

RL78/G12

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リパースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リパースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

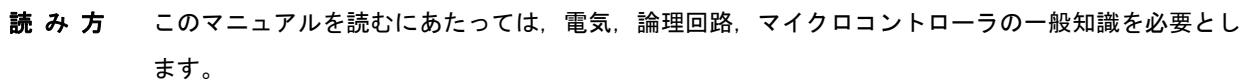
リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

対 象 者 このマニュアルはRL78/G12の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

構成 RL78/G12のマニュアルは、このマニュアルとソフトウェア編（RL78/G12ファミリ共通）の2冊に分かれています。



- 別冊のRL78ファミリ ユーザーズマニュアル ソフトウェア編 (R01US0015J)を参照してください。

凡 例	データ表記の重み	: 左が上位桁、右が下位桁
	アクティブ・ロウの表記	: $\overline{\times \times \times}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数 $\cdots \times \times \times \times$ または $\times \times \times \times B$ 10進数 $\cdots \times \times \times \times$ 16進数 $\cdots \times \times \times \times H$

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資 料 名	資料番号	
	和 文	英 文
RL78/G12 ユーザーズマニュアル ハードウェア編	このマニュアル	R01UH0200E
RL78マイクロコントローラ ユーザーズマニュアル ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料（ユーザーズマニュアル）

資 料 名	資料番号	
	和 文	英 文
PG-FP5 フラッシュメモリプログラマ ユーザーズマニュアル	—	—
RL78, 78K, V850, RX100, RX200, RX600 (RX64x除く), R8C, SH編	R20UT2923J	R20UT2923E
共通編	R20UT2922J	R20UT2922E
セットアップマニュアル	R20UT0930J	R20UT0930E
PG-FP6 フラッシュメモリプログラマ ユーザーズマニュアル	R20UT4025J	R20UT4025E
E1, E20エミュレータ ユーザーズマニュアル	R20UT0398J	R20UT0398E
E2エミュレータ ユーザーズマニュアル	R20UT3538J	R20UT3538E
E2 Liteエミュレータ ユーザーズマニュアル	R20UT3240J	R20UT3240E
Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル	R20UT4066J	R20UT4066E
ルネサスフラッシュ開発ツールキット ユーザーズマニュアル	R20UT0508J	R20UT0508E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資 料 名	資料番号	
	和 文	英 文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ 実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

第1章 概 説.....	1
1.1 R5F102製品とR5F103製品の違い.....	1
1.1.1 データ・フラッシュ.....	1
1.1.2 オンチップ・オシレータ特性.....	2
1.1.3 周辺機能.....	2
1.2 特 徴.....	3
1.3 型名一覧.....	6
1.4 端子接続図 (Top View)	8
1.4.1 20ピン製品.....	8
1.4.2 24ピン製品.....	9
1.4.3 30ピン製品.....	10
1.5 端子名称.....	11
1.6 ブロック図	12
1.6.1 20ピン製品.....	12
1.6.2 24ピン製品.....	13
1.6.3 30ピン製品.....	14
1.7 機能概要.....	15
第2章 端子機能.....	17
2.1 ポート機能	17
2.1.1 20ピン製品.....	17
2.1.2 24ピン製品.....	18
2.1.3 30ピン製品.....	20
2.2 ポート以外の機能	22
2.2.1 製品別の搭載機能	22
2.2.2 機能説明.....	23
2.3 未使用端子の処理	24
2.4 端子ブロック図.....	25
第3章 CPUアーキテクチャ	38
3.1 メモリ空間	38
3.1.1 内部プログラム・メモリ空間	46
3.1.2 ミラー領域	50
3.1.3 内部データ・メモリ空間	51
3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域.....	53
3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域	53
3.1.6 データ・メモリ・アドレッシング	54
3.2 プロセッサ・レジスタ	55
3.2.1 制御レジスタ	55
3.2.2 汎用レジスタ	58
3.2.3 ES, CSレジスタ	59
3.2.4 特殊機能レジスタ (SFR : Special Function Register)	60
3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)	65
3.3 命令アドレスのアドレッシング.....	71
3.3.1 レラティブ・アドレッシング	71
3.3.2 イミディエイト・アドレッシング	71

3.3.3	テーブル・インダイレクト・アドレッシング	72
3.3.4	レジスタ・インダイレクト・アドレッシング	72
3.4	処理データ・アドレスに対するアドレッシング	73
3.4.1	インプライド・アドレッシング	73
3.4.2	レジスタ・アドレッシング	73
3.4.3	ダイレクト・アドレッシング	74
3.4.4	ショート・ダイレクト・アドレッシング	75
3.4.5	SFRアドレッシング	76
3.4.6	レジスタ・インダイレクト・アドレッシング	77
3.4.7	ベースト・アドレッシング	78
3.4.8	ベースト・インデクスト・アドレッシング	81
3.4.9	スタック・アドレッシング	82
第4章	ポート機能	85
4.1	ポートの機能	85
4.2	ポートの構成	85
4.2.1	20, 24ピン製品	86
4.2.1.1	ポート0	86
4.2.1.2	ポート1	86
4.2.1.3	ポート2	86
4.2.1.4	ポート4	87
4.2.1.5	ポート6	87
4.2.1.6	ポート12	87
4.2.1.7	ポート13	88
4.2.2	30ピン製品	88
4.2.2.1	ポート0	88
4.2.2.2	ポート1	88
4.2.2.3	ポート2	88
4.2.2.4	ポート3	89
4.2.2.5	ポート4	89
4.2.2.6	ポート5	89
4.2.2.7	ポート6	90
4.2.2.8	ポート12	90
4.2.2.9	ポート13	90
4.2.2.10	ポート14	90
4.3	ポート機能を制御するレジスタ	91
4.3.1	ポート・モード・レジスタ (PMxx)	93
4.3.2	ポート・レジスタ (Pxx)	94
4.3.3	プルアップ抵抗オプション・レジスタ (PUxx)	96
4.3.4	ポート入力モード・レジスタ (PIMx)	97
4.3.5	ポート出力モード・レジスタ (POMx)	98
4.3.6	ポート・モード・コントロール・レジスタ (PMCxx)	99
4.3.7	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	100
4.3.8	周辺I/Oリダイレクション・レジスタ (PIOR)	100
4.4	ポート機能の動作	102
4.4.1	入出力ポートへの書き込み	102
4.4.2	入出力ポートからの読み出し	102

4.4.3	入出力ポートでの演算	102
4.4.4	入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応	103
4.5	兼用機能使用時のレジスタ設定	105
4.5.1	兼用機能使用時の基本的な考え方	105
4.5.2	出力機能を使用しない兼用機能のレジスタ設定	106
4.5.3	使用するポート機能および兼用機能のレジスタ設定例	107
4.6	ポート機能使用時の注意事項	115
4.6.1	ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項	115
4.6.2	端子設定に関する注意事項	116
第5章 クロック発生回路		117
5.1	クロック発生回路の機能	117
5.2	クロック発生回路の構成	118
5.3	クロック発生回路を制御するレジスタ	120
5.3.1	クロック動作モード制御レジスタ（CMC）	120
5.3.2	システム・クロック制御レジスタ（CKC）	122
5.3.3	クロック動作ステータス制御レジスタ（CSC）	123
5.3.4	発振安定時間カウンタ状態レジスタ（OSTC）	124
5.3.5	発振安定時間選択レジスタ（OSTS）	126
5.3.6	周辺イネーブル・レジスタ0（PER0）	128
5.3.7	動作スピード・モード制御レジスタ（OSMC）	129
5.3.8	高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）	130
5.3.9	高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）	131
5.4	システム・クロック発振回路	132
5.4.1	X1発振回路	132
5.4.2	高速オンチップ・オシレータ	135
5.4.3	低速オンチップ・オシレータ	135
5.5	クロック発生回路の動作	135
5.6	クロックの制御	137
5.6.1	高速オンチップ・オシレータの設定例	137
5.6.2	X1発振回路の設定例	138
5.6.3	CPUクロック状態移行図	139
5.6.4	CPUクロックの移行前の条件と移行後の処理	142
5.6.5	CPUクロックの切り替えとメイン・システム・クロックの切り替えに 要する時間	143
5.6.6	クロック発振停止前の条件	143
5.7	発振子と発振回路定数	144
第6章 タイマ・アレイ・ユニット		146
6.1	タイマ・アレイ・ユニットの機能	148
6.1.1	単独チャンネル動作機能	148
6.1.2	複数チャンネル連動動作機能	149
6.1.3	8ビット・タイマ動作機能（チャンネル1, 3のみ）	150
6.2	タイマ・アレイ・ユニットの構成	151
6.2.1	タイマ・カウンタ・レジスタ0n（TCR0n）	158
6.2.2	タイマ・データ・レジスタ0n（TDR0n）	160
6.3	タイマ・アレイ・ユニットを制御するレジスタ	161
6.3.1	周辺イネーブル・レジスタ0（PER0）	162
6.3.2	タイマ・クロック選択レジスタ0（TPS0）	163
6.3.3	タイマ・モード・レジスタ0n（TMR0n）	165

6.3.4	タイマ・ステータス・レジスタ0n (TSR0n)	170
6.3.5	タイマ・チャンネル許可ステータス・レジスタ0 (TE0)	171
6.3.6	タイマ・チャンネル開始レジスタ0 (TS0)	172
6.3.7	タイマ・チャンネル停止レジスタ0 (TT0)	173
6.3.8	タイマ入力選択レジスタ0 (TIS0)	174
6.3.9	タイマ出力許可レジスタ0 (TOE0)	175
6.3.10	タイマ出力レジスタ0 (TO0)	176
6.3.11	タイマ出力レベル・レジスタ0 (TOL0)	177
6.3.12	タイマ出力モード・レジスタ0 (TOM0)	178
6.3.13	ノイズ・フィルタ許可レジスタ1 (NFEN1)	179
6.3.14	タイマ入出力端子のポート機能を制御するレジスタ	180
6.4	タイマ・アレイ・ユニットの基本ルール	181
6.4.1	複数チャンネル連動動作機能の基本ルール	181
6.4.2	8ビット・タイマ動作機能の基本ルール (チャンネル1, 3のみ)	183
6.5	カウンタの動作	184
6.5.1	カウント・クロック (f_{TCLK})	184
6.5.2	カウンタのスタート・タイミング	186
6.5.3	カウンタの動作	187
6.6	チャンネル出力 (TO0n端子) の制御	192
6.6.1	TO0n端子の出力回路の構成	192
6.6.2	TO0n端子の出力設定	193
6.6.3	チャンネル出力操作時の注意事項	194
6.6.4	TO0nビットの一括操作	198
6.6.5	カウント動作開始時のタイマ割り込みとTO0n端子出力について	199
6.7	タイマ入力 (TI0n) の制御	200
6.7.1	TI0nの入力回路構成	200
6.7.2	ノイズ・フィルタ	200
6.7.3	チャンネル入力操作時の注意事項	201
6.8	タイマ・アレイ・ユニットの単独チャンネル動作機能	202
6.8.1	インターバル・タイマ／方形波出力としての動作	202
6.8.2	外部イベント・カウンタとしての動作	206
6.8.3	分周器としての動作 (30ピン製品のチャンネル0のみ)	210
6.8.4	入力パルス間隔測定としての動作	214
6.8.5	入力信号のハイ／ロウ・レベル幅測定としての動作	218
6.8.6	ディレイ・カウンタとしての動作	222
6.9	タイマ・アレイ・ユニットの複数チャンネル連動動作機能	226
6.9.1	ワンショット・パルス出力機能としての動作	226
6.9.2	PWM機能としての動作	233
6.9.3	多重PWM出力機能としての動作	240
6.10	タイマ・アレイ・ユニット使用時の注意事項	247
6.10.1	タイマ出力使用時の注意事項	247

第7章 12ビット・インターバル・タイマ 248

7.1	12ビット・インターバル・タイマの機能	248
7.2	12ビット・インターバル・タイマの構成	248
7.3	12ビット・インターバル・タイマを制御するレジスタ	248
7.3.1	周辺インネブル・レジスタ0 (PER0)	249
7.3.2	動作スピード・モード制御レジスタ (OSMC)	250
7.3.3	インターバル・タイマ・コントロール・レジスタ (ITMC)	251
7.4	12ビット・インターバル・タイマの動作	252
7.4.1	12ビット・インターバル・タイマの動作タイミング	252

7.4.2	HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行	253
第8章	クロック出力／ブザー出力制御回路	254
8.1	クロック出力／ブザー出力制御回路の機能	254
8.2	クロック出力／ブザー出力制御回路の構成	256
8.3	クロック出力／ブザー出力制御回路を制御するレジスタ	256
8.3.1	クロック出力選択レジスタn (CKSn)	257
8.3.2	クロック出力／ブザー出力端子のポート機能を制御するレジスタ	258
8.4	クロック出力／ブザー出力制御回路の動作	259
8.4.1	出力端子の動作	259
8.5	クロック出力／ブザー出力制御回路の注意事項	259
第9章	ウォッチドッグ・タイマ	260
9.1	ウォッチドッグ・タイマの機能	260
9.2	ウォッチドッグ・タイマの構成	261
9.3	ウォッチドッグ・タイマを制御するレジスタ	262
9.3.1	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	262
9.4	ウォッチドッグ・タイマの動作	263
9.4.1	ウォッチドッグ・タイマの動作制御	263
9.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	265
9.4.3	ウォッチドッグ・タイマのウインドウ・オープン期間の設定	266
9.4.4	ウォッチドッグ・タイマのインターバル割り込みの設定	268
第10章	A/Dコンバータ	269
10.1	A/Dコンバータの機能	269
10.2	A/Dコンバータの構成	271
10.3	A/Dコンバータを制御するレジスタ	273
10.3.1	周辺イネーブル・レジスタ0 (PER0)	274
10.3.2	A/Dコンバータ・モード・レジスタ0 (ADM0)	275
10.3.3	A/Dコンバータ・モード・レジスタ1 (ADM1)	283
10.3.4	A/Dコンバータ・モード・レジスタ2 (ADM2)	284
10.3.5	10ビットA/D変換結果レジスタ (ADCR)	287
10.3.6	8ビットA/D変換結果レジスタ (ADCRH)	287
10.3.7	アナログ入力チャネル指定レジスタ (ADS)	288
10.3.8	変換結果比較上限値設定レジスタ (ADUL)	289
10.3.9	変換結果比較下限値設定レジスタ (ADLL)	290
10.3.10	A/Dテスト・レジスタ (ADTES)	290
10.3.11	アナログ入力端子のポート機能を制御するレジスタ	291
10.4	A/Dコンバータの変換動作	292
10.5	入力電圧と変換結果	294
10.6	A/Dコンバータの動作モード	295
10.6.1	ソフトウェア・トリガ・モード (セレクト・モード, 連続変換モード)	295
10.6.2	ソフトウェア・トリガ・モード (セレクト・モード, ワンショット変換モード)	296
10.6.3	ソフトウェア・トリガ・モード (スキャン・モード, 連続変換モード)	297
10.6.4	ソフトウェア・トリガ・モード (スキャン・モード, ワンショット変換モード)	298

10. 6. 5	ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, 連続変換モード)	299
10. 6. 6	ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, ワンショット変換モード)	300
10. 6. 7	ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, 連続変換モード)	301
10. 6. 8	ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, ワンショット変換モード)	302
10. 6. 9	ハードウェア・トリガ・ウエイト・モード (セレクト・モード, 連続変換モード)	303
10. 6. 10	ハードウェア・トリガ・ウエイト・モード (セレクト・モード, ワンショット変換モード)	304
10. 6. 11	ハードウェア・トリガ・ウエイト・モード (スキャン・モード, 連続変換モード)	305
10. 6. 12	ハードウェア・トリガ・ウエイト・モード (スキャン・モード, ワンショット変換モード)	306
10. 7	A/Dコンバータの設定フロー・チャート	307
10. 7. 1	ソフトウェア・トリガ・モード設定	307
10. 7. 2	ハードウェア・トリガ・ノーウエイト・モード設定	308
10. 7. 3	ハードウェア・トリガ・ウエイト・モード設定	309
10. 7. 4	温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)	310
10. 7. 5	テスト・モード設定	311
10. 8	SNOOZEモード機能	312
10. 9	A/Dコンバータ特性表の読み方	316
10. 10	A/Dコンバータの注意事項	319

第11章 シリアル・アレイ・ユニット 323

11. 1	シリアル・アレイ・ユニットの機能	324
11. 1. 1	簡易SPI (CSI00, CSI01, CSI11, CSI20)	324
11. 1. 2	UART (UART0-UART2)	325
11. 1. 3	簡易I ² C (IIC00, IIC01, IIC11, IIC20)	326
11. 2	シリアル・アレイ・ユニットの構成	327
11. 2. 1	シフト・レジスタ	331
11. 2. 2	シリアル・データ・レジスタmn (SDRmn) の下位8/9ビット	331
11. 3	シリアル・アレイ・ユニットを制御するレジスタ	333
11. 3. 1	周辺イネーブル・レジスタ0 (PER0)	333
11. 3. 2	シリアル・クロック選択レジスタm (SPSm)	335
11. 3. 3	シリアル・モード・レジスタmn (SMRmn)	336
11. 3. 4	シリアル通信動作設定レジスタmn (SCRmn)	337
11. 3. 5	シリアル・データ・レジスタmn (SDRmn)	340
11. 3. 6	シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)	342
11. 3. 7	シリアル・ステータス・レジスタmn (SSRmn)	343
11. 3. 8	シリアル・チャンネル開始レジスタm (SSm)	345
11. 3. 9	シリアル・チャンネル停止レジスタm (STm)	346
11. 3. 10	シリアル・チャンネル許可ステータス・レジスタm (SEm)	347
11. 3. 11	シリアル出力許可レジスタm (SOEm)	348
11. 3. 12	シリアル出力レジスタm (SOM)	349
11. 3. 13	シリアル出力レベル・レジスタm (SOLm)	350
11. 3. 14	シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)	352
11. 3. 15	ノイズ・フィルタ許可レジスタ0 (NFEN0)	353

11. 3. 16	シリアル入出力端子のポート機能を制御するレジスタ	354
11. 4	動作停止モード	355
11. 4. 1	ユニット単位で動作停止とする場合	355
11. 4. 2	チャネルごとに動作停止とする場合	356
11. 5	簡易SPI (CSI00, CSI01, CSI11, CSI20) 通信の動作	357
11. 5. 1	マスタ送信	358
11. 5. 2	マスタ受信	366
11. 5. 3	マスタ送受信	374
11. 5. 4	スレーブ送信	382
11. 5. 5	スレーブ受信	390
11. 5. 6	スレーブ送受信	396
11. 5. 7	SNOOZEモード機能	404
11. 5. 8	転送クロック周波数の算出	408
11. 5. 9	簡易SPI (CSI00, CSI01, CSI11, CSI20) 通信時におけるエラー発生時の 処理手順	410
11. 6	UART (UART0-UART2) 通信の動作	411
11. 6. 1	UART送信	412
11. 6. 2	UART受信	420
11. 6. 3	SNOOZEモード機能	426
11. 6. 4	ボー・レートの算出	434
11. 6. 5	UART (UART0-UART2) 通信時におけるエラー発生時の処理手順	438
11. 7	簡易I ² C (IIC00, IIC01, IIC11, IIC20) 通信の動作	439
11. 7. 1	アドレス・フィールド送信	441
11. 7. 2	データ送信	445
11. 7. 3	データ受信	448
11. 7. 4	ストップ・コンディション発生	452
11. 7. 5	転送レートの算出	453
11. 7. 6	簡易I ² C (IIC00, IIC01, IIC11, IIC20) 通信時におけるエラー発生時の処理手順 ..	455

第12章 シリアル・インタフェースIICA 456

12. 1	シリアル・インタフェースIICAの機能	456
12. 2	シリアル・インタフェースIICAの構成	459
12. 3	シリアル・インタフェースIICAを制御するレジスタ	462
12. 3. 1	周辺イネーブル・レジスタ0 (PER0)	462
12. 3. 2	IICAコントロール・レジスタ00 (IICCTL00)	463
12. 3. 3	IICAステータス・レジスタ0 (IICCS0)	467
12. 3. 4	IICAフラグ・レジスタ0 (IICF0)	469
12. 3. 5	IICAコントロール・レジスタ01 (IICCTL01)	471
12. 3. 6	IICAロウ・レベル幅設定レジスタ0 (IICWL0)	473
12. 3. 7	IICAハイ・レベル幅設定レジスタ0 (IICWH0)	473
12. 3. 8	ポート・モード・レジスタ6 (PM6)	474
12. 4	I ² Cバス・モードの機能	475
12. 4. 1	端子構成	475
12. 4. 2	IICWL0, IICWH0レジスタによる転送クロック設定方法	476
12. 5	I ² Cバスの定義および制御方法	477
12. 5. 1	スタート・コンディション	477
12. 5. 2	アドレス	478
12. 5. 3	転送方向指定	478
12. 5. 4	アクノリッジ (ACK)	479
12. 5. 5	ストップ・コンディション	480
12. 5. 6	クロック・ストレッチ	481

12. 5. 7	クロック・ストレッチ解除方法	483
12. 5. 8	割り込み要求 (INTIICA0) 発生タイミングおよびクロック・ストレッチ制御	484
12. 5. 9	アドレスの一致検出方法	485
12. 5. 10	エラーの検出	485
12. 5. 11	拡張コード	486
12. 5. 12	アービトレーション	487
12. 5. 13	ウエイク・アップ機能	489
12. 5. 14	通信予約	492
12. 5. 15	その他の注意事項	496
12. 5. 16	通信動作	497
12. 5. 17	I ² C割り込み要求 (INTIICA0) の発生タイミング	505
12. 6	タイミング・チャート	526
第13章 乗除積和算器		541
13. 1	乗除積和算器の機能	541
13. 2	乗除積和算器の構成	541
13. 2. 1	乗除算データ・レジスタA (MDAH, MDAL)	543
13. 2. 2	乗除算データ・レジスタB (MDBL, MDBH)	544
13. 2. 3	乗除算データ・レジスタC (MDCL, MDCH)	545
13. 3	乗除積和算器を制御するレジスタ	547
13. 3. 1	乗除算コントロール・レジスタ0 (MDUC)	547
13. 4	乗除積和算器の動作	549
13. 4. 1	乗算 (符号なし) 動作	549
13. 4. 2	乗算 (符号付) 動作	550
13. 4. 3	積和演算 (符号なし) 動作	551
13. 4. 4	積和演算 (符号付) 動作	553
13. 4. 5	除算動作	555
第14章 DMAコントローラ		557
14. 1	DMAコントローラの機能	557
14. 2	DMAコントローラの構成	558
14. 2. 1	DMA SFRアドレス・レジスタn (DSAn)	558
14. 2. 2	DMA RAMアドレス・レジスタn (DRAn)	559
14. 2. 3	DMAバイト・カウント・レジスタn (DBCn)	560
14. 3	DMAコントローラを制御するレジスタ	561
14. 3. 1	DMAモード・コントロール・レジスタn (DMCn)	561
14. 3. 2	DMA動作コントロール・レジスタn (DRCn)	563
14. 4	DMAコントローラの動作	564
14. 4. 1	動作手順	564
14. 4. 2	転送モード	565
14. 4. 3	DMA転送の終了	565
14. 5	DMAコントローラの設定例	565
14. 5. 1	簡易SPI (CSI) 連続送信	565
14. 5. 2	A/D変換結果の連続取り込み	567
14. 5. 3	UART連続受信+ACK送信	568
14. 5. 4	DWAITnビットによるDMA転送保留	569
14. 5. 5	ソフトウェアでの強制終了	570
14. 6	DMAコントローラの注意事項	572

第15章	割り込み機能.....	575
15. 1	割り込み機能の種類.....	575
15. 2	割り込み要因と構成.....	575
15. 3	割り込み機能を制御するレジスタ	582
15. 3. 1	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)	586
15. 3. 2	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)	588
15. 3. 3	優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)	590
15. 3. 4	外部割り込み立ち上がりエッジ許可レジスタ (EGP0) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)	593
15. 3. 5	プログラム・ステータス・ワード (PSW)	594
15. 4	割り込み処理動作	595
15. 4. 1	マスカブル割り込み要求の受け付け動作	595
15. 4. 2	ソフトウェア割り込み要求の受け付け動作	597
15. 4. 3	多重割り込み処理	597
15. 4. 4	割り込み要求の保留	601
第16章	キー割り込み機能	602
16. 1	キー割り込みの機能.....	602
16. 2	キー割り込みの構成.....	603
16. 3	キー割り込みを制御するレジスタ	605
16. 3. 1	キー・リターン・コントロール・レジスタ (KRCTL)	605
16. 3. 2	キー・リターン・モード・レジスタ (KRM0, KRM1)	606
16. 3. 3	キー・リターン・フラグ・レジスタ (KRF)	607
16. 3. 4	ポート・モード・レジスタ0, 4, 6 (PM0, 4, 6)	607
16. 4	キー割り込み機能の動作.....	608
16. 4. 1	キー割り込みフラグを使用しない場合 (KRMD = 0)	608
16. 4. 2	キー割り込みフラグを使用する場合 (KRMD = 1)	609
第17章	スタンバイ機能	612
17. 1	スタンバイ機能	612
17. 2	スタンバイ機能を制御するレジスタ	613
17. 3	スタンバイ機能の動作	613
17. 3. 1	HALTモード	613
17. 3. 2	STOPモード	617
17. 3. 3	SNOOZEモード	622
第18章	リセット機能.....	625
18. 1	リセット動作のタイミング	627
18. 2	リセット期間中の動作状態	629
18. 3	リセット要因を確認するレジスタ	631
18. 3. 1	リセット・コントロール・フラグ・レジスタ (RESF)	631

第19章	パワーオン・リセット回路	634
19.1	パワーオン・リセット回路の機能	634
19.2	パワーオン・リセット回路の構成	635
19.3	パワーオン・リセット回路の動作	635
第20章	電圧検出回路	639
20.1	電圧検出回路の機能	639
20.2	電圧検出回路の構成	640
20.3	電圧検出回路を制御するレジスタ	640
20.3.1	電圧検出レジスタ (LVIM)	641
20.3.2	電圧検出レベル・レジスタ (LVIS)	642
20.4	電圧検出回路の動作	645
20.4.1	リセット・モードとして使用する場合の設定	645
20.4.2	割り込みモードとして使用する場合の設定	647
20.4.3	割り込み&リセット・モードとして使用する場合の設定	649
20.5	電圧検出回路の注意事項	655
第21章	安全機能	657
21.1	安全機能の概要	657
21.2	安全機能で使用するレジスタ	658
21.3	安全機能の動作	658
21.3.1	CRC演算機能 (汎用CRC)	658
21.3.1.1	CRC入力レジスタ (CRCIN)	659
21.3.1.2	CRCデータ・レジスタ (CRCD)	659
21.3.2	RAMパリティ・エラー検出機能	661
21.3.2.1	RAMパリティ・エラー制御レジスタ (RPECTL)	661
21.3.3	RAMガード機能	662
21.3.3.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	662
21.3.4	SFRガード機能	663
21.3.4.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	663
21.3.5	不正メモリ・アクセス検出機能	664
21.3.5.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	665
21.3.6	周波数検出機能	665
21.3.6.1	タイマ入力選択レジスタ0 (TIS0)	666
21.3.7	A/Dテスト機能	667
21.3.7.1	A/Dテスト・レジスタ (ADTES)	668
21.3.7.2	アナログ入力チャネル指定レジスタ (ADS)	669
第22章	レギュレータ	671
22.1	レギュレータの概要	671
第23章	オプション・バイト	672
23.1	オプション・バイトの機能	672

23. 1. 1 ユーザ・オプション・バイト (000C0H-000C2H)	672
23. 1. 2 オンチップ・デバッグ・オプション・バイト (000C3H)	673
23. 2 ユーザ・オプション・バイトのフォーマット	674
23. 3 オンチップ・デバッグ・オプション・バイトのフォーマット	679
23. 4 オプション・バイトの設定	680
第24章 フラッシュ・メモリ	681
24. 1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング	683
24. 1. 1 プログラミング環境	684
24. 1. 2 通信方式	684
24. 2 外部デバイス (UART内蔵) によるシリアル・プログラミング	685
24. 2. 1 プログラミング環境	685
24. 2. 2 通信方式	686
24. 3 オンボード上の端子処理	687
24. 3. 1 P40/TOOL0端子	687
24. 3. 2 RESET端子	687
24. 3. 3 ポート端子	688
24. 3. 4 REGC端子	688
24. 3. 5 X1, X2端子	688
24. 3. 6 電 源	688
24. 4 シリアル・プログラミング方法	689
24. 4. 1 シリアル・プログラミング手順	689
24. 4. 2 フラッシュ・メモリ・プログラミング・モード	689
24. 4. 3 通信方式	691
24. 4. 4 通信コマンド	691
24. 5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間 (参考値)	693
24. 6 セルフ・プログラミング	694
24. 6. 1 セルフ・プログラミング手順	695
24. 6. 2 フラッシュ・シールド・ウインドウ機能	696
24. 7 セキュリティ設定	697
24. 8 データ・フラッシュ	699
24. 8. 1 データ・フラッシュの概要	699
24. 8. 2 データ・フラッシュを制御するレジスタ	700
24. 8. 2. 1 データ・フラッシュ・コントロール・レジスタ (DFLCTL)	700
24. 8. 3 データ・フラッシュへのアクセス手順	701
第25章 オンチップ・デバッグ機能	702
25. 1 E1, E2, E2 Lite, E20オンチップデバッグエミュレータとの 接続	702
25. 2 オンチップ・デバッグ・セキュリティID	704
25. 3 ユーザ資源の確保	704
第26章 10進補正 (BCD) 回路	706
26. 1 10進補正回路の機能	706
26. 2 10進補正回路で使用するレジスタ	706
26. 2. 1 BCD補正結果レジスタ (BCDADJ)	706
26. 3 10進補正回路の動作	707

第27章 命令セットの概要	709
27.1 凡 例	710
27.1.1 オペランドの表現形式と記述方法	710
27.1.2 オペレーション欄の説明	711
27.1.3 フラグ動作欄の説明	712
27.1.4 PREFIX命令	712
27.2 オペレーション一覧	713
第28章 電気的特性 ($T_A = -40 \sim +85^{\circ}\text{C}$)	730
28.1 絶対最大定格	731
28.2 発振回路特性	732
28.2.1 X1発振回路特性	732
28.2.2 オンチップ・オシレータ特性	732
28.3 DC特性	733
28.3.1 端子特性	733
28.3.2 電源電流特性	737
28.4 AC特性	742
28.5 周辺機能特性	745
28.5.1 シリアル・アレイ・ユニット	745
28.5.2 シリアル・インタフェースIICA	765
28.6 アナログ特性	766
28.6.1 A/Dコンバータ特性	766
28.6.2 温度センサ／内部基準電圧特性	769
28.6.3 POR回路特性	770
28.6.4 LVD回路特性	771
28.6.5 電源電圧立ち上がり傾き特性	772
28.7 RAMデータ保持特性	773
28.8 フラッシュ・メモリ・プログラミング特性	773
28.9 専用フラッシュ・メモリ・プログラマ通信 (UART)	773
28.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング	774
第29章 電気的特性 (G:産業用途 $T_A = -40 \sim +105^{\circ}\text{C}$)	775
29.1 絶対最大定格	776
29.2 発振回路特性	777
29.2.1 X1発振回路特性	777
29.2.2 オンチップ・オシレータ特性	777
29.3 DC特性	778
29.3.1 端子特性	778
29.3.2 電源電流特性	782
29.4 AC特性	787
29.5 周辺機能特性	790
29.5.1 シリアル・アレイ・ユニット	790
29.5.2 シリアル・インタフェースIICA	807
29.6 アナログ特性	808
29.6.1 A/Dコンバータ特性	808
29.6.2 温度センサ／内部基準電圧特性	811
29.6.3 POR回路特性	812
29.6.4 LVD回路特性	813

29. 6. 5	電源電圧立ち上がり傾き特性	813
29. 7	RAMデータ保持特性	814
29. 8	フラッシュ・メモリ・プログラミング特性	814
29. 9	専用フラッシュ・メモリ・プログラマ通信 (UART)	814
29.10	フラッシュ・メモリ・プログラミング・モード引き込みタイミング	815
第30章 外形図		816
30. 1	20ピン製品	816
30. 2	24ピン製品	818
30. 3	30ピン製品	821
付録A 改版履歴		822
A. 1	本版で改訂された主な箇所	822
A. 2	前版までの改版履歴	823

第1章 概 説

1.1 R5F102製品とR5F103製品の違い

RL78/G12のR5F102製品とR5F103製品の違いは、次のとおりです。

- ・ データ・フラッシュの搭載／非搭載
- ・ 高速オンチップ・オシレータの発振周波数精度
- ・ シリアル・インタフェースのチャンネル数
- ・ DMA機能の搭載／非搭載
- ・ 安全機能の一部機能の搭載／非搭載

1.1.1 データ・フラッシュ

R5F102製品は、2 KBのデータ・フラッシュを搭載しており、R5F103製品はデータ・フラッシュを搭載しておりません。

製品	データ・フラッシュ
R5F102製品 R5F1026A, R5F1027A, R5F102AA, R5F10269, R5F10279, R5F102A9, R5F10268, R5F10278, R5F102A8, R5F10267, R5F10277, R5F102A7, R5F10266 ^注	2 KB
R5F103製品 R5F1036A, R5F1037A, R5F103AA, R5F10369, R5F10379, R5F103A9, R5F10368, R5F10378 R5F103A8, R5F10367, R5F10377, R5F103A7, R5F10366	非搭載

注 R5F10266はRAMが256 Byteと少ないため、お客様のプログラムの仕様によっては、データ・フラッシュ・ライブラリを実行するためのスタック領域が確保できず、データ・フラッシュへの書き込み／消去ができない場合があります。

注意 ユーザ・プログラムでフラッシュ・メモリの書き換えを行う場合は、各ライブラリを利用するため、コード・フラッシュ、RAM領域を使用します。そのため、RL78ファミリ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズマニュアルおよびRL78ファミリ データ・フラッシュ・ライブラリType04 ユーザーズマニュアルを必ずご確認の上、ご使用ください。

1.1.2 オンチップ・オシレータ特性

(1) R5F102製品の高速オンチップ・オシレータ・発振周波数精度

発振子	条 件	MIN.	MAX.	単位
高速オンチップ・オシレータ 発振周波数精度	T _A = -20～+85°C	-1.0	+1.0	%
	T _A = -40～-20°C	-1.5	+1.5	
	T _A = +85～+105°C	-2.0	+2.0	

(2) R5F103製品の高速オンチップ・オシレータ・発振周波数精度

発振子	条 件	MIN.	MAX.	単位
高速オンチップ・オシレータ 発振周波数精度	T _A = -40～+85°C	-5.0	+5.0	%

1.1.3 周辺機能

R5F102製品とR5F103製品は、次に示す周辺機能に違いがあります。

RL78/G12		R5F102製品		R5F103製品	
		20, 24ピン製品	30ピン製品	20, 24ピン製品	30ピン製品
シリアル・インタフェース	UART	1チャンネル	3チャンネル	1チャンネル	
	簡易SPI (CSI)	2チャンネル	3チャンネル	1チャンネル	
	簡易I ² C	2チャンネル	3チャンネル	なし	
DMA機能		2チャンネル		なし	
安全機能	CRC演算	あり		なし	
	RAMガード	あり		なし	
	SFRガード	あり		なし	

1.2 特 徴

超低消費電力テクノロジー

- $V_{DD} = 1.8 \sim 5.5$ Vの単一電源、低電圧動作可能
- HALTモード
- STOPモード
- SNOOZEモード

RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速（0.04167 μ s：高速オンチップ・オシレータ・クロック24 MHz動作時）から超低速（1 μ s：1 MHz動作時）までを変更可能
- アドレス空間：1Mバイト
- 汎用レジスタ：8ビット・レジスタ $\times 8 \times 4$ バンク
- 内蔵RAM：256 B $\sim$ 2 KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：2 KB $\sim$ 16 KB
- ブロック・サイズ：1 KB
- ブロック消去禁止、書き換え禁止（セキュリティ機能）
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング：フラッシュ・シールド・ウインドウ機能あり

データ・フラッシュ・メモリ^注

- データ・フラッシュ・メモリ：2 KB
- バックグラウンド・オペレーション（BGO）：データ・フラッシュの書き換え動作中に、プログラム・メモリ内の命令実行
- 書き換え回数：1,000,000回（TYP.）
- 書き換え電圧： $V_{DD} = 1.8 \sim 5.5$ V

高速オンチップ・オシレータ

- 24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHzから選択
- 高精度 $\pm 1.0\%$ （ $V_{DD} = 1.8 \sim 5.5$ V, $T_A = -20 \sim +85^\circ\text{C}$ ）

動作周囲温度

- $T_A = -40 \sim +85^\circ\text{C}$ （A：民生用途、D：産業用途）
- $T_A = -40 \sim +105^\circ\text{C}$ （G：産業用途）^注

電源管理とリセット機能

- パワーオン・リセット（POR）回路内蔵
- 電圧検出（LVD）回路内蔵（割り込み、リセットを12段階で選択）

DMA（Direct Memory Access）コントローラ^注

- 2チャンネル搭載
- 8ビット/16ビットのSFR $\leftrightarrow$ 内蔵RAM間の転送が2クロック

注 R5F102製品のみ

乗除・積和演算器

- 16ビット×16ビット = 32ビット（符号付／符号なし）
- 32ビット÷32ビット = 32ビット（符号なし）
- 16ビット×16ビット+32ビット = 32ビット（符号付／符号なし）

シリアル・インタフェース

- 簡易SPI（CSI^{注1}） : 1～3チャンネル
- UART : 1～3チャンネル
- 簡易I²C : 0～3チャンネル
- I²C : 1チャンネル

タイマ

- 16ビット・タイマ : 4～8チャンネル
 - 12ビット・インターバル・タイマ : 1チャンネル
 - ウォッチドッグ・タイマ : 1チャンネル
- （専用の低速オンチップ・オシレータ・クロックで動作可能）

A/Dコンバータ

- 8/10ビット分解能A/Dコンバータ（V_{DD} = 1.8～5.5 V）
- 8～11チャンネル，内部基準電圧（1.45 V）と温度センサ搭載^{注2}

入出力ポート

- I/Oポート：18～26本（N-chオープン・ドレイン入出力〔6V耐圧〕：2本，
N-chオープン・ドレイン・入出力〔V_{DD}耐圧〕：4～9本）
- N-chオープン・ドレイン，TTL入力バッファ，内蔵プルアップの切り替え可能
- 異電位（1.8/2.5/3 V系）動作デバイスと接続可能
- キー割り込み機能内蔵
- クロック出力／ブザー出力制御回路内蔵

その他

- 10進補正（BCD）回路内蔵

注1. 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

注2. HS（高速メイン）モードのみ選択可能

備考 製品によって、搭載している機能が異なります。**1.7 機能概要**を参照してください。

OROM, RAM容量

コード・フラッシュ	データ・フラッシュ	RAM	20ピン	24ピン	30ピン
16 KB	2 KB	2 KB	—	—	R5F102AA
	—		—	—	R5F103AA
	2 KB	1.5 KB	R5F1026A ^{注1}	R5F1027A ^{注1}	—
	—		R5F1036A ^{注1}	R5F1037A ^{注1}	—
12 KB	2KB	1 KB	R5F10269 ^{注1}	R5F10279 ^{注1}	R5F102A9
	—		R5F10369 ^{注1}	R5F10379 ^{注1}	R5F103A9
8 KB	2 KB	768B	R5F10268 ^{注1}	R5F10278 ^{注1}	R5F102A8
	—		R5F10368 ^{注1}	R5F10378 ^{注1}	R5F103A8
4 KB	2KB	512B	R5F10267	R5F10277	R5F102A7
	—		R5F10367	R5F10377	R5F103A7
2 KB	2 KB	256B	R5F10266 ^{注2}	—	—
	—		R5F10366 ^{注2}	—	—

注1. セルフ・プログラミング機能かデータ・フラッシュ機能使用時は640バイト（詳細は、第3章 CPUアーキテクチャ参照）

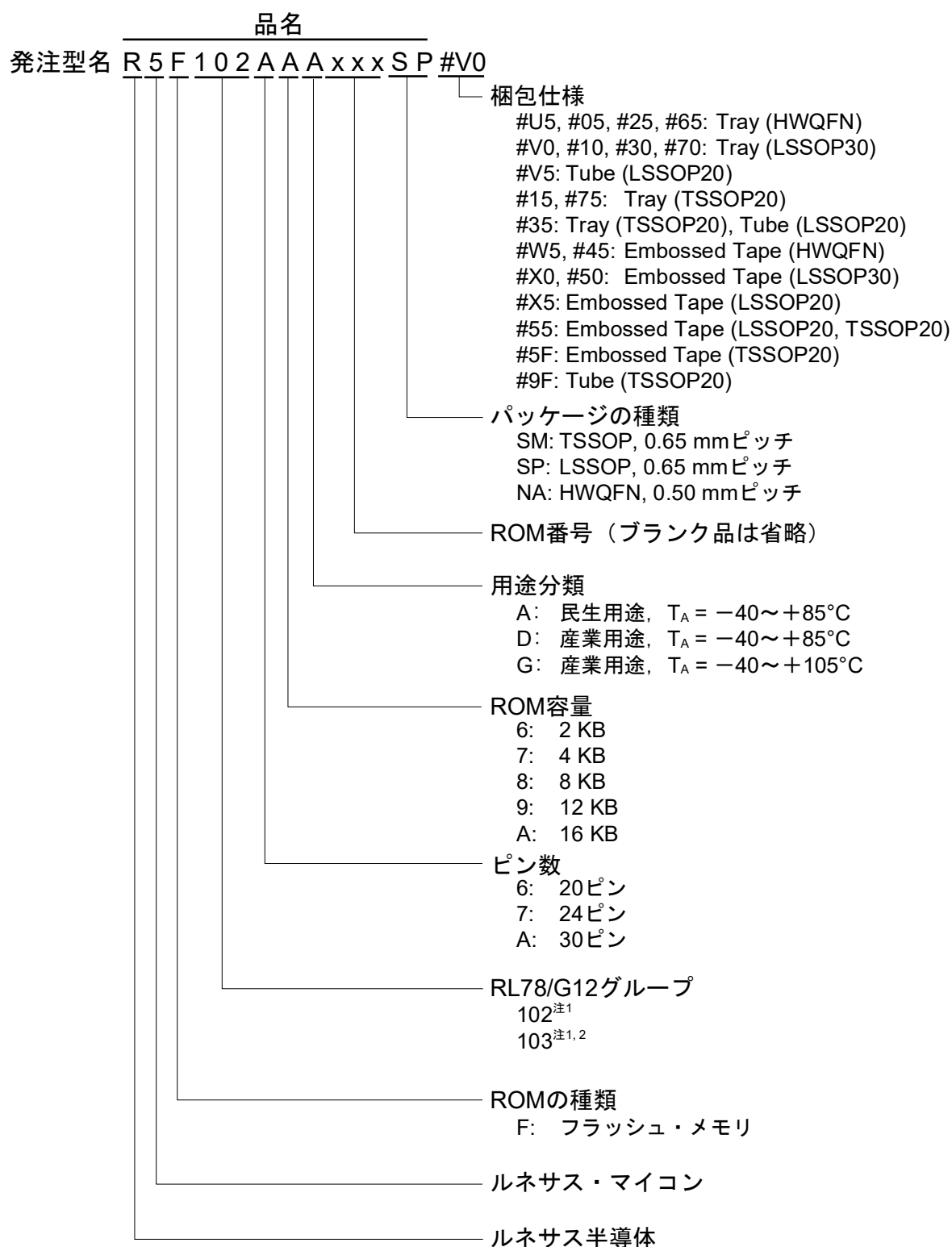
2. R5F10266とR5F10366は、セルフ・プログラミング機能は使用できません。

注意 ユーザ・プログラムでフラッシュ・メモリの書き換えを行う場合は、各ライブラリを利用するため、コード・フラッシュ, RAM領域を使用します。

そのため、RL78ファミリ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズマニュアルおよびRL78ファミリ データ・フラッシュ・ライブラリType04 ユーザーズマニュアルを必ずご確認のうえご使用ください。

1.3 型名一覽

★ 図1-1 RL78/G12の型名とメモリ・サイズ、パッケージ



注1. RL78/G12のR5F102製品とR5F103製品の違いは、“1.1 R5F102製品とR5F103製品の違い”を参照してください。

2. “A：民生用途（ $T_A = -40 \sim +85^\circ\text{C}$ ）”製品および“D：産業用途（ $T_A = -40 \sim +85^\circ\text{C}$ ）”製品のみ

表1-1 発注型名一覧

ピン数	パッケージ	データ・フラッシュ	用途区分 ^注	発注型名		ルネサスコード
				品名	梱包仕様	
★ ★ ★ ★	20ピン・プラスチック LSSOP (4.4 × 6.5 mm, 0.65 mmピッチ)	搭載	A	R5F1026AASP, R5F10269ASP, R5F10268ASP, R5F10267ASP, R5F10266ASP	#V5, #35, #X5, #55	PLSP0020JB-A
			D	R5F1026ADSP, R5F10269DSP, R5F10268DSP, R5F10267DSP, R5F10266DSP		
			G	R5F1026AGSP, R5F10269GSP, R5F10268GSP, R5F10267GSP, R5F10266GSP		
		非搭載	A	R5F1036AASP, R5F10369ASP, R5F10368ASP, R5F10367ASP, R5F10366ASP	#V5, #35, #X5, #55	PLSP0020JB-A
			D	R5F1036ADSP, R5F10369DSP, R5F10368DSP, R5F10367DSP, R5F10366DSP		
			G	R5F1036AGSP, R5F10369GSP, R5F10368GSP, R5F10367GSP, R5F10366GSP		
	20ピン・プラスチック TSSOP (4.4 × 6.5 mm, 0.65 mmピッチ)	搭載	A	R5F10269ASM, R5F10268ASM, R5F10267ASM, R5F10266ASM	#15, #35, #55, #75	PTSP0020JI-A
				R5F1026AASM	#15, #35, #55, #5F, #75, #9F	PTSP0020JI-A
			G	R5F10269GSM, R5F10268GSM, R5F10267GSM, R5F10266GSM	#15, #35, #55, #75	PTSP0020JI-A
		非搭載		R5F1026AGSM	#15, #35, #55, #5F, #75, #9F	PTSP0020JI-A
			A	R5F1036AASM, R5F10369ASM, R5F10368ASM, R5F10367ASM, R5F10366ASM	#15, #35, #55, #75	PTSP0020JI-A
			G	R5F1036AGSM, R5F10369GSM, R5F10368GSM, R5F10367GSM, R5F10366GSM	#15, #35, #55, #5F, #75, #9F	PTSP0020JI-A
★ ★ ★ ★	24ピン・プラスチック HWQFN (4 × 4 mm, 0.5 mmピッチ)	搭載	A	R5F1027AANA, R5F10279ANA, R5F10278ANA, R5F10277ANA	#U5, #W5	PWQN0024KE-A
				R5F1027AANA, R5F10279ANA, R5F10278ANA, R5F10277ANA	#05, #25, #45, #65	PWQN0024KF-A PWQN0024KH-A
			D	R5F1027ADNA, R5F10279DNA, R5F10278DNA, R5F10277DNA	#U5, #W5	PWQN0024KE-A
				R5F1027ADNA, R5F10279DNA, R5F10278DNA, R5F10277DNA	#U5, #W5	PWQN0024KE-A
			G	R5F1027AGNA, R5F10279GNA, R5F10278GNA, R5F10277GNA	#05, #25, #45, #65	PWQN0024KF-A PWQN0024KH-A
		非搭載	A	R5F1037AANA, R5F10379ANA, R5F10378ANA, R5F10377ANA	#U5, #W5	PWQN0024KE-A
				R5F1037AANA, R5F10379ANA, R5F10378ANA, R5F10377ANA	#05, #25, #45, #65	PWQN0024KF-A PWQN0024KH-A
			D	R5F1037ADNA, R5F10379DNA, R5F10378DNA, R5F10377DNA	#U5, #W5	PWQN0024KE-A
				R5F1037ADNA, R5F10379DNA, R5F10378DNA, R5F10377DNA	#U5, #W5	PWQN0024KE-A
			G	R5F1037AGNA, R5F10379GNA, R5F10378GNA, R5F10377GNA	#05, #25, #45, #65	PWQN0024KF-A PWQN0024KH-A
★ ★ ★ ★	30ピン・プラスチック LSSOP (7.62 mm (300) , 0.65 mmピッチ)	搭載	A	R5F102AAASP, R5F102A9ASP, R5F102A8ASP, R5F102A7ASP	#V0, #10, #30, #X0, #50, #70	PLSP0030JB-B
			D	R5F102AADSP, R5F102A9DSP, R5F102A8DSP, R5F102A7DSP		
			G	R5F102AAGSP, R5F102A9GSP, R5F102A8GSP, R5F102A7GSP		
		非搭載	A	R5F103AAASP, R5F103A9ASP, R5F103A8ASP, R5F103A7ASP	#V0, #10, #30, #X0, #50, #70	PLSP0030JB-B
			D	R5F103AADSP, R5F103A9DSP, R5F103A8DSP, R5F103A7DSP		
			G	R5F103AAGSP, R5F103A9GSP, R5F103A8GSP, R5F103A7GSP		

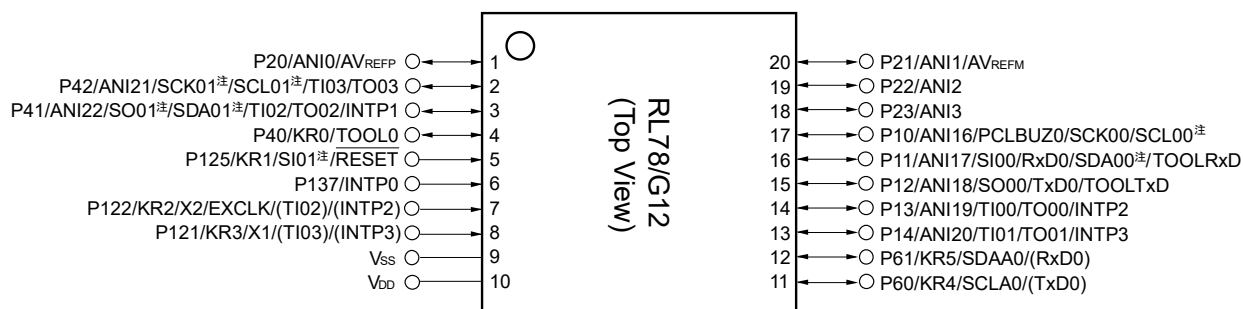
注 用途区分け 図1-1 RL78/G12の型名とメモリ・サイズ, パッケージ を参照してください。

注意 発注型名は本マニュアルの発行時のものです。最新の発注型名は、当社ホームページの対象製品ページを必ず参照してください。

1.4 端子接続図 (Top View)

1.4.1 20ピン製品

- ・ 20ピン・プラスチックLSSOP (4.4×6.5 mm, 0.65 mmピッチ)
- ・ 20ピン・プラスチックTSSOP (4.4×6.5 mm, 0.65 mmピッチ)



注 R5F102製品のみ

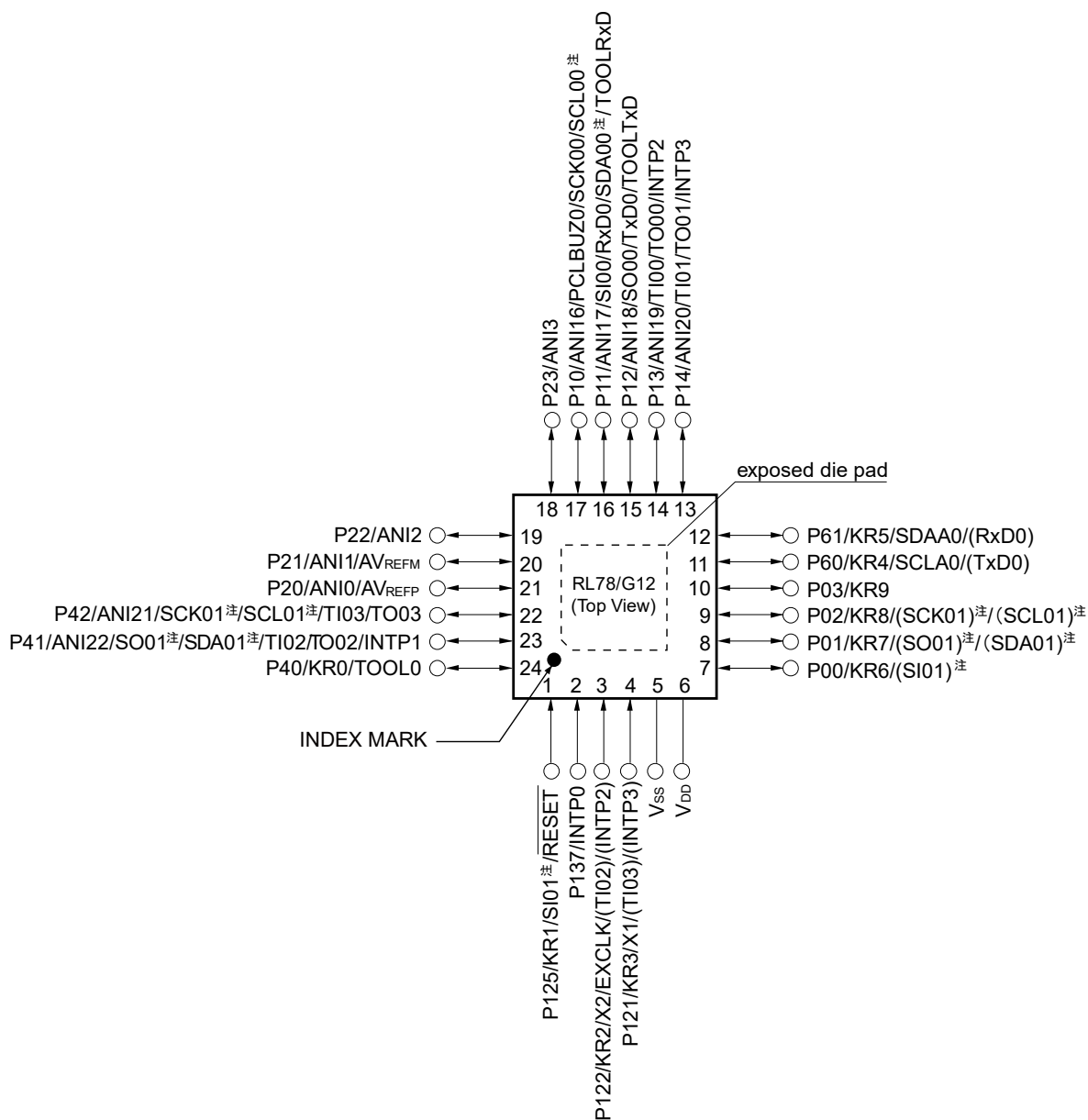
備考1. 端子名称は、1.5 端子名称を参照してください。

2. () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

図4-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

1.4.2 24ピン製品

- ・24ピン・プラスチックHWQFN（4×4 mm, 0.5 mmピッチ）



注 R5F102製品のみ

備考1. 端子名称は、1.5 端子名称を参照してください。

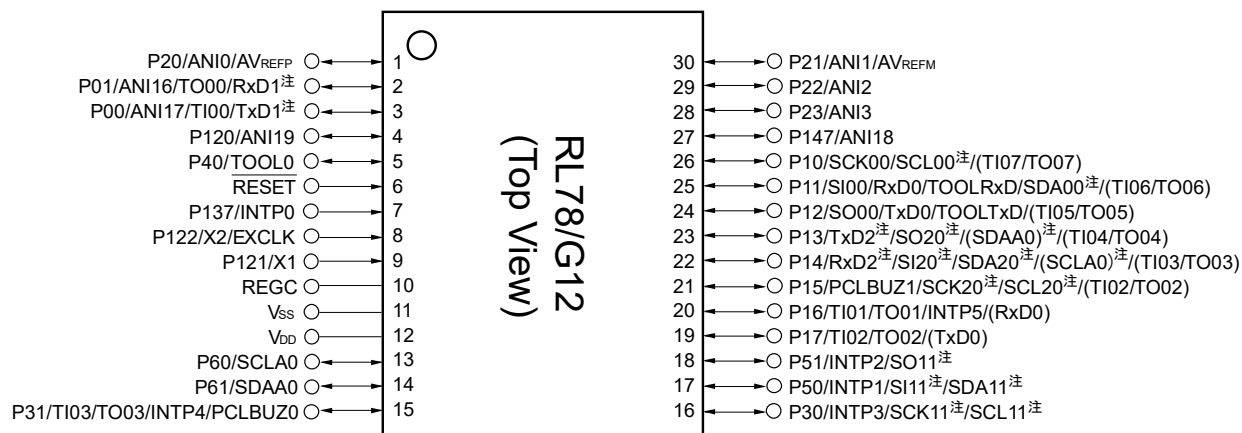
2. () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

図4-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

3. exposed die padは、VSSに接続することを推奨します。

1.4.3 30ピン製品

- ・ 30ピン・プラスチックLSSOP（7.62 mm（300）, 0.65 mmピッチ）



注 R5F102製品のみ

注意 REGCはコンデンサ（0.47～1 μF）を介し、V_{SS}に接続してください。

備考1. 端子名称は、1.5 端子名称を参照してください。

2. () 内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。

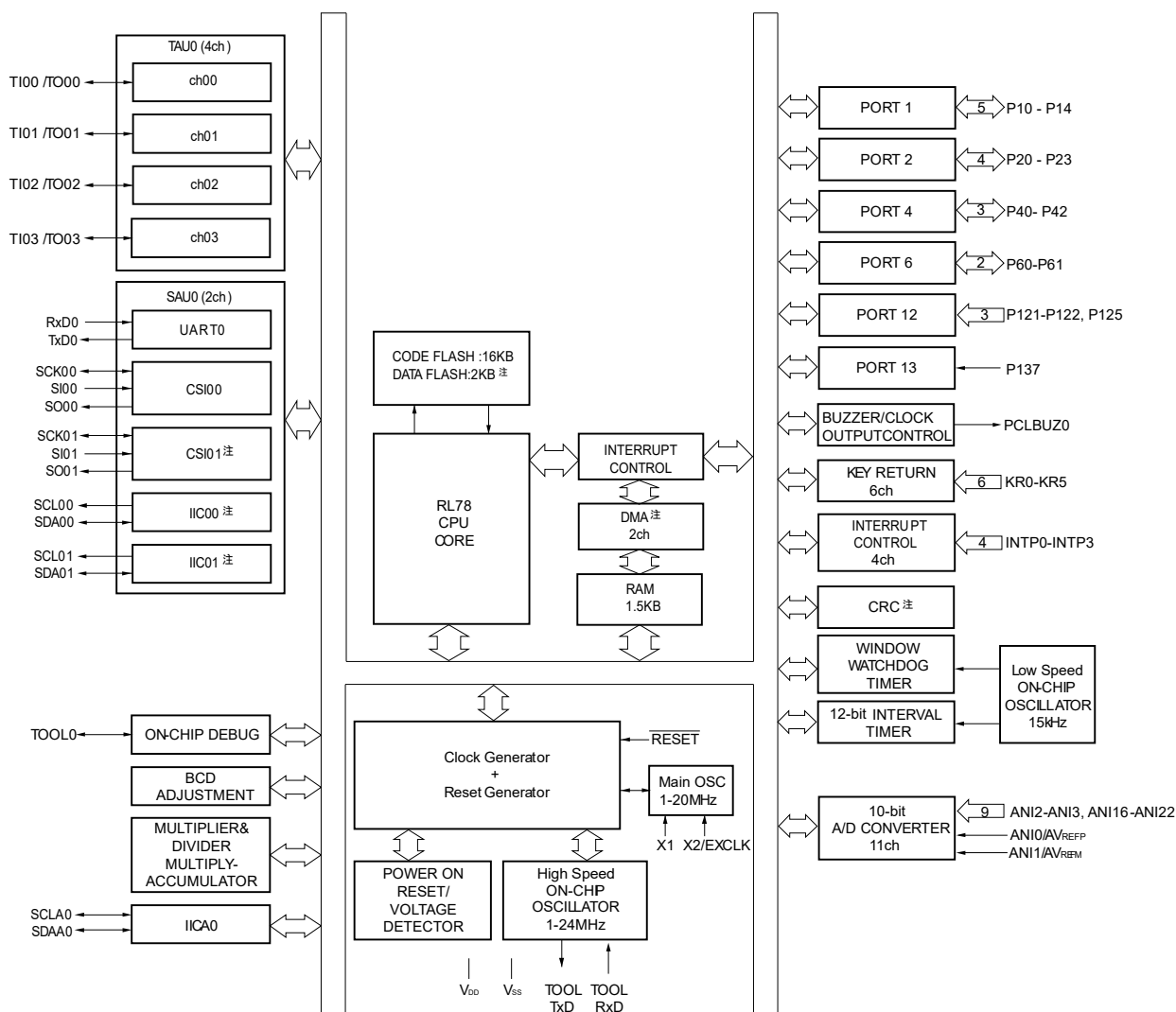
図4-8 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

1.5 端子名称

ANI0-ANI3,		REGC :	Regulator Capacitance
ANI16-ANI22 :	Analog Input	RESET :	Reset
AVREFM :	Analog Reference	RxD0-RxD2 :	Receive Data
	Voltage Minus	SCK00, SCK01, SCK11,	
AVREFP :	Analog Reference	SCK20 :	Serial Clock Input/Output
	Voltage Plus	SCL00, SCL01,	
EXCLK :	External Clock Input	SCL11, SCL20, SCLA0 :	Serial Clock Input/Output
	(Main System Clock)	SDA00, SDA01, SDA11,	
INTP0-INTP5 :	Interrupt Request From	SDA20, SDAA0 :	Serial Data Input/Output
	Peripheral	SI00, SI01, SI11, SI20 :	Serial Data Input
KR0-KR9 :	Key Return	SO00, SO01, SO11,	
P00-P03 :	Port 0	SO20 :	Serial Data Output
P10-P17 :	Port 1	TI00-TI07 :	Timer Input
P20-P23 :	Port 2	TO00-TO07 :	Timer Output
P30-P31 :	Port 3	TOOL0 :	Data Input/Output for Tool
P40-P42 :	Port 4	TOOLRxD, TOOLTxD :	Data Input/Output for
P50, P51 :	Port 5		External Device
P60, P61 :	Port 6	TxD0-TxD2 :	Transmit Data
P120- P122, P125 :	Port 12	V _{DD} :	Power Supply
P137 :	Port 13	V _{SS} :	Ground
P147 :	Port 14	X1, X2 :	Crystal Oscillator (Main
PCLBUZ0, PCLBUZ1 :	Programmable Clock		System Clock)
	Output/Buzzer Output		

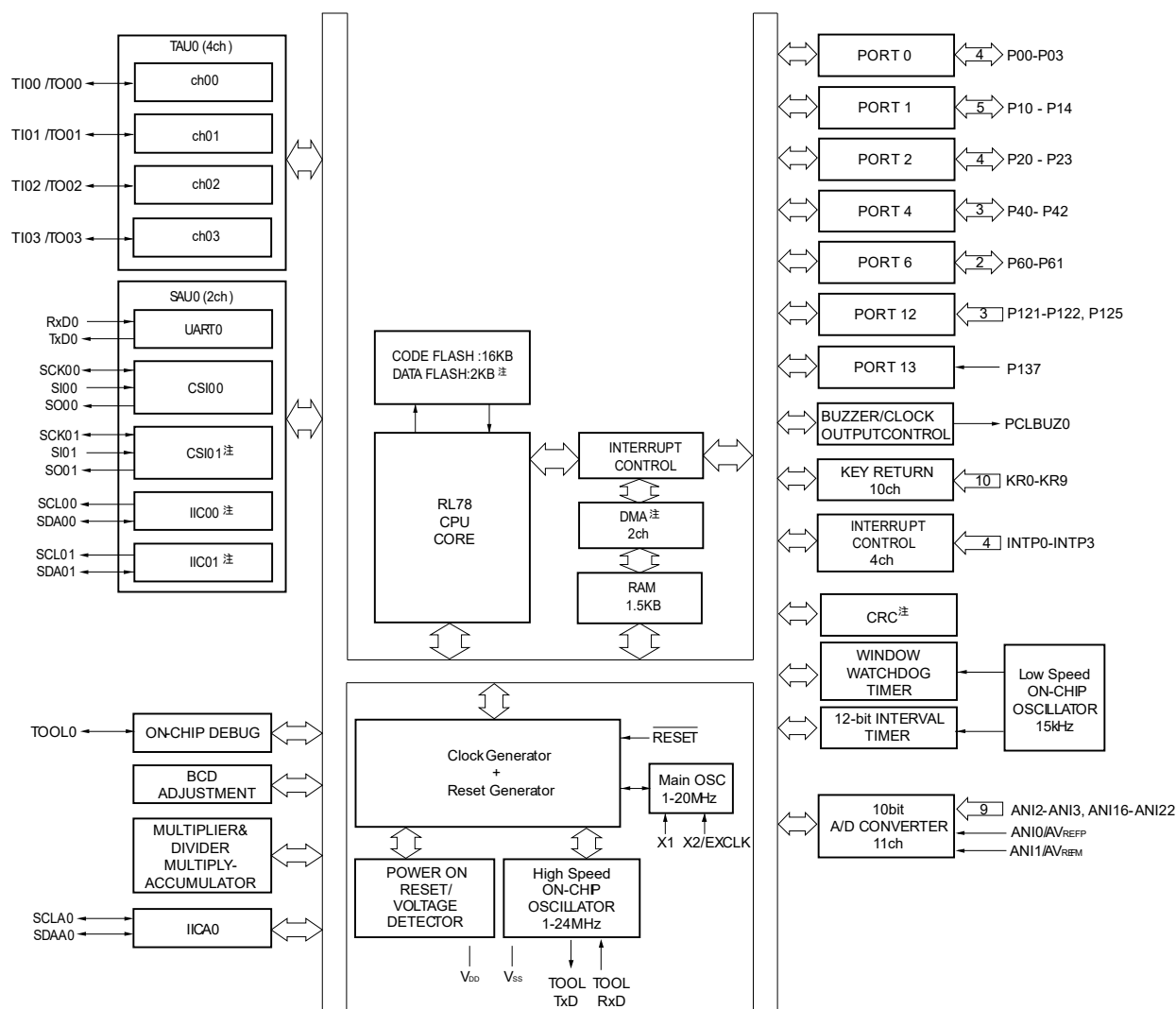
1.6 ブロック図

1.6.1 20ピン製品



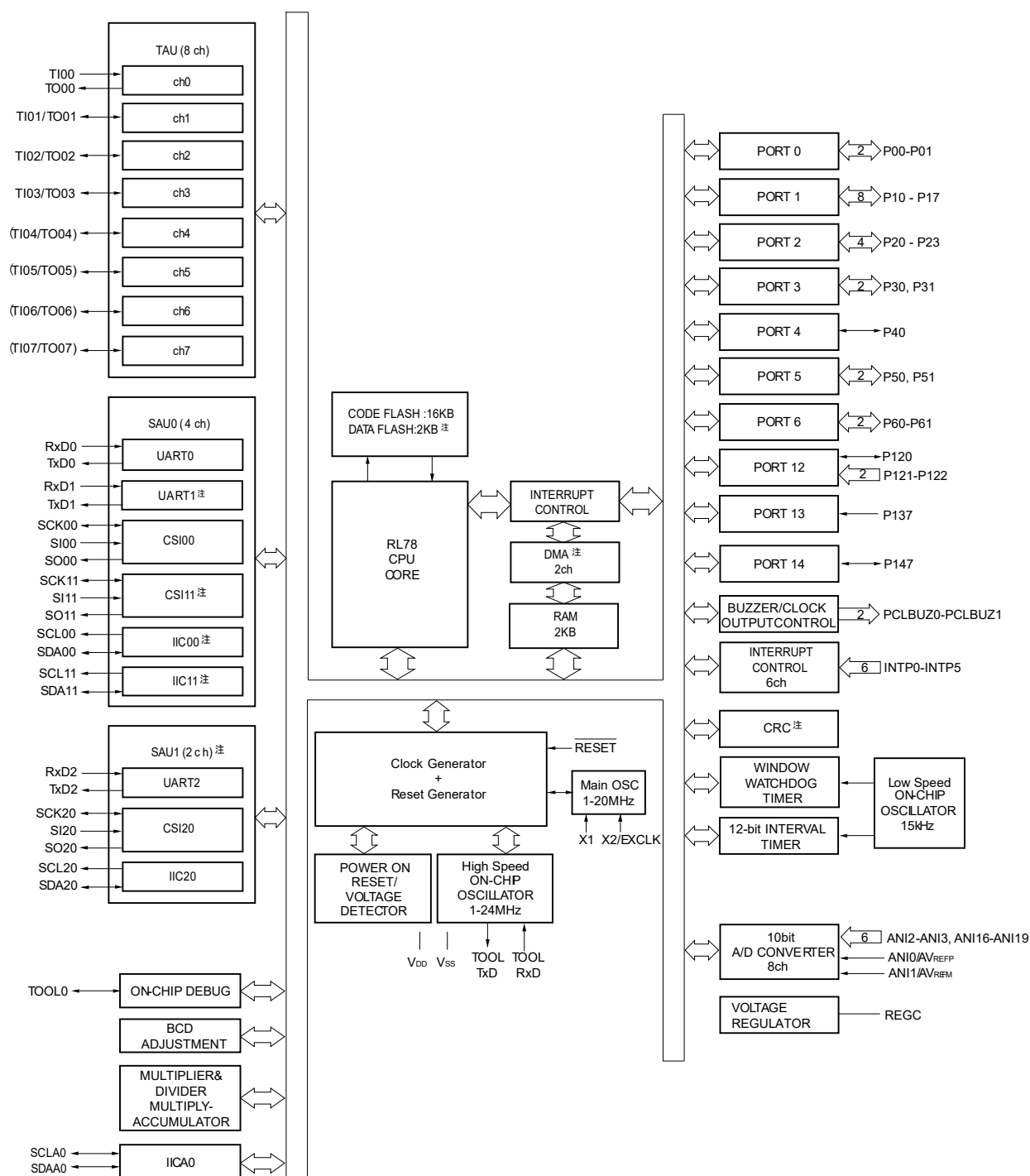
注 R5F102製品のみ

1.6.2 24ピン製品



注 R5F102製品のみ

1.6.3 30ピン製品



注 R5F102製品のみ

備考 () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

図4-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

1.7 機能概要

周辺I/Oリダイレクション・レジスタ（PIOR）を00Hに設定したときの機能概要です。

(1/2)

項 目		20ピン		24ピン		30ピン	
		R5F1026x	R5F1036x	R5F1027x	R5F1037x	R5F102Ax	R5F103Ax
コード・フラッシュ・メモリ		2-16 KB ^{注1}		4-16 KB			
データ・フラッシュ・メモリ		2 KB	—	2 KB	—	2 KB	—
RAM		256 B -1.5 KB		512 B -1.5 KB		512 B -2 KB	
アドレス空間		1 Mバイト					
メイン・システム・クロック	高速システム・クロック	X1, (水晶／セラミック) 発振, 外部メイン・システム・クロック入力 (EXCLK) HS (高速メイン) モード: 1~20 MHz (V _{DD} = 2.7~5.5 V) , HS (高速メイン) モード: 1~16 MHz (V _{DD} = 2.4~5.5 V) , LS (低速メイン) モード: 1~8 MHz (V _{DD} = 1.8~5.5 V)					
	高速オンチップ・オシレータ・クロック	HS (高速メイン) モード: 1~24 MHz (V _{DD} = 2.7~5.5 V) , HS (高速メイン) モード: 1~16 MHz (V _{DD} = 2.4~5.5 V) , LS (低速メイン) モード: 1~8 MHz (V _{DD} = 1.8~5.5 V)					
低速オンチップ・オシレータ・クロック		15 kHz (TYP.)					
汎用レジスタ		(8ビット・レジスタ×8) ×4バンク					
最小命令実行時間		0.04167 μs (高速オンチップ・オシレータ・クロック: f _{IH} = 24 MHz動作時)					
		0.05 μs (高速システム・クロック: f _{MX} = 20 MHz動作時)					
命令セット		・データ転送 (8/16ビット) ・加減／論理演算 (8/16ビット) ・乗算 (8ビット×8ビット) ・ローテート, パレル・シフト, ビット操作 (セット, リセット, テスト, ブール演算) など					
I/Oポート	合計	18		22		26	
	CMOS入出力	12 (N-ch O.D.入出力 [V _{DD} 耐圧]: 4)		16 (N-ch O.D.入出力 [V _{DD} 耐圧]: 5)		21 (N-ch O.D.入出力 [V _{DD} 耐圧]: 9)	
	CMOS入力	4		4		3	
	N-chオープン・ドレイン入出力 (6 V耐圧)	2					
タイマ	16ビット・タイマ	4 チャンネル				8 チャンネル	
	ウォッチドッグ・タイマ	1チャンネル					
	12ビット・インターバル・タイマ	1チャンネル					
	タイマ出力	4本 (PWM出力: 3本 ^{注3})				8本 (PWM出力: 7本 ^{注3}) ^{注2}	

注1. R5F10266とR5F10366は、セルフ・プログラミング機能は使用できません。

2. PIOR0 = 1に設定したときの最大本数です。

3. 使用チャンネルの設定（マスタとスレーブの数）によって、PWM出力数は変わります（6.9.3 多重PWM出力機能としての動作参照）。

注意 ユーザ・プログラムでフラッシュ・メモリの書き換えを行う場合は、各ライブラリを利用するため、コード・フラッシュ、RAM領域を使用します。そのため、RL78ファミリ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズマニュアルおよびRL78ファミリ データ・フラッシュ・ライブラリType04 ユーザーズマニュアルを必ずご確認の上、ご使用ください。

(2/2)

項 目		20ピン		24ピン		30ピン	
		R5F1026x	R5F1036x	R5F1027x	R5F1037x	R5F102Ax	R5F103Ax
クロック出力／ブザー出力		1本				2本	
		2.44 kHz ～ 10 MHz（周辺ハードウェア・クロック：f _{MAIN} = 20 MHz動作時）					
8/10ビット分解能A/Dコンバータ		11チャンネル				8チャンネル	
シリアル・インタフェース		【R5F1026x (20ピン), R5F1027x (24ピン)】 ・簡易SPI (CSI)：2チャンネル／簡易I ² C：2チャンネル／UART：1チャンネル 【R5F102Ax (30ピン)】 ・簡易SPI (CSI)：1チャンネル／簡易I ² C：1チャンネル／UART：1チャンネル ・簡易SPI (CSI)：1チャンネル／簡易I ² C：1チャンネル／UART：1チャンネル ・簡易SPI (CSI)：1チャンネル／簡易I ² C：1チャンネル／UART：1チャンネル 【R5F1036x (20ピン), R5F1037x (24ピン)】 ・簡易SPI (CSI)：1チャンネル／簡易I ² C：0チャンネル／UART：1チャンネル 【R5F103Ax (30ピン)】 ・簡易SPI (CSI)：1チャンネル／簡易I ² C：0チャンネル／UART：1チャンネル					
		I ² Cバス					
		1チャンネル					
乗除算・積和演算器		乗算：16ビット×16ビット = 32ビット（符号付／符号なし） 除算：32ビット÷32ビット = 32ビット（符号なし） 積和演算：16ビット×16ビット+32ビット = 32ビット（符号付／符号なし）					
DMAコントローラ		2チャンネル	—	2チャンネル	—	2チャンネル	—
ベクタ割り込み要因数	内部	18	16	18	16	26	19
	外部	5				6	
キー割り込み		6		10		—	
リセット		・RESET端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・パワーオン・リセットによる内部リセット ・電圧検出回路による内部リセット ・不正命令の実行による内部リセット ^注 ・RAMパリティ・エラーによる内部リセット ・不正メモリ・アクセスによる内部リセット					
パワーオン・リセット回路		・パワーオン・リセット：1.51 V（TYP.） ・パワーダウン・リセット：1.50 V（TYP.）					
電圧検出回路		・立ち上がり：1.88 V～4.06 V（12段階） ・立ち下がり：1.84 V～3.98 V（12段階）					
オンチップ・デバッグ機能		あり					
電源電圧		V _{DD} = 1.8～5.5 V					
動作周囲温度		T _A = -40～+85°C（A：民生用途，D：産業用途），T _A = -40～+105°C（G：産業用途）					

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 ポート機能

端子の入出力バッファ電源は、 V_{DD} です。

各ポートで設定した入出力やバッファ、プルアップ抵抗は、兼用機能に対しても有効です。

2.1.1 20ピン製品

(1/2)

機能 名称	端子 タイプ	入出力	リセット 解除時	兼用機能	機 能
P10	8-3-2	入出力	アナログ 入力ポート	ANI16/PCLBUZ0/ SCK00/SCL00 ^{注3}	ポート1。 5ビット入出力ポート。
P11				ANI17/SI00/RxD0/ SDA00 ^{注3} /TOOLRxD	1ビット単位で入力／出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗
P12	7-3-2			ANI18/SO00/TxD0/ TOOLTxD	を使用可能（1ビット単位）。 P10, P11の入力はTTL入力バッファに設定可能。
P13	7-3-1			ANI19/TI00/TO00/ INTP2	P10-P12の出力はN-chオープン・ドレイン出力（V _{DD} 耐圧）に設定
P14				ANI20/TI01/TO01/ INTP3	可能。 アナログ入力に設定可能 ^{注1} 。
P20	4-3-1	入出力	アナログ 入力ポート	ANI0/AVREFP	ポート2。
P21				ANI1/AVREFM	4ビット入出力ポート。
P22				ANI2	1ビット単位で入力／出力の指定可能。
P23				ANI3	アナログ入力に設定可能 ^{注2} 。
P40	7-1-1	入出力	入力ポート	KR0/TOOL0	ポート4。
P41	7-3-2		アナログ 入力ポート	ANI22/SO01 ^{注3} /SDA01 ^{注3} / TI02/TO02/INTP1	3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P42	7-3-1			ANI21/SCK01 ^{注3} /SCL01 ^{注3} / TI03/TO03	入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗 を使用可能（1ビット単位）。 P41の出力はN-chオープン・ドレイン出力（V _{DD} 耐圧）に設定可能。 P41, P42はアナログ入力に設定可能 ^{注1} 。
P60	12-1-1	入出力	入力ポート	KR4/SCLA0/(TxD0)	ポート6。
P61				KR5/SDAA0/(RxD0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 出力はN-chオープン・ドレイン出力（6V耐圧）。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

3. R5F102製品のみ

備考 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。

詳細は、図4-8 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

(2/2)

機能 名称	端子 タイプ	入出力	リセット 解除時	兼用機能	機 能
P121	2-2-1	入力	入力ポート	KR3/X1/ (TI03)/(INTP3)	ポート12。 3ビット入力ポート。
P122				KR2/X2/EXCLK/ (TI02)/(INTP2)	P125は外部リセット用の入力端子 (RESET) と兼用しています。 外部リセットとして使用する場合は、オプション・バイト (000C1H) の PORTSELBビットに“1”を設定してください。 P125はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P125	3-1-1			KR1/SI01/ RESET	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

詳細は、図4-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

2.1.2 24ピン製品

(1/2)

機能 名称	端子 タイプ	入出力	リセット 解除時	兼用機能	機 能
P00	7-1-1	入出力	入力ポート	KR6/(SI01) ^{注3}	ポート0。
P01	7-1-2			KR7/(SO01) ^{注3} / (SDA01) ^{注3}	4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P02	7-1-1			KR8/(SCK01) ^{注3} / (SCL01) ^{注3}	入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗 を使用可能（1ビット単位）。
P03				KR9	P01の出力はN-chオープン・ドレイン出力（V _{DD} 耐圧）に設定可能。
P10	8-3-2	入出力	アナログ 入力ポート	ANI16/PCLBUZ0/ SCK00/SCL00 ^{注3}	ポート1。 5ビット入出力ポート。
P11	7-3-2			ANI17/SI00/RxD0/ SDA00 ^{注3} /TOOLRxD	1ビット単位で入力／出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗 を使用可能（1ビット単位）。
P12				ANI18/SO00/TxD0/ TOOLTxD	P10, P11の入力はTTL入力バッファに設定可能。
P13	7-3-1			ANI19/TI00/TO00/ INTP2	P10-P12の出力はN-chオープン・ドレイン出力（V _{DD} 耐圧）に設定 可能。
P14				ANI20/TI01/TO01/ INTP3	アナログ入力に設定可能 ^{注1} 。
P20	4-3-1	入出力	アナログ 入力ポート	ANI0/AVREFP	ポート2。
P21				ANI1/AVREFM	4ビット入出力ポート。
P22				ANI2	1ビット単位で入力／出力の指定可能。
P23				ANI3	アナログ入力に設定可能 ^{注2} 。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx) で設定します。(1ビット単位で設定可能)

2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC) で設定します。

3. R5F102製品のみ

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

詳細は、図4-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

(2/2)

機能 名称	端子 タイプ	入出力	リセット 解除時	兼用機能	機 能
P40	7-1-1	入出力	入力ポート アナログ 入力ポート	KR0/TOOL0	ポート4。
P41	7-3-2			ANI22/SO01 ^{注2} /SDA01 ^{注2} /TI02/ TO02/INTP1	3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能（1ビット単位）。
P42	7-3-1			ANI21/SCK01 ^{注2} /SCL01 ^{注2} /TI03/TO03	P41の出力はN-chオープン・ドレイン出力（V _{DD} 耐圧）に設定可能。 P41, P42はアナログ入力に設定可能。 ^{注1}
P60	12-1-1	入出力	入力ポート	KR4/SCLA0/ (TxD0)	ポート6。
P61				KR5/SDAA0/ (RxD0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 出力はN-chオープン・ドレイン出力（6V耐圧）。
P121	2-2-1	入力	入力ポート	KR3/X1/ (TI03)/(INTP3)	ポート12。
P122				KR2/X2/EXCLK/ (TI02)/(INTP2)	3ビット入力ポート。 P125は外部リセット用の入力端子（RESET）と兼用しています。 外部リセットとして使用する場合は、オプション・バイト（000C1H）の PORTSELBビットに“1”を設定してください。
P125	3-1-1			KR1/SIO1 ^{注2} /RESET	P125はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2. R5F102製品のみ

備考 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。
詳細は、図4-8 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

2.1.3 30ピン製品

(1/2)

機能 名称	端子 タイプ	入出力	リセット時	兼用機能	機 能
P00	7-3-2	入出力	アナログ 入力ポート	ANI17/TI00/TxD1 ^{注3}	ポート0。 2ビット入出力ポート。
P01	8-3-1			ANI16/TO00/RxD1 ^{注3}	1ビット単位で入力／出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能（1ビット単位）。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力（V _{DD} 耐圧）に設定可能。 アナログ入力に設定可能 ^{注1} 。
P10	8-1-2	入出力	入力ポート	SCK00/SCL00 ^{注3} / (TI07)/(TO07)	ポート1。 8ビット入出力ポート。
P11				SI00/RxD0/TOOLRxD/ SDA00 ^{注3} /(TI06)/(TO06)	1ビット単位で入力／出力の指定可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。
P12	7-1-2			SO00/TxD0/TOOLTxD/ (TI05)/(TO05)	P10-P15, P17の出力はN-chオープン・ドレイン出力（V _{DD} 耐圧）に設定可能。
P13	8-1-2			TxD2 ^{注3} /SO20 ^{注3} /(SDAA0) ^{注3} /(TI04)/(TO04)	入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能（1ビット単位）。
P14				RxD2 ^{注3} /SI20 ^{注3} /SDA20 ^{注3} / (SCLA0) ^{注3} /(TI03)/(TO03)	
P15				PCLBUZ1/SCK20 ^{注3} / SCL20 ^{注3} /(TI02)/(TO02)	
P16	8-1-1			TI01/TO01/INTP5/ (RxD0)	
P17	8-1-2			TI02/TO02/(TxD0)	
P20	4-3-1	入出力	アナログ 入力ポート	ANI0/AV _{REFP}	ポート2。
P21				ANI1/AV _{REFM}	4ビット入出力ポート。
P22				ANI2	1ビット単位で入力／出力の指定可能。
P23				ANI3	アナログ入力に設定可能 ^{注2} 。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

3. R5F102製品のみ

備考 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。
詳細は、図4-8 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

(2/2)

機能 名称	端子 タイプ	入出力	リセット時	兼用機能	機 能
P30	7-1-1	入出力	入力ポート	INTP3/ SCK11 ^{注2} /SCL11 ^{注2}	ポート3。 2ビット入出力ポート。
P31				TI03/TO03/INTP4/ PCLBUZ0	1ビット単位で入力／出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能（1ビット単位）。
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P50	7-1-2	入出力	入力ポート	INTP1/SI11 ^{注2} /SDA11 ^{注2}	ポート5。 2ビット入出力ポート。
P51	7-1-1			INTP2/SO11 ^{注2}	1ビット単位で入力／出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能（1ビット単位）。 P50の出力はN-chオープン・ドレイン出力（V _{DD} 耐圧）に設定可能。
P60	12-1-1	入出力	入力ポート	SCLA0	ポート6。
P61				SDAA0	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 N-chオープン・ドレイン出力（6 V耐圧）
P120	7-3-1	入出力	アナログ 入力ポート	ANI19	ポート12。 1ビット入出力ポートと2ビット入力専用ポート。
P121	2-2-1	入力	入力ポート	X1	P120のみ、入力／出力の指定が可能。
P122				X2/EXCLK	P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120はアナログ入力に設定可能 ^{注1} 。
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-3-1	入出力	アナログ 入力ポート	ANI18	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 アナログ入力に設定可能 ^{注1} 。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2. R5F102製品のみ

備考 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。
詳細は、図4-8 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

2.2 ポート以外の機能

2.2.1 製品別の搭載機能

機能名称	20ピン製品	24ピン製品	30ピン製品
ANI0	○	○	○
ANI1	○	○	○
ANI2	○	○	○
ANI3	○	○	○
ANI16	○	○	○
ANI17	○	○	○
ANI18	○	○	○
ANI19	○	○	○
ANI20	○	○	—
ANI21	○	○	—
ANI22	○	○	—
INTP0	○	○	○
INTP1	○	○	○
INTP2	○	○	○
INTP3	○	○	○
INTP4	—	—	○
INTP5	—	—	○
KR0	○	○	—
KR1	○	○	—
KR2	○	○	—
KR3	○	○	—
KR4	○	○	—
KR5	○	○	—
KR6	—	○	—
KR7	—	○	—
KR8	—	○	—
KR9	—	○	—
PCLBUZ0	○	○	○
PCLBUZ1	—	—	○
REGC	—	—	○
RESET	○	○	○
RxD0	○	○	○
RxD1	—	—	○注
RxD2	—	—	○注
TxD0	○	○	○
TxD1	—	—	○注
TxD2	—	—	○注
SCK00	○	○	○
SCK01	○注	○注	—
SCK11	—	—	○注
SCK20	—	—	○注
SCLA0	○	○	○
SDAA0	○	○	○

注 R5F102製品のみ

機能名称	20ピン製品	24ピン製品	30ピン製品
SCL00	○注	○注	○注
SCL01	○注	○注	—
SCL11	—	—	○注
SCL20	—	—	○注
SDA00	○注	○注	○注
SDA01	○注	○注	—
SDA11	—	—	○注
SDA20	—	—	○注
SI00	○	○	○
SI01	○注	○注	—
SI11	—	—	○注
SI20	—	—	○注
SO00	○	○	○
SO01	○注	○注	—
SO11	—	—	○注
SO20	—	—	○注
TI00	○	○	○
TI01	○	○	○
TI02	○	○	○
TI03	○	○	○
TI04	—	—	(○)
TI05	—	—	(○)
TI06	—	—	(○)
TI07	—	—	(○)
TO00	○	○	○
TO01	○	○	○
TO02	○	○	○
TO03	○	○	○
TO04	—	—	(○)
TO05	—	—	(○)
TO06	—	—	(○)
TO07	—	—	(○)
X1	○	○	○
X2	○	○	○
EXCLK	○	○	○
VDD	○	○	○
AVREFP	○	○	○
AVREFM	○	○	○
VSS	○	○	○
TOOLRxD	○	○	○
TOOLTxD	○	○	○
TOOL0	○	○	○

備考 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。

詳細は、図4-8 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

2.2.2 機能説明

機能名称	入出力	機 能
ANI0-ANI3, ANI16-ANI22	入力	A/Dコンバータのアナログ入力（図10-44 アナログ入力端子の処理参照）
AV _{REFP}	入力	A/D コンバータの基準電位（+側）入力
AV _{REFM}	入力	A/D コンバータの基準電位（-側）入力
INTP0-INTP5	入力	外部割り込み要求入力 有効エッジ指定：立ち上がり，立ち下がり，立ち上がりと立ち下がりの両エッジ
KR0-KR9	入力	キー割り込み入力
PCLBUZ0, PCLBUZ1	出力	クロック出力／ブザー出力
REGC	－	内部動作レギュレータ出力安定のための容量を接続 コンデンサ（0.47～1 μF）を介し，V _{SS} に接続してください。
RESET	入力	ロウ・レベル・アクティブの外部リセット入力 外部リセット端子を使用しない場合，直接か抵抗を介してV _{DD} に接続してください。
RxD0-RxD2	入力	シリアル・インタフェースUART0, UART1, UART2のシリアル・データ入力
TxD0-TxD2	出力	シリアル・インタフェースUART0, UART1, UART2のシリアル・データ出力
SCK00, SCK01, SCK11, SCK20	入出力	シリアル・インタフェースCSI00, CSI01, CSI11, CSI20のシリアル・クロック入出力
SI00, SI01, SI11, SI20	入力	シリアル・インタフェースCSI00, CSI01, CSI11, CSI20のシリアル・データ入力
SO00, SO01, SO11, SO20	出力	シリアル・インタフェースCSI00, CSI01, CSI11, CSI20のシリアル・データ出力
SCLA0	入出力	シリアル・インタフェースIICAのシリアル・クロック入出力
SDAA0	入出力	シリアル・インタフェースIICAのシリアル・データ入出力
SCL00, SCL01, SCL11, SCL20	出力	シリアル・インタフェース簡易I ² C IIC00, IIC01, IIC11, IIC20のクロック出力
SDA00, SDA01, SDA11, SDA20	入出力	シリアル・インタフェース簡易I ² C IIC00, IIC01, IIC11, IIC20のシリアル・データ入出力
TI00-TI07	入力	16ビット・タイマ00-07への外部カウント・クロック／キャプチャ・トリガ入力
TO00-TO07	出力	16ビット・タイマ00-07 出力
X1, X2	－	メイン・システム・クロック用発振子接続
EXCLK	入力	メイン・システム・クロック用外部クロック入力
V _{DD}	－	正電源
V _{SS}	－	グラウンド電位
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART受信端子
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART送信端子
TOOL0	入出力	フラッシュ・メモリ・プログラマ／デバッグ用データ入出力

注意 リセット解除時のP40/TOOL0と動作モードとの関係は，次のようになります。

表2-1 リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
V _{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は，24.4 シリアル・プログラミング方法を参照してください。

備考 ノイズやラッチアップ対策として，V_{DD}-V_{SS}ライン間へのバイパス・コンデンサ（0.1 μF程度）を最短距離でかつ，比較的太い配線を使って接続してください。

2.3 未使用端子の処理

各端子の未使用端子の処理を表2-2, 2-3に示します。

製品により、搭載している端子が異なります。1.4 端子接続図 (Top View) , 2.1 ポート機能を参照してください。

表2-2 未使用端子の処理 (20, 24ピン製品)

端子名称	入出力	未使用時の推奨接続方法
P00-P03 注	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P10-P14		
P20-P23		
P40/TOOL0		入力時：個別に抵抗を介して、V _{DD} に接続かオープンにしてください。 出力時：オープンにしてください。
P41, P42		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P60, P61		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：ポートの出力ラッチに0を設定してオープン、またはポートの出力ラッチに1を設定し、個別に抵抗を介してV _{DD} またはV _{SS} に接続してください。
P121, P122	入力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P125/RESET		PORTSELB = 0：個別に抵抗を介して、V _{DD} に接続してください。 PORTSELB = 1：オープンまたはV _{DD} に接続してください。
P137		個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。

注 24ピン製品のみ

表2-3 未使用端子の処理 (30ピン製品)

端子名称	入出力	未使用時の推奨接続方法
P00, P01	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P10-P17		
P20-P23		
P30, P31		
P40/TOOL0		入力時：個別に抵抗を介して、V _{DD} に接続かオープンにしてください。 出力時：オープンにしてください。
P50, P51		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P60, P61		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：ポートの出力ラッチに0を設定してオープン、またはポートの出力ラッチに1を設定し、個別に抵抗を介してV _{DD} またはV _{SS} に接続してください。
P120		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P121, P122	入力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P137		
P147	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
RESET	入力	V _{DD} に直接接続または抵抗を介して接続してください。
REGC	-	コンデンサ (0.47~1 μF) を介し、V _{SS} に接続してください。

2.4 端子ブロック図

2.1.1 20ピン製品～2.1.3 30ピン製品に記載した端子タイプについて、端子ブロック図を図2-1～図2-13に示します。

図2-1 端子タイプ 2-1-1 の端子ブロック図

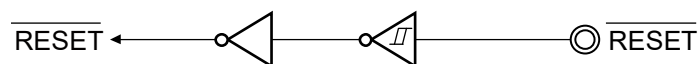
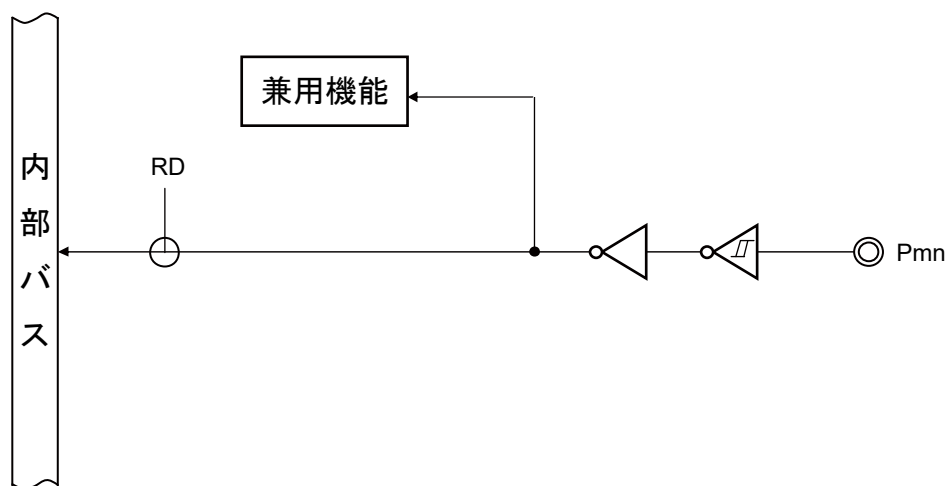
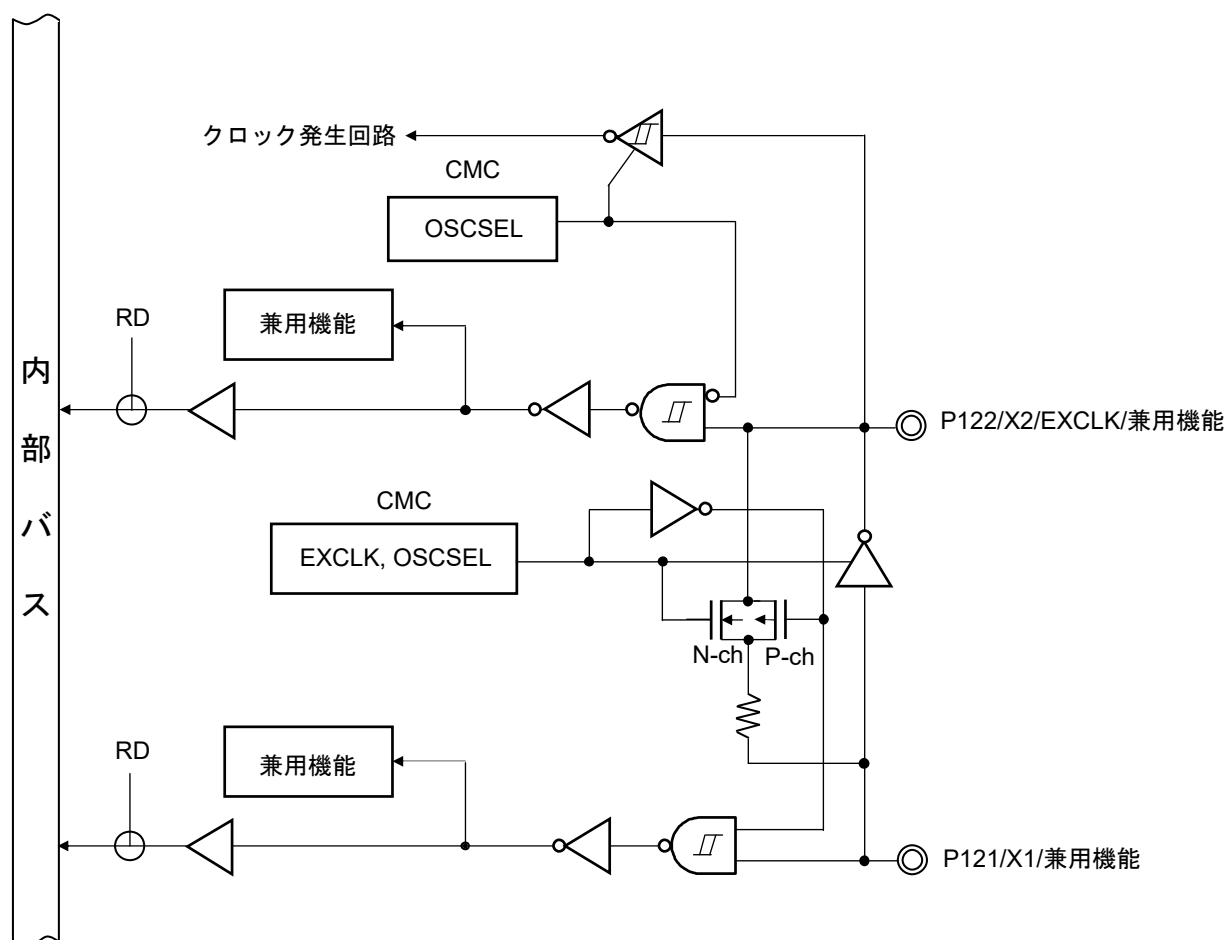


図2-2 端子タイプ 2-1-2 の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

図2-3 端子タイプ 2-2-1 の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

図2-4 端子タイプ 3-1-1 の端子ブロック図

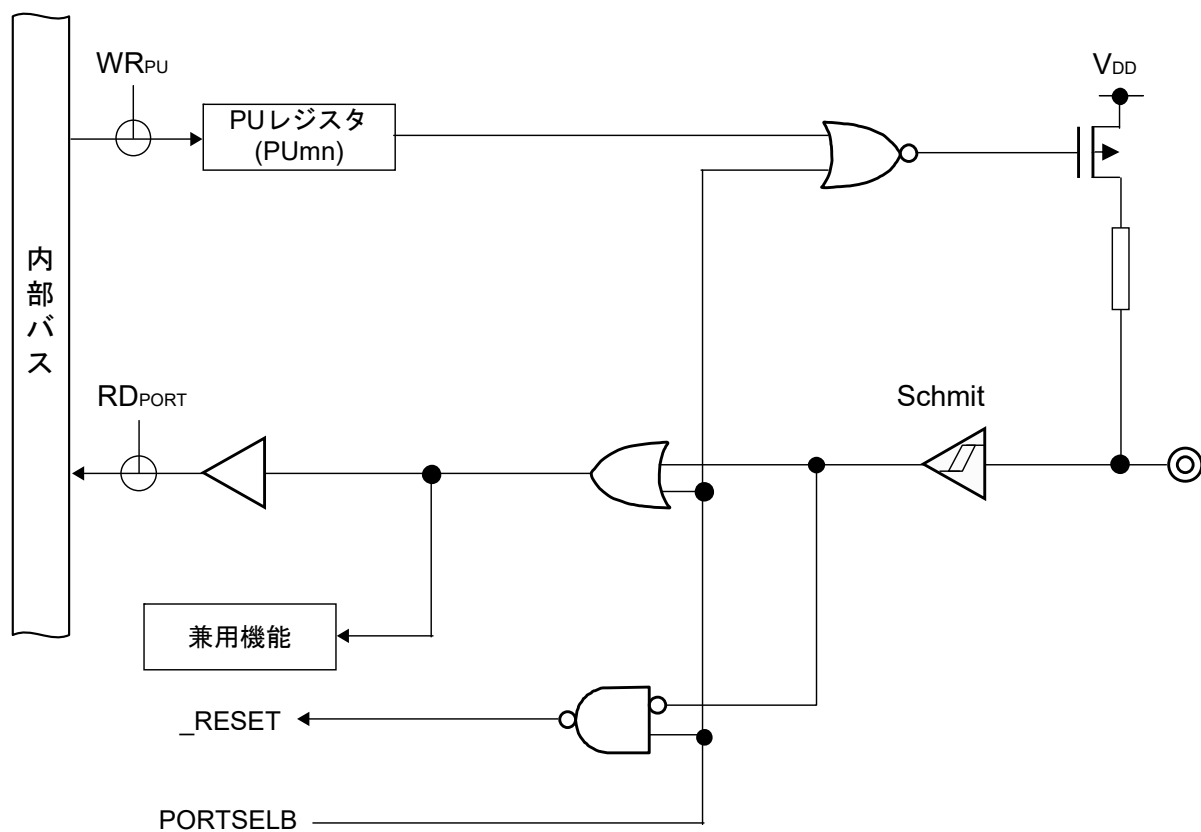


図2-5 端子タイプ 4-3-1 の端子ブロック図

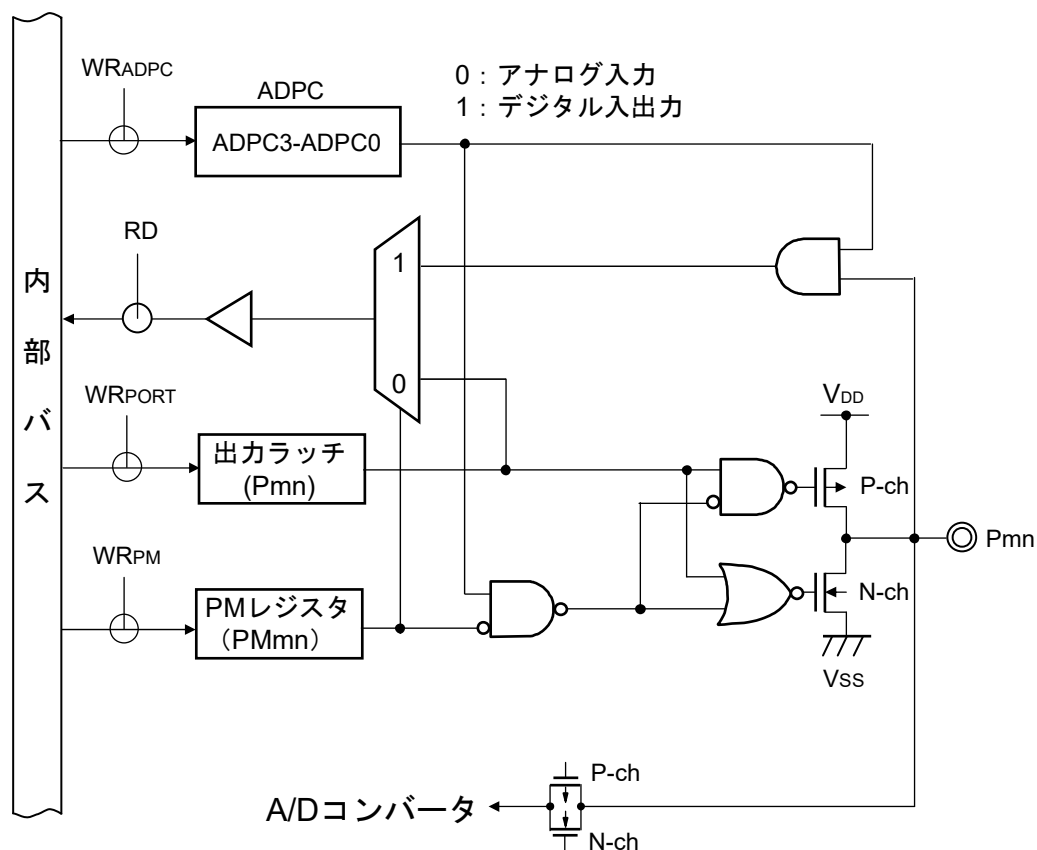
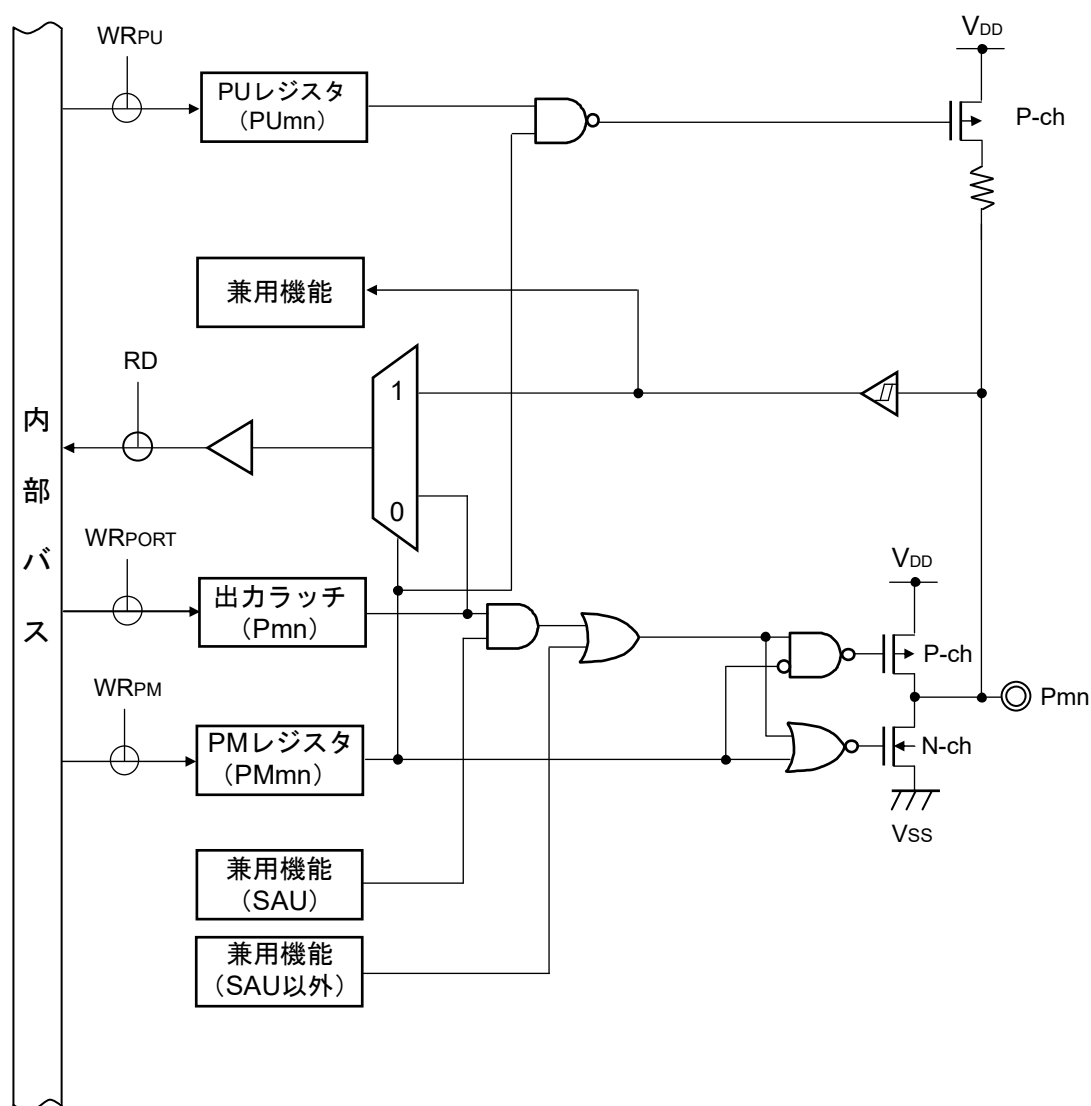


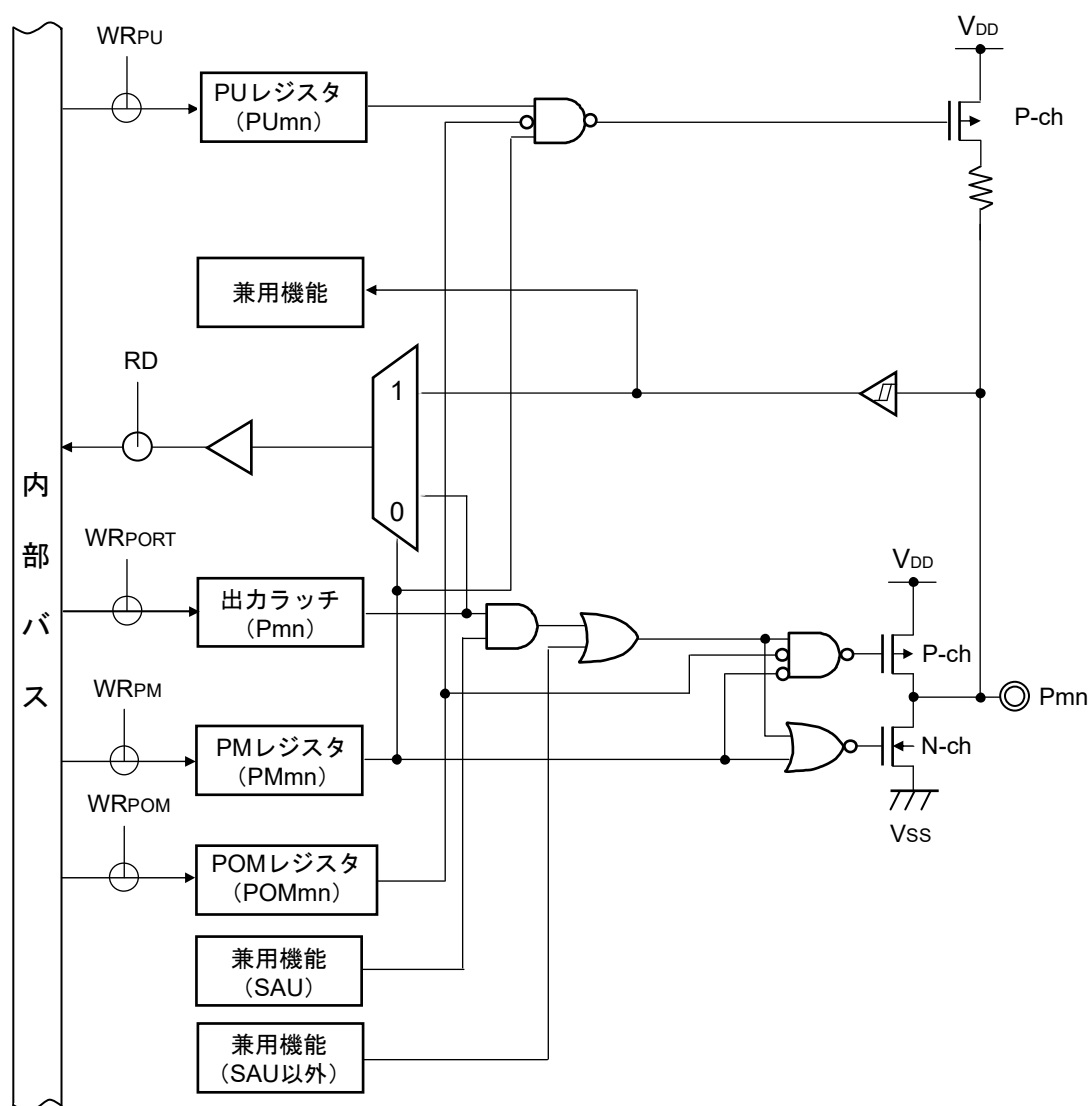
図2-6 端子タイプ 7-1-1 の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

図2-7 端子タイプ 7-1-2 の端子ブロック図

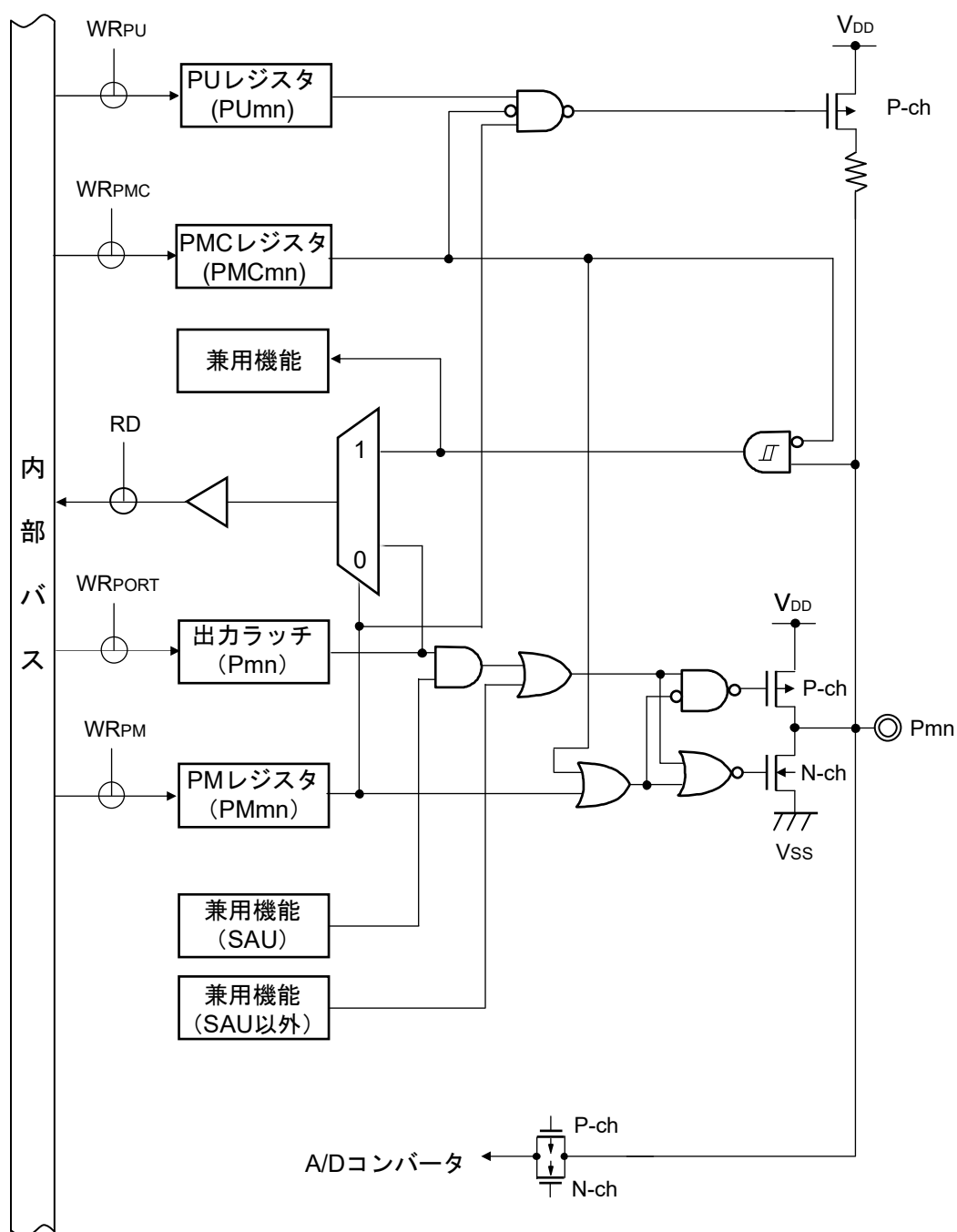


注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ(V_{DD} レベル)が発生することがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

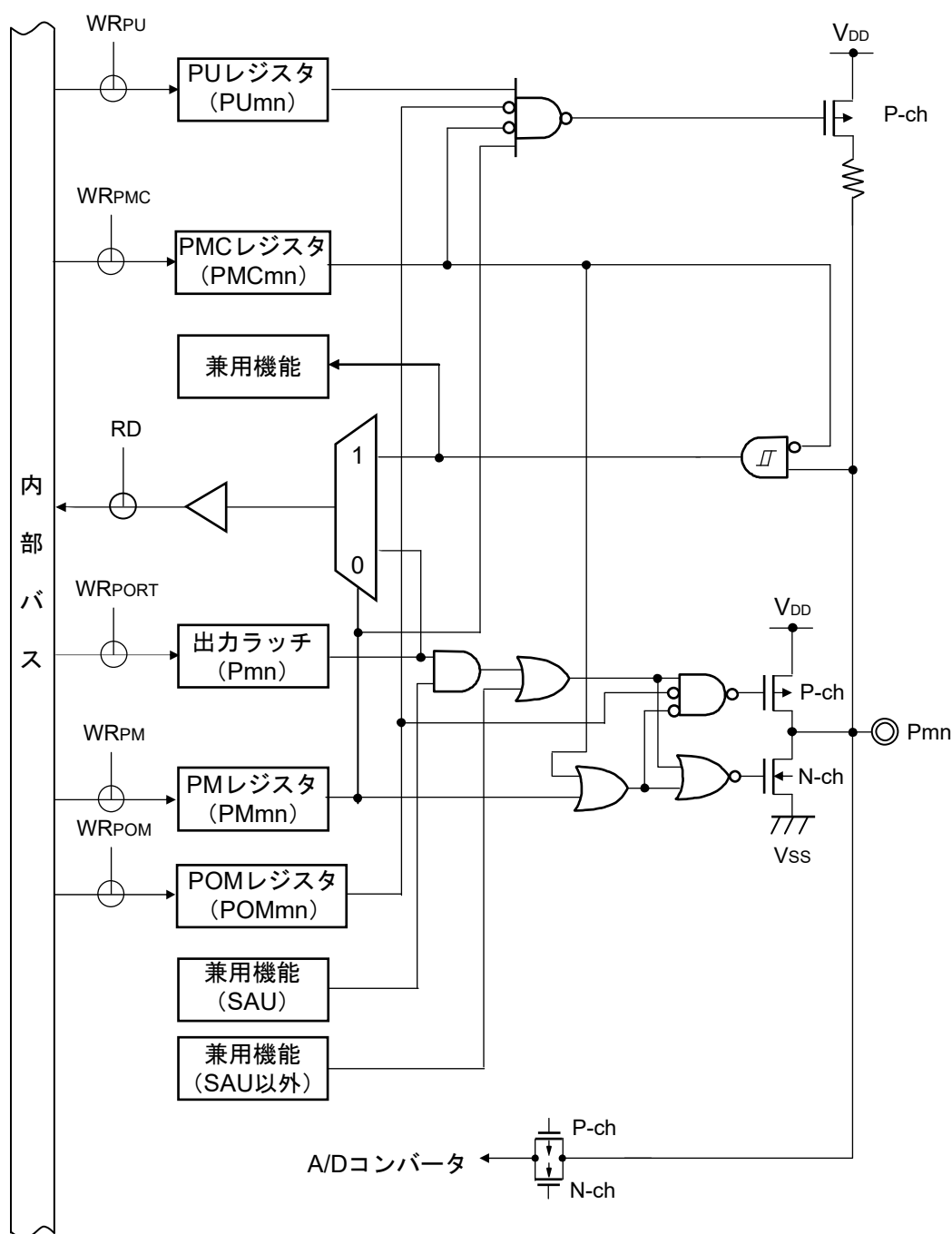
図2-8 端子タイプ 7-3-1 の端子ブロック図



備考1. 兼用機能は、**2.1 ポート機能**を参照してください。

2. SAU : シリアル・アレイ・ユニット

図2-9 端子タイプ 7-3-2 の端子ブロック図



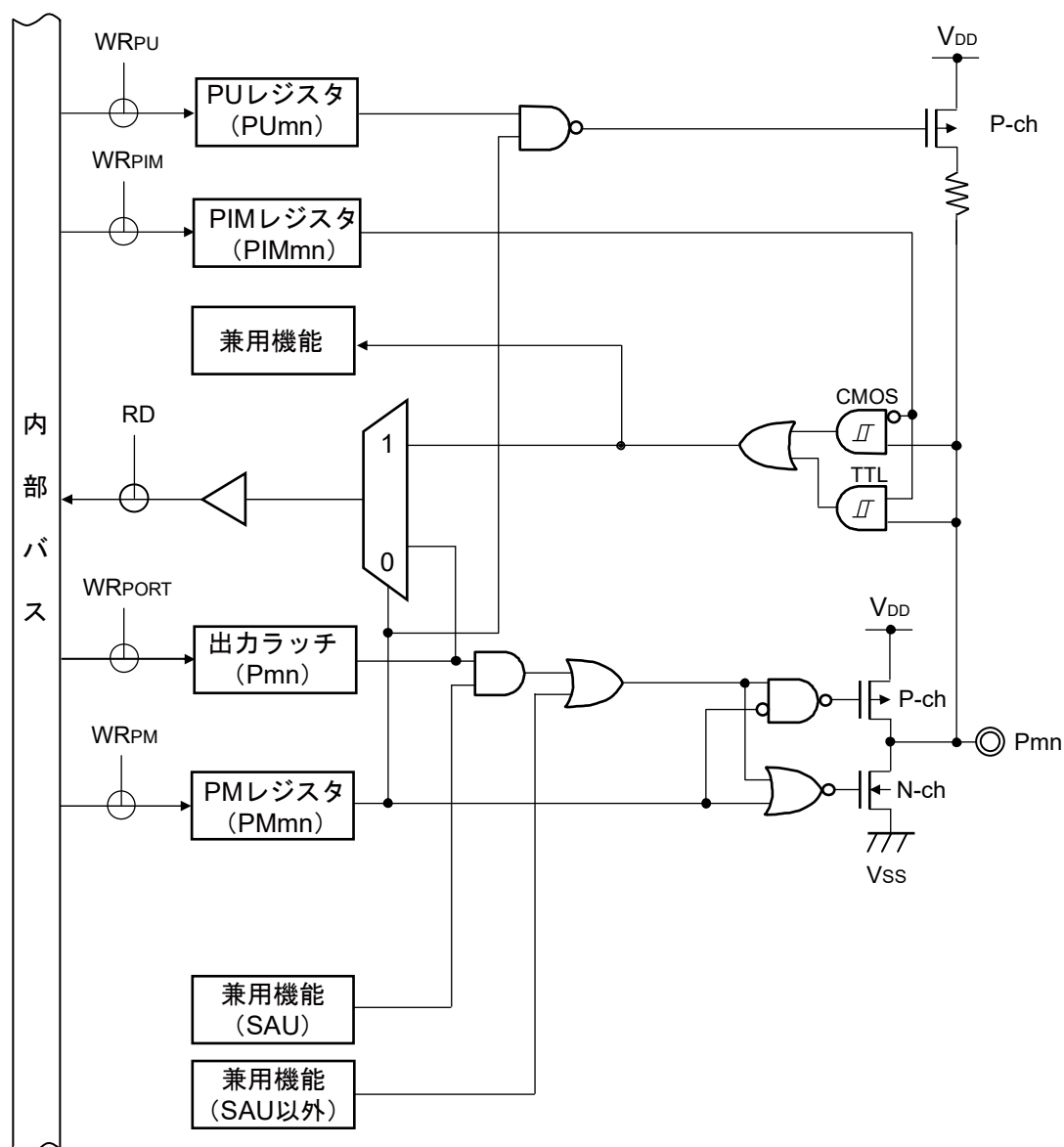
注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ(EV_{DD}レベル)が発生することがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

図2-10 端子タイプ 8-1-1 の端子ブロック図

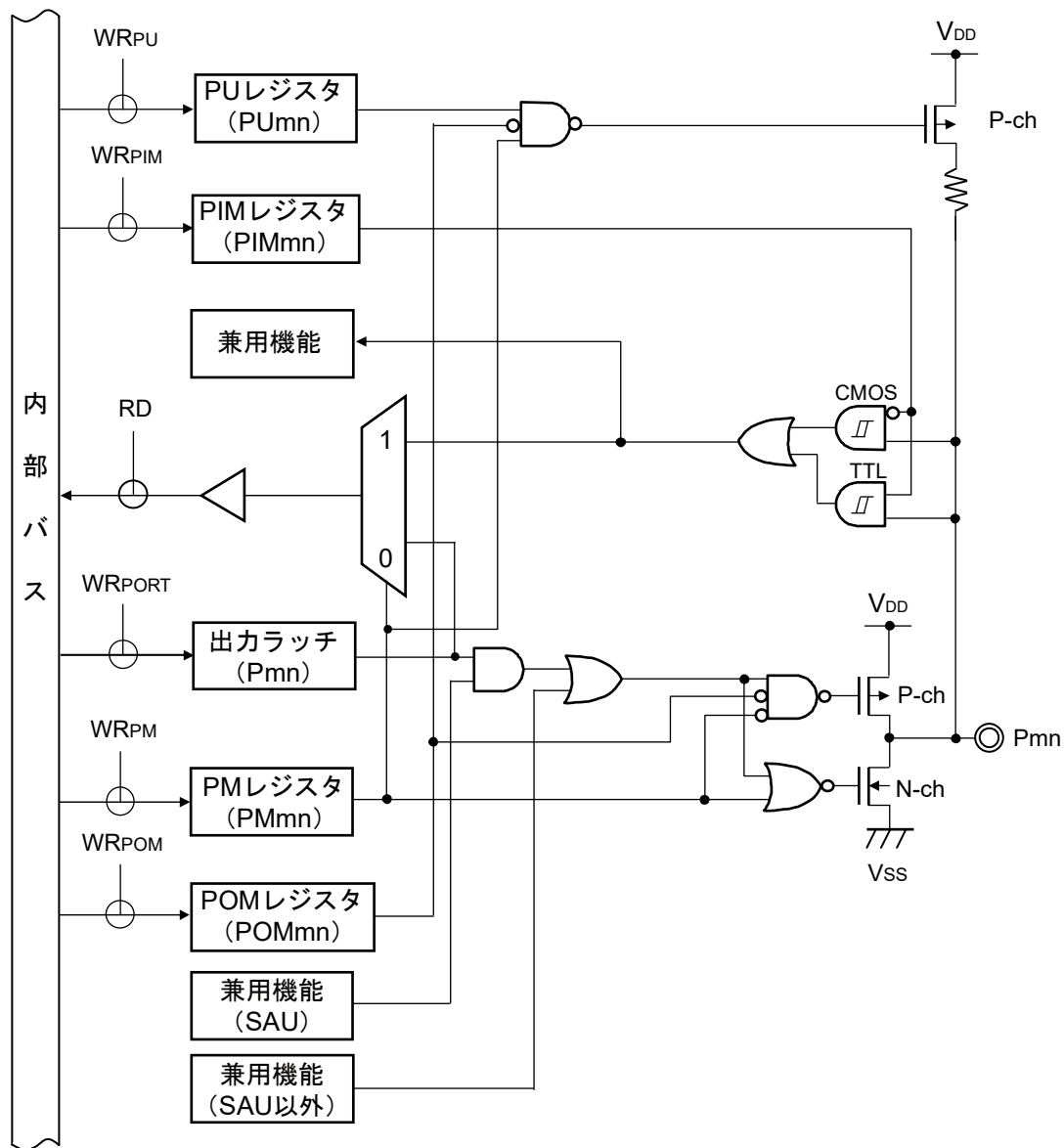


注意 ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

図2-11 端子タイプ 8-1-2 の端子ブロック図



注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

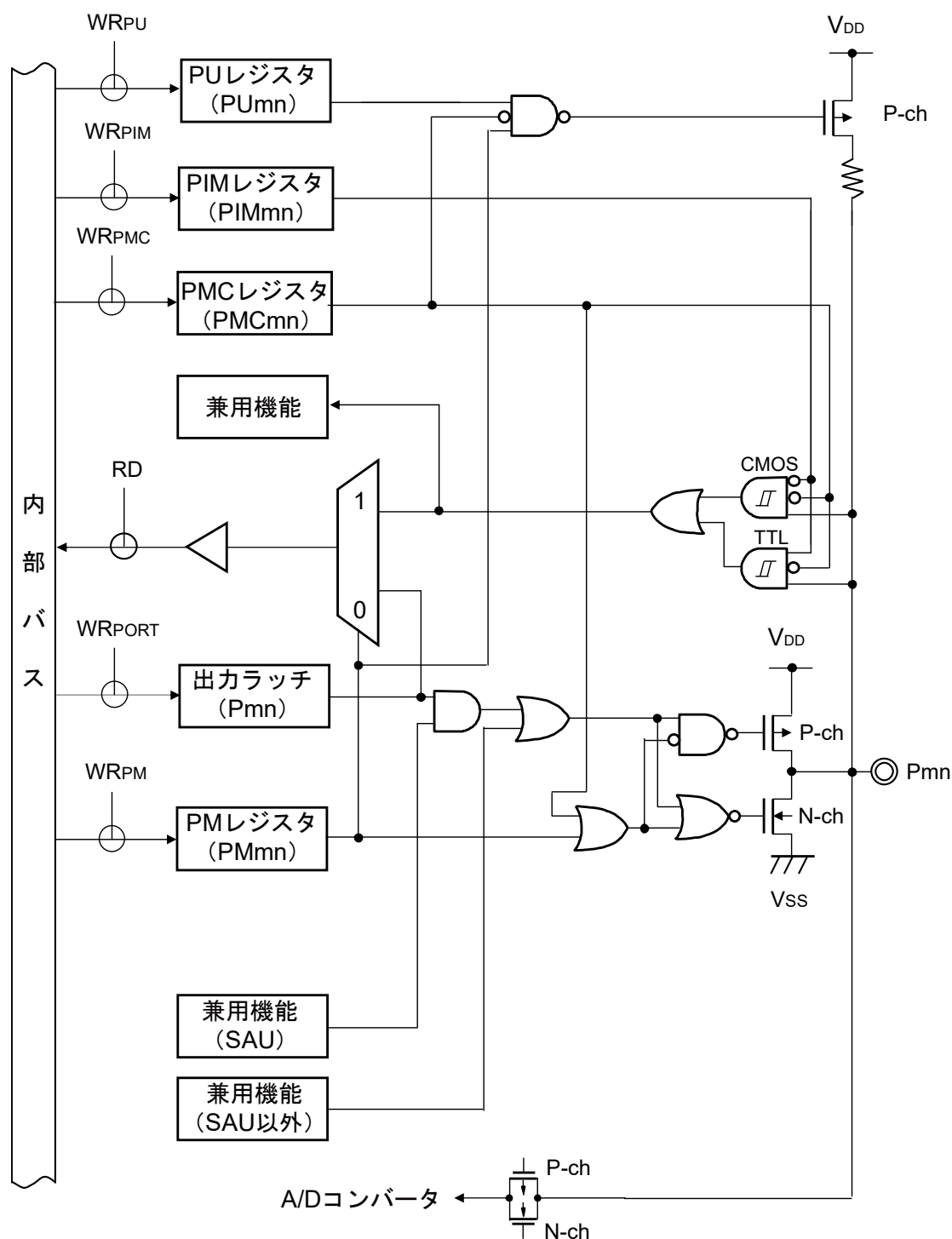
また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ(EV_{DD}レベル)が発生することがあります。

2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を抑えるには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

図2-12 端子タイプ 8-3-1 の端子ブロック図

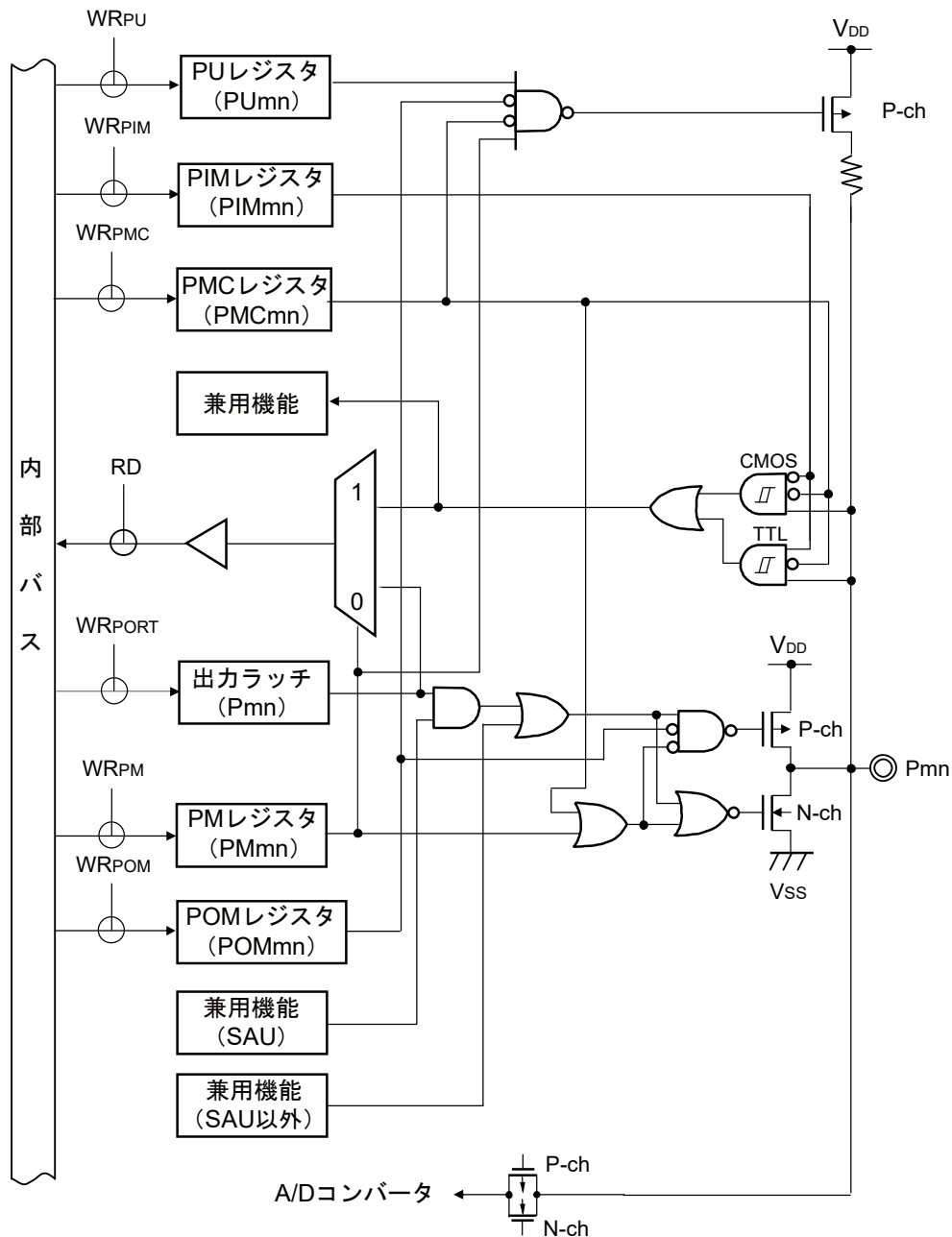


注意 ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

図2-13 端子タイプ 8-3-2 の端子ブロック図



注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

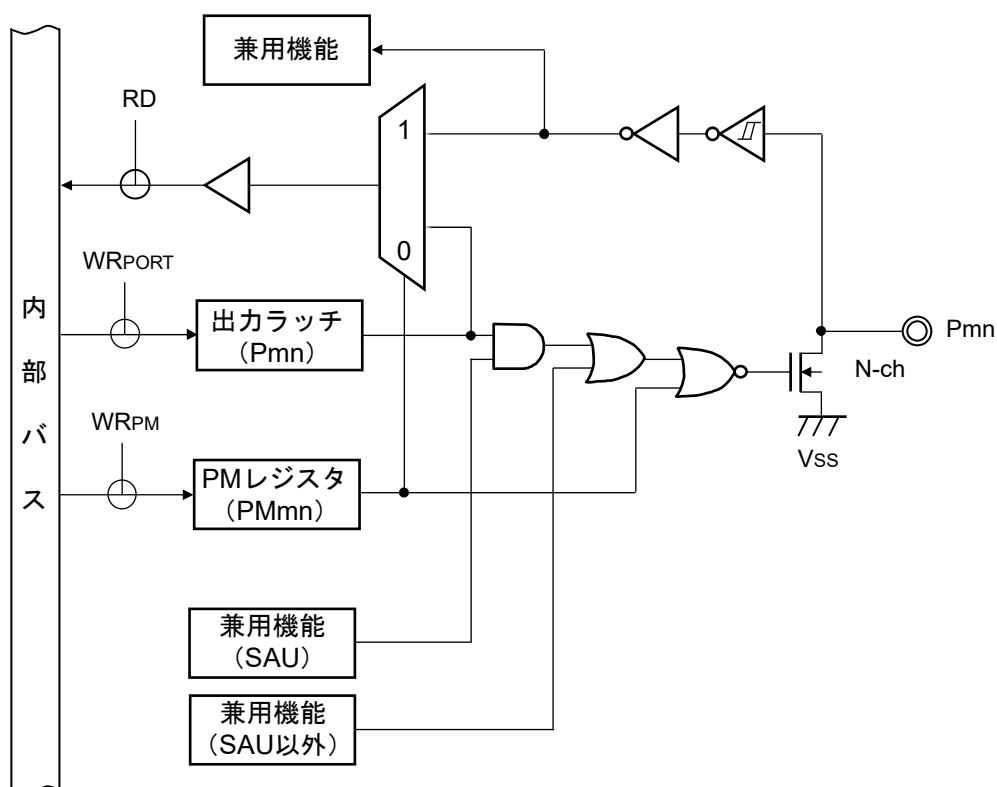
また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ(EV_{DD} レベル)が発生することがあります。

2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を抑えるには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

図2-14 端子タイプ 12-1-1 の端子ブロック図



注意 出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、**2.1 ポート機能**を参照してください。

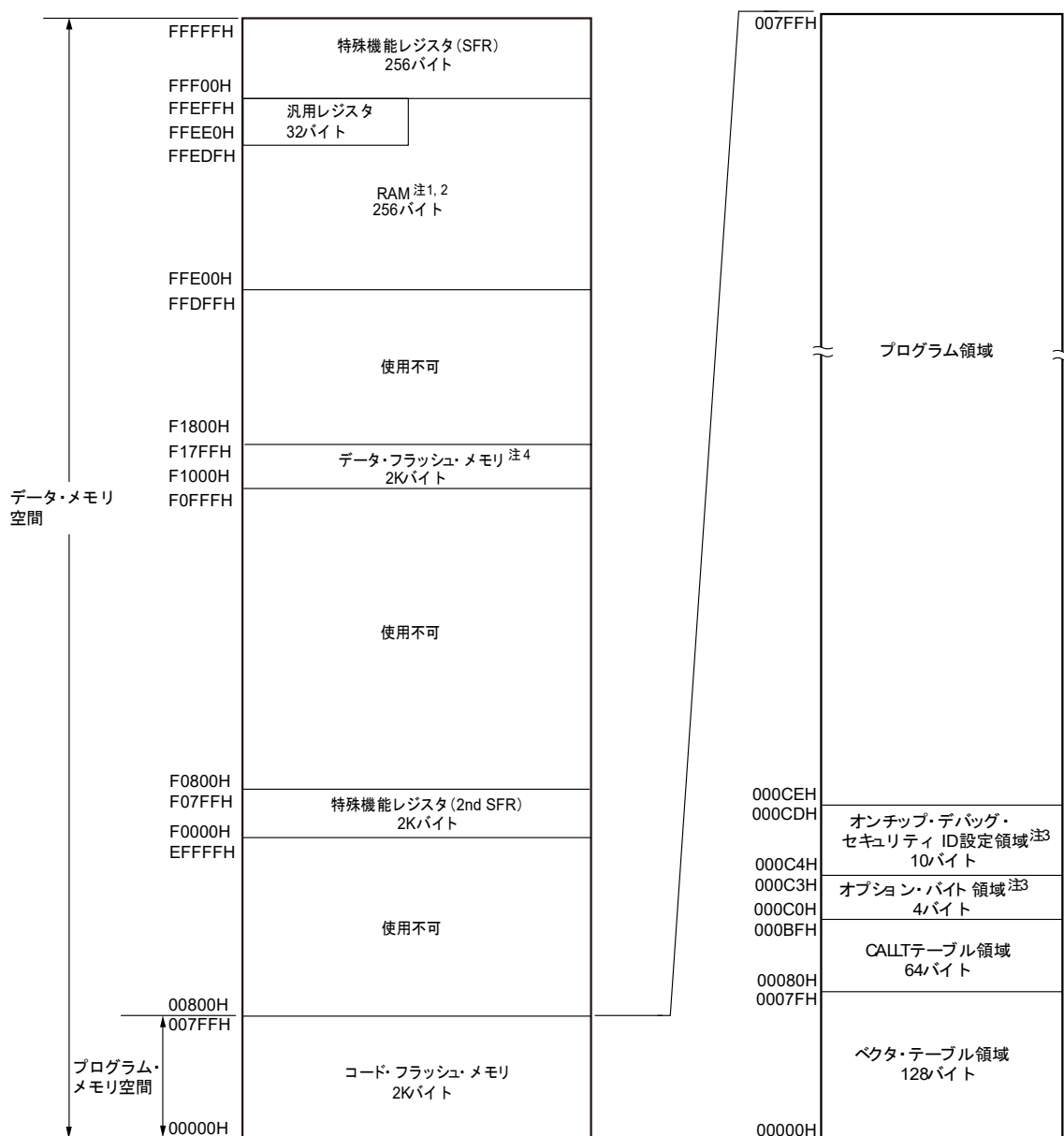
2. SAU : シリアル・アレイ・ユニット

第3章 CPUアーキテクチャ

3.1 メモリ空間

RL78/G12は、1 Mバイトのアドレス空間をアクセスできます。図3-1～図3-6に、メモリ・マップを示します。

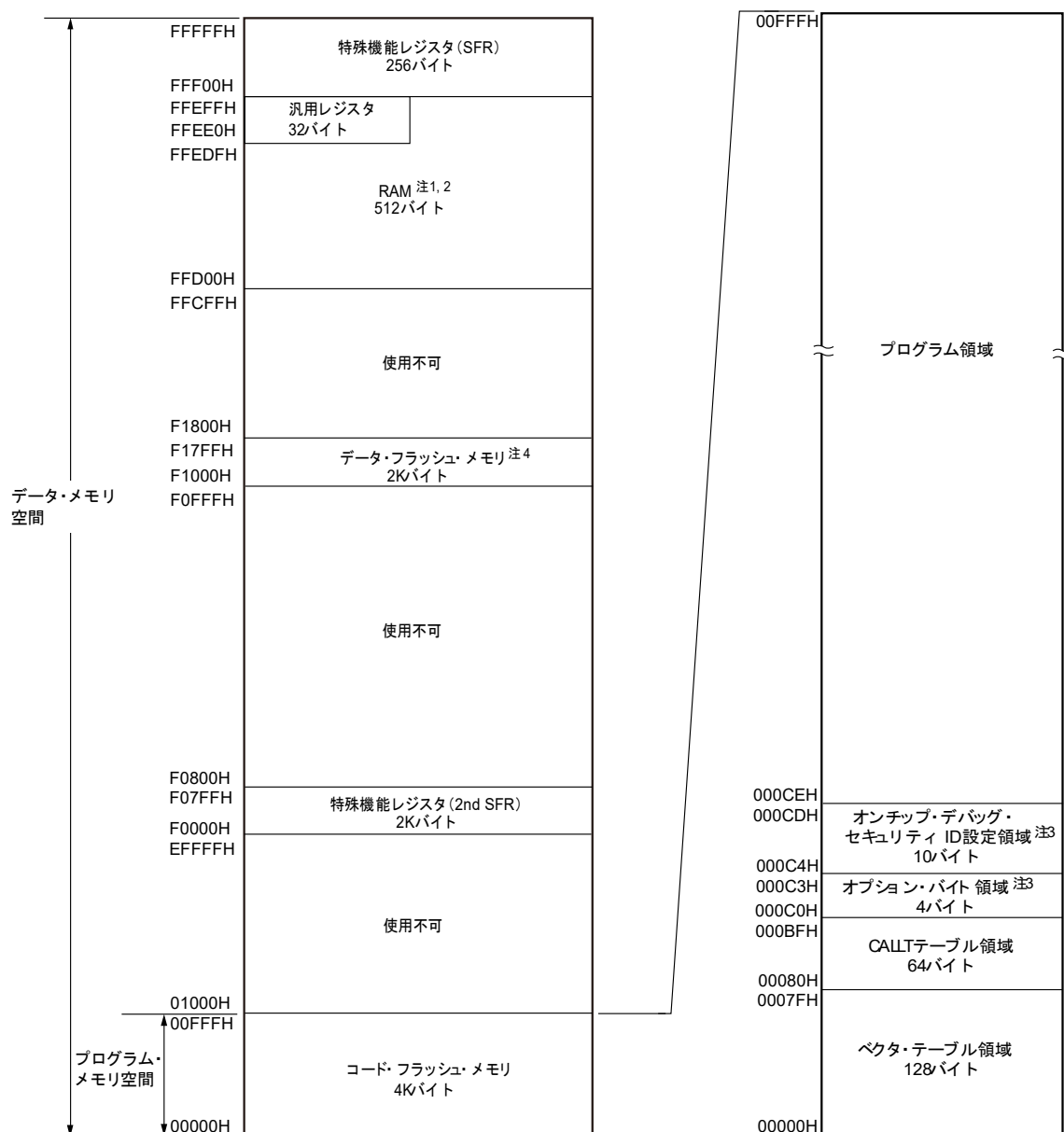
図3-1 メモリ・マップ (R5F10266, R5F10366)



- 注1. データ・フラッシュを書き換える場合、データ・フラッシュ・ライブラリで使用するスタックはFFEA2H-FFEDFHに、データ・バッファとDMA転送で利用するRAMアドレスはFFE00H-FFE1FHに配置してください。詳細は、**RL78ファミリ データ・フラッシュ・ライブラリType04 ユーザーズマニュアル**をご確認ください。
2. 汎用レジスタを除いたRAM領域から命令を実行できます。
3. 000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
4. R5F10366は使用不可領域になります。

- 注意1. RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は、21.3.2 RAMパリティ・エラー検出機能を参照してください。
2. R5F10266はRAMが256Byteと少ないため、お客様のプログラムの仕様によっては、データ・フラッシュ・ライブラリを実行するためのスタック領域が確保できず、データ・フラッシュへの書き込み／消去ができない場合があります。詳細は、RL78ファミリデータ・フラッシュ・ライブラリ Type04 ユーザーズマニュアルをご確認ください。
3. R5F10266 とR5F10366 は、セルフ・プログラミング機能は使用できません。

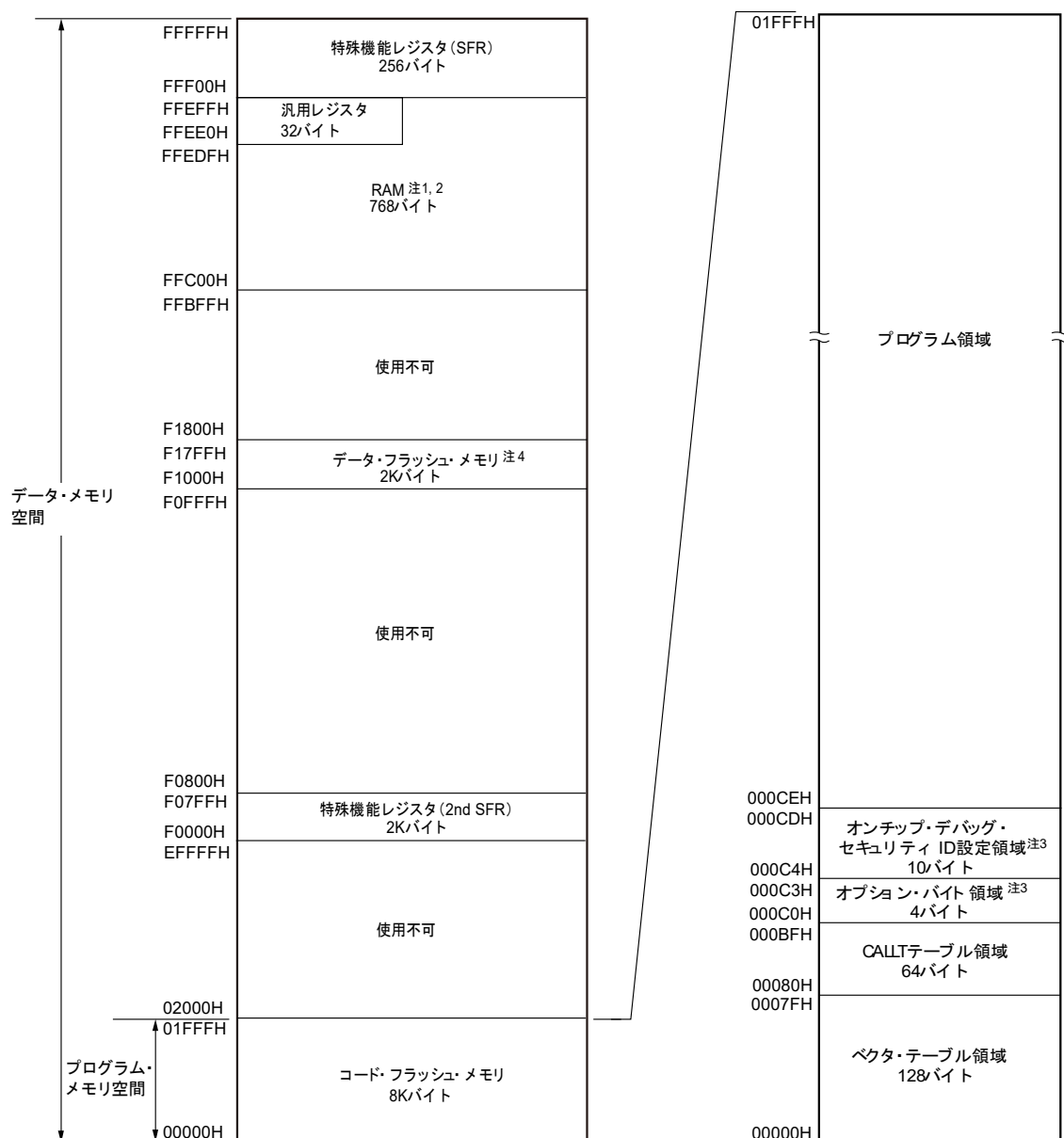
図3-2 メモリ・マップ (R5F10x67, R5F10x77, R5F10xA7 (x = 2, 3))



- 注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDMAによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
2. 汎用レジスタを除いたRAM領域から命令を実行できます。
3. 000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
4. R5F10367, R5F10377, R5F103A7は使用不可領域になります。

注意 RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、21.3.2 RAMパリティ・エラー検出機能を参照してください。

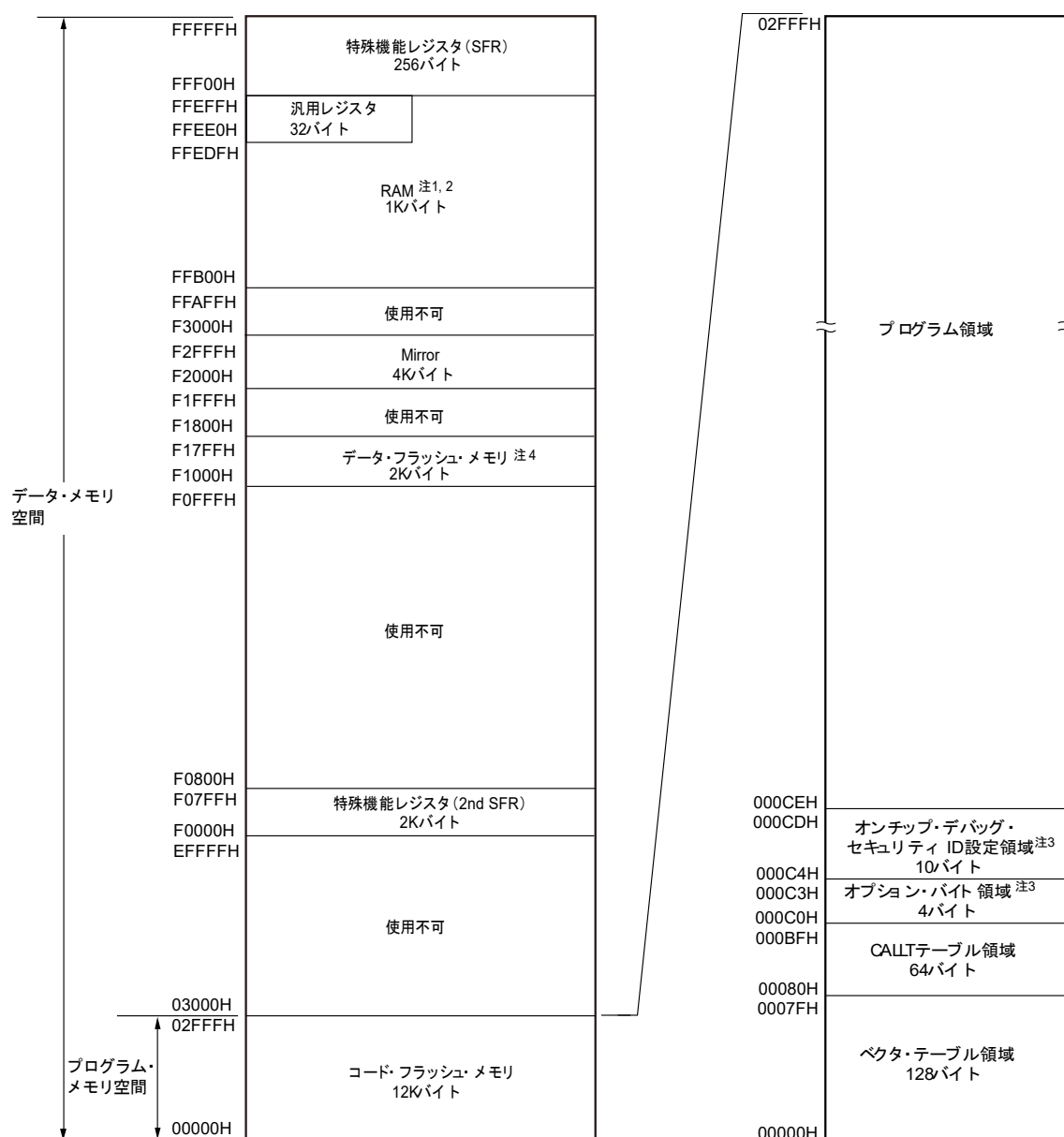
図3-3 メモリ・マップ (R5F10x68, R5F10x78, R5F10xA8 (x = 2, 3))



- 注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDMAIによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。またR5F10x68, R5F10x78は、フラッシュ・ライブラリがFFC00Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフプログラミングライブラリ セルフRAMリスト (R20UT2943) を参照してください。
2. 汎用レジスタを除いたRAM領域から命令を実行できます。
3. 000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
4. R5F10368, R5F10378, R5F103A8は使用不可領域になります。

注意 RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、21.3.2 RAMパリティ・エラー検出機能を参照してください。

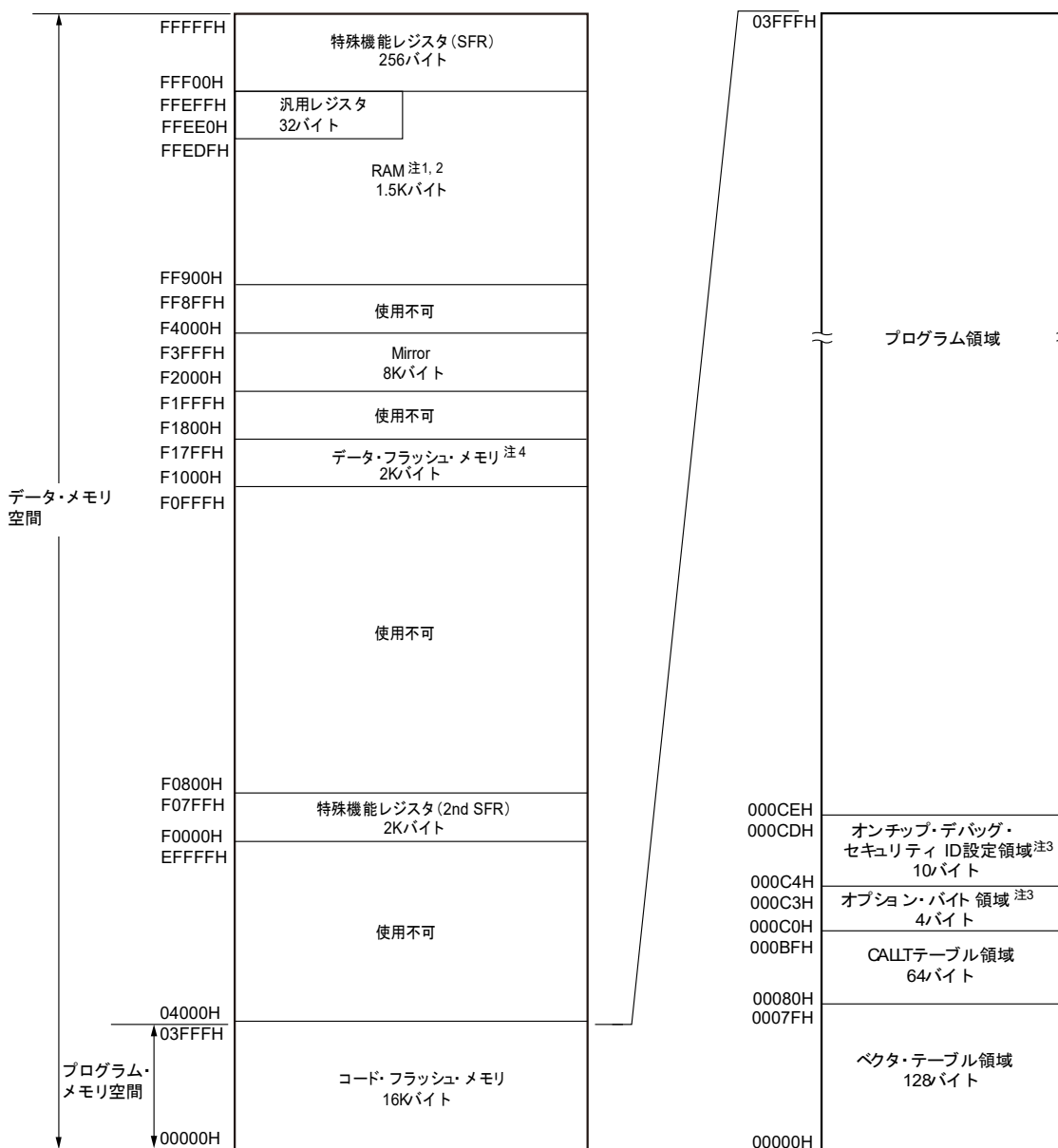
図3-4 メモリ・マップ (R5F10x69, R5F10x79, R5F10xA9 (x = 2, 3))



- 注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDMAIによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。またR5F10x69, R5F10x79は、フラッシュ・ライブラリがFFB00Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、**RL78ファミリセルフプログラミングライブラリ セルフRAMリスト (R20UT2943)**を参照してください。
2. 汎用レジスタを除いたRAM領域から命令を実行できます。
3. 000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
4. R5F10369, R5F10379, R5F103A9は使用不可領域になります。

注意 RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、21.3.2 RAMパリティ・エラー検出機能を参照してください。

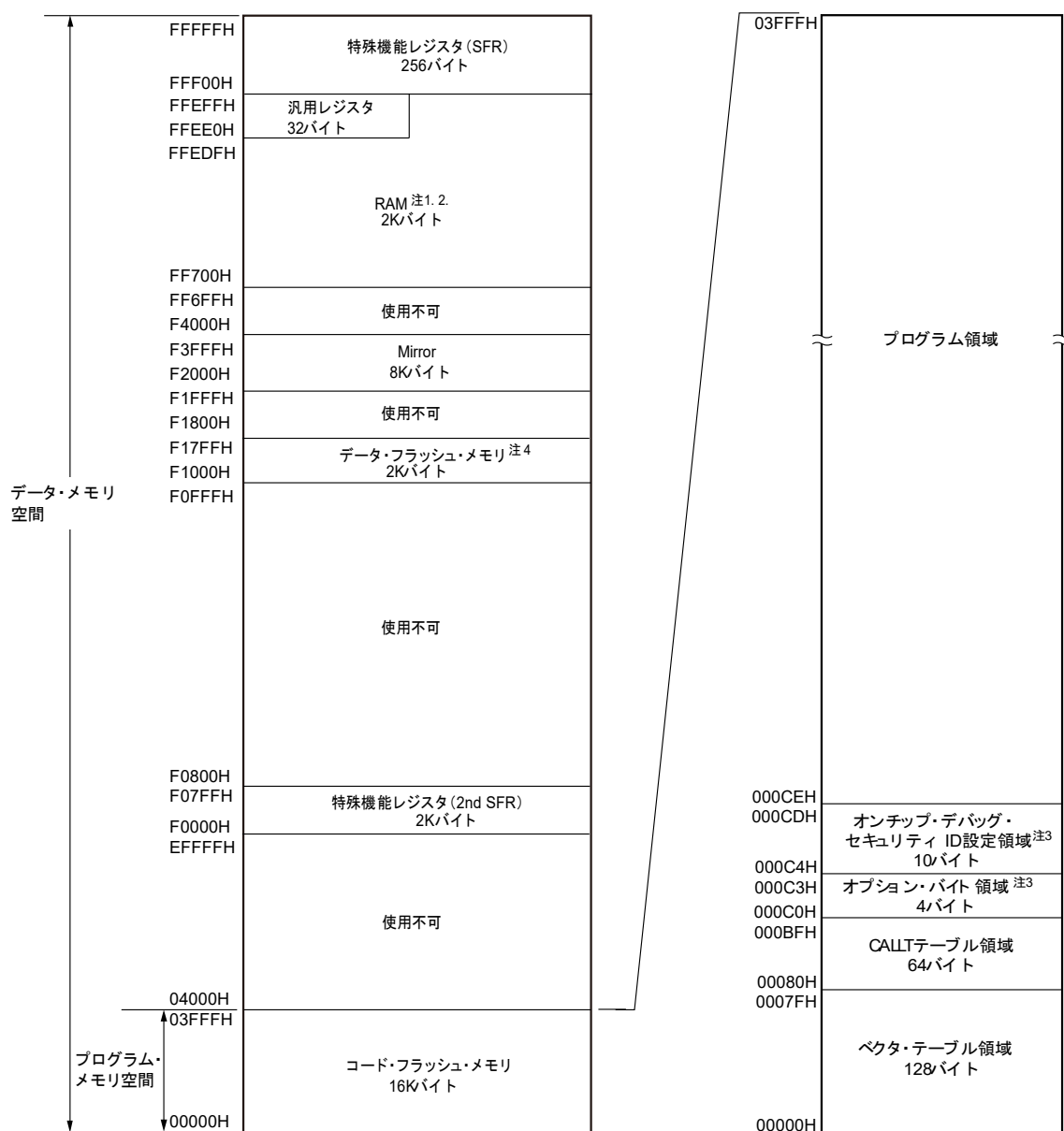
図3-5 メモリ・マップ (R5F10x6A, R5F10x7A (x = 2, 3))



- 注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDMAIによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。またR5F10x6A, R5F10x7Aは、フラッシュ・ライブラリがFF900Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフプログラミングライブラリ セルフRAMリスト (R20UT2943) を参照してください。
2. 汎用レジスタを除いたRAM領域から命令を実行できます。
3. 000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
4. R5F1036A, R5F1037Aは使用不可領域になります。

注意 RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、21.3.2 RAMパリティ・エラー検出機能を参照してください。

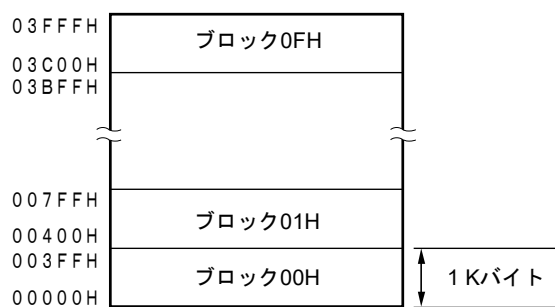
図3-6 メモリ・マップ (R5F10xAA (x = 2, 3))



- 注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDMAIによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
2. 汎用レジスタを除いたRAM領域から命令を実行できます。
3. 000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
4. R5F103AAは使用不可領域になります。

注意 RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、21.3.2 RAMパリティ・エラー検出機能を参照してください。

備考 フラッシュ・メモリはブロックごとに分かれています（1ブロック = 1 Kバイト）。アドレス値とブロック番号については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



(R5F1026A, R5F1027Aの場合)

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号	製 品			
00000H-003FFH	00H	R5F10x66			
00400H-007FFH	01H				
00800H-00BFFH	02H	R5F10x67			
00C00H-00FFFH	03H				
01000H-013FFH	04H	R5F10x68			
01400H-017FFH	05H				
01800H-01BFFH	06H				
01C00H-01FFFH	07H				
02000H-023FFH	08H	R5F10x69			
02400H-027FFH	09H				
02800H-02BFFH	0AH				
02C00H-02FFFH	0BH				
03000H-033FFH	0CH	R5F10x6A			
03400H-037FFH	0DH				
03800H-03BFFH	0EH				
03C00H-03FFFH	0FH				

(x = 2, 3)

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/G12は、次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3-2 内部ROM容量

製 品	内部ROM	
	構 造	容 量
R5F10x66	フラッシュ・メモリ	2048×8ビット (00000H-007FFH)
R5F10x67, R5F10x77, R5F10xA7		4096×8ビット (00000H-00FFFH)
R5F10x68, R5F10x78, R5F10xA8		8192×8ビット (00000H-01FFFH)
R5F10x69, R5F10x79, R5F10xA9		12288×8ビット (00000H-02FFFH)
R5F10x6A, R5F10x7A, R5F10xAA		16384×8ビット (00000H-03FFFH)

(x = 2, 3)

内部プログラム・メモリ空間には、次に示す領域が割り付けられています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-3 ベクタ・テーブル (20, 24ピン製品)

ベクタ・テーブル・アドレス	割り込み要因
00000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE
00004H	INTWDTI
00006H	INTLVI
00008H	INTP0
0000AH	INTP1
0000CH	INTP2
0000EH	INTP3
00010H	INTDMA0 ^注
00012H	INTDMA1 ^注
00014H	INTST0/INTCSI00/INTIIC00 ^注
00016H	INTSR0/INTCSI01 ^注 /INTIIC01 ^注
00018H	INTSRE0
0001AH	INTTM01H
0001CH	INTTM03H
0001EH	INTIICA0
00020H	INTTM00
00022H	INTTM01
00024H	INTTM02
00026H	INTTM03
00028H	INTAD
0002AH	INTIT
0002CH	INTKR
0002EH	INTMD
00030H	INTFL
0007EH	BRK

注 R5F102製品

表3-4 ベクタ・テーブル (30ピン製品)

ベクタ・テーブル・アドレス	割り込み要因
00000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE
00004H	INTWDTI
00006H	INTLVI
00008H	INTP0
0000AH	INTP1
0000CH	INTP2
0000EH	INTP3
00010H	INTP4
00012H	INTP5
00014H	INTST2/INTCSI20 ^注 /INTIIC20 ^注
00016H	INTSR2 ^注
00018H	INTSRE2 ^注
0001AH	INTDMA0 ^注
0001CH	INTDMA1 ^注
0001EH	INTST0/INTCSI00/INTIIC00 ^注
00020H	INTSR0
00022H	INTSRE0/INTTM01H
00024H	INTST1 ^注
00026H	INTSR1 ^注 /INTCSI11 ^注 /INTIIC11 ^注
00028H	INTFL
	INTTM03H
0002AH	INTICA0
0002CH	INTTM00
0002EH	INTTM01
00030H	INTTM02
00032H	INTTM03
00034H	INTAD
00038H	INTIT
00042H	INTTM04
00044H	INTTM05
00046H	INTTM06
00048H	INTTM07
0005EH	INTMD
00062H	INTFL
0007EH	BRK

注 R5F102製品

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください（アドレス・コードが2バイトのため）。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。詳細は**第23章 オプション・バイト**を参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。詳細は**第25章 オンチップ・デバッグ機能**を参照してください。

3.1.2 ミラー領域

RL78/G12では、00000H-0FFFFHのコード・フラッシュ・エリアをF0000H-FFFFFFHへミラーしています。(プロセス・モード・コントロール・レジスタ (PMC) で設定)。

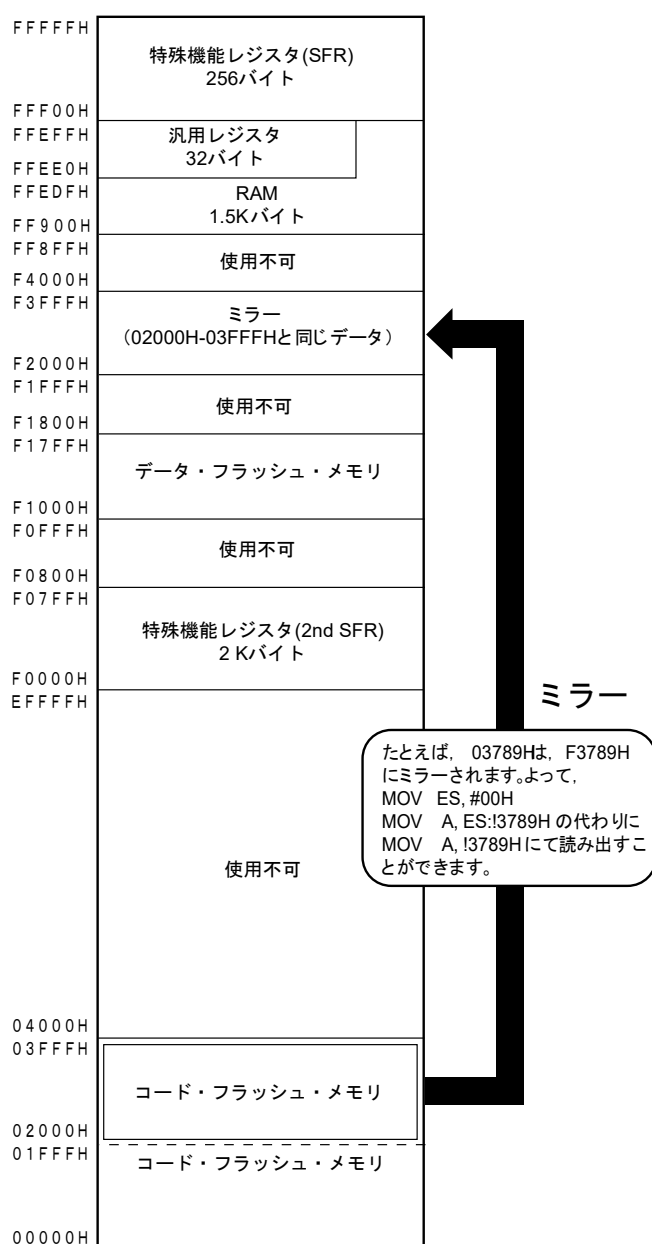
ミラー先のF0000H-FFFFFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし、SFR、拡張SFR、RAM領域、使用不可領域にはミラーされません。

各製品のミラー領域は、**3.1 メモリ空間**を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 R5F1026A/1027A (フラッシュ・メモリ 16 Kバイト, RAM 1.5 Kバイト) の場合



次に、PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ（PMC）

F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-7 プロセッサ・モード・コントロール・レジスタ（PMC）のフォーマット

アドレス：FFFFEH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFFHをF0000H-FFFFFHへミラー
1	設定禁止

注意1. 必ずビット0（MAA）を0（初期値）でご使用ください。

2. PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

3.1.3 内部データ・メモリ空間

RL78/G12は、次に示すRAMを内蔵しています。

表3-5 内部RAM容量

製 品	内部RAM
R5F10x66	256×8ビット（FFE00H-FFEFFFH）
R5F10x67, R5F10x77, R5F10xA7	512×8ビット（FFD00H-FFEFFFH）
R5F10x68, R5F10x78, R5F10xA8	768×8ビット（FFC00H-FFEFFFH）
R5F10x69, R5F10x79, R5F10xA9	1024×8ビット（FFB00H-FFEFFFH）
R5F10x6A, R5F10x7A	1536×8ビット（FF900H-FFEFFFH）
R5F10xAA	2048×8ビット（FF700H-FFEFFFH）

(x = 2, 3)

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。（汎用レジスタが割り当てられた領域では命令実行不可）内部RAM領域のうちFFEE0H-FFEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。汎用レジスタでは命令実行できません。

また、スタック・メモリは内部RAMを使用します。

注意1. 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFH) は、命令フェッチやスタックの領域に使用できません。

2. セルフ・プログラミング時またはデータ・フラッシュ書き換え時は、次に示す製品のRAM 領域に各ライブラリが使用するスタックやデータ・バッファとDMA 転送で利用するRAM アドレスを配置しないでください。詳細は、RL78ファミリ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズマニュアルおよびRL78 ファミリ データ・フラッシュ・ライブラリ Type04 ユーザーズマニュアルをご確認ください。

R5F10266 : FFE20H-FFEA1H, FFEE0H-FFEFFH

(データ・フラッシュ・ライブラリで使用するスタックはFFEA2H-FFEDFH に、データ・バッファとDMA 転送で利用するRAM アドレスはFFE00H-FFE1FHに配置してください。)

R5F102mn, R5F103mn : FFE20H-FFEFFH

m : ピン数記号 (m =6, 7, A) , n : ROM 容量記号 (n =7, 8, 9, A)

3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示す製品のRAM領域は各ライブラリで使用するため使用禁止になります。(図3-3～図3-5 メモリ・マップ参照)。

R5F102m8, R5F103m8 : FFC00H-FFC89H

R5F102m9, R5F103m9 : FFB00H-FFC89H

R5F102mA, R5F103mA : FF900H-FFC89H

m : ピン数記号 (m =6, 7)

3.1.4 特殊機能レジスタ（SFR : Special Function Register）領域

FFF00H-FFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（3.2.4 特殊機能レジスタ（SFR : Special Function Register）の表3-6参照）。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（3.2.5 拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）の表3-7参照）。

SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

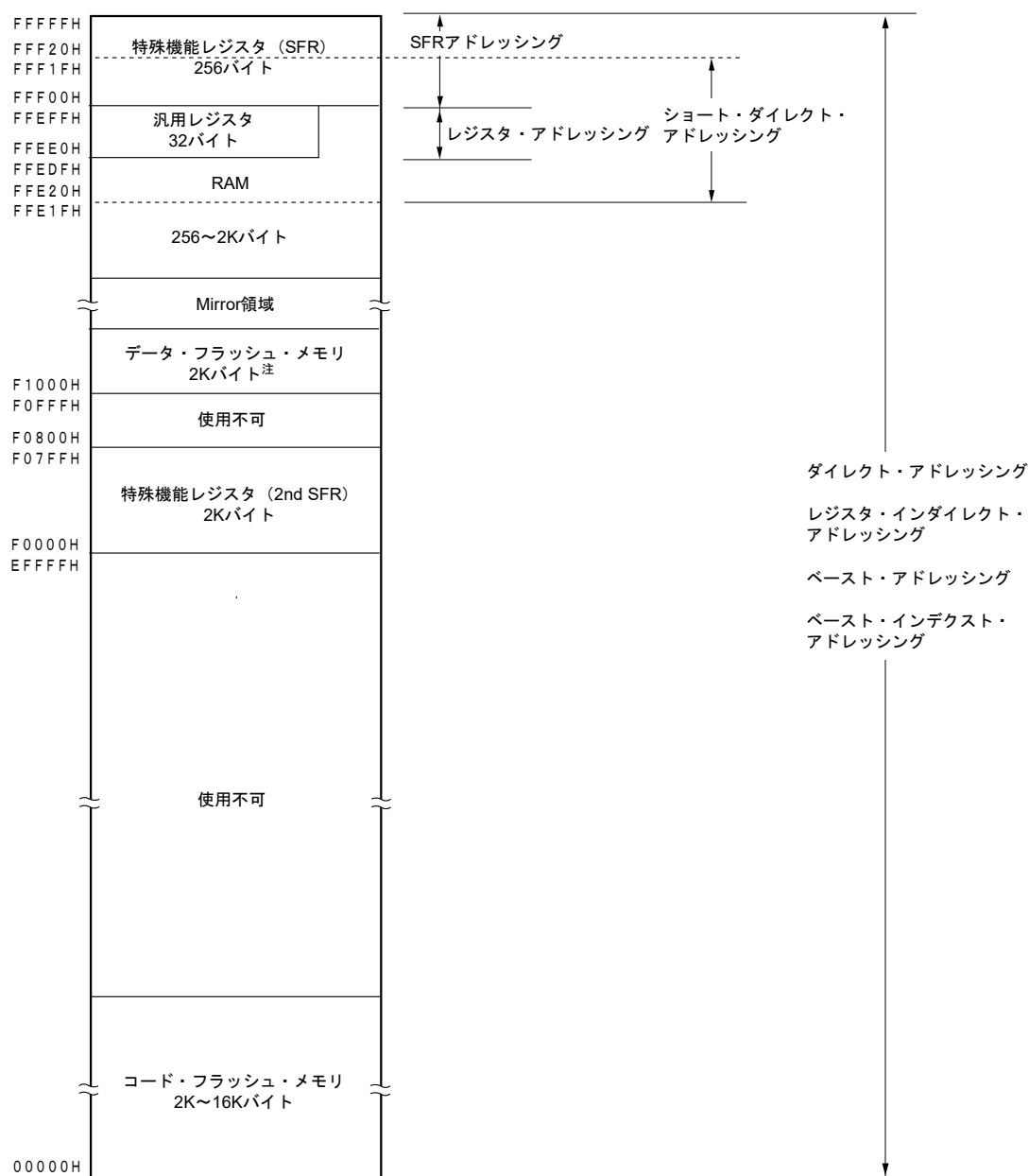
3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78マイクロコントローラでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特に特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-8にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、3.4 処理データ・アドレスに対するアドレッシングを参照してください。

図3-8 データ・メモリとアドレッシングの対応



注 R5F103製品では使用不可領域になります。

3.2 プロセッサ・レジスタ

RL78/G12は、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

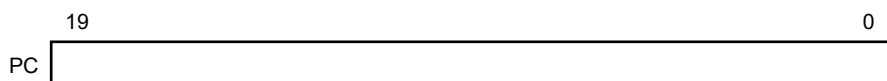
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、00000H, 00001H番地のリセット・ベクタ・テーブルの値が、下位16ビットにセットされます。上位4ビットは0000にクリアされます。

図3-9 プログラム・カウンタの構成



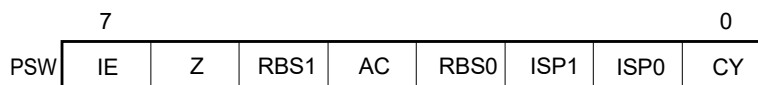
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-10 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このときマスカブル割り込み要求の受け付けは、インサース・プライオリティ・フラグ（ISP1, ISP0）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ（Z）

演算や比較で結果がゼロまたは等しいときセット（1）され、それ以外のときにリセット（0）されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) (15.3.3 参照) でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際にベクタ割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

備考 n = 0, 1

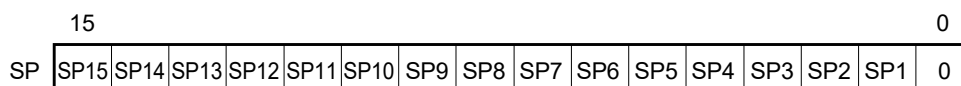
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3-11 スタック・ポインタの構成



スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

2. 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFH) は、命令フェッチやスタックの領域に使用できません。

3. セルフ・プログラミング時またはデータ・フラッシュ書き換え時は、次に示す製品のRAM 領域に各ライブラリが使用するスタックやデータ・バッファとDMA 転送で利用するRAM アドレスを配置しないでください。詳細は、RL78ファミリ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズマニュアルおよびRL78 ファミリ データ・フラッシュ・ライブラリ Type04 ユーザーズマニュアルをご確認ください。

R5F10266 : FFE20H-FFEA1H, FFEE0H-FFEFFH

(データ・フラッシュ・ライブラリで使用するスタックはFFEA2H-FFEDFH に、データ・バッファとDMA 転送で利用するRAM アドレスはFFE00H-FFE1FHに配置してください。)

R5F102mn,R5F103mn : FFE20H-FFEFFH

m : ピン数記号 (m =6, 7, A) , n : ROM 容量記号 (n =7, 8, 9, A)

4. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示す製品のRAM領域は、使用禁止になります。(図3-3～図3-5 メモリ・マップ参照)。

R5F102m8, R5F103m8 : FFC00H-FFC89H

R5F102m9, R5F103m9 : FFB00H-FFC89H

R5F102mA, R5F103mA : FF900H-FFC89H

m : ピン数記号 (m =6, 7)

3.2.2 汎用レジスタ

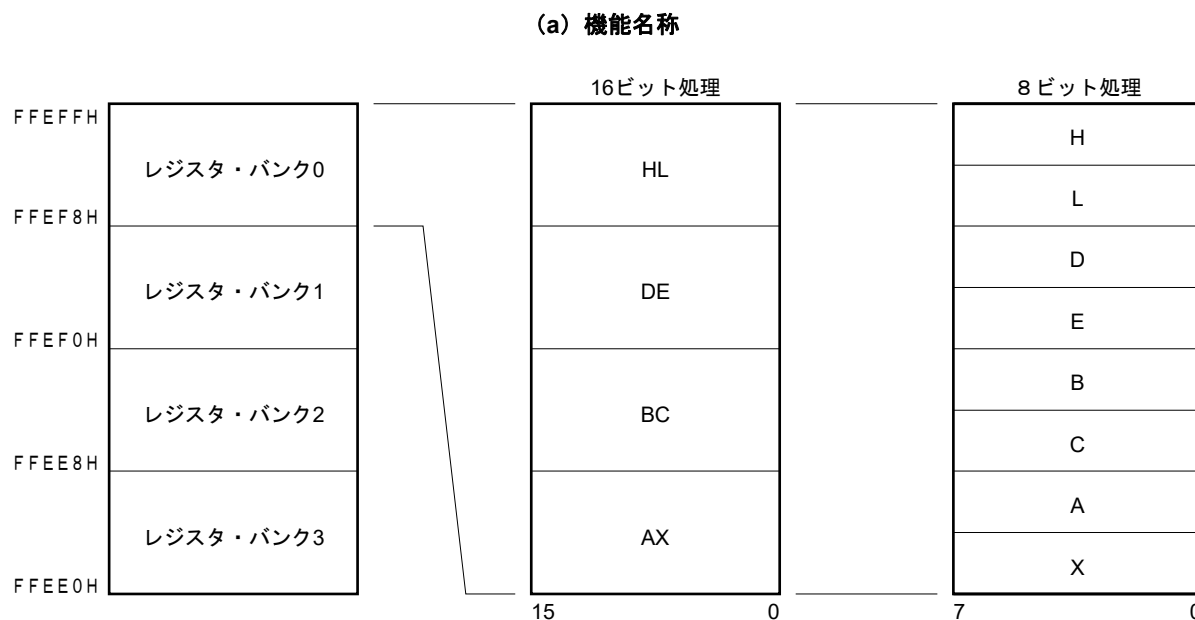
汎用レジスタは、データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

命令実行時に使用するレジスタ・バンクは、CPU制御命令（SEL RBn）によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

注意 汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は、命令フェッチやスタックの領域に使用できません。

図3-12 汎用レジスタの構成



3.2.3 ES, CSレジスタ

ESレジスタでデータ・アクセス, CSレジスタで（レジスタ・インダイレクト・アドレッシング）分岐命令実行時の、それぞれ上位アドレスを指定できます。

ESレジスタのリセット後の初期値は0FH, CSレジスタのリセット後の初期値は00Hです。

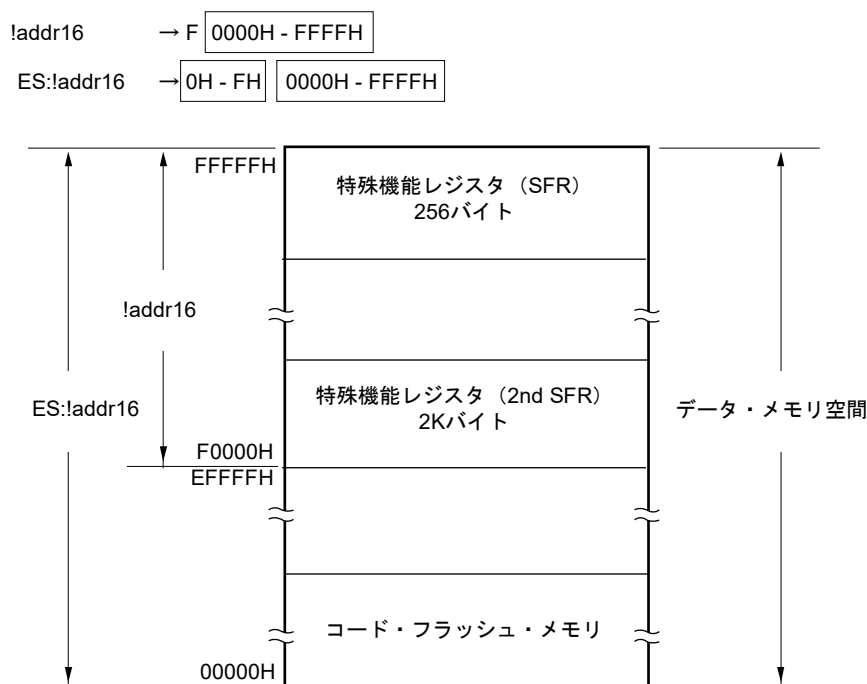
図3-13 ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0

	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CS2	CS1	CS0

16ビット・アドレスでアクセスできるデータ領域は、F0000H-FFFFFHの64Kバイト空間ですが、ES:を不可すると00000H-FFFFFHの1Mバイト空間に拡張できます。

図3-14 データ・アクセス領域の拡張



3.2.4 特殊機能レジスタ（SFR : Special Function Register）

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド（sfr.bit）には、次のような記述をしてください。

ビット名称が定義されている場合：＜ビット名称＞

ビット名称が定義されていない場合：＜レジスタ名＞＜ビット番号＞。または＜アドレス＞＜ビット番号＞

- ・ 8ビット操作

8ビット操作命令のオペランド（sfr）にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランド（sfrp）にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-6にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。

- ・ リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR（2nd SFR）については、3.2.5 拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）を参照してください。

表3-6 SFR一覧 (1/4)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0	R/W	○	○	—	00H
FFF01H	ポート・レジスタ1	P1	R/W	○	○	—	00H
FFF02H	ポート・レジスタ2	P2	R/W	○	○	—	00H
FFF03H	ポート・レジスタ3	P3	R/W	○	○	—	00H
FFF04H	ポート・レジスタ4	P4	R/W	○	○	—	00H
FFF05H	ポート・レジスタ5	P5	R/W	○	○	—	00H
FFF06H	ポート・レジスタ6	P6	R/W	○	○	—	00H
FFF0CH	ポート・レジスタ12	P12	R/W ^注	○	○	—	不定
FFF0DH	ポート・レジスタ13	P13	R	○	○	—	不定
FFF0EH	ポート・レジスタ14	P14	R/W	○	○	—	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	R/W	—	○	○	0000H
FFF11H		—		—	—		
FFF12H	シリアル・データ・レジスタ01	RXD0/SIO01	R/W	—	○	○	0000H
FFF13H		—		—	—		
FFF18H	タイマ・データ・レジスタ00	TDR00	R/W	—	—	○	0000H
FFF19H							
FFF1AH	タイマ・データ・レジスタ01	TDR01L	R/W	—	○	○	00H
FFF1BH		TDR01H		—	○		00H
FFF1EH	10ビットA/D変換結果レジスタ	ADCR	R	—	—	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH	R	—	○	—	00H
FFF20H	ポート・モード・レジスタ0	PM0	R/W	○	○	—	FFH
FFF21H	ポート・モード・レジスタ1	PM1	R/W	○	○	—	FFH
FFF22H	ポート・モード・レジスタ2	PM2	R/W	○	○	—	FFH
FFF23H	ポート・モード・レジスタ3	PM3	R/W	○	○	—	FFH
FFF24H	ポート・モード・レジスタ4	PM4	R/W	○	○	—	FFH
FFF25H	ポート・モード・レジスタ5	PM5	R/W	○	○	—	FFH
FFF26H	ポート・モード・レジスタ6	PM6	R/W	○	○	—	FFH
FFF2CH	ポート・モード・レジスタ12	PM12	R/W	○	○	—	FFH
FFF2EH	ポート・モード・レジスタ14	PM14	R/W	○	○	—	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0	R/W	○	○	—	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS	R/W	○	○	—	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1	R/W	○	○	—	00H
FFF34H	キー・リターン・コントロール・レジスタ	KRCTL	R/W	○	○	—	00H
FFF35H	キー・リターン・フラグ・レジスタ	KRF	R/W	○	○	—	00H
FFF36H	キー・リターン・モード・レジスタ1	KRM1	R/W	○	○	—	00H
FFF37H	キー・リターン・モード・レジスタ0	KRM0	R/W	○	○	—	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0	R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0	R/W	○	○	—	00H
FFF44H	シリアル・データ・レジスタ02	TXD1	R/W	—	○	○	0000H
FFF45H		—		—	—		
FFF46H	シリアル・データ・レジスタ03	RXD1/SIO11	R/W	—	○	○	0000H
FFF47H		—		—	—		
FFF48H	シリアル・データ・レジスタ10	TXD2/ SIO20	R/W	—	○	○	0000H
FFF49H		—		—	—		
FFF4AH	シリアル・データ・レジスタ11	RXD2	R/W	—	○	○	0000H
FFF4BH		—		—	—		

注 30ピン製品はRead Onlyです。

表3-6 SFR一覧 (2/4)

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	—	○	—	00H
FFF51H	IICAステータス・レジスタ0	IICS0		R	○	○	—	00H
FFF52H	IICAフラグ・レジスタ0	IICF0		R/W	○	○	—	00H
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	—	—	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	—	○	○	00H
FFF67H		TDR03H			—	○	00H	
FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	—	—	○	0000H
FFF69H								
FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	—	—	○	0000H
FFF6BH								
FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	—	—	○	0000H
FFF6DH								
FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	—	—	○	0000H
FFF6FH								
FFF90H	インターバル・タイマ・コントロール・レジスタ	ITMC		R/W	—	—	○	0FFFH
FFF91H								
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	—	○	—	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC		R/W	○	○	—	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R	○	○	—	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	—	○	—	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	—	00H
FFFA5H	クロック出力選択レジスタ0	CKS0		R/W	○	○	—	00H
FFFA6H	クロック出力選択レジスタ1	CKS1		R/W	○	○	—	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	—	○	—	不定 ^{注1}
FFFA9H	電圧検出レジスタ	LVIM		R/W	○	○	—	00H ^{注1}
FFFAAH	電圧検出レベル・レジスタ	LVIS		R/W	○	○	—	00H/01H/81H ^{注1}
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	—	○	—	1A/9A ^{注2}
FFFACH	CRC入力レジスタ	CRCIN		R/W	—	○	—	00H

注1. リセット要因により、次のように異なります。

リセット要因		RESET入力	PORによる リセット	不正命令の 実行による リセット	WDTによる リセット	RAMパリティ・エラーに よるリセット	不正メモリ・ アクセスによ るリセット	LVDによる リセット
RESF	TRAP	クリア (0)		セット (1)	保持			保持
	WDTRF			保持	セット (1)	保持		
	RPERF			保持		セット (1)	保持	
	IAWRF			保持			セット (1)	
	LVIRF			保持				
LVIM	LVISEN	クリア (0)						保持
	LVIOMSK			保持				
	LVIF							
LVIS		クリア (00H/01H/81H)						

2. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

表3-6 SFR一覧 (3/4)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFFB0H	DMA SFRアドレス・レジスタ0	DSA0	R/W	—	○	—	00H
FFFB1H	DMA SFRアドレス・レジスタ1	DSA1	R/W	—	○	—	00H
FFFB2H	DMA RAMアドレス・レジスタ0	DRA0L	DRA0	R/W	—	○	00H
FFFB3H		DRA0H		R/W	—		00H
FFFB4H	DMA RAMアドレス・レジスタ1	DRA1L	DRA1	R/W	—	○	00H
FFFB5H		DRA1H		R/W	—		00H
FFFB6H	DMA バイト・カウント・レジスタ0	DBC0L	DBC0	R/W	—	○	00H
FFFB7H		DBC0H		R/W	—		00H
FFFB8H	DMA バイト・カウント・レジスタ1	DBC1L	DBC1	R/W	—	○	00H
FFFB9H		DBC1H		R/W	—		00H
FFFB AH	DMA モード・コントロール・レジスタ0	DMC0	R/W	○	○	—	00H
FFFB BH	DMA モード・コントロール・レジスタ1	DMC1	R/W	○	○	—	00H
FFFB CH	DMA 動作コントロール・レジスタ0	DRC0	R/W	○	○	—	00H
FFFB DH	DMA 動作コントロール・レジスタ1	DRC1	R/W	○	○	—	00H
FFFD0H	割り込み要求フラグ・レジスタ2	IF2L	IF2	R/W	○	○	00H
FFFD1H		IF2H		R/W	○		00H
FFFD4H	割り込みマスク・フラグ・レジスタ2	MK2L	MK2	R/W	○	○	FFH
FFFD5H		MK2H		R/W	○		FFH
FFFD8H	優先順位指定フラグ・レジスタ02	PR02L	PR02	R/W	○	○	FFH
FFFD9H		PR02H		R/W	○		FFH
FFFD CH	優先順位指定フラグ・レジスタ12	PR12L	PR12	R/W	○	○	FFH
FFFD DH		PR12H		R/W	○		FFH
FFFE0H	割り込み要求フラグ・レジスタ0	IF0L	IF0	R/W	○	○	00H
FFFE1H		IF0H		R/W	○		00H
FFFE2H	割り込み要求フラグ・レジスタ1	IF1L	IF1	R/W	○	○	00H
FFFE3H		IF1H		R/W	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ0	MK0L	MK0	R/W	○	○	FFH
FFFE5H		MK0H		R/W	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1	MK1L	MK1	R/W	○	○	FFH
FFFE7H		MK1H		R/W	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ00	PR00L	PR00	R/W	○	○	FFH
FFFE9H		PR00H		R/W	○		FFH
FFFE AH	優先順位指定フラグ・レジスタ01	PR01L	PR01	R/W	○	○	FFH
FFFE BH		PR01H		R/W	○		FFH
FFFE CH	優先順位指定フラグ・レジスタ10	PR10L	PR10	R/W	○	○	FFH
FFFE DH		PR10H		R/W	○		FFH
FFFE EH	優先順位指定フラグ・レジスタ11	PR11L	PR11	R/W	○	○	FFH
FFFE FH		PR11H		R/W	○		FFH

表3-6 SFR一覧 (4/4)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFFF0H	乗除算データ・レジスタA (L)	MDAL	R/W	—	—	○	0000H
FFFF1H							
FFFF2H	乗除算データ・レジスタA (H)	MDAH	R/W	—	—	○	0000H
FFFF3H							
FFFF4H	乗除算データ・レジスタB (H)	MDBH	R/W	—	—	○	0000H
FFFF5H							
FFFF6H	乗除算データ・レジスタB (L)	MDBL	R/W	—	—	○	0000H
FFFF7H							
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC	R/W	○	○	—	00H

備考 拡張SFR (2nd SFR) については、表3-7 拡張SFR (2nd SFR) 一覧を参照してください。

3.2.5 拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）

拡張SFR（2nd SFR）は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド（!addr16.bit）には、次のような記述をしてください。

ビット名称が定義されている場合：＜ビット名称＞

ビット名称が定義されていない場合：＜レジスタ名＞＜ビット番号＞または＜アドレス＞＜ビット番号＞

- ・ 8ビット操作

8ビット操作命令のオペランド（!addr16）にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランド（!addr16）にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-7に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッグおよびシミュレータ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する拡張SFRが読み出し（Read）／書き込み（Write）可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。

- ・ リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 拡張SFR（2nd SFR）が割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 特殊機能レジスタ（SFR : Special Function Register）を参照してください。

表3-7 拡張SFR (2nd SFR) 一覧 (1/5)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	—	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	—	○	—	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	—	○	—	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	—	○	—	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	—	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	—	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	—	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	—	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	—	00H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	—	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	—	00H/20H ^{注3}
F003EH	プルアップ抵抗オプション・レジスタ14	PU14	R/W	○	○	—	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	—	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	—	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	—	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	—	00H
F0054H	ポート出力モード・レジスタ4	POM4	R/W	○	○	—	00H
F0055H	ポート出力モード・レジスタ5	POM5	R/W	○	○	—	00H
F0060H	ポート・モード・コントロール・レジスタ0	PMC0	R/W	○	○	—	FFH
F0061H	ポート・モード・コントロール・レジスタ1	PMC1	R/W	○	○	—	FFH
F0064H	ポート・モード・コントロール・レジスタ4	PMC4	R/W	○	○	—	FFH
F006CH	ポート・モード・コントロール・レジスタ12	PMC12	R/W	○	○	—	FFH
F006EH	ポート・モード・コントロール・レジスタ14	PMC14	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	—	○	—	00H
F0076H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	—	○	—	00H
F0077H	周辺I/Oリダイレクション・レジスタ	PIOR	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	—	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	—	○	—	不定 ^{注1}
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	不定 ^{注2}
F00E0H	乗除算データ・レジスタC (L)	MDCL	R/W	—	—	○	0000H
F00E2H	乗除算データ・レジスタC (H)	MDCH	R/W	—	—	○	0000H
F00E8H	乗除算コントロール・レジスタ	MDUC	R/W	○	○	—	00H

注1. リセット値は出荷時に調整した値です。

2. オプション・バイト000C2HのFRQSEL2-FRQSEL0で設定した値になります。

3. 20, 24ピン製品は、リセット時20Hになります。

表3-7 拡張SFR (2nd SFR) 一覧 (2/5)

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F00F0H	周辺イネーブル・レジスタ0	PER0		R/W	○	○	－	00H
F00F3H	動作スピード・モード制御レジスタ	OSMC		R/W	－	○	－	00H
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL		R/W	○	○	－	00H
F00FEH	BCD補正結果レジスタ	BCDADJ		R	－	○	－	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	－	○	○	0000H
F0101H		－			－	－		
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	－	○	○	0000H
F0103H		－			－	－		
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	－	○	○	0000H
F0105H		－			－	－		
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	－	○	○	0000H
F0107H		－			－	－		
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	－	○	○	0000H
F0109H		－			－	－		
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	－	○	○	0000H
F010BH		－			－	－		
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	－	○	○	0000H
F010DH		－			－	－		
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	－	○	○	0000H
F010FH		－			－	－		
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	－	－	○	0020H
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	－	－	○	0020H
F0113H								
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	－	－	○	0020H
F0115H								
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	－	－	○	0020H
F0117H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	－	－	○	0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	－	－	○	0087H
F011BH								
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	－	－	○	0087H
F011DH								
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	－	－	○	0087H
F011FH								
F0120H	シリアル・チャネル許可ステータス・レジスタ0	SE0L	SE0	R	○	○	○	0000H
F0121H		－			－	－		
F0122H	シリアル・チャネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		－			－	－		
F0124H	シリアル・チャネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		－			－	－		

表3-7 拡張SFR (2nd SFR) 一覧 (3/5)

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	—	○	○	0000H
F0127H		—			—			
F0128H	シリアル出力レジスタ0	SO0		R/W	—	—	○	0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		—			—			
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	—	○	○	0000H
F0135H		—			—			
F0138H	シリアル・スタンバイ・コントロール・レジスタ0	SSC0L	SSC0	R/W	—	○	○	0000H
		—			—			
F0140H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R	—	○	○	0000H
F0141H		—			—			
F0142H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R	—	○	○	0000H
F0143H		—			—			
F0148H	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10	R/W	—	○	○	0000H
F0149H		—			—			
F014AH	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11	R/W	—	○	○	0000H
F014BH		—			—			
F0150H	シリアル・モード・レジスタ10	SMR10		R/W	—	—	○	0020H
F0151H								
F0152H	シリアル・モード・レジスタ11	SMR11		R/W	—	—	○	0020H
F0153H								
F0158H	シリアル通信動作設定レジスタ10	SCR10		R/W	—	—	○	0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ11	SCR11		R/W	—	—	○	0087H
F015BH								
F0160H	シリアル・チャネル許可ステータス・レジスタ1	SE1L	SE1	R	○	○	○	0000H
F0161H		—			—			
F0162H	シリアル・チャネル開始レジスタ1	SS1L	SS1	R/W	○	○	○	0000H
F0163H		—			—			
F0164H	シリアル・チャネル停止レジスタ1	ST1L	ST1	R/W	○	○	○	0000H
F0165H		—			—			
F0166H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	R/W	—	○	○	0000H
F0167H		—			—			
F0168H	シリアル出力レジスタ1	SO1		R/W	—	—	○	0F0FH
F0169H								
F016AH	シリアル出力許可レジスタ1	SOE1L	SOE1	R/W	○	○	○	0000H
F016BH		—			—			
F0174H	シリアル出力レベル・レジスタ1	SOL1L	SOL1	R/W	—	○	○	0000H
F0175H		—			—			

表3-7 拡張SFR (2nd SFR) 一覧 (4/5)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0180H	タイマ・カウンタ・レジスタ00	TCR00	R	—	—	○	FFFFH
F0181H							
F0182H	タイマ・カウンタ・レジスタ01	TCR01	R	—	—	○	FFFFH
F0183H							
F0184H	タイマ・カウンタ・レジスタ02	TCR02	R	—	—	○	FFFFH
F0185H							
F0186H	タイマ・カウンタ・レジスタ03	TCR03	R	—	—	○	FFFFH
F0187H							
F0188H	タイマ・カウンタ・レジスタ04	TCR04	R	—	—	○	FFFFH
F0189H							
F018AH	タイマ・カウンタ・レジスタ05	TCR05	R	—	—	○	FFFFH
F018BH							
F018CH	タイマ・カウンタ・レジスタ06	TCR06	R	—	—	○	FFFFH
F018DH							
F018EH	タイマ・カウンタ・レジスタ07	TCR07	R	—	—	○	FFFFH
F018FH							
F0190H	タイマ・モード・レジスタ00	TMR00	R/W	—	—	○	0000H
F0191H							
F0192H	タイマ・モード・レジスタ01	TMR01	R/W	—	—	○	0000H
F0193H							
F0194H	タイマ・モード・レジスタ02	TMR02	R/W	—	—	○	0000H
F0195H							
F0196H	タイマ・モード・レジスタ03	TMR03	R/W	—	—	○	0000H
F0197H							
F0198H	タイマ・モード・レジスタ04	TMR04	R/W	—	—	○	0000H
F0199H							
F019AH	タイマ・モード・レジスタ05	TMR05	R/W	—	—	○	0000H
F019BH							
F019CH	タイマ・モード・レジスタ06	TMR06	R/W	—	—	○	0000H
F019DH							
F019EH	タイマ・モード・レジスタ07	TMR07	R/W	—	—	○	0000H
F019FH							
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	R	—	○	○	0000H
F01A1H		—		—	—		
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	R	—	○	○	0000H
F01A3H		—		—	—		
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	R	—	○	○	0000H
F01A5H		—		—	—		
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	R	—	○	○	0000H
F01A7H		—		—	—		
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	R	—	○	○	0000H
F01A9H		—		—	—		

表3-7 拡張SFR (2nd SFR) 一覧 (5/5)

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	—	○	○	0000H
F01ABH		—			—			
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	—	○	○	0000H
F01ADH		—			—			
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	—	○	○	0000H
F01AFH		—			—			
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		—			—			
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—			
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—			
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	—	—	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—			
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—		—				
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—			
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—			
F0230H	IICAコントロール・レジスタ00	IICCTL00		R/W	○	○	—	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01		R/W	○	○	—	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0		R/W	—	○	—	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0		R/W	—	○	—	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0		R/W	—	○	—	00H
F02FAH	CRCデータ・レジスタ	CRCD		R/W	—	—	○	0000H

備考 SFR領域のSFRについては、表3-6 SFR一覧を参照してください。

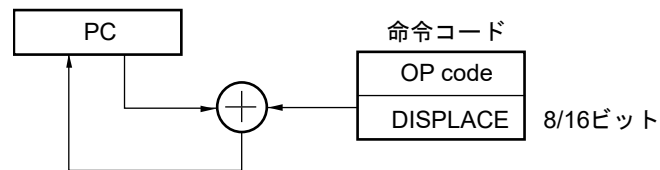
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し、命令語に含まれるディスプレイメント値（符号付きの補数データ：-128～+127または-32768～+32767）を加算した結果を、プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3-15 レラティブ・アドレッシングの概略



3.3.2 イミディエト・アドレッシング

【機能】

命令語中のイミディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20/BR !!addr20と、16ビットのアドレスを指定するCALL !addr16/BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3-16 CALL !!addr20/BR !!addr20の例

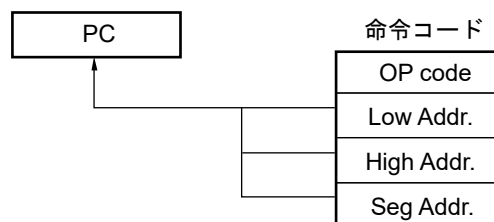
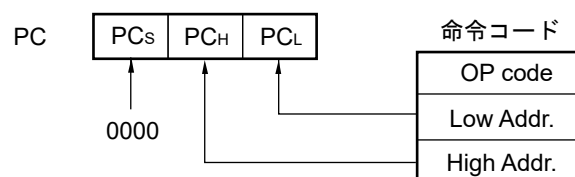


図3-17 CALL !addr16/BR !addr16の例



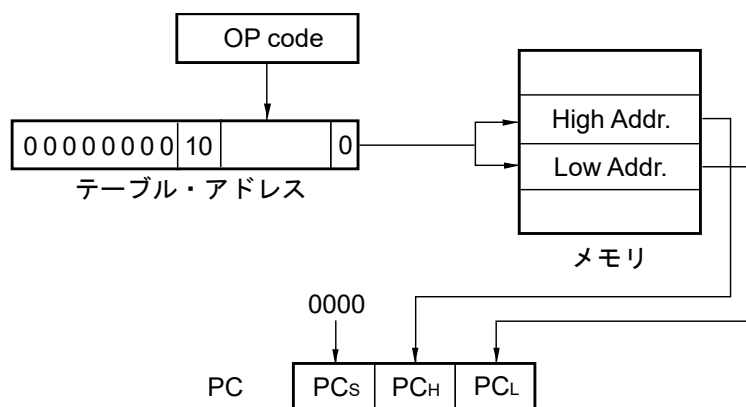
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3-18 テーブル・インダイレクト・アドレッシングの概略

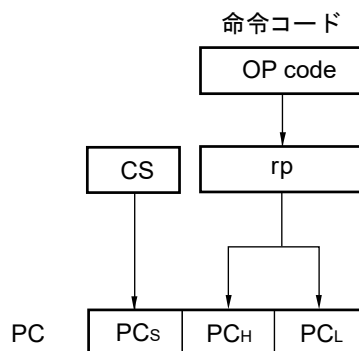


3.3.4 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・インダイレクト・アドレッシングはCALL AX/BC/DE/HLとBR AX命令にのみ適用されます。

図3-19 レジスタ・インダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

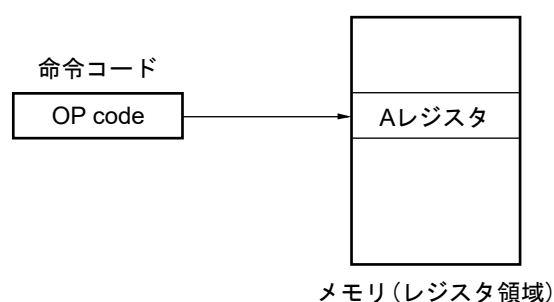
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3-20 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

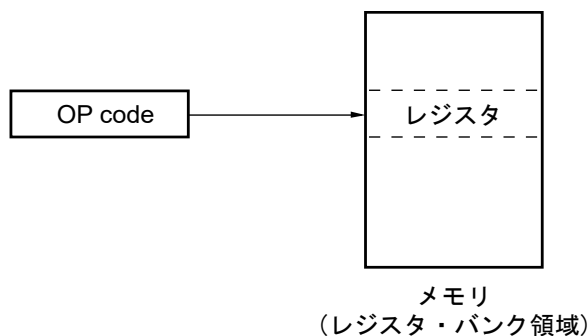
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3-21 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり、対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFH空間のみ指定可能)
ES:!addr16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3-22 !addr16の例

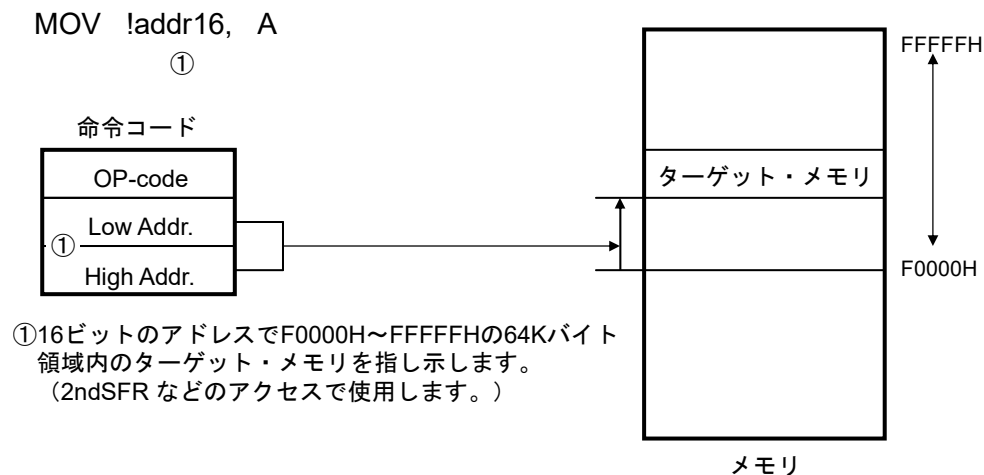
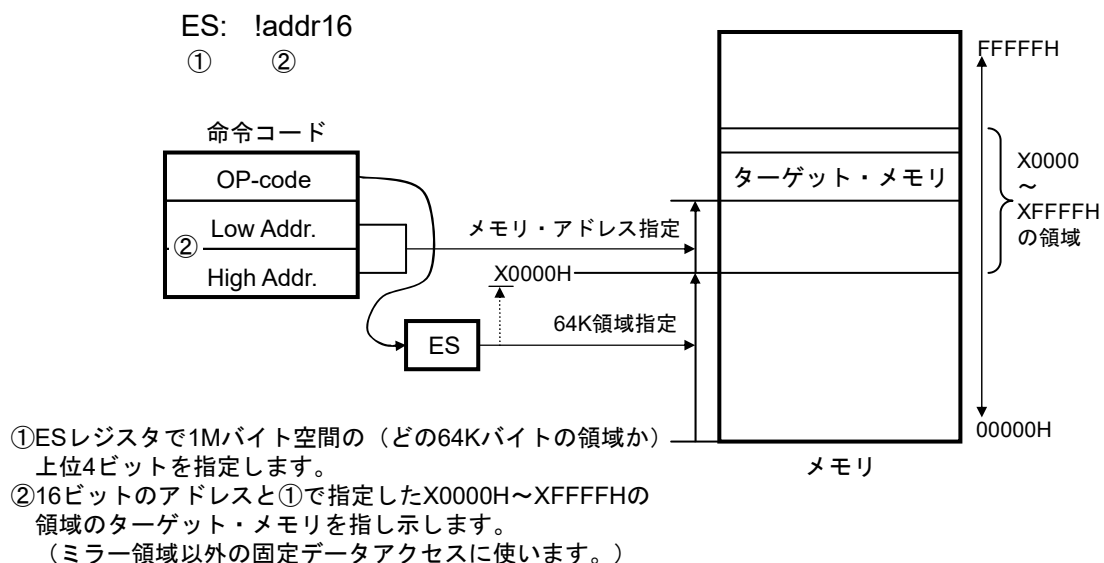


図3-23 ES:ADDR16の例



3.4.4 ショート・ダイレクト・アドレッシング

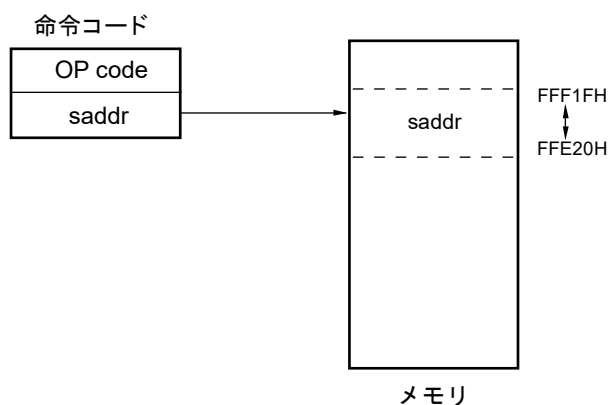
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミディエト・データ
SADDRP	ラベルまたはFFE20H-FFF1FHのイミディエト・データ（偶数アドレスのみ）

図3-24 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、（実アドレスの上位4ビット・アドレスを省略した）16ビットのイミディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミディエト・データでFFE20H-FFF1FHの値を記述することもできます。
ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

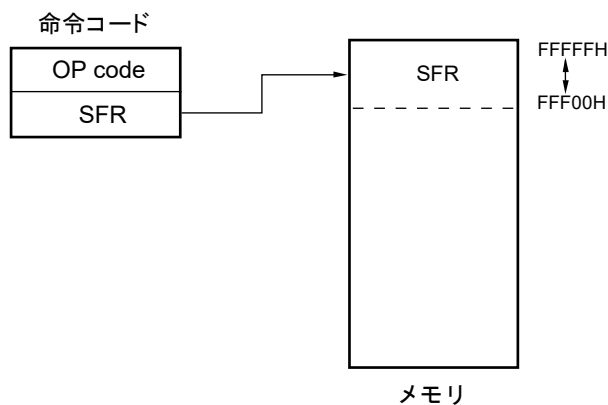
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレス）

図3-25 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL] (F0000H~FFFFFH空間のみ指定可能)
—	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3-26 [DE], [HL]の例

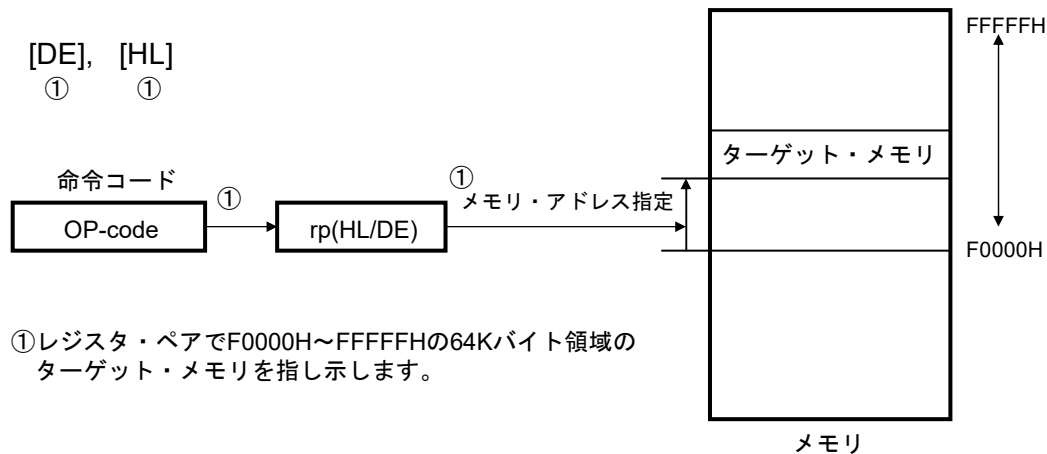
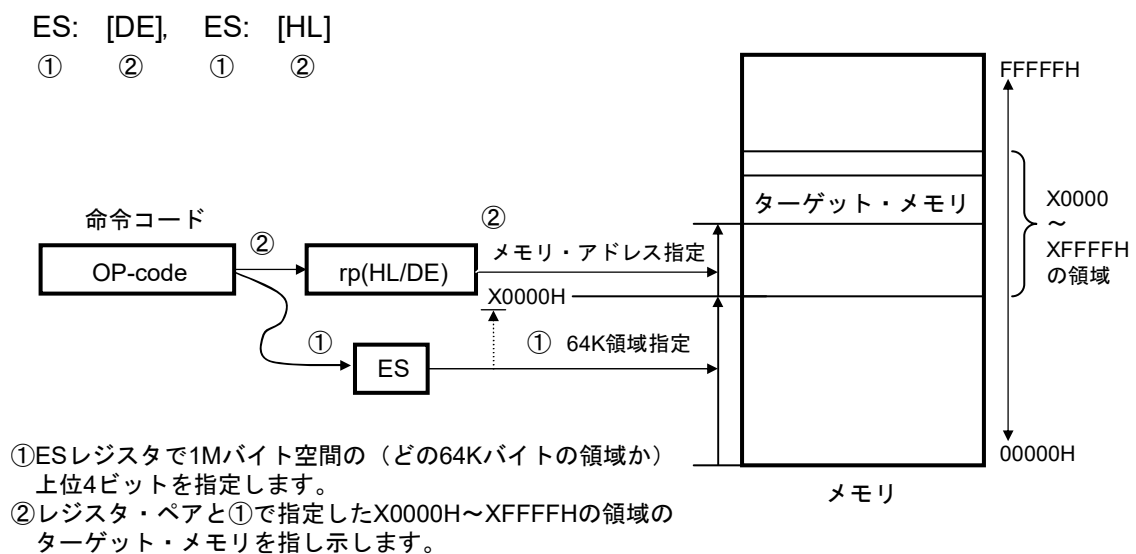


図3-27 ES:[DE], ES:[HL]の例



3.4.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミディエト・データをベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
—	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3-28 [SP+byte]の例

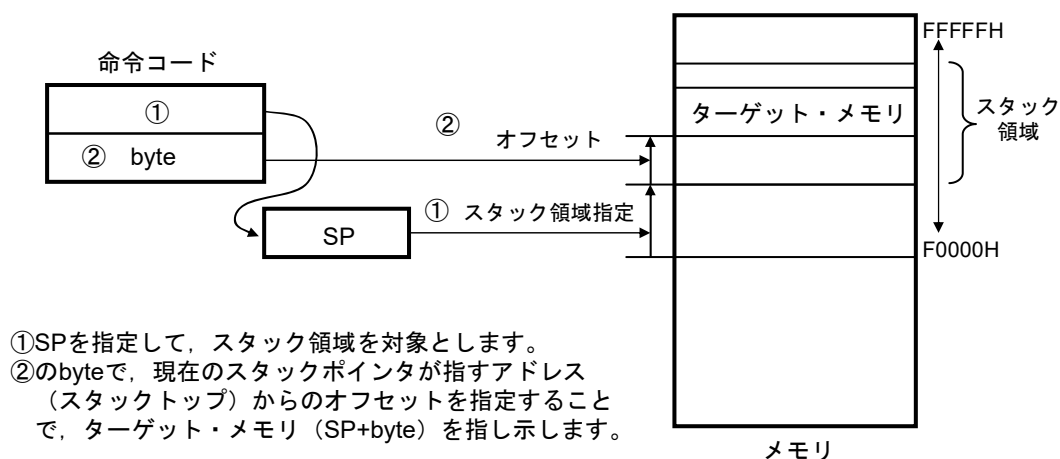


図3-29 [HL+byte], [DE+byte]の例

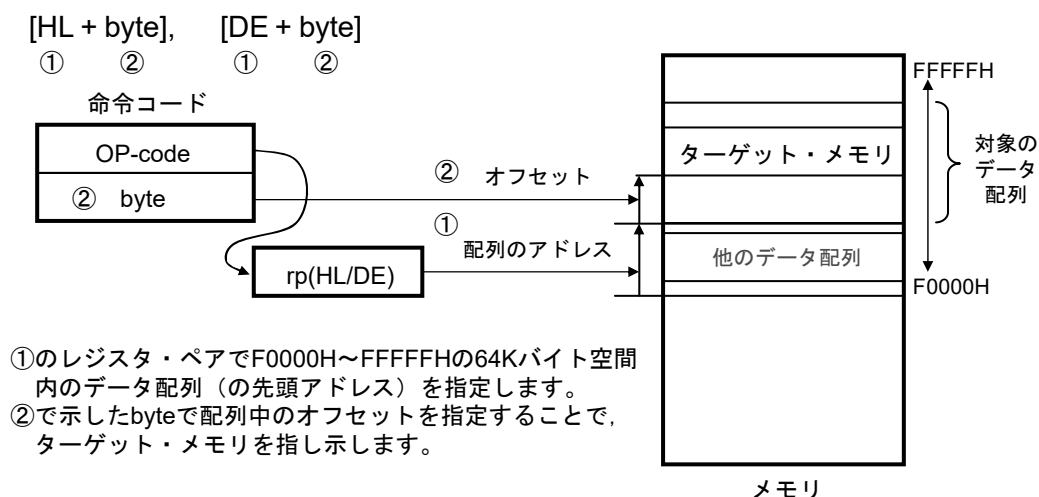


図3-30 word[B], word[C]の例

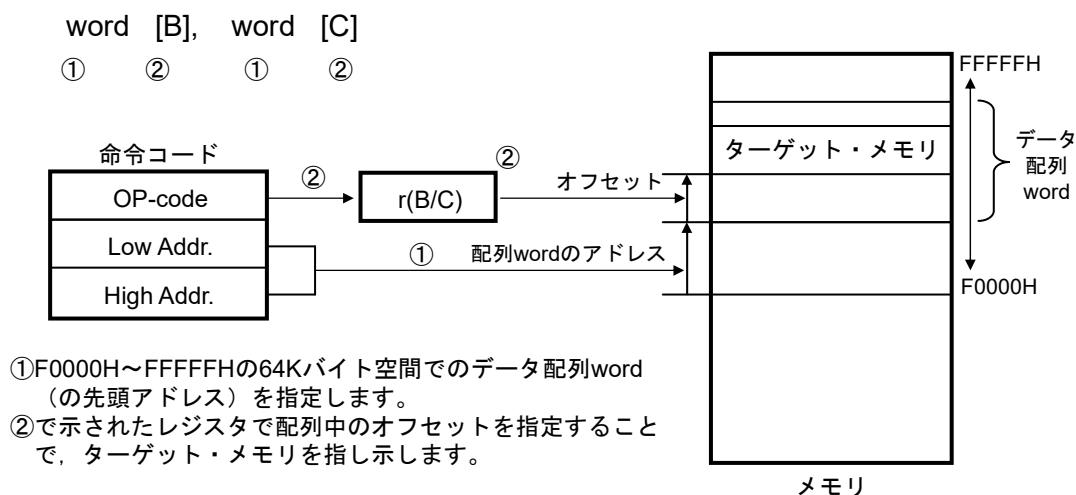


図3-31 word[BC]の例

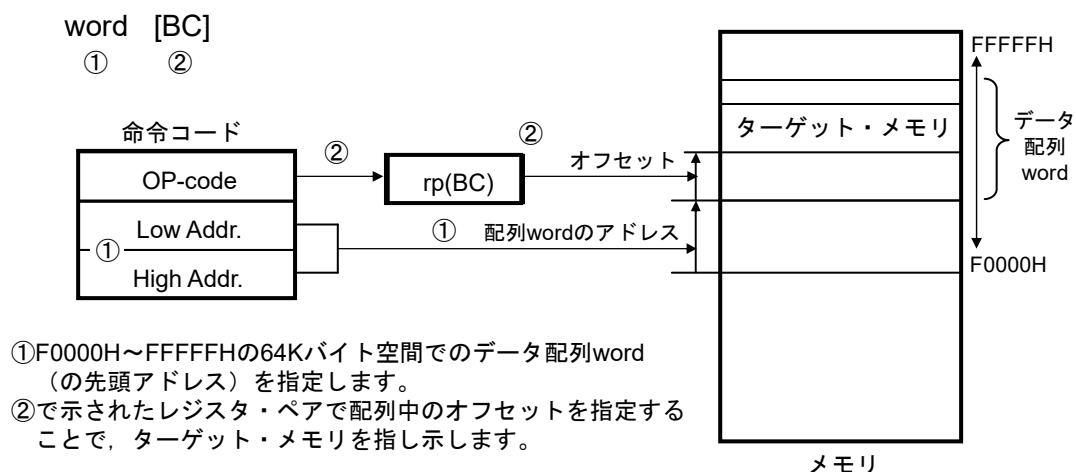


図3-32 ES:[HL+byte], ES:[DE+byte]の例

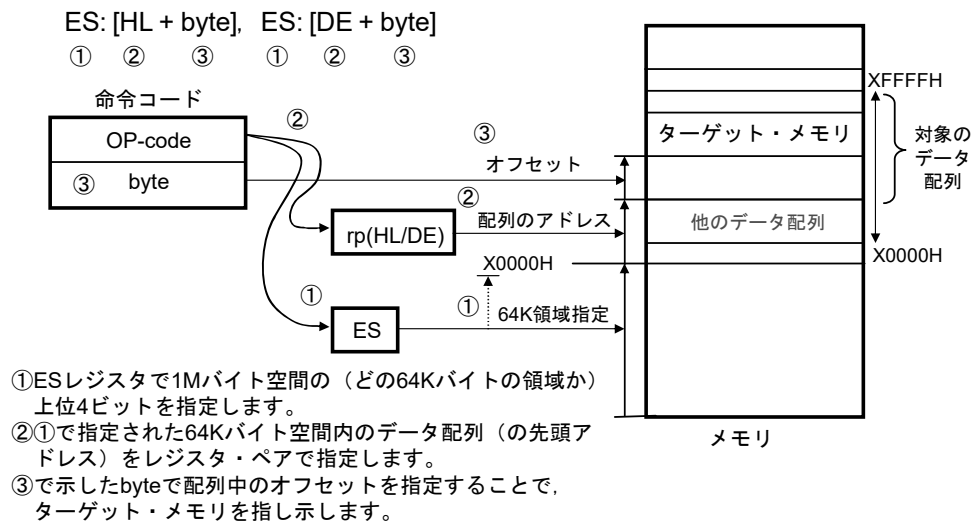


図3-33 ES:word[B], ES:word[C]の例

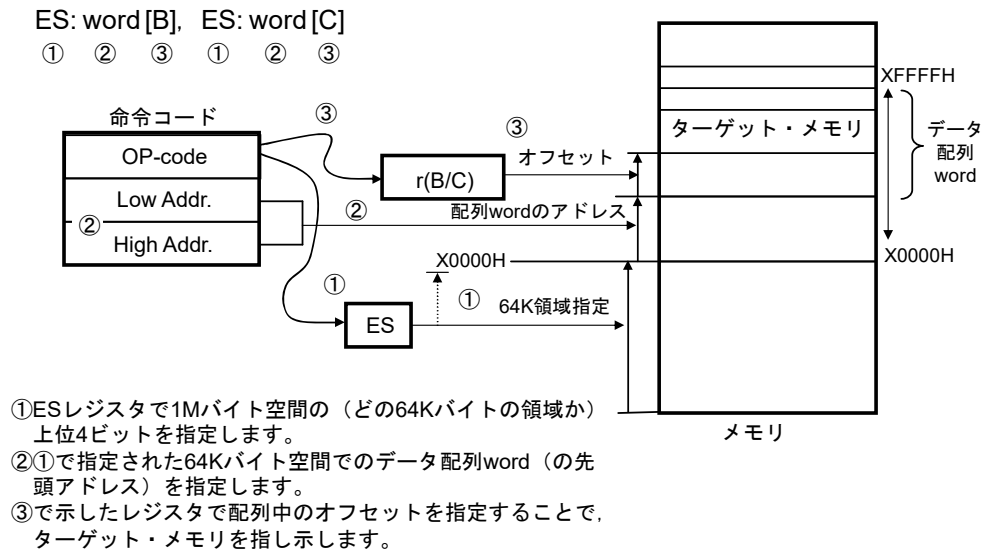
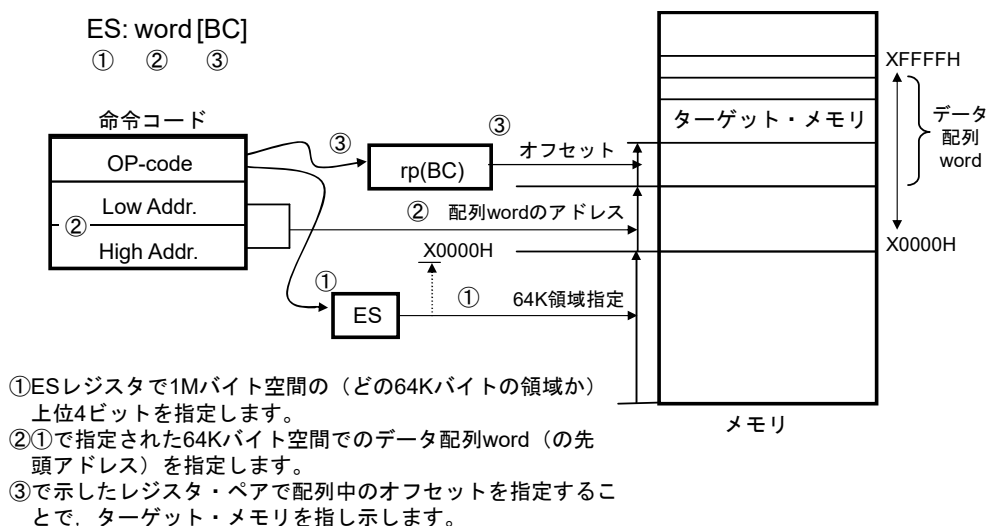


図3-34 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + B], [HL + C] (F0000H~FFFFFH空間のみ指定可能)
—	ES:[HL + B], ES:[HL + C] (ESレジスタにて上位4ビット・アドレス指定)

図3-35 [HL+B], [HL+C]の例

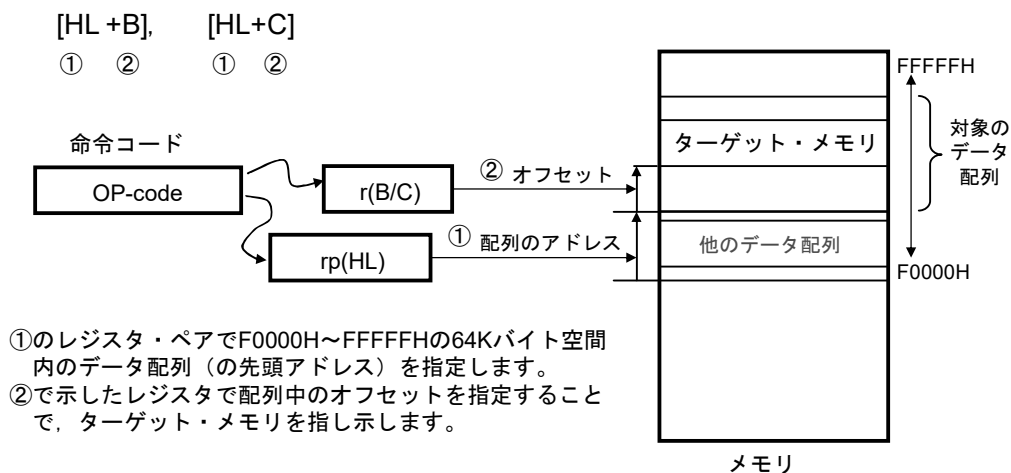
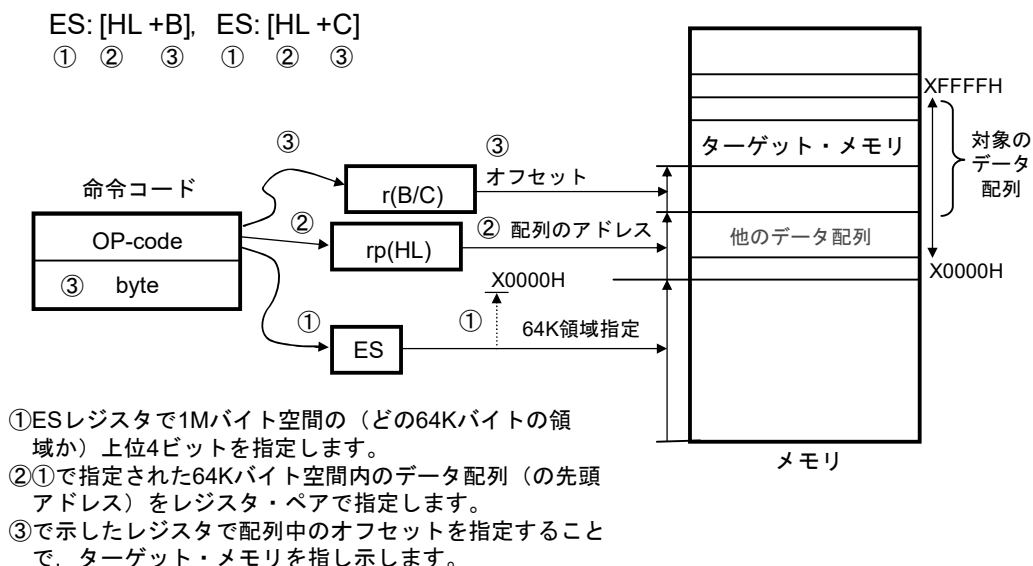


図3-36 ES:[HL+B], ES:[HL+C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

スタック領域は内蔵RAM上にだけ設定できます。

【記述形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

各スタック動作によって退避／復帰されるデータは図3-37～図3-42のようになります。

図3-37 PUSH rpの例

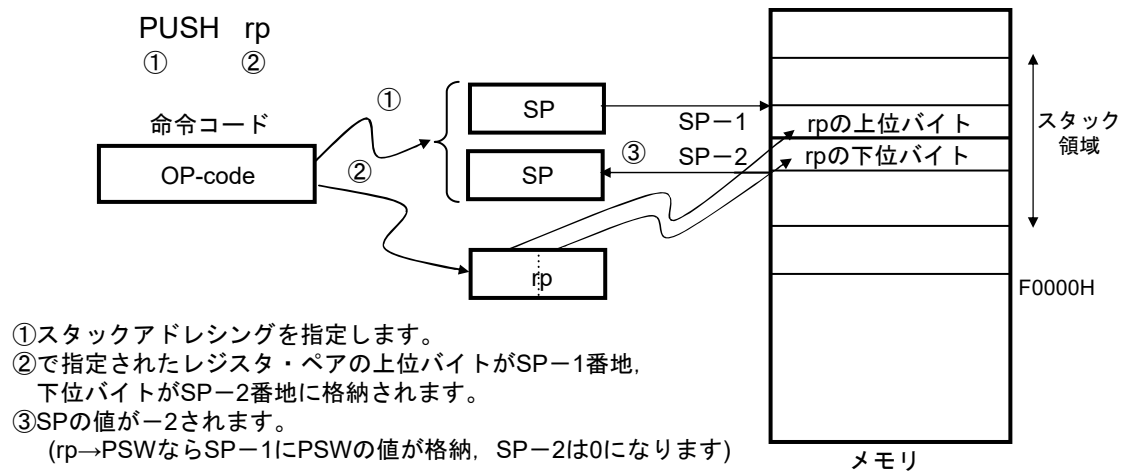
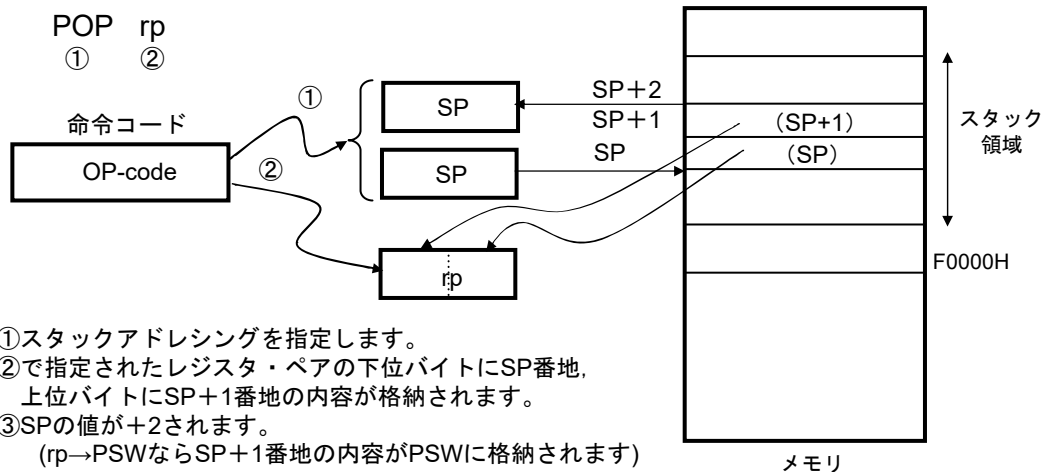
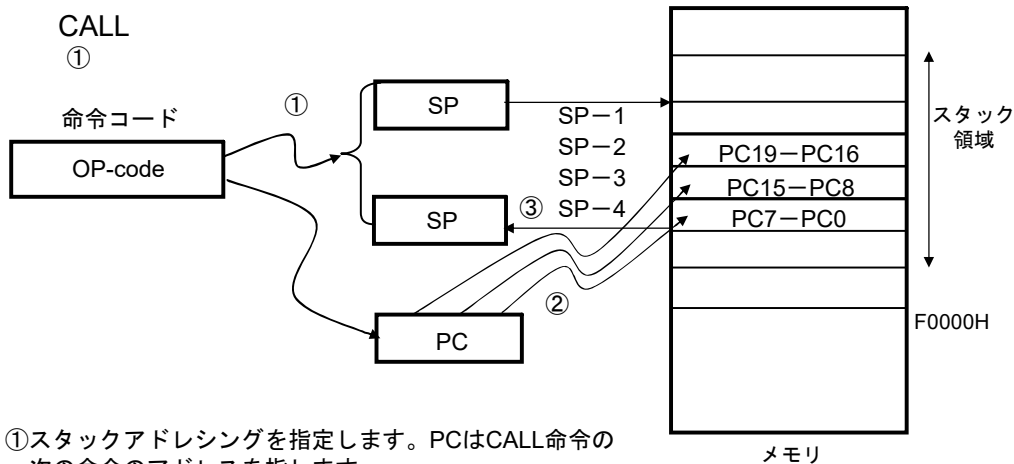


図3-38 POPの例



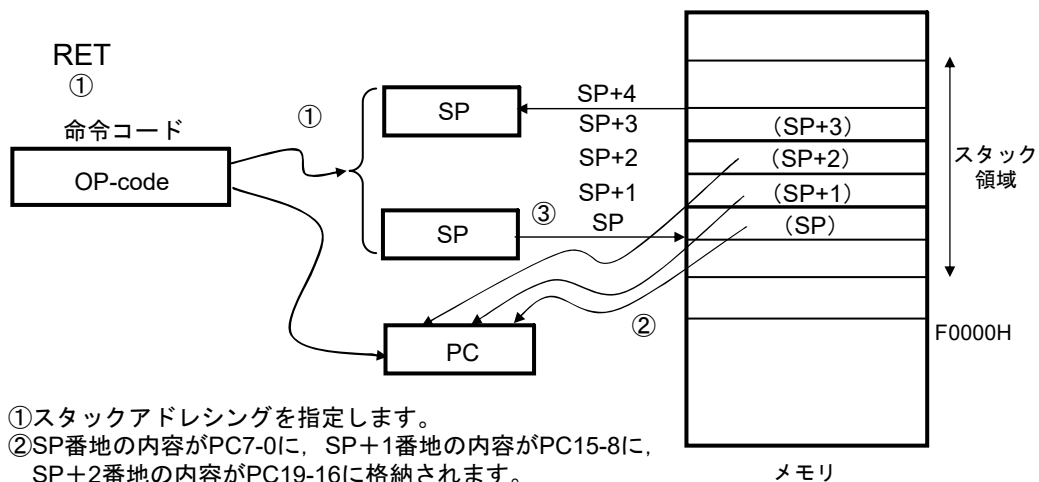
- ①スタックアドレッシングを指定します。
- ②で指定されたレジスタ・ペアの下位バイトにSP番地、上位バイトにSP+1番地の内容が格納されます。
- ③SPの値が+2されます。
(rp→PSWならSP+1番地の内容がPSWに格納されます)

図3-39 CALL, CALLTの例.



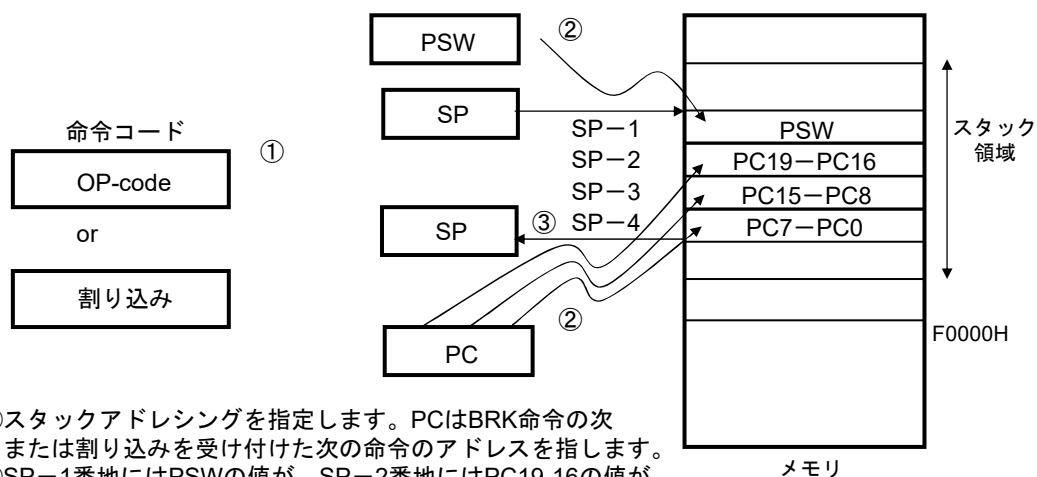
- ①スタックアドレッシングを指定します。PCはCALL命令の次の命令のアドレスを指します。
- ②SP-2番地にはPC19-16の値が、SP-3番地にはPC15-8の値が、SP-4番地にはPC7-0の値が格納されます。
- ③SPの値が-4されます。

図3-40 RETの例



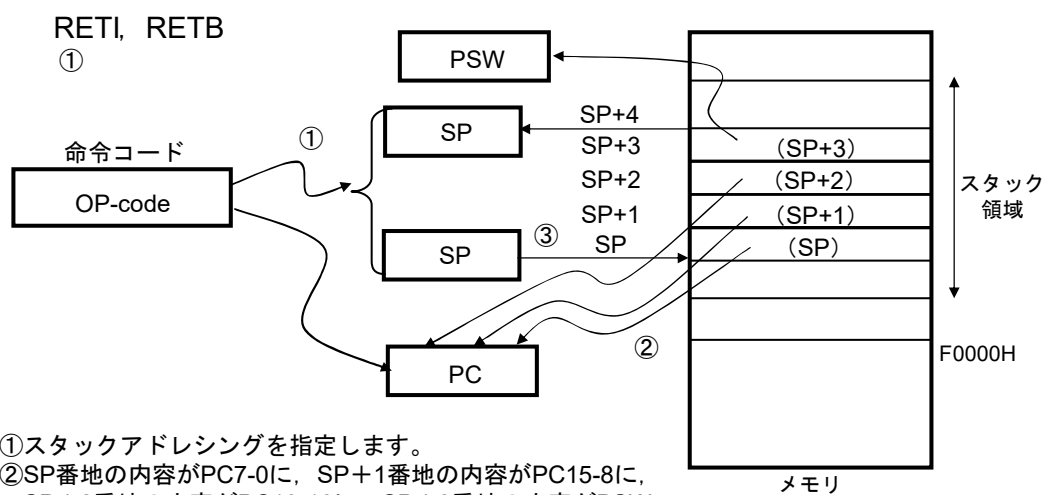
- ①スタックアドレッシングを指定します。
- ②SP番地の内容がPC7-0に、SP+1番地の内容がPC15-8に、SP+2番地の内容がPC19-16に格納されます。
- ③SPの値が+4されます。

図3-41 割り込み, BRKの例



- ①スタックアドレッシングを指定します。PCはBRK命令の次または割り込みを受け付けた次の命令のアドレスを指します。
- ②SP-1番地にはPSWの値が、SP-2番地にはPC19-16の値が、SP-3番地にはPC15-8の値が、SP-4番地にはPC7-0の値が格納されます。
- ③SPの値が-4されます。

図3-42 RETI, RETBの例



- ①スタックアドレッシングを指定します。
- ②SP番地の内容がPC7-0に、SP+1番地の内容がPC15-8に、SP+2番地の内容がPC19-16に、SP+3番地の内容がPSW格納されます。
- ③SPの値が+4されます。

第4章 ポート機能

4.1 ポートの機能

RL78マイクロコントローラは、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章 端子機能**を参照してください。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-1 ポートの構成

項 目	構 成
制御レジスタ	ポート・モード・レジスタ (PM0-PM6, PM12, PM14) ポート・レジスタ (P0-P6, P12-P14) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU5, PU12, PU14) ポート入力モード・レジスタ (PIM0, PIM1) ポート出力モード・レジスタ (POM0, POM1, POM4, POM5) ポート・モード・コントロール・レジスタ (PMC0, PMC1, PMC4, PMC12, PMC14) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 周辺I/Oリダイレクション・レジスタ (PIOR)
ポート	・ 20ピン製品 : 合計 : 18本 (CMOS入出力 : 12本 (N-ch O.D. 入出力 [V _{DD} 耐圧] : 4本), CMOS入力 : 4本, N-chオープン・ドレイン入出力 : 2本) ・ 24ピン製品 : 合計 : 22本 (CMOS入出力 : 16本 (N-ch O.D. 入出力 [V _{DD} 耐圧] : 5本), CMOS入力 : 4本, N-chオープン・ドレイン入出力 : 2本) ・ 30ピン製品 : 合計 : 26本 (CMOS入出力 : 21本 (N-ch O.D. 入出力 [V _{DD} 耐圧] : 9本), CMOS入力 : 3本, N-chオープン・ドレイン入出力 : 2本)
プルアップ抵抗	・ 20ピン製品 : 合計 : 9本 ・ 24ピン製品 : 合計 : 13本 ・ 30ピン製品 : 合計 : 17本

注意 この章では、以降の主な説明をR5F102製品の場合で説明しています。

4.2.1 20, 24ピン製品

4.2.1.1 ポート0

出力ラッチ付き入出力ポートです（24ピン製品に搭載）。ポート・モード・レジスタ0（PM0）により1ビット単位で入力モード／出力モードの指定ができます。P00-P03端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0（PU0）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P01端子の出力は、ポート出力モード・レジスタ0（POM0）により1ビット単位でN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能です。

また、兼用機能としてキー・リターン入力機能、シリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット信号の発生により、入力モードになります。

4.2.1.2 ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1（PM1）により1ビット単位で入力モード／出力モードの指定ができます。P10-P14端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1（PU1）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P11端子の入力は、ポート入力モード・レジスタ1（PIM1）の設定により、1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P10-P12端子の出力は、ポート出力モード・レジスタ1（POM1）により1ビット単位でN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能です。

P10-P14端子は、ポート・モード・コントロール・レジスタ1（PMC1）の設定により1ビット単位でデジタル入出力／アナログ入力の指定ができます。

また、兼用機能としてアナログ入力、クロック／ブザー出力、シリアル・インタフェースのデータ入出力、クロック入出力、プログラミングUARTの送受信、タイマの入出力、外部割り込み要求入力があります。

リセット信号の発生により、アナログ入力になります。

4.2.1.3 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2（PM2）により1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、A/Dコンバータの+側基準電圧入力、A/Dコンバータの-側基準電圧入力があります。

P20/ANI0-P23/ANI3をデジタル入出力ポートとして使用する場合は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）で“デジタル入出力”に設定して、上位ビットから使用してください。

P20/ANI0-P23/ANI3をアナログ入力ポートとして使用する場合は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に、かつPM2レジスタで入力モードに設定して、下位ビットから使用してください。

表4-2 P20/ANI0-P23/ANI3端子機能の設定

ADPCレジスタ	PM2レジスタ	ADSレジスタ	P20/ANI0-P23/ANI3端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P20/ANI0-P23/ANI3はすべてアナログ入力になります。

4.2.1.4 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4（PM4）により1ビット単位で入力モード／出力モードの指定ができます。P40-P42端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4（PU4）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P41端子の出力は、ポート出力モード・レジスタ4（POM4）によりN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能です。

P41, P42端子は、ポート・モード・コントロール・レジスタ4（PMC4）の設定により1ビット単位でデジタル入出力／アナログ入力の指定ができます。

また、兼用機能としてキー・リターン入力、フラッシュ・メモリ・プログラマ／デバッグ用のデータ入出力、アナログ入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力、外部割り込み要求入力があります。

リセット信号の発生により、入力モード（P41, P42はアナログ入力）になります。

4.2.1.5 ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6（PM6）により1ビット単位で入力モード／出力モードの指定ができます。

P60, P61端子の出力は、N-chオープン・ドレイン出力（6V耐圧）です。

また、兼用機能としてキー・リターン入力、シリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット信号の発生により、入力モードになります。

4.2.1.6 ポート12

3ビットの入力専用ポートです。P125端子はプルアップ抵抗オプション・レジスタ12（PU12）により、内蔵プルアップ抵抗を使用できます（RESET端子（PORTSELB = 1）を選択時は、内蔵プルアップ抵抗が常時有効になります）。

また兼用機能としてキー・リターン入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、リセット入力があります。

注意 電源投入後、P125はRESET入力として機能します。パワー・オン・リセット（POR）が内部リセット信号を解除しても、この端子にロウ・レベルが入力されている期間はリセット状態を継続します。

P125/KR1/SI01を使用する場合は、オプション・バイト（000C1H）でポート機能（PORTSELB = 0）を選択し、すべてのリセット要因を解除してください。

4.2.1.7 ポート13

1ビットの入力専用ポートです。

また兼用機能として外部割り込み要求入力があります。

4.2.2 30ピン製品

4.2.2.1 ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード／出力モードの指定ができます。P00, P01端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P01端子の入力は、ポート入力モード・レジスタ0 (PIM0) の設定により、通常入力バッファ／TTL入力バッファの指定ができます。

P00端子の出力は、ポート出力モード・レジスタ1 (POM1) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

P00, P01端子は、ポート・モード・コントロール・レジスタ0 (PMC0) の設定により1ビット単位でデジタル入出力／アナログ入力の指定ができます。

また、兼用機能としてタイマの入出力、A/Dコンバータのアナログ入力、シリアル・インタフェースのデータ入出力があります。

リセット信号の発生により、アナログ入力になります。

4.2.2.2 ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード／出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P11, P13-P17端子の入力は、ポート入力モード・レジスタ1 (PIM1) の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P10-P15, P17端子の出力は、ポート出力モード・レジスタ1 (POM1) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、プログラミングUARTの送受信、タイマの入出力、クロック／ブザー出力、外部割り込み要求入力があります。

リセット信号の発生により、入力モードになります。

4.2.2.3 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、A/Dコンバータの+側基準電圧入力、A/Dコンバータの-側基準電圧入力があります。

P20/ANI0-P23/ANI3をデジタル入出力ポートとして使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) で“デジタル入出力”に設定して、上位ビットから使用してください。

P20/ANI0-P23/ANI3をアナログ入力ポートとして使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、かつPM2レジスタで入力モードに設定して、下位ビットから使用してください。

表4-3 P20/ANI0-P23/ANI3端子機能の設定

ADPCレジスタ	PM2レジスタ	ADSレジスタ	P20/ANI0-P23/ANI3端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、アナログ入力になります。

4.2.2.4 ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3（PM3）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3（PU3）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、クロック／ブザー出力、タイマの入出力があります。

リセット信号の発生により、入力モードになります。

4.2.2.5 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4（PM4）により入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4（PU4）により内蔵プルアップ抵抗を使用できます。

また、兼用機能としてフラッシュ・メモリ・プログラマ／デバッグ用のデータ入出力があります。

リセット信号の発生により、入力モードになります。

4.2.2.6 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5（PM5）により1ビット単位で入力モード／出力モードの指定ができます。P50, P51端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5（PU5）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P50端子の出力は、ポート出力モード・レジスタ5（POM5）によりN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能です。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力があります。

リセット信号の発生により、入力モードになります。

4.2.2.7 ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6) により1ビット単位で入力モード／出力モードの指定ができます。

P60, P61端子の出力は、N-chオープン・ドレイン出力（6 V耐圧）です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット信号の発生により、入力モードになります。

4.2.2.8 ポート12

P120端子は出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ12 (PM12) により、入力モード／出力モードの指定ができます。P120端子を入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

P120端子は、ポート・モード・コントロール・レジスタ12 (PMC12) の設定により、デジタル入出力／アナログ入力の指定ができます。

P121, P122端子は2ビットの入力専用ポートです。

また兼用機能としてA/Dコンバータのアナログ入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力があります。

リセット信号の発生により、P120はアナログ入力になります。P121, P122は入力モードになります。

4.2.2.9 ポート13

1ビットの入力専用ポートです。

また兼用機能として外部割り込み要求入力があります。

4.2.2.10 ポート14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ14 (PM14) により入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ14 (PU14) により内蔵プルアップ抵抗を使用できます。

P147端子は、ポート・モード・コントロール・レジスタ14 (PMC14) の設定により、デジタル入出力／アナログ入力の指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

リセット信号の発生により、アナログ入力になります。

4.3 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

- ・ポート・モード・レジスタ (PMxx)
- ・ポート・レジスタ (Pxx)
- ・プルアップ抵抗オプション・レジスタ (PUxx)
- ・ポート入力モード・レジスタ (PIMx)
- ・ポート出力モード・レジスタ (POMx)
- ・ポート・モード・コントロール・レジスタ (PMCxx)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・周辺I/Oリダイレクション・レジスタ (PIOR)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載してるレジスタとビットについては、表4-4、表4-5を参照してください。また、搭載していないビットには必ず初期値を設定してください。

表4-4 PMx, Pxx, PUxx, PIMx, POMx, PMCxxレジスタとそのビット (20, 24ピン製品)

ポート		ビット名					
		PMxレジスタ	Pxxレジスタ	PUxxレジスタ	PIMxレジスタ	POMxレジスタ	PMCxxレジスタ
ポート0 ^注	0	PM00	P00	PU00	—	—	—
	1	PM01	P01	PU01	—	POM01	—
	2	PM02	P02	PU02	—	—	—
	3	PM03	P03	PU03	—	—	—
ポート1	0	PM10	P10	PU10	PIM10	POM10	PMC10
	1	PM11	P11	PU11	PIM11	POM11	PMC11
	2	PM12	P12	PU12	—	POM12	PMC12
	3	PM13	P13	PU13	—	—	PMC13
	4	PM14	P14	PU14	—	—	PMC14
ポート2	0	PM20	P20	—	—	—	—
	1	PM21	P21	—	—	—	—
	2	PM22	P22	—	—	—	—
	3	PM23	P23	—	—	—	—
ポート4	0	PM40	P40	PU40	—	—	—
	1	PM41	P41	PU41	—	POM41	PMC41
	2	PM42	P42	PU42	—	—	PMC42
ポート6	0	PM60	P60	—	—	—	—
	1	PM61	P61	—	—	—	—
ポート12	1	—	P121	—	—	—	—
	2	—	P122	—	—	—	—
	5	—	P125	PU125	—	—	—
ポート13	7	—	P137	—	—	—	—

注 24ピン製品のみ

表4-5 PMxx, Pxx, PUxx, PIMx, POMx, PMCxxレジスタとそのビット (30ピン製品)

ポート		ビット名					
		PMxxレジスタ	Pxxレジスタ	PUxxレジスタ	PIMxレジスタ	POMxレジスタ	PMCxxレジスタ
ポート0	0	PM00	P00	PU00	—	POM00	PMC00
	1	PM01	P01	PU01	PIM01	—	PMC01
ポート1	0	PM10	P10	PU10	PIM10	POM10	—
	1	PM11	P11	PU11	PIM11	POM11	—
	2	PM12	P12	PU12	—	POM12	—
	3	PM13	P13	PU13	PIM13	POM13	—
	4	PM14	P14	PU14	PIM14	POM14	—
	5	PM15	P15	PU15	PIM15	POM15	—
	6	PM16	P16	PU16	PIM16	—	—
	7	PM17	P17	PU17	PIM17	POM17	—
ポート2	0	PM20	P20	—	—	—	—
	1	PM21	P21	—	—	—	—
	2	PM22	P22	—	—	—	—
	3	PM23	P23	—	—	—	—
ポート3	0	PM30	P30	PU30	—	—	—
	1	PM31	P31	PU31	—	—	—
ポート4	0	PM40	P40	PU40	—	—	—
ポート5	0	PM50	P50	PU50	—	POM50	—
	1	PM51	P51	PU51	—	—	—
ポート6	0	PM60	P60	—	—	—	—
	1	PM61	P61	—	—	—	—
ポート12	0	PM120	P120	PU120	—	—	PMC120
	1	—	P121	—	—	—	—
	2	—	P122	—	—	—	—
ポート13	7	—	P137	—	—	—	—
ポート14	7	PM147	P147	PU147	—	—	PMC147

4.3.1 ポート・モード・レジスタ (PMxx)

ポートの入力／出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、**4.5 兼用機能使用時のレジスタ設定**を参照し、設定してください。

図4-1 ポート・モード・レジスタのフォーマット

20, 24ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0 ^注	1	1	1	1	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	1	1	1	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	1	1	1	1	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM4	1	1	1	1	1	PM42	PM41	PM40	FFF24H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FFF26H	FFH	R/W

注 24ピン製品のみ

30ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	1	1	1	1	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	1	1	1	PM40	FFF24H	FFH	R/W
PM5	1	1	1	1	1	1	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FFF26H	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	PM147	1	1	1	1	1	1	1	FFF2EH	FFH	R/W

PMmn	PMn端子の入出力モードの選択 (m = 0-6, 12, 14; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 搭載していないビットには必ず初期値を設定してください。

4.3.2 ポート・レジスタ (Pxx)

ポートの出カラッチの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出カラッチの値が読み出されます[※]。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

注 A/Dコンバータのアナログ入力機能を選択したポートの入力データを読み出すと端子レベルではなく、常に0が読み出されます。

また、RESET端子 (PORTSELB = 1) を選択時に、P125の入力データを読み出すと常に1が読み出されます。

図4-2 ポート・レジスタのフォーマット

20, 24ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	P03	P02	P01	P00	FFF00H	00H (出力ラッチ)	R/W
P1	0	0	0	P14	P13	P12	P11	P10	FFF01H	00H (出力ラッチ)	R/W
P2	0	0	0	0	P23	P22	P21	P20	FFF02H	00H (出力ラッチ)	R/W
P4	0	0	0	0	0	P42	P41	P40	FFF04H	00H (出力ラッチ)	R/W
P6	0	0	0	0	0	0	P61	P60	FFF06H	00H (出力ラッチ)	R/W
P12	0	0	P125	0	0	P122	P121	0	FFF0CH	不定	R
P13	P137	0	0	0	0	0	0	0	FFF0DH	不定	R

30ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	0	P01	P00	FFF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出力ラッチ)	R/W
P2	0	0	0	0	P23	P22	P21	P20	FFF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	0	0	P31	P30	FFF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	0	0	0	P40	FFF04H	00H (出力ラッチ)	R/W
P5	0	0	0	0	0	0	P51	P50	FFF05H	00H (出力ラッチ)	R/W
P6	0	0	0	0	0	0	P61	P60	FFF06H	00H (出力ラッチ)	R/W
P12	0	0	0	0	0	P122	P121	P120	FFF0CH	不定	R/W ^注
P13	P137	0	0	0	0	0	0	0	FFF0DH	不定	R
P14	P147	0	0	0	0	0	0	0	FFF0EH	00H (出力ラッチ)	R/W

Pmn	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

m = 0-6, 12, 13, 14 ; n = 0-7

注 P121, P122はRead Onlyです。

注意 搭載していないビットには必ず初期値を設定してください。

4.3.3 プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、通常出力モード (POMmn = 0) かつ入力モード (PMmn = 1) に設定したビットにのみ、ビット単位で内蔵プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときやアナログ設定 (PMC = 1, ADPC = 1) にしている場合も同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PU4は01H、PU12は20H (20, 24ピン製品)、他は00Hになります。

注意 PIMnレジスタがあるポートで、異電位デバイスからTTLバッファに入力する場合は、PUMn = 0を設定して、外部抵抗を介して異電位デバイスの電源にプルアップしてください。

図4-3 プルアップ抵抗オプション・レジスタのフォーマット

20, 24ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	0	0	0	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU4	0	0	0	0	0	PU42	PU41	PU40	F0034H	01H	R/W
PU12	0	0	PU125*	0	0	0	0	0	F003CH	20H	R/W

30ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	0	0	0	PU40	F0034H	01H	R/W
PU5	0	0	0	0	0	0	PU51	PU50	F0035H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU14	PU147	0	0	0	0	0	0	0	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-5, 12, 14; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注 P125/KR1/SI01 (PORTSELB = 0) を選択しているときのみ、PU125を選択できます。

RESET端子 (PORTSELB = 1) を選択時は、内蔵プルアップ抵抗が常時有効になります。

注意 搭載していないビットには必ず初期値を設定してください。

4.3.4 ポート入力モード・レジスタ (PIMx)

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時などにTTL入力バッファを選択できます。

ポート入力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-4 ポート入力モード・レジスタのフォーマット

20, 24ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM1	0	0	0	0	0	0	PIM11	PIM10	F0041H	00H	R/W

30ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	0	0	0	PIM01	0	F0040H	00H	R/W
PIM1	PIM17	PIM16	PIM15	PIM14	PIM13	0	PIM11	PIM10	F0041H	00H	R/W

PIMmn	Pmn端子の入力バッファの選択 (m = 0, 1; n = 0, 1, 3-7)
0	通常入力バッファ
1	TTL入力バッファ

注意 搭載していないビットには必ず初期値を設定してください。

4.3.5 ポート出力モード・レジスタ (POMx)

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I²C通信時のSDAxx端子にN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択できます。

また、POMxはPUxレジスタとともに、内蔵プルアップ抵抗を使用するかどうかを設定します。

ポート出力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 N-chオープン・ドレイン出力 (V_{DD}耐圧) モード (POMmn = 1) を設定したビットは、内蔵プルアップ抵抗が接続されません。

図4-5 ポート出力モード・レジスタのフォーマット

20, 24ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	0	0	0	POM01	0	F0050H	00H	R/W
POM1	0	0	0	0	0	POM12	POM11	POM10	F0051H	00H	R/W
POM4	0	0	0	0	0	0	POM41	0	F0054H	00H	R/W

30ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	0	0	0	0	POM00	F0050H	00H	R/W
POM1	POM17	0	POM15	POM14	POM13	POM12	POM11	POM10	F0051H	00H	R/W
POM5	0	0	0	0	0	0	0	POM50	F0055H	00H	R/W

POMmn	Pmn端子の出力モードの選択 (m = 0, 1, 4, 5 ; n = 0-5, 7)
0	通常出力モード
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧) モード

注意 搭載していないビットには必ず初期値を設定してください。

4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)

デジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

ポート・モード・コントロール・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図4-6 ポート・モード・コントロール・レジスタのフォーマット

20, 24ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC1	1	1	1	PMC14	PMC13	PMC12	PMC11	PMC10	F0061H	FFH	R/W
PMC4	1	1	1	1	1	PMC42	PMC41	1	F0064H	FFH	R/W

30ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	1	1	1	1	1	1	PMC01	PMC00	F0060H	FFH	R/W
PMC12	1	1	1	1	1	1	1	PMC120	F006CH	FFH	R/W
PMC14	PMC147	1	1	1	1	1	1	1	F006EH	FFH	R/W

PMCmn	Pmn端子のデジタル入出力／アナログ入力の選択 (m = 0, 1, 4, 12, 14 ; n = 0-4, 7)
0	デジタル入出力 (アナログ入力以外の兼用機能)
1	アナログ入力

- 注意1. PMCxxレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタm (PMm) で入力モードに選択してください。
2. PMCxxレジスタでデジタル入出力として設定する端子を、アナログ入力チャネル指定レジスタ (ADS) で設定しないでください。
3. 搭載していないビットには必ず初期値を設定してください。

4.3.7 A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0/P20-ANI3/P23端子を、A/Dコンバータのアナログ入力／ポートのデジタル入出力に切り替えるレジスタです。

ADPCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-7 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス：F0076H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	0	ADPC2	ADPC1	ADPC0

ADPC2	ADPC1	ADPC0	アナログ入力 (A) ／デジタル入出力 (D) の切り替え			
			ANI3/P23	ANI2/P22	ANI1/P21	ANI0/P20
0	0	0	A	A	A	A
0	0	1	D	D	D	D
0	1	0	D	D	D	A
0	1	1	D	D	A	A
1	0	0	D	A	A	A
上記以外			設定禁止			

- 注意1. ADPCレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
2. ADPCレジスタでデジタル入出力として設定する端子を、アナログ入力チャネル指定レジスタ (ADS) で設定しないでください。
3. AV_{REFP}とAV_{REFM}を使用する場合は、ANI0とANI1をアナログ入力に設定し、ポート・モード・レジスタは入力モードに設定してください。

4.3.8 周辺I/Oリダイレクション・レジスタ (PIOR)

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は、PIORレジスタでポートを割り当ててから、動作許可にしてください。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIORレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマット

アドレス : F0077H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIOR	0	0	0	0	PIOR3 ^{注1,2}	PIOR2	PIOR1	PIOR0

20, 24ピン製品

ビット	兼用機能	設定値	
		0	1
PIOR3 ^{注1,2}	SCK01	P42	P02
	SI01	P125	P00
	SO01	P41	P01
	SCL01	P42	P02
	SDA01	P41	P01
PIOR2 ^{注3}	TI02	P41	P122
	TI03	P42	P121
PIOR1	RxD0	P11	P61
	TxD0	P12	P60
PIOR0	INTP2	P13	P122
	INTP3	P14	P121

30ピン製品

ビット	兼用機能	設定値	
		0	1
PIOR3	—	(固定)	設定禁止
PIOR2	SCLA0	P60	P14 ^{注1}
	SDAA0	P61	P13 ^{注1}
PIOR1	TxD2 ^{注1}	P13	—
	RxD2 ^{注1}	P14	—
	SCL20 ^{注1}	P15	—
	SDA20 ^{注1}	P14	—
	SI20 ^{注1}	P14	—
	SO20 ^{注1}	P13	—
	SCK20 ^{注1}	P15	—
	TxD0	P12	P17
	RxD0	P11	P16
	SCL00 ^{注1}	P10	—
	SDA00 ^{注1}	P11	—
	SI00	P11	—
	SO00	P12	—
	SCK00	P10	—
PIOR0	TI02/TO02	P17	P15
	TI03/TO03	P31	P14
	TI04/TO04	—	P13
	TI05/TO05	—	P12
	TI06/TO06	—	P11
	TI07/TO07	—	P10

注1. R5F102製品のみ

2. 24ピン製品のみ

3. 20, 24ピン製品のPIOR2ビットを“1”に設定した場合、TO02, TO03のタイマ出力は使用禁止です。

備考 — : 兼用機能として使用できません。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令で、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしているので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応

ポート入力モード・レジスタ（PIMxx），ポート出力モード・レジスタ（POMxx）で入出力バッファを切り換えることにより，異電位（1.8 V系, 2.5 V系, 3 V系）で動作している外部デバイスとの接続が可能になります。

異電位（1.8 V系, 2.5 V系, 3 V系）の外部デバイスからの入力を受ける場合，ポート入力モード・レジスタ0, 1（PIM0, PIM1）^注をビットごとに設定して，通常入力（CMOS）/TTL入力バッファを切り換えます。

異電位（1.8 V系, 2.5 V系, 3 V系）の外部デバイスへ出力する場合，ポート出力モード・レジスタ0, 1（POM0, POM1）をビットごとに設定して，通常出力（CMOS）/N-chオープン・ドレイン（V_{DD}耐圧）を切り換えます。

以下，シリアル・インタフェースでの接続について説明します。

注 20, 24ピン製品はポート1のみ

(1) UART0-UART2, CSI00, CSI20機能の入力ポートをTTL入力バッファで使用する場合の設定手順

インタフェース	20, 24ピン製品	30ピン製品 ^注
UART0	P11	P11（P16）
UART1	—	P01
UART2	—	P14
CSI00	P10	P10
	P11	P11
CSI20	—	P14
		P15

注（ ）内の端子は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

- ① 使用する入力端子を外部抵抗を介して，対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
- ② PIM0, PIM1レジスタの該当ビットを1に設定し，TTL入力バッファに切り換えます。なお，V_{IH}, V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。
- ③ シリアル・アレイ・ユニットを動作許可し，UART/簡易SPI（CSI^注）モードに設定します。

注 一般的にはSPI と呼ばれる機能ですが，本製品ではCSI とも呼称しているため，本マニュアルでは併記します。

- (2) UART0-UART2, CSI00, CSI20機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

インタフェース	20, 24ピン製品	30ピン製品 ^注
UART0	P12	P12 (P17)
UART1	—	P00
UART2	—	P13
CSI00	P10	P10
	P12	P12
CSI20	—	P15
		P13

注 () 内の端子は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

- ① 使用する出力端子を外部抵抗を介して対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
- ② リセット解除後、ポート・モードは入力モード（Hi-Z）になっています。
- ③ 該当するポートの出力ラッチに1を設定します。
- ④ POM0, POM1レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力（V_{DD}耐圧）モードに設定します。
- ⑤ シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI（CSI）モードに設定します。
- ⑥ PM0, PM1レジスタを操作して出力モードに設定します。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

- (3) IIC00, IIC20機能の入出力ポートを、異電位（1.8 V系, 2.5 V系, 3 V系）で使用する場合の設定手順

インタフェース	20, 24ピン製品	30ピン製品
IIC00	P10	P10
	P11	P11
IIC20	—	P14
		P15

- ① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
- ② リセット解除後、ポート・モードは入力モード（Hi-Z）になっています。
- ③ 該当するポートの出力ラッチに1を設定します。
- ④ POM0, POM1レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力（V_{DD}耐圧）モードに設定します。
- ⑤ PIM0, PIM1レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。
なお、V_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。
- ⑥ シリアル・アレイ・ユニットを動作許可し、簡易I²Cモードに設定します。
- ⑦ PM0, PM1レジスタの該当ビットを出力モードに設定します（出力モードのままでデータ入出力可能）。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

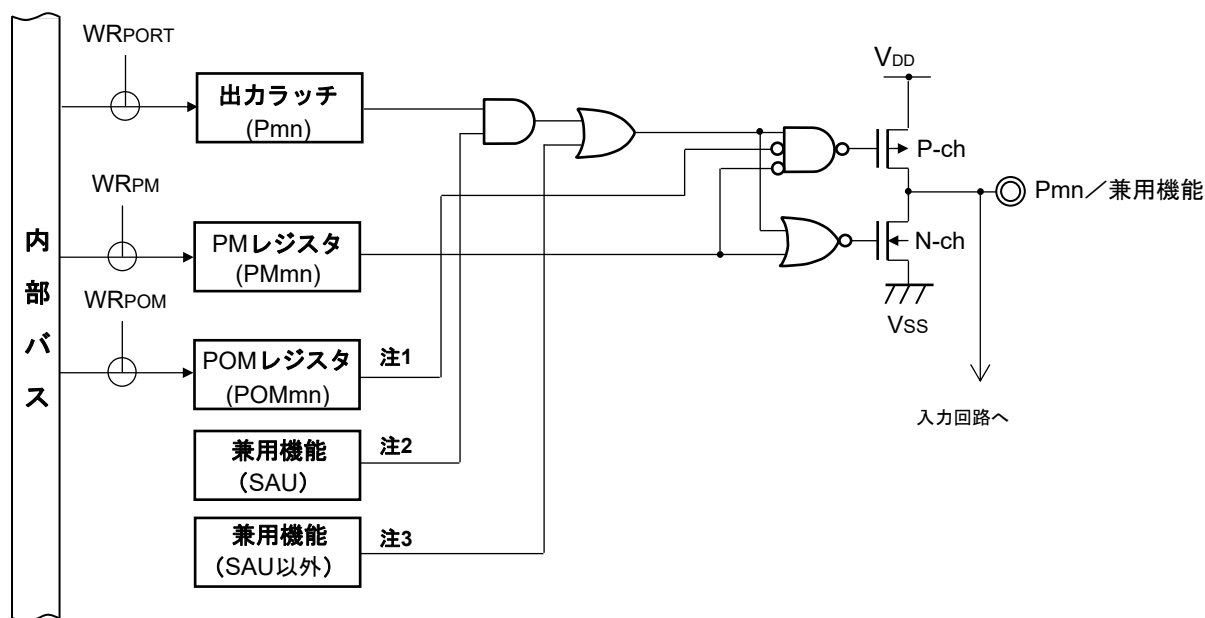
4.5 兼用機能使用時のレジスタ設定

4.5.1 兼用機能使用時の基本的な考え方

最初に、アナログ入力と兼用している端子については、アナログ入力を使用するかデジタル入出力で使用するかをADPCレジスタまたはポート・モード・コントロール・レジスタ（PMCxx）で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4-9に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には、兼用しているSAU以外の機能（TAU、クロック／ブザー出力、IICA等）の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4-6に示します。

図4-9 端子の出力回路の基本的な構成



注1. POMレジスタがない場合には、この信号はLow（0）と考えてください。

2. 兼用機能がない場合には、この信号はHigh（1）と考えてください。

3. 兼用機能がない場合には、この信号はLow（0）と考えてください。

備考 m：ポート番号（m = 0-14），n：ビット番号（n = 0-7）

表4-6 基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAUの出力機能	SAU以外の出力機能
ポート出力機能	—	出力はHigh (1)	出力はLow (0)
SAUの出力機能	High (1)	—	出力はLow (0)
SAU以外の出力機能	Low (0)	出力はHigh (1)	出力はLow (0) 注

注 1つの端子にSAU以外の出力機能が複数兼用になっていることがあるので、使用しない兼用機能の出力はLow (0) にしておく必要があります。具体的な設定方法については、4.5.2 出力機能を使用しない場合の兼用機能のレジスタ設定を参照してください。

4.5.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、以下次に示す設定を行ってください。周辺機能出力がなお、周辺I/Oリダイレクト機能の対象になっている場合には、周辺I/Oリダイレクション・レジスタ（PIOR）を設定することで、出力を他の端子に切り替えることもできます。これにより、対象の端子に割り当てられたポート機能や他の兼用機能を使用することが可能となります

(1) $SO_{p} = xD_{q} = 1$ （SAUのシリアル出力（ SO_{p}/TxD_{q} ）を使用しない場合の設定）

SAUをシリアル入力のみで使用するなどし、シリアル出力（ SO_{p}/TxD_{q} ）を使用しない場合には、使用しない出力に対応したシリアル出力許可レジスタ m （ $SOEm$ ）のビットを0（出力禁止）に設定し、シリアル出力レジスタ m （ SOm ）の $SOmn$ ビットを1（High）に設定してください。これは初期状態と同じ設定です。

(2) $SCK_{p} = 1/SDAr = 1/SCLr = 1$ （SAUのチャネル n を使用しない場合の設定）

SAUを使用しない場合には、シリアル・チャネル許可ステータス・レジスタ m （ SEm ）のビット n （ $SEmn$ ）を0（動作停止状態）に設定し、使用しない出力に対応したシリアル出力許可レジスタ m （ $SOEm$ ）のビットを0（出力禁止）に設定し、シリアル出力レジスタ m （ SOm ）の $SOmn$ ビットと $CKOmn$ ビットを1（High）に設定してください。これは初期状態と同じ設定です。

(3) $TOmn = 0$ （TAUのチャネル n の出力を使用しない場合の設定）

TAUの $TOmn$ 出力を使用しない場合には、使用しない出力に対応したタイマ出力許可レジスタ0（ $TOE0$ ）のビットを0（出力禁止）、タイマ出力レジスタ0（ $TO0$ ）のビットを0（Low）に設定してください。これは初期状態と同じ設定です。

(4) $SDAAn = 0/SCLAn = 0$ （IICAを使用しない場合の設定）

IICAを使用しない場合には、IICAコントロール・レジスタ $n0$ （ $IICCTLn0$ ）の $IICEn$ ビットを0（動作停止）にしてください。これは初期状態と同じ設定です。

(5) $PCLBUZn = 0$ （クロック出力/ブザー出力を使用しない場合の設定）

クロック出力/ブザー出力を使用しない場合には、クロック出力選択レジスタ n （ $CKSn$ ）の $PCLOEn$ ビットを0（出力禁止）にしてください。これは初期状態と同じ設定です。

4.5.3 使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表4-7に示します。ポート機能を制御するレジスタを表4-7のように設定してください。なお、表4-7の表記については次の備考を参照してください。

- 備考** — : 対象外
 × : don't care
 PIOR× : 周辺I/Oリダイレクション・レジスタ
 POM×× : ポート出力モード・レジスタ
 PMC×× : ポート・モード・コントロール・レジスタ
 PM×× : ポート・モード・レジスタ
 P×× : ポートの出力ラッチ
 () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

表4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (20, 24ピン製品) (1/5)

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力	
	機能名称	入出力						SAU系	それ以外
P00 ^{注1}	P00	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	0/1	—	—
	KR6	入力	—	—	—	1	×	—	—
	(SI01) ^{注2}	入力	PIOR3 = 1	—	—	1	×	—	—
P01 ^{注1}	P01	入力	—	×	—	1	×	×	—
		出力	—	0	—	0	0/1	(SO01) / (SDA01) = 1	—
		N-chOD出力	—	1	—	0	0/1		—
	KR7	入力	—	×	—	1	×	×	—
	(SO01) ^{注2}	出力	PIOR3 = 1	0/1	—	0	1	×	—
	(SDA01) ^{注2}	入出力	PIOR3 = 1	1	—	0	1	×	—
P02 ^{注1}	P02	入力	—	—	—	1	×	×	—
		出力	—	—	—	0	0/1	(SCK01) / (SCL01) = 1	—
	KR8	入力	—	—	—	1	×	×	—
	(SCK01) ^{注2}	入力	PIOR3 = 1	—	—	1	×	×	—
		出力	PIOR3 = 1	—	—	0	1	×	—
	(SCL01) ^{注2}	出力	PIOR3 = 1	—	—	0	1	×	—
P03 ^{注1}	P03	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	0/1	—	—
	KR9	入力	—	—	—	1	×	—	—
P10	P10	入力	—	×	0	1	×	×	×
		出力	—	0	0	0	0/1	SCK00/ SCL00 = 1	PCLBZ0 = 0
		N-chOD出力	—	1	0	0	0/1		
	ANI16	入力	—	×	1	1	×	×	×
	PCLBZ0	出力	—	0	0	0	0	SCK00/ SCL00 = 1	×
	SCK00	入力	—	×	0	1	×	×	PCLBZ0 = 0
		出力	—	0/1	0	0	1	×	PCLBZ0 = 0
	SCL00 ^{注2}	出力	—	0/1	0	0	1	×	PCLBZ0 = 0

注1. 24ピン製品のみ

2. R5F102製品のみ

表4-7 端子機能使用時のレジスタ、出力ラッチの設定例（20, 24ピン製品）（2/5）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力	
	機能名称	入出力						SAU系	それ以外
P11	P11	入力	—	×	0	1	×	×	—
		出力	—	0	0	0	0/1	SDA00 = 1	—
		N-chOD出力	—	1	0	0	0/1		
	ANI17	入力	—	×	1	1	×	×	—
	SI00	入力	—	×	0	1	×	×	—
	RxD0	入力	PIOR1 = 0	×	0	1	×	×	—
	SDA00 ^注	入出力	—	1	0	0	1	×	—
P12	P12	入力	—	×	0	1	×	×	—
		出力	—	0	0	0	0/1	SO00/ TxD0 = 1	—
		N-chOD出力	—	1	0	0	0/1		
	ANI18	入力	—	×	1	1	×	×	—
	SO00	出力	—	0/1	0	0	1	×	—
	TxD0	出力	PIOR1 = 0	0/1	0	0	1	×	—
P13	P13	入力	—	—	0	1	×	—	×
		出力	—	—	0	0	0/1	—	TO00 = 0
	ANI19	入力	—	—	1	1	×	—	×
	TI00	入力	—	—	0	1	×	—	×
	TO00	出力	—	—	0	0	0	—	×
	INTP2	入力	PIOR0 = 0	—	0	1	×	—	×
P14	P14	入力	—	—	0	1	×	—	×
		出力	—	—	0	0	0/1	—	TO01 = 0
	ANI20	入力	—	—	1	1	×	—	×
	TI01	入力	—	—	0	1	×	—	×
	TO01	出力	—	—	0	0	0	—	×
	INTP3	入力	PIOR0 = 0	—	0	1	×	—	×

注 R5F102製品のみ

表4-7 端子機能使用時のレジスタ、出力ラッチの設定例（20, 24ピン製品）（3/5）

端子名称	使用機能		ADPC	ADM2	PM××	P××
	機能名称	入出力				
P20	P20	入力	ADPC = 01H	×	1	×
		出力	ADPC = 01H	×	0	0/1
	ANI0	アナログ入力	ADPC = 00H/02H~04H	00x0xx0x, 10x0xx0x	1	×
	AV _{REFP}	基準電圧	ADPC = 00H/02H~04H	01x0xx0x	1	×
P21		入力	ADPC = 01H/02H	×	1	×
		出力	ADPC = 01H/02H	×	0	0/1
	ANI1	アナログ入力	ADPC = 00H/03H/04H	xx00xx0x	1	×
	AV _{REFM}	基準電圧	ADPC = 00H/03H/04H	xx10xx0x	1	×
P22	P22	入力	ADPC = 01H~03H	×	1	×
		出力	ADPC = 01H~03H	×	0	0/1
	ANI2	アナログ入力	ADPC = 00H/04H	×	1	×
P23	P23	入力	ADPC = 01H~04H	×	1	×
		出力	ADPC = 01H~04H	×	0	0/1
	AN3	アナログ入力	ADPC = 00H	×	1	×

表4-7 端子機能使用時のレジスタ、出力ラッチの設定例（20, 24ピン製品）（4/5）

端子名称	使用機能		PIOR×	POM×	PMC×	PM×	P×	兼用機能出力	
	機能名称	入出力						SAU系	それ以外
P40	P40	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	0/1	—	—
	KR0	入力	—	—	—	1	×	—	—
P41	P41	入力	—	×	0	1	×	×	×
		出力	—	0	0	0	0/1	SO01/ SDA01 = 1	TO02 = 0
		N-chOD出力	—	1	0	0	0/1		
	ANI22	入力	—	×	1	1	×	×	
	SO01 ^{注2}	出力	PIOR3 = 0 ^{注1}	0/1	0	0	1	×	TO02 = 0
	SDA01 ^{注2}	入出力	PIOR3 = 0 ^{注1}	1	0	0	1	×	TO02 = 0
	TI02	入力	PIOR2 = 0	×	0	1	×	×	×
	TO02	出力	—	0	0	0	0	SO01/ SDA01 = 1	×
	INTP1	入力	—	×	0	1	×	×	×
P42	P42	入力	—	—	0	1	×	×	×
		出力	—	—	0	0	0/1	SCK01/ SCL01 = 1	TO03 = 0
	ANI21	入力	—	—	1	1	×	×	×
	SCK01 ^{注2}	入力	PIOR3 = 0 ^{注1}	—	0	1	×	×	×
		出力	PIOR3 = 0 ^{注1}	—	0	0	1	×	TO03 = 0
	SCL01 ^{注2}	出力	PIOR3 = 0 ^{注1}	—	0	0	1	×	TO03 = 0
	TI03	入力	PIOR2 = 0	—	0	1	×	×	×
	TO03	出力	—	—	0	0	0	SCK01/ SCL01 = 1	×
P60	P60	入力	—	—	—	1	×	×	—
		N-chOD出力 (6V耐圧)	—	—	—	0	0/1	SCLA0/ (TxD0) = 1	—
	KR4	入力	—	—	—	1	×	×	—
	SCLA0	入出力	—	—	—	0	0	×	—
	(TxD0)	出力	PIOR1 = 1	—	—	0	1	×	—
P61	P61	入力	—	—	—	1	×	×	—
		N-chOD出力 (6V耐圧)	—	—	—	0	0/1	SDAA0 = 1	—
	KR5	入力	—	—	—	1	×	×	—
	SDAA0	入出力	—	—	—	0	0	×	—
	(RxD0)	入力	PIOR1 = 1	—	—	1	×	×	—

注1. 24ピン製品のみ

2. R5F102製品のみ

表4-7 端子機能使用時のレジスタ，出力ラッチの設定例（20, 24ピン製品）（5/5）

端子名称	使用機能		PIOR×	P×	その他
	機能名称	入出力			
P121	P121	入力	—	×	EXCLK, OSCSEL = 00/10/11
	KR3	入力	—	×	EXCLK, OSCSEL = 00/10/11
	(TI03)	入力	PIOR2 = 1	×	EXCLK, OSCSEL = 00/10/11
	(INTP3)	入力	PIOR0 = 1	×	EXCLK, OSCSEL = 00/10/11
	X1	—	—	×	EXCLK, OSCSEL = 01
P122	P122	入力	—	×	EXCLK, OSCSEL = 00/10
	KR2	入力	—	×	EXCLK, OSCSEL = 00/10
	(TI02)	入力	PIOR2 = 1	×	EXCLK, OSCSEL = 00/10
	(INTP2)	入力	PIOR0 = 1	×	EXCLK, OSCSEL = 00/10
	X2	—	—	×	EXCLK, OSCSEL = 01
	EXCLK	入力	—	×	EXCLK, OSCSEL = 11
P125	P125	入力	—	×	PORTSELB = 0
	KR1	入力	—	×	PORTSELB = 0
	SI01 ^{注2}	入力	PIOR3 = 0 ^{注1}	×	PORTSELB = 0
	RESET	入力	—	×	PORTSELB = 1
P137	P137	入力	—	×	—
	INTP0	入力	—	×	—

注1. 24ピン製品のみ

2. R5F102製品のみ

表4-8 端子機能使用時のレジスタ、出力ラッチの設定例 (30ピン製品) (1/6)

端子名称	使用機能		PIOR×	POM×	PMC×	PM×	P×	兼用機能出力	
	機能名称	入出力						SAU系	それ以外
P00	P00	入力	—	×	0	1	×	×	—
		出力	—	0	0	0	0/1	TxD1 = 1	—
		N-chOD出力	—	1	0	0	0/1		—
	ANI17	入力	—	×	1	1	×	×	—
	TI00	入力	—	×	0	1	×	×	—
	TxD1 ^注	出力	—	0/1	0	0	1	×	—
P01	P01	入力	—	—	0	1	×	—	×
		出力	—	—	0	0	0/1	—	TO00 = 0
	ANI16	入力	—	—	1	1	×	—	×
	TO00	出力	—	—	0	0	0	—	×
	RxD1 ^注	入力	—	—	0	1	×	—	×
P10	P10	入力	—	×	—	1	×	×	×
		出力	—	0	—	0	0/1	SCK00/ SCL00 = 1	(TO07) = 0
		N-chOD出力	—	1	—	0	0/1		
	SCK00	入力	PIOR1 = 0	×	—	1	×	×	×
		出力	PIOR1 = 0	0/1	—	0	1	×	(TO07) = 0
	SCL00 ^注	出力	PIOR1 = 0	0/1	—	0	1	×	(TO07) = 0
	(TI07)	入力	PIOR0 = 1	×	—	1	×	×	×
	(TO07)	出力	PIOR0 = 1	0	—	0	0	SCK00/ SCL00 = 1	×
P11	P11	入力	—	×	—	1	×	×	×
		出力	—	0	—	0	0/1	SDA00 = 1	(TO06) = 0
		N-chOD出力	—	1	—	0	0/1		
	SI00	入力	PIOR1 = 0	×	—	1	×	×	×
	RxD0	入力	PIOR1 = 0	×	—	1	×	×	×
	SDA00 ^注	入出力	PIOR1 = 0	1	—	0	1	×	(TO06) = 0
	(TI06)	入力	PIOR0 = 1	×	—	1	×	×	×
	(TO06)	出力	PIOR0 = 1	0	—	0	0	SDA00 = 1	×
P12	P12	入力	—	×	—	1	×	×	×
		出力	—	0	—	0	0/1	SO00/ TxD0 = 1	(TO05) = 0
		N-chOD出力	—	1	—	0	0/1		
	SO00	出力	PIOR1 = 0	0/1	—	0	1	×	(TO05) = 0
	TxD0	出力	PIOR1 = 0	0/1	—	0	1	×	(TO05) = 0
	(TI05)	入力	PIOR0 = 1	×	—	1	×	×	×
	(TO05)	出力	PIOR0 = 1	0	—	0	0	SO00/ TxD0 = 1	×
P13	P13	入力	—	×	—	1	×	×	×
		出力	—	0	—	0	0/1	TxD2/ SO20 = 1	(SDAA0) / (TO04) = 0
		N-chOD出力	—	1	—	0	0/1		
	TxD2 ^注	出力	PIOR1 = 0	0/1	—	0	1	×	(SDAA0) / (TO04) = 0
	SO20 ^注	出力	PIOR1 = 0	0/1	—	0	1	×	(SDAA0) / (TO04) = 0
	(SDAA0)	入出力	PIOR2 = 1	1	—	0	0	TxD2/ SO20 = 1	(TO04) = 0
	(TI04)	入力	PIOR0 = 1	×	—	1	×	×	×
	(TO04)	出力	PIOR0 = 1	0	—	0	0	TxD2/ SO20 = 1	(SDAA0) = 0

注 R5F102製品のみ

表4-8 端子機能使用時のレジスタ、出力ラッチの設定例（30ピン製品）（2/6）

端子名称	使用機能		PIOR×	POM×	PMC×	PM×	P×	兼用機能出力	
	機能名称	入出力						SAU系	それ以外
P14	P14	入力	—	×	—	1	×		
		出力	—	0	—	0	0/1	SDA20 = 1	(SCLA0) / (TO03) = 0
		N-chOD出力	—	1	—	0	0/1		
	RxD2 ^注	入力	PIOR1 = 0	×	—	1	×	×	×
	SI20 ^注	入力	PIOR1 = 0	×	—	1	×	×	×
	SDA20 ^注	入出力	PIOR1 = 0	1	—	0	1	×	(SCLA0) / (TO03) = 0
	(SCLA0)	入出力	PIOR2 = 1	1	—	0	0	SDA20 = 1	(TO03) = 0
	(TI03)	入力	PIOR0 = 1	×	—	1	×	×	×
	(TO03)	出力	PIOR0 = 1	0	—	0	0	SDA20 = 1	(SCLA0) = 0
P15	P15	入力	—	×	—	1	×	×	×
		出力	—	0	—	0	0/1	SCK20/ SCL20 = 1	PCLBUZ1/ (TO02) = 0
		N-chOD出力	—	1	—	0	0/1		
	PCLBUZ1	出力	—	0	—	0	0	SCK20/ SCL20 = 1	(TO02) = 0
	SCK20 ^注	入力	PIOR1 = 0	×	—	1	×	×	×
		出力	PIOR1 = 0	0/1	—	0	1	×	PCLBUZ1/ (TO02) = 0
	SCL20 ^注	出力	PIOR1 = 0	0/1	—	0	1	×	PCLBUZ1/ (TO02) = 0
	(TI02)	入力	PIOR0 = 1	×	—	1	×	×	×
	(TO02)	出力	PIOR0 = 1	0	—	0	0	SCK20/ SCL20 = 1	PCLBUZ1 = 0
P16	P16	入力	—	—	—	1	×	—	×
		出力	—	—	—	0	0/1	—	TO01 = 0
	TI01	入力	—	—	—	1	×	—	×
	TO01	出力	—	—	—	0	0	—	×
	INTP5	入力	—	—	—	1	×	—	×
	(RxD0)	入力	PIOR1 = 1	—	—	1	×	—	×
P17	P15	入力	—	×	—	1	×	×	×
		出力	—	0	—	0	0/1	(TxD0) = 1	TO02 = 0
		N-chOD出力	—	1	—	0	0/1		
	TI02	入力	PIOR0 = 0	×	—	1	×	×	×
	TO02	出力	PIOR0 = 0	0	—	0	0	(TxD0) = 1	×
	(TxD0)	出力	PIOR1 = 1	0/1	—	0	1	×	TO02 = 0

注 R5F102製品のみ

表4-8 端子機能使用時のレジスタ、出力ラッチの設定例（30ピン製品）（3/6）

端子名称	使用機能		ADPC	ADM2	PM××	P××
	機能名称	入出力				
P20	P20	入力	ADPC = 01H	×	1	×
		出力	ADPC = 01H	×	0	0/1
	ANI0	アナログ入力	ADPC = 00H/02H~04H	00x0xx0x, 10x0xx0x	1	×
	AVREFP	基準電圧	ADPC = 00H/02H~04H	01x0xx0x	1	×
P21	P21	入力	ADPC = 01H/02H	×	1	×
		出力	ADPC = 01H/02H	×	0	0/1
	ANI1	アナログ入力	ADPC = 00H/03H/04H	xx00xx0x	1	×
	AVREFM	基準電圧	ADPC = 00H/03H/04H	xx10xx0x	1	×
P22	P22	入力	ADPC = 01H~03H	×	1	×
		出力	ADPC = 01H~03H	×	0	0/1
	ANI2	アナログ入力	ADPC = 00H/04H	×	1	×
P23	P23	入力	ADPC = 01H~04H	×	1	×
		出力	ADPC = 01H~04H	×	0	0/1
	AN3	アナログ入力	ADPC = 00H	×	1	×

表4-8 端子機能使用時のレジスタ、出力ラッチの設定例（30ピン製品）（4/6）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力	
	機能名称	入出力						SAU系	それ以外
P30	P30	入力	—	—	—	1	×	×	—
		出力	—	—	—	0	0/1	SCK11/ SCL11 = 1	—
	INTP3	入力	—	—	—	1	×	×	—
		出力	—	—	—	0	1	×	—
	SCK11 ^注	入力	—	—	—	1	×	×	—
		出力	—	—	—	0	1	×	—
P31	P31	入力	—	—	—	1	×	—	×
		出力	—	—	—	0	0/1	—	TO03/ PCLBUZ0 = 0
	TI03	入力	PIOR0 = 0	—	—	1	×	—	×
	TO03	出力	PIOR0 = 0	—	—	0	0	—	PCLBUZ0 = 0
	INTP4	入力	—	—	—	1	×	—	×
	PCLBUZ0	出力	—	—	—	0	0	—	TO03 = 0
P40	P40	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	0/1	—	—
P50	P50	入力	—	×	—	1	×	×	—
		出力	—	0	—	0	0/1	SDA11 = 1	—
		N-chOD出力	—	1	—	0	0/1		
	INTP1	入力	—	×	—	1	×	×	—
	SI11 ^注	入力	—	×	—	1	×	×	—
	SDA11 ^注	入出力	—	1	—	0	1	×	—
P51	P51	入力	—	—	—	1	×	×	—
		出力	—	—	—	0	0/1	SO11 = 1	—
	INTP2	入力	—	—	—	1	×	×	—
	SO11 ^注	出力	—	—	—	0	1	×	—

注 R5F102製品のみ

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例（30ピン製品）（5/6）

端子名称	使用機能		PIOR×	POM×	PMC×	PM×	P×	兼用機能出力	
	機能名称	入出力						SAU系	それ以外
P60	P60	入力	—	—	—	1	×	×	—
		N-chOD出力 (6V耐圧)	—	—	—	0	0/1	SCLA0 = 1	—
	SCLA0	入出力	PIOR2 = 0	—	—	0	0	×	—
P61	P61	入力	—	—	—	1	×	×	—
		N-chOD出力 (6V耐圧)	—	—	—	0	0/1	SDAA0 = 1	—
	SDAA0	入出力	PIOR2 = 0	—	—	0	0	×	—
P120	P120	入力	—	—	0	1	×	—	—
		出力	—	—	0	0	0/1	—	—
	ANI19	アナログ入力	—	—	1	1	×	—	—
P137	P137	入力	—	—	—	—	×	—	—
	INTP0	入力	—	—	—	—	×	—	—
P147	P147	入力	—	—	0	1	×	—	—
		出力	—	—	0	0	0/1	—	—
	ANI18	アナログ入力	—	—	1	1	×	—	—

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例（30ピン製品）（6/6）

端子名称	使用機能		PIOR×	P×	その他
	機能名称	入出力			
P121	P121	入力	—	×	EXCLK, OSCSEL = 00/10/11
	X1	—	—	×	EXCLK, OSCSEL = 01
P122	P122	入力	—	×	EXCLK, OSCSEL = 00/10
	X2	—	—	×	EXCLK, OSCSEL = 01
	EXCLK	入力	—	×	EXCLK, OSCSEL = 11

4.6 ポート機能使用時の注意事項

4.6.1 ポート・レジスタn (Pn) に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P00は出力ポート、P01-P03は入力ポート（端子状態はすべてハイ・レベル）で、かつポート0の出力ラッチの値が“00H”のとき、出力ポートP00の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート0の出力ラッチの値は、“0FH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/G12内部で、次の順序で行われます。

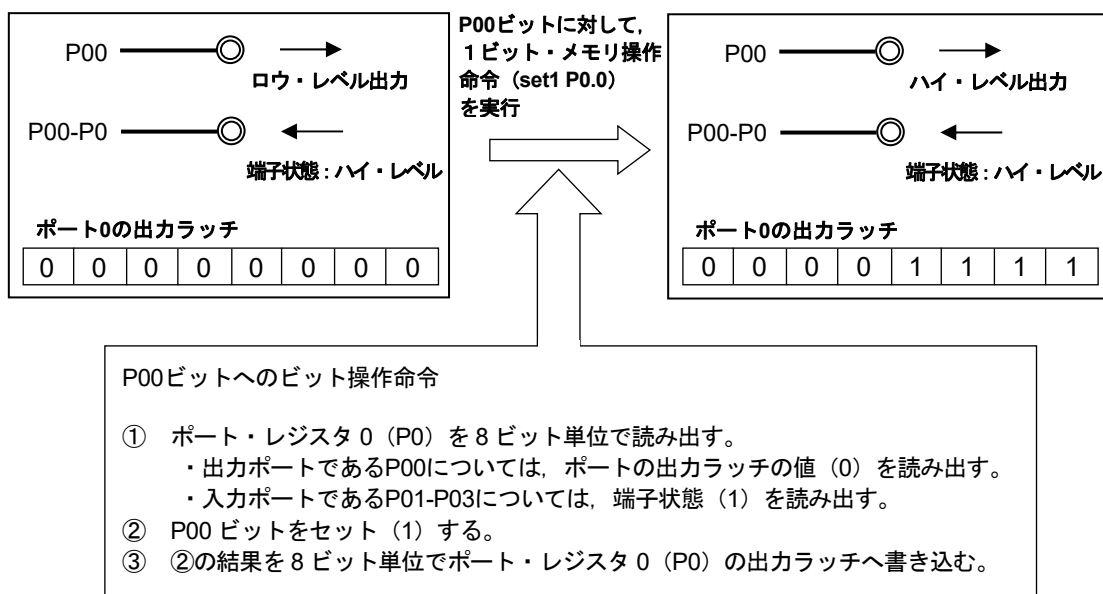
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1>のとき、出力ポートであるP00は出力ラッチの値（0）を読み出し、入力ポートであるP01-P03は端子状態を読み出します。このときP01-P03の端子状態が“ハイ・レベル”とすると、読み出し値は“0EH”となります。

<2>の操作で、値は“0FH”となります。

<3>の操作で、出力ラッチに“0FH”が書き込まれます。

図4-10 1ビット・メモリ操作命令（P00の場合）



4.6.2 端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については、使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当てられた機能も同様です。兼用出力については、**4.5 兼用機能使用時のレジスタ設定**を参照してください。

入力として使用する端子では、兼用機能の出力が無効（バッファ出力がHi-Z）となるので、処理不要です。

なお、入力だけや入出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをお勧めします。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 1 \sim 20$ MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により、発振を停止することができます。

② 高速オンチップ・オシレータ

オプション・バイト（000C2H）により、 $f_{IH} = 24$ MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz（TYP.）から周波数を選択し、発振させることができます。リセット解除後、CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット（CSCレジスタのビット0）の設定により、発振を停止することができます。

オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は、**図5-9 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット**を参照してください。

次に、高速オンチップ・オシレータで設定できる発振周波数を示します（オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

電源電圧	発振周波数（MHz）								
	1	2	3	4	6	8	12	16	24
$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	○	○	○	○	○
$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	○	○	○	○	—
$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	○	○	—	—	—

備考 ○ 選択可能、— 選択不可

また、EXCLK/X2/P122端子から外部メイン・システム・クロック（ $f_{EX} = 1 \sim 20$ MHz）を供給することができます。STOP命令の実行またはMSTOPビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0ビット（システム・クロック制御レジスタ（CKC）のビット4）の設定により、高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速オンチップ・オシレータ・クロックを切り替えられます。

なおメイン・システム・クロックは、電源電圧 V_{DD} によって使用可能な周波数範囲が異なり、オプション・バイト（000C2H）のCMODE0, CMODE1によりフラッシュの動作電圧モードの設定（**第23章 オプション・バイト**参照）が必要です。

(2) 低速オンチップ・オシレータ・クロック（低速オンチップ・オシレータ）

$f_{IL} = 15 \text{ kHz}$ （TYP.）のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは、次の周辺ハードウェアのみです。

- ・ウォッチドッグ・タイマ
- ・12ビット・インターバル・タイマ

オプション・バイト（000C0H）のビット4（WDTON）または、動作スピード・モード制御レジスタ（OSMC）のビット4（WUTMMCK0）のどちらか、または両方が1のときに動作します。

ただし、WDTON = 1, WUTMMCK0 = 0かつオプション・バイト（000C0H）のビット0（WDSTBYON）が0のときに、HALT命令またはSTOP命令を実行した場合、低速オンチップ・オシレータは発振を停止します。

- 備考**
- f_x : X1クロック発振周波数
 - f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 - f_{EX} : 外部メイン・システム・クロック周波数
 - f_{IL} : 低速オンチップ・オシレータ・クロック周波数

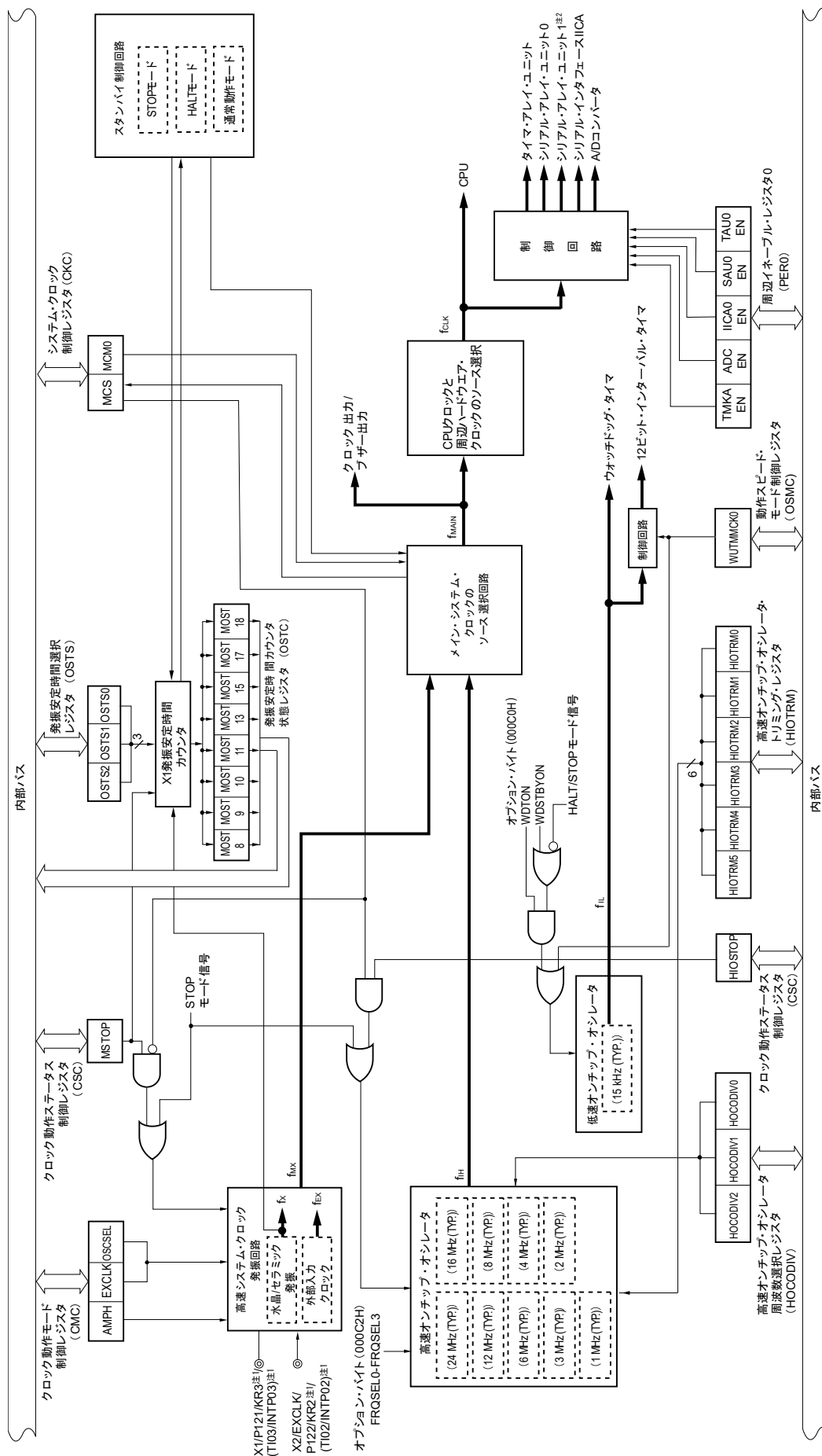
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード制御レジスタ（CMC） システム・クロック制御レジスタ（CKC） クロック動作ステータス制御レジスタ（CSC） 発振安定時間カウンタ状態レジスタ（OSTC） 発振安定時間選択レジスタ（OSTS） 周辺イネーブル・レジスタ0（PER0） 動作スピード・モード制御レジスタ（OSMC） 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV） 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）
発振回路	X1発振回路 高速オンチップ・オシレータ 低速オンチップ・オシレータ

図5-1 クロック発生回路のブロック図



注1. 20, 24ピン製品のみ

2. 30ピン製品のみ

備考 f_X	: X1クロック発振周波数
f_{IH}	: 高速オンチップ・オシレータ・クロック周波数
f_{EX}	: 外部メイン・システム・クロック周波数
f_{MX}	: 高速システム・クロック周波数
f_{MAIN}	: メイン・システム・クロック周波数
f_{CLK}	: CPU／周辺ハードウェア・クロック周波数
f_{IL}	: 低速オンチップ・オシレータ・クロック周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の9種類のレジスタで制御します。

- ・クロック動作モード制御レジスタ (CMC)
- ・システム・クロック制御レジスタ (CKC)
- ・クロック動作ステータス制御レジスタ (CSC)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)
- ・周辺イネーブル・レジスタ0 (PER0)
- ・動作スピード・モード制御レジスタ (OSMC)
- ・高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- ・高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

5.3.1 クロック動作モード制御レジスタ (CMC)

X1/P121/KR3, X2/EXCLK/P122/KR2端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

図5-2 クロック動作モード制御レジスタ（CMC）のフォーマット

アドレス：FFFA0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	0	0	0	0	AMPH

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	X1/P121/KR3端子	X2/EXCLK/P122/KR2 端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶／セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPH	X1クロック発振周波数の制御
0	$1\text{ MHz} \leq f_x \leq 10\text{ MHz}$
1	$10\text{ MHz} < f_x \leq 20\text{ MHz}$

- 注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値（00H）のまま使用する場合、暴走時の誤動作（00H以外の誤書き込みで復帰不可）を防止するために、リセット解除後は必ず00Hに設定してください。
- リセット解除後、クロック動作ステータス制御レジスタ（CSC）の設定でX1発振を開始する前に、CMCレジスタを設定してください。
 - X1クロック発振周波数が10 MHzを超える場合は、必ずAMPHビットに1を設定してください。
 - AMPHビットは、リセット解除後 f_{CLK} に f_{IH} を選択した状態（ f_{CLK} を f_{MX} に切り替える前の状態）で設定してください。
 - システム・クロックの周波数上限は24 MHzですが、X1発振回路の周波数上限は20 MHzになります。

備考 f_x : X1クロック発振周波数

5.3.2 システム・クロック制御レジスタ（CKC）

CPU／周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。
CKCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図5-3 システム・クロック制御レジスタ（CKC）のフォーマット

アドレス：FFFA4H リセット時：00H R/W^注

略号	7	6	5	4	3	2	1	0
CKC	0	0	MCS	MCM0	0	0	0	0

MCS	メイン・システム・クロック（f _{MAIN} ）のステータス
0	高速オンチップ・オシレータ・クロック（f _{IH} ）
1	高速システム・クロック（f _{MX} ）

MCM0	メイン・システム・クロック（f _{MAIN} ）の動作制御
0	メイン・システム・クロック（f _{MAIN} ）に高速オンチップ・オシレータ・クロック（f _{IH} ）を選択
1	メイン・システム・クロック（f _{MAIN} ）に高速システム・クロック（f _{MX} ）を選択

注 ビット5はRead Onlyです。

注意 ビット7, 6, 3-0には、必ず0を設定してください。

備考 f_{IH} : 高速オンチップ・オシレータ・クロック周波数
f_{MX} : 高速システム・クロック周波数
f_{MAIN} : メイン・システム・クロック周波数

5.3.3 クロック動作ステータス制御レジスタ（CSC）

高速システム・クロック、高速オンチップ・オシレータ・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0Hになります。

図5-4 クロック動作ステータス制御レジスタ（CSC）のフォーマット

アドレス：FFFA1H リセット時：C0H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	1	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

- 注意1. リセット解除後は、クロック動作モード制御レジスタ（CMC）を設定してからCSCレジスタを設定してください。
2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ（OSTS）を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は、OSTSレジスタを設定する必要はありません。
3. MSTOPビットの設定でX1発振を開始する場合は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。
4. CPU／周辺ハードウェア・クロック（f_{CLK}）に選択しているクロックは、CSCレジスタで停止させないでください。
5. クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件は、表5-2のようになります。
- クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5-2 クロック停止方法

クロック	クロック停止（外部クロック入力無効）前条件	CSCレジスタの フラグ設定
X1クロック	CPU／周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロックで動作（MCS = 0）	MSTOP = 1
外部メイン・システム・クロック		
高速オンチップ・オシレータ・クロック	CPU／周辺ハードウェア・クロックが高速システム・クロックで動作（MCS = 1）	HIOSTOP = 1

5.3.4 発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）= 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- ・ X1クロック発振開始時（EXCLK, OSCSEL = 0, 1 → MSTOP = 0）
- ・ STOPモードを解除したとき

図5-5 発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス：FFFA2H リセット時：00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
									fx = 10 MHz時	fx = 20 MHz時
0	0	0	0	0	0	0	0	2 ⁸ /fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2 ⁸ /fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2 ⁹ /fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx以上	102 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx以上	204 μs以上	102 μs以上
1	1	1	1	1	0	0	0	2 ¹³ /fx以上	819 μs以上	409 μs以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx以上	26.2 ms以上	13.1 ms以上

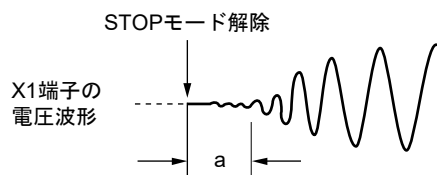
注意1. 上記時間経過後、MOST8ビットから順番に“1”となっていく、そのまま“1”を保持します。

2. 発振安定時間カウンタは発振安定時間選択レジスタ（OSTS）で設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、OSTCレジスタで確認したいカウント値より大きい値に設定してください。

- ・CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックの発振を開始したい場合
- ・CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
（したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないの注意してください）

3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。



備考 fx : X1クロック発振周波数

5.3.5 発振安定時間選択レジスタ（OSTS）

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合は、X1発振回路動作（MSTOP = 0）後、OSTSレジスタで設定した時間を自動でウェイトします。

CPUクロックを高速オンチップ・オシレータ・クロックから、X1クロックに切り換える場合や、CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後STOPモードを解除した場合は、発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間が経過したかを確認してください。OSTCレジスタでは、あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図5-6 発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス：FFFA3H リセット時：07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	0	$2^8/f_x$	25.6 μs	12.8 μs
0	0	1	$2^9/f_x$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_x$	102 μs	51.2 μs
0	1	1	$2^{11}/f_x$	204 μs	102 μs
1	0	0	$2^{13}/f_x$	819 μs	409 μs
1	0	1	$2^{15}/f_x$	3.27 ms	1.63 ms
1	1	0	$2^{17}/f_x$	13.1 ms	6.55 ms
1	1	1	$2^{18}/f_x$	26.2 ms	13.1 ms

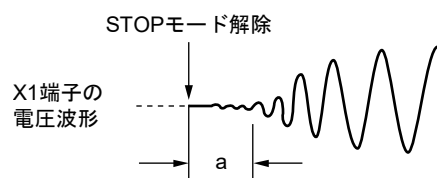
注意1. OSTSレジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ（CSC）のMSTOPビットを0に設定する前に行ってください。

2. 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- ・CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックの発振を開始したい場合
- ・CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合（したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。



備考 f_x : X1クロック発振周波数

5.3.6 周辺イネーブル・レジスタ0 (PER0)

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット（1）してください。

- ・ 12ビット・インターバル・タイマ
- ・ A/Dコンバータ
- ・ シリアル・インタフェースIICA
- ・ シリアル・アレイ・ユニット1
- ・ シリアル・アレイ・ユニット0
- ・ タイマ・アレイ・ユニット0

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-7 周辺イネーブル・レジスタ0 (PER0) のフォーマット (1/2)

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN	0	ADCEN	IICA0EN	SAU1EN ^注	SAU0EN	0	TAU0EN

TMKAEN	12ビット・インターバル・タイマのクロック供給の制御
0	クロック供給停止 ・ 12ビット・インターバル・タイマで使用するSFRへのライト不可 ・ 12ビット・インターバル・タイマはリセット状態
1	クロック供給 ・ 12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

ADCEN	A/Dコンバータのクロック供給の制御
0	クロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	クロック供給 ・ A/Dコンバータで使用するSFRへのリード／ライト可

IICA0EN	シリアル・インタフェースIICAのクロック供給の制御
0	クロック供給停止 ・ シリアル・インタフェースIICAで使用するSFRへのライト不可 ・ シリアル・インタフェースIICAはリセット状態
1	クロック供給 ・ シリアル・インタフェースIICAで使用するSFRへのリード／ライト可

注 30ピン製品のみ

注意 次のビットには必ず“0”を設定してください。

20, 24ピン製品：ビット1, 3, 6

30ピン製品：ビット1, 6

図5-7 周辺イネーブル・レジスタ0 (PER0) のフォーマット (2/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN	0	ADCEN	IICA0EN	SAU1EN ^注	SAU0EN	0	TAU0EN

SAU1EN	シリアル・アレイ・ユニット1のクロック供給の制御
0	クロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	クロック供給 ・シリアル・アレイ・ユニット1で使用するSFRへのリード／ライト可

SAU0EN	シリアル・アレイ・ユニット0のクロック供給の制御
0	クロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	クロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

TAU0EN	タイマ・アレイ・ユニットのクロック供給の制御
0	クロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

注 30ピン製品のみ**注意** 次のビットには必ず“0”を設定してください。

20, 24ピン製品 : ビット1, 3, 6

30ピン製品 : ビット1, 6

5.3.7 動作スピード・モード制御レジスタ (OSMC)

OSMCレジスタでは、12ビット・インターバル・タイマの動作クロックの供給を制御します。12ビット・インターバル・タイマを動作させるときは、先にWUTMMCK0 = 1に設定し、停止させるまでWUTMMCK0 = 0に設定しないでください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-8 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	12ビット・インターバル・タイマの動作クロックの供給
0	クロック供給停止
1	低速オンチップ・オシレータ・クロック (f _{IL}) 供給

5.3.8 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）

オプション・バイト（000C2H）で設定した高速オンチップ・オシレータの周波数を変更するレジスタです。ただし、オプション・バイト（000C2H）のFRQSEL3ビットの値によって、選択できる周波数が異なります。

HOCODIVレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、オプション・バイト（000C2H）のFRQSEL2-FRQSEL0で設定した値になります。

図5-9 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット

アドレス：F00A8H	リセット時：オプション・バイト（000C2H）FRQSEL2-FRQSEL0の設定値							R/W
略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV 2	HOCODIV 1	HOCODIV 0

HOCODIV 2	HOCODIV 1	HOCODIV 0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3ビットが0のとき	FRQSEL3ビットが1のとき
0	0	0	24 MHz	設定禁止
0	0	1	12 MHz	16 MHz
0	1	0	6 MHz	8 MHz
0	1	1	3 MHz	4 MHz
1	0	0	設定禁止	2 MHz
1	0	1	設定禁止	1 MHz
上記以外			設定禁止	

注意1. HOCODIVレジスタの設定は、周波数の変更前、変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
1	0	LS(低速メイン)モード	1 MHz～8 MHz	1.8 V～5.5 V
1	1	HS(高速メイン)モード	1 MHz～16 MHz	2.4 V～5.5 V
			1 MHz～24 MHz	2.7 V～5.5 V

2. HOCODIVレジスタの設定は、高速オンチップ・オシレータ・クロック（ f_{IH} ）をCPU／周辺ハードウェア・クロック（ f_{CLK} ）に選択している状態で行ってください。

3. HOCODIVレジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。

- ・変更前の周波数で最大3クロック 動作
- ・変更後の周波数で最大3クロックのCPU／周辺ハードウェア・クロック ウェイト

5.3.9 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ（タイマ・アレイ・ユニット）を使用するなどして高速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

HIOTRMレジスタは、8ビット・メモリ操作命令で設定します。

注意 精度補正後に温度、 V_{DD} 端子電圧に変化があった場合、周波数は変動します。

温度、 V_{DD} 電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図5-10 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) のフォーマット

アドレス：F00A0H リセット時：不定^注 R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ
0	0	0	0	0	0	最低速
0	0	0	0	0	1	↑
0	0	0	0	1	0	
0	0	0	0	1	1	
0	0	0	1	0	0	
.						
.						↓
.						
1	1	1	1	1	0	
1	1	1	1	1	1	最高速

注 リセット値は出荷時に調整した値です。

- 備考1.** HIOTRMレジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。
- 2.** HIOTRMレジスタの使用例は、RL78MCUシリーズ高速オンチップ・オシレータ・クロック周波数補正アプリケーションノート（R01AN0464）を参照してください。

5.4 システム・クロック発振回路

5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（1～20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

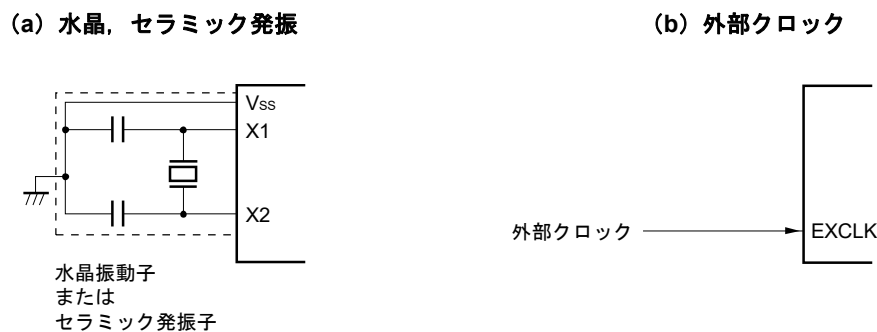
- ・水晶、セラミック発振 : EXCLK, OSCSEL = 0, 1
- ・外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに、入力ポートとしても使用しない場合は、**2.3 未使用端子の処理**を参照してください。

図5-11にX1発振回路の外付け回路例を示します。

図5-11 X1発振回路の外付け回路例



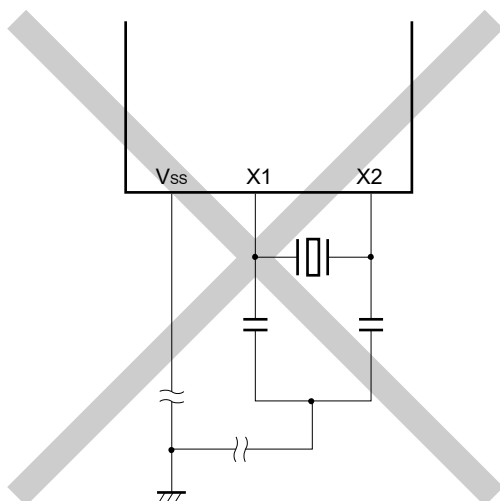
注意 X1発振回路を使用する場合は、配線容量などの影響を避けるために、図5-11の破線の部分を次のように配線してください。

- ・配線は極力短くしてください。
- ・他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
- ・発振回路から信号を取り出さないでください。

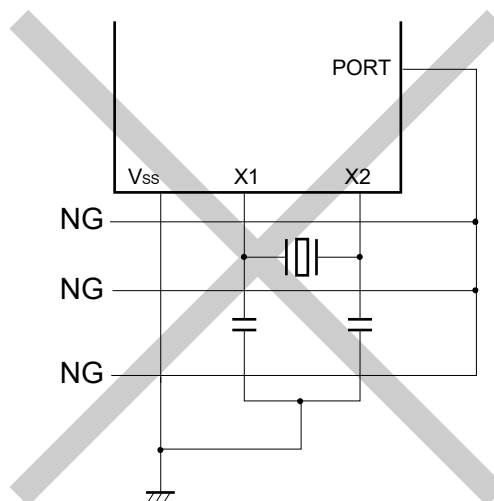
図5-12に発振子の接続の悪い例を示します。

図5-12 発振子の接続の悪い例 (1/2)

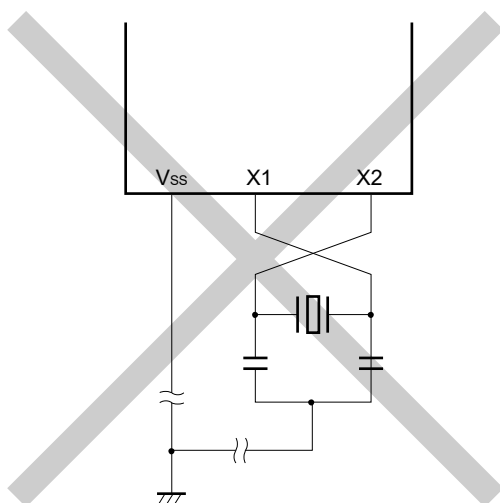
(a) 接続回路の配線が長い



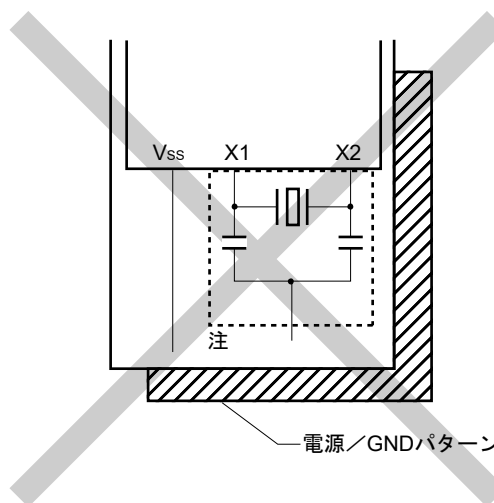
(b) 信号線が交差している



(c) X1, X2の信号線の配線が交差している



(d) X1, X2配線の下に電源/GNDパターンがある

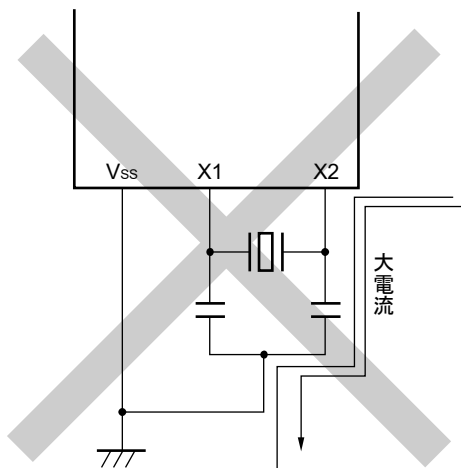


注 多層基板や両面基板において、X1, X2端子と発振子の配線部（図中の点線部分）の下には、電源/GNDパターンを配置しないでください。

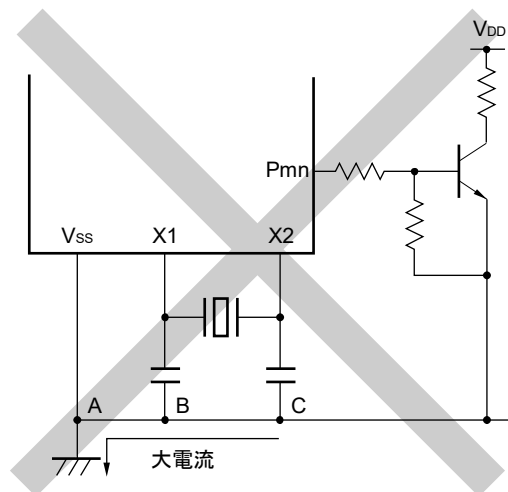
容量成分の原因となり、発振特性に影響を与える配置はしないでください。

図5-12 発振子の接続の悪い例 (2/2)

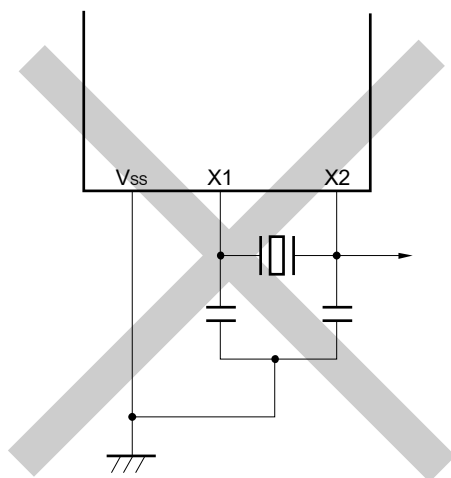
(e) 変化する大電流が信号線に
近接している



(f) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(g) 信号を取り出している



5.4.2 高速オンチップ・オシレータ

RL78/G12は、高速オンチップ・オシレータを内蔵しています。オプション・バイト (000C2H) により24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから周波数を選択することが可能です。クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) にて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

5.4.3 低速オンチップ・オシレータ

RL78/G12は、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは、ウォッチドッグ・タイマ, 12ビット・インターバル・タイマのクロックとして使用します。CPUクロックとして使用できません。

ウォッチドッグ・タイマの動作時、またはサブシステム・クロック供給モード制御レジスタ(OSMC)のビット4 (WUTMMCK0)が1の時に低速オンチップ・オシレータは動作します。

ウォッチドッグ・タイマ停止時かつWUTMMCK0 = 0かつ, SELLOSC = 0の時、低速オンチップ・オシレータは停止します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図5-1を参照）。

○メイン・システム・クロック f_{MAIN}

・高速システム・クロック f_{MX}

X1クロック f_x

外部メイン・システム・クロック f_{EX}

・高速オンチップ・オシレータ・クロック f_{IH}

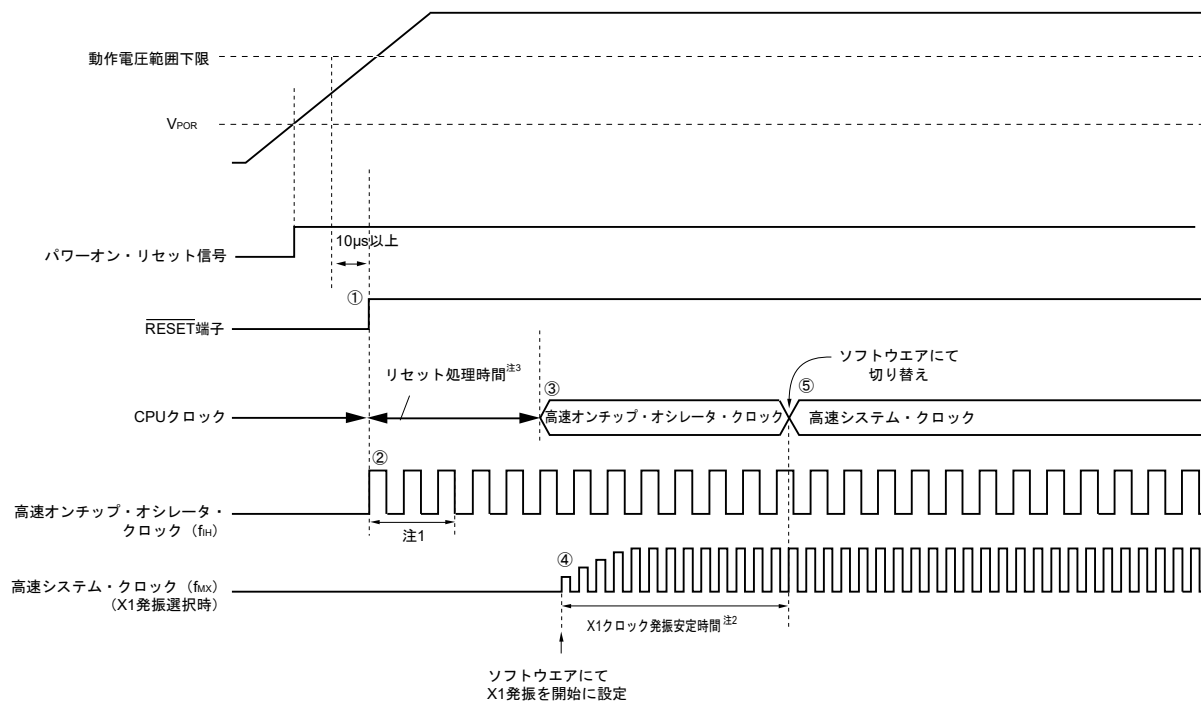
○低速オンチップ・オシレータ・クロック f_{IL}

○CPU／周辺ハードウェア・クロック f_{CLK}

RL78/G12では、リセット解除後、CPUは高速オンチップ・オシレータの出力により動作を開始します。

電源電圧投入時のクロック発生回路の動作を、図5-13に示します。

図5-13 電源電圧投入時のクロック発生回路の動作



- ① 電源投入後、パワーオン・リセット（POR）回路による内部リセット信号が発生します。ただし、**28.4**および**29.4 AC特性**に示す動作電圧範囲に達するまで、電圧検出回路か外部リセットでリセット状態を保ちます（上図は、外部リセット使用時の例）。
- ② リセットが解除されると、高速オンチップ・オシレータが自動的に発振開始されます。
- ③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPUが高速オンチップ・オシレータ・クロックで動作開始します。
- ④ X1クロックは、ソフトウェアにて発振開始を設定してください（**5.6.2 X1発振回路の設定例**を参照）。
- ⑤ CPUをX1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

3. リセット処理時間は、**第19章 パワーオン・リセット回路**を参照してください。

注意 EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

5.6 クロックの制御

5.6.1 高速オンチップ・オシレータの設定例

CPU/周辺ハードウェア・クロック (f_{CLK}) は、リセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) のFRQSEL0-FRQSEL3により、24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) により、周波数を変更することもできます。

【オプション・バイト設定】

アドレス : 000C2H

オプション・ バイト (000C2H)	7	6	5	4	3	2	1	0
	CMODE1	CMODE0			FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0
	0/1	0/1	1	0	0/1	0/1	0/1	0/1

CMODE1	CMODE0	フラッシュの動作モード設定
1	0	LS (低速メイン) モード V _{DD} = 1.8 V ~ 5.5 V @ 1 MHz ~ 8 MHz
1	1	HS (高速メイン) モード V _{DD} = 2.4 V ~ 5.5 V @ 1 MHz ~ 16 MHz V _{DD} = 2.7 V ~ 5.5 V @ 1 MHz ~ 24 MHz
上記以外		設定禁止

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 設定】

アドレス : F00A8H

	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV 2	HOCODIV 1	HOCODIV 0

HOCODIV 2	HOCODIV 1	HOCODIV 0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3ビットが0のとき	FRQSEL3ビットが1のとき
0	0	0	24 MHz	設定禁止
0	0	1	12 MHz	16 MHz
0	1	0	6 MHz	8 MHz
0	1	1	3 MHz	4 MHz
1	0	0	設定禁止	2 MHz
1	0	1	設定禁止	1 MHz
上記以外			設定禁止	

5.6.2 X1発振回路の設定例

CPU／周辺ハードウェア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1発振クロックに変更する場合、発振安定時間選択レジスタ（OSTS）、クロック動作モード制御レジスタ（CMC）、クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ（OSTC）で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ（CKC）でX1発振クロックをf_{CLK}に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① CMCレジスタのOSCSELビットをセット（1）、f_x>10 MHzの場合はAMPHビットをセット（1）してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL						AMPH
	0	1	0	0	0	0	0	0/1

- ② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。

例 10 MHzの発振子で102 μs以上までウェイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS						OSTS2	OSTS 1	OSTS 0
	0	0	0	0	0	0	1	0

- ③ CSCレジスタのMSTOPビットをクリア（0）してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP							HISTOP
	0	0	0	0	0	0	0	0

- ④ OSTCレジスタでX1発振回路の発振安定待ちを行います。

例 10 MHzの発振子で102 μs以上までウェイトする場合は、以下の値になるまでウェイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

- ⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU／周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC			MCS	MCM0				
	0	0	0	1	0	0	0	0

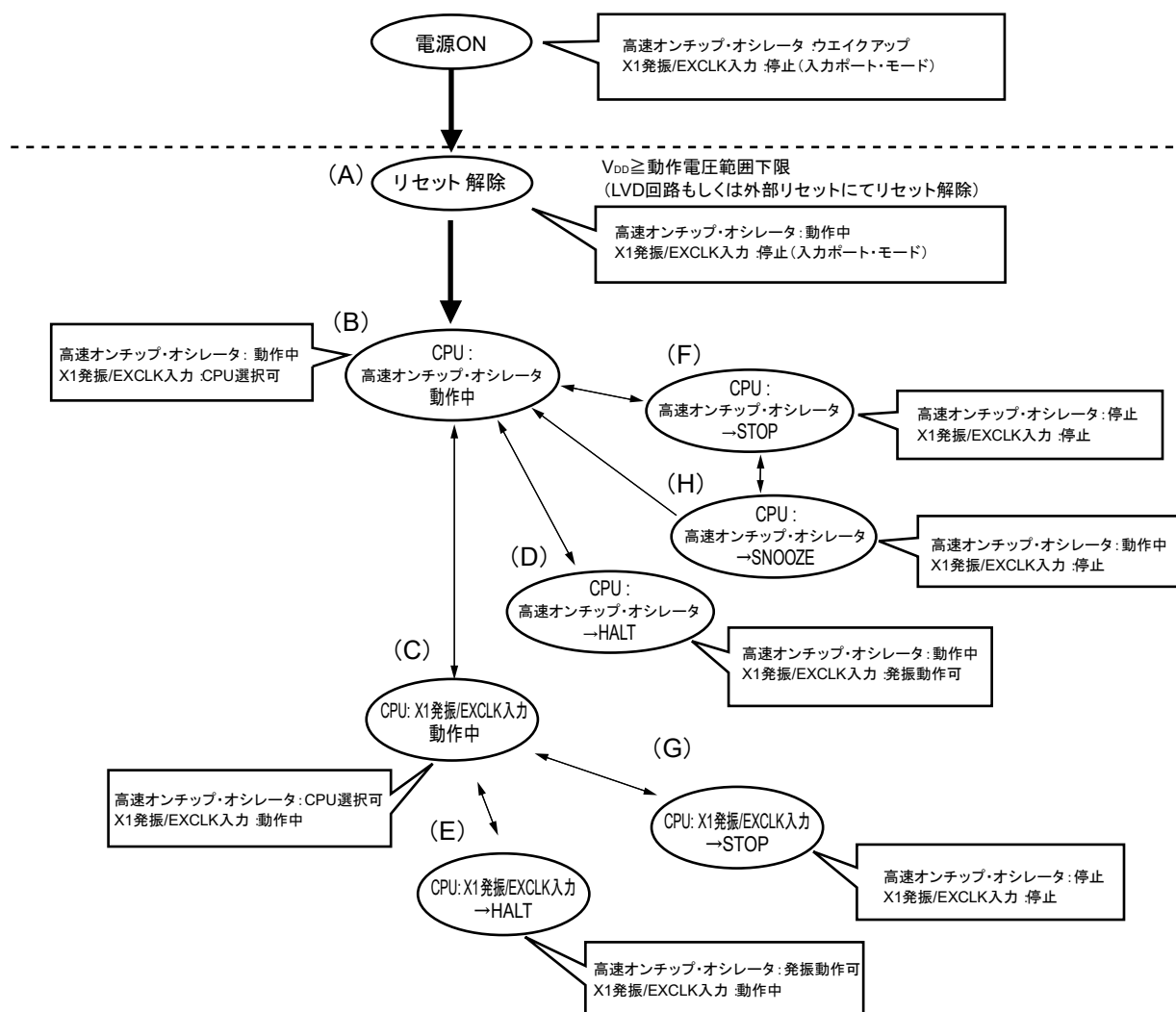
注意 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）の設定は、周波数の変更前、変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
1	0	LS(低速メイン)モード	1 MHz～8 MHz	1.8 V～5.5 V
1	1	HS(高速メイン)モード	1 MHz～16 MHz	2.4 V～5.5 V
			1 MHz～24 MHz	2.7 V～5.5 V

5.6.3 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5-14に示します。

図5-14 CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表5-3に示します。

表5-3 CPUクロックの移行とSFRレジスタの設定例 (1/3)

(1) リセット解除後 (A) に、CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) → (B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序)

状態遷移	CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ MSTOP	OSTC レジスタ	CKC レジスタ MCM0
	EXCLK	OSCSEL	AMPH				
(A) → (B) → (C) (X1クロック : $1 \text{ MHz} \leq f_x \leq 10 \text{ MHz}$)	0	1	0	注2	0	確認必要	1
(A) → (B) → (C) (X1クロック : $10 \text{ MHz} < f_x \leq 20 \text{ MHz}$)	0	1	1	注2	0	確認必要	1
(A) → (B) → (C) (外部メイン・クロック)	1	1	×	注2	0	確認不要	1

注1. クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

2. 発振安定時間選択レジスタ (OSTS) で、発振安定時間を次のように設定してください。

期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧 (第28章または第29章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

備考1. × : don't care

2. 表5-3の (A) - (H) は、図5-14の(A) - (H) に対応しています。

表5-3 CPUクロックの移行とSFRレジスタの設定例 (2/3)

(3) CPUを高速オンチップ・オシレータ・クロック動作 (B) から高速システム・クロック動作 (C) へ移行
(SFRレジスタの設定順序)

状態遷移 SFRレジスタの設定フラグ	CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(B) → (C) (X1クロック : $1 \text{ MHz} \leq f_x \leq 10 \text{ MHz}$)	0	1	0	注2	0	確認必要	1
(B) → (C) (X1クロック : $10 \text{ MHz} < f_x \leq 20 \text{ MHz}$)	0	1	1	注2	0	確認必要	1
(B) → (C) (外部メイン・クロック)	1	1	×	注2	0	確認不要	1

設定済みの場合は不要

高速システム・クロック
動作中の場合は不要

注1. クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。設定済みの場合は不要です。

2. 発振安定時間選択レジスタ (OSTS) の発振安定時間を次のように設定してください。

期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 $\leq$ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧 (第28章または第29章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

(4) CPUを高速システム・クロック動作 (C) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行
(SFRレジスタの設定順序)

状態遷移 SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
	HIOSTOP		MCM0
(C) → (B)	0	18 μ s ~ 65 μ s	0

高速オンチップ・オシレータ・クロック動作中の
場合は不要

備考 高速オンチップ・オシレータ・クロックの発信精度安定待ちは、温度条件とSTOPモード期間によって変化します。

(5) ・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にHALTモード (D) へ移行

・CPUが高速システム・クロック動作中 (C) にHALTモード (E) へ移行

状態遷移	設定内容
(B) → (D)	HALT命令を実行する
(C) → (E)	

備考1. × : don't care

2. 表5-3の (A) - (H) は、図5-14の(A) - (H) に対応しています。

表5-3 CPUクロックの移行とSFRレジスタの設定例 (3/3)

- (6) ・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にSTOPモード (F) へ移行
 ・CPUが高速システム・クロック動作中 (C) にSTOPモード (G) へ移行

(設定順序) →

状態遷移		設定内容		
(B) → (F)		STOPモード中に動作禁止の周辺機能を停止する	—	STOP命令を実行する
(C) → (G)	X1発振		OSTSレジスタを設定する	
	外部クロック		—	

- (7) STOPモード (F) からSNOOZEモード (H) へ移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については、**10. 8**, **11. 5. 7**, **11. 6. 3 SNOOZEモード機能**を参照してください。

備考 表5-3の (A) – (H) は、図5-14の(A) – (H) に対応しています。

5. 6. 4 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5-4 CPUクロックの移行について

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、高速オンチップ・オシレータを停止 (HIOSTOP = 1) すると、動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0	
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・HIOSTOP = 0 ・発振精度安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振を停止可能 (MSTOP = 1)
	外部メイン・システム・クロック	移行不可	—
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振されていること ・HIOSTOP = 0 ・発振精度安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	X1クロック	移行不可	—

5.6.5 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット4（MCM0）の設定により、メイン・システム・クロックの切り替え（高速オンチップ・オシレータ・クロック⇄高速システム・クロック）をすることができます。

実際の切り替え動作は、CKCレジスタを書き換えた直後ではなく、CKCレジスタを変更したのち、数クロックは切り替え前のクロックで動作します（表5-5参照）。

メイン・システム・クロックが高速システム・クロックで動作しているか、高速オンチップ・オシレータ・クロックで動作しているかは、CKCレジスタのビット5（MCS）で判定できます。

CPUクロックを切り替えると、周辺ハードウェアのクロックも同時に切り替わります。

表5-5 メイン・システム・クロックの切り替え（ $f_{IH} \leftrightarrow f_{MX}$ ）に要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 ($f_{MAIN} = f_{IH}$)	1 ($f_{MAIN} = f_{MX}$)
0 ($f_{MAIN} = f_{IH}$)	$f_{MX} \geq f_{IH}$		2クロック
	$f_{MX} < f_{IH}$		$2f_{IH}/f_{MX}$ クロック
1 ($f_{MAIN} = f_{MX}$)	$f_{MX} \geq f_{IH}$	$2f_{MX}/f_{IH}$ クロック	
	$f_{MX} < f_{IH}$	2クロック	

備考1. 切り替え前のCPUクロックのクロック数です。

2. 小数点以下を切り上げてください。

例 メイン・システム・クロックを高速システム・クロックから高速オンチップ・オシレータ・クロックに切り替える場合（ $f_{IH} = 8 \text{ MHz}$ 選択, $f_{MX} = 10 \text{ MHz}$ 発振時）
 $2f_{MX}/f_{IH} = 2(10/8) = 2.5 \rightarrow 3$ クロック

5.6.6 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5-6 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRの フラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1（CPUが高速システム・クロックで動作）	HIOSTOP = 1
X1クロック	MCS = 0（CPUが高速オンチップ・オシレータ・クロックで動作）	MSTOP = 1
外部メイン・システム・クロック		

5.7 発振子と発振回路定数

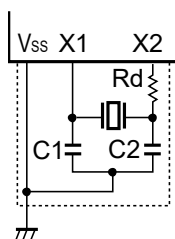
動作確認済みの発振子と、その発振回路定数（参考）を示します。

注意1. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカーに依頼してください。

また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカーに依頼してください。

2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78マイクロコントローラの内部動作条件については、DC, AC特性の規格内で使用してください。

図5-15 外付け発振回路例（X1発振）



2013年3月現在

メーカー	発振子	品 名 ^{注3}	SMD/ リード	周波数 (MHz)	フラッシュ 動作 モード ^{注1}	発振回路定数 ^{注2} (参考)			電圧範囲 (V)	
						C1 (pF)	C2 (pF)	Rd (kΩ)	MIN.	MAX.
株式会社 村田製作所 ^{注4}	セラミック 発振子	CSTCC2M00G56-R0	SMD	2.0	LS	(47)	(47)	0	1.8	5.5
		CSTCR4M00G55-R0	SMD	4.0		(39)	(39)	0		
		CSTLS4M00G53-B0	リード			(15)	(15)	0		
		CSTCR4M19G55-R0	SMD	4.194		(39)	(39)	0		
		CSTLS4M19G53-B0	リード			(15)	(15)	0		
		CSTCR4M91G53-R0	SMD	4.915		(15)	(15)	0		
		CSTLS4M91G53-B0	リード			(15)	(15)	0		
		CSTCR5M00G53-R0	SMD	5.0		(15)	(15)	0		
		CSTLS5M00G53-B0	リード			(15)	(15)	0		
		CSTCR6M00G53-R0	SMD	6.0		(15)	(15)	0		
		CSTLS6M00G53-B0	リード			(15)	(15)	0		
		CSTCE8M00G52-R0	SMD	8.0		(10)	(10)	0		
		CSTLS8M00G53-B0	リード			(15)	(15)	0		
		CSTCE8M38G52-R0	SMD	8.388	HS	(10)	(10)	0	2.4	5.5
		CSTLS8M38G53-B0	リード			(15)	(15)	0		
		CSTCE10M0G52-R0	SMD	10.0		(10)	(10)	0		
		CSTLS10M0G53-B0	リード			(15)	(15)	0		
		CSTCE12M0G52-R0	SMD	12.0		(10)	(10)	0		
		CSTCE16M0V53-R0	SMD	16.0		(15)	(15)	0		
		CSTLS16M0X51-B0	リード			(5)	(5)	0		
		CSTCE20M0V51-R0	SMD	20.0		(5)	(5)	0	2.7	5.5
		CSTLS20M0X51-B0	リード			(5)	(5)	0		

注1. フラッシュ動作モードは、オプション・バイト (000C2H) のCMODE1, CMODE0ビットで設定します。

2. C1, C2の欄の () 内は、内蔵容量値を示しています。

3. 105°C対応の製品は品名が異なります。詳細は、株式会社村田製作所 (<http://www.murata.co.jp>) へお問い合わせください。

4. この振動子を使用する場合、マッチングの詳細については、株式会社 村田製作所 (<http://www.murata.co.jp>) にお問い合わせください。

備考1. 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。

HS (高速メイン) モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 24 MHz

$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 16 MHz

LS (低速メイン) モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 8 MHz

2. 最新の動作確認済みの発振子と、その発振回路定数(参考)は当社Webページ(<http://www.renesas.com>)の対象製品ページに掲載しております。

第6章 タイマ・アレイ・ユニット

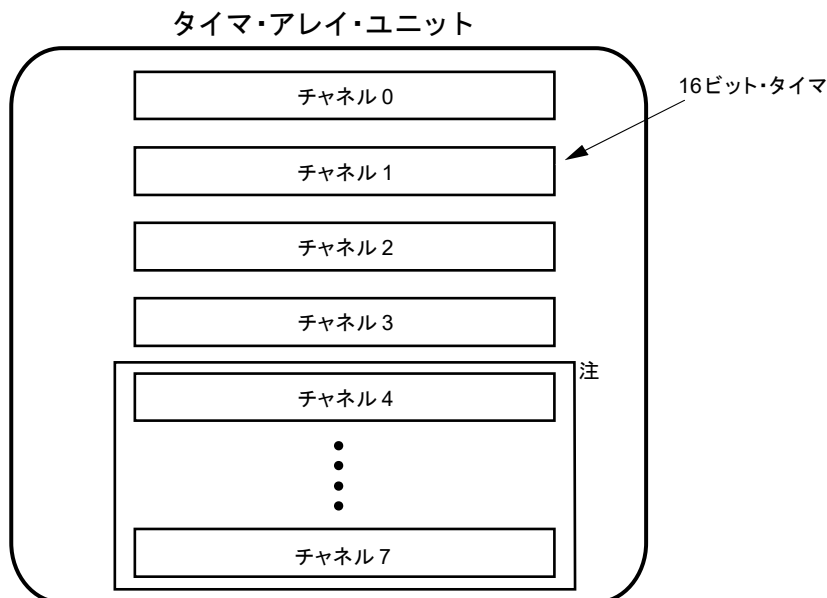
タイマ・アレイ・ユニットのチャンネル数は、製品によって異なります。

チャンネル	20, 24ピン	30ピン
チャンネル0	○	○
チャンネル1	○	○
チャンネル2	○	○
チャンネル3	○	○
チャンネル4	—	○
チャンネル5	—	○
チャンネル6	—	○
チャンネル7	—	○

注意 タイマ入出力端子の有無は製品によって異なります。詳細は、表6-2 各製品に搭載しているタイマ入出力端子を参照してください。

タイマ・アレイ・ユニットは4/8個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせて高度なタイマ機能として使用することもできます。



注 30ピン製品のみ

各機能の詳細は、下記を参照してください。

単独チャンネル動作機能	複数チャンネル連動動作機能
・ インターバル・タイマ (→6. 8. 1参照) ・ 方形波出力 (→6. 8. 1参照) ・ 外部イベント・カウンタ (→6. 8. 2参照) ・ 分周器[※] (→6. 8. 3参照) ・ 入力パルス間隔測定 (→6. 8. 4参照) ・ 入力信号のハイ／ロウ・レベル幅測定 (→6. 8. 5参照) ・ ディレイ・カウンタ (→6. 8. 6参照)	・ ワンショット・パルス出力 (→6. 9. 1参照) ・ PWM出力 (→6. 9. 2参照) ・ 多重PWM出力 (→6. 9. 3参照)

注 30ピン製品のチャンネル0のみ

チャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ（上位／下位）として使用することもできます。チャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- ・ インターバル・タイマ（上位／下位8ビット・タイマ）／方形波出力（下位8ビット・タイマのみ）
- ・ 外部イベント・カウンタ（下位8ビット・タイマのみ）
- ・ ディレイ・カウンタ（下位8ビット・タイマのみ）

6.1 タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには、次のような機能があります。

6.1.1 単独チャネル動作機能

単独チャネル動作機能は、他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

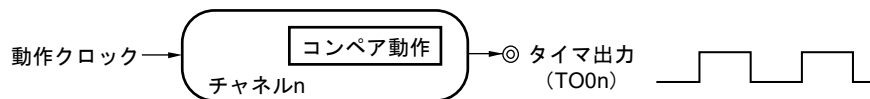
(1) インターバル・タイマ

一定間隔で割り込み (INTTM0n) を発生する基準タイマとして利用できます。



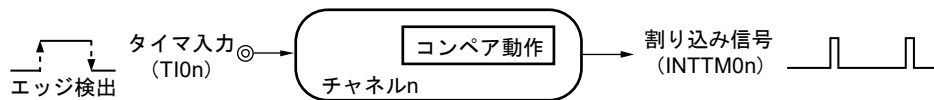
(2) 方形波出力

INTTM0n割り込みの発生ごとにトグル動作を行い、デューティ50%の方形波をタイマ出力端子 (TO0n) より出力します。



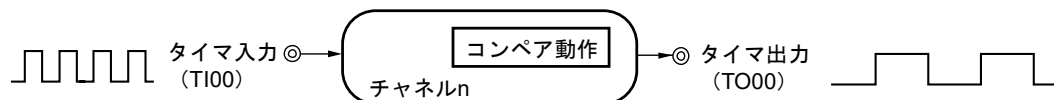
(3) 外部イベント・カウンタ

タイマ入力端子 (TI0n) に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



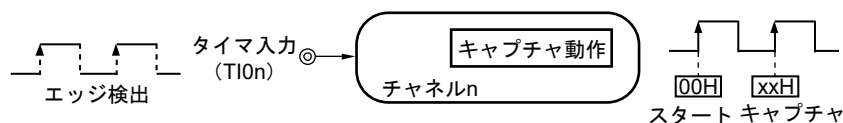
(4) 分周器^注

タイマ入力端子 (TI00) から入力されたクロックを分周して出力端子 (TO00) より出力します。



(5) 入力パルス間隔測定

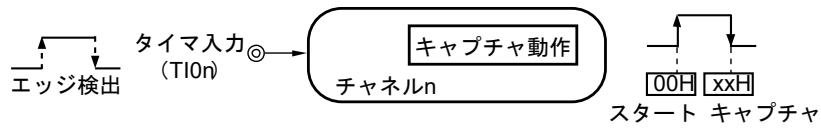
タイマ入力端子 (TI0n) に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



注 30ピン製品のチャネル0のみ

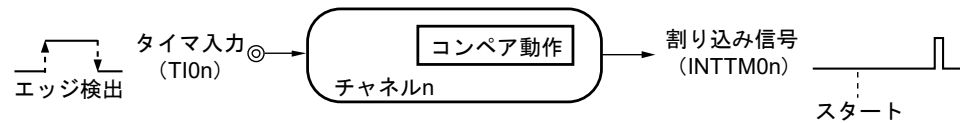
(6) 入力信号のハイ／ロウ・レベル幅測定

タイマ入力端子 (TI0n) に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



(7) デイレイ・カウンタ

タイマ入力端子 (TI0n) に入力される信号の有効エッジでカウントをスタートし、任意のデイレイ期間後、割り込みを発生します。



備考 n: チャンネル番号 (n = 0-7)

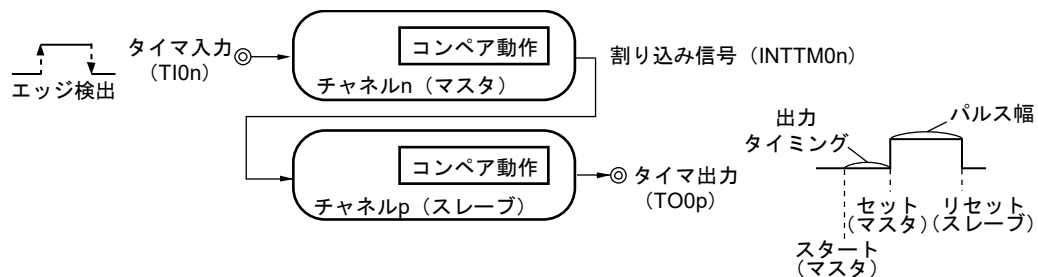
6.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期を制御する基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組み合わせる機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

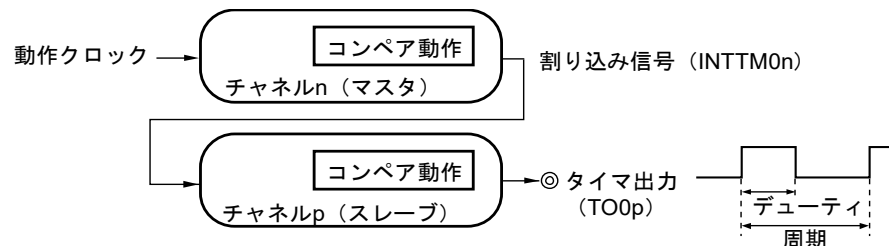
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



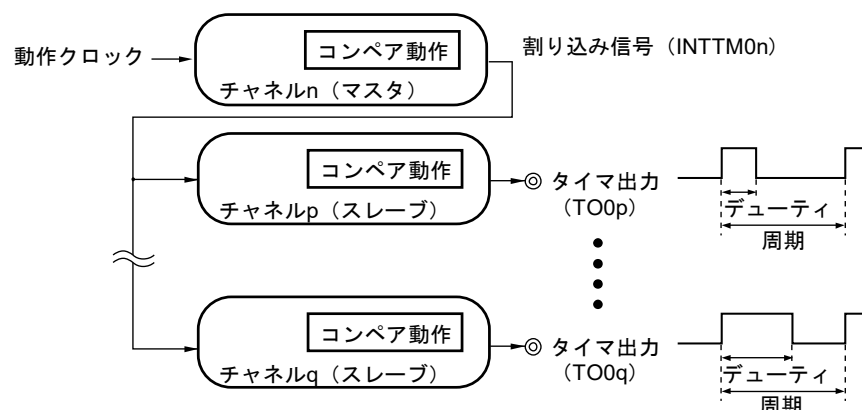
(2) PWM (Pulse Width Modulation) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(3) 多重PWM (Pulse Width Modulation) 出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティのPWM信号を最大3種類生成することができます。



注意 複数チャンネル連動動作機能のルールの詳細については、6. 4. 1 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 n : チャンネル番号 (n = 0-7)

p, q : スレーブ・チャンネル番号 ($n < p < q \leq 7$)

6. 1. 3 8ビット・タイマ動作機能 (チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1, 3のみが使用できます。

注意 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。

詳細は、6. 4. 2 8ビット・タイマ動作機能の基本ルール (チャンネル1, 3のみ) を参照してください。

6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表6-1 タイマ・アレイ・ユニットの構成

項 目	構 成
タイマ／カウンタ	タイマ・カウンタ・レジスタ0n (TCR0n)
レジスタ	タイマ・データ・レジスタ0n (TDR0n)
タイマ入力	TI00-TI07
タイマ出力	TO00-TO07, 出力制御回路
制御レジスタ	<ユニット設定部のレジスタ> ・周辺イネーブル・レジスタ0 (PER0) ・タイマ・クロック選択レジスタ0 (TPS0) ・タイマ・チャネル許可ステータス・レジスタ0 (TE0) ・タイマ・チャネル開始レジスタ0 (TS0) ・タイマ・チャネル停止レジスタ0 (TT0) ・タイマ入力選択レジスタ0 (TIS0) ・タイマ出力許可レジスタ0 (TOE0) ・タイマ出力レジスタ0 (TO0) ・タイマ出力レベル・レジスタ0 (TOL0) ・タイマ出力モード・レジスタ0 (TOM0) <各チャネル部のレジスタ> ・タイマ・モード・レジスタ0n (TMR0n) ・タイマ・ステータス・レジスタ0n (TSR0n) ・ノイズ・フィルタ許可レジスタ1 (NFEN1) ・ポート・モード・コントロール・レジスタ (PMCxx) 注 ・ポート・モード・レジスタ (PMxx) 注 ・ポート・レジスタ (Pxx) 注

注 製品によって設定するポート・モード・コントロール・レジスタ (PMCxx) , ポート・モード・レジスタ (PMxx) とポート・レジスタ (Pxx) が異なります。詳細は、4.5.3 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

備考 n : チャネル番号 (n = 0-7)

タイマ・アレイ・ユニットの各チャネルのタイマ入出力の兼用ポートは、製品によって異なります。

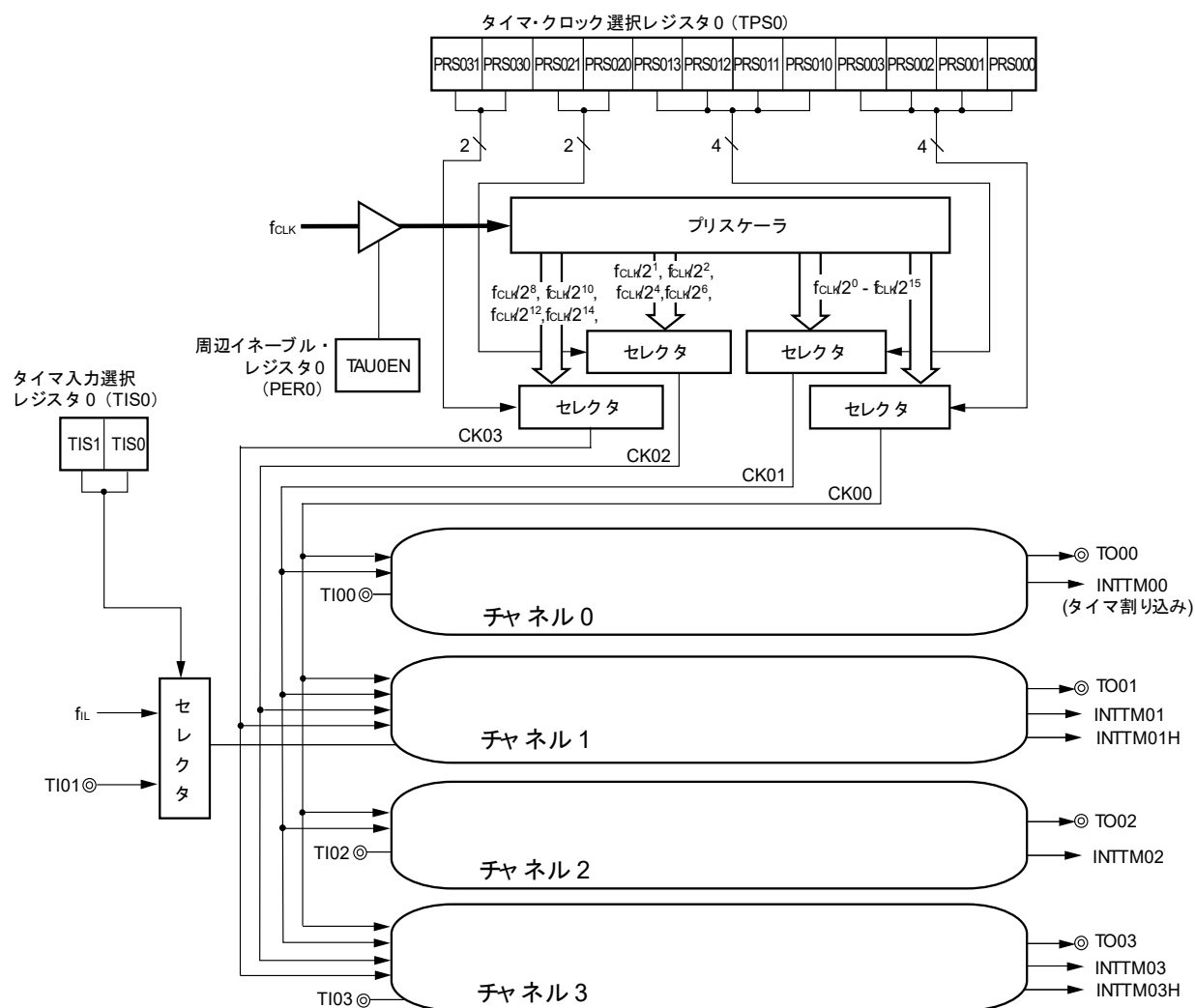
表6-2 各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ユニット・チャネル	30ピン製品	24, 20ピン製品
チャネル0	TI00/TO00	TI00/TO00
チャネル1	TI01/TO01	TI01/TO01
チャネル2	TI02/TO02	TI02/TO02
チャネル3	TI03/TO03	TI03/TO03
チャネル4	(TI04/TO04)	×
チャネル5	(TI05/TO05)	×
チャネル6	(TI06/TO06)	×
チャネル7	(TI07/TO07)	×

- 備考1.** タイマの入力と出力が同一端子で兼用されている場合は、どちらか一方のみ使用可能です。
- 2.** ×：非搭載
- 3.** () 内は、30ピン製品で周辺I/Oリダイレクション・レジスタ (PIOR) のビット0 (PIOR0) を“1”に設定したときの兼用ポート

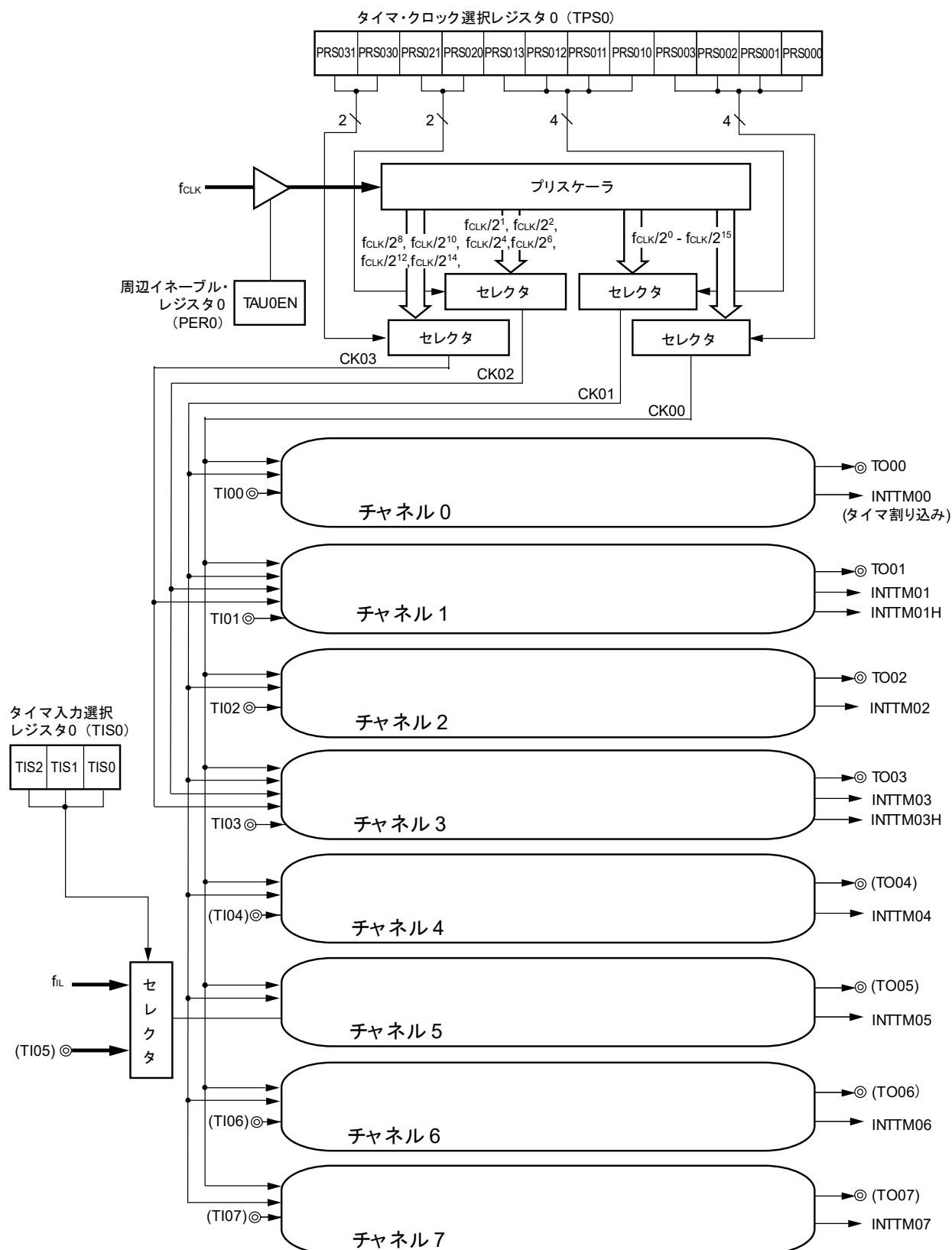
図6-1～図6-3にタイマ・アレイ・ユニットのブロック図を示します。

図6-1 タイマ・アレイ・ユニットの全体ブロック図 (20, 24ピン製品)



備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

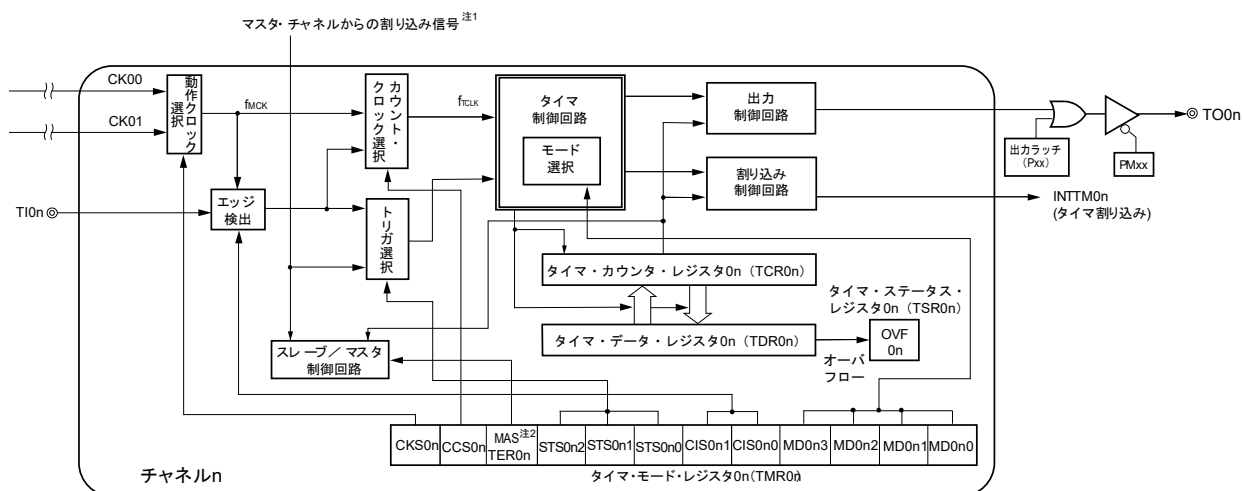
図6-2 タイマ・アレイ・ユニットの全体ブロック図 (30ピン製品)



備考 () 内の信号名の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

6-3 タイマ・アレイ・ユニットのチャンネル内部ブロック図

(a) チャンネル0, 2, 4, 6



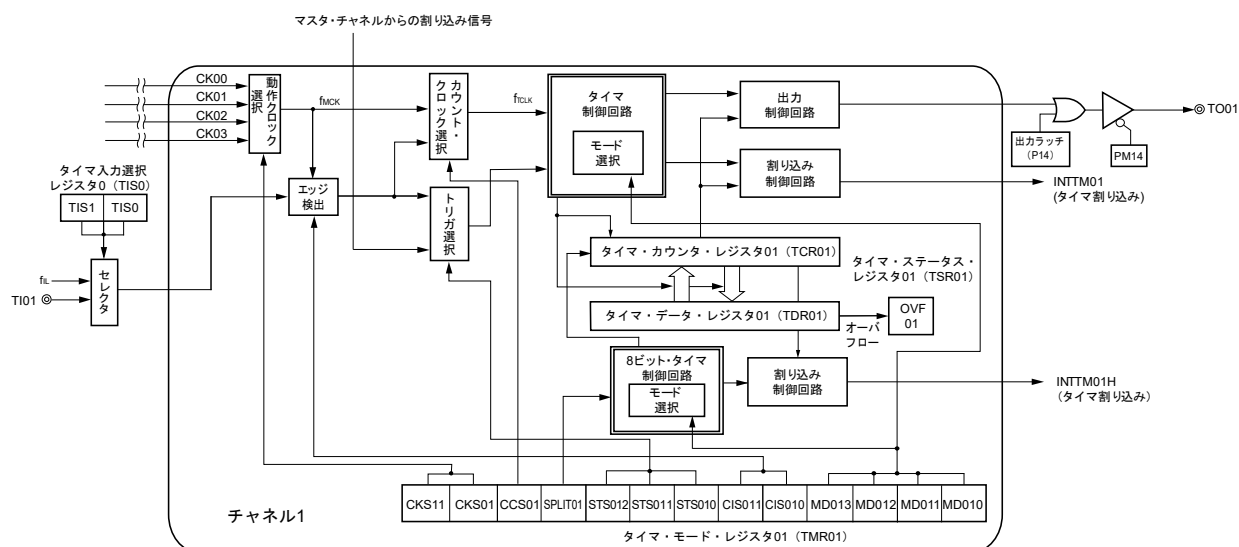
注1. チャンネル2, 4, 6のみ

2. n = 2, 4, 6のみ

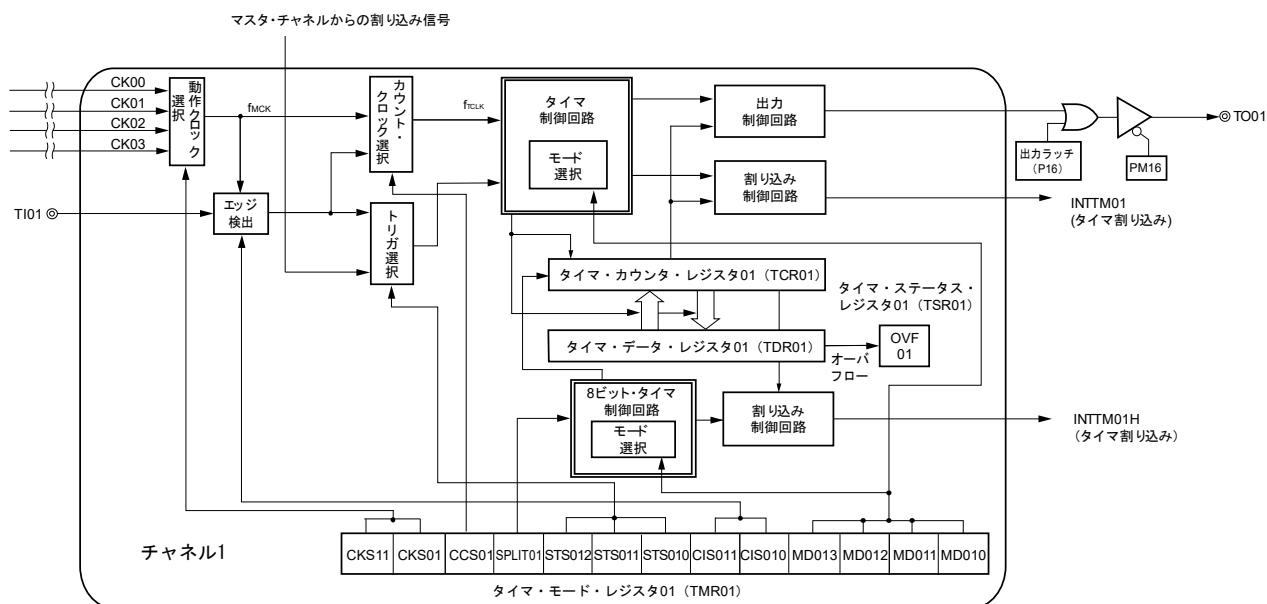
備考1. n = 0, 2, 4, 6

2. () 内の信号名の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

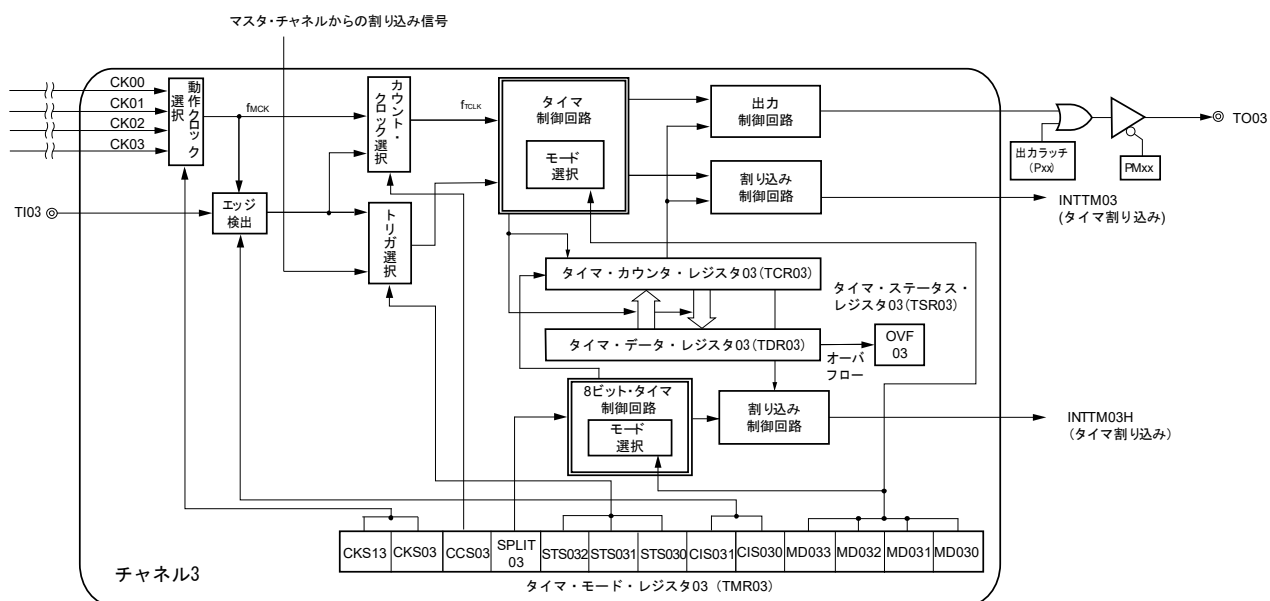
(b) 20, 24ピン製品のチャンネル1



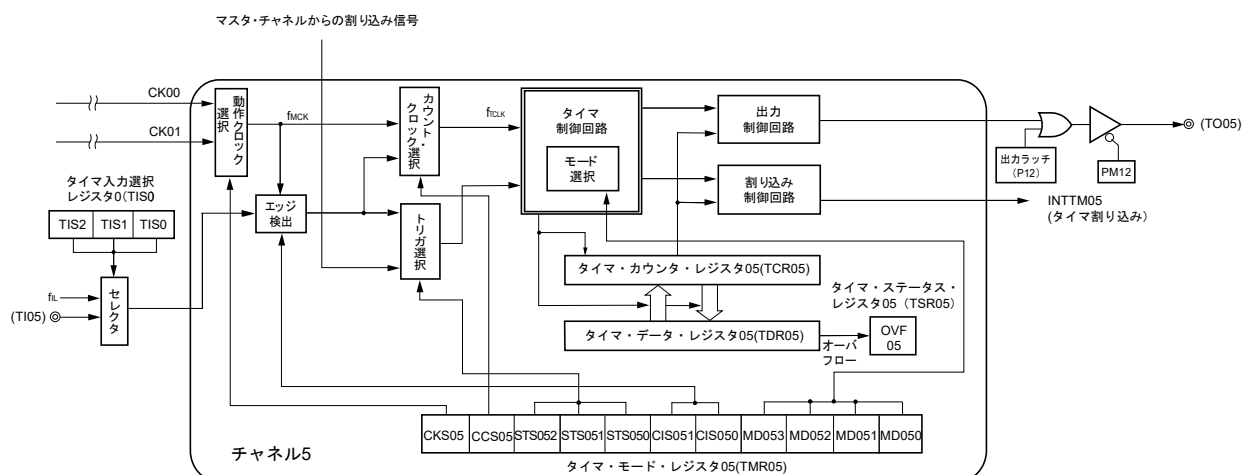
(c) 30ピン製品のチャンネル1



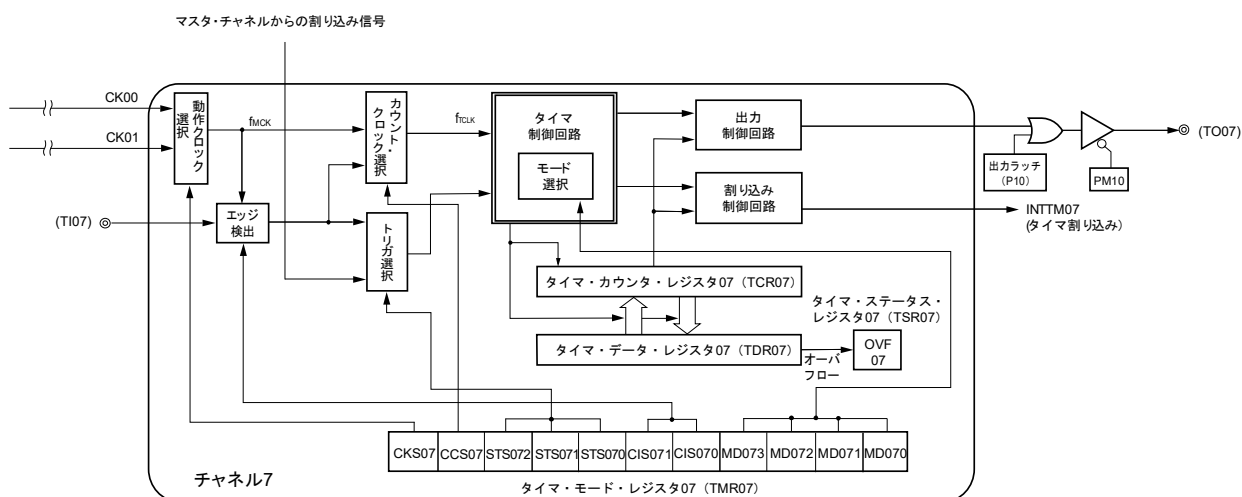
(d) チャンネル3



(e) 30ピン製品のチャンネル5



(f) 30ピン製品のチャンネル7



備考 () 内の信号名の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

6.2.1 タイマ・カウンタ・レジスタ0n (TCR0n)

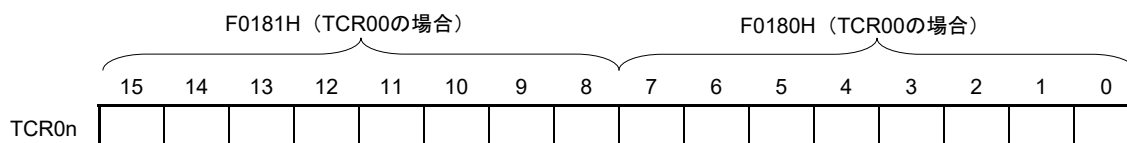
TCR0nレジスタは、カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメント／デクリメントします。

インクリメントかデクリメントかは、タイマ・モード・レジスタ0n (TMR0n) のMD0n3-MD0n0ビットで動作モードを選択することで切り替わります (6.3.3 タイマ・モード・レジスタ0n (TMR0n) 参照)。

図6-4 タイマ・カウンタ・レジスタ0n (TCR0n) のフォーマット

アドレス : F0180H, F0181H (TCR00) - F0186H, F0187H (TCR03) リセット時 : FFFFH R



備考 n : チャネル番号 (n = 0-7)

タイマ・カウンタ・レジスタ0n (TCR0n) をリードすることにより、カウント値をリードできます。

次の場合、カウント値はFFFFHになります。

- ・リセット信号の発生時
- ・周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットをクリアしたとき
- ・PWM出力モードで、スレーブ・チャネルのカウント完了時
- ・ディレイ・カウント・モードで、スレーブ・チャネルのカウント完了時
- ・ワンショット・パルス出力モードで、マスタ／スレーブ・チャネルのカウント完了時
- ・多重PWM出力モードで、スレーブ・チャネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- ・キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・キャプチャ・モード時で、キャプチャ完了時

注意 TCR0nレジスタをリードしても、タイマ・データ・レジスタ0n (TDR0n) にはキャプチャしません。

TCR0nレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表6-3 各動作モード時のタイマ・カウンタ・レジスタ0n (TCR0n) 読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCR0n) の読み出し値 ^注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TT0n = 1) した場合の値	カウント動作を一時停止 (TT0n = 1) 後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDR0nレジスタのキャプチャ値+1

注 チャンネルnがタイマ動作停止状態 (TE0n = 0) かつカウント動作許可状態 (TS0n = 1) にした時点の、TCR0nレジスタの読み出し値を示します。カウント動作開始までこの値がTCR0nレジスタに保持されます。

備考 n : チャンネル番号 (n = 0-7)

6.2.2 タイマ・データ・レジスタ0n (TDR0n)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能がコンペア機能かは、タイマ・モード・レジスタ0n (TMR0n) のMD0n3-MD0n0ビットで動作モードを選択することで切り替わります。

TDR0nレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード／ライト可能です。

また、TDR01, TDR03レジスタは、8ビット・タイマ・モード時(タイマ・モード・レジスタ01, 03 (TMR01, TMR03) のSPLIT01, SPLIT03ビットが1) に、上位8ビットをTDR01H, TDR03H, 下位8ビットをTDR01L, TDR03Lとして、8ビット単位でリード／ライト可能になります。

リセット信号の発生により、TDR0nレジスタは0000Hになります。

図6-5 タイマ・データ・レジスタ0n (TDR0n) のフォーマット (n = 0, 2, 4-7)

アドレス : FFF18H, FFF19H (TDR00) , FFF64H, FFF65H (TDR02) , リセット時 : 0000H R/W
FFF68H, FFF69H (TDR04) - FFF6EH, FFF6FH (TDR07)

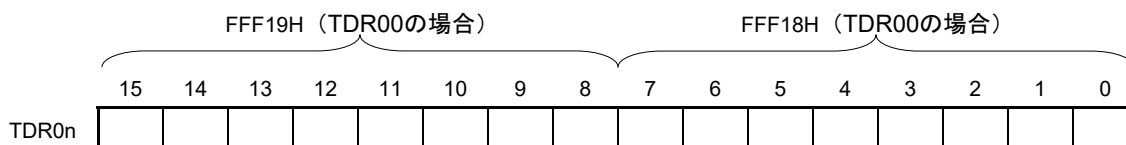
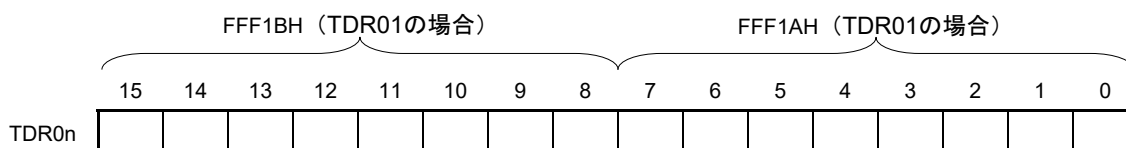


図6-6 タイマ・データ・レジスタ01, 03 (TDR01, TDR03) のフォーマット

アドレス : FFF1AH, FFF1BH (TDR01) , FFF66H, FFF67H (TDR03) リセット時 : 0000H R/W



(i) タイマ・データ・レジスタ0n (TDR0n) をコンペア・レジスタとして使用するとき

TDR0nレジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号 (INTTM0n) を発生します。TDR0nレジスタは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDR0nレジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) タイマ・データ・レジスタ0n (TDR0n) をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタ0n (TCR0n) のカウント値をTDR0nレジスタにキャプチャします。

キャプチャ・トリガとして、TI0n端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタ0n (TMR0n) で設定します。

備考 n : チャネル番号 (n = 0-7)

6.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・タイマ・クロック選択レジスタ0 (TPS0)
- ・タイマ・モード・レジスタ0n (TMR0n)
- ・タイマ・ステータス・レジスタ0n (TSR0n)
- ・タイマ・チャンネル許可ステータス・レジスタ0 (TE0)
- ・タイマ・チャンネル開始レジスタ0 (TS0)
- ・タイマ・チャンネル停止レジスタ0 (TT0)
- ・タイマ入力選択レジスタ0 (TIS0)
- ・タイマ出力許可レジスタ0 (TOE0)
- ・タイマ出力レジスタ0 (TO0)
- ・タイマ出力レベル・レジスタ0 (TOL0)
- ・タイマ出力モード・レジスタ0 (TOM0)
- ・ノイズ・フィルタ許可レジスタ1 (NFEN1)
- ・ポート・モード・コントロール・レジスタ (PMCxx)
- ・ポート・モード・レジスタ (PMxx)
- ・ポート・レジスタ (Pxx)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

備考 n : チャンネル番号 (n = 0-7)

6.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットを使用する場合は、必ずビット0 (TAU0EN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図6-7 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN	0	ADCEN	IICA0EN	SAU1EN ^注	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニットのクロック制御
0	クロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

注 30ピン製品のみ

注意1. タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAU0EN = 1の状態です、下記のレジスタの設定を行ってください。TAU0EN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタは初期値となり、書き込みは無視されます (タイマ入力選択レジスタ0 (TIS0), ノイズ・フィルタ許可レジスタ1 (NFEN1), ポート・モード・レジスタ0, 1, 3, 4 (PM0, PM1, PM3, PM4), ポート・レジスタ0, 1, 3, 4 (P0, P1, P3, P4), ポート・モード・コントロール・レジスタ0, 1, 4 (PMC0, PMC1, PMC4) は除く)。

- ・タイマ・クロック選択レジスタ0 (TPS0)
- ・タイマ・モード・レジスタ0n (TMR0n)
- ・タイマ・ステータス・レジスタ0n (TSR0n)
- ・タイマ・チャンネル許可ステータス・レジスタ0 (TE0)
- ・タイマ・チャンネル開始レジスタ0 (TS0)
- ・タイマ・チャンネル停止レジスタ0 (TT0)
- ・タイマ出力許可レジスタ0 (TOE0)
- ・タイマ出力レジスタ0 (TO0)
- ・タイマ出力レベル・レジスタ0 (TOL0)
- ・タイマ出力モード・レジスタ0 (TOM0)

2. 次のビットには必ず“0”を設定してください。

20, 24ピン製品 : ビット1, 3, 6

30ピン製品 : ビット1, 6

6.3.2 タイマ・クロック選択レジスタ0 (TPS0)

TPS0レジスタは、外部プリスケアラから各チャンネルに共通して供給される4種類の動作クロック (CK00-CK03) を選択する16ビット・レジスタです。

TPS0レジスタは、各チャンネルに共通して供給される2種類または4種類の動作クロック (CK00, CK01, CK02, CK03) を選択する16ビット・レジスタです。CK00はTPS0レジスタのビット3-0で、CK01はTPS0レジスタのビット7-4で選択します。さらにチャンネル1, 3のみ、CK02, CK03も選択できます。CK02はTPS0レジスタのビット9-8で、CK03はTPS0レジスタのビット13, 12で選択できます。タイマ動作中のTPS0レジスタの書き換えは、次の場合のみ可能です。

PRS000-PRS003ビットが書き換え可能な場合 (n = 0-7) :

動作クロックにCK00を選択 (CKS0n1, CKS0n0 = 0, 0) しているチャンネルがすべて停止状態 (TE0n = 0)

PRS010-PRS013ビットが書き換え可能な場合 (n = 0-7) :

動作クロックにCK01を選択 (CKS0n1, CKS0n0 = 0, 1) しているチャンネルがすべて停止状態 (TE0n = 0)

PRS020, PRS021ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCK02を選択 (CKS0n1, CKS0n0 = 1, 0) しているチャンネルがすべて停止状態 (TE0n = 0)

PRS030-PRS031ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCK03を選択 (CKS0n1, CKS0n0 = 1, 1) しているチャンネルがすべて停止状態 (TE0n = 0)

TPS0レジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPS0レジスタは0000Hになります。

図6-8 タイマ・クロック選択レジスタ0 (TPS0) のフォーマット

レス : F01B6H, F01B7H リセット時 : 0000H R/W

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	PRS031	PRS030	0	0	PRS021	PRS020	PRS013	PRS012	PRS011	PRS010	PRS003	PRS002	PRS001	PRS000

PRS0k3	PRS0k2	PRS0k1	PRS0k0	動作クロック（CK0k）の選択 ^注 （k = 0, 1）						
				f _{CLK} = 2 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 20 MHz	f _{CLK} = 24 MHz	
0	0	0	0	f _{CLK}	2 MHz	4 MHz	8 MHz	16 MHz	20 MHz	24 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2 MHz	4 MHz	8 MHz	10 MHz	12 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1 MHz	2 MHz	4 MHz	5 MHz	6 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	500 kHz	1 MHz	2 MHz	2.5 MHz	3 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	250 kHz	500 kHz	1 MHz	1.25 MHz	1.5 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	125 kHz	250 kHz	500 kHz	625 kHz	750 kHz
0	1	1	0	f _{CLK} /2 ⁶	31.3 kHz	62.5 kHz	125 kHz	250 kHz	313 kHz	375 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.6 kHz	31.3 kHz	62.5 kHz	125 kHz	156 kHz	188 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	15.6 kHz	31.3 kHz	62.5 kHz	78.1 kHz	93.8 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	7.81 kHz	15.6 kHz	31.3 kHz	39.1 kHz	46.9 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	3.91 kHz	7.81 kHz	15.6 kHz	19.5 kHz	23.4 kHz
1	0	1	1	f _{CLK} /2 ¹¹	977 Hz	1.95 kHz	3.91 kHz	7.81 kHz	9.77 kHz	11.7 kHz
1	1	0	0	f _{CLK} /2 ¹²	488 Hz	977 Hz	1.95 kHz	3.91 kHz	4.88 kHz	5.86 kHz
1	1	0	1	f _{CLK} /2 ¹³	244 Hz	488 Hz	977 Hz	1.95 kHz	2.44 kHz	2.93 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	122 Hz	244 Hz	488 Hz	977 Hz	1.22 kHz	1.46 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	61 Hz	122 Hz	244 Hz	488 Hz	610 Hz	732 Hz

PRS021	PRS020	動作クロック（CK02）の選択 ^注						
			f _{CLK} = 2 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 20 MHz	f _{CLK} = 24 MHz
0	0	f _{CLK} /2	1 MHz	2 MHz	4 MHz	8 MHz	10 MHz	12 MHz
0	1	f _{CLK} /2 ²	500 kHz	1 MHz	2 MHz	4 MHz	5 MHz	6 MHz
1	0	f _{CLK} /2 ⁴	125 kHz	250 kHz	500 kHz	1 MHz	1.25 MHz	1.5 MHz
1	1	f _{CLK} /2 ⁶	31.3 kHz	62.5 kHz	125 kHz	250 kHz	313 kHz	375 kHz

PRS031	PRS030	動作クロック（CK03）の選択 ^注						
			f _{CLK} = 2 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 20 MHz	f _{CLK} = 24 MHz
0	0	f _{CLK} /2 ⁸	7.81 kHz	15.6 kHz	31.3 kHz	62.5 kHz	78.1 kHz	93.8 kHz
0	1	f _{CLK} /2 ¹⁰	1.95 kHz	3.91 kHz	7.81 kHz	15.6 kHz	19.5 kHz	23.4 kHz
1	0	f _{CLK} /2 ¹²	488 Hz	977 Hz	1.95 kHz	3.91 kHz	4.88 kHz	5.86 kHz
1	1	f _{CLK} /2 ¹⁴	122 Hz	244 Hz	488 Hz	977 Hz	1.22 kHz	1.46 kHz

注 f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TT0 = 00FFH) させてください。

注意1. ビット15, 14, 11, 10には、必ず0を設定してください。

2. 動作クロック (CKmk) にf_{CLK} (分周なし) を選択し、TDRnm = 0000H (n = 0, 1, m = 0-7) を設定すると、タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

2. TPS0レジスタで選択するクロックは、立ち上がりから f_{CLK} の1周期分だけハイ・レベルになる信号となります。詳しくは、**6.5.1 カウント・クロック (f_{CLK})**を参照してください。

チャンネル1, 3を8ビット・タイマ・モードで使用し、CK02, CK03を動作クロックとすることにより、インターバル・タイマ機能で、表6-4に示すインターバル時間を実現することが可能です。

表6-4 動作クロックCKS02, CKS03で設定可能なインターバル時間

クロック		インターバル時間 ($f_{CLK} = 16 \text{ MHz}$) 注			
		10 μs	100 μs	1 ms	10 ms
CK02	$f_{CLK}/2$	○	—	—	—
	$f_{CLK}/2^2$	○	—	—	—
	$f_{CLK}/2^4$	○	○	—	—
	$f_{CLK}/2^6$	—	○	○	—
CK03	$f_{CLK}/2^8$	—	○	○	—
	$f_{CLK}/2^{10}$	—	—	○	—
	$f_{CLK}/2^{12}$	—	—	—	○
	$f_{CLK}/2^{14}$	—	—	—	—

注 ○には4%以下の誤差が含まれます。

備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

2. TPS0レジスタで選択する $f_{CLK}/2^n$ の波形の詳細は、**6.5.1 カウント・クロック (f_{CLK})**を参照してください。

6.3.3 タイマ・モード・レジスタ0n (TMR0n)

TMR0nレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (f_{MCK}) の選択、カウント・クロックの選択、マスタ/スレーブの選択、16ビット/8ビット・タイマの選択 (チャンネル1, 3のみ)、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード (インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ&ワンカウント) 設定を行います。

TMR0nレジスタは、動作中 ($TE0n = 1$ のとき) の書き換えは禁止です。ただし、ビット7, 6 (CIS0n1, CIS0n0) は、一部の機能で動作中 ($TE0n = 1$ のとき) の書き換えが可能です (詳細は**6.8 タイマ・アレイ・ユニットの単独チャンネル動作機能**、**6.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能**を参照)。

TMR0nレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMR0nレジスタは0000Hになります。

注意 TMR0nレジスタのビット11は、チャンネルによって搭載するビットが異なります。

TMR02, TMR04, TMR06 : MASTER0nビット ($n = 2, 4, 6$)

TMR01, TMR03 : SPLIT0nビット ($n = 1, 3$)

TMR00, TMR05, TMR07 : 0固定

図6-9 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (1/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07), リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=2,4,6)	CKS0n1	CKS0n0	0	CCS0n	MAS TER0n	STS0n2	STS0n1	STS0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n = 1, 3)	CKS0n1	CKS0n0	0	CCS0n	SPLIT 0n	STS0n2	STS0n1	STS0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=0,5,7)	CKS0n1	CKS0n0	0	CCS0n	0 ^注	STS0n2	STS0n1	STS0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

CKS0n1	CKS0n0	チャンネルnの動作クロック (f _{MCK}) の選択
0	0	タイマ・クロック選択レジスタ0 (TPS0) で設定した動作クロックCK00
0	1	タイマ・クロック選択レジスタ0 (TPS0) で設定した動作クロックCK02
1	0	タイマ・クロック選択レジスタ0 (TPS0) で設定した動作クロックCK01
1	1	タイマ・クロック選択レジスタ0 (TPS0) で設定した動作クロックCK03
動作クロック (f _{MCK}) は、エッジ検出回路に使用されます。また、CCS0nビットの設定によりサンプリング・クロックおよびカウント・クロック (f _{TCLK}) を生成します。		
動作クロックCK02, CK03は、チャンネル1, 3のみ選択可能です。		

CCS0n	チャンネルnのカウント・クロック (f _{TCLK}) の選択
0	CKS0n0, CKS0n1ビットで指定した動作クロック (f _{MCK})
1	Tl0n端子からの入力信号の有効エッジ 20, 24ピン製品のチャンネル1, 30ピン製品のチャンネル5では、TIS0で選択した入力信号の有効エッジ
カウント・クロック (f _{TCLK}) は、カウンタ, 出力制御回路, 割り込み制御回路に使用されます。	

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

注意1. ビット13, 5, 4には、必ず0を設定してください。

2. カウント・クロック (f_{TCLK}) にCKS0n0, CKS0n1ビットで指定した動作クロック (f_{MCK}) , Tl0n端子からの入力信号の有効エッジのどれを選択していても、f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TT0 = 00FFH) させてください。

備考 n : チャンネル番号 (n = 0-7)

図6-9 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (2/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) , リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=2,4,6)	CKS0n1	CKS0n0	0	CCS0n	MAS TER0n	STS0n2	STS0n1	STS0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n = 1, 3)	CKS0n1	CKS0n0	0	CCS0n	SPLIT 0n	STS0n2	STS0n1	STS0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=0,5,7)	CKS0n1	CKS0n0	0	CCS0n	0 ^注	STS0n2	STS0n1	STS0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

(TMR0n (n = 2, 4, 6) のビット11)

MASTER0n	チャンネルnの単独チャンネル動作／複数チャンネル連動動作（スレーブ／マスタ）の選択
0	単独チャンネル動作機能，または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
チャンネル2, 4, 6のみマスタ・チャンネル（MASTER0n = 1）に設定できます。	
チャンネル0, 5, 7は0固定となります（チャンネル0は最上位チャンネルのため，このビットの設定によらずマスタとして動作します）。	
また，単独チャンネル動作機能として使用するチャンネルは，MASTER0n = 0 にします。	

(TMR0n (n = 1, 3) のビット11)

SPLIT0n	チャンネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャンネル動作機能，または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8ビット・タイマとして動作

STS0n2	STS0n1	STS0n0	チャンネルnのスタート・トリガ，キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効（他のトリガ要因を非選択にする）
0	0	1	TI0n端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガの両方に使用
0	1	0	TI0n端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用（複数チャンネル連動動作機能のスレーブ・チャンネル時）
上記以外			設定禁止

注 ビット11はRead onlyの0固定で，書き込みは無視されます。

備考 n : チャンネル番号 (n = 0-7)

図6-9 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (3/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) , リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=2,4,6)	CKS0n1	CKS0n0	0	CCS0n	MAS TER0n	STS0n2	STS0n1	STS0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n = 1, 3)	CKS0n1	CKS0n0	0	CCS0n	SPLIT 0n	STS0n2	STS0n1	STS0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=0,5,7)	CKS0n1	CKS0n0	0	CCS0n	0 ^注	STS0n2	STS0n1	STS0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

CIS0n1	CIS0n0	Ti0n端子の有効エッジ選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	両エッジ (ロウ・レベル幅測定時) スタート・トリガ : 立ち下がリエッジ, キャプチャ・トリガ : 立ち上がりエッジ
1	1	両エッジ (ハイ・レベル幅測定時) スタート・トリガ : 立ち上がりエッジ, キャプチャ・トリガ : 立ち下がリエッジ

STS0n2-STS0n0ビット = 010B時以外で両エッジ指定を使用する場合は, CIS0n1-CIS0n0ビット = 10Bに設定してください。

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

備考 n : チャネル番号 (n = 0-7)

図6-9 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (4/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07), リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=2,4,6)	CKS0n1	CKS0n0	0	CCS0n	MAS TER0n	STS0n2	STS0n1	STS0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n = 1, 3)	CKS0n1	CKS0n0	0	CCS0n	SPLIT 0n	STS0n2	STS0n1	STS0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=0,5,7)	CKS0n1	CKS0n0	0	CCS0n	0 ^{注1}	STS0n2	STS0n1	STS0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

MD 0n3	MD 0n2	MD 0n1	チャネルnの動作モードの設定	対応する機能	TCRのカウント動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ／ 方形波出力／分周器機能／ PWM出力（マスタ）	ダウン・カウント
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウント
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウント
1	0	0	ワンカウント・モード	ディレイ・カウンタ／ ワンショット・パルス出力／ PWM出力（スレーブ）	ダウン・カウント
1	1	0	キャプチャ&ワンカウント・モード	入力信号のハイ／ロウ・レベル 幅測定	アップ・カウント
上記以外			設定禁止		
各モードの動作は、MD0n0ビットによって変わります（下表を参照）。					

動作モード (MD0n3-MD0n1で設定 (上表参照))	MD 0n0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・キャプチャ・モード (0, 1, 0)	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード ^{注2} (1, 0, 0)	0	カウント動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注3} 。 その際に割り込みは発生しない。
・キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。
上記以外		設定禁止

- 注1. ビット11はRead onlyの0固定で、書き込みは無視されます。
2. ワンカウント・モードでは、カウント動作開始時の割り込み出力（INTTM0n），TO0n出力は制御しません。
3. 動作中にスタート・トリガ（TS0n = 1）が掛かると、カウンタを初期化し、再カウント・スタートします（割り込み要求は発生せず）。

備考 n：チャンネル番号（n = 0-7）

6.3.4 タイマ・ステータス・レジスタ0n（TSR0n）

TSR0nレジスタは、チャンネルnのカウンタのオーバフロー状況を表示するレジスタです。

TSR0nレジスタは、キャプチャ・モード（MD0n3-MD0n1 = 010B）とキャプチャ&ワンカウント・モード（MD0n3-MD0n1 = 110B）のみ有効です。それ以外のモードでセットされることはありません。各動作モードでのOVFビットの動作とセット／クリア条件は表6-5を参照してください。

TSR0nレジスタは、16ビット・メモリ操作命令で読み出します。

またTSR0nレジスタの下位8ビットは、TSR0nLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSR0nレジスタは0000Hになります。

図6-10 タイマ・ステータス・レジスタ0n（TSR0n）のフォーマット

アドレス：F01A0H, F01A1H（TSR00） - F01AEH, F01AFH（TSR07） リセット時：0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSR0n	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき、次にオーバフローなしでキャプチャしたときにクリア（OVF = 0）されます。	

備考 n：チャンネル番号（n = 0-7）

表6-5 各動作モードにおけるOVFビットの動作とセット／クリア条件

タイマの動作モード	OVFビット	セット／クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバフローが発生していた場合
・インターバル・タイマ・モード	クリア	—（使用不可）
・イベント・カウンタ・モード	セット	
・ワンカウント・モード		

備考 OVFビットは、カウンタがオーバフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

6.3.5 タイマ・チャンネル許可ステータス・レジスタ0 (TE0)

TE0レジスタは、各チャンネルのタイマ動作許可／停止状態を表示するレジスタです。

TE0レジスタの各ビットは、タイマ・チャンネル開始レジスタ0 (TS0) とタイマ・チャンネル停止レジスタ0 (TT0) の各ビットに対応しています。TS0レジスタの各ビットが1にセットされると、TE0レジスタの対応ビットが1にセットされます。TT0レジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TE0レジスタは、16ビット・メモリ操作命令で読み出します。

またTE0レジスタの下位8ビットは、TE0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TE0レジスタは0000Hになります。

図6-11 タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のフォーマット

アドレス : F01B0H, F01B1H リセット時 : 0000H R

20, 24ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TE0	0	0	0	0	TEH03	0	TEH01	0	0	0	0	0	TE03	TE02	TE01	TE00

30ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TE0	0	0	0	0	TEH03	0	TEH01	0	TE07	TE06	TE05	TE04	TE03	TE02	TE01	TE00

TEH03	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEH01	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TE0n	チャンネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャンネル1, 3が8ビット・タイマ・モード時は、TE01, TE03で下位側8ビット・タイマの動作許可／停止状態を表示します。	

備考 n : チャンネル番号 (n = 0-7)

6.3.6 タイマ・チャネル開始レジスタ0 (TS0)

TS0レジスタは、タイマ・カウンタ・レジスタ0n (TCR0n) を初期化し、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャネル許可ステータス・レジスタ0 (TE0) の対応ビットが1にセットされます。TS0n, TSH01, TSH03ビットはトリガ・ビットなので、動作許可状態 (TE0n, TEH01, TEH03 = 1) になるとすぐTS0n, TSH01, TSH03ビットはクリアされます。

TS0レジスタは、16ビット・メモリ操作命令で設定します。

またTS0レジスタの下位8ビットは、TS0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TS0レジスタは0000Hになります。

図6-12 タイマ・チャネル開始レジスタ0 (TS0) のフォーマット

アドレス : F01B2H, F01B3H リセット時 : 0000H R/W

20, 24ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS0	0	0	0	0	TSH03	0	TSH01	0	0	0	0	0	TS03	TS02	TS01	TS00

30ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS0	0	0	0	0	TSH03	0	TSH01	0	TS07	TS06	TS05	TS04	TS03	TS02	TS01	TS00

TSH03	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEH03ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCR03レジスタのカウント動作開始は、インターバル・タイマ・モードになります（表6-6参照）。

TSH01	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEH01ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCR01レジスタのカウント動作開始は、インターバル・タイマ・モードになります（表6-6参照）。

TS0n	チャンネルnの動作許可（スタート）トリガ
0	トリガ動作しない
1	TE0nビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCR0nレジスタのカウント動作開始は、各動作モードにより異なります（表6-6参照）。 チャンネル1, 3が8ビット・タイマ・モード時は、TS01, TS03が下位側8ビット・タイマの動作許可（スタート）トリガになります。

注意1. 未定義ビットには必ず0を設定してください。

2. TI0n端子入力を使用しない機能から、TI0n端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタ0n (TMR0n) 設定後、TS0n (TSH01, TSH03) ビットを1に設定するまでに、次の期間ウエイトが必要になります。

TI0n端子のノイズ・フィルタ有効時 (TNFEN = 1) : 動作クロック (f_{MCK}) の4クロック

TI0n端子のノイズ・フィルタ無効時 (TNFEN = 0) : 動作クロック (f_{MCK}) の2クロック

- 備考1. TS0レジスタの読み出し値は常に0となります。
2. n : チャネル番号 (n = 0-7)

6.3.7 タイマ・チャネル停止レジスタ0 (TT0)

TT0レジスタは、カウント動作の停止をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャネル許可ステータス・レジスタ0 (TE0) の対応ビットが0にクリアされます。TT0n, TTH01, TTH03ビットはトリガ・ビットなので、動作停止状態 (TE0n, TEH01, TEH03 = 0) になるとすぐTT0n, TTH01, TTH03ビットはクリアされます。

TT0レジスタは、16ビット・メモリ操作命令で設定します。

またTT0レジスタの下位8ビットは、TT0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TT0レジスタは0000Hになります。

図6-13 タイマ・チャネル停止レジスタ0 (TT0) のフォーマット

アドレス : F01B4H, F01B5H リセット時 : 0000H R/W

20, 24ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT0	0	0	0	0	TTH03	0	TTH01	0	0	0	0	0	TT03	TT02	TT01	TT00

30ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT0	0	0	0	0	TTH03	0	TTH01	0	TT07	TT06	TT05	TT04	TT03	TT02	TT01	TT00

TTH03	チャネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEH03ビットを0にクリアし、カウント動作停止状態になる。

TTH01	チャネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEH01ビットを0にクリアし、カウント動作停止状態になる。

TT0n	チャネルnの動作停止トリガ
0	トリガ動作しない
1	TE0nビットを0にクリアし、カウント動作停止状態になる。 チャネル1, 3が8ビット・タイマ・モード時は、TT01, TT03が下位側8ビット・タイマの動作停止トリガになります。

注意 未定義ビットには必ず0を設定してください。

- 備考1. TT0レジスタの読み出し値は常に0となります。
2. n : チャネル番号 (n = 0-7)

6.3.8 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、20, 24ピン製品のチャンネル1, 30ピン製品のチャンネル5のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIS0レジスタは00Hになります。

図6-14 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : F0074H リセット時 : 00H R/W

20, 24ピン製品

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	0	TIS01	TIS00

TIS01	TIS00	チャンネル1で使用するタイマ入力の選択
×	0	タイマ入力端子 (TI01) の入力信号
0	1	低速オンチップ・オシレータ・クロック (f _{IL})
1	1	設定禁止

30ピン製品

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS2	TIS01	TIS00

TIS2	TIS01	TIS00	チャンネル5で使用するタイマ入力の選択
0	×	×	タイマ入力端子 (TI05) の入力信号
1	0	0	低速オンチップ・オシレータ・クロック (f _{IL})
上記以外			設定禁止

× : don't care

注意 選択するタイマ入力のハイ・レベル幅, ロウ・レベル幅は, $1/f_{MCK}+10$ ns以上必要となります。
そのため, f_{CLK}にf_{SUB}を選択時 (CKCレジスタのCSS = 1) は, TIS02ビットに1を設定できません。

6.3.9 タイマ出力許可レジスタ0 (TOE0)

TOE0レジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャンネルnは、後述のタイマ出力レジスタ0 (TO0) のTO0nビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TO0n) から出力されます。

TOE0レジスタは、16ビット・メモリ操作命令で設定します。

またTOE0レジスタの下位8ビットは、TOE0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOE0レジスタは0000Hになります。

図6-15 タイマ出力許可レジスタ0 (TOE0) のフォーマット

アドレス : F01BAH, F01BBH リセット時 : 0000H R/W

20, 24ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOE0	0	0	0	0	0	0	0	0	0	0	0	0	TOE03	TOE02	TOE01	TOE00

30ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOE0	0	0	0	0	0	0	0	0	TOE07	TOE06	TOE05	TOE04	TOE03	TOE02	TOE01	TOE00

TOE0n	チャンネルnのタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作をTO0nビットに反映せず、出力を固定します。 TO0nビットへの書き込みが可能となり、TO0nビットに設定したレベルがTO0n端子から出力されます。
1	タイマの出力を許可 タイマ動作をTO0nビットに反映し、出力波形を生成します。 TO0nビットへの書き込みは無視されます。

注意 未定義ビットには必ず0を設定してください。

備考 n : チャンネル番号 (n = 0-7)

6.3.10 タイマ出力レジスタ0 (TO0)

TO0レジスタは、各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャネルのタイマ出力端子 (TO0n) から出力されます。

このレジスタのTO0nビットのソフトウェアによる書き換えは、タイマ出力禁止時 (TOE0n = 0) のみ可能です。タイマ出力許可時 (TOE0n = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、P00, P01/TO00, P16/TO01, P17/TO02, P31/TO03, P13/(TO04), P12/(TO05), P11/(TO06), P10/(TO07)をポート機能として使用する場合は、該当するTO0nビットに“0”を設定してください。

TO0レジスタは、16ビット・メモリ操作命令で設定します。

またTO0レジスタの下位8ビットは、TO0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TO0レジスタは0000Hになります。

図6-16 タイマ出力レジスタ0 (TO0) のフォーマット

アドレス : F01B8H, F01B9H リセット時 : 0000H R/W

20, 24ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TO0	0	0	0	0	0	0	0	0	0	0	0	0	TO03	TO02	TO01	TO00

30ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TO0	0	0	0	0	0	0	0	0	TO07	TO06	TO05	TO04	TO03	TO02	TO01	TO00

TO0n	チャネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意 未定義ビットには必ず0を設定してください。

備考 n : チャネル番号 (n = 0-7)

6.3.11 タイマ出力レベル・レジスタ0 (TOL0)

TOL0レジスタは、各チャネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャネルnの反転設定は、タイマ出力許可 (TOE0n = 1)、複数チャネル連動動作機能 (TOM0n = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャネル出力モード (TOM0n = 0) 時には、このレジスタの設定は無効となります。

TOL0レジスタは、16ビット・メモリ操作命令で設定します。

またTOL0レジスタの下位8ビットは、TOL0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOL0レジスタは0000Hになります。

図6-17 タイマ出力レベル・レジスタ0 (TOL0) のフォーマット

アドレス : F01BCH, F01BDH リセット時 : 0000H R/W

20, 24ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOL0	0	0	0	0	0	0	0	0	0	0	0	0	TOL03	TOL02	TOL01	0

30ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOL0	0	0	0	0	0	0	0	0	TOL07	TOL06	TOL05	TOL04	TOL03	TOL02	TOL01	0

TOL0n	チャネルnのタイマ出力レベルの制御
0	正論理出力 (アクティブ・ハイ)
1	負論理出力 (アクティブ・ロウ)

注意 未定義ビットには必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

2. n : チャネル番号 (n = 1-7)

6.3.12 タイマ出力モード・レジスタ0 (TOM0)

TOM0レジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

複数チャンネル連動動作機能（PWM出力、ワンショット・パルス出力、多重PWM出力）として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可 (TOE0n = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOM0レジスタは、16ビット・メモリ操作命令で設定します。

またTOM0レジスタの下位8ビットは、TOM0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOM0レジスタは0000HIになります。

図6-18 タイマ出力モード・レジスタ0 (TOM0) のフォーマット

アドレス : F01BEH, F01BFH リセット時 : 0000H R/W

20, 24ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM0	0	0	0	0	0	0	0	0	0	0	0	0	TOM03	TOM02	TOM01	0

30ピン製品

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM0	0	0	0	0	0	0	0	0	TOM07	TOM06	TOM05	TOM04	TOM03	TOM02	TOM01	0

TOM0n	チャンネルnのタイマ出力モードの制御
0	マスタ・チャンネル出力モード（タイマ割り込み要求信号 (INTTM0n) によりトグル出力を行う）
1	スレーブ・チャンネル出力モード （マスタ・チャンネルのタイマ割り込み要求信号 (INTTM0n) で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号 (INTTM0p) で出力がリセットされる）

注意 未定義ビットには必ず0を設定してください。

備考 n : チャンネル番号 n = 1-7（マスタ・チャンネル時 : n = 0, 2, 4, 6）

p : スレーブ・チャンネル番号 n < p ≤ 7

（マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、6.4.1 複数チャンネル連動動作機能の基本ルールを参照してください）

6.3.13 ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。

ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけ行います^注。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1レジスタは00Hになります。

注 詳細は、6.5.1 (2) TI0n端子からの入力信号の有効エッジを選択した場合 (CCS0n = 1)、6.5.2 カウンタのスタート・タイミング、6.7 タイマ入力 (TI0n) の制御を参照してください。

図6-19 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマット

アドレス : F0071H リセット時 : 00H R/W

20, 24ピン製品

略号	7	6	5	4	3	2	1	0
NFEN1	0	0	0	0	TNFEN03	TNFEN02	TNFEN01	TNFEN00

30ピン製品

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00

TNFEN0n	TI0n端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

備考 チャンネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は、表6-2 各製品に搭載しているタイマ入出力端子を参照してください。

6.3.14 タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は、対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）、ポート・モード・コントロール・レジスタ（PMCxx））を設定してください。詳細は、4.3.1 ポート・モード・レジスタ（PMxx）、4.3.2 ポート・レジスタ（Pxx）、4.3.6 ポート・モード・コントロール・レジスタ（PMCxx）を参照してください。

また、製品によって設定するポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）、ポート・モード・コントロール・レジスタ（PMCxx）が異なります。詳細は、4.5.3 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

タイマ出力端子を兼用するポート（TI00/TO00/P13など）をタイマ出力として使用するときは、各ポートに対応するポート・モード・コントロール・レジスタ（PMCxx）、ポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットのビットに0を設定してください。

例 20, 24ピン製品のP13/TI00/TO00をタイマ出力として使用する場合

ポート・モード・コントロール・レジスタ1のPMC13ビットを0に設定

ポート・モード・レジスタ1のPM00ビットを0に設定

ポート・レジスタ1のP00ビットを0に設定

タイマ入力端子を兼用するポート（TI00/TO00/P13など）をタイマ入力として使用するときは、各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。また、ポート・モード・コントロール・レジスタ（PMCxx）のビットに0を設定してください。このときポート・レジスタ（Pxx）のビットは、0または1のどちらでもかまいません。

例 20, 24ピン製品のP13/TI00/TO00をタイマ入力として使用する場合

ポート・モード・コントロール・レジスタ1のPMC13ビットを0に設定

ポート・モード・レジスタ1のPM00ビットを1に設定

ポート・レジスタ1のP00ビットを0または1に設定

6.4 タイマ・アレイ・ユニットの基本ルール

6.4.1 複数チャネル連動動作機能の基本ルール

複数チャネル連動動作機能は、マスタ・チャネル（主に周期をカウントする基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャネル連動動作機能の基本的なルールを示します。

(1) マスタ・チャネルには、偶数チャネル（チャネル0, 2, 4, 6）のみ設定できます。

(2) スレーブ・チャネルには、チャネル0を除くすべてのチャネルを設定できます。

(3) スレーブ・チャネルには、マスタ・チャネルの下位チャネルのみ設定できます

例 チャネル2をマスタ・チャネルにした場合、チャネル3以降（チャネル3-7）をスレーブ・チャネルに設定できます。

(4) 1つのマスタ・チャネルに対し、スレーブ・チャネルは複数設定できます。

(5) マスタ・チャネルを複数使用する場合、マスタ・チャネルをまたいだスレーブ・チャネルの設定はできません。

例 チャネル0, チャネル4をマスタ・チャネルにした場合、マスタ・チャネル0は、チャネル1-3までをスレーブ・チャネルとして設定できます。マスタ・チャネル4は、チャネル5-7をスレーブ・チャネルとして設定できません。

(6) マスタ・チャネルと連動するスレーブ・チャネルは、同じ動作クロックを設定します。マスタ・チャネルと連動するスレーブ・チャネルのCKS0n0, CKS0n1ビット（タイマ・モード・レジスタ0n（TMR0n）のビット15, 14）が同じ設定値になっている必要があります。

(7) マスタ・チャネルはINTTM0n（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを下位チャネルに伝えることができます。

(8) スレーブ・チャネルはマスタ・チャネルのINTTM0n（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用できますが、下位チャネルに自身のINTTM0n（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを伝えることはできません。

(9) マスタ・チャネルは、他の上位のマスタ・チャネルからのINTTM0n（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。

(10) 連動させるチャネルを同時スタートさせるため、連動させるチャネルのチャネル・スタート・トリガ・ビット（TS0n）を同時に設定する必要があります。

(11) カウント動作中のTS0ビットの設定は、連動させるすべてのチャネルまたはマスタ・チャネルのみ使用できます。スレーブ・チャネルのTS0ビットのみの設定では使用できません。

(12) 連動させるチャネルを同時に停止させるため、連動させるチャネルのチャネル・ストップ・トリガ・ビット（TT0n）を同時に設定する必要があります。

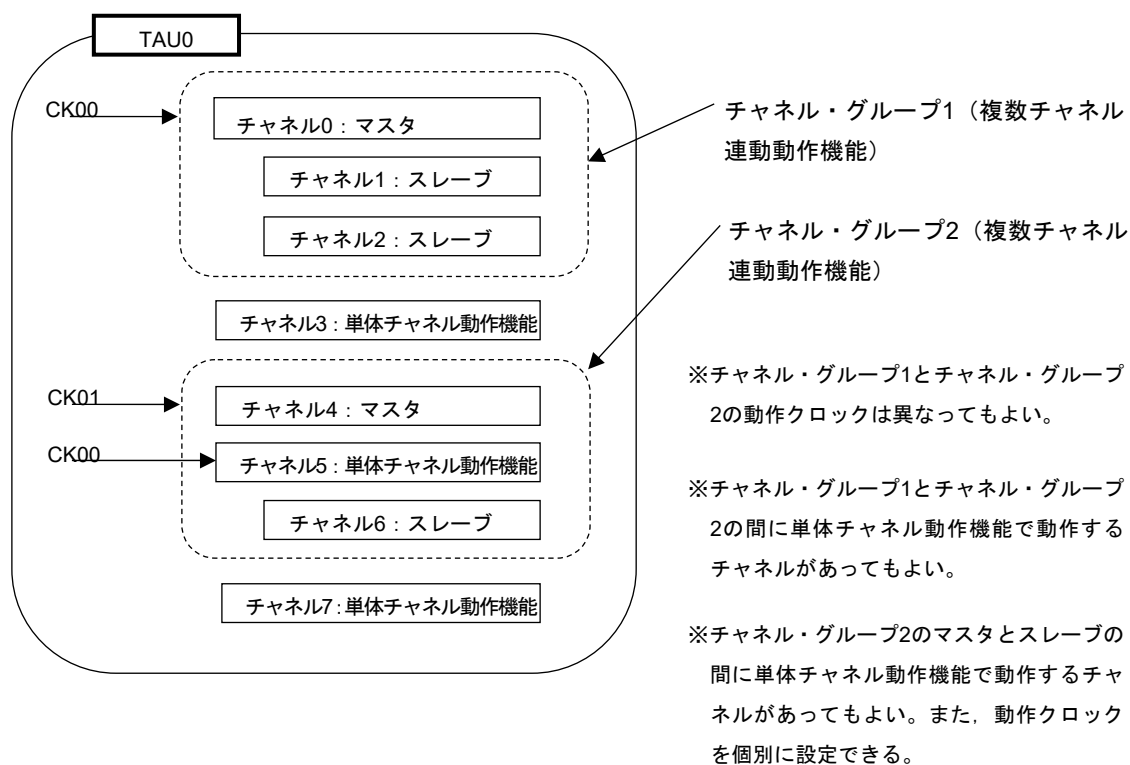
(13) 連動動作時は、マスタ・チャネルとスレーブ・チャネルの動作クロックをあわせる必要があるため、CK02/CK03は選択できません。

(14) タイマ・モード・レジスタ0n（TMR0n）は、マスタ・ビットがなく、“0”に固定されています。しかし、チャネル0は最上位チャネルなので、連動動作時は、チャネル0をマスタ・チャネルとして使用できます。

複数チャネル連動動作機能の基本ルールは、チャネル・グループ（1つの複数チャネル連動動作機能を形成するマスタ・チャネルとスレーブ・チャネルの集合）内に適用されるルールです。それぞれが連動しない2つ以上のチャネル・グループを設定した場合、チャネル・グループ間には上記の基本ルールは適用されません。

備考 n：チャネル番号（n = 0-7）

例



6.4.2 8ビット・タイマ動作機能の基本ルール（チャンネル1, 3のみ）

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタ0n (TMR0n) のSPLIT0nビットを“1”に設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時にINTTM01H/INTTM03H（割り込み）を出力します（MD0n0 = 1 設定と同じ動作）。
- (5) 上位8ビットの動作クロック選択は、下位ビットのTMR0nレジスタのCKS0n1, CKS0n0ビットにしたがって動作します。
- (6) 上位8ビットは、TSH01/TSH03ビットを操作することでチャンネル動作を開始し、TTH01/TTH03ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEH01/TEH03ビットで確認できます。
- (7) 下位8ビットは、TMR0nレジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。
 - ・インターバル・タイマ機能/方形波出力機能
 - ・外部イベント・カウンタ機能
 - ・ディレイ・カウント機能
- (8) 下位8ビットは、TS01/TS03ビットを操作することでチャンネル動作を開始し、TT01/TT03ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TE01/TE03ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSH01/TSH03/TTH01/TTH03ビットの操作は無効となります。TS01/TS03, TT01/TT03ビットを操作することでチャンネル1, 3が動作します。TEH03ビットとTEH01ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能（ワンショット・パルス, PWM, 多重PWM）を使用することはできません。

備考 n: チャンネル番号 (n = 1, 3)

6.5 カウンタの動作

6.5.1 カウント・クロック (f_{CLK})

タイマ・アレイ・ユニットのカウント・クロック (f_{CLK}) は、タイマ・モード・レジスタ0n (TMR0n) のCCS0nビットにより、以下のどちらかを選択することができます。

- ・ CKS0n0, CKS0n1ビットで指定した動作クロック (f_{MCK})
- ・ TI0n端子からの入力信号の有効エッジ

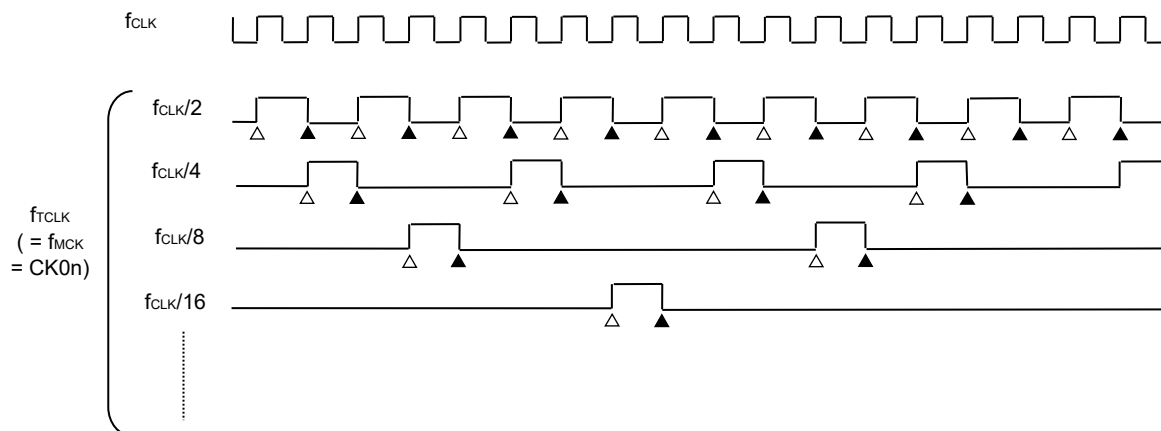
タイマ・アレイ・ユニットは、f_{CLK}との同期をとって動作するよう設計されているため、カウント・クロック (f_{CLK}) のタイミングは次のようになります。

(1) CKS0n0, CKS0n1ビットで指定した動作クロック (f_{MCK}) を選択した場合 (CCS0n = 0)

カウント・クロック (f_{CLK}) は、タイマ・クロック選択レジスタ0 (TPS0) の設定により、f_{CLK} ~ f_{CLK}/2¹⁵ となります。ただし、f_{CLK}の分周を選んだ場合、TPSmレジスタで選択するクロックは、立ち上がりからf_{CLK}の1周期分だけハイ・レベルになる信号となります。f_{CLK}を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ0n (TCR0n) は、f_{CLK}との同期をとるため、カウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図6-20 f_{CLK}とカウント・クロック (f_{CLK}) のタイミング (CCS0n = 0時)



備考1. △ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

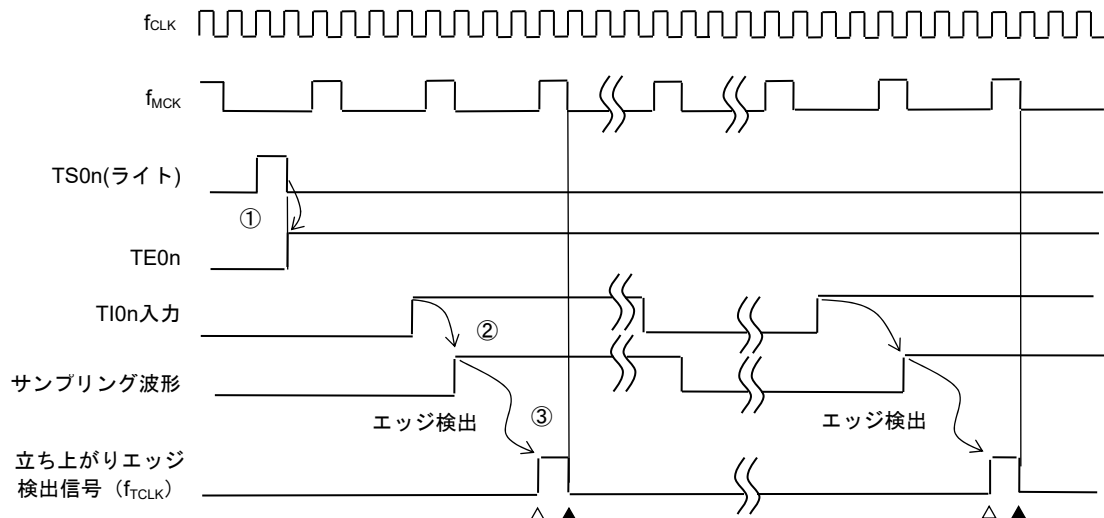
2. f_{CLK} : CPU/周辺ハードウェア・クロック

(2) TI0n端子からの入力信号の有効エッジを選択した場合 (CCS0n = 1)

カウント・クロック (f_{CLK}) は、TI0n端子からの入力信号の有効エッジを検出し、次の f_{MCK} の立ち上がり
に同期した信号になります。これは、実際のTI0n端子からの入力信号より f_{MCK} の1~2クロック分遅れた信
号になります (ノイズ・フィルタ使用時は、 f_{MCK} の3~4クロック分遅れます)。

また、タイマ・カウンタ・レジスタ0n (TCR0n) は、 f_{CLK} との同期をとるためにカウント・クロックの
立ち上がりから f_{CLK} の1クロック分遅れてカウントしますが、このことを便宜上“TI0n端子からの入力信号の
有効エッジでカウントする”と表現します。

図6-21 カウント・クロック (f_{CLK}) のタイミング (CCS0n = 1, ノイズ・フィルタ未使用時)



- ①TS0nビットをセットすることでタイマが動作を開始し、TI0n入力の有効エッジ待ちになります。
- ②TI0n入力の立ち上がりが f_{MCK} でサンプリングされます。
- ③サンプリングした信号の立ち上がりでエッジ検出がおこなわれ、検出信号 (カウント・クロック) が出力されます。

備考1. △ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

2. f_{CLK} : CPU/周辺ハードウェア・クロック

f_{MCK} : チャンネルnの動作クロック

3. 入力パルス間隔測定, 入力信号のハイ/ロウ・レベル幅測定, ディレイ・カウンタ, ワンショット・パルス出力機能のTI0n入力も同様の波形になります。

6.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタ0n (TCR0n) は、タイマ・チャネル開始レジスタ0 (TS0) のTS0nビットをセットすることにより、動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタ0n (TCR0n) のカウント・スタートまでの動作を、表6-6に示します。

表6-6 カウント動作許可状態からタイマ・カウンタ・レジスタ0n (TCR0n) のカウント・スタートまでの動作

タイマの動作モード	TS0n = 1にセットしたときの動作
・インターバル・タイマ・モード	スタート・トリガ検出 (TS0n = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDR0nレジスタの値をTCR0nレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (1) インターバル・タイマ・モードの動作参照)。
・イベント・カウンタ・モード	TS0nビットに1を書き込むことにより、TDR0nレジスタの値をTCR0nレジスタにロードします。 TI0n入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (2) イベント・カウンタ・モードの動作参照)。
・キャプチャ・モード	スタート・トリガ検出 (TS0n = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCR0nレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.5.3 (3) キャプチャ・モードの動作 (入力パルス間隔測定) 参照)。
・ワンカウント・モード	タイマ動作停止 (TE0n = 0) の状態で、TS0nビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDR0nレジスタの値をTCR0nレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (4) ワンカウント・モードの動作参照)。
・キャプチャ&ワンカウント・モード	タイマ動作停止 (TE0n = 0) の状態で、TS0nビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCR0nレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.5.3 (5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定) 参照)。

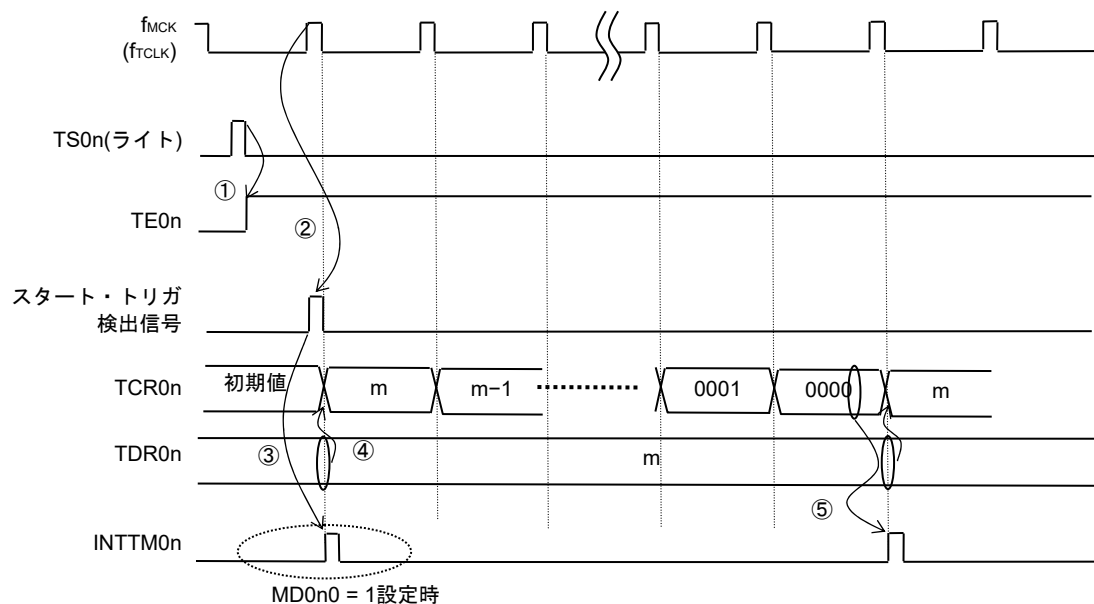
6.5.3 カウンタの動作

各モードでの、カウンタの動作を説明します。

(1) インターバル・タイマ・モードの動作

- ① TS0nビットへ1を書き込むことにより、動作許可状態 ($TE0n = 1$) となります。タイマ・カウンタ・レジスタ0n (TCR0n) は、カウント・クロック発生まで初期値を保持しています。
- ② 動作許可後の最初のカウント・クロック (f_{MCK}) で、スタート・トリガが発生します。
- ③ MD0n0ビットが1に設定されている場合には、スタート・トリガにより、INTTM0nが発生します。
- ④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタ0n (TDR0n) の値をTCR0nレジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ TCR0nレジスタがカウント・ダウンしてカウント値が0000Hになると、次のカウント・クロック (f_{MCK}) でINTTM0nを発生し、タイマ・データ・レジスタ0n (TDR0n) の値をTCR0nレジスタにロードしてカウントを継続します。

図6-22 動作タイミング (インターバル・タイマ・モード)



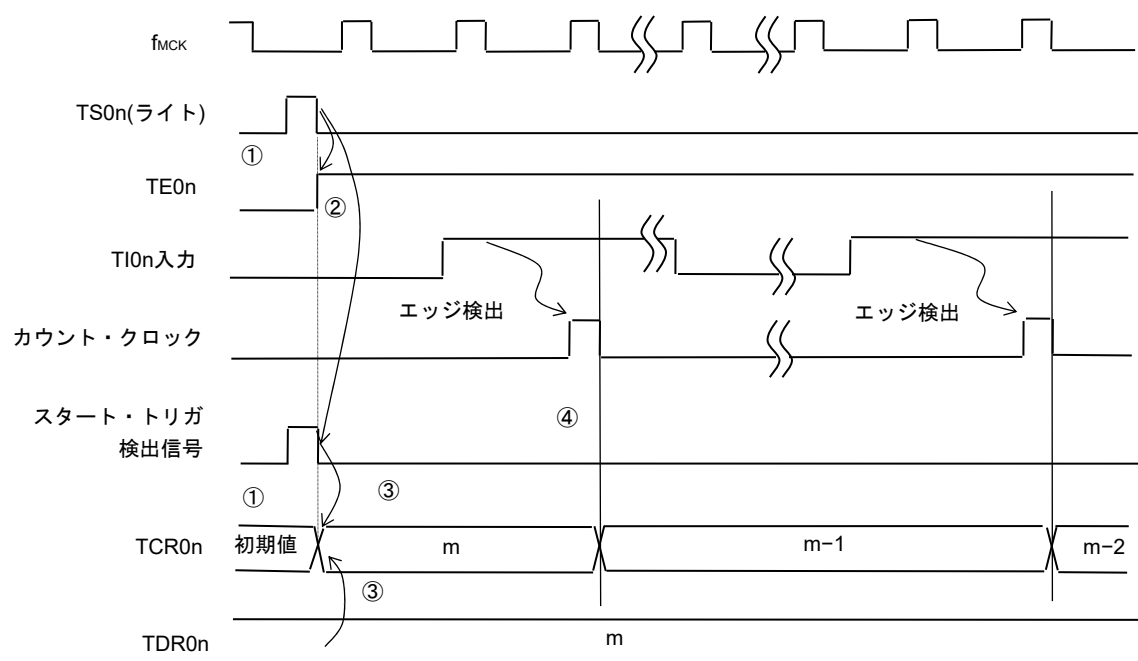
注意 カウント・クロックの1周期目の動作はTS0nビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MD0n0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 f_{MCK} , スタート・トリガ検出信号, INTTM0nは, f_{CLK} に同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

- ① 動作停止状態 ($TE0n = 0$) の期間, タイマ・カウンタ・レジスタ0n ($TCR0n$) は, 初期値を保持します。
- ② $TS0n$ ビットへ1を書き込むことにより, 動作許可状態 ($TE0n = 1$) となります。
- ③ $TS0n = 1 \rightarrow TE0n = 1$ と同時に, $TCR0n$ レジスタにタイマ・データ・レジスタ0n ($TDR0n$) の値をロードし, カウントを開始します。
- ④ 以降は $TI0n$ 入力の有効エッジでのカウント・クロックに従い, $TCR0n$ レジスタの値をダウン・カウントします。

図6-23 動作タイミング (イベント・カウンタ・モード)

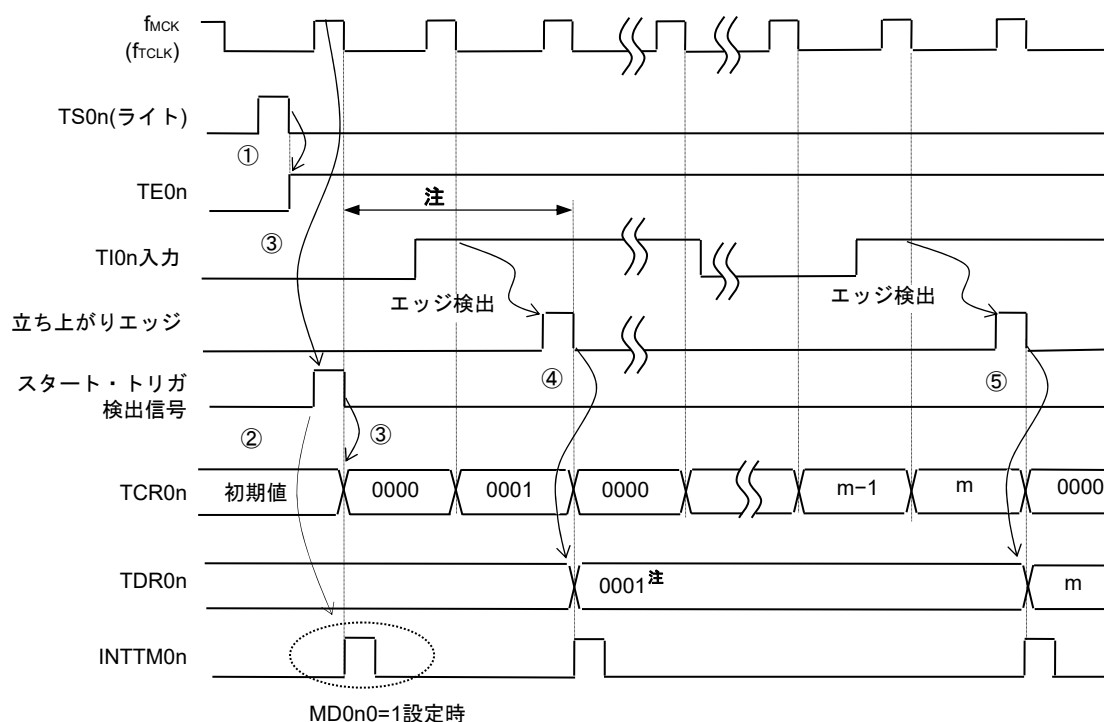


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると, エッジ検出は $TI0n$ 入力からさらに f_{MCK} の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差は, $TI0n$ 入力とカウント・クロック (f_{MCK}) が非同期なためです。

(3) キャプチャ・モードの動作（入力パルス間隔測定）

- ① TS0nビットへ1を書き込むことにより、動作許可状態（TE0n = 1）となります。
- ② タイマ・カウンタ・レジスタ0n（TCR0n）は、カウント・クロック発生まで初期値を保持しています。
- ③ 動作許可後の最初のカウント・クロック（f_{MCK}）で、スタート・トリガが発生します。そして0000Hの値をTCR0nレジスタにロードし、キャプチャ・モードでのカウントを開始します。（MD0n0ビットが1に設定されている場合には、スタート・トリガにより、INTTM0nが発生します。）
- ④ TI0n入力の有効エッジを検出すると、TCR0nレジスタの値をTDR0nレジスタにキャプチャし、INTTM0n割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCR0nレジスタは0000Hからカウントを継続します。
- ⑤ 次のTI0n入力の有効エッジを検出すると、TCR0nレジスタの値をTDR0nレジスタにキャプチャし、INTTM0n割り込みが発生します。

図6-24 動作タイミング（キャプチャ・モード：入力パルス間隔測定）



注 スタート前からTI0nにクロックが入力されている（トリガがある）場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ（④）でのキャプチャ値はパルス間隔とならない（この例では0001：2クロック分の間隔）ので、無視してください。

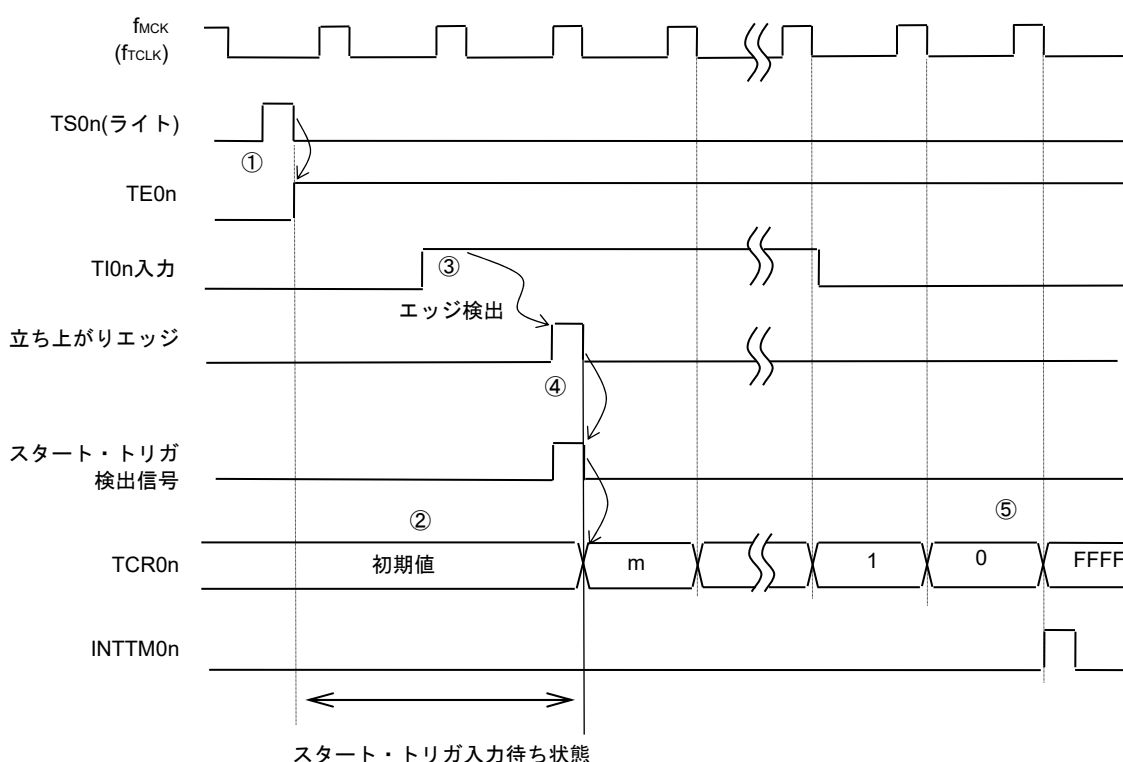
注意 カウント・クロックの1周期目の動作はTS0nビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MD0n0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTI0n入力からさらにf_{MCK}の2周期分（合計で3～4周期分）遅くなります。1周期分の誤差は、TI0n入力とカウント・クロック（f_{MCK}）が非同期なためです。

(4) ワンカウント・モードの動作

- ① TS0nビットへ1を書き込むことにより、動作許可状態（TE0n = 1）となります。
- ② タイマ・カウンタ・レジスタ0n（TCR0n）は、スタート・トリガ発生まで初期値を保持しています。
- ③ TI0n入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、TDR0nレジスタの値（m）をTCR0nレジスタにロードし、カウントを開始します。
- ⑤ TCR0nレジスタがカウント・ダウンしてカウント値が0000Hになると、INTTM0n割り込みを発生し、TCR0nレジスタはFFFFHで停止します。

図6-25 動作タイミング（ワンカウント・モード）

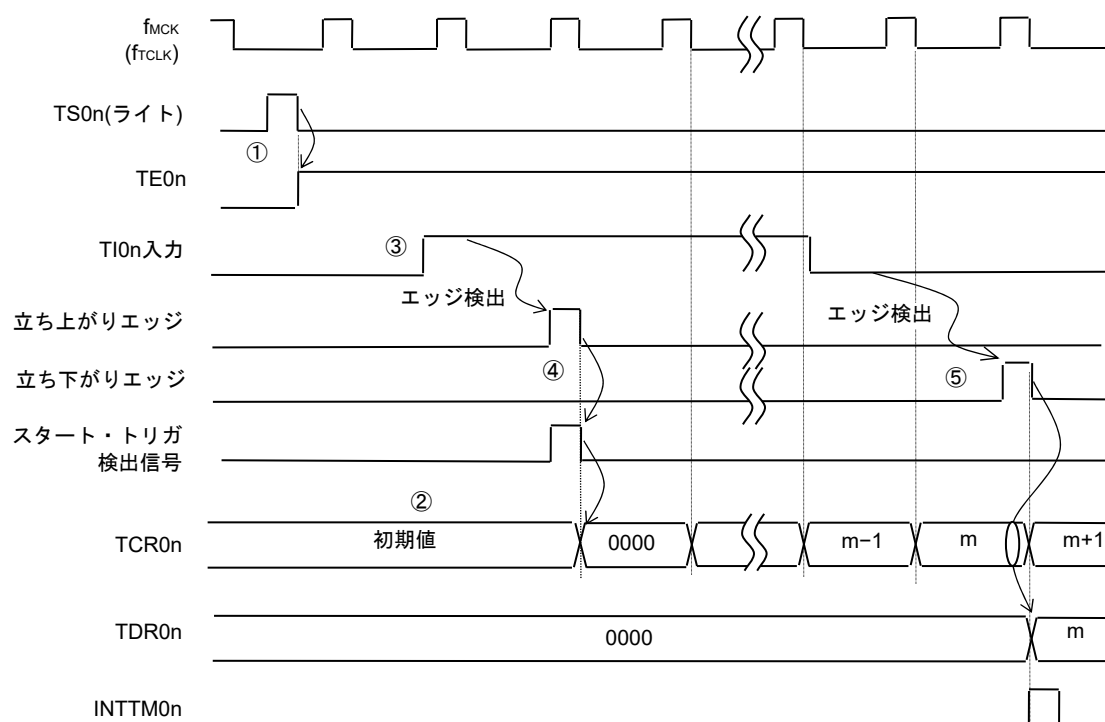


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると、エッジ検出はTI0n入力からさらにf_{MCK}の2周期分（合計で3～4周期分）遅くなります。1周期分の誤差は、TI0n入力とカウント・クロック（f_{MCK}）が非同期なためです。

(5) キャプチャ&ワンカウント・モードの動作（ハイ・レベル幅測定）

- ① タイマ・チャンネル開始レジスタ0 (TS0) のTS0nビットに1を書き込むことにより、動作許可状態 (TE0n = 1) となります。
- ② タイマ・カウンタ・レジスタ0n (TCR0n) は、スタート・トリガ発生まで初期値を保持します。
- ③ TI0n入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000HをTCR0nレジスタにロードし、カウントを開始します。
- ⑤ TI0n入力の立ち下がりエッジを検出すると、TCR0nレジスタの値をTDR0nレジスタにキャプチャし、INTTM0n割り込みが発生します。

図6-26 動作タイミング（キャプチャ&ワンカウント・モード：ハイ・レベル幅測定）

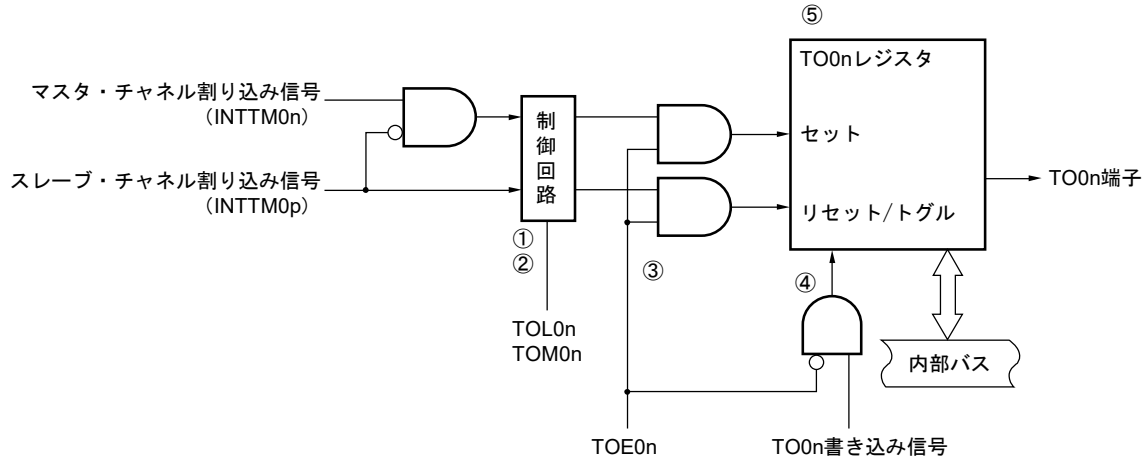


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTI0n入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差は、TI0n入力とカウント・クロック（fMCK）が非同期なためです。

6.6 チャンネル出力（TO0n端子）の制御

6.6.1 TO0n端子の出力回路の構成

図6-27 出力回路構成図



TO0n端子の出力回路の説明を次に示します。

- ① TOM0n = 0（マスタ・チャンネル出力モード）のときは、タイマ出力レベル・レジスタ0（TOL0）の設定値は無視され、INTTM0p（スレーブ・チャンネル・タイマ割り込み）のみがタイマ出力レジスタ0（TO0）に伝えられます。
- ② TOM0n = 1（スレーブ・チャンネル出力モード）のときは、INTTM0n（マスタ・チャンネル・タイマ割り込み）とINTTM0p（スレーブ・チャンネル・タイマ割り込み）がTO0レジスタに伝えられます。このとき、TOL0レジスタが有効となり、次のように信号を制御します。

TOL0n = 0の場合：正論理出力（INTTM0n→セット，INTTM0p→リセット）

TOL0n = 1の場合：負論理出力（INTTM0n→リセット，INTTM0p→セット）

また、INTTM0nとINTTM0pが同時に発生した場合（PWM出力の0%出力時）は、INTTM0p（リセット信号）が優先され、INTTM0n（セット信号）はマスクされます。

- ③ タイマ出力許可状態（TOE0n = 1）で、INTTM0n（マスタ・チャンネル・タイマ割り込み）とINTTM0p（スレーブ・チャンネル・タイマ割り込み）がTO0レジスタに伝えられます。TO0レジスタへの書き込み（TO0nライト信号）は無効となります。

また、TOE0n = 1のとき、割り込み信号以外でTO0n端子の出力が変化することはありません。

TO0n端子の出力レベルを初期化する場合は、タイマ動作停止（TOE0n = 0）に設定しTO0レジスタに値を書き込む必要があります。

- ④ タイマ出力禁止状態（TOE0n = 0）で、対象チャンネルのTO0nビットへの書き込み（TO0nライト信号）が有効となります。タイマ出力禁止状態（TOE0n = 0）のとき、INTTM0n（マスタ・チャンネル・タイマ割り込み）とINTTM0p（スレーブ・チャンネル・タイマ割り込み）はTO0レジスタに伝えられません。
- ⑤ TO0レジスタは常に読み出し可能であり、TO0n端子の出力レベルを確認することができます。

備考 n：チャンネル番号

n = 0-7（マスタ・チャンネル時：n = 0, 2, 4, 6）

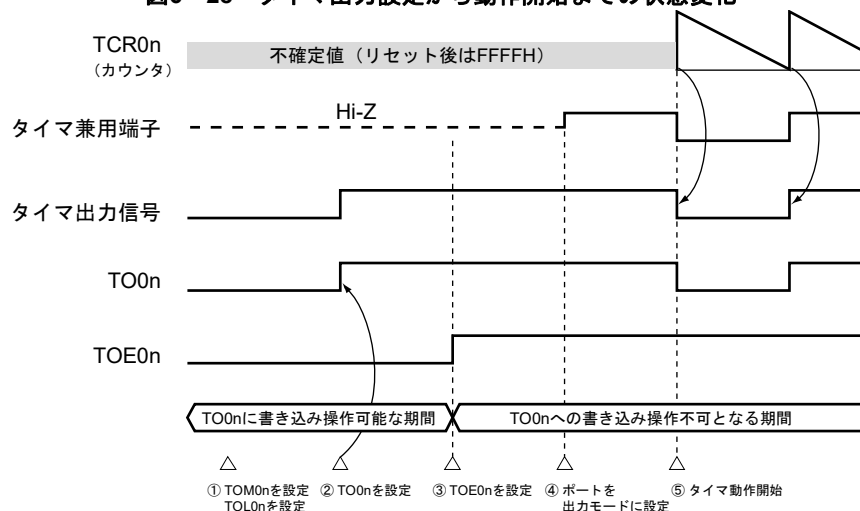
p：スレーブ・チャンネル番号

n < p ≤ 7

6.6.2 TO0n端子の出力設定

TO0n出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6-28 タイマ出力設定から動作開始までの状態変化



① タイマ出力の動作モードを設定します。

- ・TOM0nビット (0: マスタ・チャンネル出力モード, 1: スレーブ・チャンネル出力モード)
- ・TOL0nビット (0: 正論理出力, 1: 負論理出力)

② タイマ出力レジスタ0 (TO0) を設定することにより、タイマ出力信号が初期状態に設定されます。

③ TOE0nビットに1を書き込み、タイマ出力動作を許可します (TO0レジスタへの書き込みは不可となります)。

④ ポート・モード・レジスタ (PMCxx) でポートをデジタル入出力に設定します (6.3.14 タイマ入出力端子のポート機能を制御するレジスタ参照)。

⑤ ポートの入出力設定を出力に設定します (6.3.14 タイマ入出力端子のポート機能を制御するレジスタ参照)。

⑥ タイマを動作許可にします (TS0n = 1)。

備考 n: チャンネル番号 (n = 0-7)

6.6.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTO0, TOE0, TOL0レジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタ0n (TCR0n)、タイマ・データ・レジスタ0n (TDR0n) の動作）は、TO0n出力回路とは独立しています。よって、タイマ出力レジスタ0 (TO0)、タイマ出力許可レジスタ0 (TOE0)、タイマ出力レベル・レジスタ0 (TOL0) の設定値変更はタイマ動作に影響しないため、タイマ動作中に設定値の変更が可能です。ただし、各タイマ動作において期待する波形をTO0n端子から出力するためには、各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み要求 (INTTM0n) 近辺で、TO0レジスタを除く TOE0レジスタ、TOL0レジスタの設定値変更を行うと、タイマ割り込み要求 (INTTM0n) 信号発生タイミング直前に設定値変更が実施された場合と、タイマ割り込み要求 (INTTM0n) 信号発生タイミング直後に設定値変更が実施された場合とでは、TO0n端子に出力される波形が異なる場合があります。

備考 n : チャンネル番号 (n = 0-7)

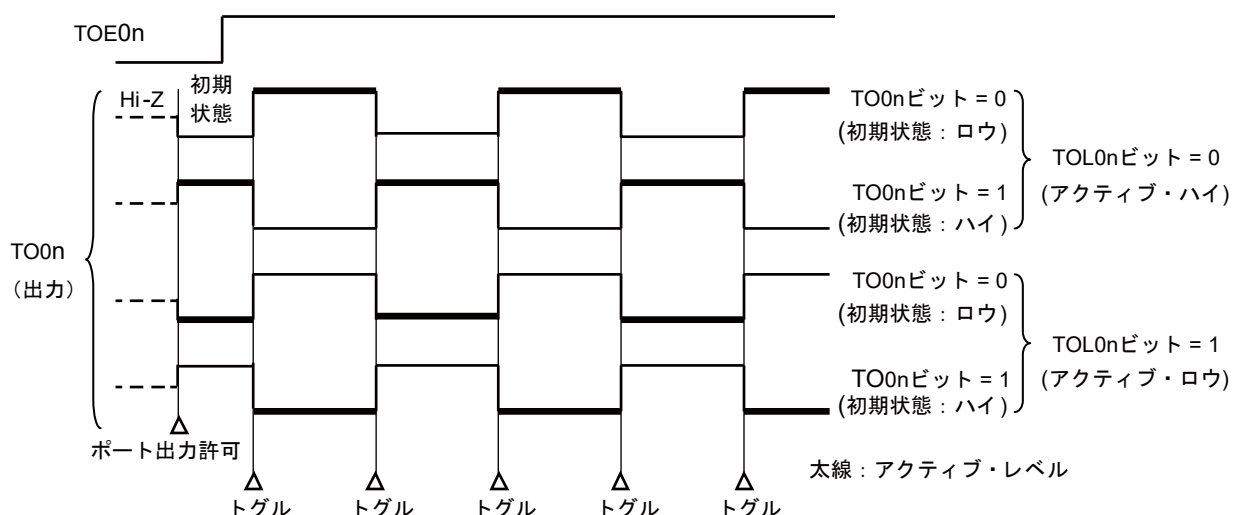
(2) TO0n端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止 (TOE0n = 0) の状態でタイマ出力レジスタ0 (TO0) に書き込みを行い、初期レベル変更後、タイマ出力許可状態 (TOE0n = 1) に設定した場合のTO0n端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード (TOM0n = 0) 設定で動作を開始した場合

マスタ・チャンネル出力モード (TOM0n = 0) の時、タイマ出力レベル・レジスタ0 (TOL0) の設定は無効となります。初期レベル設定後、タイマ動作を開始すると、トグル信号発生でTO0n端子の出力レベルを反転します。

図6-29 トグル出力時 (TOM0n = 0) のTO0n端子出力状態



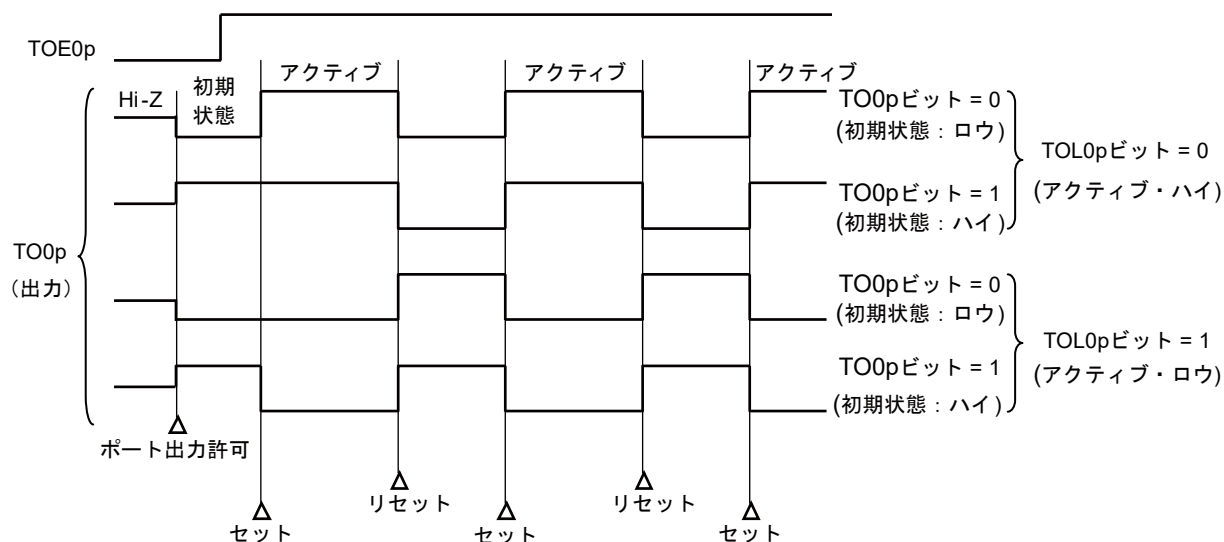
備考1. トグル : TO0n端子の出力状態を反転

2. n : チャンネル番号 (n = 0-7)

(b) スレーブ・チャンネル出力モード (TOM0p = 1) 設定で動作を開始した場合 (PWM出力)

スレーブ・チャンネル出力モード (TOM0p = 1) のとき、タイマ出力レベル・レジスタ0 (TOL0p) の設定でアクティブ・レベルを決定します。

図6-30 PWM出力時 (TOM0p = 1) のTO0p端子出力状態



備考1. セット : TO0p端子の出力信号が, インアクティブ・レベルからアクティブ・レベルに変化

リセット : TO0p端子の出力信号が, アクティブ・レベルからインアクティブ・レベルに変化

2. p : チャンネル番号 ($n < p \leq 7$)

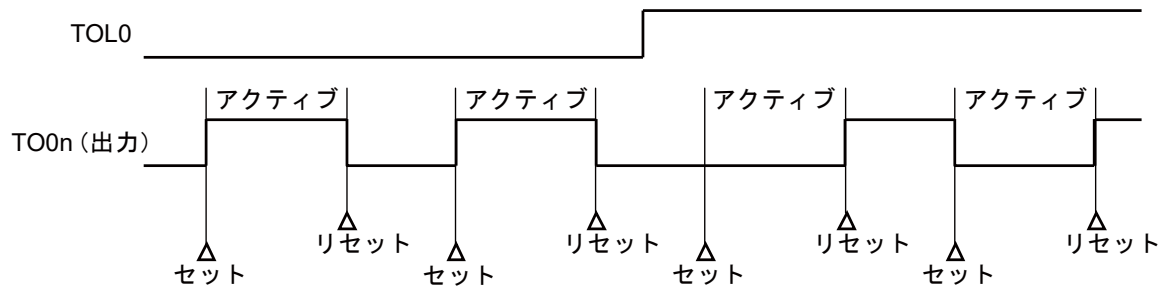
(3) TO0n端子のスレーブ・チャンネル出力モード (TOM0n = 1) での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタ0 (TOL0) の設定を変更した場合

タイマ動作中にTOL0レジスタの設定を変更した場合、設定が有効となるのはTO0n端子変化条件の発生タイミングです。TOL0レジスタの書き換えでは、TO0n端子の出力レベルは変化しません。

TOM0n = 1で、タイマ動作中 (TE0n = 1) にTOL0レジスタの値を変更した場合の動作を次に示します。

図6-31 タイマ動作中にTOL0レジスタをの内容変更したときの動作



備考1. セット : TO0n端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット : TO0n端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

2. n : チャンネル番号 (n = 0-7)

(b) セット／リセット・タイミング

PWM出力時に、0%／100%出力を実現するため、マスタ・チャンネル・タイマ割り込み要求 (INTTM0n) 発生時のTO0n端子／TO0nビットのセット・タイミングをスレーブ・チャンネルで1カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

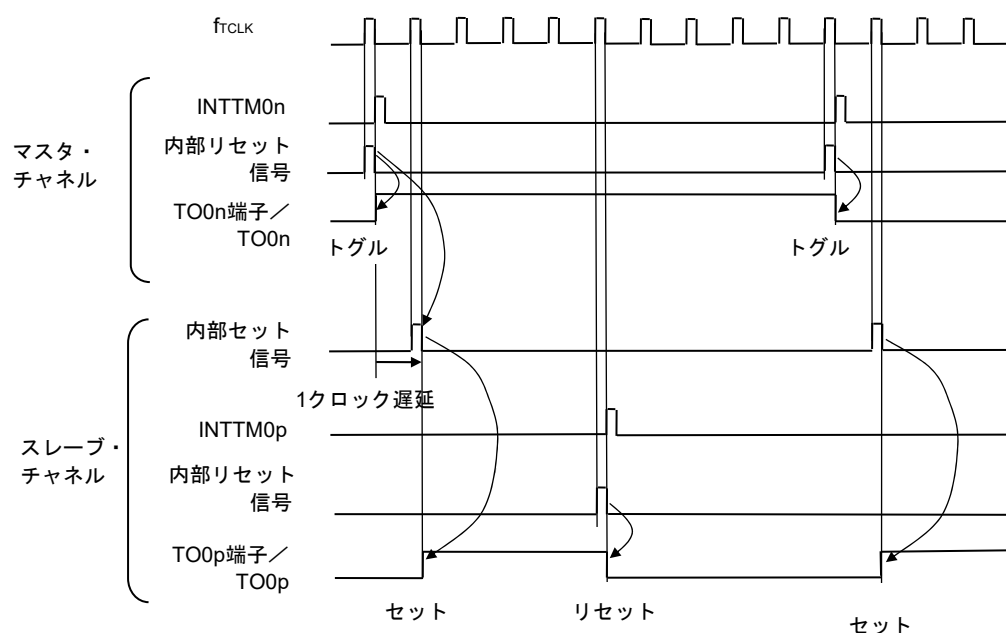
マスタ／スレーブ・チャンネルを次のように設定した場合のセット／リセット動作状態を図6-32に示します。

マスタ・チャンネル : TOE0n = 1, TOM0n = 0, TOL0n = 0

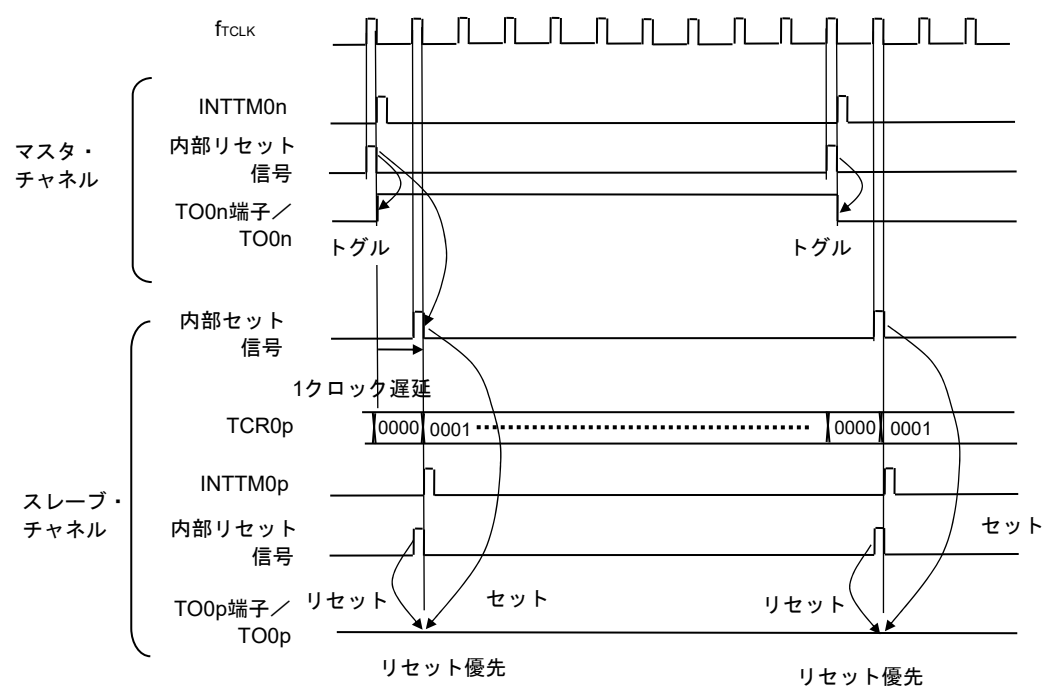
スレーブ・チャンネル : TOE0p = 1, TOM0p = 1, TOL0p = 0

図6-32 セット/リセット・タイミング動作状態

(a) 基本動作タイミング



(b) 0%デューティ時の動作タイミング



備考1. 内部リセット信号 : TO0n端子のリセット/トグル信号

内部セット信号 : TO0n端子のセット信号

2. n : チャンネル番号

n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号

n < p ≤ 7

6.6.4 TO0nビットの一括操作

タイマ出力レジスタ0 (TO0) には、タイマ・チャンネル開始レジスタ0 (TS0) と同様に、1レジスタに全チャンネル分の設定ビット (TO0n) が配置されています。よって、全チャンネルのTO0nビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力 (TO0n) だけTO0nビットへの書き込み可能 (TOE0n = 0) にすることで、任意のビットだけ操作できます。

図6-33 TO0nビットの一括操作例

書き込み前

TO0	0	0	0	0	0	0	0	TO07	TO06	TO05	TO04	TO03	TO02	TO01	TO00
								0	0	1	0	0	0	1	0
TOE0	0	0	0	0	0	0	0	TOE07	TOE06	TOE05	TOE04	TOE03	TOE02	TOE01	TOE00
								0	0	1	0	1	1	1	1

書き込みデータ

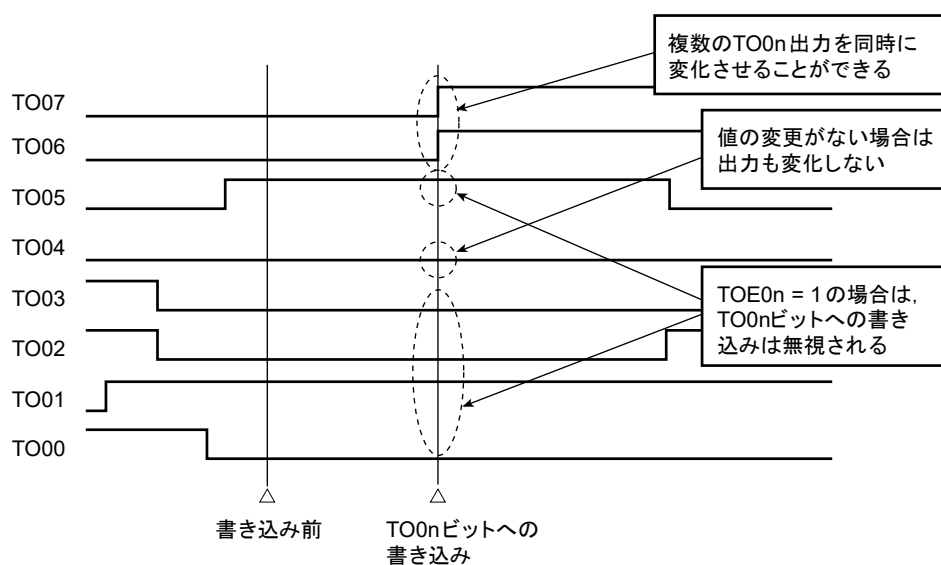
0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1

書き込み後

TO0	0	0	0	0	0	0	0	TO07	TO06	TO05	TO04	TO03	TO02	TO01	TO00
								1	1	1	0	0	0	1	0

TOE0n = 0のTO0nビットだけ書き込みが行われます。TOE0n = 1のTO0nビットへの書き込みは無視されます。
TOE0n = 1に設定されているTO0n (チャンネル出力) は、書き込み操作による影響は受けません。TO0nビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図6-34 TO0nビットの一括操作によるTO0nの端子状態



備考 n : チャンネル番号 (n = 0-7)

6.6.5 カウント動作開始時のタイマ割り込みとTO0n端子出力について

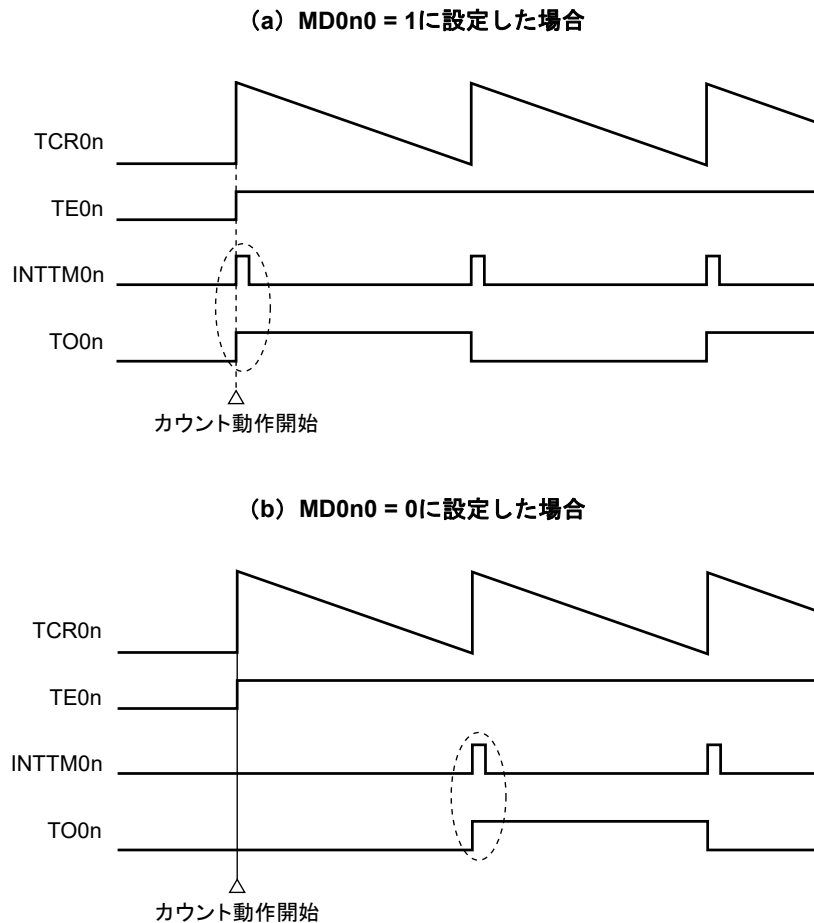
インターバル・タイマ・モード／キャプチャ・モードの場合、タイマ・モード・レジスタ0n (TMR0n) のMD0n0ビットは、「カウント開始時にタイマ割り込み要求を発生する／しない」を設定するビットとなります。

MD0n0 = 1に設定すると、タイマ割り込み要求 (INTTM0n) の発生で、カウント動作開始タイミングを知ることができます。

その他の動作モードでは、カウント動作開始時のタイマ割り込み要求、TO0n出力は制御しません。

インターバル・タイマ・モード (TOE0n = 1, TOM0n = 0) に設定した場合の動作例を次に示します。

図6-35 カウント動作開始時のタイマ割り込み、TO0n出力の動作例



MD0n0 = 1に設定した場合、カウント動作開始時にタイマ割り込み要求 (INTTM0n) が出力され、TO0nがトグル動作します。

MD0n0 = 0に設定した場合、カウント動作開始時にタイマ割り込み要求 (INTTM0n) を出力しません。TO0nも変化しません。1周期をカウント後、INTTM0nを出力し、TO0nがトグル動作します。

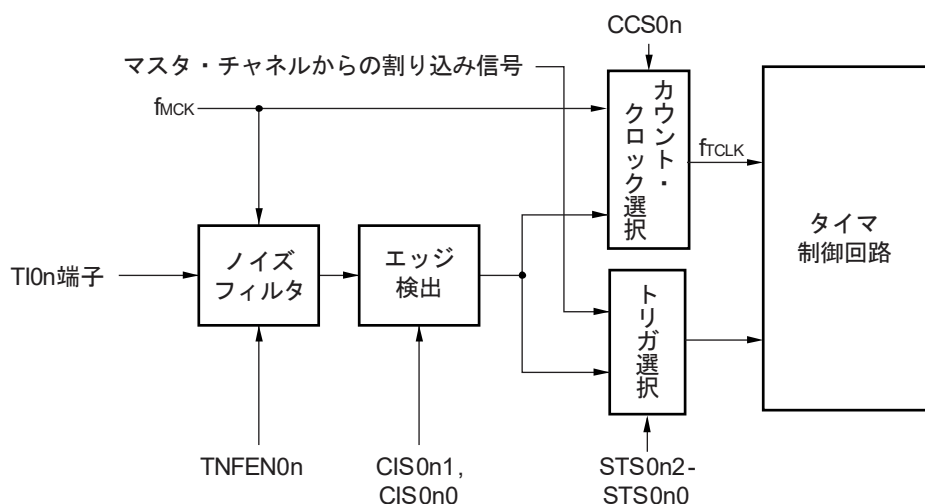
備考 n : チャネル番号 (n = 0-7)

6.7 タイマ入力 (TI0n) の制御

6.7.1 TI0nの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

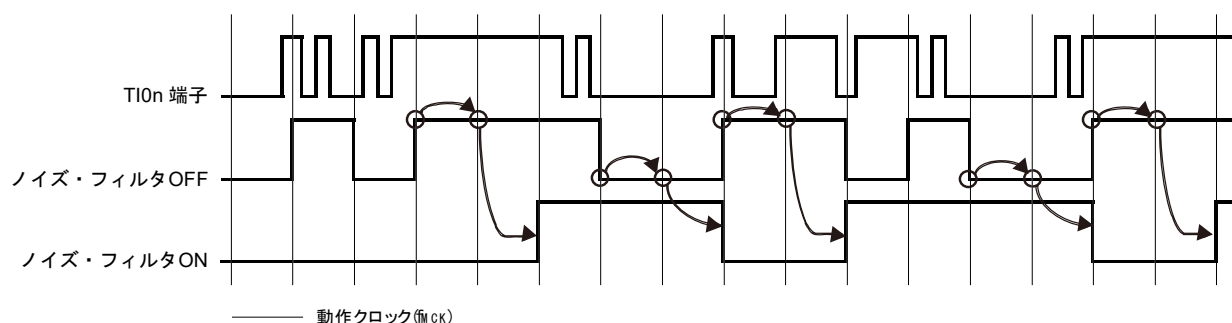
図6-36 入力回路構成図



6.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネルnの動作クロック（fMCK）で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネルnの動作クロック（fMCK）で同期化のあと、2クロックの一致検出を行います。以下に、TI0n入力端子に対するノイズ・フィルタON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図6-37 TI0n入力端子に対するノイズ・フィルタON/OFFによるサンプリング波形



6.7.3 チャンネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャンネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタOFFの場合

タイマ・モード・レジスタ0n (TMR0n) のビット12 (CCS0n), ビット9 (STS0n1), ビット8 (STS0n0) がすべて0の状態から、いずれかのビットをセットした場合は、動作クロック (f_{MCK}) の2サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TS0) の動作許可トリガをセットしてください。

(2) ノイズ・フィルタONの場合

タイマ・モード・レジスタ0n (TMR0n) のビット12 (CCS0n), ビット9 (STS0n1), ビット8 (STS0n0) がすべて0の状態から、いずれかのビットをセットした場合は、動作クロック (f_{MCK}) の4サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TS0) の動作許可トリガをセットしてください。

6.8 タイマ・アレイ・ユニットの単独チャネル動作機能

6.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTM0n（タイマ割り込み要求）を発生する基準タイマに利用できます。

割り込み要求の発生周期は、次の式で求められます。

$$\text{INTTM0n (タイマ割り込み要求) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDR0nの設定値} + 1)$$

(2) 方形波出力としての動作

TO0nは、INTTM0n発生と同時にトグル動作を行い、デューティ50%の方形波を出力します。

TO0n出力波形の周期と周波数は、次の式で求められます。

$$\bullet \text{ TO0nからの出力方形波の周期} = \text{カウント・クロックの周期} \times (\text{TDR0nの設定値} + 1) \times 2$$

$$\bullet \text{ TO0nからの出力方形波の周波数} = \text{カウント・クロックの周波数} / \{ (\text{TDR0nの設定値} + 1) \times 2 \}$$

タイマ・カウンタ・レジスタ0n（TCR0n）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ0（TS0）のチャネル・スタート・トリガ・ビット（TS0n, TSH01, TSH03）に1を設定後、最初のカウント・クロックでTCR0nレジスタはタイマ・データ・レジスタ0n（TDR0n）の値をロードします。このときタイマ・モード・レジスタ0n（TMR0n）のMD0n0 = 0ならば、INTTM0nを出力せず、TO0nはトグルしません。TMR0nレジスタのMD0n0 = 1ならば、INTTM0nを出力して、TO0nをトグルします。

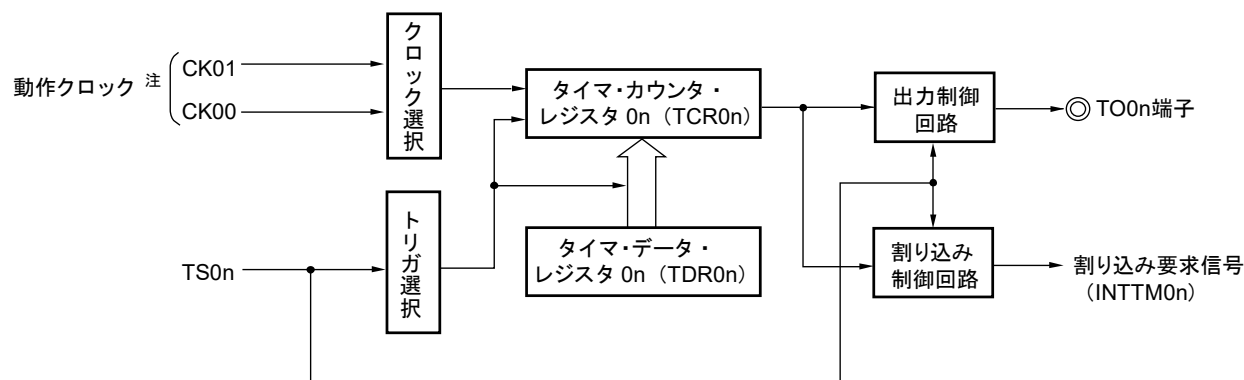
その後、TCR0nレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCR0n = 0000Hになったら、次のカウント・クロックでINTTM0nを出力しTO0nをトグルします。また、同タイミングで再びTCR0nレジスタはTDR0nレジスタの値をロードします。以降、同様の動作を継続します。

TDR0nレジスタは任意のタイミングで書き換えることができます。書き換えたTDR0nレジスタの値は、次の周期から有効となります。

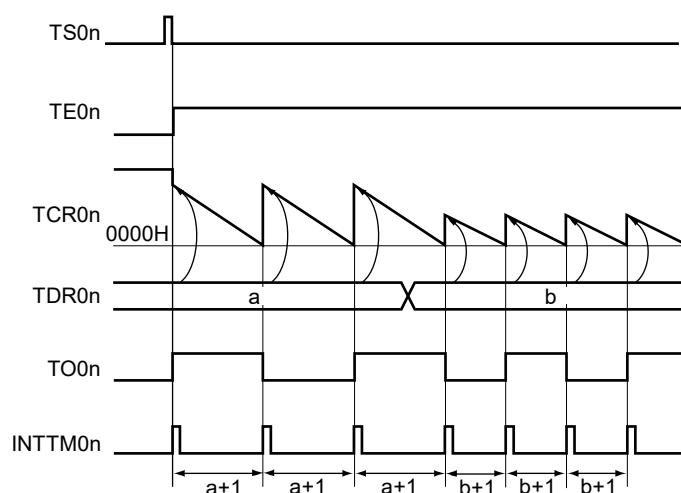
備考 n：チャネル番号（n = 0-7）

図6-38 インターバル・タイマ／方形波出力としての動作のブロック図



注 チャンネル1, 3の場合は, CK00-CK03からクロックを選択できます。

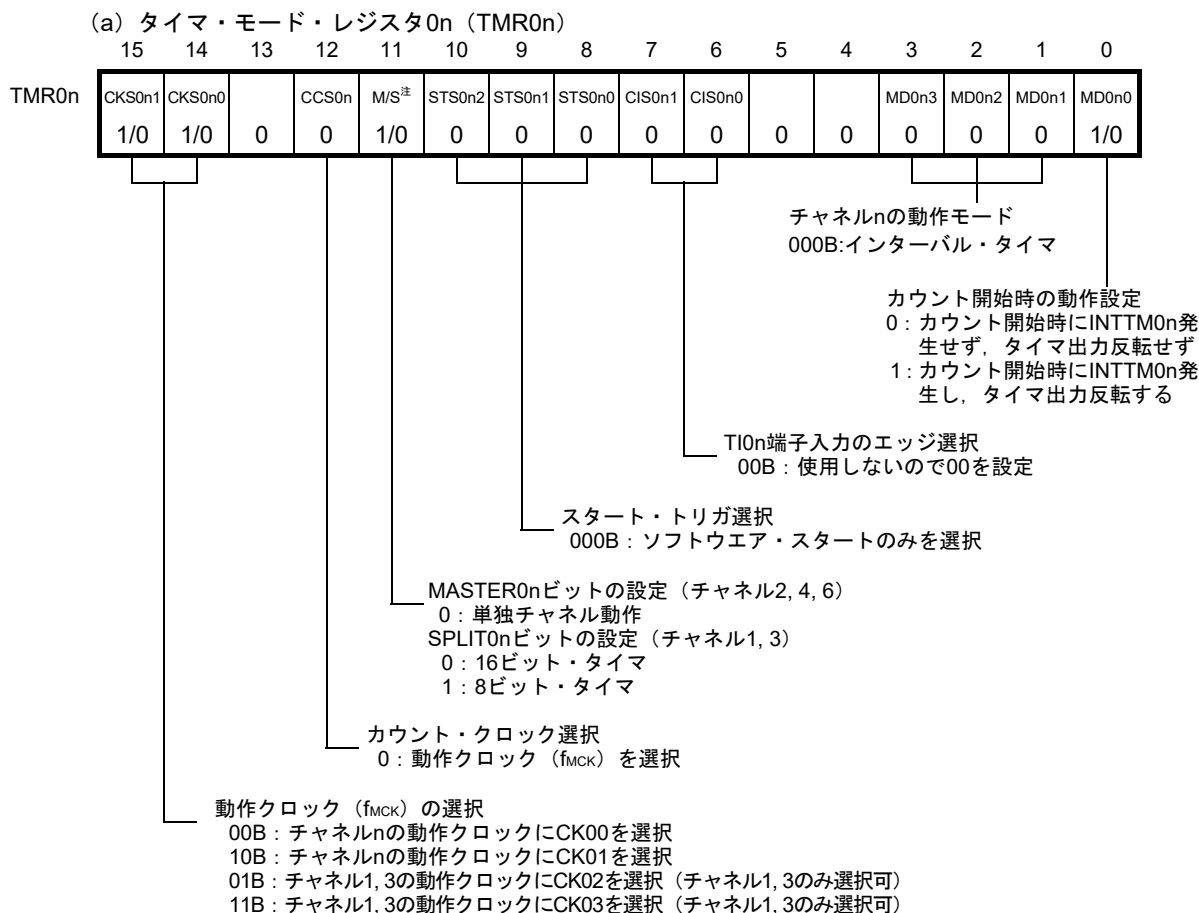
図6-39 インターバル・タイマ／方形波出力としての動作の基本タイミング例 (MD0n0 = 1)



備考1. n : チャンネル番号 (n = 0-7)

2. TS0n : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
- TE0n : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
- TCR0n : タイマ・カウンタ・レジスタ0n (TCR0n)
- TDR0n : タイマ・データ・レジスタ0n (TDR0n)
- TO0n : TO0n端子出力信号

図6-40 インターバル・タイマ/方形波出力時のレジスタ設定内容例

(b) タイマ出力レジスタ0 (TO0)
ビットn

TO0	TO0n	0: TO0nより0を出力する
	1/0	1: TO0nより1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)
ビットn

TOE0	TOE0n	0: カウント動作によるTO0n出力動作停止
	1/0	1: カウント動作によるTO0n出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)
ビットn

TOL0	TOL0n	0: マスタ・チャンネル出力モード (TOM0n = 0) では0を設定
	0	

(e) タイマ出力モード・レジスタ0 (TOM0)
ビットn

TOM0	TOM0n	0: マスタ・チャンネル出力モードを設定
	0	

注 TMR02, TMR04, TMR06の場合: MASTER0nビット

TMR01, TMR03の場合: SPLIT0nビット

TMR00, TMR05, TMR07: 0固定

備考 n: チャンネル番号 (n = 0-7)

図6-41 インターバル・タイマ／方形波出力機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU初期設定	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00とCK01 (8ビット・タイマ・モード時は, CK02とCK03) のクロック周波数を確定する	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャネル初期設定	タイマ・モード・レジスタ0n (TMR0n) を設定する (チャネルの動作モード確定) タイマ・データ・レジスタ0n (TDR0n) にインターバル (周期) 値を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TO0n出力を使用する場合, タイマ出力モード・レジスタ0 (TOM0) のTOM0nビットに0 (マスタ・チャネル出力モード) を設定する TOL0nビットに0を設定する TO0nビットを設定し, TO0n出力の初期レベルを確定する TOE0nビットに1を設定し, TO0nの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TO0n端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO0n初期設定レベルが出力される。 チャネルは動作停止状態なので, TO0nは変化しない TO0n端子はTO0n設定レベルを出力
動作再開	(TO0n出力を使用する場合で, かつ動作再開時のみ TOE0nビットに1を設定する) TS0n (TSH01, TSH03) ビットに1を設定する TS0n (TSH01, TSH03) ビットはトリガ・ビットなので, 自動的に0に戻る	TE0n (TEH01, TEH03) = 1になり, カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタ0n (TCR0n) はTDR0nレジスタの値をロードする。TMR0nレジスタのMD0n0ビットが1の場合は, INTTM0nを発生し, TO0nもトグル動作する。
	TDR0nレジスタは, 任意に設定値変更が可能 TCR0nレジスタは, 常に読み出し可能 TSR0nレジスタは, 使用しない TMR0nレジスタ, TOM0n, TOL0nビットは, 設定値変更禁止	カウンタ (TCR0n) はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCR0nレジスタはTDR0nレジスタの値をロードし, カウント動作を継続する。TCR0n = 0000H検出でINTTM0nを発生し, TO0nはトグル動作する。以降, この動作を繰り返す。
	TT0n (TTH01, TTH03) ビットに1を設定する TT0n (TTH01, TTH03) ビットはトリガ・ビットなので, 自動的に0に戻る	TE0n (TEH01, TEH0n) = 0になり, カウント動作停止 TCR0nレジスタはカウント値を保持して停止 TO0n出力は初期化されず, 状態保持
	TOE0nビットに0を設定し, TO0nビットに値を設定する	TO0n端子はTO0nビットに設定したレベルを出力
TAU停止	TO0n端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO0nビットに0を設定する TO0n端子の出力レベルを保持不要の場合 設定不要	TO0n端子出力レベルはポート機能で保持される。
	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャネルのSFRも初期化される (TO0nビットが0になり, TO0n端子はポート機能となる)

備考 n: チャネル番号 (n = 0-7)

6.8.2 外部イベント・カウンタとしての動作

TI0n端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達したら割り込み要求を発生するイベント・カウンタに利用できます。規定カウント数は次の式で求められます。

$$\text{規定カウント数} = \text{TDR0nの設定値} + 1$$

タイマ・カウンタ・レジスタ0n (TCR0n) はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) の任意のチャンネル・スタート・トリガ・ビット (TS0n) に1を設定することで、TCR0nレジスタはタイマ・データ・レジスタ0n (TDR0n) の値をロードします。

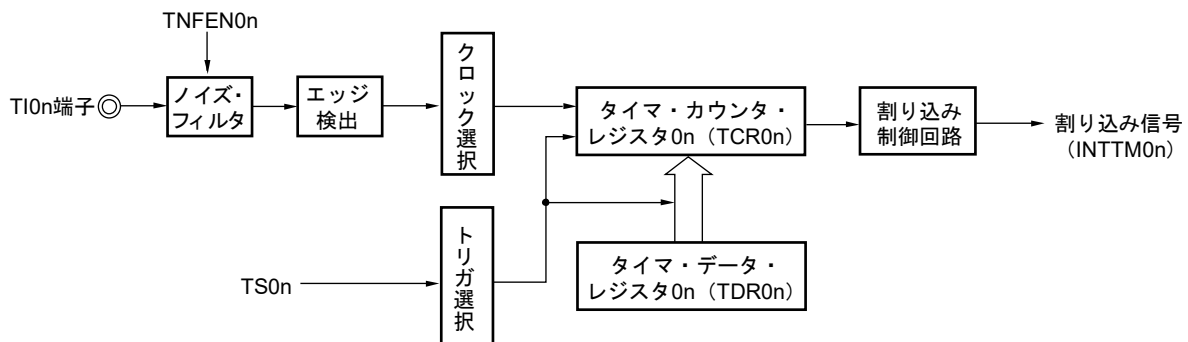
TCR0nレジスタはTI0n端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCR0n = 0000Hとなった後、再びTDR0nレジスタの値をロードして、INTTM0nを出力します。

以降、同様の動作を継続します。

TO0n端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ0 (TOE0) のTOE0nビットに0を設定して出力動作を停止するようにしてください。

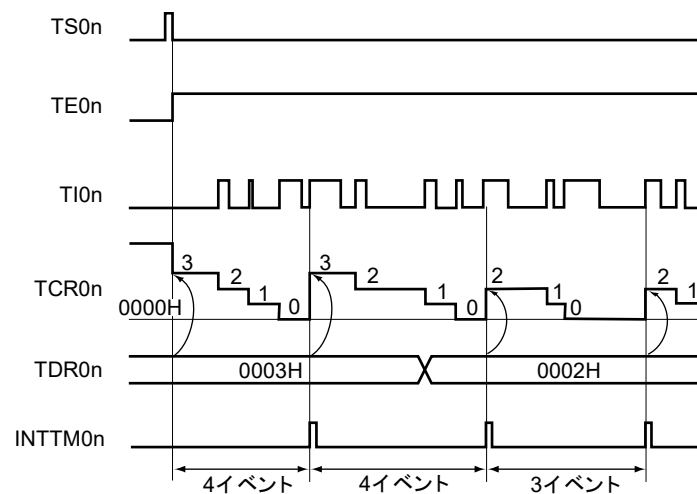
TDR0nレジスタは任意のタイミングで書き換えることができます。書き換えたTDR0nレジスタの値は次のカウント期間で有効になります。

図6-42 外部イベント・カウンタとしての動作のブロック図



備考 n : チャンネル番号 (n = 0-7)

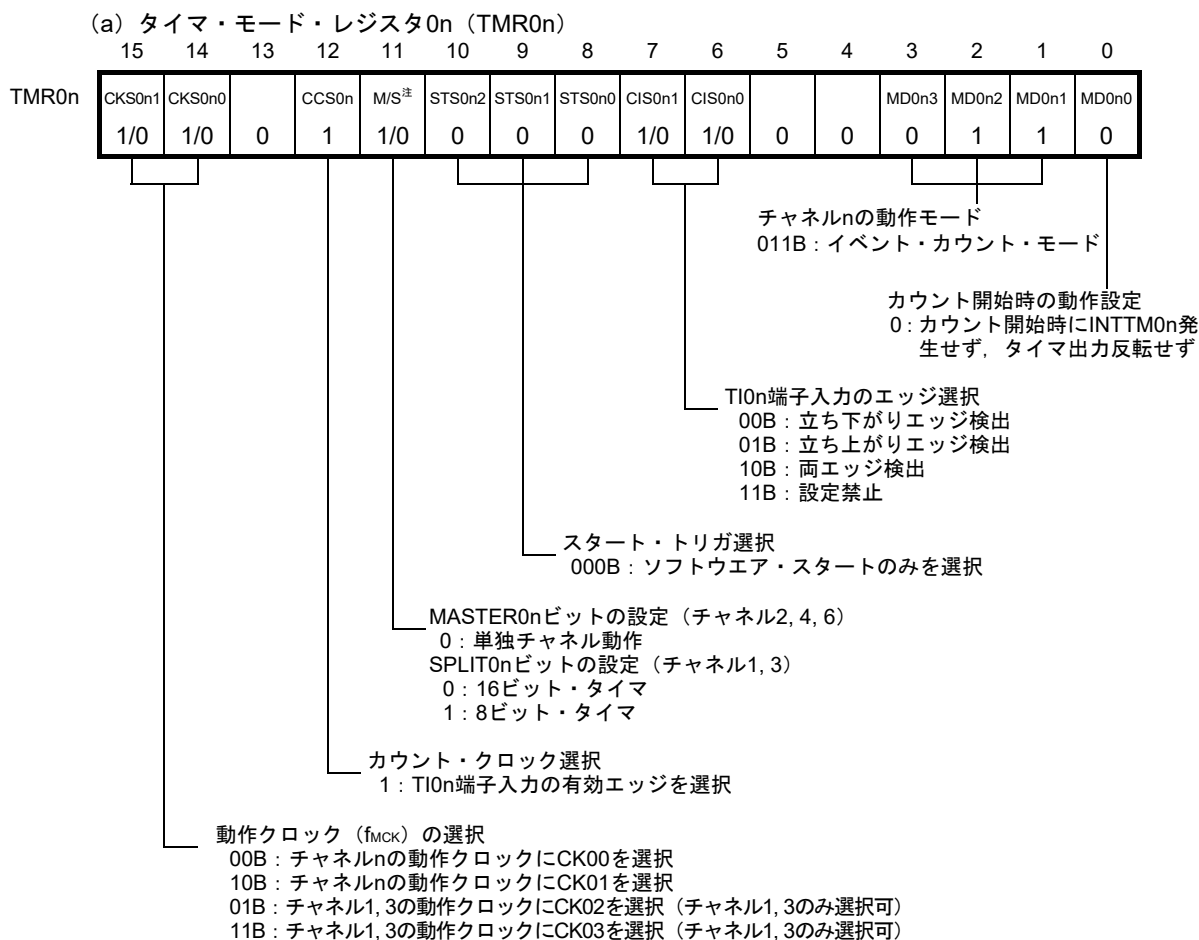
図6-43 外部イベント・カウンタとしての動作の基本タイミング例



備考1. n : チャンネル番号 (n = 0-7)

2. TS0n : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
- TE0n : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
- TI0n : TI0n端子入力信号
- TCR0n : タイマ・カウンタ・レジスタ0n (TCR0n)
- TDR0n : タイマ・データ・レジスタ0n (TDR0n)

図6-44 外部イベント・カウンタ・モード時のレジスタ設定内容例



(b) タイマ出力レジスタ0 (TO0)

ビットn

TO0 TO0n
0 0 : TO0nより0を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

ビットn

TOE0 TOE0n
0 0 : カウント動作によるTO0n出力動作停止

(d) タイマ出力レベル・レジスタ0 (TOL0)

ビットn

TOL0 TOL0n
0 0 : マスタ・チャネル出力モード (TOM0n = 0) では0を設定

(e) タイマ出力モード・レジスタ0 (TOM0)

ビットn

TOM0 TOM0n
0 0 : マスタ・チャネル出力モードを設定

注 TMR02, TMR04, TMR06の場合 : MASTER0nビット

TMR01, TMR03の場合 : SPLIT0nビット

TMR00, TMR05, TMR07 : 0固定

備考 n : チャネル番号 (n = 0-7)

図6-45 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU初期設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00とCK01 (8ビット・タイマ・モード時は, CK02とCK03) のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタ0n (TMR0n) を設定する (チャネルの動作モード確定) タイマ・データ・レジスタ0n (TDR0n) にカウント数を設定する ノイズ・フィルタ許可レジスタ1 (NFEN1) を設定する タイマ出力許可レジスタ0 (TOE0) のTOE0nビットに0を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作開始	TS0nビットに1を設定する TS0nビットはトリガ・ビットなので, 自動的に0に戻る	TE0n = 1になり, カウント動作開始 タイマ・カウンタ・レジスタ0n (TCR0n) はTDR0nレジスタの値をロードし, TI0n端子入力のエッジ検出待ち状態になる
動作中	TDR0nレジスタは, 任意に設定値変更が可能 TCR0nレジスタは, 常に読み出し可能 TSR0nレジスタは, 使用しない TMR0nレジスタ, TOM0n, TOL0n, TO0n, TOE0nビットは, 設定値変更禁止	TI0n端子入力のエッジが検出されるごとに, カウンタ (TCR0n) はダウン・カウント動作を行う。0000Hまでカウントしたら, 再びTCR0nレジスタはTDR0nレジスタの値をロードし, カウント動作を継続する。TCR0n = 0000H検出でINTTM0n出力を発生する。 以降, この動作を繰り返す。
動作停止	TT0nビットに1を設定する TT0nビットはトリガ・ビットなので, 自動的に0に戻る	TE0n = 0になり, カウント動作停止 TCR0nレジスタはカウント値を保持して停止
TAU停止	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャネルのSFRも初期化される

備考 n: チャネル番号 (n = 0-7)

6.8.3 分周器としての動作（30ピン製品のチャンネル0のみ）

TI00端子に入力されたクロックを分周し、TO00端子から出力する分周器に利用できます。

TO00出力の分周クロック周波数は次の式で求めることができます。

・立ち上がりエッジ／立ち下がりエッジ選択時：

$$\text{分周クロック周波数} = \text{入力クロック周波数} / \{ (\text{TDR00 の設定値} + 1) \times 2 \}$$

・両エッジ選択時：

$$\text{分周クロック周波数} \approx \text{入力クロック周波数} / (\text{TDR00の設定値} + 1)$$

タイマ・カウンタ・レジスタ00（TCR00）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0（TS0）のチャンネル・スタート・トリガ・ビット（TS00）に1を設定後、TI00の有効エッジ検出でTCR00レジスタはタイマ・データ・レジスタ00（TDR00）の値をロードします。このときタイマ・モード・レジスタ00（TMR00）のMD000 = 0ならば、INTTM00を出力せず、TO00はトグルしません。TMR00レジスタのMD000 = 1ならば、INTTM00を出力して、TO00をトグルします。

その後、TI00端子入力の有効エッジに合わせてダウン・カウントを行い、TCR00 = 0000Hとなったら、TO00をトグルします。同時にTCR00レジスタはTDR00レジスタの値をロードして、カウントを継続します。

TI00端子入力の両エッジ検出を選択すると、入力クロックのデューティ誤差がTO00出力の分周クロック周期に影響します。

TO00の出力クロックの周期には、動作クロック1周期分のサンプリング誤差が含まれます。

$$\text{TO00出力のクロック周期} = \text{理想のTO00出力クロック周期} \pm \text{動作クロック周期（誤差）}$$

TDR00レジスタは任意のタイミングで書き換えることができます。書き換えたTDR00レジスタの値は次のカウント期間で有効となります。

図6-46 分周器としての動作のブロック図

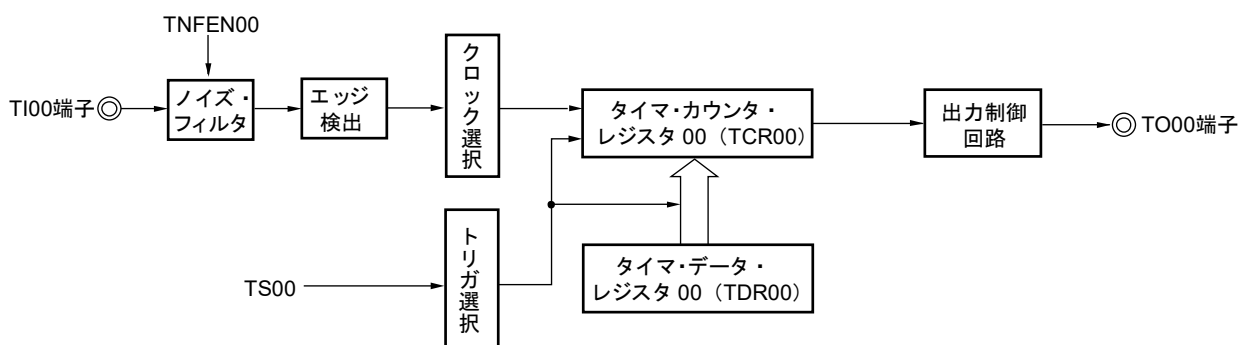
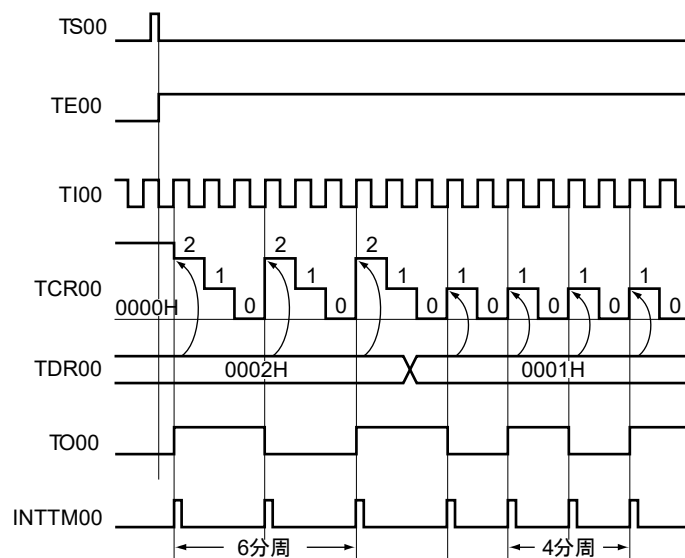


図6-47 分周器としての動作の基本タイミング例 (MD000 = 1)



- 備考**
- TS00 : タイマ・チャネル開始レジスタ0 (TS0) のビット0
 - TE00 : タイマ・チャネル許可ステータス・レジスタ0 (TE0) のビット0
 - TI00 : TI00端子入力信号
 - TCR00 : タイマ・カウンタ・レジスタ00 (TCR00)
 - TDR00 : タイマ・データ・レジスタ00 (TDR00)
 - TO00 : TO00端子出力信号

図6-48 分周器として動作時のレジスタ設定内容例

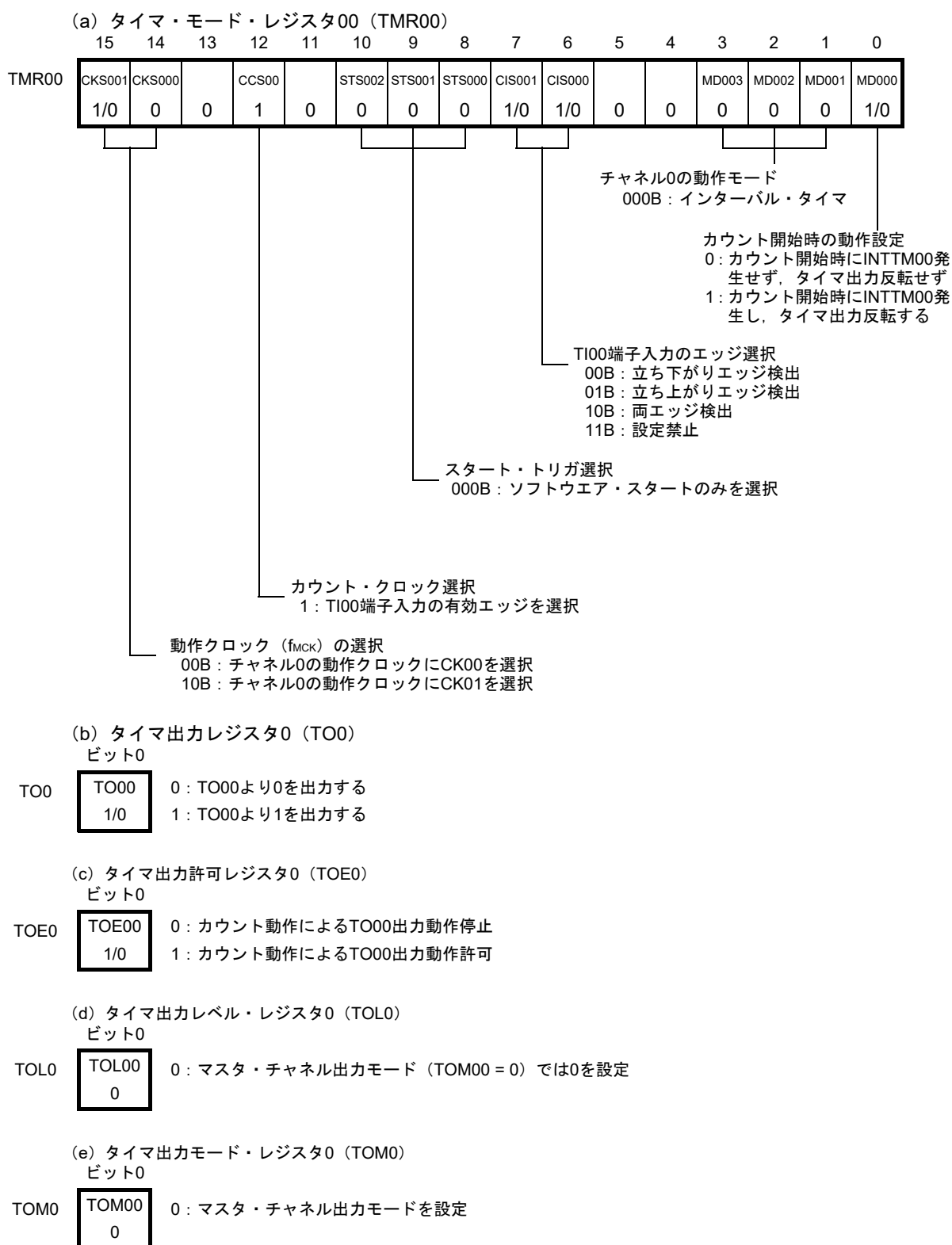


図6-49 分周器機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU初期設定	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00とCK01のクロック周波数を確定する	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャネル初期設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタ00 (TMR00) を設定する (チャネルの動作モード確定, 検出エッジの選択) タイマ・データ・レジスタ00 (TDR00) にインターバル (周期) 値を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	タイマ出力モード・レジスタ0 (TOM0) のTOM00ビットに0 (マスタ・チャネル出力モード) を設定する TOL00ビットに0を設定する TO00ビットを設定し, TO00出力の初期レベルを確定する	TO00端子はHi-Z出力状態
動作再開	TOE00ビットに1を設定し, TO00の動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO00初期設定レベルが出力される。 チャネルは動作停止状態なので, TO00は変化しない TO00端子はTO00設定レベルを出力
	TOE00ビットに1を設定する (動作再開時のみ) TS00ビットに1を設定する TS00ビットはトリガ・ビットなので, 自動的に0に戻る	TE00 = 1になり, カウント動作開始 タイマ・カウンタ・レジスタ00 (TCR00) はTDR00レジスタの値をロードする。TMR00レジスタのMD0000ビットが1の場合は, INTTM00を発生し, TO00もトグル動作する。
	TDR00レジスタは, 任意に設定値変更が可能 TCR00レジスタは, 常に読み出し可能 TSR00レジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能 TMR00レジスタ, TOM00, TOL00ビットは, 設定値変更禁止	カウンタ (TCR00) はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCR00レジスタはTDR00レジスタの値をロードし, カウント動作を継続する。TCR00 = 0000H検出でINTTM00を発生し, TO00はトグル動作する。以降, この動作を繰り返す。
	TT00ビットに1を設定する TT00ビットはトリガ・ビットなので, 自動的に0に戻る	TE00 = 0になり, カウント動作停止 TCR00レジスタはカウント値を保持して停止 TO00出力は初期化されず, 状態保持
動作停止	TOE00ビットに0を設定し, TO00ビットに値を設定する	TO00端子はTO00設定レベルを出力
	TO00端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO00ビットに0を設定する TO00端子の出力レベルを保持不要の場合 設定不要	TO00端子出力レベルはポート機能で保持される。
TAU停止	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャネルのSFRも初期化される (TO00ビットが0になり, TO00端子はポート機能となる)

6.8.4 入力パルス間隔測定としての動作

TI0n有効エッジでカウント値をキャプチャし、TI0n入力パルスの間隔を測定できます。また、TE0n = 1の期間中に、ソフトウェア操作 (TS0n = 1) をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

$$\text{TI0n入力パルス間隔} = \text{カウント・クロックの周期} \times ((10000\text{H} \times \text{TSR0n} : \text{OVF}) + (\text{TDR0nのキャプチャ値} + 1))$$

注意 TI0n端子入力は、タイマ・モード・レジスタ0n (TMR0n) のCKS0nビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ0n (TCR0n) はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ・ビット (TS0n) に1を設定するとTCR0nレジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

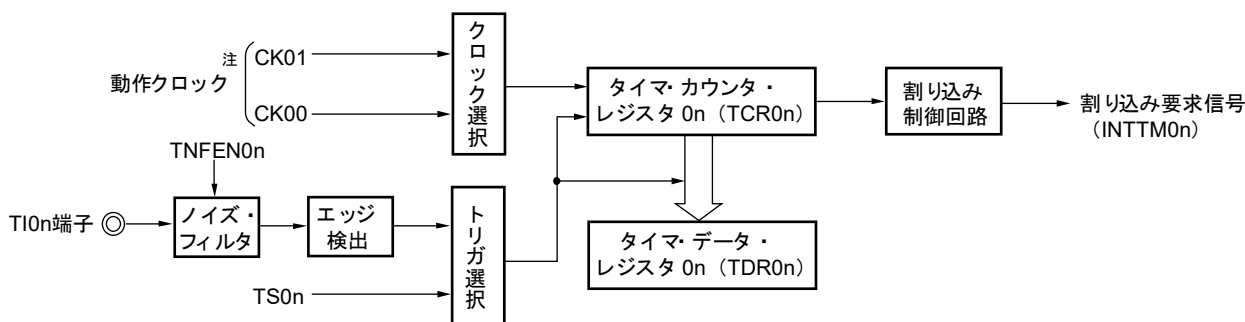
TI0n端子入力の有効エッジを検出すると、TCR0nレジスタのカウント値をタイマ・データ・レジスタ0n (TDR0n) に転送 (キャプチャ) すると同時に、TCR0nレジスタを0000Hにクリアして、INTTM0nを出力します。このとき、カウンタのオーバーフローが発生していたら、タイマ・ステータス・レジスタ0n (TSR0n) のOVFビットが1にセットされ、オーバーフローが発生していなかったらOVFビットはクリアされます。以降、同様の動作を継続します。

カウント値がTDR0nレジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSR0nレジスタのOVFビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSR0nレジスタのOVFビットがセット (1) されます。しかし、OVFビットは、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

TMR0nレジスタのSTS0n2-STS0n0 = 001Bに設定して、TI0n有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

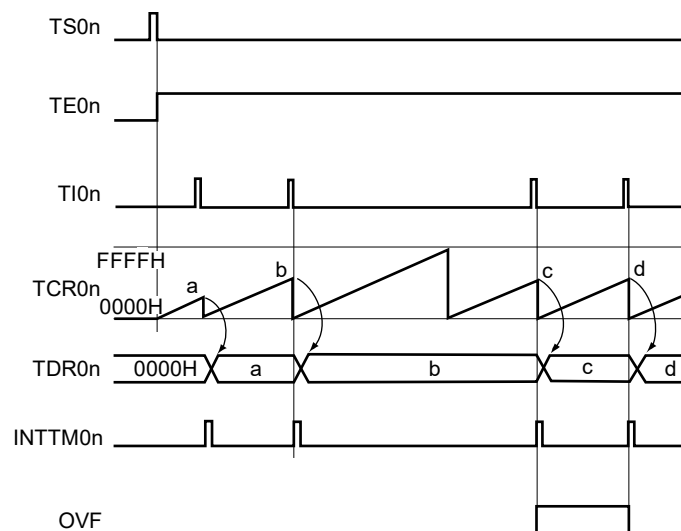
図6-50 入力パルス間隔測定としての動作のブロック図



注 チャンネル1, 3の場合は、CK00, CK01, CK02, CK03からクロックを選択できます。

備考 n : チャンネル番号 (n = 0-7)

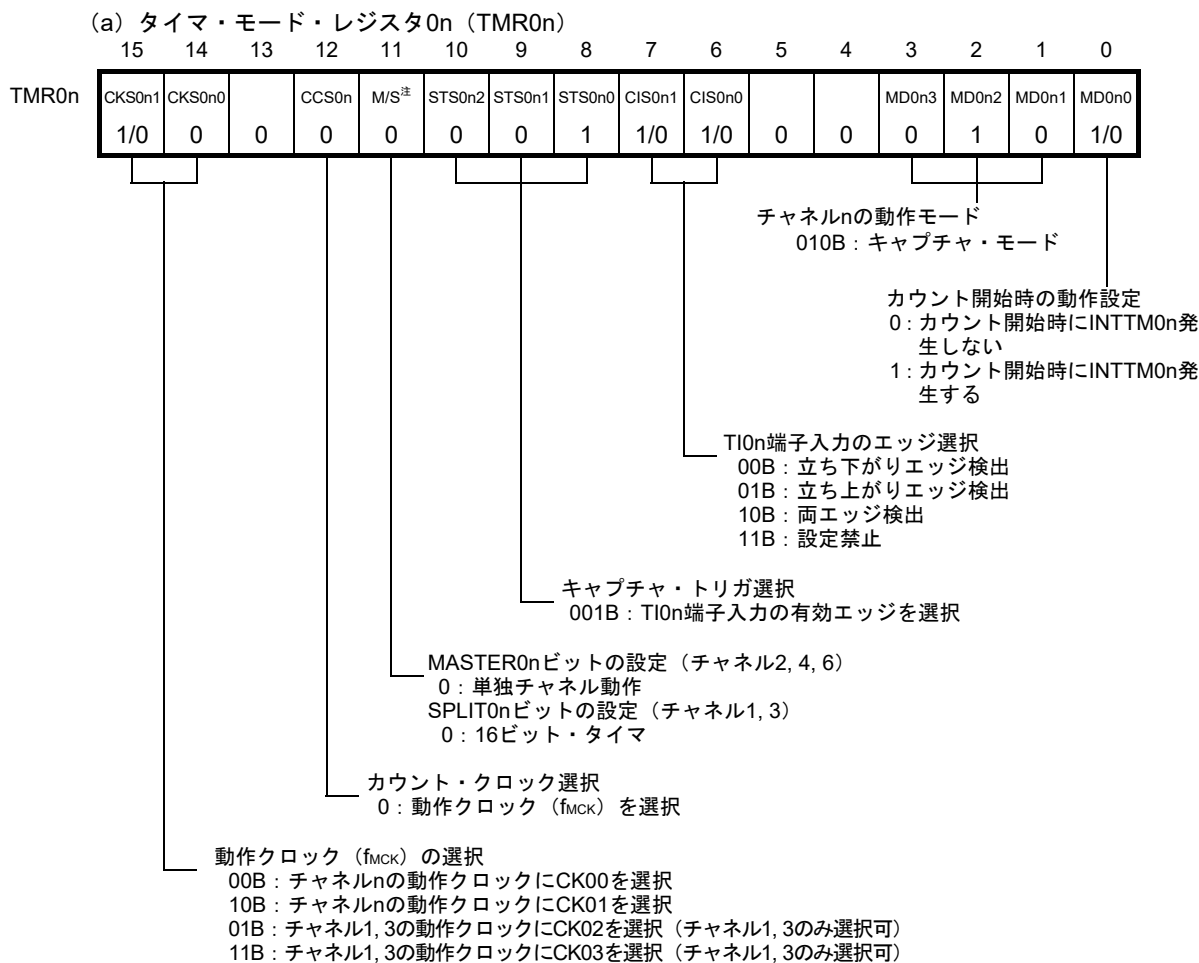
図6-51 入力パルス間隔測定としての動作の基本タイミング例 (MD0n0 = 0)



備考1. n : チャネル番号 (n = 0-7)

2. TS0n : タイマ・チャネル開始レジスタ0 (TS0) のビットn
- TE0n : タイマ・チャネル許可ステータス・レジスタ0 (TE0) のビットn
- TI0n : TI0n端子入力信号
- TCR0n : タイマ・カウンタ・レジスタ0n (TCR0n)
- TDR0n : タイマ・データ・レジスタ0n (TDR0n)
- OVF : タイマ・ステータス・レジスタ0n (TSR0n) のビット0

図6-52 入力パルス間隔測定時のレジスタ設定内容例



(b) タイマ出力レジスタ0 (TO0)
ビットn

TO0

TO0n
0

 0 : TO0nより0を出力する

(c) タイマ出力許可レジスタ0 (TOE0)
ビットn

TOE0

TOE0n
0

 0 : カウント動作によるTO0n出力動作停止

(d) タイマ出力レベル・レジスタ0 (TOL0)
ビットn

TOL0

TOL0n
0

 0 : マスタ・チャンネル出力モード (TOM0n = 0) では0を設定

(e) タイマ出力モード・レジスタ0 (TOM0)
ビットn

TOM0

TOM0n
0

 0 : マスタ・チャンネル出力モードを設定

注 TMR02, TMR04, TMR06の場合 : MASTER0nビット

TMR01, TMR03の場合 : SPLIT0nビット

TMR00, TMR05, TMR07 : 0固定

備考 n : チャンネル番号 (n = 0-7)

図6-53 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU初期設定	周辺イネーブル・レジスタ0のTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00-CK03のクロック周波数を確定する	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャネル初期設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタ0n (TMR0n) を設定する (チャネルの動作モード確定) ノイズ・フィルタ許可レジスタ1 (NFEN1) を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作開始	TS0nビットに1を設定する TS0nビットはトリガ・ビットなので, 自動的に0に戻る	TE0n = 1になり, カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタ0n (TCR0n) を0000Hにクリアする。TMR0nレジスタのMD0n0ビットが1の場合は, INTTM0nを発生する。
動作中	TMR0nレジスタは, CIS0n1, CIS0n0ビットのみ設定値変更可能 TDR0nレジスタは, 常に読み出し可能 TCR0nレジスタは, 常に読み出し可能 TSR0nレジスタは, 常に読み出し可能 TOM0n, TOL0n, TO0n, TOE0nビットは, 設定値変更禁止	カウンタ (TCR0n) は0000Hからアップ・カウント動作を行い, TI0n端子入力の有効エッジの検出または, TS0nビットに1を設定すると, カウント値をタイマ・データ・レジスタ0n (TDR0n) に転送 (キャプチャ) する。同時に, TCR0nレジスタを0000Hにクリアし, INTTM0nを発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタ0n (TSR0n) のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。 以降, この動作を繰り返す。
動作停止	TT0nビットに1を設定する TT0nビットはトリガ・ビットなので, 自動的に0に戻る	TE0n = 0になり, カウント動作停止 TCR0nレジスタはカウント値を保持して停止 TSR0nレジスタのOVFビットも保持
TAU停止	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャネルのSFRも初期化される

備考 n: チャネル番号 (n = 0-7)

6.8.5 入力信号のハイ／ロウ・レベル幅測定としての動作

TI0n端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TI0nの信号幅（ハイ・レベル幅／ロウ・レベル幅）を測定できます。TI0nの信号幅は次の式で求めることができます。

$$\text{TI0n入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSR0n} : \text{OVF}) + (\text{TDR0nのキャプチャ値} + 1))$$

注意 TI0n端子入力は、タイマ・モード・レジスタ0n (TMR0n) のCKS0nビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ0n (TCR0n) はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ・ビット (TS0n) に1を設定すると、TE0n = 1となりTI0n端子のスタート・エッジ検出待ち状態となります。

TI0n端子入力のスタート・エッジ（ハイ・レベル幅測定ならTI0n端子入力の立ち上がりエッジ）を検出すると、カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後、キャプチャ有効エッジ（ハイ・レベル幅測定ならTI0n端子入力の立ち下がりエッジ）を検出すると、カウンタ値をタイマ・データ・レジスタ0n (TDR0n) に転送すると同時にINTTM0nを出力します。このとき、カウンタのオーバーフローが発生していたら、タイマ・ステータス・レジスタ0n (TSR0n) のOVFビットがセットされ、オーバーフローが発生していなかったらOVFビットはクリアされます。TCR0nレジスタは、「TDR0nレジスタに転送した値+1」の値で停止し、TI0n端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値がTDR0nレジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSR0nレジスタのOVFビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSR0nレジスタのOVFビットがセット（1）されます。しかし、OVFビットは、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

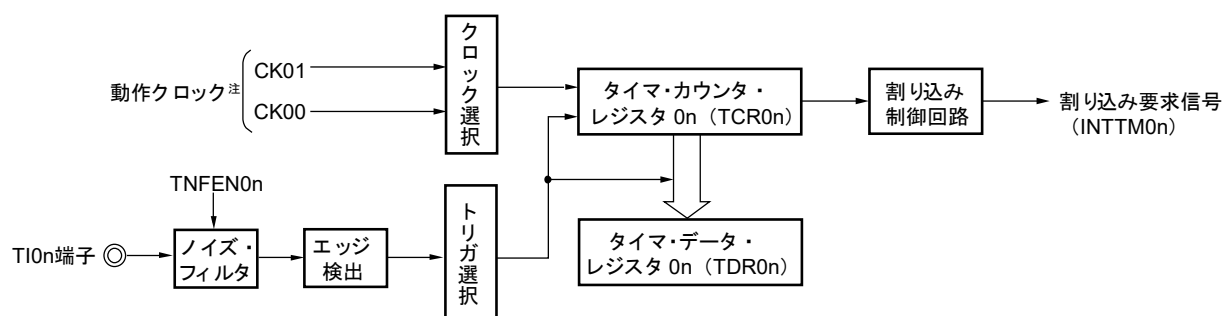
TI0n端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMR0nレジスタのCIS0n1, CIS0n0ビットで設定できます。

この機能は、TI0n端子入力の信号幅測定を目的とするため、TE0n = 1期間中のTS0nビットのセット（1）は使用できません。

TMR0nレジスタのCIS0n1, CIS0n0 = 10B : ロウ・レベル幅を測定する

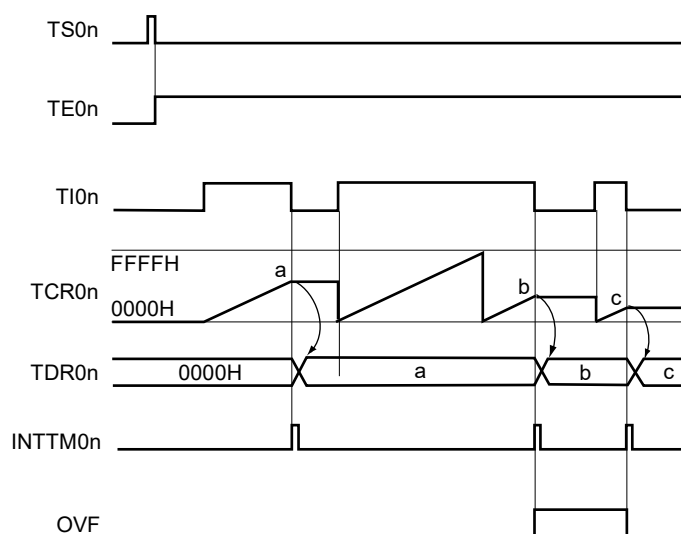
TMR0nレジスタのCIS0n1, CIS0n0 = 11B : ハイ・レベル幅を測定する

図6-54 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



注 チャンネル1, 3の場合は, CK00, CK01, CK02, CK03からクロックを選択できます

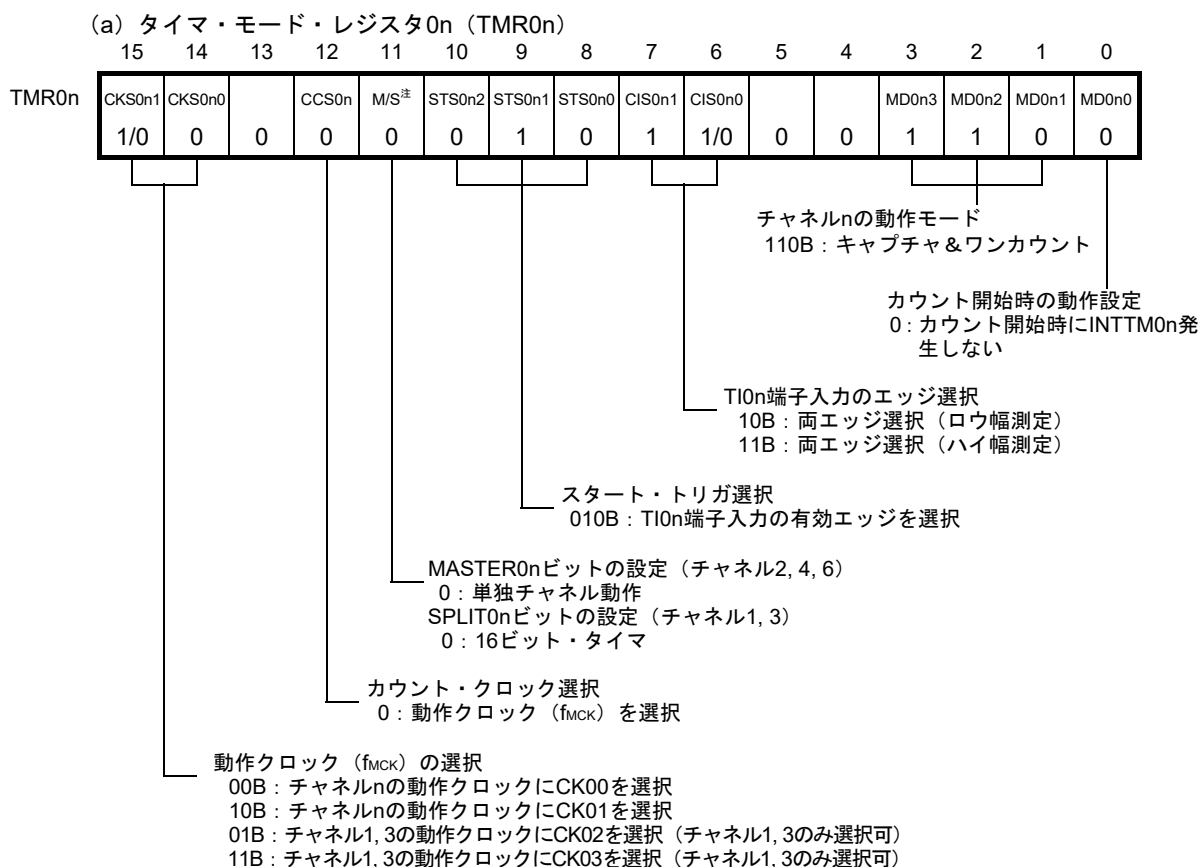
図6-55 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例



備考1. n : チャンネル番号 (n = 0-7)

2. TS0n : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
- TE0n : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
- TI0n : TI0n端子入力信号
- TCR0n : タイマ・カウンタ・レジスタ0n (TCR0n)
- TDR0n : タイマ・データ・レジスタ0n (TDR0n)
- OVF : タイマ・ステータス・レジスタ0n (TSR0n) のビット0

図6-56 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例



(b) タイマ出力レジスタ0 (TO0)

ビットn

TO0 TO0n
0 0 : TO0nより0を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

ビットn

TOE0 TOE0n
0 0 : カウント動作によるTO0n出力動作停止

(d) タイマ出力レベル・レジスタm (TOL0)

ビットn

TOL0 TOL0n
0 0 : マスタ・チャネル出力モード (TOM0n = 0) では0を設定

(e) タイマ出力モード・レジスタ0 (TOM0)

ビットn

TOM0 TOM0n
0 0 : マスタ・チャネル出力モードを設定

注 TMR02, TMR04, TMR06の場合 : MASTER0nビット

TMR01, TMR03の場合 : SPLIT0nビット

TMR00, TMR05, TMR07 : 0固定

備考 n : チャネル番号 (n = 0-7)

図6-57 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU初期設定	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00-CK03のクロック周波数を確定する	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャネル初期設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタ0n (TMR0n) を設定する (チャネルの動作モード確定) ノイズ・フィルタ許可レジスタ1 (NFEN1) を設定する TOE0nビットに0を設定し, TO0nの動作を停止	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作開始	TS0nビットに1を設定する TS0nビットはトリガ・ビットなので, 自動的に0に戻る	TE0n = 1になり, TI0n端子のスタート・エッジ検出待ち状態になる
	TI0n端子入力のカウント・スタート・エッジ検出	タイマ・カウンタ・レジスタ0n (TCR0n) を0000Hにクリアし, カウント・アップ動作を開始する
動作中	TDR0nレジスタは, 常に読み出し可能 TCR0nレジスタは, 常に読み出し可能 TSR0nレジスタは, 常に読み出し可能 TMR0nレジスタ, TOM0n, TOL0n, TO0n, TOE0nビットは, 設定値変更禁止	TI0n端子のスタート・エッジ検出後, カウンタ (TCR0n) は0000Hからアップ・カウント動作を行う。TI0n端子のキャプチャ・エッジが検出されたら, カウント値をタイマ・データ・レジスタ0n (TDR0n) に転送し, INTTM0nを発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタ0n (TSR0n) のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCR0nレジスタは, 次のTI0n端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作停止	TT0nビットに1を設定する TT0nビットはトリガ・ビットなので, 自動的に0に戻る	TE0n = 0になり, カウント動作停止 TCR0nレジスタはカウント値を保持して停止 TSR0nレジスタのOVFビットも保持
TAU停止	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャネルのSFRも初期化される

備考 n: チャネル番号 (n = 0-7)

6.8.6 ディレイ・カウンタとしての動作

TI0n端子入力の有効エッジ検出(外部イベント)でダウン・カウントをスタートし、任意の設定間隔でINTTM0n(タイマ割り込み要求)を発生することができます。

また、TE0n = 1の期間中に、ソフトウェア操作でTS0n = 1に設定することで、ダウン・カウントをスタートし、任意の設定間隔でINTTM0n(タイマ割り込み要求)を発生することもできます。

割り込み要求の発生周期は、次の式で求められます。

$$\text{INTTM0n (タイマ割り込み要求) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDR0nの設定値} + 1)$$

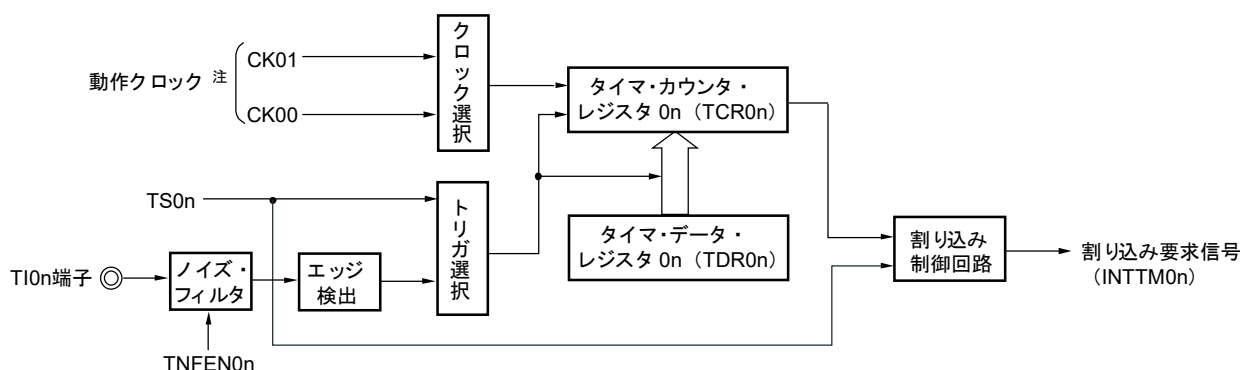
タイマ・カウンタ・レジスタ0n (TCR0n) はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ・ビット (TS0n, TSH01, TSH03) に1を設定すると、TE0n, TEH01, TEH03 = 1となりTI0n端子の有効エッジ検出待ち状態となります。

TCR0nレジスタは、TI0n端子入力の有効エッジ検出で動作を開始し、タイマ・データ・レジスタ0n (TDR0n) から値をロードします。TCR0nレジスタはロードしたTDR0nレジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR0n = 0000HとなったらINTTM0nを出力し、次のTI0n端子入力の有効エッジがあるまで、カウントを停止します。

TDR0nレジスタは任意のタイミングで書き換えることができます。書き換えたTDR0nレジスタの値は、次の周期から有効となります。

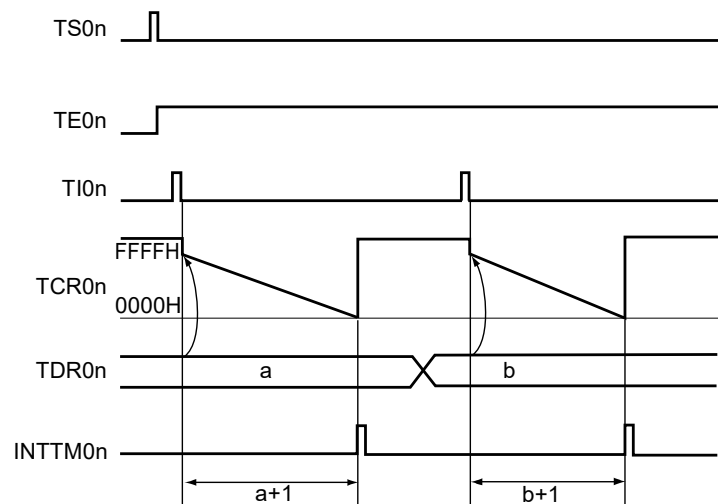
図6-58 ディレイ・カウンタとしての動作のブロック図



注 チャンネル1, 3の場合は、CK00, CK01, CK02, CK03からクロックを選択できます。

備考 n : チャンネル番号 (n = 0-7)

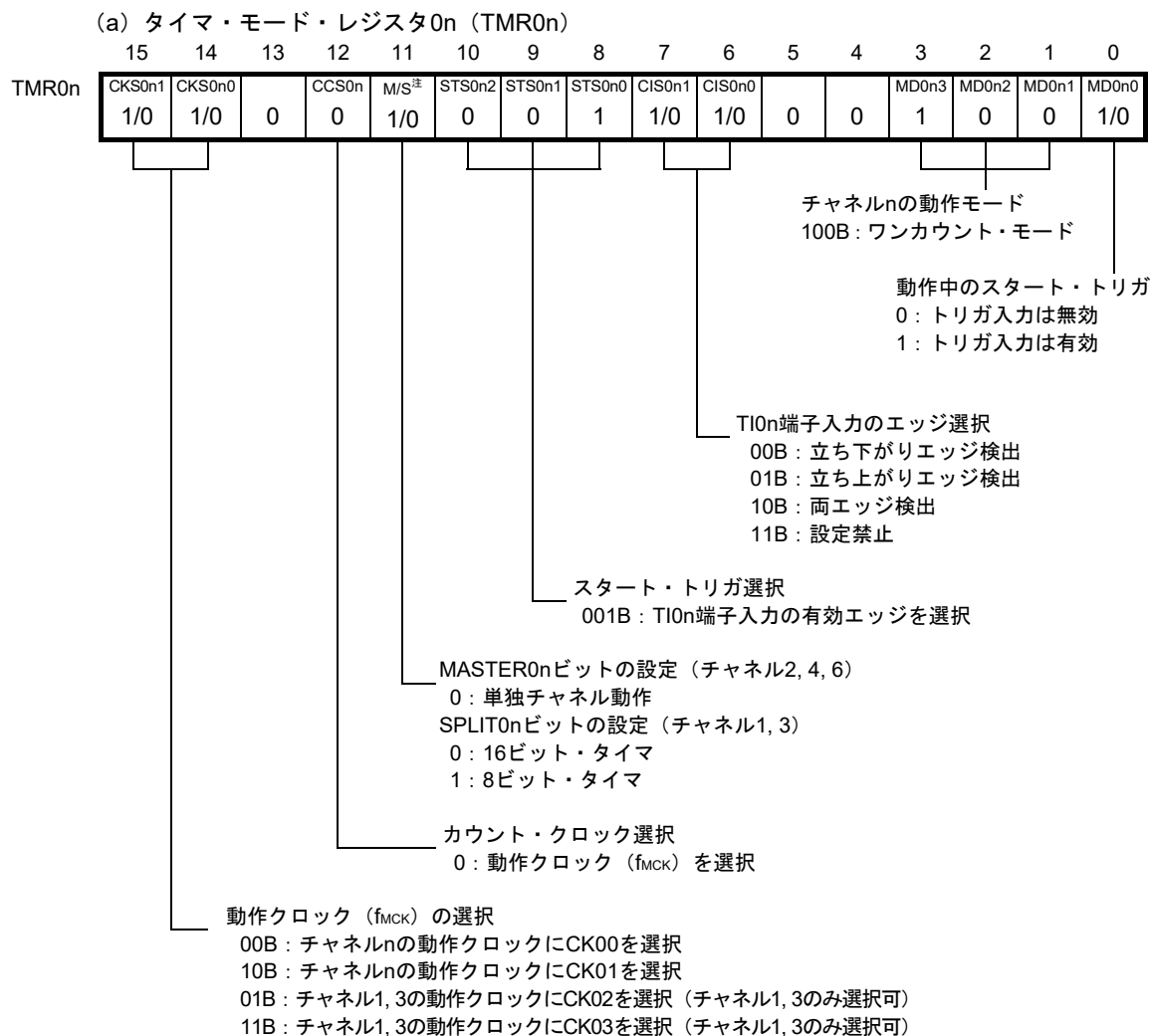
図6-59 デイレイ・カウンタとしての動作の基本タイミング例



備考1. n : チャネル番号 (n = 0-7)

2. TS0n : タイマ・チャネル開始レジスタ0 (TS0) のビットn
- TE0n : タイマ・チャネル許可ステータス・レジスタ0 (TE0) のビットn
- TI0n : TI0n端子入力信号
- TCR0n : タイマ・カウンタ・レジスタ0n (TCR0n)
- TDR0n : タイマ・データ・レジスタ0n (TDR0n)

図6-60 ディレイ・カウンタ機能時のレジスタ設定内容例



(b) タイマ出力レジスタ0 (TO0)

ビットn

TO0

TO0n
0

 0 : TO0nより0を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

ビットn

TOE0

TOE0n
0

 0 : カウント動作によるTO0n出力動作停止

(d) タイマ出力レベル・レジスタ0 (TOL0)

ビットn

TOL0

TOL0n
0

 0 : マスタ・チャンネル出力モード (TOM0n = 0) では0を設定

(e) タイマ出力モード・レジスタ0 (TOM0)

ビットn

TOM0

TOM0n
0

 0 : マスタ・チャンネル出力モードを設定

注 TMR02, TMR04, TMR06の場合 : MASTER0nビット
TMR01, TMR03の場合 : SPLIT0nビット
TMR00, TMR05, TMR07 : 0固定

備考 n : チャンネル番号 (n = 0-7)

図6-61 ディレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU初期設定	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00とCK01 (8ビット・タイマ・モード時は, CK02とCK03) のクロック周波数を確定する	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャネル初期設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタ0n (TMR0n) を設定する (チャネルnの動作モード確定) タイマ・データ・レジスタ0n (TDR0n) に遅延時間を設定する ノイズ・フィルタ許可レジスタ1 (NFEN1) を設定する TOE0nビットに0を設定し, TO0nの動作を停止	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作開始	TS0nビットに1を設定する TS0nビットはトリガ・ビットなので, 自動的に0に戻る	TE0n = 1になり, スタート・トリガ検出 (TI0n端子入力の有効エッジの検出, または, TS0nビットに1を設定) 待ち状態となる
	次のスタート・トリガ検出によって, ・ TI0n端子入力の有効エッジ検出 ・ ソフトウェアでTS0nビットに1を設定	タイマ・カウンタ・レジスタ0n (TCR0n) はTDR0nレジスタの値をロードする。
動作中	TDR0nレジスタは, 任意に設定値変更が可能 TCR0nレジスタは, 常に読み出し可能 TSR0nレジスタは, 使用しない	カウンタ (TCR0n) はダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0n出力を発生し, 次のスタート・トリガ検出 (TI0n端子入力の有効エッジの検出または, TS0nビットに1を設定) までTCR0n = 0000Hでカウント動作を停止する。
動作停止	TT0nビットに1を設定する TT0nビットはトリガ・ビットなので, 自動的に0に戻る	TE0n = 0になり, カウント動作停止 TCR0nレジスタはカウント値を保持して停止
TAU/停止	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャネルのSFRも初期化される

備考 n : チャネル番号 (n = 0-7)

6.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能

6.9.1 ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して、TI0n端子入力で、任意のディレイ・パルス幅のワンショット・パルスを生成できます。

ディレイとパルス幅は、次の式で求められます。

$$\begin{aligned}\text{ディレイ} &= \{\text{TDR0n (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{\text{TDR0p (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期}\end{aligned}$$

マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタ0n (TCR0n) は、スタート・トリガ検出で動作を開始し、タイマ・データ・レジスタ0n (TDR0n) から値をロードします。TCR0nレジスタはロードしたTDR0nレジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR0n = 0000HとなったらINTTM0nを出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

スレーブ・チャネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャネルのTCR0pレジスタは、マスタ・チャネルのINTTM0nをスタート・トリガとして動作を開始し、TDR0pレジスタから値をロードします。TCR0pレジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000HとなったらINTTM0pを出力して、次のスタート・トリガ (マスタ・チャネルのINTTM0n) 検出があるまで、カウントを停止します。TO0pの出力レベルは、マスタ・チャネルのINTTM0n発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCR0p = 0000Hとなったらインアクティブ・レベルとなります。

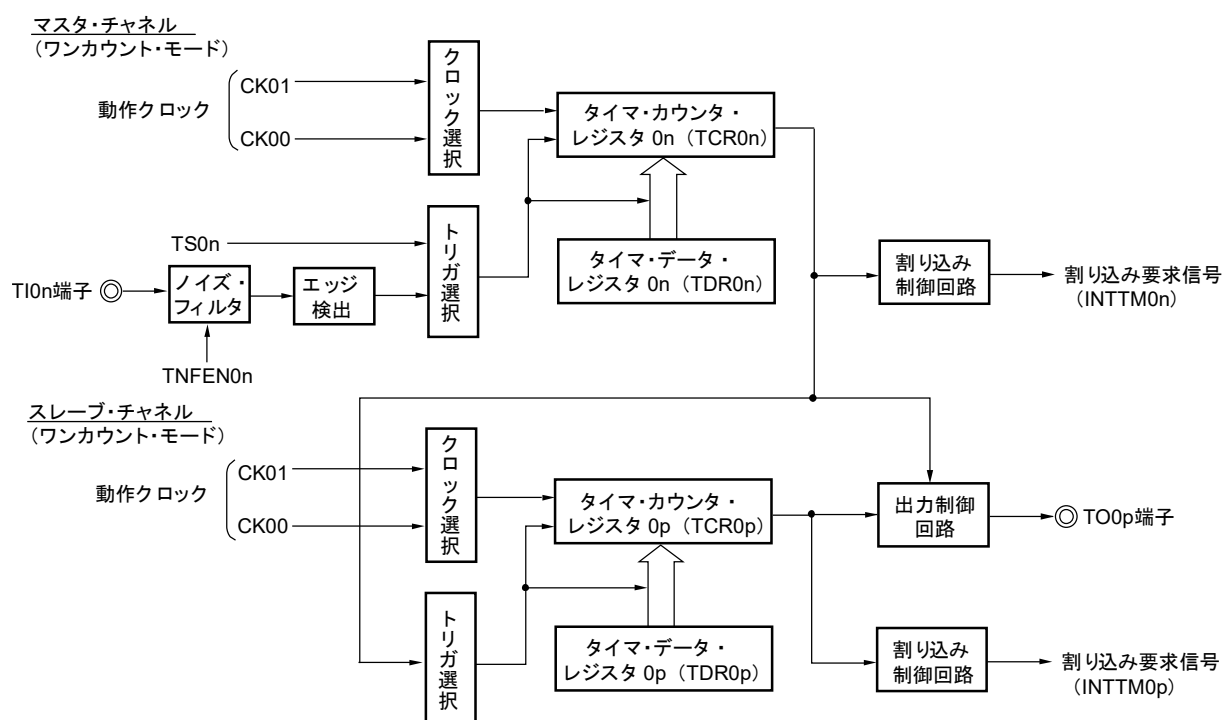
ワンショット・パルス出力は、TI0n端子入力を使用せず、ソフトウェア操作 (TS0n = 1) をスタート・トリガにすることもできます。

注意 マスタ・チャネルのタイマ・データ・レジスタ0n (TDR0n) とスレーブ・チャネルのTDR0pレジスタでは、ロード・タイミングが異なるため、動作中にTDR0nレジスタ、TDR0pレジスタを書き換えると不正波形が出力される場合があります。TDR0nレジスタはINTTM0n発生後に、TDR0pレジスタはINTTM0p発生後に書き換えてください。

備考 n: マスタ・チャネル番号 (n = 0, 2, 4, 6)

p: スレーブ・チャネル番号 (n < p ≤ 7)

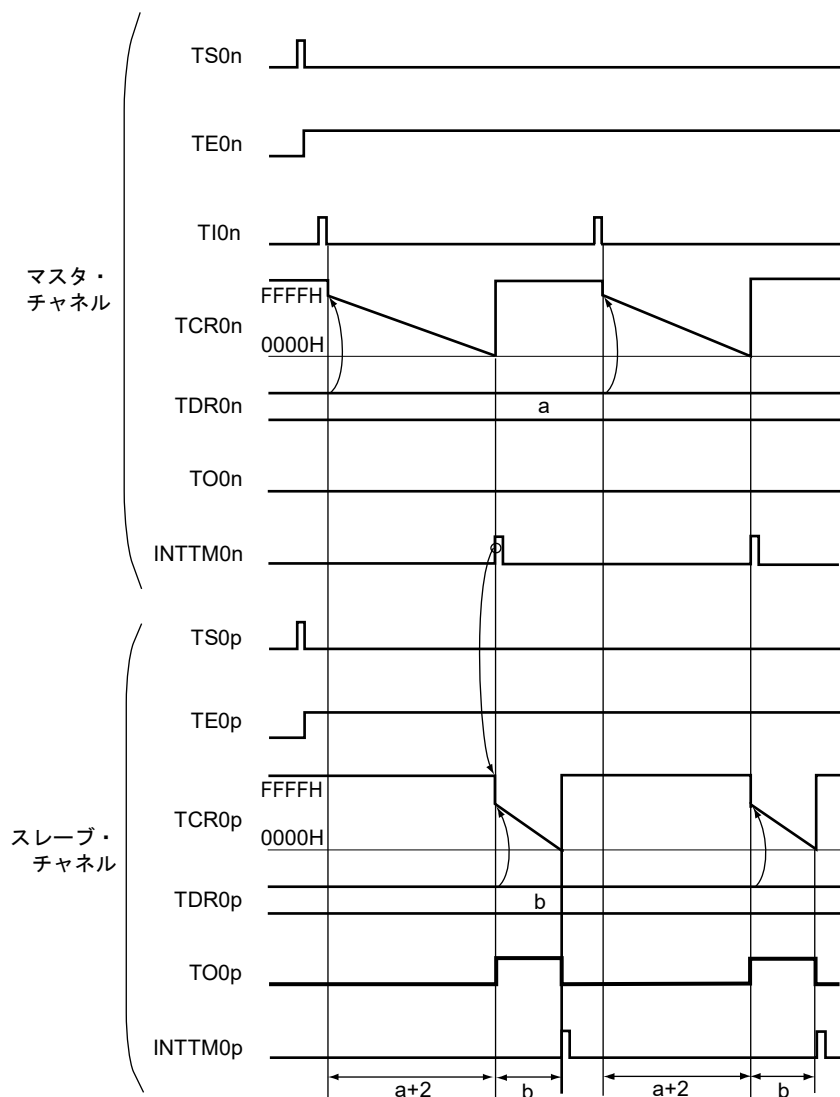
図6-62 ワンショット・パルス出力機能としての動作のブロック図



備考 n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

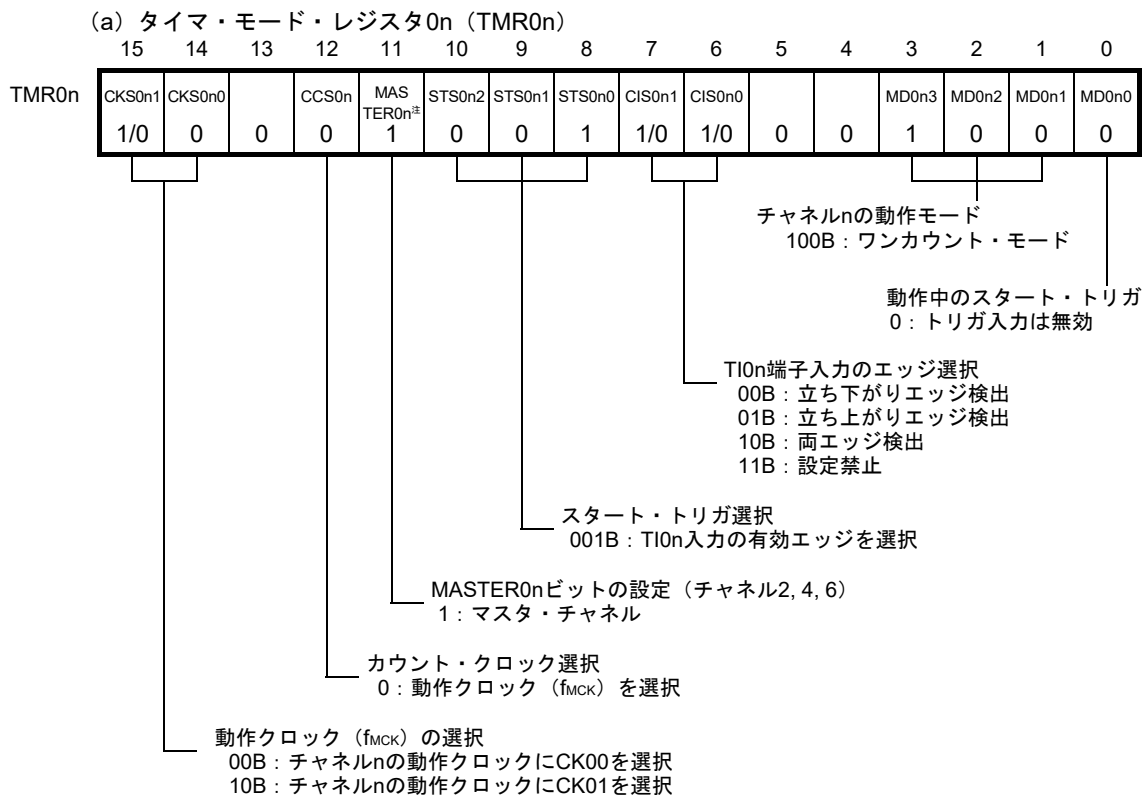
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6-63 ワンショット・パルス出力機能としての動作の基本タイミング例



- 備考1.** n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p ≤ 7)
- 2.** TS0n, TS0p : タイマ・チャンネル開始レジスタ0 (TS0) のビットn, p
 TE0n, TE0p : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn, p
 TI0n, TI0p : TI0n, TI0p端子入力信号
 TCR0n, TCR0p : タイマ・カウンタ・レジスタ0n, 0p (TCR0n, TCR0p)
 TDR0n, TDR0p : タイマ・データ・レジスタ0n, 0p (TDR0n, TDR0p)
 TO0n, TO0p : TO0n, TO0p端子出力信号

図6-64 ワンショット・パルス出力機能時（マスタ・チャンネル）のレジスタ設定内容例



注 TMR02, TMR04, TMR06の場合 : MASTER0n = 1
TMR00の場合 : 0固定

(b) タイマ出力レジスタ0 (TO0)
ビットn

TO0

TO0n
0

 0 : TO0nより0を出力する

(c) タイマ出力許可レジスタ0 (TOE0)
ビットn

TOE0

TOE0n
0

 0 : カウント動作によるTO0n出力動作停止

(d) タイマ出力レベル・レジスタ0 (TOL0)
ビットn

TOL0

TOL0n
0

 0 : TOM0n = 0（マスタ・チャンネル出力モード）では0を設定

(e) タイマ出力モード・レジスタ0 (TOM0)
ビットn

TOM0

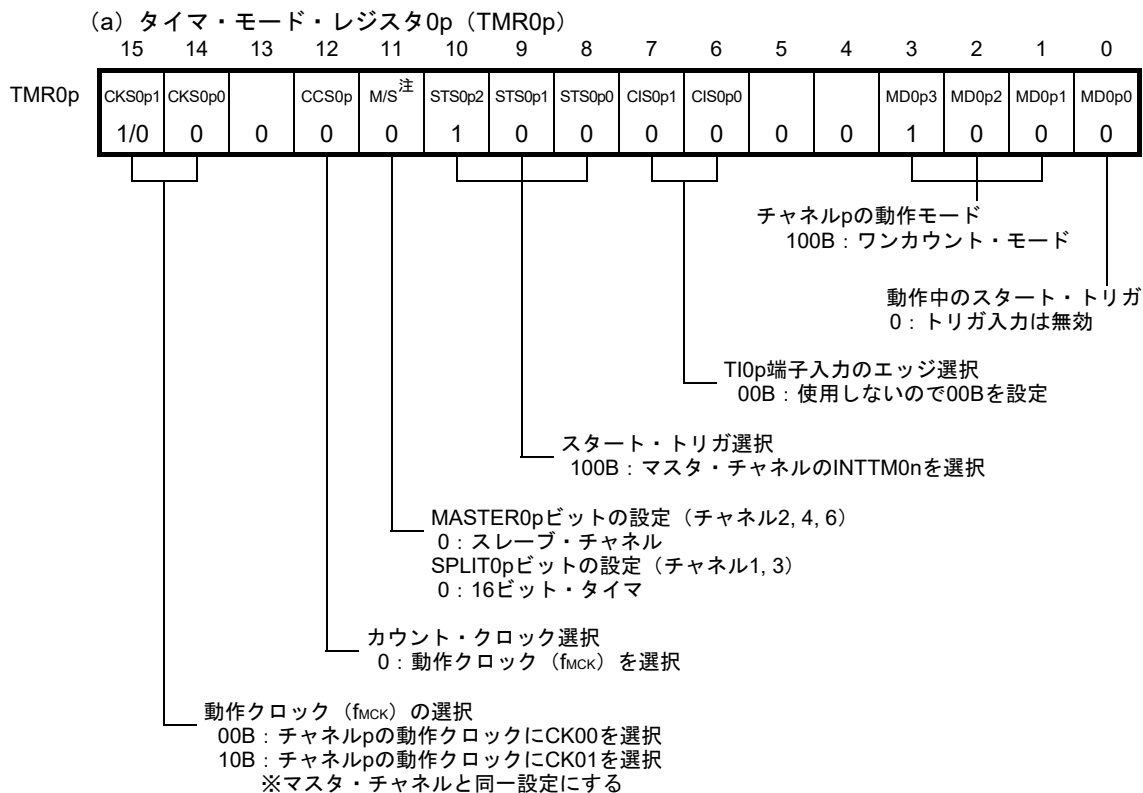
TOM0n
0

 0 : マスタ・チャンネル出力モードを設定

注 TMR02, TMR04, TMR06の場合 : MASTER0n = 1
TMR00の場合 : 0固定

備考 n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図6-65 ワンショット・パルス出力機能時（スレーブ・チャンネル）のレジスタ設定内容例



(b) タイマ出力レジスタ0 (TO0)
ビットp

TO0	TO0p	0 : TO0pより0を出力する
	1/0	1 : TO0pより1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)
ビットp

TOE0	TOE0p	0 : カウント動作によるTO0p出力動作停止
	1/0	1 : カウント動作によるTO0p出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)
ビットp

TOL0	TOL0p	0 : 正論理出力 (アクティブ・ハイ)
	1/0	1 : 負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ0 (TOM0)
ビットp

TOM0	TOM0p	1 : スレーブ・チャンネル出力モードを設定
	1	

注 TMR02, TMR04, TMR06の場合 : MASTER0nビット
 TMR01, TMR03の場合 : SPLIT0pビット
 TMR05, TMR07 : 0固定

備考 n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6-66 ワンショット・パルス出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU初期設定	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00とCK01のクロック周波数を確定する	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャネル初期設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する 使用する2チャネルのタイマ・モード・レジスタ0n, 0p (TMR0n, TMR0p) を設定する (チャネルの動作モード確定) マスタ・チャネルのタイマ・データ・レジスタ0n (TDR0n) に出力遅延時間, スレーブ・チャネルのTDR0pレジスタにパルス幅を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャネルの設定 タイマ出力モード・レジスタ0 (TOM0) のTOM0pビットに1 (スレーブ・チャネル出力モード) を設定する TOL0pビットを設定する TO0pビットを設定し, TO0p出力の初期レベルを確定する TOE0pビットに1を設定し, TO0pの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TO0p端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO0p初期設定レベルが出力される。 チャネルは動作停止状態なので, TO0pは変化しない TO0p端子はTO0p設定レベルを出力

備考 n: マスタ・チャネル番号 (n = 0, 2, 4, 6)

p: スレーブ・チャネル番号 (n < p ≤ 7)

図6-66 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作開始	TOE0p (スレーブ) ビットに1を設定する (動作再開時だけ) タイマ・チャンネル開始レジスタ0 (TS0) のTS0n (マスタ), TS0p (スレーブ) ビットに同時に1を設定する → TS0n, TS0pビットはトリガ・ビットなので、自動的に0に戻る	TE0n = 1, TE0p = 1となり、マスタ・チャンネルはスタート・トリガ検出 (TI0n端子入力の有効エッジの検出、または、マスタ・チャンネルのTS0nビットに1を設定) 待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャンネルのスタート・トリガ検出によって、マスタ・チャンネルのカウント動作を開始します。 ・ TI0n端子入力の有効エッジ検出 ・ ソフトウェアでマスタ・チャンネルのTS0nビットに1を設定 ^注 ^注 スレーブ・チャンネルのTS0nビットには1を設定しないでください	マスタ・チャンネルがカウント動作開始
動作中	TMR0nレジスタは、CIS0n1, CIS0n0ビットだけ設定値変更可能 TMR0p, TDR0n, TDR0p レジスタ, TOM0n, TOM0p, TOL0n, TOL0pビットは、設定値変更禁止 TCR0n, TCR0pレジスタは、常に読み出し可能 TSR0n, TSR0pレジスタは、使用しない スレーブ・チャンネルのTO0, TOE0レジスタは、設定値変更可能	マスタ・チャンネルでは、スタート・トリガ検出 (TI0n端子入力の有効エッジの検出または、マスタ・チャンネルのTS0nビットに1を設定) により、タイマ・カウンタ・レジスタ0n (TCR0n) はTDR0nレジスタの値をロードし、ダウン・カウント動作を行う。 TCR0n = 0000HまでカウントしたらINTTM0n出力を発生し、次のスタート・トリガ検出までカウント動作を停止する。 スレーブ・チャンネルでは、マスタ・チャンネルのINTTM0nをトリガとして、TCR0pレジスタはTDR0pレジスタの値をロードし、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTM0n出力から1カウント・クロック経過後にTO0p出力レベルをアクティブ・レベルとする。そしてTCR0p = 0000HまでカウントしたらTO0p出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
動作停止	TT0n (マスタ), TT0p (スレーブ) ビットに同時に1を設定する → TT0n, TT0pビットはトリガ・ビットなので、自動的に0に戻る	TE0n, TE0p = 0になり、カウント動作停止 TCR0n, TCR0pレジスタはカウント値を保持して停止 TO0p出力は初期化されず、状態保持
	スレーブ・チャンネルのTOE0pビットに0を設定し、TO0pビットに値を設定する →	TO0p端子はTO0p設定レベルを出力
TAU停止	TO0p端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TO0pビットに0を設定する →	TO0p端子出力レベルはポート機能で保持される。
	TO0p端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TO0pビットが0になり、TO0p端子はポート機能となる)

備考 n: マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p: スレーブ・チャンネル番号 (n < p ≤ 7)

6.9.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期とデューティのパルスを生成することができます。

出力パルスの周期とデューティは、次の式で求められます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDR0n (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{\text{TDR0p (スレーブ) の設定値}\} / \{\text{TDR0n (マスタ) の設定値} + 1\} \times 100 \\ 0\% \text{出力} &: \text{TDR0p (スレーブ) の設定値} = 0000\text{H} \\ 100\% \text{出力} &: \text{TDR0p (スレーブ) の設定値} \geq \{\text{TDR0n (マスタ) の設定値} + 1\} \end{aligned}$$

備考 TDR0p (スレーブの設定値) > {TDR0n (マスタ) の設定値 + 1} の場合は、デューティ値が100%を越えますが、集約して100%出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ・ビット (TS0n) に1を設定すると、割り込み要求 (INTTM0n) を出力して、タイマ・データ・レジスタ0n (TDR0n) に設定した値をタイマ・カウンタ・レジスタ0n (TCR0n) にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTM0nを出力して、再びTDR0nレジスタからTCR0nレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタ0 (TT0) のチャンネル・ストップ・トリガ・ビット (TT0n) に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TO0p) の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからのINTTM0nをスタート・トリガとして、TDR0pレジスタからTCR0pレジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTM0pを出力して、次のスタート・トリガ (マスタ・チャンネルからのINTTM0n) が来るまで待機します。

PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TO0p) のデューティとなります。

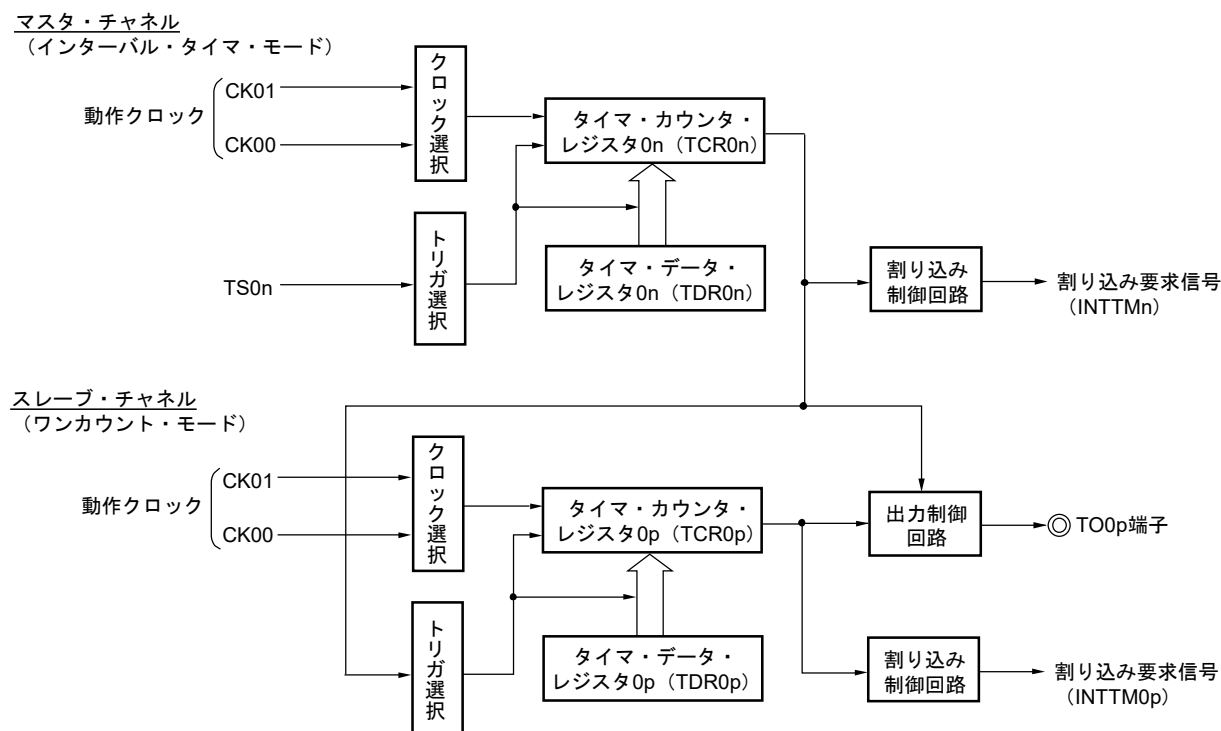
PWM出力 (TO0p) は、マスタ・チャンネルのINTTM0n発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCR0pレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャンネルのタイマ・データ・レジスタ0n (TDR0n) とスレーブ・チャンネルのTDR0pレジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCR0n, TCR0pレジスタにTDR0n, TDR0pレジスタの値がロードされるのは、マスタ・チャンネルのINTTM0n発生時となります。そのため、書き換えがマスタ・チャンネルのINTTM0n発生前と発生後に分かれて行われると、TO0p端子は期待通りの波形を出力できません。したがって、マスタのTDR0nレジスタとスレーブのTDR0pレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTM0n発生直後に両方のレジスタを書き換えてください。

備考 n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

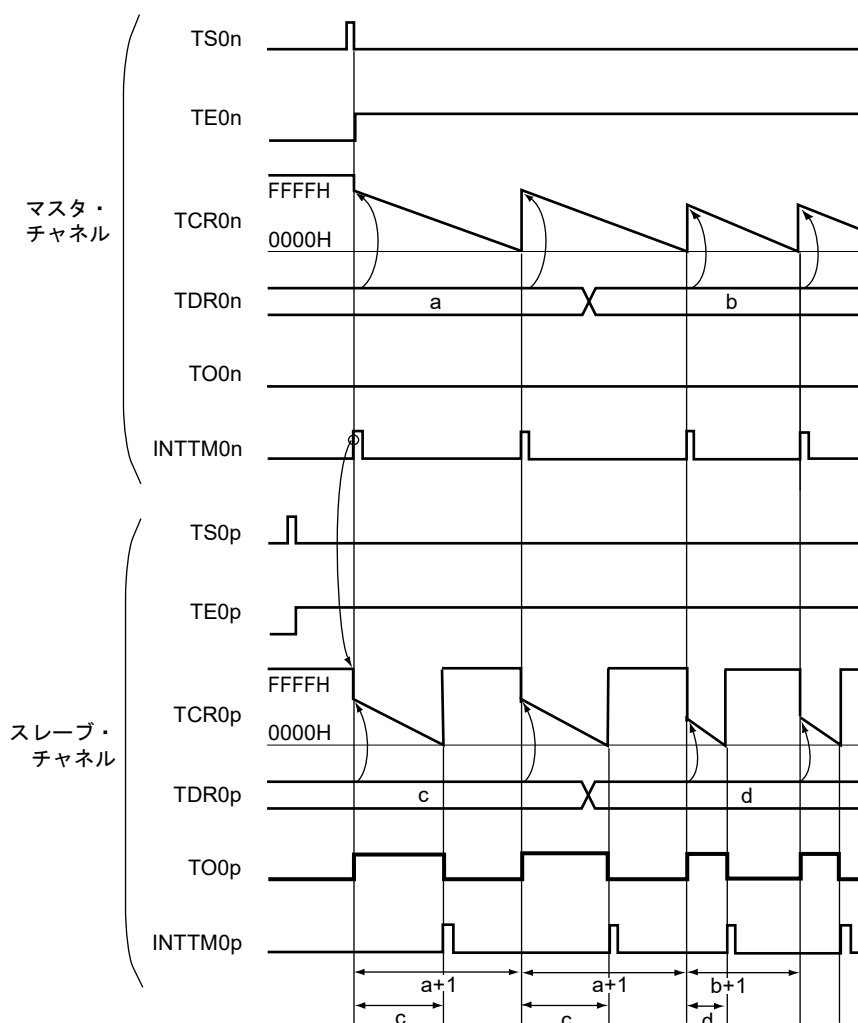
図6-67 PWM機能としての動作のブロック図



備考 n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6-68 PWM機能としての動作の基本タイミング例

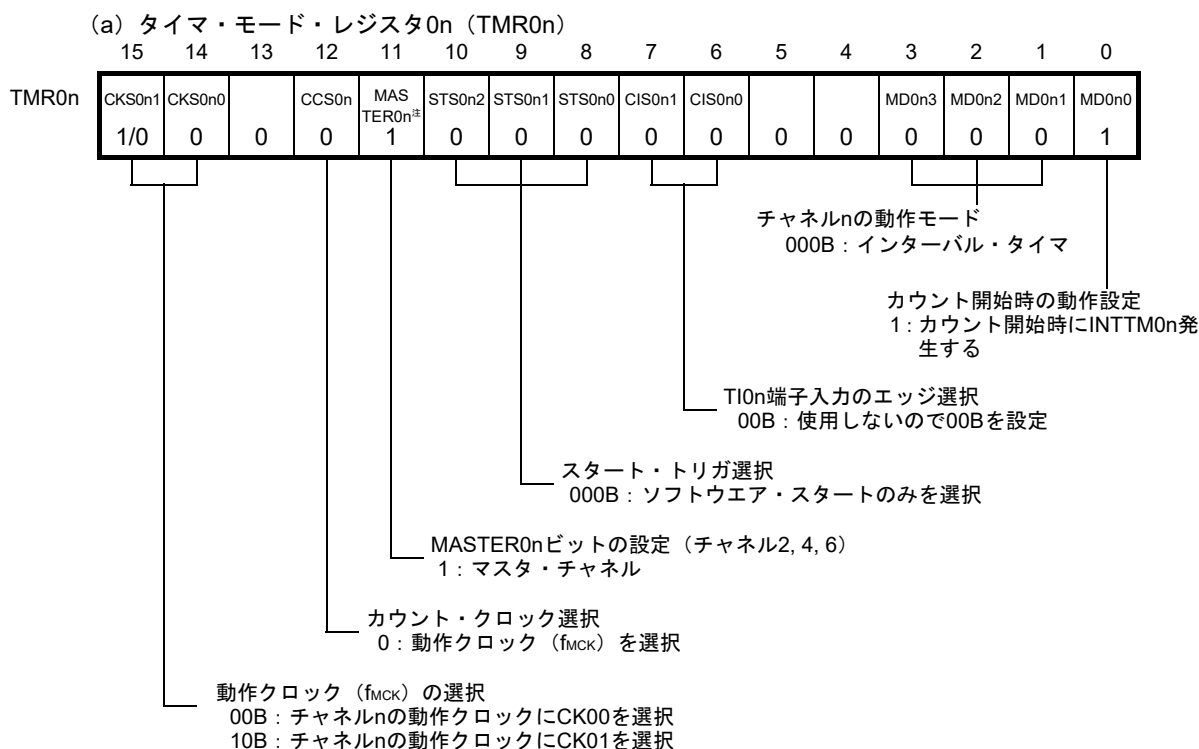


備考1. n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

2. TS0n, TS0p : タイマ・チャンネル開始レジスタ0 (TS0) のビットn, p
- TE0n, TE0p : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn, p
- TCR0n, TCR0p : タイマ・カウンタ・レジスタ0n, 0p (TCR0n, TCR0p)
- TDR0n, TDR0p : タイマ・データ・レジスタ0n, 0p (TDR0n, TDR0p)
- TO0n, TO0p : TO0n, TO0p端子出力信号

図6-69 PWM機能時（マスタ・チャンネル）のレジスタ設定内容例



(b) タイマ出力レジスタ0 (TO0)

ビットn

TO0 TO0n
0 0 : TO0nより0を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

ビットn

TOE0 TOE0n
0 0 : カウント動作によるTO0n出力動作停止

(d) タイマ出力レベル・レジスタ0 (TOL0)

ビットn

TOL0 TOL0n
0 0 : TOM0n = 0 (マスタ・チャンネル出力モード) では0を設定

(e) タイマ出力モード・レジスタ0 (TOM0)

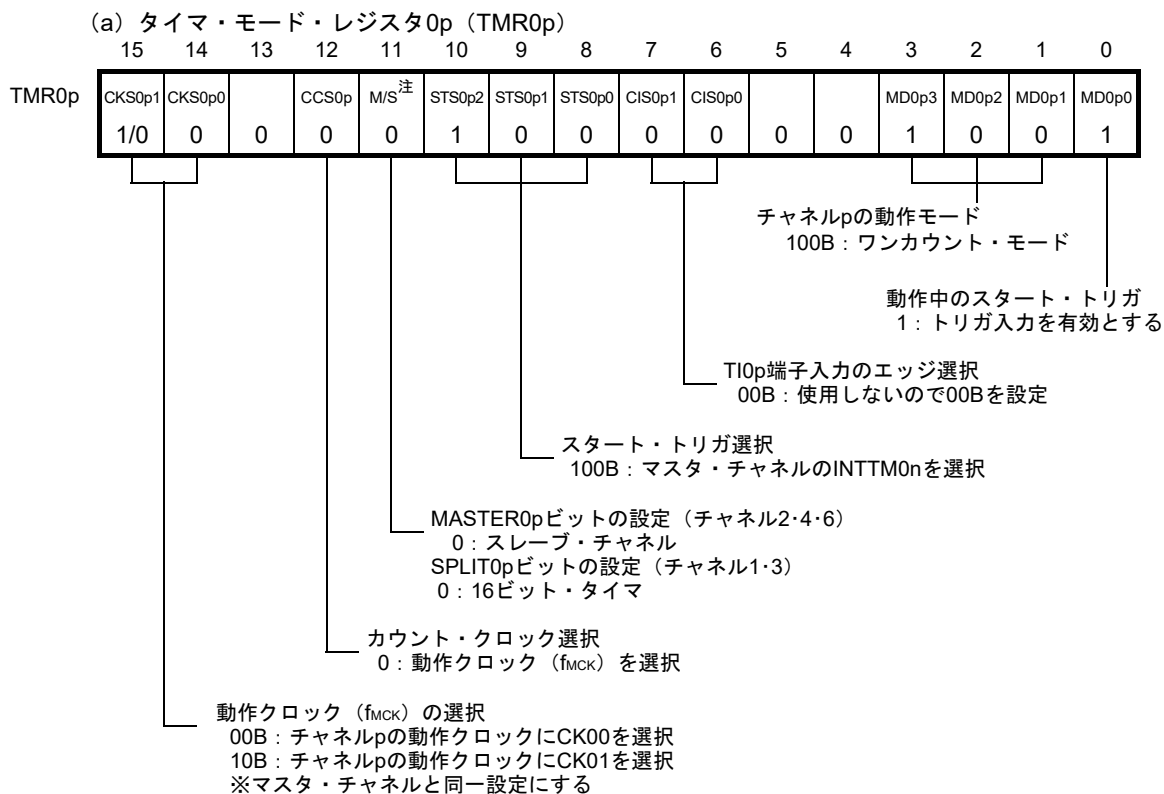
ビットn

TOM0 TOM0n
0 0 : マスタ・チャンネル出力モードを設定

注 TMR02, TMR04, TMR06の場合 : MASTER0n = 1
TMR00の場合 : 0固定

備考 n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図6-70 PWM機能時（スレーブ・チャンネル）のレジスタ設定内容例



(b) タイマ出力レジスタ0 (TO0)
ビットp

TO0	TO0p	0 : TO0pより0を出力
	1/0	1 : TO0pより1を出力

(c) タイマ出力許可レジスタ0 (TOE0)
ビットp

TOE0	TOE0p	0 : カウント動作によるTO0p出力動作停止
	1/0	1 : カウント動作によるTO0p出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)
ビットp

TOL0	TOL0p	0 : 正論理出力 (アクティブ・ハイ)
	1/0	1 : 負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ0 (TOM0)
ビットp

TOM0	TOM0p	1 : スレーブ・チャンネル出力モードを設定
	1	

注 TMR02, TMR04, TMR06の場合 : MASTER0nビット

TMR01, TMR03の場合 : SPLIT0pビット

TMR05, TMR07 : 0固定

備考 n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6-71 PWM機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU初期設定	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00とCK01のクロック周波数を確定する	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャネル初期設定	使用する2チャネルのタイマ・モード・レジスタ0n, 0p (TMR0n, TMR0p) を設定する (チャネルの動作モード確定) マスタ・チャネルのタイマ・データ・レジスタ0n (TDR0n) にインターバル (周期) 値, スレーブ・チャネルのTDR0pレジスタにデューティ値を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャネルの設定 タイマ出力モード・レジスタ0 (TOM0) のTOM0pビットに1 (スレーブ・チャネル出力モード) を設定する TOL0pビットを設定する TO0pビットを設定し, TO0p出力の初期レベルを確定する TOE0pビットに1を設定し, TO0pの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TO0p端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO0p初期設定レベルが出力される。 チャネルは動作停止状態なので, TO0pは変化しない TO0p端子はTO0p設定レベルを出力

備考 n: マスタ・チャネル番号 (n = 0, 2, 4, 6)

p: スレーブ・チャネル番号 (n < p ≤ 7)

図6-71 PWM機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOE0p (スレーブ) ビットに1を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタ0 (TS0) のTS0n (マスタ), TS0p (スレーブ) ビットに同時に1を設定する → TS0n, TS0pビットはトリガ・ビットなので、自動的に0に戻る	TE0n = 1, TE0p = 1となる マスタ・チャンネルがカウント動作開始し、INTTM0nを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMR0n, TMR0pレジスタ, TOM0n, TOM0p, TOL0n, TOL0pビットは、設定値変更禁止 TDR0n, TDR0pレジスタは、マスタ・チャンネルのINTTM0n発生後に設定値変更可能 TCR0n, TCR0pレジスタは、常に読み出し可能 TSR0n, TSR0pレジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタ0n (TCR0n) はTDR0nレジスタの値をロードし、ダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0nを発生する。同時に、TCR0nレジスタはTDR0nレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルでは、マスタ・チャンネルのINTTM0nをトリガとして、TCR0pレジスタはTDR0pレジスタの値をロードし、カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTM0n出力から1カウント・クロック経過後にTO0p出力レベルをアクティブ・レベルとする。そしてTCR0p = 0000HまでカウントしたらTO0p出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。
	動作停止 TT0n (マスタ), TT0p (スレーブ) ビットに同時に1を設定する → TT0n, TT0pビットはトリガ・ビットなので、自動的に0に戻る	TE0n, TE0p = 0になり、カウント動作停止 TCR0n, TCR0pレジスタはカウント値を保持して停止 TO0p出力は初期化されず、状態保持
	スレーブ・チャンネルのTOE0pビットに0を設定し、TO0pビットに値を設定する →	TO0p端子はTO0p設定レベルを出力
TAU停止	TO0p端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TO0pビットに0を設定する →	TO0p端子出力レベルはポート機能で保持される。
	TO0p端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TO0pビットが0になり、TO0p端子はポート機能となる)

備考 n: マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p: スレーブ・チャンネル番号 (n < p ≤ 7)

6.9.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求められます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDR0n (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ1 [\%]} &= \{\text{TDR0p (スレーブ1) の設定値}\} / \{\text{TDR0n (マスタ) の設定値} + 1\} \times 100 \\ \text{デューティ2 [\%]} &= \{\text{TDR0q (スレーブ2) の設定値}\} / \{\text{TDR0n (マスタ) の設定値} + 1\} \times 100 \end{aligned}$$

備考 TDR0p (スレーブ1) の設定値 > {TDR0n (マスタ) の設定値 + 1} の場合
 または TDR0q (スレーブ2) の設定値 > {TDR0n (マスタ) の設定値 + 1} の場合は、
 デューティ値が100%を越えますが、集約して100 %出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタ0n (TCR0n) は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCR0pレジスタは、ワンカウント・モードで動作して、デューティをカウントし、TO0p端子よりPWM波形を出力します。TCR0pレジスタは、マスタ・チャンネルのINTTM0nをスタート・トリガとして、タイマ・データ・レジスタ0p (TDR0p) の値をロードし、ダウン・カウントを行います。TCR0p = 0000Hとなった後、INTTM0pを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTM0n) が入力されるまでカウントを停止します。TO0pの出力レベルは、マスタ・チャンネルのINTTM0n発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCR0p = 0000Hとなった後インアクティブ・レベルとなります。

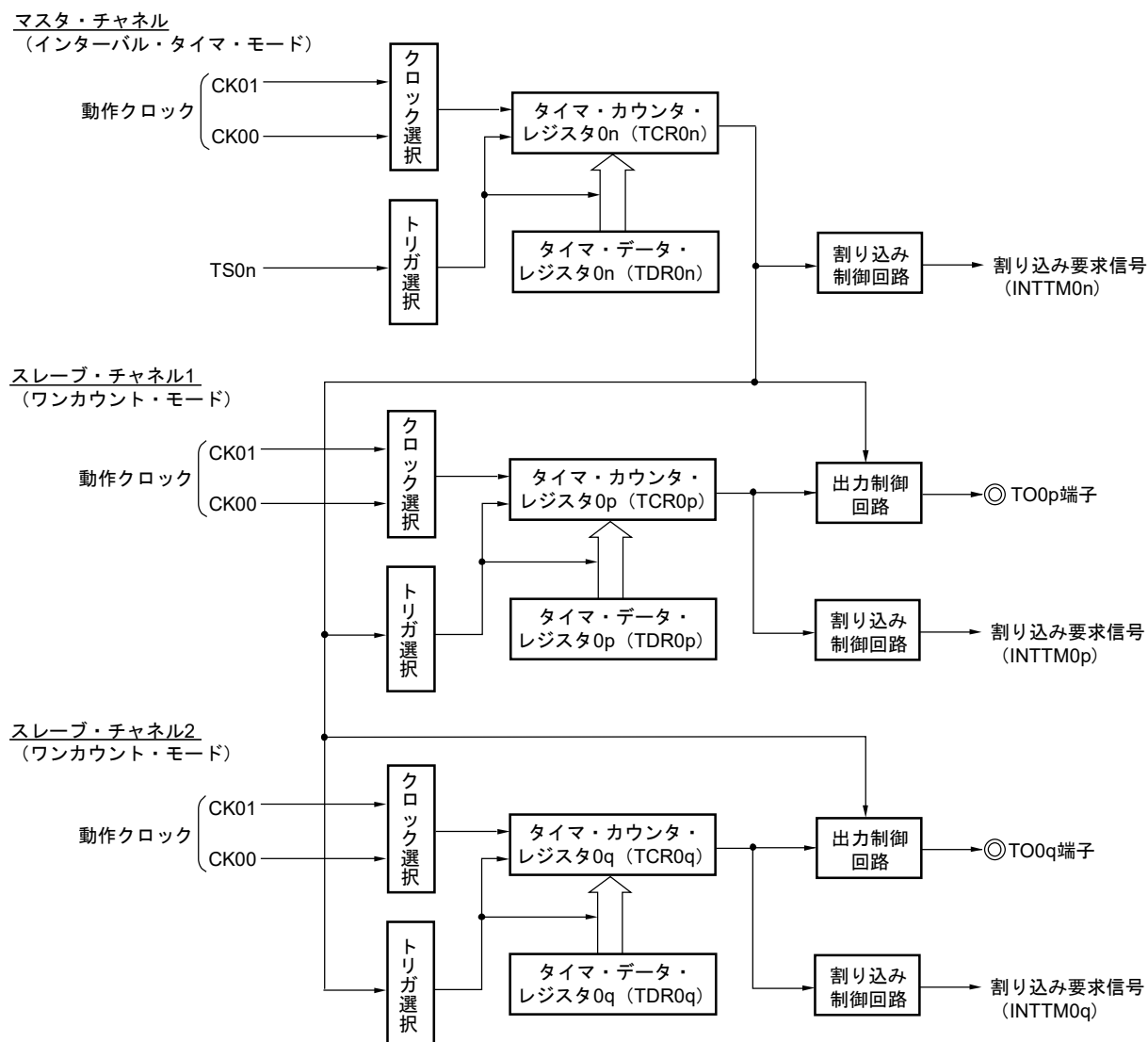
スレーブ・チャンネル2のTCR0qレジスタも、スレーブ・チャンネル1のTCR0pレジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TO0q端子よりPWM波形を出力します。TCR0qレジスタは、マスタ・チャンネルのINTTM0nをスタート・トリガとして、TDR0qレジスタの値をロードし、ダウン・カウントを行います。TCR0q = 0000Hとなった後、INTTM0qを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTM0n) が入力されるまでカウントを停止します。TO0qの出力レベルは、マスタ・チャンネルのINTTM0n発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCR0q = 0000Hとなった後インアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大7種のPWMを同時に出力できます。

注意 マスタ・チャンネルのタイマ・データ・レジスタ0n (TDR0n) とスレーブ・チャンネル1のTDR0pレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCR0n, TCR0pレジスタにTDR0n, TDR0pレジスタの値をロードするのは、マスタ・チャンネルのINTTM0n発生後となるため、書き換えがマスタ・チャンネルのINTTM0n発生前と発生後に分かれて行われると、TO0p端子は、期待通りの波形を出力できません。したがって、TDR0nレジスタとスレーブのTDR0pレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTM0n発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDR0qレジスタの場合も同様です。)

備考 n : マスタ・チャンネル番号 (n = 0, 2, 4)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 n < p < q ≤ 7 (ただしp, qは、n以降の整数)

図6-72 多重PWM出力機能としての動作のブロック図（2種類のPWMを出力する場合）

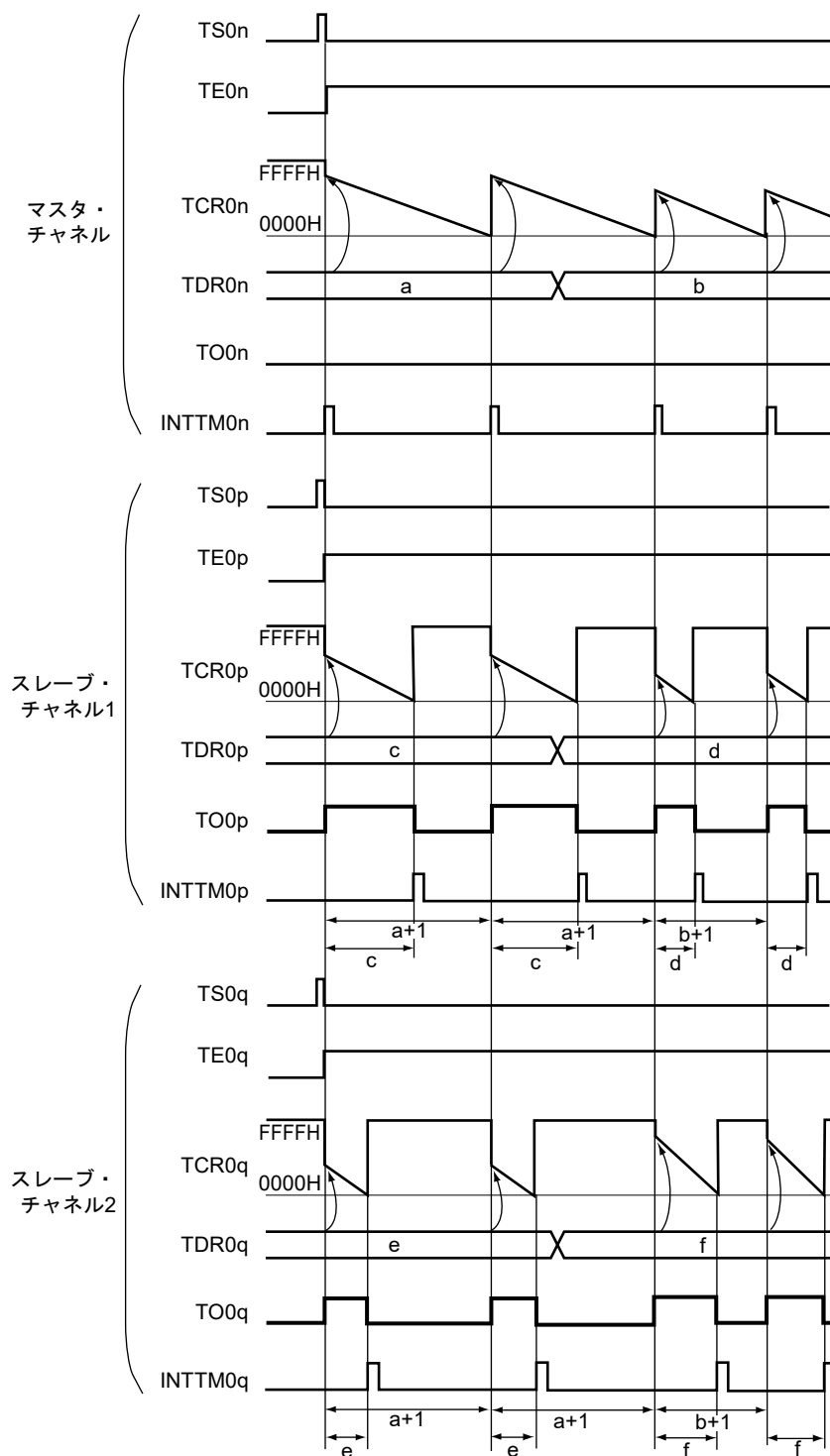


備考 n : マスタ・チャンネル番号 (n = 0, 2, 4)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

n < p < q ≤ 7 (ただし p, q は、n 以降の整数)

図6-73 多重PWM出力機能としての動作の基本タイミング例（2種類のPWMを出力する場合）



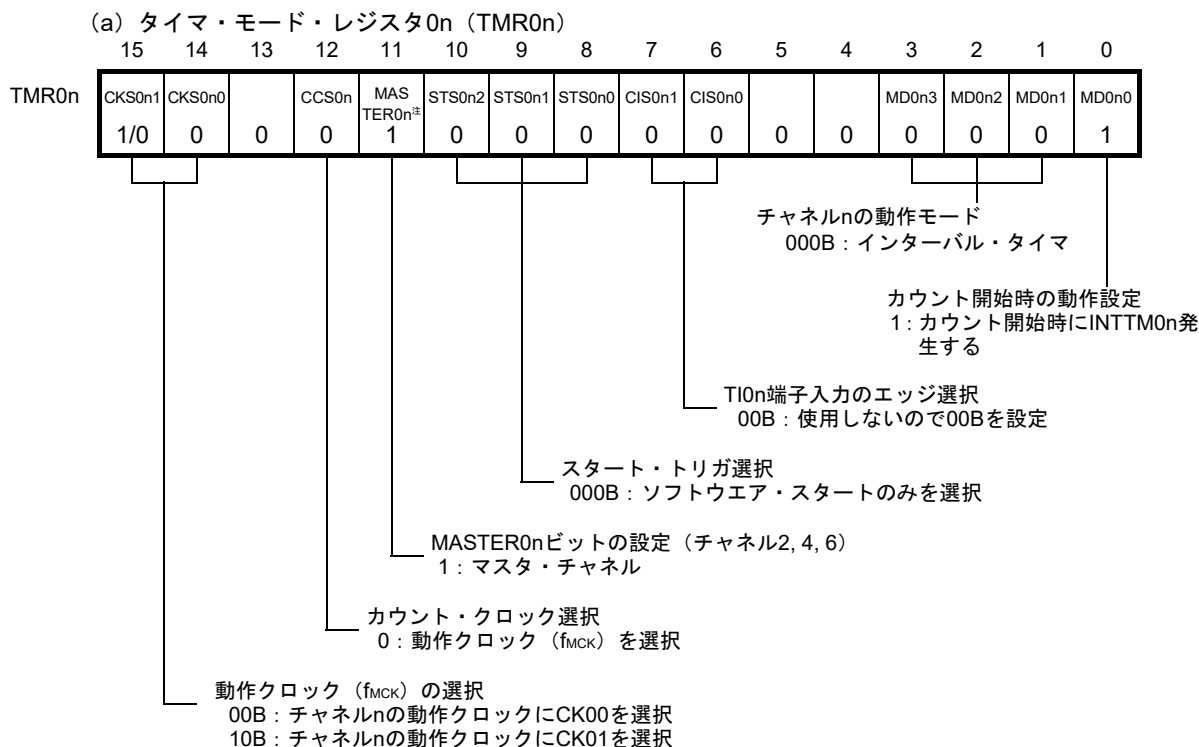
備考1. n: マスタ・チャンネル番号 (n = 0, 2, 4)

p: スレーブ・チャンネル番号, q: スレーブ・チャンネル番号

$n < p < q \leq 7$ (ただし p, q は, n 以降の整数)

2. TS0n, TS0p, TS0q : タイマ・チャンネル開始レジスタ0 (TS0) のビットn, p, q
- TE0n, TE0p, TE0q : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn, p, q
- TCR0n, TCR0p, TCR0q : タイマ・カウンタ・レジスタ0n, 0p, 0q (TCR0n, TCR0p, TCR0q)
- TDR0n, TDR0p, TDR0q : タイマ・データ・レジスタ0n, 0p, 0q (TDR0n, TDR0p, TDR0q)
- TO0n, TO0p, TO0q : TO0n, TO0p, TO0q端子出力信号

図6-74 多重PWM出力機能時（マスタ・チャンネル）のレジスタ設定内容例



(b) タイマ出力レジスタ0 (TO0)

ビットn

TO0 TO0n
0 0 : TO0nより0を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

ビットn

TOE0 TOE0n
0 0 : カウント動作によるTO0n出力動作停止

(d) タイマ出力レベル・レジスタ0 (TOL0)

ビットn

TOL0 TOL0n
0 0 : TOM0n = 0 (マスタ・チャンネル出力モード) では0を設定

(e) タイマ出力モード・レジスタ0 (TOM0)

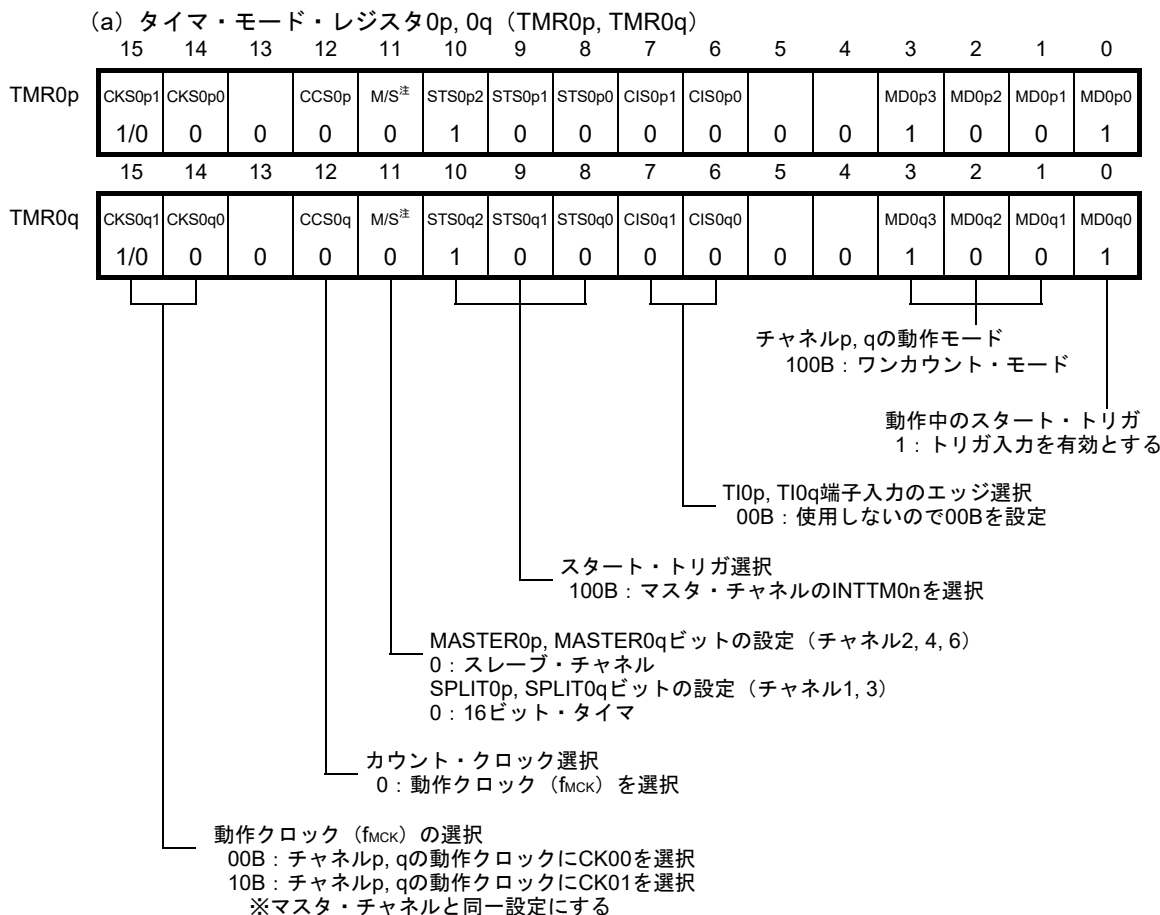
ビットn

TOM0 TOM0n
0 0 : マスタ・チャンネル出力モードを設定

注 TMR02, TMR04, TMR06の場合 : MASTER0n = 1
TMR00の場合 : 0固定

備考 n : マスタ・チャンネル番号 (n = 0, 2, 4)

図6-75 多重PWM機能時（スレーブ・チャンネル）のレジスタ設定内容例（2種類のPWMを出力する場合）



(b) タイマ出力レジスタ0 (TO0)

ビットq ビットp

TO0	TO0q	TO0p	0 : TO0p, TO0qより0を出力する
	1/0	1/0	1 : TO0p, TO0qより1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

ビットq ビットp

TOE0	TOE0q	TOE0p	0 : カウント動作によるTO0p, TO0q出力動作停止
	1/0	1/0	1 : カウント動作によるTO0p, TO0q出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

ビットq ビットp

TOL0	TOL0q	TOL0p	0 : 正論理出力 (アクティブ・ハイ)
	1/0	1/0	1 : 負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ0 (TOM0)

ビットq ビットp

TOM0	TOM0q	TOM0p	1 : スレーブ・チャンネル出力モードを設定
	1	1	

注 TMR02, TMR04, TMR06の場合 : MASTER0p, MASTER0qビット
 TMR01, TMR03の場合 : SPLIT0p, SPLIT0qビット
 TMR05, TMR07 : 0固定

備考 n : マスタ・チャンネル番号 (n = 0, 2, 4)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 n < p < q ≤ 7 (ただしp, qは, n以降の整数)

図6-76 多重PWM機能時の操作手順（2種類のPWMを出力する場合）（1/2）

	ソフトウェア操作	ハードウェアの状態
TAU初期設定	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する	パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
	タイマ・クロック選択レジスタ0（TPS0）を設定する CK00とCK01のクロック周波数を確定する	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
チャネル初期設定	使用する各チャネルのタイマ・モード・レジスタ0n, 0p, 0q（TMR0n, TMR0p, TMR0q）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタ0n（TDR0n）にインターバル（周期）値、スレーブ・チャネルのTDR0p, TDR0qレジスタにデューティ値を設定する	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタ0（TOM0）のTOM0p, TOM0qビットに1（スレーブ・チャネル出力モード）を設定する TOL0p, TOL0qビットを設定する TO0p, TO0qビットを設定し、TO0p, TO0q出力の初期レベルを確定する TOE0p, TOE0qビットに1を設定し、TO0p, TO0qの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TO0p, TO0q端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TO0p, TO0q初期設定レベルが出力される。 チャネルは動作停止状態なので、TO0p, TO0qは変化しない TO0p, TO0q端子はTO0p, TO0q設定レベルを出力
動作再開 （動作再開（次ページから））	（動作再開時のみTOE0p, TOE0q（スレーブ）ビットに1を設定する） タイマ・チャネル開始レジスタ0（TS0）のTS0n（マスタ）、TS0p, TS0q（スレーブ）ビットに同時に1を設定する TS0n, TS0p, TS0qビットはトリガ・ビットなので、自動的に0に戻る	TE0n = 1, TE0p, TE0q = 1となる マスタ・チャネルがカウント動作開始し、INTTM0nを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。

備考 n: マスタ・チャネル番号 (n = 0, 2, 4)

p: スレーブ・チャネル番号, q: スレーブ・チャネル番号

n < p < q ≤ 7 (ただし, p, qは, n以降の整数)

図6-76 多重PWM機能時の操作手順（2種類のPWMを出力する場合）（2/2）

動作再開 (前ページへ)	ソフトウェア操作		ハードウェアの状態	
	動作中	TMR0n, TMR0p, TMR0qレジスタ, TOM0n, TOM0p, TOM0q, TOL0n, TOL0p, TOL0qビットは、設定値変更禁止 TDR0n, TDR0p, TDR0qレジスタは、マスタ・チャンネルのINTTM0n発生後に設定値変更可能 TCR0n, TCR0p, TCR0qレジスタは、常に読み出し可能 TSR0n, TSR0p, TSR0qレジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタ0n (TCR0n) はTDR0nレジスタの値をロードし、ダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0nを発生する。同時に、TCR0nレジスタはTDR0nレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネル1では、マスタ・チャンネルのINTTM0n信号をトリガとして、TDR0pレジスタ値をTCR0pレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTM0n出力から1カウント・クロック経過後にTO0p出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTO0p出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 スレーブ・チャンネル2では、マスタ・チャンネルのINTTM0n信号をトリガとして、TDR0qレジスタ値をTCR0qレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTM0n出力から1カウント・クロック経過後にTO0q出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTO0q出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。	
		TT0n (マスタ), TT0p, TT0q (スレーブ) ビットに同時に1を設定する TT0n, TT0p, TT0qビットはトリガ・ビットなので、自動的に0に戻る	TE0n, TE0p, TE0q = 0になり、カウント動作停止 TCR0n, TCR0p, TCR0qレジスタはカウント値を保持して停止 TO0p, TO0q出力は初期化されず、状態保持	
		スレーブ・チャンネルのTOE0p, TOE0qビットに0を設定し、TO0p, TO0qビットに値を設定する	TO0p, TO0q端子はTO0p, TO0q設定レベルを出力	
TAU停止	動作停止	TO0p, TO0q端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TO0p, TO0qビットに0を設定する TO0p, TO0q端子の出力レベルを保持不要の場合 設定不要	TO0p, TO0q端子出力レベルはポート機能で保持される。	
		PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TO0p, TO0qビットが0になり、TO0p, TO0q端子はポート機能となる)	

備考 n : マスタ・チャンネル番号 (n = 0, 2, 4)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 n < p < q ≤ 7 (ただしp, qは, n以降の整数)

6.10 タイマ・アレイ・ユニット使用時の注意事項

6.10.1 タイマ出力使用時の注意事項

タイマ出力機能が割り当てられた端子に、他の兼用機能の出力も割り当てられている場合があります。このような場合にタイマ出力を使用するには、他方の兼用機能の出力を初期状態にする必要があります。詳細は、[4.5 兼用機能使用時のレジスタ設定](#)を参照してください。

第7章 12ビット・インターバル・タイマ

7.1 12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み (INTIT) を発生します。STOPモードからのウエイク・アップや、A/DコンバータのSNOOZEモードのトリガに役立ちます。

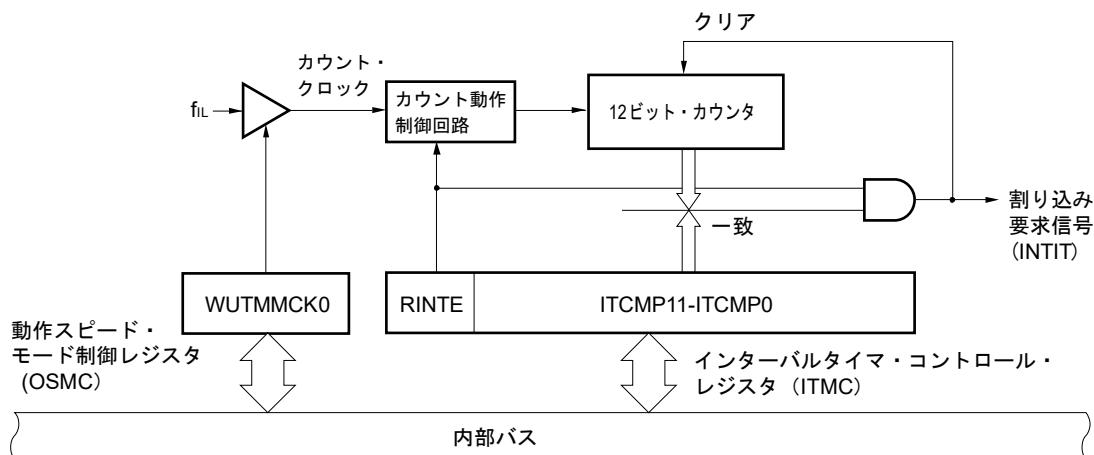
7.2 12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは、次のハードウェアで構成されています。

表7-1 12ビット・インターバル・タイマの構成

項 目	構 成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ0 (PER0)
	動作スピード・モード制御レジスタ (OSMC)
	インターバル・タイマ・コントロール・レジスタ (ITMC)

図7-1 12ビット・インターバル・タイマのブロック図



7.3 12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは、次のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・動作スピード・モード制御レジスタ (OSMC)
- ・インターバル・タイマ・コントロール・レジスタ (ITMC)

7.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

12ビット・インターバル・タイマを使用する場合は、必ず最初にビット7 (TMKAEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図7-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

TMKAEN	12ビット・インターバル・タイマへのクロック供給の制御
0	クロック供給停止 ・ 12ビット・インターバル・タイマで使用するSFRへのライト不可 ・ 12ビット・インターバル・タイマはリセット状態
1	クロック供給 ・ 12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注意1. 12ビット・インターバル・タイマを使用する際には、必ず最初に低速オンチップ・オシレータ・クロックを供給 (WUTMMCK0=1) してから、TMKAEN = 1に設定後、下記のレジスタの設定を行ってください。TMKAEN = 0の場合は、12ビット・インターバル・タイマの制御レジスタへの書き込みは無視され、読み出し値は初期値となります (動作スピード・モード制御レジスタ (OSMC) は除く)。

・ インターバル・タイマ・コントロール・レジスタ (ITMC)

2. 未定義のビットには、必ず“0”を設定してください。

7.3.2 動作スピード・モード制御レジスタ (OSMC)

WUTMMCK0ビットで12ビット・インターバル・タイマの動作クロックの供給を制御します。12ビット・インターバル・タイマを動作させるときは、先にWUTMMCK0 = 1に設定し、停止させるまでWUTMMCK0 = 0に設定しないでください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-3 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	12ビット・インターバル・タイマの動作クロックの供給
0	クロック供給停止
1	低速オンチップ・オシレータ・クロック (f _{IL}) 供給

7.3.3 インターバル・タイマ・コントロール・レジスタ (ITMC)

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0FFFHになります。

図7-4 インターバル・タイマ・コントロール・レジスタ (ITMC) のフォーマット

アドレス : FFF90H リセット時 : 0FFFH R/W

略号	15	14	13	12	11-0
ITMC	RINTE	0	0	0	ITCMP11-ITCMP0

RINTE	12ビット・インターバル・タイマの動作制御
0	カウンタ動作停止 (カウント・クリア)
1	カウンタ動作開始

ITCMP11-ITCMP0	12ビット・インターバル・タイマのコンペア値設定
001H	「カウント・クロック周期 × (ITCMP設定値+1) 」の定周期割り込みを発生します。
・	
・	
・	
FFFH	

ITCMP11-ITCMP0 = 001H, FFFH設定時の割り込み周期例	
・ ITCMP11-ITCMP0 = 001H, カウント・クロック : f _{IL} = 15 kHz時	
1/15 [kHz] × (1+1) ≒ 0.1333 [ms] = 133.3 [μs]	
・ ITCMP11-ITCMP0 = FFFH, カウント・クロック : f _{IL} = 15 kHz時	
1/15 [kHz] × (4095+1) ≒ 273 [ms]	

- 注意1. RINTEビットを0→1に変更する場合、先にOSMCレジスタのWUTMMCK0ビットを1に設定して、動作クロックを確定させてください。
- RINTEビットを1→0に変更する場合は、INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始 (0→1) する場合は、TMKAIFフラグをクリアしてから割り込み処理許可にしてください。
 - RINTEビットのリード値は、RINTEビット設定後、カウント・クロックの1クロック後に反映されます。
 - スタンバイ・モードから復帰後にRINTEビット設定して、再度スタンバイ・モードに移行する場合は、RINTEビットの書き込み値が反映されたことを確認するか、スタンバイ・モードの復帰からカウント・クロックの1クロック分以上の時間経過後に移行してください。
 - ITCMP11-ITCMP0ビットの設定を変更する場合は、必ずRINTE = 0のときに行ってください。ただし、RINTE = 0→1または1→0に変更すると同時にITCMP11-ITCMP0ビットの設定を変更することは可能です。

7.4 12ビット・インターバル・タイマの動作

7.4.1 12ビット・インターバル・タイマの動作タイミング

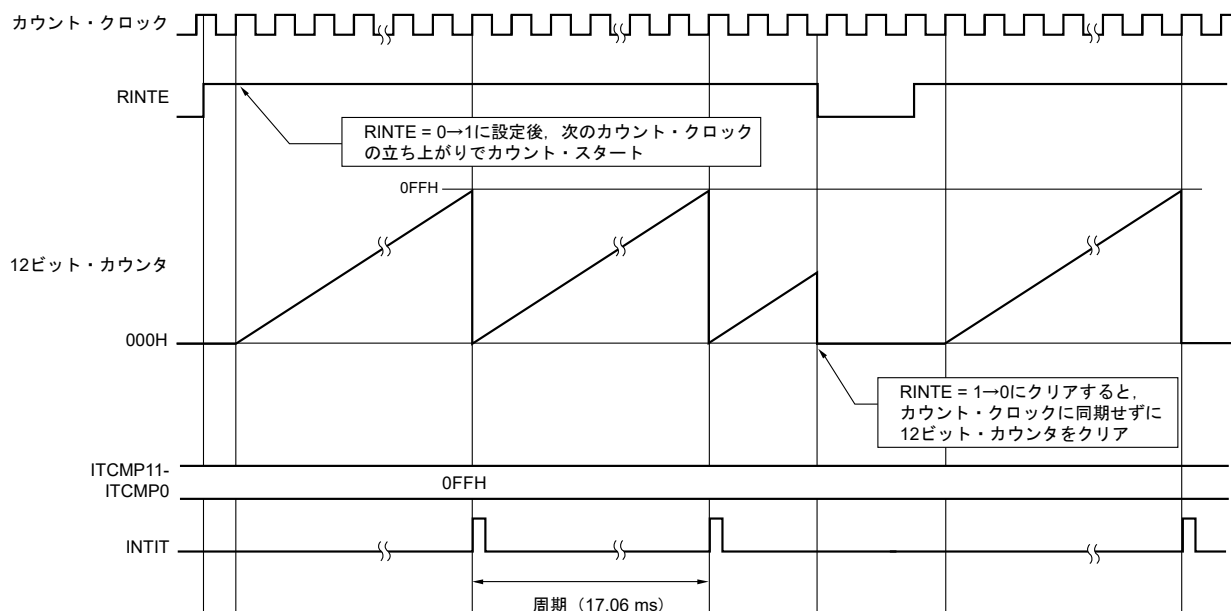
ITCMP11-ITCMP0ビットに設定したカウント値をインターバルとし、繰り返し割り込み要求（INTIT）を発生する12ビット・インターバル・タイマとして動作します。

RINTEビットを1に設定すると、12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITCMP11-ITCMP0ビットに設定した値と一致したとき、12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号（INTIT）を発生します。

12ビット・インターバル・タイマの基本動作を図7-5に示します。

図7-5 12ビット・インターバル・タイマ動作のタイミング
(ITCMP11-ITCMP00 = 0FFH, カウント・クロック : $f_{IL} = 15 \text{ kHz}$)

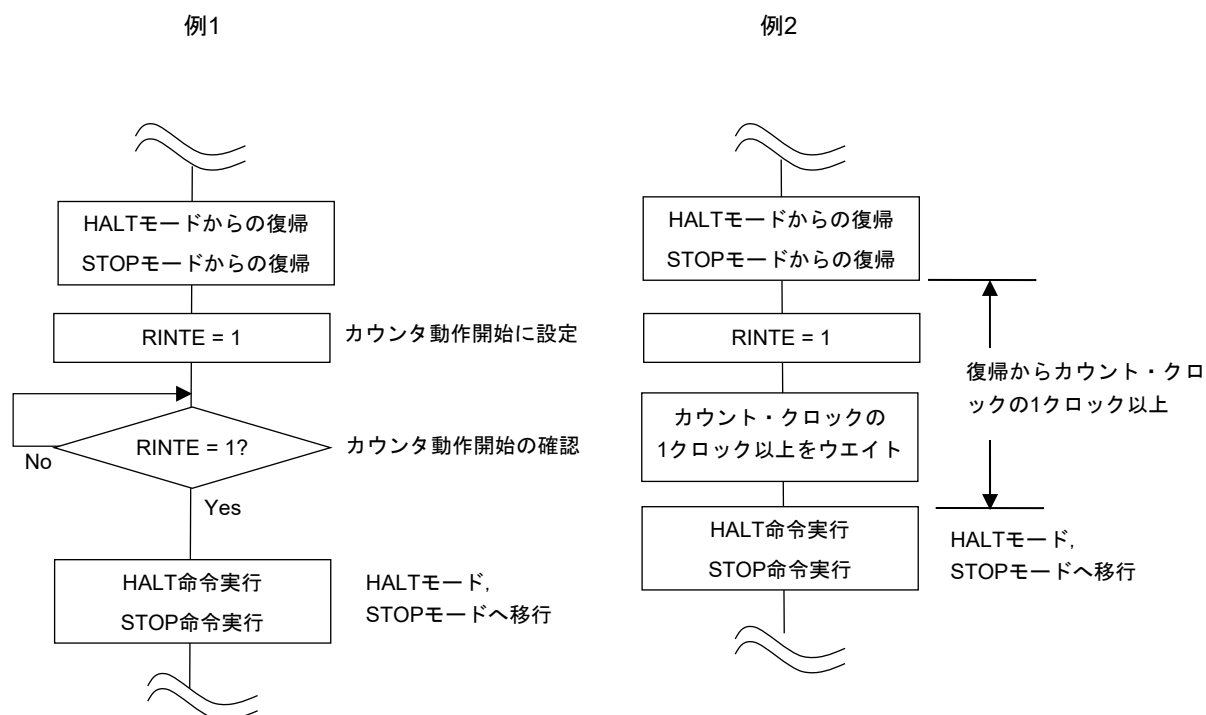


7.4.2 HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し、再度HALTモード、STOPモードへ移行する場合は、RINTE = 1に設定してから、RINTEビットの書き込み値が反映されたことを確認するか、復帰からカウント・クロックの1クロック分以上経過後に移行してください。

- ・ RINTE = 1に設定後、RINTEビットが1になるのをポーリングで確認後にHALTモード、STOPモードへ移行する（図7-6 例1参照）。
- ・ RINTE = 1に設定してから、カウント・クロックの1クロック分以上経過後にHALTモード、STOPモードへ移行する（図7-6 例2参照）。

図7-6 RINTE = 1に設定後のHALTモード、STOPモードへの移行手順



第8章 クロック出力／ブザー出力制御回路

クロック出力／ブザー出力制御回路の出力端子数は、製品によって異なります。

出力端子	20, 24ピン製品	30ピン製品
PCLBUZ0	○	○
PCLBUZ1	—	○

注意 この章では、以降の主な説明を30ピン製品の場合で説明しています。

8.1 クロック出力／ブザー出力制御回路の機能

クロック出力は周辺ICに供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

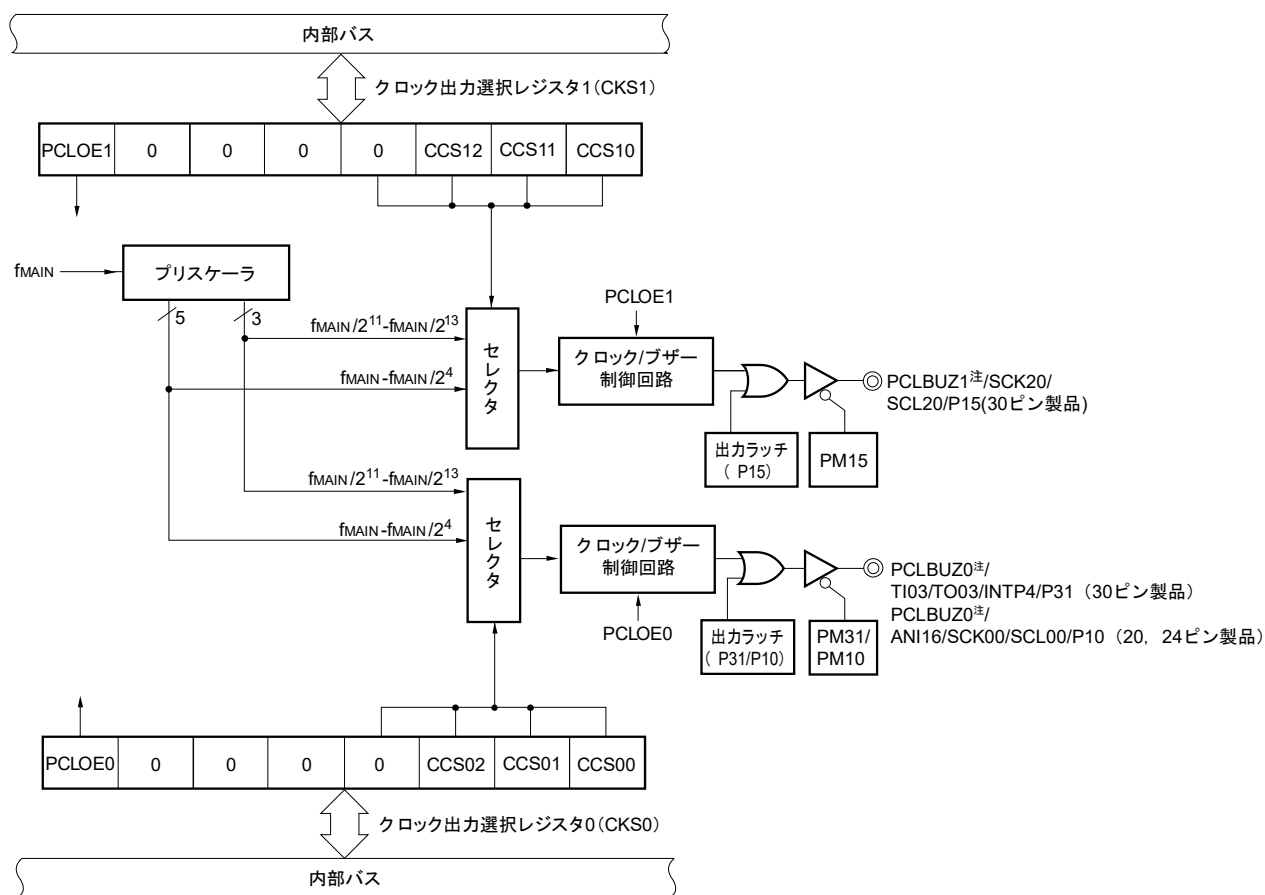
1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZn端子は、クロック出力選択レジスタn（CKSn）で選択したクロックを出力します。

図8－1にクロック出力／ブザー出力制御回路のブロック図を示します。

備考 n = 0, 1

図8-1 クロック出力／ブザー出力制御回路のブロック図



注 PCLBUZ0, PCLBUZ1端子から出力可能な周波数は、**28.4または29.4 AC特性**を参照してください。

なお、PCLBUZ1出力機能は、30ピン製品だけが搭載しています。

8.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表8-1 クロック出力／ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	クロック出力選択レジスタn (CKSn) ポート・モード・レジスタ1, 3 (PM1, PM3) ポート・レジスタ1, 3 (P1, P3)

8.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は、次のレジスタで制御します。

- ・クロック出力選択レジスタn (CKSn)
- ・ポート・モード・レジスタ1, 3 (PM1, PM3)
- ・ポート・レジスタ1, 3 (P1, P3)

8.3.1 クロック出力選択レジスタn (CKSn)

クロック出力またはブザー周波数出力の端子 (PCLBUZn) の出力許可／禁止, および出力クロックを設定するレジスタです。

CKSnレジスタで, PCLBUZn端子の出力するクロックを選択します。

CKSnレジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図8-2 クロック出力選択レジスタn (CKSn) のフォーマット

アドレス: FFFA5H (CKS0), FFFA6H (CKS1) ^{注1} リセット時: 00H R/W

略号	<u>7</u>	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	0	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn端子の出力許可／禁止の指定
0	出力禁止 (デフォルト)
1	出力許可

CCSn2	CCSn1	CCSn0		PCLBUZn端子の出力クロックの選択				
				f _{MAIN} (MHz)				
				5	10	16	20	24
0	0	0	f _{MAIN}	5 MHz	10 MHz ^{注2}	16 MHz ^{注2}	設定禁止 ^{注2}	設定禁止 ^{注2}
0	0	1	f _{MAIN} /2	2.5 MHz	5 MHz	8 MHz ^{注2}	10 MHz ^{注2}	12 MHz ^{注2}
0	1	0	f _{MAIN} /2 ²	1.25 MHz	2.5 MHz	4 MHz	5 MHz	6 MHz
0	1	1	f _{MAIN} /2 ³	625 kHz	1.25 MHz	2 MHz	2.5 MHz	3 MHz
1	0	0	f _{MAIN} /2 ⁴	313 kHz	625 kHz	1 MHz	1.25 MHz	1.5 MHz
1	0	1	f _{MAIN} /2 ¹¹	2.44 kHz	4.88 kHz	7.81 kHz	9.77 kHz	11.7 kHz
1	1	0	f _{MAIN} /2 ¹²	1.22 kHz	2.44 kHz	3.91 kHz	4.88 kHz	5.86 kHz
1	1	1	f _{MAIN} /2 ¹³	610 Hz	1.22 kHz	1.95 kHz	2.44 kHz	2.93 kHz

注 1. 30ピン製品のみ

2. 出力クロックは, 16 MHz以内の範囲で使用してください。詳しくは, 28.4または29.4 AC特性を参照してください。

注意1. 出力クロックの切り替えは, 出力禁止 (PCLOEn = 0) にしてから行ってください。

2. STOPモードに移行する場合は, STOP命令前にPCLOEn = 0にしてください。

備考1. n = 0, 1

2. f_{MAIN}: メイン・システム・クロック周波数

8.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は、対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx））を設定してください。詳細は、**4.3.1 ポート・モード・レジスタ（PMxx）**、**4.3.2 ポート・レジスタ（Pxx）**を参照してください。

クロック出力／ブザー出力端子を兼用するポート（P10 /PCLBUZ0（20, 24ピン製品）、P15/PCLBUZ1, P31/PCLBUZ0（30ピン製品））をクロック出力／ブザー出力として使用するときは、各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例）P15/PCLBUZ1をクロック出力／ブザー出力として使用する場合

ポート・モード・レジスタ1のPM15ビットを0に設定

ポート・レジスタ1のP15ビットを0に設定

8.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は、クロック出力選択レジスタ0（CKS0）で選択したクロック／ブザーを出力します。

PCLBUZ1端子は、クロック出力選択レジスタ1（CKS1）で選択したクロック／ブザーを出力します。

8.4.1 出力端子の動作

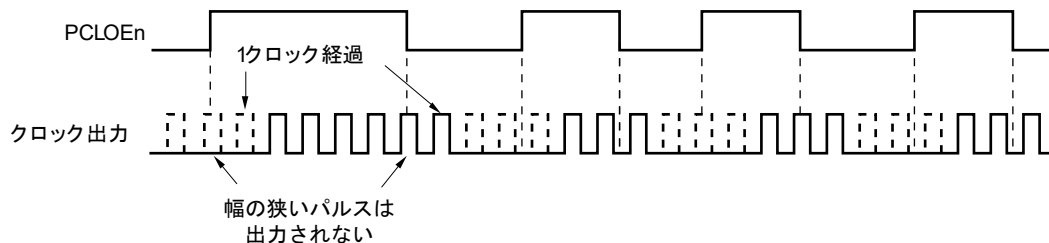
PCLBUZn端子は、次の手順で出力します。

- ① PCLBUZn端子として使用するポートに対応するポート・モード・レジスタ（PMxx）およびポート・レジスタ（Pxx）のビットに0を設定する。
- ② PCLBUZn端子のクロック出力選択レジスタ（CKSn）のビット0-2（CCSn0-CCSn2）で出力周波数を選択する（出力は禁止の状態）。
- ③ CKSnレジスタのビット7（PCLOEn）に1を設定し、クロック出力／ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可／禁止（PCLOEnビット）を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを図8-3に示します。

2. $n = 0, 1$

図8-3 PCLBUZn端子からのクロック出力のタイミング



8.5 クロック出力／ブザー出力制御回路の注意事項

出力停止設定（PCLOEn = 0）にしてからPCLBUZn端子の出力クロックの1.5クロック以内にSTOPモードへ移行すると、PCLBUZnの出力幅が短くなります。

第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、オプション・バイト（000C0H）でカウント動作を設定します。

ウォッチドッグ・タイマは、低速オンチップ・オシレータ・クロック（f_{IL}）で動作します。

ウォッチドッグ・タイマは、プログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバーフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- ・WDTEレジスタに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ（RESF）のビット4（WDTRF）がセット（1）されます。RESFレジスタの詳細については**第18章 リセット機能**を参照してください。

また、オーバーフロー時間の75%+1/2f_{IL}到達時にインターバル割り込みを発生することもできます。

9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表9-1 ウォッチドッグ・タイマの構成

項 目	構 成
カウンタ	内部カウンタ (17ビット)
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

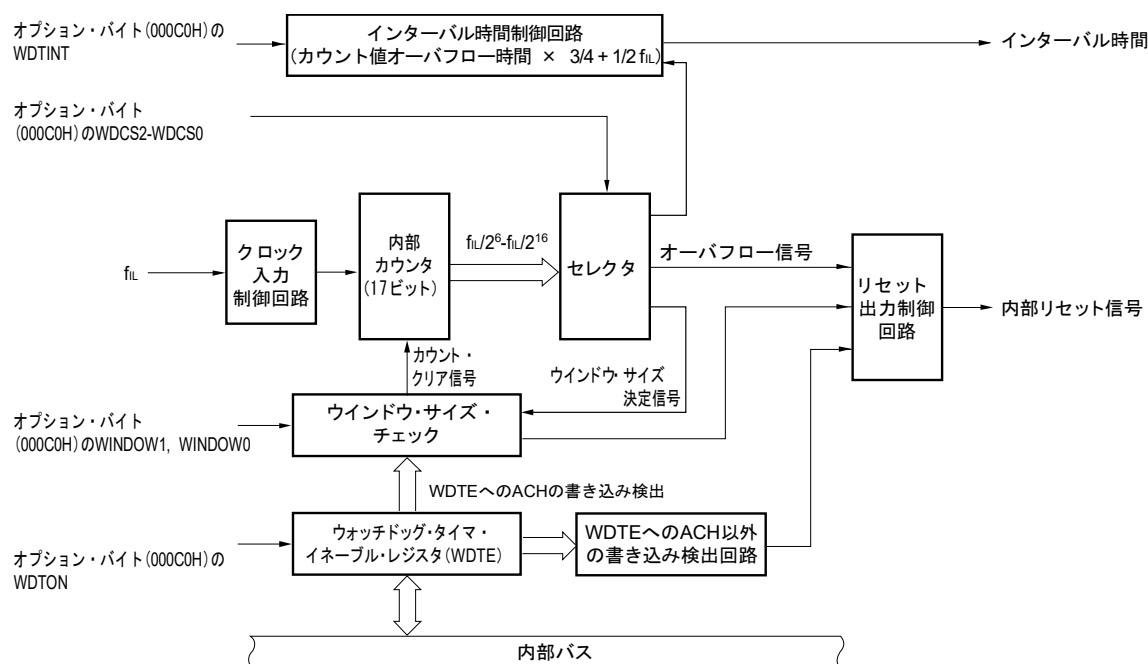
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表9-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDSCS2-WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)	ビット0 (WDSTBYON)

備考 オプション・バイトについては、第23章 オプション・バイトを参照してください。

図9-1 ウォッチドッグ・タイマのブロック図



備考 f_{IL} : 低速オンチップ・オシレータ・クロック

9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）で制御します。

9.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^注になります。

図9-2 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス：FFFABH リセット時：9AH/1AH^注 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEレジスタのリセット値は、オプション・バイト（000C0H）のWDTONビットの設定値によって異なります。ウォッチドッグ・タイマを動作する場合は、WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0（ウォッチドッグ・タイマのカウント動作禁止）	1AH
1（ウォッチドッグ・タイマのカウント動作許可）	9AH

注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。

2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。

3. WDTEレジスタのリード値は、“9AH/1AH”（書き込んだ値（“ACH”）とは異なる値）になります。

9.4 ウォッチドッグ・タイマの動作

9.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（000C0H）で次の内容を設定します。

- ・オプション・バイト（000C0H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウント動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第23章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止（リセット解除後、カウント停止）
1	カウント動作許可（リセット解除後、カウント開始）

- ・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で、オーバフロー時間を設定してください（詳細は、9.4.2および第23章を参照）。
- ・オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、9.4.3および第23章を参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
 3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
 4. 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
 5. WDTEレジスタに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
- また、次の場合も、内部リセット信号を発生します。

- ・WDTEレジスタに1ビット操作命令を使用した場合
- ・WDTEレジスタに“ACH”以外のデータを書き込んだ場合

- 注意1.** リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）への書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
2. WDTEレジスタに“ACH”を書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大f_{IL}の2クロックの誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフローする直前まで有効です。
- （注意4.は次ページにあります。）

注意4. オプション・バイト (000C0H) のビット0 (WDSTBYON) の設定値により、ウォッチドッグ・タイマのHALTモード、STOPモードおよびSNOOZEモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア (0) して、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

9.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表9-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 ($f_{IL} = 17.25 \text{ kHz (MAX.)}$ の場合)
0	0	0	$2^6/f_{IL}$ (3.71 ms)
0	0	1	$2^7/f_{IL}$ (7.42 ms)
0	1	0	$2^8/f_{IL}$ (14.84 ms)
0	1	1	$2^9/f_{IL}$ (29.68 ms)
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)
1	0	1	$2^{13}/f_{IL}$ (474.89 ms) 注
1	1	0	$2^{14}/f_{IL}$ (949.79 ms) 注
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms) 注

注 下記の使用条件にすべて該当すると、ウォッチドッグ・タイマのカウント・クリアした後、ウォッチドッグ・タイマの1クロック後にウォッチドッグ・タイマのインターバル割り込み(INTWDTI)が発生する場合があります。この割り込みは、ウォッチドッグ・タイマのカウントクリアを①～⑤の手順で実行することで、マスクする事ができます。

〈使用条件〉

- ・ ウォッチドッグ・タイマのオーバフローの時間を $2^{13}/f_{IL}$ 、 $2^{14}/f_{IL}$ または $2^{16}/f_{IL}$ に設定
- ・ ウォッチドッグ・タイマのインターバル割り込みを使用
- ・ ウォッチドッグ・タイマのカウント値がオーバフロー時間で75% 以上の時にWDTE レジスタ(FFFABH)にACH を書き込み

- ① ウォッチドッグ・タイマのカウントクリア前に、割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを1にセット
- ② ウォッチドッグ・タイマのカウントをクリア
- ③ 80 μs 以上ウエイト
- ④ 割り込み要求フラグ・レジスタ0(IF0L)のWDTIIFビットを0にクリア
- ⑤ 割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを0にクリア

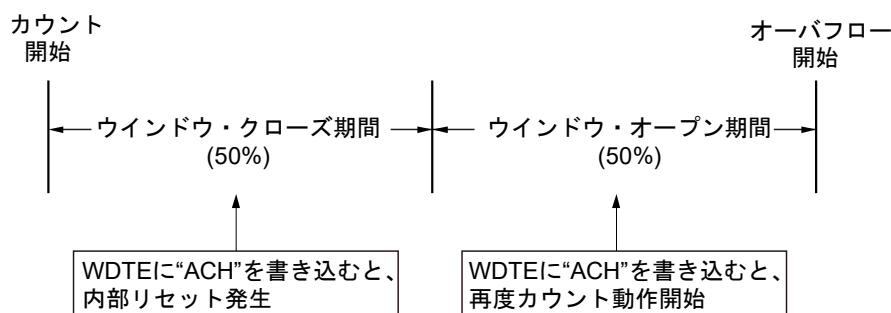
備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

9.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEレジスタに“ACH”を書き込んでも、異常検出され、内部リセットが発生します。

例 ウインドウ・オープン期間が50%の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバーフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表9-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50%
1	0	75% ^注
1	1	100%

注 ウインドウ・オープン期間を75%に設定した時に、ウォッチドッグ・タイマのカウンタ・クリア(WDTEへのACHの書き込み)を行う場合、ウォッチドッグ・タイマのインターバル割り込み要求フラグ(WDTIIF)を確認する等、下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDSCS2	WDSCS1	WDSCS0	ウォッチドッグ・タイマのオーバフロー時間($f_{IL} = 17.25 \text{ kHz (MAX.)}$ の場合)	ウインドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	$2^6/f_{IL}$ (3.71 ms)	1.85 ms～2.51 ms
0	0	1	$2^7/f_{IL}$ (7.42 ms)	3.71 ms～5.02 ms
0	1	0	$2^8/f_{IL}$ (14.84 ms)	7.42 ms～10.04 ms
0	1	1	$2^9/f_{IL}$ (29.68 ms)	14.84 ms～20.08 ms
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)	56.36 ms～80.32 ms
1	0	1	$2^{13}/f_{IL}$ (474.89 ms)	237.44 ms～321.26 ms
1	1	0	$2^{14}/f_{IL}$ (949.79 ms)	474.89 ms～642.51 ms
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms)	1899.59 ms～2570.04 ms

注意 オプション・バイト (000C0H) のビット0 (WDSTBYON) = 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウインドウ・オープン期間100%となります。

備考 オーバフロー時間を $2^9/f_{IL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

	ウインドウ・オープン期間の設定		
	50%	75%	100%
ウインドウ・クローズ時間	0～20.08 ms	0～10.04 ms	なし
ウインドウ・オープン時間	20.08～29.68 ms	10.04～29.68 ms	0～29.68 ms

＜ウインドウ・オープン期間50%のとき＞

・ オーバフロー時間：

$$2^9/f_{IL}(\text{MAX.}) = 2^9/17.25 \text{ kHz}(\text{MAX.}) = 29.68 \text{ ms}$$

・ ウインドウ・クローズ時間：

$$0 \sim 2^9/f_{IL}(\text{MIN.}) \times (1-0.5) = 0 \sim 2^9/12.75 \text{ kHz} \times 0.5 = 0 \sim 20.08 \text{ ms}$$

・ ウインドウ・オープン時間：

$$2^9/f_{IL}(\text{MIN.}) \times (1-0.5) \sim 2^9/f_{IL}(\text{MAX.}) = 2^9/12.75 \text{ kHz} \times 0.5 \sim 2^9/17.25 \text{ kHz} \\ = 20.08 \sim 29.68 \text{ ms}$$

9.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト（000C0H）のビット7（WDTINT）の設定により、オーバフロー時間の75%+1/2f_{IL}到達時にインターバル割り込み（INTWDTI）を発生することができます。

表9-5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%+1/2f _{IL} 到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も（ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むまで）カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第10章 A/Dコンバータ

A/Dコンバータのアナログ入力チャネル数は、製品によって異なります。

	20, 24ピン	30ピン
アナログ入力チャネル	11ch (ANI0-ANI3, ANI16-ANI22)	8ch (ANI0-ANI3, ANI16-ANI19)

10.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、最大11チャネルのA/Dコンバータ・アナログ入力（ANI0-ANI3, ANI16-ANI22）を制御できる構成になっています。A/Dコンバータ・モード・レジスタ2（ADM2）のADTYPビットにより、10ビット分解能と8ビット分解能を選択できます。

A/Dコンバータには、次のような機能があります。

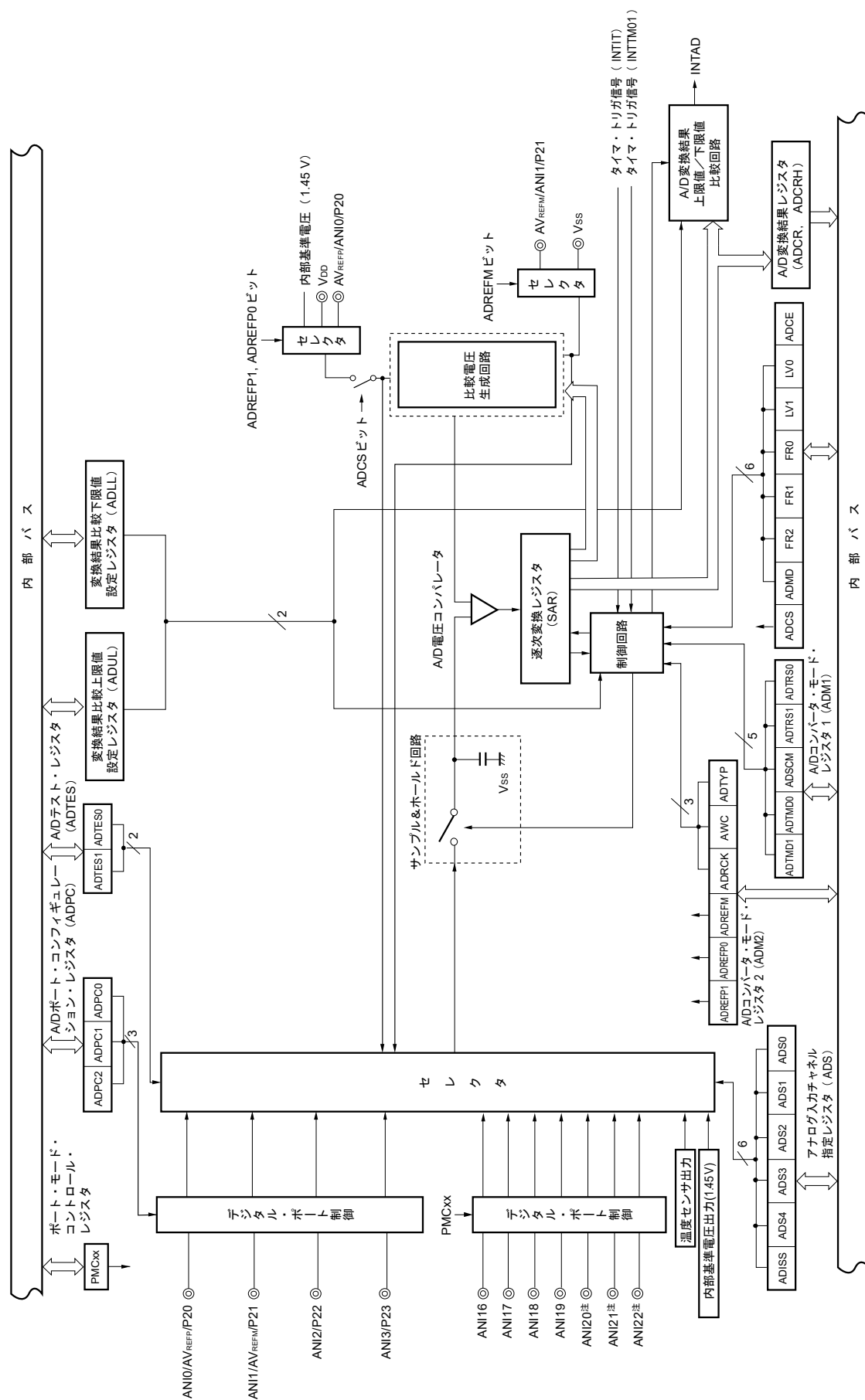
・10ビット／8ビット分解能 A/D変換

ANI0-ANI3, ANI16-ANI22（30ピン製品はANI0-ANI3, ANI16-ANI19）からアナログ入力を1チャネル選択し、10ビット／8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求（INTAD）を発生します（セレクト・モード時の場合）。

下記のモードの組み合わせにより、様々なA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウェア・トリガ	ソフトウェア操作で、変換動作を開始します。
	ハードウェア・トリガ・ノーウェイト・モード	ハードウェア・トリガを検出することにより、変換動作を開始します。
	ハードウェア・トリガ・ウェイト・モード	パワー・オフでの変換待機状態でハードウェア・トリガを検出することにより、パワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用する時は、ハードウェア・トリガ・ウェイト・モードを選択してください。
チャネル選択モード	セレクト・モード	アナログ入力を1チャネル選択し、A/D変換します。
	スキャン・モード	4チャネルのアナログ入力を順番にA/D変換します。ANI0-ANI3をアナログ入力に選択できます。
変換動作モード	ワンショット変換モード	選択したチャネルを1回A/D変換します。
	連続変換モード	選択したチャネルをソフトウェアで停止するまで、連続してA/D変換します。
動作電圧モード	標準1／標準2 モード	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ の動作電圧範囲で変換動作する時に選択します。
	低電圧1／低電圧2モード	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ の動作電圧範囲で変換動作が可能です。低電圧時に変換動作する時に選択します。低電圧動作のため、変換動作時に内部ゲート昇圧しています。
サンプリング時間の選択	サンプリング・クロック数： 7 f_{AD}	標準1／低電圧1モードのサンプリング時間は、変換クロック（ f_{AD} ）の7クロックです。アナログ入力源の出カインピーダンスが高くサンプリング時間を長くしたい時に選択します。
	サンプリング・クロック数： 5 f_{AD}	標準2／低電圧2モードのサンプリング時間は、変換クロック（ f_{AD} ）の5クロックです。アナログ入力源の出カインピーダンスが低いなどサンプリング時間が十分確保できている時に選択します。

図10-1 A/Dコンバータのブロック図



注 20, 24ピン製品のみ

10.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI3, ANI16-ANI22端子

A/Dコンバータの11チャンネルのアナログ入力端子です。（30ピン製品では、ANI0-ANI3, ANI16-ANI19端子の8チャンネルのアナログ入力端子です。）A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧（ $1/2 AV_{REF}$ ）より大きい場合には、逐次変換レジスタ（SAR）の最上位ビット（MSB）をセットします。アナログ入力電圧がリファレンス電圧（ $1/2 AV_{REF}$ ）より小さい場合には、SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、比較電圧生成回路の電圧タップが選択されます。

ビット9 = 0 : ($1/4 AV_{REF}$)

ビット9 = 1 : ($3/4 AV_{REF}$)

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を操作します。

アナログ入力電圧 $\geq$ 比較電圧生成回路の電圧タップ : ビット8 = 1

アナログ入力電圧 $\leq$ 比較電圧生成回路の電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

8ビット分解能でA/D変換する場合は、SARレジスタのビット2まで続けます。

備考 AV_{REF} : A/Dコンバータの+側基準電圧。 AV_{REFP} , 内部基準電圧（1.45 V）, V_{DD} から選択可能です。

(4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、A/D変換結果レジスタ (ADCR) に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号 (INTAD) が発生します。

(6) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、A/D変換結果上限値/下限値比較回路を通りINTADが発生します。

(9) AV_{REFP}端子

外部から基準電圧 (AV_{REFP}) を入力する端子です。

AV_{REFP}をA/Dコンバータの+側基準電圧として使用する場合は、A/Dコンバータ・モード・レジスタ2 (ADM2) のADREFP1ビットに0を、ADREFP0ビットに1を設定してください。

AV_{REFP}と一側基準電圧 (AV_{REFM}/V_{SS}) 間にかかる電圧に基づいて、ANI0-ANI3, ANI16-ANI22に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの+側基準電圧には、AV_{REFP}のほかにV_{DD}と内部基準電圧 (1.45 V) を選択することが可能です。

(10) AV_{REFM}端子

外部から基準電圧 (AV_{REFM}) を入力する端子です。AV_{REFM}をA/Dコンバータの一側基準電圧として使用する場合は、ADM2レジスタのADREFMビットをセット (1) してください。

A/Dコンバータの一側基準電圧には、AV_{REFM}のほかにV_{SS}を選択することが可能です。

10.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

- ・ 周辺イネーブル・レジスタ0 (PER0)
- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ 変換結果比較上限値設定レジスタ (ADUL)
- ・ 変換結果比較下限値設定レジスタ (ADLL)
- ・ A/Dテスト・レジスタ (ADTES)
- ・ A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・ ポート・モード・コントロール・レジスタ0, 1, 4, 12, 14 (PMC0, PMC1, PMC4, PMC12, PMC14)
- ・ ポート・モード・レジスタ0, 1, 2, 4, 12, 14 (PM0, PM1, PM2, PM4, PM12, PM14)

10.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN	0	ADCEN	IICA0EN	SAU1EN ^注	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータへのクロック供給の制御
0	クロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	クロック供給 ・ A/Dコンバータで使用するSFRへのリード／ライト可

注 30ピン製品のみ

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態では、下記のレジスタの設定を行ってください。ADCEN = 0の場合は、A/Dコンバータの制御レジスタは初期値となり、書き込みは無視されます（ポート・モード・レジスタ0, 1, 2, 4, 12, 14 (PM0, PM1, PM2, PM14, PM12, PM14), ポート・モード・コントロール・レジスタ0, 1, 4, 12, 14 (PMC0, PMC1, PMC4, PMC12, PMC14), A/Dポート・コンフィギュレーション・レジスタ (ADPC) は除く）。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ 変換結果比較上限値設定レジスタ (ADUL)
- ・ 変換結果比較下限値設定レジスタ (ADLL)
- ・ A/Dテスト・レジスタ (ADTES)

2. 次のビットには必ず“0”を設定してください。

20, 24ピン製品 : ビット1, 3, 6

30ピン製品 : ビット1, 6

10.3.2 A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始／停止を設定するレジスタです。

ADM0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-3 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	[7]	6	5	4	3	2	1	[0]
ADM0	ADCS	ADMD	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止 [リード時] 変換動作停止／待機状態
1	変換動作許可 [リード時] ソフトウェア・トリガ・モード時：変換動作状態 ハードウェア・トリガ・ウェイト・モード時：A/D電源安定待ち状態＋変換動作状態

ADMD	A/D変換チャンネル選択モードを設定
0	セレクト・モード
1	スキャン・モード

ADCE	A/D電圧コンパレータの動作制御 ^{注2}
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は、表10-3 A/D変換時間の選択を参照してください。

- ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウェイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1 μsかかります。このため、ADCEビットに1を設定してから1 μs以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。1 μs以上ウェイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

注意1. ADMD, FR2-FR0, LV1, LV0ビットの変更は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

- ADCS = 1, ADCE = 0 の設定は禁止です。
- ADCS = 0, ADCE = 0設定状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止します。必ず10.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

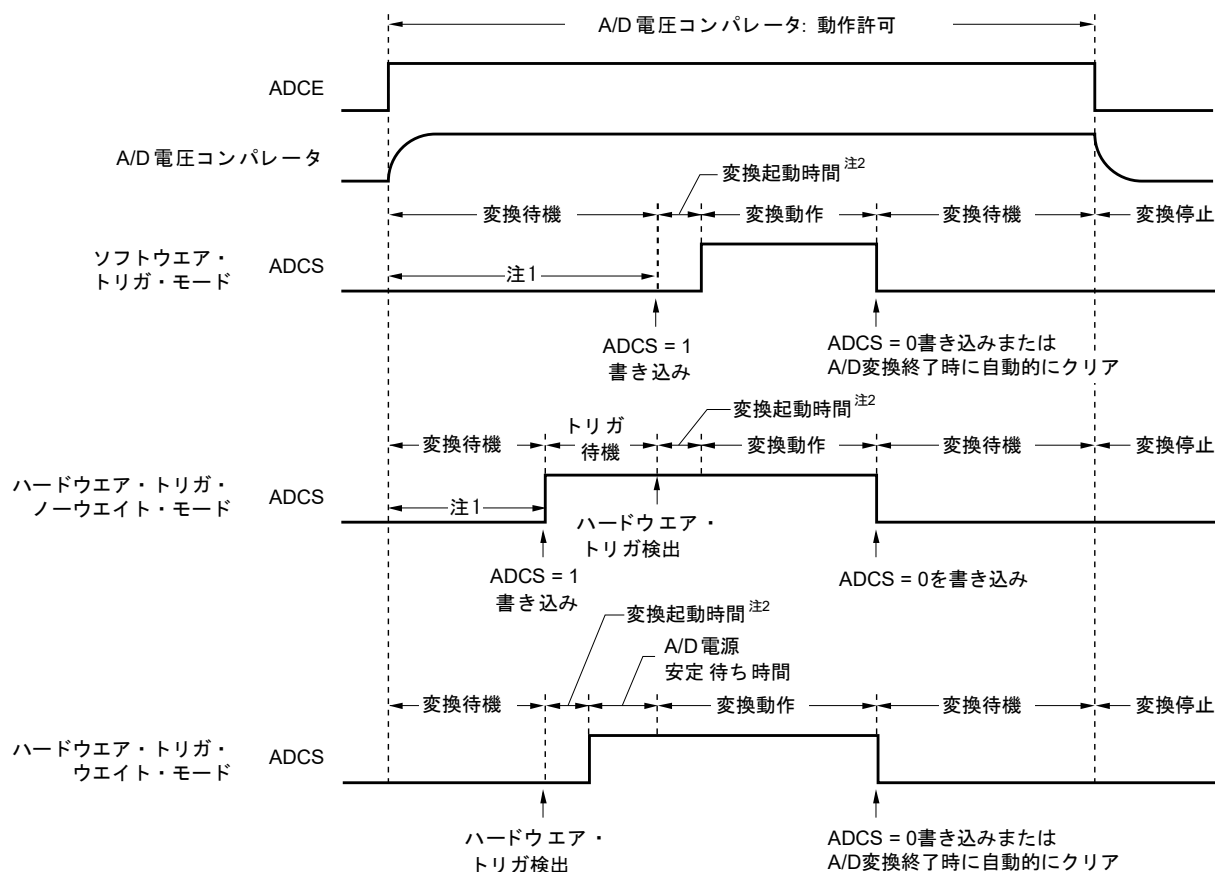
表10-1 ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

表10-2 ADCSビットのセット/クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウェア・トリガ	セレクト・モード	連続変換モード	ADCS = 1ライトした場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ ADCS = 0ライトした場合 ・ A/D変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ ADCS = 0ライトした場合 ・ 設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア
ハードウェア・トリガ・ノーウェイト・モード	セレクト・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
ハードウェア・トリガ・ウェイト・モード	セレクト・モード	連続変換モード	ハードウェア・トリガが入力された場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ ADCS = 0ライトした場合 ・ A/D変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ ADCS = 0ライトした場合 ・ 設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア

図10-4 A/D電圧コンパレータ使用時のタイミング・チャート



注1. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時、ADCEビットの立ち上がりから、ADCSビットの立ち上がりまでの時間は、内部回路安定のため、1 μ s以上が必要です。

2. 変換起動には、最大で次の時間がかかります。

ADM0			変換クロック (f_{AD})	起動時間 (f_{CLK} クロック数)	
FR2	FR1	FR0		ソフトウェア・トリガ・モード/ ハードウェア・トリガ・ノーウエイト・モード	ハードウェア・トリガ・ウエイト・モード
0	0	0	$f_{CLK}/64$	63	1
0	0	1	$f_{CLK}/32$	31	
0	1	0	$f_{CLK}/16$	15	
0	1	1	$f_{CLK}/8$	7	
1	0	0	$f_{CLK}/6$	5	
1	0	1	$f_{CLK}/5$	4	
1	1	0	$f_{CLK}/4$	3	
1	1	1	$f_{CLK}/2$	1	

ただし、連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません。

注意1. ハードウェア・トリガ・ウエイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です（ハードウェア・トリガ信号検出時に、自動的に1に切り替わります）。ただし、A/D変換待機状態にするために、ADCSビットに0を設定することは可能です。

2. ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時、A/D変換終了時にADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。

3. ADCEビットの書き換えは、ADCS = 0（変換停止／変換待機状態）のときに行ってください。

注意4. A/D変換を完了させるには、ハードウェア・トリガの間隔を次の時間以上にしてください。

ハードウェア・トリガ・ノーウエイト・モード時： f_{CLK} の2クロック＋変換起動時間＋A/D変換時

ハードウェア・トリガ・ウエイト・モード時： f_{CLK} の2クロック＋変換起動時間＋A/D電源安定待ち時間＋A/D変換時間

備考 f_{CLK} ：CPU／周辺ハードウェア・クロック周波数

表10-3 A/D変換時間の選択（1/4）

（1）A/D電源安定待ち時間なし 標準モード1, 2

（ソフトウェア・トリガ・モード／ハードウェア・トリガ・ノーウエイト・モード）

A/Dコンバータ・モード・					モード	変換 クロック (f _{AD})	変換 クロック数 [※]	変換時間	10ビット分解能時の変換時間					
レジスタ0 (ADM0)									2.7≦V _{DD} ≦5.5 V					
FR2	FR1	FR0	LV1	LV0					f _{CLK} = 1 MHz	f _{CLK} = 2 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 24 MHz
0	0	0	0	0	標準1	f _{CLK} /64	19 f _{AD}	1216/f _{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	76 μs	50.67 μs
0	0	1				f _{CLK} /32	(サンプリング・	608/f _{CLK}				76 μs	38 μs	25.33 μs
0	1	0				f _{CLK} /16	クロック数 :	304/f _{CLK}				76 μs	38 μs	19 μs
0	1	1				f _{CLK} /8	7 f _{AD})	152/f _{CLK}		76 μs	38 μs	19 μs	9.5 μs	6.33 μs
1	0	0				f _{CLK} /6		114/f _{CLK}		57 μs	28.5 μs	14.25 μs	7.125 μs	4.75 μs
1	0	1				f _{CLK} /5		95/f _{CLK}	95 μs	47.5 μs	23.75 μs	11.875 μs	5.938 μs	3.96 μs
1	1	0				f _{CLK} /4		76/f _{CLK}	76 μs	38 μs	19 μs	9.5 μs	4.75 μs	3.17 μs
1	1	1				f _{CLK} /2		38/f _{CLK}	38 μs	19 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	0	1	標準2	f _{CLK} /64	17f _{AD}	1088/f _{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	68 μs	45.33 μs
0	0	1				f _{CLK} /32	(サンプリング・	544/f _{CLK}				68 μs	34 μs	22.67 μs
0	1	0				f _{CLK} /16	クロック数 :	272/f _{CLK}				68 μs	34 μs	17 μs
0	1	1				f _{CLK} /8	5 f _{AD})	136/f _{CLK}		68 μs	34 μs	17 μs	8.5 μs	5.67 μs
1	0	0				f _{CLK} /6		102/f _{CLK}		51 μs	25.5 μs	12.75 μs	6.375 μs	4.25 μs
1	0	1				f _{CLK} /5		85/f _{CLK}	85 μs	42.5 μs	21.25 μs	10.625 μs	5.3125 μs	3.54 μs
1	1	0				f _{CLK} /4		68/f _{CLK}	68 μs	34 μs	17 μs	8.5 μs	4.25 μs	2.83 μs
1	1	1				f _{CLK} /2		34/f _{CLK}	34 μs	17 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止
上記以外					—	—	—	—	設定禁止					

注 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック（ f_{AD} ）の2クロック分短くなります。

注意1. A/D変換時間は、28. 6. 1または29. 6. 1 A/Dコンバータ特性に示す変換時間（ t_{CONV} ）の範囲内で使用してください。

2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} ：CPU／周辺ハードウェア・クロック周波数

表10-3 A/D変換時間の選択 (2/4)

(2) A/D電源安定待ち時間なし 低電圧モード1, 2

(ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウェイト・モード)

A/Dコンバータ・モード・モード					変換 クロック (fAD)	変換 クロック数 ^{注3}	変換時間	10ビット分解能時の変換時間											
レジスタ0 (ADM0)								1.8 V ≤ VDD ≤ 5.5 V				注1	注2						
FR2	FR1	FR0	LV1	LV0				fCLK = 1 MHz	fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz						
0	0	0	1	0	低電圧1	fCLK/64	19 fAD	1216/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	76 μs	50.67 μs					
0	0	1				fCLK/32	(サンプリング・						608/fCLK	76 μs	38 μs	25.33 μs			
0	1	0				fCLK/16	クロック数 :						304/fCLK	76 μs	38 μs	19 μs	12.67 μs		
0	1	1				fCLK/8	7 fAD)						152/fCLK	76 μs	38 μs	19 μs	9.5 μs	6.33 μs	
1	0	0				fCLK/6							114/fCLK	57 μs	28.5 μs	14.25 μs	7.125 μs	4.75 μs	
1	0	1				fCLK/5							95/fCLK	95 μs	47.5 μs	23.75 μs	11.875 μs	5.938 μs	3.96 μs
1	1	0				fCLK/4							76/fCLK	76 μs	38 μs	19 μs	9.5 μs	4.75 μs	3.17 μs
1	1	1				fCLK/2							38/fCLK	38 μs	19 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	1	1	低電圧2	fCLK/64	17 fAD	1088/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	68 μs	45.33 μs					
0	0	1				fCLK/32	(サンプリング・						544/fCLK	68 μs	34 μs	22.667 μs			
0	1	0				fCLK/16	クロック数 :						272/fCLK	68 μs	34 μs	17 μs	11.333 μs		
0	1	1				fCLK/8	5 fAD)						136/fCLK	68 μs	34 μs	17 μs	8.5 μs	5.667 μs	
1	0	0				fCLK/6							102/fCLK	51 μs	25.5 μs	12.75 μs	6.375 μs	4.25 μs	
1	0	1				fCLK/5							85/fCLK	85 μs	42.5 μs	21.25 μs	10.625 μs	5.313 μs	3.542 μs
1	1	0				fCLK/4							68/fCLK	68 μs	34 μs	17 μs	8.5 μs	4.25 μs	2.833 μs
1	1	1				fCLK/2							34/fCLK	34 μs	17 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止
上記以外					—	—	—	—	設定禁止										

注1. 2.4 V ≤ V_{DD} ≤ 5.5 V2. 2.7 V ≤ V_{DD} ≤ 5.5 V3. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック (f_{AD}) の2クロック分短くなります。注意1. A/D変換時間は、28 .6. 1または29 .6. 1 A/Dコンバータ特性に示す変換時間 (t_{conv}) の範囲内で使用してください。

2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。

3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

表10-3 A/D変換時間の選択 (3/4)

(3) A/D電源安定待ち時間あり 標準モード1, 2

(ハードウェア・トリガ・ウェイト・モード^{注1)})

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	A/D電源安定待ちクロック数	変換クロック数 ^{※2}	A/D電源安定待ち時間 + 変換時間	A/D電源安定待ち時間+10ビット分解能時の変換時間									
FR2	FR1	FR0	LV1	LV0						2.7 V ≤ VDD ≤ 5.5 V									
										fCLK = 1 MHz	fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz				
0	0	0	0	0	標準1	fCLK/64	8 fAD	19 fAD (サンプリング・クロック数 : 7 fAD)	1728/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	108 μs	72 μs				
0	0	1				fCLK/32			864/fCLK					108 μs	54 μs	36 μs			
0	1	0				fCLK/16			432/fCLK					108 μs	54 μs	27 μs	18 μs		
0	1	1				fCLK/8			216/fCLK					108 μs	54 μs	27 μs	13.5 μs	9 μs	
1	0	0				fCLK/6			162/fCLK					81 μs	40.5 μs	20.25 μs	10.125 μs	6.75 μs	
1	0	1				fCLK/5			135/fCLK					135 μs	67.5 μs	33.75 μs	16.875 μs	8.438 μs	5.625 μs
1	1	0				fCLK/4			108/fCLK					108 μs	54 μs	27 μs	13.5 μs	6.75 μs	4.5 μs
1	1	1				fCLK/2			54/fCLK					54 μs	27 μs	13.5 μs	6.75 μs	3.375 μs	設定禁止
0	0	0	0	1	標準2	fCLK/64	17 fAD (サンプリング・クロック数 : 5 fAD)	1600/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	100 μs	66.67 μs					
0	0	1				fCLK/32		800/fCLK					100 μs	50 μs	33.33 μs				
0	1	0				fCLK/16		400/fCLK					100 μs	50 μs	25 μs	16.67 μs			
0	1	1				fCLK/8		200/fCLK					100 μs	50 μs	25 μs	12.5 μs	8.33 μs		
1	0	0				fCLK/6		150/fCLK					75 μs	37.5 μs	18.75 μs	9.375 μs	6.25 μs		
1	0	1				fCLK/5		125/fCLK					125 μs	62.5 μs	31.25 μs	15.625 μs	7.8125 μs	5.21 μs	
1	1	0				fCLK/4		100/fCLK					100 μs	50 μs	25 μs	12.5 μs	6.25 μs	4.17 μs	
1	1	1				fCLK/2		50/fCLK					50 μs	25 μs	12.5 μs	6.25 μs	3.125 μs	設定禁止	
上記以外						—		—	—	設定禁止									

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表10-3 (1/4) 参照）。

2. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック (f_{AD}) の2クロック分短くなります。

注意1. A/D変換時間は、28. 6. 1または29. 6. 1 A/Dコンバータ特性に示す変換時間 (t_{CONV}) の範囲内で使用してください。なお、変換時間 (t_{CONV}) はA/D電源安定待ち時間を含みません。

- FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。
- 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

表10-3 A/D変換時間の選択 (4/4)

(4) A/D電源安定待ち時間あり 低電圧モード1, 2

(ハードウェア・トリガ・ウェイト・モード^{注1)})

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	A/D電源安定待ちクロック数	変換クロック数注4	A/D電源安定待ち時間+変換時間	A/D電源安定待ち時間+10ビット分解能時の変換時間									
										1.8 V ≤ VDD ≤ 5.5 V				注2	注3				
FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz				
0	0	0	1	0	低電圧1	fCLK/64	2 fAD	19 fAD	1344/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	84 μs	56 μs				
0	0	1				fCLK/32		(サンプリング・クロック数: 7 fAD)	672/fCLK							84 μs	42 μs	28 μs	
0	1	0				fCLK/16			336/fCLK							84 μs	42 μs	21 μs	
0	1	1				fCLK/8			168/fCLK						84 μs	42 μs	21 μs	10.5 μs	7 μs
1	0	0				fCLK/6			126/fCLK						63 μs	31.25 μs	15.75 μs	7.875 μs	5.25 μs
1	0	1				fCLK/5			105/fCLK					105 μs	52.5 μs	26.25 μs	13.125 μs	6.563 μs	4.38 μs
1	1	0				fCLK/4			84/fCLK					84 μs	42 μs	21 μs	10.5 μs	5.25 μs	3.5 μs
1	1	1				fCLK/2			42/fCLK					42 μs	21 μs	10.5 μs	5.25 μs	2.625 μs	設定禁止
0	0	0	1	1	低電圧2	fCLK/64		17 fAD	1216/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	76 μs	50.67 μs				
0	0	1				fCLK/32		(サンプリング・クロック数: 5 fAD)	608/fCLK							76 μs	38 μs	25.33 μs	
0	1	0				fCLK/16			304/fCLK						76 μs	38 μs	19 μs	12.67 μs	
0	1	1				fCLK/8			152/fCLK						76 μs	38 μs	19 μs	9.5 μs	6.33 μs
1	0	0				fCLK/6			114/fCLK						57 μs	28.5 μs	14.25 μs	7.125 μs	4.75 μs
1	0	1				fCLK/5			95/fCLK					95 μs	47.5 μs	23.75 μs	11.875 μs	5.938 μs	3.96 μs
1	1	0				fCLK/4			76/fCLK					76 μs	38 μs	19 μs	9.5 μs	4.75 μs	3.17 μs
1	1	1				fCLK/2			38/fCLK					38 μs	19 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
上記以外					—	—	—	—	—	設定禁止									

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表10-3 (2/4) 参照）。

2. $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$

3. $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$

4. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック（f_{AD}）の2クロック分短くなります。

注意1. A/D変換時間は、28.6.1または29.6.1 A/Dコンバータ特性に示す変換時間（t_{CONV}）の範囲内で使用してください。なお、変換時間（t_{CONV}）はA/D電源安定待ち時間を含みません。

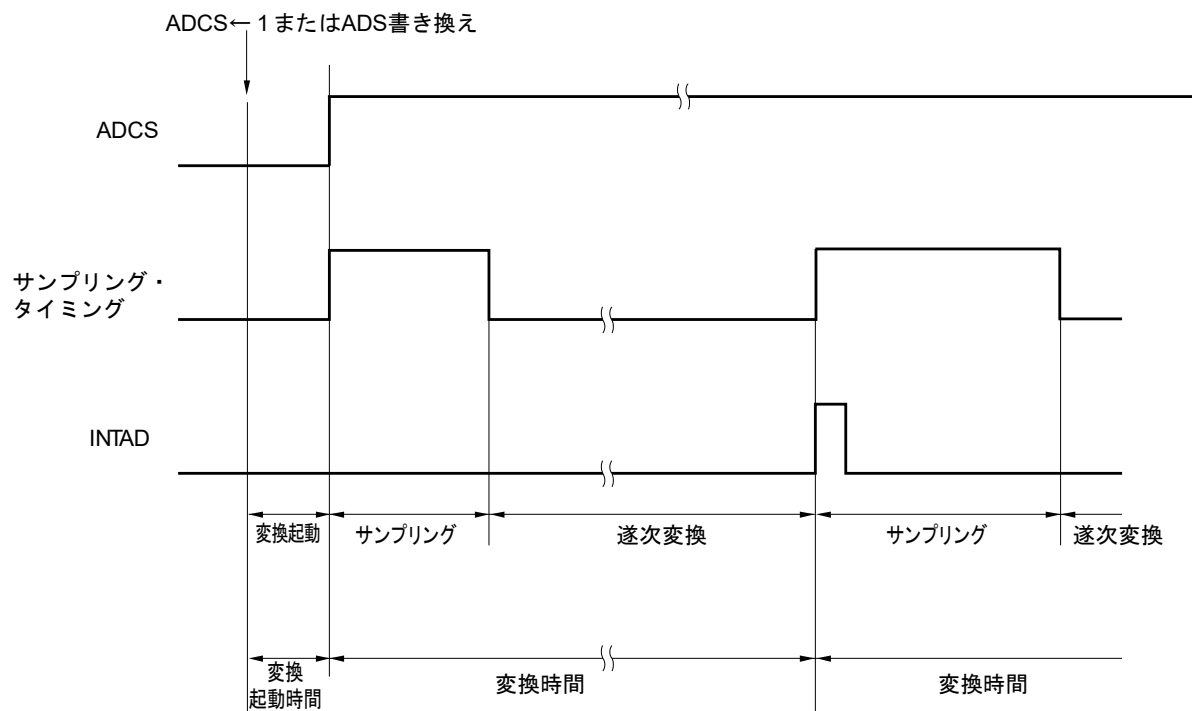
2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

図10-5 A/DコンバータのサンプリングとA/D変換のタイミング (例 ソフトウェア・トリガ・モードの場合)



10.3.3 A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換トリガ、変換モード、ハードウェア・トリガ信号を設定するレジスタです。

ADM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-6 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマット

アドレス : FFF32H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D変換トリガ・モードの選択
0	×	ソフトウェア・トリガ・モード
1	0	ハードウェア・トリガ・ノーウエイト・モード
1	1	ハードウェア・トリガ・ウエイト・モード

ADSCM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択
0	0	タイマ・チャンネル01のカウント完了またはキャプチャ完了割り込み信号 (INTTM01)
1	1	12ビット・インターバル・タイマ割り込み信号 (INTIT)
上記以外		設定禁止

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時 : f_{CLK} の2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時 : f_{CLK} の2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

3. SNOOZE機能以外のモードにおいて、INTIT入力後最大 f_{CLK} の4クロック間は、次のINTIT入力がトリガとして有効になりません。

備考1. × : don't care

2. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

10.3.4 A/Dコンバータ・モード・レジスタ2 (ADM2)

A/Dコンバータの+側基準電圧および-側基準電圧の選択, A/D変換結果の上限値/下限値のチェック, 分解能の選択, およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図10-7 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (1/2)

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	③	②	1	①
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧の選択
0	0	V _{DD} から供給
0	1	P20/AV _{REFP} /ANI0から供給
1	0	内部基準電圧 (1.45 V) から供給 ^注
1	1	設定禁止

・ ADREFP1, ADREFP0ビットを書き換える場合, 次の手順で設定してください。

- ① ADCE = 0に設定
- ② ADREFP1, ADREFP0の値を変更
- ③ 基準電圧安定待ち時間ウェイト (A)
- ④ ADCE = 1に設定
- ⑤ 基準電圧安定待ち時間ウェイト (B)

ADREFP1, ADREFP0 = 1, 0に変更する場合 : A = 5 μ s, B = 1 μ s
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合 : Aはウェイト不要, B = 1 μ s
⑤のウェイトのあとに, A/D変換開始してください。

・ ADREFP1, ADREFP0 = 1, 0に設定した場合, 温度センサ出力電圧と内部基準電圧 (1.45 V) をA/D変換することはできません。

必ずADISS = 0としてA/D変換を行ってください。

ADREFM	A/Dコンバータの-側の基準電圧の選択
0	V _{SS} から供給
1	P21/AV _{REFM} /ANI1から供給

注 HS (高速メイン) モードでのみ選択可能です。

注意1. ADM2レジスタを書き換える場合は, 必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

2. STOPモードへ移行する場合は, ADREFP1 = 1に設定しないでください。内部基準電圧 (ADREFP1, ADREFP0 = 1, 0) 選択時は, 28. 4. 2または29. 4. 2 電源電流特性に示すA/Dコンバータ基準電圧電流(I_{ADREF})の電流値が加算されます。

3. AV_{REFP}とAV_{REFM}を使用する場合は, ANI0とANI1をアナログ入力に設定し, ポート・モード・レジスタは入力モードに設定してください。

図10-7 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (2/2)

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	③	②	1	①
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADRCK	変換結果上限/下限値チェック
0	ADLLレジスタ $\leq$ ADCRレジスタ $\leq$ ADULレジスタ (AREA1) のとき割り込み信号 (INTAD) が発生。
1	ADCRレジスタ $<$ ADLLレジスタ (AREA2), ADULレジスタ $<$ ADCRレジスタ (AREA3) のとき割り込み信号 (INTAD) が発生。
AREA1~AREA3の割り込み信号 (INTAD) 発生範囲を図10-8に示します。	

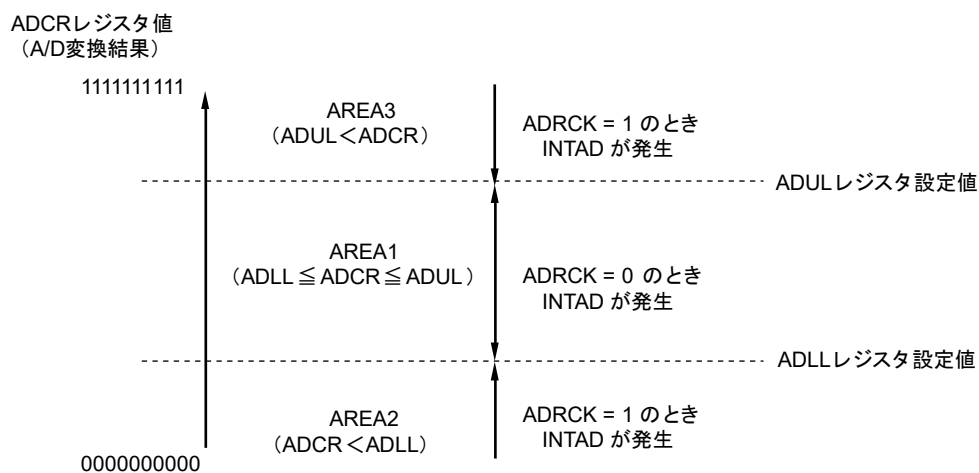
AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います (SNOOZEモード)。 ・SNOOZEモード機能は、CPU/周辺ハードウェア・クロック (f_{CLK}) に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 ・ソフトウェア・トリガ・モード、およびハードウェア・トリガ・ノー・ウェイト・モードでのSNOOZEモード機能は使用禁止です。 ・連続変換モードでのSNOOZEモード機能は使用禁止です。 ・SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードへの遷移時間^注+変換起動時間+A/D電源安定待ち時間+A/D変換時間+f_{CLK}の2クロック」以上の間隔を空けて設定してください (表10-3参照)。 ・SNOOZEモード機能を使用する場合でも、通常動作時はAWCを0に設定し、STOPモードへ移行する直前にAWCを1に変更してください。 また、STOPモードから通常動作へ復帰後、必ずAWCを0に変更してください。AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。	

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注 17.3.3 SNOOZEモードの「STOPモード→SNOOZEモードの遷移時間」を参照してください。

注意 ADM2レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

図10-8 ADRCKビットによる割り込み信号発生範囲



備考 INTADが発生しない場合、A/D変換結果がADCR, ADCRHレジスタに格納されません。

10.3.5 10ビットA/D変換結果レジスタ（ADCR）

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタ（SAR）から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに、下位2ビットがFFF1EHの上位2ビットに格納されます[※]。

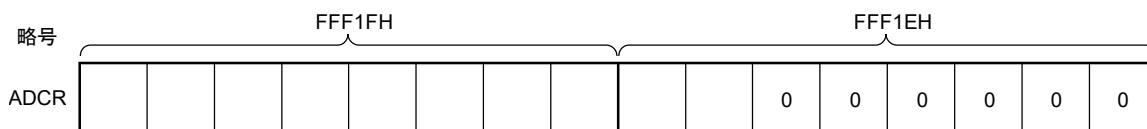
ADCRレジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

注 A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定：図10-8参照）で設定した値の範囲外の場合は格納されません。

図10-9 10ビットA/D変換結果レジスタ（ADCR）のフォーマット

アドレス：FFF1FH, FFF1EH リセット値：0000H R



- 注意1.** 8ビット分解能A/D変換を選択時（A/Dコンバータ・モード・レジスタ2（ADM2）のADTYP = 1）にADCRレジスタをリードした場合、下位2ビット（ADCRレジスタのビット7，ビット6）は、0が読み出されます。
- 2.** ADCRレジスタへ16ビット・アクセスした場合、変換結果上位10ビットがADCRレジスタのビット15から順に読み出せます。

10.3.6 8ビットA/D変換結果レジスタ（ADCRH）

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します[※]。

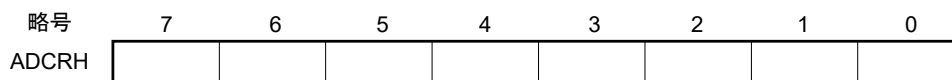
ADCRHレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

注 A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定：図10-8参照）で設定した値の範囲外の場合は格納されません。

図10-10 8ビットA/D変換結果レジスタ（ADCRH）のフォーマット

アドレス：FFF1FH リセット時：00H R



注意 A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），A/Dポート・コンフィギュレーション・レジスタ（ADPC）に対して書き込み動作を行ったとき，ADCRHレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0，ADS，ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

10.3.7 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-11 アナログ入力チャネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W								
略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード (ADMD = 0) (20, 24ピン製品)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	1	0	0	0	0	ANI16	P10/ANI16端子
0	1	0	0	0	1	ANI17	P11/ANI17端子
0	1	0	0	1	0	ANI18	P12/ANI18端子
0	1	0	0	1	1	ANI19	P13/ANI19端子
0	1	0	1	0	0	ANI20	P14/ANI20端子
0	1	0	1	0	1	ANI21	P42/ANI21端子
0	1	0	1	1	0	ANI22	P41/ANI22端子
1	0	0	0	0	0	—	温度センサ出力 ^注
1	0	0	0	0	1	—	内部基準電圧出力 (1.45V) ^注
上記以外						設定禁止	

注 HS (高速メイン) モードでのみ選択可能です。

○セレクト・モード (ADMD = 0) (30ピン製品)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	1	0	0	0	0	ANI16	P01/ANI16端子
0	1	0	0	0	1	ANI17	P00/ANI17端子
0	1	0	0	1	0	ANI18	P147/ANI18端子
0	1	0	0	1	1	ANI19	P120/ANI19端子
1	0	0	0	0	0	—	温度センサ出力 ^注
1	0	0	0	0	1	—	内部基準電圧出力 (1.45V) ^注
上記以外						設定禁止	

注 HS (高速メイン) モードでのみ選択可能です。

(注意は次ページにあります。)

○スキャン・モード (ADMD = 1)

ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
					スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	1	ANI1	ANI2	ANI3	—
0	0	0	1	0	ANI2	ANI3	—	—
0	0	0	1	1	ANI3	—	—	—
上記以外					設定禁止			

注意1. ビット5, 6には必ず0を設定してください。

- ADPC, PMCxレジスタでアナログ入力に設定したポートは, ポート・モード・レジスタ0, 1, 2, 4, 12, 14 (PMC0, PMC1, PMC2, PMC4, PMC12, PMC14) で入力モードに選択してください。
- A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力として設定する端子を, ADSレジスタで設定しないでください。
- ポート・モード・コントロール・レジスタ0, 1, 4, 12, 14 (PMC0, PMC1, PMC4, PMC12, PMC14) でデジタル入出力として設定する端子を, ADSレジスタで設定しないでください。
- ADISSビットを書き換える場合は, 必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。
- AV_{REFP}をA/Dコンバータの+側の基準電圧として使用している場合, ANI0をA/D変換チャネルとして選択しないでください。
- AV_{REFM}をA/Dコンバータの-側の基準電圧として使用している場合, ANI1をA/D変換チャネルとして選択しないでください。
- ADISS = 1を設定した場合, +側の基準電圧に内部基準電圧 (1.45 V) は使用できません。また, ADISS = 1に設定後, 1回目の変換結果は使用できません。詳細設定フローは, 10. 7. 4 温度センサ出力電圧/内部基準電圧を選択時の設定を参照してください。
- STOPモードへ移行, もしくはHALTモードへ移行する場合は, ADISS = 1に設定しないでください。ADISS = 1設定時は, 28. 3. 2 または29. 3. 2 電源電流特性に示すA/Dコンバータ基準電圧電流 (I_{ADREF})の電流値が加算されます。

備考 ー: 変換結果は不定値となるので, 無視してください。

10. 3. 8 変換結果比較上限値設定レジスタ (ADUL)

A/D変換結果対し, 上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い, A/Dコンバータ・モード・レジスタ2 (ADM2) のADRCKビットの設定範囲 (図10-8参照) で割り込み信号 (INTAD) の発生を制御します。

ADULレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図10-12 変換結果比較上限値設定レジスタ (ADUL) のフォーマット

アドレス: F0011H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

10.3.9 変換結果比較下限値設定レジスタ (ADLL)

A/D変換結果対し、下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2) のADRCCKビットの設定範囲 (図10-8参照) で割り込み信号 (INTAD) の発生を制御します。

ADLLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-13 変換結果比較下限値設定レジスタ (ADLL) のフォーマット

アドレス : F0012H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意1. 10ビット分解能A/D変換選択時は、10ビットA/D変換結果レジスタ (ADCR) の上位8ビットをADULレジスタおよびADLLレジスタと比較します。

2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

3. ADULレジスタおよびADLLレジスタは、ADUL > ADLLになるように設定を行ってください。

10.3.10 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル (ANlxx)、温度センサ出力電圧、内部基準電圧 (1.45 V) を選択するレジスタです。詳細は21.3.7 A/Dテスト機能を参照してください。

A/Dテスト機能として使用する場合は、以下の設定にします。

- ・ゼロスケールを測定するときは、A/D変換対象に-側の基準電圧を選択。
- ・フルスケールを測定するときは、A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-14 A/Dテスト・レジスタ (ADTES) のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx/温度センサ出力電圧 ^注 /内部基準電圧 (1.45V) ^注 (アナログ入力チャネル指定レジスタ (ADS) で設定)
1	0	-側の基準電圧 (ADM2レジスタのADREFMビットで選択)
1	1	+側の基準電圧 (ADM2レジスタのADREFP1, ADREFP0ビットで選択)
上記以外		設定禁止

注 温度センサ出力電圧、内部基準電圧 (1.45 V) は、HS (高速メイン) モードでのみ選択可能です。

10.3.11 アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・モード・コントロール・レジスタ（PMCxx）、A/Dポート・コンフィギュレーション・レジスタ（ADPC））を設定してください。詳細は、4.3.1 ポート・モード・レジスタ（PMxx）、4.3.6 ポート・モード・コントロール・レジスタ（PMCxx）、4.3.7 A/Dポート・コンフィギュレーション・レジスタ（ADPC）を参照してください。

ANI0-ANI3端子をA/Dコンバータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定し、A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に設定してください。

ANI16-ANI22端子をA/Dコンバータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ（PMxx）とポート・モード・コントロール・レジスタ（PMCxx）のビットに1を設定してください。

10.4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

- ① 選択したアナログ入力チャネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。
- ② 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。
- ③ 逐次変換レジスタ（SAR）のビット9をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを（1/2） AV_{REF} にします。
- ④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし、アナログ入力が（1/2） AV_{REF} よりも大きければ、SARレジスタのMSBビットをセットしたままです。また、（1/2） AV_{REF} よりも小さければ、MSBビットはリセットします。
- ⑤ 次にSARレジスタのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。
 - ・ ビット9 = 1 : (3/4) AV_{REF}
 - ・ ビット9 = 0 : (1/4) AV_{REF}
 この電圧タップとサンプリングされた電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。
 - ・ サンプリングされた電圧 $\geq$ 電圧タップ : ビット8 = 1
 - ・ サンプリングされた電圧 < 電圧タップ : ビット8 = 0
- ⑥ このような比較をSARレジスタのビット0まで続けます。
- ⑦ 10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残し、その値がA/D変換結果レジスタ（ADCR, ADCRH）に転送され、ラッチします^{注1}。
同時に、A/D変換終了割り込み要求（INTAD）を発生させることができます^{注1}。
- ⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します^{注2}。
A/Dコンバータを停止する場合は、ADCS = 0にしてください。

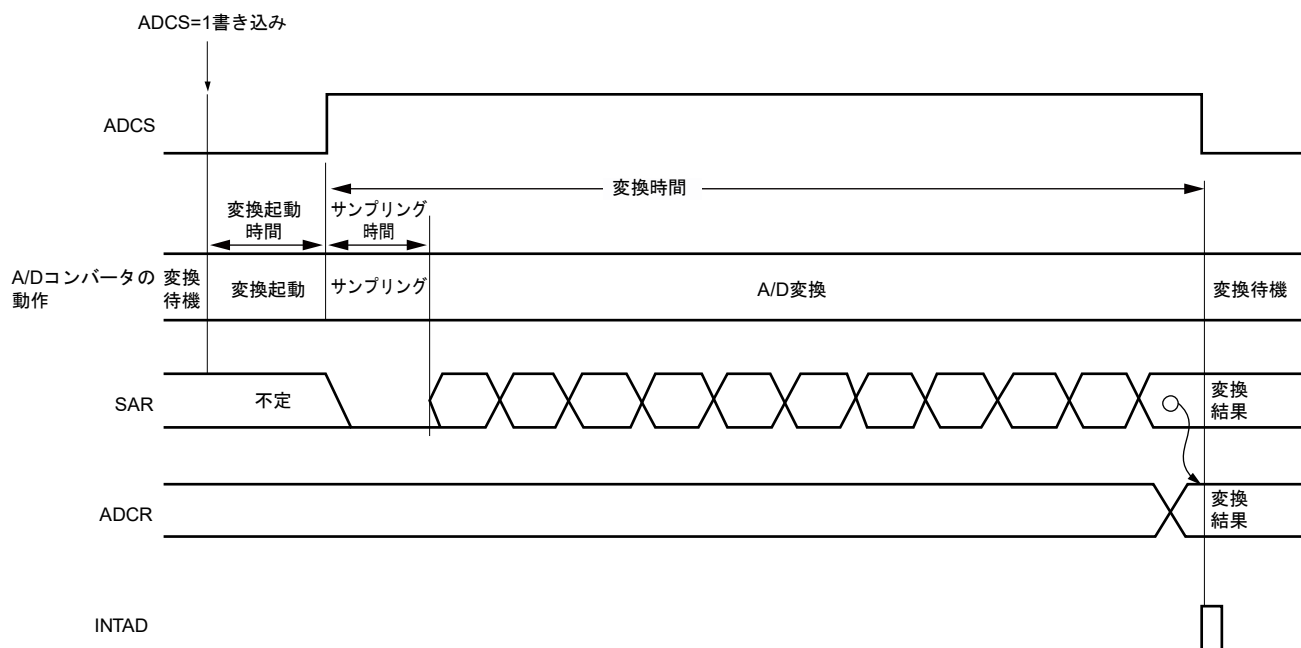
- 注1.** A/D変換結果の値がA/D変換結果比較機能（ADRCKビット、ADUL/ADLLレジスタで設定（図10-8参照））で設定した値の範囲外の場合、A/D変換終了割り込み要求信号（INTAD）は発生しません。この場合、ADCR, ADCRHレジスタに結果は格納されません。
- 2.** 連続変換モード時は、ADCSフラグは自動的に“0”にクリアされません。また、ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも、ADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。

備考1. A/D変換結果レジスタは2種類あります。

- ・ ADCRレジスタ（16ビット） : 10ビットのA/D変換値を格納します。
- ・ ADCRHレジスタ（8ビット） : 8ビットのA/D変換値を格納します。

- 2.** AV_{REF} : A/Dコンバータの+側基準電圧。 AV_{REFP} , 内部基準電圧（1.45 V）, V_{DD} から選択可能です。

図10-15 A/Dコンバータの変換動作（ソフトウェア・トリガ・モードの場合）



ワンショット変換モード時のA/D変換動作は、A/D変換終了後にADCSビットが自動的にクリア（0）されます。

連続変換モード時のA/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）をクリア（0）するまで連続的行われます。

A/D変換動作中に、アナログ入力チャネル指定レジスタ（ADS）に対して書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

A/D変換結果レジスタ（ADCR, ADCRH）は、リセット信号の発生により0000Hまた00Hとなります。

10.5 入力電圧と変換結果

アナログ入力端子（ANI0-ANI3, ANI16-ANI22）に入力されたアナログ入力電圧と理論上のA/D変換結果（10ビットA/D変換結果レジスタ（ADCR））には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 1024 + 0.5 \right)$$

$$\text{ADCR} = \text{SAR} \times 64$$

または,

$$\left(\frac{\text{ADCR}}{64} - 0.5 \right) \times \frac{V_{\text{REF}}}{1024} \leq V_{\text{AIN}} < \left(\frac{\text{ADCR}}{64} + 0.5 \right) \times \frac{V_{\text{REF}}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{AIN} : アナログ入力電圧

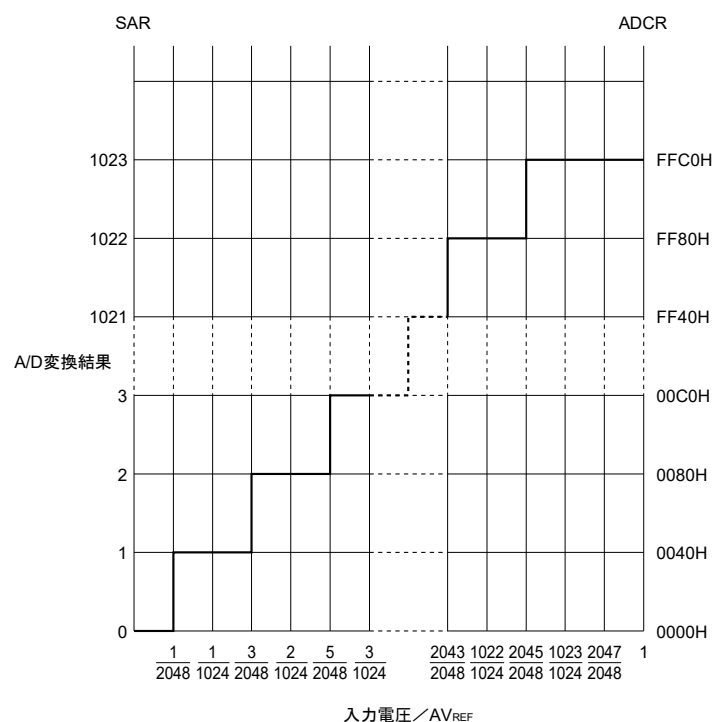
V_{REF} : V_{REF} 端子電圧

ADCR : A/D変換結果レジスタ（ADCR）の値

SAR : 逐次変換レジスタ

図10－16にアナログ入力電圧とA/D変換結果の関係を示します。

図10－16 アナログ入力電圧とA/D変換結果の関係



備考 V_{REF} : A/Dコンバータの+側基準電圧。 V_{REFP} : 内部基準電圧（1.45 V）, V_{DD} から選択可能です。

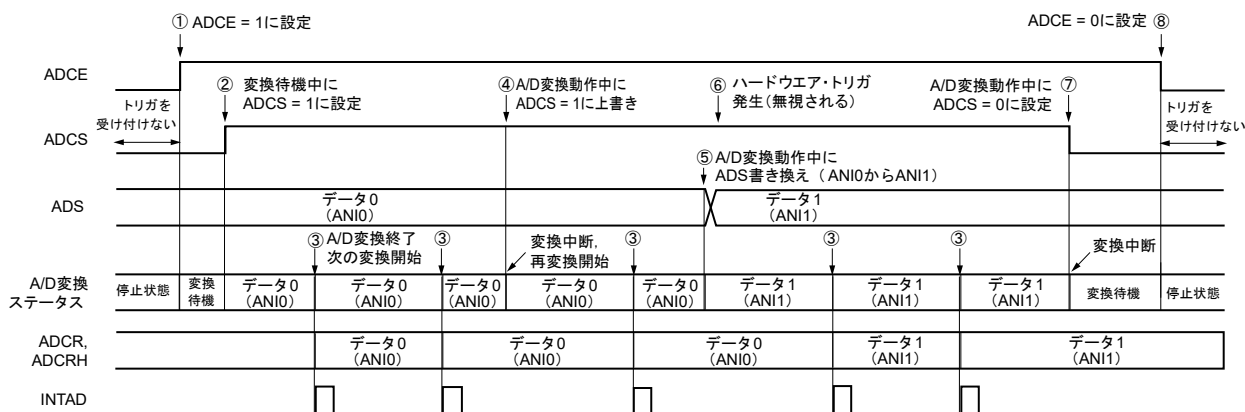
10.6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また、各モードの設定手順を10.7 A/Dコンバータの設定フロー・チャートに示します。

10.6.1 ソフトウェア・トリガ・モード（セレクト・モード，連続変換モード）

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間（1 μ s）をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し、A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

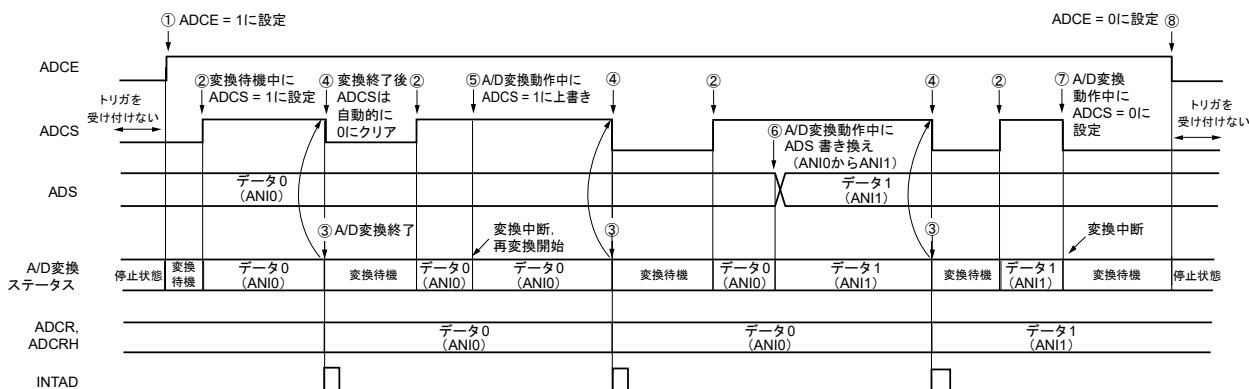
図10-17 ソフトウェア・トリガ・モード（セレクト・モード，連続変換モード）動作タイミング例



10.6.2 ソフトウェア・トリガ・モード（セレクト・モード，ワンショット変換モード）

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1 μ s) をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

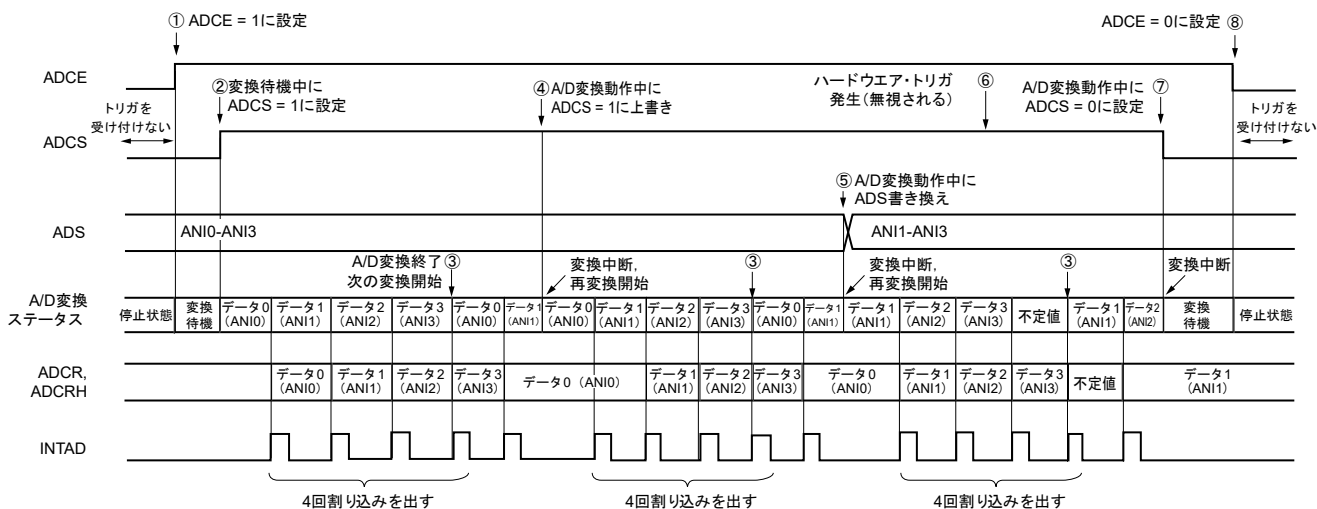
図10-18 ソフトウェア・セレクト・モード（セレクト・モード、ワンショット変換モード）動作タイミング例



10.6.3 ソフトウェア・トリガ・モード（スキャン・モード，連続変換モード）

- ① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間（1 μ s）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます（4チャネル分）。
- ④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても，A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

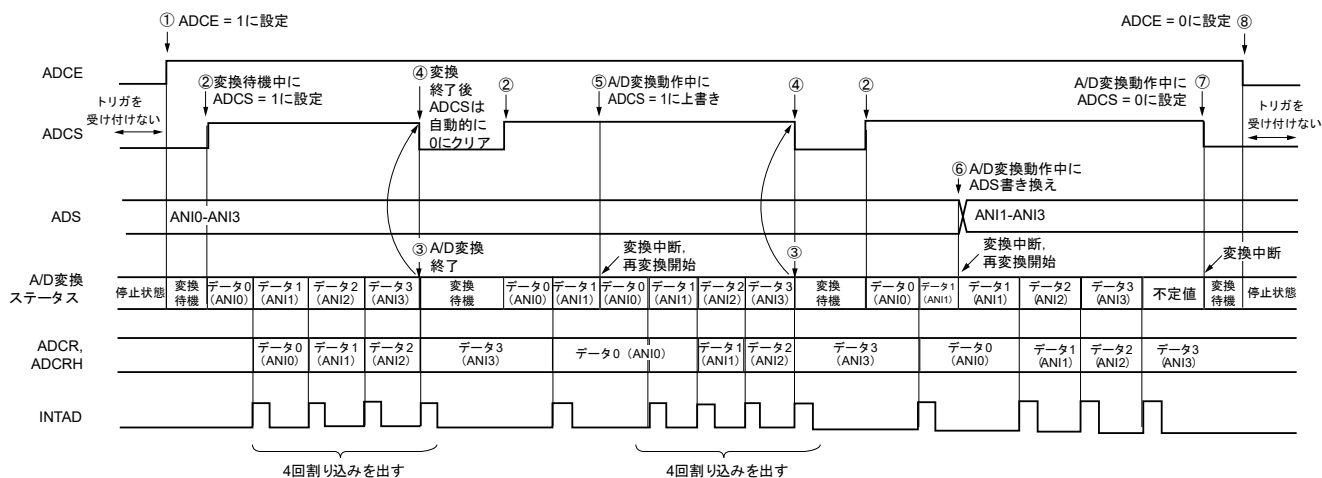
図10-19 ソフトウェア・トリガ・モード（スキャン・モード，連続変換モード）動作タイミング例



10.6.4 ソフトウェア・トリガ・モード（スキャン・モード，ワンショット変換モード）

- ① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間（1 μ s）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。
- ④ 4チャネルのA/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても，A/D変換は開始しません。

図10-20 ソフトウェア・トリガ・モード（スキャン・モード，ワンショット変換モード）動作タイミング例

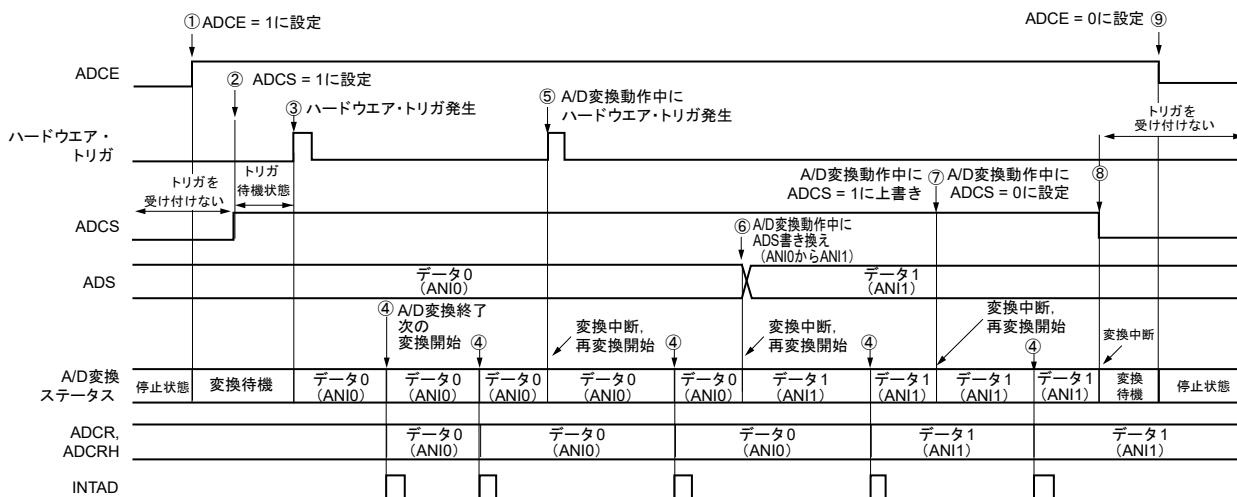


10.6.5 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間（1 μ s）をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります（この段階では変換を開始しません）。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し、A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図10-21 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）

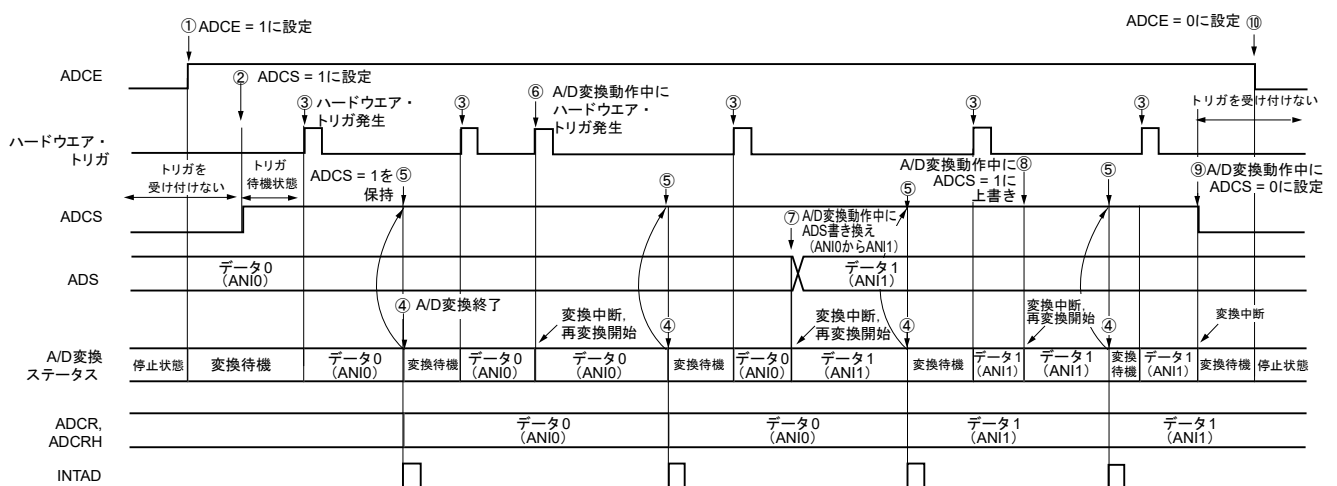
動作タイミング例



10. 6. 6 ハードウェア・トリガ・ノーウェイト・モード（セレクト・モード，ワンショット変換モード）

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1 μ s) をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ⑤ A/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態となります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図10-22 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）
動作タイミング例

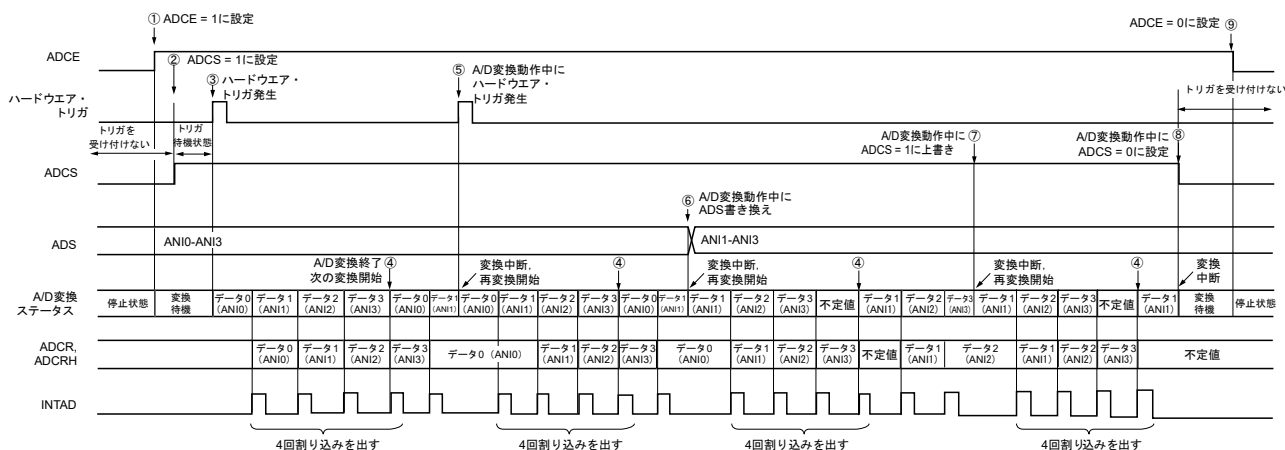


10.6.7 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）

- ① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間（1 μ s）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウェア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウェア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。
- ③ ADCS = 1の状態では，ハードウェア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態となります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図10-23 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）

動作タイミング例

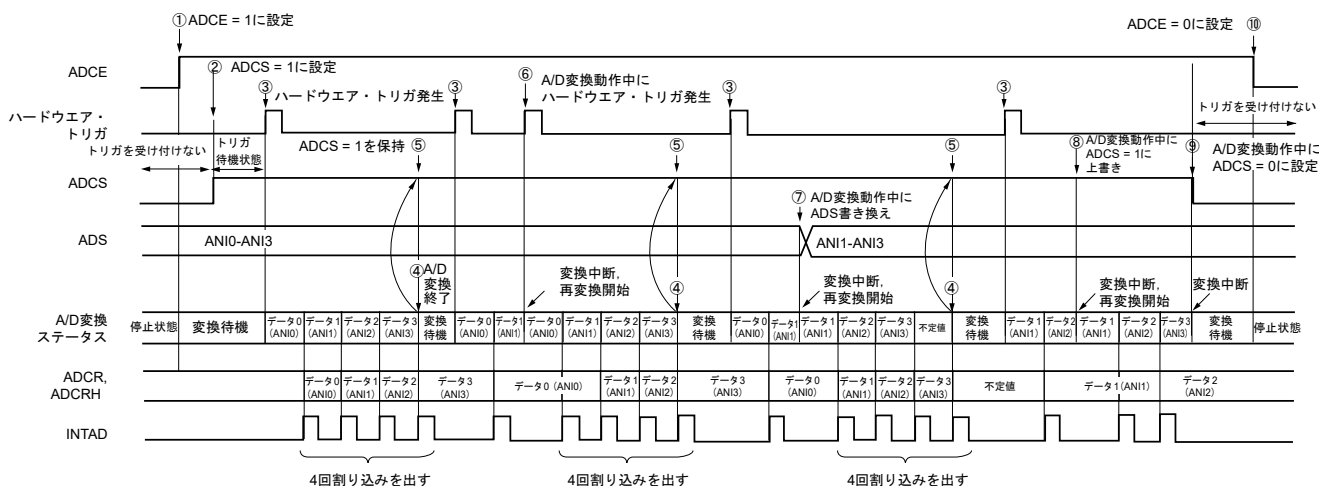


10.6.8 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）

- ① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間（1 μ s）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウェア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウェア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。
- ③ ADCS = 1の状態では，ハードウェア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。
- ⑤ 4チャネルのA/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態ではA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態となります。ADCS = 0のとき，ハードウェア・トリガが入力されても無視され，A/D変換は開始しません。

図10-24 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）

動作タイミング例

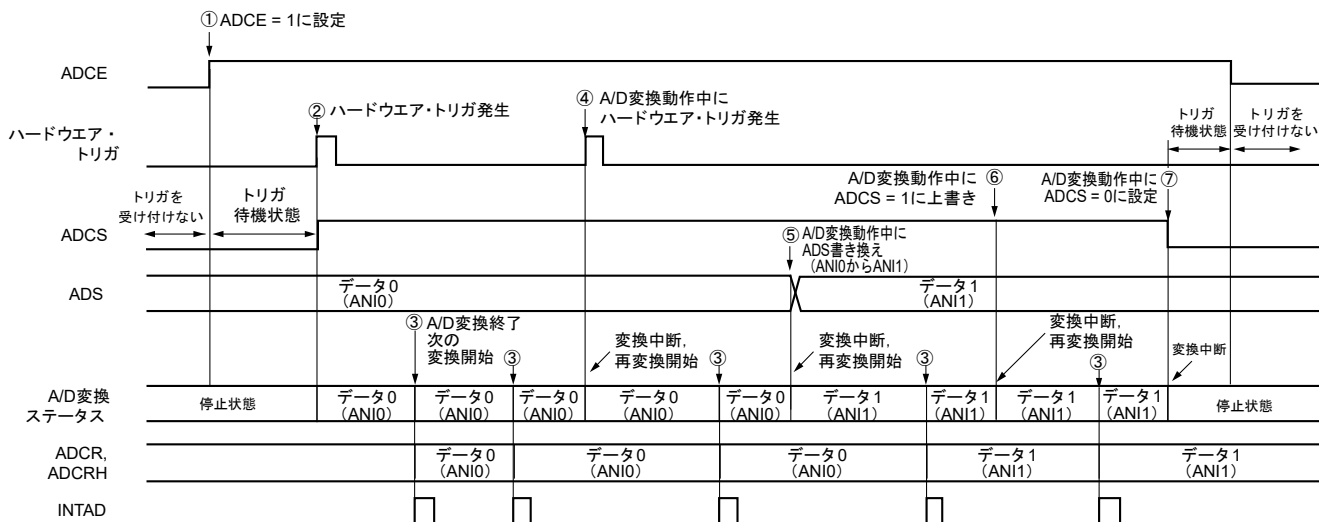


10.6.9 ハードウェア・トリガ・ウェイト・モード（セレクト・モード，連続変換モード）

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し、A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します（このとき、ハードウェア・トリガは不要です）。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図10-25 ハードウェア・トリガ・ウェイト・モード（セレクト・モード，連続変換モード）

動作タイミング例

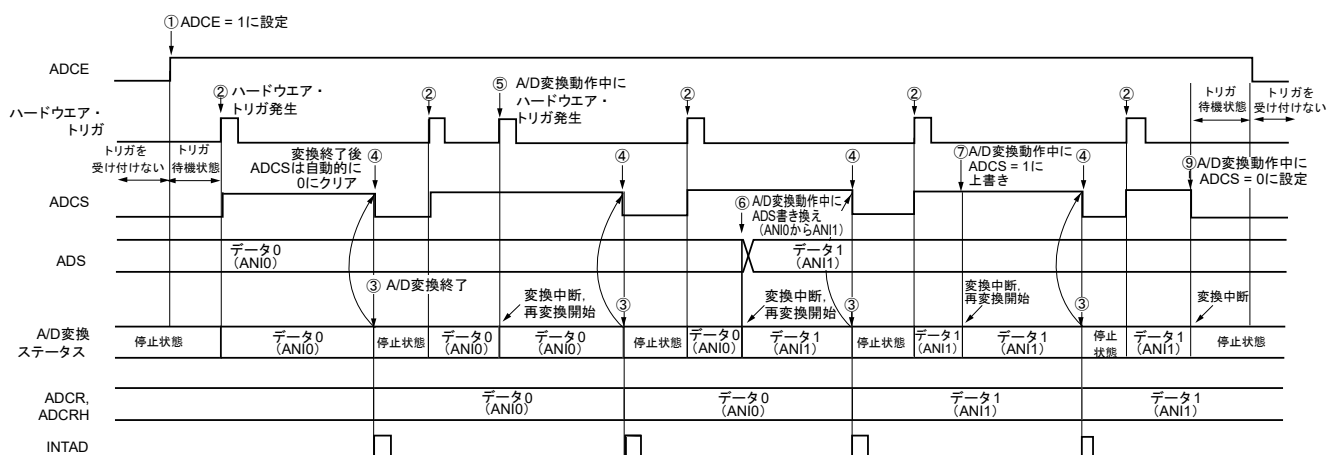


10.6.10 ハードウェア・トリガ・ウェイト・モード（セレクト・モード，ワンショット変換モード）

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し、A/D変換終了割り込み要求信号（INTAD）を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは初期化されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図10-26 ハードウェア・トリガ・ウェイト・モード（セレクト・モード，ワンショット変換モード）

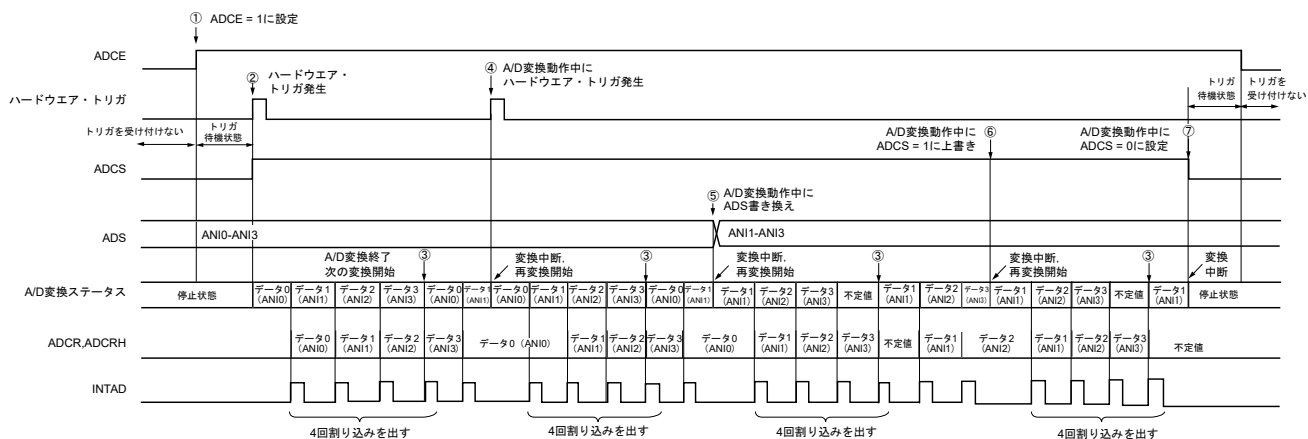
動作タイミング例



10. 6. 11 ハードウェア・トリガ・ウェイト・モード（スキャン・モード，連続変換モード）

- ① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で，ハードウェア・トリガが入力されると，アナログ入力チャンネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャンネルのA/D変換終了後は，設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ④ 変換動作中にハードウェア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウェア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウェア・トリガが入力されても無視され，A/D変換は開始しません。

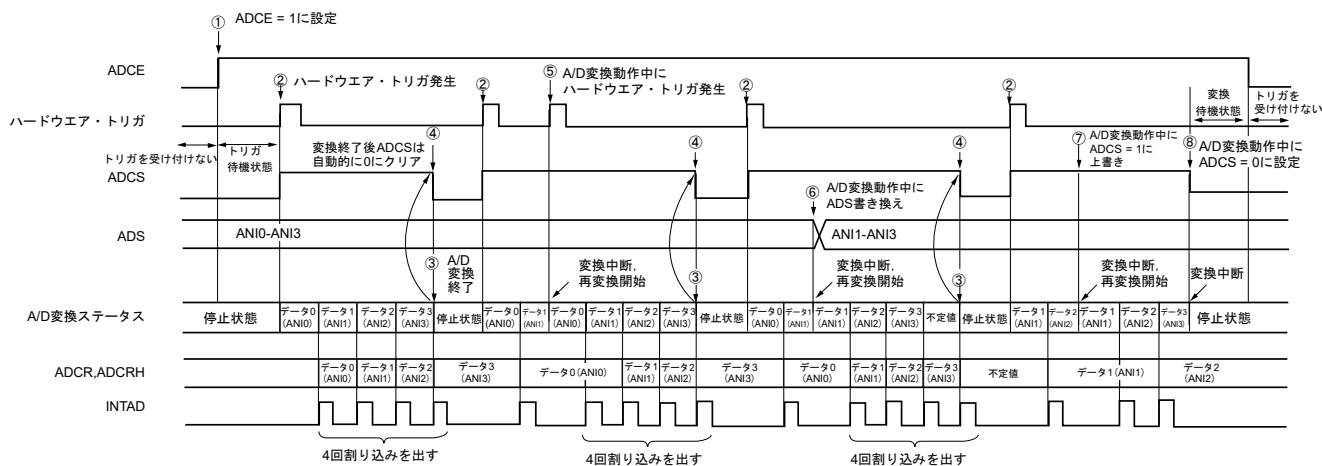
図10-27 ハードウェア・トリガ・ウェイト・モード（スキャン・モード，連続変換モード）
動作タイミング例



10. 6. 12 ハードウェア・トリガ・ウェイト・モード（スキャン・モード，ワンショット変換モード）

- ① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で，ハードウェア・トリガが入力されると，アナログ入力チャンネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。
- ④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウェア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウェア・トリガが入力されても無視され，A/D変換は開始しません。

図10-28 ハードウェア・トリガ・ウェイト・モード（スキャン・モード，ワンショット変換モード）
動作タイミング例

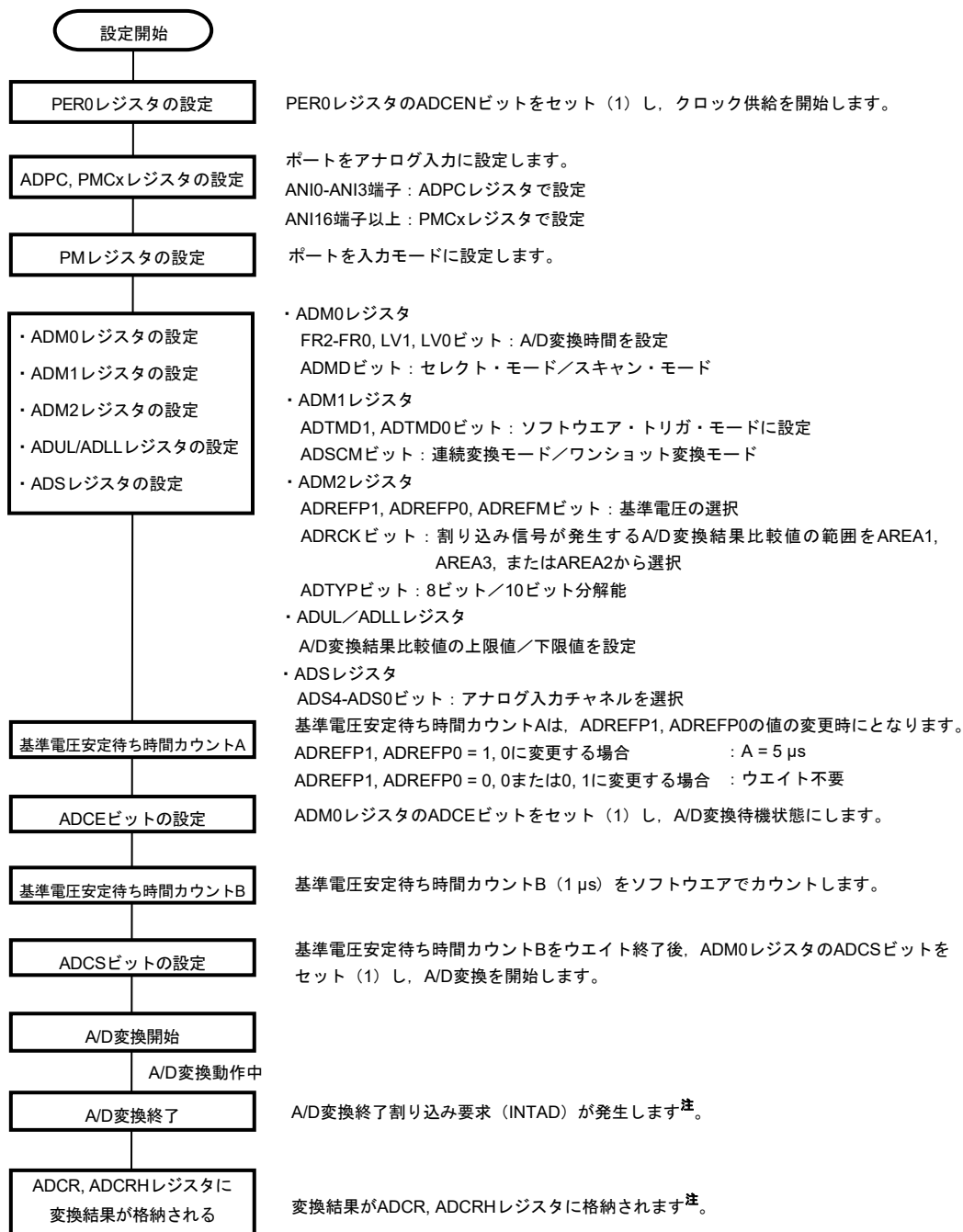


10.7 A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

10.7.1 ソフトウェア・トリガ・モード設定

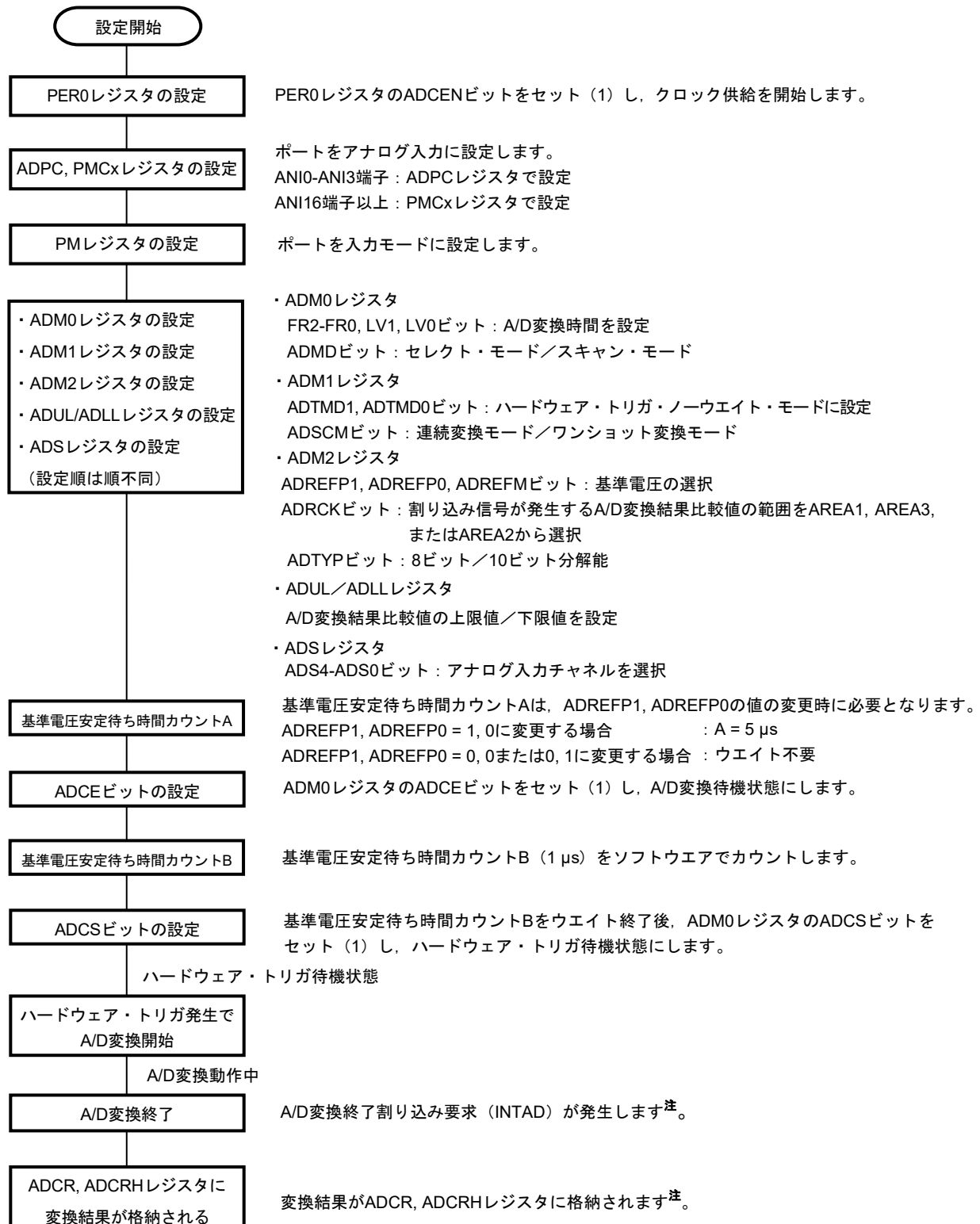
図10-29 ソフトウェア・トリガ・モード設定



注 ADRCCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

10.7.2 ハードウェア・トリガ・ノーウエイト・モード設定

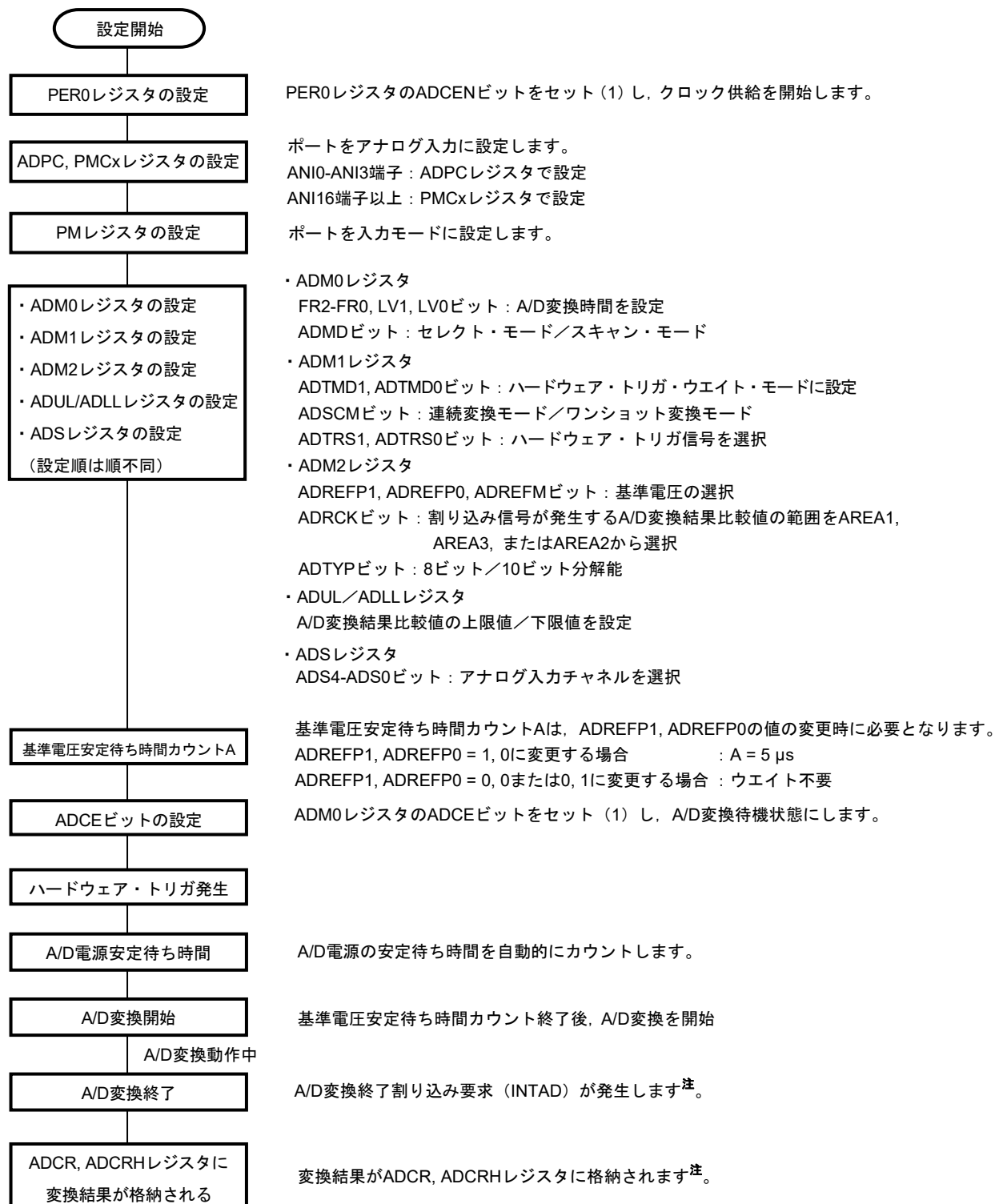
図10-30 ハードウェア・トリガ・ノーウエイト・モード設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

10.7.3 ハードウェア・トリガ・ウェイト・モード設定

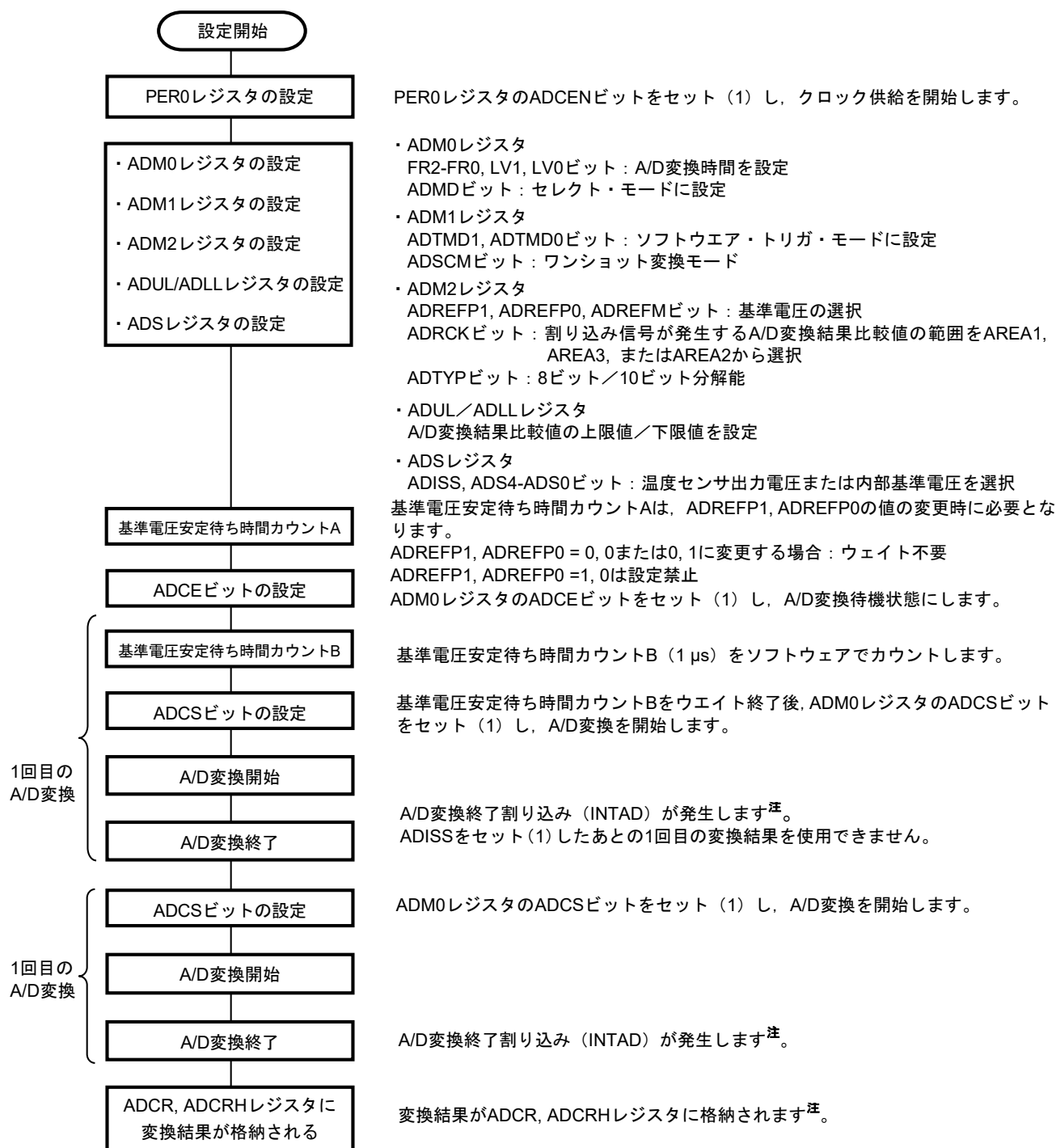
図10-31 ハードウェア・トリガ・ウェイト・モード設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しないことがあります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

10.7.4 温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)

図10-32 温度センサ出力電圧／内部基準電圧を選択時の設定

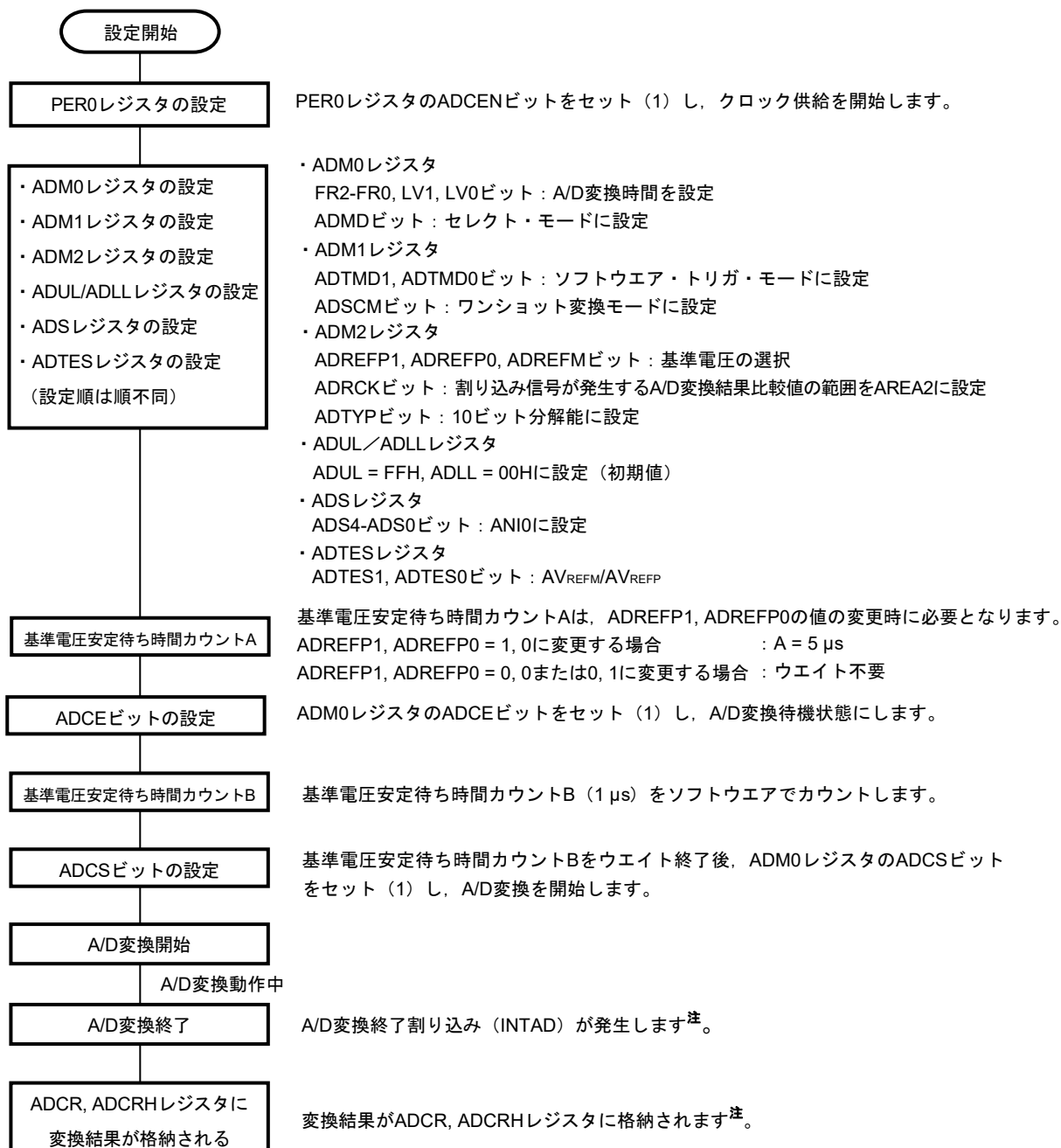


注 ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合, ADCR, ADCRHレジスタに結果は格納されません。

注意 HS (高速メイン) モードでのみ選択可能です。

10.7.5 テスト・モード設定

図10-33 テスト・モード設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しないことがあります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 A/Dコンバータのテスト方法については、21.3.7 A/Dテスト機能を参照してください。

10.8 SNOOZEモード機能

STOPモード時にハードウェア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時はA/D変換動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

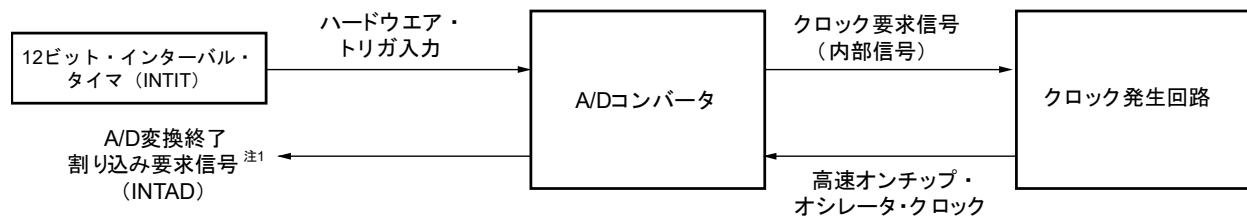
SNOOZEモードでは、ADUL, ADLLで変換結果の範囲を指定すれば、一定時間ごとにA/D変換結果の判断ができます。これにより、電源電圧監視やA/D入力による入力キーの判定などができます。

SNOOZEモードでは、次の2つの変換モードのみ使用可能です。

- ・ハードウェア・トリガ・ウェイト・モード（セレクト・モード、ワンショット変換モード）
- ・ハードウェア・トリガ・ウェイト・モード（スキャン・モード、ワンショット変換モード）

注意 SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図10-34 SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は、STOPモードに移行する前に各レジスタの初期設定を行います（**10.7.3 ハードウェア・トリガ・ウェイト・モード設定**を参照^{注2)}）。STOPモードへ移行する直前に、A/Dコンバータ・モード・レジスタ2（ADM2）のビット2（AWC）に1を設定します。初期設定完了後、A/Dコンバータ・モード・レジスタ0（ADM0）のビット0（ADCE）に1を設定します。

STOPモードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D電源安定待ち時間が自動的にカウントされ、A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は、割り込み信号発生の有無によって異なります^{注1)}。

注1. A/D変換結果比較機能の設定（ADRCKビット，ADUL/ADLLレジスタ）により、割り込み信号が発生しない場合があります。

2. ADM1レジスタは必ずE2HかE3Hに設定してください。

備考1. ハードウェア・トリガは、INTITです。

2. ハードウェア・トリガは、A/Dコンバータ・モード・レジスタ1（ADM1）で設定してください。

(1) A/D変換終了後に割り込み要求が発生する場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲内の場合，A/D変換終了割り込み要求信号（INTAD）は発生します。

● セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号（INTAD）が発生すると，A/DコンバータはSNOOZEモードから通常動作モードに移行します。

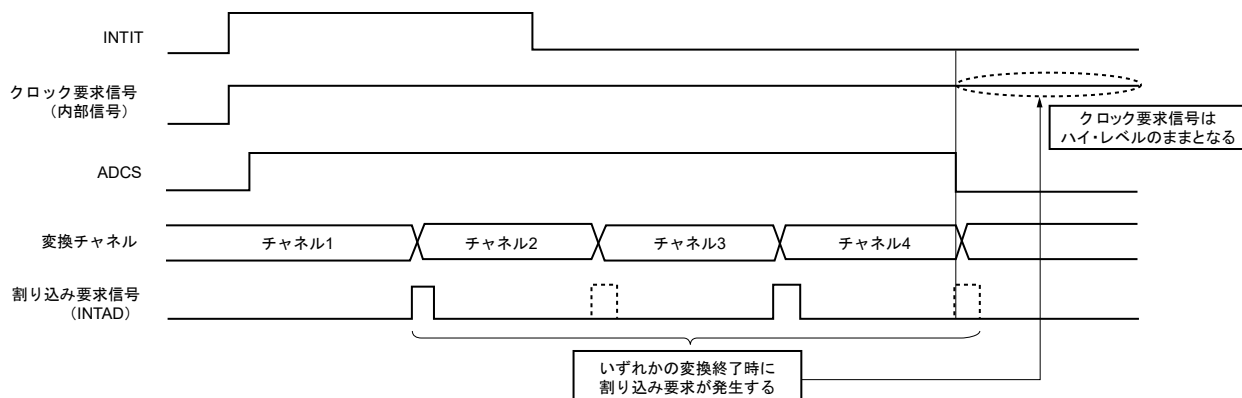
ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0: SNOOZE解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。

● スキャン・モード時

4チャンネル分のA/D変換で1回でもA/D変換終了割り込み要求信号（INTAD）が発生した場合，A/DコンバータはSNOOZEモードから通常動作モードに移行します。

ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2をクリア（AWC = 0: SNOOZE解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。

図10-35 A/D変換終了後に割り込み要求が発生する場合の動作例（スキャン・モード時）



(2) A/D変換終了後に割り込み要求が発生しない場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。

● セレクト・モード時

A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，A/D変換終了後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウェア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

● スキャン・モード時

4チャンネル分のA/D変換で1回もA/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，4チャンネル分のA/D変換が終了した後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウェア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

図10-36 A/D変換終了後に割り込み要求が発生しない場合の動作例（スキャン・モード時）

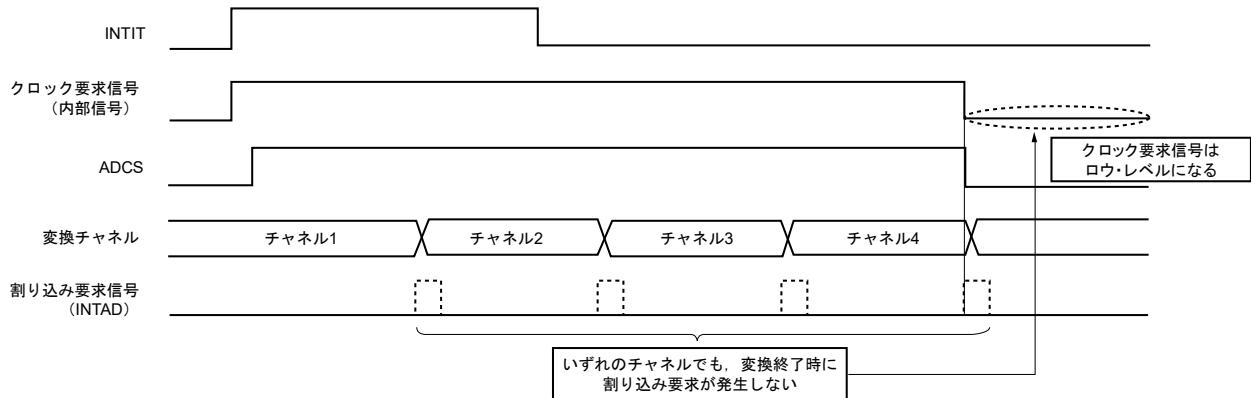
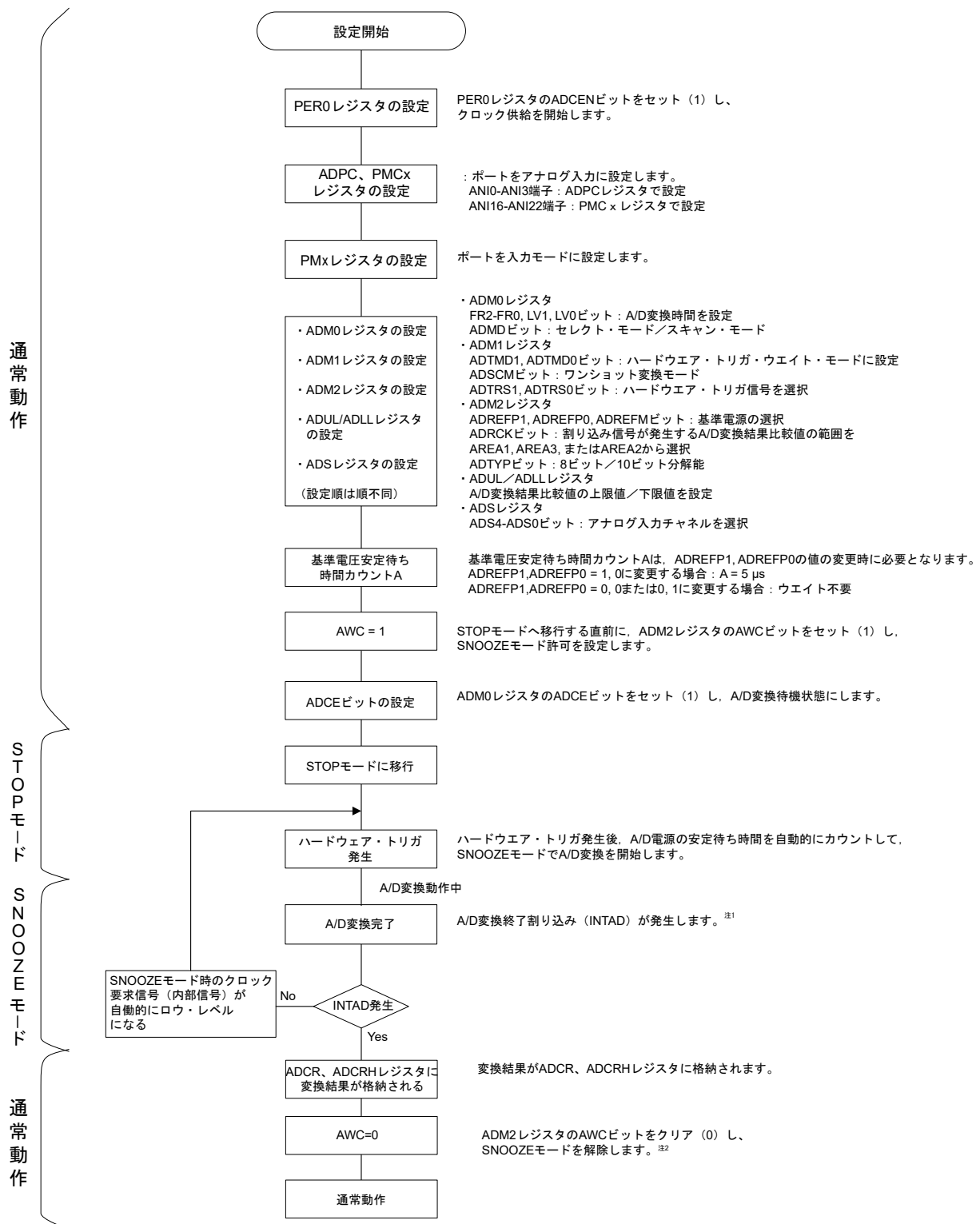


図10-37 SNOOZEモード設定のフロー・チャート



注 1. ADRCKビット、ADUL/ADLLレジスタの設定により、A/D変換終了割り込み要求信号 (INTAD) が発生しなかった場合、ADCR、ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換動作を行います。

2. AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

10.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098\% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図10-38 総合誤差

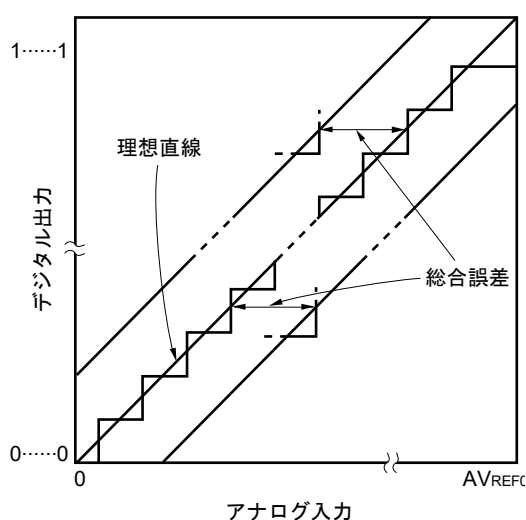
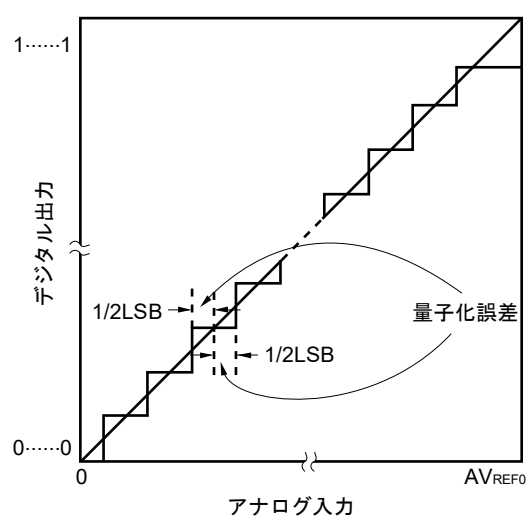


図10-39 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0………000から0………001に変化するとき、アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0………001から0………010に変化するとき、アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

(5) フルスケール誤差

デジタル出力が1………110から1………111に変化するとき、アナログ入力電圧の実測値と理論値（フルスケール-3/2 LSB）との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図10-40 ゼロスケール誤差

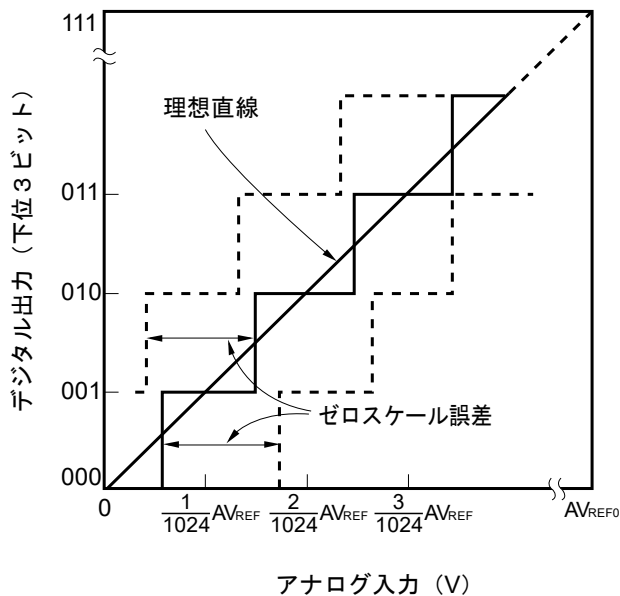


図10-41 フルスケール誤差

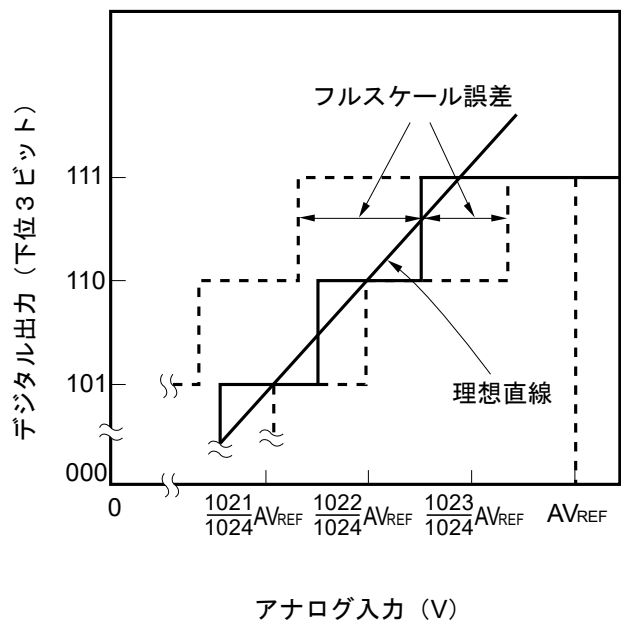


図10-42 積分直線性誤差

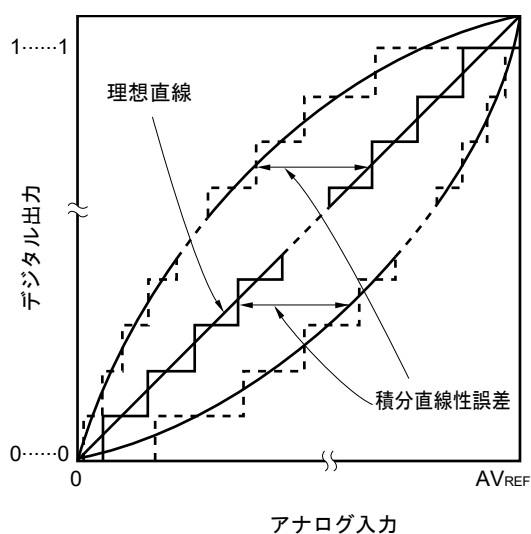
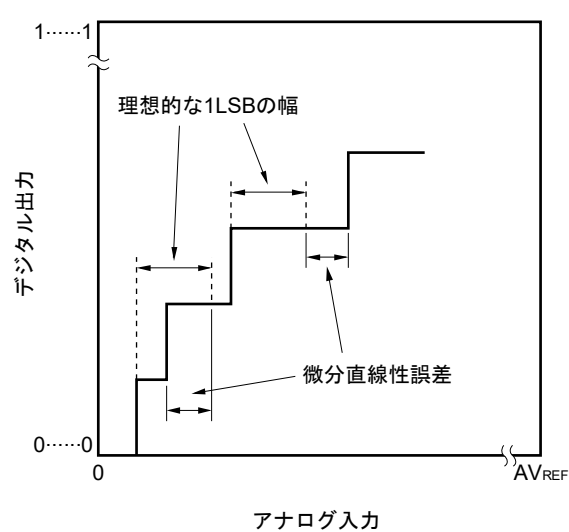


図10-43 微分直線性誤差



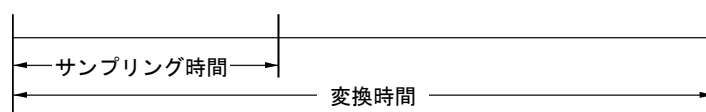
(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



10.10 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）を0）させてから移行してください。このときADM0レジスタのビット0（ADCE）も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H（IF1H）のビット0（ADIF）をクリア（0）してから、動作開始してください。

(2) ANI0-ANI3, ANI16-ANI22端子の入力電圧について

ANI0-ANI3, ANI16-ANI22端子入力電圧は規格の範囲内でご使用ください。特にV_{DD}, AV_{REFP}を超える電圧, V_{SS}, AV_{REFM}未満（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。

内部基準電圧（1.45 V）をA/Dコンバータの+側の基準電圧に選択した場合は、ADSレジスタで選択されている端子には内部基準電圧（1.45 V）を超える電圧を入れないでください。ただし、ADSレジスタで選択されていない端子が内部基準電圧（1.45 V）を超える電圧になっていても問題ありません。

注意 内部基準電圧（1.45 V）は、HS（高速メイン）モードでのみ選択可能です。

(3) 競合動作について

① 変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）へのライトと、命令によるADCR, ADCRHレジスタのリードとの競合

ADCR, ADCRHレジスタのリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHレジスタにライトされます。

② 変換終了時のADCR, ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0（ADM0）へのライト、アナログ入力チャネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）へのライトの競合

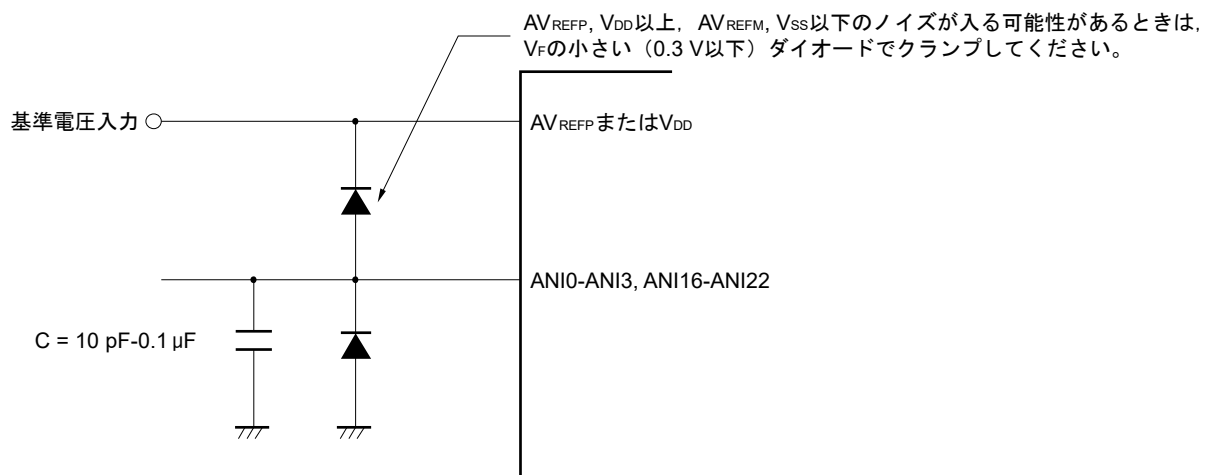
ADM0, ADS, ADPCレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また、変換終了割り込み信号（INTAD）も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、AV_{REFP}, V_{DD}, ANI0-ANI3, ANI16-ANI22端子へのノイズに注意する必要があります。

- ① 電源には等価抵抗が小さく、周波数応答のよいコンデンサ（0.01 μ F程度）を最短距離かつ、比較的太い配線を使って接続してください。
- ② アナログ入力源の出カインピーダンスが高いほど影響が大きくなるので、ノイズを低減するために図10-44のように、コンデンサを外付けすることを推奨します。
- ③ 変換中においては、他の端子をスイッチングしないようにしてください。
- ④ 変換開始直後にHALTモードに設定すると、精度が向上します。

図10-44 アナログ入力端子の処理



(5) アナログ入力 (ANIn) 端子

- ① アナログ入力 (ANI0-ANI3) 端子は, 入力ポート (P20-P23) 端子と兼用になっています。ANI0-ANI3 端子のいずれかを選択してA/D変換をする場合, 変換中にP20-P23の兼用ポートに対して出力値を変更しないでください。変換精度が低下することがあります。
- ② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると, カップリング・ノイズによってA/D変換値が期待値と異なることがあります。A/D変換中は, デジタル信号の様に急激に変化するパルスが入出力されないようにしてください。

(6) アナログ入力 (ANIn) 端子の入力インピーダンスについて

このA/Dコンバータでは, サンプルング時間で内部のサンプルング・コンデンサに充電して, サンプルングを行っています。

したがって, サンプルング中以外はリーク電流だけであり, サンプルング中にはコンデンサに充電するための電流も流れるので, 入力インピーダンスはサンプルング中とそれ以外の状態で変動します。

ただし, 十分にサンプルングするためには, アナログ入力源の出力インピーダンスを1 kΩ以下にしてください。出力インピーダンスが1 kΩ以下にできないときはサンプルング時間を長く設定するかANI0-ANI3, ANI16-ANI22端子に0.1 μF程度のコンデンサを付けることを推奨します (図10-44参照)。また, 変換動作中にADCS=0に設定した場合および再変換を開始した場合は, サンプルング・コンデンサに充電された電圧は不定となります。そのため, ADCS=0を設定時は次の変換が, 再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには, アナログ信号の変化の大きさによらず, アナログ入力源の出力インピーダンスを低くするか十分なサンプルング時間を確保してください。

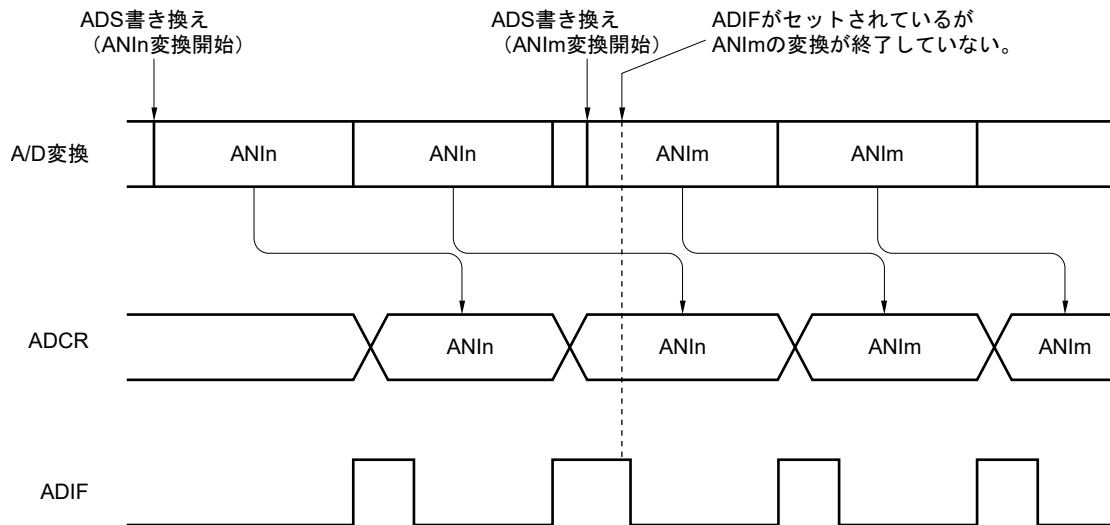
(7) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても, 割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって, A/D変換中にアナログ入力端子の変更を行った場合, ADSレジスタ書き換え直前に, 変更前のアナログ入力に対するA/D変換結果とADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと, 変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることになるので注意してください。

また, A/D変換を一度停止させて再開する場合は, 再開する前にADIFフラグをクリア (0) してください。

図10-45 A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ソフトウェア・トリガ・モード、ハードウェア・トリガ・ノーウェイト・モードでADCEビット = 1にしてから、1 μ s以内にADCSビット = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC)、ポート・モード・コントロール・レジスタ (PMCx)に対して書き込み動作を行ったとき、ADCR, ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, ADPC, PMCxレジスタに対して書き込み動作を行う前に読み出してください。

上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図10－46 ANIn端子内部等価回路

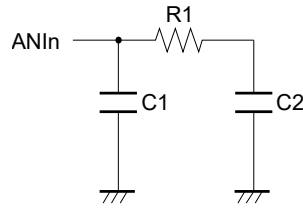


表10－4 等価回路の各抵抗と容量値（参考値）

AVREFP, VDD	端子	R1 (kΩ)	C1 (pF)	C2 (pF)
3.6 V ≤ VDD ≤ 5.5 V	ANI0 – ANI3	14	8	2.5
	ANI16 – ANI22	18		7.0
2.7 V ≤ VDD < 3.6 V	ANI0 – ANI3	39		2.5
	ANI16 – ANI22	53		7.0
1.8 V ≤ VDD < 2.7 V	ANI0 – ANI3	231		2.5
	ANI16 – ANI22	321		7.0

備考 各抵抗と容量値は保証値ではありません。

(11) A/Dコンバータの動作開始について

A/Dコンバータの動作は、AVREFP, VDDの電圧が安定してから開始してください。

第11章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニット0は、20, 24ピン製品では2つ、30ピン製品では4つのシリアル・チャンネルを持ちます。またシリアル・アレイ・ユニット1は、30ピン製品に搭載されており、2つのシリアル・チャンネルを持ちます。

各チャンネルは簡易SPI（CSI[※]）、UART、簡易I²Cの通信機能を実現できます。

RL78/G12で対応している各チャンネルの機能割り当ては、次のようになっています。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

20, 24ピン製品

ユニット	チャンネル	簡易SPI（CSI） として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00 [※]
	1	CSI01 [※]		IIC01 [※]

30ピン製品

ユニット	チャンネル	簡易SPI（CSI） として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00 [※]
	1	—		—
	2	—	UART1 [※]	—
	3	CSI11 [※]		IIC11 [※]
1	0	CSI20 [※]	UART2 [※]	IIC20 [※]
	1	—		—

注 R5F102製品のみ

1つのチャンネルを複数の通信方式で同時に使用することはできません。異なる通信方式を設定するには、別のチャンネルを使用してください。

CSI00, CSI20, IIC00, IIC20, UART0, UART1, UART2は、1.8, 2.5, 3V系デバイスとの異電位通信ができます。ただし、20, 24ピン製品のUART0のシリアル入出力を周辺I/Oリダイレクション・レジスタ（PIOR1 = 1）の設定によりP6に割り当てた場合、異電位通信ができません。詳細は、4.4.4 入出力バッファによる異電位（1.8V系、2.5V系、3V系）対応を参照してください。

11.1 シリアル・アレイ・ユニットの機能

RL78/G12で対応している各シリアル・インタフェースの特徴を示します。

11.1.1 簡易SPI (CSI00, CSI01, CSI11, CSI20)

マスタから出力されるシリアル・クロック (SCK) に同期してデータの送信／受信を行います。

シリアル・クロック (SCK) 1本と送信、受信のシリアル・データ (SO, SI) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は、**11.5 簡易SPI (CSI00, CSI01, CSI11, CSI20) 通信の動作**を参照してください。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択

[クロック制御]

- ・ マスタ／スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート[※]

マスタ通信時	: Max. f _{CLK} /2 (CSI00のみ)
	Max. f _{CLK} /4
スレーブ通信時	: Max. f _{MCK} /6

[割り込み機能]

- ・ 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

また、CSI00 (ユニット0のチャンネル0) は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK00端子入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。非同期受信動作に対応している、CSI00のみ設定可能です。

注 SCKサイクル・タイム (t_{CKCY}) の特性を満たす範囲内で使用してください。詳細は、**第28章**または**第29章 電気的特性**を参照してください。

11.1.2 UART (UART0-UART2)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ボー・レートを使用して) データを送受信します。送信専用 (偶数チャネル) と受信専用 (奇数チャネル) の2チャネルを使用することで、全2重UART通信が実現できます。

具体的な設定例は、**11.6 UART (UART0-UART2) 通信の動作**を参照してください。

[データ送受信]

- ・ 7, 8, 9ビットのデータ長^注
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定、反転の選択
- ・ パリティ・ビット付加、パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み／バッファ空き割り込み
- ・ フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー、パリティ・エラー、オーバラン・エラー

注 9ビット・データ長は、UART0のみ対応しています。

UART0受信 (ユニット0のチャネル1) は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD0端子入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

11. 1. 3 簡易I²C (IIC00, IIC01, IIC11, IIC20)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

具体的な設定例は、11. 7 簡易I²C (IIC00, IIC01, IIC11, IIC20) 通信の動作を参照してください。

[データ送受信]

- ・マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK出力機能[※], ACK検出機能
- ・8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ・スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- ・転送完了割り込み

[エラー検出フラグ]

- ・ACKエラー, オーバラン・エラー

※ [簡易I²Cでサポートしていない機能]

- ・スレーブ送信, スレーブ受信
- ・アービトレーション負け検出機能
- ・クロック・ストレッチ検出機能

注 最終データの受信時は、SOEmnビット (シリアル出力許可レジスタm (SOEm)) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、11. 7. 3 (2) 処理フローを参照してください。

備考 1. フル機能のI²Cバスをご使用の場合は、第12章 シリアル・インタフェースIICAを参照してください。

2. m : ユニット番号, n : チャネル番号 (m, n = 00, 01, 03, 10)

11.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表11-1 シリアル・アレイ・ユニットの構成

項 目	構 成
シフト・レジスタ	8ビットまたは9ビット ^{注1}
バッファ・レジスタ	シリアル・データ・レジスタmn (SDRmn) の下位8ビットまたは9ビット ^{注1, 2}
シリアル・クロック入出力	SCK00, SCK01, SCK11, SCK20端子 (簡易SPI用), SCL00, SCL01, SCL11, SCL20端子 (簡易I ² C用)
シリアル・データ入力	SI00, SI01, SI11, SI20端子 (簡易SPI用), RxD0, RxD1, RxD2端子 (UART用)
シリアル・データ出力	SO00, SO01, SO11, SO20端子 (簡易SPI用), TxD0, TxD1, TxD2端子 (UART用)
シリアル・データ入出力	SDA00, SDA01, SDA11, SDA20端子 (簡易I ² C用)
制御レジスタ	<ユニット設定部のレジスタ> ・周辺イネーブル・レジスタ0 (PER0) ・シリアル・クロック選択レジスタm (SPSm) ・シリアル・チャネル許可レジスタm (SEm) ・シリアル・チャネル開始レジスタm (SSm) ・シリアル・チャネル停止レジスタm (STm) ・シリアル出力許可レジスタm (SOEm) ・シリアル出力レジスタm (SOm) ・シリアル出力レベル・レジスタm (SOLm) ・シリアル・スタンバイ・コントロール・レジスタm (SSCm) ・ノイズ・フィルタ許可レジスタ0 (NFEN0)
	<各チャネル部のレジスタ> ・シリアル・データ・レジスタmn (SDRmn) ・シリアル・モード・レジスタmn (SMRmn) ・シリアル通信動作設定レジスタmn (SCRmn) ・シリアル・ステータス・レジスタmn (SSRmn) ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIrMn)
	・ポート入力モード・レジスタ0, 1 (PIM0, PIM1) ・ポート出力モード・レジスタ1, 4, 5 (POM1, POM4, POM5) ・ポート・モード・コントロール・レジスタ0, 1, 4 (PMC0, PMC1, PMC4) ・ポート・モード・レジスタ0, 1, 3-6 (PM0, PM1, PM3-PM6) ・ポート・レジスタ0, 1, 3-6 (P0, P1, P3-P6)

注1. シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャネルによって異なります。

mn = 00, 01 : 下位9ビット, mn = 02, 03, 10, 11 : 下位8ビット

2. シリアル・データ・レジスタmn (SDRmn) の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。

- ・CSIp通信時・・・SIOp (CSIpデータ・レジスタ)
- ・UARTq受信時・・・RXDq (UARTq受信データ・レジスタ)
- ・UARTq送信時・・・TXDq (UARTq送信データ・レジスタ)
- ・IICr通信時・・・SIOr (IICrデータ・レジスタ)

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 11, 20)

q : UART番号 (q = 0-2) r : IIC番号 (r = 00, 01, 11, 20)

図11-1、図11-2にシリアル・アレイ・ユニット0のブロック図を示します。

図11-1 シリアル・アレイ・ユニット0のブロック図 (20, 24ピン製品)

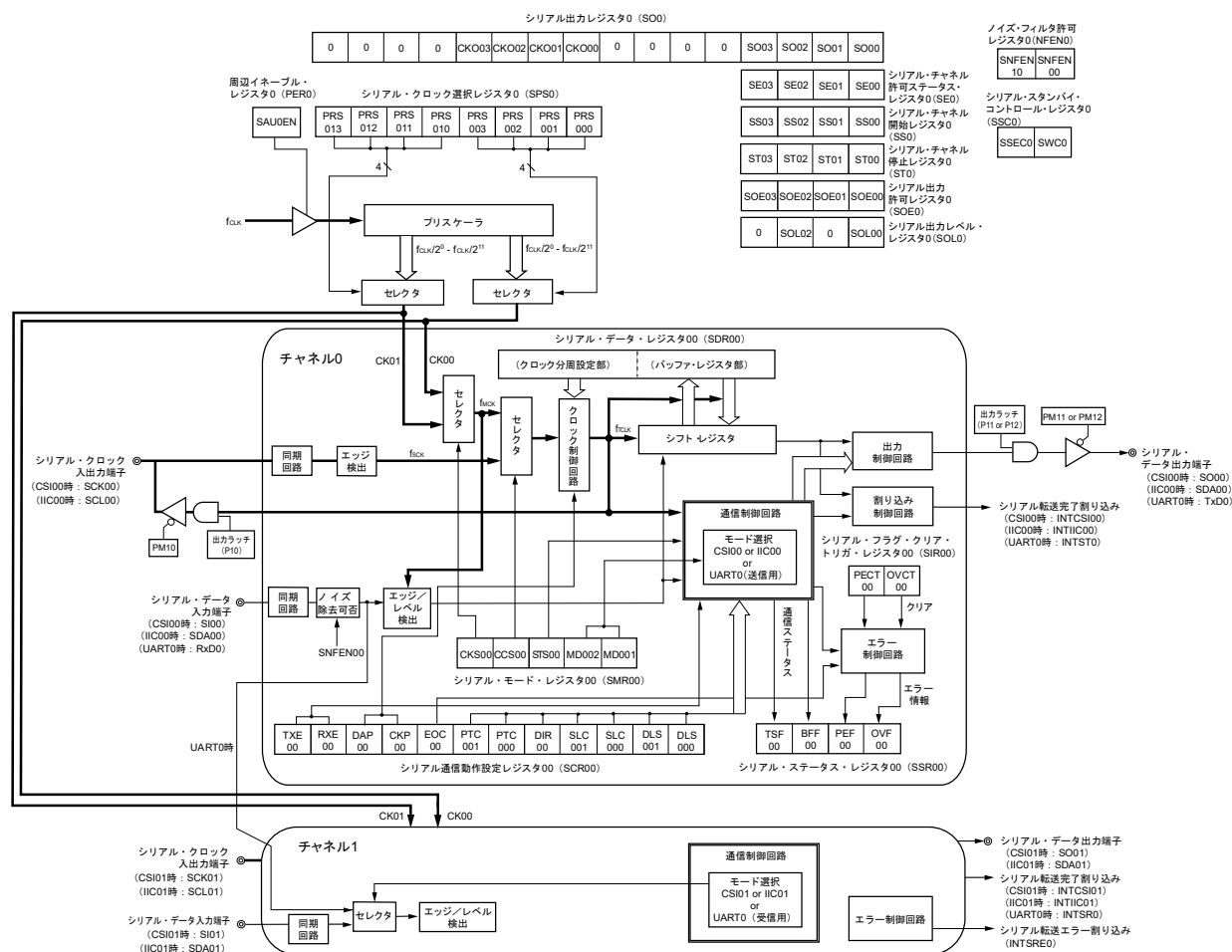


図11-2 シリアル・アレイ・ユニット0のブロック図 (30ピン製品)

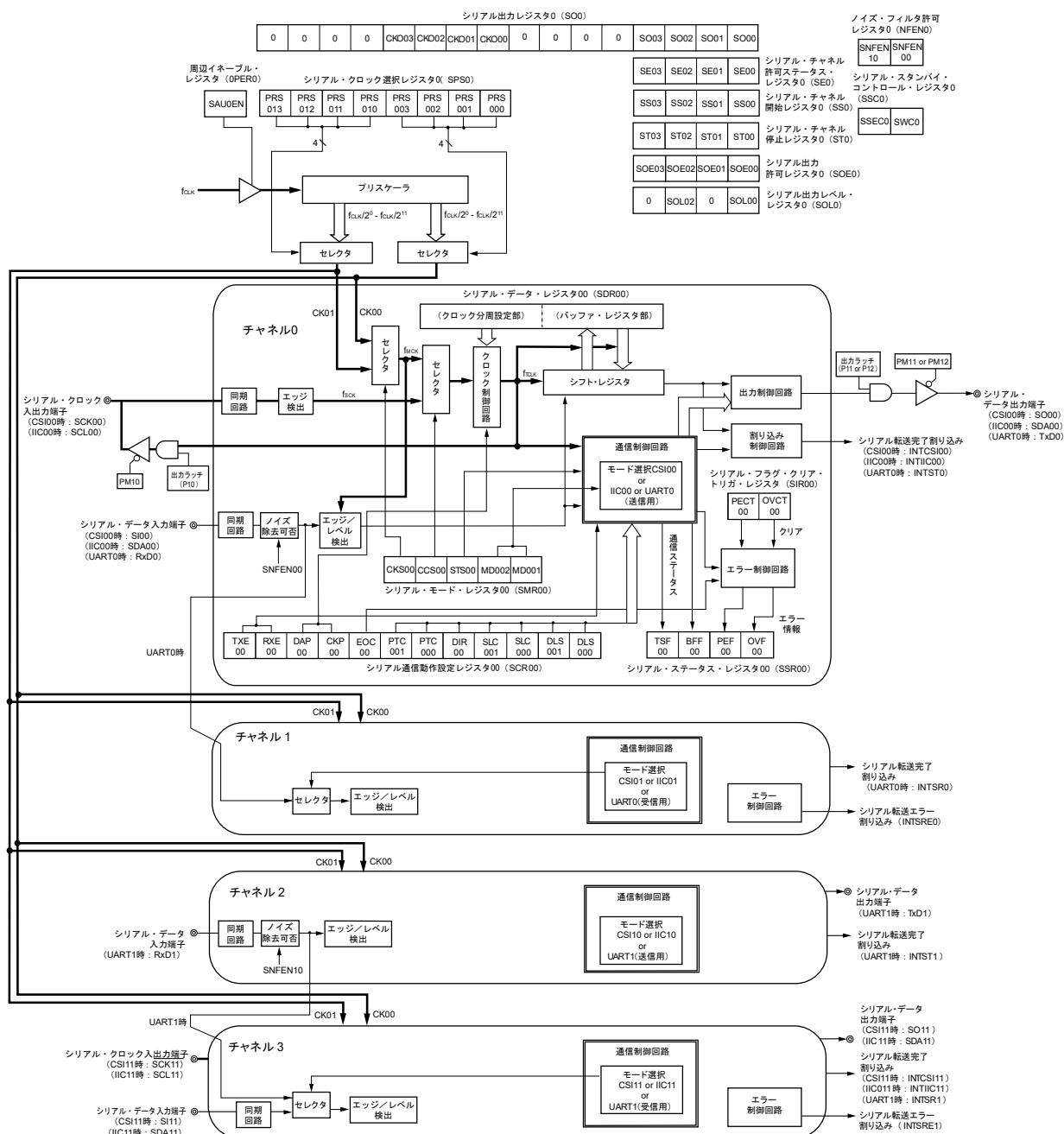
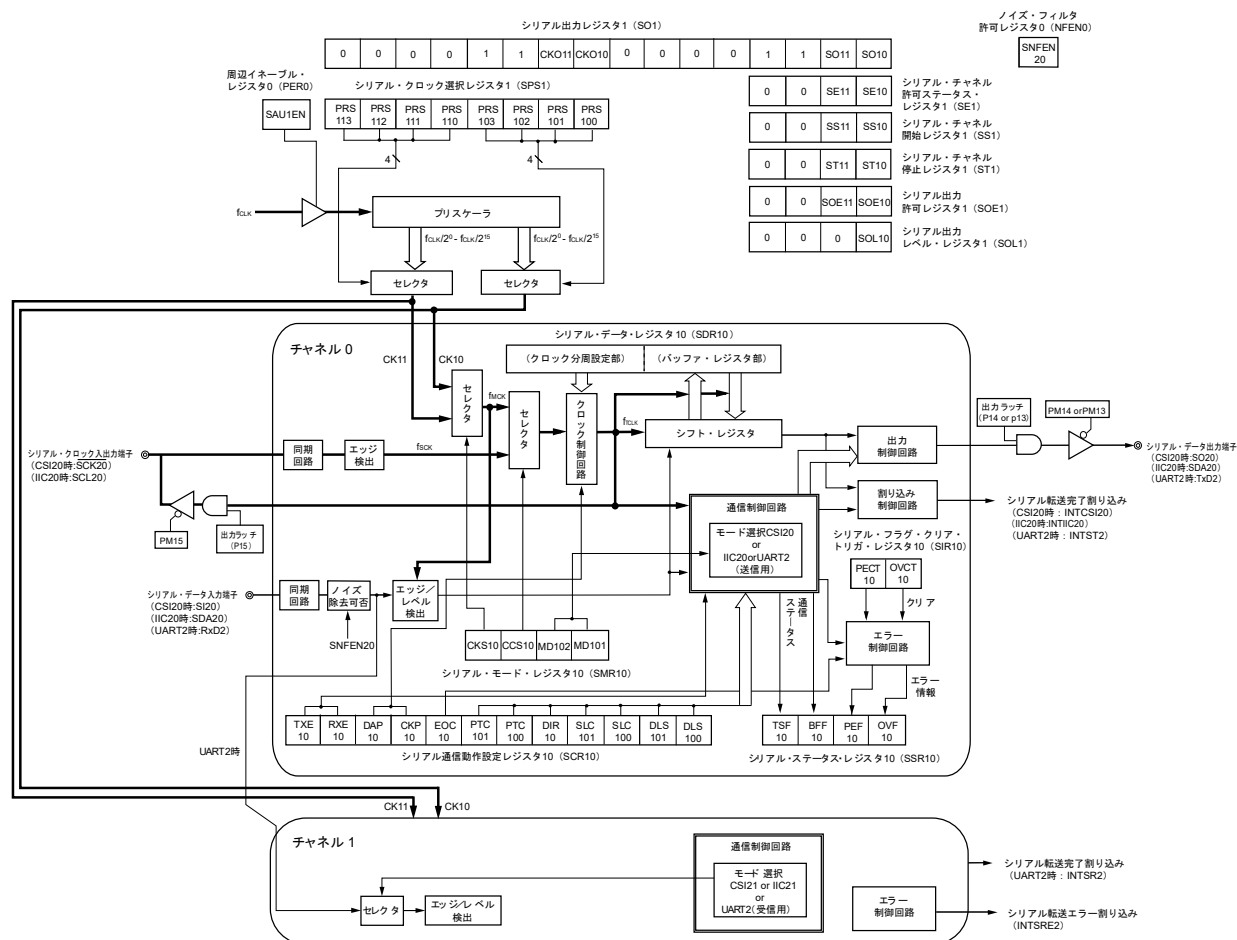


図11-3にシリアル・アレイ・ユニット1のブロック図を示します。

図11-3 シリアル・アレイ・ユニット1のブロック図 (30ピン製品)



シリアル・アレイ・ユニット1を搭載しているのは、30ピン製品のR5F102製品だけです。

11.2.1 シフト・レジスタ

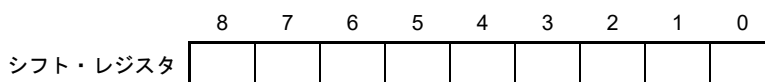
パラレル⇄シリアルの変換を行う8ビットのレジスタです。

9ビット・データ長でのUART通信時は、9ビット（ビット0～8）を使用します^{注1}。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード／ライトするには、シリアル・データ・レジスタmn（SDRmn）の下位8/9ビットを使用します。



11.2.2 シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ（16ビット）です。

ビット8-0（下位9ビット）^{注1}、またはビット7-0（下位8ビット）は、送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック（fMCK）の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは、データ出力順序に関わらず、シリアル通信動作設定レジスタmn（SCRmn）のビット0, 1（DLSmn0, DLS0m1）の設定によって、次のようになります。

- ・ 7ビット・データ長（SDRmnレジスタのビット0-6に格納）
- ・ 8ビット・データ長（SDRmnレジスタのビット0-7に格納）
- ・ 9ビット・データ長（SDR00, SDR01）レジスタのビット0-8に格納^{注1}

SDRmnレジスタは16ビット単位でリード／ライト可能です。

またSDRmnレジスタの下位8/9ビットは、通信方式により、次のSFR名称で8ビット単位でリード／ライト可能^{注2}です。

- ・ CSIp通信時・・・SIOp（CSIpデータ・レジスタ）
- ・ UARTq受信時・・・RXDq（UARTq受信データ・レジスタ）
- ・ UARTq送信時・・・TXDq（UARTq送信データ・レジスタ）
- ・ IICr通信時・・・SIOr（IICrデータ・レジスタ）

リセット信号の発生により、SDRmnレジスタは0000HIになります。

注 1. 9ビット・データ長は、UART0のみ対応しています。

2. 動作停止（SEmn = 0）時は、8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です（SDRmn[15:9]がすべてクリア（0）されます）。

備考1. 受信完了後、ビット0-8内でデータ長を越える部分のビットには、“0”が格納されます。

2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-3） p：CSI番号（p = 00, 01, 11, 20）
 q：UART番号（q = 0-2） r：IIC番号（r = 00, 01, 11, 20）

図11-4 シリアル・データ・レジスタmn (SDRmn) (mn = 00, 01) のフォーマット

アドレス : FFF10H, FFF11H (SDR00) , FFF12H, FFF13H (SDR01) リセット時 : 0000H R/W



備考 SDRmnレジスタの上位7ビットの機能については、11.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

図11-5 シリアル・データ・レジスタmn (SDRmn) (mn = 02, 03, 10, 11) のフォーマット

アドレス : FFF44H, FFF45H (SDR02) , FFF46H, FFF47H (SDR03) , リセット時 : 0000H R/W
FFF48H, FFF49H (SDR10) , FFF4AH, FFF4BH (SDR11)



注意 ビット8は、必ず0を設定してください。

備考 SDRmnレジスタの上位7ビットの機能については、11.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

11.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・チャネル開始レジスタm (SSm)
- ・シリアル・チャネル停止レジスタm (STm)
- ・シリアル・チャネル許可ステータス・レジスタm (SEm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタm (SSCm)
- ・ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ・ポート入力モード・レジスタ0, 1 (PIM0, PIM1)
- ・ポート出力モード・レジスタ0, 1, 4, 5 (POM0, POM1, POM4, POM5)
- ・ポート・モード・コントロール・レジスタ0, 1, 4 (PMC0, PMC1, PMC4)
- ・ポート・モード・レジスタ0, 1, 3-6 (PM0, PM1, PM3-PM6)
- ・ポート・レジスタ0, 1, 3-6 (P0, P1, P3-P6)

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

11.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN) に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは、必ずビット3 (SAU1EN) に1を設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図11-6 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN	0	ADCEN	IICA0EN	SAU1EN ^注	SAU0EN	0	TAU0EN

SAU1EN	シリアル・アレイ・ユニット1のクロック供給の制御
0	クロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	クロック供給許可 ・シリアル・アレイ・ユニット1で使用するSFRへのリード／ライト可

SAU0EN	シリアル・アレイ・ユニット0のクロック供給の制御
0	クロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	クロック供給許可 ・シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

注 30ピン製品のみ

注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の状態、下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタは初期値となり、書き込みは無視されます（ノイズ・フィルタ許可レジスタ0 (NFEN0)，ポート入力モード・レジスタ0, 1 (PIM0, PIM1)，ポート出力モード・レジスタ0, 1, 4, 5 (POM0, POM1, POM4, POM5)，ポート・モード・コントロール・レジスタ0, 1, 4 (PMC0, PMC1, PMC4)，ポート・モード・レジスタ0, 1, 3-6 (PM0, PM1, PM3-PM6)，ポート・レジスタ0, 1, 3-6 (P0, P1, P3-P6) は除く）。

- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・チャネル開始レジスタm (SSm)
- ・シリアル・チャネル停止レジスタm (STm)
- ・シリアル・チャネル許可ステータス・レジスタm (SEm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタm (SSCm)

2. 次のビットには必ず“0”を設定してください。

20, 24ピン製品 : ビット1, 3, 6

30ピン製品 : ビット1, 6

11.3.2 シリアル・クロック選択レジスタm (SPSm)

SPSmレジスタは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmレジスタは0000Hになります。

図11-7 シリアル・クロック選択レジスタm (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0) , F0166H, F0167H (SPS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック（CK mk）の選択 ^注						
				f _{CLK} = 2 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 20 MHz	f _{CLK} = 24 MHz	
0	0	0	0	f _{CLK}	2 MHz	4 MHz	8 MHz	16 MHz	20 MHz	24 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2 MHz	4 MHz	8 MHz	10 MHz	12 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1 MHz	2 MHz	4 MHz	5 MHz	6 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	500 kHz	1 MHz	2 MHz	2.5 MHz	3 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	250 kHz	500 kHz	1 MHz	1.25 MHz	1.5 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	125 kHz	250 kHz	500 kHz	625 kHz	750 kHz
0	1	1	0	f _{CLK} /2 ⁶	31.3 kHz	62.5 kHz	125 kHz	250 kHz	313 kHz	375 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.6 kHz	31.3 kHz	62.5 kHz	125 kHz	156 kHz	188 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	15.6 kHz	31.3 kHz	62.5 kHz	78.1 kHz	93.8 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	7.81 kHz	15.6 kHz	31.3 kHz	39.1 kHz	46.9 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	3.91 kHz	7.81 kHz	15.6 kHz	19.5 kHz	23.4 kHz
1	0	1	1	f _{CLK} /2 ¹¹	977 Hz	1.95 kHz	3.91 kHz	7.81 kHz	9.77 kHz	11.7 kHz
1	1	0	0	f _{CLK} /2 ¹²	488 Hz	977 Hz	1.95 kHz	3.91 kHz	4.88 kHz	5.86 kHz
1	1	0	1	f _{CLK} /2 ¹³	244 Hz	488 Hz	977 Hz	1.95 kHz	2.44 kHz	2.93 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	122 Hz	244 Hz	488 Hz	977 Hz	1.22 kHz	1.46 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	61 Hz	122 Hz	244 Hz	488 Hz	610 Hz	732 Hz

注 シリアル・アレイ・ユニット (SAU) 動作中にf_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、SAUの動作を停止 (シリアル・チャネル停止レジスタm (STm) = 000FH) させてから変更してください。

注意 ビット15-8には、必ず0を設定してください。

備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

2. m : ユニット番号 (m = 0, 1) k = 0, 1

11.3.3 シリアル・モード・レジスタmn (SMRmn)

SMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (f_{MCK}) の選択、シリアル・クロック (f_{SCK}) 入力の使用可否、スタート・トリガ設定、動作モード (簡易SPI (CSI), UART, 簡易I²C) 設定、割り込み要因の選択を行います。またUARTモード時のみ、受信データのレベル反転の設定を行います。

SMRmnレジスタは、動作中 ($SEmn = 1$ のとき) の書き換えは禁止です。ただしMDmn0ビットは、動作中でも書き換えをすることができます。

SMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMRmnレジスタは0020Hになります。

図11-8 シリアル・モード・レジスタmn (SMRmn) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00) -F0116H, F0117H (SMR03) , リセット時 : 0020H R/W
F0150H, F0151H (SMR10) , F0152H, F0153H (SMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn ^注	0	SISmn0 ^注	1	0	0	MDmn2	MDmn1	MDmn0

CKSmn	チャンネルnの動作クロック (f_{MCK}) の選択
0	SPSmレジスタで設定した動作クロックCK00
1	SPSmレジスタで設定した動作クロックCK01
動作クロック (f_{MCK}) は、エッジ検出回路に使用されます。また、CCSmnビットとSDRmnレジスタの上位7ビットの設定により、転送クロック (f_{TCLK}) を生成します。	

CCSmn	チャンネルnの転送クロック (f_{TCLK}) の選択
0	CKSmnビットで指定した動作クロック f_{MCK} の分周クロック
1	SCKp端子からの入力クロック f_{SCK} (簡易SPI (CSI) モードのスレーブ転送)
転送クロック f_{TCLK} は、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmnレジスタの上位7ビットで動作クロック (f_{MCK}) の分周設定を行います。	

STSmn ^注	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効 (簡易SPI (CSI) , UART送信, 簡易I ² C時に選択)
1	RxDq端子の有効エッジ (UART受信時に選択)
SSmレジスタに1を設定後、上記の要因が満たされてから転送開始となります。	

注 SMR01, SMR03, SMR11レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10, SMR12レジスタの場合は、ビット13-6, 4, 3) には、必ず0を設定してください。ビット5には、必ず1を設定してください。

(備考は次ページにあります。)

図11-8 シリアル・モード・レジスタmn (SMRmn) のフォーマット (2/2)

アドレス : F0110H, F0111H (SMR00) -F0116H, F0117H (SMR03) , リセット時 : 0020H R/W

F0150H, F0151H (SMR10) , F0152H, F0153H (SMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn ^注	0	SIS mn0 ^注	1	0	0	MD mn2	MD mn1	MD mn0

SISmn0 ^注	UARTモードでのチャンネルnの受信データのレベル反転の制御
0	立ち下がリエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。

MDmn2	MDmn1	チャンネルnの動作モードの設定
0	0	簡易SPI (CSI) モード
0	1	UARTモード
1	0	簡易I ² Cモード
1	1	設定禁止

MDmn0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

注 SMR01, SMR03, SMR11レジスタのみ。**注意** ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10, SMR12レジスタの場合は、ビット13-6, 4, 3) には、必ず0を設定してください。ビット5には、必ず1を設定してください。**備考** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 11, 20)
q : UART番号 (q = 0-2) r : IIC番号 (r = 00, 01, 11, 20)

11.3.4 シリアル通信動作設定レジスタmn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmnレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SCRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SCRmnレジスタは0087HIになります。

図11-9 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (1/2)

アドレス : F0118H, F0119H (SCR00) -F011EH, F011FH (SCR03) , リセット時 : 0087H R/W

F0158H, F0159H (SCR10) , F015AH, F015BH (SCR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1	SLCmn0	0	1	DLSmn1	DLSmn0
											注1				注2	

TXEmn	RXEmn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAPmn	CKPmn	簡易SPI (CSI) モードでのデータとクロックの位相選択	タイプ
0	0	SCKp  SOp  SIp入力タイミング 	1
0	1	SCKp  SOp  SIp入力タイミング 	2
1	0	SCKp  SOp  SIp入力タイミング 	3
1	1	SCKp  SOp  SIp入力タイミング 	4
UARTモード、簡易I ² Cモード時には、必ずDAPmn, CKPmn = 0, 0に設定してください。			

EOCmn	エラー割り込み信号 (INTSREx (x = 0-3)) のマスク制御
0	エラー割り込みINTSRExの発生を禁止する (INTSRxが発生する)
1	エラー割り込みINTSRExの発生を許可する (エラー発生時、INTSRxは発生しない)
簡易SPI (CSI) モード、簡易I ² Cモード、UART送信時には、EOCmn = 0に設定してください ^{注3} 。	

注1. SCR00, SCR02, SCR10レジスタのみ。

2. SCR00, SCR01レジスタのみ。その他は1固定になります。

3. CSImnをEOCmn = 0で使用しない場合、エラー割り込みINTSREnが発生する場合があります。

注意 ビット3, 6, 11には、必ず0を設定してください (SCR01, SCR03, SCR11レジスタはビット5も0に設定してください)。ビット2には、必ず1を設定してください。

(備考は次ページにあります。)

図11-9 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (2/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03) , リセット時 : 0087H R/W
F0158H, F0159H (SCR10) , F015AH, F015BH (SCR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1 注1	SLCmn0	0	1	DLSmn1 注2	DLSmn0

PTCmn1	PTCmn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力 ^{注3}	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

簡易SPI (CSI) モード、簡易I²Cモード時には、必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIRmn	簡易SPI (CSI) , UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う

簡易I²Cモード時には、必ずDIRmn = 0に設定してください。

SLCmn1 ^{注1}	SLCmn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット (mn = 00, 02, 10のみ)
1	1	設定禁止

転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みを発生します。
UART受信時、簡易I²Cモード時には、1ビット (SLCmn1, SLCmn0 = 0, 1) に設定してください。
簡易SPI (CSI) モード時には、ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0) に設定してください。
UART送信時は、1ビット (SLCmn1, SLCmn0 = 0, 1) 又は2ビット (SLCmn1, SLCmn0 = 1, 0) に設定してください。

DLSmn1 ^{注2}	DLSmn0	簡易SPI (CSI) , UARTモードでのデータ長の設定
0	1	9ビット・データ長 (SDR00, SDR01レジスタのビット0-8に格納) (UART0モード時のみ選択可)
1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)
1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)
その他		設定禁止

簡易I²Cモード時には、必ずDLSmn1, DLSmn0 = 1, 1に設定してください。

注1. SCR00, SCR02, SCR10レジスタのみ。

2. SCR00, SCR01レジスタのみ。その他は1固定になります。

3. データの内容にかかわらず必ず0が付加されます。

注意 ビット3, 6, 11には、必ず0を設定してください (SCR01, SCR03, SCR11レジスタはビット5も0に設定してください)。ビット2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 11, 20)

11.3.5 シリアル・データ・レジスタmn (SDRmn)

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ（16ビット）です。SDR00, SDR01のビット8-0（下位9ビット）、またはSDR02, SDR03, SDR10, SDR11のビット7-0（下位8ビット）は、送受信バッファ・レジスタとして機能し、ビット15-9（上位7ビット）の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

シリアル・モード・レジスタmn（SMRmn）でCCSmnビットを0に設定した場合は、動作クロックをこのSDRmnレジスタのビット15-9（上位7ビット）で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmnビットを1に設定した場合は、SDR00, SDR01, SDR10, SDR11のビット15-9（上位7ビット）に“0000000B”を設定してください。SCKp端子からの入力クロックf_{SCK}（簡易SPI（CSI）モードのスレーブ転送）が転送クロックとなります。

SDRmnレジスタの下位8/9ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード／ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態（SEmn = 0）のときのみ有効です。動作中（SEmn = 1）にSDRmnレジスタに書き込みを行ったときは、下位9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行った場合、上位7ビットは常に0が読み出されます。

リセット信号の発生により、SDRmnレジスタは0000Hになります。

図11-10 シリアル・データ・レジスタmn (SDRmn) のフォーマット

アドレス : FFF10H, FFF11H (SDR01) , FFF12H, FFF13H (SDR01) リセット時 : 0000H R/W

FFF11H (SDR00の場合) FFF10H (SDR00の場合)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR0n																

アドレス : FFF44H, FFF45H (SDR02) , FFF46H, FFF47H (SDR03) リセット時 : 0000H R/W

FFF48H, FFF49H (SDR10) , FFF4AH, FFF4BH (SDR11)

FFF45H (SDR02の場合) FFF44H (SDR02の場合)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn								0								

SDRmn[15:9]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	$f_{MCK}/2$
0	0	0	0	0	0	1	$f_{MCK}/4$
0	0	0	0	0	1	0	$f_{MCK}/6$
0	0	0	0	0	1	1	$f_{MCK}/8$
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.
1	1	1	1	1	1	0	$f_{MCK}/254$
1	1	1	1	1	1	1	$f_{MCK}/256$

(注意, 備考は次ページにあります。)

- 注意1. SDR02, SDR03, SDR10, SDR11レジスタのビット8は、必ず0を設定してください。
2. UART使用時は、SDRmn[15:9] = (00000000B, 00000001B) は設定禁止です。
 3. 簡易I²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
 4. 動作停止 (SEmn = 0) 時は、8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です (SDRmn[15:9]がすべてクリア (0) されます)。

- 備考1. SDRmnレジスタの下位8/9ビットの機能については、11. 2 シリアル・アレイ・ユニットの構成を参照してください。
2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

11.3.6 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECTmn, PECTmn, OVCTmn) を1にセットすると、シリアル・ステータス・レジスタmn (SSRmn) の対応ビット (FEFmn, PEFmn, OVFmn) が0にクリアされます。SIRmnレジスタはトリガ・レジスタなので、SSRmnレジスタの対応ビットをクリアするとすぐSIRmnレジスタもクリアされます。

SIRmnレジスタは、16ビット・メモリ操作命令で設定します。

またSIRmnレジスタの下位8ビットは、SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SIRmnレジスタは0000Hになります。

図11-11 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) のフォーマット

アドレス : F0108H, F0109H (SIR00) - F010EH, F010FH (SIR03) , リセット時 : 0000H R/W
F0148H, F0149H (SIR10) , F014AH, F014BH (SIR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC Tmn ^注	PECTmn	OVCTmn

FECTmn ^注	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのFEFmnビットを0にクリアする

PECTmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのPEFmnビットを0にクリアする

OVCTmn	チャンネルnのオーバラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのOVFmnビットを0にクリアする

注 SIR01, SIR03, SIR11レジスタのみ。

注意 ビット15-3 (SIR00, SIR02, SIR10レジスタの場合は、ビット15-2) には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

2. SIRmnレジスタの読み出し値は常に0000Hとなります。

11.3.7 シリアル・ステータス・レジスタmn (SSRmn)

SSRmnレジスタは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnレジスタは0000Hになります。

図11-12 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (1/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03) , リセット時 : 0000H R
F0140H, F0141H (SSR10) , F0142H, F0143H (SSR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSFmn	BFFmn	0	0	FEFmn 注	PEFmn	OVFmn

TSFmn	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件> ・ STmnレジスタのSTmnビットに1を設定時（通信停止状態）、もしくはSSmnレジスタのSSmnビットに1を設定時（通信待機状態） ・ 通信動作が終了時 <セット条件> ・ 通信動作を開始時	

BFFmn	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件> ・ 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき ・ 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき ・ STmnレジスタのSTmnビットに1を設定時（通信停止状態）、SSmnレジスタのSSmnビットに1を設定時（通信許可状態）。 <セット条件> ・ SCRmnレジスタのTXEmnビット = 1（各通信モードでの送信、送受信モード時）の状態ですDRmnレジスタに送信データを書き込んだとき ・ SCRmnレジスタのRXEmnビット = 1（各通信モードでの受信、送受信モード時）の状態ですDRmnレジスタに受信データが格納されたとき ・ 受信エラー時	

注 SSR01, SSR03, SSR11レジスタのみ。

注意 SNOOZEモード（SWC0 = 1）で簡易SPI（CSI）の受信動作を行う場合、BFF01フラグは動作しません。

備考 m : ユニット番号（m = 0, 1） n : チャンネル番号（n = 0-3）

図11-12 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03) , リセット時 : 0000H R
F0140H, F0141H (SSR10) , F0142H, F0143H (SSR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSFmn	BFFmn	0	0	FEFmn 注	PEFmn	OVFmn

FEFmn注	チャンネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生 (UART受信時)
<クリア条件> ・ SIRmnレジスタのFECTmnビットに1を書き込んだとき <セット条件> ・ UART受信完了時に、ストップ・ビットが検出されないとき	

PEFmn	チャンネルnのパリティ／ACKエラー検出フラグ
0	エラーなし
1	パリティ・エラー発生 (UART受信時) , またはACK未検出発生 (簡易I ² C送信時)
<クリア条件> ・ SIRmnレジスタのPECTmnビットに1を書き込んだとき <セット条件> ・ UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき (パリティ・エラー) ・ 簡易I ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき (ACK未検出)	

OVFmn	チャンネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> ・ SIRmnレジスタのOVCTmnビットに1を書き込んだとき <セット条件> ・ SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信、送受信モード時) の状態で、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき ・ 簡易SPI (CSI) モードのスレーブ送信／送受信で、送信データが準備できていないとき	

注 SSR01, SSR03, SSR11レジスタのみ。

- 注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信／受信データが破壊され、オーバラン・エラー (OVEmn = 1) と検出されます。
2. SNOOZEモード (SWC0 = 1) で簡易SPI (CSI) の受信動作を行う場合、OVF01フラグは動作しません。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

11.3.8 シリアル・チャネル開始レジスタm (SSm)

SSmレジスタは、通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット (SSmn) に1を書き込むと、シリアル・チャネル許可ステータス・レジスタm (SEm) の対応ビット (SEmn) が1にセット (動作許可状態) されます。SSmnビットはトリガ・ビットなので、SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは、16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは、SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSmレジスタは0000Hになります。

図11-13 シリアル・チャネル開始レジスタm (SSm) のフォーマット

アドレス : F0122H, F0123H (SS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS0 ₃ ^{注1}	SS02 ^{注1}	SS01	SS00

アドレス : F0162H, F0163H (SS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS1 ^{注1}	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS11	SS10

SSmn	チャネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし、通信待機状態に移す ^{注2}

注1. 30ピン製品のみ

- 通信動作中にSSmn = 1を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOMn端子とFEFmn, PEFmn, OVFnフラグは状態を保持します。

注意1. 20, 24ピン製品のSS0レジスタのビット15-2, 30ピン製品のSS0レジスタのビット15-4とSS1レジスタのビット15-2には、必ず0を設定してください。

- UART受信の場合は、SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

- SSmレジスタの読み出し値は常に0000Hとなります。

11.3.9 シリアル・チャネル停止レジスタm (STm)

STmレジスタは、通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット (STmn) に1を書き込むと、シリアル・チャネル許可ステータス・レジスタm (SEm) の対応ビット (SEmn) が0にクリア (動作停止状態) されます。STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは、16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは、STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、STmレジスタは0000Hになります。

図11-14 シリアル・チャネル停止レジスタm (STm) のフォーマット

アドレス : F0124H, F0125H (ST0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST0 ₃ ^{注1}	ST0 ₂ ^{注1}	ST0 ₁	ST0 ₀

アドレス : F0164H, F0165H (ST1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST1 ^{注1}	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST1 ₁	ST1 ₀

STmn	チャネルnの動作停止トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし、通信動作を停止する ^{注2}

注1. 30ピン製品のみ

- 制御レジスタ、シフト・レジスタの値、SCKmn, SOMn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意 20, 24ピン製品のST0レジスタのビット15-2, 30ピン製品のST0レジスタのビット15-4とST1レジスタのビット15-2には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

- STmレジスタの読み出し値は常に0000Hとなります。

11.3.10 シリアル・チャネル許可ステータス・レジスタm (SEm)

SEmレジスタは、各チャネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャネル開始レジスタm (SSm) の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャネル停止レジスタm (STm) の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャネルnは、後述のシリアル出力レジスタm (SOm) のCKOmnビット (チャネルnのシリアル・クロック出力) の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャネルnは、SOmレジスタのCKOmnビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEmレジスタは、16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットはSEmLで、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SEmレジスタは0000HIになります。

図11-15 シリアル・チャネル許可ステータス・レジスタm (SEm) のフォーマット

アドレス : F0120H, F0121H (SE0) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE0 3 ^注	SE0 2 ^注	SE01	SE00

アドレス : F0160H, F0161H (SE1) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE1 ^注	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE11	SE1 0

SEmn	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

注 30ピン製品のみ

注意 20, 24ピン製品のSE0レジスタのビット15-2, 30ピン製品のSE0レジスタのビット15-4とSE1レジスタのビット15-2には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

11.3.11 シリアル出力許可レジスタm (SOEm)

SOEmレジスタは、各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャネルnは、後述のシリアル出力レジスタm (SOM) のSOMnビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャネルnは、SOMレジスタのSOMnビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmレジスタは、16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットはSOEmLで、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmレジスタは0000Hになります。

図11-16 シリアル出力許可レジスタm (SOEm) のフォーマット

アドレス : F012AH, F012BH (SOE0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	SOE03 注1	SOE02 注1	SOE01 注2	SOE00

アドレス : F016AH, F016BH (SOE1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1注1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE10

SOEmn	チャネルnのシリアル出力許可／停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注1. 30ピン製品のみ

2. 20, 24ピン製品のみ

注意 20, 24ピン製品のSOEレジスタのビット15-2, 30ピン製品のSOE0レジスタのビット15-4, 1とSOE1レジスタのビット15-1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

11.3.12 シリアル出力レジスタm (SOm)

SOmレジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOEmn = 0) 時のみ可能です。シリアル出力許可 (SOEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウェアによる書き換えは、チャンネル動作停止 (SEmn = 0) 時のみ可能です。チャンネル動作許可 (SEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インターフェース用端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに“1”を設定してください。

SOmレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SOmレジスタは0F0FHになります。

図11-17 シリアル出力レジスタm (SOm) のフォーマット

アドレス : F0128H, F0129H (SO0) リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	CKO03	CKO02	CKO01	CKO00	0	0	0	0	SO03 ^{注1}	SO02 ^{注1}	SO01 ^{注2}	SO00

アドレス : F0168H, F0169H (SO1) リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1 ^{注1}	0	0	0	0	1	1	1	CKO10	0	0	0	0	1	1	1	SO10

CKOmn	チャンネルnのシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

SOmn	チャンネルnのシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

注1. 30ピン製品のみ

2. 20, 24ピン製品のみ、リセット時 : 0303Hになります。

注意 SOmレジスタのビット15-12, 7-4には必ず0を設定してください。

また、30ピン製品のSO0レジスタのビット10, 1には必ず1を設定してください。

SO1レジスタのビット11-9, 3-1には必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

11. 3. 13 シリアル出力レベル・レジスタm (SOLm)

SOLmレジスタは、各チャネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。簡易SPI (CSI) モード、簡易I²Cモード時は、必ず対応するビットに0を設定してください。

このレジスタによる各チャネルnの反転設定は、シリアル出力許可 (SOEmn = 1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOEmn = 0) 時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SOLmレジスタは、16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは、SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOLmレジスタは0000HIになります。

図11-18 シリアル出力レベル・レジスタm (SOLm) のフォーマット

アドレス : F0134H, F0135H (SOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 02 ^注	0	SOL 00

アドレス : F0174H, F0175H (SOL1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL1 ^注	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 10

SOLmn	UARTモードでのチャネルnの送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

注 30ピン製品のみ

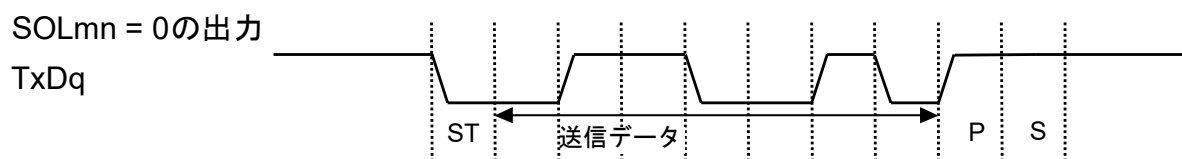
注意 20, 24ピン製品のSOL0レジスタのビット15-1, 30ピン製品のSOL0レジスタのビット15-3, 1, SOL1レジスタのビット15-1には、必ず0を設定してください。

(備考は、次ページにあります)

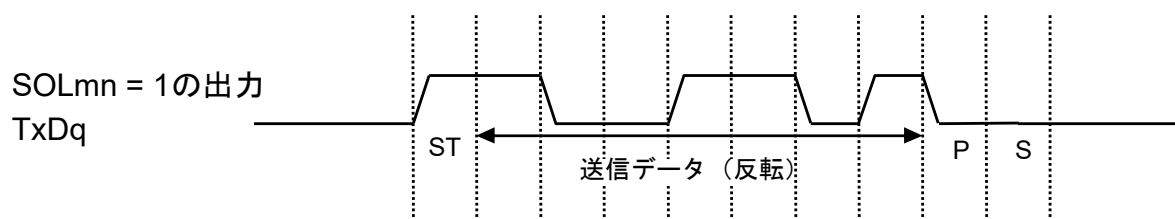
UART送信時、送信データのレベル反転例を図11-19に示します。

図11-19 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2)

11.3.14 シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)

SSC0レジスタは、CSI00、UART0のシリアル・データ受信による、STOPモード状態からの受信動作起動（SNOOZEモード）を制御するレジスタです。

SSC0レジスタは、16ビット・メモリ操作命令で設定します。

またSSC0レジスタの下位8ビットは、SSC0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSC0レジスタは0000Hになります。

注意 SNOOZEモード時の最大転送レートは、次のようになります。

- ・ CSI00の場合：～1 Mbps
- ・ UART0の場合：4800 bpsのみ

図11-20 シリアル・スタンバイ・コントロール・レジスタ0 (SSC0) のフォーマット

アドレス：F0138H, F0139H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSC0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS EC0	SWC0

SSEC0	SNOOZEモード時の通信エラー割り込み発生許可／停止の選択
0	エラー割り込み（INTSR0）発生許可
1	エラー割り込み（INTSR0）発生停止

・ SNOOZEモード時のUART受信で、SWC0=1かつEOC01=1の時のみ、SSEC0ビットを1/0に設定することができます。その他の場合は、SSEC0ビットを0に設定してください。

・ SSEC0, SWC0 = 1, 0は設定禁止です。

SWC0	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する

・ STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなく、CSI00/UART0の受信動作を行います（SNOOZEモード）。

・ SNOOZEモード機能は、CPU／周辺ハードウェア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。

・ SNOOZEモードを使用する場合でも、通常動作時ではSWC0 = 0に設定し、STOPモードへの移行直前にSWC0 = 1に変更してください。

また、STOPモードから通常動作へ復帰後、必ずSWC0 = 0に変更してください。

図11-21 SNOOZEモードでUART受信したときの割り込み

EOC01ビット	SSEC0ビット	正常受信時	受信エラー時
0	0	INTSR0が発生する	INTSR0が発生する
0	1	INTSR0が発生する	INTSR0が発生する
1	0	INTSR0が発生する	INTSRE0が発生する
1	1	INTSR0が発生する	割り込みは発生しない

11.3.15 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

簡易SPI (CSI)、簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけ行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0レジスタは00Hになります。

図11-22 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマット

アドレス : F0070H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	SNFEN20 ^注	0	SNFEN10 ^注	0	SNFEN00

SNFEN20	RxD2端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD2端子として使用するときは、SNFEN20 = 1に設定してください。	
RxD2以外の機能として使用するときは、SNFEN20 = 0に設定してください。	

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。	
RxD1以外の機能として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。	
RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。	

注 30ピン製品のみ

注意 20, 24ピン製品のNFEN0レジスタのビット7-1, 30ピン製品のNFEN0レジスタのビット7-5, 3, 1には、必ず0を設定してください。

11. 3. 16 シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は、対象チャネルと兼用するポートに関するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）、ポート入力モード・レジスタ（PIMxx）、ポート出力モード・レジスタ（POMxx）、ポート・モード・コントロール・レジスタ（PMCxx）を設定してください。

詳細は、4. 3. 1 ポート・モード・レジスタ（PMxx）、4. 3. 2 ポート・レジスタ（Pxx）、4. 3. 4 ポート入力モード・レジスタ（PIMxx）、4. 3. 5 ポート出力モード・レジスタ（POMxx）、4. 3. 6 ポート・モード・コントロール・レジスタ（PMCxx）を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート（P10/ANI16/PCLBUZ0/SCK00/SCL00など）をシリアル・データ出力またはシリアル・クロック出力として使用するとき、各ポートに対応するポート・モード・コントロール・レジスタ（PMCxx）のビットおよびポート・モード・レジスタ（PMxx）のビットに0を、ポート・レジスタ（Pxx）のビットに1を設定してください。

なお、N-chオープン・ドレイン出力（V_{DD}耐圧）モードで使用する場合は、各ポートに対応するポート出力モード・レジスタ（POMxx）のビットに1を設定してください。異電位（1.8V系、2.5V系、3V系）で動作している外部デバイスと接続する場合は、4. 4. 4 入出力バッファによる異電位（1.8V系、2.5V系、3V）対応を参照してください。

例）20, 24ピン製品のP10/ANI16/PCLBUZ0/ SCK00/ SCL00をシリアル・クロック出力として使用

ポート・モード・コントロール・レジスタ1のPMC10ビットを0に設定

ポート・モード・レジスタ1のPM10ビットを0に設定

ポート・レジスタ1のP10ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート（P10/ANI16/PCLBUZ0/SCK00/SCL00など）をシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。また、ポート・モード・コントロール・レジスタ（PMCxx）のビットに0を設定してください。このときポート・レジスタ（Pxx）のビットは、0または1のどちらでもかまいません。

なお、TTL入力バッファで使用する場合は、各ポートに対応するポート入力モード・レジスタ（PIMxx）のビットに1を設定してください。異電位（1.8V系、2.5V系、3V系）で動作している外部デバイスと接続する場合は、4. 4. 4 入出力バッファによる異電位（1.8V系、2.5V系、3V）対応を参照してください。

例）20, 24ピン製品のP10/ANI16/PCLBUZ0/SCK00/ SCL00をシリアル・クロック入力として使用

ポート・モード・コントロール・レジスタ1のPMC10ビットを0に設定

ポート・モード・レジスタ1のPM10ビットを1に設定

ポート・レジスタ1のP10ビットを0または1に設定

11.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。

また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

11.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0（PER0）で行います。

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは、ビット2（SAU0EN）に0を設定してください。シリアル・アレイ・ユニット1を停止するときは、ビット3（SAU1EN）に0を設定してください。

図11-23 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0（PER0）の設定

(a) 周辺イネーブル・レジスタ0（PER0）・・・停止するSAUmのビットのみ0に設定する

	7	6	5	4	3	2	1	0
PER0	TMKAEN		ADCEN	IICA0EN	SAU1EN ^注	SAU0EN		TAU0EN
	×	0	×	×	0/1	0/1	0	×

SAUmの入カクロックの制御
0：入カクロック供給停止
1：入カクロック供給

注 30ピン製品のみ

注意1. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しでも値はすべて初期値となります。

ただし、次のレジスタは除きます。

- ・ノイズ・フィルタ許可レジスタ0（NFEN0）
- ・ポート入力モード・レジスタ0, 1（PIM0, PIM1）
- ・ポート出力モード・レジスタ0, 1, 4, 5（POM0, POM1, POM4, POM5）
- ・ポート・モード・レジスタ0, 1, 3-6（PM0, PM1, PM3-PM6）
- ・ポート・レジスタ0, 1, 3-6（P0, P1, P3-P6）
- ・ポート・モード・コントロール・レジスタ0, 1, 4（PMC0, PMC1, PMC4）

2. 次のビットには必ず“0”を設定してください。

20, 24ピン製品：ビット1, 3, 6

30ピン製品：ビット1, 6

備考 ■：設定不可（初期値を設定）

×：シリアル・アレイ・ユニットでは使用しないビット（他の周辺機能の設定による）

0/1：ユーザの用途に応じて0または1に設定

11.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図11-24 チャンネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル停止レジスタm (STm)

・・・各チャンネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm	0	0	0	0	0	0	0	0	0	0	0	0	ST03 ^{※1}	ST02 ^{※1}	STm1	STm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

1 : SEmnビットを0にクリアし、通信動作を停止

※ STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

(b) シリアル・チャンネル許可ステータス・レジスタm (SEm)

・・・各チャンネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm	0	0	0	0	0	0	0	0	0	0	0	0	SE03 ^{※1}	SE02 ^{※1}	SEm1	SEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

0 : 動作停止状態

※SEmレジスタはRead Onlyのステータス・レジスタであり、STmレジスタにて動作停止にします。
動作を停止したチャンネルは、S0mレジスタのCKOmnビットの値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタm (SOEm)

・・・各チャンネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOE03 ^{※1}	SOE02 ^{※1}	SOE01 ^{※2}	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

0 : シリアル通信動作による出力停止

※ シリアル出力を停止したチャンネルは、S0mレジスタのSOmnビットの値をソフトウェアで設定できます。

(d) シリアル出力レジスタm (S0m)

・・・各チャンネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
S0m	0	0	0	0	1	1	CKOm1	CKOm0	0	0	0	0	SO03 ^{※1}	SO02 ^{※1}	SO01 ^{※2}	S0m0
	0	0	0	0	1	1	0/1	0/1	0	0	0	0	0/1	0/1	0/1	0/1

1 : シリアル・クロック出力値が“1”

1 : シリアル・データ出力値が“1”

※ 各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, S0mnビットに“1”を設定してください。

注1. 30ピン製品のシリアル・アレイ・ユニット0のみ

2. 20, 24ピン製品のみ

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

2. ■ : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

11.5 簡易SPI (CSI00, CSI01, CSI11, CSI20) 通信の動作

シリアル・クロック (SCK) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択

[クロック制御]

- ・ マスタ／スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート[※] マスタ通信時： Max. f_{CLK}/2 (CSI00のみ)

Max. f_{CLK}/4

スレーブ通信時： Max. f_{MCK}/6

[割り込み機能]

- ・ 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

また、CSI00 (ユニット0のチャンネル0) は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK00端子入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

注 SCKサイクル・タイム (t_{SCY}) の特性を満たす範囲内で使用してください。詳細は、第28章または第29章 電気的特性を参照してください。

簡易SPI (CSI00, CSI01, CSI11, CSI20) に対応しているチャンネルは、SAU0のチャンネル0, 1, 3と、SAU1のチャンネル0です。

20, 24ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00 [※]
	1	CSI01 [※]		IIC01 [※]

30ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1 [※]	—
	3	CSI11 [※]		IIC11 [※]
1	0	CSI20 [※]	UART2 [※]	IIC20 [※]
	1	—		—

注 R5F102製品のみ

簡易SPI（CSI00, CSI01, CSI10, CSI20）の通信動作は、以下の7種類があります。

- ・ マスタ送信 (11. 5. 1項を参照)
- ・ マスタ受信 (11. 5. 2項を参照)
- ・ マスタ送受信 (11. 5. 3項を参照)
- ・ スレーブ送信 (11. 5. 4項を参照)
- ・ スレーブ受信 (11. 5. 5項を参照)
- ・ スレーブ送受信 (11. 5. 6項を参照)
- ・ SNOOZEモード機能（CSI00のみ） (11. 5. 7項を参照)

11. 5. 1 マスタ送信

マスタ送信とは、このRL78マイクロコントローラが転送クロックを出力し、RL78マイクロコントローラから他デバイスへデータを送信する動作です。

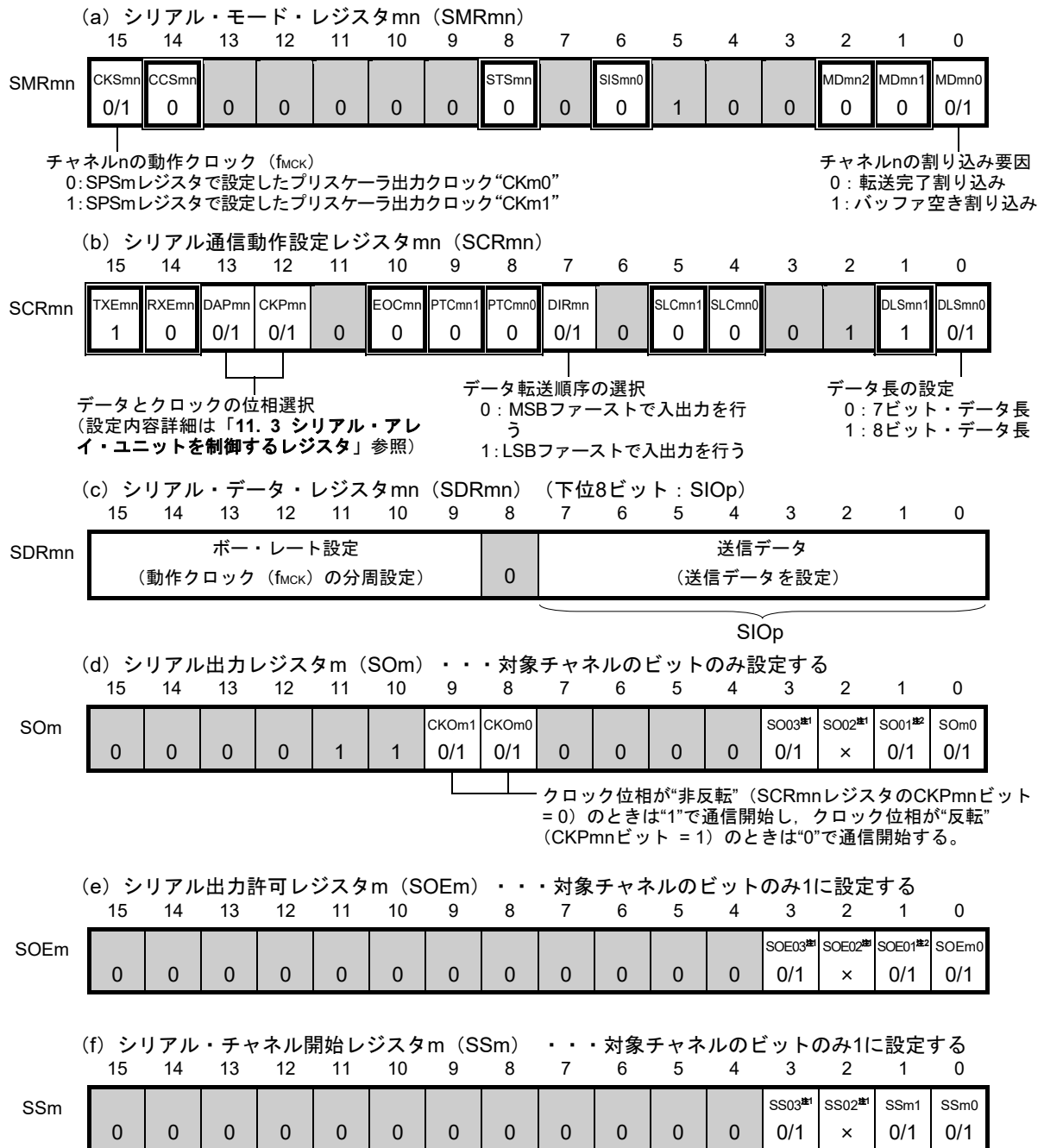
簡易SPI	CSI00	CSI01	CSI11	CSI20
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0
使用端子	SCK00, SO00	SCK01, SO01	SCK11, SO11	SCK20, SO20
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20
	転送完了割り込み（シングル転送モード時）か、パツファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	7ビットまたは8ビット			
転送レート ^注	Max. $f_{CLK}/2$ [Hz]（CSI00のみ）, $f_{CLK}/4$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] f_{CLK} : システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合 : 非反転（SCKの立ち下がりでデータ出力, 立ち上がりでデータ入力） ・ CKPmn = 1の場合 : 反転（SCKの立ち上がりでデータ出力, 立ち下がりでデータ入力）			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電気的特性の周辺機能特性（第28章または第29章 電気的特性参照）を満たす範囲内で使用してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) , mn = 00, 01, 03, 10

(1) レジスタ設定

図11-25 簡易SPI (CSI00, CSI01, CSI11, CSI20) のマスタ送信時のレジスタ設定内容例



注1. 30ピン製品のシリアル・アレイ・ユニット0のみ

2. 20, 24ピン製品のみ

備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-3), mn = 00, 01, 03, 10 p: CSI番号 (p = 00, 01, 11, 20)

2. □: 簡易SPI (CSI) マスタ送信モードでは設定固定 ■: 設定不可 (初期値を設定)

×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-26 マスタ送信の初期設定手順

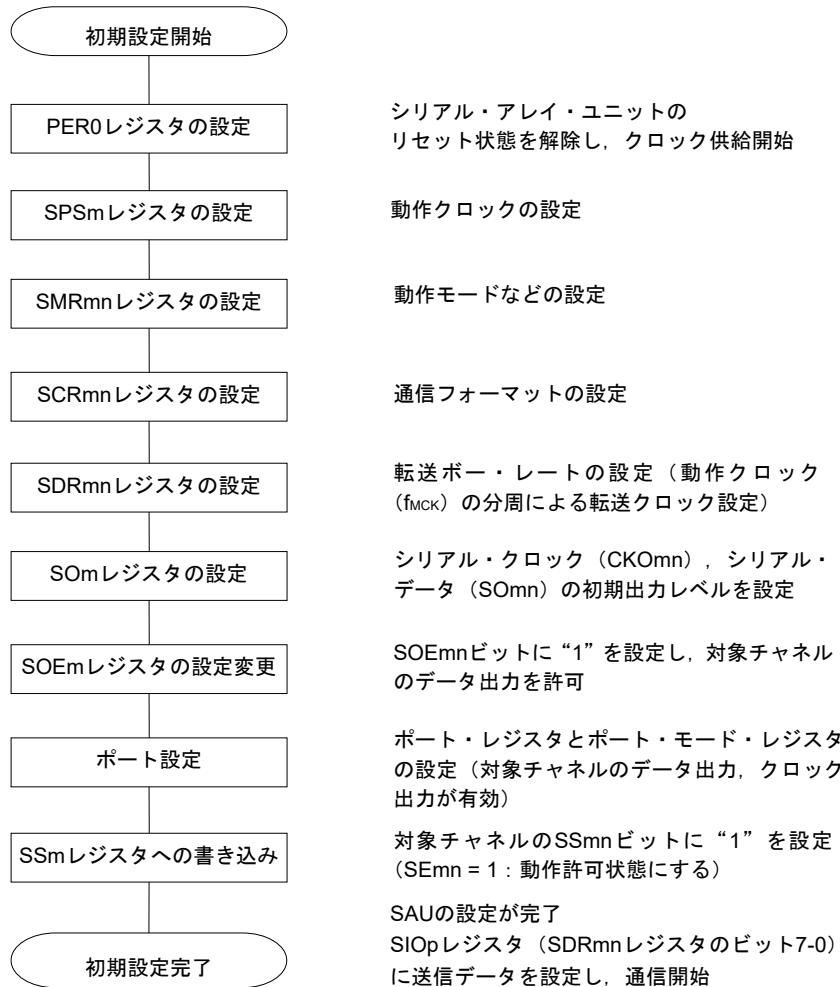


図11-27 マスタ送信の中断手順

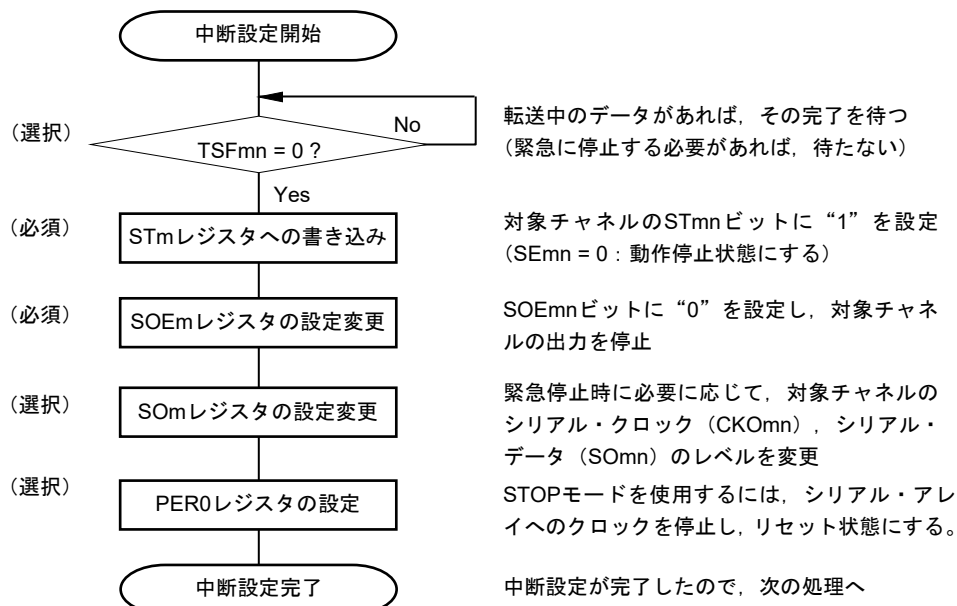
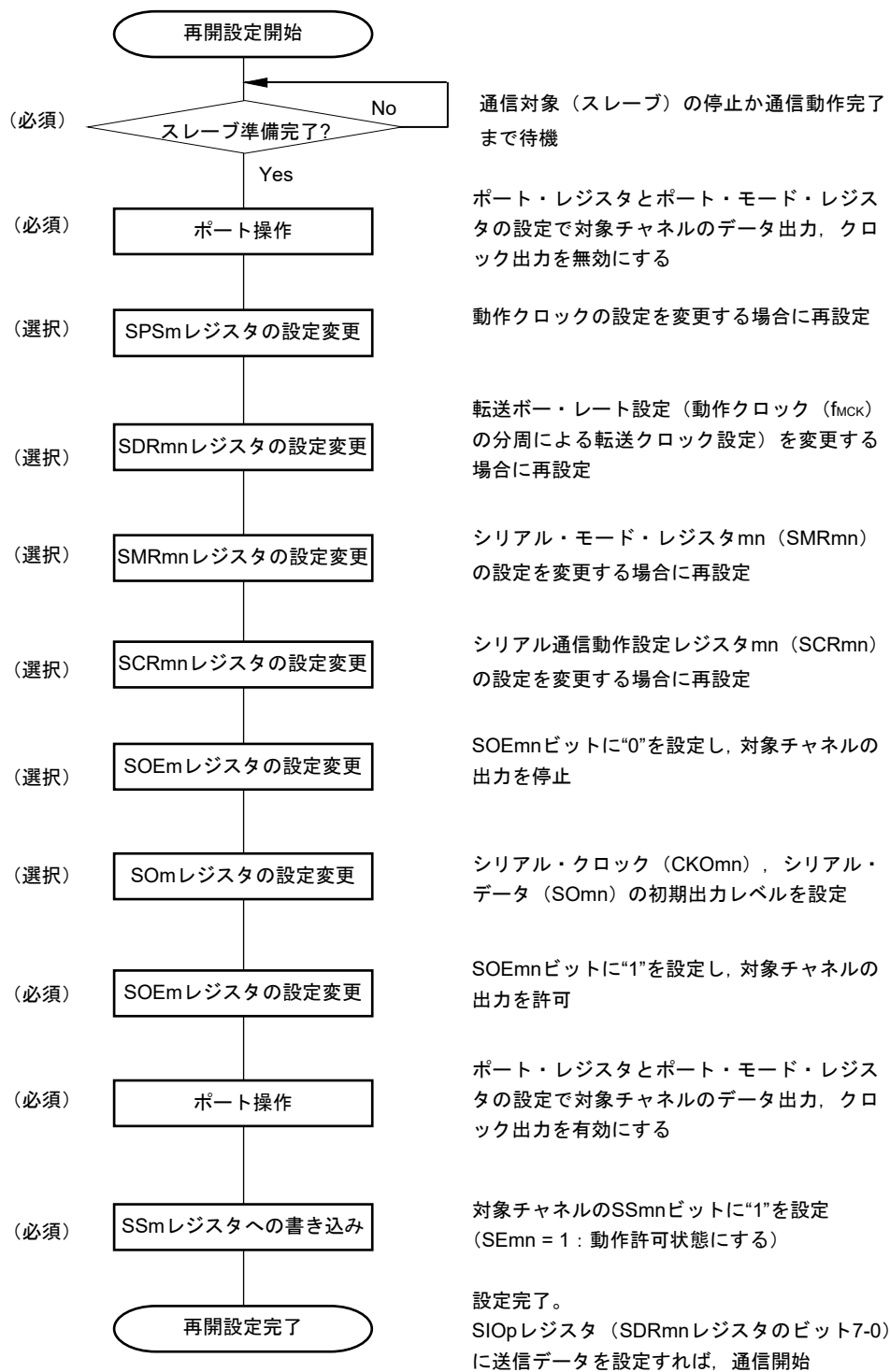


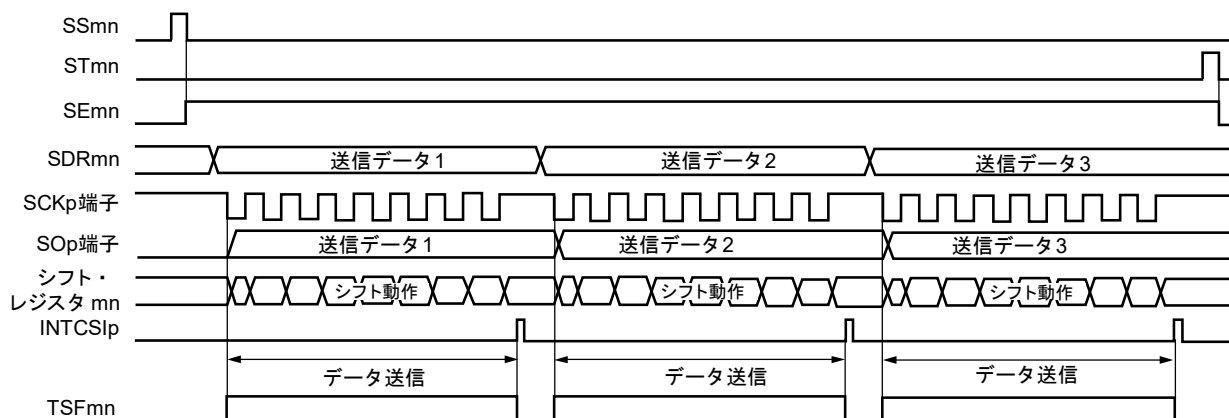
図11-28 マスタ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象（スレーブ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

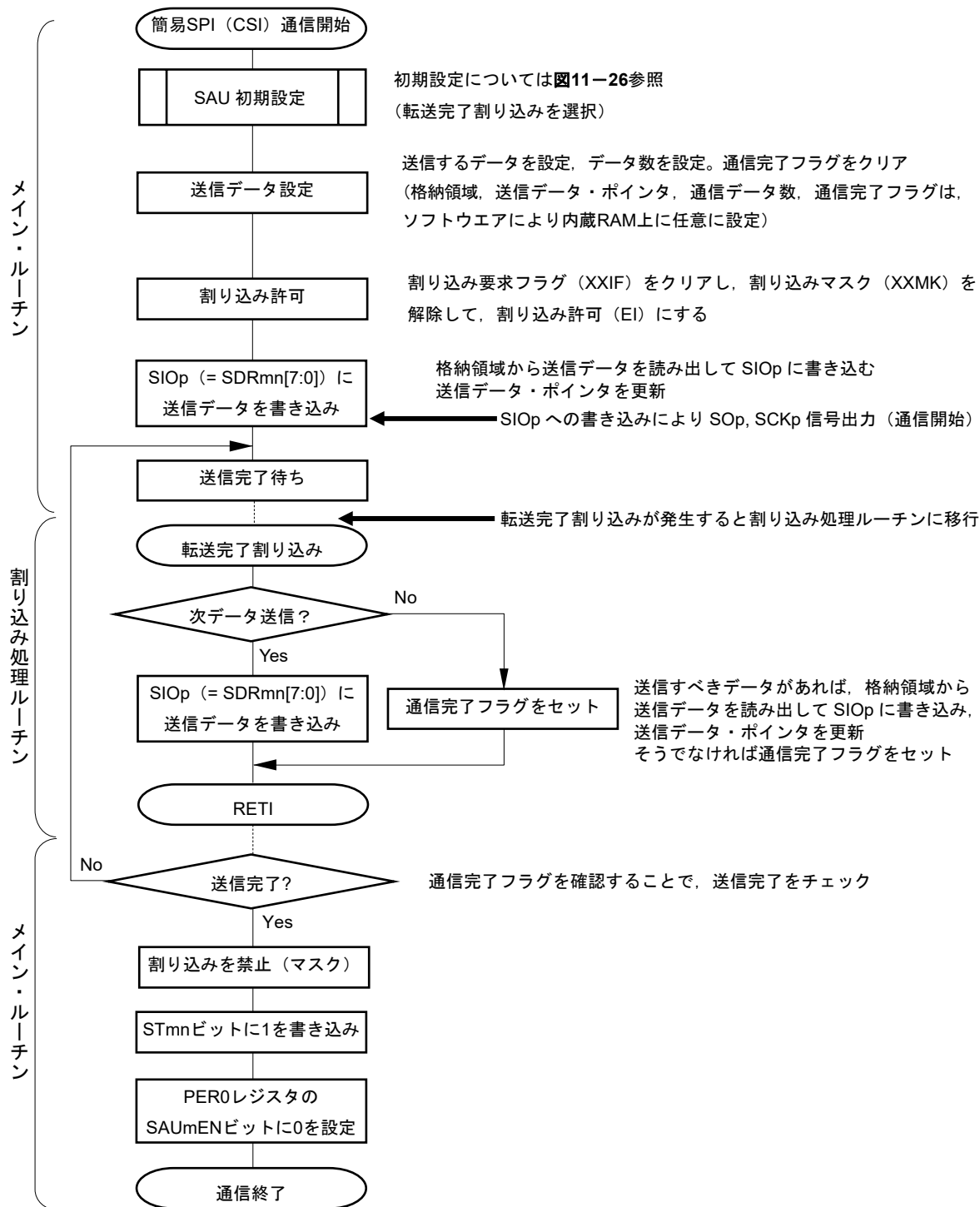
(3) 処理フロー（シングル送信モード時）

図11-29 マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



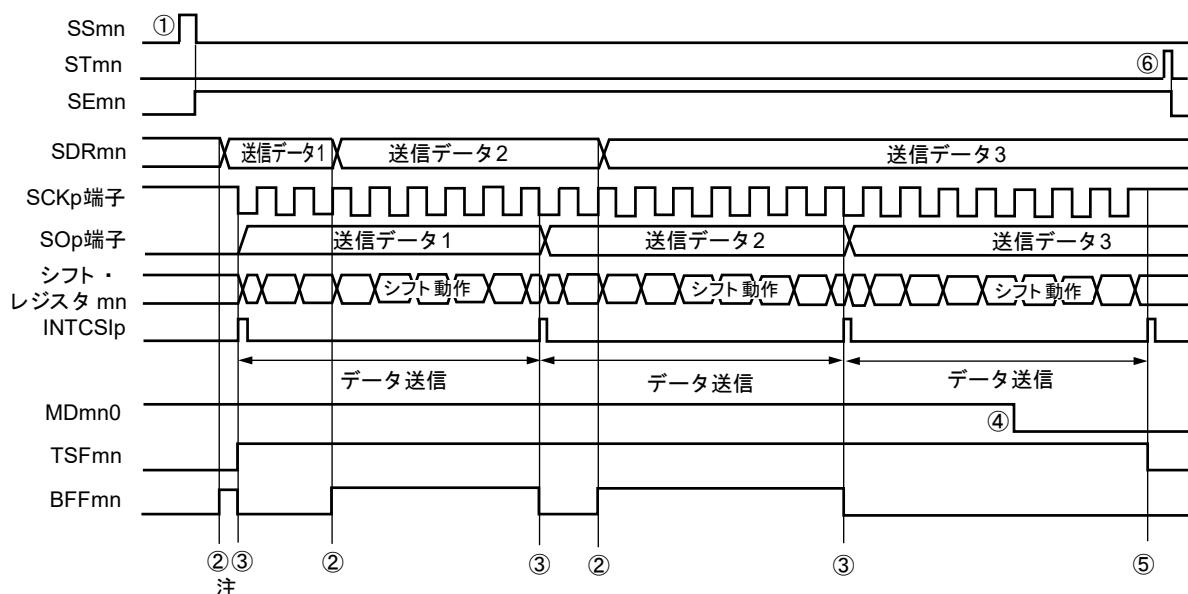
備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3), mn = 00, 01, 03, 10 p : CSI番号 (p = 00, 01, 11, 20)

図11-30 マスタ送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図11-31 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

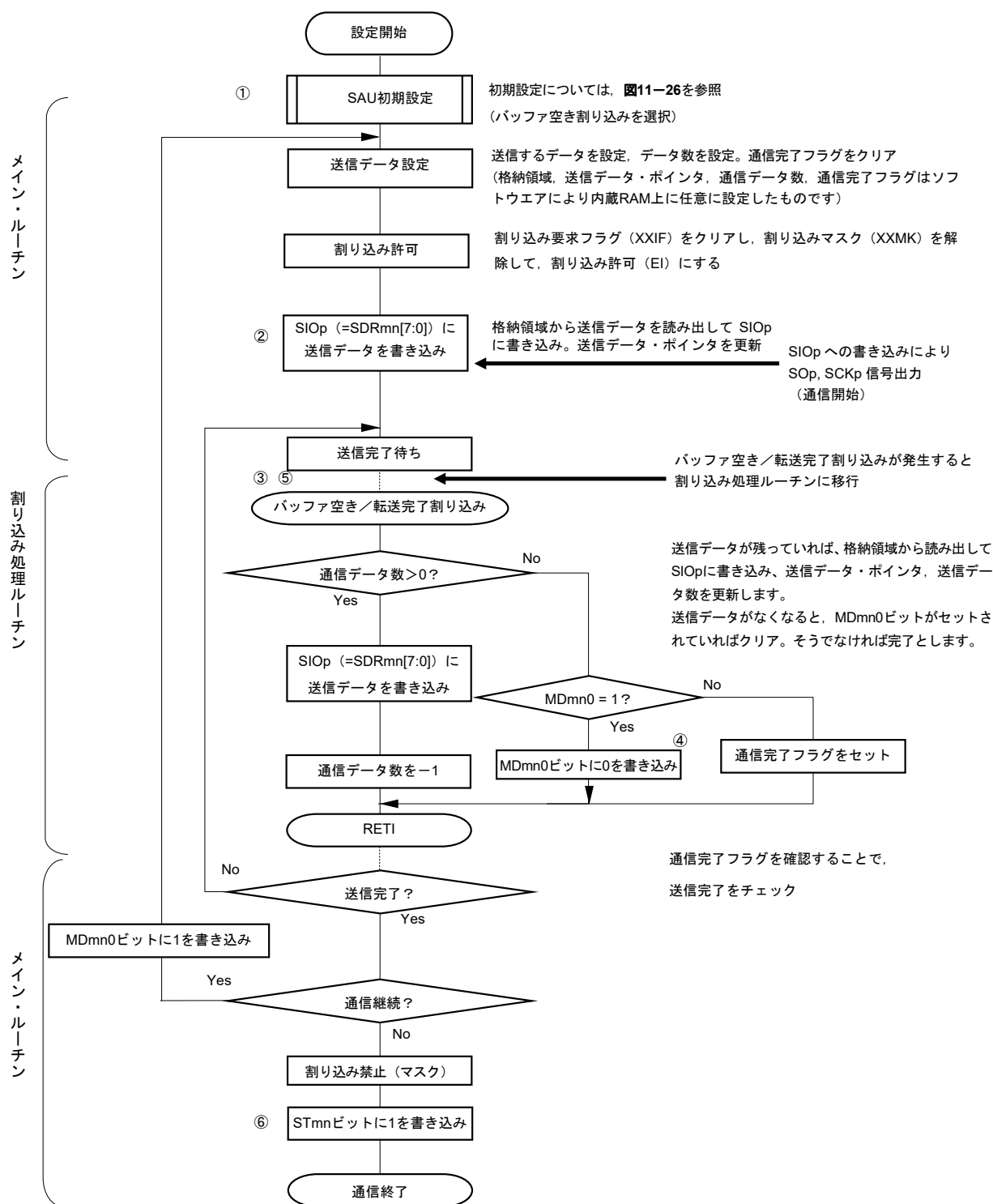


注 シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 11, 20)
mn = 00, 01, 03, 10

図11-32 マスタ送信（連続送信モード時）のフロー・チャート



備考 図中の①～⑥は、図11-31 マスタ送信（連続送信モード時）のタイミング・チャートの①～⑥に対応しています。

11.5.2 マスタ受信

マスタ受信とは、このRL78マイクロコントローラが転送クロックを出力し、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

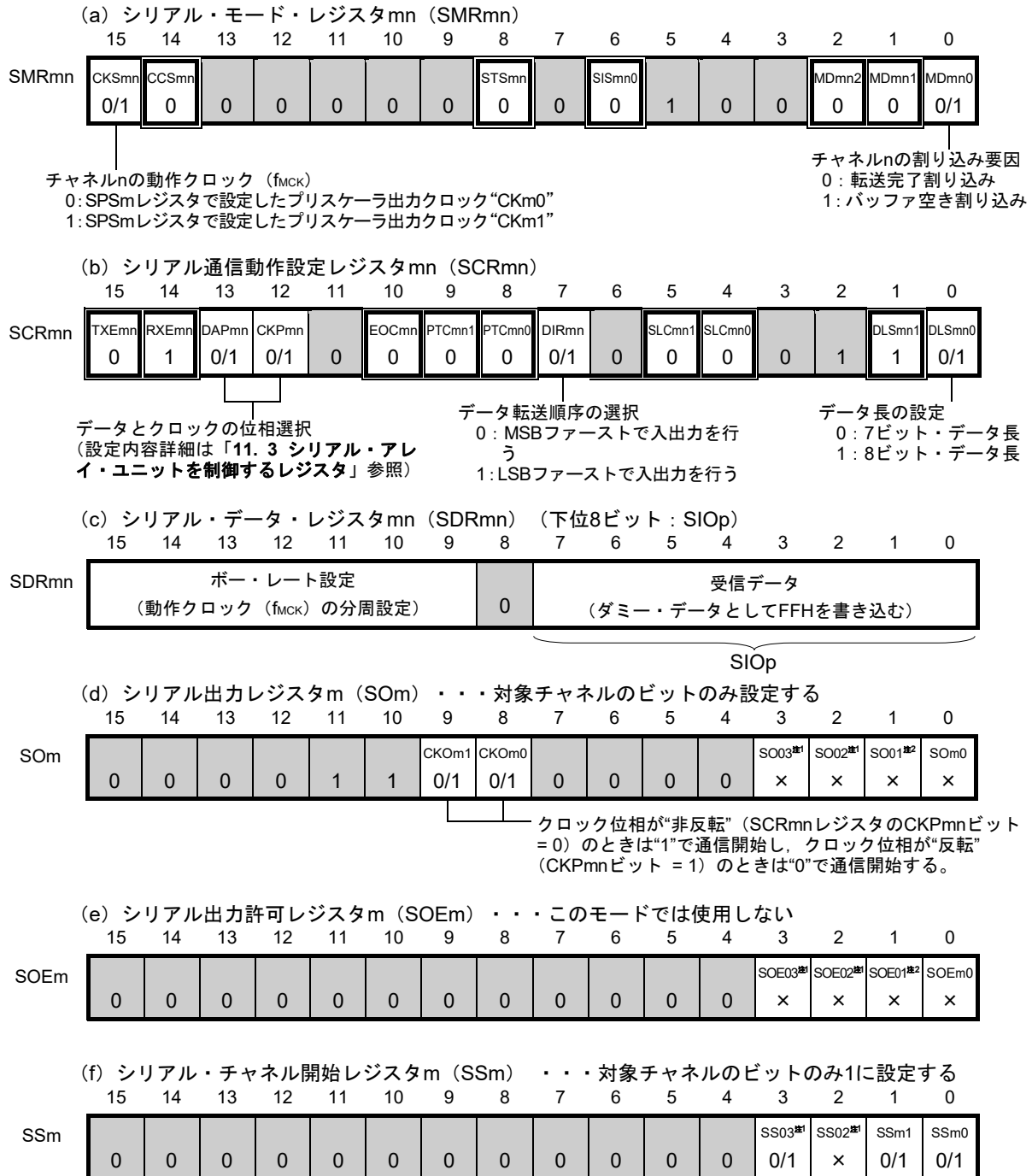
簡易SPI	CSI00	CSI01	CSI11	CSI20
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0
使用端子	SCK00, SI00	SCK01, SI01	SCK11, SI11	SCK20, SI20
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート ^注	Max. $f_{CLK}/2$ [Hz]（CSI00のみ）, $f_{CLK}/4$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] f_{CLK} : システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電気的特性の周辺機能特性（第28章または第29章 電気的特性参照）を満たす範囲内で使用してください。

備考 m: ユニット番号 (m = 0, 1) n: チャネル番号 (n = 0-3), mn = 00-03, 10-13

(1) レジスタ設定

図11-33 簡易SPI (CSI00, CSI01, CSI11, CSI20) のマスタ受信時のレジスタ設定内容例



注1. 30ピン製品のシリアル・アレイ・ユニット0のみ

2. 20, 24ピン製品のみ

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 11, 20)

mn = 00, 01, 03, 10

2. □: 簡易SPI (CSI) マスタ受信モードでは設定固定 ■: 設定不可 (初期値を設定)

×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-34 マスタ受信の初期設定手順

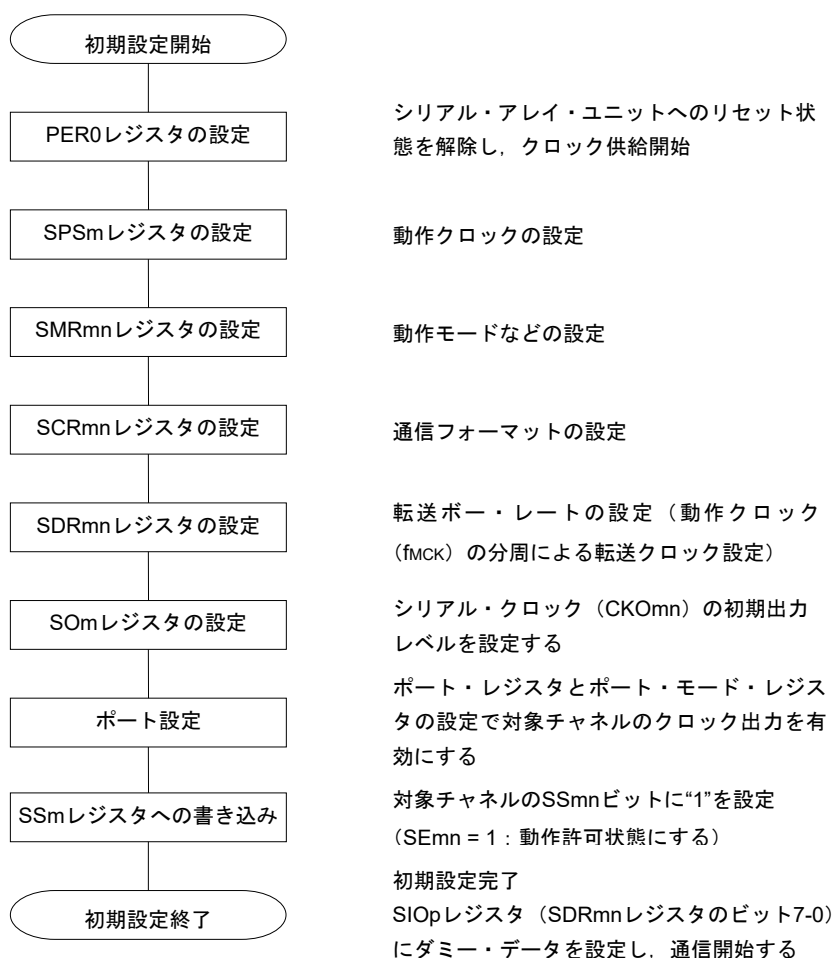


図11-35 マスタ受信の中断手順

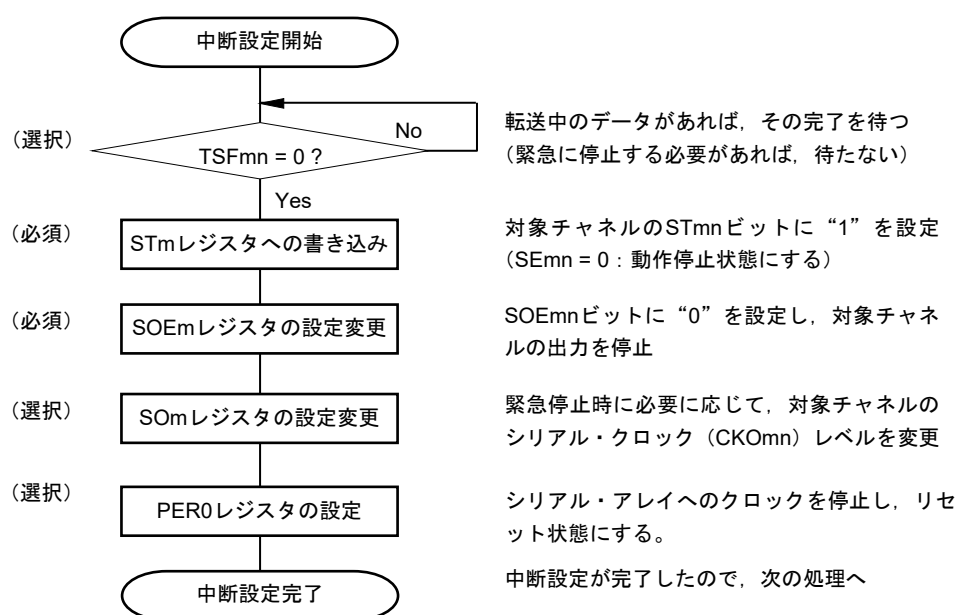
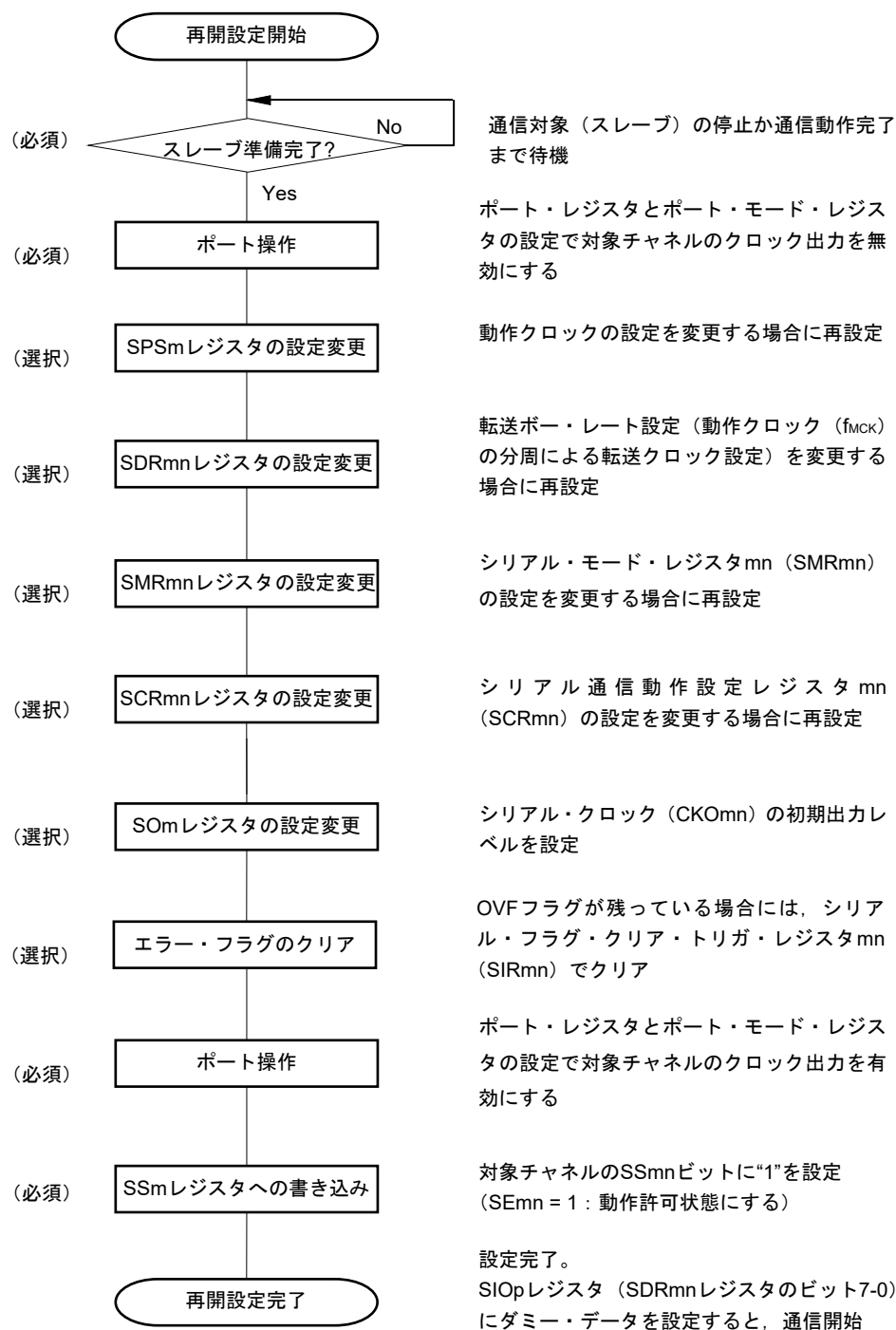


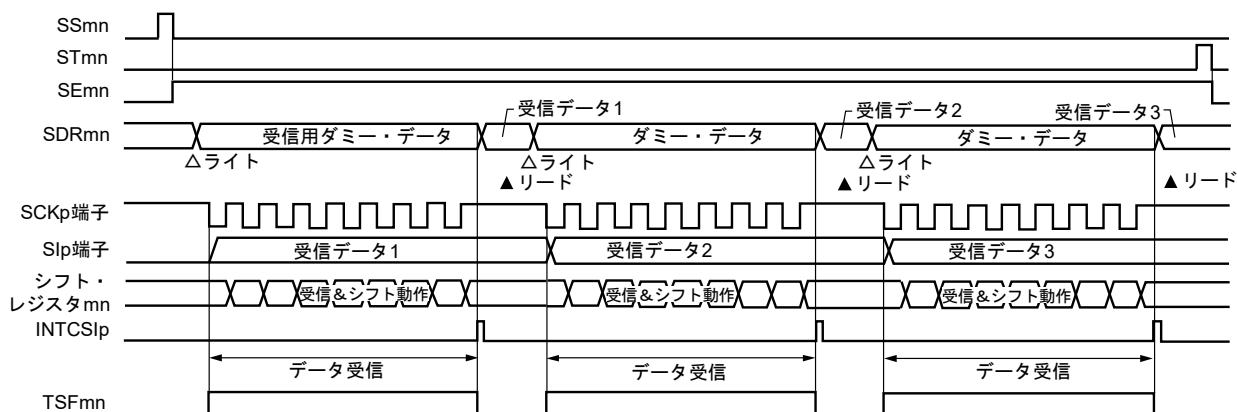
図11-36 マスタ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象（スレーブ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

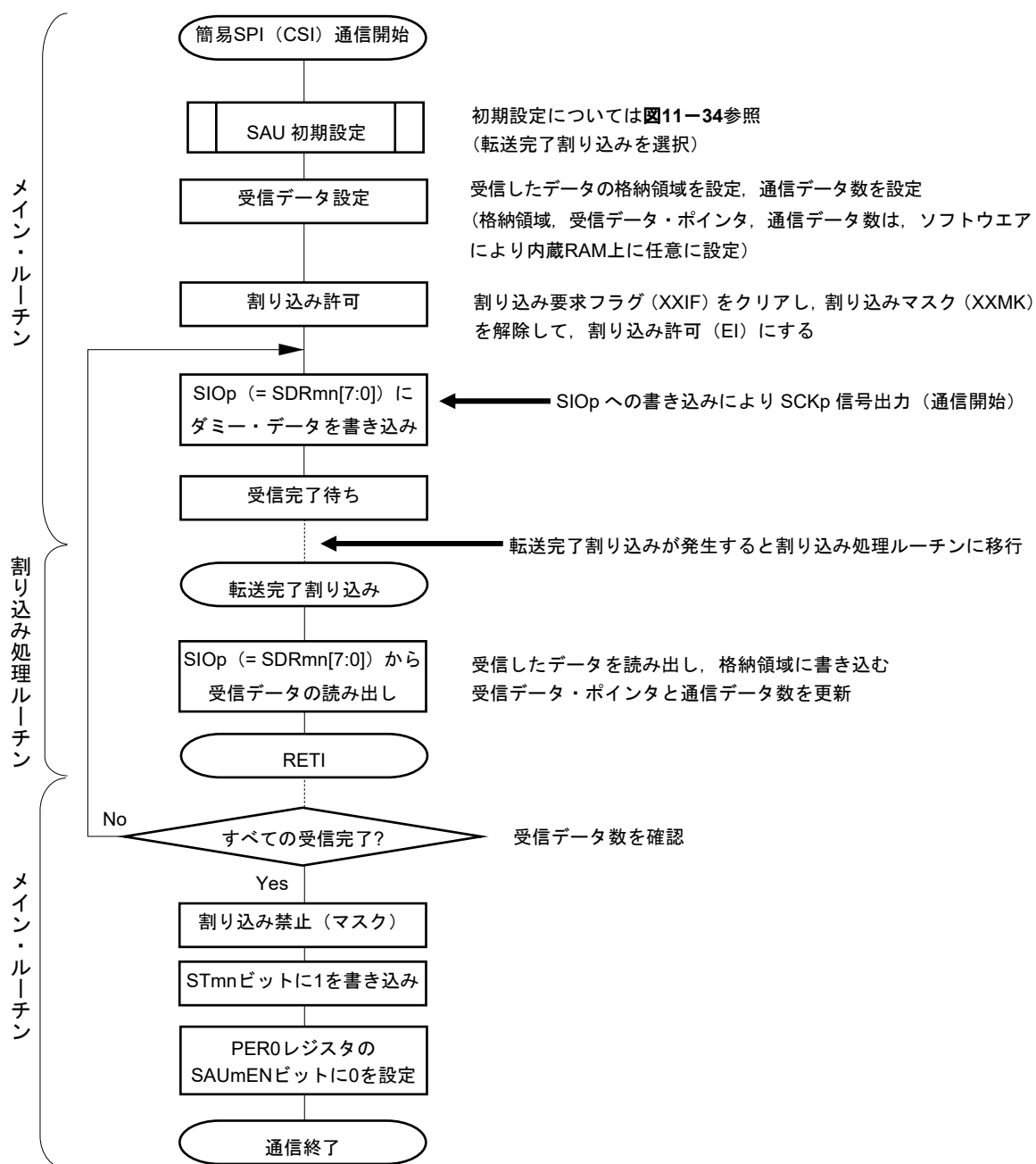
(3) 処理フロー（シングル受信モード時）

図11-37 マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



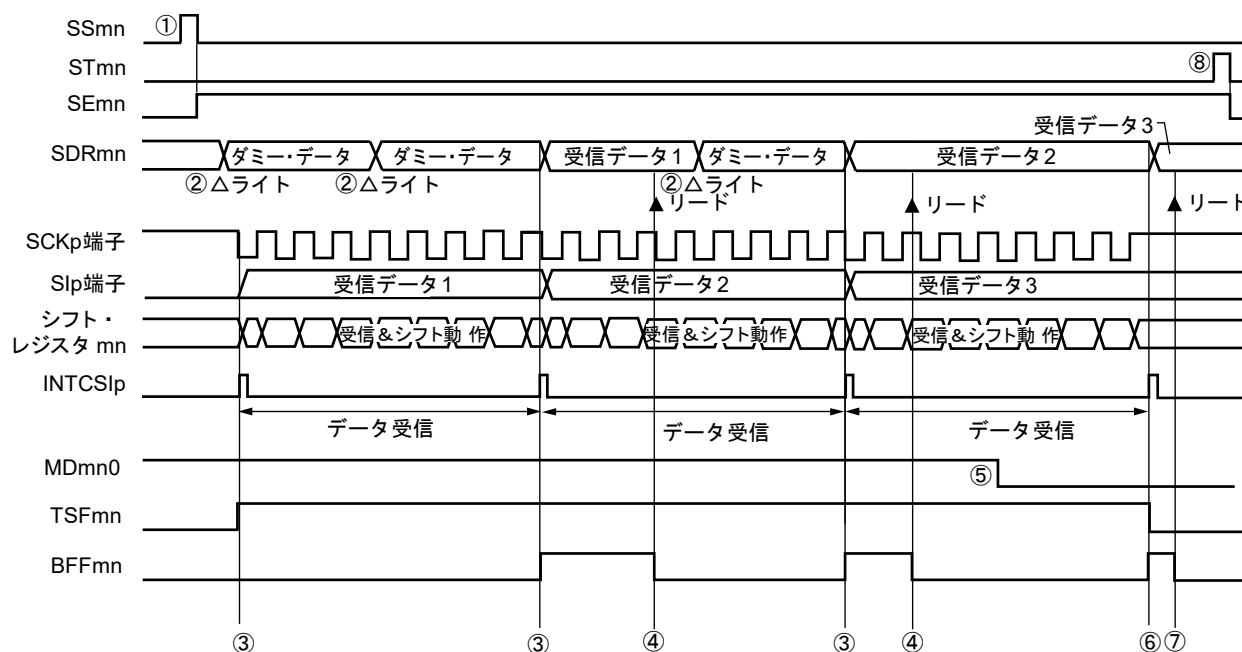
備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 11, 20)
mn = 00, 01, 03, 10

図11-38 マスタ受信（シングル受信モード時）のフロー・チャート



(4) 処理フロー（連続受信モード時）

図11-39 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



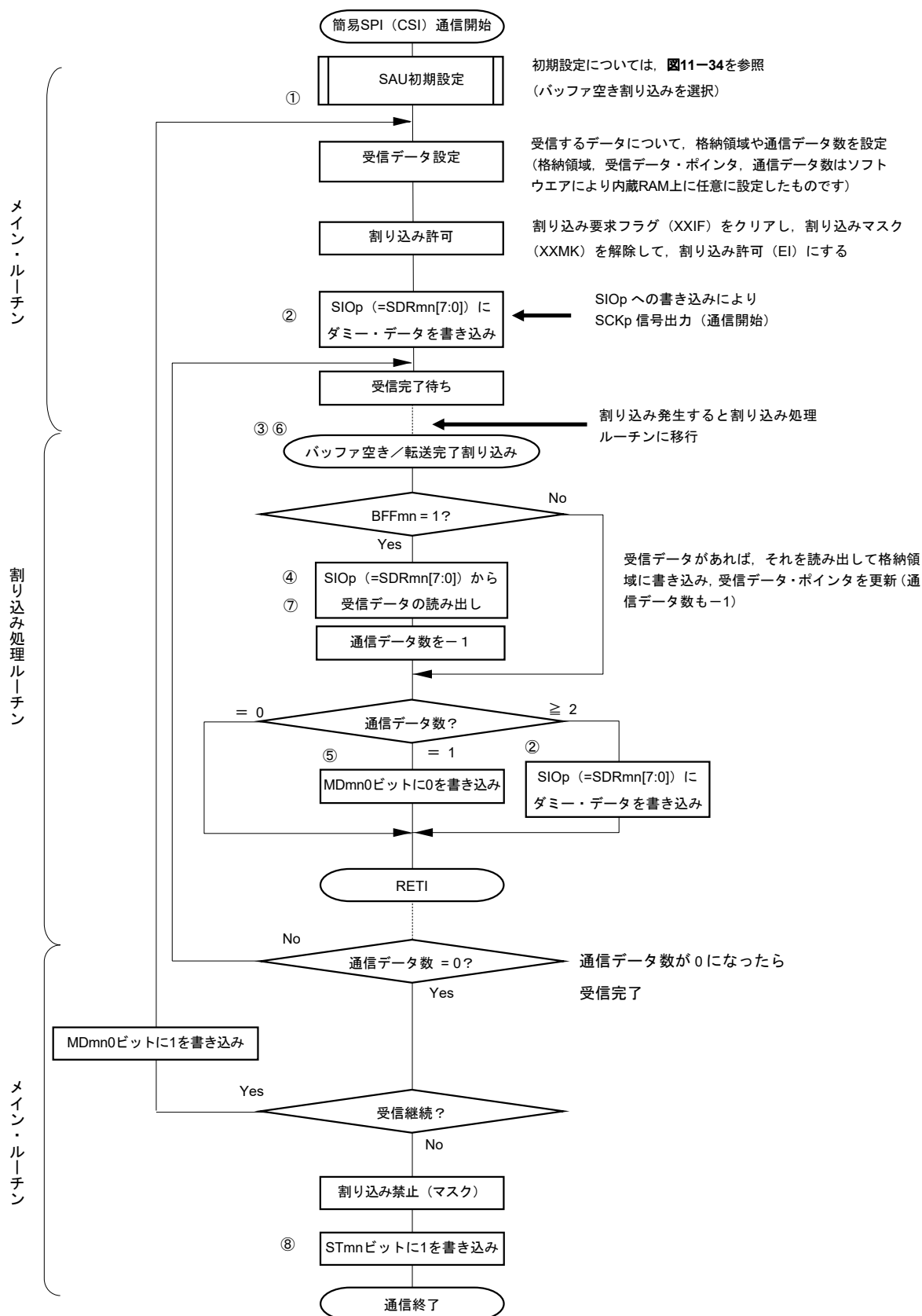
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①~⑧は、図11-40 マスタ受信（連続受信モード時）のフロー・チャートの①~⑧に対応しています。

2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 11, 20)
mn = 00, 01, 03, 10

図11-40 マスタ受信（連続受信モード時）のフロー・チャート



備考 図中の①~⑧は、図11-39 マスタ受信（連続受信モード時）のタイミング・チャートの①~⑧に対応しています。

11.5.3 マスタ送受信

マスタ送受信とは、このRL78マイクロコントローラが転送クロックを出力し、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

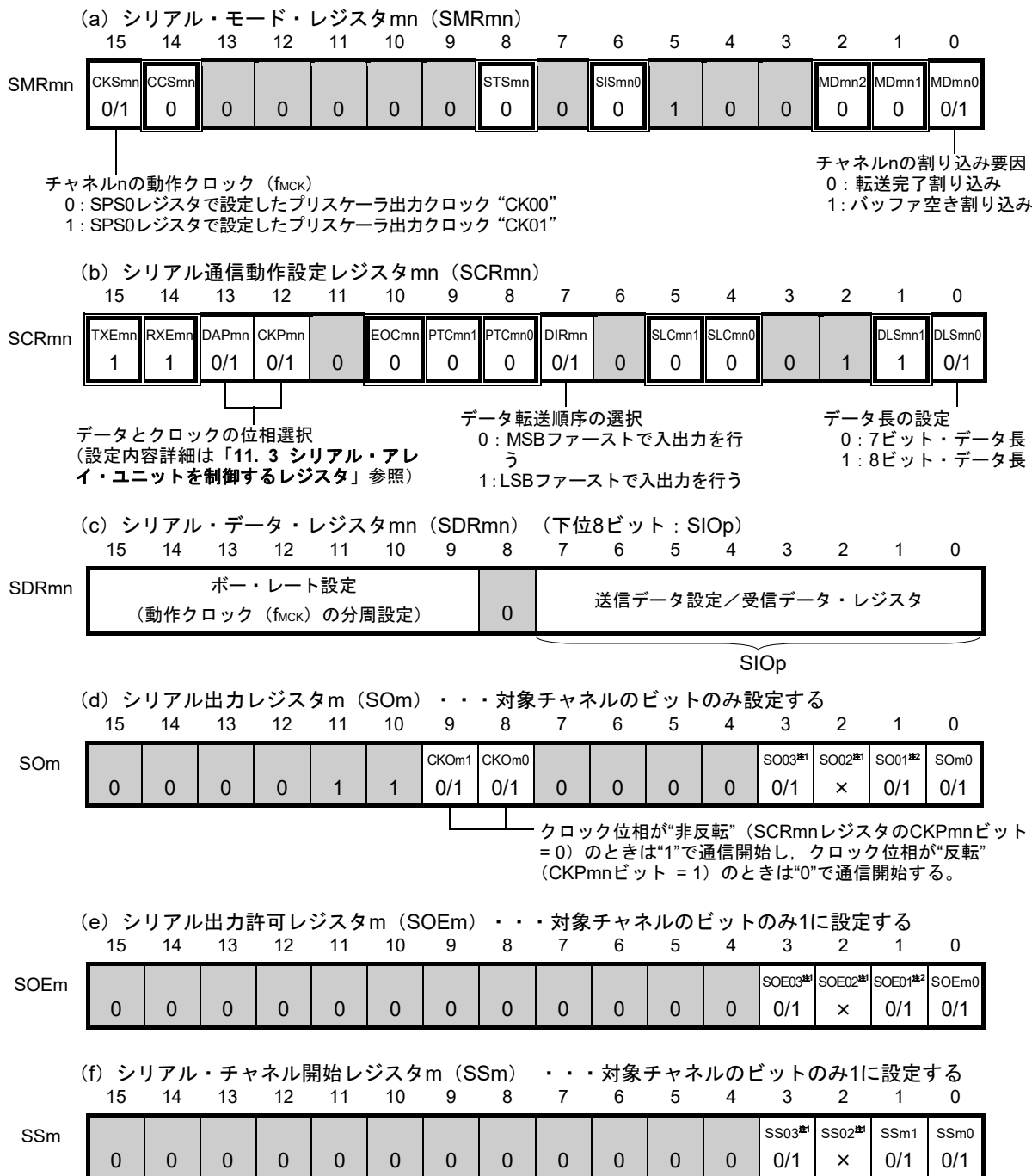
簡易SPI	CSI00	CSI01	CSI11	CSI20
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK11, SI11, SO11	SCK20, SI20, SO20
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート ^注	Max. $f_{CLK}/2$ [Hz] （CSI00のみ）, $f_{CLK}/4$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] f_{CLK} : システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電気的特性の周辺機能特性（第28章または第29章 電気的特性参照）を満たす範囲内で使用してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00-03, 10-13

(1) レジスタ設定

図11-41 簡易SPI (CSI00, CSI01, CSI11, CSI20) のマスタ送受信時のレジスタ設定内容例



注1. 30ピン製品のシリアル・アレイ・ユニット0のみ

2. 20, 24ピン製品のみ

備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-3) p: CSI番号 (p = 00, 01, 11, 20)

mn = 00, 01, 03, 10

2. ☐: 簡易SPI (CSI) マスタ送受信モードでは設定固定 ☐: 設定不可 (初期値を設定)

×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-42 マスタ送受信の初期設定手順

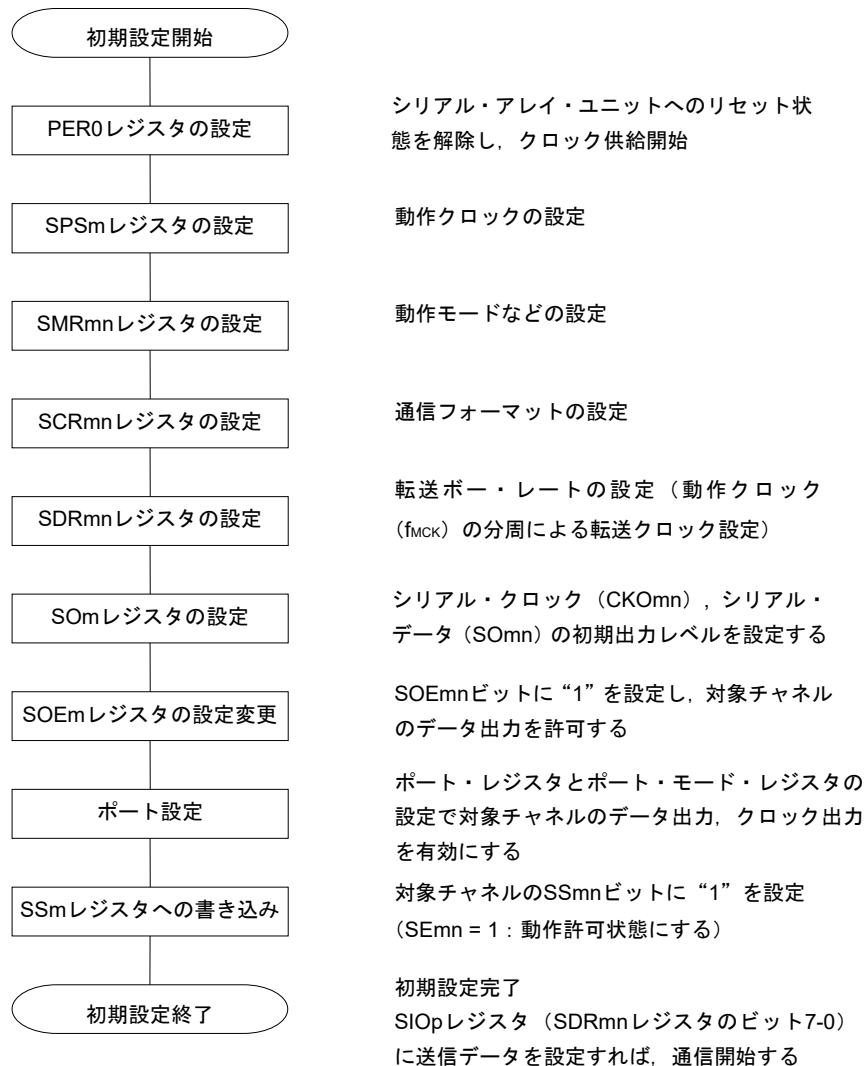


図11-43 マスタ送受信の中断手順

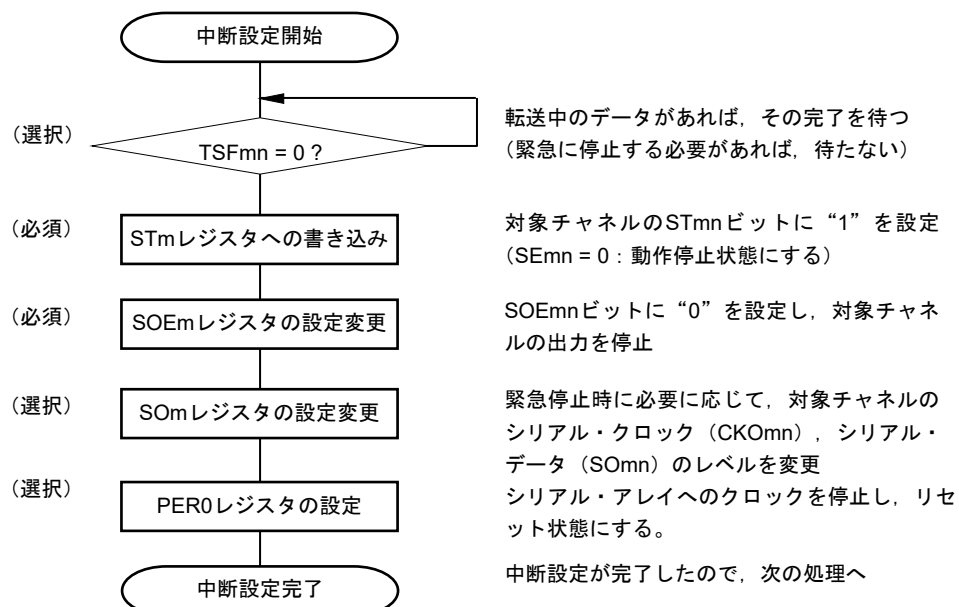
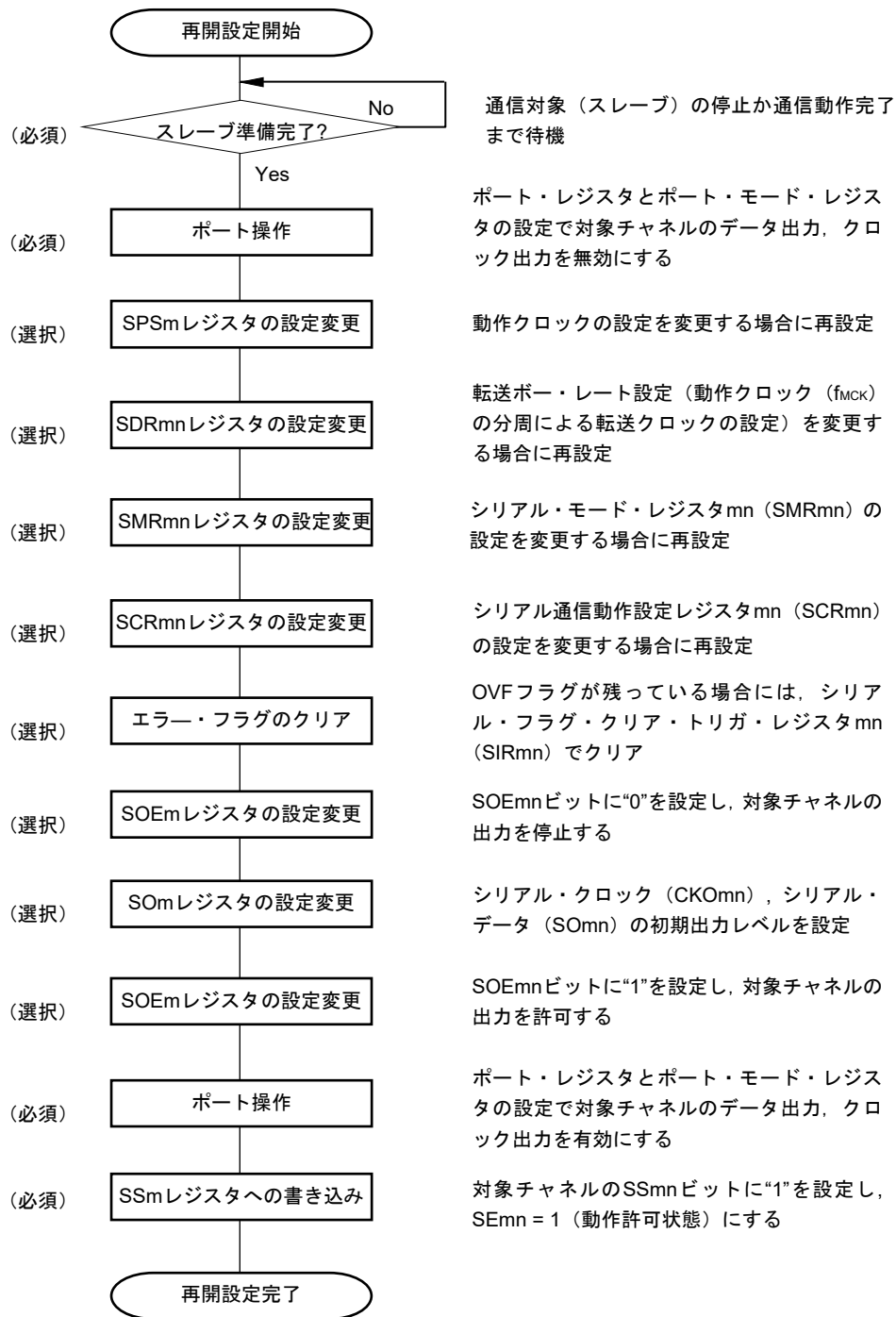


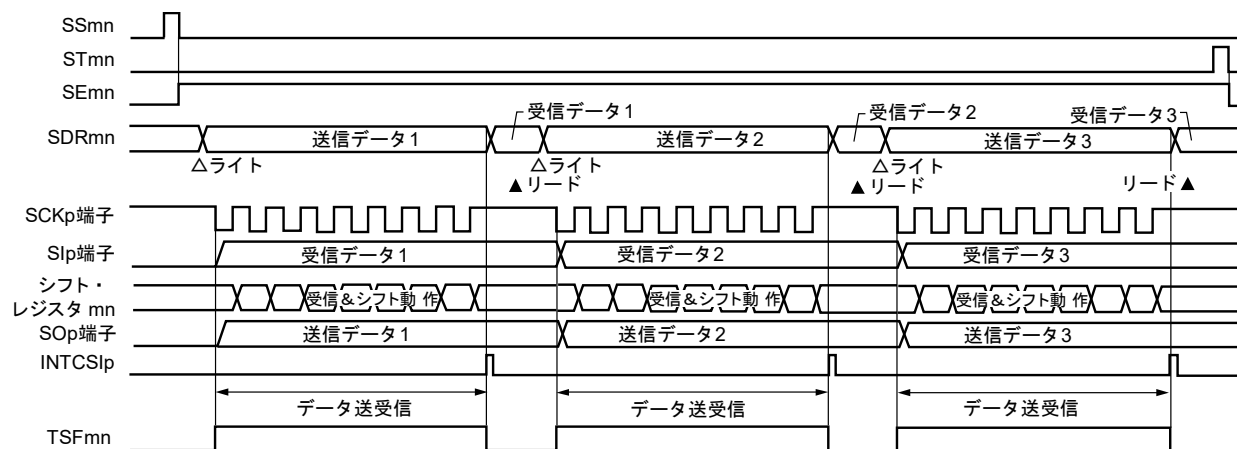
図11-44 マスタ送受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象（スレーブ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

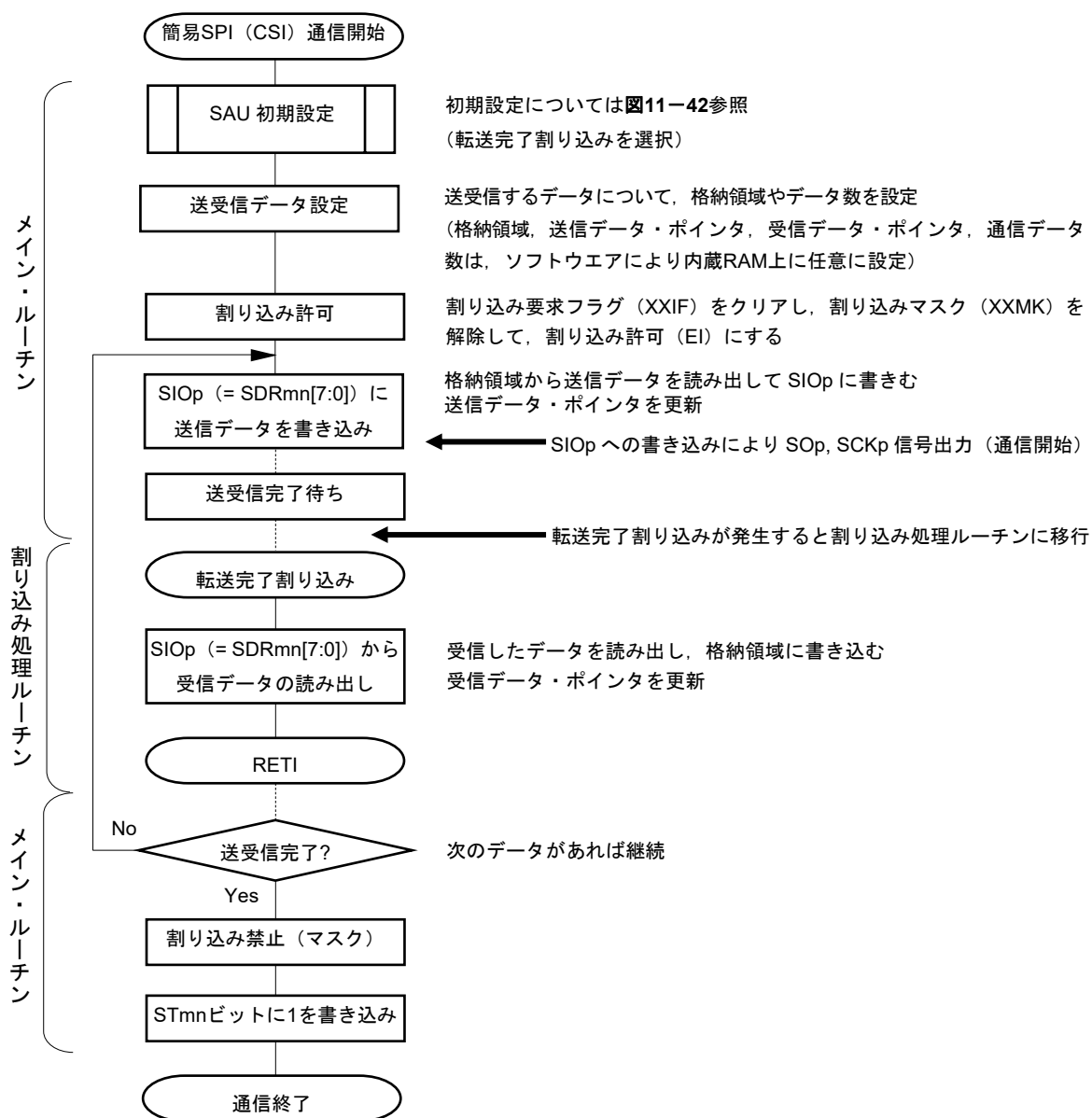
(3) 処理フロー（シングル送受信モード時）

図11-45 マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



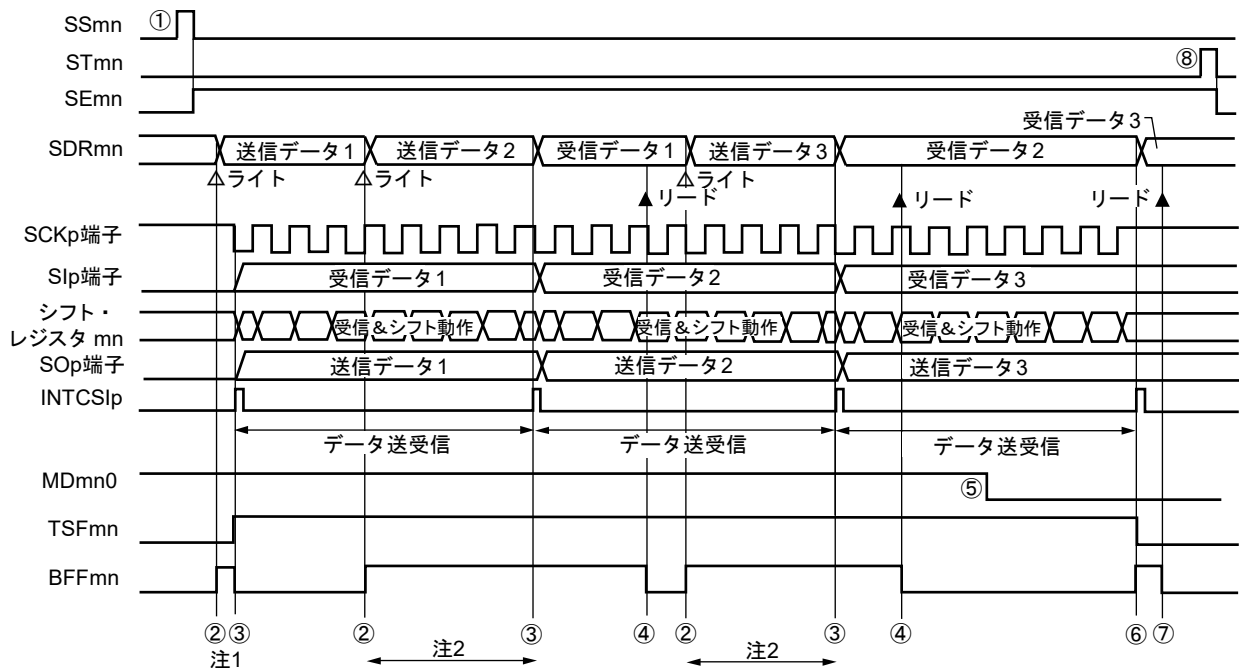
備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 11, 20)
mn = 00, 01, 03, 10

図11-46 マスタ送受信（シングル送受信モード時）のフロー・チャート



(4) 処理フロー（連続送受信モード時）

図11-47 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



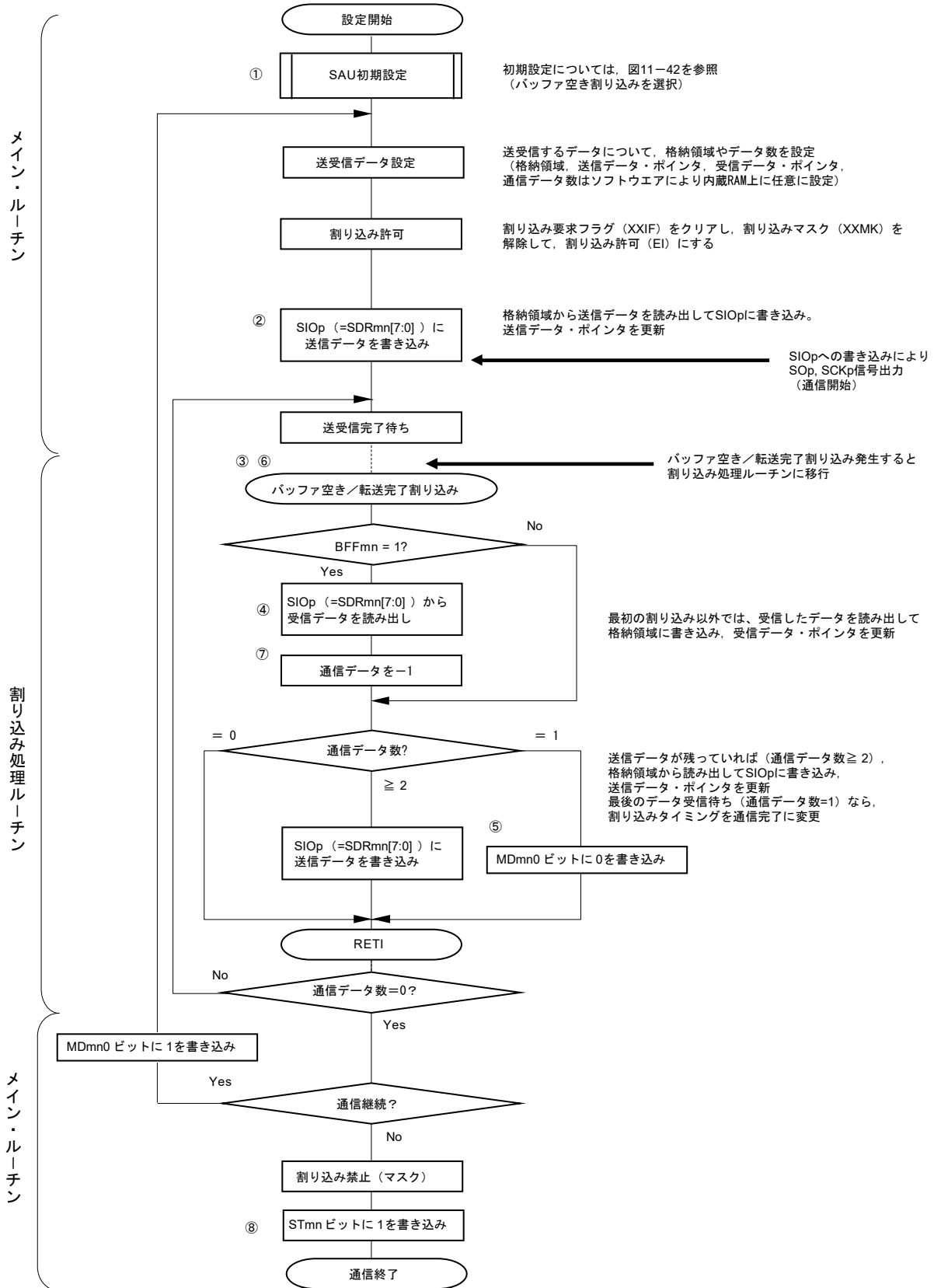
- 注1.** シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されている時）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。
- 2.** この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

- 備考1.** 図中の①～⑧は、図11-48 マスタ送受信（連続送受信モード時）のフロー・チャートの①～⑧に対応しています。
- 2.** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00, 01, 03, 10 p : CSI番号 (p = 00, 01, 11, 20)

図11-48 マスタ送受信（連続送受信モード時）のフロー・チャート



備考 図中の①～⑧は、図11-47 マスタ送受信（連続送受信モード時）のタイミング・チャートの①～⑧に対応しています。

11.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI01	CSI11	CSI20
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0
使用端子	SCK00, SO00	SCK01, SO01	SCK11, SO11	SCK20, SO20
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{MCK}/6[\text{Hz}]$ ^{注1, 2}			
データ位相	SCRMnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始			
クロック位相	SCRMnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注1. SCK00, SCK01, SCK11, SCK20端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

2. この条件を満たし、かつ電気的特性の周辺機能特性（第28章または第29章 電気的特性参照）を満たす範囲内で使用してください。

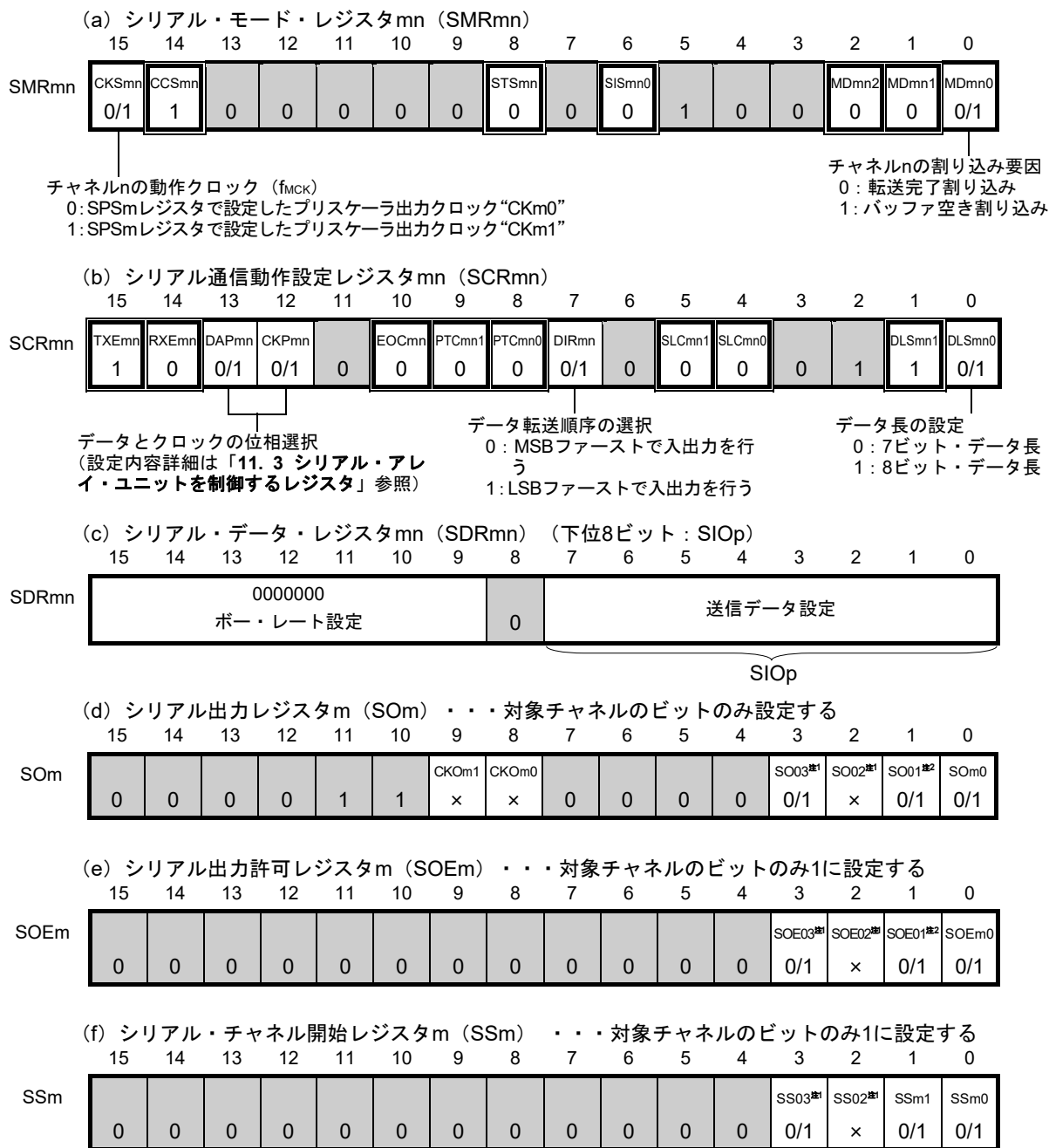
備考1. f_{MCK} ：対象チャネルの動作クロック周波数

f_{SCK} ：シリアル・クロック周波数

2. m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0-3）, mn = 00, 01, 03, 10

(1) レジスタ設定

図11-49 簡易SPI (CSI00, CSI01, CSI11, CSI20) のスレーブ送信時のレジスタ設定内容例



注1. 30ピン製品のシリアル・アレイ・ユニット0のみ

2. 20, 24ピン製品のみ

備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-3) p: CSI番号 (p = 00, 01, 11, 20)
mn = 00, 01, 03, 10

2. : 簡易SPI (CSI) スレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-50 スレーブ送信の初期設定手順

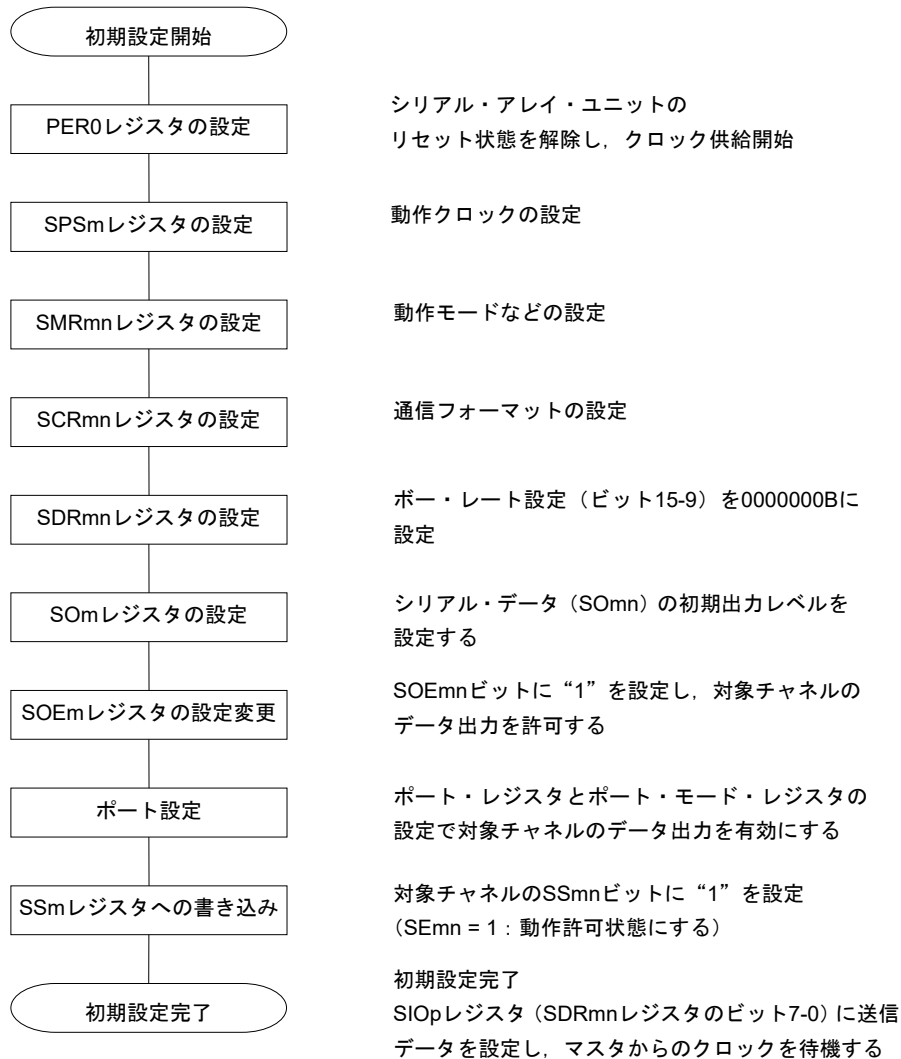


図11-51 スレーブ送信の中断手順

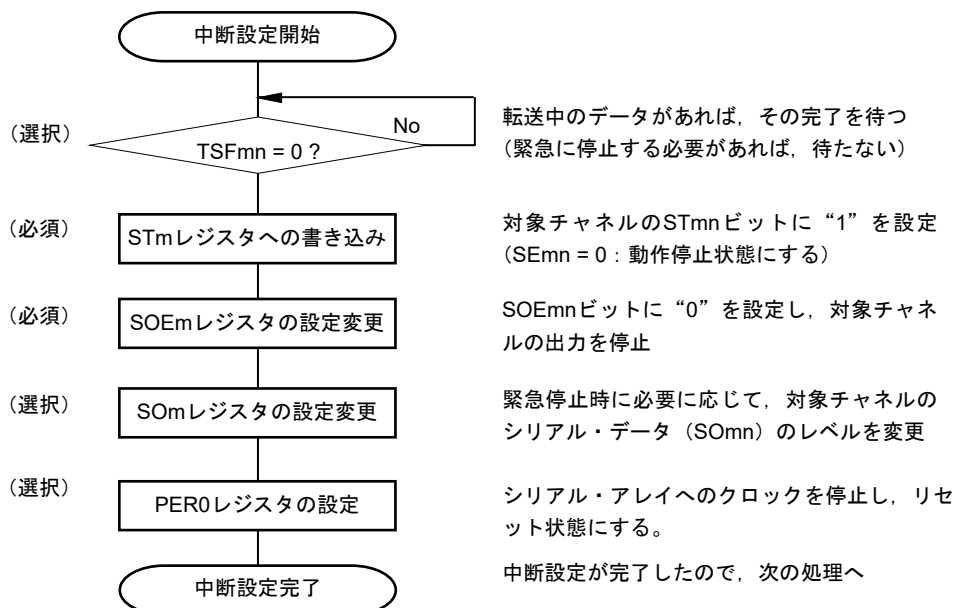
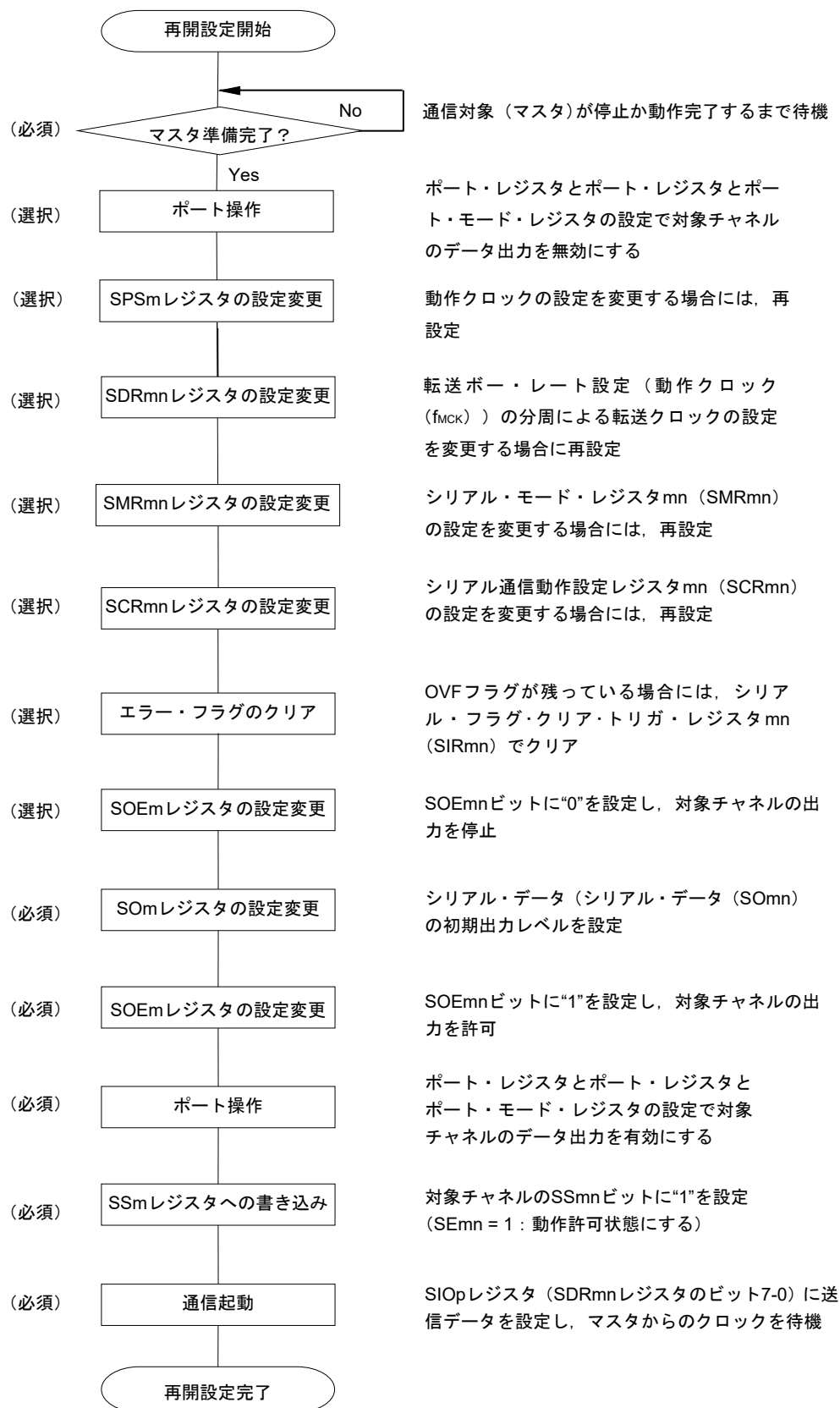


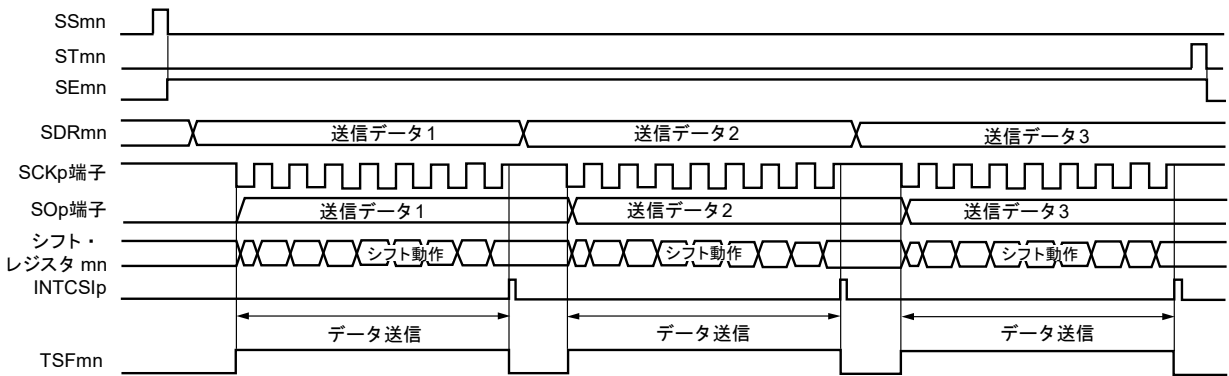
図11-52 スレーブ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

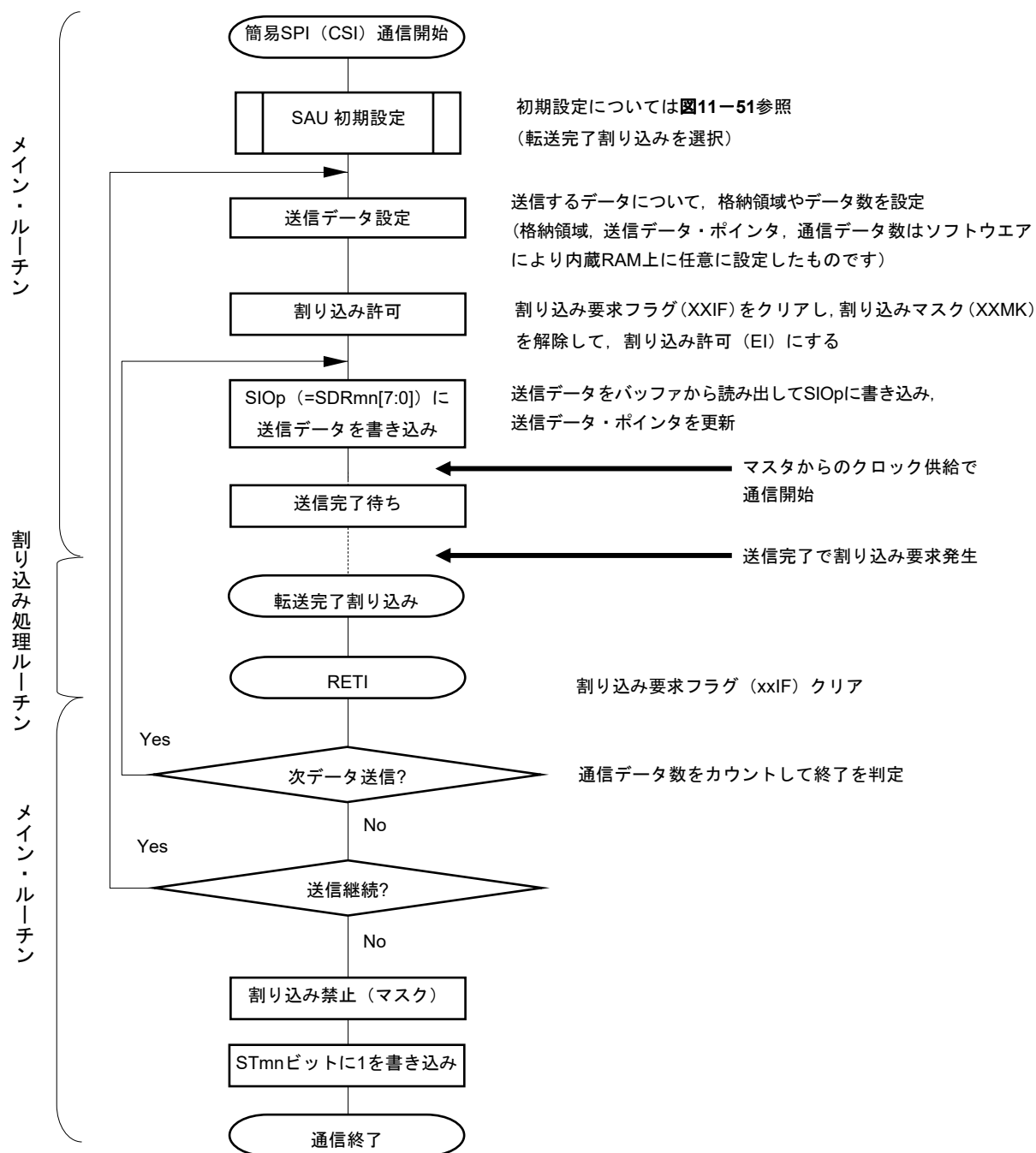
(3) 処理フロー（シングル送信モード時）

図11-53 スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



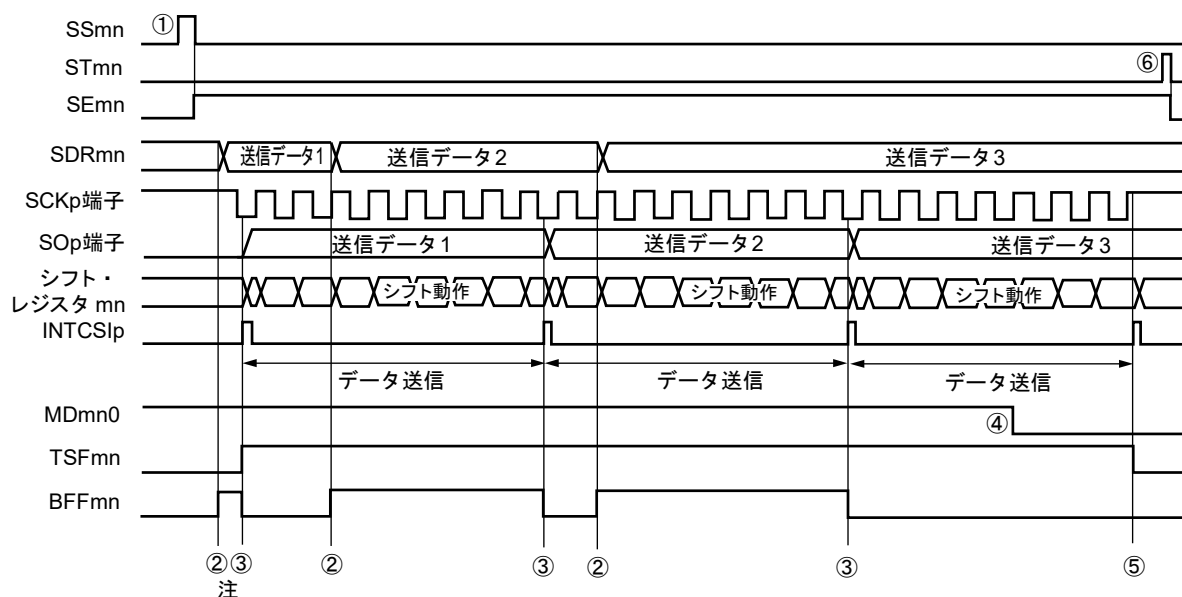
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 11, 20)
mn = 00, 01, 03, 10

図11-54 スレーブ送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図11-55 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

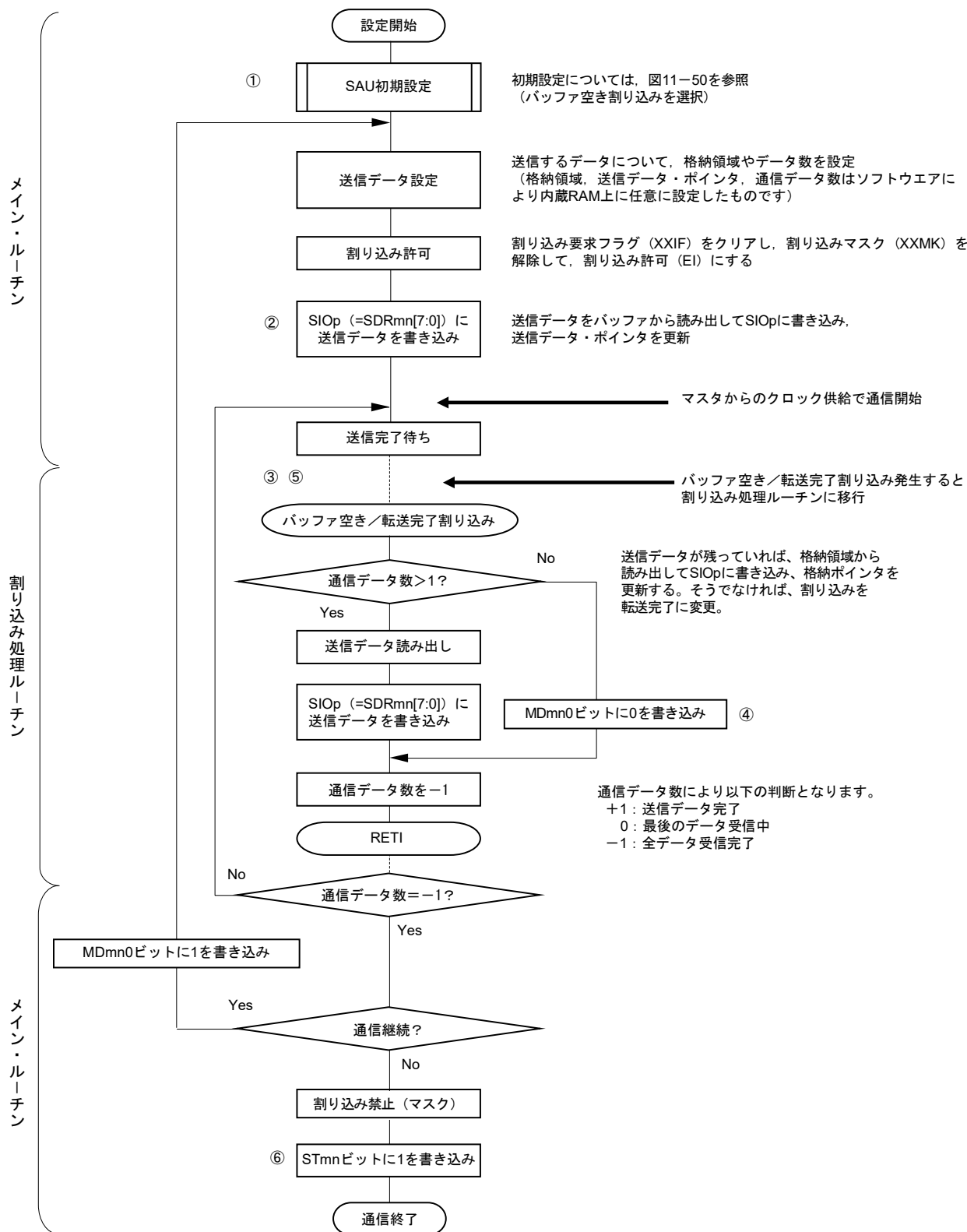


注 シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 11, 20)
mn = 00, 01, 03, 10

図11-56 スレーブ送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は、図11-55 スレーブ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

11.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01	CSI11	CSI20
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0
使用端子	SCK00, SI00	SCK01, SI01	SCK11, SI11	SCK20, SI20
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注1. SCK00, SCK01, SCK11, SCK20端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

2. この条件を満たし、かつ電気的特性の周辺機能特性（第28章または第29章 電気的特性参照）を満たす範囲内で使用してください。

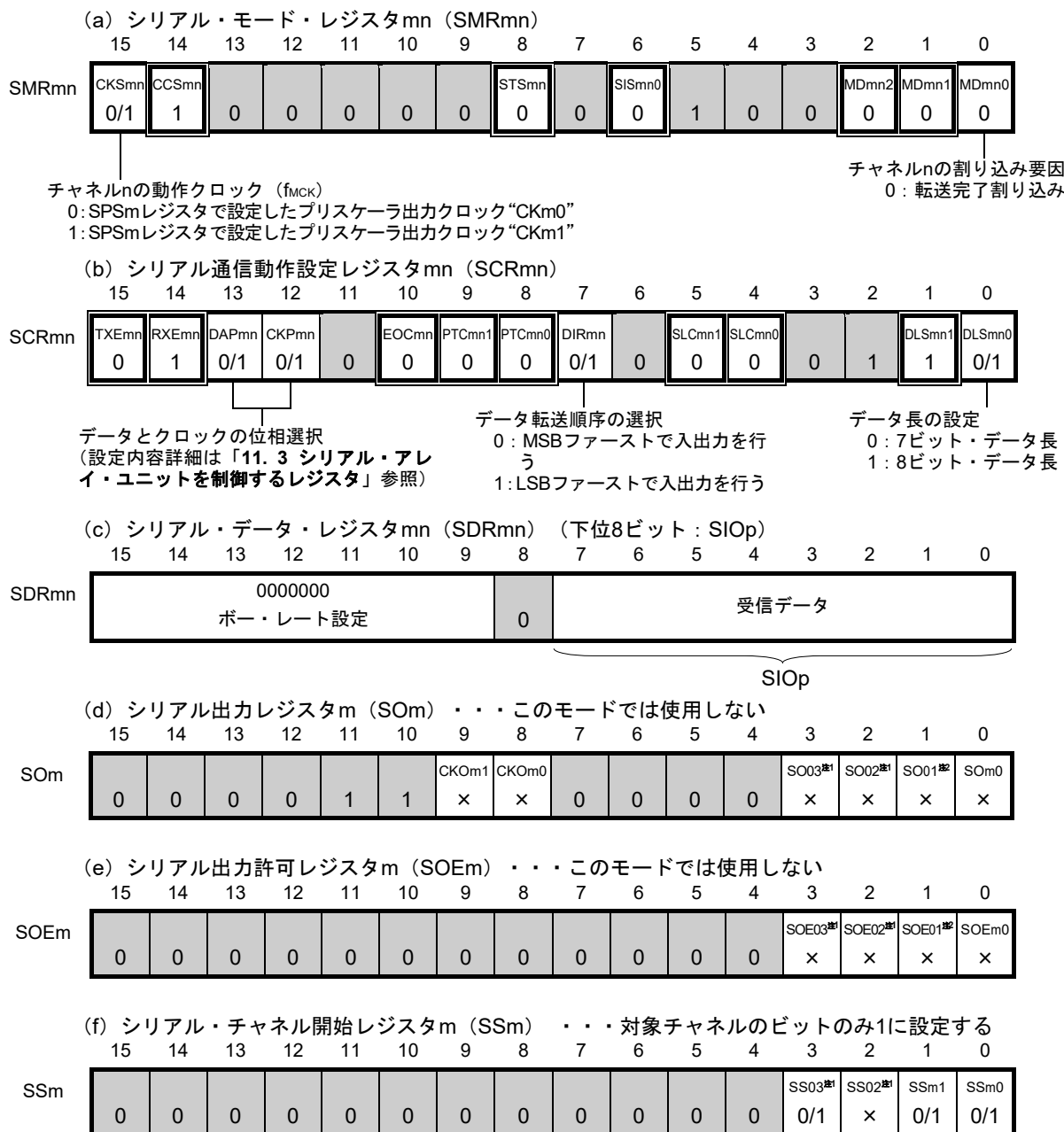
備考1. f_{MCK} ：対象チャネルの動作クロック周波数

f_{SCK} ：シリアル・クロック周波数

2. m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0-3）, mn = 00, 01, 03, 10

(1) レジスタ設定

図11-57 簡易SPI (CSI00, CSI01, CSI11, CSI20) のスレーブ受信時のレジスタ設定内容例



注1. 30ピン製品のシリアル・アレイ・ユニット0のみ

2. 20, 24ピン製品のみ

備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-3) p: CSI番号 (p = 00, 01, 11, 20)

mn = 00, 01, 03, 10

2. : 簡易SPI (CSI) スレーブ受信モードでは設定固定 : 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-58 スレーブ受信の初期設定手順

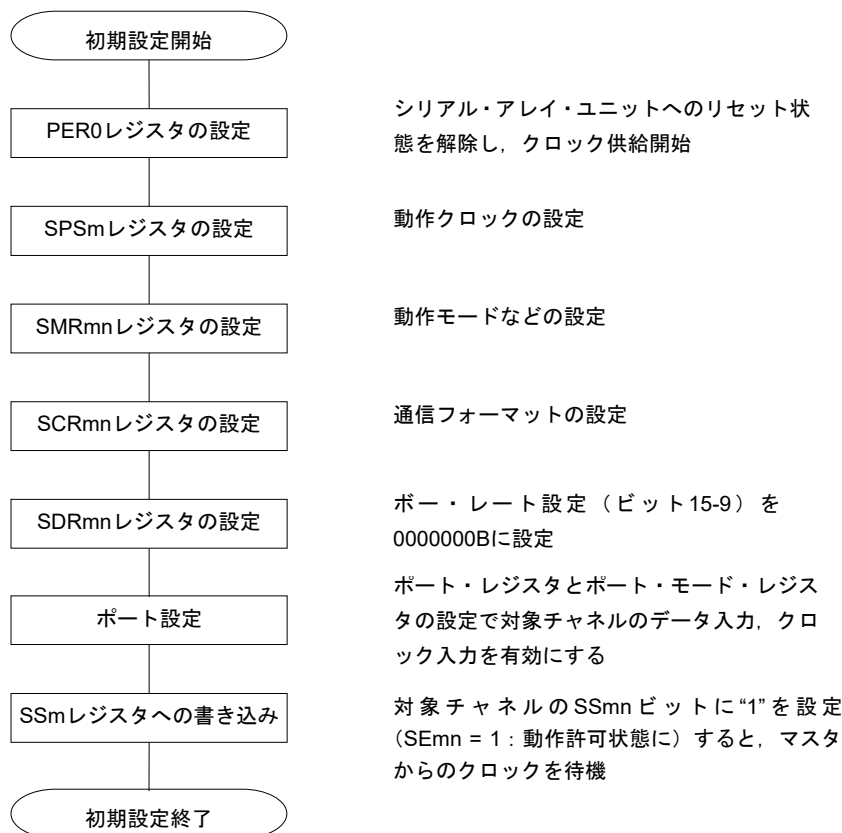


図11-59 スレーブ受信の中断手順

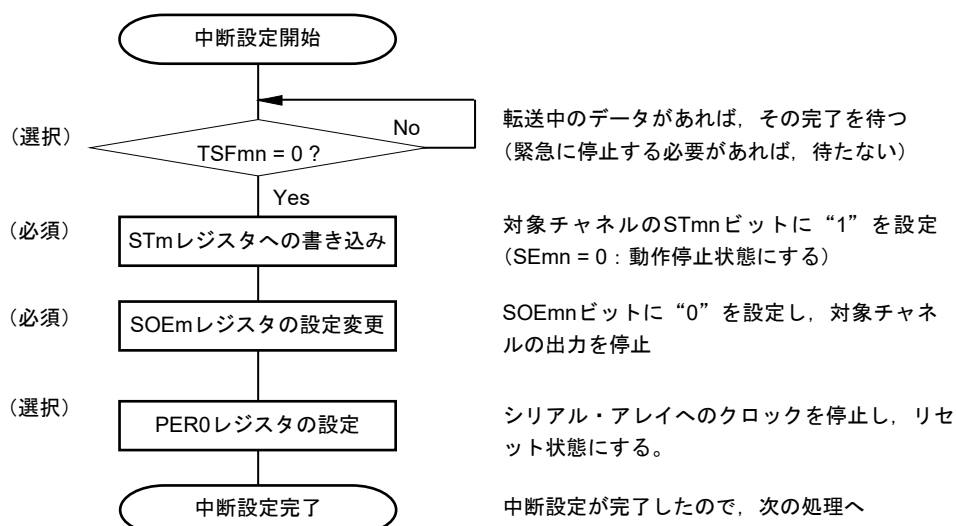
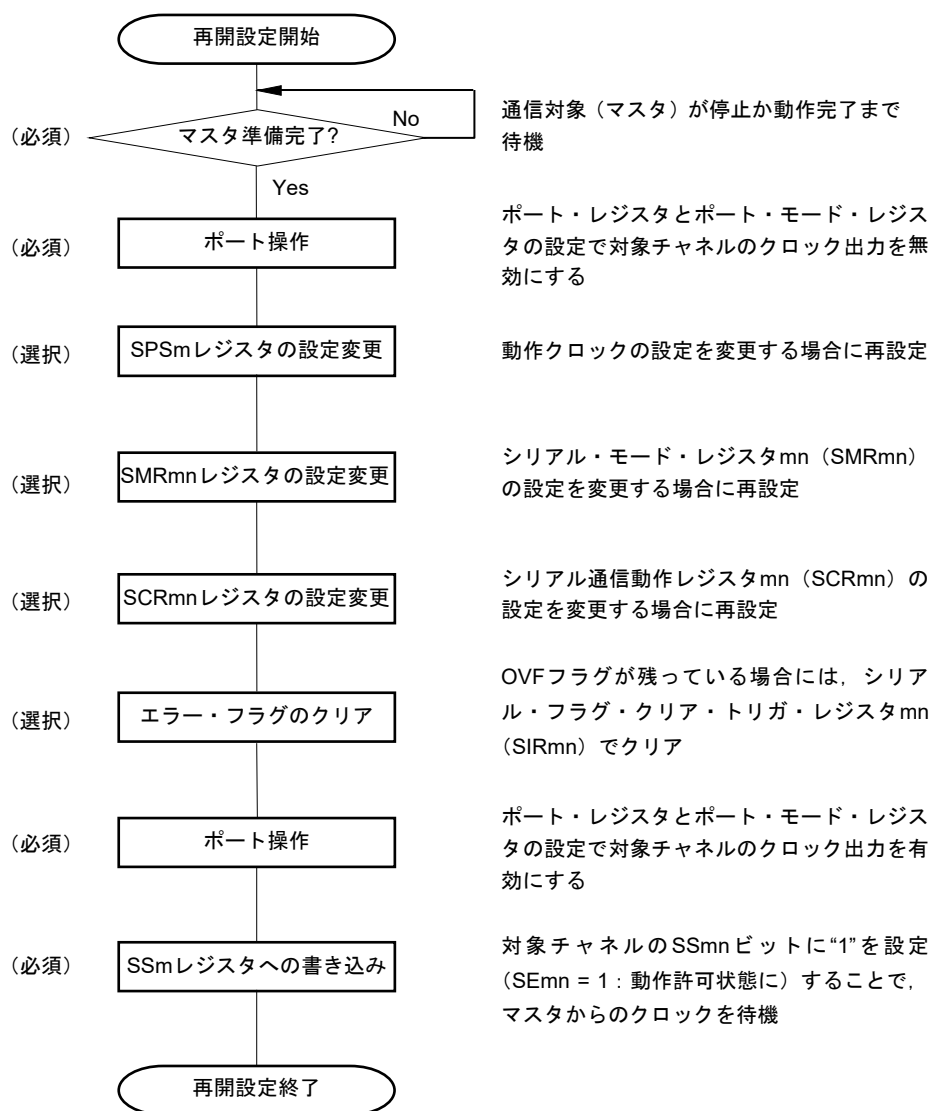


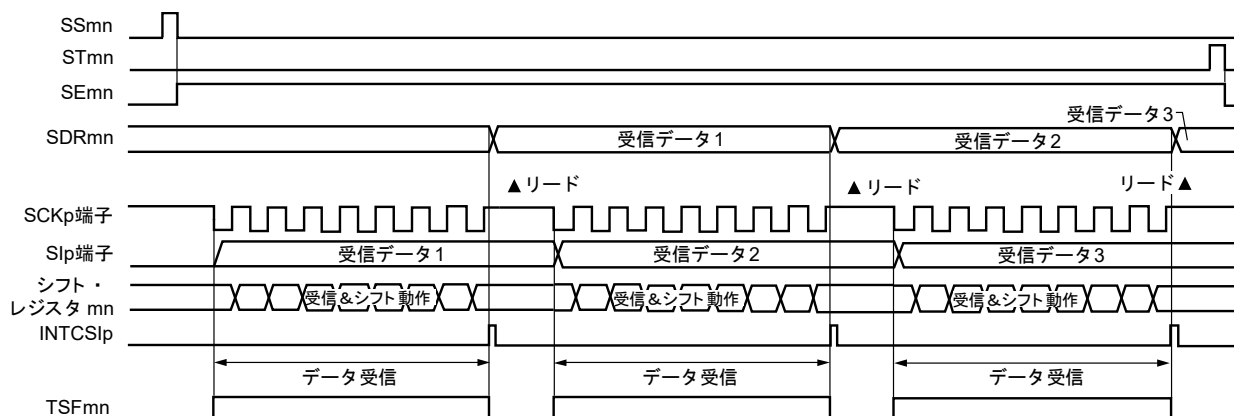
図11-60 スレーブ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

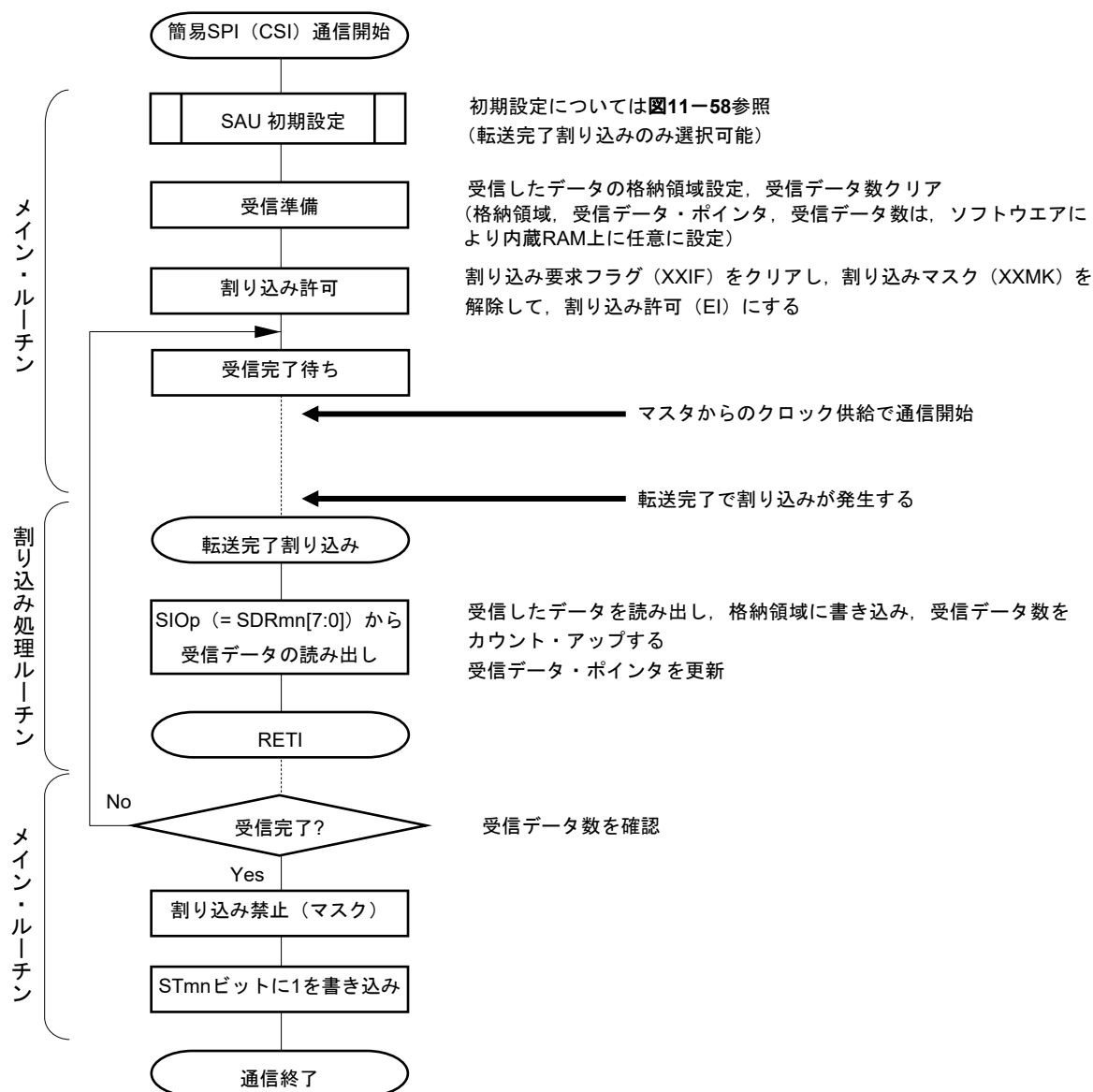
(3) 処理フロー（シングル受信モード時）

図11-61 スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 11, 20)
mn = 00, 01, 03, 10

図11-62 スレーブ受信（シングル受信モード時）のフロー・チャート



11.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01	CSI11	CSI20
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK11, SI11, SO11	SCK20, SI20, SO20
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注1. SCK00, SCK01, SCK11, SCK20端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

2. この条件を満たし、かつ電気的特性の周辺機能特性（第28章または第29章 電気的特性参照）を満たす範囲内で使用してください。

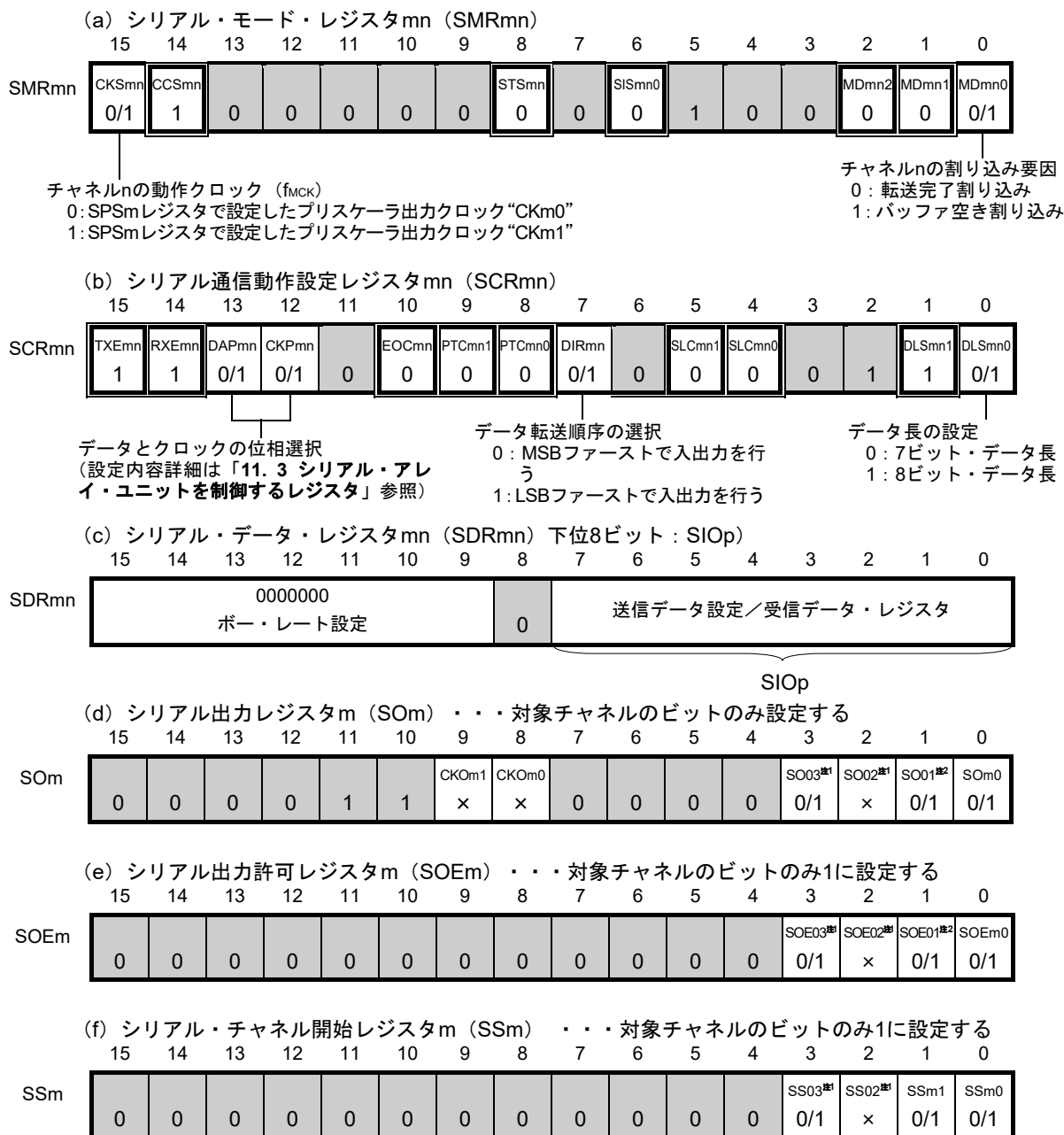
備考1. f_{MCK} ：対象チャネルの動作クロック周波数

f_{SCK} ：シリアル・クロック周波数

2. m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0-3）, mn = 00, 01, 03, 10

(1) レジスタ設定

図11-63 簡易SPI (CSI00, CSI01, CSI11, CSI20) のスレーブ送受信時のレジスタ設定内容例



注1. 30ピン製品のシリアル・アレイ・ユニット0のみ

2. 20, 24ピン製品のみ

注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-3) p: CSI番号 (p = 00, 01, 11, 20)

mn = 00, 01, 03, 10

2. ☐: 簡易SPI (CSI) スレーブ送受信モードでは設定固定 ☐: 設定不可 (初期値を設定)

×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-64 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図11-65 スレーブ送受信の中断手順

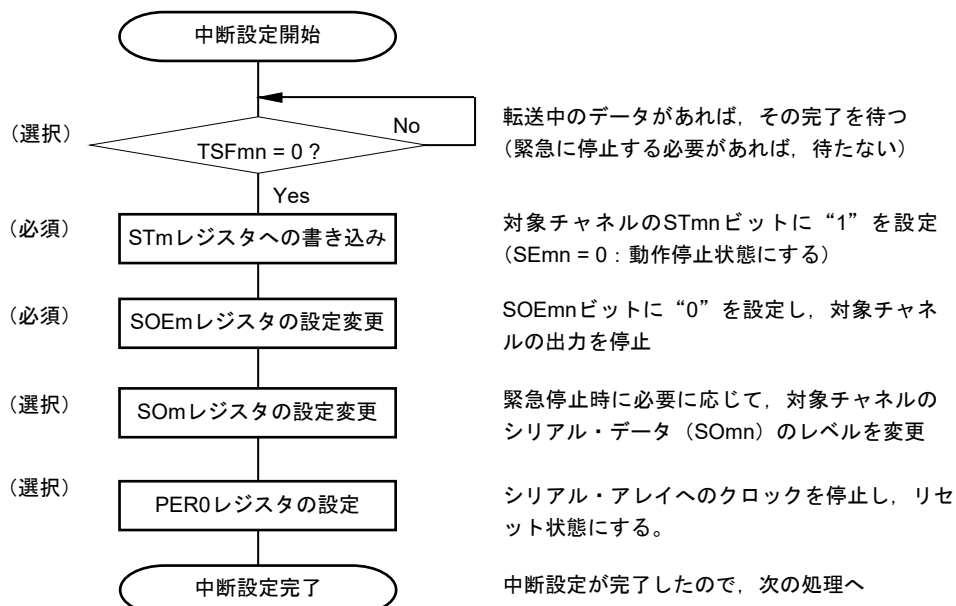
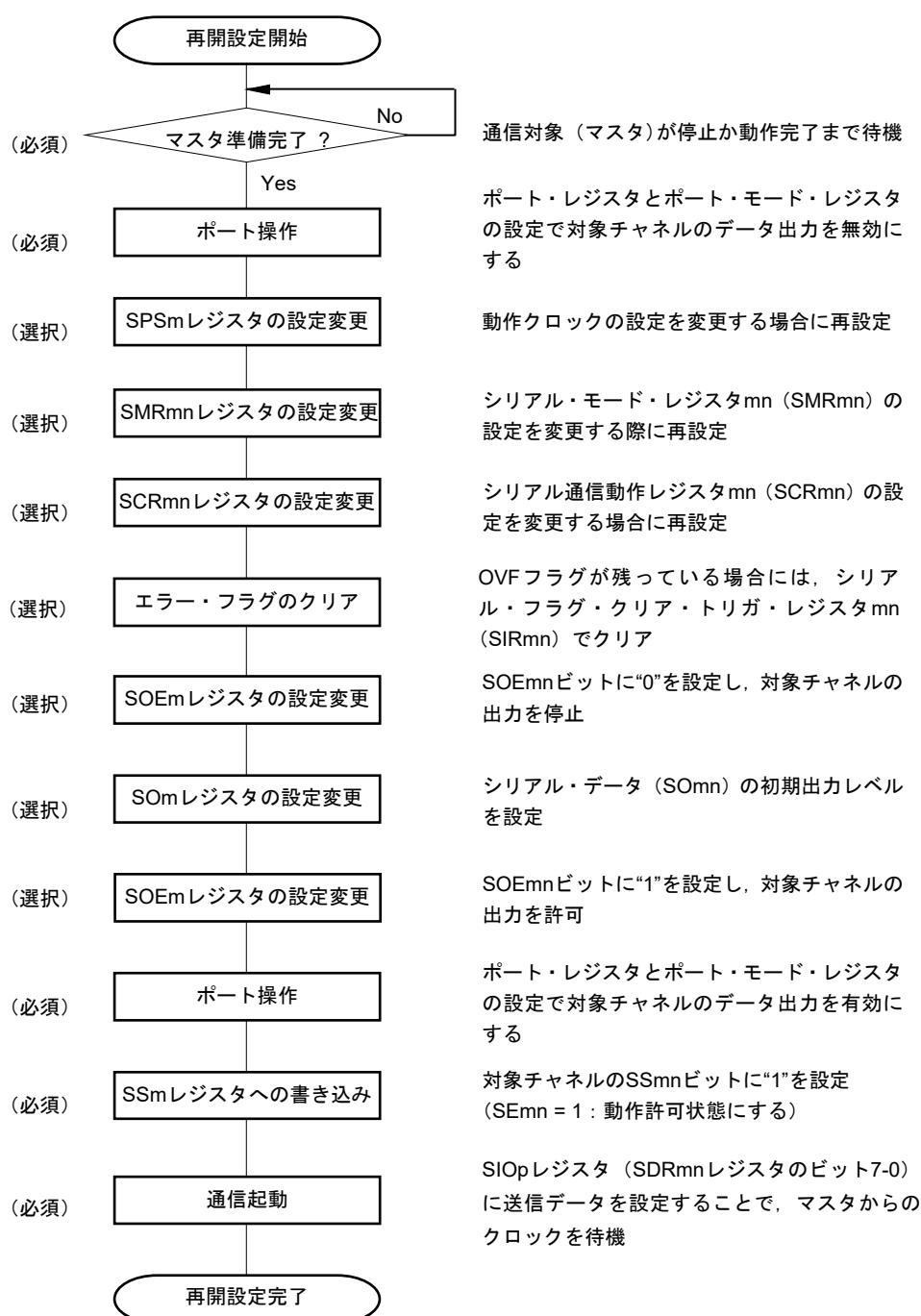


図11-66 スレーブ送受信の再開設定手順

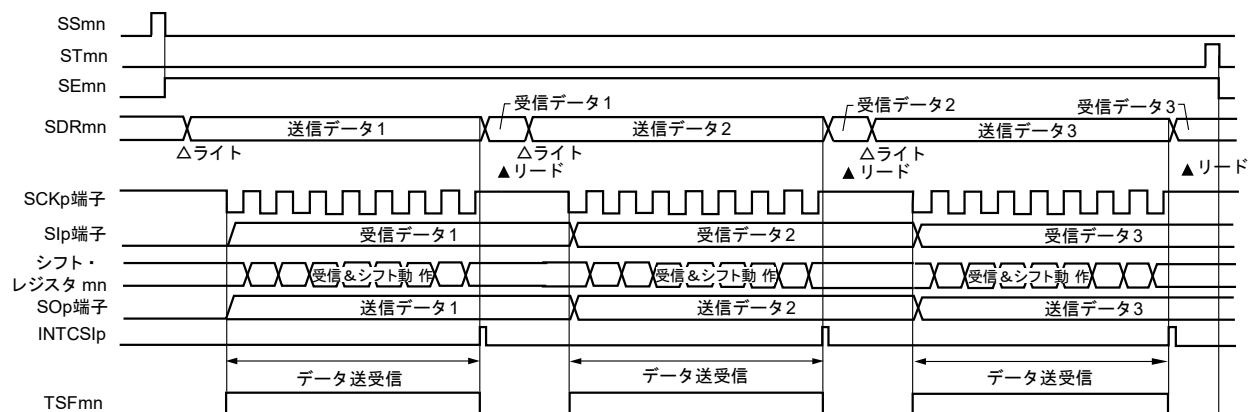


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

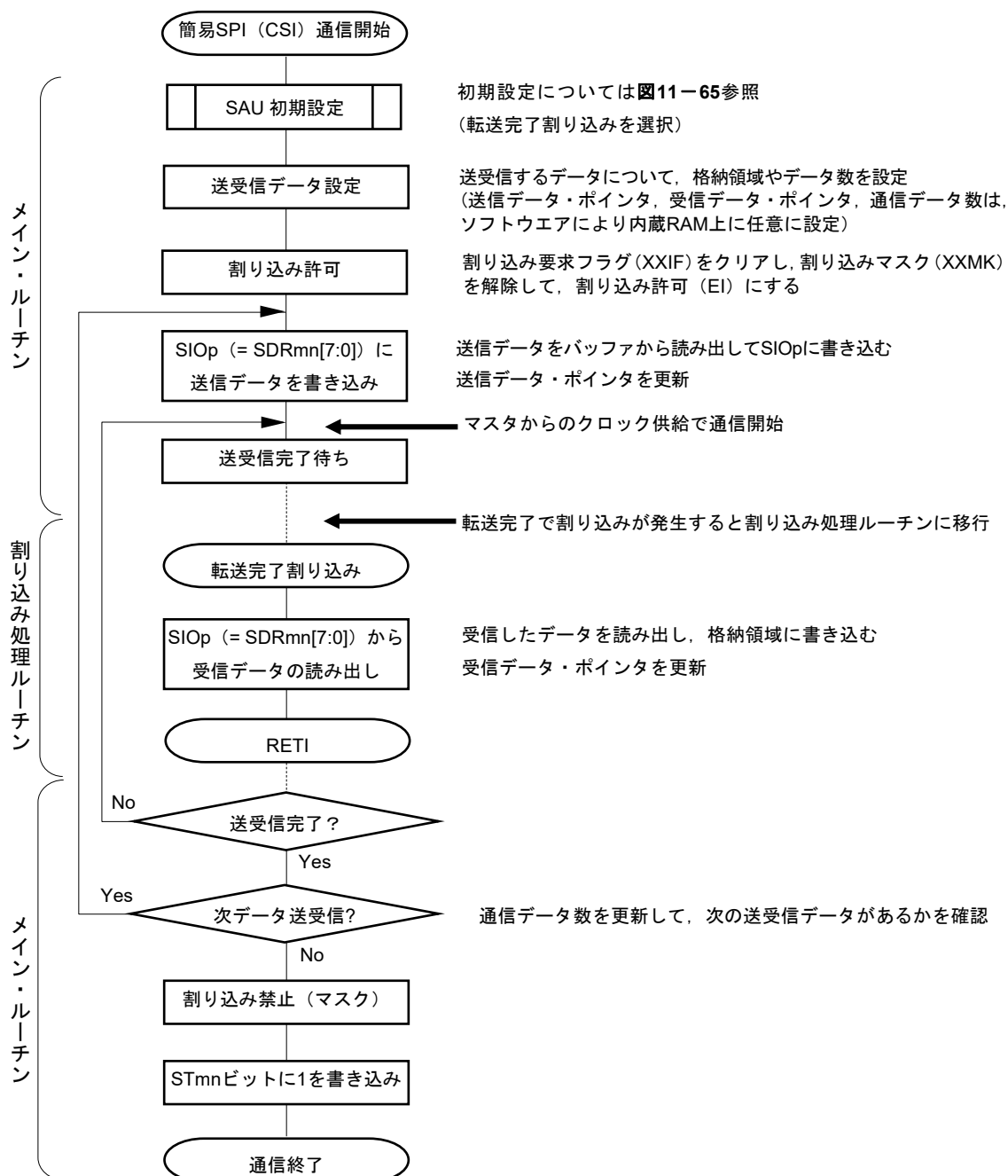
(3) 処理フロー（シングル送受信モード時）

図11-67 スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 11, 20)
mn = 00, 01, 03, 10

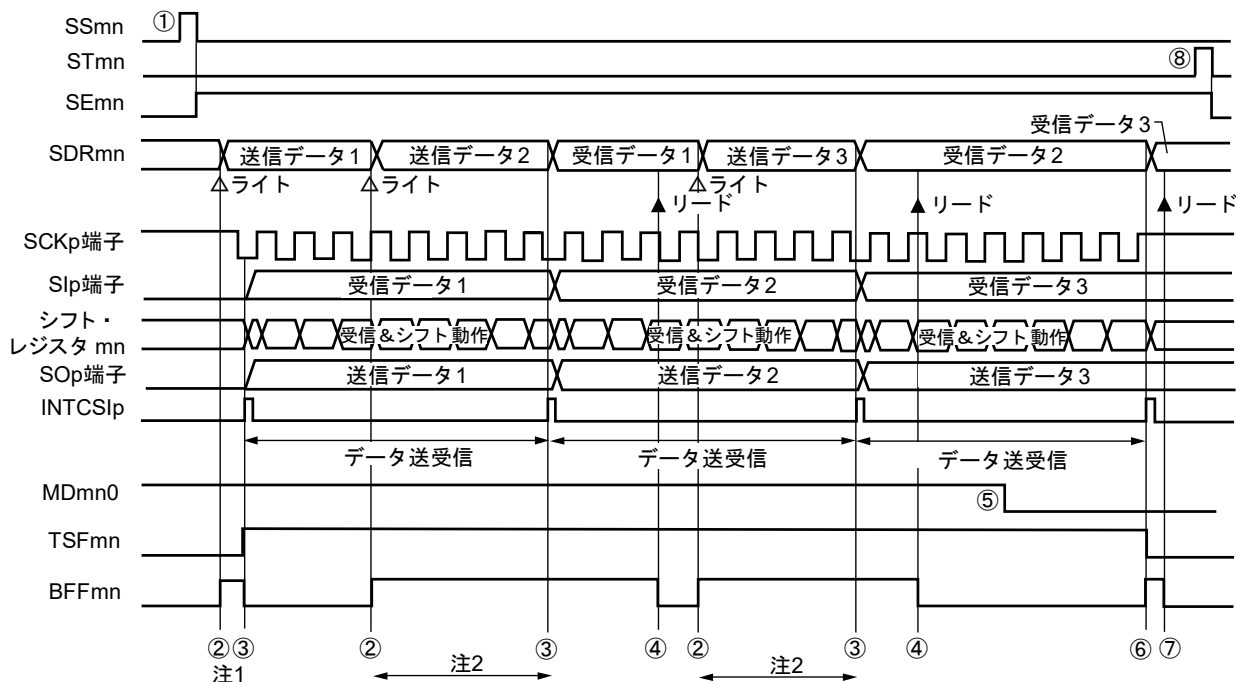
図11-68 スレーブ送受信（シングル送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(4) 処理フロー（連続送受信モード時）

図11-69 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



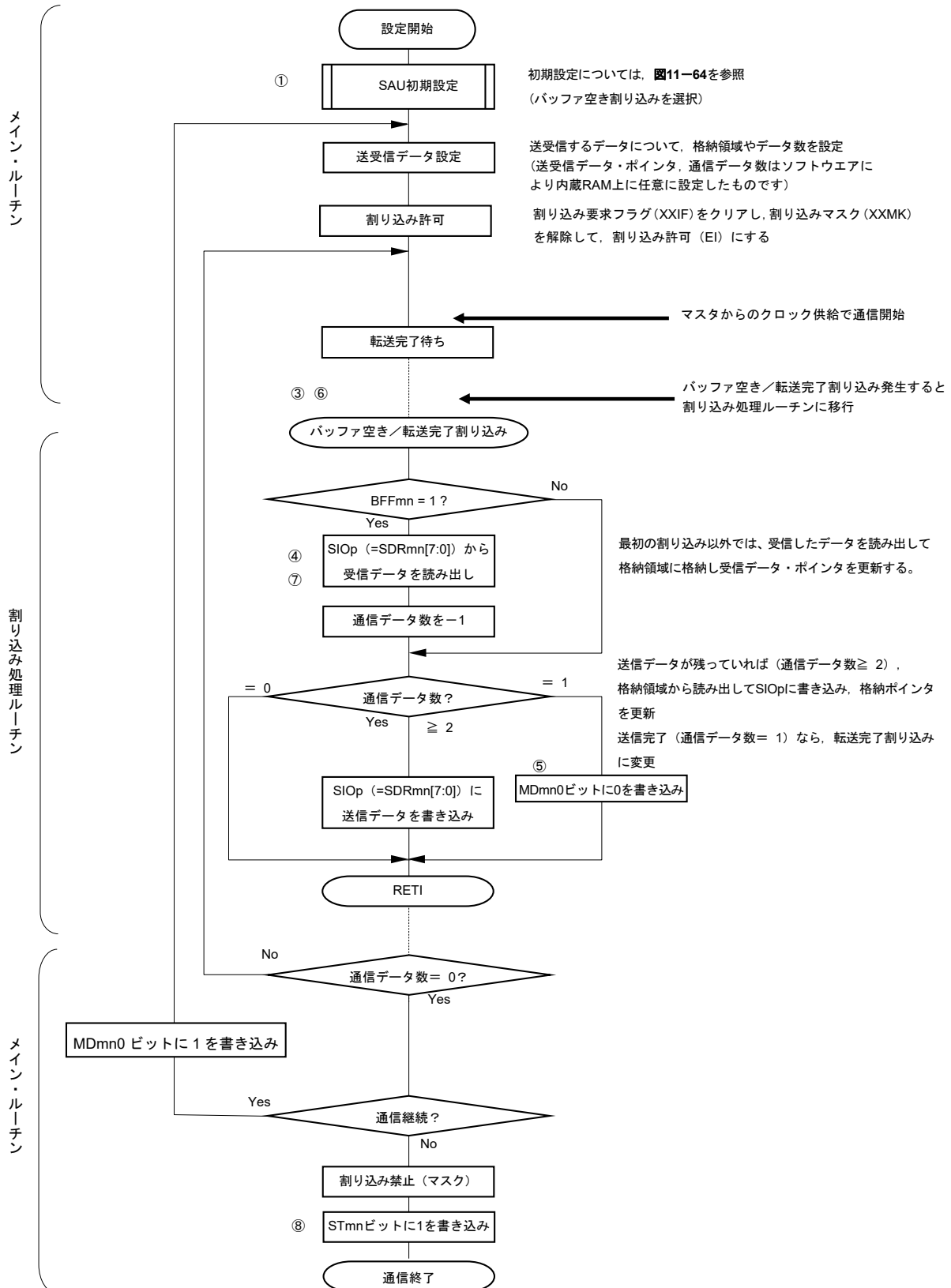
- 注1.** シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されている時）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。
- 2.** この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

- 備考1.** 図中の①~⑧は、図11-70 スレーブ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。
- 2.** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 11, 20) ,
mn = 00, 01, 03, 10

図11-70 スレーブ送受信（連続送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 図中の①～⑧は、図11-69 スレーブ送受信（連続送受信モード時）のタイミング・チャートの①～⑧に対応しています。

11.5.7 SNOOZEモード機能

STOPモード時にSCK00端子入力の検出により、簡易SPI（CSI）の受信動作をさせるモードです。通常STOPモード時に簡易SPI（CSI）は通信動作を停止しますが、このモードを使うことで、SCK00端子入力の検出によってCPUを動作させずに簡易SPI（CSI）の受信動作を行うことができます。SNOOZEモード機能は、CSI00のみ設定可能です。

簡易SPI（CSI）をSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。（図11-72、図11-74 SNOOZEモード動作時のフローチャートを参照）

- ・STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタ0（SSC0）のSWC0ビットをセット（1）してください。初期設定完了後、シリアル・チャネル開始レジスタ0（SS0）のSS00ビットをセット（1）します。

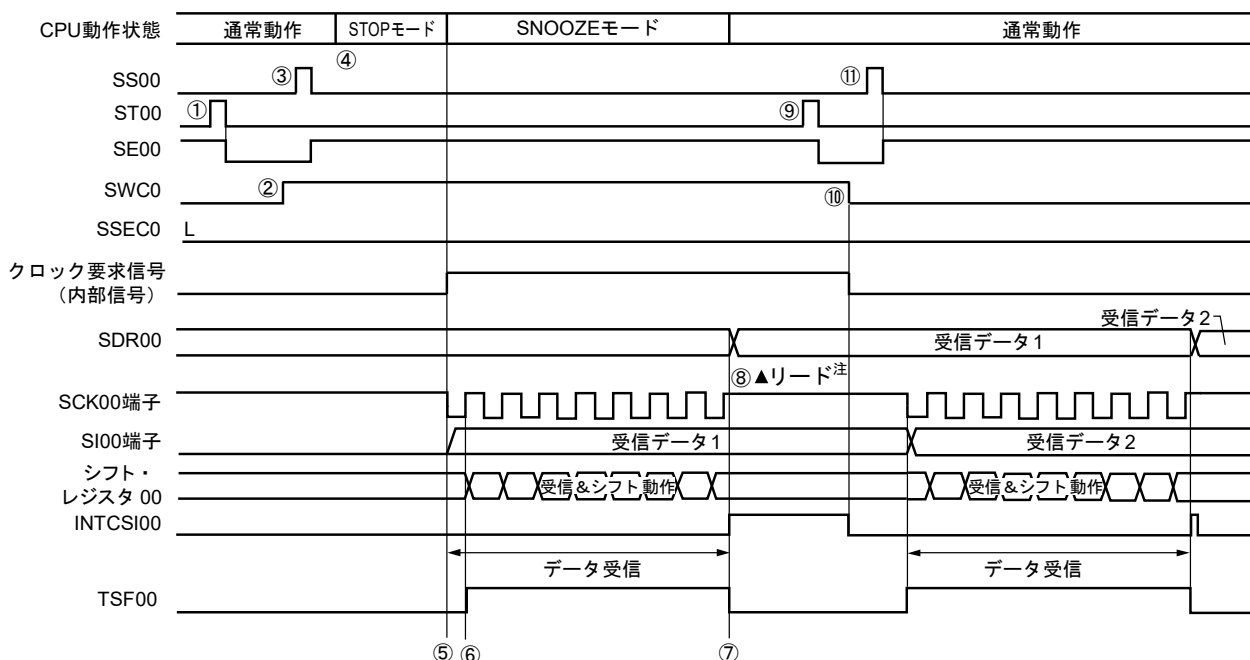
- ・STOPモードに移行後、SCK00端子の有効エッジを検出するとSNOOZEモードへ移行します。SCK_p端子のシリアル・クロック入力により、CSI_pは受信を開始します。

注意1. SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2. CSI00をSNOOZEモードで使用する時の最大転送レートは1 Mbpsです。

(1) SNOOZEモード動作（1回起動）

図11-71 SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1：DAP00 = 0, CKP00 = 0）



注 受信データの読み出しは、SWC0 = 1の状態では、次のSCK00端子の有効エッジ検出前に行ってください。

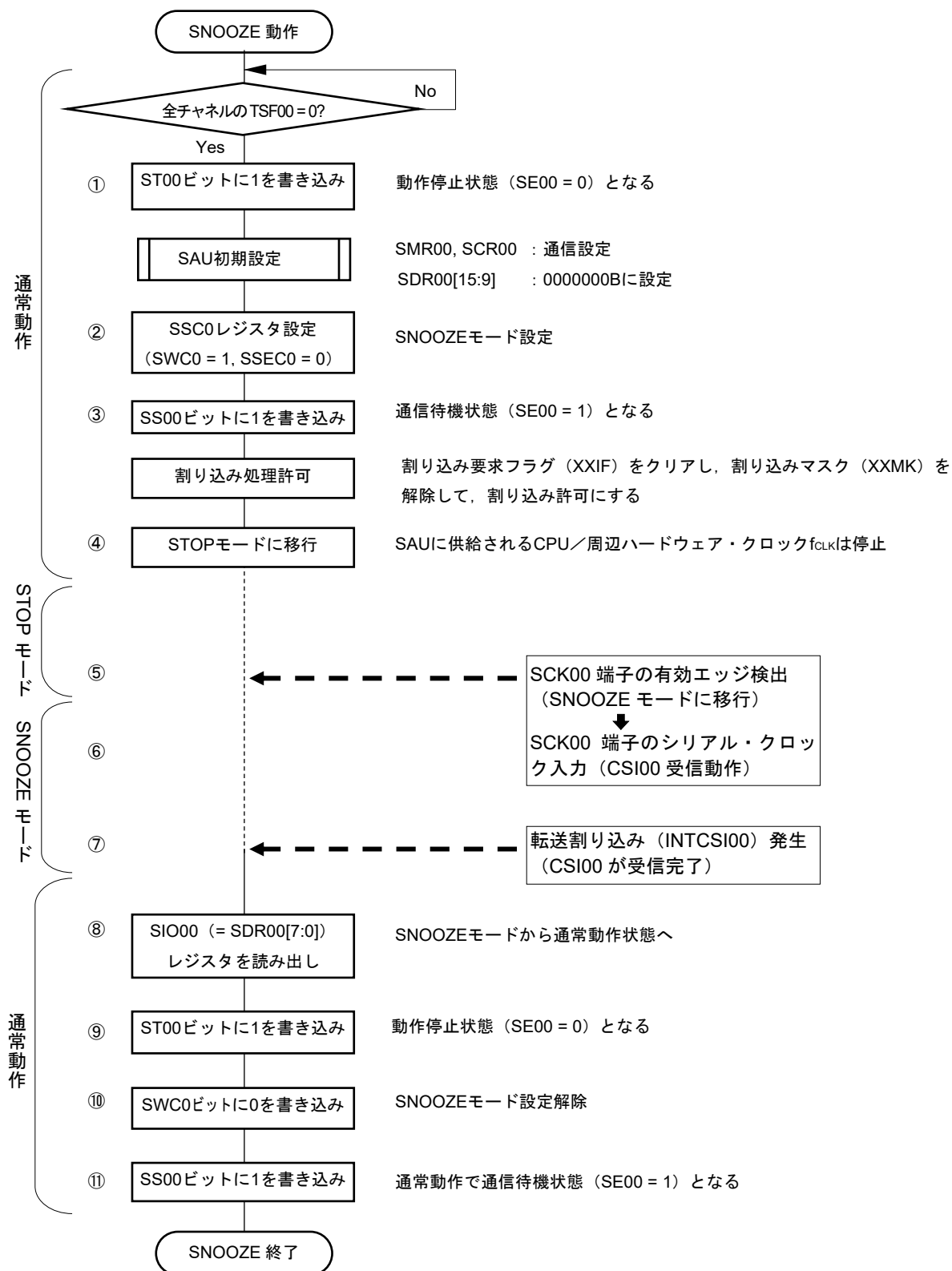
注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、ST00ビットを1に設定してください（SE00ビットがクリアされ動作停止）。

また、受信動作を完了したあとは、SWC0ビットもクリアしてください（SNOOZE解除）。

2. SWC0 = 1のときは、BFF01, OVF01フラグは動作しません。

備考 図中の①～⑪は、図11-72 SNOOZEモード動作（1回起動）時のフロー・チャートの①～⑪に対応しています。

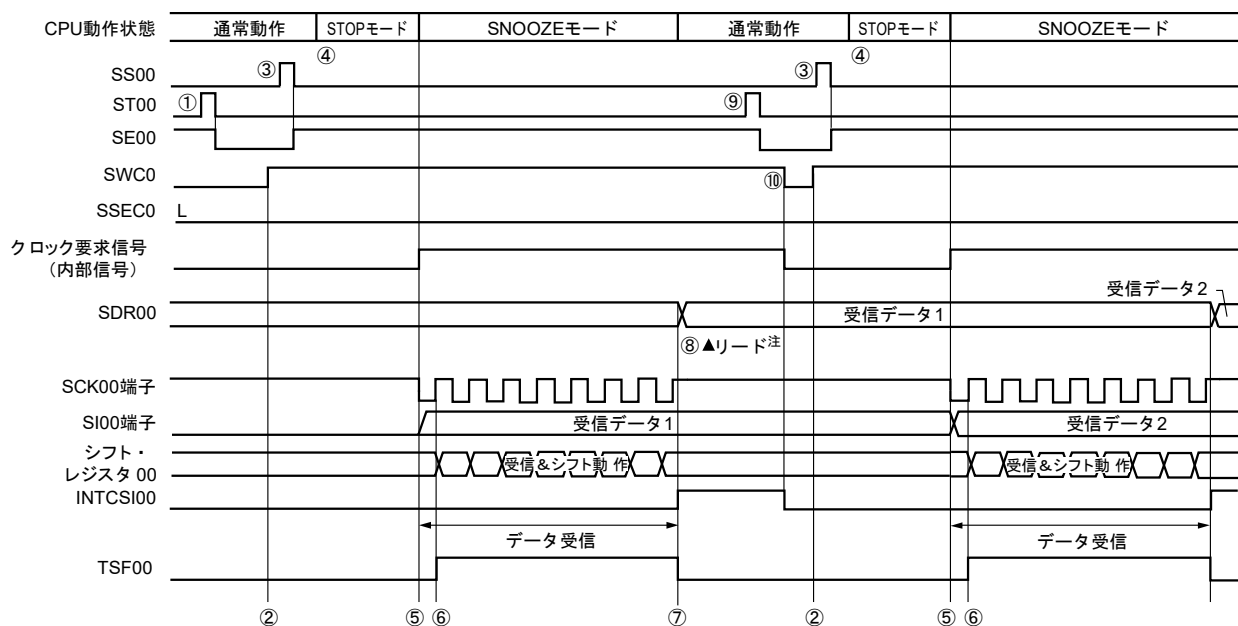
図11-72 SNOOZEモード動作（1回起動）時のフロー・チャート



備考 図中の①~⑪は、図11-71 SNOOZEモード動作（1回起動）時のタイミング・チャートの①~⑪に対応しています。

(2) SNOOZEモード動作（連続起動）

図11-73 SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAP00 = 0, CKP00 = 0）



注 受信データの読み出しは、SWC0 = 1の状態では、次のSCK00端子の有効エッジ検出前に行ってください。

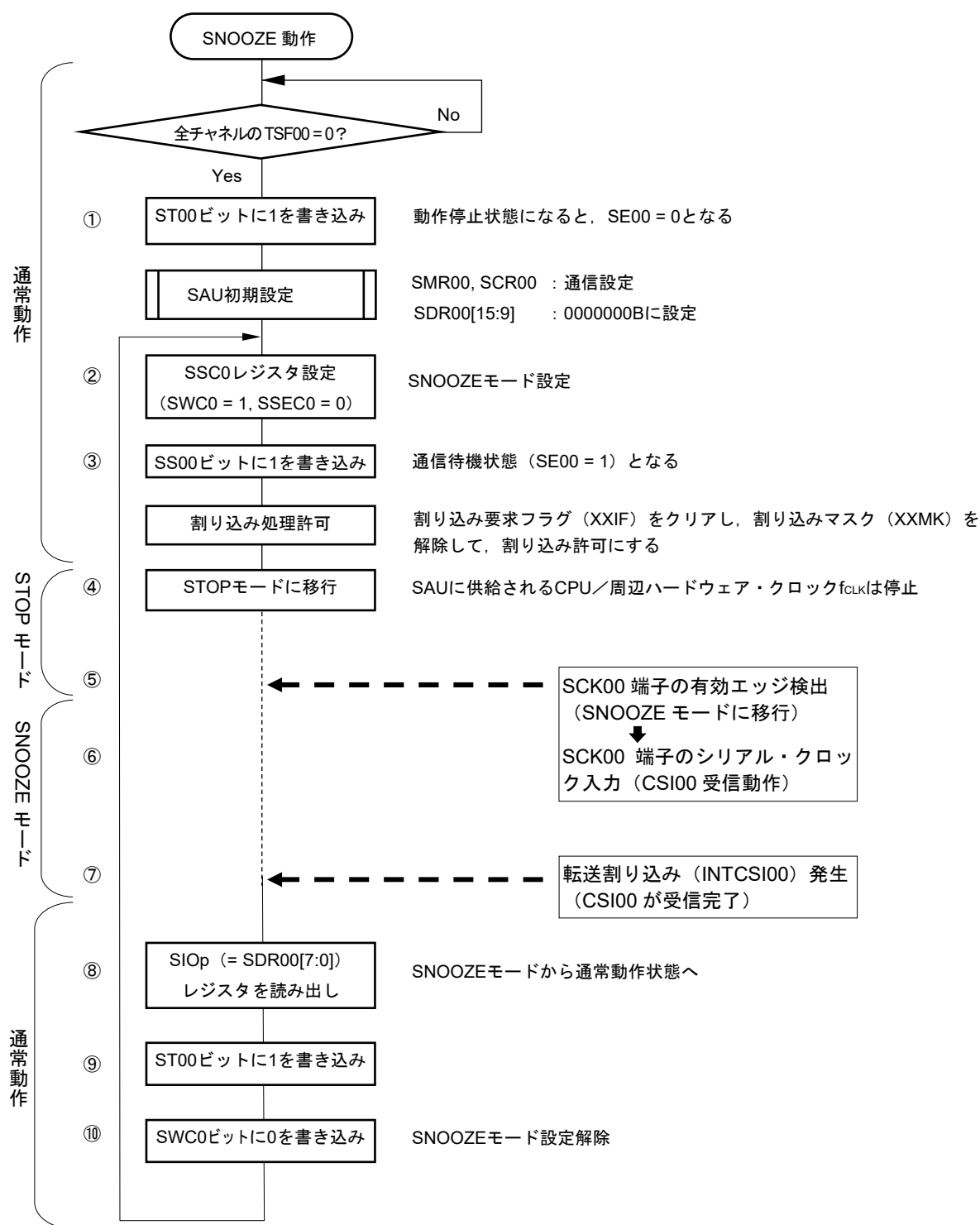
注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、ST00ビットを1に設定してください（SE00ビットがクリアされ動作停止）。

また、受信動作を完了したあとは、SWC0ビットもクリアしてください（SNOOZE解除）。

2. SWC0 = 1のときは、BFF01, OVF01フラグは動作しません。

備考 図中の①～⑩は、図11-74 SNOOZEモード動作（連続起動）時のフロー・チャートの①～⑩に対応しています。

図11-74 SNOOZEモード動作（連続起動）時のフロー・チャート



備考 図中の①~⑩は、図11-73 SNOOZEモード動作（連続起動）時のタイミング・チャートの①~⑩に対応しています。

11. 5. 8 転送クロック周波数の算出

簡易SPI（CSI00, CSI01, CSI11, CSI20）通信での転送クロック周波数は、下記の計算式にて算出できます。

(1) マスタの場合

$$(\text{転送クロック周波数}) = \{\text{対象チャネルの動作クロック (f}_{\text{MCK}}\text{) 周波数}\} \div (\text{SDRmn}[15:9] + 1) \div 2 [\text{Hz}]$$

(2) スレーブの場合

$$(\text{転送クロック周波数}) = \{\text{マスタが供給するシリアル・クロック (SCK) 周波数}\}^{\text{注}} [\text{Hz}]$$

注 ただし、許容最大転送クロック周波数はf_{MCK}/6となります。

備考 SDRmn[15:9] は、シリアル・データ・レジスタ mn（SDRmn）のビット 15-9 の値（0000000B-1111111B）なので、0-127になります。

動作クロック（f_{MCK}）は、シリアル・クロック選択レジスタ m（SPSm）とシリアル・モード・レジスタ mn（SMRmn）のビット 15（CKSmn）で決まります。

表11-2 簡易SPI動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（fMCK） ^注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		fCLK = 20MHz動作時
0	x	x	x	x	0	0	0	0	fCLK	20 MHz
	x	x	x	x	0	0	0	1	fCLK/2	10 MHz
	x	x	x	x	0	0	1	0	fCLK/2 ²	5 MHz
	x	x	x	x	0	0	1	1	fCLK/2 ³	2.5 MHz
	x	x	x	x	0	1	0	0	fCLK/2 ⁴	1.25 MHz
	x	x	x	x	0	1	0	1	fCLK/2 ⁵	625 kHz
	x	x	x	x	0	1	1	0	fCLK/2 ⁶	312.5 kHz
	x	x	x	x	0	1	1	1	fCLK/2 ⁷	156.2 kHz
	x	x	x	x	1	0	0	0	fCLK/2 ⁸	78.1 kHz
	x	x	x	x	1	0	0	1	fCLK/2 ⁹	39.1 kHz
	x	x	x	x	1	0	1	0	fCLK/2 ¹⁰	19.5 kHz
	x	x	x	x	1	0	1	1	fCLK/2 ¹¹	9.77 kHz
	x	x	x	x	1	1	0	0	fCLK/2 ¹²	4.88 kHz
	x	x	x	x	1	1	0	1	fCLK/2 ¹³	2.44 kHz
	x	x	x	x	1	1	1	0	fCLK/2 ¹⁴	1.22 kHz
	x	x	x	x	1	1	1	1	fCLK/2 ¹⁵	610 Hz
1	0	0	0	0	x	x	x	x	fCLK	20 MHz
	0	0	0	1	x	x	x	x	fCLK/2	10 MHz
	0	0	1	0	x	x	x	x	fCLK/2 ²	5 MHz
	0	0	1	1	x	x	x	x	fCLK/2 ³	2.5 MHz
	0	1	0	0	x	x	x	x	fCLK/2 ⁴	1.25 MHz
	0	1	0	1	x	x	x	x	fCLK/2 ⁵	625 kHz
	0	1	1	0	x	x	x	x	fCLK/2 ⁶	312.5 kHz
	0	1	1	1	x	x	x	x	fCLK/2 ⁷	156.2 kHz
	1	0	0	0	x	x	x	x	fCLK/2 ⁸	78.1 kHz
	1	0	0	1	x	x	x	x	fCLK/2 ⁹	39.1 kHz
	1	0	1	0	x	x	x	x	fCLK/2 ¹⁰	19.5 kHz
	1	0	1	1	x	x	x	x	fCLK/2 ¹¹	9.77 kHz
	1	1	0	0	x	x	x	x	fCLK/2 ¹²	4.88 kHz
	1	1	0	1	x	x	x	x	fCLK/2 ¹³	2.44 kHz
	1	1	1	0	x	x	x	x	fCLK/2 ¹⁴	1.22 kHz
	1	1	1	1	x	x	x	x	fCLK/2 ¹⁵	610 Hz

注 fCLKに選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm） = 000FH）させてから変更してください。

備考1. x : don't care

2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) , mn = 00, 01, 03, 10

11. 5. 9 簡易SPI (CSI00, CSI01, CSI11, CSI20) 通信時におけるエラー発生時の処理手順

簡易SPI (CSI00, CSI01, CSI11, CSI20) 通信時にエラーが発生した場合の処理手順を図11-75に示します。

図11-75 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn) をリードする	SSRmnレジスタのBFFmnビットが“0”となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) , mn = 00, 01, 03, 10

11.6 UART (UART0-UART2) 通信の動作

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ポー・レートを使用して)、データを送受信します。送信専用 (偶数チャネル) と受信専用 (奇数チャネル) の2チャネルを使用することで、全2重歩調同期UART通信が実現できます。

[データ送受信]

- ・ 7, 8, 9ビットのデータ長^{注1}
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定 (レベルを反転するかどうかの選択)
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加, ストップ・ビット・チェック機能

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また、UART0はSNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD0端子入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

注1. 9ビット・データ長は、UART0のみ対応しています。

20, 24ピン製品

ユニット	チャネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00 ^{注2}
	1	CSI01 ^{注2}		IIC01 ^{注2}

30ピン製品

ユニット	チャネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00 ^{注2}
	1	—		—
	2	—	UART1 ^{注2}	—
	3	CSI11 ^{注2}		IIC11 ^{注2}
1	0	CSI20 ^{注2}	UART2 ^{注2}	IIC20 ^{注2}
	1	—		—

注2. R5F102製品のみ

各チャネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。例えば、ユニット0のチャネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできません。しかし、UART0と同時にチャネルが異なるチャネル2, 3をCSI10やUART1やIIC10で使用することはできます。

(注意は次ページにあります。)

注意 UARTとして使用する場合は、送信側（偶数チャンネル）と受信側（奇数チャンネル）のどちらもUARTにしか使用できません。

UARTの通信動作は、以下の2種類があります。

- ・ UART送信 (11.6.1項を参照)
- ・ UART受信 (11.6.2項を参照)

11.6.1 UART送信

UART送信は、RL78マイクロコントローラから他デバイスへ、非同期（調歩同期）でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルを使用します。

UART	UART0	UART1	UART2
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	TxD0	TxD1	TxD2
割り込み	INTST0	INTST1	INTST2
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	なし		
転送データ長	7ビットまたは8ビットまたは9ビット ^{注1}		
転送レート ^{注2}	Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 2以上) , Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 ・ パリティ・ビットなし ・ 0パリティ・ビット付加 ・ 偶数パリティ付加 ・ 奇数パリティ付加		
ストップ・ビット	以下の選択が可能 ・ 1ビット付加 ・ 2ビット付加		
データ方向	MSBファーストまたはLSBファースト		

注 1. 9 ビット・データ長は、UART0 のみ対応しています。

2. この条件を満たし、かつ電気的特性の周辺機能特性（第 28 章または第 29 章 電気的特性参照）を満たす範囲内で使用してください。

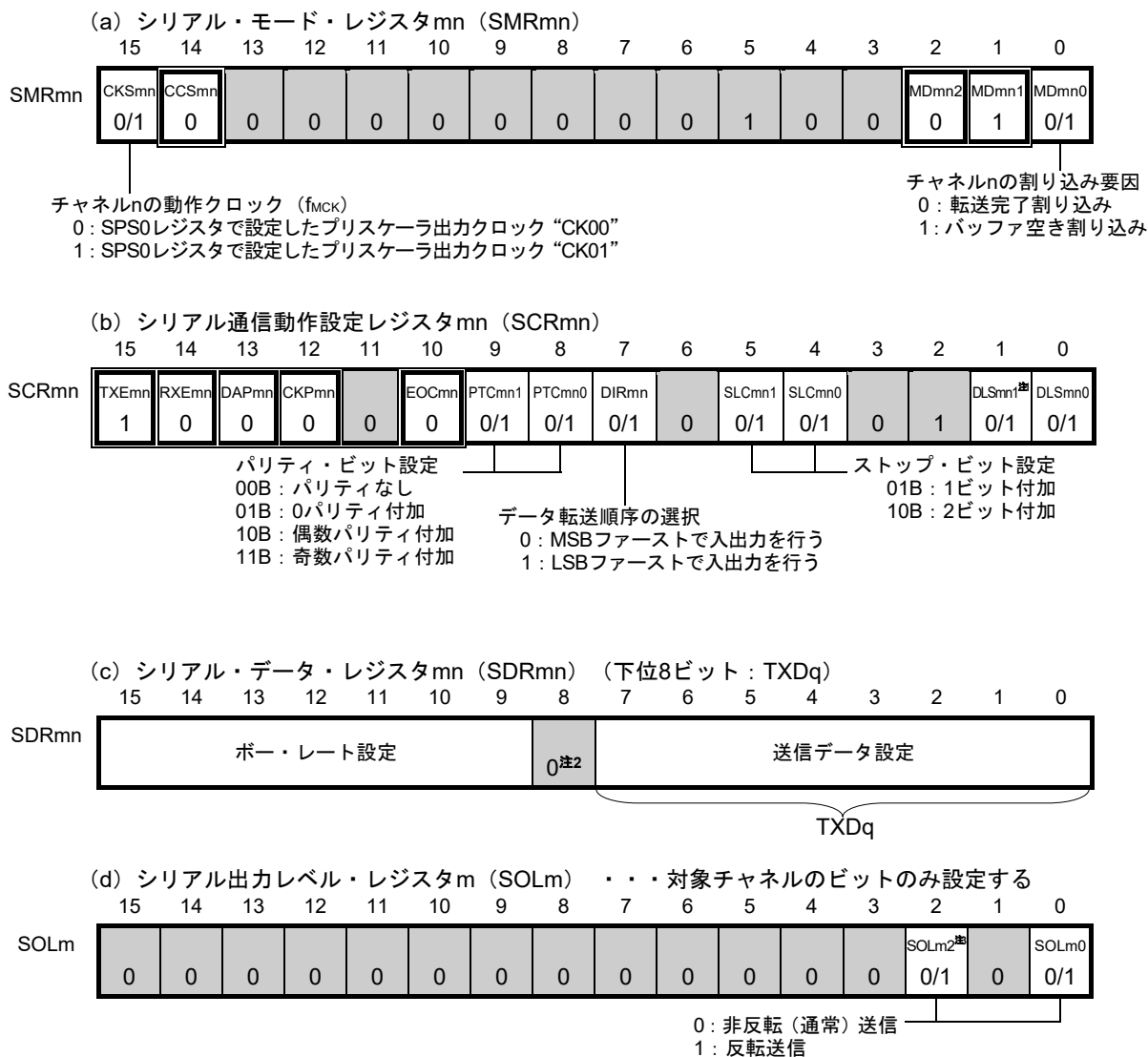
備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) , mn = 00, 02, 10

(1) レジスタ設定

図11-76 UART (UART0-UART2) の送信時のレジスタ設定内容例 (1/2)



注1. SCR00レジスタ (UART0) のみ。SCR02レジスタ, SCR10レジスタでは1固定になります。

2. 9ビット・データ長での通信 (SCR00レジスタのDLS001, DLS000 = 1, 1) を行う場合は, SDR00レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは, UART0のみです。

3. 30ピン製品のシリアル・アレイ・ユニット0のみ

備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) q: UART番号 (q = 0-2)

mn = 00, 02, 10

2. □: UART送信モードでは設定固定 ■: 設定不可 (初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

図11-76 UART (UART0-UART2) の送信時のレジスタ設定内容例 (2/2)

(e) シリアル出力レジスタ_m (SO_m) . . . 対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO _m							CKOm1	CKOm0					SO03 ^{※1}	SO02 ^{※1}	SO01	SOm0
	0	0	0	0	1	1	×	×	0	0	0	0	×	0/1 ^{※2}	×	0/1 ^{※2}

0: シリアル・データ出力値が“0”
1: シリアル・データ出力値が“1”

(f) シリアル出力許可レジスタ_m (SOEm) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOE03 ^{※1}	SOE02 ^{※1}	SOE01	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	0/1	×	0/1

(g) シリアル・チャネル開始レジスタ_m (SSm) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SS03 ^{※1}	SS02 ^{※1}	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	0/1	×	0/1

注1. 30ピン製品のシリアル・アレイ・ユニット0のみ

2. 該当するチャネルのSOL00, 02ビットに0を設定している場合は“1”に、1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10

2. ☐ : UART送信モードでは設定固定 ☐ : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-77 UART送信の初期設定手順

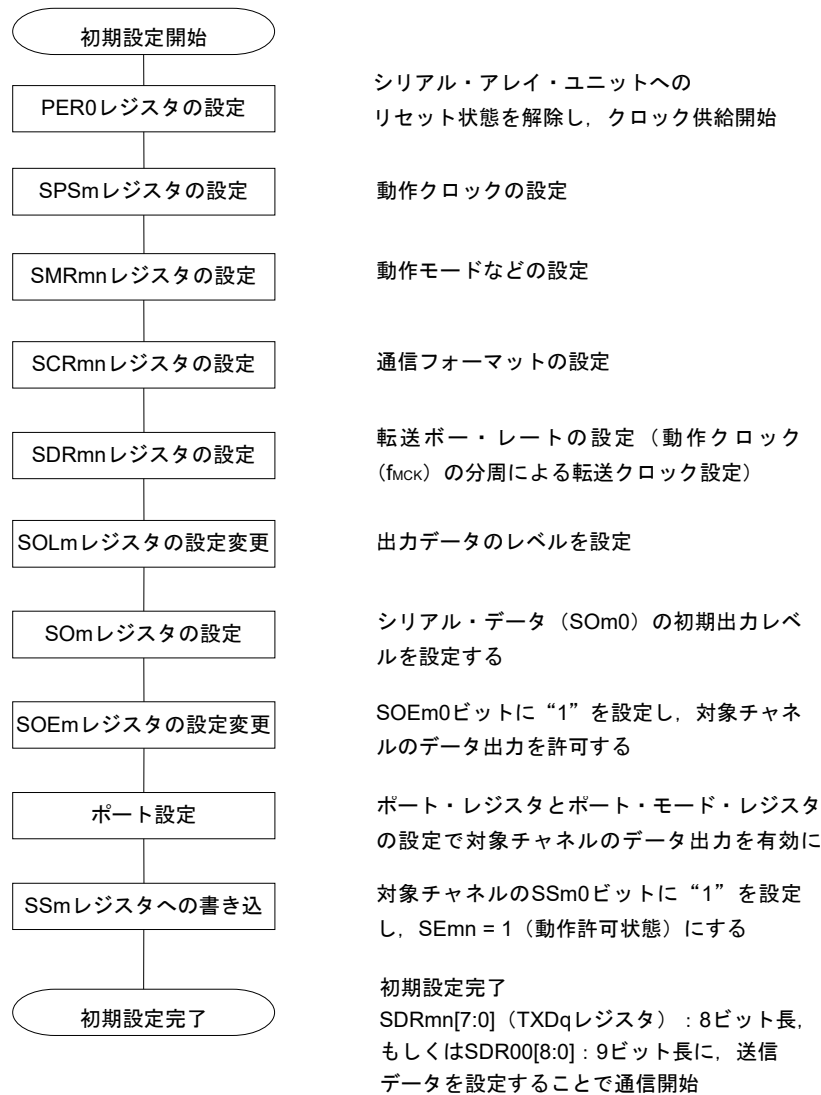


図11-78 UART送信の中断手順

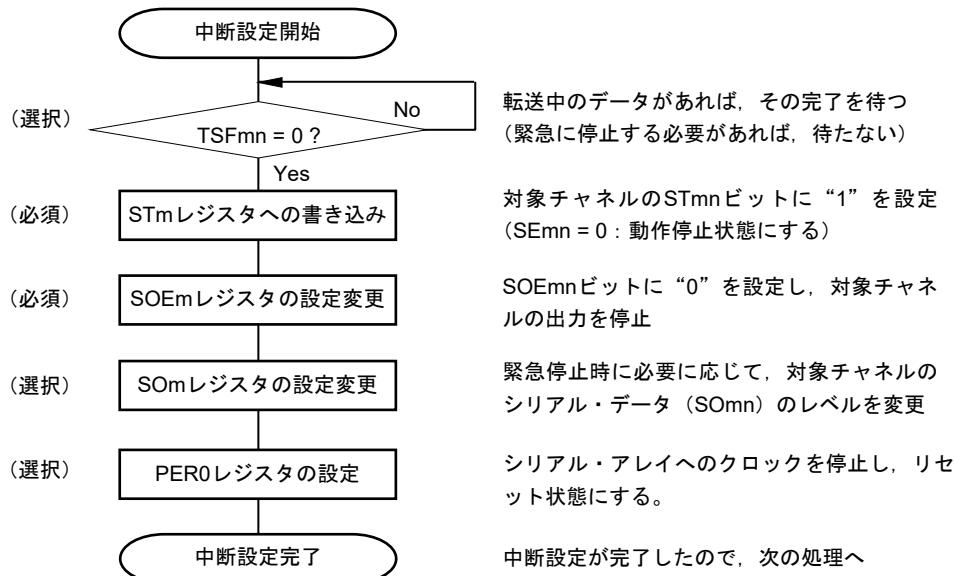
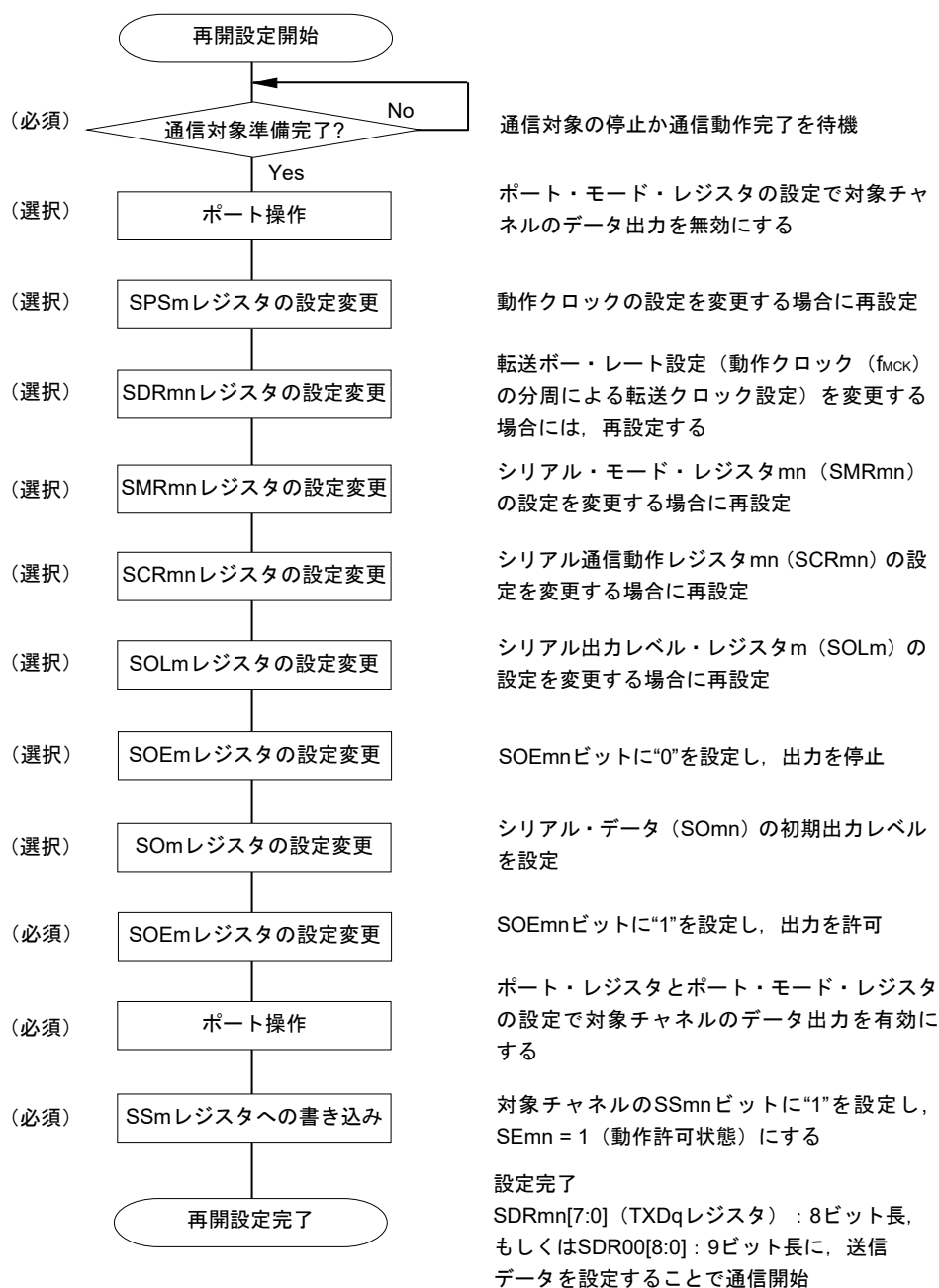


図11-79 UART送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止、もしくは通信動作完了を待って、再開設定ではなく初期設定を行ってください。

(3) 処理フロー（シングル送信モード時）

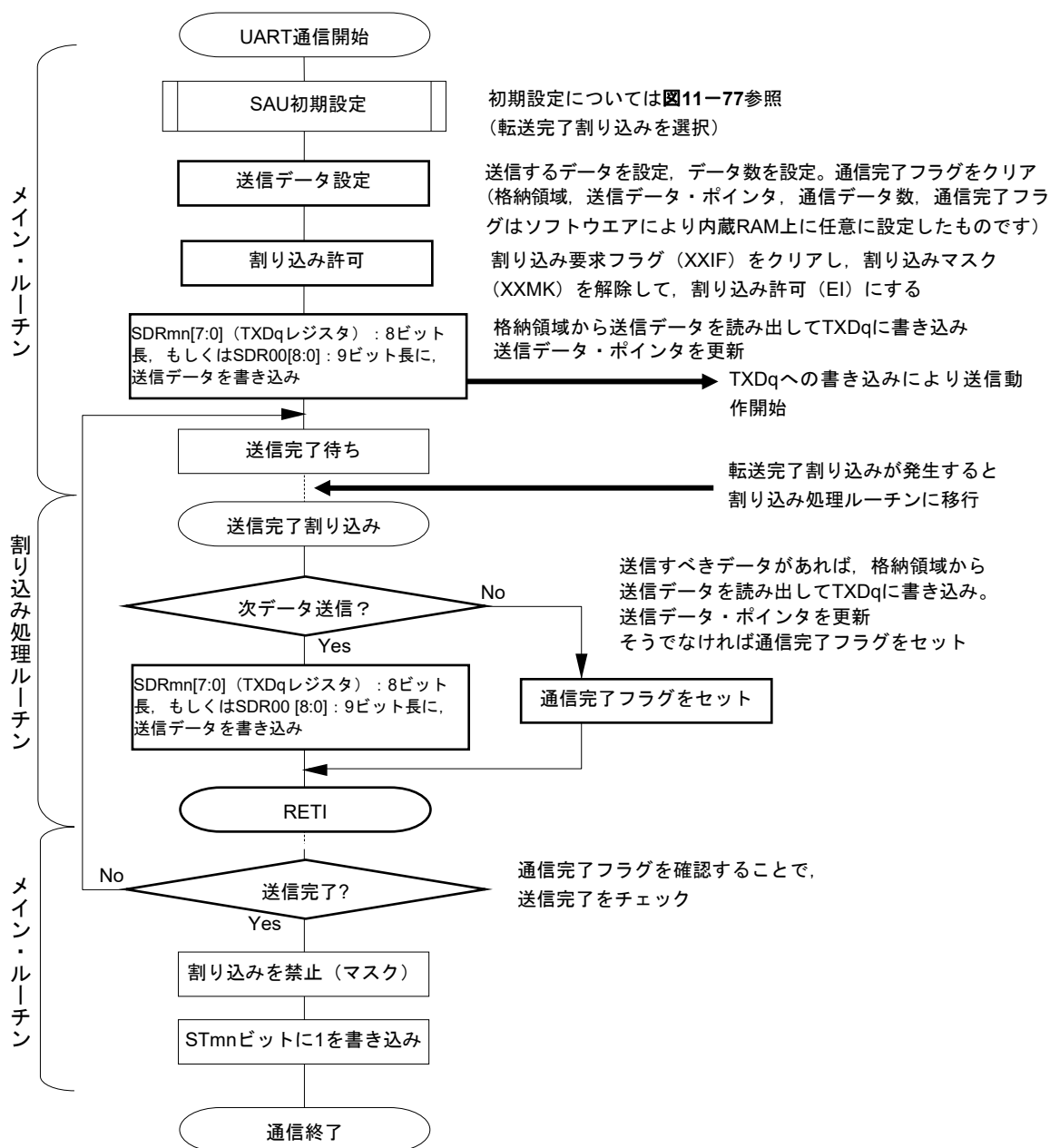
図11-80 UART送信（シングル送信モード時）のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) q : UART番号 (q = 0-2)

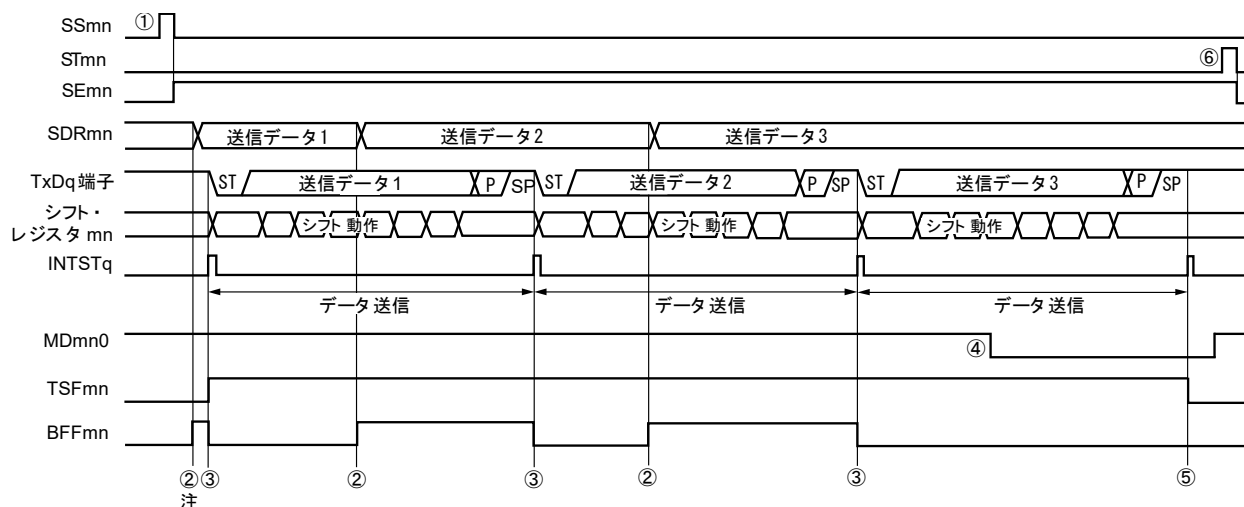
mn = 00, 02, 10

図11-81 UART送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図11-82 UART送信（連続送信モード時）のタイミング・チャート



注 シリアル・ステータス・レジスタmn（SSR mn）のBFF mnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDR mn）に格納されているとき）にSDR mnレジスタに送信データを書き込むと、送信データが上書きされます。

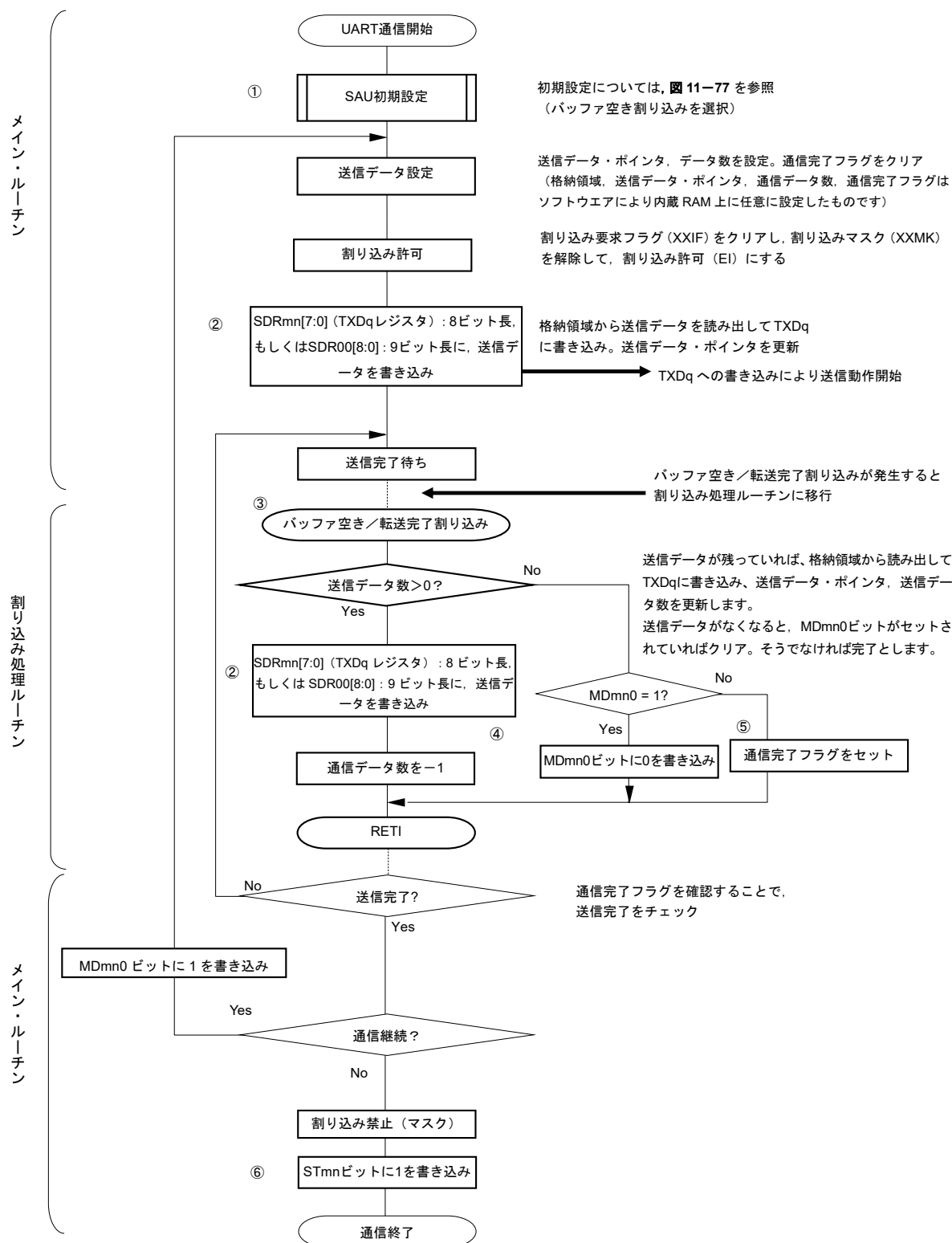
注意 シリアル・モード・レジスタmn（SMR mn）のMD mn 0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m：ユニット番号（m = 0, 1） n：チャネル番号（n = 0, 2） q：UART番号（q = 0-2）

mn = 00, 02, 10

図11-83 UART送信（連続送信モード時）のフロー・チャート



備考 図中の①～⑥は、図11-82 UART送信（連続送信モード時）のタイミング・チャートの①～⑥に対応しています

11.6.2 UART受信

UART受信は、他デバイスからRL78マイクロコントローラが非同期（調歩同期）でデータを受信する動作です。

UART受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2
対象チャンネル	SAU0のチャンネル1	SAU0のチャンネル3	SAU1のチャンネル1
使用端子	RxD0	RxD1	RxD2
割り込み	INTSR0	INTSR1	INTSR2
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー割り込み	INTSRE0	INTSRE1	INTSRE2
エラー検出フラグ	・ フレーミング・エラー検出フラグ（FEFmn） ・ パリティ・エラー検出フラグ（PEFmn） ・ オーバラン・エラー検出フラグ（OVFmn）		
転送データ長	7ビットまたは8ビットまたは9ビット ^{注1}		
転送レート ^{注2}	Max. $f_{MCK}/6$ [bps]（SDRmn[15:9] = 2以上）, Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 ・ パリティ・ビットなし（パリティ・チェックなし） ・ パリティ判定なし（0パリティ） ・ 偶数パリティ・チェック ・ 奇数パリティ・チェック		
ストップ・ビット	1ビット付加		
データ方向	MSBファーストまたはLSBファースト		

注1. 9ビット・データ長は、UART0のみ対応しています

2. この条件を満たし、かつ電氣的特性の周辺機能特性（第28章または第29章 電氣的特性参照）を満たす範囲内で使用してください。

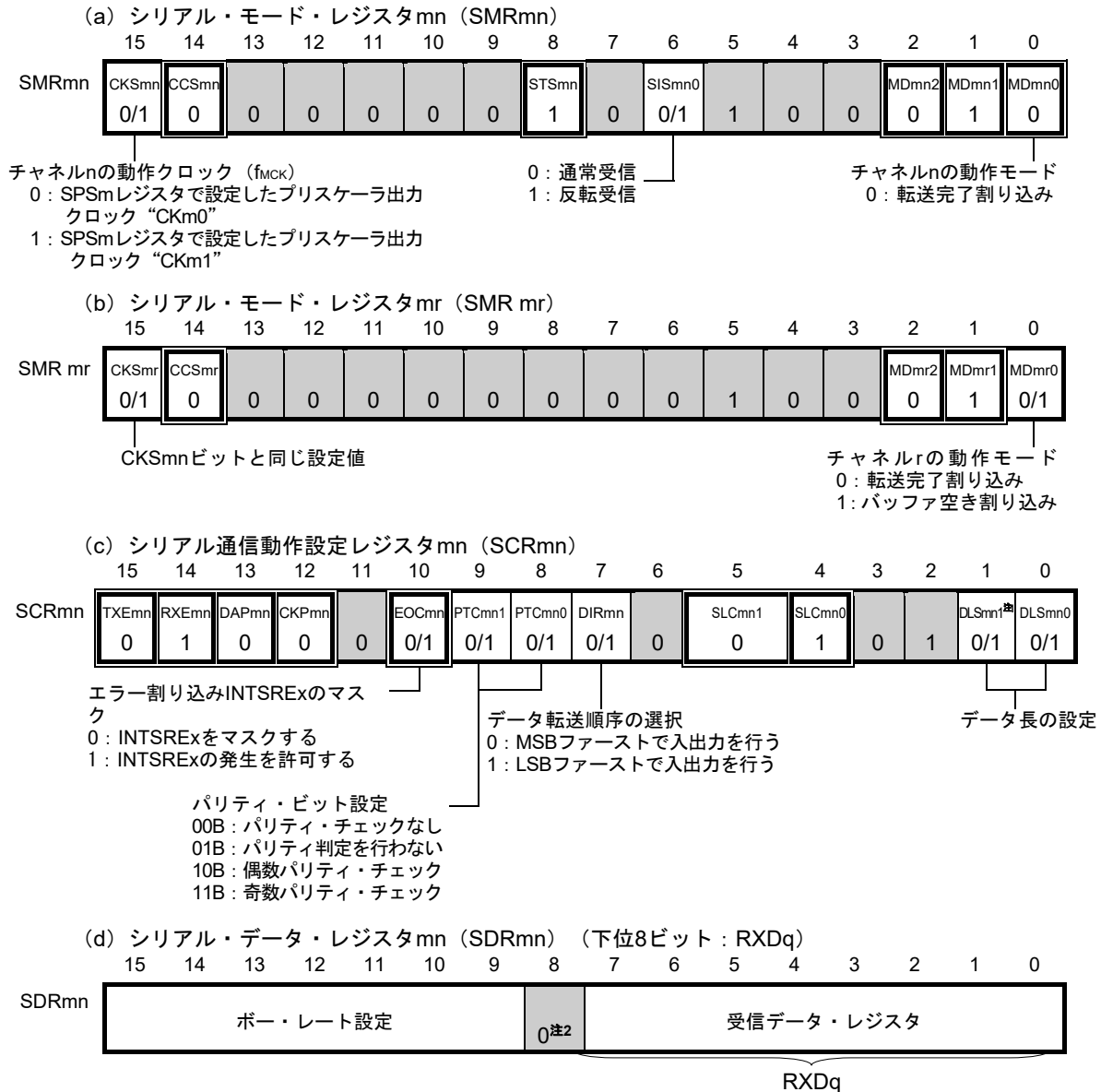
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 1, 3）, mn = 01, 03, 11

(1) レジスタ設定

図11-84 UART (UART0-UART2) の受信時のレジスタ設定内容例 (1/2)



注1. SCR01レジスタ (UART0) のみ。SCR03レジスタ, SCR11レジスタでは1固定になります。

2. 9ビット・データ長での通信を行う場合は、SDR01レジスタのビット0-8が受信データ設定領域になります。9ビット・データ長での通信が行えるのは、UART0のみです。

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 1, 3), mn = 01, 03, 11

□: チャンネル番号 (r = n-1) □: UART番号 (q = 0-2)

2. □: UART受信モードでは設定固定 □: 設定不可 (初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

図11-84 UART (UART0-UART2) の受信時のレジスタ設定内容例 (2/2)

(e) シリアル出力レジスタ_m (SOM) . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOM							CKOm1	CKOm0					SO03 [※]	SO02 [※]	SO01	SOM0
	0	0	0	0	1	1	×	×	0	0	0	0	×	×	×	×

(f) シリアル出力許可レジスタ_m (SOEm) . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOE03 [※]	SOE02 [※]	SOE01	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	×

(g) シリアル・チャネル開始レジスタ_m (SSm) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SS03 [※]	SS02 [※]	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	×	0/1	×

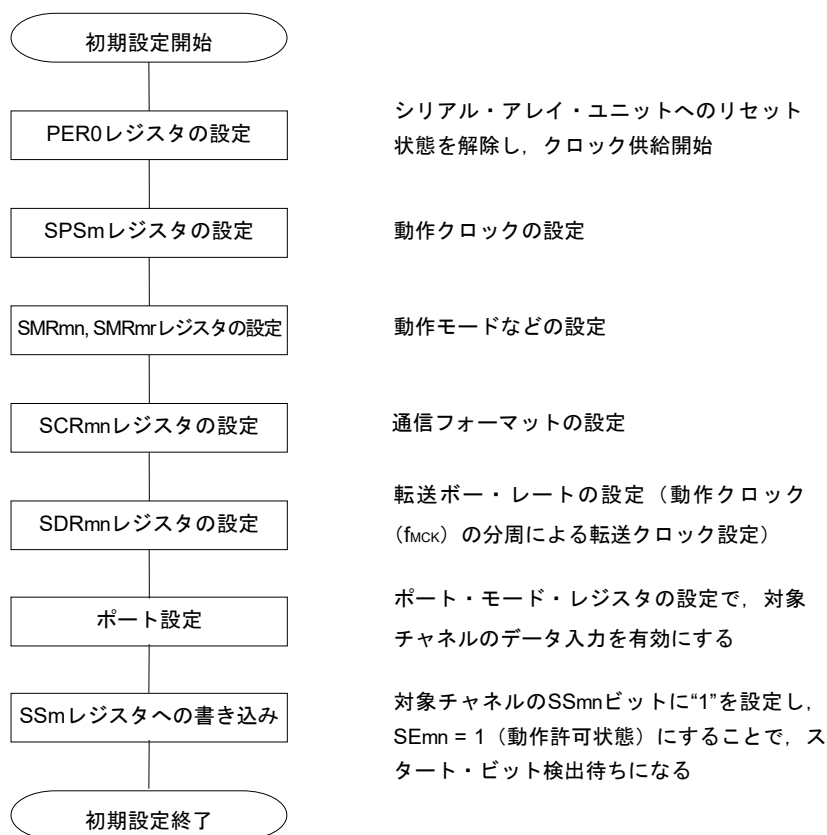
注 30ピン製品のシリアル・アレイ・ユニット0のみ

備考1. m : ユニット番号 (m = 0, 1)

2. ☐ : UART受信モードでは設定固定 ☐ : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-85 UART受信の初期設定手順



注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、f_{MCK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

図11-86 UART受信の中断手順

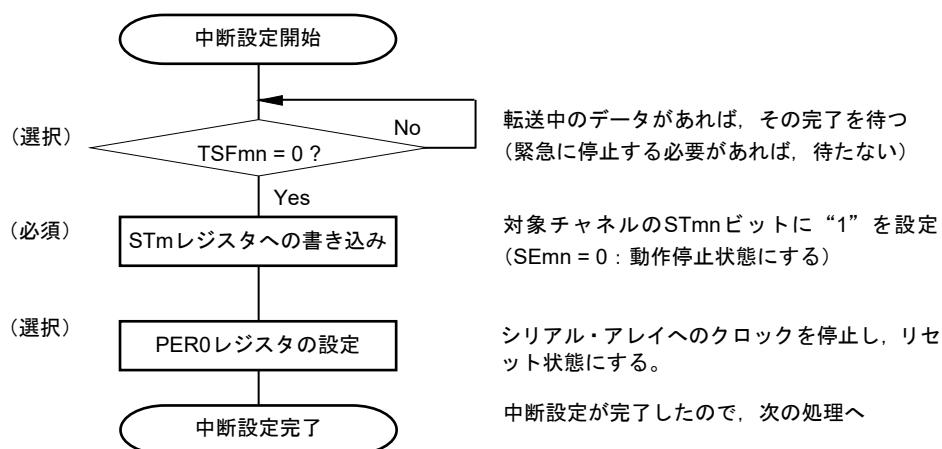
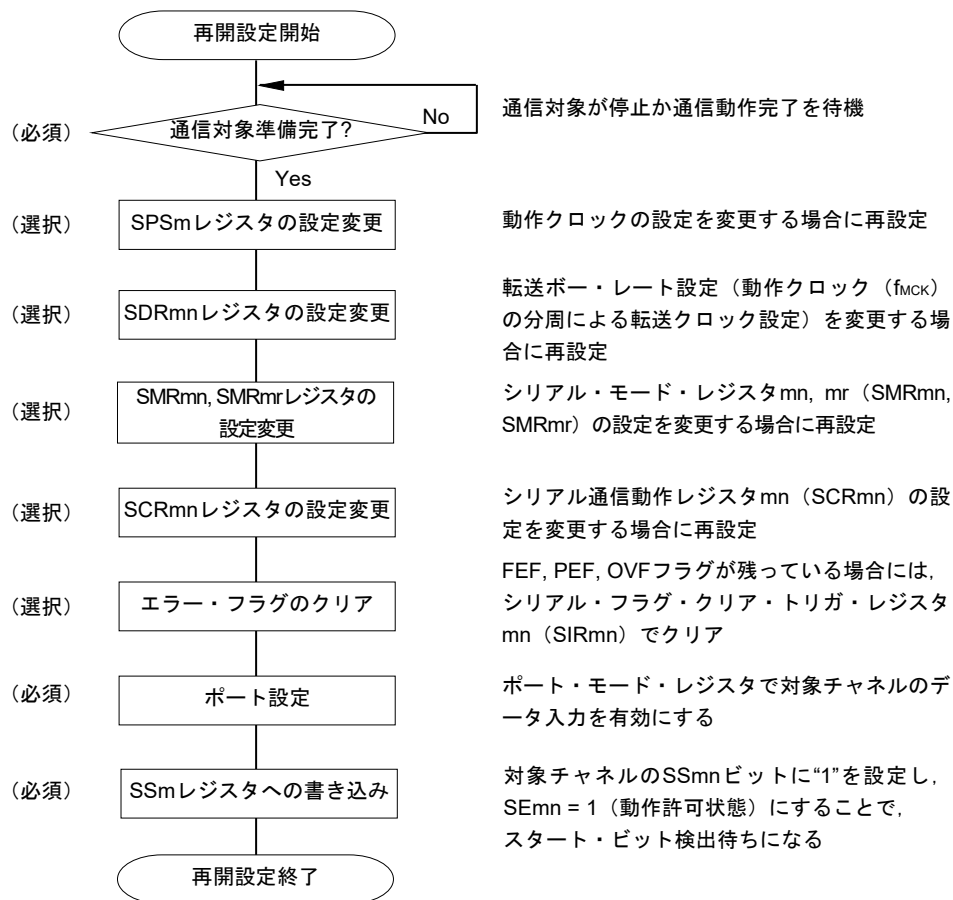


図11-87 UART受信の再開設定手順



注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、 f_{MCK} の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象の停止か通信動作完了を待つて、再開設定ではなく初期設定をしてください。

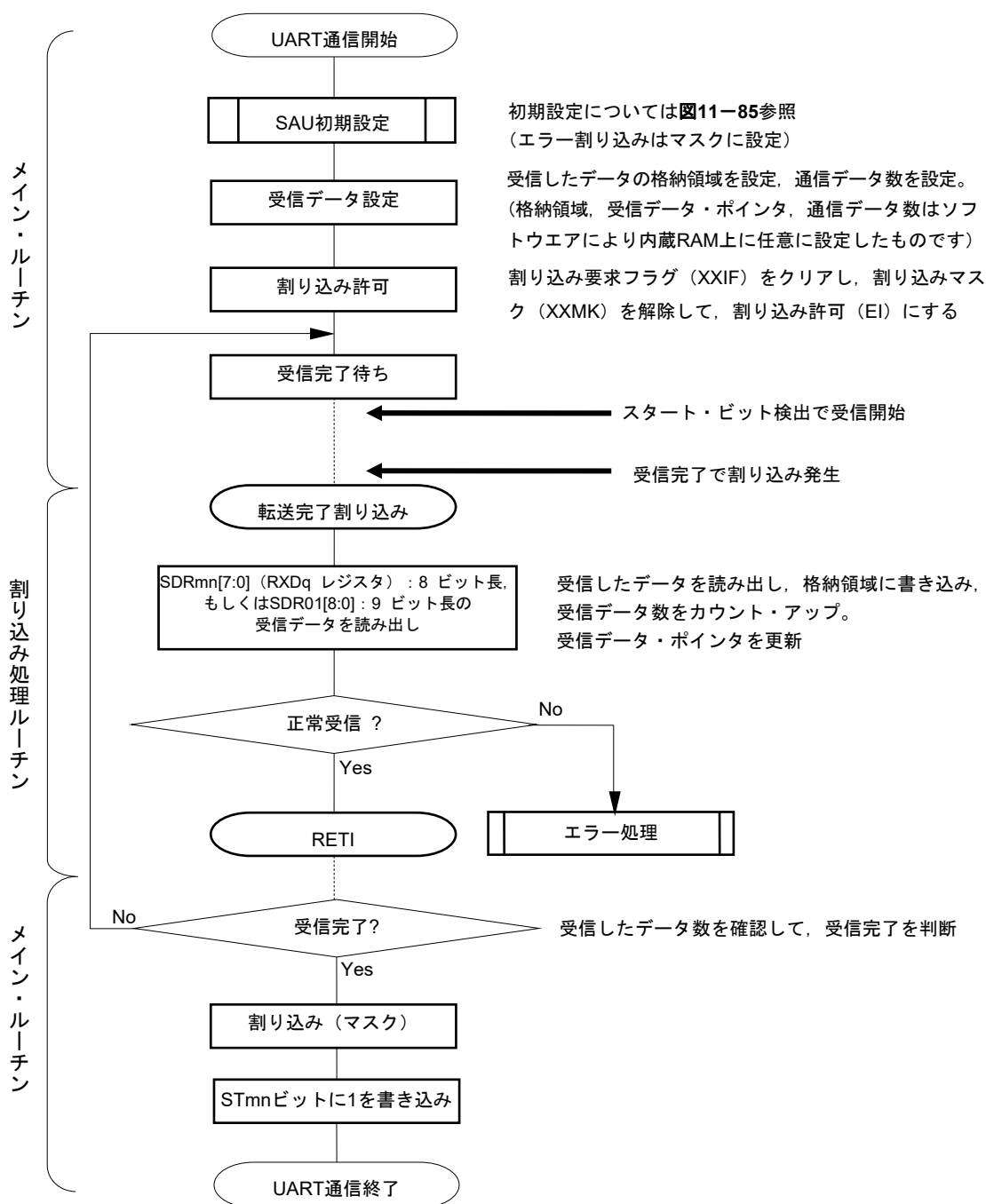
(3) 処理フロー

図11-88 UART受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3) mn = 01, 03, 11
r : チャネル番号 (r = n-1) q : UART番号 (q = 0-2)

図11-89 UART受信のフロー・チャート



11. 6. 3 SNOOZEモード機能

STOPモード時にRxD0端子入力の検出により、UARTの受信動作をさせるモードです。通常STOPモード時にUARTは停止していますが、SNOOZEモード機能を使用することで、CPUを動作させずにURAT受信を行なうことができます。SNOOZEモード機能は、UART0のみ設定可能です。

UART0をSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図11-92, 図11-94 SNOOZEモード動作時のフローチャートを参照)

- ・ SNOOZEモード時は、UART受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。表11-3を参照してSPS0レジスタ、SDR01レジスタ[15:9]を設定してください。
- ・ EOC01ビット、SSEC0ビットを設定します。通信エラーが発生した場合にエラー割り込み (INTSRE0) の発生許可/停止を設定することができます。
- ・ STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタ0 (SSC0) のSWC0ビットをセット (1) してください。初期設定完了後、シリアル・チャンネル開始レジスタ0 (SS0) のSS01ビットをセット (1) します。
- ・ STOPモードに移行後、RxD0 のスタート・ビット入力を検出すると、UART0は受信動作を開始します。

注意1. SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロック (f_{IH}) を選択している場合のみ使用できます。

2. SNOOZEモードでの転送レートは4800 bpsのみです。
3. SWC0=1の設定では、STOPモード中に受信開始した時のみUART0を使用できます。他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。
 - ・ SWC0=1に設定後、STOPモードに移行する前に受信開始した場合
 - ・ 他のSNOOZEモード中に受信開始した場合
 - ・ STOPモードから割り込みなどで通常動作に復帰後、SWC0=0に戻す前に受信開始した場合
4. SSEC0=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEF01, FEF01, OVVF01フラグはセットされず、エラー割り込み (INTSRE0) も発生しません。そのため、SSEC0= 1 で使用するときは、SWC0= 1 に設定する前にPEF01, FEF01, OVVF01フラグをクリアし、また、SDR01レジスタのビット7-0 (RxD0) を読み出してください。
5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。
また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

表11-3 SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・ オシレータ (f_{IH})	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック (f_{MCK})	SDRmn [15:9]	最大許容値	最小許容値
24MHz $\pm$ 1.0% ^注	$f_{CLK}/2^5$	79	1.60%	- 2.18%
16MHz $\pm$ 1.0% ^注	$f_{CLK}/2^4$	105	2.27%	- 1.53%
12MHz $\pm$ 1.0% ^注	$f_{CLK}/2^4$	79	1.60%	- 2.19%
8MHz $\pm$ 1.0% ^注	$f_{CLK}/2^3$	105	2.27%	- 1.53%
6MHz $\pm$ 1.0% ^注	$f_{CLK}/2^3$	79	1.60%	- 2.19%
4MHz $\pm$ 1.0% ^注	$f_{CLK}/2^2$	105	2.27%	- 1.53%
3MHz $\pm$ 1.0% ^注	$f_{CLK}/2^2$	79	1.60%	- 2.19%
2MHz $\pm$ 1.0% ^注	$f_{CLK}/2$	105	2.27%	- 1.54%
1MHz $\pm$ 1.0% ^注	f_{CLK}	105	2.27%	- 1.57%

注 高速オンチップ・オシレータ・クロック周波数精度が $\pm 1.5\%$ 、 $\pm 2.0\%$ の場合は、次のように許容範囲が狭くなります。

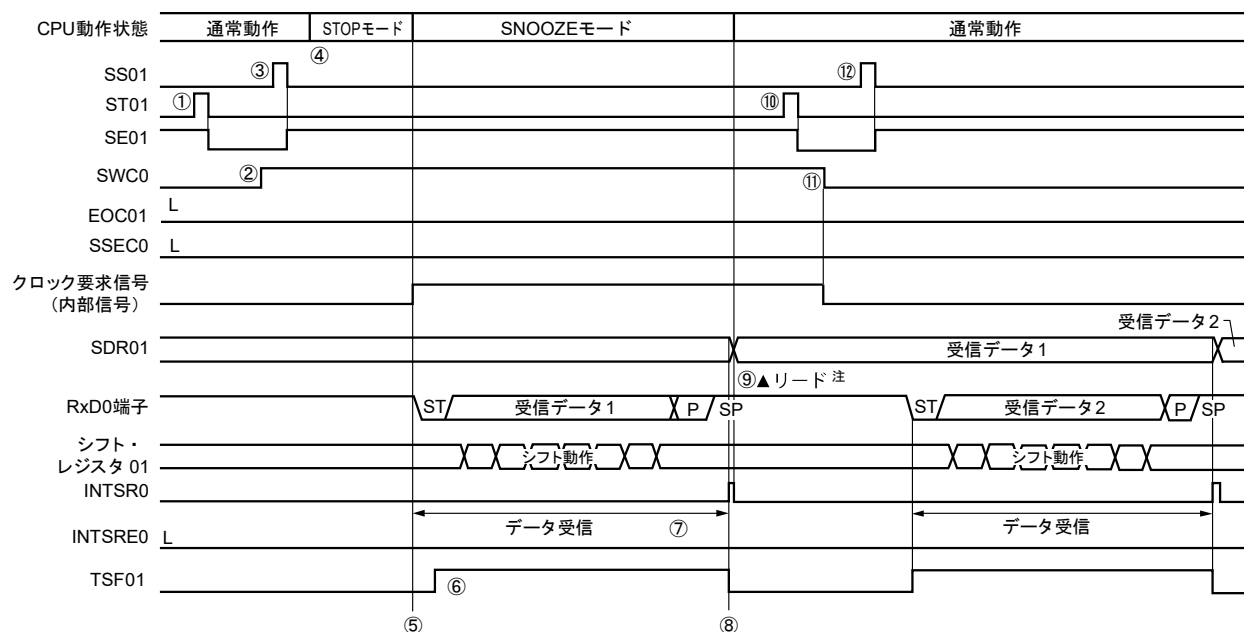
- ・ $f_{IH}\pm 1.5\%$ の場合は、上表の最大許容値に -0.5% 、最小許容値に $+0.5\%$ してください。
- ・ $f_{IH}\pm 2.0\%$ の場合は、上表の最大許容値に -1.0% 、最小許容値に $+1.0\%$ してください。

備考 最大許容値、最小許容値は、UART受信時のボー・レート許容値です。
この範囲に送信側のボー・レートが収まるように設定してください。

(1) SNOOZEモード動作 (EOC01 = 0, SSEC0 = 0/1)

EOC01 = 0のためSSEC0ビットの設定にかかわらず、通信エラーが発生してもエラー割り込み (INTSRE0) は発生しません。転送完了割り込み (INTSR0) は発生します。

図11-90 SNOOZEモード動作 (EOC01 = 0, SSEC0 = 0/1) 時のタイミング・チャート



注 SWC0 = 1の状態では、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、ST00ビットを1に設定してください (SE00ビットがクリアされ動作停止)。

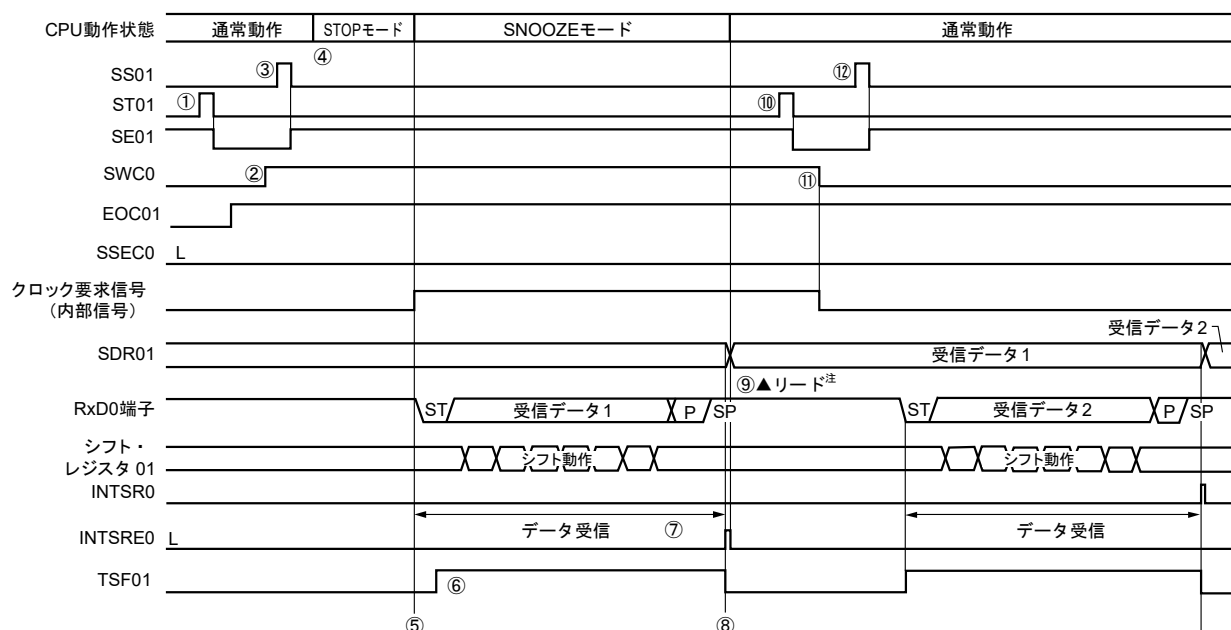
また、受信動作を完了したあとは、SWC0ビットもクリアしてください (SNOOZE解除)。

備考 図中の①~⑫は、図11-92 SNOOZEモード動作 (EOC01 = 0, SSEC0 = 0/1もしくはEOC01 = 1, SSEC0 = 0) 時のフロー・チャートの①~⑫に対応しています。

(2) SNOOZEモード動作 (EOC01 = 1, SSEC0 = 0 : エラー割り込み (INTSRE0) 発生許可)

EOC01 = 0, SSEC0 = 0のため, 通信エラーが発生した場合にエラー割り込み (INTSRE0) を発生します。

図11-91 SNOOZEモード動作 (EOC01 = 1, SSEC0 = 0) 時のタイミング・チャート



注 SWC0 = 1の状態では, 受信データの読み出しを行ってください。

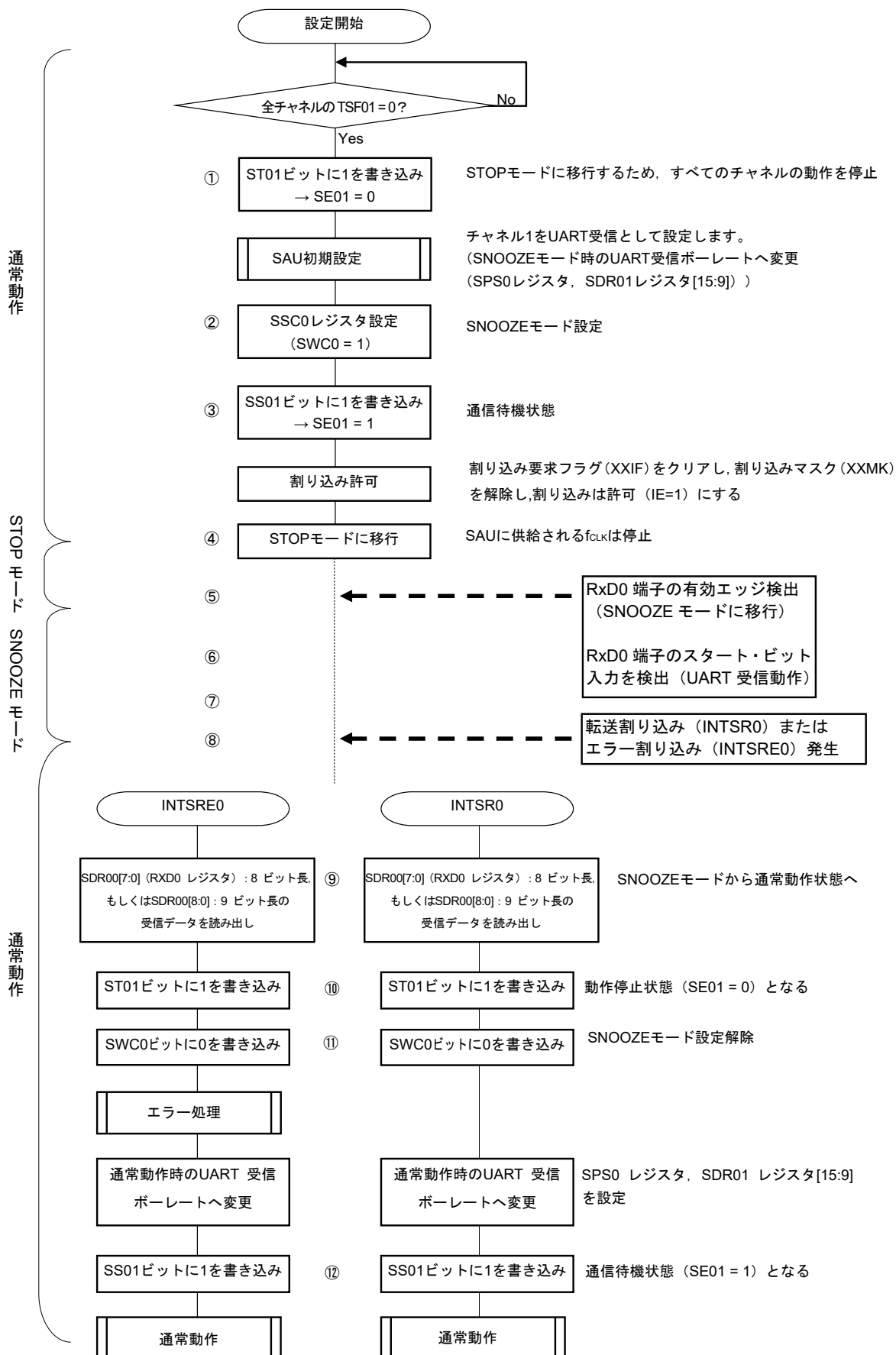
注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは, ST01ビットを1に設定してください (SE01ビットがクリアされ動作停止)。

また, 受信動作を完了したあとは, SWC0ビットもクリアしてください (SNOOZE解除)。

備考 図中の①~⑫は, 図11-92 SNOOZEモード動作 (EOC01 = 0, SSEC0 = 0/1もしくはEOC01 = 1, SSEC0 = 0) 時のフロー・チャートの①~⑫に対応しています。

図11-92 SNOOZEモード動作(EOC01 = 0, SSEC0 = 0/1もしくはEOC01 = 1, SSEC0 = 0)

時のフロー・チャート

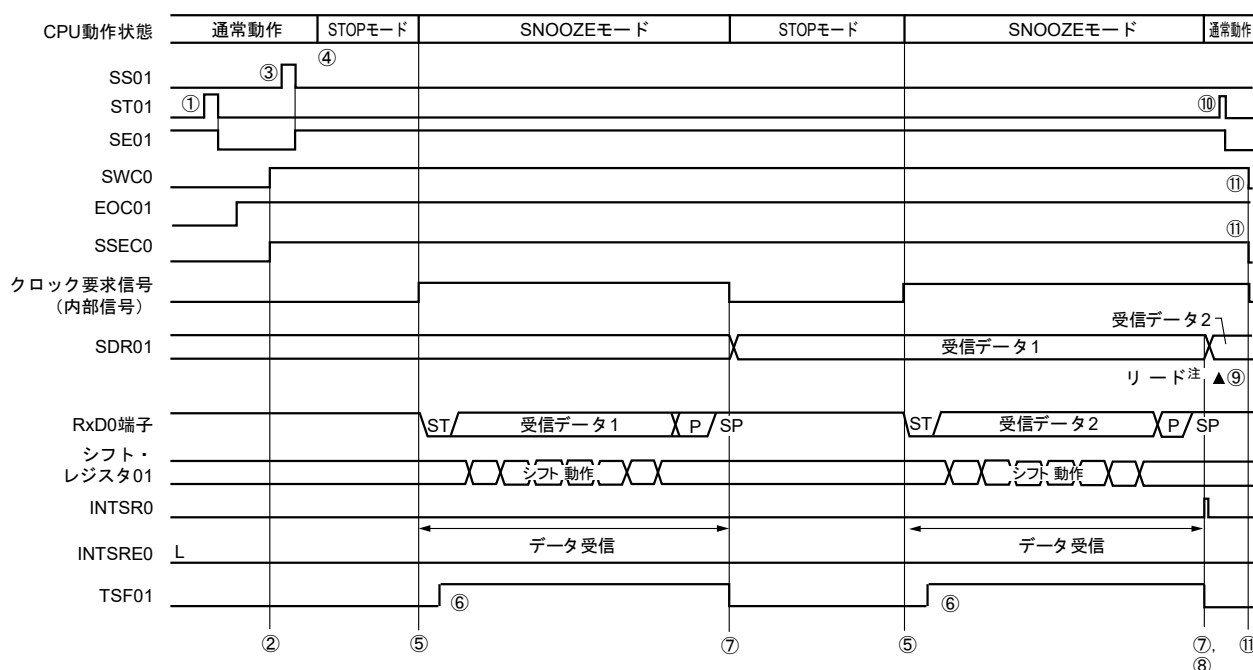


備考 図中の①～⑫は、図11-90 SNOOZEモード動作（EOC01 = 0, SSEC0 = 0/1）時のタイミング・チャート、図11-91 SNOOZEモード動作（EOC01 = 1, SSEC0 = 0）時のタイミング・チャートの①～⑫に対応しています。

(3) SNOOZEモード動作（EOC01 = 1, SSEC0 = 1 : エラー割り込み（INTSRE0）発生停止）

EOC01 = 1, SSEC0 = 1のため、通信エラーが発生した場合にエラー割り込み（INTSRE0）が発生しません。

**図11-93 SNOOZEモード動作（EOC01 = 1, SSEC0 = 1 : エラー割り込み（INTSRE0）発生停止）時の
タイミング・チャート**



注 SWC0 = 1の状態では、受信データの読み出しを行ってください。

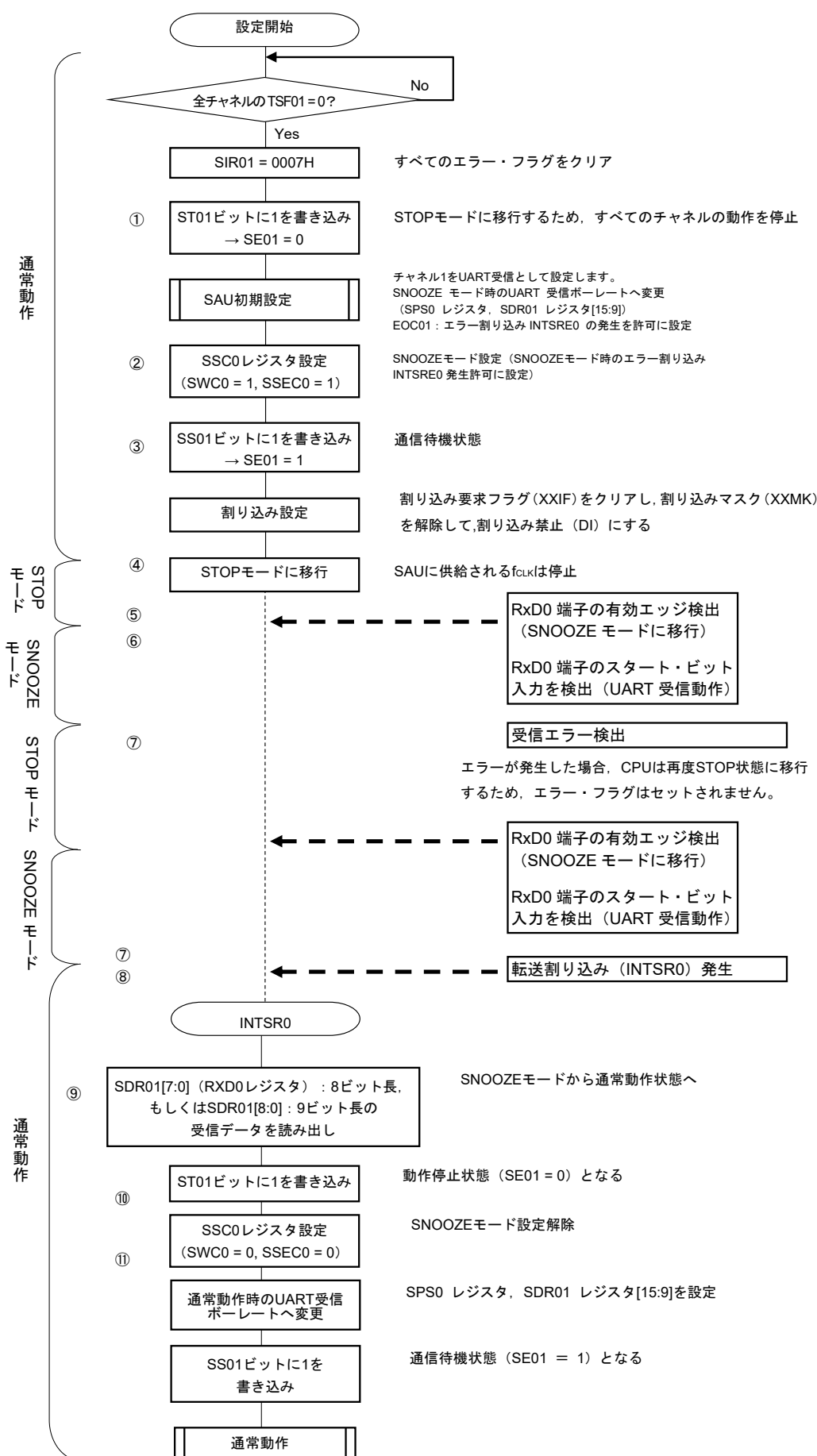
注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、ST01ビットを1に設定してください（SE01ビットがクリアされ動作停止）。

また、受信動作を完了したあとは、SWC0ビットもクリアしてください（SNOOZE解除）。

2. SSEC0 = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEF01, FEF01, OVFF01フラグはセットされず、エラー割り込み（INTSRE0）も発生しません。そのため、SSEC0 = 1で使用するときは、SWC0 = 1に設定する前にPEF01, FEF01, OVFF01フラグをクリアし、また、SDR01[7:0]（RXD0レジスタ）：8ビット長、もしくはSDR01[8:0]：9ビット長を読み出してください。

備考 図中の①～⑪は、図11-94 SNOOZEモード動作（EOC01 = 1, SSEC0 = 1）時のフロー・チャートの①～⑪に対応しています。

図11-94 SNOOZEモード動作 (EOC01 = 1, SSEC0 = 1) 時のフロー・チャート



注意 SSEC0 = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEF01, FEF01, OVF01フラグはセットされず、エラー割り込み (INTSRE0) も発生しません。そのため、SSEC0 = 1で使用するときは、SWC0 = 1に設定する前にPEF01, FEF01, OVF01フラグをクリアし、また、SDR01[7:0] (RXD0レジスタ) : 8ビット長、もしくはSDR01[8:0] : 9ビット長を読み出してください。

備考 図中の①~⑪は、図11-93 SNOOZEモード動作 (EOC01 = 1, SSEC0 = 1 : エラー割り込み (INTSRE0) 発生停止) 時のタイミング・チャートの①~⑪に対応しています。

11.6.4 ボー・レートの算出

(1) ボー・レート算出式

UART通信 (UART0-UART2) でのボー・レートは、下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{ \text{対象チャネルの動作クロック (f_{MCK}) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 [\text{bps}]$$

注意 シリアル・データ・レジスタmn (SDR mn) SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

備考1. UART使用時は、SDRmn[15:9]はSDRmnレジスタのビット15-9の値 (0000010B-1111111B) なので、2-127になります。

2. m: ユニット番号 (m = 0, 1) n: チャネル番号 (n = 0-3), mn = 00-03, 10, 11

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmnビット) で決まります。

表11-4 UART動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (f _{CLK}) 注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f _{CLK} = 20 MHz動作時
0	x	x	x	x	0	0	0	0	f _{CLK}	20 MHz
	x	x	x	x	0	0	0	1	f _{CLK} /2	10 MHz
	x	x	x	x	0	0	1	0	f _{CLK} /2 ²	5 MHz
	x	x	x	x	0	0	1	1	f _{CLK} /2 ³	2.5 MHz
	x	x	x	x	0	1	0	0	f _{CLK} /2 ⁴	1.25 MHz
	x	x	x	x	0	1	0	1	f _{CLK} /2 ⁵	625 kHz
	x	x	x	x	0	1	1	0	f _{CLK} /2 ⁶	312.5 kHz
	x	x	x	x	0	1	1	1	f _{CLK} /2 ⁷	156.2 kHz
	x	x	x	x	1	0	0	0	f _{CLK} /2 ⁸	78.1 kHz
	x	x	x	x	1	0	0	1	f _{CLK} /2 ⁹	39.1 kHz
	x	x	x	x	1	0	1	0	f _{CLK} /2 ¹⁰	19.5 kHz
	x	x	x	x	1	0	1	1	f _{CLK} /2 ¹¹	9.77 kHz
	x	x	x	x	1	1	0	0	f _{CLK} /2 ¹²	4.88 kHz
	x	x	x	x	1	1	0	1	f _{CLK} /2 ¹³	2.44 kHz
	x	x	x	x	1	1	1	0	f _{CLK} /2 ¹⁴	1.22 kHz
	x	x	x	x	1	1	1	1	f _{CLK} /2 ¹⁵	610 Hz
1	0	0	0	0	x	x	x	x	f _{CLK}	20 MHz
	0	0	0	1	x	x	x	x	f _{CLK} /2	10 MHz
	0	0	1	0	x	x	x	x	f _{CLK} /2 ²	5 MHz
	0	0	1	1	x	x	x	x	f _{CLK} /2 ³	2.5 MHz
	0	1	0	0	x	x	x	x	f _{CLK} /2 ⁴	1.25 MHz
	0	1	0	1	x	x	x	x	f _{CLK} /2 ⁵	625 kHz
	0	1	1	0	x	x	x	x	f _{CLK} /2 ⁶	312.5 kHz
	0	1	1	1	x	x	x	x	f _{CLK} /2 ⁷	156.2 kHz
	1	0	0	0	x	x	x	x	f _{CLK} /2 ⁸	78.1 kHz
	1	0	0	1	x	x	x	x	f _{CLK} /2 ⁹	39.1 kHz
	1	0	1	0	x	x	x	x	f _{CLK} /2 ¹⁰	19.5 kHz
	1	0	1	1	x	x	x	x	f _{CLK} /2 ¹¹	9.77 kHz
	1	1	0	0	x	x	x	x	f _{CLK} /2 ¹²	4.88 kHz
	1	1	0	1	x	x	x	x	f _{CLK} /2 ¹³	2.44 kHz
	1	1	1	0	x	x	x	x	f _{CLK} /2 ¹⁴	1.22 kHz
	1	1	1	1	x	x	x	x	f _{CLK} /2 ¹⁵	610 Hz

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm） = 000FH）させてから変更してください。

備考1. x : don't care

2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) , mn = 00-03, 10, 11

(2) 送信時のボー・レート誤差

UART通信 (UART0-UART2) での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

$f_{\text{CLK}} = 20 \text{ MHz}$ の場合のUARTボー・レート設定例を示します。

UARTボー・レート (目標ボー・レート)	$f_{\text{CLK}} = 20 \text{ MHz}$ 時			
	動作クロック (f_{MCK})	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{\text{CLK}}/2^9$	64	300.48 bps	+0.16%
600 bps	$f_{\text{CLK}}/2^8$	64	600.96 bps	+0.16%
1200 bps	$f_{\text{CLK}}/2^7$	64	1201.92 bps	+0.16%
2400 bps	$f_{\text{CLK}}/2^6$	64	2403.85 bps	+0.16%
4800 bps	$f_{\text{CLK}}/2^5$	64	4807.69 bps	+0.16%
9600 bps	$f_{\text{CLK}}/2^4$	64	9615.38 bps	+0.16%
19200 bps	$f_{\text{CLK}}/2^3$	64	19230.8 bps	+0.16%
31250 bps	$f_{\text{CLK}}/2^3$	39	31250.0 bps	±0.0%
38400 bps	$f_{\text{CLK}}/2^2$	64	38461.5 bps	+0.16%
76800 bps	$f_{\text{CLK}}/2$	64	76923.1 bps	+0.16%
153600 bps	f_{CLK}	64	153846 bps	+0.16%
312500 bps	f_{CLK}	31	312500 bps	±0.0%

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) , mn = 00, 02, 10

(3) 受信時のボー・レート許容範囲

UART通信 (UART0-UART2) での、受信時のボー・レート許容範囲は、下記の計算式にて算出できます。
受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$(\text{受信可能な最大ボー・レート}) = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$(\text{受信可能な最小ボー・レート}) = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ボー・レート値 (11.6.4 (1) ボー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 1, 3) , mn = 01, 03, 11

図11-95 受信時の許容ボー・レート範囲 (1データ・フレーム長 = 11ビットの場合)

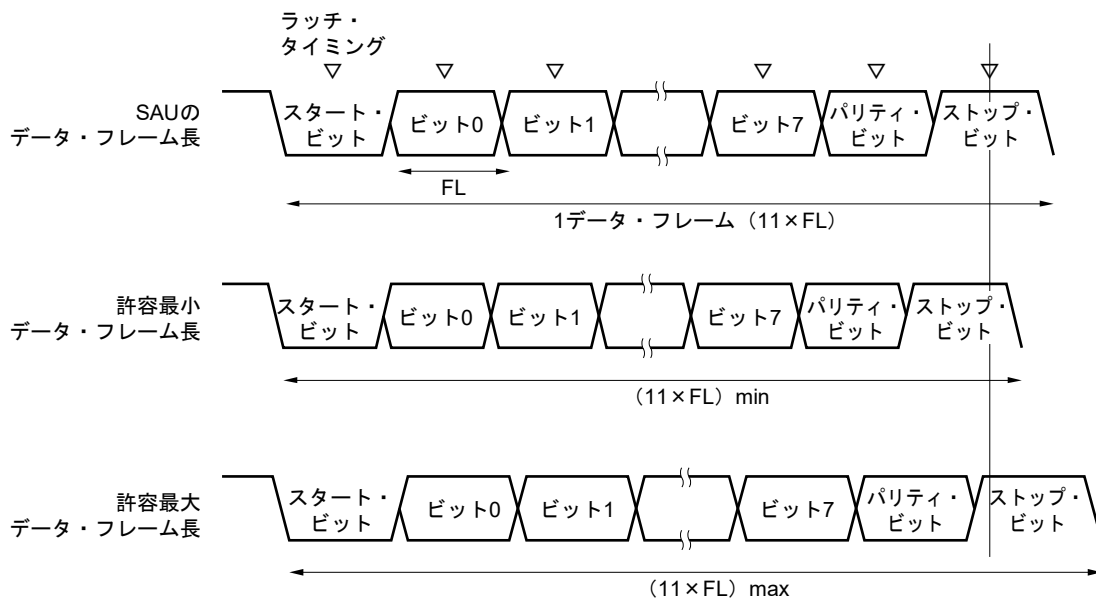


図11-95に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn) のビット15-9で設定した分周比により、受信データのラッチ・タイミグが決定されます。このラッチ・タイミグに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

11.6.5 UART (UART0-UART2) 通信時におけるエラー発生時の処理手順

UART (UART0-UART2) 通信時にエラーが発生した場合の処理手順を図11-96、図11-97に示します。

図11-96 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn) をリードする	SSRmn レジスタのBFFmnビットが“0”となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図11-97 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn) をリードする	SSRmn レジスタのBFFmnビットが“0”となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタm (STm) のSTmnビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタm (SEm) のSEmnビットが“0”となり、チャンネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタm (SSm) のSSmnビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタm (SEm) のSEmnビットが“1”となり、チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) , mn = 00-03, 10, 11

11.7 簡易I²C (IIC00, IIC01, IIC11, IIC20) 通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、I²Cバスのバス・ラインの特性を遵守して、ソフトウェアで制御レジスタを操作してください。

[データ送受信]

- ・マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK出力機能[※], ACK検出機能
- ・8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ・ソフトウェアによるスタート・コンディション、ストップ・コンディションの発生

[割り込み機能]

- ・転送完了割り込み

[エラー検出フラグ]

- ・オーバラン・エラー
- ・ACKエラー

※ [簡易I²Cでサポートしていない機能]

- ・スレーブ送信, スレーブ受信
- ・マルチ・マスタ機能 (アービトレーション負け検出機能)
- ・クロック・ストレッチ検出機能

注 最終データの受信時は、SOEmn (SOEmレジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、11.7.3 (2) 処理フローを参照してください。

備考 m: ユニット番号, n: チャネル番号 (m, n = 00, 01, 03, 10)

簡易I²C（IIC00, IIC01, IIC11, IIC20）に対応しているチャンネルは、SAU0のチャンネル0, 1, 3とSAU1のチャンネル0です。

20, 24ピン製品

ユニット	チャンネル	簡易SPI（CSI） として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00 ^注
	1	CSI01 ^注		IIC01 ^注

30ピン製品

ユニット	チャンネル	簡易SPI（CSI） として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00 ^注
	1	—		—
	2	—	UART1 ^注	—
	3	CSI11 ^注		IIC11 ^注
1	0	CSI20 ^注	UART2 ^注	IIC20 ^注
	1	—		—

注 R5F102製品のみ

簡易I²C（IIC00, IIC01, IIC11, IIC20）の通信動作は、以下の4種類があります。

- ・ アドレス・フィールド送信 (11. 7. 1項を参照)
- ・ データ送信 (11. 7. 2項を参照)
- ・ データ受信 (11. 7. 3項を参照)
- ・ ストップ・コンディション発生 (11. 7. 4項を参照)

11.7.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象（スレーブ）を特定するために、I²C通信で最初に行う送信動作です。スタート・コンディションが発生したあとに、アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

簡易I ² C	IIC00	IIC01	IIC11	IIC20
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0
使用端子	SCL00, SDA00 ^{注1}	SCL01, SDA01 ^{注1}	SCL11, SDA11 ^{注1}	SCL20, SDA20 ^{注1}
割り込み	INTIIC00	INTIIC01	INTIIC11	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）			
エラー検出フラグ	ACKエラー検出フラグ（PEFmn）			
転送データ長	8ビット（上位7ビットをアドレス、下位1ビットをR/W制御として送信）			
転送レート ^{注2}	Max.f _{MCK} /4 [Hz]（SDRmn[15:9] = 1以上） f _{MCK} ：対象チャネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）			
データ・レベル	非反転出力（デフォルト：ハイ・レベル）			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加（ACK送受信タイミング用）			
データ方向	MSBファースト			

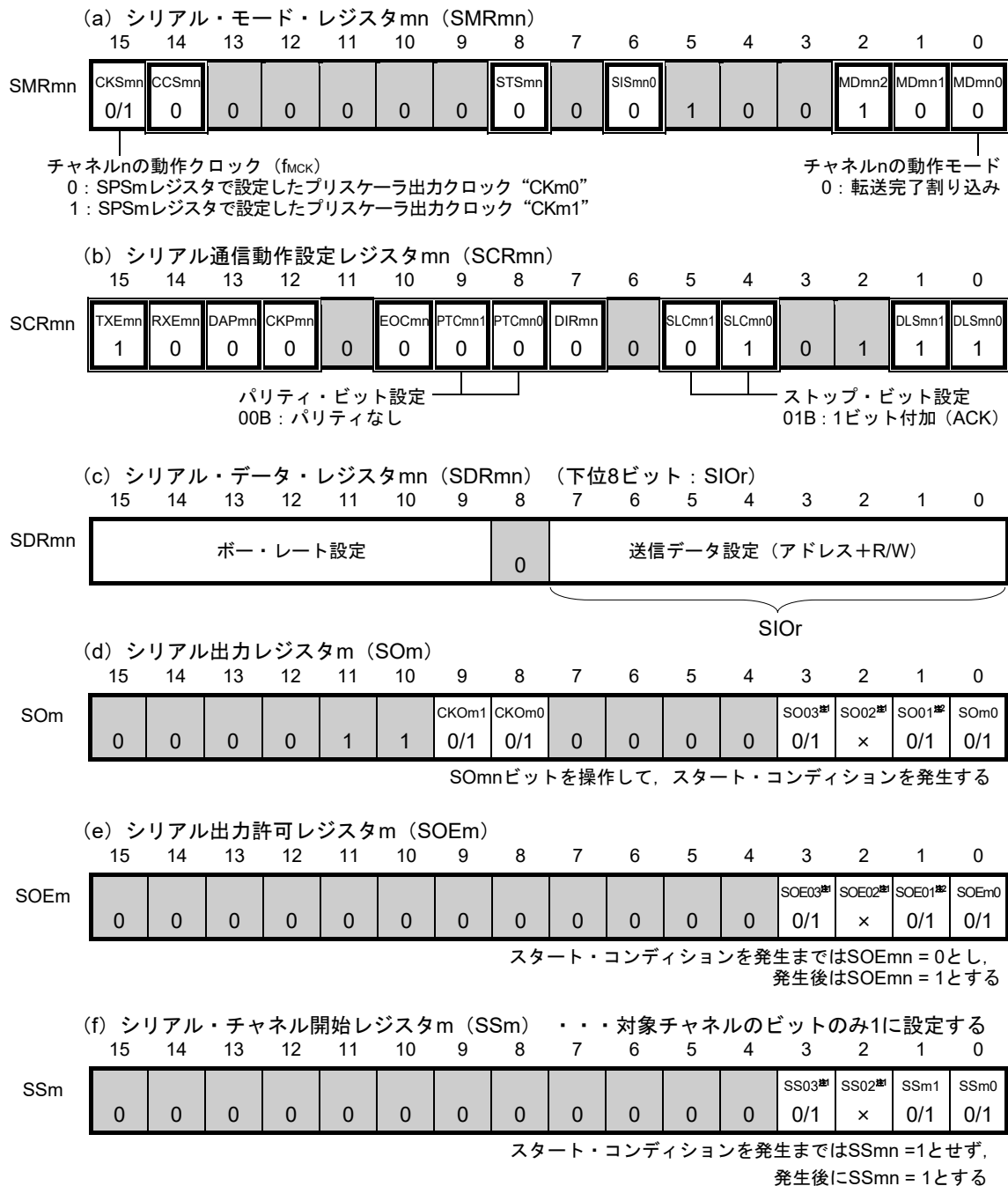
注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（20, 24ピン製品はPOM11, POM41 = 1, 30ピン製品はPOM11, POM14, POM50 = 1）してください（POMxx = 1）。詳細は**4.3 ポート機能を制御するレジスタ**、**4.5 兼用機能使用時のレジスタ設定**を参照してください。

IIC00, IIC20を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（20, 24ピン製品はPOM10 = 1, 30ピン製品はPOM10, POM15 = 1）してください（POMxx = 1）。詳細は、**4.4.4 入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応**を参照してください。

2. この条件を満たし、かつ電気的特性の周辺機能特性（**第28章**または**第29章 電気的特性参照**）を満たす範囲内で使用してください。

備考 m：ユニット番号，n：チャネル番号（m, n = 00, 01, 03, 10）

(1) レジスタ設定

図11-98 簡易I²C (IIC00, IIC01, IIC11, IIC20) のアドレス・フィールド送信時のレジスタ設定内容例

注1. 30ピン製品のシリアル・アレイ・ユニット0のみ

2. 20, 24ピン製品のみ

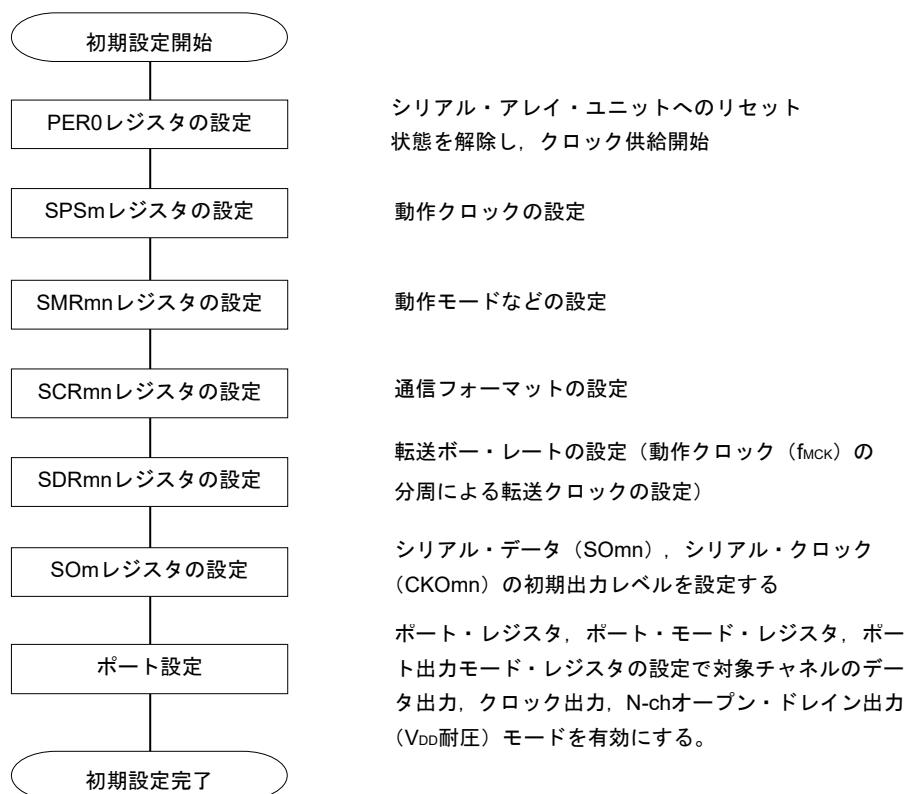
備考1. m: ユニット番号, n: チャンネル番号 (m, n = 00, 01, 03, 10), r: IIC番号 (r = 00, 01, 11, 20)

2. □: IICモードでは設定固定 ■: 設定不可 (初期値を設定)

×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

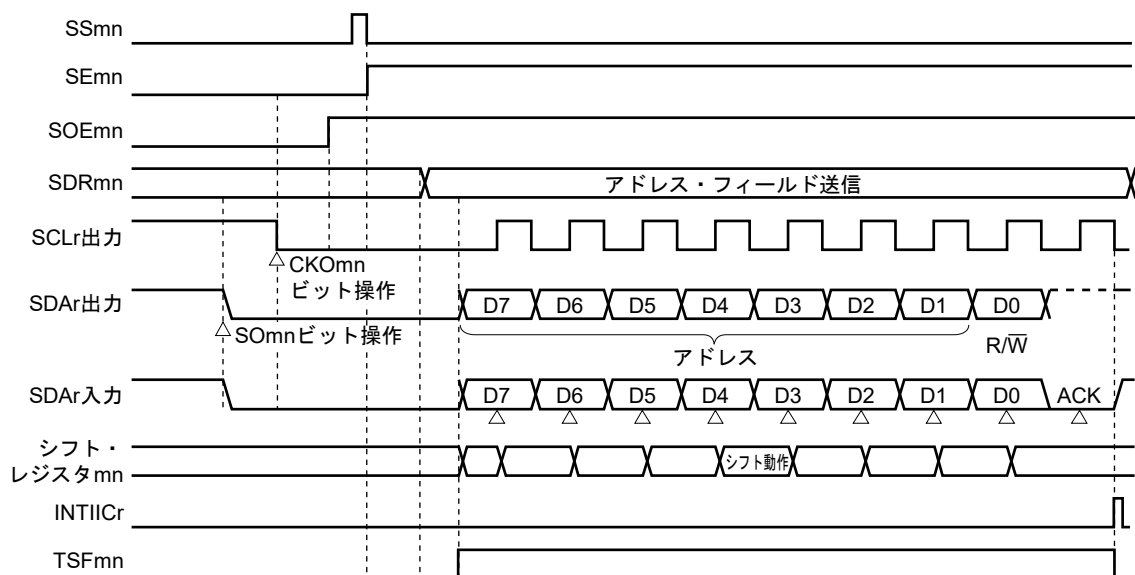
0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

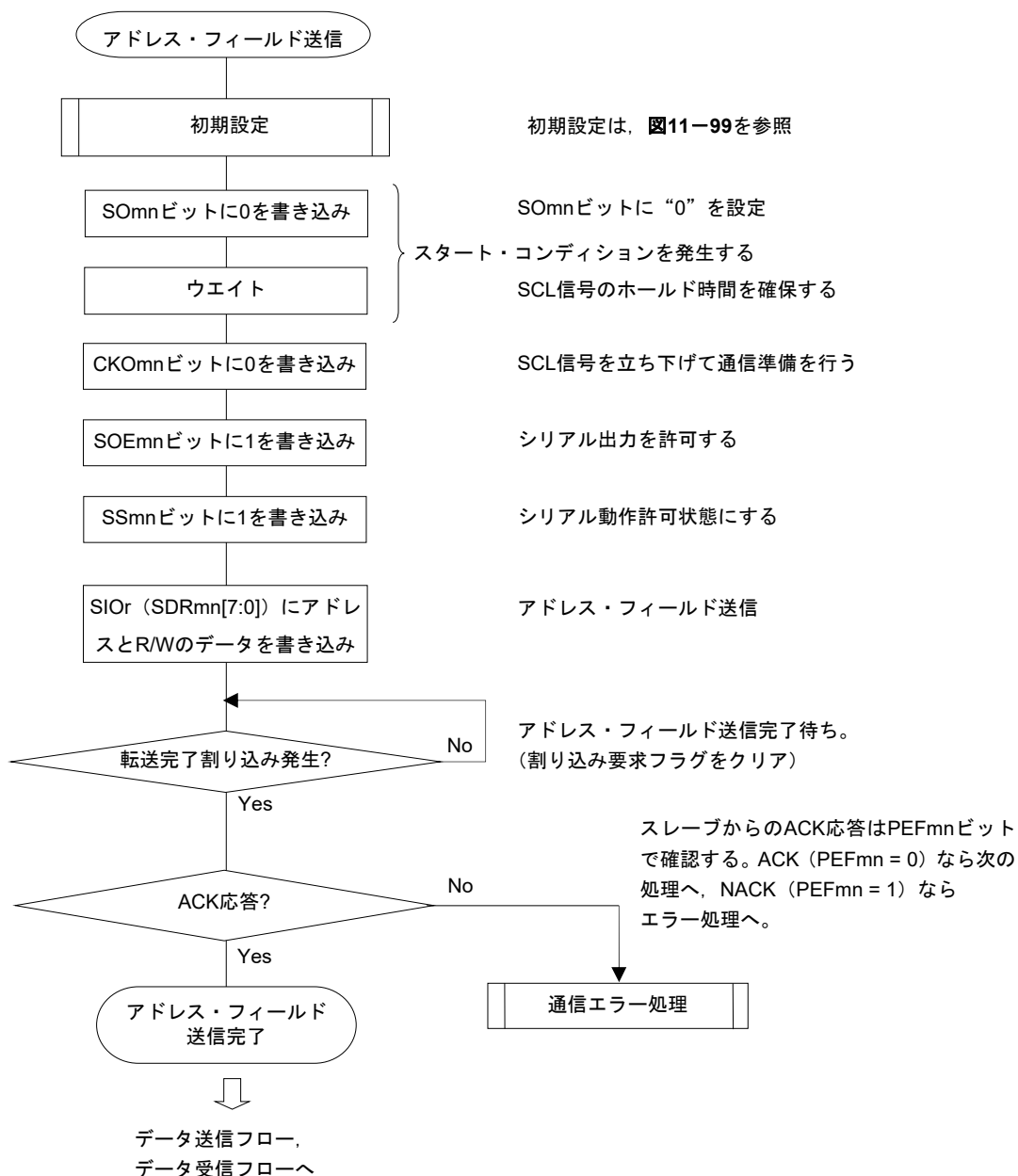
図11-99 簡易I²Cアドレス・フィールド送信の初期設定手順

(3) 処理フロー

図11-100 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号, n : チャネル番号 (m, n = 00, 01, 03, 10), r : IIC番号 (r = 00, 01, 11, 20)

図11-101 簡易I²Cアドレス・フィールド送信のフロー・チャート

11.7.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00	IIC01	IIC11	IIC20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル3	SAU1のチャンネル0
使用端子	SCL00, SDA00 ^{注1}	SCL01, SDA01 ^{注1}	SCL11, SDA11 ^{注1}	SCL20, SDA20 ^{注1}
割り込み	INTIIC00	INTIIC01	INTIIC11	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）			
エラー検出フラグ	ACKエラー検出フラグ（PEFmn）			
転送データ長	8ビット			
転送レート ^{注2}	Max.f _{MCK} /4 [Hz]（SDRmn[15:9] = 1以上） f _{MCK} ：対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）			
データ・レベル	非反転出力（デフォルト：ハイ・レベル）			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加（ACK受信タイミング用）			
データ方向	MSBファースト			

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（20, 24ピン製品はPOM11, POM41 = 1, 30ピン製品はPOM11, POM14, POM50 = 1）してください（POMxx = 1）。詳細は**4.3 ポート機能を制御するレジスタ**を参照してください。

IIC00, IIC20を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（20, 24ピン製品はPOM10 = 1, 30ピン製品はPOM10, POM15 = 1）してください（POMxx = 1）。詳細は、**4.4.4 入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応**を参照してください。

- この条件を満たし、かつ電気的特性の周辺機能特性（**第28章**または**第29章 電気的特性参照**）を満たす範囲内で使用してください。

備考 m：ユニット番号，n：チャンネル番号（m, n = 00, 01, 03, 10）

(1) レジスタ設定

図11-102 簡易I²C (IIC00, IIC01, IIC11, IIC20) のデータ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn (SMRmn) . . . データ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタmn (SCRmn) . . . TXEmn, RXEmnビット以外はデータ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLsmn1	DLsmn0
1	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1

(c) シリアル・データ・レジスタmn (SDRmn) . . . データ送受信中は下位8ビット (SIO_r) のみ有効

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ボー・レート設定 ^{※4}								0	送信データ設定						
SIO _r															

(d) シリアル出力レジスタm (SOm) . . . データ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						CKOm1	CKOm0					SOm3 ^{※1}	SOm2 ^{※1}	SOm1 ^{※2}	SOm0
0	0	0	0	1	1	0/1 ^{※2}	0/1 ^{※2}	0	0	0	0	0/1 ^{※3}	×	0/1 ^{※3}	0/1 ^{※3}

(e) シリアル出力許可レジスタm (SOEm) . . . データ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												SOEm3 ^{※1}	SOEm2 ^{※1}	SOEm1 ^{※2}	SOEm0
0	0	0	0	0	0	0	0	0	0	0	0	1	×	1	1

(f) シリアル・チャネル開始レジスタm (SSm) . . . データ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												SSm3 ^{※1}	SSm2 ^{※1}	SSm1 ^{※2}	SSm0
0	0	0	0	0	0	0	0	0	0	0	0	0/1	×	0/1	0/1

注1. 30ピン製品のシリアル・アレイ・ユニット0のみ

2. 20, 24ピン製品のみ

3. 通信動作中は通信データにより値が変わります。

4. アドレス・フィールド送信で設定済みなので、設定不要です。

備考1. m : ユニット番号, n : チャネル番号 (m, n = 00, 01, 03, 10), r : IIC番号 (r = 00, 01, 11, 20)

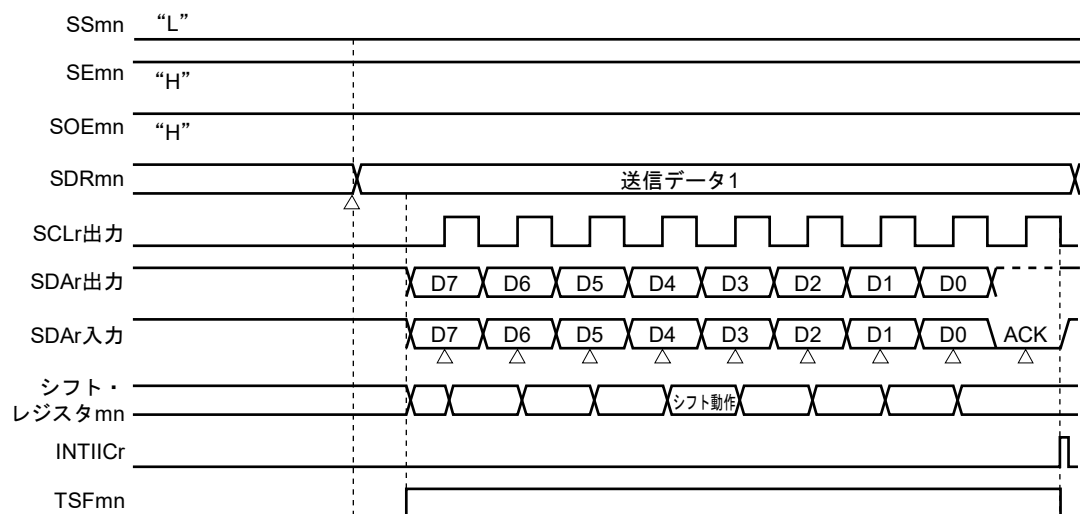
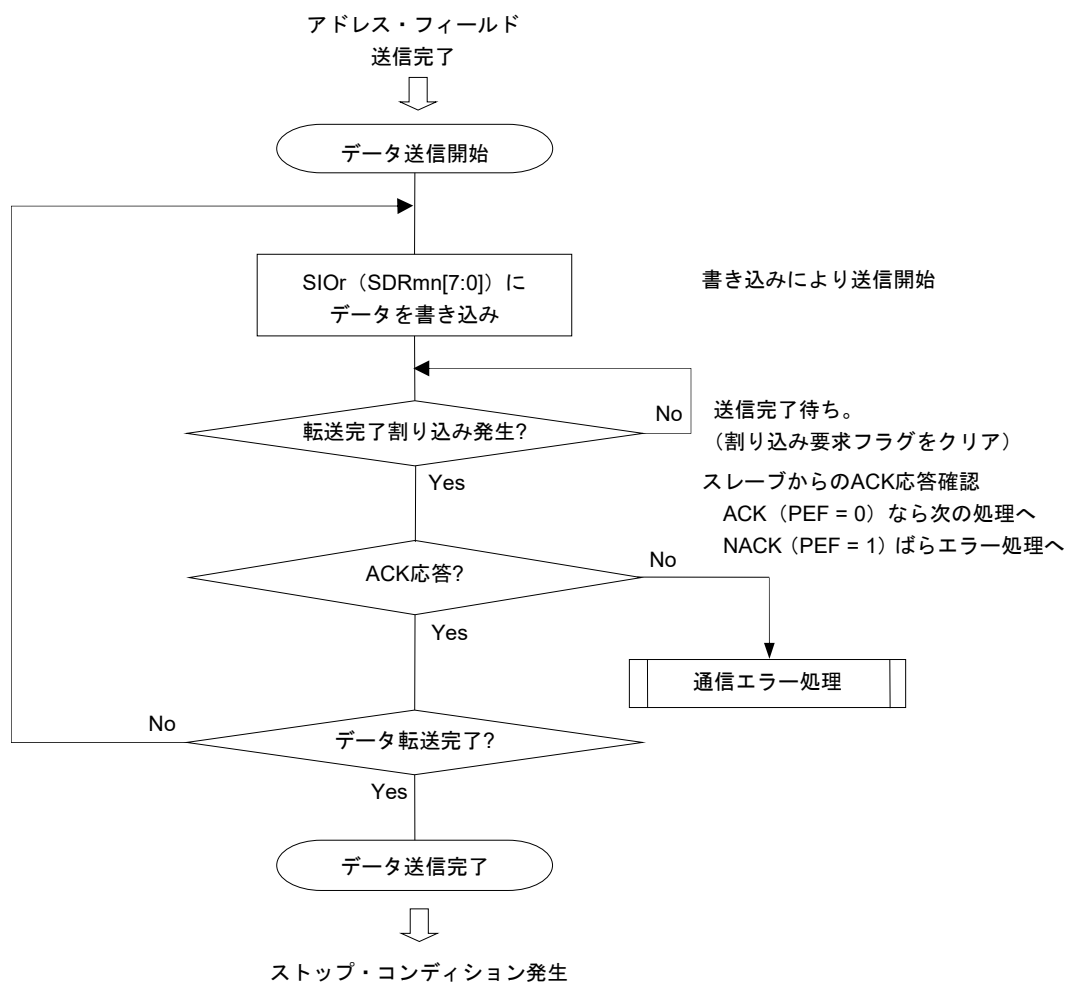
2. □ : IICモードでは設定固定 ■ : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 処理フロー

図11-103 データ送信のタイミング・チャート

図11-104 簡易I²Cデータ送信のフロー・チャート

11.7.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）からデータを受信する動作です。対象スレーブからすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00	IIC01	IIC11	IIC20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル3	SAU1のチャンネル0
使用端子	SCL00, SDA00 ^{注1}	SCL01, SDA01 ^{注1}	SCL11, SDA11 ^{注1}	SCL20, SDA20 ^{注1}
割り込み	INTIIC00	INTIIC01	INTIIC11	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）			
エラー検出フラグ	ACKエラー検出フラグ（OVFmn）			
転送データ長	8ビット			
転送レート ^{注2}	Max.f _{MCK} /4 [Hz]（SDRmn[15:9] = 1以上） f _{MCK} ：対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）			
データ・レベル	非反転出力（デフォルト：ハイ・レベル）			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加（ACK送信）			
データ方向	MSBファースト			

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（20, 24ピン製品はPOM11, POM41 = 1, 30ピン製品はPOM11, POM14, POM50 = 1）してください（POMxx = 1）。詳細は**4.3 ポート機能を制御するレジスタ**、**4.5 兼用機能使用時のレジスタ設定**を参照してください。

IIC00, IIC20を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（20, 24ピン製品はPOM10 = 1, 30ピン製品はPOM10, POM15 = 1）してください（POMxx = 1）。詳細は、**4.4.4 入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応**を参照してください。

- この条件を満たし、かつ電氣的特性の周辺機能特性（**第28章**または**第29章 電氣的特性参照**）を満たす範囲内で使用してください。

備考 m：ユニット番号，n：チャンネル番号（m, n = 00, 01, 03, 10）

(1) レジスタ設定

図11-105 簡易I²C (IIC00, IIC01, IIC11, IIC20) のデータ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn (SMRmn) . . . データ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタmn (SCRmn) . . . TXEmn, RXEmnビット以外はデータ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
0	1	0	0	0	0	0	0	0	0	0	1	0	1	1	1

(c) シリアル・データ・レジスタmn (SDRmn) (下位8ビット: SIO_r)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ボー・レート設定 ^{注4}								0	ダミー送信データ設定 (FFH)						

SIO_r

(d) シリアル出力レジスタm (SOm) . . . データ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						CKOm1	CKOm0					SOm3 ^{注1}	SOm2 ^{注1}	SOm1 ^{注2}	SOm0
0	0	0	0	1	1	0/1 ^{注2}	0/1 ^{注2}	0	0	0	0	0/1 ^{注3}	×	0/1 ^{注3}	0/1 ^{注3}

(e) シリアル出力許可レジスタm (SOEm) . . . データ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												SOEm3 ^{注1}	SOEm2 ^{注1}	SOEm1 ^{注2}	SOEm0
0	0	0	0	0	0	0	0	0	0	0	0	0/1	×	0/1	0/1

(f) シリアル・チャネル開始レジスタm (SSm) . . . データ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												SSm3 ^{注1}	SSm2 ^{注1}	SSm1	SSm0
0	0	0	0	0	0	0	0	0	0	0	0	0/1	×	0/1	0/1

注1. 30ピン製品のシリアル・アレイ・ユニット0のみ。

2. 20, 24ピン製品のみ

3. 通信動作中は通信データにより値が変わります。

4. アドレス・フィールド送信で設定済みなので、設定不要です。

備考1. m: ユニット番号, n: チャネル番号 (m, n = 00, 01, 03, 10), r: IIC番号 (r = 00, 01, 11, 20)

2. ☐: IICモードでは設定固定 ☐: 設定不可 (初期値を設定)

×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 処理フロー

図11-106 データ受信のタイミング・チャート

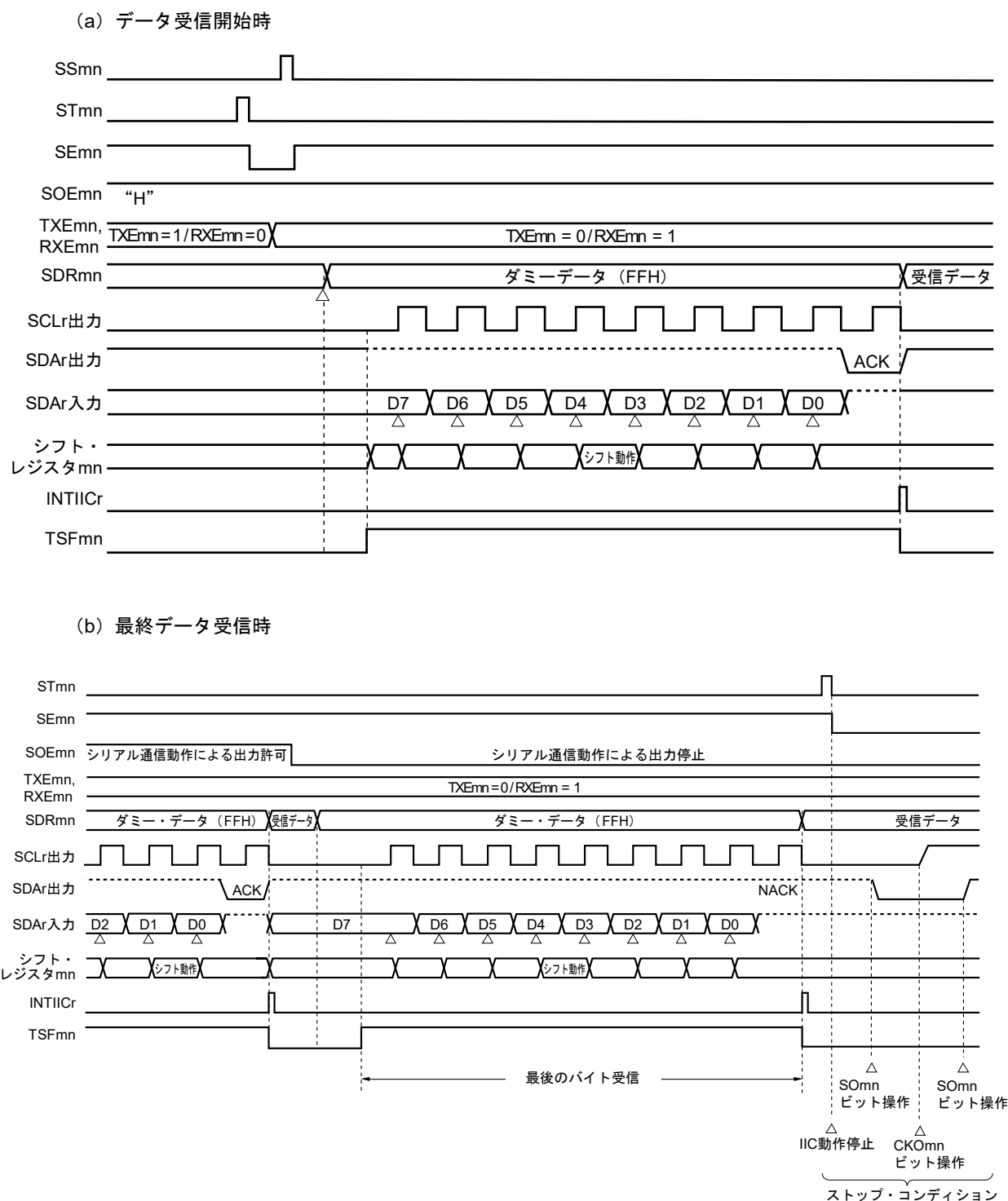
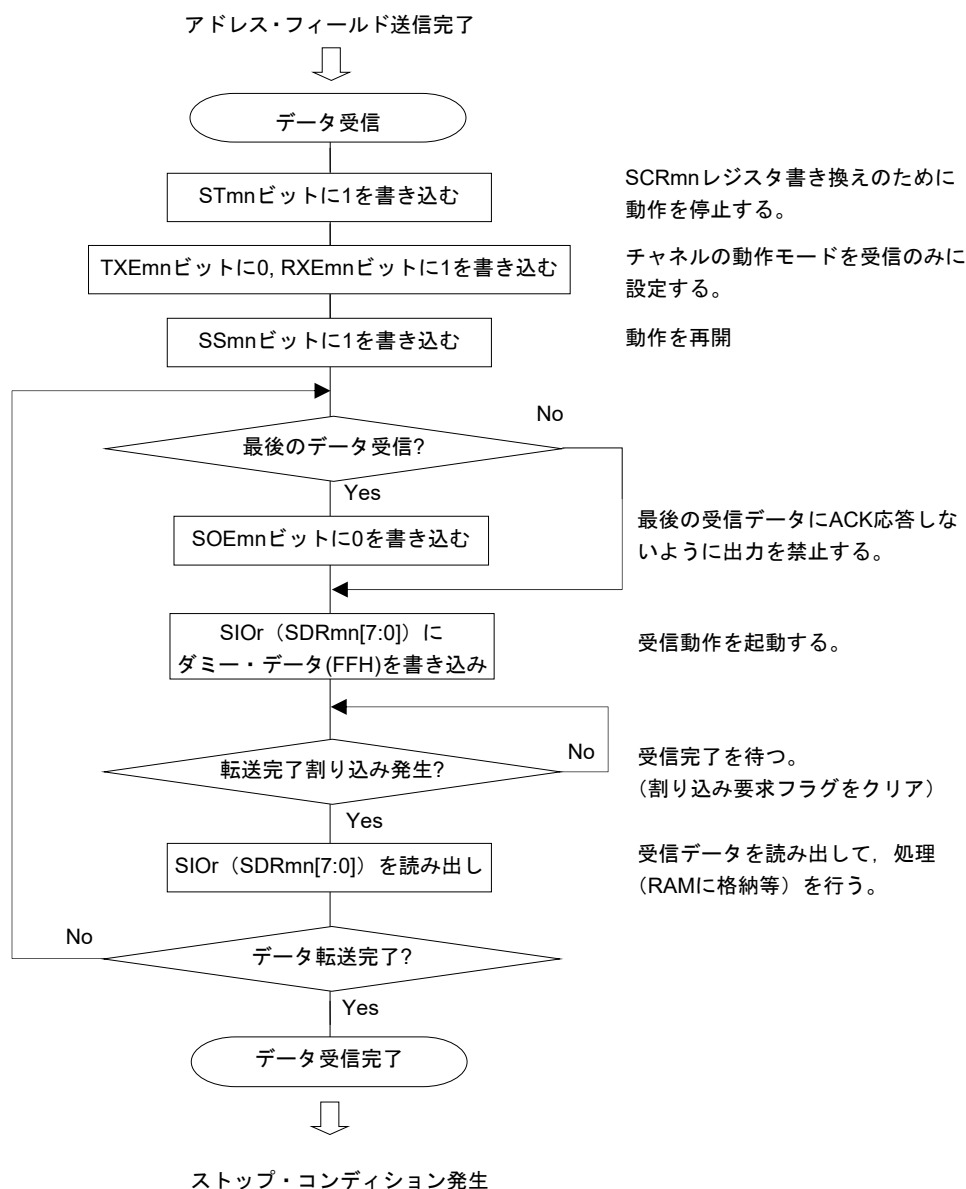


図11-107 簡易I²Cデータ受信のフロー・チャート

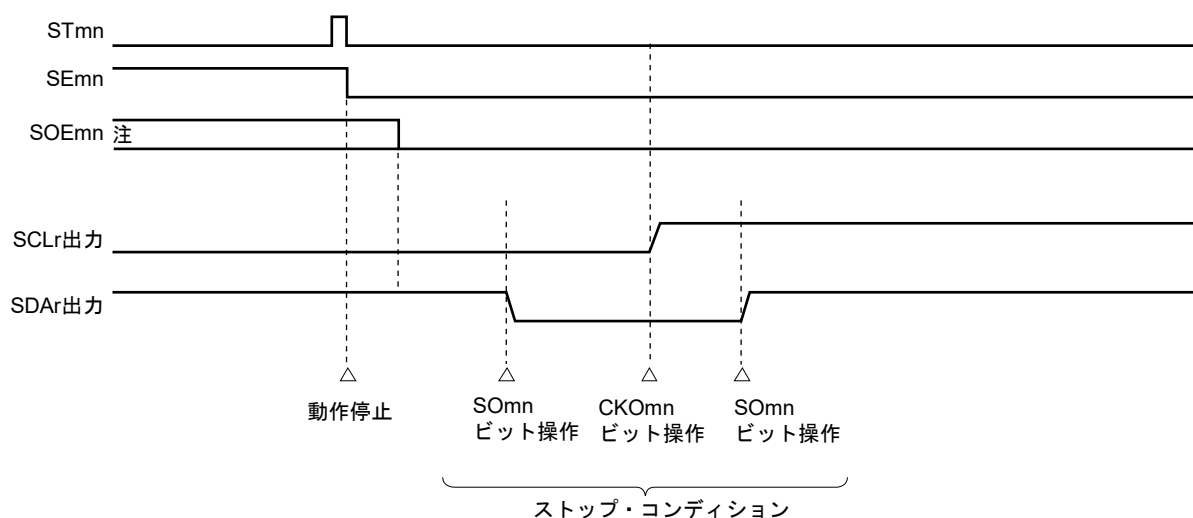
注意 最終データの受信時はACKを出力しません (NACK)。その後、シリアル・チャンネル停止レジスタm (STm) のSTmnビットに“1”を設定して動作停止としてから、ストップ・コンディションが発生することにより通信完了します。

11.7.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は、ストップ・コンディションを発生し、バスを開放します。

(1) 処理フロー

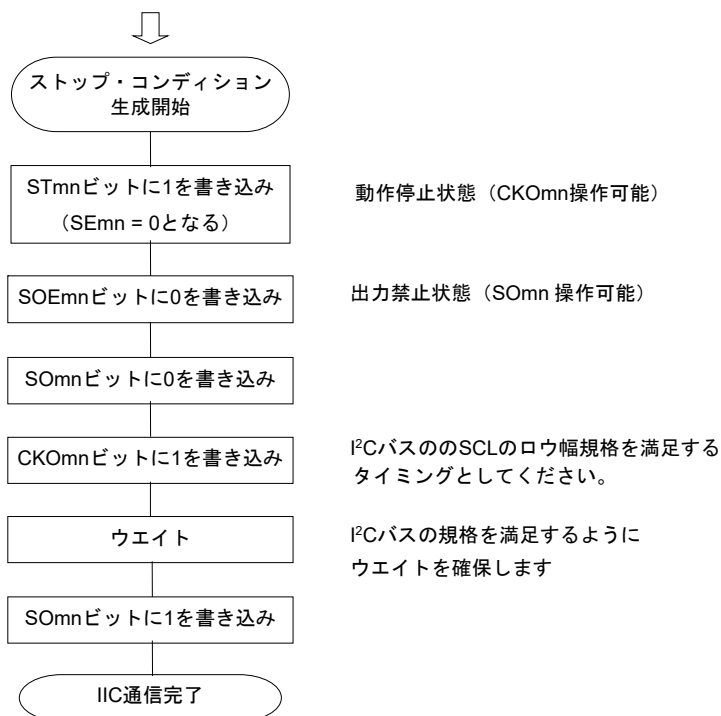
図11-108 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、シリアル出力許可レジスタm (SOEm) のSOEmnビットを“0”に設定しています。

図11-109 ストップ・コンディション発生のフロー・チャート

データ送信完了／データ受信完了



11.7.5 転送レートの算出

簡易I²C (IIC00, IIC01, IIC11, IIC20) 通信での転送レートは下記の計算式にて算出できます。

$$(\text{転送レート}) = \{ \text{対象チャネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意 SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
簡易I²C出力のSCL信号のデューティ比は50%です。I²Cバス規格では、SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの400kbpsに設定すると、SCL信号出力のロウ・レベル幅がI²Cバスの規格値より短くなります。SDRmn[15:9]には、この規格を満足できる値を設定してください。

備考 1. (SDRmn[15:9]) は、シリアル・データ・レジスタ mn (SDRmn) のビット 15-9 の値 (0000001B-1111111B) なので、1-127になります。

2. m : ユニット番号, n : チャネル番号 (m, n = 00, 01, 03, 10)

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のビット 15 (CKSmnビット) で決まります。

表11-5 簡易I²C動作クロックの選択

SMRmn レジスタ	SPS0レジスタ								動作クロック (f _{MCK}) 注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f _{CLK} = 20 MHz動作時
0	x	x	x	x	0	0	0	0	f _{CLK}	20 MHz
	x	x	x	x	0	0	0	1	f _{CLK} /2	10 MHz
	x	x	x	x	0	0	1	0	f _{CLK} /2 ²	5 MHz
	x	x	x	x	0	0	1	1	f _{CLK} /2 ³	2.5 MHz
	x	x	x	x	0	1	0	0	f _{CLK} /2 ⁴	1.25 MHz
	x	x	x	x	0	1	0	1	f _{CLK} /2 ⁵	625 kHz
	x	x	x	x	0	1	1	0	f _{CLK} /2 ⁶	312.5 kHz
	x	x	x	x	0	1	1	1	f _{CLK} /2 ⁷	156.2 kHz
	x	x	x	x	1	0	0	0	f _{CLK} /2 ⁸	78.1 kHz
	x	x	x	x	1	0	0	1	f _{CLK} /2 ⁹	39.1 kHz
	x	x	x	x	1	0	1	0	f _{CLK} /2 ¹⁰	19.5 kHz
	x	x	x	x	1	0	1	1	f _{CLK} /2 ¹¹	9.77 kHz
	x	x	x	x	1	1	0	0	f _{CLK} /2 ¹²	4.88 kHz
	x	x	x	x	1	1	0	1	f _{CLK} /2 ¹³	2.44 kHz
	x	x	x	x	1	1	1	0	f _{CLK} /2 ¹⁴	1.22 kHz
	x	x	x	x	1	1	1	1	f _{CLK} /2 ¹⁵	610 Hz
1	0	0	0	0	x	x	x	x	f _{CLK}	20 MHz
	0	0	0	1	x	x	x	x	f _{CLK} /2	10 MHz
	0	0	1	0	x	x	x	x	f _{CLK} /2 ²	5 MHz
	0	0	1	1	x	x	x	x	f _{CLK} /2 ³	2.5 MHz
	0	1	0	0	x	x	x	x	f _{CLK} /2 ⁴	1.25 MHz
	0	1	0	1	x	x	x	x	f _{CLK} /2 ⁵	625 kHz
	0	1	1	0	x	x	x	x	f _{CLK} /2 ⁶	312.5 kHz
	0	1	1	1	x	x	x	x	f _{CLK} /2 ⁷	156.2 kHz
	1	0	0	0	x	x	x	x	f _{CLK} /2 ⁸	78.1 kHz
	1	0	0	1	x	x	x	x	f _{CLK} /2 ⁹	39.1 kHz
	1	0	1	0	x	x	x	x	f _{CLK} /2 ¹⁰	19.5 kHz
	1	0	1	1	x	x	x	x	f _{CLK} /2 ¹¹	9.77 kHz
	1	1	0	0	x	x	x	x	f _{CLK} /2 ¹²	4.88 kHz
	1	1	0	1	x	x	x	x	f _{CLK} /2 ¹³	2.44 kHz
	1	1	1	0	x	x	x	x	f _{CLK} /2 ¹⁴	1.22 kHz
	1	1	1	1	x	x	x	x	f _{CLK} /2 ¹⁵	610 Hz

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm） = 000FH）させてから変更してください。

備考1. x : don't care

2. m : ユニット番号, n : チャネル番号 (m, n = 00, 01, 03, 10)

$f_{MCK} = f_{CLK} = 20 \text{ MHz}$ の場合のIIC転送レート設定例を示します。

IIC転送モード (希望転送レート)	$f_{CLK} = 20 \text{ MHz}$ 時			
	動作クロック (f_{MCK})	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	$f_{CLK}/2$	49	100 kHz	0.0%
400 kHz	f_{CLK}	25	384.6 kHz	3.8% ^注

注 SCL信号がデューティ比50%でないので、誤差を0%程度に設定することはできません。

11.7.6 簡易I²C (IIC00, IIC01, IIC11, IIC20) 通信時におけるエラー発生時の処理手順

簡易I²C (IIC00, IIC01, IIC11, IIC20) 通信時にエラーが発生した場合の処理手順を図11-110に示します。

図11-110 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn) をリードする	SSRmnレジスタのBFFmnビットが“0” となり、チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した 場合にオーバラン・エラーになるのを 防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類の判別を行い、リード値は エラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レ ジスタmn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値を そのままSIRmnレジスタに書き込む ことで、読み出し時のエラーのみを クリアできる

図11-111 簡易I²Cモード時のACKエラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類の判別を行い、リード値はエ ラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レ ジスタmn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのまま SIRmnレジスタに書き込むことで、読み出 し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm (STm) のSTmnビットに“1”を設定す る	シリアル・チャネル許可ステータス・レ ジスタm (SEm) のSEmnビットが“0” となり、チャネルnは動作停止状態になる	ACKが返信されていないので、スレーブの 受信準備ができていない。そのため、スト ップ・コンディションを作成してバスを開 放し、再度スタート・コンディションから 通信を開始する。もしくはリスタート・コ ンディションを生成し、アドレス送信から やり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャネル開始レジスタm (SSm) のSSmnビットに“1”を設定す る	シリアル・チャネル許可ステータス・レ ジスタm (SEm) のSEmnビットが“1” となり、チャネルnは動作許可状態になる	

備考 m : ユニット番号, n : チャネル番号 (m, n = 00, 01, 03, 10), r : IIC番号 (r = 00, 01, 11, 20)

第12章 シリアル・インタフェースIICA

12.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード（マルチマスタ対応）

シリアル・クロック（SCLA0）とシリアル・データ・バス（SDAA0）の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは、SCLA0端子とSDAA0端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号（INTIICA0）を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ01（IICCTL01）のWUP0ビットにより設定します。

図12-1に、シリアル・インタフェースIICAのブロック図を示します。

図12-1 シリアル・インタフェースIICAのブロック図

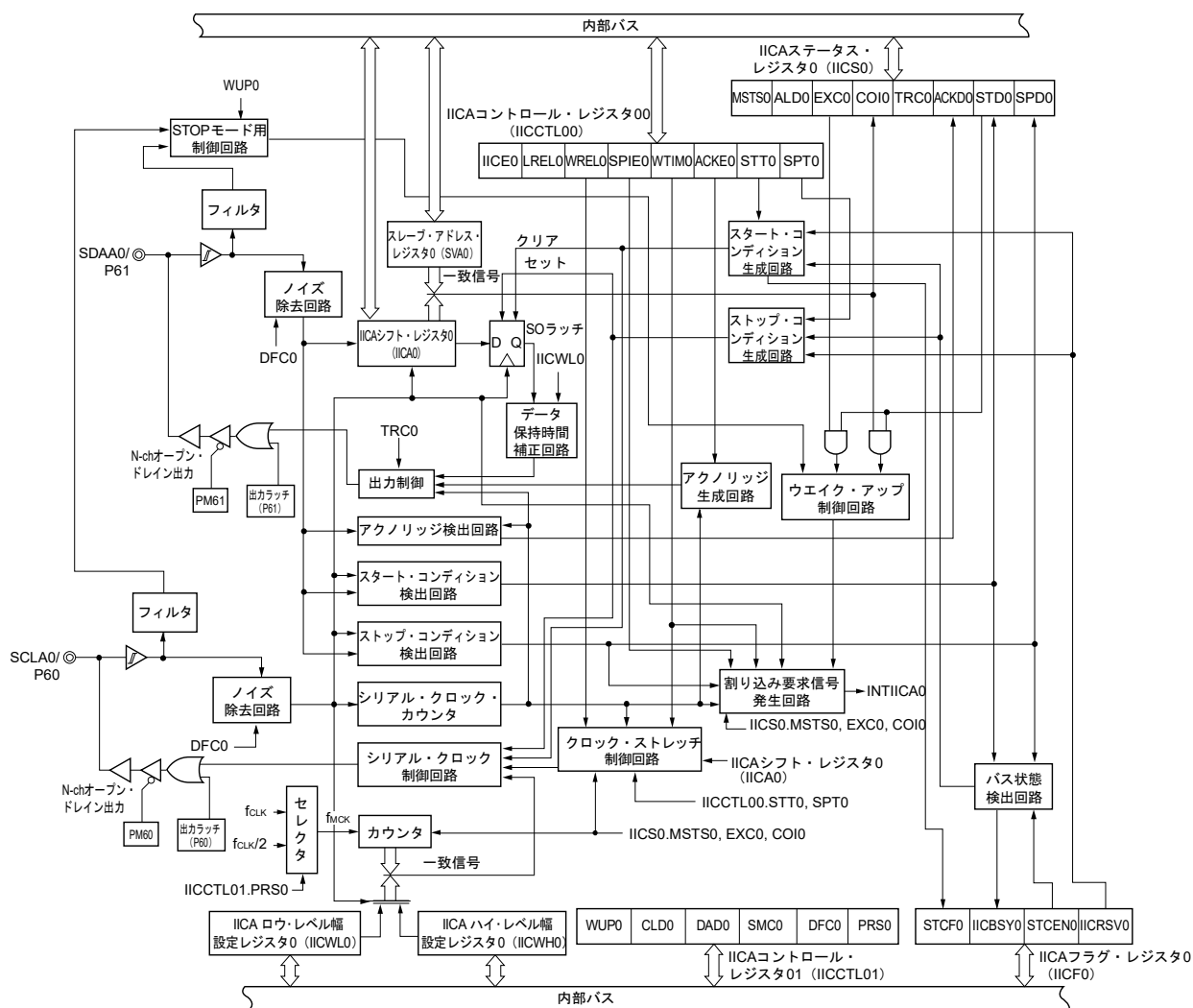
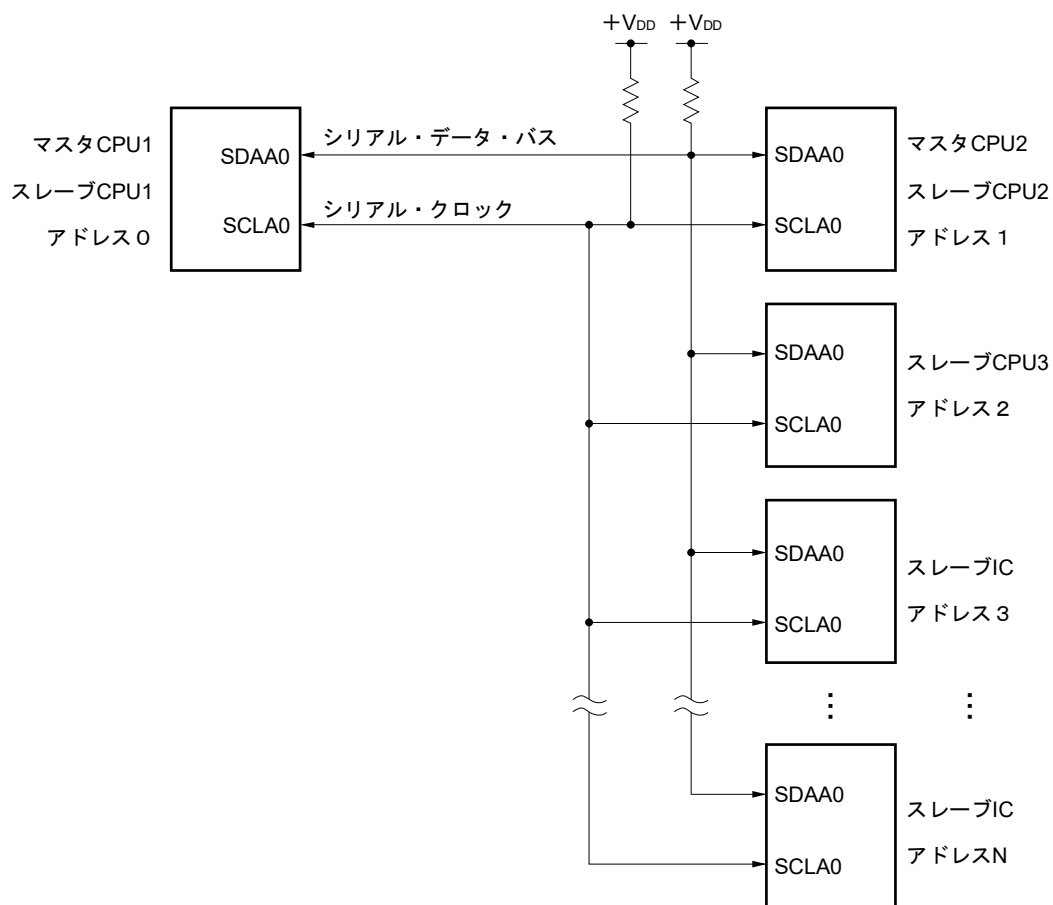


図12-2にシリアル・バス構成例を示します。

図12-2 I²Cバスによるシリアル・バス構成例



12.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表12-1 シリアル・インタフェースIICAの構成

項 目	構 成
レジスタ	IICAシフト・レジスタ0 (IICA0) スレーブ・アドレス・レジスタ0 (SVA0)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) IICAコントロール・レジスタ00 (IICCTL00) IICAステータス・レジスタ0 (IICS0) IICAフラグ・レジスタ0 (IICF0) IICAコントロール・レジスタ01 (IICCTL01) IICAロウ・レベル幅設定レジスタ0 (IICWL0) IICAハイ・レベル幅設定レジスタ0 (IICWH0) ポート・モード・レジスタ6 (PM6) ポート・レジスタ6 (P6)

(1) IICAシフト・レジスタ0 (IICA0)

IICA0レジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICA0レジスタは送信および受信の両方に使用されます。

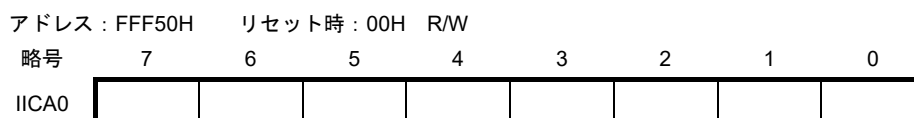
IICA0レジスタに対する書き込み／読み出しにより、実際の送受信動作が制御できます。

クロック・ストレッチ期間中のIICA0レジスタへの書き込みにより、クロック・ストレッチを解除し、データ転送を開始します。

IICA0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-3 IICAシフト・レジスタ0 (IICA0) のフォーマット



- 注意1.** データ転送中はIICA0レジスタにデータを書き込まないでください。
- IICA0レジスタには、クロック・ストレッチ期間中にだけ、書き込み／読み出しをしてください。クロック・ストレッチ期間中を除く通信状態でのIICA0レジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STT0) をセット (1) したあと、1回書き込みできます。
 - 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICA0レジスタにデータを書き込んでください。

(2) スレーブ・アドレス・レジスタ0 (SVA0)

スレーブとして使用する場合に、自局アドレスの7ビット {A6, A5, A4, A3, A2, A1, A0} を格納するレジスタです。

SVA0レジスタは、8ビット・メモリ操作命令で設定します。

ただし、STD0 = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図12-4 スレーブ・アドレス・レジスタ0 (SVA0) のフォーマット

アドレス : F0234H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
SVA0	A6	A5	A4	A3	A2	A1	A0	0 ^注

注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDAA0端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ0 (SVA0) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICA0) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICA0) の発生を制御します。

I²C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIM0ビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIE0ビットで設定)

備考 WTIM0ビット : IICAコントロール・レジスタ00 (IICCTL00) のビット3
SPIE0ビット : " のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に、SCLA0端子に出力するクロックをサンプリング・クロックから生成します。

(8) クロック・ストレッチ制御回路

クロック・ストレッチ・タイミングを制御します。

- (9) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路,
 アクノリッジ検出回路
 各状態の生成および検出を行います。

- (10) データ保持時間補正回路
 シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

- (11) スタート・コンディション生成回路
 STT0ビットがセット (1) されるとスタート・コンディションを生成します。
 ただし通信予約禁止状態 (IICRSV0ビット = 1) で、かつバスが開放されていない (IICBSY0ビット = 1)
 場合には、スタート・コンディション要求は無視し、STCF0ビットをセット (1) します。

- (12) ストップ・コンディション生成回路
 SPT0ビットがセット (1) されるとストップ・コンディションを生成します。

- (13) バス状態検出回路
 スタート・コンディションおよびストップ・コンディションの検出により、バスが開放されているか、
 開放されていないかを検出します。
 ただし動作直後はバス状態を検出できないため、STCEN0ビットにより、バス状態検出回路の初期状態
 を設定してください。

備考	STT0ビット	:	IICAコントロール・レジスタ00 (IICCTL00) のビット1
	SPT0ビット	:	" のビット0
	IICRSV0ビット	:	IICAフラグ・レジスタ0 (IICF0) のビット0
	IICBSY0ビット	:	" のビット6
	STCF0ビット	:	" のビット7
	STCEN0ビット	:	" のビット1

12.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは、次のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・IICAコントロール・レジスタ00 (IICCTL00)
- ・IICAフラグ・レジスタ0 (IICF0)
- ・IICAステータス・レジスタ0 (IICS0)
- ・IICAコントロール・レジスタ01 (IICCTL01)
- ・IICAロウ・レベル幅設定レジスタ0 (IICWL0)
- ・IICAハイ・レベル幅設定レジスタ0 (IICWH0)
- ・ポート・モード・レジスタ6 (PM6)
- ・ポート・レジスタ6 (P6)

12.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAを使用するときは、必ずビット4 (IICA0EN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN	0	ADCEN	IICA0EN	SAU1EN ^注	SAU0EN	0	TAU0EN

IICA0EN	シリアル・インタフェースIICAのクロック供給の制御
0	クロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	クロック供給許可 ・シリアル・インタフェースIICAで使用するSFRへのリード／ライト可

注 30ピン製品のみ

注意1. シリアル・インタフェースIICAの設定をする際には、必ず最初にIICAnEN = 1の状態では、下記のレジスタの設定を行ってください。IICA0EN = 0の場合は、シリアル・インタフェースIICAの制御レジスタは初期値となり、書き込みは無視されます（ポート・モード・レジスタ6 (PM6)、ポート・レジスタ6 (P6) は除く）。

- ・IICAコントロール・レジスタ00 (IICCTL00)
- ・IICAフラグ・レジスタ0 (IICF0)
- ・IICAステータス・レジスタ0 (IICS0)
- ・IICAコントロール・レジスタ01 (IICCTL01)
- ・IICAロウ・レベル幅設定レジスタ0 (IICWL0)
- ・IICAハイ・レベル幅設定レジスタ0 (IICWH0)

2. 次のビットには必ず“0”を設定してください。

20, 24ピン製品：ビット1, 3, 6

30ピン製品：ビット1, 6

12.3.2 IICAコントロール・レジスタ00 (IICCTL00)

I²Cの動作許可／停止、クロック・ストレッチ・タイミングの設定、その他I²Cの動作を設定するレジスタです。

IICCTL00レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、SPIE0, WTIM0, ACKE0ビットは、IICE0 = 0のとき、またはクロック・ストレッチ期間中に設定してください。またIICE0ビットを“0”から“1”に設定するときに、これらのビットを同時に設定できます。

リセット信号の発生により、00Hになります。

図12-6 IICAコントロール・レジスタ00 (IICCTL00) のフォーマット (1/4)

アドレス：F0230H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IICCTL00	IICE0	LREL0	WREL0	SPIE0	WTIM0	ACEK0	STT0	SPT0

IICE0	I ² Cの動作許可
0	動作停止。IICAステータス・レジスタ0 (IICCS0) をリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ずSCLA0, SDAA0ラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICE0 = 0)	
・ 命令によるクリア ・ リセット時	
セットされる条件 (IICE0 = 1)	
・ 命令によるセット	

LREL0 ^{注2,3}	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLA0, SDAA0ラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ00 (IICCTL00) , IICAステータス・レジスタ0 (IICCS0) のうち、次のフラグがクリア (0) される。 ・ STT0 ・ SPT0 ・ MST0 ・ EXC0 ・ COI0 ・ TRC0 ・ ACKD0 ・ STD0
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。	
・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LREL0 = 0)	
・ 実行後、自動的にクリア ・ リセット時	
セットされる条件 (LREL0 = 1)	
・ 命令によるセット	

注1. リセットされるのは、IICAステータス・レジスタ0 (IICA0) , IICAフラグ・レジスタ0 (IICF0) のSTCF0, IICBSY0ビット, IICAコントロール・レジスタ01 (IICCTL01) レジスタのCLD0, DAD0ビットです。

2. IICE0 = 0の状態では、このビットの信号は無効になります。

3. LREL0, WREL0ビットの読み出し値は常に0になります。

注意 SCLA0ラインがハイ・レベル、SDAA0ラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICCTL01レジスタのDFC0 = 1) のときにI²Cを動作許可 (IICE0 = 1) した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可 (IICE0 = 1) したあと、連続して1ビット・メモリ操作命令により、LREL0ビットをセット (1) してください。

図12-6 IICAコントロール・レジスタ00 (IICCTL00) のフォーマット (2/4)

WRELO ^{注1,2}	クロック・ストレッチ解除
0	クロック・ストレッチを解除しない。
1	クロック・ストレッチを解除する。クロック・ストレッチ解除後、自動的にクリアされる。
送信状態 (TRC0 = 1) で、9クロック目のクロック・ストレッチ期間中にWRELOビットをセット (クロック・ストレッチを解除) した場合、SDAA0ラインをハイ・インピーダンス (TRC0 = 0) にします。	
クリアされる条件 (WRELO = 0)	セットされる条件 (WRELO = 1)
・実行後、自動的にクリア ・リセット時	・命令によるセット

SPIE0 ^{注3}	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可
IICAコントロール・レジスタ01 (IICCTL01) のWUP0 = 1の場合には、SPIE0 = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件 (SPIE0 = 0)	セットされる条件 (SPIE0 = 1)
・命令によるクリア ・リセット時	・命令によるセット

WTIM0 ^{注3}	クロック・ストレッチおよび割り込み要求発生 of 制御
0	8クロック目の立ち下がり で割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチスレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ
1	9クロック目の立ち下がり で割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチスレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がり で割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がり にクロック・ストレッチが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がり でクロック・ストレッチに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がり でクロック・ストレッチに入ります。	
クリアされる条件 (WTIM0 = 0)	セットされる条件 (WTIM0 = 1)
・命令によるクリア ・リセット時	・命令によるセット

ACKE0 ^{注3,4}	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDAA0ラインをロウ・レベルにする。
クリアされる条件 (ACKE0 = 0)	セットされる条件 (ACKE0 = 1)
・命令によるクリア ・リセット時	・命令によるセット

注1. IICE0 = 0の状態では、このビットの信号は無効になります。

2. LRELO, WRELOビットの読み出し値は常に0になります。

3. IICE0 = 0の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。

4. アドレス転送中で、かつ拡張コードでない場合、設定値は無効です。

スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

図12-6 IICAコントロール・レジスタ00 (IICCTL00) のフォーマット (3/4)

STT0 ^{注1,2}	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	バスが開放されているとき（待機状態、IICBSY0が0のとき）： セット（1）すると、スタート・コンディションを生成する（マスタとしての起動）。 第三者が通信中のとき： ・通信予約機能許可の場合（IICRSV0 = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると、バスが開放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSV0 = 1） セット（1）してもSTT0ビットはクリアされ、STT0クリア・フラグ（STCF0）がセット（1）される。スタート・コンディションは生成しない。 クロック・ストレッチ状態（マスタ時）： クロック・ストレッチを解除してリスタート・コンディションを生成する。
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0 = 0に設定し、受信の最後であることをスレーブに伝えたとのクロック・ストレッチ期間中にだけセット（1）可能です。 ・マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中にセット（1）してください。 ・ストップ・コンディション・トリガ（SPT0）と同時セット（1）することは禁止です。 ・STT0ビットをセット（1）後、クリア条件になる前に再度セット（1）することは禁止です。	
クリアされる条件（STT0 = 0）	セットされる条件（STT0 = 1）
・通信予約禁止状態でのSTT0ビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・命令によるセット

注1. IICE0 = 0の状態では、このビットの信号は無効になります。

2. STT0ビットの読み出し値は、常に0になります。

備考 IICRSV0 : IICフラグ・レジスタ0 (IICF0) のビット0
 STCF0 : " のビット7

図12-6 IICAコントロール・レジスタ00 (IICCTL00) のフォーマット (4/4)

SPT0 ^注	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセット（1）は禁止です。 ACKE0 = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット（1）可能です。 ・マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。 ・スタート・コンディション・トリガ（STT0）と同時にセット（1）することは禁止です。 ・SPT0ビットのセット（1）は、マスタのときのみ行ってください。 ・WTIM0 = 0設定時に、8クロック出力後のクロック・ストレッチ期間中にSPT0ビットをセット（1）すると、クロック・ストレッチ解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。 8クロック出力後のクロック・ストレッチ期間中にWTIM0 = 0→1に設定し、9クロック目出力後のクロック・ストレッチ期間中にSPT0ビットをセット（1）してください。 ・SPT0ビットをセット（1）後、クリア条件になる前に、再度セット（1）することは禁止です。	
クリアされる条件（SPT0 = 0）	セットされる条件（SPT0 = 1）
・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・命令によるセット

注 STT0ビットの読み出し値は、常に0になります。

注意 IICAステータス・レジスタ0(IICSR0)のビット3(TRC0) = 1(送信状態)のとき、9クロック目にIICCTL00レジスタのビット5(WREL0)をセット（1）してクロック・ストレッチ解除すると、TRC0ビットをクリア（受信状態）してSDAA0ラインをハイ・インピーダンスにします。TRC0 = 1（送信状態）におけるクロック・ストレッチ解除は、IICAシフト・レジスタ0への書き込みで行ってください。

備考 ビット0（SPT0）は、データ設定後に読み出すと0になっています。

12.3.3 IICAステータス・レジスタ0 (IICS0)

I²Cのステータスを表すレジスタです。

IICS0レジスタは、STT0 = 1およびクロック・ストレッチ期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

注意 STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可 (WUP0 = 1) 状態でのIICS0レジスタの読み出しは禁止です。WUP0 = 1の状態から、INTIICA0割り込み要求と関係なくWUP0ビットを1→0 (ウエイク・アップ動作停止) に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可 (SPIE0 = 1) して割り込み検出後にIICS0レジスタを読み出してください。

備考 STT0 : IICAコントロール・レジスタ00 (IICCTL00) のビット1
WUP0 : IICAコントロール・レジスタ01 (IICCTL01) のビット7

図12-7 IICAステータス・レジスタ0 (IICS0) のフォーマット (1/3)

アドレス：FFF51H		リセット時：00H R						
略号	7	6	5	4	3	2	1	0
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタ状態確認フラグ
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件 (MSTS0 = 0)	
・ストップ・コンディション検出時 ・ALD0 = 1 (アービトレーション負け) のとき ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1→0 (動作停止) のとき ・リセット時	
セットされる条件 (MSTS0 = 1)	
・スタート・コンディション生成時	

ALD0	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTS0ビットがクリアされる。
クリアされる条件 (ALD0 = 0)	
・IICS0レジスタ読み出し後、自動的にクリア^注 ・IICE0 = 1→0 (動作停止) のとき ・リセット時	
セットされる条件 (ALD0 = 1)	
・アービトレーションに負けたとき	

注 IICS0レジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALD0ビット使用時は、ほかのビットよりも先にデータをリードしてください。

備考 LREL0 : IICAコントロール・レジスタ00 (IICCTL00) のビット6
IICE0 : " のビット7

図12-7 IICAステータス・レジスタ0 (IICS0) のフォーマット (2/3)

EXC0	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXC0 = 0)		セットされる条件 (EXC0 = 1)
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1→0 (動作停止) のとき ・リセット時		・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき (8クロック目の立ち上がりでセット)

COI0	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COI0 = 0)		セットされる条件 (COI0 = 1)
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1→0 (動作停止) のとき ・リセット時		・受信アドレスが自局アドレス (スレーブ・アドレス・レジスタ0 (SVA0)) と一致したとき (8クロック目の立ち上がりでセット)

TRC0	送信／受信状態検出	
0	受信状態 (送信状態以外)。SDAA0ラインをハイ・インピーダンスにする。	
1	送信状態。SDAA0ラインにSO0ラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRC0 = 0)		セットされる条件 (TRC0 = 1)
<マスタ、スレーブ共通> ・ストップ・コンディション検出時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1→0 (動作停止) のとき ・WREL0 = 1 (クロック・ストレッチ解除) によるクリア^注 ・ALD0 = 0→1 (アービトラージ負け) のとき ・リセット時 ・通信不参加の場合 (MSTS0, EXC0, COI0 = 0) <マスタの場合> ・1バイト目のLSB (転送方向指定ビット) に“1”を出力したとき <スレーブの場合> ・スタート・コンディション検出時 ・1バイト目のLSB (転送方向指定ビット) に“0”を入力したとき		<マスタの場合> ・スタート・コンディション生成時 ・1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に“0” (マスタ送信) を出力したとき <スレーブの場合> ・マスタからの1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に“1” (スレーブ送信) が入力されたとき

注 IICAステータス・レジスタ0 (IICS0) のビット3 (TRC0) = 1 (送信状態) のとき、9クロック目にIICAコントロール・レジスタ00 (IICCTL00) のビット5 (WREL0) をセット (1) してクロック・ストレッチを解除すると、TRC0ビットをクリア (受信状態) してSDAA0ラインをハイ・インピーダンスにします。TRC0 = 1 (送信状態) におけるクロック・ストレッチ解除は、IICAシフト・レジスタ0への書き込みで行ってください。

備考 LREL0 : IICAコントロール・レジスタ00 (IICCTL00) のビット6
IICE0 : ” のビット7

図12-7 IICAステータス・レジスタ0 (IICS0) のフォーマット (3/3)

ACKD0	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
クリアされる条件 (ACKD0 = 0)		セットされる条件 (ACKD0 = 1)
・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1→0 (動作停止) のとき ・リセット時		・SCLA0ラインの9クロック目の立ち上がり時にSDAA0ラインがロウ・レベルであったとき

STD0	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件 (STD0 = 0)		セットされる条件 (STD0 = 1)
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1→0 (動作停止) のとき ・リセット時		・スタート・コンディション検出時

SPD0	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが開放されている。	
クリアされる条件 (SPD0 = 0)		セットされる条件 (SPD0 = 1)
・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・WUP0 = 1→0のとき ・IICE0 = 1→0 (動作停止) のとき ・リセット時		・ストップ・コンディション検出時

備考 LREL0 : IICAコントロール・レジスタ00 (IICCTL00) のビット6

IICE0 : " のビット7

12.3.4 IICAフラグ・レジスタ0 (IICF0)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICF0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STT0クリア・フラグ (STCF0)、I²Cバス状態フラグ (IICBSY0) は読み出しのみ可能です。

IICRSV0ビットにより、通信予約機能の禁止/許可を設定します。

またSTCEN0ビットにより、IICBSY0ビットの初期値を設定します。

IICRSV0, STCEN0ビットはI²Cが動作禁止 (IICAコントロール・レジスタ00 (IICCTL00) のビット7 (IICE0) = 0) のときのみ書き込み可能です。動作許可後、IICF0レジスタは読み出しのみ可能となります。

リセット信号の発生により、00Hになります。

図12-8 IICAフラグ・レジスタ0 (IICF0) のフォーマット

アドレス : FFF52H リセット時 : 00H R/W^注

略号 7 6 5 4 3 2 1 0

IICF0	STCF0	IICBSY0	0	0	0	0	STCEN0	IICRSV0

STCF0	STT0クリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず、STT0フラグ・クリア。
クリアされる条件 (STCF0 = 0)	
・ STT0 = 1によるクリア ・ IICE0 = 0 (動作停止) のとき ・ リセット時	
セットされる条件 (STCF0 = 1)	
・ 通信予約禁止 (IICRSV0 = 1) 設定時にスタート・コンディション発行できず、STT0ビットがクリア (0) されたとき	

IICBSY0	I ² Cバス状態フラグ
0	バス開放状態 (STCEN0 = 1時の通信初期状態)。
1	バス通信状態 (STCEN0 = 0時の通信初期状態)。
クリアされる条件 (IICBSY0 = 0)	
・ ストップ・コンディション検出時 ・ IICE0 = 0 (動作停止) のとき ・ リセット時	
セットされる条件 (IICBSY0 = 1)	
・ スタート・コンディション検出時 ・ STCEN0 = 0時のIICE0ビットのセット	

STCEN0	初期スタート許可トリガ
0	動作許可 (IICE0 = 1) 後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。
1	動作許可 (IICE0 = 1) 後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。
クリアされる条件 (STCEN0 = 0)	
・ 命令によるクリア ・ スタート・コンディション検出時 ・ リセット時	
セットされる条件 (STCEN0 = 1)	
・ 命令によるセット	

IICRSV0	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。
クリアされる条件 (IICRSV0 = 0)	
・ 命令によるクリア ・ リセット時	
セットされる条件 (IICRSV0 = 1)	
・ 命令によるセット	

注 ビット6, 7はRead onlyです。

注意1. STCEN0ビットへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。

2. STCEN0 = 1とした場合、実際のバス状態にかかわらずバス開放状態 (IICBSY0 = 0) と認識しますので、1回目のスタート・コンディションを発行 (STT0 = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3. IICRSV0への書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。

備考1. STT0 : IICAコントロール・レジスタ00 (IICCTL00) のビット1

2. IICE0 : " のビット7

12.3.5 IICAコントロール・レジスタ01 (IICCTL01)

I²Cの動作モードの設定やSCLA0, SDAA0端子状態を検出するためのレジスタです。

IICCTL01レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLD0, DAD0ビットは読み出しのみ可能です。

IICCTL01レジスタは、WUP0ビットを除きI²Cが動作禁止 (IICAコントロール・レジスタ00 (IICCTL00) のビット7 (IICE0) = 0) のときに設定してください。

リセット信号の発生により、00Hになります。

図12-9 IICAコントロール・レジスタ01 (IICCTL01) のフォーマット (1/2)

アドレス : F0231H		リセット時 : 00H		R/W ^{※1}				
略号	[7]	6	[5]	[4]	[3]	[2]	1	[0]
IICCTL01	WUP0	0	CLD0	DAD0	SMC0	DFC0	0	PRS0

WUP0	アドレス一致ウエイク・アップの制御				
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止				
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可				
WUP0 = 1でSTOPモードに移行する場合は、WUP0ビットをセット (1) してf_{MCK}の3クロック以上経過後にSTOP命令を実行してください (図12-22 WUP0 = 1を設定する場合のフロー参照)。 アドレス一致、または拡張コード受信後はWUP0ビットをクリア (0) してください。WUP0ビットをクリア (0) することで、その後の通信に参加する事ができます (クロック・ストレッチ解除および送信データ書き込みは、WUP0ビットをクリア (0) したあとに行う必要があります)。 WUP0 = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUP0 = 0の場合の割り込みタイミングと同じです (クロックによるサンプリング誤差分の遅延差は生じます)。また、WUP0 = 1の場合には、SPIE0 = 1にしてもストップ・コンディション割り込みは発生しません。					
<table border="1"> <thead> <tr> <th>クリアされる条件 (WUP0 = 0)</th><th>セットされる条件 (WUP0 = 1)</th></tr> </thead> <tbody> <tr> <td>・命令によるクリア (アドレス一致もしくは拡張コード受信後)</td><td>・命令によるセット (MSTS0, EXC0, COI0 = 0であり、STD0 = 0 (通信に不参加である事) のとき) ^{※2}</td></tr> </tbody> </table>		クリアされる条件 (WUP0 = 0)	セットされる条件 (WUP0 = 1)	・命令によるクリア (アドレス一致もしくは拡張コード受信後)	・命令によるセット (MSTS0, EXC0, COI0 = 0であり、STD0 = 0 (通信に不参加である事) のとき) ^{※2}
クリアされる条件 (WUP0 = 0)	セットされる条件 (WUP0 = 1)				
・命令によるクリア (アドレス一致もしくは拡張コード受信後)	・命令によるセット (MSTS0, EXC0, COI0 = 0であり、STD0 = 0 (通信に不参加である事) のとき) ^{※2}				

注1. ビット4, 5はRead Onlyです。

2. 次に示す期間に、IICAステータス・レジスタ0 (IICS0) の状態を確認しセットする必要があります。

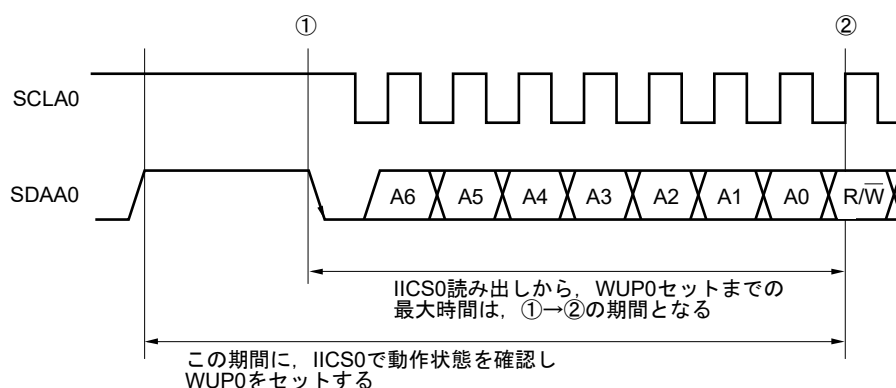


図12-9 IICAコントロール・レジスタ01 (IICCTL01) のフォーマット (2/2)

CLD0	SCLA0端子のレベル検出 (IICE0 = 1のときのみ有効)	
0	SCLA0端子がロウ・レベルであることを検出	
1	SCLA0端子がハイ・レベルであることを検出	
クリアされる条件 (CLD0 = 0)		セットされる条件 (CLD0 = 1)
・ SCLA0端子がロウ・レベルのとき ・ IICE0 = 0 (動作停止) のとき ・ リセット時		・ SCLA0端子がハイ・レベルのとき

DAD0	SDAA0端子のレベル検出 (IICE0 = 1のときのみ有効)	
0	SDAA0端子がロウ・レベルであることを検出	
1	SDAA0端子がハイ・レベルであることを検出	
クリアされる条件 (DAD0 = 0)		セットされる条件 (DAD0 = 1)
・ SDAA0端子がロウ・レベルのとき ・ IICE0 = 0 (動作停止) のとき ・ リセット時		・ SDAA0端子がハイ・レベルのとき

SMC0	動作モードの切り替え	
0	標準モードで動作 (最大転送レート : 100 kbps)	
1	ファースト・モードで動作 (最大転送レート : 400 kbps)	

DFC0	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン

デジタル・フィルタは、ファースト・モード時に使用してください。

デジタル・フィルタは、ノイズ除去のために使用します。

DFC0ビットのセット（1）／クリア（0）により、転送クロックが変化することはありません。

PRS0	IICA動作クロック (f_{MCK}) の制御	
0	f_{CLK} を選択 ($1\text{ MHz} \leq f_{CLK} \leq 20\text{ MHz}$)	
1	$f_{CLK}/2$ を選択 ($20\text{ MHz} < f_{CLK}$)	

注意1. IICA動作クロック (f_{MCK}) の最高動作周波数は20 MHz (Max.) です。

f_{CLK} が20 MHzを越える場合のみ、IICAコントロール・レジスタn1 (IICCTLn1) のビット0 (PRSn) に“1”を設定してください。

2. 転送クロックを設定する場合は、 f_{CLK} の最低動作周波数に注意してください。

シリアル・インタフェースIICAはモードによって f_{CLK} の最低動作周波数が決められています。

ファースト・モード時 : $f_{CLK} = 3.5\text{ MHz}$ (Min.)

標準モード時 : $f_{CLK} = 1\text{ MHz}$ (Min.)

備考 IICE0 : IICAコントロール・レジスタ00 (IICCTL00) のビット7

12.3.6 IICAロウ・レベル幅設定レジスタ0 (IICWL0)

シリアル・インタフェースIICAが、出力するSCLA0端子信号のロウ・レベル幅 (t_{LOW}) とSDAAn端子信号を制御するレジスタです。

IICWL0レジスタは、8ビット・メモリ操作命令で設定します。

IICWL0レジスタは、I²Cが動作禁止 (IICAコントロール・レジスタ00 (IICCTL00) のビット7 (IICE0) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

IICWL0の設定方法については、12.4.2 IICWL0, IICWH0レジスタによる転送クロック設定方法を参照してください。

また、データ・ホールド時間はIICWL_nで設定した時間の1/4になります。

図12-10 IICAロウ・レベル幅設定レジスタ0 (IICWL0) のフォーマット

アドレス : F0232H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
IICWL0								

12.3.7 IICAハイ・レベル幅設定レジスタ0 (IICWH0)

シリアル・インタフェースIICAが、出力するSCLA0端子信号のハイ・レベル幅 (t_{HIGH}) とSDAAn端子信号を制御するレジスタです。

IICWH0レジスタは、8ビット・メモリ操作命令で設定します。

IICWH0レジスタは、I²Cが動作禁止 (IICAコントロール・レジスタ00 (IICCTL00) のビット7 (IICE0) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図12-11 IICAハイ・レベル幅設定レジスタ0 (IICWH0) のフォーマット

アドレス : F0233H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
IICWH0								

備考 マスタ側の転送クロックの設定方法は12.4.2.(1)を、スレーブ側のIICWL0, IICWH0レジスタの設定方法は、12.4.2.(2)を参照してください。

12.3.8 ポート・モード・レジスタ6 (PM6)

ポート6の入力／出力を1ビット単位で設定するレジスタです。

P60/SCLA0端子をクロック入出力，P61/SDAA0端子をシリアル・データ入出力として使用するとき，PM60，PM61およびP60，P61の出力ラッチに0を設定してください。

IICE0（IICAコントロール・レジスタ00（IICCTL00）のビット7）が0の場合，P60/SCLA0端子およびP61/SDAA0端子はロウ・レベル出力（固定）となるため，出力モードへの切り替えは，IICE0ビットに1を設定してから，行ってください。

PM6レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図12-12 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス：FFF26H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	1	PM61	PM60

PM6n	P6n端子の入出力モードの選択 (n = 0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

12.4 I²Cバス・モードの機能

12.4.1 端子構成

シリアル・クロック端子（SCLA0）と、シリアル・データ・バス端子（SDAA0）の構成は、次のようになっています。

(1) SCLA0……シリアル・クロックを入出力するための端子。

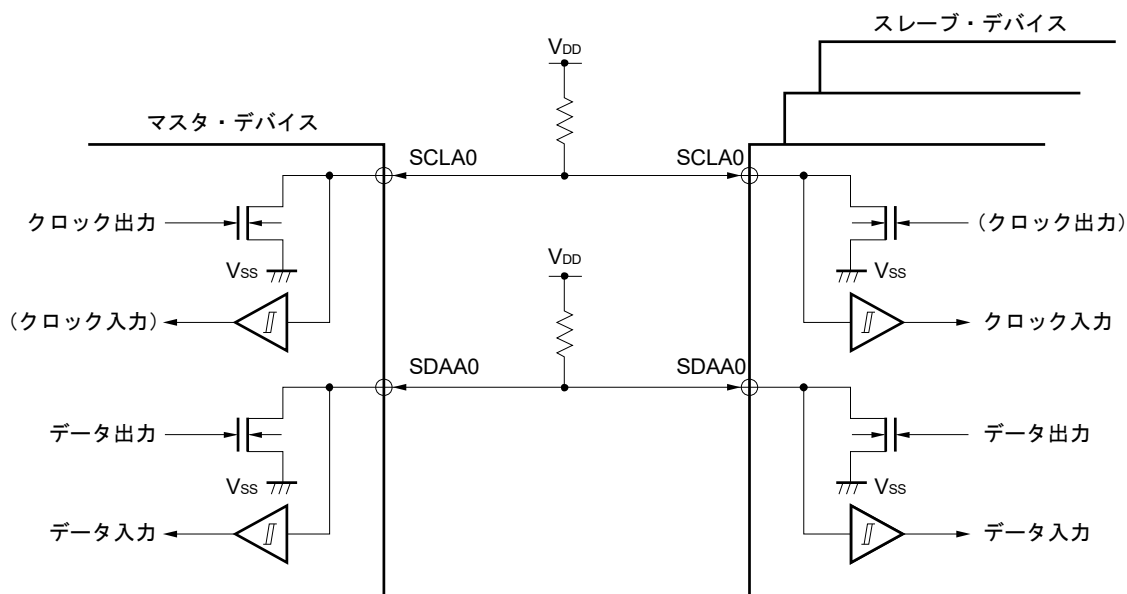
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDAA0……シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図12-13 端子構成図



12.4.2 IICWL0, IICWH0レジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{\text{MCK}}}{\text{IICWL} + \text{IICWH} + f_{\text{MCK}} (t_{\text{R}} + t_{\text{F}})}$$

このとき、最適なIICWL0レジスタとIICWH0レジスタの設定値は次のようになります。
(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWL0} = \frac{0.52}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWH0} = \left(\frac{0.48}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{MCK}}$$

・標準モード時

$$\text{IICWL0} = \frac{0.47}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWH0} = \left(\frac{0.53}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{MCK}}$$

(2) スレーブ側のIICWL0, IICWH0レジスタ設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWL0} = 1.3 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWH0} = (1.2 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{MCK}}$$

・標準モード時

$$\text{IICWL0} = 4.7 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWH0} = (5.3 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{MCK}}$$

注意1. IICA動作クロック (f_{MCK}) の最高動作周波数は20 MHz (Max.) です。

f_{CLK} が20 MHzを越える場合のみ、IICAコントロール・レジスタn1 (IICCTLn1) のビット0 (PRSn) に“1”を設定してください。

2. 転送クロックを設定する場合は、 f_{CLK} の最低動作周波数に注意してください。

シリアル・インタフェースIICAはモードによって f_{CLK} の最低動作周波数が決められています。

ファースト・モード時 : $f_{\text{CLK}} = 3.5 \text{ MHz (Min.)}$

標準モード時 : $f_{\text{CLK}} = 1 \text{ MHz (Min.)}$

備考1. SDAA0, SCLA0信号の立ち上がり時間 (t_{R}) と立ち下がり時間 (t_{F}) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

2. IICWL0 : IICAロウ・レベル幅設定レジスタ0

IICWH0 : IICAハイ・レベル幅設定レジスタ0

t_{F} : SDAA0, SCLA0信号の立ち下がり時間

t_{R} : SDAA0, SCLA0信号の立ち上がり時間

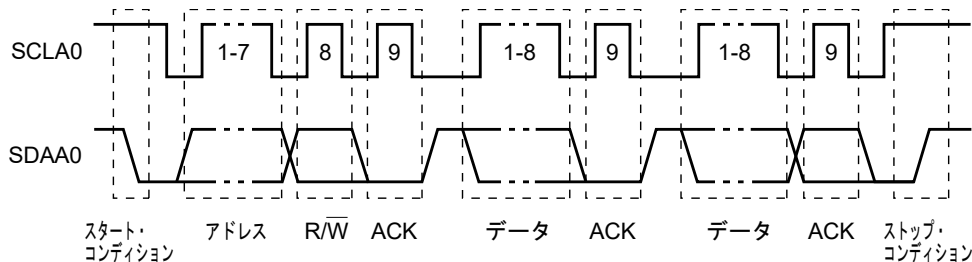
f_{MCK} : IICA動作クロック周波数

12.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“データ”および“ストップ・コンディション”の各転送タイミングを図12-14に示します。

図12-14 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

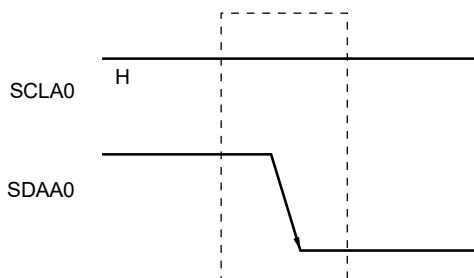
アクノリッジ（ACK）は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCLA0）は，マスタが出力し続けます。ただし，スレーブはSCLA0端子のロウ・レベル期間を延長し，クロック・ストレッチを挿入できます。

12.5.1 スタート・コンディション

SCLA0端子がハイ・レベルのときに，SDAA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLA0端子，SDAA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図12-15 スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（SPD0:IICAステータス・レジスタ0（IICS0）のビット0 = 1）のときにIICAコントロール・レジスタ00（IICCTL00）のビット1（STT0）をセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICS0レジスタのビット1（STD0）がセット（1）されます。

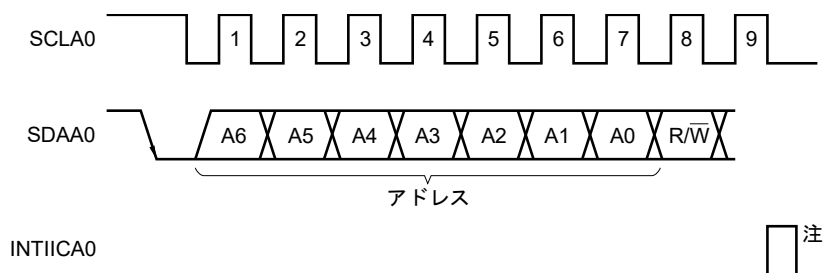
12.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ0 (SVA0) と一致しているかを調べます。このとき、7ビット・データとSVA0レジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図12-16 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICA0は発生しません。

アドレスは、スレーブのアドレスと12.5.3 転送方向指定に説明する転送方向を合わせて、8ビットとしてIICAシフト・レジスタ0 (IICA0) に書き込むと出力します。また、受信したアドレスはIICA0レジスタに書き込まれます。

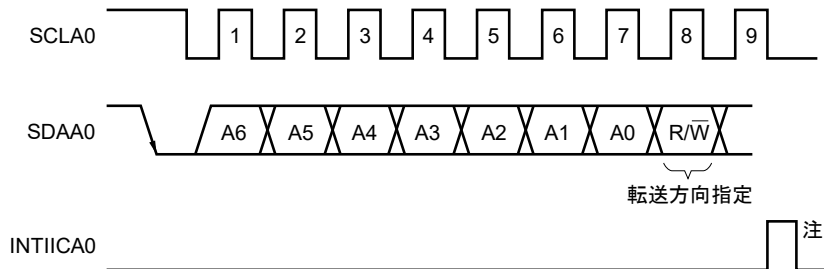
なお、スレーブのアドレスは、IICA0レジスタの上位7ビットに割り当てられます。

12.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図12-17 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICA0は発生しません。

12.5.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICAステータス・レジスタ0 (IICS0) のビット2 (ACKD0) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。
- ③ アドレス指定した受信側が存在しない。

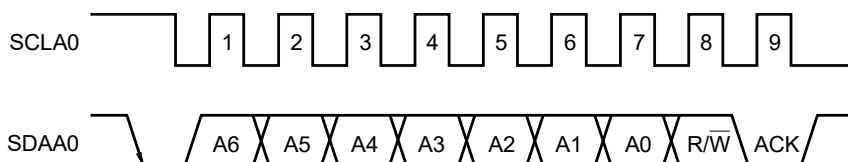
アクノリッジ生成は、受信側が9クロック目にSDAA0ラインをロウ・レベルにすることによって行われます (正常受信)。

IICAコントロール・レジスタ00 (IICCTL00) のビット2 (ACKE0) をセット (1) することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICS0レジスタのビット3 (TRC0) が設定されます。受信 (TRC0 = 0) の場合は、通常、ACKE0ビットをセット (1) してください。

スレーブ受信動作時 (TRC0 = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKE0ビットをクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRC0 = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKE0ビットをクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます (送信停止)。

図12-18 アクノリッジ



自局アドレス受信時は、ACKE0ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKE0ビットをセット (1) しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、クロック・ストレッチ・タイミングの設定により次のように異なります。

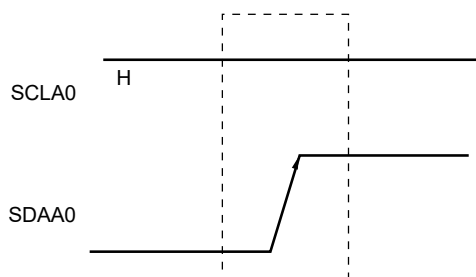
- ・8クロック目の立ち下がりに設定した場合 (IICCTL00レジスタのビット3 (WTIM0) = 0) :
クロック・ストレッチ解除を行う前にACKE0ビットをセット (1) することによって、SCL A0端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・9クロック目の立ち下がりに設定した場合 (IICCTL00レジスタのビット3 (WTIM0) = 1) :
あらかじめACKE0ビットをセット (1) することによって、アクノリッジを生成します。

12.5.5 ストップ・コンディション

SCLA0端子がハイ・レベルのときに、SDAA0端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図12-19 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタ00 (IICCTL00) のビット0 (SPT0) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタ0 (IICS0) のビット0 (SPD0) がセット (1) され、IICCTL00レジスタのビット4 (SPIE0) がセット (1) されている場合にはINTIICA0が発生します。

12.5.6 クロック・ストレッチ

クロック・ストレッチによっては、マスタまたはスレーブがデータの送受信のための準備中（クロック・ストレッチ状態）であることを相手に知らせます。

SCLA0端子をロウ・レベルにすることにより、相手にクロック・ストレッチ状態を知らせます。マスタ、スレーブ両方のクロック・ストレッチ状態が解除されると、次の転送を開始できます。

図12-20 クロック・ストレッチ (1/2)

(1) マスタは9クロック目の立ち下がりで、スレーブは8クロック目の立ち下がりで、クロック・ストレッチが発生する場合

(マスタ：送信，スレーブ：受信， $ACKE0 = 1$)

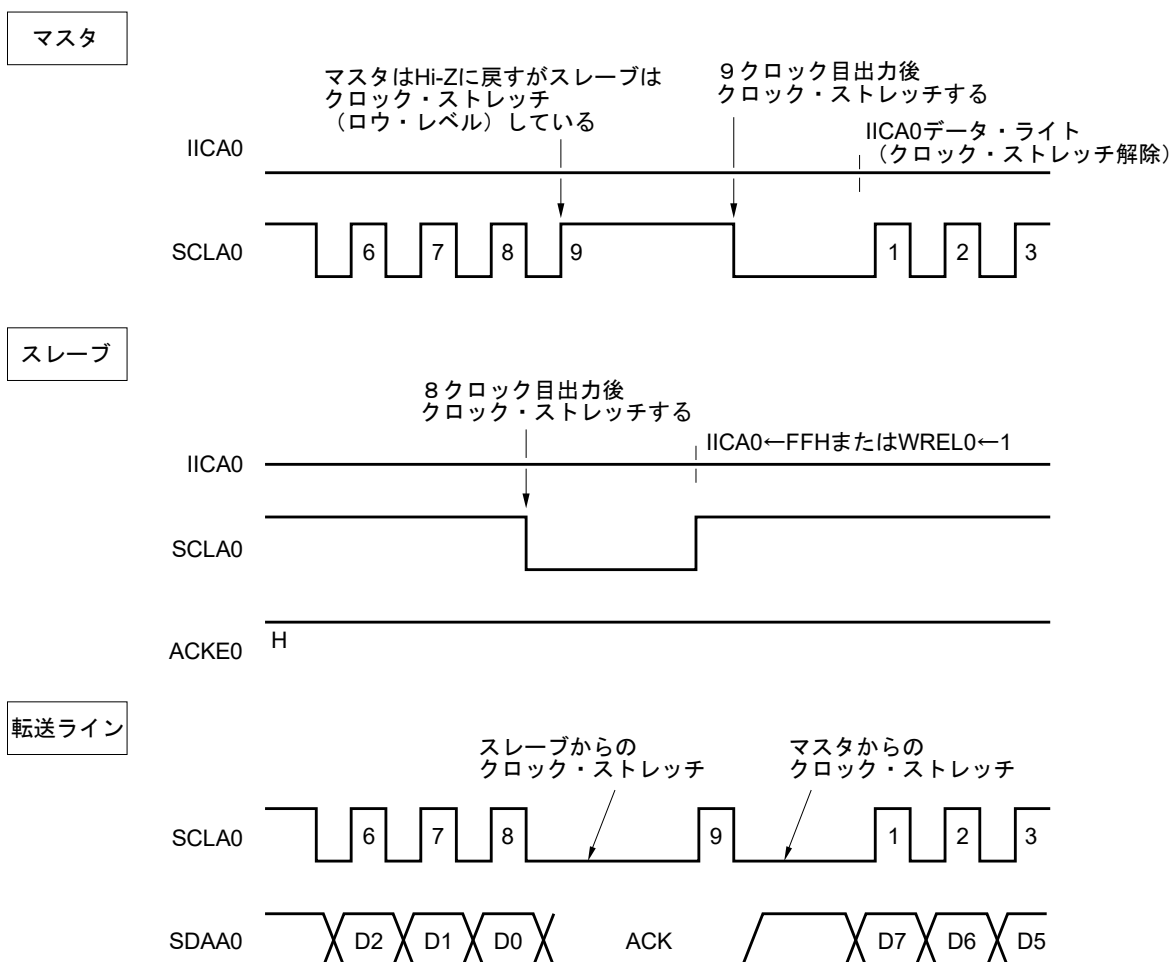
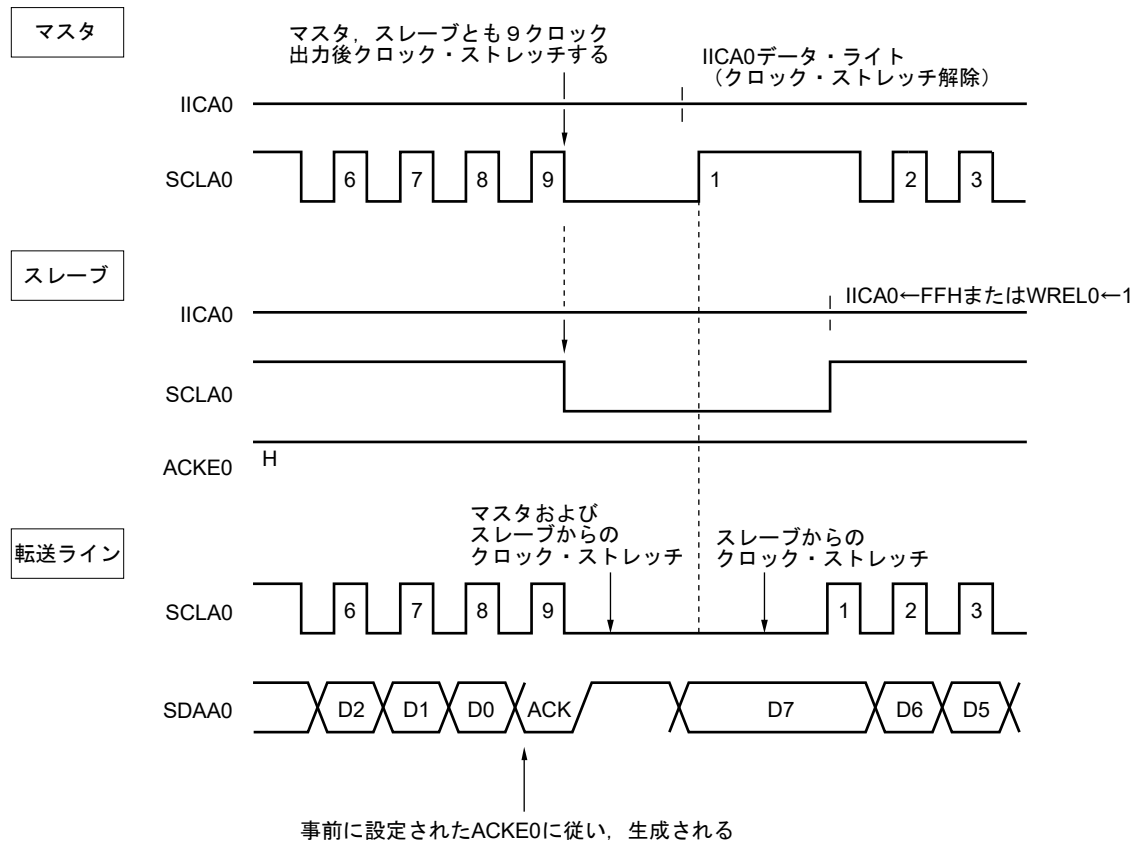


図12-20 クロック・ストレッチ (2/2)

(2) マスタ、スレーブとも9クロック目の立ち下がりでクロック・ストレッチが発生する場合

(マスタ：送信，スレーブ：受信，ACKE0 = 1)



備考 ACKE0 : IICAコントロール・レジスタ00 (IICCTL00) のビット2

WREL0 : " のビット5

クロック・ストレッチは、IICAコントロール・レジスタ00 (IICCTL00) のビット3 (WTIM0) の設定により自動的に発生します。

通常、受信側はIICCTL00レジスタのビット5 (WREL0ビット) = 1またはIICAシフト・レジスタ0 (IICA0) にFFHを書き込むとクロック・ストレッチを解除し、送信側はIICA0レジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は、次の方法でもクロック・ストレッチを解除できます。

- ・ IICCTL00レジスタのビット1 (STT0) = 1
- ・ IICCTL00レジスタのビット0 (SPT0) = 1

12.5.7 クロック・ストレッチ解除方法

I²Cでは、通常、次のような処理でクロック・ストレッチを解除できます。

- ・ IICAシフト・レジスタ0 (IICA0) へのデータ書き込み
- ・ IICAコントロール・レジスタ00 (IICCTL00) のビット5 (WREL0) のセット (クロック・ストレッチ解除)
- ・ IICCTL00レジスタのビット1 (STT0) のセット (スタート・コンディションの生成) 注
- ・ IICCTL00レジスタのビット0 (SPT0) のセット (ストップ・コンディションの生成) 注

注 マスタのみ。

これらのクロック・ストレッチ解除処理を実行した場合、I²Cはクロック・ストレッチを解除し、通信が再開されます。

クロック・ストレッチを解除してデータ (アドレスを含む) を送信する場合には、IICA0レジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTL00レジスタのビット5 (WREL0) をセット (1) してください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には、IICCTL00レジスタのビット1 (STT0) をセット (1) してください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には、IICCTL00レジスタのビット0 (SPT0) をセット (1) してください。

1回のクロック・ストレッチ状態に対して1回だけ解除処理を実行してください。

たとえば、WREL0ビットにセット (1) によるクロック・ストレッチ解除後、IICA0レジスタへのデータ書き込みを実施した場合には、SDAA0ラインの変化タイミングとIICA0レジスタへの書き込みタイミングの競合により、SDAA0ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICE0ビットをクリア (0) すると通信を停止するので、クロック・ストレッチを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTL00レジスタのビット6 (LREL0) をセット (1) すると通信から退避するので、クロック・ストレッチを解除できます。

注意 WUP0 = 1のときにクロック・ストレッチ解除処理を実行した場合、クロック・ストレッチは解除されません。

12.5.8 割り込み要求（INTIICA0）発生タイミングおよびクロック・ストレッチ制御

IICAコントロール・レジスタ00（IICCTL00）のビット3（WTIM0）の設定で、表12-2に示すタイミングでINTIICA0が発生し、また、クロック・ストレッチ制御を行います。

表12-2 INTIICA0発生タイミングおよびクロック・ストレッチ制御

WTIM0	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

- 注1.** スレーブのINTIICA0信号およびクロック・ストレッチは、スレーブ・アドレス・レジスタ0（SVA0）に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。
- また、このとき、IICCTL00レジスタのビット2（ACKE0）の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICA0が発生します。ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIICA0が発生しますが、クロック・ストレッチは発生しません。
- 2.** スレーブ・アドレス・レジスタ0（SVA0）と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICA0もクロック・ストレッチも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIM0ビットにかかわらず、上記の注1, 2の条件により、割り込みおよびクロック・ストレッチ・タイミングが決まります。
- ・マスタ動作時：WTIM0ビットにかかわらず、割り込みおよびクロック・ストレッチ・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

- ・マスタ／スレーブ動作時：WTIM0ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(3) データ送信時

- ・マスタ／スレーブ動作時：WTIM0ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(4) クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタ0 (IICA0) へのデータ書き込み
- ・ IICAコントロール・レジスタ00 (IICCTL00) のビット5 (WREL0) のセット (クロック・ストレッチ解除)
- ・ IICCTL00レジスタのビット1 (STT0) のセット (スタート・コンディションの生成) 注
- ・ IICCTL00レジスタのビット0 (SPT0) のセット (ストップ・コンディションの生成) 注

注 マスタのみ。

クロック・ストレッチ・タイミングを8クロック目の立ち下がり (WTIM0 = 0) に設定した場合、クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICA0は、ストップ・コンディションを検出すると発生します (SPIE0 = 1のときのみ)。

12.5.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ0 (SVA0) に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICA0割り込み要求が発生します。

12.5.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDAA0) の状態が、送信しているデバイスのIICAシフト・レジスタ0 (IICA0) にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

12. 5. 11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ（EXC0）をセット（1）し、8クロック目の立ち下がりで割り込み要求（INTIICA0）を発生します。
スレーブ・アドレス・レジスタ0（SVA0）に格納された自局アドレスは影響しません。

(2) SVA0レジスタに“11110xx0”を設定されているときに、10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求（INTIICA0）は、8クロック目の立ち下がりで発生します。

- ・上位4ビット・データの一致：EXC0 = 1
- ・7ビット・データの一致：COI0 = 1

備考 EXC0 : IICAステータス・レジスタ0（IICS0）のビット5
COI0 : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。
スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタ00（IICCTL00）のビット6（LREL0） = 1に設定してください。次の通信待機状態にします。

表12-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説 明
0 0 0 0 0 0 0	0	ジェネラル・コール・アドレス
1 1 1 1 0 x x	0	10ビット・スレーブ・アドレス指定（アドレス認証時）
1 1 1 1 0 x x	1	10ビット・スレーブ・アドレス指定（アドレス一致後、リード・コマンド発行時）

備考 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

12.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合 (STD0 = 1になる前にSTT0 = 1にしたとき), データが異なるまでクロックの調整をしながら, マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは, アービトレーションに負けたタイミングで, IICAステータス・レジスタ0 (IICS0) のアービトレーション負けフラグ (ALD0) をセット (1) し, SCLA0, SDAA0ラインともハイ・インピーダンス状態にしてバスを開放します。

アービトレーションに負けたことは, 次の割り込み要求発生タイミング (8または9クロック目, ストップ・コンディション検出など) で, ソフトウェアでALD0 = 1になっていることで検出します。

割り込み要求発生タイミングについては, **12.5.8 割り込み要求 (INTIICA0) の発生タイミングおよびクロック・ストレッチ制御**を参照してください。

備考 STD0 : IICAステータス・レジスタ0 (IICS0) のビット1

STT0 : IICAコントロール・レジスタ00 (IICCTL00) のビット1

図12-21 アービトレーション・タイミング例

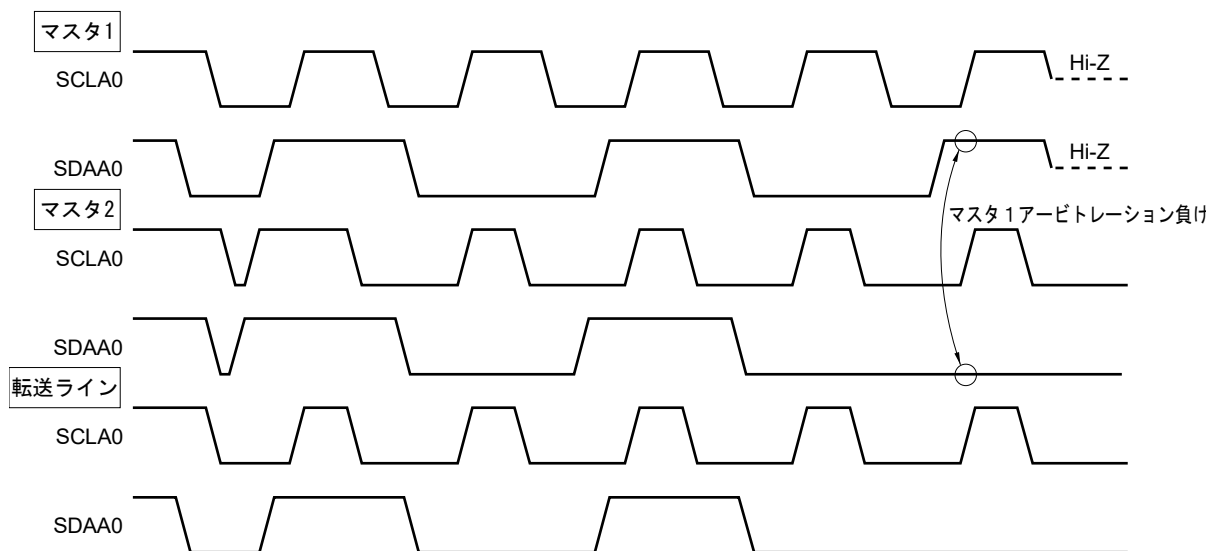


表12-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中、リスタート・コンディション検出	
データ転送中、ストップ・コンディション検出	ストップ・コンディション生成時（SPIE0 = 1時） ^{注2}
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時（SPIE0 = 1時） ^{注2}
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCLA0がロウ・レベル	

注1. WTIM0ビット（IICAコントロール・レジスタ00（IICCTL00）のビット3） = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求が発生します。WTIM0 = 0および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求が発生します。

2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIE0 = 1に設定してください。

備考 SPIE0 : IICAコントロール・レジスタ00（IICCTL00）のビット4

12.5.13 ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号（INTIICA0）を発生する機能です。

アドレスが一致しないときは不要なINTIICA0信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUP0 = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号（INTIICA0）を発生します。この割り込み発生後に命令でWUP0ビットをクリア（0）することで通常動作に戻ります。

WUP0 = 1に設定する場合のフローを図12-22に、アドレス一致によりWUP0 = 0に設定する場合のフローを図12-23に示します。

図12-22 WUP0 = 1を設定する場合のフロー

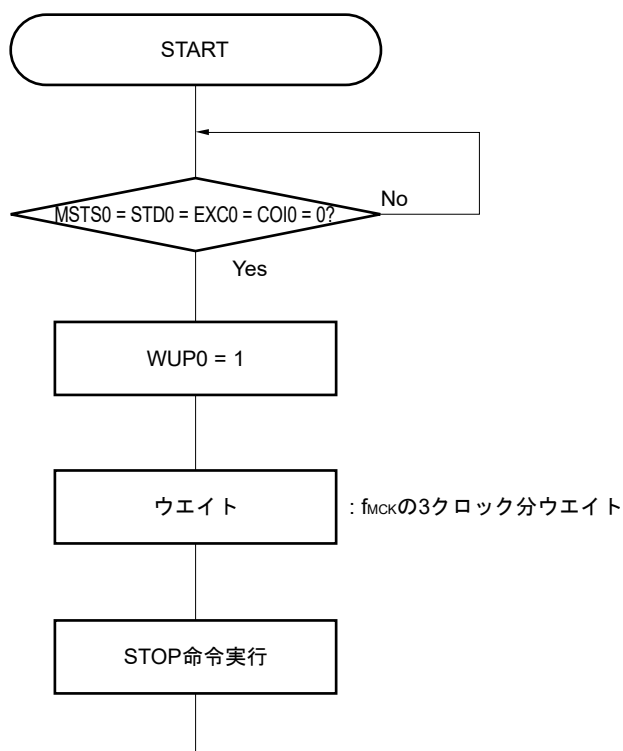
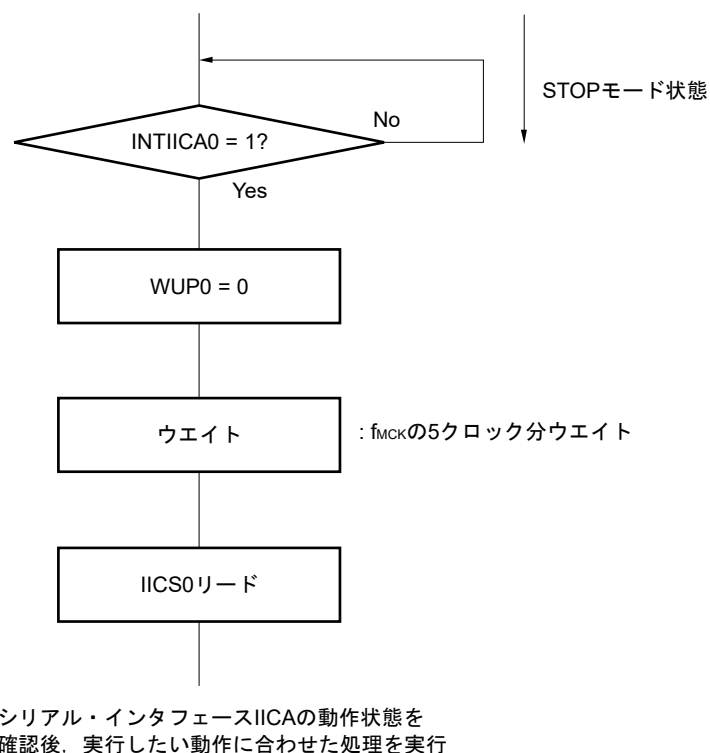


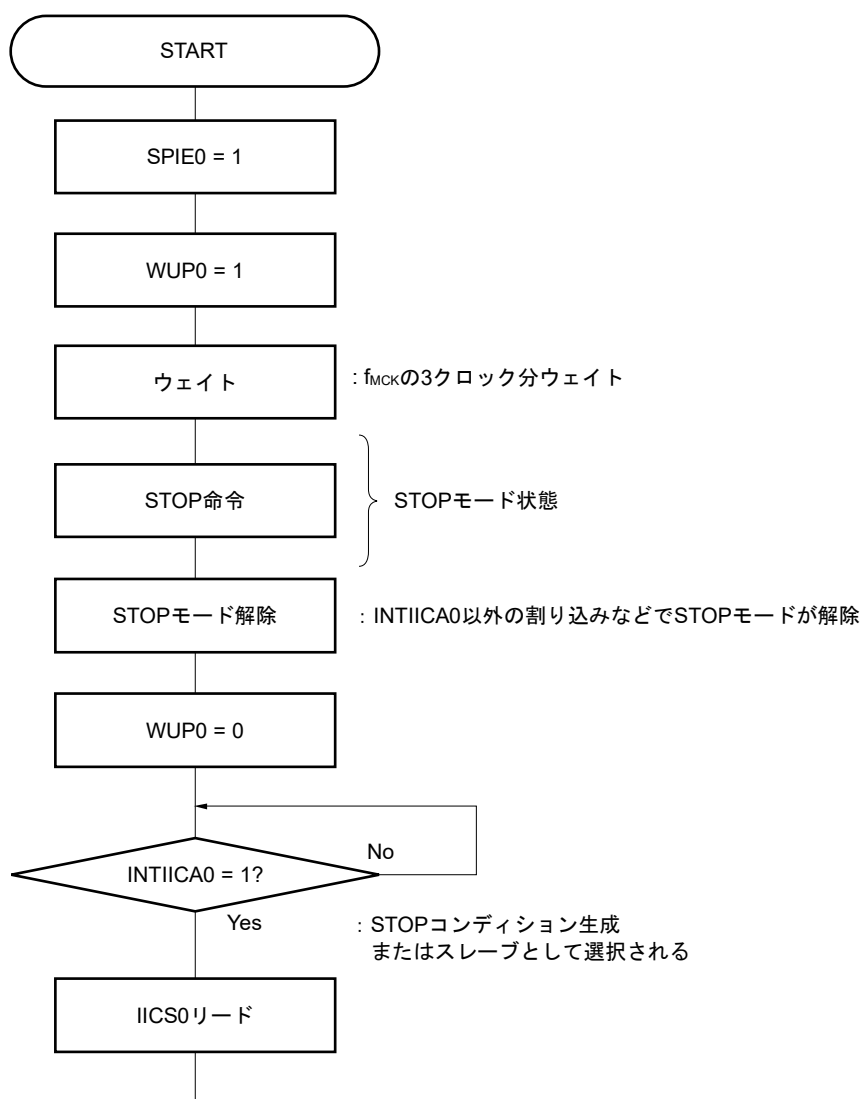
図12-23 アドレス一致によりWUP0 = 0に設定する場合のフロー（拡張コード受信含む）



また、シリアル・インタフェースIICAからの割り込み要求（INTIICA0）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

- ・ 次のIIC通信をマスタとして動作させる場合：図12-24のフロー
- ・ 次のIIC通信をスレーブとして動作させる場合：
 - INTIICA0割り込みで復帰した場合：図12-23のフローと同じになります。
 - INTIICA0割り込み以外の割り込みで復帰した場合：INTIICA0割り込みが発生するまでWUPn = 1のまま動作を継続してください。

図12-24 INTIICA0以外でSTOPモードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を
確認後、実行したい動作に合わせた処理を実行

12.5.14 通信予約

(1) 通信予約機能許可の場合 (IICAフラグ・レジスタ0 (IICF0) のビット0 (IICRSV0) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス開放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICAコントロール・レジスタ00 (IICCTL00) のビット6 (LREL0) = 1で通信退避してバスを開放した) とき

バスに不参加の状態、IICCTL00レジスタのビット1 (STT0) をセット (1) すると、バスが開放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICCTL00レジスタのビット4 (SPIE0) をセット (1) し、割り込み要求信号 (INTIICA0) 発生でバスの開放を検出 (ストップ・コンディション検出) したあと、IICAシフト・レジスタ0 (IICA0) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICA0レジスタに書き込まれたデータは、無効です。

STT0ビットをセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが開放されているとき……………スタート・コンディション生成
- ・バスが開放されていないとき (待機状態) ……通信予約

通信予約として動作するかどうかは、STT0ビットをセット (1) し、ウェイト時間をとったあと、MSTS0ビット (IICAステータス・レジスタ0 (IICS0) のビット7) で確認します。

ウェイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

$$\text{STT0} = 1 \text{ から MSTS0 フラグ 確認 までの ウェイト 時間 (f}_{\text{MCK}} \text{ の クロック 数)} : \\ (\text{IICWL0 の 設定 値} + \text{IICWH0 の 設定 値} + 4) + t_f \times 2 \times f_{\text{MCK}} \text{ [クロック]}$$

備考 IICWL0 : IICAロウ・レベル幅設定レジスタ0

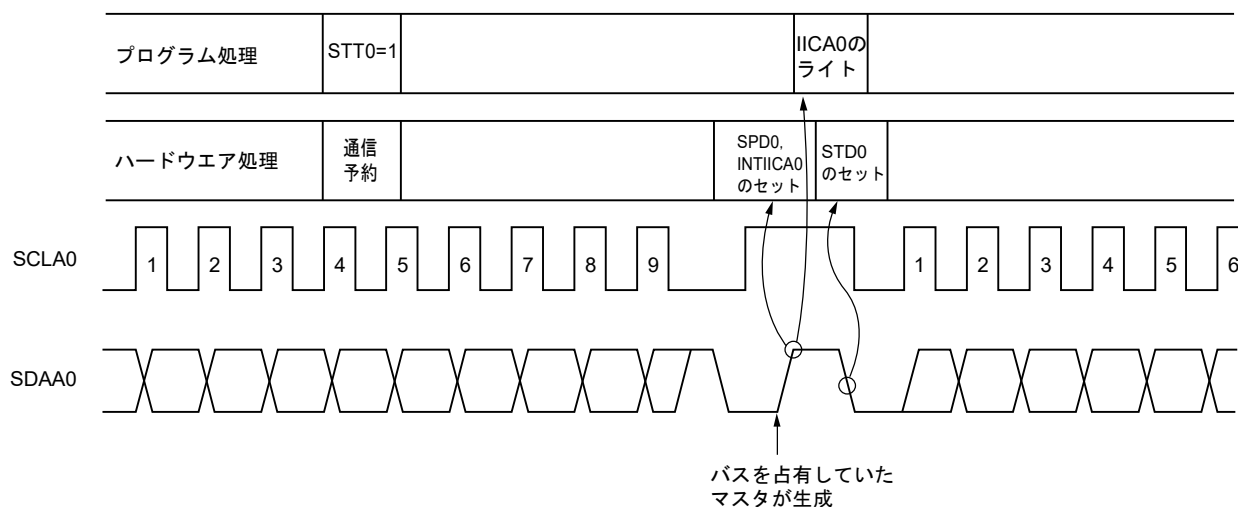
IICWH0 : IICAハイ・レベル幅設定レジスタ0

t_f : SDAA0, SCLA0信号の立ち下がり時間

f_{MCK} : IICA動作クロック周波数

通信予約のタイミングを図12-25に示します。

図12-25 通信予約のタイミング



備考 IICA0 : IICAシフト・レジスタ0

STT0 : IICAコントロール・レジスタ00 (IICCTL00) のビット1

STD0 : IICAステータス・レジスタ0 (IICS0) のビット1

SPD0 : " のビット0

通信予約は図12-26に示すタイミングで受け付けられます。IICAステータス・レジスタ0 (IICS0) のビット1 (STD0) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタ00 (IICCTL00) のビット1 (STT0) = 1で通信予約をします。

図12-26 通信予約受け付けタイミング

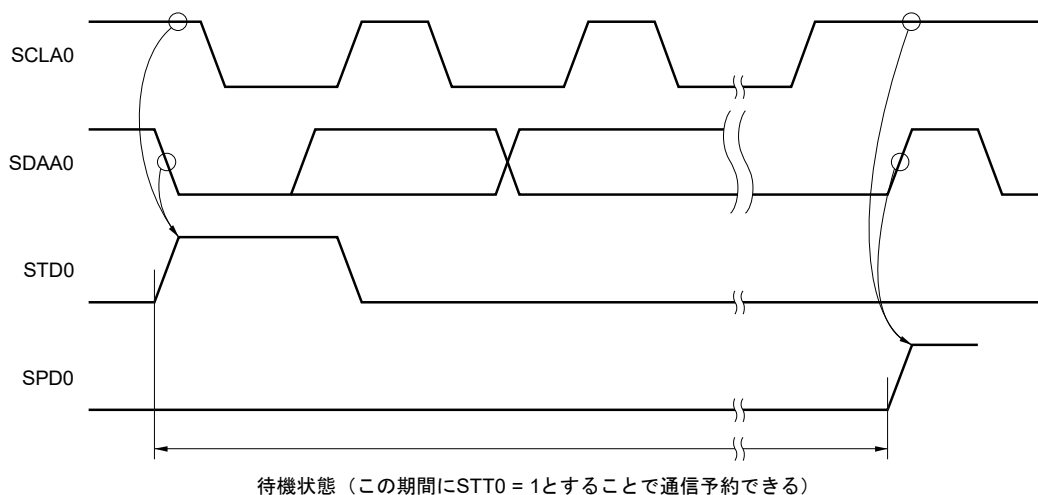
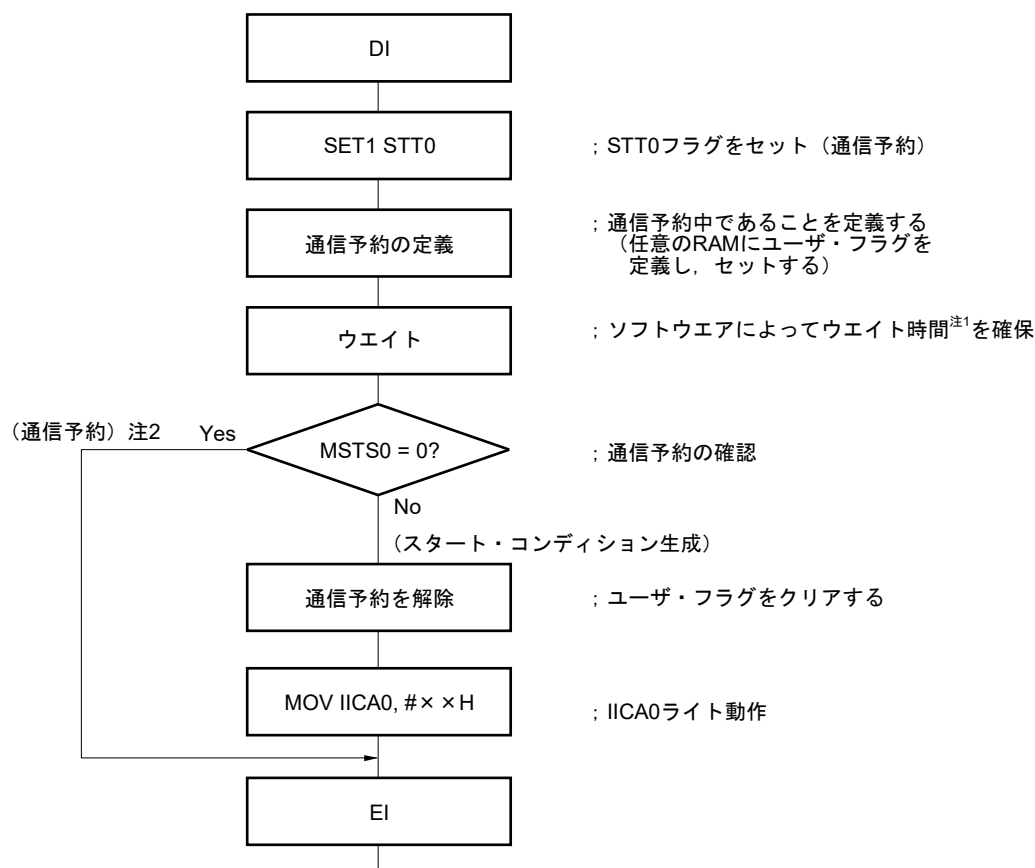


図12-27に通信予約の手順を示します。

図12-27 通信予約の手順



注1. ウェイト時間 (f_{MCK} のクロック数) は次のようになります。

$$(\text{IICWL0の設定値} + \text{IICWH0の設定値} + 4) / f_{MCK} + t_F \times 2$$

2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタ0 (IICA0) への書き込みを実行します。

備考 STT0 : IICAコントロール・レジスタ00 (IICCTL00) のビット1

MSTS0 : IICAステータス・レジスタ0 (IICS0) のビット7

IICA0 : IICAシフト・レジスタ0

IICWL0 : IICAロウ・レベル幅設定レジスタ0

IICWH0 : IICAハイ・レベル幅設定レジスタ0

t_F : SDAA0, SCLA0信号の立ち下がり時間

f_{MCK} : IICA動作クロック周波数

(2) 通信予約機能禁止の場合 (IICAフラグ・レジスタ0 (IICF0) のビット0 (IICRSV0) = 1)

バスが通信中で、この通信に不参加の状態ではIICAコントロール・レジスタ00 (IICCTL00) のビット1 (STT0) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICCTL00レジスタのビット6 (LREL0) = 1で通信退避してバスを開放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCF0 (IICF0レジスタのビット7) で確認できます。STT0 = 1としてからSTCF0がセット (1) されるまで f_{MCK} の5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

12.5.15 その他の注意事項

(1) STCEN0 = 0の場合

I²C動作許可 (IICE0 = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSY0 = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを開放してからマスタ通信を行ってください。

マルチマスタでは、バスが開放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

- ① IICAコントロール・レジスタ01 (IICCTL01) を設定する
- ② IICAコントロール・レジスタ00 (IICCTL00) のビット7 (IICE0) をセット (1) する
- ③ IICCTL00レジスタのビット0 (SPT0) をセット (1) する

(2) STCEN0 = 1の場合

I²C動作許可 (IICE0 = 1) 直後、実際のバス状態にかかわらず開放状態 (IICBSY0 = 0) と認識しますので、1回目のスタート・コンディションを生成 (STT0 = 1) する場合は、ほかの通信を破壊しないようにバスが開放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDAA0端子がロウ・レベルで、かつSCLA0端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、I²CのマクロはSDAA0端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でI²Cを起動してください。

- ① IICCTL00レジスタのビット4 (SPIE0) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIICA0) 発生を禁止する
- ② IICCTL00レジスタのビット7 (IICE0) をセット (1) し、I²Cの動作を許可する
- ③ スタート・コンディションを検出するまで待つ
- ④ アクノリッジを返すまで (IICE0ビットをセット (1) してから、f_{MCK}の4~72クロック中) に、IICCTL00レジスタのビット6 (LREL0) をセット (1) にし、強制的に検出を無効とする

(4) STT0, SPT0ビット (IICCTL00レジスタのビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。

(5) 送信予約をした場合には、SPIE0ビット (IICCTL00レジスタのビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタ0 (IICA0) に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTS0ビット (IICAステータス・レジスタ0 (IICS0) のビット7) を検出する場合には、SPIE0ビットをセット (1) する必要はありません。

12.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが開放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定（1フレーム）期間、データとクロックがハイ・レベルであれば、バスが開放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

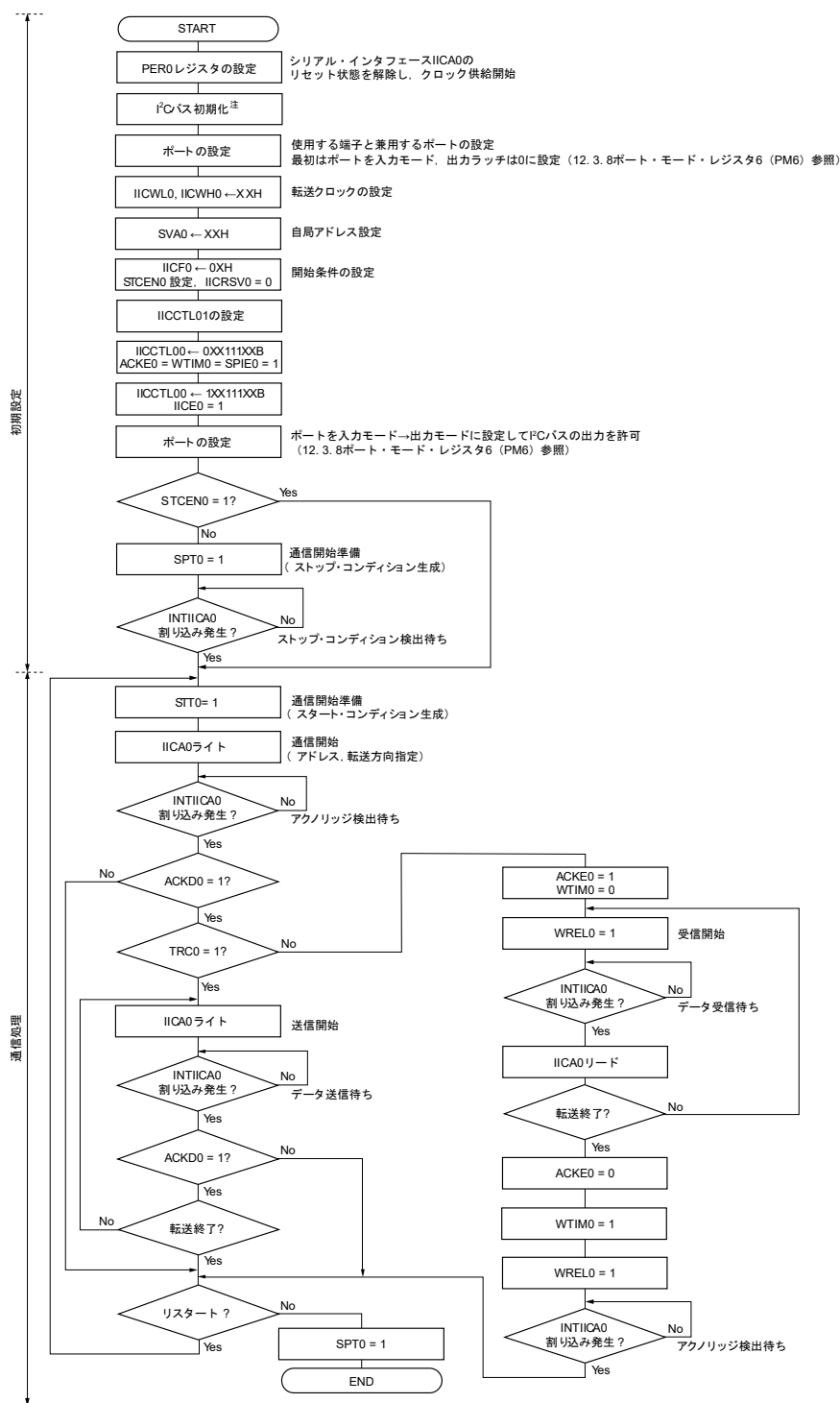
I²Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICA0割り込みの発生を待ちます。INTIICA0割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

(1) シングルマスタ・システムでのマスタ動作

図12-28 シングルマスタ・システムでのマスタ動作



注 通信している製品の仕様に準拠し、I²Cバスを開放（SCLA0, SDAA0端子 = ハイ・レベル）してください。
たとえば、EEPROMがSDAA0端子にロウ・レベルを出力した状態であれば、SCLA0端子を出力ポートに設定し、SDAA0端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

(2) マルチマスタ・システムでのマスタ動作

図12-29 マルチマスタ・システムでのマスタ動作 (1/3)

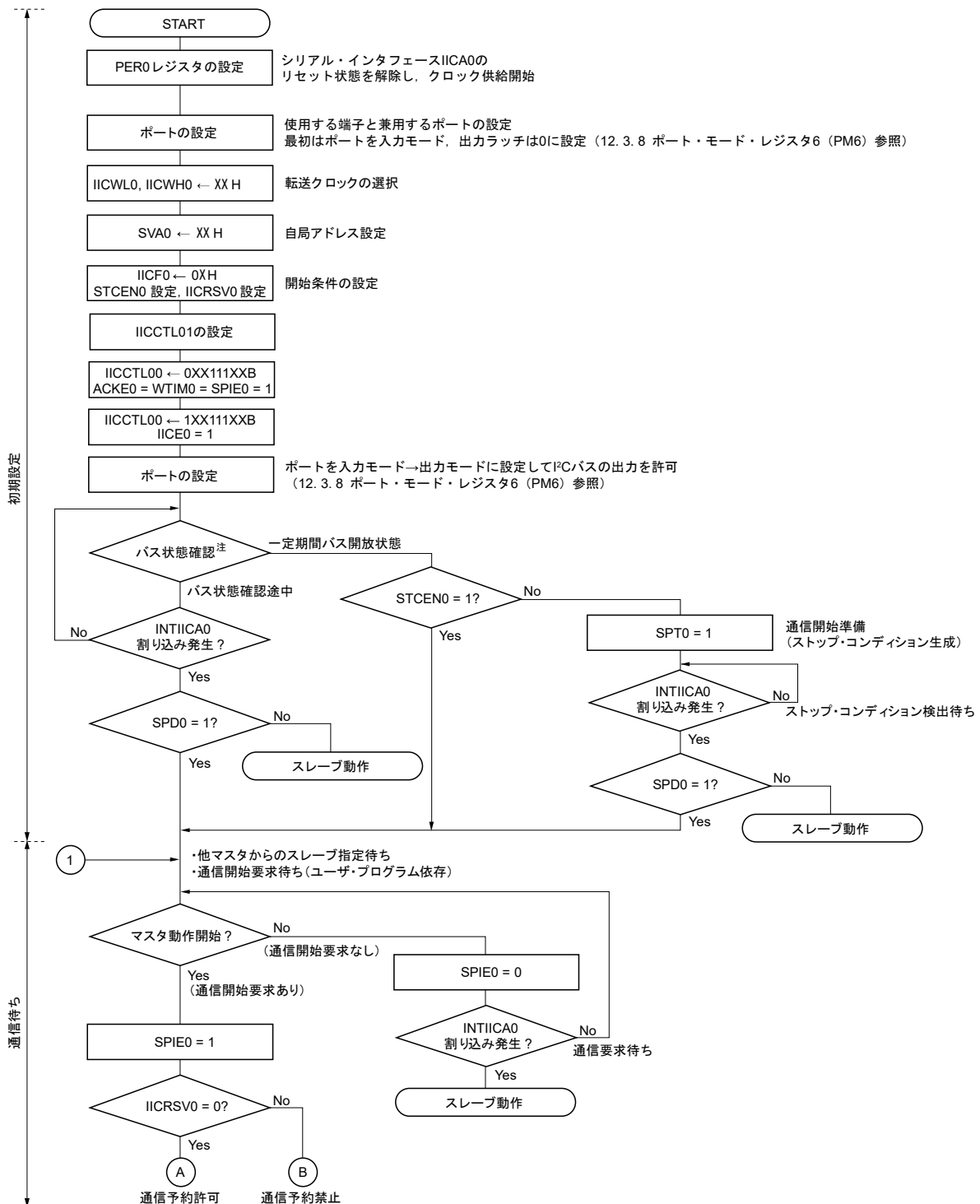
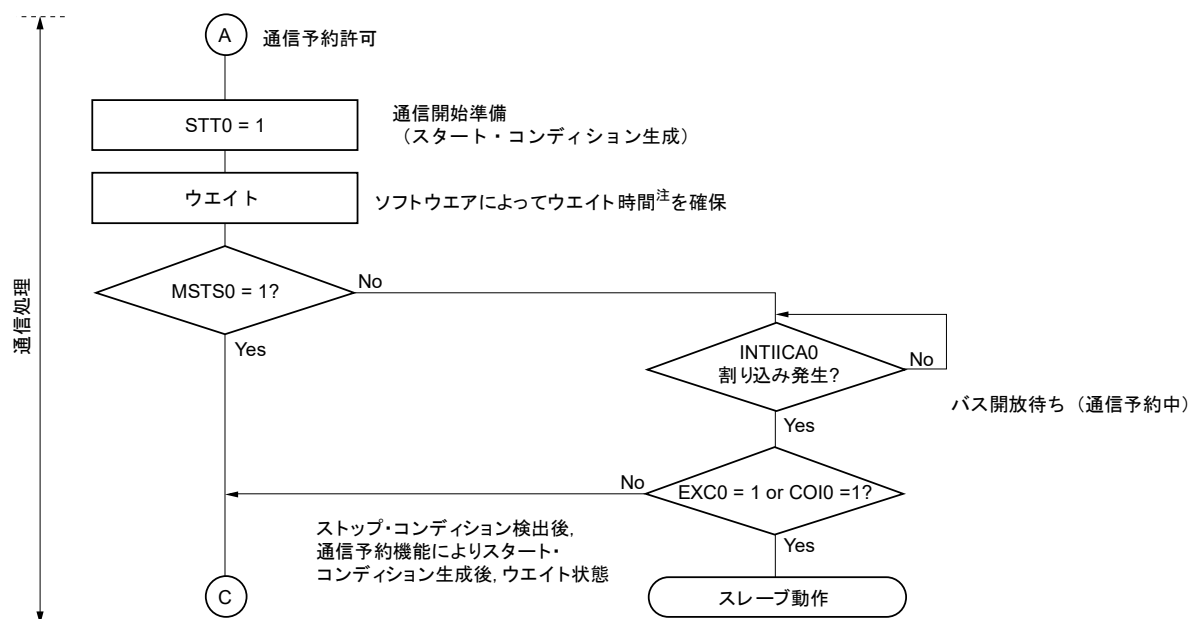
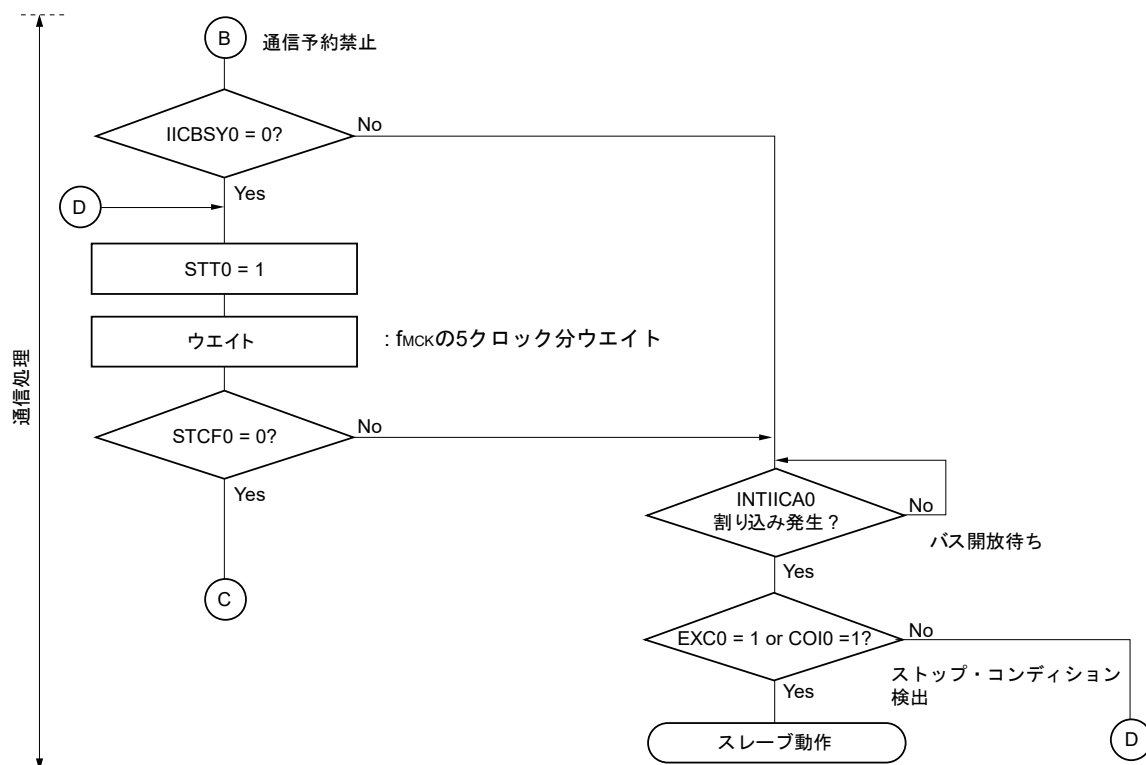


図12-29 マルチマスタ・システムでのマスタ動作 (2/3)



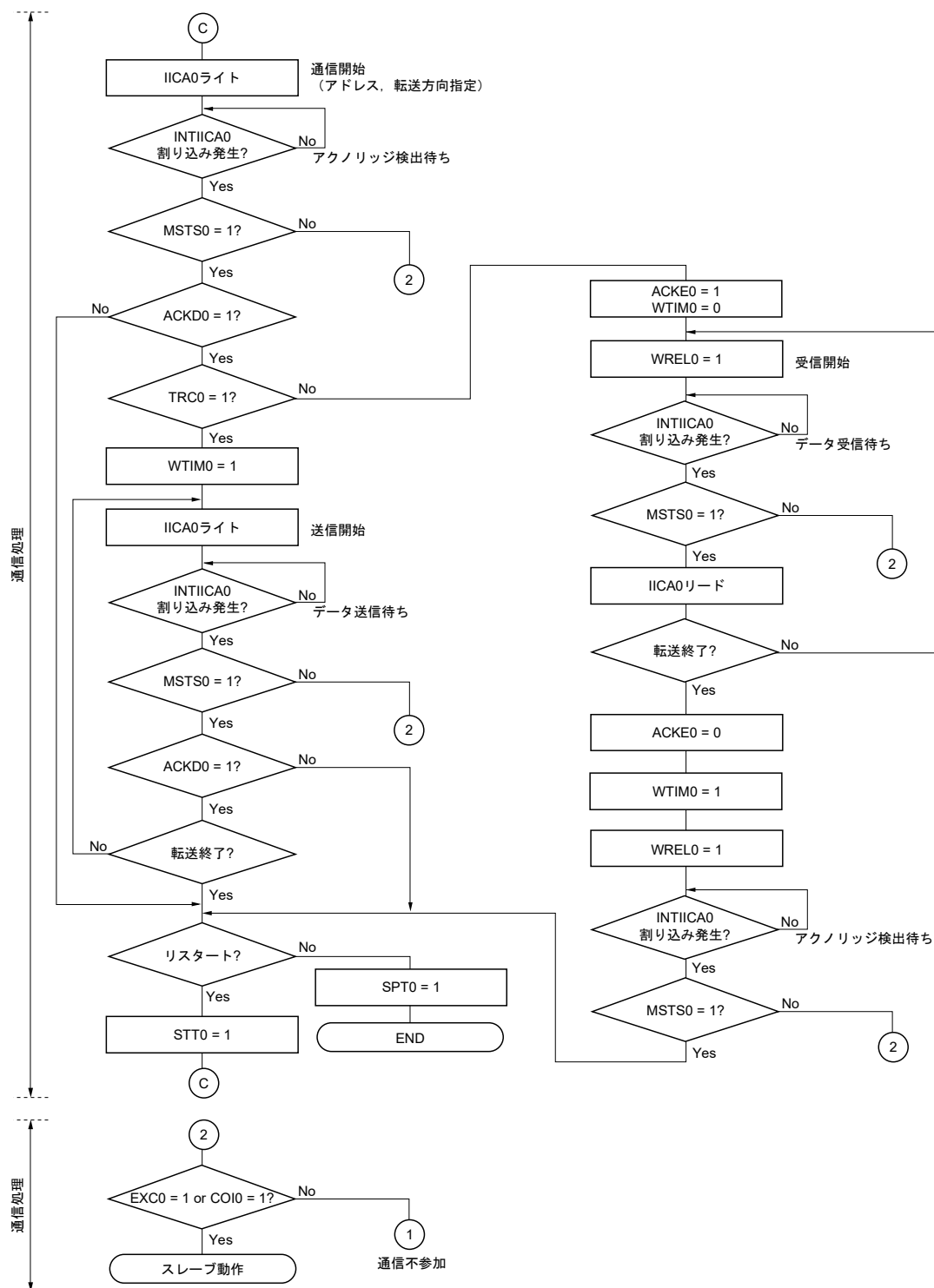
注 ウェイト時間は次のようになります。

$$(\text{IICWLnの設定値} + \text{IICWHnの設定値} + 4) / f_{\text{MCK}} + t_{\text{F}} \times 2$$



備考 IICWL0 : IICAロウ・レベル幅設定レジスタ0
 IICWH0 : IICAハイ・レベル幅設定レジスタ0
 t_{F} : SDAA0, SCLA0信号の立ち下がり時間
 f_{MCK} : IICA動作クロック周波数

図12-29 マルチマスタ・システムでのマスタ動作 (3/3)



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

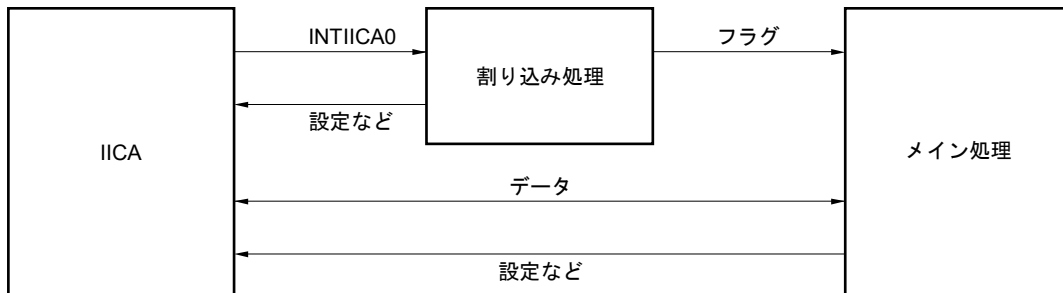
2. マルチマスタ・システムでマスタとして使用する場合は、INTIICA0割り込み発生ごとにMSTS0ビットをリードし、アービトラージョン結果を確認してください。
3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICA0割り込み発生ごとにIICAステータス・レジスタ0 (IICS0)、IICAフラグ・レジスタ0 (IICF0) でステータスを確認して次に行う処理を決定してください。

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICA0割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICA0割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICA0の代わりにメイン処理に渡すという方法で、データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常データ通信ではINTIICA0割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRC0ビットの値と同じです。

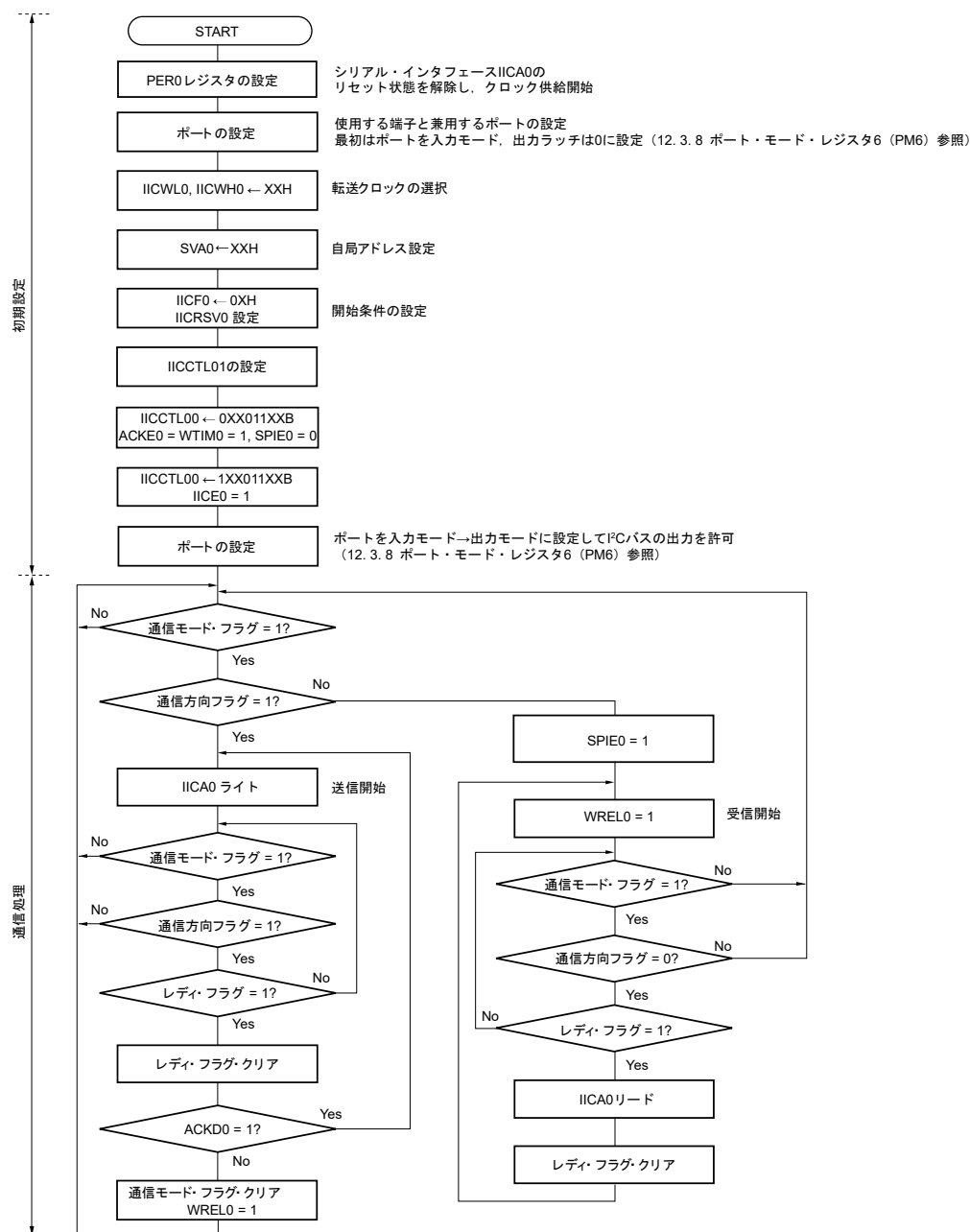
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIIICAを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図12-30 スレーブ動作手順 (1)



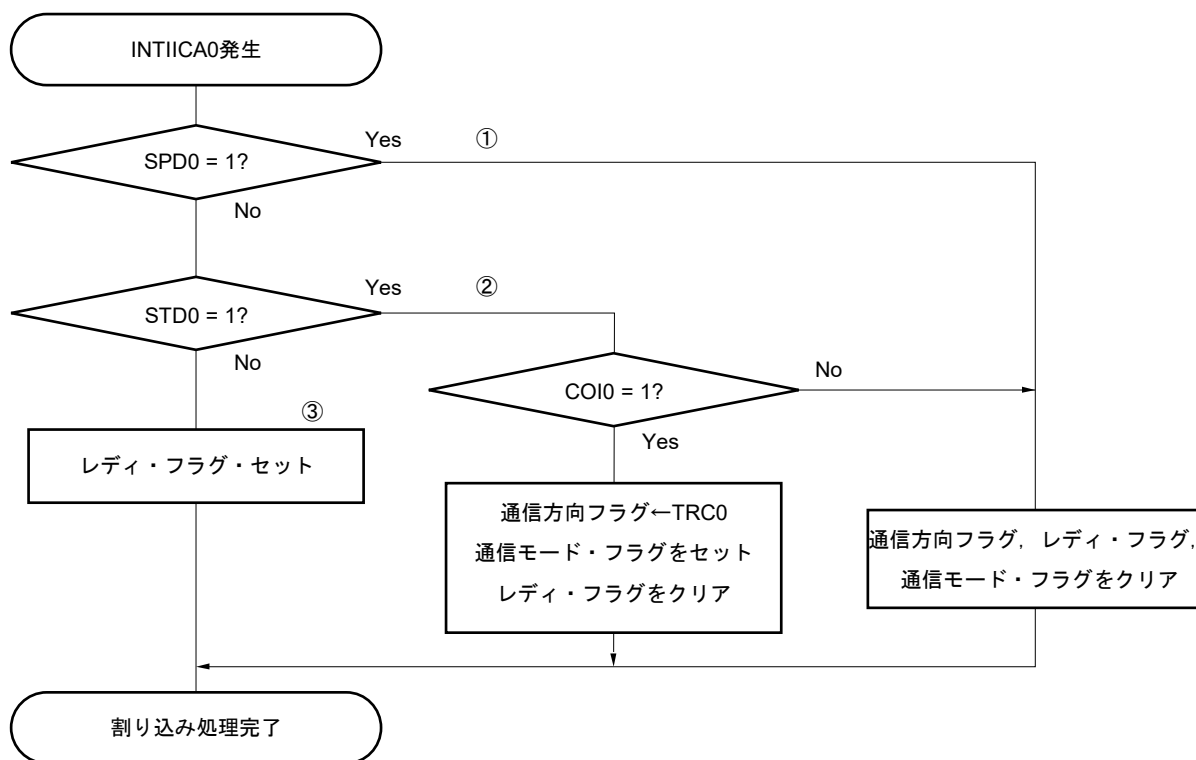
備考 送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIICA0割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICA0割り込みではステータスを確認して、次のように行います。

- ① ストップ・コンディションの場合、通信を終了します。
- ② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。
アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。
- ③ データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の①～③は、図12-31 スレーブ動作手順（2）の①～③と対応しています。

図12-31 スレーブ動作手順（2）



12. 5. 17 I²C割り込み要求 (INTIICA0) の発生タイミング

次に、データの送受信、INTIICA0割り込み要求信号発生タイミングと、INTIICA0信号タイミングでのIICAステータス・レジスタ0 (IICS0) の値を示します。

備考 ST : スタート・コンディション
AD6-AD0 : アドレス
R/ $\overline{W}$: 転送方向指定
ACK : アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション

(1) マスタ動作

(a) Start～Address～Data～Data～Stop (送受信)

(i) WTIM0 = 0のとき



▲1 : IICS0 = 1000 × 110B

▲2 : IICS0 = 1000 × 000B

▲3 : IICS0 = 1000 × 000B (WTIM0ビットをセット (1)) 注

▲4 : IICS0 = 1000 × × 00B (SPT0ビットをセット (1))

△5 : IICS0 = 00000001B

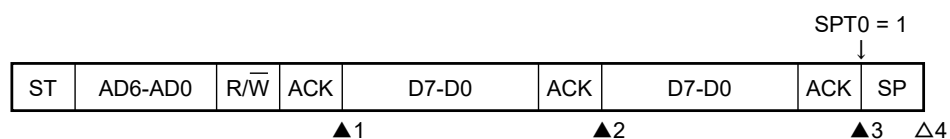
注 ストップ・コンディションを生成するために、WTIM0ビットをセット (1) し、INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき



▲1 : IICS0 = 1000 × 110B

▲2 : IICS0 = 1000 × 100B

▲3 : IICS0 = 1000 × × 00B (SPT0ビットをセット (1))

△4 : IICS0 = 00000001B

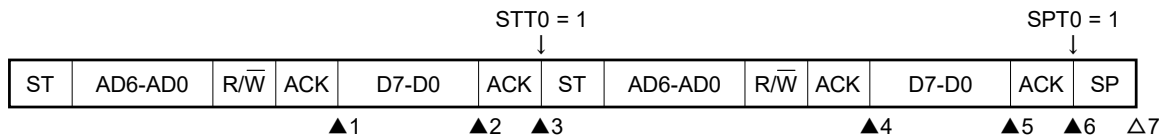
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(b) Start~Address~Data~Start~Address~Data~Stop (リスタート)

(i) WTIM0 = 0のとき



▲1 : IICS0 = 1000 × 110 B

▲2 : IICS0 = 1000 × 000 B (WTIM0ビットをセット (1) 注1)

▲3 : IICS0 = 1000 × × 00 B (WTIM0ビットをクリア (0) 注2, STT0ビットをセット (1))

▲4 : IICS0 = 1000 × 110 B

▲5 : IICS0 = 1000 × 000 B (WTIM0ビットをセット (1) 注3)

▲6 : IICS0 = 1000 × × 00 B (SPT0ビットをセット (1))

△7 : IICS0 = 00000001 B

注1. スタート・コンディションを生成するために、WTIM0ビットをセット (1) し、INTIICA0割り込み要求信号の発生タイミングを変更してください。

2. 設定を元に戻すために、WTIM0ビットをクリア (0) してください。

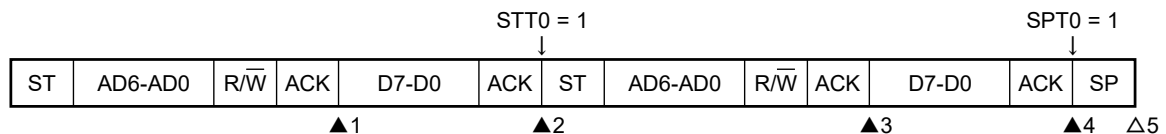
3. ストップ・コンディションを生成するために、WTIM0ビットをセット (1) し、INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき



▲1 : IICS0 = 1000 × 110 B

▲2 : IICS0 = 1000 × × 00 B (STT0ビットをセット (1))

▲3 : IICS0 = 1000 × 110 B

▲4 : IICS0 = 1000 × × 00 B (SPT0ビットをセット (1))

△5 : IICS0 = 00000001 B

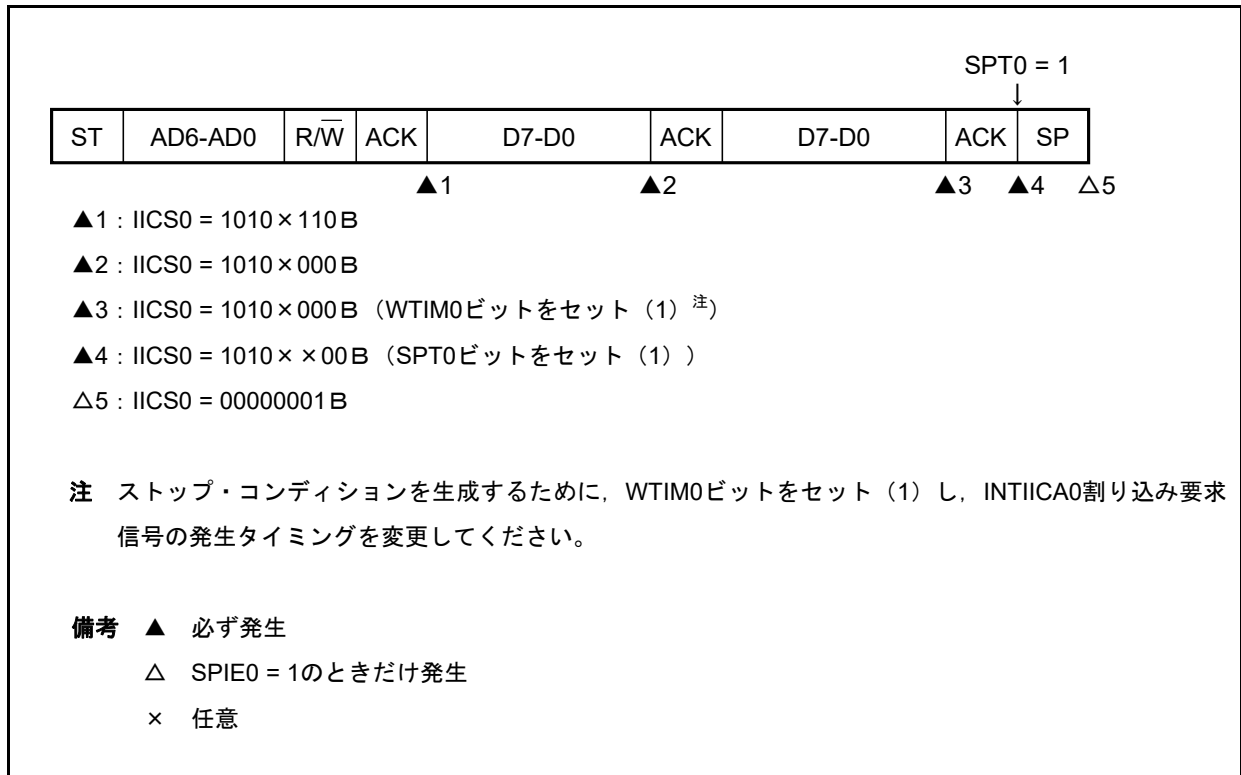
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

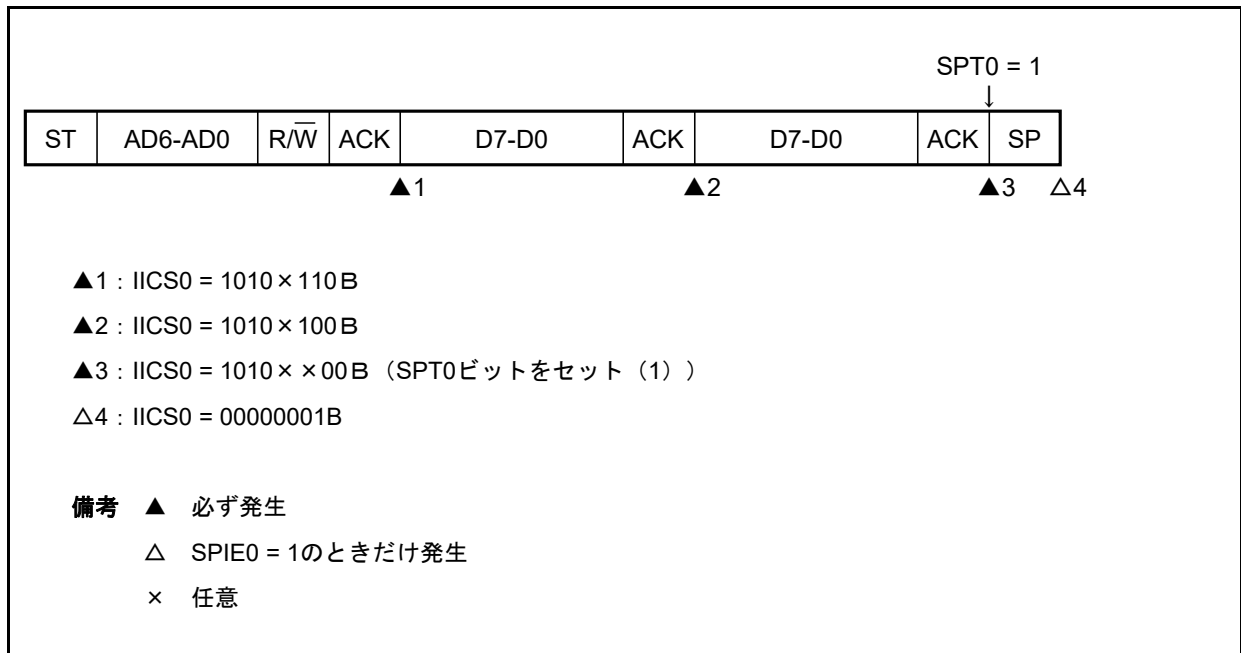
× 任意

(c) Start～Code～Data～Data～Stop（拡張コード送信）

(i) WTIM0 = 0のとき



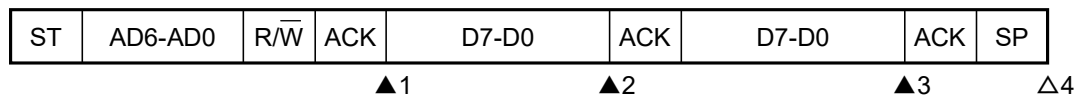
(ii) WTIM0 = 1のとき



(2) スレーブ動作（スレーブ・アドレス受信時）

(a) Start～Address～Data～Data～Stop

(i) WTIM0 = 0のとき



▲1 : IICS0 = 0001 × 110 B

▲2 : IICS0 = 0001 × 000 B

▲3 : IICS0 = 0001 × 000 B

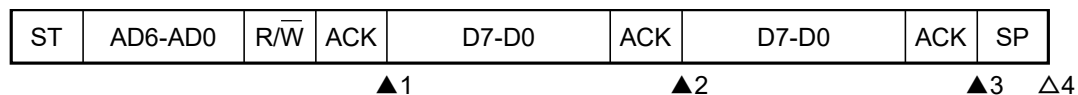
△4 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき



▲1 : IICS0 = 0001 × 110 B

▲2 : IICS0 = 0001 × 100 B

▲3 : IICS0 = 0001 × × 00 B

△4 : IICS0 = 00000001 B

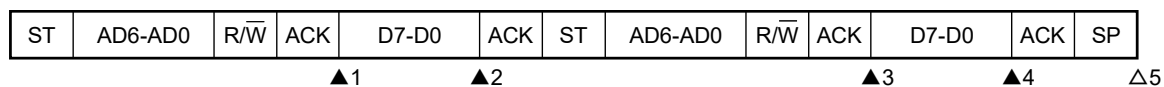
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(b) Start～Address～Data～Start～Address～Data～Stop

(i) WTIM0 = 0のとき (リスタート後, SVA0一致)



▲1 : IICS0 = 0001 × 110 B

▲2 : IICS0 = 0001 × 000 B

▲3 : IICS0 = 0001 × 110 B

▲4 : IICS0 = 0001 × 000 B

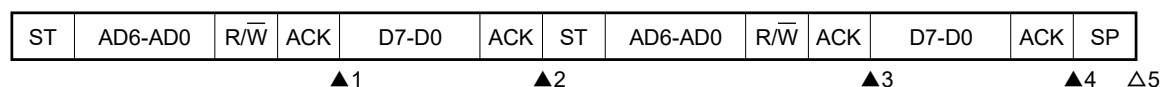
△5 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき (リスタート後, SVA0一致)



▲1 : IICS0 = 0001 × 110 B

▲2 : IICS0 = 0001 × × 00 B

▲3 : IICS0 = 0001 × 110 B

▲4 : IICS0 = 0001 × × 00 B

△5 : IICS0 = 00000001 B

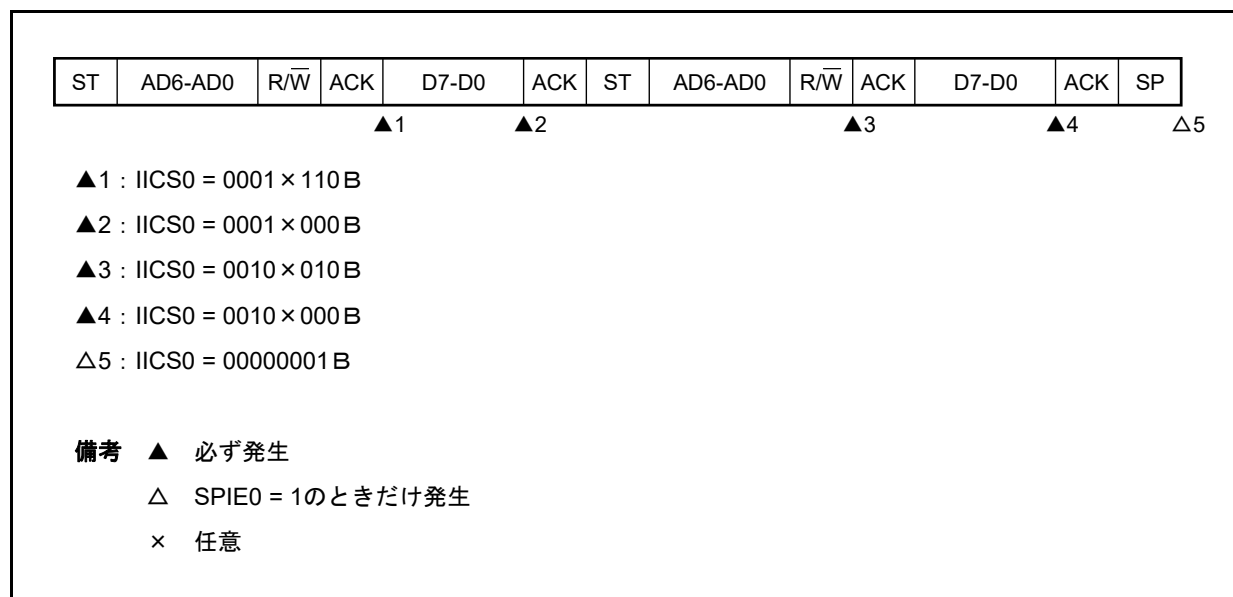
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

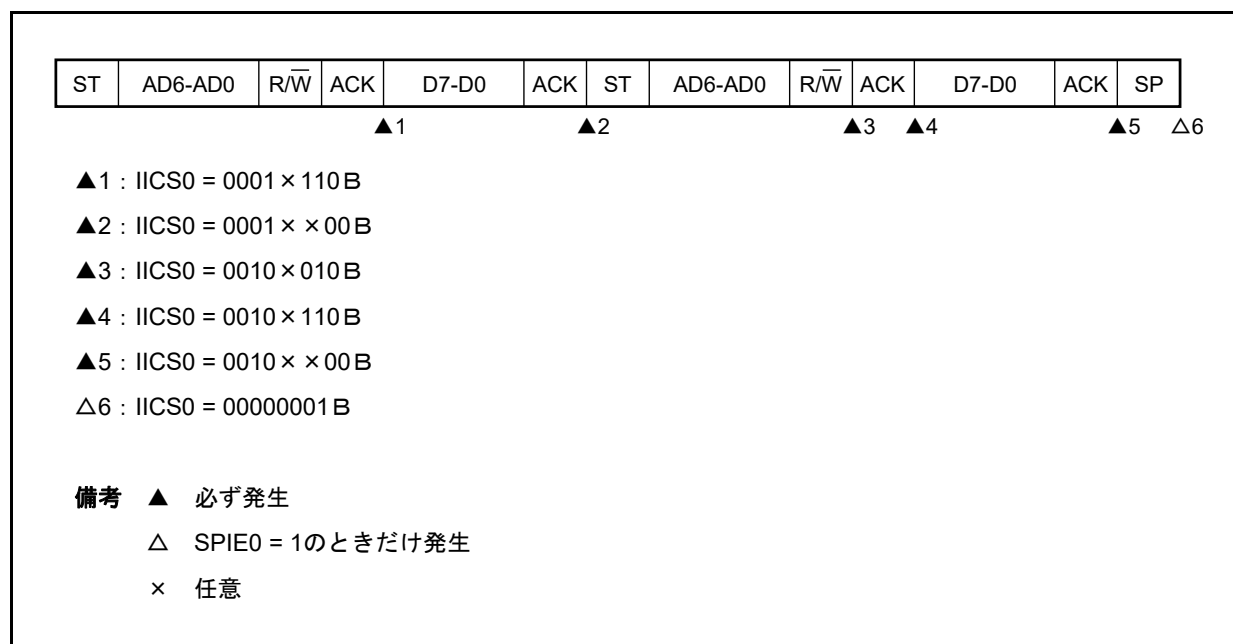
× 任意

(c) Start～Address～Data～Start～Code～Data～Stop

(i) WTIM0 = 0のとき（リスタート後、アドレス不一致（拡張コード））

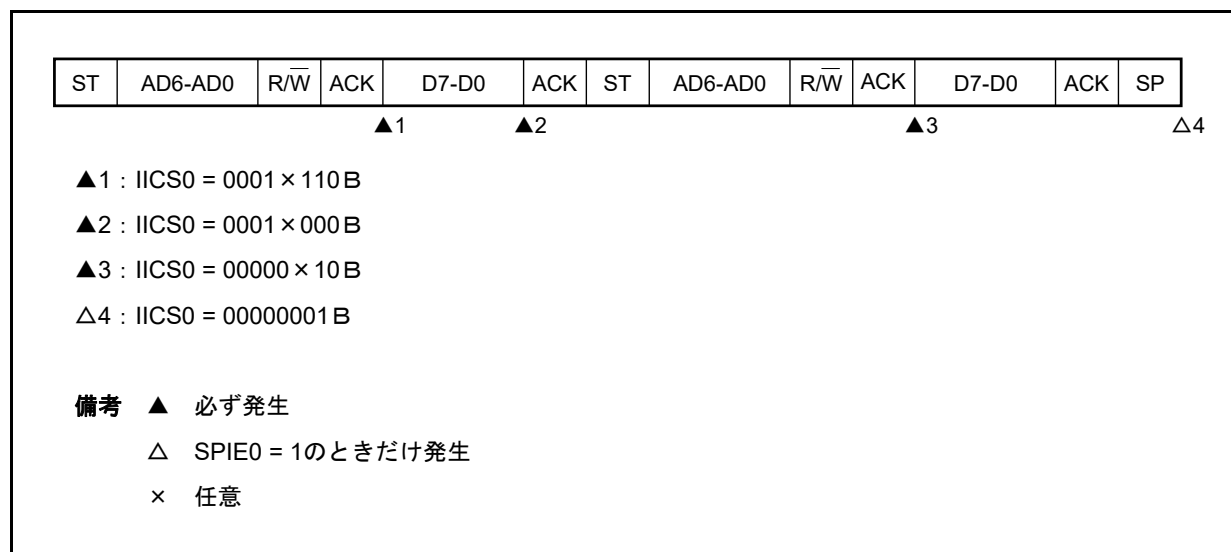


(ii) WTIM0 = 1のとき（リスタート後、アドレス不一致（拡張コード））

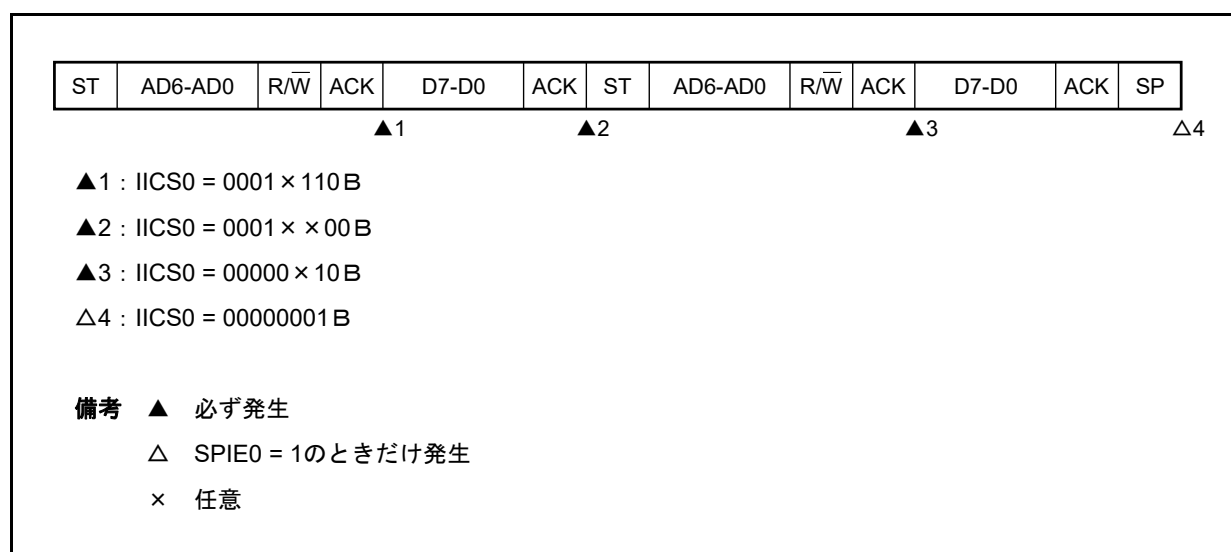


(d) Start～Address～Data～Start～Address～Data～Stop

(i) WTIM0 = 0のとき（リスタート後、アドレス不一致（拡張コード以外））



(ii) WTIM0 = 1のとき（リスタート後、アドレス不一致（拡張コード以外））

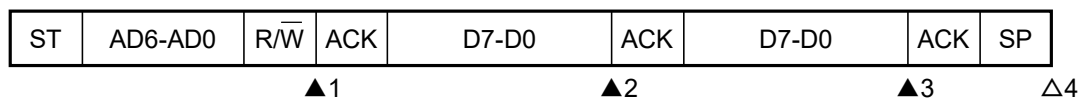


(3) スレーブ動作（拡張コード受信時）

拡張コード受信時は、常に通信に参加しています

(a) Start～Code～Data～Data～Stop

(i) WTIM0 = 0のとき



▲1 : IICS0 = 0010×010B

▲2 : IICS0 = 0010×000B

▲3 : IICS0 = 0010×000B

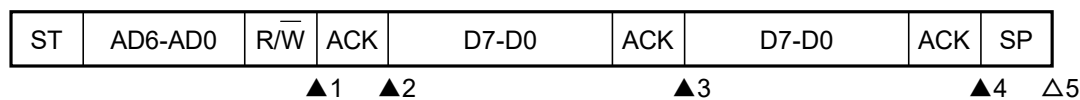
△4 : IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき



▲1 : IICS0 = 0010×010B

▲2 : IICS0 = 0010×110B

▲3 : IICS0 = 0010×100B

▲4 : IICS0 = 0010××00B

△5 : IICS0 = 00000001B

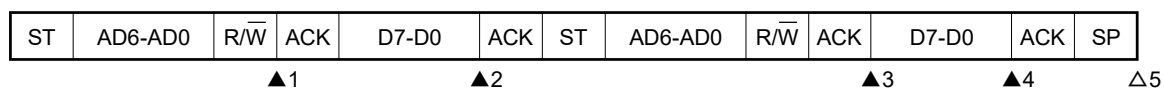
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(b) Start～Code～Data～Start～Address～Data～Stop

(i) WTIM0 = 0のとき (リスタート後, SVA0一致)



▲1 : IICS0 = 0010 × 010 B

▲2 : IICS0 = 0010 × 000 B

▲3 : IICS0 = 0001 × 110 B

▲4 : IICS0 = 0001 × 000 B

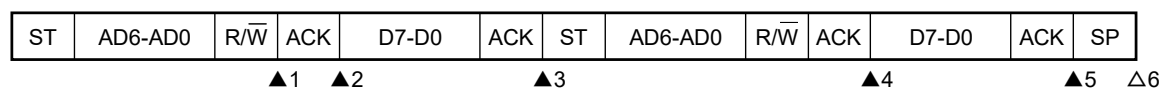
△5 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき (リスタート後, SVA0一致)



▲1 : IICS0 = 0010 × 010 B

▲2 : IICS0 = 0010 × 110 B

▲3 : IICS0 = 0010 × × 00 B

▲4 : IICS0 = 0001 × 110 B

▲5 : IICS0 = 0001 × × 00 B

△6 : IICS0 = 00000001 B

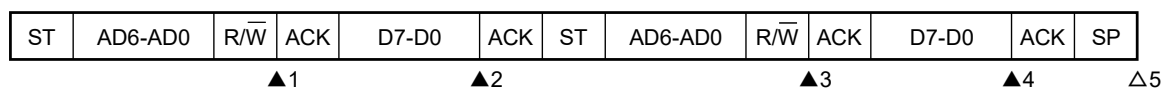
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(c) Start~Code~Data~Start~Code~Data~Stop

(i) WTIM0 = 0のとき (リスタート後, 拡張コード受信)



▲1 : IICS0 = 0010 × 010 B

▲2 : IICS0 = 0010 × 000 B

▲3 : IICS0 = 0010 × 010 B

▲4 : IICS0 = 0010 × 000 B

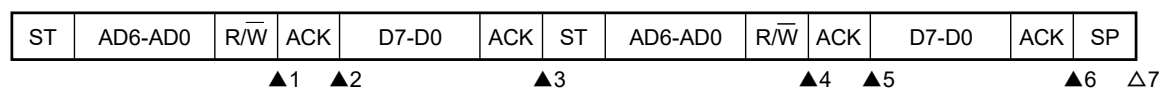
△5 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき (リスタート後, 拡張コード受信)



▲1 : IICS0 = 0010 × 010 B

▲2 : IICS0 = 0010 × 110 B

▲3 : IICS0 = 0010 × × 00 B

▲4 : IICS0 = 0010 × 010 B

▲5 : IICS0 = 0010 × 110 B

▲6 : IICS0 = 0010 × × 00 B

△7 : IICS0 = 00000001 B

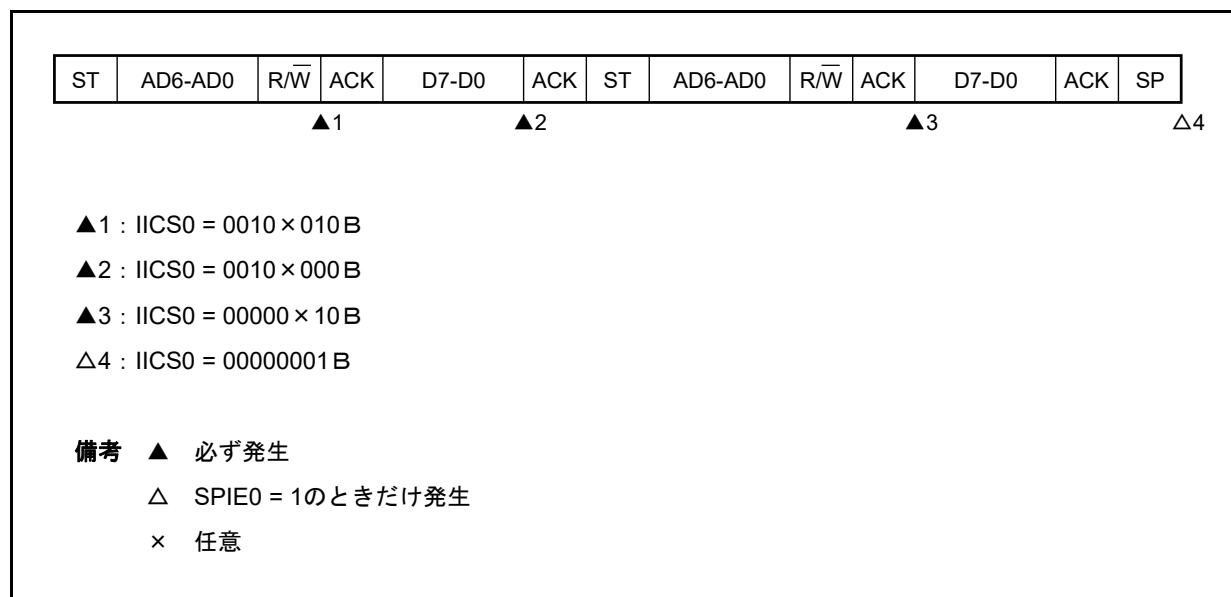
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

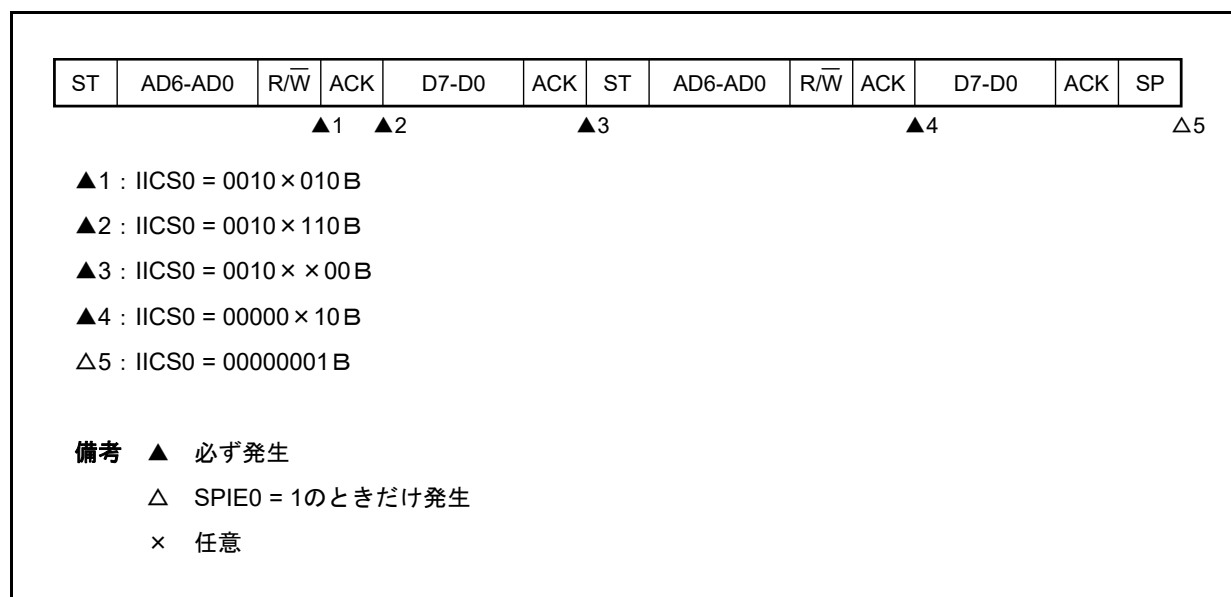
× 任意

(d) Start~Code~Data~Start~Address~Data~Stop

(i) WTIM0 = 0のとき（リスタート後、アドレス不一致（拡張コード以外））

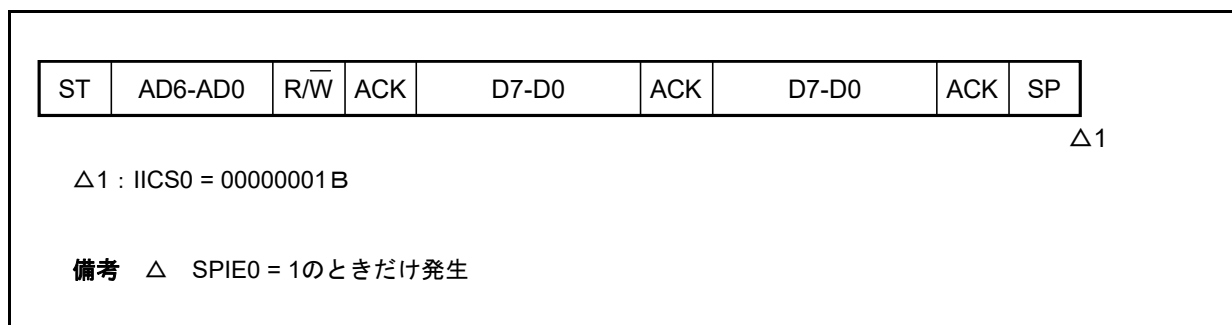


(ii) WTIM0 = 1のとき（リスタート後、アドレス不一致（拡張コード以外））



(4) 通信不参加の動作

(a) Start～Code～Data～Data～Stop

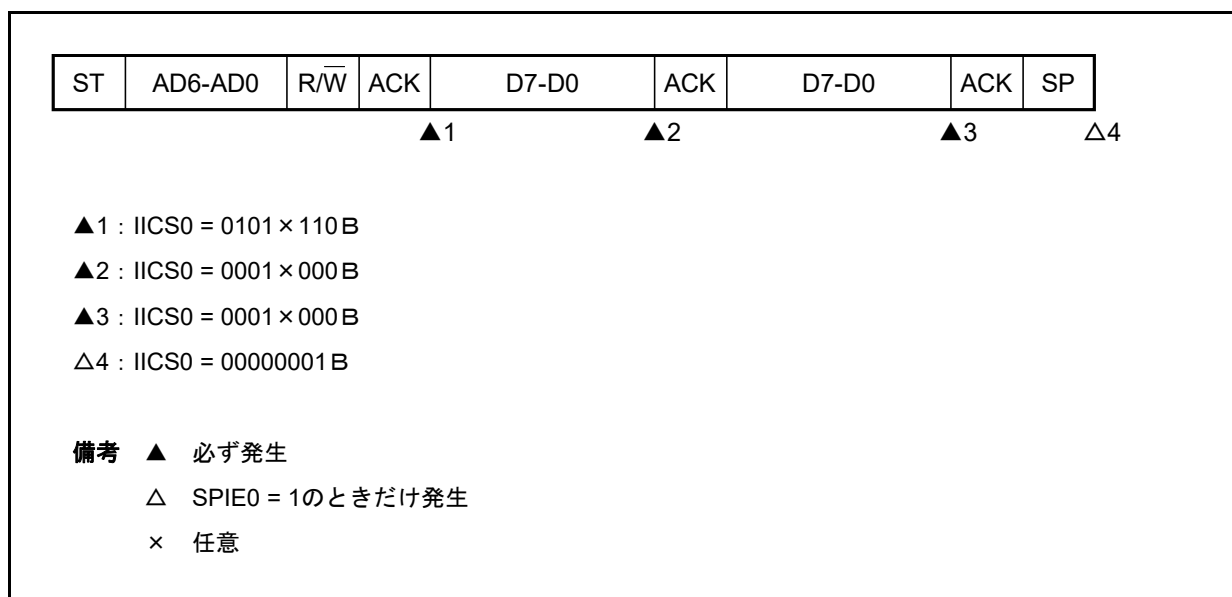


(5) アービトレーション負けの動作（アービトレーション負けのあと、スレーブとして動作）

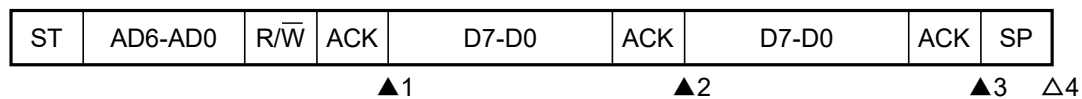
マルチマスタ・システムでマスタとして使用する場合は、INTIICA0割り込み要求信号の発生ごとに MSTS0ビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM0 = 0のとき



(ii) WTIM0 = 1のとき



▲1 : IICS0 = 0101 × 110 B

▲2 : IICS0 = 0001 × 100 B

▲3 : IICS0 = 0001 × × 00 B

△4 : IICS0 = 00000001 B

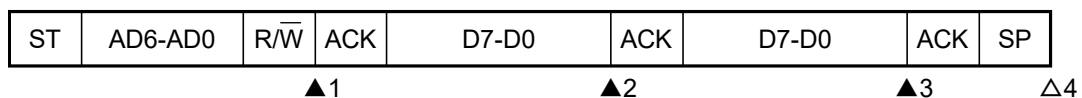
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIM0 = 0のとき



▲1 : IICS0 = 0110 × 010 B

▲2 : IICS0 = 0010 × 000 B

▲3 : IICS0 = 0010 × 000 B

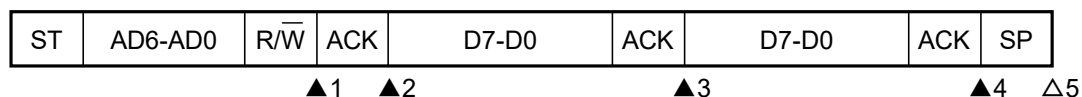
△4 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき



▲1 : IICS0 = 0110 × 010 B

▲2 : IICS0 = 0010 × 110 B

▲3 : IICS0 = 0010 × 100 B

▲4 : IICS0 = 0010 × × 00 B

△5 : IICS0 = 00000001 B

備考 ▲ 必ず発生

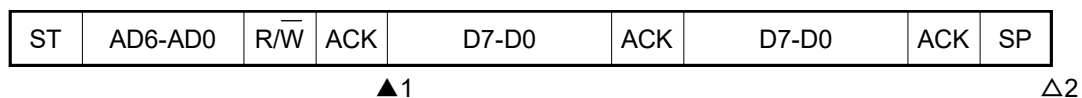
△ SPIE0 = 1のときだけ発生

× 任意

(6) アービトレーション負けの動作（アービトレーション負けのあと、不参加）

マルチマスタ・システムでマスタとして使用する場合は、INTIICA0割り込み要求信号の発生ごとにMSTS0ビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIM0 = 1のとき）



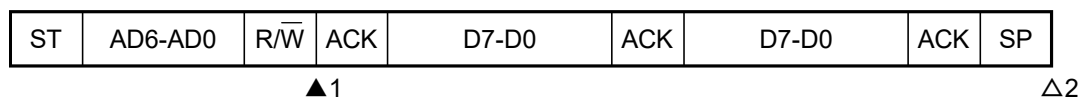
▲1 : IICS0 = 01000110 B

△2 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合



▲1 : IICS0 = 0110×010B

ソフトウェアでLREL0 = 1を設定

△2 : IICS0 = 00000001B

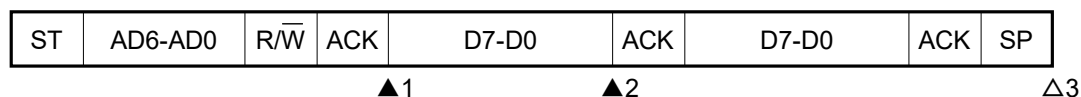
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(c) データ転送時にアービトレーションに負けた場合

(i) WTIM0 = 0のとき



▲1 : IICS0 = 10001110B

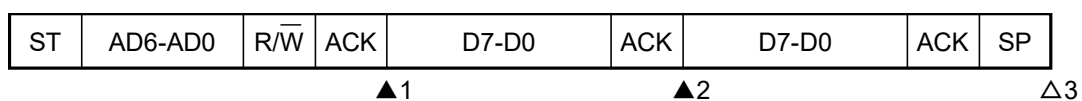
▲2 : IICS0 = 01000000B

△3 : IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

(ii) WTIM0 = 1のとき



▲1 : IICS0 = 10001110 B

▲2 : IICS0 = 01000100 B

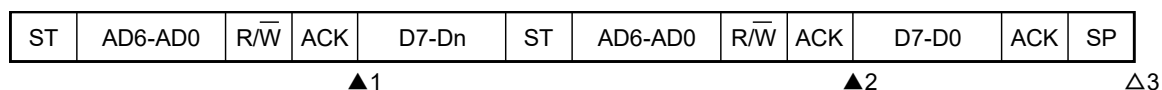
△3 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVA0不一致)



▲1 : IICS0 = 1000 × 110 B

▲2 : IICS0 = 01000110 B

△3 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

n = 6-0

(ii) 拡張コード

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			▲1				▲2			△3	

▲1 : IICS0 = 1000 × 110 B

▲2 : IICS0 = 01100010 B

ソフトウェアでLREL0 = 1を設定

△3 : IICS0 = 00000001 B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

n = 6-0

(e) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
			▲1		△2

▲1 : IICS0 = 10000110 B

△2 : IICS0 = 01000001 B

備考 ▲ 必ず発生

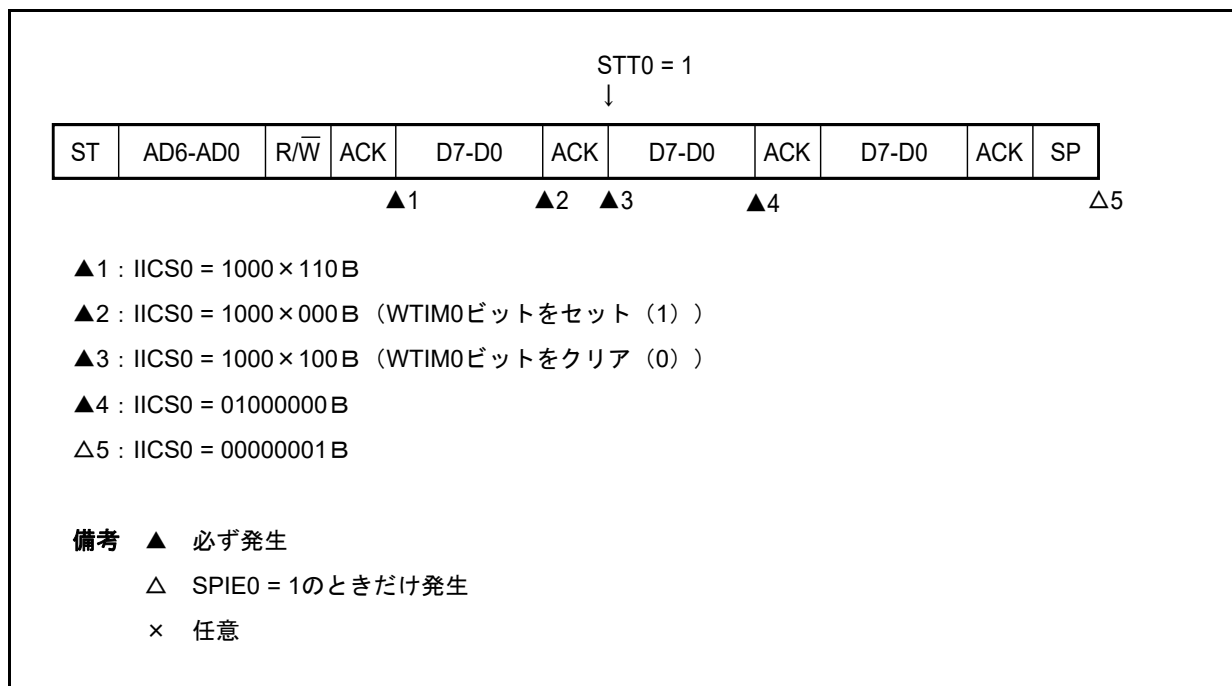
△ SPIE0 = 1のときだけ発生

× 任意

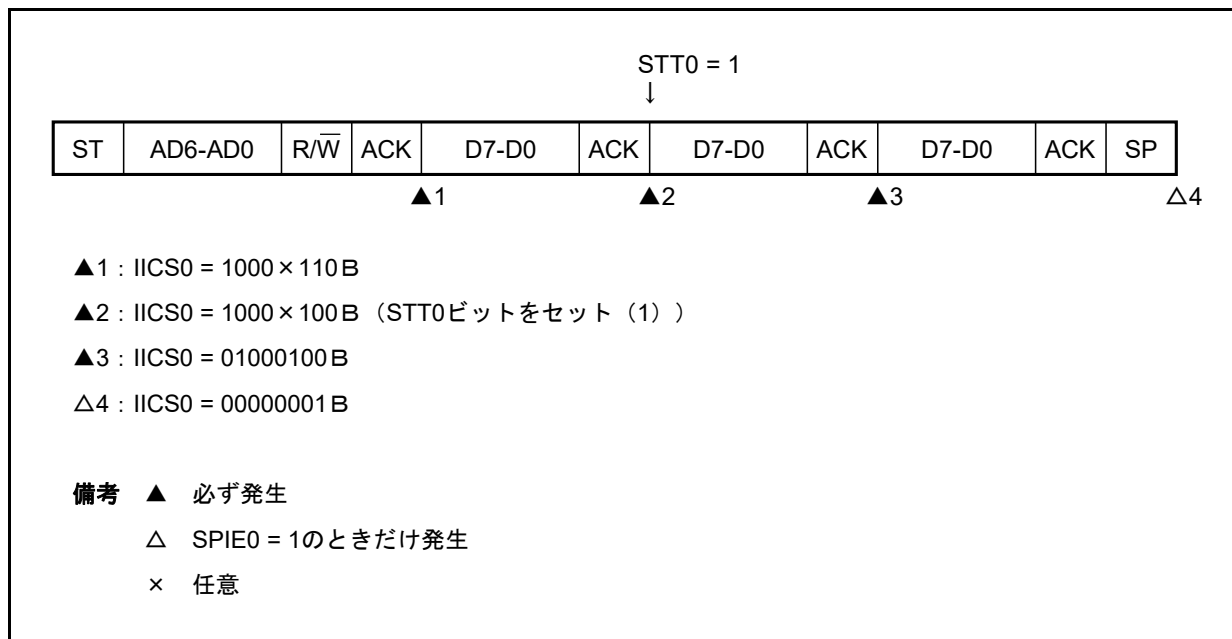
n = 6-0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 0のとき

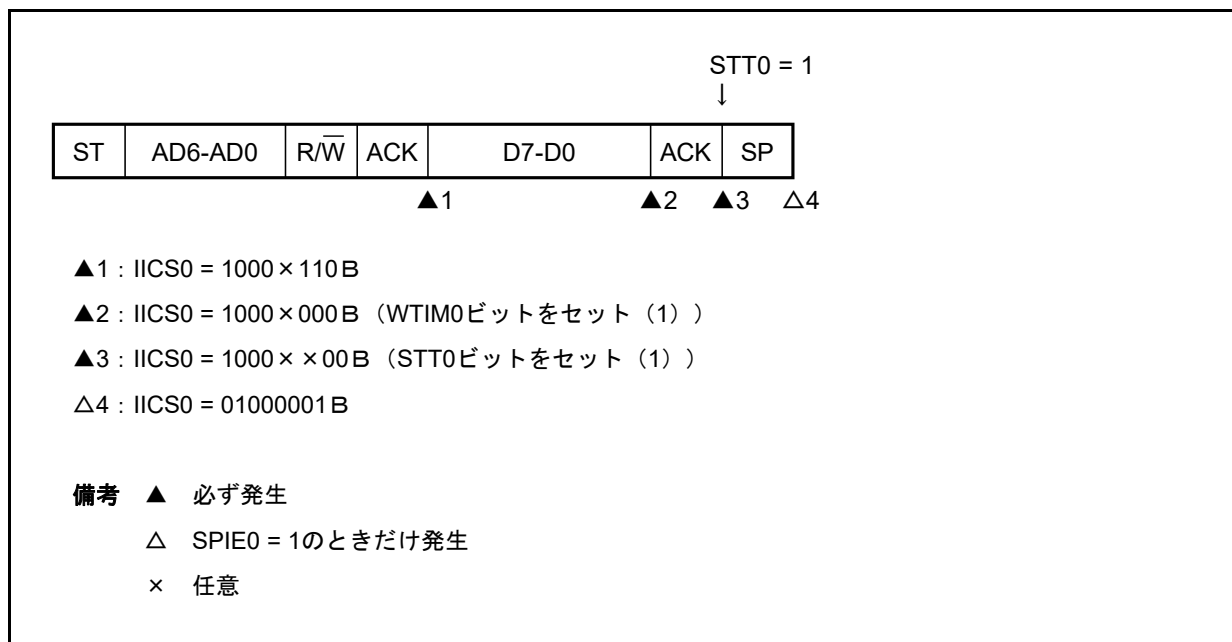


(ii) WTIM0 = 1のとき

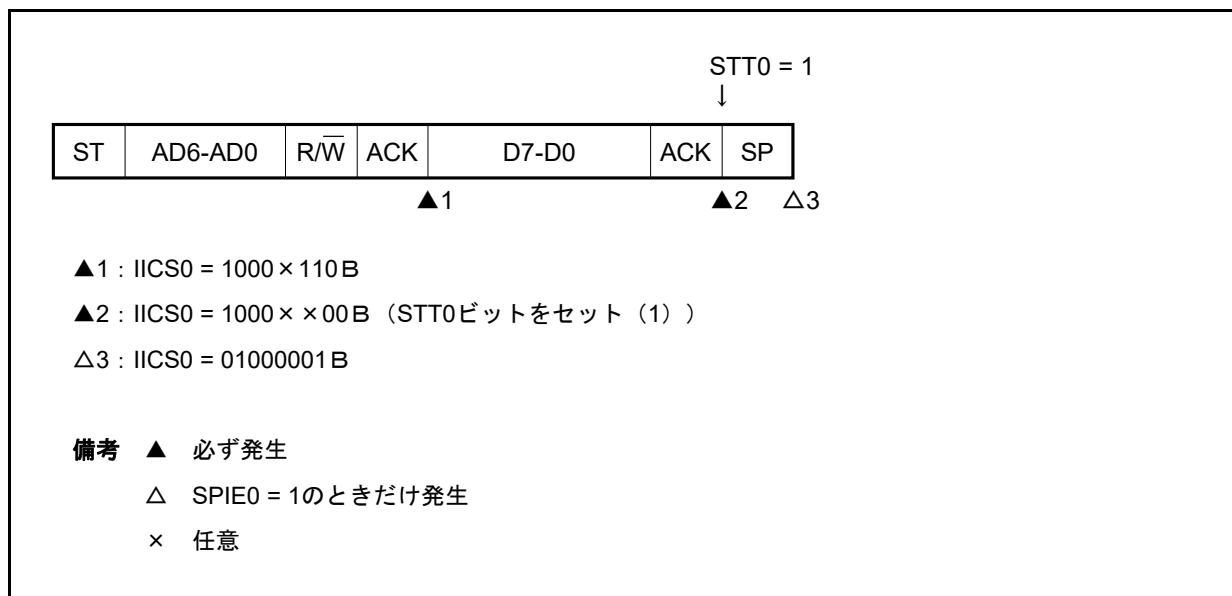


(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIM0 = 0のとき

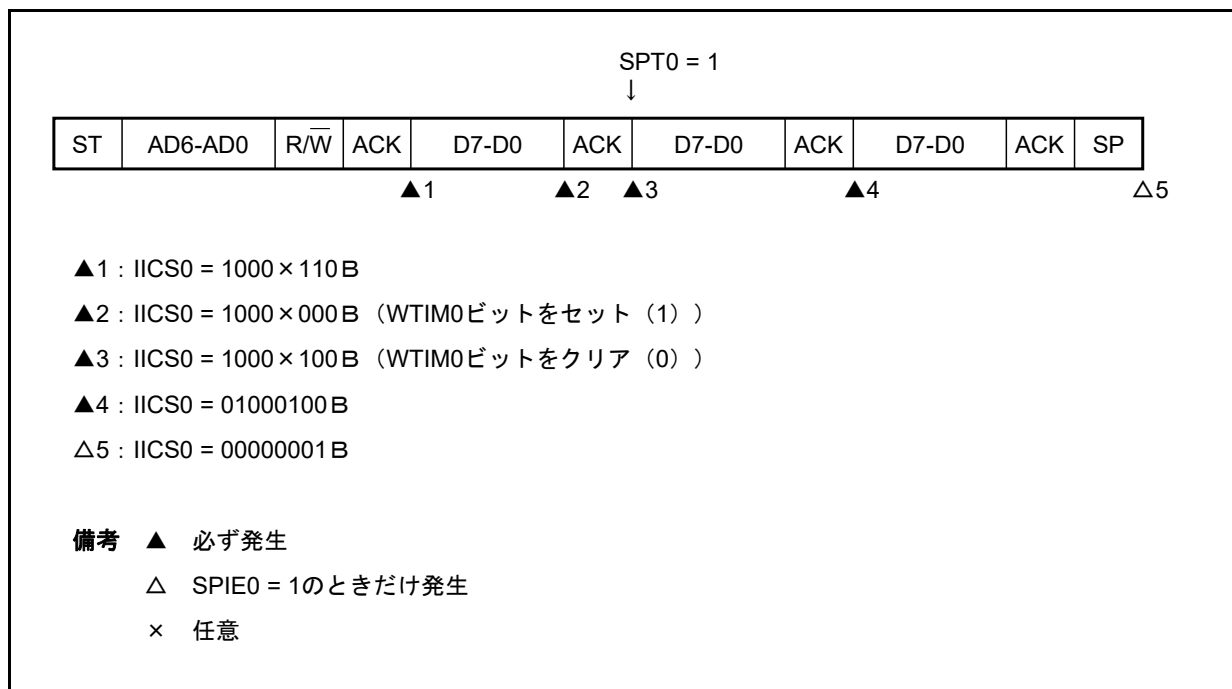


(ii) WTIM0 = 1のとき

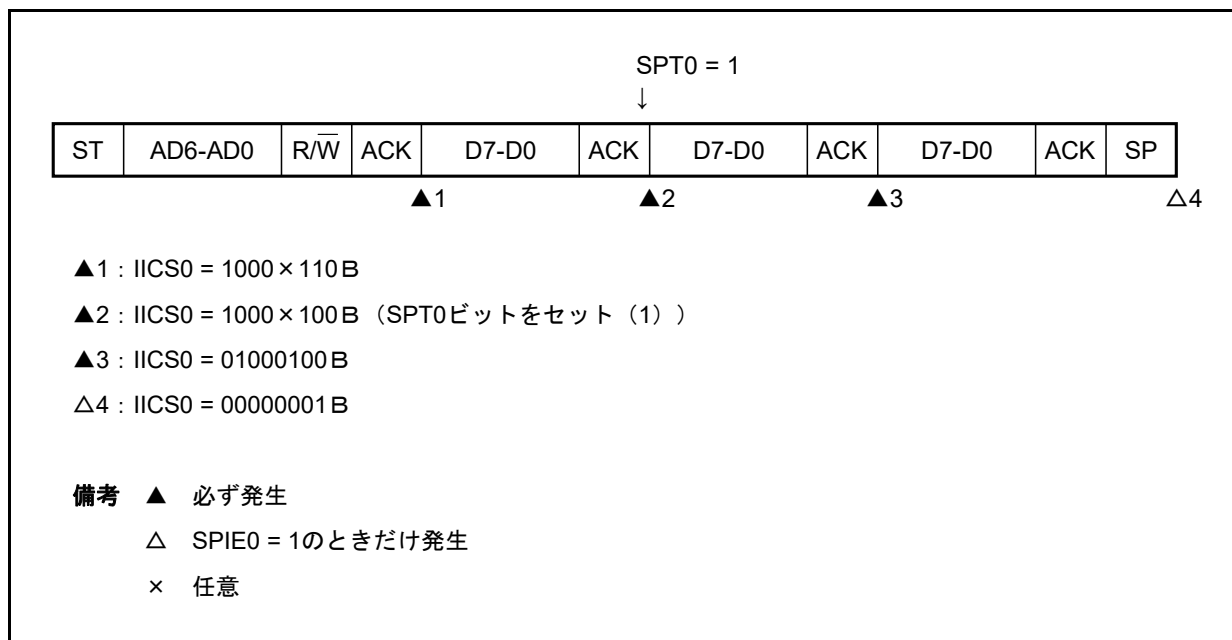


(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 0のとき



(ii) WTIM0 = 1のとき



12.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット（IICAステータス・レジスタ0（IICS0）のビット3）を送信し、スレーブとのシリアル通信を開始します。

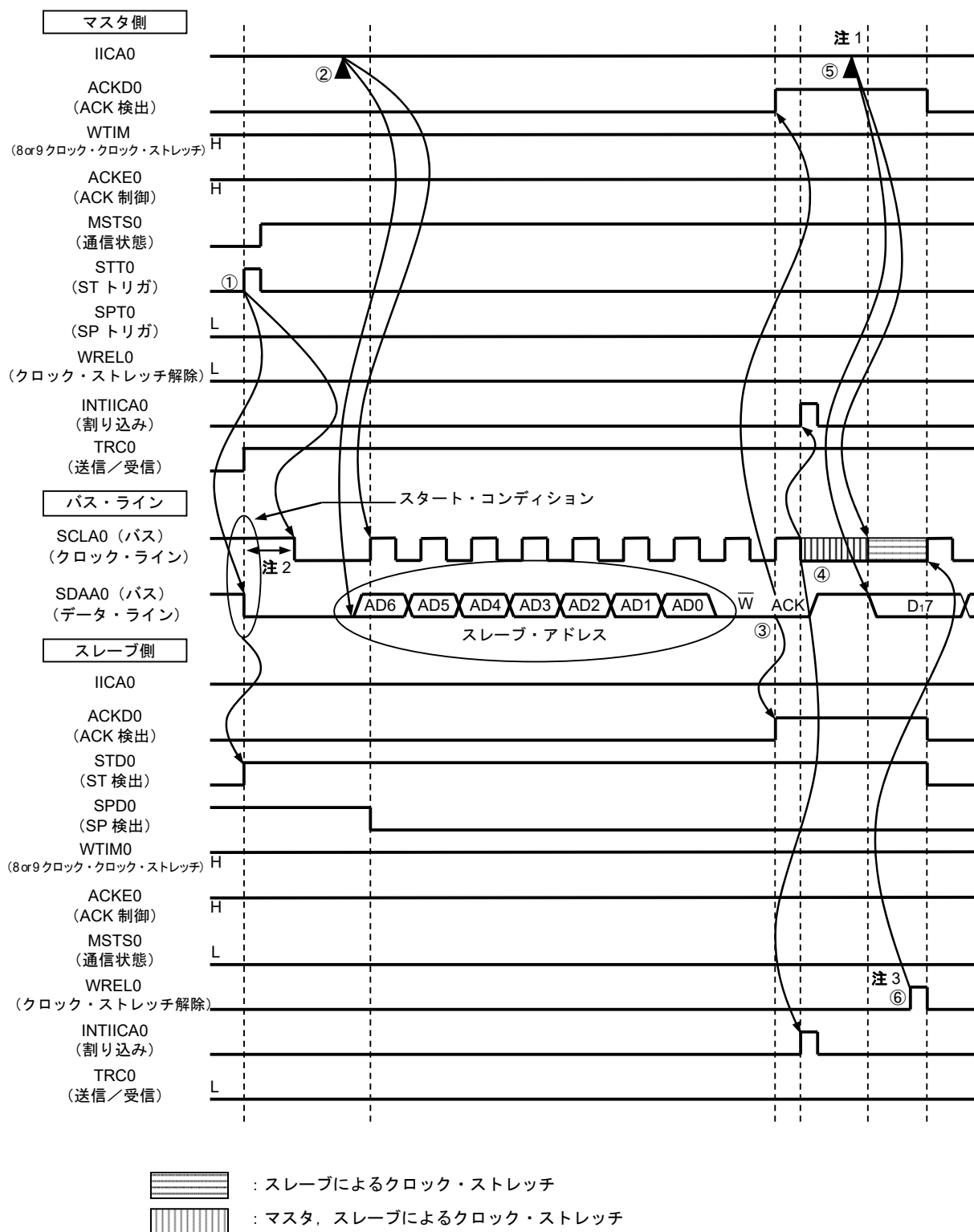
データ通信のタイミング・チャートを図12-32、図12-33に示します。

シリアル・クロック（SCLA0）の立ち下がりに同期してIICAシフト・レジスタ0（IICA0）のシフト動作が行われ、送信データがSOラッチに転送され、SDAA0端子からMSBファーストで出力されます。

また、SCLA0の立ち上がりでSDAA0端子に入力されたデータがIICA0に取り込まれます。

図12-32 マスタ→スレーブ通信例 (マスタ:9クロック, スレーブ:9クロックでクロック・ストレッチ選択) (1/4)

(1) スタート・コンディション～アドレス～データ



- 注1.** マスタ側での送信時のクロック・ストレッチ解除は、WREL0ビットのセットではなく、IICA0へのデータ書き込みで行ってください。
- 2.** SDAA0端子信号が立ち下がってからSCLA0端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μ s以上、ファースト・モード設定時は0.6 μ s以上です。
- 3.** スレーブ側での受信時のクロック・ストレッチ解除は、IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図12-32 (1) スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット (STT0 = 1) されると、バス・データ・ライン (SDAA0 = 0) が立ち下がり、スタート・コンディション (SDAA0 = 0, SCLA0 = 1) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 (MSTS0 = 1) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり (SCLA0 = 0)、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタ0 (IICA0) にアドレス+W (送信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVA0の値) が一致した場合[※]、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD0 = 1) されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み (INTIICA0: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブは、クロック・ストレッチ (SCLA0 = 0) をかけ、割り込み (INTIICA0: アドレス一致割り込み) が発生します[※]。
- ⑤ マスタ側がIICA0レジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除 (WREL0 = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK: SDAA0 = 1)。また、スレーブ側のINTIICA0割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICA0割り込み (アドレス送信完了割り込み) が発生します。

備考 図12-32の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図12-32 (1) スタート・コンディション～アドレス～データでは手順①～⑥

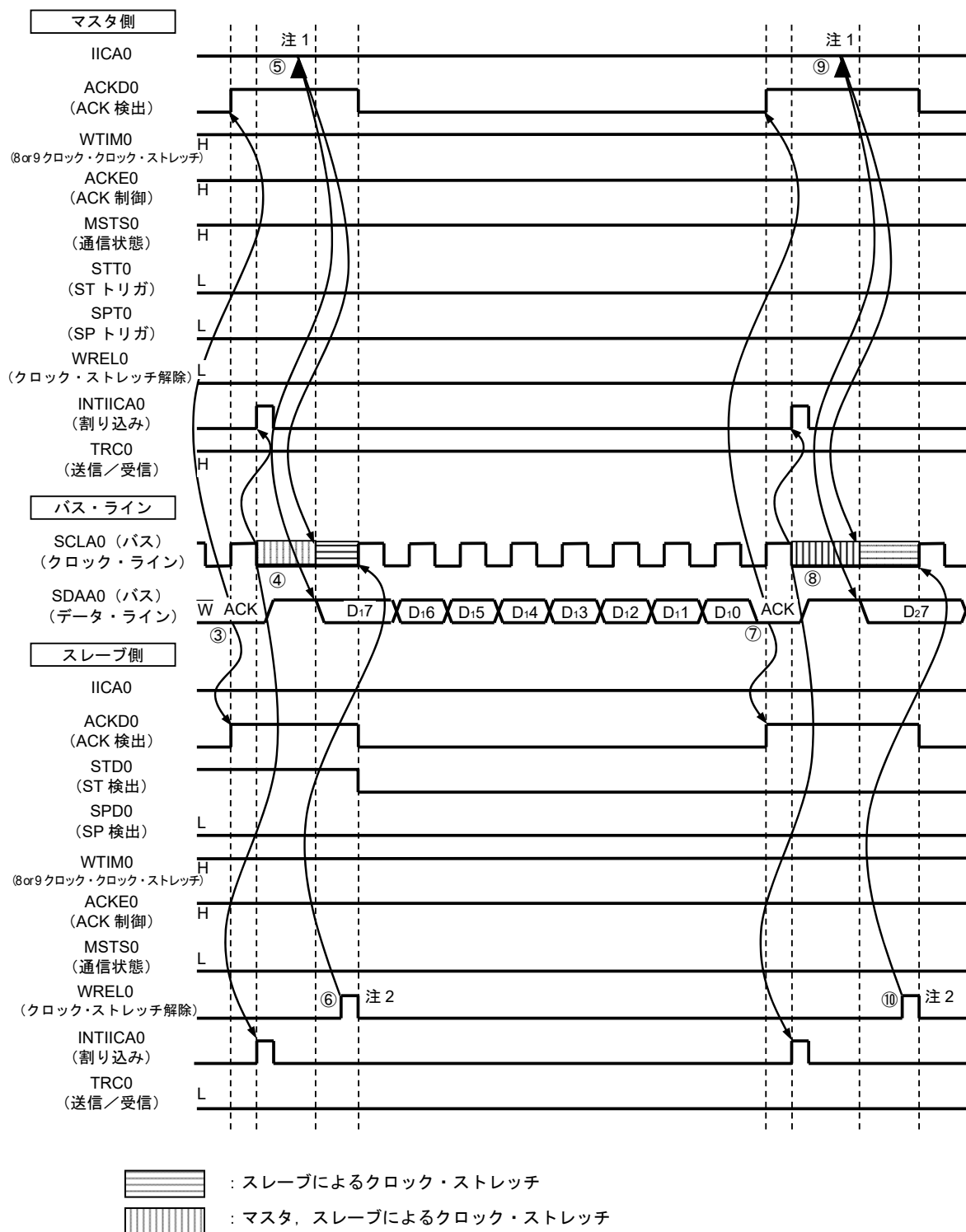
図12-32 (2) アドレス～データ～データでは手順③～⑩

図12-32 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

図12-32 マスタ→スレーブ通信例（マスタ：9クロック、スレーブ：9クロックでクロック・ストレッチ選択）（2/4）

(2) アドレス～データ～データ



注1. マスタ側での送信時のクロック・ストレッチ解除は、WREL0ビットのセットではなく、IICA0へのデータ書き込みで行ってください。

2. スレーブ側での受信時のクロック・ストレッチ解除は、IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図12-32 (2) アドレス～データ～データの③～⑩の説明を次に示します。

- ③ スレーブ側で、受信したアドレスと自局のアドレス（SVA0の値）が一致した場合[※]、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出（ACKD0 = 1）されます。
- ④ 9クロック目の立ち下がりで、マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブは、クロック・ストレッチ（SCLA0 = 0）をかけ、割り込み（INTIICA0：アドレス一致割り込み）が発生します[※]。
- ⑤ マスタ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除（WREL0 = 1）すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑦ データ転送完了後、スレーブ側はACE0 = 1なので、ハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出（ACKD0 = 1）されます。
- ⑧ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり、マスタ側、スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。
- ⑨ マスタ側がIICA0レジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除（WREL0 = 1）すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが（NACK：SDAA0 = 1）。また、スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず、スレーブ側のクロック・ストレッチもかかりません。

ただし、マスタ側はACK、NACKの両方に対して、INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考 図12-32の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図12-32 (1) スタート・コンディション～アドレス～データでは手順①～⑥

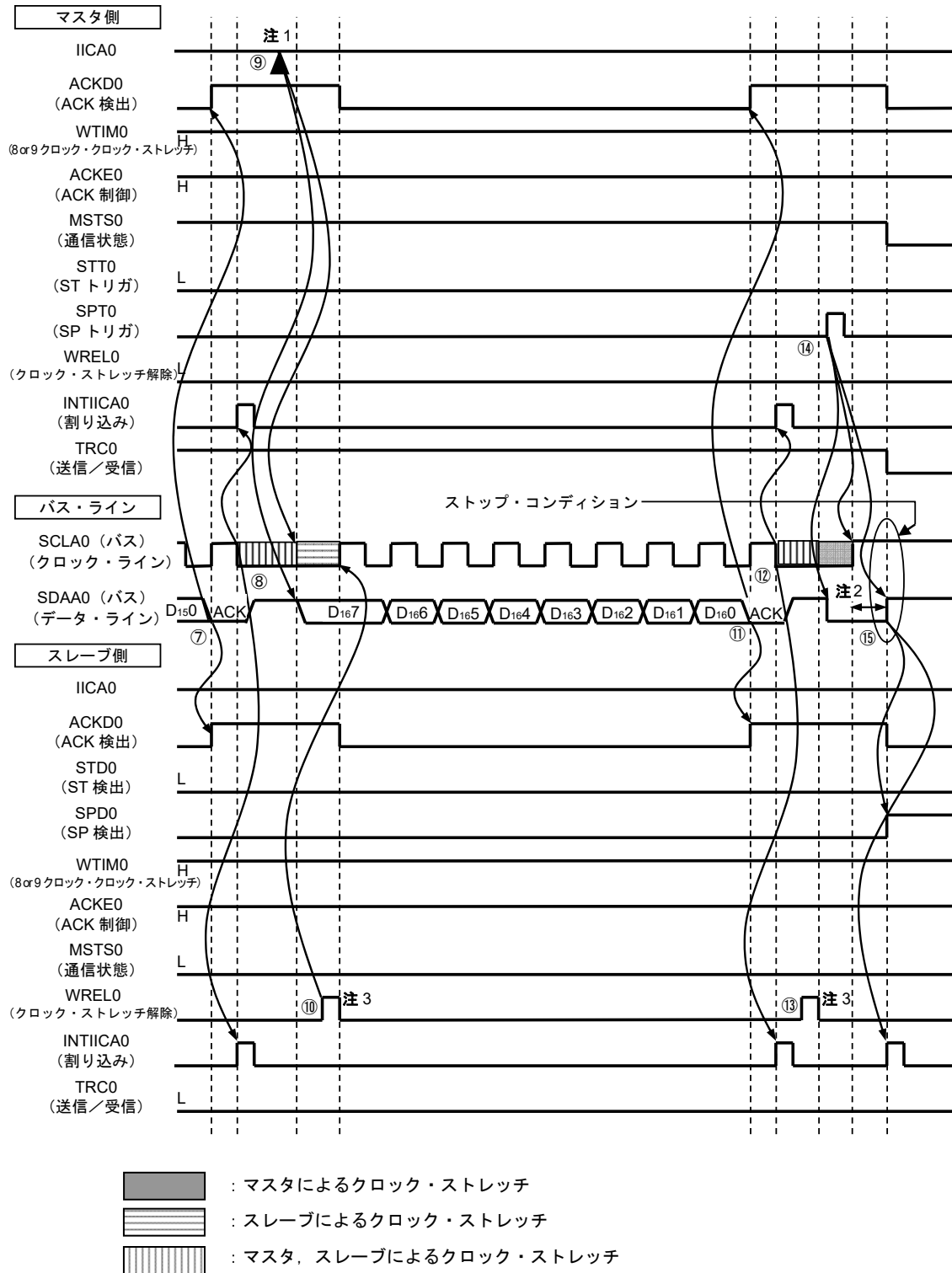
図12-32 (2) アドレス～データ～データでは手順③～⑩

図12-32 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

図12-32 マスタ→スレーブ通信例（マスタ：9クロック、スレーブ：9クロックでクロック・ストレッチ選択）（3/4）

(3) データ～データ～ストップ・コンディション



- 注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELOビットのセットではなく、IICA0へのデータ書き込みで行ってください。
2. ストップ・コンディションの発行後、SCLA0端子信号が立ち上がったからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μ s以上、ファースト・モード設定時は0.6 μ s以上です。
3. スレーブ側での受信時のクロック・ストレッチ解除は、IICA0←FFHまたはWRELOビットのセットのどちらかで行ってください。

図12-32 (3) データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

- ⑦ データ転送完了後、スレーブ側は $ACKE0 = 1$ なので、ハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 ($ACKD0 = 1$) されます。
- ⑧ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ ($SCLA0 = 0$) がかかり、マスタ側、スレーブ側で割り込み ($INTIICA0$: 転送完了割り込み) が発生します。
- ⑨ マスタ側がIICAシフト・レジスタ0 ($IICA0$) に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除 ($WREL0 = 1$) すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑪ データ転送完了後、スレーブ側 ($ACKE0 = 1$) のハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 ($ACKD0 = 1$) されます。
- ⑫ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ ($SCLA0 = 0$) がかかり、マスタ側、スレーブ側で割り込み ($INTIICA0$: 転送完了割り込み) が発生します。
- ⑬ スレーブ側が受信データを読み出し、クロック・ストレッチを解除 ($WREL0 = 1$) します。
- ⑭ マスタ側でストップ・コンディション・トリガをセット ($SPT0 = 1$) すると、バス・データ・ラインがクリア ($SDAA0 = 0$) され、バス・クロック・ラインがセット ($SCLA0 = 1$) され、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインがセット ($SDAA0 = 1$) されることで、ストップ・コンディション ($SCLA0 = 1$ で $SDAA0 = 0 \rightarrow 1$) が生成されます。
- ⑮ ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、割り込み ($INTIICA0$: ストップ・コンディション割り込み) が発生します。

備考 図12-32の①～⑮は、 I^2C バスによるデータ通信の一連の操作手順です。

図12-32 (1) スタート・コンディション～アドレス～データでは手順①～⑥

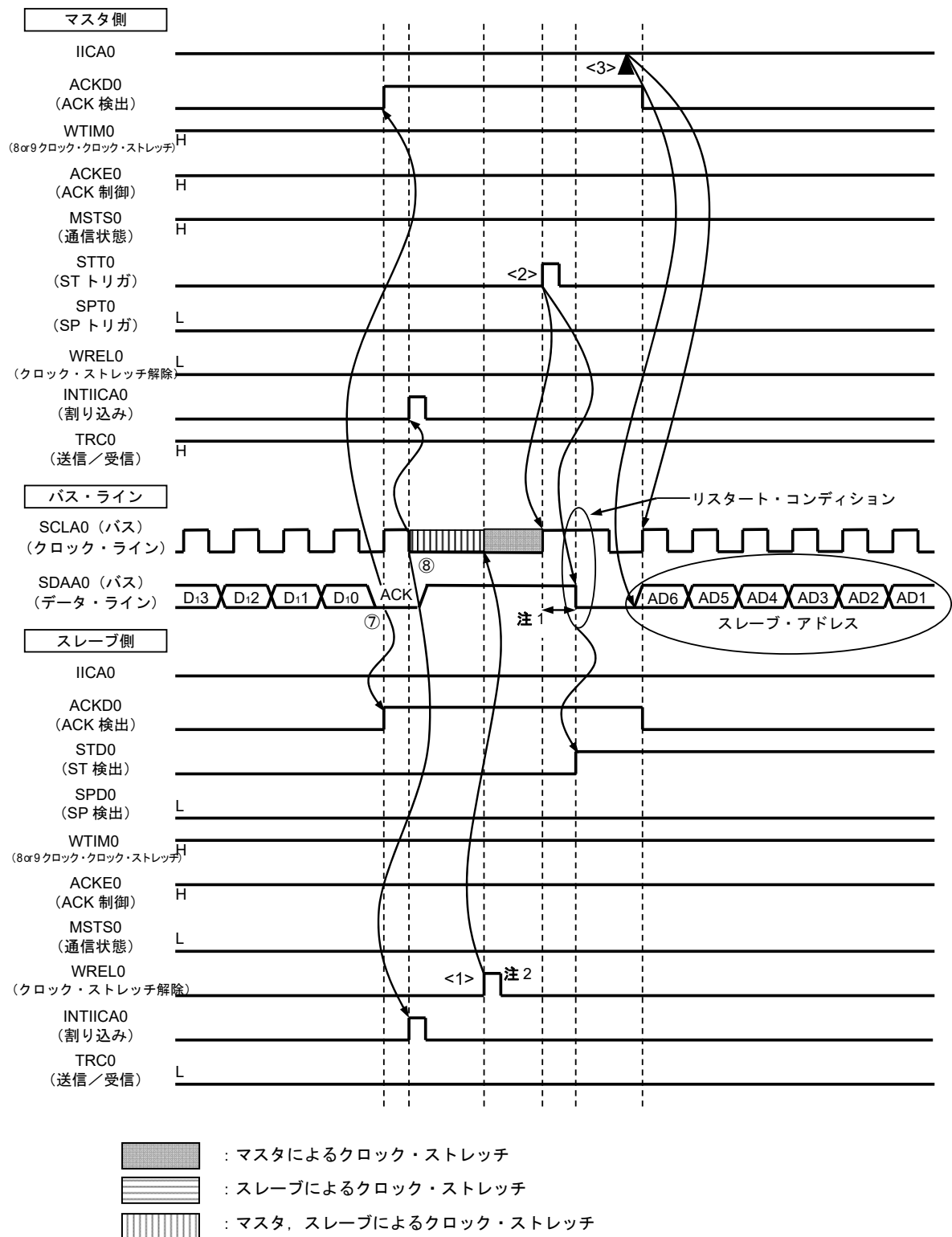
図12-32 (2) アドレス～データ～データでは手順③～⑩

図12-32 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

図12-32 マスタ→スレーブ通信例 (マスタ:9クロック, スレーブ:9クロックでクロック・ストレッチ選択) (4/4)

(4) データ～リスタート・コンディション～アドレス



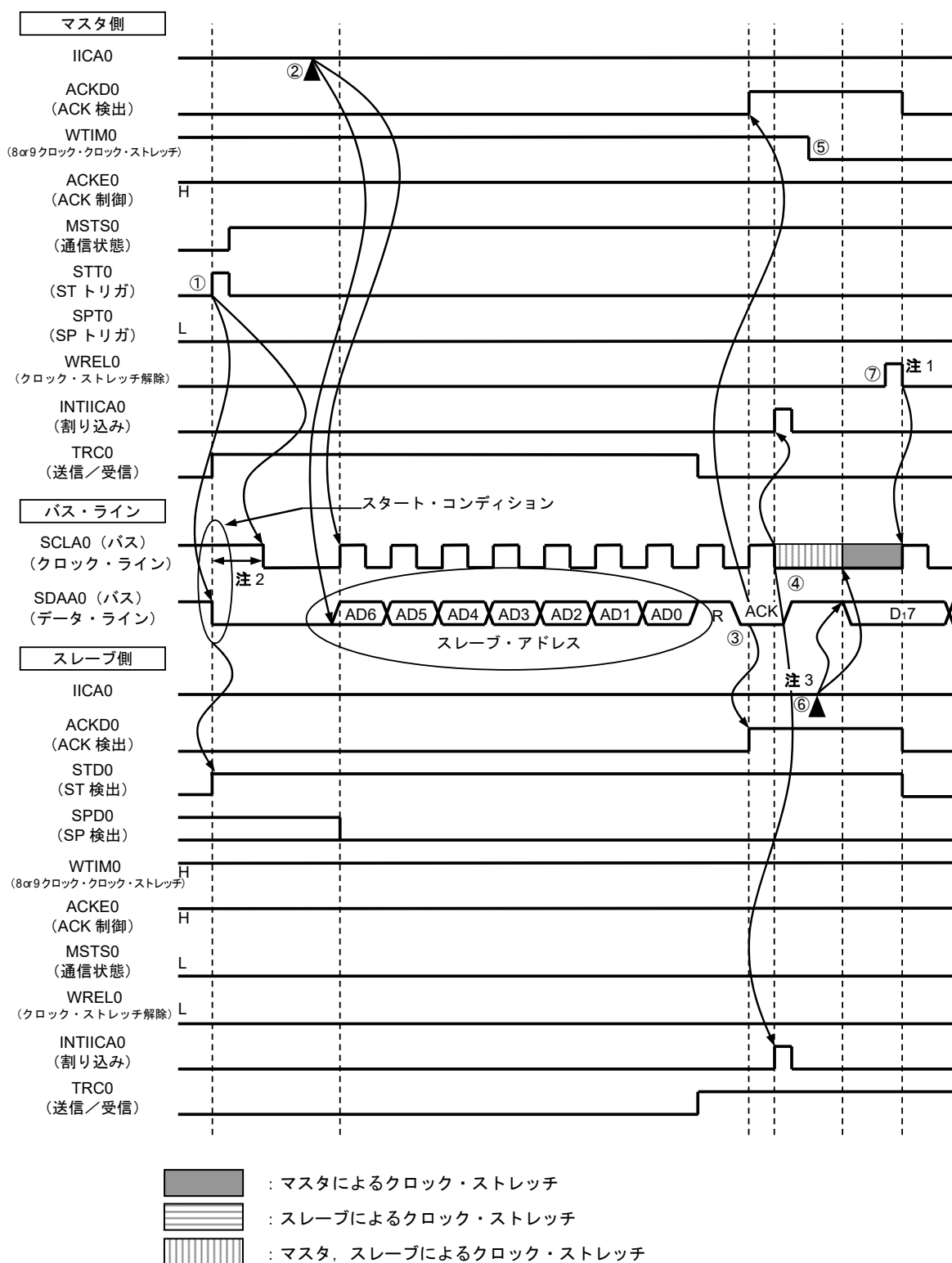
- 注1.** リスタート・コンディションの発行後、SCLA0端子信号が立ち上がってからスタート・コンディションが生成される時間は、標準モード設定時は4.7 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 2.** スレーブ側での受信時のクロック・ストレッチ解除は、IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図12-32 (4) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦, ⑧の動作後, <1>～<3>の動作を行います。それにより, 手順③のデータの送信手順に戻ります。

- ⑦ データ転送完了後, スレーブ側は $ACK_E0 = 1$ なのでハードウェアによりACKがマスタ側へ送信され, 9クロック目の立ち上がり時に, マスタ側でACKが検出 ($ACK_D0 = 1$) されます。
- ⑧ 9クロック目の立ち下がりで, マスタ側とスレーブ側によるクロック・ストレッチ ($SCLA0 = 0$) がかかり, マスタ側, スレーブ側で割り込み (INTIICA0: 転送完了割り込み) が発生します。
- <1> スレーブ側が受信データを読み出して, クロック・ストレッチを解除 ($WREL0 = 1$) します。
- <2> マスタ側で再度スタート・コンディション・トリガがセット ($STT0 = 1$) されると, バス・クロック・ラインが立ち上がり ($SCLA0 = 1$), リスタート・コンディション・セットアップ時間後バス・データ・ライン ($SDAA0 = 0$) が立ち下がり, スタート・コンディション ($SCLA0 = 1$ で $SDAA0 = 1 \rightarrow 0$) が生成されます。その後, スタート・コンディションを検出すると, ホールド時間経過後, バス・クロック・ラインが立ち下がり ($SCLA0 = 0$), 通信準備が完了となります。
- <3> マスタ側がIICAシフト・レジスタ0 (IICA0) にアドレス+R/W (送信) が書き込むと, スレーブ・アドレスが送信されます。

図12-33 スレーブ→マスタ通信例 (マスタ:8クロック, スレーブ:9クロックでクロック・ストレッチ選択) (1/3)

(1) スタート・コンディション～アドレス～データ



- 注1. マスタ側での受信時のクロック・ストレッチ解除は、IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。
2. SDAA0端子信号が立ち下がってからSCLA0端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
3. スレーブ側での送信時のクロック・ストレッチ解除は、WREL0ビットのセットではなく、IICA0へのデータ書き込みで行ってください。

図12-33 (1) スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット (STT0 = 1) されると、バス・データ・ライン (SDAA0) が立ち下がり、スタート・コンディション (SCLA0 = 1でSDAA0 = 1→0) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 (MSTS0 = 1) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり (SCLA0 = 0)、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタ0 (IICA0) にアドレス+R (受信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVA0の値) が一致した場合[※]、ハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD0 = 1) されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み (INTIICA0: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはクロック・ストレッチ (SCLA0 = 0) をかけ、割り込み (INTIICA0: アドレス一致割り込み) が発生します[※]。
- ⑤ マスタ側のクロック・ストレッチ・タイミングを8クロック目に (WTIM0 = 0) に変更します。
- ⑥ スレーブ側がIICA0レジスタに送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除 (WREL0 = 1) して、スレーブからのデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK: SDAA0 = 1)。また、スレーブ側のINTIICA0割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICA0割り込み (アドレス送信完了割り込み) が発生します。

備考 図12-33の①～⑱は、I²Cバスによるデータ通信の一連の操作手順です。

図12-33 (1) スタート・コンディション～アドレス～データでは手順①～⑦

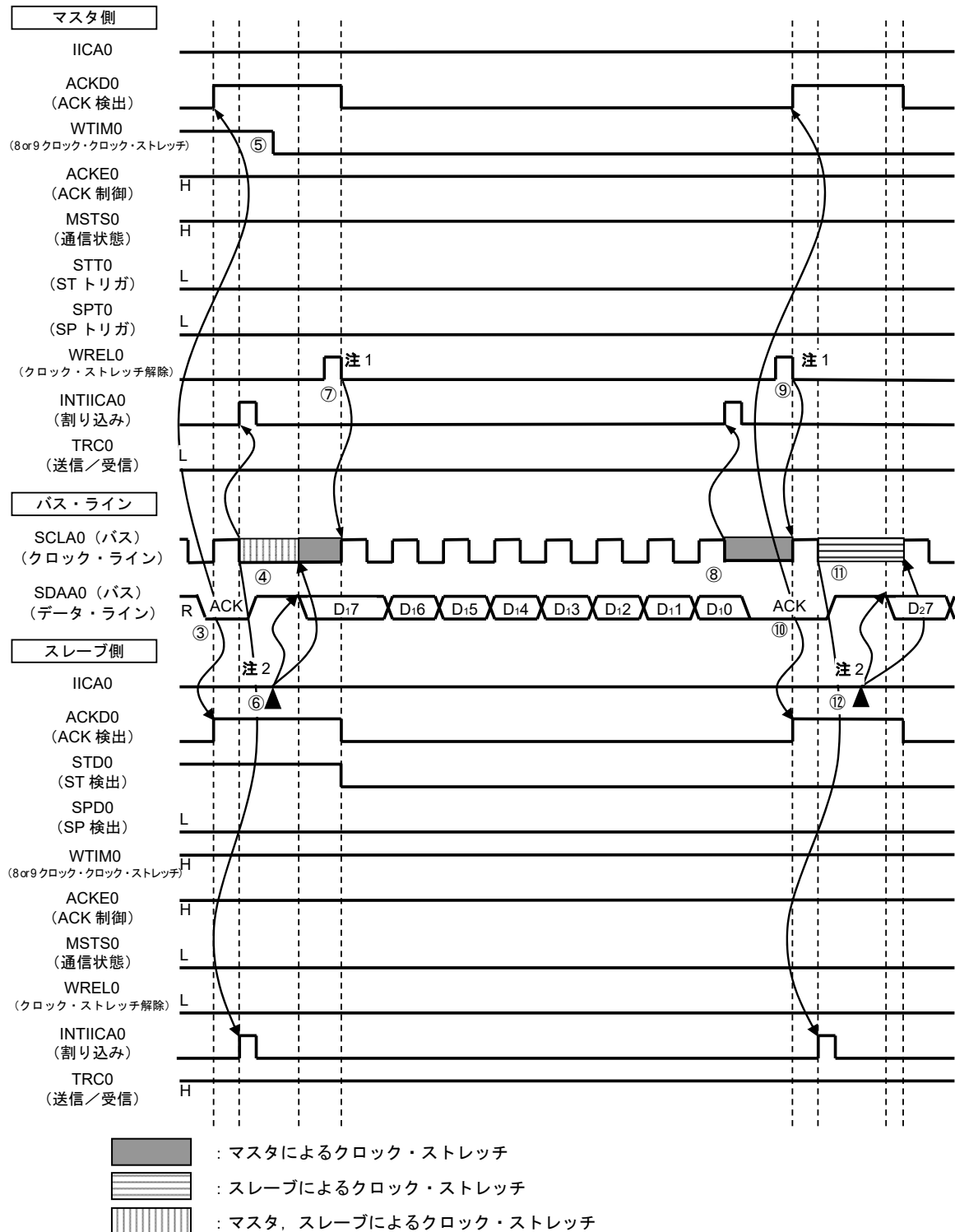
図12-33 (2) アドレス～データ～データでは手順③～⑫

図12-33 (3) データ～データ～ストップ・コンディションでは手順⑧～⑱

について説明しています。

図12-33 スレーブ→マスタ通信例（マスタ：8クロック、スレーブ：9クロックでクロック・ストレッチ選択）（2/3）

(2) アドレス～データ～データ



注1. マスタ側での受信時のクロック・ストレッチ解除は、IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

2. スレーブ側での送信時のクロック・ストレッチ解除は、WREL0ビットのセットではなく、IICA0へのデータ書き込みで行ってください。

図12-33 (2) アドレス～データ～データの③～⑫の説明を次に示します。

- ③ スレーブ側で、受信したアドレスと自局のアドレス（SVA0の値）が一致した場合[※]、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出（ACKD0 = 1）されます。
- ④ 9クロック目の立ち下がりで、マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはクロック・ストレッチ（SCLA0 = 0）をかけ、割り込み（INTIICA0：アドレス一致割り込み）が発生します[※]。
- ⑤ マスタ側はクロック・ストレッチ・タイミングを8クロック目（WTIM0 = 0）に変更します。
- ⑥ スレーブ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除（WREL0 = 1）して、スレーブからのデータ転送を開始します。
- ⑧ 8クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ（SCLA0 = 0）がかかり、マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し、マスタ側はACKE0 = 1なので、ハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除（WREL0 = 1）します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出（ACKD0 = 1）されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり、スレーブ側は割り込み（INTIICA0：転送完了割り込み）が発生します。
- ⑫ スレーブ側のIICA0レジスタに送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが（NACK：SDAA0 = 1）。また、スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず、スレーブ側のクロック・ストレッチもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考 図12-33の①～⑫は、I²Cバスによるデータ通信の一連の操作手順です。

図12-33 (1) スタート・コンディション～アドレス～データでは手順①～⑦

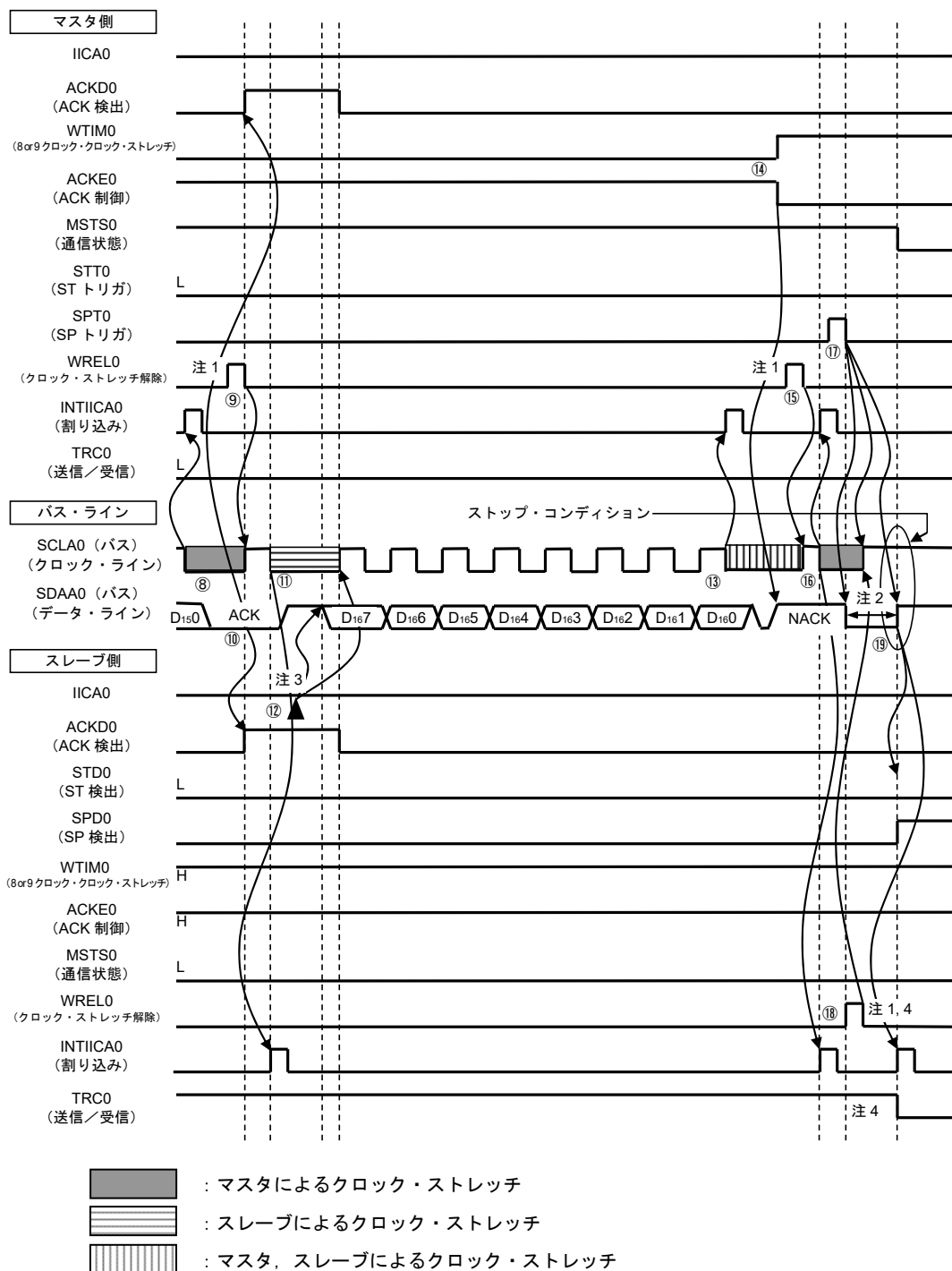
図12-33 (2) アドレス～データ～データでは手順③～⑫

図12-33 (3) データ～データ～ストップ・コンディションでは手順⑧～⑫

について説明しています。

図12-33 スレーブ→マスタ通信例（マスタ：8→9クロック，スレーブ：9クロックでクロック・ストレッチ選択）
(3/3)

(3) データ～データ～ストップ・コンディション



- 注1. クロック・ストレッチ解除は、IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。
2. ストップ・コンディションの発行後、SCLA0端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
3. スレーブ側での送信時のクロック・ストレッチ解除は、WREL0ビットのセットではなく、IICA0へのデータ書き込みで行ってください。
4. スレーブ側での送信時のクロック・ストレッチをWREL0ビットのセットで解除すると、TRC0ビットはクリアされます。

図12-33 (3) データ～データ～ストップ・コンディションの⑧～⑱の説明を次に示します。

- ⑧ 8クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ (SCLA0 = 0) がかかり、マスタ側の割り込み (INTIICA0 : 転送完了割り込み) が発生し、マスタ側はACKE0 = 0なので、ハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除 (WREL0 = 1) します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出 (ACKD0 = 1) されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ (SCLA0 = 0) がかかり、スレーブ側は割り込み (INTIICA0 : 転送完了割り込み) が発生します。
- ⑫ スレーブ側のIICAシフト・レジスタ0 (IICA0) に送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。
- ⑬ 8クロック目の立ち下がりで、マスタ側の割り込み (INTIICA0 : 転送完了割り込み) が発生し、マスタ側によるクロック・ストレッチ (SCLA0 = 0) が掛かります。ACK制御 (ACKE0 = 1) されているので、この段階でのバス・データ・ラインはロウ・レベル (SDAA0 = 0) となります。
- ⑭ マスタ側はNACK応答に設定 (ACKE0 = 0) し、クロック・ストレッチ・タイミングを9クロック目クロック・ストレッチ (WTIM0 = 1) に変更します。
- ⑮ マスタ側がクロック・ストレッチを解除 (WREL0 = 1) すると、スレーブ側は9クロック目の立ち上がりでNACKを検出 (ACK = 0) します。
- ⑯ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ (SCLA0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA0 : 転送完了割り込み) が発生します。
- ⑰ マスタ側でストップ・コンディション発行 (SPT0 = 1) すると、バス・データ・ラインがクリア (SDAA0 = 0) され、マスタ側のクロック・ストレッチが解除されます。その後、マスタ側はバス・クロック・ラインがセット (SCLA0 = 1) されるまで待機します。
- ⑱ スレーブ側はNACKを確認して、送信を止めて通信を完了するためにクロック・ストレッチを解除 (WREL0 = 1) します。スレーブによるクロック・ストレッチが解除されると、バス・クロック・ラインがセット (SCLA0 = 1) されます。
- ⑲ マスタ側はバス・クロック・ラインがセット (SCLA0 = 1) されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット (SDAA0 = 1) してストップ・コンディション (SCLA0 = 1でSDAA0 = 0→1) を発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、割り込み (INTIICA0 : ストップ・コンディション割り込み) が発生します。

備考 図12-33の①～⑱は、I²Cバスによるデータ通信の一連の操作手順です。

図12-33 (1) スタート・コンディション～アドレス～データでは手順①～⑦

図12-33 (2) アドレス～データ～データでは手順③～⑫

図12-33 (3) データ～データ～ストップ・コンディションでは手順⑧～⑱

について説明しています。

第13章 乗除積和算器

13.1 乗除積和算器の機能

乗除積和算器には、次のような機能があります。

- ・ 16ビット×16ビット = 32ビット（符号なし）
- ・ 16ビット×16ビット = 32ビット（符号付）
- ・ 16ビット×16ビット+32ビット = 32ビット（符号なし）
- ・ 16ビット×16ビット+32ビット = 32ビット（符号付）
- ・ 32ビット÷32ビット = 32ビット 剰余32ビット（符号なし）

13.2 乗除積和算器の構成

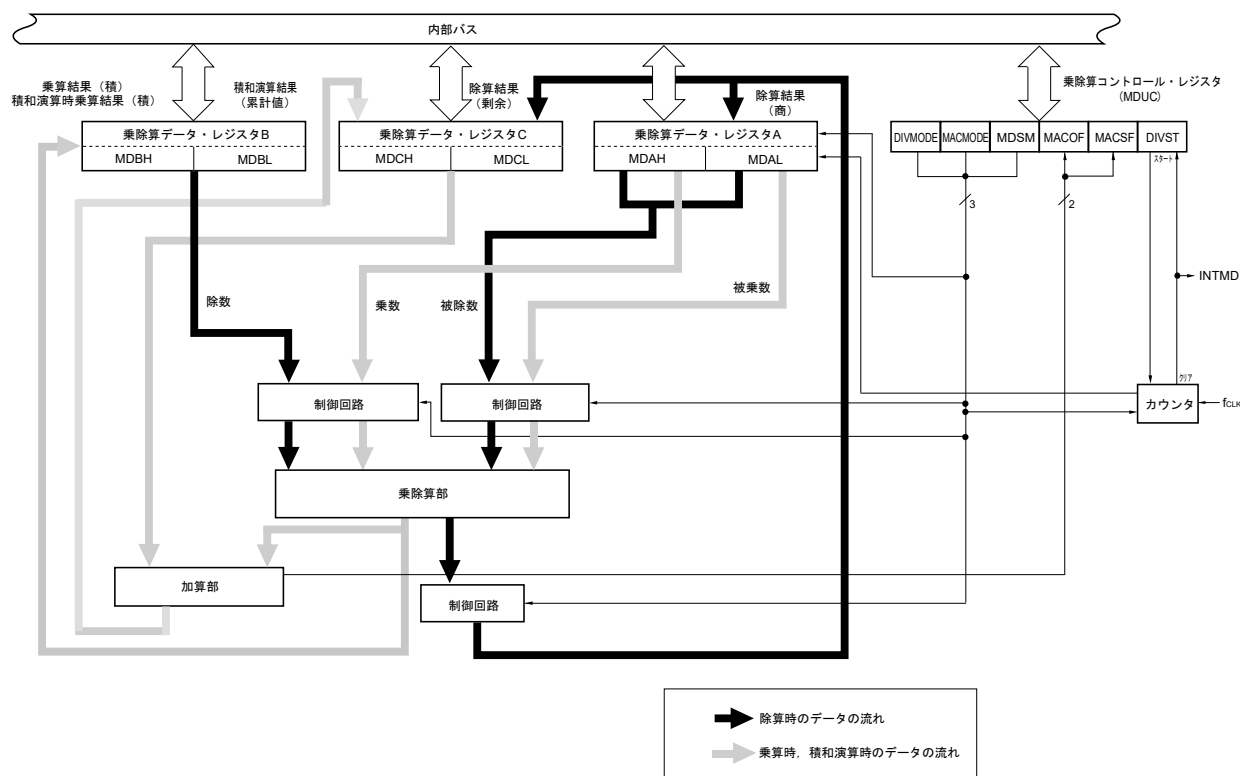
乗除積和算器は、次のハードウェアで構成されています。

表13-1 乗除積和算器の構成

項 目	構 成
レジスタ	乗除算データ・レジスタA (L) (MDAL) 乗除算データ・レジスタA (H) (MDAH) 乗除算データ・レジスタB (L) (MDBL) 乗除算データ・レジスタB (H) (MDBH) 乗除算データ・レジスタC (L) (MDCL) 乗除算データ・レジスタC (H) (MDCH)
制御レジスタ	乗除算コントロール・レジスタ (MDUC)

乗除積和算器のブロック図を図13-1に示します。

図13-1 乗除積和算器のブロック図



備考 f_{CLK} : CPU／周辺ハードウェア・クロック周波数

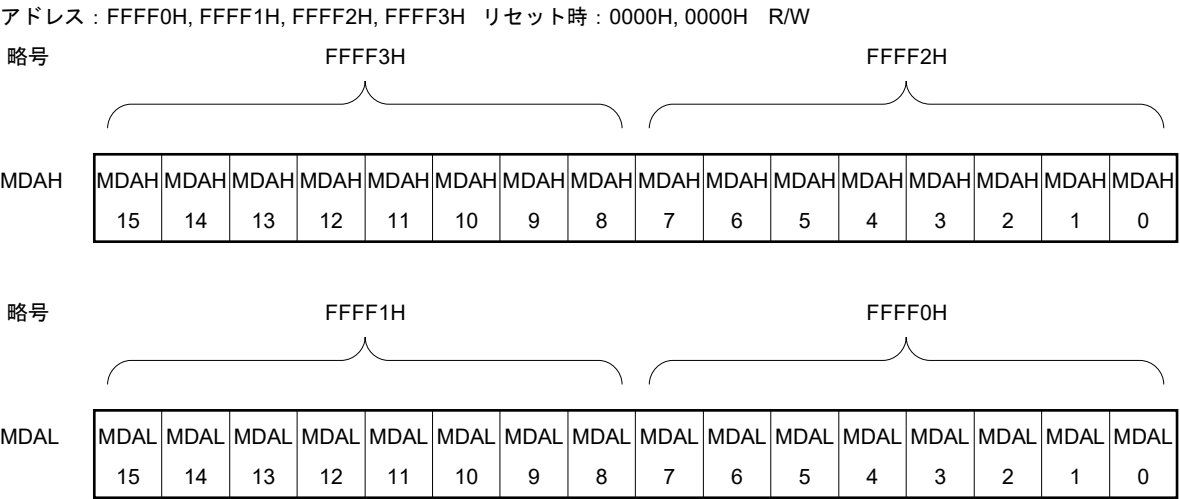
13. 2. 1 乗除算データ・レジスタA (MDAH, MDAL)

MDAH, MDALレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モード時および積和演算モード時は乗数と被乗数データを設定し、除算モード時は被除数データを設定します。また、除算モード時は演算結果（商）がMDAH, MDALレジスタに格納されます。

MDAH, MDALレジスタは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図13-2 乗除算データ・レジスタA (MDAH, MDAL) のフォーマット



- 注意1. 除算演算処理中（乗除算コントロール・レジスタ（MDUC）が81H, C1Hのとき）に、MDAH, MDALレジスタの値を書き換えないでください。この場合でも演算は実施しますが、演算結果は不定値となります。
2. 除算演算処理中（MDUCレジスタが81H, C1Hのとき）にMDAH, MDALレジスタの値を読み出した場合、その値は保証しません。
3. 乗算モード（符号付）、積和演算モード（符号付）の場合、データは2の補数形式になります。

MDAH, MDALレジスタの演算実行時の機能を次に示します。

表13-2 MDAH, MDALレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード（符号なし） 積和演算モード（符号なし）	MDAH：乗数（符号なし） MDAL：被乗数（符号なし）	—
乗算モード（符号付） 積和演算モード（符号付）	MDAH：乗数（符号付） MDAL：被乗数（符号付）	—
除算モード（符号なし）	MDAH：被除数（符号なし） （上位16ビット） MDAL：被除数（符号なし） （下位16ビット）	MDAH：除算結果（商）（符号なし） 上位16ビット MDAL：除算結果（商）（符号なし） 下位16ビット

13.2.2 乗除算データ・レジスタB (MDBL, MDBH)

MDBH, MDBLレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モードおよび積和演算モード時は演算結果（積）を格納し、除算モード時は除数データを設定します。

MDBH, MDBLレジスタは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図13-3 乗除算データ・レジスタB (MDBH, MDBL) のフォーマット

アドレス：FFFF4H, FFFF5H, FFFF6H, FFFF7H リセット時：0000H, 0000H R/W



注意1. 除算演算処理中（乗除算コントロール・レジスタ（MDUC）が81H, C1Hのとき）または積和演算処理中に、MDBH, MDBLレジスタの値をソフトウェアで書き換えしないでください。演算結果は不定値となります。

2. 除算モード時は、MDBH, MDBLレジスタに0000Hを設定しないでください。設定した場合、演算結果が不定値となります。

3. 乗算モード（符号付）、積和演算モード（符号付）の場合、データは2の補数形式になります。

MDBH, MDBLレジスタの演算実行時の機能を次に示します。

表13-3 MDBH, MDBLレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード（符号なし） 積和演算モード（符号なし）	—	MDBH：乗算結果（積）（符号なし）上位16ビット MDBL：乗算結果（積）（符号なし）下位16ビット
乗算モード（符号付） 積和演算モード（符号付）	—	MDBH：乗算結果（積）（符号付）上位16ビット MDBL：乗算結果（積）（符号付）下位16ビット
除算モード（符号なし）	MDBH：除数（符号なし） （上位16ビット） MDBL：除数（符号なし） （下位16ビット）	—

13.2.3 乗除算データ・レジスタC (MDCL, MDCH)

MDCH, MDCLレジスタは、積和演算モード時は累計結果の値を格納し、除算モード時は演算結果の剰余の値が格納されるレジスタです。乗算モードでは使用しません。

MDCH, MDCLレジスタは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図13-4 乗除算データ・レジスタC (MDCH, MDCL) のフォーマット

アドレス : F00E0H, F00E1H, F00E2H, F00E3H リセット時 : 0000H, 0000H R/W



注意1. 除算演算処理中(乗除算コントロール・レジスタ(MDUC)が81H, C1Hのとき)に, MDCH, MDCLレジスタの値を読み出した場合, その値は保証されません。

2. 積和演算処理中に、MDCH、MDCLレジスタの値をソフトウェアで書き換えしないでください。演算結果は不定値となります。

3. 積和演算モード（符号付）の場合、データは2の補数形式になります。

表13-4 MDCH, MDCLレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード (符号付／符号なし)	—	—
積和演算モード (符号なし)	MDCH : 累計初期値 (符号なし) (上位16ビット) MDCL : 累計初期値 (符号なし) (下位16ビット)	MDCH : 累計値 (符号なし) (上位16ビット) MDCL : 累計値 (符号なし) (下位16ビット)
積和演算モード (符号付)	MDCH : 累計初期値 (符号付) (上位16ビット) MDCL : 累計初期値 (符号付) (下位16ビット)	MDCH : 累計値 (符号付) (上位16ビット) MDCL : 累計値 (符号付) (下位16ビット)
除算モード (符号なし)	—	MDCH : 剰余 (符号なし) (上位16ビット) MDCL : 剰余 (符号なし) (下位16ビット)

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

<乗数A> <乗数B> <積>
 MDAL (ビット15-0) × MDAH (ビット15-0) = [MDBH (ビット15-0), MDBL (ビット15-0)]

・積和演算時のレジスタ構成

<乗数A> <乗数B> <累計値>
 MDAL (ビット15-0) × MDAH (ビット15-0) + MDC (ビット31-0) =
 <累計結果>
 [MDCH (ビット15-0), MDCL (ビット15-0)]
 (MDBH (ビット15-0), MDBL (ビット15-0) には乗算結果が格納されます。)

・除算時のレジスタ構成

<被除数> <除数>
 [MDAH (ビット15-0), MDAL (ビット15-0)] ÷ [MDBH (ビット15-0), MDBL (ビット15-0)] =
 <商> <剰余>
 [MDAH (ビット15-0), MDAL (ビット15-0)] … [MDCH (ビット15-0), MDCL (ビット15-0)]

13.3 乗除積和算器を制御するレジスタ

乗除積和算器は、乗除算コントロール・レジスタ（MDUC）で制御します。

13.3.1 乗除算コントロール・レジスタ0（MDUC）

MDUCレジスタは、乗除積和算器の動作を制御する8ビット・レジスタです。

MDUCレジスタは1ビット・メモリ命令または8ビット・メモリ命令で設定します。

ただし、積和演算結果（累計値）のオーバーフロー・フラグ（MACOF）、積和演算結果（累計値）のサイン・フラグ（MACSF）は読み出しのみ可能です。

リセット信号の発生により、00Hになります。

図13-5 乗除算コントロール・レジスタ（MDUC）のフォーマット

アドレス：F00E8H リセット時：00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
MDUC	DIVMODE	MACMODE	0	0	MDSM	MACOF	MACSF	DIVST

DIVMODE	MACMODE	MDSM	演算モードの選択
0	0	0	乗算モード（符号なし）（デフォルト）
0	0	1	乗算モード（符号付）
0	1	0	積和演算モード（符号なし）
0	1	1	積和演算モード（符号付）
1	0	0	除算モード（符号なし），除算完了割り込み（INTMD）発生
1	1	0	除算モード（符号なし），除算完了割り込み（INTMD）発生しない
上記以外			設定禁止

MACOF	積和演算結果（累計値）のオーバーフロー・フラグ
0	オーバーフローなし
1	オーバーフローあり
[セット条件]	
・ 積和演算モード（符号なし）の場合 累計値が00000000h-FFFFFFFFhを超える場合	
・ 積和演算モード（符号付）の場合 正の累計値に正の積を加算した結果が7FFFFFFFFhを越え結果が負となる場合 負の累計値に負の積を加算した結果が80000000hを越え結果が正となる場合	

MACSF	積和演算結果（累計値）のサイン・フラグ
0	累計値が正
1	累計値が負
積和演算モード（符号なし）の場合：常に0	
積和演算モード（符号付）の場合：累計値の符号ビットを表示	

DIVST ^{注2}	除算演算動作の開始／停止
0	除算演算処理完了
1	除算演算開始／除算演算処理中

注1. ビット1，2はRead onlyです。

2. DIVSTビットは除算モード時にのみセット（1）可能です。除算モード時，DIVSTビットをセット（1）すると除算演算動作を開始します。演算終了後は自動的にDIVSTビットがクリア（0）されます。乗算モード時は，乗除算データ・レジスタA（MDAH，MDAL）に乗数，被乗数を設定することにより自動的に演算が開始されます。

- 注意1. 演算処理中（DIVSTビットが1のとき）に，DIVMODE，MDSMビットを書き換えないでください。書き換えた場合，演算結果が不定値となります。
2. 除算演算処理中（DIVSTビットが1のとき）にDIVSTビットをソフトウェアでクリア（0）することはできません。

13.4 乗除積和算器の動作

13.4.1 乗算（符号なし）動作

・ 初期設定

① 乗除算コントロール・レジスタ（MDUC）を00Hにする。

② 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

③ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，③のセットの順はどちらが先でも問題ありません。MDAH，MDALレジスタに乗数，被乗数をセットすると自動的に乗算演算を開始します。）

・ 演算処理中

④ 1クロック以上ウエイトします。演算は1クロックで終了します。

・ 演算終了

⑤ 乗除算データ・レジスタB（L）（MDBL）から積（下位16ビット）を読み出します。

⑥ 乗除算データ・レジスタB（H）（MDBH）から積（上位16ビット）を読み出します。

（⑤，⑥の読み出しの順はどちらが先でも問題ありません。）

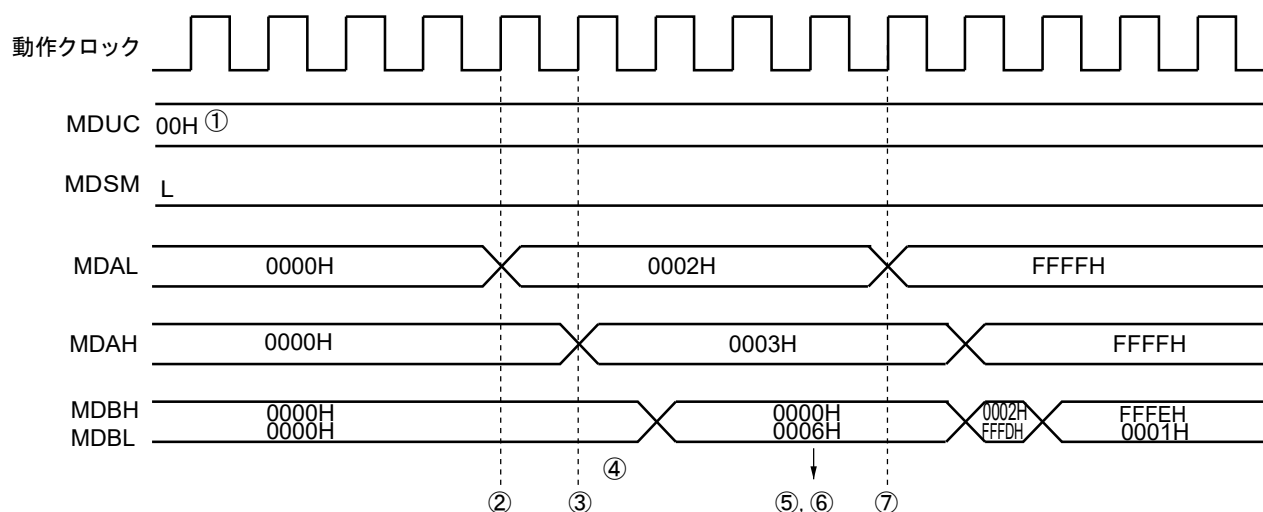
・ 次回演算

⑦ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

続けて同じ演算モードを使用する場合は，①，②の設定は省略できます。

備考 手順の①～⑦は，図13-6の①～⑦に対応しています。

図13-6 乗算（符号なし）動作のタイミング図（ $2 \times 3 = 6$ ）



13.4.2 乗算（符号付）動作

・ 初期設定

- ① 乗除算コントロール・レジスタ（MDUC）を08Hにする。
 - ② 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット
 - ③ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット
- （②，③のセットの順はどちらが先でも問題ありません。MDAH，MDALレジスタに乗数，被乗数をセットすると自動的に乗算演算を開始します。）

・ 演算処理中

- ④ 1クロック以上ウエイトします。演算は1クロックで終了します。

・ 演算終了

- ⑤ 乗除算データ・レジスタB（L）（MDBL）から積（下位16ビット）を読み出します。
 - ⑥ 乗除算データ・レジスタB（H）（MDBH）から積（上位16ビット）を読み出します。
- （⑤，⑥の読み出しの順はどちらが先でも問題ありません。）

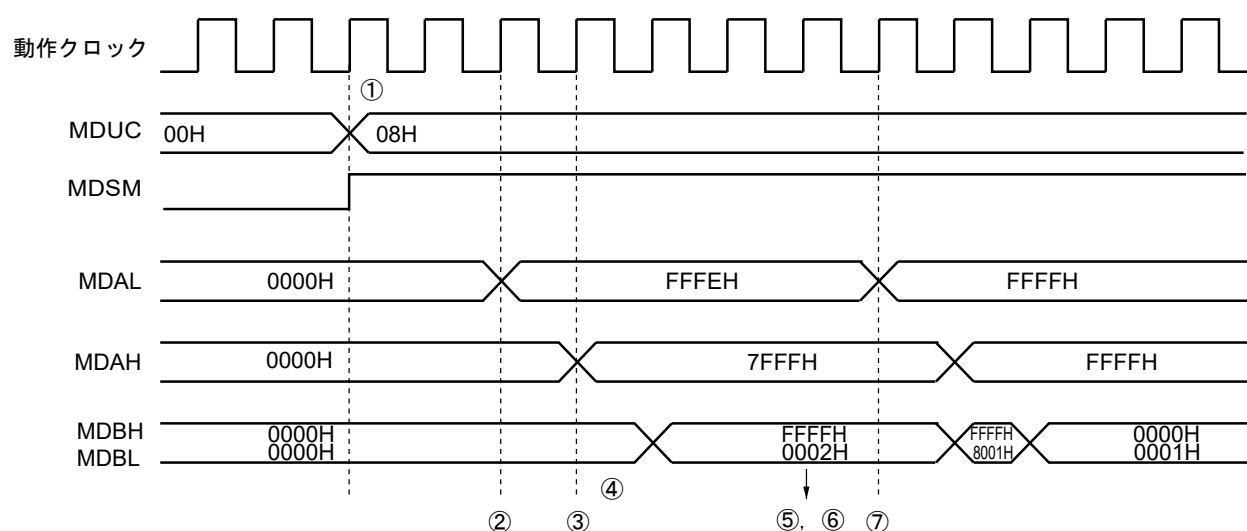
・ 次回演算

- ⑦ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。
続けて同じ演算モードを使用する場合は，①，②の設定は省略できます。

注意 乗算モード（符号付）の場合，データは2の補数形式になります。

備考 手順の①～⑦は，図13-7の①～⑦に対応しています。

図13-7 乗算（符号付）動作のタイミング図（ $-2 \times 32767 = -65534$ ）



13.4.3 積和演算（符号なし）動作

・ 初期設定

- ① 乗除算コントロール・レジスタ（MDUC）を40Hにする。
 - ② 乗除算データ・レジスタC（H）（MDCH）に累計初期値の上位16ビットをセット
 - ③ 乗除算データ・レジスタC（L）（MDCL）に累計初期値の下位16ビットをセット
 - ④ 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット
 - ⑤ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット
- （②，③，④のセットの順はどれが先でも問題ありません。⑤のMDAHレジスタに乗数をセットすると自動的に乗算演算を開始します。）

・ 演算処理中

- ⑥ 乗算演算が1クロックで終了します。
（乗除算データ・レジスタB（L）（MDBL），乗除算データ・レジスタB（H）（MDBH）に乗算結果が格納されます。）
- ⑦ ⑥からさらに1クロックで、積和演算が終了します（初期設定完了（⑤）からは、2クロック以上ウエイト）。

・ 演算終了

- ⑧ 乗除算データ・レジスタC（L）（MDCL）から累計値（下位16ビット）を読み出します。
 - ⑨ 乗除算データ・レジスタC（H）（MDCH）から累計値（上位16ビット）を読み出します。
- （⑧，⑨の読み出しの順はどちらが先でも問題ありません。）
- （⑩ 積和演算結果がオーバーフローしている場合は、MACOFビットが1にセットされ、INTMD信号が発生します。）

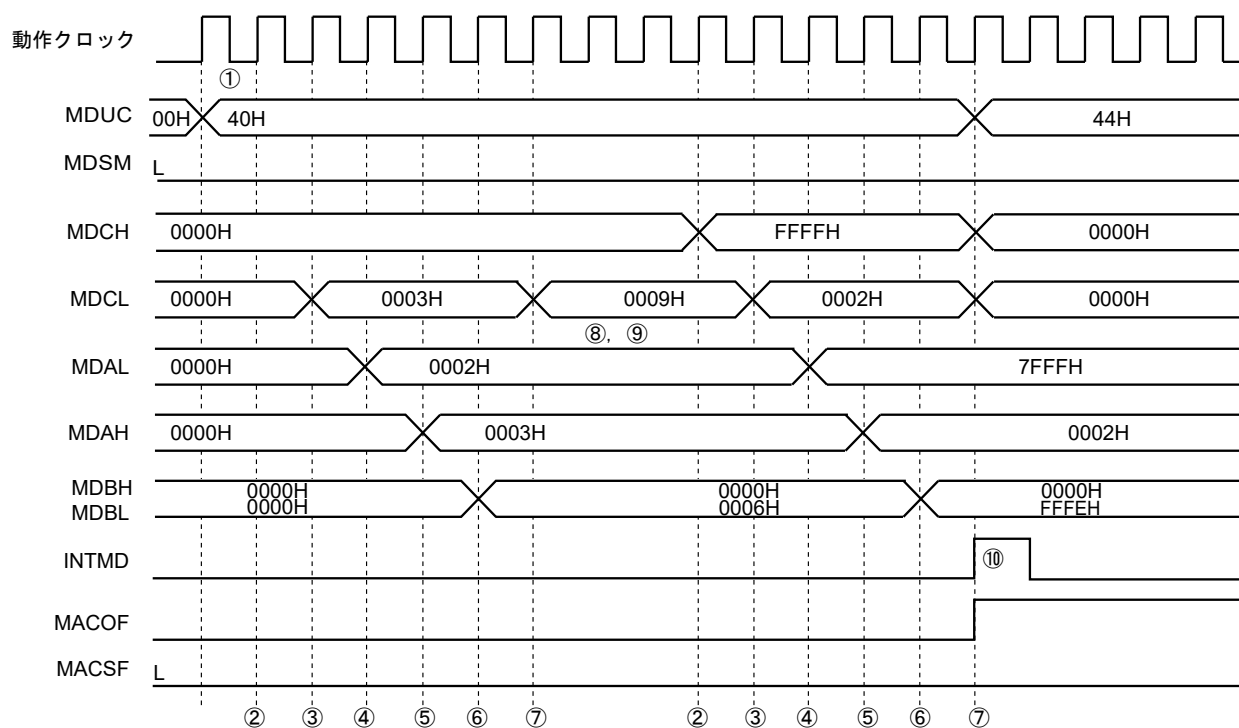
・ 次回演算

- ⑪ 演算モードを変更する場合は、各動作手順の初期設定から行ってください。
続けて同じ演算モードを使用する場合は、①～④の設定は省略できます。

備考 手順の①～⑩は、図13-8の①～⑩に対応しています。

図13-8 積和演算（符号なし）動作のタイミング図

(2×3+3=9 → 32767×2+4294901762=0 (オーバーフロー発生))



13.4.4 積和演算（符号付）動作

・ 初期設定

- ① 乗除算コントロール・レジスタ（MDUC）を48Hにする。
- ② 乗除算データ・レジスタC（H）（MDCH）に累計初期値の上位16ビットをセット
（③ MDCHレジスタの累計値が負の値の場合は、MACSFビットが1にセットされます。）
- ④ 乗除算データ・レジスタC（L）（MDCL）に累計初期値の下位16ビットをセット
- ⑤ 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット
- ⑥ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット
（②，④，⑤のセットの順はどちらが先でも問題ありません。⑥のMDAHレジスタに乗数をセットすると自動的に乗算演算を開始します。）

・ 演算処理中

- ⑦ 乗算演算が1クロックで終了します。
（乗除算データ・レジスタB（L）（MDBL），乗除算データ・レジスタB（H）（MDBH）に乗算結果が格納されます。）
- ⑧ ⑦からさらに1クロックで、積和演算が終了します（初期設定完了（⑥）からは、2クロック以上ウエイト）。

・ 演算終了

- ⑨ MDCL, MDCHレジスタに格納された累計値が正の値の場合は、MACSFビットが0にクリアされます。
- ⑩ MDCLレジスタから累計値（下位16ビット）を読み出します。
- ⑪ MDCHレジスタから累計値（上位16ビット）を読み出します。
（⑩，⑪の読み出しの順はどちらが先でも問題ありません。）
- ⑫ 積和演算結果がオーバーフローしている場合は、MACOFビットが1にセットされ、INTMD信号が発生します。）

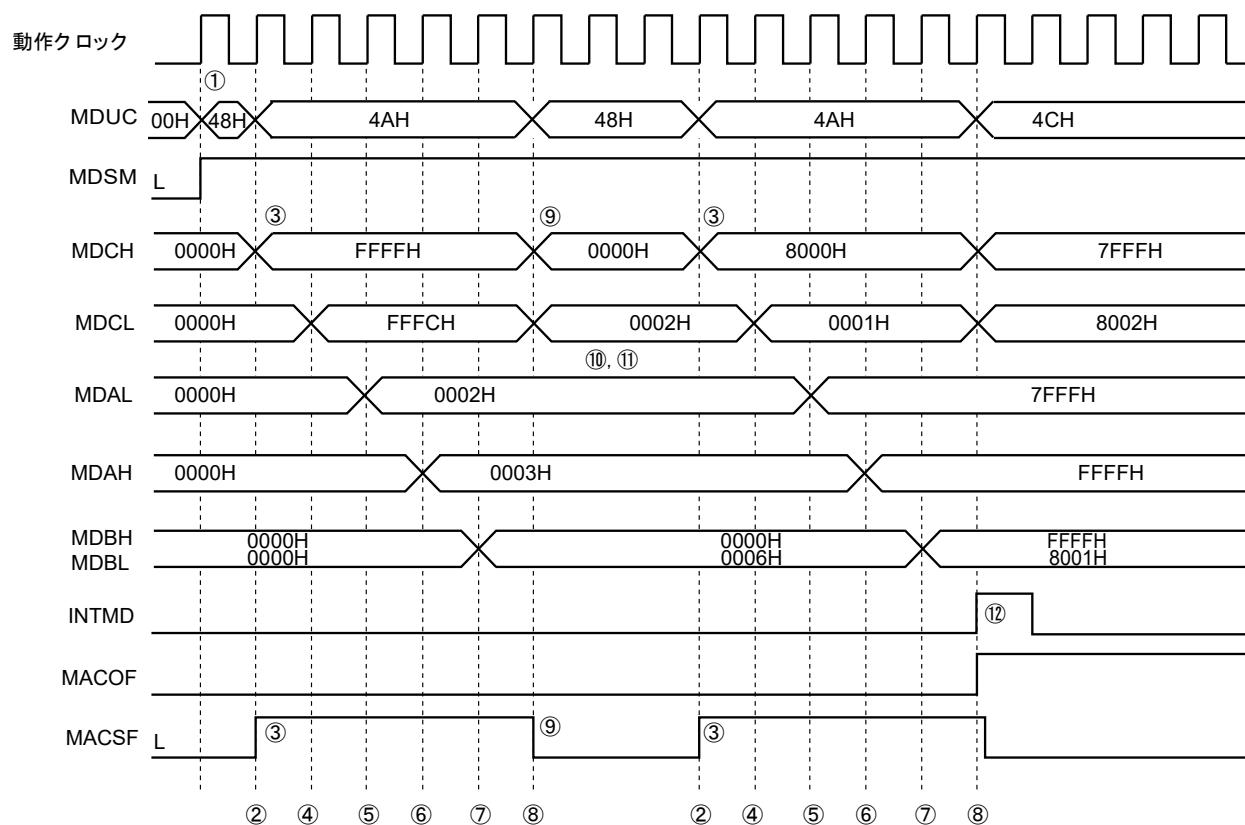
・ 次回演算

- ⑬ 演算モードを変更する場合は、各動作手順の初期設定から行ってください。
続けて同じ演算モードを使用する場合は、①～⑤の設定は省略できます。

注意 積和演算モード（符号付）の場合、データは2の補数形式になります。

備考 手順の①～⑫は、図13-9の①～⑫に対応しています。

図13-9 積和演算（符号付）動作のタイミング図

$$(2 \times 3 + (-4)) = 2 \rightarrow 32767 \times (-1) + (-2147483647) = 2147450882 \text{ (オーバーフロー発生)}$$


13.4.5 除算動作

・ 初期設定

- ① 乗除算コントロール・レジスタ (MDUC) に80Hをセットする。
- ② 乗除算データ・レジスタA (H) (MDAH) に被除数 (上位16ビット) をセット
- ③ 乗除算データ・レジスタA (L) (MDAL) に被除数 (下位16ビット) をセット
- ④ 乗除算データ・レジスタB (H) (MDBH) に除数 (上位16ビット) をセット
- ⑤ 乗除算データ・レジスタB (L) (MDBL) に除数 (下位16ビット) をセット
- ⑥ MDUCレジスタのビット0 (DIVST) に1をセット

(②～⑤の順はどれからセットしても問題ありません。)

・ 演算処理中

- ⑦ 次のいずれかの処理が完了すれば演算が終了します。
 - ・ 16クロック以上ウエイト (16クロックで演算は終了します。)
 - ・ DIVSTビットがクリアされたことを確認
- (演算処理中のMDBL, MDBH, MDCL, MDCHレジスタのリード値は保証しません。)

・ 演算終了

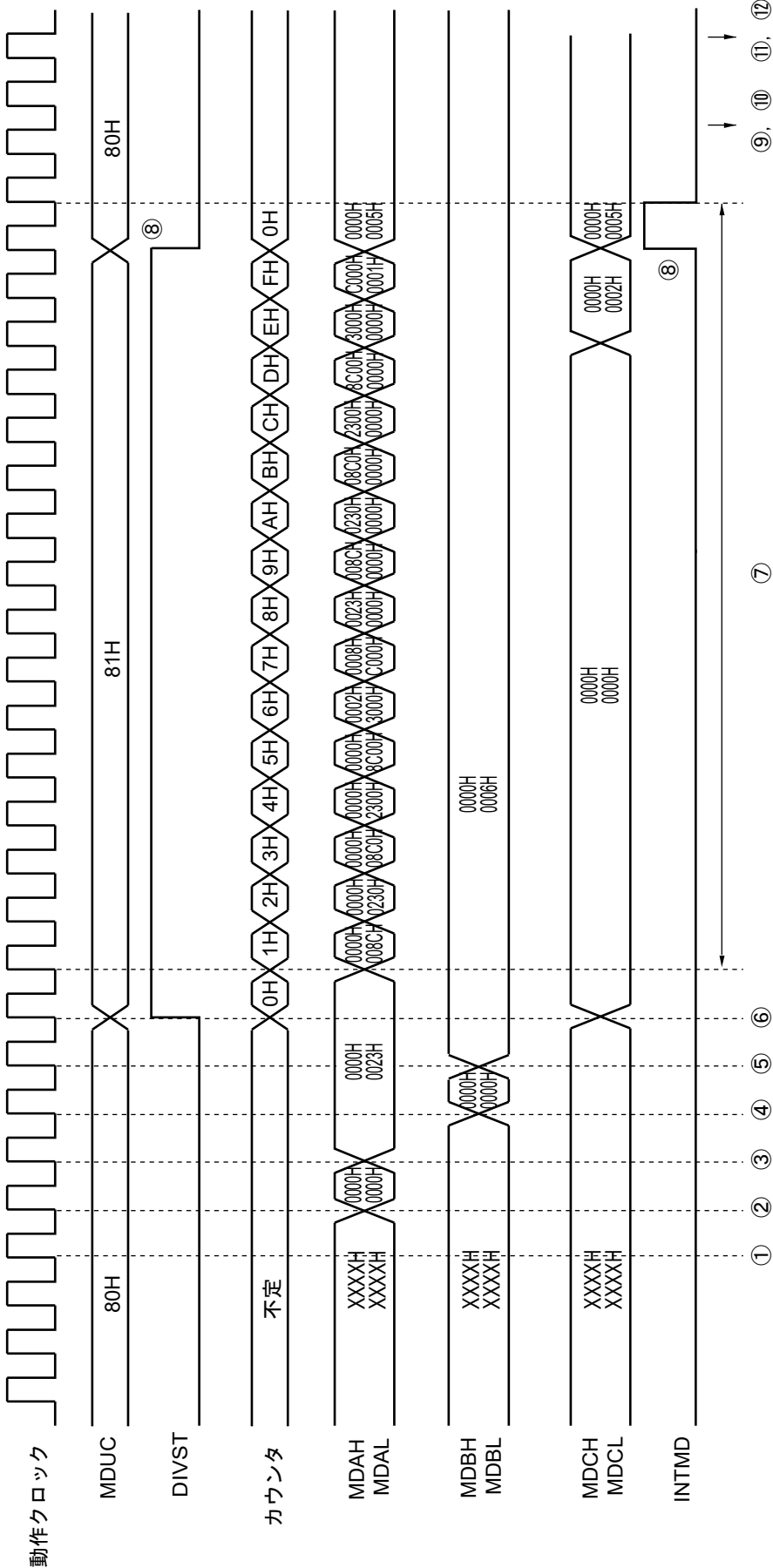
- ⑧ DIVSTビットがクリア (0) され、演算が終了します。このとき、MACMODE = 0での演算なら、割り込み要求信号 (INTMD) が発生します。
 - ⑨ MDALレジスタから商 (下位16ビット) を読み出します。
 - ⑩ MDAHレジスタから商 (上位16ビット) を読み出します。
 - ⑪ 乗除算データ・レジスタC (L) (MDCL) から剰余 (下位16ビット) を読み出します。
 - ⑫ 乗除算データ・レジスタC (H) (MDCH) から剰余 (上位16ビット) を読み出します。
- (⑨～⑫の順はどれから読み出しても問題ありません。)

・ 次回演算

- ⑬ 演算モードを変更する場合は、各動作手順の初期設定から行ってください。
続けて同じ演算モードを使用する場合は、①～⑤の設定は省略できます。

備考 手順の①～⑫は、図13-10の①～⑫に対応しています。

図13-10 除算動作のタイミング図 (例 : 35÷6 = 5 余5)



第14章 DMAコントローラ

RL78/G12のR5F102製品には、DMA（Direct Memory Access）コントローラを内蔵しています。

DMAに対応している周辺ハードウェアのSFRと内蔵RAMの間は、CPUを介さずに自動でデータのやり取りをすることができます。

これにより、SFR⇄内蔵RAM間の転送を、通常のCPU内部の演算やデータ転送をしながら行えるため、大容量データの処理も可能になります。また、通信やタイマ、A/Dを駆使したリアルタイム制御も実現できます。

14.1 DMAコントローラの機能

○DMAチャネル数：2チャネル（R5F102製品のみ）

○転送単位：8ビット／16ビット

○最大転送単位：1024回

○転送タイプ：2サイクル転送（1回の転送を2クロックで処理し、その間はCPU動作が停止します）

○転送モード：シングル転送モード

○転送要求：以下の周辺ハードウェア割り込みから選択

- ・ A/Dコンバータ
- ・ シリアル・インタフェース（CSI00, CSI01, CSI11, CSI20, UART0-UART2）
- ・ タイマ（チャネル0, 1, 2, 3）

○転送対象：SFR⇄内蔵RAM

DMAを使った機能例は、次のようなものが考えられます。

- ・ シリアル・インタフェースの連続転送
- ・ A/D変換結果の連続取り込み
- ・ 一定時間ごとにポートの値を取りこむ

14.2 DMAコントローラの構成

DMAコントローラは、次のハードウェアで構成されています。

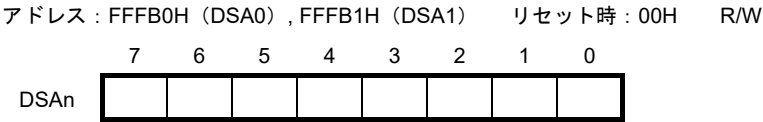
表14-1 DMAコントローラの構成

項 目	構 成
アドレス・レジスタ	・ DMA SFRアドレス・レジスタ0, 1 (DSA0, DSA1) ・ DMA RAMアドレス・レジスタ0, 1 (DRA0, DRA1)
カウント・レジスタ	・ DMAバイト・カウント・レジスタ0, 1 (DBC0, DBC1)
制御レジスタ	・ DMAモード・コントロール・レジスタ0, 1 (DMC0, DMC1) ・ DMA動作コントロール・レジスタ0, 1 (DRC0, DRC1)

14.2.1 DMA SFRアドレス・レジスタn (DSAn)

DMAチャネルnの転送元／転送先となるSFRアドレスを設定する8ビット・レジスタです。
SFRアドレスFFF00H-FFFFFFHの下位8ビットを設定してください。
このレジスタは自動的にインクリメント動作せず、固定値となります。
16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。
DSAnレジスタは8ビット単位でリード／ライト可能です。ただし、DMA転送中には書き込みができません。
リセット信号の発生により、00Hになります。

図14-1 DMA SFRアドレス・レジスタn (DSAn) のフォーマット



備考 n : DMAチャネル番号 (n = 0, 1)

14.2.2 DMA RAMアドレス・レジスタn (DRAn)

DMAチャネルnの転送先／転送元となるRAMアドレスを設定する16ビット・レジスタです。

汎用レジスタ以外の内蔵RAM領域（表14-2参照）のアドレスが設定可能です。

RAMアドレスの下位16ビットを設定してください。

このレジスタはDMA転送が始まると、自動的にインクリメントされます。8ビット転送モード時には+1され、16ビット転送モード時には+2されます。DMA転送はこのDRAnレジスタの設定アドレスから開始し、最終アドレスまで転送し終わると、DRAnレジスタは8ビット転送モード時には最終アドレス+1、16ビット転送モード時には最終アドレス+2になって停止します。

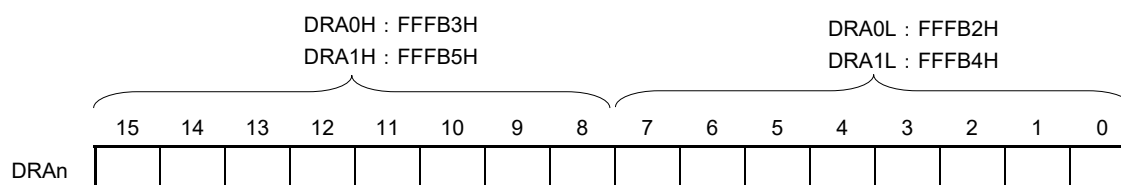
16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

DRAnレジスタは8/16ビット単位でリード／ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、0000Hになります。

図14-2 DMA RAMアドレス・レジスタn (DRAn) のフォーマット

アドレス : FFFB2H, FFFB3H (DRA0) , FFFB4H, FFFB5H (DRA1) リセット時 : 0000H R/W



備考 n : DMAチャネル番号 (n = 0, 1)

表14-2 汎用レジスタ以外の内蔵RAM領域

製 品	内部RAM
R5F10x66	256×8ビット (FFE00H-FFEDFH)
R5F10x67, R5F10x77, R5F10xA7	512×8ビット (FFD00H-FFEDFH)
R5F10x68, R5F10x78, R5F10xA8	768×8ビット (FFC00H-FFEDFH)
R5F10x69, R5F10x79, R5F10xA9	1024×8ビット (FFB00H-FFEDFH)
R5F10x6A, R5F10x7A	1536×8ビット (FF900H-FFEDFH)
R5F10xAA	2048×8ビット (FF700H-FFEDFH)

(x = 2, 3)

14.2.3 DMAバイト・カウント・レジスタ_n (DBC_n)

DMAチャネル_nの転送回数を設定する10ビット・レジスタです。必ずDMA転送前にこのDBC_nレジスタに連続転送回数を設定してください（最大1024回）。

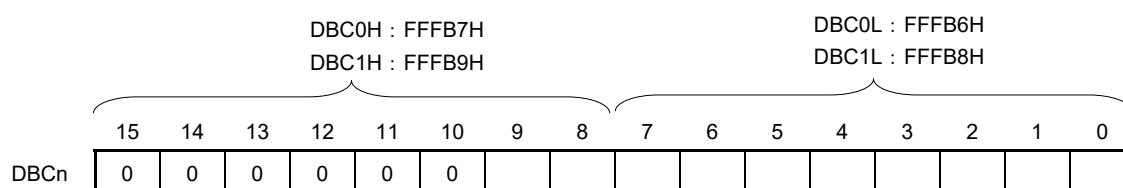
DMA転送が1回実行されるたびに、自動的にデクリメントされます。DMA転送中にこのDBC_nレジスタを読み出すことで、残りの連続転送回数を知ることができます。

DBC_nレジスタは8/16ビット単位でリード／ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、0000Hになります。

図14-3 DMA バイト・カウント・レジスタ_n (DBC_n) のフォーマット

アドレス：FFFB6H, FFFB7H (DBC0) , FFFB8H, FFFB9H (DBC1) リセット時：0000H R/W



DBCn[9 : 0]	転送回数設定 (DBCnライト時)	残りの転送回数 (DBCnリード時)
000H	1024回	転送完了または1024回のDMA転送待ち
001H	1回	残り1回のDMA転送待ち
002H	2回	残り2回のDMA転送待ち
003H	3回	残り3回のDMA転送待ち
.	.	.
.	.	.
.	.	.
3FEH	1022回	残り1022回のDMA転送待ち
3FFH	1023回	残り1023回のDMA転送待ち

注意1. ビット15-10は、必ず0を設定してください。

- 連続転送の結果、汎用レジスタを指定した場合や内蔵RAM空間を越えてしまった場合は、汎用レジスタやSFR空間へ書き込み／読み出しを行って、データを壊してしまいます。必ず内蔵RAM空間内に収まる転送回数を設定してください。

備考 n : DMAチャネル番号 (n = 0, 1)

14.3 DMAコントローラを制御するレジスタ

DMAコントローラを制御するレジスタを次に示します。

- ・DMAモード・コントロール・レジスタn (DMCn)
- ・DMA動作コントロール・レジスタn (DRCn)

備考 n : DMAチャンネル番号 (n = 0, 1)

14.3.1 DMAモード・コントロール・レジスタn (DMCn)

DMCnレジスタは、DMAチャンネルnの転送モード設定レジスタです。転送方向、データ・サイズ、保留設定、起動要因の選択を行います。ビット7 (STGn) はDMA起動のソフトウェア・トリガとなります。

DMCnレジスタのビット6, 5, 3-0は、動作中 (DSTn = 1のとき) の書き換えは禁止です。

DMCnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-4 DMAモード・コントロール・レジスタn (DMCn) のフォーマット (1/2)

アドレス : FFFBAH (DMC0) , FFFBBH (DMC1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	IFCn3	IFCn2	IFCn1	IFCn0

STGn ^{注1}	DMA転送開始ソフトウェア・トリガ
0	ソフトウェア・トリガ動作しない
1	DMA動作許可 (DENn = 1) 時に、DMA転送を開始する
DMA動作許可 (DENn = 1) 時に、STGnビットに1を書き込むことでDMA転送を1回します。 このビットの読み出し値は常に0となります。	

DRSn	DMA転送方向の選択
0	SFR → 内蔵RAM
1	内蔵RAM → SFR

DSn	DMA転送での転送データ・サイズの指定
0	8ビット
1	16ビット

DWAITn ^{注2}	DMA転送の保留
0	DMA起動要求によりDMA転送を行う (保留しない)
1	DMA起動要求が来ても保留する
DWAITnビットの値を1→0にすることで、保留されているDMA転送を開始することができます。 また、DWAITnビットの値を0→1に設定してから、実際に転送が保留されるまでは2クロック必要となります。	

注1. ソフトウェア・トリガ (STGn) は、IFCn3-IFCn0ビットの値に関係なく使用できます。

2. DMAを2チャンネル以上使用中でDMA転送を保留する場合は、必ず全てのチャンネルのDMAを保留にしてください (DWAIT0 = DWAIT1 = DWAIT2 = DWAIT3 = 1)。

備考 n : DMAチャンネル番号 (n = 0, 1)

図14-4 DMAモード・コントロール・レジスタn (DMCn) のフォーマット (2/2)

アドレス : FFFBAH (DMC0) , FFFBBH (DMC1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	IFCn3	IFCn2	IFCn1	IFCn0

IFCn3	IFCn2	IFCn1	IFCn0	DMA起動要因の選択 ^注	
				トリガ信号	トリガ内容
0	0	0	0	—	割り込みによるDMA転送禁止 (ソフトウェア・トリガのみ可)
0	0	0	1	INTAD	A/D変換終了割り込み
0	0	1	0	INTTM00	タイマ・チャンネル00のカウント完了またはキャプチャ割り込み
0	0	1	1	INTTM01	タイマ・チャンネル01のカウント完了またはキャプチャ割り込み
0	1	0	0	INTTM02	タイマ・チャンネル02のカウント完了またはキャプチャ割り込み
0	1	0	1	INTTM03	タイマ・チャンネル03のカウント完了またはキャプチャ割り込み
0	1	1	0	INTST0/INTCSI00	UART0送信の転送完了, バッファ空き割り込み ／CSI00の転送完了, バッファ空き割り込み
0	1	1	1	INTSR0/INTCSI01	UART0受信の転送完了割り込み／CSI01の転送完了, バッファ空き割り込み
1	0	0	0	INTST1	UART1送信の転送完了, バッファ空き割り込み
1	0	0	1	INTSR1/INTCSI11	UART1受信の転送完了割り込み／CSI11の転送完了, バッファ空き割り込み
1	0	1	0	INTST2/INTCSI20	UART2送信の転送完了, バッファ空き割り込み ／CSI20の転送完了, バッファ空き割り込み
1	0	1	1	INTSR2	UART2受信の転送完了割り込み
上記以外				設定禁止	

注 ソフトウェア・トリガ (STGn) は, IFCn3-IFCn0ビットの値に関係なく使用できます。

備考 n : DMAチャンネル番号 (n = 0, 1)

14.3.2 DMA動作コントロール・レジスタn (DRCn)

DRCnレジスタは、DMAチャネルnの転送許可／禁止を設定するレジスタです。

DRCnレジスタのビット7 (DENn) は、動作中 (DSTn = 1のとき) の書き換えは禁止です。

DRCnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-5 DMA動作コントロール・レジスタn (DRCn) のフォーマット

アドレス : FFFBCH (DRC0) , FFFBDH (DRC1) リセット時 : 00H R/W

略号	☒	6	5	4	3	2	1	☐
DRCn	DENn	0	0	0	0	0	0	DSTn

DENn	DMA動作許可フラグ
0	DMAチャネルnの動作禁止 (DMAの動作クロック停止)
1	DMAチャネルnの動作許可
DMA動作許可 (DENn = 1) にしてから、DSTn = 1にすることでDMAトリガ待ち状態になります。	

DSTn	DMA転送モード・フラグ
0	DMAチャネルnのDMA転送終了
1	DMAチャネルnのDMA転送未終了 (転送中)
DMA動作許可 (DENn = 1) にしてから、DSTn = 1にすることでDMAトリガ待ち状態になります。 そしてソフトウェア・トリガ (STGn) またはIFCn3-IFCn0ビットで設定した起動要因トリガが入力されると、DMA転送を開始します。 その後、DMA転送が終了すると自動的に0にクリアされます。 DMA転送中に強制終了したい場合は、0を書き込みます。	

注意 DSTnフラグはDMA転送が終了すると自動的に0にクリアされます。

DENnフラグはDSTn = 0のときのみ書き込み許可となるため、DMAの割り込み (INTDMA) 発生を待たずに終了する場合は、DSTn = 0に設定してからDENn = 0としてください (詳細は14.5.5 ソフトウェアでの強制終了参照)。

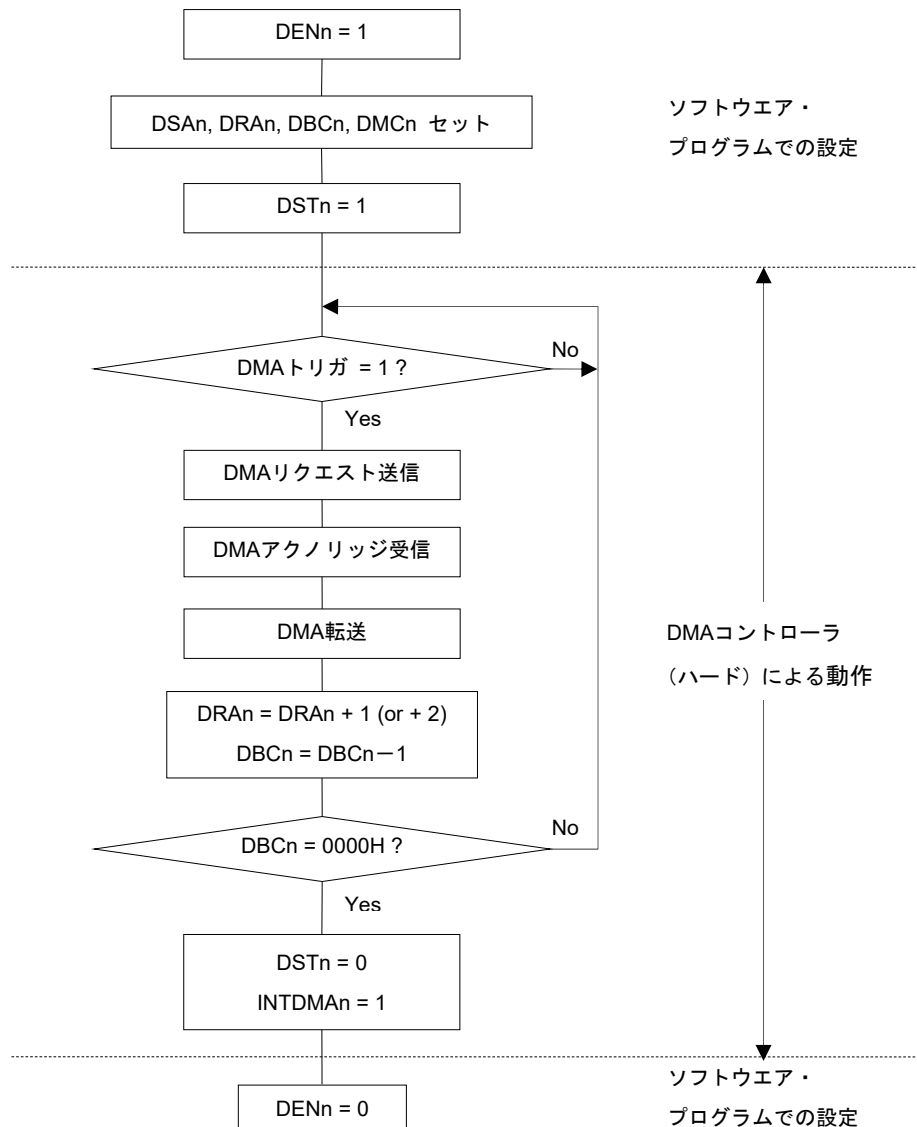
備考 n : DMAチャネル番号 (n = 0, 1)

14.4 DMAコントローラの動作

14.4.1 動作手順

- ① DENn = 1により、DMAコントローラの動作許可状態となります。他のレジスタへの書き込みは必ずDENn = 1としたあとに行ってください。8ビット操作命令で書き込む場合は、80Hを書き込みます。
- ② DMA SFRアドレス・レジスタn (DSAn), DMA RAMアドレス・レジスタn (DRAn), DMAバイト・カウンタ・レジスタn (DBCn), DMAモード・コントロール・レジスタn (DMCn) にDMA転送のSFRアドレス, RAMアドレス, 転送回数, 転送モードを設定します。
- ③ DSTn = 1とすることでDMAトリガ待ち状態になります。8ビット操作命令で書き込む場合は、81Hを書き込みます。
- ④ ソフトウェア・トリガ (STGn) またはIFCn3-IFCn0ビットで設定した起動要因トリガが入力されると、DMA転送を開始します。
- ⑤ DBCnレジスタで設定した転送回数が0になると転送が完了し、割り込み (INTDMA_n) の発生により自動的に転送が終了します。
- ⑥ その後DMAコントローラを使用しない場合はDENn = 0として動作停止状態としてください。

図14-6 動作手順



備考 n : DMAチャンネル番号 (n = 0, 1)

14.4.2 転送モード

DMA転送には、DMAモード・コントロール・レジスタ n (DMC n) のビット6, 5 (DRS n , DS n) の設定により、次の4つの転送モードを選択できます。

DRS n	DS n	DMA転送モード
0	0	1バイト・データのSFR（アドレス固定）からRAM（アドレスは+1のインクリメント）への転送
0	1	2バイト・データのSFR（アドレス固定）からRAM（アドレスは+2のインクリメント）への転送
1	0	1バイト・データのRAM（アドレスは+1のインクリメント）からSFR（アドレス固定）への転送
1	1	2バイト・データのRAM（アドレスは+2のインクリメント）からSFR（アドレス固定）への転送

この転送モードを使用することによって、シリアル・インタフェースを使った最大1024バイトの連続データ転送、A/D変換結果の連続データ転送、タイマを使用した一定時間ごとのポート・データのスキャンなどができます。

14.4.3 DMA転送の終了

DBC n = 00HとなりDMA転送が完了すると、自動的にDST n ビットがクリア（0）されます。そして割り込み要求（INTDMA n ）の発生により転送が終了します。

強制終了するためにDST n ビットをクリア（0）すると、DMAバイト・カウント・レジスタ n (DBC n) と DMA RAMアドレス・レジスタ n (DRAn) は停止したときの値を保持します。

また、強制終了した場合は割り込み要求（INTDMA n ）は発生しません。

備考 n : DMAチャネル番号 ($n = 0, 1$)

14.5 DMAコントローラの設定例

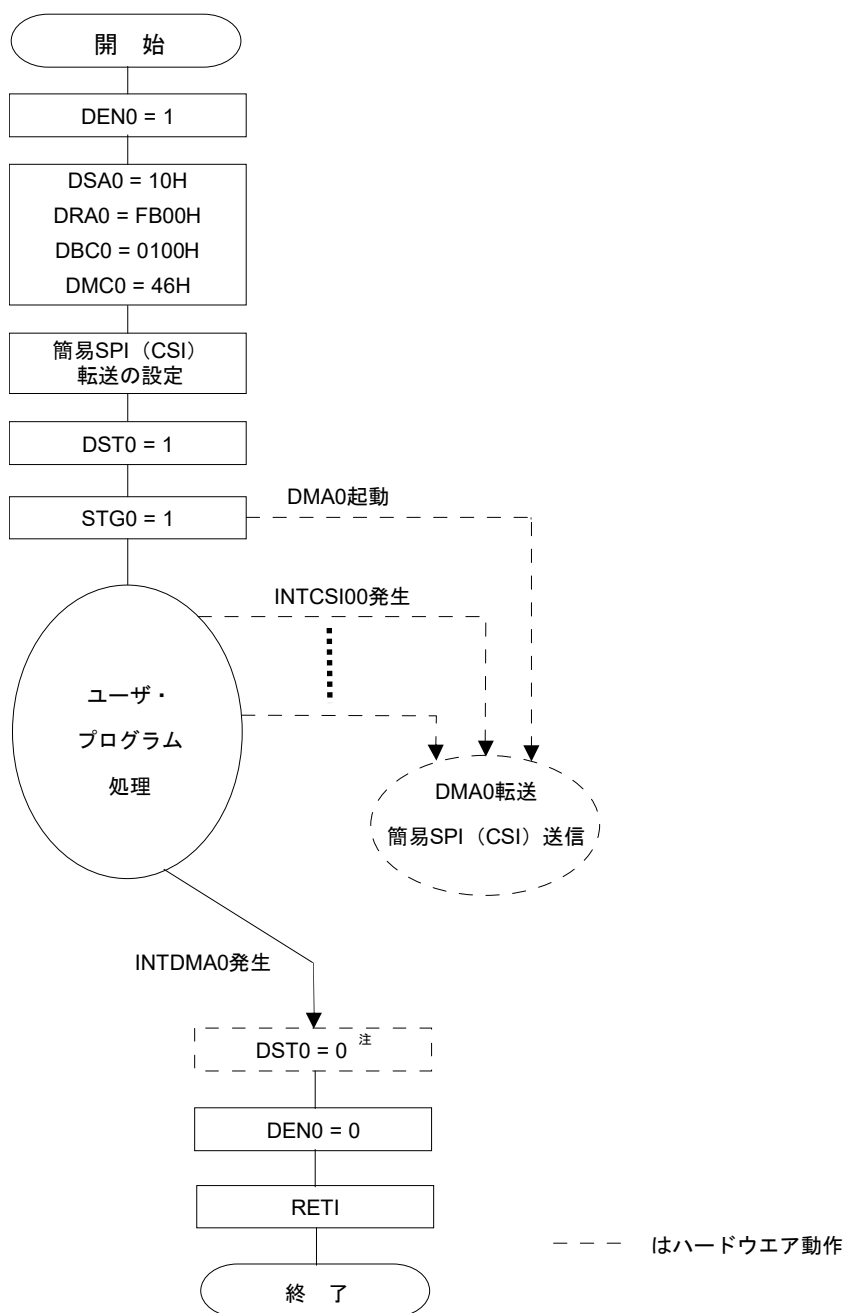
14.5.1 簡易SPI（CSI）連続送信

簡易SPI（CSI）連続送信の設定例のフロー・チャートを次に示します。

- ・CSI00の連続送信（256バイト）
- ・DMAのチャネル0をDMA転送に使用
- ・DMA起動要因：INTCSI00（最初の起動要因だけソフトウェア・トリガ（STG0））
- ・CSI00の割り込みはIFC03-IFC00 = 0110Bに割り当て
- ・RAMのFFB00H-FFBFFH（256バイト）を簡易SPI（CSI）のデータ・レジスタ（SIO00）のFFF10Hiに転送

備考 IFC03-IFC00 : DMAモード・コントロール・レジスタ0 (DMC0) のビット3-0

図14-7 簡易SPI (CSI) 連続送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み (INTDMA0) 発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください (詳細は**14. 5. 5 ソフトウェアでの強制終了**参照)。

連続送信の場合、1回目のトリガは簡易SPI (CSI) の割り込みでは起動されません。この例ではソフトウェア・トリガで起動しています。

2回目以降の簡易SPI (CSI) 送信は自動的に転送されます。

データ・レジスタへの最終の送信データの書き込みが終わった時点で、DMA割り込み (INTDMA0) が発生します。

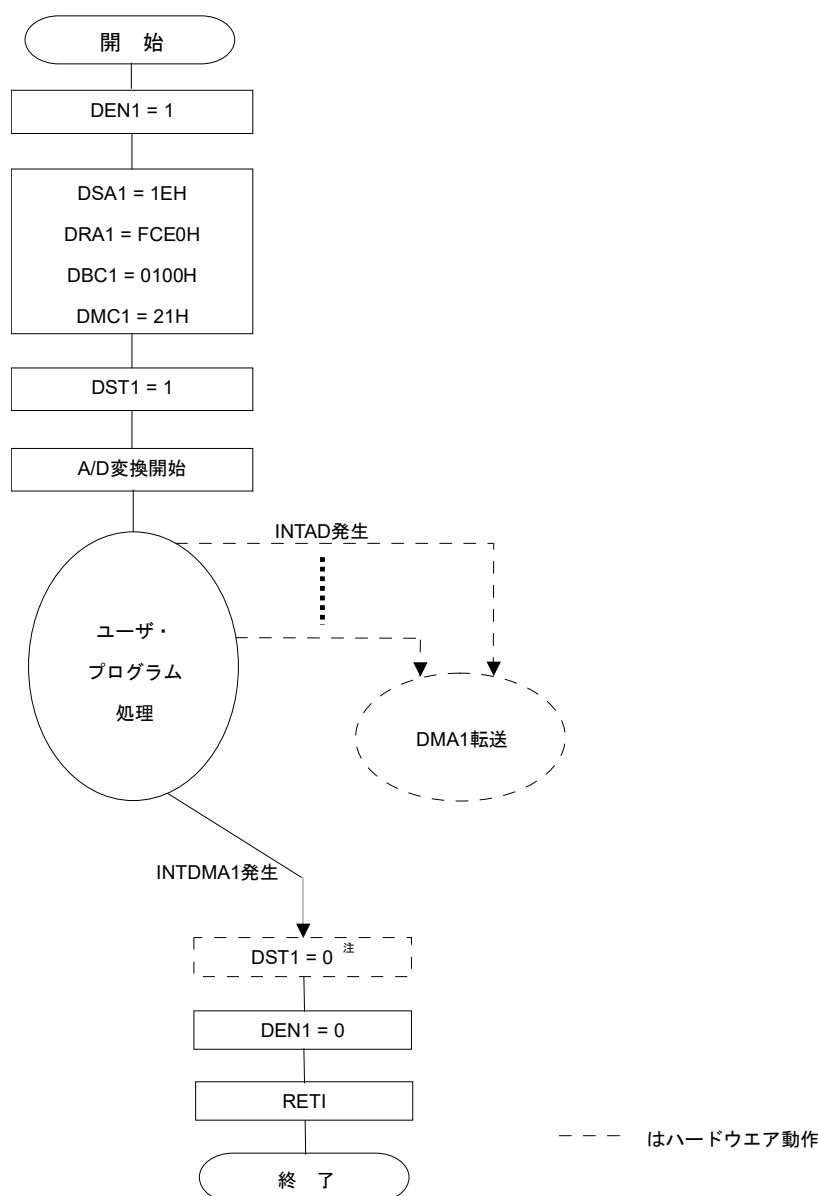
14.5.2 A/D変換結果の連続取り込み

A/D変換結果の連続取り込みの設定例のフロー・チャートを次に示します。

- ・ A/D変換結果の連続取り込み
- ・ DMAのチャンネル1をDMA転送に使用
- ・ DMA起動要因：INTAD
- ・ A/Dの割り込みはIFC13-IFC10 = 0001Bに割り当て
- ・ 10ビットA/D変換結果レジスタ（ADCR）のFFF1EHとFFF1FH（2バイト）をRAMのFFCE0H-FFEDFHの512バイトに転送

備考 IFC13-IFC10：DMAモード・コントロール・レジスタ1（DMC1）のビット3-0

図14-8 A/D変換結果の連続取り込みの設定例



注 DST1フラグはDMA転送が終了すると自動的に0にクリアされます。

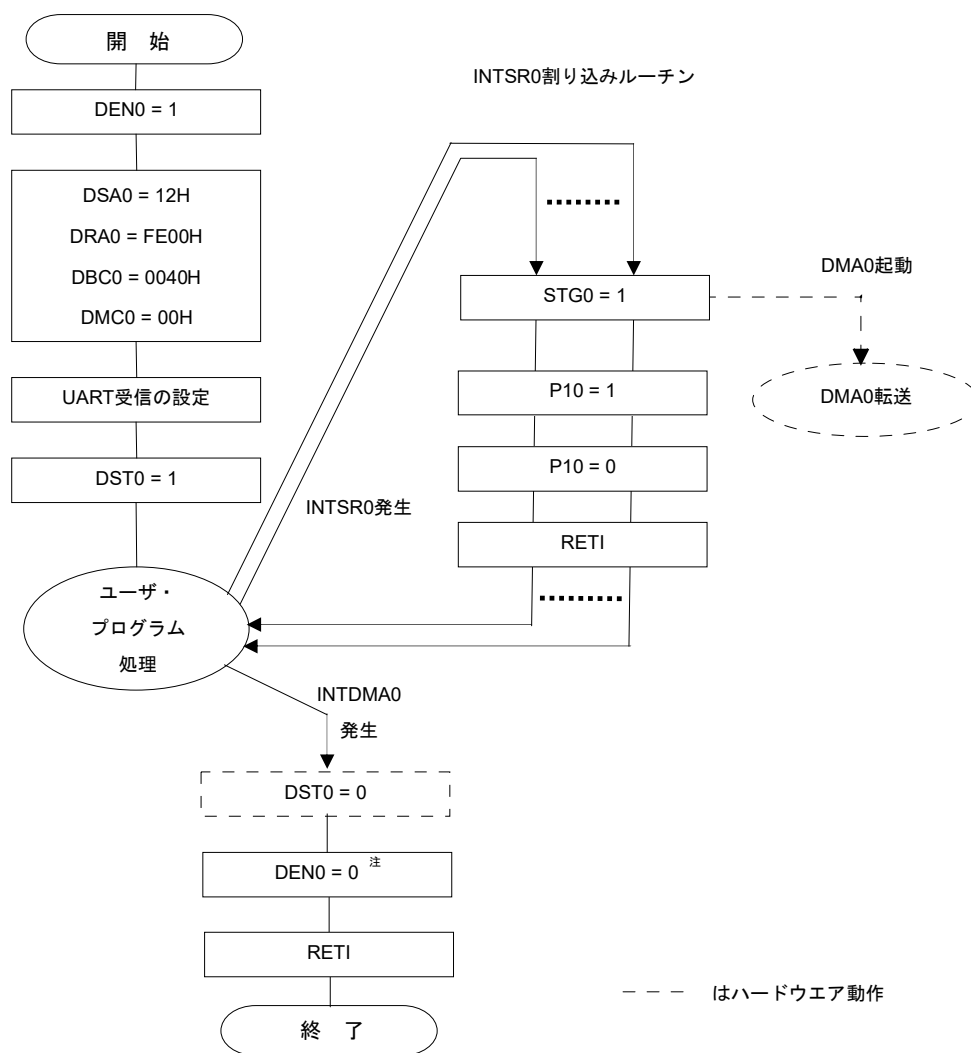
DEN1フラグはDST1 = 0のときのみ書き込み許可となるため、DMA1の割り込み（INTDMA1）発生を待たずに終了する場合は、DST1 = 0に設定してからDEN1 = 0としてください（詳細は14.5.5 ソフトウェアでの強制終了参照）。

14.5.3 UART連続受信+ACK送信

UART連続受信+ACK送信の設定例のフロー・チャートを次に示します。

- ・ UART0の連続受信を行い、P10に受信完了のACKを出力
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因：ソフトウェア・トリガ（割り込みによるDMA転送禁止）
- ・ UART受信データ・レジスタ0（RXD0）のFFF12HをRAMのFFE00H-FFE3FHの64バイトに転送

図14-9 UART連続受信+ACK送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み（INTDMA0）発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください（詳細は14.5.5 ソフトウェアでの強制終了参照）。

備考 DMA起動要因にソフトウェア・トリガを使用した例です。

ACKを送信せずに、UART連続受信だけであれば、UART受信完了割り込み（INTSR0）をDMA起動要因に設定して、受信することもできます。

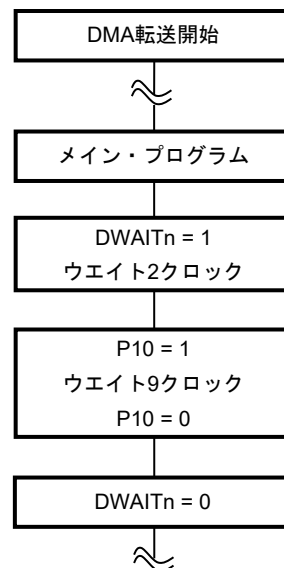
14.5.4 DWAITnビットによるDMA転送保留

DMA転送が開始されると命令実行中に転送が行われるため、そのときに2クロックCPUの動作が停止して遅れます。そのことがセット・システムの動作として問題となる場合は、DWAITn = 1とすることでDMA転送を保留できます。保留中に発生した転送トリガに対するDMA転送は、保留を解除後に実行されます。ただし、保留できる転送トリガは各チャンネル1つなので、保留中に同一チャンネルの転送トリガが2回以上発生しても、保留解除後に実行されるDMA転送は1回です。

一例として、P10端子より動作周波数の10クロック幅のパルスを出力する場合、DMA転送が途中で開始されると12クロック幅となってしまいます。その際はDWAITn = 1とすることでDMA転送を保留できます。

DWAITn = 1に設定後、DMA転送が保留されるまで2クロック必要となります。

図14-10 DWAITnビットによるDMA転送保留の設定例



注意 DMAを2チャンネル以上使用中で、DMA転送を保留したい場合は、すべてのチャンネルのDMAを保留にしてください(DWAIT0 = DWAIT1 = DWAIT2 = DWAIT3 = 1)。他チャンネルのDMAが保留中に、あるチャンネルのDMA転送が実行されると、他のチャンネルも保留されないことがあります。

- 備考1.** n : DMAチャンネル番号 (n = 0, 1)
- 2.** 1クロック : 1/fCLK (fCLK : CPUクロック)

14.5.5 ソフトウェアでの強制終了

ソフトウェアでDSTn = 0に設定してから、実際にDMA転送が停止し、DSTn = 0となるまでには最大で2クロックが必要となります。そのため、DMAの割り込み (INTDMA_n) 発生を待たずにソフトウェアで強制的にDMA転送を終了する場合は、次のいずれかの処理をしてください。

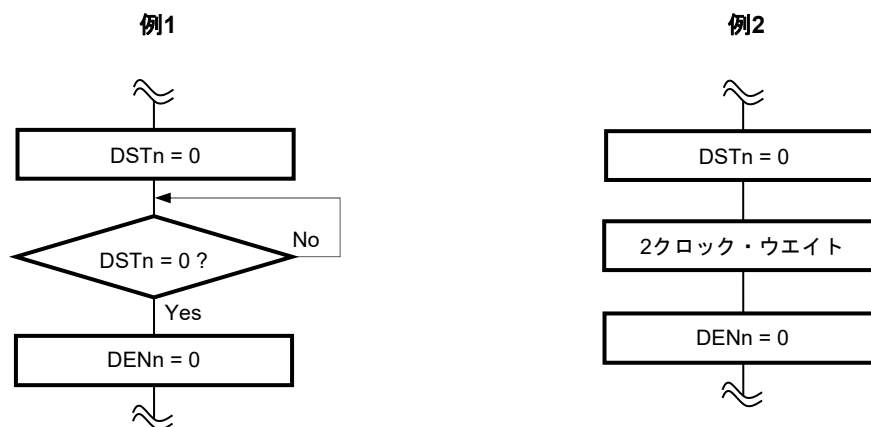
<DMAを1チャンネル使用しているとき>

- ・ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、実際にDSTn ビットが0になったことをポーリングで確認後、DENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする
- ・ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、2クロック経過後にDENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする

<DMAを2チャンネル使用しているとき>

- ・DMAを2チャンネル使用しているときにソフトウェアで強制終了 (DSTn = 0) する場合は、使用している両チャンネルのDWAITnビットをセット (1) してDMA転送を保留してから、DSTnビットをクリア (0) する。その後、両チャンネルのDWAITnビットをクリア (0) し保留を解除してから、DENnビットをクリア (0) とする

図14-11 DMA転送の強制終了手順 (1/2)



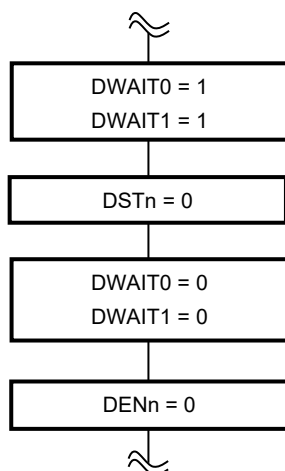
備考1. n : DMAチャンネル番号 (n = 0, 1)

2. 1クロック : 1/f_{CLK} (f_{CLK} : CPUクロック)

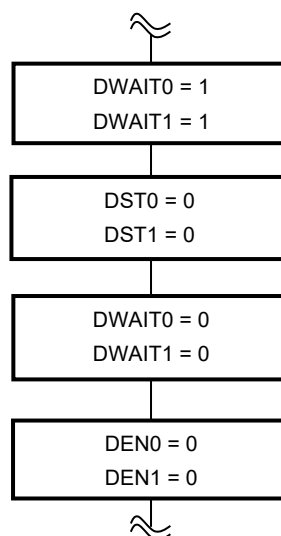
図14-11 DMA転送の強制終了手順 (2/2)

例3 2チャンネルとも使用時

どちらかのチャンネルを強制終了



2チャンネルともに強制終了



注意 例3では、DWAITnビットのセット（1）後に2クロックのウェイトは不要です。また、DSTnビットをクリア（0）してからDENnビットをクリア（0）するまで、2クロック以上経過しているため、DSTnビットのクリア（0）後も2クロックのウェイトは不要です。

備考1. n : DMAチャンネル番号（n = 0, 1）

2. 1クロック : $1/f_{CLK}$ （ f_{CLK} : CPUクロック）

14.6 DMAコントローラの注意事項

(1) DMAの優先順位

DMA転送中は、他のDMAチャネルの要求が発生しても保留されます。そしてDMA転送終了後に、保留していたDMA転送が開始されます。ただしDMA要求が同時に発生した場合は、DMAチャネル0>DMAチャネル1>DMAチャネル2>DMAチャネル3の優先順位になります。

また、DMA要求と割り込み要求が同時に発生した場合はDMA転送が優先され、そのあとに割り込み処理が実行されます。

(2) DMA応答時間

DMA転送における応答時間は、次のようになります。

表14-3 DMA転送における応答時間

	最小時間	最大時間
応答時間	3クロック	10クロック ^注

注 内部RAMからの命令実行の場合は、最大時間が16クロックになります。

注意1. 上記の応答時間には、DMA転送の2クロック分は含まれていません。

2. DMA保留命令（14.6（4）参照）実行の場合は、各条件の最大応答時間に、その条件で保留する命令の実行時間を足した時間となります。
3. 最大応答時間+1クロック以内での同一チャネルへの連続する転送トリガは、無視される可能性があるため設定しないでください。

備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

(3) スタンバイ時の動作

スタンバイ・モード時のDMAコントローラの動作は、次のようになります。

表14-4 スタンバイ・モード時のDMA動作

状態	DMA動作
HALTモード	通常動作。
STOPモード	動作停止。 DMA転送とSTOP命令が競合した場合、DMA転送が正常に行われないことがありますので、STOP命令実行前にDMAを停止してください。

(4) DMA転送の保留

DMA要求が発生しても、次の命令直後ではDMA転送は保留されます。

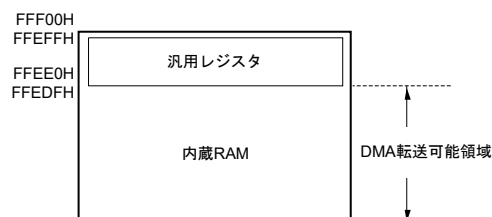
- ・ CALL !addr16
- ・ CALL \$!addr20
- ・ CALL !!addr20
- ・ CALL rp
- ・ CALLT [addr5]
- ・ BRK
- ・ MOV PSW, #byte
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ POP PSW
- ・ BTCLR PSW. bit, \$addr20
- ・ EI
- ・ DI
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタの各レジスタに対する書き込み命令
- ・ データ・フラッシュにアクセスする命令

(5) 汎用レジスタ領域内か内蔵RAMの領域外のアドレスを指定した場合の動作

DMA転送中にDMA RAMアドレス・レジスタn (DRAn) で示すアドレスがインクリメントされ、汎用レジスタ領域内に入ったり、内蔵RAMの領域を越えてしまった場合、以下に示す動作になります。

- SFRからRAMへの転送モード時
そのアドレスのデータを破壊してしまいます。
- RAMからSFRへの転送モード時
不定のデータがSFRへ転送されます。

いずれの場合も、誤動作やシステム破壊の原因となりますので、アドレスが汎用レジスタ以外の内蔵RAMの領域内に収まるよう、十分ご注意ください。



(6) データ・フラッシュ空間にアクセスする場合の動作

DMA転送が起きた1命令後にデータ・フラッシュ空間にアクセスした場合、間の命令に3クロック分のウェイトが入ります。

命令1

DMA転送

命令2 ← 3クロック分のウェイト発生

MOV A, !DataFlash空間

第15章 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、製品によって異なります。

		R5F1026x製品 R5F1027x製品	R5F1036x製品 R5F1037x製品	R5F102Ax製品	R5F103Ax製品
マスクابل 割り込み	外部	5		6	
	内部	18	16	26	19

備考 x = 6, 7, 8, 9, A

15.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR10L, PR10H, PR11L）の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表15-1, 15-2を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

15.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計7要因あります（表15-1, 15-2参照）。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表15-1 割り込み要因一覧 (20, 24ピン製品) (1/2)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	R5F1026x, R5F1027x製品	R5F1037x製品	R5F1036x, R5F1037x製品
		名称	トリガ						
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバフロー時間の75%+1/2f _{IL})	内部	00004H	(A)	○	○	
	1	INTLVI	電圧検出 ^{注4}		00006H		○	○	
	2	INTP0	端子入力エッジ検出	外部	00008H	(B)	○	○	
	3	INTP1			0000AH		○	○	
	4	INTP2			0000CH		○	○	
	5	INTP3			0000EH		○	○	
	6	INTDMA0	DMA0の転送完了	内部	00010H	(A)	○	—	
	7	INTDMA1	DMA1の転送完了		00012H		○	—	
	8	INTST0/ INTCSI00/ INTIIC00	UART0送信の転送完了, バッファ空き割り込み/ CSI00の転送完了, バッファ空き割り込み/IIC00 の転送完了		00014H		○	○	—
	9	INTSR0/ INTCSI01/ INTIIC01	UART0受信の転送完了/CSI01の転送完了, バッ ファ空き割り込み/IIC01の転送完了		00016H		○	○	—
	10	INTSRE0	UART0受信の通信エラー発生		00018H		○	○	
	11	INTTM01H	タイマ・チャンネル01のカウント完了またはキャプ チャ完了 (上位8ビット・タイマ動作時)		0001AH		○	○	
	12	INTTM03H	タイマ・チャンネル03のカウント完了またはキャプ チャ完了 (上位8ビット・タイマ動作時)		0001CH		○	○	
	13	INTIICA0	IICA0通信完了		0001EH		○	○	
	14	INTTM00	タイマ・チャンネル00のカウント完了またはキャプ チャ完了 (16ビット/下位8ビット・タイマ動作時)		00020H		○	○	
	15	INTTM01	タイマ・チャンネル01のカウント完了またはキャプ チャ完了 (16ビット/下位8ビット・タイマ動作時)		00022H		○	○	
	16	INTTM02	タイマ・チャンネル02のカウント完了またはキャプ チャ完了 (16ビット/下位8ビット・タイマ動作時)		00024H		○	○	
	17	INTTM03	タイマ・チャンネル03のカウント完了またはキャプ チャ完了 (16ビット/下位8ビット・タイマ動作時)		00026H		○	○	
	18	INTAD	A/D変換終了		00028H		○	○	
	19	INTIT	12ビット・インターバル・タイマのインターバル信 号検出		0002AH		○	○	
	20	INTKR	キー・リターン信号検出	外部	0002CH	(C)	○	○	
	21	INTMD	除算演算終了/積和演算結果のオーバフロー発生	内部	0002EH	(A)	○	○	
	22	INTFL	予約		00030H		○	○	

注 1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。
0が最高順位、22が最低順位です。

2. 基本構成タイプの (A) - (D) は、それぞれ図15-1の (A) - (D) に対応しています。

3. オプション・バイト (000C0H) のビット7 (WDTINT) = 1選択時。

4. 電圧検出レベル・レジスタ (LVIS) のビット7 (LVIMD) = 0選択時。

表15-1 割り込み要因一覧 (20, 24ピン製品) (2/2)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	R5F1026X, R5F1027X製品	R5F1036X, R5F1037X製品
		名称	トリガ					
ソフトウエア	—	BRK	BRK命令の実行	—	0007EH	(D)	○	○
リセット	—	RESET	RESET端子入力	—	00000H	—	○	○
		POR	パワーオン・リセット				○	○
		LVD	電圧検出 ^{注3}				○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○
		TRAP	不正命令の実行 ^{注4}				○	○
		IAW	不正メモリ・アクセス				○	○
		RPE	RAMパリティ・エラー				○	○

注 1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。

0が最高順位、22が最低順位です。

2. 基本構成タイプの (A) - (D) は、それぞれ図15-1の (A) - (D) に対応しています。

3. 電圧検出レベル・レジスタ (LVIS) のビット7 (LVIMD) = 1選択時。

4. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

表15-2 割り込み要因一覧 (30ピン製品) (1/2)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	R5F102Ax製品	R5F103Ax製品
		名称	トリガ					
マスクابل	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバフロー時間の75%+1/2f _{IL})	内部	00004H	(A)	○	○
	1	INTLVI	電圧検出 ^{注4}		00006H		○	○
	2	INTP0	端子入力エッジ検出	外部	00008H	(B)	○	○
	3	INTP1			0000AH		○	○
	4	INTP2			0000CH		○	○
	5	INTP3			0000EH		○	○
	6	INTP4			00010H		○	○
	7	INTP5			00012H		○	○
	8	INTST2/ INTCSI20/ INTIIC20	UART2送信の転送完了, バッファ空き割り込み／CSI20の転送完了, バッファ空き割り込み／IIC20の転送完了	内部	00014H	(A)	○	—
	9	INTSR2	UART2受信の転送完了		00016H		○	—
	10	INTSRE2	UART2受信の通信エラー発生		00018H		○	—
	11	INTDMA0	DMA0の転送完了		0001AH		○	—
	12	INTDMA1	DMA1の転送完了		0001CH		○	—
	13	INTST0/ INTCSI00/ INTIIC00	UART0送信の転送完了, バッファ空き割り込み／CSI00の転送完了, バッファ空き割り込み／IIC00の転送完了		0001EH		○	○ ○ —
	14	INTSR0	UART0受信の転送完了		00020H		○	○
	15	INTSRE0	UART0受信の通信エラー発生		00022H		○	○
		INTTM01H	タイマ・チャンネル01のカウント完了またはキャプチャ完了 (上位8ビット・タイマ動作時)				○	○
	16	INTST1	UART1送信の転送完了		00024H		○	—
	17	INTSR1/ INTCSI11/ INTIIC11	UART1受信の転送完了／CSI11の転送完了, バッファ空き割り込み／IIC11の転送完了		00026H		○	—
	18	INTSRE1	UART1受信の通信エラー発生		00028H		○	—
		INTTM03H	タイマ・チャンネル03のカウント完了またはキャプチャ完了 (上位8ビット・タイマ動作時)				○	○
	19	INTIICA0	IICA0通信完了		0002AH		○	○

注 1. デフォルト・プライオリティは、複数のマスクابل割り込みが発生している場合に、優先する順位です。0が最高順位、31が最低順位です。

2. 基本構成タイプの (A) - (D) は、それぞれ図15-1の (A) - (D) に対応しています。

3. オプション・バイト (000C0H) のビット7 (WDTINT) = 1選択時。

4. 電圧検出レベル・レジスタ (LVIS) のビット7 (LVIMD) = 0選択時。

表15-2 割り込み要因一覧 (30ピン製品) (2/2)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	R5F102Ax製品	R5F103Ax製品
		名称	トリガ					
マスクابل	20	INTTM00	タイマ・チャンネル00のカウント完了またはキャプチャ完了 (16ビット／下位8ビット・タイマ動作時)	内部	0002CH	(A)	○	○
	21	INTTM01	タイマ・チャンネル01のカウント完了またはキャプチャ完了 (16ビット／下位8ビット・タイマ動作時)		0002EH		○	○
	22	INTTM02	タイマ・チャンネル02のカウント完了またはキャプチャ完了 (16ビット／下位8ビット・タイマ動作時)		00030H		○	○
	23	INTTM03	タイマ・チャンネル03のカウント完了またはキャプチャ完了 (16ビット／下位8ビット・タイマ動作時)		00032H		○	○
	24	INTAD	A/D変換終了		00034H		○	○
	25	INTIT	12ビット・インターバル・タイマのインターバル信号検出		00038H		○	○
	26	INTTM04	タイマ・チャンネル04のカウント完了またはキャプチャ完了 (16ビット／下位8ビット・タイマ動作時)		00042H		○	○
	27	INTTM05	タイマ・チャンネル05のカウント完了またはキャプチャ完了 (16ビット／下位8ビット・タイマ動作時)		00044H		○	○
	28	INTTM06	タイマ・チャンネル06のカウント完了またはキャプチャ完了 (16ビット／下位8ビット・タイマ動作時)		00046H		○	○
	29	INTTM07	タイマ・チャンネル07のカウント完了またはキャプチャ完了 (16ビット／下位8ビット・タイマ動作時)		00048H		○	○
	30	INTMD	除算演算終了／積和演算結果のオーバフロー発生		0005EH		○	○
	31	INTFL	予約 ^{注3}		00062H		○	○
ソフトウェア	—	BRK	BRK命令の実行	—	0007EH	(D)	○	○
リセット	—	RESET	RESET端子入力	—	00000H	—	○	○
		POR	パワーオン・リセット				○	○
		LVD	電圧検出 ^{注4}				○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○
		TRAP	不正命令の実行 ^{注5}				○	○
		IAW	不正メモリ・アクセス				○	○
		RPE	RAMパリティ・エラー				○	○

注 1. デフォルト・プライオリティは、複数のマスクابل割り込みが発生している場合に、優先する順位です。
0が最高順位、31が最低順位です。

2. 基本構成タイプの (A) - (D) は、それぞれ図15-1の (A) - (D) に対応しています。

3. フラッシュ・セルフ・プログラミング・ライブラリ、データ・フラッシュ・ライブラリで使用します。

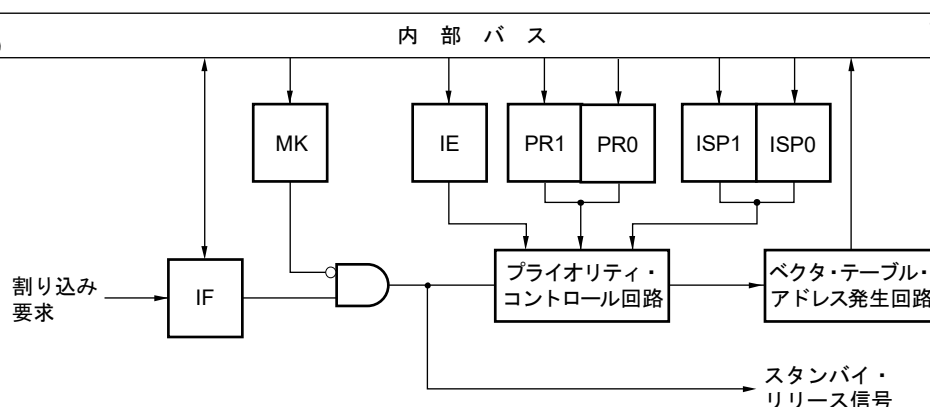
4. 電圧検出レベル・レジスタ (LVIS) のビット7 (LVIMD) = 0選択時。

5. FFHの命令コードを実行したときに発生します。

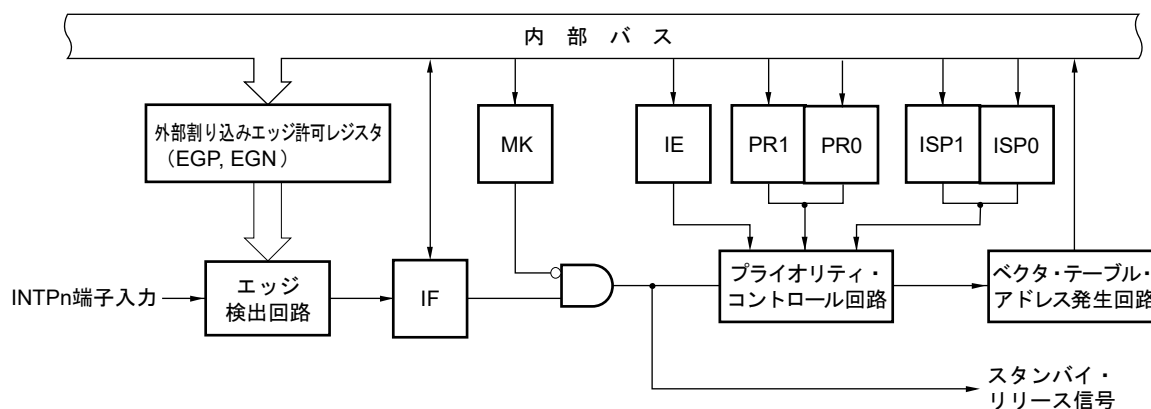
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図15-1 割り込み機能の基本構成 (1/2)

(a) 内部マスカブル割り込み



(b) 外部マスカブル割り込み (INTPn)

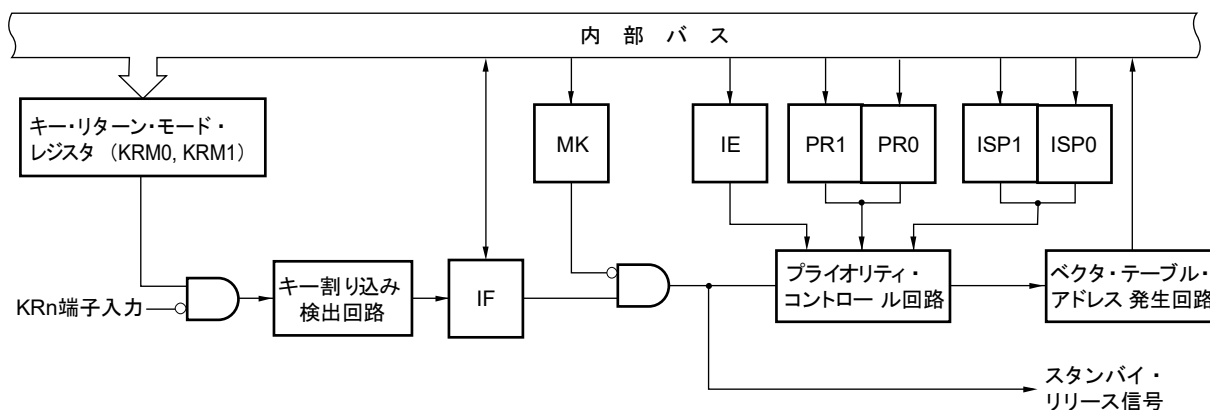


- IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP0 : インサース・プライオリティ・フラグ0
 ISP1 : インサース・プライオリティ・フラグ1
 MK : 割り込みマスク・フラグ
 PR0 : 優先順位指定フラグ0
 PR1 : 優先順位指定フラグ1

備考 20, 24ピン製品 : n = 0-3
 30ピン製品 : n = 0-5

図15-1 割り込み機能の基本構成 (2/2)

(c) 外部マスカブル割り込み (INTKR)



IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

ISP0 : インサース・プライオリティ・フラグ0

ISP1 : インサース・プライオリティ・フラグ1

MK : 割り込みマスク・フラグ

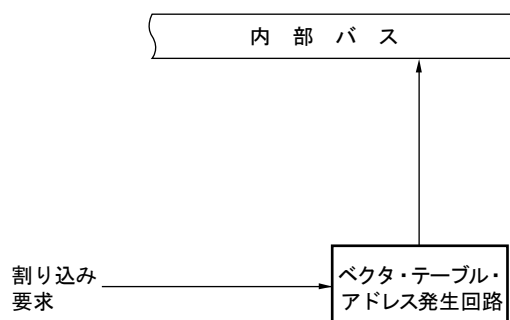
PR0 : 優先順位指定フラグ0

PR1 : 優先順位指定フラグ1

備考 24ピン製品 : n = 0-9

20ピン製品 : n = 0-5

(d) ソフトウェア割り込み



15.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H）
- ・割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H）
- ・優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H）
- ・外部割り込み立ち上がりエッジ許可レジスタ（EGP0）
- ・外部割り込み立ち下がりエッジ許可レジスタ（EGN0）
- ・プログラム・ステータス・ワード（PSW）

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表15-3、15-4に示します。

表15-3 割り込み要求ソースに対応する各種フラグ（20, 24ピン製品）（1/2）

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		R5F1027x製品 R5F1026x, R5F1037x製品	R5F1036x, R5F1037x製品
		レジスタ		レジスタ		レジスタ		
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L,	○	○
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1	PR10L	○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○
INTP2	PIF2		PMK2		PPR02, PPR12		○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	○
INTDMA0	DMAIF0		DMAMK0		DMAPR00, DMAPR10		○	—
INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11		○	—
INTST0 ^{注1}	STIF0 ^{注1}	IF0H	STMK0 ^{注1}	MK0H	STPR00, STPR10 ^{注1}	PR00H, PR10H	○	○
INTCSI00 ^{注1}	CSIIF00 ^{注1}		CSIMK00 ^{注1}		CSIPR000, CSIPR100 ^{注1}			○
INTIIC00 ^{注1}	IICIF00 ^{注1}		IICMK00 ^{注1}		IICPR000, IICPR100 ^{注1}			—
INTSR0 ^{注2}	SRIF0 ^{注2}		SRMK0 ^{注2}		SRPR00, SRPR10 ^{注2}		○	○
INTCSI01 ^{注2}	CSIIF01 ^{注2}		CSIMK01 ^{注2}		CSIPR001, CSIPR101 ^{注2}			—
INTIIC01 ^{注2}	IICIF01 ^{注2}		IICMK01 ^{注2}		IICPR001, IICPR101 ^{注2}			—
INTSRE0	SREIF0		SREMK0		SREPR00, SREPR10		○	○
INTTM01H	TMIF01H		TMMK01H		TMPR001H, TMPR101H		○	○
INTTM03H	TMIF03H		TMMK03H		TMPR003H, TMPR103H		○	○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○
INTTM02	TMIF02		TMMK02	MK1L	TMPR002, TMPR102	PR01L,	○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103	PR11L	○	○

表15-3 割り込み要求ソースに対応する各種フラグ（20, 24ピン製品）（2/2）

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		R5F1027X製品	R5F1026X, R5F1037X製品	R5F1036X, R5F1037X製品
		レジスタ		レジスタ		レジスタ			
INTAD	ADIF	IF1L	ADMK	MK1L	ADPR0, ADPR1	PR01L,	○	○	
INTIT	TMKAIF		TMKAMK		TMKAPR0, TMKAPR1	PR11L	○	○	
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○	
INTMD	MDIF		MDMK		MDPR0, MDPR1		○	○	
INTFL	FLIF		FLMK		FLPR0, FLPR1		○	○	

- 注1. 割り込み要因INTST0, INTCSI00, INTIIC00のうち、いずれかが発生したら、IF0Hレジスタのビット5はセット（1）されます。また、MK0H, PR00H, PR10Hレジスタのビット5は、3つすべての割り込み要因に対応しています。
2. 割り込み要因INTSR0, INTCSI01, INTIIC01のうち、いずれかが発生したら、IF0Hレジスタのビット6はセット（1）されます。また、MK0H, PR00H, PR10Hレジスタのビット6は、3つすべての割り込み要因に対応しています。

表15-4 割り込み要求ソースに対応する各種フラグ (30ピン製品)

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		R5F-102AX製品	R5F-103AX製品
		レジスタ		レジスタ		レジスタ		
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L,	○	○
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1	PR10L	○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○
INTP2	PIF2		PMK2		PPR02, PPR12		○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○
INTP5	PIF5		PMK5		PPR05, PPR15		○	○
INTST2 ^{注1}	STIF2 ^{注1}	IF0H	STMK2 ^{注1}	MK0H	STPR02, STPR12 ^{注1}	PR00H, PR10H	○	—
INTCSI20 ^{注1}	CSIIIF20 ^{注1}		CSIMK20 ^{注1}		CSIPR020, CSIPR120 ^{注1}			
INTIIC20 ^{注1}	IICIF20 ^{注1}		IICMK20 ^{注1}		IICPR020, IICPR120 ^{注1}			
INTSR2	SRIF2		SRMK2		SRPR02, SRPR12		○	—
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12		○	—
INTDMA0	DMAIF0		DMAMK0		DMAPR00, DMAPR10		○	—
INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11		○	—
INTST0 ^{注2}	STIF0 ^{注2}		STMK0 ^{注2}		STPR00, STPR10 ^{注2}		○	○
INTCSI00 ^{注2}	CSIIIF00 ^{注2}		CSIMK00 ^{注2}		CSIPR000, CSIPR100 ^{注2}			
INTIIC00 ^{注2}	IICIF00 ^{注2}		IICMK00 ^{注2}		IICPR000, IICPR100 ^{注2}			
INTSR0	SRIF0		SRMK0		SRPR00, SRPR10		○	○
INTSRE0 ^{注3}	SREIF0 ^{注3}		SREMK0 ^{注3}		SREPR00, SREPR10 ^{注3}		○	○
INTTM01H ^{注3}	TMIF01H ^{注3}		TMMK01H ^{注3}		TMPR001H, TMPR101H ^{注3}			
INTST1	STIF1	IF1L	STMK1	MK1L	STPR01, STPR11	PR01L,	○	—
INTSR1 ^{注4}	SRIF1 ^{注4}		SRMK1 ^{注4}		SRPR01, SRPR11 ^{注4}	PR11L	○	—
INTCSI11 ^{注4}	CSIIIF11 ^{注4}		CSIMK11 ^{注4}		CSIPR011, CSIPR111 ^{注4}			
INTIIC11 ^{注4}	IICIF11 ^{注4}		IICMK11 ^{注4}		IICPR011, IICPR111 ^{注4}			
INTSRE1 ^{注5}	SREIF1 ^{注5}		SREMK1 ^{注5}		SREPR01, SREPR11 ^{注5}		○	—
INTTM03H ^{注5}	TMIF03H ^{注5}		TMMK03H ^{注5}		TMPR003H, TMPR103H ^{注5}			○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H,	○	○
INTIT	TMKAIF		TMKAMK		TMKAPR0, TMKAPR1	PR11H	○	○
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104		○	○
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L,	○	○
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106	PR12L	○	○
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107		○	○
INTMD	MDIF	IF2H	MDMK	MK2H	MDPR0, MDPR1	PR02H,	○	○
INTFL	FLIF		FLMK		FLPR0, FLPR1	PR12H	○	○

- 注1.** 割り込み要因INTST2, INTCSI20, INTIIC20のうち、いずれかが発生したら、IF0Hレジスタのビット0はセット（1）されます。また、MK0H, PR00H, PR10Hレジスタのビット0は、3つすべての割り込み要因に対応しています。
2. 割り込み要因INTST0, INTCSI00, INTIIC00のうち、いずれかが発生したら、IF0Hレジスタのビット5はセット（1）されます。また、MK0H, PR00H, PR10Hレジスタのビット5は、3つすべての割り込み要因に対応しています。
3. UART0受信のエラー割り込み, TAU0のチャネル1（上位8ビット・タイマ動作時）の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART0受信のエラー割り込みを使用しない（EOC01 = 0）場合は、UART0, TAU0のチャネル1（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTSRE0, INTTM01Hのうち、どちらかが発生したら、IF0Hレジスタのビット7はセット（1）されます。また、MK0H, PR00H, PR10Hレジスタのビット7は、両方の割り込み要因に対応しています。
4. 割り込み要因INTSR1, INTCSI11, INTIIC11のうち、いずれかが発生したら、IF1Lレジスタのビット1はセット（1）されます。また、MK1L, PR01L, PR11Lレジスタのビット1は、3つすべての割り込み要因に対応しています。
5. UART1受信のエラー割り込み, TAU0のチャネル3（上位8ビット・タイマ動作時）の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART1受信のエラー割り込みを使用しない（EOC01 = 0）場合は、UART1, TAU0のチャネル3（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTTM03Hが発生したら、IF1Lレジスタのビット2はセット（1）されます。また、MK1L, PR01L, PR11Lレジスタのビット2は、両方の割り込み要因に対応しています。

15.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LレジスタとIF0Hレジスタ、IF1LレジスタとIF1Hレジスタ、IF2LレジスタとIF2Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図15-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L) のフォーマット (20, 24ピン製品)

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	DMAIF1 ^注	DMAIF0 ^注	PIF3	PIF2	PIF1	PIF0	LVIF	WDTIIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	TMIF01	TMIF00	IICAI0	TMIF03H	TMIF01H	SREIF0	SRIF0 CSIF01 ^注 IICIF01 ^注	STIF0 CSIF00 IICIF00 ^注

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	0	FLIF	MDIF	KRIF	TMKAIF	ADIF	TMIF03	TMIF02

XXIFXX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注 R5F102製品のみ

次ページに**注意**を掲載しています。

図15-3 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H) のフォーマット (30ピン製品)

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIF	WDTIIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	SREIF0 TMIF01H	SRIF0	STIF0 CSIF00 IICIF00 ^注	DMAIF1 ^注	DMAIF0 ^注	SREIF2 ^注	SRIF2 ^注	STIF2 ^注 CSIF20 ^注 IICIF20 ^注

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	IICAIF0	SREIF1 ^注 TMIF03H	SRIF1 ^注 CSIF11 ^注 IICIF11 ^注	STIF1 ^注

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	TMIF04	0	0	0	0	TMKAIF	0	ADIF

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	0	0	0	0	0	TMIF07	TMIF06	TMIF05

アドレス : FFFD1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	0	MDIF	0	0	0	0	0

XXIFXX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注 R5F102製品のみ

注意1. 搭載していないビットには、必ず初期値を設定してください。

2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L.0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット（1）されても、「mov IF0L, a」でクリア（0）されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

15.3.2 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H）

割り込みマスク・フラグは、対応するマスカブル割り込みの許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LレジスタとMK0Hレジスタ、MK1LレジスタとMK1Hレジスタ、MK2LレジスタとMK2Hレジスタをあわせて16ビット・レジスタMK0, MK1, MK2として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図15-4 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L）のフォーマット（20, 24ピン製品）

アドレス：FFFE4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	DMAMK1 ^注	DMAMK0 ^注	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス：FFFE5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	TMMK01	TMMK00	IICAMK0	TMMK03H	TMMK01H	SREMK0	SRMK0 CSIMK01 ^注 IICMK01 ^注	STMK0 CSIMK00 IICMK00 ^注

アドレス：FFFE6H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	1	FLMK	MDMK	KRMK	TMKAMK	ADMK	TMMK03	TMMK02

XXMKXX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注 R5F102製品のみ

注意 搭載していないビットには、必ず初期値を設定してください。

図15-5 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H）のフォーマット
（30ピン製品）

アドレス：FFFE4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス：FFFE5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	SREMK0 TMMK01H	SRMK0	STMK0 CSIMK01 IICMK01 ^注	DMAMK1 ^注	DMAMK0 ^注	SREMK2 ^注	SRMK2 ^注	STMK2 ^注 CSIMK20 ^注 IICMK20 ^注

アドレス：FFFE6H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	IICAMK0	SREMK1 ^注 TMMK03H	SRMK1 ^注 CSIMK11 ^注 IICMK11 ^注	STMK1 ^注

アドレス：FFFE7H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	TMMK04	1	1	1	1	TMKAMK	1	ADMK

アドレス：FFFD4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK2L	1	1	1	1	1	TMMK07	TMMK06	TMMK05

アドレス：FFFD5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK2H	FLMK	1	MDMK	1	1	1	1	1

XXMKXX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注 R5F102製品のみ

注意 搭載していないビットには、必ず初期値を設定してください。

15.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせ、優先順位レベルを設定します (xy = 0L, 0H, 1L, 1H, 2L, 2H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LレジスタとPR00Hレジスタ、PR01LレジスタとPR01Hレジスタ、PR02LレジスタとPR02Hレジスタ、PR10LレジスタとPR10Hレジスタ、PR11LレジスタとPR11Hレジスタ、PR12LレジスタとPR12Hレジスタを合わせて16ビット・レジスタPR00, PR10として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図15-6 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR10L, PR10H, PR11L) のフォーマット

(20, 24ピン製品)

アドレス : FFFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	DMAPR0 ^注	DMAPR0 ^注	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFECH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	DMAPR11	DMAPR10	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	TMPR001	TMPR000	IICAPR00	TMPR003H	TMPR001H	SREPR00	SRPR00 CSIPR001 ^注 IICPR001 ^注	STPR00 CSIPR000 IICPR000 ^注

アドレス : FFFEDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	TMPR101	TMPR100	IICAPR10	TMPR103H	TMPR101H	SREPR10	SRPR10 CSIPR101 IICPR101	STPR10 CSIPR100 IICPR100

アドレス : FFFEAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	1	FLPR0	MDPR0	KRPR0	TMKAPR0	ADPR0	TMPR003	TMPR002

アドレス : FFFEEH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	1	FLPR1	MDPR1	KRPR1	TMKAPR1	ADPR1	TMPR103	TMPR102

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定 (高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定 (低優先順位)

注 R5F102製品のみ

注意 搭載していないビットには、必ず初期値を設定してください。

図15-7 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) のフォーマット (30ピン製品) (1/2)

アドレス : FFFE8H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR00H	SREPR00 TMPR001H	SRPR00	STPR00 CSIPR000 IICPR000 ^注	DMAPR01 ^注	DMAPR00 ^注	SREPR02 ^注	SRPR02 ^注	STPR02 ^注 CSIPR020 ^注 IICPR020 ^注

アドレス : FFFEDH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR10H	SREPR10 TMPR101H	SRPR10	STPR10 CSIPR100 IICPR100 ^注	DMAPR11 ^注	DMAPR10 ^注	SREPR12 ^注	SRPR12 ^注	STPR12 ^注 CSIPR120 ^注 IICPR120 ^注

アドレス : FFFEAH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	IICAPR00	SREPR01 ^注 TMPR003H	SRPR01 ^注 CSIPR011 ^注 IICPR011 ^注	STPR01 ^注

アドレス : FFFEEH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	IICAPR10	SREPR11 ^注 TMPR103H	SRPR11 ^注 CSIPR111 ^注 IICPR111 ^注	STPR11 ^注

アドレス : FFFEBH リセット時 : FFH R/W

略号	[7]	6	5	4	3	[2]	1	[0]
PR01H	TMPR004	1	1	1	1	TMKAPR0	1	ADPR0

アドレス : FFFEFH リセット時 : FFH R/W

略号	[7]	6	5	4	3	[2]	1	[0]
PR11H	TMPR104	1	1	1	1	TMKAPR1	1	ADPR1

注 R5F102製品のみ

図15-7 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H）のフォーマット（30ピン製品）（2/2）

アドレス：FFFD8H リセット時：FFH R/W

略号	7	6	5	4	3	[2]	[1]	[0]
PR02L	1	1	1	1	1	TMPR007	TMPR006	TMPR005

アドレス：FFFDCH リセット時：FFH R/W

略号	7	6	5	4	3	[2]	[1]	[0]
PR12L	1	1	1	1	1	TMPR107	TMPR106	TMPR105

アドレス：FFFD9H リセット時：FFH R/W

略号	7	6	[5]	4	3	2	1	0
PR02H	FLPR0	1	MDPR0	1	1	1	1	1

アドレス：FFFD9H リセット時：FFH R/W

略号	7	6	[5]	4	3	2	1	0
PR12H	FLPR1	1	MDPR1	1	1	1	1	1

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定（高優先順位）
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定（低優先順位）

注意 搭載していないビットには、必ず初期値を設定してください。

15. 3. 4 外部割り込み立ち上がりエッジ許可レジスタ（EGP0），外部割り込み立ち下がりエッジ許可レジスタ（EGN0）

INTP0-INTP3の有効エッジを設定するレジスタです。

EGP0, EGN0レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-8 外部割り込み立ち上がりエッジ許可レジスタ（EGP0），外部割り込み立ち下がりエッジ許可レジスタ（EGN0）のフォーマット

20, 24ピン製品

アドレス：FFF38H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	0	0	0	0	EGP3	EGP2	EGP1	EGP0

アドレス：FFF39H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	0	0	0	0	EGN3	EGN2	EGN1	EGN0

30ピン製品

アドレス：FFF38H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	0	0	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス：FFF39H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	0	0	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-5)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり、立ち下がりの両エッジ

注意 外部割り込み機能で使用している入力ポートを出力モードに切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。

出力モードに切り替える場合は、エッジ検出禁止（EGPn, EGNn = 0, 0）にしてからポート・モード・レジスタ（PMxx）を0に設定してください。

備考 n = 0-5

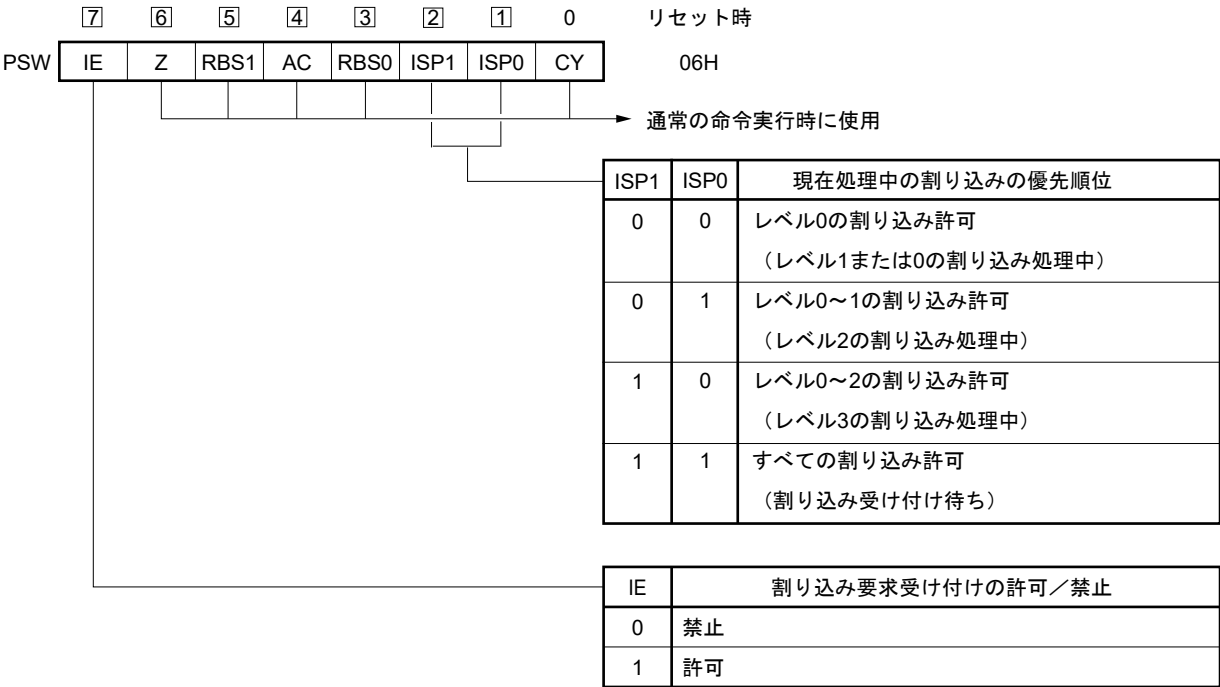
15.3.5 プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は、"-1"された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図15-9 プログラム・ステータス・ワードの構成



15.4 割り込み処理動作

15.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表15-5のようになります。

割り込み要求の受け付けタイミングについては、図15-11、15-12を参照してください。

表15-5 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
処理時間	9クロック	16クロック

注 内部RAM領域からの命令実行時は除きます。

備考 1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

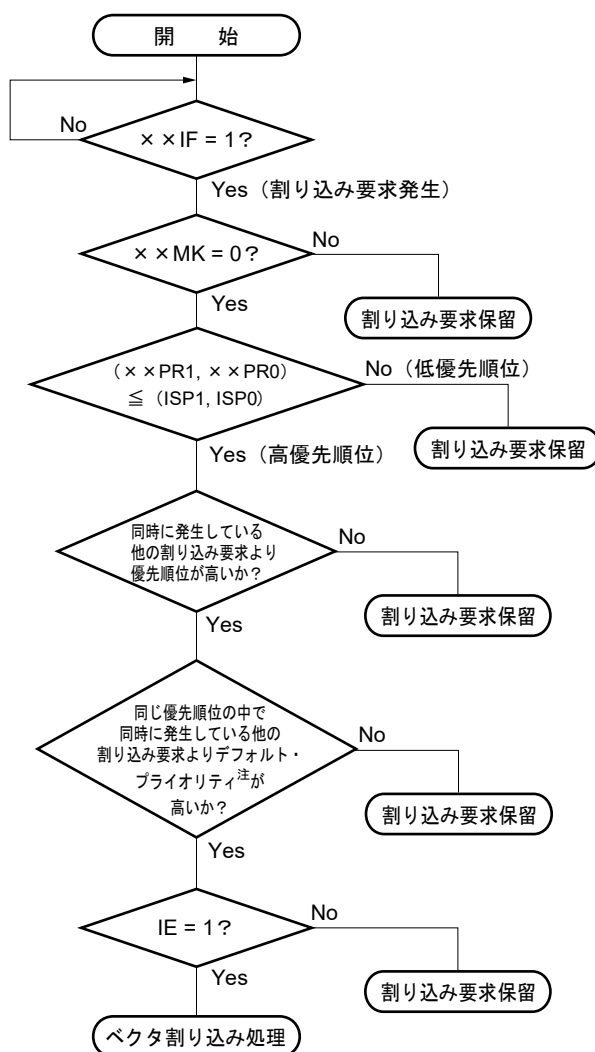
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図15-10に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IEフラグをリセット（0）し、受け付けた割り込みの優先順位指定フラグの内容をISP1、ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図15-10 割り込み要求受け付け処理アルゴリズム



××IF : 割り込み要求フラグ

××MK : 割り込みマスク・フラグ

××PR0 : 優先順位指定フラグ0

××PR1 : 優先順位指定フラグ1

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

ISP0, ISP1 : 現在処理中の割り込みの優先順位を示すフラグ (図15-9参照)

注 デフォルト・プライオリティは、表15-1, 15-2 割り込み要因一覧を参照してください。

図15-11 割り込み要求の受け付けタイミング（最小時間）



備考 1クロック： $1/f_{CLK}$ （ f_{CLK} ：CPUクロック）

図15-12 割り込み要求の受け付けタイミング（最大時間）



備考 1クロック： $1/f_{CLK}$ （ f_{CLK} ：CPUクロック）

15.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはありません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IEフラグをリセット（0）し、ベクタ・テーブル（0007EH, 0007FH）の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令は使用できません。

15.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態（IE = 1）になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態（IE = 0）になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット（1）して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット（1）した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表15-6に多重割り込み可能な割り込み要求の関係を、図15-13に多重割り込みの例を示します。

表15-6 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
	ソフトウェア割り込み	○	×	○	×	○	×	○	×	○

備考1. ○：多重割り込み可能。

2. ×：多重割り込み不可能。

3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち（すべての割り込み許可）

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

4. PRIはPR00L, PR00H, PR01L, PR10L, PR10H, PR11Lレジスタに含まれるフラグです。

PR = 00 : $\times \times \text{PR1} \times = 0$, $\times \times \text{PR0} \times = 0$ でレベル0を指定（高優先順位）

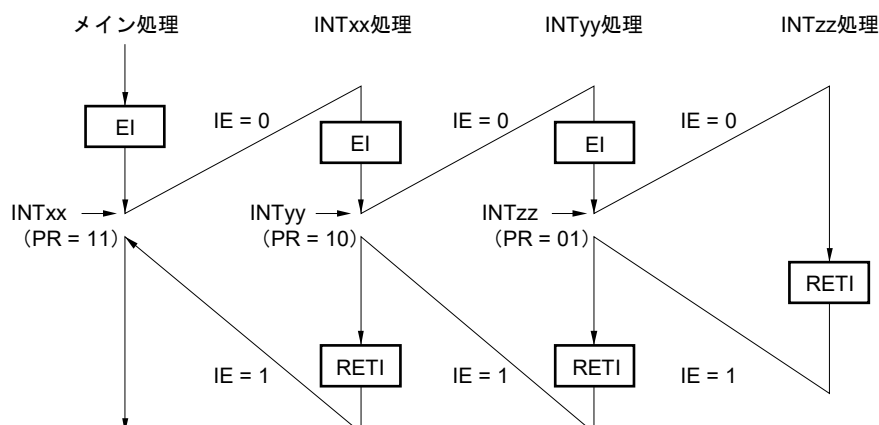
PR = 01 : $\times \times \text{PR1} \times = 0$, $\times \times \text{PR0} \times = 1$ でレベル1を指定

PR = 10 : $\times \times \text{PR1} \times = 1$, $\times \times \text{PR0} \times = 0$ でレベル2を指定

PR = 11 : $\times \times \text{PR1} \times = 1$, $\times \times \text{PR0} \times = 1$ でレベル3を指定（低優先順位）

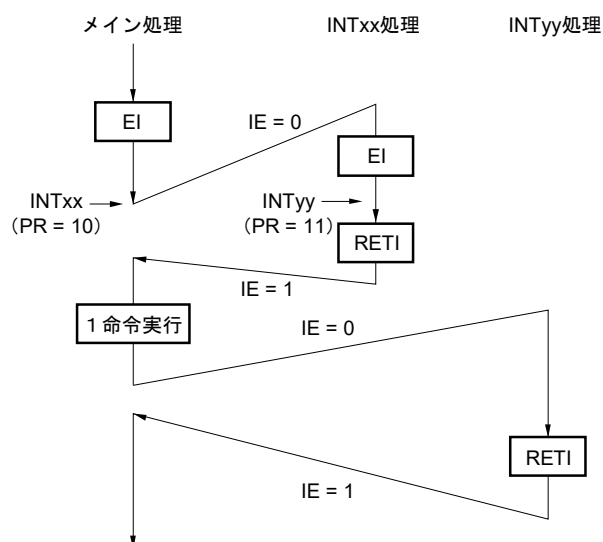
図15-13 多重割り込みの例 (1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $\times \times PR1 \times = 0$, $\times \times PR0 \times = 0$ でレベル0を指定 (高優先順位)

PR = 01 : $\times \times PR1 \times = 0$, $\times \times PR0 \times = 1$ でレベル1を指定

PR = 10 : $\times \times PR1 \times = 1$, $\times \times PR0 \times = 0$ でレベル2を指定

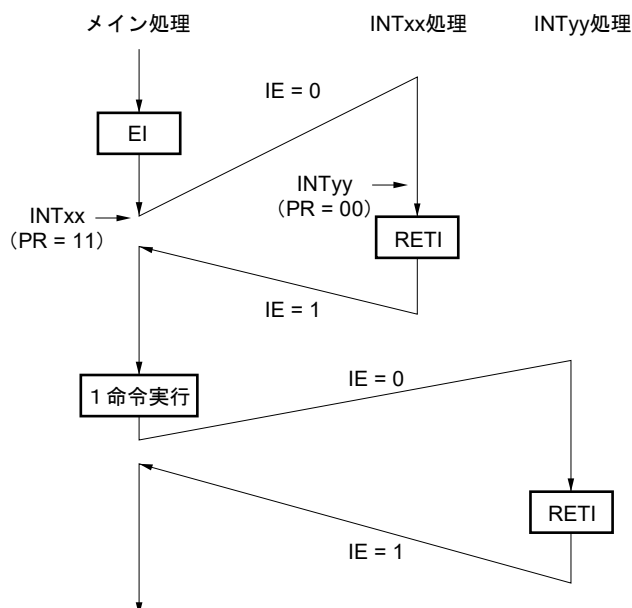
PR = 11 : $\times \times PR1 \times = 1$, $\times \times PR0 \times = 1$ でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図15-13 多重割り込みの例 (2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $\times \times PR1 \times = 0$, $\times \times PR0 \times = 0$ でレベル0を指定（高優先順位）

PR = 01 : $\times \times PR1 \times = 0$, $\times \times PR0 \times = 1$ でレベル1を指定

PR = 10 : $\times \times PR1 \times = 1$, $\times \times PR0 \times = 0$ でレベル2を指定

PR = 11 : $\times \times PR1 \times = 1$, $\times \times PR0 \times = 1$ でレベル3を指定（低優先順位）

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

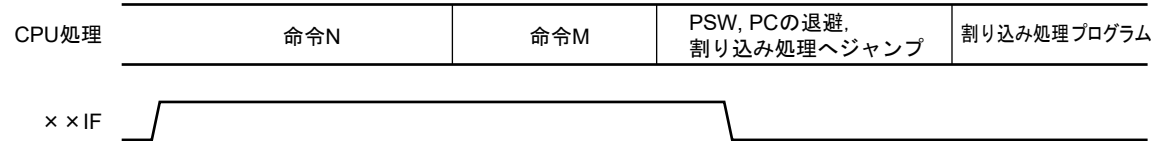
15.4.4 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, #byte
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ POP PSW
- ・ BTCLR PSW. bit, \$addr20
- ・ EI
- ・ DI
- ・ SKC
- ・ SKNC
- ・ SKZ
- ・ SKNZ
- ・ SKH
- ・ SKNH
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図15-14に示します。

図15-14 割り込み要求の保留



- 備考1. 命令N：割り込み要求の保留命令
2. 命令M：割り込み要求の保留命令以外の命令

第16章 キー割り込み機能

キー割り込み入力チャンネル数は、製品によって異なります。

	20ピン	24ピン	30ピン
キー割り込み入力 チャンネル	6ch	10 ch	非搭載

備考 この章では、以降の主な説明を24ピン製品の場合で説明しています。

16.1 キー割り込みの機能

20, 24ピン製品では、キー割り込み入力端子（KR0-KR9）に立ち上がり／立ち下がりエッジを入力することによって、キー割り込み（INTKR）を発生させることができます。

有効エッジが入力されたチャンネルの特定方法は、次の2種類があります。

- ・ポートの入力レベルにてチャンネルを特定する方法（KR0-KR9）
- ・キー割り込みフラグにてチャンネルを特定する方法（KR0-KR5）

表16-1 キー割り込み検出端子の割り当て

キー割り込み端子	キー・リターン・モード・レジスタ (KRM0, KRM1)	キー・リターン・フラグ・レジスタ (KRF)
KR0	KRM00	KRF0
KR1	KRM01	KRF1
KR2	KRM02	KRF2
KR3	KRM03	KRF3
KR4	KRM04	KRF4
KR5	KRM05	KRF5
KR6	KRM06	—
KR7	KRM07	—
KR8	KRM08	—
KR9	KRM09	—

備考 KR0-KR5 : 20ピン製品
KR0-KR9 : 24ピン製品

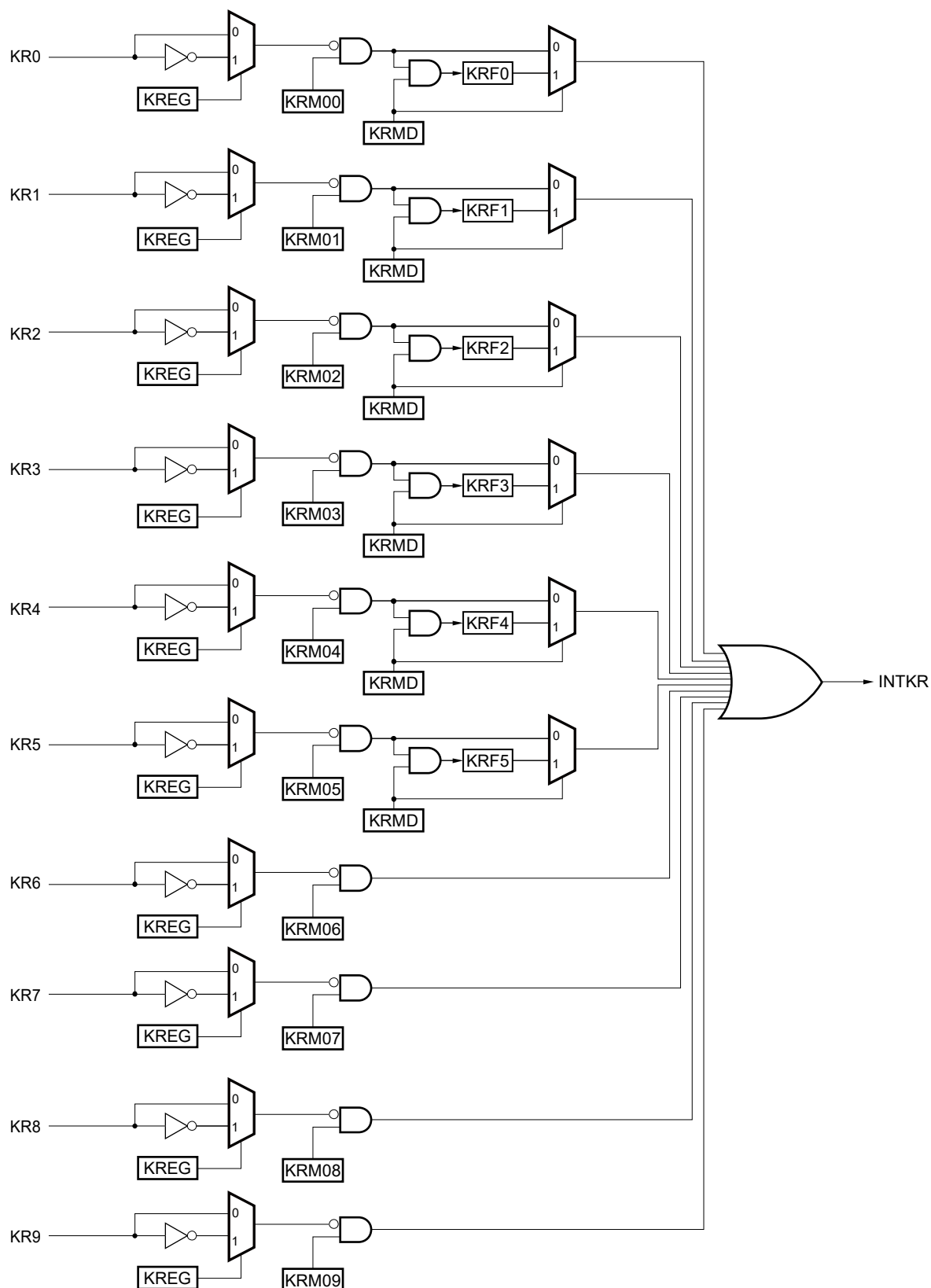
16.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表16-2 キー割り込みの構成

項 目	構 成
制御レジスタ	キー・リターン・コントロール・レジスタ (KRCTL) キー・リターン・モード・レジスタ (KRM0, KRM1) キー・リターン・フラグ・レジスタ (KRF) ポート・モード・レジスタ0, 4, 6 (PM0, PM4, PM6)

図16-1 キー割り込みのブロック図



備考 KR0-KR5 : 20ピン製品

KR0-KR9 : 24ピン製品

16.3 キー割り込みを制御するレジスタ

キー割り込み機能は、次のレジスタで制御します。

- ・キー・リターン・コントロール・レジスタ（KRCTL）
- ・キー・リターン・モード・レジスタ（KRM0, KRM1）
- ・キー・リターン・フラグ・レジスタ（KRF）
- ・ポート・モード・レジスタ0, 4, 6（PM0, 4, 6）

16.3.1 キー・リターン・コントロール・レジスタ（KRCTL）

キー割り込みフラグ（KRF0-KRF5）の使用と検出エッジを設定するレジスタです。
KRCTLレジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図16-2 キー・リターン・コントロール・レジスタ（KRCTL）のフォーマット

アドレス：FFF34H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
KRCTL	KRMD	0	0	0	0	0	0	KREG

KRMD	キー割り込みフラグ（KRF0-KRF5）の使用
0	キー割り込みフラグを使用しない
1	キー割り込みフラグを使用する

KRRG	検出エッジの選択（KR0-KR9）
0	立ち下がリエッジ
1	立ち上がりエッジ

KRMD	KREG	割り込み機能
0	0	立ち下がリエッジを検出してキー割り込み（INTKR）が発生。 （ポート・レベルを確認してチャンネルを特定する）
0	1	立ち上がりエッジを検出してキー割り込み（INTKR）が発生。 （ポート・レベルを確認してチャンネルを特定する）
1	0	立ち下がリエッジを検出してキー割り込み（INTKR）が発生。 （キー割り込みフラグ（KRF0-KRF5）でチャンネルを特定する）
1	1	立ち下がリエッジを検出してキー割り込み（INTKR）が発生。 （キー割り込みフラグ（KRF0-KRF5）でチャンネルを特定する）

16.3.2 キー・リターン・モード・レジスタ (KRM0, KRM1)

キー割り込みモードを設定するレジスタです。

KRM0, KRM1レジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-3 キー・リターン・モード・レジスタ (KRM0, KRM1) のフォーマット

20ピン製品

アドレス : FFF37H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
KRM0	0	0	KRM05	KRM04	KRM03	KRM02	KRM01	KRM00

24ピン製品

アドレス : FFF37H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
KRM0	KRM07	KRM06	KRM05	KRM04	KRM03	KRM02	KRM01	KRM00

アドレス : FFF36H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
KRM1	0	0	0	0	0	0	KRM09	KRM08

KRM0n	キー割り込みモードの制御 (n = 0-9)
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

- 注意1. 立ち下がりエッジ (KRMD = 0) を選択してキー割り込み信号を検出する (KRM0n = 1) 場合、対応する入力端子は外部抵抗でV_{DD}にプルアップしてください。なお、キー割り込み入力端子のPU125, PU00-PU03 (プルアップ抵抗レジスタ12, 0 (PU12のビット5, PU0のビット0-3)) のうち、対象となるビットに1を設定して、内部プルアップ抵抗を使用することもできます。
2. キー割り込み入力端子にロウ・レベル (KREGに0を設定時) / ハイ・レベル (KREGに1を設定時) が入力されている状態で、KRM0, KRM1レジスタの対象ビットをセットすると、割り込みが発生します。
- この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理を禁止にしてから、KRM0, KRM1レジスタをセットしてください。その後、キー割り込み入力ハイ・レベル幅、ロウ・レベル幅 (28.4または29.4 AC特性参照) を待ってから、割り込み要求フラグをクリアし、割り込み処理許可にしてください。
3. キー割り込みモードで使用していないビットは通常ポートとして使用可能です。

16.3.3 キー・リターン・フラグ・レジスタ (KRF)

キー割り込みフラグ (KRF0-KRF5) を制御するレジスタです。

KRFレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-4 キー・リターン・フラグ・レジスタ (KRF) のフォーマット

アドレス : FFF35H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
KRF	0	0	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0

KRFn	キー割り込みフラグ (n = 0-5)
0	キー割り込み信号を未検出
1	キー割り込み信号を検出

注 “1”の書き込みは無効になります。KRFnをクリアする場合は、対象ビットに“0”を、他のビットに“1”を8ビット・メモリ操作命令で書き込んでください。

注意 KR6-KR9については、入力レベルを順次確認することでチャンネルを特定してください。

16.3.4 ポート・モード・レジスタ0, 4, 6 (PM0, 4, 6)

ポート0, ポート4, ポート6の入力／出力を1ビット単位で設定するレジスタです。

キー割り込み入力 (KR0-KR9) として使用するとき、各ポートに対応するポート・モード・レジスタ (PM0, PM4, PM6) のビットに“1”を設定してください。

PM0, PM4, PM6レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PM0, PM4, PM6レジスタはFFHになります。

図16-5 ポート・モード・レジスタ0, 4, 6 (PM0, PM4, PM6) のフォーマット

アドレス : FFF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	1	1	1	PM03	PM02	PM01	PM00

アドレス : FFF24H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	PM42	PM41	PM40

アドレス : FFF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	1	PM61	PM60

PMmn	PMmnの入出力モードの選択(m = 0, 4, 6, n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

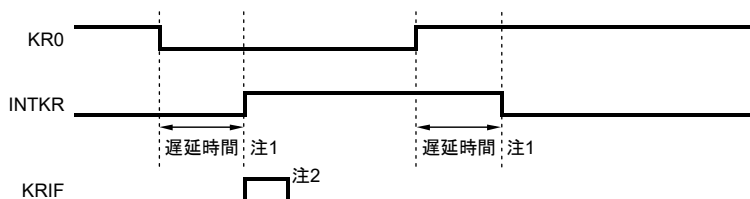
16.4 キー割り込み機能の動作

16.4.1 キー割り込みフラグを使用しない場合 (KRMD = 0)

キー割り込み入力端子 (KR0-KR9) にKREGビットで設定した有効エッジを入力することによって、キー割り込み (INTKR) が発生します。また、キー割り込み (INTKR) 発生後にポート・レジスタをリードし入力レベルを確認することで、有効エッジが入力されたチャンネルを特定できます。

キー割り込み入力端子 (KR0-KR5) の入力レベルに連動してINTKR信号が変化します。

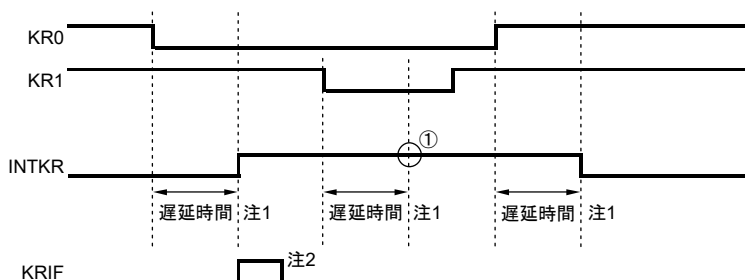
図16-6 1つのチャンネルへのキー割り込み入力時のINTKR信号の動作 (KRMD = 0, KREG = 0設定時)



- 注1. 遅延時間の最大は、キー割り込み入力ハイ・レベル幅、ロウ・レベル幅のMAX.値 (28. 4または29. 4 AC特性参照) となります。
2. ベクタ割り込み要求の受け付けもしくはソフトウェアによりクリア

複数のキー割り込み入力端子に有効エッジが入力された場合の動作を図16-7に示します。1つの端子にロウ・レベル (KREG = 0設定時) が入力されている期間はINTKR信号がセットされているため、この間に他の端子に立ち下がりエッジを入力しても再度キー割り込み (INTKR) は発生しません (図中の①)。

図16-7 複数チャンネルへのキー割り込み入力時のINTKR信号の動作 (KRMD = 0, KREG = 0設定時)



- 注1. 遅延時間の最大は、キー割り込み入力ハイ・レベル幅、ロウ・レベル幅のMAX.値 (28. 4または29. 4 AC特性参照) となります。
2. ベクタ割り込み要求の受け付けもしくはソフトウェアによりクリア

16.4.2 キー割り込みフラグを使用する場合 (KRMD = 1)

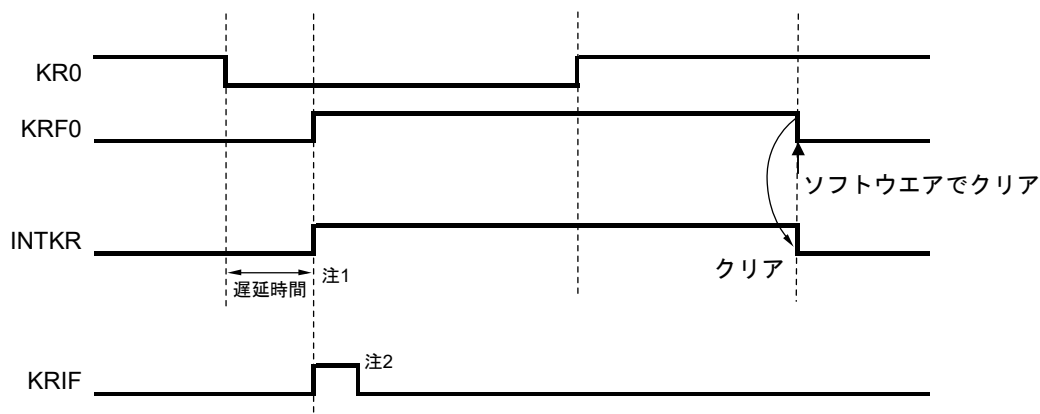
キー割り込み入力端子 (KR0-KR5) にKREGビットで設定した有効エッジを入力することによって、キー割り込み (INTKR) が発生します。また、キー割り込み (INTKR) 発生後にキー・リターン・フラグ・レジスタ (KRF) をリードすることで、有効エッジが入力されたチャンネルを特定できます。

KRMD = 1に設定時は、KRFレジスタの対象ビットをクリアすることにより、INTKR信号がクリアされます。

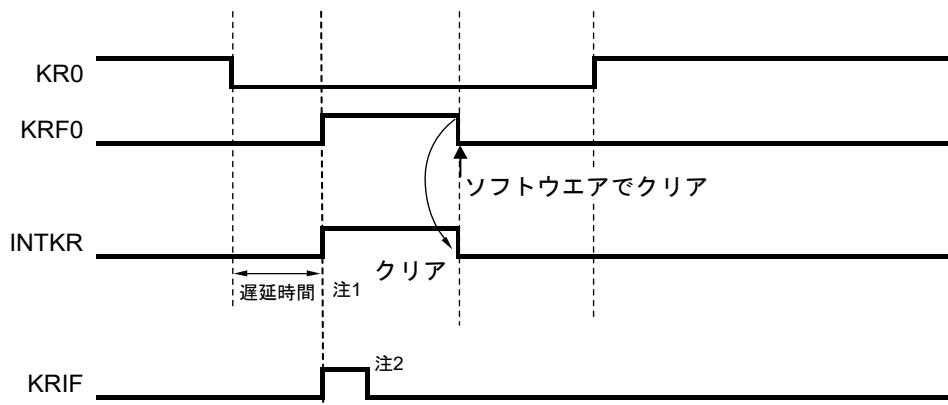
図16-8に示すように、1つのチャンネルでの立ち上がりエッジ (KREG = 0設定時) 1回に対して、KRFnビットのクリアのタイミングが立ち上がりエッジの前後に関わらず、割り込みは1回しか発生しません。

図16-8 キー割り込みフラグを使用時のINTKR信号の基本動作 (KRMD = 1, KREG = 0設定時)

(a) KR0端子への立ち上がりエッジ入力後にKRF0をクリア



(b) KR0端子への立ち上がりエッジ入力前にKRF0をクリア

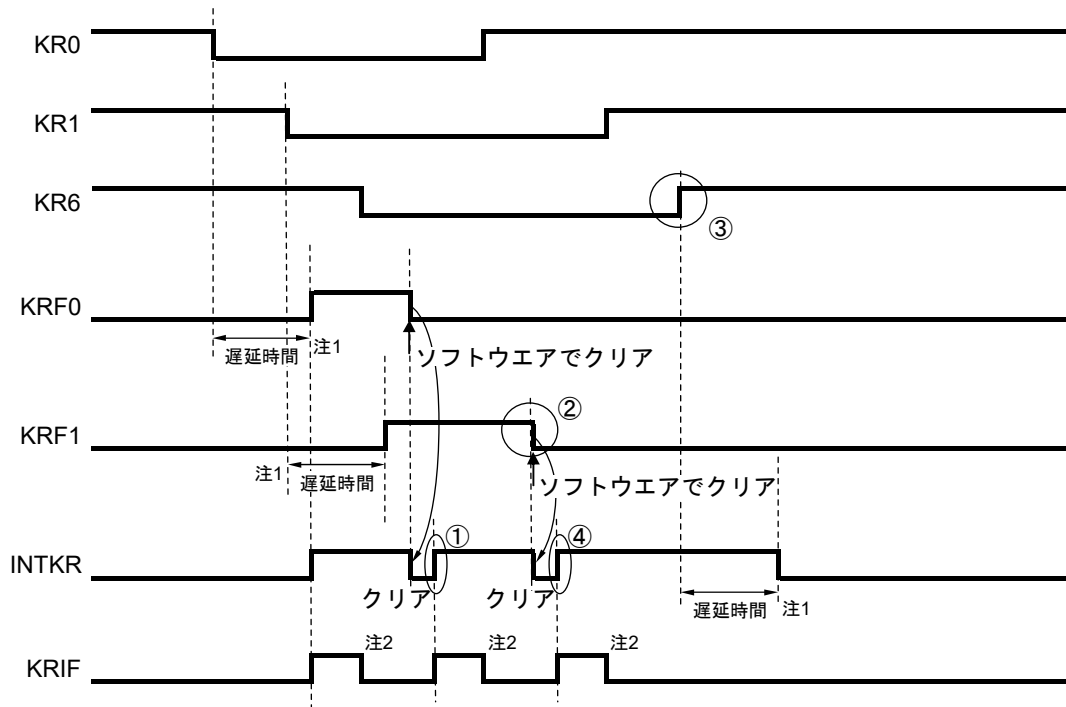


注1. 遅延時間の最大は、キー割り込み入力ハイ・レベル幅、ロウ・レベル幅のMAX.値 (28. 4または29. 4 AC特性参照) となります。

2. ベクタ割り込み要求の受け付けもしくはソフトウェアによりクリア

複数のキー割り込み入力端子に有効エッジが入力された場合の動作を図16-9に示します。KR0端子に立ち下がりエッジを入力後にKR1端子、KR6端子にも立ち下がりエッジを入力しています（KREG = 0設定時）。KRF0ビットをクリアする時にKRF1ビットがセットされているため、KRF0ビットのクリアの1クロック（f_{CLK}）後にキー割り込み（INTKR）が発生します（図中の①）。また、KR6端子に立ち下がりエッジが入力され、KRF1ビットをクリアするとき（図中の②）以降までKR6端子にロウ・レベルが入力されている（図中の③）ため、KRF1ビットのクリアの1クロック（f_{CLK}）後にキー割り込み（INTKR）が発生します（図中の④）。このように、複数チャンネルに入力した有効エッジに対してキー割り込み（INTKR）の発生が可能となります。

図16-9 複数チャンネルへのキー割り込み入力時のINTKR信号の動作（KRMD = 1, KREG = 0設定時）



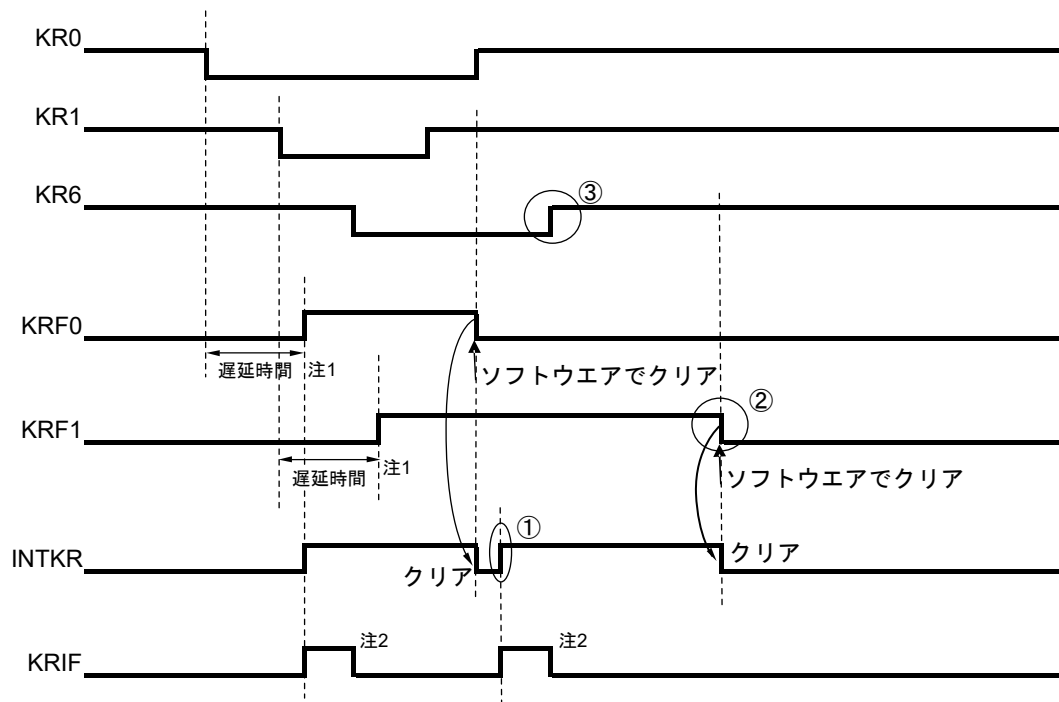
注1. 遅延時間の最大は、キー割り込み入力ハイ・レベル幅、ロウ・レベル幅のMAX.値（28.4または29.4 AC特性参照）となります。

2. ベクタ割り込み要求の受け付けもしくはソフトウェアによりクリア

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

KR6端子-KR9端子への有効エッジの入力時に、キー割り込み（INTKR）が発生しない場合の動作を図16-10に示します。KR0端子に立ち下がりエッジを入力後にKR1端子、KR6端子にも立ち下がりエッジを入力しています（KREG = 0設定時）。KRF0ビットをクリアするときに、KR1端子はハイ・レベルになっているがKRF1ビットがセットされているため、KRF0ビットのクリアの1クロック（ f_{CLK} ）後にキー割り込み（INTKR）が発生します（図中の①）。また、KRF1ビットをクリアするとき（図中の②）より以前にKR6端子がハイ・レベルとなっている（図中の③）ため、KR6端子に対するキー割り込み（INTKR）が発生しません。

図16-10 KR6-KR9への有効エッジ入力でINTKR信号が発生しない場合（KRMD = 1, KREG = 0設定時）



注1. 遅延時間の最大は、キー割り込み入力ハイ・レベル幅、ロウ・レベル幅のMAX.値（28.4または29.4 AC特性参照）となります。

2. ベクタ割り込み要求の受け付けもしくはソフトウェアによりクリア

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

第17章 スタンバイ機能

17.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータが動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

CSI00, UART0のデータ受信およびタイマ・トリガ信号（割り込み要求信号（INTIT））によるA/D変換要求により、STOPモードを解除し、CPUを動作させることなくCSI00, UART0のデータ受信、A/D変換を行います。CPU/周辺ハードウェア・クロック（fCLK）に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意1. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください（SNOOZEモード設定ユニットを除く）。

2. CSI00, UART0, A/DコンバータをSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタ0（SSC0）、A/Dコンバータ・モード・レジスタ2（ADM2）をSTOPモードに移行前に設定してください。詳細は、11.3 シリアル・アレイ・ユニットを制御するレジスタ、10.3 A/Dコンバータを制御するレジスタを参照してください。

3. A/Dコンバータ部の消費電流を低減させるためには、A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）とビット0（ADCE）を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。

4. 低速オンチップ・オシレータをHALT, STOPモード時に発振継続/停止するかは、オプション・バイトで選択できます。詳細は第23章 オプション・バイトを参照してください。

17.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

備考 上記レジスタの詳細は、第5章 クロック発生回路を参照してください。また、SNOOZEモード機能を制御するレジスタは、第10章 A/Dコンバータ、第11章 シリアル・アレイ・ユニットを参照してください。

17.3 スタンバイ機能の動作

17.3.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロックと高速オンチップ・オシレータ・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意 割り込みマスク・フラグが“0”（割り込み処理許可）で且つ割り込み要求フラグが“1”（割り込み要求信号が発生）の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表17-1 HALTモード時の動作状態

項 目		メイン・システム・クロックでCPU動作中のHALT命令実行時		
		高速オンチップ・オシレータ・クロック (f _{IH}) でCPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロック (f _{EX}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f _{IH}	動作継続 (停止不可)	動作禁止	
	f _X	動作禁止	動作継続 (停止不可)	動作不可
	f _{EX}		動作不可	動作継続 (停止不可)
f _{IL}		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) および動作スピード・モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
コード・フラッシュ・メモリ		動作停止		
データ・フラッシュ・メモリ				
RAM		動作停止 (DMA実行時は動作可能)		
ポート (ラッチ)		HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット		動作可能		
12ビット・インターバル・タイマ				
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON) にて設定 WDSTBYON = 0 : 動作停止 WDSTBYON = 1 : 動作継続 (停止不可)		
クロック出力／ブザー出力		動作可能		
A/Dコンバータ				
シリアル・アレイ・ユニット (SAU)				
シリアル・インタフェース (IICA)				
乗除・積和演算器				
DMAコントローラ				
パワーオン・リセット機能				
電圧検出機能				
外部割り込み				
キー割り込み機能				
CRC演算機能		RAM領域の演算で、DMA実行時は動作可能		
RAMパリティ・エラー検出機能		DMA実行時は動作可能		
RAMガード機能				
SFRガード機能				
不正メモリ・アクセス検出機能				

備考 動作停止 : HALTモード移行時に自動的に動作停止

動作禁止 : HALTモード移行前に動作を停止させる

f_{IH} : 高速オンチップ・オシレータ・クロック

f_{IL} : 低速オンチップ・オシレータ・クロック

f_X : X1クロック

f_{EX} : 外部メイン・システム・クロック

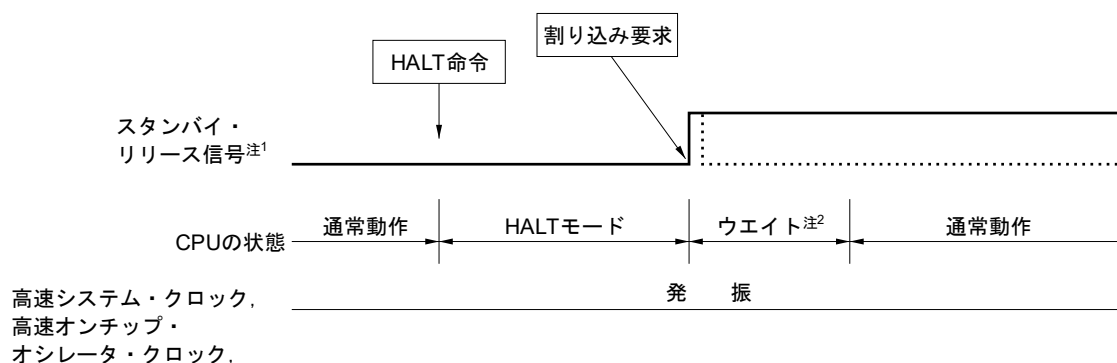
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図17-1 HALTモードの割り込み要求発生による解除



注1. スタンバイ・リリース信号に関する詳細は、図15-1 割り込み機能の基本構成を参照してください。

2. HALTモード解除のウェイト時間

- ・ベクタ割り込み処理をする場合 : 15~16クロック
- ・ベクタ割り込み処理をしない場合 : 9~10クロック

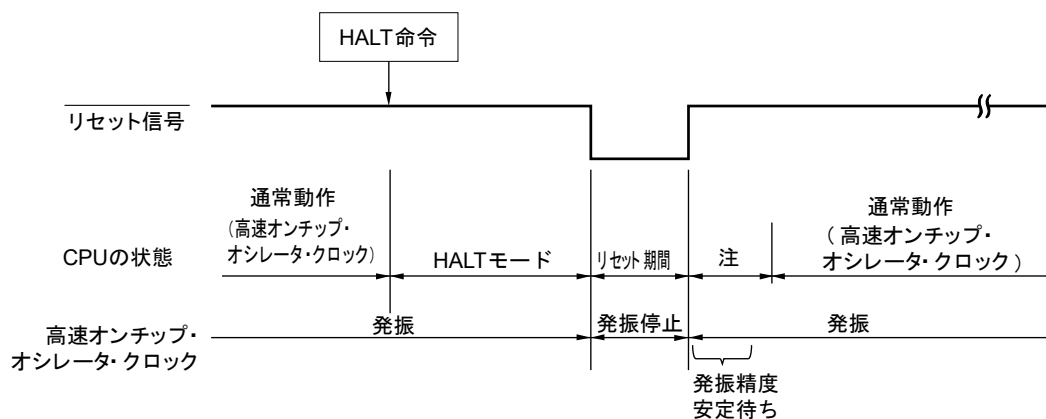
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

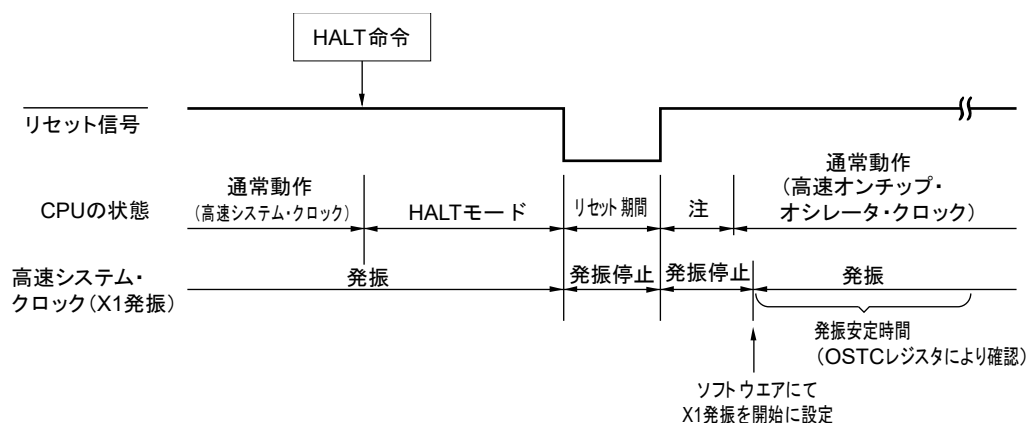
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図17-2 HALTモードのリセットによる解除

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



(2) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第18章リセット機能を参照してください。なお、パワーオン・リセット (POR) 回路と電圧検出 (LVD) 回路のリセット処理時間は、第19章パワーオン・リセット回路を参照してください。

17.3.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロックと高速オンチップ・オシレータ・クロックのいずれの場合でも設定可能です。

注意 割り込みマスク・フラグが“0”（割り込み処理許可）で且つ割り込み要求フラグが“1”（割り込み要求信号が発生）の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入っただちに解除されます。したがって、STOP命令実行後、STOPモード解除時間を経過したあと通常動作に戻ります。

次にSTOPモード時の動作状態を示します。

表17-2 STOPモード時の動作状態

項 目	STOPモード の設定	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速オンチップ・オシレータ・ クロック（f _{IH} ）でCPU動作時	X1クロック（f _X ）でCPU動作時	外部メイン・システム・クロッ ク（f _{EX} ）でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・ クロック	f _{IH}	停止		
	f _X			
	f _{EX}			
f _{IL}	オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）および動作スピー ード・モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 ・ WUTMMCK = 1：発振 ・ WUTMMCK = 0かつWDTON = 0：停止 ・ WUTMMCK = 0, WDTON = 1かつWDSTBYON = 1のとき：発振 ・ WUTMMCK = 0, WDTON = 1かつWDSTBYON = 0のとき：停止			
CPU		動作停止		
コード・フラッシュ・メモリ				
データ・フラッシュ・メモリ		動作停止		
RAM		動作停止（DMA実行時は動作可能）		
ポート（ラッチ）		STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット		動作禁止		
12ビット・インターバル・タイマ		動作可能		
ウォッチドッグ・タイマ		オプション・バイト（000C0H）のビット0（WDSTBYON）にて設定 WDSTBYON = 0：動作停止 WDSTBYON = 1：動作継続（停止不可）		
クロック出力／ブザー出力		動作禁止		
A/Dコンバータ		ウェイク・アップ動作可能（SNOOZEモードへ移行）		
シリアル・アレイ・ユニッ ト（SAU）		CSI00, UART0のみウェイク・アップ動作可能（SNOOZEモードへ移行） CSI00, UART0以外は動作禁止		
シリアル・インタフェース （IICA）		アドレス一致によるウェイク・アップ動作可能		
乗除積和算器		動作禁止		
DMAコントローラ				
パワーオン・リセット機能		動作可能		
電圧検出機能				
外部割り込み				
キー割り込み機能				
CRC演算機能		動作停止		
RAMパリティ・エラー検出機能				
RAMガード機能				
SFRガード機能				
不正メモリ・アクセス検出機能				

備考 動作停止 : STOPモード移行時に自動的に動作停止

動作禁止 : STOPモード移行前に動作を停止させる

f_{IH} : 高速オンチップ・オシレータ・クロック

f_{IL} : 低速オンチップ・オシレータ・クロック

f_X : X1クロック

f_{EX} : 外部メイン・システム・クロック

(2) STOPモードの解除

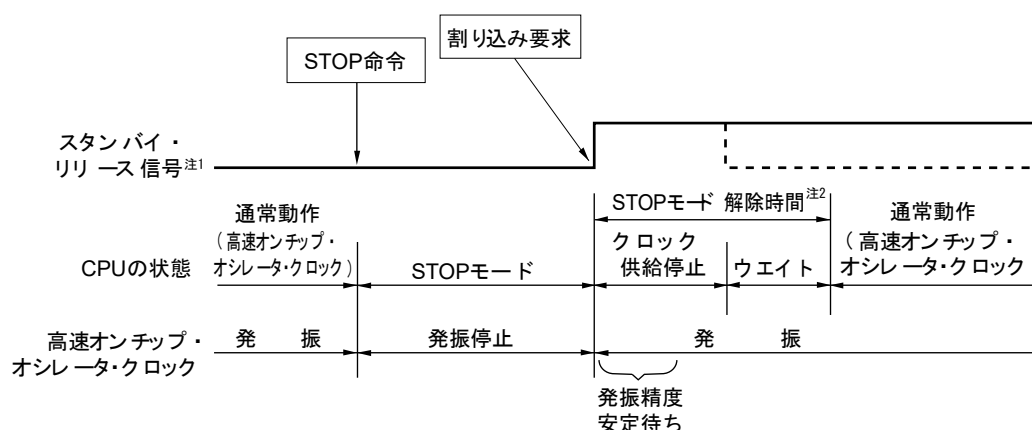
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図17-3 STOPモードの割り込み要求発生による解除 (1/2)

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



注1. スタンバイ・リリース信号に関する詳細は、図15-1 割り込み機能の基本構成を参照してください。

2. STOPモード解除時間

クロック供給停止 : 18 μ s ~ 65 μ s

ウェイト

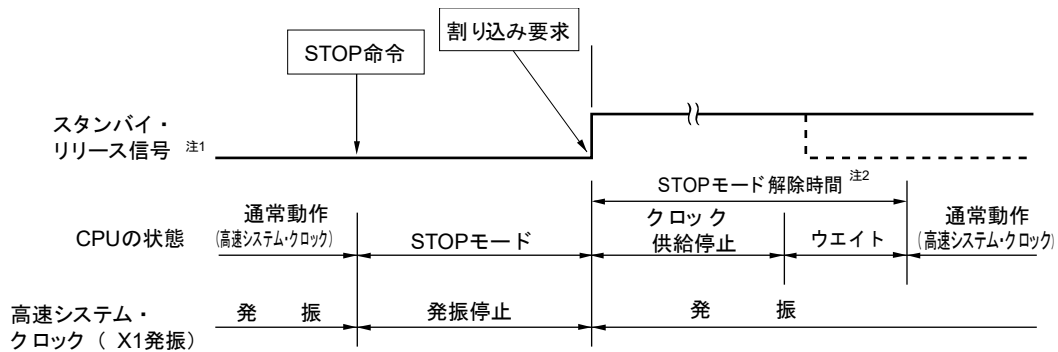
- ・ベクタ割り込み処理を行う場合 : 7クロック
- ・ベクタ割り込み処理を行わない場合 : 1クロック

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図17-3 STOPモードの割り込み要求発生による解除 (2/2)

(2) CPUクロックが高速システム・クロック (X1発振) の場合



注1. スタンバイ・リリース信号に関する詳細は、図15-1 割り込み機能の基本構成を参照してください。

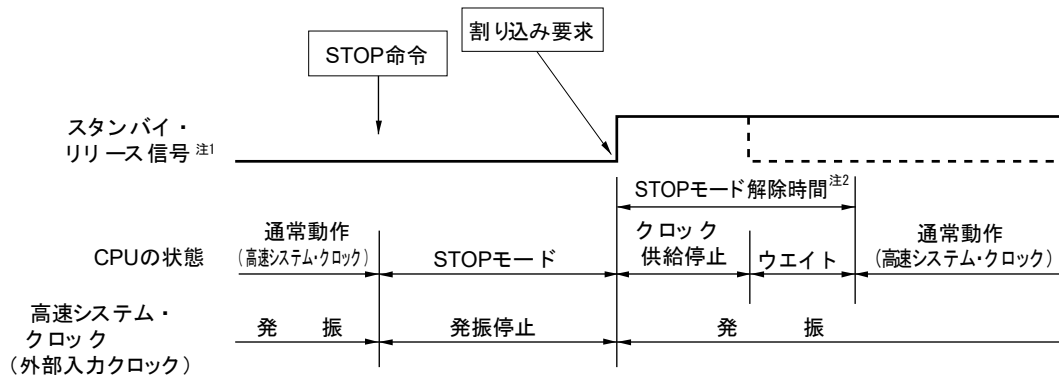
2. STOPモード解除時間

クロック供給停止 : 18 μ s ~ "65 μ s と発振安定時間 (OSTSで設定) の長い方"

ウェイト

- ・ベクタ割り込み処理を行う場合 : 10~11クロック
- ・ベクタ割り込み処理を行わない場合 : 4~5クロック

(3) CPUクロックが高速システム・クロック (外部クロック入力) の場合



注1. スタンバイ・リリース信号に関する詳細は、図15-1を参照してください。

2. STOPモード解除時間

クロック供給停止 : 18 μ s ~ 65 μ s

ウェイト

- ・ベクタ割り込み処理を行う場合 : 7クロック
- ・ベクタ割り込み処理を行わない場合 : 1クロック

注意 高速システム・クロック (X1発振) でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

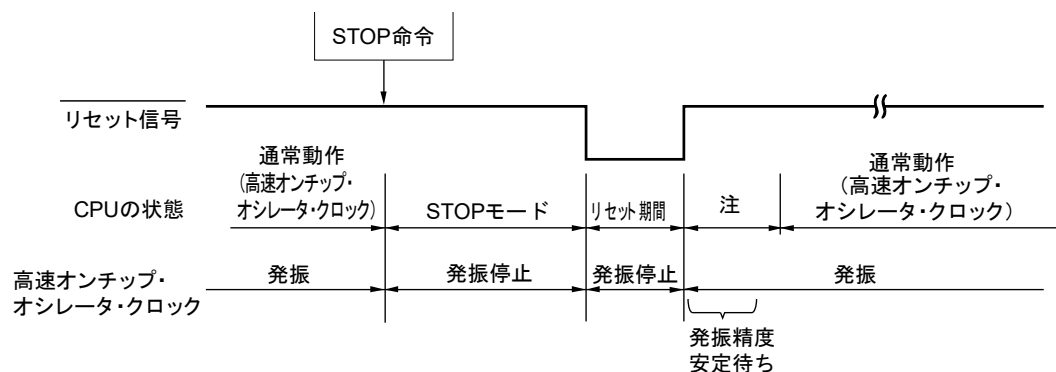
2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

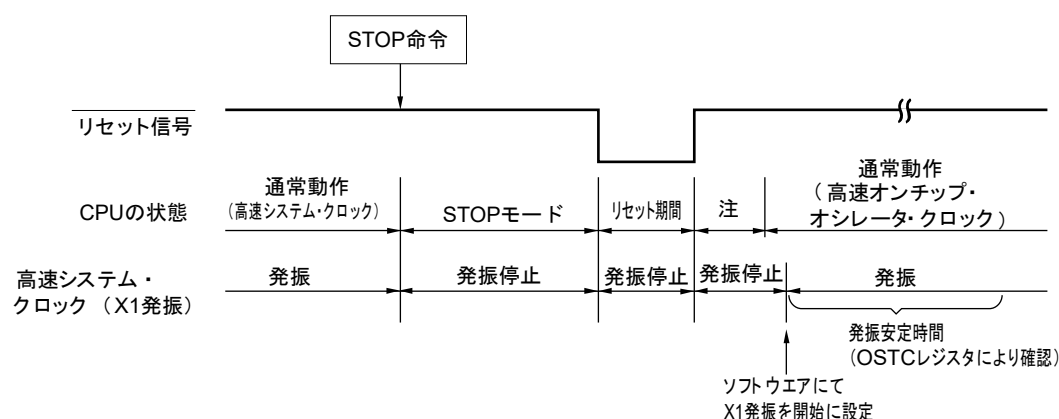
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図17-4 STOPモードのリセットによる解除

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



(2) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、**第18章 リセット機能**を参照してください。なお、パワーオン・リセット (POR) 回路と電圧検出 (LVD) 回路のリセット処理時間は、**第19章 パワーオン・リセット回路**を参照してください。

17.3.3 SNOOZEモード

(1) SNOOZEモードの設定および動作状態

CSI00, UART0または, A/Dコンバータのみ設定可能です。また, 設定前のCPUクロックが, 高速オンチップ・オシレータ・クロックの場合のみ設定可能です。

CSI00, UART0をSNOOZEモードで使用する場合は, STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタ0 (SSC0) のSWC0ビットを1に設定してください。詳細は, **11.3 シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

A/DコンバータをSNOOZEモードで使用する場合は, STOPモードに移行する直前にA/Dコンバータ・モード・レジスタ2 (ADM2) のAWCビットを1に設定してください。詳細は, **10.3 A/Dコンバータを制御するレジスタ**を参照してください。

SNOOZEモードの移行では, 次の時間だけウエイト状態になります。

STOPモード→SNOOZEモードの遷移時間 : 18 μ s~65 μ s

備考 STOPモード→SNOOZEモードの遷移時間は, 温度条件とSTOPモード期間によって変化します。

SNOOZEモード→通常動作の遷移時間

・ベクタ割り込み処理を行う場合

HS(高速メイン)モード : “6.65 μ s~9.44 μ s”+7クロック

LS(低速メイン)モード : “1.10 μ s~5.08 μ s”+7クロック

・ベクタ割り込み処理を行わない場合

HS(高速メイン)モード : “6.65 μ s~9.44 μ s”+1クロック

LS(低速メイン)モード : “1.10 μ s~5.08 μ s”+1クロック

次にSNOOZEモード時の動作状態を示します。

表17-3 SNOOZEモード時の動作状態

項 目	STOPモード の設定	STOPモード中にCSI00, UART0のデータ受信信号および A/Dコンバータのタイマ・トリガ信号入力時	
		高速オンチップ・オシレータ・クロック (f_{IH}) でCPU動作時	
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・ クロック	f_{IH}	動作開始	
	f_X	停止	
	f_{EX}		
f_{IL}		オプション・バイト (000C0H) のビット0 (WDSTBYON), ビット4 (WDTON) および動作スピード・モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK = 1 : 発振 ・ WUTMMCK = 0かつWDTON = 0 : 停止 ・ WUTMMCK = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止	
CPU		動作停止	
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM		動作停止 (DMA実行時は動作可能)	
ポート (ラッチ)		STOPモード中の状態を継続	
タイマ・アレイ・ユニット		動作禁止	
12ビット・インターバル・タイマ		動作可能	
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON) にて設定 WDSTBYON = 0 : 動作停止 WDSTBYON = 1 : 動作継続 (停止不可)	
クロック出力/ブザー出力		動作停止	
A/Dコンバータ		動作可能	
シリアル・アレイ・ユニット (SAU)		CSI00, UART0のみ動作可能 CSI00, UART0以外は動作禁止	
シリアル・インタフェース (IICA)		動作禁止	
乗除・積和算器			
DMAコントローラ			
パワーオン・リセット機能		動作可能	
電圧検出機能			
外部割り込み			
キー割り込み機能			
CRC演算機能		動作禁止	
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			
不正メモリ・アクセス検出機能			

備考 動作停止 : STOPモード移行時に自動的に動作停止

動作禁止 : STOPモード移行前に動作を停止させる

f_{IH} : 高速オンチップ・オシレータ・クロック

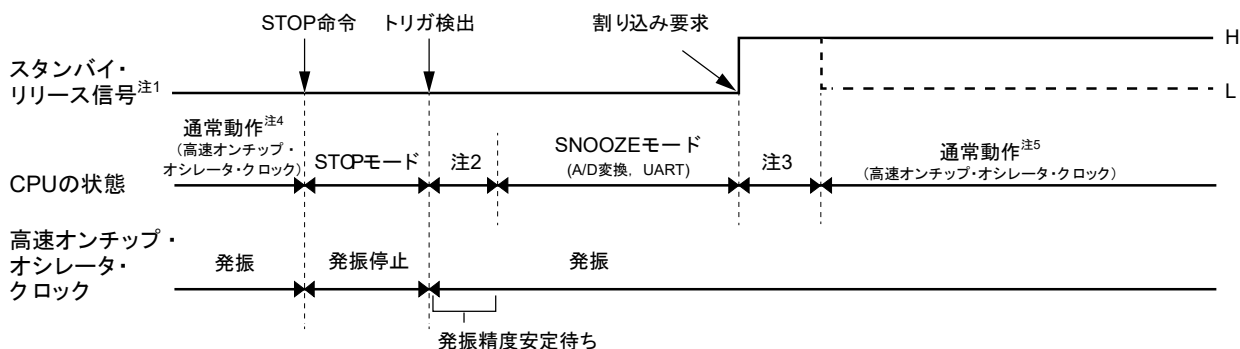
f_{IL} : 低速オンチップ・オシレータ・クロック

f_X : X1クロック

f_{EX} : 外部メイン・システム・クロック

(2) SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

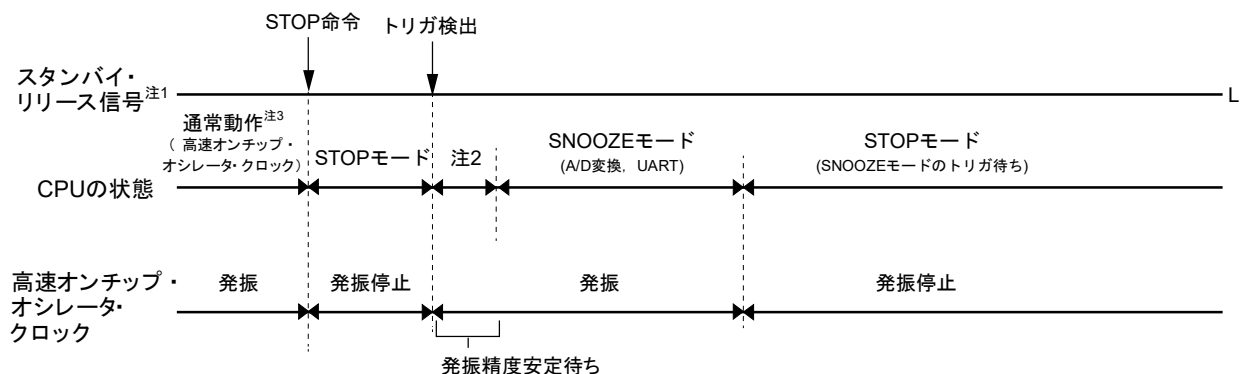
図17-5 SNOOZEモードの割り込み要求が発生する場合



- 注 1. スタンバイ・リリース信号に関する詳細は、図15-1を参照してください。
2. STOPモード→SNOOZEモードの遷移時間
3. SNOOZEモード→通常動作の遷移時間
4. STOPモードへ移行する直前に、SNOOZEモード許可 ($AWC = 1/SWC = 1$) に設定してください。
5. 通常動作に復帰後すぐに、必ずSNOOZEモード解除 ($AWC = 0/SWC = 0$) に設定してください。

(3) SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図17-6 SNOOZEモードの割り込み要求が発生しない場合



- 注 1. スタンバイ・リリース信号に関する詳細は、図15-1を参照してください。
2. STOPモード→SNOOZEモードの遷移時間
3. STOPモードへ移行する直前に、SNOOZEモード許可 ($AWC = 1/SWC = 1$) に設定してください。

備考 SNOOZEモード機能の詳細は、第10章 A/Dコンバータ、第11章 シリアル・アレイ・ユニットを参照してください。

第18章 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット (POR) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 電圧検出回路 (LVD) の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット^注
- (6) RAMパリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、00000H, 00001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POR回路、LVD回路の電圧検出、不正命令の実行^注、RAMパリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは表18-1に示すような状態になります。

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 電源投入後、P125は $\overline{\text{RESET}}$ 端子として機能します (20, 24ピン製品のみ)。パワーオン・リセット (POR) が内部リセット信号を解除しても、この端子にロウ・レベルが入力されている期間はリセット状態を継続します。

P125/KR1/SI01を使用する場合は、オプション・バイト (000C1H) でポート機能 (PORTSELB = 0) を選択し、すべてのリセット要因を解除してください。

2. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。

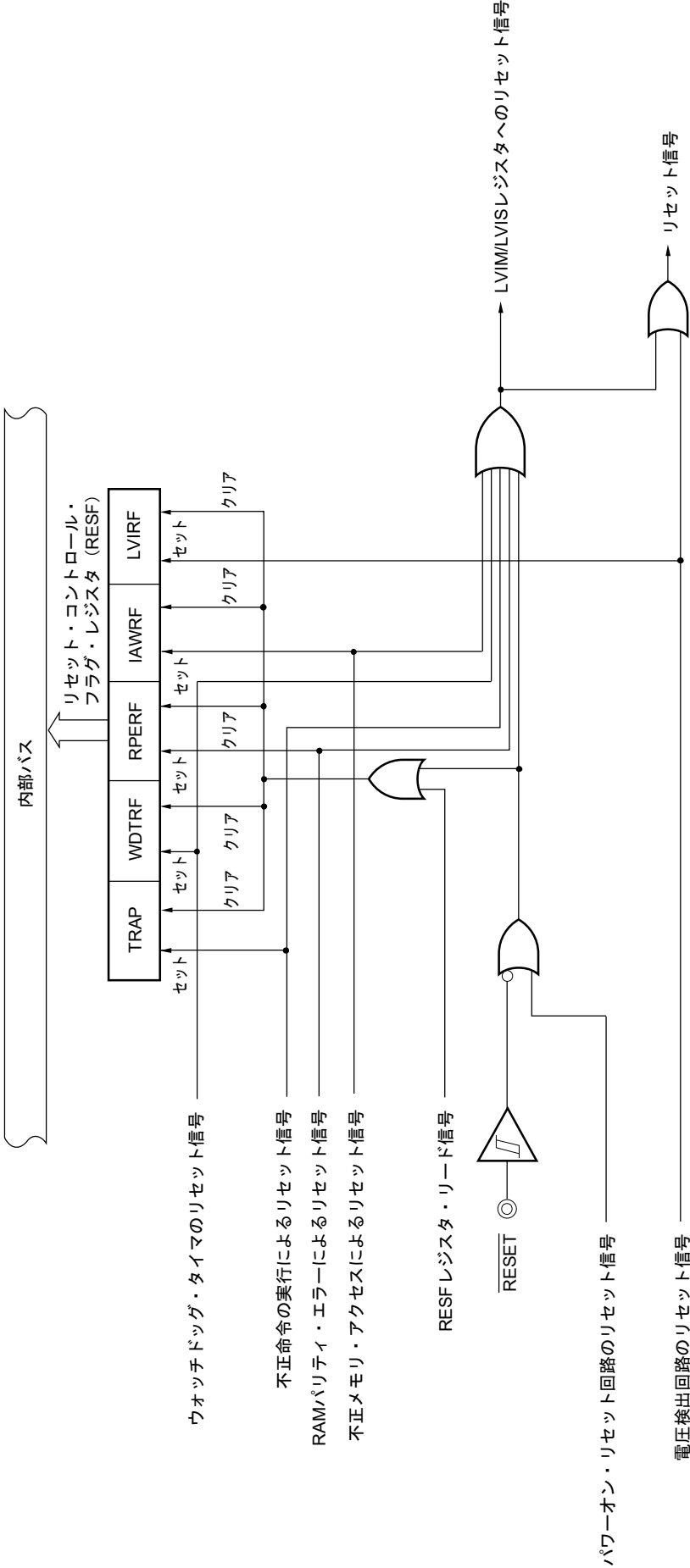
電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、28.4または29.4 AC特性に示す動作電圧範囲内の期間で10 μs 以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

3. リセット信号発生中では、X1クロック、高速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。
4. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。

- ・ P40 : 外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル (内部プルアップ抵抗接続)
- ・ P125 : リセット期間中およびリセット受け付け後はハイ・レベル (内部プルアップ抵抗接続)
- ・ P40, P125以外のポート : リセット期間中およびリセット受け付け後はハイ・インピーダンス

備考 V_{POR} : POR電源立ち上がり検出電圧

図18-1 リセット機能のブロック図



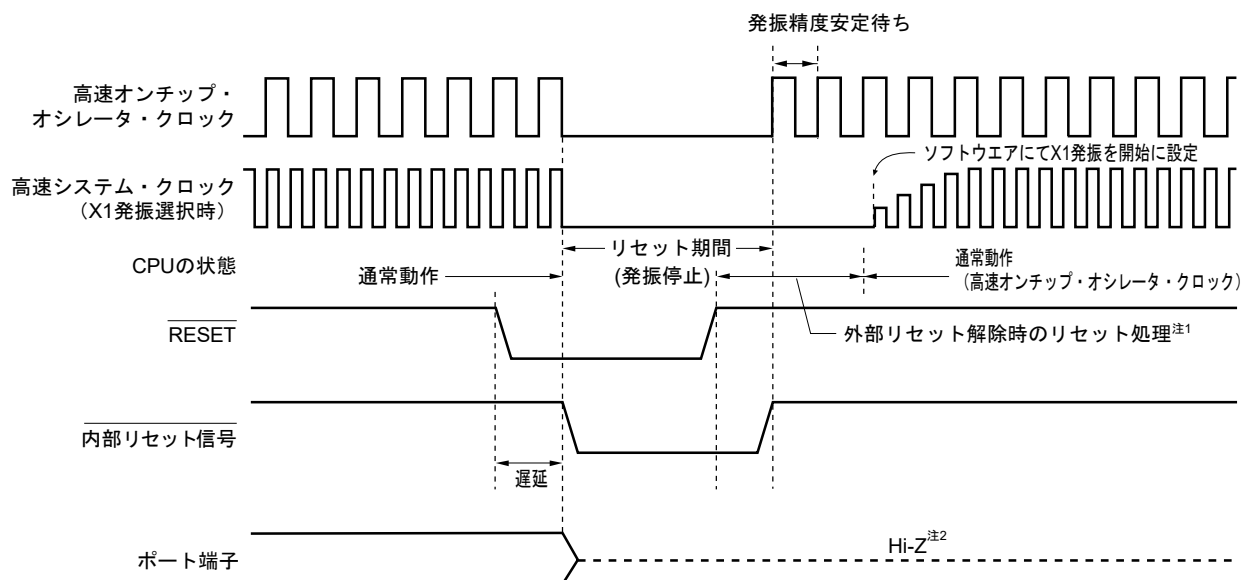
注意 LVMD回路の内部リセットの場合、LVMD回路はリセットされません。

- 備考 1. LVIM : 電圧検出レジスタ
2. LVIS : 電圧検出レベル・レジスタ

18.1 リセット動作のタイミング

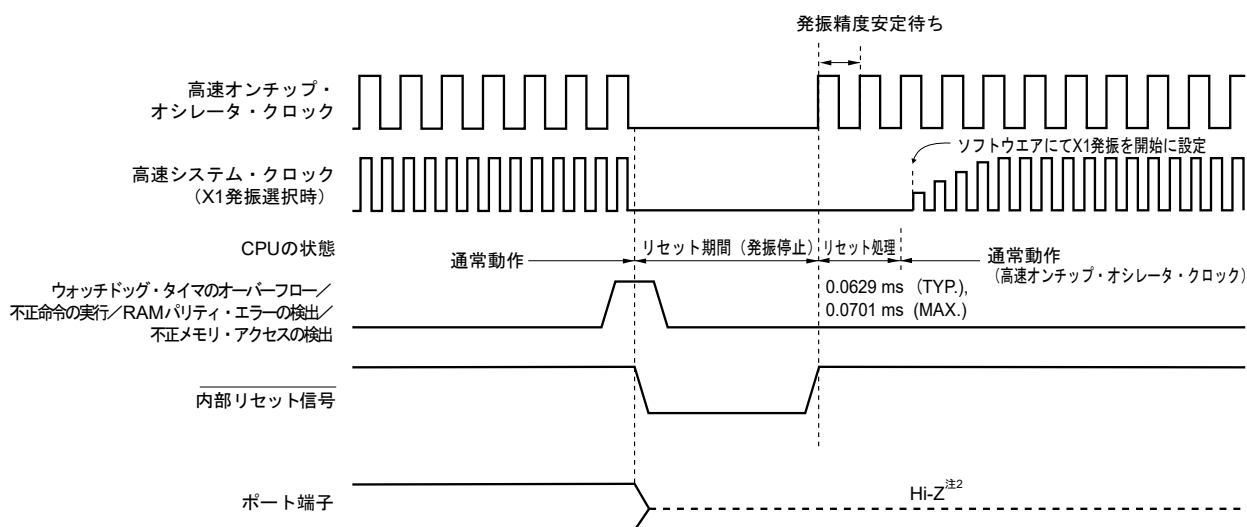
RESET端子にロウ・レベルが入力されて、リセットがかかり、RESET端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図18-2 RESET入力によるリセット・タイミング



ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図18-3 ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



(注は次ページにあります。)

注1. 外部リセット解除時のリセット時間：

POR解除後1回目：0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)

0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)

POR解除後2回目以降：0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)

0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)

電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.), 2.30 ms (MAX.)がかかります。

2. ポート端子P40, P125は次の状態になります。

- ・ P40：外部リセットかPORによるリセット期間中はハイ・インピーダンス

それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）

- ・ P125：リセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）。

POR回路, LVD回路の電圧検出によるリセットは、リセット後 $V_{DD} \geq V_{POR}$ または $V_{DD} \geq V_{LVD}$ になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。詳細は、**第19章 パワーオン・リセット回路**または**第20章 電圧検出回路**を参照してください。

18.2 リセット期間中の動作状態

表18-1にリセット期間中の動作状態を、表18-2にリセット受け付け後の各ハードウェアの状態を示します。

表18-1 リセット期間中の動作状態

項 目	リセット期間中
システム・クロック	CPUへのクロック供給は停止
メイン・システム・クロック f_{IH}	動作停止
f_X	動作停止 (X1, X2端子は入力ポート・モード)
f_{EX}	クロックの入力無効 (端子は入力ポート・モード)
f_{IL}	動作停止
CPU	動作停止
コード・フラッシュ・メモリ	動作停止
データ・フラッシュ・メモリ	動作停止
RAM	動作停止
ポート (ラッチ)	ハイ・インピーダンス ^注
タイマ・アレイ・ユニット	動作停止
12ビット・インターバル・タイマ	
ウォッチドッグ・タイマ	
クロック出力/ブザー出力	
A/Dコンバータ	
シリアル・アレイ・ユニット (SAU)	
シリアル・インタフェース (IICA)	
乗除・積和演算器	
DMAコントローラ	
パワーオン・リセット機能	検出動作可能
電圧検出機能	LVDリセット時は動作可能。それ以外のリセット時は動作停止
外部割り込み	動作停止
キー割り込み機能	
CRC演算機能	
RAMパリティ・エラー検出機能	
RAMガード機能	
SFRガード機能	
不正メモリ・アクセス検出機能	

注 ポート端子P40, P125は次の状態になります。

- ・ P40 : 外部リセットかPORによるリセット期間中はハイ・インピーダンス
それ以外のリセット期間中およびリセット受け付け後はハイ・レベル (内部プルアップ抵抗接続)
- ・ P125 : リセット期間中およびリセット受け付け後はハイ・レベル (内部プルアップ抵抗接続)

備考 f_{IH} : 高速オンチップ・オシレータ・クロック
 f_X : X1発振クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{IL} : 低速オンチップ・オシレータ・クロック

表18-2 リセット受け付け後の各ハードウェアの状態

ハードウェア		リセット受け付け後の状態 ^注
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (00000H, 00001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 特殊機能レジスタ (SFR : Special Function Register) のリセット受け付け後の状態は、**3. 1. 4 特殊機能レジスタ (SFR : Special Function Register) 領域**、**3. 1. 5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域**を参照してください。

18.3 リセット要因を確認するレジスタ

18.3.1 リセット・コントロール・フラグ・レジスタ（RESF）

RL78マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ（RESF）は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・リセット（POR）回路によるリセットおよびRESFレジスタのデータを読み出すことにより、TRAP、WDTRF、RPERF、IAWRF、LVIRFフラグはクリアされます。

図18-4 リセット・コントロール・フラグ・レジスタ（RESF）のフォーマット

アドレス：FFFA8H リセット時：不定^{注1} R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF

TRAP	不正命令の実行による内部リセット要求 ^{注2}
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

WDTRF	ウォッチドッグ・タイマ（WDT）による内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

RPERF	RAMパリティ・エラーによる内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

IAWRF	不正メモリ・アクセスによる内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

LVIRF	電圧検出（LVD）回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1. リセット要因により異なります。表18-3を参照してください。

2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

2. RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合は、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は、21. 3. 2 RAMパリティ・エラー検出機能を参照してください。

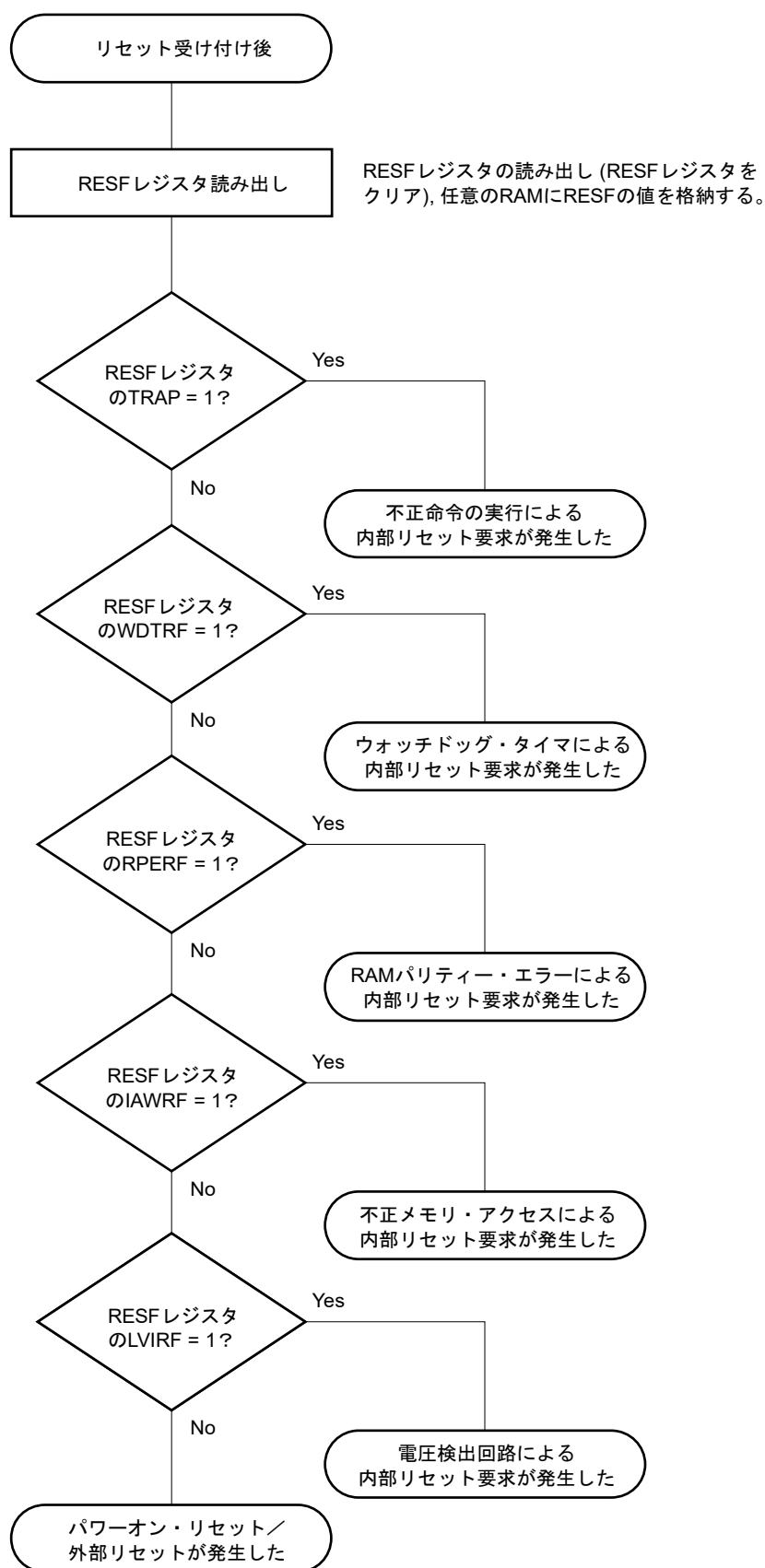
リセット要求時のRESFレジスタの状態を表18-3に示します。

表18-3 リセット要求時のRESFレジスタの状態

リセット要因 フラグ	RESET入力	PORによる リセット	不正命令の 実行による リセット	WDTによる リセット	RAMパリティ・エラーに よるリセット	不正メモリ・ アクセスによ るリセット	LVDによる リセット
TRAP	クリア (0)	クリア (0)	セット (1)	保持	保持	保持	保持
WDTRF			保持	セット (1)			
RPERF				保持	セット (1)		
IAWRF					保持	セット (1)	
LVIRF						保持	セット (1)

RESFレジスタは、8ビット・メモリ操作命令で読み出すと、自動的にクリアされます。リセット要因の手順を図18-5に示します。

図18-5 リセット要因の確認手順例



※ 上記フローは確認手順の一例です。

第19章 パワーオン・リセット回路

19.1 パワーオン・リセット回路の機能

パワーオン・リセット（POR）回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。

電源電圧（ V_{DD} ）が検出電圧（ V_{POR} ）を越えた場合に、リセットを解除します。ただし、**28.4**または**29.4 AC特性**に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。

- ・電源電圧（ V_{DD} ）と検出電圧（ V_{PDR} ）を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。ただし、電源立ち下がり時は、**28.4**または**29.4 AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意 パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ（RESF）がクリア（00H）されます。

備考1. RL78マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ（WDT）／電圧検出（LVD）回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア（00H）されずフラグがセット（1）されます。RESFレジスタの詳細については、**第18章 リセット機能**を参照してください。

- 2.** V_{POR} : POR電源立ち上がり検出電圧

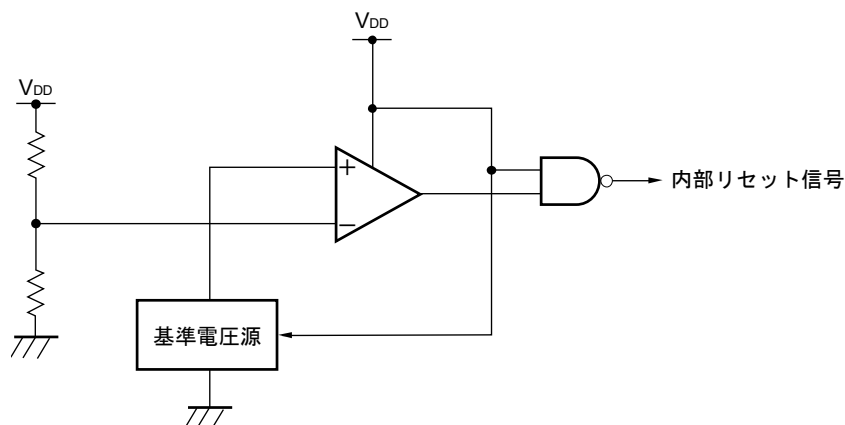
V_{PDR} : POR電源立ち下がり検出電圧

詳細は、**28.6.3**または**29.6.3 POR回路特性**を参照してください。

19.2 パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図19-1に示します。

図19-1 パワーオン・リセット回路のブロック図

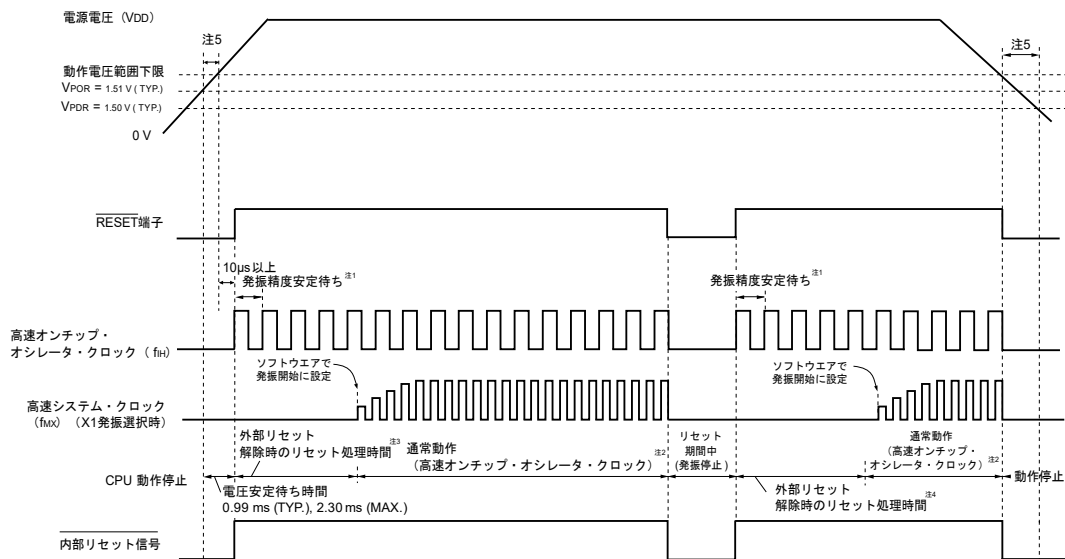


19.3 パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図19-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (1/3)

(1) RESET端子による外部リセット使用時



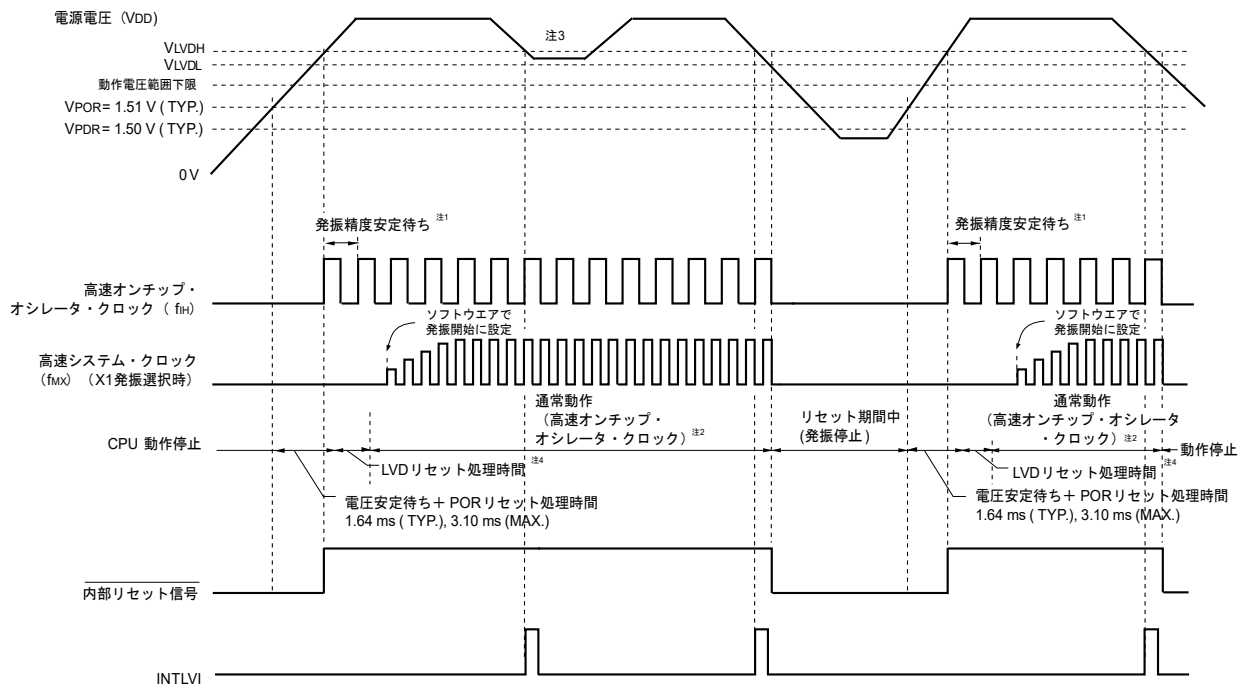
- 注 1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ（OSTC）で、発振安定時間を確認してから切り替えてください。
3. 通常動作が開始されるまでの時間は、 V_{POR} (1.51 V (TYP.))に達してから“電圧安定待ち時間”に加えて、RESET信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間（POR解除後1回目）”が掛かります。外部リセット解除時のリセット処理時間を次に示します。
- POR解除後1回目： 0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)
0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)
4. POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。
- POR解除後2回目以降： 0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)
0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)
5. 電源立ち上がり時は、28.4 または29.4 AC特性に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

注意 LVDオフ時は必ずRESET端子による外部リセットを使用してください。詳細は、第20章 電圧検出回路を参照してください。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

図19-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング (2/3)

(2) LVD割り込み&リセット・モード時 (オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0)

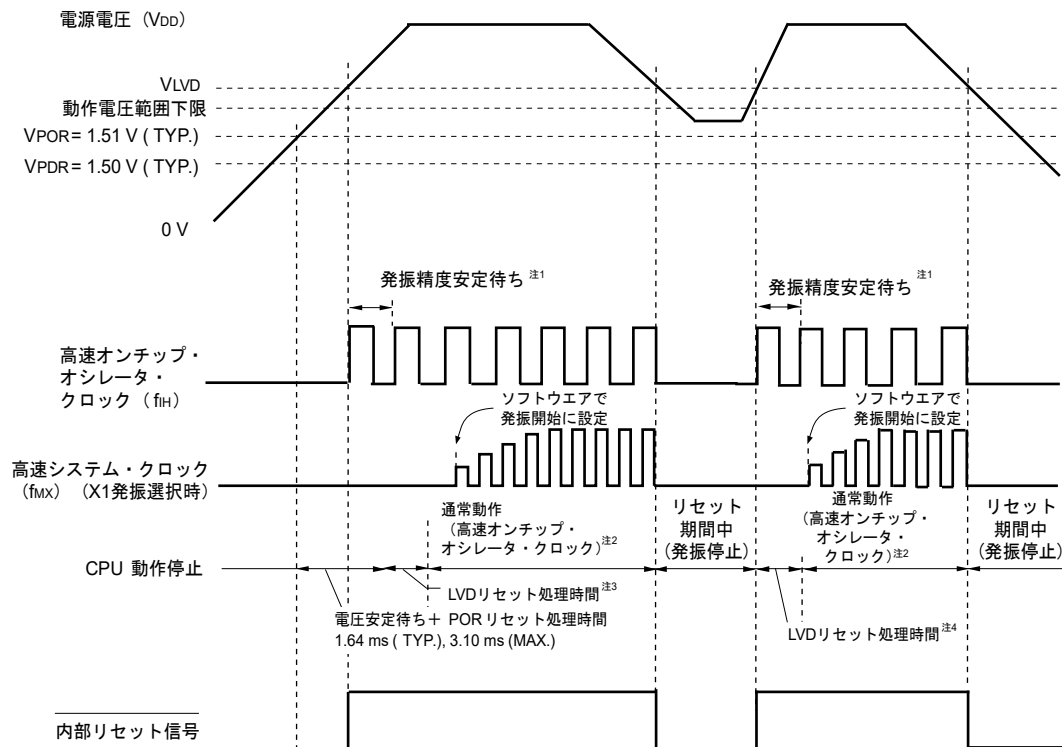


- 注1.** 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 2.** CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ（OSTC）で、発振安定時間を確認してから、切り替えてください。
- 3.** 割り込み要求信号（INTLVI）が発生したあと、電圧検出レベル・レジスタ（LVIS）のLVILV, LVIMDビットは自動的に1に設定されます。そのため、電源電圧が低電圧検出電圧（VLVDL）を下回らずに、高電圧検出電圧（VLVDH）以上に復帰する場合を考慮して、INTLVI発生後は、“図20-8 動作電圧確認／リセットの設定手順”と、“図20-9 割り込み&リセット・モードの初期設定の設定手順”に従って設定をしてください。
- 4.** 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち+PORリセット処理時間”に加えて、LVD検出レベル（VLVDH）に達してから次の“LVDリセット処理時間”が掛かります。
- LVDリセット処理時間：0 ms ~ 0.0701 ms (MAX.)

備考 V_{LV}DH, V_{LV}DL : LVD検出電圧
V_{POR} : POR電源立ち上がり検出電圧
V_{PDR} : POR電源立ち下がり検出電圧

図19-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (3/3)

(3) LVD リセット・モード時 (オプション・バイト000C1H のLVIMDS1, LVIMDS0 = 1, 1)



- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、発振安定時間を確認してから、切り替えてください。
3. 通常動作が開始されるまでの時間は、 V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち+PORリセット処理時間”に加えて、LVD検出レベル (V_{LVD}) に達してから次の“LVDリセット処理時間”が掛かります。
- LVDリセット処理時間 : 0 ms ~ 0.0701 ms (MAX.)
4. 電源電圧降下時、電圧検出回路 (LVD) による内部リセットのみ発生後に電源電圧が復帰した場合、LVD検出レベル (V_{LVD}) に達してから次の“LVDリセット処理時間”が掛かります。
- LVDリセット処理時間 : 0.0629 ms (TYP.), 0.0701 ms (MAX.)

備考1. V_{LVDH} , V_{LVDL} : LVD検出電圧 V_{POR} : POR電源立ち上がり検出電圧 V_{PDR} : POR電源立ち下がり検出電圧

2. LVD割り込みモード (オプション・バイト000C1HのLVIMD1, LVIMD0=0,1) を選択した場合、電源投入後に通常動作が開始されるまでの時間は、図19-2 (3) LVDリセット・モード時の“注3”の時間と同じです。

第20章 電圧検出回路

20.1 電圧検出回路の機能

電圧検出回路は、オプション・バイト（000C1H）で動作モードと検出電圧（VLVDH, VLVDL, VLVD）を設定します。電圧検出（LVD）回路は、次のような機能を持ちます。

- ・電源電圧（VDD）と検出電圧（VLVDH, VLVDL, VLVD）を比較し、内部リセットまたは割り込み要求信号を発生します。
 - ・電源電圧の検出電圧（VLVDH, VLVDL, VLVD）は、オプション・バイトにて検出レベルを12段階より選択できます（第23章 オプション・バイト参照）。
 - ・STOPモード時においても動作可能です。
 - ・電源立ち上がり時は、28. 4または29. 4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。
- 動作電圧範囲は、ユーザ・オプション・バイト（000C2H）の設定により変わります。

(a) 割り込み&リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）

オプション・バイト000C1Hで2つの検出電圧（VLVDH, VLVDL）を選択します。高電圧検出レベル（VLVDH）はリセット解除用／割り込み発生用として使用します。低電圧検出レベル（VLVDL）はリセット発生用として使用します。

(b) リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 1）

オプション・バイト000C1Hで選択する1つの検出電圧（VLVD）を、リセット発生／解除用として使用します。

(c) 割り込みモード（オプション・バイトLVIMDS1, LVIMDS0 = 0, 1）

オプション・バイト000C1Hで選択する1つの検出電圧（VLVD）を、リセット解除用／割り込み発生用として使用します。

各モードにおける割り込み要求信号と内部リセット信号は、次のように発生します。

割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
動作電圧降下時に、 $V_{DD} < V_{LVDH}$ を検出して割り込み要求信号を発生、 $V_{DD} < V_{LVDL}$ を検出して内部リセットを発生。 $V_{DD} \geq V_{LVDH}$ を検出して内部リセットを解除。	$V_{DD} \geq V_{LVD}$ を検出して内部リセットを解除。 $V_{DD} < V_{LVD}$ を検出して内部リセットを発生。	リセット発生直後、LVDの内部リセットは $V_{DD} \geq V_{LVD}$ になるまでリセット状態を継続します。 $V_{DD} \geq V_{LVD}$ を検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は、 $V_{DD} < V_{LVD}$ または $V_{DD} \geq V_{LVD}$ を検出して割り込み要求信号（INTLVI）を発生します。

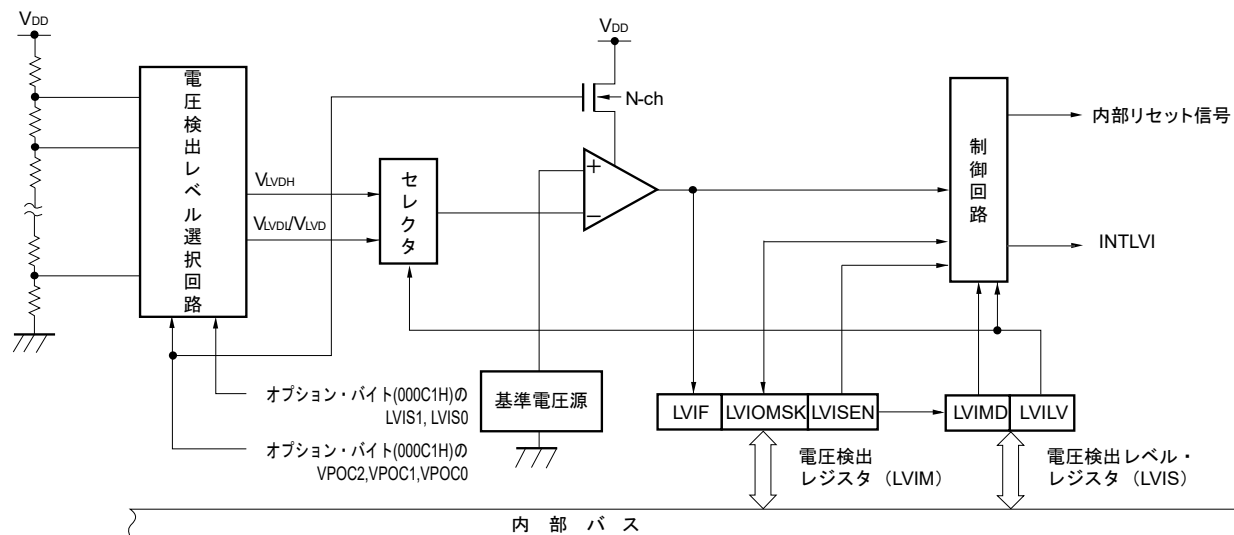
電圧検出回路動作時では、電圧検出フラグ（LVIF：電圧検出レジスタ（LVIM）のビット0）を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット0（LVIRF）がセット（1）されます。RESFレジスタについての詳細は、第18章 リセット機能を参照してください。

20.2 電圧検出回路の構成

電圧検出回路のブロック図を図20-1に示します。

図20-1 電圧検出回路のブロック図



20.3 電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- ・ 電圧検出レジスタ（LVIM）
- ・ 電圧検出レベル・レジスタ（LVIS）

20.3.1 電圧検出レジスタ (LVIM)

電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定、LVD出力のマスク状態を確認するレジスタです。

LVIMレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-2 電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFFA9H リセット時 : 00H^{注1} R/W^{注2}

略号	[7]	6	5	4	3	2	[1]	[0]
LVIM	LVISEN ^{注3}	0	0	0	0	0	LVIOMSK	LVIF

LVISEN ^{注3}	電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定
0	LVISレジスタの書き換え禁止 (LVIOMSK=0 (LVD出力マスク無効) になる)
1	LVISレジスタの書き換え許可 (LVIOMSK=1 (LVD出力マスク有効) になる)

LVIOMSK	LVD出力マスク状態フラグ
0	LVD出力マスク無効
1	LVD出力マスク有効 ^{注4}

LVIF	電圧検出フラグ
0	電源電圧 (V _{DD}) ≥ 検出電圧 (V _{LVD}) , またはLVDオフ時
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVD})

注1. リセット値は、リセット要因により変化します。

LVDによるリセットのときには、LVIMレジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、LVISENは“0”にクリアされます。

2. ビット0, 1は、Read Onlyです。

3. 割り込み&リセット・モード (オプション・バイトLVIMDS1, LVIMDS0=1,0) 選択時のみ設定できます。その他モードでは初期値から変更しないでください。

4. 割り込み&リセット・モード (オプション・バイトLVIMDS1, LVIMDS0=1, 0) 選択時のみ、LVIOMSKビットは以下の期間に自動で“1”となり、LVDによるリセットまたは割り込み発生がマスクされます。

- ・ LVISEN = 1の期間
- ・ LVD割り込み発生から、LVD検出電圧が安定するまでの待ち時間
- ・ LVILVビットの値変更から、LVD検出電圧が安定するまでの待ち時間

20.3.2 電圧検出レベル・レジスタ（LVIS）

電圧検出レベルを設定するレジスタです。

LVISレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H/01H/81H^{注1}になります。

図20-3 電圧検出レベル・レジスタ（LVIS）のフォーマット

アドレス：FFFAAH リセット時：00H/01H/81H^{注1} R/W

略号	[7]	6	5	4	3	2	1	[0]
LVIS	LVIMD	0	0	0	0	0	0	LVILV

LVIMD ^{注2}	電圧検出の動作モード
0	割り込みモード
1	リセット・モード

LVILV ^{注2}	LVD検出レベル
0	高電圧検出レベル（VLVDH）
1	低電圧検出レベル（VLVDLまたはVLVD）

注1. リセット値は、リセット要因およびオプション・バイトの設定により変化します。

LVDリセット時は、クリア（00H）されません。

LVD以外のリセット時は、次のようになります。

- ・オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき：00H
- ・オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき：81H
- ・オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき：01H

2. 割り込み&リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）選択時に“0”書き込みのみ可能です。その他の場合は設定しないでください。割り込み&リセット・モードでのリセットまたは割り込み発生により、自動で値が切り替わります。

注意1. LVISレジスタを書き換える場合は、図20-8、図20-9の手順で行ってください。

2. LVDの動作モードと各モードの検出電圧（VLVDH, VLVDL, VLVD）は、オプション・バイト000C1Hで選択します。ユーザ・オプション・バイト（000C1H）のフォーマットを図20-4に示します。オプション・バイトの詳細は第23章 オプション・バイトを参照してください。

図20-4 ユーザ・オプション・バイト (000C1H) のフォーマット (1/2)

アドレス : 000C1H

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	PORTSELB	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.98 V	1.94 V	1.84 V	0	0	1	1	0	1	0
2.09 V	2.04 V					0	1		
3.13 V	3.06 V					0	0		
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V					0	1		
3.75 V	3.67 V					0	0		
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
—			上記以外は設定禁止						

・LVDの設定 (リセット・モード)

検出電圧		オプション・バイト設定値						
V _{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.88 V	1.84 V	0	0	1	1	1	1	1
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

備考1. LVD回路の詳細は、第20章 電圧検出回路を参照してください。

2. 検出電圧はTYP.値です。詳細は、28. 6. 4または29. 6. 4 LVD回路特性を参照してください。

(注意は、次ページにあります。)

図20-4 ユーザ・オプション・バイト (000C1H) のフォーマット (2/2)

アドレス : 000C1H

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	PORTSELB	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込みモード)

検出電圧		オプション・バイト設定値						
V _{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.88 V	1.84 V	0	0	1	1	1	0	1
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

・LVDオフ (RESET端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
V _{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—		上記以外は設定禁止						

注意1. ビット4には、必ず1を書き込んでください。

2. 電源立ち上がり時は、28. 4または29. 4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト (000C2H) の設定により変わります。

備考1. × : don't care

2. LVD回路の詳細は、第20章 電圧検出回路を参照してください。
3. 検出電圧はTYP.値です。詳細は、28. 6. 4または29. 6. 4 LVD回路特性を参照してください。

20.4 電圧検出回路の動作

20.4.1 リセット・モードとして使用する場合の設定

動作モード（リセット・モード（LVIMDS1, LVIMDS0 = 1,1 ））と検出電圧（V_{LVD}）の設定は、オプション・バイト000C1Hで設定します。

リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- ・電圧検出レジスタ（LVIM）のビット7（LVISEN）は、“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。
- ・電圧検出レベル・レジスタ（LVIS）の初期値は、81Hに設定されます。
ビット7（LVIMD）は“1”（リセット・モード）
ビット0（LVILV）は“1”（電圧検出レベル：V_{LVD}）

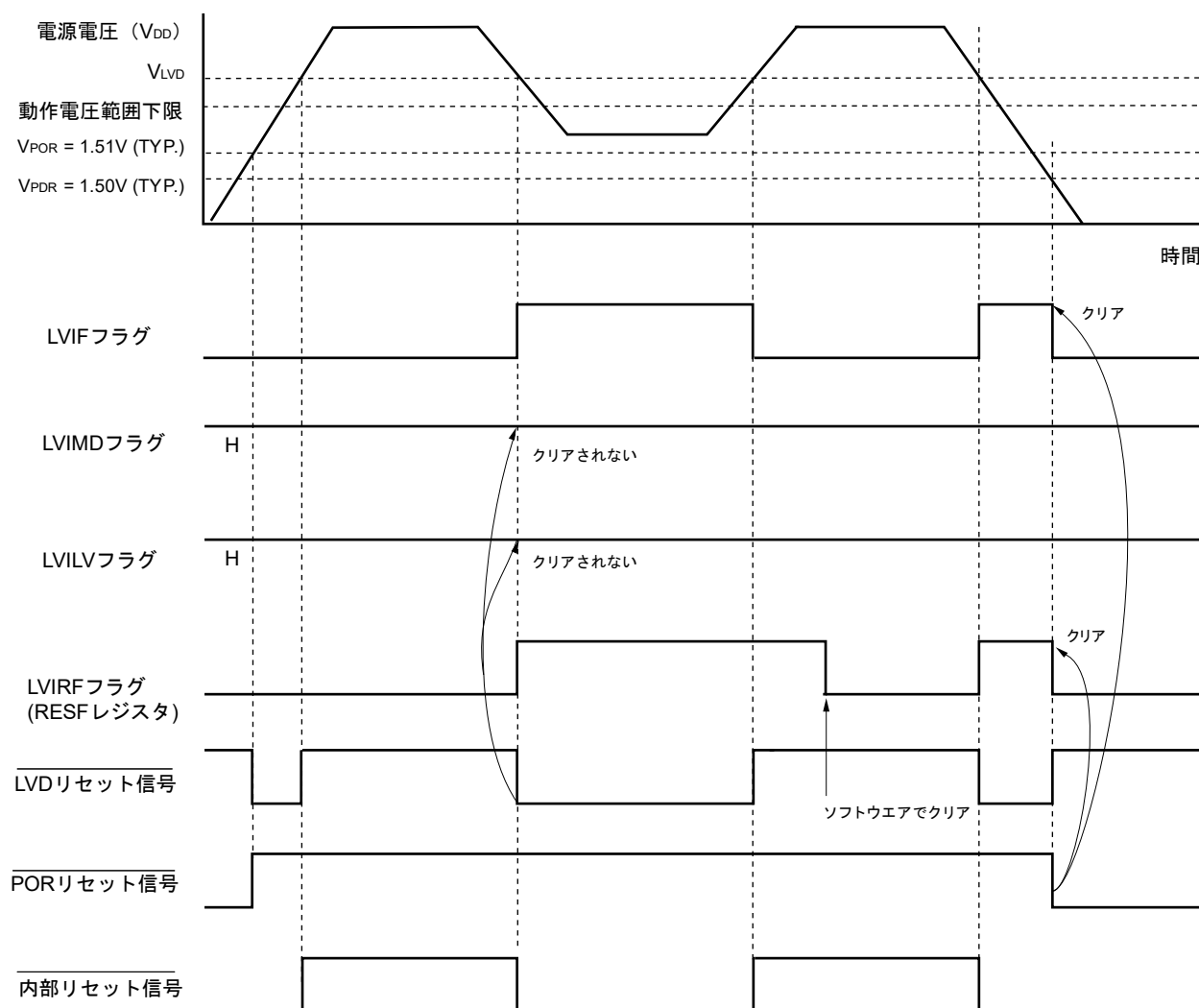
● LVDリセット・モードの動作

リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1）は、電源投入時、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を超えるまではLVDによる内部リセット状態を保ちます。電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を下回るとLVDによる内部リセットが発生します。

図20-5に、LVDリセット・モードの内部リセット信号発生タイミングを示します。

図20-5 内部リセット信号発生タイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)

備考 V_{POR} : POR電源立ち上がり検出電圧 V_{PDR} : POR電源立ち下がり検出電圧

20.4.2 割り込みモードとして使用する場合の設定

動作モード（割り込みモード（LVIMDS1, LVIMDS0 = 0, 1））と検出電圧（VLVD）の設定は、オプション・バイト000C1Hで設定します。

割り込みモードを設定した場合、次の初期設定の状態で作動を開始します。

- ・電圧検出レジスタ（LVIM）のビット7（LVISEN）は、“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。
- ・電圧検出レベル・レジスタ（LVIS）の初期値は、01Hに設定されます。
 - ビット7（LVIMD）は“0”（割り込みモード）
 - ビット0（LVILV）は“1”（電圧検出レベル：VLVD）

● LVD割り込みモードの動作

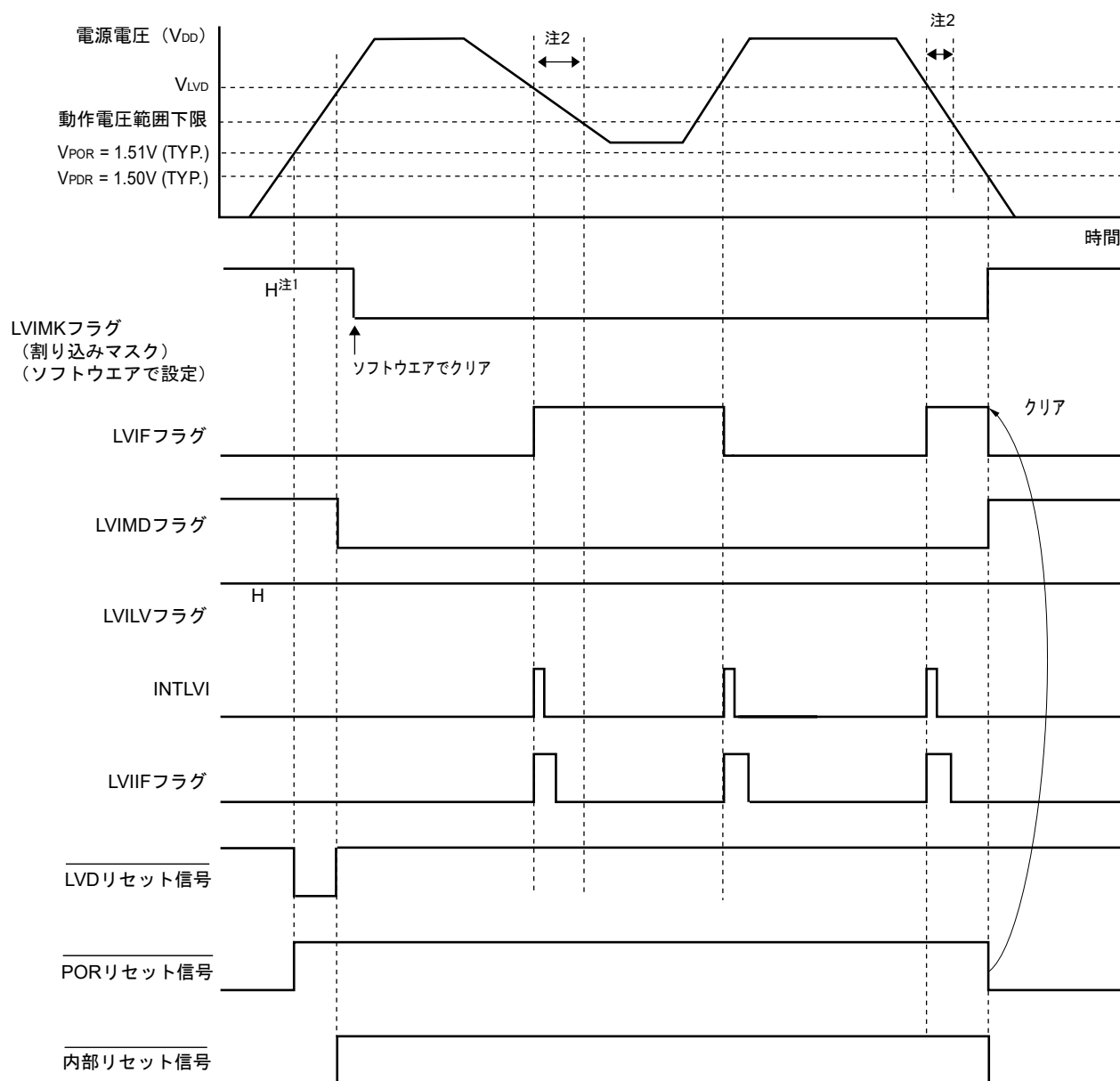
割り込みモード（オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1）では、リセット発生直後、電源電圧（VDD）が電圧検出レベル（VLVD）を上回るまではLVDによる内部リセット状態を保ちます。動作電圧（VDD）が電圧検出レベル（VLVD）を上回るとLVDによる内部リセットを解除します。

LVDの内部リセット解除後は、電源電圧（VDD）が電圧検出レベル（VLVD）を超えるとLVDによる割り込み要求信号（INTLVD）が発生します。

動作電圧降下時は、**29.4** または**30.4 AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

図20－6に、LVD割り込みモードの割り込み要求信号発生のタイミングを示します。

図20-6 割り込み要求信号発生タイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1)



注1. LVIMKフラグはリセット信号の発生により, "1"になっています。

2. 動作電圧降下時は, **28. 4または29. 4 AC特性**に示す動作電圧範囲を下回る前に, STOPモードに移行するか, 外部リセットでリセット状態にしてください。再び動作を開始するときは, 電源電圧が動作電圧範囲内に復帰したことを確認してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

20.4.3 割り込み&リセット・モードとして使用する場合の設定

動作モード（割り込み&リセット・モード（LVIMDS1, LVIMDS0 = 1, 0））と検出電圧（VLVDH, VLVDL）の設定は、オプション・バイト000C1Hで設定します。

割り込み&リセット・モードを設定した場合、次の初期設定の状態で動作を開始します。

- ・電圧検出レジスタ（LVIM）のビット7（LVISEN）は、“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。
- ・電圧検出レベル・レジスタ（LVIS）の初期値は、00Hに設定されます。ビット7（LVIMD）は“0”（割り込みモード）、ビット0（LVILV）は“0”（高電圧検出レベル：VLVDH）

● LVD割り込み&リセット・モードの動作

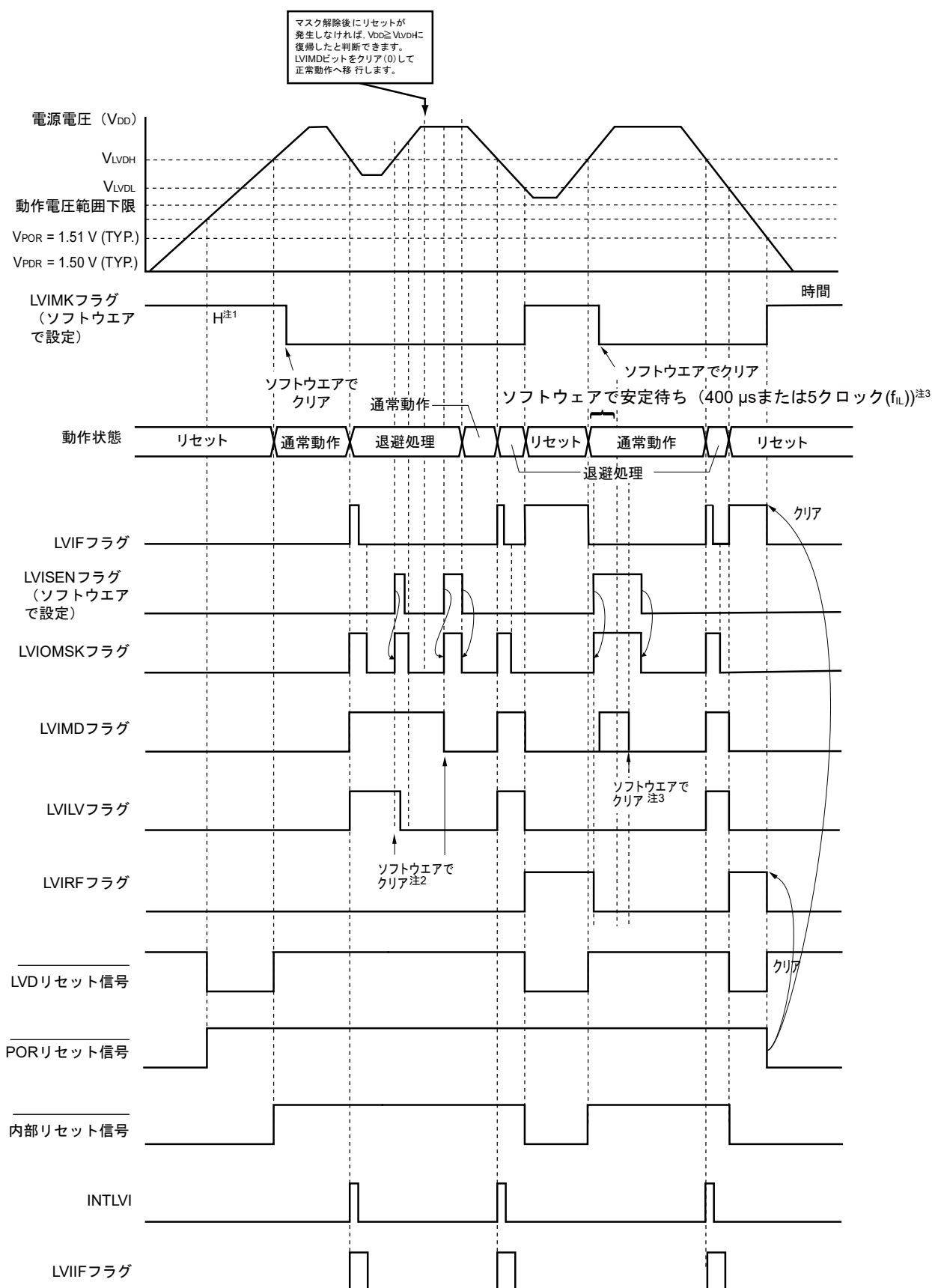
割り込み&リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）は、電源投入時、電源電圧（VDD）が高電圧検出レベル（VLVDH）を超えるまではLVDによる内部リセット状態を保ちます。電源電圧（VDD）が高電圧検出レベル（VLVDH）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（VDD）が高電圧検出レベル（VLVDH）を下回るとLVDによる割り込み要求信号（INTLVD）が発生し、任意の退避処理を行うことができます。その後、電源電圧（VDD）が低電圧検出レベル（VLVDL）を下回るとLVDによる内部リセットが発生します。ただし、INTLVD発生後、電源電圧（VDD）が低電圧検出電圧（VLVDL）を下回らずに高電圧検出電圧（VLVDH）以上に復帰しても割り込み要求信号は発生しません。

LVD割り込み&リセット・モードの使用する場合は、“図20-8 動作電圧確認／リセットの設定手順”と、“図20-9 割り込み&リセット・モードの初期設定”に示すフローチャートの手順に従って設定をしてください。

図20-7に、LVD割り込み&リセット・モードの内部リセット信号と割り込み要求信号発生タイミングを示します。

図20-7 割り込み&リセット信号発生タイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0) (1/2)

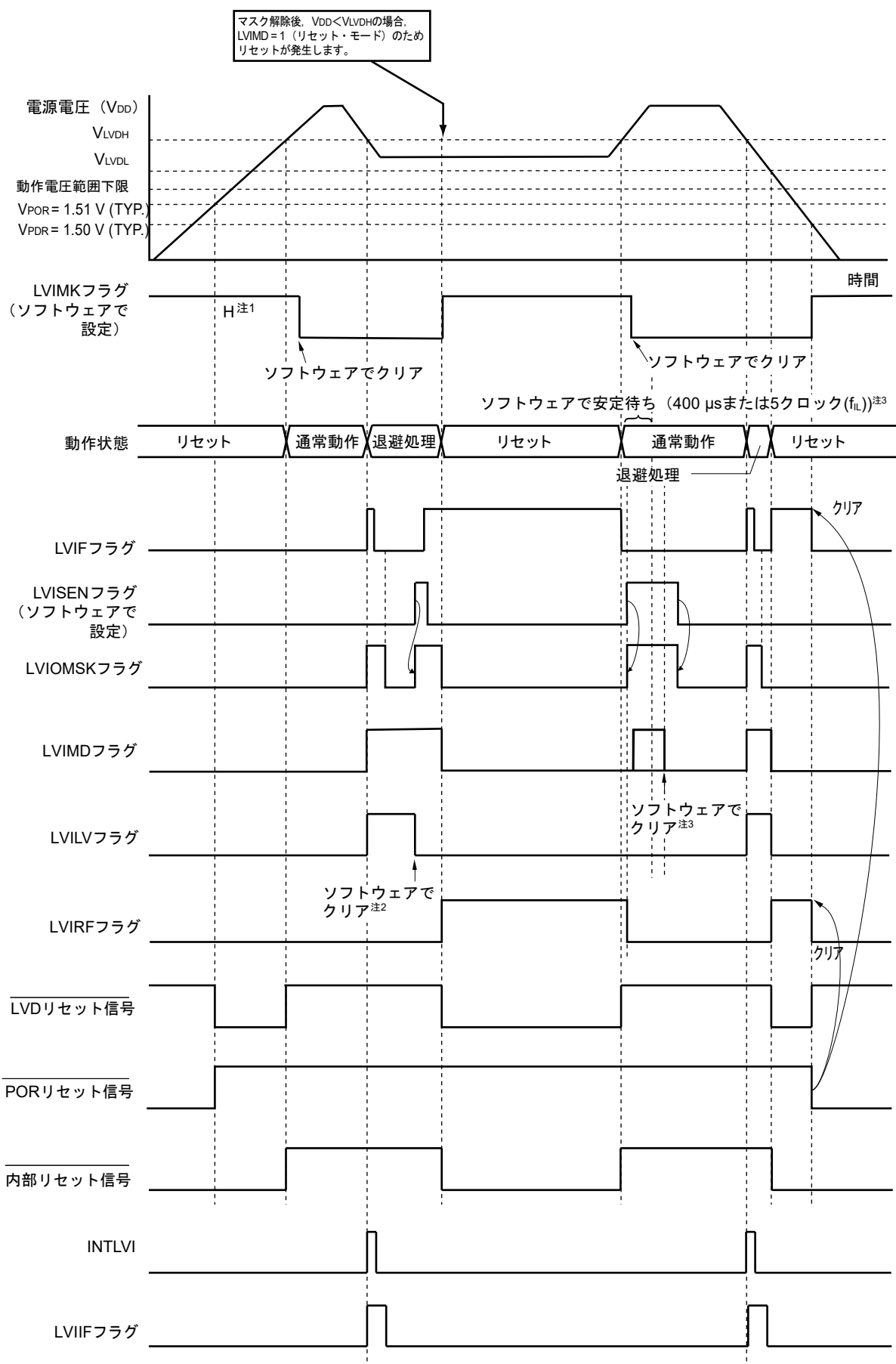


(注、備考は次ページにあります。)

- 注 1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 割り込み&リセット・モード使用時、割り込み発生後は、**図20-8 動作電圧確認／リセットの設定手順**に従って設定をしてください。
3. 割り込み&リセット・モード使用時、リセット解除後は、**図20-9 割り込み&リセット・モードの初期設定の設定手順**に従って設定をしてください。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

図20-7 割り込み&リセット信号発生タイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0) (2/2)



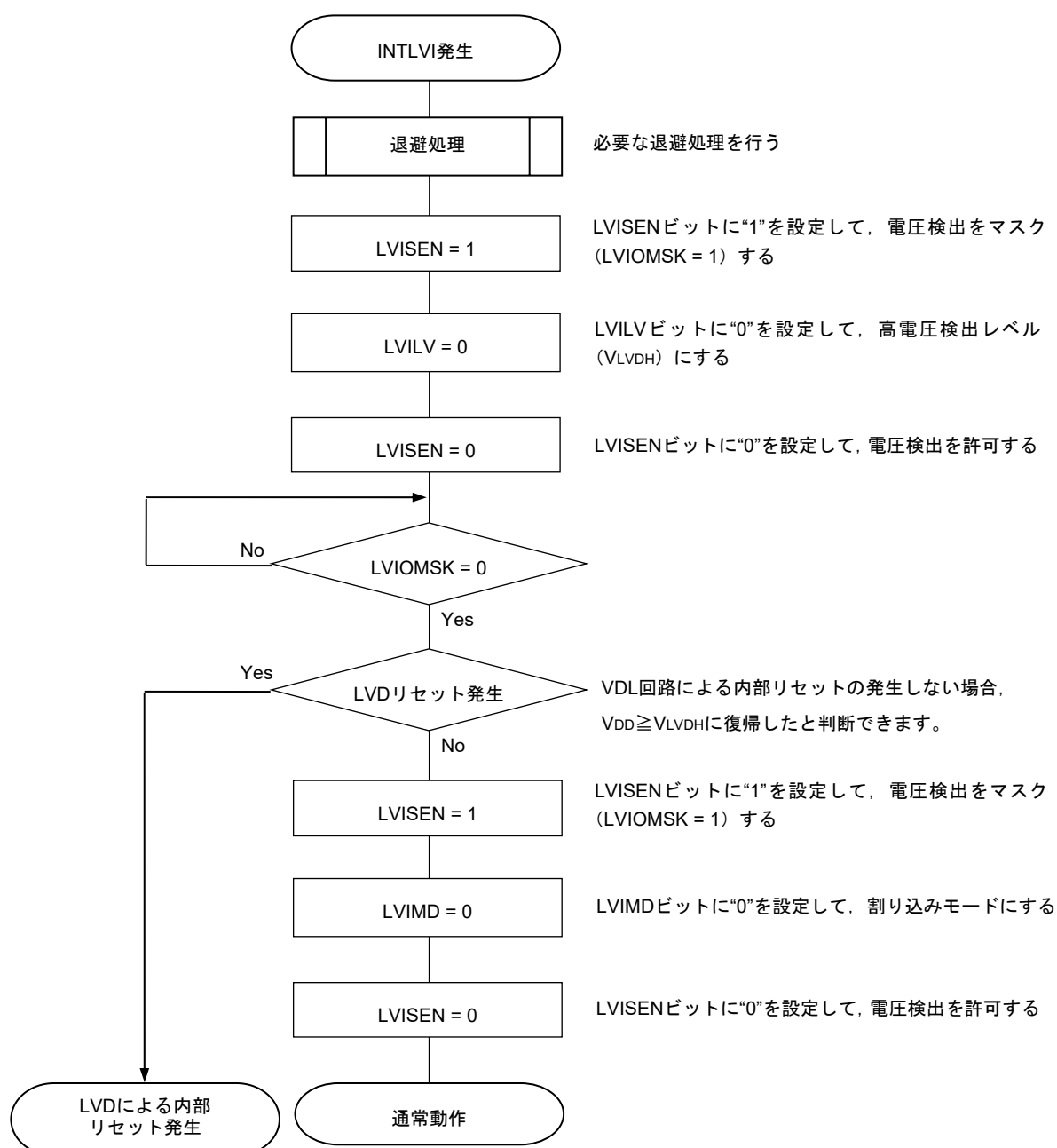
(注、備考は次ページにあります。)

- 注 1.** LVIMKフラグはリセット信号の発生により、“1”になっています。
- 2.** 割り込み&リセット・モード使用時、割り込み発生後は、**図20-8 動作電圧確認／リセットの設定手順**に従って設定をしてください。
- 3.** 割り込み&リセット・モード使用時、リセット解除後は、**図20-9 割り込み&リセット・モードの初期設定の設定手順**に従って設定をしてください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

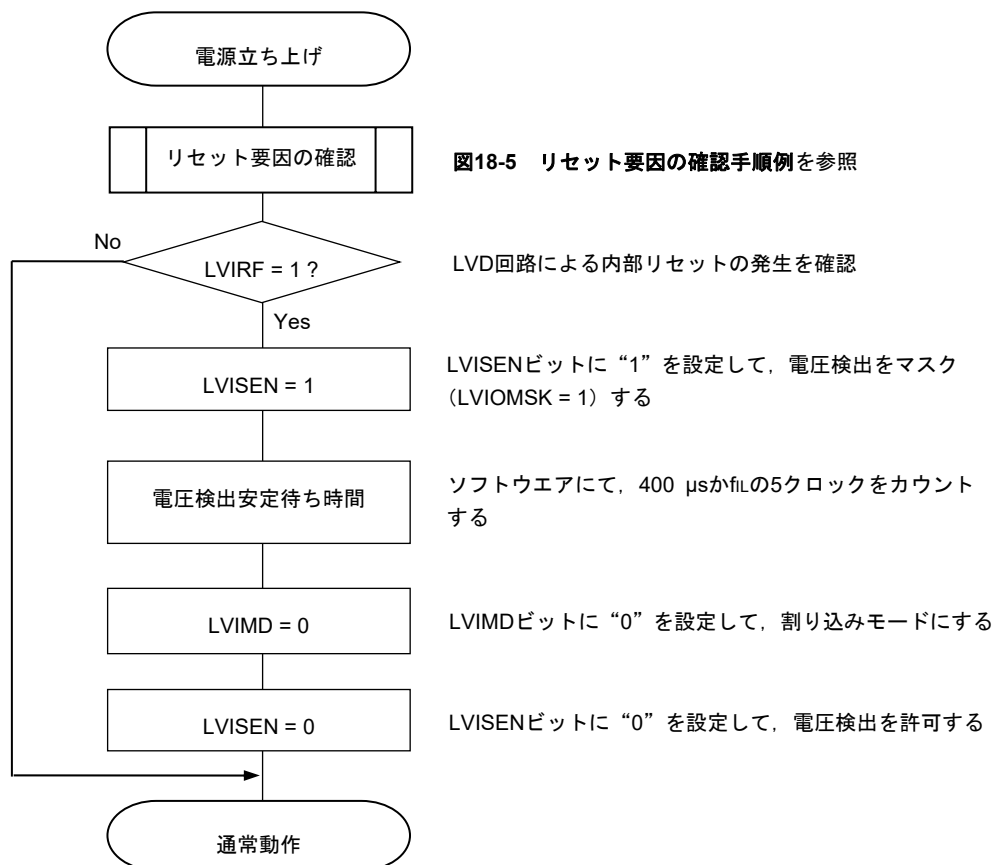
図20-8 動作電圧確認／リセットの設定手順



割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0) を設定した場合, LVDリセット解除後 (LVIRF = 1) から400 μ sか f_{IL} の5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後, LVIMDビットをクリア (0) して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は, LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図20-9に割り込み&リセット・モードの初期設定の設定手順を示します。

図20-9 割り込み&リセット・モードの初期設定の設定手順



備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

20.5 電圧検出回路の注意事項

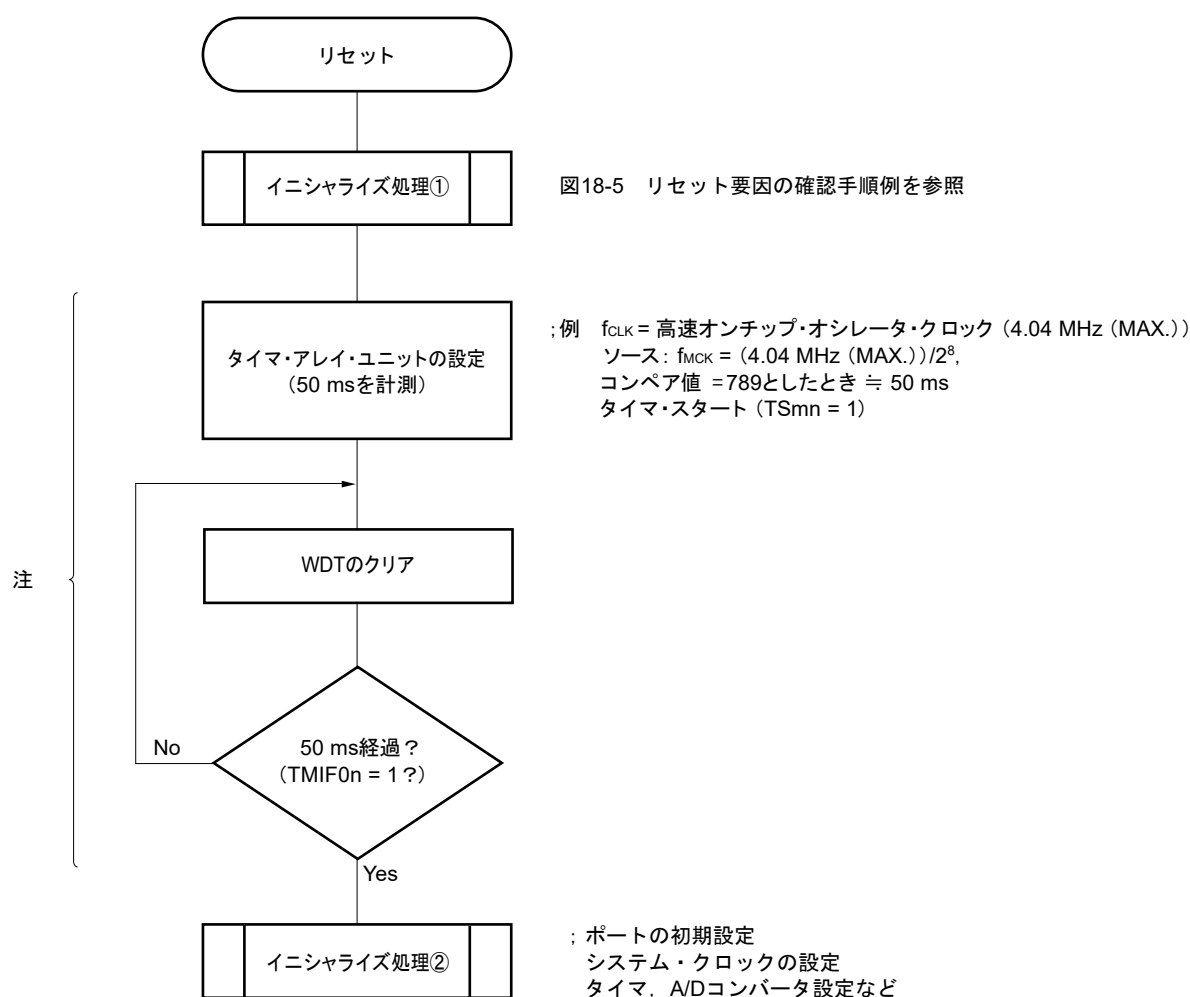
(1) 電源投入時の電圧変動について

電源電圧 (V_{DD}) がLVD検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウェイトしてから、ポートなどを初期設定してください。

図20-10 LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



注 この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

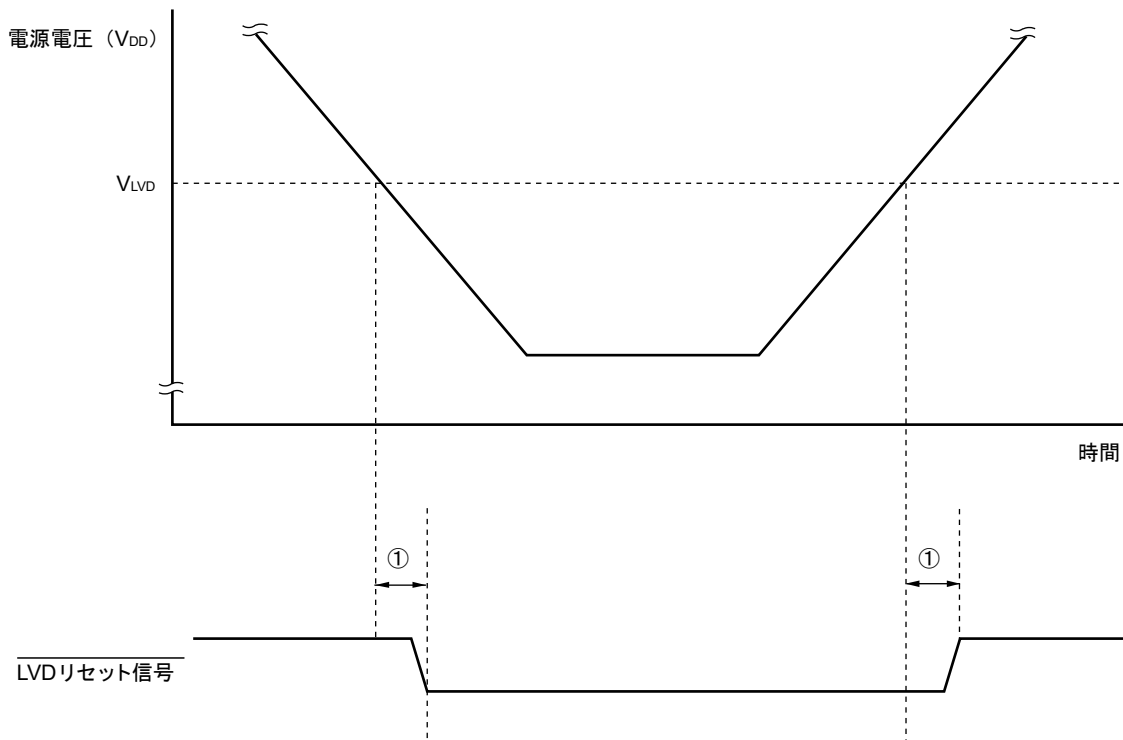
備考 n = 0-3 (20, 24ピン製品)

n = 0-7 (30ピン製品)

(2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧 (V_{DD}) < LVD検出電圧 (V_{LVD}) になってから、LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧 (V_{LVD}) $\leq$ 電源電圧 (V_{DD}) になってから、LVDリセットが解除されるまでも遅延が生じます (図20-11参照)。

図20-11 LVDリセット要因発生からLVDリセット発生または解除までの遅延



① : 検出遅延 (300 μ s (MAX.))

(3) LVDオフに設定した場合の電源立ち上げについて

LVDオフに設定したときは必ずRESET端子による外部リセットを使用してください。

外部リセットを行う場合、RESET端子に10 μ s以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、RESET端子にロウ・レベルを入力してから電源を投入し、28.4または29.4 AC特性に示す動作電圧範囲内の期間で10 μ s以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

(4) LVDオフおよびLVD割り込みモードに設定した場合の動作電圧降下時について

LVDオフおよびLVD割り込みモードに設定したときの動作電圧降下時は、28.4または29.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

第21章 安全機能

21.1 安全機能の概要

安全規格IEC60730に対応するため、RL78/G12では以下の安全機能を搭載しています。

この安全機能は、マイコンで自己診断することで、故障を検出して安全に停止することを目的としています。

(1) フラッシュ・メモリCRC演算機能

CRC演算を行うことにより、フラッシュ・メモリのデータ誤りを検出します。

CPU動作中に、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用できます。

R5F102製品に内蔵している機能です。

(2) RAMパリティ・エラー検出機能

RAMデータを読み出すとき、パリティ・エラーを検出します。

(3) RAMガード機能

CPUの暴走によるRAMデータの書き換えを防止します。

R5F102製品に内蔵している機能です。

(4) SFRガード機能

CPUの暴走によるSFRの書き換えを防止します。

R5F102製品に内蔵している機能です。

(5) 不正メモリ・アクセス検出機能

不正メモリ領域（メモリが存在しないか、アクセスが制限されている領域）への不正なアクセスを検出します。

(6) 周波数検出機能

タイマ・アレイ・ユニットを使用して、CPU/周辺ハードウェア・クロック周波数の自己チェックができます。

(7) A/Dテスト機能

A/Dコンバータの+側基準電圧、一側基準電圧、アナログ入力チャネル（ANI）、温度センサ出力電圧および内部基準電圧をA/D変換することにより、A/Dコンバータの自己チェックができます。

備考 安全規格IEC60730に対応する安全機能の使用例は、**RL78 MUCシリーズのIEC60730/60335セルフテスト・ライブラリ アプリケーション・ノート（R01AN1062, R01AN1296）**を参照してください。

21.2 安全機能で使用するレジスタ

安全機能では、各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
・CRC入力レジスタ (CRCIN) 注 ・CRCデータ・レジスタ (CRCD) 注	CRC演算機能
・RAMパリティ・エラー制御レジスタ (RPECTL)	RAMパリティ・エラー検出機能
・不正メモリ・アクセス検出制御レジスタ (IAWCTL)	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
・タイマ入力選択レジスタ0 (TIS0)	周波数検出機能
・A/Dテスト・レジスタ (ADTES)	A/Dテスト機能

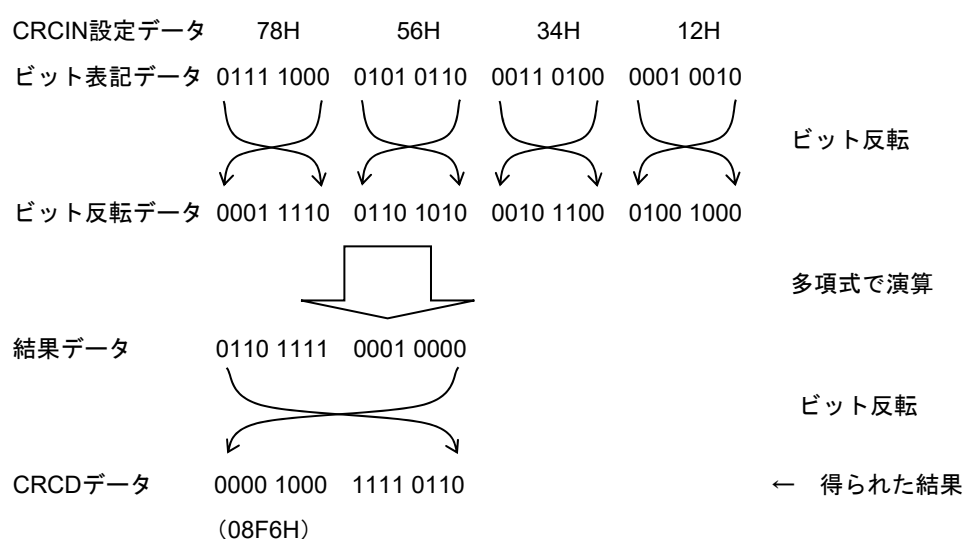
注 R5F102製品のみ

21.3 安全機能の動作

21.3.1 CRC演算機能（汎用CRC）

この汎用CRCでは、CPU動作中に、周辺機能としてCRC演算を実行できます。汎用CRCは、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア（ユーザ・プログラム）で指定します。HALTモード時のCRC演算機能は、RAM領域の演算で、DMA実行時だけ使用できます。

CRC生成多項式はCRC-16-CCITTの「 $X^{16}+X^{12}+X^5+1$ 」を使用します。入力するデータはLSBファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ12345678HをLSBから送信する場合には78H、56H、34H、12Hの順でCRCINレジスタに値を書き込むことで、CRCDレジスタから08F6Hの値が得られます。これは、データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意 プログラム実行中、デバッガはソフトウェア・ブレーク設定行をブレーク命令へ書き変えるため、CRC演算の対象領域にソフトウェア・ブレークを設定すると、CRC演算結果が異なります。

21.3.1.1 CRC入力レジスタ (CRCIN)

CRC計算をするデータを設定する8ビットのレジスタです。

設定可能範囲は、00H-FFHです。

CRCINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-1 CRC入力レジスタ (CRCIN) のフォーマット

アドレス : FFFACH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRCIN								
ビット7-0		機 能						
00H-FFH		データ入力						

21.3.1.2 CRCデータ・レジスタ (CRCD)

CRC演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFHです。

CRCINレジスタ書き込みから、CPU/周辺ハードウェア・クロック (f_{CLK}) の1クロック経過後に、CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図21-2 CRCデータ・レジスタ (CRCD) のフォーマット

アドレス : F02FAH リセット時 : 0000H R/W

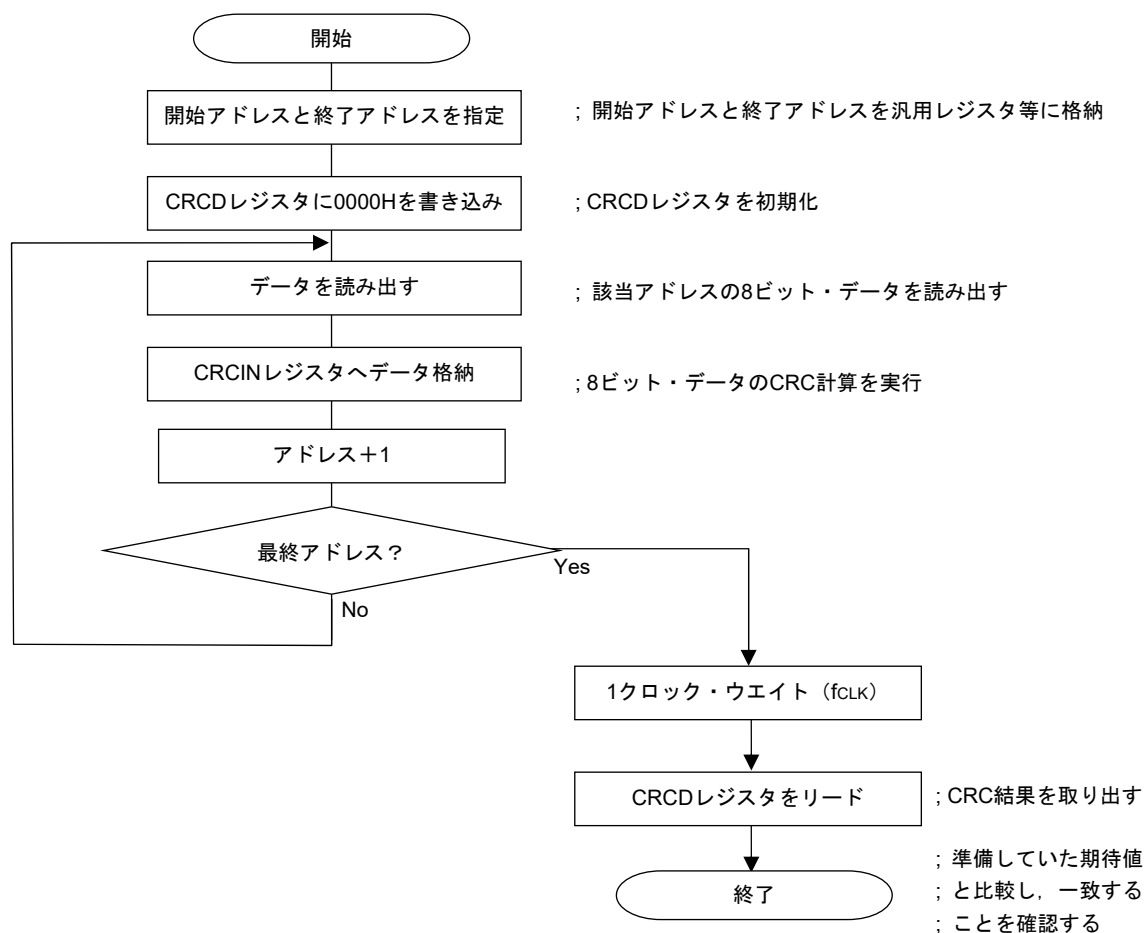
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCD																

注意1. CRCDレジスタに書き込まれた値を読み出す場合は、CRCINレジスタへの書き込みを行う前にリードしてください。

2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

<動作フロー>

図21-3 CRC演算機能のフロー・チャート



21.3.2 RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため、RL78/G12のRAMには、8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットが発生することもできます。

21.3.2.1 RAMパリティ・エラー制御レジスタ（RPECTL）

パリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。RPECTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図21-4 RAMパリティ・エラー制御レジスタ（RPECTL）のフォーマット

アドレス：F00F5H リセット時：00H R/W

略号	[7]	6	5	4	3	2	1	[0]
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF

RPERDIS	パリティ・エラー・リセット・マスク・フラグ
0	パリティ・エラー・リセット発生を許可
1	パリティ・エラー・リセット発生を禁止

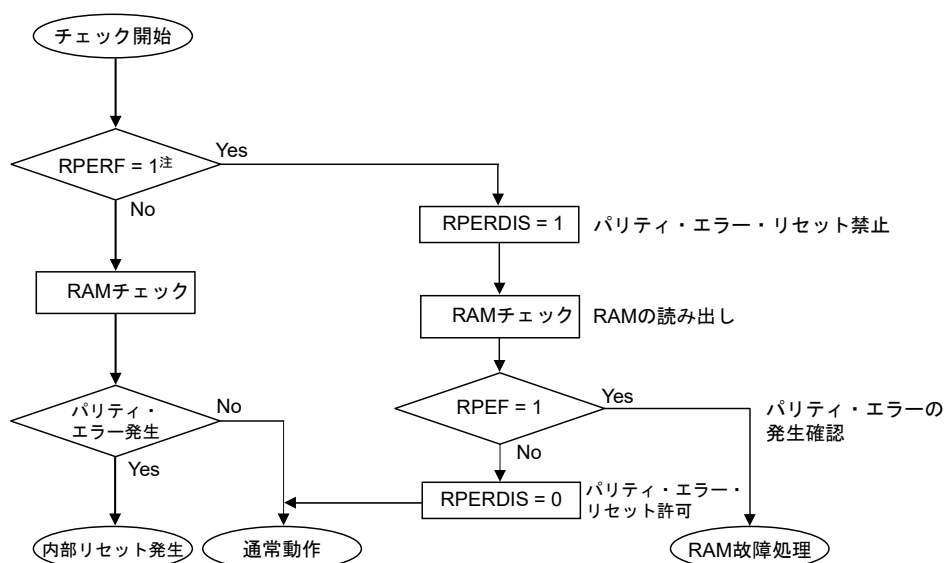
RPEF	パリティ・エラー・ステータス・フラグ
0	パリティ・エラーが発生していない
1	パリティ・エラーが発生した

注意 データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。そのため、RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。また、RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。

備考1. 初期状態では、パリティ・エラー・リセット発生許可（RPERDIS = 0）になっています。

2. パリティ・エラー・リセット発生禁止（RPERDIS = 1）を設定時に、パリティ・エラーが発生した場合も、RPEFフラグはセット（1）されます。なお、RPER=1の状態では、パリティ・エラー・リセット発生許可（RPERDIS=0）に設定すると、RPERDISをクリア（0）した時点でパリティ・エラー・リセットが発生します。
3. RPECTLレジスタのRPEFフラグはRAMのパリティ・エラー発生時にセット（1）され、0の書き込み、またはすべてのリセット要因によりクリア（0）されます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。
4. 汎用レジスタは、RAMパリティ・エラー検出の範囲に含みません。

図21-5 RAMパリティ・チェックのフローチャート



注 RAMパリティ・エラーによる内部リセットの確認は、第18章 リセット機能を参照してください。

21.3.3 RAMガード機能

このRAMガード機能は、指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると、指定した空間へのRAM書き込みは無効になり、読み出しは通常通りに可能となります。

21.3.3.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では、GRAM1, GRAM0ビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-6 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAMガード空間 ^注
0	0	無効。RAMへのライト可能
0	1	RAM先頭アドレスから128バイト
1	0	RAM先頭アドレスから256バイト
1	1	RAM先頭アドレスから512バイト (R5F10266, R5F10366では設定禁止)

注 RAMの先頭アドレスは、製品の搭載RAMサイズにより変わります (図21-8参照)。

なお、汎用レジスタ領域 (FFEE0H-FFEFFH) は保護されません。

21.3.4 SFRガード機能

SFRガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAMパリティ・エラー機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると、ガードされたSFRへの書き込みは無効になり、読み出しは通常通りに可能となります。

21.3.4.1 不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では、GPORT、GINT、GCSCビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-7 不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0078H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	ポート機能の制御レジスタのガード
0	無効。ポート機能の制御レジスタのリード／ライト可能。
1	有効。ポート機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] PMxx, PUxx, PIMxx, POMxx, PMCxx, ADPC, PIOR 注

GINT	割り込み機能のレジスタのガード
0	無効。割り込み機能の制御レジスタのリード／ライト可能。
1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] IFxx, MKxx, PRxx, EGPx, EGNx

GCSC	クロック制御機能、電圧検出回路、RAMパリティ・エラー機能の制御レジスタのガード
0	無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー機能の制御レジスタのリード／ライト可能。
1	有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] CMC, CSC, OSTs, CKC, PERx, OSMC, LVIM, LVIS, RPECTL

注 Pxx（ポート・レジスタ）はガードされません。

21. 3. 5 不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、図21－8で「NG」と記載した範囲になります。

図21－8 不正アクセス検出空間

		アクセス可否			
		読み出し	書き込み	命令フェッチ (実行)	
FFFFFH	特殊機能レジスタ (SFR) 256バイト	OK	OK	NG	
FFF00H FFEFFH	汎用レジスタ 32バイト			OK	
FFEE0H FFEDFH	RAM注				OK
yyyyyH	使用不可			NG	NG
F4000H F3FFFH	Mirror				
F2000H F1FFFH	使用不可		NG		
F1800H F17FFH	データ・フラッシュ・メモリ				
F1000H F0FFFH	使用不可		OK	OK	
F0800H F07FFH	特殊機能レジスタ (2nd SFR) 2 Kバイト			NG	
F0000H EFFFFH			NG	OK	
EF000H EEFFFH				NG	
使用不可					NG
10000H 0FFFFH		OK	OK		
xxxxxH					
コード・フラッシュ・メモリ注		OK	OK		
00000H					

注 各製品のコード・フラッシュ・メモリ、RAMのアドレスは次のようになります。

製 品 (x = 2, 3)	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (yyyyyH-FFEFFH)
R5F10x66	2048×8ビット (00000H-007FFFH)	256×8ビット (FFE00H-FFEFFH)
R5F10x67, R5F10x77, R5F10xA7	4096×8ビット (00000H-00FFFFH)	512×8ビット (FFD00H-FFEFFH)
R5F10x68, R5F10x78, R5F10xA8	8192×8ビット (00000H-01FFFFH)	768×8ビット (FFC00H-FFEFFH)
R5F10x69, R5F10x79, R5F10xA9	12288×8ビット (00000H-02FFFFH)	1024×8ビット (FFB00H-FFEFFH)
R5F10x6A, R5F10x7A	16384×8ビット (00000H-03FFFFH)	1536×8ビット (FF900H-FFEFFH)
R5F10xAA		2048×8ビット (FF700H-FFEFFH)

21.3.5.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では，IAWENビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図21-9 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス：F0078H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN ^注	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効
1	不正メモリ・アクセスの検出有効

注 IAWENビットは1の書き込みのみを有効とし，IAWEN = 1としたあとの0の書き込みは無効です。

備考 オプション・バイト (000C0H) のWDTON = 1 (ウォッチドッグ・タイマ動作許可) のとき，IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

21.3.6 周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能は，CPU/周辺ハードウェア・クロック周波数 (f_{CLK}) を使用し，タイマ・アレイ・ユニット0(TAU0)のチャンネル1 (20, 24ピン製品) またはチャンネル5 (30ピン製品) の入力パルスを測定することで，2つのクロックの比率関係が正しいか判定することができます。ただし，片一方のクロック、もしくは両方のクロックが完全に停止している場合は、クロックの比率関係を判定することができません。

注意 以降の説明は，20, 24ピン製品でのチャンネル構成となります。

<比較するクロック>

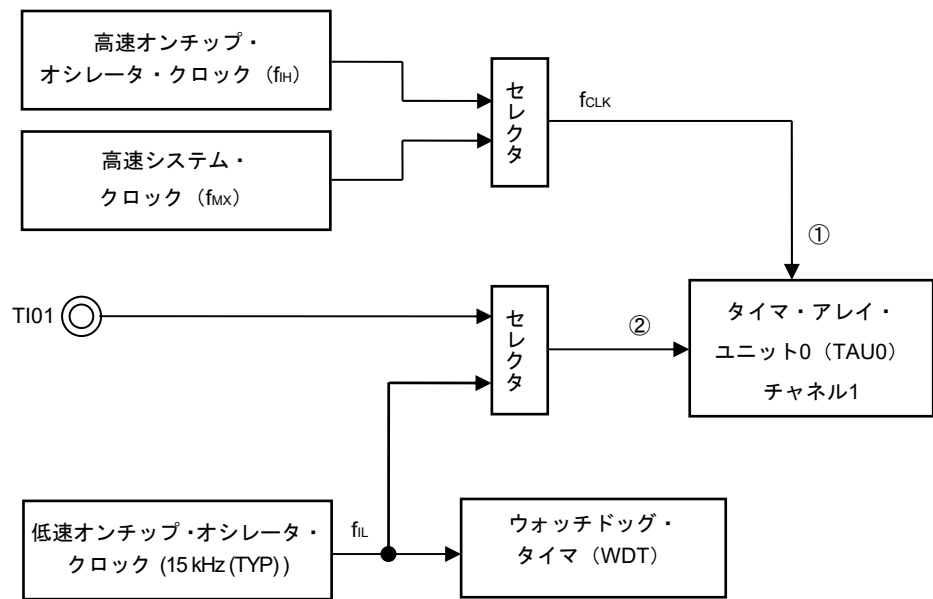
①CPU/周辺ハードウェア・クロック周波数 (f_{CLK}) :

- ・高速オンチップ・オシレータ・クロック (f_{IH})
- ・高速システム・クロック (f_{MX})

②タイマ・アレイ・ユニットのチャンネル1入力:

- ・チャンネル1のタイマ入力(TI01)
- ・低速オンチップ・オシレータ・クロック (f_{IL} : 15 kHz (TYP.))

図21-10 周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。
入力パルス間隔測定の方法については、6.8.4 入力パルス間隔測定としての動作を参照してください。

21.3.6.1 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、タイマ・アレイ・ユニット0 (TAU0) の20, 24ピン製品で、チャンネル1のタイマ入力を選択するレジスタです。

TIS0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-11 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	0	TIS01	TIS00

TIS01	TIS00	チャンネル1で使用するタイマ入力の選択
x	0	タイマ入力端子 (TI01) の入力信号
0	1	低速オンチップ・オシレータ・クロック (f_{IL})
1	1	設定禁止

備考 x : don't care

21.3.7 A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では、A/Dコンバータの+側基準電圧、-側基準電圧、アナログ入力チャネル（ANi）、温度センサ出力電圧および内部基準電圧のA/D変換を実施することで、A/Dコンバータの正常動作を確認します。確認方法の詳細は、**安全機能（A/Dテスト）アプリケーションノート（R01AN0955）**を参照してください。

また、アナログ・マルチプレクサは、以下の手順で確認できます。

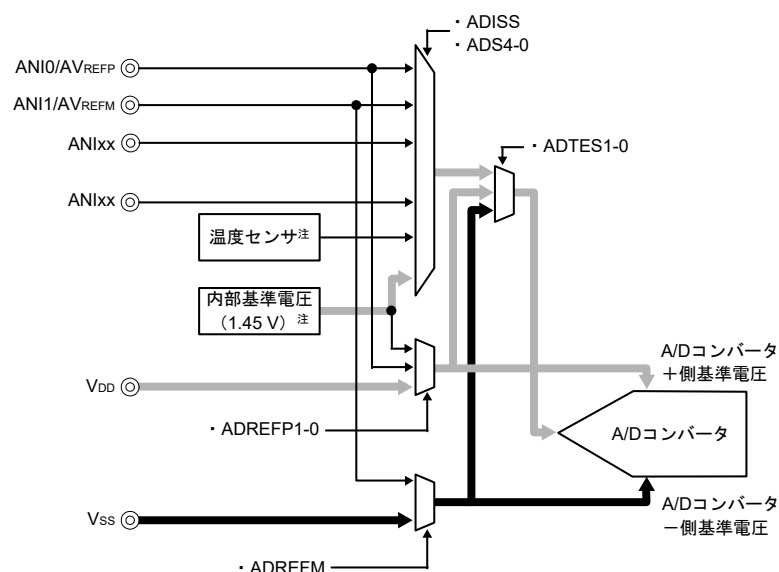
- ① ADTESレジスタでA/D変換対象にANi_x端子を選択（ADTES1, ADTES0=0,0）
- ② ANi_x端子のA/D変換を行う（変換結果1-1）。
- ③ ADTESレジスタでA/D変換対象にA/Dコンバータの-側基準電圧を選択（ADTES1, ADTES0=1,0）
- ④ A/Dコンバータの-側基準電圧のA/D変換を行う（変換結果2-1）
- ⑤ ADTESレジスタでA/D変換対象にANi_x端子を選択（ADTES1, ADTES0=0,0）
- ⑥ ANi_x端子のA/D変換を行う（変換結果1-2）
- ⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの+側基準電圧を選択（ADTES1, ADTES0=1,1）
- ⑧ A/Dコンバータの+側基準電圧のA/D変換を行う（変換結果2-2）
- ⑨ ADTESレジスタでA/D変換対象にANi_x端子を選択（ADTES1, ADTES0=0,0）
- ⑩ ANi_x端子のA/D変換を行う（変換結果1-3）
- ⑪ 「変換結果1-1」 = 「変換結果1-2」 = 「変換結果1-3」であることを確認する。
- ⑫ 「変換結果2-1」のA/D変換結果がオール0、「変換結果2-2」のA/D変換結果がオール1であることを確認する。

以上の手順で、アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

備考1. ①～⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。

2. 変換結果は誤差を含むので、変換結果を比較するときは、適切な誤差を考慮してください。

図21-12 A/Dテスト機能の構成



注 HS（高速メイン）モードでのみ選択可能です。

21.3.7.1 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、一側の基準電圧、アナログ入力チャネル (ANlxx)、温度センサ出力電圧、内部基準電圧 (1.45 V) を選択するレジスタです。

A/Dテスト機能として使用する場合は、以下の設定にします。

- ・ゼロスケールを測定するときは、A/D変換対象に一側の基準電圧を選択。
- ・フルスケールを測定するときは、A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-13 A/Dテスト・レジスタ (ADTES) のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx/温度センサ出力電圧 ^注 /内部基準電圧 (1.45 V) ^注 (アナログ入力チャネル指定レジスタ (ADS) で設定)
1	0	一側の基準電圧 (ADM2レジスタのADREFMビットで選択)
1	1	+側の基準電圧 (ADM2レジスタのADREFP1, ADREFP0ビットで選択)
上記以外		設定禁止

注 温度センサ出力電圧、内部基準電圧 (1.45 V) は、HS (高速メイン) モードでのみ選択可能です。

21. 3. 7. 2 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

A/Dテスト機能でANLxx/温度センサ出力電圧/内部基準電圧 (1.45 V) を測定するときは、A/Dテスト・レジスタ (ADTES) を00Hに設定してください。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-14 アナログ入力チャネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード (ADMD = 0) (20, 24ピン製品)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	1	0	0	0	0	ANI16	P10/ANI16端子
0	1	0	0	0	1	ANI17	P11/ANI17端子
0	1	0	0	1	0	ANI18	P12/ANI18端子
0	1	0	0	1	1	ANI19	P13/ANI19端子
0	1	0	1	0	0	ANI20	P14/ANI20端子
0	1	0	1	0	1	ANI21	P42/ANI21端子
0	1	0	1	1	0	ANI22	P41/ANI22端子
1	0	0	0	0	0	—	温度センサ出力 ^注
1	0	0	0	0	1	—	内部基準電圧出力 (1.45 V) ^注
上記以外						設定禁止	

注 HS (高速メイン) モードでのみ選択可能です。

○セレクト・モード (ADMD = 0) (30ピン製品)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	1	0	0	0	0	ANI16	P01/ANI16端子
0	1	0	0	0	1	ANI17	P00/ANI17端子
0	1	0	0	1	0	ANI18	P147/ANI18端子
0	1	0	0	1	1	ANI19	P120/ANI19端子
1	0	0	0	0	0	—	温度センサ出力 ^注
1	0	0	0	0	1	—	内部基準電圧出力 (1.45 V) ^注
上記以外						設定禁止	

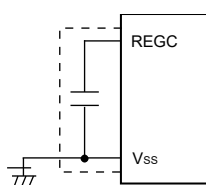
注 HS (高速メイン) モードでのみ選択可能です。

- 注意1. ビット5, 6には必ず0を設定してください。
2. ADPC, PMCレジスタでアナログ入力に設定したポートは, ポート・モード・レジスタ0, 1, 2, 4, 12, 14 (PM0, PM1, PM2, PM4, PM12, PM14) で入力モードに選択してください。
 3. A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力として設定する端子を, ADSレジスタで設定しないでください。
 4. ポート・モード・コントロール・レジスタ0, 1, 4, 12, 14 (PMC0, PMC1, PMC4, PMC12, PMC14) でデジタル入出力として設定する端子を, ADSレジスタで設定しないでください。
 5. ADISSビットを書き換える場合は, 必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。
 6. AV_{REFP} をA/Dコンバータの+側の基準電圧として使用している場合, ANI0をA/D変換チャネルとして選択しないでください。
 7. AV_{REFM} をA/Dコンバータの-側の基準電圧として使用している場合, ANI1をA/D変換チャネルとして選択しないでください。
 8. ADISS = 1を設定した場合, +側の基準電圧に内部基準電圧 (1.45 V) は使用できません。また, ADISS = 1に設定後, 1回目の変換結果は使用できません。詳細設定フローは, 10. 7. 4温度センサ出力電圧/内部基準電圧を選択時の設定を参照してください。
 9. STOPモードへ移行する場合は, ADISS = 1に設定しないでください。ADISS = 1設定時は, 28. 3. 2 電源電流特性に示すA/Dコンバータ基準電圧電流 (I_{ADREF}) の電流値が加算されます。

第22章 レギュレータ

22.1 レギュレータの概要

RL78/G12の30ピン製品は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ（0.47～1 μ F）を介し、V_{SS}に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は、表22-1のようになります。

表22-1 レギュレータ出力電圧条件

モード	出力電圧	条 件
LS（低速メイン）モード	1.8 V	—
HS（高速メイン）モード	1.8 V	STOPモード時
	2.1 V	STOPモード以外（オンチップ・デバッグ中を含む ^注 ）

注 オンチップ・デバッグ中にSTOPモードに移行する場合、レギュレータ出力電圧は2.1 Vを継続します（1.8 Vにはなりません）。

第23章 オプション・バイト

23.1 オプション・バイトの機能

RL78/G12のフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト（000C0H-000C2H）とオンチップ・デバッグ・オプション・バイト（000C3H）で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお、機能が配置されていないビットについては、初期値から変更しないでください。

注意 オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

23.1.1 ユーザ・オプション・バイト（000C0H-000C2H）

(1) 000C0H

- ウォッチドッグ・タイマの動作
 - ・カウンタの動作許可／禁止
 - ・HALT/STOPモード時のカウンタの動作可能／停止
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウインドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込みの設定
 - ・インターバル割り込みを使用する／使用しない

(2) 000C1H

- OLVDの動作モード設定
 - ・割り込み&リセット・モード
 - ・リセット・モード
 - ・割り込みモード
 - ・LVDオフ（ $\overline{\text{RESET}}$ 端子による外部リセットを使用）
- OLVD検出レベル（ V_{LVDH} , V_{LVDL} , V_{LVD} ）の設定
- OP125/ $\overline{\text{RESET}}$ 端子の制御
 - ・P125/KR1/SI01か $\overline{\text{RESET}}$ かを選択

注意 電源立ち上がり時は、28.4 または29.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト（000C2H）の設定により変わります。

(3) 000C2H

○フラッシュの動作モード設定

使用するメイン・システム・クロック周波数(f_{MAIN}), 電源電圧(V_{DD})に応じて設定

- ・LS (低速メイン) モード
- ・HS (高速メイン) モード

○高速オンチップ・オシレータの周波数設定

- ・24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz /3 MHz/2 MHz/1 MHz (TYP.) から選択

23. 1. 2 オンチップ・デバッグ・オプション・バイト (000C3H)

○オンチップ・デバッグ動作制御

- ・オンチップ・デバッグ動作禁止／許可

○セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

- ・オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

23.2 ユーザ・オプション・バイトのフォーマット

図23-1 ユーザ・オプション・バイト (000C0H) のフォーマット

アドレス : 000C0H

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用						
0	インターバル割り込みを使用しない						
1	オーバフロー時間の75%+1/2f _{IL} 到達時にインターバル割り込みを発生する						
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間 ^{注1}					
0	0	設定禁止					
0	1	50%					
1	0	75% ^{注2}					
1	1	100%					
WDTON	ウォッチドッグ・タイマのカウンタの動作制御						
0	カウンタ動作禁止（リセット解除後、カウント停止）						
1	カウンタ動作許可（リセット解除後、カウント開始）						
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.) の場合)				
0	0	0	2 ⁶ /f _{IL} (3.71 ms)				
0	0	1	2 ⁷ /f _{IL} (7.42 ms)				
0	1	0	2 ⁸ /f _{IL} (14.84 ms)				
0	1	1	2 ⁹ /f _{IL} (29.68 ms)				
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)				
1	0	1	2 ¹³ /f _{IL} (474.89 ms)				
1	1	0	2 ¹⁴ /f _{IL} (949.79 ms)				
1	1	1	2 ¹⁶ /f _{IL} (3799.18 ms)				
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)						
0	HALT/STOPモード時、カウンタ動作停止 ^{注1}						
1	HALT/STOPモード時、カウンタ動作許可						

注1. WDSTBYON = 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウインドウ・オープン期間100%となります。

(注2.は次ページにあります。)

注2. ウィンドウ・オープン期間を75% に設定した時に、ウォッチドッグ・タイマのカウンタ・クリア（WDTE へのACHの書き込み）を行う場合、ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等、下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間($f_{IL} = 17.25 \text{ kHz (MAX.)}$ の場合)	ウィンドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	$2^6/f_{IL}$ (3.71 ms)	1.85 ms～2.51 ms
0	0	1	$2^7/f_{IL}$ (7.42 ms)	3.71 ms～5.02 ms
0	1	0	$2^8/f_{IL}$ (14.84 ms)	7.42 ms～10.04 ms
0	1	1	$2^9/f_{IL}$ (29.68 ms)	14.84 ms～20.08 ms
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)	56.36 ms～80.32 ms
1	0	1	$2^{13}/f_{IL}$ (474.89 ms)	237.44 ms～321.26 ms
1	1	0	$2^{14}/f_{IL}$ (949.79 ms)	474.89 ms～642.51 ms
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms)	1899.59 ms～2570.04 ms

備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

図23-2 ユーザ・オプション・バイト (000C1H) のフォーマット (1/2)

アドレス : 000C1H

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	PORTSELB [※]	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
V _{LVDH}		V _{LVDL}	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.98 V	1.94 V	1.84 V	0	0	1	1	0	1	0
2.09 V	2.04 V					0	1		
3.13 V	3.06 V					0	0		
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V					0	1		
3.75 V	3.67 V					0	0		
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
—			上記以外は設定禁止						

・LVDの設定 (リセット・モード)

検出電圧		オプション・バイト設定値						
V _{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.88 V	1.84 V	0	0	1	1	1	1	1
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

注 20, 24ピン製品のみ

図23-2 ユーザ・オプション・バイト (000C1H) のフォーマット (2/2)

アドレス : 000C1H

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	PORTSELB [※]	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込みモード)

検出電圧		オプション・バイト設定値						
V _{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.88 V	1.84 V	0	0	1	1	1	0	1
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

・LVDオフの設定 (RESET端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
V _{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—		上記以外は設定禁止						

・P125/KR1/SI01/RESET端子の設定 (20, 24ピン製品のみ)

PORTSELB	P125/RESET端子の制御
0	ポート機能 (P125/KR1/SI01)
1	RESET入力 (内部プルアップ抵抗が常時有効)

注 20, 24ピン製品のみ

注意1. 30ピン製品は、ビット4 (PORTSELB) には、必ず1を書き込んでください。

2. 電源立ち上がり時は、28. 4 または29. 4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト (000C2H) の設定により変わります。

備考1. × : don't care

2. LVD回路の詳細は、第20章 電圧検出回路を参照してください。
3. 検出電圧はTYP.値です。詳細は、28. 6. 4または29. 6. 4 LVD回路特性を参照してください。

図23-3 ユーザ・オプション・バイト (000C2H) のフォーマット

アドレス : 000C2H

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲 (fMAIN)	動作電圧範囲 (VDD)
1	0	LS (低速メイン) モード	1 MHz~8 MHz	1.8 V~5.5 V
1	1	HS (高速メイン) モード	1 MHz~16 MHz	2.4 V~5.5 V
			1 MHz~24 MHz	2.7 V~5.5 V
上記以外		設定禁止		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注意1. ビット5-4には、必ず10Bを書き込んでください。

2. 動作周波数範囲と動作電圧範囲は、フラッシュの各動作モードによって異なります。詳細は、28.4または29.4 AC特性を参照してください。

23.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図23-4 オンチップ・デバッグ・オプション・バイト（000C3H）のフォーマット

アドレス：000C3H

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注意 ビット7, 0（OCDENSET, OCDERSD）のみ、値を指定できます。

ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。
ただし、設定時にはビット3-1にも、必ず初期値（0, 1, 0）を設定してください。

23.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にリンク・オプションでも設定できます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	36H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	2AH	; VLVDLに1.84 Vを選択 ; VLVDHに1.94 Vを選択 ; LVDの動作モードに割り込み&リセット・モードを選択 ; RESET入力を使用せず
	DB	ADH	; フラッシュの動作モードにLS（低速メイン）モード, 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
	DB	85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。

第24章 フラッシュ・メモリ

RL78マイクロコントローラは、プログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能な“コード・フラッシュ”と、データ格納領域の“データ・フラッシュ”があります。



注 R5F103製品では使用不可領域になります。

フラッシュ・メモリのプログラミング方法は、次のとおりです。

コード・フラッシュ・メモリは、フラッシュ・メモリ・プログラマまたは外部デバイス（UART通信）によるシリアル・プログラミングもしくは、セルフ・プログラミングで書き換えることができます。

- ・フラッシュ・メモリ・プログラマによるシリアル・プログラミング（**24.4**参照）

専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。

- ・外部デバイス（UART通信）によるシリアル・プログラミング（**24.2**参照）

外部デバイス（マイコンやASIC）とのUART通信を使用してオンボード上で書き込みができます。

- ・セルフ・プログラミング（**24.6**参照）

フラッシュ・セルフ・プログラミング・ライブラリを利用して、ユーザ・アプリケーション上でコード・フラッシュ・メモリの自己書き換えができます^注。

注 R5F10266とR5F10366は、セルフ・プログラミング機能は使用できません。

データ・フラッシュ・メモリは、データ・フラッシュ・ライブラリを利用して、ユーザ・プログラム実行中に書き換えることができます（バックグラウンド・オペレーション）。データ・フラッシュへのアクセスや書き込みについては、**24.8 データ・フラッシュ**を参照してください。

24.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- ・ PG-FP5, PG-FP6
- ・ E1, E2, E2 Lite, E20オンチップ・デバッグ・エミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装する前に専用プログラム・アダプタなどでフラッシュ・メモリに書き込みます。

表24-1 RL78/G12と専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号		
信号名		入出力	端子機能		20ピン	24ピン	30ピン
PG-FP5, PG-FP6	E1, E2, E2 Lite, E20 オンチップ・デバッグ ング・エミュレータ				SSOP	WQFN (4×4)	SSOP
—	TOOL0	入出力	送受信信号	TOOL0/ P40	4	24	5
SI/RxD	—	入出力	送受信信号				
—	RESET	出力	リセット信号	RESET	5	1	6
/RESET	—	出力					
V _{DD} ^{注2}		入出力	V _{DD} 電圧生成／電源監視	V _{DD}	10	6	12
GND		—	グランド	V _{SS}	9	5	11
				REGC ^{注1}	—	—	10
FLMD1	EMV _{DD}	—	TOOL0端子駆動電源	V _{DD}	10	6	12

注1. REGC端子は、コンデンサ（0.47～1 μF）を介してグランドに接続してください。

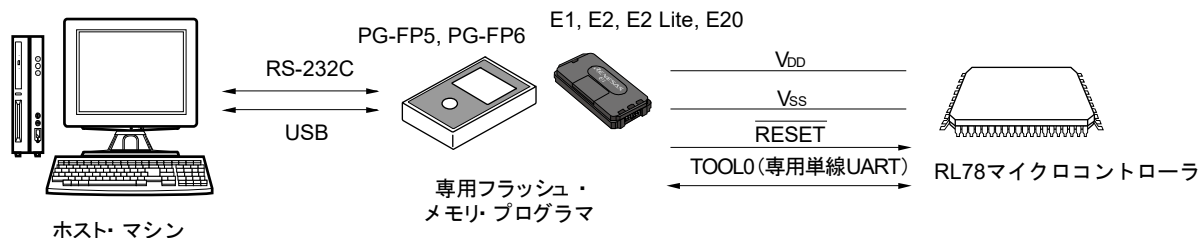
2. PG-FP6の信号名はV_{CC}です。

備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

24.1.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図24-1 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

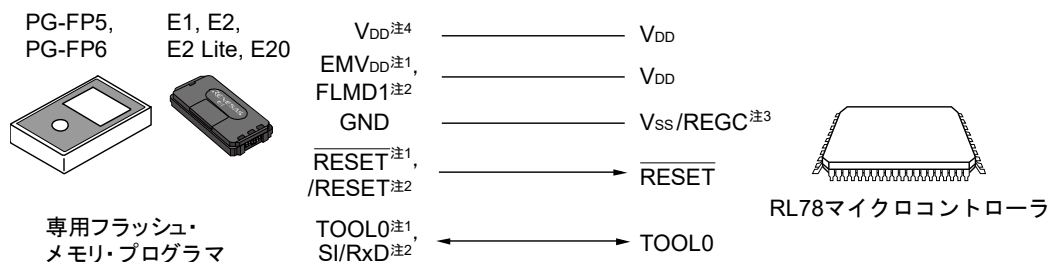
また、専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインタフェースはTOOL0端子を使用して、専用の単線UARTで書き込み／消去の操作を行います。

24.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート： 1 M, 500 k, 250 k, 115.2 kbps

図24-2 専用フラッシュ・メモリ・プログラマとの通信



注1. E1, E2, E2 Lite, E20オンチップ・デバッグ・エミュレータ使用時。

2. PG-FP5, PG-FP6使用時。

3. REGC端子は、コンデンサ（0.47～1 μF）を介してグランドに接続してください（30ピン製品のみ）。

4. PG-FP6の信号名はVccです。

専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細はPG-FP5, PG-FP6またはE1, E2, E2 Lite, E20オンチップ・デバッグ・エミュレータのマニュアルを参照してください。

表24-2 端子接続一覧

専用フラッシュ・メモリ・プログラマ			RL78マイクロコントローラ	
信号名		入出力	端子機能	端子名
PG-FP5, PG-FP6	E1, E2, E2 Lite, E20 オンチップ・デバッグ ング・エミュレータ			
V _{DD} ^{注2}		入出力	V _{DD} 電圧生成／電圧監視	V _{DD}
GND		—	グラウンド	V _{SS} , REGC ^{注1}
FLMD1	EMV _{DD}	—	TOOL0端子駆動電源	V _{DD}
/RESET	—	出力	リセット信号	RESET
—	RESET	出力		
—	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	—	入出力	送受信信号	

注1. REGC端子は、コンデンサ（0.47～1 μ F）を介してグラウンドに接続してください（30ピン製品のみ）。

2. PG-FP6の信号名はVccです。

注意 接続先端子は、製品によって異なります。詳細は、表24-1を参照してください。

24.2 外部デバイス（UART内蔵）によるシリアル・プログラミング

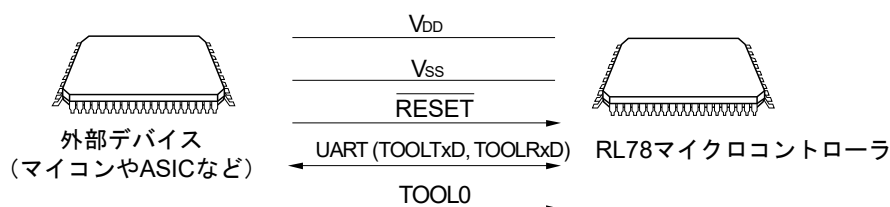
オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス（マイコンやASIC）を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラマの開発については、RL78マイクロコントローラ（RL78プロトコルA）プログラマ編 アプリケーション・ノート（R01AN0815）を参照してください。

24.2.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図24-3 フラッシュ・メモリにプログラムを書き込むための環境



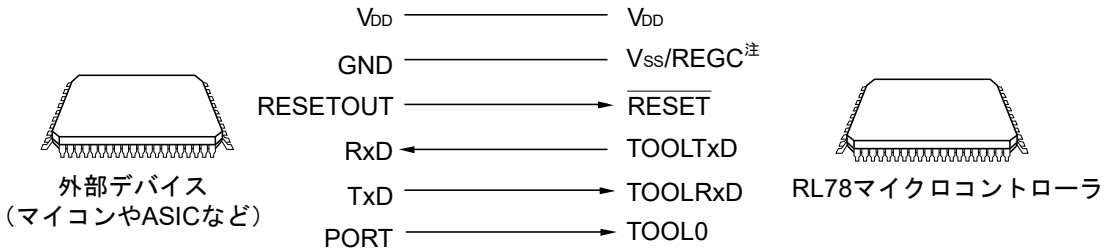
外部デバイスからRL78マイクロコントローラに書き込み／消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

24. 2. 2 通信方式

外部デバイスとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOLTxD, TOOLRxD端子を使用して、専用のUARTによるシリアル通信で行います。

転送レート： 1 M, 500 k, 250 k, 115.2 kbps

図24-4 外部デバイスとの通信



注 REGC端子は、コンデンサ（0.47～1 μF）を介してグランドに接続してください（30ピン製品のみ）。

外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表24-3 端子接続一覧

外部デバイス			RL78マイクロコントローラ
信号名	入出力	端子機能	端子名
VDD	入出力	VDD電圧生成／電圧監視	VDD
GND	—	グランド	Vss, REGC ^注
RESETOUT	出力	リセット信号出力	RESET
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注 REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください（30ピン製品のみ）。

24.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、**24.4.2 フラッシュ・メモリ・プログラミング・モード**を参照してください。

24.3.1 P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 k Ω の抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合、以下の方法で使用してください。

入力時：外部リセット解除時から t_{HD} の期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500 k Ω 以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は、500 k Ω 以上の抵抗を使用してください。

備考1. t_{HD} ：フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部リセット解除からTOOL0端子をロウ・レベルに保持する時間。**28.10 または29.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング**を参照してください。

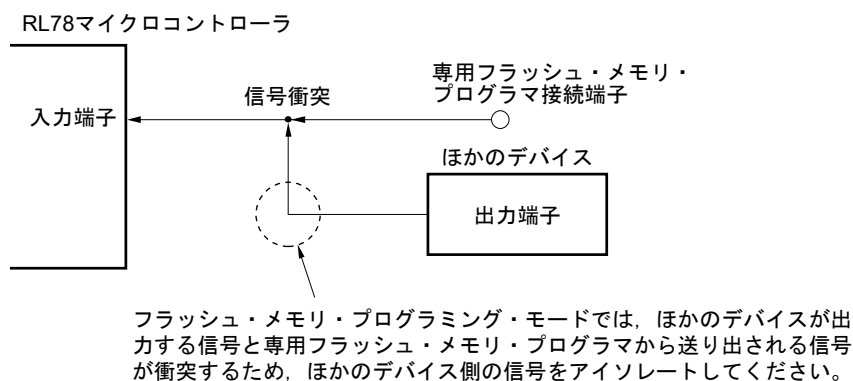
2. RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線UART（TOOL0端子）を使用するので、SAUやIICAの端子は使用しません。

24.3.2 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図24-5 信号の衝突 (RESET端子)



24.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介して V_{DD} に接続するか、もしくは抵抗を介して V_{SS} に接続するなどの端子処理が必要です。

24.3.4 REGC端子

REGC端子は、通常動作時と同様に、特性の良いコンデンサ（ $0.47 \sim 1 \mu\text{F}$ ）を介し、GNDに接続してください（30ピン製品のみ）。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

24.3.5 X1, X2端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速オンチップ・オシレータ・クロック（ f_{IH} ）を使用します。

24.3.6 電 源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は、 V_{DD} 端子はフラッシュ・メモリ・プログラマの $V_{DD}^{\#}$ に、 V_{SS} 端子はフラッシュ・メモリ・プログラマのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただしフラッシュ・メモリ・プログラマによる書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、 V_{DD} , V_{SS} 端子はフラッシュ・メモリ・プログラマの $V_{DD}^{\#}$, GNDと必ず接続してください。

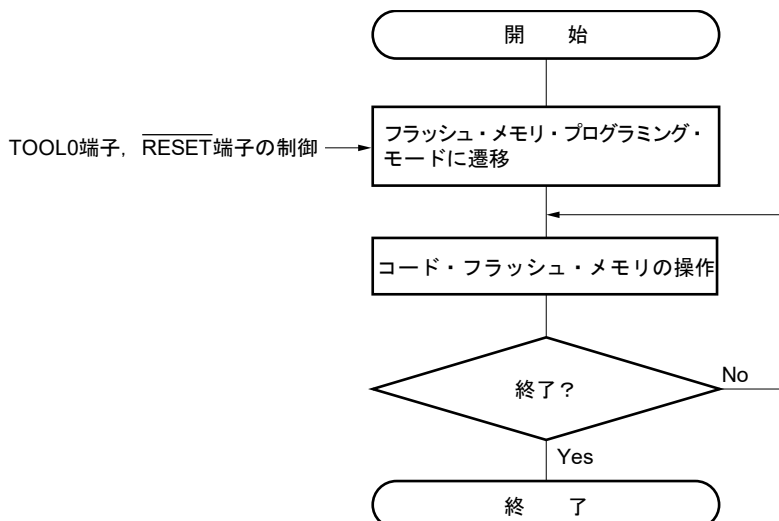
注 PG-FP6の信号名は V_{CC} です。

24.4 シリアル・プログラミング方法

24.4.1 シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図24-6 コード・フラッシュ・メモリの操作手順



24.4.2 フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

<専用フラッシュ・メモリ・プログラマを使用してプログラミングする場合>

RL78マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

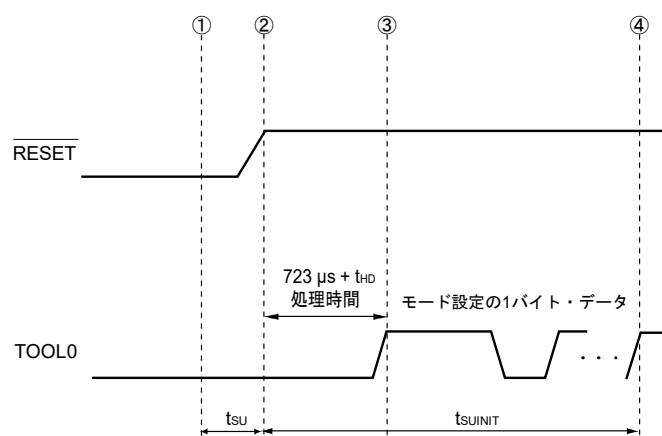
<外部デバイス（UART通信）を使用してシリアル・プログラミングする場合>

TOOL0端子をロウ・レベルに設定後、リセットを解除します（表24-4 参照）。その後、図24-7に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は、RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）を参照してください。

表24-4 リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
V _{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図24-7 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 $t_{SUIINIT}$: この区間では、リセット解除から100 ms 以内に初期設定通信を完了してください。
 t_{SU} : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間
 t_{HD} : 外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

詳細は、28. 10 または29. 10 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

フラッシュ・メモリ・プログラミング・モードには、ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は、書き込み時マイコンに供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお、専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合は、GUI上で電圧設定を行うことでモードが自動選択されます。

表24-5 プログラミング・モードと書き込み／消去／ベリファイ実行可能電圧

電源電圧 (V_{DD})	フラッシュ・メモリ・プログラミング・モード 引き込み時のオプション・バイトの設定		フラッシュ書き換えモード
	フラッシュ動作モード	動作周波数	
$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	ブランク状態		フルスピード・モード
	HS（高速メイン）モード	1 MHz～24 MHz	フルスピード・モード
	LS（低速メイン）モード	1 MHz～8 MHz	ワイド・ボルテージ・モード
$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$	ブランク状態		フルスピード・モード
	HS（高速メイン）モード	1 MHz～16 MHz	フルスピード・モード
	LS（低速メイン）モード	1 MHz～8 MHz	ワイド・ボルテージ・モード
$1.8\text{ V} \leq V_{DD} < 2.4\text{ V}$	ブランク状態		ワイド・ボルテージ・モード
	LS（低速メイン）モード	1 MHz～8 MHz	ワイド・ボルテージ・モード

(備考は次ページにあります。)

- 備考1. ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み／消去／ベリファイを行ううえで制限事項はありません。
2. 通信コマンドの詳細は、24.4.4 通信コマンドを参照してください。

24.4.3 通信方式

RL78マイクロコントローラの通信方式は、次のようになります。

表24-6 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
単線UART (フラッシュ・メモリ・プログラマ 使用時、または外部デバイス使用 時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
UART0 (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

24.4.4 通信コマンド

RL78マイクロコントローラは、表24-7に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。詳細は、RL78マイクロコントローラ (RL78プロトコルA) プログラマ編アプリケーション・ノート (R01AN0815) を参照してください。

表24-7 フラッシュ・メモリ制御用コマンド

分 類	コマンド名称	機 能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランク・チェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます ^注 。
情報取得	Silicon Signature	RL78マイクロコントローラ情報 (品名、フラッシュ・メモリ構成、ファームウェア・バージョンなど) を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止に設定できないため、データが消去されていない場合は、データを書き込まないでください。

“Silicon Signature”コマンドを実行することで製品情報（品名、ファームウェア・バージョン）を取得することができます。

表24-8にシグネチャ・データ一覧、表24-9にシグネチャ・データの例を示します。

表24-8 シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名（ASCIIコード）	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス アドレス下位から送信されます。 例 00000H-03FFFFH (16KB) → FFH, 3FH, 00H	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 F1000H-F17FFFH (2 KB) → FFH, 17H, 0FH)	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 バージョンの上位から送信されます。 例 Ver. 1. 23 → 01H, 02H, 03H	3バイト

表24-9 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ（16進数）
デバイス・コード	RL78プロトコルA	3バイト	10 00 06
デバイス名	R5F102AA	10バイト	52 = “R” 35 = “5” 46 = “F” 31 = “1” 30 = “0” 32 = “2” 41 = “A” 41 = “A” 20 = “ ” 20 = “ ”
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-03FFFFH (16KB)	3バイト	FF FF 00
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F17FFFH (2 KB)	3バイト	FF 17 0F
ファームウェア・バージョン	Ver. 1. 23 → 01H, 02H, 03H)	3バイト	01 02 03

24.5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間 (参考値)

専用フラッシュ・メモリ・プログラマとしてPG-FP5, PG-FP6を使用した場合の各コマンド処理時間（参考値）を次に示します。

表24-10 PG-FP5使用時の各コマンド処理時間（参考値）

PG-FP5のコマンド	コード・フラッシュ					単位
	2 Kバイト	4 Kバイト	8 Kバイト	12 Kバイト	16 Kバイト	
消去	0.5	0.5	1	1	1.5	S
書き込み	1	1	1	1.5	1.5	S
ベリファイ	1	1	1	1	1.5	S
消去後、書き込み	1	1	1	1.5	2	S

備考 コマンド処理時間（参考値）はTYP.値です。次に条件を示します。

Port : TOOL0（単線UART）

Speed : 1,000,000 bps

Mode : フルスピード・モード（フラッシュ動作モード：HS（高速メイン）モード）

表24-11 PG-FP6使用時の各コマンド処理時間（参考値）

PG-FP6のコマンド	コード・フラッシュ					単位
	2 Kバイト	4 Kバイト	8 Kバイト	12 Kバイト	16 Kバイト	
消去	0.6	0.7	0.7	0.7	0.7	S
書き込み	0.5	0.5	0.6	0.7	0.8	S
ベリファイ	0.4	0.5	0.5	0.6	0.7	S
消去後、書き込み	0.8	0.9	1.0	1.1	1.2	S

備考 コマンド処理時間（参考値）はTYP.値です。次に条件を示します。

Port : TOOL0（単線UART）

Speed : 1,000,000 bps

Mode : フルスピード・モード（フラッシュ動作モード：HS（高速メイン）モード）

24.6 セルフ・プログラミング

RL78マイクロコントローラは、ユーザ・プログラムでコード・フラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでコード・フラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

注意1. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア（0）されている状態でフラッシュ・セルフ・プログラミング・ライブラリを実行してください。

割り込みを許可する場合は、EI命令によりIEフラグがセット（1）されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア（0）して、フラッシュ・セルフ・プログラミング・ライブラリを実行してください。

2. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作（HIOSTOP=0）させ、30 μ s経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。
3. R5F10266とR5F10366は、セルフ・プログラミング機能は使用できません。
4. RL78/G12は、ブート・スワップ機能に対応していません。

備考 セルフ・プログラミング機能の詳細は、RL78マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル（R01US0050）を参照してください。

また、セルフ・プログラミング機能には、フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション・バイト000C2HのCMODE1, CMODE0で設定したフラッシュの動作モードに合わせて、いずれかのモードを設定してください。

HS（高速メイン）モード設定時はフルスピード・モードに、LS（低速メイン）モード設定時はワイド・ボルテージ・モードに設定してください。

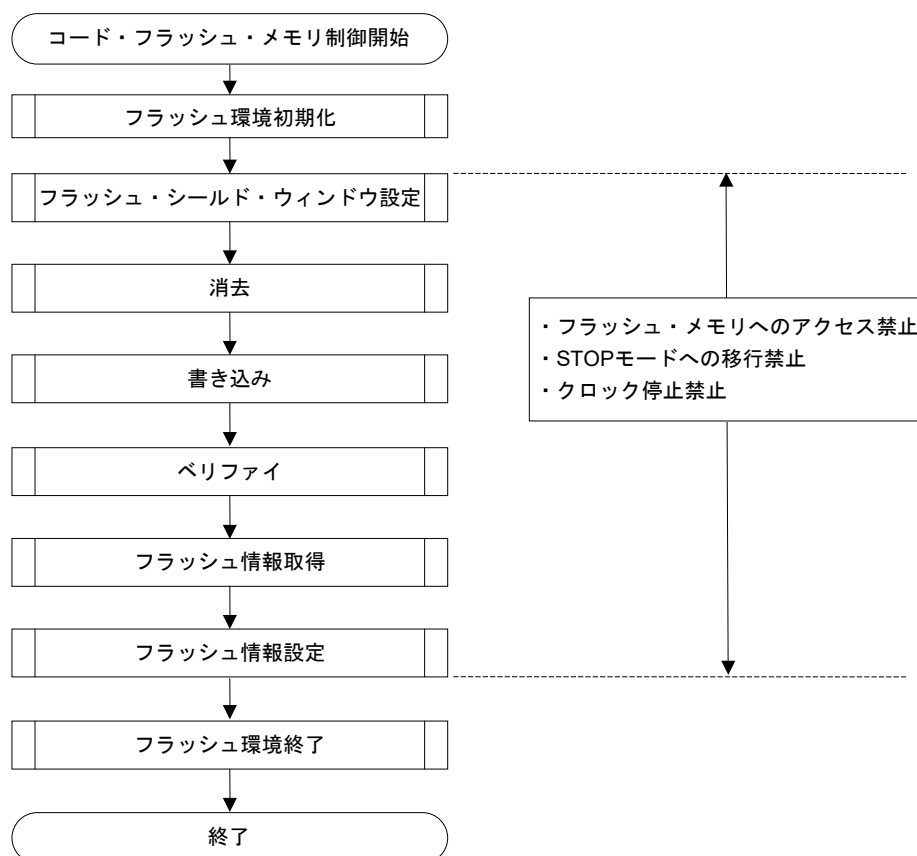
当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数“FSL_Init”実行時に、引数である“fsl_flash_voltage_u08”が00Hであればフルスピード・モードに、00H以外であればワイド・ボルテージ・モードに設定されます。

備考 ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み／消去／ベリファイを行ううえで制限事項はありません。

24. 6. 1 セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してコード・フラッシュ・メモリの書き換えを行う流れを示します。

図24-8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



24. 6. 2 フラッシュ・シールド・ウインドウ機能

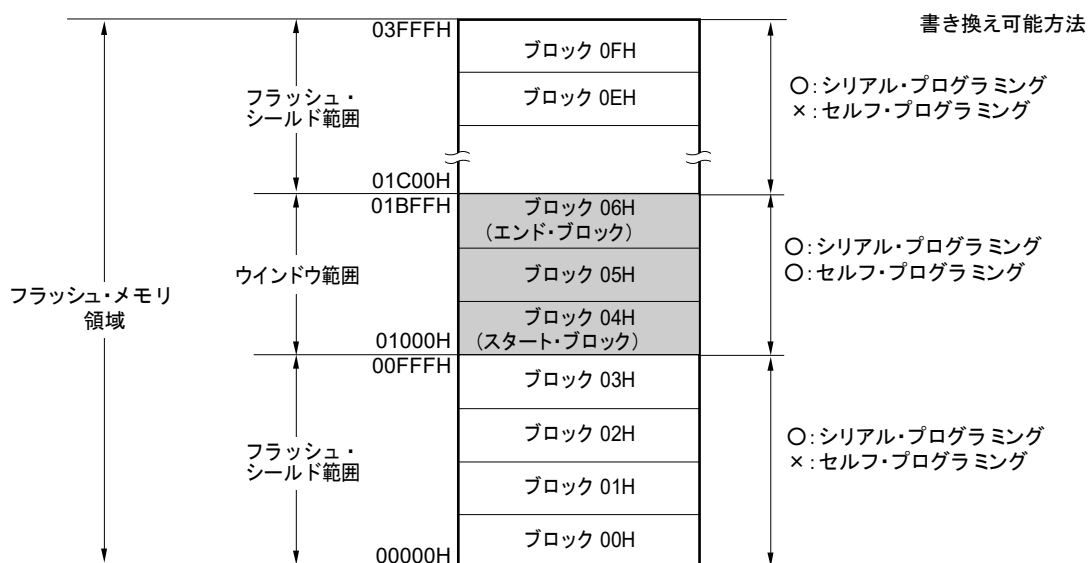
セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、シリアル・プログラミングでのみ設定／変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み／消去禁止となります。ただし、シリアル・プログラミング時にはウインドウとして指定した範囲外にも書き込み／消去可能です。

図24-9 フラッシュ・シールド・ウインドウの設定例

(対象デバイス：R5F1026A, スタート・ブロック：04H, エンド・ブロック：06Hの場合)



注意1. フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。

2. フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です（データ・フラッシュは対応していません）。

表24-12 フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 シリアル・プログラミング時の書き込み／消去を禁止したい場合には、24. 7 セキュリティ設定を参照してください。

24.7 セキュリティ設定

RL78マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。

- ・ブロック消去禁止

シリアル・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- ・書き込み禁止

シリアル・プログラミング時に、コード・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

書き込み禁止に設定後、Security Releaseコマンドによる解除はリセットで有効になります。

- ・ブート・クラスタ0の書き換え禁止

コード・フラッシュ・メモリ内のブート・クラスタ0（00000H-00FFFH）に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

出荷時の初期状態では、ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表24-13に示します。

注意 ただし、専用フラッシュ・ライタのセキュリティ機能は、セルフ・プログラミングに対応していません。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウインドウ機能を使います（詳細は24.6.2を参照）。

表24-13 セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる ^注
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は24. 6. 2を参照）。

表24-14 各プログラミング・モード時のセキュリティ設定方法

シリアル・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

注意 “書き込み禁止”設定の解除は、“ブロック消去禁止”、“ブート・クラスタ0の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ領域、データ・フラッシュ領域がブランクの場合のみ可能です。

24.8 データ・フラッシュ

24.8.1 データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- ・データ・フラッシュ・ライブラリを利用することにより、ユーザ・プログラムでデータ・フラッシュ・メモリの書き換えが可能。詳細は、**RL78ファミリ データ・フラッシュ・ライブラリ ユーザーズ・マニュアル**を参照してください。
- ・専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- ・データ・フラッシュは、1ブロック = 1 Kバイト単位で消去
- ・データ・フラッシュは、8ビット単位でのみアクセス可能
- ・データ・フラッシュは、CPU命令で直接読み出し可能
- ・データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行は可能（バックグラウンド・オペレーション（BGO）対応）
- ・データ・フラッシュは、データ専用領域のため、データ・フラッシュからの命令実行は禁止
- ・コード・フラッシュの書き換え中（セルフ・プログラミング時）に、データ・フラッシュにアクセスすることは禁止
- ・データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止
- ・データ・フラッシュの書き換え中に、STOPモード状態に遷移することは禁止

注意1. リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ（DFLCTL）を必ず設定してください。

2. R5F10266のみ、データ・フラッシュの書き換え中は、割り込み禁止です。

DI命令によりIEフラグがクリア（0）されている状態でデータ・フラッシュ・ライブラリを実行してください。

3. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ、30 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

備考 ユーザ・プログラムでのコード・フラッシュ・メモリの書き換えに関しては、**24.6 セルフ・プログラミング**を参照してください。

24. 8. 2 データ・フラッシュを制御するレジスタ

24. 8. 2. 1 データ・フラッシュ・コントロール・レジスタ (DFLCTL)

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。
DFLCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図24-10 データ・フラッシュ・コントロール・レジスタ (DFLCTL) のフォーマット

アドレス : F0090H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュのアクセス制御
0	データ・フラッシュのアクセス禁止
1	データ・フラッシュのアクセス許可

注意 データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止です。

24. 8. 3 データ・フラッシュへのアクセス手順

リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュへアクセスするには、以下の手順で初期設定を行う必要があります。

- ① データ・フラッシュ・コントロール・レジスタ (DFLCTL) のビット0 (DFLEN) に“1”を設定する。
- ② ソフトウェア・タイマなどでセットアップ時間をウエイトする。
 セットアップ時間はメイン・クロックの各フラッシュの動作モードによって異なります。
 <各フラッシュの動作モードでのセットアップ時間>

・ HS (高速メイン) モード時	: 5 μ s
・ LS (低速メイン) モード時	: 720 ns
- ③ セットアップ時間のウエイト完了後、データ・フラッシュへのアクセスが可能となります。

注意1. セットアップ時間中のデータ・フラッシュへのアクセスは禁止です。

2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は、DFLEN = 0に設定してから、STOP命令を実行してください。
3. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作 (HIOSTOP = 0) させ、30 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

初期設定後は、CPU命令による読み出し、またはデータ・フラッシュ・ライブラリによる読み出し／書き換えが可能です。

ただし、データ・フラッシュ・アクセス時にDMAコントローラが動作する場合は、次のいずれかの手順に従って実施してください。

(A) DMAの転送保留/強制終了

データ・フラッシュを読み出す前に、使用している全てのチャンネルのDMA転送を保留してください。ただし、DWAITnビットに1を設定後、データ・フラッシュの読み出し前までに3クロック(fCLK)以上の間隔をあけてください。データ・フラッシュの読み出し後に、DWAITnビットを0に設定し転送保留を解除してください。

または、データ・フラッシュを読み出す前に、**14. 5. 5 ソフトウェアでの強制終了**の手順に従ってDMA転送を強制終了してください。DMA転送の再開はデータ・フラッシュ読み出し後に行ってください。

(B) ライブラリを使用してデータ・フラッシュにアクセス

最新のデータ・フラッシュ・ライブラリを使用して、データ・フラッシュにアクセスしてください。

(C) NOPの挿入

データ・フラッシュの読み出し命令の直前にNOP命令を挿入してください。

<例>

```
MOVW    HL, laddr16    ; RAMの読み出し
NOP                                ; データ・フラッシュのリード前にNOP命令を挿入
MOV     A,[DE]          ; データ・フラッシュの読み出し
```

ただし、C言語などの高級言語を使用している場合、1コードに対してコンパイラが2命令を生成する場合があります。この場合、データ・フラッシュの読み出し命令の直前にNOP命令が挿入されないため、

(A) または (B) にて、読み出ししてください。

備考. fCLK : CPU/周辺ハードウェア・クロック周波数

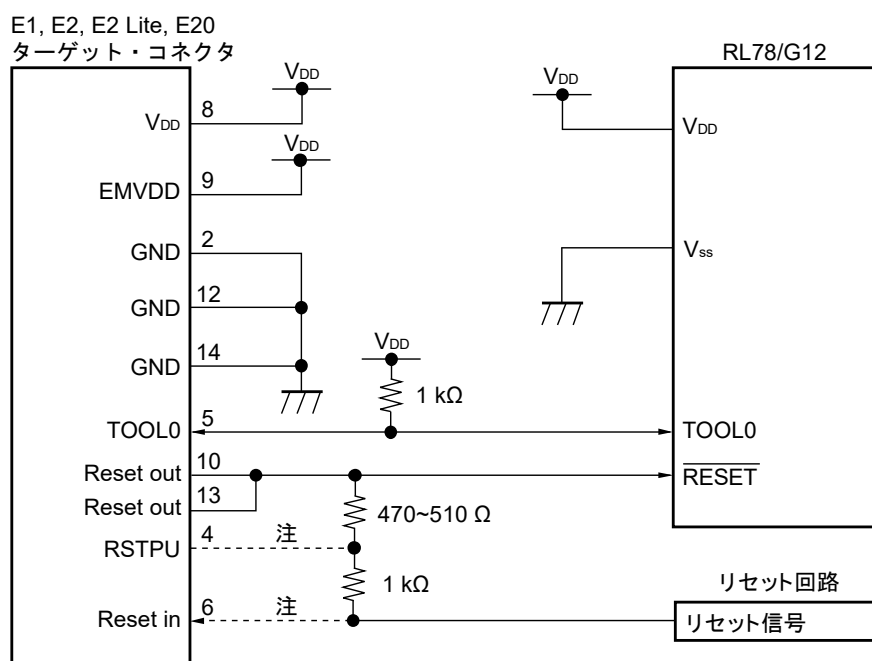
第25章 オンチップ・デバッグ機能

25.1 E1, E2, E2 Lite, E20 オンチップデバッグエミュレータとの接続

RL78マイクロコントローラは、オンチップ・デバッグ対応のE1, E2, E2 Lite, E20 オンチップデバッグエミュレータを介して、ホスト・マシンとの通信を行う場合、 V_{DD} , $\overline{RESET}$, TOOL0, V_{SS} 端子を使用します。シリアル通信としては、TOOL0端子を使用した単線UARTを使用します。

注意 RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図25-1 E1, E2, E2 Lite, E20 オンチップデバッグエミュレータとの接続例（20, 24ピン製品）



注 シリアル・プログラミング時、点線部の接続は必要ありません。

なお、20, 24ピン製品の $\overline{\text{RESET}}$ 端子をポート機能（P125）として使用するターゲット・システムでは、外部回路との接続をアイソレートしてください。

図25-2 E1, E2, E2 Lite, E20オンチップデバッグエミュレータとの接続例
（RESET端子をポート機能（P125）として使用する場合）

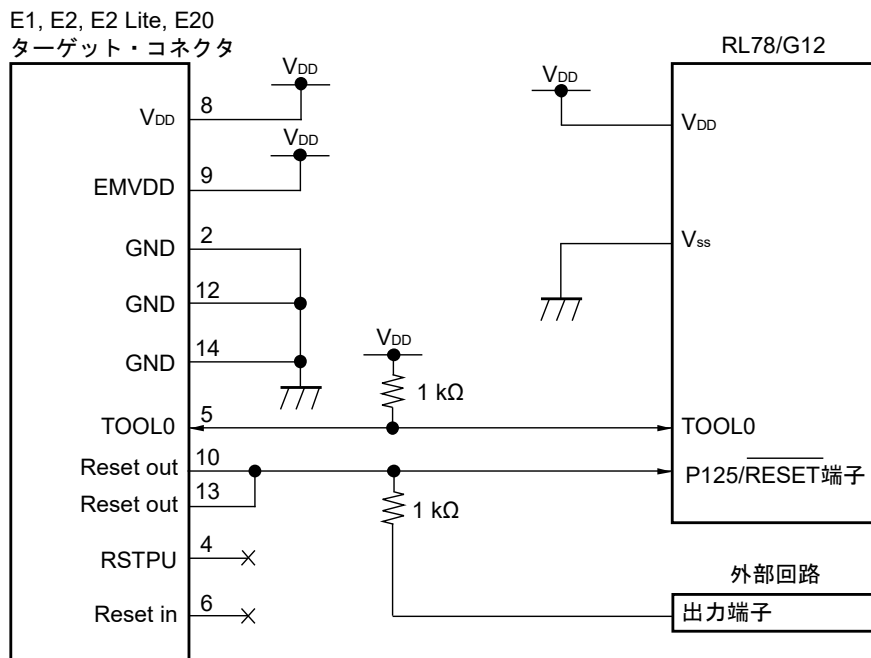
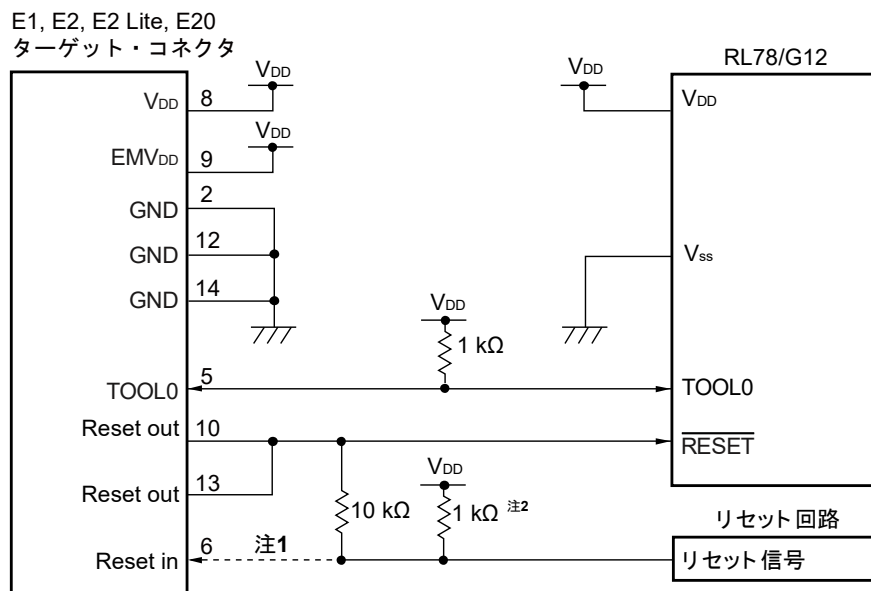


図25-3 E1, E2, E2 Lite, E20オンチップデバッグエミュレータとの接続例（30ピン製品）



注1. シリアル・プログラミング時、点線部の接続は必要ありません。

2. ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

注意 リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100 Ω以下）を想定した回路例です。

25.2 オンチップ・デバッグ・セキュリティID

RL78マイクロコントローラは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第23章 オプション・バイトを参照）を、000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

表25-1 オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード [※]

注 “FFFFFFFFFFFFFFFFFFFFH” は設定できません。

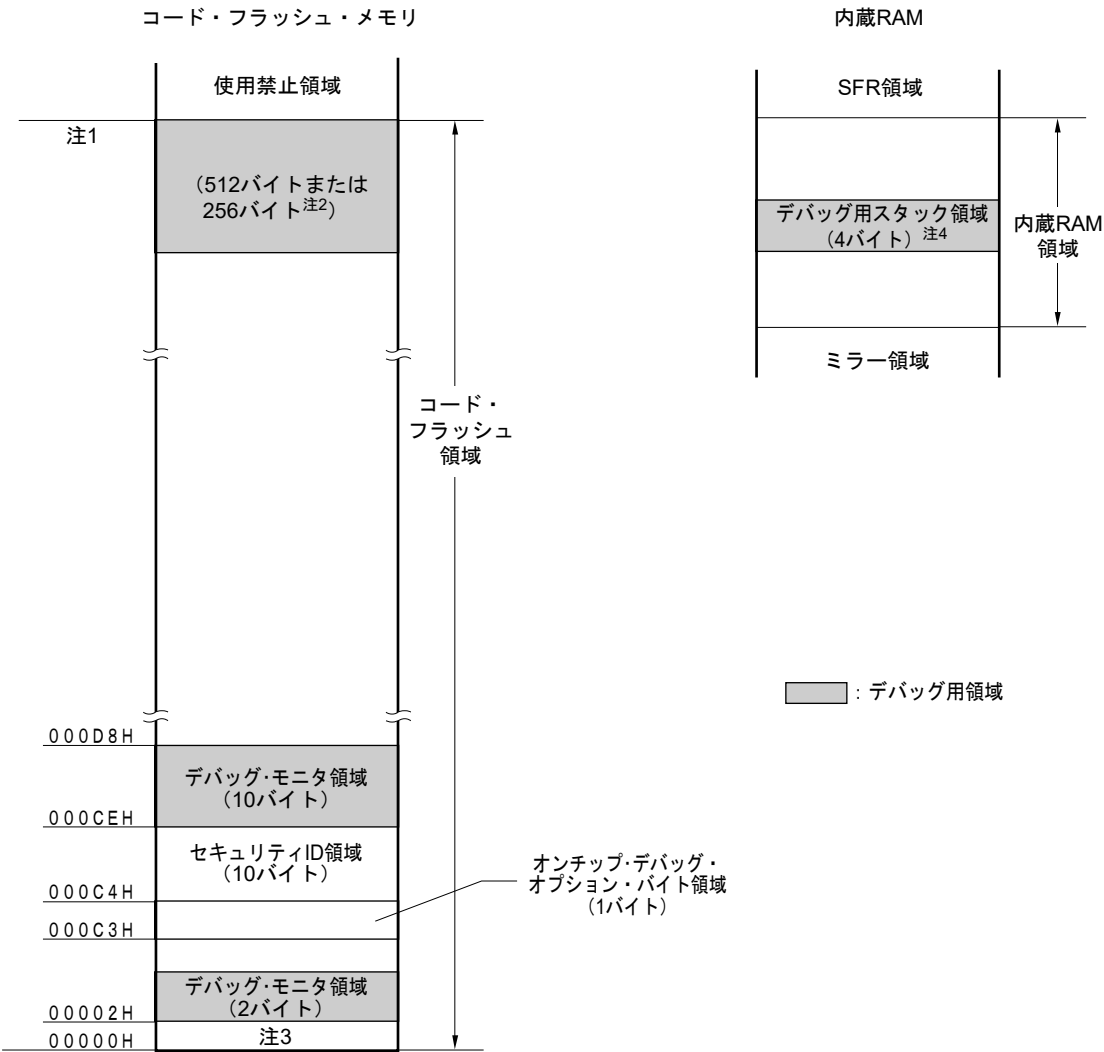
25.3 ユーザ資源の確保

RL78マイクロコントローラとE1, E2, E2 Lite, E20オンチップデバッグエミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンク・オプションで設定することもできます。

(1) メモリ空間の確保

図25-4のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図25-4 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名	注1のアドレス
R5F1266, R5F10366	007FFH
R5F10x67, R5F10x77, R5F10xA7	00FFFH
R5F10x68, R5F10x78, R5F10xA8	01FFFH
R5F10x69, R5F10x79, R5F10xA9	02FFFH
R5F10x6A, R5F10x7A, R5F10xAA	03FFFH

(x = 2, 3)

- リアルタイムRAMモニタ (RRM) 機能, Dynamic Memory Modification (DMM) 機能を使用しない場合は256バイトになります。
- デバッグ時, リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。
- この領域はスタック領域の直下に配置されるため, スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し, 4バイト余分に消費します。セルフ・プログラミングを行う場合は, 12バイト余分に消費します。

第26章 10進補正（BCD）回路

26.1 10進補正回路の機能

BCDコード（2進化10進数）とBCDコード（2進化10進数）の加減算結果を、BCDコード（2進化10進数）で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCD補正結果レジスタ（BCDADJ）を加減算することで10進補正演算結果が求められます。

26.2 10進補正回路で使用するレジスタ

10進補正回路は、次のレジスタを使用します。

- ・ BCD補正結果レジスタ（BCDADJ）

26.2.1 BCD補正結果レジスタ（BCDADJ）

BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正値が格納されます。

また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図26-1 BCD補正結果レジスタ（BCDADJ）のフォーマット

アドレス：F00FEH リセット時：不定 R

略号	7	6	5	4	3	2	1	0
BCDADJ								

26.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

- ① 加算したいBCDコード値（被加算値）をAレジスタに格納する。
- ② Aレジスタと第2オペランドの値（もう1つの加算したいBCDコード値、加算値）を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ（BCDADJ）に格納される。
- ③ Aレジスタ（2進数での加算結果）とBCDADJレジスタの値（補正値）を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW（CYフラグ、ACフラグ）は、RETI命令によって復帰されます。

例を次に示します。

例1. $99 + 89 = 188$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #99H ; ①	99H	—	—	—
ADD A, #89H ; ②	22H	1	1	66H
ADD A, !BCDADJ ; ③	88H	1	0	—

例2. $85 + 15 = 100$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #85H ; ①	85H	—	—	—
ADD A, #15H ; ②	9AH	0	0	66H
ADD A, !BCDADJ ; ③	00H	1	1	—

例3. $80 + 80 = 160$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #80H ; ①	80H	—	—	—
ADD A, #80H ; ②	00H	1	0	60H
ADD A, !BCDADJ ; ③	60H	1	0	—

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

- ① 減算されるBCDコード値 (被減算値) をAレジスタに格納する。
- ② Aレジスタから第2オペランドの値 (減算するBCDコード値, 減算値) を, そのまま2進数で減算することにより, 2進数での演算結果がAレジスタに格納され, 補正值がBCD補正結果レジスタ (BCDADJ) に格納される。
- ③ Aレジスタ (2進数での減算結果) からBCDADJレジスタの値 (補正值) を2進数で減算することにより10進補正演算を行い, AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため, ②の命令のあとは, 他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は, 割り込み関数内でAレジスタの退避, 復帰が必要となります。PSW (CYフラグ, ACフラグ) は, RETI命令によって復帰されます。

例を次に示します。

例 91-52 = 39

命 令				A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV	A, #91H		; ①	91H	—	—	—
SUB	A, #52H		; ②	3FH	0	1	06H
SUB	A, !BCDADJ		; ③	39H	0	0	—

第27章 命令セットの概要

RL78マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、**RL78マイクロコントローラ ユーザーズ・マニュアル ソフトウェア編（R01US0015）**を参照してください。

27.1 凡 例

27.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [], ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミーディエト・データ指定
- ・! : 16ビット絶対アドレス指定
- ・!! : 20ビット絶対アドレス指定
- ・\$: 8ビット相対アドレス指定
- ・\$! : 16ビット相対アドレス指定
- ・[] : 間接アドレス指定
- ・ES: : 拡張アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#, !, !!, \$, \$!, [], ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（表27-1の中のカッコ内の名称、R0, R1, R2など）のいずれの形式でも記述可能です。

表27-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ ^注 ）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル（偶数アドレスのみ ^注 ）
addr20	00000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFH イミーディエト・データまたはラベル （16ビット・データ時は偶数アドレスのみ ^注 ）
addr5	0080H-00BFH イミーディエト・データまたはラベル（偶数アドレスのみ ^注 ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3-6 **SFR一覧**を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3-7 **拡張SFR（2nd SFR）一覧**を参照してください。

27.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表27-2 オペレーション欄の記号

記 号	機 能
A	Aレジスタ : 8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア : 16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	16ビット・レジスタの場合はX _H = 上位8ビット, X _L = 下位8ビット
X _S , X _H , X _L	20ビット・レジスタの場合はX _S (ビット19-16), X _H (ビット15-8), X _L (ビット7-0)
∧	論理積 (AND)
∨	論理和 (OR)
⊕	排他的論理和 (exclusive OR)
—	反転データ
addr5	16ビット・イミディエト・データ (0080H-00BFHの偶数アドレスのみ)
addr16	16ビット・イミディエト・データ
addr20	20ビット・イミディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレースメント値)
jdisp16	符号付き16ビット・データ (ディスプレースメント値)

27.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表27-3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
×	結果にしたがってセット／リセットされる
R	以前に退避した値がリストアされる

27.1.4 PREFIX命令

ES:で示される命令は、PREFIX命令コードを頭に付けることで、アクセスできるデータ領域をF0000H-FFFFFHの64 Kバイト空間から、ESレジスタの値を付加した00000H-FFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで、PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお、PREFIX命令コードと直後の1命令の間に割り込みやDMA転送を受け付けることはありません。

表27-4 PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意 ESレジスタの値は、PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

27.2 オペレーション一覧

表27-5 オペレーション一覧 (1/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	1	—	$r \leftarrow \text{byte}$			
		PSW, #byte	3	3	—	$\text{PSW} \leftarrow \text{byte}$	×	×	×
		CS, #byte	3	1	—	$\text{CS} \leftarrow \text{byte}$			
		ES, #byte	2	1	—	$\text{ES} \leftarrow \text{byte}$			
		!addr16, #byte	4	1	—	$(\text{addr16}) \leftarrow \text{byte}$			
		ES:!addr16, #byte	5	2	—	$(\text{ES}, \text{addr16}) \leftarrow \text{byte}$			
		saddr, #byte	3	1	—	$(\text{saddr}) \leftarrow \text{byte}$			
		sfr, #byte	3	1	—	$\text{sfr} \leftarrow \text{byte}$			
		[DE+byte], #byte	3	1	—	$(\text{DE} + \text{byte}) \leftarrow \text{byte}$			
		ES:[DE+byte], #byte	4	2	—	$((\text{ES}, \text{DE}) + \text{byte}) \leftarrow \text{byte}$			
		[HL+byte], #byte	3	1	—	$(\text{HL} + \text{byte}) \leftarrow \text{byte}$			
		ES:[HL+byte], #byte	4	2	—	$((\text{ES}, \text{HL}) + \text{byte}) \leftarrow \text{byte}$			
		[SP+byte], #byte	3	1	—	$(\text{SP} + \text{byte}) \leftarrow \text{byte}$			
		word[B], #byte	4	1	—	$(\text{B} + \text{word}) \leftarrow \text{byte}$			
		ES:word[B], #byte	5	2	—	$((\text{ES}, \text{B}) + \text{word}) \leftarrow \text{byte}$			
		word[C], #byte	4	1	—	$(\text{C} + \text{word}) \leftarrow \text{byte}$			
		ES:word[C], #byte	5	2	—	$((\text{ES}, \text{C}) + \text{word}) \leftarrow \text{byte}$			
		word[BC], #byte	4	1	—	$(\text{BC} + \text{word}) \leftarrow \text{byte}$			
		ES:word[BC], #byte	5	2	—	$((\text{ES}, \text{BC}) + \text{word}) \leftarrow \text{byte}$			
		A, r 注3	1	1	—	$A \leftarrow r$			
		r, A 注3	1	1	—	$r \leftarrow A$			
		A, PSW	2	1	—	$A \leftarrow \text{PSW}$			
		PSW, A	2	3	—	$\text{PSW} \leftarrow A$	×	×	×
		A, CS	2	1	—	$A \leftarrow \text{CS}$			
		CS, A	2	1	—	$\text{CS} \leftarrow A$			
		A, ES	2	1	—	$A \leftarrow \text{ES}$			
		ES, A	2	1	—	$\text{ES} \leftarrow A$			
		A, !addr16	3	1	4	$A \leftarrow (\text{addr16})$			
		A, ES:!addr16	4	2	5	$A \leftarrow (\text{ES}, \text{addr16})$			
		!addr16, A	3	1	—	$(\text{addr16}) \leftarrow A$			
		ES:!addr16, A	4	2	—	$(\text{ES}, \text{addr16}) \leftarrow A$			
		A, saddr	2	1	—	$A \leftarrow (\text{saddr})$			
		saddr, A	2	1	—	$(\text{saddr}) \leftarrow A$			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（fCLK）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（fCLK）数。

3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表27-5 オペレーション一覧 (2/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, sfr	2	1	—	$A \leftarrow \text{sfr}$			
		sfr, A	2	1	—	$\text{sfr} \leftarrow A$			
		A, [DE]	1	1	4	$A \leftarrow (DE)$			
		[DE], A	1	1	—	$(DE) \leftarrow A$			
		A, ES:[DE]	2	2	5	$A \leftarrow (ES, DE)$			
		ES:[DE], A	2	2	—	$(ES, DE) \leftarrow A$			
		A, [HL]	1	1	4	$A \leftarrow (HL)$			
		[HL], A	1	1	—	$(HL) \leftarrow A$			
		A, ES:[HL]	2	2	5	$A \leftarrow (ES, HL)$			
		ES:[HL], A	2	2	—	$(ES, HL) \leftarrow A$			
		A, [DE+byte]	2	1	4	$A \leftarrow (DE + \text{byte})$			
		[DE+byte], A	2	1	—	$(DE + \text{byte}) \leftarrow A$			
		A, ES:[DE+byte]	3	2	5	$A \leftarrow ((ES, DE) + \text{byte})$			
		ES:[DE+byte], A	3	2	—	$((ES, DE) + \text{byte}) \leftarrow A$			
		A, [HL+byte]	2	1	4	$A \leftarrow (HL + \text{byte})$			
		[HL+byte], A	2	1	—	$(HL + \text{byte}) \leftarrow A$			
		A, ES:[HL+byte]	3	2	5	$A \leftarrow ((ES, HL) + \text{byte})$			
		ES:[HL+byte], A	3	2	—	$((ES, HL) + \text{byte}) \leftarrow A$			
		A, [SP+byte]	2	1	—	$A \leftarrow (SP + \text{byte})$			
		[SP+byte], A	2	1	—	$(SP + \text{byte}) \leftarrow A$			
		A, word[B]	3	1	4	$A \leftarrow (B + \text{word})$			
		word[B], A	3	1	—	$(B + \text{word}) \leftarrow A$			
		A, ES:word[B]	4	2	5	$A \leftarrow ((ES, B) + \text{word})$			
		ES:word[B], A	4	2	—	$((ES, B) + \text{word}) \leftarrow A$			
		A, word[C]	3	1	4	$A \leftarrow (C + \text{word})$			
		word[C], A	3	1	—	$(C + \text{word}) \leftarrow A$			
		A, ES:word[C]	4	2	5	$A \leftarrow ((ES, C) + \text{word})$			
		ES:word[C], A	4	2	—	$((ES, C) + \text{word}) \leftarrow A$			
		A, word[BC]	3	1	4	$A \leftarrow (BC + \text{word})$			
		word[BC], A	3	1	—	$(BC + \text{word}) \leftarrow A$			
		A, ES:word[BC]	4	2	5	$A \leftarrow ((ES, BC) + \text{word})$			
		ES:word[BC], A	4	2	—	$((ES, BC) + \text{word}) \leftarrow A$			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（fCLK）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（fCLK）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表27-5 オペレーション一覧 (3/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	$A \leftarrow (HL+B)$			
		[HL+B], A	2	1	—	$(HL+B) \leftarrow A$			
		A, ES:[HL+B]	3	2	5	$A \leftarrow ((ES, HL)+B)$			
		ES:[HL+B], A	3	2	—	$((ES, HL)+B) \leftarrow A$			
		A, [HL+C]	2	1	4	$A \leftarrow (HL+C)$			
		[HL+C], A	2	1	—	$(HL+C) \leftarrow A$			
		A, ES:[HL+C]	3	2	5	$A \leftarrow ((ES, HL)+C)$			
		ES:[HL+C], A	3	2	—	$((ES, HL)+C) \leftarrow A$			
		X, !addr16	3	1	4	$X \leftarrow (addr16)$			
		X, ES:!addr16	4	2	5	$X \leftarrow (ES, addr16)$			
		X, saddr	2	1	—	$X \leftarrow (saddr)$			
		B, !addr16	3	1	4	$B \leftarrow (addr16)$			
		B, ES:!addr16	4	2	5	$B \leftarrow (ES, addr16)$			
		B, saddr	2	1	—	$B \leftarrow (saddr)$			
		C, !addr16	3	1	4	$C \leftarrow (addr16)$			
		C, ES:!addr16	4	2	5	$C \leftarrow (ES, addr16)$			
		C, saddr	2	1	—	$C \leftarrow (saddr)$			
		ES, saddr	3	1	—	$ES \leftarrow (saddr)$			
	XCH	A, r ^{注3}	1 (r = X) 2 (r = X 以外)	1	—	$A \longleftrightarrow r$			
		A, !addr16	4	2	—	$A \longleftrightarrow (addr16)$			
		A, ES:!addr16	5	3	—	$A \longleftrightarrow (ES, addr16)$			
		A, saddr	3	2	—	$A \longleftrightarrow (saddr)$			
		A, sfr	3	2	—	$A \longleftrightarrow sfr$			
		A, [DE]	2	2	—	$A \longleftrightarrow (DE)$			
		A, ES:[DE]	3	3	—	$A \longleftrightarrow (ES, DE)$			
		A, [HL]	2	2	—	$A \longleftrightarrow (HL)$			
		A, ES:[HL]	3	3	—	$A \longleftrightarrow (ES, HL)$			
		A, [DE+byte]	3	2	—	$A \longleftrightarrow (DE+byte)$			
		A, ES:[DE+byte]	4	3	—	$A \longleftrightarrow ((ES, DE)+byte)$			
		A, [HL+byte]	3	2	—	$A \longleftrightarrow (HL+byte)$			
		A, ES:[HL+byte]	4	3	—	$A \longleftrightarrow ((ES, HL)+byte)$			

- 注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表27-5 オペレーション一覧 (4/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	—	$A \longleftrightarrow (HL+B)$			
		A, ES:[HL+B]	3	3	—	$A \longleftrightarrow ((ES, HL)+B)$			
		A, [HL+C]	2	2	—	$A \longleftrightarrow (HL+C)$			
		A, ES:[HL+C]	3	3	—	$A \longleftrightarrow ((ES, HL)+C)$			
	ONEB	A	1	1	—	$A \leftarrow 01H$			
		X	1	1	—	$X \leftarrow 01H$			
		B	1	1	—	$B \leftarrow 01H$			
		C	1	1	—	$C \leftarrow 01H$			
		!addr16	3	1	—	$(addr16) \leftarrow 01H$			
		ES:!addr16	4	2	—	$(ES, addr16) \leftarrow 01H$			
		saddr	2	1	—	$(saddr) \leftarrow 01H$			
	CLRB	A	1	1	—	$A \leftarrow 00H$			
		X	1	1	—	$X \leftarrow 00H$			
		B	1	1	—	$B \leftarrow 00H$			
		C	1	1	—	$C \leftarrow 00H$			
		!addr16	3	1	—	$(addr16) \leftarrow 00H$			
		ES:!addr16	4	2	—	$(ES, addr16) \leftarrow 00H$			
		saddr	2	1	—	$(saddr) \leftarrow 00H$			
	MOVS	[HL+byte], X	3	1	—	$(HL+byte) \leftarrow X$	×		×
		ES:[HL+byte], X	4	2	—	$(ES, HL+byte) \leftarrow X$	×		×
16ビット・データ転送	MOVW	rp, #word	3	1	—	$rp \leftarrow word$			
		saddrp, #word	4	1	—	$(saddrp) \leftarrow word$			
		sfrp, #word	4	1	—	$sfrp \leftarrow word$			
		AX, rp 注3	1	1	—	$AX \leftarrow rp$			
		rp, AX 注3	1	1	—	$rp \leftarrow AX$			
		AX, !addr16	3	1	4	$AX \leftarrow (addr16)$			
		!addr16, AX	3	1	—	$(addr16) \leftarrow AX$			
		AX, ES:!addr16	4	2	5	$AX \leftarrow (ES, addr16)$			
		ES:!addr16, AX	4	2	—	$(ES, addr16) \leftarrow AX$			
		AX, saddrp	2	1	—	$AX \leftarrow (saddrp)$			
		saddrp, AX	2	1	—	$(saddrp) \leftarrow AX$			
		AX, sfrp	2	1	—	$AX \leftarrow sfrp$			
		sfrp, AX	2	1	—	$sfrp \leftarrow AX$			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（fCLK）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（fCLK）数。

3. rp = AXを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表27-5 オペレーション一覧 (5/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE+byte)			
		[DE+byte], AX	2	1	—	(DE+byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE)+byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE)+byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL+byte)			
		[HL+byte], AX	2	1	—	(HL+byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL)+byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL)+byte) ← AX			
		AX, [SP+byte]	2	1	—	AX ← (SP+byte)			
		[SP+byte], AX	2	1	—	(SP+byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B+word)			
		word[B], AX	3	1	—	(B+word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B)+word)			
		ES:word[B], AX	4	2	—	((ES, B)+word) ← AX			
		AX, word[C]	3	1	4	AX ← (C+word)			
		word[C], AX	3	1	—	(C+word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C)+word)			
		ES:word[C], AX	4	2	—	((ES, C)+word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC+word)			
		word[BC], AX	3	1	—	(BC+word) ← AX			
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC)+word)			
		ES:word[BC], AX	4	2	—	((ES, BC)+word) ← AX			

- 注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表27-5 オペレーション一覧 (6/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp ^{注3}	1	1	—	AX ↔ rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
		BC	1	1	—	BC ← 0000H			
8ビット演算	ADD	A, #byte	2	1	—	A, CY ← A+byte	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr)+byte	×	×	×
		A, r ^{注4}	2	1	—	A, CY ← A+r	×	×	×
		r, A	2	1	—	r, CY ← r+A	×	×	×
		A, !addr16	3	1	4	A, CY ← A+(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A+(ES, addr16)	×	×	×
		A, saddr	2	1	—	A, CY ← A+(saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A+(HL)	×	×	×
		A, ES:[HL]	2	2	5	A, CY ← A+(ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A+(HL+byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A, CY ← A+((ES, HL)+byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A+(HL+B)	×	×	×
		A, ES:[HL+B]	3	2	5	A, CY ← A+((ES, HL)+B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A+(HL+C)	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A+((ES, HL)+C)	×	×	×

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. rp = AXを除く。

4. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表27-5 オペレーション一覧 (7/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	1	—	$A, CY \leftarrow A + \text{byte} + CY$	×	×	×
		saddr, #byte	3	2	—	$(saddr), CY \leftarrow (saddr) + \text{byte} + CY$	×	×	×
		A, r 注3	2	1	—	$A, CY \leftarrow A + r + CY$	×	×	×
		r, A	2	1	—	$r, CY \leftarrow r + A + CY$	×	×	×
		A, !addr16	3	1	4	$A, CY \leftarrow A + (\text{addr16}) + CY$	×	×	×
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A + (ES, \text{addr16}) + CY$	×	×	×
		A, saddr	2	1	—	$A, CY \leftarrow A + (saddr) + CY$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A + (HL) + CY$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (ES, HL) + CY$	×	×	×
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A + (HL + \text{byte}) + CY$	×	×	×
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((ES, HL) + \text{byte}) + CY$	×	×	×
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (HL + B) + CY$	×	×	×
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((ES, HL) + B) + CY$	×	×	×
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (HL + C) + CY$	×	×	×
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((ES, HL) + C) + CY$	×	×	×
	SUB	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte}$	×	×	×
		saddr, #byte	3	2	—	$(saddr), CY \leftarrow (saddr) - \text{byte}$	×	×	×
		A, r 注3	2	1	—	$A, CY \leftarrow A - r$	×	×	×
		r, A	2	1	—	$r, CY \leftarrow r - A$	×	×	×
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16})$	×	×	×
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (ES, \text{addr16})$	×	×	×
		A, saddr	2	1	—	$A, CY \leftarrow A - (saddr)$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A - (HL)$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (ES, HL)$	×	×	×
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (HL + \text{byte})$	×	×	×
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + \text{byte})$	×	×	×
		A, [HL+B]	2	1	4	$A, CY \leftarrow A - (HL + B)$	×	×	×
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + B)$	×	×	×
		A, [HL+C]	2	1	4	$A, CY \leftarrow A - (HL + C)$	×	×	×
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + C)$	×	×	×

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表27-5 オペレーション一覧 (8/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUBC	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte} - CY$	×	×	×
		saddr, #byte	3	2	—	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	×	×	×
		A, r 注3	2	1	—	$A, CY \leftarrow A - r - CY$	×	×	×
		r, A	2	1	—	$r, CY \leftarrow r - A - CY$	×	×	×
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16}) - CY$	×	×	×
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (ES, \text{addr16}) - CY$	×	×	×
		A, saddr	2	1	—	$A, CY \leftarrow A - (saddr) - CY$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A - (HL) - CY$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (ES, HL) - CY$	×	×	×
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (HL + \text{byte}) - CY$	×	×	×
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + \text{byte}) - CY$	×	×	×
		A, [HL+B]	2	1	4	$A, CY \leftarrow A - (HL + B) - CY$	×	×	×
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + B) - CY$	×	×	×
		A, [HL+C]	2	1	4	$A, CY \leftarrow A - (HL + C) - CY$	×	×	×
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + C) - CY$	×	×	×
	AND	A, #byte	2	1	—	$A \leftarrow A \wedge \text{byte}$	×		
		saddr, #byte	3	2	—	$(saddr) \leftarrow (saddr) \wedge \text{byte}$	×		
		A, r 注3	2	1	—	$A \leftarrow A \wedge r$	×		
		r, A	2	1	—	$r \leftarrow r \wedge A$	×		
		A, !addr16	3	1	4	$A \leftarrow A \wedge (\text{addr16})$	×		
		A, ES:!addr16	4	2	5	$A \leftarrow A \wedge (ES:\text{addr16})$	×		
		A, saddr	2	1	—	$A \leftarrow A \wedge (saddr)$	×		
		A, [HL]	1	1	4	$A \leftarrow A \wedge (HL)$	×		
		A, ES:[HL]	2	2	5	$A \leftarrow A \wedge (ES:HL)$	×		
		A, [HL+byte]	2	1	4	$A \leftarrow A \wedge (HL + \text{byte})$	×		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \wedge ((ES:HL) + \text{byte})$	×		
		A, [HL+B]	2	1	4	$A \leftarrow A \wedge (HL + B)$	×		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \wedge ((ES:HL) + B)$	×		
		A, [HL+C]	2	1	4	$A \leftarrow A \wedge (HL + C)$	×		
		A, ES:[HL+C]	3	2	5	$A \leftarrow A \wedge ((ES:HL) + C)$	×		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表27-5 オペレーション一覧 (9/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$	×		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×		
		A, r 注3	2	1	—	$A \leftarrow A \vee r$	×		
		r, A	2	1	—	$r \leftarrow r \vee A$	×		
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$	×		
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$	×		
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$	×		
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$	×		
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$	×		
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$	×		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$	×		
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL} + B)$	×		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + B)$	×		
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL} + C)$	×		
		A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + C)$	×		
	XOR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$	×		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×		
		A, r 注3	2	1	—	$A \leftarrow A \vee r$	×		
		r, A	2	1	—	$r \leftarrow r \vee A$	×		
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$	×		
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$	×		
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$	×		
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$	×		
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$	×		
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$	×		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$	×		
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL} + B)$	×		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + B)$	×		
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL} + C)$	×		
		A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + C)$	×		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表27-5 オペレーション一覧 (10/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	—	A - byte	×	×	×
		!addr16, #byte	4	1	4	(addr16) - byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16) - byte	×	×	×
		saddr, #byte	3	1	—	(saddr) - byte	×	×	×
		A, r 注3	2	1	—	A - r	×	×	×
		r, A	2	1	—	r - A	×	×	×
		A, !addr16	3	1	4	A - (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A - (ES:addr16)	×	×	×
		A, saddr	2	1	—	A - (saddr)	×	×	×
		A, [HL]	1	1	4	A - (HL)	×	×	×
		A, ES:[HL]	2	2	5	A - (ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A - (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A - (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A - (HL + C)	×	×	×
		A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	×	×	×
	CMP0	A	1	1	—	A - 00H	×	0	0
		X	1	1	—	X - 00H	×	0	0
		B	1	1	—	B - 00H	×	0	0
		C	1	1	—	C - 00H	×	0	0
		!addr16	3	1	4	(addr16) - 00H	×	0	0
		ES:!addr16	4	2	5	(ES:addr16) - 00H	×	0	0
		saddr	2	1	—	(saddr) - 00H	×	0	0
	CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	×	×	×
		X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	×	×	×

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

- コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
- r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表27-5 オペレーション一覧 (11/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット演算	ADDW	AX, #word	3	1	—	AX, CY ← AX + word	×	×	×
		AX, AX	1	1	—	AX, CY ← AX + AX	×	×	×
		AX, BC	1	1	—	AX, CY ← AX + BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX + DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX + HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX + (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX + (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX + (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX + (HL + byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX + ((ES:HL) + byte)	×	×	×
	SUBW	AX, #word	3	1	—	AX, CY ← AX − word	×	×	×
		AX, BC	1	1	—	AX, CY ← AX − BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX − DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX − HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX − (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX − (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX − (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX − (HL + byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX − ((ES:HL) + byte)	×	×	×
	CMPW	AX, #word	3	1	—	AX − word	×	×	×
		AX, BC	1	1	—	AX − BC	×	×	×
		AX, DE	1	1	—	AX − DE	×	×	×
		AX, HL	1	1	—	AX − HL	×	×	×
		AX, !addr16	3	1	4	AX − (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX − (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX − (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX − (HL + byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX − ((ES:HL) + byte)	×	×	×
乗算	MULU	X	1	1	—	AX ← A × X			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表27-5 オペレーション一覧 (12/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	—	$r \leftarrow r+1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)+1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)+1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr)+1$	×	×	
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte)+1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte)+1$	×	×	
	DEC	r	1	1	—	$r \leftarrow r-1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)-1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr)-1$	×	×	
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte) - 1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte) - 1$	×	×	
	INCW	rp	1	1	—	$rp \leftarrow rp+1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)+1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)+1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp)+1$			
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte)+1$			
		ES: [HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte)+1$			
	DECW	rp	1	1	—	$rp \leftarrow rp-1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)-1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)-1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp)-1$			
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte) - 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte) - 1$			
シフト	SHR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			×
	SHRW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			×
	SHL	A, cnt	2	1	—	$(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$			×
		B, cnt	2	1	—	$(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$			×
		C, cnt	2	1	—	$(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$			×
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$			×
		BC, cnt	2	1	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$			×
	SAR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			×
	SARW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			×

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

2. cntはビット・シフト数です。

表27-5 オペレーション一覧 (13/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローデータ	ROR	A, 1	2	1	—	$(CY, A_7 \leftarrow A_0, A_{m-1} \leftarrow A_m) \times 1$			×
	ROL	A, 1	2	1	—	$(CY, A_0 \leftarrow A_7, A_{m+1} \leftarrow A_m) \times 1$			×
	RORC	A, 1	2	1	—	$(CY \leftarrow A_0, A_7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$			×
	ROLC	A, 1	2	1	—	$(CY \leftarrow A_7, A_0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$			×
	ROLWC	AX, 1	2	1	—	$(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$			×
		BC, 1	2	1	—	$(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$			×
ビット操作	MOV1	CY, A.bit	2	1	—	$CY \leftarrow A.bit$			×
		A.bit, CY	2	1	—	$A.bit \leftarrow CY$			
		CY, PSW.bit	3	1	—	$CY \leftarrow PSW.bit$			×
		PSW.bit, CY	3	4	—	$PSW.bit \leftarrow CY$	×	×	
		CY, saddr.bit	3	1	—	$CY \leftarrow (saddr).bit$			×
		saddr.bit, CY	3	2	—	$(saddr).bit \leftarrow CY$			
		CY, sfr.bit	3	1	—	$CY \leftarrow sfr.bit$			×
		sfr.bit, CY	3	2	—	$sfr.bit \leftarrow CY$			
		CY, [HL].bit	2	1	4	$CY \leftarrow (HL).bit$			×
		[HL].bit, CY	2	2	—	$(HL).bit \leftarrow CY$			
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow (ES, HL).bit$			×
		ES:[HL].bit, CY	3	3	—	$(ES, HL).bit \leftarrow CY$			
	AND1	CY, A.bit	2	1	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \wedge (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \wedge sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \wedge (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \wedge (ES, HL).bit$			×
	OR1	CY, A.bit	2	1	—	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \vee PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \vee (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \vee sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \vee (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			×

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（fCLK）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（fCLK）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表27-5 オペレーション一覧 (14/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	—	$CY \leftarrow CY \nabla A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \nabla PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \nabla (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \nabla sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \nabla (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \nabla (ES, HL).bit$			×
	SET1	A.bit	2	1	—	$A.bit \leftarrow 1$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 1$	×	×	×
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 1$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 1$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 1$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 1$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 1$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 1$			
	CLR1	A.bit	2	1	—	$A.bit \leftarrow 0$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 0$	×	×	×
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 0$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 0$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 0$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 0$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 0$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 0$			
	SET1	CY	2	1	—	$CY \leftarrow 1$			1
	CLR1	CY	2	1	—	$CY \leftarrow 0$			0
	NOT1	CY	2	1	—	$CY \leftarrow \overline{CY}$			×

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表27-5 オペレーション一覧 (15/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
コール・リターン	CALL	rp	2	3	—	$(SP-2) \leftarrow (PC+2)_S, (SP-3) \leftarrow (PC+2)_H,$ $(SP-4) \leftarrow (PC+2)_L, PC \leftarrow CS, rp,$ $SP \leftarrow SP-4$			
		\$!addr20	3	3	—	$(SP-2) \leftarrow (PC+3)_S, (SP-3) \leftarrow (PC+3)_H,$ $(SP-4) \leftarrow (PC+3)_L, PC \leftarrow PC+3+jdisp16,$ $SP \leftarrow SP-4$			
		!addr16	3	3	—	$(SP-2) \leftarrow (PC+3)_S, (SP-3) \leftarrow (PC+3)_H,$ $(SP-4) \leftarrow (PC+3)_L, PC \leftarrow 0000, addr16,$ $SP \leftarrow SP-4$			
		!!addr20	4	3	—	$(SP-2) \leftarrow (PC+4)_S, (SP-3) \leftarrow (PC+4)_H,$ $(SP-4) \leftarrow (PC+4)_L, PC \leftarrow addr20,$ $SP \leftarrow SP-4$			
	CALLT	[addr5]	2	5	—	$(SP-2) \leftarrow (PC+2)_S, (SP-3) \leftarrow (PC+2)_H,$ $(SP-4) \leftarrow (PC+2)_L, PC_S \leftarrow 0000,$ $PC_H \leftarrow (0000, addr5+1),$ $PC_L \leftarrow (0000, addr5),$ $SP \leftarrow SP-4$			
	BRK	—	2	5	—	$(SP-1) \leftarrow PSW, (SP-2) \leftarrow (PC+2)_S,$ $(SP-3) \leftarrow (PC+2)_H, (SP-4) \leftarrow (PC+2)_L,$ $PC_S \leftarrow 0000,$ $PC_H \leftarrow (0007FH), PC_L \leftarrow (0007EH),$ $SP \leftarrow SP-4, IE \leftarrow 0$			
	RET	—	1	6	—	$PC_L \leftarrow (SP), PC_H \leftarrow (SP+1),$ $PC_S \leftarrow (SP+2), SP \leftarrow SP+4$			
	RETI	—	2	6	—	$PC_L \leftarrow (SP), PC_H \leftarrow (SP+1),$ $PC_S \leftarrow (SP+2), PSW \leftarrow (SP+3),$ $SP \leftarrow SP+4$	R	R	R
	RETB	—	2	6	—	$PC_L \leftarrow (SP), PC_H \leftarrow (SP+1),$ $PC_S \leftarrow (SP+2), PSW \leftarrow (SP+3),$ $SP \leftarrow SP+4$	R	R	R

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表27-5 オペレーション一覧 (16/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	—	(SP-1) ← PSW, (SP-2) ← 00H, SP ← SP-2			
		rp	1	1	—	(SP-1) ← rp _H , (SP-2) ← rp _L , SP ← SP-2			
	POP	PSW	2	3	—	PSW ← (SP+1), SP ← SP+2	R	R	R
		rp	1	1	—	rp _L ← (SP), rp _H ← (SP+1), SP ← SP+2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
	ADDW	SP, #byte	2	1	—	SP ← SP+byte			
	SUBW	SP, #byte	2	1	—	SP ← SP-byte			
無条件分岐	BR	AX	2	3	—	PC ← CS, AX			
		\$addr20	2	3	—	PC ← PC+2+jdisp8			
		\$!addr20	3	3	—	PC ← PC+3+jdisp16			
		!addr16	3	3	—	PC ← 0000, addr16			
		!!addr20	4	3	—	PC ← addr20			
条件付き分岐	BC	\$addr20	2	2/4注3	—	PC ← PC+2+jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4注3	—	PC ← PC+2+jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4注3	—	PC ← PC+2+jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4注3	—	PC ← PC+2+jdisp8 if Z = 0			
	BH	\$addr20	3	2/4注3	—	PC ← PC+3+jdisp8 if (ZVCY) = 0			
	BNH	\$addr20	3	2/4注3	—	PC ← PC+3+jdisp8 if (ZVCY) = 1			
	BT	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC+4+jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC+4+jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC+3+jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC+4+jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr20	3	3/5注3	6/7	PC ← PC+3+jdisp8 if (HL).bit = 1			
		ES:[HL].bit, \$addr20	4	4/6注3	7/8	PC ← PC+4+jdisp8 if (ES, HL).bit = 1			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. クロック数は“条件不成立時／条件成立時”を表しています。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表27-5 オペレーション一覧 (17/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC+3+jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5 ^{注3}	6/7	PC ← PC+3+jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	7/8	PC ← PC+4+jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC+3+jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC+3+jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	—	PC ← PC+4+jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (ZVCY) = 0			
	SKNH	—	2	1	—	Next instruction skip if (ZVCY) = 1			
	SEL ^{注4}	Rn	2	1	—	RBS[1:0] ← n			
CPU制御	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1(Enable Interrupt)			
	DI	—	3	4	—	IE ← 0(Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（fCLK）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（fCLK）数。

3. クロック数は“条件不成立時／条件成立時”を表しています。

4. nはレジスタ・バンク番号です（n = 0-3）。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

第28章 電氣的特性 ($T_A = -40 \sim +85^\circ\text{C}$)

この章では、以下の対象製品の電氣的特性を示します。

対象製品 A : 民生用途 $T_A = -40 \sim +85^\circ\text{C}$

R5F102xxAxx, R5F103xxAxx

D : 産業用途 $T_A = -40 \sim +85^\circ\text{C}$

R5F102xxDxx, R5F103xxDxx

G : 産業用途 $T_A = -40 \sim +105^\circ\text{C}$ 品を $T_A = -40 \sim +85^\circ\text{C}$ の範囲で使用する場合

R5F102xxGxx

- 注意1. RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. 製品により搭載している端子が異なります。ポート機能は2. 1 ポート機能, ポート以外の機能は2. 2. 1 製品別の搭載機能を参照してください。

28.1 絶対最大定格

(T_A = 25°C)

項 目	略 号	条 件		定 格	単 位
電源電圧	V _{DD}			-0.5～+6.5	V
REGC端子入力電圧 ^{注1}	V _{I REGC}	REGC		-0.3～+2.8 かつ -0.3～V _{DD} +0.3 ^{注2}	V
入力電圧	V _{I1}	P60, P61以外		-0.3～V _{DD} +0.3 ^{注3}	V
	V _{I2}	P60, P61 (N-chオープン・ドレイン)		-0.3～+6.5	V
出力電圧	V _O			-0.3～V _{DD} +0.3 ^{注3}	V
アナログ入力電圧	V _{AI}	20, 24ピン製品 : ANI0-ANI3, ANI16-ANI22 30ピン製品 : ANI0-ANI3, ANI16-ANI19		-0.3～V _{DD} +0.3 かつ -0.3～AV _{REF} (+)+0.3 ^{注3, 4}	V
ハイ・レベル出力電流	I _{OH1}	1端子	P20-P23以外	-40	mA
		端子合計	P20-P23以外の全端子	-170	mA
			20, 24ピン製品 : P40-P42 30ピン製品 : P00, P01, P40, P120	-70	mA
			20, 24ピン製品 : P00-P03 ^{注5} , P10-P14 30ピン製品 : P10-P17, P30, P31, P50, P51, P147	-100	mA
	I _{OH2}	1端子	P20-P23	-0.5	mA
		端子合計		-2	mA
ロウ・レベル出力電流	I _{OL1}	1端子	P20-P23以外	40	mA
		端子合計	P20-P23以外の全端子	170	mA
			20, 24ピン製品 : P40-P42 30ピン製品 : P00, P01, P40, P120	70	mA
			20, 24ピン製品 : P00-P03 ^{注5} , P10-P14, P60, P61 30ピン製品 : P10-P17, P30, P31, P50, P51, P60, P61, P147	100	mA
	I _{OL2}	1端子	P20-P23	1	mA
		端子合計		5	mA
動作周囲温度	T _A			-40～+85	℃
保存温度	T _{stg}			-65～+150	℃

注1. 30ピン製品のみ

2. REGC端子にはコンデンサ (0.47 ~ 1μF) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。
3. 6.5 V以下であること。
4. A/D変換対象の端子は、AV_{REF}(+) + 0.3を越えないでください。
5. 24ピン製品のみ

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

2. AV_{REF}(+) : A/Dコンバータの+側基準電圧
3. V_{SS}を基準電圧とする。

28.2 発振回路特性

28.2.1 X1発振回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項 目	発振子	条 件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数 (f_x) 注	セラミック発振子／	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	1.0		20.0	MHz
	水晶振動子	$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	1.0		8.0	

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC 特性を参照してください。また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックにより CPU が起動されるため、X1 クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTC レジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1 発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

28.2.2 オンチップ・オシレータ特性

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

発振子	略 号	条 件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1, 2	f_{IH}		1		24	MHz
高速オンチップ・オシレータ・クロック周波数精度		R5F102製品	$T_A = -20 \sim +85^\circ\text{C}$	-1.0	+1.0	%
			$T_A = -40 \sim -20^\circ\text{C}$	-1.5	+1.5	%
		R5F103製品		-5.0	+5.0	%
低速オンチップ・オシレータ・クロック周波数	f_{IL}			15		kHz
低速オンチップ・オシレータ・クロック周波数精度			-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H)のビット0-3とHOCODIVレジスタのビット0-2で選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

28.3 DC特性

28.3.1 端子特性

(T_A = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(1/4)

項 目	略号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流 ^{注1}	IOH1	20, 24ピン製品 : P00-P03 ^{注4} , P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147 1端子			-10.0 ^{注2}	mA
		20, 24ピン製品 : P40-P42	4.0 V ≤ V _{DD} ≤ 5.5 V		-30.0	mA
		30ピン製品 : P00, P01, P40, P120	2.7 V ≤ V _{DD} < 4.0 V		-6.0	mA
		合計 (デューティ ≤ 70%時 ^{注3})	1.8 V ≤ V _{DD} < 2.7 V		-4.5	mA
		20, 24ピン製品 : P00-P03 ^{注4} , P10-P14	4.0 V ≤ V _{DD} ≤ 5.5 V		-80.0	mA
			2.7 V ≤ V _{DD} < 4.0 V		-18.0	mA
		30ピン製品 : P10-P17, P30, P31, P50, P51, P147 合計 (デューティ ≤ 70%時 ^{注3})	1.8 V ≤ V _{DD} < 2.7 V		-10.0	mA
		全端子合計 (デューティ ≤ 70%時 ^{注3})			-100	mA
	IOH2	P20-P23 1端子			-0.1	mA
		端子合計			-0.4	mA

注1. V_{DD}端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. ただし、合計の電流値を超えないでください。

3. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

$$\text{端子合計の出力電流} = (I_{OH} \times 0.7) \div (n \times 0.01)$$

<計算例> I_{OH} = -10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) \div (80 \times 0.01) \div -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

4. 24ピン製品のみ

注意 20ピン製品のP10-P12, P41, 24ピン製品のP01, P10-P12, P41と30ピン製品のP00, P10-P15, P17, P50は、N-chオープン・ドレイン・モード時には、ハイ・レベルを出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(2/4)

項 目	略号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル出力電流 ^{注1}	I _{OL1}	20, 24ピン製品: P00-P03 ^{注4} , P10-14, P40-P42 30ピン製品: P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147 1端子			20.0 ^{注2}	mA
		P60, P61 1端子			15.0 ^{注2}	mA
		20, 24ピン製品: P40-P42	4.0 V ≤ V _{DD} ≤ 5.5 V		60.0	mA
		30ピン製品: P00, P01, P40, P120	2.7 V ≤ V _{DD} < 4.0 V		9.0	mA
		合計 (デューティ ≤ 70%時 ^{注3})	1.8 V ≤ V _{DD} < 2.7 V		1.8	mA
		20, 24ピン製品: P00-P03 ^{注4} , P10-P14, P60, P61 30ピン製品: P10-P17, P30, P31, P50, P51, P60, P61, P147 合計 (デューティ ≤ 70%時 ^{注3})	4.0 V ≤ V _{DD} ≤ 5.5 V		80.0	mA
			2.7 V ≤ V _{DD} < 4.0 V		27.0	mA
			1.8 V ≤ V _{DD} < 2.7 V		5.4	mA
		全端子合計 (デューティ ≤ 70%時 ^{注3})			140	mA
	I _{OL2}	P20-P23 1端子			0.4	mA
		全端子合計			1.6	mA

注1. 出力端子からV_{SS}端子に流れ込んでも、デバイスの動作を保証する電流値です。

2. ただし、合計の電流値を超えないでください。

3. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

$$\text{端子合計の出力電流} = (I_{OL} \times 0.7) \div (n \times 0.01)$$

<計算例> I_{OL} = 10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (10.0 \times 0.7) \div (80 \times 0.01) \div 8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

4. 24ピン製品のみ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(3/4)

項 目	略号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	V _{IH1}	通常入力バッファ 20, 24ピン製品 : P00-P03 ^{※2} , P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	0.8V _{DD}		V _{DD}	V
	V _{IH2}	TTL入力バッファ 20, 24ピン製品 : P10, P11 30ピン製品 : P01, P10, P11, P13-P17	4.0 V ≤ V _{DD} ≤ 5.5 V	2.2	V _{DD}	V
			3.3 V ≤ V _{DD} < 4.0 V	2.0	V _{DD}	V
			1.8 V ≤ V _{DD} < 3.3 V	1.5	V _{DD}	V
	V _{IH3}	P20-P23	0.7V _{DD}		V _{DD}	V
	V _{IH4}	P60, P61	0.7V _{DD}		6.0	V
	V _{IH5}	P121, P122, P125 ^{※1} , P137, EXCLK, RESET	0.8V _{DD}		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	通常入力バッファ 20, 24ピン製品 : P00-P03 ^{※2} , P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	0		0.2V _{DD}	V
	V _{IL2}	TTL入力バッファ 20, 24ピン製品 : P10, P11 30ピン製品 : P01, P10, P11, P13-P17	4.0 V ≤ V _{DD} ≤ 5.5 V	0	0.8	V
			3.3 V ≤ V _{DD} < 4.0 V	0	0.5	V
			1.8 V ≤ V _{DD} < 3.3 V	0	0.32	V
	V _{IL3}	P20-P23	0		0.3V _{DD}	V
	V _{IL4}	P60, P61	0		0.3V _{DD}	V
	V _{IL5}	P121, P122, P125 ^{※1} , P137, EXCLK, RESET	0		0.2V _{DD}	V
ハイ・レベル出力電圧	V _{OH1}	20, 24ピン製品 : P00-P03 ^{※2} , P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	4.0 V ≤ V _{DD} ≤ 5.5 V, I _{OH1} = -10.0 mA	V _{DD} -1.5		V
			4.0 V ≤ V _{DD} ≤ 5.5 V, I _{OH1} = -3.0 mA	V _{DD} -0.7		V
			2.7 V ≤ V _{DD} ≤ 5.5 V, I _{OH1} = -2.0 mA	V _{DD} -0.6		V
			1.8 V ≤ V _{DD} ≤ 5.5 V, I _{OH1} = -1.5 mA	V _{DD} -0.5		V
	V _{OH2}	P20-P23	I _{OH2} = -100 μA	V _{DD} -0.5		V

注1. 20, 24ピン製品のみ

2. 24ピン製品のみ

注意 20ピン製品のP10-P12, P41, 24ピン製品のP01, P10-P12, P41と30ピン製品のP00, P10-15, P17, P50は、N-chオープン・ドレイン・モード時でもV_{IH}の最大値 (MAX.) はV_{DD}です。
また、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40~+85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(4/4)

項 目	略号	条 件		MIN.	TYP.	MAX.	単 位
ロウ・レベル出力電圧	V _{OL1}	20, 24ピン製品 : P00-P03※, P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	4.0 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 20.0 mA			1.3	V
			4.0 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 8.5 mA			0.7	V
			2.7 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 3.0 mA			0.6	V
			2.7 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 1.5 mA			0.4	V
			1.8 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 0.6 mA			0.4	V
	V _{OL2}	P20-P23	I _{OL2} = 400 μA			0.4	V
	V _{OL3}	P60, P61	4.0 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 15.0 mA			2.0	V
			4.0 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 5.0 mA			0.4	V
			2.7 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 3.0 mA			0.4	V
			1.8 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 2.0 mA			0.4	V
ハイ・レベル入力リーク電流	I _{LIH1}	P121, P122以外	V _I = V _{DD}			1	μA
	I _{LIH2}	P121, P122 (X1, X2/EXCLK)	V _I = V _{DD} 入力ポート時, 外部クロック入力時			1	μA
			発振子接続時			10	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P121, P122以外	V _I = V _{SS}			-1	μA
	I _{LIL2}	P121, P122 (X1, X2/EXCLK)	V _I = V _{SS} 入力ポート時, 外部クロック入力時			-1	μA
			発振子接続時			-10	μA
内蔵プルアップ抵抗	R _U	20, 24ピン製品 : P00-P03※, P10-P14, P40-P42, P125, RESET 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	V _I = V _{SS} , 入力ポート時	10	20	100	kΩ

注 24ピン製品のみ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

28.3.2 電源電流特性

(1) 20, 24ピン製品

(T_A = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(1/2)

項 目	略号	条 件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	動作モード	HS(高速メイン)モード ^{注4}	f _{IH} = 24 MHz ^{注3}	基本動作	V _{DD} = 5.0 V		1.5		mA
						V _{DD} = 3.0 V		1.5		
					通常動作	V _{DD} = 5.0 V		3.3	5.0	mA
						V _{DD} = 3.0 V		3.3	5.0	
						f _{IH} = 16 MHz ^{注3}	V _{DD} = 5.0 V		2.5	3.7
			V _{DD} = 3.0 V		2.5		3.7			
			LS(低速メイン)モード ^{注4}	f _{IH} = 8 MHz ^{注3}	V _{DD} = 3.0 V		1.2	1.8	mA	
					V _{DD} = 2.0 V		1.2	1.8		
				HS(高速メイン)モード ^{注4}	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		2.8	4.4	mA
			発振子接続				3.0	4.6		
		f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力				2.8	4.4	mA	
			発振子接続				3.0	4.6		
		f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力			1.8	2.6	mA		
			発振子接続			1.8	2.6			
		f _{MX} = 10 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力			1.8	2.6	mA		
			発振子接続			1.8	2.6			
		LS(低速メイン)モード ^{注4}	f _{MX} = 8 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		1.1	1.7	mA		
				発振子接続		1.1	1.7			
			f _{MX} = 8 MHz ^{注2} , V _{DD} = 2.0 V	方形波入力		1.1	1.7	mA		
				発振子接続		1.1	1.7			

注 1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

2. 高速オンチップ・オシレータ停止時。

3. 高速システム・クロック停止時。

4. 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。

HS(高速メイン)モード： V_{DD} = 2.7 ~ 5.5 V @ 1 MHz ~ 24 MHz

V_{DD} = 2.4 ~ 5.5 V @ 1 MHz ~ 16 MHz

LS(低速メイン)モード： V_{DD} = 1.8 ~ 5.5 V @ 1 MHz ~ 8 MHz

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

3. TYP.値の温度条件は、T_A = 25°Cです。

(1) 20, 24ピン製品

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

(2/2)

項 目	略号	条 件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD2} ^{注2}	HALTモード	HS(高速メイン)モード ^{注6}	f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V		440	1210	μA	
					V _{DD} = 3.0 V		440	1210		
				f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V		400	950	μA	
					V _{DD} = 3.0 V		400	950		
				LS(低速メイン)モード ^{注6}	f _{IH} = 8 MHz ^{注4}	V _{DD} = 3.0 V		270	542	μA
						V _{DD} = 2.0 V		270	542	
			HS(高速メイン)モード ^{注6}	f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力		280	1000	μA	
					発振子接続		450	1170		
				f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		280	1000	μA	
					発振子接続		450	1170		
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力		190	590	μA	
					発振子接続		260	660		
		f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V		方形波入力		190	590	μA		
				発振子接続		260	660			
		LS(低速メイン)モード ^{注6}	f _{MX} = 8 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		110	360	μA		
				発振子接続		150	416			
			f _{MX} = 8 MHz ^{注3} , V _{DD} = 2.0 V	方形波入力		110	360	μA		
				発振子接続		150	416			
	I _{DD3} ^{注5}	STOPモード	T _A = -40°C					0.19	0.50	μA
			T _A = +25°C					0.24	0.50	
			T _A = +50°C					0.32	0.80	
			T _A = +70°C					0.48	1.20	
			T _A = +85°C					0.74	2.20	

注1. V_{DD} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

2. フラッシュ・メモリでのHALT命令実行時。
 3. 高速オンチップ・オシレータ停止時。
 4. 高速システム・クロック停止時。
 5. 12ビット・インターバル・タイマ, ウォッチドッグ・タイマに流れる電流は含みません。
 6. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
- HS(高速メイン)モード: $V_{DD} = 2.7 \sim 5.5 \text{ V@}1 \text{ MHz} \sim 24 \text{ MHz}$
 $V_{DD} = 2.4 \sim 5.5 \text{ V@}1 \text{ MHz} \sim 16 \text{ MHz}$
- LS(低速メイン)モード: $V_{DD} = 1.8 \sim 5.5 \text{ V@}1 \text{ MHz} \sim 8 \text{ MHz}$

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
3. STOPモード以外のTYP.値の温度条件は、 $T_A = 25^\circ\text{C}$ です。

(2) 30ピン製品

(T_A = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(1/2)

項 目	略号	条 件			MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I _{DD1}	動作モード	HS(高速メイン)モード ^{注4}	f _{IH} = 24 MHz ^{注3}	基本動作	V _{DD} = 5.0 V	1.5	mA
						V _{DD} = 3.0 V	1.5	
				f _{IH} = 16 MHz ^{注3}	通常動作	V _{DD} = 5.0 V	3.7	mA
						V _{DD} = 3.0 V	3.7	
			LS(低速メイン)モード ^{注4}	f _{IH} = 8 MHz ^{注3}		V _{DD} = 5.0 V	2.7	mA
						V _{DD} = 3.0 V	2.7	
				f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V		V _{DD} = 5.0 V	1.2	mA
						V _{DD} = 2.0 V	1.2	
			HS(高速メイン)モード ^{注4}	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V		方形波入力	3.0	mA
						発振子接続	3.2	
				f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V		方形波入力	3.0	mA
						発振子接続	3.2	
				f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V		方形波入力	1.9	mA
						発振子接続	1.9	
				f _{MX} = 10 MHz ^{注2} , V _{DD} = 3.0 V		方形波入力	1.9	mA
						発振子接続	1.9	
			LS(低速メイン)モード ^{注4}	f _{MX} = 8 MHz ^{注2} , V _{DD} = 3.0 V		方形波入力	1.1	mA
						発振子接続	1.1	
				f _{MX} = 8 MHz ^{注2} , V _{DD} = 2.0 V		方形波入力	1.1	mA
						発振子接続	1.1	

注 1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

2. 高速オンチップ・オシレータ停止時。

3. 高速システム・クロック停止時。

4. 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。

HS(高速メイン)モード： V_{DD} = 2.7 ~ 5.5 V @ 1 MHz ~ 24 MHz

V_{DD} = 2.4 ~ 5.5 V @ 1 MHz ~ 16 MHz

LS(低速メイン)モード： V_{DD} = 1.8 ~ 5.5 V @ 1 MHz ~ 8 MHz

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

3. TYP.値の温度条件は、T_A = 25°Cです。

(2) 30ピン製品

(T_A = -40~+85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(2/2)

項 目	略号	条 件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD2} ^{注2}	HALTモード	HS(高速メイン)モード ^{注6}	f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V		440	1280	μA	
					V _{DD} = 3.0 V		440	1280		
				f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V		400	1000	μA	
					V _{DD} = 3.0 V		400	1000		
			LS(低速メイン)モード ^{注6}	f _{IH} = 8 MHz ^{注4}	V _{DD} = 3.0 V		260	530	μA	
					V _{DD} = 2.0 V		260	530		
			HS(高速メイン)モード ^{注6}	f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力		280	1000	μA	
					発振子接続		450	1170		
		f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V		方形波入力		280	1000	μA		
				発振子接続		450	1170			
		f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V		方形波入力		190	600	μA		
				発振子接続		260	670			
		f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V		方形波入力		190	600	μA		
				発振子接続		260	670			
		LS(低速メイン)モード ^{注6}	f _{MX} = 8 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		95	330	μA		
				発振子接続		145	380			
			f _{MX} = 8 MHz ^{注3} , V _{DD} = 2.0 V	方形波入力		95	330	μA		
				発振子接続		145	380			
	I _{DD3} ^{注5}	STOPモード	T _A = -40°C					0.18	0.50	μA
			T _A = +25°C					0.23	0.50	
			T _A = +50°C					0.30	1.10	
			T _A = +70°C					0.46	1.90	
			T _A = +85°C					0.75	3.30	

注 1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

2. フラッシュ・メモリでのHALT命令実行時。

3. 高速オンチップ・オシレータ停止時。

4. 高速システム・クロック停止時。

5. 12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

6. 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。

HS(高速メイン)モード : V_{DD} = 2.7~5.5 V@1 MHz~24 MHz

V_{DD} = 2.4~5.5 V@1 MHz~16 MHz

LS(低速メイン)モード : V_{DD} = 1.8~5.5 V@1 MHz~8 MHz

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

3. STOPモード以外のTYP.値の温度条件は、T_A = 25°Cです。

(3) 周辺機能 (全製品共通)

(T_A = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I _{FIL} ^{注1}			0.20		μA
12ビット・インターバル・タイマ動作電流	I _{TMKA} ^{注1, 2, 3}			0.02		μA
ウォッチドッグ・タイマ動作電流	I _{WDT} ^{注1, 2, 4}	f _{IL} = 15 kHz		0.22		μA
A/Dコンバータ動作電流	I _{ADC} ^{注1, 5}	最高速変換時				
		標準モード, AV _{REFP} = V _{DD} = 5.0 V		1.30	1.70	mA
		低電圧モード, AV _{REFP} = V _{DD} = 3.0 V		0.50	0.70	mA
A/Dコンバータ基準電圧動作電流	I _{ADREF} ^{注1}			75.0		μA
温度センサ動作電流	I _{TMPS} ^{注1}			75.0		μA
LVD動作電流	I _{LVD} ^{注1, 6}			0.08		μA
セルフ・プログラミング動作電流	I _{FSP} ^{注1, 8}			2.00	12.20	mA
BGO電流	I _{BGO} ^{注1, 7}			2.00	12.20	mA
SNOOZE動作電流	I _{SNOZ} ^{注1}	ADC動作				
		モード移行中 ^{注9}		0.50	0.60	mA
		変換動作中 低電圧モード, AV _{REFP} = V _{DD} = 3.0 V		1.20	1.44	mA
		簡易SPI (CSI) /UART動作		0.70	0.84	mA

注1. V_{DD}に流れる電流です。

- 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
- 12ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ動作電流は含みません)。12ビット・インターバル・タイマの動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{FIL}とI_{TMKA}を加算した値が, RL78マイクロコントローラの電源電流値となります。
- ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が, RL78マイクロコントローラの電源電流値となります。
- A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでA/Dコンバータの動作時は, I_{DD1}またはI_{DD2}にI_{ADC}を加算した値が, RL78マイクロコントローラの電源電流値となります。
- LVD回路にのみ流れる電流です。LVD回路の動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{LVD}を加算した値が, RL78マイクロコントローラの電源電流値となります。
- データ・フラッシュ書き換え動作に流れる電流です。
- セルフ・プログラミング動作に流れる電流です。
- SNOOZEモードへの移行時間は, 17. 3. 3 SNOOZEモードを参照してください。

備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数

- TYP.値の温度条件は, T_A = 25°Cです。

28.4 AC特性

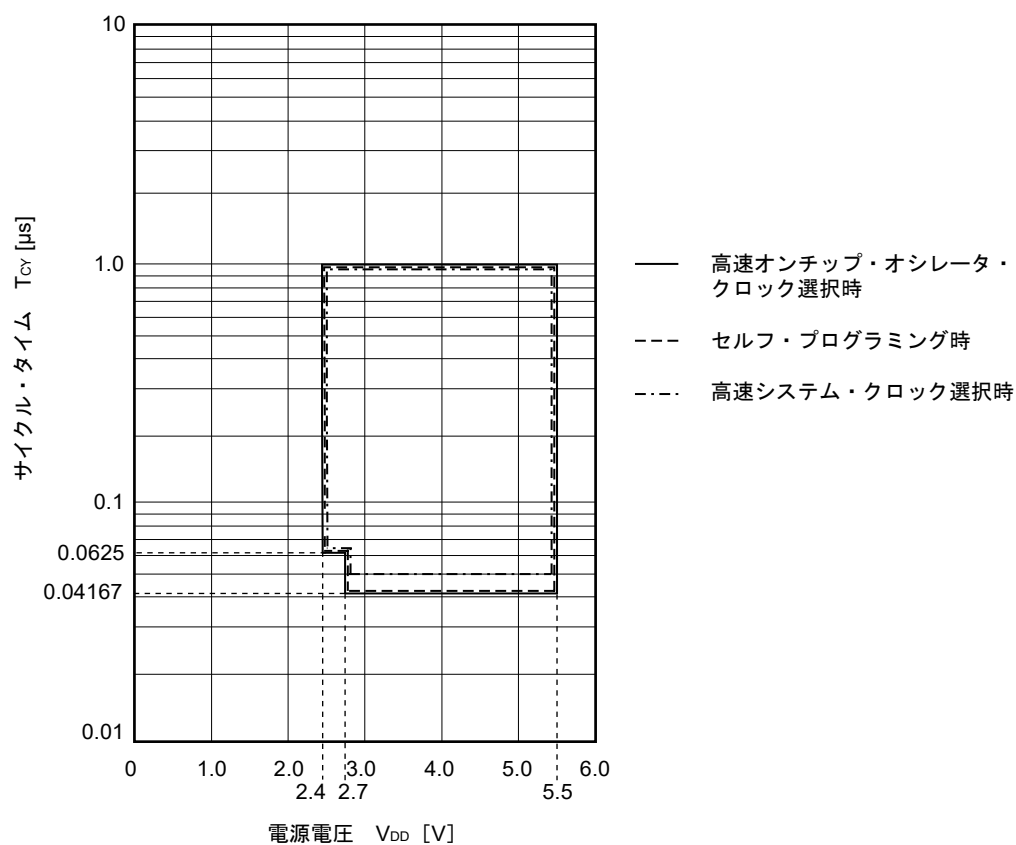
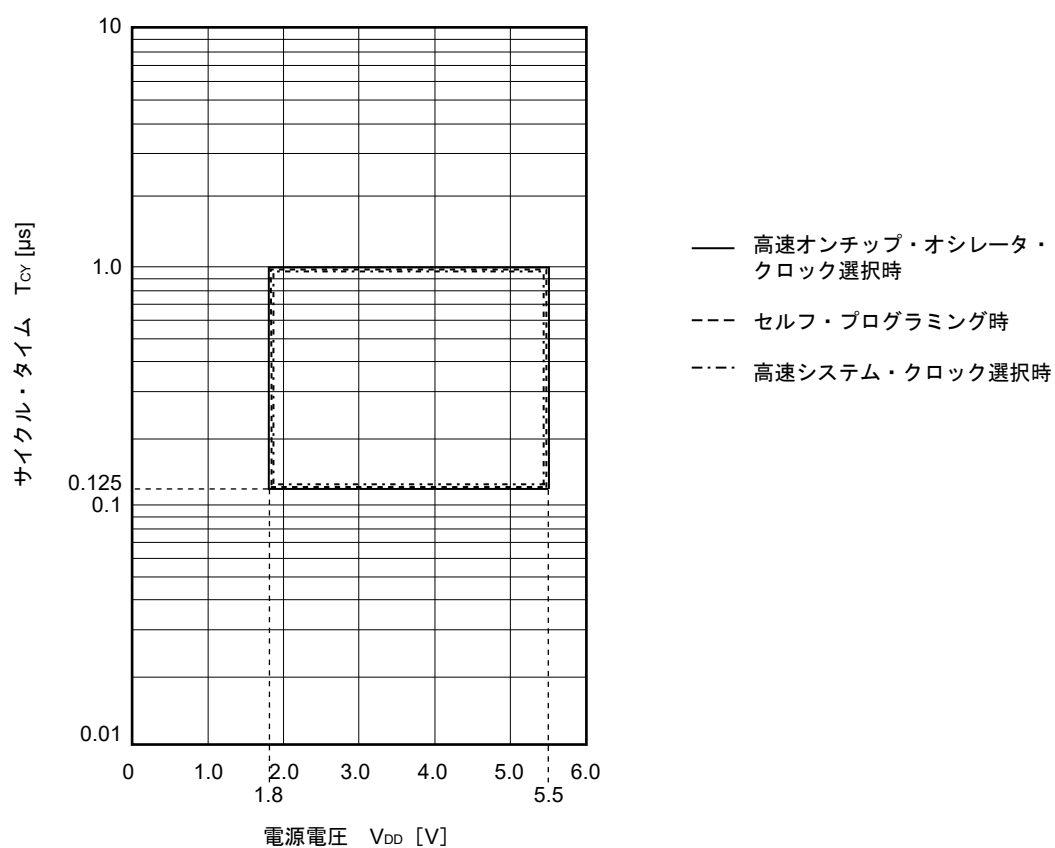
($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単 位
命令サイクル (最小命令実行時間)	T_{CY}	メイン・システム・ クロック (f_{MAIN}) 動作 モード	HS (高速メイン) 2.7 V $\leq V_{DD} \leq 5.5\text{ V}$	0.04167	1	μs
			2.4 V $\leq V_{DD} < 2.7\text{ V}$	0.0625	1	μs
		LS (低速メイン) モード	1.8 V $\leq V_{DD} \leq 5.5\text{ V}$	0.125	1	μs
	セルフ・ プログラミング時	HS (高速メイン) モード	2.7 V $\leq V_{DD} \leq 5.5\text{ V}$	0.04167	1	μs
			2.4 V $\leq V_{DD} < 2.7\text{ V}$	0.0625	1	μs
		LS (低速メイン) モード	1.8 V $\leq V_{DD} \leq 5.5\text{ V}$	0.125	1	μs
外部メイン・システム・ クロック周波数	f_{EX}	2.7 V $\leq V_{DD} \leq 5.5\text{ V}$	1.0		20.0	MHz
		2.4 V $\leq V_{DD} < 2.7\text{ V}$	1.0		16.0	MHz
		1.8 V $\leq V_{DD} < 2.4\text{ V}$	1.0		8.0	MHz
外部メイン・システム・ クロック入力ハイ/ロウ・ レベル幅	t_{EXH}	2.7 V $\leq V_{DD} \leq 5.5\text{ V}$	24			ns
	t_{EXL}	2.4 V $\leq V_{DD} < 2.7\text{ V}$	30			ns
		1.8 V $\leq V_{DD} < 2.4\text{ V}$	60			ns
TI00-TI07入力ハイ/ロウ・ レベル幅	t_{TIH} , t_{TIL}		$1/f_{MCK} + 10$			ns
TO00-TO07出力周波数	f_{TO}	4.0 V $\leq V_{DD} \leq 5.5\text{ V}$			12	MHz
		2.7 V $\leq V_{DD} < 4.0\text{ V}$			8	MHz
		1.8 V $\leq V_{DD} < 2.7\text{ V}$			4	MHz
PCLBUZ0, PCLBUZ1 出力周波数	f_{PCL}	4.0 V $\leq V_{DD} \leq 5.5\text{ V}$			16	MHz
		2.7 V $\leq V_{DD} < 4.0\text{ V}$			8	MHz
		1.8 V $\leq V_{DD} < 2.7\text{ V}$			4	MHz
INTP0-INTP5入力 ハイ/ロウ・レベル幅	t_{INTH} , t_{INTL}		1			μs
KR0-KR9入力有効 レベル幅	t_{KR}		250			ns
RESETロウ・レベル幅	t_{RSL}		10			μs

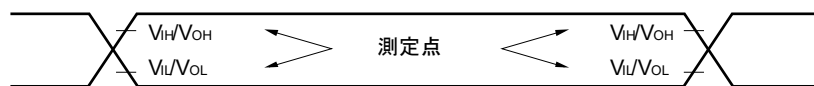
備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数

(タイマ・クロック・選択レジスタ0 (TPS0) とタイマ・モード・レジスタ0n (TMR0n) のCKS0nビットで
設定する動作クロック。n : チャネル番号 (n = 0-7))

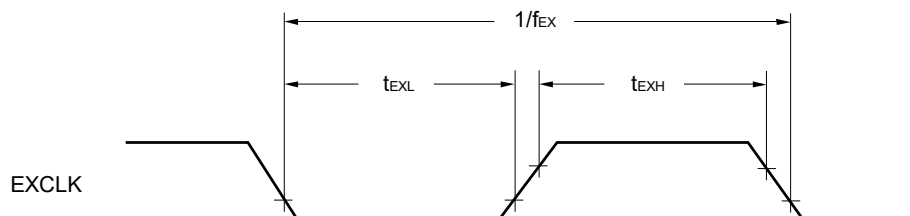
メイン・システム・クロック動作時の最小命令実行時間

 T_{CY} vs V_{DD} (HS (高速メイン) モード) T_{CY} vs V_{DD} (LS (低速メイン) モード)

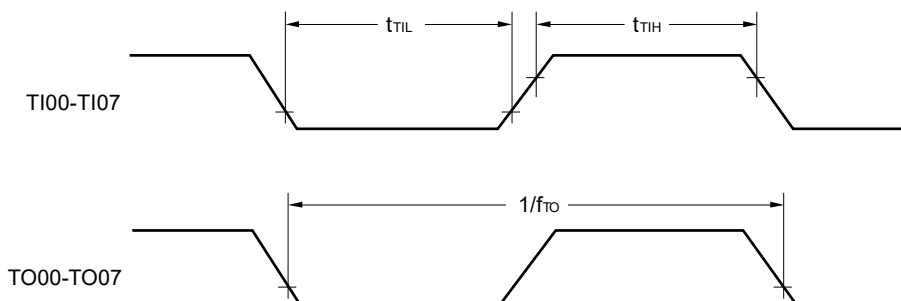
ACタイミング測定点



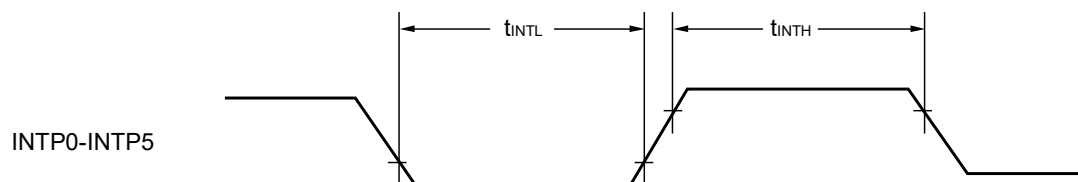
外部メイン・システム・クロック・タイミング



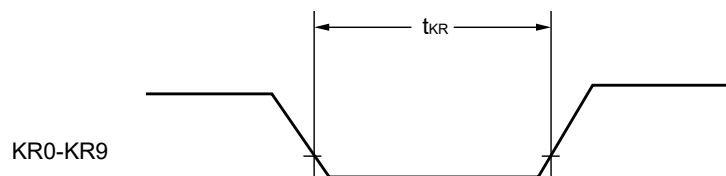
TI/TOタイミング



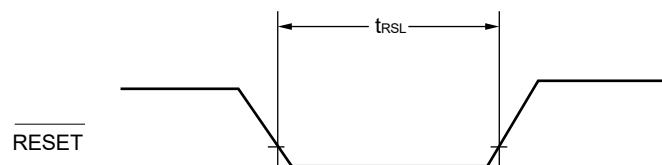
割り込み要求入力タイミング



キー割り込み入力タイミング

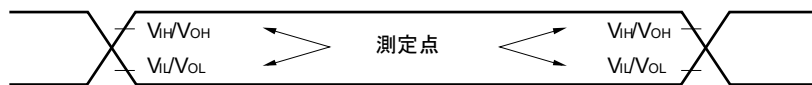


RESET入力タイミング



28.5 周辺機能特性

AC タイミング測定点



28.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UARTモード)

(T_A = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項 目	略号	条 件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
転送レート ^{注1}				f _{MCK} /6		f _{MCK} /6	bps
		最大転送レート理論値 f _{CLK} = f _{MCK} ^{注2}		4.0		1.3	Mbps

注 1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

2. CPU/周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

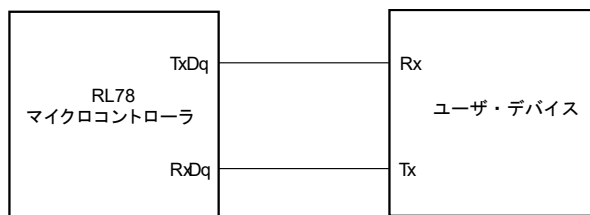
HS (高速メイン) モード: 24 MHz (2.7 V ≤ V_{DD} ≤ 5.5 V)

16 MHz (2.4 V ≤ V_{DD} ≤ 5.5 V)

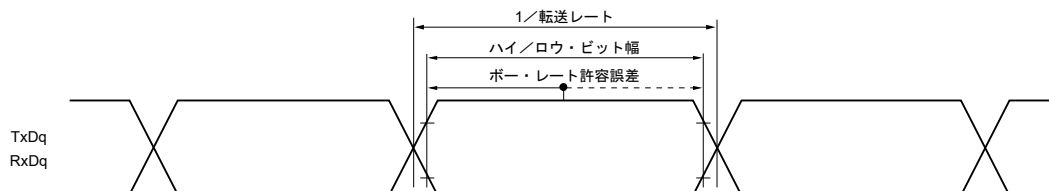
LS (低速メイン) モード: 8 MHz (1.8 V ≤ V_{DD} ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



備考1. q : UART番号 (q = 0-2), g : PIM, POM番号 (g = 0, 1)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmn ビットで設定する動作クロック。m : ユニット番号, n : チャンネル番号 (mn = 00-03, 10, 11))

(2) 同電位通信, 簡易SPI (CSI) モード時 (マスタ・モード, SCK00…内部クロック出力, CSI00のみ対応)

(T_A = -40 ~ +85°C, 2.7 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項 目	略号	条 件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCK00サイクル・タイム	t _{KCY1}	t _{KCY1} ≥ 2/f _{CLK}	83.3		250		ns
SCK00ハイ/ロウ・レベル幅	t _{KH1}	4.0 V ≤ V _{DD} ≤ 5.5 V	t _{KCY1} /2-7		t _{KCY1} /2-50		ns
	t _{KL1}	2.7 V ≤ V _{DD} ≤ 5.5 V	t _{KCY1} /2-10		t _{KCY1} /2-50		ns
SI00セットアップ時間 (対SCK00 ↑) 注1	t _{SIK1}	4.0 V ≤ V _{DD} ≤ 5.5 V	23		110		ns
		2.7 V ≤ V _{DD} ≤ 5.5 V	33		110		ns
SI00ホールド時間 (対SCK00 ↑) 注1	t _{KSI1}		10		10		ns
SCK00 ↓ → SO00出力遅延時間注2	t _{KSO1}	C = 20 pF注3		10		10	ns

注1. DAP00 = 0, CKP00 = 0またはDAP00 = 1, CKP00 = 1のとき。DAP00 = 0, CKP00 = 1またはDAP00 = 1, CKP00 = 0のときは“対SCK00 ↓”となります。

2. DAP00 = 0, CKP00 = 0またはDAP00 = 1, CKP00 = 1のとき。DAP00 = 0, CKP00 = 1またはDAP00 = 1, CKP00 = 0のときは“対SCK00 ↑”となります。

3. Cは, SCK00, SO00出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, SI00端子は通常入力バッファを選択し, SO00端子とSCK00端子は通常出力モードを選択します。

備考1. この特性は, CSI00で周辺I/Oリダイレクト機能未使用時のみ対応します。

2. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタ0 (SPS0) とシリアル・モード・レジスタ00 (SMR00) のCKS00ビットで設定する動作クロック)

(3) 同電位通信, 簡易SPI (CSI) モード時 (マスタ・モード, SCKp…内部クロック出力)

(T_A = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項 目	略号	条 件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	t _{KCY1}	t _{KCY1} ≥ 4/f _{CLK}	2.7 V ≤ V _{DD} ≤ 5.5 V	167		500	ns
			2.4 V ≤ V _{DD} ≤ 5.5 V	250		500	ns
			1.8 V ≤ V _{DD} ≤ 5.5 V	—		500	ns
SCKpハイ/ロウ・レベル幅	t _{KH1}	4.0 V ≤ V _{DD} ≤ 5.5 V	t _{KCY1} /2 - 12		t _{KCY1} /2 - 50		ns
	t _{KL1}	2.7 V ≤ V _{DD} ≤ 5.5 V	t _{KCY1} /2 - 18		t _{KCY1} /2 - 50		ns
		2.4 V ≤ V _{DD} ≤ 5.5 V	t _{KCY1} /2 - 38		t _{KCY1} /2 - 50		ns
		1.8 V ≤ V _{DD} ≤ 5.5 V	—		t _{KCY1} /2 - 50		ns
Slpセットアップ時間 (対SCKp ↑) 注1	t _{SIK1}	4.0 V ≤ V _{DD} ≤ 5.5 V	44		110		ns
		2.7 V ≤ V _{DD} ≤ 5.5 V	44		110		ns
		2.4 V ≤ V _{DD} ≤ 5.5 V	75		110		ns
		1.8 V ≤ V _{DD} ≤ 5.5 V	—		110		ns
Slpホールド時間 (対SCKp ↑) 注1	t _{KSI1}		19		19		ns
SCKp ↓ → SOp出力遅延時間注2	t _{KSO1}	C = 30 pF注3		25		25	ns

注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

3. Clは, SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ0, 1, 4 (POM0, POM1, POM4) で, Slp端子は通常入力バッファを選択し, SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p: CSI番号 (p = 00, 01, 11, 20), m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0, 1, 3: 1, 3はR5F102製品のみ)

2. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKS_{mn}ビットで設定する動作クロック。m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0, 1, 3: 1, 3はR5F102製品のみ))

(4) 同電位通信, 簡易SPI (CSI) モード時 (スレーブ・モード, SCKp…外部クロック入力)

(T_A = -40~+85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

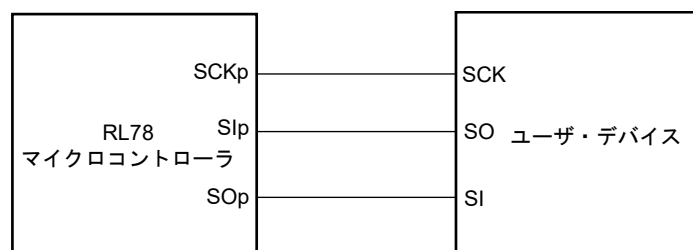
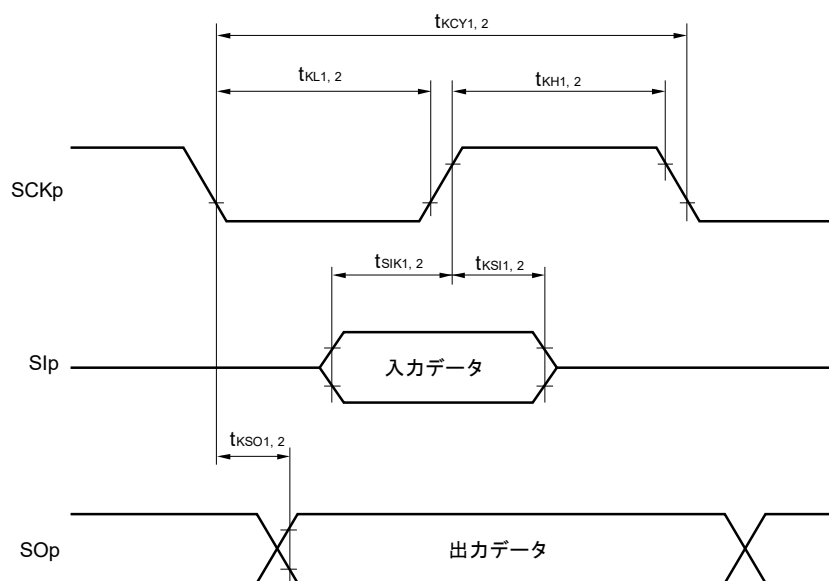
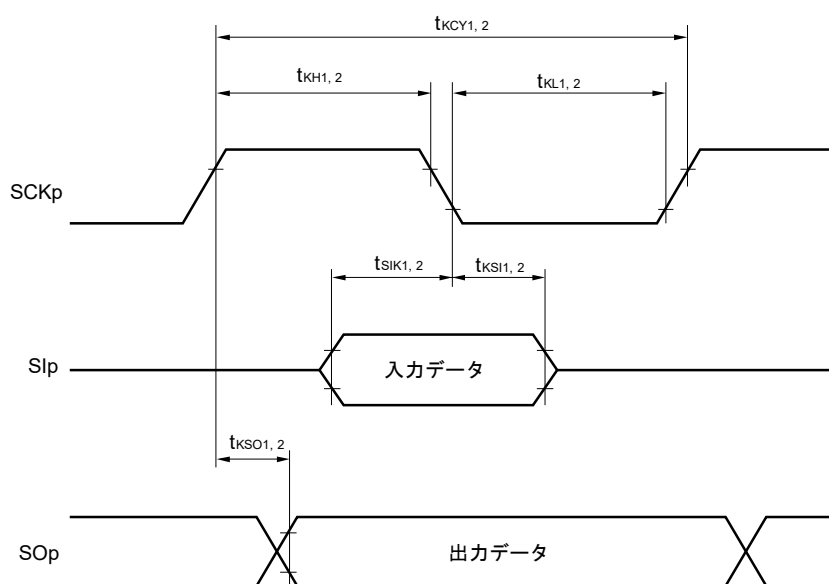
項 目	略号	条 件		HS (高速メイン) モード		LS (低速メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・ タイム ^{注4}	t _{KCY2}	4.0 V ≤ V _{DD} ≤ 5.5 V	20 MHz < f _{MCK}	8/f _{MCK}		—		ns
			f _{MCK} ≤ 20 MHz	6/f _{MCK}		6/f _{MCK}		ns
		2.7 V ≤ V _{DD} ≤ 5.5 V	16 MHz < f _{MCK}	8/f _{MCK}		—		ns
			f _{MCK} ≤ 16 MHz	6/f _{MCK}		6/f _{MCK}		ns
		2.4 V ≤ V _{DD} ≤ 5.5 V		6/f _{MCK} かつ 500		6/f _{MCK} かつ 500		ns
		1.8 V ≤ V _{DD} ≤ 5.5 V		—		6/f _{MCK} かつ 750		ns
SCKpハイ, ロウ・ レベル幅	t _{KH2} , t _{KL2}	4.0 V ≤ V _{DD} ≤ 5.5 V		t _{KCY2} /2-7		t _{KCY2} /2-7		ns
		2.7 V ≤ V _{DD} ≤ 5.5 V		t _{KCY2} /2-8		t _{KCY2} /2-8		ns
		2.4 V ≤ V _{DD} ≤ 5.5 V		t _{KCY2} /2-18		t _{KCY2} /2-18		ns
		1.8 V ≤ V _{DD} ≤ 5.5 V		—		t _{KCY2} /2-18		ns
Slpセットアップ時間 (対SCKp ↑) ^{注1}	t _{SIK2}	2.7 V ≤ V _{DD} ≤ 5.5 V		1/f _{MCK} +20		1/f _{MCK} +30		ns
		2.4 V ≤ V _{DD} ≤ 5.5 V		1/f _{MCK} +30		1/f _{MCK} +30		ns
		1.8 V ≤ V _{DD} ≤ 5.5 V		—		1/f _{MCK} +30		ns
Slpホールド時間 (対SCKp ↑) ^{注1}	t _{SLI2}			1/f _{MCK} +31		1/f _{MCK} +31		ns
SCKp ↓ → Sop 出力遅延時間 ^{注2}	t _{KSO2}	C = 30 pF ^{注3}	2.7 V ≤ V _{DD} ≤ 5.5 V		2/f _{MCK} +44		2/f _{MCK} +110	ns
			2.4 V ≤ V _{DD} ≤ 5.5 V		2/f _{MCK} +75		2/f _{MCK} +110	ns
			1.8 V ≤ V _{DD} ≤ 5.5 V		—		2/f _{MCK} +110	ns

- 注1.** DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。
- 2.** DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。
- 3.** Cは, SOp出力ラインの負荷容量です。
- 4.** SNOOZEモードでの転送レートは, MAX. 1 Mbpsです。

注意 ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ0, 1, 4 (POM0, POM1, POM4) で, Slp端子とSCKp端子は通常入力バッファを選択し, SOp端子は通常出力モードを選択します。

(備考は次ページにあります。)

簡易SPI (CSI) モード接続図 (同電位通信時)

簡易SPI (CSI) モード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)簡易SPI (CSI) モード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)

備考1. p : CSI番号 (p = 00, 01, 11, 20) , m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 1, 3 : 1, 3は R5F102製品のみ)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 1, 3 : 1, 3はR5F102製品のみ))

(5) 同電位通信時 (簡易 I²C モード)

(T_A = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

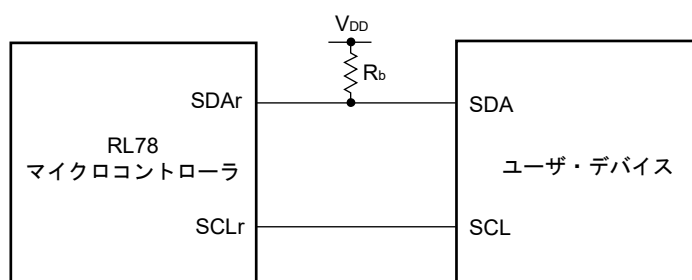
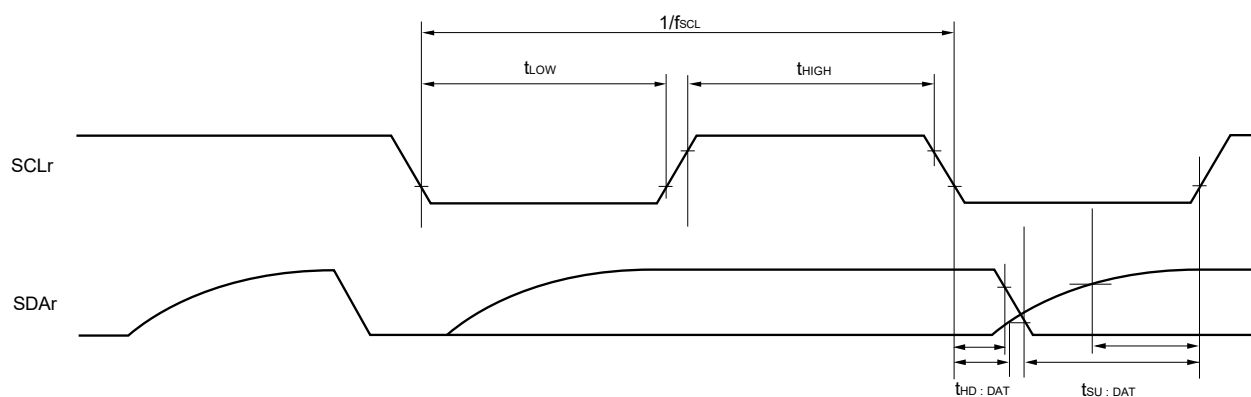
項 目	略 号	条 件	HS (高速メイン) モード LS (低速メイン) モード		単位
			MIN.	MAX.	
SCLr クロック周波数	f _{SCL}	1.8 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ		400 ^{注1}	kHz
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ		300 ^{注1}	kHz
SCLr = "L" のホールド・タイム	t _{LOW}	1.8 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1150		ns
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	1550		ns
SCLr = "H" のホールド・タイム	t _{HIGH}	1.8 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1150		ns
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	1550		ns
データ・セットアップ時間 (受信時)	t _{SU : DAT}	1.8 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1/f _{MCK} + 145 ^{注2}		ns
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	1/f _{MCK} + 230 ^{注2}		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	1.8 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	0	355	ns
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	0	405	ns

注1. f_{MCK}/4以下に設定してください。

2. t_{SU:DAT}がSCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

注意 ポート出力モード・レジスタ h (POMh) で、SDArはN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択し、SCLrは通常出力モードを選択します。

(備考は次ページにあります。)

簡易I²Cモード接続図 (同電位通信時)簡易I²Cモード・シリアル転送タイミング (同電位通信時)

備考1. R_b [Ω] : 通信ライン (SDAr) プルアップ抵抗値, C_b [F] : 通信ライン (SCLr, SDAr) 負荷容量値

2. r : IIC番号 ($r = 00, 01, 11, 20$) , h : POM番号 ($h = 0, 1, 4, 5$)

3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$) , n : チャネル番号 ($n = 0, 1, 3$))

4. 簡易I²CモードはR5F102製品のみ

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UARTモード)

(T_A = -40~+85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項 目	略 号	条 件	HS (高速メイン) モード		LS (低速メイン) モード		単 位
			MIN.	MAX.	MIN.	MAX.	
転送レート ^{注4}		受 4.0 V ≤ V _{DD} ≤ 5.5 V,		f _{MCK} /6 ^{注1}		f _{MCK} /6 ^{注1}	bps
		信 2.7 V ≤ V _b ≤ 4.0 V 最大転送レート理論値 f _{MCK} = f _{CLK} ^{注3}		4.0		1.3	Mbps
		2.7 V ≤ V _{DD} < 4.0 V,		f _{MCK} /6 ^{注1}		f _{MCK} /6 ^{注1}	bps
		2.3 V ≤ V _b ≤ 2.7 V 最大転送レート理論値 f _{MCK} = f _{CLK} ^{注3}		4.0		1.3	Mbps
		1.8 V ≤ V _{DD} < 3.3 V,		f _{MCK} /6		f _{MCK} /6	bps
		1.6 V ≤ V _b ≤ 2.0 V 最大転送レート理論値 f _{MCK} = f _{CLK} ^{注3}		4.0		1.3	Mbps
		送 4.0 V ≤ V _{DD} ≤ 5.5 V,		注4		注4	bps
		信 2.7 V ≤ V _b ≤ 4.0 V 最大転送レート理論値 C _b = 50 pF, R _b = 1.4 kΩ, V _b = 2.7 V		2.8 ^{注5}		2.8 ^{注5}	Mbps
		2.7 V ≤ V _{DD} < 4.0 V,		注6		注6	bps
		2.3 V ≤ V _b ≤ 2.7 V 最大転送レート理論値 C _b = 50 pF, R _b = 2.7 kΩ, V _b = 2.3 V		1.2 ^{注7}		1.2 ^{注7}	Mbps
		1.8 V ≤ V _{DD} < 3.3 V,		注2,8		注2,8	bps
		1.6 V ≤ V _b ≤ 2.0 V 最大転送レート理論値 C _b = 50 pF, R _b = 5.5 kΩ, V _b = 1.6 V		0.43 ^{注9}		0.43 ^{注9}	Mbps

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

2. V_{DD} ≥ V_bで使用してください。

3. CPU/周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

HS (高速メイン) モード: 24 MHz (2.7 V ≤ V_{DD} ≤ 5.5 V)

16 MHz (2.4 V ≤ V_{DD} ≤ 5.5 V)

LS (低速メイン) モード: 8 MHz (1.8 V ≤ V_{DD} ≤ 5.5 V)

4. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ V_{DD} ≤ 5.5 V, 2.7 V ≤ V_b ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

5. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注4により算出してください。
6. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
2.7 V ≤ V_{DD} < 4.0 V, 2.3 V ≤ V_b ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

7. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。
8. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
1.8 V ≤ V_{DD} < 3.3 V, 1.6 V ≤ V_b ≤ 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{1.5}{V_b} \right) \right\} \times 3} \quad [\text{bps}]$$

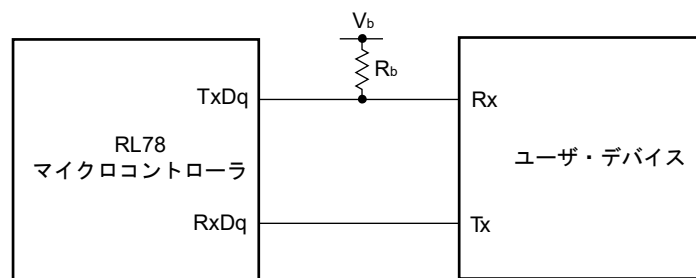
$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{1.5}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

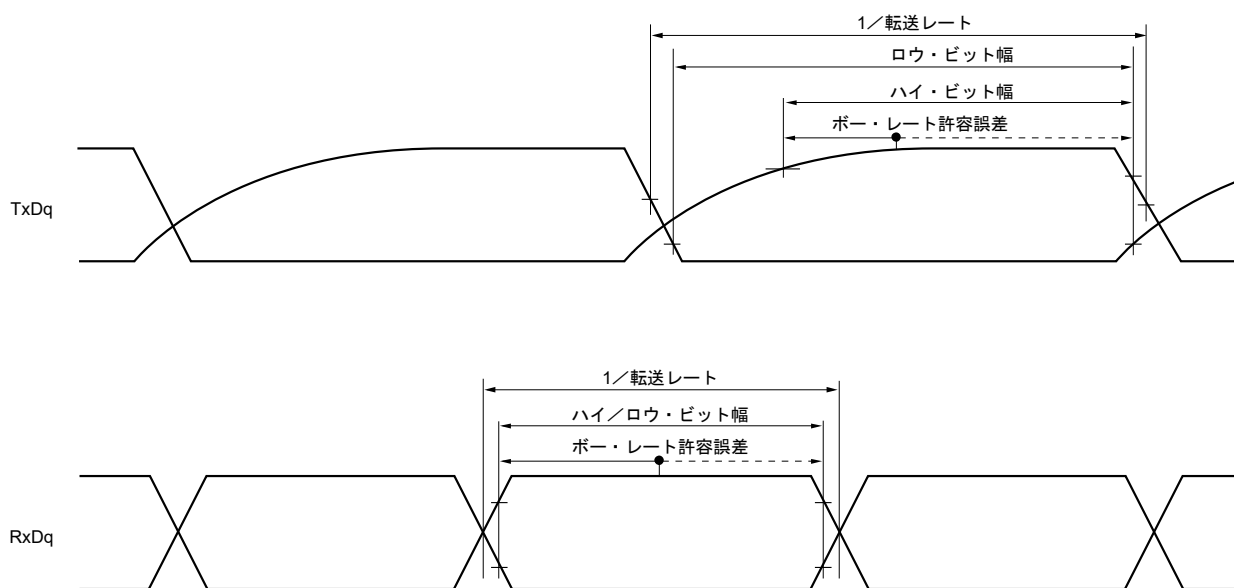
9. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注8により算出してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）



- 備考1.** R_b [Ω] : 通信ライン (TxDq) プルアップ抵抗値, C_b [F] : 通信ライン (TxDq) 負荷容量値, V_b [V] : 通信ライン電圧
2. q : UART番号 ($q = 0-2$), g : PIM, POM番号 ($g = 0, 1$)
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。 m : ユニット番号, n : チャネル番号 ($mn = 00-03, 10, 11$))
4. 20, 24ピン製品のUART0は、周辺I/Oリダイレクト機能未使用時のみ異電位通信に対応します。

(7) 異電位 (2.5 V系, 3 V系) 通信, 簡易SPI (CSI) モード時 (マスタ・モード, SCK00…内部クロック出力, CSI00のみ対応)

(T_A = -40 ~ +85°C, 2.7 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項 目	略号	条 件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCK00サイクル・タイム	t _{KCY1}	t _{KCY1} ≥ 2/f _{CLK} 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ	200		1150		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	300		1150		ns
SCK00ハイ・レベル幅	t _{KH1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ	t _{KCY1} /2 - 50		t _{KCY1} /2 - 50		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	t _{KCY1} /2 - 120		t _{KCY1} /2 - 120		ns
SCK00ロウ・レベル幅	t _{KL1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ	t _{KCY1} /2 - 7		t _{KCY1} /2 - 50		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	t _{KCY1} /2 - 10		t _{KCY1} /2 - 50		ns
SI00セットアップ時間 (対SCK00 ↑) 注1	t _{SIK1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ	58		479		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	121		479		ns
SI00ホールド時間 (対SCK00 ↑) 注1	t _{KSI1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ	10		10		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	10		10		ns
SCK00 ↓ → SO00出力遅延時間注1	t _{KSO1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ		60		60	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ		130		130	ns
SI00セットアップ時間 (対SCK00 ↓) 注2	t _{SIK1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ	23		110		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	33		110		ns
SI00ホールド時間 (対SCK00 ↓) 注2	t _{KSI1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ	10		10		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ	10		10		ns
SCK00 ↑ → SO00出力遅延時間注2	t _{KSO1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ		10		10	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ		10		10	ns

注1. DAP00 = 0, CKP00 = 0またはDAP00 = 1, CKP00 = 1のとき。

2. DAP00 = 0, CKP00 = 1またはDAP00 = 1, CKP00 = 0のとき。

(注意, 備考は次ページにあります。)

注意 ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, SI00端子はTTL入力バッファを選択し, SO00端子とSCK00端子はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。
なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

- 備考1.** R_b [Ω]: 通信ライン (SCK00, SO00) プルアップ抵抗値, C_b [F]: 通信ライン (SCK00, SO00) 負荷容量値,
V_b [V]: 通信ライン電圧
- 2.** f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタ0 (SPS0) とシリアル・モード・レジスタ00 (SMR00) のCKS00ビットで設定する動作クロック)

(8) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信, 簡易SPI (CSI) モード時 (マスタ・モード, SCKp…内部クロック出力)
(1/3)

(T_A = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項 目	略号	条 件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	t _{KCY1}	t _{KCY1} ≥ 4/f _{CLK} , 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	300		1150		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	500		1150		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^注 , C _b = 30 pF, R _b = 5.5 kΩ	1150		1150		ns
SCKpハイ・レベル幅	t _{KH1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	t _{KCY1} /2 - 75		t _{KCY1} /2 - 75		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	t _{KCY1} /2 - 170		t _{KCY1} /2 - 170		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^注 , C _b = 30 pF, R _b = 5.5 kΩ	t _{KCY1} /2 - 458		t _{KCY1} /2 - 458		ns
SCKpロウ・レベル幅	t _{KL1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	t _{KCY1} /2 - 12		t _{KCY1} /2 - 50		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	t _{KCY1} /2 - 18		t _{KCY1} /2 - 50		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^注 , C _b = 30 pF, R _b = 5.5 kΩ	t _{KCY1} /2 - 50		t _{KCY1} /2 - 50		ns

注 V_{DD} ≥ V_bで使用してください。

注意1. ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, SIp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。
なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

- 2.** CSI01, CSI11は異電位通信できません。

備考1. R_b [Ω]: 通信ライン (SCKp, SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SCKp, SOp) 負荷容量値,
V_b [V]: 通信ライン電圧

- 2.** p: CSI番号 (p = 00, 20)

(8) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信, 簡易SPI (CSI) モード時 (マスタ・モード, SCKp…内部クロック出力)
(2/3)(T_A = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項 目	略号	条 件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp ↑) 注1	t _{SIK1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	81		479		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	177		479		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V 注2, C _b = 30 pF, R _b = 5.5 kΩ	479		479		ns
Slpホールド時間 (対SCKp ↑) 注1	t _{KSI1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	19		19		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	19		19		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V 注2, C _b = 30 pF, R _b = 5.5 kΩ	19		19		ns
SCKp ↓ → SOp出力遅延時間 注1	t _{KSO1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		100		100	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		195		195	ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V 注2, C _b = 30 pF, R _b = 5.5 kΩ		483		483	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2. V_{DD} ≥ V_bで使用してください。

(注意, 備考は次ページにあります。)

(8) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信, 簡易SPI (CSI) モード時 (マスタ・モード, SCKp…内部クロック出力)
(3/3)

(T_A = -40~+85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項 目	略号	条 件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
Slpセタアップ時間 (対SCKp ↓) 注1	t _{SIK1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	44		110		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	44		110		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V 注2, C _b = 30 pF, R _b = 5.5 kΩ	110		110		ns
Slpホールド時間 (対SCKp ↓) 注1	t _{KSI1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	19		19		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	19		19		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V 注2, C _b = 30 pF, R _b = 5.5 kΩ	19		19		ns
SCKp ↑ → SOp出力遅延時間 注1	t _{KSO1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		25		25	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		25		25	ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V 注2, C _b = 30 pF, R _b = 5.5 kΩ		25		25	ns

注1. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

2. V_{DD} ≥ V_bで使用してください。

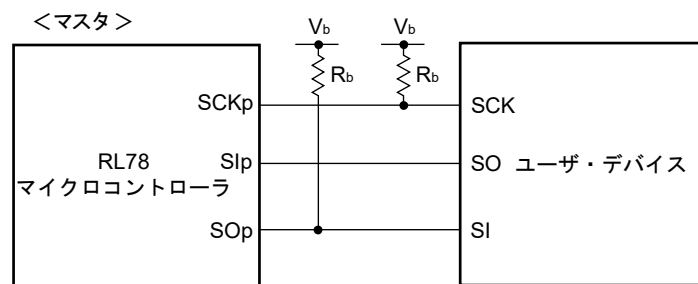
注意1. ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, Slp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。
なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

2. CSI01, CSI11は異電位通信できません。

備考1. R_b [Ω]: 通信ライン (SCKp, SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SCKp, SOp) 負荷容量値,
V_b [V]: 通信ライン電圧

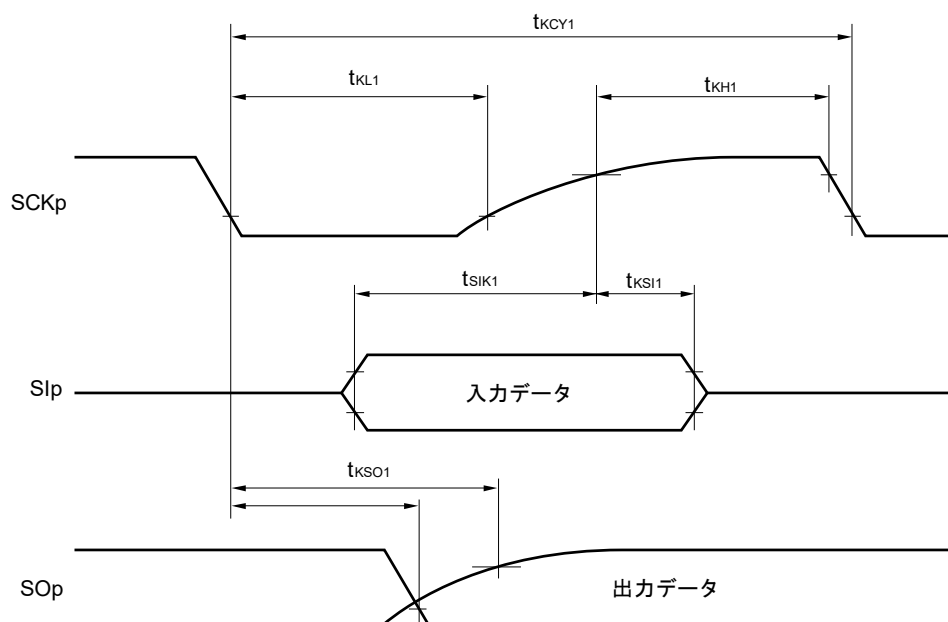
2. p: CSI番号 (p = 00, 20), m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0)

簡易SPI (CSI) モード接続図 (異電位通信時)



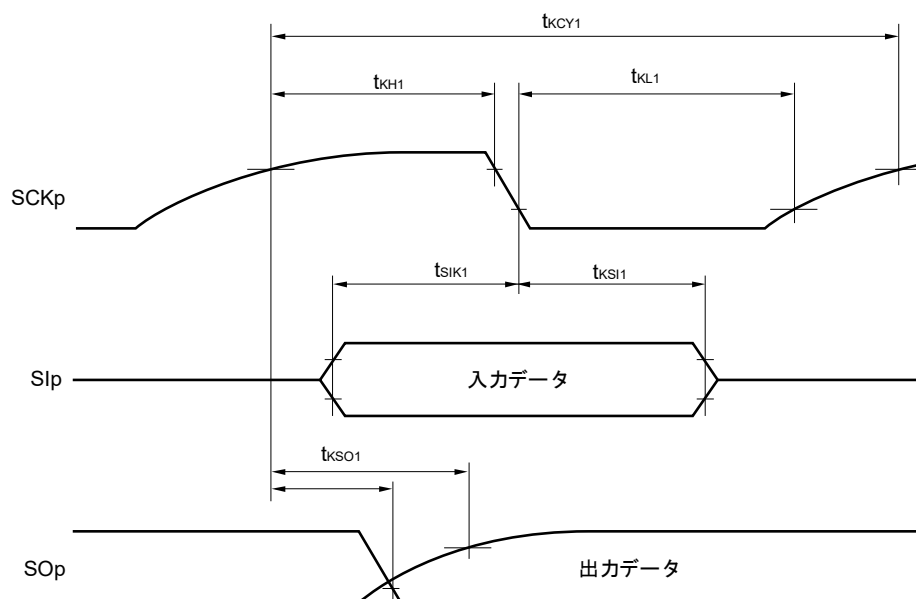
簡易SPI (CSI) モード・シリアル転送タイミング : マスタ・モード (異電位通信時)

(DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI (CSI) モード・シリアル転送タイミング : マスタ・モード (異電位通信時)

(DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



(9) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信, 簡易SPI (CSI) モード時 (スレーブ・モード, SCKp…外部クロック入力)

(T_A = -40~+85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項 目	略号	条 件		HS (高速メイン) モード		LS (低速メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム ^{注1}	t _{KCY2}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V	20 MHz < f _{MCK} ≤ 24 MHz	12/f _{MCK}		—		ns
			8 MHz < f _{MCK} ≤ 20 MHz	10/f _{MCK}		—		ns
			4 MHz < f _{MCK} ≤ 8 MHz	8/f _{MCK}		16/f _{MCK}		ns
			f _{MCK} ≤ 4 MHz	6/f _{MCK}		10/f _{MCK}		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V	20 MHz < f _{MCK} ≤ 24 MHz	16/f _{MCK}		—		ns
			16 MHz < f _{MCK} ≤ 20 MHz	14/f _{MCK}		—		ns
			8 MHz < f _{MCK} ≤ 16 MHz	12/f _{MCK}		—		ns
			4 MHz < f _{MCK} ≤ 8 MHz	8/f _{MCK}		16/f _{MCK}		ns
			f _{MCK} ≤ 4 MHz	6/f _{MCK}		10/f _{MCK}		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2}	20 MHz < f _{MCK} ≤ 24 MHz	36/f _{MCK}		—		ns
			16 MHz < f _{MCK} ≤ 20 MHz	32/f _{MCK}		—		ns
			8 MHz < f _{MCK} ≤ 16 MHz	26/f _{MCK}		—		ns
			4 MHz < f _{MCK} ≤ 8 MHz	16/f _{MCK}		16/f _{MCK}		ns
			f _{MCK} ≤ 4 MHz	10/f _{MCK}		10/f _{MCK}		ns
SCKpハイ/ロウ・レベル幅	t _{KH2} , t _{KL2}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V		t _{KCY2} /2 - 12		t _{KCY2} /2 - 50		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V		t _{KCY2} /2 - 18		t _{KCY2} /2 - 50		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2}		t _{KCY2} /2 - 50		t _{KCY2} /2 - 50		ns
Slpセットアップ時間 (対SCKp↑) ^{注3}	t _{SIK2}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V		1/f _{MCK} + 20		1/f _{MCK} + 30		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V		1/f _{MCK} + 20		1/f _{MCK} + 30		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2}		1/f _{MCK} + 30		1/f _{MCK} + 30		ns
Slpホールド時間 (対SCKp↑) ^{注3}	t _{KSI2}			1/f _{MCK} + 31		1/f _{MCK} + 31		ns
SCKp↓→SOp出力遅延時間 ^{注4}	t _{KSO2}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ			2/f _{MCK} + 120		2/f _{MCK} + 573	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ			2/f _{MCK} + 214		2/f _{MCK} + 573	ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, ^{注2} C _b = 30 pF, R _b = 5.5 kΩ			2/f _{MCK} + 573		2/f _{MCK} + 573	ns

注 1. SNOOZEモードでの転送レートは, MAX.: 1 Mbps

2. V_{DD} ≥ V_bで使用してください。

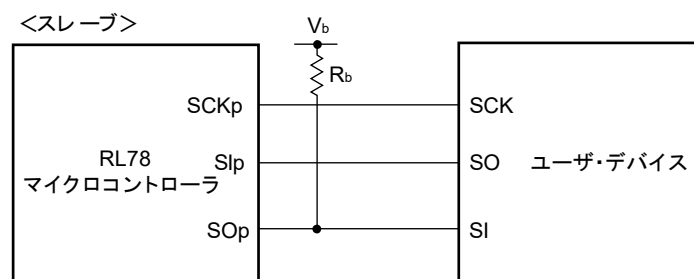
3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

4. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

(注意, 備考は次ページにあります。)

- 注意1. ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, SIp端子とSCKp端子はTTL入力バッファを選択し, SOp端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。
 なお V_{IH} , V_{IL} は, TTL入力バッファ選択時のDC特性を参照してください。
2. CSI01, CSI11は異電位通信できません。

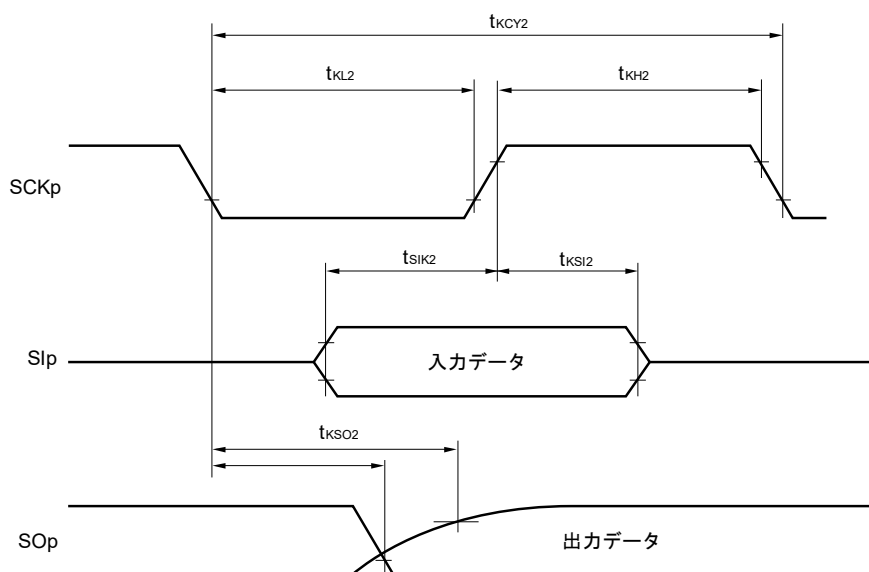
簡易SPI (CSI) モード接続図 (異電位通信時)



- 備考1. R_b [Ω] : 通信ライン (SOp) プルアップ抵抗値, C_b [F] : 通信ライン (SOp) 負荷容量値, V_b [V] : 通信ライン電圧
2. p : CSI番号 ($p = 00, 20$), m : ユニット番号 ($m = 0, 1$), n : チャネル番号 ($n = 0$)
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。 m : ユニット番号, n : チャネル番号 ($mn = 00, 10$))

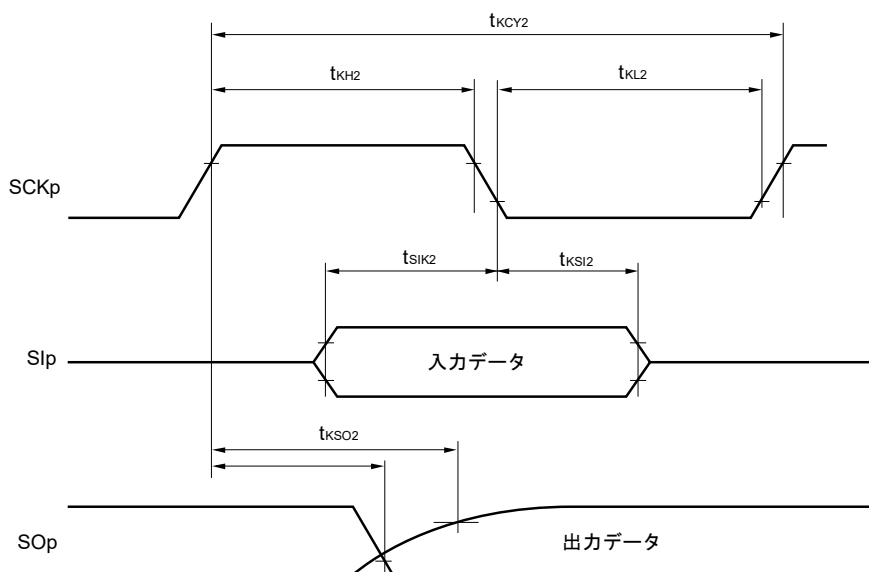
簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考. p : CSI番号 (p = 00, 20) , m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0)

(10) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易I²Cモード)(T_A = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

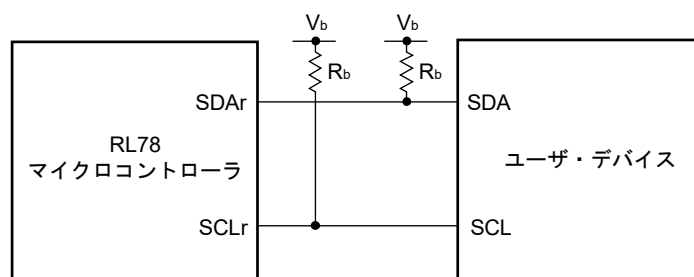
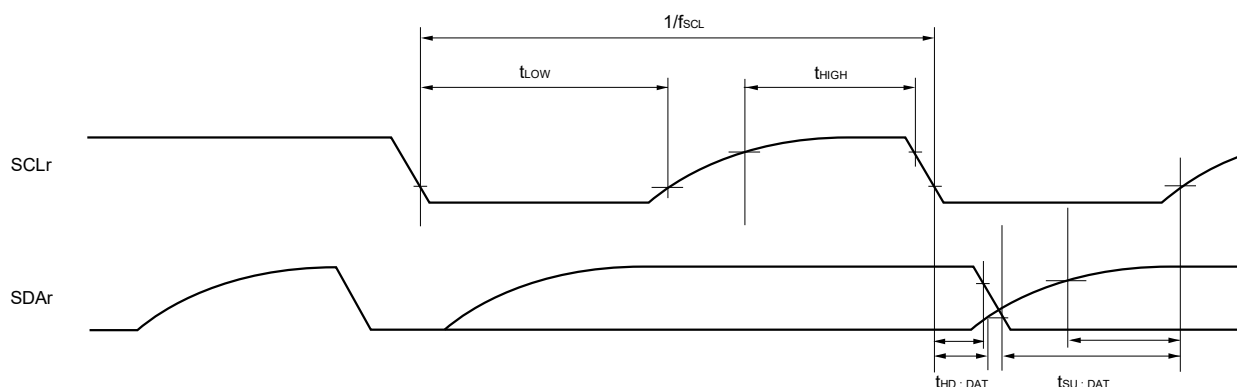
項 目	略号	条 件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	f _{SCL}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ		400 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ		400 ^{注1}		300 ^{注1}	kHz
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ		300 ^{注1}		300 ^{注1}	kHz
SCLr = "L" のホールド・タイム	t _{LOW}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1150		1550		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1150		1550		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	1550		1550		ns
SCLr = "H" のホールド・タイム	t _{HIGH}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	675		610		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	600		610		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	610		610		ns
データ・セットアップ時間 (受信時)	t _{SU: DAT}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1/f _{MCK} + 190 ^{注3}		1/f _{MCK} + 190 ^{注3}		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 190 ^{注3}		1/f _{MCK} + 190 ^{注3}		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	1/f _{MCK} + 190 ^{注3}		1/f _{MCK} + 190 ^{注3}		ns
データ・ホールド時間 (送信時)	t _{HD: DAT}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	0	355	0	355	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	0	355	0	355	ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	0	405	0	405	ns

注 1. f_{MCK}/4以下に設定してください。2. V_{DD} ≥ V_bで使用してください。3. t_{SD: DAT}がSCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定にしてください。

注意1. ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, SDArはTTL入力バッファ, N-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択し, SCLrはN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

2. IIC01, IIC11は異電位通信できません。

(備考は次ページにあります。)

簡易I²Cモード接続図 (異電位通信時)簡易I²Cモード・シリアル転送タイミング (異電位通信時)

- 備考1.** $R_b [\Omega]$: 通信ライン (SDAr, SCLr) プルアップ抵抗値, $C_b [F]$: 通信ライン (SDAr, SCLr) 負荷容量値, $V_b [V]$: 通信ライン電圧
2. r : IIC番号 ($r = 00, 20$)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$), n : チャネル番号 ($n = 0$)。)
 4. 簡易I²CモードはR5F102製品のみ

28.5.2 シリアル・インタフェースIICA

(T_A = -40~+85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項 目	略号	条件	HS（高速メイン）モード LS（低速メイン）モード				単位
			標準モード		ファースト・モード		
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f _{SCL}	ファースト・モード：f _{CLK} ≥3.5 MHz			0	400	kHz
		標準モード：f _{CLK} ≥1 MHz	0	100			kHz
リスタート・コンディションのセットアップ時間	t _{SU：STA}		4.7		0.6		μs
ホールド時間 ^{※1}	t _{HD：STA}		4.0		0.6		μs
SCLA0＝“L”のホールド・タイム	t _{LOW}		4.7		1.3		μs
SCLA0＝“H”のホールド・タイム	t _{HIGH}		4.0		0.6		μs
データ・セットアップ時間（受信時）	t _{SU：DAT}		250		100		ns
データ・ホールド時間（送信時） ^{※2}	t _{HD：DAT}		0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	t _{SU：STO}		4.0		0.6		μs
バス・フリー時間	t _{BUF}		4.7		1.3		μs

注1. スタート・コンディショニング, リスタート・コンディショニング時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD: DAT}の最大値 (MAX.) は, 通常転送時の数値であり, ACK (アクノリッジ) タイミングでは, クロック・ストレッチがかかります。

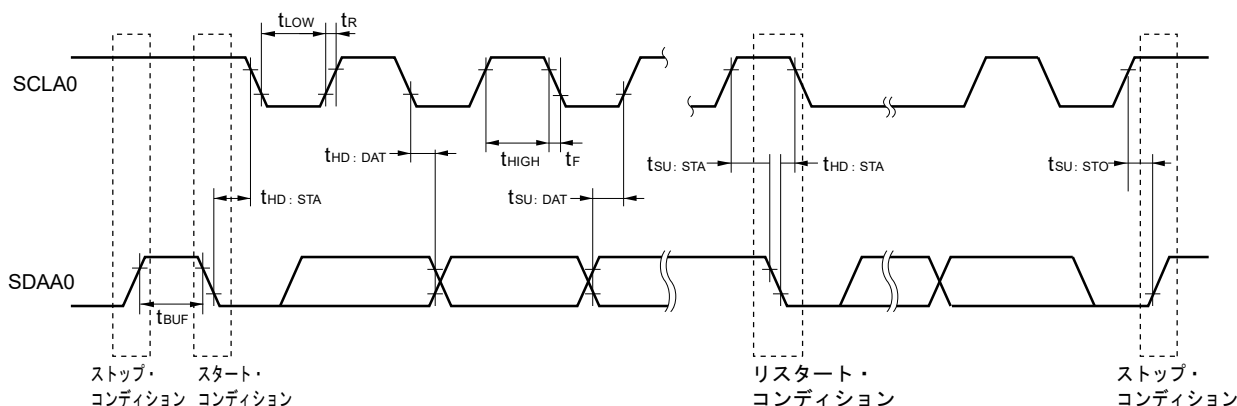
注意 30ピン製品のみ, 周辺I/Oリダイレクション・レジスタ (PIOR) のビット2 (PIOR2) が1の場合も, 上記の値を適用できます。ただし, 端子特性 (I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1}) はリダイレクト先の値を満たしてください。

備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は, 次のとおりです。

標準モード : C_b = 400 pF, R_b = 2.7 kΩ

ファースト・モード : C_b = 320 pF, R_b = 1.1 kΩ

IICAシリアル転送タイミング



28.6 アナログ特性

28.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 入力チャネル	基準電圧 (+) = AV _{REFP} 基準電圧 (-) = AV _{REFM}	基準電圧 (+) = V _{DD} 基準電圧 (-) = V _{SS}	基準電圧 (+) = V _{BGR} 基準電圧 (-) = AV _{REFM}
ANI0-ANI3	28.6.1 (1) 参照	28.6.1 (3) 参照	28.6.1 (4) 参照
ANI16-ANI22	28.6.1 (2) 参照		
内部基準電圧 温度センサ出力電圧	28.6.1 (1) 参照		—

(1) 基準電圧 (+) = AV_{REFP}/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AV_{REFM}/ANI1
(ADREFM = 1) 選択時、変換対象 : ANI2, ANI3、内部基準電圧、温度センサ出力電圧

(T_A = -40 ~ +85°C, 1.8 V ≤ AV_{REFP} ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V, 基準電圧 (+) = AV_{REFP}, 基準電圧 (-) = AV_{REFM} = 0 V)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能		1.2	±3.5	LSB
		AV _{REFP} = V _{DD} ^{注3}		1.2	±7.0 ^{注4}	LSB
変換時間	t _{CONV}	10ビット分解能 変換対象 : ANI2, ANI3	3.6 V ≤ V _{DD} ≤ 5.5 V	2.125	39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.1875	39	μs
			1.8 V ≤ V _{DD} ≤ 5.5 V	17	39	μs
				57	95	μs
		10ビット分解能 変換対象 : 内部基準電圧, 温度センサ出力電圧 (HS (高速メイン) モード)	3.6 V ≤ V _{DD} ≤ 5.5 V	2.375	39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.5625	39	μs
			2.4 V ≤ V _{DD} ≤ 5.5 V	17	39	μs
ゼロスケール誤差 ^{注1,2}	E _{ZS}	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}			±0.25	%FSR
					±0.50 ^{注4}	%FSR
フルスケール誤差 ^{注1,2}	E _{FS}	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}			±0.25	%FSR
					±0.50 ^{注4}	%FSR
積分直線性誤差 ^{注1}	I _{LE}	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}			±2.5	LSB
					±5.0 ^{注4}	LSB
微分直線性誤差 ^{注1}	D _{LE}	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}			±1.5	LSB
					±2.0 ^{注4}	LSB
アナログ入力電圧	V _{AIN}	ANI2, ANI3	0		AV _{REFP}	V
		内部基準電圧 (2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)			V _{BGR} ^{注5}	V
		温度センサ出力電圧 (2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)			V _{TMPS25} ^{注5}	V

(注は次ページにあります。)

- 注 1. 量子化誤差 (±1/2 LSB) を含みません。
 2. フルスケール値に対する比率 (%FSR) で表します。
 3. AV_{REFP} < V_{DD} の場合, MAX. 値は次のようになります。

総合誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±1.0 LSB を加算してください
 ゼロスケール誤差／フルスケール誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±0.05%FSR を加算してください
 積分直線性誤差／微分直線性誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±0.5 LSB を加算してください

4. 変換時間を MIN. 57 μs, MAX. 95 μs に設定した場合の値です。
 5. 28.6.2 温度センサ／内部基準電圧特性を参照してください。

(2) 基準電圧 (+) = AV_{REFP}/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AV_{REFM}/ANI1
 (ADREFM = 1) 選択時、変換対象 : ANI16-ANI22

(T_A = -40 ~ +85°C, 1.8 V ≤ AV_{REFP} ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V, 基準電圧 (+) = AV_{REFP}, 基準電圧 (-) = AV_{REFM} = 0 V)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能		1.2	±5.0	LSB
		AV _{REFP} = V _{DD} ^{注3}		1.2	±8.5 ^{注4}	LSB
変換時間	t _{CONV}	10ビット分解能 変換対象 : ANI16-ANI22	3.6 V ≤ V _{DD} ≤ 5.5 V	2.125	39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.1875	39	μs
			1.8 V ≤ V _{DD} ≤ 5.5 V	17	39	μs
				57	95	μs
ゼロスケール誤差 ^{注1,2}	EVS	10ビット分解能			±0.35	%FSR
		AV _{REFP} = V _{DD} ^{注3}			±0.60 ^{注4}	%FSR
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能			±0.35	%FSR
		AV _{REFP} = V _{DD} ^{注3}			±0.60 ^{注4}	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能			±3.5	LSB
		AV _{REFP} = V _{DD} ^{注3}			±6.0 ^{注4}	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能			±2.0	LSB
		AV _{REFP} = V _{DD} ^{注3}			±2.5 ^{注4}	LSB
アナログ入力電圧	V _{AIN}	ANI16-ANI22	0		AV _{REFP} かつ V _{DD}	V

- 注 1. 量子化誤差 (±1/2 LSB) を含みません。
 2. フルスケール値に対する比率 (%FSR) で表します。
 3. AV_{REFP} < V_{DD} の場合, MAX. 値は次のようになります。

総合誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±4.0 LSB を加算してください
 ゼロスケール誤差／フルスケール誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±0.20%FSR を加算してください
 積分直線性誤差／微分直線性誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±2.0 LSB を加算してください

4. 変換時間を MIN. 57 μs, MAX. 95 μs に設定した場合の値です。

(3) 基準電圧 (+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = V_{SS} (ADREFM = 0)

選択時、変換対象 : ANI0-ANI3, ANI16-ANI22、内部基準電圧、温度センサ出力電圧

(T_A = -40~+85°C, 1.8 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V, 基準電圧 (+) = V_{DD}, 基準電圧 (-) = V_{SS})

項 目	略号	条 件		MIN.	TYP.	MAX.	単位
分解能	R _{ES}			8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能			1.2	±7.0	LSB
					1.2	±10.5 ^{注3}	LSB
変換時間	t _{CONV}	10ビット分解能 変換対象 : ANI0-ANI3, ANI16-ANI22	3.6 V ≤ V _{DD} ≤ 5.5 V	2.125		39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.1875		39	μs
			1.8 V ≤ V _{DD} ≤ 5.5 V	17		39	μs
				57		95	μs
		10ビット分解能 変換対象 : 内部基準電圧, 温度センサ出力電圧 HS (高速メイン) モード	3.6 V ≤ V _{DD} ≤ 5.5 V	2.375		39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.5625		39	μs
			2.4 V ≤ V _{DD} ≤ 5.5 V	17		39	μs
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	10ビット分解能				±0.60	%FSR
						±0.85 ^{注3}	%FSR
フルスケール誤差 ^{注1, 2}	E _{FS}	10ビット分解能				±0.60	%FSR
						±0.85 ^{注3}	%FSR
積分直線性誤差 ^{注1}	I _{LE}	10ビット分解能				±4.0	LSB
						±6.5 ^{注3}	LSB
微分直線性誤差 ^{注1}	D _{LE}	10ビット分解能				±2.0	LSB
						±2.5 ^{注3}	LSB
アナログ入力電圧	V _{AIN}	ANI0-ANI3, ANI16-ANI22		0		V _{DD}	V
		内部基準電圧 (2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)		V _{BGR} ^{注4}			V
		温度センサ出力電圧 (2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)		V _{TMPS25} ^{注4}			V

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 変換時間をMIN. 57 μs, MAX. 95 μsに設定した場合の値です。

4. 28.6.2 温度センサ/内部基準電圧特性を参照してください。

(4) 基準電圧 (+) = 内部基準電圧 (ADREFP1 = 1, ADREFP0 = 0), 基準電圧 (−) = AV_{REFM} (ADREFM = 1) 選択時、変換対象 : ANI0, ANI2, ANI3, ANI16-ANI22

($T_A = -40 \sim +85^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, 基準電圧 (+) = V_{BGR} ^{注3}, 基準電圧 (−) = AV_{REFM} ^{注4} = 0 V, HS (高速メイン) モード)

項 目	略号	条 件	MIN.	TYP.	MAX.	単 位
分解能	RES		8			bit
変換時間	tCONV	8ビット分解能	17		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	8ビット分解能			±0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能			±2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能			±1.0	LSB
アナログ入力電圧	VAIN		0		V_{BGR} ^{注3}	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 28. 6. 2 温度センサ／内部基準電圧特性を参照してください。

4. 基準電圧 (−) = V_{SS} の場合, MAX. 値は次のようになります。

ゼロスケール誤差 : 基準電圧 (−) = AV_{REFM} 時の MAX. 値に ±0.35%FSR を加算してください

積分直線性誤差 : 基準電圧 (−) = AV_{REFM} 時の MAX. 値に ±0.5 LSB を加算してください

微分直線性誤差 : 基準電圧 (−) = AV_{REFM} 時の MAX. 値に ±0.2 LSB を加算してください

28. 6. 2 温度センサ／内部基準電圧特性

($T_A = -40 \sim +85^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, HS (高速メイン) モード)

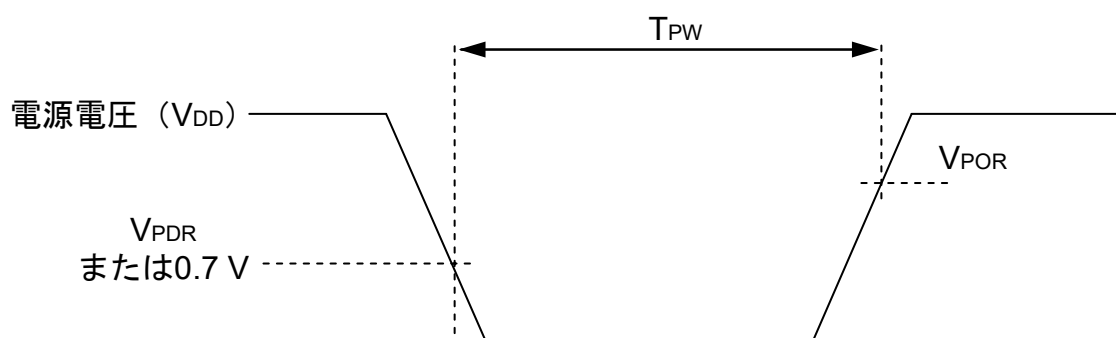
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
温度センサ出力電圧	V_{TMPS25}	ADSレジスタ = 80H設定, $T_A = +25^\circ\text{C}$		1.05		V
内部基準電圧	V_{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.50	V
温度係数	F_{VTMPS}	温度センサ出力電圧の温度依存		−3.6		mV/°C
動作安定待ち時間	tAMP		5			μs

28. 6. 3 POR回路特性

(T_A = -40~+85°C, V_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
検出電圧	V _{POR}	電源立ち上がり時	1.47	1.51	1.55	V
	V _{PDR}	電源立ち下がり時	1.46	1.50	1.54	V
最小パルス幅 ^注	T _{PW}		300			μs

注 V_{DD}がV_{PDR}を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）とビット7（MSTOP）の設定によりメイン・システム・クロック（f_{MAIN}）を停止時は、V_{DD}が0.7 Vを下回ってから、V_{POR}を上回るまでのPORによるリセット動作に必要な時間です。



28. 6. 4 LVD回路特性

リセット・モード, 割り込みモードのLVD検出電圧

(T_A = -40~+85°C, V_{PDR} ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
検出電源電圧	V _{LVD0}	電源立ち上がり時	3.98	4.06	4.14	V
		電源立ち下がり時	3.90	3.98	4.06	V
	V _{LVD1}	電源立ち上がり時	3.68	3.75	3.82	V
		電源立ち下がり時	3.60	3.67	3.74	V
	V _{LVD2}	電源立ち上がり時	3.07	3.13	3.19	V
		電源立ち下がり時	3.00	3.06	3.12	V
	V _{LVD3}	電源立ち上がり時	2.96	3.02	3.08	V
		電源立ち下がり時	2.90	2.96	3.02	V
	V _{LVD4}	電源立ち上がり時	2.86	2.92	2.97	V
		電源立ち下がり時	2.80	2.86	2.91	V
	V _{LVD5}	電源立ち上がり時	2.76	2.81	2.87	V
		電源立ち下がり時	2.70	2.75	2.81	V
	V _{LVD6}	電源立ち上がり時	2.66	2.71	2.76	V
		電源立ち下がり時	2.60	2.65	2.70	V
	V _{LVD7}	電源立ち上がり時	2.56	2.61	2.66	V
		電源立ち下がり時	2.50	2.55	2.60	V
	V _{LVD8}	電源立ち上がり時	2.45	2.50	2.55	V
		電源立ち下がり時	2.40	2.45	2.50	V
	V _{LVD9}	電源立ち上がり時	2.05	2.09	2.13	V
		電源立ち下がり時	2.00	2.04	2.08	V
	V _{LVD10}	電源立ち上がり時	1.94	1.98	2.02	V
		電源立ち下がり時	1.90	1.94	1.98	V
	V _{LVD11}	電源立ち上がり時	1.84	1.88	1.91	V
		電源立ち下がり時	1.80	1.84	1.87	V
最小パルス幅	t _{LW}		300			μs
検出遅延					300	μs

割り込み&リセット・モードのLVD検出電圧

(TA = -40~+85°C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
割り込み& リセット・モード	VLVDB0	VPOC2, VPOC1, VPOC0 = 0, 0, 1, 立ち下がリリセット電圧		1.80	1.84	1.87	V
	VLVDB1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	1.94	1.98	2.02	V
			立ち下がリ割り込み電圧	1.90	1.94	1.98	V
	VLVDB2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.05	2.09	2.13	V
			立ち下がリ割り込み電圧	2.00	2.04	2.08	V
	VLVDB3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.07	3.13	3.19	V
			立ち下がリ割り込み電圧	3.00	3.06	3.12	V
	VLVDC0	VPOC2, VPOC1, VPOC0 = 0, 1, 0, 立ち下がリリセット電圧		2.40	2.45	2.50	V
	VLVDC1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.56	2.61	2.66	V
			立ち下がリ割り込み電圧	2.50	2.55	2.60	V
	VLVDC2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.66	2.71	2.76	V
			立ち下がリ割り込み電圧	2.60	2.65	2.70	V
	VLVDC3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.68	3.75	3.82	V
			立ち下がリ割り込み電圧	3.60	3.67	3.74	V
	VLVDD0	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がリリセット電圧		2.70	2.75	2.81	V
	VLVDD1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
			立ち下がリ割り込み電圧	2.80	2.86	2.91	V
	VLVDD2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.96	3.02	3.08	V
			立ち下がリ割り込み電圧	2.90	2.96	3.02	V
	VLVDD3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.98	4.06	4.14	V
			立ち下がリ割り込み電圧	3.90	3.98	4.06	V

28. 6. 5 電源電圧立ち上がり傾き特性

(TA = -40~+85°C, VSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電圧立ち上がり傾き	SVDD				54	V/ms

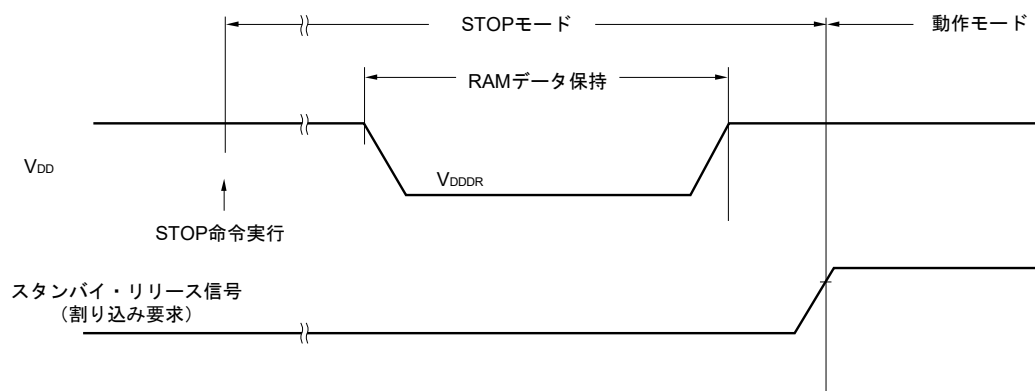
注意 VDDが28.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

28.7 RAMデータ保持特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.46 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



28.8 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単 位
システム・クロック周波数	f _{CLK}		1		24	MHz
コード・フラッシュの書き換え回数 ^{注1,2,3}	C _{erwr}	保持年数：20年 T _A = 85℃	1,000			回
データ・フラッシュの書き換え回数 ^{注1,2,3}		保持年数： 1年 T _A = 25℃		1,000,000		
		保持年数： 5年 T _A = 85℃	100,000			
		保持年数：20年 T _A = 85℃	10,000			

注 1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

28.9 専用フラッシュ・メモリ・プログラマ通信 (UART)

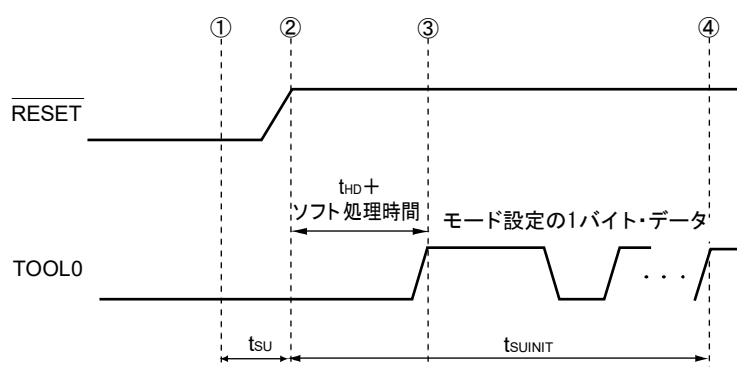
($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

28.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
外部リセット解除から初期設定通信を完了する時間	t_{SUINIT}	外部リセット解除前にPOR, LVDリセットを解除			100	ms
T00L0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前にPOR, LVDリセットを解除	10			μs
外部リセット解除から、T00L0端子をロウ・レベルにホールドする時間 (フラッシュ・ファーム処理時間を除く)	t_{HD}	外部リセット解除前にPOR, LVDリセットを解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 t_{SUINIT} : この区間では、リセット解除から100 ms 以内に初期設定通信を完了してください。

t_{SU} : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD} : 外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

第29章 電気的特性 (G : 産業用途 $T_A = -40 \sim +105^\circ\text{C}$)

この章では、以下の対象製品の電気的特性を示します。

対象製品 G : 産業用途 $T_A = -40 \sim +105^\circ\text{C}$

R5F102xxGxx

- 注意 1.** RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
- 2.** 製品により搭載している端子が異なります。ポート機能は2.1 ポート機能, ポート以外の機能は2.2.1 製品別の搭載機能を参照してください。
- 3.** $T_A = +85^\circ\text{C} \sim +105^\circ\text{C}$ で使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、「信頼性を改善するために、計画的に負荷を定格値から軽減すること」です。

備考 $T_A = -40 \sim +85^\circ\text{C}$ の範囲で使用する場合は第28章 電気的特性 ($T_A = -40 \sim +85^\circ\text{C}$) を参照してください。

“G : 産業用途 ($T_A = -40 \sim +105^\circ\text{C}$)” は“A : 民生用途, D : 産業用途” と次に示す機能が異なります。

用途区分	A : 民生用途, D : 産業用途	G : 産業用途
動作周囲温度	$T_A = -40 \sim +85^\circ\text{C}$	$T_A = -40 \sim +105^\circ\text{C}$
動作モード 動作電圧範囲	HS (高速メイン) モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 24\text{ MHz}$ $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$ LS (低速メイン) モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 8\text{ MHz}$	HS (高速メイン) モードのみ : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 24\text{ MHz}$ $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$
高速オンチップ・オシレータ・クロック精度	R5F102製品, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$: $\pm 1.0\% @ T_A = -20 \sim +85^\circ\text{C}$ $\pm 1.5\% @ T_A = -40 \sim -20^\circ\text{C}$ R5F103製品, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$: $\pm 5.0\% @ T_A = -40 \sim +85^\circ\text{C}$	R5F102製品, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$: $\pm 2.0\% @ T_A = +85 \sim +105^\circ\text{C}$ $\pm 1.0\% @ T_A = -20 \sim +85^\circ\text{C}$ $\pm 1.5\% @ T_A = -40 \sim -20^\circ\text{C}$
シリアル・アレイ・ユニット	UART 簡易SPI (CSI) : $f_{CLK}/2$ (12Mbps対応), $f_{CLK}/4$ 簡易I ² C	UART 簡易SPI (CSI) : $f_{CLK}/4$ 簡易I ² C
電圧検出回路	・ 立ち上がり : $1.88\text{ V} \sim 4.06\text{ V}$ (12段階) ・ 立ち下がり : $1.84\text{ V} \sim 3.98\text{ V}$ (12段階)	・ 立ち上がり : $2.61\text{ V} \sim 4.06\text{ V}$ (8段階) ・ 立ち下がり : $2.55\text{ V} \sim 3.98\text{ V}$ (8段階)

備考 G : 産業用途 ($T_A = -40 \sim +105^\circ\text{C}$) の電気的特性は, “A : 民生用途, D : 産業用途” と異なります。詳細は、このページ以降の29.1～29.10を参照してください。

29.1 絶対最大定格

($T_A = 25^{\circ}\text{C}$)

項 目	略 号	条 件		定 格	単 位
電源電圧	V _{DD}			−0.5〜+6.5	V
REGC端子入力電圧 ^{注1}	V _{I_{REGC}}	REGC		−0.3〜+2.8 かつ −0.3〜V _{DD} +0.3 ^{注2}	V
入力電圧	V _{I1}	P60, P61以外		−0.3〜V _{DD} +0.3 ^{注3}	V
	V _{I2}	P60, P61 (N-chオープン・ドレイン)		−0.3〜+6.5	V
出力電圧	V _O			−0.3〜V _{DD} +0.3 ^{注3}	V
アナログ入力電圧	V _{AI}	20, 24ピン製品 : ANI0-ANI3, ANI16-ANI22 30ピン製品 : ANI0-ANI3, ANI16-ANI19		−0.3〜V _{DD} +0.3 かつ −0.3〜AV _{REF} (+)+0.3 ^{注3, 4}	V
ハイ・レベル出力電流	I _{OH1}	1端子	P20-P23以外	−40	mA
		端子合計	P20-P23以外の全端子	−170	mA
			20, 24ピン製品 : P40-P42 30ピン製品 : P00, P01, P40, P120	−70	mA
			20, 24ピン製品 : P00-P03 ^{注5} , P10-P14 30ピン製品 : P10-P17, P30, P31, P50, P51, P147	−100	mA
	I _{OH2}	1端子	P20-P23	−0.5	mA
		端子合計		−2	mA
ロウ・レベル出力電流	I _{OL1}	1端子	P20-P23以外	40	mA
		端子合計	P20-P23以外の全端子	170	mA
			20, 24ピン製品 : P40-P42 30ピン製品 : P00, P01, P40, P120	70	mA
			20, 24ピン製品 : P00-P03 ^{注5} , P10-P14, P60, P61 30ピン製品 : P10-P17, P30, P31, P50, P51, P60, P61, P147	100	mA
	I _{OL2}	1端子	P20-P23	1	mA
		端子合計		5	mA
動作周囲温度	T _A			−40〜+105	°C
保存温度	T _{stg}			−65〜+150	°C

注1. 30ピン製品のみ

2. REGC端子にはコンデンサ (0.47~1 μF) を介して V_{SS} に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。
3. 6.5 V以下であること。
4. A/D変換対象の端子は、 $AV_{REF}(+) + 0.3$ を越えないでください。
5. 24ピン製品のみ

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

2. $AV_{REF}(+)$: A/Dコンバータの+側基準電圧
3. V_{SS} を基準電圧とする。

29.2 発振回路特性

29.2.1 X1発振回路特性

($T_A = -40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項 目	発振子	条 件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数 (f_x) 注	セラミック発振子／	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	1.0		20.0	MHz
	水晶振動子	$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$	1.0		8.0	

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC 特性を参照してください。また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックにより CPU が起動されるため、X1 クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTC レジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1 発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

29.2.2 オンチップ・オシレータ特性

($T_A = -40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

発振子	略 号	条 件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1, 2	f_{IH}		1		24	MHz
高速オンチップ・オシレータ・クロック周波数精度		R5F102製品	$T_A = -20 \sim +85^\circ\text{C}$	-1.0	+1.0	%
			$T_A = -40 \sim -20^\circ\text{C}$	-1.5	+1.5	%
			$T_A = +85 \sim +105^\circ\text{C}$	-2.0	+2.0	%
低速オンチップ・オシレータ・クロック周波数	f_{IL}			15		kHz
低速オンチップ・オシレータ・クロック周波数精度			-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H)のビット0-3とHOCODIVレジスタのビット0-2で選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

29.3 DC特性

29.3.1 端子特性

($T_A = -40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

(1/4)

項 目	略号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流 ^{注1}	IOH1	20, 24ピン製品 : P00-P03 ^{注4} P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147 1端子			-3.0 ^{注2}	mA
		20, 24ピン製品 : P40-P42	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		-9.0	mA
		30ピン製品 : P00, P01, P40, P120	$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$		-6.0	mA
		合計 (デューティ $\leq 70\%$ 時 ^{注3})	$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$		-4.5	mA
		20, 24ピン製品 : P00-P03 ^{注4} , P10-P14	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		-27.0	mA
			$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$		-18.0	mA
		30ピン製品 : P10-P17, P30, P31, P50, P51, P147 合計 (デューティ $\leq 70\%$ 時 ^{注3})	$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$		-10.0	mA
		全端子合計 (デューティ $\leq 70\%$ 時 ^{注3})			-36.0	mA
	IOH2	P20-P23 1端子			-0.1	mA
		端子合計			-0.4	mA

注 1. V_{DD} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. ただし、合計の電流値を超えないでください。

3. デューティ $\leq 70\%$ の条件での出力電流の値です。

デューティ $> 70\%$ に変更した出力電流の値は、次の計算式で求めることができます（デューティ比を $n\%$ に変更する場合）。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

<計算例> $I_{OH} = -10.0\text{ mA}$ の場合, $n = 80\%$

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \div -8.7\text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

4. 24ピン製品のみ

注意 20ピン製品のP10-P12, P41, 24ピン製品のP01, P10-P12, P41と30ピン製品のP00, P10-P15, P17, P50は、N-chオープン・ドレイン・モード時には、ハイ・レベルを出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = $-40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

(2/4)

項 目	略号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル出力電流 ^{注1}	I _{OL1}	20, 24ピン製品: P00-P03 ^{注4} , P10-14, P40-P42 30ピン製品: P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147 1端子			8.5 ^{注2}	mA
		P60, P61 1端子			15.0 ^{注2}	mA
		20, 24ピン製品: P40-P42	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		25.5	mA
		30ピン製品: P00, P01, P40, P120	$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$		9.0	mA
		合計 (デューティ ≤ 70%時 ^{注3})	$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$		1.8	mA
		20, 24ピン製品: P00-P03 ^{注4} , P10-P14, P60, P61 30ピン製品: P10-P17, P30, P31, P50, P51, P60, P61, P147 合計 (デューティ ≤ 70%時 ^{注3})	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		40.0	mA
			$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$		27.0	mA
			$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$		5.4	mA
		全端子合計 (デューティ ≤ 70%時 ^{注3})			65.5	mA
	I _{OL2}	P20-P23 1端子			0.4	mA
		全端子合計			1.6	mA

注1. 出力端子からV_{SS}端子に流れ込んでも、デバイスの動作を保証する電流値です。

2. ただし、合計の電流値を超えないでください。

3. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.7) \div (n \times 0.01)$$

<計算例> I_{OL} = 10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (10.0 \times 0.7) \div (80 \times 0.01) \div 8.7\text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

4. 24ピン製品のみ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = $-40 \sim +105^{\circ}\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

(3/4)

項 目	略号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	V _{IH1}	通常入力バッファ 20, 24ピン製品 : P00-P03 ^{※2} , P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	0.8V _{DD}		V _{DD}	V
	V _{IH2}	TTL入力バッファ 20, 24ピン製品 : P10, P11 30ピン製品 : P01, P10, P11, P13-P17	4.0 V $\leq$ V _{DD} $\leq$ 5.5 V	2.2	V _{DD}	V
			3.3 V $\leq$ V _{DD} < 4.0 V	2.0	V _{DD}	V
			2.4 V $\leq$ V _{DD} < 3.3 V	1.5	V _{DD}	V
	V _{IH3}	P20-P23	0.7V _{DD}		V _{DD}	V
	V _{IH4}	P60, P61	0.7V _{DD}		6.0	V
	V _{IH5}	P121, P122, P125 ^{※1} , P137, EXCLK, RESET	0.8V _{DD}		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	通常入力バッファ 20, 24ピン製品 : P00-P03 ^{※2} , P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	0		0.2V _{DD}	V
	V _{IL2}	TTL入力バッファ 20, 24ピン製品 : P10, P11 30ピン製品 : P01, P10, P11, P13-P17	4.0 V $\leq$ V _{DD} $\leq$ 5.5 V	0	0.8	V
			3.3 V $\leq$ V _{DD} < 4.0 V	0	0.5	V
			2.4 V $\leq$ V _{DD} < 3.3 V	0	0.32	V
	V _{IL3}	P20-P23	0		0.3V _{DD}	V
	V _{IL4}	P60, P61	0		0.3V _{DD}	V
	V _{IL5}	P121, P122, P125 ^{※1} , P137, EXCLK, RESET	0		0.2V _{DD}	V
ハイ・レベル出力電圧	V _{OH1}	20, 24ピン製品 : P00-P03 ^{※2} , P10-P14, P40-P42 30ピン製品 : P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	4.0 V $\leq$ V _{DD} $\leq$ 5.5 V, I _{OH1} = -3.0 mA	V _{DD} -0.7		V
			2.7 V $\leq$ V _{DD} $\leq$ 5.5 V, I _{OH1} = -2.0 mA	V _{DD} -0.6		V
			2.4 V $\leq$ V _{DD} $\leq$ 5.5 V, I _{OH1} = -1.5 mA	V _{DD} -0.5		V
	V _{OH2}	P20-P23	I _{OH2} = -100 μ A	V _{DD} -0.5		V

注1. 20, 24ピン製品のみ

2. 24ピン製品のみ

注意 20ピン製品のP10-P12, P41, 24ピン製品のP01, P10-P12, P41と30ピン製品のP00, P10-P15, P17, P50は、N-chオープン・ドレイン・モード時でもV_{IH}の最大値 (MAX.) はV_{DD}です。
また、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40~+105°C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

(4/4)

項 目	略号	条 件		MIN.	TYP.	MAX.	単 位	
ロウ・レベル出力電圧	VOL1	20, 24ピン製品：P00-P03 [※] , P10-P14, P40-P42 30ピン製品：P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147		4.0 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 8.5 mA			0.7	V
				2.7 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 3.0mA			0.6	V
				2.7 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 1.5 mA			0.4	V
				2.4 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 0.6 mA			0.4	V
	VOL2	P20-P23		I _{OL2} = 400 μA			0.4	V
	VOL3	P60, P61		4.0 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 15.0 mA			2.0	V
				4.0 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 5.0 mA			0.4	V
				2.7 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 3.0 mA			0.4	V
				2.4 V ≤ V _{DD} ≤ 5.5 V, I _{OL1} = 2.0 mA			0.4	V
ハイ・レベル入力リーク電流	ILIH1	P121, P122以外	V _I = V _{DD}			1	μA	
	ILIH2	P121, P122 (X1, X2/EXCLK)	V _I = V _{DD} 入力ポート時, 外部クロック入力時 発振子接続時			1	μA	
						10	μA	
ロウ・レベル入力リーク電流	ILIL1	P121, P122以外	V _I = V _{SS}			−1	μA	
	ILIL2	P121, P122 (X1, X2/EXCLK)	V _I = V _{SS} 入力ポート時, 外部クロック入力時 発振子接続時			−1	μA	
						−10	μA	
内蔵プルアップ抵抗	RU	20, 24ピン製品：P00-P03 [※] , P10-P14, P40-P42, P125, RESET 30ピン製品：P00, P01, P10-P17, P30, P31, P40, P50, P51, P120, P147	V _I = V _{SS} , 入力ポート時	10	20	100	kΩ	

注 24ピン製品のみ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

29.3.2 電源電流特性

(1) 20, 24ピン製品

 $(T_A = -40 \sim +105^{\circ}\text{C}, 2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}, V_{SS} = 0\text{ V})$

(1/2)

項 目	略号	条 件				MIN.	TYP.	MAX.	単位		
電源電流 ^{注1}	I _{DD1}	動作モード	HS(高速メイン)モード ^{注4}	f _{IH} = 24 MHz ^{注3}	基本動作	V _{DD} = 5.0 V		1.5		mA	
						V _{DD} = 3.0 V		1.5			
					f _{IH} = 16 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		3.3	5.3	mA
							V _{DD} = 3.0 V		3.3	5.3	
				f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V			V _{DD} = 5.0 V		2.5	3.9	mA
							V _{DD} = 3.0 V		2.5	3.9	
				f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		2.8	4.7	mA		
					発振子接続		3.0	4.8			
				f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		2.8	4.7	mA		
					発振子接続		3.0	4.8			
				f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		1.8	2.8	mA		
					発振子接続		1.8	2.8			
				f _{MX} = 10 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		1.8	2.8	mA		
					発振子接続		1.8	2.8			

注 1. V_{DD} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

2. 高速オンチップ・オシレータ停止時。

3. 高速システム・クロック停止時。

4. 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。

HS(高速メイン)モード : $V_{DD} = 2.7 \sim 5.5\text{ V}@1\text{ MHz} \sim 24\text{ MHz}$

$V_{DD} = 2.4 \sim 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

3. TYP.値の温度条件は、 $T_A = 25^{\circ}\text{C}$ です。

(1) 20, 24ピン製品

 $(T_A = -40 \sim +105^\circ\text{C}, 2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}, V_{SS} = 0\text{ V})$

(2/2)

項 目	略号	条 件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD2} ^{注2}	HALTモード	HS(高速メイン)モード ^{注6}	f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V		440	2230	μA	
					V _{DD} = 3.0 V		440	2230		
				f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V		400	1650	μA	
					V _{DD} = 3.0 V		400	1650		
				f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力		280	1900	μA	
					発振子接続		450	2000		
				f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		280	1900	μA	
					発振子接続		450	2000		
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力		190	1010	μA	
					発振子接続		260	1090		
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		190	1010	μA	
					発振子接続		260	1090		
	I _{DD3} ^{注5}	STOPモード	T _A = -40°C					0.19	0.50	μA
			T _A = +25°C					0.24	0.50	
			T _A = +50°C					0.32	0.80	
			T _A = +70°C					0.48	1.20	
			T _A = +85°C					0.74	2.20	
			T _A = +105°C					1.50	10.20	

注1. V_{DD} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

- フラッシュ・メモリでのHALT命令実行時。
- 高速オンチップ・オシレータ停止時。
- 高速システム・クロック停止時。
- 12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。
HS(高速メイン)モード : $V_{DD} = 2.7 \sim 5.5\text{ V}@1\text{ MHz} \sim 24\text{ MHz}$
 $V_{DD} = 2.4 \sim 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

- f_{IH} : 高速オンチップ・オシレータ・クロック周波数
- STOPモード以外のTYP.値の温度条件は、 $T_A = 25^\circ\text{C}$ です。

(2) 30ピン製品

 $(T_A = -40 \sim +105^\circ\text{C}, 2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}, V_{SS} = 0\text{ V})$

(1/2)

項 目	略号	条 件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	動作モード	HS(高速メイン)モード ^{注4}	f _{IH} = 24 MHz ^{注3}	基本動作	V _{DD} = 5.0 V		1.5		mA
						V _{DD} = 3.0 V		1.5		
					通常動作	V _{DD} = 5.0 V		3.7	5.8	mA
						V _{DD} = 3.0 V		3.7	5.8	
				f _{IH} = 16 MHz ^{注3}		V _{DD} = 5.0 V		2.7	4.2	mA
						V _{DD} = 3.0 V		2.7	4.2	
				f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		3.0	4.9	mA	
					発振子接続		3.2	5.0		
				f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		3.0	4.9	mA	
					発振子接続		3.2	5.0		
				f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		1.9	2.9	mA	
					発振子接続		1.9	2.9		
				f _{MX} = 10 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		1.9	2.9	mA	
					発振子接続		1.9	2.9		

注1. V_{DD} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

2. 高速オンチップ・オシレータ停止時。
3. 高速システム・クロック停止時。
4. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。
 HS(高速メイン)モード： $V_{DD} = 2.7 \sim 5.5\text{ V}@1\text{ MHz} \sim 24\text{ MHz}$
 $V_{DD} = 2.4 \sim 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
3. TYP.値の温度条件は， $T_A = 25^\circ\text{C}$ です。

(2) 30ピン製品

(TA = $-40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

(2/2)

項 目	略号	条 件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD2} ^{注2}	HALTモード	HS(高速メイン)モード ^{注6}	f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V		440	2300	μA	
					V _{DD} = 3.0 V		440	2300		
				f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V		400	1700	μA	
					V _{DD} = 3.0 V		400	1700		
				f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力		280	1900	μA	
					発振子接続		450	2000		
				f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		280	1900	μA	
					発振子接続		450	2000		
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力		190	1020	μA	
					発振子接続		260	1100		
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		190	1020	μA	
					発振子接続		260	1100		
	I _{DD3} ^{注5}	STOPモード	T _A = -40°C					0.18	0.50	μA
			T _A = +25°C					0.23	0.50	
T _A = +50°C					0.30	1.10				
T _A = +70°C					0.46	1.90				
T _A = +85°C					0.75	3.30				
T _A = +105°C					2.94	15.30				

注 1. V_{DD} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

- フラッシュ・メモリでのHALT命令実行時。
- 高速オンチップ・オシレータ停止時。
- 高速システム・クロック停止時。
- 12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。

HS(高速メイン)モード : $V_{DD} = 2.7 \sim 5.5\text{ V}@1\text{ MHz} \sim 24\text{ MHz}$

$V_{DD} = 2.4 \sim 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

3. STOPモード以外のTYP.値の温度条件は、 $T_A = 25^\circ\text{C}$ です。

(3) 周辺機能 (全製品共通)

(TA = $-40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項 目	略号	条 件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I _{FIL} ^{注1}				0.20		μA
12ビット・インターバル・タイマ動作電流	I _{TMKA} ^{注1, 2, 3}				0.02		μA
ウォッチドッグ・タイマ動作電流	I _{WDT} ^{注1, 2, 4}	f _{IL} = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I _{ADC} ^{注1, 5}	最高速変換時	標準モード, AV _{REFP} = V _{DD} = 5.0 V		1.30	1.70	mA
			低電圧モード, AV _{REFP} = V _{DD} = 3.0 V		0.50	0.70	mA
A/Dコンバータ基準電圧動作電流	I _{ADREF} ^{注1}				75.0		μA
温度センサ動作電流	I _{TMPS} ^{注1}				75.0		μA
LVD動作電流	I _{LVD} ^{注1, 6}				0.08		μA
セルフ・プログラミング動作電流	I _{FSP} ^{注1, 8}				2.00	12.20	mA
BGO電流	I _{BGO} ^{注1, 7}				2.00	12.20	mA
SNOOZE動作電流	I _{SNOZ} ^{注1}	ADC動作	モード移行中 ^{注9}		0.50	1.10	mA
			変換動作中		1.20	2.04	mA
			低電圧モード, AV _{REFP} = V _{DD} = 3.0 V				
		簡易SPI (CSI) /UART動作			0.70	1.54	mA

注1. V_{DD}に流れる電流です。

- 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
- 12ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ動作電流は含みません)。12ビット・インターバル・タイマの動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{FIL}とI_{TMKA}を加算した値が, RL78マイクロコントローラの電源電流値となります。
- ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が, RL78マイクロコントローラの電源電流値となります。
- A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでA/Dコンバータの動作時は, I_{DD1}またはI_{DD2}にI_{ADC}を加算した値が, RL78マイクロコントローラの電源電流値となります。
- LVD回路にのみ流れる電流です。LVD回路の動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{LVD}を加算した値が, RL78マイクロコントローラの電流値となります。
- データ・フラッシュ書き換え動作に流れる電流です。
- セルフ・プログラミング動作に流れる電流です。
- SNOOZEモードへの移行時間は, 17.3.3 SNOOZEモードを参照してください。

備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数

- TYP.値の温度条件は, T_A = 25°Cです。

29.4 AC特性

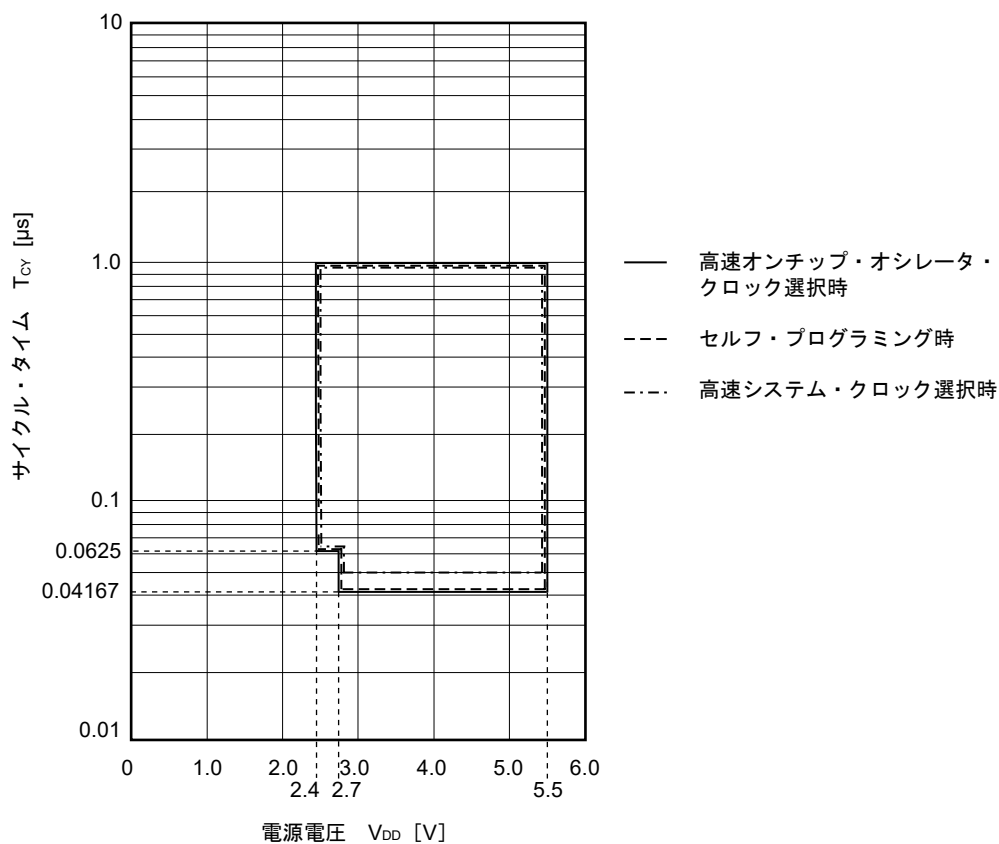
($T_A = -40 \sim +105^{\circ}\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項 目	略 号	条 件			MIN.	TYP.	MAX.	単 位
命令サイクル (最小命令実行時間)	T _{CY}	メイン・システム・ クロック (f _{MAIN}) 動作	HS (高速メイン) モード	2.7V≦V _{DD} ≦5.5V	0.04167		1	μs
				2.4V≦V _{DD} <2.7V	0.0625		1	μs
		セルフ・ プログラミング時	HS (高速メイン) モード	2.7V≦V _{DD} ≦5.5V	0.04167		1	μs
				2.4V≦V _{DD} <2.7V	0.0625		1	μs
外部メイン・システム・ クロック周波数	f _{EX}	2.7 V≦V _{DD} ≦5.5 V			1.0		20.0	MHz
		2.4 V≦V _{DD} <2.7 V			1.0		16.0	MHz
外部メイン・システム・ クロック入力ハイ／ロウ・ レベル幅	t _{EXH} , t _{EXL}	2.7 V≦V _{DD} ≦5.5 V			24			ns
		2.4 V≦V _{DD} <2.7 V			30			ns
TI00-TI07入力ハイ／ロウ・ レベル幅	t _{TIH} , t _{TIL}				1/f _{MCK} + 10			ns
TO00-TO07出力周波数	f _{TO}	4.0 V≦V _{DD} ≦5.5 V					12	MHz
		2.7 V≦V _{DD} <4.0 V					8	MHz
		2.4 V≦V _{DD} <2.7 V					4	MHz
PCLBUZ0, PCLBUZ1出力 周波数	f _{PCL}	4.0 V≦V _{DD} ≦5.5 V					16	MHz
		2.7 V≦V _{DD} <4.0 V					8	MHz
		2.4 V≦V _{DD} <2.7 V					4	MHz
INTP0-INTP5入力ハイ／ロウ・ レベル幅	t _{INTH} , t _{INTL}				1			μs
KR0-KR9入力有効レベル幅	t _{KR}				250			ns
RESETロウ・レベル幅	t _{RSL}				10			μs

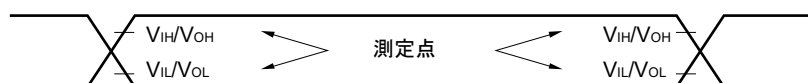
備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数

(タイマ・クロック選択レジスタ0 (TPS0) とタイマ・モード・レジスタ0n (TMR0n) のCKS0nビットで設定する動作クロック。n : チャネル番号 (n = 0-7))

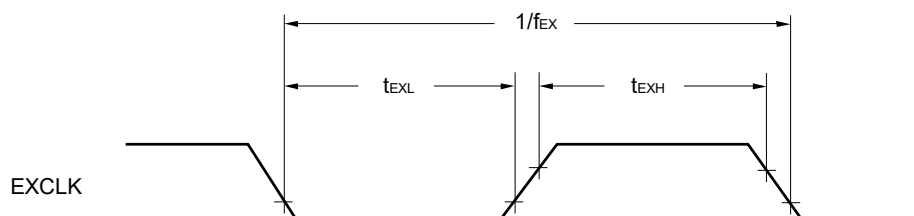
メイン・システム・クロック動作時の最小命令実行時間

 T_{CY} vs V_{DD} (HS (高速メイン) モード)

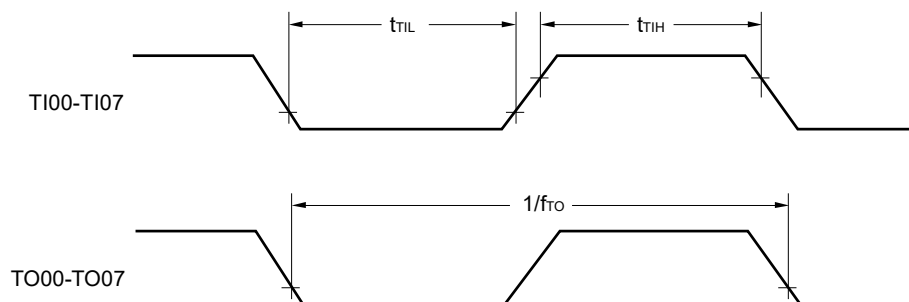
ACタイミング測定点



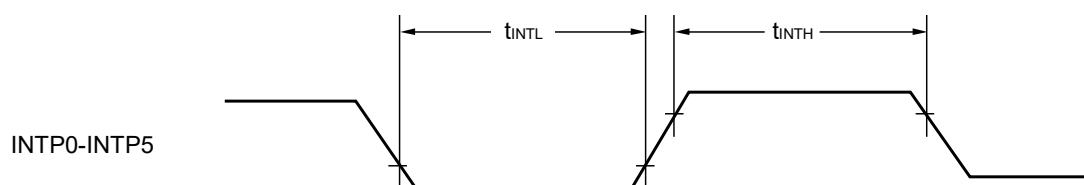
外部メイン・システム・クロック・タイミング



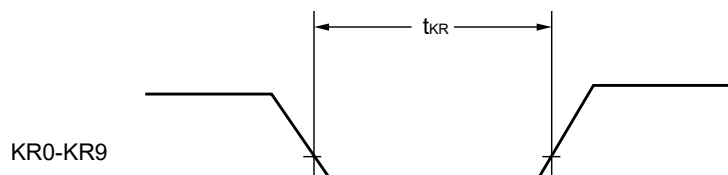
TI/TO タイミング



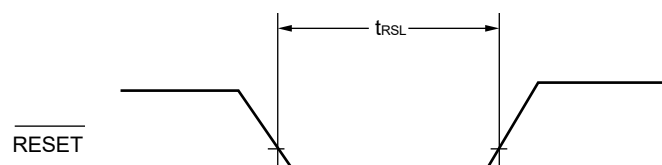
割り込み要求入力タイミング



キー割り込み入力タイミング

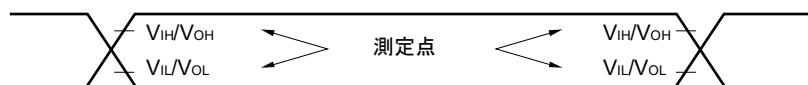


RESET 入力タイミング



29.5 周辺機能特性

AC タイミング測定点



29.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UARTモード)

($T_A = -40 \sim +105^{\circ}\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項 目	略号	条 件	HS (高速メイン) モード		単位
			MIN.	MAX.	
転送レート ^{注1}				$f_{MCK}/12$	bps
		最大転送レート理論値 $f_{CLK} = f_{MCK}$ ^{注2}		2.0	Mbps

注 1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

2. CPU/周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

HS (高速メイン) モード : 24 MHz ($2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$)

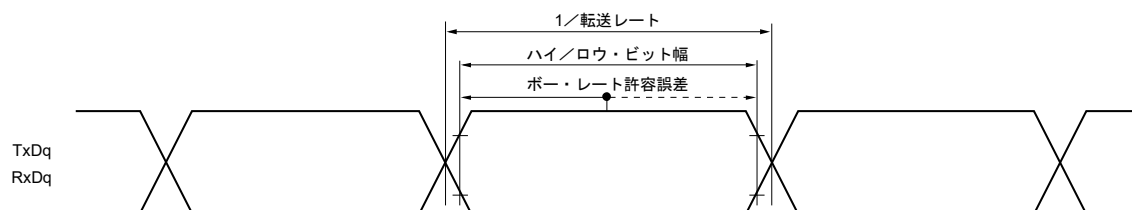
16 MHz ($2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$)

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Rx/Dq端子は通常入力バッファを選択し、Tx/Dq端子は通常出力モードを選択します。

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



備考1. q : UART番号 (q = 0-2) , g : PIM, POM番号 (g = 0, 1)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号, n : チャンネル番号 (mn = 00-03, 10, 11))

(2) 同電位通信, 簡易SPI (CSI) モード時 (マスタ・モード, SCKp…内部クロック出力)

 $(T_A = -40 \sim +105^\circ\text{C}, 2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}, V_{SS} = 0\text{ V})$

項 目	略号	条 件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCKpサイクル・タイム	t_{KCY1}	$t_{KCY1} \geq 4/f_{CLK}$	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	334	ns
			$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	500	ns
SCKpハイ/ロウ・レベル幅	t_{KH1}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$t_{KCY1}/2 - 24$		ns
	t_{KL1}	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$t_{KCY1}/2 - 36$		ns
		$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$t_{KCY1}/2 - 76$		ns
Slpセットアップ時間 (対SCKp↑) 注1	t_{SIK1}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	66		ns
		$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	66		ns
		$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	113		ns
Slpホールド時間 (対SCKp↑) 注1	t_{KSI1}		38		ns
SCKp↓→SOp出力遅延時間注2	t_{KSO1}	$C = 30\text{ pF}$ 注3		50	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Clは, SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ0, 1, 4 (POM0, POM1, POM4) で, Slp端子は通常入力バッファを選択し, SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p : CSI番号 (p = 00, 01, 11, 20), m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0, 1, 3)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0, 1, 3))

(3) 同電位通信, 簡易SPI (CSI) モード時 (スレーブ・モード, SCKp…外部クロック入力)

 $(T_A = -40 \sim +105^{\circ}\text{C}, 2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}, V_{SS} = 0\text{ V})$

項 目	略号	条 件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCKpサイクル・タイム ^{注4}	t_{KCY2}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$20\text{ MHz} < f_{MCK}$	$16/f_{MCK}$	ns
			$f_{MCK} \leq 20\text{ MHz}$	$12/f_{MCK}$	ns
		$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$16\text{ MHz} < f_{MCK}$	$16/f_{MCK}$	ns
			$f_{MCK} \leq 16\text{ MHz}$	$12/f_{MCK}$	ns
		$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$12/f_{MCK}$ かつ 1000		ns
SCKpハイ, ロウ・レベル幅	$t_{KH2},$ t_{KL2}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$t_{KCY2}/2 - 14$		ns
		$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$t_{KCY2}/2 - 16$		ns
		$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$t_{KCY2}/2 - 36$		ns
Slpセットアップ時間 (対SCKp↑) ^{注1}	t_{SIK2}	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$1/f_{MCK} + 40$		ns
		$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$1/f_{MCK} + 60$		ns
Slpホールド時間 (対SCKp↑) ^{注1}	t_{KSI2}		$1/f_{MCK} + 62$		ns
SCKp↓→SOp出力遅延時間 ^{注2}	t_{KSO2}	$C = 30\text{ pF}$ ^{注3}	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		ns
			$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

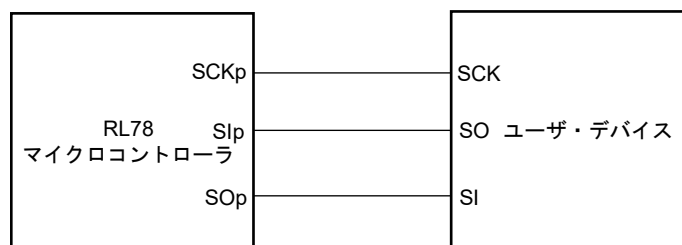
2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Clは, SOp出力ラインの負荷容量です。

4. SNOOZEモードでの転送レートは, MAX. 1 Mbpsです。

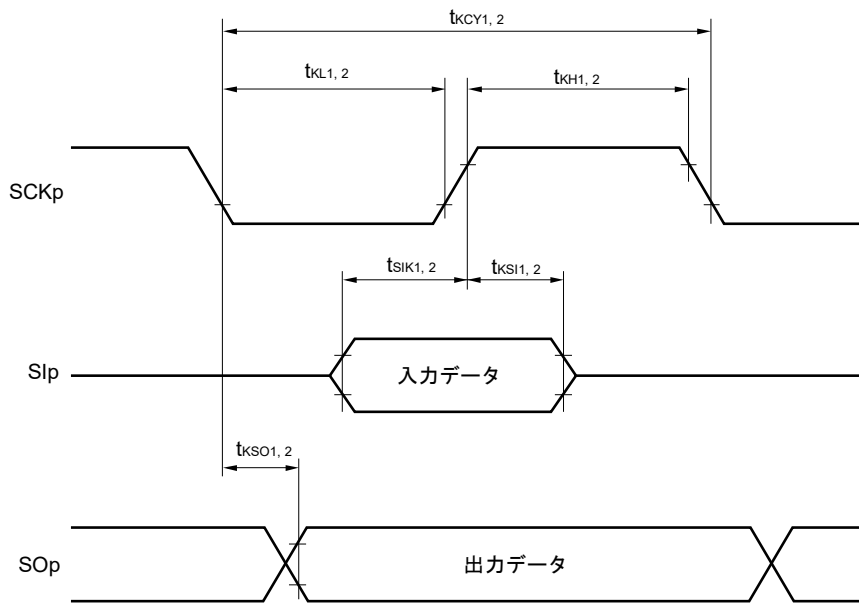
注意 ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ0, 1, 4 (POM0, POM1, POM4) で, Slp端子とSCKp端子は通常入力バッファを選択し, SOp端子は通常出力モードを選択します。

簡易SPI (CSI) モード接続図 (同電位通信時)

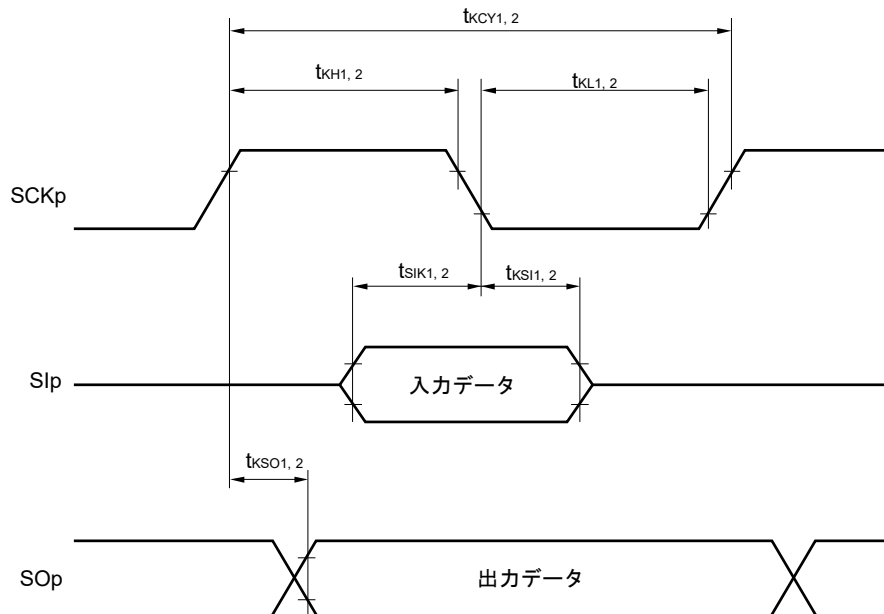


(備考は次ページにあります。)

簡易SPI (CSI) モード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI (CSI) モード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号 (p = 00, 01, 11, 20) , m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 1, 3)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

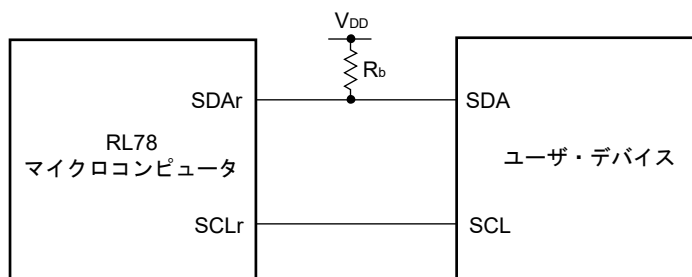
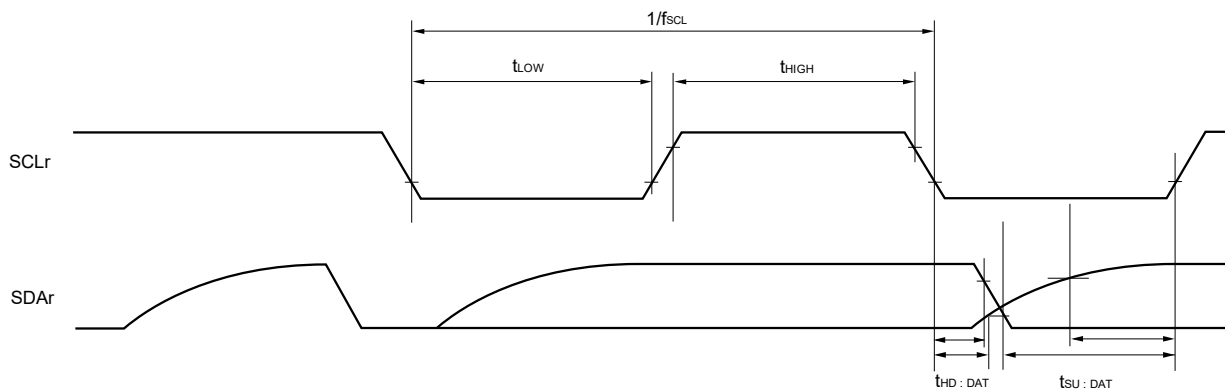
(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 1, 3))

(4) 同電位通信時 (簡易I²Cモード) $(T_A = -40 \sim +105^\circ\text{C}, 2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}, V_{SS} = 0\text{ V})$

項 目	略号	条 件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCLrクロック周波数	f _{SCL}	C _b = 100 pF, R _b = 3 kΩ		100 ^{注1}	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	C _b = 100 pF, R _b = 3 kΩ	4600		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	C _b = 100 pF, R _b = 3 kΩ	4600		ns
データ・セットアップ時間 (受信時)	t _{SU:DAT}	C _b = 100 pF, R _b = 3 kΩ	1/f _{MCK} + 580 ^{注2}		ns
データ・ホールド時間 (送信時)	t _{HD:DAT}	C _b = 100 pF, R _b = 3 kΩ	0	1420	ns

注1. f_{MCK}/4以下に設定してください。2. t_{SU:DAT}がSCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

注意 ポート出力モード・レジスタh (POMh) で、SDArはN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択し、SCLrは通常出力モードを選択します。

簡易I²Cモード接続図 (同電位通信時)簡易I²Cモード・シリアル転送タイミング (同電位通信時)備考1. R_b [Ω]: 通信ライン (SDAr) プルアップ抵抗値, C_b [F]: 通信ライン (SCLr, SDAr) 負荷容量値

2. r: IIC番号 (r = 00, 01, 11, 20), h: POM番号 (h = 0, 1, 4, 5)

3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0, 1, 3))

(5) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UARTモード)

(TA = -40~+105°C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項 目	略号	条 件		HS（高速メイン）モード		単位	
				MIN.	MAX.		
転送レート ^{注4}		受信	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V			f _{MCK} /12 ^{注1}	bps
			最大転送レート理論値 f _{MCK} = f _{CLK} ^{注2}			2.0	Mbps
			2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V			f _{MCK} /12 ^{注1}	bps
			最大転送レート理論値 f _{MCK} = f _{CLK} ^{注2}			2.0	Mbps
			2.4V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V			f _{MCK} /12 注1	bps
			最大転送レート理論値 f _{MCK} = f _{CLK} ^{注2}			2.0	Mbps
		送信	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V			注3	bps
			最大転送レート理論値 C _b = 50 pF, R _b = 1.4 kΩ, V _b = 2.7 V			2.0 ^{注4}	Mbps
			2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V			注5	bps
			最大転送レート理論値 C _b = 50 pF, R _b = 2.7 kΩ, V _b = 2.3 V			1.2 ^{注6}	Mbps
			2.4V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V			注2,7	bps
			最大転送レート理論値 C _b = 50 pF, R _b = 5.5 kΩ, V _b = 1.6 V			0.43 ^{注8}	Mbps

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

2. CPU/周辺ハードウェア・クロック (fCLK) の最高動作周波数を次に示します。

HS (高速メイン) モード : 24 MHz (2.7 V ≤ VDD ≤ 5.5 V)

16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

3. fMCK/12または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

5. $f_{MCK}/12$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
 $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$ 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

6. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注5により算出してください。

7. $f_{MCK}/12$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
 $2.4\text{ V} \leq V_{DD} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$ 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \quad [\text{bps}]$$

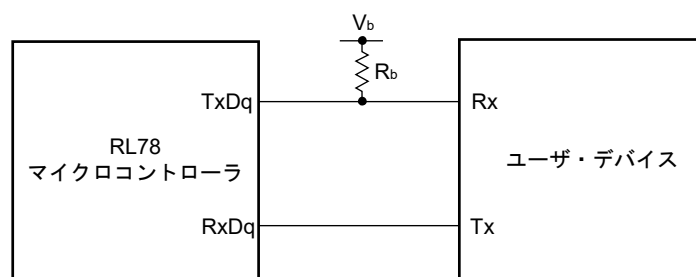
$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

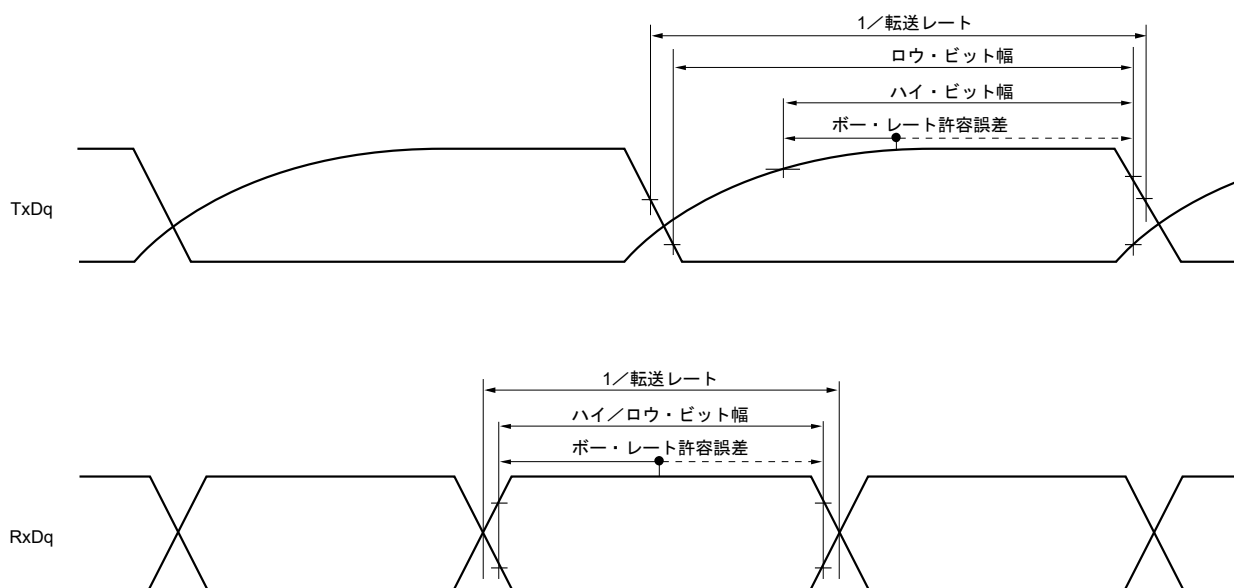
8. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注7により算出してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。なお V_{IH} , V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



- 備考1.** $R_b [\Omega]$: 通信ライン (TxDq) プルアップ抵抗値, $C_b [F]$: 通信ライン (TxDq) 負荷容量値, $V_b [V]$: 通信ライン電圧
- 2.** q : UART番号 ($q = 0-2$), g : PIM, POM番号 ($g = 0, 1$)
- 3.** f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。 m : ユニット番号, n : チャネル番号 ($mn = 00-03, 10, 11$))
- 4.** 20, 24ピン製品のUART0は, 周辺I/Oリダイレクト機能未使用時のみ異電位通信に対応します。

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信, 簡易SPI (CSI) モード時 (マスタ・モード, SCKp…内部クロック出力) (1/3)

($T_A = -40 \sim +105^\circ\text{C}$, $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項 目	略号	条 件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCKpサイクル・タイム	t_{KCY1}	$t_{KCY1} \geq 4/f_{CLK}$ $4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	600		ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	1000		ns
		$2.4 \text{ V} \leq V_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$	2300		ns
SCKpハイ・レベル幅	t_{KH1}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	$t_{KCY1}/2 - 150$		ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	$t_{KCY1}/2 - 340$		ns
		$2.4 \text{ V} \leq V_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$	$t_{KCY1}/2 - 916$		ns
SCKpロウ・レベル幅	t_{KL1}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	$t_{KCY1}/2 - 24$		ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	$t_{KCY1}/2 - 36$		ns
		$2.4 \text{ V} \leq V_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$	$t_{KCY1}/2 - 100$		ns

注意1. ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, SIp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。
なお V_{IH} , V_{IL} は, TTL入力バッファ選択時のDC特性を参照してください。

2. CSI01, CSI11は異電位通信できません。

備考1. $R_b [\Omega]$: 通信ライン (SCKp, SOp) プルアップ抵抗値, $C_b [\text{F}]$: 通信ライン (SCKp, SOp) 負荷容量値,
 $V_b [\text{V}]$: 通信ライン電圧

2. p: CSI番号 (p = 00, 20)

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信, 簡易SPI (CSI) モード時 (マスタ・モード, SCKp…内部クロック出力) (2/3)

(TA = -40 ~ +105°C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項 目	略号	条 件	HS (高速メイン) モード		単位
			MIN.	MAX.	
Slpセットアップ時間 (対SCKp ↑) 注	t _{SIK1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	162		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	354		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	958		ns
Slpホールド時間 (対SCKp ↑) 注	t _{KSI1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	38		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	38		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	38		ns
SCKp ↓ → SOp出力遅延時間注	t _{KSO1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		200	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		390	ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ		966	ns

注 DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

(注意, 備考は次ページにあります。)

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信, 簡易SPI (CSI) モード時 (マスタ・モード, SCKp…内部クロック出力) (3/3)

($T_A = -40 \sim +105^\circ\text{C}$, $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項 目	略号	条 件	HS (高速メイン) モード		単位
			MIN.	MAX.	
Slpセットアップ時間 (対SCKp ↓) 注	t _{SIK1}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	88		ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	88		ns
		$2.4 \text{ V} \leq V_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$	220		ns
Slpホールド時間 (対SCKp ↓) 注	t _{KSI1}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	38		ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	38		ns
		$2.4 \text{ V} \leq V_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$	38		ns
SCKp ↑ → SOp出力遅延時間注	t _{KSO1}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$		50	ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$		50	ns
		$2.4 \text{ V} \leq V_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$		50	ns

注 DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

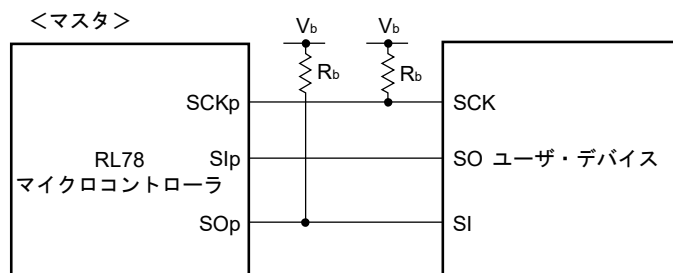
注意1. ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, Slp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。
なお V_{IH} , V_{IL} は, TTL入力バッファ選択時のDC特性を参照してください。

2. CSI01, CSI11は異電位通信できません。

備考1. R_b [Ω] : 通信ライン (SCKp, SOp) プルアップ抵抗値, C_b [F] : 通信ライン (SCKp, SOp) 負荷容量値,
 V_b [V] : 通信ライン電圧

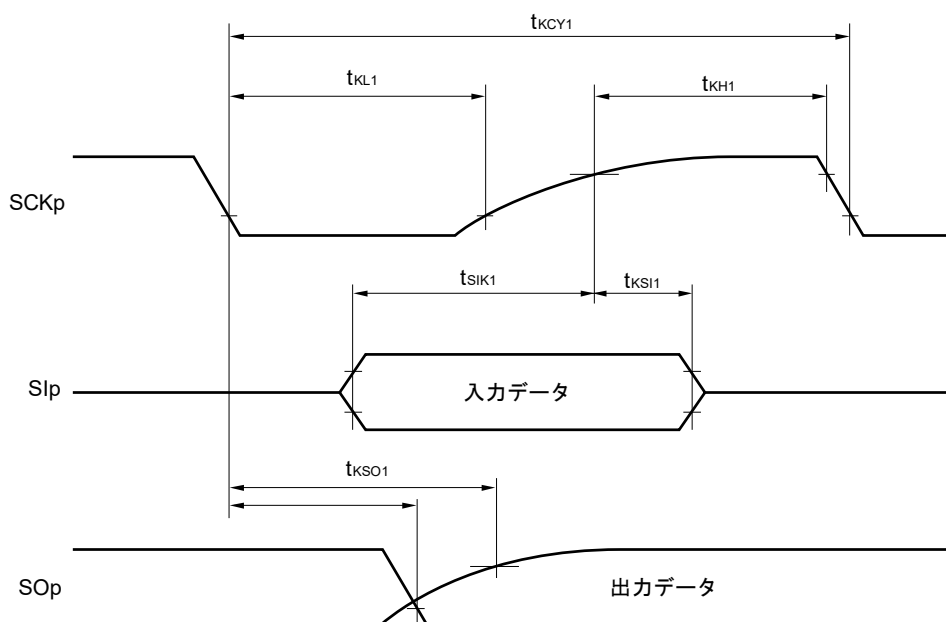
2. p : CSI番号 (p = 00, 20) , m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0)

簡易SPI (CSI) モード接続図 (異電位通信時)



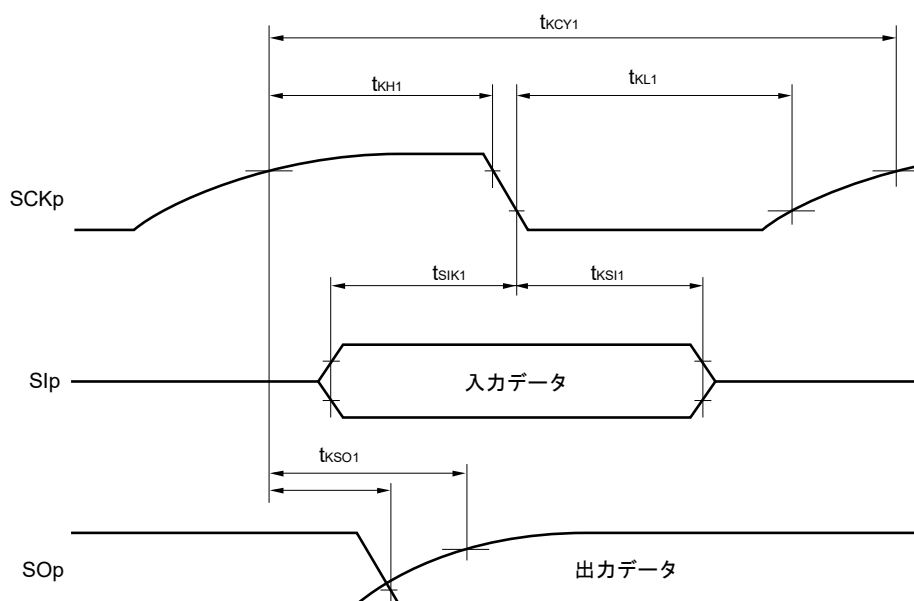
簡易SPI (CSI) モード・シリアル転送タイミング：マスタ・モード (異電位通信時)

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：マスタ・モード (異電位通信時)

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSI番号 (p = 00, 20) , m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0)

(7) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信, 簡易SPI (CSI) モード時 (スレーブ・モード, SCKp…外部クロック入力)

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項 目	略号	条 件		HS (高速メイン) モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム ^{注1}	t _{KCY2}	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	20 MHz < f _{MCK} ≤ 24 MHz	24/f _{MCK}		ns
			8 MHz < f _{MCK} ≤ 20 MHz	20/f _{MCK}		ns
			4 MHz < f _{MCK} ≤ 8 MHz	16/f _{MCK}		ns
			f _{MCK} ≤ 4 MHz	12/f _{MCK}		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	20 MHz < f _{MCK} ≤ 24 MHz	32/f _{MCK}		ns
			16 MHz < f _{MCK} ≤ 20 MHz	28/f _{MCK}		ns
			8 MHz < f _{MCK} ≤ 16 MHz	24/f _{MCK}		ns
			4 MHz < f _{MCK} ≤ 8 MHz	16/f _{MCK}		ns
			f _{MCK} ≤ 4 MHz	12/f _{MCK}		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V	20 MHz < f _{MCK} ≤ 24 MHz	72/f _{MCK}		ns
			16 MHz < f _{MCK} ≤ 20 MHz	64/f _{MCK}		ns
			8 MHz < f _{MCK} ≤ 16MHz	52/f _{MCK}		ns
			4 MHz < f _{MCK} ≤ 8 MHz	32/f _{MCK}		ns
			f _{MCK} ≤ 4 MHz	20/f _{MCK}		ns
SCKpハイ/ロウ・レベル幅	t _{KH2} , t _{KL2}	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		t _{KCY2} /2 - 24		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		t _{KCY2} /2 - 36		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		t _{KCY2} /2 - 100		ns
Slpセットアップ時間 (対SCKp ↑) ^{注2}	t _{SIK2}	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		1/f _{MCK} + 40		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		1/f _{MCK} + 40		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		1/f _{MCK} + 60		ns
Slpホールド時間 (対SCKp ↑) ^{注2}	t _{SI2}			1/f _{MCK} + 62		ns
SCKp ↓ → SOp出力 遅延時間 ^{注3}	t _{KSO2}	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		2/f _{MCK} + 240		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		2/f _{MCK} + 428		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ		2/f _{MCK} + 1146		ns

注 1. SNOOZEモードでの転送レートは, MAX. 1 Mbpsです。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

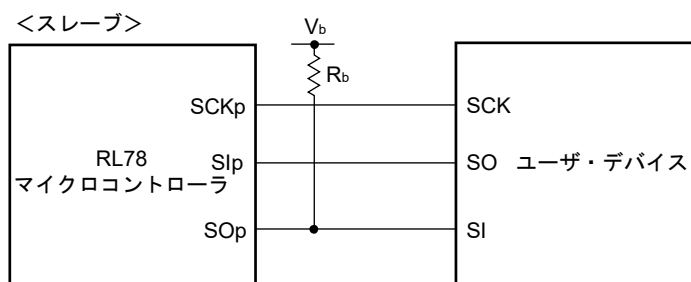
3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注意1. ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, Slp端子とSCKp端子はTTL入力バッファを選択し, SOp端子はN-chオープン・ドレイン出力 (VDD耐圧) モードを選択します。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

2. CSI01, CSI11は異電位通信できません。

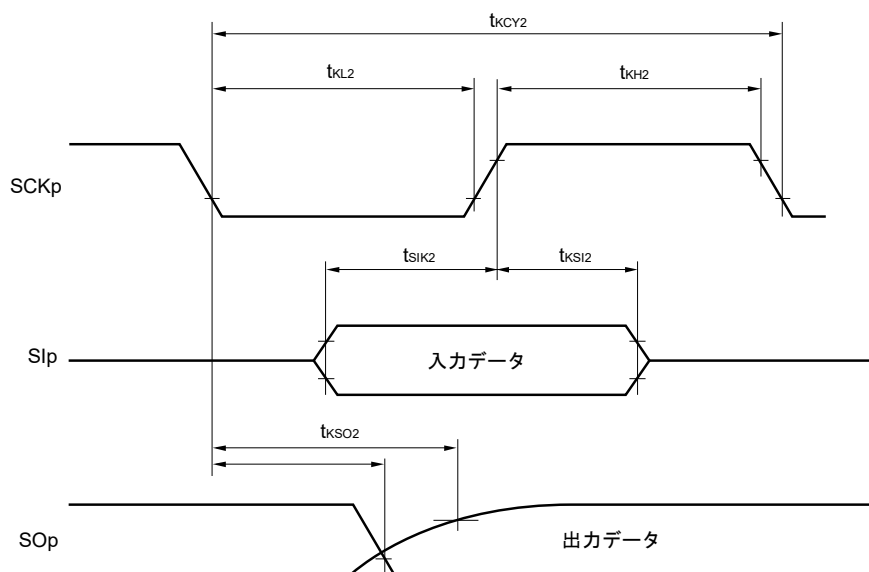
(備考は, 次ページにあります。)

簡易SPI (CSI) モード接続図 (異電位通信時)



簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード (異電位通信時)

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



備考1. R_b [Ω] : 通信ライン (SOp) プルアップ抵抗値, C_b [F] : 通信ライン (SOp) 負荷容量値, V_b [V] : 通信ライン電圧

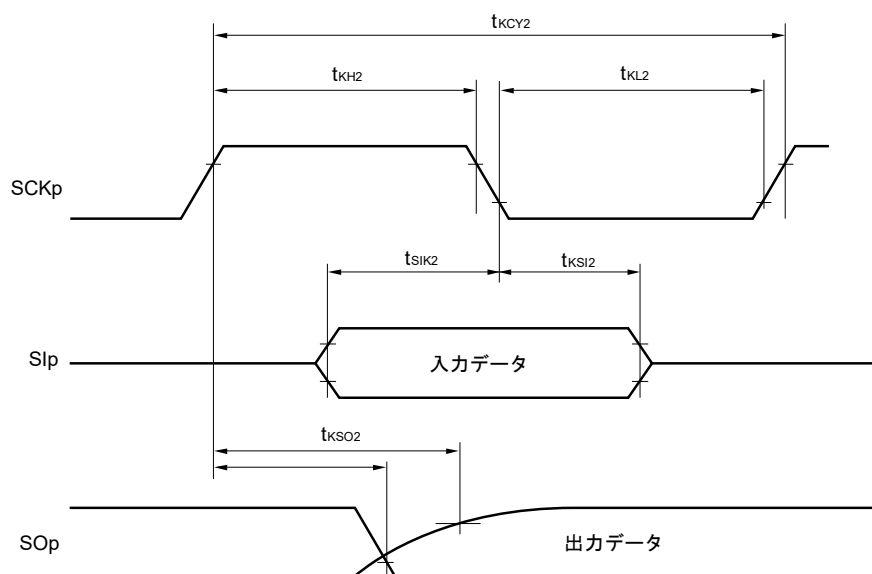
2. p : CSI番号 ($p = 00, 20$) , m : ユニット番号 ($m = 0, 1$) , n : チャネル番号 ($n = 0$)

3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。)

簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSI番号 (p = 00, 20) , m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0)

(8) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易I²Cモード)(T_A = -40 ~ +105°C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

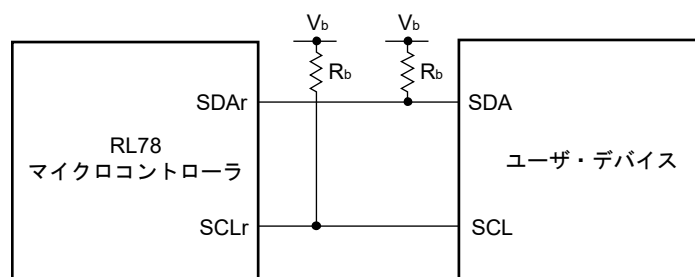
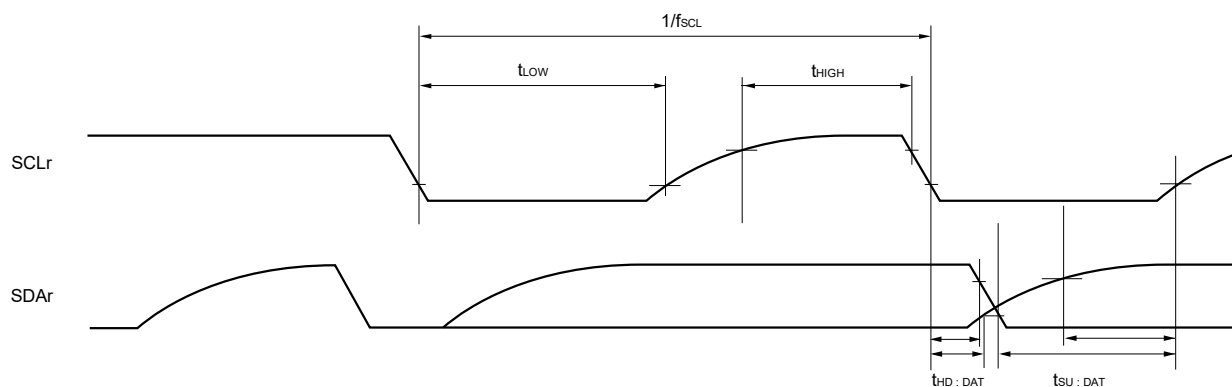
項 目	略号	条 件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCLrクロック周波数	f _{SCL}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ		100 ^{注1}	kHz
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ		100 ^{注1}	kHz
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ		100 ^{注1}	kHz
SCLr = "L" のホールド・タイム	t _{LOW}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	4600		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	4600		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ	4650		ns
SCLr = "H" のホールド・タイム	t _{HIGH}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	2700		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	2400		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ	1830		ns
データ・セットアップ時間 (受信時)	t _{SU:DAT}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1/f _{MCK} + 760 ^{注2}		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 760 ^{注2}		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ	1/f _{MCK} + 570 ^{注2}		ns
データ・ホールド時間 (送信時)	t _{HD:DAT}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	0	1420	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	0	1420	ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ	0	1215	ns

注 1. f_{MCK}/4以下に設定してください。2. t_{SU:DAT}がSCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定にしてください。

注意1. ポート入力モード・レジスタ1 (PIM1) とポート出力モード・レジスタ1 (POM1) で, SDArはTTL入力バッファ, N-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択し, SCLrはN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

2. IIC01, IIC11は異電位通信できません。

(備考は次ページにあります。)

簡易I²Cモード接続図 (異電位通信時)簡易I²Cモード・シリアル転送タイミング (異電位通信時)

- 備考1.** $R_b [\Omega]$: 通信ライン (SDAr, SCLr) プルアップ抵抗値, $C_b [F]$: 通信ライン (SDAr, SCLr) 負荷容量値, $V_b [V]$: 通信ライン電圧
- 2.** r : IIC番号 ($r = 00, 20$)
- 3.** f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$) , n : チャネル番号 ($n = 0$))

29.5.2 シリアル・インタフェースIIICA

(TA = -40~+105°C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項 目	略号	条件	HS (高速メイン) モード				単位
			標準モード		ファースト・モード		
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fSCL	ファースト・モード : fCLK ≥ 3.5 MHz			0	400	kHz
		標準モード : fCLK ≥ 1 MHz	0	100			kHz
リスタート・コンディショニングのセットアップ時間	tSU : STA		4.7		0.6		μs
ホールド時間 ^{注1}	tHD : STA		4.0		0.6		μs
SCLA0 = “L”のホールド・タイム	tLOW		4.7		1.3		μs
SCLA0 = “H”のホールド・タイム	tHIGH		4.0		0.6		μs
データ・セットアップ時間（受信時）	tSU : DAT		250		100		ns
データ・ホールド時間（送信時） ^{注2}	tHD : DAT		0	3.45	0	0.9	μs
ストップ・コンディショニングのセットアップ時間	tSU : STO		4.0		0.6		μs
バス・フリー時間	tBUF		4.7		1.3		μs

注 1. スタート・コンディショニング、リスタート・コンディショニング時は、この期間のあと最初のクロック・パルスが生成されます。

2. tHD : DATの最大値 (MAX.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、クロック・ストレッチがかかります。

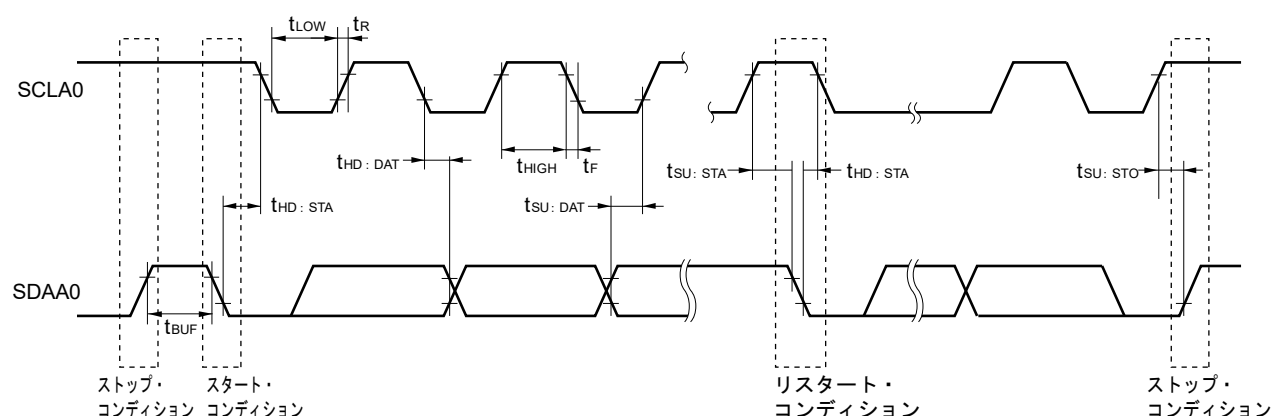
注意 30ピン製品のみ、周辺I/Oリダイレクション・レジスタ (PIOR) のビット2 (PIOR2) が1の場合も、上記の値を適用できます。ただし、端子特性 (IoH1, IoL1, VoH1, VoL1) はリダイレクト先の値を満たしてください。

備考 各モードにおけるCb (通信ライン容量) のMAX.値と、そのときのRb (通信ライン・プルアップ抵抗値) の値は、次のとおりです。

標準モード : Cb = 400 pF, Rb = 2.7 kΩ

ファースト・モード : Cb = 320 pF, Rb = 1.1 kΩ

IIICAシリアル転送タイミング



29.6 アナログ特性

29.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 入力チャネル	基準電圧 (+) = AV_{REFP} 基準電圧 (-) = AV_{REFM}	基準電圧 (+) = V_{DD} 基準電圧 (-) = V_{SS}	基準電圧 (+) = V_{BGR} 基準電圧 (-) = AV_{REFM}
ANI0-ANI3	29.6.1 (1) 参照	29.6.1 (3) 参照	29.6.1 (4) 参照
ANI16-ANI22	29.6.1 (2) 参照		
内部基準電圧 温度センサ出力電圧	29.6.1 (1) 参照		—

(1) 基準電圧 (+) = $AV_{REFP}/ANI0$ ($ADREFP1 = 0$, $ADREFP0 = 1$) , 基準電圧 (-) = $AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時、変換対象 : ANI2, ANI3、内部基準電圧、温度センサ出力電圧

($T_A = -40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq AV_{REFP} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, 基準電圧 (+) = AV_{REFP} , 基準電圧 (-) = $AV_{REFM} = 0\text{ V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}		1.2	± 3.5	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象 : ANI2, ANI3	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.125	39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.1875	39	μs
			$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17	39	μs
		10ビット分解能 変換対象 : 内部基準電圧, 温度センサ出力電圧 (HS (高速メイン) モード)	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.375	39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.5625	39	μs
			$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17	39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能, $AV_{REFP} = V_{DD}$ ^{注3}			± 0.25	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能, $AV_{REFP} = V_{DD}$ ^{注3}			± 0.25	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能, $AV_{REFP} = V_{DD}$ ^{注3}			± 2.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能, $AV_{REFP} = V_{DD}$ ^{注3}			± 1.5	LSB
アナログ入力電圧	V_{AIN}	ANI2, ANI3	0		AV_{REFP}	V
		内部基準電圧 (HS (高速メイン) モード)		V_{BGR} ^{注4}		V
		温度センサ出力電圧 (HS (高速メイン) モード)		V_{TMPS25} ^{注4}		V

注 1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. $AV_{REFP} < V_{DD}$ の場合, MAX.値は次のようになります。

総合誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 1.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に $\pm 0.05\%$ FSRを加算してください

積分直線性誤差／微分直線性誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 0.5 LSBを加算してください

4. 29.6.2 温度センサ／内部基準電圧特性を参照してください。

(2) 基準電圧 (+) = $AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$) , 基準電圧 (-) = $AV_{REFM}/ANI1$
($ADREFM = 1$) 選択時、変換対象 : ANI16-ANI22

($T_A = -40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq AV_{REFP} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, 基準電圧 (+) = AV_{REFP} , 基準電圧 (-) = $AV_{REFM} = 0\text{ V}$)

項 目	略号	条 件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}			1.2	± 5.0	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象 : ANI16-ANI22	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.125		39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.1875		39	μs
			$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能, $AV_{REFP} = V_{DD}$ ^{注3}				± 0.35	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能, $AV_{REFP} = V_{DD}$ ^{注3}				± 0.35	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能, $AV_{REFP} = V_{DD}$ ^{注3}				± 3.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能, $AV_{REFP} = V_{DD}$ ^{注3}				± 2.0	LSB
アナログ入力電圧	V_{AIN}	ANI16-ANI22		0		AV_{REFP} かつ V_{DD}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. $AV_{REFP} < V_{DD}$ の場合, MAX.値は次のようになります。

総合誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 4.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に $\pm 0.20\%$ FSRを加算してください

積分直線性誤差／微分直線性誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 2.0 LSBを加算してください

(3) 基準電圧 (+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = V_{SS} (ADREFM = 0)

選択時、変換対象 : ANI0-ANI3, ANI16-ANI22、内部基準電圧、温度センサ出力電圧

($T_A = -40 \sim +105^{\circ}\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, 基準電圧 (+) = V_{DD} , 基準電圧 (-) = V_{SS})

項 目	略号	条 件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能			1.2	± 7.0	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象 : ANI0-ANI3, ANI16-ANI22	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.125		39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.1875		39	μs
			$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
		10ビット分解能 変換対象 : 内部基準電圧, 温度センサ出力電圧 HS (高速メイン) モード	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.375		39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.5625		39	μs
			$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能				± 0.60	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能				± 0.60	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能				± 4.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能				± 2.0	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI3, ANI16-ANI22		0		V_{DD}	V
		内部基準電圧 (HS (高速メイン) モード)		V_{BGR} ^{注3}			V
		温度センサ出力電圧 (HS (高速メイン) モード)		V_{TMPS25} ^{注3}			V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 29. 6. 2 温度センサ／内部基準電圧特性を参照してください。

(4) 基準電圧 (+) = 内部基準電圧 (ADREFP1 = 1, ADREFP0 = 0), 基準電圧 (-) = AVREFM (ADREFM = 1) 選択時、変換対象 : ANI0, ANI2, ANI3, ANI16-ANI22

($T_A = -40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, 基準電圧 (+) = $V_{BGR}^{\text{注3}}$, 基準電圧 (-) = AVREFM^{注4} = 0 V, HS (高速メイン) モード)

項 目	略号	条 件	MIN.	TYP.	MAX.	単 位
分解能	RES		8			bit
変換時間	tCONV	8ビット分解能	17		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	8ビット分解能			±0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能			±2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能			±1.0	LSB
アナログ入力電圧	VAIN		0		$V_{BGR}^{\text{注3}}$	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 29. 6. 2 温度センサ／内部基準電圧特性を参照してください。

4. 基準電圧 (-) = V_{SS} の場合, MAX. 値は次のようになります。

ゼロスケール誤差 : 基準電圧 (-) = AVREFM時のMAX. 値に±0.35%FSRを加算してください

積分直線性誤差 : 基準電圧 (-) = AVREFM時のMAX. 値に±0.5 LSBを加算してください

微分直線性誤差 : 基準電圧 (-) = AVREFM時のMAX. 値に±0.2 LSBを加算してください

29. 6. 2 温度センサ／内部基準電圧特性

($T_A = -40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, HS (高速メイン) モード)

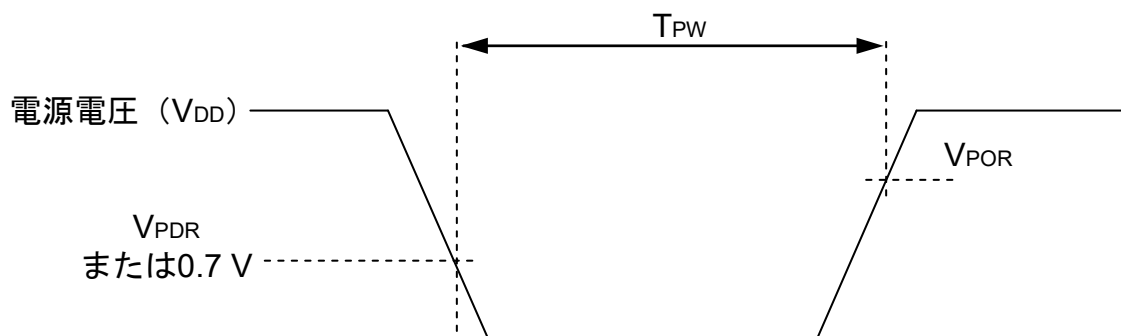
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
温度センサ出力電圧	VTMP25	ADSレジスタ = 80H設定, $T_A = +25^\circ\text{C}$		1.05		V
内部基準電圧	V _{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.50	V
温度係数	F _{VTMPS}	温度センサ出力電圧の温度依存		-3.6		mV/°C
動作安定待ち時間	tAMP		5			μs

29. 6. 3 POR回路特性

($T_A = -40 \sim +105^{\circ}\text{C}$, $V_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
検出電圧	V_{POR}	電源立ち上がり時	1.45	1.51	1.57	V
	V_{PDR}	電源立ち下がり時	1.44	1.50	1.56	V
最小パルス幅 ^注	T_{PW}		300			μs

注 V_{DD} が V_{PDR} を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) とビット7 (MSTOP) の設定によりメイン・システム・クロック (f_{MAIN}) を停止時は、 V_{DD} が0.7 Vを下回ってから、 V_{POR} を上回るまでのPORによるリセット動作に必要な時間です。



29. 6. 4 LVD回路特性

リセット・モード, 割り込みモードのLVD検出電圧

($T_A = -40 \sim +105^\circ\text{C}$, $V_{PDR} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
検出電源電圧	VLVD0	電源立ち上がり時	3.90	4.06	4.22	V
		電源立ち下がり時	3.83	3.98	4.13	V
	VLVD1	電源立ち上がり時	3.60	3.75	3.90	V
		電源立ち下がり時	3.53	3.67	3.81	V
	VLVD2	電源立ち上がり時	3.01	3.13	3.25	V
		電源立ち下がり時	2.94	3.06	3.18	V
	VLVD3	電源立ち上がり時	2.90	3.02	3.14	V
		電源立ち下がり時	2.85	2.96	3.07	V
	VLVD4	電源立ち上がり時	2.81	2.92	3.03	V
		電源立ち下がり時	2.75	2.86	2.97	V
	VLVD5	電源立ち上がり時	2.70	2.81	2.92	V
		電源立ち下がり時	2.64	2.75	2.86	V
	VLVD6	電源立ち上がり時	2.61	2.71	2.81	V
		電源立ち下がり時	2.55	2.65	2.75	V
	VLVD7	電源立ち上がり時	2.51	2.61	2.71	V
		電源立ち下がり時	2.45	2.55	2.65	V
最小パルス幅	t _{LW}		300			μs
検出遅延					300	μs

割り込み&リセット・モードのLVD検出電圧

($T_A = -40 \sim +105^\circ\text{C}$, $V_{PDR} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
割り込み& リセット・モード	VLVDD0	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がリリセット電圧		2.64	2.75	2.86	V
	VLVDD1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.81	2.92	3.03	V
			立ち下がリ割り込み電圧	2.75	2.86	2.97	V
	VLVDD2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.90	3.02	3.14	V
			立ち下がリ割り込み電圧	2.85	2.96	3.07	V
	VLVDD3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.90	4.06	4.22	V
			立ち下がリ割り込み電圧	3.83	3.98	4.13	V

29. 6. 5 電源電圧立ち上がり傾き特性

($T_A = -40 \sim +105^\circ\text{C}$, $V_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電圧立ち上がり傾き	S _{VDD}				54	V/ms

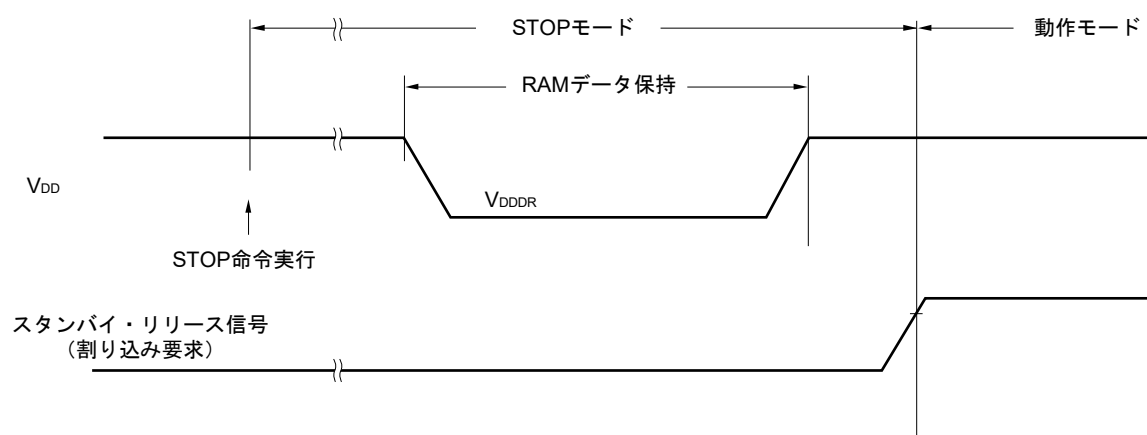
注意 V_{DD} が29. 4 AC特性に示す動作電圧範囲内に達するまで, LVD回路が外部リセットで内部リセット状態を保ってください。

29.7 RAMデータ保持特性

($T_A = -40 \sim +105^{\circ}\text{C}$, $V_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.44 ^注		5.5	V

注 POR 検出電圧に依存します。電圧降下時, POR リセットがかかるまでは RAM のデータを保持しますが, POR リセットがかかった場合の RAM のデータは保持されません。



29.8 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +105^{\circ}\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単 位
システム・クロック周波数	f _{CLK}		1		24	MHz
コード・フラッシュの書き換え回数 ^{注1, 2, 3}	C _{erwr}	保持年数：20年 TA = 85°C ^{注4}	1,000			回
データ・フラッシュの書き換え回数 ^{注1, 2, 3}		保持年数： 1年 TA = 25°C		1,000,000		
		保持年数： 5年 TA = 85°C ^{注4}	100,000			
		保持年数：20年 TA = 85°C ^{注4}	10,000			

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時
3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。
4. 保持の平均温度です。

29.9 専用フラッシュ・メモリ・プログラマ通信 (UART)

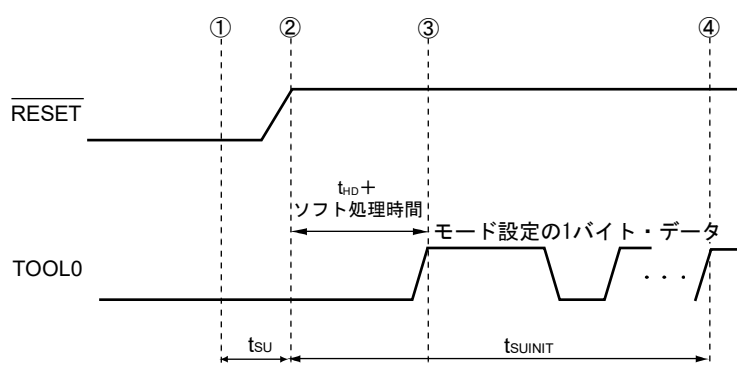
($T_A = -40 \sim +105^{\circ}\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

29.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング

($T_A = -40 \sim +105^{\circ}\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
外部リセット解除から初期設定通信を完了する時間	t_{SUINIT}	外部リセット解除前にPOR, LVDリセットを解除			100	ms
T00L0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前にPOR, LVDリセットを解除	10			μs
外部リセット解除から、T00L0端子をロウ・レベルにホールドする時間 (フラッシュ・ファーム処理時間を除く)	t_{HD}	外部リセット解除前にPOR, LVDリセットを解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 t_{SUINIT} : この区間では、リセット解除から100 ms 以内に初期設定通信を完了してください。

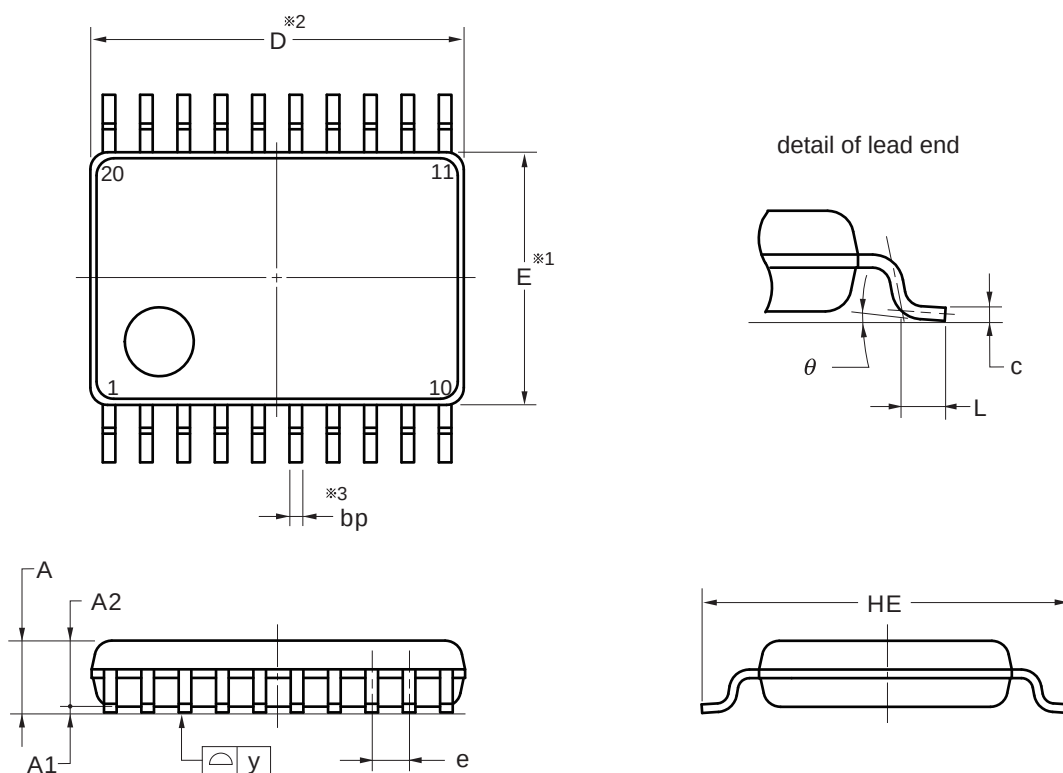
t_{SU} : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD} : 外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

第30章 外形図

30.1 20ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP20-4.4x6.5-0.65	PLSP0020JB-A	P20MA-65-NAA-1	0.1



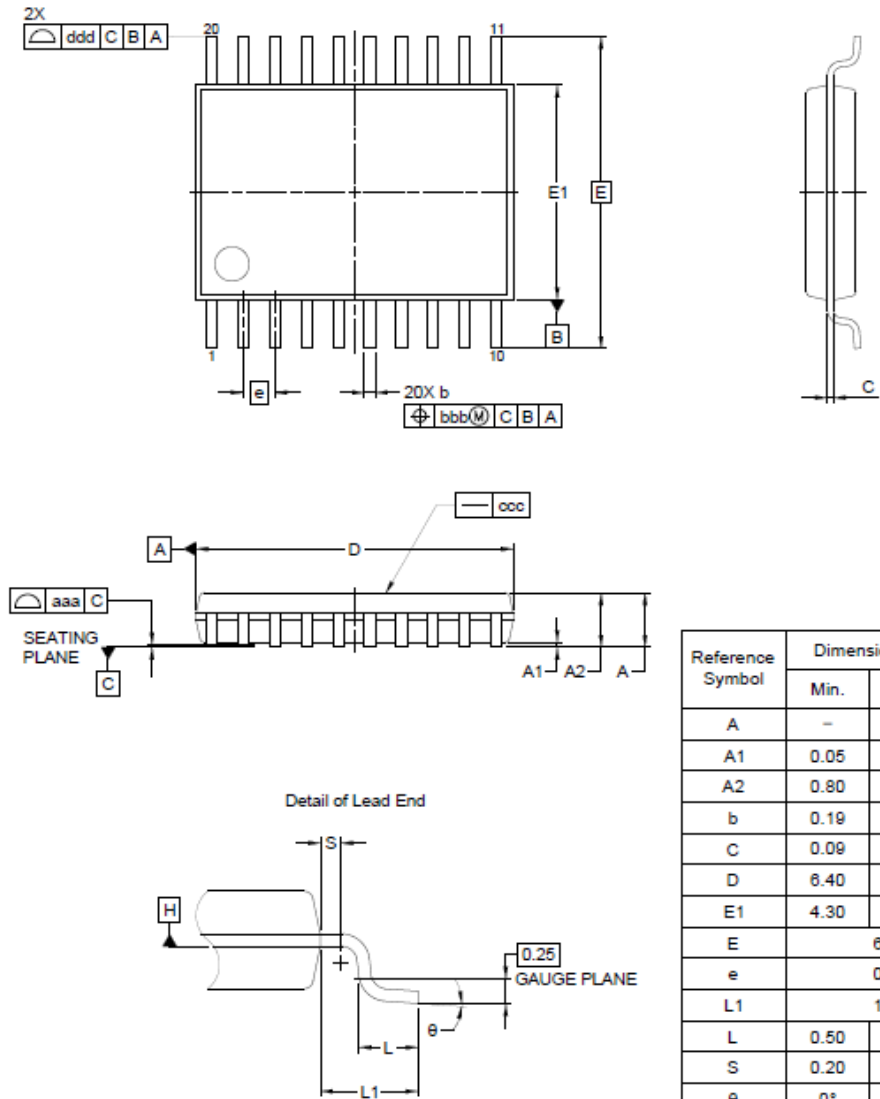
NOTE

1. Dimensions "※1" and "※2" do not include mold flash.
2. Dimension "※3" does not include trim offset.

(UNIT:mm)	
ITEM	DIMENSIONS
D	6.50±0.10
E	4.40±0.10
HE	6.40±0.20
A	1.45 MAX.
A1	0.10±0.10
A2	1.15
e	0.65±0.12
bp	0.22 ^{+0.10} _{-0.05}
c	0.15 ^{+0.05} _{-0.02}
L	0.50±0.20
y	0.10
θ	0° to 10°

© 2012 Renesas Electronics Corporation. All rights reserved.

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-TSSOP20-4.40x6.50-0.65	PTSP0020JI-A	0.08

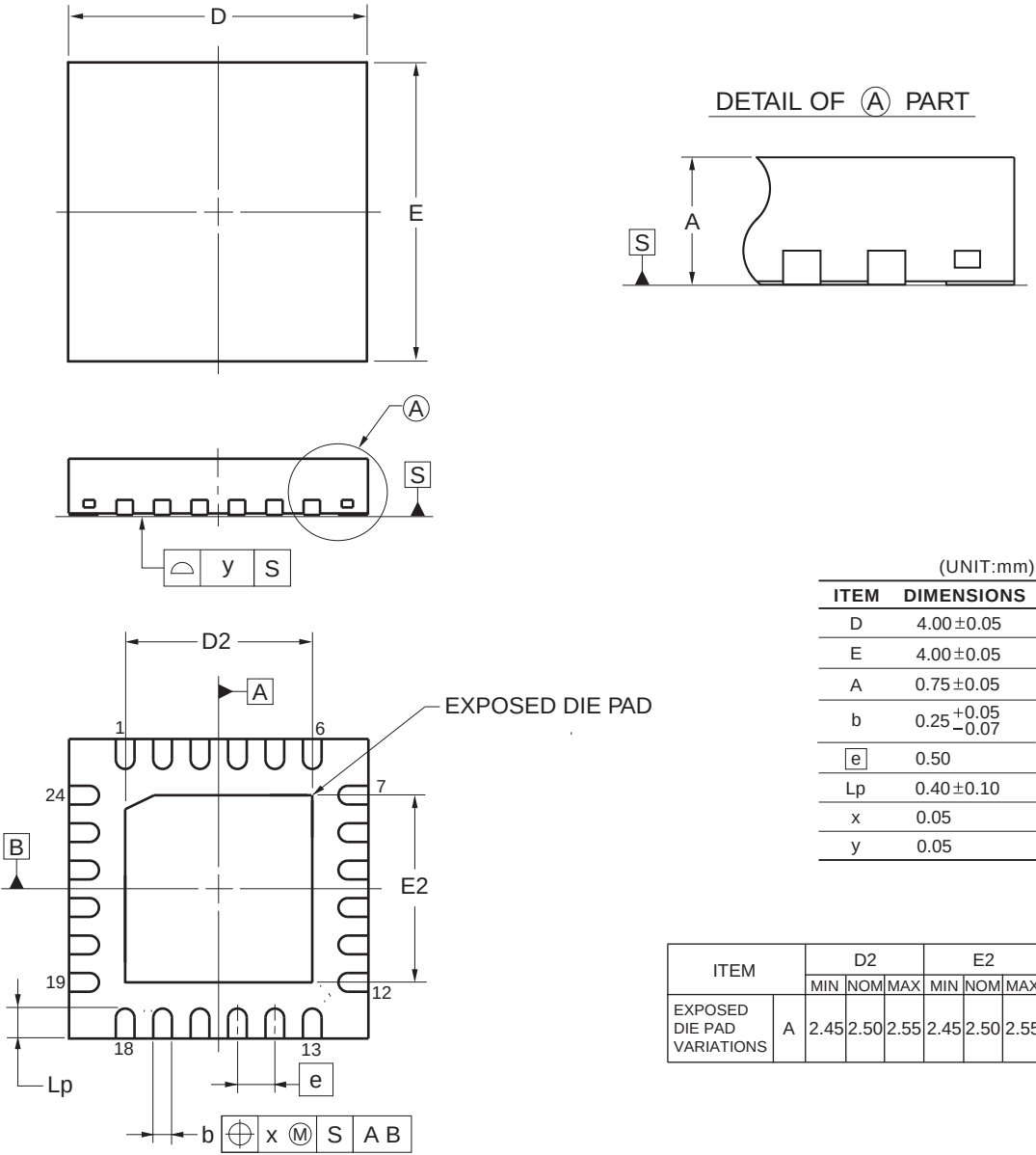


Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.20
A1	0.05	—	0.15
A2	0.80	1.00	1.05
b	0.19	—	0.30
C	0.09	0.127	0.20
D	6.40	6.50	6.60
E1	4.30	4.40	4.50
E	6.40 BSC		
e	0.65 BSC		
L1	1.00 REF		
L	0.50	0.60	0.75
S	0.20	—	—
θ	0°	—	8°
aaa	0.10		
bbb	0.10		
ccc	0.05		
ddd	0.20		

NOTES:
1.DIMENSION 'D' AND 'E1' DOES NOT INCLUDE MOLD FLASH.
2.DIMENSION 'b' DOES NOT INCLUDE TRIM OFFSET.
3.DIMENSION 'D' AND 'E1' TO BE DETERMINED AT DATUM PLANE $\square$.

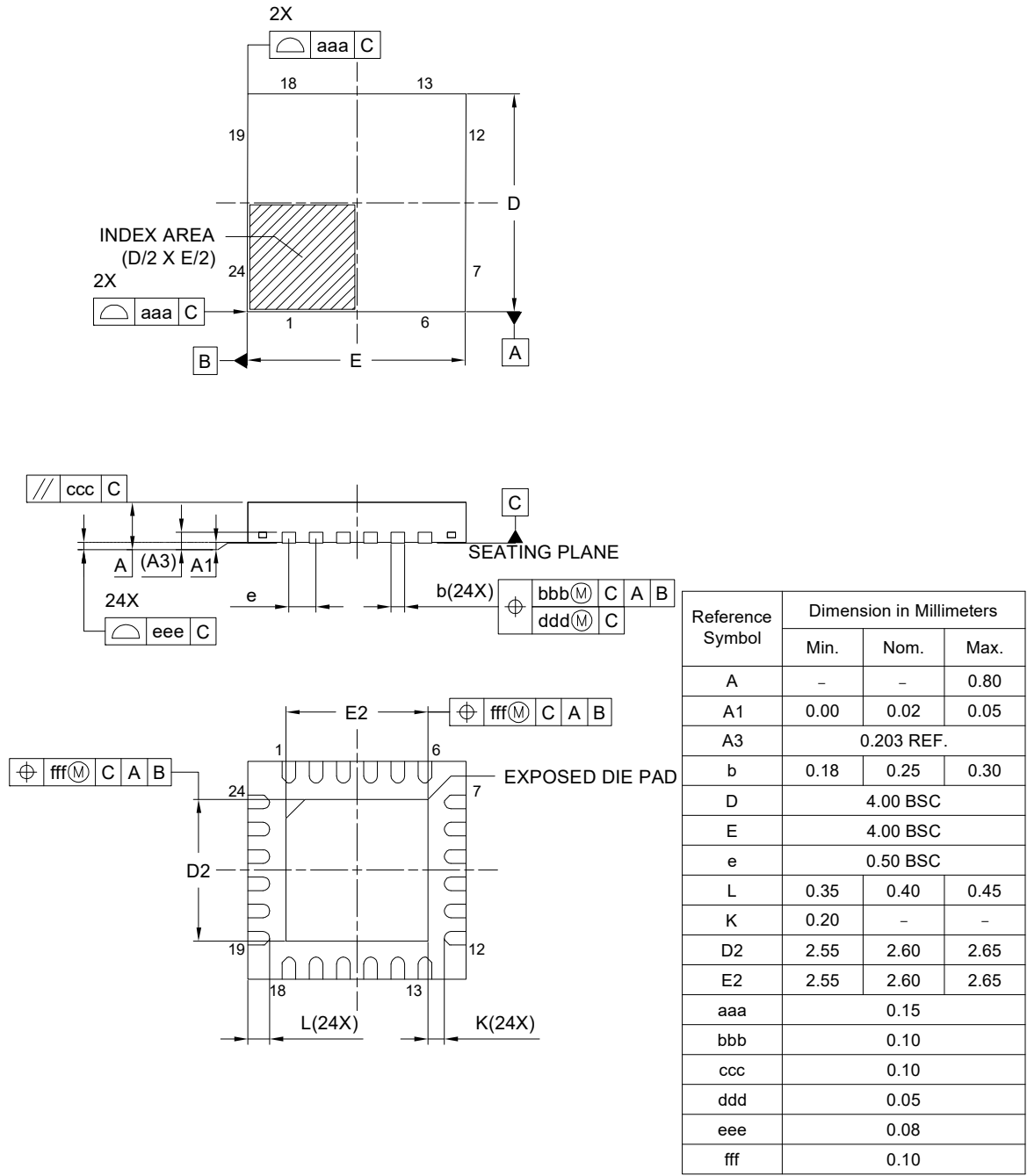
30.2 24ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-HWQFN24-4x4-0.50	PWQN0024KE-A	P24K8-50-CAB-1	0.04

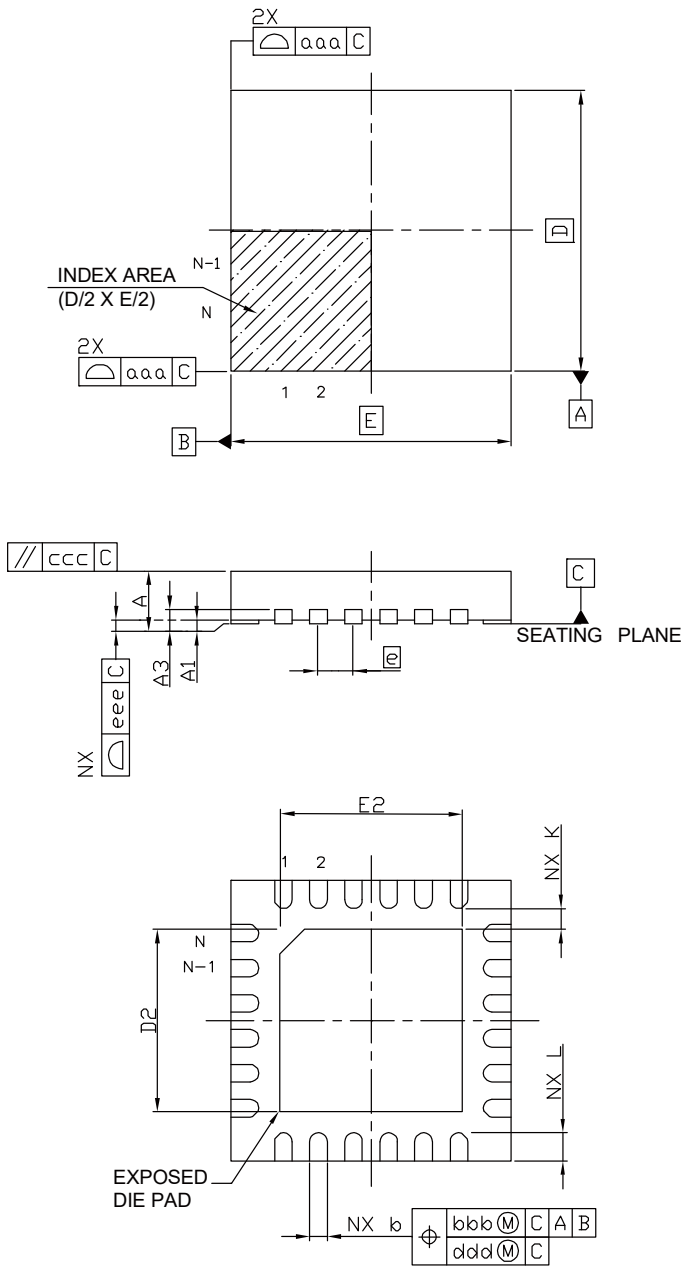


©2012 Renesas Electronics Corporation. All rights reserved.

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN024-4x4-0.50	PWQN0024KF-A	0.04



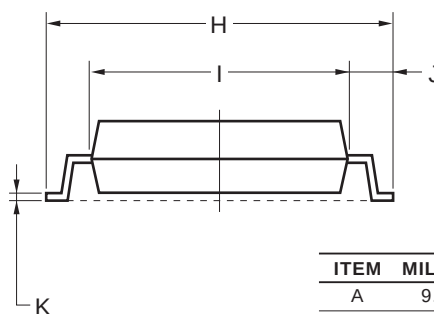
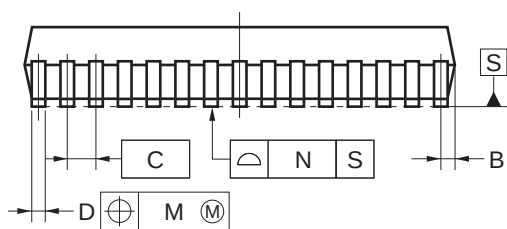
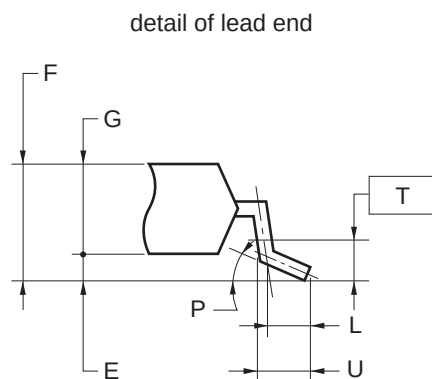
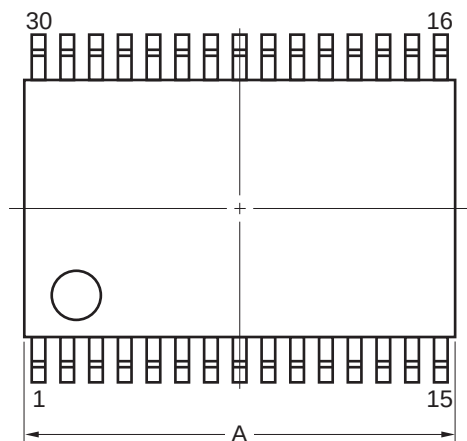
JEITA Package Code	RENESAS Code	MASS(Typ.)[g]
P-HWQFN24-4×4-0.50	PWQN0024KH-A	0.04



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	—	0.05
A ₃	0.20 REF.		
b	0.20	0.25	0.30
D	—	4.00	—
E	—	4.00	—
e	—	0.50	—
N	24		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	2.50	2.60	2.70
E ₂	2.50	2.60	2.70
aaa	—	—	0.15
bbb	—	—	0.10
ccc	—	—	0.10
ddd	—	—	0.05
eee	—	—	0.08

30.3 30ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP30-0300-0.65	PLSP0030JB-B	S30MC-65-5A4-3	0.18



NOTE

Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

ITEM	MILLIMETERS
A	9.85±0.15
B	0.45 MAX.
C	0.65 (T.P.)
D	0.24 ^{+0.08} _{-0.07}
E	0.1±0.05
F	1.3±0.1
G	1.2
H	8.1±0.2
I	6.1±0.2
J	1.0±0.2
K	0.17±0.03
L	0.5
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25
U	0.6±0.15

©2012 Renesas Electronics Corporation. All rights reserved.

付録A 改版履歴

A.1 本版で改訂された主な箇所

箇所	内容	分類
第1章 概説		
p.6	図1-1 RL78/G12の型名とメモリ・サイズ、パッケージを変更	(d)
p.7	表1-1 発注型名一覧を変更	(d)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様（スペック含む）の追加／変更, (c) : 説明, 注意事項の追加／変更,
(d) : パッケージ, オーダ名称, 管理区分の追加／変更, (e) : 関連資料の追加／変更

A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/22)

Rev.	内 容	適用箇所
2.40	図1-1 RL78/G12の型名とメモリ・サイズ、パッケージを変更	第1章 概 説
	表1-1 発注型名一覧を変更	
	表9-3 ウォッチドッグ・タイマのオーバフロー時間の設定の注を変更	第9章 ウォッチドッグ・タイマ
	21.1 安全機能の概要を変更	第21章 安全機能
	21.3.1 CRC演算機能（汎用CRC）を変更	
	21.3.3 RAMガード機能を変更	
	21.3.4 SFRガード機能を変更	
2.31	3線シリアルI/O、3線シリアルを簡易SPIに変更	全体
	CSIを簡易SPIに変更	
	IICAのウェイトをクロック・ストレッチに変更	
	1.2 特徴 注1を追加	第1章 概説
	1.3 型名一覧 表1-1 発注型名一覧 ルネサスコードを追加	
	4.4.4 入出力バッファによる異電位（1.8 V系, 2.5 V系）対応 注を追加	第4章 ポート機能
	注を追加	第11章 シリアル・アレイ・ユニット
	30.2 24ピン製品 外形図を追加	第30章 外形図

(2/22)

Rev.	内 容	適用箇所
2.30	図1-1 RL78/G12の型名とメモリ・サイズ、パッケージ を変更	第1章 概説
	表1-1 発注型名一覧 を変更	
	1. 4. 1 20ピン製品 PKGを追加	
	図10-4 A/D電圧コンパレータ使用時のタイミング・チャート を修正	第10章 A/Dコンバータ
	図11-32 マスタ送信（連続送信モード時）のフロー・チャート を修正	第11章 シリアル・アレイ・ユニット
	図11-83 UART送信（連続送信モード時）のフロー・チャート を修正	
	30. 1 20ピン製品 外形図を追加	第30章 外形図
	30. 2 24ピン製品 外形図を追加	
2.20	PG-FP6を追加, FL-PR5 を削除, E2, E2 Lite, E20 を追加	全般
	アクリリッジ: ACK→ACK	
	表1-1 発注型名一覧 を変更	第1章 概説
	1. 4. 1 20ピン製品 端子接続図 を変更	
	表2-2 未使用端子の処理（20, 24ピン製品） を変更	第2章 端子機能
	表2-3 未使用端子の処理（30ピン製品） を変更	
	図2-4 端子タイプ 3-1-1 の端子ブロック図 を変更	
	図2-7 端子タイプ 7-1-2 の端子ブロック図 注意を変更	
	図2-9 端子タイプ 7-3-2 の端子ブロック図 注意を変更	
	図2-11 端子タイプ 8-1-2 の端子ブロック図 注意1を変更	
	図2-12 端子タイプ 8-3-1 の端子ブロック図 を追加	
	図2-13 端子タイプ 8-3-2 の端子ブロック図 注意1を変更	
	3. 2. 3 ES, CSレジスタ を変更	第3章 CPUアーキテクチャ
	3. 3. 4 レジスタ・インダイレクト・アドレッシング タイトルおよび説明を変更	
	図3-19 レジスタ・インダイレクト・アドレッシングの概略 を変更	
	図3-39 CALL, CALLTの例 を変更	
	図4-8 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット 注1を追加	第4章 ポート機能
	5. 4. 3 低速オンチップ・オシレータ 説明を変更	第5章 クロック発生回路
	表9-3 ウォッチドッグ・タイマのオーバフロー時間の設定 注を追加	第9章 ウォッチドッグ・タイマ
	表9-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 注を追加	
	図11-84 UART（UART0-UART2）の受信時のレジスタ設定内容例（1/2） 注2を変更	第11章 シリアル・アレイ・ユニット
	図11-87 UART受信の再開設定手順 を変更	
	12. 5. 17 I ² C割り込み要求（INTIICA0）の発生タイミング（1）マスタ動作（c）Start～Code～Data～Data～Stop（拡張コード送信）（ii）WTIM0 = 1のとき を変更	第12章 シリアル・インタフェースIICA
	表15-1 割り込み要因一覧（20, 24ピン製品）（1/2）注5 を削除	第15章 割り込み機能
	表17-2 STOPモード時の動作状態 を変更	第17章 スタンバイ機能
	表17-3 SNOOZEモード時の動作状態 を変更	
	図17-5 SNOOZEモードの割り込み要求が発生する場合 を変更	
	図17-6 SNOOZEモードの割り込み要求が発生しない場合 を変更	
	20. 1 電圧検出回路の機能 説明を変更	第20章 電圧検出回路
	図23-1 ユーザ・オプション・バイト（000C0H）のフォーマット 注2を追加	第23章 オプション・バイト
	24. 1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング 説明を変更	第24章 フラッシュ・メモリ
	表24-1 RL78/G12と専用フラッシュ・メモリ・プログラマの配線表 を変更 および注2 を追加	
	図24-2 専用フラッシュ・メモリ・プログラマとの通信 を変更 および注4 を追加	
	表24-2 端子接続一覧 を変更 および注2 を追加	
	図24-4 外部デバイスとの通信 を変更	
	24. 3. 6 電源 注を追加	
	24. 5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間（参考値）タイトルを変更	
	表24-11 PG-FP6使用時の各コマンド処理時間（参考値） を追加	

(3/22)

Rev.	内 容	適用箇所
2.10	図1-1 RL78/G12の型名とメモリ・サイズ、パッケージ 梱包仕様を修正	第1章 概説
	表1-1 発注型名一覧 (1/2) 発注型名を修正	
	1. 4. 1 20ピン製品 端子接続図に製品名および(Top View)を記載	
	1. 4. 2 24ピン製品 端子接続図に製品名および(Top View)を記載	
	1. 4. 3 30ピン製品 端子接続図に製品名および(Top View)を記載	
	1. 7 機能概要 メイン・システム・クロック／高速システム・クロックの機能概要を修正	第2章 端子機能
	2. 1. 1 20ピン製品 P125の端子タイプを修正	
	2. 1. 2 24ピン製品 P125の端子タイプを修正	
	表2-3 未使用端子の処理 (30ピン製品) REGCの未使用時の推奨接続方法	
	図2-4 端子タイプ 3-1-1 の端子ブロック図 追加	
	図2-7 端子タイプ 7-1-2 の端子ブロック図 注意を追加	
	図2-9 端子タイプ 7-3-2 の端子ブロック図 注意を追加	
	図2-10 端子タイプ 8-1-1 の端子ブロック図 注意を追加	
	図2-11 端子タイプ 8-1-2 の端子ブロック図 注意1, 注意2を追加	
	図2-12 端子タイプ 8-3-1 の端子ブロック図 注意を追加	
	図2-13 端子タイプ 8-3-2 の端子ブロック図 注意1, 注意2を追加	
	図2-14 端子タイプ 12-1-1 の端子ブロック図 注意を追加	第3章 CPUアーキテクチャ
	図3-2 メモリ・マップ (R5F10x67, R5F10x77, R5F10xA7 (x = 2, 3)) 注1を変更	
	図3-3 メモリ・マップ (R5F10x68, R5F10x78, R5F10xA8 (x = 2, 3)) 注1を変更	
	図3-4 メモリ・マップ (R5F10x69, R5F10x79, R5F10xA9 (x = 2, 3)) 注1を変更	
	図3-5 メモリ・マップ (R5F10x6A, R5F10x7A (x = 2, 3)) 注1を変更	
	図3-6 メモリ・マップ (R5F10xAA (x = 2, 3)) 注1を変更	
	表3-3 ベクタ・テーブル (20, 24ピン製品) ベクタ・テーブル・アドレスを5桁表示 (xxxxxH)に修正	
	表3-4 ベクタ・テーブル (30ピン製品) ベクタ・テーブル・アドレスを5桁表示 (xxxxxH)に修正	第5章 クロック発生回路
	3. 2. 1 制御レジスタ (1) プログラム・カウンタ (PC) アドレスを5桁表示 (xxxxxH)に修正	
	5. 1 クロック発生回路の機能 (1) メイン・システム・クロック 説明を修正	
	図5-4 クロック動作ステータス制御レジスタ (CSC) のフォーマット 注意5を修正	
	5. 6. 2 X1発振回路の設定例 注を追加	
	表5-4 CPUクロックの移行について 移行前／高速オンチップ・オシレータ・クロックの移行後の処理の説明を修正	
	5. 6. 6 クロック発振停止前の条件 説明を修正	
	5. 7 発振子と発振回路定数 注4, 備考2を追加	第6章 タイマ・アレイ・ユニット
	6. 2. 2 タイマ・データ・レジスタ0n (TDR0n) 説明を修正	
	図6-14 タイマ入力選択レジスタ0 (TIS0) のフォーマット 注意を追加	
	6. 4. 2 8ビット・タイマ動作機能の基本ルール (チャンネル1, 3のみ) (2) の説明を修正	
	6. 8. 2 外部イベント・カウンタとしての動作 説明を修正	第10章 A/Dコンバータ
	10. 10 A/Dコンバータの注意事項 (2) ANI0-ANI3, ANI16-ANI22端子の入力電圧について 説明を修正	
	11. 2. 2 シリアル・データ・レジスタmn (SDRmn) の下位8/9ビット 注2を修正	第11章 シリアル・アレイ・ユニット
	図11-10 シリアル・データ・レジスタmn (SDRmn) のフォーマット 注意4を修正	
	図11-17 シリアル出力レジスタm (SOM) のフォーマット SO0のビット10を修正, 注2を修正, 注意を修正	
	図11-19 送信データのレベル反転例 端子名を修正	
	11. 5. 7 SNOOZEモード機能 説明を修正	

(4/22)

Rev.	内 容	適用箇所
2.10	図11-71 SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1：DAP00 = 0, CKP00 = 0）タイミング・チャートを修正	第11章 シリアル・アレイ・ユニット
	図11-72 SNOOZEモード動作（1回起動）時のフロー・チャート STOPモード、SNOOZEモードのフロー・チャートを修正	
	図11-73 SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAP00 = 0, CKP00 = 0）タイミング・チャートを修正、注を修正	
	図11-74 SNOOZEモード動作（連続起動）時のフロー・チャート STOPモード、SNOOZEモードのフロー・チャートを修正	
	11. 6. 3 SNOOZEモード機能 説明を修正、注意5を追加	
	図11-90 SNOOZEモード動作（EOC01 = 0, SSEC0 = 0/1）時のタイミング・チャート タイミング・チャートを修正	
	図11-91 SNOOZEモード動作（EOC01 = 1, SSEC0 = 0）時のタイミング・チャート タイミング・チャートを修正、注を追加	
	図11-92 SNOOZEモード動作（EOC01 = 0, SSEC0 = 0/1もしくはEOC01 = 1, SSEC0 = 0）時のフロー・チャート STOPモード、SNOOZEモードのフロー・チャートを修正、備考を修正	
	図11-93 SNOOZEモード動作（EOC01 = 1, SSEC0 = 1：エラー割り込み（INTSRE0）発生停止）時のタイミング・チャート タイミング・チャートを修正	
	図11-94 SNOOZEモード動作（EOC01 = 1, SSEC0 = 1）時のフロー・チャート STOPモード、SNOOZEモードのフロー・チャートを修正	
	12. 3. 6 IICAロウ・レベル幅設定レジスタ0（IICWL0） 説明を修正	第12章 シリアル・インタフェースIICA
	12. 4. 2 IICWL0, IICWH0レジスタによる転送クロック設定方法 備考2のfMCKの説明を修正	
	12. 5. 13 ウェイク・アップ機能 説明を修正	
	12. 5. 14 通信予約 備考のfMCKの説明を修正	
	図12-27 通信予約の手順 注1を修正、備考のfMCKの説明を修正	
	図12-28 シングルマスタ・システムでのマスタ動作 処理「PER0レジスタの設定」を追加	
	図12-29 マルチマスタ・システムでのマスタ動作（1/3） 処理「PER0レジスタの設定」を追加	
	図12-30 スレーブ動作手順（1） 処理「PER0レジスタの設定」を追加	
	14. 1 DMAコントローラの機能 機能例を修正	第14章 DMAコントローラ
	表15-1 割り込み要因一覧（20, 24ピン製品）（1/2）ベクタ・テーブル・アドレスを5桁表示(xxxxxH)に修正	第15章 割り込み機能
	表15-1 割り込み要因一覧（20, 24ピン製品）（2/2）ベクタ・テーブル・アドレスを5桁表示(xxxxxH)に修正	
	表15-2 割り込み要因一覧（30ピン製品）（1/2）ベクタ・テーブル・アドレスを5桁表示(xxxxxH)に修正	
	表15-2 割り込み要因一覧（30ピン製品）（2/2）ベクタ・テーブル・アドレスを5桁表示(xxxxxH)に修正	
	表17-1 HALTモード時の動作状態 RAMのメイン・システム・クロックでCPU動作中のHALT命令実行時の説明を修正	第17章 スタンバイ機能
	表17-2 STOPモード時の動作状態 RAMのメイン・システム・クロックでCPU動作中のSTOP命令実行時の説明を修正	
	表17-3 SNOOZEモード時の動作状態 RAMのSTOPモード中にCSI00, UART0のデータ受信信号およびA/Dコンバータのタイマ・トリガ信号入力時の説明を修正	
	アドレスを5桁表示(xxxxxH)に変更	第18章 リセット機能
	表18-2 リセット受け付け後の各ハードウェアの状態 リセット・ベクタ・テーブルを5桁表示(xxxxxH)に修正	
	図18-5 リセット要因の確認手順例 ※の補足説明を追加	第19章 パワーオン・リセット回路
	図19-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング（2/3）注3を修正	

(5/22)

Rev.	内 容	適用箇所
2.10	20. 1 電圧検出回路の機能 (表) 割り込みモードの説明を修正	第20章 電圧検出回路
	20. 4. 2 割り込みモードとして使用する場合の設定 LVD割り込みモードの動作の説明を修正	
	23. 1. 1 ユーザ・オプション・バイト (000C0H-000C2H) (3) 000C2Hの説明を修正	第23章 オプション・バイト
	図23-3 ユーザ・オプション・バイト (000C2H) のフォーマット 表見出し (動作周波数範囲, 動作電圧範囲) を修正	
	24. 6 セルフ・プログラミング 備考1を修正 (参照マニュアルのドキュメント番号を修正)	第24章 フラッシュ・メモリ
	表25-1 オンチップ・デバッグ・セキュリティID 注を追加	第25章 オンチップ・デバッグ機能
	表27-1 オペランドの表現形式と記述方法 addr5の記述方法を修正	第27章 命令セットの概要
	表27-2 オペレーション欄の記号 addr5の機能を修正	
	説明を修正, 対象製品を追加	第28章 電気的特性 ($T_A = -40 \sim +85^\circ\text{C}$)
	28. 7 RAMデータ保持特性 タイトルを修正, 注を修正, 注意を追加	
	28. 8 フラッシュ・メモリ・プログラミング特性 フォーマットを修正	第29章 電気的特性 (G: 産業用途 $T_A = -40 \sim +105^\circ\text{C}$)
	説明を修正, 対象製品を追加, 備考を追加	
	29. 7 RAMデータ保持特性 タイトルを修正, 注を修正	第29章 電気的特性 (G: 産業用途 $T_A = -40 \sim +105^\circ\text{C}$)
	29. 8 フラッシュ・メモリ・プログラミング特性 フォーマットを修正	
	パッケージ名を追加	第30章 外形図
2.00	1. 2 特長を変更	第1章 概説
	1. 3 型名一覧を変更	
	表1-1 発注型名一覧, 注, 注意を変更	
	1. 4. 1~1. 4. 3 パッケージ名称を変更	
	1. 7 機能概要の表を変更	
	2. 1 ポート機能の説明を変更	第2章 端子機能
	2. 1. 1~2. 1. 14の表, 注, 備考を変更	
	2. 4 端子ブロック図の図2-1~図2-13を変更	
	3. 1 メモリ空間 図3-1~図3-6の注を変更	第3章 CPUアーキテクチャ
	3. 1. 3 内部データ・メモリ空間の注意2を変更	
	3. 1. 6 データ・メモリ・アドレッシングの図を図3-8に集約	
	(3) スタック・ポインタ (SP) の誤記修正, 注意3の記述を変更	
	3. 2. 3 ES, CSレジスタの誤記を修正	
	表3-6の記述, 注1を変更	
	表3-7の記述, 注2, 3を変更	
	4. 2 ポートの構成の表4-1の記述を変更	第4章 ポート機能
	図4-1の注意を変更	
	図4-2の注意を変更	
	4. 3. 3 ブルアップ抵抗オプション・レジスタ (PUxx) の説明変更	
	図4-3の注意を変更	
	4. 3. 4 ポート入力モード・レジスタ (PIMxx) の注意を変更	
	4. 3. 5 ポート出力モード・レジスタ (POMxx) の注意を変更	
	図4-5の注意を変更	
	4. 3. 6 ポート・モード・コントロール・レジスタ (PMCxx) の図4-6の注意1, 3を変更	
	図4-8の注3を変更	
	4. 5 兼用機能仕様時のレジスタ設定の説明を変更	
	表4-7の記述を変更	
	表4-8の記述を変更	

(6/22)

Rev.	内 容	適用箇所
2.00	1. 2 特長を変更	第1章 概説
	1. 3 型名一覧を変更	
	表1-1 発注型名一覧, 注, 注意を変更	
	1. 4. 1~1. 4. 3 パッケージ名称を変更	
	1. 7 機能概要の表を変更	
2. 1	ポート機能の説明を変更	第2章 端子機能
	2. 1. 1~2. 1. 14の表, 注, 備考を変更	
	2. 4 端子ブロック図の図2-1~図2-13を変更	
3. 1	メモリ空間 図3-1~図3-6の注を変更	第3章 CPUアーキテクチャ
	3. 1. 3 内部データ・メモリ空間の注意2を変更	
	3. 1. 6 データ・メモリ・アドレッシングの図を図3-8に集約	
	(3) スタック・ポインタ (SP) の誤記修正, 注意3の記述を変更	
	3. 2. 3 ES, CSレジスタの誤記を修正	
	表3-6の記述, 注1を変更	
	表3-7の記述, 注2, 3を変更	
	4. 2 ポートの構成の表4-1の記述を変更	
	図4-1の注意を変更	
	図4-2の注意を変更	
4. 3. 3	プルアップ抵抗オプション・レジスタ (PUxx) の説明変更	第4章 ポート機能
	図4-3の注意を変更	
	4. 3. 4 ポート入力モード・レジスタ (PIMxx) の注意を変更	
	4. 3. 5 ポート出力モード・レジスタ (POMxx) の注意を変更	
	図4-5の注意を変更	
	4. 3. 6 ポート・モード・コントロール・レジスタ (PMCxx) の図4-6の注意1, 3を変更	
	図4-8の注3を変更	
	4. 5 兼用機能仕様時のレジスタ設定の説明を変更	
	表4-7の記述を変更	
	表4-8の記述を変更	
5. 1	クロック発生回路の機能の説明を変更	第5章 クロック発生回路
	図5-1を変更	
	5. 3. 1 クロック動作モード制御レジスタ (CMC) の説明を変更	
	図5-2の注3, 4を変更	
	図5-3を注意を変更	
	表5-2の説明を変更	
	図5-5の説明を変更	
	発振安定時間選択レジスタ (OSTS) の説明を変更	
	図5-6を変更	
	図5-7(1/2)の説明を変更, 注意を変更	
	図5-7(2/2)の説明を変更, 注意を変更	
	5. 3. 7 動作スピード・モード制御レジスタ (OSMC) の説明を変更	
	5. 3. 8 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) の説明を変更	
	図5-9を変更	
	図5-10を変更, 注, 備考1, 2を変更	
	5. 4. 2 高速オンチップ・オシレータ, 5. 4. 3 低速オンチップ・オシレータの説明を変更	
	図5-13を変更	
	5. 6. 1 高速オンチップ・オシレータの設定例の説明を変更	
	5. 6. 2 X1発振回路の設定例の説明を変更	

(7/22)

Rev.	内 容	適用箇所
2.00	図5-14を変更	第5章 クロック発生回路
	表5-3 (2/3) の説明を変更	
	5. 7 発振子と発振回路定数の説明を変更, 注3を追加	
	冒頭の説明を追加	第6章 タイマ・アレイ・ユニット
	6. 1. 1 単独チャネル動作機能(4)分周器を変更, 注を追加	
	6. 1. 2 複数チャネル連動動作機能 (1) ワンショット・パルス出力の図を変更	
	表6-1に注を追加	
	表6-2を変更	
	図6-1を変更	
	図6-2を変更	
	図6-3 (a), (b), (c), (d), (e), (f)を変更	
	6. 2. 1 タイマ・カウンタ・レジスタ0n (TCR0n) を追加	
	6. 2. 2 タイマ・データ・レジスタ0n (TDR0n) を追加	
	6. 3 タイマ・アレイ・ユニットを制御するレジスタの説明を変更, 注を追加	
	図6-7の注意1を変更, 注を追加	
	6. 3. 2 タイマ・クロック選択レジスタ0 (TPS0) の説明を変更	
	図6-8を変更	
	図6-9(4/4)を変更, 注1を追加	
	図6-15を変更	
	6. 3. 10 タイマ出力レジスタ0 (TO0) の説明を変更	
	6. 3. 13 ノイズ・フィルタ許可レジスタ1 (NFEN1) の説明を変更	
	6. 3. 14 タイマ入出力端子のポート機能を制御するレジスタの説明を変更	
	図6-24を変更	
	図6-25を変更	
	図6-26を変更	
	6. 7 タイマ入力 (TI0n) の制御を追加	
	図6-40を変更	
	図6-41を変更	
	図6-44を変更	
	図6-45を変更	
	図6-49を変更	
	図6-50の注を変更	
	図6-53を変更	
	図6-57を変更	
	図6-60を変更	
	図6-61を変更	
	図6-64を変更	
	図6-66を変更	
	図6-69を変更	
	図6-70を変更	
	6. 9. 3 多重PWM出力機能としての動作の説明を変更	
	図6-74を変更	
	6. 10. 1 タイマ出力使用時の注意事項の説明を変更	
	図7-1の説明を変更	第7章 12ビット・インターバル・タイマ
	図7-2の注意1を変更	
	7. 4. 2 HALT/STOPモードから復帰後にカウンタ動作開始し, 再度HALT/STOPモードへの移行の説明を変更	第8章 クロック出力/ブザー出力制御回路
	冒頭の説明を追加	
	8. 1 クロック出力/ブザー出力制御回路の機能の説明を追加	

(8/22)

Rev.	内 容	適用箇所
2.00	8. 3 クロック出力／ブザー出力制御回路を制御するレジスタの説明を変更	第8章 クロック出力/ブザー出力 制御回路
	図8-2の注1を追加, 注2を変更	
	8. 3. 2のタイトル名を“クロック出力／ブザー出力端子のポート機能を制御するレジスタ”に変更	
	8. 4. 1 出力端子の動作の説明を変更	
	図8-3のタイトル名を“PCLBUZn端子からのクロック出力のタイミング”に変更	
	8. 5 クロック出力／ブザー出力制御回路の注意事項を追加	
	9. 1 ウォッチドッグ・タイマの機能の説明を変更	第9章 ウォッチドッグ・タイマ
	表9-1を変更	
	図9-1を変更	
	9. 4. 1 ウォッチドッグ・タイマの動作制御の注意2を変更	
	10. 1 A/Dコンバータの機能の説明を変更	第10章 A/Dコンバータ
	図10-1の説明を追加	
	10. 3 A/Dコンバータを制御するレジスタの説明を変更	
	図10-2の注意1を変更	
	図10-3のADCSビットの説明を変更	
	表10-3の表, 注, 注意1を変更	
	表10-3の表, 注3, 注意1を変更	
	表10-3の表, 注1, 注意1を変更	
	表10-3の表, 注1, 注意1を変更	
	図10-6の注意2を変更	
	図10-7の説明を変更	
	図10-13の注意2, 3を変更	
	図10-15の説明を変更	
	図10-37のフローチャートを変更	
	11. 1. 1 3線シリアルI/O (CSI00, CSI01, CSI11, CSI20) の説明を変更	第11章 シリアル・アレイ・ユニット
	表11-1を変更	
	図11-1を変更	
	図11-2を変更	
	図11-3を変更	
	11. 2. 1 シフト・レジスタを追加	
	11. 2. 2 シリアル・データ・レジスタmn (SDRmn) の下位8/9ビットを追加	
	図11-6の注と注意1を変更	
	図11-7の説明と注を変更	
	図11-8 (1/2), (2/2) の注意を変更	
	図11-9 (1/2), (2/2) の説明と注意を変更	
	11. 3. 5 シリアル・データ・レジスタmn (SDRmn) の説明を変更	
	図11-10を変更	
	図11-11の備考を変更	
	図11-12 (1/2) の注意を変更	
	図11-12 (2/2) の注意1, 2を変更	
	図11-13の注意1を変更	
	図11-14の注意を変更	
	図11-16の注意を変更	
	11. 3. 12 シリアル出力レジスタm (SOM) の説明を変更	
	図11-17の注意を変更	

(9/22)

Rev.	内 容	適用箇所
2.00	図11-18の注意を変更	第11章 シリアル・アレイ・ユニット
	図11-19を追加	
	11.3.14 シリアル・スタンバイ・コントロール・レジスタ0 (SSC0) の注意を変更	
	図11-20を変更	
	図11-21を追加	
	11.3.15 ノイズ・フィルタ許可レジスタ0 (NFEN0) の説明を変更	
	図11-22の注意を変更	
	11.3.16 シリアル入出力端子のポート機能を制御するレジスタの説明を変更	
	11.5 3線シリアルI/O (CSI00, CSI01, CSI11, CSI20) 通信の動作の説明を変更, 注を変更	
	11.5.1 マスタ送信の説明を変更, 備考を追加	
	図11-28, 29, 30, 31, 32を変更	
	11.5.2 マスタ受信の説明を変更, 備考を追加	
	図11-35, 36, 37, 39, 40を変更	
	11.5.3 マスタ送受信の説明を変更, 備考を追加	
	図11-43, 45, 47, 48を変更	
	11.5.4 スレーブ送信の説明を変更, 注1, 2と備考2を変更	
	図11-49, 51, 52, 53, 54, 55, 56を変更	
	11.5.5 スレーブ受信の説明を変更, 注1, 2を変更	
	図11-57, 58, 59, 61, 62を変更	
	11.5.6 スレーブ送受信の説明を変更, 注1, 2を変更	
	図11-65, 67, 68, 69, 70を変更	
	11.5.7 SNOOZEモード機能の説明を変更	
	図11-71, 72, 73, 74を変更	
	11.6 UART (UART0-UART2) 通信の動作の説明を変更, 注1を追加	
	11.6.1 UART送信の説明を変更, 注1, 2を追加	
	図11-77, 78, 79, 80, 81, 82, 83を変更	
	11.6.2 UART受信の説明を変更, 注1, 2を追加	
	図11-86, 88, 89を変更	
	11.6.3 SNOOZEモード機能の説明を変更, 注意2, 3, 4を追加	
	表11-3を変更	
	11.6.3(1)の説明を変更, 図11-90を変更	
	11.6.3(2)の説明を変更, 図11-91を変更	
	図11-92を変更	
	11.6.3(3)の説明を変更, 図11-93を変更	
	図11-94を変更	
	11.7 簡易I2C (IIC00, IIC01, IIC11, IIC20) 通信の動作の説明を変更	
	11.7.1 アドレス・フィールド送信の説明を変更, 注1, 2を変更	
	11.7.2 データ送信の説明を変更, 注1, 2を変更	
	11.7.3 データ受信の説明を変更, 注1, 2を変更	
	図11-107を変更	
	図11-109を変更	
	図11-110を変更	
	図12-1を変更	第12章 シリアル・インタフェースIICA
	図12-5を変更	
	図12-6 (3/4), (4/4) を変更	
	図12-9 (2/2) を変更	
	12.3.6 IICAロウ・レベル幅設定レジスタ0 (IICWL0) の説明を変更	
	12.3.7 IICAハイ・レベル幅設定レジスタ0 (IICWH0) の説明を変更	

(10/22)

Rev.	内 容	適用箇所
2.00	12. 4. 2 IICWL0, IICWH0レジスタによる転送クロック設定方法の説明を変更	第12章 シリアル・インタフェースIICA
	図12-22, 図12-23を変更	
	図12-24を変更	
	12. 5. 14 通信予約(1)の説明を変更	
	図12-27の注1を変更	
	12. 5. 14 通信予約(2)の説明を変更	
	12. 5. 15 その他の注意事項の説明を変更	
	図12-28のフローチャートを変更	
	図12-29のフローチャートを変更	
	図12-30のフローチャートを変更	
	図13-1の修正と備考を追加	第13章 乗除積和演算器
	13. 2. 1 乗除算データ・レジスタA (MDAH, MDAL) ~ 13. 2. 3 乗除算データ・レジスタC (MDCL, MDCH) を追加	
	表13-2~表13-4を変更	
	13. 3. 1 乗除算コントロール・レジスタ0 (MDUC) の説明と図13-5を変更	
	13. 4. 1 乗算 (符号なし) 動作~ 13. 4. 5 除算動作の説明を変更	
	図13-9を変更	
	14. 1 DMAコントローラの機能の説明を変更	第14章 DMAコントローラ
	図14-9のフローチャートを変更	
	14. 6 DMAコントローラ (4) DMA転送の保留命令の説明を変更	
	14. 6 DMAコントローラ (6) データ・フラッシュ空間にアクセスする場合の動作の説明を変更	
	図15-11を変更	第15章 割り込み機能
	図15-12を変更	
	表15-6の説明を変更	
	冒頭の説明を追加	第16章 キー割り込み機能
	表16-1を変更	
	表16-2を変更	
	図16-1を変更	
	図16-2を変更	
	図16-3 の注意1,2を変更	
	16. 3. 3 キー・リターン・フラグ・レジスタ (KRF) の説明と図16-4 の注意を変更	
	16. 3. 4 ポート・モード・レジスタ0, 4, 6 (PM0, 4, 6) の説明と図16-5を変更	
	16. 4 キー割り込み機能の動作の説明を追加	
	17. 3. 1 HALTモードの注意を変更	第17章 スタンバイ機能
	17. 3. 2 STOPモードの注意を変更	
	図17-3 (1) のタイミング図の注2を変更	
	図17-3 (3) の注1, 2, 注意, 備考1, 2を変更	
	17. 3. 3 SNOOZEモード (2), (3) の説明を変更	
	18.1 リセット動作のタイミングの説明を変更	第18章 リセット機能
	表18-1の注を追加	
	表18-2の備考を変更	
	図18-4の注意2を変更	
	19. 1 パワーオン・リセット回路の機能の説明を変更, 備考2を追加	第19章 パワーオン・リセット回路
	図19-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング・(1)RESET端子による外部リセット使用時のタイミング図を変更	
	図19-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング・(2)LVD割り込み&リセット・モード時 (オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0) の説明を追加	

(11/22)

Rev.	内 容	適用箇所
2.00	図19-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング・(3)LVD リセット・モード時 (オプション・バイト000C1H のLVIMDS1, LVIMDS0 = 1, 1)のタイミング図を変更	第19章 パワーオン・リセット回路
	20. 1 電圧検出回路の機能の説明を変更	第20章 電圧検出回路
	図20-1を変更	
	図20-2を変更	
	図20-3の注意1, 2と注2を変更	
	図20-4の注意2を変更, 備考2,3を追加	
	20. 4. 1 リセット・モードとして使用する場合の設定の説明を変更	
	図20-5を変更	
	20. 4. 2 割り込みモードとして使用する場合の設定の説明を変更	
	図20-6を変更, 注2を変更	
	20. 4. 3 割り込み&リセット・モードとして使用する場合の設定の説明を変更	
	図20-7 (1/2) の説明を変更	
	図20-7 (2/2) の説明を変更	
	図21-8のフロー・チャートの説明を変更	
	20. 5 電圧検出回路の注意事項 (1) の説明を変更	
	図20-10を追加	
	20. 5 電圧検出回路の注意事項 (3), (4) の説明を変更	
	21. 1 安全機能の概要 (6), (7) の説明, 備考を変更	第21章 安全機能
	図21-4の注意, 備考2, 4を変更	
	図21-5のフローチャートを変更	
	21. 3. 7 A/Dテスト機能の説明を変更	
	21. 3. 7. 2 アナログ入力チャネル指定レジスタ (ADS) の説明を変更	
	21. 3. 7. 2 アナログ入力チャネル指定レジスタ (ADS) の注意2~4, 9を変更	第23章 オプション・バイト
	冒頭の説明に注意を追加	
	23. 1. 1 ユーザ・オプション・バイト (000C0H-000C2H) の説明を変更, 注意を追加	
	図23-2を変更, 備考2, 3を追加	
	図23-3を変更, 注意1を追加	
	23. 4 オプション・バイトの設定の説明を変更, 注意1を変更	第24章 フラッシュ・メモリ
	25. 3. 1 P40/TOOL0端子の説明, 備考1を変更	
	表24-5 プログラミング・モードと書き込み/消去/ベリファイ実行可能電圧を追加	
	表24-10の記述を変更	
	24. 7 セキュリティ設定の説明を変更	
	24. 8 データ・フラッシュの説明を変更	第25章 オンチップ・デバック機能
	25. 1のタイトル名を“E1オンチップデバッグエミュレータとの接続”に変更	
	図25-1~図25-3を変更	第26章 10進補正 (BCD) 回路
	26. 2. 1 BCD補正結果レジスタ (BCDADJ) を追加	
	表27-5 (1/17) 注2を変更	第27章 命令セットの概要
	表27-5 (2/17) 注2を変更	
	表27-5 (3/17) 注2を変更	
	表27-5 (4/17) 注2を変更	
	表27-5 (5/17) 注2を変更	
	表27-5 (6/17) 注2を変更	
	表27-5 (7/17) 注2を変更	
	表27-5 (8/17) 注2を変更	
	表27-5 (9/17) 注2を変更	
	表27-5 (10/17) 注2を変更	
	表27-5 (11/17) 注2を変更	

(12/22)

Rev.	内 容	適用箇所
2.00	表27-5 (12/17) 注2を変更	第27章 命令セットの概要
	表27-5 (13/17) 注2を変更	
	表27-5 (14/17) 注2を変更	
	表27-5 (15/17) 注2を変更	
	表27-5 (16/17) 注2を変更	
	表27-5 (17/17) 注2を変更	
	絶対最大定格 ($T_A = 25^{\circ}\text{C}$) の表の記述を変更	第28章 電気的特性 ($A, D: T_A = -40 \sim +85^{\circ}\text{C}$)
	28. 2. 1 X1,発振回路特性の表, 注, 注意を変更	
	28. 2. 2 オンチップ・オシレータ特性の表を変更	
	28. 3. 1 端子特性 (1/4) の注3を変更	
	28. 3. 1 端子特性 (2/4) の注3を変更	
	(1) 20, 24ピン製品 (1/2) の注1, 2を変更	
	(1) 20, 24ピン製品 (2/2) の注1, 3を変更	
	(2) 30ピン製品 (1/2) の注1, 2を変更	
	(2) 30製品 (2/2) の注1, 3を変更	
	(3) 周辺機能 (全製品共通) を変更	
	28. 4 AC特性の表を変更	
	メイン・システム・クロック動作時の最少命令実行時間を追加	
	ACタイミング測定点, 外部システム・クロック・タイミングの図を変更	
	ACタイミング測定点の図を変更	
	(1) 同電位通信時 (UARTモード) の説明, 注2を変更	
	(2) 同電位通信時 (CSIモード) の説明を変更	
	(3) 同電位通信時 (CSIモード) の説明を変更	
	(4) 同電位通信時 (CSIモード) の説明を変更	
	(5) 同電位通信時 (簡易I2Cモード) の表, 注2を変更	
	(6) 異電位 (1.8V系, 2.5V系, 3V系) 通信時 (UARTモード) の表, 注1~ 9を変更	
	(6) 異電位 (1.8V系, 2.5V系, 3V系) 通信時 (UARTモード) の備考1~3を変更	
	(7) 異電位 (2.5V系, 3V系) 通信時 (CSIモード) の表を変更	
	(7) 異電位 (2.5V系, 3V系) 通信時 (CSIモード) の注意を変更	
	(8) 異電位 (1.8V系, 2.5V系, 3V系) 通信時 (CSIモード) (1/3) の表を変更	
	(8) 異電位 (1.8V系, 2.5V系, 3V系) 通信時 (CSIモード) (2/3) の表, 注1, 2を変更	
	(8) 異電位 (1.8V系, 2.5V系, 3V系) 通信時 (CSIモード) (3/3) の表, 注1, 注意1を変更	
	(9) 異電位 (1.8V系, 2.5V系, 3V系) 通信時 (CSIモード) の表を変更	
	(10) 異電位 (1.8V系, 2.5V系, 3V系) 通信時 (簡易I2Cモード) の表, 注1, 注意1を変更	
	28. 5. 2 シリアル・インタフェースIICAの備考を変更	
	28. 6. 1 A/Dコンバータ特性に表を追加	
	28. 6. 1 (1) の記述を変更	
	28. 6. 1 (1) の注3~5を変更	
	28. 6. 1 (2) の記述, 注2~4を変更	
	28. 6. 1 (3) の記述, 注3, 4を変更	
	28. 6. 1 (4) の記述, 注3, 4を変更	
	28. 6. 2 温度センサ/内部基準電圧 の表を変更	
	28. 6. 3 POR回路特性の表, 注を変更	
	28. 6. 4 LVD回路特性の表を変更	
	割り込み&リセット・モードLVD検出電圧の表を変更	
	28. 6. 5 電源電圧立ち上がり傾き特性に変更	
	28. 10 フラッシュ・メモリ・プログラミング・モード引き込みタイミングの表, 図, 備考を変更	

(13/22)

Rev.	内 容	適用箇所
2.00	産業用途向け (G:TA = -40~+105°C) 製品を追加	第29章 電気的特性 (G:TA = -40~+105°C)
1.10	SCK(シリアル・クロック)のオーバーバーを削除	全般
	レジスタの説明のタイトルを見出しに変更	
	1. 1 R5F102とR5F103の違いを追加	第1章 概説
	1.7 機能概要を変更 注1, 注2 を変更, 注意を追加	
	図3-1メモリ・マップの注1を変更, 注意1を変更, 注意2, 注意3を追加	第3章 CPUアーキテクチャ
	図3-2~図3-6メモリ・マップの注意を変更	
	3.1.3 内部データメモリ空間の注意2を変更, 注意3を追加	
	図3-8 データ・メモリとアドレッシングの対応の注1と注意1を変更, 注意2, 注意3を追加	
	図3-9 ~図3-13データ・メモリとアドレッシングの対応の注意を変更	
	3. 2. 1 (3)スタック・ポインタ(SP)の注意3を変更, 注意4を追加	
	3. 2. 2 汎用レジスタの注意2を変更, 注意3を追加	
	図3-27, 図3-28を変更	
	図3-31 ~図3-41を変更	
	図3-42 ~図3-47を追加	
	5. 3. 8 高速オンチップ・オシレータ周波数選択レジスタの注意1~注意3を変更	第5章 クロック発生回路
	5. 7 発振子と発振回路定数を追加	
	(2) タイマ・データ・レジスタ0n (TDR0n) の説明を修正	第6章 タイマ・アレイ・ユニット
	10. 3. 2 A/Dコンバータ・モード・レジスタ0 (ADM0) の注意1の変更, 注意2の追加	第10章 A/Dコンバータ
	表10-3 A/D変換時間の選択 (2/4) ,(4/4)のLV1の値と注意1を変更	
	表18-1 リセット期間中の動作状態の説明を変更	第18章 リセット機能
	18. 1. 1 リセット・コントロール・フラグ・レジスタ (RESF) の注意を変更(1文変更, 1文削除)	
	図19-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (1/3) の注3を変更	第19章 パワーオン・リセット回路
	図19-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (2/3) の注4を変更	
	図19-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (3/3) を追加	
	21.1 (2) RAMパリティ・エラー検出機能を変更	第21章 安全機能
	21. 3. 2 RAMパリティ・エラー検出機能の注意を変更	
	24. 4. 1 データ・フラッシュの概要の説明を変更 注意 1, 注意 2 を追加	第24章 フラッシュ・メモリ
	24. 6 セキュリティ設定の説明を変更	
	表24-12 各プログラミング・モード時のセキュリティ設定方法の(2)セルフ・プログラミングを削除	
	24. 7 セルフ書き込みによるフラッシュ・メモリ・プログラミングの注意を変更	
	24. 7. 1 フラッシュ・シールド・ウインドウ機能の説明変更	
	表24-14 フラッシュ・シールド・ウインドウ機能の設定/変更方法とコマンドの関係を変更	
	28. 8 フラッシュ・メモリ・プログラミング特性の変更	第28章 電気的特性

(14/22)

Rev.	内 容	適用箇所
1.00	産業用途の製品を追加	全般
	インターバル・タイマ（ユニット）を12ビット・インターバル・タイマに改称	
	周辺I/Oリダイレクト機能の端子名を追加	
	リセット処理時間を変更	
	LIN通信機能を削除	
	VLVI, VLVIH, VLVIILをVLVD, VLVDH, VLVDLに改称（LVD検出電圧）	
	RAMTOPをRPEに, ITIF, ITMK, ITKAPR0, ITKAPR1をTMKAIF, TMKAMK, TMKAPR0, TMKAPR1に変更（割り込み要因, フラグ）	
	1. 1 特徴の説明を追加	第1章 概説
	1. 2 オーダ情報の説明を追加	
	図1-1 RL78/G12の型名とメモリ・サイズ, パッケージを追加	
	1. 6 機能概要の説明を追加, 変更	
	2. 1 ポート機能の説明を追加	第2章 端子機能
	2. 2 ポート以外の機能の説明を変更（ポート機能の説明を削除）	
	2. 3 端子の入出力回路と未使用端子の処理の説明を変更	
	表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応の製品分類を追加	第3章 CPUアーキテクチャ
	表3-2 内部ROM容量の製品を追加	
	表3-3 ベクタ・テーブルにINTFLを追加	
	3. 1. 2 ミラー領域の説明を変更	
	表3-5 内部RAM容量の注意の説明を追加	
	図3-23 テーブル・インダイレクト・アドレッシングの概略を変更	
	表4-2~4, 表4-6~12, 表4-14~20 ポートxx使用時のレジスタ設定を追加	第4章 ポート機能
	Pxxxのブロック図を変更	
	(3) ポート2の説明を追加	
	(4) ポート4の説明を追加	
	(6) ポート12の注を追加	
	(3) ポート2の説明を追加	
	(2) ポート・レジスタ（Pxx）の説明を追加	
	(3) ブルアップ抵抗オプション・レジスタ（PUxx）の説明を追加	
	図4-37 ポート出力モード・レジスタのフォーマットの説明を変更	
	図4-38 ポート・モード・コントロール・レジスタのフォーマットの注意を追加	
	(8) 周辺I/Oリダイレクション・レジスタ（PIOR）の説明を追加	
	4. 4. 1 入出力ポートへの書き込み, 4. 4. 3 入出力ポートでの演算の説明を追加	
	4. 4. 4 異電位（1.8 V系, 2.5 V系, 3 V系）外部デバイスとの接続方法の説明を追加	
	4. 5 兼用機能使用時のポート関連レジスタの設定の説明を追加	
	4. 6. 2 端子設定に関する注意事項を追加	
	② 高速オンチップ・オシレータの説明を追加	第5章 クロック発生回路
	図5-2 クロック動作モード制御レジスタ（CMC）のフォーマットの注意を追加	
	図5-1 クロック発生回路のブロック図を変更	
	表5-2 クロック発振停止前の条件とフラグ設定の説明を変更	
	図5-7 周辺イネーブル・レジスタ0（PER0）のフォーマット（1/2）の注を削除	
	(7) 動作スピード・モード制御レジスタ（OSMC）の説明を追加	
	図5-9 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマットの注意3を変更	
	図5-13 電源電圧投入時のクロック発生回路の動作（電圧検出回路（LVD）使用時）の説明を変更	
	5. 6. 2 X1発振回路の設定例の説明を追加	

(15/22)

Rev.	内 容	適用箇所
1.00	図5-14 CPUクロック状態移行図の説明を追加	第5章 クロック発生回路
	(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行の説明を追加	
	表5-4 CPUクロックの移行についての説明を追加、削除	
	表5-5 メイン・システム・クロックの切り替え (f _{IH} ↔ f _{MX}) に要する最大クロック数、表5-6 クロック発振停止前の条件とフラグ設定の説明を変更	
	(7) デイレイ・カウンタの図を追加	第6章 タイマ・アレイ・ユニット
	図6-2 タイマ・アレイ・ユニットの全体ブロック図 (30ピン製品) の説明を追加	
	図6-3 タイマ・アレイ・ユニットのチャンネル内部ブロック図を追加	
	(1) タイマ・カウンタ・レジスタ0n (TCR0n) の説明を追加	
	(2) タイマ・クロック選択レジスタ0 (TPS0) の説明を追加	
	図6-8 タイマ・クロック選択レジスタ0 (TPS0) のフォーマットの使用周波数を変更、注意を追加	
	表6-4 動作クロックCKS02, CKS03で設定可能なインターバル時間の説明を変更、(3) タイマ・モード・レジスタ0n (TMR0n) の注意を追加	
	図6-9 タイマ・モード・レジスタ0n (TMR0n) のフォーマットを変更	
	(5) タイマ・チャンネル許可ステータス・レジスタ0 (TE0) の説明を追加	
	図6-12 タイマ・チャンネル開始レジスタ0 (TS0) のフォーマットを変更	
	図6-13 タイマ・チャンネル停止レジスタ0 (TT0) のフォーマットの説明を追加	
	(8) タイマ入力選択レジスタ0 (TIS0) の説明を追加	
	図6-15 タイマ出力許可レジスタ0 (TOE0) のフォーマットの説明を変更	
	(14) ポート・モード・レジスタ0, 1, 3, 4 (PM0, PM1, PM3, PM4) の説明を追加	
	6. 4. 1 複数チャンネル連動動作機能の基本ルールの説明を追加	
	6. 5. 1 カウント・クロック (f _{CLK}) の説明を追加	
	表6-6 カウント動作許可状態からタイマ・カウンタ・レジスタ0n (TCR0n) のカウント・スタートまでの動作の説明を変更	
	6. 5. 3 カウンタの動作の表題を追加	
	図6-27 動作タイミング (キャプチャ&ワンカウント・モード: ハイ・レベル幅測定) を変更	
	6. 6. 2 TO0n端子の出力設定の説明を追加	
	図6-39, 43, 51, 55, 59, 64, 69, 74 レジスタ設定内容例の説明を変更	
	図6-41, 45, 49, 53, 61を変更	
	6. 9 タイマ・アレイ・ユニット使用時の注意事項を追加	
	(2) 動作スピード・モード制御レジスタ (OSMC) の説明を追加	第7章 12ビット・インターバル・タイマ
	図7-4 インターバル・タイマ・コントロール・レジスタ (ITMC) のフォーマットの注意を追加	
	図7-5 12ビット・インターバル・タイマ動作のタイミングを変更	
	図8-1 クロック出力/ブザー出力制御回路のブロック図を変更	第8章 クロック出力/ブザー出力制御回路
	図8-2 クロック出力選択レジスタn (CKSn) のフォーマットを変更	
	(2) ポート・モード・レジスタ1, 3 (PM1, PM3) の説明を追加	
	8. 4. 1 出力端子の動作に注意を追加	第9章 ウォッチドッグ・タイマ
	9. 1 ウォッチドッグ・タイマの機能, 9. 4. 4 ウォッチドッグ・タイマのインターバル割り込みの設定の説明を変更	
	図10-1 A/Dコンバータのブロック図を変更	第10章 A/Dコンバータ
	(3) A/D電圧コンパレータの説明を変更	
	図10-3 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマットの注意を追加	
	図10-4 A/D電圧コンパレータ使用時のタイミング・チャートの説明を変更	
	表10-3 A/D変換時間の選択の説明を追加	
	図10-6 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマットの注意を変更	

(16/22)

Rev.	内 容	適用箇所
1.00	図10-7 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマットの説明を追加	第10章 A/Dコンバータ
	図10-11 アナログ入力チャネル指定レジスタ (ADS) のフォーマットの説明を追加	
	(10) A/Dテスト・レジスタ (ADTES) と (11) A/Dポート・コンフィギュレーション・レジスタ (ADPC) , (12) ポート・モード・コントロール・レジスタ0, 1, 4, 12, 14 (PMC0, PMC1, PMC4, PMC12, PMC14) , (13) ポート・モード・レジスタ0, 1, 2, 4, 12, 14の説明と注意を追加	
	10. 4 A/Dコンバータの変換動作に注を追加	
	図10-32 ソフトウェア・トリガ・モード設定～図10-36 テスト・トリガ・モード設定を変更	
	10. 8 SNOOZEモード機能に説明を追加	
	10. 10 A/Dコンバータの注意事項の説明を追加, 変更	
	表10-6 等価回路の各抵抗と容量値 (参考値) の値を変更	
	第11章 シリアル・アレイ・ユニットの説明を追加	第11章 シリアル・アレイ・ユニット
	11. 1. 2 UART (UART0-UART2) の説明を追加	
	図11-1～3 シリアル・アレイ・ユニット0, 1のブロック図を変更	
	図11-6 周辺イネーブル・レジスタ0 (PER0) のフォーマットの注意を変更	
	図11-7 シリアル・クロック選択レジスタm (SPSm) のフォーマットの使用周波数を変更	
	図11-9 シリアル通信動作設定レジスタmn (SCRmn) のフォーマットの注の説明を追加	
	図11-10 シリアル・データ・レジスタmn (SDRmn) のフォーマットの説明を追加	
	図11-12 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (2/2) の説明を追加	
	図11-13 シリアル・チャネル開始レジスタm (SSm) のフォーマットの注, 注意を追加, 変更	
	図11-14 シリアル・チャネル停止レジスタm (STm) のフォーマット, 図11-15 シリアル・チャネル許可ステータス・レジスタm (SEm) のフォーマットの注を追加, 変更	
	図11-16 シリアル出力許可レジスタm (SOEm) のフォーマット, 図11-17 シリアル出力レジスタm (SOM) のフォーマットの説明を追加	
	(13) シリアル出力レベル・レジスタm (SOLm) の説明を追加	
	図11-19 シリアル・スタンバイ・コントロール・レジスタ0 (SSC0) フォーマットの説明を変更	
	(18) ポート・モード・レジスタ0, 1, 3-6 (PM0, PM1, PM3-PM6) の説明を追加	
	図11-25 チャネルごとに動作停止とする場合の各レジスタの設定の説明を追加	
	11. 5. 1 マスタ送信, 11. 5. 2 マスタ受信, 11. 5. 3 マスタ送受信の説明を変更,	
	図11-26, 34, 42, 50, 58, 64, 77, 85, 99, 103, 106 (レジスタ設定内容例) の説明を変更	
	図11-28, 29, 31, 33, 36, 37, 39, 41, 44, 45, 47, 49, 52, 53, 55, 57, 60, 61, 63, 66, 69, 71, 73, 75, 79, 80, 82, 84, 86, 87, 88, 90, 93, 95, 100, 102, 105, 108 (フロー・チャート) を変更	
	11. 5. 4 スレーブ送信, 11. 5. 5 スレーブ受信, 11. 5. 6 スレーブ送受信の注の説明を追加	
	11. 5. 7 SNOOZEモード機能 (CSI00のみ) , 11. 6. 3 SNOOZEモード機能 (UART0受信のみ) に注意を追加	
	11. 6 UART (UART0-UART2) 通信の動作に注意を追加	
	11. 7. 1 アドレス・フィールド送信, 11. 7. 2 データ送信, 11. 7. 3 データ受信の説明を変更	
	11. 7. 5 転送レートの算出の注意を追加	

(17/22)

Rev.	内 容	適用箇所
1.00	IIC転送レート設定例の説明を変更	第11章 シリアル・アレイ・ユニット
	図12-6 IICAコントロール・レジスタ00 (IICCTL00) のフォーマットの説明を変更	第12章 シリアル・インタフェースIICA
	図12-7 IICAステータス・レジスタ0 (IICCS0) のフォーマットの説明を追加	
	図12-28, 29, 30を変更	
	図13-1 乗除・積和演算器のブロック図を変更	第13章 乗除・積和演算器
	図13-6 乗算（符号なし）動作のタイミング図の値を変更	
	13. 4. 5 除算動作の説明を追加	
	冒頭に説明を追加	第15章 割り込み機能
	表15-1, 表15-2 割り込み要因一覧の説明を追加	
	表15-3, 表15-4 割り込み要求ソースに対応する各種フラグにINTFLを追加	
	表15-5 マスカブル割り込み要求発生から処理までの時間の説明を変更	
	図15-12 割り込み要求の受け付けタイミング（最大時間）を変更	
	表15-6 割り込み処理中に多重割り込み可能な割り込み要求の関係を変更	
	全体の説明を変更, 追加	第16章 キー割り込み機能
	(3) SNOOZEモードの注意の説明を変更	第17章 スタンバイ機能
	表17-1 HALTモード時の動作状態の説明を変更	
	スタンバイ解除時, SNOOZE移行のウェイト時間を変更, 追加	
	表18-1 リセット期間中の動作状態の説明を追加	第18章 リセット機能
	表18-2 各ハードウェアのリセット受け付け後の状態の説明を追加	
	表18-2 各ハードウェアのリセット受け付け後の状態の注の説明を追加	
	19. 1 パワーオン・リセット回路の機能, 19. 3 パワーオン・リセット回路の動作の説明を追加, 変更	第19章 パワーオン・リセット回路
	図20-1 電圧検出回路のブロック図を変更	第20章 電圧検出回路
	図20-2 電圧検出レジスタ (LVIM) のフォーマットの説明を変更	
	図20-3 電圧検出レベル・レジスタ (LVIS) のフォーマットの説明を追加	
	表20-1 ユーザ・オプション・バイト (000C1H) によるLVD動作モードと検出電圧設定に図, 注意を追加	
	図20-4, 5, 6を変更	
	図20-7, 8と説明を追加	
	21. 3. 1 CRC演算機能（汎用CRC）の説明を追加	第21章 安全機能
	図21-3 CRC演算機能のフロー・チャートの説明を追加	
	図21-5 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマットの説明を追加	
	図21-7 不正アクセス検出空間を変更	
	21. 3. 7 A/Dテスト機能の説明を追加	
	図を追加（前版の2. 2 端子機能の説明から移動）	第22章 レギュレータ
	(2) 000C1Hの説明を追加	第23章 オプション・バイト
	図23-1 ユーザ・オプション・バイト (000C0H) のフォーマットの説明を変更	
	図23-2 ユーザ・オプション・バイト (000C1H) のフォーマットを変更, 注意を追加	
	24. 1. 1 プログラミング環境の説明を削除	第24章 フラッシュ・メモリ
	24. 2 外部デバイス（UART内蔵）による書き込み方法の説明を追加	
	図24-8 フラッシュ・メモリ・プログラミング・モードへの引き込みの説明を追加	
	表24-5, 13 プログラミング・モードと書き込み／消去／ベリファイ実行可能電圧の説明を追加	

(18/22)

Rev.	内 容	適用箇所
1.00	表24-10 シグネチャ・データ例の説明を変更	第24章 フラッシュ・メモリ
	24.6 セキュリティ設定の説明を追加	
	図25-3 E1オンチップ・デバッグ・エミュレータとの接続例（30ピン製品）を追加	第25章 オンチップ・デバッグ
	図25-4 デバッグ用モニタ・プログラムが配置されるメモリ空間の説明を変更	
	フラグの状態を変更	第27章 命令セットの概要
	ターゲットを削除し、正式規格に変更	第28章 電気的特性
0.03	温度トリミング・レジスタ0-3（TEMPCAL0-3）を削除	全般
	1.1 特徴の説明を追加	第1章 概 説
	1.6 機能概要の説明を追加	
	2.1.4 製品別搭載端子（ポート以外の端子）の説明を変更	第2章 端子機能
	2.2 端子機能の説明を追加	
	図3-3～3-5 メモリ・マップ、データ・メモリとアドレッシングの対応に注を追加	第3章 CPUアーキテクチャ
	3.1.2 ミラー領域の説明を変更	
	3.2.2 汎用レジスタに注意2を追加	
	表3-7 拡張SFR（2nd SFR）一覧（1/5）の説明を変更	
	3.4.3 ダイレクト・アドレッシングの説明を追加	
	表4-5 PMxx, Pxx, PUxx, PIMx, POMx, PMCxxレジスタとそのビット（30ピン製品）、図4-32 プルアップ抵抗オプション・レジスタのフォーマットの表記を変更	第4章 ポート機能
	4.4 ポート機能の動作を追加	
	表4-6, 4-9 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定の値を変更	
	5.1 クロック発生回路の機能 ②高速オンチップ・オシレータ（HOCO）の値を追加	第5章 クロック発生回路
	図5-1 クロック発生回路のブロック図を変更	
	(2) システム・クロック制御レジスタ（CKC）の説明を追加	
	図5-4 クロック動作ステータス制御レジスタ（CSC）のフォーマットの値を変更	
	(4) 発振安定時間カウンタ状態レジスタ（OSTC）の説明を追加	
	図5-6 発振安定時間選択レジスタ（OSTS）のフォーマットの値を追加	
	(6) 周辺イネーブル・レジスタ0（PER0）の説明を追加	
	(9) 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）の説明を追加	
	図5-13 電源電圧投入時のクロック発生回路の動作の注を追加	
	5.6.1 高速オンチップ・オシレータの設定例を追加	
	5.6.2 X1発振回路の設定例の説明を追加	
	5.6.3 CPUクロック状態移行図の説明を追加	
	表5-4 CPUクロックの移行についてX1クロックを追加	
	5.6.5 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間の説明を追加、表5-6 クロック発振停止前の条件とフラグ設定の説明を変更	
	6.1.3 8ビット・タイマ動作機能（チャンネル1, 3のみ）を追加	第6章 タイマ・アレイ・ユニット
	図6-7 周辺イネーブル・レジスタ0（PER0）のフォーマットの注意1の説明を追加	
	図6-8 タイマ・クロック選択レジスタ0（TPS0）のフォーマットの備考を追加	
	図6-9 タイマ・モード・レジスタ0n（TMR0n）のフォーマットのアドレスを追加、注2の説明を変更	
	図6-10 タイマ・ステータス・レジスタ0n（TSR0n）のフォーマットのアドレスを追加	
	図6-11 タイマ・チャンネル許可ステータス・レジスタ0（TE0）のフォーマット～図6-13 タイマ・チャンネル停止レジスタ0（TT0）のフォーマット、図6-15 タイマ出力許可レジスタ0（TOE0）のフォーマットに30ピン製品を追加	

(19/22)

Rev.	内 容	適用箇所
0.03	図6-17 タイマ出力レベル・レジスタ0 (TOL0) のフォーマットの説明を変更	第6章 タイマ・アレイ・ユニット
	6. 4. 1 複数チャネル連動動作機能の基本ルールの説明を追加	
	6. 5 カウンタの動作タイミングを追加	
	6. 6. 1 TO0n端子の出力回路の構成と6. 6. 2 TO0n端子の出力設定の説明を変更	
	6. 6. 3 チャネル出力操作時の注意事項を追加	
	6. 6. 4 TO0nビットの一括操作を追加	
	6. 6. 5 カウント動作開始時のタイマ割り込みとTO0n端子出力についてを追加	
	6. 7 タイマ・アレイ・ユニットの単独チャネル動作機能を追加	
	6. 8 タイマ・アレイ・ユニットの複数チャネル連動動作機能を追加	
	図7-2 周辺イネーブル・レジスタ0 (PER0) のフォーマットの説明を変更, 注意を追加	第7章 インターバル・タイマ
	図7-4 インターバル・タイマ・コントロール・レジスタ (ITMC) のフォーマットの注意を追加	
	図8-1 クロック出力/ブザー出力制御回路のブロック図を変更	第8章 クロック出力/ブザー出力制御回路
	図8-2 クロック出力選択レジスタn (CKSn) のフォーマットの周波数を追加	
	9. 4. 3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定の例の数値を変更	第9章 ウォッチドッグ・タイマ
	内部基準電圧変更	第10章 A/Dコンバータ
	図10-1 A/Dコンバータのブロック図を変更	
	表10-1 ADCSビットとADCEビットの設定の注意を追加, 表10-2 ADCSビットのセット/クリア条件の説明を変更	
	表10-3 A/D変換時間の選択の周波数を追加	
	図10-6 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマットを変更	
	図10-7 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマットのビット名称を変更	
	図10-11 アナログ入力チャネル指定レジスタ (ADS) のフォーマットの注意5の説明を変更	
	図10-37 SNOOZEモード機能時のブロック図の注2の説明を変更	
	10. 10 A/Dコンバータの注意事項を追加	
	冒頭に説明を追加	第11章 シリアル・アレイ・ユニット
	11. 1. 1 3線シリアルI/O (CSI00, CSI01, CSI11, CSI20) の説明を追加	
	11. 1. 2 UART (UART0-UART2) の説明を追加	
	11. 1. 3 簡易I ² C (IIC00, IIC01, IIC11, IIC20) の説明を追加	
	図11-3 シリアル・アレイ・ユニット1のブロック図 (30ピン製品) にSSC1を追加	
	図11-7 シリアル・クロック選択レジスタm (SPSm) のフォーマットの値を追加	
	図11-10 シリアル・データ・レジスタmn (SDRmn) のフォーマットのアドレスを変更	
	(14) シリアル・スタンバイ・コントロール・レジスタ0 (SSCm) の説明を追加	
	(16) ノイズ・フィルタ許可レジスタ0 (NFEN0) の説明を追加	
	11. 5 3線シリアルI/O (CSI00, CSI01, CSI11, CSI20) 通信の動作の説明を追加	
	(c) シリアル通信動作設定レジスタmn (SCRmn) の値を変更	
	11. 6. 4 ボー・レートの算出 (1) ボー・レート算出式の備考1の値を変更	
	図12-9 IICAコントロール・レジスタ01 (IICCTL01) のフォーマットの説明を変更, 注意を追加	第12章 シリアル・インタフェースIICA
	(6) IICAロウ・レベル幅設定レジスタ0 (IICWL0) の説明を追加	
	次の図の説明を変更	
	図12-32 マスタ→スレーブ通信例 (4/4) (<2>)	
	図12-33 スレーブ→マスタ通信例 (1/3) (①, ②)	
	図13-6 乗算 (符号なし) 動作のタイミング図の値を変更	第13章 乗除・積和演算器
	13. 4. 3 積和演算 (符号なし) 動作の説明を追加	

(20/22)

Rev.	内 容	適用箇所
0.03	13. 4. 4 積和演算（符号付）動作の説明を追加	第13章 乗除・積和演算器
	図13-9 積和演算（符号なし）動作のタイミング図を変更	
	(2) DMA RAMアドレス・レジスタn (DRAn) の説明を変更	第14章 DMAコントローラ
	図14-4 DMAモード・コントロール・レジスタn (DMCn) のフォーマットの説明を追加	
	14. 5 DMAコントローラの設定例を追加	
	14. 6 DMAコントローラの注意事項を追加	第15章 割り込み機能
	図15-8 外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0) のフォーマットに30ピン製品を追加	
	図17-2 発振安定時間選択レジスタ (OSTS) のフォーマットの値を追加	第17章 スタンバイ機能
	表17-1 HALTモード時の動作状態～表17-3 SNOOZEモード時の動作状態の説明を追加	
	図17-3 HALTモードの割り込み要求発生による解除～図17-6 STOPモードのリセットによる解除に注を追加	
	表18-2 各ハードウェアのリセット受け付け後の状態の値と名称を変更	第18章 リセット機能
	表18-2 各ハードウェアのリセット受け付け後の状態 (3/3) の注2の名称と値を追加	
	図19-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミングの注を追加	第19章 パワーオン・リセット回路
	図19-3 リセット解除後のソフト処理例の値を変更	
	(c) 割り込みモード（オプション・バイトLVIMDS1, LVIMDS0 = 0, 1）の説明を削除	第20章 電圧検出回路
	図20-2 電圧検出レジスタ (LVIM) のフォーマットの注を追加	
	図20-3 電圧検出レベル・レジスタ (LVIS) のフォーマットの注1を変更	
	表20-1 ユーザ・オプション・バイト (000C1H) によるLVD動作モード・検出電圧設定を変更	
	20. 4. 1 リセット・モードとして使用時の設定, 20. 4. 2 割り込みモードとして使用時の設定, 20. 4. 3 割り込み&リセット・モードとして使用時の設定の説明を変更	
	図20-4 内部リセット信号発生のタイミング～図20-6 割り込み&リセット信号発生のタイミングを変更	
	図20-8 LVDリセット要因発生からLVDリセット発生または解除までの遅延を変更	
	全面改訂	第21章 安全機能
	表22-1 レギュレータ出力電圧条件を変更	第22章 レギュレータ
	(2) 000C1Hの説明を削除	第23章 オプション・バイト
	図23-2 ユーザ・オプション・バイト (000C1H) のフォーマット, 図23-3 ユーザ・オプション・バイト (000C2H) のフォーマットの説明を変更	
	23. 4 オプション・バイトの設定の設定値を変更	
	24. 1. 2 通信方式の説明を追加	第24章 フラッシュ・メモリ
	表24-2 端子接続一覧の説明を変更	
	24. 2. 2 通信方式の説明を変更	
	24. 4. 1 データ・フラッシュの概要の説明を追加	
	24. 5. 2 フラッシュ・メモリ・プログラミング・モードの説明を変更	
	24. 5. 5 シグネチャ・データの説明を追加	
	表24-12 各プログラミング・モード時のセキュリティ設定方法 (2) セルフ・プログラミングの説明を変更	
	24. 7. 1 フラッシュ・シールド・ウィンドウ機能の説明を追加, 表24-14 フラッシュ・シールド・ウィンドウ機能の設定/変更方法とコマンドの関係の説明を変更	
	図25-1 E1オンチップ・デバッグ・エミュレータとの接続例を変更	第25章 オンチップ・デバッグ

(21/22)

Rev.	内 容	適用箇所
0.03	図25-2 E1オンチップ・デバッグ・エミュレータとの接続例（RESET端子の兼用入力機能を使用する場合）を追加	第25章 オンチップ・デバッグ
	図25-3 デバッグ用モニタ・プログラムが配置されるメモリ空間の説明を変更	
	表27-1 オペランドの表現形式と記述方法の説明を追加	第27章 命令セットの概要
	28. 3. 2 オンチップ・オシレータ特性の値を追加	第28章 電気的特性（ターゲット）
	28. 4. 1 端子特性の値を変更	
	28. 4. 2 電源電流特性の値を追加	
	28. 5. 1 基本動作の値を変更	
	28. 6. 1 シリアル・アレイ・ユニットの値を変更	
	28. 7. 1 A/Dコンバータ特性の値を追加	
	28. 7. 2 温度センサ特性, 28. 7. 3 POR回路特性の値を追加	
	割り込み&リセット・モードのLVD検出電圧の値を削除	
	28. 8 データ・メモリSTOPモード低電源電圧データ保持特性の値を変更	
	全面追加	第29章 外形図
0.02	30ピン製品を追加	全般
	高速内蔵発振回路, 低速内蔵発振回路を高速オンチップ・オシレータ(HOCO), 低速オンチップ・オシレータ(LOCO)に名称変更	第3章 CPUアーキテクチャ
	図3-1~3-6 メモリ・マップ, 図3-8~3-13 データ・メモリとアドレッシングの対応に注意を追加	
	表3-6 SFR一覧のP13のリセット値を変更	
	表3-7 拡張SFR (2ndSFR) 一覧に高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)を追加	
	オペランドの記述方法の説明を変更	
	4. 2. 1 20, 24ピン製品 (2) ポート1に注意1~3を追加	第4章 ポート機能
	4. 2. 1 20, 24ピン製品 (4) ポート4に注意2を追加	
	4. 2. 1 20, 24ピン製品 (5) ポート6に注意を追加	
	制御レジスタに高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)を追加	第5章 クロック発生回路
	5. 6. 1 高速オンチップ・オシレータの設定例のLS (低速メイン) モードを削除	
	図5-14 CPUクロック状態移行図の電圧を変更	第6章 タイマ・アレイ・ユニット
	6.2 タイマ・アレイ・ユニットの構成に兼用ポートの説明を追加	
	図11-10 シリアル・データ・レジスタmn (SDRmn) のフォーマットを変更	第11章 シリアル・アレイ・ユニット
	図11-10 シリアル・データ・レジスタmn (SDRmn) のフォーマットの注意2, 11.6.4 ポートレート算出の注意の値削除	
	12.4.2 IICWL0, IICWH0レジスタによる転送クロック設定方法の注意に説明を追加	第12章 シリアル・インタフェースIICA
	図15-6 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR10L, PR10H, PR11L) のフォーマット (20, 24ピン製品) に設定値を追加	第15章 シリアル・インタフェースIICA
	図18-5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマットに注意2, 3を追加	第18章 リセット機能
	図19-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングの電圧を変更	第19章 パワーオン・リセット回路
	20.1 電圧検出回路の機能の説明削除	第20章 電圧検出回路
	図20-5 割り込み信号発生タイミングを変更	
	図21-4 RAMパリティ・エラー制御レジスタ (RPECTL) のフォーマットに注意2を追加	第21章 安全機能

(22/22)

Rev.	内 容	適用箇所
0.02	ブート・ストラップの説明を削除	第23章 オプション・バイト
	表24-1 RL78/G12と専用フラッシュ・メモリ・プログラムの配線表, 表24-2 端子接続一覧の説明を変更	第24章 フラッシュ・メモリ
	24.1.2 通信方式の注の説明を変更	
	24.3.1 TOOL0端子に説明を追加	
	24.4.1 データ・フラッシュの概要の説明を変更	
	図24-8 フラッシュ・メモリ・プログラミング・モードへの引き込みを変更	
	表24-7 フラッシュ・メモリ制御用コマンドを変更	
	24.7 セルフ書き込みによるフラッシュ・メモリ・プログラミングに注意2を追加	
	24.7.1 フラッシュ・シールド・ウインドウ機能を追加	
	絶対最大定格の値を変更	第28章 電気的特性 (ターゲット)
	オンチップ・オシレータ特性の値を変更	
	28.4 DC特性の値を変更	
	28.6.1 シリアル・アレイ・ユニットの値を変更	
	28.6.1 シリアル・アレイ・ユニットに注意を追加	
	28.6.1 シリアル・アレイ・ユニットの注意の説明を追加	
	28.7 アナログ特性の項目追加と削除と値を変更	
	28.9 フラッシュ・メモリ・プログラミング特性を変更	
	28.10 モード引き込み時のタイミング・スペックと t_{HD} の単位を変更	

RL78/G12 ユーザーズマニュアル
ハードウェア編

発行年月日 2025 年 1 月 17 日 Rev. 2.50

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

RL78/G12