ユーザーズ・マニュアル

携帯マルチメディア・プロセッサ

1 チップ編

EMMA Mobile™1-S
μPD77630A

資料番号　R19UH0031JJ0600（第６版）
(S19687JJ6V0UM00)
発行年月　June 2010

© 2010 Renesas Electronics Corporation. All rights reserved.

［メ　　モ］

目次要約

第１章　概　　説　...　17

第２章　端子機能　...　20

第３章　機能概要　...　44

第４章　システム制御　...　60

第５章　電源制御　...　77

第６章　バス構造　...　84

第７章　割り込み制御　...　86

第８章　兼用端子切り替え　...　92

付録A　レジスタ一覧　...　175

付録B　クロック一覧　...　269

付録C　ROM内ブート・ローダ　...　270

付録D　信号端子一覧　...　280

付録E　外部バス・インタフェース　...　294

付録F　割り込み（AINT）　...　316

付録G　SRC／内蔵SRAM　...　348

付録H　DCV（DSPアドレス・コンバータ）　...　349

付録I　PMU　...　358

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理
   【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。
   CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。
2. 電源投入時の処置
   【注意】電源投入時は，製品の状態は不定です。
   電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。
   外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。
   同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. リザーブアドレス（予約領域）のアクセス禁止
   【注意】リザーブアドレス（予約領域）のアクセスを禁止します。
   アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
4. クロックについて
   【注意】リセット時は、クロックが安定した後、リセットを解除してください。
   プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。
   リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
5. 製品間の相違について
   【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。
   同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

はじめに

対 象 者　このマニュアルは，携帯マルチメディア・プロセッサ EMMA Mobile1-S（以降，EM1-S と表記します）の機能概要について説明しています。EM1-S の機能を理解し，それを用いたソフトウエア，ハードウエアなどのアプリケーション・システムを設計するユーザを対象とします。

目　　的　このマニュアルは，EM1-S の機能概要をユーザに理解していただき，これらのデバイスを使用するシステムのハードウエア，ソフトウエア開発の参照用資料として役立つことを目的としています。

構　　成　このマニュアルは，大きく分けて次の内容で構成しています。

- 第 1 章　概　　説
- 第 2 章　端子機能
- 第 3 章　機能概要
- 第 4 章　システム制御
- 第 5 章　電源制御
- 第 6 章　バス構造
- 第 7 章　割り込み制御
- 第 8 章　兼用端子切り替え
- 付録 A　レジスタ一覧
- 付録 B　クロック一覧
- 付録 C　ROM 内ブート・ローダ
- 付録 D　信号端子一覧
- 付録 E　外部バス・インタフェース
- 付録 F　割り込み（AINT）
- 付録 G　SRC／内蔵 SRAM
- 付録 H　DCV（DSP アドレス・コンバータ）
- 付録 I　PMU

読 み 方　このマニュアルを読むにあたっては，電気，論理回路，マイクロコンピュータに関する一般的知識が必要となります。

・EM1-S の機能概要を理解しようとするとき
　→ 目次に従ってお読みください。

・EM1-S 全体の機能を理解しようとするとき
　→ モジュールごとのユーザーズ・マニュアルを参照してください。

・EM1-S 全体の電気的特性を理解しようとするとき
　→ データ・シートを参照してください。

凡　例	データ表記の重み	：左が上位桁，右が下位桁
	注	：本文中につけた注の説明
	注意	：気をつけて読んでいただきたい内容
	備考	：本文中の補足説明
	数の表記	：2 進数　...　××××または××××b
		10 進数　...　××××
		16 進数　...　××××H または 0x××××
	データ・タイプ	ワード　...　32 ビット
		ハーフワード　...　16 ビット
		バイト　...　8 ビット

関連資料　関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

資料名		資料番号
μPD77630A　データ・シート		S19686J
μPD77630A ユーザーズ・マニュアル	1 チップ編	このマニュアル
EMMA Mobile1 ユーザーズ・マニュアル	Audio/Voice，PWM インタフェース編	R19UH0027JJ (S19253J)
	DDR SDRAM インタフェース編	R19UH0028JJ (S19254J)
	DMA コントローラ編	S19255J
	I^2C インタフェース編	S19256J
	ITU-R BT.656 インタフェース編	S19257J
	LCD コントローラ編	S19258J
	MICROWIRE 編	S19259J
	NAND Flash インタフェース編	S19260J
	SPI 編	S19261J
	UART インタフェース編	S19262J
	イメージ・コンポーザ編	S19263J
	イメージ・プロセッサ・ユニット編	S19264J
	システム制御／汎用入出力インタフェース編	R19UH0029JJ (S19265J)
	タイマ編	S19266J
	地上デジタル TV インタフェース編	S19267J
	カメラ・インタフェース編	S19285J
	USB インタフェース編	S19359J
	SD メモリ・カード・インタフェース	S19361J
	PDMA 編	S19373J

(　　)内は旧資料番号

注意　上記関連資料は，予告なしに内容を変更することがあります。設計などには，必ず最新の資料を使用してください。

この資料に記載されている会社名，製品名などは，各社の商標または登録商標です。

目　　次

第 1 章 概　　説... 17

1.1 特　　徴... 17

1.2 システム構成図... 18

1.3 端子配置... 19

第 2 章 端子機能... 20

2.1 端子構成... 20

2.1.1 端子構成... 20

2.1.2 端子リスト... 21

2.2 端子機能説明... 25

2.2.1 端子の入出力回路... 39

2.2.2 入出力回路一覧... 40

第 3 章 機能概要... 44

3.1 システム系... 44

3.1.1 ASMU（System Management Unit）... 44

3.1.2 PMU（Power Management Unit）... 44

3.1.3 AINT（Interrupt Controller）... 45

3.1.4 ATIM（Timer）... 45

3.2 プロセッサ系... 46

3.2.1 ACPU（ACPU TOP Module）... 46

3.2.2 ADSP（Digital Signal Processor（DSPK701））... 47

3.2.3 DCV（ADSP Address Converter）... 47

3.3 メモリ・インタフェース系... 48

3.3.1 MEMC（DDR SDRAM Interface）... 48

3.3.2 AB0（Asynchronous Bus Interface）... 48

3.3.3 SRC（Internal SRAM）... 49

3.4 バス系... 50

3.4.1 AXL0/AXL1（AXI Bus）... 50

3.4.2 DMAC（DMA Controller）... 50

3.5 入出力制御系... 51

3.5.1 CHG / CHGL1 / CHGREG / IO... 51

3.6 画像系... 52

3.6.1 LCD（LCD Controller）... 52

3.6.2 IMC（Image Composer）... 52

3.6.3 DTV（OFDM Interface）... 53

3.6.4 CAM（Camera Interface）... 53

3.7 Image Processing Module... 55

3.7.1 IPU（Image Processing Unit）... 55

3.7.2 AVC（H.264 HW Encoder/Decoder）... 55

3.8 外部インタフェース系... 56

3.8.1 SP0/SP1/SP2（Serial Peripheral Interface）... 56

3.8.2 USB... 56

3.8.3 IIC（I^2C Interface）... 56

3.8.4 GIO（General Purpose I/O）... 57

3.8.5 SDI（SDIO Interface）... 57

3.8.6 U70/U71/U72（UART Interface）... 57

3.9 サウンド系... 59

3.9.1 PM0/PM1（PCM Interface）... 59

第 4 章 システム制御... 60

4.1 メモリ・マップ... 60

4.1.1 BANK0〜2... 61

4.1.2 BANK3... 63

4.1.3 BANK4... 64

4.1.4 BANK5... 65

4.1.5 BANK6... 66

4.1.6 BANK10... 66

4.1.7 BANK12... 67

4.1.8 BANK15... 68

4.2 クロック... 69

4.2.1 使用するPLLについて... 69

4.2.2 クロック系統の概略図... 70

4.2.3 自動周波数制御... 70

4.2.4 クロック自動制御... 70

4.3 リセット... 71

4.3.1 リセット生成方法 1... 72

4.3.2 リセット生成方法 2... 72

4.4 状態遷移... 73

4.4.1 電源ドメイン... 73

4.5 DMAコントローラの制御... 74

4.5.1 メモリ→メモリ転送... 74

4.5.2 メモリ→ペリフェラル転送... 75

4.5.3 ペリフェラル→メモリ転送... 76

第 5 章 電源制御... 77

5.1 電源制御... 77

5.1.1 電源分離図... 77

5.1.2 CPU停止時のPMUの動作例... 78
5.2 システム状態遷移... 79
5.2.1 電源投入シーケンス（電源なしの状態）... 81
5.2.2 電源投入シーケンス（DeepSleep←→Normal）... 82
5.2.3 電源投入シーケンス（PowerOff←→Normal）... 83

第 6 章 バス構造... 84

6.1 概　　要... 84
6.1.1 バス構成... 84
6.1.2 マスタ／スレーブ接続... 85

第 7 章 割り込み制御... 86

7.1 割り込み要因... 86
7.1.1 割り込み出力... 89
7.2 割り込み制御... 90
7.2.1 プロセッサ間通信用割り込み... 90

第 8 章 兼用端子切り替え... 92

8.1 兼用端子切り替えレジスタ... 92
8.1.1 レジスタ詳細... 94
8.2 セレクタ構成... 163
8.2.1 AB0 インタフェース兼用端子... 163
8.2.2 PCM0 インタフェース兼用端子... 164
8.2.3 ITU-R BT.656／SPI1／PCM1 インタフェース兼用端子... 165
8.2.4 DTV／SPI2 インタフェース兼用端子... 165
8.2.5 SPI0／MWIインタフェース兼用端子... 166
8.2.6 LCDインタフェース兼用端子... 167
8.2.7 I^2Cインタフェース兼用端子... 168
8.2.8 UART0／UART1 インタフェース兼用端子... 168
8.2.9 SD0 インタフェース兼用端子... 169
8.2.10 SD1 インタフェース兼用端子... 170
8.2.11 NAND／UART2／SD2／I^2C2 インタフェース兼用端子... 171
8.2.12 PWMインタフェース兼用端子... 172
8.2.13 USBインタフェース兼用端子... 173
8.2.14 REFCLK0 兼用端子... 173
8.2.15 カメラ・インタフェース兼用端子... 174

付録 A レジスター覧...175

A.1 レジスター覧...175
A.1.1 非同期バス（AB0）...175

A.1.2 IPU（ローテータ機能関連レジスタ）…178
A.1.3 DMAコントローラ…180
A.1.4 IPU（イメージ・プロセッサ機能関連レジスタ）…214
A.1.5 CAM（Cameraインタフェース）…216
A.1.6 PM1（Audio/Voiceインタフェース）…218
A.1.7 PWMインタフェース…219
A.1.8 SP2（SPIインタフェース）…220
A.1.9 DTV（地上デジタルTVインタフェース）…221
A.1.10 NTS（ITU-R BT.656 インタフェース）…222
A.1.11 NAND（NAND Flashインタフェース）…223
A.1.12 IPU（GraphicsDMA機能関連レジスタ）…227
A.1.13 IMC（イメージ・コンポーザ）…229
A.1.14 LCD（LCDコントローラ）…232
A.1.15 UART0（U70）…233
A.1.16 UART1（U71）…234
A.1.17 UART2（U72）…235
A.1.18 I^2C2（IIC2）…236
A.1.19 I^2C（IIC）…237
A.1.20 SDIA（SD0）…238
A.1.21 SDIB（SD1）…240
A.1.22 AB1…242
A.1.23 SDIC（SD2）…243
A.1.24 USB（USBインタフェース）…245
A.1.25 タイマ（TI0, TI1, TI2, TI3, TW0, TW1, TW2, TW3, TG0, TG1, TG2, TG3, TG4, TG5）…247
A.1.26 PM0（Audio/Videoインタフェース）…248
A.1.27 AINT（interrupt controller unit）…249
A.1.28 ACPU Secure INT（ACPU secure interrupt controller unit）…251
A.1.29 GIO（汎用入出力制御）…252
A.1.30 PDMA（PCM DMA）…255
A.1.31 DDR SDRAMインタフェース（MEMC）…256
A.1.32 DCV（DSPアドレス・コンバータ）…257
A.1.33 PMU…258
A.1.34 ASMU…259
A.1.35 SP0（SPIインタフェース）…264
A.1.36 SP1（SPIインタフェース）…265
A.1.37 CHGREG（兼用端子切り替え）…266
A.1.38 MWI（Microwireインタフェース）…268

付録 B クロック一覧…269

付録 C ROM内ブート・ローダ…270

C.1 目　　的…270

C.1.1 **制限事項**…270

C.1.2 **注意事項**…270

C.2 動作概要…271

C.2.1 SD**ブート**…271

C.2.2 eMMC**ブート**…271

C.3 機能概要…272

C.3.1 ROM**内ブート・ローダ基本機能**…272

C.3.2 SD**ブート**…272

C.3.3 eMMC**ブート**…272

C.4 処理フロー…273

C.4.1 ROM**内ブート・ローダ基本機能処理フロー**…273

C.4.2 SD**ブート処理フロー**…274

C.4.3 eMMC**ブート処理フロー**…276

C.5 メモリ配置…278

C.5.1 SRAM…278

C.5.2 ROM…279

付録 D 信号端子一覧…280

D.1 信号端子一覧…280

付録 E 外部バス・インタフェース…294

E.1 レジスタ一覧…294

E.1.1 **パラメータ・レジスタ一覧**…295

E.1.2 **パラメータ保持レジスタ一覧**…296

E.2 レジスタ詳細…297

付録 F 割り込み（AINT）…316

F.1 レジスタ機能詳細…316

F.1.1 **割り込みマスク関連レジスタ**…316

F.1.2 **割り込み要因ステータス関連レジスタ**…323

F.1.3 **割り込み要因ステータス・リセット・レジスタ**…329

F.1.4 **プロセッサ間通信レジスタ**…331

F.1.5 FIQ**割り込みマスク関連レジスタ**（ACPU**のみ**）…333

F.1.6 **割り込みベクタ・アドレス・レジスタ**（ACPU**のみ**）…335

F.1.7 **割り込み出力信号クリア・レジスタ**…336

F.1.8 **割り込み入力極性レジスタ**…337

F.1.9 **内部割り込みステータス・セット・レジスタ**…341

F.1.10 ACPU Secure**割り込みマスク関連レジスタ**…342

F.2 AINT制御法…347

F.2.1 **プロセッサ間通信の処理例**…347

付録 G SRC／内蔵SRAM…348

G.1 概　　要…348

G.1.1 機能概要…348

G.1.2 アドレス・マップ…348

G.1.3 スレーブ・インタフェース（AXI）…348

付録 H DCV（DSPアドレス・コンバータ）…349

H.1 DCV（DSPアドレス・コンバータ）…349

H.1.1 概　　要…349

H.1.2 レジスタ機能…350

H.1.3 アドレス・コンバート処理…356

H.1.4 リセット…357

付録 I PMU…358

I.1 PMU（電源ON/OFF制御シーケンス）…358

I.1.1 概　　要…358

I.1.2 機能概要…358

I.1.3 WDT制御とリセット要求…358

I.1.4 割り込み信号によるPower ONシーケンスへの移行…358

I.2 レジスタ…359

I.2.1 レジスタ機能…360

I.3 機能詳細…373

I.3.1 PMUコマンド…373

I.4 PMUコマンド一覧…374

I.4.1 BREAK機能…376

図の目次

図番号	タイトル，ページ

図 1－1　EM1-Sシステム構成... 18

図 1－2　EM1-Sの端子配置... 19

図 4－1　クロック系統図... 70

図 4－2　リセット構造図... 71

図 5－1　EM1-S電源分離図... 77

図 5－2　CPU停止時のPMUの動作例... 78

図 5－3　システム状態遷移... 79

図 5－4　電源起動タイミングチャート... 81

図 5－5　DeepSleep←→Normalタイミングチャート... 82

図 5－6　PowerOff←→Normalタイミングチャート... 83

図 6－1　EM1-Sバス構成... 84

図 8－1　AB0 兼用端子のセレクタ構成... 163

図 8－2　PCM0 インタフェース兼用端子のセレクタ構成... 164

図 8－3　ITU-R BT.656／SPI1／PCM1 インタフェース兼用端子のセレクタ構成... 165

図 8－4　DTV／SPI2 インタフェース兼用端子のセレクタ構成... 165

図 8－5　SPI0／MWIインタフェース兼用端子のセレクタ構成... 166

図 8－6　LCDインタフェース兼用端子のセレクタ構成... 167

図 8－7　I^2Cインタフェース兼用端子のセレクタ構成... 168

図 8－8　UART0／UART1 インタフェース兼用端子のセレクタ構成... 168

図 8－9　SD0 インタフェース兼用端子のセレクタ構成... 169

図 8－10　SD1 インタフェース兼用端子のセレクタ構成... 170

図 8－11　NAND／UART2／SD2／I^2C2 インタフェース兼用端子のセレクタ構成... 171

図 8－12　PWMインタフェース兼用端子のセレクタ構成... 172

図 8－13　USBインタフェース兼用端子のセレクタ構成... 173

図 8－14　REFCLK0 兼用端子のセレクタ構成... 173

図 8－15　カメラ・インタフェース兼用端子のセレクタ構成... 174

図 E－1　リード・タイミング（Non Mux）... 307

図 E－2　リード・タイミング（AD-Mux）... 307

図 E－3　ウエイト・タイミング（リード）... 308

図 E－4　ライト・タイミング（Non Mux）（クロック比 1:1）... 310

図 E－5　ライト・タイミング（AD-Mux）（T0>0）（クロック比 1:1）... 310

図 E－6　ライト・タイミング（AD-Mux）（T0_W = 0）（クロック比 1:1）... 311

図 E－7　ウエイト・タイミング（ライト）（クロック比 1:1）... 311

図 E－8　ページ・リード・タイミング（クロック比 1:1）... 313

図 F－1　割り込み信号制御（レベル検出割り込み例）... 342

図 F－2　割り込み信号制御（エッジ検出割り込み例）... 343

図 H－1　アドレス変換イメージ... 356

図 H－2　アドレス変換オーバ・フロー動作... 357

表の目次

表番号	タイトル，ページ
表 4－1	転送の種類とチャネル数... 74
表 4－2	メモリ → メモリ転送 組み合わせ... 74
表 4－3	メモリ → ペリフェラル転送組み合わせ... 75
表 4－4	ペリフェラル → メモリ転送組み合わせ... 76
表 6－1	マスタ・スレーブ接続... 85
表 7－1	割り込み要因一覧... 86
表 7－2	割り込み要因一覧（ACPU専用）... 88
表 E－1	システム制御レジスタ... 294
表 E－2	パラメータ・レジスタ... 295
表 E－3	パラメータ保持レジスタ... 296
表 E－4	初期値（BASEADD）... 303
表 E－5	初期値（BITCOMP）... 304
表 F－1	ベクタ・アドレスの設定値... 335
表 H－1	BANKx_OFFSETレジスター覧... 350
表 H－2	BANKx_SETレジスター覧... 351
表 H－3	アドレス変換表... 357
表 I－1	APBスレーブ・マクロ選択ビット一覧... 373

第1章 概　　説

EMMA Mobile1-S（μPD77630A）（以降，EM1-S といいます）は，CPU と DSP を合わせた Logic を搭載した携帯マルチメディア・プロセッサです。

EM1-S は，マルチメディア・プロセッサ機能として CPU（ARM1176JZF-S™）を 1 個，DSP（DSPK701）を 1 個搭載し，高速，低消費電力を両立したアプリケーション処理の実現，また，多彩な機能を持つ画像処理プロセッサを搭載することにより，より高速な画像処理が実現可能です。

さらに，消費電力に関しては，さまざまな省電力モードを設定し，アプリケーション処理に応じた電力制御および待機時の電力低減をシステムと独立したシーケンスで実行できます。

1.1 特　　徴

○ CPU：ARM1176JZF-S（～500 MHz，I-cache：32 K バイト，D-cache：32 K バイト）

○ DSP：DSPK701（ ～500 MHz，I-cache：32 K バイト，D-cache：32 K バイト）

○ DMA コントローラ：メモリ⇔メモリ間，メモリ⇔周辺インタフェース間

○ タイマ：汎用タイマ，ウォッチドッグ・タイマ（WDT）

○ 画像処理

- イメージ・プロセッサ（リサイズ，フィルタリングなど）
- イメージ・ローテータ（回転 0 度，90 度，180 度，270 度）
- イメージ・DMA（ROP，FILL）
- イメージ・コンポーザ（LCD 出力画像合成）

○ H.264/MPEG-4 AVC アクセラレータ・アプリケーション性能

- H.264/MPEG-4 AVC Endoce/Decode ：D1 30 fps

○ 周辺インタフェース

- メモリ・インタフェース　：外部バス･インタフェース（16 ビット：Flash メモリなど），Mobile DDR SDRAM インタフェース（32 ビット），NAND インタフェース
- シリアル・インタフェース：UART，I^2C，Audio/Voice Serial，SPI，IrDA
- SD カード・インタフェース
- 画像関連インタフェース　：LCD インタフェース，地上デジタル TV インタフェース（OFDM），ITU-R BT.656 出力，カメラ・インタフェース
- 汎用入出力ポート・インタフェース GPIO（General Purpose Input/Output）
- USB インタフェース

○ 電源電圧

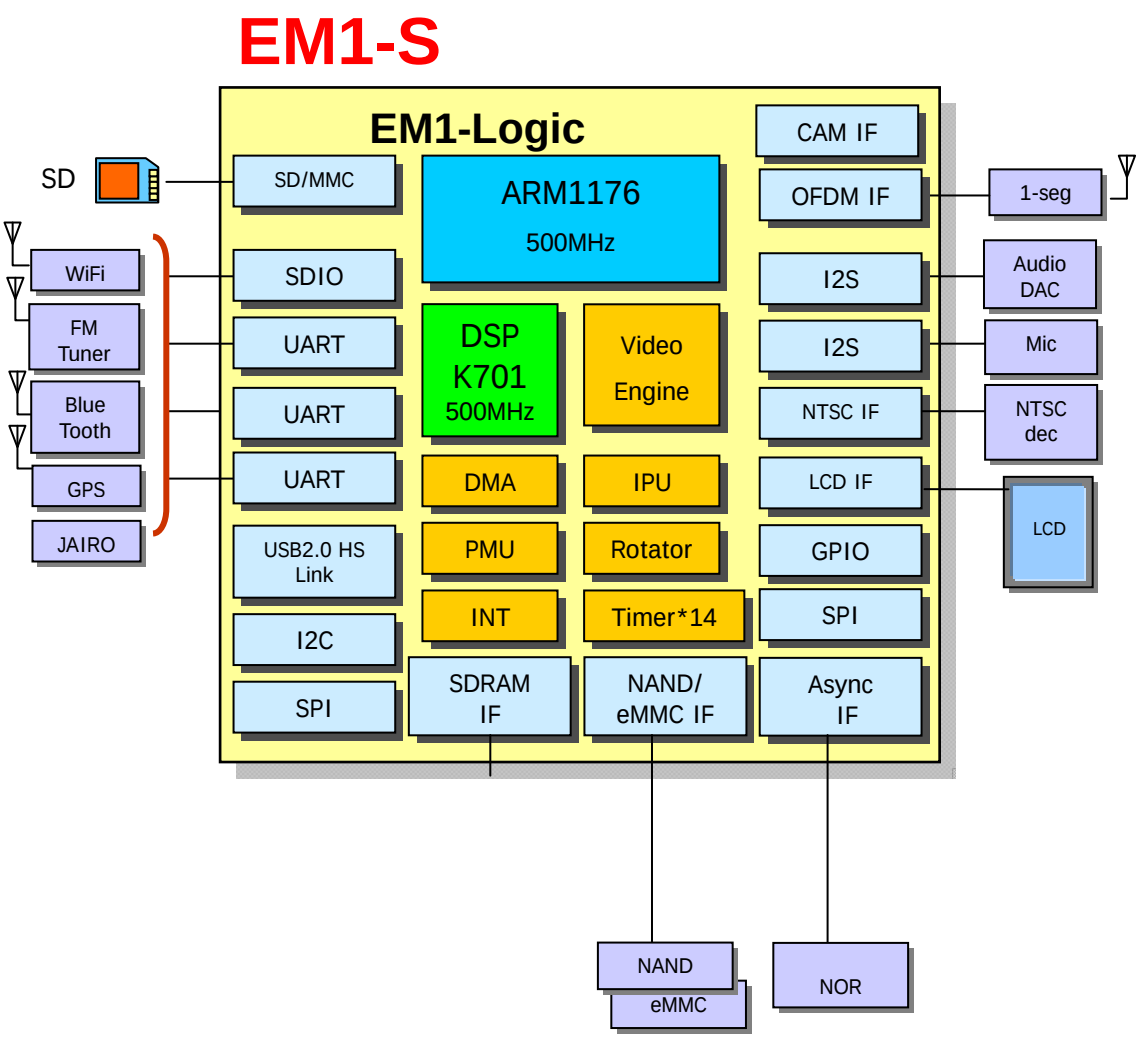
- コア電源：V（1.2 V 系：1.1V～1.3V）
- IO 電源：VIO18（1.8 V 系：1.7V～1.9V），VIO3（3 V 系：2.7V～3.6V）

○ パッケージ

- 481 ピン・ファイン・ピッチ BGA パッケージ（12.7 mm × 12.7 mm）

1.2　システム構成図

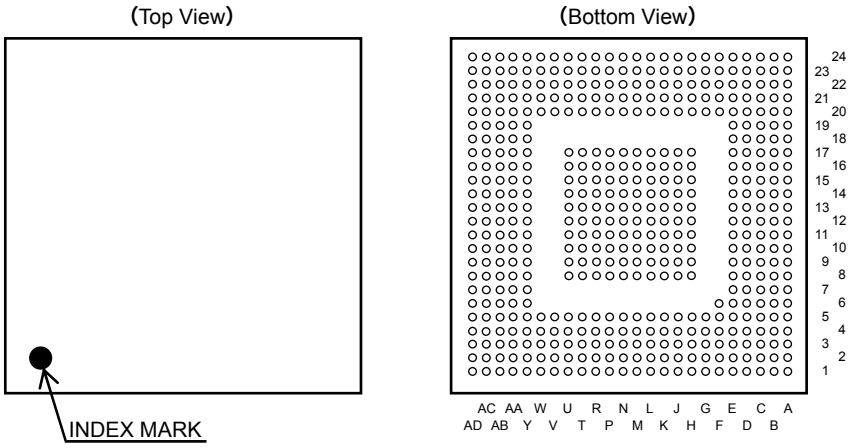
図 1ー1　EM1-S システム構成



1.3 端子配置

481 ピン・ファイン・ピッチ BGA パッケージ（12.7 mm×12.7 mm　0.5 mm ピッチ）

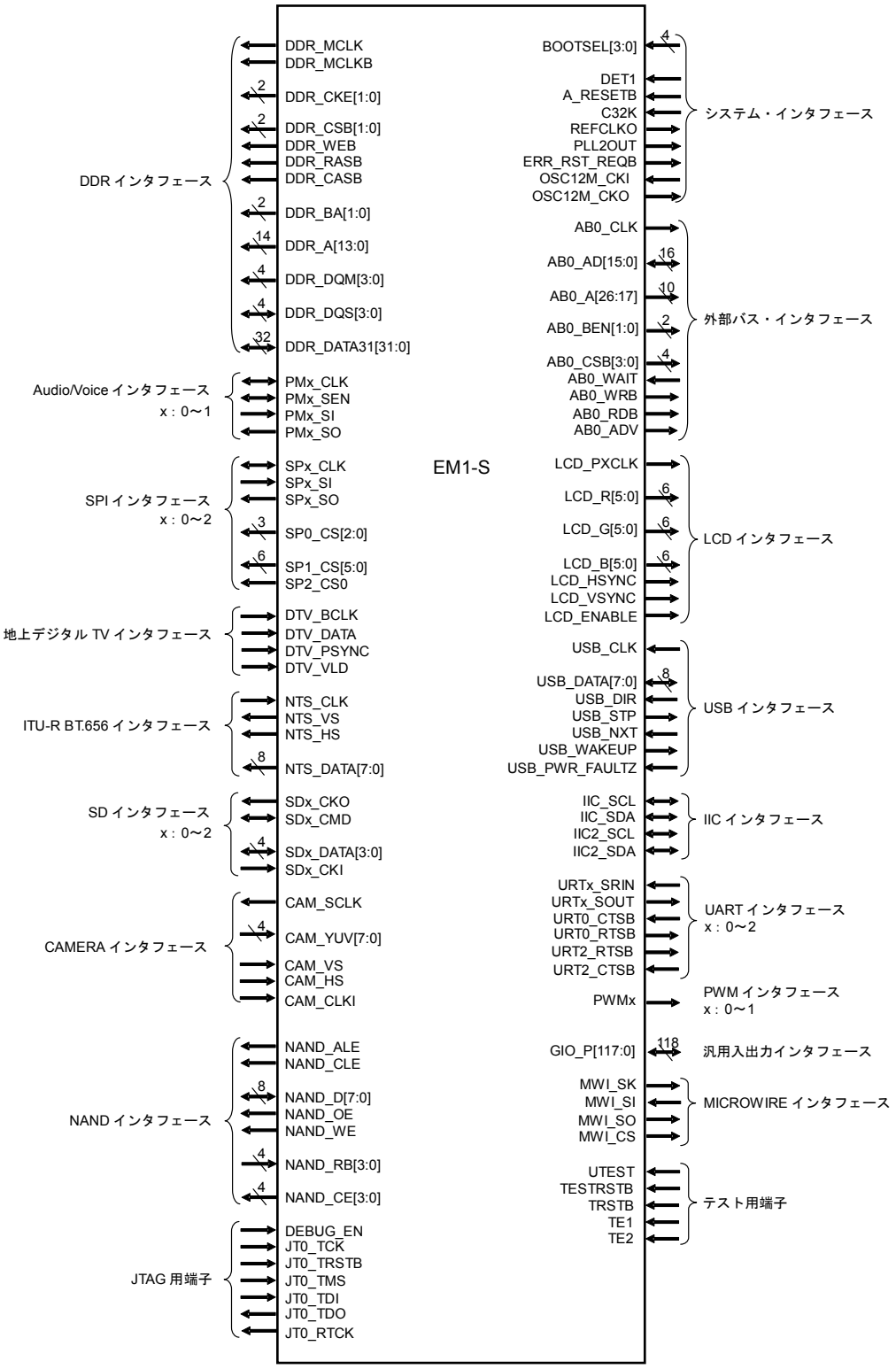
図 1ー2　EM1-S の端子配置



第2章　端子機能

2.1　端子構成

2.1.1　端子構成



2.1.2 端子リスト

(1/4)

端子番号	タイプ	端子名
A1	ー	G
A2	ー	G
A3	ー	G
A4	D	PWM0
A5	D	URT0_SRIN
A6	ー	G
A7	ー	V
A8	C	PM0_CLK
A9	B	C32K
A10	ー	VA2
A11	ー	G
A12	ー	VA3
A13	ー	V
A14	ー	VIO3
A15	ー	G
A16	D	REFCLKO
A17	Z	OSC12M_CKO
A18	Z	OSC12M_CKI
A19	ー	G
A20	ー	V
A21	ー	VIO18
A22	ー	G
A23	ー	G
A24	ー	G
B1	ー	G
B2	ー	G
B3	D	URT2_SOUT
B4	D	PWM1
B5	D	URT0_SOUT
B6	ー	G
B7	ー	V
B8	D	SP0_CLK
B9	C	IIC2_SDA
B10	ー	VA2
B11	ー	G
B12	ー	VA3
B13	ー	V
B14	ー	VIO3
B15	ー	G
B16	D	JT0_TMS
B17	A	DET1
B18	J	LCD_HSYNC
B19	ー	G

端子番号	タイプ	端子名
B20	ー	V
B21	ー	VIO18
B22	J	LCD_G1
B23	ー	G
B24	ー	G
C1	ー	G
C2	D	DTV_DATA
C3	D	URT2_SRIN
C4	D	URT2_RTSB
C5	D	URT0_RTSB
C6	ー	G
C7	ー	VIO3
C8	D	SP0_SI
C9	C	IIC2_SCL
C10	C	IIC_SDA
C11	ー	VA1
C12	E	BOOTSEL1
C13	D	GIO_P2
C14	ー	VIO3
C15	ー	G
C16	D	JT0_TDI
C17	D	JT0_RTCK
C18	J	LCD_VSYNC
C19	J	LCD_B3
C20	J	LCD_B0
C21	J	LCD_G3
C22	J	LCD_G2
C23	J	LCD_G0
C24	ー	G
D1	C	DTV_BCLK
D2	D	DTV_PSYNC
D3	D	DTV_VLD
D4	D	URT2_CTSB
D5	D	URT0_CTSB
D6	ー	G
D7	ー	VIO3
D8	D	SP0_SO
D9	D	PM0_SEN
D10	C	IIC_SCL
D11	ー	VA1
D12	E	BOOTSEL2
D13	D	GIO_P3
D14	ー	VIO3

端子番号	タイプ	端子名
D15	ー	G
D16	D	JT0_TDO
D17	C	JT0_TRSTB
D18	J	LCD_ENABLE
D19	J	LCD_B4
D20	J	LCD_B1
D21	J	LCD_G4
D22	J	LCD_R5
D23	J	LCD_R4
D24	J	LCD_PXCLK
E1	ー	V
E2	ー	V
E3	ー	VIO18
E4	ー	VIO18
E5	D	GIO_P6
E6	D	GIO_P5
E7	D	GIO_P4
E8	D	SP0_CS2
E9	D	SP0_CS0
E10	D	PM0_SI
E11	R	TE2
E12	E	BOOTSEL3
E13	E	BOOTSEL0
E14	D	GIO_P0
E15	ー	G
E16	C	JT0_TCK
E17	N	TESTRSTB
E18	M	TRSTB
E19	J	LCD_B5
E20	J	LCD_B2
E21	J	LCD_G5
E22	J	LCD_R3
E23	J	LCD_R2
E24	J	LCD_R1
F1	ー	G
F2	ー	G
F3	ー	G
F4	ー	G
F5	D	GIO_P7
F6	ー	G
F20	J	LCD_R0
F21	M	AB0_CSB3
F22	M	AB0_CSB2

(2/4)

端子番号	タイプ	端子名
F23	−	V
F24	−	V
G1	−	G
G2	−	G
G3	−	G
G4	−	G
G5	D	GIO_P8
G20	M	AB0_CSB1
G21	−	G
G22	−	G
G23	−	G
G24	−	G
H1	C	NTS_CLK
H2	D	NTS_VS
H3	D	NTS_HS
H4	D	NTS_DATA0
H5	D	NTS_DATA5
H8	D	SP0_CS1
H9	D	PM0_SO
H10	D	ERR_RST_REQB
H11	−	G
H12	Q	TE1
H13	C	A_RESETB
H14	D	GIO_P1
H15	−	G
H16	J	DEBUG_EN
H17	E	UTEST
H20	M	AB0_CSB0
H21	−	G
H22	−	G
H23	−	G
H24	−	G
J1	D	NTS_DATA1
J2	D	NTS_DATA2
J3	D	NTS_DATA3
J4	D	NTS_DATA4
J5	D	NTS_DATA6
J8	−	G
J9	−	G
J10	−	G
J11	−	G
J12	−	G
J13	−	G

端子番号	タイプ	端子名
J14	−	G
J15	−	G
J16	−	G
J17	−	G
J20	M	AB0_WAIT
J21	M	AB0_BEN1
J22	M	AB0_BEN0
J23	M	AB0_A26
J24	M	AB0_A25
K1	C	SD1_CKI
K2	D	SD1_CMD
K3	D	SD1_CKO
K4	D	SD1_DATA0
K5	D	NTS_DATA7
K8	−	G
K9	−	G
K10	−	G
K11	−	G
K12	−	G
K13	−	G
K14	−	G
K15	−	G
K16	−	G
K17	−	G
K20	M	AB0_A24
K21	M	AB0_A23
K22	M	AB0_A22
K23	M	AB0_A21
K24	M	AB0_A20
L1	D	SD1_DATA1
L2	D	SD1_DATA2
L3	D	SD1_DATA3
L4	D	SD0_CMD
L5	D	SD0_DATA0
L8	−	G
L9	−	G
L10	−	G
L11	−	G
L12	−	G
L13	−	G
L14	−	G
L15	−	G
L16	−	G

端子番号	タイプ	端子名
L17	−	G
L20	M	AB0_A19
L21	−	V
L22	−	V
L23	−	VIO18
L24	−	VIO18
M1	−	VIO3
M2	−	VIO3
M3	−	VIO3
M4	−	VIO3
M5	D	SD0_DATA1
M8	−	G
M9	−	G
M10	−	G
M11	−	G
M12	−	G
M13	−	G
M14	−	G
M15	−	G
M16	−	G
M17	−	G
M20	M	AB0_A18
M21	−	G
M22	−	G
M23	−	G
M24	−	G
N1	−	G
N2	−	G
N3	−	G
N4	−	G
N5	−	G
N8	−	G
N9	−	G
N10	−	G
N11	−	G
N12	−	G
N13	−	G
N14	−	G
N15	−	G
N16	−	G
N17	−	G
N20	M	AB0_A17
N21	−	G

(3/4)

端子番号	タイプ	端子名
N22	−	G
N23	−	G
N24	−	G
P1	−	G
P2	−	G
P3	−	G
P4	−	G
P5	−	G
P8	−	G
P9	−	G
P10	−	G
P11	−	G
P12	−	G
P13	−	G
P14	−	G
P15	−	G
P16	−	G
P17	−	G
P20	M	AB0_WRB
P21	M	AB0_RDB
P22	P	AB0_AD15
P23	P	AB0_AD14
P24	P	AB0_AD13
R1	C	SD0_CKI
R2	D	SD0_DATA2
R3	D	SD0_DATA3
R4	D	SD2_CMD
R5	D	GIO_P9
R8	−	G
R9	−	G
R10	−	G
R11	−	G
R12	−	G
R13	−	G
R14	−	G
R15	−	G
R16	−	G
R17	−	G
R20	P	AB0_AD12
R21	P	AB0_AD11
R22	P	AB0_AD10
R23	P	AB0_AD9
R24	J	AB0_CLK

端子番号	タイプ	端子名
T1	D	SD0_CKO
T2	D	SD2_DATA0
T3	D	SD2_DATA1
T4	D	SD2_DATA2
T5	D	GIO_P10
T8	−	G
T9	−	G
T10	−	G
T11	−	G
T12	K	DDR_CSB1
T13	K	DDR_CKE1
T14	−	G
T15	−	G
T16	−	G
T17	−	G
T20	P	AB0_AD8
T21	P	AB0_AD7
T22	P	AB0_AD6
T23	P	AB0_AD5
T24	P	AB0_AD4
U1	−	V
U2	−	V
U3	−	V
U4	−	V
U5	−	V
U8	−	G
U9	−	G
U10	−	G
U11	−	G
U12	K	DDR_WEB
U13	K	DDR_RASB
U14	K	DDR_CSB0
U15	K	DDR_CKE0
U16	K	DDR_CASB
U17	−	G
U20	P	AB0_AD3
U21	−	V
U22	−	V
U23	−	VIO18
U24	−	VIO18
V1	−	G
V2	−	G
V3	−	G

端子番号	タイプ	端子名
V4	−	G
V5	−	G
V20	P	AB0_AD2
V21	−	G
V22	−	G
V23	−	G
V24	−	G
W1	−	G
W2	−	G
W3	−	G
W4	−	G
W5	K	DDR_DATA23
W20	P	AB0_AD1
W21	−	G
W22	−	G
W23	−	G
W24	−	G
Y1	−	VIO3
Y2	−	VIO3
Y3	−	VIO3
Y4	−	VIO3
Y5	K	DDR_DATA24
Y6	K	DDR_DATA22
Y7	K	DDR_DATA20
Y8	K	DDR_DATA17
Y9	K	DDR_DATA14
Y10	K	DDR_DATA13
Y11	−	V
Y12	K	DDR_DATA8
Y13	K	DDR_DATA5
Y14	K	DDR_DATA1
Y15	K	DDR_DATA0
Y16	K	DDR_BA1
Y17	K	DDR_A11
Y18	K	DDR_A6
Y19	K	DDR_A5
Y20	K	DDR_A4
Y21	P	AB0_AD0
Y22	G	AB0_ADV
Y23	G	USB_STP
Y24	G	USB_CLK
AA1	C	SD2_CKI
AA2	D	SD2_DATA3

(4/4)

端子番号	タイプ	端子名
AA3	K	DDR_DATA29
AA4	K	DDR_DATA27
AA5	K	DDR_DATA25
AA6	−	G
AA7	K	DDR_DATA21
AA8	K	DDR_DATA18
AA9	K	DDR_DATA15
AA10	−	G
AA11	−	V
AA12	K	DDR_DATA9
AA13	K	DDR_DATA6
AA14	K	DDR_DATA2
AA15	−	G
AA16	K	DDR_BA0
AA17	K	DDR_A10
AA18	−	VIO18
AA19	−	G
AA20	K	DDR_A3
AA21	G	USB_DATA7
AA22	G	USB_DATA6
AA23	G	USB_DATA5
AA24	G	USB_NXT
AB1	−	G
AB2	D	SD2_CKO
AB3	K	DDR_DATA30
AB4	K	DDR_DATA28
AB5	K	DDR_DATA26
AB6	−	G
AB7	−	VIO18
AB8	K	DDR_DATA19
AB9	K	DDR_DATA16
AB10	−	G
AB11	−	VIO18
AB12	K	DDR_DATA10
AB13	K	DDR_DATA7
AB14	K	DDR_DATA3
AB15	−	G
AB16	K	DDR_A13
AB17	K	DDR_A9
AB18	−	VIO18
AB19	−	G
AB20	K	DDR_A2
AB21	G	USB_DATA4

端子番号	タイプ	端子名
AB22	G	USB_DIR
AB23	G	USB_DATA3
AB24	−	G
AC1	−	G
AC2	−	G
AC3	K	DDR_DATA31
AC4	K	DDR_DQM3
AC5	−	V
AC6	−	G
AC7	−	VIO18
AC8	K	DDR_DQM2
AC9	K	DDR_DQM1
AC10	−	G
AC11	−	VIO18
AC12	K	DDR_DATA11
AC13	K	DDR_DQM0
AC14	K	DDR_DATA4
AC15	−	G
AC16	K	DDR_A12
AC17	K	DDR_A8
AC18	−	V
AC19	−	G
AC20	K	DDR_A1
AC21	G	USB_DATA1
AC22	G	USB_DATA2
AC23	−	G
AC24	−	G
AD1	−	G
AD2	−	G
AD3	−	G
AD4	K	DDR_DQS3
AD5	−	V
AD6	−	G
AD7	−	VIO18
AD8	K	DDR_DQS2
AD9	K	DDR_DQS1
AD10	−	G
AD11	−	VIO18
AD12	K	DDR_DATA12
AD13	K	DDR_DQS0
AD14	K	DDR_MCLKB
AD15	−	G
AD16	K	DDR_MCLK

端子番号	タイプ	端子名
AD17	K	DDR_A7
AD18	−	V
AD19	−	G
AD20	K	DDR_A0
AD21	G	USB_DATA0
AD22	−	G
AD23	−	G
AD24	−	G

2.2　端子機能説明

※　入力バッファタイプは端子番号に紐付けされています。検討端子に記載してある端子名とは必ずしも一致するものではありません。

(1) ブート・セレクト信号（VIO18）

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
BOOTSEL3	E12	入力	ブート・モード選択 3	－	E	－
BOOTSEL2	D12	入力	ブート・モード選択 2	－	E	－
BOOTSEL1	C12	入力	ブート・モード選択 1	－	E	－
BOOTSEL0	E13	入力	ブート・モード選択 0	－	E	－

(2) システム・コントロール信号（VIO3 / VIO18）

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
DET1	B17	入力	パワーオン・リセット	－	A	－
A_RESETB	H13	入力	システム・リセット	－	C	－
C32K	A9	入力	基準クロック（32.768 kHz）	－	B	－
REFCLKO	A16	出力	リファレンス・クロック	PLL2OUT OSC12M_OUT	D	オープン
PLL2OUT	A16	出力	内部 PLL2 出力	REFCLKO OSC12M_OUT	D	オープン
OSC12M_OUT	A16	出力	内部 OSC 出力	REFCLKO PLL2OUT	D	オープン
ERR_RST_REQB	H10	出力	エラー・リセット要求	－	D	オープン
OSC12M_CKI 注	A18	入力	OSC XT1	－	Z	オープン
OSC12M_CKO 注	A17	出力	OSC XT2	－	Z	オープン

注　VIO18

(3) 外部バス・インタフェース信号 (VIO18)

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
AB0_CLK	R24	出力	クロック	GIO_P11 NTS_CLK	J	オープン
AB0_AD[15:0]	P22, P23, P24, R20, R21, R22, R23, T20, T21, T22, T23, T24, U20, V20, W20, Y21	入出力	データ	GIO_P[27:12]	P	オープン
AB0_A[26:20]	J23, J24, K20, K21, K22, K23, K24	出力	アドレス	GIO_P[37:31] AB0_A[10:4]	M	オープン
AB0_A[19:17]	L20, M20, N20	出力	アドレス	GIO_P[30:28] NTS_DATA[2:0] AB0_A[3:1]	M	オープン
AB0_A[10:4]	J23, J24, K20, K21, K22, K23, K24	出力	アドレス	GIO_P[37:31] AB0_A[26:20]	M	オープン
AB0_A[3:1]	L20, M20, N20	出力	アドレス	GIO_P[30:28] NTS_DATA[2:0] AB0_A[19:17]	M	オープン
AB0_BEN[1:0]	J21, J22	出力	バイト・イネーブル	GIO_P[47:46]	M	オープン
AB0_CSB3	F21	出力	チップ・セレクト	GIO_P45 NTS_HS	M	オープン
AB0_CSB2	F22	出力	チップ・セレクト	GIO_P44 NTS_VS	M	オープン
AB0_CSB1	G20	出力	チップ・セレクト	GIO_P43 NTS_DATA7	M	オープン
AB0_CSB0	H20	出力	チップ・セレクト	GIO_P42 NTS_DATA6	M	オープン
AB0_WAIT	J20	入力	ウエイト	GIO_P41 NTS_DATA5	M	オープン
AB0_WRB	P20	出力	ライト・ストローブ	GIO_P40 NTS_DATA4	M	オープン
AB0_RDB	P21	出力	リード・ストローブ	GIO_P39 NTS_DATA3	M	オープン
AB0_ADV	Y22	出力	アドレス有効	GIO_P38	G	オープン

(4) DDR インタフェース信号（VIO18）

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
DDR_MCLK	AD16	出力	クロック	－	K	オープン
DDR_MCLKB	AD14	出力	クロック	－	K	オープン
DDR_CKE[1:0]	T13, U15	出力	クロック・イネーブル	－	K	オープン
DDR_CSB[1:0]	T12, U14	出力	チップ・セレクト	－	K	オープン
DDR_WEB	U12	出力	ライト・イネーブル	－	K	オープン
DDR_RASB	U13	出力	RAS	－	K	オープン
DDR_CASB	U16	出力	CAS	－	K	オープン
DDR_BA[1:0]	Y16, AA16	出力	バンク・アドレス	－	K	オープン
DDR_A[13:0]	AB16, AC16, Y17, AA17, AB17, AC17, AD17, Y18, Y19, Y20, AA20, AB20, AC20, AD20	出力	アドレス	－	K	オープン
DDR_DQM[3:0]	AC4, AC8, AC9, AC13	出力	ライト・データ・マスク	－	K	オープン
DDR_DQS[3:0]	AD4, AD8, AD9, AD13	入出力	データ・ストローブ	－	K	オープン
DDR_DATA[31:0]	AC3, AB3, AA3, AB4, AA4, AB5, AA5, Y5, W5, Y6, AA7, Y7, AB8, AA8, Y8, AB9, AA9, Y9, Y10, AD12, AC12, AB12, AA12, Y12, AB13, AA13, Y13, AC14, AB14, AA14, Y14, Y15	入出力	リード／ライト・データ	－	K	オープン

(5) Audio インタフェース信号（VIO3）

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
PM0_CLK	A8	入出力	PCM0 クロック（デフォルト入力）	－	C	オープン
PM0_SEN	D9	入出力	PCM0 フレーム同期（デフォルト入力）	－	D	オープン
PM0_SI	E10	入力	PCM0 データ	GIO_P87	D	オープン
PM0_SO	H9	出力	PCM0 データ	－	D	オープン
PM1_CLK	H1	入出力	PCM1 クロック（デフォルト入力）	GIO_P72 NTS_CLK	C	オープン
PM1_SEN	H5	入出力	PCM1 フレーム同期（デフォルト入力）	GIO_P80 NTS_DATA5 SP1_CS4	D	オープン
PM1_SI	J5	入力	PCM1 データ	GIO_P81 NTS_DATA6 SP1_CS5	D	オープン
PM1_SO	K5	出力	PCM1 データ	GIO_P82 NTS_DATA7	D	オープン

(6) カメラ・インタフェース (VIO3)

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
CAM_SCLK	E6	出力	カメラ・クロック	GIO_P5 NAND_RB2	D	オープン
CAM_CLKI	K1	入力	カメラ I/F	GIO_P92 SD1_CKI	C	オープン
CAM_YUV7	L1	入力	カメラ I/F	SD1_DATA1	D	オープン
CAM_YUV6	K4	入力	カメラ I/F	SD1_DATA0	D	オープン
CAM_YUV5	K2	入力	カメラ I/F	SD1_CMD	D	オープン
CAM_YUV4	J4	入力	カメラ I/F	NTS_DATA4 SP1_CS3 GIO_P79	D	オープン
CAM_YUV3	J3	入力	カメラ I/F	NTS_DATA3 SP1_CS2 GIO_P78	D	オープン
CAM_YUV2	J2	入力	カメラ I/F	NTS_DATA2 SP1_CS1 GIO_P77	D	オープン
CAM_YUV1	J1	入力	カメラ I/F	NTS_DATA1 SP1_CS0 GIO_P76	D	オープン
CAM_YUV0	H4	入力	カメラ I/F	NTS_DATA0 SP1_SO GIO_P75	D	オープン
CAM_HS	L3	入力	カメラ I/F	SD1_DATA3	D	オープン
CAM_VS	L2	入力	カメラ I/F	SD1_DATA2	D	オープン

(7) SPI インタフェース信号（VIO3）

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
SP0_CLK	B8	入出力	SPI0 クロック出力	MWI_SK	D	オープン
SP0_SI	C8	入力	SPI0 データ	MWI_SI	D	オープン
SP0_SO	D8	出力	SPI0 データ	MWI_SO	D	オープン
SP0_CS0	E9	入出力	SPI0 チップ・セレクト	MWI_CS	D	オープン
SP0_CS[2:1]	E8, H8	出力	SPI0 チップ・セレクト	GIO_P[49:48]	D	オープン
SP1_CLK	H2	入出力	SPI1 クロック入力	GIO_P73 NTS_VS	D	オープン
SP1_SI	H3	入力	SPI1 データ	GIO_P74 NTS_HS	D	オープン
SP1_SO	H4	出力	SPI1 データ	GIO_P75 NTS_DATA0 CAM_YUV0	D	オープン
SP1_CS5	J5	出力	SPI1 チップ・セレクト	GIO_P81 NTS_DATA6 PM1_SI	D	オープン
SP1_CS4	H5	出力	SPI1 チップ・セレクト	GIO_P80 NTS_DATA5 PM1_SEN	D	オープン
SP1_CS[3:1]	J4, J3, J2	出力	SPI1 チップ・セレクト	GIO_P[79:77] NTS_DATA[4:2] CAM_YUV[4:2]	D	オープン
SP1_CS0	J1	入出力	SPI1 チップ・セレクト	GIO_P76 NTS_DATA1 CAM_YUV1	D	オープン
SP2_CLK	D1	入出力	SPI2 クロック入力	DTV_BCLK	C	オープン
SP2_SI	C2	入力	SPI2 データ	DTV_DATA	D	オープン
SP2_SO	D2	出力	SPI2 データ	DTV_PSYNC	D	オープン
SP2_CS0	D3	入出力	SPI2 チップ・セレクト	DTV_VLD	D	オープン

(8) 地上デジタル TV インタフェース信号（VIO3）

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
DTV_BCLK	D1	入力	クロック	SP2_CLK	C	オープン
DTV_DATA	C2	入力	YUV データ	SP2_SI	D	オープン
DTV_PSYNC	D2	入力	垂直同期	SP2_SO	D	オープン
DTV_VLD	D3	入力	水平同期	SP2_CS0	D	オープン

(9) LCD インタフェース信号 (VIO18)

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
LCD_PXCLK	D24	出力	ピクセル・クロック	GIO_P50	J	オープン
LCD_R[5:0]	D22, D23, E22, E23, E24, F20	出力	Red データ	GIO_P[56:51]	J	オープン
LCD_G[5:0]	E21, D21, C21, C22, B22, C23	出力	Green データ	GIO_P[62:57]	J	オープン
LCD_B[5:0]	E19, D19, C19, E20, D20, C20	出力	Blue データ	GIO_P[68:63]	J	オープン
LCD_HSYNC	B18	出力	水平同期	GIO_P69	J	オープン
LCD_VSYNC	C18	出力	垂直同期	GIO_P70	J	オープン
LCD_ENABLE	D18	出力	データ・イネーブル	GIO_P71	J	オープン

(10) USB インタフェース信号 (VIO18 / VIO3)

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
USB_CLK	Y24	入力	クロック	GIO_P96	G	オープン
USB_DATA[7:0]	AA21, AA22, AA23, AB21, AB23, AC22, AC21, AD21	入出力	USB データ	GIO_P[104:97]	G	オープン
USB_DIR	AB22	入力	USB DIR 入力	GIO_P105	G	オープン
USB_STP	Y23	出力	USB STOP 出力	GIO_P106	G	オープン
USB_NXT	AA24	入力	USB NXT 入力	GIO_P107	G	オープン
USB_WAKEUP 注	H14	出力	サスペンド・ウェイクアップ	GIO_P1 USB_PWR_FAULT	D	オープン
USB_PWR_FAULT 注	H14	入力	パワー・フォルト	GIO_P1 USB_WAKEUP	D	オープン

注　VIO3

（11）ITU-R BT.656 インタフェース信号（VIO3 / VIO18）

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
NTS_CLK	H1	入力	クロック	GIO_P72，PM1_CLK	C	オープン
	R24 注			AB0_CLK，GIO_P11	J	オープン
NTS_VS	H2	出力	垂直同期	GIO_P73，SP1_CLK	D	オープン
	F22 注			AB0_CSB2，GIO_P44	M	オープン
NTS_HS	H3	出力	水平同期	GIO_P74，SP1_SI	D	オープン
	F21 注			AB0_CSB3，GIO_P45	M	オープン
NTS_DATA7	K5	出力	NTSC データ	GIO_P82，PM1_SO	D	オープン
	G20 注			AB0_CSB1，GIO_P43	M	オープン
NTS_DATA6	J5	出力	NTSC データ	GIO_P81，SP1_CS5 PM1_SI	D	オープン
	H20 注			AB0_CSB0，GIO_P42	M	オープン
NTS_DATA5	H5	出力	NTSC データ	GIO_P80，SP1_CS4 PM1_SEN	D	オープン
	J20 注			AB0_WAIT，GIO_P41	M	オープン
NTS_DATA4	J4	出力	NTSC データ	GIO_P79，SP1_CS3 CAM_YUV4	D	オープン
	P20 注			AB0_WRB，GIO_P40	M	オープン
NTS_DATA3	J3	出力	NTSC データ	GIO_P78，SP1_CS2 CAM_YUV3	D	オープン
	P21 注			AB0_RDB，GIO_P39	M	オープン
NTS_DATA2	J2	出力	NTSC データ	GIO_P77，SP1_CS1 CAM_YUV2	D	オープン
	L20 注			AB0_A3，AB0_A19， GIO_P30	M	オープン
NTS_DATA1	J1	出力	NTSC データ	GIO_P76，SP1_CS0 CAM_YUV1	D	オープン
	M20 注			AB0_A2，AB0_A18， GIO_P29	M	オープン
NTS_DATA0	H4	出力	NTSC データ	GIO_P75，SP1_SO CAM_YUV0	D	オープン
	N20 注			AB0_A1，AB0_A17， GIO_P28	M	オープン

注　VIO18

（12）IIC インタフェース信号（VIO3）

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
IIC_SCL	D10	出力	シリアル・クロック出力	GIO_P83	C	オープン
IIC_SDA	C10	入出力	シリアル・データ入出力	GIO_P84	C	オープン
IIC2_SCL	C9	出力	シリアル・クロック出力	NAND_WE	C	オープン
IIC2_SDA	B9	入出力	シリアル・データ入出力	NAND_RB0	C	オープン

（13）UART インタフェース信号（VIO3）

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
URT0_SRIN	A5	入力	シリアル・データ	－	D	オープン
URT0_SOUT	B5	出力	シリアル・データ	－	D	オープン
URT0_CTSB	D5	入力	接続先デバイス・データ送受信準備完了	GIO_P85 URT1_SRIN	D	オープン
URT0_RTSB	C5	出力	データ送受信準備完了	GIO_P86 URT1_SOUT	D	オープン
URT1_SRIN	D5	入力	シリアル・データ	GIO_P85 URT0_CTSB	D	オープン
URT1_SOUT	C5	出力	シリアル・データ	GIO_P86 URT0_RTSB	D	オープン
URT2_SRIN	C3	入力	シリアル・データ	GIO_P108 NAND_ALE	D	オープン
URT2_SOUT	B3	出力	シリアル・データ	GIO_P109 NAND_CLE	D	オープン
URT2_CTSB	D4	入力	接続先デバイス・データ送受信準備完了	GIO_P110 NAND_D0	D	オープン
URT2_RTSB	C4	出力	データ送受信準備完了	GIO_P111 NAND_D1	D	オープン

（14）メモリ・カード・インタフェース信号（VIO3）

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
SD0_CKO	T1	出力	クロック	－	D	オープン
SD0_CMD	L4	入出力	コマンド・レスポンス	－	D	オープン
SD0_DATA[3:1]	R3, R2, M5	入出力	データ	GIO_P[90:88]	D	オープン
SD0_DATA0	L5	入出力	データ	－	D	オープン
SD0_CKI	R1	入力	ループ・バック	GIO_P91	C	オープン
SD1_CKO	K3	出力	クロック	－	D	オープン
SD1_CMD	K2	入出力	コマンド・レスポンス	CAM_YUV5	D	オープン
SD1_DATA3	L3	入出力	データ	CAM_HS	D	オープン
SD1_DATA2	L2	入出力	データ	CAM_VS	D	オープン
SD1_DATA1	L1	入出力	データ	CAM_YUV7	D	オープン
SD1_DATA0	K4	入出力	データ	CAM_YUV6	D	オープン
SD1_CKI	K1	入力	ループ・バック	GIO_P92 CAM_CLKI	C	オープン
SD2_CKO	AB2	出力	クロック	GIO_P112 NAND_D2	D	オープン
SD2_CMD	R4	入出力	コマンド・レスポンス	GIO_P113 NAND_D3	D	オープン
SD2_DATA[3:0]	AA2, T4, T3, T2	入出力	データ	GIO_P[117:114] NAND_D[7:4]	D	オープン
SD2_CKI	AA1	入力	ループ・バック	GIO_P93 NAND_OE	C	オープン

（15）PWM インタフェース信号（VIO3）

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
PWM0	A4	出力	PWM 出力	GIO_P94	D	オープン
PWM1	B4	出力	PWM 出力	GIO_P95	D	オープン

（16）汎用入出力インタフェース信号（VIO18 / VIO3）

（1/3）

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
GIO_P[117:114]	AA2, T4, T3, T2	入出力	汎用 IO	SD2_DATA[3:0] NAND_D[7:4]	D	オープン
GIO_P113	R4	入出力	汎用 IO	SD2_CMD NAND_D3	D	オープン
GIO_P112	AB2	入出力	汎用 IO	SD2_CKO NAND_D2	D	オープン
GIO_P111	C4	入出力	汎用 IO	URT2_RTSB NAND_D1	D	オープン
GIO_P110	D4	入出力	汎用 IO	URT2_CTSB NAND_D0	D	オープン
GIO_P109	B3	入出力	汎用 IO	URT2_SOUT NAND_CLE	D	オープン
GIO_P108	C3	入出力	汎用 IO	URT2_SRIN NAND_ALE	D	オープン
GIO_P107 注	AA24	入出力	汎用 IO	USB_NXT	G	オープン
GIO_P106 注	Y23	入出力	汎用 IO	USB_STP	G	オープン
GIO_P105 注	AB22	入出力	汎用 IO	USB_DIR	G	オープン
GIO_P[104:97] 注	AA21, AA22, AA23, AB21, AB23, AC22, AC21, AD21	入出力	汎用 IO	USB_DATA[7:0]	G	オープン
GIO_P96 注	Y24	入出力	汎用 IO	USB_CLK	G	オープン
GIO_P[95:94]	B4, A4	入出力	汎用 IO	PWM[1:0]	D	オープン
GIO_P93	AA1	入出力	汎用 IO	SD2_CKI NAND_OE	C	オープン
GIO_P92	K1	入出力	汎用 IO	SD1_CKI CAM_CLKI	C	オープン
GIO_P91	R1	入出力	汎用 IO	SD0_CKI	C	オープン
GIO_P[90:88]	R3, R2, M5	入出力	汎用 IO	SD0_DATA[3:1]	D	オープン
GIO_P87	E10	入出力	汎用 IO	PM0_SI	D	オープン
GIO_P86	C5	入出力	汎用 IO	URT0_RTSB URT1_SOUT	D	オープン
GIO_P85	D5	入出力	汎用 IO	URT0_CTSB URT1_SRIN	D	オープン
GIO_P84	C10	入出力	汎用 IO	IIC_SDA	C	オープン
GIO_P83	D10	入出力	汎用 IO	IIC_SCL	C	オープン
GIO_P82	K5	入出力	汎用 IO	NTS_DATA7 PM1_SO	D	オープン
GIO_P81	J5	入出力	汎用 IO	NTS_DATA6 SP1_CS5 PM1_SI	D	オープン

(2/3)

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
GIO_P80	H5	入出力	汎用 IO	NTS_DATA5 SP1_CS4 PM1_SEN	D	オープン
GIO_P[79:76]	J4, J3, J2, J1	入出力	汎用 IO	NTS_DATA[4:1] SP1_CS[3:0] CAM_YUV[4:1]	D	オープン
GIO_P75	H4	入出力	汎用 IO	NTS_DATA0 SP1_SO CAM_YUV0	D	オープン
GIO_P74	H3	入出力	汎用 IO	NTS_HS SP1_SI	D	オープン
GIO_P73	H2	入出力	汎用 IO	NTS_VS SP1_CLK	D	オープン
GIO_P72	H1	入出力	汎用 IO	NTS_CLK PM1_CLK	C	オープン
GIO_P71 注	D18	入出力	汎用 IO	LCD_ENABLE	J	オープン
GIO_P70 注	C18	入出力	汎用 IO	LCD_VSYNC	J	オープン
GIO_P69 注	B18	入出力	汎用 IO	LCD_HSYNC	J	オープン
GIO_P[68:63] 注	E19, D19, C19, E20, D20, C20	入出力	汎用 IO	LCD_B[5:0]	J	オープン
GIO_P[62:57] 注	E21, D21, C21, C22, B22, C23	入出力	汎用 IO	LCD_G[5:0]	J	オープン
GIO_P[56:51] 注	D22, D23, E22, E23, E24, F20	入出力	汎用 IO	LCD_R[5:0]	J	オープン
GIO_P50 注	D24	入出力	汎用 IO	LCD_PXCLK	J	オープン
GIO_P[49:48] 注	E8, H8	入出力	汎用 IO	SP0_CS[2:1]	D	オープン
GIO_P[47:46] 注	J21, J22	入出力	汎用 IO	AB0_BEN[1:0]	M	オープン
GIO_P45 注	F21	入出力	汎用 IO	AB0_CSB3 NTS_HS	M	オープン
GIO_P44 注	F22	入出力	汎用 IO	AB0_CSB2 NTS_VS	M	オープン
GIO_P43 注	G20	入出力	汎用 IO	AB0_CSB1 NTS_DATA7	M	オープン
GIO_P42 注	H20	入出力	汎用 IO	AB0_CSB0 NTS_DATA6	M	オープン
GIO_P41 注	J20	入出力	汎用 IO	AB0_WAIT NTS_DATA5	M	オープン
GIO_P40 注	P20	入出力	汎用 IO	AB0_WRB NTS_DATA4	M	オープン

(3/3)

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
GIO_P39 注	P21	入出力	汎用 IO	AB0_RDB NTS_DATA3	M	オープン
GIO_P38 注	Y22	入出力	汎用 IO	AB0_ADV	G	オープン
GIO_P[37:31] 注	J23, J24, K20, K21, K22, K23, K24	入出力	汎用 IO	AB0_A[26:20] AB0_A[10:4]	M	オープン
GIO_P[30:28] 注	L20, M20, N20	入出力	汎用 IO	AB0_A[19:17] NTS_DATA[2:0] AB0_A[3:1]	M	オープン
GIO_P[27:12] 注	P22, P23, P24, R20, R21, R22, R23, T20, T21, T22, T23, T24, U20, V20, W20, Y21	入出力	汎用 IO	AB0_AD[15:0]	P	オープン
GIO_P11 注	R24	入出力	汎用 IO	AB0_CLK NTS_CLK	J	オープン
GIO_P[10:7]	T5, R5, G5, F5	入出力	汎用 IO	NAND_CE[3:0]	D	オープン
GIO_P6	E5	入出力	汎用 IO	NAND_RB3	D	オープン
GIO_P5	E6	入出力	汎用 IO	NAND_RB2 CAM_SCLK	D	オープン
GIO_P4	E7	入出力	汎用 IO	NAND_RB1	D	オープン
GIO_P[3:2]	D13, C13	入出力	汎用 IO	－	D	オープン
GIO_P1	H14	入出力	汎用 IO	USB_WAKEUP USB_PWR_FAULT	D	オープン
GIO_P0	E14	入出力	汎用 IO	－	D	オープン

注　VIO18

(17) MICROWIRE インタフェース信号 (VIO3)

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
MWI_SK	B8	出力	クロック	SP0_CLK	D	オープン
MWI_SI	C8	入力	データ	SP0_SI	D	オープン
MWI_SO	D8	出力	データ	SP0_SO	D	オープン
MWI_CS	E9	出力	チップ・セレクト	SP0_CS0	D	オープン

（18）NAND Flash インタフェース信号（VIO3）

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
NAND_ALE	C3	出力	アドレス・ラッチ・イネーブル	URT2_SRIN GIO_P108	D	オープン
NAND_CLE	B3	出力	コマンド・ラッチ・イネーブル	URT2_SOUT GIO_P109	D	オープン
NAND_D[7:4]	AA2, T4, T3, T2	入出力	データ	SD2_DATA[3:0] GIO_P[117:114]	D	オープン
NAND_D3	R4	入出力	データ	SD2_CMD GIO_P113	D	オープン
NAND_D2	AB2	入出力	データ	SD2_CKO GIO_P112	D	オープン
NAND_D1	C4	入出力	データ	URT2_RTSB GIO_P111	D	オープン
NAND_D0	D4	入出力	データ	URT2_CTSB GIO_P110	D	オープン
NAND_OE	AA1	出力	アウトプット・イネーブル	SD2_CKI GIO_P93	C	オープン
NAND_WE	C9	出力	ライト・イネーブル	IIC2_SCL	C	オープン
NAND_RB0	B9	入力	レディ・ビジー	IIC2_SDA	C	オープン
NAND_RB3	E5	入力	レディ・ビジー	GIO_P6	D	オープン
NAND_RB2	E6	入力	レディ・ビジー	GIO_P5 CAM_SCLK	D	オープン
NAND_RB1	E7	入力	レディ・ビジー	GIO_P4	D	オープン
NAND_CE[3:0]	T5, R5, G5, F5	出力	チップ・イネーブル	GIO_P[10:7]	D	オープン

（19）JTAG 用信号（VIO18 / VIO3）

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
DEBUG_EN 注	H16	入力	JTAG	－	J	オープン
JT0_TCK	E16	入力	JTAG	－	C	オープン
JT0_TRSTB	D17	入力	JTAG	－	C	オープン
JT0_TMS	B16	入力	JTAG	－	D	オープン
JT0_TDI	C16	入力	JTAG	－	D	オープン
JT0_TDO	D16	出力	JTAG	－	D	オープン
JT0_RTCK	C17	出力	JTAG	－	D	オープン

注　VIO18

(20) テスト用信号 (VIO18)

端子名	端子番号	入出力	機　　能	兼用端子	タイプ	未使用時の端子処理
UTEST	H17	入力	テスト端子 (通常 0 固定)	−	E	"L"固定
TESTRSTB	E17	入力	テスト用非同期リセット	−	N	オープン
TRSTB	E18	入力	テスト端子	−	M	オープン
TE1	H12	入力	テスト端子	−	Q	オープン
TE2	E11	入力	テスト端子	−	R	オープン

(21) 電源

端子名	端子番号	入出力	機　　能	タイプ	未使用時の端子処理
V	A7, A13, A20, B7, B13, B20, E1, E2, F23, F24, L21, L22, U1, U2, U3, U4, U5, U21, U22, Y11, AA11, AC5, AC18, AD5, AD18	−	コア電源 (1.2 V)	−	−
VIO18	A21, B21, E3, E4, L23, L24, U23, U24, AA18, AB7, AB11, AB18, AC7, AC11, AD7, AD11	−	IO 電源 (1.8 V 系)	−	−
VIO3	A14, B14, C7, C14, D7, D14, M1, M2, M3, M4, Y1, Y2, Y3, Y4	−	IO 電源 (3 V 系)	−	−
VA1	C11, D11	−	PLL 用電源 (1.2V)	−	−
VA2	A10, B10	−	PLL 用電源 (1.2V)	−	−
VA3	A12, B12	−	PLL 用電源 (1.2V)	−	−

(22) GND

端子名	端子番号	機　　能
G	A1, A2, A3, A6, A11, A15, A19, A22, A23, A24, B1, B2, B6, B11, B15, B19, B23, B24, C1, C6, C15, C24, D6, D15, E15, F1, F2, F3, F4, F6, G1, G2, G3, G4, G21, G22, G23, G24, H11, H15, H21, H22, H23, H24, J8, J9, J10, J11, J12, J13, J14, J15, J16, J17, K8, K9, K10, K11, K12, K13, K14, K15, K16, K17, L8, L9, L10, L11, L12, L13, L14, L15, L16, L17, M8, M9, M10, M11, M12, M13, M14, M15, M16, M17, M21, M22, M23, M24, N1, N2, N3, N4, N5, N8, N9, N10, N11, N12, N13, N14, N15, N16, N17, N21, N22, N23, N24, P1, P2, P3, P4, P5, P8, P9, P10, P11, P12, P13, P14, P15, P16, P17, R8, R9, R10, R11, R12, R13, R14, R15, R16, R17, T8, T9, T10, T11, T14, T15, T16, T17, U8, U9, U10, U11, U17, V1, V2, V3, V4, V5, V21, V22, V23, V24, W1, W2, W3, W4, W21, W22, W23, W24, AA6, AA10, AA15, AA19, AB1, AB6, AB10, AB15, AB19, AB24, AC1, AC2, AC6, AC10, AC15, AC19, AC23, AC24, AD1, AD2, AD3, AD6, AD10, AD15, AD19, AD22, AD23, AD24	GND

2.2.1　端子の入出力回路

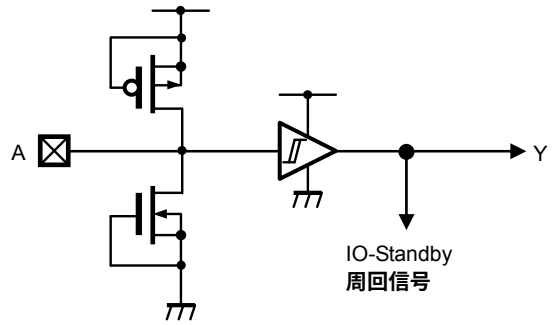
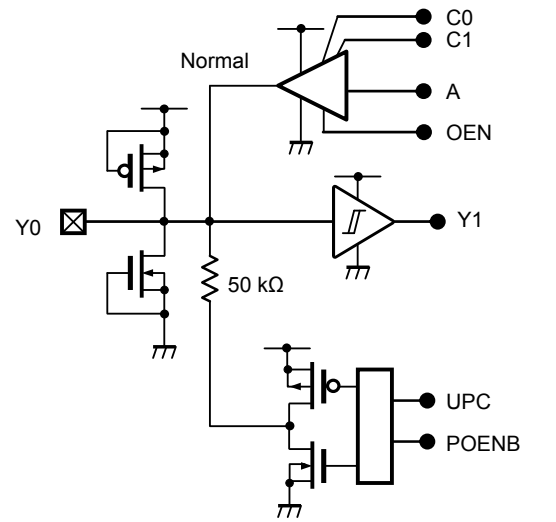
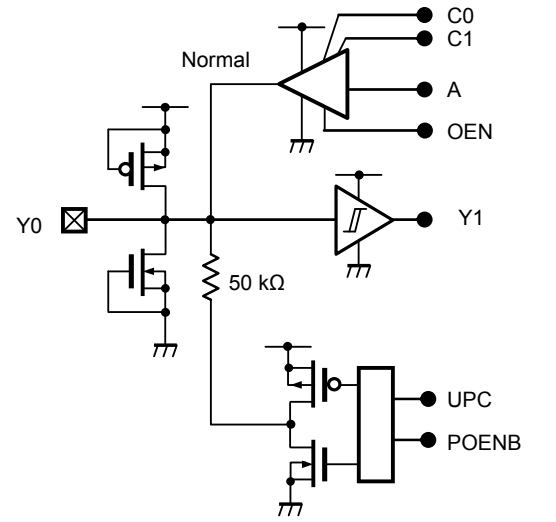
ここでは,EM1-S で使用する入出力回路タイプについて説明します。入出力回路と端子の対応を次の表に示します。

タイプ	VDD	IO	Schmitt	AND	Low Noise	プルダウン	プルアップ	Bus Hold	Drive Current	備考
A	3.3 V	IN	○	×	×	×	×	×	−	DET1 用
B	3.3 V	IO	○	×	×	○	○	×	2/4/8/12	
C	3.3 V	IO	○	×	×	○	○	×	2/4/6/8	
D	3.3 V	IO	×	○	×	○	○	×	2/4/6/8	
E	1.8 V	IO	○	×	×	○	○	×	2/4/8/12	
F	1.8 V	IO	×	○	×	○	○	×	2/4/8/12	
G	1.8 V	IO	×	○	×	○	○	×	2/4/8/12	
J	1.8 V	IO	○	○	×	○	○	×	2/4/8/12	
K	1.8 V	IO	×	○	×	○	○	×	4/6/8/12	
M	1.8 V	IO	○	×	○	○	○	×	2/4/6/8	
N	1.8 V	IO	○	×	○	○	○	×	2/4/6/8	
P	1.8 V	IO	×	×	×	×	×	○	2/4/8/12	
Q	1.8 V	IN	×	×	×	○	×	×	−	テスト用
R	1.8 V	IN	×	×	×	○	×	×	−	テスト用
Z	3.3 V	IO	−	−	−	−	−	−	−	

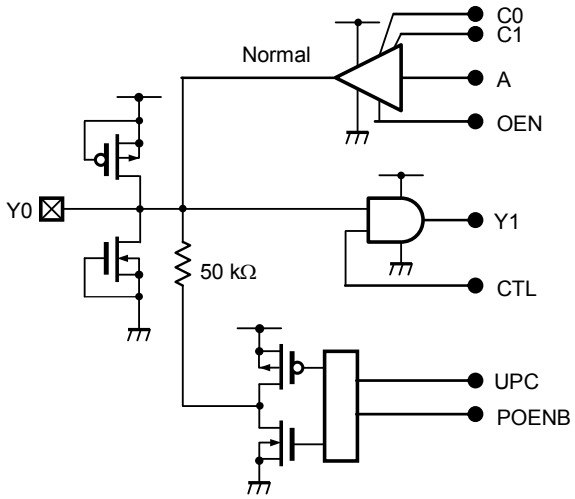
備考　○：対応，×：非対応，－：Don’t Care

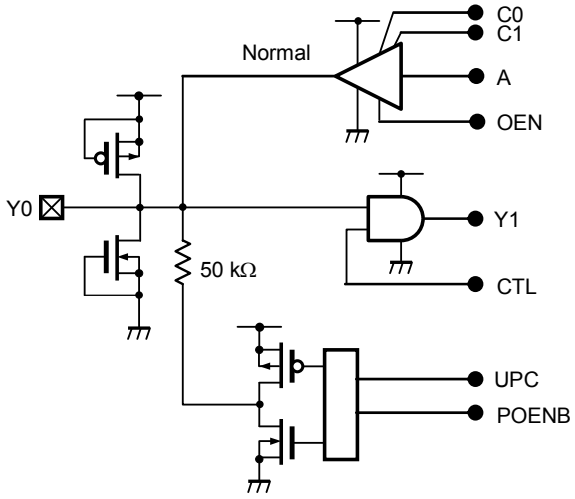
2.2.2 入出力回路一覧

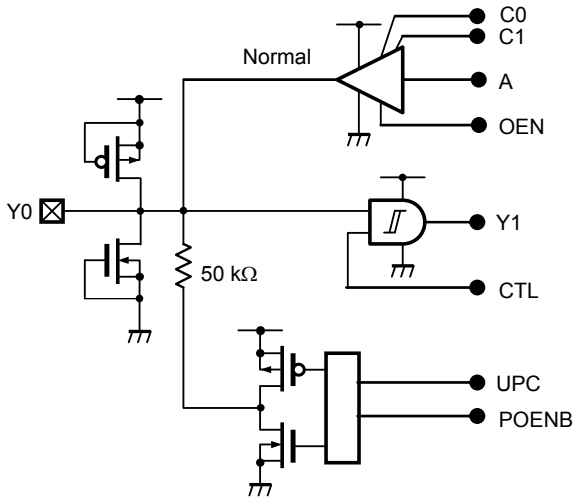
(1/4)

タイプ A	説　明
	入力バッファ Schmitt（VIO3） w / IO-Standby Control このバッファに L レベルを入力することで Power OFF モード時に他の IO バッファを付録 D の POW OFF 状態に固定します。 備考　Power OFF モード時は，このバッファ自体は端子 Hi-Z（入力）で内部スルーします。
タイプ B，E	**説　明**
	双方向バッファ Schmitt（タイプ B = VIO3，タイプ E = VIO18） w / IOLH CONTROL Normal / プルアップ 50 kΩ / プルダウン 50 kΩ ・Power OFF 時：端子 Hi-Z ・抵抗値は 50 kΩ（TYP）
タイプ C	**説　明**
	双方向バッファ Schmitt（VIO3） w / IOLH CONTROL Normal / プルアップ 50 kΩ / プルダウン 50 kΩ ・Power OFF 時：端子 Hi-Z（内部は 0 マスク） ・抵抗値は 50 kΩ（TYP）

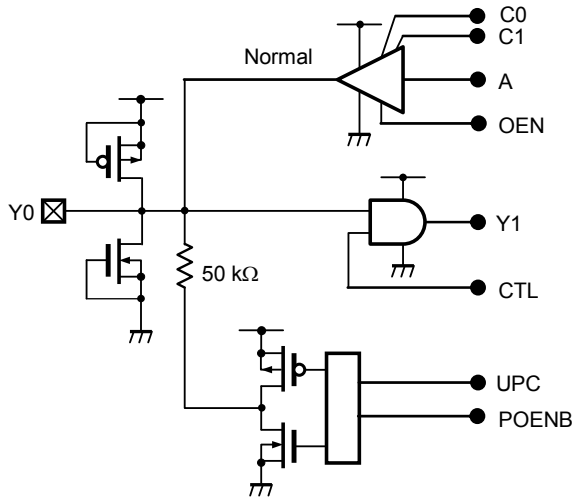
(2/4)

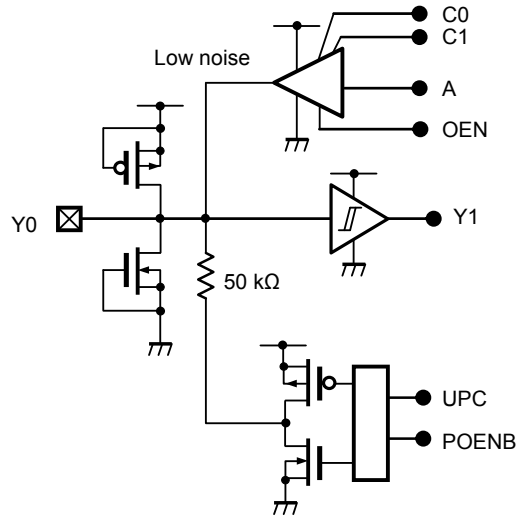
タイプ D	説　明
	双方向バッファ AND（VIO3） w / IOLH CONTROL Normal / プルアップ 50 kΩ / プルダウン 50 kΩ ・Power OFF 時：端子 Hi-Z（内部は 0 マスク） ・抵抗値は 50 kΩ（TYP）

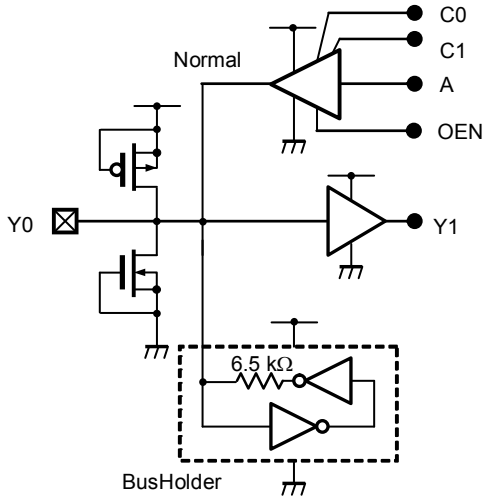
タイプ G	説　明
	双方向バッファ AND（VIO18） w / IOLH CONTROL Normal / プルアップ 50 kΩ / プルダウン 50 kΩ ・Power OFF 時 タイプ G：端子プルダウン（内部も 0 マスク） ・抵抗値は 50 kΩ（TYP）

タイプ J	説　明
	双方向バッファ AND，Schmitt（VIO18） w / IOLH CONTROL Normal / プルアップ 50 kΩ / プルダウン 50 kΩ ・Power OFF 時：端子プルダウン（内部は 0 マスク） ・抵抗値は 50 kΩ（TYP）

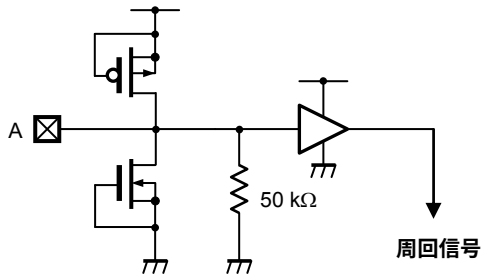
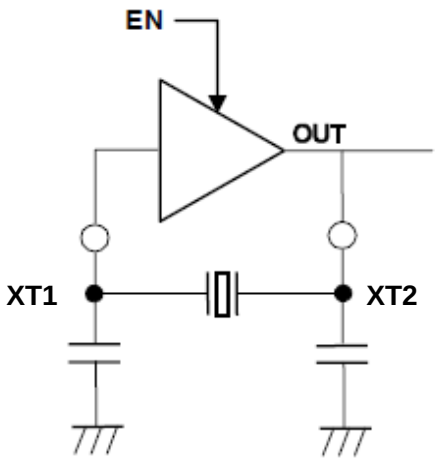
(3/4)

タイプ K	説　明
	双方向バッファ AND（VIO18） w / IOLH CONTROL Normal / Pull-up 50 kΩ / Pull-down 50 kΩ ・Power off 時：端子ロウ・レベル出力（内部も 0 マスク） ・抵抗値は 50 kΩ（typ） ・DDR I/F 用 タイプ F とタイプ G は，Drive current と Power off モード時の動作が違います。

タイプ M，N	説　明
	双方向バッファ Schmitt / LowNoise（VIO18） w / IOLH CONTROL Normal / プルアップ 50 kΩ / プルダウン 50 kΩ ・Power OFF 時 タイプ M：端子プルダウン（内部は 0 マスク） タイプ N：端子プルアップ（内部は 0 マスク） ・抵抗値は 50 kΩ（TYP）

タイプ P	説　明
	双方向バッファ（VIO18） w / IOLH CONTROL BUSHOLDER ・Power OFF 時：端子ロウ・レベル出力（内部も 0 マスク） ・抵抗値は 6.5Ω（TYP）

(4/4)

タイプ Q，R	説　　明
	テスト用バッファ（VIO18） タイプ Q，R は，テスト専用バッファです。 実使用時はオープンにしてください。（常時 pull-down（typ 50 kΩされています））
タイプ Z	**説　　明**
	オシレータ

第3章　機能概要

3.1　システム系

3.1.1　ASMU（System Management Unit）

ASMU は，EM1-S のクロック・リセットや電源スイッチの制御を行います。ASMU は，次の機能を持ちます。

○ クロックの生成と制御
○ リセットの生成と制御
○ PLL の制御
○ 電源スイッチ，バリア・ゲートの制御
○ 電源遷移のための自動シーケンサ

3.1.2　PMU（Power Management Unit）

PMU は電源 ON/OFF 制御、クロック切替を行うためのモジュールです。ただし、 ADSP の電源制御は ACPU が行い、PMU では行いません。また一部の制御は ASMU 内の HW シーケンスにより行います。PMU の電源制御方法は周辺装置及び節電モードの様々な状況にフレキシブルに対応可能とするためコマンド実行形式をとっています。
尚、PMU から SP1 は制御しません。

○ACPU の QuickRecovery 処理を行います。
○PCLK のクロック ON/OFF 制御サイクル数を変更可能です。
○コマンドバッファの容量は RAM 4kB(32bit x 1024word) + FF 64B(32bit x 16word)、コマンドバッファの bit 幅は 32bit です。
○PMU 内レジスタ(コマンドバッファを含む)は全て word アクセスのみ対応します。
・マスタ動作時のコマンドは PMU 内コマンドバッファからコマンドを読み出し、実行します。
・APB マスタとして各種レジスタへのリード・ライトを行います。制御可能なマクロは以下です。
ATIM, AINT, PM0, GIO, MWI, MEMC, PDMA, DCV, AXL0, PMU, ASMU, SP0, SP1, CHG,
・SP0 から電源 IC への各種 PowerON/OFF シーケンスを実行します。また、ASMU のレジスタから電源 IC の直接制御も可能です。電源の制御は L1 電源の領域で可能です。
・電源 SW の制御を行います。制御可能な電源 SW は以下の領域です。
ACPU 領域, L1 領域,
ADSP 領域の電源 SW 制御は ACPU で行い、PMU では行いません。
○ACPU への各種割り込み信号(INT_FIQ0Z, INT_IRQ0Z)を監視し、これらの信号検出により状態遷移処理を行います。
○ウォッチドック・タイマ(32.768kHz, 18 ビット)を内蔵し、タイムアウトした場合，外部電源 IC にシステムリセット要求信号を出力します。

3.1.3 AINT（Interrupt Controller）

AINT は，複数プロセッサへの割り込みを制御する機能，およびプロセッサ間の通信機能を持ちます。

○ 割り込み出力信号

プロセッサに対して割り込み信号を出力します。

- ACPU 用 IRQ/FIQ 割り込み出力（PMU_IQU0Z / PMU_FIQ0Z）
- ADSP 用割り込み出力（ADSP_INTP）

○ 割り込み要因

72 本の割り込み要因に対応します。

- プロセッサ間通信用割り込み（INT0〜INT4）
- 外部ペリフェラル割り込み入力（INT5〜INT95）

  INT88〜INT95 は，各プロセッサ別に割り込み入力が独立しています。

○ プロセッサ間通信機能

通信経路ごとにバッファを持っており,送信先のプロセッサに対して 6 ビットのメッセージを伝達可能です。

通信可能な組み合わせは次のとおりです。

- ACPU → ADSP
- ADSP → ACPU

3.1.4 ATIM（Timer）

汎用タイマです。インターバル・タイマおよびウォッチドッグ・タイマとして使用可能です。

○ 32 ビット・カウンタ長

○ タイマ・クロック

- PLL3 の分周クロック
- 32.768 kHz

備考 タイマ・クロックは ASMU のレジスタで設定します。

○ 14 個のタイマを搭載し，すべて同一機能です。（TI0〜TI3，TW0〜TW3，TG0〜TG5）

3.2 プロセッサ系

3.2.1 ACPU（ACPU TOP Module）

ACPU はメイン・プロセッサです。プロセッサ・コアとして ARM1176JZF-S を実装しています。

○ ARM architecture

ARM v6

○ L1 キャッシュ

- 命令キャッシュ：32 KB／データ・キャッシュ：32 KB

  VIPT 方式（16 KB 時：PIPT 方式）

○ 浮動小数点演算

VFP11 サポート

○ メイン・バス

- AMBA3 AXI 64 ビット×1 本

○ 割り込み

nIRQ/nFIQ/nPMU

○ リーク電流制御

電源スイッチを搭載し，リーク電流を制御します（Quick Recovery）

○ デバッグ機能

- JTAG

3.2.2 ADSP（Digital Signal Processor（DSPK701））

ADSP は，音声や MPEG4/H.264 等の画像コーデックや高い処理能力が要求されるアプリケーションを低消費電力で処理する DSP です。

○ 機能

- SPXK6 のパイプラインを改良。キャッシュ・アクセスのパイプラインを 4 段にすることで動作速度を向上。
- 11 段パイプライン（積和演算のみ 12 段）
- SPXK5/SPXK6 とソース・レベルで命令互換
- 最大 4 命令同時実行
- 積和演算ユニット，ALU，ロード・ストア・ユニットをそれぞれ 2 搭載
- 信号処理アプリケーション向け特殊命令を搭載
- バイト・データのロード・ストア命令
- JTAG 機能搭載

○ プログラミング

- 16 ビット×16 ビット＋40 ビット → 40 ビットの積和演算器
- 40 ビット 8 本の汎用レジスタ（16 ビット 16 本のレジスタとしても使用可能）
- 32 ビット 8 本のデータ・ポインタ・レジスタ
- 割り込みコントローラによる割り込み拡張
- NMI（ノンマスカブル割り込み）
- 16 ビット命令と 32 ビット命令の混載命令セット
- フェッチ・パケット 64 ビットで，最大 4 命令を同時発行可能
- 実行ステージは積和演算のみ 2 クロック，その他は 1 クロックで動作
- 8 ビット，16 ビットまたは 32 ビットの並列ロード・ストアが実行可能

○ メモリ空間

- 4 GB（32 ビット・バイト・アドレス）の単一メモリ空間

3.2.3 DCV（ADSP Address Converter）

DCV は，ADSP のアドレス・マップを変換するアドレス・コンバータです。ADSP の Cachable 領域，Bufferable 領域および Unbufferable 領域に物理アドレスをマッピングするために使用します。

○ アドレス変換機能

BANK（256 MB）ごとに 64 KB 単位で変換可能です。

ADSP デバッグに支障が出ますので，パラメータを動的に切り替えないでください。

3.3 メモリ・インタフェース系

3.3.1 MEMC（DDR SDRAM Interface）

MEMC は，外部に接続する Mobile DDR-SDRAM を制御します。性能向上のためキャッシュ機能を持っています。

○ External Memory Access Control
外部メモリとのインタフェースを提供します。メモリは Mobile DDR-SDRAM をサポートしています。

○ AXI Bus Protocol
MEMC は AXI プロトコルに準拠したインタフェースを持っています。MEMC は，AXL0 から送られてくるメモリへのリクエストを受け，適切な処理を行います。受けたリクエストがリード・リクエストの場合，メモリもしくは内部キャッシュからデータを読み出し，システム･バス側へ返します。ライト・リクエストの場合，受け取ったライト・データを内部のライト・バッファへ一時格納し，適切なタイミングでメモリへ書き込みます。

○ Memory Protection
MEMC は特定アドレスを，不正なアクセスから保護するために，プロテクション機能をサポートしています。保護アドレス空間に対し，アクセス許可されていないマスタからのリクエストが MEMC へ発行された場合，MEMC は当該リクエストをブロックし，ACPU に割り込みを発生させます。

○ System Cache（Read Cache）
MEMC には，メモリからのリード・データを一時的に保持するためのシステム・キャッシュがあります。システム・キャッシュは不正な状態を持たないリード・キャッシュで，AAXI からのリード・リクエストにより当該キャッシュへヒットしたものは，メモリへ発行しません。これにより，メモリへのアクセス回数が低減され，サイクル性能とともに電力性能が向上します。

○ Request Control
MEMC は AAXI から受け付けたリクエストを，性能と消費電力を考慮して制御します。AAXI から受け付けたリード・リクエスト，ライト・リクエストは，それぞれ RRQ または WTB に保持され，メモリの利用効率が上がるようにスケジュールします。

3.3.2 AB0（Asynchronous Bus Interface）

AB0 は，非同期デバイス（NOR-Flash, SRAM 等）を接続可能な外部非同期 I/F です。

○ 16 ビット・バス幅
○ 接続可能なスレーブ数：4 個（CS×4 本）。
○ スレーブごとにアドレス範囲の設定が可能。
設定アドレス範囲は 0000_0000H ～ 0FFF_FFFFH ， 1000_0000H ～ 1FFF_FFFFH ， 2000_0000H ～ 2FFF_FFFFH の最大 256MB です。ただし，この 3 つの範囲にまたがる設定はできません。
また,2FFF_0000H～2FFF_FFFFH のアドレス範囲は AB0 内のローカル･レジスタが割り付けられており，ユーザ設定はできません。
○ Intel Strata Flash Memory / Intel Strata Flash with A/D Muxed I/O に対応。
○ AB0 のクロックと Flash メモリのクロックの比は 1:1 または 2:1 で動作可能。
○ サポートしている外部モジュールに対するアクセス・パターンは次のとおりです。
- シングル・リード／ライト
- ページ・リード

○ AB0 内のローカル・レジスタ・アクセスはワード（32 ビット）のみに対応しています。バイト，ハーフ・ワード，ダブルワードのアクセスには対応していません。

3.3.3 SRC（Internal SRAM）

SRC は 128 KB の内蔵汎用 SRAM です。

○ SRC は，セキュリティ領域のアクセス保護を行います。アクセス不可領域へのアクセスがあった場合，割り込み処理を行い，そのときのアドレスとマスタ ID を保持します。このためのレジスタ・アクセスも，AHB アドレス空間から行います。

3.4 バス系

3.4.1 AXL0/AXL1（AXI Bus）

○ 3-Layer AXI（DRAM，内蔵 SRAM, AB0）と 1-Layer AHB（PB0, PB1, AB1, AHB slave）の機能を持っています。

○ 最大 166 MHz で動作します。

○ 32KB の Boot ROM を内蔵（NAND ブート等に使用）しています。

○ 電源領域をまたがるため，2 つのモジュール（AXL0, AXL1）に分割されます。

○ AXI は 32 ビット・アドレス・バス，64 ビット・データ・バスを持っています。

○ メモリ→メモリ　DMA 機能搭載。

3.4.2 DMAC（DMA Controller）

○ 3 つの物理チャネル（PCH#0, PCH#2, PCH#3）と 26 の論理チャネル（LCH）を持ちます（PCH#1 はリザーブ）。

- PCH#0（LCH0〜LCH3）　　メモリ→メモリ間転送
- PCH#2（LCH0〜LCH14）　　メモリ→ペリフェラル間転送（但し，LCH 6-8，11 はリザーブ）
- PCH#3（LCH0〜LCH14）　　ペリフェラル→メモリ間転送（但し，LCH 6-8，11 はリザーブ）

○ 各物理チャネルは，リード用 AHB マスタとライト用 AHB マスタを各 1 つ持ちます。

○ AHB マスタとして，SWT の計 6 箇所（リード 3 箇所，ライト 3 箇所）に接続します。

○ 6 つの AHB はそれぞれ同時動作が可能です。

○ DMAC 内部レジスタへのアクセスは APB から行います。APB はワード・アクセスのみ可能です。

○ PCH#0 と PCH#2 にリング・バッファ構成の SRAM を，PCH#3 に 16 エントリ方式の FIFO（FF 構成）を搭載します。各物理チャネルの内部の容量は次のとおりです。

- PCH#0：256 ワード（各 LCH に 256 バイト分）
- PCH#2：416 ワード（各 LCH に 128 バイト分）
- PCH#3：16 ワード（4 バイト×16 エントリ方式）

○ 転送動作

ソース・アドレス（転送元アドレス）からデータをリードして，DMAC 内部バッファにデータを溜めます。そのデータを，ディスティネーション・アドレス（転送先アドレス）にライトします。

○ 転送終了時，プロセッサごとに割り込み信号を発生させます。

（割り込みはレングス，ブロック，エラー，タイムアウトの 4 種類）

○ AHB マスタには，それぞれ調停回路があり，各論理チャネルの要求を Round Robin 方式で調停します。

○ メモリ←→メモリ間 AHB 転送は 8/16/32 ビット・バス幅，メモリ←→ペリフェラル間 AHB 転送は 8/16/32 ビット・バス幅に対応します。

○ エンディアン変換機能

- リード／ライト制御部にそれぞれエンディアン変換機能を搭載しています。
- リード側ではバイトごとにデータ・バッファ（FIFO）に取り込むデータのバイト・レーンを選択できます。
- ライト側ではバイトごとに AHB ライトバスに出力するバイト・レーンを選択できます。

○ PCH#0 はブロック単位での逆順転送に対応します（マイナス方向へのオフセット設定で実現）。

3.5 入出力制御系

3.5.1 CHG / CHGL1 / CHGREG / IO

外部端子の制御や端子兼用切り替え，内部信号のモニタ機能を持ちます。

○ 外部端子制御

CHGREG レジスタにより，一部の外部端子に対して次の機能を制御できます。

- 端子のプルアップ／プルダウンの切り替え
- 端子の入力マスク機能
- 端子の Drive 能力（Drive Strength）切り替え

○ 兼用端子制御

兼用端子の機能を切り替える機能を持ちます。

○ 起動モード・デコーダ

数本の外部端子の状態（UTEST, BOOTSEL 等）をデコードして，起動モード信号を生成します。

起動モード信号は ACPU に接続され，ACPU はブート・アドレスを外部 Flash（AB0）か内蔵 ROM に切り替えます。

○ L1_HOLD 機能

L1 電源領域の電源 OFF 時に，L1 領域から制御されている外部端子の状態を保持する機能を持ちます。

3.6 画像系

3.6.1 LCD（LCD Controller）

LCD は，メモリ上の画像データを外部のパラレル LCD パネルに出力する機能を持ちます。

○ 対応液晶パネル
- WVGA（800×480）まで
- TFT カラー：16 bpp，18 bpp

○ 入力画像データ・フォーマット
- RGB565，RGB666
- YUV422，YUV420（IMC を使用）

○ 出力フォーマット
- RGB565，RGB666

3.6.2 IMC（Image Composer）

IMC は，メモリ上の画像データを変換し，LCD コントローラに出力する機能を持ちます。

○ 対応画像サイズ
- 水平 ：最大 2046 ピクセル
- 垂直 ：最大 2046 ライン

○ データ・フォーマット
- 入力：RGB565，RGB666，YUV422，YUV420
- 出力：RGB565，RGB666

○ YUV→RGB 変換，ディザリング，ゲイン・オフセット
- YUV 各成分に対して 0～2 倍のゲイン調整，オフセット調整可能
- 入力に YUV フォーマットを使用した場合，2 種類の係数により RGB 変換可能
- RGB666 へ減色するときに 2×2 のディザリング可能

○ レイヤ合成機能
- 最大 4 面のレイヤ合成機能
- 合成面の位置，サイズをフレキシブルに設定可能
- 各レイヤ独立にメモリ空間上に 2 次元で定義し，フォーマット，ミラーリング，リサイズ，ダブル・バッファ，ゲイン・オフセット調整設定可能（レイヤごとに対応状況は異なる）
- 前面 2 レイヤに透過色，アルファ・ブレンディング対応

○ テーブル参照方式による，ガンマ調整機能

○ 変換後の画像データを LCD コントローラへ供給するのみでなく，メモリへの書き戻しが可能です（Write Back 機能）。

○ ARGB4444 フォーマットへの対応
- L0 レイヤおよび L1A/B/C の 4 レイヤに ARGB4444 フォーマットの設定が可能

3.6.3 DTV（OFDM Interface）

DTV は，外部に接続された DTV Decoder IC からのストリーム・データを，メモリへ転送する機能を持ちます。バースト出力形式（シリアル）に対応しています。

○ OFDM エンコード LSI μPD61531 に対応
○ シリアル・モードをサポート
○ 入力ストリームの DMA メモリ転送をサポート

3.6.4 CAM（Camera Interface）

CAM は外部 Camera モジュールからの YUV422 形式の画像データを任意のサイズ（1～1/16）に縮小して外部メモリに転送します。

○ Camera I/F 信号
- データ・バス（CAM_YUV[7:0]）
- 垂直同期（CAM_VS）
- 水平同期（CAM_HS）
- Pixel Clock(CAM_CLKI)

○ 同期信号エンコーディング
- 垂直同期／水平同期信号サンプリング
- イネーブルサンプリング
- ITU-R BT.656 エンコーディング

○ ITU-R BT.656 入力対応
- 3 モードに対応
  - ・1st フィールドはバッファ A，2nd フィールドはバッファ B に格納
  - ・1st フィールドのみ，バッファ A に格納
  - ・2nd フィールドのみ，バッファ A に格納

○ データ・フォーマット
- 入力：YUV422 形式
- 出力：YUV422/420 形式から選択

（YUV422 時は YUV Semi-Planar, YUV Interleave, YUV Planar モード，
YUV420 時は YUV Semi-Planar，YUV Planar モードが選択可能です。）

○ 最大画像サイズ
- 水平 4088 画素 × 垂直 4092 画素

○ データ・サンプリング

Pixel Clock に対して次のタイミングでのデータ・サンプルが可能です。
- Rise Edge
- Fall Edge
- Both Edge

○ レベル調整機能

取り込んだ Camera 画像のゲインとオフセットの調整を行います。設定値は Y/U/V 個別に設定が可能です。

○ 縮小機能

- 最近傍サンプリング方式
- 縮小範囲　1～1/16（スケーラブルに設定可能）

○ フレーム間引き転送機能

- 間引きなし：毎フレーム転送
- 1/2 間引き：2 フレームに 1 回データを転送
- 1/3 間引き：3 フレームに 1 回データを転送
- 1/4 間引き：4 フレームに 1 回データを転送

○ 水平垂直反転機能

水平反転，垂直反転してメモリへ転送することが可能です。

○ ダブル・バッファ転送機能

転送フレームごとに転送先フレームを自動で切り替えます。

○ バッファ・メモリ

32 bits × 256 words×2 系統のバッファ・メモリを内蔵しています。

○ AMBA™システム・バス・アーキテクチャ（Rev2.0）準拠

○ 簡易 QoS 機能

- データ・バッファの空き容量により AXI（AHB）バスの優先順位を制御します。
- データ・バッファの空き容量セッティングはレジスタで設定します。
- CAM からは，Priority 信号を制御側に出力します。

○ FIFO（データ･バッファ）内の有効データ量値の出力

データ・バッファの有効データ量を出力します。

○ SAFE リセット機能

AHB バス転送状態が IDLE 時のみにアサートされるリセット機能

3.7 Image Processing Module

3.7.1 IPU（Image Processing Unit）

IPU は，各種画像処理のアクセラレート・サポートの機能（イメージ・プロセッサ），YUV イメージ画像の回転処理の機能（イメージ・ローテータ），グラフィクス DMA 機能を持ちます。

イメージ・プロセッサ と イメージ・ローテータ，グラフィクス DMA の 3 つの処理は，キューとしては 3 つ同時に入れることが可能です。また，イメージ・プロセッサとイメージ・ローテータは 1 パスで処理を行います。

○ イメージ・プロセッサ機能
- 画像拡大縮小機能（リサイザ）
- 画像空間変換機能（コンバータ）
- 減色ディザリング機能（ディザリング）
- ピクセル・パッキング機能
- 2 画面オーバレイ機能
- 上下左右反転出力機能
- エンディアン切り替え機能
- バイト・レーン切り替え機能
- イメージ・プロセッサとイメージ・ローテータの 1 パス処理

○ イメージ・ローテータ機能
- 画像回転処理機能（ローテータ）
- エンディアン切り替え機能
- バイト・レーン切り替え機能

○ グラフィクス DMA 機能とその他機能
- 高速に画面合成を行う機能
- Memory to Memory コピー機能および，矩形塗りつぶし機能
- ラスタ・オペレーション
- カラー・キー（マスク）機能
- バイト・レーン切り換え機能
- レジスタ更新予約機能

3.7.2 AVC（H.264 HW Encoder/Decoder）

H.264 の Encoder/Decoder です。メモリ上のデータを変換し，メモリに書き戻します。

○ H.264/MPEG-4 AVC Baseline Profile Level3 以下に対応。

○ 128×96（Sub QCIF）～720×480（D1）の画像サイズの Encode または Decode が可能。

○ CBR（Max 10M bps）および VBR に対応。

○ Byte Stream Format（Annex B）に対応。

○ YUV420 Planar，Semi Planar Format に対応。

3.8 外部インタフェース系

3.8.1 SP0/SP1/SP2（Serial Peripheral Interface）

EM1-S は，4 線式シリアル・インタフェースである SPI インタフェースを 3 チャネル持っています。

○ 転送モード
- マスタ／スレーブ
- CPU 制御モードと DMA 制御モード

DMA 制御モードではさらに通常モードと固定長モードがある。
- CPU 制御モード：1 フレームの送信／受信／送受信を行い，完了するモード。
- DMA 制御モード：送受信それぞれ 32 ワードの FIFO を持ち，連続した転送を行う。CPU からの STOP 制御が行われるまで転送を行う通常モードと FIFO の状態で自動停止する固定長モードがある。

○ CS ごとの SCLK 極性（正／反），遅延（SCLK 半クロック）設定可能

○ 転送ビット設定（8～32 ビット）

○ クロック要求信号（SPx_PCLKREQ，SPx_SCLKREQ）生成

○ 自動転送停止機能（DMA 固定長モード）
- DMA マスタ送信時送信バッファが Empty になった時点で SPI 送信を停止。
- DMA マスタ受信時受信バッファにレジスタで設定された任意のデータ数と,受信バッファの格納データ数が一致した時点で SPI 受信を停止。

○ レジスタ設定による CS 固定制御機能

○ SI/SO の入出力位相切り替え

3.8.2 USB

本モジュールは，USB2.0 準拠の USB コントローラです。外部に PHY を接続します。

○ PHY インタフェース
ULPI（UTMI+Low Pin Interface）対応

○ ETD データ・ストラクチャ管理で，16 の USB パイプをサポート。

○ トランザクション・スケジュール，ハンドリング等，実際の転送レベルをハードウエアによりサポート。

○ USB ファンクション機能
16 個のエンド・ポイントをサポートしています。

○ システム・バスのレイテンシを USB のタイミング要件から隔離するデュアルポート RAM バッファを使用しています。

3.8.3 IIC（I²C Interface）

EM1-S は，I²C バス・フォーマットに準拠した I/F を 2 系統搭載しています。

○ I²C バス・フォーマット（Philips 社 1995 Update 版）に準拠
データ長：8 ビット（ただし，8 ビット・データのあとに，ACK 信号が 1 ビット）標準モード（転送速度：最大 70 kbps）／高速モード（転送速度：最大 341 kbps）に対応しています。

○ シリアル・データの自動判別機能
シリアル・データ・バス上のスタート・コンディション，スレーブ・アドレス，データ，およびストップ・コンディションを自動的に検出します。

○ アドレスによるチップ・セレクト

マスタ動作時は，スレーブ・アドレスまたは拡張コードを送信することにより，I²C バスに接続した特定のスレーブ・デバイスを選択して通信することができます。

○ ウエイクアップ機能

スレーブ動作時は，受信したアドレスが SVA0 レジスタの値と一致した場合と，拡張コードを受信した場合にのみ割り込みを発生します。したがって，I²C バス上の選択されたスレーブ以外のデバイスは，シリアル通信に関係なく動作することができます。

○ アクノリッジ（ACK）制御機能

マスタ／スレーブ動作時に，シリアル通信が正常に実行されたことを確認するためのアクノリッジ信号を制御することができます。

○ ウエイト（WAIT）制御機能

ウエイト状態を知らせるためのウエイト信号制御が行えます。

○ アービトレーション制御機能

3.8.4 GIO（General Purpose I/O）

EM1-S は，118 本の汎用入出力ポートを搭載しています。

○ 1 ポートごとに入出力切り替え可能。

○ 1 ポートごとに割り込み設定可能。

○ 割り込み検出は次の設定が可能。

- 32.768 kHz クロック同期／非同期検出
- 正論理／負論理レベル検出
- 正論理／負論理／両エッジ検出

3.8.5 SDI（SDIO Interface）

○ SDIO インタフェース対応。

○ 1-bit/4-bit データ幅に対応。

○ SD Binding 機能対応。

○ HSMMC 機能を搭載。

3.8.6 U70/U71/U72（UART Interface）

EM1-S は，シリアル・インタフェースである UART を 3 チャネル搭載しています。

○ TI 社製 TL16C750 準拠 UART を 3 系統搭載。

○ 最大ボー・レート 3680000 bps

○ 送信／受信各々に 64 バイト FIFO を内蔵しています。設定により，次の動作モードを選択可能です。

- non-FIFO モード（16450 モード）
- 16 バイト FIFO モード（16550 モード）
- 64 バイト FIFO モード

○ プログラマブル auto-RTS，auto-CTS をサポートしています。

○ 送受信シリアル・データに対し，標準的な非同期通信制御ビットであるスタート，ストップ，パリティ・ビッ

トの付加／削除が可能です。また，次のプログラマブル制御が可能です。

- キャラクタ長制御　：5，6，7 または 8 ビット
- パリティ・ビット制御　：偶数パリティ，奇数パリティ，またはパリティ・ビットなし
- ストップ・ビット長制御　：1 または 2 ビット
- ボー・レート制御　：1 ～（$2^{16}-1$）のリファレンス・クロック分周設定が可能

○ モデム制御インタフェースをサポートしています（CTS，RTS，DSR，DTR，RI，DCD）。

○ ループバック機能をサポートしています。

○ IrDA SIR（2.4 kbps～115.2 kbps）用エンコーダ／デコーダを内蔵しています。

3.9 サウンド系

3.9.1 PM0/PM1（PCM Interface）

EM1-S は Audio 系の Codec に対するシリアル・インタフェースを 2 チャネル搭載しています。

- ○ 7 種類の動作モードをサポート
- ○ DMA による転送が可能
- ○ 送信，受信共に 32 ビット×32 ワードの FIFO を内蔵
- ○ 専用 DMA による転送サポート（PM0）

第4章　システム制御

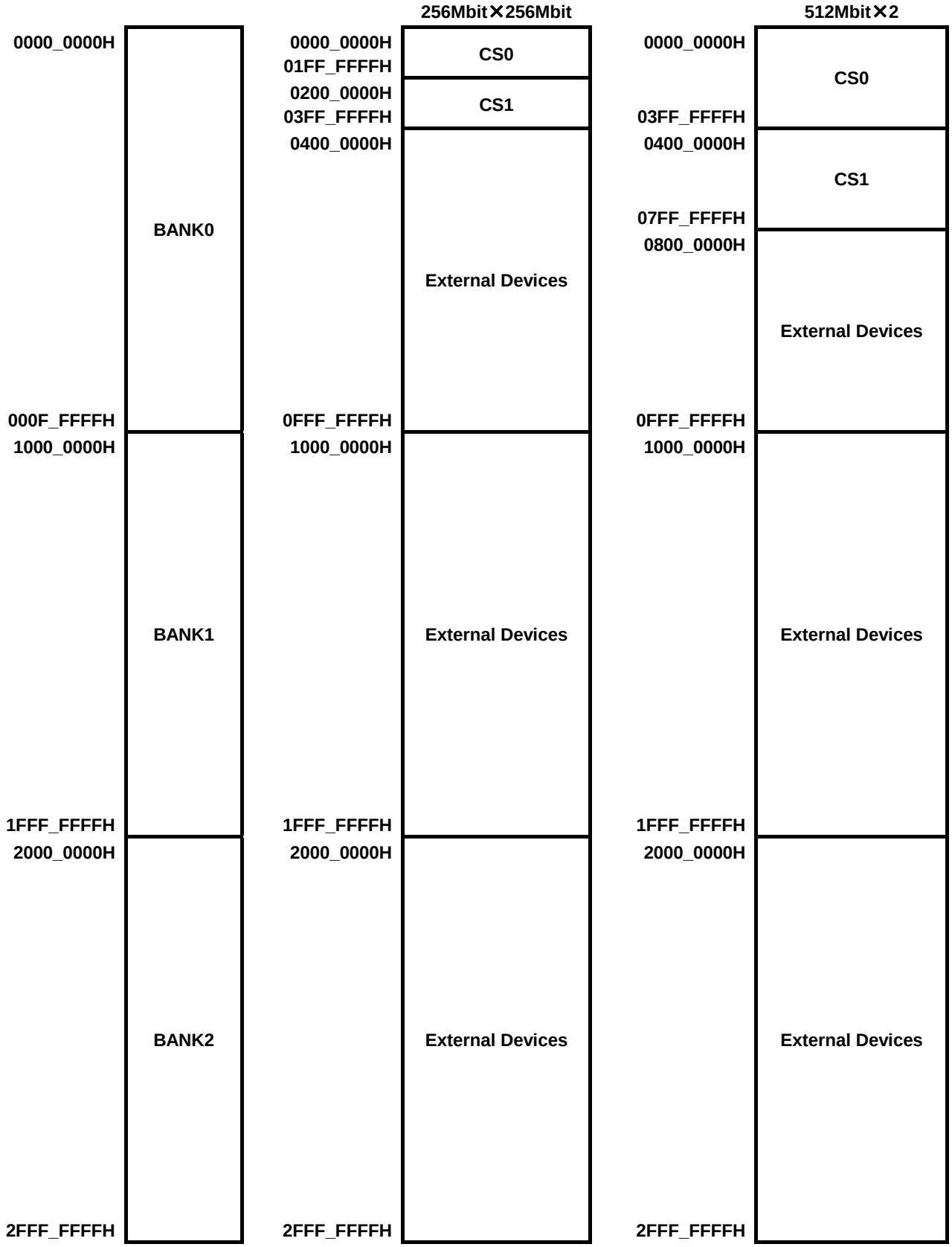
4.1　メモリ・マップ

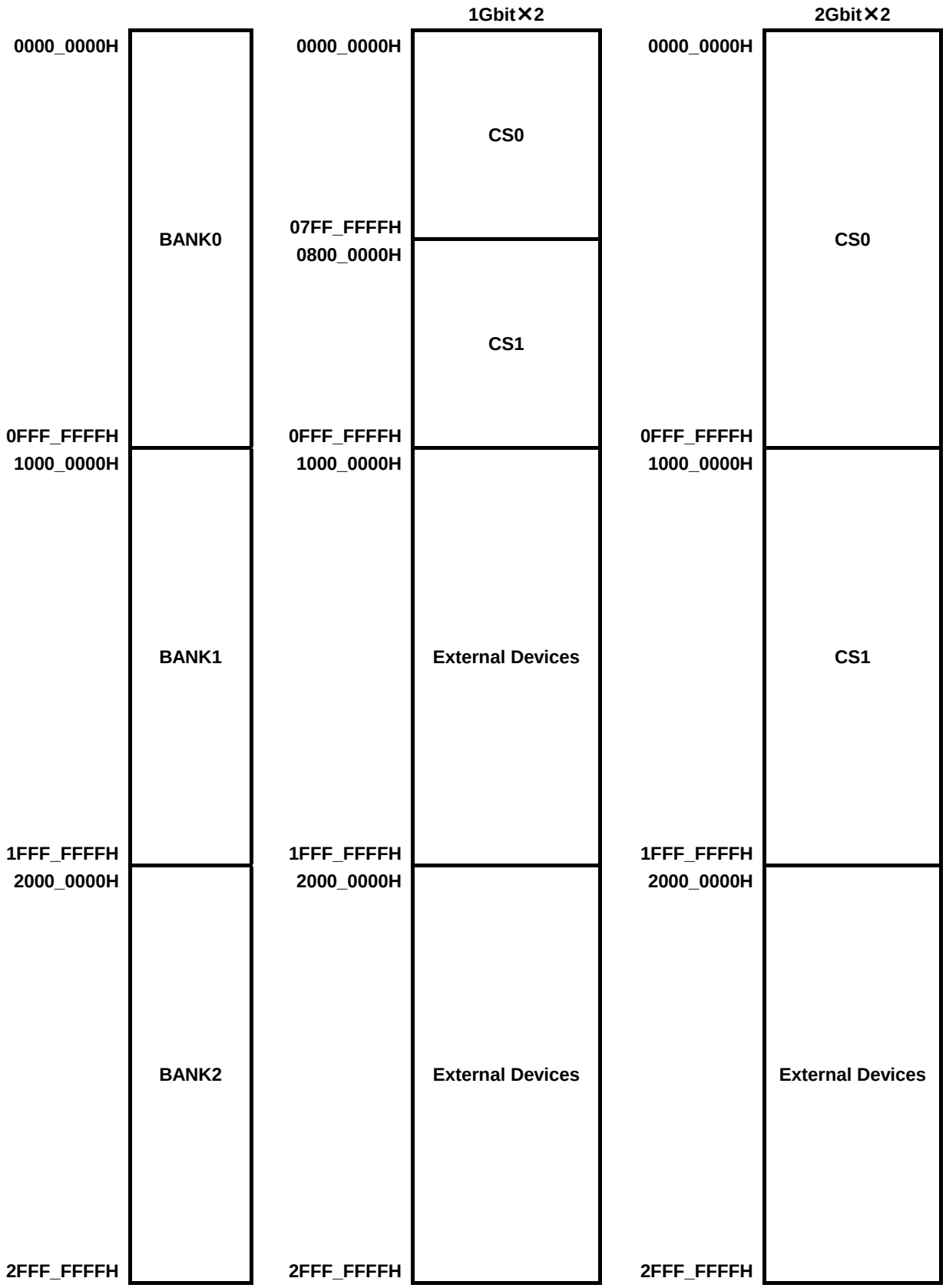
	BANK	Description	Target Module
0000_0000H 0FFF_FFFFH	BANK0	NOR FLASH	AB0
1000_0000H 1FFF_FFFFH	BANK1	NOR FLASH External Device	
2000_0000H 2FFF_FFFFH	BANK2	External Device	
3000_0000H 3FFF_FFFFH	BANK3	DRAM	MEMC
4000_0000H 4FFF_FFFFH	BANK4	APB Bus #0	PB0
5000_0000H 5FFF_FFFFH	BANK5	Async Bus #1	AB1
6000_0000H 6FFF_FFFFH	BANK6	AHB Slave	SWL1
7000_0000H 7FFF_FFFFH	BANK7	Reserved	
8000_0000H 8FFF_FFFFH	BANK8	Reserved	
9000_0000H 9FFF_FFFFH	BANK9	Reserved	
A000_0000H AFFF_FFFFH	BANK10	Internal SRAM	SRC
B000_0000H BFFF_FFFFH	BANK11	Reserved	
C000_0000H CFFF_FFFFH	BANK12	APB1	PB1 (PMU)
D000_0000H DFFF_FFFFH	BANK13	Reserved	
E000_0000H EFFF_FFFFH	BANK14	Reserved	
F000_0000H FFFF_FFFFH	BANK15	Boot ROM	AXL1

4.1.1 BANK0～2

BANK0/1/2：AB0 (NOR FLASH/External Device)

0000_0000H－2FFF_FFFFH

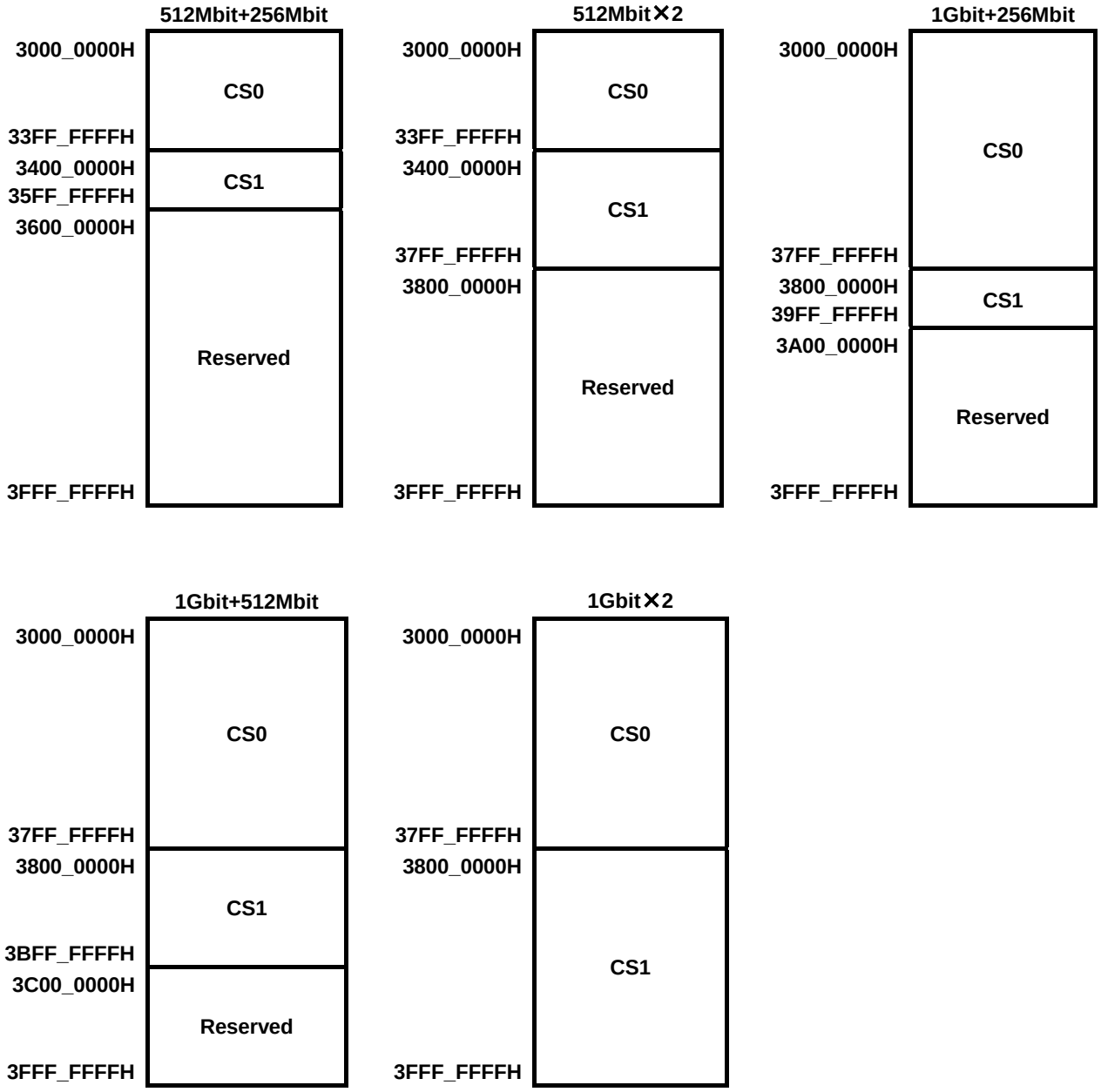



1Gbit×2
2Gbit×2
0000_0000H
0000_0000H
0000_0000H
CS0
07FF_FFFFH
0800_0000H
BANK0
CS0
CS1
0FFF_FFFFH
0FFF_FFFFH
0FFF_FFFFH
1000_0000H
1000_0000H
1000_0000H
BANK1
External Devices
CS1
1FFF_FFFFH
1FFF_FFFFH
1FFF_FFFFH
2000_0000H
2000_0000H
2000_0000H
BANK2
External Devices
External Devices
2FFF_FFFFH
2FFF_FFFFH
2FFF_FFFFH

4.1.2 BANK3

BANK3 ：MEMC (DRAM)

3000_0000H－3FFF_FFFFH

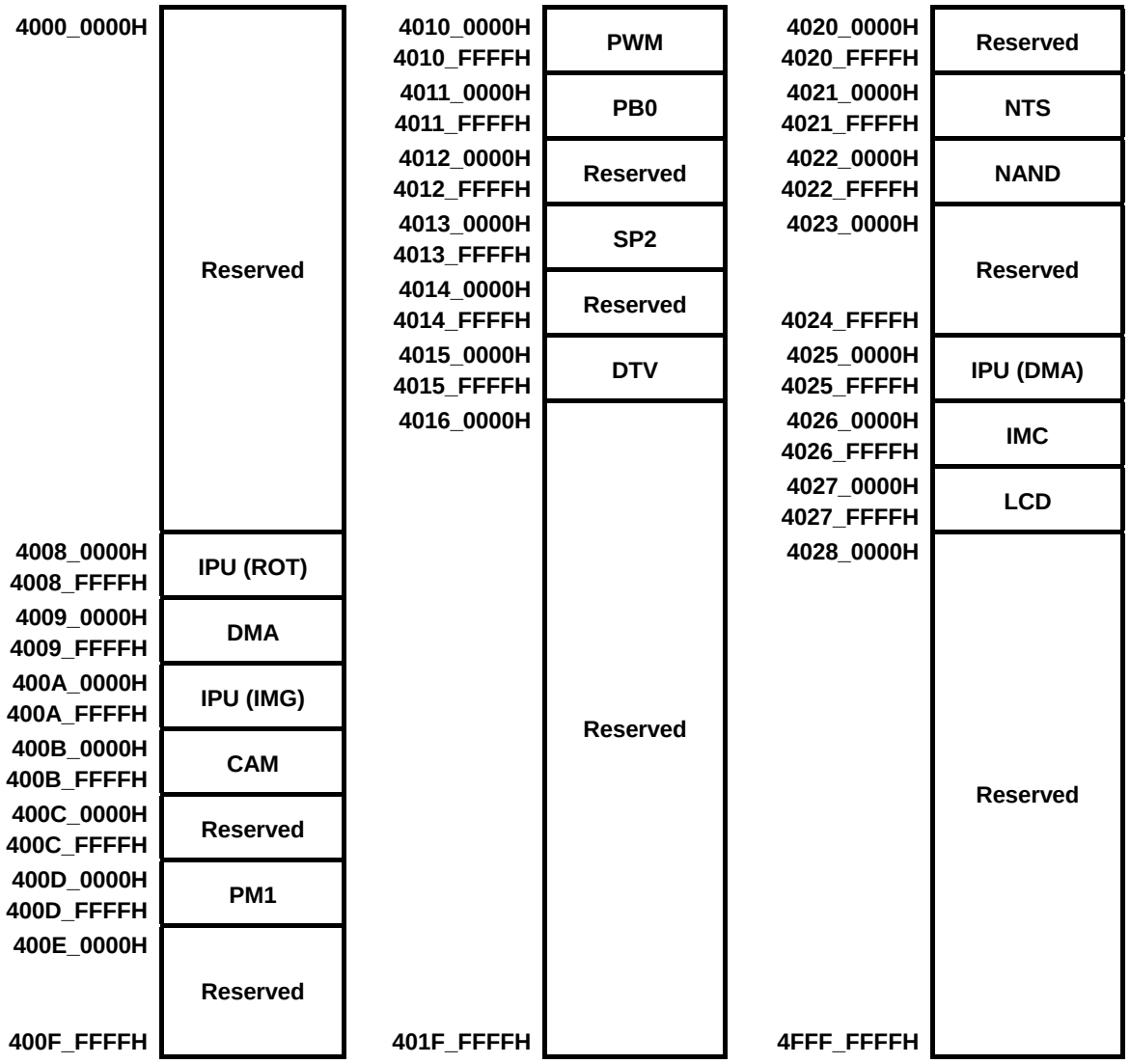


4.1.3 BANK4

BANK4 ：PB0 (APB-Bus #0)

4000_0000H－4FFF_FFFFH

* A 64KB space is allocated to each module.

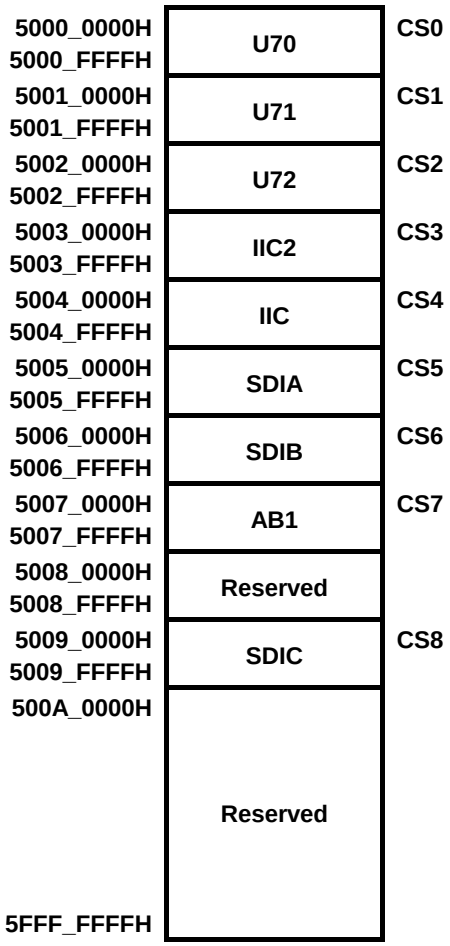


4.1.4 BANK5

BANK5 ：AB1 (Async-Bus #1)

5000_0000H－5FFF_FFFFH

* A 64KB space is allocated to each module.

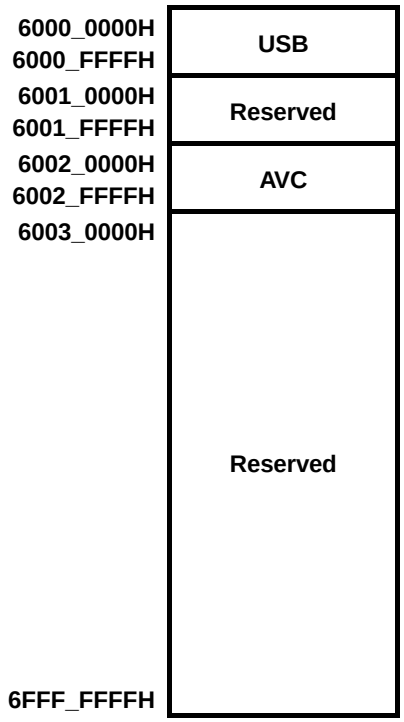


4.1.5 BANK6

BANK6 ：AHB Slave

6000_0000H－6FFF_FFFFH

* A 64KB space is allocated to each module.

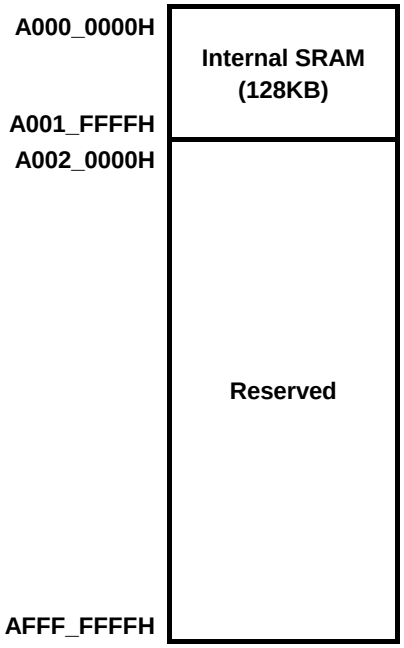


4.1.6 BANK10

BANK10 ：SRC (Internal SRAM)

A000_0000H－AFFF_FFFFH

* A 64KB space is allocated to each module.

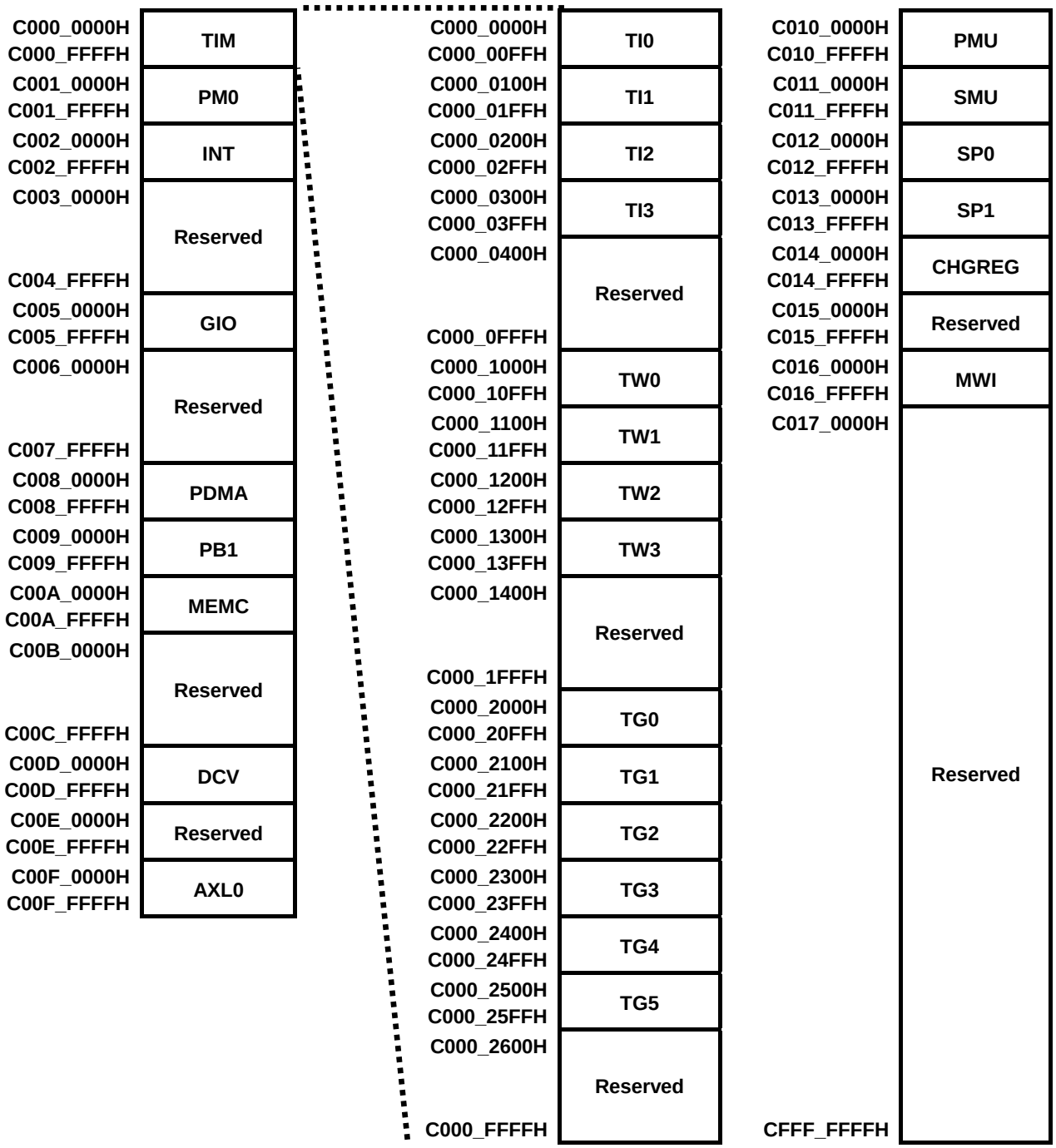


4.1.7 BANK12

BANK12 ：PB1 (APB-Bus #1)

C000_0000H－CFFF_FFFFH

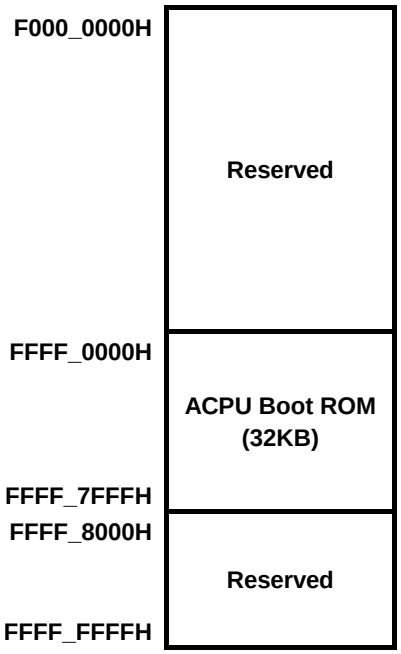
* A 64KB space is allocated to each module.



4.1.8 BANK15

BANK15 ：BootROM

F000_0000H－FFFF_FFFFH



4.2 クロック

○ システム・クロックは，32.768 kHz 入力，PLL3（最大 229.376 MHz），PLL1（最大 500 MHz）のクロックから選択されます。
○ 周辺用のクロックは PLL3 から生成されます。
○ レジスタ設定で各マクロへのクロックの供給の ON，OFF が制御できます。
○ ACPU へのクロックの供給を独立して ON，OFF できます。
○ 各モジュールからのクロック・リクエストがなくなった場合に該当モジュールへのクロック供給を停止するクロック自動制御機構を備えます。
○ 各マスタ・モジュールからのクロック・リクエストがなくなった場合に，予め SMU で設定してある分周率で PLL1 の出力を分周したクロックをシステム・クロックとする周波数自動切り替え機構を備えます（マスタからのクロック・リクエストが発生したら，ただちに 500 MHz に切り替えます）。

4.2.1 使用するPLLについて

（1）PLL1
メイン・クロック用 PLL
クロック周波数：320 MHz〜500 MHz
通常動作時のメイン・クロック用として使用。
逓倍率は可変（逓倍率変更時は，PLL3 にクロック・ソースを退避してから変更）。

（2）PLL2
Audio DAC 用 PLL
クロック周波数：320 MHz〜500 MHz
Audio DAC 用クロックとして使用。

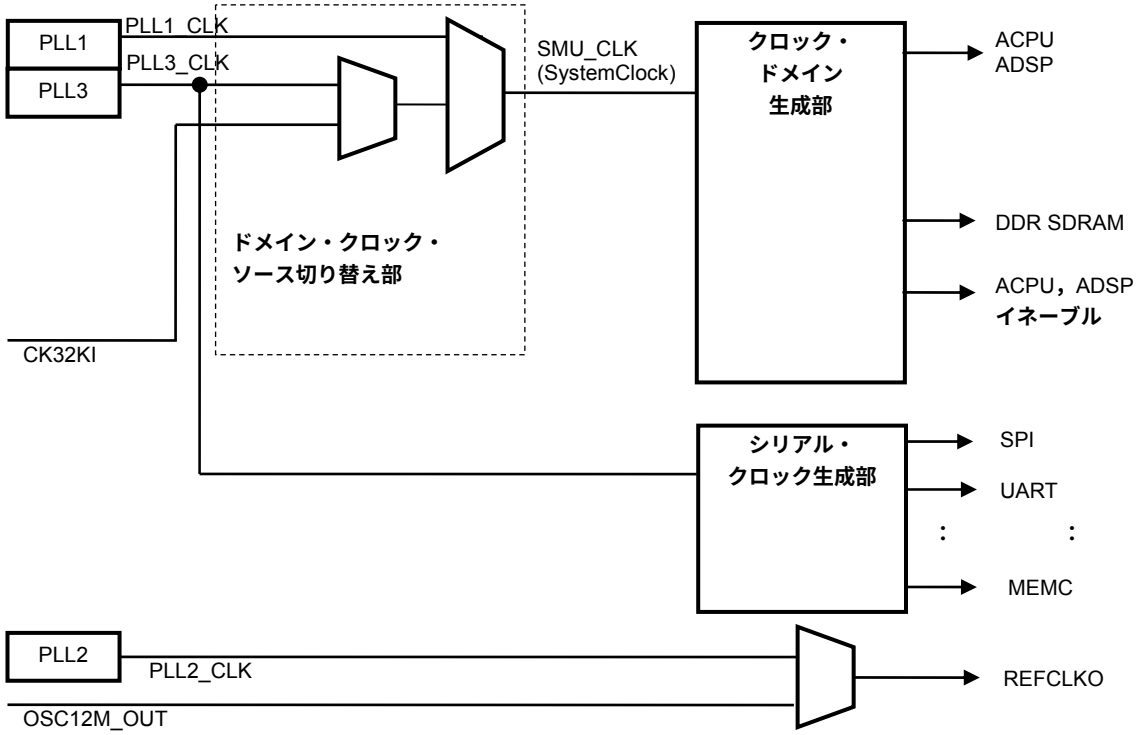
（3）PLL3
ペリフェラル用 PLL
クロック周波数：229.376 MHz（固定）
System クロックとして，常時動作。各種ペリフェラル用。
（Sleep 時の 32 kHz 動作時のみ Standby）

ここでは，上記の PLL1，2，3 の呼称で説明します。

4.2.2 クロック系統の概略図

クロック系統の概略図を 図 4－1に示します。

図 4－1 クロック系統図



詳細は付録 B を参照願してください。

4.2.3 自動周波数制御

自動周波数制御で有効設定されたマスタがインアクティブになったとき，各ドメイン・クロックの周波数比はそのままで全体のクロック周波数を低下させます。

クロック・ソース切り替え／クロック分周比切り替えと違い，クロック停止は行わず分周比率を変更することにより実現します。

4.2.4 クロック自動制御

クロックの自動制御機能とは，各機能マクロにクロックが必要なときのみクロック供給するという動作を自動的に行う機能です。各マクロからのクロック要求信号（CLKREQ）をうけて，ASMU から対象マクロに対してクロックを供給します。

この機能に関係するレジスタとして，自動制御機能 ON/OFF レジスタおよび，クロック供給を強制的に停止するレジスタがあります。

4.3 リセット

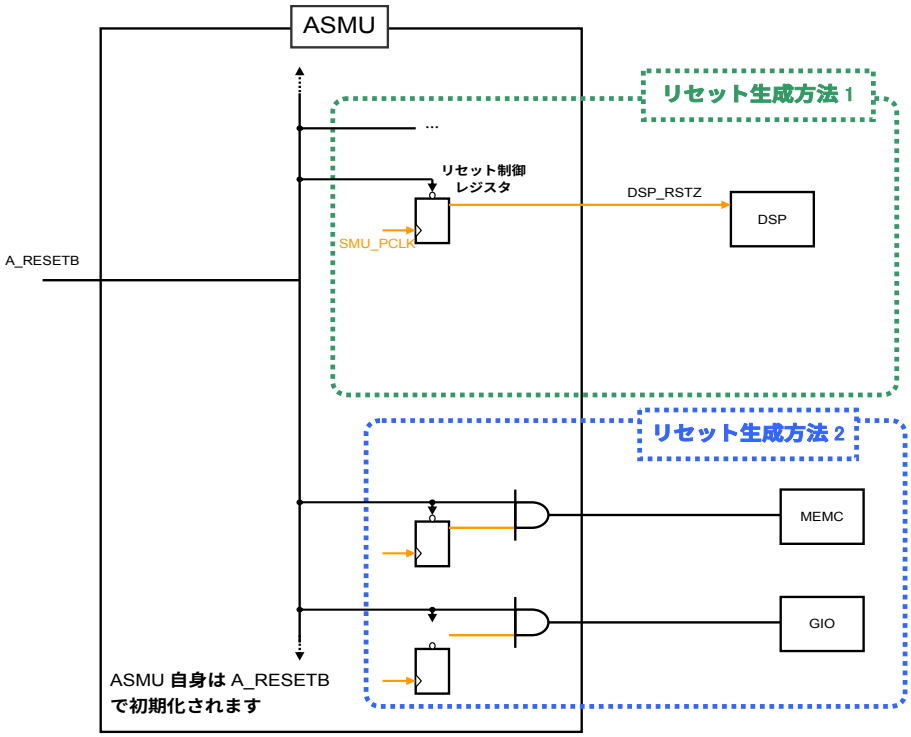
○ ASMU 以外は同期リセットを使用します。ソフトウエア・リセットを行う場合はマクロのクロックを必ず ON にしてください。

○ 出力するリセット信号は各マクロ内で同期化します。

EM1-Sの各マクロに対して，リセット信号を供給します。EM1-Sのリセット構造は 図 4－2のとおりです。

マクロに対するリセット信号は，ASMU 内部でハードリセット入力とレジスタ設定値から生成します。生成方法は 2 種類あります。

図 4－2 リセット構造図



4.3.1 リセット生成方法 1

リセット制御レジスタにより，各マクロへのリセットを制御します。このレジスタは ACPU から APB 経由でリード／ライトすることができます。なお，このリセットは同期リセットです。

システム・リセット（A_RESETB）でリセット制御レジスタも初期化されますが，初期値がロウ・レベルのため，ACPU でリセット解除コマンドを発行するまでリセット状態を保持し続けます。ブート時に立ち上がる必要のないマクロはこの方法でリセットされます。

4.3.2 リセット生成方法 2

生成方法 1 と同様，リセット制御レジスタにより各マクロへのリセットを制御し，ACPU から APB 経由でリード／ライトすることができます。また，このリセットも同期リセットです。

システム・リセット（A_RESETB）によりリセット制御レジスタが初期化されますが，このリセットはハードウエア・リセットと同時に解除されます。ブート時に必ず立ち上がる必要のあるマクロ（CHG，AXL0，MEMC，SWL0，SRC，PB1，PMU，AINT，TW0，TW3，GIO，AXL1，ACPU，AB0，SWL1，PB3）はこの方法でリセットされます。

4.4 状態遷移

4.4.1 電源ドメイン

EM1-S はいくつかの電源ドメインに区分けされています。各ドメインは次のとおりになります。

○ L0 ドメイン

EM1-S が省電力モードに遷移しても，電源が供給されているドメインです。省電力モード移行前の設定レジスタの内容を，省電力モード復帰後も保持しておきたいマクロなどが，このドメインに属します。

○ L1 ドメイン

省電力モード時に，電源 OFF するドメインです。

○ L2 ドメイン

省電力モード時に，電源 OFF するドメインです。L0 から独立制御が可能な，USB のみが属するドメインです。

○ L3 ドメイン

省電力モード時に，電源 OFF するドメインです。L1 から独立制御が可能な，AVC（H.264 アクセラレータ）のみが属するドメインです。

○ ACPU ドメイン

省電力モード時に，電源 OFF するドメインです。L1 から独立制御が可能な，ACPU のみが属するドメインです。

○ ADSP ドメイン

省電力モード時に，電源 OFF するドメインです。L1 から独立制御が可能な，ADSP のみが属するドメインです。

4.5 DMAコントローラの制御

DMA 転送は，転送の種類により以下に分類されます。転送の種類ごとに物理チャネルを持っています。

物理チャネル 1（PCH#1）はありません。

表 4－1 転送の種類とチャネル数

転送の種類	メモリ→メモリ	メモリ→ペリフェラル	ペリフェラル→メモリ
物理チャネル名	PCH#0	PCH#2	PCH#3
LCH 数	4 チャネル	11 チャネル	11 チャネル
2 次元転送機能	○	△注1	△注1
タイマ機能	×	△注2	△注2
逆順転送機能	○	×	×

注 1. 2 次元転送機能はメモリ側のみに搭載されています。

2. タイマ機能は UART（LCH0, LCH1, LCH2）チャネルのみに搭載されています。

4.5.1 メモリ→メモリ転送

メモリ→メモリ転送は，ACPU からのレジスタ設定により，ソース・アドレスからディスティネーション・アドレスへのデータ転送を実行します。メモリ→メモリ転送を行うブロックは，AB0 領域，MEMC 領域，SRC 領域で，すべての組み合わせの転送を想定しています。ただし，書き潰しが発生する転送には対応していません（画像データの右スクロールなど）。転送の最小単位はバイトです。

表 4－2 メモリ → メモリ転送 組み合わせ

メモリ → メモリ転送	AB0 領域	SRC	MEMC 領域
AB0 領域	○	○	○
SRC 領域	○	○	○
MEMC 領域	○	○	○

4.5.2 メモリ→ペリフェラル転送

メモリ → ペリフェラル転送は，ACPU からのレジスタ設定の他に，各マクロからのリクエスト信号に応じて，ソース・アドレスからディスティネーション・アドレスへのデータ転送を開始します。

メモリ → ペリフェラル転送を行うブロックは，次のブロックです。

表 4−3 メモリ → ペリフェラル転送組み合わせ

LCH	メモリ → ペリフェラル転送	AB0 領域	MEMC 領域
#0	UART0	○	○
#1	UART1	○	○
#2	UART2	○	○
#3	SDIA	○	○
#4	SDIB	○	○
#5	SDIC	○	○
#6	リザーブ（未使用）	−	−
#7	リザーブ（未使用）	−	−
#8	リザーブ（未使用）	−	−
#9	PCM0（audio serial）	○	○
#10	PCM1（audio serial）	○	○
#11	リザーブ（未使用）	−	−
#12	SPI0	○	○
#13	SPI1	○	○
#14	SPI2（GD）	○	○

物理チャネル 2（PCH#2）はメモリ→ペリフェラル間転送専用チャネルです。PCH#2 の配下には 11 チャネルの論理チャネル（LCH#0〜14）が存在しており，ラウンドロビン方式のアービトレーションによりバースト転送単位で調停されます。LCH#6〜8，11 はリザーブ・チャネルであり使用することができません。

4.5.3 ペリフェラル→メモリ転送

ペリフェラル → メモリ転送は，ACPU からのレジスタ設定の他に，各マクロからのリクエスト信号に応じて，ソース・アドレスからディスティネーション・アドレスへのデータ転送を開始します。ペリフェラル → メモリ転送を行うブロックは，次のブロックです。

表 4−4 ペリフェラル → メモリ転送組み合わせ

LCH	ペリフェラル → メモリ転送	AB0 領域	MEMC 領域
#0	UART0	○	○
#1	UART1	○	○
#2	UART2	○	○
#3	SDIA	○	○
#4	SDIB	○	○
#5	SDIC	○	○
#6	リザーブ（未使用）	−	−
#7	リザーブ（未使用）	−	−
#8	リザーブ（未使用）	−	−
#9	PCM0（audio serial）	○	○
#10	PCM1（audio serial）	○	○
#11	リザーブ（未使用）	−	−
#12	SPI0	○	○
#13	SPI1	○	○
#14	SPI2（GD）	○	○

物理チャネル 3（PCH#3）はペリフェラル→メモリ間転送専用チャネルです。PCH#3 の配下には 11 チャネルの論理チャネルが存在しており，ラウンドロビン方式のアービトレーションにより，シングル転送単位で調停されます。LCH#6〜8，11 はリザーブ・チャネルであり使用することができません。

第5章　電源制御

5.1　電源制御

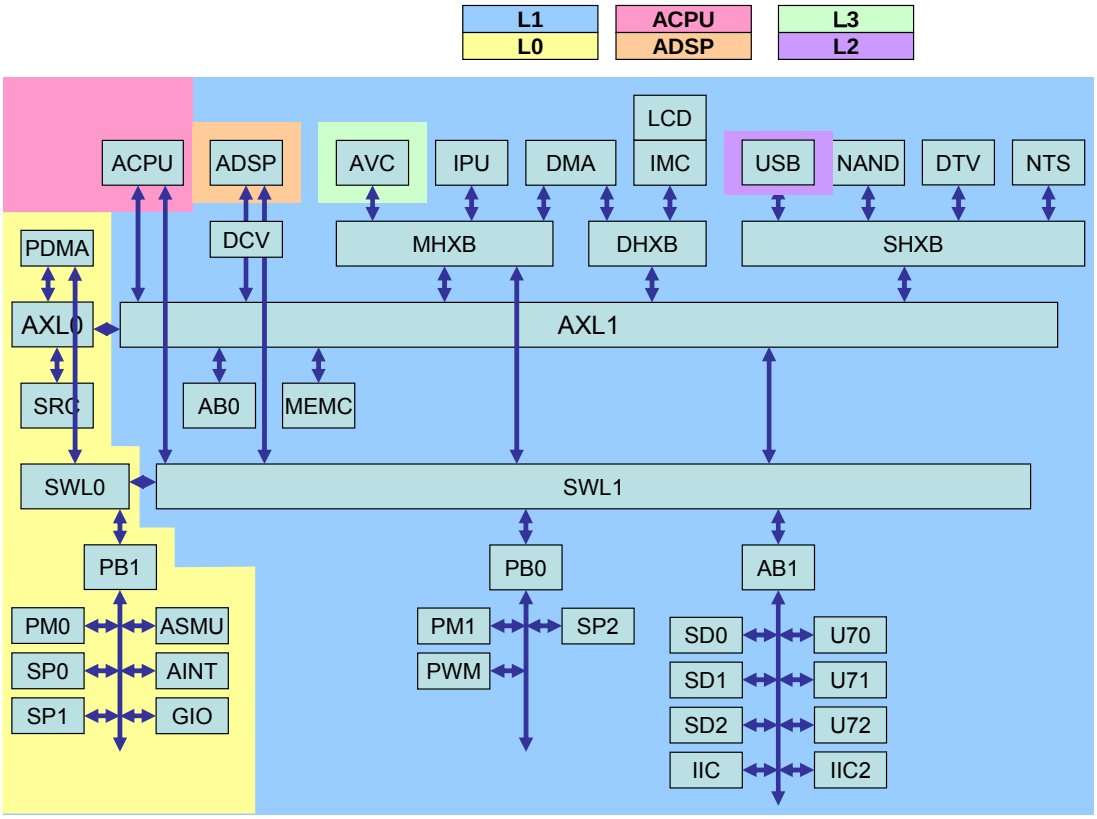
EM1-S は，リーク電流削減のため，内部コアを 6 つの電源領域に分離しており，個別の電源 OFF が可能です。各電源領域に対する電源の ON/OFF は，LSI 内部の電源スイッチを制御することで実現します。また，Logic1 が電源 OFF のときには CPU が動けないため，L0 領域の PMU がマスタとなり，制御（レジスタ・ライト／電源制御／各種 WAIT 等）を行います。

5.1.1　電源分離図

図 5－1にEM1-Sの電源分離構造を示します。

EM1-S では，内部 CORE のデジタル部分を L0／L1／ACPU／ADSP／L3／L2 の 6 領域に電源分離を行っています。L0 領域には ASMU，PMU，AINT，TI0，TW0，SPI0，GIO，PWM，LCD，内部 SRAM（128KB）が含まれており，常時電源 ON です。その他のブロックは，状態遷移に沿って電源 ON/OFF が可能です。

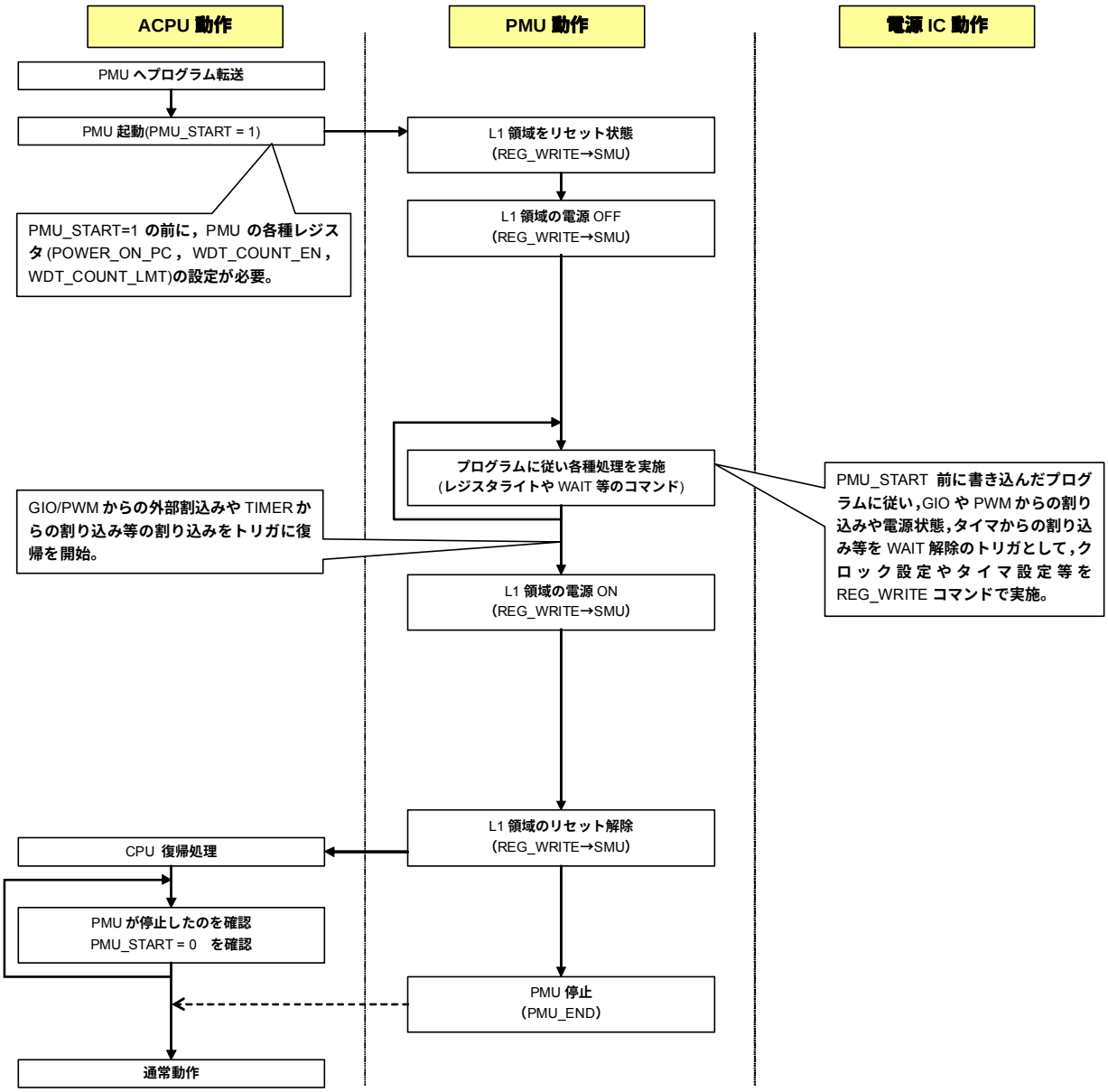
図 5－1　EM1-S 電源分離図



5.1.2 CPU停止時のPMUの動作例

L1 の電源がOFF（PowerSaveモード） のときにはCPUが動けないため，L0 領域のPMUがマスタとなり，制御（レジスタ・ライト／電源制御／各種WAIT等）を行います。PMUが，各種処理を行ったあとに，L1 の電源をONにし，ACPUを起動するまでの動作例を 図 5－2に示します。

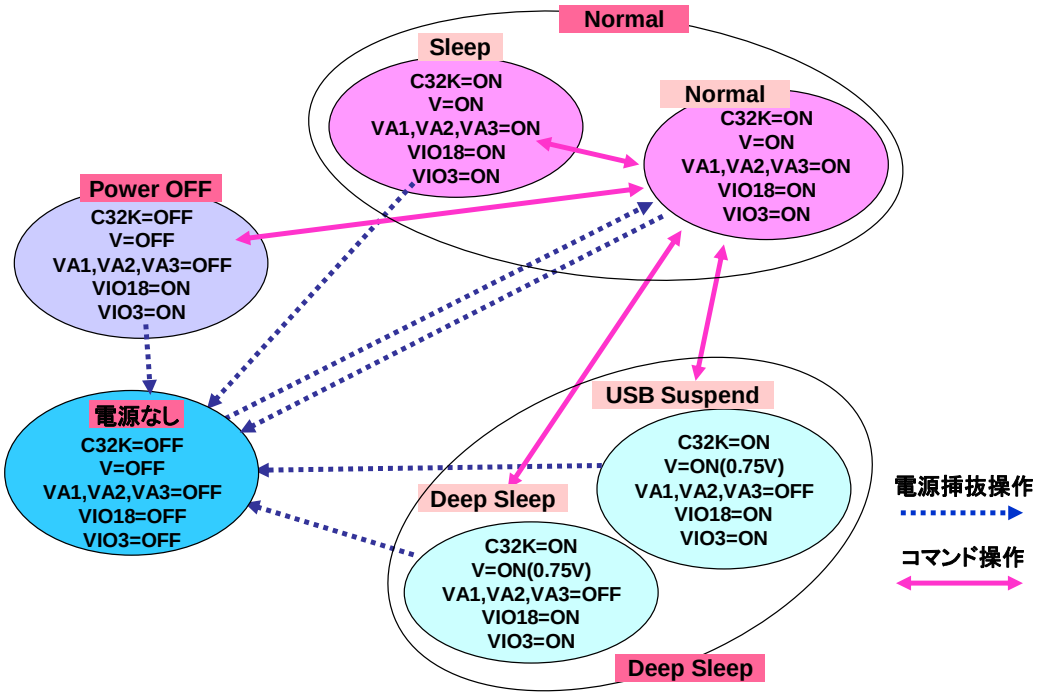
図 5－2 CPU 停止時の PMU の動作例



5.2 システム状態遷移

EM1-S は，システム電源 IC と組み合わせることによりシステム状態を遷移させることができます。下記の図はシステム毎の状態遷移を表したものです。

図 5－3 システム状態遷移



端子	機能
C32K	基準クロック（32.768KHz）
V	コア電源（1.2V）
VA1,VA2,VA3	PLL 用電源（1.2V）
VIO18	IO 電源（1.8V 系）
VIO3	IO 電源（3V 系）

●Normal (Sleep，Normal)

各種制御、音声・動画再生などを行うための状態です。Sleep、Normal ともに内部 PLL 周波数で動作するモードです。

Sleep への遷移は、EM1-S 内部の制御によって行われ、電源 IC からは消費電流の違いのみです。コア電源(V)には 1.2V を供給し、C32K 端子には 32.768kHz のクロックを常時供給します。

●DeepSleep (DeepSleep，USB Suspend)

コア電源(V)を 0.75V(内部 SRAM 保持電圧)まで下げて、32.768kHz のクロックで動作させます。Sleep 状態よりも低電流の状態で待機するためのモードです。

DeepSleep への遷移は EM1-S からの電源 IC へのコマンドによって行われます。DeepSleep の解除は全て電源 IC 要因となります。復帰要因を受けた電源 IC はコア電源(V)を 1.2V に戻し、EM1-S へ割り込み(GIO_P0)を伝えます。これをトリガとして EM1-S は DeepSleep から Normal への復帰シーケンスを実行開始して、Warm ブートを行います。

●PowerOff

EM1-S のコア電源(V)、PLL 用電源(VA1,VA2,VA3)が OFF され、IO 電源(VIO18,VIO3)のみ ON している状態です。PowerOff への遷移も EM1-S からの電源 IC へのコマンドによって行われます。PowerOff からの復帰は、復帰要因を受けた電源 IC が EM1-S のコア電源(V)を立ち上げ、EM1-S のリセット信号を解除します。リセット信号解除により、Cold ブートを開始します。

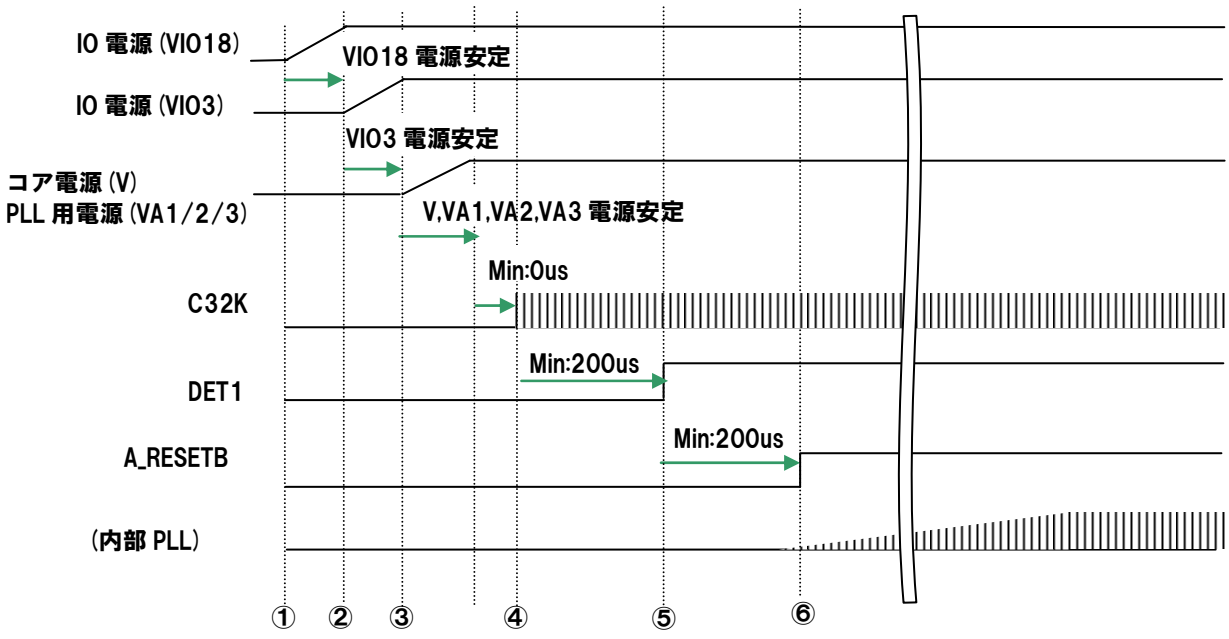
●電源無し

システム上の電源が無く、EM1-S には全く電源が投入されていない状態です。

電源 IC がシステム上の電源を検出後には、EM1-S への電源と制御信号を決まったタイミングで順番に立ち上げます。

5.2.1 電源投入シーケンス（電源なしの状態）

図 5−4 電源起動タイミングチャート



※ 電源安定は，各電源電圧の推奨動作条件の規格 MIN 値に達した点とします。

① IO 電源（1.8V）を立ち上げ，電源安定を待ちます。

② IO 電源（3V）を立ち上げ，電源安定を待ちます。

③ コア電源（1.2V）および PLL 用電源（1.2V）を立ち上げ，電源安定を待ちます。

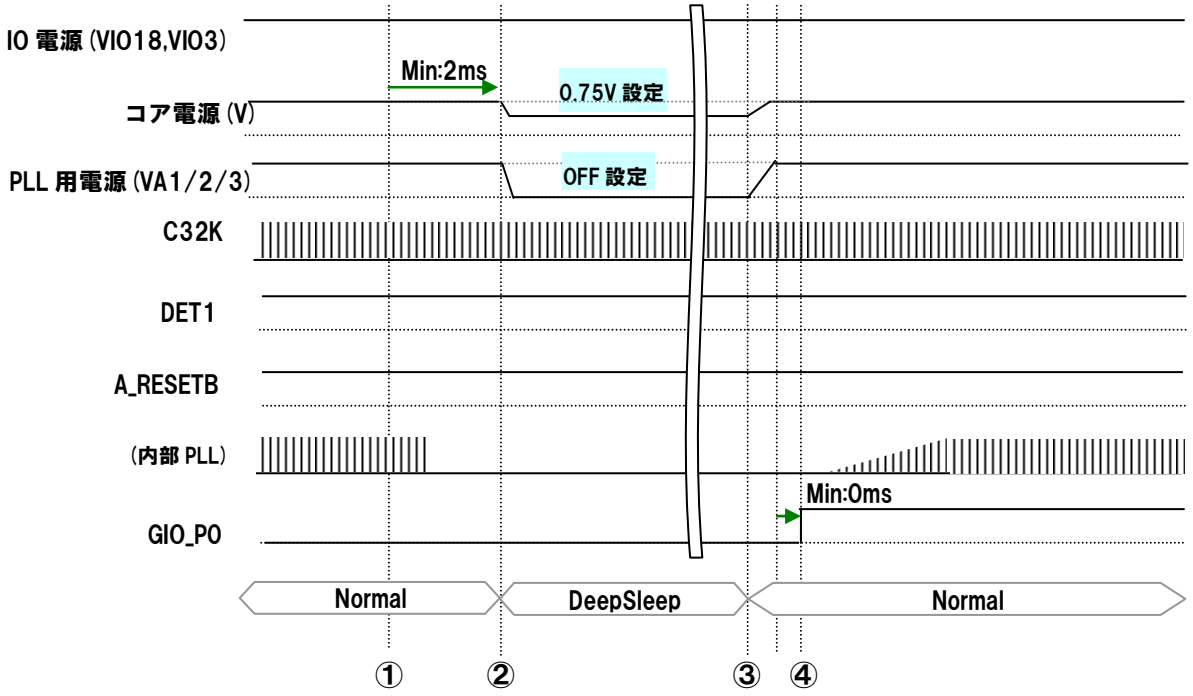
④ 基準クロック 32.768KHz（C32K）を入力します。

⑤ DET1 を立ち上げます。

⑥ A_RESETB を立ち上げると，内部 PLL が発振を開始します。

5.2.2 電源投入シーケンス（DeepSleep←→Normal）

図 5－5 DeepSleep←→Normal タイミングチャート



① EM1-S の SPI 通信で電源 IC に、コア電源(V)に対しては 0.75V へ電圧変更のコマンドを送信し、PLL 用電源(VA1/2/3) に対しては OFF のコマンドを送信します。

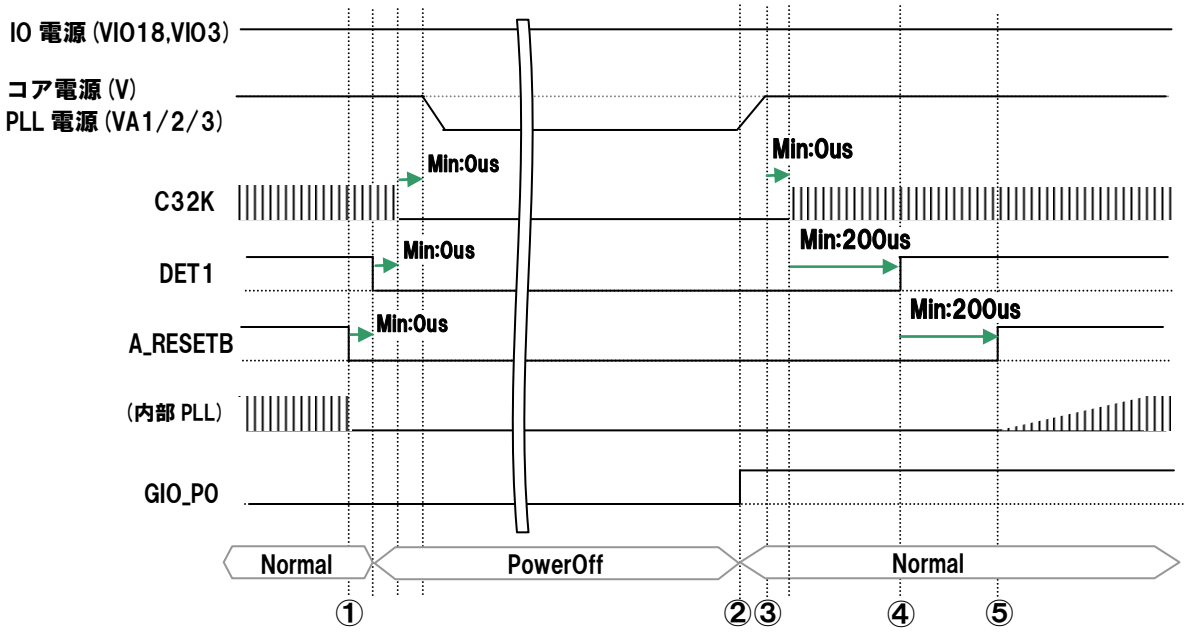
② コア電源(V)に使用している電源 IC は Min:2ms を確保した後に 0.75V への変更を行います。0.75V へ電圧変更のコマンドを送信後（①から②の間に）、EM1-S 内部では、DeepSleep 状態へ遷移するための準備を行います。

③ コア電圧(V)を 0.75V から 1.2V へ戻し、PLL 用電源(VA1/2/3)を立ち上げます。

④ GIO_P0 を立ち上げると、EM1-S 内部では内部 PLL 発振を開始します。安定後に DeepSleep から Normal への復帰動作を行います。

5.2.3 電源投入シーケンス（PowerOff←→Normal）

図 5－6 PowerOff←→Normal タイミングチャート



① A_RESETB、DET1 を立ち下げ、C32K への入力を停止します。
次にコア電源(V)、PLL 電源(VA1/2/3)を同時に OFF します。

② コア電源（1.2V）および PLL 用電源(1.2V）を同時に立ち上げ、電源安定を待ちます。

③ 基準クロック 32.768kHz(C32K)を入力します。
PowerOff からの復帰を「電源なしの状態」からの復帰と区別するために GIO_P0 を立ち上げます。

④ DET1 を立ち上げます。

⑤ A_RESETB を立ち上げると、内部 PLL が発振を開始します。
「電源なしの状態」からの起動タイミングとほぼ同じ動作になります。

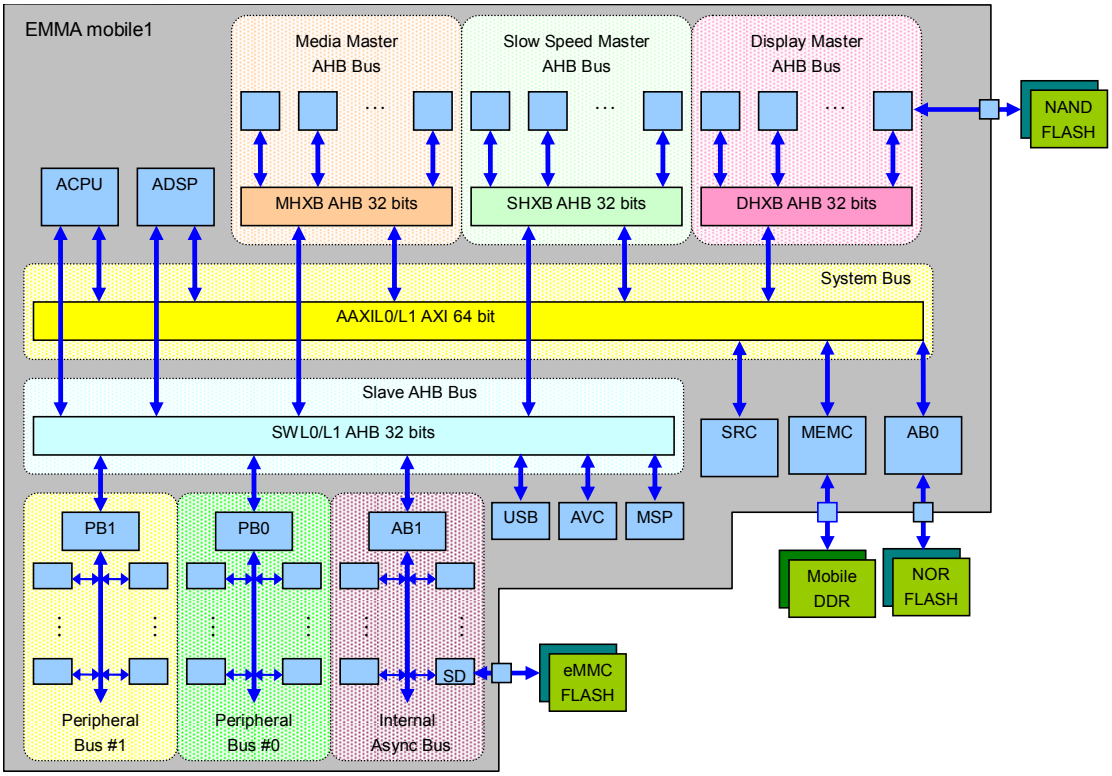
第6章　バス構造

6.1 概　　要

6.1.1 バス構成

図 6－1に，EM1-Sのバス・アーキテクチャを示します。

図 6－1　EM1-S バス構成



EM1-S では，システム・バスとして ARM AXI（64 ビット 166 MHz 3Layer）を採用しています。

System Bus は，メモリ・コントローラ（MEMC）／外部メモリ・インタフェース（AB0）／内蔵 SRAM（SRC）ごとに各 1 本の AXI Bus Switch で構成される 3Layer AXI Bus Switch です。

○ Media Master AHB Bus（MHXB）

主として Multimedia 系の AHB Master が接続される AHB Bus です。

○ Display Master AHB Bus（DHXB）

主として画像系の AHB Master が接続される AHB Bus です。

○ Slow Speed Master AHB Bus（SHXB）

Memory Access 頻度の比較的低い AHB Master が接続される AHB Bus です。

○ Slave AHB Bus（SWL0/L1）

AHB Slave を接続するための AHB Bus です。

○ Peripheral Bus #0/#2

電源 ON/OFF 可能領域に搭載された APB Slave が接続される APB Bus です。

○ Peripheral Bus #1/#3

常時電源 ON 領域に搭載された APB Slave が接続される APB Bus です。

6.1.2 マスタ／スレーブ接続

各バス・マスタからアクセス可能なバス・スレーブには，制限があります。

表 6－1に，各マスタと各スレーブ間のアクセス可否を示します。

表 6－1 マスタ・スレーブ接続

		AB0	MEMC	SRC	AB1	PB0	PB1	AHB slave	ACPU ROM
ACPU		○	○	○	○	○	○	○	○
ADSP_I (Instruction)		○	○	○	－	－	－	－	－
ADSP_D (Data)		○	○	○	○	○	○	○	－
PDMA		－	－	○	－	－	○	－	－
DHXB	IMC	○	○	○	－	－	－	－	－
	DMA#0R	○	○	○	－	－	－	－	－
	DMA#3W	○	○	○	－	－	－	－	－
MHXB	IPU（R/W）	○	○	○	－	－	－	－	－
	AVC	○	○	○	－	－	－	－	－
	DMA#0W	○	○	○	－	－	－	－	－
	DMA#2R	○	○	○	－	－	－	－	－
	DMA#2W	－	－	－	○	○	○	○	－
MHHB	DMA#3R	－	－	－	○	○	○	○	－
SHXB	NAND	－	○	○	－	－	－	－	－
	NTS	－	○	○	－	－	－	－	－
	DTV	－	○	○	－	－	－	－	－
	USB	－	○	○	－	－	－	－	－

備考 ○：アクセス可，－：アクセス不可

第7章　割り込み制御

7.1　割り込み要因

INT［0:95］に割り当てられている割り込み要因を表 7－1 に示します。

表 7－1　割り込み要因一覧

（1/3）

INT No	要　　因	説　　明	極性	種別	割り込み信号
0	ACPU	PE 間通信（ACPU → ADSP）	正	Level	（内部信号）
1	－	Reserved	正	Level	Reserved
2	－	Reserved	正	Level	Reserved
3	ADSP	PE 間通信（ADSP → ACPU）	正	Level	（内部信号）
4	－	Reserved	正	Level	Reserved
5	SDIA	SD Card I/F A	正注	Level	SDIA_SD_INT
6	SDIA	SD Card I/F A	正注	Level	SDIA_CC_INT
7	SDIB	SD Card I/F B	正注	Level	SDIB_SD_INT
8	SDIB	SD Card I/F B	正注	Level	SDIB_CC_INT
9	U70	UART0	正注	Level	U70_INT
10	U71	UART1	正注	Level	U71_INT
11	U72	UART2	正注	Level	U72_INT
12	－	Reserved	正注	Level	Reserved
13	PCM0	multi mode serial	正注	Level	PM0_INT
14	PCM1	multi mode serial	正注	Level	PM1_INT
15	－	Reserved	正注	Level	Reserved
16	－	Reserved	正注	Level	Reserved
17	ASMU	SMU Interrupt	正注	Level	SMU_INT
18	MWI	MicroWire module INT	正注	Level	MWI_INT
19	PDMA	miniDMA for PCM0	正注	Level	PDMA_INT
20	LCD	LCD Control	正注	Level	LCD_INT
21	CAM	Camera I/F	正注	Level	CAM_INT
22	IMG	Image Processor	正注	Level	IMG_INT
23	ROT	Rotator	正注	Level	ROT_INT
24	SP0	SP0 Interrupt	正注	Level	SP0_INT
25	SP1	SP1 Interrupt	正注	Level	SP1_INT
26	GIO	GIO6 Interrupt	正注	Level	GIO6_INT
27	GIO	GIO7 Interrupt	正注	Level	GIO7_INT
28	NTS	NTSC Enc I/F	正注	Level	NTS
29	SDIC_SD	SD Card I/F C	正注	Level	SDIC_SD

注　割り込み入力極性反転イネーブル設定レジスタ（IT_PINV_SET[0:2]）の該当ビットが，ディスエーブル（デフォルト）状態時の極性です。

(2/3)

INT No	要　因	説　明	極性	種別	割り込み信号
30	SDIC_CC	SD Card I/F C	正注	Level	SDIC_CC
31	－	Reserved	正注	Level	Reserved
32	－	Reserved	正注	Level	Reserved
33	IIC	IIC	正注	Edge	IIC_INT
34	TG0	General Timer0 Interrupt	正注	Edge	TG0_TOUT
35	TG1	General Timer1 Interrupt	正注	Edge	TG1_TOUT
36	TG2	General Timer2 Interrupt	正注	Edge	TG2_TOUT
37	DMA	ACPU への INT	正注	Level	DMA_ACPU_INT
38	－	Reserved	正注	Level	Reserved
39	IIC2	IIC2 Module INT	正注	Edge	IIC2_INT
40	DMA	ADSP への INT	正注	Level	DMA_DSP_INT
41	USB	USB Interrupt	正注	Level	USB_ INT
42	SP2	SP2 Interrupt	正注	Level	SP2_INT
43	USB_WAK	USB_SUSPEND_WAKEUP	正注	Edge	USB_SUSPEND_WAKEUP
44	TG3	General Timer3 Interrupt	正注	Edge	TG3_TOUT
45	TG4	General Timer4 Interrupt	正注	Edge	TG4_TOUT
46	TG5	General Timer5 Interrupt	正注	Edge	TG5_TOUT
47	NAND	NAND interrupt	正注	Level	NAND_INT
48	DTV	DTV Interrupt	正注	Level	DTV_INT
49	－	Reserved	正注	Level	Reserved
50	GIO	GIO0 Interrupt	正注	Level	GIO0_INT
51	GIO	GIO1 Interrupt	正注	Level	GIO1_INT
52	GIO	GIO2 Interrupt	正注	Level	GIO2_INT
53	GIO	GIO3 Interrupt	正注	Level	GIO3_INT
54	TI0	Timer0	正注	Edge	TI0_TOUT
55	TI1	Timer1	正注	Edge	TI1_TOUT
56	TI2	Timer2	正注	Edge	TI2_TOUT
57	TI3	Timer3	正注	Edge	TI3_TOUT
58	TW0	Watch dog timer0	正注	Edge	TW0_TOUT
59	TW1	Watch dog timer1	正注	Edge	TW1_TOUT
60	TW2	Watch dog timer2	正注	Edge	TW2_TOUT
61	TW3	Watch dog timer3	正注	Edge	TW3_TOUT
62	－	Reserved	正注	Level	Reserved
63	－	Reserved	正注	Level	Reserved
64	－	Reserved	正注	Level	Reserved
65	PMU_ACPU	PMU ACPU INT	正注	Level	PMU_ACPU_INT
66	AVC_A	AVC BUS ERROR	正注	Level	AVC_INTA
67	AVC_C	AVC CORE ERROR	正注	Level	AVC_INTC
68	－	Reserved	正注	Level	Reserved
69	PWM	PWM Module INT	正注	Level	PWM_INT

注　割り込み入力極性反転イネーブル設定レジスタ（IT_PINV_SET[0:2]）の該当ビットが，ディスエーブル（デフォルト）状態時の極性です。

(3/3)

INT No	要　　因	説　　明	極性	種別	割り込み信号
70	IMC	IMC Module INT	正注	Level	IMC_INT
71	－	Reserved	正注	Level	Reserved
72	IPU_DMA	IPU DMA INT	正注	Level	IPU_DMA_INT
73	－	Reserved	正注	Level	Reserved
74	ACPU_PMU	ACPU PMU INT	正注	Level	ACPU_PMUIRQ
75	－	Reserved	正注	Level	Reserved
76	DCV	DCV BUS ERROR	正注	Level	DCV_INT
77	－	Reserved	正注	Level	Reserved
78	－	Reserved	正注	Level	Reserved
79	GIO	GIO4 Interrupt	正注	Level	GIO4_INT
80	GIO	GIO5 Interrupt	正注	Level	GIO5_INT
81	IIS0	内部割り込みステータス#0	正注	Level	IIS0
82	IIS1	内部割り込みステータス#1	正注	Level	IIS1
83	IIS2	内部割り込みステータス#2	正注	Level	IIS2
84	IIS3	内部割り込みステータス#3	正注	Level	IIS3
85	Reserved	Reserved	正注	Level	Reserved
86	Reserved	Reserved	正注	Level	Reserved
87	Reserved	Reserved	正注	Level	Reserved

注　割り込み入力極性反転イネーブル設定レジスタ（IT_PINV_SET[0:2]）の該当ビットが，ディスエーブル（デフォルト）状態時の極性です。

表 7－2はACPU専用の割り込み入力です。

表 7－2　割り込み要因一覧（ACPU 専用）

INT No	要　　因	説　　明	極性	種別	割り込み信号
INT_A88	AAXI_INT_A	AXL1 DMA INT	正注	Level	AAXI_INT_A
INT_A89	MEMC_ERR	MEMC Protect Error	正注	Level	MEMC_INT_A
INT_A90	AB0_ERR	AB0 Protect Error	正注	Level	AB0_INT_A
INT_A91	PB1_ERR	PB1 Protect Error	正注	Level	PB1_INT_A
INT_A92	SRC_ERR	SRC Protect Error	正注	Level	SRC_INT_A
INT_A93	AXL0_ERR	AXL0 Decode Error	正注	Level	AXL0_INT_A
INT_A94	－	Reserved	正注	Level	Reserved
INT_A95	－	Reserved	正注	Level	Reserved

注　割り込み入力極性反転イネーブル設定レジスタ（IT_PINV_SET[0:2]）の該当ビットが，ディスエーブル（デフォルト）状態時の極性です。

7.1.1 割り込み出力

割り込み出力（内部信号）には次のものがあります。

- ACPU 用 IRQ 割り込み出力（PMU_IQU0Z）
- ACPU 用 FIQ 割り込み出力（PMU_FIQ0Z）
- ADSP 用割り込み出力（ADSP_INTP）

(1) IRQ 割り込み出力（PMU_IRQ0Z）

割り込みを ACPU に通知するための信号です。

ACPU 用に INT_IRQ0Z があります。

- **アサート条件**

  マスク設定されていない対象割り込み要因からの割り込み要求発生時
- **ディアサート条件**

  次の①～③をすべて満たしているとき，またはマスク設定（IT0_IDS[0:2]）時

  ①プロセッサ間通信割り込み

  受信先からのメッセージ全クリア（IT[1:4]_IPI0_CLR）

  ②外部割り込み（レベル）

  割り込み入力がインアクティブに遷移

  ③外部割り込み（エッジ）

  割り込みステータス・リセット（IT0_IIR）により全要因がリセット状態に遷移

(2) FIQ 割り込み出力（PMU_FIQ0Z）

- **アサート条件**

  割り込み要求（GIO_INT_FIQ）発生（ハイ・レベル）時（マスク解除されていること）
- **ディアサート条件**

  割り込み要求（GIO_INT_FIQ）解除（ロウ・レベル）時，またはマスク設定時

(3) ADSP 用割り込み出力（ADSP_INTP）

- **アサート条件**

  マスク設定されていない対象割り込み要因からの割り込み要求発生時
- **ディアサート条件**

  次の①～③をすべて満足，またはマスク設定（IT3_IDS[0:2]）したあと，割り込み出力信号クリア・レジスタ（ID_CLR）を設定したとき

備考 一度発出された割り込みの解除には ID_CLR：C002_C094 をセットする必要があります。マスク設定（IT3_IDS[0:2]）だけでは割り込みが解除されません。

①プロセッサ間通信割り込み

受信先からのメッセージ全クリア（IT0_IPI2_CLR）

②外部割り込み（レベル）

割り込み入力がインアクティブ

③外部割り込み（エッジ）

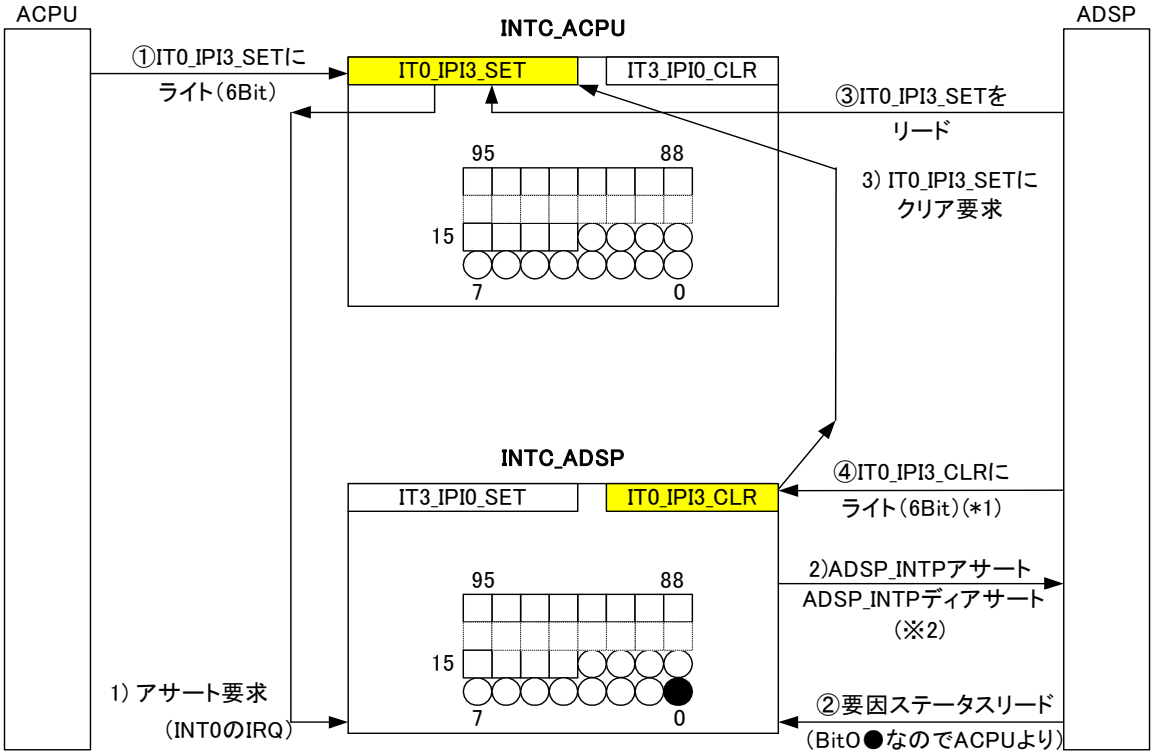
割り込みステータス・リセット（IT3_IIR）により全要因がリセット状態に遷移

7.2 割り込み制御

7.2.1 プロセッサ間通信用割り込み

プロセッサ間通信とは，2 つのプロセッサ同士がメッセージ通知を行うものです（メッセージ発信により相手側プロセッサに割り込みが発生します）。

次に，プロセッサ間通信の例として CPU→DSP 通信を示します。



※ 上図の●は"IT3_RAW0（割り込みRawステータス）レジスタのBit0を表しており、ACPUからのプロセッサ通信があったことを示します。

①ACPU が，IN0_IPI3_SET レジスタに 00_1010 を書き込む

1）INTC_ADSP は，要因ステータスのビット 0 を 1 にセット

2）INTC_ADSP は，ADSP_INTP をアサート

②ADSP が，要因ステータスをリード（ビット 0 が 1 なので，ACPU が通信元と特定）

③ADSP が，IT0_IPI3_SET レジスタをリード，00_1010 が読み出せる

④ADSP が，IT0_IPI3_CLR レジスタに書き込む[注]

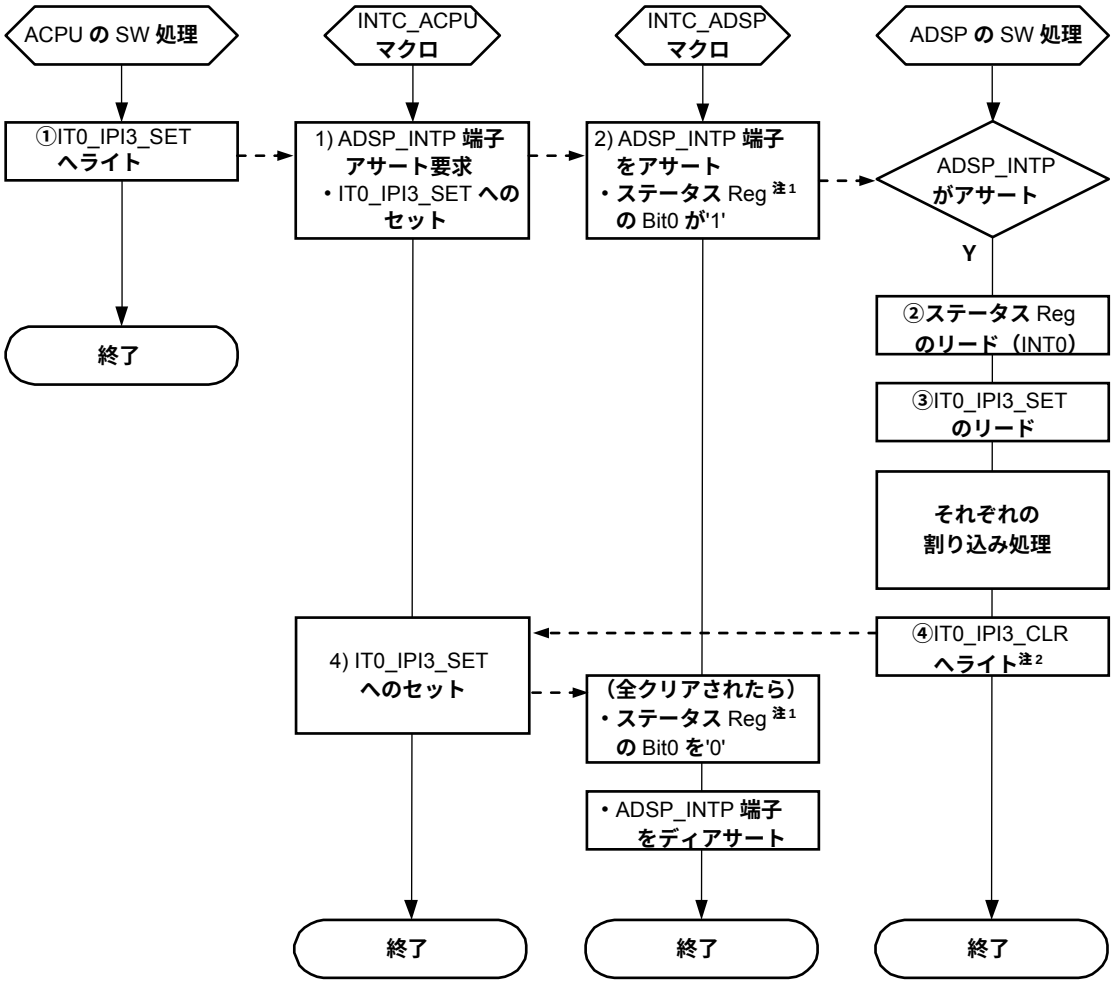
注 ADSP が IT0_IPI3_CLR レジスタにライトするデータにより，IT0_IPI3_SET レジスタおよび要因ステータスのビット 0 は次の表のようになります。

	IT0_IPI3_SET の結果	IT3_RAW0 のビット 0
① ITO_IPI3_SET（ACPU ライト）：00_1010	00_1010	1 が読める②
④ IT0_IPI3_CLR（ADSP ライト）：00_1000	00_0010（※1 回目）	1 のまま
④ IT0_IPI3_CLR（ADSP ライト）：00_0010	00_0000（※2 回目）	0 に戻る

（※1 回目） IT0_IPI3_SET の結果が全クリアでないと，要因ステータス・ビット 0 が 1 のままで，ADSP_INTP はアサートのままです。

（※2 回目） IT0_IPI3_SET の結果が全クリアされると，要因ステータス・ビット 0 が 0 に戻り，他の割り込み要因がなければ，ADSP_INTP はディアサートされます。

【フローでの説明】



注 1. ステータス Reg とは，次の 2 種類です。本例では，同時に ON/OFF します（INTC レジスタの設定や複数要因の発生状況などで異なることがあります）。

・IT*_RAW0：割り込み Raw ステータス・レジスタ 0

・IT*_MST0：割り込み Maskable ステータス・レジスタ 0

2. ADSP が IT0_IPI3_CLR レジスタにライトするデータにより，IT0_IPI3_SET レジスタおよび要因ステータスのビット 0 は次の表のようになります。

	IT0_IPI3_SET の結果	IT3_RAW0 のビット 0
① ITO_IPI3_SET（ACPU ライト）：00_1010	00_1010	1 が読める②
④ IT0_IPI3_CLR（ADSP ライト）：00_1000	00_0010（※1 回目）	1 のまま
④ IT0_IPI3_CLR（ADSP ライト）：00_0010	00_0000（※2 回目）	0 に戻る

（※1 回目） IT0_IPI3_SET の結果が全クリアでないと，要因ステータス・ビット 0 が 1 のままで，ADSP_INTP はアサートのままです。

（※2 回目） IT0_IPI3_SET の結果が全クリアされると，要因ステータス・ビット 0 が 0 に戻り，他の割り込み要因がなければ，ADSP_INTP はディアサートされます。

第8章　兼用端子切り替え

8.1　兼用端子切り替えレジスタ

兼用端子の切り替えは次のレジスタで行います。

ベース・アドレス：C014_0000H

(1/2)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	起動モード・レジスタ	CHG_BOOT_MODE	R	－
0004H	L1 OFF 時データ・ホールド制御レジスタ	CHG_L1_HOLD	R/W	0000_0000H
0010H	LSI Revision レジスタ	CHG_LSI_REVISION	R	0000_0010H
0014H-0100H	Reserved	－	－	－
0104H	SDI（A, B, C）割り込みマスク・レジスタ	CHG_CTRL_SDINT	R/W	0000_0007H
0108H	AB0（ASYNC）BOOT 切り替えレジスタ	CHG_CTRL_AB0_BOOT	R/W	0000_0000H
0110H	OSC 制御レジスタ	CHG_CTRL_OSC	R/W	0000_0000H
0114H-01FCH	Reserved	－	－	－
0200H	GIO_P[15:0]兼用端子切り替えレジスタ	CHG_PINSEL_G00	R/W	0000_0000H
0204H	GIO_P[31:16]兼用端子切り替えレジスタ	CHG_PINSEL_G16	R/W	0000_0000H
0208H	GIO_P[47:32]兼用端子切り替えレジスタ	CHG_PINSEL_G32	R/W	0000_0000H
020CH	GIO_P[63:48]兼用端子切り替えレジスタ	CHG_PINSEL_G48	R/W	0000_0000H
0210H	GIO_P[79:64]兼用端子切り替えレジスタ	CHG_PINSEL_G64	R/W	0000_0000H
0214H	GIO_P[95:80]兼用端子切り替えレジスタ	CHG_PINSEL_G80	R/W	0000_0000H
0218H	GIO_P[111:96]兼用端子切り替えレジスタ	CHG_PINSEL_G96	R/W	0000_0000H
021CH	GIO_P[117:112]兼用端子切り替えレジスタ	CHG_PINSEL_G112	R/W	0000_0000H
0220H-027CH	Reserved	－	－	－
0280H	SP0 兼用端子切り替えレジスタ	CHG_PINSEL_SP0	R/W	0000_0000H
0284H	DTV 兼用端子切り替えレジスタ	CHG_PINSEL_DTV	R/W	0000_0000H
0288H	SD0 兼用端子切り替えレジスタ	CHG_PINSEL_SD0	R/W	0000_0000H
028CH	SD1 兼用端子切り替えレジスタ	CHG_PINSEL_SD1	R/W	0000_0000H
0290H	IIC2 兼用端子切り替えレジスタ	CHG_PINSEL_IIC2	R/W	0000_0000H
0294H	REFCLKO クロック端子切り替えレジスタ	CHG_PINSEL_REFCLKO	R/W	0000_0000H
0298H-092CH	Reserved	－	－	－
0300H	GIO_P[7:0]端子プルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G00	R/W	0000_0000H
0304H	GIO_P[15:8]端子プルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G08	R/W	0000_0000H

(2/2)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0308H	GIO_P[23:16]端子プルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G16	R/W	0000_0000H
030CH	GIO_P[31:24]端子プルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G24	R/W	0000_0000H
0310H	GIO_P[39:32]端子プルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G32	R/W	0000_0000H
0314H	GIO_P[47:40]端子プルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G40	R/W	0000_2200H
0318H	GIO_P[55:48]端子プルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G48	R/W	1111_1111H
031CH	GIO_P[63:56]端子プルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G56	R/W	1111_1111H
0320H	GIO_P[71:64]端子プルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G64	R/W	1111_1111H
0324H	GIO_P[79:72]端子プルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G72	R/W	0000_0000H
0328H	GIO_P[87:80]端子プルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G80	R/W	0000_0000H
032CH	GIO_P[95:88]端子プルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G88	R/W	0000_0000H
0330H	GIO_P[103:96]端子プルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G96	R/W	0000_0000H
0334H	GIO_P[111:104]端子プルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G104	R/W	0000_0000H
0338H	GIO_P[119:112]端子プルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G112	R/W	0000_0000H
033CH	GIO_P[127:120]端子プルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G120	R/W	0000_0000H
0340H-037CH	Reserved	–	–	–
0380H	プルアップ／プルダウン／入力イネーブル制御レジスタ 0	CHG_PULL0	R/W	0000_0004H
0384H	プルアップ／プルダウン／入力イネーブル制御レジスタ 1	CHG_PULL1	R/W	0000_0600H
0388H	プルアップ／プルダウン／入力イネーブル制御レジスタ 2	CHG_PULL2	R/W	0000_1001H
038CH	プルアップ／プルダウン／入力イネーブル制御レジスタ 3	CHG_PULL3	R/W	0000_0000H
0390H-039CH	Reserved	–	–	–
0400H	ドライブ能力切り替えレジスタ 0	CHG_DRIVE0	R/W	5550_0155H
0404H	ドライブ能力切り替えレジスタ 1	CHG_DRIVE1	R/W	5555_5555H
0408H	ドライブ能力切り替えレジスタ 2	CHG_DRIVE2	R/W	0001_1555H

8.1.1 レジスタ詳細

(1) CHG レジスタのリセット

CHG レジスタのリセットは，DET1 端子がロウ・レベルのとき初期化されます。

システム・リセット（A_RESETB）端子では初期化されません。

(2) 起動モード・レジスタ

CHG_BOOT_MODE：C014_0000H

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved						TE2	TE1

7	6	5	4	3	2	1	0
Reserved			BOOT_SEL3	BOOT_SEL2	BOOT_SEL1	BOOT_SEL0	UTEST

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:10	－	予約。読み出すと 0 を返します。
TE2	R	9	－	TE2 状態を表示します。テスト時のみ有効です。ノーマル時は 0 となります。
TE1	R	8	－	TE1 状態を表示します。テスト時のみ有効です。ノーマル時は 0 となります。
Reserved	R	7:5	－	予約。読み出すと 0 を返します。
BOOT_SEL3	R	4	－	L_SPEED モード（低速クロック・モード）切り替え
BOOT_SEL[2:0]	R	3:1	－	BOOTSEL 端子状態表示 “ 000b ” または “ 101b ”: AB0（ASYNC）のブートを行います。 上記以外：ROM からブートを行います。 BOOT_SEL[2:0] 000b：AB0 ブート 001b：eMMC ブート 010b：SD ブート 011b：Reserved 100b：Reserved 101b：AB0 ブート（ADSP JTAG） 110b：eMMC ブート（ADSP JTAG） 111b：SD ブート（ADSP JTAG）
UTEST	R	0	－	UTEST 端子の状態を表示します。 0：Normal　　1：Test UTEST は LSI の Test に使用する端子です。

(3) L1 OFF 時データ・ホールド制御レジスタ

CHG_L1_HOLD：C014_0004H

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
L1_HOLD_RSV						L1_HOLD	LATCH_TRIG

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:8	ー	予約。読み出すと 0 を返します。
L1_HOLD_RSV	R/W	7:2	0	HOLD の予備ビットです。
L1_HOLD	R/W	1	0	0：スルー出力　　1：ラッチ・データ出力
LATCH_TRIG	W	0	0	1 を書き込むと，L1 からの信号を CHG 内でラッチします。読み出しは 0 となります。

(4) LSI Revision レジスタ

CHG_LSI_REVISION：C014_0010H

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
LSI_REV							

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:8	ー	予約。読み出すと 0 を返します。
LSI_REV	R	7:0	0001_0000b	LSI の Revision を示します。

(5) SDI 割り込みマスク・レジスタ

本レジスタ（CHG_CTRL_SDINT：C014_0104H）は，SDIA，SDIB，SDIC の割り込み（SYNC_INT）信号のマスクを設定します。

SD マクロ未稼働時に，SD 端子（DATA1）からの割り込みを AINT に伝えます。

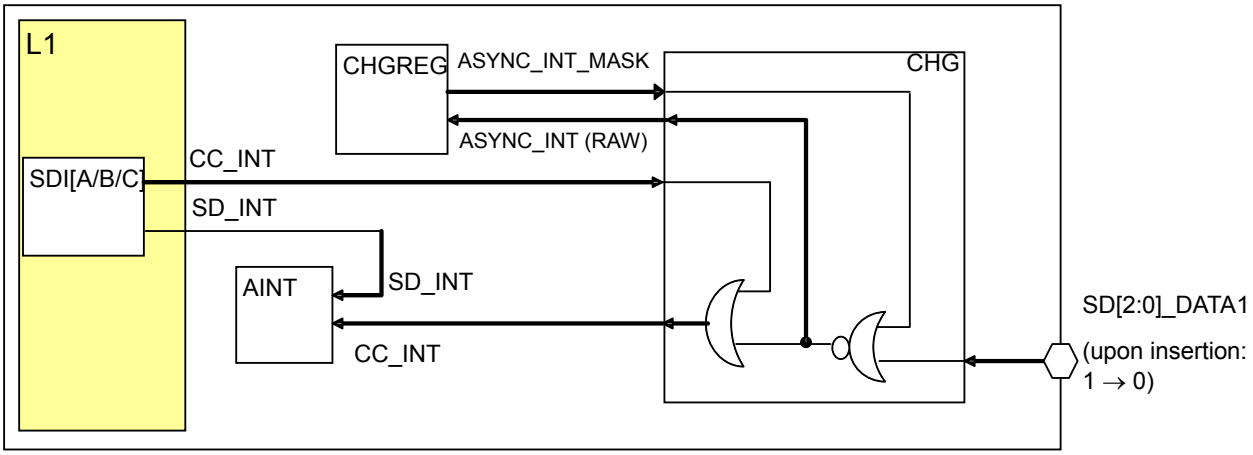
31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved							

7	6	5	4	3	2	1	0
Reserved	SDI2(C)_ ASYNC_INT	SDI1(B)_ ASYNC_INT	SDI0(A)_ ASYNC_INT	Reserved	SDI2(C)_ASYNC_INT_MASK	SDI1(B)_ASYNC_INT_MASK	SDI0(A)_ASYNC_INT_MASK

名　称	R/W	ビット	リセット時	機　能
Reserved	R	31:7	－	予約。読み出すと 0 を返します。
SDI2(C)_ASYNC_INT	R	6	0	マスク後の SDI2(C)_ASYNC_INT 信号の状態を示します。 0：割り込み要因なし　1：割り込み要因なし（割り込みマスク解除時）
SDI1(B)_ASYNC_INT	R	5	0	マスク後の SDI1(B)_ASYNC_INT 信号の状態を示します。 0：割り込み要因なし　1：割り込み要因なし（割り込みマスク解除時）
SDI0(A)_ASYNC_INT	R	4	0	マスク後の SDI0(A)_ASYNC_INT 信号の状態を示します。 0：割り込み要因なし　1：割り込み要因なし（割り込みマスク解除時）
Reserved	R	3	－	予約。読み出すと 0 を返します。
SDI2(C)_ASYNC_INT_MASK	R/W	2	1	SDI2(C)_ASYNC_INT 信号のマスクを設定します。 0：マスク解除　1：マスク設定（デフォルト）
SDI1(B)_ASYNC_INT_MASK	R/W	1	1	SDI1(B)_ASYNC_INT 信号のマスクを設定します。 0：マスク解除　1：マスク設定（デフォルト）
SDI0(A)_ASYNC_INT_MASK	R/W	0	1	SDI0(A)_ASYNC_INT 信号のマスクを設定します。 0：マスク解除　1：マスク設定（デフォルト）



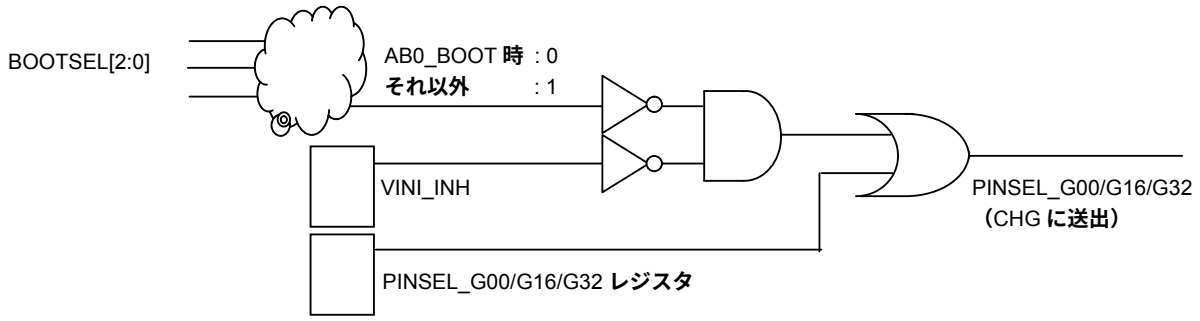
SDI[ABC]マクロがリセット（または電源 OFF）状態時に外部 DATA1 端子からの割り込みを検地します。この機構は SDIA/SDIB/SDIC それぞれ個別に用意されています。

(6) AB0（ASYNC）BOOT 切り替えレジスタ

本レジスタ（CHG_CTRL_AB0_BOOT：C014_0108H）は，AB0（ASYNC）に接続されたメモリからブートしたとき，対象端子を AB0 固定から GPIO 選択可能にするレジスタです。このビットを有効にする前に，あらかじめ PINSEL で意図した設定にしておく必要があります。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						MODE_VINI	VINI_INH

名　称	R/W	ビット	リセット時	機　能
Reserved	R	31:2	－	予約。読み出すと 0 を返します。
MODE_VINI	R	1	－	GPIO/AB0 端子で外部設定により AB0 選択を示します。 0：AB0 選択モード　　1：通常選択
VINI_INH	R/W	0	0	1：AB0 選択を解除し，PINSEL で選択可能とします。 選択可能：GPIO11-GPIO47



VINI_INH を 1 にセットすることで，CHG にピン選択として送出する（1）を論理的にマスクし，レジスタ論理が純粋に有効化されるように設定します。

通常，電源投入直後の AB0_xxx 端子の機能は GIO_P11-P47 が選択されます。ソフトウエアによって AB0_xxx 端子の機能を選択する方法では，AB0（AsyncMemory）からのブートはできませんので，BOOTSEL 端子（[2:0] = “ 000 ”）で強制的に AB0 を選択します。

BOOTSEL 端子で強制的に AB0 を選択した場合，MODE_VINI ビットが 0 を示し，そのとき VINI_INH ビットに 1 を書き込むと通常の選択に戻ります。このとき，PINSEL_G00，G16，G32 の設定がそのまま反映されますので事前に設定が必要です。

上記回路は，強制 AB0 選択とソフトによる解除（通常選択可能状態）を行う回路です。

(7) OSC 制御レジスタ

本レジスタ（CHG_CTRL_OSC：C014_0110H）は，OSC を制御するレジスタです。

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved							

7	6	5	4	3	2	1	0
Reserved						OSC_THRU	OSC_EN

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:2	－	予約。読み出すと 0 を返します。
OSC_THRU	R/W	1	0	EM1-S Logic 内 OSC を入力スルーで使用します。スルー選択時は，CKO を内部に取り込みます。 0：スルーなし（発振子接続時の通常状態） 1：スルー（CKO を入力）
OSC_EN	R/W	0	0	EM1-S Logic 内 OSC をイネーブル状態にします。 0：OSC をディスエーブル 1：OSC をイネーブル

(8) GIO_P[15:0]兼用端子切り替えレジスタ

本レジスタ（CHG_PINSEL_G00：C014_0200H）は，GIO_P[15:0]端子の機能を切り替えるレジスタです。
CHG_PINSEL_xx は，基本的に GIO と併用端子は，GIO_Pxx で設定変更します。
機能別で切り替える場合，一部 GIO 端子と併用もありますので注意してください。

31	30	29	28	27	26	25	24
GIO_P15[1:0]		GIO_P14[1:0]		GIO_P13[1:0]		GIO_P12[1:0]	

23	22	21	20	19	18	17	16
GIO_P11[1:0]		GIO_P10[1:0]		GIO_P09[1:0]		GIO_P08[1:0]	

15	14	13	12	11	10	9	8
GIO_P07[1:0]		GIO_P06[1:0]		GIO_P05[1:0]		GIO_P04[1:0]	

7	6	5	4	3	2	1	0
GIO_P03[1:0]		GIO_P02[1:0]		GIO_P01[1:0]		GIO_P00[1:0]	

名　称	R/W	ビット	リセット時	機　能
GIO_P15[1:0]	R/W	31:30	0	GIO_P15 端子の切り替え
GIO_P14[1:0]	R/W	29:28	0	GIO_P14 端子の切り替え
GIO_P13[1:0]	R/W	27:26	0	GIO_P13 端子の切り替え
GIO_P12[1:0]	R/W	25:24	0	GIO_P12 端子の切り替え
GIO_P11[1:0]	R/W	23:22	0	GIO_P11 端子の切り替え
GIO_P10[1:0]	R/W	21:20	0	GIO_P10 端子の切り替え
GIO_P09[1:0]	R/W	19:18	0	GIO_P09 端子の切り替え
GIO_P08[1:0]	R/W	17:16	0	GIO_P08 端子の切り替え
GIO_P07[1:0]	R/W	15:14	0	GIO_P07 端子の切り替え
GIO_P06[1:0]	R/W	13:12	0	GIO_P06 端子の切り替え
GIO_P05[1:0]	R/W	11:10	0	GIO_P05 端子の切り替え
GIO_P04[1:0]	R/W	9:8	0	GIO_P04 端子の切り替え
GIO_P03[1:0]	R/W	7:6	0	予備 GIO_P03 端子の切り替え
GIO_P02[1:0]	R/W	5:4	0	予備 GIO_P02 端子の切り替え
GIO_P01[1:0]	R/W	3:2	0	GIO_P01 端子の切り替え
GIO_P00[1:0]	R/W	1:0	0	予備 GIO_P00 端子の切り替え

PINSEL_GIO_Pxx	2'b00	2'b01	2'b10	2'b11	説　明
端子名	デフォルト				
GIO_P0	GIO_P0				
GIO_P1	GIO_P1	USB_WAKEUP	USB_ PWR_FAULT		
GIO_P2	GIO_P2				
GIO_P3	GIO_P3				
GIO_P4	GIO_P4		NAND_RB1		
GIO_P5	GIO_P5		NAND_RB2	CAM_SCLK	
GIO_P6	GIO_P6		NAND_RB3		
GIO_P7	GIO_P7		NAND_CE0		
GIO_P8	GIO_P8		NAND_CE1		
GIO_P9	GIO_P9		NAND_CE2		
GIO_P10	GIO_P10		NAND_CE3		
AB0_CLK	GIO_P11	AB0_CLK	NTS_CLK		
AB0_AD0	GIO_P12	AB0_AD0			
AB0_AD1	GIO_P13	AB0_AD1			
AB0_AD2	GIO_P14	AB0_AD2			
AB0_AD3	GIO_P15	AB0_AD3			

(9) GIO_P[31:16]兼用端子切り替えレジスタ

本レジスタ（CHG_PINSEL_G16：C014_0204H）は，GIO_P[31:16]端子の機能を切り替えるレジスタです。

本レジスタでは，GIO_Pxx 端子の機能を，GIO_Pxx[1:0]ビットで設定します。

31	30	29	28	27	26	25	24
GIO_P31[1:0]		GIO_P30[1:0]		GIO_P29[1:0]		GIO_P28[1:0]	
23	22	21	20	19	18	17	16
GIO_P27[1:0]		GIO_P26[1:0]		GIO_P25[1:0]		GIO_P24[1:0]	
15	14	13	12	11	10	9	8
GIO_P23[1:0]		GIO_P22[1:0]		GIO_P21[1:0]		GIO_P20[1:0]	
7	6	5	4	3	2	1	0
GIO_P19[1:0]		GIO_P18[1:0]		GIO_P17[1:0]		GIO_P16[1:0]	

名　　称	R/W	ビット	リセット時	機　　能
GIO_P31[1:0]	R/W	31:30	0	GIO_P31 端子の切り替え
GIO_P30[1:0]	R/W	29:28	0	GIO_P30 端子の切り替え
GIO_P29[1:0]	R/W	27:26	0	GIO_P29 端子の切り替え
GIO_P28[1:0]	R/W	25:24	0	GIO_P28 端子の切り替え
GIO_P27[1:0]	R/W	23:22	0	GIO_P27 端子の切り替え
GIO_P26[1:0]	R/W	21:20	0	GIO_P26 端子の切り替え
GIO_P25[1:0]	R/W	19:18	0	GIO_P25 端子の切り替え
GIO_P24[1:0]	R/W	17:16	0	GIO_P24 端子の切り替え
GIO_P23[1:0]	R/W	15:14	0	GIO_P23 端子の切り替え
GIO_P22[1:0]	R/W	13:12	0	GIO_P22 端子の切り替え
GIO_P21[1:0]	R/W	11:10	0	GIO_P21 端子の切り替え
GIO_P20[1:0]	R/W	9:8	0	GIO_P20 端子の切り替え
GIO_P19[1:0]	R/W	7:6	0	GIO_P19 端子の切り替え
GIO_P18[1:0]	R/W	5:4	0	GIO_P18 端子の切り替え
GIO_P17[1:0]	R/W	3:2	0	GIO_P17 端子の切り替え
GIO_P16[1:0]	R/W	1:0	0	GIO_P16 端子の切り替え

PINSEL_GIO_Pxx	2'b00	2'b01	2'b10	2'b11	説　明
端子名	デフォルト				
AB0_AD4	GIO_P16	AB0_AD4			
AB0_AD5	GIO_P17	AB0_AD5			
AB0_AD6	GIO_P18	AB0_AD6			
AB0_AD7	GIO_P19	AB0_AD7			
AB0_AD8	GIO_P20	AB0_AD8			
AB0_AD9	GIO_P21	AB0_AD9			
AB0_AD10	GIO_P22	AB0_AD10			
AB0_AD11	GIO_P23	AB0_AD11			
AB0_AD12	GIO_P24	AB0_AD12			
AB0_AD13	GIO_P25	AB0_AD13			
AB0_AD14	GIO_P26	AB0_AD14			
AB0_AD15	GIO_P27	AB0_AD15			
AB0_A17	GIO_P28	AB0_A17	NTS_DATA0		
AB0_A18	GIO_P29	AB0_A18	NTS_DATA1		
AB0_A19	GIO_P30	AB0_A19	NTS_DATA2		
AB0_A20	GIO_P31	AB0_A20			

(10) GIO_P[47:32]兼用端子切り替えレジスタ

本レジスタ（CHG_PINSEL_G32：C014_0208H）は，GIO_P[47:32]端子の機能を切り替えるレジスタです。

本レジスタでは，GIO_Pxx 端子の機能を，GIO_Pxx[1:0]ビットで設定します。

31	30	29	28	27	26	25	24
GIO_P47[1:0]		GIO_P46[1:0]		GIO_P45[1:0]		GIO_P44[1:0]	

23	22	21	20	19	18	17	16
GIO_P43[1:0]		GIO_P42[1:0]		GIO_P41[1:0]		GIO_P40[1:0]	

15	14	13	12	11	10	9	8
GIO_P39[1:0]		GIO_P38[1:0]		GIO_P37[1:0]		GIO_P36[1:0]	

7	6	5	4	3	2	1	0
GIO_P35[1:0]		GIO_P34[1:0]		GIO_P33[1:0]		GIO_P32[1:0]	

名　　称	R/W	ビット	リセット時	機　　能
GIO_P47[1:0]	R/W	31:30	0	GIO_P47 端子の切り替え
GIO_P46[1:0]	R/W	29:28	0	GIO_P46 端子の切り替え
GIO_P45[1:0]	R/W	27:26	0	GIO_P45 端子の切り替え
GIO_P44[1:0]	R/W	25:24	0	GIO_P44 端子の切り替え
GIO_P43[1:0]	R/W	23:22	0	GIO_P43 端子の切り替え
GIO_P42[1:0]	R/W	21:20	0	GIO_P42 端子の切り替え
GIO_P41[1:0]	R/W	19:18	0	GIO_P41 端子の切り替え
GIO_P40[1:0]	R/W	17:16	0	GIO_P40 端子の切り替え
GIO_P39[1:0]	R/W	15:14	0	GIO_P39 端子の切り替え
GIO_P38[1:0]	R/W	13:12	0	GIO_P38 端子の切り替え
GIO_P37[1:0]	R/W	11:10	0	GIO_P37 端子の切り替え
GIO_P36[1:0]	R/W	9:8	0	GIO_P36 端子の切り替え
GIO_P35[1:0]	R/W	7:6	0	GIO_P35 端子の切り替え
GIO_P34[1:0]	R/W	5:4	0	GIO_P34 端子の切り替え
GIO_P33[1:0]	R/W	3:2	0	GIO_P33 端子の切り替え
GIO_P32[1:0]	R/W	1:0	0	GIO_P32 端子の切り替え

PINSEL_GIO_Pxx	2'b00	2'b01	2'b10	2'b11	説　明
端子名	デフォルト				
AB0_A21	GIO_P32	AB0_A21			
AB0_A22	GIO_P33	AB0_A22			
AB0_A23	GIO_P34	AB0_A23			
AB0_A24	GIO_P35	AB0_A24			
AB0_A25	GIO_P36	AB0_A25			
AB0_A26	GIO_P37	AB0_A26			
AB0_ADV	GIO_P38	AB0_ADV			
AB0_RDB	GIO_P39	AB0_RDB	NTS_DATA3		
AB0_WRB	GIO_P40	AB0_WRB	NTS_DATA4		
AB0_WAIT	GIO_P41	AB0_WAIT	NTS_DATA5		
AB0_CSB0	GIO_P42	AB0_CSB0	NTS_DATA6		
AB0_CSB1	GIO_P43	AB0_CSB1	NTS_DATA7		
AB0_CSB2	GIO_P44	AB0_CSB2	NTS_VS		
AB0_CSB3	GIO_P45	AB0_CSB3	NTS_HS		
AB0_BEN0	GIO_P46	AB0_BEN0			
AB0_BEN1	GIO_P47	AB0_BEN1			

(11) GIO_P[63:48]兼用端子切り替えレジスタ

本レジスタ (CHG_PINSEL_G48：C014_020CH) は，GIO_P[63:48]端子の機能を切り替えるレジスタです。

本レジスタでは，GIO_Pxx 端子の機能を，GIO_Pxx[1:0]ビットで設定します。

31	30	29	28	27	26	25	24
GIO_P63[1:0]		GIO_P62[1:0]		GIO_P61[1:0]		GIO_P60[1:0]	

23	22	21	20	19	18	17	16
GIO_P59[1:0]		GIO_P58[1:0]		GIO_P57[1:0]		GIO_P56[1:0]	

15	14	13	12	11	10	9	8
GIO_P55[1:0]		GIO_P54[1:0]		GIO_P53[1:0]		GIO_P52[1:0]	

7	6	5	4	3	2	1	0
GIO_P51[1:0]		GIO_P50[1:0]		GIO_P49[1:0]		GIO_P48[1:0]	

名　　称	R/W	ビット	リセット時	機　　能
GIO_P63[1:0]	R/W	31:30	0	GIO_P63 端子の切り替え
GIO_P62[1:0]	R/W	29:28	0	GIO_P62 端子の切り替え
GIO_P61[1:0]	R/W	27:26	0	GIO_P61 端子の切り替え
GIO_P60[1:0]	R/W	25:24	0	GIO_P60 端子の切り替え
GIO_P59[1:0]	R/W	23:22	0	GIO_P59 端子の切り替え
GIO_P58[1:0]	R/W	21:20	0	GIO_P58 端子の切り替え
GIO_P57[1:0]	R/W	19:18	0	GIO_P57 端子の切り替え
GIO_P56[1:0]	R/W	17:16	0	GIO_P56 端子の切り替え
GIO_P55[1:0]	R/W	15:14	0	GIO_P55 端子の切り替え
GIO_P54[1:0]	R/W	13:12	0	GIO_P54 端子の切り替え
GIO_P53[1:0]	R/W	11:10	0	GIO_P53 端子の切り替え
GIO_P52[1:0]	R/W	9:8	0	GIO_P52 端子の切り替え
GIO_P51[1:0]	R/W	7:6	0	GIO_P51 端子の切り替え
GIO_P50[1:0]	R/W	5:4	0	GIO_P50 端子の切り替え
GIO_P49[1:0]	R/W	3:2	0	GIO_P49 端子の切り替え
GIO_P48[1:0]	R/W	1:0	0	GIO_P48 端子の切り替え

PINSEL_GIO_Pxx	2'b00	2'b01	2'b10	2'b11	説　明
端子名	デフォルト				
SP0_CS1	GIO_P48	SP0_CS1			
SP0_CS2	GIO_P49	SP0_CS2			
LCD_PXCLK	GIO_P50	LCD_PXCLK			LCD 使用時切り替え
LCD_R0	GIO_P51	LCD_R0			LCD 使用時切り替え
LCD_R1	GIO_P52	LCD_R1			LCD 使用時切り替え
LCD_R2	GIO_P53	LCD_R2			LCD 使用時切り替え
LCD_R3	GIO_P54	LCD_R3			LCD 使用時切り替え
LCD_R4	GIO_P55	LCD_R4			LCD 使用時切り替え
LCD_R5	GIO_P56	LCD_R5			LCD 使用時切り替え
LCD_G0	GIO_P57	LCD_G0			LCD 使用時切り替え
LCD_G1	GIO_P58	LCD_G1			LCD 使用時切り替え
LCD_G2	GIO_P59	LCD_G2			LCD 使用時切り替え
LCD_G3	GIO_P60	LCD_G3			LCD 使用時切り替え
LCD_G4	GIO_P61	LCD_G4			LCD 使用時切り替え
LCD_G5	GIO_P62	LCD_G5			LCD 使用時切り替え
LCD_B0	GIO_P63	LCD_B0			LCD 使用時切り替え

（12）GIO_P[79:64]兼用端子切り替えレジスタ

本レジスタ（CHG_PINSEL_G64：C014_0210H）は，GIO_P[79:64]端子の機能を切り替えるレジスタです。

本レジスタでは，GIO_Pxx 端子の機能を，GIO_Pxx[1:0]ビットで設定します。

31	30	29	28	27	26	25	24
GIO_P79[1:0]		GIO_P78[1:0]		GIO_P77[1:0]		GIO_P76[1:0]	

23	22	21	20	19	18	17	16
GIO_P75[1:0]		GIO_P74[1:0]		GIO_P73[1:0]		GIO_P72[1:0]	

15	14	13	12	11	10	9	8
GIO_P71[1:0]		GIO_P70[1:0]		GIO_P69[1:0]		GIO_P68[1:0]	

7	6	5	4	3	2	1	0
GIO_P67[1:0]		GIO_P66[1:0]		GIO_P65[1:0]		GIO_P64[1:0]	

名　　称	R/W	ビット	リセット時	機　　能
GIO_P79[1:0]	R/W	31:30	0	GIO_P79 端子の切り替え
GIO_P78[1:0]	R/W	29:28	0	GIO_P78 端子の切り替え
GIO_P77[1:0]	R/W	27:26	0	GIO_P77 端子の切り替え
GIO_P76[1:0]	R/W	25:24	0	GIO_P76 端子の切り替え
GIO_P75[1:0]	R/W	23:22	0	GIO_P75 端子の切り替え
GIO_P74[1:0]	R/W	21:20	0	GIO_P74 端子の切り替え
GIO_P73[1:0]	R/W	19:18	0	GIO_P73 端子の切り替え
GIO_P72[1:0]	R/W	17:16	0	GIO_P72 端子の切り替え
GIO_P71[1:0]	R/W	15:14	0	GIO_P71 端子の切り替え
GIO_P70[1:0]	R/W	13:12	0	GIO_P70 端子の切り替え
GIO_P69[1:0]	R/W	11:10	0	GIO_P69 端子の切り替え
GIO_P68[1:0]	R/W	9:8	0	GIO_P68 端子の切り替え
GIO_P67[1:0]	R/W	7:6	0	GIO_P67 端子の切り替え
GIO_P66[1:0]	R/W	5:4	0	GIO_P66 端子の切り替え
GIO_P65[1:0]	R/W	3:2	0	GIO_P65 端子の切り替え
GIO_P64[1:0]	R/W	1:0	0	GIO_P64 端子の切り替え

PINSEL_GIO_Pxx	2'b00	2'b01	2'b10	2'b11	説　明
端子名	デフォルト				
LCD_B1	GIO_P64	LCD_B1			LCD 使用時切り替え
LCD_B2	GIO_P65	LCD_B2			LCD 使用時切り替え
LCD_B3	GIO_P66	LCD_B3			LCD 使用時切り替え
LCD_B4	GIO_P67	LCD_B4			LCD 使用時切り替え
LCD_B5	GIO_P68	LCD_B5			LCD 使用時切り替え
LCD_HSYNC	GIO_P69	LCD_HSYNC			LCD 使用時切り替え
LCD_VSYNC	GIO_P70	LCD_VSYNC			LCD 使用時切り替え
LCD_ENABLE	GIO_P71	LCD_ENABLE			LCD 使用時切り替え
NTS_CLK	GIO_P72	NTS_CLK		PM1_CLK	
NTS_VS	GIO_P73	NTS_VS	SP1_CLK		
NTS_HS	GIO_P74	NTS_HS	SP1_SI		
NTS_DATA0	GIO_P75	NTS_DATA0	SP1_SO	CAM_YUV0	
NTS_DATA1	GIO_P76	NTS_DATA1	SP1_CS0	CAM_YUV1	
NTS_DATA2	GIO_P77	NTS_DATA2	SP1_CS1	CAM_YUV2	
NTS_DATA3	GIO_P78	NTS_DATA3	SP1_CS2	CAM_YUV3	
NTS_DATA4	GIO_P79	NTS_DATA4	SP1_CS3	CAM_YUV4	

(13) GIO_P[95:80]兼用端子切り替えレジスタ

本レジスタ (CHG_PINSEL_G80：C014_0214H) は，GIO_P[95:80]端子の機能を切り替えるレジスタです。

本レジスタでは，GIO_Pxx 端子の機能を，GIO_Pxx[1:0]ビットで設定します。

31	30	29	28	27	26	25	24
GIO_P95[1:0]		GIO_P94[1:0]		GIO_P93[1:0]		GIO_P92[1:0]	

23	22	21	20	19	18	17	16
GIO_P91[1:0]		GIO_P90[1:0]		GIO_P89[1:0]		GIO_P88[1:0]	

15	14	13	12	11	10	9	8
GIO_P87[1:0]		GIO_P86[1:0]		GIO_P85[1:0]		GIO_P84[1:0]	

7	6	5	4	3	2	1	0
GIO_P83[1:0]		GIO_P82[1:0]		GIO_P81[1:0]		GIO_P80[1:0]	

名　　称	R/W	ビット	リセット時	機　　能
GIO_P95[1:0]	R/W	31:30	0	GIO_P95 端子の切り替え
GIO_P94[1:0]	R/W	29:28	0	GIO_P94 端子の切り替え
GIO_P93[1:0]	R/W	27:26	0	GIO_P93 端子の切り替え
GIO_P92[1:0]	R/W	25:24	0	GIO_P92 端子の切り替え
GIO_P91[1:0]	R/W	23:22	0	GIO_P91 端子の切り替え
GIO_P90[1:0]	R/W	21:20	0	GIO_P90 端子の切り替え
GIO_P89[1:0]	R/W	19:18	0	GIO_P89 端子の切り替え
GIO_P88[1:0]	R/W	17:16	0	GIO_P88 端子の切り替え
GIO_P87[1:0]	R/W	15:14	0	GIO_P87 端子の切り替え
GIO_P86[1:0]	R/W	13:12	0	GIO_P86 端子の切り替え
GIO_P85[1:0]	R/W	11:10	0	GIO_P85 端子の切り替え
GIO_P84[1:0]	R/W	9:8	0	GIO_P84 端子の切り替え
GIO_P83[1:0]	R/W	7:6	0	GIO_P83 端子の切り替え
GIO_P82[1:0]	R/W	5:4	0	GIO_P82 端子の切り替え
GIO_P81[1:0]	R/W	3:2	0	GIO_P81 端子の切り替え
GIO_P80[1:0]	R/W	1:0	0	GIO_P80 端子の切り替え

PINSEL_GIO_Pxx	2'b00	2'b01	2'b10	2'b11	説　明
端子名	デフォルト				
NTS_DATA5	GIO_P80	NTS_DATA5	SP1_CS4	PM1_SEN	
NTS_DATA6	GIO_P81	NTS_DATA6	SP1_CS5	PM1_SI	
NTS_DATA7	GIO_P82	NTS_DATA7		PM1_SO	
IIC_SCL	GIO_P83	IIC_SCL			
IIC_SDA	GIO_P84	IIC_SDA			
URT0_CTSB	GIO_P85	URT0_CTSB	URT1_SRIN		
URT0_RTSB	GIO_P86	URT0_RTSB	URT1_SOUT		
PM0_SI	GIO_P87	PM0_SI			PM0 使用時切り替え
SD0_DATA1	GIO_P88	SD0_DATA1			
SD0_DATA2	GIO_P89	SD0_DATA2			
SD0_DATA3	GIO_P90	SD0_DATA3			
SD0_CKI	GIO_P91	SD0_CKI			
SD1_CKI	GIO_P92	SD1_CKI	CAM_CLKI		
SD2_CKI	GIO_P93	SD2_CKI	NAND_OE		
PWM0	GIO_P94	PWM0			
PWM1	GIO_P95	PWM1			

(14) GIO_P[111:96]兼用端子切り替えレジスタ

本レジスタ (CHG_PINSEL_G96：C014_0218H) は，GIO_P[111:96]端子の機能を切り替えるレジスタです。

本レジスタでは，GIO_Pxx 端子の機能を，GIO_Pxx[1:0]ビットで設定します。

31	30	29	28	27	26	25	24
GIO_P111[1:0]		GIO_P110[1:0]		GIO_P109[1:0]		GIO_P108[1:0]	
23	22	21	20	19	18	17	16
GIO_P107[1:0]		GIO_P106[1:0]		GIO_P105[1:0]		GIO_P104[1:0]	
15	14	13	12	11	10	9	8
GIO_P103[1:0]		GIO_P102[1:0]		GIO_P101[1:0]		GIO_P100[1:0]	
7	6	5	4	3	2	1	0
GIO_P99[1:0]		GIO_P98[1:0]		GIO_P97[1:0]		GIO_P96[1:0]	

名　　称	R/W	ビット	リセット時	機　　能
GIO_P111[1:0]	R/W	31:30	0	GIO_P111 端子の切り替え
GIO_P110[1:0]	R/W	29:28	0	GIO_P110 端子の切り替え
GIO_P109[1:0]	R/W	27:26	0	GIO_P109 端子の切り替え
GIO_P108[1:0]	R/W	25:24	0	GIO_P108 端子の切り替え
GIO_P107[1:0]	R/W	23:22	0	GIO_P107 端子の切り替え
GIO_P106[1:0]	R/W	21:20	0	GIO_P106 端子の切り替え
GIO_P105[1:0]	R/W	19:18	0	GIO_P105 端子の切り替え
GIO_P104[1:0]	R/W	17:16	0	GIO_P104 端子の切り替え
GIO_P103[1:0]	R/W	15:14	0	GIO_P103 端子の切り替え
GIO_P102[1:0]	R/W	13:12	0	GIO_P102 端子の切り替え
GIO_P101[1:0]	R/W	11:10	0	GIO_P101 端子の切り替え
GIO_P100[1:0]	R/W	9:8	0	GIO_P100 端子の切り替え
GIO_P99[1:0]	R/W	7:6	0	GIO_P99 端子の切り替え
GIO_P98[1:0]	R/W	5:4	0	GIO_P98 端子の切り替え
GIO_P97[1:0]	R/W	3:2	0	GIO_P97 端子の切り替え
GIO_P96[1:0]	R/W	1:0	0	GIO_P96 端子の切り替え

PINSEL_GIO_Pxx	2'b00	2'b01	2'b10	2'b11	説　明
端子名	デフォルト				
USB_CLK	GIO_P96	USB_CLK			
USB_DATA0	GIO_P97	USB_DATA0			
USB_DATA1	GIO_P98	USB_DATA1			
USB_DATA2	GIO_P99	USB_DATA2			
USB_DATA3	GIO_P100	USB_DATA3			
USB_DATA4	GIO_P101	USB_DATA4			
USB_DATA5	GIO_P102	USB_DATA5			
USB_DATA6	GIO_P103	USB_DATA6			
USB_DATA7	GIO_P104	USB_DATA7			
USB_DIR	GIO_P105	USB_DIR			
USB_STP	GIO_P106	USB_STP			
USB_NXT	GIO_P107	USB_NXT			
URT2_SRIN	GIO_P108	URT2_SRIN	NAND_ALE		
URT2_SOUT	GIO_P109	URT2_SOUT	NAND_CLE		
URT2_CTSB	GIO_P110	URT2_CTSB	NAND_D0		
URT2_RTSB	GIO_P111	URT2_RTSB	NAND_D1		

(15) GIO_P[117:112]兼用端子切り替えレジスタ

本レジスタ（CHG_PINSEL_G112：C014_021C）は，GIO_P[117:112]端子の機能を切り替えるレジスタです。

本レジスタでは，GIO_Pxx 端子の機能を，GIO_Pxx[1:0]ビットで設定します。

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
GIO_P119[1:0]		GIO_P118[1:0]		GIO_P117[1:0]		GIO_P116[1:0]	

7	6	5	4	3	2	1	0
GIO_P115[1:0]		GIO_P114[1:0]		GIO_P113[1:0]		GIO_P112[1:0]	

名　称	R/W	ビット	リセット時	機　能
Reserved	R	31:16	ー	予約。読み出すと 0 を返します。
GIO_P119[1:0]	R/W	15:14	0	予備 GIO_P119 端子の切り替え
GIO_P118[1:0]	R/W	13:12	0	予備 GIO_P118 端子の切り替え
GIO_P117[1:0]	R/W	11:10	0	GIO_P117 端子の切り替え
GIO_P116[1:0]	R/W	9:8	0	GIO_P116 端子の切り替え
GIO_P115[1:0]	R/W	7:6	0	GIO_P115 端子の切り替え
GIO_P114[1:0]	R/W	5:4	0	GIO_P114 端子の切り替え
GIO_P113[1:0]	R/W	3:2	0	GIO_P113 端子の切り替え
GIO_P112[1:0]	R/W	1:0	0	GIO_P112 端子の切り替え

PINSEL_GIO_Pxx	2'b00	2'b01	2'b10	2'b11	説　明
端子名	デフォルト				
SD2_CKO	GIO_P112	SD2_CKO	NAND_D2		
SD2_CMD	GIO_P113	SD2_CMD	NAND_D3		
SD2_DATA0	GIO_P114	SD2_DATA0	NAND_D4		
SD2_DATA1	GIO_P115	SD2_DATA1	NAND_D5		
SD2_DATA2	GIO_P116	SD2_DATA2	NAND_D6		
SD2_DATA3	GIO_P117	SD2_DATA3	NAND_D7		

(16) SP0 兼用端子切り替えレジスタ

本レジスタ（CHG_PINSEL_SP0：C014_0280）は，SP0 端子の機能を切り替えるレジスタです。

SP0_CS1, SP0_CS2 端子は GIO_P48, GIO_P49 で切り替えます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						PINSEL_SP0[1:0]	

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:2	ー	予約。読み出すと 0 を返します。
PINSEL_SP0[1:0]	R/W	1:0	0	SP0 端子の切り替え

PINSEL_SP0	2'b00	2'b01	2'b10	2'b11	説　　明
端子名	デフォルト				
SP0_CLK	SP0_CLK	MWI_SK			
SP0_SI	SP0_SI	MWI_SI			
SP0_SO	SP0_SO	MWI_SO			
SP0_CS0	SP0_CS0	MWI_CS			
SP0_CS1	GIO_P48	SP0_CS1			GIO_P48 で切り替える
SP0_CS2	GIO_P49	SP0_CS2			GIO_P49 で切り替える

(17) DTV 兼用端子切り替えレジスタ

本レジスタ（CHG_PINSEL_DTV：C014_0284H）は，DTV 端子の機能を切り替えるレジスタです。

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved							

7	6	5	4	3	2	1	0
Reserved						PINSEL_DTV[1:0]	

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:2	－	予約。読み出すと 0 を返します。
PINSEL_DTV[1:0]	R/W	1:0	0	DTV 端子の切り替え

PINSEL_DTV	2'b00	2'b01	2'b10	2'b11	説　　明
端子名	デフォルト	SP2			
DTV_BCLK	DTV_BCLK	SP2_CLK			
DTV_DATA	DTV_DATA	SP2_SI			
DTV_PSYNC	DTV_PSYNC	SP2_SO			
DTV_VLD	DTV_VLD	SP2_CS0			

(18) SD0 兼用端子切り替えレジスタ

本レジスタ（CHG_PINSEL_SD0：C014_0288H）は，SD0 端子の機能を切り替えるレジスタです。

SD0_DATA[3:1], SD0_CKI は GIO_P[91:88]で切り替えます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						PINSEL_SD0[1:0]	

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:2	ー	予約。読み出すと 0 を返します。
PINSEL_SD0[1:0]	R/W	1:0	0	SD0 端子の切り替え

PINSEL_SD0	2'b00	2'b01	2'b10	2'b11	説　　明
端子名	デフォルト				
SD0_CKO	SD0_CKO				
SD0_CMD	SD0_CMD				
SD0_DATA0	SD0_DATA0				
SD0_DATA1	GIO_P88	SD0_DATA1			GIO_P88 で切り替える
SD0_DATA2	GIO_P89	SD0_DATA2			GIO_P89 で切り替える
SD0_DATA3	GIO_P90	SD0_DATA3			GIO_P90 で切り替える
SD0_CKI	GIO_P91	SD0_CKI			GIO_P91 で切り替える

(19) SD1 兼用端子切り替えレジスタ

本レジスタ（CHG_PINSEL_SD1：C014_028CH）は，SD1 端子の機能を切り替えるレジスタです。

SD1_CKI は GIO_P92 で切り替えます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						PINSEL_SD1[1:0]	

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:2	ー	予約。読み出すと 0 を返します。
PINSEL_SD1[1:0]	R/W	1:0	0	SD1 端子の切り替え

PINSEL_SD1	2'b00	2'b01	2'b10	2'b11	説　　明
端子名	デフォルト		CAM		
SD1_CKO	SD1_CKO				
SD1_CMD	SD1_CMD		CAM_YUV5		
SD1_DATA0	SD1_DATA0		CAM_YUV6		
SD1_DATA1	SD1_DATA1		CAM_YUV7		
SD1_DATA2	SD1_DATA2		CAM_VS		
SD1_DATA3	SD1_DATA3		CAM_HS		
SD1_CKI	GIO_P92	SD1_CKI	CAM_CLKI		GIO_P92 で切り替える

(20) IIC2 兼用端子切り替えレジスタ

本レジスタ（CHG_PINSEL_IIC2：C014_0290H）は，IIC2 端子の機能を切り替えるレジスタです。

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved							

7	6	5	4	3	2	1	0
Reserved						PINSEL_IIC2[1:0]	

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:2	－	予約。読み出すと 0 を返します。
PINSEL_IIC2[1:0]	R/W	1:0	0	IIC2 端子の切り替え

PINSEL_IIC2	2'b00	2'b01	2'b10	2'b11	説　　明
端子名	デフォルト		NAND		
IIC2_SCL	IIC2_SCL		NAND_WE		
IIC2_SDA	IIC2_SDA		NAND_RB0		

(21) REFCLKO クロック端子切り替えレジスタ

本レジスタ（CHG_PINSEL_REFCLKO：C014_0294H）は，REFCLKO 端子の機能を切り替えるレジスタです。

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved							

7	6	5	4	3	2	1	0
Reserved						PINSEL_REFCLKO[1:0]	

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:2	ー	予約。読み出すと 0 を返します。
PINSEL_REFCLKO [1:0]	R/W	1:0	0	REFCLKO 端子の切り替え

PINSEL_REFCLKO	2'b00	2'b01	2'b10	2'b11	説　　明
端子名	デフォルト				
REFCLKO	OSC12M_OUT	PLL2OUT			内部 OSC／内部 PLL2 切り替え

(22) GIO_P[7:0]端子プルアップ／プルダウン／入力イネーブル制御レジスタ

本レジスタ（CHG_PULL_G00：C014_0300H）は，GIO_P[7:0]端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	GIO07_IE	GIO07_UPC	GIO07_POENB	Reserved	GIO06_IE	GIO06_UPC	GIO06_POENB
23	22	21	20	19	18	17	16
Reserved	GIO05_IE	GIO05_UPC	GIO05_POENB	Reserved	GIO04_IE	GIO04_UPC	GIO04_POENB
15	14	13	12	11	10	9	8
Reserved	GIO03_IE	GIO03_UPC	GIO03_POENB	Reserved	GIO02_IE	GIO02_UPC	GIO02_POENB
7	6	5	4	3	2	1	0
Reserved	GIO01_IE	GIO01_UPC	GIO01_POENB	Reserved	GIO00_IE	GIO00_UPC	GIO00_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
GIO07_IE	R/W	30	0	GIO_P7 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO07_UPC	R/W	29	0	GIO_P7 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO07_POENB	R/W	28	0	GIO_P7 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
GIO06_IE	R/W	26	0	GIO_P6 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO06_UPC	R/W	25	0	GIO_P6 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO06_POENB	R/W	24	0	GIO_P6 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
GIO05_IE	R/W	22	0	GIO_P5 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO05_UPC	R/W	21	0	GIO_P5 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO05_POENB	R/W	20	0	GIO_P5 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
GIO04_IE	R/W	18	0	GIO_P4 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
GIO04_UPC	R/W	17	0	GIO_P4 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO04_POENB	R/W	16	0	GIO_P4 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
GIO03_IE	R/W	14	0	GIO_P3 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO03_UPC	R/W	13	0	GIO_P3 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO03_POENB	R/W	12	0	GIO_P3 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
GIO02_IE	R/W	10	0	GIO_P2 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO02_UPC	R/W	9	0	GIO_P2 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO02_POENB	R/W	8	0	GIO_P2 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
GIO01_IE	R/W	6	0	GIO_P1 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO01_UPC	R/W	5	0	GIO_P1 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO01_POENB	R/W	4	0	GIO_P1 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
GIO00_IE	R/W	2	0	GIO_P0 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO00_UPC	R/W	1	0	GIO_P0 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO00_POENB	R/W	0	0	GIO_P0 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

(23) GIO_P[15:8]端子プルアップ／プルダウン／入力イネーブル制御レジスタ

本レジスタ (CHG_PULL_G08：C014_0304H) は，GIO_P[15:8]端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	GIO15_IE	GIO15_UPC	GIO15_POENB	Reserved	GIO14_IE	GIO14_UPC	GIO14_POENB
23	22	21	20	19	18	17	16
Reserved	GIO13_IE	GIO13_UPC	GIO13_POENB	Reserved	GIO12_IE	GIO12_UPC	GIO12_POENB
15	14	13	12	11	10	9	8
Reserved	GIO11_IE	GIO11_UPC	GIO11_POENB	Reserved	GIO10_IE	GIO10_UPC	GIO10_POENB
7	6	5	4	3	2	1	0
Reserved	GIO09_IE	GIO09_UPC	GIO09_POENB	Reserved	GIO08_IE	GIO08_UPC	GIO08_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
GIO15_IE	R/W	30	0	予備ビット注。GIO_P15 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO15_UPC	R/W	29	0	予備ビット注。GIO_P15 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO15_POENB	R/W	28	0	予備ビット注。GIO_P15 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
GIO14_IE	R/W	26	0	予備ビット注。GIO_P14 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO14_UPC	R/W	25	0	予備ビット注。GIO_P14 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO14_POENB	R/W	24	0	予備ビット注。GIO_P14 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
GIO13_IE	R/W	22	0	予備ビット注。GIO_P13 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO13_UPC	R/W	21	0	予備ビット注。GIO_P13 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO13_POENB	R/W	20	0	予備ビット注。GIO_P13 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
GIO12_IE	R/W	18	0	予備ビット注。GIO_P12 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO12_UPC	R/W	17	0	予備ビット注。GIO_P12 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
GIO12_POENB	R/W	16	0	予備ビット注。GIO_P12 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
GIO11_IE	R/W	14	0	GIO_P11 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO11_UPC	R/W	13	0	GIO_P11 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO11_POENB	R/W	12	0	GIO_P11 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
GIO10_IE	R/W	10	0	GIO_P10 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO10_UPC	R/W	9	0	GIO_P10 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO10_POENB	R/W	8	0	GIO_P10 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
GIO9_IE	R/W	6	0	GIO_P9 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO9_UPC	R/W	5	0	GIO_P9 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO9_POENB	R/W	4	0	GIO_P9 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
GIO8_IE	R/W	2	0	GIO_P8 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO8_UPC	R/W	1	0	GIO_P8 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO8_POENB	R/W	0	0	GIO_P8 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(24) GIO_P[23:16]端子プルアップ／プルダウン／入力イネーブル制御レジスタ

本レジスタ（CHG_PULL_G16：C014_0308H）は，GIO_P[23:16]端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	GIO23_IE	GIO23_UPC	GIO23_POENB	Reserved	GIO22_IE	GIO22_UPC	GIO22_POENB
23	22	21	20	19	18	17	16
Reserved	GIO21_IE	GIO21_UPC	GIO21_POENB	Reserved	GIO20_IE	GIO20_UPC	GIO20_POENB
15	14	13	12	11	10	9	8
Reserved	GIO19_IE	GIO19_UPC	GIO19_POENB	Reserved	GIO18_IE	GIO18_UPC	GIO18_POENB
7	6	5	4	3	2	1	0
Reserved	GIO17_IE	GIO17_UPC	GIO17_POENB	Reserved	GIO16_IE	GIO16_UPC	GIO16_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
GIO23_IE	R/W	30	0	予備ビット注。GIO_P23 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO23_UPC	R/W	29	0	予備ビット注。GIO_P23 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO23_POENB	R/W	28	0	予備ビット注。GIO_P23 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
GIO22_IE	R/W	26	0	予備ビット注。GIO_P22 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO22_UPC	R/W	25	0	予備ビット注。GIO_P22 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO22_POENB	R/W	24	0	予備ビット注。GIO_P22 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
GIO21_IE	R/W	22	0	予備ビット注。GIO_P21 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO21_UPC	R/W	21	0	予備ビット注。GIO_P21 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO21_POENB	R/W	20	0	予備ビット注。GIO_P21 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
GIO20_IE	R/W	18	0	予備ビット注。GIO_P20 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
GIO20_UPC	R/W	17	0	予備ビット注。GIO_P20 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO20_POENB	R/W	16	0	予備ビット注。GIO_P20 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
GIO19_IE	R/W	14	0	予備ビット注。GIO_P19 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO19_UPC	R/W	13	0	予備ビット注。GIO_P19 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO19_POENB	R/W	12	0	予備ビット注。GIO_P19 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
GIO18_IE	R/W	10	0	予備ビット注。GIO_P18 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO18_UPC	R/W	9	0	予備ビット注。GIO_P18 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO18_POENB	R/W	8	0	予備ビット注。GIO_P18 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
GIO17_IE	R/W	6	0	予備ビット注。GIO_P17 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO17_UPC	R/W	5	0	予備ビット注。GIO_P17 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO17_POENB	R/W	4	0	予備ビット注。GIO_P17 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
GIO16_IE	R/W	2	0	予備ビット注。GIO_P16 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO16_UPC	R/W	1	0	予備ビット注。GIO_P16 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO16_POENB	R/W	0	0	予備ビット注。GIO_P16 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(25) GIO_P[31:24]端子プルアップ／プルダウン／入力イネーブル制御レジスタ

本レジスタ（CHG_PULL_G24：C014_030CH）は，GIO_P[31:24]端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	GIO31_IE	GIO31_UPC	GIO31_POENB	Reserved	GIO30_IE	GIO30_UPC	GIO30_POENB
23	22	21	20	19	18	17	16
Reserved	GIO29_IE	GIO29_UPC	GIO29_POENB	Reserved	GIO28_IE	GIO28_UPC	GIO28_POENB
15	14	13	12	11	10	9	8
Reserved	GIO27_IE	GIO27_UPC	GIO27_POENB	Reserved	GIO26_IE	GIO26_UPC	GIO26_POENB
7	6	5	4	3	2	1	0
Reserved	GIO25_IE	GIO25_UPC	GIO25_POENB	Reserved	GIO24_IE	GIO24_UPC	GIO24_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
GIO31_IE	R/W	30	0	予備ビット注。GIO31 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO31_UPC	R/W	29	0	GIO_P31 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO31_POENB	R/W	28	0	GIO_P31 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
GIO30_IE	R/W	26	0	予備ビット注。GIO_P30 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO30_UPC	R/W	25	0	GIO_P30 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO30_POENB	R/W	24	0	GIO_P30 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
GIO29_IE	R/W	22	0	予備ビット注。GIO_P29 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO29_UPC	R/W	21	0	GIO_P29 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO29_POENB	R/W	20	0	GIO_P29 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
GIO28_IE	R/W	18	0	予備ビット注。GIO_P28 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
GIO28_UPC	R/W	17	0	GIO_P28 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO28_POENB	R/W	16	0	GIO_P28 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
GIO27_IE	R/W	14	0	予備ビット注。GIO_P27 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO27_UPC	R/W	13	0	予備ビット注。GIO_P27 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO27_POENB	R/W	12	0	予備ビット注。GIO_P27 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
GIO26_IE	R/W	10	0	予備ビット注。GIO_P26 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO26_UPC	R/W	9	0	予備ビット注。GIO_P26 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO26_POENB	R/W	8	0	予備ビット注。GIO_P26 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
GIO25_IE	R/W	6	0	予備ビット注。GIO_P25 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO25_UPC	R/W	5	0	予備ビット注。GIO_P25 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO25_POENB	R/W	4	0	予備ビット注。GIO_P25 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
GIO24_IE	R/W	2	0	予備ビット注。GIO_P24 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO24_UPC	R/W	1	0	予備ビット注。GIO_P24 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO24_POENB	R/W	0	0	予備ビット注。GIO_P24 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(26) GIO_P[39:32]端子プルアップ／プルダウン／入力イネーブル制御レジスタ

本レジスタ（CHG_PULL_G32：C014_0310H）は，GIO_P[39:32]端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	GIO39_IE	GIO39_UPC	GIO39_POENB	Reserved	GIO38_IE	GIO38_UPC	GIO38_POENB
23	22	21	20	19	18	17	16
Reserved	GIO37_IE	GIO37_UPC	GIO37_POENB	Reserved	GIO36_IE	GIO36_UPC	GIO36_POENB
15	14	13	12	11	10	9	8
Reserved	GIO35_IE	GIO35_UPC	GIO35_POENB	Reserved	GIO34_IE	GIO34_UPC	GIO34_POENB
7	6	5	4	3	2	1	0
Reserved	GIO33_IE	GIO33_UPC	GIO33_POENB	Reserved	GIO32_IE	GIO32_UPC	GIO32_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
GIO39_IE	R/W	30	0	予備ビット注。GIO_P39 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO39_UPC	R/W	29	0	GIO_P39 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO39_POENB	R/W	28	0	GIO_P39 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
GIO38_IE	R/W	26	0	予備ビット注。GIO_P38 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO38_UPC	R/W	25	0	GIO_P38 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO38_POENB	R/W	24	0	GIO_P38 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
GIO37_IE	R/W	22	0	予備ビット注。GIO_P37 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO37_UPC	R/W	21	0	GIO_P37 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO37_POENB	R/W	20	0	GIO_P37 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
GIO36_IE	R/W	18	0	予備ビット注。GIO_P36 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
GIO36_UPC	R/W	17	0	GIO_P36 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO36_POENB	R/W	16	0	GIO_P36 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
GIO35_IE	R/W	14	0	予備ビット注。GIO_P35 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO35_UPC	R/W	13	0	GIO_P35 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO35_POENB	R/W	12	0	GIO_P35 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
GIO34_IE	R/W	10	0	予備ビット注。GIO_P34 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO34_UPC	R/W	9	0	GIO_P34 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO34_POENB	R/W	8	0	GIO_P34 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
GIO33_IE	R/W	6	0	予備ビット注。GIO_P33 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO33_UPC	R/W	5	0	GIO_P33 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO33_POENB	R/W	4	0	GIO_P33 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
GIO32_IE	R/W	2	0	予備ビット注。GIO_P32 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO32_UPC	R/W	1	0	GIO_P32 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO32_POENB	R/W	0	0	GIO_P32 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(27) GIO_P[47:40]端子プルアップ／プルダウン／入力イネーブル制御レジスタ

本レジスタ（CHG_PULL_G40：C014_0314H）は，GIO_P[47:40]端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	GIO47_IE	GIO47_UPC	GIO47_POENB	Reserved	GIO46_IE	GIO46_UPC	GIO46_POENB
23	22	21	20	19	18	17	16
Reserved	GIO45_IE	GIO45_UPC	GIO45_POENB	Reserved	GIO44_IE	GIO44_UPC	GIO44_POENB
15	14	13	12	11	10	9	8
Reserved	GIO43_IE	GIO43_UPC	GIO43_POENB	Reserved	GIO42_IE	GIO42_UPC	GIO42_POENB
7	6	5	4	3	2	1	0
Reserved	GIO41_IE	GIO41_UPC	GIO41_POENB	Reserved	GIO40_IE	GIO40_UPC	GIO40_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
GIO47_IE	R/W	30	0	予備ビット注。GIO_P47 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO47_UPC	R/W	29	0	GIO_P47 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO47_POENB	R/W	28	0	GIO_P47 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
GIO46_IE	R/W	26	0	予備ビット注。GIO_P46 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO46_UPC	R/W	25	0	GIO_P46 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO46_POENB	R/W	24	0	GIO_P46 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
GIO45_IE	R/W	22	0	予備ビット注。GIO_P45 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO45_UPC	R/W	21	0	GIO_P45 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO45_POENB	R/W	20	0	GIO_P45 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
GIO44_IE	R/W	18	0	予備ビット注。GIO_P44 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO44_UPC	R/W	17	0	GIO_P44 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
GIO44_POENB	R/W	16	0	GIO_P44 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
GIO43_IE	R/W	14	0	予備ビット注。GIO_P43 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO43_UPC	R/W	13	1	GIO_P43 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO43_POENB	R/W	12	0	GIO_P43 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
GIO42_IE	R/W	10	0	予備ビット注。GIO_P42 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO42_UPC	R/W	9	1	GIO_P42 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO42_POENB	R/W	8	0	GIO_P42 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
GIO41_IE	R/W	6	0	予備ビット注。GIO_P41 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO41_UPC	R/W	5	0	GIO_P41 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO41_POENB	R/W	4	0	GIO_P41 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
GIO40_IE	R/W	2	0	予備ビット注。GIO_P40 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO40_UPC	R/W	1	0	GIO_P40 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO40_POENB	R/W	0	0	GIO_P40 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(28) GIO_P[55:48]端子プルアップ／プルダウン／入力イネーブル制御レジスタ

本レジスタ（CHG_PULL_G48：C014_0318H）は，GIO_P[55:48]端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	GIO55_IE	GIO55_UPC	GIO55_POENB	Reserved	GIO54_IE	GIO54_UPC	GIO54_POENB
23	22	21	20	19	18	17	16
Reserved	GIO53_IE	GIO53_UPC	GIO53_POENB	Reserved	GIO52_IE	GIO52_UPC	GIO52_POENB
15	14	13	12	11	10	9	8
Reserved	GIO51_IE	GIO51_UPC	GIO51_POENB	Reserved	GIO50_IE	GIO50_UPC	GIO50_POENB
7	6	5	4	3	2	1	0
Reserved	GIO49_IE	GIO49_UPC	GIO49_POENB	Reserved	GIO48_IE	GIO48_UPC	GIO48_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
GIO55_IE	R/W	30	0	GIO_P55 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO55_UPC	R/W	29	0	GIO_P55 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO55_POENB	R/W	28	1	GIO_P55 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
GIO54_IE	R/W	26	0	GIO_P54 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO54_UPC	R/W	25	0	GIO_P54 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO54_POENB	R/W	24	1	GIO_P54 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
GIO53_IE	R/W	22	0	GIO_P53 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO53_UPC	R/W	21	0	GIO_P53 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO53_POENB	R/W	20	1	GIO_P53 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
GIO52_IE	R/W	18	0	GIO_P52 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
GIO52_UPC	R/W	17	0	GIO_P52 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO52_POENB	R/W	16	1	GIO_P52 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
GIO51_IE	R/W	14	0	GIO_P51 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO51_UPC	R/W	13	0	GIO_P51 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO51_POENB	R/W	12	1	GIO_P51 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
GIO50_IE	R/W	10	0	GIO_P50 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO50_UPC	R/W	9	0	GIO_P50 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO50_POENB	R/W	8	1	GIO_P50 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
GIO49_IE	R/W	6	0	GIO_P49 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO49_UPC	R/W	5	0	GIO_P49 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO49_POENB	R/W	4	1	GIO_P49 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
GIO48_IE	R/W	2	0	GIO_P48 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO48_UPC	R/W	1	0	GIO_P48 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO48_POENB	R/W	0	1	GIO_P48 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

(29) GIO_P[63:56]端子プルアップ／プルダウン／入力イネーブル制御レジスタ

本レジスタ（CHG_PULL_G56：C014_031CH）は，GIO_P[63:56]端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	GIO63_IE	GIO63_UPC	GIO63_POENB	Reserved	GIO62_IE	GIO62_UPC	GIO62_POENB
23	22	21	20	19	18	17	16
Reserved	GIO61_IE	GIO61_UPC	GIO61_POENB	Reserved	GIO60_IE	GIO60_UPC	GIO60_POENB
15	14	13	12	11	10	9	8
Reserved	GIO59_IE	GIO59_UPC	GIO59_POENB	Reserved	GIO58_IE	GIO58_UPC	GIO58_POENB
7	6	5	4	3	2	1	0
Reserved	GIO57_IE	GIO57_UPC	GIO57_POENB	Reserved	GIO56_IE	GIO56_UPC	GIO56_POENB

(1/2)

名　称	R/W	ビット	リセット時	機　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
GIO63_IE	R/W	30	0	GIO_P63 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO63_UPC	R/W	29	0	GIO_P63 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO63_POENB	R/W	28	1	GIO_P63 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
GIO62_IE	R/W	26	0	GIO_P62 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO62_UPC	R/W	25	0	GIO_P62 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO62_POENB	R/W	24	1	GIO_P62 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
GIO61_IE	R/W	22	0	GIO_P61 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO61_UPC	R/W	21	0	GIO_P61 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO61_POENB	R/W	20	1	GIO_P61 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
GIO60_IE	R/W	18	0	GIO_P60 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
GIO60_UPC	R/W	17	0	GIO_P60 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO60_POENB	R/W	16	1	GIO_P60 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
GIO59_IE	R/W	14	0	GIO_P59 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO59_UPC	R/W	13	0	GIO_P59 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO59_POENB	R/W	12	1	GIO_P59 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
GIO58_IE	R/W	10	0	GIO_P58 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO58_UPC	R/W	9	0	GIO_P58 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO58_POENB	R/W	8	1	GIO_P58 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
GIO57_IE	R/W	6	0	GIO_P57 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO57_UPC	R/W	5	0	GIO_P57 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO57_POENB	R/W	4	1	GIO_P57 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
GIO56_IE	R/W	2	0	GIO_P56 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO56_UPC	R/W	1	0	GIO_P56 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO56_POENB	R/W	0	1	GIO_P56 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

(30) GIO_P[71:64]端子プルアップ／プルダウン／入力イネーブル制御レジスタ

本レジスタ（CHG_PULL_G64：C014_0320H）は，GIO_P[71:64]端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	GIO71_IE	GIO71_UPC	GIO71_POENB	Reserved	GIO70_IE	GIO70_UPC	GIO70_POENB
23	22	21	20	19	18	17	16
Reserved	GIO69_IE	GIO69_UPC	GIO69_POENB	Reserved	GIO68_IE	GIO68_UPC	GIO68_POENB
15	14	13	12	11	10	9	8
Reserved	GIO67_IE	GIO67_UPC	GIO67_POENB	Reserved	GIO66_IE	GIO66_UPC	GIO66_POENB
7	6	5	4	3	2	1	0
Reserved	GIO65_IE	GIO65_UPC	GIO65_POENB	Reserved	GIO64_IE	GIO64_UPC	GIO64_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
GIO71_IE	R/W	30	0	GIO_P71 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO71_UPC	R/W	29	0	GIO_P71 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO71_POENB	R/W	28	1	GIO_P71 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
GIO70_IE	R/W	26	0	GIO_P70 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO70_UPC	R/W	25	0	GIO_P70 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO70_POENB	R/W	24	1	GIO_P70 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
GIO69_IE	R/W	22	0	GIO_P69 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO69_UPC	R/W	21	0	GIO_P69 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO69_POENB	R/W	20	1	GIO_P69 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
GIO68_IE	R/W	18	0	GIO_P68 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
GIO68_UPC	R/W	17	0	GIO_P68 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO68_POENB	R/W	16	1	GIO_P68 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
GIO67_IE	R/W	14	0	GIO_P67 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO67_UPC	R/W	13	0	GIO_P67 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO67_POENB	R/W	12	1	GIO_P67 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
GIO66_IE	R/W	10	0	GIO_P66 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO66_UPC	R/W	9	0	GIO_P66 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO66_POENB	R/W	8	1	GIO_P66 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
GIO65_IE	R/W	6	0	GIO_P65 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO65_UPC	R/W	5	0	GIO_P65 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO65_POENB	R/W	4	1	GIO_P65 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
GIO64_IE	R/W	2	0	GIO_P64 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO64_UPC	R/W	1	0	GIO_P64 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO64_POENB	R/W	0	1	GIO_P64 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

(31) GIO_P[79:72]端子プルアップ／プルダウン／入力イネーブル制御レジスタ

本レジスタ（CHG_PULL_G72：C014_0324H）は，GIO_P[79:72]端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	GIO79_IE	GIO79_UPC	GIO79_POENB	Reserved	GIO78_IE	GIO78_UPC	GIO78_POENB
23	22	21	20	19	18	17	16
Reserved	GIO77_IE	GIO77_UPC	GIO77_POENB	Reserved	GIO76_IE	GIO76_UPC	GIO76_POENB
15	14	13	12	11	10	9	8
Reserved	GIO75_IE	GIO75_UPC	GIO75_POENB	Reserved	GIO74_IE	GIO74_UPC	GIO74_POENB
7	6	5	4	3	2	1	0
Reserved	GIO73_IE	GIO73_UPC	GIO73_POENB	Reserved	GIO72_IE	GIO72_UPC	GIO72_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
GIO79_IE	R/W	30	0	GIO_P79 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO79_UPC	R/W	29	0	GIO_P79 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO79_POENB	R/W	28	0	GIO_P79 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
GIO78_IE	R/W	26	0	GIO_P78 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO78_UPC	R/W	25	0	GIO_P78 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO78_POENB	R/W	24	0	GIO_P78 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
GIO77_IE	R/W	22	0	GIO_P77 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO77_UPC	R/W	21	0	GIO_P77 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO77_POENB	R/W	20	0	GIO_P77 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
GIO76_IE	R/W	18	0	GIO_P76 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
GIO76_UPC	R/W	17	0	GIO_P76 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO76_POENB	R/W	16	0	GIO_P76 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
GIO75_IE	R/W	14	0	GIO_P75 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO75_UPC	R/W	13	0	GIO_P75 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO75_POENB	R/W	12	0	GIO_P75 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
GIO74_IE	R/W	10	0	GIO_P74 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO74_UPC	R/W	9	0	GIO_P74 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO74_POENB	R/W	8	0	GIO_P74 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
GIO73_IE	R/W	6	0	GIO_P73 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO73_UPC	R/W	5	0	GIO_P73 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO73_POENB	R/W	4	0	GIO_P73 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
GIO72_IE	R/W	2	0	予備ビット注。GIO_P72 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO72_UPC	R/W	1	0	GIO_P72 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO72_POENB	R/W	0	0	GIO_P72 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

(32) GIO_P[87:80]端子プルアップ／プルダウン／入力イネーブル制御レジスタ

本レジスタ（CHG_PULL_G80：C014_0328H）は，GIO_P[87:80]端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	GIO87_IE	GIO87_UPC	GIO87_POENB	Reserved	GIO86_IE	GIO86_UPC	GIO86_POENB
23	22	21	20	19	18	17	16
Reserved	GIO85_IE	GIO85_UPC	GIO85_POENB	Reserved	GIO84_IE	GIO84_UPC	GIO84_POENB
15	14	13	12	11	10	9	8
Reserved	GIO83_IE	GIO83_UPC	GIO83_POENB	Reserved	GIO82_IE	GIO82_UPC	GIO82_POENB
7	6	5	4	3	2	1	0
Reserved	GIO81_IE	GIO81_UPC	GIO81_POENB	Reserved	GIO80_IE	GIO80_UPC	GIO80_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
GIO87_IE	R/W	30	0	GIO_P87 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO87_UPC	R/W	29	0	GIO_P87 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO87_POENB	R/W	28	0	GIO_P87 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
GIO86_IE	R/W	26	0	GIO_P86 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO86_UPC	R/W	25	0	GIO_P86 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO86_POENB	R/W	24	0	GIO_P86 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
GIO85_IE	R/W	22	0	GIO_P85 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO85_UPC	R/W	21	0	GIO_P85 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO85_POENB	R/W	20	0	GIO_P85 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
GIO84_IE	R/W	18	0	予備ビット[注]。GIO_P84 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
GIO84_UPC	R/W	17	0	GIO_P84 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO84_POENB	R/W	16	0	GIO_P84 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
GIO83_IE	R/W	14	0	予備ビット注。GIO_P83 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO83_UPC	R/W	13	0	GIO_P83 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO83_POENB	R/W	12	0	GIO_P83 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
GIO82_IE	R/W	10	0	GIO_P82 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO82_UPC	R/W	9	0	GIO_P82 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO82_POENB	R/W	8	0	GIO_P82 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
GIO81_IE	R/W	6	0	GIO_P81 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO81_UPC	R/W	5	0	GIO_P81 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO81_POENB	R/W	4	0	GIO_P81 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
GIO80_IE	R/W	2	0	GIO_P80 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO80_UPC	R/W	1	0	GIO_P80 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO80_POENB	R/W	0	0	GIO_P80 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(33) GIO_P[95:88]端子プルアップ／プルダウン／入力イネーブル制御レジスタ

本レジスタ（CHG_PULL_G88：C014_032CH）は，GIO_P[95:88]端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	GIO95_IE	GIO95_UPC	GIO95_POENB	Reserved	GIO94_IE	GIO94_UPC	GIO94_POENB
23	22	21	20	19	18	17	16
Reserved	GIO93_IE	GIO93_UPC	GIO93_POENB	Reserved	GIO92_IE	GIO92_UPC	GIO92_POENB
15	14	13	12	11	10	9	8
Reserved	GIO91_IE	GIO91_UPC	GIO91_POENB	Reserved	GIO90_IE	GIO90_UPC	GIO90_POENB
7	6	5	4	3	2	1	0
Reserved	GIO89_IE	GIO89_UPC	GIO89_POENB	Reserved	GIO88_IE	GIO88_UPC	GIO88_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
GIO95_IE	R/W	30	0	GIO_P95 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO95_UPC	R/W	29	0	GIO_P95 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO95_POENB	R/W	28	0	GIO_P95 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
GIO94_IE	R/W	26	0	GIO_P94 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO94_UPC	R/W	25	0	GIO_P94 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO94_POENB	R/W	24	0	GIO_P94 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
GIO93_IE	R/W	22	0	予備ビット注。GIO_P93 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO93_UPC	R/W	21	0	GIO_P93 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO93_POENB	R/W	20	0	GIO_P93 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
GIO92_IE	R/W	18	0	予備ビット注。GIO_P92 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
GIO92_UPC	R/W	17	0	GIO_P92 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO92_POENB	R/W	16	0	GIO_P92 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
GIO91_IE	R/W	14	0	予備ビット注。GIO_P91 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO91_UPC	R/W	13	0	GIO_P91 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO91_POENB	R/W	12	0	GIO_P91 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
GIO90_IE	R/W	10	0	GIO_P90 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO90_UPC	R/W	9	0	GIO_P90 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO90_POENB	R/W	8	0	GIO_P90 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
GIO89_IE	R/W	6	0	GIO_P89 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO89_UPC	R/W	5	0	GIO_P89 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO89_POENB	R/W	4	0	GIO_P89 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
GIO88_IE	R/W	2	0	GIO_P88 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO88_UPC	R/W	1	0	GIO_P88 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO88_POENB	R/W	0	0	GIO_P88 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(34) GIO_P[103:96]端子プルアップ／プルダウン／入力イネーブル制御レジスタ

本レジスタ（CHG_PULL_G96：C014_0330H）は，GIO_P[103:96]端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	GIO103_IE	GIO103_UPC	GIO103_POENB	Reserved	GIO102_IE	GIO102_UPC	GIO102_POENB
23	22	21	20	19	18	17	16
Reserved	GIO101_IE	GIO101_UPC	GIO101_POENB	Reserved	GIO100_IE	GIO100_UPC	GIO100_POENB
15	14	13	12	11	10	9	8
Reserved	GIO99_IE	GIO99_UPC	GIO99_POENB	Reserved	GIO98_IE	GIO98_UPC	GIO98_POENB
7	6	5	4	3	2	1	0
Reserved	GIO97_IE	GIO97_UPC	GIO97_POENB	Reserved	GIO96_IE	GIO96_UPC	GIO96_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
GIO103_IE	R/W	30	0	GIO_P103 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO103_UPC	R/W	29	0	GIO_P103 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO103_POENB	R/W	28	0	GIO_P103 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
GIO102_IE	R/W	26	0	GIO_P102 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO102_UPC	R/W	25	0	GIO_P102 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO102_POENB	R/W	24	0	GIO_P102 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
GIO101_IE	R/W	22	0	GIO_P101 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO101_UPC	R/W	21	0	GIO_P101 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO101_POENB	R/W	20	0	GIO_P101 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
GIO100_IE	R/W	18	0	GIO_P100 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
GIO100_UPC	R/W	17	0	GIO_P100 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO100_POENB	R/W	16	0	GIO_P100 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
GIO99_IE	R/W	14	0	GIO_P99 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO99_UPC	R/W	13	0	GIO_P99 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO99_POENB	R/W	12	0	GIO_P99 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
GIO98_IE	R/W	10	0	GIO_P98 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO98_UPC	R/W	9	0	GIO_P98 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO98_POENB	R/W	8	0	GIO_P98 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
GIO97_IE	R/W	6	0	GIO_P97 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO97_UPC	R/W	5	0	GIO_P97 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO97_POENB	R/W	4	0	GIO_P97 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
GIO96_IE	R/W	2	0	GIO_P96 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO96_UPC	R/W	1	0	GIO_P96 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO96_POENB	R/W	0	0	GIO_P96 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

(35) GIO_P[111:104]端子プルアップ／プルダウン／入力イネーブル制御レジスタ

本レジスタ（CHG_PULL_G104：C014_0334H）は，GIO_P[111:104]端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	GIO111_IE	GIO111_UPC	GIO111_POENB	Reserved	GIO110_IE	GIO110_UPC	GIO110_POENB
23	22	21	20	19	18	17	16
Reserved	GIO109_IE	GIO109_UPC	GIO109_POENB	Reserved	GIO108_IE	GIO108_UPC	GIO108_POENB
15	14	13	12	11	10	9	8
Reserved	GIO107_IE	GIO107_UPC	GIO107_POENB	Reserved	GIO106_IE	GIO106_UPC	GIO106_POENB
7	6	5	4	3	2	1	0
Reserved	GIO105_IE	GIO105_UPC	GIO105_POENB	Reserved	GIO104_IE	GIO104_UPC	GIO104_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
GIO111_IE	R/W	30	0	GIO_P111 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO111_UPC	R/W	29	0	GIO_P111 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO111_POENB	R/W	28	0	GIO_P111 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
GIO110_IE	R/W	26	0	GIO_P110 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO110_UPC	R/W	25	0	GIO_P110 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO110_POENB	R/W	24	0	GIO_P110 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
GIO109_IE	R/W	22	0	GIO_P109 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO109_UPC	R/W	21	0	GIO_P109 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO109_POENB	R/W	20	0	GIO_P109 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
GIO108_IE	R/W	18	0	GIO_P108 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
GIO108_UPC	R/W	17	0	GIO_P108 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO108_POENB	R/W	16	0	GIO_P108 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
GIO107_IE	R/W	14	0	GIO_P107 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO107_UPC	R/W	13	0	GIO_P107 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO107_POENB	R/W	12	0	GIO_P107 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
GIO106_IE	R/W	10	0	GIO_P106 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO106_UPC	R/W	9	0	GIO_P106 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO106_POENB	R/W	8	0	GIO_P106 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
GIO105_IE	R/W	6	0	GIO_P105 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO105_UPC	R/W	5	0	GIO_P105 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO105_POENB	R/W	4	0	GIO_P105 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
GIO104_IE	R/W	2	0	GIO_P104 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO104_UPC	R/W	1	0	GIO_P104 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO104_POENB	R/W	0	0	GIO_P104 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

(36) GIO_P[119:112]端子プルアップ／プルダウン／入力イネーブル制御レジスタ

本レジスタ（CHG_PULL_G112：C014_0338H）は，GIO_P[119:112]端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	GIO119_IE	GIO119_UPC	GIO119_POENB	Reserved	GIO118_IE	GIO118_UPC	GIO118_POENB
23	22	21	20	19	18	17	16
Reserved	GIO117_IE	GIO117_UPC	GIO117_POENB	Reserved	GIO116_IE	GIO116_UPC	GIO116_POENB
15	14	13	12	11	10	9	8
Reserved	GIO115_IE	GIO115_UPC	GIO115_POENB	Reserved	GIO114_IE	GIO114_UPC	GIO114_POENB
7	6	5	4	3	2	1	0
Reserved	GIO113_IE	GIO113_UPC	GIO113_POENB	Reserved	GIO112_IE	GIO112_UPC	GIO112_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
GIO119_IE	R/W	30	0	予備ビット注。GIO_P119 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO119_UPC	R/W	29	0	予備ビット注。GIO_P119 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO119_POENB	R/W	28	0	予備ビット注。GIO_P119 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
GIO118_IE	R/W	26	0	予備ビット注。GIO_P118 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO118_UPC	R/W	25	0	予備ビット注。GIO_P118 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO118_POENB	R/W	24	0	予備ビット注。GIO_P118 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
GIO117_IE	R/W	22	0	GIO_P117 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO117_UPC	R/W	21	0	GIO_P117 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO117_POENB	R/W	20	0	GIO_P117 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
GIO116_IE	R/W	18	0	GIO_P116 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
GIO116_UPC	R/W	17	0	GIO_P116 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO116_POENB	R/W	16	0	GIO_P116 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
GIO115_IE	R/W	14	0	GIO_P115 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO115_UPC	R/W	13	0	GIO_P115 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO115_POENB	R/W	12	0	GIO_P115 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
GIO114_IE	R/W	10	0	GIO_P114 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO114_UPC	R/W	9	0	GIO_P114 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO114_POENB	R/W	8	0	GIO_P114 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
GIO113_IE	R/W	6	0	GIO_P113 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO113_UPC	R/W	5	0	GIO_P113 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO113_POENB	R/W	4	0	GIO_P113 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
GIO112_IE	R/W	2	0	GIO_P112 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO112_UPC	R/W	1	0	GIO_P112 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO112_POENB	R/W	0	0	GIO_P112 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

(37) GIO_P[127:120]端子プルアップ／プルダウン／入力イネーブル制御レジスタ

本レジスタ（CHG_PULL_G120：C014_033CH）は，GIO_P[127:120]端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	GIO127_IE	GIO127_UPC	GIO127_POENB	Reserved	GIO126_IE	GIO126_UPC	GIO126_POENB
23	22	21	20	19	18	17	16
Reserved	GIO125_IE	GIO125_UPC	GIO125_POENB	Reserved	GIO124_IE	GIO124_UPC	GIO124_POENB
15	14	13	12	11	10	9	8
Reserved	GIO123_IE	GIO123_UPC	GIO123_POENB	Reserved	GIO122_IE	GIO122_UPC	GIO122_POENB
7	6	5	4	3	2	1	0
Reserved	GIO121_IE	GIO121_UPC	GIO121_POENB	Reserved	GIO120_IE	GIO120_UPC	GIO120_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
GIO127_IE	R/W	30	0	予備ビット注。GIO_P127 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO127_UPC	R/W	29	0	予備ビット注。GIO_P127 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO127_POENB	R/W	28	0	予備ビット注。GIO_P127 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
GIO126_IE	R/W	26	0	予備ビット注。GIO_P126 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO126_UPC	R/W	25	0	予備ビット注。GIO_P126 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO126_POENB	R/W	24	0	予備ビット注。GIO_P126 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
GIO125_IE	R/W	22	0	予備ビット注。GIO_P125 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO125_UPC	R/W	21	0	予備ビット注。GIO_P125 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO125_POENB	R/W	20	0	予備ビット注。GIO_P125 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
GIO124_IE	R/W	18	0	予備ビット注。GIO_P124 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
GIO124_UPC	R/W	17	0	予備ビット注。GIO_P124 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO124_POENB	R/W	16	0	予備ビット注。GIO_P124 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
GIO123_IE	R/W	14	0	予備ビット注。GIO_P123 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO123_UPC	R/W	13	0	予備ビット注。GIO_P123 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO123_POENB	R/W	12	0	予備ビット注。GIO_P123 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
GIO122_IE	R/W	10	0	予備ビット注。GIO_P122 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO122_UPC	R/W	9	0	予備ビット注。GIO_P122 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO122_POENB	R/W	8	0	予備ビット注。GIO_P122 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
GIO121_IE	R/W	6	0	予備ビット注。GIO_P121 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO121_UPC	R/W	5	0	予備ビット注。GIO_P121 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO121_POENB	R/W	4	0	予備ビット注。GIO_P121 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
GIO120_IE	R/W	2	0	予備ビット注。GIO_P120 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
GIO120_UPC	R/W	1	0	予備ビット注。GIO_P120 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
GIO120_POENB	R/W	0	0	予備ビット注。GIO_P120 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(38) プルアップ／プルダウン／入力イネーブル制御レジスタ 0

本レジスタ（CHG_PULL0：C014_0380H）は，URT0，IIC2，DTV，DEN 端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	URT0_SI_IE	URT0_SI_UPC	URT0_SI_POENB	Reserved	IIC2_IE	IIC2_UPC	IIC2_POENB
23	22	21	20	19	18	17	16
Reserved	DTV_V_IE	DTV_V_UPC	DTV_V_POENB	Reserved	DTV_S_IE	DTV_S_UPC	DTV_S_POENB
15	14	13	12	11	10	9	8
Reserved	DTV_D_IE	DTV_D_UPC	DTV_D_POENB	Reserved	DTV_CK_IE	DTV_CK_UPC	DTV_CK_POENB
7	6	5	4	3	2	1	0
Reserved					DEN_IE	DEN_UPC	DEN_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
URT0_SI_IE	R/W	30	0	URT0_SRIN 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
URT0_SI_UPC	R/W	29	0	URT0_SRIN 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
URT0_SI_POENB	R/W	28	0	URT0_SRIN 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します
IIC2_IE	R/W	26	0	予備ビット注。IIC_SCL，IIC_SDA 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
IIC2_UPC	R/W	25	0	IIC_SCL，IIC_SDA 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
IIC2_POENB	R/W	24	0	IIC_SCL，IIC_SDA 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
DTV_V_IE	R/W	22	0	DTV_VLD 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
DTV_V_UPC	R/W	21	0	DTV_VLD 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
DTV_V_POENB	R/W	20	0	DTV_VLD 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
DTV_S_IE	R/W	18	0	DTV_PSYNC 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
DTV_S_UPC	R/W	17	0	DTV_PSYNC 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
DTV_S_POENB	R/W	16	0	DTV_PSYNC 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
DTV_D_IE	R/W	14	0	DTV_DATA 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
DTV_D_UPC	R/W	13	0	DTV_DATA 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
DTV_D_POEN	R/W	12	0	DTV_DATA 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
DTV_CK_IE	R/W	10	0	予備ビット注。DTV_BCLK 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
DTV_CK_UPC	R/W	9	0	DTV_BCLK 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
DTV_CK_POEN	R/W	8	0	DTV_BCLK 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
DQS_IE	R/W	6	0	予備ビット注。DDR_DQS[3:0]端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
DQS_UPC	R/W	5	0	DDR_DQS[3:0]端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
DQS_POENB	R/W	4	0	DDR_DQS[3:0]端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
DEN_IE	R/W	2	1	DEBUG_EN 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
DEN_UPC	R/W	1	0	DEBUG_EN 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
DEN_POENB	R/W	0	0	DEBUG_EN 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(39) プルアップ／プルダウン／入力イネーブル制御レジスタ 1

本レジスタ（CHG_PULL1：C014_0384H）は，SP0，JT0A，JT0B，JT0C 端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	SP0_SO_IE	SP0_SO_UPC	SP0_SO_POENB	Reserved	SP0_SI_IE	SP0_SI_UPC	SP0_SI_POENB
23	22	21	20	19	18	17	16
Reserved	SP0_CS_IE	SP0_CS_UPC	SP0_CS_POENB	Reserved	SP0_CK_IE	SP0_CK_UPC	SP0_CK_POENB
15	14	13	12	11	10	9	8
Reserved	予備			Reserved	JT0C_IE	JT0C_UPC	JT0C_POENB
7	6	5	4	3	2	1	0
Reserved	JT0B_IE	JT0B_UPC	JT0B_POENB	Reserved	JT0A_IE	JT0A_UPC	JT0A_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
SP0_SO_IE	R/W	30	0	SP0_SO 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
SP0_SO_UPC	R/W	29	0	SP0_SO 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
SP0_SO_POENB	R/W	28	0	SP0_SO 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
SP0_SI_IE	R/W	26	0	SP0_SI 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
SP0_SI_UPC	R/W	25	0	SP0_SI 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
SP0_SI_POENB	R/W	24	0	SP0_SI 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
SP0_CS_IE	R/W	22	0	SP0_CS[2:0]端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
SP0_CS_UPC	R/W	21	0	SP0_CS[2:0]端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
SP0_CS_POENB	R/W	20	0	SP0_CS[2:0]端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
SP0_CK_IE	R/W	18	0	SP0_CLK 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
SP0_CK_UPC	R/W	17	0	SP0_CLK 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
SP0_CK_POENB	R/W	16	0	SP0_CLK 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
予備	R/W	14:12	0	予備ビット注
Reserved	R	11	－	予約。読み出すと 0 を返します。
JT0C_IE	R/W	10	1	JT0_TDI，JT0_TMS 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
JT0C_UPC	R/W	9	1	JT0_TDI，JT0_TMS 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
JT0C_POENB	R/W	8	0	JT0_TDI，JT0_TMS 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
JT0B_IE	R/W	6	0	予備ビット注。JT0_TCK 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
JT0B_UPC	R/W	5	0	JT0_TCK 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
JT0B_POENB	R/W	4	0	JT0_TCK 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
JT0A_IE	R/W	2	0	予備ビット注。JT0_TRSTB 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
JT0A_UPC	R/W	1	0	JT0_TRSTB 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
JT0A_POENB	R/W	0	0	JT0_TRSTB 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(40) プルアップ／プルダウン／入力イネーブル制御レジスタ 2

本レジスタ（CHG_PULL2：C014_0388H）は，PM0，SD0，SD1 端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved	PM0_EN_IE	PM0_EN_UPC	PM0_EN_POENB	Reserved	PM0_CK_IE	PM0_CK_UPC	PM0_CK_POENB
23	22	21	20	19	18	17	16
Reserved	SD1_D_IE	SD1_D_UPC	SD1_D_POENB	Reserved	SD1_CM_IE	SD1_CM_UPC	SD1_CM_POENB
15	14	13	12	11	10	9	8
Reserved	SD1_CK_IE	SD1_CK_UPC	SD1_CK_POENB	Reserved	SD0_D_IE	SD0_D_UPC	SD0_D_POENB
7	6	5	4	3	2	1	0
Reserved	SD0_CM_IE	SD0_CM_UPC	SD0_CM_POENB	Reserved	SD0_CK_IE	SD0_CK_UPC	SD0_CK_POENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31	－	予約。読み出すと 0 を返します。
PM0_EN_IE	R/W	30	0	PM0_SEN 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
PM0_EN_UPC	R/W	29	0	PM0_SEN 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
PM0_EN_POENB	R/W	28	0	PM0_SEN 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	27	－	予約。読み出すと 0 を返します。
PM0_CK_IE	R/W	26	0	予備ビット注。PM0_CLK 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
PM0_CK_UPC	R/W	25	0	PM0_CLK 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
PM0_CK_POENB	R/W	24	0	PM0_CLK 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	23	－	予約。読み出すと 0 を返します。
SD1_D_IE	R/W	22	0	SD1_D[3:0]端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
SD1_D_UPC	R/W	21	0	SD1_D[3:0]端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
SD1_D_POENB	R/W	20	0	SD1_D[3:0]端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	19	－	予約。読み出すと 0 を返します。
SD1_CM_IE	R/W	18	0	SD1_CMD 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
SD1_CM_UPC	R/W	17	0	SD1_CMD 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
SD1_CM_POENB	R/W	16	0	SD1_CMD 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	15	－	予約。読み出すと 0 を返します。
SD1_CK_IE	R/W	14	0	SD1_CKO 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
SD1_CK_UPC	R/W	13	0	SD1_CKI，SD1_CKO 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
SD1_CK_POENB	R/W	12	1	SD1_CKI，SD1_CKO 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
SD0_D_IE	R/W	10	0	SD0_D[3:0]端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
SD0_D_UPC	R/W	9	0	SD0_D[3:0]端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
SD0_D_POENB	R/W	8	0	SD0_D[3:0]端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
SD0_CM_IE	R/W	6	0	SD0_CMD 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
SD0_CM_UPC	R/W	5	0	SD0_CMD 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
SD0_CM_POENB	R/W	4	0	SD0_CMD 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
SD0_CK_IE	R/W	2	0	SD0_CKO 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
SD0_CK_UPC	R/W	1	0	SD0_CKI，SD0_CKO 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
SD0_CK_POENB	R/W	0	1	SD0_CKI，SD0_CKO 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

(41) プルアップ／プルダウン／入力イネーブル制御レジスタ 3

本レジスタ（CHG_PULL3：C014_038CH）は，RSV0，RSV1，RSV2，RSV3 端子のプルアップ／プルダウン／入力イネーブルを設定するレジスタです。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved	RSV3_IE	RSV3_UPC	RSV3_P0ENB	Reserved	RSV2_IE	RSV2_UPC	RSV2_P0ENB
7	6	5	4	3	2	1	0
Reserved	RSV1_IE	RSV1_UPC	RSV1_P0ENB	Reserved	RSV0_IE	RSV0_UPC	RSV0_P0ENB

(1/2)

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:15	－	予約。読み出すと 0 を返します。
RSV3_IE	R/W	14	0	予備ビット注。RSV3 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
RSV3_UPC	R/W	13	0	予備ビット注。RSV3 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
RSV3_POENB	R/W	12	0	予備ビット注。RSV3 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	11	－	予約。読み出すと 0 を返します。
RSV2_IE	R/W	10	0	予備ビット注。RSV2 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
RSV2_UPC	R/W	9	0	予備ビット注。RSV2 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
RSV2_POENB	R/W	8	0	予備ビット注。RSV2 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	7	－	予約。読み出すと 0 を返します。
RSV1_IE	R/W	6	0	予備ビット注。RSV1 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル
RSV1_UPC	R/W	5	0	予備ビット注。RSV1 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
RSV1_POENB	R/W	4	0	予備ビット注。RSV1 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効
Reserved	R	3	－	予約。読み出すと 0 を返します。
RSV0_IE	R/W	2	0	予備ビット注。RSV0 端子の入力イネーブルを設定します。 0：入力イネーブルをマスク，1：入力イネーブル

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(2/2)

名　　称	R/W	ビット	リセット時	機　　能
RSV0_UPC	R/W	1	0	予備ビット注。RSV0 端子のプルアップ／プルダウンを設定します。 0：プルダウン，1：プルアップ
RSV0_POENB	R/W	0	0	予備ビット注。RSV0 端子のプルアップ／プルダウン設定の有効／無効を切り替えます。 0：有効，1：無効

注　予備ビットは実装されているだけで，ハードウエアの状態を示すものではありません。

(42) ドライブ能力切り替えレジスタ 0

本レジスタ（CHG_DRIVE0：C014_0400H）は，IO バッファのドライブ能力を切り替えるレジスタです。

31	30	29	28	27	26	25	24
IIC		GIO2		GIO1		ERR	

23	22	21	20	19	18	17	16
DTV_CK		DTV		DQS		DQM	

15	14	13	12	11	10	9	8
DQ		DDR_CK		DDR-A		AB_W	

7	6	5	4	3	2	1	0
AB_D		AB_CK		AB_ADV		AB_A	

名　称	R/W	ビット	リセット時	機　能
IIC	R/W	31:30	01b	IIC_SCL，IIC_SDA 信号のドライブ能力切り替え
GIO2	R/W	29:28	01b	GIO_P[10:5]信号のドライブ能力切り替え
GIO1	R/W	27:26	01b	GIO_P[4:0], PWM0, PWM1 信号のドライブ能力切り替え
ERR	R/W	25:24	01b	ERR_RST_REQB 信号のドライブ能力切り替え
DTV_CK	R/W	23:22	01b	DTV_BCLK 信号のドライブ能力切り替え
DTV	R/W	21:20	01b	DTV_DATA，DTV_PSYNC，DTV_VLD 信号のドライブ能力切り替え
DQS	R/W	19:18	00b	DDR_DQS[3:0]信号のドライブ能力切り替え
DQM	R/W	17:16	00b	DDR_DQM[3:0]信号のドライブ能力切り替え
DQ	R/W	15:14	00b	DDR_DATA[31:0]信号のドライブ能力切り替え
DDR_CK	R/W	13:12	00b	DDR_MCLK，DDR_MCLKB 信号のドライブ能力切り替え
DDR_A	R/W	11:10	00b	DDR_A[13:0]，DDR_CKE[1:0]，DDR_CSB[1:0]，DDR_BA[1:0]信号のドライブ能力切り替え
AB_W	R/W	9:8	01b	AB0_WAIT 信号のドライブ能力切り替え
AB_D	R/W	7:6	01b	AB0_AD[15:0]信号のドライブ能力切り替え
AB_CK	R/W	5:4	01b	AB0_CLK 信号のドライブ能力切り替え
AB_ADV	R/W	3:2	01b	AB0_ADV 信号のドライブ能力切り替え
AB_A	R/W	1:0	01b	AB0_A[26:17]，AB0_RDB，AB0_WRB，AB0_CSB[3:0]，AB0_BEN[1:0] 信号のドライブ能力切り替え

ビット[19:10]			ビット[31:20][9:8][1:0]			ビット[7:2]		
[1]	[0]	ドライブ能力	[1]	[0]	ドライブ能力	[1]	[0]	ドライブ能力
0	0	4 mA（初期値）	0	0	2 mA	0	0	2 mA
0	1	6 mA	0	1	4 mA（初期値）	0	1	4 mA（初期値）
1	0	8 mA	1	0	6 mA	1	0	8 mA
1	1	12 mA	1	1	8 mA	1	1	12 mA

(43) ドライブ能力切り替えレジスタ 1

本レジスタ（CHG_DRIVE1：C014_0404H）は，IO バッファのドライブ能力を切り替えるレジスタです。

31	30	29	28	27	26	25	24
SP0_CK		SP0		SD2_CK		SD2	

23	22	21	20	19	18	17	16
SD1_CK		SD1		SD0_CK		SD0	

15	14	13	12	11	10	9	8
REF_CK		PM1_CK		PM1		PM0	

7	6	5	4	3	2	1	0
LCD_CK		LCD		JT0		IIC2	

名　称	R/W	ビット	リセット時	機　能
SP0_CK	R/W	31:30	01b	SP0_CLK 信号のドライブ能力の切り替え
SP0	R/W	29:28	01b	SP0_SI，SP0_SO，SP0_CS[2:0]信号のドライブ能力の切り替え
SD2_CK	R/W	27:26	01b	SD2_CKO 信号のドライブ能力の切り替え
SD2	R/W	25:24	01b	SD2_CMD，SD2_DATA[3:0], SD2_CKI 信号のドライブ能力の切り替え
SD1_CK	R/W	23:22	01b	SD1_CKO 信号のドライブ能力の切り替え
SD1	R/W	21:20	01b	SD1_CMD，SD1_DATA[3:0], SD1_CKI 信号のドライブ能力の切り替え
SD0_CK	R/W	19:18	01b	SD0_CKO 信号のドライブ能力の切り替え
SD0	R/W	17:16	01b	SD0_CMD，SD0_DATA[3:0], SD0_CKI 信号のドライブ能力の切り替え
REF_CK	R/W	15:14	01b	REFCLKO 信号のドライブ能力の切り替え
PM1_CK	R/W	13:12	01b	GIO_P79 信号のドライブ能力の切り替え
PM1	R/W	11:10	01b	GIO_P[82:80]信号のドライブ能力の切り替え
PM0	R/W	9:8	01b	PM0_CLK，PM0_SEN，PM0_SI，PM0_SO 信号のドライブ能力の切り替え
LCD_CK	R/W	7:6	01b	LCD_PXCLK 信号のドライブ能力の切り替え
LCD	R/W	5:4	01b	LCD_R[5:0]，LCD_G[5:0]，LCD_B[5:0],，LCD_HSYNC，LCD_VSYNC，LCD_ENABLE 信号のドライブ能力の切り替え
JT0	R/W	3:2	01b	JT0_TCK，JT0_TRSTB，JT0_TMS，JT0_TDI，JT0_TDO，JT0_RTCK 信号のドライブ能力の切り替え
IIC2	R/W	1:0	01b	IIC2_SCL，IIC2_SDA 信号のドライブ能力切り替え

ビット[7:4]			ビット[7:4]以外		
[1]	[0]	ドライブ能力	[1]	[0]	ドライブ能力
0	0	2 mA	0	0	2 mA
0	1	4 mA（初期値）	0	1	4 mA（初期値）
1	0	8 mA	1	0	6 mA
1	1	12 mA	1	1	8 mA

(44) ドライブ能力切り替えレジスタ 2

本レジスタ（CHG_DRIVE2：C014_0408H）は，IO バッファのドライブ能力を切り替えるレジスタです。

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
DRIVE_RSV3		DRIVE_RSV2		DRIVE_RSV1		USB_STP	

15	14	13	12	11	10	9	8
Reserved		USB_CLK		USB		URT2	

7	6	5	4	3	2	1	0
URT1		URT0		SP1_CK		SP1	

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:24	－	予約。読み出すと 0 を返します。
DRIVE_RSV3	R/W	23:22	0	DRIVE_RSV3 の予備ビットです。
DRIVE_RSV2	R/W	21:20	0	DRIVE_RSV2 の予備ビットです。
DRIVE_RSV1	R/W	19:18	0	DRIVE_RSV1 の予備ビットです。
USB_STP	R/W	17:16	01b	USB_STP のドライブ能力の切り替え
Reserved	R	15:14	－	予約。読み出すと 0 を返します。
USB_CLK	R/W	13:12	01b	USB_CLK のドライブ能力の切り替え
USB	R/W	11:10	01b	USB_DATA[7:0]，USB_DIR, USB_NXT 信号のドライブ能力の切り替え
URT2	R/W	9:8	01b	URT2_SRIN，URT2_SOUT，URT2_RTSB，URT2_CTSB 信号のドライブ能力の切り替え
URT1	R/W	7:6	01b	GIO_P[86:85]信号のドライブ能力の切り替え
URT0	R/W	5:4	01b	URT0_SOUT 信号のドライブ能力の切り替え
SP1_CK	R/W	3:2	01b	SP1_CLK 信号のドライブ能力の切り替え
SP1	R/W	1:0	01b	SP1_SI，SP1_SO，SP1_CS[3:0]信号のドライブ能力の切り替え

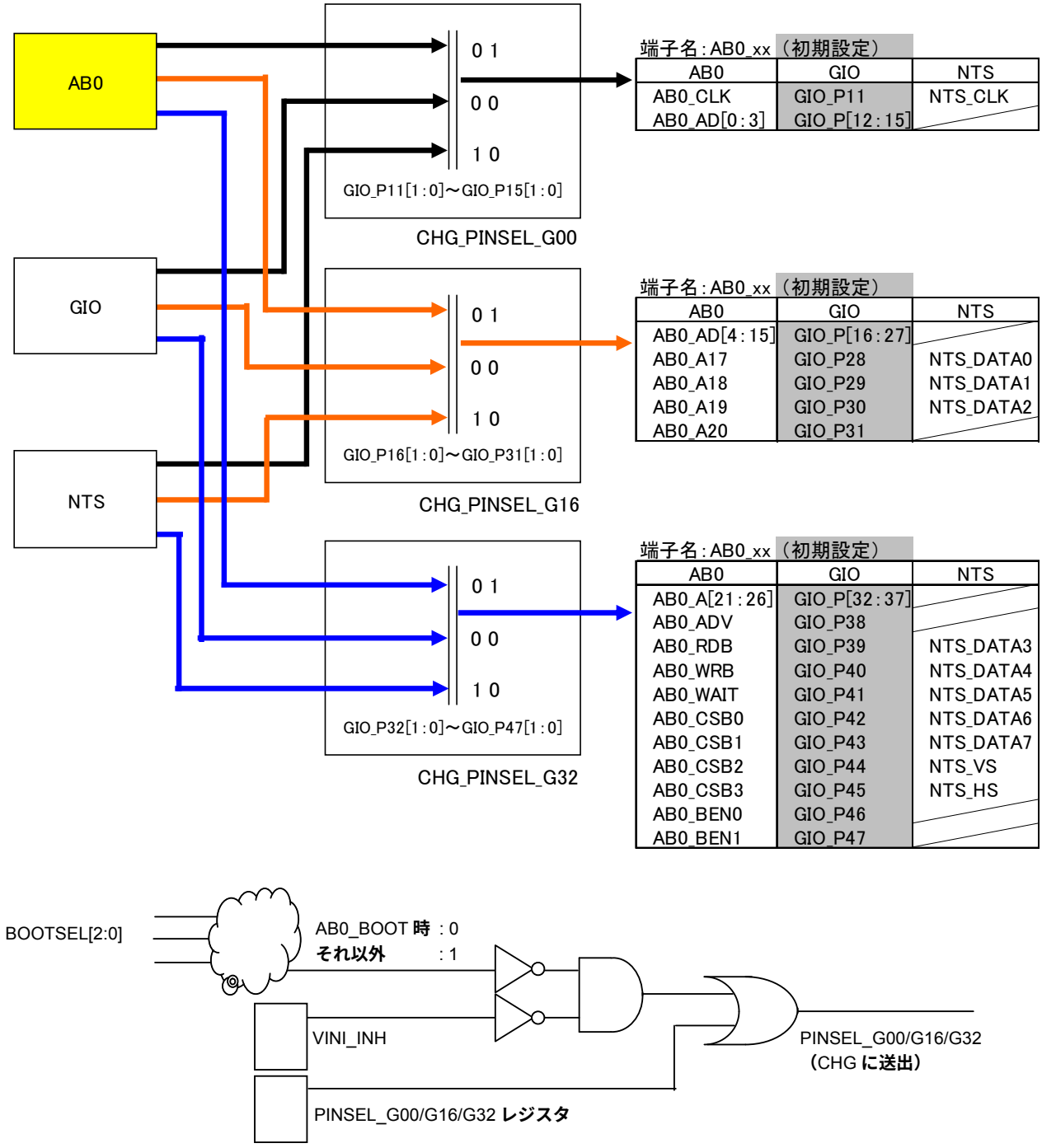
ビット[17:16]，[13:10]			ビット[9:0]		
[1]	[0]	ドライブ能力	[1]	[0]	ドライブ能力
0	0	2 mA	0	0	2 mA
0	1	4 mA（初期値）	0	1	4 mA（初期値）
1	0	8 mA	1	0	6 mA
1	1	12 mA	1	1	8 mA

8.2 セレクタ構成

8.2.1 AB0 インタフェース兼用端子

AB0 I/F で使用する端子のセレクタ構成を図 8－1 に示します。

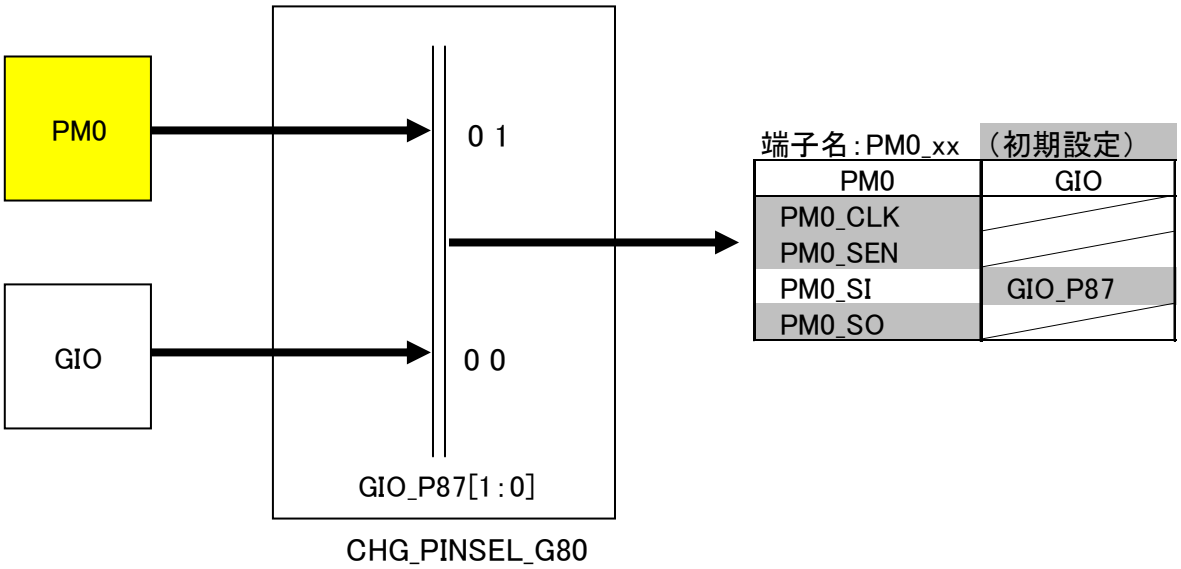
図 8－1 AB0 兼用端子のセレクタ構成



8.2.2 PCM0 インタフェース兼用端子

PM0 インタフェースで使用する端子のセレクタ構成を図 8－2 に示します。

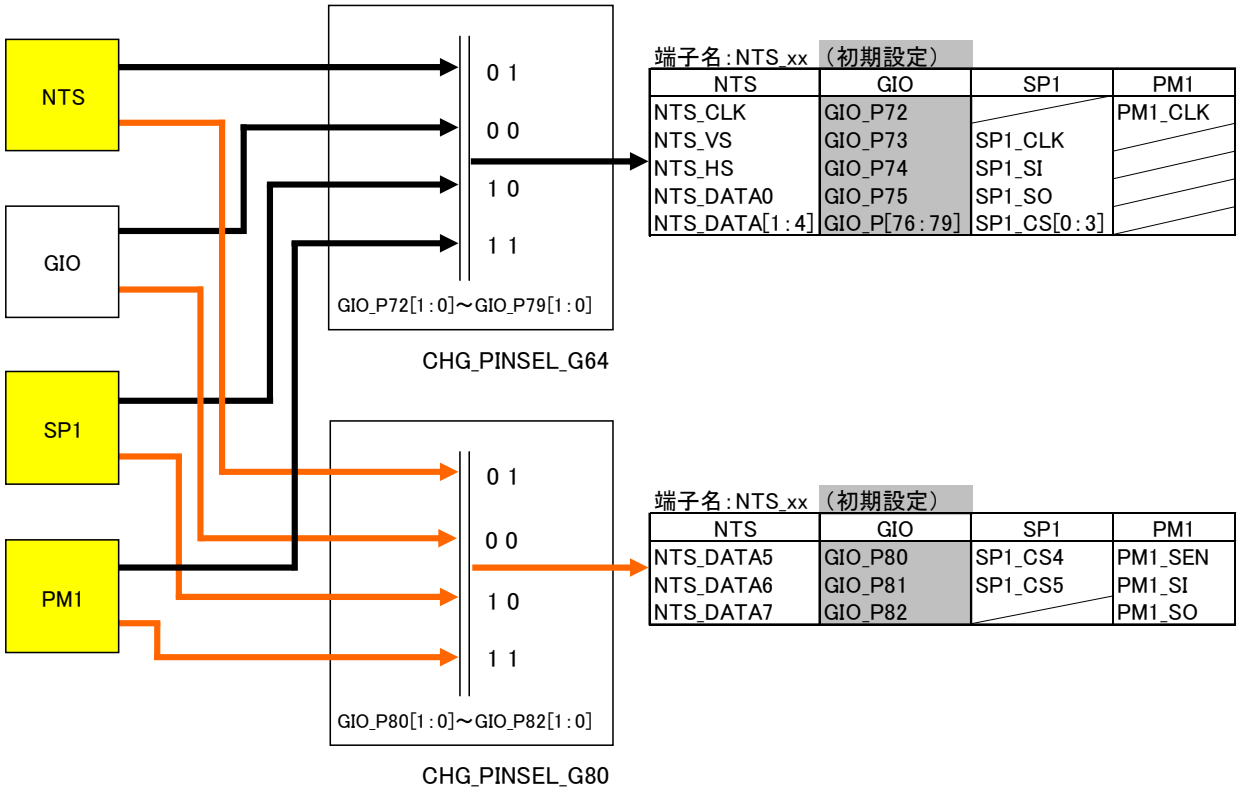
図 8－2 PCM0 インタフェース兼用端子のセレクタ構成



8.2.3 ITU-R BT.656／SPI1／PCM1 インタフェース兼用端子

NTSCインタフェース，SP1 インタフェース，PM1 インタフェースで使用する端子のセレクタ構成を 図 8－3に示します。

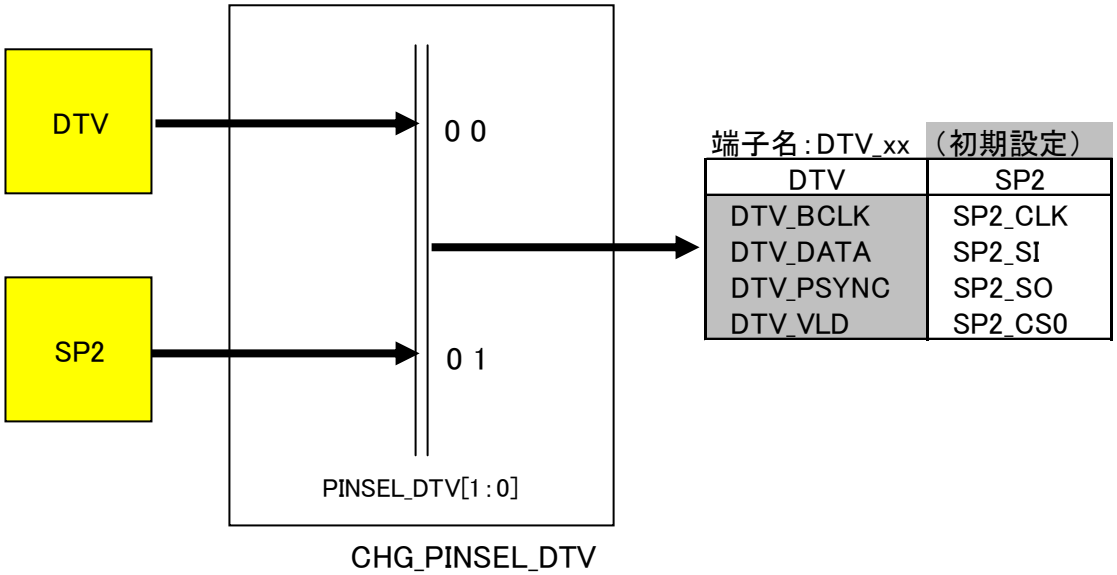
図 8－3 ITU-R BT.656／SPI1／PCM1 インタフェース兼用端子のセレクタ構成



8.2.4 DTV／SPI2 インタフェース兼用端子

DTVインタフェース，SP2 インタフェースで使用する端子のセレクタ構成を 図 8－4に示します。

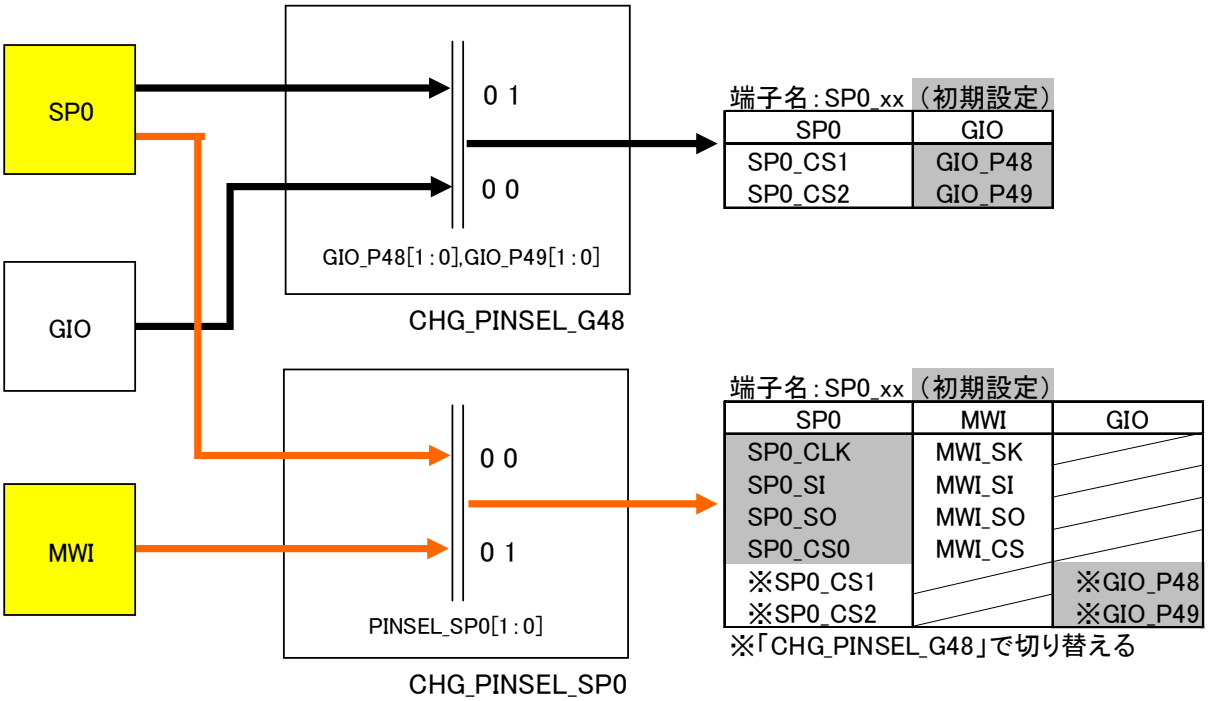
図 8－4 DTV／SPI2 インタフェース兼用端子のセレクタ構成



8.2.5 SPI0／MWIインタフェース兼用端子

SP0 インタフェース，MWIインタフェースで使用する端子のセレクタ構成を 図 8－5に示します。

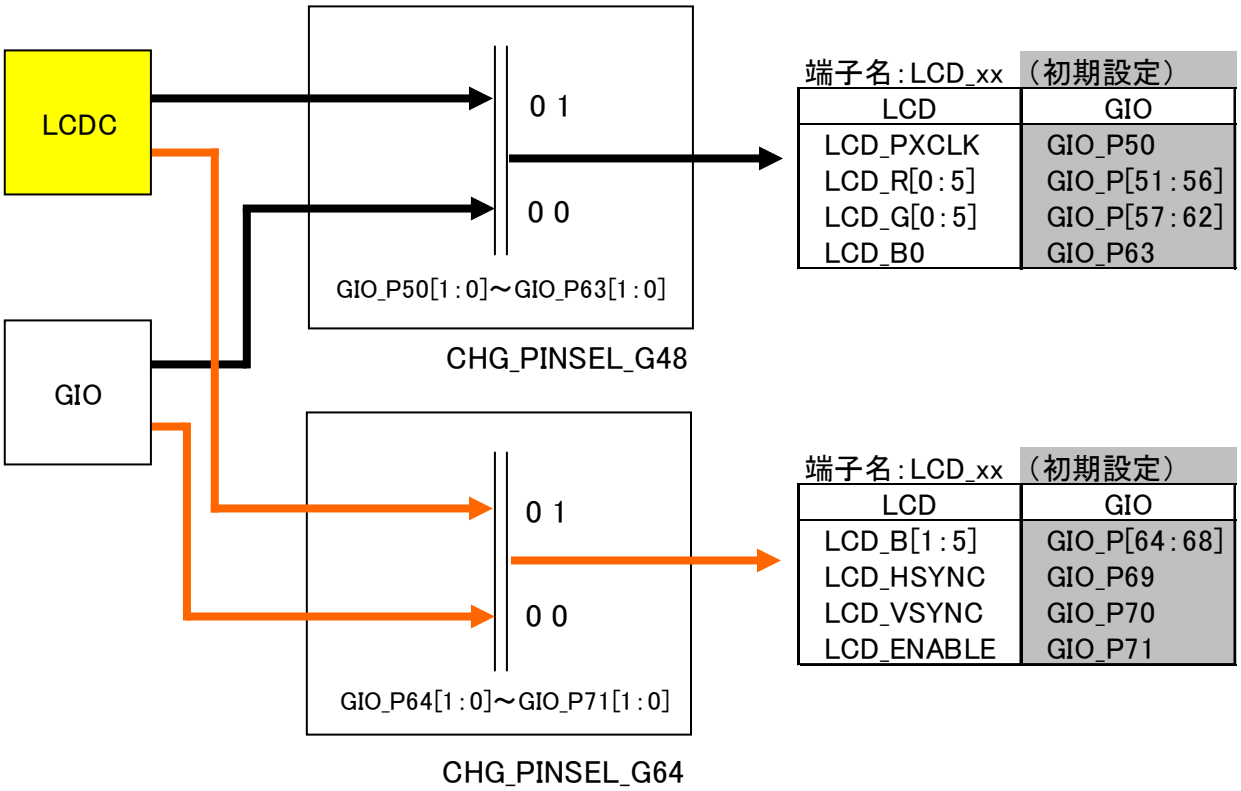
図 8－5 SPI0／MWI インタフェース兼用端子のセレクタ構成



8.2.6 LCDインタフェース兼用端子

LCDインタフェースで使用する端子のセレクタ構成を 図 8－6に示します。

図 8－6 LCD インタフェース兼用端子のセレクタ構成



端子名:LCD_xx （初期設定）

LCD	GIO
LCD_PXCLK	GIO_P50
LCD_R[0:5]	GIO_P[51:56]
LCD_G[0:5]	GIO_P[57:62]
LCD_B0	GIO_P63

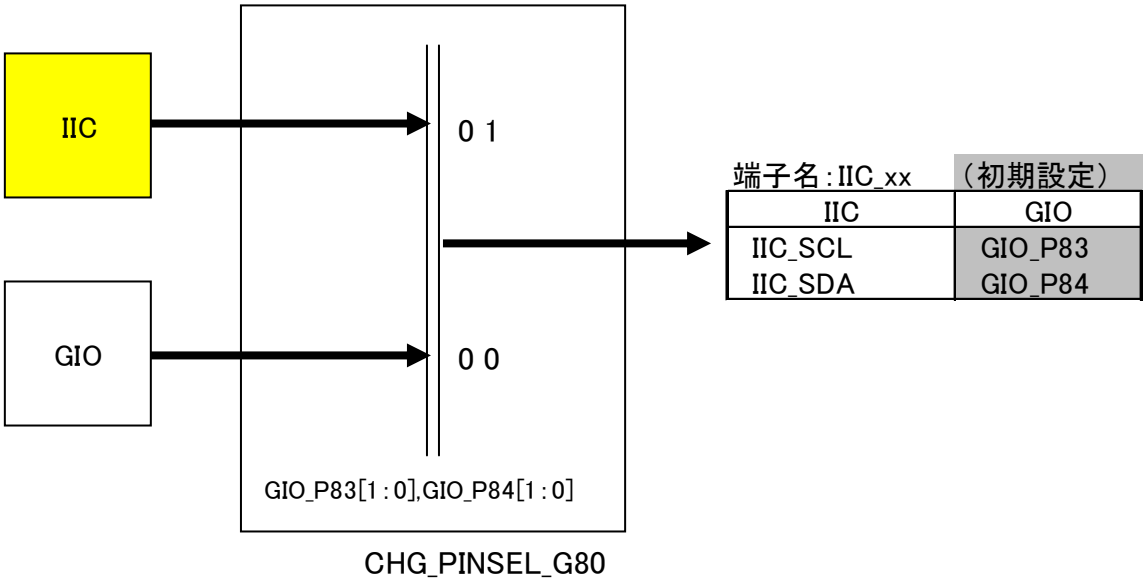
端子名:LCD_xx （初期設定）

LCD	GIO
LCD_B[1:5]	GIO_P[64:68]
LCD_HSYNC	GIO_P69
LCD_VSYNC	GIO_P70
LCD_ENABLE	GIO_P71

8.2.7 I²Cインタフェース兼用端子

I²Cインタフェースで使用する端子のセレクタ構成を 図 8－7に示します。

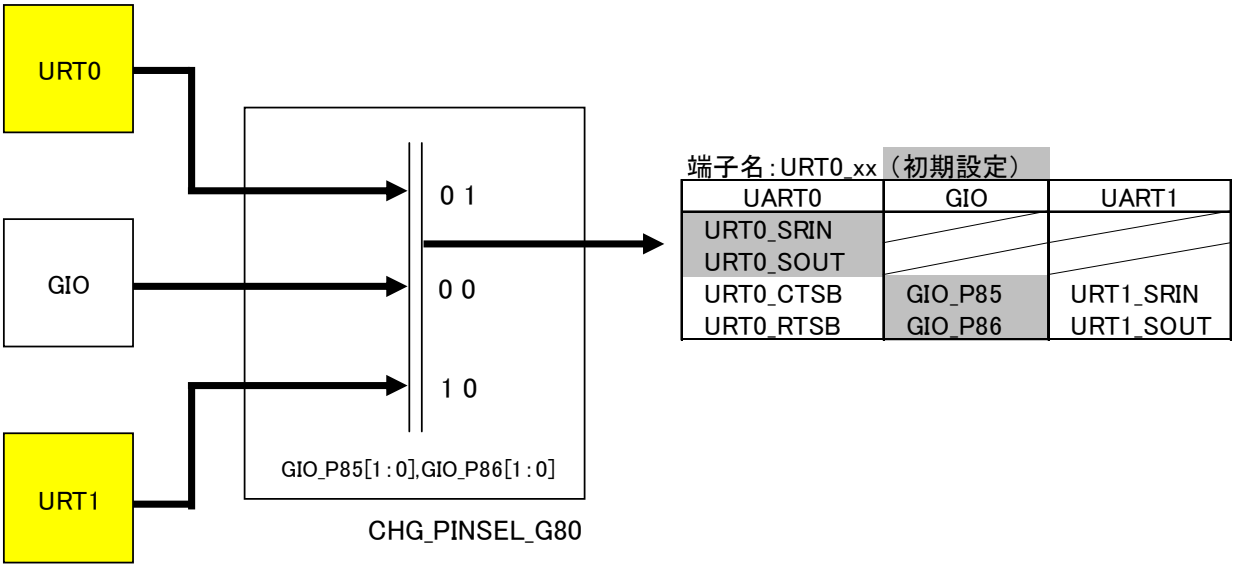
図 8－7 I²C インタフェース兼用端子のセレクタ構成



8.2.8 UART0／UART1 インタフェース兼用端子

UART0 インタフェース，UART1 インタフェースで使用する端子のセレクタ構成を 図 8－8に示します。

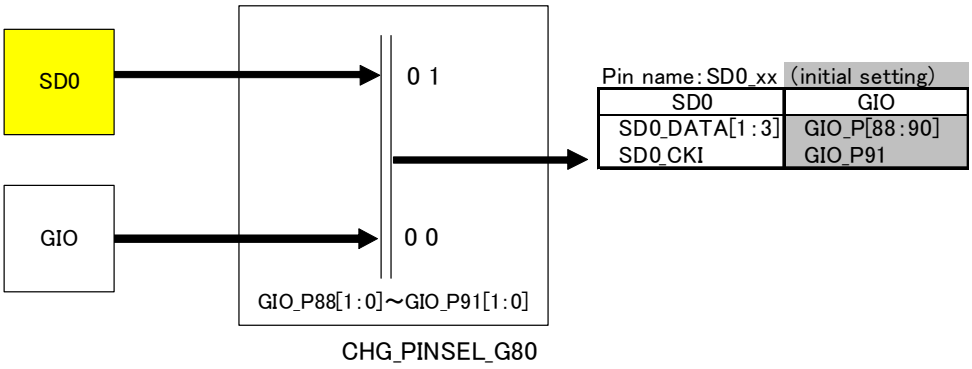
図 8－8 UART0／UART1 インタフェース兼用端子のセレクタ構成



8.2.9 SD0 インタフェース兼用端子

SD0 インタフェースで使用する端子のセレクタ構成を 図 8－9に示します。

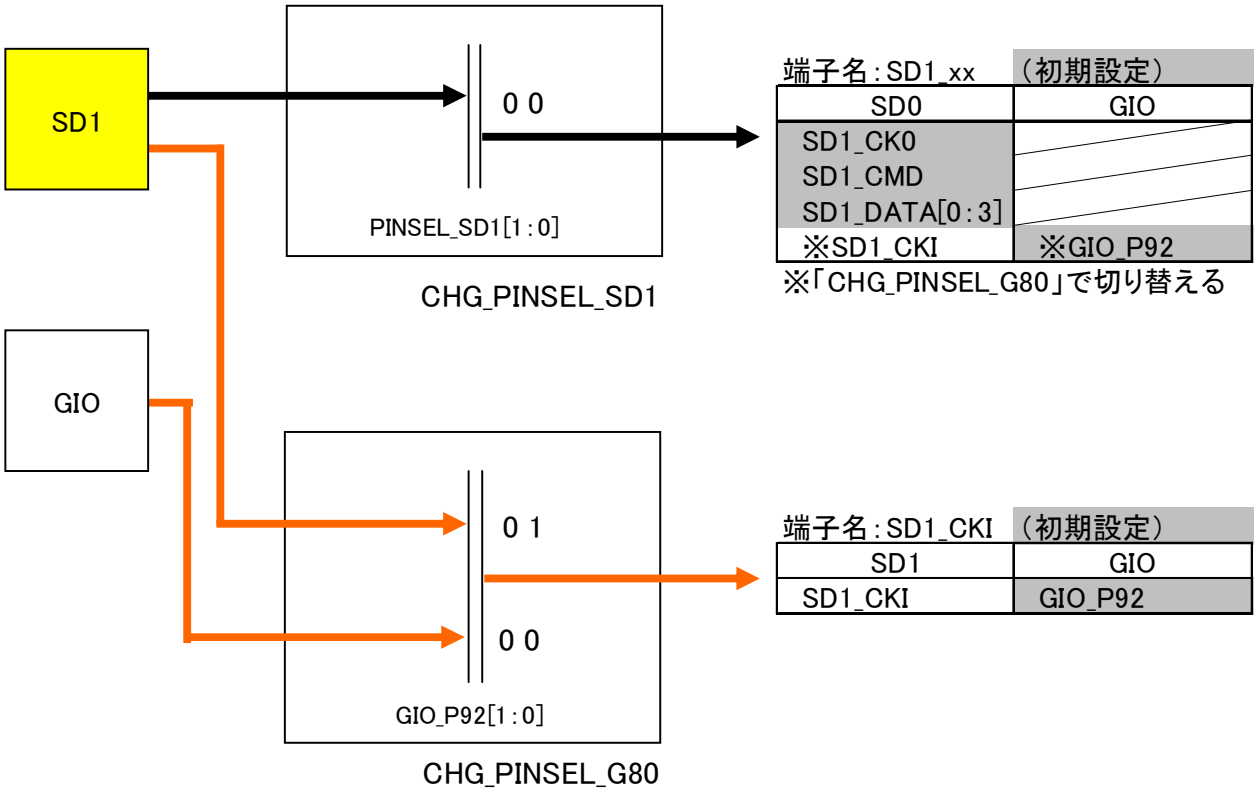
図 8－9 SD0 インタフェース兼用端子のセレクタ構成



8.2.10 SD1 インタフェース兼用端子

SD1 インタフェースで使用する端子のセレクタ構成を 図 8－10に示します。

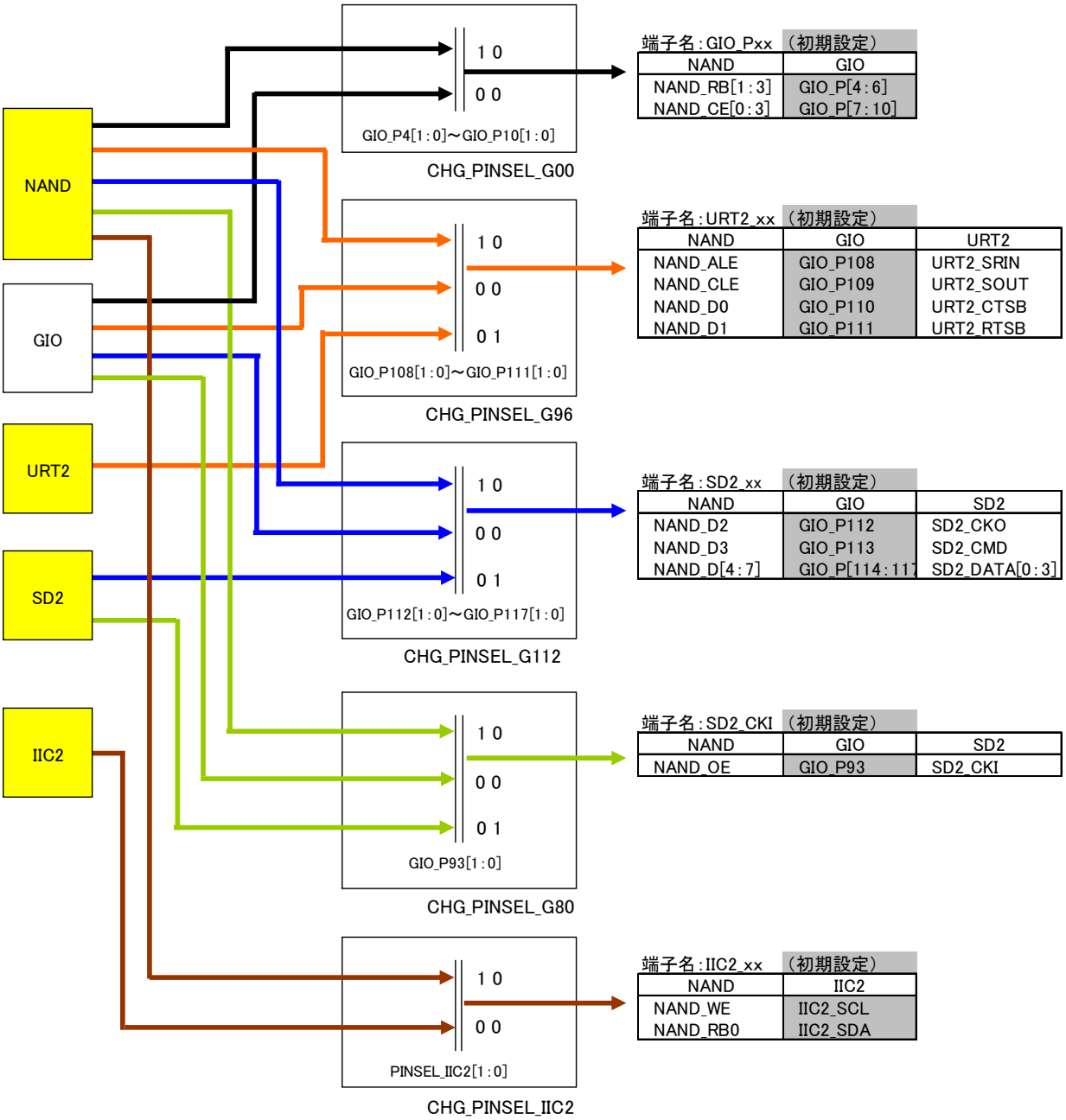
図 8－10 SD1 インタフェース兼用端子のセレクタ構成



8.2.11 NAND／UART2／SD2／I²C2 インタフェース兼用端子

NAND Flashインタフェース，UART2 インタフェース，SD2 インタフェース，I²C2 インタフェースで使用する端子のセレクタ構成を 図 8－11に示します。

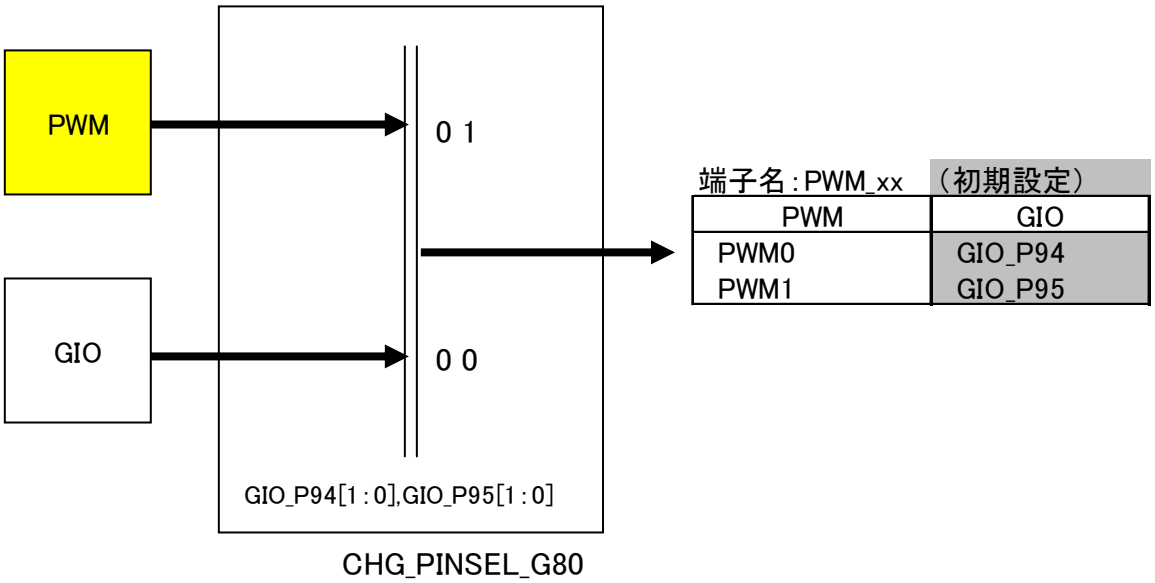
図 8－11 NAND／UART2／SD2／I²C2 インタフェース兼用端子のセレクタ構成



8.2.12 PWMインタフェース兼用端子

PWMインタフェースで使用する端子のセレクタ構成を 図 8－12に示します。

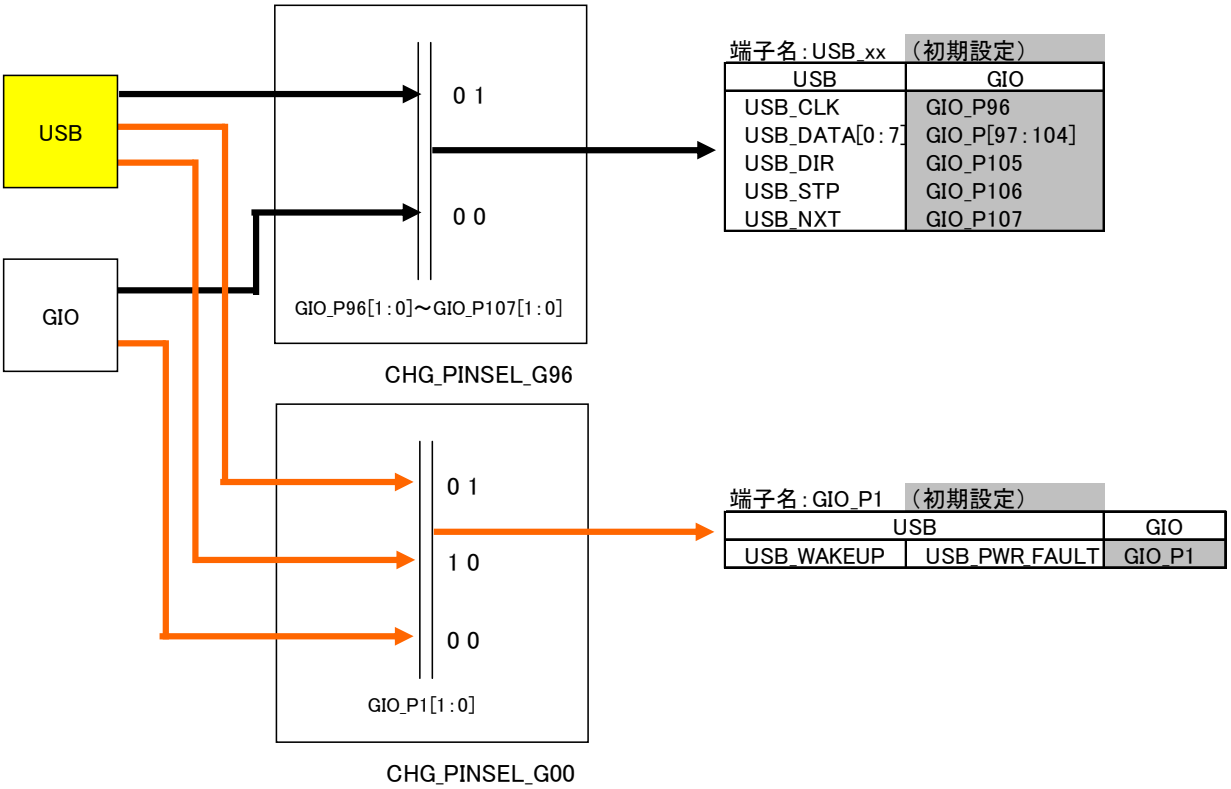
図 8－12 PWM インタフェース兼用端子のセレクタ構成



8.2.13 USBインタフェース兼用端子

USBインタフェースで使用する端子のセレクタ構成を 図 8－13に示します。

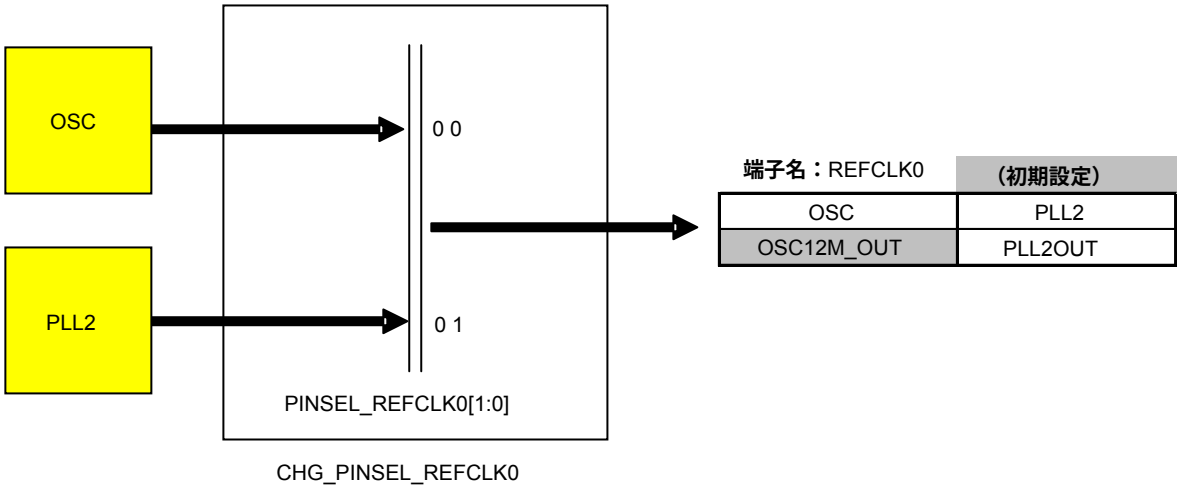
図 8－13 USB インタフェース兼用端子のセレクタ構成



8.2.14 REFCLK0 兼用端子

REFCLK0 端子のセレクタ構成を 図 8－14に示します。

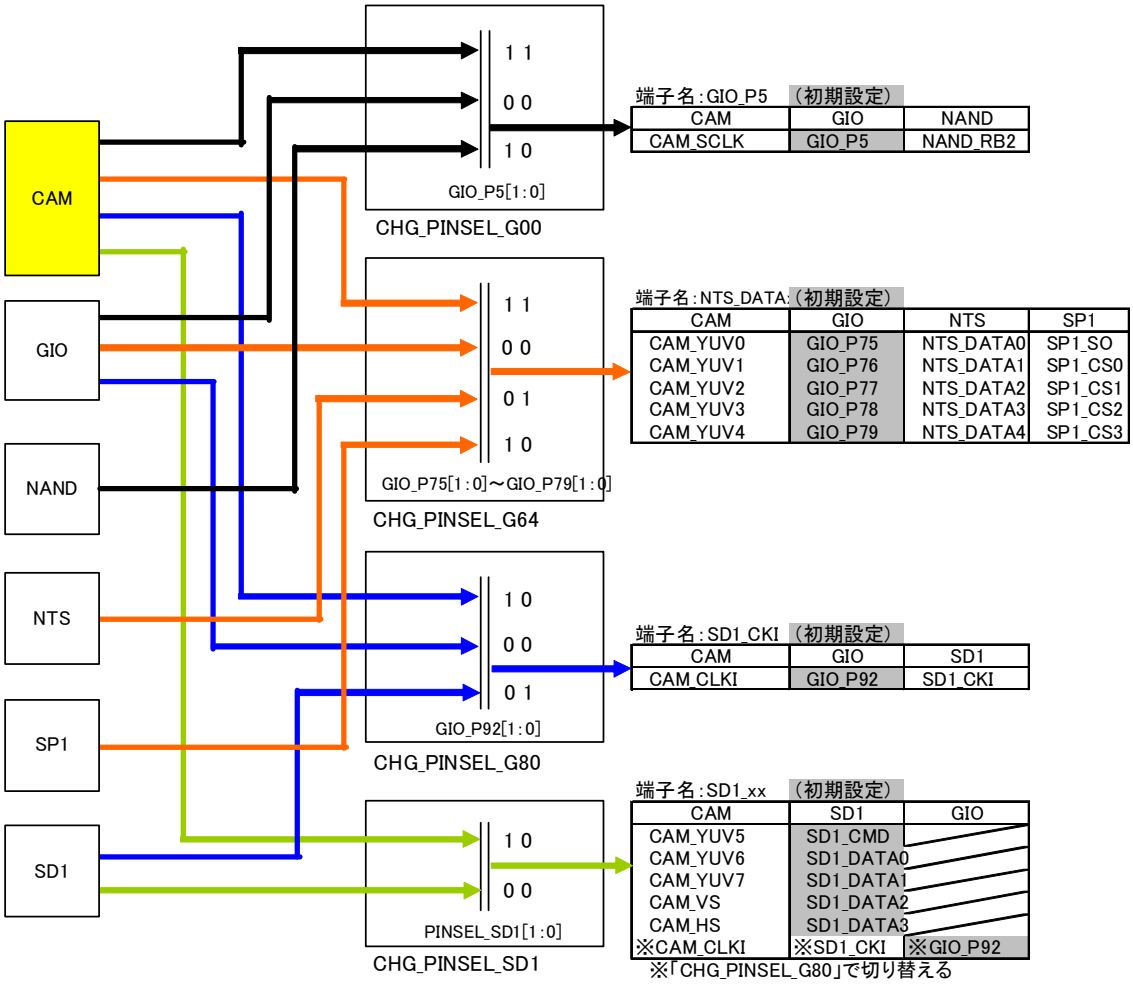
図 8－14 REFCLK0 兼用端子のセレクタ構成



8.2.15 カメラ・インタフェース兼用端子

カメラ・インタフェースで使用する端子のセレクタ構成を 図 8－15に示します。

図 8－15 カメラ・インタフェース兼用端子のセレクタ構成



付録 A　レジスタ一覧

A.1　レジスタ一覧

A.1.1　非同期バス（AB0）

ベース・アドレス：2FFF_0000H

（a）System Control Register

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	Flash コマンド・スタート・レジスタ	AB0_FLASHCOMSET	W	0000_0000H
0004H	Flash 読み込みデータ・ラッチ・レジスタ	AB0_FLASHCOMLATCH	R	0000_0000H
0010H	Flash コマンド（ADD0）設定レジスタ	AB0_FLASHCOMADD0	R/W	0000_0000H
0014H	Flash コマンド（DATA0）設定レジスタ	AB0_FLASHCOMDATA0	R/W	0000_0000H
0018H	Flash コマンド（ADD1）設定レジスタ	AB0_FLASHCOMADD1	R/W	0000_0000H
001CH	Flash コマンド（DATA1）設定レジスタ	AB0_FLASHCOMDATA1	R/W	0000_0000H
0080H	Flash クロック制御レジスタ	AB0_FLASHCLKCTRL	R/W	0000_0001H
0084H	Flash リード・クロックの遅延調整	AB0_FLA_RCLK_DLY	RW	0000_1000H
0090H	ウエイト端子のステータス・レジスタ	AB0_WAIT_STATUS	R	－
0100H	CS0 用ベース・アドレス	AB0_CS0BASEADD	R/W	0000_0000H
0104H	CS0 用ビット・コンペア用レジスタ	AB0_CS0BITCOMP	R/W	F000_0000H
0110H	CS1 用ベース・アドレス	AB0_CS1BASEADD	R/W	3FFF_0000H
0114H	CS1 用ビット・コンペア用レジスタ	AB0_CS1BITCOMP	R/W	FFFF_0000H
0120H	CS2 用ベース・アドレス	AB0_CS2BASEADD	R/W	3FFF_0000H
0124H	CS2 用ビット・コンペア用レジスタ	AB0_CS2BITCOMP	R/W	FFFF_0000H
0130H	CS3 用ベース・アドレス	AB0_CS3BASEADD	R/W	3FFF_0000H
0134H	CS3 用ビット・コンペア用レジスタ	AB0_CS3BITCOMP	R/W	FFFF_0000H
0140H- 0154H	Reserved	－	－	－

(b)Parameter Register　(1/2)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0200H	CS0 用ウエイト制御レジスタ	AB0_CS0WAITCTRL	R/W	000F_1F0FH
0204H	CS0 用ライト・ウエイト制御レジスタ	AB0_CS0WAITCTRL_W	R/W	000F_1F0FH
0208H	CS0 用リード・モード・レジスタ	AB0_CS0READCTRL	R/W	0000_0000H
020CH	CS0 用ウエイト・・マスク・レジスタ	AB0_CS0WAIT_MASK	R/W	0000_0000H
0210H	CS0 用制御レジスタ	AB0_CS0CONTROL	R/W	0001_0100H
0214H	CS0 用リード・コンフィギュレーション・レジスタ	AB0_CS0FLASHRCR	R/W	0000_D503H
0218H	CS0 用ライト・コンフィギュレーション・レジスタ	AB0_CS0FLASHWCR	R/W	0000_0001H
0220H	CS1 用ウエイト制御レジスタ	AB0_CS1WAITCTRL	R/W	000F_1F0FH
0224H	CS1 用ライト・ウエイト制御レジスタ	AB0_CS1WAITCTRL_W	R/W	000F_1F0FH
0228H	CS1 用リード・モード・レジスタ	AB0_CS1READCTRL	R/W	0000_0000H
022CH	CS1 用ウエイト・マスク・レジスタ	AB0_CS1WAIT_MASK	R/W	0000_0000H
0230H	CS1 用制御レジスタ	AB0_CS1CONTROL	R/W	0001_0100H

(2/2)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0234H	CS1 用リード・コンフィギュレーション・レジスタ	AB0_CS1FLASHRCR	R/W	0000_D503H
0238H	CS1 用ライト・コンフィギュレーション・レジスタ	AB0_CS1FLASHWCR	R/W	0000_0001H
0240H	CS2 用ウエイト制御レジスタ	AB0_CS2WAITCTRL	R/W	000F_1F0FH
0244H	CS2 用ライト・ウエイト制御レジスタ	AB0_CS2WAITCTRL_W	R/W	000F_1F0FH
0248H	CS2 用リード・モード・レジスタ	AB0_CS2READCTRL	R/W	0000_0000H
024CH	CS2 用ウエイト・マスク・レジスタ	AB0_CS2WAIT_MASK	R/W	0000_0000H
0250H	CS2 用制御レジスタ	AB0_CS2CONTROL	R/W	0001_0100H
0254H	CS2 用リード・コンフィギュレーション・レジスタ	AB0_CS2FLASHRCR	R/W	0000_D503H
0258H	CS2 用ライト・コンフィギュレーション・レジスタ	AB0_CS2FLASHWCR	R/W	0000_0001H
0260H	CS3 用ウエイト制御レジスタ	AB0_CS3WAITCTRL	R/W	000F_1F0FH
0264H	CS3 用ライト・ウエイト制御レジスタ	AB0_CS3WAITCTRL_W	R/W	000F_1F0FH
0268H	CS3 用リード・モード・レジスタ	AB0_CS3READCTRL	R/W	0000_0000H
026CH	CS3 用ウエイト・マスク・レジスタ	AB0_CS3WAIT_MASK	R/W	0000_0000H
0270H	CS3 用制御用レジスタ	AB0_CS3CONTROL	R/W	0001_0100H
0274H	CS3 用リード・コンフィギュレーション・レジスタ	AB0_CS3FLASHRCR	R/W	0000_D503H
0278H	CS3 用ライト・コンフィギュレーション・レジスタ	AB0_CS3FLASHWCR	R/W	0000_0001H
0280H- 02B8H	Reserved	–	–	–

(c)Parameter hold Register　(1/2)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0300H	CS0 用ウエイト制御レジスタ	AB0_CS0WAITCTRL2	R	000F_1F0FH
0304H	CS0 用ライト・ウエイト制御レジスタ	AB0_CS0WAITCTRL_W2	R	000F_1F0FH
0308H	CS0 用リード・モード・レジスタ	AB0_CS0READCTRL2	R	0000_0000H
030CH	CS0 用ウエイト・マスク・レジスタ	AB0_CS0WAIT_MASK2	R	0000_0000H
0310H	CS0 用制御レジスタ	AB0_CS0CONTROL2	R	0001_0100H
0314H	CS0 用リード・コンフィギュレーション・レジスタ	AB0_CS0FLASHRCR2	R	0000_D503H
0318H	CS0 用ライト・コンフィギュレーション・レジスタ	AB0_CS0FLASHWCR2	R	0000_0001H
0320H	CS1 用ウエイト制御レジスタ	AB0_CS1WAITCTRL2	R	000F_1F0FH
0324H	CS1 用ライト・ウエイト制御レジスタ	AB0_CS1WAITCTRL_W2	R	000F_1F0FH
0328H	CS1 用リード・モード・レジスタ	AB0_CS1READCTRL2	R	0000_0000H
032CH	CS1 用ウエイト・マスク・レジスタ	AB0_CS1WAIT_MASK2	R	0000_0000H
0330H	CS1 用制御レジスタ	AB0_CS1CONTROL2	R	0001_0100H
0334H	CS1 用リード・コンフィギュレーション・レジスタ	AB0_CS1FLASHRCR2	R	0000_D503H
0338H	CS1 用ライト・コンフィギュレーション・レジスタ	AB0_CS1FLASHWCR2	R	0000_0001H
0340H	CS2 用ウエイト制御レジスタ	AB0_CS2WAITCTRL2	R	000F_1F0FH
0344H	CS2 用ライト・ウエイト制御レジスタ	AB0_CS2WAITCTRL_W2	R	000F_1F0FH
0348H	CS2 用リード・モード・レジスタ	AB0_CS2READCTRL2	R	0000_0000H
034CH	CS2 用ウエイト・マスク・レジスタ	AB0_CS2WAIT_MASK2	R	0000_0000H
0350H	CS2 用制御レジスタ	AB0_CS2CONTROL2	R	0001_0100H
0354H	CS2 用リード・コンフィギュレーション・レジスタ	AB0_CS2FLASHRCR2	R	0000_D503H
0358H	CS2 用ライト・コンフィギュレーション・レジスタ	AB0_CS2FLASHWCR2	R	0000_0001H

(2/2)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0360H	CS3 用ウエイト制御レジスタ	AB0_CS3WAITCTRL2	R	000F_1F0FH
0364H	CS3 用ライト・ ウエイト制御レジスタ	AB0_CS3WAITCTRL_W2	R	000F_1F0FH
0368H	CS3 用リード・モード・レジスタ	AB0_CS3READCTRL2	R	0000_0000H
036CH	CS3 用ウエイト・マスク・レジスタ	AB0_CS3WAIT_MASK2	R	0000_0000H
0370H	CS3 用制御用レジスタ	AB0_CS3CONTROL2	R	0001_0100H
0374H	CS3 用リード・コンフィギュレーション・レジスタ	AB0_CS3FLASHRCR2	R	0000_D503H
0378H	CS3 用ライト・コンフィギュレーション・レジスタ	AB0_CS3FLASHWCR2	R	0000_0001H
0380H-03B8H	Reserved	–	–	–

A.1.2 IPU（ローテータ機能関連レジスタ）

ベース・アドレス：4008_0000H

（1/2）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	**機能設定レジスタ**	ROT_MODE	R/W	0000_0000H
0004H	**フレーム選択レジスタ**	ROT_FRAME	R/W	0000_0005H
0008H	**処理要求レジスタ**	ROT_REQ	W	0000_0000H
000CH	**処理ステータス・レジスタ**	ROT_STATUS	R	0000_0000H
0010H-001CH	Reserved	－	－	－
0020H	**オリジナル画像アドレス加算量レジスタ**	ROT_SRCSIZE	R/W	0000_0000H
0024H	**回転画像アドレス加算量レジスタ**	ROT_DSTSIZE	R/W	0000_0000H
0028H-002CH	Reserved	－	－	－
0030H	**オリジナル画像** Y **アドレス・レジスタ（**A **フレーム）**	ROT_SRCYADR_A	R/W	0000_0000H
0034H	**オリジナル画像** Y **アドレス・レジスタ（**B **フレーム）**	ROT_SRCYADR_B	R/W	0000_0000H
0038H	**オリジナル画像** Y **アドレス・レジスタ（**C **フレーム）**	ROT_SRCYADR_C	R/W	0000_0000H
003CH	Reserved	－	－	－
0040H	**回転画像** Y **アドレス・レジスタ（**A **フレーム）**	ROT_DSTYADR_A	R/W	0000_0000H
0044H	**回転画像** Y **アドレス・レジスタ（**B **フレーム）**	ROT_DSTYADR_B	R/W	0000_0000H
0048H	**回転画像** Y **アドレス・レジスタ（**C **フレーム）**	ROT_DSTYADR_C	R/W	0000_0000H
004CH-005CH	Reserved	－	－	－
0060H	**オリジナル画像** UV **アドレス・レジスタ（**A **フレーム）**	ROT_SRCUVADR_A	R/W	0000_0000H
0064H	**オリジナル画像** UV **アドレス・レジスタ（**B **フレーム）**	ROT_SRCUVADR_B	R/W	0000_0000H
0068H	**オリジナル画像** UV **アドレス・レジスタ（**C **フレーム）**	ROT_SRCUVADR_C	R/W	0000_0000H
006CH	Reserved	－	－	－
0070H	**回転画像** UV **アドレス・レジスタ（**A **フレーム）**	ROT_DSTUVADR_A	R/W	0000_0000H
0074H	**回転画像** UV **アドレス・レジスタ（**B **フレーム）**	ROT_DSTUVADR_B	R/W	0000_0000H
0078H	**回転画像** UV **アドレス・レジスタ（**C **フレーム）**	ROT_DSTUVADR_C	R/W	0000_0000H
007CH-008CH	Reserved	－	－	－
0090H	**オリジナル画像水平画像サイズ・レジスタ**	ROT_SRCHSIZE	R/W	0000_0010H
0094H-009CH	Reserved	－	－	－
00A0H	**オリジナル画像垂直画像サイズ・レジスタ**	ROT_SRCVSIZE	R/W	0000_0010H
00A4H-00ACH	Reserved	－	－	－
00B0H	**割り込みステータス・レジスタ**	ROT_INTSTATUS	R	0000_0000H
00B4H	**割り込み** Raw **ステータス・レジスタ**	ROT_INTRAWSTATUS	R	0000_0000H
00B8H	**割り込みイネーブル・セット・レジスタ**	ROT_INTENSET	R/W	0000_0000H
00BCH	**割り込みイネーブル・クリア・レジスタ**	ROT_INTENCLR	W	0000_0000H
00C0H	**割り込み要因クリア・レジスタ**	ROT_INTFFCLR	W	0000_0000H
00C4H	**エラー・アドレス・レジスタ**	ROT_ERRORADR	R/W	0000_0000H
00C8H	**画像フォーマット・レジスタ**	ROT_FORMAT	R/W	0000_0000H
00CCH	**ソース画像バイト・レーン選択レジスタ**	ROT_SRCBYTE	R/W	0000_E4E4H

(2/2)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
00D0H	ディスティネーション画像バイト・レーン選択レジスタ	ROT _DSTBYTE	R/W	0000_E4E4H
00D4H	オリジナル画像 V アドレス・レジスタ（A フレーム）	ROT _SRCVADR_A	R/W	0000_0000H
00D8H	オリジナル画像 V アドレス・レジスタ（B フレーム）	ROT _SRCVADR_B	R/W	0000_0000H
00DCH	オリジナル画像 V アドレス・レジスタ（C フレーム）	ROT _SRCVADR_C	R/W	0000_0000H
00E0H	回転画像 V アドレス・レジスタ（A フレーム）	ROT _DSTVADR_A	R/W	0000_0000H
00E4H	回転画像 V アドレス・レジスタ（B フレーム）	ROT _DSTVADR_B	R/W	0000_0000H
00E8H	回転画像 V アドレス・レジスタ（C フレーム）	ROT _DSTVADR_C	R/W	0000_0000H
00ECH	レジスタ更新予約設定レジスタ	ROT_DUAL_FF	R/W	0000_0000H
00F0H	ソース画像バイト・レーン選択レジスタ（Y/UV プレーン分割版）	ROT_SRCBYTE_CMP	R/W	0000_E4E4H
00F4H	ディスティネーション画像バイト・レーン選択レジスタ（Y/UV プレーン分割版）	ROT _DSTBYTE_CMP	R/W	0000_E4E4H
00F8H-FFFH	Reserved	–	–	–

A.1.3 DMAコントローラ

ベース・アドレス：4009_0000H

(1) ACPU 用レジスタ

(a) ACPU 用 DMA コントロール・レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	ACPU 用 DMA 起動コントロール・レジスタ	DMA_ARM_CONT	W	0000_0000H
0004H	ACPU 用 DMA コントロール・ステータス・レジスタ	DMA_ARM_CONTSTATUS	R	0000_0000H
0008H	ACPU 用 DMA 終了コントロール・レジスタ	DMA_ARM_END	W	0000_0000H
000CH-00FCH	Reserved	－	－	－

(b) ACPU/ADSP 用割り込みパラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0800H	ARM/DSP 用割り込み出力先設定レジスタ（LCH0-LCH3）	DMA_ARM_LCH0LCH3_INT_SEL	R/W	0000_0000H
0804H-0FFCH	Reserved	－	－	－
0100H	ACPU 用割り込みステータス・レジスタ（LCH0-LCH3）	DMA_ARM_PE0_LCH0LCH3_INT_CONT	R	0000_0000H
0104H	ACPU 用割り込み Raw ステータス・レジスタ（LCH0-LCH3）	DMA_ARM_PE0_LCH0LCH3_INT_RAW	R	0000_0000H
0108H	ACPU 用割り込みイネーブル・セット・レジスタ（LCH0-LCH3）	DMA_ARM_PE0_LCH0LCH3_INT_ENABLE	R/W	0000_0000H
010CH	ACPU 用割り込みイネーブル・クリア・レジスタ（LCH0-LCH3）	DMA_ARM_PE0_LCH0LCH3_INT_ENABLE_CL	W	0000_0000H
0110H	ACPU 用割り込み要因クリア・レジスタ（LCH0-LCH3）	DMA_ARM_PE0_LCH0LCH3_INT_REQ_CL	W	0000_0000H
0114H-03FCH	Reserved	－	－	－
0400H	DSP 用割り込みステータス・レジスタ（LCH0-LCH3）	DMA_ARM_DSP_LCH0LCH3_INT_CONT	R	0000_0000H
0404H	DSP 用割り込み Raw ステータス・レジスタ（LCH0-LCH3）	DMA_ARM_DSP_LCH0LCH3_INT_RAW	R	0000_0000H
0408H	DSP 用割り込みイネーブル・セット・レジスタ（LCH0-LCH3）	DMA_ARM_DSP_LCH0LCH3_INT_ENABLE	R/W	0000_0000H
040CH	DSP 用割り込みイネーブル・クリア・レジスタ（LCH0-LCH3）	DMA_ARM_DSP_LCH0LCH3_INT_ENABLE_CL	W	0000_0000H
0410H	DSP 用割り込み要因クリア・レジスタ（LCH0-LCH3）	DMA_ARM_DSP_LCH0LCH3_INT_REQ_CL	W	0000_0000H
0414H-07FCH	Reserved	－	－	－

(c) ACPU 用 LCH0 パラメータ設定レジスタ（メモリ←→メモリ）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
1000H	ACPU 用 LCH0 ソース・アドレス・レジスタ（スタート・アドレス）	DMA_ARM_LCH0_AADD	R/W	0000_0000H
1004H	ACPU 用 LCH0 ソース・アドレス・ポインタ・レジスタ	DMA_ARM_LCH0_AADP	R	0000_0000H
1008H	ACPU 用 LCH0 ソース・アドレス・オフセット・レジスタ	DMA_ARM_LCH0_AOFF	R/W	0000_0000H
100CH	Reserved	－	－	－
1010H	ACPU 用 LCH0 ソース・ブロック・カウント・レジスタ	DMA_ARM_LCH0_ASIZE_COUNT	R/W	0000_0000H
1014H-101CH	Reserved	－	－	－
1020H	ACPU 用 LCH0 ディスティネーション・アドレス・レジスタ（スタート・アドレス）	DMA_ARM_LCH0_BADD	R/W	0000_0000H
1024H	ACPU 用 LCH0 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_ARM_LCH0_BADP	R	0000_0000H
1028H	ACPU 用 LCH0 ディスティネーション・アドレス・オフセット・レジスタ	DMA_ARM_LCH0_BOFF	R/W	0000_0000H
102CH	Reserved	－	－	－
1030H	ACPU 用 LCH0 ディスティネーション・ブロック・カウント・レジスタ	DMA_ARM_LCH0_BSIZE_COUNT	R/W	0000_0000H
1034H-103CH	Reserved	－	－	－
1040H	ACPU 用 LCH0 レングス・レジスタ	DMA_ARM_LCH0_LENG	R/W	0000_0000H
1044H	ACPU 用 LCH0 リード・レングス・カウント・レジスタ	DMA_ARM_LCH0_LENG_RCOUNT	R	0000_0000H
1048H	ACPU 用 LCH0 ライト・レングス・カウント・レジスタ	DMA_ARM_LCH0_LENG_WCOUNT	R	0000_0000H
104CH	ACPU 用 LCH0 ブロック・サイズ・レジスタ	DMA_ARM_LCH0_SIZE	R/W	0000_0000H
1050H	ACPU 用 LCH0 モード・レジスタ（リード／ライト・エンディアン，リピート）	DMA_ARM_LCH0_MODE	R/W	E4E4_0000H
1054H - 10FCH	Reserved	－	－	－

(d) ACPU 用 LCH1 パラメータ設定レジスタ（メモリ←→メモリ）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
1100H	ACPU 用 LCH1 ソース・アドレス・レジスタ（スタート・アドレス）	DMA_ARM_LCH1_AADD	R/W	0000_0000H
1104H	ACPU 用 LCH1 ソース・アドレス・ポインタ・レジスタ	DMA_ARM_LCH1_AADP	R	0000_0000H
1108H	ACPU 用 LCH1 ソース・アドレス・オフセット・レジスタ	DMA_ARM_LCH1_AOFF	R/W	0000_0000H
110CH	Reserved	－	－	－
1110H	ACPU 用 LCH1 ソース・ブロック・カウント・レジスタ	DMA_ARM_LCH1_ASIZE_COUNT	R/W	0000_0000H
1114H-111CH	Reserved	－	－	－
1120H	ACPU 用 LCH1 ディスティネーション・アドレス・レジスタ（スタート・アドレス）	DMA_ARM_LCH1_BADD	R/W	0000_0000H
1124H	ACPU 用 LCH1 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_ARM_LCH1_BADP	R	0000_0000H
1128H	ACPU 用 LCH1 ディスティネーション・アドレス・オフセット・レジスタ	DMA_ARM_LCH1_BOFF	R/W	0000_0000H
112CH	Reserved	－	－	－
1130H	ACPU 用 LCH1 ディスティネーション・ブロック・カウント・レジスタ	DMA_ARM_LCH1_BSIZE_COUNT	R/W	0000_0000H
1134H-113CH	Reserved	－	－	－
1140H	ACPU 用 LCH1 レングス・レジスタ	DMA_ARM_LCH1_LENG	R/W	0000_0000H
1144H	ACPU 用 LCH1 リード・レングス・カウント・レジスタ	DMA_ARM_LCH1_LENG_RCOUNT	R	0000_0000H
1148H	ACPU 用 LCH1 ライト・レングス・カウント・レジスタ	DMA_ARM_LCH1_LENG_WCOUNT	R	0000_0000H
114CH	ACPU 用 LCH1 ブロック・サイズ・レジスタ	DMA_ARM_LCH1_SIZE	R/W	0000_0000H
1150H	ACPU 用 LCH1 モード・レジスタ（リード／ライト・エンディアン，リピート）	DMA_ARM_LCH1_MODE	R/W	E4E4_0000H
1154H-11FCH	Reserved	－	－	－

(e) ACPU 用 LCH2 パラメータ設定レジスタ（メモリ←→メモリ）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
1200H	ACPU 用 LCH2 ソース・アドレス・レジスタ（スタート・アドレス）	DMA_ARM_LCH2_AADD	R/W	0000_0000H
1204H	ACPU 用 LCH2 ソース・アドレス・ポインタ・レジスタ	DMA_ARM_LCH2_AADP	R	0000_0000H
1208H	ACPU 用 LCH2 ソース・アドレス・オフセット・レジスタ	DMA_ARM_LCH2_AOFF	R/W	0000_0000H
120CH	Reserved	－	－	－
1210H	ACPU 用 LCH2 ソース・ブロック・カウント・レジスタ	DMA_ARM_LCH2_ASIZE_COUNT	R/W	0000_0000H
1214H-121CH	Reserved	－	－	－
1220H	ACPU 用 LCH2 ディスティネーション・アドレス・レジスタ（スタート・アドレス）	DMA_ARM_LCH2_BADD	R/W	0000_0000H
1224H	ACPU 用 LCH2 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_ARM_LCH2_BADP	R	0000_0000H
1228H	ACPU 用 LCH2 ディスティネーション・アドレス・オフセット・レジスタ	DMA_ARM_LCH2_BOFF	R/W	0000_0000H
122CH	Reserved	－	－	－
1230H	ACPU 用 LCH2 ディスティネーション・ブロック・カウント・レジスタ	DMA_ARM_LCH2_BSIZE_COUNT	R/W	0000_0000H
1234H-123CH	Reserved	－	－	－
1240H	ACPU 用 LCH2 レングス・レジスタ	DMA_ARM_LCH2_LENG	R/W	0000_0000H
1244H	ACPU 用 LCH2 リード・レングス・カウント・レジスタ	DMA_ARM_LCH2_LENG_RCOUNT	R	0000_0000H
1248H	ACPU 用 LCH2 ライト・レングス・カウント・レジスタ	DMA_ARM_LCH2_LENG_WCOUNT	R	0000_0000H
124CH	ACPU 用 LCH2 ブロック・サイズ・レジスタ	DMA_ARM_LCH2_SIZE	R/W	0000_0000H
1250H	ACPU 用 LCH2 モード・レジスタ（リード／ライト・エンディアン，リピート）	DMA_ARM_LCH2_MODE	R/W	E4E4_0000H
1254H-12FCH	Reserved	－	－	－

(f) ACPU 用 LCH3 パラメータ設定レジスタ（メモリ←→メモリ）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
1300H	ACPU 用 LCH3 ソース・アドレス・レジスタ（スタート・アドレス）	DMA_ARM_LCH3_AADD	R/W	0000_0000H
1304H	ACPU 用 LCH3 ソース・アドレス・ポインタ・レジスタ	DMA_ARM_LCH3_AADP	R	0000_0000H
1308H	ACPU 用 LCH3 ソース・アドレス・オフセット・レジスタ	DMA_ARM_LCH3_AOFF	R/W	0000_0000H
130CH	Reserved	－	－	－
1310H	ACPU 用 LCH3 ソース・ブロック・カウント・レジスタ	DMA_ARM_LCH3_ASIZE_COUNT	R/W	0000_0000H
1314H-131CH	Reserved	－	－	－
1320H	ACPU 用 LCH3 ディスティネーション・アドレス・レジスタ（スタート・アドレス）	DMA_ARM_LCH3_BADD	R/W	0000_0000H
1324H	ACPU 用 LCH3 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_ARM_LCH3_BADP	R	0000_0000H
1328H	ACPU 用 LCH3 ディスティネーション・アドレス・オフセット・レジスタ	DMA_ARM_LCH3_BOFF	R/W	0000_0000H
132CH	Reserved	－	－	－
1330H	ACPU 用 LCH3 ディスティネーション・ブロック・カウント・レジスタ	DMA_ARM_LCH3_BSIZE_COUNT	R/W	0000_0000H
1334H-133CH	Reserved	－	－	－
1340H	ACPU 用 LCH3 レングス・レジスタ	DMA_ARM_LCH3_LENG	R/W	0000_0000H
1344H	ACPU 用 LCH3 リード・レングス・カウント・レジスタ	DMA_ARM_LCH3_LENG_RCOUNT	R	0000_0000H
1348H	ACPU 用 LCH3 ライト・レングス・カウント・レジスタ	DMA_ARM_LCH3_LENG_WCOUNT	R	0000_0000H
134CH	ACPU 用 LCH3 ブロック・サイズ・レジスタ	DMA_ARM_LCH3_SIZE	R/W	0000_0000H
1350H	ACPU 用 LCH3 モード・レジスタ（リード・エンディアン，リピート）	DMA_ARM_LCH3_MODE	R/W	E4E4_0000H
1354H - 13FCH	Reserved	－	－	－

(2) M2P（メモリ←→ペリフェラル転送）用レジスタ

LCH6-LCH8，LCH11 はリザーブ・チャネルです。該当する LCH のビットにレジスタは存在しません。

(a) M2P 用 DMA コントロール・レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
4000H	M2P 用 DMA 起動コントロール・レジスタ	DMA_M2P_CONT	W	0000_0000H
4004H	M2P 用 DMA コントロール・ステータス・レジスタ	DMA_M2P_CONTSTATUS	R	0000_0000H
4008H	M2P 用 DMA 終了コントロール・レジスタ	DMA_M2P_END	W	0000_0000H
400CH-40FCH	Reserved	–	–	–

(b) M2P 用割り込みパラメータ・レジスタ

(1/3)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
4800H	M2P 用割り込み出力先設定レジスタ（LCH0-CH14）	DMA_M2P_LCH0LCH14_INT_SEL	R/W	0000_0000H
4804H-4FFCH	Reserved	–	–	–
4100H	ACPU 用割り込みステータス・レジスタ(LCH0-LCH3)	DMA_M2P_PE0_LCH0LCH3_INT_CONT	R	0000_0000H
4104H	ACPU 用割り込み Raw ステータス・レジスタ（LCH0-LCH3）	DMA_M2P_PE0_LCH0LCH3_INT_RAW	R	0000_0000H
4108H	ACPU 用割り込みイネーブル・セット・レジスタ（LCH0-LCH3）	DMA_M2P_PE0_LCH0LCH3_INT_ENABLE	R/W	0000_0000H
410CH	ACPU 用割り込みイネーブル・クリア・レジスタ（LCH0-LCH3）	DMA_M2P_PE0_LCH0LCH3_INT_ENABLE _CL	W	0000_0000H
4110H	ACPU 用割り込み要因クリア・レジスタ(LCH0-LCH3)	DMA_M2P_PE0_LCH0LCH3_INT_REQ_CL	W	0000_0000H
4114H-411CH	Reserved	–	–	–
4120H	ACPU 用割り込みステータス・レジスタ(LCH4-LCH5)	DMA_M2P_PE0_LCH4LCH5_INT_CONT	R	0000_0000H
4124H	ACPU 用割り込み Raw ステータス・レジスタ（LCH4-LCH5）	DMA_M2P_PE0_LCH4LCH5_INT_RAW	R	0000_0000H
4128H	ACPU 用割り込みイネーブル・セット・レジスタ（LCH4-LCH5）	DMA_M2P_PE0_LCH4LCH5_INT_ENABLE	R/W	0000_0000H
412CH	ACPU 用割り込みイネーブル・クリア・レジスタ（LCH4-LCH5）	DMA_M2P_PE0_LCH4LCH5_INT_ENABLE _CL	W	0000_0000H
4130H	ACPU 用割り込み要因クリア・レジスタ(LCH4-LCH5)	DMA_M2P_PE0_LCH4LCH5_INT_REQ_CL	W	0000_0000H
4134H-413CH	Reserved	–	–	–
4140H	ACPU 用割り込みステータス・レジスタ（LCH9-LCH10）	DMA_M2P_PE0_LCH9LCH10_INT_CONT	R	0000_0000H
4144H	ACPU 用割り込み Raw ステータス・レジスタ（LCH9-LCH10）	DMA_M2P_PE0_LCH9LCH10_INT_RAW	R	0000_0000H

(2/3)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
4148H	ACPU 用割り込みイネーブル・セット・レジスタ（LCH9-LCH10）	DMA_M2P_PE0_LCH9LCH10_INT_ENABLE	R/W	0000_0000H
414CH	ACPU 用割り込みイネーブル・クリア・レジスタ（LCH9-LCH10）	DMA_M2P_PE0_LCH9LCH10_INT_ENABLE _CL	W	0000_0000H
4150H	ACPU 用割り込み要因クリア・レジスタ（LCH9-LCH10）	DMA_M2P_PE0_LCH9LCH10_INT_REQ_CL	W	0000_0000H
4154H-415CH	Reserved	－	－	－
4160H	ACPU 用割り込みステータス・レジスタ（LCH12-LCH14）	DMA_M2P_PE0_LCH12LCH14_INT_CONT	R	0000_0000H
4164H	ACPU 用割り込み Raw ステータス・レジスタ（LCH12-LCH14）	DMA_M2P_PE0_LCH12LCH14_INT_RAW	R	0000_0000H
4168H	ACPU 用割り込みイネーブル・セット・レジスタ（LCH12-LCH14）	DMA_M2P_PE0_LCH12LCH14_INT_ENABLE	R/W	0000_0000H
416CH	ACPU 用割り込みイネーブル・クリア・レジスタ（LCH12-LCH14）	DMA_M2P_PE0_LCH12LCH14_INT_ENABLE _CL	W	0000_0000H
4170H	ACPU 用割り込み要因クリア・レジスタ（LCH12-LCH14）	DMA_M2P_PE0_LCH12LCH14_INT_REQ_CL	W	0000_0000H
4174H-43FCH	Reserved	－	－	－
4400H	DSP 用割り込みステータス・レジスタ（LCH0-LCH3）	DMA_M2P_DSP_LCH0LCH3_INT_CONT	R	0000_0000H
4404H	DSP 用割り込み Raw ステータス・レジスタ（LCH0-LCH3）	DMA_M2P_DSP_LCH0LCH3_INT_RAW	R	0000_0000H
4408H	DSP 用割り込みイネーブル・セット・レジスタ（LCH0-LCH3）	DMA_M2P_DSP_LCH0LCH3_INT_ENABLE	R/W	0000_0000H
440CH	DSP 用割り込みイネーブル・クリア・レジスタ（LCH0-LCH3）	DMA_M2P_DSP_LCH0LCH3_INT_ENABLE _CL	W	0000_0000H
4410H	DSP 用割り込み要因クリア・レジスタ（LCH0-LCH3）	DMA_M2P_DSP_LCH0LCH3_INT_REQ_CL	W	0000_0000H
4414H-441CH	Reserved	－	－	－
4420H	DSP 用割り込みステータス・レジスタ（LCH4-LCH5）	DMA_M2P_DSP_LCH4LCH5_INT_CONT	R	0000_0000H
4424H	DSP 用割り込み Raw ステータス・レジスタ（LCH4-LCH5）	DMA_M2P_DSP_LCH4LCH5_INT_RAW	R	0000_0000H
4428H	DSP 用割り込みイネーブル・セット・レジスタ（LCH4-LCH5）	DMA_M2P_DSP_LCH4LCH5_INT_ENABLE	R/W	0000_0000H
442CH	DSP 用割り込みイネーブル・クリア・レジスタ（LCH4-LCH5）	DMA_M2P_DSP_LCH4LCH5_INT_ENABLE _CL	W	0000_0000H
4430H	DSP 用割り込み要因クリア・レジスタ（LCH4-LCH5）	DMA_M2P_DSP_LCH4LCH5_INT_REQ_CL	W	0000_0000H
4434H-443CH	Reserved	－	－	－
4440H	DSP 用割り込みステータス・レジスタ（LCH9-LCH10）	DMA_M2P_DSP_LCH9LCH10_INT_CONT	R	0000_0000H

(3/3)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
4444H	DSP 用割り込み Raw ステータス・レジスタ（LCH9-LCH10）	DMA_M2P_DSP_LCH9LCH10_INT_RAW	R	0000_0000H
4448H	DSP 用割り込みイネーブル・セット・レジスタ（LCH9-LCH10）	DMA_M2P_DSP_LCH9LCH10_INT_ENABLE	R/W	0000_0000H
444CH	DSP 用割り込みイネーブル・クリア・レジスタ（LCH9-LCH10）	DMA_M2P_DSP_LCH9LCH10_INT_ENABLE _CL	W	0000_0000H
4450H	DSP 用割り込み要因クリア・レジスタ（LCH9-LCH10）	DMA_M2P_DSP_LCH9LCH10_INT_REQ_CL	W	0000_0000H
4454H-445CH	Reserved	－	－	－
4460H	DSP 用割り込みステータス・レジスタ（LCH12-LCH14）	DMA_M2P_DSP_LCH12LCH14_INT_CONT	R	0000_0000H
4464H	DSP 用割り込み Raw ステータス・レジスタ（LCH12-LCH14）	DMA_M2P_DSP_LCH12LCH14_INT_RAW	R	0000_0000H
4468H	DSP 用割り込みイネーブル・セット・レジスタ（LCH12-LCH14）	DMA_M2P_DSP_LCH12LCH14_INT_ENABLE	R/W	0000_0000H
446CH	DSP 用割り込みイネーブル・クリア・レジスタ（LCH12-LCH14）	DMA_M2P_DSP_LCH12LCH14_INT_ENABLE _CL	W	0000_0000H
4470H	DSP 用割り込み要因クリア・レジスタ（LCH12-LCH14）	DMA_M2P_DSP_LCH12LCH14_INT_REQ_CL	W	0000_0000H
4474H-47FCH	Reserved	－	－	－

(c) M2P 用 LCH0 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
5000H	M2P 用 LCH0 ソース・アドレス・レジスタ（スタート・アドレス）	DMA_M2P_LCH0_AADD	R/W	0000_0000H
5004H	M2P 用 LCH0 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH0_AADP	R	0000_0000H
5008H	M2P 用 LCH0 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH0_AOFF	R/W	0000_0000H
500CH	M2P 用 LCH0 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH0_ASIZE	R/W	0000_0000H
5010H	M2P 用 LCH0 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH0_ASIZE_COUNT	R/W	0000_0000H
5014H-501CH	Reserved	－	－	－
5020H	M2P 用 LCH0 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH0_BADD	R/W	0000_0000H
5024H-503CH	Reserved	－	－	－
5040H	M2P 用 LCH0 レングス・レジスタ	DMA_M2P_LCH0_LENG	R/W	0000_0000H
5044H	M2P 用 LCH0 リード・レングス・カウント・レジスタ	DMA_M2P_LCH0_LENG_RCOUNT	R	0000_0000H
5048H	M2P 用 LCH0 ライト・レングス・カウント・レジスタ	DMA_M2P_LCH0_LENG_WCOUNT	R	0000_0000H
504CH	Reserved	－	－	－
5050H	M2P 用 LCH0 モード・レジスタ（タイマ設定，ビット幅，リード／ライト・エンディアン，リピート）	DMA_M2P_LCH0_MODE	R/W	E4E4_0000H
5054H	M2P 用 LCH0 タイマ・レジスタ	DMA_M2P_LCH0_TIME	R/W	0000_0000H
5058H	M2P 用 LCH0 タイマ・カウント・レジスタ	DMA_M2P_LCH0_TIME_COUNT	R	0000_0000H
505CH - 50FCH	Reserved	－	－	－

(d) M2P 用 LCH1 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
5100H	M2P 用 LCH1 ソース・アドレス・レジスタ（スタート・アドレス）	DMA_M2P_LCH1_AADD	R/W	0000_0000H
5104H	M2P 用 LCH1 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH1_AADP	R	0000_0000H
5108H	M2P 用 LCH1 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH1_AOFF	R/W	0000_0000H
510CH	M2P 用 LCH1 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH1_ASIZE	R/W	0000_0000H
5110H	M2P 用 LCH1 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH1_ASIZE_COUNT	R/W	0000_0000H
5114H-511CH	Reserved	－	－	－
5120H	M2P 用 LCH1 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH1_BADD	R/W	0000_0000H
5124H-513CH	Reserved	－	－	－
5140H	M2P 用 LCH1 レングス	DMA_M2P_LCH1_LENG	R/W	0000_0000H
5144H	M2P 用 LCH1 リード・レングス・カウント・レジスタ	DMA_M2P_LCH1_LENG_RCOUNT	R	0000_0000H
5148H	M2P 用 LCH1 ライト・レングス・カウント・レジスタ	DMA_M2P_LCH1_LENG_WCOUNT	R	0000_0000H
514CH	Reserved	－	－	－
5150H	M2P 用 LCH1 モード・レジスタ（タイマ設定，ビット幅，リード／ライト・エンディアン，リピート）	DMA_M2P_LCH1_MODE	R/W	E4E4_0000H
5154H	M2P 用 LCH1 タイマ・レジスタ	DMA_M2P_LCH1_TIME	R/W	0000_0000H
5158H	M2P 用 LCH1 タイマ・カウント・レジスタ	DMA_M2P_LCH1_TIME_COUNT	R	0000_0000H
515CH - 51FCH	Reserved	－	－	－

(e) M2P 用 LCH2 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
5200H	M2P 用 LCH2 ソース・アドレス・レジスタ（スタート・アドレス）	DMA_M2P_LCH2_AADD	R/W	0000_0000H
5204H	M2P 用 LCH2 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH2_AADP	R	0000_0000H
5208H	M2P 用 LCH2 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH2_AOFF	R/W	0000_0000H
520CH	M2P 用 LCH2 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH2_ASIZE	R/W	0000_0000H
5210H	M2P 用 LCH2 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH2_ASIZE_COUNT	R/W	0000_0000H
5214H-521CH	Reserved	－	－	－
5220H	M2P 用 LCH2 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH2_BADD	R/W	0000_0000H
5224H-523CH	Reserved	－	－	－
5240H	M2P 用 LCH2 レングス・レジスタ	DMA_M2P_LCH2_LENG	R/W	0000_0000H
5244H	M2P 用 LCH2 リード・レングス・カウント・レジスタ	DMA_M2P_LCH2_LENG_RCOUNT	R	0000_0000H
5248H	M2P 用 LCH2 ライト・レングス・カウント・レジスタ	DMA_M2P_LCH2_LENG_WCOUNT	R	0000_0000H
524CH	Reserved	－	－	－
5250H	M2P 用 LCH2 モード・レジスタ（タイマ設定，ビット幅，リード／ライト・エンディアン，リピート）	DMA_M2P_LCH2_MODE	R/W	E4E4_0000H
5254H	M2P 用 LCH2 タイマ・レジスタ	DMA_M2P_LCH2_TIME	R/W	0000_0000H
5258H	M2P 用 LCH2 タイマ・カウント・レジスタ	DMA_M2P_LCH2_TIME_COUNT	R	0000_0000H
525CH-52FCH	Reserved	－	－	－

(f) M2P 用 LCH3 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
5300H	M2P 用 LCH3 ソース・アドレス・レジスタ（スタート・アドレス）	DMA_M2P_LCH3_AADD	R/W	0000_0000H
5304H	M2P 用 LCH3 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH3_AADP	R	0000_0000H
5308H	M2P 用 LCH3 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH3_AOFF	R/W	0000_0000H
530CH	M2P 用 LCH3 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH3_ASIZE	R/W	0000_0000H
5310H	M2P 用 LCH3 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH3_ASIZE_COUNT	R/W	0000_0000H
5314H-531CH	Reserved	－	－	－
5320H	M2P 用 LCH3 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH3_BADD	R/W	0000_0000H
5324H-4533CH	Reserved	－	－	－
5340H	M2P 用 LCH3 レングス・レジスタ	DMA_M2P_LCH3_LENG	R/W	0000_0000H
5344H	M2P 用 LCH3 リード・レングス・カウント・レジスタ	DMA_M2P_LCH3_LENG_RCOUNT	R	0000_0000H
5348H	M2P 用 LCH3 ライト・レングス・カウント・レジスタ	DMA_M2P_LCH3_LENG_WCOUNT	R	0000_0000H
534CH	Reserved	－	－	－
5350H	M2P 用 LCH3 モード・レジスタ（ビット幅，リード／ライト・エンディアン，リピート）	DMA_M2P_LCH3_MODE	R/W	E4E4_0000H
5354H-53FCH	Reserved	－	－	－

(g) M2P 用 LCH4 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
5400H	M2P 用 LCH4 ソース・アドレス・レジスタ（スタート・アドレス）	DMA_M2P_LCH4_AADD	R/W	0000_0000H
5404H	M2P 用 LCH4 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH4_AADP	R	0000_0000H
5408H	M2P 用 LCH4 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH4_AOFF	R/W	0000_0000H
540CH	M2P 用 LCH4 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH4_ASIZE	R/W	0000_0000H
5410H	M2P 用 LCH4 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH4_ASIZE_COUNT	R/W	0000_0000H
5414H-541CH	Reserved	－	－	－
5420H	M2P 用 LCH4 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH4_BADD	R/W	0000_0000H
5424H-543CH	Reserved	－	－	－
5440H	M2P 用 LCH4 レングス・レジスタ	DMA_M2P_LCH4_LENG	R/W	0000_0000H
5444H	M2P 用 LCH4 リード・レングス・カウント・レジスタ	DMA_M2P_LCH4_LENG_RCOUNT	R	0000_0000H
5448H	M2P 用 LCH4 ライト・レングス・カウント・レジスタ	DMA_M2P_LCH4_LENG_WCOUNT	R	0000_0000H
544CH	Reserved	－	－	－
5450H	M2P 用 LCH4 モード・レジスタ（ビット幅，リード／ライト・エンディアン，リピート）	DMA_M2P_LCH4_MODE	R/W	E4E4_0000H
5454H-54FCH	Reserved	－	－	－

（h）M2P 用 LCH5 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
5500H	M2P 用 LCH5 ソース・アドレス・レジスタ（スタート・アドレス）	DMA_M2P_LCH5_AADD	R/W	0000_0000H
5504H	M2P 用 LCH5 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH5_AADP	R	0000_0000H
5508H	M2P 用 LCH5 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH5_AOFF	R/W	0000_0000H
550CH	M2P 用 LCH5 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH5_ASIZE	R/W	0000_0000H
5510H	M2P 用 LCH5 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH5_ASIZE_COUNT	R/W	0000_0000H
5514H-551CH	Reserved	－	－	－
5520H	M2P 用 LCH5 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH5_BADD	R/W	0000_0000H
5524H-553CH	Reserved	－	－	－
5540H	M2P 用 LCH5 レングス	DMA_M2P_LCH5_LENG	R/W	0000_0000H
5544H	M2P 用 LCH5 リード・レングス・カウント・レジスタ	DMA_M2P_LCH5_LENG_RCOUNT	R	0000_0000H
5548H	M2P 用 LCH5 ライト・レングス・カウント・レジスタ	DMA_M2P_LCH5_LENG_WCOUNT	R	0000_0000H
554CH	Reserved	－	－	－
5550H	M2P 用 LCH5 モード・レジスタ（ビット幅，リード／ライト・エンディアン，リピート）	DMA_M2P_LCH5_MODE	R/W	E4E4_0000H
5554H - 56FCH	Reserved	－	－	－

(i) M2P 用 LCH9 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
5900H	M2P 用 LCH9 ソース・アドレス・レジスタ（スタート・アドレス）	DMA_M2P_LCH9_AADD	R/W	0000_0000H
5904H	M2P 用 LCH9 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH9_AADP	R	0000_0000H
5908H	M2P 用 LCH9 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH9_AOFF	R/W	0000_0000H
590CH	M2P 用 LCH9 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH9_ASIZE	R/W	0000_0000H
5910H	M2P 用 LCH9 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH9_ASIZE_COUNT	R/W	0000_0000H
5914H-591CH	Reserved	－	－	－
5920H	M2P 用 LCH9 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH9_BADD	R/W	0000_0000H
5924H-593CH	Reserved	－	－	－
5940H	M2P 用 LCH9 レングス・レジスタ	DMA_M2P_LCH9_LENG	R/W	0000_0000H
5944H	M2P 用 LCH9 リード・レングス・カウント・レジスタ	DMA_M2P_LCH9_LENG_RCOUNT	R	0000_0000H
5948H	M2P 用 LCH9 ライト・レングス・カウント・レジスタ	DMA_M2P_LCH9_LENG_WCOUNT	R	0000_0000H
594CH	Reserved	－	－	－
5950H	M2P 用 LCH9 モード・レジスタ（ビット幅，リード／ライト・エンディアン，リピート）	DMA_M2P_LCH9_MODE	R/W	E4E4_0000H
5954H-59FCH	Reserved	－	－	－

(j) M2P 用 LCH10 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
5A00H	M2P 用 LCH10 ソース・アドレス・レジスタ（スタート・アドレス）	DMA_M2P_LCH10_AADD	R/W	0000_0000H
5A04H	M2P 用 LCH10 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH10_AADP	R	0000_0000H
5A08H	M2P 用 LCH10 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH10_AOFF	R/W	0000_0000H
5A0CH	M2P 用 LCH10 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH10_ASIZE	R/W	0000_0000H
5A10H	M2P 用 LCH10 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH10_ASIZE_COUNT	R/W	0000_0000H
5A14H-5A1CH	Reserved	－	－	－
5A20H	M2P 用 LCH10 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH10_BADD	R/W	0000_0000H
5A24H-5A3CH	Reserved	－	－	－
5A40H	M2P 用 LCH10 レングス・レジスタ	DMA_M2P_LCH10_LENG	R/W	0000_0000H
5A44H	M2P 用 LCH10 リード・レングス・カウント・レジスタ	DMA_M2P_LCH10_LENG_RCOUNT	R	0000_0000H
5A48H	M2P 用 LCH10 ライト・レングス・カウント・レジスタ	DMA_M2P_LCH10_LENG_WCOUNT	R	0000_0000H
5A4CH	Reserved	－	－	－
5A50H	M2P 用 LCH10 モード・レジスタ（ビット幅，リード／ライト・エンディアン，リピート）	DMA_M2P_LCH10_MODE	R/W	E4E4_0000H
5A54H-5AFCH	Reserved	－	－	－

(k) M2P 用 LCH12 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
5C00H	M2P 用 LCH12 ソース・アドレス・レジスタ（スタート・アドレス）	DMA_M2P_LCH12_AADD	R/W	0000_0000H
5C04H	M2P 用 LCH12 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH12_AADP	R	0000_0000H
5C08H	M2P 用 LCH12 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH12_AOFF	R/W	0000_0000H
5C0CH	M2P 用 LCH12 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH12_ASIZE	R/W	0000_0000H
5C10H	M2P 用 LCH12 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH12_ASIZE_COUNT	R/W	0000_0000H
5C14H-5C1CH	Reserved	－	－	－
5C20H	M2P 用 LCH12 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH12_BADD	R/W	0000_0000H
5C24H-5C3CH	Reserved	－	－	－
5C40H	M2P 用 LCH12 レングス・レジスタ	DMA_M2P_LCH12_LENG	R/W	0000_0000H
5C44H	M2P 用 LCH12 リード・レングス・カウント・レジスタ	DMA_M2P_LCH12_LENG_RCOUNT	R	0000_0000H
5C48H	M2P 用 LCH12 ライト・レングス・カウント・レジスタ	DMA_M2P_LCH12_LENG_WCOUNT	R	0000_0000H
5C4CH	Reserved	－	－	－
5C50H	M2P 用 LCH12 モード・レジスタ（ビット幅，リード／ライト・エンディアン，リピート）	DMA_M2P_LCH12_MODE	R/W	E4E4_0000H
5C54H-5CFCH	Reserved	－	－	－

(I) M2P 用 LCH13 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
5D00H	M2P 用 LCH13 ソース・アドレス・レジスタ（スタート・アドレス）	DMA_M2P_LCH13_AADD	R/W	0000_0000H
5D04H	M2P 用 LCH13 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH13_AADP	R	0000_0000H
5D08H	M2P 用 LCH13 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH13_AOFF	R/W	0000_0000H
5D0CH	M2P 用 LCH13 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH13_ASIZE	R/W	0000_0000H
5D10H	M2P 用 LCH13 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH13_ASIZE_COUNT	R/W	0000_0000H
5D14H-5D1CH	Reserved	－	－	－
5D20H	M2P 用 LCH13 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH13_BADD	R/W	0000_0000H
5D24H-5D3CH	Reserved	－	－	－
5D40H	M2P 用 LCH13 レングス・レジスタ	DMA_M2P_LCH13_LENG	R/W	0000_0000H
5D44H	M2P 用 LCH13 リード・レングス・カウント・レジスタ	DMA_M2P_LCH13_LENG_RCOUNT	R	0000_0000H
5D48H	M2P 用 LCH13 ライト・レングス・カウント・レジスタ	DMA_M2P_LCH13_LENG_WCOUNT	R	0000_0000H
5D4CH	Reserved	－	－	－
5D50H	M2P 用 LCH13 モード・レジスタ（ビット幅，リード／ライト・エンディアン，リピート）	DMA_M2P_LCH13_MODE	R/W	E4E4_0000H
5D54H-5DFCH	Reserved	－	－	－

（m）M2P 用 LCH14 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
5E00H	M2P 用 LCH14 ソース・アドレス・レジスタ（スタート・アドレス）	DMA_M2P_LCH14_AADD	R/W	0000_0000H
5E04H	M2P 用 LCH14 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH14_AADP	R	0000_0000H
5E08H	M2P 用 LCH14 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH14_AOFF	R/W	0000_0000H
5E0CH	M2P 用 LCH14 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH14_ASIZE	R/W	0000_0000H
5E10H	M2P 用 LCH14 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH14_ASIZE_COUNT	R/W	0000_0000H
5E14H-5E1CH	Reserved	－	－	－
5E20H	M2P 用 LCH14 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH14_BADD	R/W	0000_0000H
5E24H-5E3CH	Reserved	－	－	－
5E40H	M2P 用 LCH14 レングス・レジスタ	DMA_M2P_LCH14_LENG	R/W	0000_0000H
5E44H	M2P 用 LCH14 リード・レングス・カウント・レジスタ	DMA_M2P_LCH14_LENG_RCOUNT	R	0000_0000H
5E48H	M2P 用 LCH14 ライト・レングス・カウント・レジスタ	DMA_M2P_LCH14_LENG_WCOUNT	R	0000_0000H
5E4CH	Reserved	－	－	－
5E50H	M2P 用 LCH14 モード・レジスタ（ビット幅，リード／ライト・エンディアン，リピート）	DMA_M2P_LCH14_MODE	R/W	E4E4_0000H
5E54H-5EFCH	Reserved	－	－	－

(3) P2M（ペリフェラル←→メモリ転送）用レジスタ

LCH6-LCH8，LCH11 はリザーブ・チャネルです。該当する LCH のビットにレジスタは存在しません。

(a) P2M 用 DMA コントロール・レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
6000H	P2M 用 DMA 起動コントロール・レジスタ	DMA_P2M_CONT	W	0000_0000H
6004H	P2M 用 DMA コントロール・ステータス・レジスタ	DMA_P2M_CONTSTATUS	R	0000_0000H
6008H	P2M 用 DMA 終了コントロール・レジスタ	DMA_P2M_END	W	0000_0000H
600CH-60FCH	Reserved	－	－	－

(b) P2M 用割り込みパラメータ設定レジスタ

(1/3)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
6800H	P2M 用割り込み出力先設定レジスタ（LCH0-CH14）	DMA_P2M_LCH0LCH14_INT_SEL	R/W	0000_0000H
6804H-6FFCH	Reserved	－	－	－
6100H	ACPU 用割り込みステータス・レジスタ（LCH0-LCH3）	DMA_P2M_PE0_LCH0LCH3_INT_CONT	R	0000_0000H
6104H	ACPU 用割り込み Raw ステータス・レジスタ（LCH0-LCH3）	DMA_P2M_PE0_LCH0LCH3_INT_RAW	R	0000_0000H
6108H	ACPU 用割り込みイネーブル・セット・レジスタ（LCH0-LCH3）	DMA_P2M_PE0_LCH0LCH3_INT_ENABLE	R/W	0000_0000H
610CH	ACPU 用割り込みイネーブル・クリア・レジスタ（LCH0-LCH3）	DMA_P2M_PE0_LCH0LCH3_INT_ENABLE _CL	W	0000_0000H
6110H	ACPU 用割り込み要因クリア・レジスタ（LCH0-LCH3）	DMA_P2M_PE0_LCH0LCH3_INT_REQ_CL	W	0000_0000H
6114H-611CH	Reserved	－	－	－
6120H	ACPU 用割り込みステータス・レジスタ（LCH4-LCH5）	DMA_P2M_PE0_LCH4LCH5_INT_CONT	R	0000_0000H
6124H	ACPU 用割り込み Raw ステータス・レジスタ（LCH4-LCH5）	DMA_P2M_PE0_LCH4LCH5_INT_RAW	R	0000_0000H
6128H	ACPU 用割り込みイネーブル・セット（LCH4-LCH5）	DMA_P2M_PE0_LCH4LCH5_INT_ENABLE	R/W	0000_0000H
612CH	ACPU 用割り込みイネーブル・クリア・レジスタ（LCH4-LCH5）	DMA_P2M_PE0_LCH4LCH5_INT_ENABLE _CL	W	0000_0000H
6130H	ACPU 用割り込み要因クリア・レジスタ（LCH4-LCH5）	DMA_P2M_PE0_LCH4LCH5_INT_REQ_CL	W	0000_0000H
6134H-613FH	Reserved	－	－	－
6140H	ACPU 用割り込みステータス・レジスタ（LCH9-LCH10）	DMA_P2M_PE0_LCH9LCH10_INT_CONT	R	0000_0000H
6144H	ACPU 用割り込み Raw ステータス・レジスタ（LCH9-LCH10）	DMA_P2M_PE0_LCH9LCH10_INT_RAW	R	0000_0000H

(2/3)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
6148H	ACPU 用割り込みイネーブル・セット・レジスタ（LCH9-LCH10）	DMA_P2M_PE0_LCH9LCH10_INT_ENABLE	R/W	0000_0000H
614CH	ACPU 用割り込みイネーブル・クリア・レジスタ（LCH9-LCH10）	DMA_P2M_PE0_LCH9LCH10_INT_ENABLE _CL	W	0000_0000H
6150H	ACPU 用割り込み要因クリア・レジスタ（LCH9-LCH10）	DMA_P2M_PE0_LCH9LCH10_INT_REQ_CL	W	0000_0000H
6154H-615CH	Reserved	－	－	－
6160H	ACPU 用割り込みステータス・レジスタ（LCH12-LCH14）	DMA_P2M_PE0_LCH12LCH14_INT_CONT	R	0000_0000H
6164H	ACPU 用割り込み Raw ステータス・レジスタ（LCH12-LCH14）	DMA_P2M_PE0_LCH12LCH14_INT_RAW	R	0000_0000H
6168H	ACPU 用割り込みイネーブル・セット・レジスタ（LCH12-LCH14）	DMA_P2M_PE0_LCH12LCH14_INT_ENABLE	R/W	0000_0000H
616CH	ACPU 用割り込みイネーブル・クリア・レジスタ（LCH12-LCH14）	DMA_P2M_PE0_LCH12LCH14_INT_ENABLE _CL	W	0000_0000H
6170H	ACPU 用割り込み要因クリア・レジスタ（LCH12-LCH14）	DMA_P2M_PE0_LCH12LCH14_INT_REQ_CL	W	0000_0000H
6174H-63FCH	Reserved	－	－	－
6400H	DSP 用割り込みステータス・レジスタ（LCH0-LCH3）	DMA_P2M_DSP_LCH0LCH3_INT_CONT	R	0000_0000H
6404H	DSP 用割り込み Raw ステータス・レジスタ（LCH0-LCH3）	DMA_P2M_DSP_LCH0LCH3_INT_RAW	R	0000_0000H
6408H	DSP 用割り込みイネーブル・セット・レジスタ（LCH0-LCH3）	DMA_P2M_DSP_LCH0LCH3_INT_ENABLE	R/W	0000_0000H
640CH	DSP 用割り込みイネーブル・クリア・レジスタ（LCH0-LCH3）	DMA_P2M_DSP_LCH0LCH3_INT_ENABLE _CL	W	0000_0000H
6410H	DSP 用割り込み要因クリア・レジスタ（LCH0-LCH3）	DMA_P2M_DSP_LCH0LCH3_INT_REQ_CL	W	0000_0000H
6414H-641CH	Reserved	－	－	－
6420H	DSP 用割り込みステータス・レジスタ（LCH4-LCH5）	DMA_P2M_DSP_LCH4LCH5_INT_CONT	R	0000_0000H
6424H	DSP 用割り込み Raw ステータス・レジスタ（LCH4-LCH5）	DMA_P2M_DSP_LCH4LCH5_INT_RAW	R	0000_0000H
6428H	DSP 用割り込みイネーブル・セット・レジスタ（LCH4-LCH5）	DMA_P2M_DSP_LCH4LCH5_INT_ENABLE	R/W	0000_0000H
642CH	DSP 用割り込みイネーブル・クリア・レジスタ（LCH4-LCH5）	DMA_P2M_DSP_LCH4LCH5_INT_ENABLE _CL	W	0000_0000H
6430H	DSP 用割り込み要因クリア・レジスタ（LCH4-LCH5）	DMA_P2M_DSP_LCH4LCH5_INT_REQ_CL	W	0000_0000H
6434H-643CH	Reserved	－	－	－
6440H	DSP 用割り込みステータス・レジスタ（LCH9-LCH10）	DMA_P2M_DSP_LCH9LCH10_INT_CONT	R	0000_0000H

(3/3)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
6444H	DSP 用割り込み Raw ステータス・レジスタ（LCH9-LCH10）	DMA_P2M_DSP_LCH9LCH10_INT_RAW	R	0000_0000H
6448H	DSP 用割り込みイネーブル・セット・レジスタ（LCH9-LCH10）	DMA_P2M_DSP_LCH9LCH10_INT_ENABLE	R/W	0000_0000H
644CH	DSP 用割り込みイネーブル・クリア・レジスタ（LCH9-LCH10）	DMA_P2M_DSP_LCH9LCH10_INT_ENABLE _CL	W	0000_0000H
6450H	DSP 用割り込み要因クリア・レジスタ（LCH9-LCH10）	DMA_P2M_DSP_LCH9LCH10_INT_REQ_CL	W	0000_0000H
6454H-645CH	Reserved	－	－	－
6460H	DSP 用割り込みステータス・レジスタ（LCH12-LCH14）	DMA_P2M_DSP_LCH12LCH14_INT_CONT	R	0000_0000H
6464H	DSP 用割り込み Raw ステータス・レジスタ（LCH12-LCH14）	DMA_P2M_DSP_LCH12LCH14_INT_RAW	R	0000_0000H
6468H	DSP 用割り込みイネーブル・セット・レジスタ（LCH12-LCH14）	DMA_P2M_DSP_LCH12LCH14_INT_ENABLE	R/W	0000_0000H
646CH	DSP 用割り込みイネーブル・クリア・レジスタ（LCH12-LCH14）	DMA_P2M_DSP_LCH12LCH14_INT_ENABLE _CL	W	0000_0000H
6470H	DSP 用割り込み要因クリア・レジスタ（LCH12-LCH14）	DMA_P2M_DSP_LCH12LCH14_INT_REQ_CL	W	0000_0000H
6474H-67FCH	Reserved	－	－	－

(c) P2M 用 LCH0 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
7000H	P2M 用 LCH0 ソース・アドレス・レジスタ	DMA_P2M_LCH0_AADD	R/W	0000_0000H
7004H-701CH	Reserved	−	−	−
7020H	P2M 用 LCH0 ディスティネーション・アドレス・レジスタ（スタート・アドレス）	DMA_P2M_LCH0_BADD	R/W	0000_0000H
7024H	P2M 用 LCH0 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH0_BADP	R	0000_0000H
7028H	P2M 用 LCH0 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH0_BOFF	R/W	0000_0000H
702CH	P2M 用 LCH0 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH0_BSIZE	R/W	0000_0000H
7030H	P2M 用 LCH0 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH0_BSIZE_COUNT	R/W	0000_0000H
7034H-703CH	Reserved	−	−	−
7040H	P2M 用 LCH0 レングス・レジスタ	DMA_P2M_LCH0_LENG	R/W	0000_0000H
7044H	P2M 用 LCH0 リード・レングス・カウント・レジスタ	DMA_P2M_LCH0_LENG_RCOUNT	R	0000_0000H
7048H	P2M 用 LCH0 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH0_LENG_WCOUNT	R	0000_0000H
704CH	Reserved	−	−	−
7050H	P2M 用 LCH0 モード・レジスタ（タイマ設定，ビット幅，リード／ライト・エンディアン，リピート）	DMA_P2M_LCH0_MODE	R/W	E4E4_0000H
7054H	P2M 用 LCH0 タイマ・レジスタ	DMA_P2M_LCH0_TIME	R/W	0000_0000H
7058H	P2M 用 LCH0 タイマ・カウント・レジスタ	DMA_P2M_LCH0_TIME_COUNT	R	0000_0000H
705CH-70FCH	Reserved	−	−	−

(d) P2M 用 LCH1 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
7100H	P2M 用 LCH1 ソース・アドレス・レジスタ	DMA_P2M_LCH1_AADD	R/W	0000_0000H
7104H-711CH	Reserved	−	−	−
7120H	P2M 用 LCH1 ディスティネーション・アドレス・レジスタ（スタート・アドレス）	DMA_P2M_LCH1_BADD	R/W	0000_0000H
7124H	P2M 用 LCH1 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH1_BADP	R	0000_0000H
7128H	P2M 用 LCH1 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH1_BOFF	R/W	0000_0000H
712CH	P2M 用 LCH1 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH1_BSIZE	R/W	0000_0000H
7130H	P2M 用 LCH1 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH1_BSIZE_COUNT	R/W	0000_0000H
7134H-713CH	Reserved	−	−	−
7140H	P2M 用 LCH1 レングス・レジスタ	DMA_P2M_LCH1_LENG	R/W	0000_0000H
7144H	P2M 用 LCH1 リード・レングス・カウント・レジスタ	DMA_P2M_LCH1_LENG_RCOUNT	R	0000_0000H
7148H	P2M 用 LCH1 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH1_LENG_WCOUNT	R	0000_0000H
714CH	Reserved	−	−	−
7150H	P2M 用 LCH1 モード・レジスタ（タイマ設定，ビット幅，リード／ライト・エンディアン，リピート）	DMA_P2M_LCH1_MODE	R/W	E4E4_0000H
7154H	P2M 用 LCH1 タイマ・レジスタ	DMA_P2M_LCH1_TIME	R/W	0000_0000H
7158H	P2M 用 LCH1 タイマ・カウント・レジスタ	DMA_P2M_LCH1_TIME_COUNT	R	0000_0000H
715CH-71FCH	Reserved	−	−	−

(e) P2M 用 LCH2 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
7200H	P2M 用 LCH2 ソース・アドレス・レジスタ	DMA_P2M_LCH2_AADD	R/W	0000_0000H
7204H-721CH	Reserved	−	−	−
7220H	P2M 用 LCH2 ディスティネーション・アドレス・レジスタ（スタート・アドレス）	DMA_P2M_LCH2_BADD	R/W	0000_0000H
7224H	P2M 用 LCH2 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH2_BADP	R	0000_0000H
7228H	P2M 用 LCH2 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH2_BOFF	R/W	0000_0000H
722CH	P2M 用 LCH2 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH2_BSIZE	R/W	0000_0000H
7230H	P2M 用 LCH2 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH2_BSIZE_COUNT	R/W	0000_0000H
7234H-723CH	Reserved	−	−	−
7240H	P2M 用 LCH2 レングス・レジスタ	DMA_P2M_LCH2_LENG	R/W	0000_0000H
7244H	P2M 用 LCH2 リード・レングス・カウント・レジスタ	DMA_P2M_LCH2_LENG_RCOUNT	R	0000_0000H
7248H	P2M 用 LCH2 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH2_LENG_WCOUNT	R	0000_0000H
724CH	Reserved	−	−	−
7250H	P2M 用 LCH2 モード・レジスタ（タイマ設定，ビット幅，リード／ライト・エンディアン，リピート）	DMA_P2M_LCH2_MODE	R/W	E4E4_0000H
7254H	P2M 用 LCH2 タイマ・レジスタ	DMA_P2M_LCH2_TIME	R/W	0000_0000H
7258H	P2M 用 LCH2 タイマ・カウント・レジスタ	DMA_P2M_LCH2_TIME_COUNT	R	0000_0000H
725CH-72FCH	Reserved	−	−	−

(f) P2M 用 LCH3 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
7300H	P2M 用 LCH3 ソース・アドレス・レジスタ	DMA_P2M_LCH3_AADD	R/W	0000_0000H
7304H-731CH	Reserved	−	−	−
7320H	P2M 用 LCH3 ディスティネーション・アドレス・レジスタ（スタート・アドレス）	DMA_P2M_LCH3_BADD	R/W	0000_0000H
7324H	P2M 用 LCH3 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH3_BADP	R	0000_0000H
7328H	P2M 用 LCH3 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH3_BOFF	R/W	0000_0000H
732CH	P2M 用 LCH3 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH3_BSIZE	R/W	0000_0000H
7330H	P2M 用 LCH3 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH3_BSIZE_COUNT	R/W	0000_0000H
7334H-733CH	Reserved	−	−	−
7340H	P2M 用 LCH3 レングス・レジスタ	DMA_P2M_LCH3_LENG	R/W	0000_0000H
7344H	P2M 用 LCH3 リード・レングス・カウント・レジスタ	DMA_P2M_LCH3_LENG_RCOUNT	R	0000_0000H
7348H	P2M 用 LCH3 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH3_LENG_WCOUNT	R	0000_0000H
734CH	Reserved	−	−	−
7350H	P2M 用 LCH3 モード・レジスタ（ビット幅，リード／ライト・エンディアン，リピート）	DMA_P2M_LCH3_MODE	R/W	E4E4_0000H
7354H-73FCH	Reserved	−	−	−

(g) P2M 用 LCH4 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
7400H	P2M 用 LCH4 ソース・アドレス・レジスタ	DMA_P2M_LCH4_AADD	R/W	0000_0000H
7404H-741CH	Reserved	−	−	−
7420H	P2M 用 LCH4 ディスティネーション・アドレス・レジスタ（スタート・アドレス）	DMA_P2M_LCH4_BADD	R/W	0000_0000H
7424H	P2M 用 LCH4 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH4_BADP	R	0000_0000H
7428H	P2M 用 LCH4 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH4_BOFF	R/W	0000_0000H
742CH	P2M 用 LCH4 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH4_BSIZE	R/W	0000_0000H
7430H	P2M 用 LCH4 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH4_BSIZE_COUNT	R/W	0000_0000H
7434H-743CH	Reserved	−	−	−
7440H	P2M 用 LCH4 レングス・レジスタ	DMA_P2M_LCH4_LENG	R/W	0000_0000H
7444H	P2M 用 LCH4 リード・レングス・カウント・レジスタ	DMA_P2M_LCH4_LENG_RCOUNT	R	0000_0000H
7448H	P2M 用 LCH4 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH4_LENG_WCOUNT	R	0000_0000H
744CH	Reserved	−	−	−
7450H	P2M 用 LCH4 モード・レジスタ（ビット幅，リード／ライト・エンディアン，リピート）	DMA_P2M_LCH4_MODE	R/W	E4E4_0000H
7454H-74FCH	Reserved	−	−	−

(h) P2M 用 LCH5 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
7500H	P2M 用 LCH5 ソース・アドレス・レジスタ	DMA_P2M_LCH5_AADD	R/W	0000_0000H
7504H-751CH	Reserved	−	−	−
7520H	P2M 用 LCH5 ディスティネーション・アドレス・レジスタ（スタート・アドレス）	DMA_P2M_LCH5_BADD	R/W	0000_0000H
7524H	P2M 用 LCH5 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH5_BADP	R	0000_0000H
7528H	P2M 用 LCH5 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH5_BOFF	R/W	0000_0000H
752CH	P2M 用 LCH5 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH5_BSIZE	R/W	0000_0000H
7530H	P2M 用 LCH5 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH5_BSIZE_COUNT	R/W	0000_0000H
7534H-753CH	Reserved	−	−	−
7540H	P2M 用 LCH5 レングス・レジスタ	DMA_P2M_LCH5_LENG	R/W	0000_0000H
7544H	P2M 用 LCH5 リード・レングス・カウント・レジスタ	DMA_P2M_LCH5_LENG_RCOUNT	R	0000_0000H
7548H	P2M 用 LCH5 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH5_LENG_WCOUNT	R	0000_0000H
754CH	Reserved	−	−	−
7550H	P2M 用 LCH5 モード・レジスタ（ビット幅，リード／ライト・エンディアン，リピート）	DMA_P2M_LCH5_MODE	R/W	E4E4_0000H
7554H-76FCH	Reserved	−	−	−

(i) P2M 用 LCH9 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
7900H	P2M 用 LCH9 ソース・アドレス・レジスタ	DMA_P2M_LCH9_AADD	R/W	0000_0000H
7904H-791CH	Reserved	−	−	−
7920H	P2M 用 LCH9 ディスティネーション・アドレス・レジスタ（スタート・アドレス）	DMA_P2M_LCH9_BADD	R/W	0000_0000H
7924H	P2M 用 LCH9 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH9_BADP	R	0000_0000H
7928H	P2M 用 LCH9 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH9_BOFF	R/W	0000_0000H
792CH	P2M 用 LCH9 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH9_BSIZE	R/W	0000_0000H
7930H	P2M 用 LCH9 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH9_BSIZE_COUNT	R/W	0000_0000H
7934H-793CH	Reserved	−	−	−
7940H	P2M 用 LCH9 レングス・レジスタ	DMA_P2M_LCH9_LENG	R/W	0000_0000H
7944H	P2M 用 LCH9 リード・レングス・カウント・レジスタ	DMA_P2M_LCH9_LENG_RCOUNT	R	0000_0000H
7948H	P2M 用 LCH9 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH9_LENG_WCOUNT	R	0000_0000H
794CH	Reserved	−	−	−
7950H	P2M 用 LCH9 モード・レジスタ（ビット幅，リード／ライト・エンディアン，リピート）	DMA_P2M_LCH9_MODE	R/W	E4E4_0000H
7954H-79FCH	Reserved	−	−	−

(j) P2M 用 LCH10 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
7A00H	P2M 用 LCH10 ソース・アドレス・レジスタ	DMA_P2M_LCH10_AADD	R/W	0000_0000H
7A04H-7A1CH	Reserved	－	－	－
7A20H	P2M 用 LCH10 ディスティネーション・アドレス・レジスタ（スタート・アドレス）	DMA_P2M_LCH10_BADD	R/W	0000_0000H
7A24H	P2M 用 LCH10 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH10_BADP	R	0000_0000H
7A28H	P2M 用 LCH10 ディスティネーション･アドレス･オフセット・レジスタ	DMA_P2M_LCH10_BOFF	R/W	0000_0000H
7A2CH	P2M 用 LCH10 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH10_BSIZE	R/W	0000_0000H
7A30H	P2M 用 LCH10 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH10_BSIZE_COUNT	R/W	0000_0000H
7A34H-7A3CH	Reserved	－	－	－
7A40H	P2M 用 LCH10 レングス・レジスタ	DMA_P2M_LCH10_LENG	R/W	0000_0000H
7A44H	P2M 用 LCH10 リード・レングス・カウント・レジスタ	DMA_P2M_LCH10_LENG_RCOUNT	R	0000_0000H
7A48H	P2M 用 LCH10 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH10_LENG_WCOUNT	R	0000_0000H
7A4CH	Reserved	－	－	－
7A50H	P2M 用 LCH10 モード・レジスタ（ビット幅，リード／ライト・エンディアン，リピート）	DMA_P2M_LCH10_MODE	R/W	E4E4_0000H
7A54H-7AFCH	Reserved	－	－	－

(k) P2M 用 LCH12 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
7C00H	P2M 用 LCH12 ソース・アドレス・レジスタ	DMA_P2M_LCH12_AADD	R/W	0000_0000H
7C04H-7C1CH	Reserved	－	－	－
7C20H	P2M 用 LCH12 ディスティネーション・アドレス・レジスタ（スタート・アドレス）	DMA_P2M_LCH12_BADD	R/W	0000_0000H
7C24H	P2M 用 LCH12 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH12_BADP	R	0000_0000H
7C28H	P2M 用 LCH12 ディスティネーション･アドレス･オフセット・レジスタ	DMA_P2M_LCH12_BOFF	R/W	0000_0000H
7C2CH	P2M 用 LCH12 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH12_BSIZE	R/W	0000_0000H
7C30H	P2M 用 LCH12 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH12_BSIZE_COUNT	R/W	0000_0000H
7C34H-7C3CH	Reserved	－	－	－
7C40H	P2M 用 LCH12 レングス・レジスタ	DMA_P2M_LCH12_LENG	R/W	0000_0000H
7C44H	P2M 用 LCH12 リード・レングス・カウント・レジスタ	DMA_P2M_LCH12_LENG_RCOUNT	R	0000_0000H
7C48H	P2M 用 LCH12 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH12_LENG_WCOUNT	R	0000_0000H
7C4CH	Reserved	－	－	－
7C50H	P2M 用 LCH12 モード・レジスタ（ビット幅，リード／ライト・エンディアン，リピート）	DMA_P2M_LCH12_MODE	R/W	E4E4_0000H
7C54H-7C5FH	Reserved	－	－	－

(I) P2M 用 LCH13 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
7D00H	P2M 用 LCH13 ソース・アドレス・レジスタ	DMA_P2M_LCH13_AADD	R/W	0000_0000H
7D04H-7D1CH	Reserved	−	−	−
7D20H	P2M 用 LCH13 ディスティネーション・アドレス・レジスタ（スタート・アドレス）	DMA_P2M_LCH13_BADD	R/W	0000_0000H
7D24H	P2M 用 LCH13 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH13_BADP	R	0000_0000H
7D28H	P2M 用 LCH13 ディスティネーション･アドレス･オフセット・レジスタ	DMA_P2M_LCH13_BOFF	R/W	0000_0000H
7D2CH	P2M 用 LCH13 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH13_BSIZE	R/W	0000_0000H
7D30H	P2M 用 LCH13 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH13_BSIZE_COUNT	R/W	0000_0000H
7D34H-7D3CH	Reserved	−	−	−
7D40H	P2M 用 LCH13 レングス・レジスタ	DMA_P2M_LCH13_LENG	R/W	0000_0000H
7D44H	P2M 用 LCH13 リード・レングス・カウント・レジスタ	DMA_P2M_LCH13_LENG_RCOUNT	R	0000_0000H
7D48H	P2M 用 LCH13 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH13_LENG_WCOUNT	R	0000_0000H
7D4CH	Reserved	−	−	−
7D50H	P2M 用 LCH13 モード・レジスタ（ビット幅，リード／ライト・エンディアン，リピート）	DMA_P2M_LCH13_MODE	R/W	E4E4_0000H
7D54H-7DFCH	Reserved	−	−	−

（m）P2M 用 LCH14 パラメータ設定レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
7E00H	P2M 用 LCH14 ソース・アドレス・レジスタ	DMA_P2M_LCH14_AADD	R/W	0000_0000H
7E04H-7E1CH	Reserved	－	－	－
7E20H	P2M 用 LCH14 ディスティネーション・アドレス・レジスタ（スタート・アドレス）	DMA_P2M_LCH14_BADD	R/W	0000_0000H
7E24H	P2M 用 LCH14 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH14_BADP	R	0000_0000H
7E28H	P2M 用 LCH14 ディスティネーション･アドレス･オフセット・レジスタ	DMA_P2M_LCH14_BOFF	R/W	0000_0000H
7E2CH	P2M 用 LCH14 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH14_BSIZE	R/W	0000_0000H
7E30H	P2M 用 LCH14 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH14_BSIZE_COUNT	R/W	0000_0000H
7E34H-7E3CH	Reserved	－	－	－
7E40H	P2M 用 LCH14 レングス・レジスタ	DMA_P2M_LCH14_LENG	R/W	0000_0000H
7E44H	P2M 用 LCH14 リード・レングス・カウント・レジスタ	DMA_P2M_LCH14_LENG_RCOUNT	R	0000_0000H
7E48H	P2M 用 LCH14 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH14_LENG_WCOUNT	R	0000_0000H
7E4CH	Reserved	－	－	－
7E50H	P2M 用 LCH14 モード・レジスタ（ビット幅，リード／ライト・エンディアン，リピート）	DMA_P2M_LCH14_MODE	R/W	E4E4_0000H
7E54H-7EFCH	Reserved	－	－	－

(4) 割り込みインデックス・レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
8000H	ACPU 用割り込みインデックス・レジスタ	DMA_PE0_INT_INDEX	R	0000_0000H
8004H-8008H	Reserved	−	−	−
800CH	DSP 用割り込みインデックス・レジスタ	DMA_DSP_INT_INDEX	R	0000_0000H
8010H-80FCH	Reserved	−	−	−
8100H	ACPU 用割り込みインデックス 2 レジスタ　(1 ビットごとに LCH 割り当て)	DMA_PE0_INT_INDEX2	R	0000_0000H
8104H-8108H	Reserved	−	−	−
810CH	DSP 用割り込みインデックス 2 レジスタ (1 ビットごとに LCH 割り当て)	DMA_DSP_INT_INDEX2	R	0000_0000H
8110H-8FFCH	Reserved	−	−	−

A.1.4 IPU（イメージ・プロセッサ機能関連レジスタ）

ベース・アドレス：400A_0000H

（1/2）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	機能設定レジスタ	IMG_MODE	R/W	0000_0000H
0004H	処理要求レジスタ	IMG_REQ	W	0000_0000H
0008H	処理ステータス・レジスタ	IMG_ACK	R	0000_0000H
000CH	割り込みステータス・レジスタ	IMG_STATUS	R	0000_0000H
0010H	割り込み Raw ステータス・レジスタ	IMG_RAWSTATUS	R	0000_0000H
0014H	割り込み Enable セット・レジスタ	IMG_ENSET	R/W	0000_0000H
0018H	割り込み Enable クリア・レジスタ	IMG_ENCLR	W	0000_0000H
001CH	割り込み要因クリア・レジスタ	IMG_FFCLR	W	0000_0000H
0020H	ソース画像アドレス加算量（Back Image）レジスタ	IMG_SRCSIZE_B	R/W	0000_0010H
0024H	ソース画像アドレス加算量（Front Image）レジスタ	IMG_SRCSIZE_F	R/W	0000_0010H
0028H	ディスティネーション画像アドレス加算量レジスタ	IMG_DSTSIZE	R/W	0000_0020H
002CH	Reserved	－	－	－
0030H	ソース画像 Y/RGB Plane アドレス・レジスタ（Back Image）	IMG_SRCYRGBADR_B	R/W	0000_0000H
0034H	ソース画像 Y/RGB Plane アドレス・レジスタ（Front Image）	IMG_SRCYRGBADR_F	R/W	0000_0000H
0038H	ディスティネーション画像 Y/RGB Plane アドレス・レジスタ	IMG_DSTYRGBADR	R/W	0000_0000H
003CH	Reserved	－	－	－
0040H	ソース画像 UV Plane アドレス・レジスタ（Back Image）	IMG_SRCUVADR_B	R/W	0000_0000H
0044H	ソース画像 UV Plane アドレス・レジスタ（Front Image）	IMG_SRCUVADR_F	R/W	0000_0000H
0048H	ディスティネーション画像 UV Plane アドレス・レジスタ	IMG_DSTUVADR	R/W	0000_0000H
004CH	Reserved	－	－	－
0050H	ソース画像水平画像サイズ・レジスタ（Back Image）	IMG_SRCHSIZE_B	R/W	0000_0008H
0054H	ソース画像水平画像サイズ・レジスタ（Front Image）	IMG_SRCHSIZE_F	R/W	0000_0008H
0058H	ソース画像垂直画像サイズ・レジスタ（Back Image）	IMG_SRCVSIZE_B	R/W	0000_0008H
005CH	ソース画像垂直画像サイズ・レジスタ（Front Image）	IMG_SRCVSIZE_F	R/W	0000_0008H
0060H	表示水平オフセット位置レジスタ	IMG_OFFSETX	R/W	0000_0000H
0064H	表示垂直オフセット位置レジスタ	IMG_OFFSETY	R/W	0000_0000H
0068H	マスク・カラー・レジスタ	IMG_MASKCOLR	R/W	0000_0000H
006CH	透明度レジスタ	IMG_ALPHA	R/W	0000_00FFH
0070H	リサイズ後ディスティネーション画像水平画像サイズ・レジスタ（リサイズ機能のみ設定）	IMG_DSTHSIZE	R/W	0000_0008H
0074H	リサイズ後ディスティネーション画像垂直画像サイズ・レジスタ（リサイズ機能のみ設定）	IMG_DSTVSIZE	R/W	0000_0008H
0078H	ディスティネーション画像水平ステップ・レジスタ（リサイズ機能のみ設定）	IMG_HSTEP	R/W	0000_0040H
007CH	ディスティネーション画像垂直ステップ・レジスタ（リサイズ機能のみ設定）	IMG_VSTEP	R/W	0000_0040H
0080H	ディスティネーション画像水平倍率レジスタ（リサイズ機能のみ設定）	IMG_HFOLD	R/W	0000_0100H
0084H	ディスティネーション画像垂直倍率レジスタ（リサイズ機能のみ設定）	IMG_VFOLD	R/W	0000_0100H
0088H-00A8H	Reserved	－	－	－

(2/2)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
00ACH	入出力画素データ・エンディアン切り替えレジスタ	IMG_PEL_ENDIAN	R/W	0000_0000H
00B0H	AHB I/F デバッグ・アドレス・レジスタ	IMG_DBG_HADDR	R	0000_0000H
00B4H-00BCH	Reserved	−	−	−
00C0H	色空間変換行列設定レジスタ（RGBYUV）	IMG_RGBYUV_CONF	R/W	0000_0000H
00C4H	色空間変換行列パラメータ・レジスタ（RGBYUV00）	IMG_RGBYUV00	R/W	−
00C8H	色空間変換行列パラメータ・レジスタ（RGBYUV01）	IMG_RGBYUV01	R/W	−
00CCH	色空間変換行列パラメータ・レジスタ（RGBYUV02）	IMG_RGBYUV02	R/W	−
00D0H	色空間変換行列パラメータ・レジスタ（RGBYUV10）	IMG_RGBYUV10	R/W	−
00D4H	色空間変換行列パラメータ・レジスタ（RGBYUV11）	IMG_RGBYUV11	R/W	−
00D8H	色空間変換行列パラメータ・レジスタ（RGBYUV12）	IMG_RGBYUV12	R/W	−
00DCH	色空間変換行列パラメータ・レジスタ（RGBYUV20）	IMG_RGBYUV20	R/W	−
00E0H	色空間変換行列パラメータ・レジスタ（RGBYUV21）	IMG_RGBYUV21	R/W	−
00E4H	色空間変換行列パラメータ・レジスタ（RGBYUV22）	IMG_RGBYUV22	R/W	−
00E8H	色空間変換行列設定レジスタ（YUVRGB）	IMG_YUVRGB_CONF	R/W	0000_0000H
00ECH	色空間変換行列パラメータ・レジスタ（YUVRGB00）	IMG_YUVRGB00	R/W	−
00F0H	色空間変換行列パラメータ・レジスタ（YUVRGB01）	IMG_YUVRGB01	R/W	−
00F4H	色空間変換行列パラメータ・レジスタ（YUVRGB02）	IMG_YUVRGB02	R/W	−
00F8H	色空間変換行列パラメータ・レジスタ（YUVRGB10）	IMG_YUVRGB10	R/W	−
00FCH	色空間変換行列パラメータ・レジスタ（YUVRGB11）	IMG_YUVRGB11	R/W	−
0100H	色空間変換行列パラメータ・レジスタ（YUVRGB12）	IMG_YUVRGB12	R/W	−
0104H	色空間変換行列パラメータ・レジスタ（YUVRGB20）	IMG_YUVRGB20	R/W	−
0108H	色空間変換行列パラメータ・レジスタ（YUVRGB21）	IMG_YUVRGB21	R/W	−
010CH	色空間変換行列パラメータ・レジスタ（YUVRGB22）	IMG_YUVRGB22	R/W	−
0110H	入出力画像フォーマット・レジスタ	IMG_FORMAT	R/W	0000_0000H
0114H	入力画像バイト・レーン選択レジスタ	IMG_INDATABYTE	R/W	0000_E4E4H
0118H	出力画像バイト・レーン選択レジスタ	IMG_OUTDATABYTE	R/W	0000_E4E4H
011CH	ソース画像 V Plane アドレス・レジスタ（Back Image）	IMG_SRCVADR_B	R/W	0000_0000H
0120H	ソース画像 V Plane アドレス・レジスタ（Front Image）	IMG_SRCVADR_F	R/W	0000_0000H
0124H	ディスティネーション画像 V Plane アドレス・レジスタ	IMG_DSTVADR	R/W	0000_0000H
0128H	レジスタ更新予約設定レジスタ	IMG_DUAL_FF	R/W	0000_0000H
012CH	Reserved	−	−	−
0130H	入力画像バイト・レーン選択レジスタ（BackImage）（Y/UV プレーン分割版）	IMG_INDATABYTE_B_CMP	R/W	0000_E4E4H
0134H	入力画像バイト・レーン選択レジスタ（FrontImage）（Y/UV プレーン分割版）	IMG_INDATABYTE_F_CMP	R/W	0000_E4E4H
0138H	出力画像バイト・レーン選択レジスタ（Y/UV プレーン分割版）	IMG_OUTDATABYTE_CMP	R/W	0000_E4E4H
013CH	R ブライトネス設定レジスタ	IMG_R_BRITNESS	R/W	0000_0000H
0140H	G ブライトネス設定レジスタ	IMG_G_BRITNESS	R/W	0000_0000H
0144H	B ブライトネス設定レジスタ	IMG_B_BRITNESS	R/W	0000_0000H
0148H-0FFFH	Reserved	−	−	−

A.1.5 CAM（Cameraインタフェース）

ベース・アドレス：400B_0000H

（1/2）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	INT ステータス・レジスタ	CA_STATUS	R	0000_0000H
0004H	INT Raw ステータス・レジスタ	CA_RAWSTATUS	R	0000_0000H
0008H	INT Enable セット・レジスタ	CA_ENSET	R/W	0000_0000H
000CH	INT Enable クリア・レジスタ	CA_ENCLR	W	0000_0000H
0010H	INT 要因クリア・レジスタ	CA_FFCLR	W	0000_0000H
0014H	エラー・アドレス・レジスタ	CA_ERRORADR	R/W	0000_0000H
0018H-001CH	Reserved	－	－	－
0020H	カメラ・コントロール・レジスタ	CA_CSR	R/W	0000_0000H
0024H-002CH	Reserved	－	－	－
0030H	転送開始 X 座標レジスタ	CA_X1R	R/W	0000_0000H
0034H	転送終了 X 座標レジスタ	CA_X2R	R/W	0000_0000H
0038H	転送開始 Y 座標レジスタ	CA_Y1R	R/W	0000_0000H
003CH	転送終了 Y 座標レジスタ	CA_Y2R	R/W	0000_0000H
0040H	輝度信号オフセット・レジスタ	CA_BNZR	R/W	0000_0000H
0044H	輝度信号ゲイン・レジスタ	CA_BNGR	R/W	0000_0080H
0048H	U 色差信号オフセット・レジスタ	CA_CBZR	R/W	0000_0000H
004CH	U 色差信号ゲイン・レジスタ	CA_CBGR	R/W	0000_0080H
0050H	V 色差信号オフセット・レジスタ	CA_CRZR	R/W	0000_0000H
0054H	V 色差信号ゲイン・レジスタ	CA_CRGR	R/W	0000_0080H
0058H-07CH	Reserved	－	－	－
0080H	転送コントロール・レジスタ	CA_DMACNT	R/W	0000_0000H
0084H	転送フレーム・レジスタ	CA_FRAME	R/W	0000_0005H
0088H	転送要求レジスタ	CA_DMAREQ	R/W	0000_0000H
008CH	転送要求解除レジスタ	CA_DMASTOP	W	0000_0000H
0090H-00FCH	Reserved	－	－	－
0100H	アドレス加算量レジスタ（メイン・フレーム）	CA_LINESIZE_MAIN	R/W	0000_0000H
0104H	水平縮小率レジスタ（メイン・フレーム）	CA_XRATIO_MAIN	R/W	0000_0000H
0108H	垂直縮小率レジスタ（メイン・フレーム）	CA_YRATIO_MAIN	R/W	0000_0000H
010CH	水平転送サイズ・レジスタ（メイン・フレーム）	CA_DMAX_MAIN	R/W	0000_0000H
0110H	垂直転送サイズ・レジスタ（メイン・フレーム）	CA_DMAY_MAIN	R/W	0000_0000H
0114H	Y Plane 転送アドレス・レジスタ（A Frame）	CA_YPLANE_A	R/W	0000_0000H
0118H	UV Plane 転送アドレス・レジスタ（A Frame）	CA_UVPLANE_A	R/W	0000_0000H
011CH	Y Plane 転送アドレス・レジスタ（B Frame）	CA_YPLANE_B	R/W	0000_0000H
0120H	UV Plane 転送アドレス・レジスタ（B Frame）	CA_UVPLANE_B	R/W	0000_0000H
0124H-0228H	Reserved	－	－	－
022CH	モジュール制御レジスタ	CA_MODULECONT	R/W	0000_0000H
0230H	更新レジスタ	CA_UPDATE	R/W	0000_0000H

(2/2)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0234H	水平垂直反転制御レジスタ	CA_MIRROR	R/W	0000_0000H
0238H	バイトレーン制御レジスタ（YUV 422 Interleave モード専用）	CA_OD_BYTELANE	R/W	0000_00E4H
023CH	Reserved	－	－	－
0240H	転送終了 X 座標レジスタ（イネーブル・モード専用）	CA_X3R	R/W	0000_0000H
0244H	V Plane 転送アドレス・レジスタ（A Frame）	CA_VPLANE_A	R/W	0000_0000H
0248H	V Plane 転送アドレス・レジスタ（B Frame）	CA_VPLANE_B	R/W	0000_0000H
024CH-0250H	Reserved	－	－	－
0254H	バイトレーン制御レジスタ 2（ビデオ系マクロ統一仕様バイトレーン選択）	CA_OD_BYTELANE2	R/W	0000_E4E4H
0258H	簡易 QoS 設定レジスタ	CA_QOS	R/W	0000_0000H
025CH-FFFFH	Reserved	－	－	－

A.1.6 PM1（Audio/Voiceインタフェース）

ベース・アドレス：400D_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	動作モード設定レジスタ	PM1_FUNC_SEL	R/W	0000_0000H
0004H	データ転送イネーブル・セット・レジスタ	PM1_TXRX_EN	W	－
0008H	データ転送イネーブル・クリア・レジスタ	PM1_TXRX_DIS	W	－
000CH	データ転送サイクル設定レジスタ	PM1_CYCLE	R/W	0000_0000H
0010H	割り込み Raw ステータス・レジスタ	PM1_RAW	R	0000_0000H
0014H	割り込みステータス・レジスタ	PM1_STATUS	R	0000_0000H
0018H	割り込みイネーブル・セット・レジスタ	PM1_ENSET	W	－
001CH	割り込みイネーブル・クリア・レジスタ	PM1_ENCLR	W	－
0020H	割り込みクリア・レジスタ	PM1_CLEAR	W	－
0024H	送信データ・レジスタ	PM1_TXQ	R/W	0000_0000H
0028H	受信データ・レジスタ	PM1_RXQ	R	0000_0000H
002CH	Reserved	－	－	－
0030H	データ転送サイクル設定レジスタ 2	PM1_CYCLE2	R/W	0000_0000H

A.1.7　PWMインタフェース

ベース・アドレス：4010_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	PWM 動作開始／停止レジスタ	PWM_CH0_ CTRL	R/W	0000_0000H
0004H	PWM0 モード制御レジスタ	PWM_CH0_MODE	R/W	0000_0000H
0010H	チャネル 0 カウンタ 0 ディレイ設定レジスタ	PWM_CH0_DELAY0	R/W	0000_0000H
0014H	チャネル 0 カウンタ 0 リーディング・エッジ設定レジスタ	PWM_CH0_LEDGE0	R/W	0000_0000H
0018H	チャネル 0 カウンタ 0 トレーリング・エッジ設定レジスタ	PWM_CH0_TEDGE0	R/W	0000_0000H
001CH	チャネル 0 カウンタ 0 総周期設定レジスタ	PWM_CH0_TOTAL0	R/W	0000_0000H
0020H	チャネル 0 カウンタ 0 ループ回数設定レジスタ	PWM_CH0_LOOP0	R/W	0000_0000H
0040H	チャネル 0 カウンタ 1 ディレイ設定レジスタ	PWM_CH0_DELAY1	R/W	0000_0000H
0044H	チャネル 0 カウンタ 1 リーディング・エッジ設定レジスタ	PWM_CH0_LEDGE1	R/W	0000_0000H
0048H	チャネル 0 カウンタ 1 トレーリング・エッジ設定レジスタ	PWM_CH0_TEDGE1	R/W	0000_0000H
004CH	チャネル 0 カウンタ 1 総周期設定レジスタ	PWM_CH0_TOTAL1	R/W	0000_0000H
0050H	チャネル 0 カウンタ 1 ループ回数設定レジスタ	PWM_CH0_LOOP1	R/W	0000_0000H
0080H	チャネル 0 カウンタ 2 ディレイ設定レジスタ	PWM_CH0_DELAY2	R/W	0000_0000H
0084H	チャネル 0 カウンタ 2 リーディング・エッジ設定レジスタ	PWM_CH0_LEDGE2	R/W	0000_0000H
0088H	チャネル 0 カウンタ 2 トレーリング・エッジ設定レジスタ	PWM_CH0_TEDGE2	R/W	0000_0000H
008CH	チャネル 0 カウンタ 2 総周期設定レジスタ	PWM_CH0_TOTAL2	R/W	0000_0000H
0090H	チャネル 0 カウンタ 2 ループ回数設定レジスタ	PWM_CH0_LOOP2	R/W	0000_0000H
0100H	PWM 動作開始／停止レジスタ	PWM_CH1_CTRL	R/W	0000_0000H
0104H	PWM0 モード制御レジスタ	PWM_CH1_MODE	R/W	0000_0000H
0110H	チャネル 1 カウンタ 0 ディレイ設定レジスタ	PWM_CH1_DELAY0	R/W	0000_0000H
0114H	チャネル 1 カウンタ 0 リーディング・エッジ設定レジスタ	PWM_CH1_LEDGE0	R/W	0000_0000H
0118H	チャネル 1 カウンタ 0 トレーリング・エッジ設定レジスタ	PWM_CH1_TEDGE0	R/W	0000_0000H
011CH	チャネル 1 カウンタ 0 総周期設定レジスタ	PWM_CH1_TOTAL0	R/W	0000_0000H
0120H	チャネル 1 カウンタループ回数設定レジスタ	PWM_CH1_LOOP0	R/W	0000_0000H
0140H	チャネル 1 カウンタ 1 ディレイ設定レジスタ	PWM_CH1_DELAY1	R/W	0000_0000H
0144H	チャネル 1 カウンタ 1 リーディング・エッジ設定レジスタ	PWM_CH1_LEDGE1	R/W	0000_0000H
0148H	チャネル 1 カウンタ 1 トレーリング・エッジ設定レジスタ	PWM_CH1_TEDGE1	R/W	0000_0000H
014CH	チャネル 1 カウンタ 1 総周期設定レジスタ	PWM_CH1_TOTAL1	R/W	0000_0000H
0150H	チャネル 1 カウンタ 1 ループ回数設定レジスタ	PWM_CH1_LOOP1	R/W	0000_0000H
0180H	チャネル 1 カウンタ 2 ディレイ設定レジスタ	PWM_CH1_DELAY2	R/W	0000_0000H
0184H	チャネル 1 カウンタ 2 リーディング・エッジ設定レジスタ	PWM_CH1_LEDGE2	R/W	0000_0000H
0188H	チャネル 1 カウンタ 2 トレーリング・エッジ設定レジスタ	PWM_CH1_TEDGE2	R/W	0000_0000H
018CH	チャネル 1 カウンタ 2 総周期設定レジスタ	PWM_CH1_TOTAL2	R/W	0000_0000H
0190H	チャネル 1 カウンタ 2 ループ回数設定レジスタ	PWM_CH1_LOOP2	R/W	0000_0000H
0400H	PWM 割り込みステータス・レジスタ	PWM_INTSTATUS	R	0000_0000H
0404H	PWM 割り込み RAW ステータス・レジスタ	PWM_INTRAWSTATUS	R	0000_0000H
0408H	PWM 割り込みイネーブル・セット・レジスタ	PWM_INTENSET	R/W	0000_0000H
040CH	PWM 割り込みイネーブル・クリア・レジスタ	PWM_INTENCLR	W	0000_0000H
0410H	PWM 割り込み要因クリア・レジスタ	PWM_INTFFCLR	W	0000_0000H

A.1.8　SP2（SPIインタフェース）

ベース・アドレス：4013_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	モード・レジスタ	SP2_MODE	R/W	0000_0002H
0004H	SPI 極性レジスタ	SP2_POL	R/W	0000_7000H
0008H	コントロール・レジスタ	SP2_CONTROL	R/W	0000_8040H
000CH	Reserved	－	－	－
0010H	送信データ・レジスタ	SP2_TX_DATA	W	0000_0000H
0014H	受信データ・レジスタ	SP2_RX_DATA	R	0000_000xH
0018H	割り込みステータス・レジスタ	SP2_STATUS	R	0000_0000H
001CH	割り込み Raw ステータス・レジスタ	SP2_RAW_STATUS	R	0000_0000H
0020H	割り込みイネーブル・セット・レジスタ	SP2_ENSET	R/W	0000_0000H
0024H	割り込みイネーブル・クリア・レジスタ	SP2_ENCLR	W	0000_0000H
0028H	割り込み要因クリア・レジスタ	SP2_FFCLR	W	0000_0000H
002CH-0030H	Reserved	－	－	－
0034H	コントロール・レジスタ 2	SP2_CONTROL2	R/W	0000_0000H
0038H	CS 固定レジスタ	SP2_TIECS	R/W	0000_0000H
003CH-FFFFH	Reserved	－	－	－

A.1.9 DTV（地上デジタルTVインタフェース）

ベース・アドレス：4015_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	割り込みステータス・レジスタ	DT_STATUS	R	0000_0000H
0004H	割り込み Raw ステータス・レジスタ	DT_RAWSTATUS	R	0000_0000H
0008H	割り込みイネーブル・セット・レジスタ	DT_ENSET	R/W	0000_0000H
000CH	割り込みイネーブル・クリア・レジスタ	DT_ENCLR	W	0000_0000H
0010H	割り込み要因クリア・レジスタ	DT_FFCLR	W	0000_0000H
0014H	エラー・アドレス・レジスタ	DT_ERRORADR	R/W	0000_0000H
0020H	転送コントロール・レジスタ	DT_DMACNT	R/W	0000_0003H
0024H	転送要求レジスタ	DT_DMAREQ	R/W	0000_0000H
0028H	転送要求解除レジスタ	DT_DMASTOP	W	0000_0000H
002CH	スタート・アドレス・レジスタ	DT_START	R/W	0000_0000H
0030H	バッファ・サイズ・レジスタ	DT_BUFSIZE	R/W	0000_0000H
0034H	ブランク・サイズ・レジスタ	DT_BLANK	R/W	0000_0000H
0038H	カレント・パケット・レジスタ	DT_CURRENT	R	0000_0000H
003CH	DMA 完了割り込み設定レジスタ	DT_INTCONT	R/W	0000_0000H
0040H	モジュール制御レジスタ	DT_MODULECONT	R/W	0000_0000H

A.1.10　NTS（ITU-R BT.656 インタフェース）

ベース・アドレス：4012_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	コントロール・レジスタ	NTS_CONTROL	R/W	0000_0000H
0004H	表示レジスタ	NTS_OUT	R/W	0000_0000H
0008H	ステータス・レジスタ	NTS_STATUS	R	0000_0000H
000CH	表示領域アドレス・レジスタ YA	NTS_YAREAAD_A	R/W	0000_0000H
0010H	表示領域アドレス・レジスタ YB	NTS_YAREAAD_B	R/W	0000_0000H
0014H	表示領域アドレス・レジスタ YC	NTS_YAREAAD_C	R/W	0000_0000H
0018H	表示領域アドレス・レジスタ UVA	NTS_UVAREAAD_A	R/W	0000_0000H
001CH	表示領域アドレス・レジスタ UVB	NTS_UVAREAAD_B	R/W	0000_0000H
0020H	表示領域アドレス・レジスタ UVC	NTS_UVAREAAD_C	R/W	0000_0000H
0024H	アドレス加算量レジスタ	NTS_HOFFSET	R/W	0000_0000H
0028H	フレーム・セレクト・レジスタ	NTS_FRAMESEL	R/W	0000_0001H
002CH-005CH	Reserved	－	－	－
0060H	割り込みステータス・レジスタ	NTS_INTSTATUS	R	0000_0000H
0064H	割り込み Raw ステータス・レジスタ	NTS_INTRAWSTATUS	R	0000_0000H
0068H	割り込みイネーブル・セット・レジスタ	NTS_INTENSET	R/W	0000_0000H
006CH	割り込みイネーブル・クリア・レジスタ	NTS_INTENCLR	W	0000_0000H
0070H	割り込み要因クリア・レジスタ	NTS_INTFFCLR	W	0000_0000H
0074H	エラー・アドレス・レジスタ	NTS_ERRORADR	R/W	0000_0000H
0078H	ソフトウエア・リセット・レジスタ	NTS_SWRESET	R/W	0000_0000H
007CH-00FCH	Reserved	－	－	－

A.1.11　NAND（NAND Flashインタフェース）

ベース・アドレス：4022：0000H

(1) AHB／モード／割り込み制御レジスタ（BBC）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	AHB ベース・アドレス変換レジスタ	NAND_ATBAR	R/W	0000_0000H
0004H	AHB カウント変換レジスタ	NAND_ATCR	R	0000_0000H
0008H	AHB アドレス変換レジスタ	NAND_ATACR	R	0000_0000H
000CH	モード・セット・レジスタ	NAND_MSR	R/W	0000_0000H
0010H	割り込みステータス・レジスタ	NAND_INTSTATUS	R	0000_0000H
0014H	割り込み Raw ステータス・レジスタ	NAND_RAWINTSTATUS	R	0000_0000H
0018H	割り込みイネーブル・セット・レジスタ	NAND_INTENSET	R/W	0000_0000H
001CH	割り込みイネーブル・クリア・レジスタ	NAND_INTENCLR	W	－
0020H	AHB 割り込み要因クリア・レジスタ	AHB_INTFFCLR	W	－
0024H	Flash リード・データ・レジスタ	NAND_FRD	R	0000_0000H
0280H-00FCH	Reserved	－	－	－

(2) EMMU ブロック・レジスタ（Flash インタフェース制御）

(1/3)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0200H	コントロール・レジスタ	NAND_CR	R/W	0000_0000H
0204H	ステータス・レジスタ	NAND_ESR	R	－
0208H	割り込みコントロール・レジスタ	NAND_EICR	R/W	0000_0000H
020CH	割り込み Raw ステータス・レジスタ	NAND_EIRSR	R	－
0210H	割り込み要因クリア・レジスタ	NAND_EICLR	W	－
0214H	CE 制御レジスタ	NAND_CECR	R/W	0000_000FH
0218H	コンペア・データ・レジスタ	NAND_CDR	R/W	0000_FF00H
021CH	ステータス・チェック制御レジスタ	NAND_SCCR	R/W	0000_0370H
0220H	チャネル A コマンド・ライト・レジスタ	NAND_CHA_CWR	W	－
0224H	チャネル A アドレス・ライト・レジスタ	NAND_CHA_AWR	W	－
0228H	チャネル A 最終アドレス・ライト・レジスタ	NAND_CHA_LAWR	W	－
022CH	チャネル A データ・ライト・レジスタ	NAND_CHA_DWR	W	－
0230H	チャネル A データ・リード・レジスタ（リード・トリガ・ライト）	NAND_CHA_DRR	W	－
0234H	チャネル A バイト・データ・ライト・レジスタ	NAND_CHA_BDWR	W	－
0238H	チャネル A バイト・データ・リード・レジスタ（リード・トリガ・ライト）	NAND_CHA_BDRR	W	－
023CH	チャネル A Flash プログラミング･ステータス･チェック・レジスタ（リード・トリガ・ライト）	NAND_CHA_FPSCR	W	－
0240H	チャネル A Flash ライト・ステータス・レジスタ	NAND_CHA_FWSR	R	－
0244H-025FH	Reserved	－	－	－
0260H	チャネル B コマンド・ライト・レジスタ	NAND_CHB_CWR	W	－
0264H	チャネル B アドレス・ライト・レジスタ	NAND_CHB_AWR	W	－

(2/3)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0268H	チャネル B 最終アドレス・ライト・レジスタ	NAND_CHB_LAWR	W	－
026CH	チャネル B データ・ライト・レジスタ	NAND_CHB_DWR	W	－
0270H	チャネル B データ・リード・レジスタ（リード・トリガ・ライト）	NAND_CHB_DRR	W	－
0274H	チャネル B バイト・データ・ライト・レジスタ	NAND_CHB_BDWR	W	－
0278H	チャネル B バイト・データ・リード・レジスタ（リード・トリガ・ライト）	NAND_CHB_BDRR	W	－
027CH	チャネル B Flash プログラミング･ステータス･チェック・レジスタ（リード・トリガ・ライト）	NAND_CHB_FPSCR	W	－
0280H	チャネル B Flash ライト・ステータス・レジスタ	NAND_CHB_FWSR	R	－
0284H-029FH	Reserved	－	－	－
02A0H	RS ステータス・レジスタ	NAND_RSSR	R	0000_0000H
02A4H-02BFH	Reserved	－	－	－
02C0H	チャネル A RS エラー・バリュー0 レジスタ	NAND_CHA_RSEV0R	R	0000_0000H
02C4H	チャネル A RS エラー・バリュー1 レジスタ	NAND_CHA_RSEV1R	R	0000_0000H
02C8H	チャネル A RS エラー・バリュー2 レジスタ	NAND_CHA_RSEV2R	R	0000_0000H
02CCH	チャネル A RS エラー・バリュー3 レジスタ	NAND_CHA_RSEV3R	R	0000_0000H
02D0H	チャネル A RS エラー・プレイス 0 レジスタ	NAND_CHA_RSEP0R	R	0000_0000H
02D4H	チャネル A RS エラー・プレイス 1 レジスタ	NAND_CHA_RSEP1R	R	0000_0000H
02D8H	チャネル A RS エラー・プレイス 2 レジスタ	NAND_CHA_RSEP2R	R	0000_0000H
02DCH	チャネル A RS エラー・プレイス 3 レジスタ	NAND_CHA_RSEP3R	R	0000_0000H
02E0H	チャネル B RS エラー・バリュー0 レジスタ	NAND_CHB_RSEV0R	R	0000_0000H
02E4H	チャネル B RS エラー・バリュー1 レジスタ	NAND_CHB_RSEV1R	R	0000_0000H
02E8H	チャネル B RS エラー・バリュー2 レジスタ	NAND_CHB_RSEV2R	R	0000_0000H
02ECH	チャネル B RS エラー・バリュー3 レジスタ	NAND_CHB_RSEV3R	R	0000_0000H
02F0H	チャネル B RS エラー・プレイス 0 レジスタ	NAND_CHB_RSEP0R	R	0000_0000H
02F4H	チャネル B RS エラー・プレイス 1 レジスタ	NAND_CHB_RSEP1R	R	0000_0000H
02F8H	チャネル B RS エラー・プレイス 2 レジスタ	NAND_CHB_RSEP2R	R	0000_0000H
02FCH	チャネル B RS エラー・プレイス 3 レジスタ	NAND_CHB_RSEP3R	R	0000_0000H
0300H	チャネル A スペア・データ・ホールド 0 レジスタ	NAND_CHA_SDH0R	R/W	0000_0000H
0304H	チャネル A スペア・データ・ホールド 1 レジスタ	NAND_CHA_SDH1R	R/W	0000_0000H
0308H	チャネル A スペア・データ・ホールド 2 レジスタ	NAND_CHA_SDH2R	R/W	0000_0000H
030CH	チャネル A スペア・データ・ホールド 3 レジスタ	NAND_CHA_SDH3R	R	0000_0000H
0310H	チャネル A スペア・データ・ホールド 4 レジスタ	NAND_CHA_SDH4R	R	0000_0000H
0314H	チャネル A スペア・データ・ホールド 5 レジスタ	NAND_CHA_SDH5R	R	0000_0000H
0318H	チャネル A スペア・データ・ホールド 6 レジスタ	NAND_CHA_SDH6R	R	0000_0000H
031CH	チャネル A スペア・データ・ホールド 7 レジスタ	NAND_CHA_SDH7R	R	0000_0000H
0320H	チャネル B スペア・データ・ホールド 0 レジスタ	NAND_CHB_SDH0R	R/W	0000_0000H
0324H	チャネル B スペア・データ・ホールド 1 レジスタ	NAND_CHB_SDH1R	R/W	0000_0000H
0328H	チャネル B スペア・データ・ホールド 2 レジスタ	NAND_CHB_SDH2R	R/W	0000_0000H
032CH	チャネル B スペア・データ・ホールド 3 レジスタ	NAND_CHB_SDH3R	R	0000_0000H
0330H	チャネル B スペア・データ・ホールド 4 レジスタ	NAND_CHB_SDH4R	R	0000_0000H

(3/3)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0334H	チャネル B スペア・データ・ホールド 5 レジスタ	NAND_CHB_SDH5R	R	0000_0000H
0338H	チャネル B スペア・データ・ホールド 6 レジスタ	NAND_CHB_SDH6R	R	0000_0000H
033CH	チャネル B スペア・データ・ホールド 7 レジスタ	NAND_CHB_SDH7R	R	0000_0000H
0340H-03FFH	Reserved	－	－	－

(3) PSC ブロック・レジスタ（プログラム可能シーケンス制御（コマンド制御に相当））

(1/2)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0400H	プログラム可能シーケンサ制御レジスタ	NAND_PSCR	R/W	0000_0000H
0404H	命令ポインタ・レジスタ	NAND_IPR	R/W	0000_0000H
0408H	割り込み識別データ・レジスタ	NAND_IIDR	R	0000_0000H
040CH-041FH	Reserved	－	－	－
0420H	命令テーブル・レジスタ（ポインタ 0H）	NAND_ITR	R/W	0000_0000H
0424H	命令テーブル・レジスタ（ポインタ 1H）	NAND_ITR	R/W	0000_0000H
0428H	命令テーブル・レジスタ（ポインタ 2H）	NAND_ITR	R/W	0000_0000H
042CH	命令テーブル・レジスタ（ポインタ 3H）	NAND_ITR	R/W	0000_0000H
0430H	命令テーブル・レジスタ（ポインタ 4H）	NAND_ITR	R/W	0000_0000H
0434H	命令テーブル・レジスタ（ポインタ 5H）	NAND_ITR	R/W	0000_0000H
0438H	命令テーブル・レジスタ（ポインタ 6H）	NAND_ITR	R/W	0000_0000H
043CH	命令テーブル・レジスタ（ポインタ 7H）	NAND_ITR	R/W	0000_0000H
0440H	命令テーブル・レジスタ（ポインタ 8H）	NAND_ITR	R/W	0000_0000H
0444H	命令テーブル・レジスタ（ポインタ 9H）	NAND_ITR	R/W	0000_0000H
0448H	命令テーブル・レジスタ（ポインタ AH）	NAND_ITR	R/W	0000_0000H
044CH	命令テーブル・レジスタ（ポインタ BH）	NAND_ITR	R/W	0000_0000H
0450H	命令テーブル・レジスタ（ポインタ CH）	NAND_ITR	R/W	0000_0000H
0454H	命令テーブル・レジスタ（ポインタ DH）	NAND_ITR	R/W	0000_0000H
0458H	命令テーブル・レジスタ（ポインタ EH）	NAND_ITR	R/W	0000_0000H
045CH	命令テーブル・レジスタ（ポインタ FH）	NAND_ITR	R/W	0000_0000H
0460H	命令テーブル・レジスタ（ポインタ 10H）	NAND_ITR	R/W	0000_0000H
0464H	命令テーブル・レジスタ（ポインタ 11H）	NAND_ITR	R/W	0000_0000H
0468H	命令テーブル・レジスタ（ポインタ 12H）	NAND_ITR	R/W	0000_0000H
046CH	命令テーブル・レジスタ（ポインタ 13H）	NAND_ITR	R/W	0000_0000H
0470H	命令テーブル・レジスタ（ポインタ 14H）	NAND_ITR	R/W	0000_0000H
0474H	命令テーブル・レジスタ（ポインタ 15H）	NAND_ITR	R/W	0000_0000H
0478H	命令テーブル・レジスタ（ポインタ 16H）	NAND_ITR	R/W	0000_0000H
047CH	命令テーブル・レジスタ（ポインタ 17H）	NAND_ITR	R/W	0000_0000H
0480H	命令テーブル・レジスタ（ポインタ 18H）	NAND_ITR	R/W	0000_0000H
0484H	命令テーブル・レジスタ（ポインタ 19H）	NAND_ITR	R/W	0000_0000H
0488H	命令テーブル・レジスタ（ポインタ 1AH）	NAND_ITR	R/W	0000_0000H
048CH	命令テーブル・レジスタ（ポインタ 1BH）	NAND_ITR	R/W	0000_0000H
0490H	命令テーブル・レジスタ（ポインタ 1CH）	NAND_ITR	R/W	0000_0000H

(2/2)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0494H	命令テーブル・レジスタ（ポインタ 1DH）	NAND_ITR	R/W	0000_0000H
0498H	命令テーブル・レジスタ（ポインタ 1EH）	NAND_ITR	R/W	0000_0000H
049CH	命令テーブル・レジスタ（ポインタ 1FH）	NAND_ITR	R/W	0000_0000H
04A0H- 04FFH	Reserved	－	－	－

（4）LDMA ブロック・レジスタ（ローカル・バス制御）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0600H	コントロール・レジスタ	NAND_LCR	R/W	0000_0000H
0604H- 0608H	Reserved	－	－	－
060CH	割り込みコントロール・レジスタ	NAND_LICR	R/W	0000_0000H
0610H	割り込み Raw ステータス・レジスタ	NAND_LIRSR	R	0000_0000H
0614H	割り込み要因クリア・レジスタ	NAND_LICLR	W	－
0618H- 061CH	Reserved	－	－	－
0620H	LDMA 最新カウント変換レジスタ	NAND_TCCR	R	0000_0000H
0624H- 067FH	Reserved	－	－	－

A.1.12 IPU（GraphicsDMA機能関連レジスタ）

ベース・アドレス：4025_0000H

（1/2）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	DMA 機能設定レジスタ	DMA_MODE	R/W	0000_0000H
0004H	DMA 処理要求レジスタ	DMA_REQ	W	0000_0000H
0008H	DMA 処理ステータス・レジスタ	DMA_ACK	R	0000_0000H
000CH	DMA 割り込みステータス・レジスタ	DMA_STATUS	R	0000_0000H
0010H	DMA 割り込み Raw ステータス・レジスタ	DMA_RAWSTATUS	R	0000_0000H
0014H	DMA 割り込み Enable セット・レジスタ	DMA_ENSET	R/W	0000_0000H
0018H	DMA 割り込み Enable クリア・レジスタ	DMA_ENCLR	W	0000_0000H
001CH	DMA 割り込み要因クリア・レジスタ	DMA_FFCLR	W	0000_0000H
0020H	DMA ソース画像 1 アドレス加算量レジスタ	DMA_SRCSIZE_1	R/W	0000_0008H
0024H	DMA ソース画像 2 アドレス加算量レジスタ	DMA_SRCSIZE_2	R/W	0000_0008H
0028H	DMA ディスティネーション画像アドレス加算量レジスタ	DMA_DSTSIZE	R/W	0000_0008H
002CH	Reserved	－	－	－
0030H	DMA ソース画像 1Y/RGB Plane アドレス・レジスタ	DMA_SRCYRGBADR_1	R/W	0000_0000H
0034H	DMA ソース画像 2Y/RGB Plane アドレス・レジスタ	DMA_SRCYRGBADR_2	R/W	0000_0000H
0038H	DMA ディスティネーション画像 Y/RGB Plane アドレス・レジスタ	DMA_DSTYRGBADR	R/W	0000_0000H
003CH	Reserved	－	－	－
0040H	DMA ソース画像 1UV Plane アドレス・レジスタ	DMA_SRCUVADR_1	R/W	0000_0000H
0044H	DMA ソース画像 2UV Plane アドレス・レジスタ	DMA_SRCUVADR_2	R/W	0000_0000H
0048H	DMA ディスティネーション画像 UV Plane アドレス・レジスタ	DMA_DSTUVADR	R/W	0000_0000H
004CH	Reserved	－	－	－
0050H	DMA ソース画像 1V Plane アドレス・レジスタ	DMA_SRCVADR_1	R/W	0000_0000H
0054H	DMA ソース画像 2V Plane アドレス・レジスタ	DMA_SRCVADR_2	R/W	0000_0000H
0058H	DMA ディスティネーション画像 V Plane アドレス・レジスタ	DMA_DSTVADR	R/W	0000_0000H
005CH	Reserved	－	－	－
0060H	DMA 水平画像サイズ・レジスタ	DMA_HSIZE	R/W	0000_0008H
0064H	DMA 垂直画像サイズ・レジスタ	DMA_VSIZE	R/W	0000_0008H
0068H	DMA マスク・カラー・レジスタ	DMA_MASKCOLR	R/W	0000_0000H
006CH	DMA 塗りつぶしデータ・レジスタ	DMA_FILLDATA	R/W	0000_0000H
0070H	DMA 画像フォーマット・レジスタ	DMA_FORMAT	R/W	0000_0000H
0074H	DMA ソース画像 1 バイト・レーン選択レジスタ	DMA_SRCBYTE_1	R/W	0000_E4E4H
0078H	DMA ソース画像 2 バイト・レーン選択レジスタ	DMA_SRCBYTE_2	R/W	0000_E4E4H
007CH	DMA ディスティネーション画像バイト・レーン選択レジスタ	DMA_DSTBYTE	R/W	0000_E4E4H
0080H	DMA レジスタ更新予約設定レジスタ	DMA_DUAL_FF	R/W	0000_0000H
0084H-008CH	Reserved	－	－	－
0090H	DMA ソース画像 1 バイト･レーン選択レジスタ（Y/UV プレーン分割版）	DMA_SRCBYTE_1_CMP	R/W	0000_E4E4H

(2/2)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0094H	DMA ソース画像 2 バイト・レーン選択レジスタ（Y/UV プレーン分割版）	DMA_SRCBYTE_2_CMP	R/W	0000_E4E4H
0098H	DMA ディスティネーション画像バイト・レーン選択レジスタ（Y/UV プレーン分割版）	DMA_DSTBYTE_CMP	R/W	0000_E4E4H
009CH	Reserved	–	–	–
00A0H	DMA オート・スキャン・レジスタ	DMA_AUTO_SCAN	R/W	0000_0000H
00A4H-0FFFH	Reserved	–	–	–

A.1.13　IMC（イメージ・コンポーザ）

ベース・アドレス：4026_0000H

注意　0000H～_FFFCH のアドレス領域のうち，下表に明記していないアドレスはすべて Reserved 領域です。Reserved 領域へのライト・アクセスは禁止，リード値は不定です。

（1/3）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	コントロール・レジスタ	IMC_CONTROL	R/W	0000_0000H
0004H	更新予約レジスタ	IMC_REFRESH	R/W	0000_0000H
0010H	起動レジスタ	IMC_START	R/W	0000_0000H
0014H	ステータス・レジスタ	IMC_STATUS	R	0000_0000H
0018H	CPU ダブル・バッファ制御レジスタ	IMC_CPUBUFSEL	R/W	0000_0000H
0020H	ガンマ補正制御レジスタ	IMC_GAMMA_EN	R/W	0000_0000H
0024H	ガンマ補正テーブル・アドレス・レジスタ	IMC_GAMMA_ADR	R/W	0000_0000H
0028H	ガンマ補正テーブル・データ・レジスタ	IMC_GAMMA_DATA	R/W	0000_0000H
0040H	表示領域アドレス・レジスタ	IMC_WB_AREAADR	R/W	0000_0000H
0044H	アドレス加算量レジスタ	IMC_WB_HOFFSET	R/W	0000_0000H
0048H	フォーマット・レジスタ	IMC_WB_FORMAT	R/W	0000_0000H
004CH	WB 画像サイズ・レジスタ	IMC_WB_SIZE	R/W	0000_0000H
0100H	水平垂直反転設定レジスタ	IMC_MIRROR	R/W	0000_0000H
0104H	Y ゲイン・オフセット・レジスタ	IMC_YGAINOFFSET	R/W	0000_0080H
0108H	U ゲイン・オフセット・レジスタ	IMC_UGAINOFFSET	R/W	0000_0080H
010CH	V ゲイン・オフセット・レジスタ	IMC_VGAINOFFSET	R/W	0000_0080H
0110H	YUV2RGB 変換方式レジスタ	IMC_YUV2RGB	R/W	0000_0000H
0114H	カスタム係数レジスタ（Coef R0）	IMC_COEF_R0	R/W	0000_0000H
0118H	カスタム係数レジスタ（Coef R1）	IMC_COEF_R1	R/W	0000_0000H
011CH	カスタム係数レジスタ（Coef R2）	IMC_COEF_R2	R/W	0000_0000H
0120H	カスタム係数レジスタ（Coef R3）	IMC_COEF_R3	R/W	0000_0000H
0124H	カスタム係数レジスタ（Coef G0）	IMC_COEF_G0	R/W	0000_0000H
0128H	カスタム係数レジスタ（Coef G1）	IMC_COEF_G1	R/W	0000_0000H
012CH	カスタム係数レジスタ（Coef G2）	IMC_COEF_G2	R/W	0000_0000H
0130H	カスタム係数レジスタ（Coef G3）	IMC_COEF_G3	R/W	0000_0000H
0134H	カスタム係数レジスタ（Coef B0）	IMC_COEF_B0	R/W	0000_0000H
0138H	カスタム係数レジスタ（Coef B1）	IMC_COEF_B1	R/W	0000_0000H
013CH	カスタム係数レジスタ（Coef B2）	IMC_COEF_B2	R/W	0000_0000H
0140H	カスタム係数レジスタ（Coef B3）	IMC_COEF_B3	R/W	0000_0000H
0200H	レイヤ 0 制御レジスタ	IMC_L0_CONTROL	R/W	0000_0000H
0204H	レイヤ 0 フォーマット・レジスタ	IMC_L0_FORMAT	R/W	0000_0000H
0210H	レイヤ 0 透過色制御レジスタ	IMC_L0_KEYENABLE	R/W	0000_0000H
0214H	レイヤ 0 透過色レジスタ	IMC_L0_KEYCOLOR	R/W	0000_0000H
0218H	レイヤ 0 アルファ・レジスタ	IMC_L0_ALPHA	R/W	0000_0000H
0220H	レイヤ 0 リサイズ・レジスタ	IMC_L0_RESIZE	R/W	0000_0000H
0230H	レイヤ 0 アドレス加算量レジスタ	IMC_L0_OFFSET	R/W	0000_0000H
0234H	レイヤ 0 先頭アドレス・レジスタ	IMC_L0_FRAMEADR	R/W	0000_0000H
0250H	レイヤ 0 表示位置レジスタ	IMC_L0_POSITION	R/W	0000_0000H

(2/3)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0254H	レイヤ 0 表示サイズ・レジスタ	IMC_L0_SIZE	R/W	0000_0000H
0300H	レイヤ 1A 制御レジスタ	IMC_L1A_CONTROL	R/W	0000_0000H
0304H	レイヤ 1x フォーマット・レジスタ	IMC_L1X_FORMAT	R/W	0000_0000H
0310H	レイヤ 1A 透過色制御レジスタ	IMC_L1A_KEYENABLE	R/W	0000_0000H
0314H	レイヤ 1x 透過色レジスタ	IMC_L1X_KEYCOLOR	R/W	0000_0000H
0318H	レイヤ 1A アルファ・レジスタ	IMC_L1A_ALPHA	R/W	0000_0000H
0320H	レイヤ 1x リサイズ・レジスタ	IMC_L1X_RESIZE	R/W	0000_0000H
0330H	レイヤ 1x アドレス加算量レジスタ	IMC_L1X_OFFSET	R/W	0000_0000H
0334H	レイヤ 1A 先頭アドレス・レジスタ	IMC_L1A_FRAMEADR	R/W	0000_0000H
0350H	レイヤ 1A 表示位置レジスタ	IMC_L1A_POSITION	R/W	0000_0000H
0354H	レイヤ 1A 表示サイズ・レジスタ	IMC_L1A_SIZE	R/W	0000_0000H
0400H	レイヤ 1B 制御レジスタ	IMC_L1B_CONTROL	R/W	0000_0000H
0410H	レイヤ 1B 透過色制御レジスタ	IMC_L1B_KEYENABLE	R/W	0000_0000H
0418H	レイヤ 1B アルファ・レジスタ	IMC_L1B_ALPHA	R/W	0000_0000H
0434H	レイヤ 1B 先頭アドレス・レジスタ	IMC_L1B_FRAMEADR	R/W	0000_0000H
0450H	レイヤ 1B 表示位置レジスタ	IMC_L1B_POSITION	R/W	0000_0000H
0454H	レイヤ 1B 表示サイズ・レジスタ	IMC_L1B_SIZE	R/W	0000_0000H
0500H	レイヤ 1C 制御レジスタ	IMC_L1C_CONTROL	R/W	0000_0000H
0510H	レイヤ 1C 透過色制御レジスタ	IMC_L1C_KEYENABLE	R/W	0000_0000H
0518H	レイヤ 1C アルファ・レジスタ	IMC_L1C_ALPHA	R/W	0000_0000H
0534H	レイヤ 1C 先頭アドレス・レジスタ	IMC_L1C_FRAMEADR	R/W	0000_0000H
0550H	レイヤ 1C 表示位置レジスタ	IMC_L1C_POSITION	R/W	0000_0000H
0554H	レイヤ 1C 表示サイズ・レジスタ	IMC_L1C_SIZE	R/W	0000_0000H
0600H	レイヤ 2A 制御レジスタ	IMC_L2A_CONTROL	R/W	0000_0000H
0604H	レイヤ 2A フォーマット・レジスタ	IMC_L2A_FORMAT	R/W	0000_0000H
0608H	レイヤ 2A ダブル・バッファ制御レジスタ	IMC_L2A_BUFSEL	R/W	0000_0000H
060CH	レイヤ 2A バイト・レーン・レジスタ	IMC_L2A_BYTELANE	R/W	0000_E4E4H
0620H	レイヤ 2A リサイズ・レジスタ	IMC_L2A_RESIZE	R/W	0000_0000H
0624H	レイヤ 2A 水平垂直反転制御レジスタ	IMC_L2A_MIRROR	R/W	0000_0000H
0630H	レイヤ 2A アドレス加算量レジスタ	IMC_L2A_OFFSET	R/W	0000_0000H
0634H	レイヤ 2A 先頭アドレス・レジスタ（YP）	IMC_L2A_FRAMEADR_YP	R/W	0000_0000H
0638H	レイヤ 2A 先頭アドレス・レジスタ（UP）	IMC_L2A_FRAMEADR_UP	R/W	0000_0000H
063CH	レイヤ 2A 先頭アドレス・レジスタ（VP）	IMC_L2A_FRAMEADR_VP	R/W	0000_0000H
0640H	レイヤ 2A 先頭アドレス・レジスタ（YQ）	IMC_L2A_FRAMEADR_YQ	R/W	0000_0000H
0644H	レイヤ 2A 先頭アドレス・レジスタ（UQ）	IMC_L2A_FRAMEADR_UQ	R/W	0000_0000H
0648H	レイヤ 2A 先頭アドレス・レジスタ（VQ）	IMC_L2A_FRAMEADR_VQ	R/W	0000_0000H
0650H	レイヤ 2A 表示位置レジスタ	IMC_L2A_POSITION	R/W	0000_0000H
0654H	レイヤ 2A 表示サイズ・レジスタ	IMC_L2A_SIZE	R/W	0000_0000H
0700H	レイヤ 2B 制御レジスタ	IMC_L2B_CONTROL	R/W	0000_0000H
0704H	レイヤ 2B フォーマット・レジスタ	IMC_L2B_FORMAT	R/W	0000_0000H
0708H	レイヤ 2B ダブル・バッファ制御レジスタ	IMC_L2A_BUFSEL	R/W	0000_0000H
070CH	レイヤ 2B バイト・レーン・レジスタ	IMC_L2B_BYTELANE	R/W	0000_E4E4H
0720H	レイヤ 2B リサイズ・レジスタ	IMC_L2B_RESIZE	R/W	0000_0000H

(3/3)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0724H	レイヤ 2B 水平垂直反転制御レジスタ	IMC_L2B_MIRROR	R/W	0000_0000H
0730H	レイヤ 2B アドレス加算量レジスタ	IMC_L2B_OFFSET	R/W	0000_0000H
0734H	レイヤ 2B 先頭アドレス・レジスタ（YP）	IMC_L2B_FRAMEADR_YP	R/W	0000_0000H
0738H	レイヤ 2B 先頭アドレス・レジスタ（UP）	IMC_L2B_FRAMEADR_UP	R/W	0000_0000H
073CH	レイヤ 2B 先頭アドレス・レジスタ（VP）	IMC_L2B_FRAMEADR_VP	R/W	0000_0000H
0740H	レイヤ 2B 先頭アドレス・レジスタ（YQ）	IMC_L2B_FRAMEADR_YQ	R/W	0000_0000H
0744H	レイヤ 2B 先頭アドレス・レジスタ（UQ）	IMC_L2B_FRAMEADR_UQ	R/W	0000_0000H
0748H	レイヤ 2B 先頭アドレス・レジスタ（VQ）	IMC_L2B_FRAMEADR_VQ	R/W	0000_0000H
0750H	レイヤ 2B 表示位置レジスタ	IMC_L2B_POSITION	R/W	0000_0000H
0754H	レイヤ 2B 表示サイズ・レジスタ	IMC_L2B_SIZE	R/W	0000_0000H
0804H	レイヤ BG フォーマット・レジスタ	IMC_BG_FORMAT	R/W	0000_0000H
0820H	レイヤ BG リサイズ・レジスタ	IMC_BG_RESIZE	R/W	0000_0000H
0830H	レイヤ BG アドレス加算量レジスタ	IMC_BG_OFFSET	R/W	0000_0000H
0834H	レイヤ BG 先頭アドレス・レジスタ	IMC_BG_FRAMEADR	R/W	0000_0000H
0900H	割り込みステータス・レジスタ	IMC_INTSTATUS	R	0000_0000H
0904H	割り込み Raw ステータス・レジスタ	IMC_INTRAWSTATUS	R	0000_0000H
0908H	割り込みイネーブル・セット・レジスタ	IMC_INTENSET	R/W	0000_0000H
090CH	割り込みイネーブル・クリア・レジスタ	IMC_INTENCLR	W	0000_0000H
0910H	割り込み要因クリア・レジスタ	IMC_INTFFCLR	W	0000_0000H
0914H	AHBR エラー・アドレス・レジスタ	IMC_AHBRERRADR	R/W	0000_0000H
0918H	AHBW エラー・アドレス・レジスタ	IMC_AHBWERRADR	R/W	0000_0000H
1000H	ARGB4444 モード・レジスタ	IMC_ARGBMODE	R/W	0000_0000H

A.1.14 LCD（LCDコントローラ）

ベース・アドレス：4027_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	コントロール・レジスタ	LCD_CONTROL	R/W	0000_0000H
0004H	簡易 QoS 設定レジスタ	LCD_QOS	R/W	0000_0000H
0008H	データ要求サイクル・レジスタ	LCD_DATAREQ	R/W	0000_0000H
0010H	表示レジスタ	LCD_LCDOUT	R/W	0000_0000H
0014H	アクセス・バス・セレクト・レジスタ	LCD_BUSSEL	R/W	0000_0000H
0018H	ステータス・レジスタ	LCD_STATUS	R	0000_0000H
001CH	固定色出力値レジスタ	LCD_BACKCOLOR	R/W	0000_0000H
0020H	表示領域アドレス・レジスタ	LCD_AREAADR	R/W	0000_0000H
0024H	アドレス加算量レジスタ	LCD_HOFFSET	R/W	0000_0000H
0028H	入力フォーマット・レジスタ	LCD_IFORMAT	R/W	0000_0000H
002CH	簡易リサイズ・レジスタ	LCD_RESIZE	R/W	0000_0000H
0030H	水平方向トータル・レジスタ	LCD_HTOTAL	R/W	0000_0000H
0034H	水平方向表示領域レジスタ	LCD_HAREA	R/W	0000_0000H
0038H	水平同期エッジ 1 レジスタ	LCD_HEDGE1	R/W	0000_0000H
003CH	水平同期エッジ 2 レジスタ	LCD_HEDGE2	R/W	0000_0000H
0040H	垂直方向トータル・レジスタ	LCD_VTOTAL	R/W	0000_0000H
0044H	垂直方向表示領域レジスタ	LCD_VAREA	R/W	0000_0000H
0048H	垂直同期エッジ 1 レジスタ	LCD_VEDGE1	R/W	0000_0000H
004CH	垂直同期エッジ 2 レジスタ	LCD_VEDGE2	R/W	0000_0000H
0050H-005CH	Reserved	–	–	–
0060H	割り込みステータス・レジスタ	LCD_INTSTATUS	R	0000_0000H
0064H	割り込み Raw ステータス・レジスタ	LCD_INTRAWSTATUS	R	0000_0000H
0068H	割り込みイネーブル・セット・レジスタ	LCD_INTENSET	R/W	0000_0000H
006CH	割り込みイネーブル・クリア・レジスタ	LCD_INTENCLR	W	0000_0000H
0070H	割り込み要因クリア・レジスタ	LCD_INTFFCLR	W	0000_0000H
0074H	フレーム・カウント割り込み設定レジスタ	LCD_FRAMECOUNT	R/W	0000_0000H

A.1.15　UART0（U70）

ベース・アドレス：5000_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	**受信バッファ・レジスタ**	RBR	R	**不定**
	送信保持レジスタ	THR	W	
0004H	**割り込みイネーブル・レジスタ**	IER	R/W	0000H
0008H	**割り込み識別レジスタ**	IIR	R	0001H
000CH	FIFO **制御レジスタ**	FCR	R/W	0000H
0010H	**ライン制御レジスタ**	LCR	R/W	0000H
0014H	**モデム制御レジスタ**	MCR	R/W	0000H
0018H	**ライン・ステータス・レジスタ**	LSR	R	0060H
001CH	**モデム・ステータス・レジスタ**	MSR	R	000xH　**注**
0020H	**スクラッチ・レジスタ**	SCR	R/W	0000H
0024H	**分周ラッチ** LS **バイト・レジスタ**	DLL	R/W	0000H
0028H	**分周ラッチ** MS **バイト・レジスタ**	DLM	R/W	0000H
002CH	**ハードウエア制御レジスタ**	HCR0	R/W	0000H
0030H	**ハードウエア・ステータス・レジスタ** 2	HCR2	R	0000H
0034H	**ハードウエア・ステータス・レジスタ** 3	HCR3	R	0000H
0038H-003CH	Reserved	–	–	–
0040H	IR **制御レジスタ** 0	IRCR0	R/W	0000H
0044H	IR **制御レジスタ** 1	IRCR1	R/W	0002H
0048H	IR **制御レジスタ** 2	IRCR2	R/W	0000H
004CH	IR **制御レジスタ** 3	IRCR3	R/W	0000H
0050H	IR **制御レジスタ** 4	IRCR4	R/W	0000H

注　接続先装置などの状況により値が異なります。

A.1.16　UART1（U71）

ベース・アドレス：5001_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	受信バッファ・レジスタ	RBR	R	不定
	送信保持レジスタ	THR	W	
0004H	割り込みイネーブル・レジスタ	IER	R/W	0000H
0008H	割り込み識別レジスタ	IIR	R	0001H
000CH	FIFO 制御レジスタ	FCR	R/W	0000H
0010H	ライン制御レジスタ	LCR	R/W	0000H
0014H	モデム制御レジスタ	MCR	R/W	0000H
0018H	ライン・ステータス・レジスタ	LSR	R	0060H
001CH	モデム・ステータス・レジスタ	MSR	R	000xH　注
0020H	スクラッチ・レジスタ	SCR	R/W	0000H
0024H	分周ラッチ LS バイト・レジスタ	DLL	R/W	0000H
0028H	分周ラッチ MS バイト・レジスタ	DLM	R/W	0000H
002CH	ハードウエア制御レジスタ	HCR0	R/W	0000H
0030H	ハードウエア・ステータス・レジスタ 2	HCR2	R	0000H
0034H	ハードウエア・ステータス・レジスタ 3	HCR3	R	0000H
0038H-003CH	Reserved	－	－	－
0040H	IR 制御レジスタ 0	IRCR0	R/W	0000H
0044H	IR 制御レジスタ 1	IRCR1	R/W	0002H
0048H	IR 制御レジスタ 2	IRCR2	R/W	0000H
004CH	IR 制御レジスタ 3	IRCR3	R/W	0000H
0050H	IR 制御レジスタ 4	IRCR4	R/W	0000H

注　接続先装置などの状況により値が異なります。

A.1.17　UART2（U72）

ベース・アドレス：5002_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	受信バッファ・レジスタ	RBR	R	不定
	送信保持レジスタ	THR	W	
0004H	割り込みイネーブル・レジスタ	IER	R/W	0000H
0008H	割り込み識別レジスタ	IIR	R	0001H
000CH	FIFO 制御レジスタ	FCR	R/W	0000H
0010H	ライン制御レジスタ	LCR	R/W	0000H
0014H	モデム制御レジスタ	MCR	R/W	0000H
0018H	ライン・ステータス・レジスタ	LSR	R	0060H
001CH	モデム・ステータス・レジスタ	MSR	R	000xH　注
0020H	スクラッチ・レジスタ	SCR	R/W	0000H
0024H	分周ラッチ LS バイト・レジスタ	DLL	R/W	0000H
0028H	分周ラッチ MS バイト・レジスタ	DLM	R/W	0000H
002CH	ハードウエア制御レジスタ	HCR0	R/W	0000H
0030H	ハードウエア・ステータス・レジスタ 2	HCR2	R	0000H
0034H	ハードウエア・ステータス・レジスタ 3	HCR3	R	0000H
0038H-003CH	Reserved	－	－	－
0040H	IR 制御レジスタ 0	IRCR0	R/W	0000H
0044H	IR 制御レジスタ 1	IRCR1	R/W	0002H
0048H	IR 制御レジスタ 2	IRCR2	R/W	0000H
004CH	IR 制御レジスタ 3	IRCR3	R/W	0000H
0050H	IR 制御レジスタ 4	IRCR4	R/W	0000H

注　接続先装置などの状況により値が異なります。

A.1.18　I²C2（IIC2）

ベース・アドレス：5003_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	IIC0 **シフト・レジスタ**	IIC2_IIC0	R/W	0000H
0004H	Reserved	－	－	－
0008H	IIC0 **コントロール・レジスタ**	IIC2_IICC0	R/W	0000H
000CH	**スレーブ・アドレス・レジスタ**	IIC2_SVA0	R/W	0000H
0010H	IIC0 **クロック選択レジスタ**	IIC2_IICCL0	R/W	0000H
0014H-0018H	Reserved	－	－	－
001CH	IIC0 **状態レジスタ** **（エミュレーション用リード専用レジスタ）**	IIC2_IICSE0	R	0000H
0020H-0024H	Reserved	－	－	－
0028H	IIC0 **フラグ・レジスタ**	IIC2_IICF0	R/W	0000H

A.1.19　I²C（IIC）

ベース・アドレス：5004_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	IIC0 **シフト・レジスタ**	IIC_IIC0	R/W	0000H
0004H	Reserved	－	－	－
0008H	IIC0 **コントロール・レジスタ**	IIC_IICC0	R/W	0000H
000CH	**スレーブ・アドレス・レジスタ**	IIC_SVA0	R/W	0000H
0010H	IIC0 **クロック選択レジスタ**	IIC_IICCL0	R/W	0000H
0014H-0018H	Reserved	－	－	－
001CH	IIC0 **状態レジスタ** **（エミュレーション用リード専用レジスタ）**	IIC_IICSE0	R	0000H
0020H-0024H	Reserved	－	－	－
0028H	IIC0 **フラグ・レジスタ**	IIC_IICF0	R/W	0000H

A.1.20　SDIA（SD0）

ベース・アドレス：5005_0000H

（1/2）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	SD メモリ・カード・コマンド・レジスタ	SDIA_CMD	R/W	0000_0000H
0004H	SD メモリ・カード・ポート選択レジスタ	SDIA_PORT	R/W	0000_0100H
0008H	SD メモリ・カード・コマンド引数レジスタ 0	SDIA_ARG0	R/W	0000_0000H
000CH	SD メモリ・カード・コマンド引数レジスタ 1	SDIA_ARG1	R/W	0000_0000H
0010H	SD ストップ・レジスタ	SDIA_STOP	R/W	0000_0000H
0014H	SD メモリ・カード転送セクタ・カウント・レジスタ	SDIA_SECCNT	R/W	0000_0000H
0018H	SD メモリ・カード・レスポンス・レジスタ 0	SDIA_RSP0	RO	0000_0000H
001CH	SD メモリ・カード・レスポンス・レジスタ 1	SDIA_RSP1	RO	0000_0000H
0020H	SD メモリ・カード・レスポンス・レジスタ 2	SDIA_RSP2	RO	0000_0000H
0024H	SD メモリ・カード・レスポンス・レジスタ 3	SDIA_RSP3	RO	0000_0000H
0028H	SD メモリ・カード・レスポンス・レジスタ 4	SDIA_RSP4	RO	0000_0000H
002CH	SD メモリ・カード・レスポンス・レジスタ 5	SDIA_RSP5	RO	0000_0000H
0030H	SD メモリ・カード・レスポンス・レジスタ 6	SDIA_RSP6	RO	0000_0000H
0034H	SD メモリ・カード・レスポンス・レジスタ 7	SDIA_RSP7	RO	0000_0000H
0038H	SD メモリ・カード・インフォメーション・レジスタ 1	SDIA_INFO1	R/W, RO	Unknown（0000_068DH）
003CH	SD メモリ・カード・インフォメーション・レジスタ 2	SDIA_INFO2	R/W, RO	Unknown（0000_2080H）
0040H	SD メモリ・カード・インフォメーション・マスク・レジスタ 1	SDIA_INFO1_MASK	R/W	0000_031DH
0044H	SD メモリ・カード・インフォメーション・マスク・レジスタ 2	SDIA_INFO2_MASK	R/W	0000_8B7FH
0048H	SD メモリ・カード転送クロック・コントロール・レジスタ	SDIA_CLK_CTRL	R/W	0000_0020H
004CH	SD メモリ・カード転送データ・サイズ・レジスタ	SDIA_SIZE	R/W	0000_0200H
0050H	SD メモリ・カード・オプション設定レジスタ	SDIA_OPTION	R/W	0000_00EEH
0054H	Reserved	－	－	－
0058H	SD メモリ・カード・エラー・ステータス・レジスタ 1	SDIA_ERR_STS1	RO	0000_2000H
005CH	SD メモリ・カード・エラー・ステータス・レジスタ 2	SDIA_ERR_STS2	RO	0000_0000H
0060H	SD データ・バッファ 0	SDIA_BUF0	R/W	Unknown
0064H	Reserved	－	－	－
0068H	SDIO モード設定レジスタ	SDIA_SDIO_MODE	R/W	0000_0000H
006CH-	SDIO インフォメーション・レジスタ	SDIA_SDIO_INFO1	R/W	0000_0000H
0070H	SDIO インフォメーション・マスク・レジスタ	SDIA_SDIO_INFO1_MASK	R/W	0000_C007H
0074H-01ACH	Reserved	－	－	－
01B0H	拡張モード・コントロール・レジスタ	SDIA_CC_EXT_MODE	RO, R/W	0000_1000H

(2/2)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
01B4H-01BCH	Reserved	−	−	−
01C0H	ソフトウエア・リセット・レジスタ	SDIA_SOFT_RST	R/W	0000_0000H
01C4H	バージョン・レジスタ	SDIA_VERSION	RO	0000_000BH
01C8H-01E0H	Reserved	−	−	−
0200H	SDIA ユーズ・レジスタ	SDIA_USER	R/W, RO	0000_0004H
0204H	SDIA ユーズ 2 レジスタ	SDIA_USER2	R/W	0000_0000H
0210H-02FCH	Reserved	−	−	−
0300H	DMA モード時の SD バッファ・レジスタ		R/W	−

A.1.21　SDIB（SD1）

ベース・アドレス：5006_0000H

（1/2）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	SD メモリ・カード・コマンド・レジスタ	SDIB_CMD	R/W	0000_0000H
0004H	SD メモリ・カード・ポート選択レジスタ	SDIB_PORT	R/W	0000_0100H
0008H	SD メモリ・カード・コマンド引数レジスタ 0	SDIB_ARG0	R/W	0000_0000H
000CH	SD メモリ・カード・コマンド引数レジスタ 1	SDIB_ARG1	R/W	0000_0000H
0010H	SD ストップ・レジスタ	SDIB_STOP	R/W	0000_0000H
0014H	SD メモリ・カード転送セクタ・カウント・レジスタ	SDIB_SECCNT	R/W	0000_0000H
0018H	SD メモリ・カード・レスポンス・レジスタ 0	SDIB_RSP0	RO	0000_0000H
001CH	SD メモリ・カード・レスポンス・レジスタ 1	SDIB_RSP1	RO	0000_0000H
0020H	SD メモリ・カード・レスポンス・レジスタ 2	SDIB_RSP2	RO	0000_0000H
0024H	SD メモリ・カード・レスポンス・レジスタ 3	SDIB_RSP3	RO	0000_0000H
0028H	SD メモリ・カード・レスポンス・レジスタ 4	SDIB_RSP4	RO	0000_0000H
002CH	SD メモリ・カード・レスポンス・レジスタ 5	SDIB_RSP5	RO	0000_0000H
0030H	SD メモリ・カード・レスポンス・レジスタ 6	SDIB_RSP6	RO	0000_0000H
0034H	SD メモリ・カード・レスポンス・レジスタ 7	SDIB_RSP7	RO	0000_0000H
0038H	SD メモリ・カード・インフォメーション・レジスタ 1	SDIB_INFO1	R/W, RO	Unknown（0000_068DH）
003CH	SD メモリ・カード・インフォメーション・レジスタ 2	SDIB_INFO2	R/W, RO	Unknown（0000_2080H）
0040H	SD メモリ・カード・インフォメーション・マスク・レジスタ 1	SDIB_INFO1_MASK	R/W	0000_031DH
0044H	SD メモリ・カード・インフォメーション・マスク・レジスタ 2	SDIB_INFO2_MASK	R/W	0000_8B7FH
0048H	SD メモリ・カード転送クロック・コントロール・レジスタ	SDIB_CLK_CTRL	R/W	0000_0020H
004CH	SD メモリ・カード転送データ・サイズ・レジスタ	SDIB_SIZE	R/W	0000_0200H
0050H	SD メモリ・カード・オプション設定レジスタ	SDIB_OPTION	R/W	0000_00EEH
0054H	Reserved	－	－	－
0058H	SD メモリ・カード・エラー・ステータス・レジスタ 1	SDIB_ERR_STS1	RO	0000_2000H
005CH	SD メモリ・カード・エラー・ステータス・レジスタ 2	SDIB_ERR_STS2	RO	0000_0000H
0060H	SD データ・バッファ 0	SDIB_BUF0	R/W	Unknown
0064H	Reserved	－	－	－
0068H	SDIO モード設定レジスタ	SDIB_SDIO_MODE	R/W	0000_0000H
006CH	SDIO インフォメーション・レジスタ	SDIB_SDIO_INFO1	R/W	0000_0000H
0070H	SDIO インフォメーション・マスク・レジスタ	SDIB_SDIO_INFO1_MASK	R/W	0000_C007H
0074H-01ACH	Reserved	－	－	－
01B0H	拡張モード・コントロール・レジスタ	SDIB_CC_EXT_MODE	RO, R/W	0000_1000H

(2/2)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
01B4H 01BCH	Reserved	−	−	−
01C0H	ソフトウエア・リセット・レジスタ	SDIB_SOFT_RST	R/W	0000_0000H
01C4H	バージョン・レジスタ	SDIB_VERSION	RO	0000_000BH
01C8H- 01E0H	Reserved	−	−	−
0200H	SDIB ユーズ・レジスタ	SDIB_USER	R/W, RO	0000_0004H
0204H	SDIB ユーズ 2 レジスタ	SDIB_USER2	R/W	0000_0000H
0210H- 02FCH	Reserved	−	−	−
0300H	DMA モード時の SD バッファ・レジスタ		R/W	−

A.1.22　AB1

ベース・アドレス：5007_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	エラー情報レジスタ	AB1_ERROR	R/W	0000_0000H
0004H	予備レジスタ	AB1_GENERAL	R/W	0000_0000H
0008H	デバック・レジスタ	AB1_DEBUG0	R	0000_0000H

A.1.23 SDIC（SD2）

ベース・アドレス：5009_0000H

（1/2）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	SD メモリ・カード・コマンド・レジスタ	SDIC_CMD	R/W	0000_0000H
0004H	SD メモリ・カード・ポート選択レジスタ	SDIC_PORT	R/W	0000_0100H
0008H	SD メモリ・カード・コマンド引数レジスタ 0	SDIC_ARG0	R/W	0000_0000H
000CH	SD メモリ・カード・コマンド引数レジスタ 1	SDIC_ARG1	R/W	0000_0000H
0010H	SD ストップ・レジスタ	SDIC_STOP	R/W	0000_0000H
0014H	SD メモリ・カード転送セクターカウントレジスタ	SDIC_SECCNT	R/W	0000_0000H
0018H	SD メモリ・カード・レスポンス・レジスタ 0	SDIC_RSP0	RO	0000_0000H
001CH	SD メモリ・カード・レスポンス・レジスタ 1	SDIC_RSP1	RO	0000_0000H
0020H	SD メモリ・カード・レスポンス・レジスタ 2	SDIC_RSP2	RO	0000_0000H
0024H	SD メモリ・カード・レスポンス・レジスタ 3	SDIC_RSP3	RO	0000_0000H
0028H	SD メモリ・カード・レスポンス・レジスタ 4	SDIC_RSP4	RO	0000_0000H
002CH	SD メモリ・カード・レスポンス・レジスタ 5	SDIC_RSP5	RO	0000_0000H
0030H	SD メモリ・カード・レスポンス・レジスタ 6	SDIC_RSP6	RO	0000_0000H
0034H	SD メモリ・カード・レスポンス・レジスタ 7	SDIC_RSP7	RO	0000_0000H
0038H	SD メモリ・カード・インフォメーション・レジスタ 1	SDIC_INFO1	R/W, RO	Unknown（0000_068DH）
003CH	SD メモリ・カード・インフォメーション・レジスタ 2	SDIC_INFO2	R/W, RO	Unknown（0000_2080H）
0040H	SD メモリ・カード・インフォメーション・マスク・レジスタ 1	SDIC_INFO1_MASK	R/W	0000_031DH
0044H	SD メモリ・カード・インフォメーション・マスク・レジスタ 2	SDIC_INFO2_MASK	R/W	0000_8B7FH
0048H	SD メモリ・カード転送クロック・コントロール・レジスタ	SDIC_CLK_CTRL	R/W	0000_0020H
004CH	SD メモリ・カード転送データ・サイズ・レジスタ	SDIC_SIZE	R/W	0000_0200H
0050H	SD メモリ・カード・オプション設定レジスタ	SDIC_OPTION	R/W	0000_00EEH
0054H	Reserved	－	－	－
0058H	SD メモリ・カード・エラー・ステータス・レジスタ 1	SDIC_ERR_STS1	RO	0000_2000H
005CH	SD メモリ・カード・エラー・ステータス・レジスタ 2	SDIC_ERR_STS2	RO	0000_0000H
0060H	SD データ・バッファ 0	SDIC_BUF0	R/W	UNKNOWN
0064H	Reserved	－	－	－
0068h	SDIO モード設定レジスタ	SDIC_SDIO_MODE	R/W	0000_0000H
006CH	SDIO インフォメーション・レジスタ	SDIC_SDIO_INFO1	R/W	0000_0000H
0070H	SDIO インフォメーション・マスク・レジスタ	SDIC_SDIO_INFO1_MASK	R/W	0000_C007H
0074H-01ACH	Reserved	－	－	－
01B0H	拡張モード・コントロール・レジスタ	SDIC_CC_EXT_MODE	RO, R/W	0000_1000h

(2/2)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
01B4H- 01BCH	Reserved	−	−	−
01C0H	ソフトウエア・リセット・レジスタ	SDIC_SOFT_RST	R/W	0000_0000H
01C4H	バージョン・レジスタ	SDIC_VERSION	RO	0000_000BH
01C8H- 01E0H	Reserved	−	−	−
0200H	SDIC ユーズ・レジスタ	SDIC_USER	R/W, RO	0000_0004H
0204H	SDIC ユーズ 2 レジスタ	SDIC_USER2	R/W	0000_0000H
0210H- 02FCH	Reserved	−	−	−
0300H	DMA モード時の SD バッファ・レジスタ		R/W	−

A.1.24 USB（USBインタフェース）

ベース・アドレス：6000_0000H

（1/2）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	識別レジスタ	ID	R	0042_FA05H
0004H	一般 HW パラメータ	HWGENERAL	R	0000_0085H
0008H	ホスト HW パラメータ	HWHOST	R	1002_0001H
000CH	デバイス HW パラメータ	HWDEVICE	R	0000_0011H
0010H	TX バッファの HW パラメータ	HWTXBUF	R	0007_0A08H
0014H	RX バッファの HW パラメータ	HWRXBUF	R	0000_0088H
0018H-007CH	Reserved	－	－	－
0080H	汎用タイマ#0 ロード・レジスタ	GPTIMER0LD	R/W	0000_0000H
0084H	汎用タイマ#0 制御レジスタ	GPTIMER0CTRL	R/W	0000_0000H
0088H	汎用タイマ#1 ロード・レジスタ	GPTIMER1LD	R/W	0000_0000H
008CH	汎用タイマ#1 制御レジスタ	GPTIMER1CTRL	R/W	0000_0000H
0090H-00FCH	Reserved	－	－	－
0100H	Capability レジスタ長，ホスト IF バージョン・ナンバ・レジスタ	CAPLENGTH，HCIVERSION	R	0100_0040H
0104H	ホスト制御の構造パラメータ・レジスタ	HCSPARAMS	R	0001_0011H
0108H	ホスト制御の能力パラメータ・レジスタ	HCCPARAMS	R	0000_0006H
010CH-011FH	Reserved	－	－	－
0120H	デバイス IF バージョン・ナンバ・レジスタ	DCIVERSION	R	0000_0001H
0124H	ホスト制御の能力パラメータ・レジスタ	DCCPARAMS	R	0000_0188H
0128H-013CH	Reserved	－	－	－
0140H	USB コマンド・レジスタ	USBCMD	R/W	0008_0000H
0144H	USB ステータス・レジスタ	USBSTS	R	0000_0000H
0148H	USB 割り込みイネーブル・レジスタ	USBINTR	R/W	0000_0000H
014CH	USB フレーム・インデックス・レジスタ	FRINDEX	R/W	0000_0000H
0150H	Reserved	－	－	－
0154H	フレーム・リスト・ベース・アドレス／USB デバイス・アドレス・レジスタ	PERIODICLISTBASE Device Addr	R/W	0000_0000H
0158H	ネクスト・アシンクロナス・リスト・アドレス／メモリ上のエンドポイント・リスト・レジスタ	ASYNCLISTADDR Endpointlist Addr	R/W	0000_0000H
015CH	TT ステータスおよび制御レジスタ	TTCTRL	R/W	0000_0000H
0160H	プログラマブル・バースト・サイズ・レジスタ	BURSTSIZE	R/W	0000_0808H
0164H	ホスト送信のプレバッファ・パケットのチューニング・レジスタ	TXFILLTUNING	R/W	0000_0000H
0168H	ホスト TT 送信のプレバッファ・パケットのチューニング・レジスタ	TXTTFILLTUNING	－	－
016CH	Reserved	－	－	－
0170H	ULPI ビュー・ポート・レジスタ	ULPI Viewport	R/W	0800_0000H

(2/2)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0174H	Reserved	－	－	－
0178H	Endpoint NAK レジスタ	ENDPTNAK	R/C	0000_0000H
017CH	Endpoint NAK イネーブル・レジスタ	ENDPTNAKEN	R/C	0000_0000H
0180H	コンフィグレーション・フラグ・レジスタ	CONFIGFLAG	R	0000_0001H
0184H	ポート 1 の制御／ステータス・レジスタ	PORTSC1	R/W	8000_0x0xH
0188H	ポート 2 の制御／ステータス・レジスタ	PORTSC2	R/W	8000_0x0xH
018CH	ポート 3 の制御／ステータス・レジスタ	PORTSC3	R/W	8000_0x0xH
0190H	ポート 4 の制御／ステータス・レジスタ	PORTSC4	R/W	8000_0x0xH
0194H	ポート 5 の制御／ステータス・レジスタ	PORTSC5	R/W	8000_0x0xH
0198H	ポート 6 の制御／ステータス・レジスタ	PORTSC6	R/W	8000_0x0xH
019CH	ポート 7 の制御／ステータス・レジスタ	PORTSC7	R/W	8000_0x0xH
01A0H	ポート 8 の制御／ステータス・レジスタ	PORTSC8	R/W	8000_0x0xH
01A4H	OTG の制御／ステータス・レジスタ	OTGSC	R/W	0000_0020H
01A8H	USB デバイス・モード・レジスタ	USBMODE	R/W	0000_000xH
01ACH	エンドポイントのセットアップ・ステータス・レジスタ	ENPDTSETUPSTAT	R/C	0000_0000H
01B0H	エンドポイントのイニシャライズ・レジスタ	ENDPTPRIME	R/S	0000_0000H
01B4H	エンドポイント設定の無効化レジスタ	ENDPTFLUSH	R/S	0000_0000H
01B8H	エンドポイントのステータス・レジスタ	ENDPTSTATUS	R	0000_0000H
01BCH	エンドポイント・コンプリート・レジスタ	ENDPTCOMPLETE	R/C	0000_0000H
01C0H	エンドポイント 0 の制御レジスタ	ENDPTCTRL0	R/W	0800_0080H
01C4H	エンドポイント 1 の制御レジスタ	ENDPTCTRL1	R/W	0000_0000H
01C8H	エンドポイント 2 の制御レジスタ	ENDPTCTRL2	R/W	0000_0000H
01CCH	エンドポイント 3 の制御レジスタ	ENDPTCTRL3	R/W	0000_0000H
01D0H	エンドポイント 4 の制御レジスタ	ENDPTCTRL4	R/W	0000_0000H
01D4H	エンドポイント 5 の制御レジスタ	ENDPTCTRL5	R/W	0000_0000H
01D8H	エンドポイント 6 の制御レジスタ	ENDPTCTRL6	R/W	0000_0000H
01DCH	エンドポイント 7 の制御レジスタ	ENDPTCTRL7	R/W	0000_0000H
01E0H	エンドポイント 8 の制御レジスタ	ENDPTCTRL8	R/W	0000_0000H
01E4H	エンドポイント 9 の制御レジスタ	ENDPTCTRL9	R/W	0000_0000H
01E8H	エンドポイント 10 の制御レジスタ	ENDPTCTRL10	R/W	0000_0000H
01ECH	エンドポイント 11 の制御レジスタ	ENDPTCTRL11	R/W	0000_0000H
01F0H	エンドポイント 12 の制御レジスタ	ENDPTCTRL12	R/W	0000_0000H
01F4H	エンドポイント 13 の制御レジスタ	ENDPTCTRL13	R/W	0000_0000H
01F8H	エンドポイント 14 の制御レジスタ	ENDPTCTRL14	R/W	0000_0000H
01FCH	エンドポイント 15 の制御レジスタ	ENDPTCTRL15	R/W	0000_0000H

A.1.25 タイマ（TI0, TI1, TI2, TI3, TW0, TW1, TW2, TW3, TG0, TG1, TG2, TG3, TG4, TG5）

ベース・アドレス：C000_0000H

PB1_PADDR[31:0]	モジュール	PB1_PADDR[31:0]	モジュール
0000H	TI0	2000H	TG0
0100H	TI1	2100H	TG1
0200H	TI2	2200H	TG2
0300H	TI3	2300H	TG3
1000H	TW0	2400H	TG4
1100H	TW1	2500H	TG5
1200H	TW2		
1300H	TW3		

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	タイマ操作レジスタ	xxx_OP	R/W	0000_0000H
0004H	タイマ・クリア・レジスタ	xxx_CLR	W	0000_0000H
0008H	タイマ値設定レジスタ	xxx_SET	R/W	0000_0000H
000CH	リアル・カウント・リード・レジスタ	xxx_RCR	R	0000_0000H
0010H	Reserved	–	–	–
0014H	タイマ値設定監視レジスタ	xxx_SCLR	R/W	0000_0000H
0018H-00FCH	Reserved	–	–	–

（xxx=TI0/TI1/TI2/TI3/TW0/TW1/TW2/TW3/TG0/TG1/TG2/TG3/TG4/TG5）

A.1.26　PM0（Audio/Videoインタフェース）

ベース・アドレス：C001_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	動作モード設定レジスタ	PM0_FUNC_SEL	R/W	0000_0000H
0004H	データ転送イネーブル・セット・レジスタ	PM0_TXRX_EN	W	－
0008H	データ転送イネーブル・クリア・レジスタ	PM0_TXRX_DIS	W	－
000CH	データ転送サイクル設定レジスタ	PM0_CYCLE	R/W	0000_0000H
0010H	割り込み Raw ステータス・レジスタ	PM0_RAW	R	0000_0000H
0014H	割り込みステータス・レジスタ	PM0_STATUS	R	0000_0000H
0018H	割り込みイネーブル・セット・レジスタ	PM0_ENSET	W	－
001CH	割り込みイネーブル・クリア・レジスタ	PM0_ENCLR	W	－
0020H	割り込みクリア・レジスタ	PM0_CLEAR	W	－
0024H	送信データ・レジスタ	PM0_TXQ	R/W	0000_0000H
0028H	受信データ・レジスタ	PM0_RXQ	R	0000_0000H
002CH	Reserved	－	－	－
0030H	データ転送サイクル設定レジスタ 2	PM0_CYCLE2	R/W	0000_0000H

A.1.27　AINT（interrupt controller unit）

ベース・アドレス：C002_0000H

（1/2）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	ACPU **割り込みイネーブル設定レジスタ** 0	IT0_IEN0	R/W	0000_0000H
0004H	ACPU **割り込みイネーブル設定レジスタ** 1	IT0_IEN1	R/W	0000_0000H
0008H	ACPU **割り込みディスエーブル設定レジスタ** 0	IT0_IDS0	W	－
000CH	ACPU **割り込みディスエーブル設定レジスタ** 1	IT0_IDS1	W	－
0010H	ACPU **割り込み** Raw **ステータス・レジスタ** 0	IT0_RAW0	R	0000_0000H
0014H	ACPU **割り込み** Raw **ステータス・レジスタ** 1	IT0_RAW1	R	0000_0000H
0018H	ACPU **割り込みマスク・ステータス・レジスタ** 0	IT0_MST0	R	0000_0000H
001CH	ACPU **割り込みマスク・ステータス・レジスタ** 1	IT0_MST1	R	0000_0000H
0020H	Reserved	－	－	－
0024H	ACPU **割り込みステータス・リセット・レジスタ**	IT0_IIR	W	－
0028H-0038H	Reserved	－	－	－
003CH	ACPU→ADSP **プロセッサ間通信セット・レジスタ**	IT0_IPI3_SET	R/W	0000_0000H
0040H-0058H	Reserved	－	－	－
005CH	ADSP→ACPU **プロセッサ間通信クリア・レジスタ**	IT3_IPI0_CLR	W	－
0060H-007CH	Reserved	－	－	－
0080H	ACPU FIQ **割り込みイネーブル・レジスタ**	IT0_FIE	R/W	0000_0000H
0084H	ACPU FIQ **割り込みディスエーブル・レジスタ**	IT0_FID	W	0000_0000H
0088H-00FFH	Reserved	－	－	－
0100H	ACPU **割り込みイネーブル設定レジスタ** 2	IT0_IEN2	R/W	0000_0000H
0104H	ACPU **割り込みディスエーブル設定レジスタ** 2	IT0_IDS2	W	－
0108H	ACPU **割り込み** Raw **ステータス・レジスタ** 2	IT0_RAW2	R	0000_0000H
010CH	ACPU **割り込みマスク・ステータス・レジスタ** 2	IT0_MST2	R	0000_0000H
0110H-02FCH	Reserved	－	－	－
0300H	**割り込み入力極性反転イネーブル設定レジスタ** 0	IT_PINV_SET0	R/W	0000_0000H
0304H	**割り込み入力極性反転イネーブル設定レジスタ** 1	IT_PINV_SET1	R/W	0000_0000H
0308H	**割り込み入力極性反転イネーブル設定レジスタ** 2	IT_PINV_SET2	R/W	0000_0000H
030CH	Reserved	－	－	－
0310H	**割り込み入力極性反転ディスエーブル設定レジスタ** 0	IT_PINV_CLR0	W	－
0314H	**割り込み入力極性反転ディスエーブル設定レジスタ** 1	IT_PINV_CLR1	W	－
0318H	**割り込み入力極性反転ディスエーブル設定レジスタ** 2	IT_PINV_CLR2	W	－
031CH	Reserved	－	－	－
0320H	**内部割り込みステータス・セット・レジスタ**	IT_LIIS	W	0000_0000H
0324H	**内部割り込みステータス・リセット・レジスタ**	IT_LIIR	W	0000_0000H
0328H-1FFCH	Reserved	－	－	－

(2/2)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
C000H	ADSP 割り込みイネーブル設定レジスタ 0	IT3_IEN0	R/W	0000_0000H
C004H	ADSP 割り込みイネーブル設定レジスタ 1	IT3_IEN1	R/W	0000_0000H
C008H	ADSP 割り込みディスエーブル設定レジスタ 0	IT3_IDS0	W	−
C00CH	ADSP 割り込みディスエーブル設定レジスタ 1	IT3_IDS1	W	−
C010H	ADSP 割り込み Raw ステータス・レジスタ 0	IT3_RAW0	R	0000_0000H
C014H	ADSP 割り込み Raw ステータス・レジスタ 1	IT3_RAW1	R	0004_0000H
C018H	ADSP 割り込みマスク・ステータス・レジスタ 0	IT3_MST0	R	0000_0000H
C01CH	ADSP 割り込みマスク・ステータス・レジスタ 1	IT3_MST1	R	0000_0000H
C020H	Reserved	−	−	−
C024H	ADSP 割り込みステータス・リセット・レジスタ	IT3_IIR	W	−
C028H-C02CH	Reserved	−	−	−
C030H	ADSP→ACPU プロセッサ間通信セット・レジスタ	IT3_IPI0_SET	R/W	0000_0000H
C034H-C04CH	Reserved	−	−	−
C050H	ACPU→ADSP プロセッサ間通信クリア・レジスタ	IT0_IPI3_CLR	W	−
C054H-C08FH	Reserved	−	−	−
C090H	割り込みベクタ・ベース・アドレス・レジスタ	ID_VBS	R/W	0000_0000H
C094H	割り込み出力信号クリア・レジスタ	ID_CLR	W	−
C098H-C0FFH	Reserved	−	−	−
C100H	ADSP 割り込みイネーブル設定レジスタ 2	IT3_IEN2	R/W	0000_0000H
C104H	ADSP 割り込みディスエーブル設定レジスタ 2	IT3_IDS2	W	−
C108H	ADSP 割り込み Raw ステータス・レジスタ 2	IT3_RAW2	R	0000_0000H
C10CH	ADSP 割り込みマスク・ステータス・レジスタ 2	IT3_MST2	R	0000_0000H
C110H-DFFCH	Reserved	−	−	−

A.1.28　ACPU Secure INT（ACPU secure interrupt controller unit）

ベース・アドレス：CC01_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
E000H-E1FFH	Reserved	－	－	－
E200H	ACPU Secure 割り込みイネーブル設定レジスタ 0	IT0_IENS0	R/W	0000_0000H
E204H	ACPU Secure 割り込みイネーブル設定レジスタ 1	IT0_IENS1	R/W	0000_0000H
E208H	ACPU Secure 割り込みイネーブル設定レジスタ 2	IT0_IENS2	R/W	0000_0000H
E20CH	ACPU Secure 割り込みディスエーブル設定レジスタ 0	IT0_IDSS0	W	－
E210H	ACPU Secure 割り込みディスエーブル設定レジスタ 1	IT0_IDSS1	W	－
E214H	ACPU Secure 割り込みディスエーブル設定レジスタ 2	IT0_IDSS2	W	－
E218H-FFFCH	Reserved	－	－	－

A.1.29　GIO（汎用入出力制御）

ベース・アドレス：C005_0000H

（1/3）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	GPIO[31:0]ポート切り替え設定レジスタ（出力設定）	GIO_E1_L	W	0000_0000H
0004H	GPIO[31:0]ポート切り替え設定レジスタ（入力設定）	GIO_E0_L	W	0000_0000H
0004H	GPIO[31:0]入力/出力ポート状態モニタ・レジスタ	GIO_EM_L	R	0000_0000H
0008H	GPIO[15:0]出力データ設定レジスタ	GIO_OL_L	W	0000_0000H
000CH	GPIO[31:16]出力データ設定レジスタ	GIO_OH_L	W	0000_0000H
0010H	GPIO[31:0]入力データ・リード・レジスタ	GIO_I_L	R	注
0014H	GPIO[31:0]入力ポート割り込み有効指定レジスタ	GIO_IIA_L	R/W	0000_0000H
0018H	GPIO[31:0]入力ポート割り込みイネーブル・レジスタ（マスク解除）	GIO_IEN_L	W	0000_0000H
001CH	GPIO[31:0]入力ポート割り込みディスエーブル・レジスタ（マスク設定）	GIO_IDS_L	W	0000_0000H
001CH	GPIO[31:0]入力ポート割り込みイネーブル・モニタ・レジスタ	GIO_IIM_L	R	0000_0000H
0020H	GPIO[31:0]入力ポート割り込み Raw ステータス・レジスタ	GIO_RAW_L	R	0000_0000H
0024H	GPIO[31:0]入力ポート割り込み Maskable ステータス・レジスタ	GIO_MST_L	R	0000_0000H
0028H	GPIO[31:0]入力ポート割り込み要因リセット・レジスタ	GIO_IIR_L	W	0000_0000H
002CH-0030H	Reserved	－	－	－
003CH	GPIO[31:0]GIO_INT_FIQ 端子接続レジスタ	GIO_GSW_L	R/W	0000_0000H
0100H	GPIO[7:0]入力ポート割り込み検出方式レジスタ	GIO_IDT0_L	R/W	0000_0000H
0104H	GPIO[15:8]入力ポート割り込み検出方式レジスタ	GIO_IDT1_L	R/W	0000_0000H
0108H	GPIO[23:16]入力ポート割り込み検出方式レジスタ	GIO_IDT2_L	R/W	0000_0000H
010CH	GPIO[31:24]入力ポート割り込み検出方式レジスタ	GIO_IDT3_L	R/W	0000_0000H
0110H	GPIO[15:0]両エッジ検出時の各エッジの割り込みステータス・レジスタ	GIO_RAWBL_L	R	0000_0000H
0114H	GPIO[31:16]両エッジ検出時の各エッジの割り込みステータス・レジスタ	GIO_RAWBH_L	R	0000_0000H
0118H	GPIO[15:0]両エッジ検出時の各エッジの要因クリア・レジスタ	GIO_IRBL_L	W	0000_0000H
011CH	GPIO[31:16]両エッジ検出時の各エッジの要因クリア・レジスタ	GIO_IRBH_L	W	0000_0000H
0040H	GPIO[63:32]ポート切り替え設定レジスタ（出力設定）	GIO_E1_H	W	0000_0000H
0044H	GPIO[63:32]ポート切り替え設定レジスタ（入力設定）	GIO_E0_H	W	0000_0000H
0044H	GPIO[63:32]ポート状態モニタ・レジスタ	GIO_EM_H	R	0000_0000H
0048H	GPIO[47:32]出力データ設定レジスタ	GIO_OL_H	W	0000_0000H
004CH	GPIO[63:48]出力データ設定レジスタ	GIO_OH_H	W	0000_0000H
0050H	GPIO[63:32]入力データ・リード・レジスタ	GIO_I_H	R	注
0054H	GPIO[63:32]入力ポート割り込み有効指定レジスタ	GIO_IIA_H	R/W	0000_0000H
0058H	GPIO[63:32]入力ポート割り込みイネーブル・レジスタ（マスク解除）	GIO_IEN_H	W	0000_0000H
005CH	GPIO[63:32]入力ポート割り込みディスエーブル・レジスタ（マスク設定）	GIO_IDS_H	W	0000_0000H

注　外部端子の状態により初期値が決まります。

(2/3)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
005CH	GPIO[63:32]入力ポート割り込みイネーブル・モニタ・レジスタ	GIO_IIM_H	R	0000_0000H
0060H	GPIO[63:32]入力ポート割り込み Raw ステータス・レジスタ	GIO_RAW_H	R	0000_0000H
0064H	GPIO[63:32]入力ポート割り込み Maskable ステータス・レジスタ	GIO_MST_H	R	0000_0000H
0068H	GPIO[63:32]入力ポート割り込み要因リセット・レジスタ	GIO_IIR_H	W	0000_0000H
006CH-0070H	Reserved	－	－	－
007CH	GPIO[63:32]GIO_INT_FIQ 端子接続レジスタ	GIO_GSW_H	R/W	0000_0000H
0140H	GPIO[39:32]入力ポート割り込み検出方式レジスタ	GIO_IDT0_H	R/W	0000_0000H
0144H	GPIO[47:40]入力ポート割り込み検出方式レジスタ	GIO_IDT1_H	R/W	0000_0000H
0148H	GPIO[55:48]入力ポート割り込み検出方式レジスタ	GIO_IDT2_H	R/W	0000_0000H
014CH	GPIO[63:56]入力ポート割り込み検出方式レジスタ	GIO_IDT3_H	R/W	0000_0000H
0150H	GPIO[47:32]両エッジ検出時の各エッジの割り込みステータス・レジスタ	GIO_RAWBL_H	R	0000_0000H
0154H	GPIO[63:48]両エッジ検出時の各エッジの割り込みステータス・レジスタ	GIO_RAWBH_H	R	0000_0000H
0158H	GPIO[47:32]両エッジ検出時の各エッジの要因クリア・レジスタ	GIO_IRBL_H	W	0000_0000H
015CH	GPIO[63:48]両エッジ検出時の各エッジの要因クリア・レジスタ	GIO_IRBH_H	W	0000_0000H
0080H	GPIO[95:64]ポート切り替え設定レジスタ（出力設定）	GIO_E1_HH	W	0000_0000H
0084H	GPIO[95:64]ポート切り替え設定レジスタ（入力設定）	GIO_E0_HH	W	0000_0000H
0084H	GPIO[95:64]入力/出力ポート状態モニタ・レジスタ	GIO_EM_HH	R	0000_0000H
0088H	GPIO[79:64]出力データ設定レジスタ	GIO_OL_HH	W	0000_0000H
008CH	GPIO[95:80]出力データ設定レジスタ	GIO_OH_HH	W	0000_0000H
0090H	GPIO[95:64]入力データ・リード・レジスタ	GIO_I_HH	R	注
0094H	GPIO[95:64]入力ポート割り込み有効指定レジスタ	GIO_IIA_HH	R/W	0000_0000H
0098H	GPIO[95:64]入力ポート割り込みイネーブル・レジスタ（マスク解除）	GIO_IEN_HH	W	0000_0000H
009CH	GPIO[95:64]入力ポート割り込みディスエーブル・レジスタ（マスク設定）	GIO_IDS_HH	W	0000_0000H
009CH	GPIO[95:64]入力ポート割り込みイネーブル・モニタ・レジスタ	GIO_IIM_HH	R	0000_0000H
00A0H	GPIO[95:64]入力ポート割り込み Raw ステータス・レジスタ	GIO_RAW_HH	R	0000_0000H
00A4H	GPIO[95:64]入力ポート割り込み Maskable ステータス・レジスタ	GIO_MST_HH	R	0000_0000H
00A8H	GPIO[95:64]入力ポート割り込み要因リセット・レジスタ	GIO_IIR_HH	W	0000_0000H
00ACH-00B0H	Reserved	－	－	－
00BCH	GPIO[95:64] GIO_INT_FIQ 端子接続レジスタ	GIO_GSW_HH	R/W	0000_0000H
0180H	GPIO[71:64]入力ポート割り込み検出方式レジスタ	GIO_IDT0_HH	R/W	0000_0000H
0184H	GPIO[79:72]入力ポート割り込み検出方式レジスタ	GIO_IDT1_HH	R/W	0000_0000H
0188H	GPIO[87:80]入力ポート割り込み検出方式レジスタ	GIO_IDT2_HH	R/W	0000_0000H
018CH	GPIO[95:88]入力ポート割り込み検出方式レジスタ	GIO_IDT3_HH	R/W	0000_0000H
0190H	GPIO[71:64]両エッジ検出時の各エッジの割り込みステータス・レジスタ	GIO_RAWBL_HH	R	0000_0000H

注　外部端子の状態により初期値が決まります。

(3/3)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0194H	GPIO[79:72]両エッジ検出時の各エッジの割り込みステータス・レジスタ	GIO_RAWBH_HH	R	0000_0000H
0198H	GPIO[87:80]両エッジ検出時の各エッジの要因クリア・レジスタ	GIO_IRBL_HH	W	0000_0000H
019CH	GPIO[95:88]両エッジ検出時の各エッジの要因クリア・レジスタ	GIO_IRBH_HH	W	0000_0000H
0200H	GPIO[127:96]ポート切り替え設定レジスタ（出力設定）	GIO_E1_HHH	W	0000_0000H
0204H	GPIO[127:96]ポート切り替え設定レジスタ（入力設定）	GIO_E0_HHH	W	0000_0000H
0204H	GPIO[127:96]入力/出力ポート状態モニタ・レジスタ	GIO_EM_HHH	R	0000_0000H
0208H	GPIO[111-96]出力データ設定レジスタ	GIO_OL_HHH	W	0000_0000H
020CH	GPIO[127:112]出力データ設定レジスタ	GIO_OH_HHH	W	0000_0000H
0210H	GPIO[127:96]入力データ・リード・レジスタ	GIO_I_HHH	R	注
0214H	GPIO[127:96]入力ポート割り込み有効指定レジスタ	GIO_IIA_HHH	R/W	0000_0000H
0218H	GPIO[127:96]入力ポート割り込みイネーブル・レジスタ（マスク解除）	GIO_IEN_HHH	W	0000_0000H
021CH	GPIO[127:96]入力ポート割り込みディスエーブル・レジスタ（マスク設定）	GIO_IDS_HHH	W	0000_0000H
021CH	GPIO[127:96]入力ポート割り込みイネーブル・モニタ・レジスタ	GIO_IIM_HHH	R	0000_0000H
0220H	GPIO[127:96]入力ポート割り込み Raw ステータス・レジスタ	GIO_RAW_HHH	R	0000_0000H
0224H	GPIO[127:96]入力ポート割り込み Maskable ステータス・レジスタ	GIO_MST_HHH	R	0000_0000H
0228H	GPIO[127:96]入力ポート割り込み要因リセット・レジスタ	GIO_IIR_HHH	W	0000_0000H
022CH-0230H	Reserved	–	–	–
023CH	GPIO[127:96] GIO_INT_FIQ 端子接続レジスタ	GIO_GSW_HHH	R/W	0000_0000H
0300H	GPIO[103:96]入力ポート割り込み検出方式レジスタ	GIO_IDT0_HHH	R/W	0000_0000H
0304H	GPIO[111:104]入力ポート割り込み検出方式レジスタ	GIO_IDT1_HHH	R/W	0000_0000H
0308H	GPIO[119:112]入力ポート割り込み検出方式レジスタ	GIO_IDT2_HHH	R/W	0000_0000H
030CH	GPIO[127:120]入力ポート割り込み検出方式レジスタ	GIO_IDT3_HHH	R/W	0000_0000H
0310H	GPIO[103:96]両エッジ検出時の各エッジの割り込みステータス・レジスタ	GIO_RAWBL_HHH	R	0000_0000H
0314H	GPIO[111:104]両エッジ検出時の各エッジの割り込みステータス・レジスタ	GIO_RAWBH_HHH	R	0000_0000H
0318H	GPIO[119:112]両エッジ検出時の各エッジの要因クリア・レジスタ	GIO_IRBL_HHH	W	0000_0000H
031CH	GPIO[127:120]両エッジ検出時の各エッジの要因クリア・レジスタ	GIO_IRBH_HHH	W	0000_0000H

注　外部端子の状態により初期値が決まります。

A.1.30　PDMA（PCM DMA）

ベース・アドレス：C008_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	PDMA／DMA 選択レジスタ（排他で切り替え）	PDMA_DMA_SEL	R/W	0000_0000H
0004H	転送開始，予約レジスタ（開始と予約で共用）	PDMA_CONT	W	0000_0000H
0008H	ステータス・レジスタ（停止／転送中／予約）	PDMA_STATUS	R	0000_0000H
000CH	予約取り消しレジスタ	PDMA_RSV_CANCEL	W	0000_0000H
0010H	強制停止レジスタ	PDMA_END	W	0000_0000H
0014H-001CH	Reserved	－	－	－
0020H	予約用転送開始アドレス（4 Byte アライン）	PDMA_RSV_ADD	R/W	0000_0000H
0024H	予約用転送レングス・レジスタ（ワード指定／1 word = 4 Byte）	PDMA_RSV_LENG	R/W	0000_0000H
0028H	転送中転送開始アドレス・レジスタ（4Byte アライン）	PDMA_RUN_ADD	R	0000_0000H
002CH	転送中転送レングス・レジスタ（ワード指定／1 word = 4 Byte）	PDMA_RUN_LENG	R	0000_0000H
0030H	割り込みステータス・レジスタ	PDMA_INT_STATUS	R	0000_0000H
0034H	割り込みロウ・ステータス・レジスタ	PDMA_INT_RAW_STATUS	R	0000_0000H
0038H	割り込みイネーブル・セット・レジスタ	PDMA_INT_ENABLE	R/W	0000_0000H
003CH	割り込みイネーブル・クリア・レジスタ	PDMA_INT_ENABLE_CL	W	0000_0000H
0040H	割り込み要因クリア・レジスタ	PDMA_INT_REQ_CL	W	0000_0000H
0050H	転送中アドレス・ポインタ・レジスタ（4 Byte アライン）	PDMA_RUN_ADP	R	0000_0000H
0054H	エラー・レジスタ（オペレーション違反）	PDMA_ERR	R/W	0000_0000H
0058H	テンポラリ・レジスタ（予約面管理などに使用可能）	PDMA_TMP	R/W	0000_0000H
005CH	AXI アドレス・ポインタ（デバッグ用）	PDMA_AXI_ADP	R	0000_0000H

A.1.31　DDR SDRAMインタフェース（MEMC）

ベース・アドレス：C00A_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	キャッシュ／プリフェッチ設定レジスタ	MEMC_CACHE_MODE	R/W	0000_0000H
0004H	Reserved	－	－	－
0008H	縮退機能レジスタ	MEMC_DEGFUN	R/W	0000_0000H
000CH-0010H	Reserved	－	－	－
0014H	ACPU 向け割り込みステータス・レジスタ	MEMC_INTSTATUS_A	R	0000_0000H
0018H	ACPU 向け割り込み Raw ステータス・レジスタ	MEMC_INTRAWSTATUS_A	R	0000_0000H
001CH	ACPU 向け割り込みイネーブル・セット・レジスタ	MEMC_INTENSET_A	R/W	0000_0000H
0020H	ACPU 向け割り込みイネーブル・クリア・レジスタ	MEMC_INTENCLR_A	W	－
0024H	ACPU 向け割り込み要因クリア・レジスタ	MEMC_INTFFCLR_A	W	－
0028H-0064H	Reserved	－	－	－
0068H	エラー・マスタ ID レジスタ	MEMC_ERRMID	R	0000_0000H
006CH	エラー・アドレス・レジスタ	MEMC_ERRADR	R/W	0000_0000H
0070H-0080H	Reserved	－	－	－
1000H	メモリ・リクエスト・スケジューリング・モード・レジスタ	MEMC_REQSCH	R/W	0000_0000H
2000H	メモリ接続用レジスタ	MEMC_DDR_CONFIGF	R/W	0000_0000H
2004H	AC タイミング設定用レジスタ 1	MEMC_DDR_CONFIGA1	R/W	5444_3203H
2008H	AC タイミング設定用レジスタ 2	MEMC_DDR_CONFIGA2	R/W	00DA_0000H
200CH	ソフトウエア・コマンド発行用レジスタ 1	MEMC_DDR_CONFIGC1	R/W	4040_0003H
2010H	ソフトウエア・コマンド発行用レジスタ 2	MEMC_DDR_CONFIGC2	R/W	0000_03C0H
2014H	リフレッシュ機能設定用レジスタ 1	MEMC_DDR_CONFIGR1	R/W	7FFF_7FFFH
2018H	リフレッシュ機能設定用レジスタ 2	MEMC_DDR_CONFIGR2	R/W	1F5F_7C7CH
201CH	リフレッシュ機能設定用レジスタ 3	MEMC_DDR_CONFIGR3	R/W	0000_3F3FH
2020H	DQS タイミング調整用レジスタ 1	MEMC_DDR_CONFIGT1	R/W	0000_0003H
2024H	DQS タイミング調整用レジスタ 2	MEMC_DDR_CONFIGT2	R/W	0000_0000H
2028H	DQS タイミング調整用レジスタ 3	MEMC_DDR_CONFIGT3	R/W	0000_0000H
202CH	メモリ・ステータス確認用レジスタ	MEMC_DDR_STATE8	R/W	0000_0000H

A.1.32　DCV（DSPアドレス・コンバータ）

ベース・アドレス：C00D_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	DSP-Bank0 対応オフセット・レジスタ	DCV_BANK0_OFFSET	R/W	0000_0200H
0004H	DSP-Bank1 対応オフセット・レジスタ	DCV_BANK1_OFFSET	R/W	0000_0000H
0008H	DSP-Bank2 対応オフセット・レジスタ	DCV_BANK2_OFFSET	R/W	0000_0000H
000CH	DSP-Bank3 対応オフセット・レジスタ	DCV_BANK3_OFFSET	R/W	0000_0000H
0010H	DSP-Bank4 対応オフセット・レジスタ	DCV_BANK4_OFFSET	R/W	0000_0100H
0014H	DSP-Bank5 対応オフセット・レジスタ	DCV_BANK5_OFFSET	R/W	0000_0000H
0018H	DSP-Bank6 対応オフセット・レジスタ	DCV_BANK6_OFFSET	R/W	0000_0000H
001CH	DSP-Bank7 対応オフセット・レジスタ	DCV_BANK7_OFFSET	R/W	0000_0000H
0020H	DSP-Bank8 対応オフセット・レジスタ	DCV_BANK8_OFFSET	R/W	0000_0240H
0024H	DSP-Bank9 対応オフセット・レジスタ	DCV_BANK9_OFFSET	R/W	0000_0000H
0028H	DSP-Bank10 対応オフセット・レジスタ	DCV_BANK10_OFFSET	R/W	0000_0000H
002CH	DSP-Bank11 対応オフセット・レジスタ	DCV_BANK11_OFFSET	R/W	0000_0000H
0030H	DSP-Bank12 対応オフセット・レジスタ	DCV_BANK12_OFFSET	R/W	0000_0000H
0034H	DSP-Bank13 対応オフセット・レジスタ	DCV_BANK13_OFFSET	R/W	0000_0000H
0038H	DSP-Bank14 対応オフセット・レジスタ	DCV_BANK14_OFFSET	R/W	0000_0000H
003CH	DSP-Bank15 対応オフセット・レジスタ	DCV_BANK15_OFFSET	R/W	0000_0000H
0040H	DSP-Bank0 対応設定レジスタ	DCV_BANK0_SET	R/W	0000_0003H
0044H	DSP-Bank1 対応設定レジスタ	DCV_BANK1_SET	R/W	0000_0000H
0048H	DSP-Bank2 対応設定レジスタ	DCV_BANK2_SET	R/W	0000_0000H
004CH	DSP-Bank3 対応設定レジスタ	DCV_BANK3_SET	R/W	0000_0000H
0050H	DSP-Bank4 対応設定レジスタ	DCV_BANK4_SET	R/W	0000_0003H
0054H	DSP-Bank5 対応設定レジスタ	DCV_BANK5_SET	R/W	0000_0000H
0058H	DSP-Bank6 対応設定レジスタ	DCV_BANK6_SET	R/W	0000_0000H
005CH	DSP-Bank7 対応設定レジスタ	DCV_BANK7_SET	R/W	0000_0000H
0060H	DSP-Bank8 対応設定レジスタ	DCV_BANK8_SET	R/W	0000_0003H
0064H	DSP-Bank9 対応設定レジスタ	DCV_BANK9_SET	R/W	0000_0000H
0068H	DSP-Bank10 対応設定レジスタ	DCV_BANK10_SET	R/W	0000_0000H
006CH	DSP-Bank11 対応設定レジスタ	DCV_BANK11_SET	R/W	0000_0000H
0070H	DSP-Bank12 対応設定レジスタ	DCV_BANK12_SET	R/W	0000_0004H
0074H	DSP-Bank13 対応設定レジスタ	DCV_BANK13_SET	R/W	0000_000CH
0078H	DSP-Bank14 対応設定レジスタ	DCV_BANK14_SET	R/W	0000_000AH
007CH	DSP-Bank15 対応設定レジスタ	DCV_BANK15_SET	R/W	0000_0000H
0080H	割り込みステータス・レジスタ	DCV_INTSTATUS	R	0000_0000H
0084H	割り込み RAW ステータス・レジスタ	DCV_INTRAWSTATUS	R	0000_0000H
0088H	割り込みイネーブル・セット・レジスタ	DCV_INTENSET	R/W	0000_0000H
008CH	割り込みイネーブル・クリア・レジスタ	DCV_INTENCLR	R/W	0000_0000H
0090H	割り込み要因クリア・レジスタ	DCV_INTFFCLR	R/W	0000_0000H
0094H	割り込み情報レジスタ	DCV_INTINFO	R/W	0000_0000H

A.1.33　PMU

ベース・アドレス：C010_0004H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0004H	プログラム・カウンタ（コマンド RAM アドレス）レジスタ	PMU_PC	R/W	0000_0000H
0008H	PMU 起動レジスタ	PMU_START	R/W	0000_0000H
0030H	Power ON シーケンス開始 PC レジスタ	PMU_POWER_ON_PC	R/W	0000_0000H
0060H	ウォッチドッグ・タイマ・カウント・イネーブル・レジスタ	PMU_WDT_COUNT_EN	R/W	0000_0000H
0064H	ウォッチドッグ・タイマ・カウント・リミット・レジスタ	PMU_WDT_COUNT_LMT	R/W	0003_FFFFH
0068H	割り込みハンドラ用 PC レジスタ	PMU_INT_HANDLER_PC	R/W	0000_0000H
0070H	プログラム・ステータス・レジスタ	PMU_PSR	R	0000_0000H
0074H	TRIG_WAIT コマンド用ステータス・レジスタ	PMU_TRIG_STATUS	R	0000_0000H
0078H	汎用レジスタ A	PMU_REGA	R	0000_0000H
007CH	汎用レジスタ B	PMU_REGB	R	0000_0000H
0080H	ACPU 用割り込みステータス・レジスタ	PMU_INTSTATUS_A	R	0000_0000H
0084H	ACPU 用割り込み RAW ステータス・レジスタ	PMU_INTRAWSTATUS_A	R	0000_0000H
0088H	ACPU 用割り込みイネーブル・セット・レジスタ	PMU_INTENSET_A	R/W	0000_0000H
008CH	ACPU 用割り込みイネーブル・クリア・レジスタ	PMU_INTENCLR_A	W	0000_0000H
0090H	ACPU 用割り込み要因クリア・レジスタ	PMU_INTFFCLR_A	W	0000_0000H
00A8H	PC エラー・アドレス・レジスタ	PMU_PCERR	R/W	0000_0000H
1000H-1FFCH	コマンド・バッファ RAM レジスタ 1000H～1FFCH まで 1024 ワード	PMU_CMD_BUF_RAM	R/W	－
2000H-203CH	コマンド・バッファ FF レジスタ 2000H～203CH まで 16 ワード	PMU_CMD_BUF_FF	R/W	－

A.1.34　ASMU

ベース・アドレス：C011_0000H

（1/5）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	**リセット制御レジスタ** 0	RESETCTRL0	R/W	0000_0000H
0004H	**リセット要求レジスタ** 0	RESETREQ0	R/W	8790_0007H
0008H	RESETREQ0 **のセット／リセット・イネーブル・レジスタ**	RESETREQ0ENA	R/W	0000_0000H
000CH	**リセット要求レジスタ** 1	RESETREQ1	R/W	0000_0090H
0010H	RESETREQ1 **のセット／リセット・イネーブル・レジスタ**	RESETREQ1ENA	R/W	0000_0000H
0014H	Reserved	－	－	－
0018H	**リセット要求レジスタ** 2	RESETREQ2	R/W	0000_140FH
001CH	RESETREQ2 **のセット／リセット・イネーブル・レジスタ**	RESETREQ2ENA	R/W	0000_0000H
0020H	**ウォッチドッグ・タイマ強制リセット制御レジスタ**	WDT_INT_RESET	R/W	0000_0000H
0024H	**リセット・レジスタ値変化時，挿入クロック数設定レジスタ**	RESET_PCLK_COUNT	R/W	1F1F_1F1FH
0028H-0078H	Reserved	－	－	－
007CH	**自動遷移許可レジスタ**	AUTO_MODE_EN	R/W	0000_0000H
0080H	**クロック・モード選択レジスタ**	CLK_MODE_SEL	R/W	0000_0F00H
0084H	**システム用** PLL1 **設定レジスタ** 0	PLL1CTRL0	R/W	0000_0079H
0088H	**システム用** PLL1 **設定レジスタ** 1	PLL1CTRL1	R/W	0000_00FFH
008CH	**シリアルクロック用** PLL2 **設定レジスタ** 0	PLL2CTRL0	R/W	0000_0079H
0090H	**シリアルクロック用** PLL2 **設定レジスタ** 1	PLL2CTRL1	R/W	0000_00FFH
0094H	**システム用** PLL3 **設定レジスタ** 0	PLL3CTRL0	R/W	0000_0037H
0098H	**システム用** PLL3 **設定レジスタ** 1	PLL3CTRL1	R/W	0000_0000H
009CH	PLL **ロック時間設定レジスタ**	PLLLOCKTIME	R/W	0003_0003H
00A0H-00A4H	Reserved	－	－	－
00A8H	PLL **自動スタンバイモード**	AUTO_PLL_STANDBY	R/W	0000_0002H
00ACH-00B0H	Reserved	－	－	－
00B4H	PLL **電源安定時間設定レジスタ**	PLLVDDWAIT	R/W	0000_0000H
00B8H-00C0H	Reserved	－	－	－
00C4H	**クロック停止命令信号状態レジスタ**	CLKSTOPSIG_ST	R	－
00C8H	32.768 kHz **クロック・ステータス・レジスタ**	CLK32_STATUS	R	－
00CCH	**電源履歴用汎用レジスタ**	POWER_RECORD	R/W	0000_0000H
00D0H	**割り込みステータス・レジスタ**	ASMU_INT_STATUS	R	0000_0000H
00D4H	**割り込み** RAW **ステータス・レジスタ**	ASMU_INT_RAW_STATUS	R	0000_0000H
00D8H	**割り込みイネーブル・セット・レジスタ**	ASMU_INT_ENSET	R/W	0000_0000H
00DCH	**割り込みイネーブル・クリア・レジスタ**	ASMU_INT_ENCLR	W	0000_0000H
00E0H	**割り込みイネーブル・モニタ・レジスタ**	ASMU_INT_ENMON	R	0000_0000H
00E4H	**割り込みクリア・レジスタ**	ASMU_INT_CLEAR	W	0000_0000H

(2/5)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
00F0H	Normal Mode A 分周設定レジスタ	NORMALA_DIV	R/W	0035_5300H
00F4H	Normal Mode B 分周設定レジスタ	NORMALB_DIV	R/W	0035_5300H
00F8H	Normal Mode C 分周設定レジスタ	NORMALC_DIV	R/W	0035_5300H
00FCH	Normal Mode D 分周設定レジスタ	NORMALD_DIV	R/W	0035_5300H
0100H	Economy Mode 分周設定レジスタ	ECONOMY_DIV	R/W	0035_5500H
0104H	Standby mode, Sleep Mode 分周設定レジスタ	STANDBY_DIV	R/W	0055_5500H
0108H	Power ON Mode 分周設定レジスタ	POWERON_DIV	R/W	0013_3100H
0110H-0114H	Reserved	－	－	－
0118H	SP0_SCLK 用分周設定レジスタ	DIVSP0SCLK	R/W	0000_0004H
011CH	SP1_SCLK 用分周設定レジスタ	DIVSP1SCLK	R/W	0000_0004H
0120H	SP2_SCLK 用分周設定レジスタ	DIVSP2SCLK	R/W	0000_0004H
0124H	Reserved	－	－	－
0128H	MEMC_RCLK 用分周設定レジスタ	DIVMEMCRCLK	R/W	0000_0004H
012CH	CAM_SCLK 用分周設定レジスタ	DIVCAMSCLK	R/W	0000_0119H
0130H	LCD_LCLK 用分周設定レジスタ	DIVLCDLCLK	R/W	0000_0190H
0134H	IIC_SCLK 用分周設定レジスタ	DIVIICSCLK	R/W	0053_0053H
0138H	TI0_TIN / TW0_TIN 用設定レジスタ	TI0TIN_SEL	R/W	0001_0001H
013CH	TI1_TIN / TW1_TIN 用設定レジスタ	TI1TIN_SEL	R/W	0001_0001H
0140H	TI2_TIN / TW2_TIN 用設定レジスタ	TI2TIN_SEL	R/W	0001_0001H
0144H	TI3_TIN / TW3_TIN 用設定レジスタ	TI3TIN_SEL	R/W	0001_0001H
0148H	TG0-5_TIN 用設定レジスタ	TGnTIN_SEL	R/W	0011_1111H
014CH	タイマ・クロック分周設定レジスタ	DIVTIMTIN	R/W	0000_00F4H
0150H	MWI_SCLK 用分周設定レジスタ	DIVMWISCLK	R/W	0000_00F4H
0154H	DMA_TCLK 用分周設定レジスタ	DIVDMATCLK	R/W	0000_00F4H
0158H	U70_SCLK 用分周設定レジスタ	DIVU70SCLK	R/W	0000_00F4H
015CH	U71_SCLK 用分周設定レジスタ	DIVU71SCLK	R/W	0000_00F4H
0160H	U72_SCLK 用分周設定レジスタ	DIVU72SCLK	R/W	0000_00F4H
0164H-0168H	Reserved	－	－	－
016CH	PM0_SCLK 用分周設定レジスタ	DIVPM0SCLK	R/W	0000_00F4H
0170H	PM1_SCLK 用分周設定レジスタ	DIVPM1SCLK	R/W	0000_00F4H
0174H	Reserved	－	－	－
0178H	REFCLK 用分周設定レジスタ	DIVREFCLK	R/W	0000_0028H
017CH-0180H	Reserved	－	－	－
0184H	PWMPWCLK 用分周設定レジスタ	DIVPWMPWCLK	R/W	00F4_00F4H
0188H-0194H	Reserved	－	－	－
01A0H	AHB マクロ・クロック制御レジスタ 0	AHBCLKCTRL0	R/W	0000_0000H
01A4H	AHB マクロ・クロック制御レジスタ 1	AHBCLKCTRL1	R/W	0000_0000H
01A8H	APB スレーブ・マクロ・クロック制御レジスタ 0	APBCLKCTRL0	R/W	0000_0000H
01ACH	APB スレーブ・マクロ・クロック制御レジスタ 1	APBCLKCTRL1	R/W	0000_0000H

(3/5)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
01B0H	クロック制御レジスタ	CLKCTRL	R/W	0000_0000H
01B4H	マクロ・クロック・ゲート制御レジスタ 0	GCLKCTRL0	R/W	767F_FCE3H
01B8H	GCLKCTRL0 のセット／リセット・イネーブル・レジスタ	GCLKCTRL0ENA	R/W	0000_0000H
01BCH	マクロクロックゲート制御レジスタ 1	GCLKCTRL1	R/W	FFFF_DFF7H
01C0H	GCLKCTRL1 のセット／リセット・イネーブル・レジスタ	GCLKCTRL1ENA	R/W	0000_0000H
01C4H	マクロクロックゲート制御レジスタ 2	GCLKCTRL2	R/W	67F0_79FEH
01C8H	GCLKCTRL2 のセット／リセット・イネーブル・レジスタ	GCLKCTRL2ENA	R/W	0000_0000H
01CCH	マクロクロックゲート制御レジスタ 3	GCLKCTRL3	R/W	3FF8_7FFFH
01D0H	GCLKCTRL3 のセット／リセット・イネーブル・レジスタ	GCLKCTRL3ENA	R/W	3800_0000H
01D4H-01D8H	Reserved	－	－	－
01DCH	周波数自動切り替え制御レジスタ	AUTO_FRQ_CHANGE	R/W	3000_0000H
01E0H	周波数自動切り替え制御 REQMASK レジスタ 0	AUTO_FRQ_MASK0	R/W	0000_0000H
01E4H	周波数自動切り替え制御 REQMASK レジスタ 1	AUTO_FRQ_MASK1	R/W	0003_ DCFCH
01E8H	自動周波数制御のハーフモードのレジスタ	DFS_HALFMODE	R/W	0000_0000H
01F0H	FLA_CLK ディレイ調整レジスタ	FLA_CLK_DLY	R/W	0000_1000H
01F4H-01F8H	Reserved	－	－	－
01FCH	MEMC_CLK270 切り替えレジスタ	MEMCCLK270_SEL	R/W	0000_0000H
0200H-0204H	Reserved	－	－	－
0208H	バリア・ゲート制御レジスタ	ASMU_BGCTRL	R/W	0000_0000H
020CH-021CH	Reserved	－	－	－
0220H	クイック・リカバリ・バックアップ有効／無効設定レジスタ	QR_ENA	R/W	0053_4100H
0224H	クイック・リカバリ・クロック分周器設定レジスタ	QR_CLKDIV	R/W	0002_0401H
0228H-0234H	Reserved	－	－	－
0238H	ADSP/ACPU 用フェイク・モード・レジスタ	FAKE_MODE	R/W	0000_0000H
023CH	電源状態ステータス・レジスタ	POWERSW_STATUS	R	0000_0003H
0240H	電源スイッチ有効／無効設定レジスタ	POWERSW_ENA	R/W	0000_0000H
0244H	L1 電源スイッチ制御レジスタ	L1_POWERSW	R/W	0000_0000H
0248H	ACPU 電源スイッチ制御レジスタ	ACPU_POWERSW	R/W	0000_0000H
024CH	ADSP 電源スイッチ制御レジスタ	ADSP_POWERSW	R/W	0000_0000H
0250H	Reserved	－	－	－
0254H	ADSP バリア・ゲート制御レジスタ	ADSP_BUB	R/W	0000_0003H
0258H	ACPU バリア・ゲート制御レジスタ	ACPU_BUB	R/W	0000_0000H
025CH	電源スイッチ自動制御の許可禁止レジスタ	POWERSW_ACTRL_EN	R/W	0000_0000H
0260H	L1 電源スイッチ自動制御トリガ・レジスタ	LOG1SW_ACTRL	R/W	0000_0001H

(4/5)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0264H	ADSP 電源スイッチ自動制御トリガ・レジスタ	ADSPSW_ACTRL	R/W	0000_0001H
0268H	L1 バリア・ゲート制御レジスタ	L1_BUZ	R/W	1001_1111H
026CH	L1 バリア・ゲート制御 2 レジスタ	L1_BUZ2	R/W	0000_0011H
0270H-0284H	Reserved	−	−	−
0288H	ACPU 書き逃げ制御レジスタ	ACPUBUFTYPE	R/W	0000 0000H
028CH	ADSP 書き逃げ制御レジスタ	ADSPBUFTYPE	R/W	0000 0000H
0290H	HXB 書き逃げ制御レジスタ	HXBBUFTYPE	R/W	0000 0000H
0294H-031CH	Reserved	−	−	−
0320H-035CH	ステータス履歴レジスタ	STATUS_RECORD0〜15	R	−
0360H	ACPU_INIT レジスタ	ACPU_INIT	R/W	0006 0000H
0364H-03BCH	Reserved	−	−	−
03C0H	U70 用ウエイト・コントロール・レジスタ	AB1_U70WAITCTRL	R/W	000F_1F0FH
03C4H	U71 用ウエイト・コントロール・レジスタ	AB1_U71WAITCTRL	R/W	000F_1F0FH
03C8H	U72 用ウエイト・コントロール・レジスタ	AB1_U72WAITCTRL	R/W	000F_1F0FH
03CCH	IIC2 用ウエイト・コントロール・レジスタ	AB1_IIC2WAITCTRL	R/W	000F_1F0FH
03D0H	IIC 用ウエイト・コントロール・レジスタ	AB1_IICWAITCTRL	R/W	000F_1F0FH
03D4H	U70 用リード・モード・レジスタ	AB1_U70READCTRL	R/W	0000_0000H
03D8H	U71 用リード・モード・レジスタ	AB1_U71READCTRL	R/W	0000_0000H
03DCH	U72 用リード・モード・レジスタ	AB1_U72 READCTRL	R/W	0000_0000H
03E0H	IIC2 用リード・モード・レジスタ	AB1_IIC2READCTRL	R/W	0000_0000H
03E4H	IIC 用リード・モード・レジスタ	AB1_IICREADCTRL	R/W	0000_0000H
03E8H	SDIB 用ウエイト・コントロール・レジスタ	AB1_SDIBWAITCTRL	R/W	000F_1F0FH
03ECH	SDIB 用リード・モード・レジスタ	AB1_SDIBREADCTRL	R/W	0000_0000H
03F0H	SDIC 用ウエイト・コントロール・レジスタ	AB1_SDICWAITCTRL	R/W	000F_1F0FH
03F4H	SDIC 用リード・モード・レジスタ	AB1_SDICREADCTRL	R/W	0000_0000H
03F8H-0490H	Reserved	−	−	−
0494H	FLASHCLK 制御レジスタ	FLASHCLK_CTRL	R/W	0000_0000H
0498H-04FCH	Reserved	−	−	−
0500H	L2（USB）電源スイッチ，バリア・ゲート制御レジスタ	L2_POWERSW_BUZ	R/W	0001_0100H
0504H	L2（USB）電源スイッチ自動制御イネーブル・レジスタ	LOG2SW_ACTRLEN	R/W	0000_0000H
0508H	L2（USB）電源スイッチ制御レジスタ	LOG2SW_ACTRL	R/W	0001_0001H
050CH	L3（AVC）電源スイッチ，バリア・ゲート制御レジスタ	L3_POWERSW_BUZ	R/W	0001_0100H
0510H	L3（AVC）電源スイッチ自動制御イネーブル・レジスタ	LOG3SW_ACTRLEN	R/W	0000_0000H
0514H	L3（AVC）電源スイッチ制御レジスタ	LOG3SW_ACTRL	R/W	0001_0001H
0518H-051CH	Reserved	−	−	−
0520H	PLL 状態ステータス・レジスタ	PLL_STATUS	R	−

(5/5)

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0524H-0810H	Reserved	–	–	–
0814H	MEMCIO（L0）-MEMC（L1）間バリア・ゲート制御レジスタ	IO_L0_LM_BUZ	R/W	0000_0101H
0818H-0838H	Reserved	–	–	–
083CH	リセット要求レジスタ 3	RESETREQ3	R/W	0000_0000H
0840H	RESETREQ3 のセット／リセット・イネーブル・レジスタ	RESETREQ3ENA	R/W	0000_0000H
0844H	Reserved	–	–	–
0848H	APB（PB0）スレーブ・マクロ・クロック制御レジスタ 2	APBCLKCTRL2	R/W	0000_000CH
084CH	マクロ・クロック・ゲート制御レジスタ 4	GCLKCTRL4	R/W	0000_03F0H
0850H	GCLKCTRL4 のセット／リセット・イネーブル・レジスタ	GCLKCTRL4ENA	R/W	0000_0000H
0854H-085CH	Reserved	–	–	–
0860H	周波数自動切り替え制御 REQMASK レジスタ 3	AUTO_FRQ_MASK3	R/W	0000_0007H
0864H	自動周波数制御の FIFO 残量モード・レジスタ	DFS_FIFOMODE	R/W	0000_0000H
0868H	周波数自動切り替え制御 FIFOMODE_REQMASK レジスタ	DFS_FIFO_REQMASK	R/W	0000_0003H
086CH	自動周波数制御の LCD_FIFO の残量しきい値レジスタ	LCD_FIFOTHRESHOLD	R/W	0000_0000H
0870H	自動周波数制御の CAM_FIFO の残量しきい値レジスタ	CAM_FIFOTHRESHOLD	R/W	0000_0000H
0874H	Reserved	–	–	–
0878H	CAM 用 SAFE リセット・レジスタ	CAM_SAFE_RESET	R/W	0000_0001H
087CH	Reserved	–	–	–
0880H	DTV 用 SAFE リセット・レジスタ	DTV_SAFE_RESET	R/W	0000_0001H
0884H	USB 用 SAFE リセット・レジスタ	USB_SAFE_RESET	R/W	0000_0001H
0888H	Reserved	–	–	–
088CH	クロック制御レジスタ 1	CLKCTRL1	R/W	0000_0003H
0890H	SDIA 用ウエイト・コントロール・レジスタ	AB1_SDIAWAITCTRL	R/W	000F_1F0FH
0894H	SDIA 用リード・モード・レジスタ	AB1_SDIAREADCTRL	R/W	0000_0000H
0898H-089CH	Reserved	–	–	–
08A0H	ASMU-MEMC 間のハンドシェーク機能切り替えレジスタ	MEMC_HAND_SHAKE_FAKE	R/W	0000_0000H
08A4H-08B4H	Reserved	–	–	–
08B8H	USB コアセレクトレジスタ	SEL_BIGWEST	R/W	0000_0000H
08BCH-FFFCH	Reserved	–	–	–

A.1.35　SP0（SPIインタフェース）

ベース・アドレス：C012_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	**モード・レジスタ**	SP0_MODE	R/W	0000_0002H
0004H	SPI **極性レジスタ**	SP0_POL	R/W	0000_7000H
0008H	**コントロール・レジスタ**	SP0_CONTROL	R/W	0000_8040H
000CH	Reserved	－	－	－
0010H	**送信データ・レジスタ**	SP0_TX_DATA	W	0000_0000H
0014H	**受信データ・レジスタ**	SP0_RX_DATA	R	0000_000xH
0018H	**割り込みステータス・レジスタ**	SP0_STATUS	R	0000_0000H
001CH	**割り込み** Raw **ステータス・レジスタ**	SP0_RAW_STATUS	R	0000_0000H
0020H	**割り込みイネーブル・セット・レジスタ**	SP0_ENSET	R/W	0000_0000H
0024H	**割り込みイネーブル・クリア・レジスタ**	SP0_ENCLR	W	0000_0000H
0028H	**割り込み要因クリア・レジスタ**	SP0_FFCLR	W	0000_0000H
002CH-0030H	Reserved	－	－	－
0034H	**コントロール・レジスタ** 2	SP0_CONTROL2	R/W	0000_0000H
0038H	CS **固定レジスタ**	SP0_TIECS	R/W	0000_0000H
003CH-FFFFH	Reserved	－	－	－

A.1.36　SP1（SPIインタフェース）

ベース・アドレス：C013_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	モード・レジスタ	SP1_MODE	R/W	0000_0002H
0004H	SPI 極性レジスタ	SP1_POL	R/W	0000_7000H
0008H	コントロール・レジスタ	SP1_CONTROL	R/W	0000_8040H
000CH	Reserved	－	－	－
0010H	送信データ・レジスタ	SP1_TX_DATA	W	0000_0000H
0014H	受信データ・レジスタ	SP1_RX_DATA	R	0000_000xH
0018H	割り込みステータス・レジスタ	SP1_STATUS	R	0000_0000H
001CH	割り込み Raw ステータス・レジスタ	SP1_RAW_STATUS	R	0000_0000H
0020H	割り込みイネーブル・セット・レジスタ	SP1_ENSET	R/W	0000_0000H
0024H	割り込みイネーブル・クリア・レジスタ	SP1_ENCLR	W	0000_0000H
0028H	割り込み要因クリア・レジスタ	SP1_FFCLR	W	0000_0000H
002CH-0030H	Reserved	－	－	－
0034H	コントロール・レジスタ 2	SP1_CONTROL2	R/W	0000_0000H
0038H	CS 固定レジスタ	SP1_TIECS	R/W	0000_0000H
003CH-FFFFH	Reserved	－	－	－

A.1.37 CHGREG（兼用端子切り替え）

ベース・アドレス：C014_0000H

（1/2）

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	起動モード・レジスタ	CHG_BOOT_MODE	R	－
0004H	L1 OFF 時のデータ・ホールド制御レジスタ	CHG_L1_HOLD	R/W	0000_0000H
0010H	LSI Revision レジスタ	CHG_LSI_REVISION	R	0000_0010H
0014H-0100H	Reserved	－	－	－
0104H	SDI（A, B, C）の割り込みマスク・レジスタ	CHG_CTRL_SDINT	R/W	0000_0007H
0108H	AB0（ASYNC）BOOT 切り替えレジスタ	CHG_CTRL_AB0_BOOT	R/W	0000_0000H
0110H	OSC 制御レジスタ	CHG_CTRL_OSC	R/W	0000_0000H
0114H-01FCH	Reserved	－	－	－
0200H	GIO_P[15:0]兼用端子切り替えレジスタ	CHG_PINSEL_G00	R/W	0000_0000H
0204H	GIO_P[31:16]兼用端子切り替えレジスタ	CHG_PINSEL_G16	R/W	0000_0000H
0208H	GIO_P[47:32]兼用端子切り替えレジスタ	CHG_PINSEL_G32	R/W	0000_0000H
020CH	GIO_P[63:48]兼用端子切り替えレジスタ	CHG_PINSEL_G48	R/W	0000_0000H
0210H	GIO_P[79:64]兼用端子切り替えレジスタ	CHG_PINSEL_G64	R/W	0000_0000H
0214H	GIO_P[95:80]兼用端子切り替えレジスタ	CHG_PINSEL_G80	R/W	0000_0000H
0218H	GIO_P[111:96]兼用端子切り替えレジスタ	CHG_PINSEL_G96	R/W	0000_0000H
021CH	GIO_P[117:112]兼用端子切り替えレジスタ	CHG_PINSEL_G112	R/W	0000_0000H
0220H-027CH	Reserved	－	－	－
0280H	SP0 兼用端子切り替えレジスタ	CHG_PINSEL_SP0	R/W	0000_0000H
0280H	DTV 兼用端子切り替えレジスタ	CHG_PINSEL_DTV	R/W	0000_0000H
0288H	SD0 兼用端子切り替えレジスタ	CHG_PINSEL_SD0	R/W	0000_0000H
028CH	SD1 兼用端子切り替えレジスタ	CHG_PINSEL_SD1	R/W	0000_0000H
0290H	IIC2 兼用端子切り替えレジスタ	CHG_PINSEL_IIC2	R/W	0000_0000H
0294H	REFCLKO クロック端子切り替えレジスタ	CHG_PINSEL_REFCLKO	R/W	0000_0000H
0298H-029CH	Reserved	－	－	－
0300H	GIO_P[7:0]端子のプルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G00	R/W	0000_0000H
0304H	GIO_P[15:8]端子のプルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G08	R/W	0000_0000H
0308H	GIO_P[23:16]端子のプルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G16	R/W	0000_0000H
030CH	GIO_P[31:24]端子のプルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G24	R/W	0000_0000H
0310H	GIO_P[39:32]端子のプルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G32	R/W	0000_0000H
0314H	GIO_P[47:40]端子のプルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G40	R/W	0000_2200H
0318H	GIO_P[55:48]端子のプルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G48	R/W	1111_1111H

(2/2)

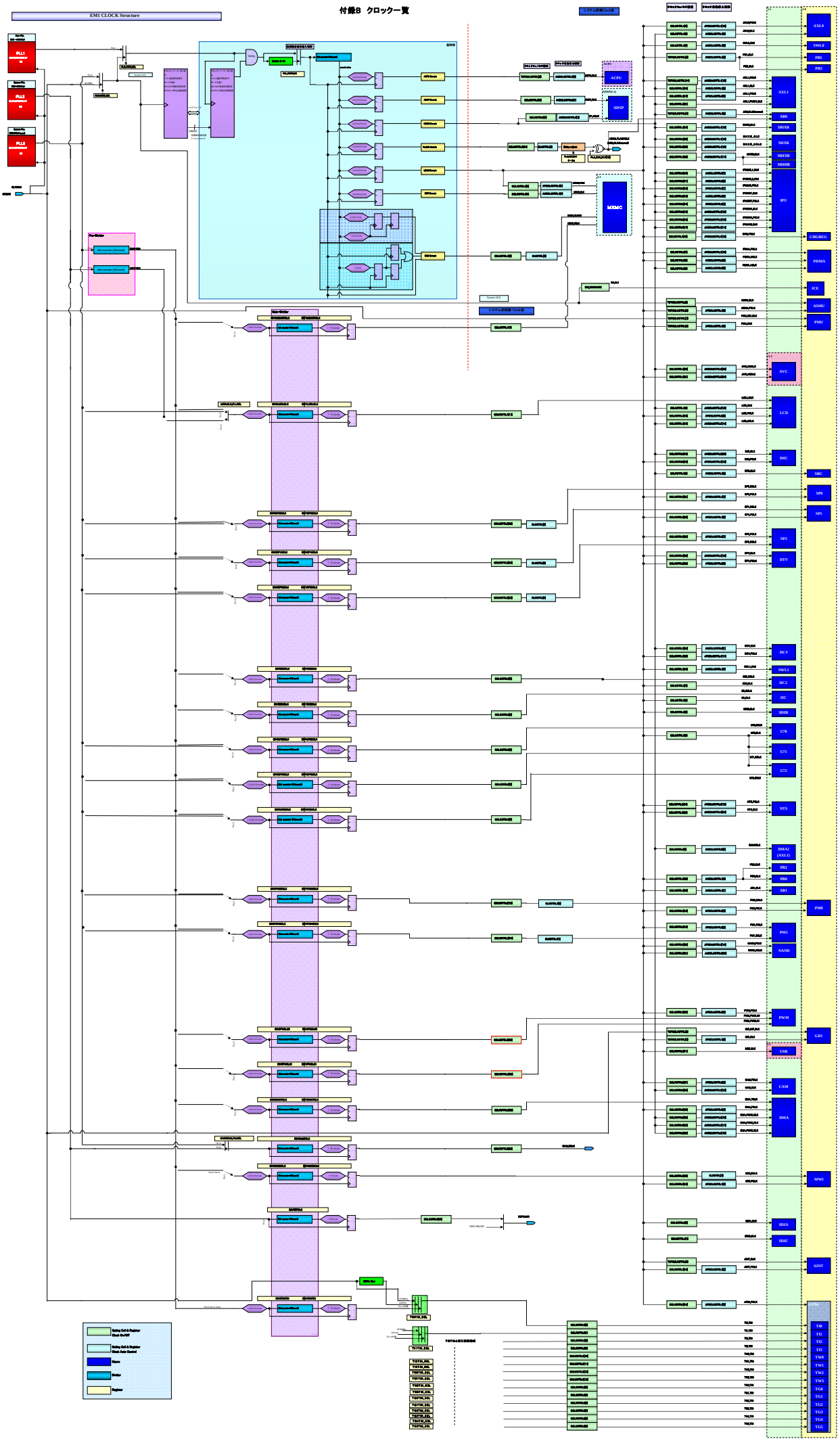
アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
031CH	GIO_P[63:56]端子のプルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G56	R/W	1111_1111H
0320H	GIO_P[71:64]端子のプルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G64	R/W	1111_1111H
0324H	GIO_P[79:72]端子のプルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G72	R/W	0000_0000H
0328H	GIO_P[87:80]端子のプルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G80	R/W	0000_0000H
032CH	GIO_P[95:88]端子のプルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G88	R/W	0000_0000H
0330H	GIO_P[103:96]端子のプルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G96	R/W	0000_0000H
0334H	GIO_P[111:104]端子のプルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G104	R/W	0000_0000H
0338H	GIO_P[119:112]端子のプルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G112	R/W	0000_0000H
033CH	GIO_P[127:120]端子のプルアップ／プルダウン／入力イネーブル制御レジスタ	CHG_PULL_G120	R/W	0000_0000H
0340H-037CH	Reserved	–	–	–
0380H	プルアップ／プルダウン／入力イネーブル制御レジスタ 0	CHG_PULL0	R/W	0000_0004H
0384H	プルアップ／プルダウン／入力イネーブル制御レジスタ 1	CHG_PULL1	R/W	0000_0600H
0388H	プルアップ／プルダウン／入力イネーブル制御レジスタ 2	CHG_PULL2	R/W	0000_1001H
038CH	プルアップ／プルダウン／入力イネーブル制御レジスタ 3	CHG_PULL3	R/W	0000_0000H
0390H-039CH	Reserved	–	–	–
0400H	ドライブ能力切り替えレジスタ 0	CHG_DRIVE0	R/W	5550_0155H
0404H	ドライブ能力切り替えレジスタ 1	CHG_DRIVE1	R/W	5555_5555H
0408H	ドライブ能力切り替えレジスタ 2	CHG_DRIVE2	R/W	0001_1555H

A.1.38　MWI（Microwireインタフェース）

ベース・アドレス：C016_0000H

アドレス	レジスタ名称	レジスタ略号	R/W	リセット時
0000H	システム・コントロール・レジスタ	MWI_CONT	R/W	0000_0000H
0004H	CS0 設定レジスタ	MWI_CS0	R/W	0000_0001H
0008H	CS1 設定レジスタ	MWI_CS1	R/W	0000_0001H
000CH	送信スタート・レジスタ	MWI_START	R/W	0000_0000H
0020H	割り込みステータス・レジスタ	MWI_INTSTATUS	R	0000_0000H
0024H	割り込みステータス Raw レジスタ	MWI_INTRAW	R	0000_0000H
0028H	割り込みクリア・レジスタ	MWI_INTFFCLR	W	0000_0000H
002CH	割り込みイネーブル・セット・レジスタ	MWI_INTENSET	R/W	0000_0000H
0030H	割り込みイネーブル・クリア・レジスタ	MWI_INTENCLR	W	0000_0000H
0040H	送信アドレス・レジスタ	MWI_TXQA	R/W	0000_0000H
0050H	送信データ・レジスタ	MWI_TXQ	R/W	0000_0000H
0060H	受信データ・レジスタ	MWI_RXQ	R	0000_0000H

付録B クロック一覧


EMI CLOCK Structure
PLL1
PLL2
PLL3
ACPU
AESP
MEMC
AXI.0
SWI.0
PB1
PB3
AXI.1
AB2
BIUSB
SIUSB
MIUSB
MIUHB
IPU
CHCREG
PDMA
ICE
ASMU
PMU
AVC
LCD
2MC
SRC
SPI0
SPI1
SP2
DTV
DCV
SWI.1
IIC2
IIC
SDIB
UT0
UT1
UT2
NTS
DMA2 (AXI.1)
PB2
PB0
AB1
PM0
PM1
NAND
PWM
GPIO
USB
CAM
DMA
MW1
SDIA
SDIC
AINT
ATM
TB
T0
T1
T2
T3
TW0
TW1
TW2
TW3
TG0
TG1
TG2
TG3
TG4
TG5
Gating Cell & Register Clock On/Off
Gating Cell & Register Clock Auto Control
Store
Shifter
Register

付録 C　ROM 内ブート・ローダ

C.1 目　　的

EM1-S における起動処理を行う ROM 内ブート・ローダについて説明します。
EM1-S の ROM ブートでは，次のブート・モードを持っています。

・SD ブート　　：SD から Mini ブートを SRAM にコピーします。
・eMMC ブート ：eMMC から Mini ブートを SRAM にコピーします。

C.1.1 制限事項

・SD ブート：なし
・eMMC ブート：複数デバイスが接続された場合は，RCA = 0x01 の eMMC からロード

C.1.2 注意事項

① SRAM のサイズが 128 K バイトの場合を例にして説明します。
② 本ブート・ローダは，RAM としてチップ内 SRAM のみを用います（SDR の設定は本ブート・ローダが SRAM にロードする Mini ブート内で行います）。
③ 本書の表記において，「Boot Loader」とは OS カーネルをロードするためのブート･ローダを表します。

○ SD ブート

① PLL3 周波数（229.376 MHz）で動作します。
② UART0 を使用するため，UART0 用兼用端子（2 本）を UART モードに切り替えます。
③ UART0 の速度は 9600 baud です。
④ SD カード・クロック周波数はマクロクロック（= LBUS DOMAIN）の 4 分周 = 14.336 MHz とします。
⑤ Windows PC で FAT16（more 32 MB）によりフォーマットした SD カードのルート・ディレクトリに“ sdboot.bin ”という名前を持つ Binary ファイルを書き込む必要があります（1 セクタあたりのバイト数が 512 以外でフォーマットされたものはサポート外とします）。
⑥ sdboot.bin の最大のファイル・サイズは 64 K バイトです。
⑦ SP0 により電源 IC を操作します（Addr：06H　Data：06H）。

○ eMMC ブート

① PLL3 周波数（229.376 MHz）で動作。
② UART0 を使用するため，UART0 用兼用端子（2 本）を UART モードに切り替えます。
③ UART0 の速度は 9600 baud です。
④ eMMC クロック周波数はマクロ・クロック（= LBUS DOMAIN）の 4 分周 = 14.336 MHz とします。
⑤ RCA = 0x01 の eMMC-NAND から MBR を読み出し，先頭アクティブ･パーティション･テーブルの LBA より 4096 バイトを読み出します。
⑥ SP0 により電源 IC を操作します（Addr：06H　Data：02H）。
⑦ SEND_OP_COND コマンドに対するレスポンスにより，セクタまたはバイトアクセスを切り替えます。

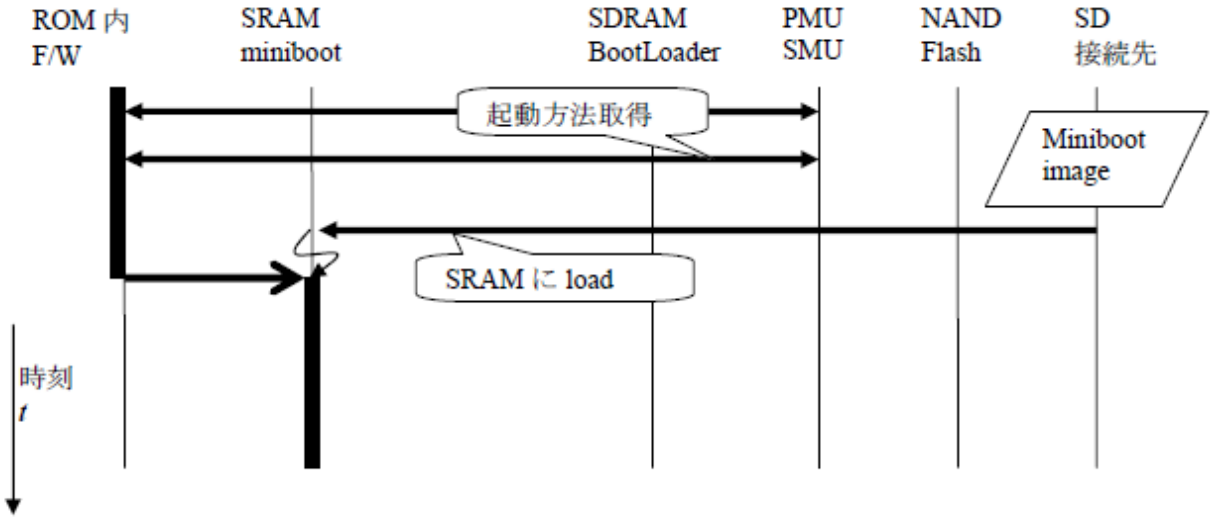
C.2　動作概要

ROM 内ブート・ローダは，次の起動処理を前提としています。

ここでは，この動作の ROM 内 F/W 部分について記載します。

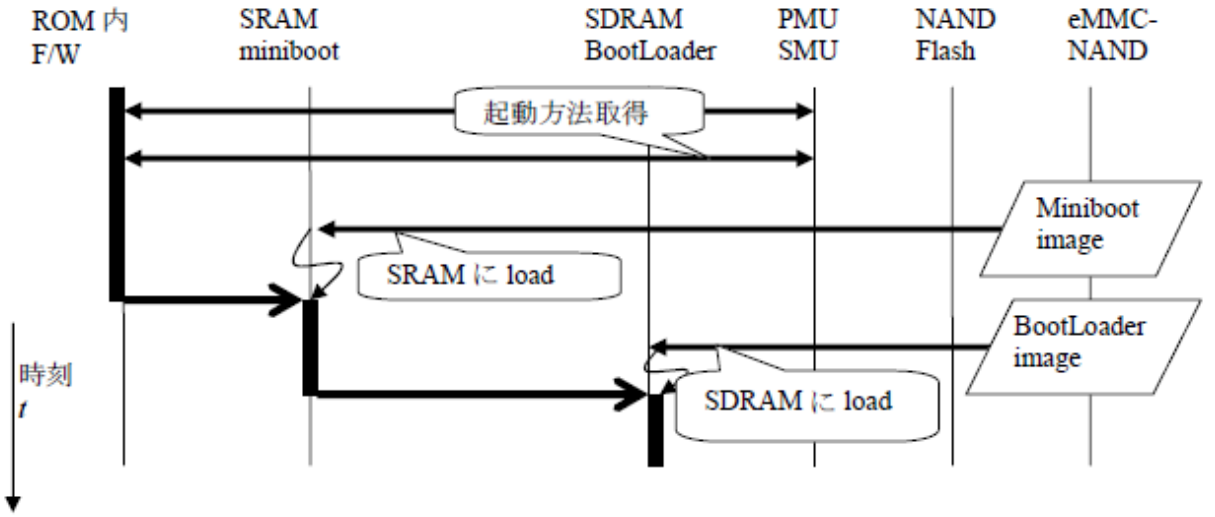
C.2.1　SDブート

CHG 内 CHG_BOOT_MODE レジスタの内容により SD ブートと判定された場合には，SD から SRAM に Miniboot イメージを書き込み，Miniboot に jump します。



C.2.2　eMMCブート

CHG 内 CHG_BOOT_MODE レジスタの内容により eMMC ブートと判定された場合には，RCA = 01 の eMMC-NAND から SRAM に Miniboot イメージを書き込み，Miniboot に jump します。



C.3 機能概要

C.3.1 ROM内ブート・ローダ基本機能

① SD/eMMC ブート判別し，各ブート・モードに移行する

② ROMTEST モードの場合は，ROMTEST モードに移行する

C.3.2 SDブート

① SD デバイスの電源 ON

② UART 設定

③ EM1-S の SD0 I/F 初期化設定

④ SD カード読み込み初期化設定

⑤ FAT 情報取得

⑥ SD カードに書き込まれているイメージ（ファイル名 “ sdboot.bin ”）を SRAM にコピー

⑦ Miniboot に Jump する

C.3.3 eMMCブート

① eMMC-NAND デバイスの電源 ON

② UART 設定

③ EM1-S の SD2 I/F 初期化設定

④ eMMC-NAND 読み込み初期化設定

⑤ eMMC-NAND 接続デバイス情報取得

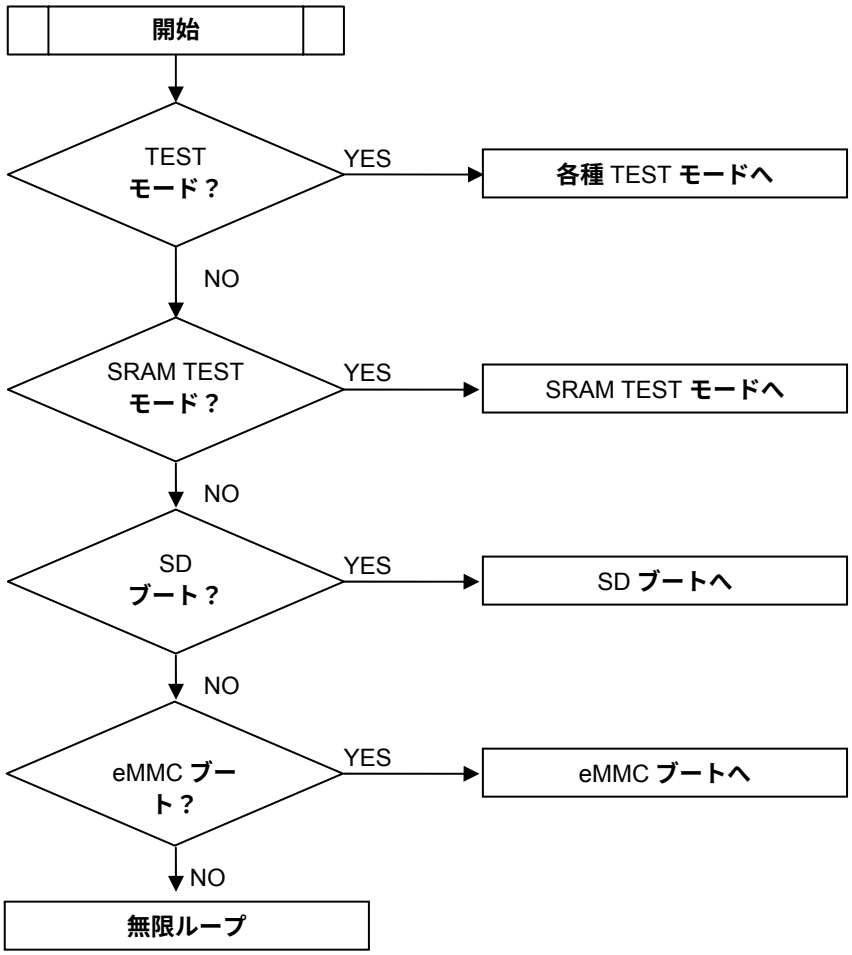
⑥ RCA = 0x01 の NAND から MBR を取得

⑦ アクティブ・パーティション・テーブルの LBA 先頭より 4096 バイトを SRAM にコピー
（アクティブ・パーティション・テーブルが存在しない場合は，先頭のパーティション・テーブルを使用）

⑧ Miniboot に Jump する

C.4 処理フロー

C.4.1 ROM内ブート・ローダ基本機能処理フロー



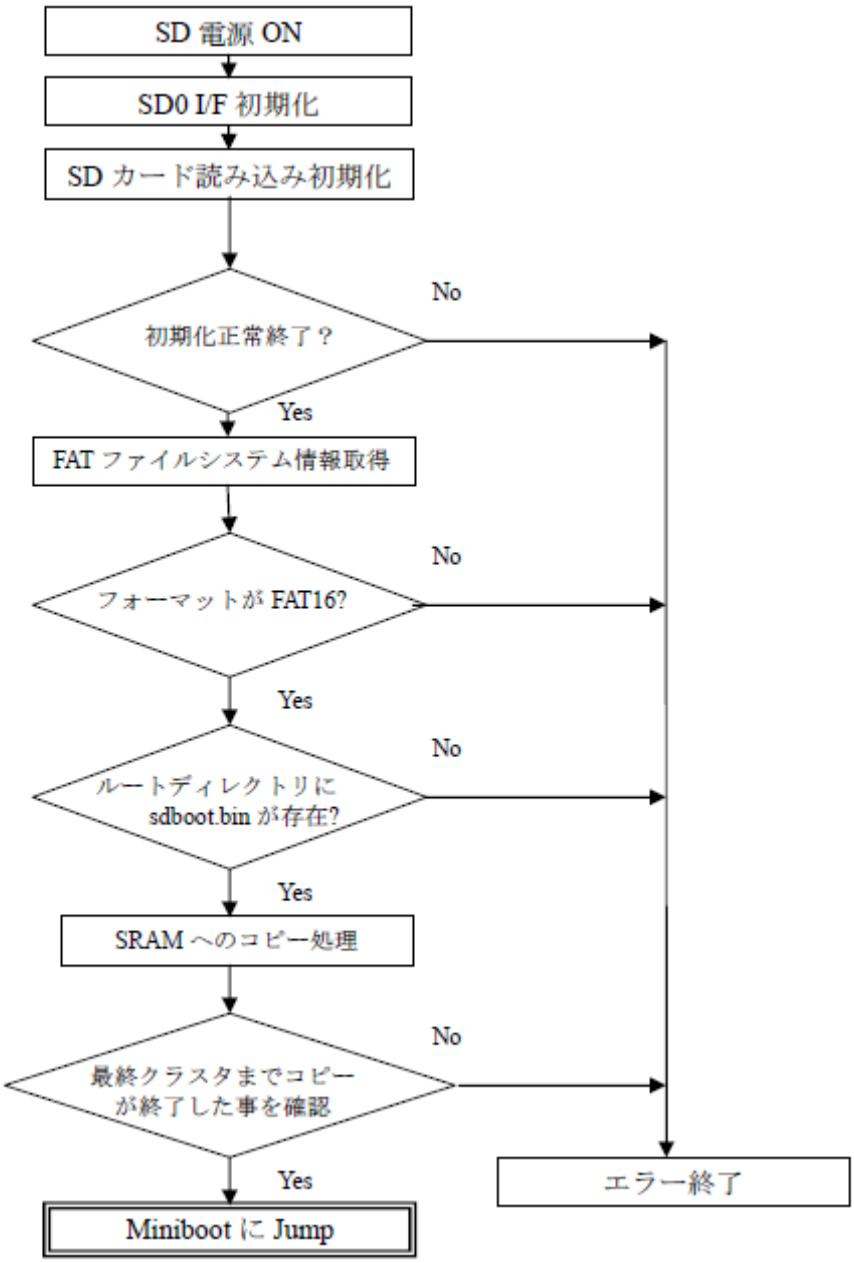
(1) ROM 内ブート・ローダ基本処理におけるレジスタ設定値

ROM 内ブート・ローダ基本処理時に設定するレジスタを次に示します。

No.	レジスタ名	レジスタ・アドレス	書き込み値	備考
1	ASMU_RESETREQ0ENA	0xC011_0008	0xFFFF_DFE7	リセット解除（LCD，DSP を除く）。
	ASMU_RESETREQ0	0xC011_0004	0xFFFF_DFE7	
	ASMU_RESETREQ0ENA	0xC011_0008	0x0000_0000	
2	ASMU_RESETREQ1ENA	0xC011_0010	0xFFFF_FFFF	全マクロのリセット解除。
	ASMU_RESETREQ1	0xC011_000C	0xFFFF_FFFF	
	ASMU_RESETREQ1ENA	0xC011_0010	0x0000_0000	
3	ASMU_RESETREQ2ENA	0xC011_001C	0xFFFF_FFFF	全マクロのリセット解除。
	ASMU_RESETREQ2	0xC011_0018	0xFFFF_FFFF	
	ASMU_RESETREQ2ENA	0xC011_001C	0x0000_0000	
4	ASMU_RESETREQ3ENA	0xC011_0840	0xFFFF_FFFF	全マクロのリセット解除。
	ASMU_RESETREQ3	0xC011_083C	0xFFFF_FFFF	
	ASMU_RESETREQ3ENA	0xC011_0840	0x0000_0000	

C.4.2　SDブート処理フロー

(1) SD ブート基本処理フロー



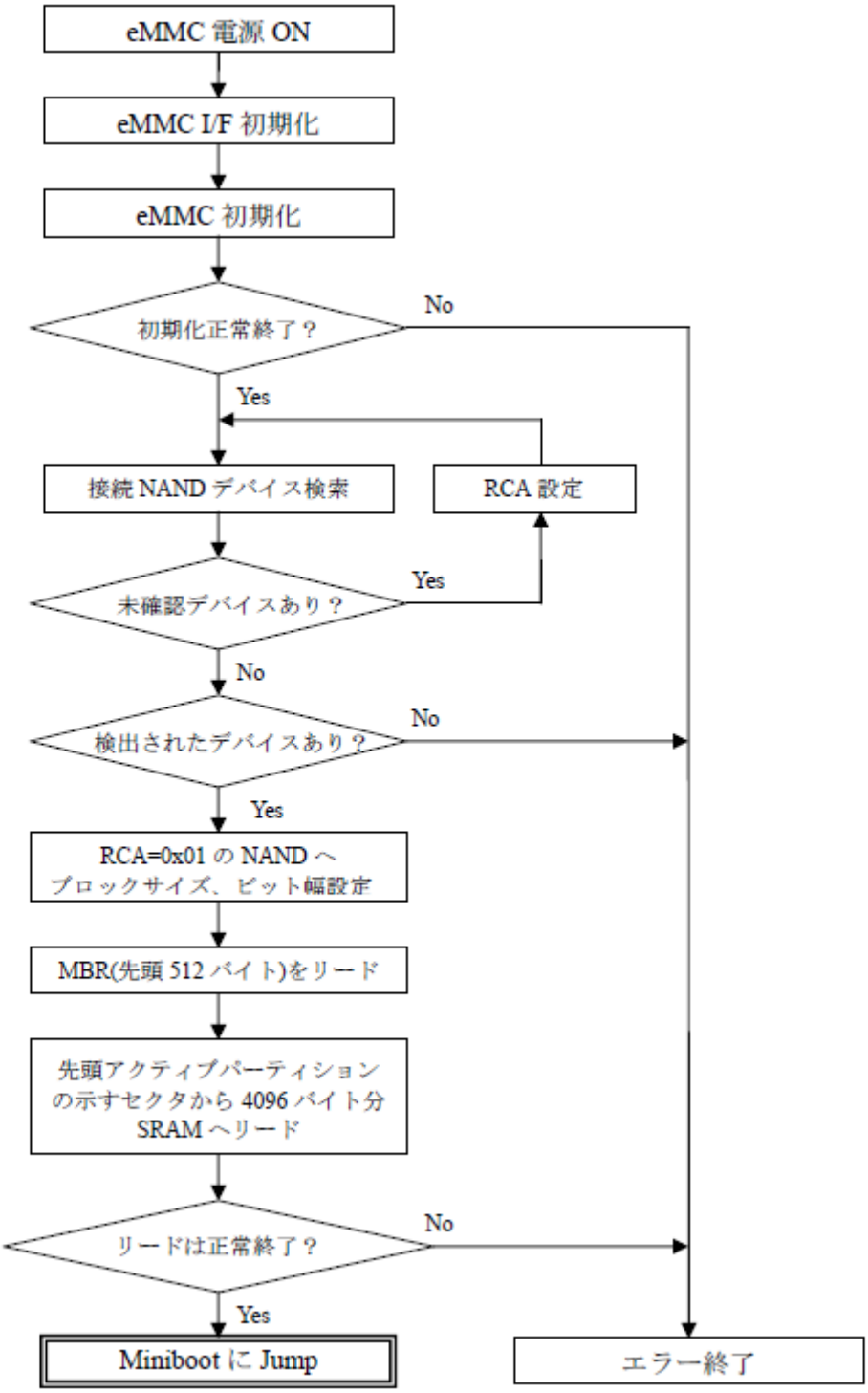
(2) SD ブートにおける ASMU レジスタ設定値

SD ブート時に設定するレジスタを次に示します（SD ブート・メイン処理を除く）。

No.	レジスタ名	レジスタ・アドレス	書き込み値	備考
1	ASMU_GCLKCTRL0ENA	0xC011_01B8	0x0000_0003	ADSP_ACLK，ADSP_CLK を停止。
	ASMU_GCLKCTRL0	0xC011_01B4	0x0000_0000	
	ASMU_GCLKCTRL0ENA	0xC011_01B8	0x0000_0000	
2	ASMU_GCLKCTRL1ENA	0xC011_01C0	0x0300_0000	DCV_CLK，DCV_PCLK を停止。
	ASMU_GCLKCTRL1	0xC011_01BC	0x0000_0000	
	ASMU_GCLKCTRL1ENA	0xC011_01C0	0x0000_0000	
3	ASMU_AHBCLKCTRL0	0xC011_01A0	0xFFDE_FFF2	ACPU 以外 ON。
4	ASMU_AHBCLKCTRL1	0xC011_01A4	0x0000_FFD1	SRC，PB1，PB0，AB1，SWT 以外 ON。
5	ASMU_APBCLKCTRL0	0xC011_01A8	0x0001_F1FF	すべて ON。
6	ASMU_APBCLKCTRL1	0xC011_01AC	0x0000_8D56	CHG，GIO，SP0，TI，ASMU 以外 ON。
7	ASMU_CLKCTRL	0xC011_01B0	0x0000_003F	すべて ON。
8	ASMU_DIVU70SCLK	0xC011_0158	0x0000_0000	1 分周（PLL3 基準）
9	CHG_PINSEL_G80	0xC014_0214	0x0040_0000	兼用端子 SD0 モードへ切り替え。 GIO_P91 → CKI
10	CHG_PULL2	0xC014_0388	0x0000_0661	SD0 の Pull 設定変更。 CKO：Pull 解除 CMD，DATA0：Pull-up，マスク解除
11	CHG_PULL_G88	0xC014_032C	0x0000_0444	SD の Pull 設定変更。 DATA[3:1]：Pull-down，マスク解除
12	SMU_AB1_SDIAWAITCTRL	0xC011_0890	0x0000_0300	SD0 用 Wait Control レジスタ設定

C.4.3　eMMCブート処理フロー

(1) eMMC ブート基本処理フロー



(2) eMMC ブートにおける ASMU レジスタ設定値

eMMC ブート時に設定するレジスタを次に示します（eMMC ブート・メイン処理を除く）。

No.	レジスタ名	レジスタ・アドレス	書き込み値	備考
1	ASMU_GCLKCTRL0ENA	0xC011_01B8	0x0000_0003	ADSP_ACLK，ADSP_CLK を停止。
	ASMU_GCLKCTRL0	0xC011_01B4	0x0000_0000	
	ASMU_GCLKCTRL0ENA	0xC011_01B8	0x0000_0000	
2	ASMU_GCLKCTRL1ENA	0xC011_01C0	0x0300_0000	DCV_CLK，DCV_PCLK を停止。
	ASMU_GCLKCTRL1	0xC011_01BC	0x0000_0000	
	ASMU_GCLKCTRL1ENA	0xC011_01C0	0x0000_0000	
3	ASMU_AHBCLKCTRL0	0xC011_01A0	0xFFDE_FFF2	ACPU 以外 ON。
4	ASMU_AHBCLKCTRL1	0xC011_01A4	0x0000_FFD1	SRC，PB1，PB0，AB1，SWT 以外 ON。
5	ASMU_APBCLKCTRL0	0xC011_01A8	0x0001_F1FF	すべて ON。
6	ASMU_APBCLKCTRL1	0xC011_01AC	0x0000_8D56	CHG，GIO，SP0，TI，ASMU 以外 ON。
7	ASMU_CLKCTRL	0xC011_01B0	0x0000_003F	すべて ON。
8	ASMU_DIVU70SCLK	0xC011_0158	0x0000_0000	1 分周（PLL3 基準）
9	CHG_PINSEL_G80	0xC014_0214	0x0400_0000	兼用端子 SD2 モードへ切り替え。 GIO_P93→CKI
10	CHG_PINSEL_G112	0xC014_021C	0x0000_0555	兼用端子 SD2 モードへ切り替え。 GIO_P[117:112] → CKO/CMD/DATA[3:0]
11	CHG_PULL_G112	0xC014_0338	0x0066_6661	SD2 の Pull 設定変更。 CKO：Pull 解除 CMD，DATA[3:0]：Pull-up，マスク解除
12	SMU_AB1_SDICWAITCTRL	0xC011_03F0	0x0000_0300	SD2 用 Wait Control レジスタ設定。

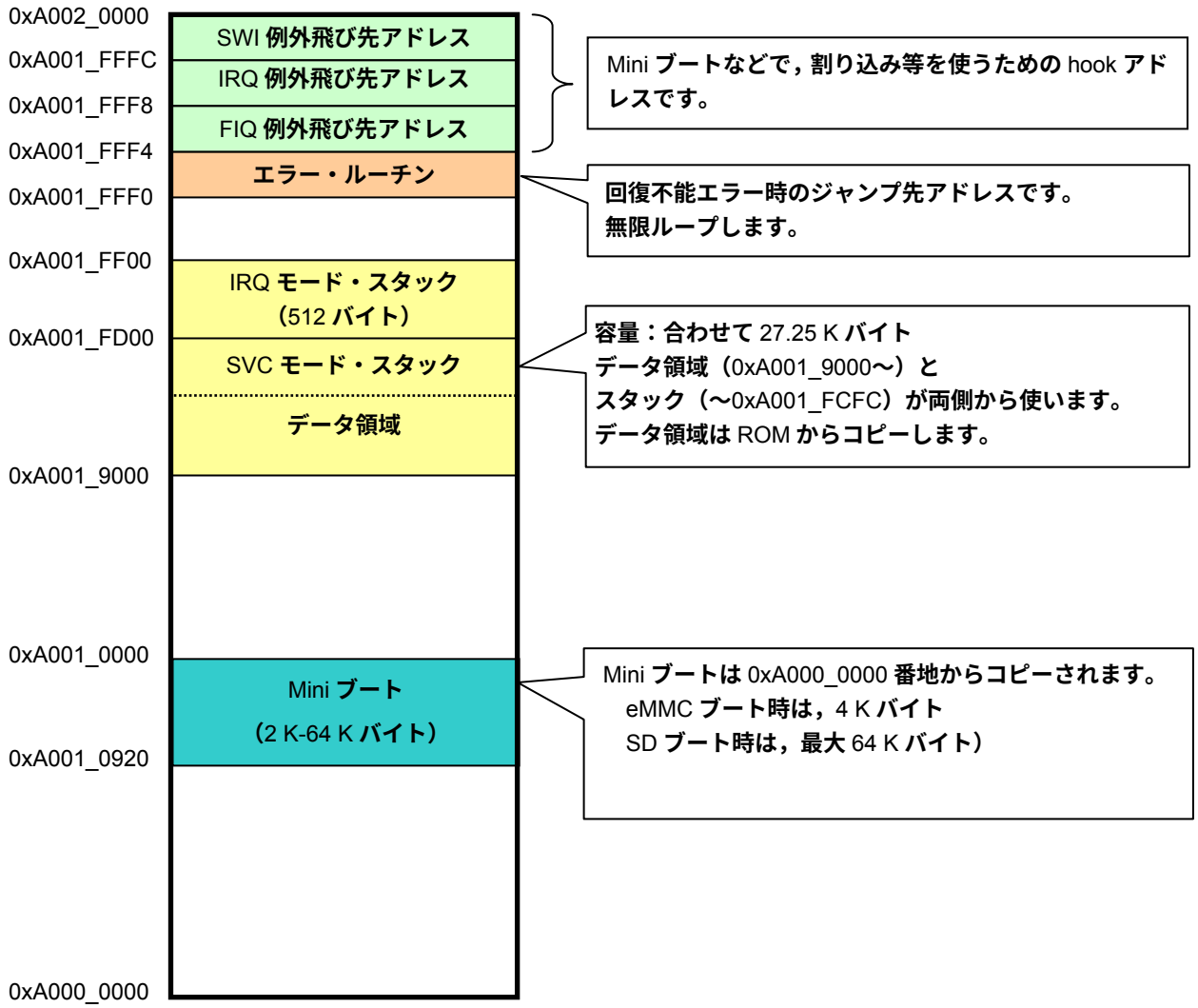
C.5　メモリ配置

C.5.1　SRAM

本 ROM 内ブート・ローダが用いるチップ内 SRAM 領域のメモリ配置を示します。

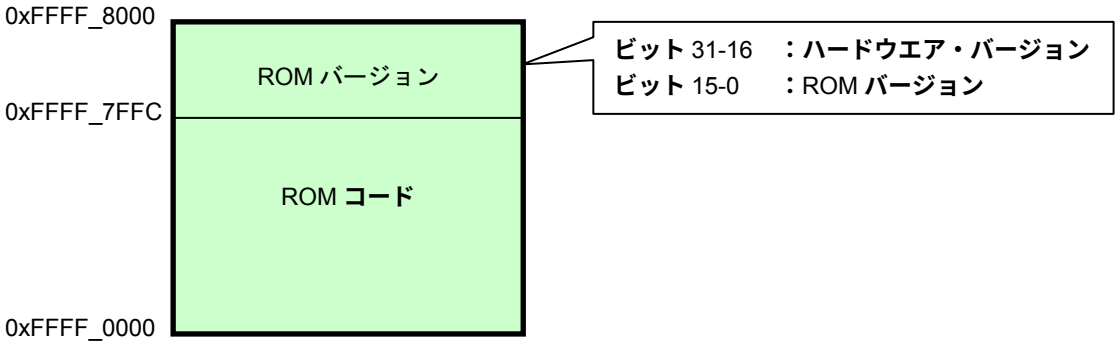
Cold ブート時は，ROM ブート・ローダ用のデータ，スタック領域などに使用します。

SRAM：容量 128 K バイト



C.5.2　ROM

ROM：容量 32 K バイト



付録 D　信号端子一覧

D.1　信号端子一覧

(1/14)

IO 電圧	グループ	端子名	通常 IO	兼用(通常機能)												切り替え方法	Normal 初期状態 (DET1 解除時からの端子初期状態)					Normal/ Economy/Sleep/ DeepSleep 状態		PowerOFF 状態 DET1=0 (IO 電源のみ ON)	
				兼用 1 (Default:00)			兼用 2 (01)			兼用 3 (10)			兼用 4 (11)				IO	出力値	Pull	AND, Thru, Mask	初期値	Pull	Drive	端子状態	内部状態
				信号名	IO	機能	信号名	IO	機能	信号名	IO	機能	信号名	IO	機能										
1.8V	MODE	BOOTSEL0	IN	BOOTSEL0	IN	Boot モード選択 0											IN				2 mA	-	-	Hi-Z	-
1.8V		BOOTSEL1	IN	BOOTSEL1	IN	Boot モード選択 1											IN				2 mA	-	-	Hi-Z	-
1.8V		BOOTSEL2	IN	BOOTSEL2	IN	Boot モード選択 2											IN				2 mA	-	-	Hi-Z	-
1.8V		BOOTSEL3	IN	BOOTSEL3	IN	Boot モード選択 3											IN				2 mA	-	-	Hi-Z	-
3.3V	SYSTEM	DET1	IN	DET1	IN	パワーオン・リセット											IN				-	-	-	Hi-Z	-
3.3V		A_RESETB	IN	A_RESETB	IN	System reset											IN				2 mA	-	-	Hi-Z	L
3.3V		C32K	IN	C32K	IN	32.768 kHz クロック											IN				2 mA	-	-	Hi-Z	-

(2/14)

IO 電圧	グループ	端子名	通常 IO	兼用(通常機能)												切り替え方法	Normal 初期状態 (DET1 解除時からの端子初期状態)					Normal/ Economy/Sleep/ DeepSleep 状態		PowerOFF 状態 DET1=0 (IO 電源のみ ON)	
				兼用 1 (Default:00)			兼用 2 (01)			兼用 3 (10)			兼用 4 (11)				IO	出力値	Pull	AND, Thru, Mask	初期値				
				信号名	IO	機能	信号名	IO	機能	信号名	IO	機能	信号名	IO	機能							Pull	Drive	端子状態	内部状態
3.3V	SYSTEM	REFCLKO	OUT	OSC12M_OUT	OUT	内部 OSC 出力	PLL2OUT	OUT	内部 PLL2 出力							単独	OUT			Mask	4 mA	-	2/4/6/8mA	Hi-Z	L
3.3V		ERR_RST_REQB	OUT	ERR_RST_REQB	OUT	Autonomous Reset Request											OUT	H		Mask	4 mA	-	2/4/6/8mA	Hi-Z	L
1.8V		OSC12M_CKI	IN	OSC12M_CKI	IN	OSC XT1											IN		PD		-	-	-	PD	PD
1.8V		OSC12M_CKO	OUT	OSC12M_CKO	OUT	OSC XT2											IN		PU		-	-	-	PU	PU
1.8V	JTAG	DEBUG_EN	IN	DEBUG_EN	IN	ICE											IN		PD	Thru	2 mA	-/PD/PU	-	PD	L
3.3V		JT0_TCK	IN	JT0_TCK	IN	ICE											IN		PD	Thru	4 mA	-/PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		JT0_TRSTB	IN	JT0_TRSTB	IN	ICE											IN		PD	Thru	4 mA	-/PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		JT0_TMS	IN	JT0_TMS	IN	ICE											IN		PU	Thru	4 mA	-/PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		JT0_TDI	IN	JT0_TDI	IN	ICE											IN		PU	Thru	4 mA		2/4/6/8mA	Hi-Z	L
3.3V		JT0_TDO	OUT	JT0_TDO	OUT	ICE											OUT	H/L		Mask	4 mA	-	2/4/6/8mA	Hi-Z	L
3.3V		JT0_RTCK	OUT	JT0_RTCK	OUT	ICE											OUT	H/L		Mask	4 mA	-	2/4/6/8mA	Hi-Z	L

(3/14)

IO 電圧	グループ	端子名	通常 IO	兼用(通常機能)												切り替え方法	Normal 初期状態 (DET1 解除時からの端子初期状態)					Normal/ Economy/Sleep/ DeepSleep 状態		PowerOFF 状態 DET1=0 (IO 電源のみ ON)	
				兼用 1 (Default:00)			兼用 2 (01)			兼用 3 (10)			兼用 4 (11)				IO	出力値	Pull	AND, Thru, Mask	初期値				
				信号名	IO	機能	信号名	IO	機能	信号名	IO	機能	信号名	IO	機能							Pull	Drive	端子状態	内部状態
1.8V	AB	AB0_CLK	OUT	GIO_P11	IO	GPIO	AB0_CLK	OUT	AB	NTS_CLK	IN	NTSC				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		AB0_AD0	IO	GIO_P12	IO	GPIO	AB0_AD0	IO	AB							単独	IN				4 mA	-	2/4/8/12mA	L	L
1.8V		AB0_AD1	IO	GIO_P13	IO	GPIO	AB0_AD1	IO	AB							単独	IN				4 mA	-	2/4/8/12mA	L	L
1.8V		AB0_AD2	IO	GIO_P14	IO	GPIO	AB0_AD2	IO	AB							単独	IN				4 mA	-	2/4/8/12mA	L	L
1.8V		AB0_AD3	IO	GIO_P15	IO	GPIO	AB0_AD3	IO	AB							単独	IN				4 mA	-	2/4/8/12mA	L	L
1.8V		AB0_AD4	IO	GIO_P16	IO	GPIO	AB0_AD4	IO	AB							単独	IN				4 mA	-	2/4/8/12mA	L	L
1.8V		AB0_AD5	IO	GIO_P17	IO	GPIO	AB0_AD5	IO	AB							単独	IN				4 mA	-	2/4/8/12mA	L	L
1.8V		AB0_AD6	IO	GIO_P18	IO	GPIO	AB0_AD6	IO	AB							単独	IN				4 mA	-	2/4/8/12mA	L	L
1.8V		AB0_AD7	IO	GIO_P19	IO	GPIO	AB0_AD7	IO	AB							単独	IN				4 mA	-	2/4/8/12mA	L	L
1.8V		AB0_AD8	IO	GIO_P20	IO	GPIO	AB0_AD8	IO	AB							単独	IN				4 mA	-	2/4/8/12mA	L	L
1.8V		AB0_AD9	IO	GIO_P21	IO	GPIO	AB0_AD9	IO	AB							単独	IN				4 mA	-	2/4/8/12mA	L	L
1.8V		AB0_AD10	IO	GIO_P22	IO	GPIO	AB0_AD10	IO	AB							単独	IN				4 mA	-	2/4/8/12mA	L	L
1.8V		AB0_AD11	IO	GIO_P23	IO	GPIO	AB0_AD11	IO	AB							単独	IN				4 mA	-	2/4/8/12mA	L	L
1.8V		AB0_AD12	IO	GIO_P24	IO	GPIO	AB0_AD12	IO	AB							単独	IN				4 mA	-	2/4/8/12mA	L	L
1.8V		AB0_AD13	IO	GIO_P25	IO	GPIO	AB0_AD13	IO	AB							単独	IN				4 mA	-	2/4/8/12mA	L	L
1.8V		AB0_AD14	IO	GIO_P26	IO	GPIO	AB0_AD14	IO	AB							単独	IN				4 mA	-	2/4/8/12mA	L	L
1.8V		AB0_AD15	IO	GIO_P27	IO	GPIO	AB0_AD15	IO	AB							単独	IN				4 mA	-	2/4/8/12mA	L	L
1.8V		AB0_A17	OUT	GIO_P28	IO	GPIO	AB0_A17/AB0_A1	OUT	AB	NTS_DATA0	OUT	NTSC				単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	PD	L
1.8V		AB0_A18	OUT	GIO_P29	IO	GPIO	AB0_A18/AB0_A2	OUT	AB	NTS_DATA1	OUT	NTSC				単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	PD	L

(4/14)

IO 電圧	グループ	端子名	通常 IO	兼用(通常機能)												切り替え方法	Normal 初期状態 (DET1 解除時からの端子初期状態)					Normal/ Economy/Sleep/ DeepSleep 状態		PowerOFF 状態 DET1=0 (IO 電源のみ ON)	
				兼用 1 (Default:00)			兼用 2 (01)			兼用 3 (10)			兼用 4 (11)				IO	出力値	Pull	AND, Thru, Mask	初期値	Pull	Drive	端子状態	内部状態
				信号名	IO	機能	信号名	IO	機能	信号名	IO	機能	信号名	IO	機能										
1.8V	AB	AB0_A19	OUT	GIO_P30	IO	GPIO	AB0_A19/AB0_A3	OUT	AB	NTS_DATA2	OUT	NTSC				単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	PD	L
1.8V		AB0_A20	OUT	GIO_P31	IO	GPIO	AB0_A20/AB0_A4	OUT	AB							単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	PD	L
1.8V		AB0_A21	OUT	GIO_P32	IO	GPIO	AB0_A21/AB0_A5	OUT	AB							単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	PD	L
1.8V		AB0_A22	OUT	GIO_P33	IO	GPIO	AB0_A22/AB0_A6	OUT	AB							単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	PD	L
1.8V		AB0_A23	OUT	GIO_P34	IO	GPIO	AB0_A23/AB0_A7	OUT	AB							単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	PD	L
1.8V		AB0_A24	OUT	GIO_P35	IO	GPIO	AB0_A24/AB0_A8	OUT	AB							単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	PD	L
1.8V		AB0_A25	OUT	GIO_P36	IO	GPIO	AB0_A25/AB0_A9	OUT	AB							単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	PD	L
1.8V		AB0_A26	OUT	GIO_P37	IO	GPIO	AB0_A26/AB0_A10	OUT	AB							単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	PD	L
1.8V		AB0_ADV	OUT	GIO_P38	IO	GPIO	AB0_ADV	OUT	AB							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		AB0_RDB	OUT	GIO_P39	IO	GPIO	AB0_RDB	OUT	AB	NTS_DATA3	OUT	NTSC				単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	PD	L
1.8V		AB0_WRB	OUT	GIO_P40	IO	GPIO	AB0_WRB	OUT	AB	NTS_DATA4	OUT	NTSC				単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	PD	L
1.8V		AB0_WAIT	IN	GIO_P41	IO	GPIO	AB0_WAIT	IN	AB	NTS_DATA5	OUT	NTSC				単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	PD	L
1.8V		AB0_CSB0	OUT	GIO_P42	IO	GPIO	AB0_CSB0	OUT	AB	NTS_DATA6	OUT	NTSC				単独	IN		PU		4 mA	- /PD/PU	2/4/6/8mA	PD	L
1.8V		AB0_CSB1	OUT	GIO_P43	IO	GPIO	AB0_CSB1	OUT	AB	NTS_DATA7	OUT	NTSC				単独	IN		PU		4 mA	- /PD/PU	2/4/6/8mA	PD	L

(5/14)

IO 電圧	グループ	端子名	通常 IO	兼用(通常機能)												切り替え方法	Normal 初期状態 (DET1 解除時からの端子初期状態)					Normal/ Economy/Sleep/ DeepSleep 状態		PowerOFF 状態 DET1=0 (IO 電源のみ ON)	
				兼用 1 (Default:00)			兼用 2 (01)			兼用 3 (10)			兼用 4 (11)				IO	出力値	Pull	AND, Thru, Mask	初期値	Pull	Drive	端子状態	内部状態
				信号名	IO	機能	信号名	IO	機能	信号名	IO	機能	信号名	IO	機能										
1.8V	AB	AB0_CSB2	OUT	GIO_P44	IO	GPIO	AB0_CSB2	OUT	AB	NTS_VS	OUT	NTSC				単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	PD	L
1.8V		AB0_CSB3	OUT	GIO_P45	IO	GPIO	AB0_CSB3	OUT	AB	NTS_HS	OUT	NTSC				単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	PD	L
1.8V		AB0_BEN0	OUT	GIO_P46	IO	GPIO	AB0_BEN0	OUT	AB							単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	PD	L
1.8V		AB0_BEN1	OUT	GIO_P47	IO	GPIO	AB0_BEN1	OUT	AB							単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	PD	L
1.8V	DDR	DDR_MCLK	OUT	DDR_MCLK	OUT	DDR											OUT	32KHz		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_MCLKB	OUT	DDR_MCLKB	OUT	DDR											OUT	~32KHz		Mask	4 mA		4/6/8/12mA	H	L
1.8V		DDR_CKE0	OUT	DDR_CKE0	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_CKE1	OUT	DDR_CKE1	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_CSB0	OUT	DDR_CSB0	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	H	L
1.8V		DDR_CSB1	OUT	DDR_CSB1	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	H	L
1.8V		DDR_WEB	OUT	DDR_WEB	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	H	L
1.8V		DDR_RASB	OUT	DDR_RASB	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	H	L
1.8V		DDR_CASB	OUT	DDR_CASB	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	H	L
1.8V		DDR_BA0	OUT	DDR_BA0	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_BA1	OUT	DDR_BA1	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_A0	OUT	DDR_A0	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_A1	OUT	DDR_A1	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_A2	OUT	DDR_A2	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_A3	OUT	DDR_A3	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_A4	OUT	DDR_A4	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L

(6/14)

IO 電圧	グループ	端子名	通常 IO	兼用(通常機能)												切り替え方法	Normal 初期状態 (DET1 解除時からの端子初期状態)					Normal/ Economy/Sleep/ DeepSleep 状態		PowerOFF 状態 DET1=0 (IO 電源のみ ON)	
				兼用 1 (Default:00)			兼用 2 (01)			兼用 3 (10)			兼用 4 (11)				IO	出力値	Pull	AND, Thru, Mask	初期値	Pull	Drive	端子状態	内部状態
				信号名	IO	機能	信号名	IO	機能	信号名	IO	機能	信号名	IO	機能										
1.8V	DDR	DDR_A5	OUT	DDR_A5	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_A6	OUT	DDR_A6	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_A7	OUT	DDR_A7	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_A8	OUT	DDR_A8	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_A9	OUT	DDR_A9	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_A10	OUT	DDR_A10	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_A11	OUT	DDR_A11	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_A12	OUT	DDR_A12	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_A13	OUT	DDR_A13	OUT	DDR											OUT	L		Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DQM0	OUT	DDR_DQM0	OUT	DDR											OUT	H		Mask	4 mA		4/6/8/12mA	H	L
1.8V		DDR_DQM1	OUT	DDR_DQM1	OUT	DDR											OUT	H		Mask	4 mA		4/6/8/12mA	H	L
1.8V		DDR_DQM2	OUT	DDR_DQM2	OUT	DDR											OUT	H		Mask	4 mA		4/6/8/12mA	H	L
1.8V		DDR_DQM3	OUT	DDR_DQM3	OUT	DDR											OUT	H		Mask	4 mA		4/6/8/12mA	H	L
1.8V		DDR_DQS0	IO	DDR_DQS0	IO	DDR											IN		PD	Mask	4 mA	- /PD/PU	4/6/8/12mA	L	L
1.8V		DDR_DQS1	IO	DDR_DQS1	IO	DDR											IN		PD	Mask	4 mA	- /PD/PU	4/6/8/12mA	L	L
1.8V		DDR_DQS2	IO	DDR_DQS2	IO	DDR											IN		PD	Mask	4 mA	- /PD/PU	4/6/8/12mA	L	L
1.8V		DDR_DQS3	IO	DDR_DQS3	IO	DDR											IN		PD	Mask	4 mA	- /PD/PU	4/6/8/12mA	L	L
1.8V		DDR_DATA0	IO	DDR_DATA0	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA1	IO	DDR_DATA1	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA2	IO	DDR_DATA2	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA3	IO	DDR_DATA3	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L

(7/14)

IO 電圧	グループ	端子名	通常 IO	兼用(通常機能)												切り替え方法	Normal 初期状態 (DET1 解除時からの端子初期状態)					Normal/ Economy/Sleep/ DeepSleep 状態		PowerOFF 状態 DET1=0 (IO 電源のみ ON)	
				兼用 1 (Default:00)			兼用 2 (01)			兼用 3 (10)			兼用 4 (11)				IO	出力値	Pull	AND, Thru, Mask	初期値				
				信号名	IO	機能	信号名	IO	機能	信号名	IO	機能	信号名	IO	機能							Pull	Drive	端子状態	内部状態
1.8V	DDR	DDR_DATA4	IO	DDR_DATA4	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA5	IO	DDR_DATA5	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA6	IO	DDR_DATA6	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA7	IO	DDR_DATA7	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA8	IO	DDR_DATA8	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA9	IO	DDR_DATA9	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA10	IO	DDR_DATA10	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA11	IO	DDR_DATA11	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA12	IO	DDR_DATA12	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA13	IO	DDR_DATA13	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA14	IO	DDR_DATA14	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA15	IO	DDR_DATA15	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA16	IO	DDR_DATA16	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA17	IO	DDR_DATA17	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA18	IO	DDR_DATA18	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA19	IO	DDR_DATA19	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA20	IO	DDR_DATA20	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA21	IO	DDR_DATA21	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA22	IO	DDR_DATA22	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA23	IO	DDR_DATA23	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA24	IO	DDR_DATA24	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L

(8/14)

IO 電圧	グループ	端子名	通常 IO	兼用(通常機能)												切り替え方法	Normal 初期状態 (DET1 解除時からの端子初期状態)					Normal/ Economy/Sleep/ DeepSleep 状態		PowerOFF 状態 DET1=0 (IO 電源のみ ON)	
				兼用 1 (Default:00)			兼用 2 (01)			兼用 3 (10)			兼用 4 (11)				IO	出力値	Pull	AND, Thru, Mask	初期値	Pull	Drive	端子状態	内部状態
				信号名	IO	機能	信号名	IO	機能	信号名	IO	機能	信号名	IO	機能										
1.8V	DDR	DDR_DATA25	IO	DDR_DATA25	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA26	IO	DDR_DATA26	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA27	IO	DDR_DATA27	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA28	IO	DDR_DATA28	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA29	IO	DDR_DATA29	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA30	IO	DDR_DATA30	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
1.8V		DDR_DATA31	IO	DDR_DATA31	IO	DDR											IN			Mask	4 mA		4/6/8/12mA	L	L
3.3V	PM0	PM0_CLK	IO	PM0_CLK	IO	DAC out											IN		PD		4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		PM0_SEN	IO	PM0_SEN	IO	DAC out											IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		PM0_SI	IN	GIO_P87	IO	GPIO	PM0_SI	IN	DAC out							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		PM0_SO	OUT	PM0_SO	OUT	DAC out											OUT	L		Mask	4 mA		2/4/6/8mA	Hi-Z	L
3.3V	SPI0	SP0_CLK	IO	SP0_CLK	IO	SPI0	MWI_SK	OUT	MWI							PINSEL_SP0	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SP0_SI	IN	SP0_SI	IN	SPI0	MWI_SI	IN	MWI							PINSEL_SP0	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SP0_SO	OUT	SP0_SO	OUT	SPI0	MWI_SO	OUT	MWI							PINSEL_SP0	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SP0_CS0	OUT	SP0_CS0	OUT	SPI0PMU	MWI_CS	OUT	MWI							PINSEL_SP0	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SP0_CS1	OUT	GIO_P48	IO	GPIO	SP0_CS1	OUT	SPI0							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SP0_CS2	OUT	GIO_P49	IO	GPIO	SP0_CS2	OUT	SPI0							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L

(9/14)

IO 電圧	グループ	端子名	通常 IO	兼用(通常機能)												切り替え方法	Normal 初期状態 (DET1 解除時からの端子初期状態)					Normal/ Economy/Sleep/ DeepSleep 状態		PowerOFF 状態 DET1=0 (IO 電源のみ ON)	
				兼用 1 (Default:00)			兼用 2 (01)			兼用 3 (10)			兼用 4 (11)				IO	出力値	Pull	AND, Thru, Mask	初期値				
				信号名	IO	機能	信号名	IO	機能	信号名	IO	機能	信号名	IO	機能							Pull	Drive	端子状態	内部状態
3.3V	DTV	DTV_BCLK	IN	DTV_BCLK	IN	DTV Serial	SP2_CLK	IO	SPI2							PINSEL_DTV	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		DTV_DATA	IN	DTV_DATA	IN	DTV Serial	SP2_SI	IN	SPI2							PINSEL_DTV	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		DTV_PSYNC	IN	DTV_PSYNC	IN	DTV Serial	SP2_SO	OUT	SPI2							PINSEL_DTV	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		DTV_VLD	IN	DTV_VLD	IN	DTV Serial	SP2_CS0	OUT	SPI2							PINSEL_DTV	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
1.8V	LCD	LCD_PXCLK	OUT	GIO_P50	IO	GPIO	LCD_PXCLK	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_R0	OUT	GIO_P51	IO	GPIO	LCD_R0	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_R1	OUT	GIO_P52	IO	GPIO	LCD_R1	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_R2	OUT	GIO_P53	IO	GPIO	LCD_R2	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_R3	OUT	GIO_P54	IO	GPIO	LCD_R3	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_R4	OUT	GIO_P55	IO	GPIO	LCD_R4	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_R5	OUT	GIO_P56	IO	GPIO	LCD_R5	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_G0	OUT	GIO_P57	IO	GPIO	LCD_G0	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_G1	OUT	GIO_P58	IO	GPIO	LCD_G1	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_G2	OUT	GIO_P59	IO	GPIO	LCD_G2	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_G3	OUT	GIO_P60	IO	GPIO	LCD_G3	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_G4	OUT	GIO_P61	IO	GPIO	LCD_G4	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_G5	OUT	GIO_P62	IO	GPIO	LCD_G5	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L

（10/14）

IO 電圧	グループ	端子名	通常 IO	兼用(通常機能)												切り替え方法	Normal 初期状態 (DET1 解除時からの端子初期状態)					Normal/ Economy/Sleep/ DeepSleep 状態		PowerOFF 状態 DET1=0 (IO 電源のみ ON)	
				兼用 1 (Default:00)			兼用 2 (01)			兼用 3 (10)			兼用 4 (11)				IO	出力値	Pull	AND, Thru, Mask	初期値				
				信号名	IO	機能	信号名	IO	機能	信号名	IO	機能	信号名	IO	機能							Pull	Drive	端子状態	内部状態
1.8V	LCD	LCD_B0	OUT	GIO_P63	IO	GPIO	LCD_B0	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_B1	OUT	GIO_P64	IO	GPIO	LCD_B1	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_B2	OUT	GIO_P65	IO	GPIO	LCD_B2	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_B3	OUT	GIO_P66	IO	GPIO	LCD_B3	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_B4	OUT	GIO_P67	IO	GPIO	LCD_B4	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_B5	OUT	GIO_P68	IO	GPIO	LCD_B5	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_HSYNC	OUT	GIO_P69	IO	GPIO	LCD_HSYNC	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_VSYNC	OUT	GIO_P70	IO	GPIO	LCD_VSYNC	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		LCD_ENABLE	OUT	GIO_P71	IO	GPIO	LCD_ENABLE	OUT	LCD							単独	IN			Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V	USB	USB_CLK	IN	GIO_P96	IO	GPIO	USB_CLK	IN	ULPI							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		USB_DATA0	IO	GIO_P97	IO	GPIO	USB_DATA0	IO	ULPI							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		USB_DATA1	IO	GIO_P98	IO	GPIO	USB_DATA1	IO	ULPI							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		USB_DATA2	IO	GIO_P99	IO	GPIO	USB_DATA2	IO	ULPI							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		USB_DATA3	IO	GIO_P100	IO	GPIO	USB_DATA3	IO	ULPI							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		USB_DATA4	IO	GIO_P101	IO	GPIO	USB_DATA4	IO	ULPI							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		USB_DATA5	IO	GIO_P102	IO	GPIO	USB_DATA5	IO	ULPI							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		USB_DATA6	IO	GIO_P103	IO	GPIO	USB_DATA6	IO	ULPI							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		USB_DATA7	IO	GIO_P104	IO	GPIO	USB_DATA7	IO	ULPI							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		USB_DIR	IN	GIO_P105	IO	GPIO	USB_DIR	IN	ULPI							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		USB_STP	OUT	GIO_P106	IO	GPIO	USB_STP	OUT	ULPI							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L
1.8V		USB_NXT	IO	GIO_P107	IO	GPIO	USB_NXT	IO	ULPI							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/8/12mA	PD	L

（11/14）

IO 電圧	グループ	端子名	通常 IO	兼用(通常機能)												切り替え方法	Normal 初期状態 (DET1 解除時からの端子初期状態)					Normal/ Economy/Sleep/ DeepSleep 状態		PowerOFF 状態 DET1=0 (IO 電源のみ ON)	
				兼用 1 (Default:00)			兼用 2 (01)			兼用 3 (10)			兼用 4 (11)				IO	出力値	Pull	AND, Thru, Mask	初期値				
				信号名	IO	機能	信号名	IO	機能	信号名	IO	機能	信号名	IO	機能							Pull	Drive	端子状態	内部状態
3.3V	NTSC	NTS_CLK	IN	GIO_P72	IO	GPIO	NTS_CLK	IN	NTSC				PM1_CLK	IO	PCM1	単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		NTS_VS	OUT	GIO_P73	IO	GPIO	NTS_VS	OUT	NTSC	SP1_CLK	OUT	SPI1				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		NTS_HS	OUT	GIO_P74	IO	GPIO	NTS_HS	OUT	NTSC	SP1_SI	IN	SPI1				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		NTS_DATA0	OUT	GIO_P75	IO	GPIO	NTS_DATA0	OUT	NTSC	SP1_SO	OUT	SPI1	CAM_YUV0	IN	CAM	単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		NTS_DATA1	OUT	GIO_P76	IO	GPIO	NTS_DATA1	OUT	NTSC	SP1_CS0	IO	SPI1	CAM_YUV1	IN	CAM	単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		NTS_DATA2	OUT	GIO_P77	IO	GPIO	NTS_DATA2	OUT	NTSC	SP1_CS1	OUT	SPI1	CAM_YUV2	IN	CAM	単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		NTS_DATA3	OUT	GIO_P78	IO	GPIO	NTS_DATA3	OUT	NTSC	SP1_CS2	OUT	SPI1	CAM_YUV3	IN	CAM	単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		NTS_DATA4	OUT	GIO_P79	IO	GPIO	NTS_DATA4	OUT	NTSC	SP1_CS3	OUT	SPI1	CAM_YUV4	IN	CAM	単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		NTS_DATA5	OUT	GIO_P80	IO	GPIO	NTS_DATA5	OUT	NTSC	SP1_CS4	OUT	SPI1	PM1_SEN	IO	PCM1	単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		NTS_DATA6	OUT	GIO_P81	IO	GPIO	NTS_DATA6	OUT	NTSC	SP1_CS5	OUT	SPI1	PM1_SI	IN	PCM1	単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		NTS_DATA7	OUT	GIO_P82	IO	GPIO	NTS_DATA7	OUT	NTSC				PM1_SO	OUT	PCM1	単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V	IIC	IIC_SCL	IO	GIO_P83	IO	IIC	IIC_SCL	IO	IIC							単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		IIC_SDA	IO	GIO_P84	IO	IIC	IIC_SDA	IO	IIC							単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V	UART0	URT0_SRIN	IN	URT0_SRIN	IN	UART0											IN		PD	Mask	2 mA	- /PD/PU	-	Hi-Z	L
3.3V		URT0_SOUT	OUT	URT0_SOUT	OUT	UART0											OUT	H		Mask	4 mA	-	2/4/6/8mA	Hi-Z	L
3.3V		URT0_CTSB	IN	GIO_P85	IO	UART0	URT0_CTSB	IN	UART0	URT1_SRIN	IN	UART1				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		URT0_RTSB	OUT	GIO_P86	IO	UART0	URT0_RTSB	OUT	UART0	URT1_SOUT	OUT	UART1				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V	SD0	SD0_CKO	OUT	SD0_CKO	OUT	SD-Card											OUT	L		Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SD0_CMD	IO	SD0_CMD	IO	SD-Card											IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SD0_DATA0	IO	SD0_DATA0	IO	SD-Card											IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L

（12/14）

IO 電圧	グループ	端子名	通常 IO	兼用(通常機能)												切り替え方法	Normal 初期状態 (DET1 解除時からの端子初期状態)					Normal/ Economy/Sleep/ DeepSleep 状態		PowerOFF 状態 DET1=0 (IO 電源のみ ON)	
				兼用 1 (Default:00)			兼用 2 (01)			兼用 3 (10)			兼用 4 (11)				IO	出力値	Pull	AND, Thru, Mask	初期値	Pull	Drive	端子状態	内部状態
				信号名	IO	機能	信号名	IO	機能	信号名	IO	機能	信号名	IO	機能										
3.3V	SD0	SD0_DATA1	IO	GIO_P88	IO	SD-Card	SD0_DATA1	IO	SD-Card							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SD0_DATA2	IO	GIO_P101	IO	SD-Card	SD0_DATA2	IO	SD-Card							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SD0_DATA3	IO	GIO_P90	IO	SD-Card	SD0_DATA3	IO	SD-Card							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SD0_CKI	IN	GIO_P91	IO	GPIO	SD0_CKI	IN	SD-Card							単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V	SD1	SD1_CKO	OUT	SD1_CKO	OUT	SD1											OUT	L		Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SD1_CMD	IO	SD1_CMD	IO	SD1				CAM_YUV5	IN	CAM				PINSEL_ SD1	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SD1_DATA0	IO	SD1_DATA0	IO	SD1				CAM_YUV6	IN	CAM				PINSEL_ SD1	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SD1_DATA1	IO	SD1_DATA1	IO	SD1				CAM_YUV7	IN	CAM				PINSEL_ SD1	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SD1_DATA2	IO	SD1_DATA2	IO	SD1				CAM_VS	IN	CAM				PINSEL_ SD1	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SD1_DATA3	IO	SD1_DATA3	IO	SD1				CAM_HS	IN	CAM				PINSEL_ SD1	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SD1_CKI	IO	GIO_P92	IO	GPIO	SD1_CKI	IN	SD1	CAM_CLKI	IN	CAM				単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V	UART2	URT2_SRIN	IN	GIO_P108	IO	GPIO	URT2_SRIN	IN	UART2	NAND_ALE	OUT	NAND				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		URT2_SOUT	OUT	GIO_P109	IO	GPIO	URT2_SOUT	OUT	UART2	NAND_CLE	OUT	NAND				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		URT2_CTSB	IN	GIO_P110	IO	GPIO	URT2_CTSB	IN	UART2	NAND_D0	IO	NAND				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		URT2_RTSB	OUT	GIO_P111	IO	GPIO	URT2_RTSB	OUT	UART2	NAND_D1	IO	NAND				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V	SD2	SD2_CKO	OUT	GIO_P112	IO	GPIO	SD2_CKO	OUT	eMMC	NAND_D2	IO	NAND				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SD2_CMD	OUT	GIO_P113	IO	GPIO	SD2_CMD	OUT	eMMC	NAND_D3	IO	NAND				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L

（13/14）

IO 電圧	グループ	端子名	通常 IO	兼用(通常機能)												切り替え方法	Normal 初期状態 (DET1 解除時からの端子初期状態)					Normal/ Economy/Sleep/ DeepSleep 状態		PowerOFF 状態 DET1=0 (IO 電源のみ ON)	
				兼用 1 (Default:00)			兼用 2 (01)			兼用 3 (10)			兼用 4 (11)				IO	出力値	Pull	AND, Thru, Mask	初期値	Pull	Drive	端子状態	内部状態
				信号名	IO	機能	信号名	IO	機能	信号名	IO	機能	信号名	IO	機能										
3.3V	SD2	SD2_DATA0	IO	GIO_P114	IO	GPIO	SD2_DATA0	IO	eMMC	NAND_D4	IO	NAND				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SD2_DATA1	IO	GIO_P115	IO	GPIO	SD2_DATA1	IO	eMMC	NAND_D5	IO	NAND				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SD2_DATA2	IO	GIO_P116	IO	GPIO	SD2_DATA2	IO	eMMC	NAND_D6	IO	NAND				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SD2_DATA3	IO	GIO_P117	IO	GPIO	SD2_DATA3	IO	eMMC	NAND_D7	IO	NAND				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		SD2_CKI	IN	GIO_P93	IO	GPIO	SD2_CKI	IN	eMMC	NAND_OE	OUT	NAND				単独	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V	IIC2	IIC2_SCL	IO	IIC2_SCL	IO	IIC2				NAND_WE	OUT	NAND				PINSEL_IIC2	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		IIC2_SDA	IO	IIC2_SDA	IO	IIC2				NAND_RB0	IN	NAND				PINSEL_IIC2	IN		PD		4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V	PWM	PWM0	OUT	GIO_P94	IO	GPIO	PWM0	OUT	BL							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		PWM1	OUT	GIO_P95	IO	GPIO	PWM1	OUT	LED							単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V	GIO	GIO_P0	IO	GIO_P0	IO	GPIO										単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		GIO_P1	IO	GIO_P1	IO	GPIO	USB_WAKEUP	OUT	USB	USB_PWR_FAULT	IN	USB				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		GIO_P2	IO	GIO_P2	IO	GPIO										単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		GIO_P3	IO	GIO_P3	IO	GPIO										単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		GIO_P4	IO	GIO_P4	IO	GPIO				NAND_RB1	IN	NAND				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		GIO_P5	IO	GIO_P5	IO	GPIO				NAND_RB2	IN	NAND	CAM_SCLK	OUT	CAM	単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		GIO_P6	IO	GIO_P6	IO	GPIO				NAND_RB3	IN	NAND				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		GIO_P7	IO	GIO_P7	IO	GPIO				NAND_CE0	OUT	NAND				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		GIO_P8	IO	GIO_P8	IO	GPIO				NAND_CE1	OUT	NAND				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L

（14/14）

IIO 電圧	グループ	端子名	通常 IO	兼用(通常機能)												切り替え方法	Normal 初期状態 (DET1 解除時からの端子初期状態)					Normal/ Economy/Sleep/ DeepSleep 状態		PowerOFF 状態 DET1=0 (IO 電源のみ ON)	
				兼用 1 (Default:00)			兼用 2 (01)			兼用 3 (10)			兼用 4 (11)				IO	出力値	Pull	AND, Thru, Mask	初期値				
				信号名	IO	機能	信号名	IO	機能	信号名	IO	機能	信号名	IO	機能							Pull	Drive	端子状態	内部状態
3.3V	GIO	GIO_P9	IO	GIO_P9	IO	GPIO				NAND_CE2	OUT	NAND				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
3.3V		GIO_P10	IO	GIO_P10	IO	GPIO				NAND_CE3	OUT	NAND				単独	IN		PD	Mask	4 mA	- /PD/PU	2/4/6/8mA	Hi-Z	L
1.8V	TEST	UTEST	IN	UTEST	IN	test (通常 0 固定)											IN		PD	Thru	2 mA	PD	-	Hi-Z	
1.8V		TESTRSTB	IN	TESTRSTB	IN	test(テスト用非同期リセット)											IN		PU		2 mA	PU	-	PU	L
1.8V		TRSTB	IN	TRSTB	IN	test(TESTACT)											IN		PD		2 mA	PD	-	PD	L
1.8V		TE1	IN	TE1	IN	test(CTR3=H: PU/PD OFF)											IN		PD		-	PD	-	PD	-
1.8V		TE2	IN	TE2	IN	test(CTR6=H: IOLH 2 mA)											IN		PD		-	PD	-	PD	-

付録 E　外部バス・インタフェース

E.1　レジスター覧

表 E－1，表 E－2，表 E－3 に外部バス・インタフェース（AB0）のレジスタの一覧を示します。
各レジスタのベース・アドレスは 2FFF_0000H です。

表 E－1 にシステム制御のレジスター覧を示します。

表 E－1　システム制御レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	ビット	リセット時
0000H	Flash コマンド・スタート・レジスタ	AB0_FLASHCOMSET	W	7	0000_0000H
0004H	Flash 読み込みデータ・ラッチ・レジスタ	AB0_FLASHCOMLATCH	R	16	0000_0000H
0010H	Flash コマンド（ADD0）設定レジスタ	AB0_FLASHCOMADD0	R/W	29	0000_0000H
0014H	Flash コマンド（DATA0）設定レジスタ	AB0_FLASHCOMDATA0	R/W	16	0000_0000H
0018H	Flash コマンド（ADD1）設定レジスタ	AB0_FLASHCOMADD1	R/W	31	0000_0000H
001CH	Flash コマンド（DATA1）設定レジスタ	AB0_FLASHCOMDATA1	R/W	16	0000_0000H
0080H	Flash クロック制御レジスタ	AB0_FLASHCLKCTRL	R/W	1	0000_0001H
0084H	Flash リード・クロックの遅延調整レジスタ	AB0_FLA_RCLK_DLY	RW	16	0000_1000H
0090H	ウエイト端子ステータス・レジスタ	AB0_WAIT_STATUS	R	1	－
0100H	CS0 用ベース・アドレス・レジスタ	AB0_CS0BASEADD	R/W	14	0000_0000H
0104H	CS0 用ビット・コンペア用レジスタ	AB0_CS0BITCOMP	R/W	16	F000_0000H
0110H	CS1 用ベース・アドレス・レジスタ	AB0_CS1BASEADD	R/W	14	3FFF_0000H
0114H	CS1 用ビット・コンペア用レジスタ	AB0_CS1BITCOMP	R/W	16	FFFF_0000H
0120H	CS2 用ベース・アドレス・レジスタ	AB0_CS2BASEADD	R/W	14	3FFF_0000H
0124H	CS2 用ビット・コンペア用レジスタ	AB0_CS2BITCOMP	R/W	16	FFFF_0000H
0130H	CS3 用ベース・アドレス・レジスタ	AB0_CS3BASEADD	R/W	14	3FFF_0000H
0134H	CS3 用ビット・コンペア用レジスタ	AB0_CS3BITCOMP	R/W	16	FFFF_0000H

注意　定義範囲外の AB0 の内部レジスタ領域にアクセスが行われた場合，Write は無視されます。
また Read は 0 を返します。

E.1.1　パラメータ・レジスター覧

注意　表 E−2 のパラメータ・レジスタは 2 重構造になっており，直接書き込むことはできません。E. 2（1）Flashコマンド・スタート・レジスタで各*slave*を起動することにより，内部のパラメータ保持レジスタに反映されます。

表 E−2　パラメータ・レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	ビット	リセット時
0200H	CS0 用ウエイト制御レジスタ	AB0_CS0WAITCTRL	R/W	16	000F_1F0FH
0204H	CS0 用ライト・ウエイト制御レジスタ	AB0_CS0WAITCTRL_W	R/W	13	000F_1F0FH
0208H	CS0 用リード・モード・レジスタ	AB0_CS0READCTRL	R/W	4	0000_0000H
020CH	CS0 用ウエイト・マスク・レジスタ	AB0_CS0WAIT_MASK	R/W	1	0000_0000H
0210H	CS0 用制御レジスタ	AB0_CS0CONTROL	R/W	9	0001_0100H
0214H	CS0 用リード・コンフィギュレーション・レジスタ	AB0_CS0FLASHRCR	R/W	10	0000_D503H
0218H	Reserved	−	−	−	−
0220H	CS1 用ウエイト制御レジスタ	AB0_CS1WAITCTRL	R/W	16	000F_1F0FH
0224H	CS1 用ライト・ウエイト制御レジスタ	AB0_CS1WAITCTRL_W	R/W	13	000F_1F0FH
0228H	CS1 用リード・モード・レジスタ	AB0_CS1READCTRL	R/W	4	0000_0000H
022CH	CS1 用ウエイト・マスク・レジスタ	AB0_CS1WAIT_MASK	R/W	1	0000_0000H
0230H	CS1 用制御レジスタ	AB0_CS1CONTROL	R/W	9	0001_0100H
0234H	CS1 用リード・コンフィギュレーション・レジスタ	AB0_CS1FLASHRCR	R/W	10	0000_D503H
0238H	Reserved	−	−	−	−
0240H	CS2 用ウエイト制御レジスタ	AB0_CS2WAITCTRL	R/W	16	000F_1F0FH
0244H	CS2 用ライト・ウエイト制御レジスタ	AB0_CS2WAITCTRL_W	R/W	9	000F_1F0FH
0248H	CS2 用リード・モード・レジスタ	AB0_CS2READCTRL	R/W	4	0000_0000H
024CH	CS2 用ウエイト・マスク・レジスタ	AB0_CS2WAIT_MASK	R/W	1	0000_0000H
0250H	CS2 用制御レジスタ	AB0_CS2CONTROL	R/W	9	0001_0100H
0254H	CS2 用リード・コンフィギュレーション・レジスタ	AB0_CS2FLASHRCR	R/W	10	0000_D503H
0258H	Reserved	−	−	−	−
0260H	CS3 用ウエイト制御レジスタ	AB0_CS3WAITCTRL	R/W	16	000F_1F0FH
0264H	CS3 用ライト・ウエイト制御レジスタ	AB0_CS3WAITCTRL_W	R/W	9	000F_1F0FH
0268H	CS3 用リード・モード・レジスタ	AB0_CS3READCTRL	R/W	4	0000_0000H
026CH	CS3 用ウエイト・マスク・レジスタ	AB0_CS3WAIT_MASK	R/W	1	0000_0000H
0270H	CS3 用制御用レジスタ	AB0_CS3CONTROL	R/W	9	0001_0100H
0274H	CS3 用リード・コンフィギュレーション・レジスタ	AB0_CS3FLASHRCR	R/W	10	0000_D503H
0278H	Reserved	−	−	−	−

注意　定義範囲外の AB0 の内部レジスタ領域にアクセスが行われた場合，Write は無視されます。
また Read は 0 を返します。

E.1.2　パラメータ保持レジスター覧

注意　表 E－3 のパラメータ保持レジスタは 2 重構造になっており，直接書き込むことはできません。E.2 （1）AB0_FLASHCOMSET で各 *slave* を起動することにより，内部のパラメータ保持レジスタに反映されます。

表 E－3　パラメータ保持レジスタ

アドレス	レジスタ名称	レジスタ略号	R/W	ビット	リセット時
0300H	CS0 用ウエイト制御レジスタ	AB0_CS0WAITCTRL2	R	16	000F_1F0FH
0304H	CS0 用ライト・ウエイト制御レジスタ	AB0_CS0WAITCTRL_W2	R	13	000F_1F0FH
0308H	CS0 用リード・モード・レジスタ	AB0_CS0READCTRL2	R	4	0000_0000H
030CH	CS0 用ウエイト・マスク・レジスタ	AB0_CS0WAIT_MASK2	R	1	0000_0000H
0310H	CS0 用制御レジスタ	AB0_CS0CONTROL2	R	9	0001_0100H
0314H	CS0 用リード・コンフィギュレーション・レジスタ	AB0_CS0FLASHRCR2	R	10	0000_D503H
0318H	Reserved	－	－	－	－
0320H	CS1 用ウエイト制御レジスタ	AB0_CS1WAITCTRL2	R	16	000F_1F0FH
0324H	CS1 用ライト・ウエイト制御レジスタ	AB0_CS1WAITCTRL_W2	R	9	000F_1F0FH
0328H	CS1 用リード・モード・レジスタ	AB0_CS1READCTRL2	R	4	0000_0000H
032CH	CS1 用ウエイト・マスク・レジスタ	AB0_CS1WAIT_MASK2	R	1	0000_0000H
0330H	CS1 用制御レジスタ	AB0_CS1CONTROL2	R	9	0001_0100H
0334H	CS1 用リード・コンフィギュレーション・レジスタ	AB0_CS1FLASHRCR2	R	10	0000_D503H
0338H	Reserved	－	－	－	－
0340H	CS2 用ウエイト制御レジスタ	AB0_CS2WAITCTRL2	R	16	000F_1F0FH
0344H	CS2 用ライト・ウエイト制御レジスタ	AB0_CS2WAITCTRL_W2	R	9	000F_1F0FH
0348H	CS2 用リード・モード・レジスタ	AB0_CS2READCTRL2	R	4	0000_0000H
034CH	CS2 用ウエイト・マスク・レジスタ	AB0_CS2WAIT_MASK2	R	1	0000_0000H
0350H	CS2 用制御レジスタ	AB0_CS2CONTROL2	R	9	0001_0100H
0354H	CS2 用リード・コンフィギュレーション・レジスタ	AB0_CS2FLASHRCR2	R	10	0000_D503H
0358H	Reserved	－	－	－	－
0360H	CS3 用ウエイト制御レジスタ	AB0_CS3WAITCTRL2	R	16	000F_1F0FH
0364H	CS3 用ライト・ウエイト制御レジスタ	AB0_CS3WAITCTRL_W2	R	9	000F_1F0FH
0368H	CS3 用リード・モード・レジスタ	AB0_CS3READCTRL2	R	4	0000_0000H
036CH	CS3 用ウエイト・マスク・レジスタ	AB0_CS3WAIT_MASK2	R	1	0000_0000H
0370H	CS3 用制御用レジスタ	AB0_CS3CONTROL2	R	9	0001_0100H
0374H	CS3 用リード・コンフィギュレーション・レジスタ	AB0_CS3FLASHRCR2	R	10	0000_D503H
0378H	Reserved	－	－	－	－

注意　定義範囲外の AB0 の内部レジスタ領域にアクセスが行われた場合，Write は無視されます。
また Read は 0 を返します。

E.2　レジスタ詳細

(1) Flash コマンド・スタート・レジスタ

本レジスタ（AB0_FLASHCOMSET：2FFF_0000H）の CS#（0～3）をセットするとセットされた *slave* のパラメータ・レジスタの値を AB0 のパラメータ保持レジスタにコピーします。

そのあと SET_MODE ビットのステータスに応じて，外部デバイス（*slave*）に対してコマンドが発行されます。

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved							

7	6	5	4	3	2	1	0
Reserved	SET_MODE	Reserved	Reserved	CS3	CS2	CS1	CS0

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:7	－	予約。読み出すと 0 を返します。
SET_MODE	W	6	0	Flash へのコマンド発行 0： 発行しない　　1： コマンド発行する
Reserved	R	5	－	予約。読み出すと 0 を返します。
Reserved	R	4	－	予約。読み出すと 0 を返します。
CS3	W	3	0	CS3 起動（パラメータ・コピー） 0：－　　1：起動
CS2	W	2	0	CS2 起動（パラメータ・コピー） 0：－　　1：起動
CS1	W	1	0	CS1 起動（パラメータ・コピー） 0：－　　1：起動
CS0	W	0	0	CS0 起動（パラメータ・コピー） 0：－　　1：起動

注意　コマンド発行は 1 本の CS についてのみ有効となり，複数指定された場合，番号の若い CS の優先順位が高くなっています。また，CS が何も指定されない場合，CS0 について Flash コマンド発行（SET_MODE ビット設定による）が行われます。

例 1）CS0 ビット = 1, CS1 ビット = 1, SET_MODE ビット = 1

→ CS0，CS1 に対してパラメータ・レジスタをパラメータ保持レジスタにコピーします。
CS0 に対して Flash コマンドが発行されます。

例 2）CS0 ビット = 1, CS1 ビット = 1, SET_MODE ビット = 0

→ CS0，CS1 に対してパラメータ・レジスタをパラメータ保持レジスタにコピーします。
CS0，CS1 に対して Flash コマンドは発行されません。

(2) Flash 読み込みデータ・ラッチ・レジスタ

Intel 社 StrataFlash Wireless Memory のデバイス・コマンドによって読み出したデータを，本レジスタ（AB0_FLASHCOMLATCH：2FFF_0004H）にラッチします。リード・コマンドが“Second Bus Cycle”でのみ発行されるため，常に“Second Bus Cycle”で読み出しを行ったコマンドをラッチします。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
READ_COM							
7	6	5	4	3	2	1	0
READ_COM							

名　称	R/W	ビット	リセット時	機　能
Reserved	R	31:16	－	予約。読み出すと 0 を返します。
READ_COM	R	15:0	0	Flash コマンドで呼び出されたデータのラッチ

(3) Flash コマンド（ADD0）設定レジスタ

本レジスタ（AB0_FLASHCOMADD0：2FFF_0010H）は，Intel FLASH へのコマンド設定時に使用します。First Command Cycle の書き込みアドレスを設定します。

31	30	29	28	27	26	25	24
Reserved			ADD0				
23	22	21	20	19	18	17	16
ADD0							
15	14	13	12	11	10	9	8
ADD0							
7	6	5	4	3	2	1	0
ADD0							

名　称	R/W	ビット	リセット時	機　能
Reserved	R	31:29	－	予約。読み出すと 0 を返します。
ADD0	R/W	28:0	0	First Bus Cycle Address の設定

(4) Flash コマンド（DATA0）設定レジスタ

本レジスタ（AB0_FLASHCOMDATA0：2FFF_0014H）は，Intel FLASH へのコマンド設定時に使用します。First Command Cycle における Flash メモリへのデータを設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
DATA0							
7	6	5	4	3	2	1	0
DATA0							

名　称	R/W	ビット	リセット時	機　能
Reserved	R	31:16	－	予約。読み出すと 0 を返します。
DATA0	R/W	15:0	0000H	First Bus Cycle Data の設定

(5) Flash コマンド（ADD1）設定レジスタ

本レジスタ（AB0_FLASHCOMADD1：2FFF_0018H）は，Intel Flash メモリへのコマンド設定時に使用します。Second Command Cycle のアドレス，R/W を設定します。

Flash メモリへのコマンドが 2 サイクル・コマンドの場合に使用し，使う際は Valid ビットに 1 をセットします。

また，このコマンド・アドレス（Second Command Cycle）において読み出し操作を行った場合，読み出したデータは AB0_FLASHCOMLATCH レジスタにラッチされます。

31	30	29	28	27	26	25	24
ValidBit	RW	Reserved	ADD1				
23	22	21	20	19	18	17	16
ADD1							
15	14	13	12	11	10	9	8
ADD1							
7	6	5	4	3	2	1	0
ADD1							

名　称	R/W	ビット	リセット時	機　能
ValidBit	R/W	31	0	Second Bus Cycle が必要であれば 1 をセット
RW	R/W	30	0	Second Bus Cycle の Read/Write を設定します。0：Read, 1：Write
Reserved	R	29	－	予約。読み出すと 0 を返します。
ADD1	R/W	28:0	0	Second Bus Cycle Address の設定

(6) Flash コマンド（DATA1）設定レジスタ

本レジスタ（AB0_FLASHCOMDATA1：2FFF_001CH）は，Intel Flash メモリへのコマンド設定時に使用します。

Second Command Cycle のデータを設定します。

Flash メモリへのコマンドが 2 サイクル・コマンドの場合に使用し，使う際は AB0_FLASHCOMADD1 レジスタ内 Valid ビットに 1 をセットします。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
DATA1							
7	6	5	4	3	2	1	0
DATA1							

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:16	－	予約。読み出すと 0 を返します。
DATA1	R/W	15:0		Second Bus Cycle Data の設定

(7) Flash クロック制御レジスタ

本レジスタ（AB0_FLASHCLKCTRL：2FFF_0080H）は，AB0 の CLK と Flash メモリの FLA_CLK クロックの比を設定します。

- 1：AB0 の CLK → Flash メモリの FLA_CLK = 2:1（166 MHz：83 MHz を想定）
- 0：AB0 の CLK → Flash メモリの FLA_CLK = 1:1

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							CLK_MODE

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:1	－	予約。読み出すと 0 を返します。
CLK_MODE	R/W	0	1	クロック・モード設定（周波数比） 0：AB0 → Flash = 1:1 1：AB0 → Flash = 2:1

(8) Flash リード・クロックの遅延調整レジスタ

AB0_FLA_RCLK_DLY：2FFF_0084H

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved			DATA_DLY	Reserved		CLK_SEL	NEG_SEL

15	14	13	12	11	10	9	8
Reserved			RCLK_PHASE	RCLK_DLY			

7	6	5	4	3	2	1	0
RCLK_DLY							

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:21	－	予約。読み出すと 0 を返します。
DATA_DLY	R/W	20	0	AB0 内部のデータ取り込みタイミング設定 0：遅延なし　1：1 クロック遅延
Reserved	R	19:18		予約。読み出すと 0 を返します。
CLK_SEL	R/W	17	0	リード・データの初段の，FF クロック・ソースの選択 0：RCLK　1：CLK
NEG_SEL	R/W	16	0	RCLKD 対 CLK の乗せ替えデータの RCLKD に対するデータの位相 0：Posedge　1：Negedge
Reserved	R	15:13	－	予約。読み出すと 0 を返します。
RCLK_PHASE	R/W	12	1B	RCLKD の位相制御を行います。 0：反転　1：正転
RCLK_DLY	R/W	11:0	000H	RCLKD のディレイ量を選択します。 000H：0 ns　001H：0.5 ns　003H：1.0 ns 007H：1.5 ns　00FH：2.0 ns　01FH：2.5 ns 03FH：3.0 ns　07FH：3.5 ns　0FFH：4.0 ns 1FFH：4.5ns　3FFH：5.0 ns　7FFH：5.5 ns FFFH：6.0 ns

(9) ウエイト端子ステータス・レジスタ

AB0_WAIT_STATUS：2FFF_0090H

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved							

7	6	5	4	3	2	1	0
Reserved							WAIT

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:1	ー	予約。読み出すと 0 を返します。
WAIT	R/W	0	1	ウエイト端子の状態を示します 0：ウエイト端子が Low　　1：ウエイト端子が High

(10) CSn 用ベース・アドレス・レジスタ

AB0_*slave*BASEADD：2FFF_0100H＋nx10H（n は *slave* No.）

31	30	29	28	27	26	25	24
Reserved		ADD					

23	22	21	20	19	18	17	16
ADD							

15	14	13	12	11	10	9	8
Reserved							

7	6	5	4	3	2	1	0
Reserved							

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R/W	31:30	－	予約。読み出すと 0 を返します。
ADD	R/W	29:16	下表参照	スレーブ・ベース・アドレス
Reserved	R/W	15:0	－	予約。読み出すと 0 を返します。

ただし，初期値は次の表のとおりです。

表 E－4　初期値（BASEADD）

slave No.	First value
#0	0000_0000H
#1～#3	3FFF_0000H

スレーブごとにベース・アドレスを設定します。ただし[31:30], [15:0]は 0 固定であり設定できません。

設定有効な範囲は 0000_0000H～2FFF_0000H です。ただし，2FFF_0000H～2FFF_FFFFH は AB0 内のローカル・レジスタ用予約領域のため，設定できません。

また，バンクをまたがる設定はできません。

設定の際は AB0_*slave*BITCOMP と組み合わせて設定する必要があります。

注意　アドレス範囲，ベース・アドレスが重なって設定された場合，インデックスが小さいほうの CS がアクティベートされます。

(11) CSn 用ビット・コンペア用レジスタ

AB0_*slave*BITCOMP：2FFF_0104H＋nx10H（n は *slave* No.）

31	30	29	28	27	26	25	24
BITCOMP							

23	22	21	20	19	18	17	16
BITCOMP							

15	14	13	12	11	10	9	8
Reserved							

7	6	5	4	3	2	1	0
Reserved							

名　　称	R/W	ビット	リセット時	機　　能
BITCOMP	R/W	31:16	下表参照	有効ビット範囲指定（ベース・アドレス・レジスタの関係よりビット範囲[31:30]は無視されます）
Reserved	R/W	15:0	ー	予約。読み出すと 0 を返します。

ただし，初期値は次の表のとおりです。

表 E－5　初期値（BITCOMP）

slave No.	First value
#0	F000_0000H
#1～#3	FFFF_0000H

各 *slave* に対するアドレス範囲設定を行います。次の論理で各 *slave* の CSZ を有効にします。

AB0_*slave*BASEADD & AB0_*slave*BITCOMP =（入力アドレス）　& AB0_*slave*BITCOMP

設定例 1）

1010_0000H～101F_FFFFH をスレーブ#1 として設定する場合：

AB0_CS1BASEADD = 1010_0000H，AB0_CS1BITCOMP = FFF0_0000H

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CS1BITCOMP	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0
CS1BASEADD	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0
ADDR	ADDR[31:20]と BASEAD[31:20]を比較し一致時に選択															

設定例 2）

0000_0000H〜0FFF_FFFFH **をスレーブ**#0 **として設定する場合：**

AB0_CS0BASEADD = 0000_0000H，AB0_CS0BITCOMP = F000_0000H

			29	28	27	26	25	24	23	22	21	20	19	18	17	16
CS0BITCOMP	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
CS0BASEADD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ADDR	ADDR[31:28]															

（12）CSn 用ウエイト制御レジスタ

AB0_*slave*WAITCTRL：2FFF_0200H＋nx20H（n は *slave* No.）

31	30	29	28	27	26	25	24
Reserved					CSInt		

23	22	21	20	19	18	17	16
Reserved				T2			

15	14	13	12	11	10	9	8
Reserved			T1				

7	6	5	4	3	2	1	0
Reserved				T0			

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:27	－	予約。読み出すと 0 を返します。
CSInt	R/W	26:24	0H	CS = H 期間の制御，CSInt＋1 サイクルが設定されます。
Reserved	R	23:20	－	予約。読み出すと 0 を返します。
T2	R/W	19:16	FH	T2 ウエイト制御
Reserved	R	15:13	－	予約。読み出すと 0 を返します。
T1	R/W	12:8	1FH	T1 ウエイト制御。1 以上の値を設定してください。
Reserved	R	7:4	－	予約。読み出すと 0 を返します。
T0	R/W	3:0	FH	T0 ウエイト制御

本レジスタは非同期バス制御信号のリード・ウエイト・タイミング T0, T1, T2, CSInt を設定します。
また，CSInt はライト時にも共通で使用します。
設定値は FLA_CLK でのサイクル数となります。
そのため，クロック比が 2:1 モードでは AB0 内で設定値を 2 倍にして制御します。
たとえば，次のようにウエイトが入ります。

- CLK：100 MHz, Flash → 50 MHz, つまりクロック比 2:1 モードの場合，T1 = 1 では，20 ns
- CLK：100 MHz, Flash → 100 MHz, つまりクロック比 1:1 モードの場合，T1 = 1 では，10 ns

【設定範囲について】

T0　：0～15 サイクルの範囲で設定可能です。初期値はウエイト = 15 サイクルに設定されています。
T1　：1～31 サイクルの範囲で設定可能です。初期値はウエイト = 31 サイクルに設定されています。
T2　：0～15 サイクルの範囲で設定可能です。初期値はウエイト = 15 サイクルに設定されています。
CSInt　：0～7 の範囲で設定可能です。初期値は 0 となります。CSint のサイクルは設定値＋1 となります。

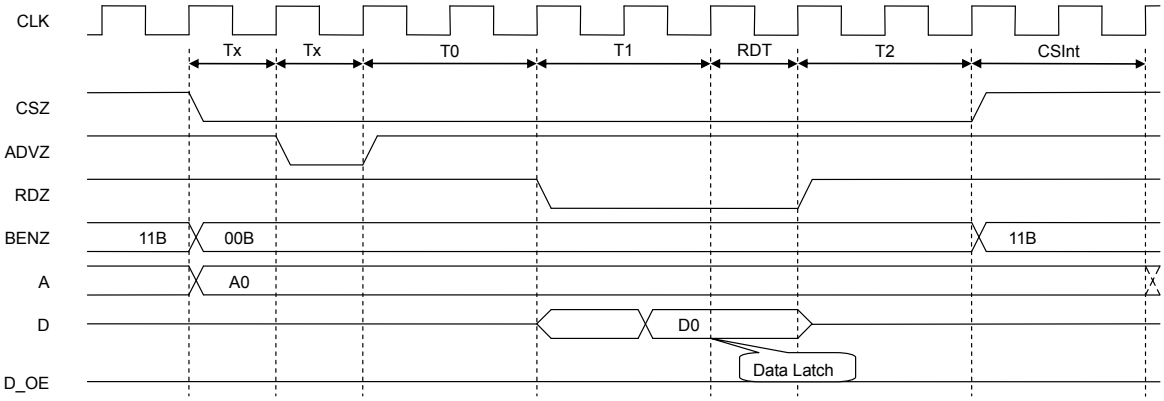
注意 1. ・クロック比 2：1 モード時は RDT と T2 と CSINT の設定値の合計が 1 以上に設定してください。
・クロック比 1：1 モード時は RDT と T2 と CSINT の設定値の合計が 2 以上に設定してください。

2. T1 の MIN 値は 1 です。0 を設定した場合には 1 の設定として動作します。

3. AD-MUX 時 T0 の設定が 0 の場合には 1 の設定として動作します。

図 E－1 は Non Mux 時のリードのタイミング・チャートです。

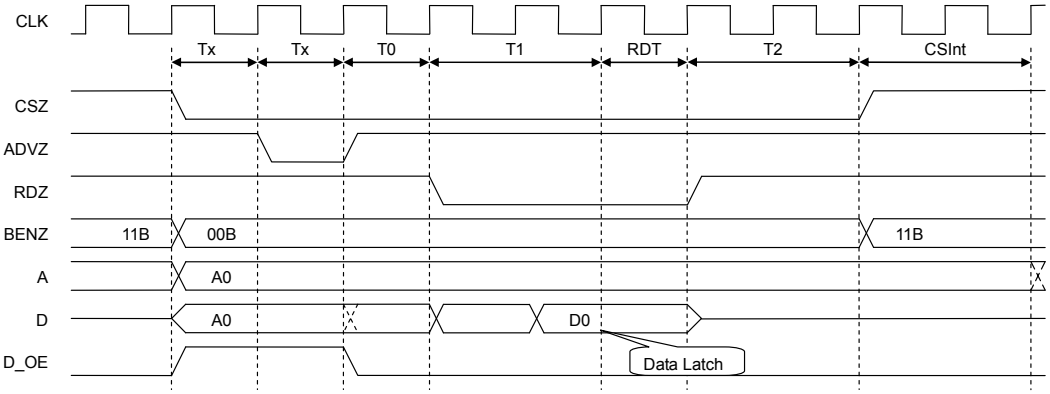
図 E－1　リード・タイミング（Non Mux）



Tx は ADV_WIDTH：AB0_slaveCONTROL[8]にて選択可能

図 E－2 は AD-Mux 時のリードのタイミング・チャートです。

図 E－2　リード・タイミング（AD-Mux）



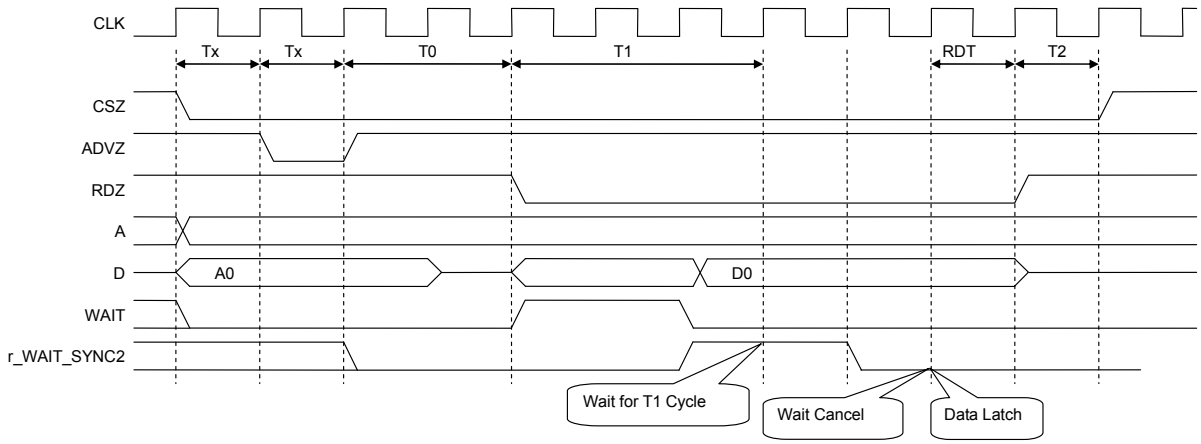
Tx は ADV_WIDTH：AB0_slaveCONTROL[8]にて選択可能

図 E－3 はリード時のウエイト・タイミング図です。

ウエイト信号は同期化のため 2 クロック遅れます。

（15）CSn用ウエイト・マスク・レジスタでウエイト信号をマスクできます。

図 E－3　ウエイト・タイミング（リード）



Tx は ADV_WIDTH：AB0_slaveCONTROL[8]にて選択可能

注意　T1 の設定値は WAIT 信号の遅延＋3 クロック@CLK 以上の遅延値になるように設定してください。

（13）CSn 用ライト・ウエイト制御レジスタ

AB0_*slave*WAITCTRL_W：2FFF_0204H＋nx20H（n は *slave* No.）

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved				T2_W			

15	14	13	12	11	10	9	8
Reserved			T1_W				

7	6	5	4	3	2	1	0
Reserved				T0_W			

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:20	－	予約。読み出すと 0 を返します。
T2_W	R/W	19:16	FH	T2_W WAIT 制御
Reserved	R	15:13	－	予約。読み出すと 0 を返します。
T1_W	R/W	12:8	1FH	T1_W WAIT 制御，1 以上の値を設定してください。
Reserved	R	7:4	－	予約。読み出すと 0 を返します。
T0_W	R/W	3:0	FH	T0_W WAIT 制御

本レジスタは非同期バス制御信号のライト・ウエイト・タイミング T0_W，T1_W，T2_W を設定します。CSInt は Read 時の設定を共通して使用します。（（12）CSn 用ウエイト制御レジスタ参照）

注意　T1_W は設定サイクル＋1 クロック@CLK になります。
ライト時の CSint は（設定値＋1）サイクル＋1 クロック@CLK になります。

設定値は外部メモリ・クロック（FLA_CLK）でのサイクル数となります。
そのため，クロック比が 2:1 モードでは AB0 内で設定値を 2 倍にして制御します。
ウエイト期間の例：

- CLK：100 MHz, Flash → 50 MHz, つまり 2:1 クロック比モードの場合，T1_W = 1 では，20 + 10 = 30 ns
- CLK：100 MHz, Flash → 100 MHz, つまり 1:1 クロック比モードの場合，T1_W = 1 では，10 + 10 = 20 ns

【設定範囲について】

T0_W：0～15 サイクルの範囲で設定可能です。初期値はウエイト= 15 サイクルに設定されています。

T1_W：1～31 サイクルの範囲で設定可能です。初期値はウエイト= 31 サイクルに設定されています。

T2_W：0～15 サイクルの範囲で設定可能です。初期値はウエイト= 15 サイクルに設定されています。

CSInt：Read 側 Wait 値 AB0_*slave*WAITCTRL の CSInt ビット設定値を参照します。

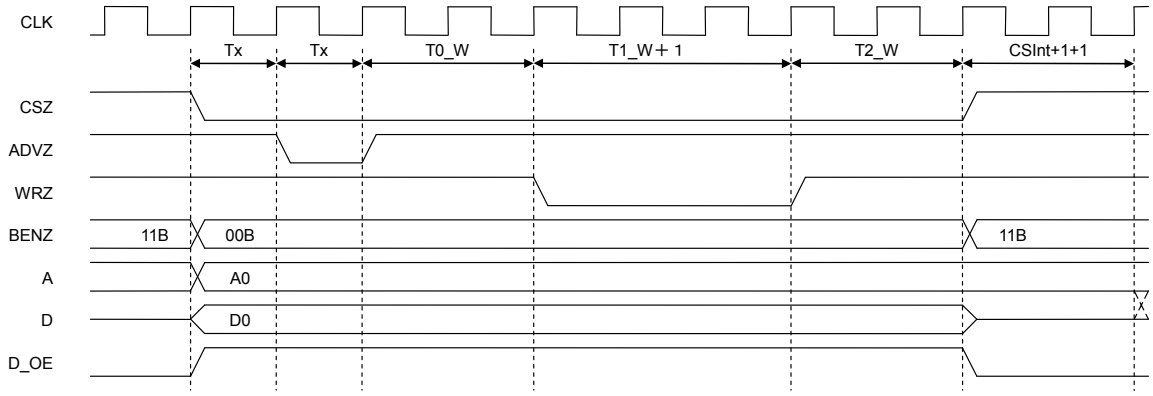
注意 1. シングル・ライト時は T2_W の設定値を 1 以上に設定してください。

2. T1_W の MIN 値は 1 です。
0 を設定した場合には 1 の設定として動作します。

3. AD-Mux 時に T0_W ＝ 0 に設定するとアドレスの HOLD のためにアドレスが 1 サイクル／クロック伸びます。そのためライト・データの出力が 1 クロック遅れます。
このとき T1_W は 2 以上の値を設定してください。

図 E－4 は Non Mux 時のライトのタイミング・チャートです。

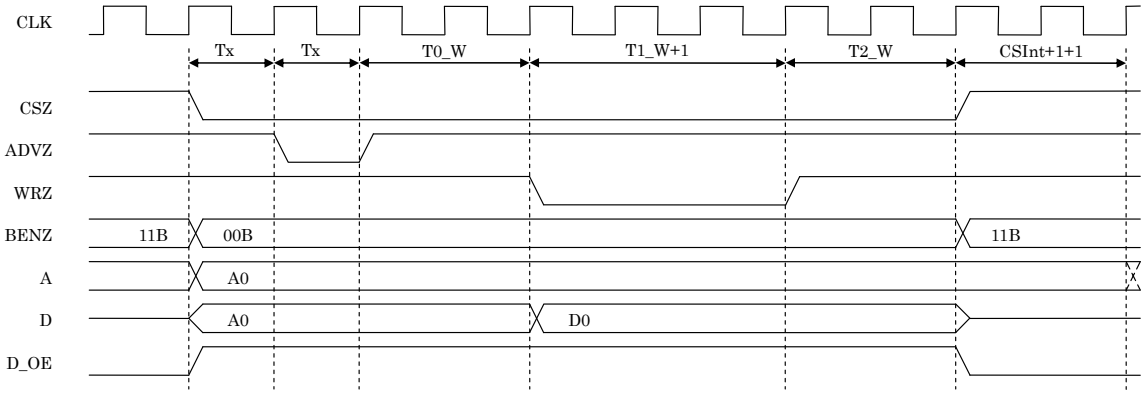
図 E－4　ライト・タイミング（Non Mux）（クロック比 1:1）



Tx は ADV_WIDTH：AB0_slaveCONTROL[8]にて選択可能

図 E－5 は AD-Mux 時で T0 > 0 のときののライトのタイミング・チャートです。

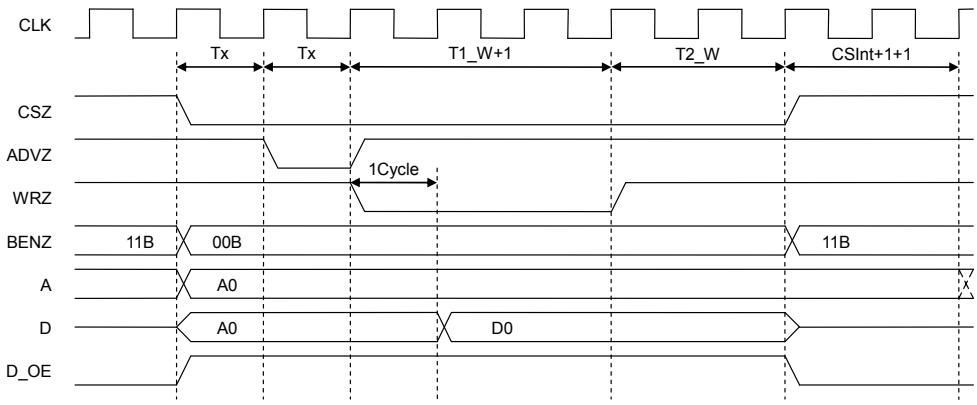
図 E－5　ライト・タイミング（AD-Mux）（T0>0）（クロック比 1:1）



Tx は ADV_WIDTH：AB0_slaveCONTROL[8]にて選択可能

図 E－6 は AD-Mux 時で T0_W = 0 のときののライトのタイミング・チャートです。

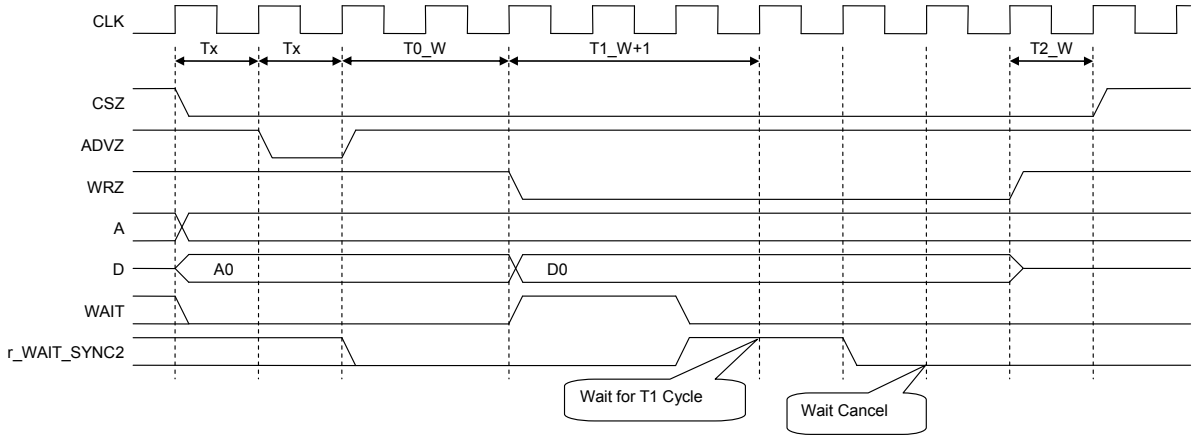
図 E－6　ライト・タイミング（AD-Mux）（T0_W = 0）（クロック比 1:1）



Tx は ADV_WIDTH：AB0_slaveCONTROL[8]にて選択可能

図 E－7　はライト時のウエイト・タイミング図です。
ウエイト信号は同期化のため 2 クロック遅れます。
（15）CSn用ウエイト・マスク・レジスタでウエイト信号をマスクできます。

図 E－7　ウエイト・タイミング（ライト）（クロック比 1:1）



Tx は ADV_WIDTH：AB0_slaveCONTROL[8]にて選択可能

注意　T1_W の設定値はウエイト信号の遅延＋3 クロック@CLK 以上の遅延値になるように設定してください。

(14) CSn 用リード・モード・レジスタ

AB0_*slave*READCTRL：2FFF_0208H＋nx20H（n は *slave* No.）

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved							

7	6	5	4	3	2	1	0
Reserved		RDT		Reserved		READMODE	

名　称	R/W	ビット	リセット時	機　能
Reserved	R	31:6	－	予約。読み出すと 0 を返します。
RDT	R/W	5:4	0H	リード・データ・ラッチのタイミング変更 0：ラッチ・タイミングから 1 クロック後に RDZ 信号をディアサート 1：ラッチ・タイミングから 2 クロック後に RDZ 信号をディアサート 2：ラッチ・タイミングから 3 クロック後に RDZ 信号をディアサート 3：ラッチ・タイミングから 4 クロック後に RDZ 信号をディアサート
Reserved	R	3:2	－	予約。読み出すと 0 を返します。
READMODE	R/W	1:0	0H	リード・モード設定 0：シングル・リード・モード 1：シングル・リード・モード 2：ページ・リード・モード 3：設定禁止

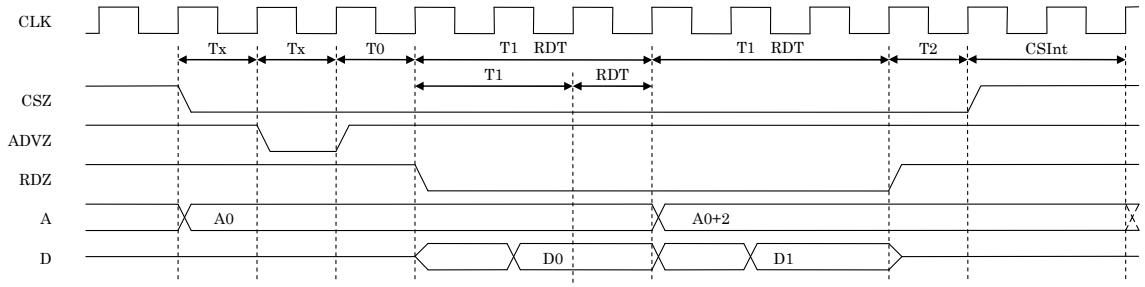
RDT の設定値は FLA_CLK でのサイクル数となります。
そのため，クロック比が 2:1 モードでは AB0 内で設定値を 2 倍にして制御します。

リードサイクルは T1＋RDT で T1 期間経過時にデータを内部レジスタに取り込み RDT 期間だけデータを HOLD させることができます。

注意 1.　クロック比が 1:1 の場合にページ・リードを設定するときは，RDT を 1 以上の値に設定してください。

図 E－8 はページ・リード時のリード・タイミングです。

図 E－8　ページ・リード・タイミング（クロック比 1:1）



Tx は ADV_WIDTH：AB0_slaveCONTROL[8]にて選択可能

（15）CSn 用ウエイト・マスク・レジスタ

本レジスタ（AB0_*slave*WAIT_MASK：2FFF_020CH＋nx20H（n は *slave* No.））は，ウエイト端子のマスクを行います。

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved							

7	6	5	4	3	2	1	0
Reserved							WAIT_MASK

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:1	－	予約。読み出すと 0 を返します。
WAIT MASK	R/W	0	0	ウエイト端子のマスク 0：ウエイト端子マスク　　1：ウエイト端子マスク解除

注意　リセット時，ウエイト端子はマスク状態となっています。（17）AB0_slaveFLASHRCR の WP と合わせて設定してください。

（16）CSn 用制御レジスタ

AB0_*slave*CONTROL：2FFF_0210H＋nx20H（n は *slave* No.）

31	30	29	28	27	26	25	24
Reserved							CS_FCLK

23	22	21	20	19	18	17	16
Reserved						CS_ADV	

15	14	13	12	11	10	9	8
Reserved							ADV_WIDTH

7	6	5	4	3	2	1	0
Reserved					AD_OE	ADDR_SEL	ADMUX_SEL

名　称	R/W	ビット	リセット時	機　能
Reserved	R	31:25	－	予約。読み出すと 0 を返します。
CS_FCLK	R/W	24	0	FLA_CLK 出力開始タイミング設定 0：CSZ の立ち下がり後 1：CSZ の立ち下がり後から 1 クロック後
Reserved	R	23:18	－	予約。読み出すと 0 を返します。
CS_ADV	R/W	17:16	1	CSZ-ADVZ 間のタイミング設定 0：CSZ-ADVZ 間 0 サイクル 1：CSZ-ADVZ 間 1 サイクル 2：CSZ-ADVZ 間 2 サイクル 3：CSZ-ADVZ 間 3 サイクル
Reserved	R	15:9	－	予約。読み出すと 0 を返します。
ADV__WIDTH	R/W	8	1	ADV 信号の幅 0：1 クロック　　1：2 クロック
Reserved	R	7:3	－	予約。読み出すと 0 を返します。
AD_OE	R/W	2	0	AD-MUX のリード時に AD バスへのアドレス出力の Hi-z タイミング制御 0：ADVZ の立ち上がりで Hi-z 1：RD の立ち下がりの 1 クロック前で Hi-z
ADDR_SEL	R/W	1	0	A27-17 のアドレス出力の切り替えを制御 0：A26-17 を出力　　1：A10-1 を出力
ADMUX_SEL	R/W	0	0	AD-MUX Device か Non MUX Device の選択 0：AD-MUX　　1：Non MUX（A-D Separate）

（17）CSn 用リード・コンフィギュレーション・レジスタ

AB0_*slave*FLASHRCR：2FFF_0214H＋nx20H（n は *slave* No.）

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
RM	Reserved				WP	Reserved	WD

7	6	5	4	3	2	1	0
Reserved							

名　称	R/W	ビット	リセット時	機　能
Reserved	R	31:16	ー	予約。読み出すと 0 を返します。
RM	R/W	15	1H	Read Mode 0：設定禁止 1：Asynchronous page mode read（デフォルト）
Reserved	R	14:11	ー	予約。読み出すと 0 を返します。
WP	R/W	10	1H	Wait Polarity 0：WAIT signal active low 1：WAIT signal is active high（デフォルト）
Reserved	R	9	-	予約。読み出すと 0 を返します。
WD	R/W	8	1H	Wait Delay. 0：WAIT de-asserted with valid data（Non support in AB0） 1：WAIT de-asserted one clock before valid data（デフォルト）
Reserved	R	7:0	-	予約。読み出すと 0 を返します。

付録 F　割り込み（AINT）

F.1　レジスタ機能詳細

割り込みレジスタのビット構成を示します（レジスタの一覧は付録 A　レジスタ一覧を参照してください）。

F.1.1　割り込みマスク関連レジスタ

割り込みマスク関連のレジスタには次のレジスタがあります。

① ACPU（Address Offset：C002_xxxxH）
IT0_IEN0/1/2：割り込みイネーブル設定レジスタ（マスク解除）
IT0_IDS0/1/2：割り込みディスエーブル設定レジスタ（マスク設定）

② ADSP（Address Offset：C002_xxxxH）
IT3_IEN0/1/2：割り込みイネーブル設定レジスタ（マスク解除）
IT3_IDS0/1/2：割り込みディスエーブル設定レジスタ（マスク設定）

③ MSE（Address Offset：CC01_xxxxH）
IT4_IEN0/1/2：割り込みイネーブル設定レジスタ　　（マスク解除）
IT4_IDS0/1/2：割り込みディスエーブル設定レジスタ（マスク設定）

注意　マスク状況は ITx_IENx を Read することにより確認できます。ITx_IDSx によってディスエーブル設定した結果を ITx_IENx の該当ビットに反映します。

上記 2 種類（IEN/IDS）のレジスタを使って，割り込み設定を行います。イネーブルまたはディスエーブルの設定は，該当ビットへ 1 をライトすることで実行できます。

(1) ACPU 割り込みイネーブル設定レジスタ 0

IT0_IEN0：C002_0000H

31	30	29	28	27	26	25	24
IEN_31～24							
23	22	21	20	19	18	17	16
IEN_23～16							
15	14	13	12	11	10	9	8
IEN_15～8							
7	6	5	4	3	2	1	0
IEN_7～0							

名　称	R/W	ビット	リセット時	機　能
IEN_**	W	31:0	0	IEN_31～0 はそれぞれ INT31～0 に対応 1：割り込みをイネーブルにします（マスク解除）。 0：No Operation
IEN_**	R	31:0	0	1：割り込みイネーブル状態 0：割り込みディスエーブル状態

(2) ACPU 割り込みイネーブル設定レジスタ 1

IT0_IEN1：C002_0004H

31	30	29	28	27	26	25	24
IEN_63～56							
23	22	21	20	19	18	17	16
IEN_55～48							
15	14	13	12	11	10	9	8
IEN_47～40							
7	6	5	4	3	2	1	0
IEN_39～32							

名　称	R/W	ビット	リセット時	機　能
IEN_**	W	31:0	0	IEN_63～32 はそれぞれ INT63～32 に対応 1：割り込みをイネーブルにします（マスク解除）。 0：No Operation
IEN_**	R	31:0	0	1：割り込みイネーブル状態 0：割り込みディスエーブル状態

（3）ACPU 割り込みイネーブル設定レジスタ 2

IT0_IEN2：C002_0100H

31	30	29	28	27	26	25	24
IEN_95～88							
23	22	21	20	19	18	17	16
IEN_87～80							
15	14	13	12	11	10	9	8
IEN_79～72							
7	6	5	4	3	2	1	0
IEN_71～64							

名　　称	R/W	ビット	リセット時	機　　能
IEN_**	W	31:0	0	IEN_95～64 はそれぞれ INT95～64 に対応 1：割り込みをイネーブルにします（マスク解除）。 0：No Operation
IEN_**	R	31:0	0	1：割り込みイネーブル状態 0：割り込みディスエーブル状態

（4）ACPU 割り込みディスエーブル設定レジスタ 0

IT0_IDS0：C002_0008H

31	30	29	28	27	26	25	24
IDS_31～24							
23	22	21	20	19	18	17	16
IDS_23～16							
15	14	13	12	11	10	9	8
IDS_15～8							
7	6	5	4	3	2	1	0
IDS_7～0							

名　　称	R/W	ビット	リセット時	機　　能
IDS_**	W	31:0	0	IDS_31～0 はそれぞれ INT31～0 に対応 1：割り込みをディスエーブルにします（マスク設定）。 0：No Operation

(5) ACPU 割り込みディスエーブル設定レジスタ 1

IT0_IDS1：C002_000CH

31	30	29	28	27	26	25	24
IDS_63～56							
23	22	21	20	19	18	17	16
IDS_55～48							
15	14	13	12	11	10	9	8
IDS_47～40							
7	6	5	4	3	2	1	0
IDS_39～32							

名　称	R/W	ビット	リセット時	機　能
IDS_**	W	31:0	0	IDS_63～32 はそれぞれ INT63～32 に対応 1：割り込みをディスエーブルにします（マスク設定）。 0：No Operation

(6) ACPU 割り込みディスエーブル設定レジスタ 2

IT0_IDS2：C002_0104H

31	30	29	28	27	26	25	24
IDS_95～88							
23	22	21	20	19	18	17	16
IDS_87～80							
15	14	13	12	11	10	9	8
IDS_79～72							
7	6	5	4	3	2	1	0
IDS_71～64							

名　称	R/W	ビット	リセット時	機　能
IDS_**	W	31:0	0	IDS_95～64 はそれぞれ INT95～64 に対応 1：割り込みをディスエーブルにします（マスク設定）。 0：No Operation

（7）ADSP 割り込みイネーブル設定レジスタ 0

IT3_IEN0：C002_C000H

31	30	29	28	27	26	25	24
IEN_31〜24							
23	22	21	20	19	18	17	16
IEN_23〜16							
15	14	13	12	11	10	9	8
IEN_15〜8							
7	6	5	4	3	2	1	0
IEN_7〜0							

名　　称	R/W	ビット	リセット時	機　　能
IEN_**	W	31:0	0	IEN_31〜0 はそれぞれ INT31〜0 に対応 1：割り込みをイネーブルにします（マスク解除）。 0：No Operation
IEN_**	R	31:0	0	1：割り込みイネーブル状態 0：割り込みディスエーブル状態

（8）ADSP 割り込みイネーブル設定レジスタ 1

IT3_IEN1：C002_C004H

31	30	29	28	27	26	25	24
IEN_63〜56							
23	22	21	20	19	18	17	16
IEN_55〜48							
15	14	13	12	11	10	9	8
IEN_47〜40							
7	6	5	4	3	2	1	0
IEN_39〜32							

名　　称	R/W	ビット	リセット時	機　　能
IEN_**	W	31:0	0	IEN_63〜32 はそれぞれ INT63〜32 に対応 1：割り込みをイネーブルにします（マスク解除）。 0：No Operation
IEN_**	R	31:0	0	1：割り込みイネーブル状態 0：割り込みディスエーブル状態

（9）ADSP 割り込みイネーブル設定レジスタ 2

IT3_IEN2：C002_C100H

31	30	29	28	27	26	25	24
IEN_95〜88							
23	22	21	20	19	18	17	16
IEN_87〜80							
15	14	13	12	11	10	9	8
IEN_79〜72							
7	6	5	4	3	2	1	0
IEN_71〜64							

名　　称	R/W	ビット	リセット時	機　　能
IEN_**	W	31:0	0	IEN_95〜64 はそれぞれ INT95〜64 に対応 1：割り込みをイネーブルにします（マスク解除）。 0：No Operation
IEN_**	R	31:0	0	1：割り込みイネーブル状態 0：割り込みディスエーブル状態

（10）ADSP 割り込みディスエーブル設定レジスタ 0

IT3_IDS0：C002_C008H

31	30	29	28	27	26	25	24
IDS_31〜24							
23	22	21	20	19	18	17	16
IDS_23〜16							
15	14	13	12	11	10	9	8
IDS_15〜8							
7	6	5	4	3	2	1	0
IDS_7〜0							

名　　称	R/W	ビット	リセット時	機　　能
IDS_**	W	31:0	0	IDS_31〜0 はそれぞれ INT31〜0 に対応 1：割り込みをディスエーブルにします（マスク設定）。 0：No Operation

（11）ADSP 割り込みディスエーブル設定レジスタ 1

IT3_IDS1：C002_C00CH

31	30	29	28	27	26	25	24
IDS_63〜56							
23	22	21	20	19	18	17	16
IDS_55〜48							
15	14	13	12	11	10	9	8
IDS_47〜40							
7	6	5	4	3	2	1	0
IDS_39〜32							

名　　称	R/W	ビット	リセット時	機　　能
IDS_**	W	31:0	0	IDS_63〜32 はそれぞれ INT63〜32 に対応 1：割り込みをディスエーブルにします（マスク設定）。 0：No Operation

（12）ADSP 割り込みディスエーブル設定レジスタ 2

IT3_IDS2：C002_C104H

31	30	29	28	27	26	25	24
IDS_95〜88							
23	22	21	20	19	18	17	16
IDS_87〜80							
15	14	13	12	11	10	9	8
IDS_79〜72							
7	6	5	4	3	2	1	0
IDS_71〜64							

名　　称	R/W	ビット	リセット時	機　　能
IDS_**	W	31:0	0	IDS_95〜64 はそれぞれ INT95〜64 に対応 1：割り込みをディスエーブルにします（マスク設定）。 0：No Operation

F.1.2 割り込み要因ステータス関連レジスタ

割り込み要因ステータス関連には次のレジスタがあります。

① ACPU（Address Offset：C002_xxxxH）

IT0_RAW0/1/2：割り込み Raw ステータス・レジスタ

IT0_MST0/1/2：割り込みマスク・ステータス・レジスタ

② ADSP（Address Offset：C002_xxxxH）

IT3_RAW0/1/2：割り込み Raw ステータス・レジスタ

IT3_MST0/1/2：割り込みマスク・ステータス・レジスタ

(1) ACPU 割り込み Raw ステータス・レジスタ 0

IT0_RAW0：C002_0010

31	30	29	28	27	26	25	24
RAW_31～24							
23	22	21	20	19	18	17	16
RAW_23～16							
15	14	13	12	11	10	9	8
RAW_15～8							
7	6	5	4	3	2	1	0
RAW_7～0							

名　称	R/W	ビット	リセット時	機　能
RAW_**	R	31:0	0	RAW_31～0 はそれぞれ INT31～0 に対応 1：割り込みを検出　0：割り込み未検出

(2) ACPU 割り込み Raw ステータス・レジスタ 1

IT0_RAW1：C002_0014H

31	30	29	28	27	26	25	24
RAW_63～56							
23	22	21	20	19	18	17	16
RAW_55～48							
15	14	13	12	11	10	9	8
RAW_47～40							
7	6	5	4	3	2	1	0
RAW_39～32							

名　称	R/W	ビット	リセット時	機　能
RAW_**	R	31:0	0	RAW_63～32 はそれぞれ INT63～32 に対応 1：割り込みを検出　0：割り込み未検出

（3）ACPU 割り込み Raw ステータス・レジスタ 2

IT0_RAW2：C002_0108H

31	30	29	28	27	26	25	24
RAW_95〜88							
23	22	21	20	19	18	17	16
RAW_87〜80							
15	14	13	12	11	10	9	8
RAW_79〜72							
7	6	5	4	3	2	1	0
RAW_71〜64							

名　　称	R/W	ビット	リセット時	機　　能
RAW_**	R	31:0	0	RAW_95〜64 はそれぞれ INT95〜64 に対応 1：割り込みを検出　　0：割り込み未検出

（4）ACPU 割り込みマスク・ステータス・レジスタ 0

IT0_MST0：C002_0018H

31	30	29	28	27	26	25	24
MST_31〜24							
23	22	21	20	19	18	17	16
MST_23〜16							
15	14	13	12	11	10	9	8
MST_15〜8							
7	6	5	4	3	2	1	0
MST_7〜0							

名　　称	R/W	ビット	リセット時	機　　能
MST_**	R	31:0	0	MST_31〜0 はそれぞれ INT31〜0 に対応。マスク設定されている場合には 0 が読み出されます。 1：割り込みを検出　　0：割り込み未検出

(5) ACPU 割り込みマスク・ステータス・レジスタ 1

IT0_MST1：C002_001CH

31	30	29	28	27	26	25	24
MST_63〜56							

23	22	21	20	19	18	17	16
MST_55〜48							

15	14	13	12	11	10	9	8
MST_47〜40							

7	6	5	4	3	2	1	0
MST_39〜32							

名　称	R/W	ビット	リセット時	機　能
MST_**	R	31:0	0	MST_63〜32 はそれぞれ INT63〜32 に対応。マスク設定されている場合には 0 が読み出されます。 1：割り込みを検出　　0：割り込み未検出

(6) ACPU 割り込みマスク・ステータス・レジスタ 2

IT0_MST2：C002_010CH

31	30	29	28	27	26	25	24
MST_95〜88							

23	22	21	20	19	18	17	16
MST_87〜80							

15	14	13	12	11	10	9	8
MST_79〜72							

7	6	5	4	3	2	1	0
MST_71〜64							

名　称	R/W	ビット	リセット時	機　能
MST_**	R	31:0	0	MST_95〜64 はそれぞれ INT95〜64 に対応。マスク設定されている場合には 0 が読み出されます。 1：割り込みを検出　　0：割り込み未検出

（7）ADSP 割り込み Raw ステータス・レジスタ 0

IT3_RAW0：C002_C010H

31	30	29	28	27	26	25	24
RAW_31～24							
23	22	21	20	19	18	17	16
RAW_23～16							
15	14	13	12	11	10	9	8
RAW_15～8							
7	6	5	4	3	2	1	0
RAW_7～0							

名　　称	R/W	ビット	リセット時	機　　能
RAW_**	R	31:0	0	RAW_31～0 はそれぞれ INT31～0 に対応 1：割り込みを検出　　0：割り込み未検出

（8）ADSP 割り込み Raw ステータス・レジスタ 1

IT3_RAW1：C002_C014H

31	30	29	28	27	26	25	24
RAW_63～56							
23	22	21	20	19	18	17	16
RAW_55～48							
15	14	13	12	11	10	9	8
RAW_47～40							
7	6	5	4	3	2	1	0
RAW_39～32							

名　　称	R/W	ビット	リセット時	機　　能
RAW_**	R	31:0	4000_0000	RAW_63～32 はそれぞれ INT63～32 に対応 1：割り込みを検出　　0：割り込み未検出

（9）ADSP 割り込み Raw ステータス・レジスタ 2

IT3_RAW2：C002_C108H

31	30	29	28	27	26	25	24
RAW_95～88							
23	22	21	20	19	18	17	16
RAW_87～80							
15	14	13	12	11	10	9	8
RAW_79～72							
7	6	5	4	3	2	1	0
RAW_71～64							

名　　称	R/W	ビット	リセット時	機　　能
RAW_**	R	31:0	0	RAW_95～64 はそれぞれ INT95～64 に対応 1：割り込みを検出　　0：割り込み未検出

（10）ADSP 割り込みマスク・ステータス・レジスタ 0

IT3_MST0：C002_C018H

31	30	29	28	27	26	25	24
MST_31～24							
23	22	21	20	19	18	17	16
MST_23～16							
15	14	13	12	11	10	9	8
MST_15～8							
7	6	5	4	3	2	1	0
MST_7～0							

名　　称	R/W	ビット	リセット時	機　　能
MST_**	R	31:0	0	MST_31～0 はそれぞれ INT31～0 に対応。マスク設定されている場合には 0 が読み出されます。 1：割り込みを検出　　0：割り込み未検出

（11）ADSP 割り込みマスク・ステータス・レジスタ 1

IT3_MST1：C002_C01CH

31	30	29	28	27	26	25	24
MST_63〜56							

23	22	21	20	19	18	17	16
MST_55〜48							

15	14	13	12	11	10	9	8
MST_47〜40							

7	6	5	4	3	2	1	0
MST_39〜32							

名　　称	R/W	ビット	リセット時	機　　能
MST_**	R	31:0	0	MST_63〜32 はそれぞれ INT63〜32 に対応。マスク設定されている場合には 0 が読み出されます。 1：割り込みを検出　　0：割り込み未検出

（12）ADSP 割り込みマスク・ステータス・レジスタ 2

IT3_MST2：C002_C10CH

31	30	29	28	27	26	25	24
MST_95〜88							

23	22	21	20	19	18	17	16
MST_87〜80							

15	14	13	12	11	10	9	8
MST_79〜72							

7	6	5	4	3	2	1	0
MST_71〜64							

名　　称	R/W	ビット	リセット時	機　　能
MST_**	R	31:0	0	MST_95〜64 はそれぞれ INT95〜64 に対応。マスク設定されている場合には 0 が読み出されます。 1：割り込みを検出　　0：割り込み未検出

F.1.3 割り込み要因ステータス・リセット・レジスタ

割り込み要因ステータス・ビットをリセットするレジスタです。本レジスタの対象は，パルスで割り込みを通知するモジュールの制御です。レベルで割り込み要因を通知するモジュールについては，割り込み入力がディアサート（High → Low）することで，自動的にリセットされます。

① ACPU（Address Offset：C002_xxxxH）
IT0_IIR：要因ステータス・リセット・レジスタ
② ADSP（Address Offset：C002_xxxxH）
IT3_IIR：要因ステータス・リセット・レジスタ

(1) ACPU 割り込みステータス・リセット・レジスタ

IT0_IIR：C002_0024H

31	30	29	28	27	26	25	24
0	0	IIR_61	IIR_60	IIR_59	IIR_58	IIR_57	IIR_56
23	22	21	20	19	18	17	16
IIR_55	IIR_54	0	0	0	0	0	0
15	14	13	12	11	10	9	8
0	IIR_46	IIR_45	IIR_44	IIR_43	0	0	0
7	6	5	4	3	2	1	0
IIR_39	0	0	IIR_36	IIR_35	IIR_34	IIR_33	0

名　称	R/W	ビット	リセット時	機　能
IIR_**	W	31:0	0	IIR_xx はそれぞれ INTxx に対応 1：割り込み要因ステータス（RAW/MST）をクリアします。 0：No Operation

（2）ADSP 割り込みステータス・リセット・レジスタ

IT3_IIR：C002_C024H

31	30	29	28	27	26	25	24
0	0	IIR_61	IIR_60	IIR_59	IIR_58	IIR_57	IIR_56

23	22	21	20	19	18	17	16
IIR_55	IIR_54	0	0	0	0	0	0

15	14	13	12	11	10	9	8
0	IIR_46	IIR_45	IIR_44	IIR_43	0	0	0

7	6	5	4	3	2	1	0
IIR_39	0	0	IIR_36	IIR_35	IIR_34	IIR_33	0

名　　称	R/W	ビット	リセット時	機　　能
IIR_**	W	31:0	0	IIR_xx はそれぞれ INTxx に対応 1：割り込み要因ステータス（RAW/MST）をクリアします。 0：No Operation

F.1.4 プロセッサ間通信レジスタ

プロセッサ間通信用のレジスタを次に示します。

(1) ACPU→ADSP プロセッサ間通信セット・レジスタ

IT0_IPI3_SET：C002_003CH

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved		S03_5	S03_4	S03_3	S03_2	S03_1	S03_0

名　称	R/W	ビット	リセット時	機　能
Reserved	R	31:6	―	0 固定で使用します。
S03_*	W	5:0	0	S03_5～0 を使用し ACPU→ADSP へのメッセージ通知を行います。 1：1 がセットされます。　0：No Operation
S03_*	R	5:0	0	ACPU→ADSP へのメッセージ通知状態を読み出せます。

(2) ADSP→ACPU プロセッサ間通信クリア・レジスタ

IT3_IPI0_CLR：C002_005CH

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved		C03_5	C03_4	C03_3	C03_2	C03_1	C03_0

名　称	R/W	ビット	リセット時	機　能
Reserved	R	31:6	―	0 固定で使用します。
C03_*	W	5:0	0	C03_5～0 を 0 クリアします。 1：0 がセットされます。　0：No Operation

（3）ADSP→ACPU プロセッサ間通信セット・レジスタ

IT3_IPI0_SET：C002_C030H

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved		S30_5	S30_4	S30_3	S30_2	S30_1	S30_0

名　称	R/W	ビット	リセット時	機　能
Reserved	R	31:6	―	0 固定で使用します。
S30_*	W	5:0	0	S30_5〜0 を使用し ADSP→ACPU へのメッセージ通知を行います。 1：1 がセットされます。　0：No Operation
S30_*	R	5:0	0	ADSP→ACPU へのメッセージ通知状態を読み出せます。

（4）ACPU→ADSP プロセッサ間通信クリア・レジスタ

IT0_IPI3_CLR：C002_C050H

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved		C30_5	C30_4	C30_3	C30_2	C30_1	C30_0

名　称	R/W	ビット	リセット時	機　能
Reserved	R	31:6	―	0 固定で使用します。
C30_*	W	5:0	0	C30_5〜0 を 0 クリアします。 1：0 がセットされます。　0：No Operation

F.1.5 FIQ割り込みマスク関連レジスタ（ACPUのみ）

FIQ 信号の割り込み関連のレジスタには，ACPU FIQ 割り込みイネーブル・レジスタ（IT0_FIE），ACPU FIQ 割り込みディスエーブル・レジスタ（IT0_FID）の 2 種類があります。FIQ 割り込みイネーブルのステータスは割り込みイネーブル・レジスタ（IT0_FIE）を読み出すことで確認できます。

FIQ 割り込みと IRQ 割り込みは独立して発生します。FIQ 割り込みのアサート中でも IRQ 割り込みをアサートできます。また，IRQ 割り込みのアサート中でも FIQ 割り込みをアサートできます。

① ACPU（Address Offset：C002_xxxxH）

IT0_FIE：ACPU FIQ 割り込みイネーブル・レジスタ

IT0_FID：ACPU FIQ 割り込みディスエーブル・レジスタ

（1）ACPU FIQ 割り込みイネーブル・レジスタ

IT0_FIE：C002_0080H

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							FIQ_EN

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:1	－	0 固定で使用します。
FIQ_EN	W	0	0	FIQ 割り込みを有効にします。 1：割り込みを有効に設定。　0：No Operation
FIQ_EN	R	0	0	FIQ 割り込み有効/無効の状態を読み出します。 1：有効　0：無効

（2）ACPU FIQ 割り込みディスエーブル・レジスタ

IT0_FID：C002_0084H

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							FIQ_DS

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:1	－	0 固定で使用します。
FIQ_DS	W	0	0	FIQ 割り込みを無効にします。 1：割り込みを無効に設定。　　0：No Operation

F.1.6 割り込みベクタ・アドレス・レジスタ（ACPUのみ）

割り込みベクタ・ベース・アドレス・レジスタ（ID_VBS：C090H）は，ADSP に割り込みが発生したときに使用するジャンプ先のベクタ・アドレスを設定するレジスタです。ビット 31～ビット 16，およびビット 1，ビット 0 は 0 固定となり設定できません。この内容は，INTVEC[31:1]信号として ADSP に入力されます。

設定可能な範囲は 0000_0000H～0000_FFFCH です。下位 2 ビットは 0 固定のため，4 バイト境界のアドレスのみ設定できます。

(1) 割り込みベクタ・ベース・アドレス・レジスタ

ID_VBS：C002_C090H

31	30	29	28	27	26	25	24
0							
23	22	21	20	19	18	17	16
0							
15	14	13	12	11	10	9	8
IB_15	IB_14	IB_13	IB_12	IB_11	IB_10	IB_9	IB_8
7	6	5	4	3	2	1	0
IB_7	IB_6	IB_5	IB_4	IB_3	IB_2	0	0

名　　称	R/W	ビット	リセット時	機　　能
IB_[15:2]	R/W	15:2	0	ADSP に割り込みが発生したときに使用するジャンプ先のベクタ・アドレスを設定します。
0	R	1:0	0	0 固定で使用します。

表 F－1 に ID_VBS レジスタのビット[15:0]と INTVEC[15:1]信号の対応を示します。

ID_VBS レジスタのビット[31:16]および INTVEC[31:16]信号（上位 16 ビット）は，すべて 0 固定のため省略しています。

表 F－1　ベクタ・アドレスの設定値

設定値	ID_VBS レジスタ[15:0]	INTVEC[15:1]
0000H	0000_0000_0000_0000B	0000_0000_0000_000B
0004H	0000_0000_0000_0100B	0000_0000_0000_010B
0008H	0000_0000_0000_1000B	0000_0000_0000_100B
000CH	0000_0000_0000_1100B	0000_0000_0000_110B
0010H	0000_0000_0001_0000B	0000_0000_0001_000B
:	:	:
0800H	0000_1000_0000_0000B	0000_1000_0000_000B
:	:	:
FFF0H	1111_1111_1111_0000B	1111_1111_1111_000B
FFF4H	1111_1111_1111_0100B	1111_1111_1111_010B
FFF8H	1111_1111_1111_1000B	1111_1111_1111_100B
FFFCH	1111_1111_1111_1100B	1111_1111_1111_110B

F.1.7 割り込み出力信号クリア・レジスタ

割り込み出力信号クリア・レジスタ（ID_CLR：C094H）は，ADSP の割り込み出力（ADSP_INTP）をディアサートする（非アクティブに戻す）ためのレジスタです。

(1) 割り込み出力信号クリア・レジスタ

ID_CLR：C002_C094H

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							IC_D

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:1	－	0 固定で使用します。
IC_D	W	0	0	ADSP の割り込み出力（ADSP_INTP）をディアサートします。1 を設定すると，ADSP_INTP のディアサートを実行し，自動的に 0 に戻ります。 0：No operation　　1：ADSP_INTP をディアサート

F.1.8 割り込み入力極性レジスタ

割り込み入力極性反転レジスタには次のレジスタがあります。

① 共通（Address Offset：C002_xxxxH）

IT_PINV_SET0/1/2：割り込み入力極性反転イネーブル設定レジスタ　　（極性反転）

IT_PINV_CLR0/1/2：割り込み入力極性反転ディスエーブル設定レジスタ　（極性非反転）

上記 2 種類（SET/CLR）のレジスタを使って，極性設定を行います。イネーブルまたはディスエーブルの設定は，該当ビットへ 1 をライトすることで実行できます。

(1) 割り込み入力極性反転イネーブル設定レジスタ 0

IT_PINV_SET0：C002_0300H

31	30	29	28	27	26	25	24
PINV_SET_31～24							
23	22	21	20	19	18	17	16
PINV_SET_23～16							
15	14	13	12	11	10	9	8
PINV_SET_15～8							
7	6	5	4	3	2	1	0
PINV_SET_7～0							

名　称	R/W	ビット	リセット時	機　能
PINV_SET_**	W	31:0	0	PINV_SET_31～0 はそれぞれ INT31～0 に対応 1：割り込み極性を極性反転します。 0：No Operation
PINV_SET_**	R	31:0	0	1：極性反転状態　　0：極性非反転状態

注意　Reserved の割り込み要因に対しては必ずディスエーブル（デフォルト）状態で使用します。

(2) 割り込み入力極性反転イネーブル設定レジスタ 1

IT_PINV_SET1：C002_0304H

31	30	29	28	27	26	25	24
PINV_SET_63〜56							

23	22	21	20	19	18	17	16
PINV_SET_55〜48							

15	14	13	12	11	10	9	8
PINV_SET_47〜40							

7	6	5	4	3	2	1	0
PINV_SET_39〜32							

名　　称	R/W	ビット	リセット時	機　　能
PINV_SET_**	W	31:0	0	PINV_SET_63〜32 はそれぞれ INT63〜32 に対応 1：割り込み極性を極性反転します。 0：No Operation
PINV_SET_**	R	31:0	0	1：極性反転状態　　0：極性非反転状態

注意　Reserved の割り込み要因に対しては必ずディスエーブル（デフォルト）状態で使用します。

(3) 割り込み入力極性反転イネーブル設定レジスタ 2

IT_PINV_SET2：C002_0308H

31	30	29	28	27	26	25	24
PINV_SET_95〜88							

23	22	21	20	19	18	17	16
PINV_SET_87〜80							

15	14	13	12	11	10	9	8
PINV_SET_79〜72							

7	6	5	4	3	2	1	0
PINV_SET_71〜64							

名　　称	R/W	ビット	リセット時	機　　能
PINV_SET_**	W	31:0	0	PINV_SET_95〜64 はそれぞれ INT95〜64 に対応 1：割り込み極性を極性反転します。 0：No Operation
PINV_SET_**	R	31:0	0	1：極性反転状態　　0：極性非反転状態

注意　Reserved の割り込み要因に対しては必ずディスエーブル（デフォルト）状態で使用します。

(4) 割り込み入力極性反転ディスエーブル設定レジスタ 0

IT_PINV_CLR0：C002_0310H

31	30	29	28	27	26	25	24
PINV_CLR_31〜24							
23	22	21	20	19	18	17	16
PINV_CLR_23〜16							
15	14	13	12	11	10	9	8
PINV_CLR_15〜8							
7	6	5	4	3	2	1	0
PINV_CLR_7〜0							

名　　称	R/W	ビット	リセット時	機　　能
PINV_CLR_**	W	31:0	0	PINV_CLR_31〜0 はそれぞれ INT31〜0 に対応 1：割り込み極性を極性非反転にします。 0：No Operation

(5) 割り込み入力極性反転ディスエーブル設定レジスタ 1

IT_PINV_CLR1：C002_0314H

31	30	29	28	27	26	25	24
PINV_CLR_63〜56							
23	22	21	20	19	18	17	16
PINV_CLR_55〜48							
15	14	13	12	11	10	9	8
PINV_CLR_47〜40							
7	6	5	4	3	2	1	0
PINV_CLR_39〜32							

名　　称	R/W	ビット	リセット時	機　　能
PINV_CLR_**	W	31:0	0	PINV_CLR_63〜32 はそれぞれ INT63〜32 に対応 1：割り込み極性を極性非反転にします。 0：No Operation

(6) 割り込み入力極性反転ディスエーブル設定レジスタ 2

IT_PINV_CLR2：C002_0318H

31	30	29	28	27	26	25	24
PINV_CLR_95〜88							

23	22	21	20	19	18	17	16
PINV_CLR_87〜80							

15	14	13	12	11	10	9	8
PINV_CLR_79〜72							

7	6	5	4	3	2	1	0
PINV_CLR_71〜64							

名　称	R/W	ビット	リセット時	機　能
PINV_CLR_**	W	31:0	0	PINV_CLR_95〜64 はそれぞれ INT95〜64 に対応 1：割り込み極性を極性非反転にします。 0：No Operation

備考　本レジスタは，INT81-84（割り込みステータス・セット・レジスタ割り当て）では無効となります。

F.1.9　内部割り込みステータス・セット・レジスタ

AINT 内で割り込みステータスをセット／クリアするレジスタで，1 ビット単位で制御されます。セット・レジスタをセットするとプロセッサに割り込み信号が発行され，リセット・レジスタをセットすることでクリアされます。LIIS0～3，LIIS0～3 はそれぞれ AINT 内割り込み ch 81～84 に対応しています。本レジスタはプロセッサ共通で使用されます。

(1) 内部割り込みステータス・セット・レジスタ

IT_LIIS：C002_0320H

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved				IT_LIIS3～0			

名　　称	R/W	ビット	リセット時	機　　能
IT_LIIS*	W	3:0	0	AINT 内割り込み信号をセットします。 1：割り込み信号をセットします。 0：No Operation

(2) 内部割り込みステータス・リセット・レジスタ

IT_LIIR：C002_0324H

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved				IT_LIIR3～0			

名　　称	R/W	ビット	リセット時	機　　能
IT_LIIR*	W	3:0	0	AINT 内割り込み信号をクリアします。 1：割り込み信号をクリアします。 0：No Operation

F.1.10　ACPU Secure割り込みマスク関連レジスタ

本レジスタを使用することにより，ACPU 用割り込み出力（PMU_IRQ0Z），ACPU 割り込みマスク・ステータス（IT0_MST[2:0]）に加えて，ACPU 割り込み Raw ステータス（IT0_RAW[2:0]）もマスクすることができます。ACPU Secure 割り込みマスク関連のレジスタには次のレジスタがあります。

① MSE（Address Offset：CC01_xxxxH）

IT0_IENS0/1/2：ACPU Secure 割り込みイネーブル設定レジスタ　　（マスク解除）

IT0_IDSS0/1/2：ACPU Secure 割り込みディスエーブル設定レジスタ　　（マスク設定）

注意　マスク状況は IT0_IENSx を Read することにより確認できます。IT0_IDSSx によってディスエーブル設定した結果を IT0_IENSx の該当ビットに反映します。

上記 2 種類（IENS/IDSS）のレジスタを使って，割り込み設定を行います。イネーブルまたはディスエーブルの設定は，該当ビットへ 1 をライトすることで実行できます。

例：ライトの順番により，実行結果が変わります。

IT0_IENS0 ← 0101_0101 ライト（ビット 6，4，2，0 にイネーブルをセットします）

IT0_IDSS0 ← 0001_0001 ライト（ビット 4，0 にディスエーブルをセットします）

IT0_IENS0 ＝ 0100_0100 リード（結果，ビット 6，2 にイネーブルが残ります。）

これらがディスエーブル（初期値）であると，Raw ステータス，マスク・ステータス，クロック・スタート信号（PE0START），および割り込み出力端子（PMU_IRQ0Z）はアサートされません。

図 F－1　割り込み信号制御（レベル検出割り込み例）

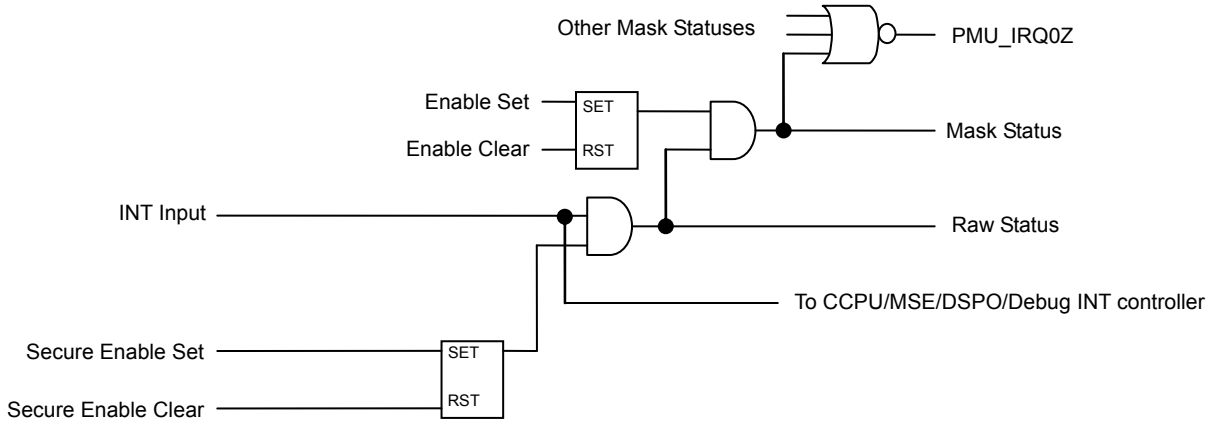
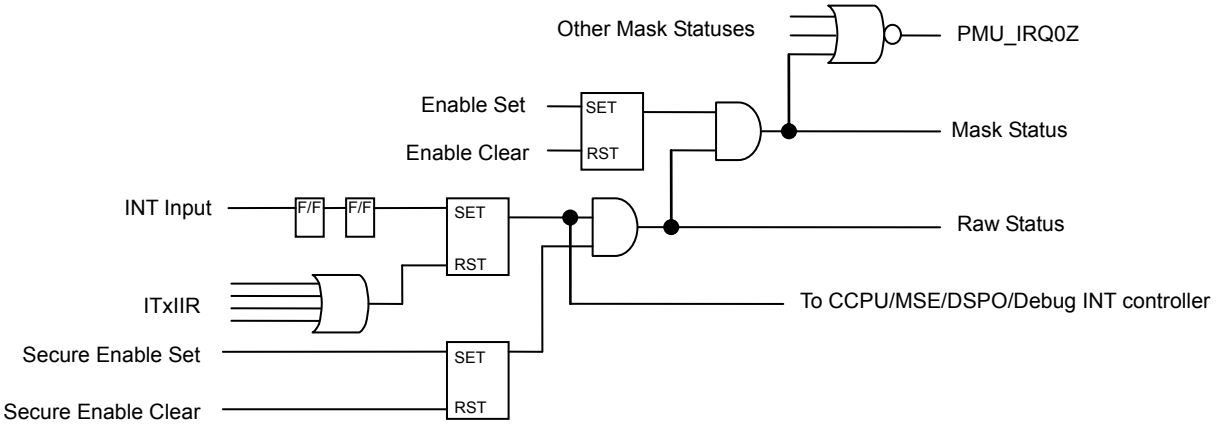


図 F－2　割り込み信号制御（エッジ検出割り込み例）



（1）ACPU Secure 割り込みイネーブル設定レジスタ 0

IT0_IENS0：CC01_E200H

31	30	29	28	27	26	25	24
IENS_31～24							
23	22	21	20	19	18	17	16
IENS_23～16							
15	14	13	12	11	10	9	8
IENS_15～8							
7	6	5	4	3	2	1	0
IENS_7～0							

名　　称	R/W	ビット	リセット時	機　　能
IENS_**	W	31:0	0	IENS_31～0 はそれぞれ INT31～0 に対応 1：割り込みをイネーブルにします（マスク解除）。 0：No Operation
IENS_**	R	31:0	0	1：割り込みイネーブル状態 0：割り込みディスエーブル状態

（2）ACPU Secure 割り込みイネーブル設定レジスタ 1

IT0_IENS1：CC01_E204H

31	30	29	28	27	26	25	24
IENS_63～56							
23	22	21	20	19	18	17	16
IENS_55～48							
15	14	13	12	11	10	9	8
IENS_47～40							
7	6	5	4	3	2	1	0
IENS_39～32							

名　　称	R/W	ビット	リセット時	機　　能
IENS_**	W	31:0	0	IENS_63～32 はそれぞれ INT63～32 に対応 1：割り込みをイネーブルにします（マスク解除）。 0：No Operation
IENS_**	R	31:0	0	1：割り込みイネーブル状態 0：割り込みディスエーブル状態

（3）ACPU Secure 割り込みイネーブル設定レジスタ 2

IT0_IENS2：CC01_E208H

31	30	29	28	27	26	25	24
IENS_95～88							

23	22	21	20	19	18	17	16
IENS_87～80							

15	14	13	12	11	10	9	8
IENS_79～72							

7	6	5	4	3	2	1	0
IENS_71～64							

名　称	R/W	ビット	リセット時	機　能
IENS_**	W	31:0	0	IENS_95～64 はそれぞれ INT95～64 に対応 1：割り込みをイネーブルにします（マスク解除）。 0：No Operation
IENS_**	R	31:0	0	1：割り込みイネーブル状態 0：割り込みディスエーブル状態

（4）ACPU Secure 割り込みディスエーブル設定レジスタ 0

IT0_IDSS0：CC01_E20CH

31	30	29	28	27	26	25	24
IDSS_31～24							

23	22	21	20	19	18	17	16
IDSS_23～16							

15	14	13	12	11	10	9	8
IDSS_15～8							

7	6	5	4	3	2	1	0
IDSS_7～0							

名　称	R/W	ビット	リセット時	機　能
IDSS_**	W	31:0	0	IDSS_31～0 はそれぞれ INT31～0 に対応 1：割り込みをディスエーブルにします（マスク設定）。 0：No Operation

(5) ACPU Secure 割り込みディスエーブル設定レジスタ 1

IT0_IDSS1：CC01_E210H

31	30	29	28	27	26	25	24
IDSS_63〜56							
23	22	21	20	19	18	17	16
IDSS_55〜48							
15	14	13	12	11	10	9	8
IDSS_47〜40							
7	6	5	4	3	2	1	0
IDSS_39〜32							

名　称	R/W	ビット	リセット時	機　能
IDSS_**	W	31:0	0	IDSS_63〜32 はそれぞれ INT63〜32 に対応 1：割り込みをディスエーブルにします（マスク設定）。 0：No Operation

(6) ACPU Secure 割り込みディスエーブル設定レジスタ 2

IT0_IDSS2：CC01_E214H

31	30	29	28	27	26	25	24
IDSS_95〜88							
23	22	21	20	19	18	17	16
IDSS_87〜80							
15	14	13	12	11	10	9	8
IDSS_79〜72							
7	6	5	4	3	2	1	0
IDSS_71〜64							

名　称	R/W	ビット	リセット時	機　能
IDSS_**	W	31:0	0	IDSS_95〜64 はそれぞれ INT95〜64 に対応 1：割り込みをディスエーブルにします（マスク設定）。 0：No Operation

F.2　AINT制御法

F.2.1　プロセッサ間通信の処理例

プロセッサ間通信とは，プロセッサ（ACPU，ADSP）同士が 6 ビットのバッファを使いメッセージ通知を行うものです（割り込みが発生します）。

ここでは「ACPU → ADSP の IRQ プロセッサ間通信の手順」を例に説明します。

【ACPU 側の設定】

特にありません。

【ADSP の設定】

○ IT0_IPI1_CLR：ACPU → ADSP プロセッサ間通信クリア

- 0000_003FH を書き込むことで IT0_IPI1_MON レジスタを全クリアします。

○ ACPU → ADSP 通信割り込みはディアサート状態

- IT1_IEN0：割り込みイネーブル・レジスタ
- 0000_0001H を書き込むことで，ACPU からの通信を割り込みイネーブルとします。

【メッセージ送信側からみたときのアドレス一覧表】

	通　　信	セット・レジスタ	モニタ・レジスタ	アドレス	クリア・レジスタ	アドレス
ACPU	ACPU → ADSP	IT0_IPI1_SET	IT0_IPI1_MON	00_34H	IT0_IPI1_CLR	40_50H
ADSP	ADSP → ACPU	IT1_IPI0_SET	IT1_IPI0_MON	40_30H	IT1_IPI0_CLR	00_54H

【メッセージ受信側からみたときのアドレス一覧表】

	通　　信	クリア・レジスタ	アドレス	セット・レジスタ	モニタ・レジスタ	アドレス
ACPU	ADSP → ACPU	IT1_IPI0_CLR	00_54H	IT1_IPI0_SET	IT1_IPI0_MON	40_30H
ADSP	ACPU → ADSP	IT0_IPI1_CLR	40_50H	IT0_IPI1_SET	IT0_IPI1_MON	00_34H

割り込み要因には次のものがあります。

- ITx_RAW0　　：割り込み Raw ステータス・レジスタ 0
- ITx_MST0　　：割り込み Maskable ステータス・レジスタ 0

付録 G　SRC／内蔵 SRAM

G.1 概　　要

128 K バイトのオンチップ・シングル・ポート SRAM と SRC（SRAM コントローラ）です。

内部バスから SRAM にアクセスするためのコントローラで，アクセス頻度の高い領域を SRC にマッピングすることにより高速化（64 ビット AXI 接続のため DRAM より低レイテンシ）低電力化（I/O を駆動しない，リフレッシュ不要などため DRAM より低電力）が可能です。

G.1.1 機能概要

○ ARM の AXI 規約に準拠します。

○ AMBA システム・バス・アーキテクチャ（Rev. 3.0）に準拠します。

○ SRC は最大で 166 MHz で動作します。

○ クロック要求は SRC_CLKREQ 信号で行います。

G.1.2 アドレス・マップ

SRAM のメモリ空間は A000_0000H〜A001_FFFFH に割り付けられています。

G.1.3 スレーブ・インタフェース（AXI）

オンチップ SRAM インタフェースは，64 ビット AXI スレーブ・インタフェースを備えます。

SWT	接続マスタ
AXL0, AXL1	ACPU, ADSP, DHXB（IMC, DMA）, MHXB（DMA, IPU, AVC）, SHXB（NAND, DTV, NTS）

各スレーブ・インタフェースは AMBA　AXI の仕様に準拠します。

付録 H　DCV（DSP アドレス・コンバータ）

H.1　DCV（DSPアドレス・コンバータ）

H.1.1　概　　要

DCV は DSP コア（DSPK701）AXI バス・アドレス・マップを EM1-S AXI バス・アドレス・マップに変換するアドレス・コンバータです。

○ アドレス変換

DSP の Cachable 領域，Bufferable 領域および Unbufferable 領域に物理アドレスをマッピングするためのアドレス変換機能を持ちます。バンクごとに変換バンク，オフセット設定ができます。

○ 対応する DSP からの AXI トランザクション

32 ビット：シングル・リード／ライト

16 ビット：シングル・リード／ライト

8 ビット：シングル・リード／ライト

64 ビット：INCR8 リード／ライト

○ BUSERR，NMIACKP，NMIP については DCV では処理を行いません。

○ リード・データ・チャネル，ライト応答チャネルの応答シグナル

RRESP，BRESP で EXOKAY，SLVERR，DECERR が返された場合，ACPU に対し割り込みを通知し，その ID と応答シグナルを保持します。

○ APB I/F 部は 83 MHz，アドレス変換部は 166 MHz 動作です。

これらのクロックは同期クロックを使用してください。

また，APB I/F 部とアドレス変換部のクロック比は 1：2 でのみ動作します。

ほかの周波数比では割り込み要因とクリアが同時に起きたときに要因保持が正しく行われないことがあります。

注意　バンク／オフセット・パラメータを動的に切り替えることは推奨しません。

H.1.2　レジスタ機能

(1) オフセット設定レジスタ

アドレス変換の詳細は，H.1.3　アドレス・コンバート処理を参照してください。

表 H－1　BANKx_OFFSET レジスター覧

アドレス	レジスタ名称	略　　号	R/W	リセット時
C00D_0000H	DSP-Bank0 対応オフセット	DCV_BANK0_OFFSET	R/W	0000_0200H
C00D_0004H	DSP-Bank1 対応オフセット	DCV_BANK1_OFFSET	R/W	0000_0000H
C00D_0008H	DSP-Bank2 対応オフセット	DCV_BANK2_OFFSET	R/W	0000_0000H
C00D_000CH	DSP-Bank3 対応オフセット	DCV_BANK3_OFFSET	R/W	0000_0000H
C00D_0010H	DSP-Bank4 対応オフセット	DCV_BANK4_OFFSET	R/W	0000_0100H
C00D_0014H	DSP-Bank5 対応オフセット	DCV_BANK5_OFFSET	R/W	0000_0000H
C00D_0018H	DSP-Bank6 対応オフセット	DCV_BANK6_OFFSET	R/W	0000_0000H
C00D_001CH	DSP-Bank7 対応オフセット	DCV_BANK7_OFFSET	R/W	0000_0000H
C00D_0020H	DSP-Bank8 対応オフセット	DCV_BANK8_OFFSET	R/W	0000_0240H
C00D_0024H	DSP-Bank9 対応オフセット	DCV_BANK9_OFFSET	R/W	0000_0000H
C00D_0028H	DSP-Bank10 対応オフセット	DCV_BANK10_OFFSET	R/W	0000_0000H
C00D_002CH	DSP-Bank11 対応オフセット	DCV_BANK11_OFFSET	R/W	0000_0000H
C00D_0030H	DSP-Bank12 対応オフセット	DCV_BANK12_OFFSET	R/W	0000_0000H
C00D_0034H	DSP-Bank13 対応オフセット	DCV_BANK13_OFFSET	R/W	0000_0000H
C00D_0038H	DSP-Bank14 対応オフセット	DCV_BANK14_OFFSET	R/W	0000_0000H
C00D_003CH	DSP-Bank15 対応オフセット	DCV_BANK15_OFFSET	R/W	0000_0000H

注意　バンク／オフセット・パラメータを動的に切り替えることは推奨しません。

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved				BANKx_OFFSET			

7	6	5	4	3	2	1	0
BANKx_OFFSET							

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:12	0H	予約。読み出すと 0 を返します。
BANKx_OFFSET	R/W	11:0	注	BANKx のオフセット設定

備考　x = 0-15

注　リセット値は 表 H－1を参照してください。

(2) BANK 設定レジスタ

アドレス変換の詳細は，H.1.3　アドレス・コンバート処理を参照してください。

○ DCV_BANKx_SET

DSP-BANKx に対応させるバンクを設定します。

表 H－2　BANKx_SET レジスター覧

アドレス	レジスタ名称	略　　号	R/W	リセット時
C00D_0040H	DSP-Bank0 対応設定	DCV_BANK0_SET	R/W	0000_0003H
C00D_0044H	DSP-Bank1 対応設定	DCV_BANK1_SET	R/W	0000_0000H
C00D_0048H	DSP-Bank2 対応設定	DCV_BANK2_SET	R/W	0000_0000H
C00D_004CH	DSP-Bank3 対応設定	DCV_BANK3_SET	R/W	0000_0000H
C00D_0050H	DSP-Bank4 対応設定	DCV_BANK4_SET	R/W	0000_0003H
C00D_0054H	DSP-Bank5 対応設定	DCV_BANK5_SET	R/W	0000_0000H
C00D_0058H	DSP-Bank6 対応設定	DCV_BANK6_SET	R/W	0000_0000H
C00D_005CH	DSP-Bank7 対応設定	DCV_BANK7_SET	R/W	0000_0000H
C00D_0060H	DSP-Bank8 対応設定	DCV_BANK8_SET	R/W	0000_0003H
C00D_0064H	DSP-Bank9 対応設定	DCV_BANK9_SET	R/W	0000_0000H
C00D_0068H	DSP-Bank10 対応設定	DCV_BANK10_SET	R/W	0000_0000H
C00D_006CH	DSP-Bank11 対応設定	DCV_BANK11_SET	R/W	0000_0000H
C00D_0070H	DSP-Bank12 対応設定	DCV_BANK12_SET	R/W	0000_0004H
C00D_0074H	DSP-Bank13 対応設定	DCV_BANK13_SET	R/W	0000_000CH
C00D_0078H	DSP-Bank14 対応設定	DCV_BANK14_SET	R/W	0000_000AH
C00D_007CH	DSP-Bank15 対応設定	DCV_BANK15_SET	R/W	0000_0000H

注意　バンク／オフセット・パラメータを動的に切り替えることは推奨しません。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved				BANKx_SET			

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:4	0H	予約。読み出すと 0 を返します。
BANKx_SET	R/W	3:0	注	DSP-Bankx に対応する Bank の設定

備考　x = 0-15

注　リセット値は 表 H－2を参照してください。

(3) 割り込みステータス・レジスタ

DCV_INTSTATUS：C00D_0080H

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							DCV_INTSTATUS

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:1	－	予約。読み出すと 0 を返します。
DCV_INTSTSTUS	R	0	0	割り込みステータス 本レジスタはイネーブル・セット（マスク解除）となっている割り込み要因の状態を示します。イネーブル・クリア（マスク）となっているビットは 0 が読み出せます。

(4) 割り込み RAW ステータス・レジスタ

DCV_INTRAWSTATUS：C00D_0084H

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							DCV_INTRAWSTATUS

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:1	－	予約。読み出すと 0 を返します。
DCV_INTRAWSTSTUS	R	0	0	割り込み RAW ステータス・レジスタ 本レジスタは割り込み要因の状態をイネーブル・セット，クリアに関わらず示します。

(5) 割り込みイネーブル・セット・レジスタ

DCV_INTENSET：C00D_0088H

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							DCV_INTEN SET

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:1	ー	予約。読み出すと 0 を返します。
DCV_INTENSET	R/W	0	0	割り込みイネーブル・セット 本レジスタに 1 を書き込むと対応したビットの割り込みをイネーブル・セット（マスク解除）します。

(6) 割り込みイネーブル・クリア・レジスタ

DCV_INTENCLR：C00D_008CH

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							DCV_INTEN CLR

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:1	ー	予約。読み出すと 0 を返します。
DCV_INTENCLR	W	0	0	割り込みイネーブル・クリア 本レジスタに 1 を書き込むと対応したビットの割り込みをイネーブル・クリア（マスク）します。

(7) 割り込み要因クリア・レジスタ

DCV_INTFFCLR：C00D_0090H

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							DCV_INTFF CLR

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:1	ー	予約。読み出すと 0 を返します。
DCV_INTFFCLR	W	0	0	割り込み要因クリア 本レジスタに 1 を書き込むと対応したビットの割り込み要因をクリアします。

割り込み要因のセットと割り込み要因のクリアが競合した場合，要因セットが優先となります。

(8) 割り込み情報レジスタ

DCV_INTINFO：C00D_0094H

31	30	29	28	27	26	25	24
CLEAR	Reserved						

23	22	21	20	19	18	17	16
Reserved		ERR_DBRESP		ERR_DBID			

15	14	13	12	11	10	9	8
Reserved		ERR_DRRESP		ERR_DRID			

7	6	5	4	3	2	1	0
Reserved		ERR_IRRESP		ERR_IRID			

名　　称	R/W	ビット	リセット時	機　　能
CLEAR	W	31	0	1 を書き込むと本レジスタのエラー情報がクリアされます。 0 が読めます。
Reserved	R	30:22	－	予約。読み出すと 0 を返します。
ERR_DBRESP	R	21:20	0	Data Write data back チャネルのエラー発生時 RESP 情報
ERR_DBID	R	19:16	0	Data Write data back チャネルのエラー発生時 ID 情報
Reserved	R	15:14	－	予約。読み出すと 0 を返します。
ERR_DRRESP	R	13:12	0	Data Read data チャネルのエラー発生時 RESP 情報
ERR_DRID	R	11:8	0	Data Read data チャネルのエラー発生時 ID 情報
Reserved	R	7:6	－	予約。読み出すと 0 を返します。
ERR_IRRESP	R	5:4	0	Instruction Read data チャネルのエラー発生時 RESP 情報
ERR_IRID	R	3:0	0	Instruction Read data チャネルのエラー発生時 ID 情報

IR（Instruction Read）チャネル，DR（Data Read）チャネル，DB（データ応答）チャネルからの RESP 信号が OKAY，以外（EXOKAY，SLVERR，DECERR）であった場合，本レジスタに RESP および，ID 情報を保持します。最初に発生したエラー情報のみを保持します。ただし，IR，DR，DB チャネルからの RESP 信号が同時にエラーを返した場合は複数エラー情報を保持します。

本レジスタは CLEAR ビットに 1 を書き込むことでクリアされます。

H.1.3 アドレス・コンバート処理

DSPからのアクセスに対して，メモリ・マップに対応させるために 図 H－1のようにアドレス変換を行います。

① 上位 4 ビット（BANK）：上位 4 ビットは DSP からのアドレスに対して，DCV_BANKxx_SET レジスタでの設定に応じて対応するバンク・アドレスに変換されます。

② 中位 12 ビット（27:16 ビット）
中位 12 ビットは DSP からのアドレスに対して，上位 4 ビット（DSP-Bank アドレス）に対応したオフセット値（各 DCV_BANKxx_OFFSET レジスタの設定値）が加算されます。

③ 下位 16 ビット：下位 16 ビットはそのままシステム・バスへ出力されます。

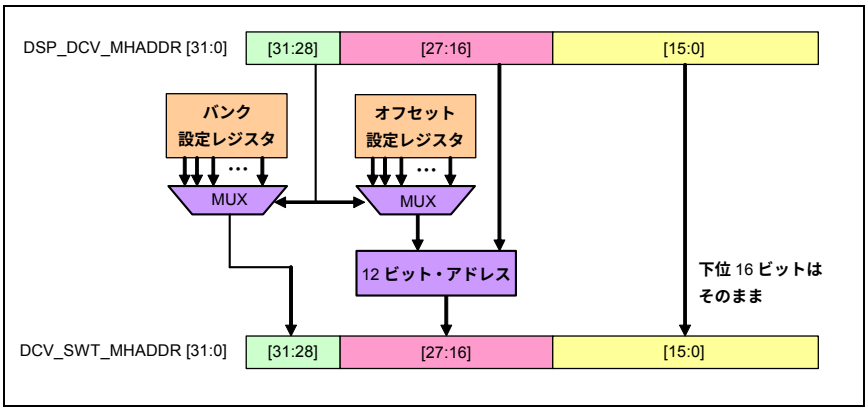
例）DSP_DCV_MHADDR [31:0]が 0000_0000H であった場合（デフォルト設定時）

① 上位 4 ビット：0H（DSP-Bank0）なので DCV_BANK0_SET で設定されたバンク・アドレスに変換されます。デフォルト値では 3H（BANK3）となります。

② 中位 12 ビット
上位 4 ビットが 0H（DSP-Bank0）であるので DCV_BANK0_OFFSET レジスタで設定されたオフセット値（デフォルト値は 200H）が加算されます。
この場合中位 12 ビットが 000H であるので 000H＋200H = 200H となります。

③ 下位 16 ビットはそのままなので DCV_SWT_MHADDR [31:0]は 3200_0000H となります。

図 H－1　アドレス変換イメージ



注意 1.　バンク／オフセット・パラメータを動的に切り替えることは推奨しません。
パラメータを動的に切り替えると DSP デバッグ時に支障が出ます。

2.　DSP_DCV_MHADDR [27:16]＋OFFSET_ADDR が FFFH を超えた場合
オーバ・フロー時の桁上がりは無視され，対応バンク内を先頭から巡回するイメージになります。

図 H－2　アドレス変換オーバ・フロー動作

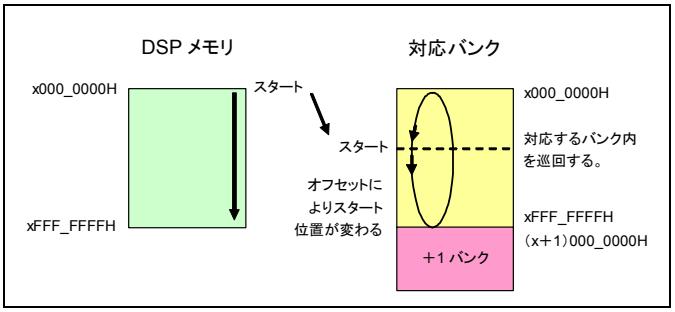


表 H－3　アドレス変換表

DSP メモリ・バンク	メモリ・バンク		オフセット値		メモリ・マップ
	デフォルト値	設定レジスタ	デフォルト値	設定レジスタ	デフォルト設定
DSP-Bank0	BANK3	DCV_BANK0_SET	200H	DCV_BANK0_OFFSET	3200_0000H
DSP-Bank1	BANK0	DCV_BANK1_SET	0H	DCV_BANK1_OFFSET	0000_0000H
DSP-Bank2	BANK0	DCV_BANK2_SET	0H	DCV_BANK2_OFFSET	0000_0000H
DSP-Bank3	BANK0	DCV_BANK3_SET	0H	DCV_BANK3_OFFSET	0000_0000H
DSP-Bank4	BANK3	DCV_BANK4_SET	100H	DCV_BANK4_OFFSET	3100_0000H
DSP-Bank5	BANK0	DCV_BANK5_SET	0H	DCV_BANK5_OFFSET	0000_0000H
DSP-Bank6	BANK0	DCV_BANK6_SET	0H	DCV_BANK6_OFFSET	0000_0000H
DSP-Bank7	BANK0	DCV_BANK7_SET	0H	DCV_BANK7_OFFSET	0000_0000H
DSP-Bank8	BANK3	DCV_BANK8_SET	240H	DCV_BANK8_OFFSET	3240_0000H
DSP-Bank9	BANK0	DCV_BANK9_SET	0H	DCV_BANK9_OFFSET	0000_0000H
DSP-Bank10	BANK0	DCV_BANK10_SET	0H	DCV_BANK10_OFFSET	0000_0000H
DSP-Bank11	BANK0	DCV_BANK11_SET	0H	DCV_BANK11_OFFSET	0000_0000H
DSP-Bank12	BANK4	DCV_BANK12_SET	0H	DCV_BANK12_OFFSET	4000_0000H
DSP-Bank13	BANK12	DCV_BANK13_SET	0H	DCV_BANK13_OFFSET	C000_0000H
DSP-Bank14	BANK10	DCV_BANK14_SET	0H	DCV_BANK14_OFFSET	A000_0000H
DSP-Bank15	BANK0	DCV_BANK15_SET	0H	DCV_BANK15_OFFSET	0000_0000H

注意　それぞれの値は設定変更してから使用してください。

H.1.4　リセット

DCV は同期リセットです。DCV を初期化するためにはリセットを DCV_HCLK，DCV_PCLK の 5 サイクル期間以上入力してください。

付録 I　PMU

I.1　PMU（電源ON/OFF制御シーケンス）

I.1.1　概　　要

PMU は ACPU に代わって EM1-S のロジック部の電源 ON/OFF 制御，クロック切り替えを行うためのモジュールです。ただし，ADSP の電源制御は ACPU が行い，PMU では行いません。また，一部の制御は ASMU により行います。PMU の電源制御方法は，周辺装置および節電モードのさまざまな状況にフレキシブルに対応できるようにコマンド形式で実行します。

I.1.2　機能概要

- LCD ダイレクト・モードの切り替えは Normal モード時に ACPU にて行うことができます。
- ACPU の電源 OFF 中に APB マスタとして動作し，電源制御を行います。
- APB マスタとして各種レジスタへのリード・ライトを行います。
- PMU マスタ動作中，PMU はコマンド・フェッチ時に割り込みの有無を検出します。割り込みを検出すると自動的に Power ON シーケンスに移行します。
- PMU 内で低電力化のためクロック制御を行います。
- WDT（32.768 kHz, 18 ビット）を内蔵し，タイムアウトした場合，外部電源 IC にシステム・リセット要求信号を出力します。

I.1.3　WDT制御とリセット要求

PMU はエラー状態でのデッドロックを防止するために WDT によるエラー判定を行い，エラー発生時（WDT カウントが指定したリミット値になった場合）に EM1-S 全体に対するリセット要求を ASMU に対して行います。

WDT 制御を行うには WDT_COUNT_EN レジスタを有効に設定しておく必要があります。無効の場合には WDT は動作しません。

また，WDT 制御は PMU が起動した場合にしか動作しません。PMU 起動時／終了時には WDT カウントをクリアするため，カウントがスタートするのはクリアが完了してからになります。PMU からのリセット要求は PMU_START が無効期間，および WDT カウントクリアが完了するまでの間（クリア要求が出ている間）は出力をマスクします。

I.1.4　割り込み信号によるPower ONシーケンスへの移行

(1) NORMAL 状態での Power ON シーケンスへの移行

PMU が起動している状態ではコマンド・レジスタからコマンド・フェッチする際に，割り込み入力（INT_IRQ0Z_PMU, INT_FIQ0Z_PMU）がアクティブであるか判定します。アクティブであった場合，即座に PMU_POWER_ON_PC レジスタで設定された PC 値にジャンプし，以降 Power ON シーケンス処理を行います。

I.2　レジスタ

PMU 内レジスタへはワード・アクセス（32 ビット・アクセス）のみ可能です。

ベース・アドレス：C010_0000H

アドレス	レジスタ名称	略　　号	R/W	リセット時
0004H	プログラム・カウンタ（コマンド RAM アドレス）レジスタ	PMU_PC	R/W	0000_0000H
0008H	PMU 起動レジスタ	PMU_START	R/W	0000_0000H
0030H	Power ON シーケンス開始 PC レジスタ	PMU_POWER_ON_PC	R/W	0000_0000H
0060H	ウォッチドッグ・タイマ・カウント・イネーブル・レジスタ	PMU_WDT_COUNT_EN	R/W	0000_0000H
0064H	ウォッチドッグ・タイマ・カウント・リミット・レジスタ	PMU_WDT_COUNT_LMT	R/W	0003_FFFFH
0068H	割り込みハンドラ用 PC レジスタ	PMU_INT_HANDLER_PC	R/W	0000_0000H
0070H	プログラム・ステータス・レジスタ	PMU_PSR	R	0000_0000H
0074H	TRIG_WAIT コマンド用ステータス・レジスタ	PMU_TRIG_STATUS	R	0000_0000H
0078H	汎用レジスタ A	PMU_REGA	R	0000_0000H
007CH	汎用レジスタ B	PMU_REGB	R	0000_0000H
0080H	ACPU 用割り込みステータス・レジスタ	PMU_INTSTATUS_A	R	0000_0000H
0084H	ACPU 用割り込み RAW ステータス・レジスタ	PMU_INTRAWSTATUS_A	R	0000_0000H
0088H	ACPU 用割り込みイネーブル・セット・レジスタ	PMU_INTENSET_A	R/W	0000_0000H
008CH	ACPU 用割り込みイネーブル・クリア・レジスタ	PMU_INTENCLR_A	W	0000_0000H
0090H	ACPU 用割り込み要因クリア・レジスタ	PMU_INTFFCLR_A	W	0000_0000H
00A8H	PC エラー・アドレス・レジスタ	PMU_PCERR	R/W	0000_0000H
1000H-1FFCH	コマンド・バッファ RAM レジスタ（1000H～1FFCH まで 1024 ワード）	PMU_CMD_BUF_RAM	R/W	－
2000H-203CH	コマンド・バッファ FF レジスタ（2000H～203CH まで 16 ワード）	PMU_CMD_BUF_FF	R/W	－

I.2.1　レジスタ機能

(1) プログラム・カウンタ（コマンド RAM アドレス）レジスタ

PMU_PC：C010_0004H

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved		PC					

7	6	5	4	3	2	1	0
PC							

名　称	R/W	ビット	リセット時	機　能
Reserved	R	31:14	－	予約。読み出すと 0 を返します。書き込みは無視されます。
PC	R/W	13:0	000H	コマンド・バッファのプログラム・カウンタ（コマンド・レジスタアドレス）を示します。 PMU_START コマンドにより Power OFF シーケンスに入ったときには，本レジスタに設定されたアドレスに格納されたコマンドから実行を開始します。PMU 起動中は，処理中のコマンド・レジスタ・アドレスを保持します（デバッグ・モニタ機能で確認可能です）。

注意　PMU_START により PMU を起動する前に本レジスタを設定してください。

(2) PMU 起動レジスタ

PMU_START：C010_0008H

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							PMU_START

名　称	R/W	ビット	リセット時	機　能
Reserved	R	31:1	ー	予約。読み出すと 0 を返します。書き込みは無視されます。
PMU_START	R/W	0	0	0： PMU 停止中 1： PMU 起動（起動中） 本ビットに 1 をライトすると PMU が起動します。 WDT_COUNT_EN が有効な場合，WDT のカウントを 0 から開始します。 PMU が起動したら最初に PMUCLK_REQ を発行します（ライト期間のクロック動作中から要求を開始します）。 次に，STANDBYWFI がアサートされたのを確認します。 この期間に入力された割り込みは ACPU が処理します。この割り込みの ACPU 処理時に PMU は WFI 待ち状態となっていますので，割り込み処理シーケンスの中で ACPU は本レジスタをリードして 1 をリードした場合には 0 をライトして PMU を停止させてください。 WFI を検出してから PMU_END コマンドで起動が終了する，もしくは ARMINT_MASK コマンドで割り込みのマスクを解除するまでの期間は ACPU への割り込み信号 INT_IRQ0Z, INT_FIQ0Z を PMU でマスクして ACPU へ出力します。 ACPU は PMU_PC レジスタを参照してコマンド・レジスタからコマンド・フェッチし，その値に従って動作を行います。 動作を終了する条件は次の 2 つだけです。 1：PMU_END コマンドによって起動を終了する場合 2：WDT がカウントアップしてリセット要求を出力した場合（リセットにより強制停止）

(3) POWER ON シーケンス開始 PC レジスタ

PMU_POWER_ON_PC：C010_0030H

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved		POWER_ON_PC					

7	6	5	4	3	2	1	0
POWER_ON_PC							

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:14	－	予約。読み出すと 0 を返します。書き込みは無視されます。
POWER_ON_PC	R/W	13:0	000H	POWER ON シーケンスを開始するときの先頭コマンド格納コマンド・レジスタ・アドレスです。割り込み入力によって自動的に POWER ON シーケンスに移動する場合に参照されます。

注意　PMU_START により PMU を起動する前に本レジスタを必ず設定してください。

(4) ウォッチドッグ・タイマ・カウント・イネーブル・レジスタ

PMU_WDT_COUNT_EN：C010_0060H

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved							

7	6	5	4	3	2	1	0
Reserved							WDT_COUNT_EN

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:1	－	予約。読み出すと 0 を返します。書き込みは無視されます。
WDT_COUNT_EN	R/W	0	0	PMU 起動中の WDT タイマ有効設定。 0：使用しない（デフォルト） 1：使用する 本ビットを 1 に設定した状態で PMU が起動された場合には WDT によるリセット要求が有効になります。本ビットを 0 に設定した場合には WDT は動作しません。

注意　WDT_COUNT_EN は PMU_START を起動する前に設定してください。

(5) ウォッチドッグ・タイマ・カウント・リミット・レジスタ

PMU_WDT_COUNT_LMT：C010_0064H

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved						WDT_COUNT_LMT	

15	14	13	12	11	10	9	8
WDT_COUNT_LMT							

7	6	5	4	3	2	1	0
WDT_COUNT_LMT							

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:18	－	予約。読み出すと 0 を返します。書き込みは無視されます。
WDT_COUNT_LMT	R/W	17:0	3_FFFFH	PMU 起動中の WDT タイマ・カウント・リミット値を指定します。 WDT_COUNT_EN が 1 の場合，PMU_START レジスタへの 1 ライトによって 32.768 kHz で動作する WDT タイマが 0 からカウント動作を開始します。WDT タイマが本レジスタに指定した値と等しいカウントになると，PMU は EM1-S 全体に対するリセットを要求する信号をアサートします（この要求信号はリセットによって解除されます）。

注意　WDT_COUNT_LMT は PMU_START を起動する前に設定してください。

WDT_COUNT_LMT は 0 設定と，PMU 起動中の変更は禁止です。

(6) 割り込みハンドラ用 PC レジスタ

PMU_INT_HANDLER_PC：C010_0068H

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved		PMU_INT_HANDLER_PC					

7	6	5	4	3	2	1	0
PMU_INT_HANDLER_PC							

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:14	－	予約。読み出すと 0 を返します。書き込みは無視されます。
PMU_INT_HANDLER_PC	R/W	13:0	000H	PMU が割り込みを発生した場合，PC は本レジスタで設定されたアドレスにジャンプします。PMU が発生する割り込みは PMU のコマンド PC が CMD_BUF_RAM および CMD_BUF_FF の範囲外である場合，セキュリティ・エラーが発生した場合となります。

注意　PMU_START により PMU を起動する前に本レジスタを必ず設定してください。

(7) プログラム・ステータス・レジスタ

本レジスタ（PMU_PSR：C010_0070H）は，PMU 内演算コマンド実行時にその結果が格納されます。

対象となるコマンドは CMP1, CMP2 コマンドです。比較結果が一致した場合 1 を，不一致の場合 0 を格納します。本レジスタの結果は BRANCH 命令実行時に参照されます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							ZERO_FLAG

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:1	ー	予約。読み出すと 0 を返します。書き込みは無視されます。
ZERO_FLAG	R	0	0	CMP1, CMP2 実行時，その結果が格納されます。

(8) TRIG_WAIT コマンド用ステータス・レジスタ

本レジスタ（PMU_TRIG_STATUS：C010_0074H）は，TRIG_WAIT コマンドのデコード・サイクルでクリアされます。そのあと，TRIG_WAIT 実行期間中に発生したトリガ情報を保持します（1 エントリに限りません）。ただし，各 TRIG_WAIT コマンドで対象となるトリガ情報はコマンド内ビット・フィールドの[24:19]で指示します。

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved							

7	6	5	4	3	2	1	0
Reserved		INT	Reserved				TIMER

名　称	R/W	ビット	リセット時	機　能
Reserved	R	31:6	－	予約。読み出すと 0 を返します。書き込みは無視されます。
INT	R	5	0	TRIG_WAIT コマンド実行時，コマンドの TRIG フィールドで INT 設定がされていると，INT 発生を検出することにより，このレジスタが 1 にセットされます。
Reserved	R	4:1	－	予約。読み出すと 0 を返します。書き込みは無視されます。
TIMER	R	0	0	TRIG_WAIT コマンド実行時，コマンドの TRIG フィールドで TIMER 設定がされていると，PMU の内蔵 TIMER が TIMEUP するとレジスタが 1 にセットされます。

(9) 汎用レジスタ A

PMU_REGA：C010_0078H

31	30	29	28	27	26	25	24
REGA							

23	22	21	20	19	18	17	16
REGA							

15	14	13	12	11	10	9	8
REGA							

7	6	5	4	3	2	1	0
REGA							

名　称	R/W	ビット	リセット時	機　能
REGA	R	32:0	0000_0000H	PMU 内で演算に利用する汎用レジスタです。

(10) 汎用レジスタ B

PMU_REGB：C010_007CH

31	30	29	28	27	26	25	24
REGB							
23	22	21	20	19	18	17	16
REGB							
15	14	13	12	11	10	9	8
REGB							
7	6	5	4	3	2	1	0
REGB							

名　　称	R/W	ビット	リセット時	機　　能
REGB	R	32:0	0000_0000H	PMU 内で演算に利用する汎用レジスタです。

(11) ACPU 用割り込みステータス・レジスタ

本レジスタ（PMU_INTSTATUS_A：C010_0080H）は，イネーブル・セット（マスク解除）になっている割り込み要因の状態を示します。イネーブル・クリア（マスク）となっているビットは 0 が読み出せます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						PMU_PCERR	PMU_SERR_A

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:2	－	予約。読み出すと 0 を返します。書き込みは無視されます。
PMU_PCERR	R	1	0	コマンドの PC エラー 0：割り込みなし 1：割り込みあり
PMU_SERR_A	R	0	0	ACPU 用セキュリティ保護エラー割り込みステータス 0：割り込みなし 1：割り込みあり

（12）ACPU 用割り込み RAW ステータス・レジスタ

本レジスタ（PMU_INTRAWSTATUS_A：C010_0084H）は，割り込み要因の状態をイネーブル・セット／クリアに関わらず示します。

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved							

7	6	5	4	3	2	1	0
Reserved						PMU_PCERR	PMU_RAW SERR_A

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:2	－	予約。読み出すと 0 を返します。書き込みは無視されます。
PMU_PCERR	R	1	0	PMU コマンドの PC エラー 0：割り込みなし 1：割り込みあり
PMU_RAWSERR_A	R	0	0	ACPU 用セキュリティ保護エラー割り込み RAW ステータス 0：割り込みなし 1：割り込みあり

(13) ACPU 用割り込みイネーブル・セット・レジスタ

本レジスタ（PMU_INTENSET_A：C010_0088H）に 1 を書き込むと，対応したビットの割り込みをイネーブル・セット（マスク解除）します。

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved							

7	6	5	4	3	2	1	0
Reserved						PMU_PCERR	PMU_SERREN_A

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:2	－	予約。読み出すと 0 を返します。書き込みは無視されます。
PMU_PCERR	R	1	0	コマンドの PC エラー割り込み要求発行許可の状態を示します。 0：許可しない 1：許可する
	W			コマンドの PC エラー割り込み要求発行許可の設定をします。 1：割り込みマスク解除
PMU_SERREN_A	R	0	0	ACPU 用セキュリティ保護エラー要求発行許可の状態を示します。 0：許可しない 1：許可する
	W			ACPU 用セキュリティ保護エラー割り込み要求発行許可の設定をします。 1：割り込みマスク解除

(14) ACPU 用割り込みイネーブル・クリア・レジスタ

本レジスタ（PMU_INTENCLR_A：C010_008CH）に 1 を書き込むと，対応したビットの割り込みとイネーブル・クリア（マスク）します。

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved							

7	6	5	4	3	2	1	0
Reserved						PMU_PCERR	PMU_SERRMSK_A

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:2	ー	予約。読み出すと 0 を返します。書き込みは無視されます。
PMU_PCERR	W	1	0	コマンドの PC エラー割り込み要求発行禁止の設定をします。 1：割り込みマスク
PMU_SERRMSK_A	W	0	0	ACPU 用セキュリティ保護エラー割り込み要求発行禁止の設定をします。 1：割り込みマスク

(15) ACPU 用割り込み要因クリア・レジスタ

本レジスタ（PMU_INTFFCLR_A：C010_0090H）に 1 を書き込むと，対応したビットの割り込み要因をクリアします。

31	30	29	28	27	26	25	24
Reserved							

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved							

7	6	5	4	3	2	1	0
Reserved						PMU_PCERR	PMU_SERR CLR_A

名　　称	R/W	ビット	リセット時	機　　能
Reserved	R	31:2	ー	予約。読み出すと 0 を返します。書き込みは無視されます。
PMU_PCERR	W	1	0	コマンドの PC エラー割り込み要因のクリアの要求を行います。（ACPU） 1：割り込み要因クリア
PMU_SERRCLR_A	W	0	0	ACPU 用セキュリティ保護エラー割り込み要因のクリアの要求を行います。 1：割り込み要因クリア

(16) PC エラー・アドレス・レジスタ

PMU_PCERR：C010_00A8H

31	30	29	28	27	26	25	24
Clear	Reserved						

23	22	21	20	19	18	17	16
Reserved							

15	14	13	12	11	10	9	8
Reserved		ERRPC					

7	6	5	4	3	2	1	0
ERRPC							

名　　称	R/W	ビット	リセット時	機　　能
Clear	W	31	0	1 をライトすると ERRPC の値をクリアします。
Reserved	R	30:14	0	予約。読み出すと 0 を返します。書き込みは無視されます。
ERRPC	R	13:0	0	PC エラーを発生したコマンドのアドレスを格納します。

注意　PC エラーが発生すると，そのコマンドのアドレスを PCERR に格納し，クリアされるまでその値を保持します。

(17) コマンド・バッファ RAM レジスタ

PMU_CMD_BUF_RAM：C010_1000H～C010_1FFCH

31	30	29	28	27	26	25	24
CMD_BUF_RAM							
23	22	21	20	19	18	17	16
CMD_BUF_RAM							
15	14	13	12	11	10	9	8
CMD_BUF_RAM							
7	6	5	4	3	2	1	0
CMD_BUF_RAM							

名　称	R/W	ビット	リセット時	機　能
CMD_BUF_RAM	R/W	31:0	－	PMU 起動中に処理するためのコマンドを格納します。コマンドは 1024 ワードで構成されます。本レジスタ領域に対してのバイト・イネーブルは無視されます。必ずワード・アクセスしてください。

注意　SP0_WRITE コマンドの次には SP0_INT クリア用の REG_WRITE を格納してください。また，INT_IRQ0Z, INT_FIQ0Z の入力によって POWER_ON シーケンスに移行した場合 REG_WRITE が実行されませんので，POWER_ON_PC の最初のコマンドは SP0_INT クリア命令を格納してください。
CMD_BUF_RAM と CMD_BUF_FF に同じコマンドを設定することはできません。

(18) コマンド・バッファ FF レジスタ

PMU_CMD_BUF_FF：C010_2000〜C010_203CH

31	30	29	28	27	26	25	24
CMD_BUF_FF							
23	22	21	20	19	18	17	16
CMD_BUF_FF							
15	14	13	12	11	10	9	8
CMD_BUF_FF							
7	6	5	4	3	2	1	0
CMD_BUF_FF							

名　称	R/W	ビット	リセット時	機　能
CMD_BUF_FF	R/W	31:0	—	PMU 起動中に処理するためのコマンドを格納します。コマンドは 16 ワードで構成されます。本レジスタ領域に対してのバイト・イネーブルは無視されます。必ずワード・アクセスしてください。

注意　SP0_WRITE コマンドの次には SP0_INT クリア用の REG_WRITE を格納してください。また，INT_IRQ0Z, INT_FIQ0Z の入力によって POWER_ON シーケンスに移行した場合 REG_WRITE が実行されませんので，POWER_ON_PC の最初のコマンドは SP0_INT クリア命令を格納してください。

CMD_BUF_FF は電圧に関係なくリードおよびライト・アクセス可能です。CMD_BUF_RAM と CMD_BUF_FF をまたがって 1 つのコマンドを設定することはできません。

I.3　機能詳細

I.3.1　PMUコマンド

REG_WRITE, REG_READ, RMW コマンドでは APB スレーブの各レジスタにアクセスが可能です。各マクロの選択はコマンド内の MacroSelect ビットで行います。MacroSelect ビットではマクロの選択を次の表のコードに従って行います。

表 I−1　APB スレーブ・マクロ選択ビット一覧

スレーブ名	MacroSelect	Address
ATIM	00H	C000_0000H〜C000_FFFCH
AINT	01H	C002_0000H〜C002_FFFCH
LCD	02H	C004_0000H〜C004_FFFCH
GPIO	03H	C005_0000H〜C005_FFFCH
SI1	04H	C008_0000H〜C008_FFFCH
MEMC	05H	C00A_0000H〜C00A_FFFCH
PWM	06H	C00B_0000H〜C00B_FFFCH
Reserved	07H	C00C_0000H〜C00C_FFFCH
Reserved	08H	C00D_0000H〜C00D_FFFCH
PMU	09H	C010_0000H〜C010_FFFCH
ASMU	0AH	C011_0000H〜C011_FFFCH
SPI0	0BH	C012_0000H〜C012_FFFCH
SPI1	0CH	C013_0000H〜C013_FFFCH
CHG	0DH	C014_0000H〜C014_FFFCH
SI0	0EH	C00E_0000H〜C00E_FFFCH
AXL0	0FH	C00F_0000H〜C00F_FFFCH
Reserved	10H	C803_0000H〜C803_FFFCH
ASMU_S2	11H	CC00_0000H〜CC00_FFFCH
AINT_S2	12H	CC01_0000H〜CC01_FFFCH
MEMC_S2	13H	CC02_0000H〜CC02_FFFCH
Reserved	14H	CC03_0000H〜CC03_FFFCH

コマンド 1 ワード目の 31 ビット目はブレイク処理対応ビットです。このビットに 1 を設定すると，コマンド処理実行後 GIO からの割り込み（GIO_INT）が入力されるまでウエイトします。ブレイク処理しない場合は，コマンド 1 ワード目の 31 ビット目は 0 を設定してください。

コマンド内容で，該当する設定がないビット・フィールドは 0 を設定してください。

注意　コマンド・バッファ領域は 1000H〜203CH です。範囲外への PC が指定された場合の動作は保証しません。

I.4　PMUコマンド一覧

PMU 起動時に実行されるコマンドについて説明します。

(1) レジスタ・アクセス・コマンド

コマンド名	bit幅32 (31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0)	機　能
REG_WRITE	BK: 00h; MacroSelect; Address [15:0] Data [31:0]	レジスタライト (2wordコマンド) MacroSelectビットの指定は表I-1に従います。 RMWで対応して下さい。
SPO_WRITE	BK: 01h; Address [15:0] Data [31:0]	SPOレジスタライト(2wordコマンド) ライトアクセス完了後、SPO_INT発生までWait。 本コマンド実行後はSPO_INTをクリアするために REG_WRITEコマンドを実行してください。
REG_READ	BK: 02h; A/B; MacroSelect; Address [15:0]	レジスタリード (1wordコマンド) レジスタリードの値をA/Bビットフィールドに従いREGA またはREGBに格納します。 A/B: 0:REGA　1:REGB
RMW	BK: 03h; MacroSelect; Address [15:0] Data [31:0] Data_EN [31:0]	レジスタリードモディファイライト(3wordコマンド) 許可した(Data_EN=1) bitに対してのみライトします。 MacroSelectビットの指定は表J-1に従います。
MOVE	BK: 04h; A/B Data [31:0]	汎用レジスタセットコマンド (2wordコマンド) Data [31:0] をA/Bビットフィールドに従いレジスタに 格納します。 A/B:　0:REGA　1:REGB
REG_WRITE2	BK: 09h; A/B; MacroSelect; Address [15:0]	レジスタライト2(1wordコマンド) MacroSelectビットの指定は表J-1に従います。 設定したアドレスにA/Bビットフィールドで指定したレ ジスタのデータをライトします。 A/B:　0:REGA　1:REGB

(2) 論理演算コマンド

コマンド名	bit幅32 (31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0)	機　能
AND	BK: 05h; A/B Data [31:0]	論理積コマンド (2wordコマンド) REG (A/B) =REG(A/B) AND Data A/Bビットフィールドで指定したレジスタのデータと Data [31:0] とのANDを取り、その値を指定したレジ スタへ格納します。 A/B:　0:REGA　1:REGB
EXOR	BK: 06h; A/B Data [31:0]	EXORコマンド (2wordコマンド) REG (A/B) =REG(A/B) EXOR Data A/Bビットフィールドで指定したレジスタのデータと Data [31:0] とのEXORを取り、その値を指定したレジ スタへ格納します。 A/B:　0:REGA　1:REGB
CMP1	BK: 07h	比較コマンド (1wordコマンド) REGAとREGBの結果を比較し、PSRのZeroビットに 結果を格納。比較結果が一致したら1を、不一致な ら0を格納します。
CMP2	BK: 08h; A/B Data [31:0]	比較コマンド (2wordコマンド) REG (A/B) とDataの比較結果をPSRのZeroビットに 結果を格納。比較結果が一致したら1を、不一致な ら0を格納します。 A/B:　0:REGA　1:REGB

(3) 分岐およびジャンプ・コマンド

コマンド名	bit幅32 (31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0)	機　能
BRANCH	BK: 10h; OP; JUMP値 [13:0]	条件分岐コマンド(1wordコマンド) PSRレジスタのzero flagを参照し、opに従い絶対 JUMP値のPCへ分岐。Zero flagの内容が異なる場合 はPC+4値へJUMPします。 op:　0:beq　1:bne
JUMP	BK: 11h; JUMP値 [13:0]	相対JUMP(1wordコマンド) (CurrentPC+JUMP値) マイナス値のジャンプは2の補数で設定して下さい。
AJUMP	BK: 12h; JUMP値 [13:0]	絶対JUMP(1wordコマンド) 指定されたPCへJUMP。
SUBROUTINE_START	BK: 13h; JUMP値 [13:0]	設定された絶対JUMP値へJUMP(1wordコマンド) サブルーチン内でのJUMP、AJUMP,BRANCHは可能で あるが、サブルーチン内で他のサブルーチンへネストす ることはできない。
RFS	BK: 14h	Return From Sunroutine(1wordコマンド) 直前に実行されたSUBROUTINE_STARTコマンドのPC 値+4の値にジャンプします。 保存可能なアドレスは1つだけ。

(4) ウエイト・コマンド

コマンド名	bit幅32 31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	機　能
TIMERWAIT	BK	20h						INT									カウント値[15:0]																32.768kHz　16bitタイマー(1wordコマンド) タイマカウント終了までWaitします。(最大2秒程度)。クロック周波数切替時のウエイト等に使用して下さい。 カウント開始時、終了時にはWDTクリアを発行します。 このコマンドでは最初に前回のTIMERWAIT終了処理が完了していない場合は完了するまでウエイトします。 WDTカウント値(WDT_COUNT_LMTレジスタ)はTIMERWAITのカウント値以上を指定してください。また、カウント値の0設定は禁止です。 INTビットフィールドを指定することによりTIMERWAIT期間中の割り込み信号の扱いを変えることが可能です。 0:　TIMERWAIT中にINT_IRQ0Z,INT_FIQ0Zが入力された場合にウエイトを終了します。 1:　INT_IRQ0Z,INTFIQ0Zが入力された場合にもウエイトし続けます。
INTWAIT	BK	21h																															AINTからのINT_IRQ0Z、INT_FIQ0Zが発生するまでWaitします。 ウエイト開始前・終了後にはWDTをクリアします。長時間ウェイトする場合、このコマンドの前にWDT_STOPコマンドを格納してください。最初から割り込みがアクティブの場合はWDTクリアを行い、コマンド処理をします。
SMU_READY_WAIT	BK	23h						LEVEL																									ASMUの動作が設定状態になるまでWait。 ウエイト期間中にINT_IRQ0Z/INT_FIQ0Zが入力された場合にもウエイトを継続します。 LEVEL:　0:Lowレベルウエイト　1:Highレベルウエイト
TRIG_WAIT	BK	24h						TRIG					TRIG				カウント値[15:0]																トリガーウエイト。 コマンドデコード後、PMU_TRIG_STATUSレジスタをクリアします。その後、TRIGで設定されたトリガのレベルが検出されるまでwaitします。 コマンド実行時に設定されたトリガが発生していた場合は、即waitは解除されます。 発生したトリガはPMU_TRIG_STATUSレジスタとREGAに格納されます。 TRIGビットフィールドはそれぞれ以下を示します。 [24]:トリガとしてINTを指定。 [19]:TIMER指定 各トリガは複数指定可能です。 本コマンドでのTIMERは32.768kHzのクロックを用い、カウント可能なサイクル数は16bitで指定します。 TIMERをトリガとしてせっているかどうかの有無に関わらず、必ずカウント値は1以上をセットして下さい。(0の設定は禁止です。) 0を設定した場合、その後に実行されるTIMERWAITコマンドでwaitをせずに抜けることがあります。 このコマンドより先に実行されたTIMERWAIT,TRIG_WAITの終了処理が完了していない場合は完了するまでwaitします。 WDTのカウント値は本コマンドのカウント値以上を指定してください。
QR_WAIT	BK	25h						B/R																									QR動作完了ウエイト。 B/Rビットフィールドは以下を意味し、指定されたバックアップまたはリストアの処理完了を待ちます。 0:バックアップ処理完了を待つ。 1:リストア処理完了を待つ。 ウエイト期間中にINT_IRQ0Z/INT_WAITが入力された場合、バックアップ完了待ちではwaitが解除されますが、リストア完了待ちではwaitは解除されません。
CYCLE_WAIT	BK	26h						INT														カウント値[9:0]											指定クロックサイクル数のウエイト。 カウント設定は10bit(最大1023)です。 Cycle数はPMU_CLKでカウントします。 最小は設定カウント数は5cycle(T.B.D)です。これ以下の設定は禁止です。PMU_CLKの設定はASMUで行います。 Normalモード:Main PLLの6分周または8分周。 Ecomonyモード:Maim PLLの16分周。 Sleep/Standbyモード:PLL3の4分周または8分周。 DeepSleep/PowerDownモード:32.768kHz INTビットフィールドを指定することによりWAIT期間中の割り込み信号の扱いをかえることが可能です。 0:　INT_IRQ0Z,INT_FIQ0Zが入力された場合にウエイトを終了します。 1:　INT_IRQ0Z,INT_FIQ0Zが入力された場合にもウエイトし続けます。
LCD_MODE_WAIT	BK	27h																															LCD-SDRAMダイレクトモード遷移ウエイト LCDからのモードステータス信号を監視してダイレクトモードへの切替完了をwaitします。 本コマンド終了後、REG_WRITEコマンドでLCDCモジュールの割込みをクリアして下さい。

(5) 割り込みコマンド

コマンド名	bit幅32 31	30 29 28 27 26 25	24	23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	機　能
INT_MASK	BK	30h	MASK		割り込みマスク。 マスク期間中は割り込みによるコマンドフェッチ時のPowerONシーケンスへの自動制御を抑制します。 本マスクはPowerONシーケンスへの遷移のみを抑制します。 割り込み発生時にはTIMERWAITの状態は解除されます。 MASK:　0:割込みマスク解除　　1:割込みマスク
ARMINT_MASK	BK	31h	MASK		ARMへの割込み信号のマスク、マスク解除を行います。 このコマンド実行時に割り込みが入っていればACPUに割り込みが通知されます。 MASK:　0:割込みマスク解除、　1:割込みマスク

(6) その他コマンド

コマンド名	bit幅32 31	30 29 28 27 26 25	24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	機　能
WDT_CLEAR	BK	32h		WDTカウントクリア
WDT_STOP	BK	33h		WDT動作一時停止
WDT_RESTART	BK	34h		WDTカウント再開
PMU_END	BK	35h		PMU動作終了コマンド WDTクリアしてタイマー停止します。 その後、PMU_STARTレジスタをクリアし、ASMUへのPMU_CLKREQをLとします。 PMU_PB1_PREADYをHとし、PMUのマスタ動作を完了します。 QRのリストアを行った場合、このコマンドの直前にSMU内のARMNORMALレジスタへHをライトして下さい。
NOP	BK	Others		No Operation

I.4.1　BREAK機能

PMU コマンドは，1 ワード目の最上位ビットに 1 をセットすることで BREAK 機能を実行できます。BREAK 機能がセットされたコマンドが実行されると，次のコマンド・フェッチ・サイクルで BREAK が解除されるまでウエイトします。

BREAK の解除は GPIO からの入力により可能です。BREAK 解除機能を割り当てられる GPIO は次のとおりです。

割り当て可能な GPIO 端子
GPIO1
GPIO6
GPIO9
GPIO18

GPIO への割り当ては CHG 内のレジスタでセットしてください。いずれかの端子が PMU の BREAK 機能として割り当てられると，GPIO からの入力により BREAK 信号がアサートされます。PMU では BREAK 信号のエッジを検出して BREAK 解除を行います。

【改版履歴】

日付	版数	改版内容
2009.3.10	暫定１版	ー
2009.4.27	第２版	P30　2.2(12) IIC インタフェース信号 ・IIC_SCL の入出力，機能　シリアル・クロック入出力→出力 ・IIC2_SCL の入出力，機能　シリアル・クロック入出力→出力
		P83　8.1 兼用端子切り替えレジスタ ・アドレス 0014H-0100H　Reserved　追記 ・アドレス 0114H-01FCH　Reserved　追記 ・アドレス 0220H-027CH　Reserved　追記 ・アドレス 0298H-029CH　Reserved　追記
		P84　8.1 兼用端子切り替えレジスタ ・アドレス 0340H-037CH　Reserved　追記 ・アドレス 0390H-039CH　Reserved　追記
		P153　8.1.1(44) ドライブ能力切り替えレジスタ 2 ビット 11:10　USB_STP の記載削除（ビット 17:16 に割り当てられているため）
		P209　A.1.5 CAM アドレス 0254H　バイト・レーン制御レジスタ→バイト・レーン制御レジスタ 2　レジスタ名称誤記訂正
		P210　A.1.6 PM1　　アドレス 002CH　FIFO カウンタ・レジスタ→Reserved
		P225　A.1.15 UART0 リセット時の値　ハーフワードアクセスのため xxxx_xxxxH→xxxxH へ変更
		P226　A.1.16 UART1 リセット時の値　ハーフワードアクセスのため xxxx_xxxxH→xxxxH へ変更
		P227　A.1.17 UART2 リセット時の値　ハーフワードアクセスのため xxxx_xxxxH→xxxxH へ変更
		P228　A.1.18 I2C2 リセット時の値　ハーフワードアクセスのため xxxx_xxxxH→xxxxH へ変更
		P229　A.1.19 I2C リセット時の値　ハーフワードアクセスのため xxxx_xxxxH→xxxxH へ変更
		P237　A.1.24 USB ・リセット時の値，R/W 属性　追記 ・アドレス 0100H　レジスタ略号変更 ・アドレス 0101H　記載削除 ・アドレス 0102H　ホスト IF バージョン・ナンバ・レジスタ 　アドレス 0100H 内に移動　誤記訂正
		A.1.25 SRC　　記載削除，以降章番号繰上げ
		P240　A.1.26 PM0　　アドレス 002CH　FIFO カウンタ・レジスタ→Reserved
		P243　A.1.28 GIO アドレス 0044H　GPIO[63:32]入力／出力ポート状態モニタ・レジスタ →GPIO[63:32]ポート状態モニタ・レジスタ　レジスタ名称訂正
		P244　A.1.28 GIO アドレス 0084H　GPIO[95:64]入力／出力ポート状態モニタ・レジスタ →GPIO[95:64]ポート状態モニタ・レジスタ　レジスタ名称訂正

日付	版数	改版内容
2009.4.27	第２版	P245　A.1.28 GIO アドレス 0084H　GPIO[127:96]入力／出力ポート状態モニタ・レジスタ →GPIO[127:96]ポート状態モニタ・レジスタ　レジスタ名称訂正
		P247　A.1.29 PDMA ・アドレス 000CH　予約破棄レジスタ→予約取り消しレジスタ　レジスタ名称変更 ・アドレス 0014H-001CH　Reserved　追記 ・アドレス 0058H　リザーブ・レジスタ→テンポラリ・レジスタ　レジスタ名称変更
		P248　A.1.30 DDR SDRAM インタフェース ・アドレス 2000H　メモリ接続設定用レジスタ→メモリ接続用レジスタ　レジスタ名称変更 ・アドレス 2004H　リセット時の値 2A44_3203H→5444_3203H ・アドレス 2008H　リセット時の値 00DA_0040H→00DA_0000H ・アドレス 2024H　DQS タイミング自動設定用レジスタ 2 →DQS タイミング設定用レジスタ 2　レジスタ名称変更 ・アドレス 2028H　DQS タイミング自動設定用レジスタ 3 →DQS タイミング設定用レジスタ 3　レジスタ名称変更
		P249　A.1.31 DCV　アドレス 0080H〜0094H　追記
		P251　A.1.33 ASMU ・アドレス 0024H　リセット・レジスタ値が変化したら挿入するクロック数+1（PCLK 数）を設定するレジスタ→リセット・レジスタ値変化時，挿入クロック数設定レジスタ　レジスタ名称変更 ・アドレス 00B4H　PLL ウェイト時間設定レジスタ →PLL 電源安定時間設定レジスタ　レジスタ名称変更
		P255　A.1.33 ASMU ・アドレス 0848H　リセット時の値　0000_0000H→0000_000CH ・アドレス 084CH　マクロ・クロック・ゲート制御レジスタ 4 クロック ON/OFF 制御 →マクロ・クロック・ゲート制御レジスタ　レジスタ名称変更 ・アドレス 08B8H　Reserved→USB コアセレクトレジスタ
		P256　A.1.34 SP0　アドレス 003CH-FFFFH　記述を Reserved に変更
		P257　A.1.35 SP1　アドレス 003CH-FFFFH　記述を Reserved に変更
		P258　A.1.36 CHGREG ・アドレス 0014H-0100H　Reserved　追記 ・アドレス 0110H　OSC 制御→OSC 制御レジスタ ・アドレス 0114H-01FCH　Reserved　追記 ・アドレス 0298H-029CH　Reserved　追記 ・アドレス 0340H-037CH　Reserved　追記 ・アドレス 0390H-039CH　Reserved　追記
		P259　A.1.36 CHGREG ・アドレス 0340H-037CH　Reserved　追記 ・アドレス 0390H-039CH　Reserved　追記
		P260　付録 B クロック一覧
2009.6.30	第３版	P20　2.1.2 EM1-S の端子リスト　入力バッファタイプ追記
		P27　2.2 端子機能説明(6)カメラ・インタフェース 端子名 CAM_CLKI のタイプ D→C　誤記訂正
		P29　2.2 端子機能説明(10)USB インタフェース 端子名 USB_STP のタイプ F→G　誤記訂正

日付	版数	改版内容
2009.6.30	第３版	P33　2.2 端子機能説明(16)汎用入出力インタフェース 端子名 GIO_P107 のタイプ D→G　誤記訂正 端子名 GIO_P106 のタイプ D→G　誤記訂正 端子名 GIO_P105 のタイプ D→G　誤記訂正 端子名 GIO_P[104:97]のタイプ D→G　誤記訂正 端子名 GIO_P96 のタイプ D→G　誤記訂正
		P37　2.2 端子機能説明(20)テスト端子　　端子名 UTEST のタイプ J→E　誤記訂正
		P269　C.3.4 eMMC ブート ③EM1-S の SD1 I/F 初期化設定→SD2 I/F 初期化設定　誤記訂正
		P306　E.1.1 パラメータ・レジスタ一覧 ・アドレス 0218H　CS0 用ライト・コンフィギュレーション・レジスタ→Reserved ・アドレス 0238H　CS1 用ライト・コンフィギュレーション・レジスタ→Reserved ・アドレス 0258H　CS2 用ライト・コンフィギュレーション・レジスタ→Reserved ・アドレス 0278H　CS3 用ライト・コンフィギュレーション・レジスタ→Reserved
		P307　E.1.2 パラメータ保持レジスタ一覧 ・アドレス 0318H　CS0 用ライト・コンフィギュレーション・レジスタ→Reserved ・アドレス 0338H　CS1 用ライト・コンフィギュレーション・レジスタ→Reserved ・アドレス 0358H　CS2 用ライト・コンフィギュレーション・レジスタ→Reserved ・アドレス 0378H　CS3 用ライト・コンフィギュレーション・レジスタ→Reserved
		P317～　E.2 レジスタ詳細(12)～(17) バースト・リード機能に関する説明削除に伴い，内容一部削除及び変更
		P319　F.1.1 割り込みマスク関連レジスタ　　③　追記
2009.9.30	第４版	P24　2.2 端子機能説明(2)システム・コントロール信号 DET1 の未使用時の端子処理　オープン→－ A_RESETB の未使用時の端子　オープン→－
		P30　2.2 端子機能一覧(11)ITU-R BT.656 インタフェース信号　　表記方法変更
		P37　2.2 端子機能一覧(20)テスト用信号 UTEST　未使用時の端子処理　オープン→”L”固定
		P58　3.10　　記載削除
		P68　4.2 クロック　　説明文一部修正
		P78　5.2 システム状態遷移　　項目追記
		P288～　付録 D　　一部項目誤記訂正 P308　UTEST 端子　POWOFF 状態時の端子状態　PD→Hi-Z　　内部状態　L→－
		P330　付録 E (16)CSn 用制御レジスタ　ビット 1 ADDR_SEL 0：A27-17　→　A26-17 1：A11-1　→　A10-1　　誤記訂正
2009.12.22	第５版	P159　8.1.1(42) ドライブ能力切り替えレジスタ 0　ビット[27:26]　PWM0,PWM1　　追記
		P161　8.1.1(44) ドライブ能力切り替えレジスタ 2　ビット[11:10]　USB_NXT　　追記 ビット[1:0]　誤記訂正
		P269　付録 B クロック一覧　　NTSC 端子信号名の誤記訂正
		P270　付録 C ROM 内ブートローダ　　NAND ブート機能削除
		P284　C.5 メモリ配置　　メモリマップアドレスの誤記訂正
2010.6.30	第６版	SPXK701→DSPK701　　呼称変更
		P314　E.2(12)　表 E-6　推奨値削除
		P315～321　図 E-1～E-8　　一部修正

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社　〒100-0004　千代田区大手町2-6-2（日本ビル）　(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/inquiry

© 2010 Renesas Electronics Corporation. All rights reserved.
Colophon 1.0