

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

R8C/2Kグループ、R8C/2Lグループ

ハードウェアマニュアル

ルネサスマイクロコンピュータ

R8Cファミリ／R8C/2xシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R8C/2Kグループ、R8C/2Lグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス テクノロジホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	R8C/2Kグループ、R8C/2Lグループデータシート	RJJ03B0215
ハードウェアマニュアル	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください。	R8C/2Kグループ、R8C/2Lグループハードウェアマニュアル	本ハードウェアマニュアル
ソフトウェアマニュアル	CPU命令セットの説明	R8C/Tinyシリーズソフトウェアマニュアル	RJJ09B0002
アプリケーションノート	周辺機能の使用手法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス テクノロジホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

- | |
|---|
| <p>(1) レジスタ名、ビット名、端子名
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。
(例) PM0 レジスタのPM03ビット
P3_5 端子、VCC 端子</p> <p>(2) 数の表記
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。
(例) 2進数 : 11b
16進数 : EFA0h
10進数 : 1234</p> |
|---|

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

・・・レジスタ

*1

ビット シンボル	ビット名	機能	RW
・・・0	・・・ビット	b1b0 00:・・・ 01:・・・ 10:設定しないでください 11:・・・	RW *2
・・・1			RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		— *3
— (b4-b3)	予約ビット	“0”にしてください	WO *4
・・・5	・・・ビット	動作モードによって機能が異なる	RW
・・・6			RW
・・・7	・・・ビット	0:・・・ 1:・・・	RO

*1

空白 : 用途に応じて“0”または“1”にしてください。

0 : “0”にしてください。

1 : “1”にしてください。

x : 何も配置されていないビットです。

*2

RW : 読むとビットの状態が読めます。書くと有効データになります。

RO : 読むとビットの状態が読めます。書いた値は無効になります。

WO : 書くと有効データになります。ビットの状態は読めません。

- : 何も配置されていないビットです。

*3

- ・予約ビット
予約ビットです。指定された値にしてください。

*4

- ・何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
- ・設定しないでください
設定した場合の動作は保証されません。
- ・動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	
DMAC	Direct Memory Access Controller	
GSM	Global System for Mobile Communications	
Hi-Z	High Impedance	
IEBus	Inter Equipment bus	NECエレクトロニクス社提唱の通信方式
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816規定のICカード
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

番地別ページ早見表	B - 1
1. 概要	1
1.1 特長	1
1.1.1 用途	1
1.1.2 仕様概要	2
1.2 製品一覧	6
1.3 ブロック図	8
1.4 ピン配置図	9
1.5 端子機能の説明	11
2. 中央演算処理装置 (CPU)	12
2.1 データレジスタ (R0、R1、R2、R3)	13
2.2 アドレスレジスタ (A0、A1)	13
2.3 フレームベースレジスタ (FB)	13
2.4 割り込みテーブルレジスタ (INTB)	13
2.5 プログラムカウンタ (PC)	13
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	13
2.7 スタックベースレジスタ (SB)	13
2.8 フラグレジスタ (FLG)	13
2.8.1 キャリフラグ (C フラグ)	13
2.8.2 デバッグフラグ (D フラグ)	13
2.8.3 ゼロフラグ (Z フラグ)	13
2.8.4 サインフラグ (S フラグ)	13
2.8.5 レジスタバンク指定フラグ (B フラグ)	13
2.8.6 オーバフローフラグ (O フラグ)	14
2.8.7 割り込み許可フラグ (I フラグ)	14
2.8.8 スタックポインタ指定フラグ (U フラグ)	14
2.8.9 プロセッサ割り込み優先レベル (IPL)	14
2.8.10 予約ビット	14
3. メモリ	15
3.1 R8C/2K グループ	15
3.2 R8C/2L グループ	16
4. SFR	17
5. リセット	24
5.1 ハードウェアリセット	27
5.1.1 電源が安定している場合	27
5.1.2 電源投入時	27
5.2 パワーオンリセット機能	29
5.3 電圧監視 0 リセット	30
5.4 電圧監視 1 リセット	30
5.5 電圧監視 2 リセット	30
5.6 ウォッチドッグタイマリセット	31
5.7 ソフトウェアリセット	31

6.	電圧検出回路	32
6.1	VCC 入力電圧のモニタ	39
6.1.1	Vdet0 のモニタ	39
6.1.2	Vdet1 のモニタ	39
6.1.3	Vdet2 のモニタ	39
6.2	電圧監視 0 リセット	40
6.3	電圧監視 1 割り込み、電圧監視 1 リセット	41
6.4	電圧監視 2 割り込み、電圧監視 2 リセット	43
7.	プログラマブル入出力ポート	45
7.1	プログラマブル入出力ポートの機能	45
7.2	周辺機能への影響	46
7.3	プログラマブル入出力ポート以外の端子	46
7.4	ポートの設定	58
7.5	未使用端子の処理	68
8.	プロセッサモード	69
8.1	プロセッサモードの種類	69
9.	バス制御	70
10.	クロック発生回路	71
10.1	XIN クロック	81
10.2	オンチップオシレータクロック	82
10.2.1	低速オンチップオシレータクロック	82
10.2.2	高速オンチップオシレータクロック	82
10.3	CPU クロックと周辺機能クロック	83
10.3.1	システムクロック	83
10.3.2	CPU クロック	83
10.3.3	周辺機能クロック (f1、f2、f4、f8、f32)	83
10.3.4	fOCO	83
10.3.5	fOCO40M	83
10.3.6	fOCO-F	84
10.3.7	fOCO-S	84
10.3.8	fOCO128	84
10.4	パワーコントロール	85
10.4.1	標準動作モード	85
10.4.2	ウェイトモード	87
10.4.3	ストップモード	90
10.5	発振停止検出機能	93
10.5.1	発振停止検出機能の使用方法	93
10.6	クロック発生回路使用上の注意	96
10.6.1	ストップモード	96
10.6.2	ウェイトモード	96
10.6.3	発振停止検出機能	96
10.6.4	発振回路定数	96

11.	プロテクト	97
12.	割り込み	98
12.1	割り込みの概要	98
12.1.1	割り込みの分類	98
12.1.2	ソフトウェア割り込み	99
12.1.3	特殊割り込み	100
12.1.4	周辺機能割り込み	100
12.1.5	割り込みと割り込みベクタ	101
12.1.6	割り込み制御	103
12.2	INT 割り込み	113
12.2.1	INT _i 割り込み (i=0、1、3)	113
12.2.2	INT _i 入力フィルタ (i=0、1、3)	115
12.3	キー入力割り込み	116
12.4	アドレス一致割り込み	118
12.5	タイマ RC 割り込み、タイマ RD 割り込み (複数の割り込み要求要因を持つ割り込み)	120
12.6	割り込み使用上の注意	122
12.6.1	00000h 番地の読み出し	122
12.6.2	SP の設定	122
12.6.3	外部割り込み、キー入力割り込み	122
12.6.4	割り込み要因の変更	123
12.6.5	割り込み制御レジスタの変更	124
13.	ID コード領域	125
13.1	概要	125
13.2	機能	125
13.3	ID コード領域使用上の注意	126
13.3.1	ID コード領域の設定例	126
14.	オプション機能選択領域	127
14.1	概要	127
14.2	OFS レジスタ	128
14.3	オプション機能選択領域使用上の注意	129
14.3.1	オプション機能選択領域の設定例	129
15.	ウォッチドッグタイマ	130
15.1	カウントソース保護モード無効時	133
15.2	カウントソース保護モード有効時	134
16.	タイマ	135
16.1	タイマ RA	137
16.1.1	タイマモード	140
16.1.2	パルス出力モード	142
16.1.3	イベントカウンタモード	144
16.1.4	パルス幅測定モード	146
16.1.5	パルス周期測定モード	149
16.1.6	タイマ RA 使用上の注意	152
16.2	タイマ RB	153
16.2.1	タイマモード	158

16.2.2	プログラマブル波形発生モード	161
16.2.3	プログラマブルワンショット発生モード	164
16.2.4	プログラマブルウェイトワンショット発生モード	168
16.2.5	タイマ RB 使用上の注意	171
16.3	タイマ RC	175
16.3.1	概要	175
16.3.2	タイマ RC 関連レジスタ	177
16.3.3	複数モードに関わる共通事項	186
16.3.4	タイマモード (インプットキャプチャ機能)	192
16.3.5	タイマモード (アウトプットコンペア機能)	197
16.3.6	PWM モード	203
16.3.7	PWM2 モード	208
16.3.8	タイマ RC 割り込み	214
16.3.9	タイマ RC 使用上の注意事項	215
16.4	タイマ RD	217
16.4.1	カウントソース	222
16.4.2	バッファ動作	223
16.4.3	同期動作	225
16.4.4	パルス出力強制遮断	226
16.4.5	インプットキャプチャ機能	228
16.4.6	アウトプットコンペア機能	242
16.4.7	PWM モード	258
16.4.8	リセット同期 PWM モード	270
16.4.9	相補 PWM モード	280
16.4.10	PWM3 モード	293
16.4.11	タイマ RD 割り込み	304
16.4.12	タイマ RD 使用上の注意事項	306
17.	シリアルインタフェース	312
17.1	クロック同期形シリアル I/O モード	318
17.1.1	極性選択機能	322
17.1.2	LSB ファースト、MSB ファースト選択	322
17.1.3	連続受信モード	323
17.2	クロック非同期形シリアル I/O(UART) モード	324
17.2.1	ビットレート	328
17.3	シリアルインタフェース使用上の注意	329
18.	ハードウェア LIN	330
18.1	特長	330
18.2	入出力端子	331
18.3	レジスタ構成	332
18.4	動作説明	334
18.4.1	マスタモード	334
18.4.2	スレーブモード	337
18.4.3	バス衝突検出機能	341
18.4.4	ハードウェア LIN 終了処理	342
18.5	割り込み要求	343
18.6	ハードウェア LIN 使用上の注意	344

19.	A/D コンバータ	345
19.1	単発モード	349
19.2	繰り返しモード	352
19.3	サンプル & ホールド	355
19.4	A/D 変換サイクル数	355
19.5	アナログ入力内部等価回路	356
19.6	A/D 変換時のセンサーの出力インピーダンス	357
19.7	A/D コンバータ使用上の注意	358
20.	フラッシュメモリ	359
20.1	概要	359
20.2	メモリ配置	360
20.3	フラッシュメモリ書き換え禁止機能	361
20.3.1	ID コードチェック機能	361
20.3.2	ROM コードプロテクト機能	362
20.4	CPU 書き換えモード	363
20.4.1	レジスタの説明	364
20.4.2	ステータスチェック方法	370
20.4.3	EW0 モード	371
20.4.4	EW1 モード	381
20.5	標準シリアル入出力モード	389
20.5.1	ID コードチェック機能	389
20.6	パラレル入出力モード	392
20.6.1	ROM コードプロテクト機能	392
20.7	フラッシュメモリ使用上の注意	393
20.7.1	CPU 書き換えモード	393
21.	消費電力の低減	395
21.1	概要	395
21.2	消費電力を小さくするためのポイントと処理方法	395
21.2.1	電圧検出回路	395
21.2.2	ポート	395
21.2.3	クロック	395
21.2.4	ウェイトモード、ストップモード	395
21.2.5	周辺機能クロックの停止	395
21.2.6	タイマ	396
21.2.7	A/D コンバータ	396
21.2.8	内部電源の消費電力低減	397
21.2.9	フラッシュメモリの停止	398
21.2.10	低消費電流リードモード	399
22.	電気的特性	400
23.	使用上の注意事項	421
23.1	クロック発生回路使用上の注意	421
23.1.1	ストップモード	421
23.1.2	ウェイトモード	421
23.1.3	発振停止検出機能	421
23.1.4	発振回路定数	421

23.2	割り込み使用上の注意	422
23.2.1	00000h 番地の読み出し	422
23.2.2	SP の設定	422
23.2.3	外部割り込み、キー入力割り込み	422
23.2.4	割り込み要因の変更	423
23.2.5	割り込み制御レジスタの変更	424
23.3	タイマ	425
23.3.1	タイマ RA 使用上の注意	425
23.3.2	タイマ RB 使用上の注意	426
23.3.3	タイマ RC 使用上の注意事項	430
23.3.4	タイマ RD 使用上の注意事項	432
23.4	シリアルインタフェース使用上の注意	438
23.5	ハードウェア LIN 使用上の注意	439
23.6	A/D コンバータ使用上の注意	440
23.7	フラッシュメモリ使用上の注意	441
23.7.1	CPU 書き換えモード	441
23.8	ノイズに関する注意事項	443
23.8.1	ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入	443
23.8.2	ポート制御レジスタのノイズ誤動作対策	443
24.	オンチップデバッグの注意事項	444
付録 1.	外形寸法図	445
付録 2.	シリアルライタとオンチップデバッグエミュレータとの接続例	446
付録 3.	発振評価回路例	447
索引		448

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	69
0005h	プロセッサモードレジスタ1	PM1	69
0006h	システムクロック制御レジスタ0	CM0	74
0007h	システムクロック制御レジスタ1	CM1	75
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	97
000Bh			
000Ch	発振停止検出レジスタ	OCD	76
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	131
000Eh	ウォッチドッグタイムスタートレジスタ	WDTS	131
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	131
0010h	アドレス一致割り込みレジスタ0	RMAD0	119
0011h			
0012h			
0013h	アドレス一致割り込み許可レジスタ	AIER	119
0014h	アドレス一致割り込みレジスタ1	RMAD1	119
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	132
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	77
0024h	高速オンチップオシレータ制御レジスタ1	FRA1	77
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	78
0026h			
0027h			
0028h			
0029h			
002Ah			
002Bh	高速オンチップオシレータ制御レジスタ6	FRA6	78
002Ch	高速オンチップオシレータ制御レジスタ7	FRA7	78
002Dh			
002Eh			
002Fh			
0030h			
0031h	電圧検出レジスタ1	VCA1	35
0032h	電圧検出レジスタ2	VCA2	35、79
0033h			
0034h			
0035h			
0036h	電圧監視1回路制御レジスタ	VW1C	37
0037h	電圧監視2回路制御レジスタ	VW2C	38
0038h	電圧監視0回路制御レジスタ	VW0C	36
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h	タイマRC割り込み制御レジスタ	TRCIC	104
0048h	タイマRD0割り込み制御レジスタ	TRD0IC	104
0049h	タイマRD1割り込み制御レジスタ	TRD1IC	104
004Ah			
004Bh	UART2送信割り込み制御レジスタ	S2TIC	103
004Ch	UART2受信割り込み制御レジスタ	S2RIC	103
004Dh	キー入力割り込み制御レジスタ	KUPIC	103
004Eh	A/D変換割り込み制御レジスタ	ADIC	103
004Fh			
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	103
0052h	UART0受信割り込み制御レジスタ	S0RIC	103
0053h			
0054h			
0055h			
0056h	タイマRA割り込み制御レジスタ	TRAIC	103
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	103
0059h	INT1割り込み制御レジスタ	INT1IC	105
005Ah	INT3割り込み制御レジスタ	INT3IC	105
005Bh			
005Ch			
005Dh	INT0割り込み制御レジスタ	INT0IC	105
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

番地	レジスタ	シンボル	掲載ページ
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	UOMR	314
00A1h	UART0ビットレートレジスタ	U0BRG	314
00A2h	UART0送信バッファレジスタ	U0TB	315
00A3h			
00A4h	UART0送受信制御レジスタ0	U0C0	315
00A5h	UART0送受信制御レジスタ1	U0C1	316
00A6h	UART0受信バッファレジスタ	U0RB	316
00A7h			
00A8h			
00A9h			
00AAh			
00ABh			
00ACh			
00ADh			
00AEh			
00AFh			
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh			
00BCh			
00BDh			
00BEh			
00BFh			

番地	レジスタ	シンボル	掲載ページ
00C0h	A/Dレジスタ	AD	348
00C1h			
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D制御レジスタ2	ADCON2	348
00D5h			
00D6h	A/D制御レジスタ0	ADCON0	347
00D7h	A/D制御レジスタ1	ADCON1	348
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	55
00E1h	ポートP1レジスタ	P1	55
00E2h	ポートP0方向レジスタ	PD0	54
00E3h	ポートP1方向レジスタ	PD1	54
00E4h	ポートP2レジスタ	P2	55
00E5h	ポートP3レジスタ	P3	55
00E6h	ポートP2方向レジスタ	PD2	54
00E7h	ポートP3方向レジスタ	PD3	54
00E8h	ポートP4レジスタ	P4	55
00E9h			
00EAh	ポートP4方向レジスタ	PD4	54
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h	ポートP2駆動能力制御レジスタ	P2DRR	55
00F5h	端子選択レジスタ1	PINSR1	56
00F6h	端子選択レジスタ2	PINSR2	56
00F7h	端子選択レジスタ3	PINSR3	56
00F8h	ポートモードレジスタ	PMR	56
00F9h	外部入力許可レジスタ	INTEN	113
00FAh	INT入力フィルタ選択レジスタ	INTF	114
00FBh	キー入力許可レジスタ	KIEN	117
00FCh	プルアップ制御レジスタ0	PUR0	57
00FDh	プルアップ制御レジスタ1	PUR1	57
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0100h	タイマRA制御レジスタ	TRACR	138
0101h	タイマRA I/O制御レジスタ	TRAIOC	114、138、140、143、145、147、150
0102h	タイマRAモードレジスタ	TRAMR	139
0103h	タイマRAプリスケアラレジスタ	TRAPRE	139
0104h	タイマRAレジスタ	TRA	139
0105h	LINコントロールレジスタ2	LINCR2	332
0106h	LINコントロールレジスタ	LINCR	332
0107h	LINステータスレジスタ	LINST	333
0108h	タイマRB制御レジスタ	TRBCR	155
0109h	タイマRBワンショット制御レジスタ	TRBOCR	155
010Ah	タイマRB I/O制御レジスタ	TRBIOC	156、158、162、165、169
010Bh	タイマRBモードレジスタ	TRBMR	156
010Ch	タイマRBプリスケアラレジスタ	TRBPRE	157
010Dh	タイマRBセカンダリレジスタ	TRBSC	157
010Eh	タイマRBプライマリレジスタ	TRBPR	157
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h			
0119h			
011Ah			
011Bh			
011Ch			
011Dh			
011Eh			
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	178
0121h	タイマRC制御レジスタ1	TRCCR1	179、201、205、210
0122h	タイマRC割り込み許可レジスタ	TRCIER	180
0123h	タイマRCステータスレジスタ	TRCSR	181
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	185、194、199
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	185、195、200
0126h	タイマRCカウンタ	TRC	182
0127h			
0128h	タイマRCジェネラルレジスタA	TRCGRA	182
0129h			
012Ah	タイマRCジェネラルレジスタB	TRCGRB	182
012Bh			
012Ch	タイマRCジェネラルレジスタC	TRCGRC	182
012Dh			
012Eh	タイマRCジェネラルレジスタD	TRCGRD	182
012Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0130h	タイマRC制御レジスタ2	TRCCR2	183
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	183
0132h	タイマRCアウトプットマスタ許可レジスタ	TRCOER	184
0133h			
0134h			
0135h			
0136h			
0137h	タイマRDスタートレジスタ	TRDSTR	230、244、260、272、282、295
0138h	タイマRDモードレジスタ	TRDMR	230、244、260、272、282、295
0139h	タイマRD PWMモードレジスタ	TRDPMR	231、245、261
013Ah	タイマRD機能制御レジスタ	TRDFCR	232、246、261、273、283、296
013Bh	タイマRDアウトプットマスタ許可レジスタ	TRDOER1	247、262、274、284、297
013Ch	タイマRDアウトプットマスタ許可レジスタ2	TRDOER2	247、262、274、284、297
013Dh	タイマRDアウトプット制御レジスタ	TRDOCR	248、263、298
013Eh	タイマRDデジタルフィルタ機能選択レジスタ0	TRDDF0	233
013Fh	タイマRDデジタルフィルタ機能選択レジスタ1	TRDDF1	233
0140h	タイマRD制御レジスタ0	TRDCR0	234、249、263、275、285、298
0141h	タイマRD I/O制御レジスタA0	TRDIORA0	235、250
0142h	タイマRD I/O制御レジスタC0	TRDIORC0	236、251
0143h	タイマRDステータスレジスタ0	TRDSR0	237、252、264、276、286、299
0144h	タイマRD割り込み許可レジスタ0	TRDIER0	238、253、265、277、287、300
0145h	タイマRD PWMモードアウトプットレベル制御レジスタ0	TRDPOCR0	266
0146h	タイマRDカウンタ0	TRD0	238、254、266、277、288、300
0147h			
0148h	タイマRDジェネラルレジスタA0	TRDGRA0	239、254、267、278、288、301
0149h			
014Ah	タイマRDジェネラルレジスタB0	TRDGRB0	239、254、267、278、288、301
014Bh			
014Ch	タイマRDジェネラルレジスタC0	TRDGRC0	239、254、267、278、288、301
014Dh			
014Eh	タイマRDジェネラルレジスタD0	TRDGRD0	239、254、267、278、288、301
014Fh			
0150h	タイマRD制御レジスタ1	TRDCR1	234、249、263、285
0151h	タイマRD I/O制御レジスタA1	TRDIORA1	235、250
0152h	タイマRD I/O制御レジスタC1	TRDIORC1	236、251
0153h	タイマRDステータスレジスタ1	TRDSR1	237、252、264、276、286、299
0154h	タイマRD割り込み許可レジスタ1	TRDIER1	238、253、265、277、287、300
0155h	タイマRD PWMモードアウトプットレベル制御レジスタ1	TRDPOCR1	266
0156h	タイマRDカウンタ1	TRD1	238、254、266、288
0157h			
0158h	タイマRDジェネラルレジスタA1	TRDGRA1	239、254、267、278、288、301
0159h			
015Ah	タイマRDジェネラルレジスタB1	TRDGRB1	239、254、267、278、288、301
015Bh			
015Ch	タイマRDジェネラルレジスタC1	TRDGRC1	239、254、267、278、288、301
015Dh			
015Eh	タイマRDジェネラルレジスタD1	TRDGRD1	239、254、267、278、288、301
015Fh			

番地	レジスタ	シンボル	掲載ページ
0160h	UART2送受信モードレジスタ	U2MR	314
0161h	UART2ビットレートレジスタ	U2BRG	314
0162h	UART2送信バッファレジスタ	U2TB	315
0163h			
0164h	UART2送受信制御レジスタ0	U2C0	315
0165h	UART2送受信制御レジスタ1	U2C1	316
0166h	UART2受信バッファレジスタ	U2RB	316
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			
0180h			
0181h			
0182h			
0183h			
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch			
018Dh			
018Eh			
018Fh			
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h	フラッシュメモリ制御レジスタ4	FMR4	368
01B4h			
01B5h	フラッシュメモリ制御レジスタ1	FMR1	367
01B6h			
01B7h	フラッシュメモリ制御レジスタ0	FMR0	364
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
FFFFh	オプション機能選択レジスタ	OFS	26、128、 132、362

注1. 空欄は予約領域です。アクセスしないでください。

1. 概要

1.1 特長

R8C/2Kグループ、R8C/2Lグループは、R8C/Tinyシリーズ CPU コアを搭載したシングルチップマイクロコンピュータです。R8C/Tinyシリーズ CPU コアは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備え、更に、乗算器があるため高速な演算処理が可能です。

また、消費電力が小さい上、動作モードによるパワーコントロールが可能であり、ノイズ対策機構により不要輻射ノイズは小さく、ノイズ耐量は大きく設計されています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

さらに、R8C/2Lグループはデータフラッシュ (1KB × 2ブロック) を内蔵します。

R8C/2KグループとR8C/2Lグループの違いはデータフラッシュの有無だけです。周辺機能は同一です。

1.1.1 用途

家電、事務機器、オーディオ、民生機器、他

1.1.2 仕様概要

表 1.1 ~ 表 1.2 に R8C/2K グループの仕様概要、表 1.3 ~ 表 1.4 に R8C/2L グループの仕様概要を示します。

表 1.1 R8C/2Kグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C/Tiny シリーズコア <ul style="list-style-type: none"> 基本命令数：89 命令 最短命令実行時間：50ns (f(XIN)=20MHz、VCC=3.0~5.5V) 100ns (f(XIN)=10MHz、VCC=2.7~5.5V) 200ns (f(XIN)=5MHz、VCC=2.2~5.5V) 乗算器：16ビット×16ビット 32ビット 積和演算命令：16ビット×16ビット+32ビット 32ビット 動作モード：シングルチップモード(アドレス空間：1Mバイト)
メモリ	ROM、RAM	「表 1.5 R8C/2Kグループの製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> 入力専用：3 CMOS入出力:25、プルアップ抵抗選択可能 大電流駆動ポート：8
クロック	クロック発生回路	<ul style="list-style-type: none"> 2回路：XINクロック発振回路(帰還抵抗内蔵) オンチップオシレータ(高速、低速) (高速オンチップオシレータは周波数調整機能付) 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード
割り込み		<ul style="list-style-type: none"> 外部：4要因、内部：15要因、ソフトウェア：4要因 割り込み優先レベル：7レベル
ウォッチドッグタイマ		15ビット×1(プリスケアラ付)、リセットスタート機能選択可能
タイマ	タイマRA	8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB	8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット×1(キャプチャ/コンペアレジスタ4本付) タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRD	16ビット(キャプチャ/コンペアレジスタ4本付)×2 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本) 鋸波変調)、相補PWMモード(三相波形出力(6本) 三角波変調)、PWM3モード(同一周期のPWM出力2本)

表1.2 R8C/2Kグループの仕様概要(2)

分類	機能	説明
シリアルインタフェース	UART0、UART2	クロック同期形シリアルI/O / 非同期形シリアルI/O兼用 × 2
LINモジュール		ハードウェアLIN : 1(タイマRA、UART0を使用)
A/Dコンバータ		分解能10ビット×9チャンネル、サンプル&ホールドあり
フラッシュメモリ		<ul style="list-style-type: none"> ・プログラム、イレーズ電圧 : VCC=2.7 ~ 5.5V ・プログラム、イレーズ回数 : 100回 ・プログラムセキュリティ : ROMコードプロテクト、IDコードチェック ・デバッグ機能 : オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧		f(XIN)=20MHz(VCC=3.0~5.5V) f(XIN)=10MHz(VCC=2.7~5.5V) f(XIN)=5MHz(VCC=2.2~5.5V) (A/Dコンバータのみ VCC=2.7 ~ 5.5V)
消費電流		標準 10mA (VCC=5V、f(XIN)=20MHz) 標準 6mA (VCC=3V、f(XIN)=10MHz) 標準 23 μ A (VCC=3V、ウェイトモード、低速オンチップオシレータ使用) 標準 0.7 μ A (VCC=3V、ストップモード)
動作周囲温度		-20 ~ 85 (Nバージョン) -40 ~ 85 (Dバージョン)(注1) -20 ~ 105 (Yバージョン)(注2)
パッケージ		32ピンLQFP ・パッケージコード : PLQP0032GB-A(旧コード : 32P6U-A)

注1.Dバージョン機能をご使用になる場合は、その旨ご指定ください。

注2.Yバージョンについては、ルネサステクノロジ営業窓口へお問い合わせください。

表1.3 R8C/2Lグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C/Tinyシリーズコア <ul style="list-style-type: none"> 基本命令数：89命令 最短命令実行時間：50ns (f(XIN)=20MHz、VCC=3.0~5.5V) 100ns (f(XIN)=10MHz、VCC=2.7~5.5V) 200ns (f(XIN)=5MHz、VCC=2.2~5.5V) 乗算器：16ビット×16ビット 32ビット 積和演算命令：16ビット×16ビット+32ビット 32ビット 動作モード：シングルチップモード(アドレス空間：1Mバイト)
メモリ	ROM、RAM、データフラッシュ	「表1.6 R8C/2Lグループの製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> 入力専用：3 CMOS入出力:25、プルアップ抵抗選択可能 大電流駆動ポート：8
クロック	クロック発生回路	<ul style="list-style-type: none"> 2回路：XINクロック発振回路(帰還抵抗内蔵) オンチップオシレータ(高速、低速) (高速オンチップオシレータは周波数調整機能付) 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード
割り込み		<ul style="list-style-type: none"> 外部：4要因、内部：15要因、ソフトウェア：4要因 割り込み優先レベル：7レベル
ウォッチドッグタイマ		15ビット×1(プリスケアラ付)、リセットスタート機能選択可能
タイマ	タイマRA	8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB	8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット×1(キャプチャ/コンペアレジスタ4本付) タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRD	16ビット(キャプチャ/コンペアレジスタ4本付)×2 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)

表1.4 R8C/2Lグループの仕様概要(2)

分類	機能	説明
シリアルインタフェース	UART0、UART2	クロック同期形シリアルI/O / 非同期形シリアルI/O兼用 × 2
LINモジュール		ハードウェアLIN : 1(タイマRA、UART0を使用)
A/Dコンバータ		分解能10ビット×9チャンネル、サンプル&ホールドあり
フラッシュメモリ		<ul style="list-style-type: none"> ・プログラム、イレーズ電圧 : VCC=2.7 ~ 5.5V ・プログラム、イレーズ回数 : 10,000回(データフラッシュ) 1,000回(プログラムROM) ・プログラムセキュリティ : ROMコードプロテクト、IDコードチェック ・デバッグ機能 : オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧		f(XIN)=20MHz(VCC=3.0~5.5V) f(XIN)=10MHz(VCC=2.7~5.5V) f(XIN)=5MHz(VCC=2.2~5.5V) (A/Dコンバータのみ VCC=2.7 ~ 5.5V)
消費電流		標準 10mA (VCC=5V、f(XIN)=20MHz) 標準 6mA (VCC=3V、f(XIN)=10MHz) 標準 23 μ A (VCC=3V、ウェイトモード、低速オンチップオシレータ使用) 標準 0.7 μ A (VCC=3V、ストップモード)
動作周囲温度		-20 ~ 85 (Nバージョン) -40 ~ 85 (Dバージョン)(注1) -20 ~ 105 (Yバージョン)(注2)
パッケージ		32ピンLQFP ・パッケージコード : PLQP0032GB-A(旧コード : 32P6U-A)

注1.Dバージョン機能をご使用になる場合は、その旨ご指定ください。

注2.Yバージョンについては、ルネサステクノロジ営業窓口へお問い合わせください。

1.2 製品一覧

表1.5にR8C/2Kグループの製品一覧表、図1.1にR8C/2Kグループの型名とメモリサイズ・パッケージ、表1.6にR8C/2Lグループの製品一覧表、図1.2にR8C/2Lグループの型名とメモリサイズ・パッケージを示します。

表1.5 R8C/2Kグループの製品一覧表

2007年12月現在

型名	ROM容量	RAM容量	パッケージ	備考
R5F212K2SNFP	8Kバイト	1Kバイト	PLQP0032GB-A	Nバージョン
R5F212K4SNFP	16Kバイト	1.5Kバイト	PLQP0032GB-A	
R5F212K2SDFP	8Kバイト	1Kバイト	PLQP0032GB-A	Dバージョン
R5F212K4SDFP	16Kバイト	1.5Kバイト	PLQP0032GB-A	
R5F212K2SNXXXFP (開)	8Kバイト	1Kバイト	PLQP0032GB-A	Nバージョン
R5F212K4SNXXXFP (開)	16Kバイト	1.5Kバイト	PLQP0032GB-A	書き込み出荷品(注1)
R5F212K2SDXXXFP (開)	8Kバイト	1Kバイト	PLQP0032GB-A	Dバージョン
R5F212K4SDXXXFP (開)	16Kバイト	1.5Kバイト	PLQP0032GB-A	書き込み出荷品(注1)

(開)：開発中

注1.ユーザー ROMを書き込んで出荷します。

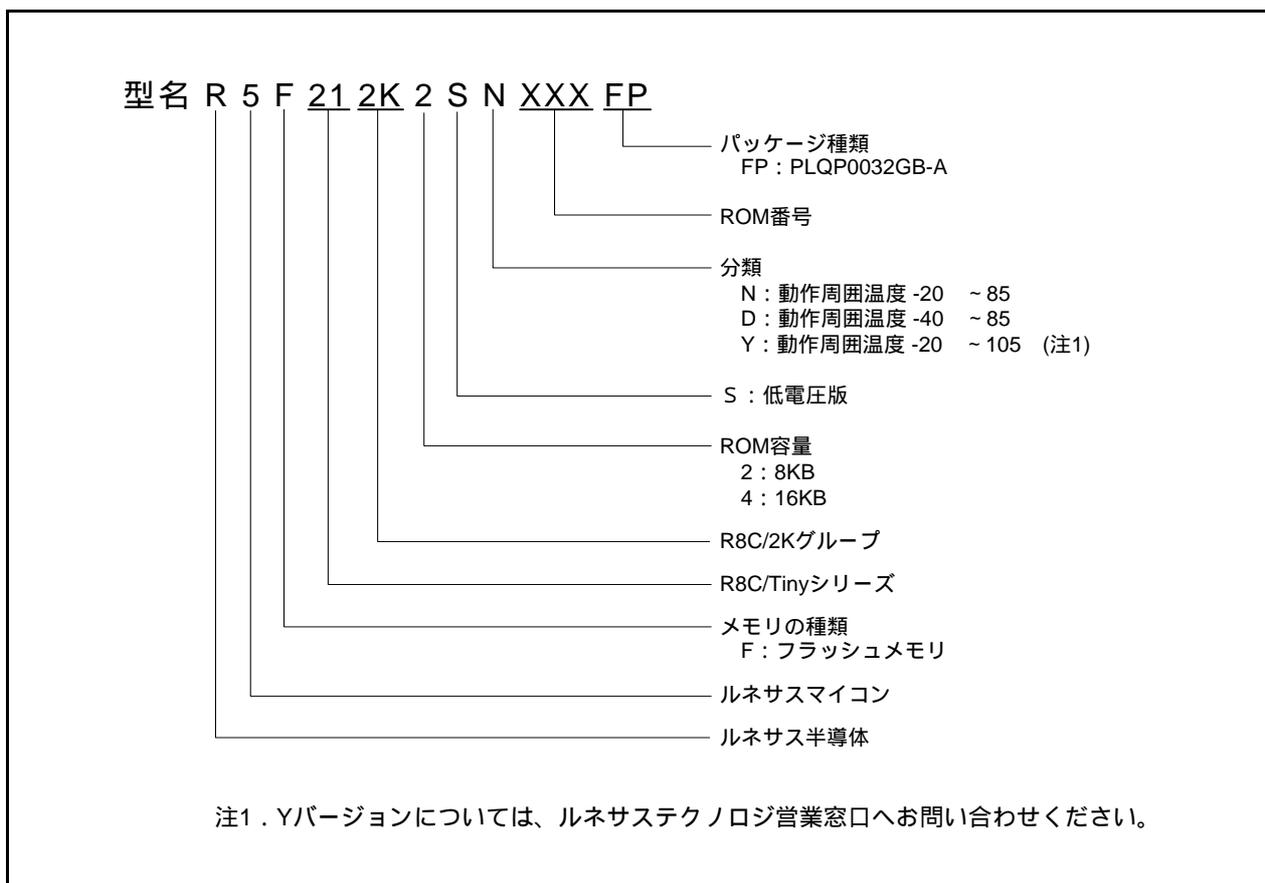


図1.1 R8C/2Kグループの型名とメモリサイズ・パッケージ

表1.6 R8C/2Lグループの製品一覧表

2007年12月現在

型名	ROM容量		RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F212L2SNFP	8Kバイト	1Kバイト×2	1Kバイト	PLQP0032GB-A	Nバージョン
R5F212L4SNFP	16Kバイト	1Kバイト×2	1.5Kバイト	PLQP0032GB-A	
R5F212L2SDFP	8Kバイト	1Kバイト×2	1Kバイト	PLQP0032GB-A	Dバージョン
R5F212L4SDFP	16Kバイト	1Kバイト×2	1.5Kバイト	PLQP0032GB-A	
R5F212L2SNXXXFP (開)	8Kバイト	1Kバイト×2	1Kバイト	PLQP0032GB-A	Nバージョン
R5F212L4SNXXXFP (開)	16Kバイト	1Kバイト×2	1.5Kバイト	PLQP0032GB-A	書き込み出荷品 (注1)
R5F212L2SDXXXFP (開)	8Kバイト	1Kバイト×2	1Kバイト	PLQP0032GB-A	Dバージョン
R5F212L4SDXXXFP (開)	16Kバイト	1Kバイト×2	1.5Kバイト	PLQP0032GB-A	書き込み出荷品 (注1)

(開)：開発中

注1.ユーザーROMを書き込んで出荷します。

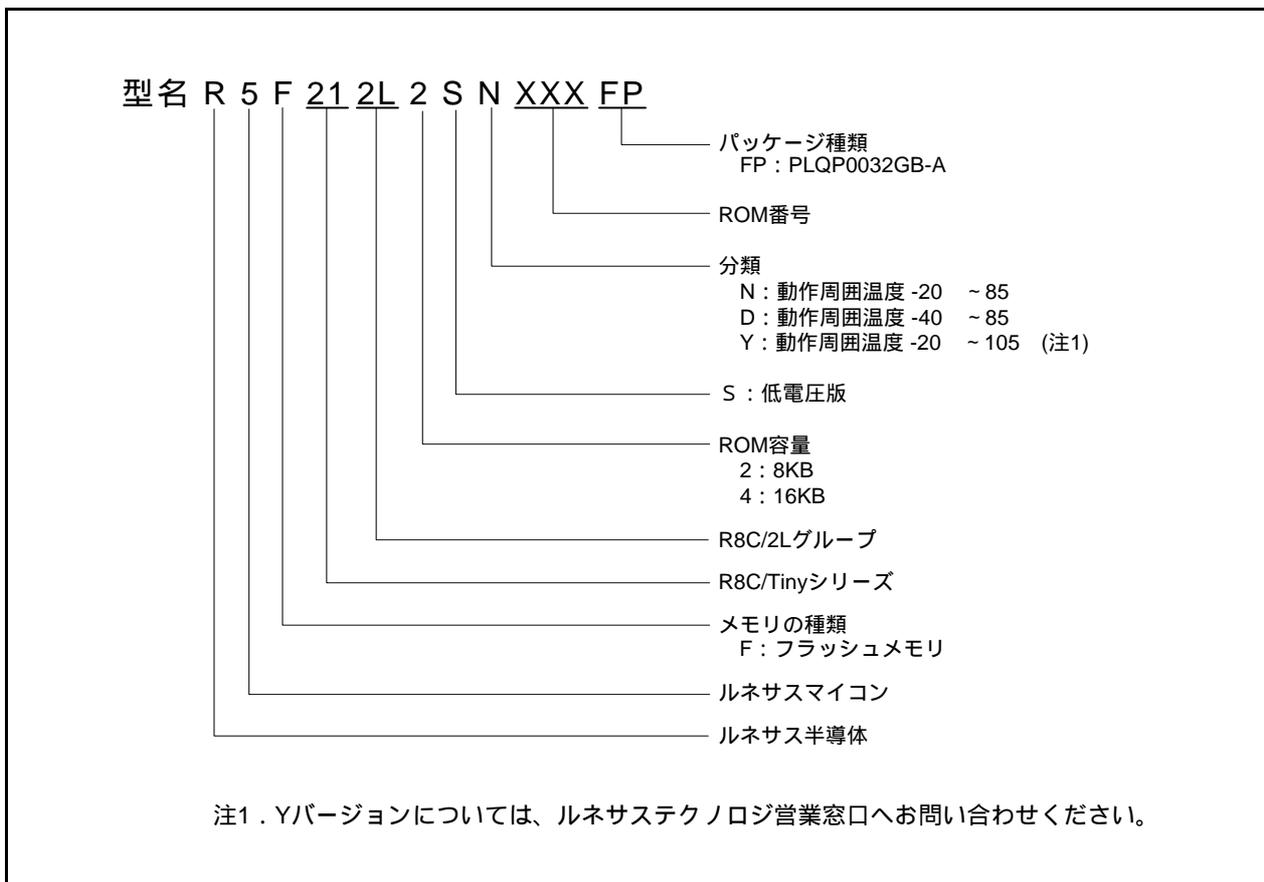


図1.2 R8C/2Lグループの型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.3にブロック図を示します。

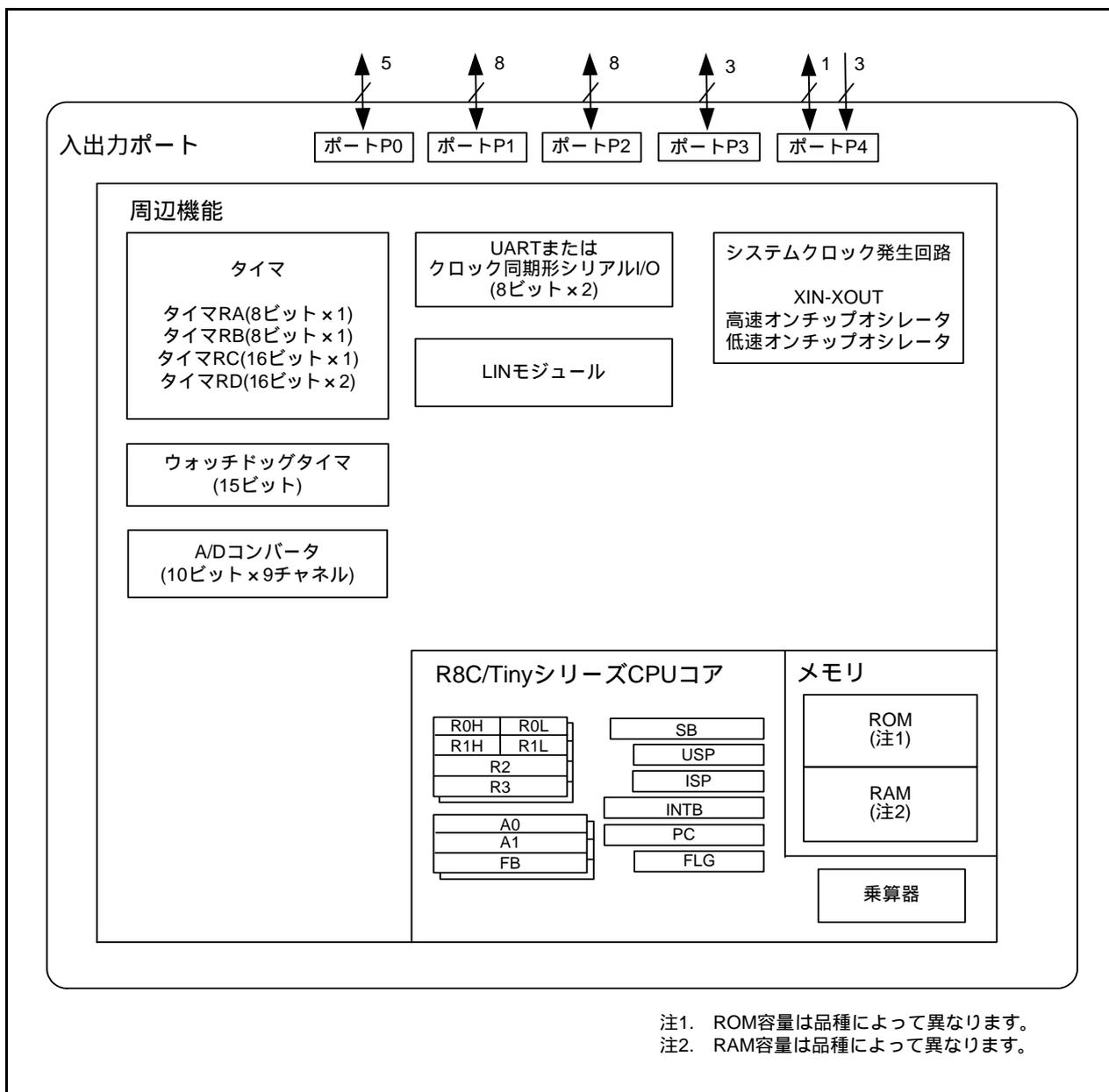


図1.3 ブロック図

1.4 ピン配置図

図1.4にピン配置図(上面図)、表1.7にピン番号別端子名一覧を示します。

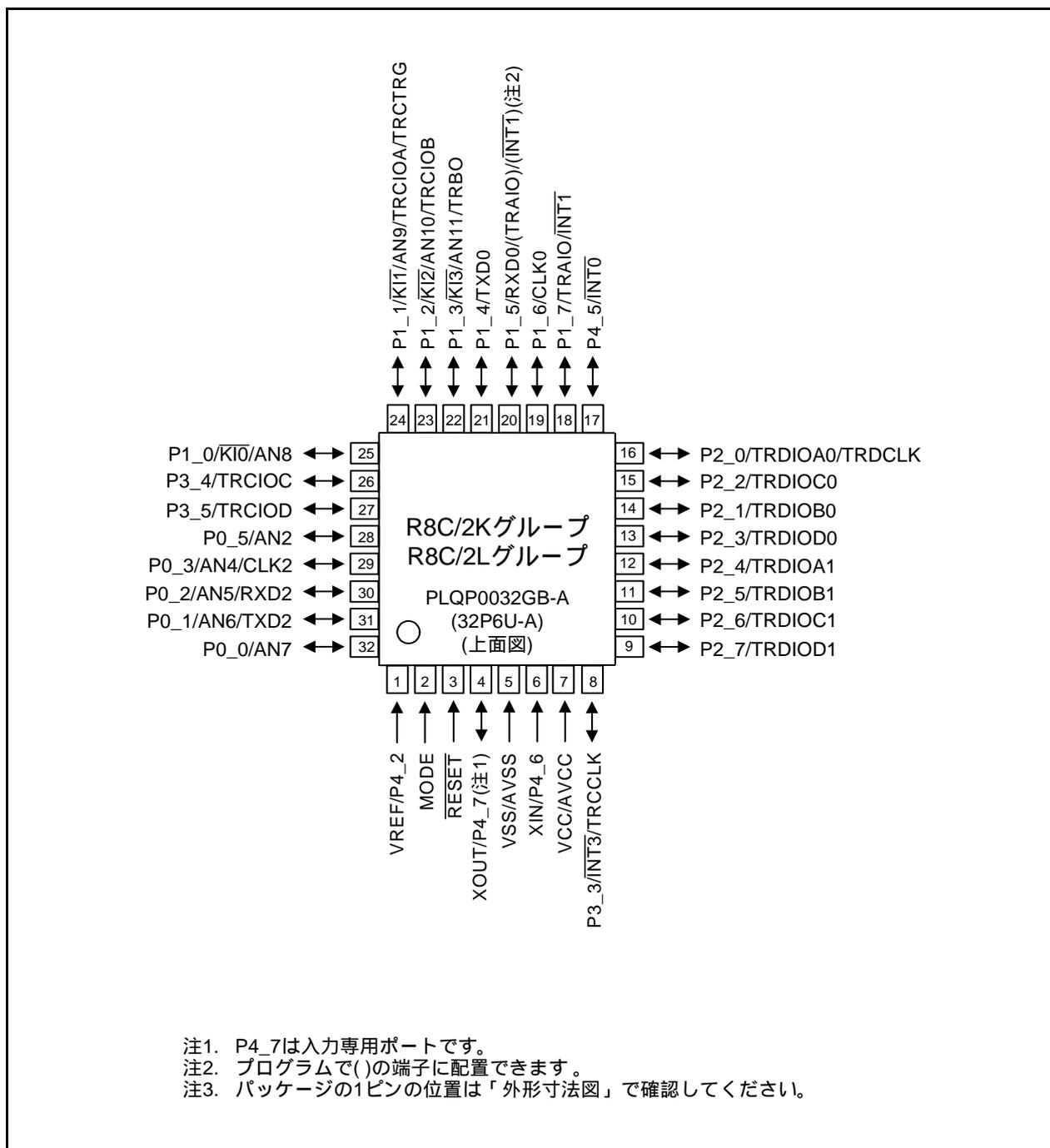


図1.4 ピン配置図(上面図)

表1.7 ピン番号別端子名一覧

ピン 番号	制御端子	ポート	周辺機能の入出力端子			
			割り込み	タイマ	シリアルインタ フェース	ADコンバータ
1	VREF	P4_2				
2	MODE					
3	RESET					
4	XOUT	P4_7				
5	VSS/AVSS					
6	XIN	P4_6				
7	VCC/AVCC					
8		P3_3	$\overline{\text{INT3}}$	TRCCLK		
9		P2_7		TRDIOD1		
10		P2_6		TRDIOC1		
11		P2_5		TRDIOB1		
12		P2_4		TRDIOA1		
13		P2_3		TRDIOD0		
14		P2_1		TRDIOB0		
15		P2_2		TRDIOC0		
16		P2_0		TRDIOA0/TRDCLK		
17		P4_5	$\overline{\text{INT0}}$			
18		P1_7	$\overline{\text{INT1}}$	TRAIO		
19		P1_6			CLK0	
20		P1_5	$(\overline{\text{INT1}})$ (注1)	(TRAIO)(注1)	RXD0	
21		P1_4			TXD0	
22		P1_3	$\overline{\text{KI3}}$	TRBO		AN11
23		P1_2	$\overline{\text{KI2}}$	TRCIOB		AN10
24		P1_1	$\overline{\text{KI1}}$	TRCIOA/TRCTRG		AN9
25		P1_0	$\overline{\text{KI0}}$			AN8
26		P3_4		TRCIOC		
27		P3_5		TRCIOD		
28		P0_5				AN2
29		P0_3			CLK2	AN4
30		P0_2			RXD2	AN5
31		P0_1			TXD2	AN6
32		P0_0				AN7

注1.プログラムで()の端子に配置できます。

1.5 端子機能の説明

表1.8に端子機能の説明を示します。

表1.8 端子機能の説明

分類	端子名	入出力	機能
電源入力	VCC VSS	-	VCCには、2.2V～5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	-	A/Dコンバータの電源入力です。AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
XINクロック出力	XOUT	出力	
INT割り込み入力	INT0、INT1、INT3	入力	INT割り込みの入力です。 INT0はタイマRB、タイマRC、タイマRDの入力です。
キー入力割り込み入力	KI0～KI3	入力	キー入力割り込みの入力です。
タイマRA	TRAI0	入出力	タイマRAの入出力です。
タイマRB	TRB0	出力	タイマRBの出力です。
タイマRC	TRCCLK	入力	外部クロック入力端子です。
	TRCTR0	入力	外部トリガ入力端子です。
	TRCIOA、TRCIOB TRCI0C、TRCI0D	入出力	タイマRCの入出力です。
タイマRD	TRDIOA0、TRDIOA1、 TRDIOB0、TRDIOB1、 TRDIO0C、TRDIO0C1、 TRDIO0D、TRDIO0D1、	入出力	タイマRDの入出力です。
	TRDCLK	入力	外部クロック入力です。
シリアルインタフェース	CLK0、CLK2	入出力	転送クロック入出力です。
	RXD0、RXD2	入力	シリアルデータ入力です。
	TXD0、TXD2	出力	シリアルデータ出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN2、AN4～AN11	入力	A/Dコンバータのアナログ入力です。
入出力ポート	P0_0～P0_3、P0_5、 P1_0～P1_7、 P2_0～P2_7、 P3_3～P3_5、 P4_5	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 ポートP2_0～P2_7は、LED駆動ポートとして使用できます。
入力ポート	P4_2、P4_6、P4_7	入力	入力専用ポートです。

注1.発振特性は発振子メーカーにお問い合わせください。

2. 中央演算処理装置 (CPU)

図 2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

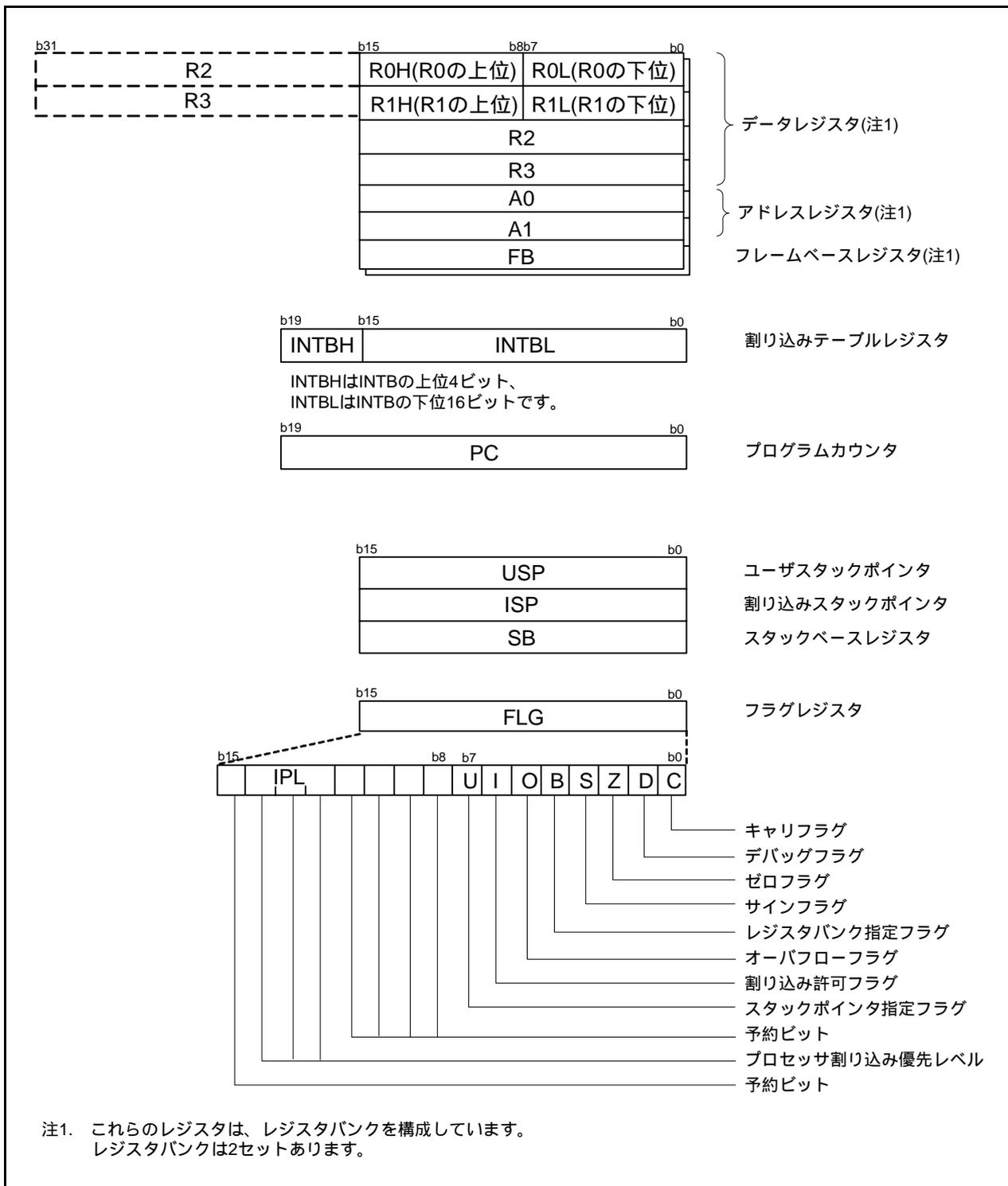


図 2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

3.1 R8C/2Kグループ

図3.1にR8C/2Kグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROMは0FFFFh番地から下位方向に配置されます。例えば16Kバイトの内部ROMは、0C000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば1.5Kバイトの内部RAMは、00400h番地から009FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

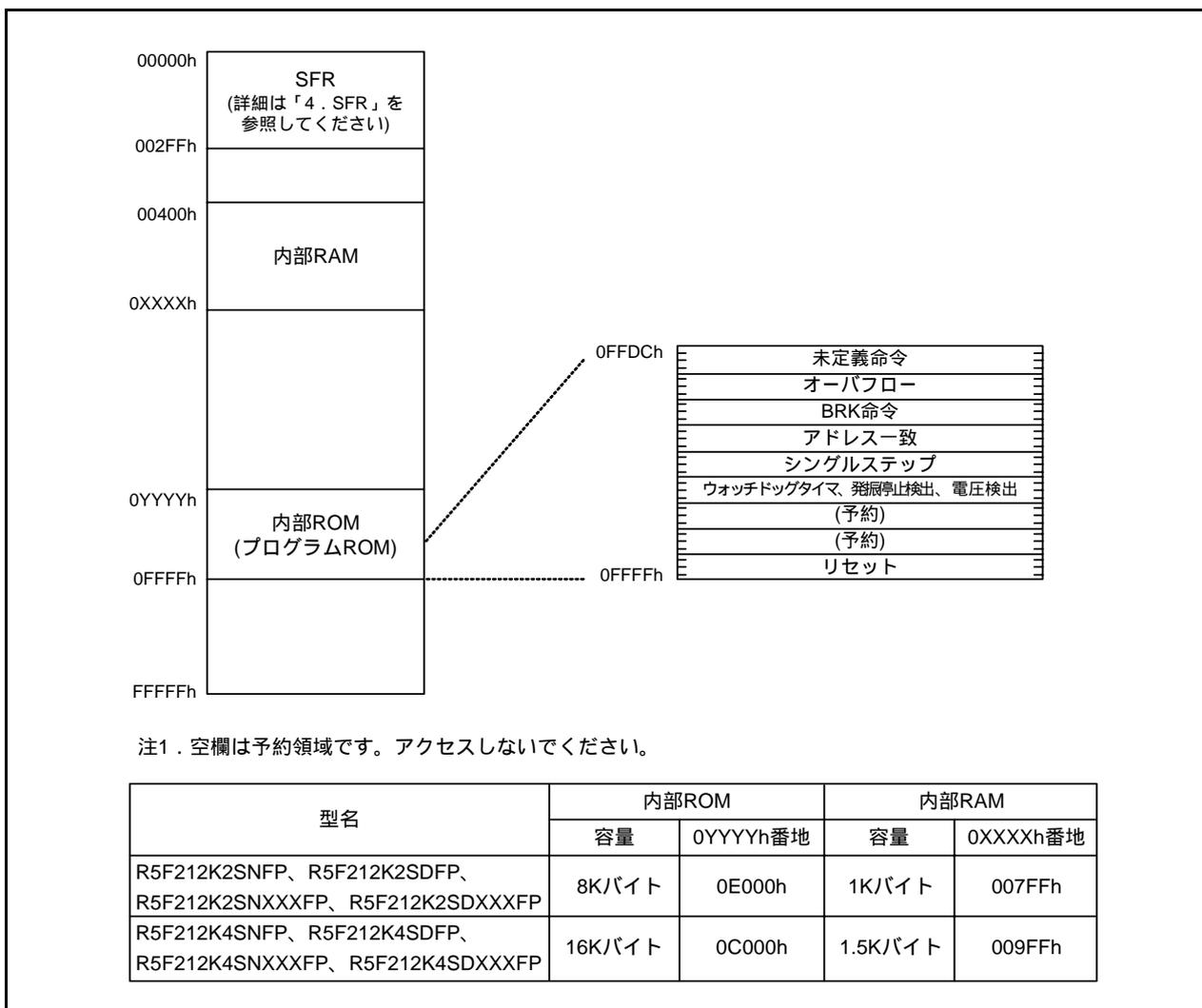


図3.1 R8C/2Kグループのメモリ配置図

3.2 R8C/2Lグループ

図3.2にR8C/2Lグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば16Kバイトの内部ROMは、0C000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は02400h番地から02BFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば1.5Kバイトの内部RAMは、00400h番地から009FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

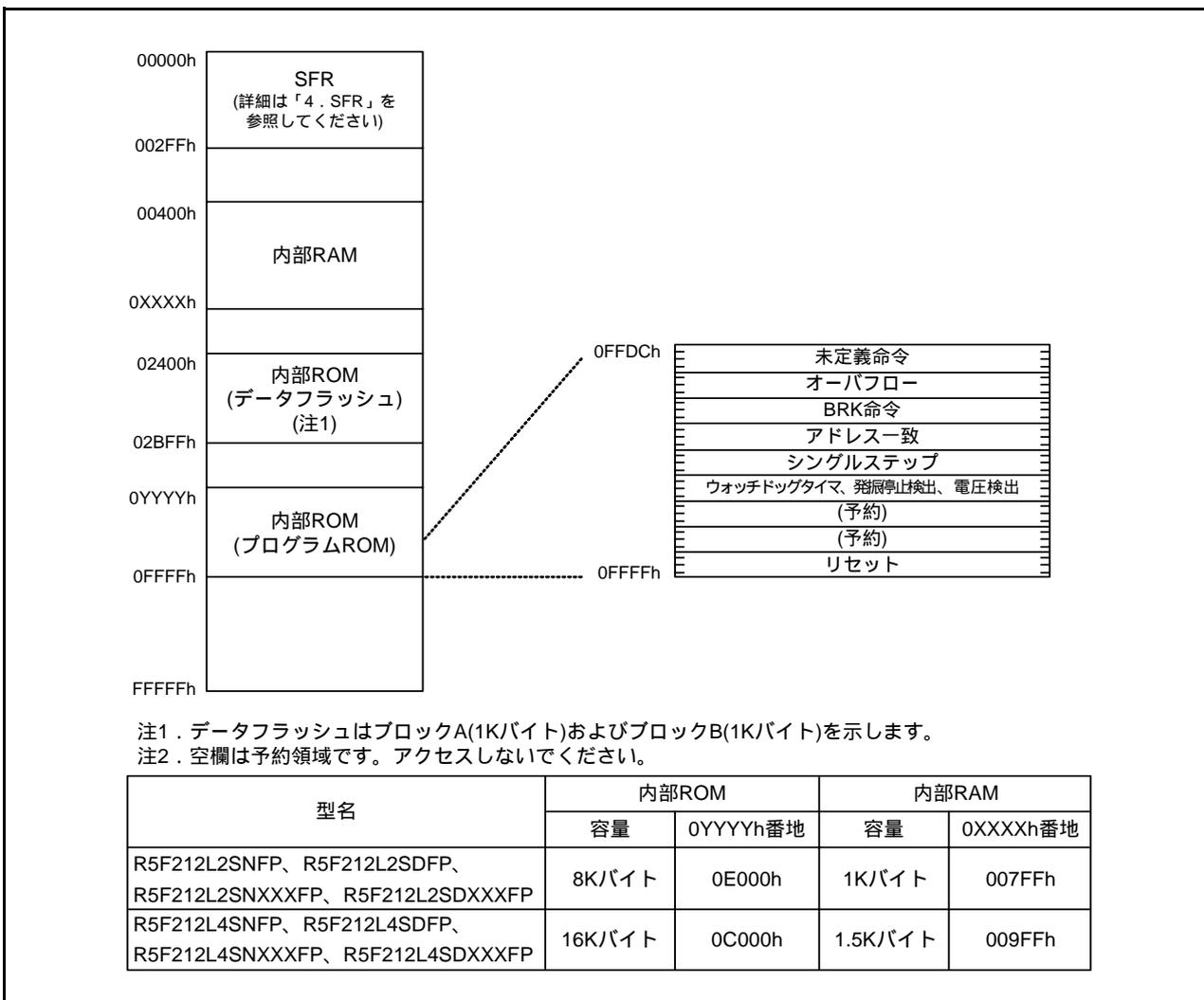


図3.2 R8C/2Lグループのメモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.7にSFR一覧表を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ 0	PM0	00h
0005h	プロセッサモードレジスタ 1	PM1	00h
0006h	システムクロック制御レジスタ 0	CM0	01101000b
0007h	システムクロック制御レジスタ 1	CM1	00100000b
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00X11111b
0010h	アドレス一致割り込みレジスタ 0	RMAD0	00h
0011h			00h
0012h			00h
0013h	アドレス一致割り込み許可レジスタ	AIER	00h
0014h	アドレス一致割り込みレジスタ 1	RMAD1	00h
0015h			00h
0016h			00h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注6)
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ 0	FRA0	00h
0024h	高速オンチップオシレータ制御レジスタ 1	FRA1	出荷時の値
0025h	高速オンチップオシレータ制御レジスタ 2	FRA2	00h
0026h			
0027h			
0028h			
0029h			
002Ah			
002Bh	高速オンチップオシレータ制御レジスタ 6	FRA6	出荷時の値
002Ch	高速オンチップオシレータ制御レジスタ 7	FRA7	出荷時の値
0030h			
0031h	電圧検出レジスタ 1 (注2)	VCA1	00001000b
0032h	電圧検出レジスタ 2 (注2)	VCA2	00h (注3) 00100000b (注4)
0033h			
0034h			
0035h			
0036h	電圧監視 1 回路制御レジスタ (注5)	VW1C	00001000b
0037h	電圧監視 2 回路制御レジスタ (注5)	VW2C	00h
0038h	電圧監視 0 回路制御レジスタ (注2)	VW0C	0000X000b (注3) 0100X001b (注4)
0039h			
003Ah			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセットでは変化しません。

注3. OFS レジスタのLVD0ONビットが“1”でかつハードウェアリセットの場合。

注4. パワーオンリセット、電圧監視0リセット、またはOFS レジスタのLVD0ONビットが“0”でかつハードウェアリセットの場合。

注5. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセットではb2、b3は変化しません。

注6. OFS レジスタのCSPROINIビットが“0”の場合。

X: 不定です。

表4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h	タイマ RC 割り込み制御レジスタ	TRCIC	XXXXX000b
0048h	タイマ RD0 割り込み制御レジスタ	TRD0IC	XXXXX000b
0049h	タイマ RD1 割り込み制御レジスタ	TRD1IC	XXXXX000b
004Ah			
004Bh	UART2 送信割り込み制御レジスタ	S2TIC	XXXXX000b
004Ch	UART2 受信割り込み制御レジスタ	S2RIC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D 変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh			
0050h			
0051h	UART0 送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0 受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h			
0054h			
0055h			
0056h	タイマ RA 割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマ RB 割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1 割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3 割り込み制御レジスタ	INT3IC	XX00X000b
005Bh			
005Ch			
005Dh	INT0 割り込み制御レジスタ	INT0IC	XX00X000b
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0 送受信モードレジスタ	U0MR	00h
00A1h	UART0 ビットレートレジスタ	U0BRG	XXh
00A2h	UART0 送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0 送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0 送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0 受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h			
00A9h			
00AAh			
00ABh			
00ACh			
00ADh			
00AEh			
00AFh			
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh			
00BCh			
00BDh			
00BEh			
00BFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/D レジスタ	AD	XXh
00C1h			XXh
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D 制御レジスタ 2	ADCON2	00h
00D5h			
00D6h	A/D 制御レジスタ 0	ADCON0	00h
00D7h	A/D 制御レジスタ 1	ADCON1	00h
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h	ポート P0 レジスタ	P0	XXh
00E1h	ポート P1 レジスタ	P1	XXh
00E2h	ポート P0 方向レジスタ	PD0	00h
00E3h	ポート P1 方向レジスタ	PD1	00h
00E4h	ポート P2 レジスタ	P2	XXh
00E5h	ポート P3 レジスタ	P3	XXh
00E6h	ポート P2 方向レジスタ	PD2	00h
00E7h	ポート P3 方向レジスタ	PD3	00h
00E8h	ポート P4 レジスタ	P4	XXh
00E9h			
00EAh	ポート P4 方向レジスタ	PD4	00h
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h	ポート P2 駆動能力制御レジスタ	P2DRR	00h
00F5h	端子選択レジスタ 1	PINSR1	XXh
00F6h	端子選択レジスタ 2	PINSR2	XXh
00F7h	端子選択レジスタ 3	PINSR3	XXh
00F8h	ポートモードレジスタ	PMR	00h
00F9h	外部入力許可レジスタ	INTEN	00h
00FAh	INT 入力フィルタ選択レジスタ	INTF	00h
00FBh	キー入力許可レジスタ	KIEN	00h
00FCh	プルアップ制御レジスタ 0	PUR0	00h
00FDh	プルアップ制御レジスタ 1	PUR1	XX000000b
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0100h	タイマ RA 制御レジスタ	TRACR	00h
0101h	タイマ RA I/O 制御レジスタ	TRAI0C	00h
0102h	タイマ RA モードレジスタ	TRAMR	00h
0103h	タイマ RA プリスケールレジスタ	TRAPRE	FFh
0104h	タイマ RA レジスタ	TRA	FFh
0105h	LIN コントロールレジスタ 2	LINCR2	00h
0106h	LIN コントロールレジスタ	LINCR	00h
0107h	LIN ステータスレジスタ	LINST	00h
0108h	タイマ RB 制御レジスタ	TRBCR	00h
0109h	タイマ RB ワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマ RB I/O 制御レジスタ	TRBIOC	00h
010Bh	タイマ RB モードレジスタ	TRBMR	00h
010Ch	タイマ RB プリスケールレジスタ	TRBPRE	FFh
010Dh	タイマ RB セカンダリレジスタ	TRBSC	FFh
010Eh	タイマ RB プライマリレジスタ	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h			
0119h			
011Ah			
011Bh			
011Ch			
011Dh			
011Eh			
011Fh			
0120h	タイマ RC モードレジスタ	TRCMR	01001000b
0121h	タイマ RC 制御レジスタ 1	TRCCR1	00h
0122h	タイマ RC 割り込み許可レジスタ	TRCIER	01110000b
0123h	タイマ RC ステータスレジスタ	TRCSR	01110000b
0124h	タイマ RC I/O 制御レジスタ 0	TRCIOR0	10001000b
0125h	タイマ RC I/O 制御レジスタ 1	TRCIOR1	10001000b
0126h	タイマ RC カウンタ	TRC	00h 00h
0127h			
0128h	タイマ RC ジェネラルレジスタ A	TRCGRA	FFh FFh
0129h			
012Ah	タイマ RC ジェネラルレジスタ B	TRCGRB	FFh FFh
012Bh			
012Ch	タイマ RC ジェネラルレジスタ C	TRCGRC	FFh FFh
012Dh			
012Eh	タイマ RC ジェネラルレジスタ D	TRCGRD	FFh FFh
012Fh			
0130h	タイマ RC 制御レジスタ 2	TRCCR2	00011111b
0131h	タイマ RC デジタルフィルタ機能選択レジスタ	TRCDF	00h
0132h	タイマ RC アウトプットマスタ許可レジスタ	TRCOER	01111111b
0133h			
0134h			
0135h			
0136h			
0137h	タイマ RD スタートレジスタ	TRDSTR	11111100b
0138h	タイマ RD モードレジスタ	TRDMR	00001110b
0139h	タイマ RD PWM モードレジスタ	TRDPMR	10001000b
013Ah	タイマ RD 機能制御レジスタ	TRDFCR	10000000b
013Bh	タイマ RD アウトプットマスタ許可レジスタ 1	TRDOER1	FFh
013Ch	タイマ RD アウトプットマスタ許可レジスタ 2	TRDOER2	01111111b
013Dh	タイマ RD アウトプット制御レジスタ	TRDOCR	00h
013Eh	タイマ RD デジタルフィルタ機能選択レジスタ 0	TRDDF0	00h
013Fh	タイマ RD デジタルフィルタ機能選択レジスタ 1	TRDDF1	00h

注1. 空欄は予約領域です。アクセスしないでください。

表4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0140h	タイマ RD 制御レジスタ 0	TRDCR0	00h
0141h	タイマ RD I/O 制御レジスタ A0	TRDIORA0	10001000b
0142h	タイマ RD I/O 制御レジスタ C0	TRDIORC0	10001000b
0143h	タイマ RD ステータスレジスタ 0	TRDSR0	11100000b
0144h	タイマ RD 割り込み許可レジスタ 0	TRDIER0	11100000b
0145h	タイマ RD PWM モードアウトブットレベル制御レジスタ 0	TRDPOCR0	11111000b
0146h	タイマ RD カウンタ 0	TRD0	00h
0147h			00h
0148h	タイマ RD ジェネラルレジスタ A0	TRDGRA0	FFh
0149h			FFh
014Ah	タイマ RD ジェネラルレジスタ B0	TRDGRB0	FFh
014Bh			FFh
014Ch	タイマ RD ジェネラルレジスタ C0	TRDGRC0	FFh
014Dh			FFh
014Eh	タイマ RD ジェネラルレジスタ D0	TRDGRD0	FFh
014Fh			FFh
0150h	タイマ RD 制御レジスタ 1	TRDCR1	00h
0151h	タイマ RD I/O 制御レジスタ A1	TRDIORA1	10001000b
0152h	タイマ RD I/O 制御レジスタ C1	TRDIORC1	10001000b
0153h	タイマ RD ステータスレジスタ 1	TRDSR1	11000000b
0154h	タイマ RD 割り込み許可レジスタ 1	TRDIER1	11100000b
0155h	タイマ RD PWM モードアウトブットレベル制御レジスタ 1	TRDPOCR1	11111000b
0156h	タイマ RD カウンタ 1	TRD1	00h
0157h			00h
0158h	タイマ RD ジェネラルレジスタ A1	TRDGRA1	FFh
0159h			FFh
015Ah	タイマ RD ジェネラルレジスタ B1	TRDGRB1	FFh
015Bh			FFh
015Ch	タイマ RD ジェネラルレジスタ C1	TRDGRC1	FFh
015Dh			FFh
015Eh	タイマ RD ジェネラルレジスタ D1	TRDGRD1	FFh
015Fh			FFh
0160h	UART2 送受信モードレジスタ	U2MR	00h
0161h	UART2 ビットレートレジスタ	U2BRG	XXh
0162h	UART2 送信バッファレジスタ	U2TB	XXh
0163h			XXh
0164h	UART2 送受信制御レジスタ 0	U2C0	00001000b
0165h	UART2 送受信制御レジスタ 1	U2C1	00000010b
0166h	UART2 受信バッファレジスタ	U2RB	XXh
0167h			XXh
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
0180h			
0181h			
0182h			
0183h			
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch			
018Dh			
018Eh			
018Fh			
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h	フラッシュメモリ制御レジスタ 4	FMR4	01000000b
01B4h			
01B5h	フラッシュメモリ制御レジスタ 1	FMR1	1000000Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ 0	FMR0	00000001b
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
FFFFh	オプション機能選択レジスタ	OFS	(注2)

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFSレジスタはプログラムで変更できません。フラッシュライタで書いてください。

X: 不定です。

5. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。

表5.1にリセットの名称と要因を示します。

表5.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET端子の入力電圧が“L”
パワーオンリセット	VCCの上昇
電圧監視0リセット	VCCの下降(監視電圧: Vdet0)
電圧監視1リセット	VCCの下降(監視電圧: Vdet1)
電圧監視2リセット	VCCの下降(監視電圧: Vdet2)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー
ソフトウェアリセット	PM0レジスタのPM03ビットに“1”を書く

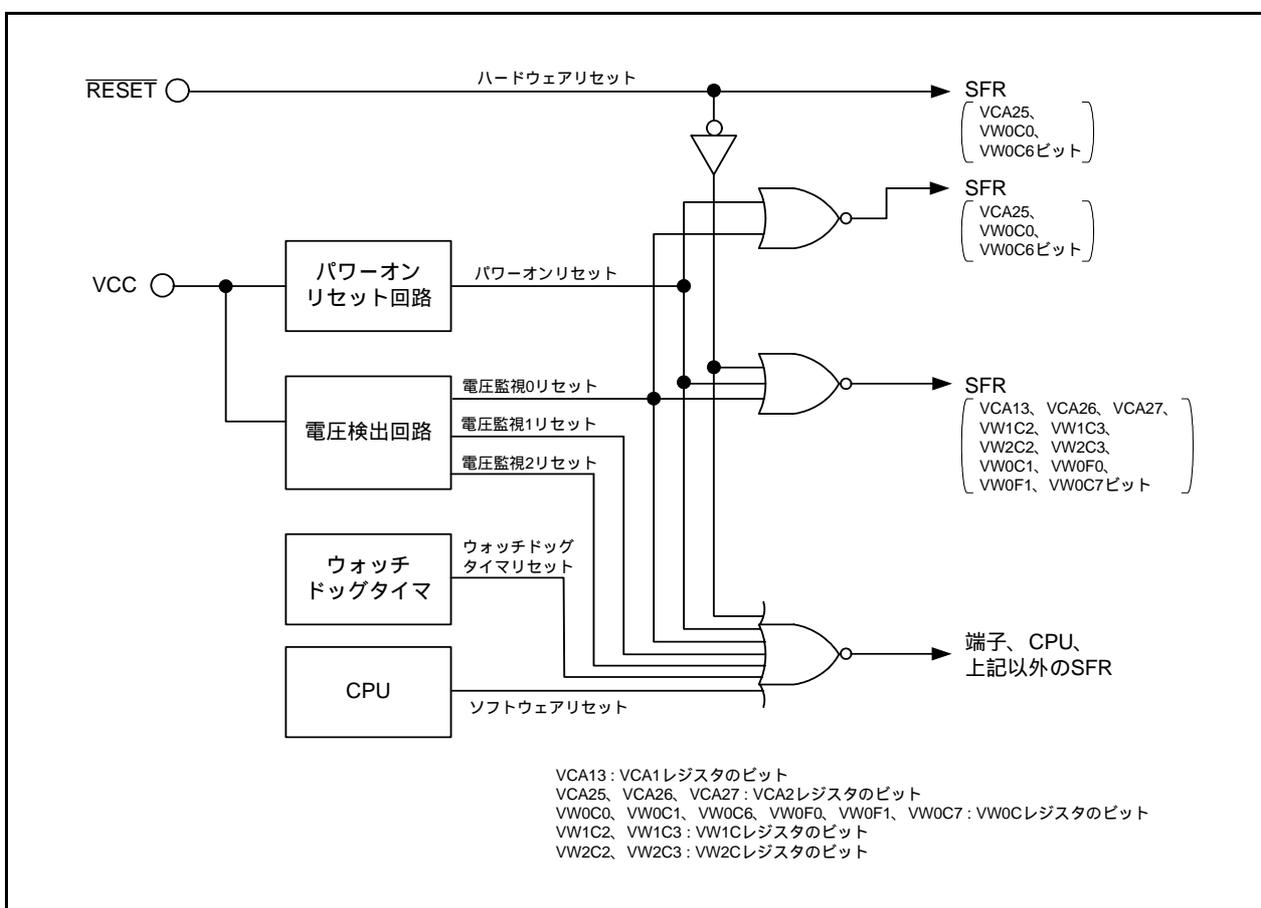


図5.1 リセット回路のブロック図

表5.2にRESET端子のレベルが“L”の期間の端子の状態を、図5.2にリセット後のCPUレジスタの状態を、図5.3にリセットシーケンスを、図5.4にOFSレジスタを示します。

表5.2 RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P0_0 ~ P0_3、P0_5	入力ポート
P1、P2	入力ポート
P3_3 ~ P3_5	入力ポート
P4_2、P4_5 ~ P4_7	入力ポート

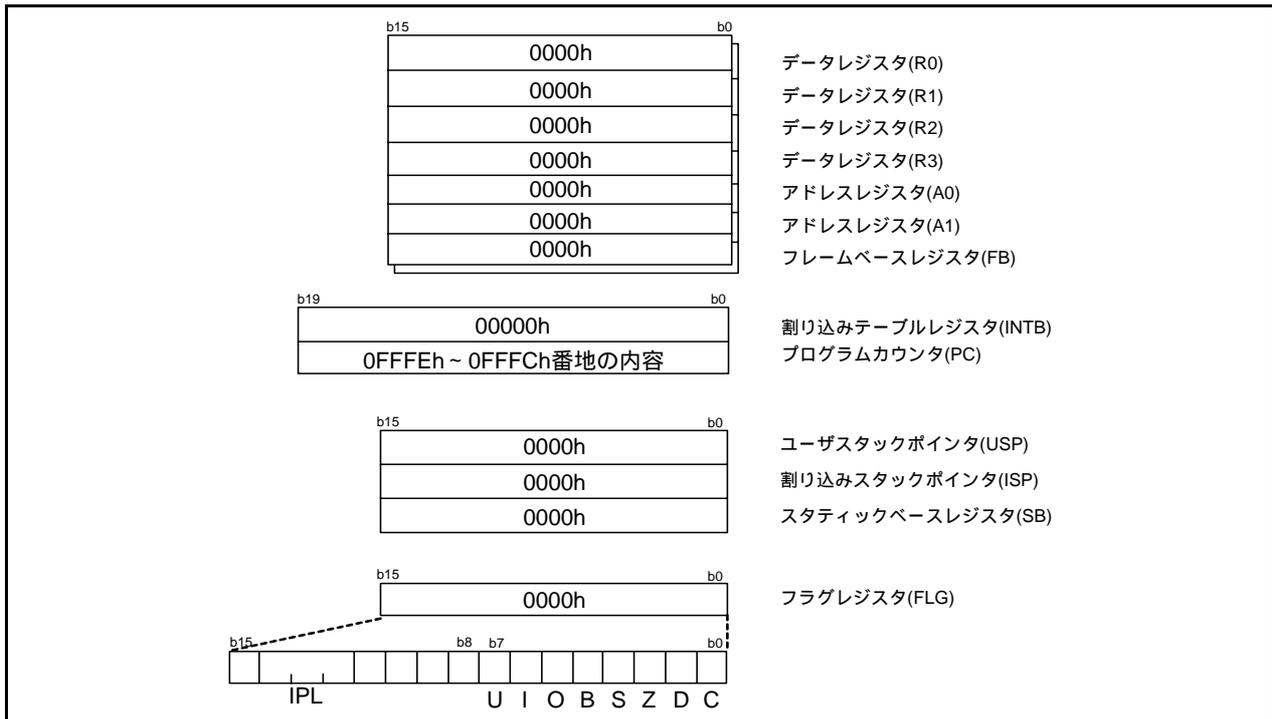


図5.2 リセット後のCPUレジスタの状態

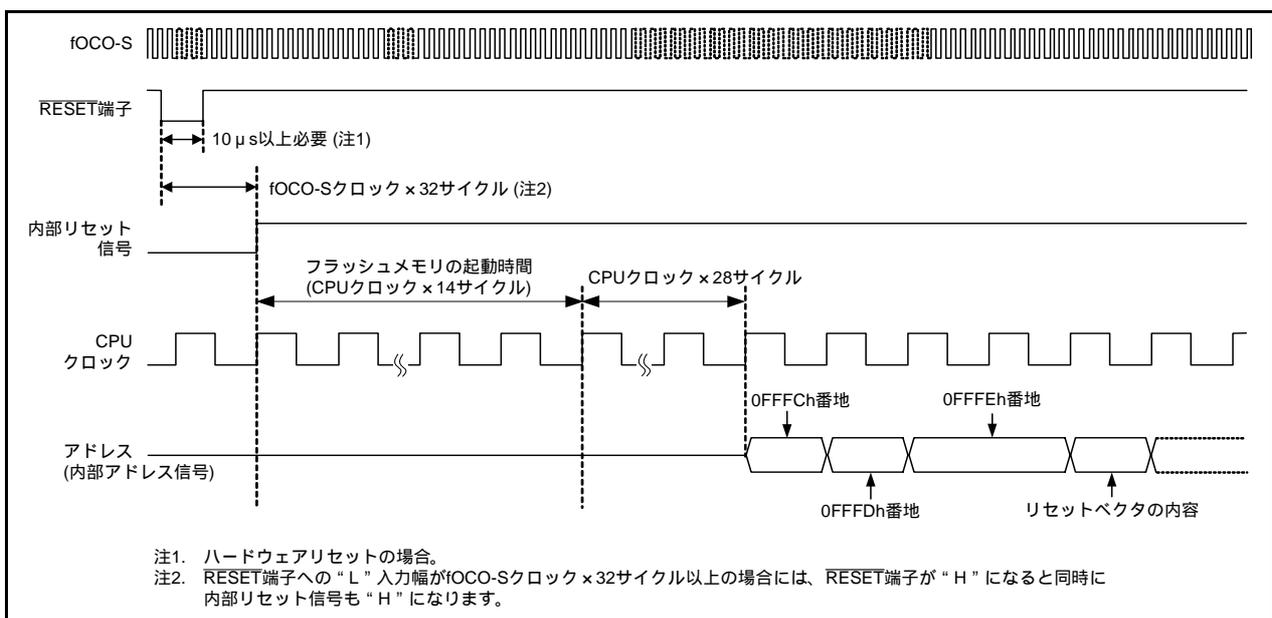


図5.3 リセットシーケンス

オプション機能選択レジスタ(注1)

シンボル OFS	アドレス 0FFFh番地	出荷時の値 FFh(注3)	
ビット シンボル	ビット名	機能	RW
WDTON	ウォッチドッグタイマ 起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的 に起動 1: リセット後、ウォッチドッグタイマは停止 状態	RW
- (b1)	予約ビット	“1” にしてください。	RW
ROMCR	ROMコードプロテクト 解除ビット	0: ROMコードプロテクト解除 1: ROMCP1有効	RW
ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	RW
- (b4)	予約ビット	“1” にしてください。	RW
LVD0ON	電圧検出0回路起動 ビット(注2)	0: ハードウェアリセット後、電圧監視0リセット 有効 1: ハードウェアリセット後、電圧監視0リセット 無効	RW
- (b6)	予約ビット	“1” にしてください。	RW
CSPROINI	リセット後カウント ソース保護モード選択 ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	RW

注1. OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFSレジスタに追加書き込みしないでください。

注2. LVD0ONビットの設定は、ハードウェアリセットでのみ有効となります。パワーオンリセットを使用する場合、LVD0ONビットを“0”(ハードウェアリセット後、電圧監視0リセット有効)にしてください。

注3. OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

図5.4 OFSレジスタ

5.1 ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表5.2 RESET端子のレベルが“L”の期間の端子の状態」を参照)。

RESET端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図5.5にハードウェアリセット回路例と動作を、図5.6にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

5.1.1 電源が安定している場合

- (1) RESET端子に“L”を入力する
- (2) 10 μ s待つ
- (3) RESET端子に“H”を入力する

5.1.2 電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまでtd(P-R)待つ(「22. 電気的特性」参照)
- (4) 10 μ s待つ
- (5) RESET端子に“H”を入力する

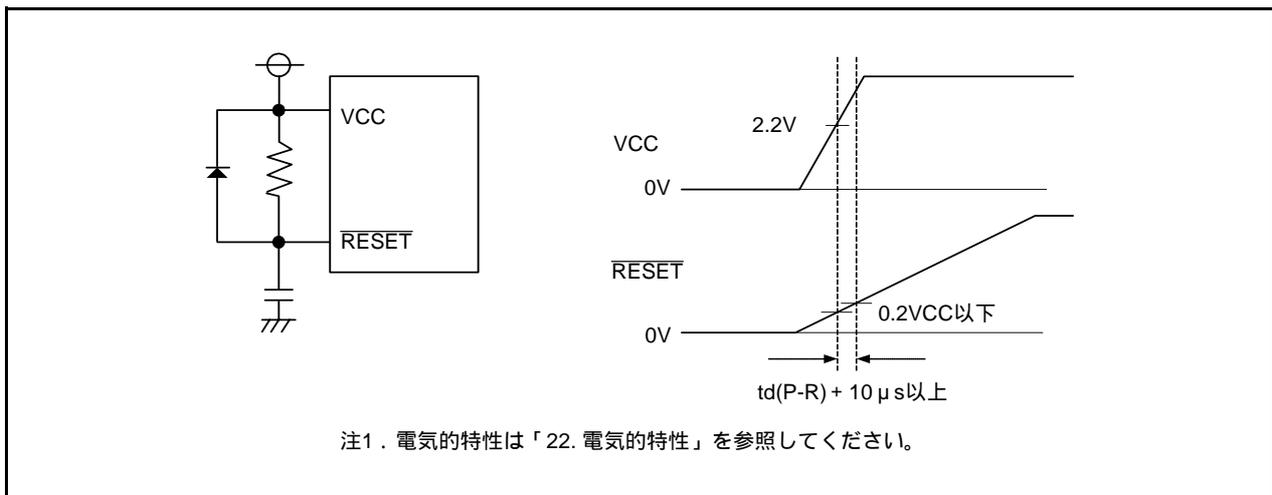


図5.5 ハードウェアリセット回路例と動作

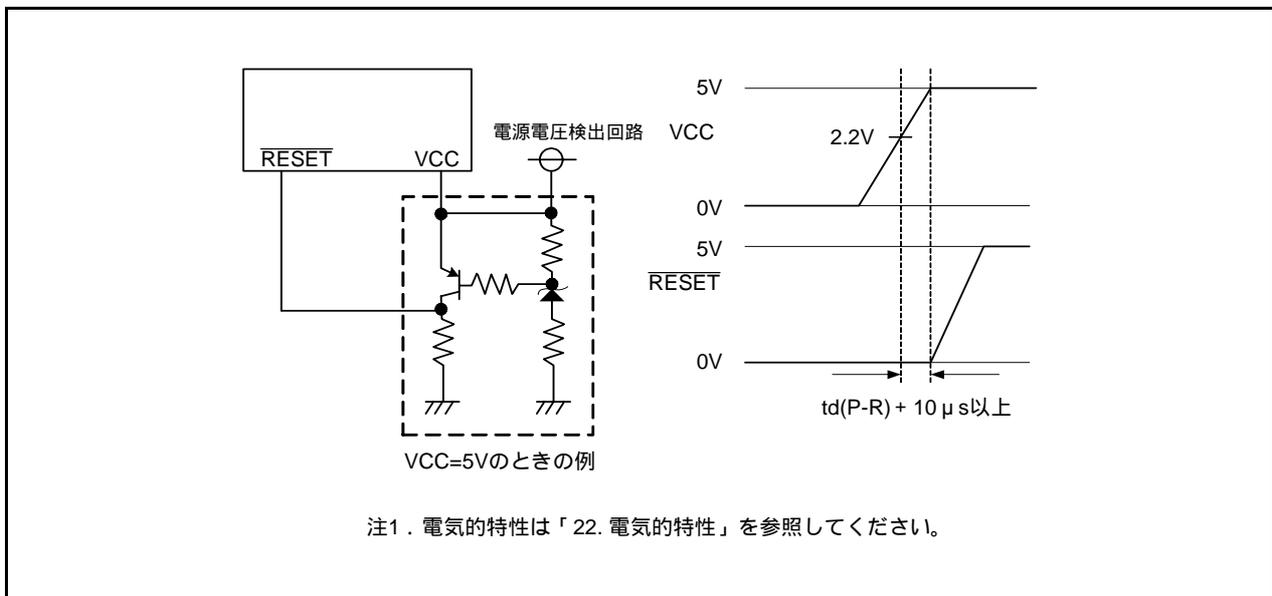


図5.6 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

5.2 パワーオンリセット機能

抵抗を介してRESET端子をVCCに接続し、VCCを立ち上がり傾き t_{rth} 以上で立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。RESET端子にコンデンサを接続する場合も、RESET端子の電圧が常に $0.8V_{CC}$ 以上になるようにご注意ください。

VCC端子に入力する電圧が V_{det0} 以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「4. SFR」を参照してください。

パワーオンリセット後は電圧監視0リセットが有効になります。

図5.7にパワーオンリセット回路例と動作を示します。

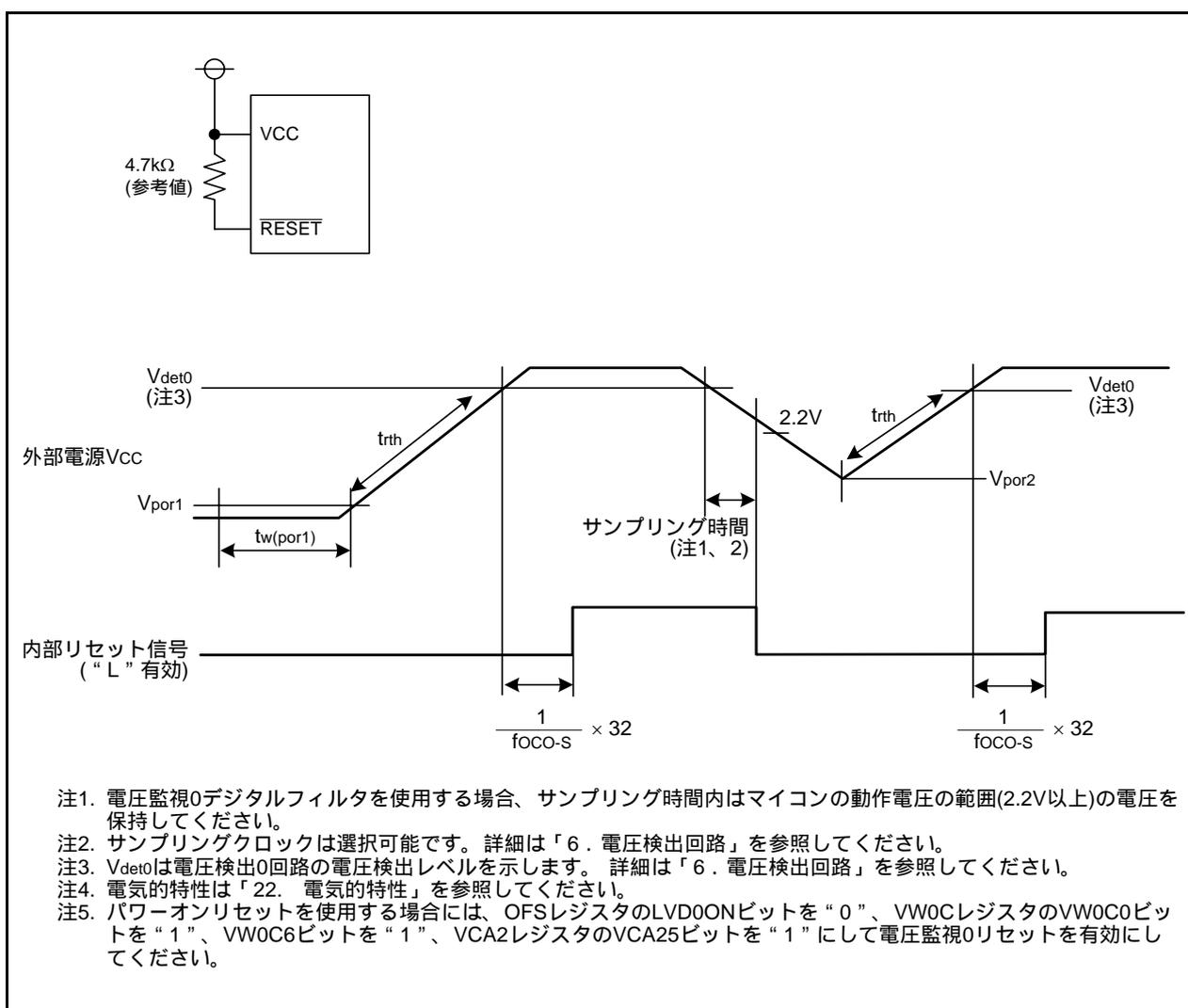


図5.7 パワーオンリセット回路例と動作

5.3 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet0です。

VCC端子に入力する電圧がVdet0以下になると端子、CPU、SFRが初期化されます。

次にVCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

OFSレジスタのLVD00Nビットでハードウェアリセット後、電圧監視0リセットの有効/無効を選択できます。LVD00Nビットの設定は、ハードウェアリセットでのみ有効となります。

パワーオンリセットを使用する場合には、OFSレジスタのLVD00Nビットを“0”、VW0CレジスタのVW0C0ビットを“1”、VW0C6ビットを“1”、VCA2レジスタのVCA25ビットを“1”にして電圧監視0リセットを有効にしてください。

LVD00Nビットはプログラムでは変更できません。LVD00Nビットを設定する場合は、フラッシュライタでOFFF番地のb5に“0”(ハードウェアリセット後、電圧監視0リセット有効)または“1”(ハードウェアリセット後、電圧監視0リセット無効)を書き込んでください。OFSレジスタの詳細は「図5.4 OFSレジスタ」を参照してください。

電圧監視0リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「6. 電圧検出回路」を参照してください。

5.4 電圧監視1リセット

マイクロコンピュータに内蔵している電圧検出1回路によるリセットです。電圧検出1回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet1です。

VCC端子に入力する電圧が下降してVdet1以下になると端子、CPU、SFRが初期化され、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

電圧監視1リセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet1以下になると、内部RAMは不定となります。

電圧監視1リセットの詳細は「6. 電圧検出回路」を参照してください。

5.5 電圧監視2リセット

マイクロコンピュータに内蔵している電圧検出2回路によるリセットです。電圧検出2回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet2です。

VCC端子に入力する電圧が下降してVdet2以下になると、端子、CPU、SFRが初期化され、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

電圧監視2リセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet2以下になると、内部RAMは不定となります。

電圧監視2リセットの詳細は「6. 電圧検出回路」を参照してください。

5.6 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

ウォッチドッグタイマリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマの詳細は「15. ウォッチドッグタイマ」を参照してください。

5.7 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

ソフトウェアリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。内部RAMは初期化されません。

6. 電圧検出回路

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できます。また、電圧監視0リセット、電圧監視1割り込み、電圧監視1リセット、電圧監視2割り込み、電圧監視2リセットを使用できます。

表6.1に電圧検出回路の仕様を、図6.1～図6.4にブロック図を、図6.5～図6.8に関連レジスタを示します。

表6.1 電圧検出回路の仕様

項目	電圧検出0	電圧検出1	電圧検出2	
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	上昇または下降してVdet0を通過したか	上昇または下降してVdet1を通過したか	上昇または下降してVdet2を通過したか
	モニタ	なし	VW1CレジスタのVW1C3ビット Vdet1より高いか低いかなし	VCA1レジスタのVCA13ビット Vdet2より高いか低いかなし
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCCでリセット； VCC > Vdet0でCPU動作再開	電圧監視1リセット Vdet1 > VCCでリセット； 一定時間後にCPU動作再開	電圧監視2リセット Vdet2 > VCCでリセット； 一定時間後にCPU動作再開
	割り込み	なし	電圧監視1割り込み デジタルフィルタ有効時は Vdet1 > VCC、VCC > Vdet1の 両方で割り込み要求； デジタルフィルタ無効時は Vdet1 > VCC、VCC > Vdet1の どちらかで割り込み要求	電圧監視2割り込み デジタルフィルタ有効時は Vdet2 > VCC、VCC > Vdet2の 両方で割り込み要求； デジタルフィルタ無効時は Vdet2 > VCC、VCC > Vdet2の どちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	あり	あり	あり
	サンプリング時間	(fOCO-Sのn分周) × 4 n: 1、2、4、8	(fOCO-Sのn分周) × 4 n: 1、2、4、8	(fOCO-Sのn分周) × 4 n: 1、2、4、8

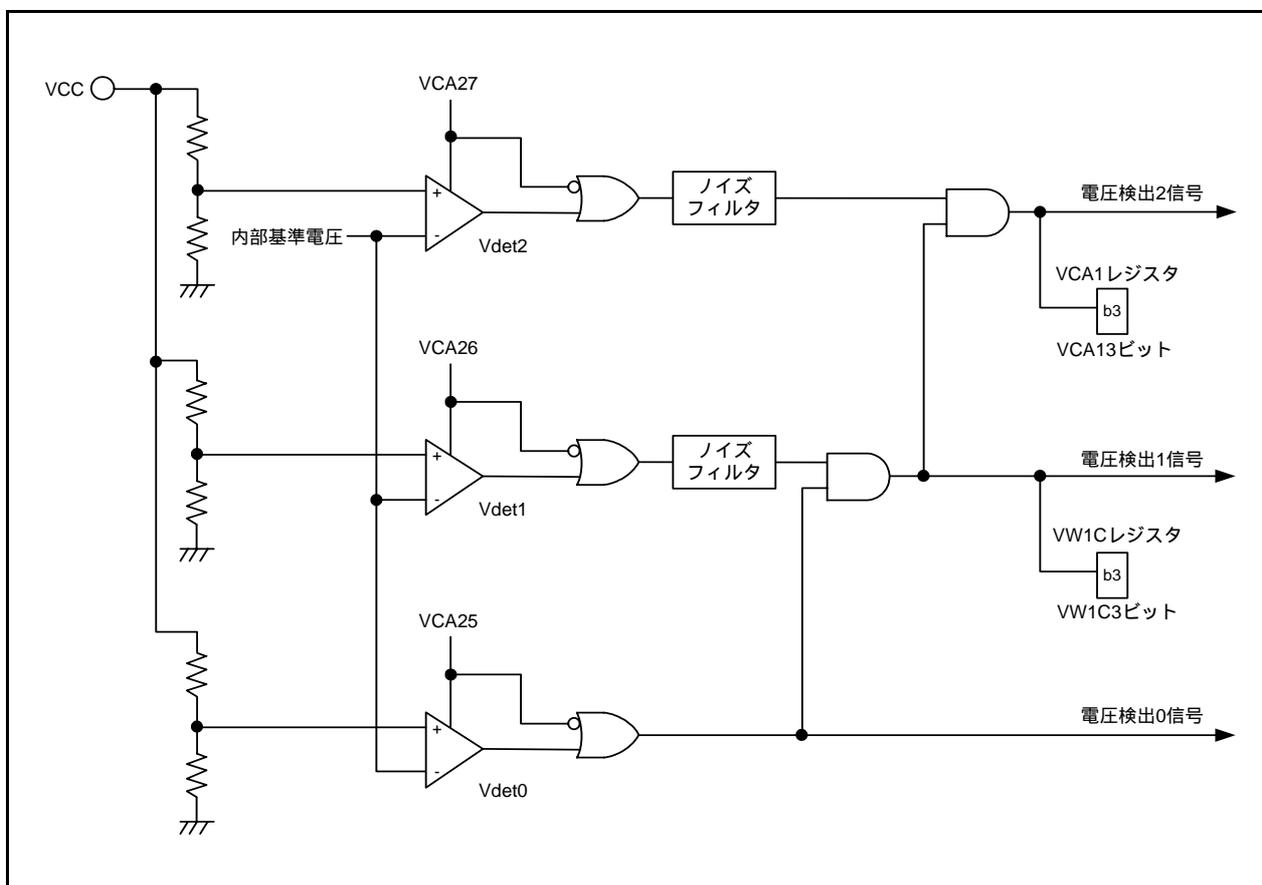


図6.1 電圧検出回路ブロック図

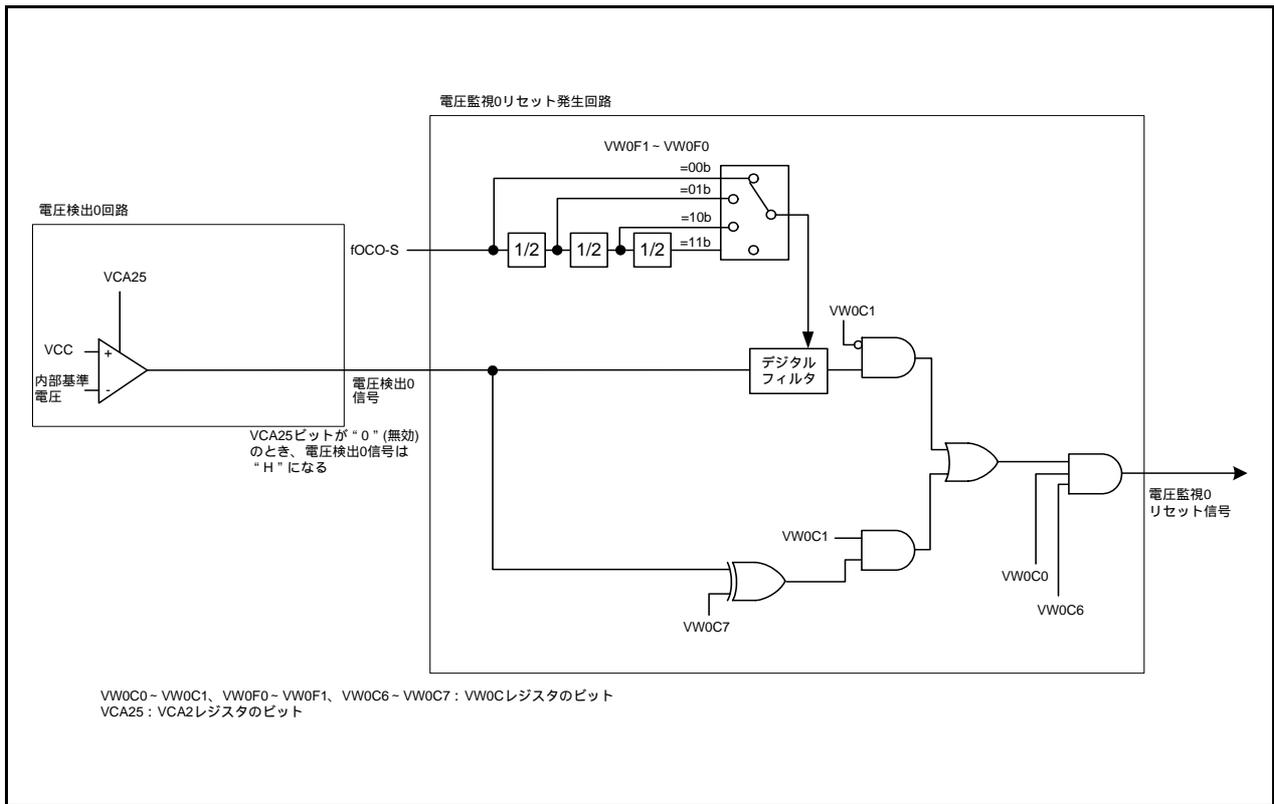


図6.2 電圧監視0リセット発生回路のブロック図

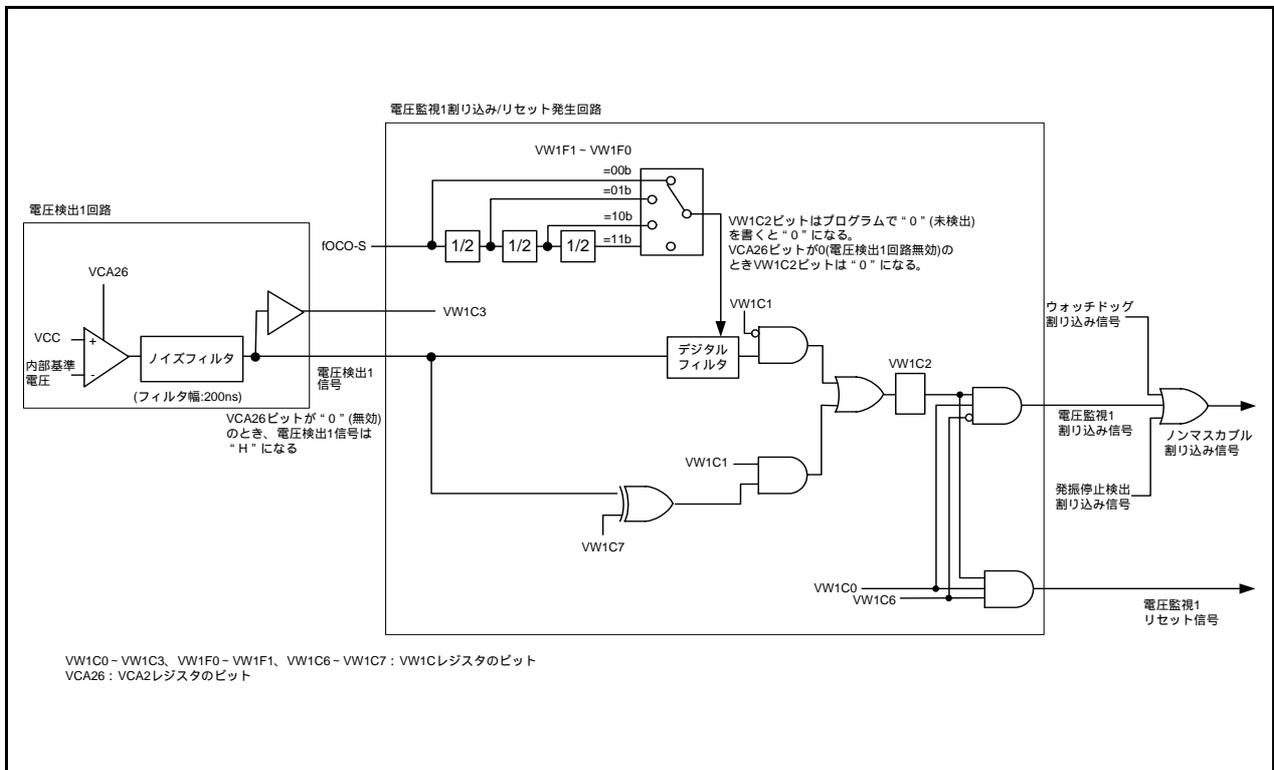


図6.3 電圧監視1割り込み/リセット発生回路のブロック図

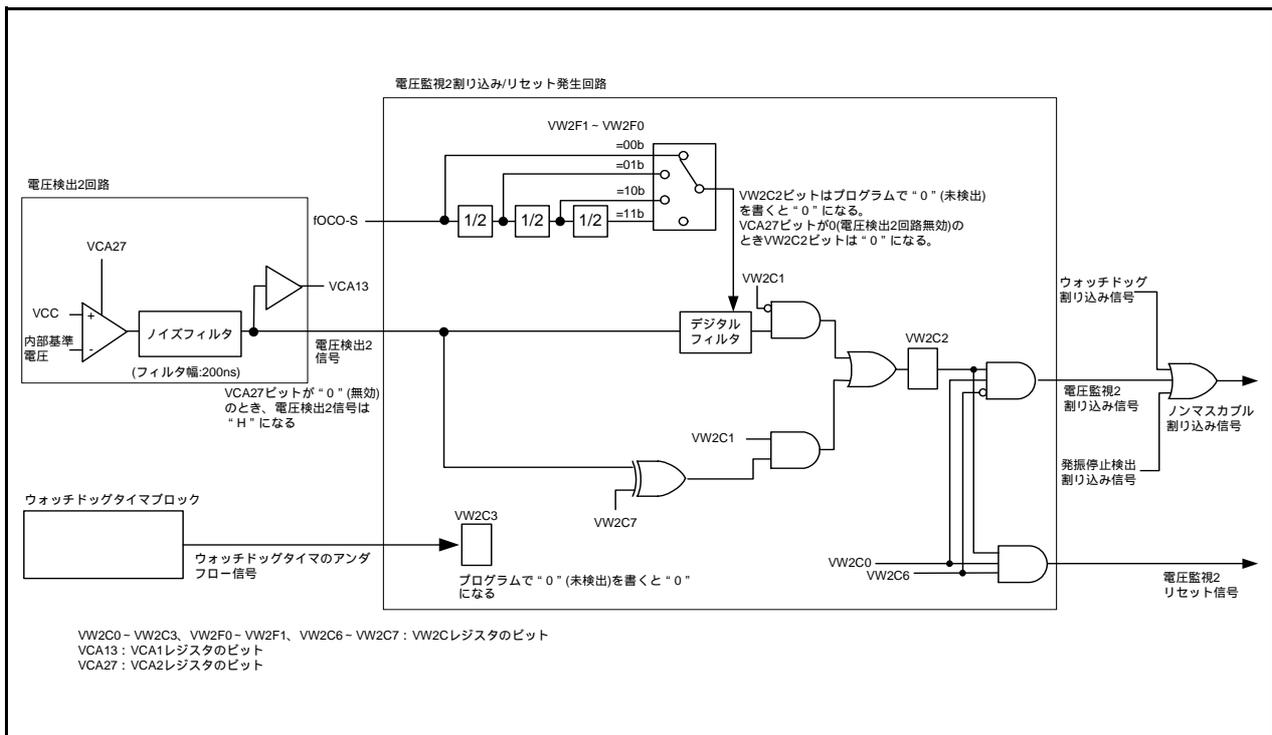


図6.4 電圧監視2割り込み/リセット発生回路のブロック図

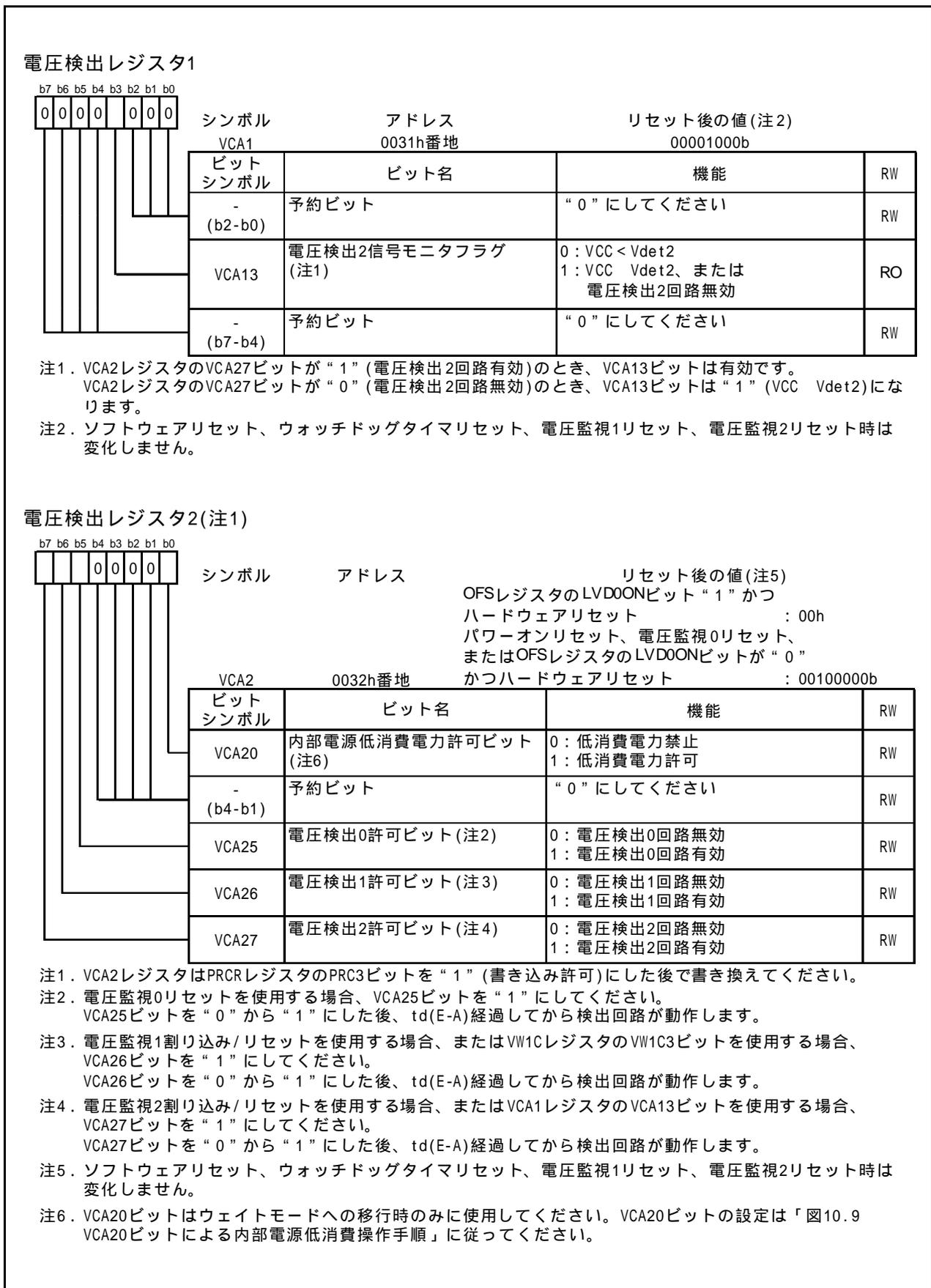


図6.5 VCA1、VCA2レジスタ

電圧監視0回路制御レジスタ(注1)

シンボル アドレス リセット後の値(注2)

VW0C 0038h番地 OFSレジスタのLVDOONビットが“1”かつ
ハードウェアリセット : 0000X000b
パワーオンリセット、電圧監視0リセット、
またはOFSレジスタのLVDOONビットが“0”
かつハードウェアリセット : 0100X001b

ビットシンボル	ビット名	機能	RW
VW0C0	電圧監視0リセット許可ビット(注3)	0: 禁止 1: 許可	RW
VW0C1	電圧監視0デジタルフィルタ無効モード選択ビット	0: デジタルフィルタ有効モード(デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード(デジタルフィルタ回路無効)	RW
VW0C2	予約ビット	“0” にしてください。	RW
- (b3)	予約ビット	読んだ場合、その値は不定。	RO
VW0F0	サンプリングクロック選択ビット	b5 b4 0 0: fOCO-Sの1分周 0 1: fOCO-Sの2分周 1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周	RW
VW0F1			RW
VW0C6	電圧監視0回路モード選択ビット	VW0C0ビットが“1”(電圧監視0リセット許可)の場合は、“1” にしてください。	RW
VW0C7	電圧監視0リセット発生条件選択ビット(注4)	VW0C1ビットが“1”(デジタルフィルタ無効モード)の場合は、“1” にしてください。	RW

注1. VW0CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。
 注2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセット時は変化しません。
 注3. VW0C0ビットはVCA2レジスタのVCA25ビットが“1”(電圧検出0回路有効)のとき有効。VCA25ビットが“0”(電圧検出0回路無効)のとき、VW0C0ビットを“0”(禁止)にしてください。
 注4. VW0C7ビットはVW0C1ビットが“1”(デジタルフィルタ無効モード)のとき有効。

図6.6 VW0C レジスタ

電圧監視1回路制御レジスタ(注1)

シンボル VW1C	アドレス 0036h番地	リセット後の値(注8) 00001000b	
ビット シンボル	ビット名	機能	RW
VW1C0	電圧監視1割り込み/リセット許可ビット(注6)	0 : 禁止 1 : 許可	RW
VW1C1	電圧監視1デジタルフィルタ無効モード選択ビット(注2)	0 : デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1 : デジタルフィルタ無効モード (デジタルフィルタ回路無効)	RW
VW1C2	電圧変化検出フラグ(注3、4、8)	0 : 未検出 1 : Vdet1通過検出	RW
VW1C3	電圧検出1信号モニタフラグ(注3、8)	0 : VCC < Vdet1 1 : VCC > Vdet1または電圧検出1回路無効	RO
VW1F0	サンプリングクロック選択ビット	b5 b4 0 0 : fOCO-Sの1分周 0 1 : fOCO-Sの2分周 1 0 : fOCO-Sの4分周 1 1 : fOCO-Sの8分周	RW
VW1F1			RW
VW1C6	電圧監視1回路モード選択ビット(注5)	0 : 電圧監視1割り込みモード 1 : 電圧監視1リセットモード	RW
VW1C7	電圧監視1割り込み/リセット発生条件選択ビット(注7、9)	0 : VCCがVdet1以上になるとき 1 : VCCがVdet1以下になるとき	RW

注1. VW1CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. 電圧監視1割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、VW1C1ビットに“0”を書き込み後、“1”を書き込んでください。

注3. VW1C2ビットおよびVW1C3ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効。

注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

注5. VW1C6ビットはVW1C0ビットが“1”(電圧監視1割り込み/リセット許可)のとき有効。

注6. VW1C0ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効。VCA26ビットが“0”(電圧検出1回路無効)のとき、VW1C0ビットを“0”(禁止)にしてください。

注7. VW1C7ビットはVW1C1ビットが“1”(デジタルフィルタ無効モード)のとき有効。

注8. VW1C2ビットとVW1C3ビットはソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセット時は変化しません。

注9. VW1C6ビットが“1”(電圧監視1リセットモード)のとき、VW1C7ビットは“1”(Vdet1以下になるとき)にしてください(“0”にしないでください)。

図6.7 VW1Cレジスタ

電圧監視2回路制御レジスタ(注1)

シンボル VW2C	アドレス 0037h番地	リセット後の値(注8) 00h	
ビット シンボル	ビット名	機能	RW
VW2C0	電圧監視2割り込み/リセット許可ビット(注6)	0: 禁止 1: 許可	RW
VW2C1	電圧監視2デジタルフィルタ無効モード選択ビット(注2)	0: デジタルフィルタ有効モード(デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード(デジタルフィルタ回路無効)	RW
VW2C2	電圧変化検出フラグ(注3、4、8)	0: 未検出 1: Vdet2通過検出	RW
VW2C3	WDT検出フラグ(注4、8)	0: 未検出 1: 検出	RW
VW2F0	サンプリングクロック選択ビット	b5 b4 0 0: fOCO-Sの1分周	RW
VW2F1		0 1: fOCO-Sの2分周 1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周	RW
VW2C6	電圧監視2回路モード選択ビット(注5)	0: 電圧監視2割り込みモード 1: 電圧監視2リセットモード	RW
VW2C7	電圧監視2割り込み/リセット発生条件選択ビット(注7、9)	0: VCCがVdet2以上になるとき 1: VCCがVdet2以下になるとき	RW

注1. VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。VW2Cレジスタを書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。

注2. 電圧監視2割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、VW2C1ビットに“0”を書き込み後、“1”を書き込んでください。

注3. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効。

注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

注5. VW2C6ビットはVW2C0ビットが“1”(電圧監視2割り込み/リセット許可)のとき有効。

注6. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効。VCA27ビットが“0”(電圧検出2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。

注7. VW2C7ビットはVW2C1ビットが“1”(デジタルフィルタ無効モード)のとき有効。

注8. VW2C2ビットとVW2C3ビットはソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセット時は変化しません。

注9. VW2C6ビットが“1”(電圧監視2リセットモード)のとき、VW2C7ビットは“1”(Vdet2以下になるとき)にしてください(“0”にしないでください)。

図6.8 VW2Cレジスタ

6.1 VCC入力電圧のモニタ

6.1.1 Vdet0のモニタ

Vdet0のモニタはできません。

6.1.2 Vdet1のモニタ

VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にしてください。td(E-A)(「22. 電気的特性」参照)経過後、VW1CレジスタのVW1C3ビットでVdet1をモニタできます。

6.1.3 Vdet2のモニタ

VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にしてください。td(E-A)(「22. 電気的特性」参照)経過後、VCA1レジスタのVCA13ビットでVdet2をモニタできます。

6.2 電圧監視0リセット

表6.2に電圧監視0リセット関連ビットの設定手順を、図6.9に電圧監視0リセット動作例を示します。
 なお、電圧監視0リセットをストップモードからの復帰に使用する場合は、VW0CレジスタのVW0C1ビットを“1”(デジタルフィルタ無効)にしてください。

表6.2 電圧監視0リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VCA2レジスタのVCA25ビットを“1”(電圧検出0回路有効)にする	
2	td(E-A)待つ	
3	VW0CレジスタのVW0F0～VW0F1ビットでデジタルフィルタのサンプリングクロックを選択する	VW0CレジスタのVW0C7ビットを“1”にする
4(注1)	VW0CレジスタのVW0C1ビットを“0”(デジタルフィルタ有効)にする	VW0CレジスタのVW0C1ビットを“1”(デジタルフィルタ無効)にする
5(注1)	VW0CレジスタのVW0C6ビットを“1”(電圧監視0リセットモード)にする	
6	VW0CレジスタのVW0C2ビットを“0”にする	
7	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	-
8	デジタルフィルタのサンプリングクロック×4サイクル待つ	-(待ち時間なし)
9	VW0CレジスタのVW0C0ビットを“1”(電圧監視0リセット許可)にする	

注1. VW0C0ビットが“0”のとき、手順3、4と5は同時に(1命令で)実行してもかまいません。

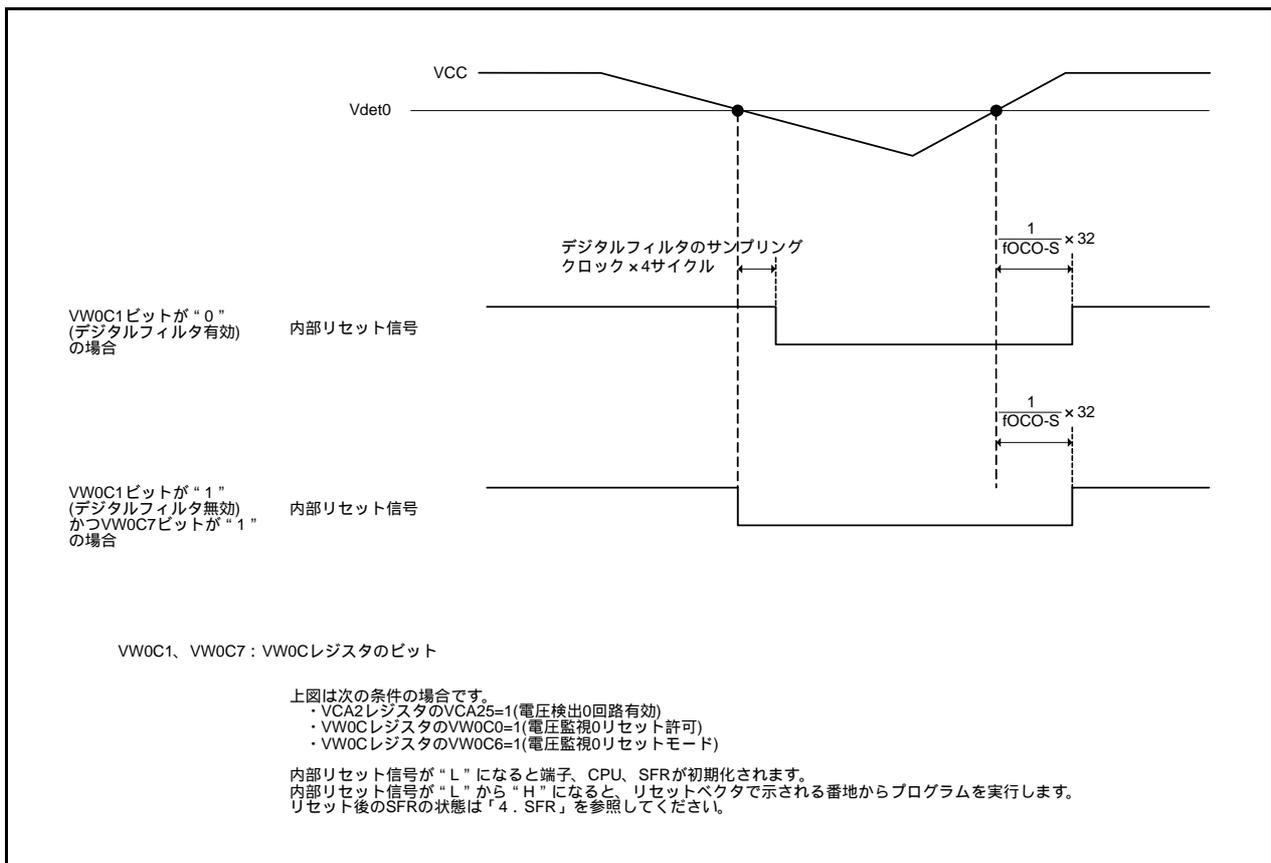


図6.9 電圧監視0リセット動作例

6.3 電圧監視1割り込み、電圧監視1リセット

表 6.3 に電圧監視1割り込み、電圧監視1リセット関連ビットの設定手順を、図 6.10 に電圧監視1割り込み、電圧監視1リセット動作例を示します。

なお、電圧監視1割り込みまたは電圧監視1リセットをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.3 電圧監視1割り込み、電圧監視1リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視1割り込み	電圧監視1リセット	電圧監視1割り込み	電圧監視1リセット
1	VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする			
2	td(E-A)待つ			
3	VW1CレジスタのVW1F0～VW1F1ビットでデジタルフィルタのサンプリングクロックを選択する		VW1CレジスタのVW1C7ビットで割り込み、リセット要求のタイミングを選択する(注1)	
4(注2)	VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする		VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする	
5(注2)	VW1CレジスタのVW1C6ビットを“0”(電圧監視1割り込みモード)にする	VW1CレジスタのVW1C6ビットを“1”(電圧監視1リセットモード)にする	VW1CレジスタのVW1C6ビットを“0”(電圧監視1割り込みモード)にする	VW1CレジスタのVW1C6ビットを“1”(電圧監視1リセットモード)にする
6	VW1CレジスタのVW1C2ビットを“0”(Vdet1通過未検出)にする			
7	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする		-	
8	デジタルフィルタのサンプリングクロック×4サイクル待つ		-(待ち時間なし)	
9	VW1CレジスタのVW1C0ビットを“1”(電圧監視1割り込み/リセット許可)にする。			

注1. 電圧監視1リセットではVW1C7ビットを“1”(Vdet1以下になるとき)にしてください。

注2. VW1C0ビットが“0”のとき、手順3、4と5は同時に(1命令で)実行してもかまいません。

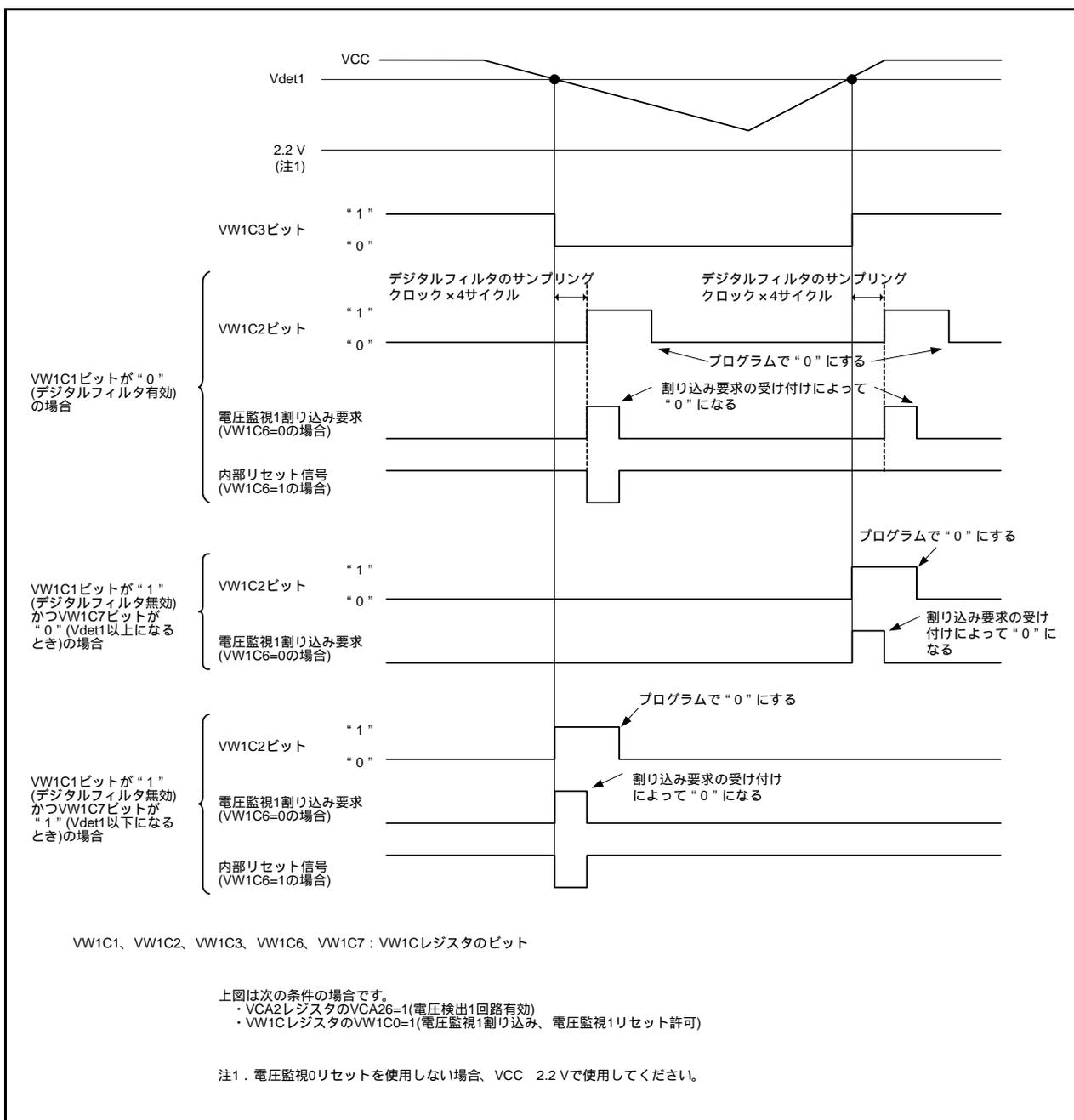


図6.10 電圧監視1割り込み、電圧監視1リセット動作例

6.4 電圧監視2割り込み、電圧監視2リセット

表 6.4 に電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順を、図 6.11 に電圧監視2割り込み、電圧監視2リセット動作例を示します。

なお、電圧監視2割り込みまたは電圧監視2リセットをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.4 電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視2割り込み	電圧監視2リセット	電圧監視2割り込み	電圧監視2リセット
1	VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする			
2	td(E-A)待つ			
3	VW2CレジスタのVW2F0～VW2F1ビットでデジタルフィルタのサンプリングクロックを選択する		VW2CレジスタのVW2C7ビットで割り込み、リセット要求のタイミングを選択する(注1)	
4(注2)	VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする		VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする	
5(注2)	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込みモード)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセットモード)にする	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込みモード)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセットモード)にする
6	VW2CレジスタのVW2C2ビットを“0”(Vdet2通過未検出)にする			
7	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする		-	
8	デジタルフィルタのサンプリングクロック×4サイクル待つ		-(待ち時間なし)	
9	VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み/リセット許可)にする。			

注1. 電圧監視2リセットではVW2C7ビットを“1”(Vdet2以下になるとき)にしてください。

注2. VW2C0ビットが“0”のとき、手順3、4と5は同時に(1命令で)実行してもかまいません。

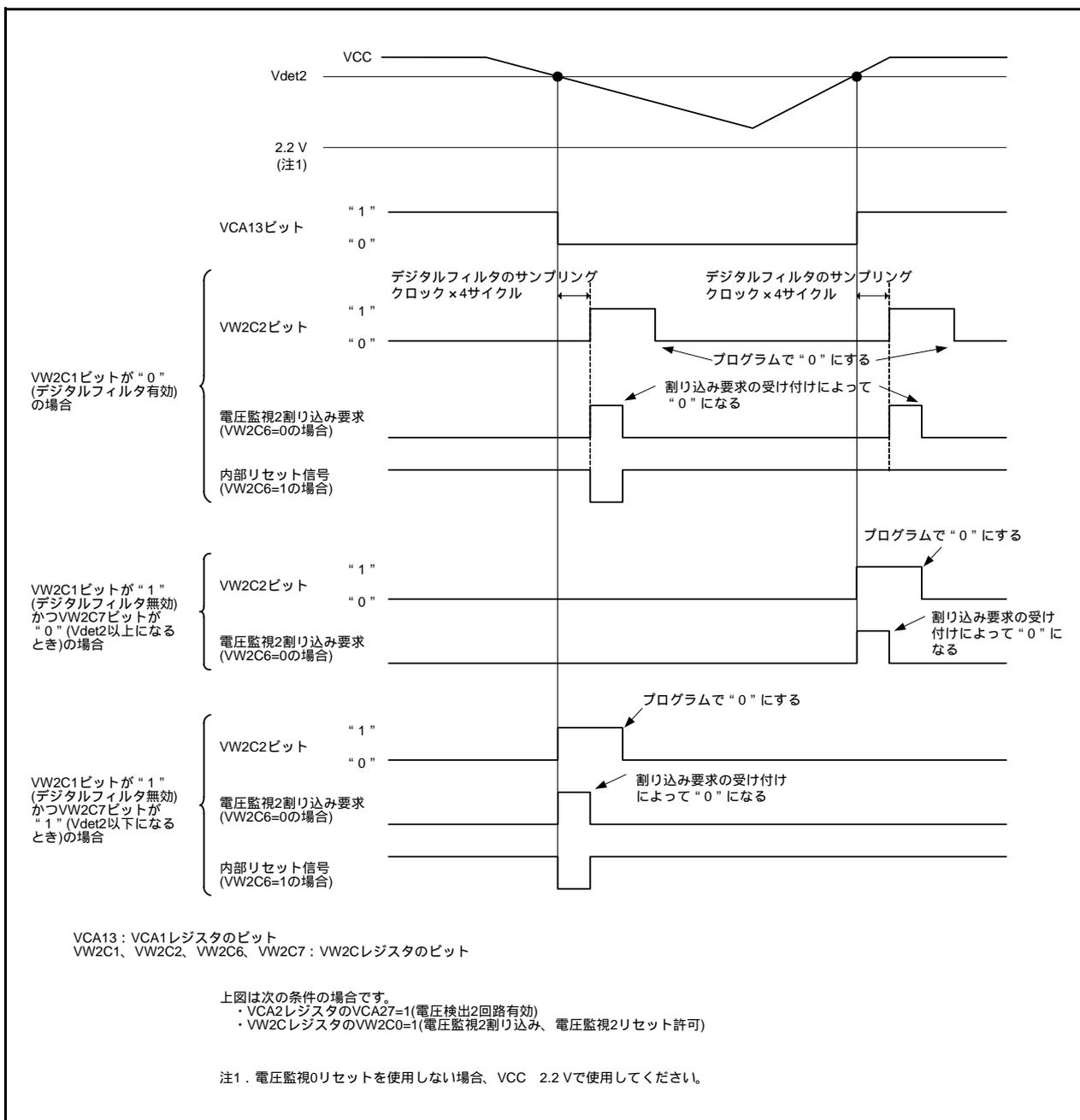


図6.11 電圧監視2割り込み、電圧監視2リセット動作例

7. プログラマブル入出力ポート

プログラマブル入出力ポート(以下、入出力ポートと称す)は、P0_0 ~ P0_3、P0_5、P1、P2、P3_3 ~ P3_5、P4_5の25本あります。また、XINクロック発振回路を使用しない場合、P4_6、P4_7を、A/Dコンバータを使用しない場合、P4_2を入力専用ポートとして使用できます。

表7.1にプログラマブル入出力ポートの概要を示します。

表7.1 プログラマブル入出力ポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗
P0_0 ~ P0_3、P1、P2	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定(注1)
P3_4、P3_5	入出力	CMOS3ステート	1ビット単位で設定	2ビット単位で設定(注1)
P0_5、P3_3、P4_5	入出力	CMOS3ステート	1ビット単位で設定	1ビット単位で設定(注1)
P4_2、P4_6(注2)、 P4_7(注2)	入力	(出力機能なし)	なし	なし

注1. 入力モード時、PUR0およびPUR1レジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. XINクロック発振回路を使用しない場合、入力専用ポートとして使用できます。

7.1 プログラマブル入出力ポートの機能

ポートP0_0 ~ P0_3、P0_5、P1、P2、P3_3 ~ P3_5、P4_5の入出力はPD_i(i=0 ~ 4)レジスタのPD_i_j(j=0 ~ 7)ビットで制御します。P_iレジスタは出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。

図7.1 ~ 図7.6にプログラマブル入出力ポートの構成を、表7.2にプログラマブル入出力ポートの機能を、図7.8にPD_iレジスタを、図7.9にP_iレジスタを、図7.10にP2DRRレジスタを、図7.11にPINSR1、PINSR2、PINSR3、PMRレジスタを、図7.12にPUR0、PUR1レジスタを示します。

表7.2 プログラマブル入出力ポートの機能

P _i レジスタをアクセス 時の動作	PD _i レジスタのPD _i _jビットの値(注1)	
	“0”(入力モード)のとき	“1”(出力モード)のとき
読み出し	端子の入力レベルを読む	ポートラッチを読む
書き込み	ポートラッチに書く	ポートラッチに書く。ポートラッチに書いた値は、端子から出力される。

i=0 ~ 4、j=0 ~ 7

注1. 次の各ビットには何も配置されていません：

PD0_4、PD0_6、PD0_7、PD3_0 ~ PD3_2、PD3_6、PD3_7、PD4_0 ~ PD4_4、PD4_6、PD4_7

7.2 周辺機能への影響

プログラマブル入出力ポートは、周辺機能の入出力として機能する場合があります(「表1.7 ピン番号別端子名一覧」参照)。

表7.3に周辺機能の入出力として機能する場合のPDi_jビットの設定(i=0~4、j=0~7)を示します。周辺機能の設定方法は、各機能説明を参照してください。

表7.3 周辺機能の入出力として機能する場合のPDi_jビットの設定(i=0~4、j=0~7)

周辺機能の入出力	端子を共用しているポートのPDi _j ビットの設定
入力	“0”(入力モード)に設定してください
出力	“0”でも“1”でも良い(ポートの設定に関係なく、出力になる)

7.3 プログラマブル入出力ポート以外の端子

図7.7に端子の構成を示します。

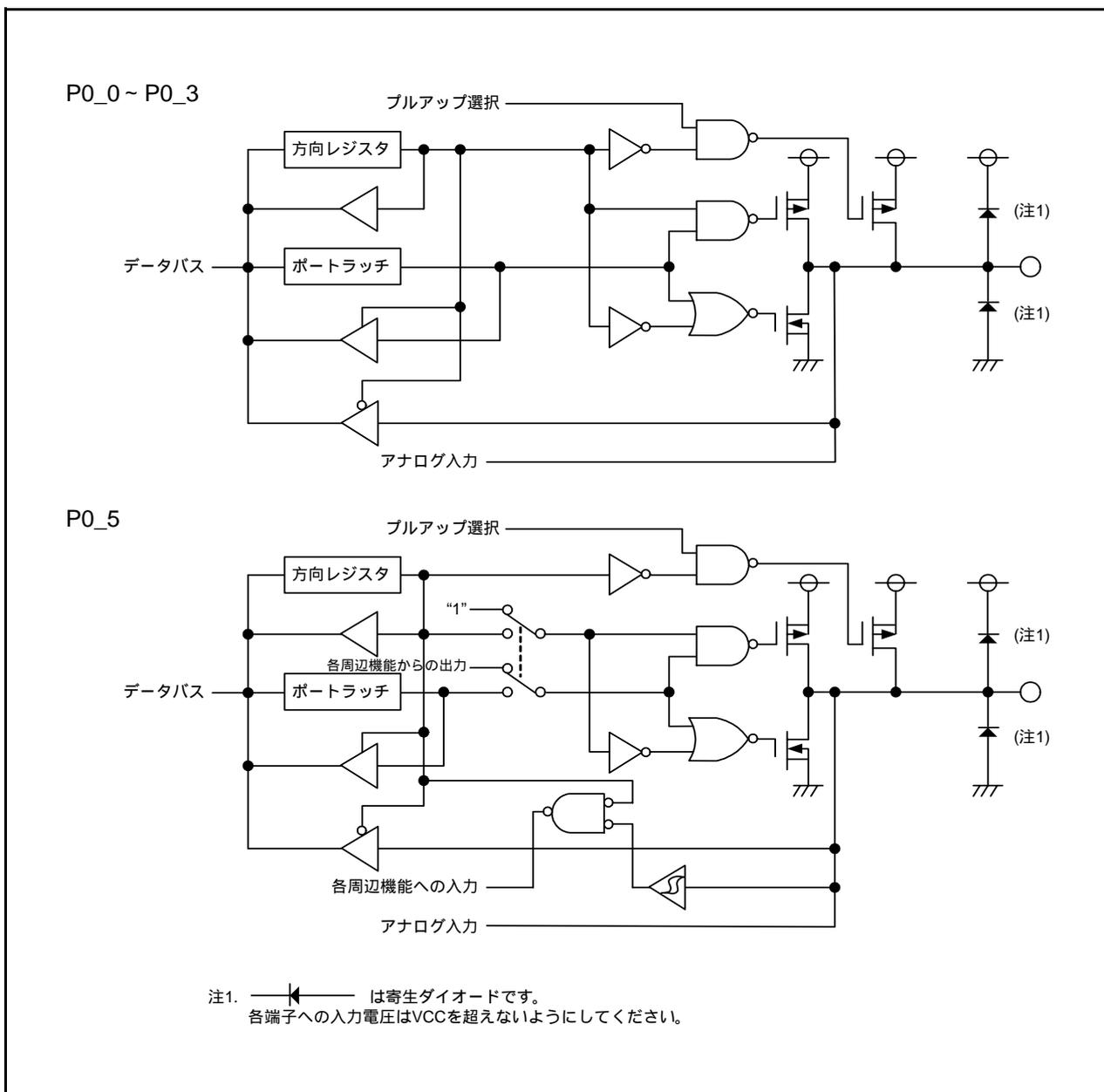


図7.1 プログラマブル入出力ポートの構成 (1)

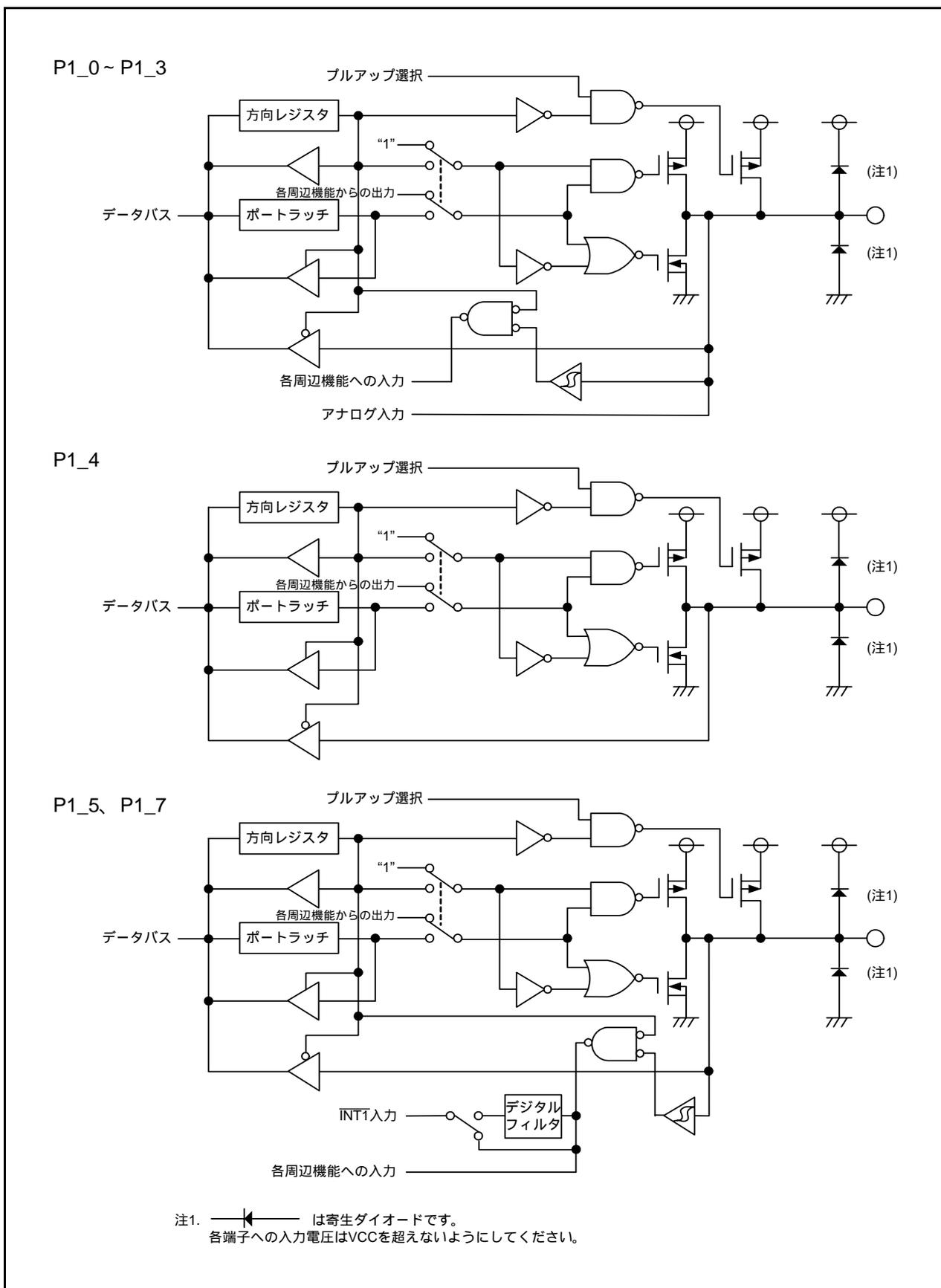


図7.2 プログラマブル入出力ポートの構成(2)

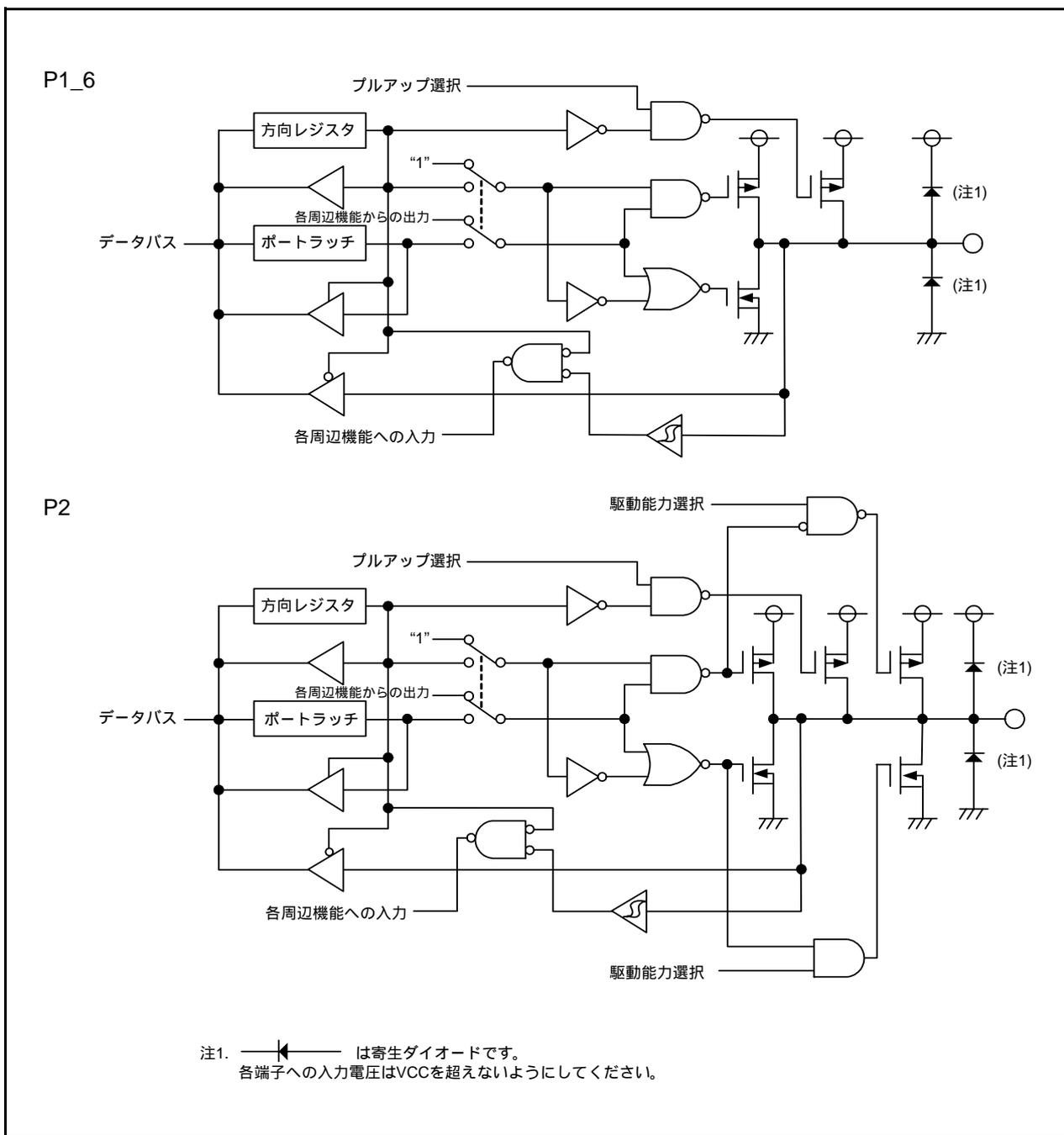


図7.3 プログラマブル入出力ポートの構成(3)

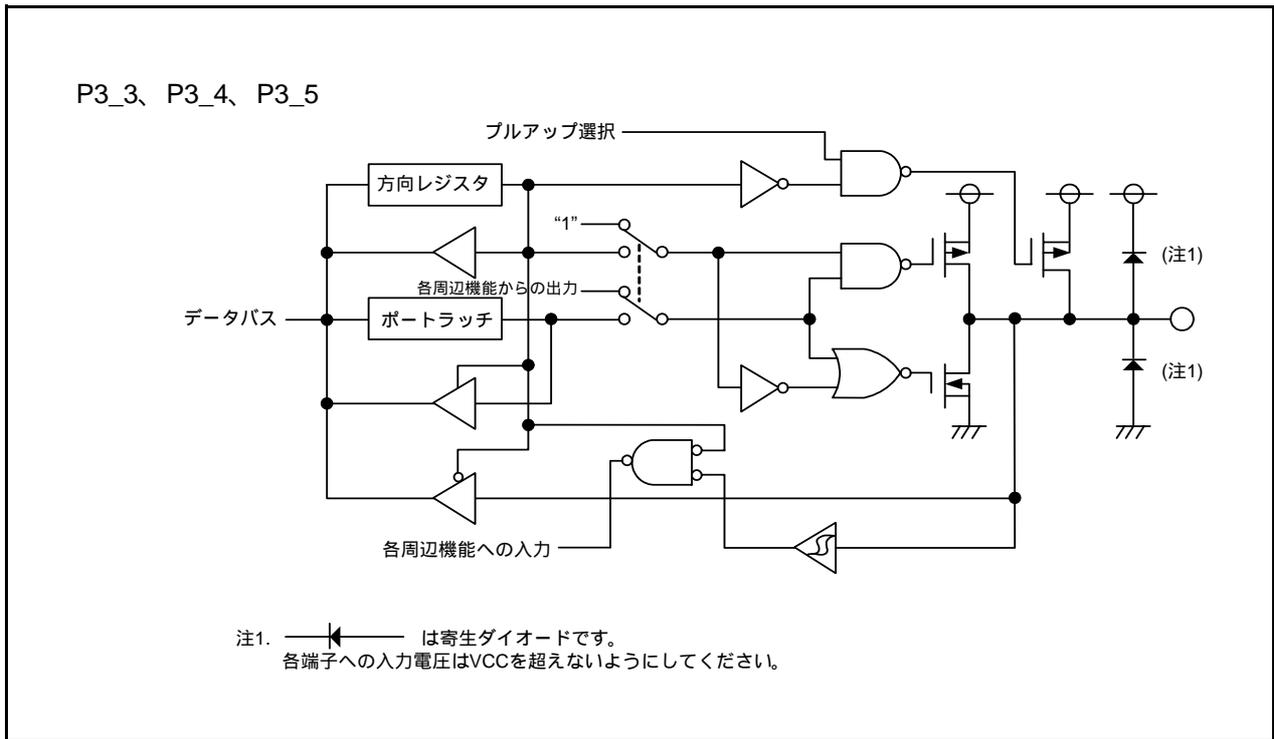


図7.4 プログラマブル入出力ポートの構成(4)

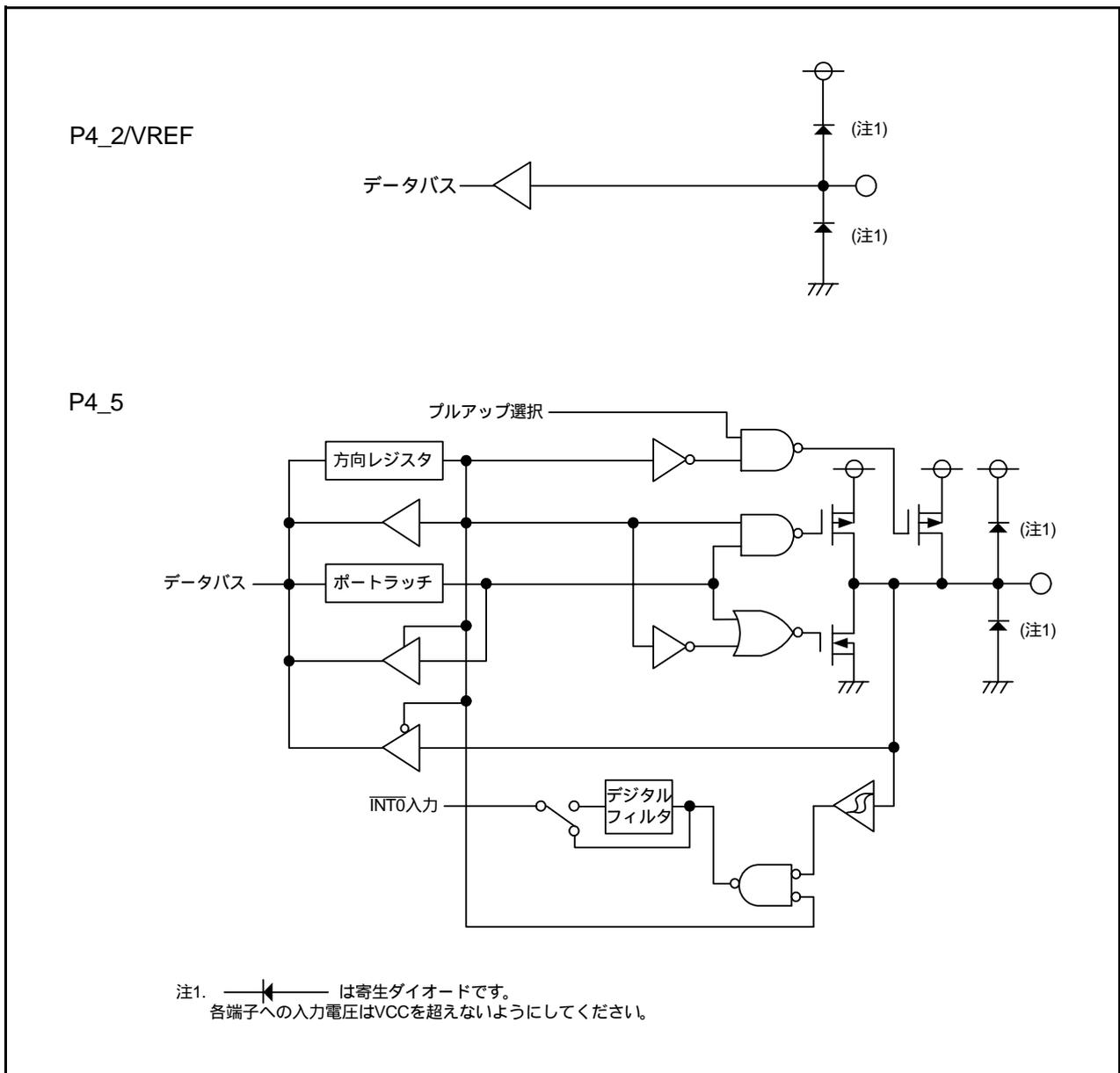


図7.5 プログラマブル入出力ポートの構成(5)

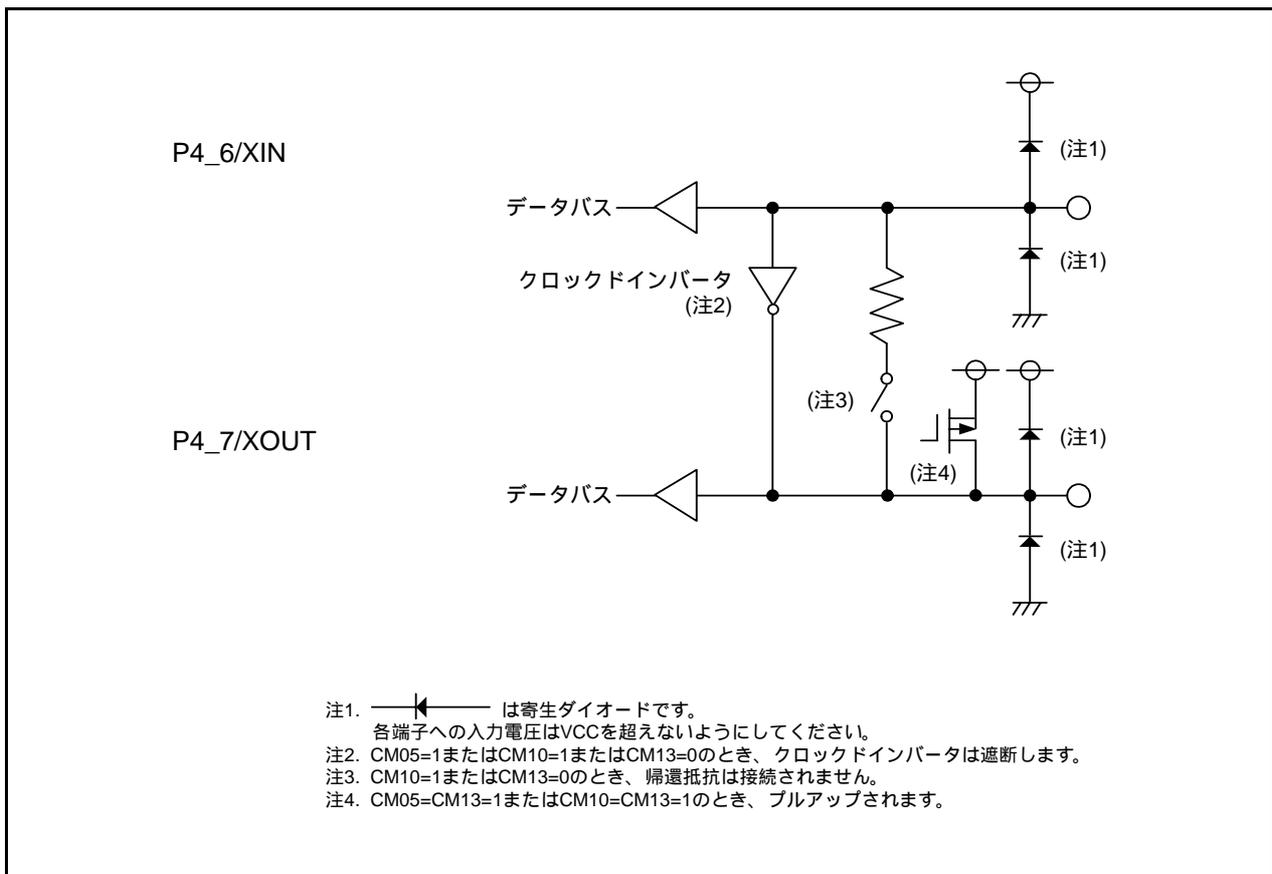


図7.6 プログラマブル入出力ポートの構成(6)

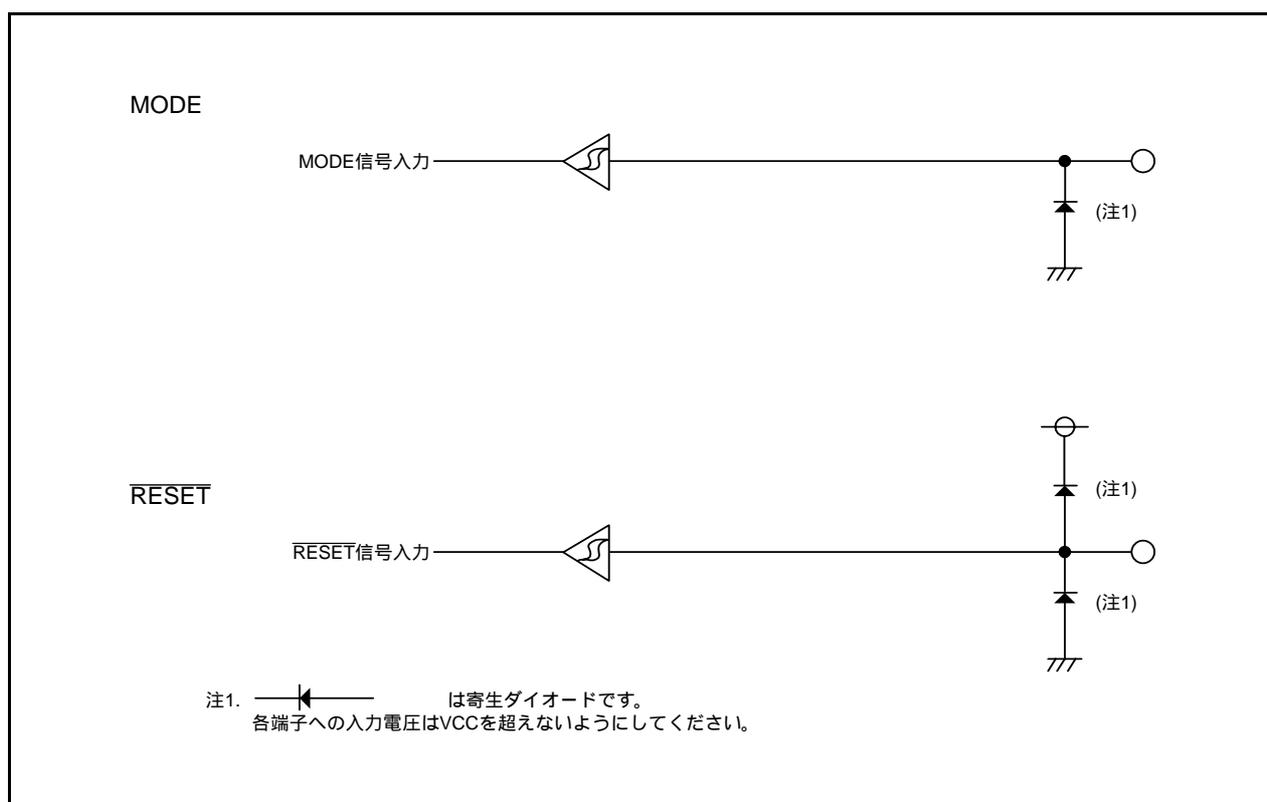


図7.7 端子の構成

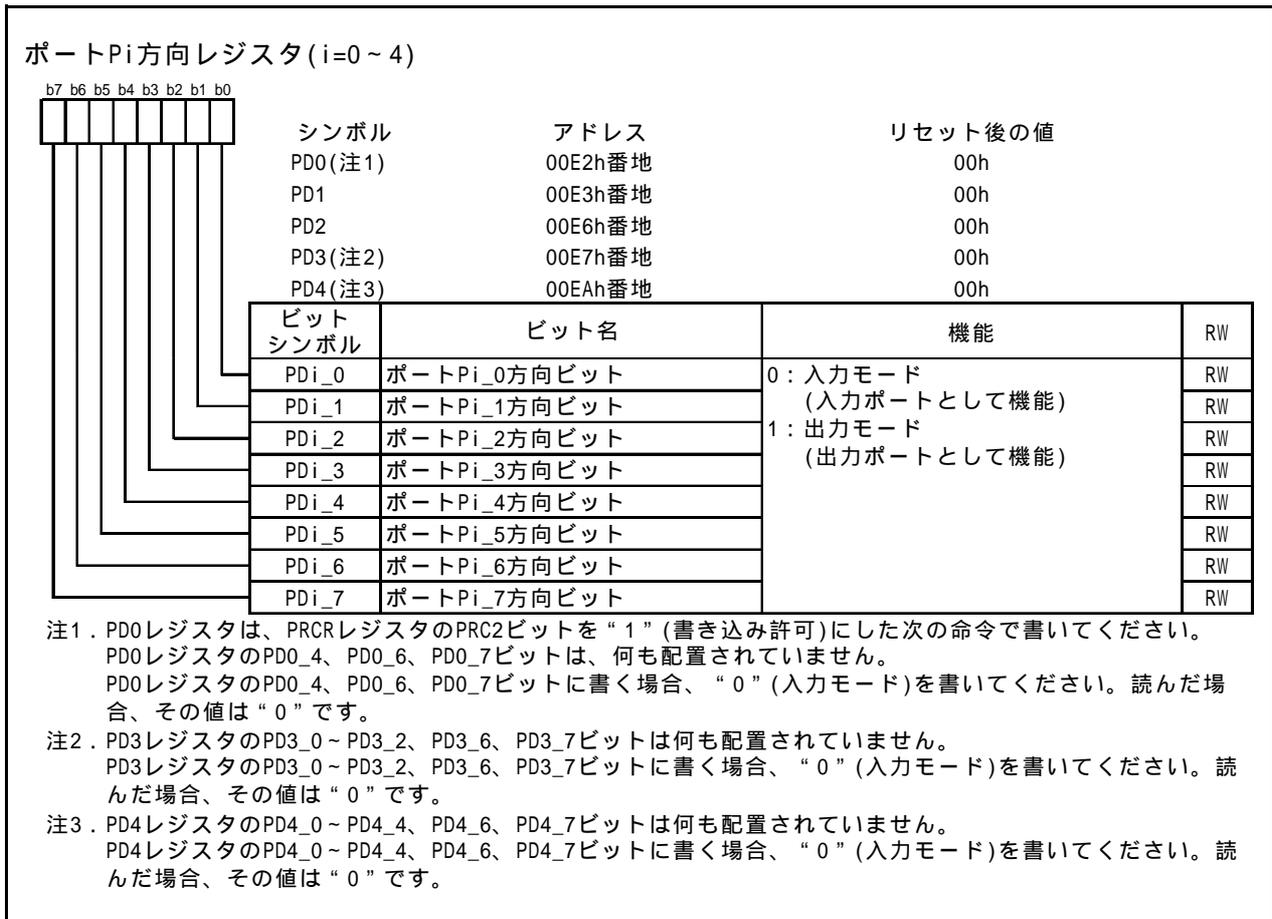


図7.8 PDiレジスタ

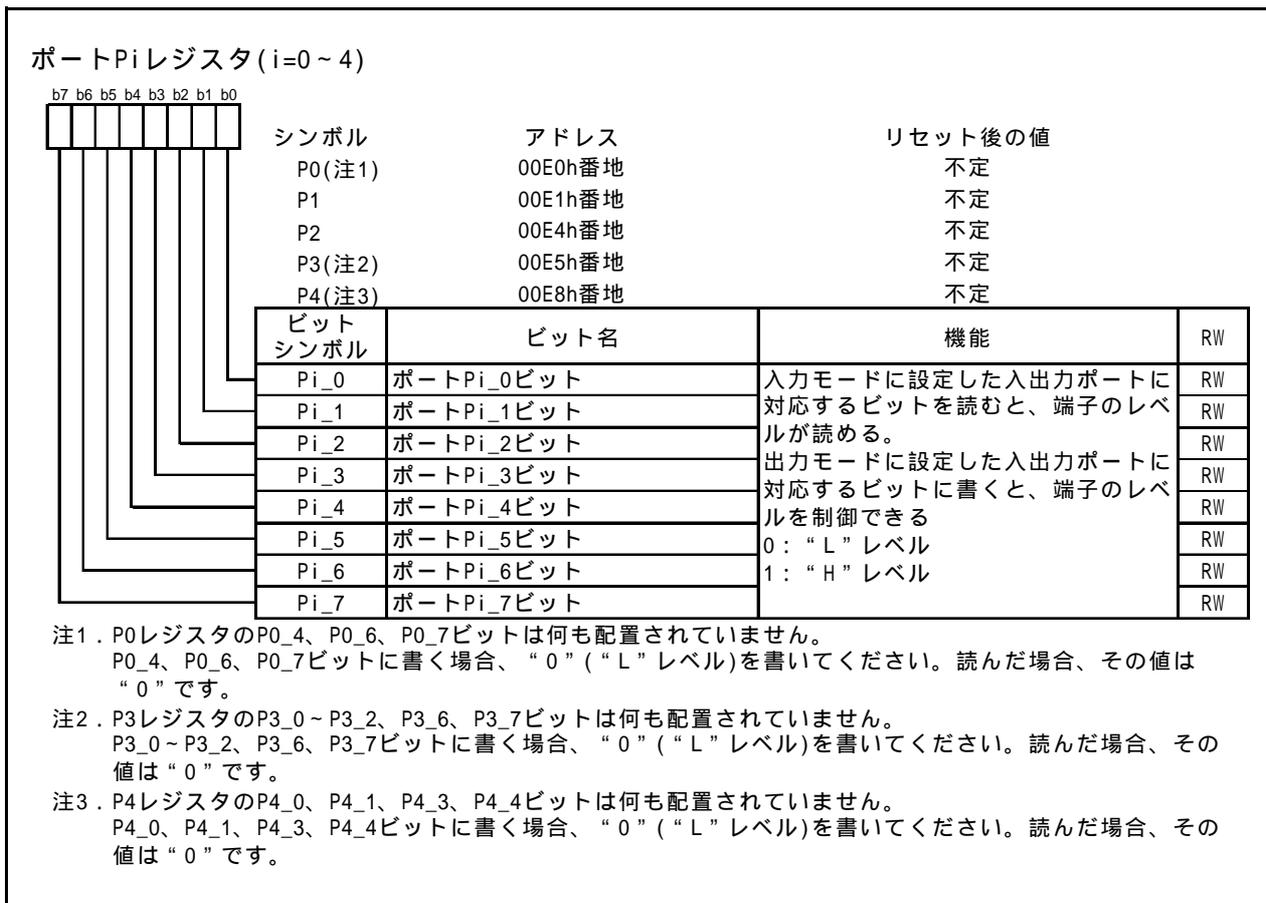


図7.9 Piレジスタ

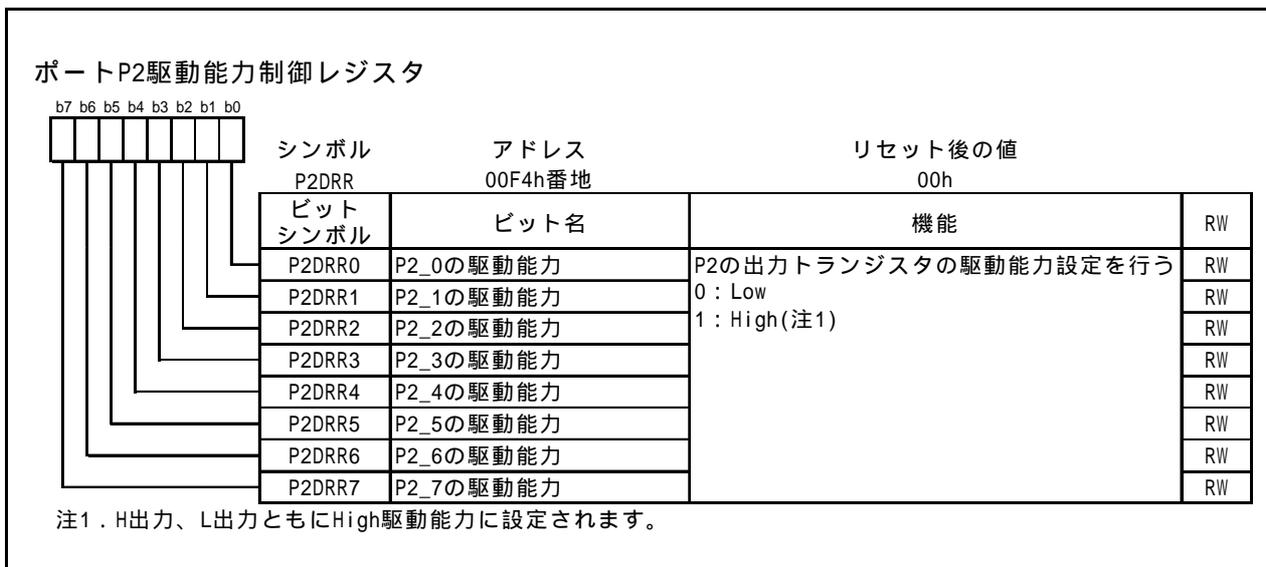


図7.10 P2DRRレジスタ

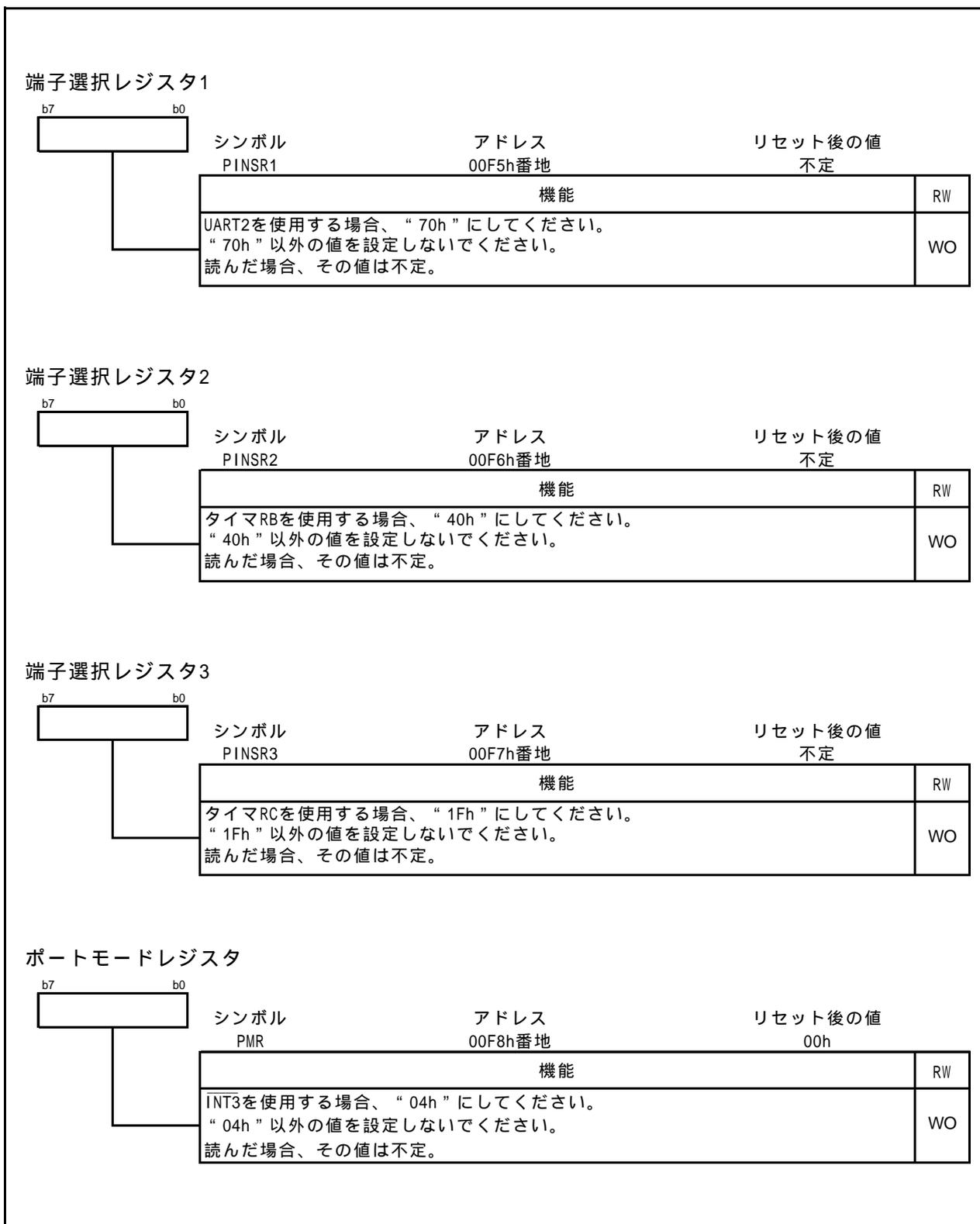


図7.11 PINSR1、PINSR2、PINSR3、PMRレジスタ

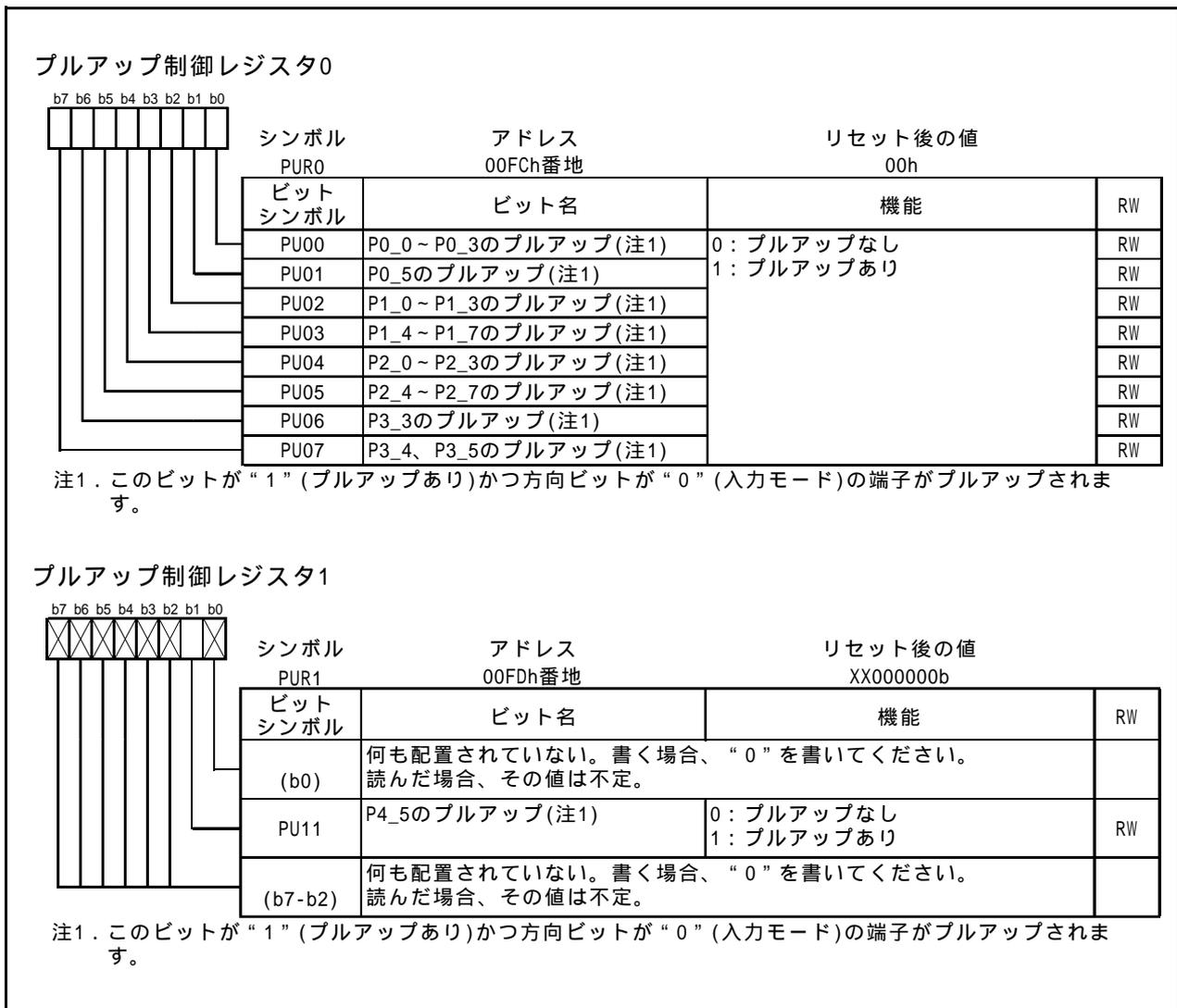


図7.12 PUR0、PUR1レジスタ

7.4 ポートの設定

表7.4～表7.36にポートの設定を示します。

表7.4 ポートP0_0/AN7

レジスタ ビット	PD0	ADCON0				機能
	PD0_0	CH2	CH1	CH0	ADGSEL0	
設定値	0	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	出力ポート
	0	1	1	1	0	A/Dコンバータ入力(AN7)

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

表7.5 ポートP0_1/AN6/TXD2

レジスタ ビット	PD0	ADCON0				U2MR			機能	
	PD0_1	CH2	CH1	CH0	ADGSEL0	SMD2	SMD1	SMD0		
設定値	0	X	X	X	X	X	X	X	入力ポート(注1)	
	1	X	X	X	X	X	X	X	出力ポート	
	X	X	X	X	X	X	1	0	0	TXD2出力(注2、3)
									1	
									0	
	0	1	1	0	0	X	X	X	A/Dコンバータ入力(AN6)	

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

注2. U2C0レジスタのNCHビットを“1”にすると、Nチャンネルオープンドレイン出力になります。

注3. UART2機能を使用する場合、PINSR1レジスタを“70h”にしてください。

表7.6 ポートP0_2/AN5/RXD2

レジスタ ビット	PD0	ADCON0				機能
	PD0_2	CH2	CH1	CH0	ADGSEL0	
設定値	0	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	出力ポート
	0	1	0	1	0	A/Dコンバータ入力(AN5)
	0	X	X	X	X	RXD2入力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

注2. UART2機能を使用する場合、PINSR1レジスタを“70h”にしてください。

表7.7 ポートP0_3/AN4/CLK2

レジスタ ビット	PD0	ADCON0				U2MR				機能
	PD0_3	CH2	CH1	CH0	ADGSEL0	SMD2	SMD1	SMD0	CKDIR	
設定値	0	X	X	X	X	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	001b以外			X	出力ポート
	0	X	X	X	X	X	X	X	1	CLK2(外部クロック) 入力(注2)
	X	X	X	X	X	0	0	1	0	CLK2(内部クロック) 出力(注2)
	0	1	0	0	0	X	X	X	X	A/Dコンバータ入力 (AN4)

X:“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

注2. UART2機能を使用する場合、PINSR1レジスタを“70h”にしてください。

表7.8 ポートP0_5/AN2

レジスタ	PD0	ADCON0				機能
ビット	PD0_5	CH2	CH1	CH0	ADGSEL0	
設定値	0	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	出力ポート
	0	0	1	0	0	A/Dコンバータ入力(AN2)

X: "0" または "1"

注1. PUR0レジスタのPU01ビットを"1"にすると、プルアップありとなります。

表7.9 ポートP1_0/AN8/KIO

レジスタ	PD0	KIEN	ADCON0				機能
ビット	PD0_3	KI0EN	CH2	CH1	CH0	ADGSEL0	
設定値	0	0	X	X	X	X	入力ポート(注1)
	1	0	X	X	X	X	出力ポート
	0	1	X	X	X	X	KIO入力
	0	0	1	0	0	1	A/Dコンバータ入力(AN8)

X: "0" または "1"

注1. PUR0レジスタのPU02ビットを"1"にすると、プルアップありとなります。

表7.10 ポートP1_1/AN9/KI1/TRCIOA/TRCTRГ

レジスタ	PD1	KIEN	タイマRC設定	ADCON0				機能
ビット	PD1_1	KI1EN	-	CH2	CH1	CH0	ADGSEL0	
設定値	0	0	TRCIOA使用条件以外	X	X	X	X	入力ポート(注1)
	1	0	TRCIOA使用条件以外	X	X	X	X	出力ポート
	0	0	TRCIOA使用条件以外	1	0	1	1	A/Dコンバータ入力(AN9)
	0	1	TRCIOA使用条件以外	X	X	X	X	KI1入力(注1)
	X	0	「表7.11 TRCIOA端子設定」参照	X	X	X	X	TRCIOA出力(注2)
	0	0	「表7.11 TRCIOA端子設定」参照	X	X	X	X	TRCIOA入力(注1、2)

X: "0" または "1"

注1. PUR0レジスタのPU02ビットを"1"にすると、プルアップありとなります。

注2. タイマRC機能を使用する場合、PINSR3レジスタを"1Fh"にしてください。

表7.11 TRCIOA端子設定

レジスタ	TRCOER	TRCMR	TRCIOR0			TRCCR2		機能
ビット	EA	PWM2	IOA2	IOA1	IOA0	TCEG1	TCEG0	
設定値	0	1	0	0	1	X	X	タイマ波形出力(アウトプットコンペア機能)
			0	1	X	X	X	
	1	1	1	X	X	X	X	タイマモード(インプットキャプチャ機能)
	1	0	X	X	X	X	X	PWM2モード TRCTRГ入力
上記以外								TRCIOA使用条件以外

X: "0" または "1"

表7.12 ポートP1_2/AN10/KI2/TRCIOB

レジスタ	PD1	KIEN	タイマRC設定	ADCON0				機能
ビット	PD1_2	KI2EN	-	CH2	CH1	CH0	ADGSEL0	
設定値	0	0	TRCIOB使用条件以外	X	X	X	X	入力ポート(注1)
	1	0	TRCIOB使用条件以外	X	X	X	X	出力ポート
	0	0	TRCIOB使用条件以外	1	1	0	1	A/Dコンバータ入力(AN10)
	0	1	TRCIOB使用条件以外	X	X	X	X	KI2入力(注1)
	X	0	「表7.13 TRCIOB端子設定」参照	X	X	X	X	TRCIOB出力(注2)
	0	0	「表7.13 TRCIOB端子設定」参照	X	X	X	X	TRCIOB入力(注1、2)

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

注2. タイマRC機能を使用する場合、PINSR3レジスタを“1Fh”にしてください。

表7.13 TRCIOB端子設定

レジスタ	TRCOER	TRCMR		TRCIOR0			機能
ビット	EB	PWM2	PWMB	IOB2	IOB1	IOB0	
設定値	0	0	X	X	X	X	PWM2モード波形出力
	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマ波形出力 (アウトプットコンペア機能)
				0	1	X	
	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
	1						
上記以外							TRCIOB使用条件以外

X:“0”または“1”

表7.14 ポートP1_3/AN11/KI3/ TRBO

レジスタ	PD1	KIEN	タイマRB設定	ADCON0				機能
ビット	PD1_3	KI3EN	-	CH2	CH1	CH0	ADGSEL0	
設定値	0	0	TRBO使用条件以外	X	X	X	X	入力ポート(注1)
	1	0	TRBO使用条件以外	X	X	X	X	出力ポート
	0	0	TRBO使用条件以外	1	1	1	1	A/Dコンバータ入力(AN11)
	0	1	TRBO使用条件以外	X	X	X	X	KI3入力(注1)
	X	0	「表7.15 TRBO端子設定」参照	X	X	X	X	TRBO出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

注2. タイマRB機能を使用する場合、PINSR2レジスタを“40h”にしてください。

表7.15 TRBO端子設定

レジスタ	TRBIOC	TRBMR		機能
ビット	TOCNT(注1)	TMOD1	TMOD0	
設定値	0	0	1	プログラマブル波形発生モード
	0	1	0	プログラマブルワンショット発生モード
	0	1	1	プログラマブルウェイトワンショット発生モード
	1	0	1	P1_3出力ポート
	上記以外			TRBO使用条件以外

注1. TRBIOCレジスタのTOCNTビットは、プログラマブル波形発生モード以外では“0”にしてください。

表7.16 ポートP1_4/TXD0

レジスタ	PD1	U0MR			機能	
ビット	PD1_4	SMD2	SMD1	SMD0		
設定値	0	0	0	0	入力ポート(注1)	
	1	0	0	0	出力ポート	
	X	0	0	0	1	TXD0出力(注2)
		1	0	0	0	
		1	0	0	1	
1	1	1	0			

X:“0”または“1”

注1. PUR0レジスタのPU03ビットを“1”にすると、プルアップありとなります。

注2. U0C0レジスタのNCHビットを“1”にすると、Nチャンネルオープンドレイン出力になります。

表7.17 ポートP1_5/RXD0/(TRAIO)/(INT1)

レジスタ	PD1	TRAIOC		TRAMR			INTEN	機能	
ビット	PD1_5	TIOSEL	TOPCR(注2)	TMOD2	TMOD1	TMOD0	INT1EN		
設定値	0	0	X	X	X	X	X	入力ポート(注1)	
		1	1	0	0	1	0		
		1	0	0	0	0	0		
	1	0	X	X	X	X	X	出力ポート	
		1	0	0	0	0	X		
	0	0	X	X	X	X	X	X	RXD0入力(注1)
		1	0	001b以外			0	0	TRAIO入力(注1)
		1	0	000b、001b以外			0	0	TRAIO入力(注1)
		1	0	0	0	0	1	1	$\overline{\text{INT1}}$
		1	1	0	0	1	1	1	$\overline{\text{INT1}}$
	X	1	0	000b、001b以外			1	1	TRAIO入力/ $\overline{\text{INT1}}$ (注1)
1		0	0	0	1	X	X	TRAIOパルス出力	

X:“0”または“1”

注1. PUR0レジスタのPU03ビットを“1”にすると、プルアップありとなります。

注2. TRAIOCレジスタのTOPCRビットは、パルス出力モード以外では“0”にしてください。

表7.18 ポートP1_6/CLK0

レジスタ	PD1	U2MR				機能	
ビット	PD1_6	SMD2	SMD1	SMD0	CKDIR		
設定値	0	X	X	X	X	入力ポート(注1)	
	1	001b以外				X	出力ポート
	X	0	0	1	0	CLK0出力	
	0	X	X	X	1	CLK0入力(注1)	

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

表7.19 ポートP1_7/TRAIO/ $\overline{\text{INT1}}$

レジスタ	PD1	TRAIOC		TRAMR			INTEN	機能	
ビット	PD1_7	TIOSEL	TOPCR (注2)	TMOD2	TMOD1	TMOD0	INT1EN		
設定値	0	1	X	X	X	X	X	入力ポート(注1)	
		0	1	0	0	1	0		
		0	0	0	0	0	0		
	1	1	X	X	X	X	X	出力ポート	
		0	0	0	0	0	X		
	0	0	0	0	000b、001b以外			0	TRAIO入力(注1)
			0	0	0	0	0	1	$\overline{\text{INT1}}$
			0	1	0	0	1	1	
			0	0	000b、001b以外			1	TRAIO入力/ $\overline{\text{INT1}}$ (注1)
	X	0	0	0	0	1	X	TRAIOパルス出力	

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

注2. TRAIOCレジスタのTOPCRビットは、パルス出力モード以外では"0"にしてください。

表7.20 ポートP2_0/TRDIOA0/TRDCLK

レジスタ	PD2	TRDOER1	TRDFCR				TRDIOA0			機能
ビット	PD2_0	EA0	CMD1	CMD0	STCLK	PWM3	IOA2	IOA1	IOA0	
設定値	0	1	X	X	X	X	X	X	X	入力ポート(注1)
	1	1	X	X	X	X	X	X	X	出力ポート(注2)
	0	X	0	0	0	1	1	X	X	タイマモード(インプットキャプチャ機能)
	0	X	X	X	1	1	0	0	0	外部クロック入力(TRDCLK)
	X	0	0	0	0	0	X	X	X	PWM3モード波形出力(注2)
	X	0	0	0	0	0	1	0	0	1
							0	1	X	

X: "0" または "1"

注1. PUR0レジスタのPU04ビットを"1"にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR0ビットを"1"にすると、出力の駆動能力Highとなります。

表7.21 ポートP2_1/TRDIOB0

レジスタ ビット	PD2 PD2_1	TRDOER1 EB0	TRDFCR			TRDPMR PWMB0	TRDIORA0			機能	
			CMD1	CMD0	PWM3	IOB2	IOB1	IOB0			
設定値	0	1	X	X	X	X	X	X	X	入力ポート(注1)	
	1	1	X	X	X	X	X	X	X	出力ポート(注2)	
	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャブ チャ機能)	
	X	0	1	0	X	X	X	X	X	X	相補PWMモード波形出力
			1	1							
	X	0	0	1	X	X	X	X	X	X	リセット同期PWMモード波形出力
	X	0	0	0	0	0	X	X	X	X	PWM3モード波形出力(注2)
	X	0	0	0	0	1	1	X	X	X	PWMモード波形出力(注2)
X	0	0	0	0	1	0	0	0	1	タイマモード波形出力(アウトプット コンペア機能)(注2)	
							0	1	X		

X: "0" または "1"

注1. PUR0レジスタのPU04ビットを"1"にすると、ブルアップありとなります。

注2. P2DRRレジスタのP2DRR1ビットを"1"にすると、出力の駆動能力Highとなります。

表7.22 ポートP2_2/TRDIOC0

レジスタ ビット	PD2 PD2_2	TRDOER1 EC0	TRDFCR			TRDPMR PWMC0	TRDIORC0			機能	
			CMD1	CMD0	PWM3	IOC2	IOC1	IOC0			
設定値	0	1	X	X	X	X	X	X	X	入力ポート(注1)	
	1	1	X	X	X	X	X	X	X	出力ポート(注2)	
	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャブ チャ機能)	
	X	0	1	0	X	X	X	X	X	X	相補PWMモード波形出力(注2)
			1	1							
	X	0	0	1	X	X	X	X	X	X	リセット同期PWMモード波形出力 (注2)
	X	0	0	0	0	1	1	X	X	X	PWMモード波形出力(注2)
	X	0	0	0	0	1	0	0	0	1	タイマモード波形出力(アウトプット コンペア機能)(注2)
0								1	X		

X: "0" または "1"

注1. PUR0レジスタのPU04ビットを"1"にすると、ブルアップありとなります。

注2. P2DRRレジスタのP2DRR2ビットを"1"にすると、出力の駆動能力Highとなります。

表7.23 ポートP2_3/TRDIOD0

レジスタ ビット	PD2 PD2_3	TRDOER1 ED0	TRDFCR			TRDPMR PWMD0	TRDIORC0			機能	
			CMD1	CMD0	PWM3	IOD2	IOD1	IOD0			
設定値	0	1	X	X	X	X	X	X	X	入力ポート(注1)	
	1	1	X	X	X	X	X	X	X	出力ポート(注2)	
	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャブ チャ機能)	
	X	0	1	0	X	X	X	X	X	X	相補PWMモード波形出力(注2)
			1	1							
	X	0	0	1	X	X	X	X	X	X	リセット同期PWMモード波形出力 (注2)
	X	0	0	0	0	1	1	X	X	X	PWMモード波形出力(注2)
	X	0	0	0	0	1	0	0	0	1	タイマモード波形出力(アウトプット コンペア機能)(注2)
0								1	X		

X: "0" または "1"

注1. PUR0レジスタのPU04ビットを"1"にすると、ブルアップありとなります。

注2. P2DRRレジスタのP2DRR3ビットを"1"にすると、出力の駆動能力Highとなります。

表7.24 ポートP2_4/TRDIOA1

レジスタ ビット	PD2 PD2_4	TRDOER1 EA1	TRDFCR			TRDIOA1			機能	
			CMD1	CMD0	PWM3	IOA2	IOA1	IOA0		
設定値	0	1	X	X	X	X	X	X	入力ポート(注1)	
	1	1	X	X	X	X	X	X	出力ポート(注2)	
	0	X	0	0	1	1	X	X	タイマモード(インプットキャブ チャ機能)	
	X	0	1	0	X	X	X	X	X	相補PWMモード波形出力(注2)
			1	1						
	X	0	0	1	X	X	X	X	リセット同期PWMモード波形出力 (注2)	
X	0	0	0	1	0	0	1	X	タイマモード波形出力(アウトプット コンペア機能)(注2)	
					0	1				

X: "0" または "1"

注1. PU0レジスタのPU05ビットを"1"にすると、ブルアップありとなります。

注2. P2DRRレジスタのP2DRR4ビットを"1"にすると、出力の駆動能力Highとなります。

表7.25 ポートP2_5/TRDIOB1

レジスタ ビット	PD2 PD2_5	TRDOER1 EB1	TRDFCR			TRDPMR	TRDIOA1			機能	
			CMD1	CMD0	PWM3	PWMB1	IOB2	IOB1	IOB0		
設定値	0	1	X	X	X	X	X	X	X	入力ポート(注1)	
	1	1	X	X	X	X	X	X	X	出力ポート(注2)	
	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャブ チャ機能)	
	X	0	1	0	X	X	X	X	X	X	相補PWMモード波形出力(注2)
			1	1							
	X	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力 (注2)	
	X	0	0	0	1	1	X	X	X	PWMモード波形出力(注2)	
X	0	0	0	1	0	0	0	1	X	タイマモード波形出力(アウトプット コンペア機能)(注2)	
						0	1				

X: "0" または "1"

注1. PU0レジスタのPU05ビットを"1"にすると、ブルアップありとなります。

注2. P2DRRレジスタのP2DRR5ビットを"1"にすると、出力の駆動能力Highとなります。

表7.26 ポートP2_6/TRDIOC1

レジスタ ビット	PD2 PD2_6	TRDOER1 EC1	TRDFCR			TRDPMR	TRDIOC1			機能	
			CMD1	CMD0	PWM3	PWMC1	IOC2	IOC1	IOC0		
設定値	0	1	X	X	X	X	X	X	X	入力ポート(注1)	
	1	1	X	X	X	X	X	X	X	出力ポート(注2)	
	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャブ チャ機能)	
	X	0	1	0	X	X	X	X	X	X	相補PWMモード波形出力(注2)
			1	1							
	X	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力 (注2)	
	X	0	0	0	1	1	X	X	X	PWMモード波形出力(注2)	
X	0	0	0	1	0	0	0	1	X	タイマモード波形出力(アウトプット コンペア機能)(注2)	
						0	1				

X: "0" または "1"

注1. PU0レジスタのPU05ビットを"1"にすると、ブルアップありとなります。

注2. P2DRRレジスタのP2DRR6ビットを"1"にすると、出力の駆動能力Highとなります。

表7.27 ポートP2_7/TRDIOD1

レジスタ	PD2	TRDOER1	TRDFCR			TRDPMR	TRDIORC1			機能	
ビット	PD2_7	ED1	CMD1	CMD0	PWM3	PWMD1	IOD2	IOD1	IOD0		
設定値	0	1	X	X	X	X	X	X	X	入力ポート(注1)	
	1	1	X	X	X	X	X	X	X	出力ポート(注2)	
	0	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)	
	X	0	1	0	X	X	X	X	X	X	相補PWMモード波形出力(注2)
			1	1							
	X	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力(注2)	
	X	0	0	0	1	1	X	X	X	PWMモード波形出力(注2)	
X	0	0	0	1	0	0	0	1	X	タイマモード波形出力(アウトプットコンペア機能)(注2)	
						0	1				

X: "0" または "1"

注1. PUR0レジスタのPU05ビットを"1"にすると、ブルアップありとなります。

注2. P2DRRレジスタのP2DRR7ビットを"1"にすると、出力の駆動能力Highとなります。

表7.28 ポートP3_3/INT3/TRCCLK

レジスタ	PD3	TRCCR1			INTEN	機能
ビット	PD3_3	TCK2	TCK1	TCK0	INT3EN	
設定値	0	101b以外			0	入力ポート(注1)
	1	101b以外			0	出力ポート
	0	101b以外			1	INT3入力(注1,2)
	0	1	0	1	0	TRCCLK入力(注1,3)

注1. PUR0レジスタのPU06ビットを"1"にすると、ブルアップありとなります。

注2. INT3機能を使用する場合、PMRレジスタを"04h"にしてください。

注3. タイマRC機能を使用する場合、PINSR3レジスタを"1Fh"にしてください。

表7.29 ポートP3_4/TRCIOC

レジスタ	PD3	タイマRC設定	機能
ビット	PD3_3	-	
設定値	0	TRCIOC使用条件以外	入力ポート(注1)
	1	TRCIOC使用条件以外	出力ポート
	X	「表7.30 TRCIOC端子設定」参照	TRCIOC出力(注2)
	0	「表7.30 TRCIOC端子設定」参照	TRCIOC入力(注1,2)

X: "0" または "1"

注1. PUR0レジスタのPU07ビットを"1"にすると、ブルアップありとなります。

注2. タイマRC機能を使用する場合、PINSR3レジスタを"1Fh"にしてください。

表7.30 TRCIOC端子設定

レジスタ	TRCOER	TRCMR		TRCIOR1			機能
ビット	EC	PWM2	PWMC	IOC2	IOC1	IOC0	
設定値	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
				0	1	X	
	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
	1			1	X	X	
上記以外							TRCIOC使用条件以外

X: "0" または "1"

表7.31 ポートP3_5/TRCIOD

レジスタ	PD3	タイマRC設定	機能
ビット	PD3_5	-	
設定値	0	TRCIOD使用条件以外	入力ポート(注1)
	1	TRCIOD使用条件以外	出力ポート
	X	「表7.32 TRCIOD端子設定」参照	TRCIOD出力(注2)
	0	「表7.32 TRCIOD端子設定」参照	TRCIOD入力(注1、2)

X:“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、プルアップありとなります。

注2. タイマRC機能を使用する場合、PINSR3レジスタを“1Fh”にしてください。

表7.32 TRCIOD端子設定

レジスタ	TRCOER	TRCMR		TRCIOR1			機能
ビット	EC	PWM2	PWMD	IOC2	IOC1	IOC0	
設定値	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイム波形出力(アウトプットコンペア機能)
					1	X	
	0	1	0	1	X	X	タイムモード(インプットキャプチャ機能)
					X	X	
上記以外							TRCIOD使用条件以外

X:“0”または“1”

表7.33 ポートP4_2/VREF

レジスタ	ADCON1	機能
ビット	VCUT	
設定値	0	入力ポート
	1	入力ポート/VREF入力

表7.34 ポートP4_5/INT0

レジスタ	PD4	INTEN	機能
ビット	PD4_5	INT0EN	
設定値	0	0	入力ポート(注1)
	1	0	出力ポート
	0	1	INT0入力(注1)

注1. PUR1レジスタのPU11ビットを“1”にすると、プルアップありとなります。

表7.35 ポートP4_6/XIN

レジスタ ビット	CM0	CM1			回路仕様		機能
	CM5	CM13	CM11	CM10	発振バッファ	帰還抵抗	
設定値	1	0	X	0	OFF	-	入力ポート
	0	1	0	0	ON	ON	XINクロック発振(内臓帰還抵抗有効)
	0	1	1	0	ON	OFF	XINクロック発振(内臓帰還抵抗無効)
	1	1	0	0	OFF	ON	外部クロック入力
	1	1	0	0	OFF	ON	XINクロック発振停止 (内臓帰還抵抗有効)
	1	1	1	0	OFF	OFF	XINクロック発振停止 (内臓帰還抵抗無効)
	1	1	1	1	OFF	OFF	XINクロック発振停止(STOPモード)

X: "0" または "1"

表7.36 ポートP4_7/XOUT

レジスタ ビット	CM0	CM1			回路仕様		機能
	CM5	CM13	CM11	CM10	発振バッファ	帰還抵抗	
設定値	1	0	X	0	OFF	-	入力ポート
	0	1	0	0	ON	ON	XINクロック発振(内臓帰還抵抗有効)
	0	1	1	0	ON	OFF	XINクロック発振(内臓帰還抵抗無効)
	1	1	0	0	OFF	ON	外部クロック入力
	1	1	0	0	OFF	ON	XINクロック発振停止 (内臓帰還抵抗有効)
	1	1	1	0	OFF	OFF	XINクロック発振停止 (内臓帰還抵抗無効)
	1	1	1	1	OFF	OFF	XINクロック発振停止(STOPモード)

X: "0" または "1"

7.5 未使用端子の処理

表7.37に未使用端子の処理例を示します。

表7.37 未使用端子の処理例

端子名	処理内容
ポートP0_0 ~ P0_3、 P0_5、P1、P2、 P3_3 ~ P3_5、P4_5	<ul style="list-style-type: none"> •入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)、または端子ごとに抵抗を介してVCCに接続(プルアップ)(注2) •出力モードに設定し、端子を開放(注1、2)
ポートP4_2、P4_6、P4_7	抵抗を介してVCCに接続(プルアップ)(注2)
VREF	VCCに接続
RESET(注3)	抵抗を介してVCCに接続(プルアップ)(注2)

注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. パワーオンリセット機能使用時。

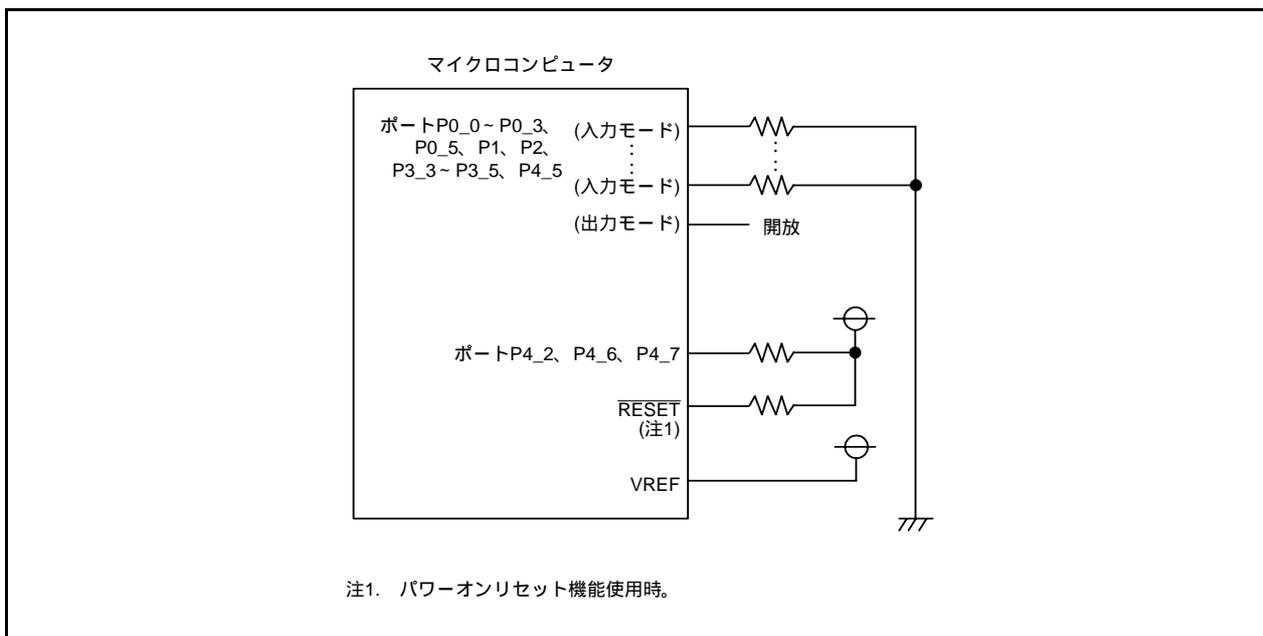


図7.13 未使用端子の処理例

8. プロセッサモード

8.1 プロセッサモードの種類

プロセッサモードはシングルチップモードとなります。

表8.1にプロセッサモードの特長を、図8.1にPM0レジスタを、図8.2にPM1レジスタを示します。

表8.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	全端子が入出力ポートまたは周辺機能入出力端子

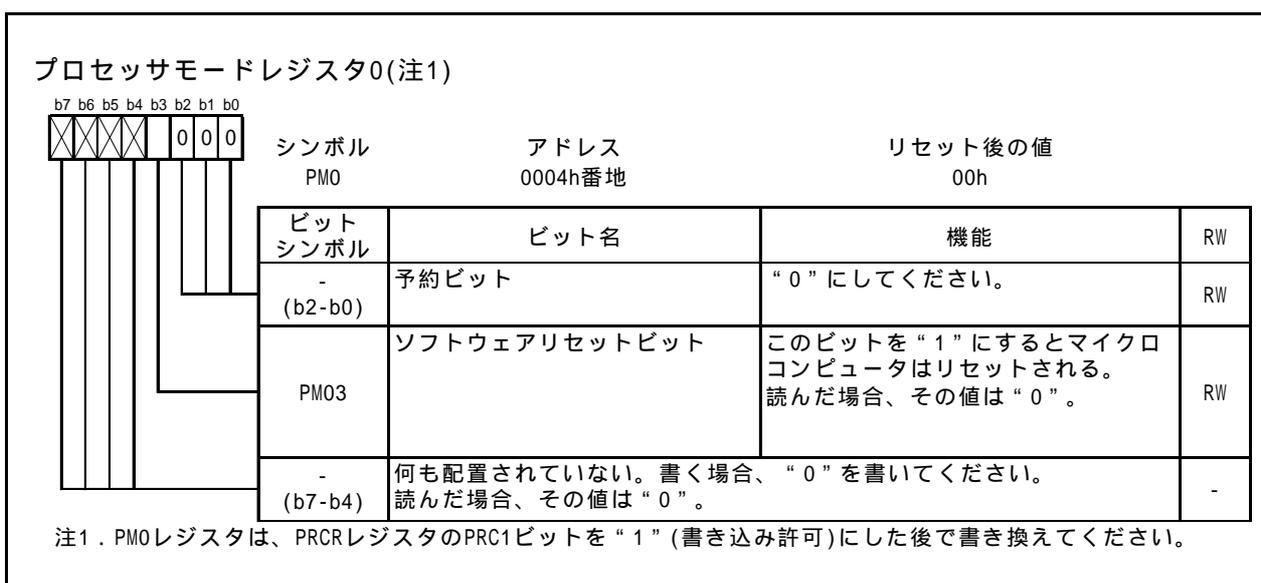


図8.1 PM0レジスタ

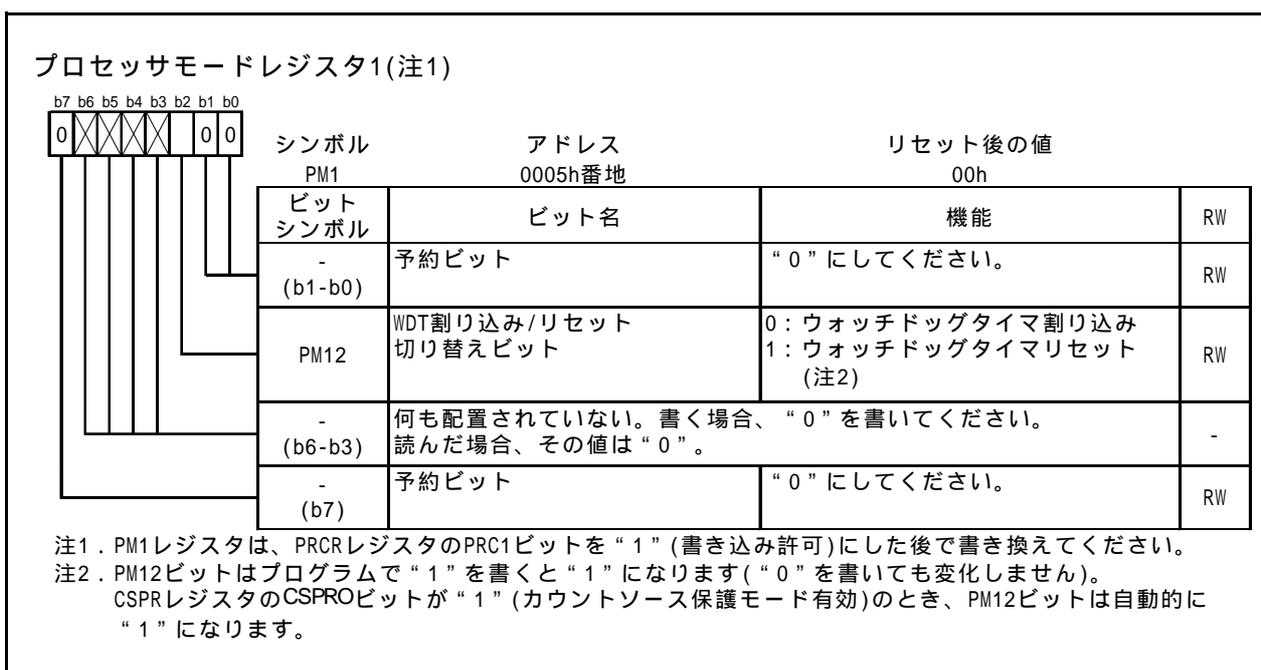


図8.2 PM1レジスタ

9. バス制御

ROM、RAMとSFRとはアクセス時のバスサイクルが異なります。

表9.1にR8C/2Kグループのアクセス領域に対するバスサイクルを、表9.2にR8C/2Lグループのアクセス領域に対するバスサイクルを示します。

ROM、RAMとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。表9.3にアクセス単位とバスの動作を示します。

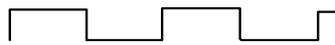
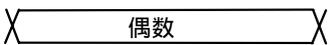
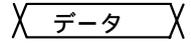
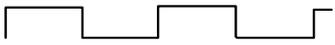
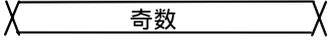
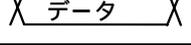
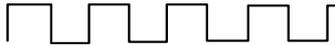
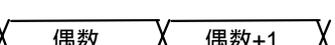
表9.1 R8C/2Kグループのアクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR	CPUクロックの2サイクル
ROM/RAM	CPUクロックの1サイクル

表9.2 R8C/2Lグループのアクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR/データフラッシュ	CPUクロックの2サイクル
プログラムROM/RAM	CPUクロックの1サイクル

表9.3 アクセス単位とバスの動作

領域	SFR、データフラッシュ	ROM(プログラムROM)、RAM
偶数番地 バイトアクセス	CPU クロック  アドレス  偶数 データ 	CPU クロック  アドレス  偶数 データ 
奇数番地 バイトアクセス	CPU クロック  アドレス  奇数 データ 	CPU クロック  アドレス  奇数 データ 
偶数番地 ワードアクセス	CPU クロック  アドレス  偶数 偶数+1 データ 	CPU クロック  アドレス  偶数 偶数+1 データ 
奇数番地 ワードアクセス	CPU クロック  アドレス  奇数 奇数+1 データ 	CPU クロック  アドレス  奇数 奇数+1 データ 

ただし、次のSFRのみ16ビットバスでCPUと接続しています。

タイマRC：TRC、TRCGRA、TRCGRB、TRCGRC、TRCGRDレジスタ

タイマRD：TRDi (i=0、1)、TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDiレジスタ

このため、ワード(16ビット)単位でアクセスした場合、16ビットデータをアクセスします。バスの動作は「表9.3 アクセス単位とバスの動作」の「領域：SFR、データフラッシュ、偶数番地バイトアクセス」と同じで、16ビットデータを1度にアクセスします。

10. クロック発生回路

クロック発生回路として、3つの回路が内蔵されています。

- XINクロック発振回路
- 低速オンチップオシレータ
- 高速オンチップオシレータ

表 10.1 にクロック発生回路の概略仕様を、図 10.1 にクロック発生回路を、図 10.2 に周辺機能のクロックを、図 10.3 ~ 図 10.8 にクロック関連レジスタを示します。

表 10.1 クロック発生回路の概略仕様

項目	XINクロック発振回路	オンチップオシレータ	
		高速オンチップオシレータ	低速オンチップオシレータ
用途	<ul style="list-style-type: none"> • CPUのクロック源 • 周辺機能のクロック源 	<ul style="list-style-type: none"> • CPUのクロック源 • 周辺機能のクロック源 • XINクロック発振停止時のCPU、周辺機能のクロック源 	<ul style="list-style-type: none"> • CPUのクロック源 • 周辺機能のクロック源 • XINクロック発振停止時のCPU、周辺機能のクロック源
クロック周波数	0 ~ 20MHz	約40MHz(注3)	約125kHz
接続できる発振子	<ul style="list-style-type: none"> • セラミック共振子 • 水晶発振子 		
発振子の接続端子	XIN、XOUT(注1)	(注1)	(注1)
発振の開始と停止	あり	あり	あり
リセット後の状態	停止	停止	発振
その他	<ul style="list-style-type: none"> • 外部で生成されたクロックを入力可能(注2) • 帰還抵抗RfXINを内蔵(接続/非接続選択可能) 		

注1. XINクロック発振回路を使用せず、オンチップオシレータクロックをCPUクロックに使用するにはP4_6、P4_7として使うことができます。

注2. 外部クロック入力時には、CM0レジスタのCM05ビットを“1”(XINクロック停止)、CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にしてください。

注3. CPUクロック源として使用する場合には、分周器により最大：約20MHzとなります。

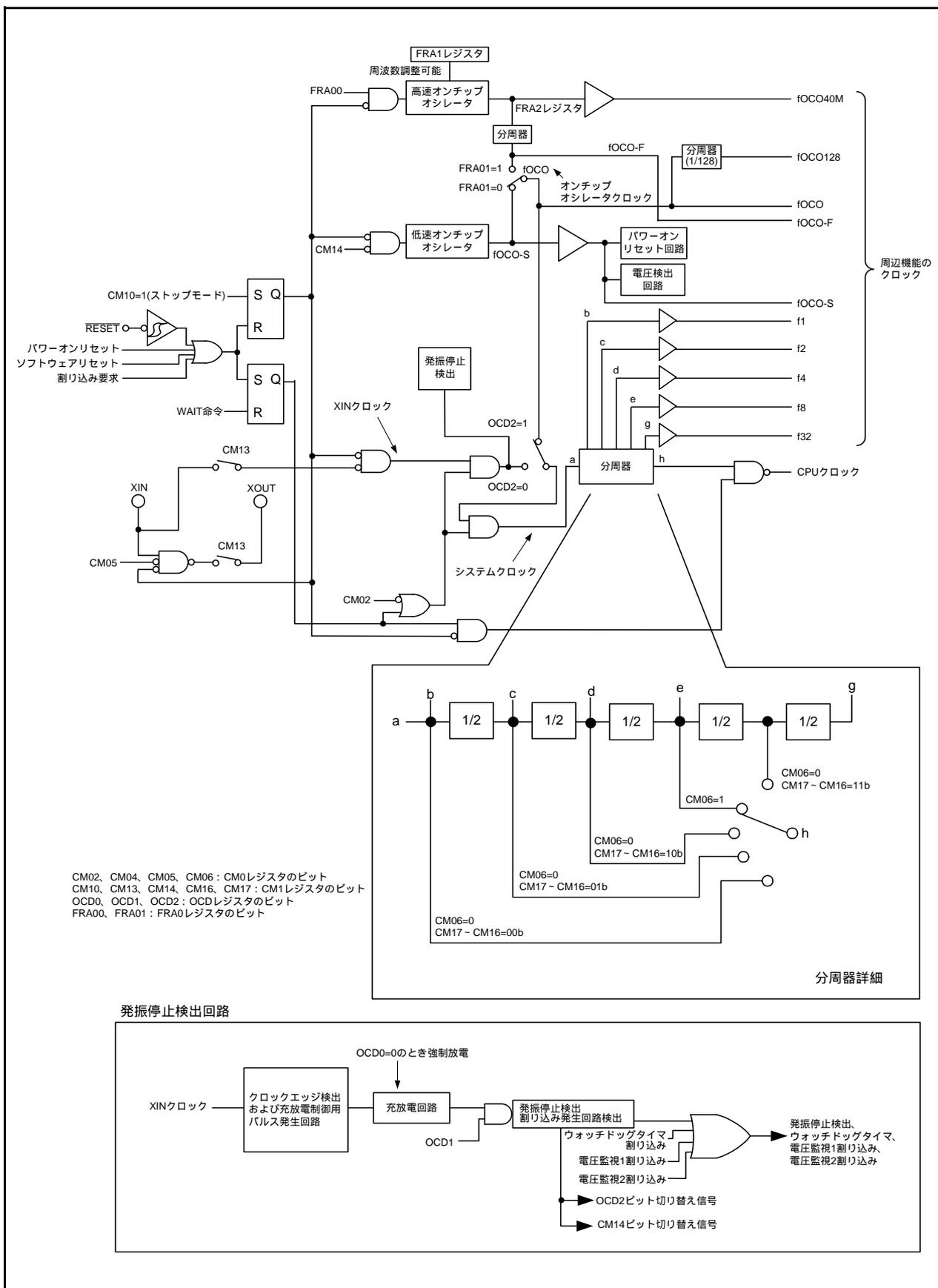


図10.1 クロック発生回路

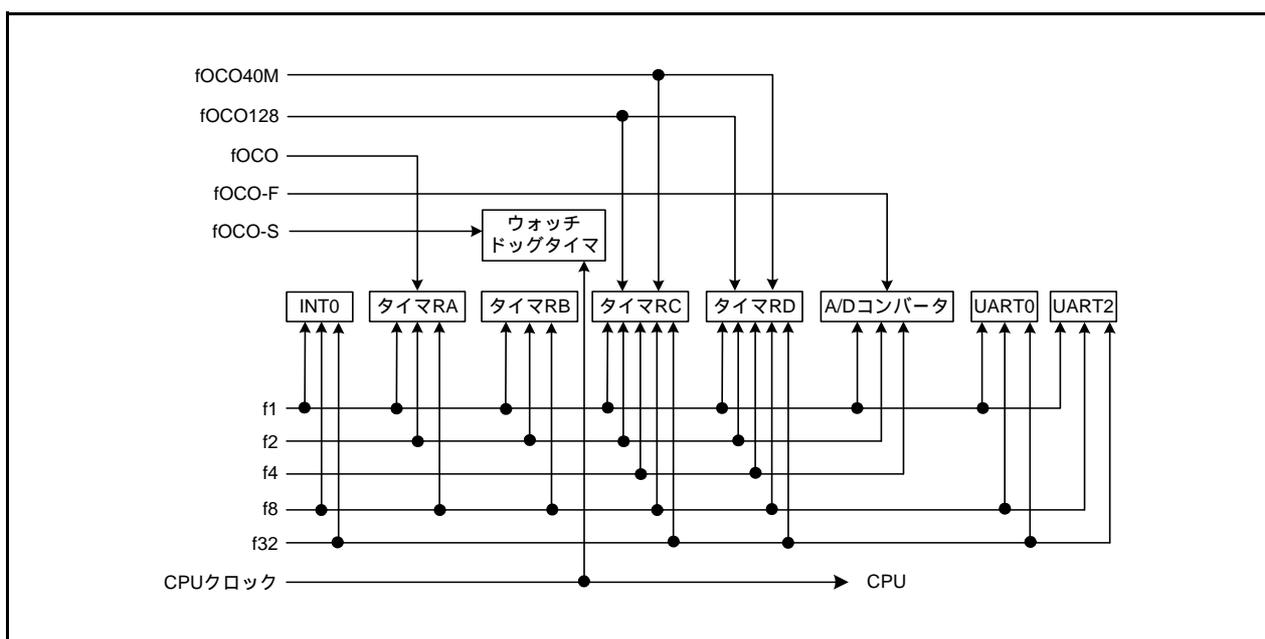


図10.2 周辺機能のクロック

システムクロック制御レジスタ0(注1)

シンボル CM0	アドレス 0006h番地	リセット後の値 01101000b	
ビット シンボル	ビット名	機能	RW
- (b1-b0)	予約ビット	“0” にしてください。	RW
CM02	WAIT時周辺機能クロック停止 ビット	0 : ウェイトモード時、周辺機能 クロック停止しない 1 : ウェイトモード時、周辺機能 クロック停止する	RW
- (b3)	予約ビット	“1” にしてください。	RW
- (b4)	予約ビット	“0” にしてください。	RW
CM05	XINクロック (XIN-XOUT) 停止ビット(注2、3)	0 : 発振 1 : 停止(注4)	RW
CM06	システムクロック分周比 選択ビット0(注5)	0 : CM16、CM17有効 1 : 8分周モード	RW
- (b7)	予約ビット	“0” にしてください。	RW

注1. CM0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
 注2. CM05ビットが“1”(XINクロック停止)かつCM1レジスタのCM13ビットが“0”(P4_6、P4_7)の場合のみ、P4_6、P4_7は入力ポートとして使用できます。
 注3. CM05ビットは高速オンチップオシレータモード、低速オンチップオシレータモードにするとXINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。
 (1)OCDレジスタのOCD1～OCD0ビットを“00b”にする。
 (2)OCD2ビットを“1”(オンチップオシレータクロック選択)にする。
 注4. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられます。
 注5. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

図10.3 CM0レジスタ

システムクロック制御レジスタ1(注1)

シンボル	アドレス	リセット後の値	
CM1	0007h番地	00100000b	
ビットシンボル	ビット名	機能	RW
CM10	全クロック停止制御ビット (注2、3、4)	0 : クロック発振 1 : 全クロック停止(ストップモード)	RW
CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0 : 内蔵帰還抵抗有効 1 : 内蔵帰還抵抗無効	RW
- (b2)	予約ビット	“0” にしてください。	RW
CM13	ポートXIN-XOUT切り替え ビット(注3、5)	0 : 入力ポートP4_6、P4_7 1 : XIN-XOUT端子	RW
CM14	低速オンチップオシレータ発振停 止ビット(注4、6、7)	0 : 低速オンチップオシレータ発振 1 : 低速オンチップオシレータ停止	RW
CM15	XIN-XOUT駆動能力選択ビット (注8)	0 : LOW 1 : HIGH	RW
CM16	システムクロック分周比 選択ビット1(注9)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	RW
CM17			RW

注1. CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
注2. CM10ビットが“1”(ストップモード)の場合、内蔵している帰還抵抗は無効となります。
注3. CM10ビットが“1”(ストップモード)の場合、CM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P4_7)端子は“H”になります。
CM13ビットが“0”(入力ポートP4_6、P4_7)のとき、P4_7(XOUT)は入力状態になります。
注4. カウントソース保護モード有効時(「15.2 カウントソース保護モード有効時」参照)は、CM10、CM14ビットへ書いても値は変化しません。
注5. CM13ビットはプログラムで一度“1”にすると、“0”にはできません。
注6. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。
注7. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
注8. ストップモードへの移行時、CM15ビットは“1”(駆動能力HIGH)になります。
注9. CM06ビットが“0”(CM16、CM17ビット有効)の場合、CM16~CM17ビットは有効となります。

図10.4 CM1レジスタ

発振停止検出レジスタ(注1)

ビットシンボル	ビット名	機能	RW
OCD0	発振停止検出有効ビット(注7)	0 : 発振停止検出機能無効(注2) 1 : 発振停止検出機能有効	RW
OCD1	発振停止検出割り込み許可ビット	0 : 禁止(注2) 1 : 許可	RW
OCD2	システムクロック選択ビット(注4)	0 : XINクロック選択(注7) 1 : オンチップオシレータクロック選択(注3)	RW
OCD3	クロックモニタビット(注5、6)	0 : XINクロック発振 1 : XINクロック停止	RO
- (b7-b4)	予約ビット	"0" にしてください。	RW

注1. OCDレジスタは、PRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後、書き換えてください。
 注2. ストップモード、高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1~OCD0ビットを"00b"に設定してください。
 注3. OCD2ビットを"1"(オンチップオシレータクロック選択)にすると、CM14ビットは"0"(低速オンチップオシレータ発振)になります。
 注4. OCD2ビットは、OCD1~OCD0ビットが"11b"のときにXINクロック発振停止を検出すると、自動的に"1"(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが"1"(XINクロック停止)のとき、OCD2ビットに"0"(XINクロック選択)を書いても変化しません。
 注5. OCD3ビットはOCD0ビットが"1"(発振停止検出機能有効)のとき有効です。
 注6. OCD1~OCD0ビットが"00b"のときOCD3ビットは"0"(XINクロック発振)になり、変化しません。
 注7. 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、「図10.14 低速オンチップオシレータからXINクロックへの切り替え手順」を参照してください。

図10.5 OCDレジスタ

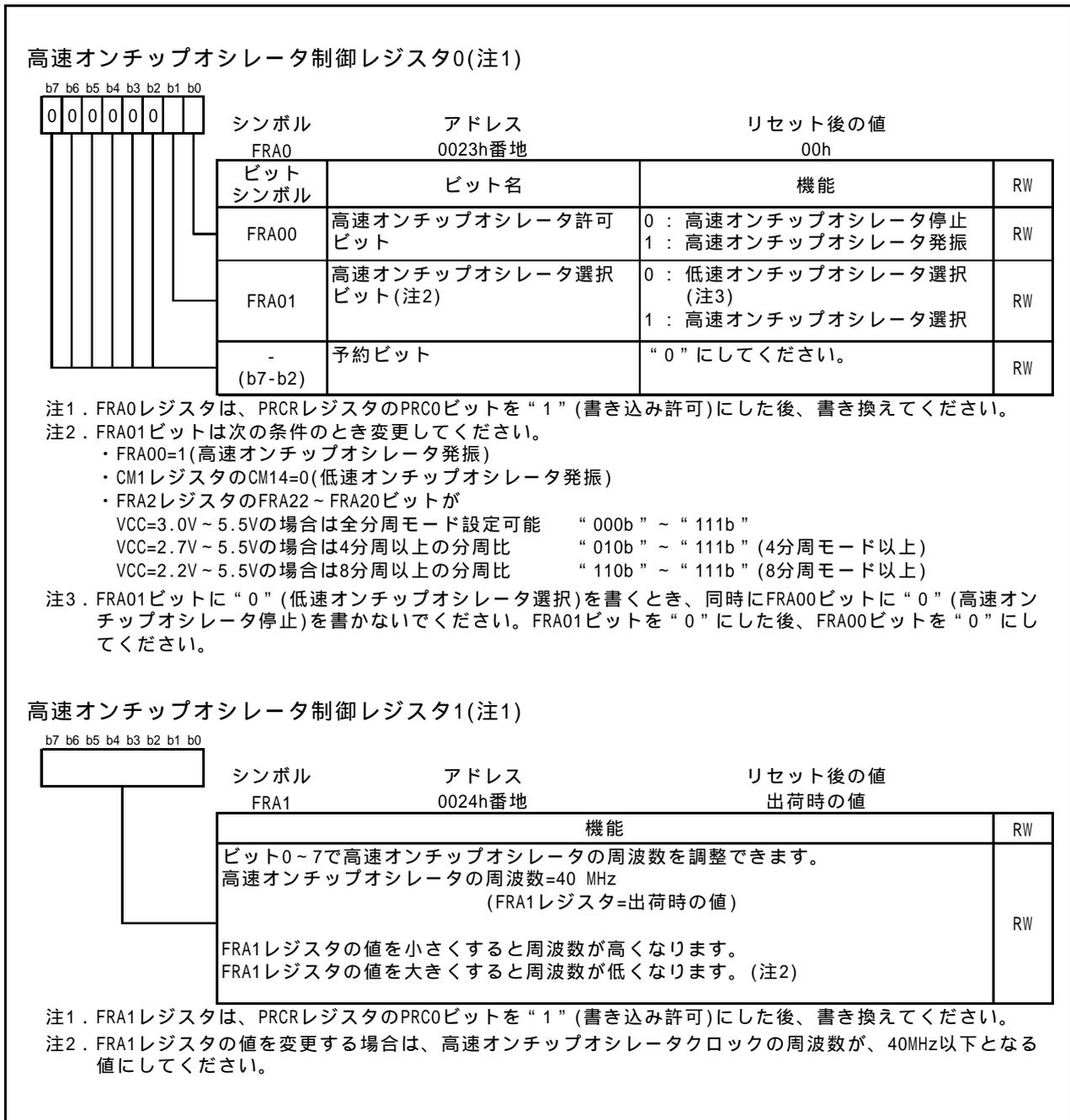


図10.6 FRA0、FRA1レジスタ

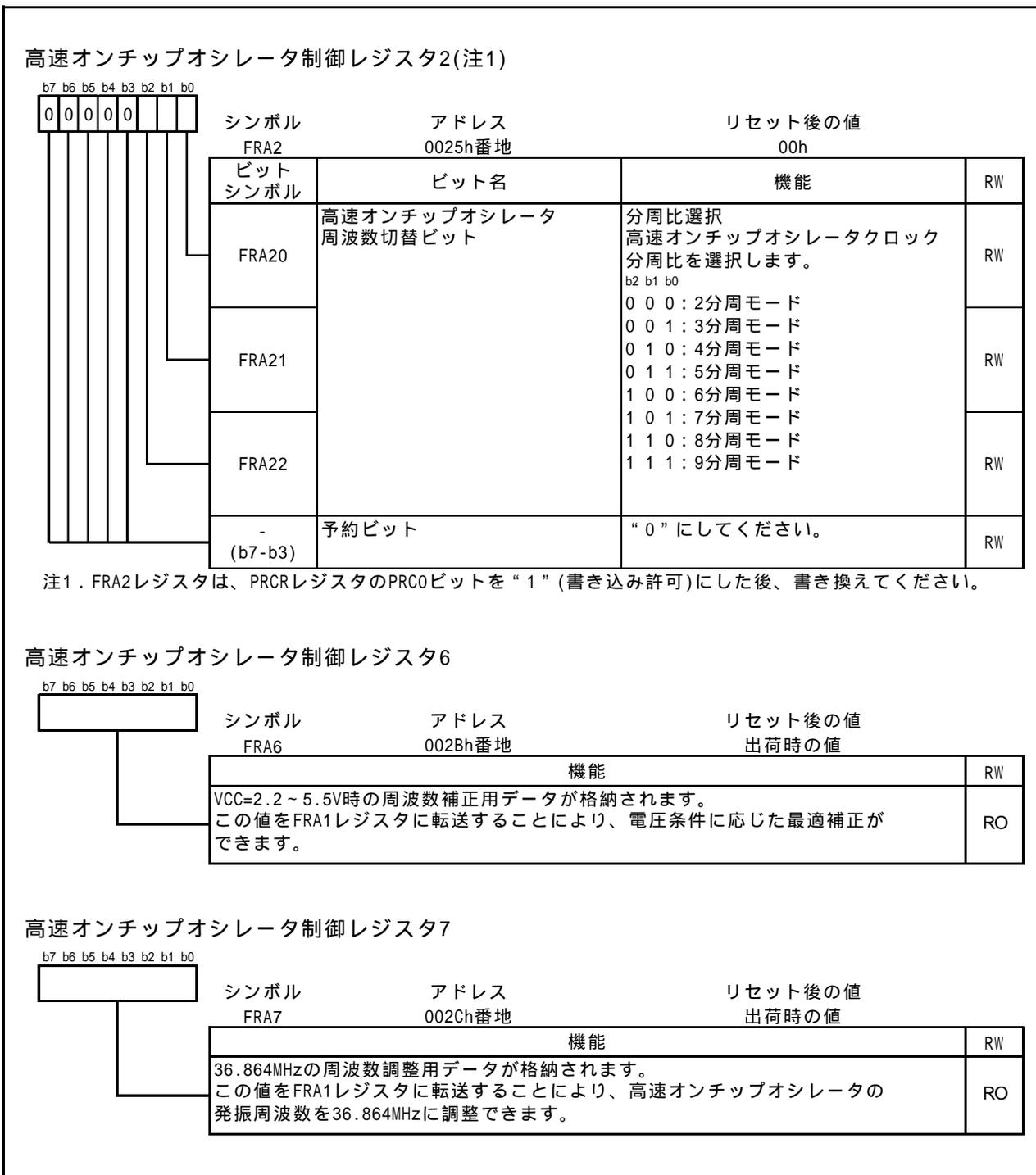


図10.7 FRA2、FRA6、FRA7レジスタ

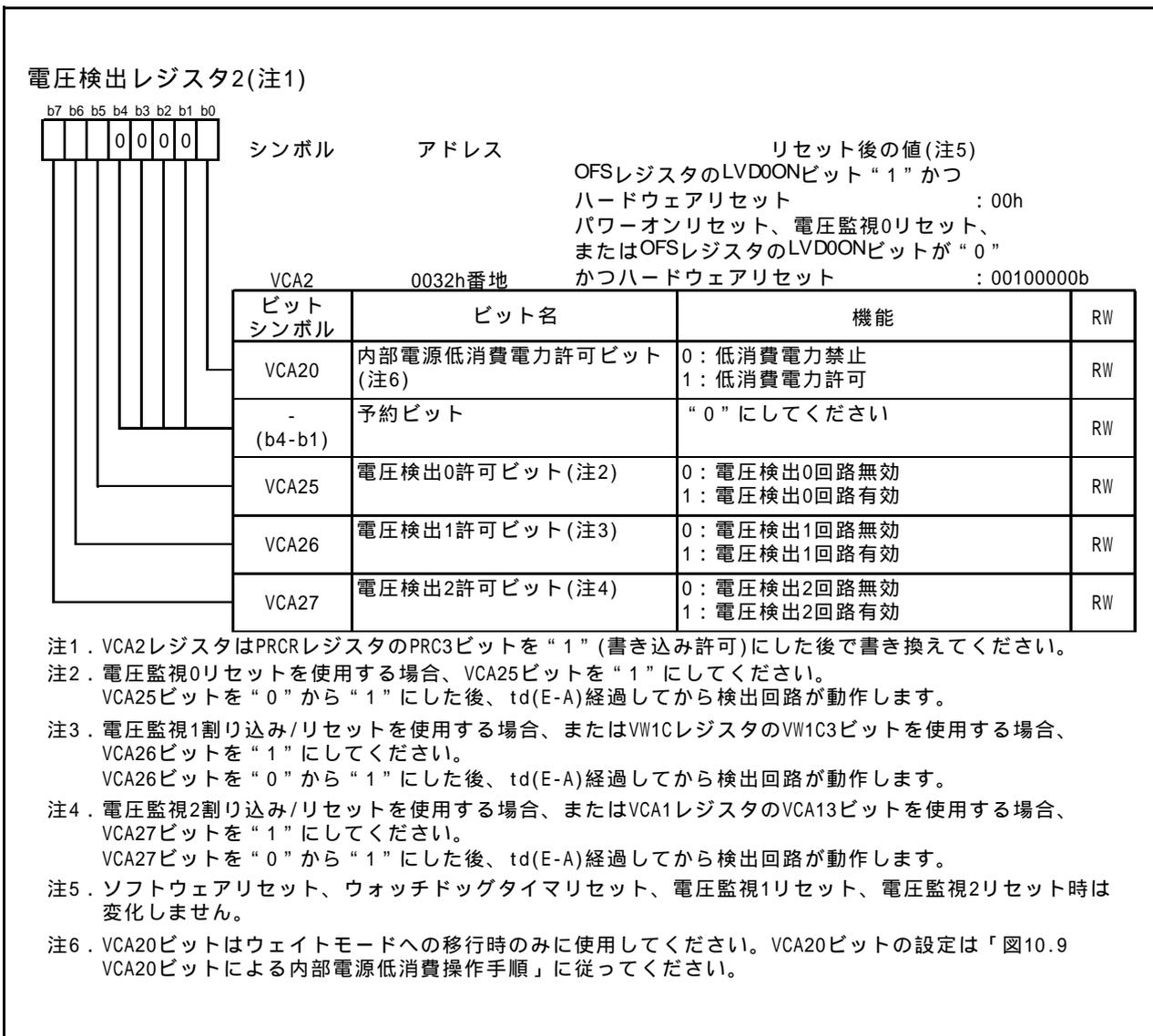


図10.8 VCA2レジスタ

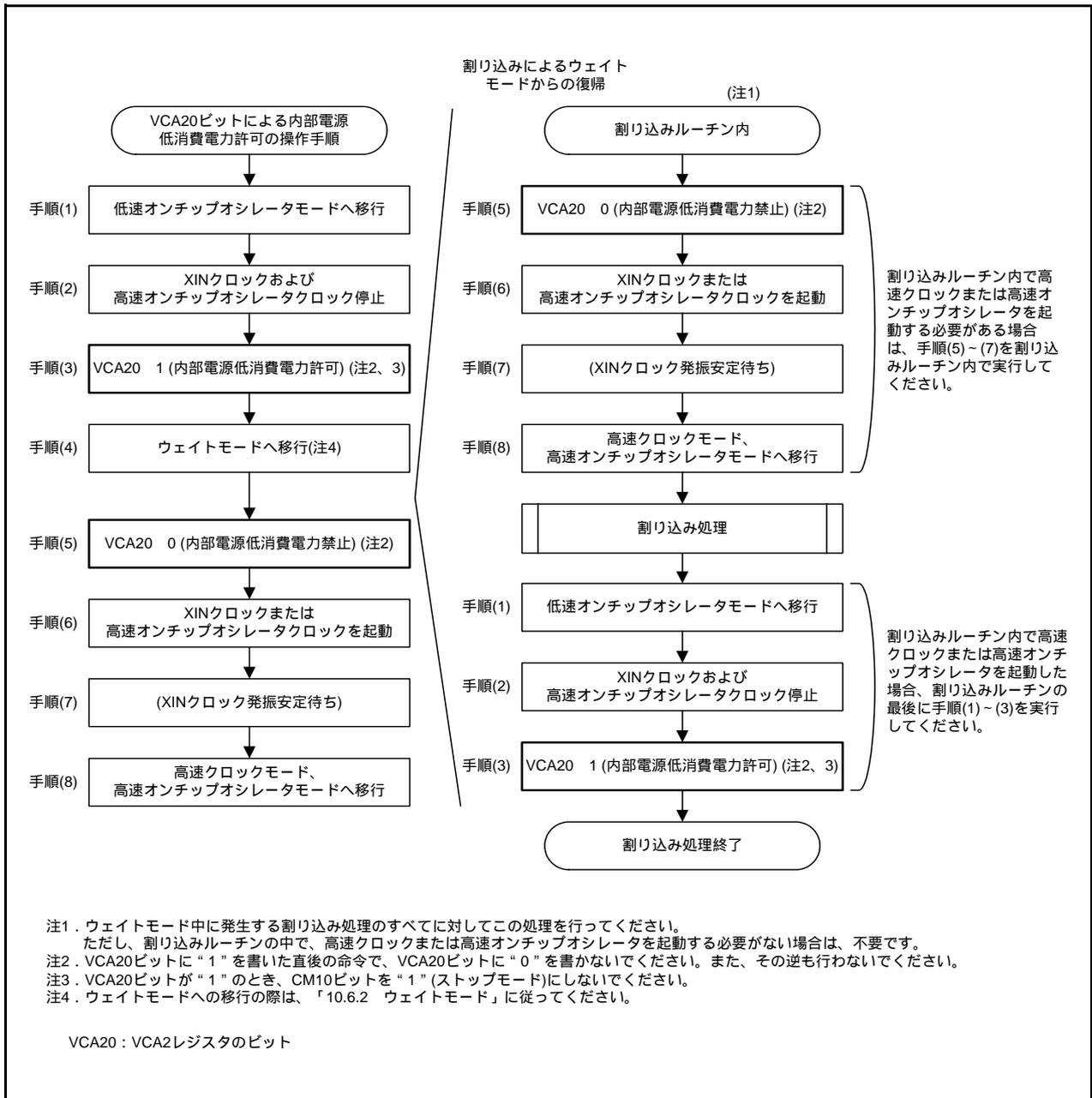


図10.9 VCA20ビットによる内部電源低消費操作手順

クロック発生回路で生成するクロックを説明します。

10.1 XINクロック

XINクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。XINクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。XINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XINクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。

図10.10にXINクロックの接続回路例を示します。

リセット中およびリセット後、XINクロックは停止しています。

CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを“0”(XINクロック発振)にするとXINクロックは発振を開始します。XINクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にするとXINクロックがCPUのクロック源になります。

OCD2ビットを“1”(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを“1”(XINクロック停止)にすると、消費電力を低減できます。なお、外部で生成したクロックをXIN端子に入力している場合、CM05ビットを“1”にしてもXINクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

このマイクロコンピュータは、帰還抵抗を内蔵していますが、CM1レジスタのCM11ビットにより、内蔵抵抗を無効/有効の切り替えも可能です。

ストップモード時は、XINクロックを含めたすべてのクロックが停止します。詳細は「10.4 パワーコントロール」を参照してください。

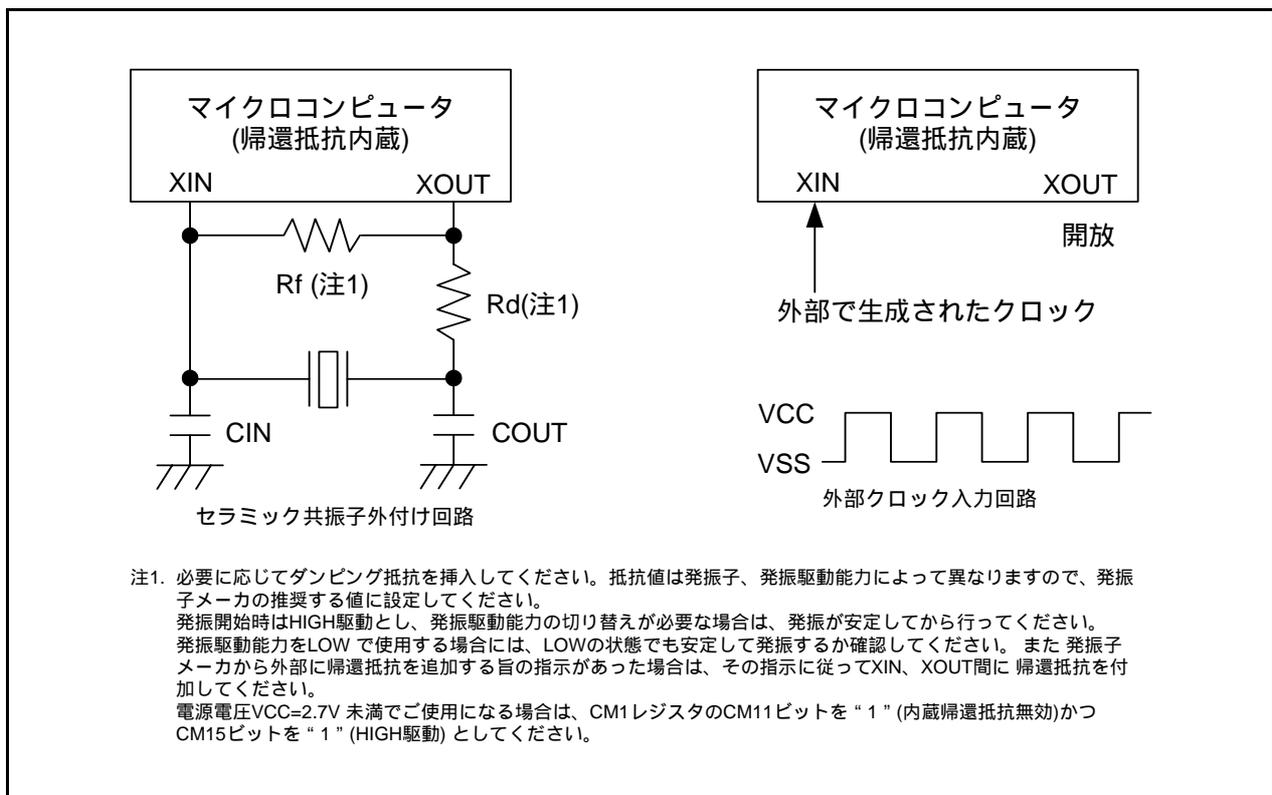


図10.10 XINクロックの接続回路例

10.2 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。FRA0レジスタのFRA01ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

10.2.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fOCO-Sのクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの8分周がCPUクロックになります。

また、OCDレジスタのOCD1～OCD0ビットが“11b”の場合、XINクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

10.2.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fOCO-F、fOCO40Mのクロック源になります。

CPUクロック、周辺クロック、fOCO、fOCO-Fのクロック源として使用する場合には、FRA2レジスタのFRA20～FRA22ビットにより、以下のように設定してください。

- VCC=3.0V～5.5Vの場合、全分周モード設定可能 “000b”～“111b”
- VCC=2.7V～5.5Vの場合、4分周以上の分周比 “010b”～“111b”(4分周モード以上)
- VCC=2.2V～5.5Vの場合、8分周以上の分周比 “110b”～“111b”(8分周モード以上)

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。FRA0レジスタのFRA00ビットを“1”(オンチップオシレータ発振)にすると発振を開始します。FRA1レジスタおよびFRA2レジスタを使って、周波数を調整できます。

また、FRA6レジスタにはVCC=2.2V～5.5Vの電源電圧範囲に対応した周波数補正用データが格納されています。電圧範囲に応じて補正値を使い分ける場合は、FRA6レジスタの補正値をFRA1レジスタに転送して使用してください。

FRA7レジスタには36.864MHzの周波数調整用データが格納されています。高速オンチップオシレータクロックの周波数を36.864MHzにするには、FRA7レジスタの調整値をFRA1レジスタに転送して使用してください。これにより、シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます(「表17.7 UARTモード時のビットレート設定例」を参照)。

FRA1レジスタの各ビットの周波数調整量にはばらつきがありますので、各ビットを変化させて調整してください。高速オンチップオシレータクロックの周波数は、40MHz以下になるように、FRA1レジスタを調整してください。

10.3 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させるクロックがあります。(「図10.1 クロック発生回路」参照。)

10.3.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XINクロックまたはオンチップオシレータクロックが選択できます。

10.3.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16～CM17ビットで選択できます。

リセット後、低速オンチップオシレータクロックの8分周がCPUクロックになります。

なお、ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

10.3.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

f_i ($i=1、2、4、8、32$)はシステムクロックを i 分周したクロックです。 f_i はタイマRA、タイマRB、タイマRC、タイマRD、シリアルインタフェース、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にWAIT命令を実行した場合、 f_i は停止します。

10.3.4 fOCO

周辺機能の動作クロックです。

fOCOは、オンチップオシレータクロックと同じ周波数のクロックです。タイマRAで使用します。fOCOはWAIT命令実行時、停止しません。

10.3.5 fOCO40M

タイマRC、タイマRDのカウントソースになります。

fOCO40Mは高速オンチップオシレータで生成したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO40MはWAIT命令実行時、停止しません。

このクロックは、電源電圧VCC = 3.0 ~ 5.5Vの範囲で使用することができます。

10.3.6 fOCO-F

A/Dコンバータのカウントソースになります。

fOCO-Fは高速オンチップオシレータで生成したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO-FはWAIT命令実行時、停止しません。

10.3.7 fOCO-S

ウォッチドッグタイマと電圧検出回路の動作クロックです。

fOCO-Sは低速オンチップオシレータで生成したクロックで、CM14ビットを“0”(低速オンチップオシレータ発振)にすると供給されます。

fOCO-SはWAIT命令実行時、またはウォッチドッグタイマのカウントソース保護モード時、停止しません。

10.3.8 fOCO128

fOCOを128分周したクロックです。

タイマRCのTRCGRAレジスタおよびタイマRDの0チャンネルで使用するキャプチャ信号になります。

10.4 パワーコントロール

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、標準動作モードと呼びます。

10.4.1 標準動作モード

標準動作モードは、さらに4つのモードに分けられます。

標準動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がXINクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

表10.2 クロック関連ビットの設定とモード

モード		OCD レジスタ	CM1レジスタ				CM0レジスタ		FRA0レジスタ	
		OCD2	CM17、CM16	CM14	CM13	CM06	CM05	FRA01	FRA00	
高速クロックモード	分周なし	0	00b		1	0	0			
	2分周	0	01b		1	0	0			
	4分周	0	10b		1	0	0			
	8分周	0			1	1	0			
	16分周	0	11b		1	0	0			
高速オンチップ オシレータモード	分周なし	1	00b			0		1	1	
	2分周	1	01b			0		1	1	
	4分周	1	10b			0		1	1	
	8分周	1				1		1	1	
	16分周	1	11b			0		1	1	
低速オンチップ オシレータモード	分周なし	1	00b	0		0		0		
	2分周	1	01b	0		0		0		
	4分周	1	10b	0		0		0		
	8分周	1		0		1		0		
	16分周	1	11b	0		0		0		

：“0”でも“1”でも影響ない

10.4.1.1 高速クロックモード

XINクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。高速オンチップオシレータモード、低速オンチップオシレータモードに遷移するときには、CM06ビットを“1”(8分周モード)にしてください。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはFRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fOCOをタイマRAで使用できます。また、FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRDで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sをウォッチドッグタイマと電圧検出回路で使用できます。

10.4.1.2 高速オンチップオシレータモード

FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“1”のとき、高速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。高速クロックモードに遷移するときにはCM06ビットを“1”(8分周モード)にしてください。FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRDで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sをウォッチドッグタイマと電圧検出回路で使用できます。

10.4.1.3 低速オンチップオシレータモード

CM1レジスタのCM14ビットが“0”(低速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“0”のとき、低速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。高速クロックモードに遷移するときにはCM06ビットを“1”(8分周モード)にしてください。FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRDで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sをウォッチドッグタイマと電圧検出回路で使用できます。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR4レジスタのFMR47ビットを“1”(フラッシュメモリ低消費電流リードモード許可)にすることで、低消費動作が可能です。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

10.4.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。XINクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

10.4.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f4、f8、f32が停止しますので、消費電力が低減できます。

10.4.2.2 ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

OCDレジスタのOCD2ビットが“1”(システムクロックにオンチップオシレータを選択)の場合は、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にしてから、WAIT命令を実行してください。

OCD1ビットが“1”(発振停止検出割り込み許可)の状態、ウェイトモードに移行すると、CPUクロックが停止しないため消費電流が減少しません。

10.4.2.3 ウェイトモード時の端子の状態

入出力ポートはウェイトモードに入る直前の状態を保持します。

10.4.2.4 ウェイトモードからの復帰

リセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、すべての周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号またはオンチップオシレータクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できません。

表10.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表10.3 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
シリアルインタフェース 割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
キー入力割り込み	使用可	使用可
A/D変換割り込み	単発モードで使用可	(使用しないでください)
タイマRA割り込み	すべてのモードで使用可	フィルタなしの場合にイベントカウンタ モードで使用可 カウントソースにfOCO、fC32を選択する ことで使用可
タイマRB割り込み	すべてのモードで使用可	(使用しないでください)
タイマRC割り込み	すべてのモードで使用可	(使用しないでください)
タイマRD割り込み	すべてのモードで使用可	カウントソースにfOCO40Mを選択するこ とで使用可
INT割り込み	使用可	使用可(INT0、INT1、INT3はフィルタなし の場合に使用可)
電圧監視1割り込み	使用可	使用可
電圧監視2割り込み	使用可	使用可
発振停止検出割り込み	使用可	(使用しないでください)

図10.11にウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットの設定に応じて図10.11のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

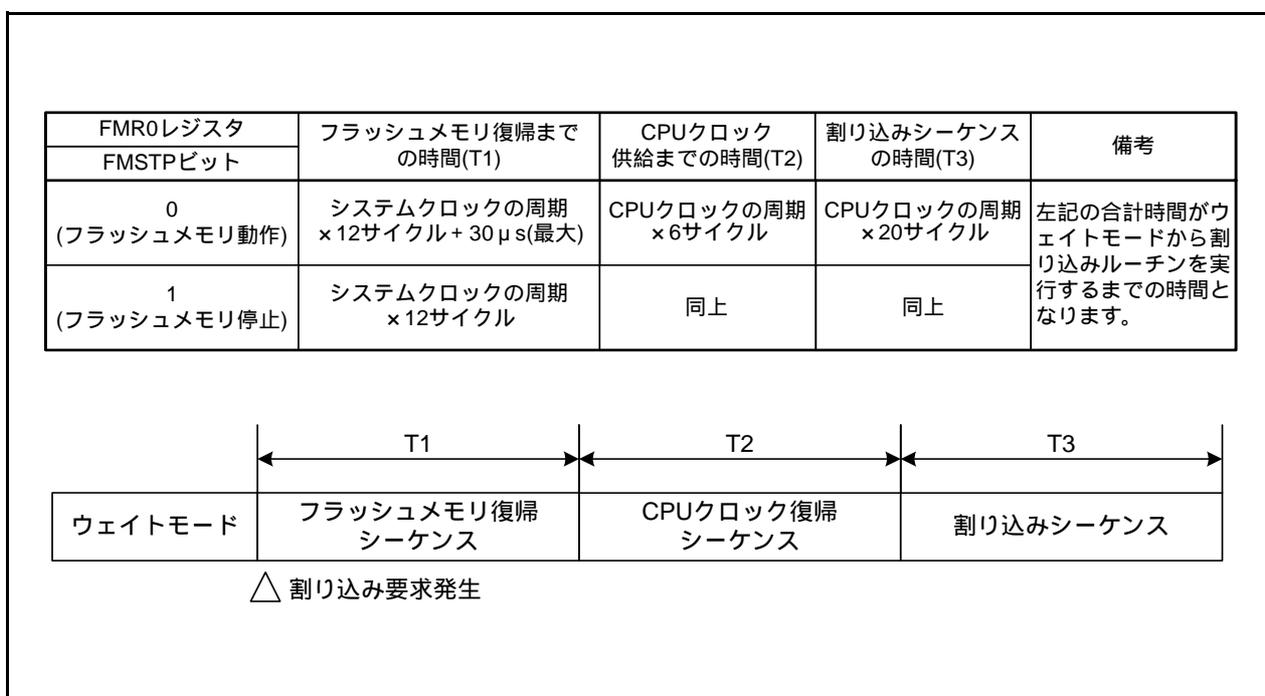


図10.11 ウェイトモードから割り込みルーチンを実行するまでの時間

10.4.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。

表10.4にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表10.4 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	
INT0、INT1、INT3割り込み	フィルタなしの場合に使用可
タイマRA割り込み	イベントカウンタモードで外部パルスをカウント時
シリアルインタフェースの割り込み	外部クロック選択時
電圧監視1割り込み	デジタルフィルタ無効モード(VW1CレジスタのVW1C1ビットが“1”)の場合に使用可
電圧監視2割り込み	デジタルフィルタ無効モード(VW2CレジスタのVW2C1ビットが“1”)の場合に使用可

10.4.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM1レジスタのCM15ビットは“1”(XINクロック発振回路の駆動能力HIGH)になります。

ストップモードを使用する場合、OCD1 ~ OCD0ビットを“00b”にしてからストップモードにしてください。

10.4.3.2 ストップモード時の端子の状態

ストップモードに入る直前の状態を保持します。

ただし、CM1レジスタのCM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P4_7)端子は“H”になります。CM13ビットが“0”(入力ポートP4_6、P4_7)のとき、P4_7(XOUT)は入力状態になります。

10.4.3.3 ストップモードからの復帰

リセット、または周辺機能割り込みにより、ストップモードから復帰します。

図10.12にストップモードから割り込みルーチンを実行するまでの時間を示します。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックがシステムクロックの場合、そのクロックの8分周になります。

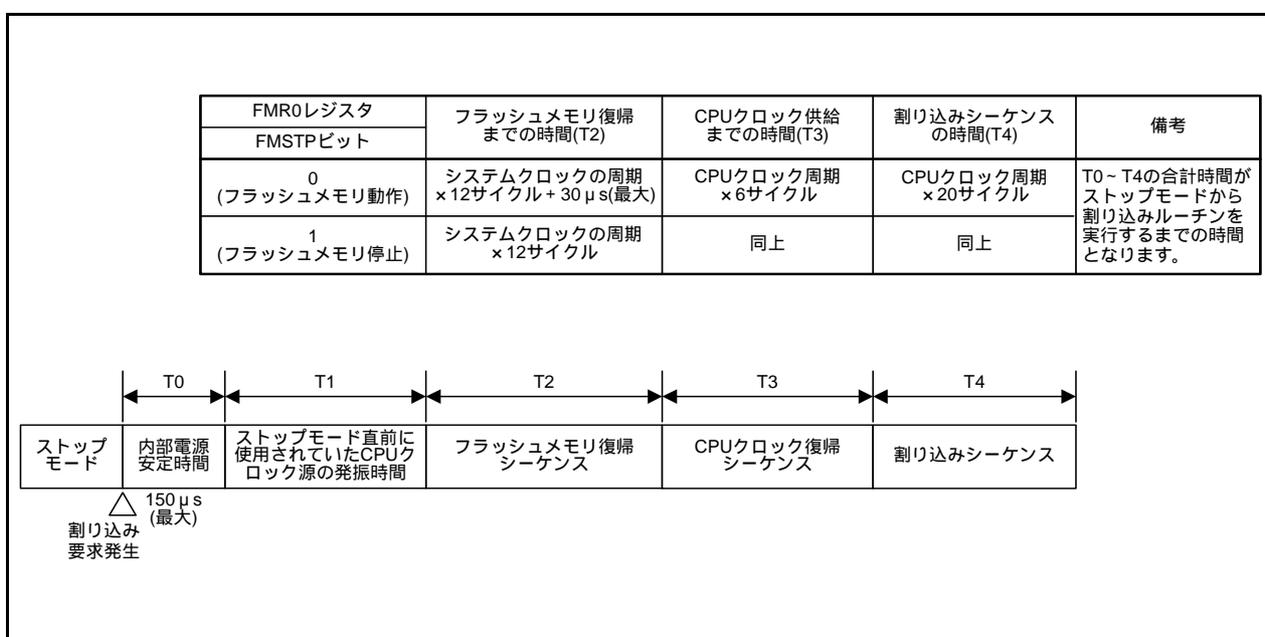


図10.12 ストップモードから割り込みルーチンを実行するまでの時間

図10.13にパワーコントロールモード状態遷移を示します。

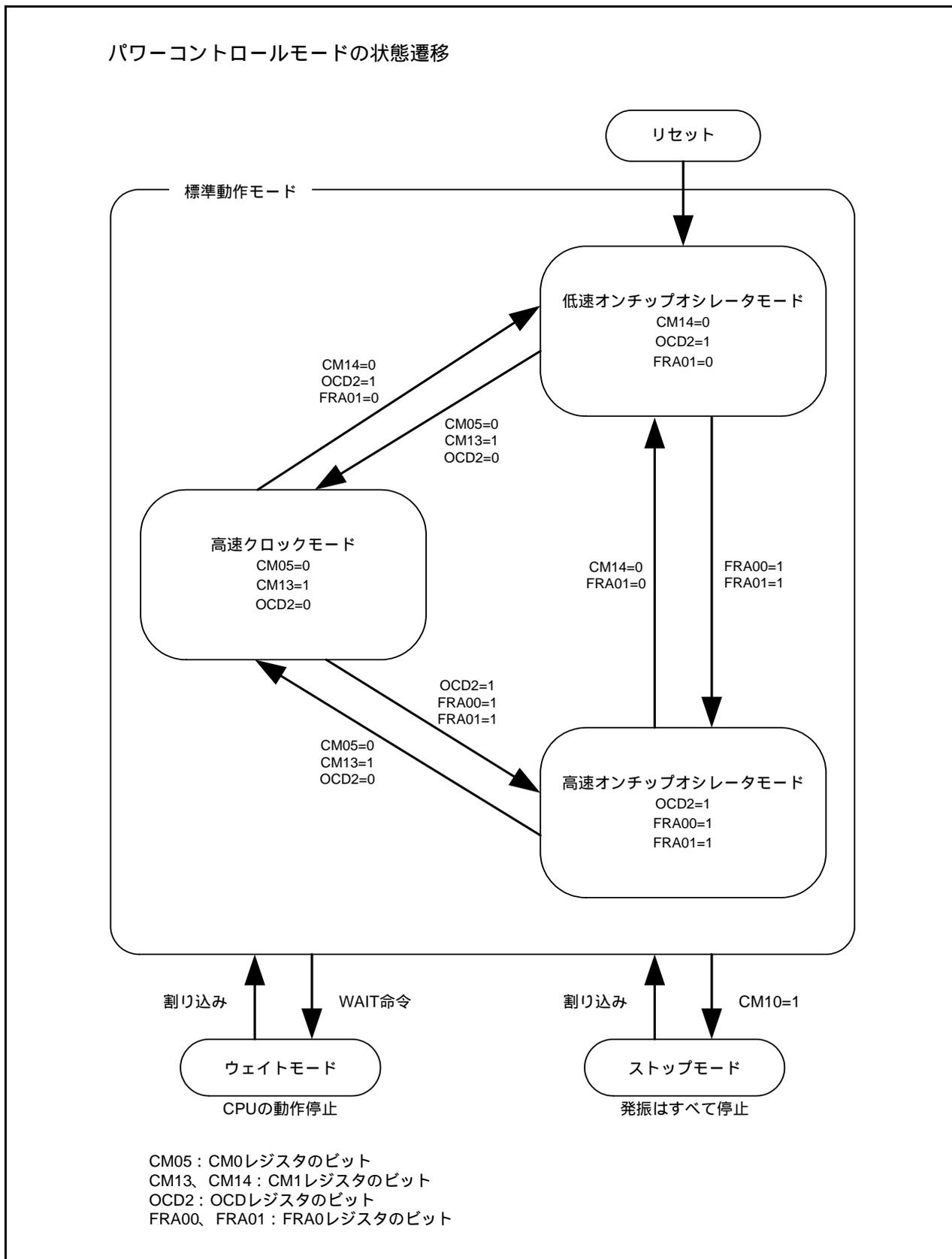


図10.13 パワーコントロールモード状態遷移

10.5 発振停止検出機能

発振停止検出機能は、XINクロック発振回路の停止を検出する機能です。

発振停止検出機能はOCDレジスタのOCD0ビットで有効、無効が選択できます。

表10.5に発振停止検出機能の仕様を示します。

XINクロックがCPUクロック源でOCD1～OCD0ビットが“11b”の場合、XINクロックが停止すると、次の状態になります。

- OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
- OCDレジスタのOCD3ビット=1(XINクロック停止)
- CM1レジスタのCM14ビット=0(低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表10.5 発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN) 2MHz
発振停止検出機能有効条件	OCD1～OCD0ビットを“11b”にする
発振停止検出時の動作	発振停止検出割り込み発生

10.5.1 発振停止検出機能の使用方法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。
表10.6に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別を示します。図10.15に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例を示します。
- 発振停止後、XINクロックが再発振した場合は、プログラムでXINクロックをCPUクロックや周辺機能のクロック源に戻してください。
図10.14に低速オンチップオシレータからXINクロックへの切り替え手順を示します。
- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを“0”(ウェイトモード時周辺機能クロックを停止しない)にしてください。
- 発振停止検出機能は外部要因によるXINクロック停止に備えた機能ですので、プログラムでXINクロックを停止または発振させる場合(ストップモードにする、またはCM05ビットを変更する)は、OCD1～OCD0ビットを“00b”にしてください。
- XINクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、FRA0レジスタのFRA01ビットを“0”(低速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。
発振停止検出後に、CPUクロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合、FRA00ビットを“1”(高速オンチップオシレータ発振)にし、FRA01ビットを“1”(高速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。

表10.6 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出 (a) または (b) のとき)	(a)OCD レジスタの OCD3=1 (b)OCD レジスタの OCD1 ~ OCD0=11b かつ OCD2=1
ウォッチドッグタイマ	VW2C レジスタの VW2C3=1
電圧監視 1	VW1C レジスタの VW1C2=1
電圧監視 2	VW2C レジスタの VW2C2=1

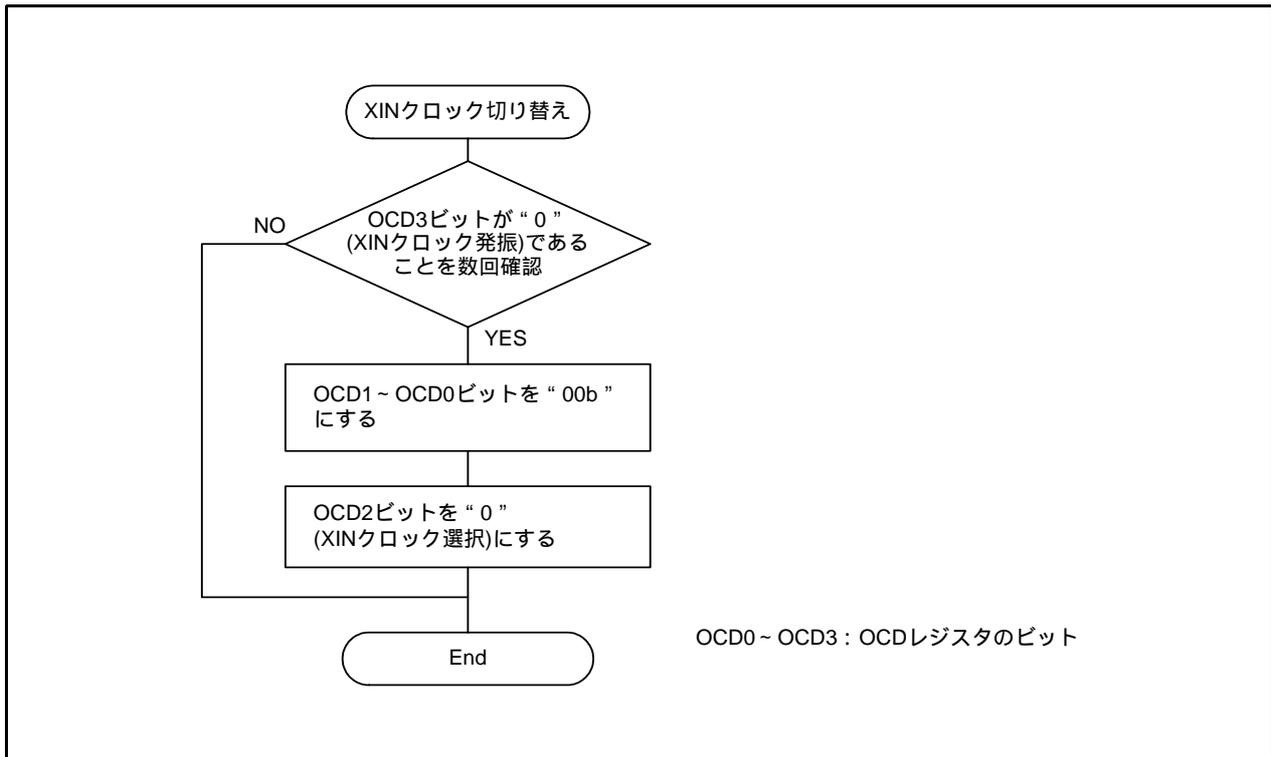


図10.14 低速オンチップオシレータからXINクロックへの切り替え手順

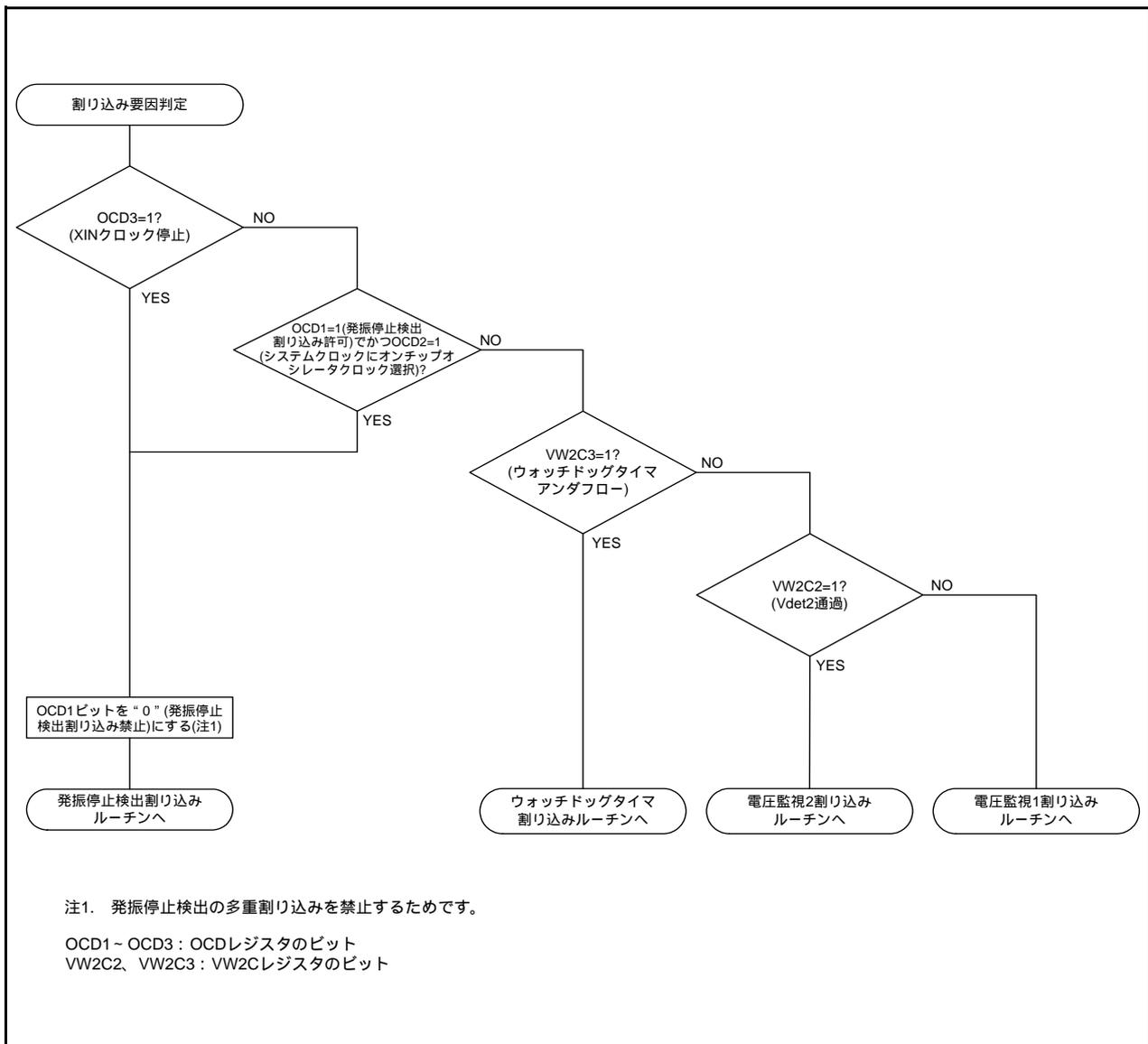


図 10.15 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例

10.6 クロック発生回路使用上の注意

10.6.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

•ストップモードに移行するプログラム例

```

BCLR    1, FMR0      ; CPU書き換えモード無効
BSET    0, PRCR      ; プロテクト解除
FSET    I            ; 割り込み許可
BSET    0, CM1       ; ストップモード
JMP.B   LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP

```

10.6.2 ウェイトモード

ウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはWAIT命令から4バイト先読みしてプログラムが停止します。WAIT命令の後ろにはNOP命令を最低4つ入れてください。

•WAIT命令を実行するプログラム例

```

BCLR    1, FMR0      ; CPU書き換えモード無効
FSET    I            ; 割り込み許可
WAIT                    ; ウェイトモード
NOP
NOP
NOP
NOP

```

10.6.3 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください。

10.6.4 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。電源電圧VCC=2.7V未満でご使用になる場合は、CM1レジスタのCM11ビットを“1”(内蔵帰還抵抗無効)かつCM15ビットを“1”(HIGH駆動)にし、外部に帰還抵抗を接続することを推奨します。

11. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

図11.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次です。

- PRC0ビットで保護されるレジスタ：CM0、CM1、OCD、FRA0、FRA1、FRA2レジスタ
- PRC1ビットで保護されるレジスタ：PM0、PM1レジスタ
- PRC2ビットで保護されるレジスタ：PD0レジスタ
- PRC3ビットで保護されるレジスタ：VCA2、VW0C、VW1C、VW2Cレジスタ

プロテクトレジスタ

シンボル PRCR ビット シンボル	アドレス 000Ah番地	リセット後の値 00h	機能	RW
PRC0	プロテクトビット0	CM0、CM1、OCD、FRA0、FRA1、FRA2レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW	RW
PRC1	プロテクトビット1	PM0、PM1レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW	RW
PRC2	プロテクトビット2	PD0レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	RW	RW
PRC3	プロテクトビット3	VCA2、VW0C、VW1C、VW2Cレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW	RW
- (b5-b4)	予約ビット	“0”にしてください。	RW	RW
- (b7-b6)	予約ビット	読んだ場合、その値は“0”。	RO	RO

注1. PRC2ビットは“1”を書いた後、任意の番地に書き込みを実行すると、“0”になります。他のビットは“0”になりませんので、プログラムで“0”にしてください。

図11.1 PRCRレジスタ

12. 割り込み

12.1 割り込みの概要

12.1.1 割り込みの分類

図12.1に割り込みの分類を示します。

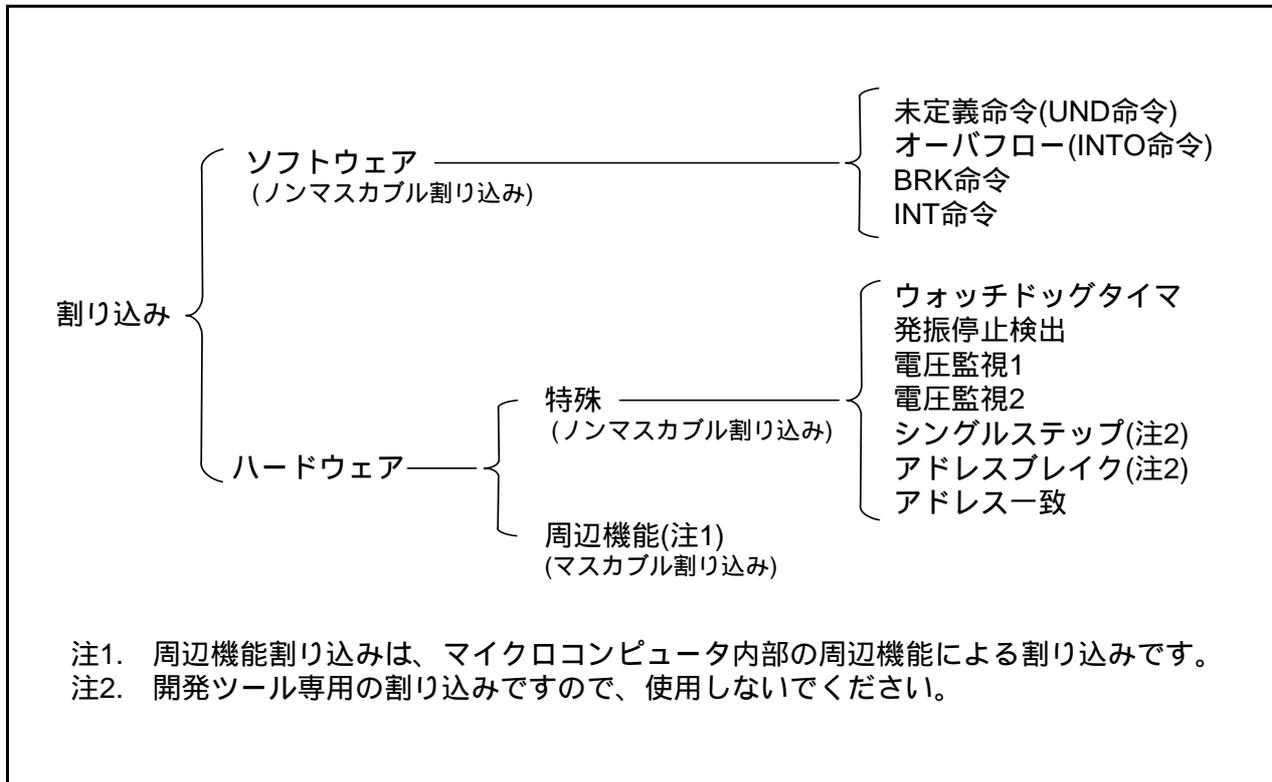


図12.1 割り込みの分類

- マスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ノンマスクابل割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

12.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

12.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

12.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

12.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

12.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号3～31は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

12.1.3 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

12.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は、「15. ウォッチドッグタイマ」を参照してください。

12.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「10. クロック発生回路」を参照してください。

12.1.3.3 電圧監視1割り込み

電圧検出回路による割り込みです。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

12.1.3.4 電圧監視2割り込み

電圧検出回路による割り込みです。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

12.1.3.5 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

12.1.3.6 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「12.4 アドレス一致割り込み」を参照してください。

12.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表 12.2 可変ベクタテーブル」に配置している割り込みとベクタテーブルの番地を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

12.1.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。

図12.2に割り込みベクタを示します。

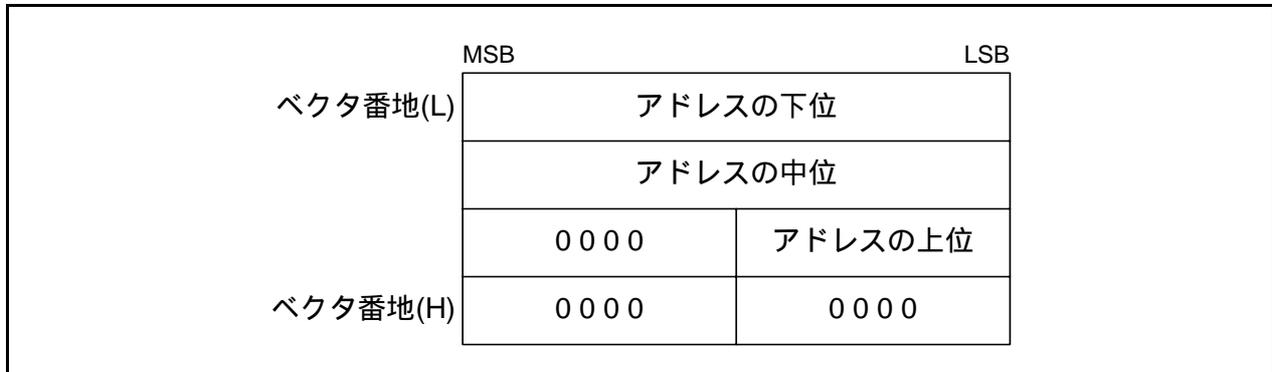


図12.2 割り込みベクタ

12.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表12.1に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使用します。詳細は「20.3 フラッシュメモリ書き換え禁止機能」を参照してください。

表12.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	備考	参照先
未定義命令	0FFDCh～0FFDFh	UND命令で割り込み	R8C/Tinyシリーズソフトウェアマニュアル
オーバフロー	0FFE0h～0FFE3h	INTO命令で割り込み	
BRK命令	0FFE4h～0FFE7h	0FFE7h番地の内容がFFhの場合は可変ベクタテーブル内のベクタが示す番地から実行	
アドレス一致	0FFE8h～0FFEBh		12.4 アドレス一致割り込み
シングルステップ(注1)	0FFECCh～0FFEFh		
ウォッチドッグタイマ、 発振停止検出、 電圧監視1、電圧監視2	0FFF0h～0FFF3h		15. ウォッチドッグタイマ、 10. クロック発生回路、 6. 電圧検出回路
アドレスブレイク(注1)	0FFF4h～0FFF7h		
(予約)	0FFF8h～0FFF Bh		
リセット	0FFFCh～0FFFFh		5. リセット

注1.開発ツール専用の割り込みですので、使用しないでください。

12.1.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。
表12.2に可変ベクタテーブルを示します。

表12.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L) ~ 番地(H)	ソフトウェア 割り込み番号	割り込み制御 レジスタ	参照先
BRK命令(注2)	+0 ~ +3(0000h ~ 0003h)	0		R8C/Tinyシリーズソフト ウェアマニュアル
(予約)		1 ~ 6		
タイマRC	+28 ~ +31(001Ch ~ 001Fh)	7	TRCIC	16.3 タイマRC
タイマRD (チャンネル0)	+32 ~ +35(0020h ~ 0023h)	8	TRD0IC	16.4 タイマRD
タイマRD (チャンネル1)	+36 ~ +39(0024h ~ 0027h)	9	TRD1IC	
(予約)		10		
UART2送信	+44 ~ +47(002Ch ~ 002Fh)	11	S2TIC	17. シリアルインタ フェース
UART2受信	+48 ~ +51(0030h ~ 0033h)	12	S2RIC	
キー入力	+52 ~ +55(0034h ~ 0037h)	13	KUPIC	12.3 キー入力割り込み
A/D変換	+56 ~ +59(0038h ~ 003Bh)	14	ADIC	19. A/Dコンバータ
(予約)		15		
(予約)		16		
UART0送信	+68 ~ +71(0044h ~ 0047h)	17	S0TIC	17. シリアルインタ フェース
UART0受信	+72 ~ +75(0048h ~ 004Bh)	18	S0RIC	
(予約)		19		
(予約)		20		
(予約)		21		
タイマRA	+88 ~ +91(0058h ~ 005Bh)	22	TRAIC	16.1 タイマRA
(予約)		23		
タイマRB	+96 ~ +99(0060h ~ 0063h)	24	TRBIC	16.2 タイマRB
$\overline{\text{INT1}}$	+100 ~ +103(0064h ~ 0067h)	25	INT1IC	12.2 $\overline{\text{INT}}$ 割り込み
$\overline{\text{INT3}}$	+104 ~ +107(0068h ~ 006Bh)	26	INT3IC	
(予約)		27		
(予約)		28		
$\overline{\text{INT0}}$	+116 ~ +119(0074h ~ 0077h)	29	INT0IC	12.2 $\overline{\text{INT}}$ 割り込み
(予約)		30		
(予約)		31		
ソフトウェア(注2)	+128 ~ +131(0080h ~ 0083h) ~ +252 ~ +255(00FCh ~ 00FFh)	32 ~ 63		R8C/Tinyシリーズ ソフトウェアマニュアル

注1.INTBレジスタが示す番地からの相対番地です。

注2.Iフラグによる禁止はできません。

12.1.6 割り込み制御

マスクابل割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクابل割り込みには該当しません。

マスクابل割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

図 12.3 に割り込み制御レジスタ、図 12.4 に TRCIC、TRD0IC、TRD1IC レジスタ、図 12.5 に INT0IC、INT1IC、INT3IC レジスタを示します。

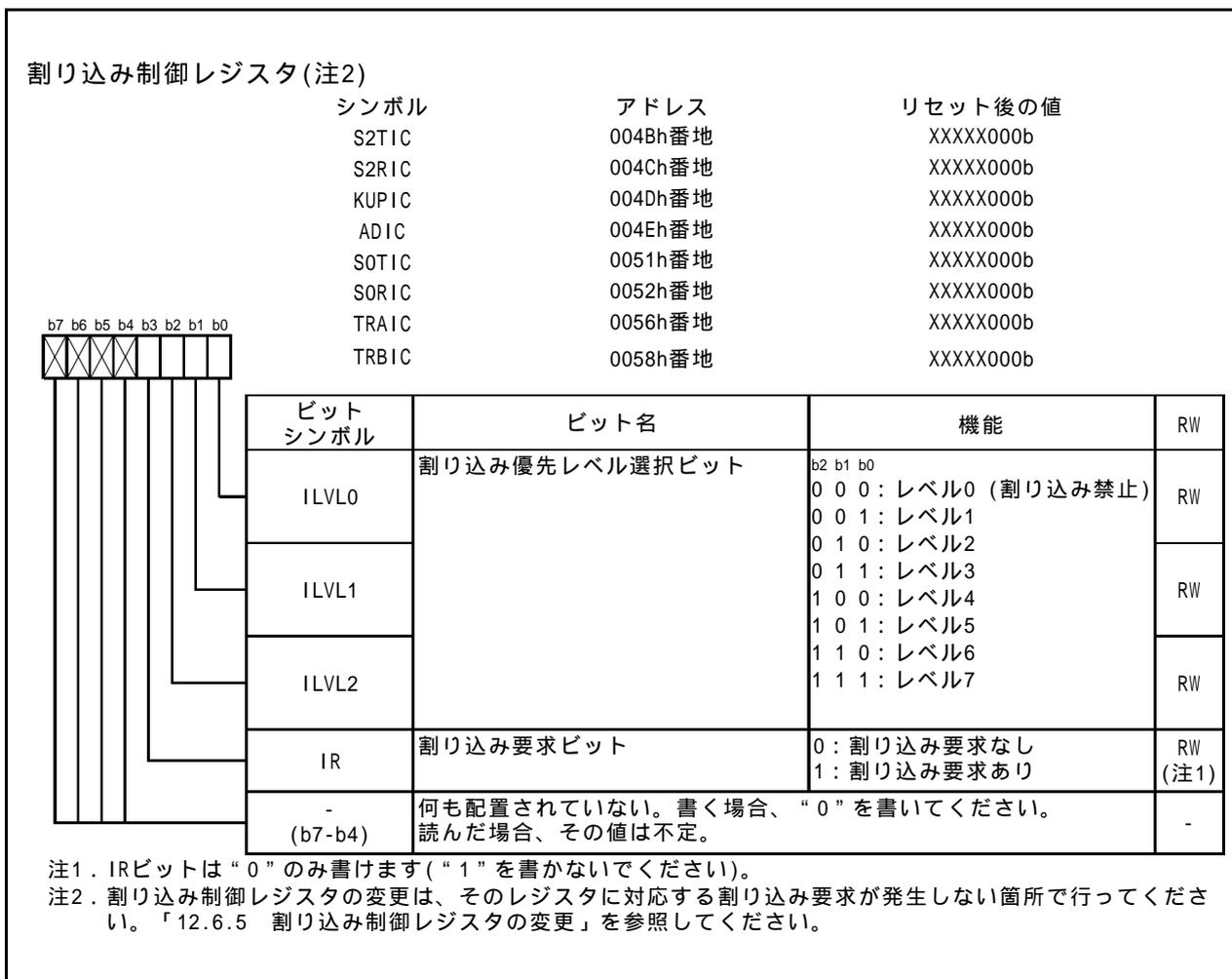


図 12.3 割り込み制御レジスタ

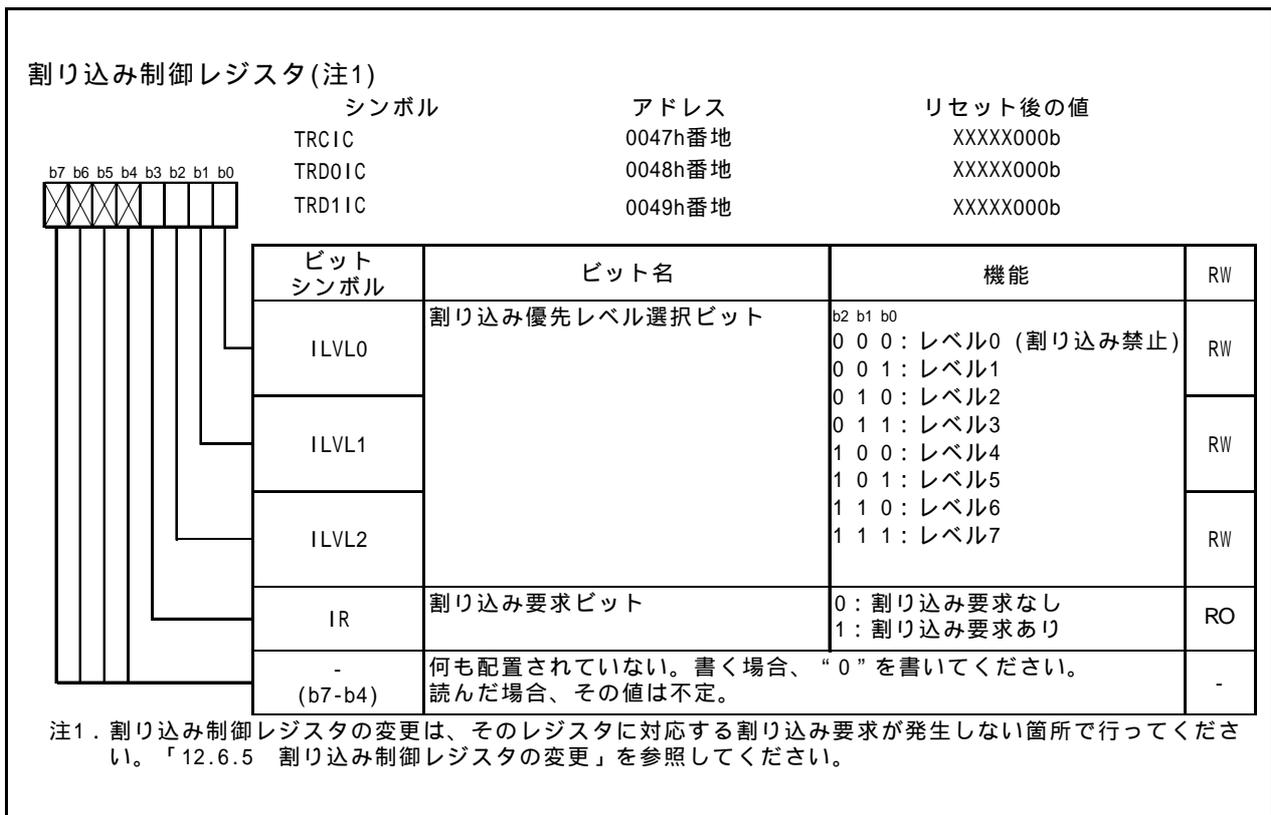


図12.4 TRC1C、TRD01C、TRD11Cレジスタ

INT_i割り込み制御レジスタ (i=0、1、3)(注2)

シンボル	アドレス	リセット後の値
INT1IC	0059h番地	XX00X000b
INT3IC	005Ah番地	XX00X000b
INT0IC	005Dh番地	XX00X000b

ビットシンボル	ビット名	機能	RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0: レベル0 (割り込み禁止) 0 0 1: レベル1 0 1 0: レベル2 0 1 1: レベル3 1 0 0: レベル4 1 0 1: レベル5 1 1 0: レベル6 1 1 1: レベル7	RW
ILVL1			RW
ILVL2			RW
IR	割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	RW (注1)
POL	極性切り替えビット(注4)	0: 立ち下がりエッジを選択 1: 立ち上がりエッジを選択(注3)	RW
- (b5)	予約ビット	“0” にしてください。	RW
- (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		-

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。
 注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「12.6.5 割り込み制御レジスタの変更」を参照してください。
 注3. INTENレジスタのINT_iPLビットが“1”(両エッジ)の場合、POLビットを“0”(立ち下がりエッジを選択)にしてください。
 注4. POLビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。「12.6.4 割り込み要因の変更」を参照してください。

☒ 12.5 INT0IC、INT1IC、INT3IC レジスタ

12.1.6.1 Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスカブル割り込みは許可され、“0”(禁止)にするとすべてのマスカブル割り込みは禁止されます。

12.1.6.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

ただし、タイマRD割り込み、チップセレクト付クロック同期形シリアルI/O割り込み、I²Cバスインタフェース割り込みでは、IRビットの動作が違います。「12.5 タイマRC割り込み、タイマRD割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

12.1.6.3 ILVL2 ~ ILVL0ビット、IPL

割り込み優先レベルは、ILVL2 ~ ILVL0ビットで設定できます。

表12.3に割り込み優先レベルの設定を、表12.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2 ~ ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表12.3 割り込み優先レベルの設定

ILVL2 ~ ILVL0	割り込み優先レベル	優先順位
000b	レベル0 (割り込み禁止)	低い ↓ 高い
001b	レベル1	
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表12.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスカブル割り込みを禁止

12.1.6.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。

図12.6に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。(注2)
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは“0”(割り込み禁止)
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
Uフラグは“0”(ISPを指定)
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

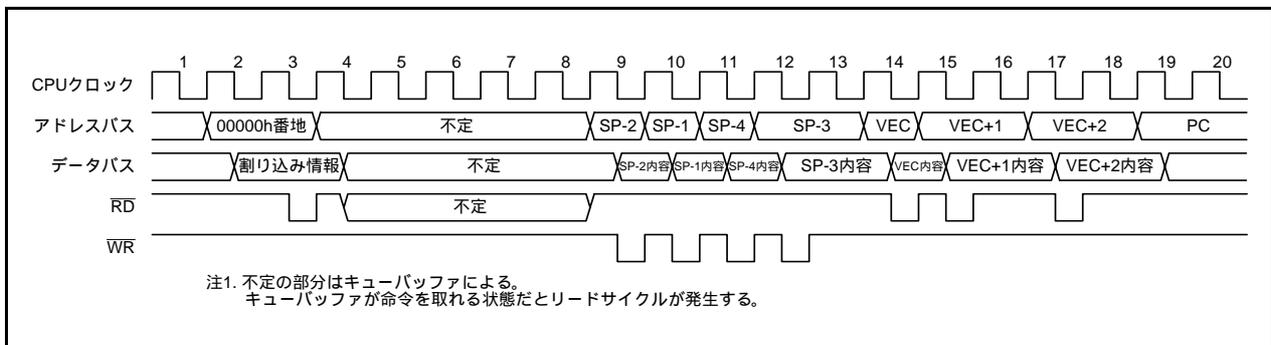


図12.6 割り込みシーケンスの実行時間

注2. タイマRC、タイマRD、チップセレクト付きシリアルI/O、I²Cバスインタフェース割り込みのIRビットの動作は「12.5 タイマRC割り込み、タイマRD割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

12.1.6.5 割り込み応答時間

図12.7に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図12.7の(a))と割り込みシーケンスを実行する時間(20サイクル(b))で構成されます。

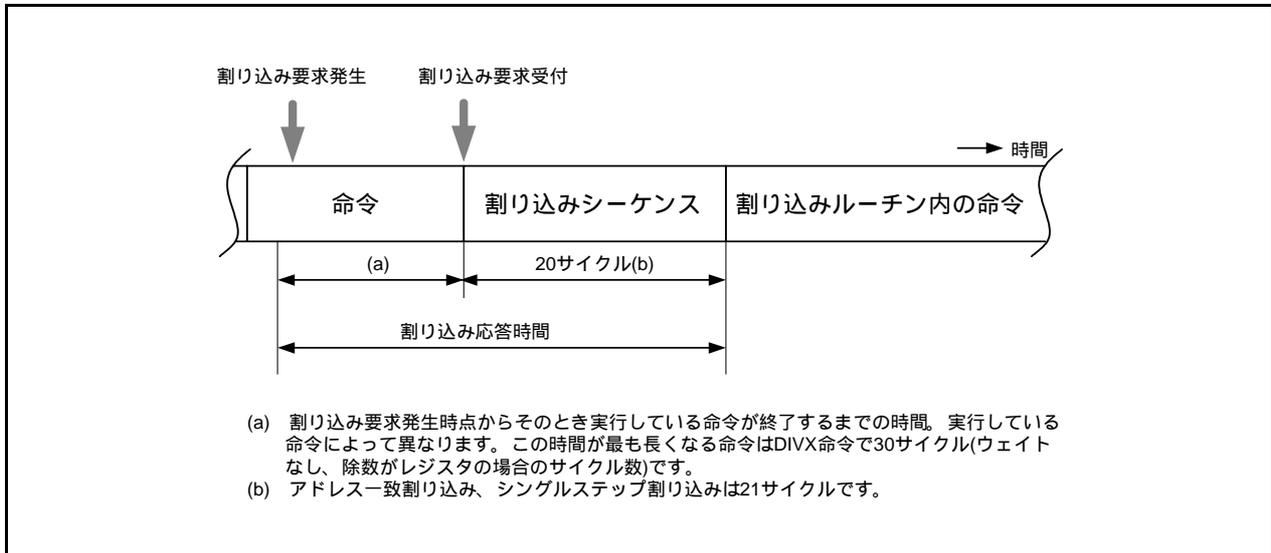


図12.7 割り込み応答時間

12.1.6.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表12.5に示す値がIPLに設定されず。

表12.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表12.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2、アドレスブレイク	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

12.1.6.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。

図12.8に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

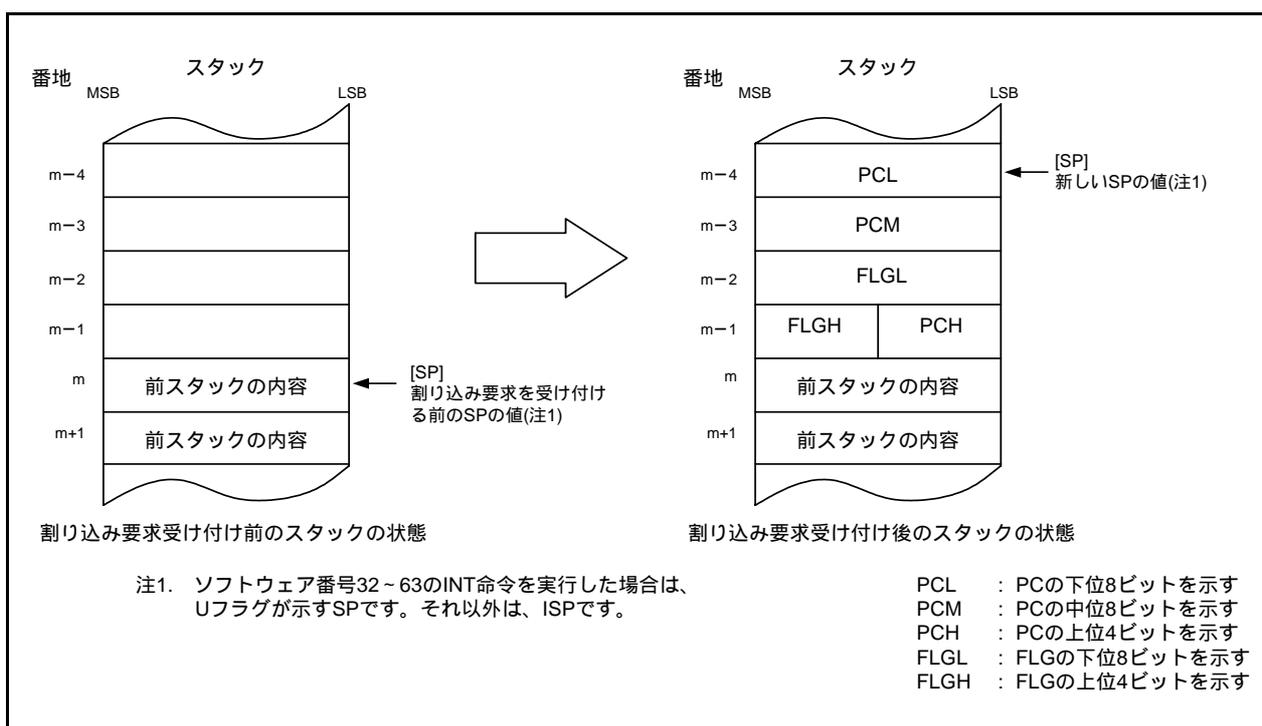


図12.8 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。
図12.9にレジスタ退避動作を示します。

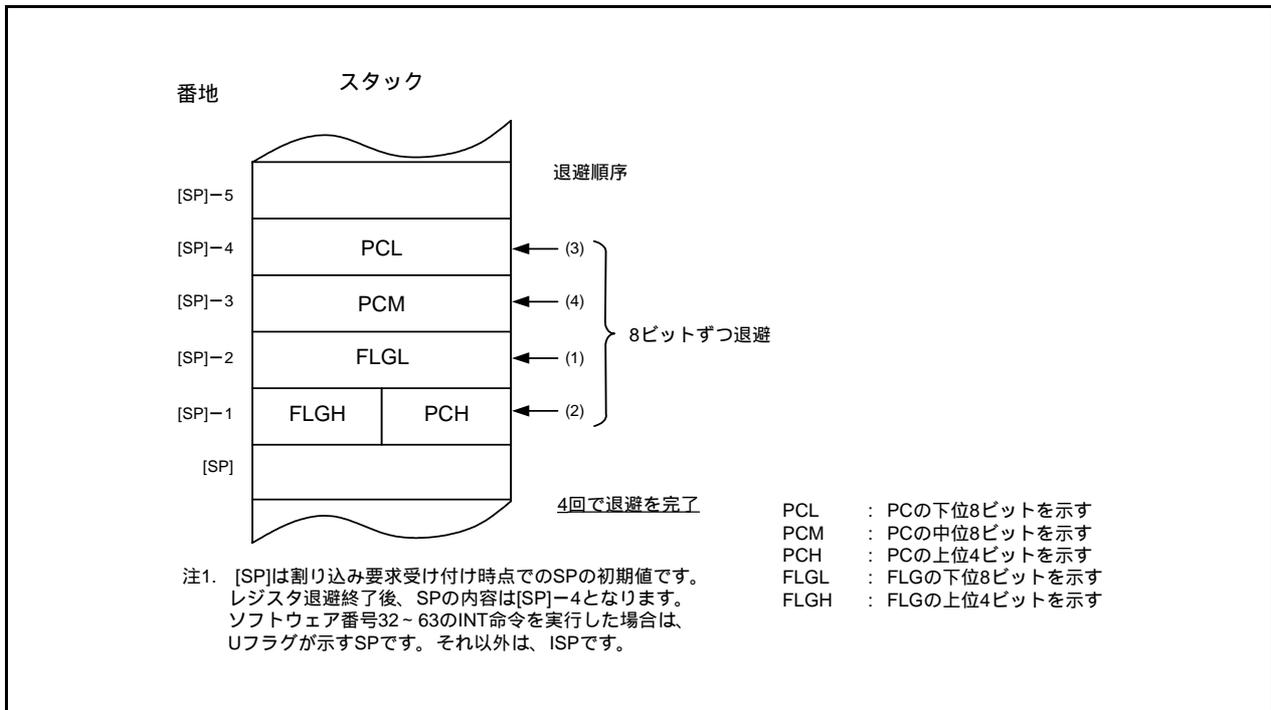


図12.9 レジスタ退避動作

12.1.6.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

12.1.6.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。

図12.10にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

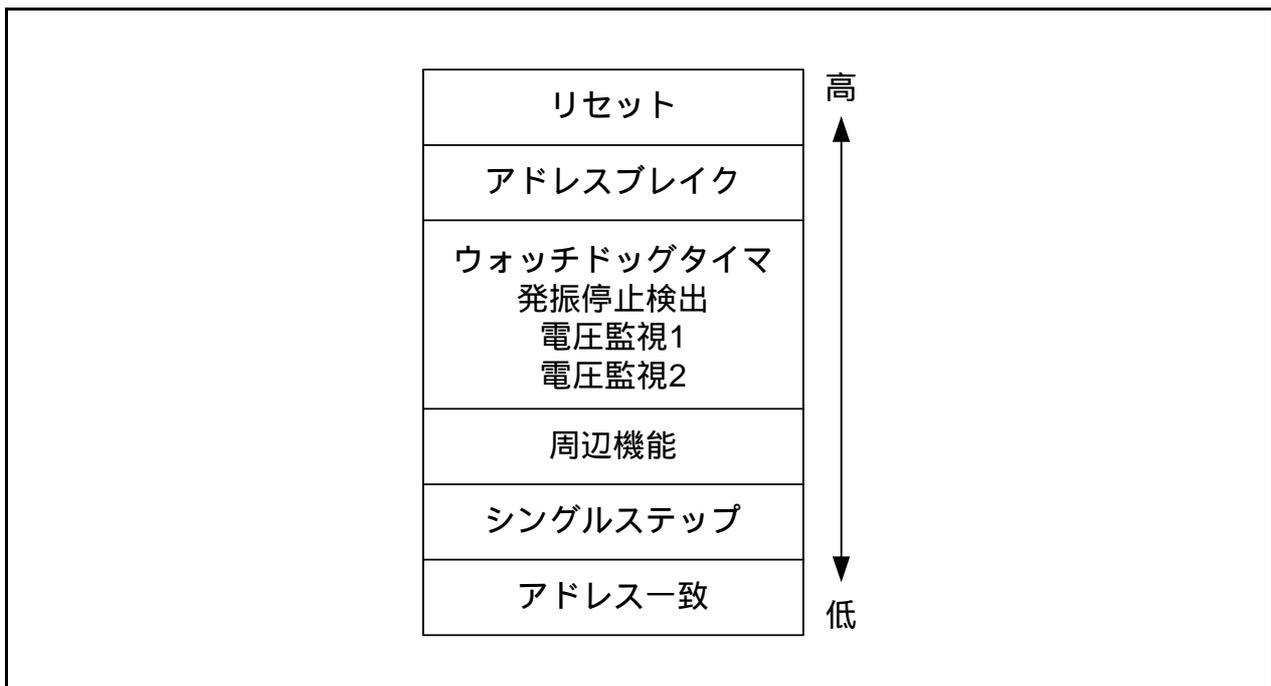


図12.10 ハードウェア割り込みの割り込み優先順位

12.1.6.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。
図12.11に割り込み優先レベルの判定回路を示します。

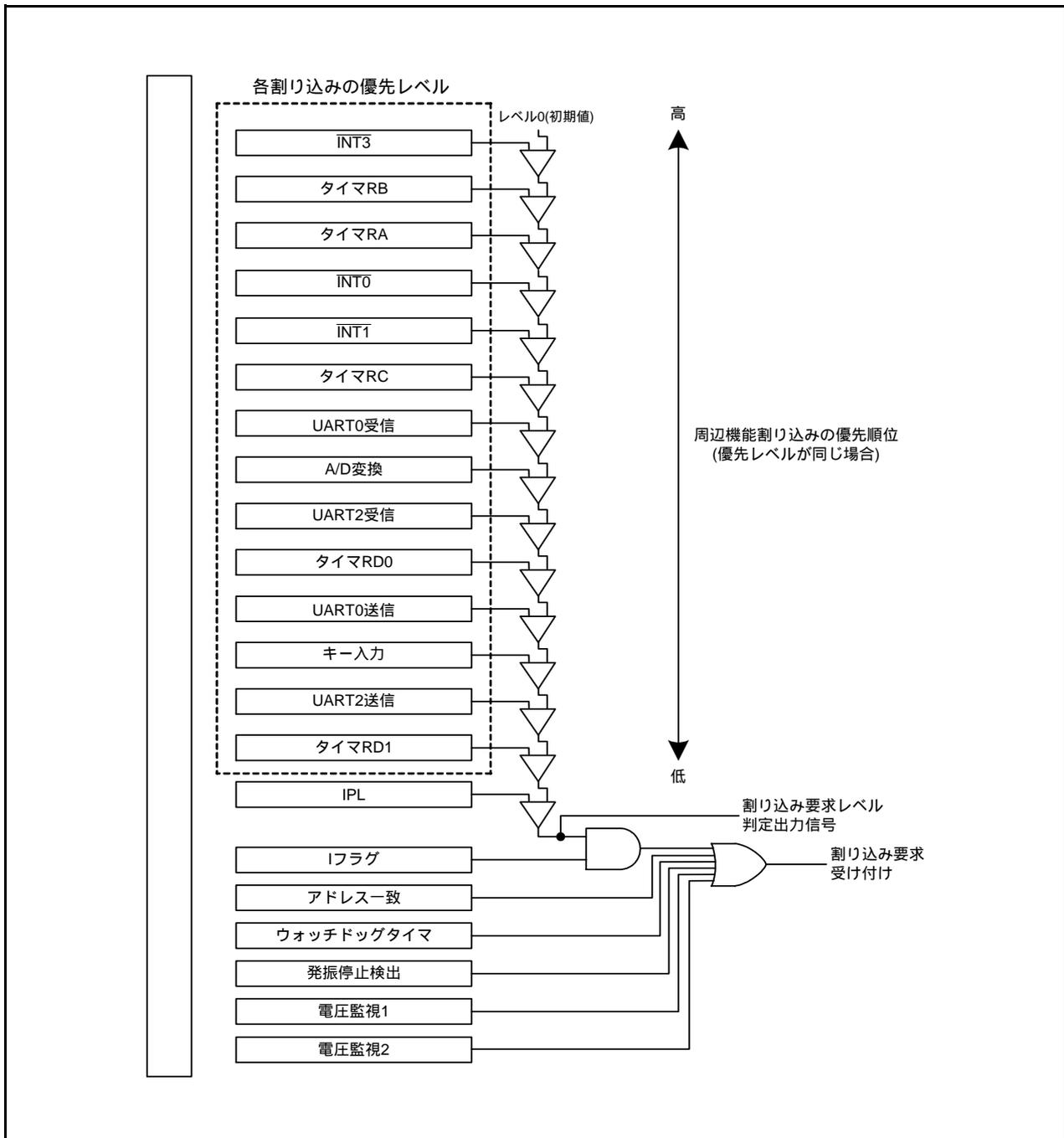


図12.11 割り込み優先レベルの判定回路

12.2 INT割り込み

12.2.1 INT_i割り込み (i=0, 1, 3)

INT_i割り込みはINT_i入力による割り込みです。INT_i割り込みを使用するときはINTENレジスタのINT_iENビット“1”(許可)にしてください。極性をINTENレジスタのINT_iPLビットとINT_iICレジスタのPOLビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

INT₀端子はタイマRCおよびタイマRDのパルス出力強制遮断入力と、タイマRBの外部トリガ入力と兼用です。

図12.12にPMRレジスタを、図12.13にINTENレジスタを、図12.14にINTFレジスタを、図12.15にTRAIOCレジスタを示します。

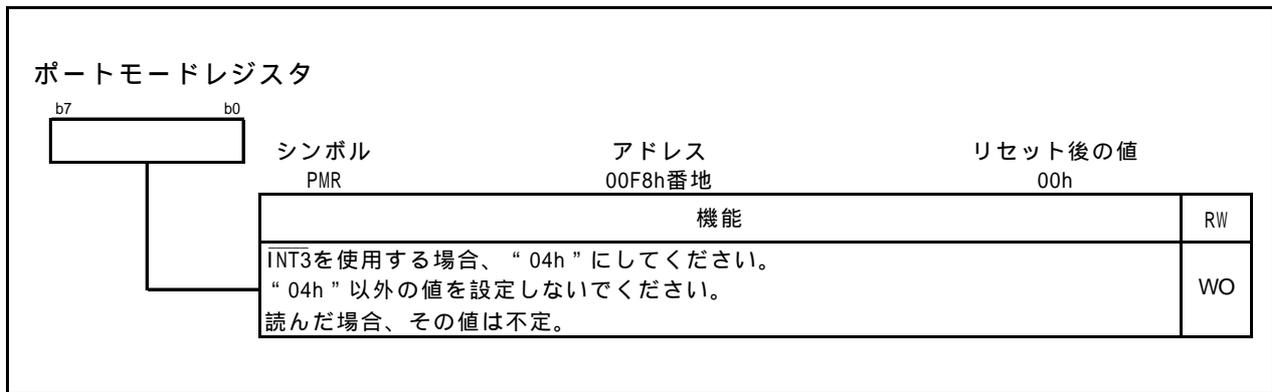


図12.12 PMRレジスタ

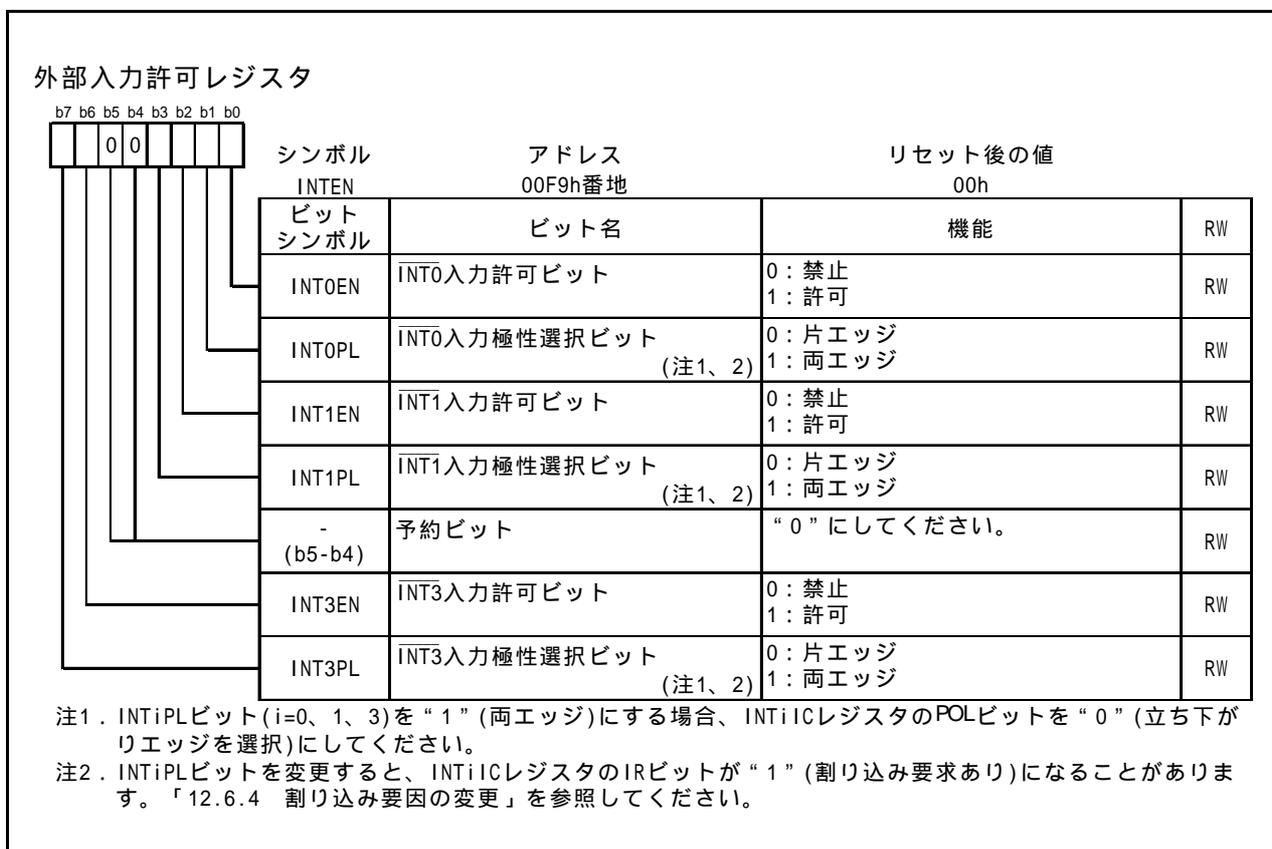


図12.13 INTENレジスタ

INT入力フィルタ選択レジスタ

シンボル	アドレス	リセット後の値	
INTF	00FAh番地	00h	
ビットシンボル	ビット名	機能	RW
INT0F0	INT0入力フィルタ選択ビット	b1 b0 0 0: フィルタなし 0 1: フィルタあり、f1でサンプリング 1 0: フィルタあり、f8でサンプリング 1 1: フィルタあり、f32でサンプリング	RW
INT0F1			RW
INT1F0	INT1入力フィルタ選択ビット	b3 b2 0 0: フィルタなし 0 1: フィルタあり、f1でサンプリング 1 0: フィルタあり、f8でサンプリング 1 1: フィルタあり、f32でサンプリング	RW
INT1F1			RW
- (b5-b4)	予約ビット	“0” にしてください。	RW
INT3F0	INT3入力フィルタ選択ビット	b7 b6 0 0: フィルタなし 0 1: フィルタあり、f1でサンプリング 1 0: フィルタあり、f8でサンプリング 1 1: フィルタあり、f32でサンプリング	RW
INT3F1			RW

図12.14 INTFレジスタ

タイマRA I/O制御レジスタ

シンボル	アドレス	リセット後の値	
TRAIOC	0101h番地	00h	
ビットシンボル	ビット名	機能	RW
TEDGSEL	TRAIO極性切り替えビット	動作モードによって機能が異なる。	RW
TOPCR	TRAIO出力制御ビット		RW
- (b2)	予約ビット	“0” にしてください。	RW
TIOSEL	INT1/TRAIO選択ビット	0: INT1/TRAIO端子(P1_7) 1: INT1/TRAIO端子(P1_5)	RW
TIPF0	TRAIO入力フィルタ選択ビット	動作モードによって機能が異なる。	RW
TIPF1			RW
- (b7-b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

図12.15 TRAIOCレジスタ

12.2.2 $\overline{\text{INTi}}$ 入力フィルタ (i=0、1、3)

$\overline{\text{INTi}}$ 入力は、デジタルフィルタを持ちます。サンプリングクロックはINTFレジスタのINTiF0 ~ INTiF1 ビットで選択できます。サンプリングクロックごとに $\overline{\text{INTi}}$ のレベルをサンプリングし、レベルが3度一致した時点で、INTiCレジスタのIRビットが“1” (割り込み要求あり) になります。

図12.16に $\overline{\text{INTi}}$ 入力フィルタの構成を、図12.17に $\overline{\text{INTi}}$ 入力フィルタ動作例を示します。

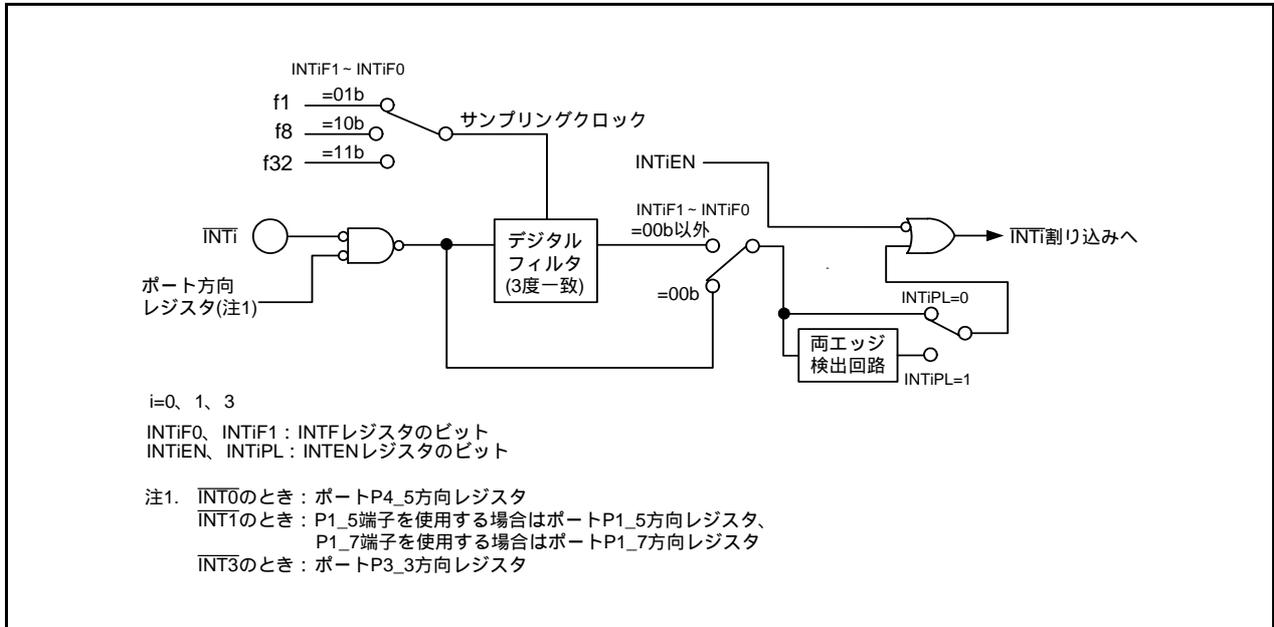


図12.16 $\overline{\text{INTi}}$ 入力フィルタの構成

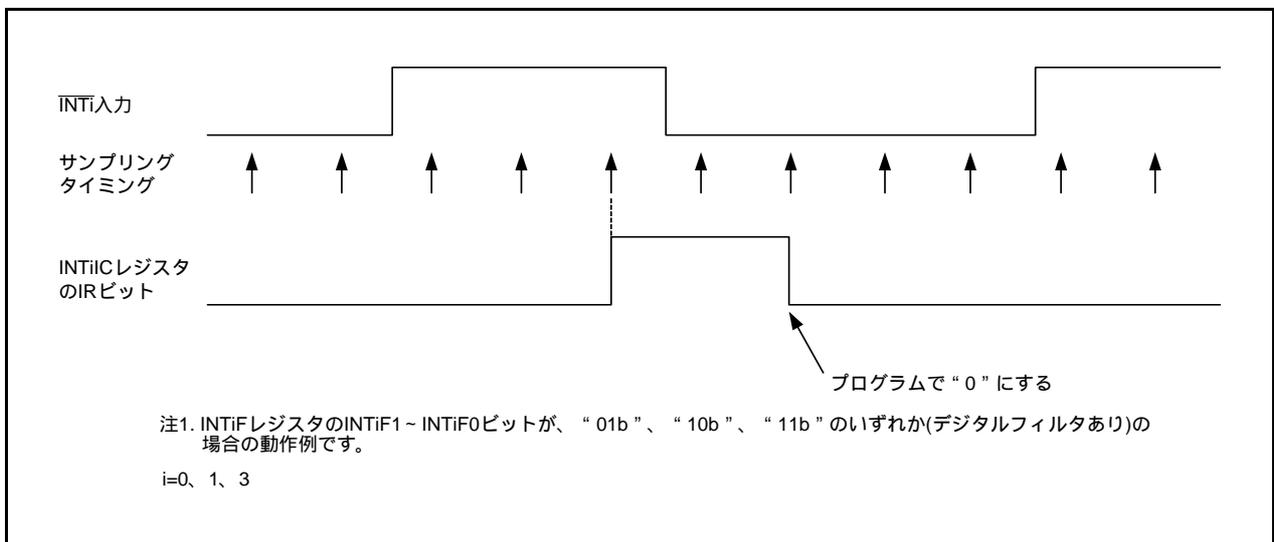


図12.17 $\overline{\text{INTi}}$ 入力フィルタ動作例

12.3 キー入力割り込み

KI0 ~ KI3端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタのKIiENビット($i = 0 \sim 3$)で、端子をKIi入力として使用するかどうかを選択できます。また、KIENレジスタのKIiPLビットで入力極性を選択できます。

なお、KIiPLビットを“0”(立ち下がりエッジ)にしているKIi端子に“L”を入力していると、他のKI0 ~ KI3端子の入力は割り込みとして検知されません。同様に、KIiPLビットを“1”(立ち上がりエッジ)にしているKIi端子に“H”を入力していると、他のKI0 ~ KI3端子の入力は割り込みとして検知されません。

図12.18にキー入力割り込みのブロック図を示します。

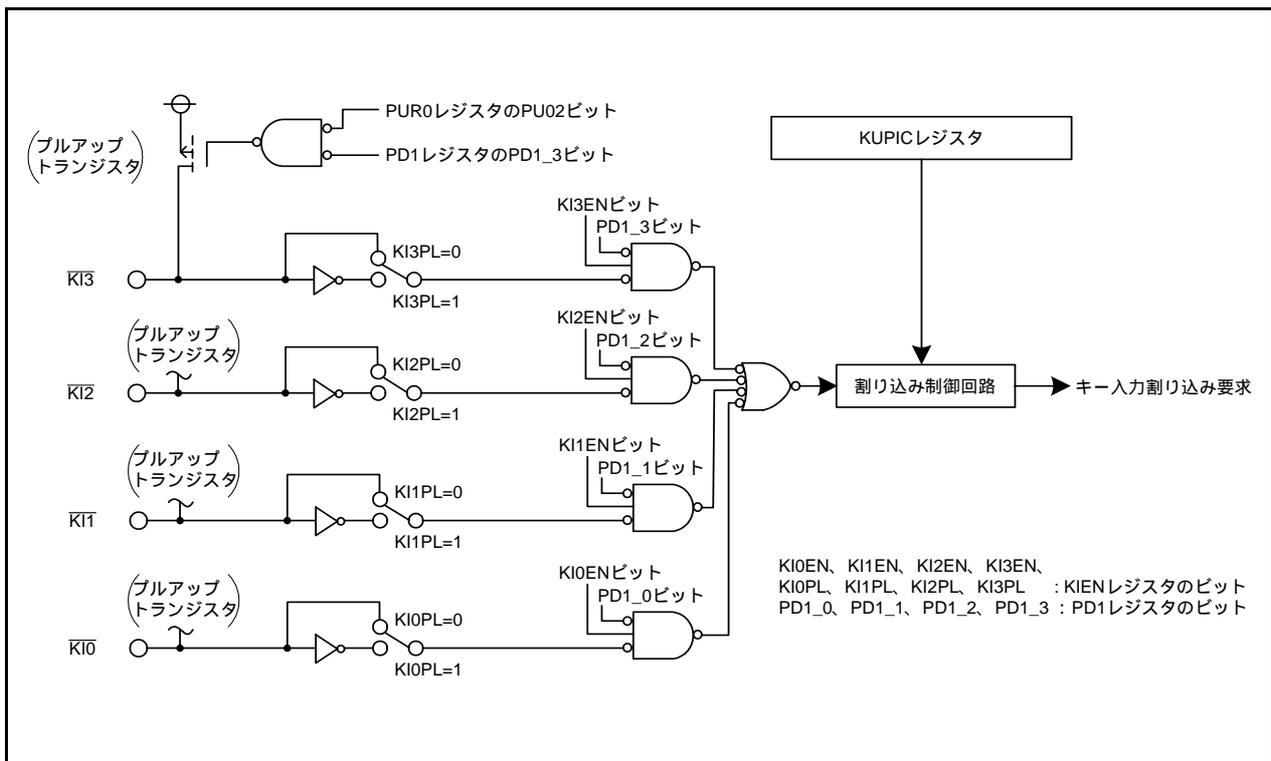


図12.18 キー入力割り込みのブロック図

キー入力許可レジスタ (注1)

シンボル KIEEN	アドレス 00FBh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
K10EN	K10入力許可ビット	0: 禁止 1: 許可	RW
K10PL	K10入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW
K11EN	K11入力許可ビット	0: 禁止 1: 許可	RW
K11PL	K11入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW
K12EN	K12入力許可ビット	0: 禁止 1: 許可	RW
K12PL	K12入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW
K13EN	K13入力許可ビット	0: 禁止 1: 許可	RW
K13PL	K13入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW

注1. KIEENレジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.6.4 割り込み要因の変更」を参照してください。

図12.19 KIEENレジスタ

12.4 アドレス一致割り込み

RMAD_i(*i*=0 ~ 1)レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレーク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み(AIER、RMAD0、RMAD1レジスタ、固定ベクタテーブル)を設定しないでください。

RMAD_i(*i*=0 ~ 1)には命令の先頭番地を設定してください。割り込みの禁止または許可はAIER0レジスタのAIER0、AIER1ビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「12.1.6.7 レジスタ退避」参照)は、RMAD_iレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えてREIT命令で復帰する
- スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表12.6にアドレス一致割り込み要求受け付け時に退避されるPCの値を、図12.20にAIER、RMAD0 ~ RMAD1レジスタを示します。

表12.6 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMAD _i レジスタ (<i>i</i> =0 ~ 1) で示される番地の命令	退避されるPCの値 (注1)
<ul style="list-style-type: none"> • オペコードが2バイトの命令(注2) • オペコードが1バイトの命令(注2) ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0またはA1)	RMAD _i レジスタで示される番地 +2
上記以外	RMAD _i レジスタで示される番地 +1

注1. 退避されるPCの値:「12.1.6.7 レジスタ退避」参照。

注2. オペコード:「R8C/Tinyシリーズソフトウェアマニュアル(RJJ09B0002)」参照。

「第4章 命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表12.7 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1

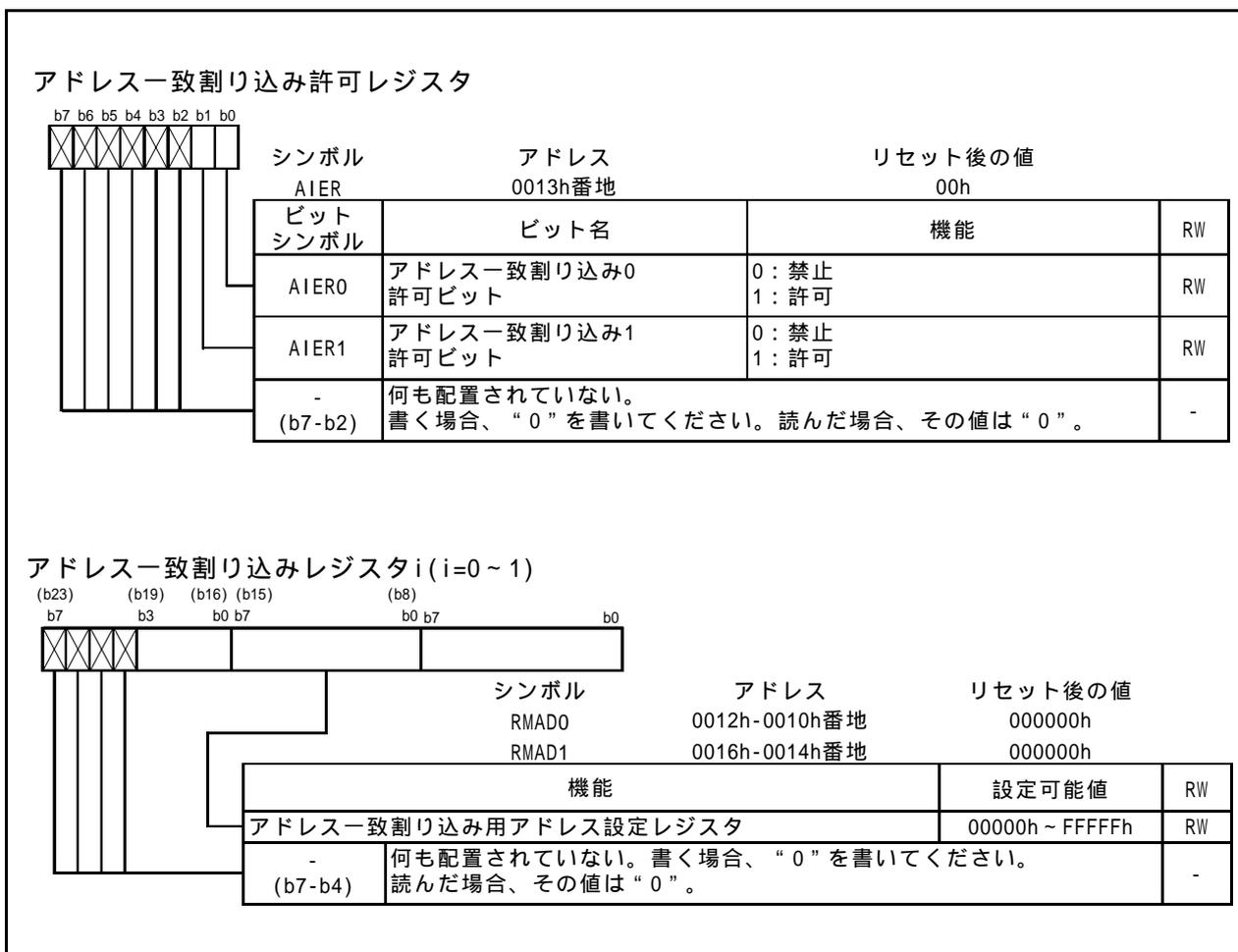


図12.20 AIER、RMAD0 ~ RMAD1レジスタ

12.5 タイマRC割り込み、タイマRD割り込み(複数の割り込み要求要因を持つ割り込み)

タイマRC割り込み、タイマRD(チャンネル0)、タイマRD(チャンネル1)は、それぞれ複数の割り込み要求要因を持ち、それらの論理和が割り込み要求になり、割り込み制御レジスタのIRビットに反映されます。このため、これらの周辺機能はそれぞれ独自の割り込み要求要因のステータスレジスタ(以下、ステータスレジスタと称す)と、割り込み要求要因の許可レジスタ(以下、許可レジスタと称す)を持ち、割り込み要求の発生(割り込み制御レジスタのIRビットの変化)を制御しています。表12.8にタイマRC、タイマRD割り込み関連レジスタを、図12.21にタイマRD割り込みのブロック図を示します。

表12.8 タイマRC、タイマRD割り込み関連レジスタ

周辺機能名		割り込み要求要因のステータスレジスタ	割り込み要求要因の許可レジスタ	割り込み制御レジスタ
タイマRC		TRCSR	TRCIE	TRCIC
タイマRD	チャンネル0	TRDSR0	TRDIER0	TRD0IC
	チャンネル1	TRDSR1	TRDIER1	TRD1IC

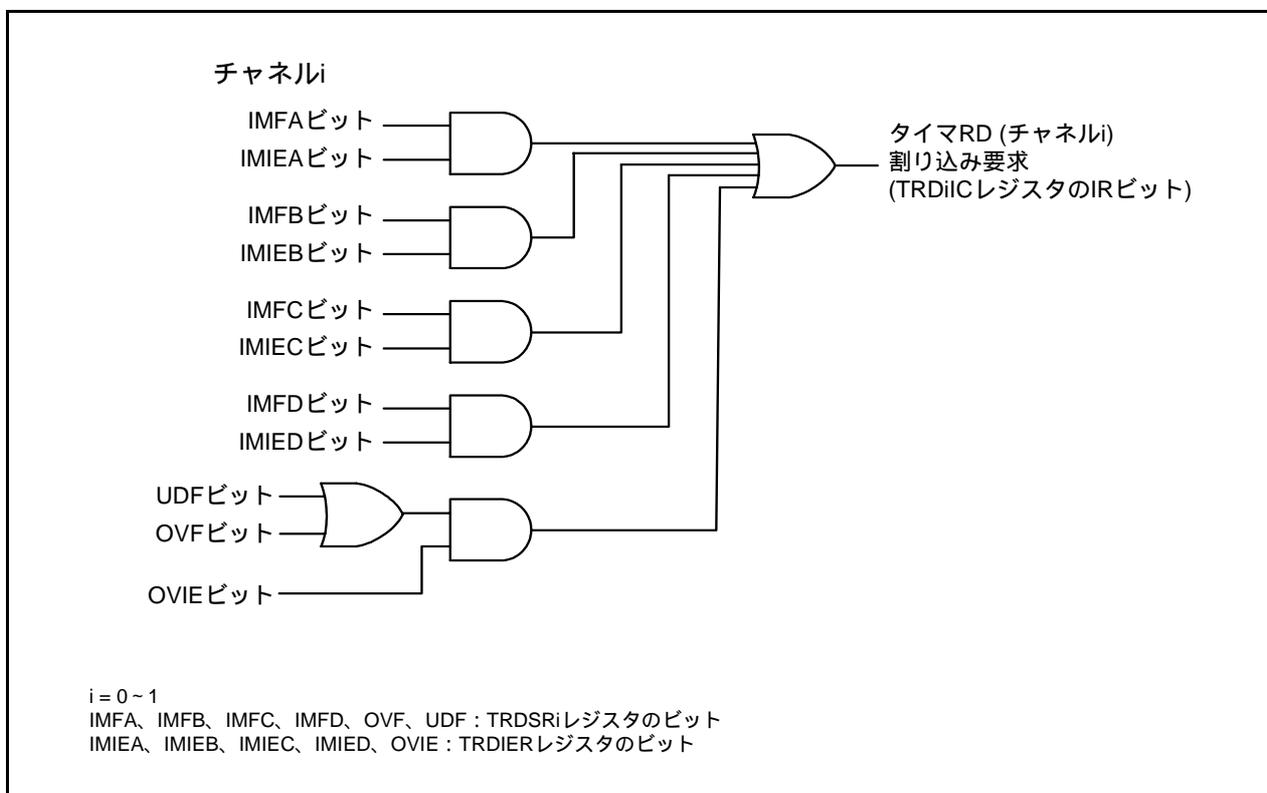


図12.21 タイマRD割り込みのブロック図

タイマRC割り込み、タイマRD(チャンネル0)、タイマRD(チャンネル1)の割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要求を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ステータスレジスタのビットが“1”で、それに対応する許可レジスタのビットが“1”(割り込み許可)の場合、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になります。
- ステータスレジスタのビットと、それに対応する許可レジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。
すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
また、IRビットに“0”を書いても“0”になりません。
- ステータスレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりません。
このため、IRビットも割り込みが受け付けられたとき自動的に“0”になりません。
ステータスレジスタの各ビットは割り込みルーチン内で“0”にしてください。ステータスレジスタの各ビットを“0”にする方法はステータスレジスタの図を参照してください。
- 許可レジスタの複数のビットを“1”にしている場合、IRビットが“1”になった後、別の要求要因が成立したとき、IRビットは“1”のまま変化しません。
- 許可レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、ステータスレジスタで判定してください。

ステータスレジスタと許可レジスタは各周辺機能の章(「16.3 タイマRC」,「16.4 タイマRD」)を参照してください。

割り込み制御レジスタは「12.1.6 割り込み制御」を参照してください。

12.6 割り込み使用上の注意

12.6.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

12.6.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

12.6.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT3}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0, 1, 3$)に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表22.19($V_{cc} = 5V$)、表22.25($V_{cc} = 3V$)、表22.31($V_{cc} = 2.2V$) 外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0, 1, 3$)」を参照。)

12.6.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図12.22に割り込み要因の変更手順例を示します。

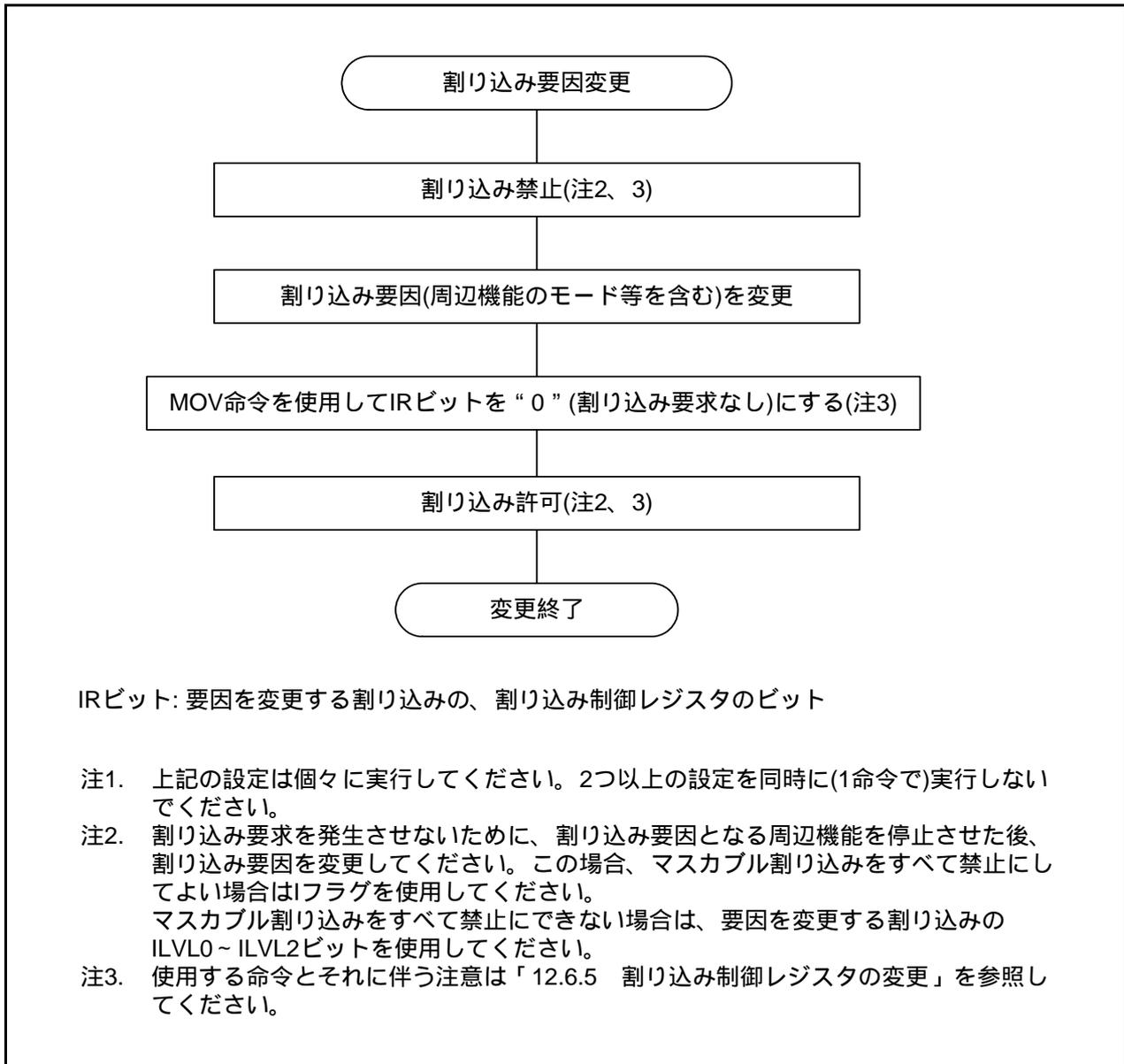


図12.22 割り込み要因の変更手順例

12.6.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。
IRビット以外のビットの変更
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。
対象となる命令 AND、OR、BCLR、BSET
- IRビットの変更
IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。
- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  MOV.W   MEM, R0        ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  POPC    FLG            ; 割り込み許可
```

13. IDコード領域

13.1 概要

IDコード領域は、標準シリアル入出力モードでフラッシュメモリ書き換え禁止機能に使用します。フラッシュメモリ書き換え禁止機能は、フラッシュメモリの読み出し、書き換え、消去を禁止します。

IDコード領域は固定ベクタテーブルの各ベクタ最上位番地のうち、0FFDFh、0FFE3h、0FFE7h、0FFE8h、0FFE9h、0FFF3h、0FFF7h、0FFF8h 番地です。図13.1にIDコード領域を示します。

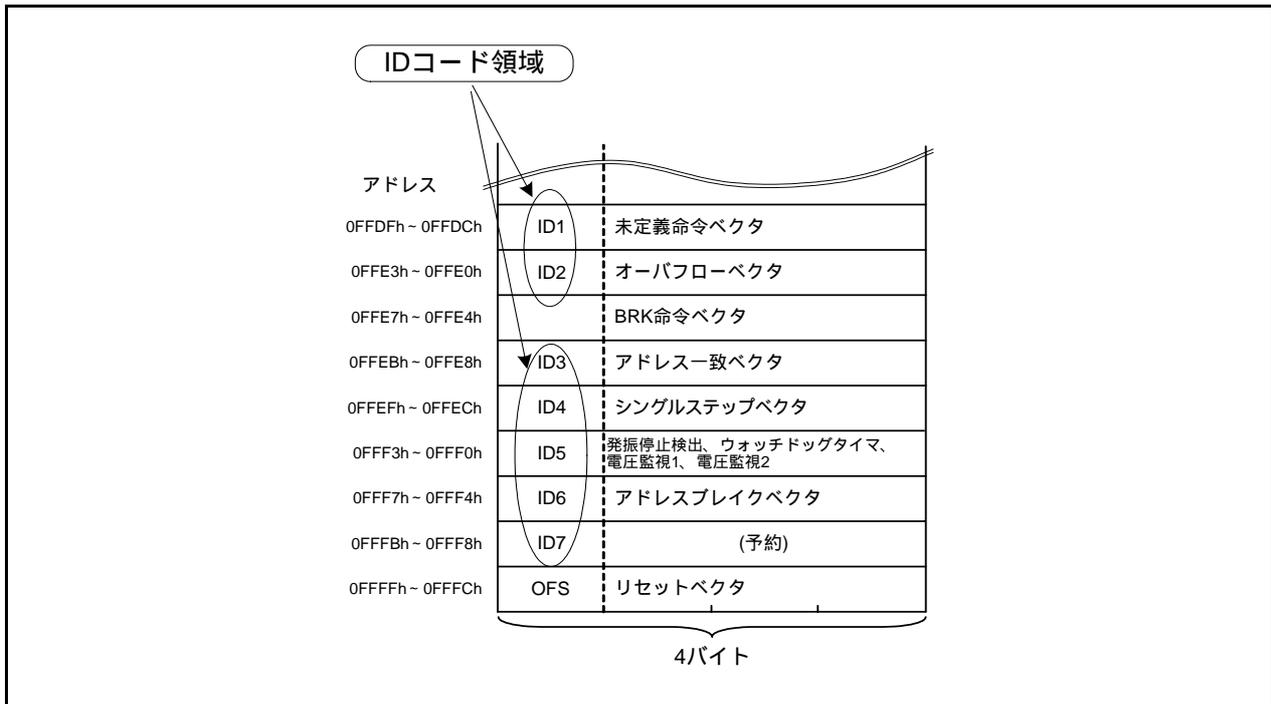


図13.1 IDコード領域

13.2 機能

IDコード領域は標準シリアル入出力モードで使用します。標準シリアル入出力モードでリセットベクタの3バイト(0FFFCh ~ 0FFF9h番地)が“FFFFFFh”ではない場合、IDコード領域に格納されているIDコードと、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードの一致を判定し、一致すれば送られてくるコマンドを受け付け、一致しなければ受け付けません。したがって、シリアルライターやオンチップデバッグエミュレータを使用する予定がある場合は、IDコード領域にあらかじめ決めておいたIDコードを書き込んでください。

IDコード領域はフラッシュメモリです(SFRではありません)ので、命令の実行では書き換えられません。プログラム作成時に適切な値を書き込んでください。

13.3 IDコード領域使用上の注意

13.3.1 IDコード領域の設定例

IDコード領域はフラッシュメモリです(SFRではありません)ので、命令の実行では書き換えられません。プログラム作成時に適切な値を書き込んでください。次に設定例を示します。

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)    ; UND
.lword dummy | (55000000h)    ; INTO
.lword dummy ; BREAK
.lword dummy | (55000000h)    ; ADDRESS MATCH
.lword dummy | (55000000h)    ; SET SINGLE STEP
.lword dummy | (55000000h)    ; WDT
.lword dummy | (55000000h)    ; ADDRESS BREAK
.lword dummy | (55000000h)    ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

14. オプション機能選択領域

14.1 概要

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。固定ベクタテーブルのリセットベクタ最上位、0FFFFh番地がオプション機能選択領域です。図14.1にオプション機能選択領域を示します。

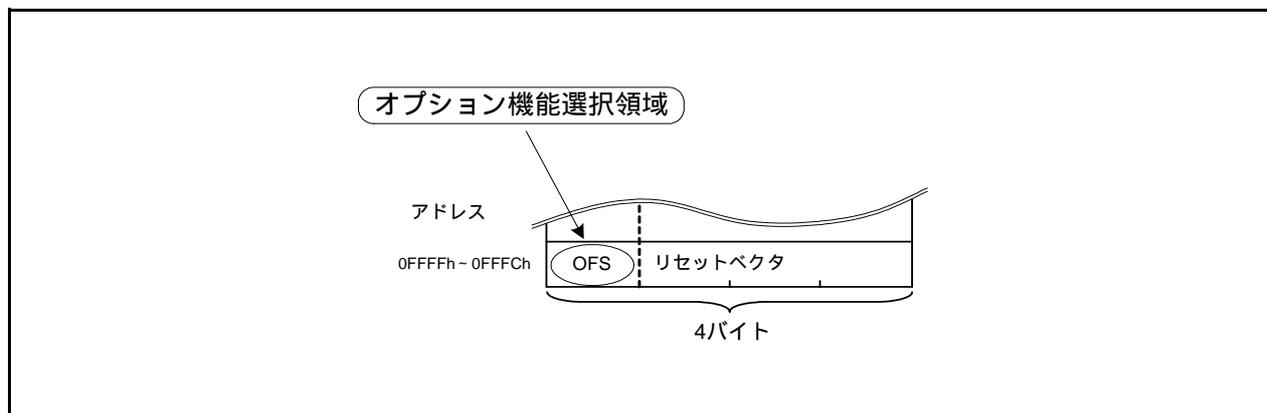


図14.1 オプション機能選択領域

14.2 OFSレジスタ

OFSレジスタは、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択するレジスタです。図14.2にOFSレジスタを示します。

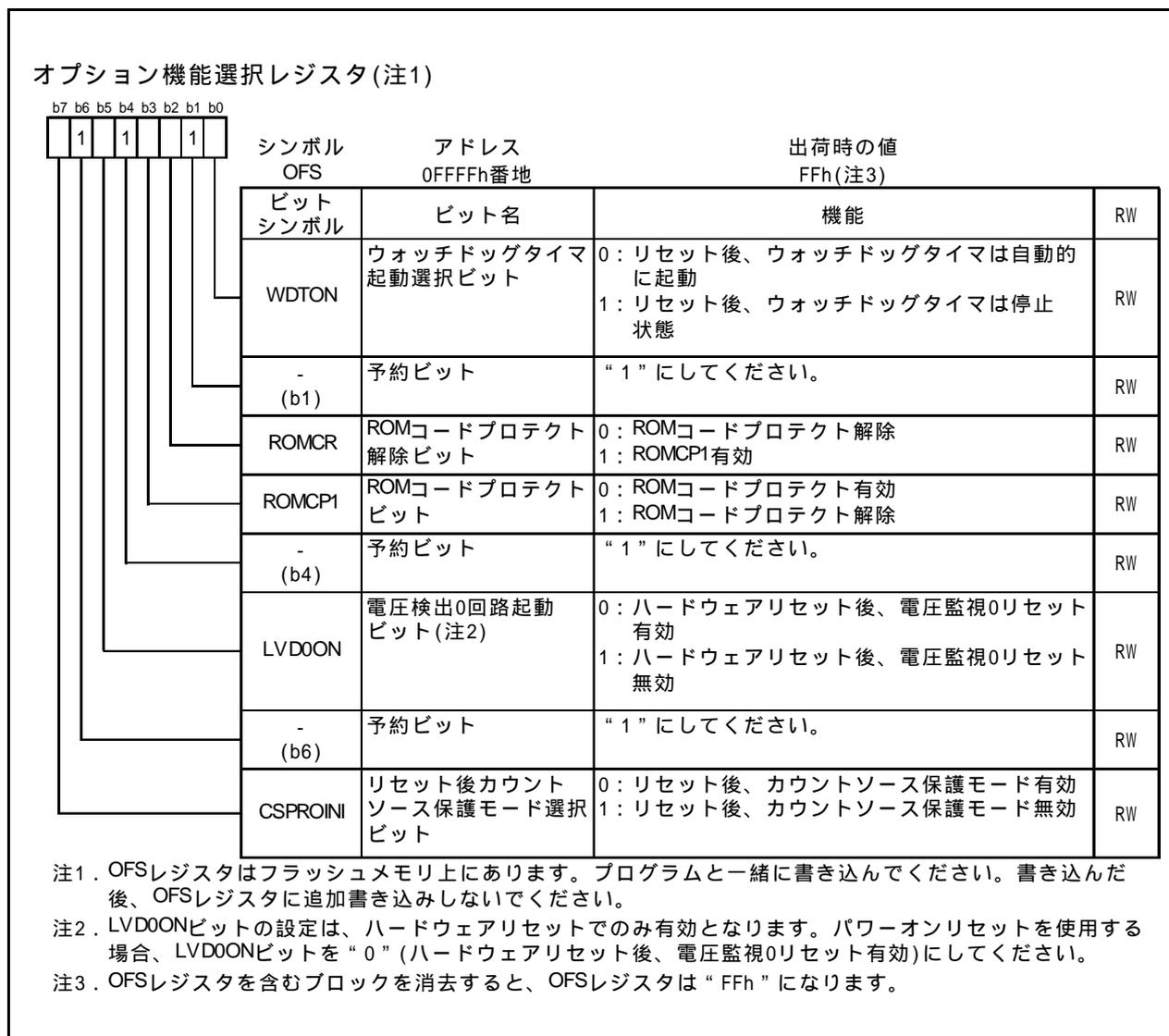


図14.2 OFSレジスタ

14.3 オプション機能選択領域使用上の注意

14.3.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリです(SFRではありません)ので、命令の実行では書き換えられません。プログラム作成時に適切な値を書き込んでください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
```

```
.lword reset | (0FF00000h) ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

15. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

ウォッチドッグタイマは15ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表15.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「5.6 ウォッチドッグタイマリセット」を参照してください。

図15.1にウォッチドッグタイマのブロック図を、図15.2にWDTR、WDTS、WDCレジスタを、図15.3にCSPR、OFSレジスタを示します。

表15.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	低速オンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 <ul style="list-style-type: none"> リセット後、自動的にカウントを開始 WDTSレジスタへの書き込みによりカウントを開始 	
カウント停止条件	ストップモード、ウェイトモード	なし
ウォッチドッグタイマ初期条件	<ul style="list-style-type: none"> リセット WDTRレジスタに“00h”、続いて“FFh”を書く アンダフロー 	
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	<ul style="list-style-type: none"> プリスケアラの分周比 WDCレジスタのWDC7ビットで選択 カウントソース保護モード リセット後に有効か無効かはOFSレジスタのCSPROINIビット(フラッシュメモリ)で選択、リセット後無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択 リセット後のウォッチドッグタイマの起動または停止 OFSレジスタのWDTONビット(フラッシュメモリ)で選択 	

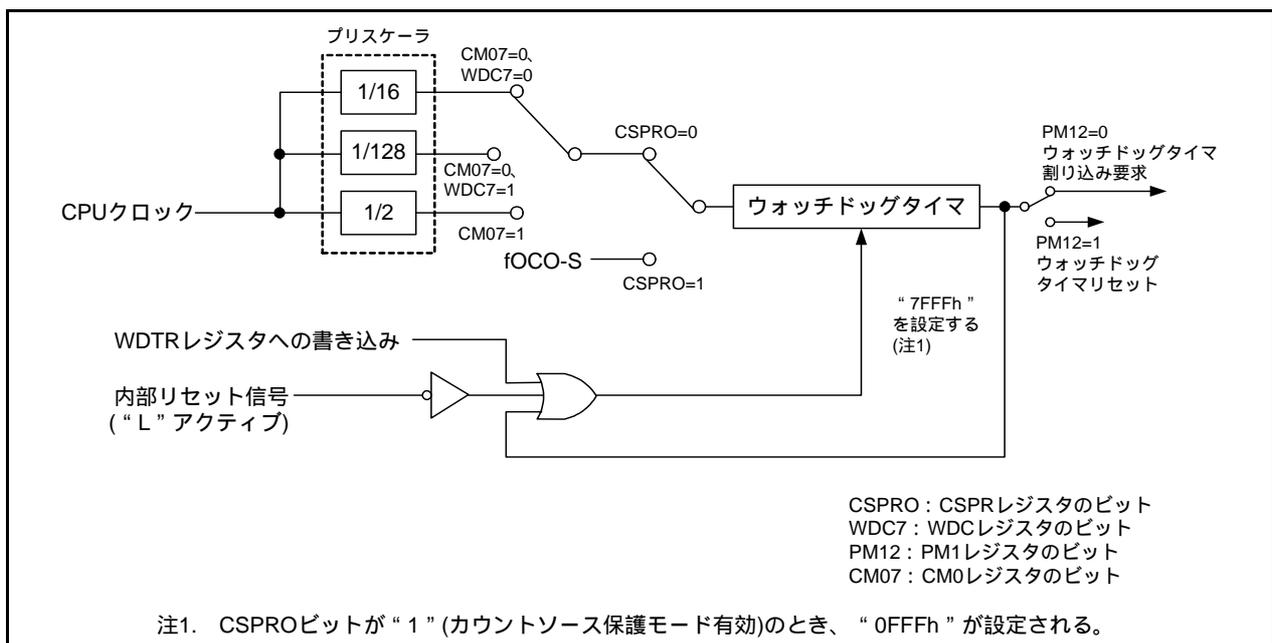


図15.1 ウォッチドッグタイマのブロック図

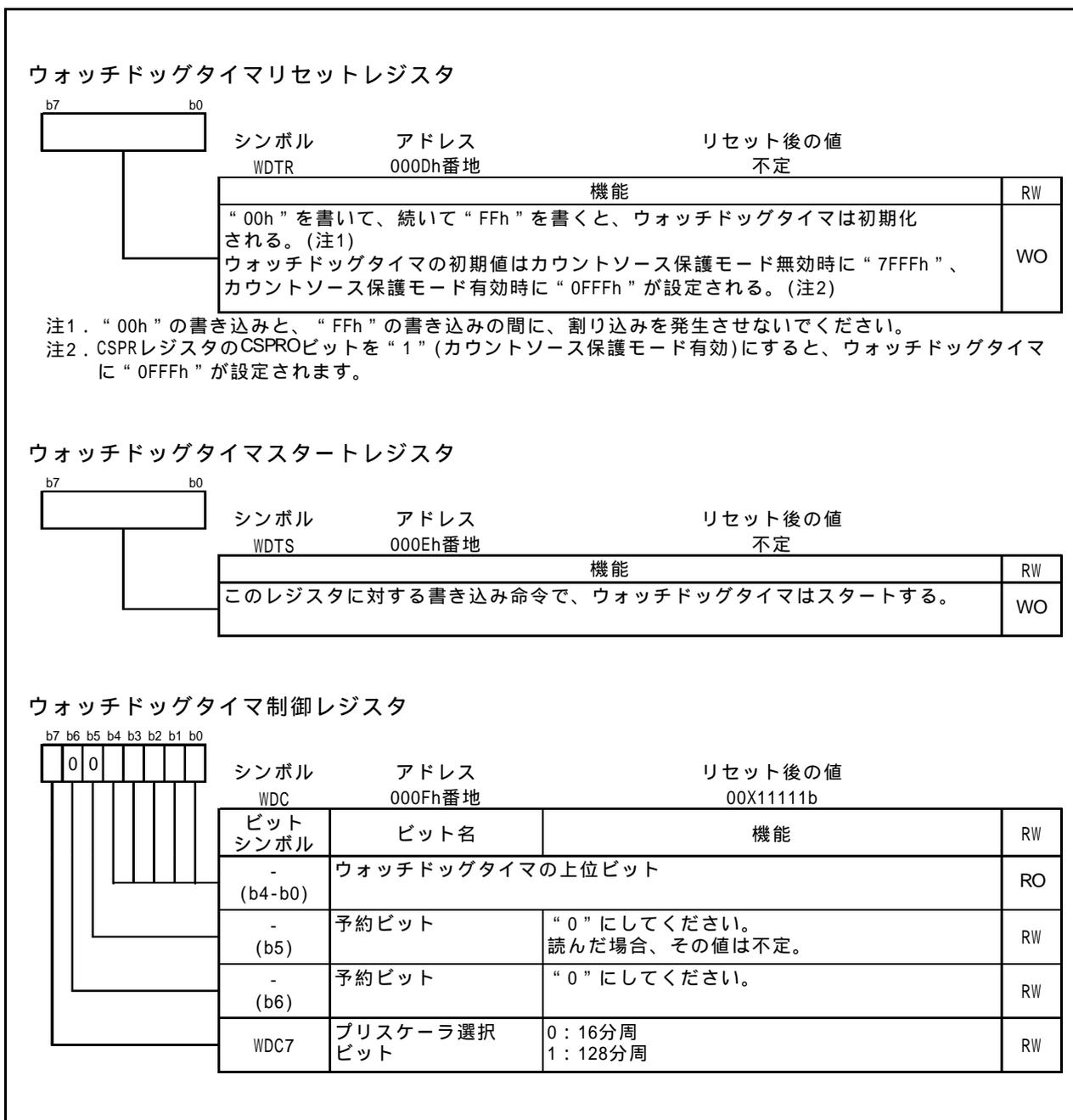


図15.2 WDTR、WDTS、WDCレジスタ

カウントソース保護モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0		シンボル	アドレス	リセット後の値(注1)
0 0 0 0 0 0 0 0		CSPR	001Ch番地	00h
ビットシンボル	ビット名	機能		RW
- (b6-b0)	予約ビット	"0" にしてください。		RW
CSPRO	カウントソース保護モード選択ビット(注2)	0: カウントソース保護モード無効 1: カウントソース保護モード有効		RW

注1. OFSレジスタのCSPROINIビットに"0"を書いたとき、リセット後の値は"10000000b"になります。

注2. CSPROビットを"1"にするためには、"0"を書いた後、続いて"1"を書いてください。
プログラムでは"0"にできません。

オプション機能選択レジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0		シンボル	アドレス	出荷時の値
1 1 1 1 1 1 1 1		OFS	0FFFh番地	FFh(注3)
ビットシンボル	ビット名	機能		RW
WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態		RW
- (b1)	予約ビット	"1" にしてください。		RW
ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1有効		RW
ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除		RW
- (b4)	予約ビット	"1" にしてください。		RW
LVDOON	電圧検出0回路起動ビット(注2)	0: ハードウェアリセット後、電圧監視0リセット有効 1: ハードウェアリセット後、電圧監視0リセット無効		RW
- (b6)	予約ビット	"1" にしてください。		RW
CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効		RW

注1. OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFSレジスタに追加書き込みしないでください。

注2. LVDOONビットの設定は、ハードウェアリセットでのみ有効となります。パワーオンリセットを使用する場合、LVDOONビットを"0" (ハードウェアリセット後、電圧監視0リセット有効) にしてください。

注3. OFSレジスタを含むブロックを消去すると、OFSレジスタは"FFh"になります。

図 15.3 CSPR、OFS レジスタ

15.1 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。
表15.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表15.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	プリスケアラの分周比(n) × ウォッチドッグタイマのカウント値(32768) (注1) CPUクロック n : 16または128 (WDCレジスタのWDC7ビットで選択) 例 : CPUクロックが16MHzで、プリスケアラが16分周する場合、周期は約32.8ms
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> リセット WDTRレジスタに“00h”、続いて“FFh”を書く アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択 <ul style="list-style-type: none"> WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDT5レジスタに書くことにより、カウントを開始 WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	<ul style="list-style-type: none"> PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.6 ウォッチドッグタイマリセット」参照)

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケアラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注2. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

15.2 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースは低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表15.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表15.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	ウォッチドッグタイマのカウント値(4096) 低速オンチップオシレータクロック 例：低速オンチップオシレータクロックが125 kHzの場合、周期は約32.8ms
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> リセット WDTRレジスタに“00h”、続いて“FFh”を書く アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注1)で選択 <ul style="list-style-type: none"> WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	なし(カウント開始後はウェイトモードでも停止しない。ストップモードにならない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「5.6 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	<ul style="list-style-type: none"> CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される <ul style="list-style-type: none"> ウォッチドッグタイマに0FFFFhを設定 CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振) PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット) カウントソース保護モードでは、次の状態になる <ul style="list-style-type: none"> CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない) CM1レジスタのCM14ビットへの書き込み禁止(“1”を書いても変化せず、低速オンチップオシレータは停止しない)

注1. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注2. OFSレジスタのCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFFh番地のb7に“0”を書き込んでください。

16. タイマ

タイマは、8ビットプリスケータ付き8ビットタイマを2本と、16ビットタイマを2本内蔵しています。8ビットプリスケータ付き8ビットタイマは、タイマRA、およびタイマRBの2本です。これらのタイマはカウンタの初期値を記憶しておく、リロードレジスタを持ちます。16ビットタイマは、インプットキャプチャ、アウトプットコンペアを持ったタイマRC、タイマRDの2本です。すべてのタイマは、それぞれ独立して動作します。

表16.1に各タイマの機能比較を示します。

表 16.1 各タイマの機能比較

項目	タイマRA	タイマRB	タイマRC	タイマRD	
構成	8ビットプリスケラ付 8ビットタイマ (リロードレジスタ付)	8ビットプリスケラ付 8ビットタイマ (リロードレジスタ付)	16ビットタイマ (インプットキャプチャ、 アウトプットコンペア付)	16ビットタイマ×2 (インプットキャプチャ、 アウトプットコンペア付)	
カウント	ダウンカウント	ダウンカウント	アップカウント	アップカウント /ダウンカウント	
カウント ソース	<ul style="list-style-type: none"> •f1 •f2 •f8 •fOCO 	<ul style="list-style-type: none"> •f1 •f2 •f8 •タイマRAアンダフロー 	<ul style="list-style-type: none"> •f1 •f2 •f4 •f8 •f32 •fOCO40M •TRCCLK 	<ul style="list-style-type: none"> •f1 •f2 •f4 •f8 •f32 •fOCO40M •TRDIOA0 	
機能	内部のカウント ソースのカウント	タイマモード	タイマモード (アウトプットコンペア機能)	タイマモード (アウトプットコンペア機能)	
	外部のカウント ソースのカウント	イベントカウンタモード	-	タイマモード (アウトプットコンペア機能)	
	外部パルス幅 /周期測定	パルス幅測定モード パルス周期測定モード	-	タイマモード (インプットキャプチャ 機能; 4本)	タイマモード (インプットキャプチャ 機能; 2チャンネル×4本)
	PWM出力	パルス出力モード (注1) イベントカウンタモード (注1)	プログラマブル波形発生 モード	タイマモード (アウトプットコンペア機能; 4本)(注1) PWMモード(3本) PWM2モード(1本)	タイマモード (アウトプットコンペア機能; 2チャンネル×4本)(注1) PWMモード (2チャンネル×3本) PWM2モード (2チャンネル×2本)
	ワンショット波形 出力	-	プログラマブルワン ショット発生モード プログラマブルウェイト ワンショット発生モード	PWMモード(3本)	PWMモード (2チャンネル×3本)
	三相波形出力	-	-	-	リセット同期PWMモード (2チャンネル×3本、 鋸波変調) 相補PWMモード (2チャンネル×3本、三角波 変調、短絡防止時間あり)
入力端子	TRAIO	INT0	INT0、TRCCLK、 TRCTRG、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD	INT0、TRDCLK、 TRDIOA0、TRDIOA1、 TRDIOB0、TRDIOB1、 TRDIOC0、TRDIOC1、 TRDIOD0、TRDIOD1	
出力端子	TRA0 TRAIO	TRB0	TRCIOA、TRCIOB、 TRCIOC、TRCIOD	TRDIOA0、TRDIOA1、 TRDIOB0、TRDIOB1、 TRDIOC0、TRDIOC1、 TRDIOD0、TRDIOD1	
関連する割り込み	タイマRA割り込み INT1割り込み	タイマRB割り込み INT0割り込み	コンペア一致/インプットキャ プチャA~D割り込み オーバフロー割り込み INT0割り込み	コンペア一致/インプットキャ プチャA0~D0割り込み コンペア一致/インプットキャ プチャA1~D1割り込み オーバフロー割り込み アンダフロー割り込み(注2) INT0割り込み	
タイマ停止	あり	あり	あり	あり	

注1. 矩形波です。オーバフローごとの反転なので、パルスの“H”と“L”レベルの幅は同じです。

注2. アンダフロー割り込みは、チャンネル1のみ設定可能です。

16.1 タイマRA

タイマRAは、8ビットプリスケアラ付き8ビットタイマです。プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されており、TRAPREレジスタ、TRAレジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます(表16.2～表16.6の各モードの仕様を参照)。

タイマRAのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図16.1にタイマRAのブロック図を、図16.2、図16.3にタイマRA関連のレジスタを示します。タイマRAは、次の5種類のモードを持ちます。

- | | |
|---------------|---|
| • タイマモード | 内部カウントソースをカウントするモード |
| • パルス出力モード | 内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード |
| • イベントカウンタモード | 外部パルスをカウントするモード |
| • パルス幅測定モード | 外部パルスのパルス幅を測定するモード |
| • パルス周期測定モード | 外部パルスのパルス周期を測定するモード |

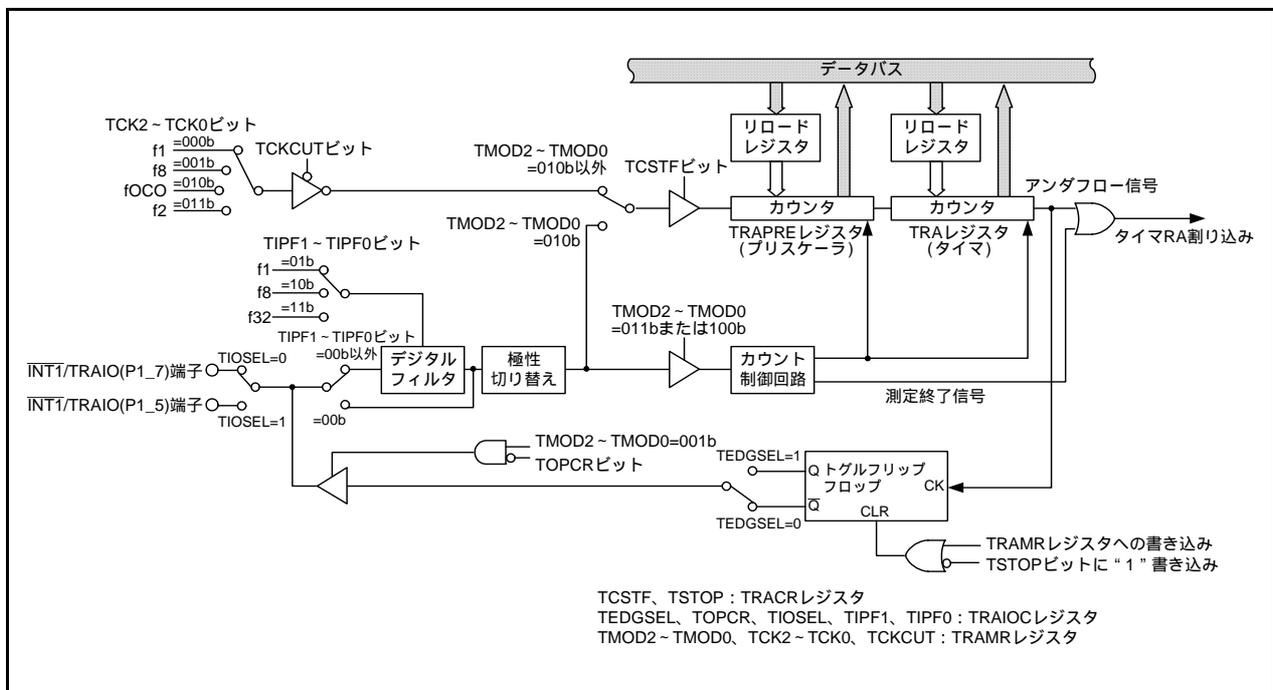


図16.1 タイマRAのブロック図

タイマRA制御レジスタ(注4)			
b7 b6 b5 b4 b3 b2 b1 b0			
シンボル	アドレス	リセット後の値	
TRACR	0100h番地	00h	
ビットシンボル	ビット名	機能	RW
TSTART	タイマRAカウント開始ビット(注1)	0: カウント停止 1: カウント開始	RW
TCSTF	タイマRAカウントステータスフラグ(注1)	0: カウント停止 1: カウント中	RO
TSTOP	タイマRAカウント強制停止ビット(注2)	“1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。	RW
- (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
TEDGF	有効エッジ判定フラグ(注3、5)	0: 有効エッジなし 1: 有効エッジあり(測定期間終了)	RW
TUNDF	タイマRAアンダフローフラグ(注3、5)	0: アンダフローなし 1: アンダフローあり	RW
- (b7-b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. TSTART、TCSTFビットの使用上の注意事項については、「16.1.6 タイマRA使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TSTARTビット、TCSTFビット、TRAPREレジスタ、TRAレジスタがリセット後の値になります。

注3. プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。

注4. パルス幅測定モード、パルス周期測定モードでは、TRACRレジスタにMOV命令を使用してください。このとき、TEDGFビット、TUNDFビットを変化させたくない場合は、これらのビットに“1”を書いてください。

注5. タイマモード、パルス出力モード、イベントカウンタモードでは“0”にしてください。

タイマRA I/O制御レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0			
シンボル	アドレス	リセット後の値	
TRAIOC	0101h番地	00h	
ビットシンボル	ビット名	機能	RW
TEDGSEL	TRAIO極性切り替えビット	動作モードによって機能が異なる。	RW
TOPCR	TRAIO出力制御ビット		RW
- (b2)	予約ビット	“0”にしてください。	RW
TIOSEL	INT1/TRAIO選択ビット	動作モードによって機能が異なる。	RW
TIPF0	TRAIO入力フィルタ選択ビット		RW
TIPF1			RW
- (b7-b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

図16.2 TRACR、TRAIOCレジスタ

タイマRAモードレジスタ(注1)

シンボル	アドレス	リセット後の値	
TRAMR	0102h番地	00h	
ビットシンボル	ビット名	機能	RW
TMOD0	タイマRA動作モード選択ビット	b2 b1 b0 0 0 0: タイマモード 0 0 1: パルス出力モード 0 1 0: イベントカウンタモード 0 1 1: パルス幅測定モード 1 0 0: パルス周期測定モード 1 0 1: } 設定しないでください	RW
TMOD1			RW
TMOD2			RW
(b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
TCK0	タイマRAカウントソース選択ビット	b6 b5 b4 0 0 0: f1 0 0 1: f8 0 1 0: fOCO 0 1 1: f2 1 0 0: } 設定しないでください 1 0 1: } 1 1 0: } 1 1 1: }	RW
TCK1			RW
TCK2			RW
TCKCUT	タイマRAカウントソース遮断ビット	0: カウントソース供給 1: カウントソース遮断	RW

注1. TRACRレジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに変更してください。

タイマRAプリスケアラレジスタ

シンボル	アドレス	リセット後の値	
TRAPRE	0103h番地	FFh(注1)	
モード	機能	設定範囲	RW
タイマモード	内部カウントソースをカウント	00h ~ FFh	RW
パルス出力モード	内部カウントソースをカウント	00h ~ FFh	RW
イベントカウンタモード	外部カウントソースをカウント	00h ~ FFh	RW
パルス幅測定モード	外部からの入力パルスのパルス幅を測定(内部カウントソースをカウント)	00h ~ FFh	RW
パルス周期測定モード	外部からの入力パルスのパルス周期を測定(内部カウントソースをカウント)	00h ~ FFh	RW

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAPREレジスタは“FFh”になります。

タイマRAレジスタ

シンボル	アドレス	リセット後の値	
TRA	0104h番地	FFh(注1)	
モード	機能	設定範囲	RW
全モード	タイマRAプリスケアラレジスタのアンダフローをカウント	00h ~ FFh	RW

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAレジスタは“FFh”になります。

図16.3 TRAMR、TRAPRE、TRAレジスタ

16.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表16.2)。

図16.4にタイマモード時のTRAIOCレジスタを示します。

表16.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n: TRAPRE レジスタの設定値、m: TRAレジスタの設定値
カウント開始条件	TRACR レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACR レジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
INT1/TRAIO 端子機能	プログラマブル入出力ポート、またはINT1割り込み入力
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「16.1.1.1 カウント中のタイマ書き込み制御」参照)

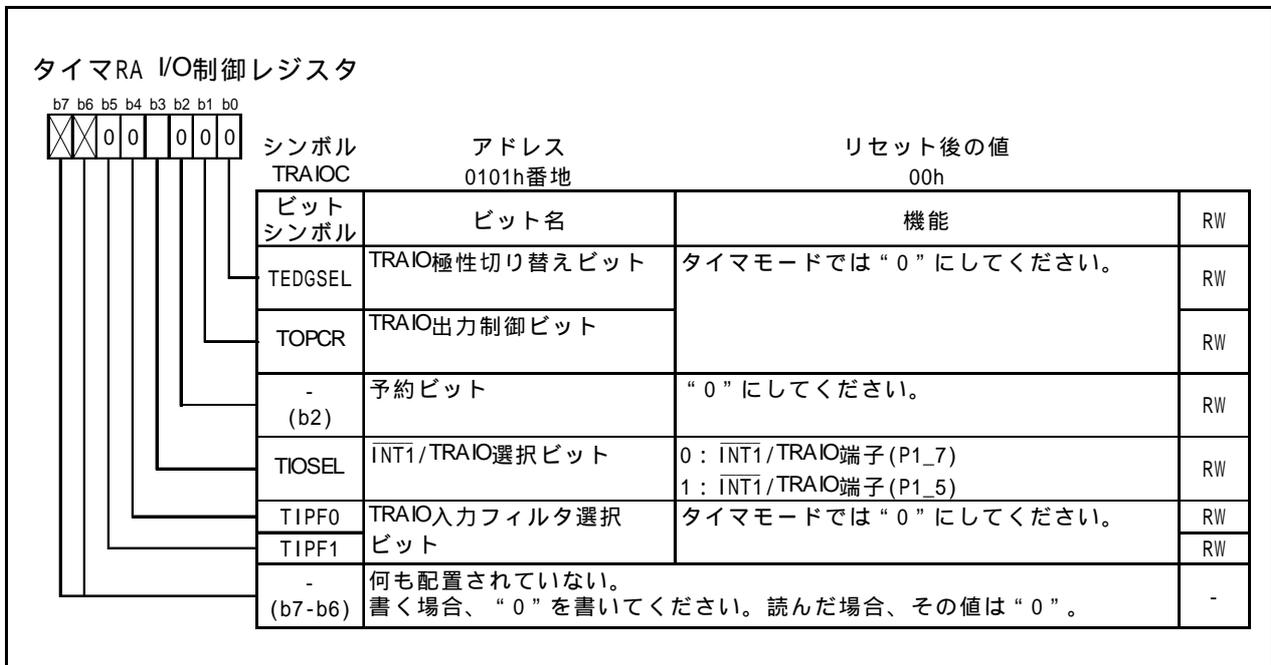


図16.4 タイマモード時のTRAIOCレジスタ

16.1.1.1 カウント中のタイマ書き込み制御

タイマRAはプリスケータと、タイマ(プリスケータのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。プリスケータやタイマに書き込む場合、リロードレジスタとカウンタの両方に値が書き込まれます。

しかし、プリスケータのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケータのアンダフローに同期して値を転送します。このため、カウント中にプリスケータやタイマに書き込むと、書き込み命令実行後すぐにはカウンタの値が更新されません。図16.5にタイマRA カウント中にカウント値を書き換えた場合の動作例を示します。

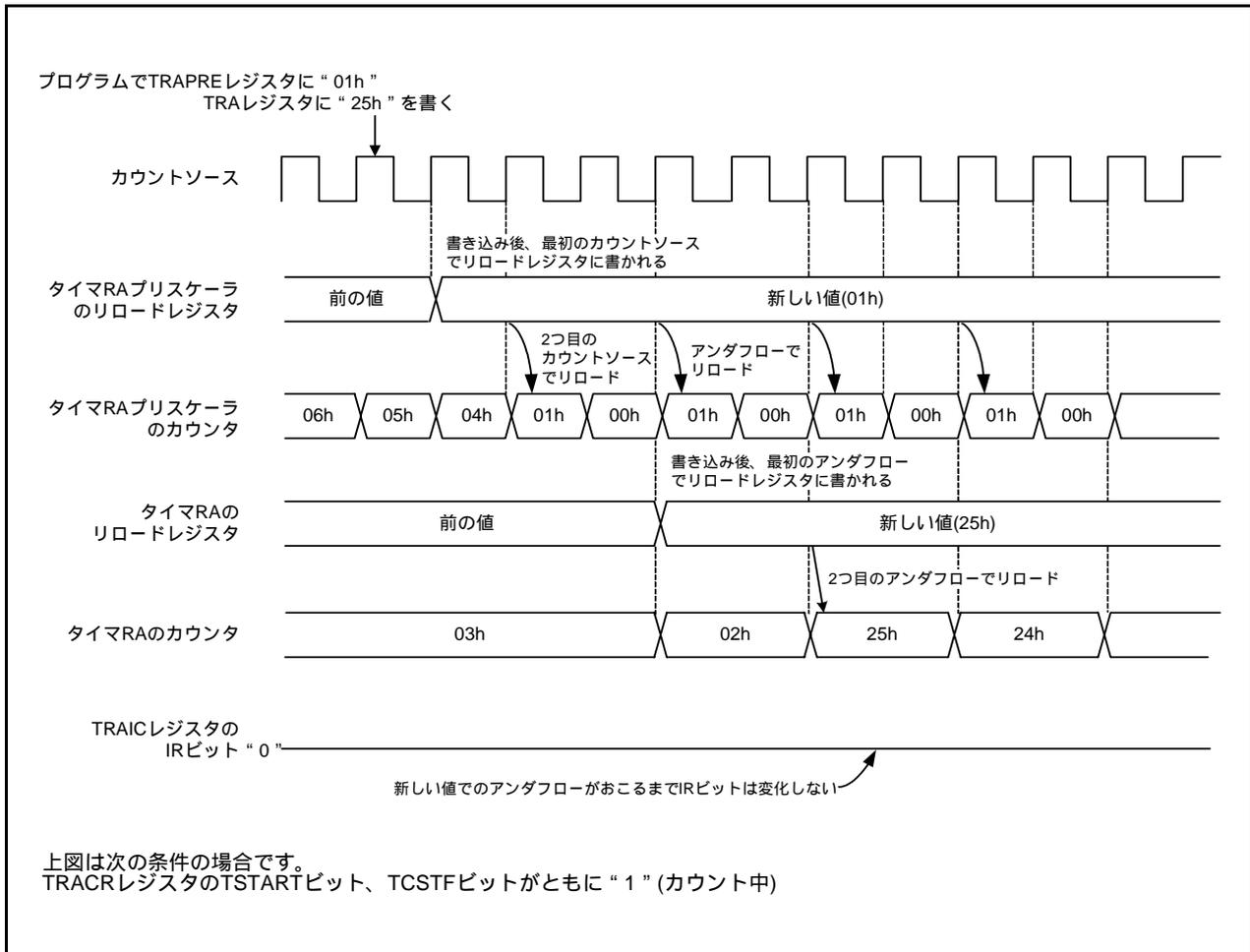


図16.5 タイマRA カウント中にカウント値を書き換えた場合の動作例

16.1.2 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをTRAIO端子から出力するモードです(表16.3)。

図16.6にパルス出力モード時のTRAIOCレジスタを示します。

表16.3 パルス出力モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n: TRAPREレジスタの設定値、m: TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
INT1/TRAI0信号端子機能	パルス出力、またはプログラマブル出力ポート、 $\overline{\text{INT1}}$ 割り込み入力(注1)
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「16.1.1.1 カウント中のタイマ書き込み制御」参照)
選択機能	<ul style="list-style-type: none"> ・TRAIO出力極性切り替え機能 TEDGSELビットでパルス出力開始時のレベルを選択(注1) ・パルス出力停止機能 TOPCRビットでTRAIO端子からのパルス出力を停止 ・INT1/TRAI0端子選択機能 TIOSELビットでP1_7またはP1_5を選択

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

タイマRA I/O制御レジスタ

ビット シンボル	ビット名	機能	RW
TRAI0C	アドレス 0101h番地	リセット後の値 00h	
TEDGSEL	TRAI0極性切り替えビット	0: "H" から TRAI0出力開始 1: "L" から TRAI0出力開始	RW
TOPCR	TRAI0出力制御ビット	0: TRAI0出力 1: ポートP1_7またはポートP1_5	RW
- (b2)	予約ビット	"0" にしてください。	RW
TIOSEL	INT1/TRAI0選択ビット	0: INT1/TRAI0端子 (P1_7) 1: INT1/TRAI0端子 (P1_5)	RW
TIPF0	TRAI0入力フィルタ選択 ビット	パルス出力モードでは "0" にしてください。	RW
TIPF1			RW
- (b7-b6)	何も配置されていない。 書く場合、"0" を書いてください。読んだ場合、その値は "0" 。		-

図 16.6 パルス出力モード時の TRAI0C レジスタ

16.1.3 イベントカウンタモード

INT1/TRAI0端子から入力する外部信号をカウントするモードです(表16.4)。

図16.7にイベントカウンタモード時のTRAI0Cレジスタを示します。

表16.4 イベントカウンタモードの仕様

項目	仕様
カウントソース	TRAI0端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n : TRAPRE レジスタの設定値、m : TRAレジスタの設定値
カウント開始条件	TRACR レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACR レジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
INT1/TRAI0信号端子機能	カウントソース入力(INT1割り込み入力)
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「16.1.1.1 カウント中のタイマ書き込み制御」参照)
選択機能	<ul style="list-style-type: none"> ・INT1入力極性切り替え機能 TEDGSELビットでカウントソースの有効エッジを選択 ・カウントソース入力端子選択機能 TIOSELビットでP1_7またはP1_5を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0 ~ TIPF1ビットで選択

タイマRA I/O制御レジスタ

シンボル TRAI0C	アドレス 0101h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TEDGSEL	TRAI0極性切り替えビット	0 : TRAI0入力の立ち上がりエッジでカウント また、“L”からTRAO出力開始 1 : TRAI0入力の立ち下がりエッジでカウント また、“H”からTRAO出力開始	RW
TOPCR	TRAI0出力制御ビット	イベントカウンタモードでは“0”にしてください。	RW
- (b2)	予約ビット	“0”にしてください。	RW
TIOSEL	INT1/TRAI0選択ビット	0 : INT1/TRAI0端子 (P1_7) 1 : INT1/TRAI0端子 (P1_5)	RW
TIPF0	TRAI0入力フィルタ選択 ビット(注1)	b5 b4 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	RW
TIPF1			RW
- (b7-b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1 . TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増定します。

図16.7 イベントカウンタモード時のTRAI0Cレジスタ

16.1.4 パルス幅測定モード

INT1/TRAIO端子から入力する外部信号のパルス幅を測定するモードです(表16.5)。

図16.8にパルス幅測定モード時のTRAIOCレジスタを、図16.9にパルス幅測定モード時の動作例を示します。

表16.5 パルス幅測定モードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、fOCO
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続 ・アンドフロー時リロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・タイマRAのアンドフロー時[タイマRA割り込み] ・TRAIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]
INT1/TRAIO信号端子機能	測定パルス入力(INT1割り込み入力)
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「16.1.1.1 カウント中のタイマ書き込み制御」参照)
選択機能	<ul style="list-style-type: none"> ・測定レベル設定 TEDGSELビットで“H”レベル期間、または“L”レベル期間を選択 ・測定パルス入力端子選択機能 TIOSELビットでP1_7またはP1_5を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択

タイマRA I/O制御レジスタ

シンボル	アドレス	リセット後の値	
TRAI0C	0101h番地	00h	
ビット シンボル	ビット名	機能	RW
TEDGSEL	TRAI0極性切り替えビット	0 : TRAI0入力の“L”レベル幅を測定 1 : TRAI0入力の“H”レベル幅を測定	RW
TOPCR	TRAI0出力制御ビット	パルス幅測定モードでは“0”にしてください。	RW
- (b2)	予約ビット	“0”にしてください。	RW
TIOSEL	INT1/TRAI0選択ビット	0 : INT1/TRAI0端子 (P1_7) 1 : INT1/TRAI0端子 (P1_5)	RW
TIPF0	TRAI0入力フィルタ選択 ビット(注1)	b5 b4 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	RW
TIPF1			RW
- (b7-b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増定します。

図16.8 パルス幅測定モード時のTRAI0Cレジスタ

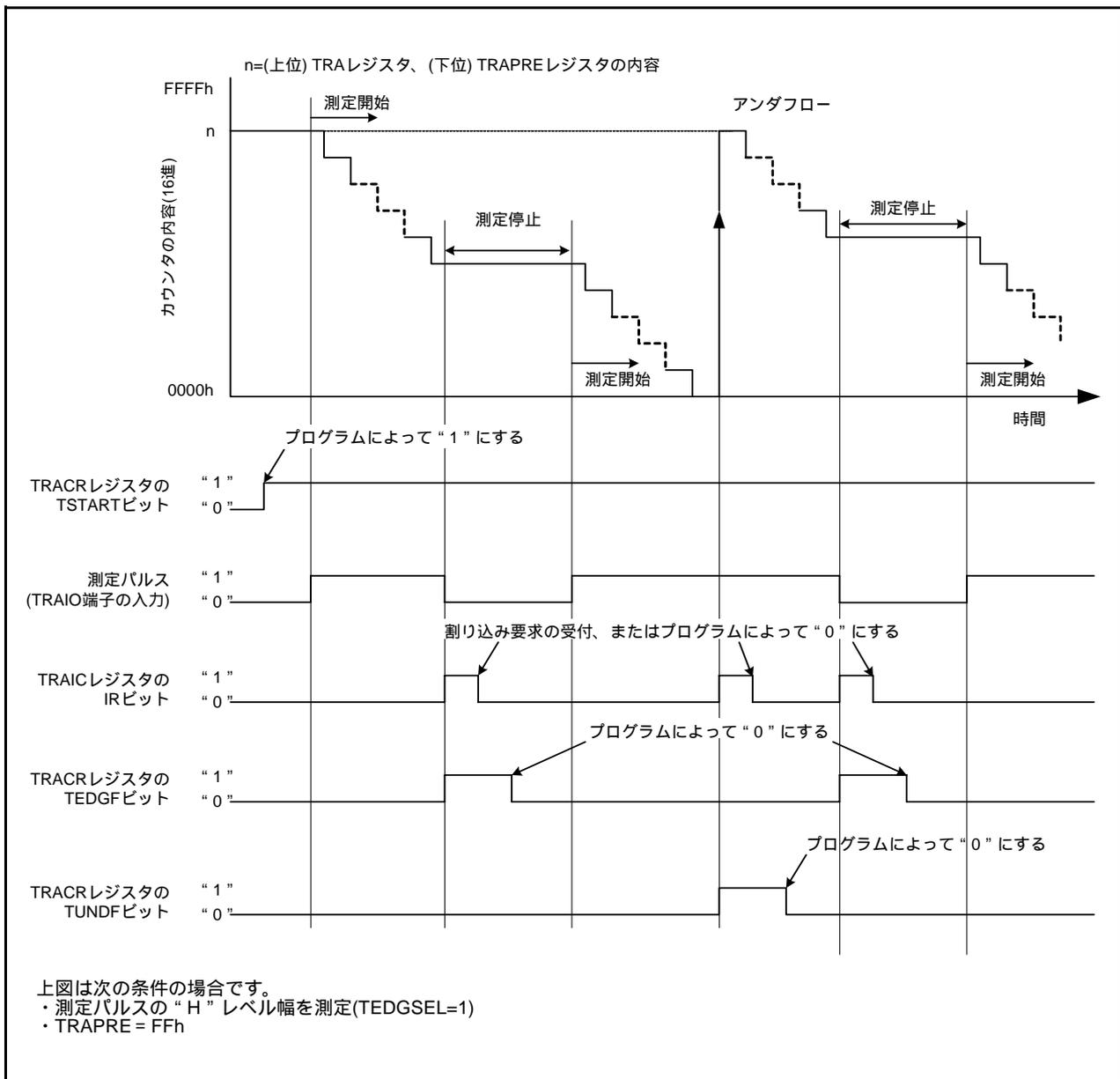


図16.9 パルス幅測定モード時の動作例

16.1.5 パルス周期測定モード

INT1/TRATIO端子から入力する外部信号のパルス周期を測定するモードです(表16.6)。

図16.10にパルス周期測定モード時のTRATIOレジスタを、図16.11にパルス周期測定モード時の動作例を示します。

表16.6 パルス周期測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・測定パルスの有効エッジ入力後、1回目のタイマRAプリスケアラのアンダフロー時に読み出し用バッファの内容を保持し、2回目のタイマRAプリスケアラのアンダフロー時にタイマRAはリロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・タイマRAのアンダフロー時、またはリロード時[タイマRA割り込み] ・TRATIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]
INT1/TRATIO端子機能	測定パルス入力(注1)(INT1割り込み入力)
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「16.1.1.1 カウント中のタイマ書き込み制御」参照)
選択機能	<ul style="list-style-type: none"> ・測定期間選択 TEDGSELビットで入力パルスの測定期間を選択 ・測定パルス入力端子選択機能 TIOSELビットでP1_7またはP1_5を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択

注1. タイマRAプリスケアラの周期の2倍より長い周期のパルスを入力してください。また、“H”幅、“L”幅それぞれが、タイマRAプリスケアラの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

タイマRA I/O制御レジスタ

シンボル TRAI0C	アドレス 0101h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TEDGSEL	TRAI0極性切り替えビット	0 : 測定パルスの立ち上がりから立ち上がり間測定 1 : 測定パルスの立ち下がりから立ち下がり間測定	RW
TOPCR	TRAI0出力制御ビット	パルス周期測定モードでは“0”にしてください。	RW
- (b2)	予約ビット	“0”にしてください。	RW
TIOSEL	$\overline{\text{INT1}}$ /TRAI0選択ビット	0 : $\overline{\text{INT1}}$ /TRAI0端子 (P1_7) 1 : $\overline{\text{INT1}}$ /TRAI0端子 (P1_5)	RW
TIPF0	TRAI0入力フィルタ選択ビット(注1)	b5 b4 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	RW
TIPF1			RW
- (b7-b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1 . TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増定します。

図 16.10 パルス周期測定モード時のTRAI0Cレジスタ

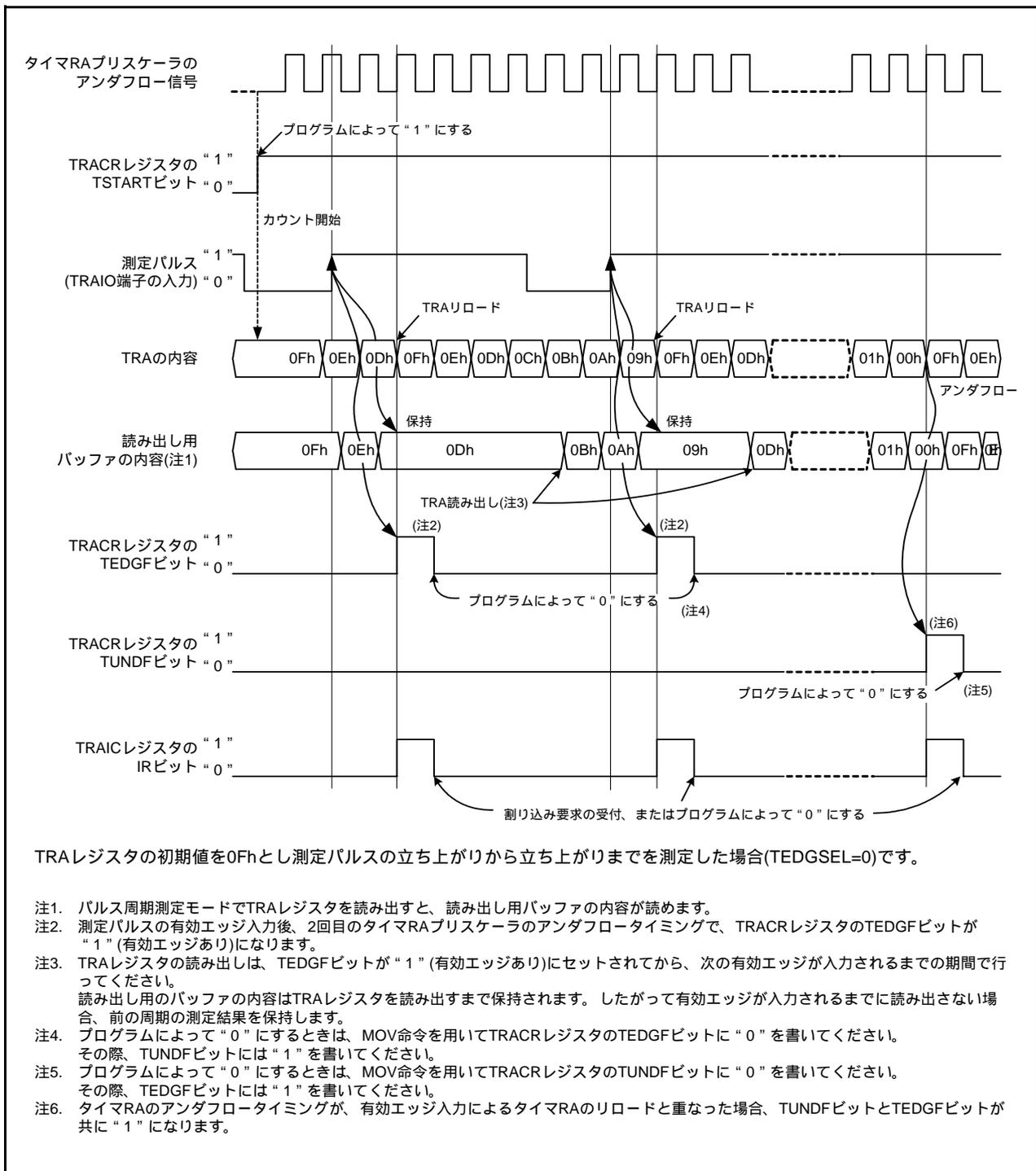


図 16.11 パルス周期測定モード時の動作例

16.1.6 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用するTRACRレジスタのTEDGFビットとTUNDFビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFビット、TUNDFビットが“1”になっても“0”にする場合があります。このとき、“0”にしたくないTEDGFビット、TUNDFビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRAプリスケアラのアンダフロー信号で、TEDGFビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRAプリスケアラの2周期以上の時間を空けて、TEDGFビットを“0”にしてから使用してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“0”になっています。TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)にアクセスしないでください。TCSTFビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。カウント中にTSTARTビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)にアクセスしないでください。

注1. タイマRA関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTFビットが“1”)にTRAPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTFビットが“1”)にTRAレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けて下さい。

16.2 タイマRB

タイマRBは、8ビットプリスケアラ付き8ビットタイマです。プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます(リロードレジスタとカウンタへのアクセスは表16.7～表16.10の各モードの仕様を参照してください)。タイマRBは、リロードレジスタとしてタイマRBプライマリ、タイマRBセカンダリの2つのレジスタを持ちます。

タイマRBのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図16.12にタイマRBのブロック図を、図16.13～図16.16にPINSR2、TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC、TRBPRレジスタを示します。

タイマRBは、次の4種類のモードを持ちます。

- タイマモード 内部カウントソース(周辺機能クロックまたはタイマRAのアンダフロー)をカウントするモード
- プログラマブル波形発生モード 任意のパルス幅を連続して出力するモード
- プログラマブルワンショット発生モード ワンショットパルスを出力するモード
- プログラマブルウェイトワンショット発生モード ディレイドワンショットパルスを出力するモード

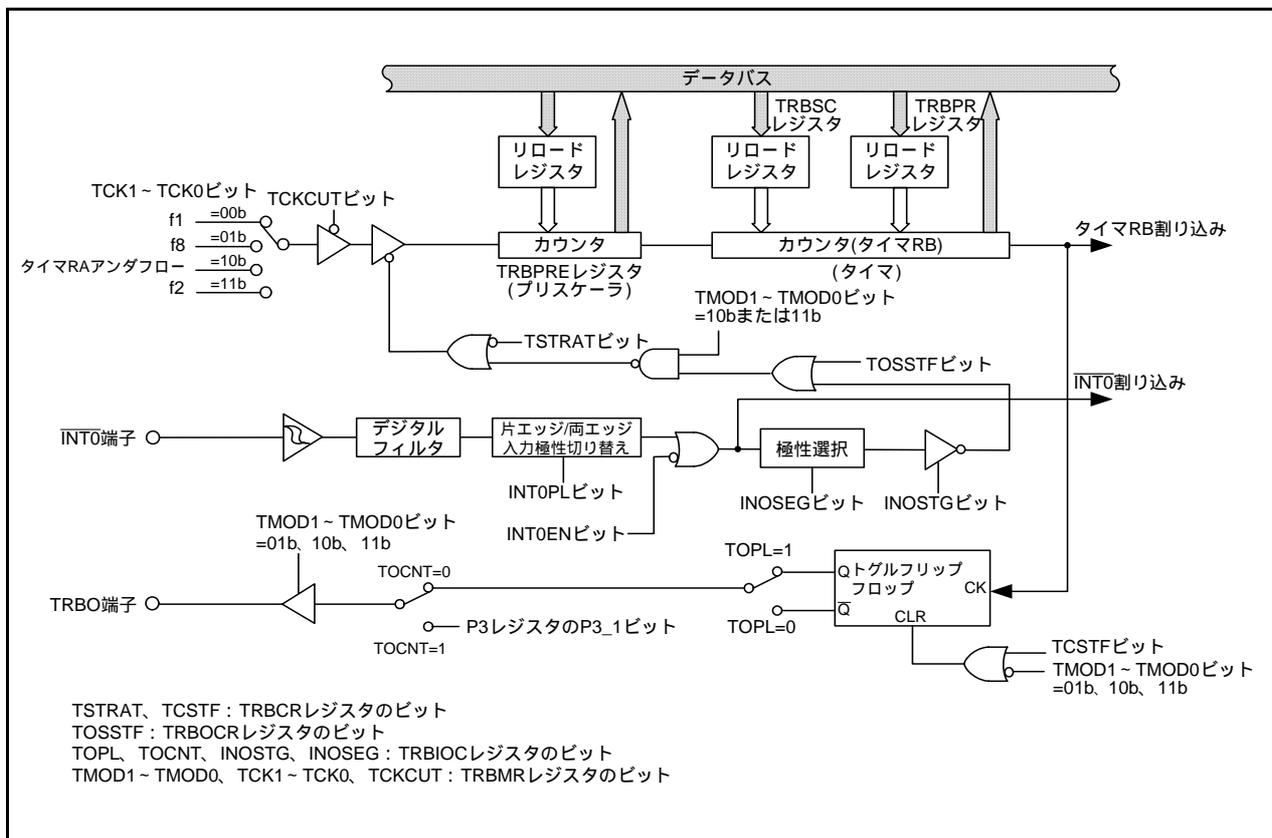


図16.12 タイマRBのブロック図

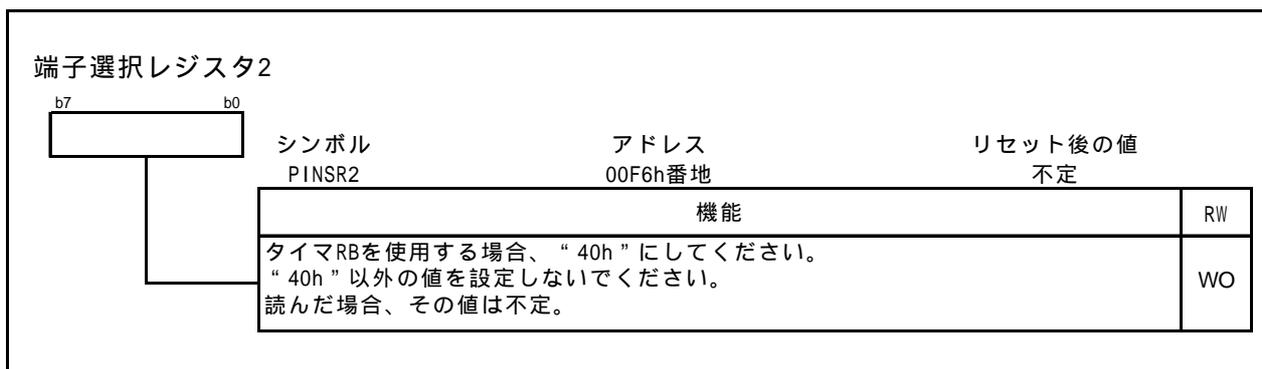
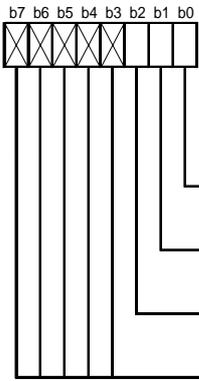


図 16.13 PINSR2レジスタ

タイマRB制御レジスタ



シンボル	アドレス	リセット後の値
TRBCR	0108h番地	00h

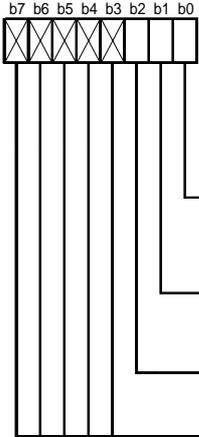
ビットシンボル	ビット名	機能	RW
TSTART	タイマRBカウント開始ビット (注1)	0: カウント停止 1: カウント開始	RW
TCSTF	タイマRBカウントステータスフラグ (注1)	0: カウント停止 1: カウント中 (注3)	RO
TSTOP	タイマRBカウント強制停止ビット (注1、2)	“1” を書くとカウントが強制停止します。読んだ場合、その値は“0”。	RW
- (b7-b3)	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-

注1. TSTART、TCSTF、TSTOPビットの使用上の注意事項については、「16.2.5 タイマRB使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタ、TSTARTビット、TCSTFビット、TRBOCRレジスタのTOSSTFビットがリセット後の値になります。

注3. タイマモード、プログラマブル波形発生モードでは、カウント中を示します。プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは、ワンショットパルスのトリガを受け付けられることを示します。

タイマRBワンショット制御レジスタ (注2)



シンボル	アドレス	リセット後の値
TRBOCR	0109h番地	00h

ビットシンボル	ビット名	機能	RW
TOSST	タイマRBワンショット開始ビット	“1” を書くとワンショットトリガを発生します。読んだ場合、その値は“0”。	RW
TOSSP	タイマRBワンショット停止ビット	“1” を書くとワンショットパルス(ウェイト含む)のカウントを停止します。読んだ場合、その値は“0”。	RW
TOSSTF	タイマRBワンショットステータスフラグ (注1)	0: ワンショット停止中 1: ワンショット動作中 (ウェイト期間含む)	RO
- (b7-b3)	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-

注1. TRBCRレジスタのTSTOPビットに“1”を書くと、TOSSTFビットは“0”になります。

注2. TRBMRレジスタのTMOD1～TMOD0ビットが“10b” (プログラマブルワンショット発生モード) または“11b” (プログラマブルウェイトワンショット発生モード) のとき有効です。

図16.14 TRBCR、TRBOCRレジスタ

タイマRB I/O制御レジスタ			
シンボル	アドレス	リセット後の値	
TRBIOC	010Ah番地	00h	
ビットシンボル	ビット名	機能	RW
TOPL	タイマRBアウトプットレベル選択ビット	動作モードによって機能が異なる。	RW
TOCNT	タイマRB出力切り替えビット		RW
INOSTG	ワンショットトリガ制御ビット		RW
INOSEG	ワンショットトリガ極性選択ビット		RW
- (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

タイマRBモードレジスタ			
シンボル	アドレス	リセット後の値	
TRBMR	010Bh番地	00h	
ビットシンボル	ビット名	機能	RW
TMOD0	タイマRB動作モード選択ビット(注1)	b1 b0 0 0 : タイマモード 0 1 : プログラマブル波形発生モード 1 0 : プログラマブルワンショット発生モード 1 1 : プログラマブルウェイトワンショット発生モード	RW
TMOD1			RW
- (b2)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
TWRC	タイマRB書き込み制御ビット(注2)	0 : リロードレジスタとカウンタへの書き込み 1 : リロードレジスタのみ書き込み	RW
TCK0	タイマRBカウントソース選択ビット(注1)	b5 b4 0 0 : f1 0 1 : f8 1 0 : タイマRAのアンダフロー 1 1 : f2	RW
TCK1			RW
- (b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
TCKCUT	タイマRBカウントソース遮断ビット(注1)	0 : カウントソース供給 1 : カウントソース遮断	RW

注1. TMOD1~TMOD0ビット、TCK1~TCK0ビット、TCKCUTビットは、TRBCRレジスタのTSTARTビットとTCSTFビットが共に“0”(カウント停止)のときに変更してください。

注2. TWRCビットは、タイマモードのとき“0”または“1”が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは“1”(リロードレジスタのみ書き込み)にしてください。

図16.15 TRBIOC、TRBMRレジスタ

タイマRBプリスケアラレジスタ(注1)

b7		b0		
[]		シンボル TRBPRES	アドレス 010Ch番地	リセット後の値 FFh
モード	機能	設定範囲	RW	
タイマモード	内部カウントソース、または タイマRAアンダフローをカウント	00h ~ FFh	RW	
プログラマブル波形 発生モード		00h ~ FFh	RW	
プログラマブル ワンショット発生モード		00h ~ FFh	RW	
プログラマブルウェイト ワンショット発生モード		00h ~ FFh	RW	

注1. TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRESレジスタは“FFh”になります。

タイマRBセカンダリレジスタ(注3、4)

b7		b0		
[]		シンボル TRBSC	アドレス 010Dh番地	リセット後の値 FFh
モード	機能	設定範囲	RW	
タイマモード	無効	00h ~ FFh	-	
プログラマブル波形 発生モード	タイマRBプリスケアラのアンダフローを カウント(注1)	00h ~ FFh	WO (注2)	
プログラマブル ワンショット発生モード	無効	00h ~ FFh	-	
プログラマブルウェイト ワンショット発生モード	タイマRBプリスケアラのアンダフローを カウント(ワンショット幅をカウント)	00h ~ FFh	WO (注2)	

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でもTRBPRレジスタで読めます。

注3. TRBCRレジスタのTSTOPビットに“1”を書くと、TRBSCレジスタは“FFh”になります。

注4. TRBSCレジスタに書き込むときは、次の手順で書いてください。

(1) TRBSCレジスタに値を書く

(2) TRBPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)

タイマRBプライマリレジスタ(注2)

b7		b0		
[]		シンボル TRBPR	アドレス 010Eh番地	リセット後の値 FFh
モード	機能	設定範囲	RW	
タイマモード	タイマRBプリスケアラのアンダフローを カウント	00h ~ FFh	RW	
プログラマブル波形 発生モード	タイマRBプリスケアラのアンダフローを カウント(注1)	00h ~ FFh	RW	
プログラマブル ワンショット発生モード	タイマRBプリスケアラのアンダフローを カウント(ワンショット幅をカウント)	00h ~ FFh	RW	
プログラマブルウェイト ワンショット発生モード	タイマRBプリスケアラのアンダフローを カウント(ウェイト期間をカウント)	00h ~ FFh	RW	

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRレジスタは“FFh”になります。

図16.16 TRBPRES、TRBSC、TRBPRレジスタ

16.2.1 タイマモード

内部で生成されたカウントソースまたはタイマRAのアンダフローをカウントするモードです(表16.7)。タイマモード時、TRBOCRおよびTRBSCレジスタは使用しません。

図16.17にタイマモード時のTRBIOCレジスタを示します。

表16.7 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマRBのアンダフロー時はタイマRBプライマリリロードレジスタの内容をリロード)
分周比	$1/(n+1)(m+1)$ n : TRBPRESレジスタの設定値、m : TRBPRレジスタの設定値
カウント開始条件	TRBCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRBのアンダフロー時[タイマRB割り込み]
TRBO端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、TRBMRレジスタのTWRCビットが“0”なら、それぞれリロードレジスタとカウンタへ書き込まれる。 TWRCビットが“1”なら、それぞれリロードレジスタにのみ書き込まれる。 (「16.2.1.1 カウント中のタイマ書き込み制御」参照)

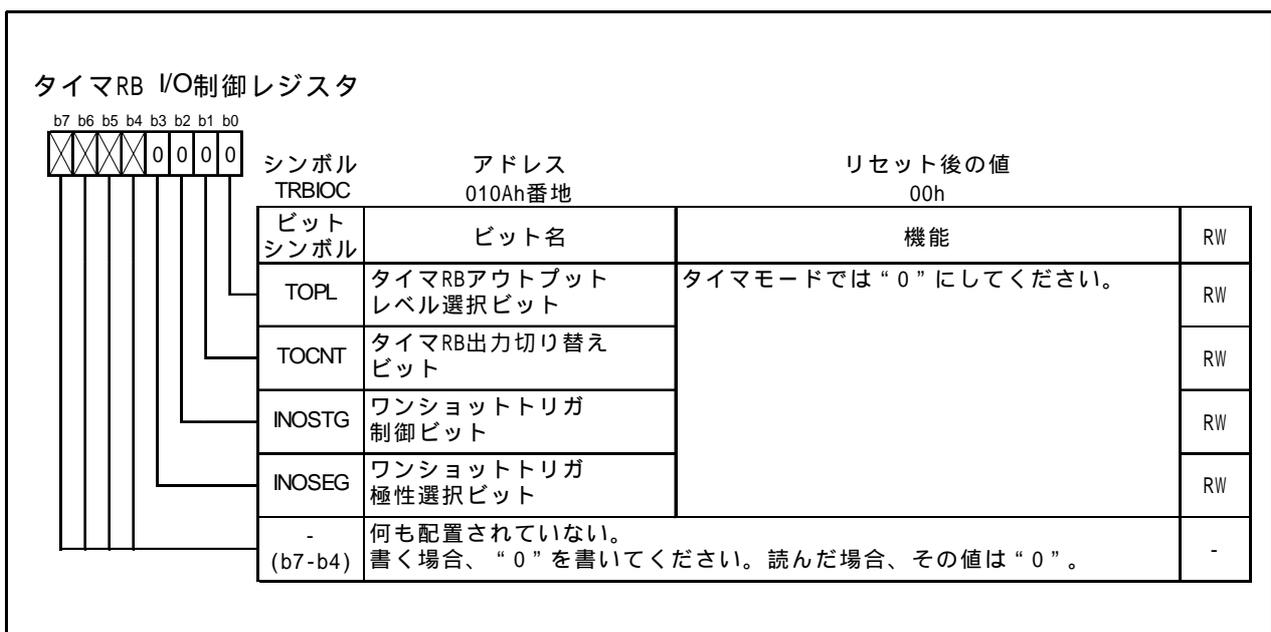


図16.17 タイマモード時のTRBIOCレジスタ

16.2.1.1 カウント中のタイマ書き込み制御

タイマRBはプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)をもち、それぞれにリロードレジスタとカウンタがあります。タイマモードでは、カウント中のプリスケアラやタイマへの書き込む場合、TRBMRレジスタのTWRCビットで、リロードレジスタとカウンタへ書き込むか、リロードレジスタだけに書き込むかを選択できます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、TWRCビットで、リロードレジスタとカウンタへ書き込む選択をしている場合も、書き込み命令実行後すぐにはカウンタの値が更新されません。また、リロードレジスタだけに書き込む選択をしている場合、プリスケアラの値を変更すると書き込んだときの周期がずれま
す。図16.18にタイマRB カウント中にカウント値を書き換えた場合の動作例を示します。

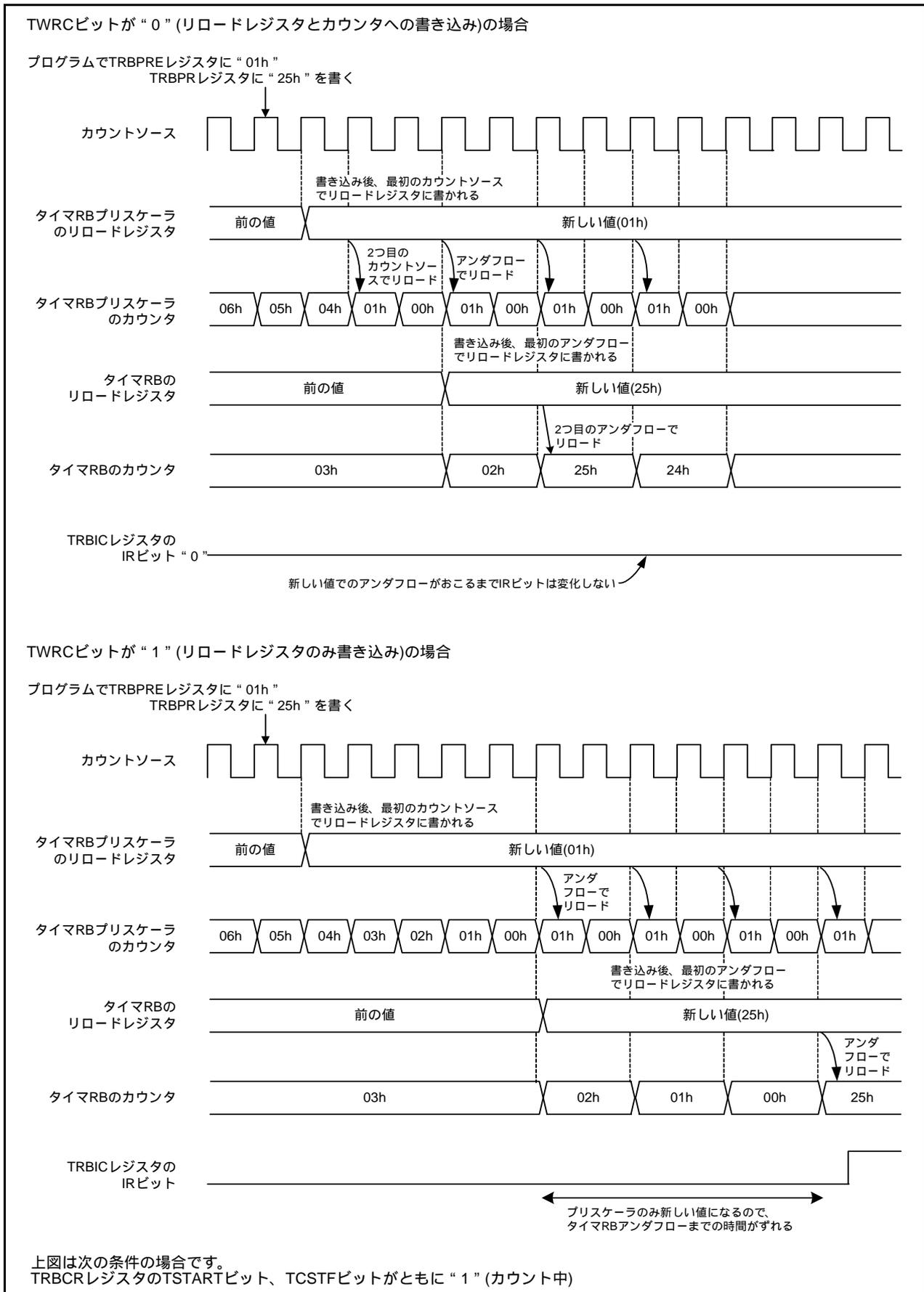


図 16.18 タイマRB カウント中にカウント値を書き換えた場合の動作例

16.2.2 プログラマブル波形発生モード

TRBPRレジスタとTRBSCレジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TRBO端子から出力する信号を反転するモードです(表16.8)。カウント開始時は、TRBPRレジスタに設定した値からカウントを行います。プログラマブル波形発生モード時、TRBOCRレジスタは使用しません。

図16.19にプログラマブル波形発生モード時のTRBIOCレジスタを、図16.20にプログラマブル波形発生モード時のタイマRBの動作例を示します。

表16.8 プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	・ダウンカウント ・アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続
出力波形の幅、周期	プライマリ期間： $(n+1)(m+1)/f_i$ セカンダリ期間： $(n+1)(p+1)/f_i$ 周期： $(n+1)\{(m+1)+(p+1)\}/f_i$ f_i ：カウントソースの周波数 n ：TRBPRESレジスタの設定値、 m ：TRBPRレジスタの設定値 p ：TRBSCレジスタの設定値
カウント開始条件	TRBCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後(TRBO出力の変化と同時)[タイマRB割り込み]
TRBO端子機能	プログラマブル出力ポート、またはパルス出力
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される(注1)
タイマの書き込み	・カウント停止中に、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注2)
選択機能	・アウトプットレベル選択機能 プライマリ期間、セカンダリ期間の出力レベルをTOPLビットで選択 ・TRBO端子出力切り替え機能 TRBIOCレジスタのTOCNTビットでタイマRBパルス出力またはP1_3ラッチ出力を選択(注3)

注1. セカンダリ期間をカウント中でも、TRBPRレジスタを読み出してください。

注2. 波形の出力は、TRBPRレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注3. TOCNTビットに書いた値は、次のタイミングで有効になります。

- ・カウント開始時
- ・タイマRB割り込み要求発生時

したがって、TOCNTビットを変更後、次のプライマリ期間の出力から反映されます。

タイマRB I/O制御レジスタ

シンボル TRBIOC	アドレス 010Ah番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TOPL	タイマRBアウトプット レベル選択ビット	0: プライマリ期間“H”出力、セカンダリ 期間“L”出力 タイマ停止時“L”出力 1: プライマリ期間“L”出力、セカンダリ 期間“H”出力 タイマ停止時“H”出力	RW
TOCNT	タイマRB出力切り替え ビット	0: タイマRB波形出力 1: P1_3ポートラッチの値を出力	RW
INOSTG	ワンショットトリガ 制御ビット	プログラマブル波形発生モードでは“0”に してください。	RW
INOSEG	ワンショットトリガ 極性選択ビット		RW
- (b7-b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

図 16.19 プログラマブル波形発生モード時のTRBIOCレジスタ

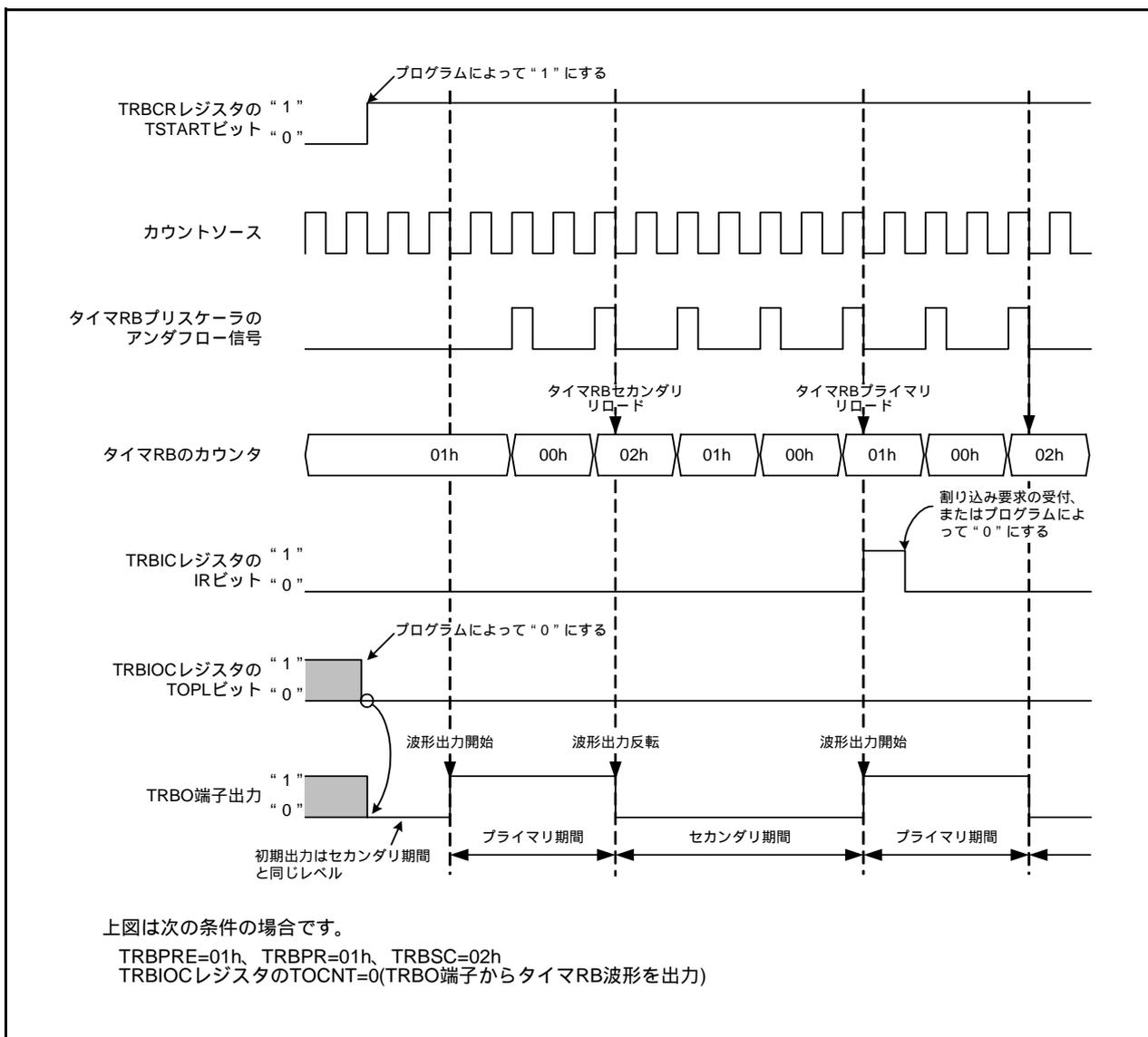


図 16.20 プログラマブル波形発生モード時のタイマRBの動作例

16.2.3 プログラブルワンショット発生モード

プログラムまたは外部トリガ (INT0 端子の入力) により、ワンショットパルスを TRBO 端子から出力するモードです (表16.9)。トリガが発生するとその時点から任意の時間 (TRBPR レジスタの設定値)、1度だけタイマが動作します。プログラブルワンショット発生モード時、TRBSC レジスタは使用しません。

図16.21にプログラブルワンショット発生モード時の TRBIOC レジスタを、図16.22にプログラブルワンショット発生モード時の動作例を示します。

表16.9 プログラブルワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> ・ TRBPR レジスタの設定値をダウンカウント ・ アンダフロー時プライマリリロードレジスタの内容をリロードしてカウントを終了し、TOSSTF ビットが “0” (ワンショット停止) になる ・ カウント停止時、リロードレジスタの内容をリロードし停止
ワンショットパルス出力時間	$(n+1)(m+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRES レジスタの設定値、 m : TRBPR レジスタの設定値 (注2)
カウント開始条件	<ul style="list-style-type: none"> ・ TRBCR レジスタの TSTART ビットが “1” (カウント開始) で、かつ次のトリガが発生 ・ TRBOCR レジスタの TOSST ビットへの “1” (ワンショット開始) 書き込み ・ INT0 端子へのトリガ入力
カウント停止条件	<ul style="list-style-type: none"> ・ タイマRBプライマリカウント時のカウントの値がアンダフローし、リロードした後 ・ TRBOCR レジスタの TOSSP ビットへの “1” (ワンショット停止) 書き込み ・ TRBCR レジスタの TSTART ビットへの “0” (カウント停止) 書き込み ・ TRBCR レジスタの TSTOP ビットへの “1” (カウント強制停止) 書き込み
割り込み要求発生タイミング	アンダフローからカウントソースの1/2サイクル後 (TRBO 端子からの波形出力の終了と同時に) [タイマRB割り込み]
TRBO 端子機能	パルス出力
INT0 端子機能	<ul style="list-style-type: none"> ・ TRBIOC レジスタの INOSTG ビットが “0” (INT0ワンショットトリガ無効) の場合 プログラブル入出力ポート、またはINT0割り込み入力 ・ TRBIOC レジスタの INOSTG ビットが “1” (INT0ワンショットトリガ有効) の場合 外部トリガ (INT0割り込み入力)
タイマの読み出し	TRBPR レジスタ、TRBPRES レジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・ カウント停止中に、TRBPRES レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・ カウント中に、TRBPRES レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる (注1)
選択機能	<ul style="list-style-type: none"> ・ アウトプットレベル選択機能 ワンショットパルス波形の出力レベルを TOPL ビットで選択 ・ ワンショットトリガ選択機能 「16.2.3.1 ワンショットトリガ選択」参照

注1. TRBPR レジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

注2. TRBPRES レジスタとTRBPR レジスタをともに “00h” にしないでください。

タイマRB I/O制御レジスタ

シンボル	アドレス	リセット後の値	
TRBIOC	010Ah番地	00h	
ビット シンボル	ビット名	機能	RW
TOPL	タイマRBアウトプット レベル選択ビット	0: ワンショットパルス“H”出力、 タイマ停止時“L”出力 1: ワンショットパルス“L”出力、 タイマ停止時“H”出力	RW
TOCNT	タイマRB出力切り替え ビット	プログラマブルワンショット発生モードでは “0”にしてください。	RW
INOSTG	ワンショットトリガ 制御ビット(注1)	0: INT0端子ワンショットトリガ無効 1: INT0端子ワンショットトリガ有効	RW
INOSEG	ワンショットトリガ 極性選択ビット(注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	RW
- (b7-b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. 「16.2.3.1 ワンショットトリガ選択」を参照してください。

図16.21 プログラマブルワンショット発生モード時のTRBIOCレジスタ

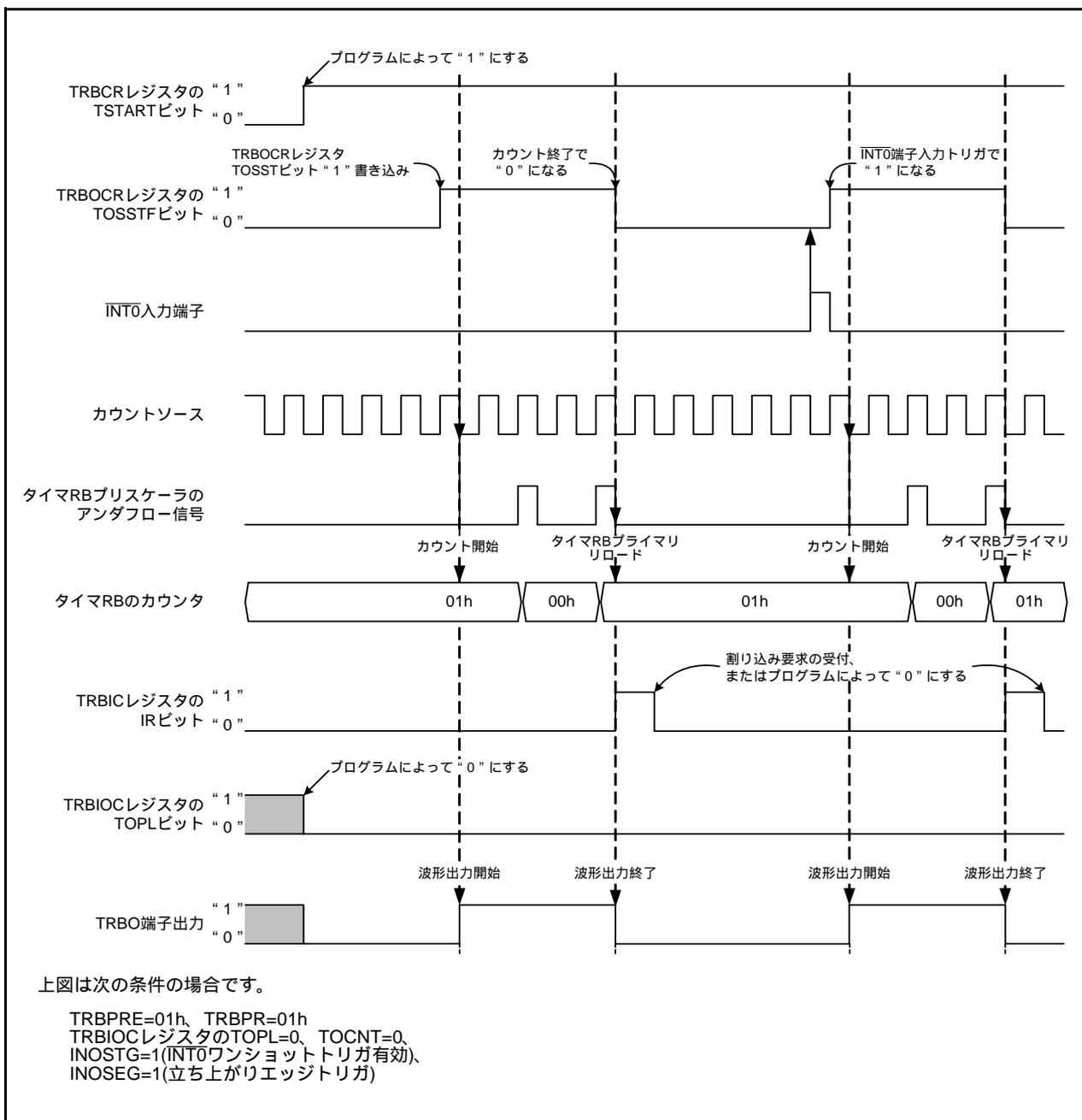


図 16.22 プログラマブルワンショット発生モード時の動作例

16.2.3.1 ワンショットトリガ選択

プログラマブルワンショット発生モードと、プログラマブルウェイトワンショット発生モードでは、TRBCRレジスタのTCSTFビットが“1”(カウント開始)の状態、ワンショットトリガが発生すると動作を開始します。

ワンショットトリガは、次のどちらかの要因で発生します。

- プログラムでTRBOCRレジスタのTOSSTビットに“1”を書く
- INT0端子からトリガ入力

ワンショットトリガ発生後、カウントソースの1～2サイクル経ってからTRBOCRレジスタのTOSSTFビットが、“1”(ワンショット動作中)になります。その後カウントが始まり、プログラマブルワンショット発生モードでは、ワンショット波形出力を開始します(プログラマブルウェイトワンショット発生モードでは、ウェイト期間のカウントを開始します)。TOSSTFビットが“1”の期間に、ワンショットトリガが発生しても再トリガは発生しません。

$\overline{\text{INT0}}$ 端子からトリガ入力を使用する場合は、次の設定をした後、トリガを入力してください。

- PD4レジスタのPD4_5ビットを“0”(入力ポート)にする
- INT0のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで選択
- INTENレジスタのINT0PLビットで両エッジまたは片エッジを選択する。片エッジを選択した場合はさらにTRBIOCレジスタのINOSEGビットで立ち下がりまたは立ち上がりエッジを選択する
- INTENレジスタのINT0ENを“0”(許可)にする
- 上記の設定後、TRBIOCレジスタのINOSTGビットを“1”(INT端子ワンショットトリガ有効)にする

なお、 $\overline{\text{INT0}}$ 端子からのトリガ入力での割り込み要求を発生させる場合は、次の点に注意してください。

- 割り込みを使用するための処理が必要ですので「12. 割り込み」を参照してください。
- 片エッジを選択した場合は、INT0ICレジスタのPOLビットで立ち下がりまたは立ち上がりエッジを選択してください(TRBIOCレジスタのINOSEGビットはINT0割り込みとは無関係です)。
- TOSSTFビットが“1”の期間に、ワンショットトリガが発生してもタイマRBの動作には影響ありませんが、INT0ICレジスタのIRビットは変化しません。

16.2.4 プログラブルウェイトワンショット発生モード

プログラムまたは外部トリガ (INT0 端子の入力) から、一定時間後にワンショットパルスを出し、TRBO 端子から出力するモードです (表 16.10)。トリガが発生すると、その時点から任意の時間 (TRBPR レジスタの設定値) 後、一度だけ任意の時間 (TRBSC レジスタの設定値) パルス出力を行います。

図 16.23 にプログラブルウェイトワンショット発生モード時の TRBIOC レジスタを、図 16.24 にプログラブルウェイトワンショット発生モードの動作例を示します。

表 16.10 プログラブルウェイトワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> ・タイマRBプライマリの設定値をダウンカウント ・タイマRBプライマリのカウントがアンダフロー時、タイマRBセカンダリの内容をリロードしてカウントを継続 ・タイマRBセカンダリのカウントがアンダフロー時、タイマRBプライマリの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる ・カウント停止時、リロードレジスタの内容をリロードし停止
ウェイト時間	$(n+1)(m+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRE レジスタの設定値、 m : TRBPR レジスタの設定値(注2)
ワンショットパルス出力時間	$(n+1)(p+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRE レジスタの設定値、 p : TRBSC レジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> ・TRBCR レジスタのTSTARTビットが“1”(カウント開始)でかつ、次のトリガが発生 ・TRBOCR レジスタのTOSSTビットへの“1”(ワンショット開始)書き込み ・INT0端子へのトリガ入力
カウント停止条件	<ul style="list-style-type: none"> ・タイマRBセカンダリカウント時のカウントの値がアンダフローし、リロードした後 ・TRBOCR レジスタのTOSSPビットへの“1”(ワンショット停止)書き込み ・TRBCR レジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後 (TRBO端子からの波形出力の終了と同時に)[タイマRB割り込み]
TRBO端子機能	パルス出力
INT0端子機能	<ul style="list-style-type: none"> ・TRBIOC レジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラブル入出力ポート、またはINT0割り込み入力 ・TRBIOC レジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)
タイマの読み出し	TRBPR レジスタ、TRBPRE レジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRBPRE レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPRE レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注1)
選択機能	<ul style="list-style-type: none"> ・アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択 ・ワンショットトリガ選択機能 「16.2.3.1 ワンショットトリガ選択」参照

注1. TRBSC レジスタおよびTRBPR レジスタへ書き込んだ値は、次のワンショットパルスから反映されます

注2. TRBPRE レジスタとTRBPR レジスタをともに“00h”にしないでください。

タイマRB I/O制御レジスタ

シンボル	アドレス	リセット後の値	
TRBIOC	010Ah番地	00h	
ビットシンボル	ビット名	機能	RW
TOPL	タイマRBアウトプットレベル選択ビット	0: ワンショットパルス“H”出力、 タイマ停止時とウェイト中は“L”出力 1: ワンショットパルス“L”出力、 タイマ停止時とウェイト中は“H”出力	RW
TOCNT	タイマRB出力切り替えビット	プログラマブルウェイトワンショット発生モードでは“0”にしてください。	RW
INOSTG	ワンショットトリガ制御ビット(注1)	0: $\overline{\text{INT0}}$ 端子ワンショットトリガ無効 1: $\overline{\text{INT0}}$ 端子ワンショットトリガ有効	RW
INOSEG	ワンショットトリガ極性選択ビット(注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	RW
- (b7-b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. 「16.2.3.1 ワンショットトリガ選択」を参照してください。

図16.23 プログラマブルウェイトワンショット発生モード時のTRBIOCレジスタ

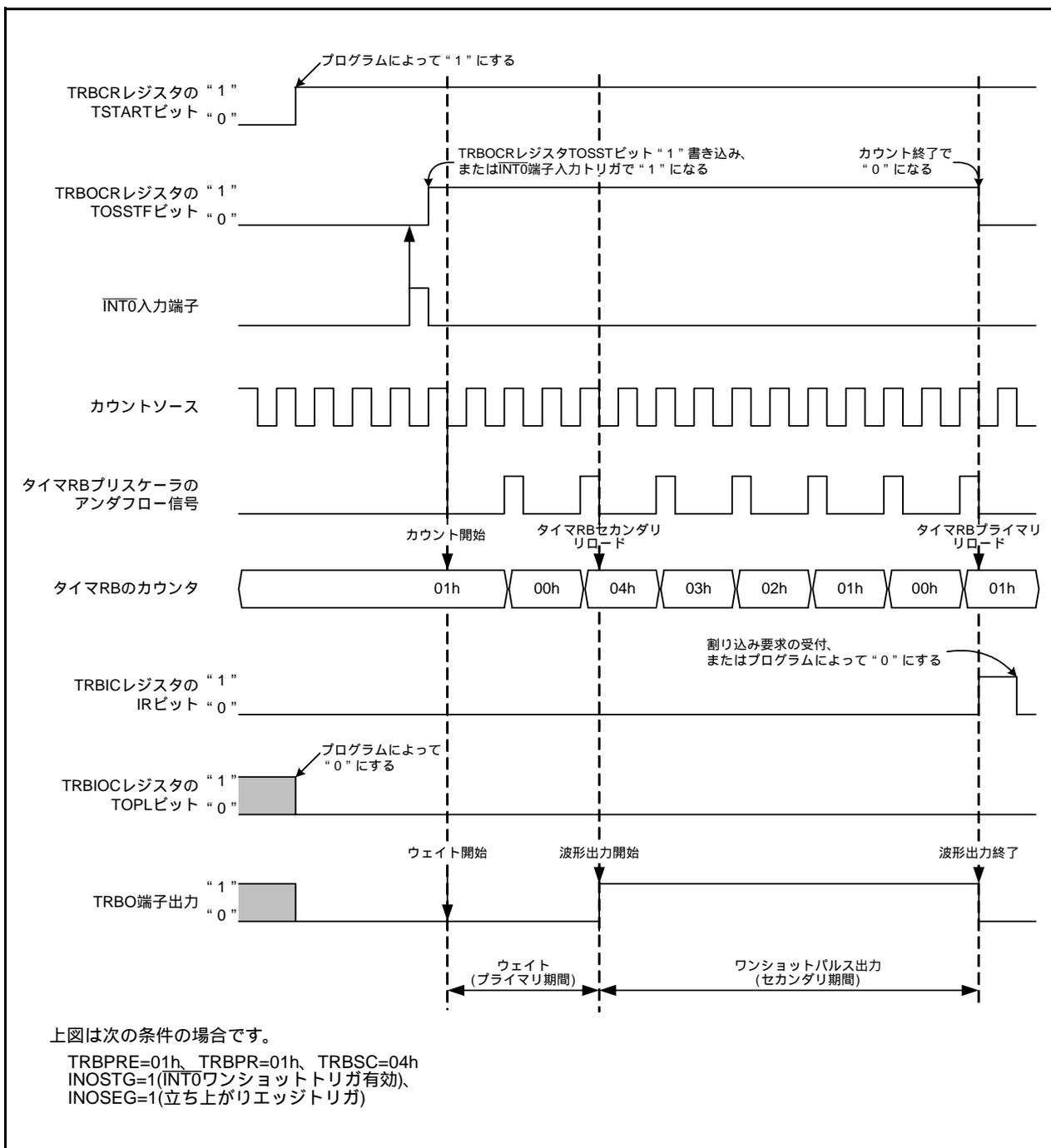


図 16.24 プログラブルウェイトワンショット発生モードの動作例

16.2.5 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。

注1. タイマRB関連レジスタ: TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。

16.2.5.1 タイマモード

タイマモードでは下記の対策を実施してください。

カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

16.2.5.2 プログラマブル波形発生モード

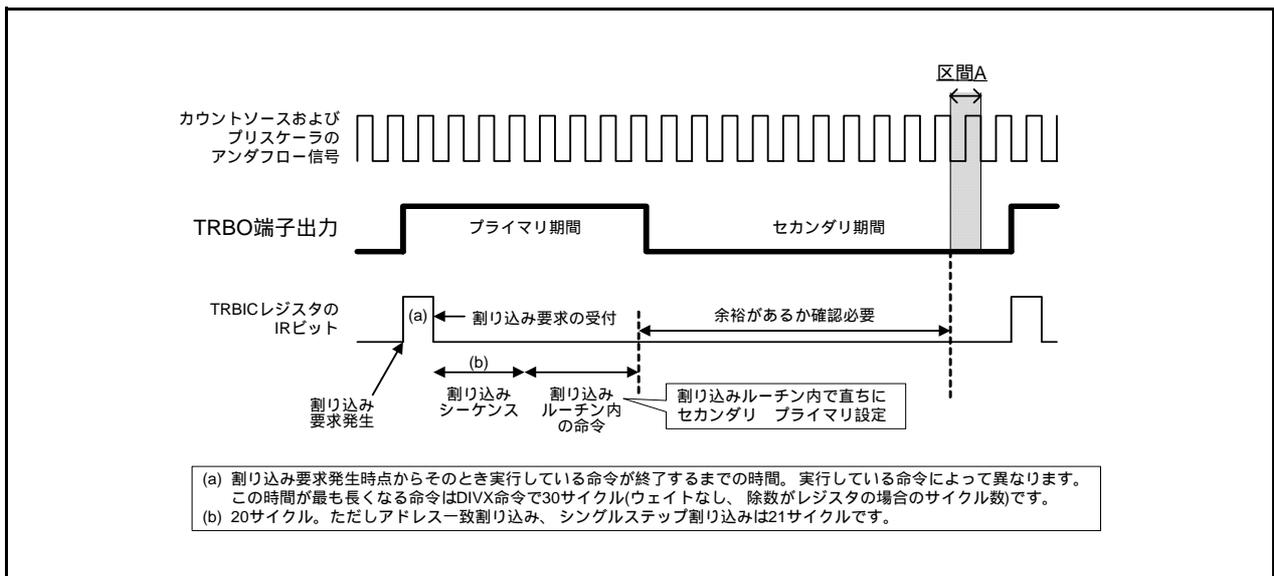
プログラマブル波形発生モードでは下記3点の対策を実施してください。

- (1) カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) カウント中(TCSTFビットが“1”)にTRBSCレジスタ、TRBPRレジスタを変更する場合は、タイマRB割り込み等でTRBO出力周期に対して同期を取り、同一出力周期内で一度だけ行うようにしてください。また、図16.25および図16.26の区間Aで、TRBPRレジスタへの書き込みが発生しないことを確認してください。

対策方法の具体例を下記に示します。

• 対策例(a)

図16.25に示すようにタイマRB割り込みルーチンでTRBSCレジスタ、TRBPRレジスタへ書いてください。書き込みは区間Aまでに終了させてください。



• 対策例 (b)

図 16.26 に示すように TRBO 端子の出力レベルからプライマリ期間の開始を検出し、プライマリ期間の開始直後に、TRBSC レジスタ、TRBPR レジスタへ書いてください。書き込みは区間 A までに終了させてください。なお、TRBO 端子に対応するポート方向レジスタのビットを “0” (入力モード) に設定し、ポートレジスタのビットの値を読むと、読んだ値は TRBO 端子の出力値になります。

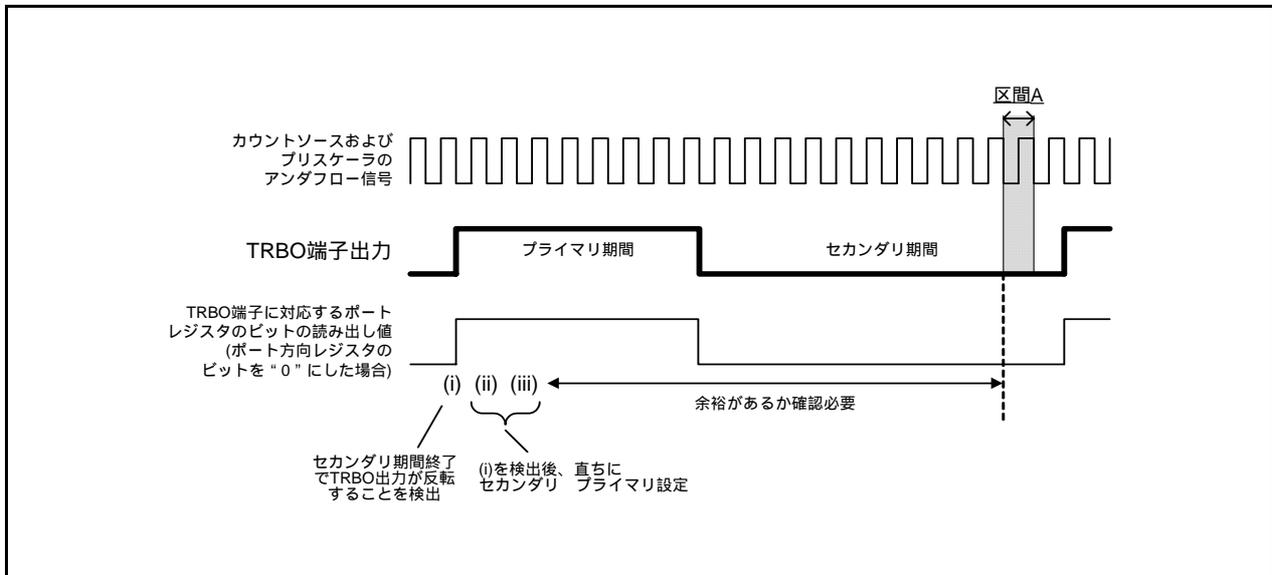


図 16.26 対策例 (b) の TRBO 端子出力値を読む例

- (3) プライマリ期間でタイマカウントを停止させる場合は、TRBCR レジスタの TSTOP ビットを使用してください。この場合、TRBPRES レジスタおよび TRBPR レジスタは初期化され、リセット後の値になります。

16.2.5.3 プログラマブルワンショット発生モード

プログラマブルワンショット発生モードでは、下記2点の対策を実施してください。

- カウント中 (TCSTF ビットが “1”) に TRBPRES レジスタ、TRBPR レジスタに書き込む場合は下記の点に注意してください。
 - TRBPRES レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- TRBPRES レジスタと TRBPR レジスタをともに “00h” にしないでください。

16.2.5.4 プログラマブルウェイトワンショット発生モード

プログラマブルウェイトワンショット発生モードでは下記3点の対策を実施してください。

- (1) カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) TRBPRESレジスタとTRBPRレジスタをともに“00h”にしないでください。
- (3) TRBSCレジスタ、TRBPRレジスタは以下に示す手順で設定してください。
 - (a) カウント開始条件に「INT0端子ワンショットトリガ」を使用する場合
TRBSCレジスタ TRBPRレジスタの順で設定してください。このとき、TRBPRレジスタへの書き込みからカウントソースの0.5サイクル以上経過してから、INT0端子へ有効トリガを入力してください。
 - (b) カウント開始条件に「TOSSTビットへの“1”書き込み」を使用する場合
TRBSCレジスタ TRBPRレジスタ TOSSTビットの順で設定してください。このとき、TRBPRレジスタへの書き込みからカウントソースの0.5サイクル以上経過してから、TOSSTビットへ書き込んでください。

16.3 タイマRC

16.3.1 概要

タイマRCは、16ビットタイマで4本の入出力端子を持ちます。

タイマRCの動作クロックは、f1またはfOCO40Mです。表16.11にタイマRCの動作クロックを示します。

表16.11 タイマRCの動作クロック

条件	タイマRCの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRCCLK入力 (TRCCR1レジスタのTCK2～TCK0ビットが“000b”～“101b”)	f1
カウントソースがfOCO40M (TRCCR1レジスタのTCK2～TCK0ビットが“110b”)	fOCO40M

表16.12にタイマRCの入出力端子を、図16.27にタイマRCのブロック図を示します。

タイマRCは3種類のモードを持ちます。

- タイマモード

- インพุットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
- アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能(検出時に端子出力変更可能)

次の2つのモードは、アウトプットコンペア機能を用います。

- PWMモード 任意の幅のパルスを連続して出力するモード
- PWM2モード トリガからウエイト時間をおいて、ワンショット波形またはPWM波形を出力するモード

インพุットキャプチャ機能、アウトプットコンペア機能、PWMモードは、1端子ごとに機能とモードを選択できます。

PWM2モードは、カウンタやレジスタを組み合わせることで波形を出力します。端子の機能はモードによって決まります。

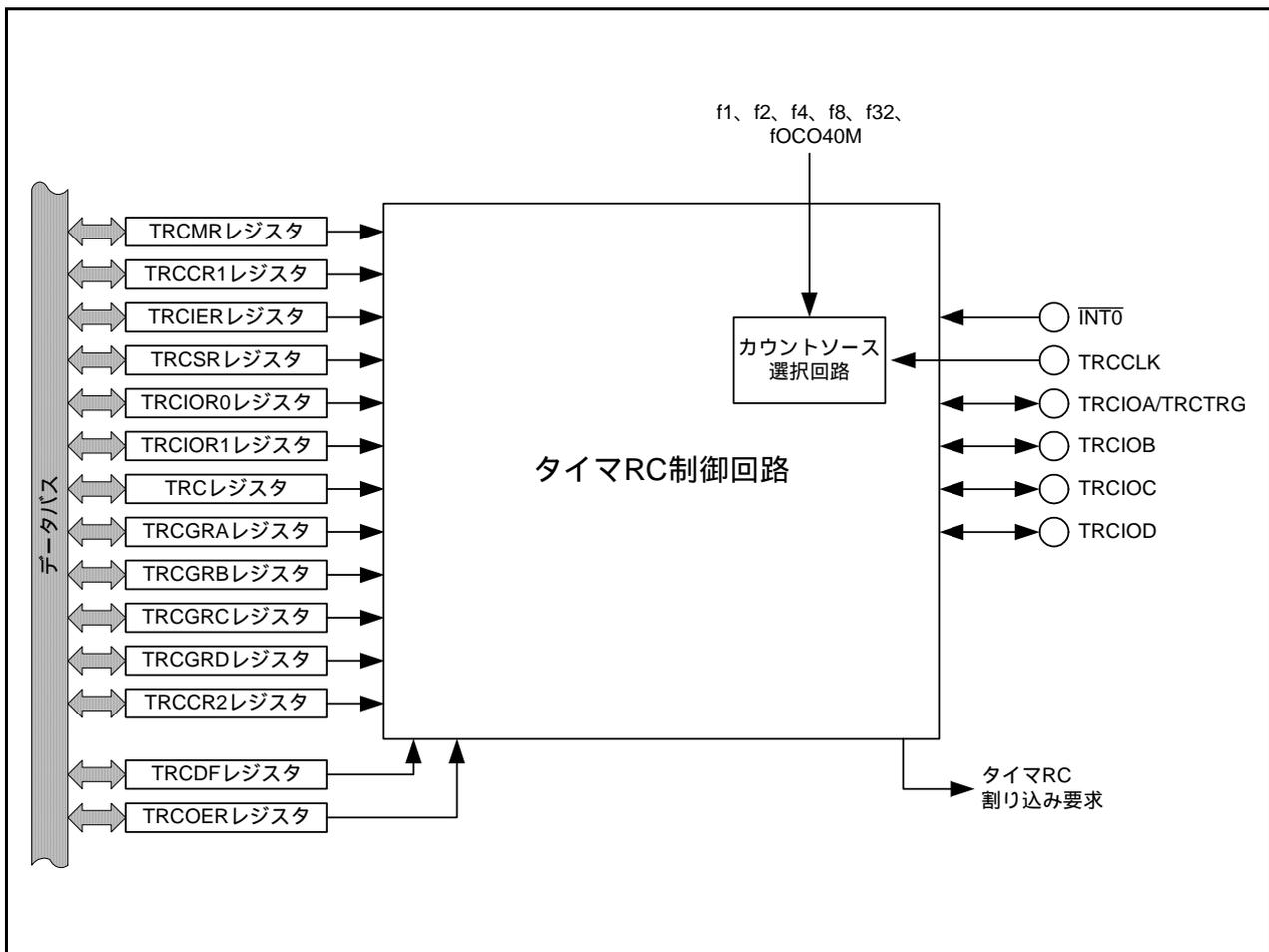


図16.27 タイマRCのブロック図

表16.12 タイマRCの入出力端子

端子名	入出力	機能
TRCIOA(P1_1) TRCIOB(P1_2) TRCIOC(P3_4) TRCIOD(P3_5)	入出力	モードによって機能が異なります。詳細は各モードを参照してください。
TRCLK(P3_3)	入力	外部クロック入力
TRCTR(P1_1)	入力	PWM2モードの外部トリガ入力

16.3.2 タイマRC関連レジスタ

表16.13にタイマRC関連レジスタ一覧を示します。図16.28～図16.38にタイマRC関連レジスタを示します。

表16.13 タイマRC関連レジスタ一覧

番地	シンボル	モード				参照先
		タイマ		PWM	PWM2	
		インプット キャプチャ 機能	アウトプット コンペア 機能			
00F7h	PINSR3	有効	有効	有効	有効	端子選択レジスタ3 図16.28 PINSR3レジスタ
0120h	TRCMR	有効	有効	有効	有効	タイマRCモードレジスタ 図16.29 TRCMRレジスタ
0121h	TRCCR1	有効	有効	有効	有効	タイマRC制御レジスタ1 図16.30 TRCCR1レジスタ 図16.51 アウトプットコンペア機能時のTRCCR1レジスタ 図16.54 PWMモード時のTRCCR1レジスタ 図16.58 PWM2モード時のTRCCR1レジスタ
0122h	TRCIER	有効	有効	有効	有効	タイマRC割り込み許可レジスタ 図16.31 TRCIERレジスタ
0123h	TRCSR	有効	有効	有効	有効	タイマRCステータスレジスタ 図16.32 TRCSRレジスタ
0124h	TRCIOR0	有効	有効	-	-	タイマRC I/O制御レジスタ0、タイマRC I/O制御レジスタ1 図16.38 TRCIOR0、TRCIOR1レジスタ 図16.45 インプットキャプチャ機能時のTRCIOR0レジスタ 図16.46 インプットキャプチャ機能時のTRCIOR1レジスタ 図16.49 アウトプットコンペア機能時のTRCIOR0レジスタ 図16.50 アウトプットコンペア機能時のTRCIOR1レジスタ
0125h	TRCIOR1					
0126h 0127h	TRC	有効	有効	有効	有効	タイマRCカウンタ 図16.33 TRCレジスタ
0128h 0129h 012Ah 012Bh 012Ch 012Dh 012Eh 012Fh	TRCGRA TRCGRB TRCGRC TRCGRD	有効	有効	有効	有効	タイマRCジェネラルレジスタA、B、C、D 図16.34 TRCGRA、TRCGRB、TRCGRC、TRCGRDレジスタ
0130h	TRCCR2	-	-	-	有効	タイマRC制御レジスタ2 図16.35 TRCCR2レジスタ
0131h	TRCDF	有効	-	-	有効	タイマRCデジタルフィルタ機能選択レジスタ 図16.36 TRCDFレジスタ
0132h	TRCOER	-	有効	有効	有効	タイマRCアウトプットマスタ許可レジスタ 図16.37 TRCOERレジスタ

- : 無効

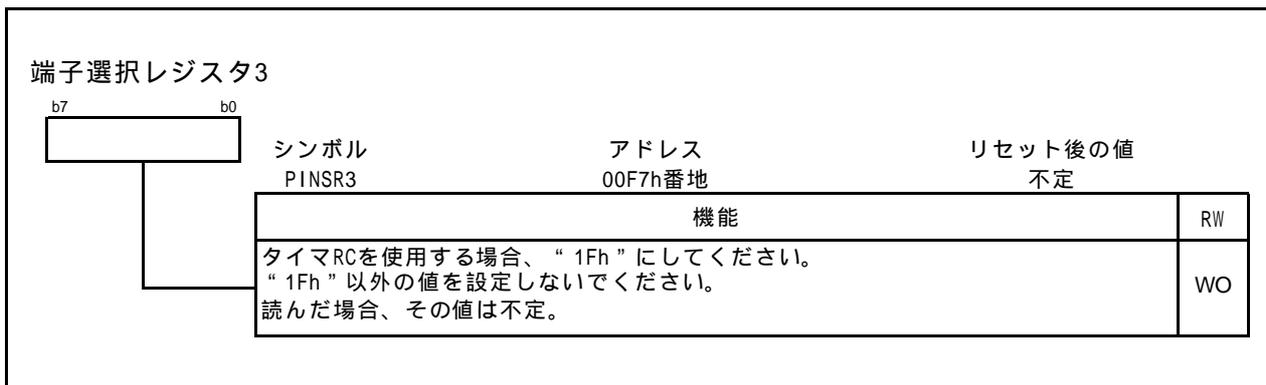


図 16.28 PINSR3レジスタ

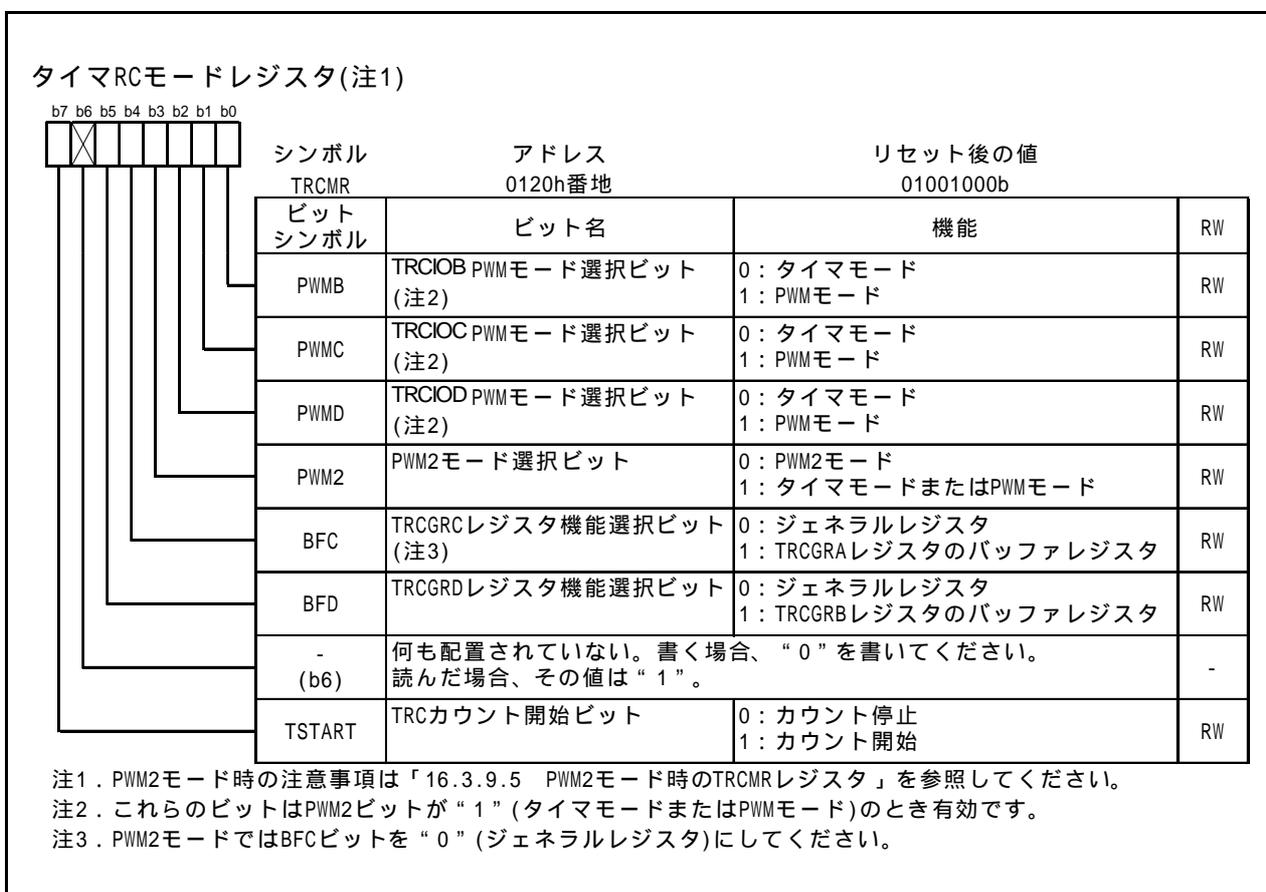


図 16.29 TRCMRレジスタ

タイマRC制御レジスタ1

シンボル TRCCR1 ビット シンボル	アドレス 0121h番地 ビット名	リセット後の値 00h 機能	RW
TOA	TRCIOA出力レベル選択ビット (注1)	動作モード(機能)によって機能が異なる (注2)	RW
TOB	TRCIOB出力レベル選択ビット (注1)		RW
TOC	TRCIOC出力レベル選択ビット (注1)		RW
TOD	TRCIOD出力レベル選択ビット (注1)		RW
TCK0	カウントソース選択ビット (注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32	RW
TCK1		1 0 1 : TRCCLK入力の立ち上がりエッジ	RW
TCK2		1 1 0 : fOCO40M 1 1 1 : 設定しないでください	RW
CCLR	TRCカウンタクリア選択ビット (注2、3)	0 : クリア禁止(フリーランニング動作) 1 : TRCGRAのコンペアー致でクリア	RW

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。
 注2. タイマモードのインプットキャプチャ機能では、CCLR、TOA、TOB、TOC、TODビットは無効です。
 注3. タイマモードのインプットキャプチャ機能では、CCLRビットの内容に関係なくフリーランニング動作します。

図16.30 TRCCR1レジスタ

タイマRC割り込み許可レジスタ

シンボル	アドレス	リセット後の値	
TRCIER	0122h番地	01110000b	
ビット シンボル	ビット名	機能	RW
IMIEA	インプットキャプチャ/コンペア 一致割り込み許可ビットA	0: IMFAビットによる割り込み(IMIA) 禁止 1: IMFAビットによる割り込み(IMIA) 許可	RW
IMIEB	インプットキャプチャ/コンペア 一致割り込み許可ビットB	0: IMFBビットによる割り込み(IMIB) 禁止 1: IMFBビットによる割り込み(IMIB) 許可	RW
IMIEC	インプットキャプチャ/コンペア 一致割り込み許可ビットC	0: IMFCビットによる割り込み(IMIC) 禁止 1: IMFCビットによる割り込み(IMIC) 許可	RW
IMIED	インプットキャプチャ/コンペア 一致割り込み許可ビットD	0: IMFDビットによる割り込み(IMID) 禁止 1: IMFDビットによる割り込み(IMID) 許可	RW
- (b6-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
OVIE	オーバフロー割り込み許可ビット	0: OVFBビットによる割り込み(OVI) 禁止 1: OVFBビットによる割り込み(OVI) 許可	RW

図16.31 TRCIERレジスタ

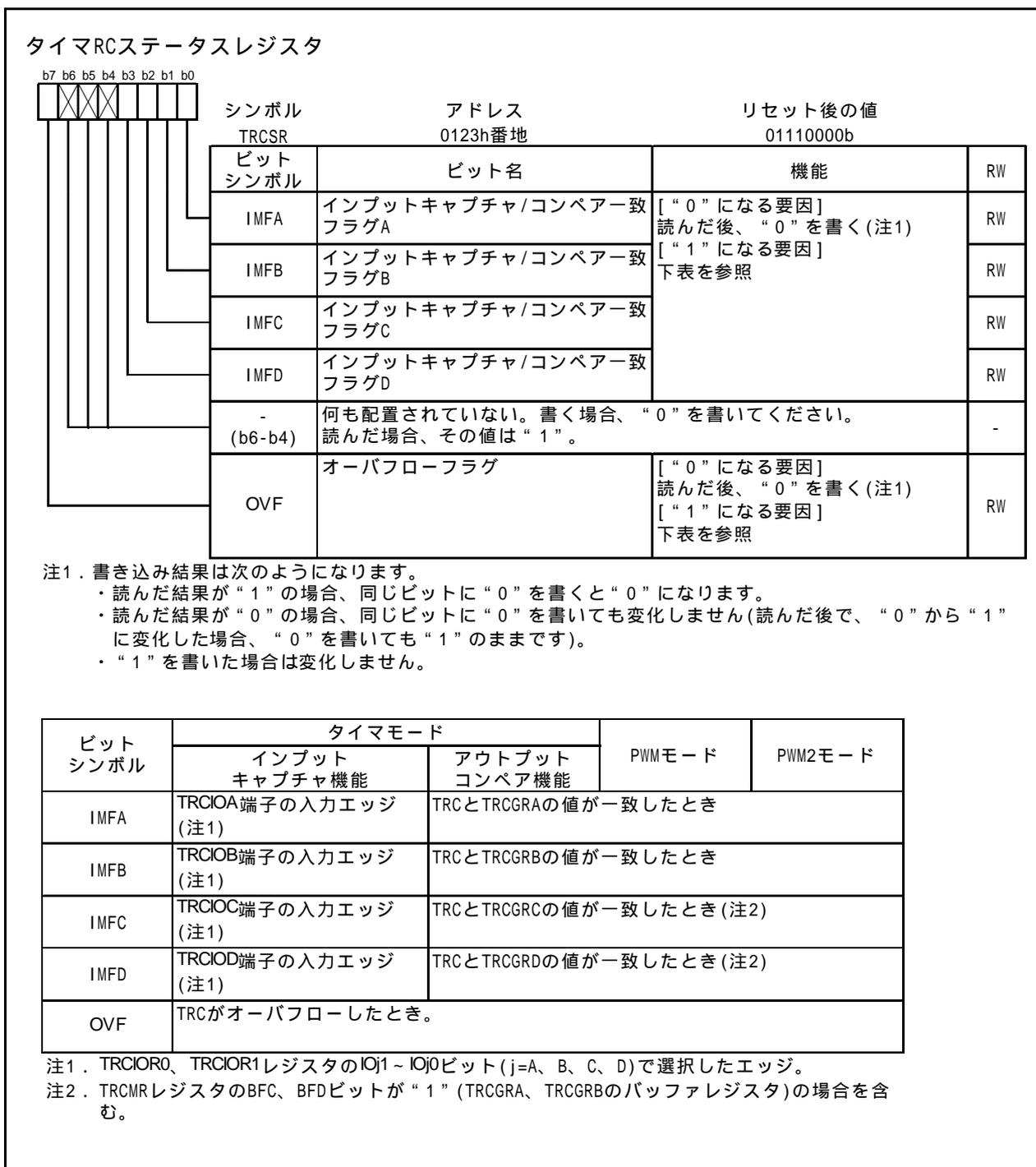


図16.32 TRCSRレジスタ

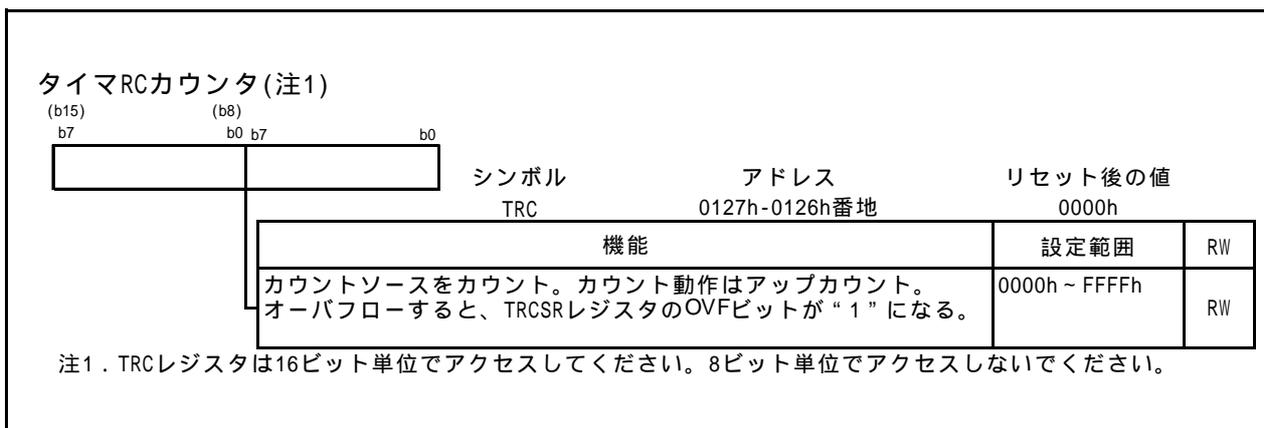


図16.33 TRCレジスタ

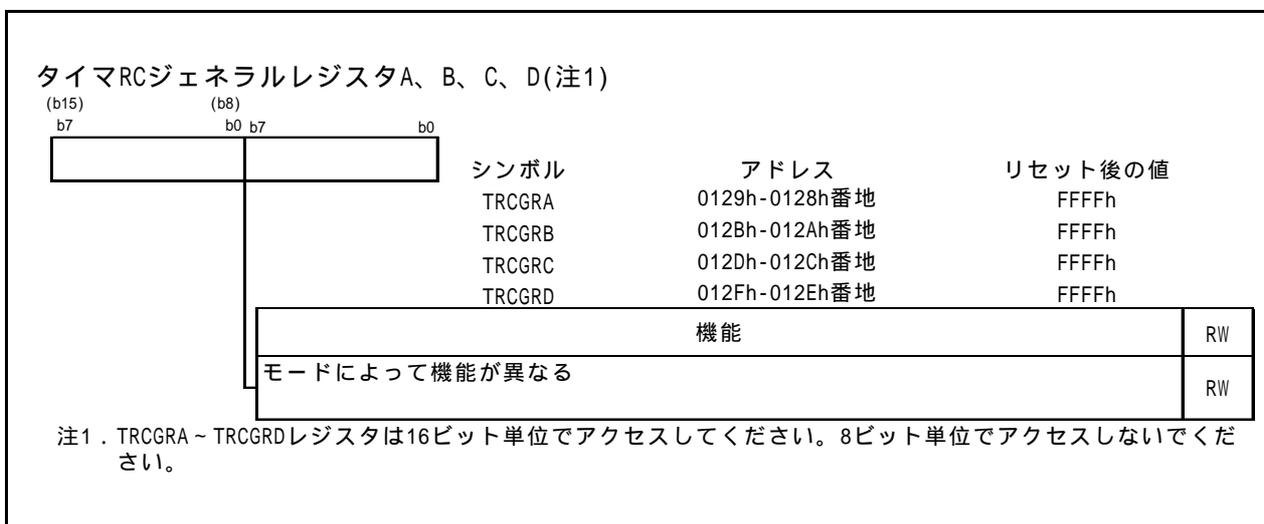


図16.34 TRCGRA、TRCGRB、TRCGRC、TRCGRDレジスタ

タイマRC制御レジスタ2

シンボル	アドレス	リセット後の値
TRCCR2	0130h番地	00011111b

ビットシンボル	ビット名	機能	RW
(b4-b0)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-
CSEL	TRCカウンタ動作選択ビット (注1、2)	0 : TRCGRAレジスタとのコンパア一致後もカウント継続 1 : TRCGRAレジスタとのコンパア一致でカウント停止	RW
TCEG0	TRCTRIG入力エッジ選択ビット (注3)	b7 b6 0 0 : TRCTRIGからのトリガ入力を禁止 0 1 : 立ち上がりエッジを選択 1 0 : 立ち下がりエッジを選択 1 1 : 立ち上がり/立ち下がり両エッジを選択	RW
TCEG1			RW

注1. PWM2モード時の注意事項は「16.3.9.5 PWM2モード時のTRCMRレジスタ」を参照してください。
 注2. タイマモード、PWMモードでは無効です(CSELビットの内容に関係なくカウントは継続します)。
 注3. タイマモード、PWMモードでは無効です。

図 16.35 TRCCR2 レジスタ

タイマRCデジタルフィルタ機能選択レジスタ

シンボル	アドレス	リセット後の値
TRCDF	0131h番地	00h

ビットシンボル	ビット名	機能	RW
DFA	TRCIOA端子デジタルフィルタ機能選択ビット(注1)	0 : 機能なし 1 : 機能あり	RW
DFB	TRCIOB端子デジタルフィルタ機能選択ビット(注1)	0 : 機能なし 1 : 機能あり	RW
DFC	TRCIOC端子デジタルフィルタ機能選択ビット(注1)	0 : 機能なし 1 : 機能あり	RW
DFD	TRCIOD端子デジタルフィルタ機能選択ビット(注1)	0 : 機能なし 1 : 機能あり	RW
DFTRG	TRCTRIG端子デジタルフィルタ機能選択ビット(注2)	0 : 機能なし 1 : 機能あり	RW
(b5)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
DFCK0	デジタルフィルタ機能用クロック選択ビット(注1、2)	b7 b6 0 0 : f32 0 1 : f8 1 0 : f1 1 1 : カウントソース (TRCCR1レジスタのTCK2 ~ TCK0ビットで選択したクロック)	RW
DFCK1			RW

注1. インพุットキャプチャ機能のとき有効です。
 注2. PWM2モードで、TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRIGトリガ入力許可)のとき有効です。

図 16.36 TRCDF レジスタ

タイマRCアウトプットマスタ許可レジスタ

シンボル	アドレス	リセット後の値	
TRCOER	0132h番地	01111111b	
ビット シンボル	ビット名	機能	RW
EA	TRCIOA出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOA端子はプログラム ブル入出力ポート)	RW
EB	TRCIOB出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOB端子はプログラ ム入出力ポート)	RW
EC	TRCIOC出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOC端子はプログラ ム入出力ポート)	RW
ED	TRCIOD出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOD端子はプログラ ム入出力ポート)	RW
- (b6-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
PTO	パルス出力強制遮断信号 入力 $\overline{INT0}$ 有効ビット	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 ($\overline{INT0}$ 端子に“L”を入力すると、EA、EB、 EC、EDビットが“1”(出力禁止)に なる)	RW

注1. 端子をインプットキャプチャ入力として使用するときは無効です。

図16.37 TRCOER レジスタ

タイマRC I/O制御レジスタ0(注1)			
ビットシンボル	ビット名	機能	RW
IOA0	TRCGRA制御ビット	動作モード(機能)によって機能が異なる	RW
IOA1			RW
IOA2	TRCGRAモード選択ビット(注2)	0: アウトプットコンペア機能 1: インพุットキャプチャ機能	RW
IOA3	TRCGRAインพุットキャプチャ入力切替ビット(注4)	0: fOCO128信号 1: TRCIOA端子入力	RW
IOB0	TRCGRB制御ビット	動作モード(機能)によって機能が異なる	RW
IOB1			RW
IOB2	TRCGRBモード選択ビット(注3)	0: アウトプットコンペア機能 1: インพุットキャプチャ機能	RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. タイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

注2. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注3. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注4. IOA2ビットが“1”(インพุットキャプチャ機能)のとき有効です。

タイマRC I/O制御レジスタ1(注1)			
ビットシンボル	ビット名	機能	RW
IOC0	TRCGRC制御ビット	動作モード(機能)によって機能が異なる	RW
IOC1			RW
IOC2	TRCGRCモード選択ビット(注2)	0: アウトプットコンペア機能 1: インพุットキャプチャ機能	RW
- (b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
IOD0	TRCGRD制御ビット	動作モード(機能)によって機能が異なる	RW
IOD1			RW
IOD2	TRCGRDモード選択ビット(注3)	0: アウトプットコンペア機能 1: インพุットキャプチャ機能	RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. タイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

注2. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注3. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

図16.38 TRCIOR0、TRCIOR1レジスタ

16.3.3 複数モードに関わる共通事項

16.3.3.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。

表16.14にカウントソースの選択を、図16.39にカウントソースのブロック図を示します。

表16.14 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRCCR1レジスタのTCK2～TCK0ビットでカウントソース選択
fOCO40M	FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振) TRCCR1レジスタのTCK2～TCK0ビットが“110b”(fOCO40M)
TRCCLK端子に入力された外部信号	TRCCR1レジスタのTCK2～TCK0ビットが“101b”(カウントソースは外部クロックの立ち上がりエッジ) PD5レジスタのPD5_0ビットが“0”(入力モード)

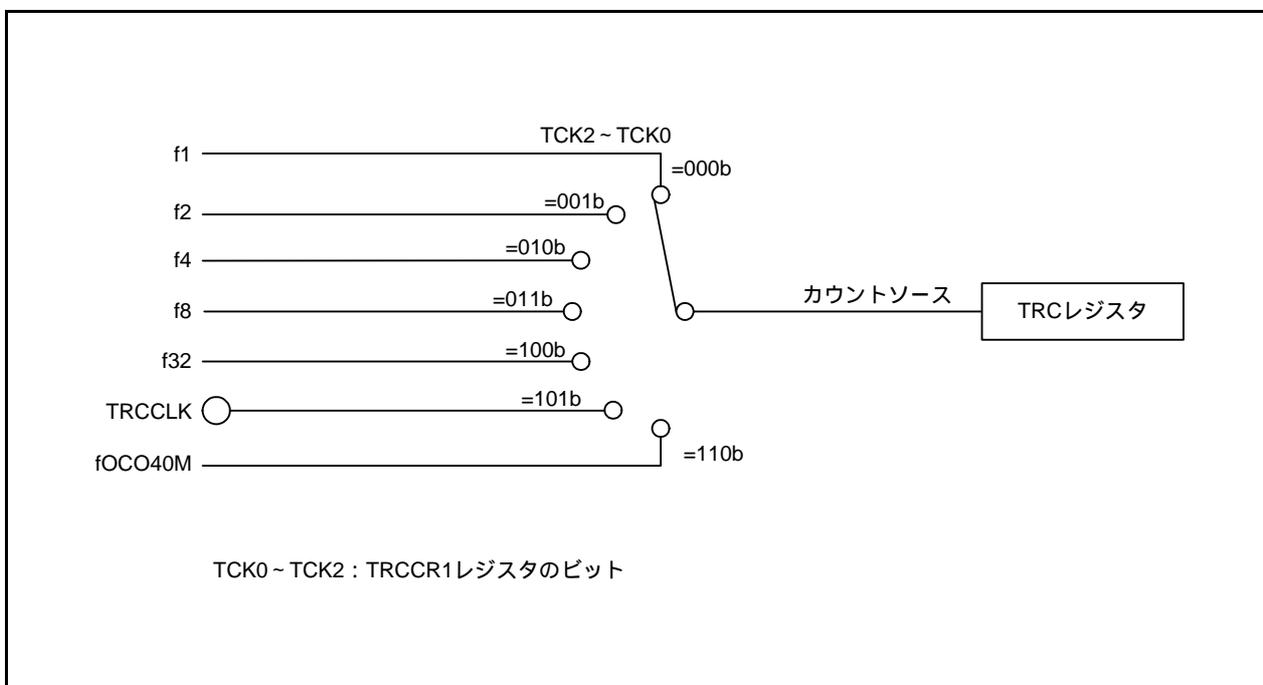


図16.39 カウントソースのブロック図

TRCCLK端子に入力する外部クロックのパルス幅は、タイマRCの動作クロック(「表16.11 タイマRCの動作クロック」参照)の3サイクル以上にしてください。

カウントソースにfOCO40Mを選択する場合は、FRA0レジスタのFRA00ビットを“1”(高速オンチップオシレータ発振)にしてから、TRCCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40M)にしてください。

16.3.3.2 バッファ動作

TRCMRレジスタのBFC、BFDビットで、TRCGRC、TRCGRDレジスタをTRCGRA、TRCGRBレジスタのバッファレジスタにできます。

- TRCGRAのバッファレジスタ：TRCGRCレジスタ
- TRCGRBのバッファレジスタ：TRCGRDレジスタ

バッファ動作は、モードによって違います。表16.15に各モードのバッファ動作を、図16.40にインプットキャプチャ機能のバッファ動作を、図16.41にアウトプットコンペア機能のバッファ動作を示します。

表16.15 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRCGRA(TRCGRB)レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRCレジスタとTRCGRA(TRCGRB)レジスタのコンペア一致	バッファレジスタの内容をTRCGRA(TRCGRB)レジスタに転送
PWMモード		
PWM2モード	<ul style="list-style-type: none"> •TRCレジスタとTRCGRAレジスタのコンペア一致 •TRCTRG端子トリガ入力 	バッファレジスタ(TRCGRD)の内容をTRCGRBレジスタに転送

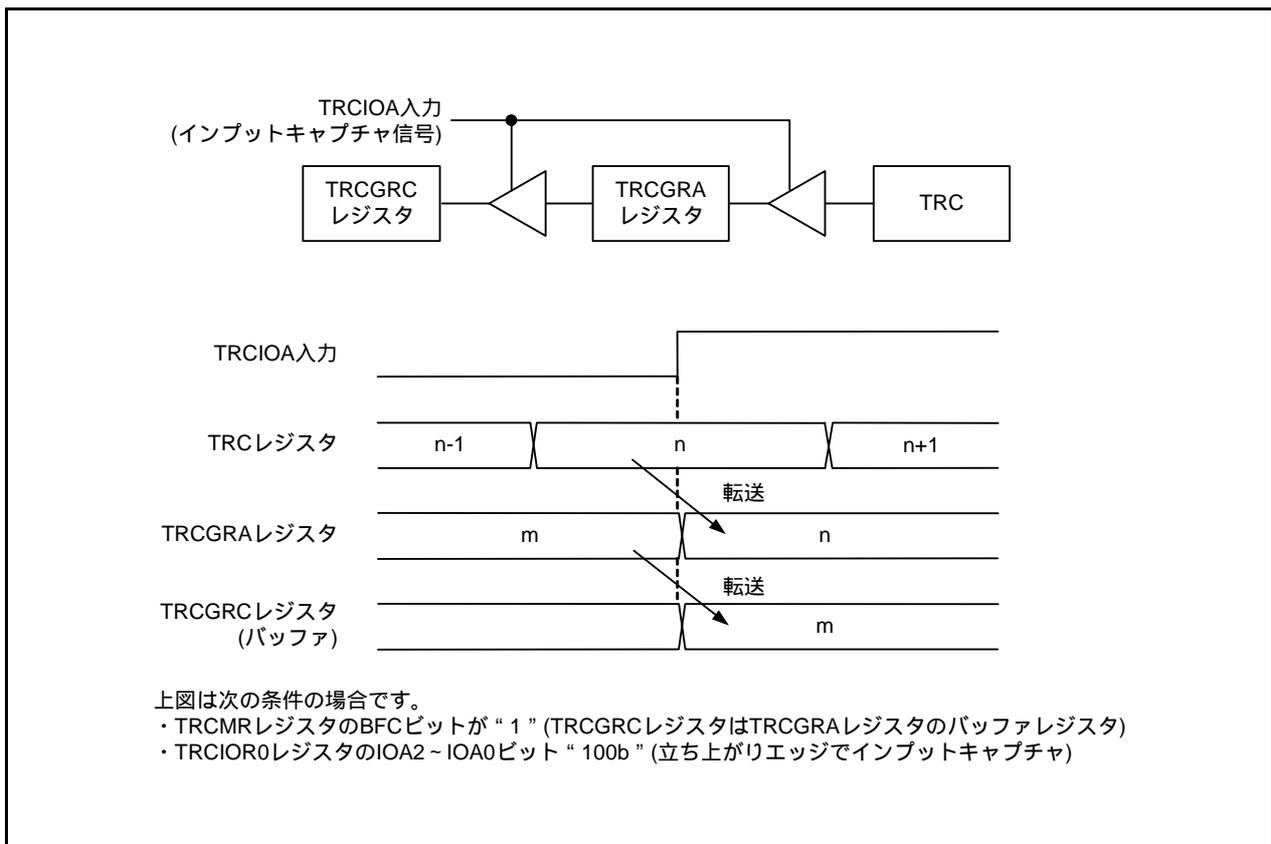


図16.40 インプットキャプチャ機能のバッファ動作

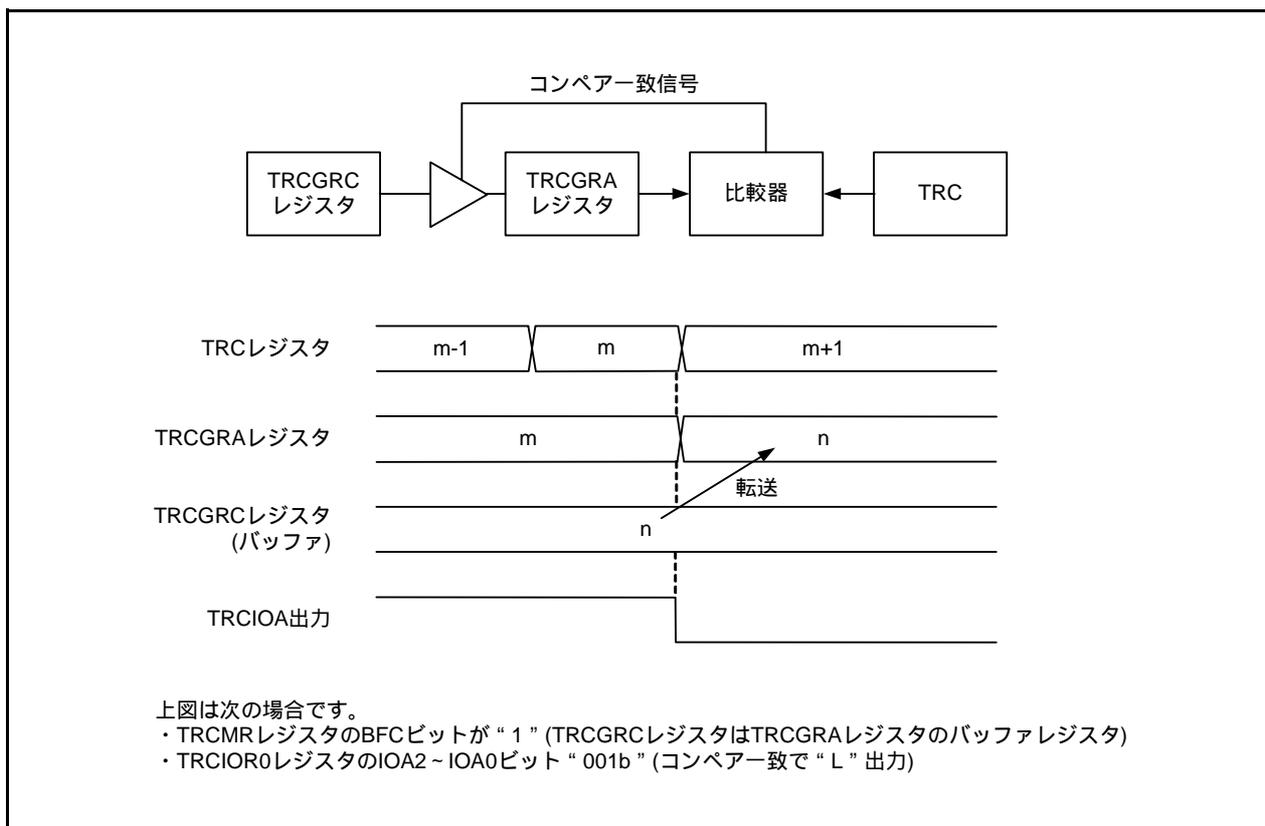


図16.41 アウトプットコンペアー機能のバッファ動作

タイマモードでは次のようにしてください。

- ・TRCGRCレジスタをTRCGRAレジスタのバッファレジスタに使用する場合
TRCIOR1レジスタのIOC2ビットは、TRCIOR0レジスタのIOA2ビットと同じ設定にしてください。
- ・TRCGRDレジスタをTRCGRBレジスタのバッファレジスタに使用する場合
TRCIOR1レジスタのIOD2ビットは、TRCIOR0レジスタのIOB2ビットと同じ設定にしてください。

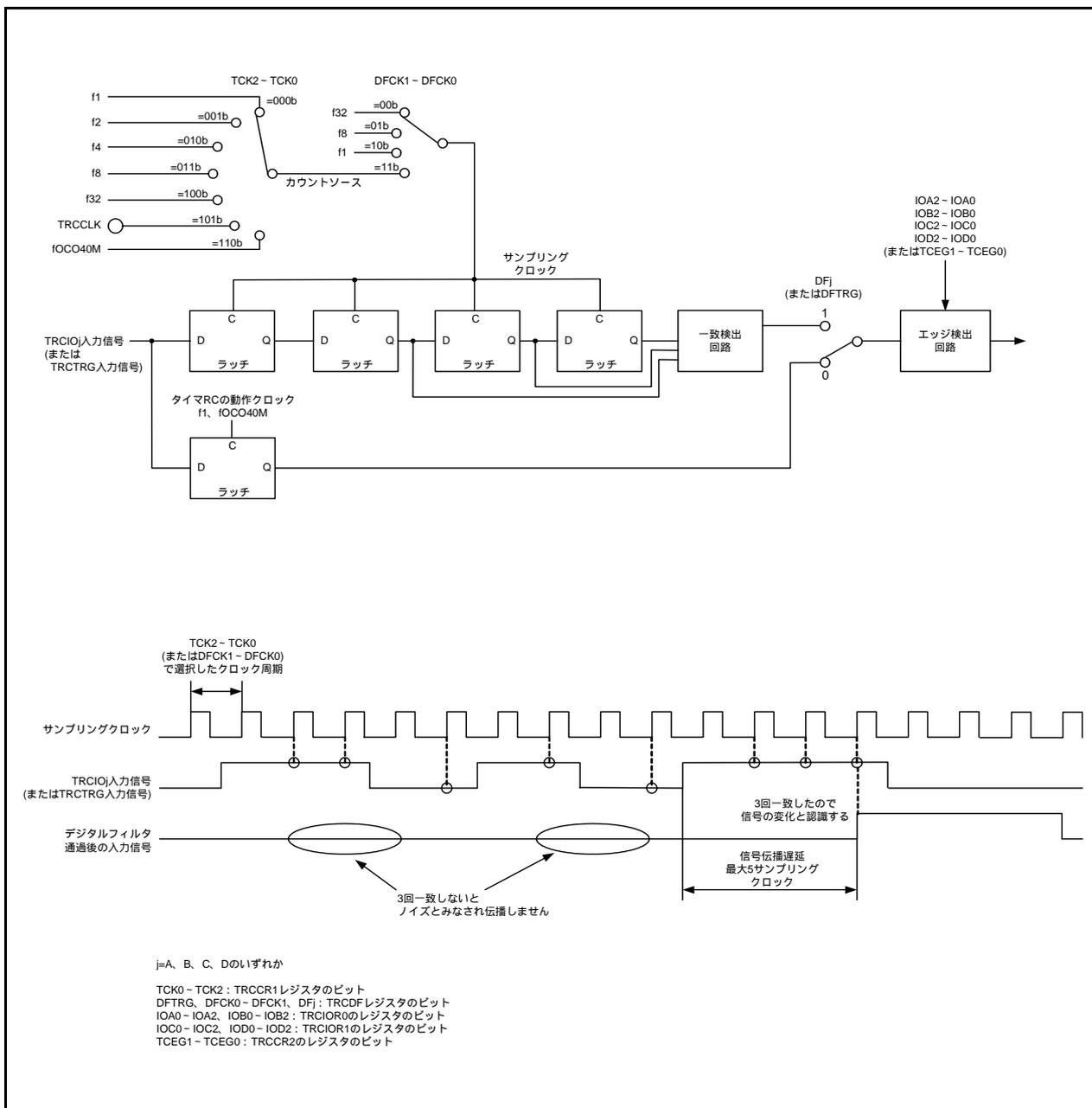
アウトプットコンペアー機能、PWMモード、PWM2モードで、TRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCレジスタとのコンペアー一致でTRCSRレジスタのIMFC、IMFDビットが“1”になります。

入力キャプチャ機能でTRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCIOC、TRCIOD端子の入力エッジでTRCSRレジスタのIMFC、IMFDビットが“1”になります。

16.3.3.3 デジタルフィルタ

TRCTRГ 入力または TRCIO_j(j = A、B、C、Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックは TRCDF レジスタで選択してください。

図 16.42 にデジタルフィルタのブロック図を示します。



16.3.3.4 パルス出力強制遮断

タイマモードのアウトプットコンペア機能、PWMモード、PWM2モードのとき、 $\overline{\text{INT0}}$ 端子の入力によってTRCIOj(j = A、B、C、Dのいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRCOERレジスタのEjビットを“0”(タイマRC出力許可)にすると、タイマRCの出力端子として機能します。TRCOERレジスタのPTOビットが“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)のとき、 $\overline{\text{INT0}}$ 端子に“L”を入力すると、TRCOERレジスタのEA、EB、EC、EDビットがすべて“1”(タイマRC出力禁止、TRCIOj出力端子はプログラマブル入出力ポート)になります。 $\overline{\text{INT0}}$ 端子に“L”を入力してから、タイマRCの動作クロック(「表16.11 タイマRCの動作クロック」参照)の1~2サイクル後にTRCIOj出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス(入力)、“L”出力、または“H”出力)を設定(「7. プログラマブル入出力ポート」参照)。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)にする。
- PD4レジスタのPD4_5ビットを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1~INT0F0ビットで選択。
- TRCOERレジスタのPTOビットを“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)にする。

なお、INT0ICレジスタのPOLビットの選択と、 $\overline{\text{INT0}}$ 端子入力の変更にしたがって、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「12.6 割り込み使用上の注意」参照)。割り込みの詳細は「12. 割り込み」を参照してください。

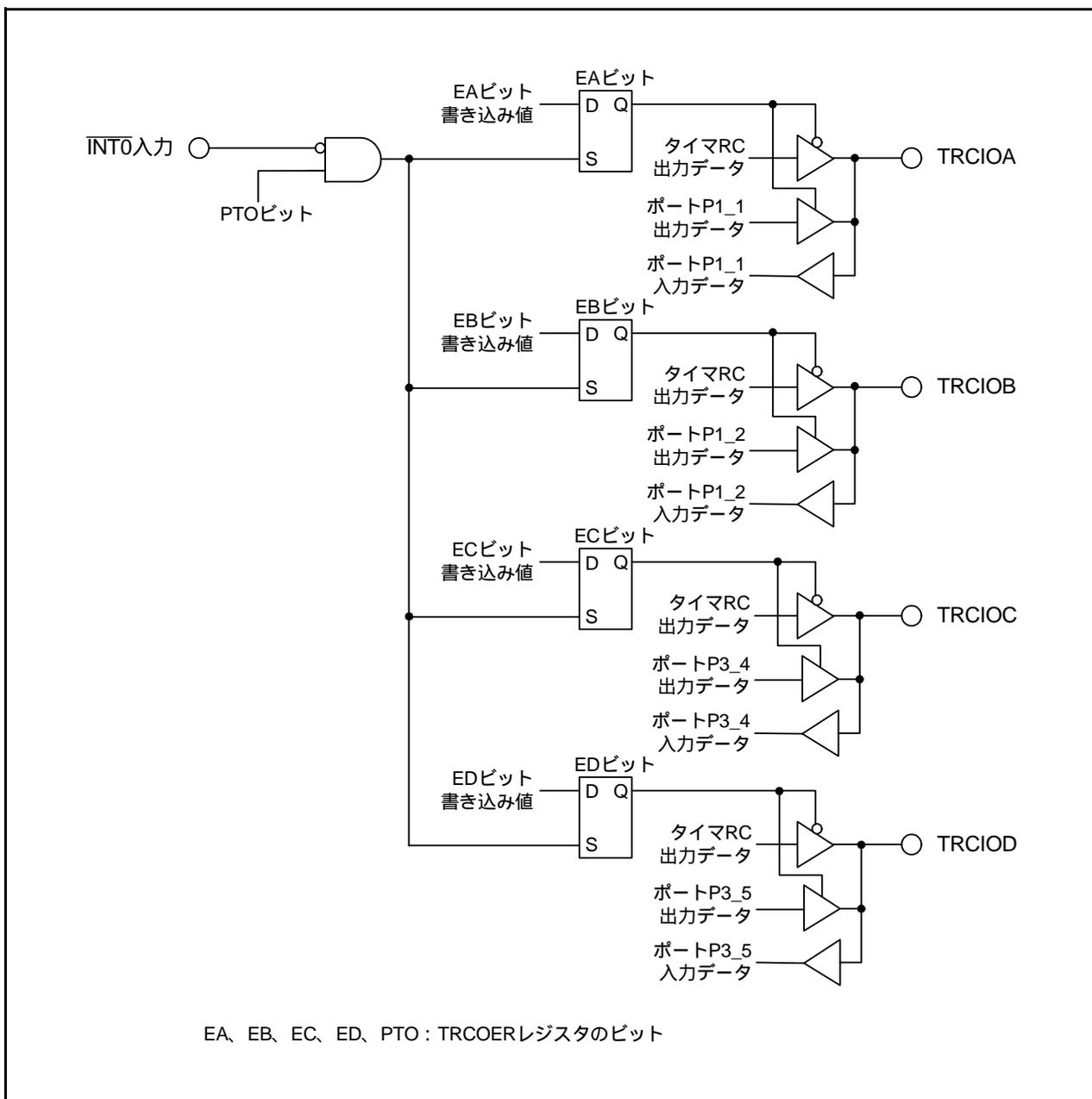


図 16.43 パルス出力強制遮断

16.3.4 タイマモード(インプットキャプチャ機能)

外部信号の幅や周期を測定する機能です。TRCIOj(j = A、B、C、Dのいずれか)端子の外部信号をトリガにしてTRCレジスタ(カウンタ)の内容をTRCGRjレジスタに転送します(インプットキャプチャ)。端子1本ごとにインプットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRCGRAレジスタはfOCO128をインプットキャプチャのトリガ入力として選択できます。

表16.16にインプットキャプチャ機能の仕様を、図16.44にインプットキャプチャ機能のブロック図を、図16.45～図16.46にインプットキャプチャ機能関連レジスタを、表16.17にインプットキャプチャ機能時のTRCGRjレジスタの機能を、図16.47にインプットキャプチャ機能の動作例を示します。

表16.16 インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	$1/f_k \times 65536$ f_k : カウントソースの周波数
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み TRCレジスタは停止前の値を保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> インプットキャプチャ(TRCIOj 入力の有効エッジ、または fOCO128 信号のエッジ) TRC レジスタオーバフロー
TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力(1端子ごとに選択)
INT0 端子機能	プログラマブル入出力ポート、またはINT0 割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める。
選択機能	<ul style="list-style-type: none"> インプットキャプチャ入力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子のいずれか1本または複数本 インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 バッファ動作(「16.3.3.2 バッファ動作」参照) デジタルフィルタ(「16.3.3.3 デジタルフィルタ」参照) インプットキャプチャトリガ選択 TRCGRAレジスタのインプットキャプチャトリガ入力にfOCO128を選択できる

j = A、B、C、Dのいずれか

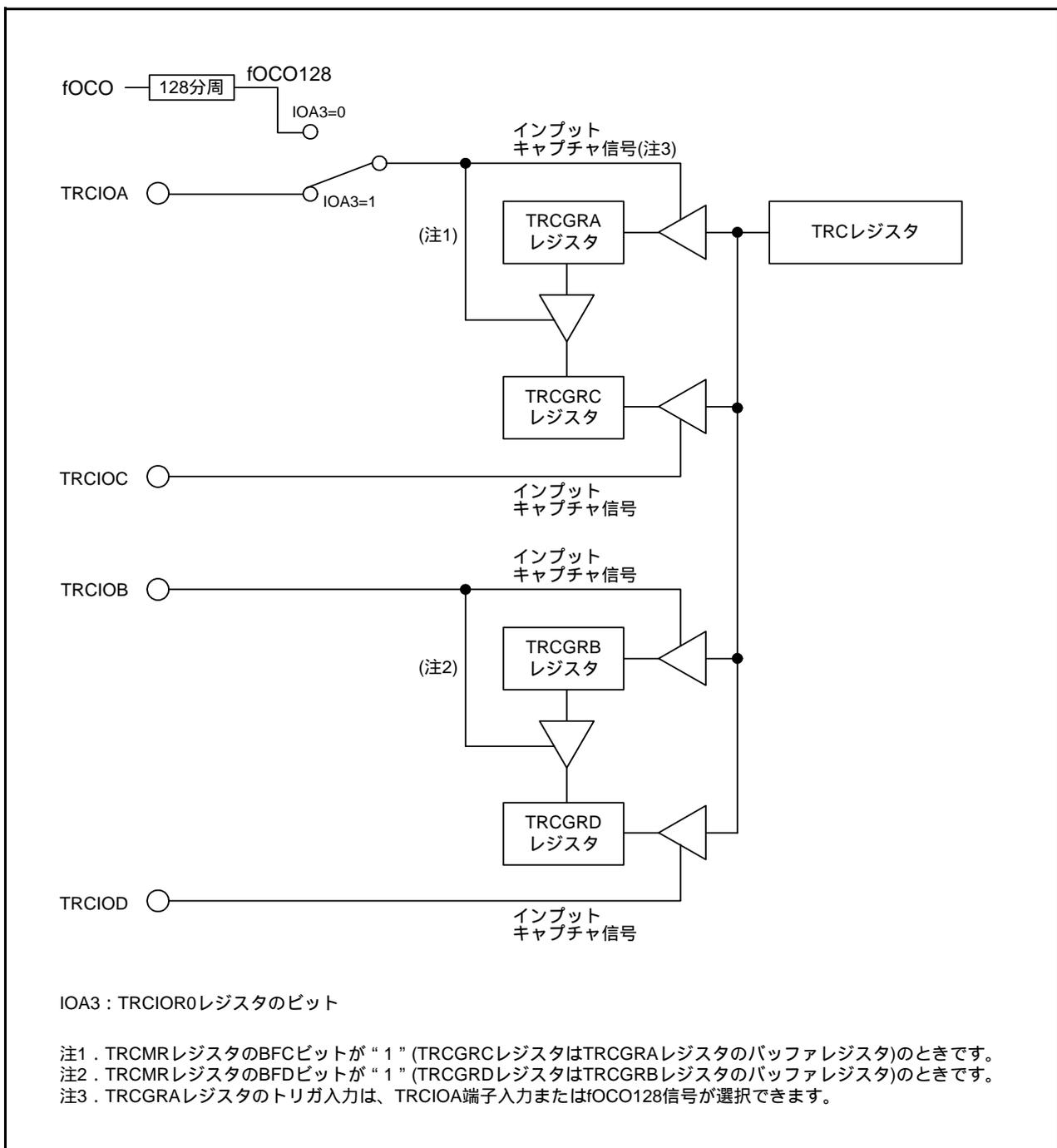


図16.44 インプットキャプチャ機能のブロック図

タイマRC I/O制御レジスタ0

シンボル TRCIOR0	アドレス 0124h番地	リセット後の値 10001000b	
ビット シンボル	ビット名	機能	RW
IOA0	TRCGRA制御ビット	b1 b0 0 0 : 立ち上がりエッジでTRCGRAへ インพุットキャプチャ 0 1 : 立ち下がりエッジでTRCGRAへ インพุットキャプチャ 1 0 : 両エッジでTRCGRAへインพุット キャプチャ 1 1 : 設定しないでください	RW
IOA1			RW
IOA2	TRCGRAモード選択ビット (注1)	インพุットキャプチャ機能では“1” (インพุットキャプチャ)にしてください	RW
IOA3	TRCGRAインพุットキャプチャ 入力切替ビット(注3)	0 : fOCO128信号 1 : TRCIOA端子入力	RW
IOB0	TRCGRB制御ビット	b5 b4 0 0 : 立ち上がりエッジでTRCGRBへ インพุットキャプチャ 0 1 : 立ち下がりエッジでTRCGRBへ インพุットキャプチャ 1 0 : 両エッジでTRCGRBへインพุット キャプチャ 1 1 : 設定しないでください	RW
IOB1			RW
IOB2	TRCGRBモード選択ビット (注2)	インพุットキャプチャ機能では“1” (インพุットキャプチャ)にしてください	RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-

注1 . TRCMRレジスタのBFBCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2 . TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注3 . IOA2ビットが“1”(インพุットキャプチャ機能)のとき有効です。

図 16.45 インพุットキャプチャ機能時のTRCIOR0レジスタ

タイマRC I/O制御レジスタ1

シンボル TRCIOR1	アドレス 0125h番地	リセット後の値 10001000b	
ビット シンボル	ビット名	機能	RW
IOC0	TRCGRC制御ビット	b1 b0 0 0 : 立ち上がりエッジでTRCGRCへ インプットキャプチャ	RW
		0 1 : 立ち下がりエッジでTRCGRCへ インプットキャプチャ	
IOC1	TRCGRCモード選択ビット(注1)	1 0 : 両エッジでTRCGRCへインプット キャプチャ	RW
IOC2		1 1 : 設定しないでください	
- (b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
IOD0	TRCGRD制御ビット	b5 b4 0 0 : 立ち上がりエッジでTRCGRDへ インプットキャプチャ	RW
		0 1 : 立ち下がりエッジでTRCGRDへ インプットキャプチャ	
IOD1	TRCGRDモード選択ビット(注2)	1 0 : 両エッジでTRCGRDへインプット キャプチャ	RW
IOD2		1 1 : 設定しないでください	
- (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-

注1 . TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2 . TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

図16.46 インプットキャプチャ機能時のTRCIOR1レジスタ

表16.17 インプットキャプチャ機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ 入力端子
TRCGRA	-	ジェネラルレジスタ。インプットキャプチャ時の TRCレジスタの値が読めます。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。インプットキャプチャ時の TRCレジスタの値が読めます。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。ジェネラルレジスタからの転送 値を保持します(「16.3.3.2 バッファ動作」参照)。	TRCIOA
TRCGRD	BFD=1		TRCIOB

j = A、B、C、Dのいずれか
BFC、BFD : TRCMRレジスタのビット

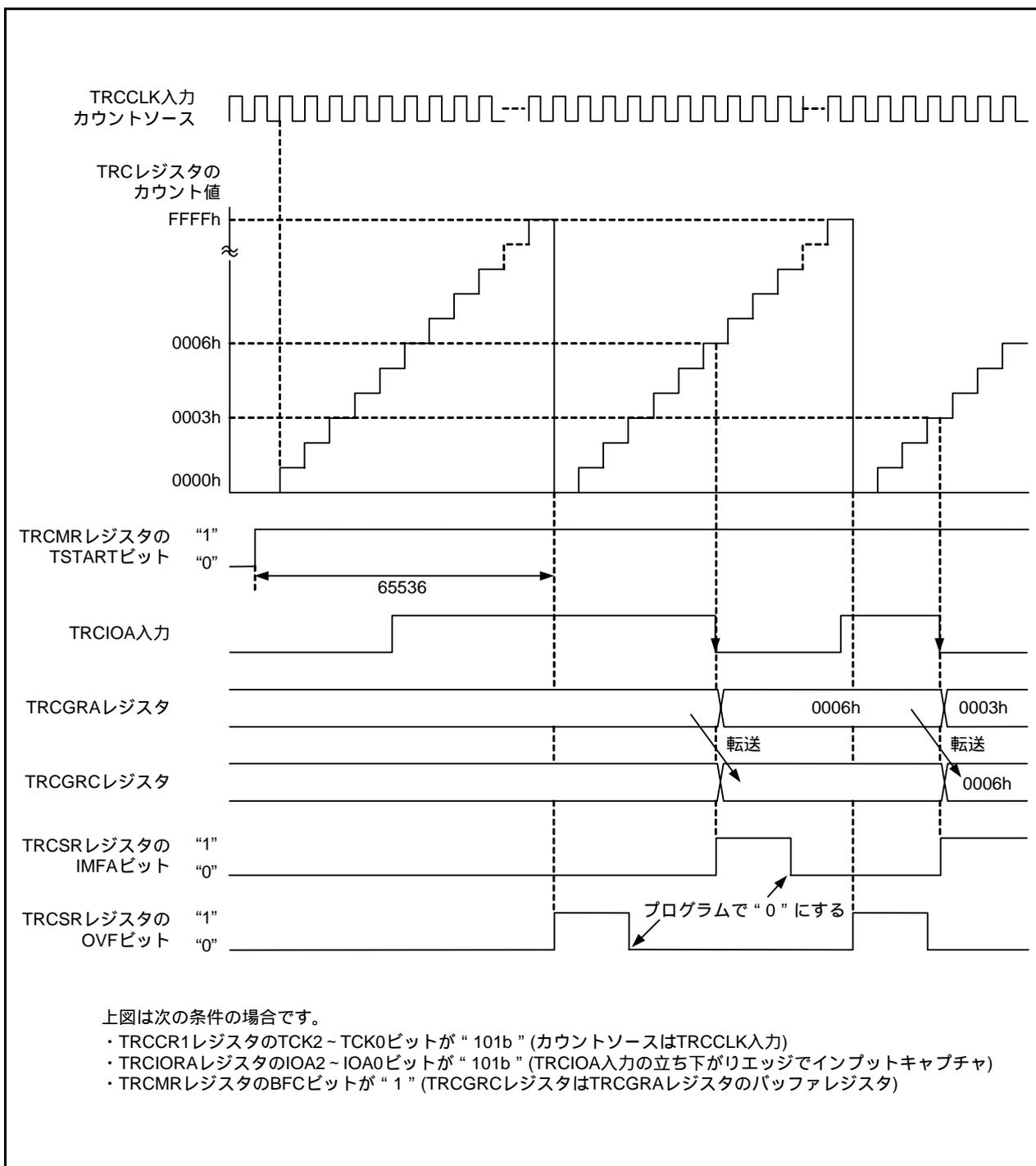


図16.47 インプットキャプチャ機能の動作例

16.3.5 タイマモード(アウトプットコンペア機能)

TRCレジスタ(カウンタ)の内容と、TRCGR_j(j = A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したときTRCIO_j端子から任意のレベルを出力します。端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

表16.18にアウトプットコンペア機能の仕様を、図16.48にアウトプットコンペア機能のブロック図を、図16.49～図16.51にアウトプットコンペア機能関連レジスタを、表16.19にアウトプットコンペア機能時のTRCGR_jレジスタの機能を、図16.52にアウトプットコンペア機能の動作例を示します。

表16.18 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> TRCCR1レジスタのCCLRビットが“0”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数 TRCCR1レジスタのCCLRビットが“1”(TRCGRAのコンペア一致でTRCレジスタを“0000h”にする)の場合 $1/fk \times (n+1)$ n: TRCGRAレジスタ設定値
波形出力タイミング	コンペア一致
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア一致(TRCレジスタとTRCGR_jレジスタの内容が一致) TRCレジスタオーバフロー
TRCIOA、TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> アウトプットコンペア出力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本 コンペア一致時の出力レベル選択 “L”出力、“H”出力、またはトグル出力 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 TRCレジスタを“0000h”にするタイミング オーバフロー、またはTRCGRAレジスタのコンペア一致 バッファ動作(「16.3.3.2 バッファ動作」参照) パルス出力強制遮断信号入力(「16.3.3.4 パルス出力強制遮断」参照) タイマRCは出力しないことで内部タイマとして使用できる

j = A、B、C、Dのいずれか

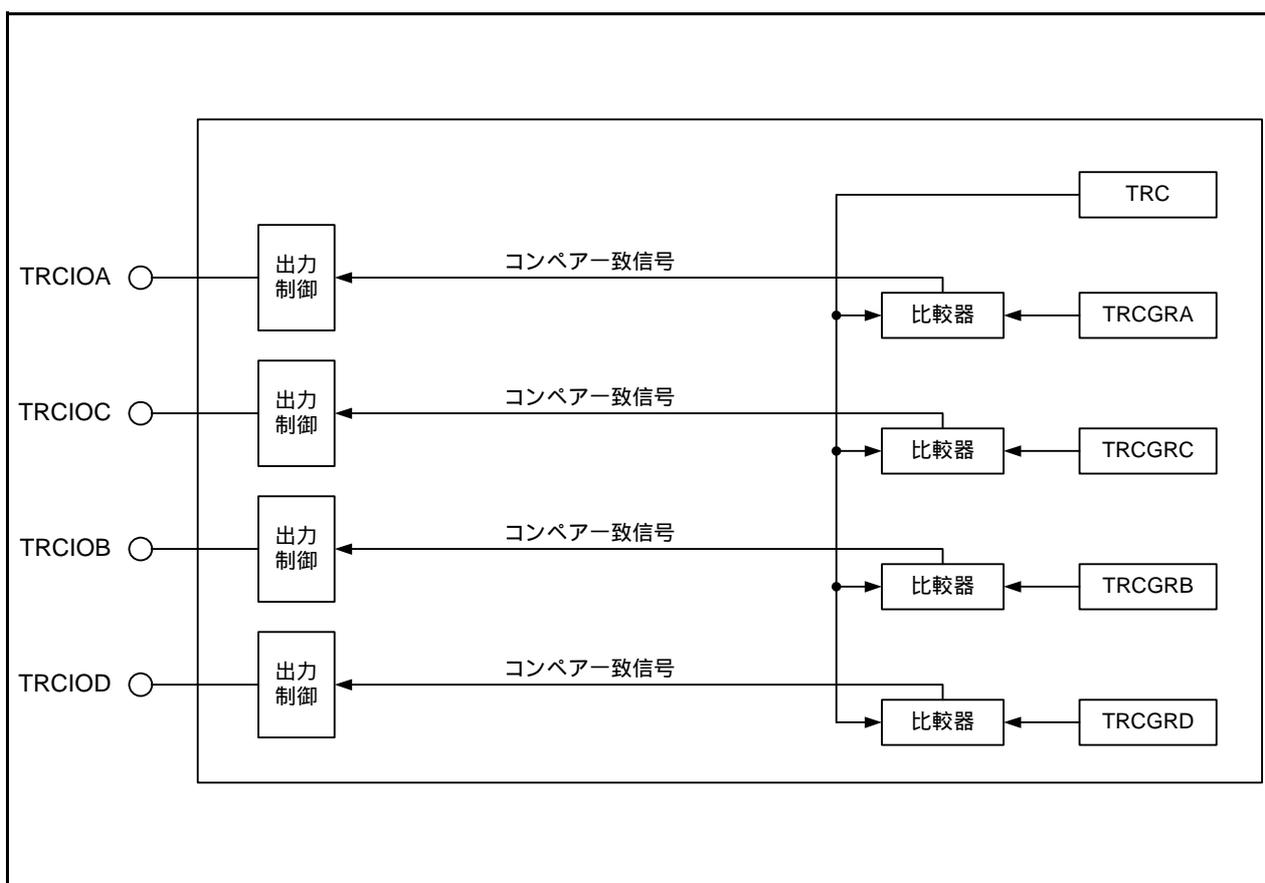


図16.48 アウトプットコンペア機能のブロック図

タイマRC I/O制御レジスタ0

シンボル TRCIOR0	アドレス 0124h番地	リセット後の値 10001000b	
ビット シンボル	ビット名	機能	RW
IOA0	TRCGRA制御ビット	b1 b0 0 0 : コンペアー一致による端子出力禁止 (TRCIOA端子はプログラマブル 入出力ポート)	RW
IOA1		0 1 : TRCGRAのコンペアー致で“L”出力 1 0 : TRCGRAのコンペアー致で“H”出力 1 1 : TRCGRAのコンペアー致でトグル出力	RW
IOA2	TRCGRAモード選択ビット (注1)	アウトプットコンペアー機能では“0”(アウト プットコンペアー)にしてください	RW
IOA3	TRCGRAインプットキャプ チャ入力切替ビット	“1”にしてください	RW
IOB0	TRCGRB制御ビット	b5 b4 0 0 : コンペアー一致による端子出力禁止 (TRCIOB端子はプログラマブル 入出力ポート)	RW
IOB1		0 1 : TRCGRBのコンペアー致で“L”出力 1 0 : TRCGRBのコンペアー致で“H”出力 1 1 : TRCGRBのコンペアー致でトグル出力	RW
IOB2	TRCGRBモード選択ビット (注2)	アウトプットコンペアー機能では“0”(アウト プットコンペアー)にしてください	RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

図 16.49 アウトプットコンペアー機能時のTRCIOR0レジスタ

タイマRC I/O制御レジスタ1

シンボル	アドレス	リセット後の値	
TRCIOR1	0125h番地	10001000b	
ビットシンボル	ビット名	機能	RW
IOC0	TRCGRC制御ビット	b1 b0 0 0 : コンペアー致による端子出力禁止 0 1 : TRCGRCのコンペアー致で“L”出力 1 0 : TRCGRCのコンペアー致で“H”出力 1 1 : TRCGRCのコンペアー致でトグル出力	RW
IOC1			RW
IOC2			RW
- (b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
IOD0	TRCGRD制御ビット	b5 b4 0 0 : コンペアー致による端子出力禁止 0 1 : TRCGRDのコンペアー致で“L”出力 1 0 : TRCGRDのコンペアー致で“H”出力 1 1 : TRCGRDのコンペアー致でトグル出力	RW
IOD1			RW
IOD2			RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1 . TRCMRレジスタのBFCビットを“1” (TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2 . TRCMRレジスタのBFDビットを“1” (TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

図 16.50 アウトプットコンペアー機能時のTRCIOR1レジスタ

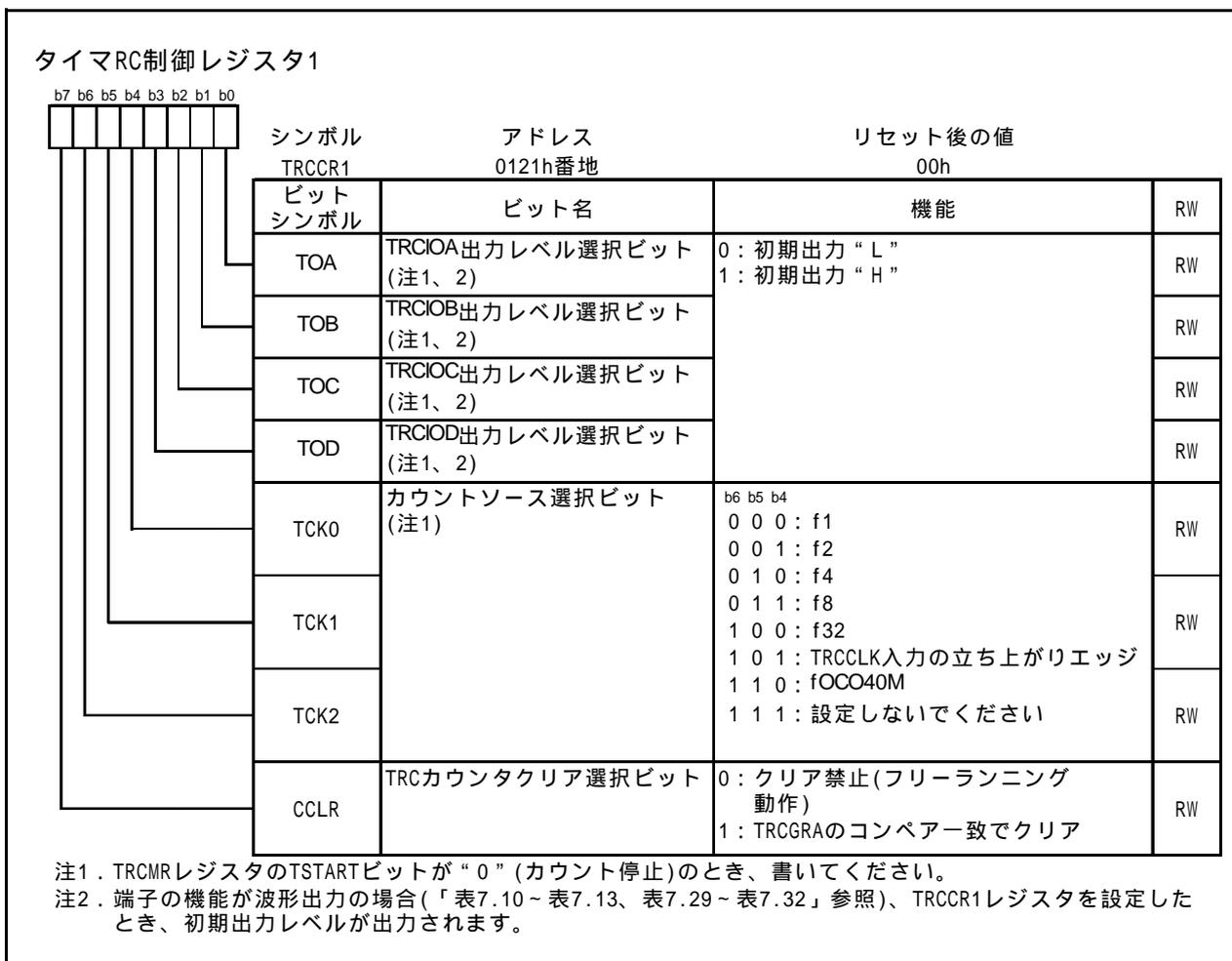


図16.51 アウトプットコンペア機能時のTRCCR1レジスタ

表16.19 アウトプットコンペア機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	アウトプットコンペア出力端子
TRCGRA	-	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次回のコンペア値を書いてください。(「16.3.3.2 バッファ動作」参照)	TRCIOA
TRCGRD	BFD=1		TRCIOB

j = A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

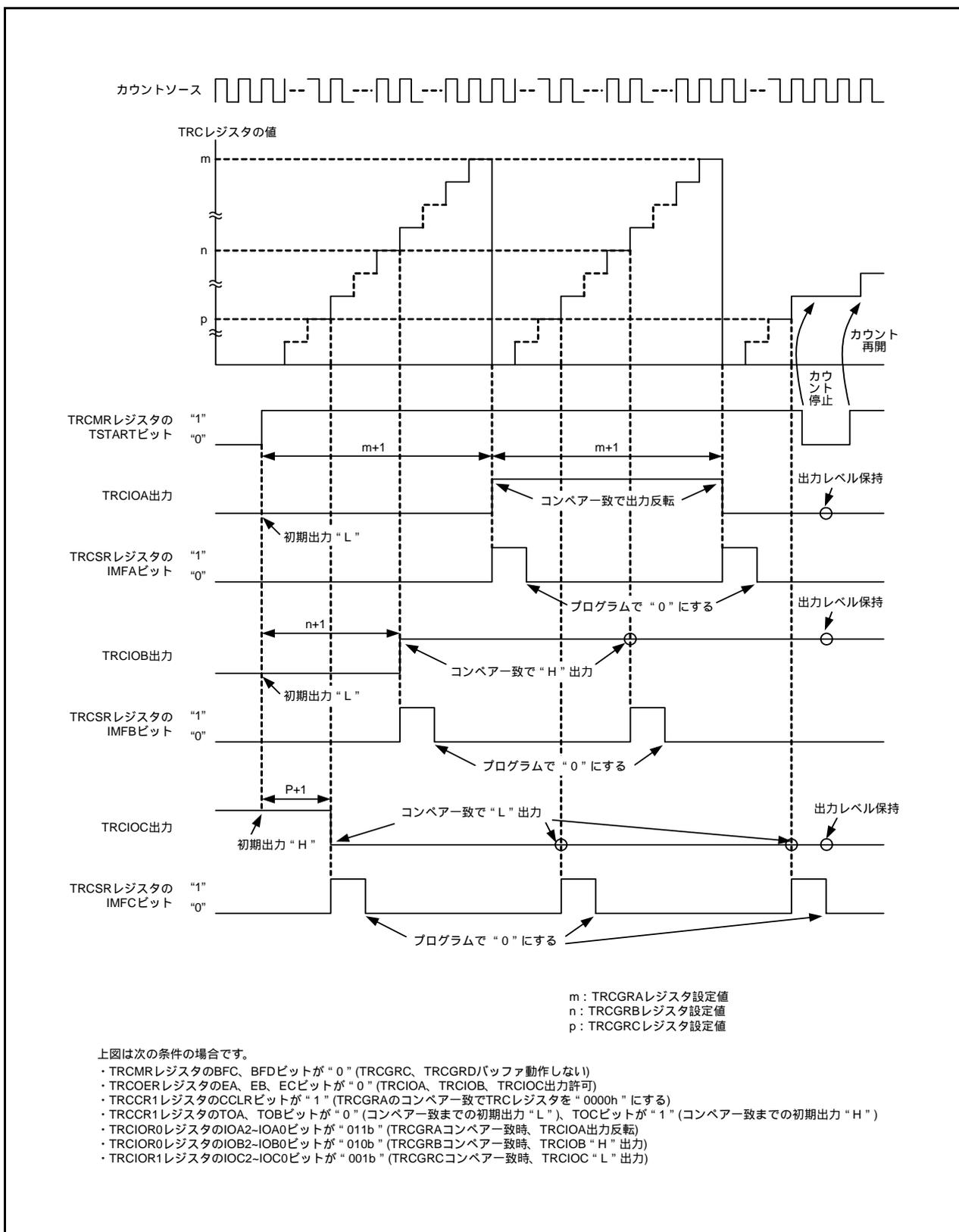


図16.52 アウトプットコンペアー機能の動作例

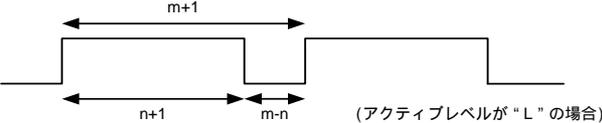
16.3.6 PWMモード

PWM波形を出力するモードです。同周期のPWM波形を最大3本出力できます。

端子1本ごとにPWMモードにするか、タイマモードにするかを選択できます。(ただし、いずれの端子をPWMモードに使用する場合もTRCGRAレジスタを使用しますので、TRCGRAレジスタはタイマモードに使用できません。)

表16.20にPWMモードの仕様を、図16.53にPWMモードのブロック図を、図16.54にPWMモード関連レジスタを、表16.21にPWMモード時のTRCGRjレジスタの機能を、図16.55～図16.56にPWMモードの動作例を示します。

表16.20 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
PWM波形	PWM周期: $1/fk \times (m+1)$ アクティブレベル幅: $1/fk \times (m-n)$ アクティブでないレベルの幅: $1/fk \times (n+1)$ fk: カウントソースの周波数 m: TRCGRAレジスタ設定値 n: TRCGRjレジスタ設定値  (アクティブレベルが“L”の場合)
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペアー一致(TRCレジスタとTRCGRhレジスタの内容が一致) TRCレジスタオーバフロー
TRCIOA端子機能	プログラマブル入出力ポート
TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> PWM出力端子を1チャンネルにつき1~3本選択 TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本 アクティブレベルを1端子ごとに選択 バッファ動作(「16.3.3.2 バッファ動作」参照) パルス出力強制遮断信号入力(「16.3.3.4 パルス出力強制遮断」参照)

j = B、C、Dのいずれか

h = A、B、C、Dのいずれか

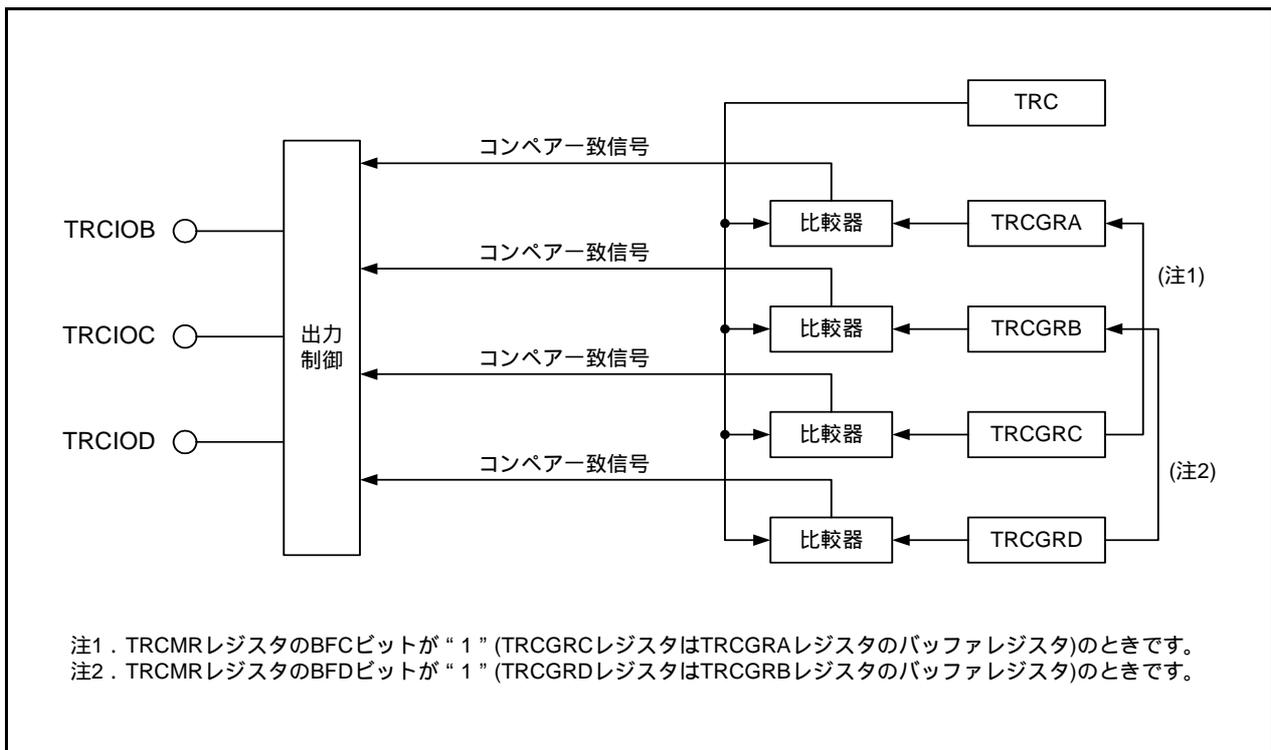


図 16.53 PWMモードのブロック図

タイマRC制御レジスタ1

シンボル TRCCR1	アドレス 0121h番地	リセット後の値 00h	RW
ビット シンボル	ビット名	機能	RW
TOA	TRCIOA出力レベル選択ビット (注1)	PWMモードでは無効	RW
TOB	TRCIOB出力レベル選択ビット (注1、2)	0: アクティブレベル“H” (初期出力“L” TRCGRjのコンペアー致で“H”出力 TRCGRAのコンペアー致で“L”出力)	RW
TOC	TRCIOC出力レベル選択ビット (注1、2)	1: アクティブレベル“L” (初期出力“H” TRCGRjのコンペアー致で“L”出力 TRCGRAのコンペアー致で“H”出力)	RW
TOD	TRCIOD出力レベル選択ビット (注1、2)		RW
TCK0	カウントソース選択ビット (注1)	b6 b5 b4 0 0 0: f1	RW
TCK1		0 0 1: f2	RW
TCK2		0 1 0: f4 0 1 1: f8 1 0 0: f32 1 0 1: TRCCLK入力の立ち上がりエッジ 1 1 0: fOCO40M 1 1 1: 設定しないでください	RW
CCLR	TRCカウンタクリア選択ビット	0: クリア禁止(フリーランニング動作) 1: TRCGRAのコンペアー致でクリア	RW

j = B、C、Dのいずれか
 注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。
 注2. 端子の機能が波形出力の場合(「表7.12~表7.13、表7.29~表7.32」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

図16.54 PWMモード時のTRCCR1レジスタ

表16.21 PWMモード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRCGRA	-	ジェネラルレジスタ。PWM周期を設定してください。	-
TRCGRB	-	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次回のPWM周期を設定してください(「16.3.3.2 バッファ動作」参照)。	-
TRCGRD	BFD=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「16.3.3.2 バッファ動作」参照)。	TRCIOB

j = A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

注1. TRCGRAレジスタの値(PWM周期)とTRCGRB、TRCGRC、TRCGRDレジスタの値が同じ場合、コンペアー一致しても端子の出力レベルは変化しません。

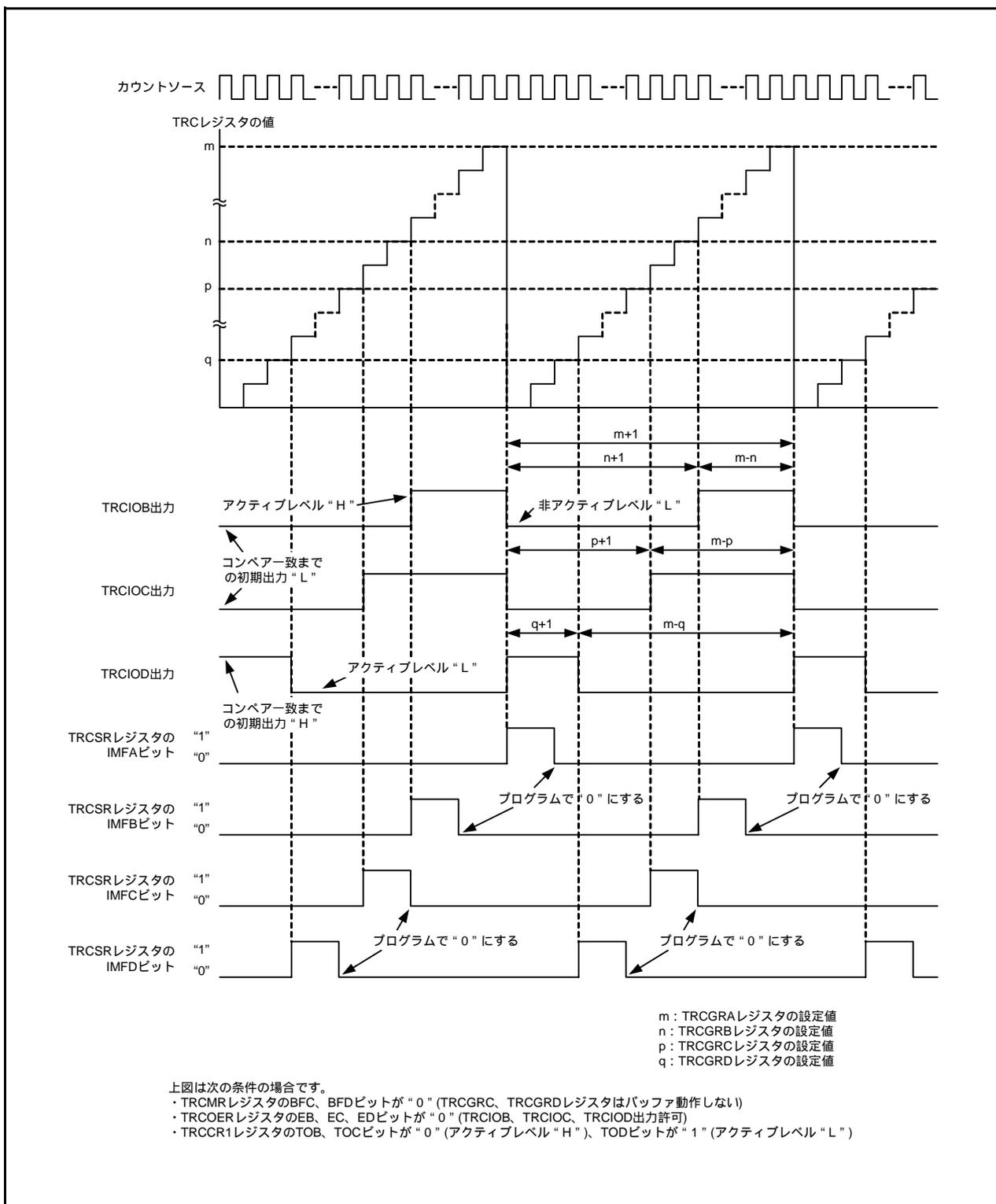


図 16.55 PWMモードの動作例

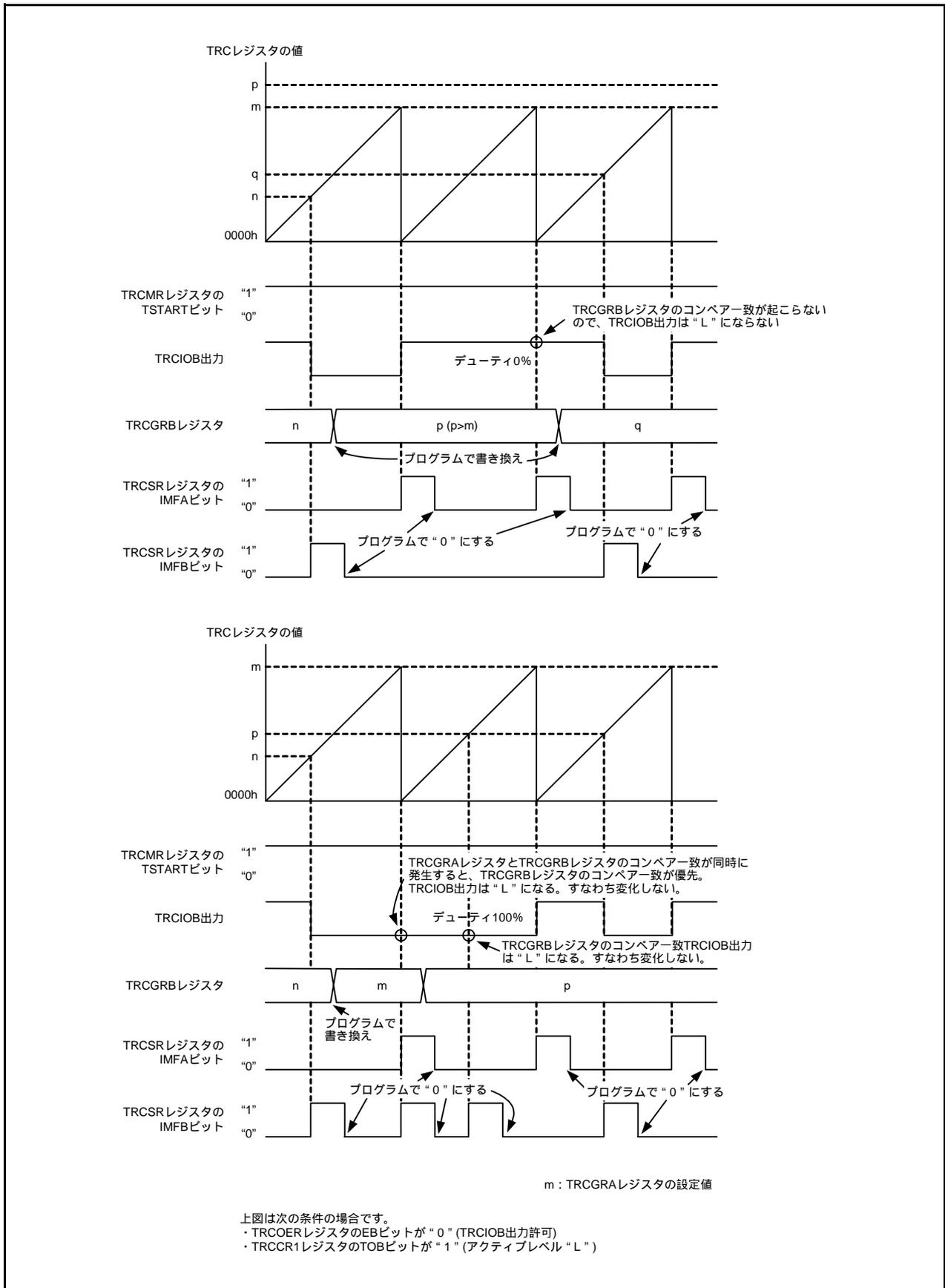


図16.56 PWMモードの動作例(デューティ0%、デューティ100%)

16.3.7 PWM2モード

PWM 波形を 1 本出力します。トリガから任意のウェイト時間において、端子の出力がアクティブレベルになり、任意の時間後、非アクティブレベルに戻ります。また、非アクティブレベルに戻ると同時にカウンタを停止できるので、プログラマブルウェイトワンショット波形も出力できます。

PWM2モードでは、タイマRCの複数のジェネラルレジスタを組み合わせる使用しますので、他のモードと組み合わせる使用できません。

図 16.57 に PWM2モードのブロック図を、表 16.22 に PWM2モードの仕様を、図 16.58 に PWM2モード関連レジスタを、表 16.23 に PWM2モード時の TRCGRj レジスタの機能を、図 16.59 ~ 図 16.61 に PWM2モードの動作例を示します。

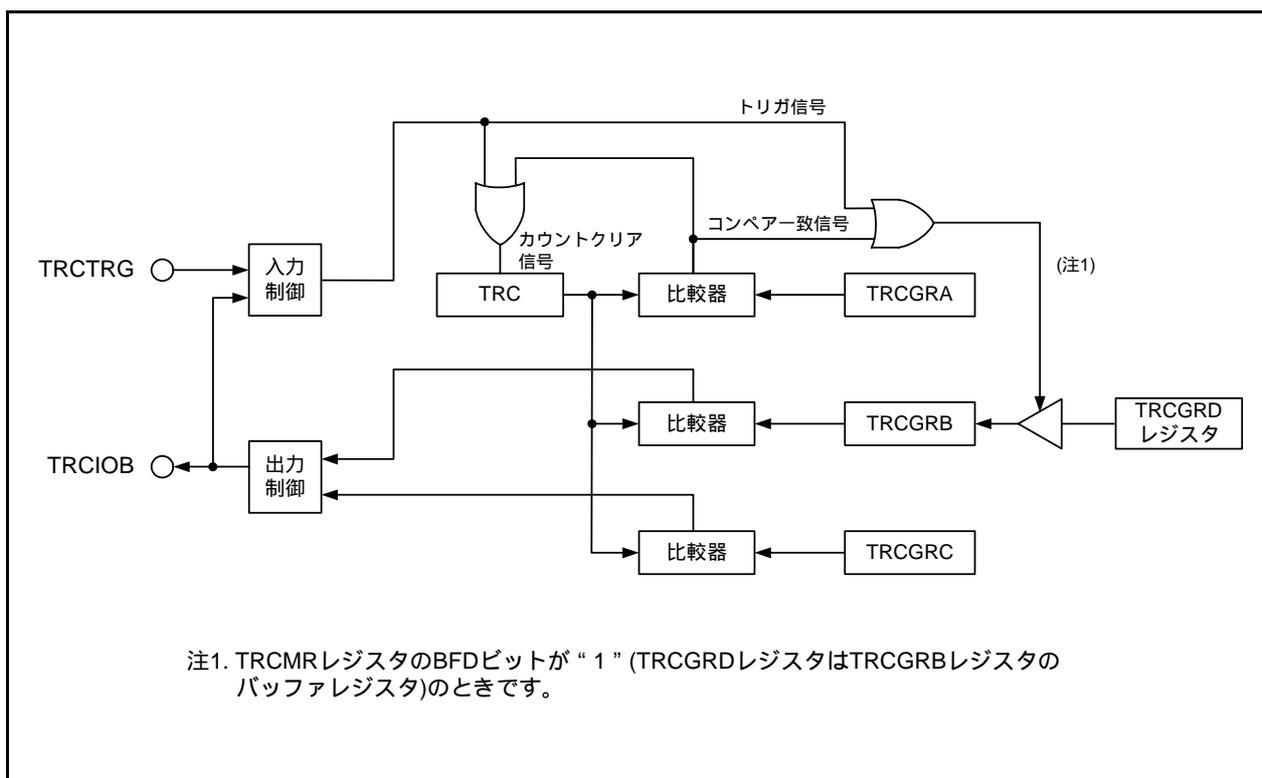
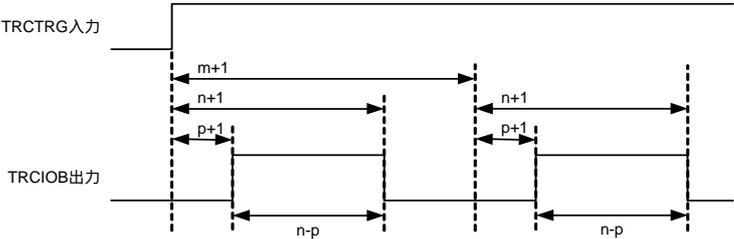


図 16.57 PWM2モードのブロック図

表 16.22 PWM2モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	TRCレジスタはアップカウント
PWM波形	<p>PWM周期: $1/fk \times (m+1)$ (TRCTRГ入力がない場合) アクティブレベル幅: $1/fk \times (n-p)$ カウント開始またはトリガからのウエイト時間: $1/fk \times (p+1)$ fk: カウントソースの周波数 m: TRCGRAレジスタ設定値 n: TRCGRBレジスタ設定値 p: TRCGRCレジスタ設定値</p>  <p>(TRCTRГ: 立ち上がりエッジ、アクティブレベルが“H”の場合)</p>
カウント開始条件	<ul style="list-style-type: none"> TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“00b”(TRCTRГトリガ入力禁止)またはTRCCR2レジスタのCSELビットが“0”(カウント継続)の場合 TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRГトリガ入力許可)かつTRCMRレジスタのTSTARTビットが“1”(カウント開始)の場合 TRCTRГ端子にトリガ入力
カウント停止条件	<ul style="list-style-type: none"> TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み (TRCCR2レジスタのCSELビットが“0”の場合も、“1”の場合も含む) TRCIOB端子はTRCCR1レジスタのTOBビットの内容に従い、初期レベルを出力。TRCレジスタは停止前の値を保持。 TRCCR2レジスタのCSELビットが“1”の場合、TRCGRAコンペアー一致でカウント停止 TRCIOB端子は初期レベルを出力。TRCCR1レジスタのCCLRビットが“0”のとき、TRCレジスタは停止前の値を保持。TRCCR1レジスタのCCLRビットが“1”のとき、TRCレジスタは“0000h”。
割り込み発生タイミング	<ul style="list-style-type: none"> コンペアー一致 (TRCレジスタとTRCGRjレジスタの内容が一致) TRCレジスタオーバフロー
TRCIOA/TRCTRГ端子機能	プログラマブル入出力ポート、またはTRCTRГ入力
TRCIOB端子機能	PWM出力
TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> 外部トリガと有効エッジ選択 TRCTRГ端子入力のエッジをPWM出力のトリガにできる。 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方。 バッファ動作(「16.3.3.2 バッファ動作」参照) パルス出力強制遮断信号入力(「16.3.3.4 パルス出力強制遮断」参照) デジタルフィルタ(「16.3.3.3 デジタルフィルタ」参照)

j = A、B、Cのいずれか

タイマRC制御レジスタ1

シンボル TRCCR1	アドレス 0121h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TOA	TRCIOA出力レベル選択ビット(注1)	PWM2モードでは無効	RW
TOB	TRCIOB出力レベル選択ビット(注1、2)	0: アクティブレベル“H” (初期出力“L” TRCGRCのコンペア一致で“H”出力 TRCGRBのコンペア一致で“L”出力) 1: アクティブレベル“L” (初期出力“H” TRCGRCのコンペア一致で“L”出力 TRCGRBのコンペア一致で“H”出力)	RW
TOC	TRCIOC出力レベル選択ビット(注1)	PWM2モードでは無効	RW
TOD	TRCIOD出力レベル選択ビット(注1)		RW
TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0: f1 0 0 1: f2 0 1 0: f4 0 1 1: f8 1 0 0: f32 1 0 1: TRCCLK入力の立ち上がりエッジ 1 1 0: fOCO40M 1 1 1: 設定しないでください	RW
TCK1			RW
TCK2			RW
CCLR	TRCカウンタクリア選択ビット	0: クリア禁止(フリーランニング動作) 1: TRCGRAのコンペア一致でクリア	RW

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。
注2. 端子の機能が波形出力の場合(「表7.12、表7.13」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

図16.58 PWM2モード時のTRCCR1レジスタ

表16.23 PWM2モード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM2出力端子
TRCGRA	-	ジェネラルレジスタ。PWM周期を設定してください。	TRCIOB端子
TRCGRB	-	ジェネラルレジスタ。PWM出力の変化点を設定してください。	
TRCGRC	BFC=0	ジェネラルレジスタ。PWM出力の変化点(トリガからのウェイト時間)を設定してください。	
TRCGRD	BFD=0	(PWM2モードでは使用しません)	-
TRCGRD	BFD=1	バッファレジスタ。次回のPWM出力の変化点を設定してください。(「16.3.3.2 バッファ動作」参照)	TRCIOB端子

j = A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

注1. TRCGRBレジスタとTRCGRCレジスタに同じ値を設定しないでください。

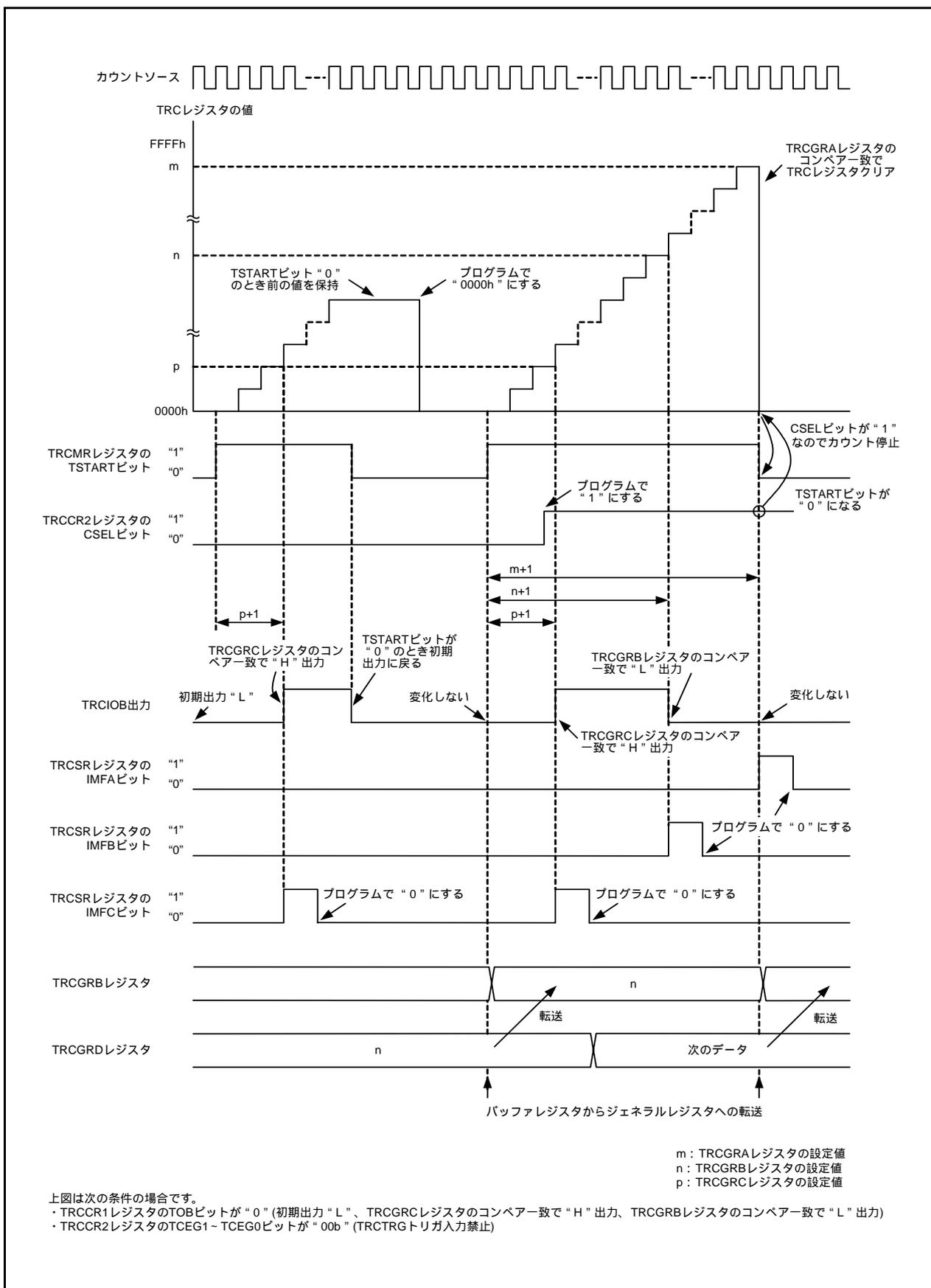


図 16.59 PWM2モードの動作例 (TRCTRGTリガ入力禁止の場合)

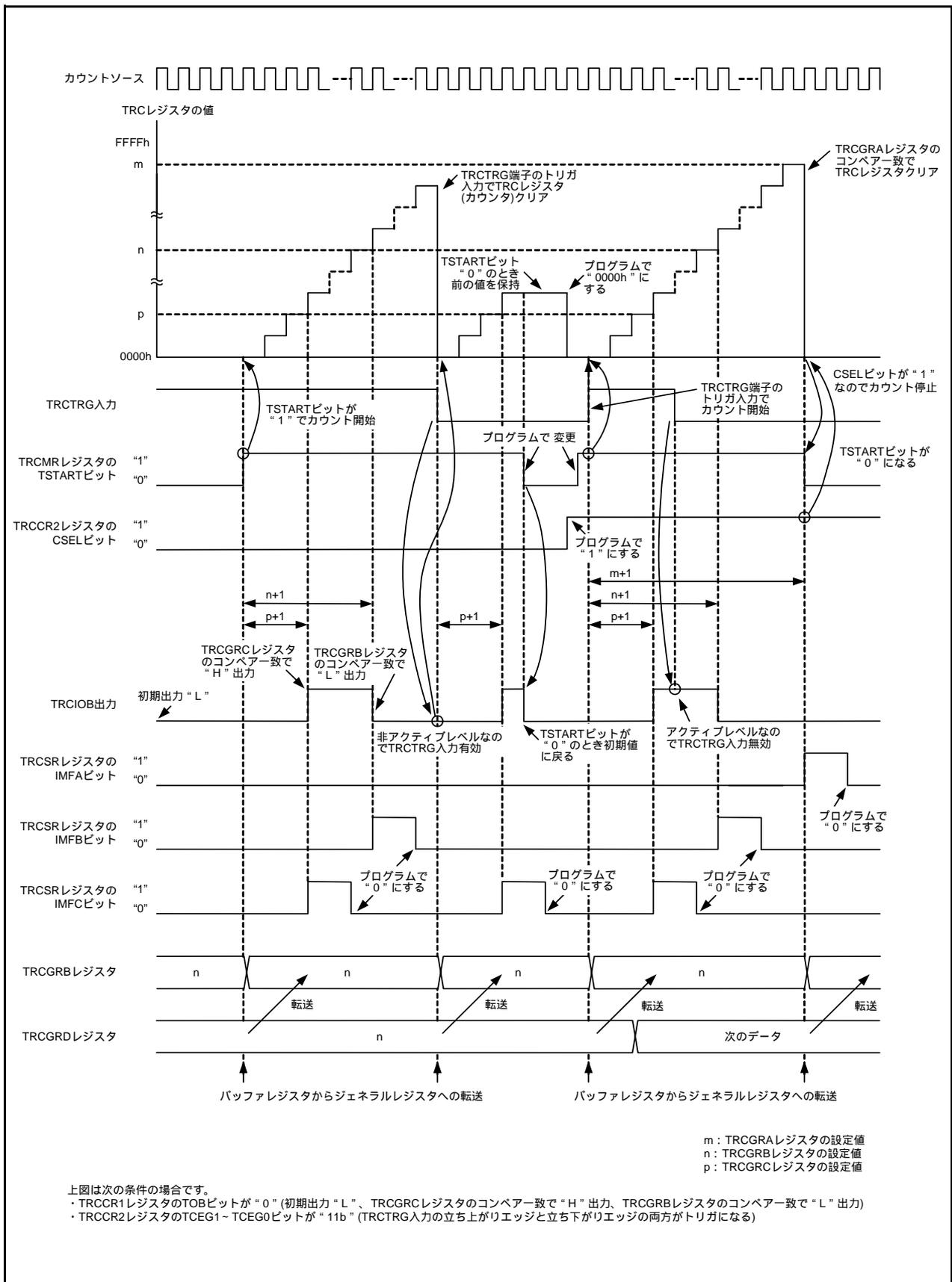


図 16.60 PWM2モードの動作例 (TRCTRトリガ入力許可の場合)

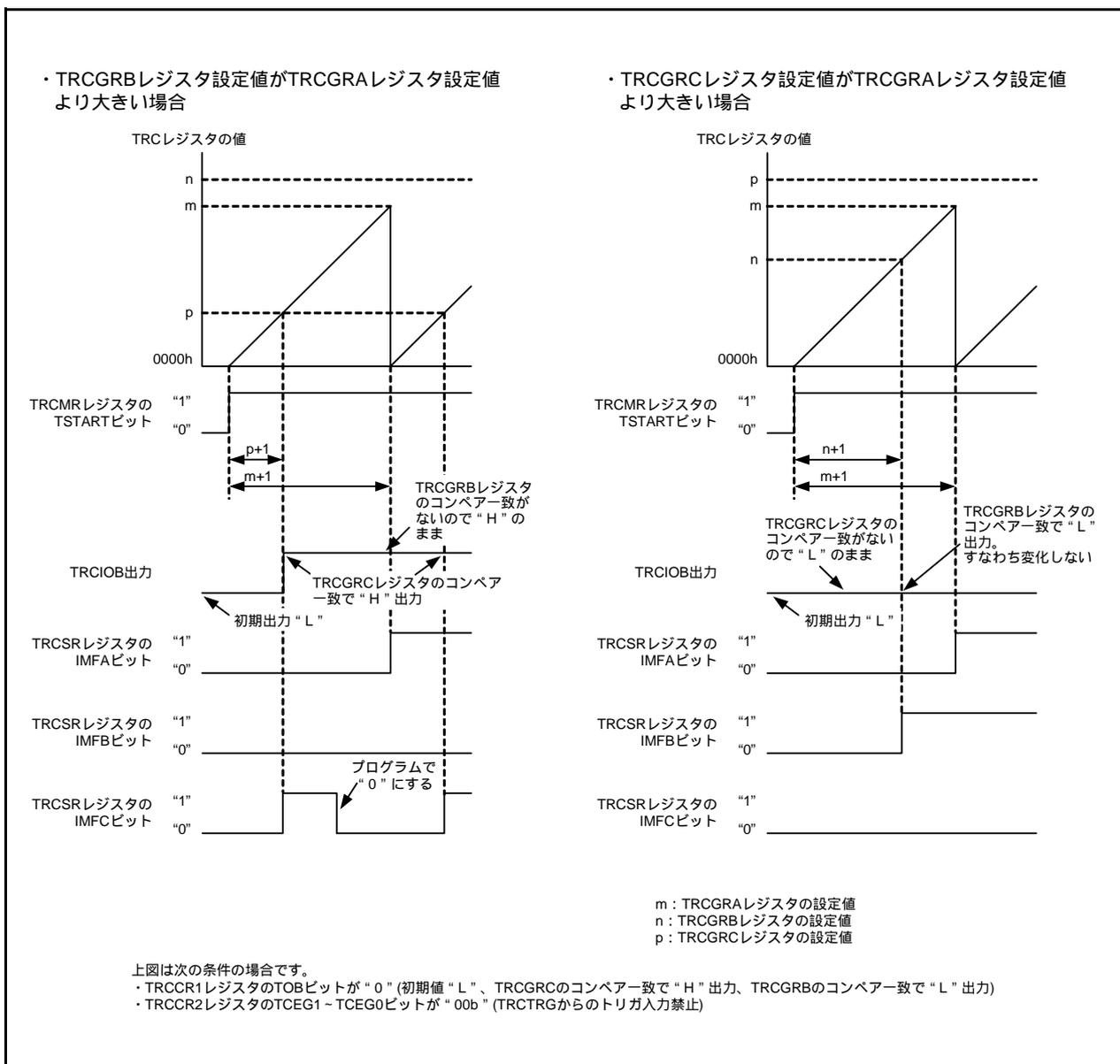


図 16.61 PWM2モードの動作例 (デューティ 0%、デューティ 100%)

16.3.8 タイマRC割り込み

タイマRCは、5つの要因からタイマRC割り込み要求を発生します。タイマRC割り込みは1つのTRCICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表16.24にタイマRC割り込み関連レジスタを、図16.62にタイマRC割り込みのブロック図を示します。

表16.24 タイマRC割り込み関連レジスタ

タイマRC ステータスレジスタ	タイマRC 割り込み許可レジスタ	タイマRC 割り込み制御レジスタ
TRCSR	TRCIER	TRCIC

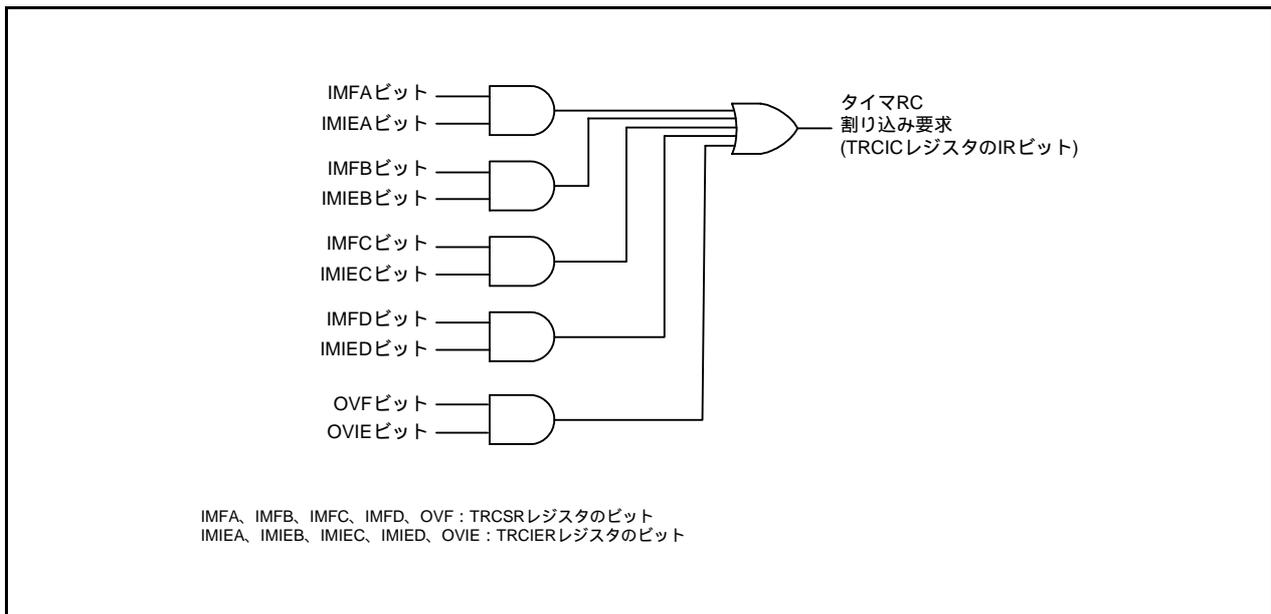


図16.62 タイマRC割り込みのブロック図

タイマRC割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRC割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRCSRレジスタのビットが“1”で、それに対応するTRCIERレジスタのビットが“1”(割り込み許可)の場合、TRCICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRCSRレジスタのビットと、それに対応するTRCIERレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRCIERレジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRCSRレジスタで判定してください。
- TRCSRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「図16.32 TRCSRレジスタ」を参照してください。

TRCIERレジスタは「図16.31 TRCIERレジスタ」を参照してください。

TRCICレジスタは「12.1.6 割り込み制御」、割り込みベクタは「12.1.5.2 可変ベクタテーブル」を参照してください。

16.3.9 タイマRC使用上の注意事項

16.3.9.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペアー致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。
TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。
TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。
- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。
プログラム例 MOV.W #XXXXh, TRC ; 書き込み
 JMP.B L1 ; JMP.B命令
L1: MOV.W TRC, DATA ; 読み出し

16.3.9.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例           MOV.B #XXh, TRCSR                   ; 書き込み
                          JMP.B L1                               ; JMP.B命令
L1:           MOV.B TRCSR, DATA               ; 読み出し
```

16.3.9.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
変更手順
(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2) TRCCR1レジスタのTCK2 ~ TCK0ビットを変更する
- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待つからfOCO40Mを停止させてください。
変更手順
(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2) TRCCR1レジスタのTCK2 ~ TCK0ビットを変更する
(3) f1の2サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

16.3.9.4 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅はタイマRCの動作クロック(「表16.11 タイマRCの動作クロック」参照)の3サイクル以上にしてください。
- TRCIOj(j = A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRCの動作クロックの1 ~ 2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

16.3.9.5 PWM2モード時のTRCMRレジスタ

- TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

16.4 タイマRD

タイマRDは、16ビットタイマを2チャンネル(チャンネル0、チャンネル1)持ちます。各チャンネルは4本の出力端子を持ちます。

タイマRDの動作クロックは、f1またはfOCO40Mです。表 16.25にタイマRDの動作クロックを示します。

表 16.25 タイマRDの動作クロック

条件	タイマRDの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRDCLK入力 (TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットが“000b”～“101b”)	f1
カウントソースがfOCO40M (TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットが“110b”)	fOCO40M

図 16.63にタイマRDのブロック図を示します。タイマRDは5種類のモードを持ちます。

- タイマモード

- インพุットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
- アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能
(検出時に端子出力変更可能)

次の4つのモードは、アウトプットコンペア機能を用います。

- PWMモード 任意の幅のパルスを連続して出力するモード
- リセット同期PWMモード 鋸波変調、短絡防止時間なしの三相波形(6本)を出力するモード
- 相補PWMモード 三角波変調、短絡防止時間ありの三相波形(6本)を出力するモード
- PWM3モード 同一周期のPWM波形(2本)を出力するモード

インพุットキャプチャ機能、アウトプットコンペア機能、PWMモードは、チャンネル0とチャンネル1で同等の機能を持ち、1端子ごとに機能とモードを選択できます。また、1つのチャンネルの中でこれらの機能とモードを組み合わせさせて使えます。

リセット同期PWMモード、相補PWMモード、PWM3モードは、チャンネル0とチャンネル1のカウンタやレジスタを組み合わせさせて波形を出力します。端子の機能はモードによって決まります。

表 16.26～表 16.34にタイマRDの端子機能を示します。

表 16.26 TRDIOA0/TRDCLK(P2_0) 端子の機能

レジスタ	TRDOER1	TRDFCR			TRDIORA0		機 能
ビット	EA0	PWM3	STCLK	CMD1, CMD0	IOA3	IOA2 ~ IOA0	
設定値	0	0	0	00b	X	XXXb	PWM3モード波形出力
	0	1	0	00b	1	001b, 01Xb	タイマモード波形出力(アウトプットコンペア機能)
	X	1	0	00b	X	1XXb	タイマモードトリガ入力(インプットキャプチャ機能)(注1)
		1	1	XXb	X	000b	外部クロック入力(TRDCLK)(注1)
上記以外							入出力ポート

X:“0”でも“1”でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)、外部クロック入力(TRDCLK)時はPD2レジスタのPD2_0ビットを“0”(入力モード)にしてください。

表 16.27 TRDIOB0(P2_1) 端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIORA0	機 能
ビット	EB0	PWM3	CMD1, CMD0	PWMB0	IOB2 ~ IOB0	
設定値	0	X	1Xb	X	XXXb	相補PWMモード波形出力
	0	X	01b	X	XXXb	リセット同期PWMモード波形出力
	0	0	00b	X	XXXb	PWM3モード波形出力
	0	1	00b	1	XXXb	PWMモード波形出力
	0	1	00b	0	001b, 01Xb	タイマモード波形出力(アウトプットコンペア機能)
	X	1	00b	0	1XXb	タイマモードトリガ入力(インプットキャプチャ機能)(注1)
上記以外						入出力ポート

X:“0”でも“1”でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_1ビットを“0”(入力モード)にしてください。

表 16.28 TRDIOC0(P2_2) 端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIORC0	機 能
ビット	EC0	PWM3	CMD1, CMD0	PWMC0	IOC2 ~ IOC0	
設定値	0	X	1Xb	X	XXXb	相補PWMモード波形出力
	0	X	01b	X	XXXb	リセット同期PWMモード波形出力
	0	1	00b	1	XXXb	PWMモード波形出力
	0	1	00b	0	001b, 01Xb	タイマモード波形出力(アウトプットコンペア機能)
	X	1	00b	0	1XXb	タイマモードトリガ入力(インプットキャプチャ機能)(注1)
上記以外						入出力ポート

X:“0”でも“1”でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_2ビットを“0”(入力モード)にしてください。

表 16.29 TRDIOD0(P2_3) 端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIORC0	機 能
ビット	ED0	PWM3	CMD1, CMD0	PWMD0	IOD2 ~ IOD0	
設定値	0	X	1Xb	X	XXXb	相補PWMモード波形出力
	0	X	01b	X	XXXb	リセット同期PWMモード波形出力
	0	1	00b	1	XXXb	PWMモード波形出力
	0	1	00b	0	001b, 01Xb	タイマモード波形出力(アウトプットコンペア機能)
	X	1	00b	0	1XXb	タイマモードトリガ入力(インプットキャプチャ機能)(注1)
上記以外						入出力ポート

X:“0”でも“1”でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_3ビットを“0”(入力モード)にしてください。

表 16.30 TRDIOA1(P2_4) 端子の機能

レジスタ	TRDOER1	TRDFCR		TRDIOA1	機 能
ビット	EA1	PWM3	CMD1, CMD0	IOA2 ~ IOA0	
設定値	0	X	1Xb	XXXb	相補PWMモード波形出力
	0	X	01b	XXXb	リセット同期PWMモード波形出力
	0	1	00b	001b, 01Xb	タイマモード波形出力(アウトプットコンペア機能)
	X	1	00b	1XXb	タイマモードトリガ入力(インプットキャプチャ機能)(注1)
上記以外					入出力ポート

X:“0”でも“1”でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_4ビットを“0”(入力モード)にしてください。

表 16.31 TRDIOB1(P2_5) 端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIOA1	機 能
ビット	EB1	PWM3	CMD1, CMD0	PWMB1	IOB2 ~ IOB0	
設定値	0	X	1Xb	X	XXXb	相補PWMモード波形出力
	0	X	01b	X	XXXb	リセット同期PWMモード波形出力
	0	1	00b	1	XXXb	PWMモード波形出力
	0	1	00b	0	001b, 01Xb	タイマモード波形出力(アウトプットコンペア機能)
	X	1	00b	0	1XXb	タイマモードトリガ入力(インプットキャプチャ機能)(注1)
上記以外						入出力ポート

X:“0”でも“1”でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_5ビットを“0”(入力モード)にしてください。

表 16.32 TRDIOC1(P2_6) 端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIORC1	機 能
ビット	EC1	PWM3	CMD1, CMD0	PWMC1	IOC2 ~ IOC0	
設定値	0	X	1Xb	X	XXXb	相補PWMモード波形出力
	0	X	01b	X	XXXb	リセット同期PWMモード波形出力
	0	1	00b	1	XXXb	PWMモード波形出力
	0	1	00b	0	001b, 01Xb	タイマモード波形出力(アウトプットコンペア機能)
	X	1	00b	0	1XXb	タイマモードトリガ入力(インプットキャプチャ機能)(注1)
	上記以外					入出力ポート

X:“0”でも“1”でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_6ビットを“0”(入力モード)にしてください。

表 16.33 TRDIOD1(P2_7) 端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIORC1	機 能
ビット	ED1	PWM3	CMD1, CMD0	PWMD1	IOD2 ~ IOD0	
設定値	0	X	1Xb	X	XXXb	相補PWMモード波形出力
	0	X	01b	X	XXXb	リセット同期PWMモード波形出力
	0	1	00b	1	XXXb	PWMモード波形出力
	0	1	00b	0	001b, 01Xb	タイマモード波形出力(アウトプットコンペア機能)
	X	1	00b	0	1XXb	タイマモードトリガ入力(インプットキャプチャ機能)(注1)
	上記以外					入出力ポート

X:“0”でも“1”でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_7ビットを“0”(入力モード)にしてください。

表 16.34 INT0(P4_5) 端子の機能

レジスタ	TRDOER2	INTEN		PD4	機 能
ビット	PTO	INT0PL	INT0EN	PD4_5	
設定値	1	0	1	0	パルス出力強制遮断信号入力
	上記以外				入出力ポートまたはINT0割り込み入力

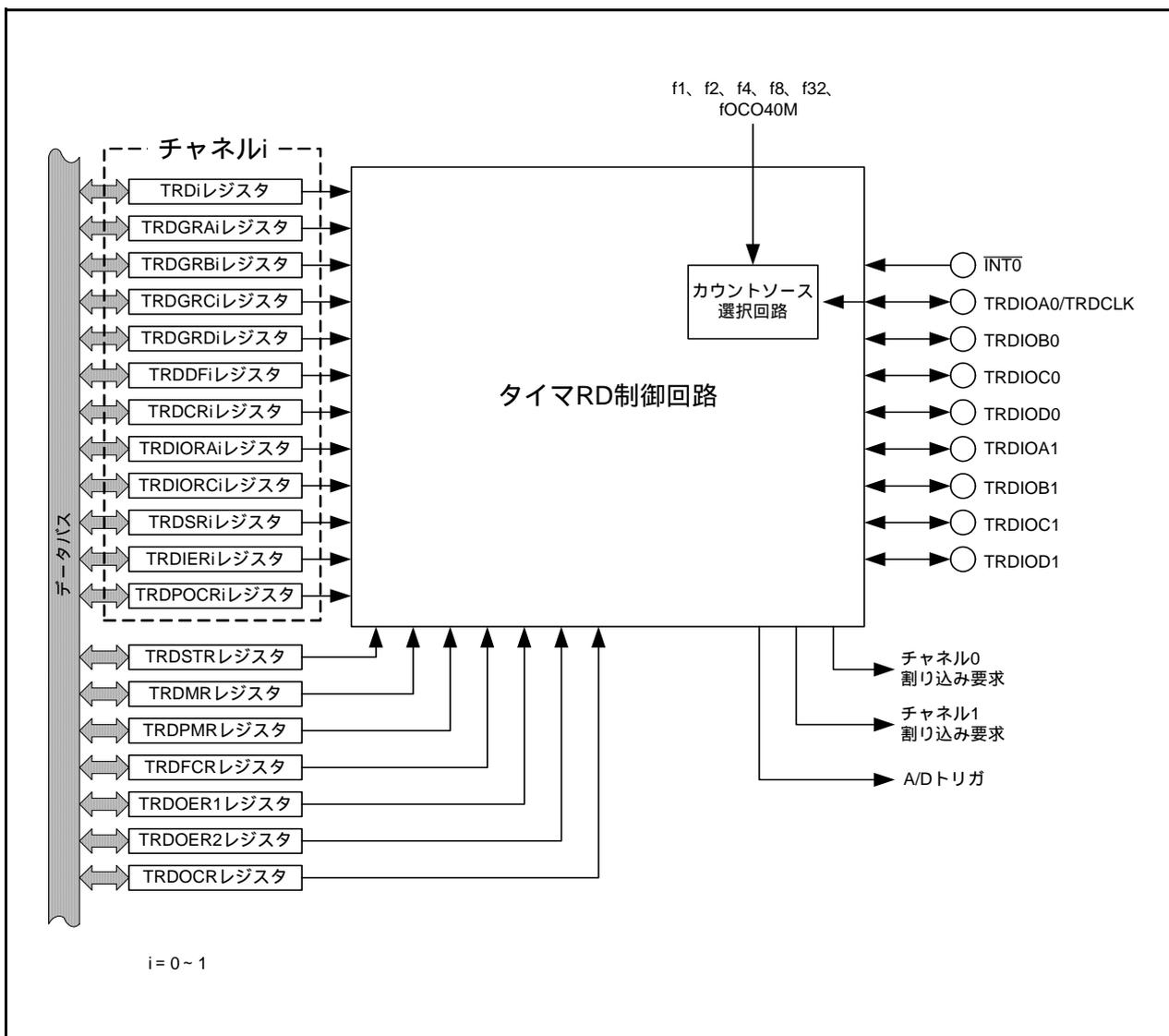


図 16.63 タイマRDのブロック図

16.4.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。ただし、PWM3モードでは外部クロックは選択できません。

表 16.35 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRDCR _i レジスタのTCK2 ~ TCK0ビットでカウントソース選択
fOCO40M(注1)	FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振) TRDCR _i レジスタのTCK2 ~ TCK0ビットが“110b”(fOCO40M)
TRDCLK端子に入力された外部信号	TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効) TRDCR _i レジスタのTCK2 ~ TCK0ビットが“101b”(カウントソースは外部クロック) TRDCR _i レジスタのCKEG1 ~ CKEG0ビットで有効エッジを選択 PD2レジスタのPD2_0ビットが“0”(入力モード)

$i = 0 \sim 1$

注1. カウントソースfOCO40Mは、V_{CC}=3.0 ~ 5.5Vの範囲で使用することができます。

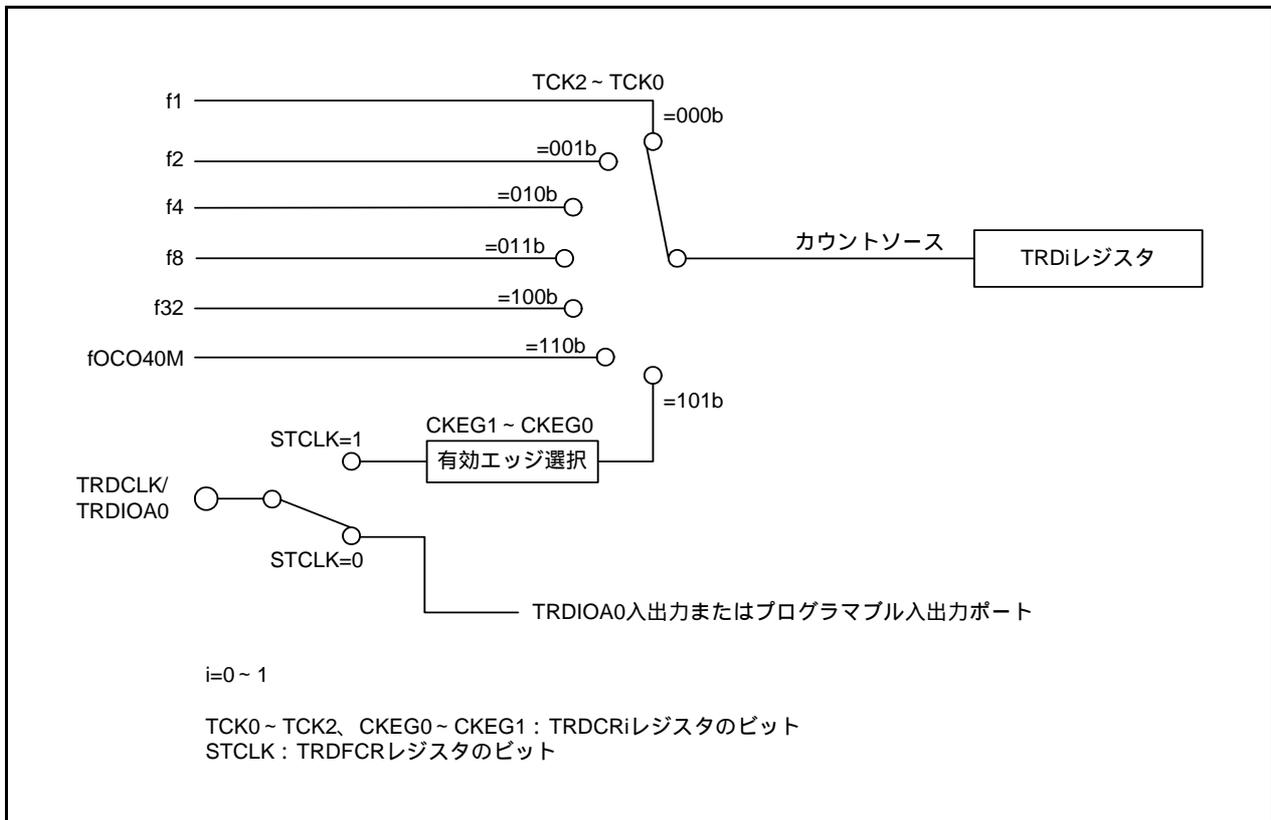


図 16.64 カウントソースのブロック図

TRDCLK端子に入力する外部クロックのパルス幅は、タイマRDの動作クロック(「表 16.25 タイマRDの動作クロック」参照)の3サイクル以上にしてください。

カウントソースにfOCO40Mを選択する場合は、FRA0レジスタのFRA00ビットを“1”(高速オンチップオシレータ発振)にしてから、TRDCR_iレジスタ($i = 0 \sim 1$)のTCK2 ~ TCK0ビットを“110b”(fOCO40M)にしてください。

16.4.2 バッファ動作

TRDMR レジスタのBFCi(i=0 ~ 1) ビット、BFDi ビットで、TRDGRCi、TRDGRDi レジスタをTRDGRAi、TRDGRBi レジスタのバッファレジスタにできます。

- TRDGRAiのバッファレジスタ：TRDGRCi レジスタ
- TRDGRBiのバッファレジスタ：TRDGRDi レジスタ

バッファ動作は、モードによって違います。表 16.36に各モードのバッファ動作を示します。

表 16.36 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRDGRAi(TRDGRBi) レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRDi レジスタとTRDGRAi(TRDGRBi) レジスタのコンペア一致	バッファレジスタの内容をTRDGRAi(TRDGRBi) レジスタに転送
PWMモード		
リセット同期PWMモード	TRD0 レジスタとTRDGRA0 レジスタのコンペア一致	バッファレジスタの内容をTRDGRAi(TRDGRBi) レジスタに転送
相補PWMモード	<ul style="list-style-type: none"> •TRD0 レジスタとTRDGRA0 レジスタのコンペア一致 •TRD1 レジスタアンダフロー 	バッファレジスタの内容をTRDGRB0、TRDGRA1、TRDGRB1 レジスタに転送
PWM3モード	TRD0 レジスタとTRDGRA0 レジスタのコンペア一致	バッファレジスタの内容をTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1 レジスタに転送

i : 0 ~ 1

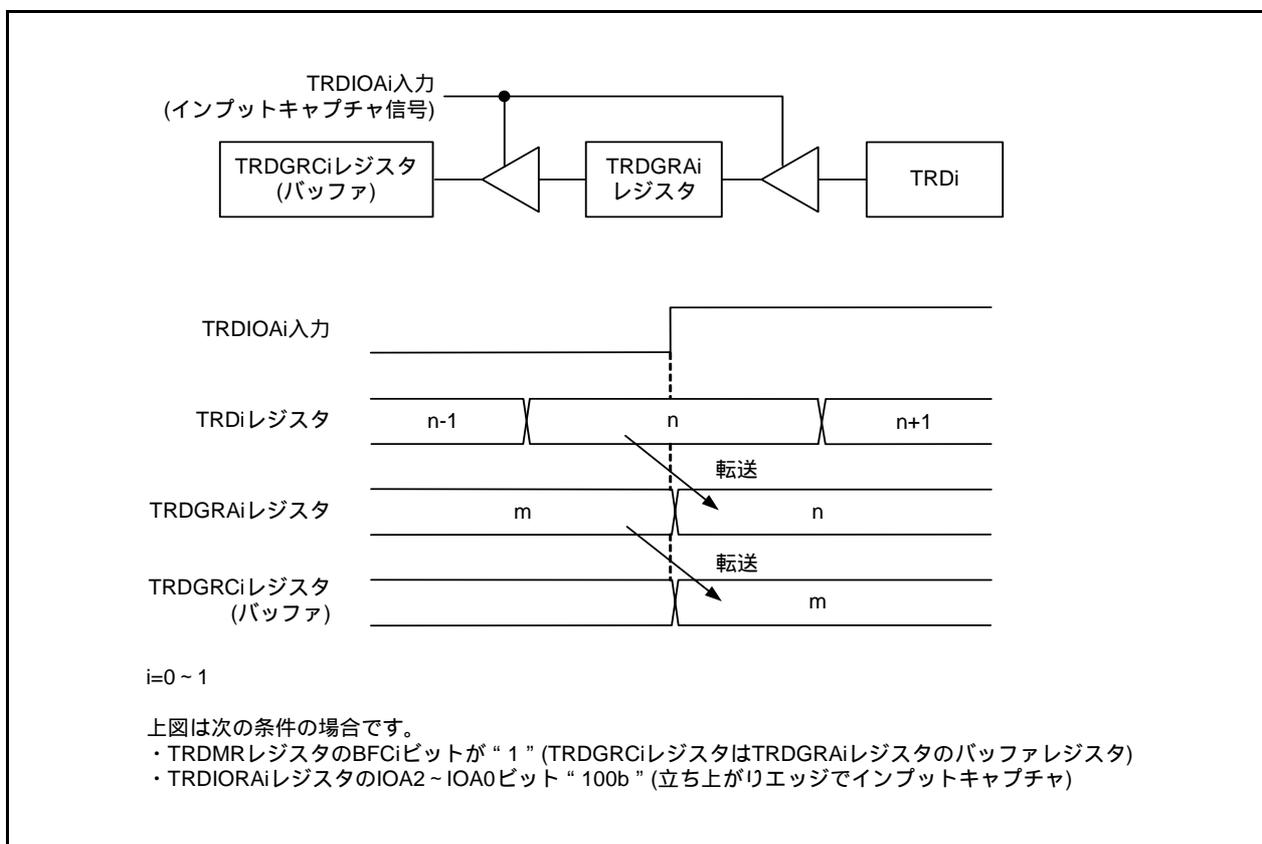


図 16.65 インプットキャプチャ機能のバッファ動作

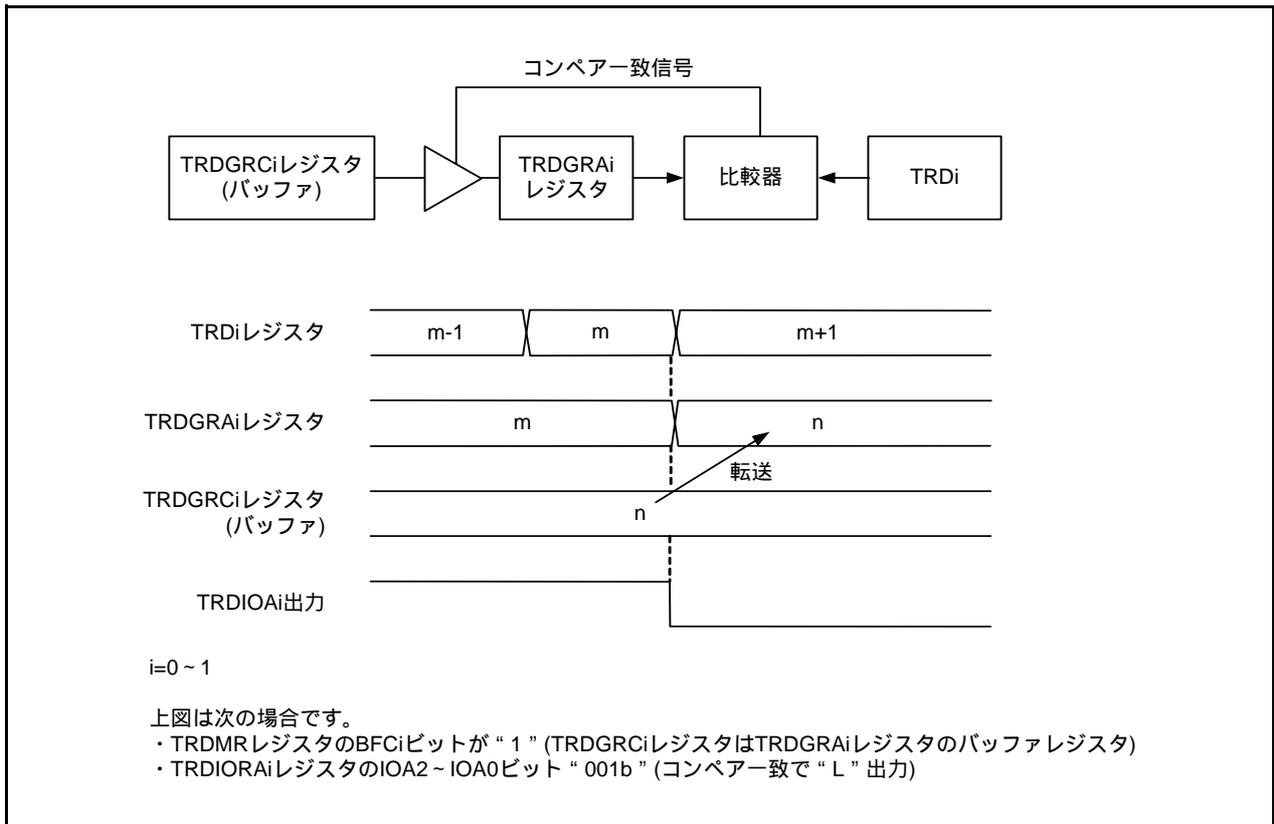


図16.66 アウトプットコンペアー機能のバッファ動作

タイマモード(インプットキャプチャ機能、アウトプットコンペアー機能)では次のようにしてください。

TRDGRCi($i=0 \sim 1$)レジスタをTRDGRAiレジスタのバッファレジスタに使用する場合

- ・TRDIORCiレジスタのIOC3ビットを“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください。
- ・TRDIORCiレジスタのIOC2ビットは、TRDIORAiレジスタのIOA2ビットと同じ設定にしてください。

TRDGRDiレジスタをTRDGRBiレジスタのバッファレジスタに使用する場合

- ・TRDIORDiレジスタのIOD3ビットを“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください。
- ・TRDIORCiレジスタのIOD2ビットは、TRDIORAiレジスタのIOB2ビットと同じ設定にしてください。

インプットキャプチャ機能では、TRDGRCi、TRDGRDiレジスタをバッファレジスタに使用している場合も、TRDIOCi端子の入力エッジでTRDSRiレジスタのIMFC、IMFDビットが“1”になります。

アウトプットコンペアー機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードでは、TRDGRCi、TRDGRDiレジスタをバッファレジスタに使用している場合も、TRDiレジスタとのコンペアー致でTRDSRiレジスタのIMFC、IMFDビットが“1”になります。

16.4.3 同期動作

TRD0レジスタとTRD1レジスタを同期させます。

- 同期プリセット

TRDMRレジスタのSYNCビットが“1”(同期動作)の場合、TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれます。

- 同期クリア

TRDMRレジスタのSYNCビットが“1”で、かつTRDCR0レジスタのCCLR2～CCLR0ビットが“011b”(同期クリア)の場合、TRD0レジスタはTRD1レジスタが“0000h”になるとき、同時に“0000h”になります。

同様に、TRDMRレジスタのSYNCビットが“1”で、かつTRDCR1レジスタのCCLR2～CCLR0ビットが“011b”(同期クリア)の場合、TRD1レジスタはTRD0レジスタが“0000h”になるとき、同時に“0000h”になります。

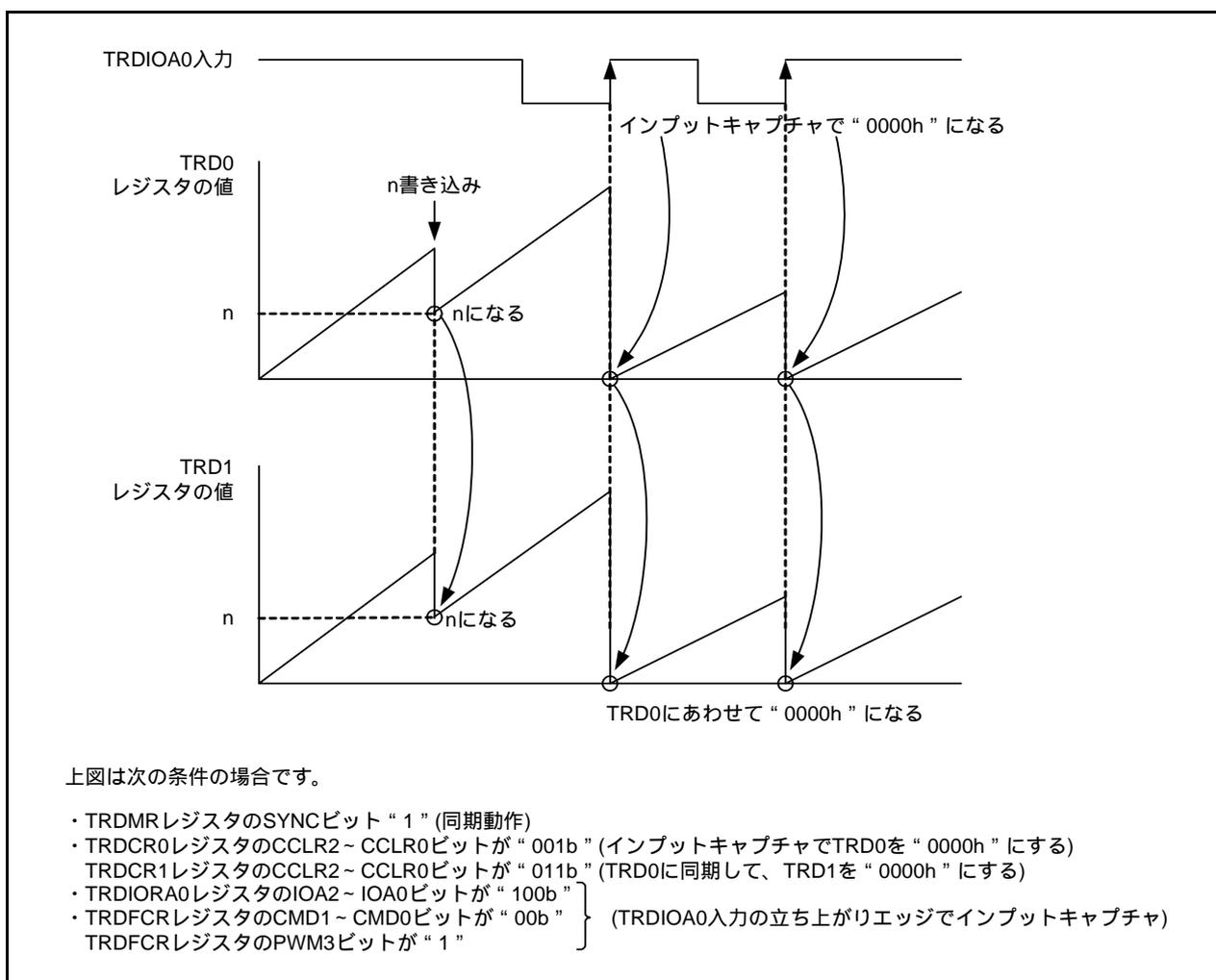


図16.67 同期動作

16.4.4 パルス出力強制遮断

アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードのとき、 $\overline{\text{INT0}}$ 端子の入力によってTRDIO $_{ji}$ ($i=0 \sim 1$ 、 $j=A, B, C, D$ のいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRDOER1レジスタの該当するビットを“0”(タイマRD出力許可)にすると、タイマRDの出力端子として機能します。TRDOER2レジスタのPTOビットが“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)のとき、 $\overline{\text{INT0}}$ 端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(タイマRD出力禁止、TRDIO $_{ji}$ 出力端子はプログラマブル入出力ポート)になります。 $\overline{\text{INT0}}$ 端子に“L”を入力してから、タイマRDの動作クロック(「表 16.25 タイマRDの動作クロック」参照)の1~2サイクル後にTRDIO $_{ji}$ 出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス、“L”出力、または“H”出力)をP2レジスタとPD2レジスタで設定。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)にする。
- PD4レジスタのPD4_5ビットを“0”(入力モード)にする。
- $\overline{\text{INT0}}$ のデジタルフィルタをINTFレジスタのINT0F1 ~ INT0F0ビットで設定。
- TRDOER2レジスタのPTOビットを“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)にする。

なお、INT0ICレジスタのPOLビットの選択と、 $\overline{\text{INT0}}$ 端子入力の変化に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります。

割り込みの詳細は、「12. 割り込み」を参照してください。

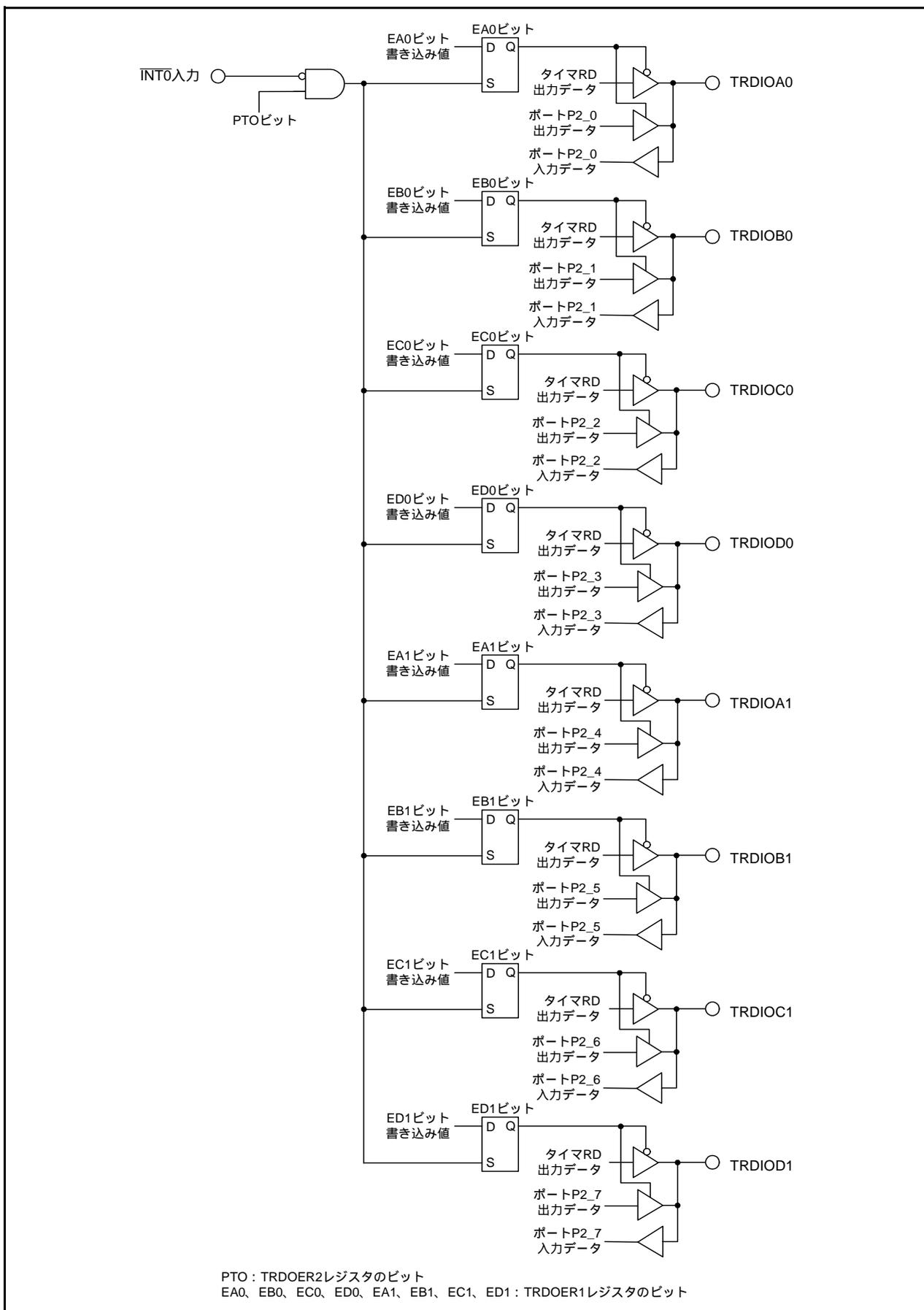


図 16.68 パルス出力強制遮断

16.4.5 インพุットキャプチャ機能

外部信号の幅や周期を測定する機能です。TRDIO_{ji}($i=0 \sim 1$, $j=A, B, C, D$ のいずれか)端子の外部信号をトリガにしてTRD_iレジスタ(カウンタ)の内容をTRDGR_{ji}レジスタに転送します(インพุットキャプチャ)。TRDIO_{ji}端子とTRDGR_{ji}レジスタの組み合わせで機能しますので、端子1本ごとにインพุットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRDGRA0レジスタはfOCO128をインพุットキャプチャのトリガ入力として選択できます。

図16.69にインพุットキャプチャ機能のブロック図を、表16.37にインพุットキャプチャ機能の仕様を、図16.70～図16.80にインพุットキャプチャ機能関連レジスタを、図16.81にインพุットキャプチャ機能の動作例を示します。

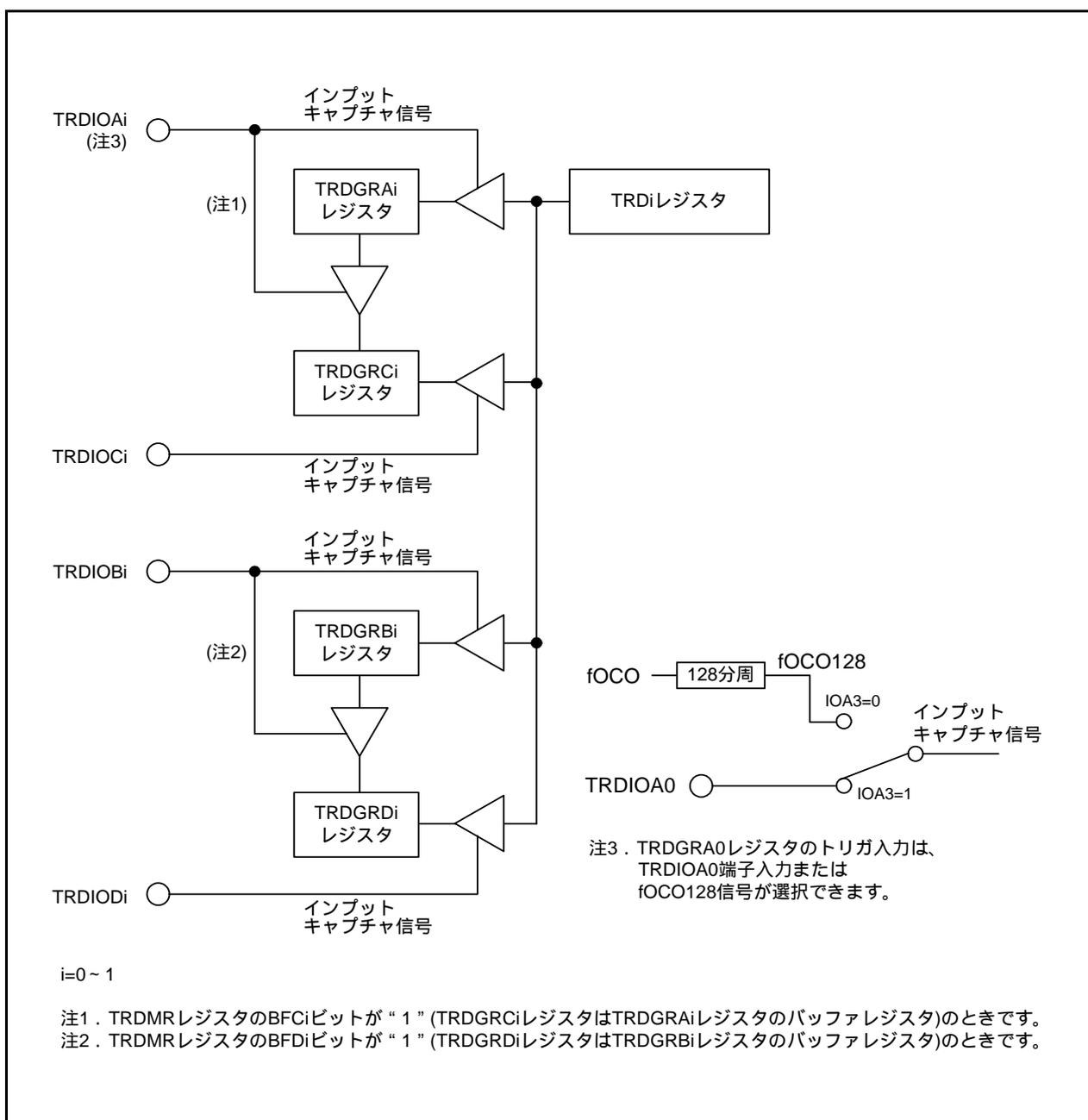


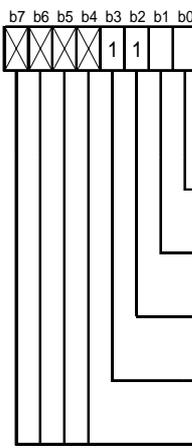
図16.69 インพุットキャプチャ機能のブロック図

表 16.37 インพุットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRDCRiレジスタのCCLR2 ~ CCLR0ビットが“000b”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> インพุットキャプチャ (TRDIOji入力の有効エッジ、またはfOCO128信号のエッジ) TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、インพุットキャプチャ入力、またはTRDLK(外部クロック)入力
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1 ~ TRDIOD1端子機能	プログラマブル入出力ポート、またはインพุットキャプチャ入力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> TRDMRレジスタのSYNCビットが“0”(チャンネル0とチャンネル1は独立動作)の場合 TRDiレジスタに書き込める TRDMRレジスタのSYNCビットが“1”(チャンネル0とチャンネル1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	<ul style="list-style-type: none"> インพุットキャプチャ入力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 インพุットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 TRDiを“0000h”にするタイミング オーバフロー、またはインพุットキャプチャ時 バッファ動作(「16.4.2 バッファ動作」参照) 同期動作(「16.4.3 同期動作」参照) デジタルフィルタ TRDIOji入力をサンプリングし、3回一致したらレベルが確定したとみなす インพุットキャプチャトリガ選択 TRDGRA0レジスタのインพุットキャプチャトリガ入力にfOCO128を選択できる

i=0 ~ 1、j=A、B、C、Dのいずれか

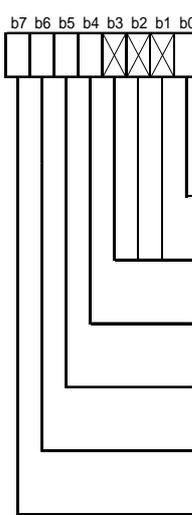
タイマRDスタートレジスタ(注1)



シンボル	アドレス	リセット後の値	
TRDSTR	0137h番地	11111100b	
ビットシンボル	ビット名	機能	RW
TSTART0	TRD0カウント開始フラグ	0: カウント停止 1: カウント開始	RW
TSTART1	TRD1カウント開始フラグ	0: カウント停止 1: カウント開始	RW
CSELO	TRD0カウント動作選択ビット	インプットキャプチャ機能では“1” にしてください	RW
CSEL1	TRD1カウント動作選択ビット	インプットキャプチャ機能では“1” にしてください	RW
- (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-

注1. TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「16.4.12.1 TRDSTRレジスタ」を参照してください。

タイマRDモードレジスタ



シンボル	アドレス	リセット後の値	
TRDMR	0138h番地	00001110b	
ビットシンボル	ビット名	機能	RW
SYNC	タイマRD同期ビット	0: TRD0とTRD1は独立動作 1: TRD0とTRD1は同期動作	RW
- (b3-b1)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
BFC0	TRDGRC0レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA0レジスタのバッファレジスタ	RW
BFD0	TRDGRD0レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB0レジスタのバッファレジスタ	RW
BFC1	TRDGRC1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA1レジスタのバッファレジスタ	RW
BFD1	TRDGRD1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB1レジスタのバッファレジスタ	RW

図16.70 インプットキャプチャ機能時のTRDSTR、TRDMRレジスタ

タイマRD PWMモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値	
TRDPMR	0139h番地	10001000b	
ビット シンボル	ビット名	機能	RW
PWMB0	TRDIOB0 PWMモード選択ビット	インプットキャプチャ機能では "0" (タイマモード)にしてください。	RW
PWMC0	TRDIOC0 PWMモード選択ビット	インプットキャプチャ機能では "0" (タイマモード)にしてください。	RW
PWMD0	TRDIOD0 PWMモード選択ビット	インプットキャプチャ機能では "0" (タイマモード)にしてください。	RW
- (b3)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は"1"。		-
PWMB1	TRDIOB1 PWMモード選択ビット	インプットキャプチャ機能では "0" (タイマモード)にしてください。	RW
PWMC1	TRDIOC1 PWMモード選択ビット	インプットキャプチャ機能では "0" (タイマモード)にしてください。	RW
PWMD1	TRDIOD1 PWMモード選択ビット	インプットキャプチャ機能では "0" (タイマモード)にしてください。	RW
- (b7)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は"1"。		-

図 16.71 インプットキャプチャ機能時のTRDPMRレジスタ

タイマRD機能制御レジスタ

シンボル	アドレス	リセット後の値	
TRDFCR	013Ah番地	1000000b	
ビットシンボル	ビット名	機能	RW
CMD0	コンビネーションモード選択ビット (注1)	インプットキャプチャ機能では "00b" (タイマモード・PWMモード・ PWM3モード) にしてください。	RW
CMD1			RW
OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは 相補PWMモード時)	インプットキャプチャ機能では無効 です。	RW
OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは 相補PWMモード時)	インプットキャプチャ機能では無効 です。	RW
ADTRG	A/Dトリガ許可ビット (相補PWMモード時)	インプットキャプチャ機能では無効 です。	RW
ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)	インプットキャプチャ機能では無効 です。	RW
STCLK	外部クロック入力選択ビット	0: 外部クロック入力無効 1: 外部クロック入力有効	RW
PWM3	PWM3モード選択ビット (注2)	インプットキャプチャ機能では "1" (PWM3モード以外) に してください。	RW

注1. CMD1 ~ CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに "0" (カウント停止)のときに書いてください。

注2. CMD1 ~ CMD0ビットが "00b" (タイマモード・PWMモード・PWM3モード)のとき、PWM3ビットの設定が有効になります。

図16.72 インプットキャプチャ機能時のTRDFCRのレジスタ

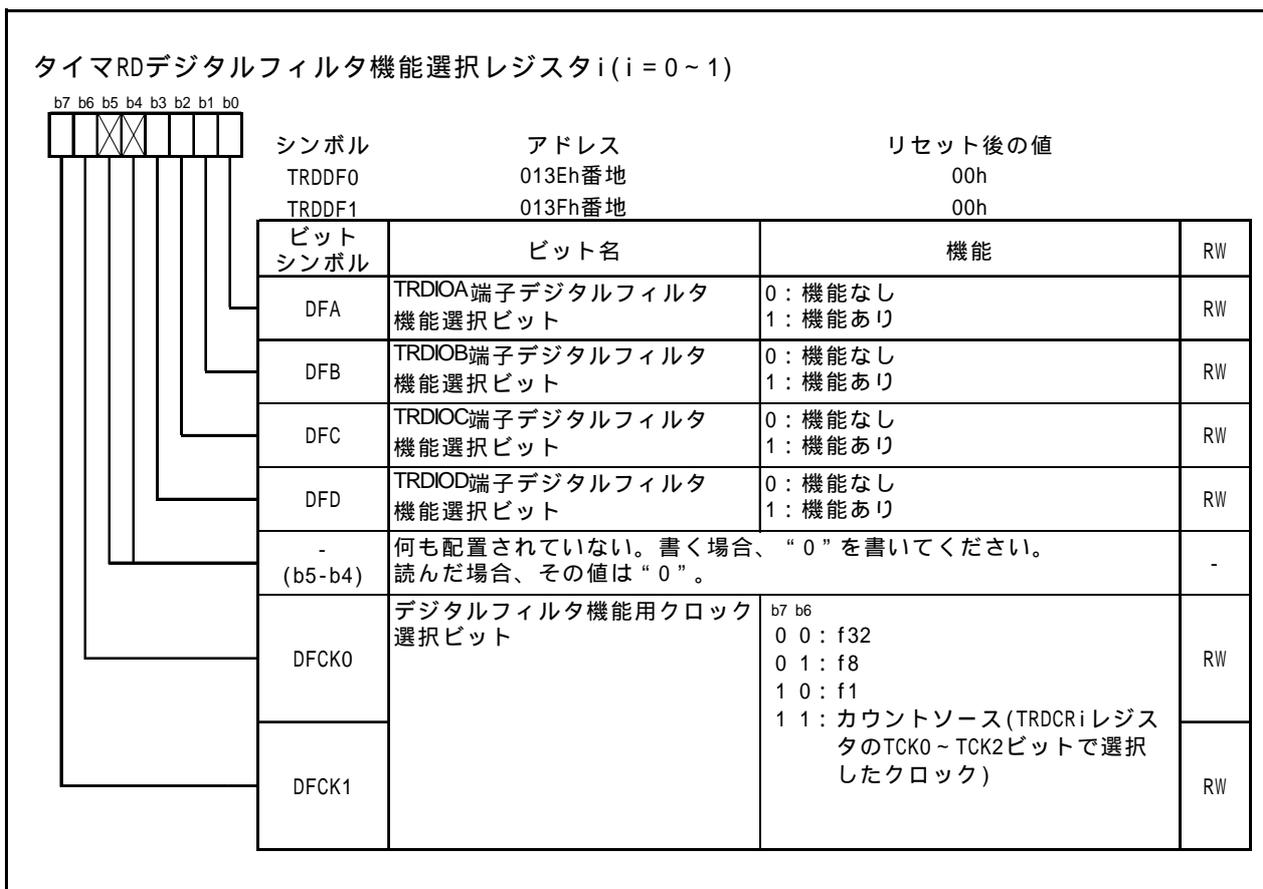


図 16.73 インプットキャプチャ機能時のTRDDF0 ~ TRDDF1レジスタ

タイマRD制御レジスタ*i* (*i* = 0 ~ 1)

シンボル	アドレス	リセット後の値
TRDCR0	0140h番地	00h
TRDCR1	0150h番地	00h

ビットシンボル	ビット名	機能	RW
TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1) 1 1 0 : fOCO40M 1 1 1 : 設定しないでください	RW
TCK1		RW	
TCK2		RW	
CKEG0	外部クロックエッジ選択ビット(注2)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	RW
CKEG1			RW
CCLR0	TRDiカウンタクリア選択ビット	b7 b6 b5 0 0 0 : クリア禁止(フリーランニング動作) 0 0 1 : TRDGRAiのインプットキャプチャでクリア 0 1 0 : TRDGRBiのインプットキャプチャでクリア 0 1 1 : 同期クリア(他のチャンネルのカウンタと同時にクリア)(注3) 1 0 0 : 設定しないでください 1 0 1 : TRDGRCiのインプットキャプチャでクリア 1 1 0 : TRDGRDiのインプットキャプチャでクリア 1 1 1 : 設定しないでください	RW
CCLR1			RW
CCLR2			RW

注1 . TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注2 . TCK2 ~ TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注3 . TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。

図16.74 インプットキャプチャ機能時のTRDCR0 ~ TRDCR1レジスタ

タイマRD I/O制御レジスタAi (i = 0 ~ 1)

ビットシンボル	ビット名	機能	RW
TRDIORA0	TRDGRA制御ビット	b1 b0 0 0 : 立ち上がりエッジでTRDGRAiへ インพุットキャプチャ 0 1 : 立ち下がりエッジでTRDGRAiへ インพุットキャプチャ 1 0 : 両エッジでTRDGRAiへインพุット キャプチャ 1 1 : 設定しないでください	RW
TRDIORA1	TRDGRA制御ビット		RW
IOA2	TRDGRAモード選択ビット(注1)	インพุットキャプチャ機能では“1” (インพุットキャプチャ)にしてください	RW
IOA3	インพุットキャプチャ入力 切替ビット(注3、4)	0 : fOCO128信号 1 : TRDIOA0端子入力	RW
IOB0	TRDGRB制御ビット	b5 b4 0 0 : 立ち上がりエッジでTRDGRBiへ インพุットキャプチャ 0 1 : 立ち下がりエッジでTRDGRBiへ インพุットキャプチャ 1 0 : 両エッジでTRDGRBiへインพุット キャプチャ 1 1 : 設定しないでください	RW
IOB1	TRDGRB制御ビット		RW
IOB2	TRDGRBモード選択ビット(注2)	インพุットキャプチャ機能では“1” (インพุットキャプチャ)にしてください	RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDIORA0レジスタのみ有効です。TRDIORA1レジスタは、“1”にしてください。

注4. IOA2ビットが“1”(インพุットキャプチャ機能)のとき有効です。

図16.75 インพุットキャプチャ機能時のTRDIORA0 ~ TRDIORA1レジスタ

タイマRD I/O制御レジスタCi (i = 0 ~ 1)

		シンボル	アドレス	リセット後の値
		TRDIORC0	0142h番地	10001000b
		TRDIORC1	0152h番地	10001000b

ビット シンボル	ビット名	機能	RW
IOC0	TRDGRC制御ビット	b1 b0 0 0 : 立ち上がりエッジでTRDGRCiへ インプットキャブチャ	RW
		0 1 : 立ち下がりエッジでTRDGRCiへ インプットキャブチャ	
IOC1		1 0 : 両エッジでTRDGRCiへインプット キャブチャ 1 1 : 設定しないでください	RW
IOC2	TRDGRCモード選択ビット(注1)	インプットキャブチャ機能では“1” (インプットキャブチャ)にしてください	RW
IOC3	TRDGRCレジスタ機能選択 ビット	インプットキャブチャ機能では “1”(ジェネラルレジスタまたは バッファレジスタ)にしてください	RW
IOD0	TRDGRD制御ビット	b5 b4 0 0 : 立ち上がりエッジでTRDGRDiへ インプットキャブチャ	RW
		0 1 : 立ち下がりエッジでTRDGRDiへ インプットキャブチャ	
IOD1		1 0 : 両エッジでTRDGRDiへインプット キャブチャ 1 1 : 設定しないでください	RW
IOD2	TRDGRDモード選択ビット(注2)	インプットキャブチャ機能では“1” (インプットキャブチャ)にしてください	RW
IOD3	TRDGRDレジスタ機能選択 ビット	インプットキャブチャ機能では “1”(ジェネラルレジスタまたは バッファレジスタ)にしてください	RW

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

図 16.76 インプットキャブチャ機能時のTRDIORC0 ~ TRDIORC1 レジスタ

タイマRDステータスレジスタ*i* (*i* = 0 ~ 1)

シンボル	アドレス	リセット後の値
TRDSR0	0143h番地	11100000b
TRDSR1	0153h番地	11000000b

ビットシンボル	ビット名	機能	RW
IMFA	インプットキャプチャ/コンペア一致フラグA	[“ 0 ” になる要因] 読んだ後、“ 0 ” を書く。(注2) [“ 1 ” になる要因] TRDSR0レジスタ： TRDIOA0レジスタのIOA3ビットが “ 0 ” (fOCO128信号)の場合、 fOCO128信号のエッジ TRDIOA0レジスタのIOA3ビットが “ 1 ” (TRDIOA0入力)の場合、 TRDIOA0端子の入力エッジ(注3) TRDSR1レジスタ： TRDIOA1端子の入力エッジ(注3)	RW
IMFB	インプットキャプチャ/コンペア一致フラグB	[“ 0 ” になる要因] 読んだ後、“ 0 ” を書く。(注2) [“ 1 ” になる要因] TRDIOBi端子の入力エッジ(注3)	RW
IMFC	インプットキャプチャ/コンペア一致フラグC	[“ 0 ” になる要因] 読んだ後、“ 0 ” を書く。(注2) [“ 1 ” になる要因] TRDIOCi端子の入力エッジ(注4)	RW
IMFD	インプットキャプチャ/コンペア一致フラグD	[“ 0 ” になる要因] 読んだ後、“ 0 ” を書く。(注2) [“ 1 ” になる要因] TRDIODi端子の入力エッジ(注4)	RW
OVF	オーバフローフラグ	[“ 0 ” になる要因] 読んだ後、“ 0 ” を書く。(注2) [“ 1 ” になる要因] TRDiがオーバフローしたとき。	RW
UDF	アンダフローフラグ(注1)	インプットキャプチャ機能では無効です。	RW
- (b7-b6)	何も配置されていない。書く場合、“ 0 ” を書いてください。 読んだ場合、その値は“ 1 ”。		-

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“ 0 ” を書いてください。読んだ場合、その値は“ 1 ”です。

注2. 書き込み結果は次のようになります。

- ・ 読んだ結果が“ 1 ”の場合、同じビットに“ 0 ” を書くと“ 0 ” になります。
- ・ 読んだ結果が“ 0 ” の場合、同じビットに“ 0 ” を書いても変化しません(読んだ後で、“ 0 ” から“ 1 ” に変化した場合、“ 0 ” を書いても“ 1 ” のままです)。
- ・ “ 1 ” を書いた場合は変化しません。

注3. TRDIOAiレジスタのIOj1 ~ IOj0ビット(j=AまたはB)で選択したエッジ。

注4. TRDIOCiレジスタのIOk1 ~ IOk0ビット(k=CまたはD)で選択したエッジ。
TRDMRレジスタのBFkiビットが“ 1 ” (TRDGRkiはバッファレジスタ)の場合を含む。

図16.77 インプットキャプチャ機能時のTRDSR0 ~ TRDSR1 レジスタ

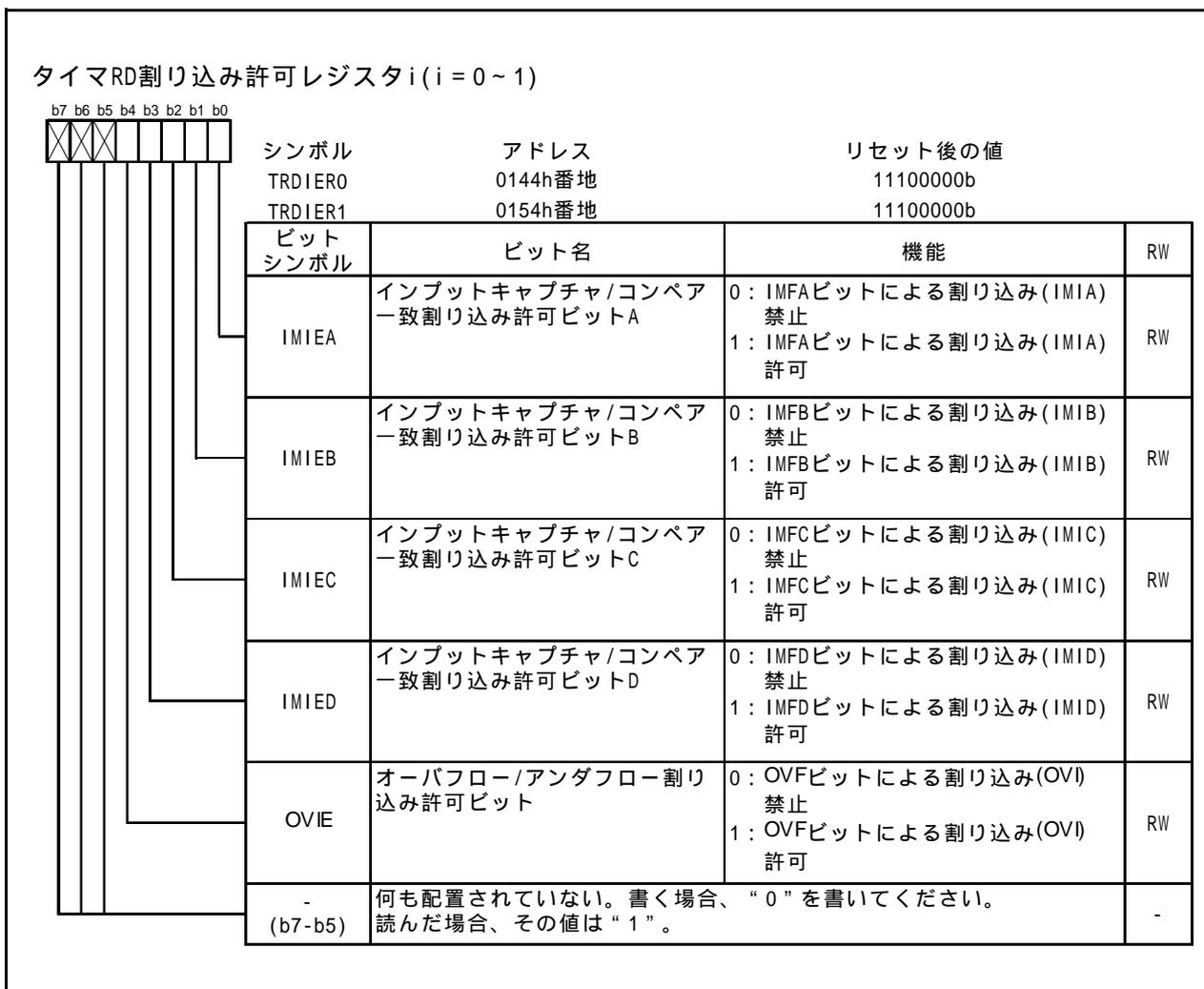


図16.78 インプットキャプチャ機能時のTRDIER0～TRDIER1レジスタ

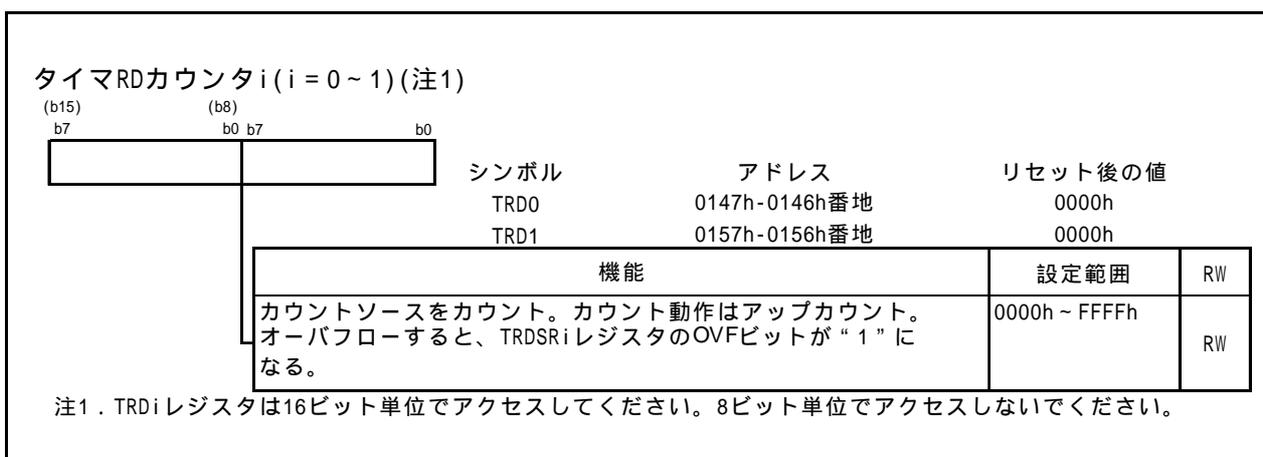


図16.79 インプットキャプチャ機能時のTRD0～TRD1レジスタ

タイマRDジェネラルレジスタAi、Bi、Ci、Di (i = 0 ~ 1) (注1)

(b15) b7	(b8) b0 b7			
		シンボル	アドレス	リセット後の値
		TRDGRA0	0149h-0148h番地	FFFFh
		TRDGRB0	014Bh-014Ah番地	FFFFh
		TRDGRC0	014Dh-014Ch番地	FFFFh
		TRDGRD0	014Fh-014Eh番地	FFFFh
		TRDGRA1	0159h-0158h番地	FFFFh
		TRDGRB1	015Bh-015Ah番地	FFFFh
		TRDGRC1	015Dh-015Ch番地	FFFFh
		TRDGRD1	015Fh-015Eh番地	FFFFh
機能				RW
「表16.38 インพุットキャプチャ機能時のTRDGRjiレジスタの機能」参照。				RW

注1. TRDGRAi ~ TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図 16.80 インพุットキャプチャ機能時のTRDGRAi、TRDGRBi、TRDGRCi、TRDGRDiレジスタ

インพุットキャプチャ機能では、次のレジスタは無効です。
TRDOER1、TRDOER2、TRDOCR、TRDPOCR0、TRDPOCR1

表 16.38 インพุットキャプチャ機能時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	インพุットキャプチャ 入力端子
TRDGRAi	-	ジェネラルレジスタ。インพุットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOAi
TRDGRBi			TRDIOBi
TRDGRCi	BFCi=0	ジェネラルレジスタ。インพุットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOCi
TRDGRDi	BFDi=0		TRDIODi
TRDGRCi	BFCi=1	バッファレジスタ。インพุットキャプチャ時のTRDiレジスタの値が読めます(「16.4.2 バッファ動作」参照)。	TRDIOAi
TRDGRDi	BFDi=1		TRDIOBi

i=0 ~ 1、j=A、B、C、Dのいずれか
BFCi、BFDi : TRDMRレジスタのビット

TRDIOji端子に入力するインพุットキャプチャ信号のパルス幅は、デジタルフィルタなし(TRDDFiレジスタのDFjビットが“0”)の場合、タイマRDの動作クロック(「表 16.25 タイマRDの動作クロック」参照)の3サイクル以上にしてください。

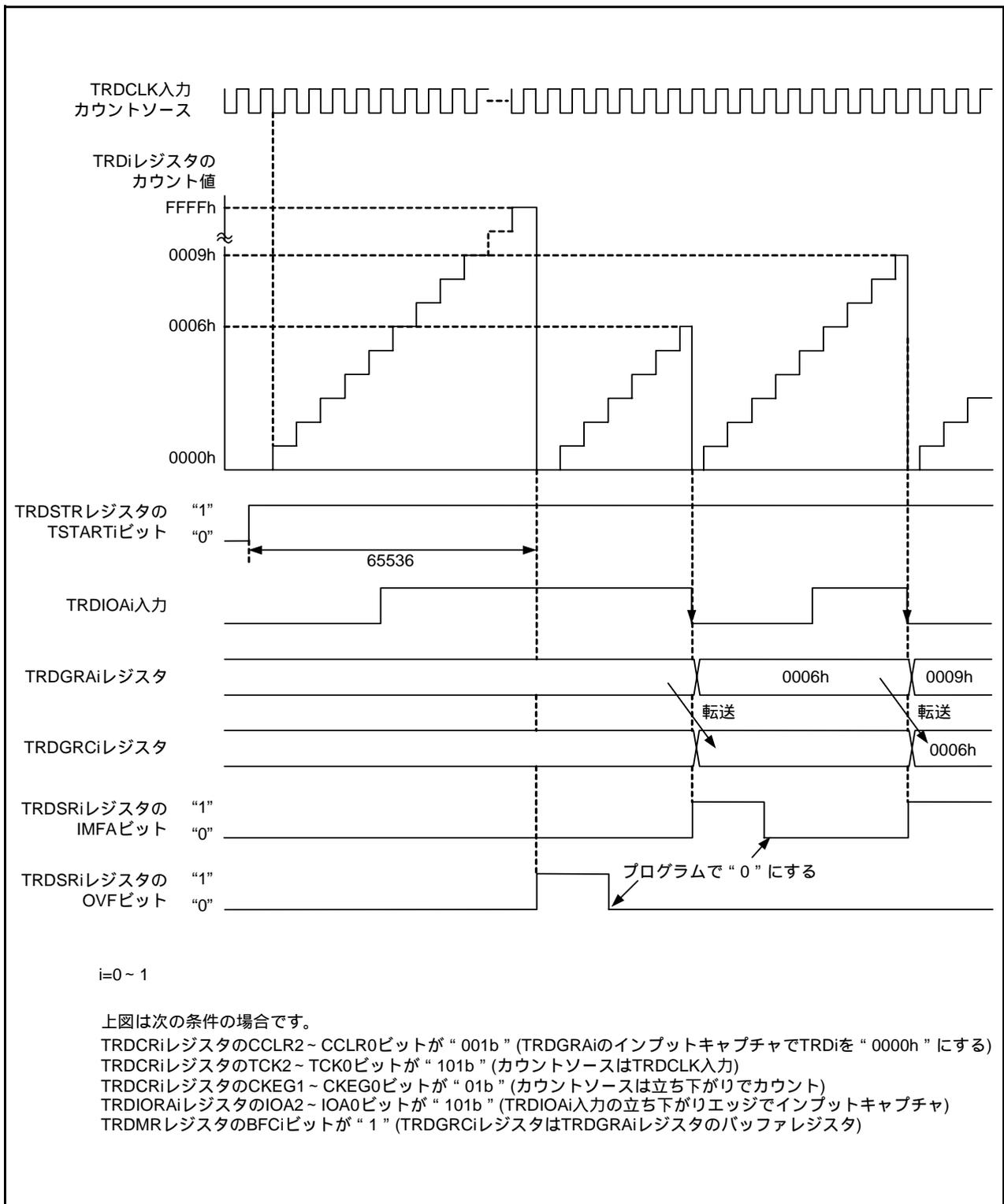


図 16.81 インプットキャプチャ機能の動作例

16.4.5.1 デジタルフィルタ

TRDIO_{ji}($i=0 \sim 1$, $j=A, B, C, D$ のいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRDDFiレジスタで選択してください。

図16.82にデジタルフィルタのブロック図を示します。

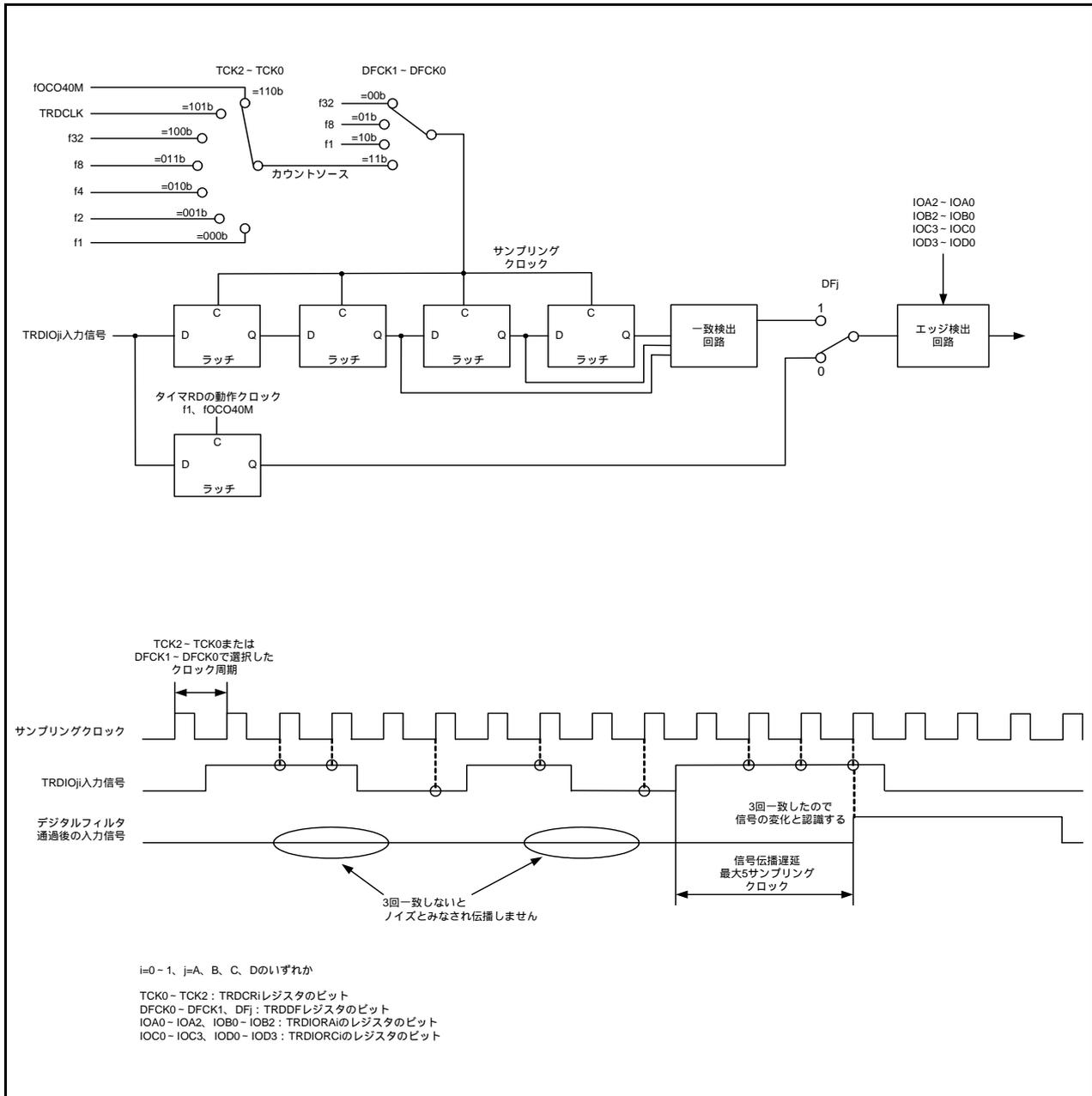


図16.82 デジタルフィルタのブロック図

16.4.6 アウトプットコンペア機能

TRDi(i=0~1)レジスタ(カウンタ)の内容と、TRDGRji(j=A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したときTRDIOji端子から任意のレベルを出力します。TRDIOji端子とTRDGRjiレジスタの組み合わせで機能しますので、端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

図16.83にアウトプットコンペア機能のブロック図を、表16.39にアウトプットコンペア機能の仕様を、図16.84~図16.95にアウトプットコンペア機能関連レジスタを、図16.96にアウトプットコンペア機能の動作例を示します。

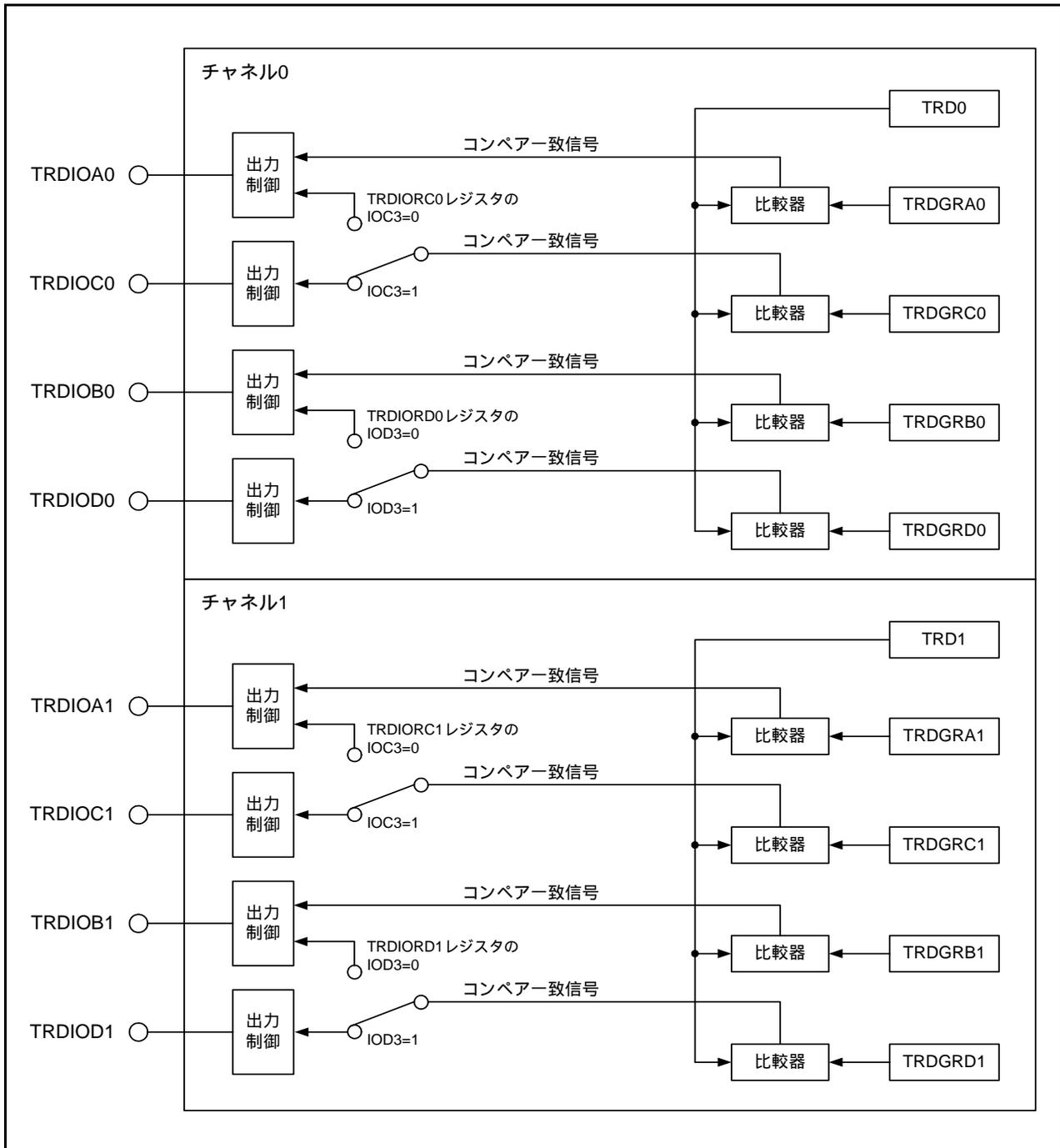


図16.83 アウトプットコンペア機能のブロック図

表 16.39 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> • TRDCRiレジスタのCCLR2 ~ CCLR0ビットが“000b”(フリーランニング動作)の場合 1/fk × 65536 fk: カウントソースの周波数 • TRDCRiレジスタのCCLR1 ~ CCLR0ビットが“01b”、“10b”(TRDGRjiのコンペア一致でTRDiを“0000h”にする)の場合 カウントソースの周期 × (n+1) n: TRDGRjiレジスタ設定値
波形出力タイミング	コンペア一致
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSELiビットが“0”の場合、TRDGRAiコンペア一致でカウント停止 アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペア一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) • TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、アウトプットコンペア出力、またはTRDCLK(外部クロック)入力
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1 ~ TRDIOD1端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • TRDMRレジスタのSYNCビットが“0”(チャンネル0とチャンネル1は独立動作)の場合 TRDiレジスタに書き込める • TRDMRレジスタのSYNCビットが“1”(チャンネル0とチャンネル1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	<ul style="list-style-type: none"> • アウトプットコンペア出力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 • コンペア一致時の出力レベル選択 “L”出力、“H”出力、または出力レベル反転 • 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 • TRDiを“0000h”にするタイミング オーバフロー、またはTRDGRAiレジスタのコンペア一致 • バッファ動作(「16.4.2 バッファ動作」参照) • 同期動作(「16.4.3 同期動作」参照) • TRDGRCi、TRDGRDiの出力端子変更 TRDGRCiをTRDIOAi端子の、TRDGRDiをTRDIOBi端子の出力制御に使用できる • パルス出力強制遮断信号入力(「16.4.4 パルス出力強制遮断」参照) • タイマRDは出力しないことで内部タイマとして使用できる

i=0 ~ 1、j=A、B、C、Dのいずれか

タイマRDスタートレジスタ(注1)

シンボル	アドレス	リセット後の値	
TRDSTR	0137h番地	11111100b	
ビットシンボル	ビット名	機能	RW
TSTART0	TRD0カウント開始フラグ(注4)	0: カウント停止(注2) 1: カウント開始	RW
TSTART1	TRD1カウント開始フラグ(注5)	0: カウント停止(注3) 1: カウント開始	RW
CSEL0	TRD0カウント動作選択ビット	0: TRDGRA0レジスタとのコンペアー致で カウント停止 1: TRDGRA0レジスタとのコンペアー致後も カウント継続	RW
CSEL1	TRD1カウント動作選択ビット	0: TRDGRA1レジスタとのコンペアー致で カウント停止 1: TRDGRA1レジスタとのコンペアー致後も カウント継続	RW
- (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-

注1. TRDSTRレジスタにはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「16.4.12.1 TRDSTRレジスタ」を参照してください。

注2. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注3. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注4. CSEL0ビットが“0”でコンペアー致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注5. CSEL1ビットが“0”でコンペアー致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

タイマRDモードレジスタ

シンボル	アドレス	リセット後の値	
TRDMR	0138h番地	00001110b	
ビットシンボル	ビット名	機能	RW
SYNC	タイマRD同期ビット	0: TRD0とTRD1は独立動作 1: TRD0とTRD1は同期動作	RW
- (b3-b1)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
BFC0	TRDGRC0レジスタ機能選択ビット(注1)	0: ジェネラルレジスタ 1: TRDGRA0レジスタのバッファレジスタ	RW
BFD0	TRDGRD0レジスタ機能選択ビット(注1)	0: ジェネラルレジスタ 1: TRDGRB0レジスタのバッファレジスタ	RW
BFC1	TRDGRC1レジスタ機能選択ビット(注1)	0: ジェネラルレジスタ 1: TRDGRA1レジスタのバッファレジスタ	RW
BFD1	TRDGRD1レジスタ機能選択ビット(注1)	0: ジェネラルレジスタ 1: TRDGRB1レジスタのバッファレジスタ	RW

注1. TRDIORC_i($i=0\sim 1$)レジスタのIO3($j=C$ またはD)ビットで“0”(TRDGR_jレジスタ出力端子変更)を選択した場合、TRDMRレジスタのBF_jビットを“0”にしてください。

図16.84 アウトプットコンペアー機能時のTRDSTR、TRDMRレジスタ

タイマRD PWMモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値	
TRDPMR	0139h番地	10001000b	
ビット シンボル	ビット名	機能	RW
PWMB0	TRDIOB0 PWMモード選択ビット	アウトプットコンペア機能では "0" (タイマモード)にしてください。	RW
PWMC0	TRDIOC0 PWMモード選択ビット	アウトプットコンペア機能では "0" (タイマモード)にしてください。	RW
PWMD0	TRDIOD0 PWMモード選択ビット	アウトプットコンペア機能では "0" (タイマモード)にしてください。	RW
- (b3)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は"1"。		-
PWMB1	TRDIOB1 PWMモード選択ビット	アウトプットコンペア機能では "0" (タイマモード)にしてください。	RW
PWMC1	TRDIOC1 PWMモード選択ビット	アウトプットコンペア機能では "0" (タイマモード)にしてください。	RW
PWMD1	TRDIOD1 PWMモード選択ビット	アウトプットコンペア機能では "0" (タイマモード)にしてください。	RW
- (b7)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は"1"。		-

図16.85 アウトプットコンペア機能時のTRDPMRレジスタ

タイマRD機能制御レジスタ

シンボル	アドレス	リセット後の値	
TRDFCR	013Ah番地	1000000b	
ビットシンボル	ビット名	機能	RW
CMD0	コンビネーションモード選択ビット (注1)	アウトプットコンペア機能では "00b" (タイマモード・PWMモード・ PWM3モード)にしてください。	RW
CMD1			RW
OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは 相補PWMモード時)	アウトプットコンペア機能では無効 です。	RW
OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは 相補PWMモード時)	アウトプットコンペア機能では無効 です。	RW
ADTRG	A/Dトリガ許可ビット (相補PWMモード時)	アウトプットコンペア機能では無効 です。	RW
ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)	アウトプットコンペア機能では無効 です。	RW
STCLK	外部クロック入力選択ビット	0: 外部クロック入力無効 1: 外部クロック入力有効	RW
PWM3	PWM3モード選択ビット (注2)	アウトプットコンペア機能では "1" (PWM3モード以外)にして ください。	RW

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに"0" (カウント停止)のときに書いてください。

注2. CMD1～CMD0ビットが"00b" (タイマモード・PWMモード・PWM3モード)のとき、PWM3ビットの設定が有効になります。

図 16.86 アウトプットコンペア機能時のTRDFCRレジスタ

タイマRDアウトプットマスタ許可レジスタ1			
b7 b6 b5 b4 b3 b2 b1 b0			
シンボル TRDOER1	アドレス 013Bh番地	リセット後の値 FFh	
ビット シンボル	ビット名	機能	RW
EA0	TRDIOA0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOA0端子はプログラマブル入出力ポート)	RW
EB0	TRDIOB0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB0端子はプログラマブル入出力ポート)	RW
EC0	TRDIOC0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC0端子はプログラマブル入出力ポート)	RW
ED0	TRDIOD0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD0端子はプログラマブル入出力ポート)	RW
EA1	TRDIOA1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOA1端子はプログラマブル入出力ポート)	RW
EB1	TRDIOB1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB1端子はプログラマブル入出力ポート)	RW
EC1	TRDIOC1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC1端子はプログラマブル入出力ポート)	RW
ED1	TRDIOD1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD1端子はプログラマブル入出力ポート)	RW

タイマRDアウトプットマスタ許可レジスタ2			
b7 b6 b5 b4 b3 b2 b1 b0			
シンボル TRDOER2	アドレス 013Ch番地	リセット後の値 01111111b	
ビット シンボル	ビット名	機能	RW
- (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
PTO	パルス出力強制遮断信号入力INT0有効ビット (注1)	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1” (出力禁止)になる)	RW

注1. 「16.4.4 パルス出力強制遮断」を参照してください。

図16.87 アウトプットコンペア機能時のTRDOER1 ~ TRDOER2レジスタ

タイマRDアウトプット制御レジスタ(注1、2)

シンボル TRDOCR	アドレス 013Dh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TOA0	TRDIOA0出力レベル選択ビット	0: 初期出力 "L" 1: 初期出力 "H"	RW
TOB0	TRDIOB0出力レベル選択ビット	0: 初期出力 "L" 1: 初期出力 "H"	RW
TOC0	TRDIOC0初期出力レベル選択ビット	0: "L" 1: "H"	RW
TOD0	TRDIOD0初期出力レベル選択ビット		RW
TOA1	TRDIOA1初期出力レベル選択ビット		RW
TOB1	TRDIOB1初期出力レベル選択ビット		RW
TOC1	TRDIOC1初期出力レベル選択ビット		RW
TOD1	TRDIOD1初期出力レベル選択ビット		RW

注1. TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに "0" (カウント停止) のとき書いてください。

注2. 端子の機能が波形出力の場合(「表16.26～表16.33」参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

図 16.88 アウトプットコンペア機能時のTRDOCRレジスタ

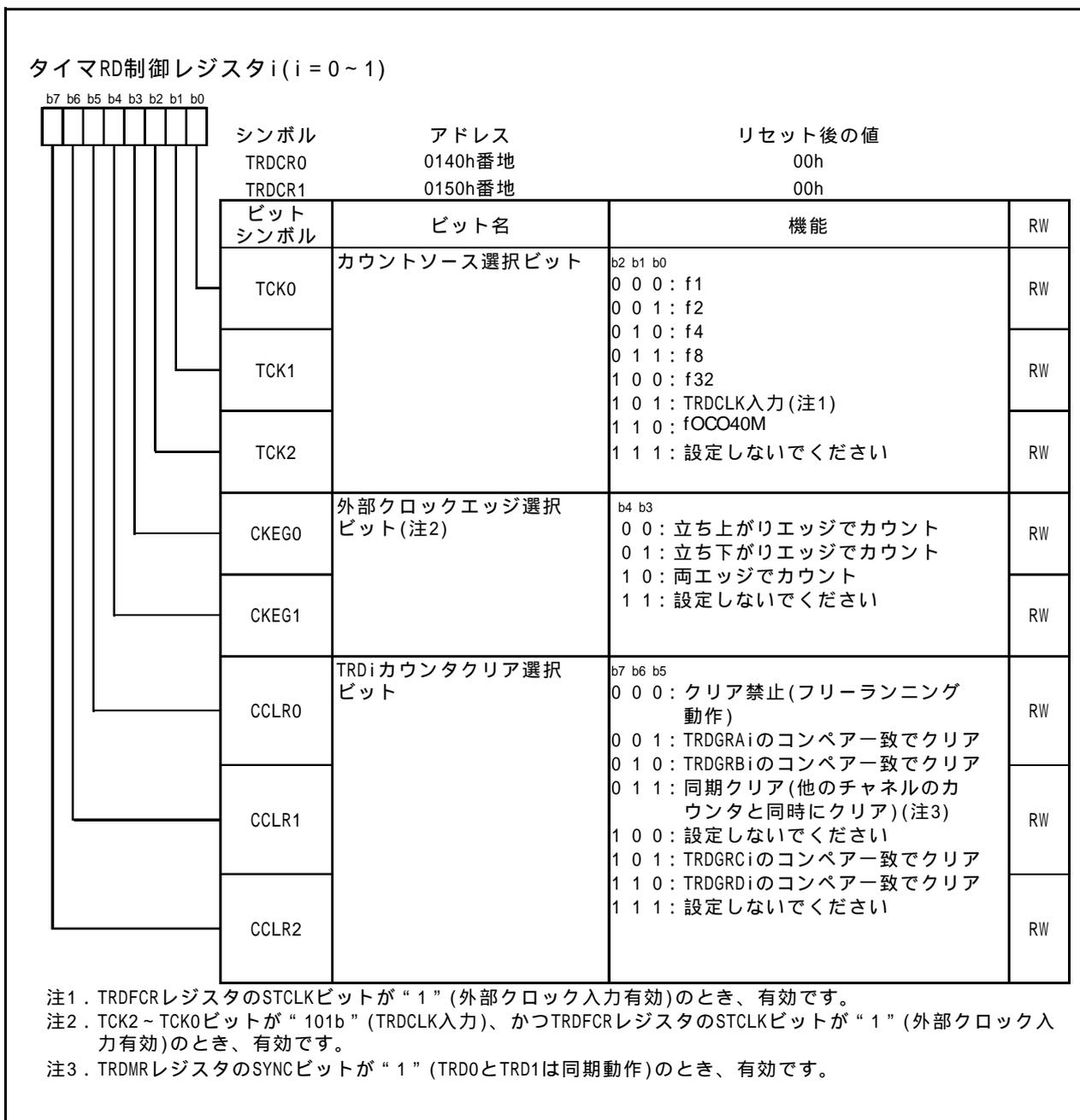


図16.89 アウトプットコンペア機能時のTRDCR0 ~ TRDCR1レジスタ

タイマRD I/O制御レジスタAi (i = 0 ~ 1)

		シンボル TRDIORA0 TRDIORA1	アドレス 0141h番地 0151h番地	リセット後の値 10001000b 10001000b
ビット シンボル	ビット名	機能	RW	
IOA0	TRDGRA制御ビット	b1 b0 0 0 : コンペアー一致による端子出力禁止 (TRDIOAi端子はプログラマブル 入出力ポート) 0 1 : TRDGRAiのコンペアー一致で“L”出力 1 0 : TRDGRAiのコンペアー一致で“H”出力 1 1 : TRDGRAiのコンペアー一致でトグル出力	RW	
			RW	
IOA2	TRDGRAモード選択ビット (注1)	アウトプットコンペアー機能では“0”(アウト プットコンペアー)にしてください。	RW	
IOA3	インプットキャプチャ入力 切替ビット	“1”にしてください。	RW	
IOB0	TRDGRB制御ビット	b5 b4 0 0 : コンペアー一致による端子出力禁止 (TRDIOBi端子はプログラマブル 入出力ポート) 0 1 : TRDGRBiのコンペアー一致で“L”出力 1 0 : TRDGRBiのコンペアー一致で“H”出力 1 1 : TRDGRBiのコンペアー一致でトグル出力	RW	
			RW	
IOB2	TRDGRBモード選択ビット (注2)	アウトプットコンペアー機能では“0”(アウト プットコンペアー)にしてください。	RW	
- (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-	

注1 . TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのパッファレジスタ)を選択した場合、TRDIORAiレ
ジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2 . TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのパッファレジスタ)を選択した場合、TRDIORAiレ
ジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

図 16.90 アウトプットコンペアー機能時の TRDIORA0 ~ TRDIORA1 レジスタ

タイマRD I/O制御レジスタCi (i = 0 ~ 1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0				0				TRDIORC0	0142h番地	10001000b
								TRDIORC1	0152h番地	10001000b

ビットシンボル	ビット名	機能	RW
IOC0	TRDGRC制御ビット	b1 b0 0 0 : コンペア一致による端子出力禁止 0 1 : TRDGRCiのコンペア一致で“L”出力 1 0 : TRDGRCiのコンペア一致で“H”出力 1 1 : TRDGRCiのコンペア一致でトグル出力	RW
			RW
IOC2	TRDGRCモード選択ビット (注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	RW
IOC3	TRDGRCレジスタ機能選択ビット	0 : TRDIOA出力レジスタ (「16.4.6.1 TRDGRCi (i=0~1)、TRDGRDi レジスタの出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ	RW
IOD0	TRDGRD制御ビット	b5 b4 0 0 : コンペア一致による端子出力禁止 0 1 : TRDGRDiのコンペア一致で“L”出力 1 0 : TRDGRDiのコンペア一致で“H”出力 1 1 : TRDGRDiのコンペア一致でトグル出力	RW
			RW
IOD2	TRDGRDモード選択ビット (注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	RW
IOD3	TRDGRDレジスタ機能選択ビット	0 : TRDIOB出力レジスタ (「16.4.6.1 TRDGRCi (i=0~1)、TRDGRDi レジスタの出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ	RW

注1 . TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIOA*i*レジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2 . TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIOA*i*レジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

図16.91 アウトプットコンペア機能時のTRDIORC0 ~ TRDIORC1レジスタ

タイマRDステータスレジスタ*i* (*i* = 0 ~ 1)

シンボル	アドレス	リセット後の値
TRDSR0	0143h番地	11100000b
TRDSR1	0153h番地	11000000b

ビットシンボル	ビット名	機能	RW
IMFA	インプットキャプチャ/ コンペアー一致フラグA	[“0” になる要因] 読んだ後、“0” を書く。(注2) [“1” になる要因] TRD <i>i</i> と TRDGRA <i>i</i> の値が一致したとき。	RW
IMFB	インプットキャプチャ/ コンペアー一致フラグB	[“0” になる要因] 読んだ後、“0” を書く。(注2) [“1” になる要因] TRD <i>i</i> と TRDGRB <i>i</i> の値が一致したとき。	RW
IMFC	インプットキャプチャ/ コンペアー一致フラグC	[“0” になる要因] 読んだ後、“0” を書く。(注2) [“1” になる要因] TRD <i>i</i> と TRDGR <i>Ci</i> の値が一致したとき。 (注3)	RW
IMFD	インプットキャプチャ/ コンペアー一致フラグD	[“0” になる要因] 読んだ後、“0” を書く。(注2) [“1” になる要因] TRD <i>i</i> と TRDGRD <i>i</i> の値が一致したとき。 (注3)	RW
OVF	オーバフローフラグ	[“0” になる要因] 読んだ後、“0” を書く。(注2) [“1” になる要因] TRD <i>i</i> がオーバフローしたとき。	RW
UDF	アンダフローフラグ(注1)	アウトプットコンペア機能では無効です	RW
- (b7-b6)	何も配置されていない。書く場合、“0” を書いてください。 読んだ場合、その値は“1”。		-

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0” を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・ 読んだ結果が“1”の場合、同じビットに“0” を書くと“0” になります。
- ・ 読んだ結果が“0” の場合、同じビットに“0” を書いても変化しません(読んだ後で、“0” から“1” に変化した場合、“0” を書いても“1” のままです)。
- ・ “1” を書いた場合は変化しません。

注3. TRDMRレジスタのBF*ji*ビット(*j*=CまたはD)が“1” (TRDGR*ji*はバッファレジスタ)の場合を含む。

図16.92 アウトプットコンペア機能時のTRDSR0 ~ TRDSR1レジスタ

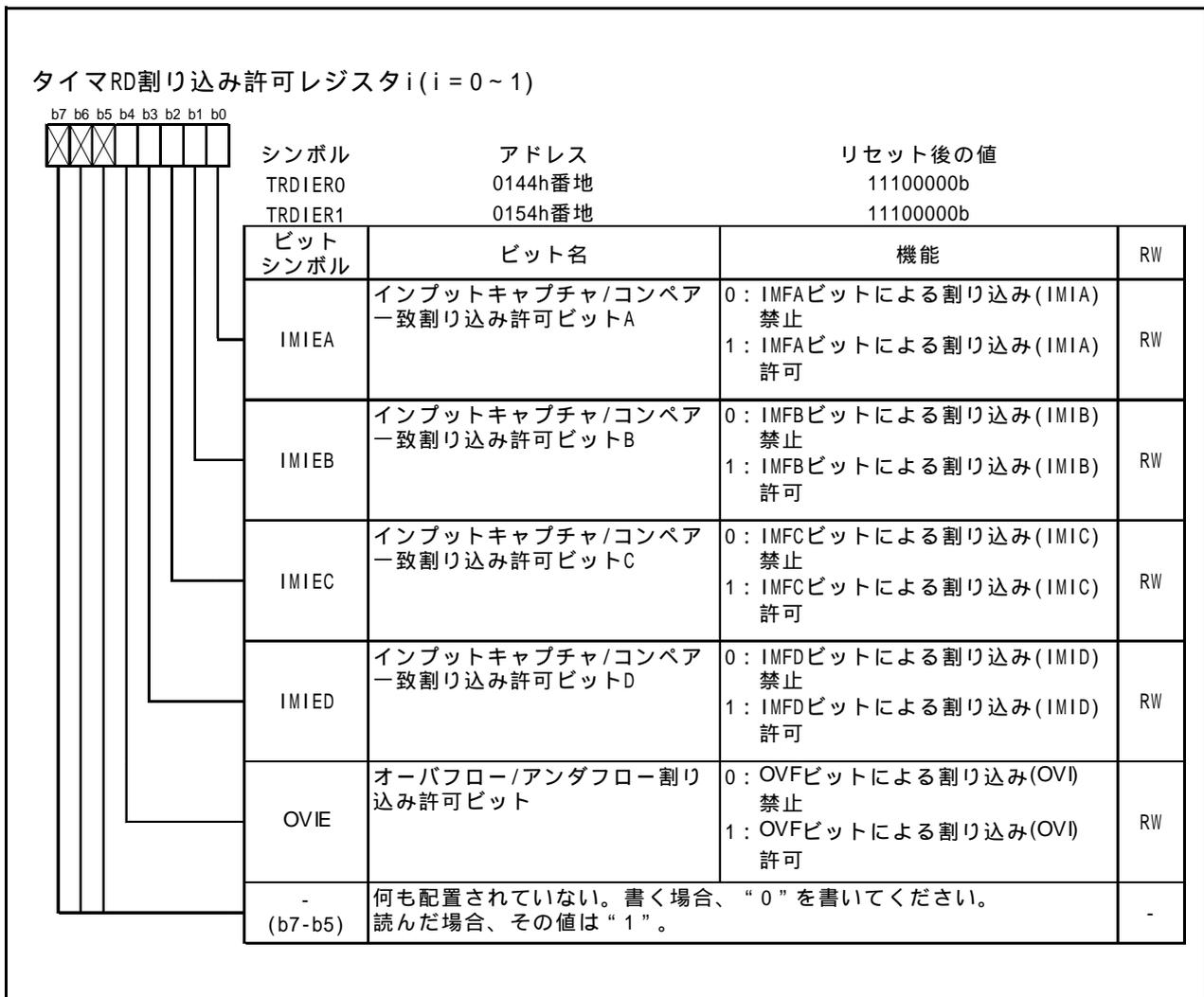


図16.93 アウトプットコンペア機能時のTRDIER0 ~ TRDIER1レジスタ

タイマRDカウンタ <i>i</i> (<i>i</i> = 0 ~ 1) (注1)			
(b15)	(b8)	(b7)	(b0)
[]		[]	
シンボル	アドレス	リセット後の値	
TRD0	0147h-0146h番地	0000h	
TRD1	0157h-0156h番地	0000h	
機能			RW
カウントソースをカウント。カウント動作はアップカウント。オーバーフローすると、TRDSR <i>i</i> レジスタのOVFビットが“1”になる。			RW

注1. TRD*i*レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図 16.94 アウトプットコンペア機能時のTRD0 ~ TRD1レジスタ

タイマRDジェネラルレジスタA <i>i</i> 、B <i>i</i> 、C <i>i</i> 、D <i>i</i> (<i>i</i> = 0 ~ 1) (注1)			
(b15)	(b8)	(b7)	(b0)
[]		[]	
シンボル	アドレス	リセット後の値	
TRDGRA0	0149h-0148h番地	FFFFh	
TRDGRB0	014Bh-014Ah番地	FFFFh	
TRDGRC0	014Dh-014Ch番地	FFFFh	
TRDGRD0	014Fh-014Eh番地	FFFFh	
TRDGRA1	0159h-0158h番地	FFFFh	
TRDGRB1	015Bh-015Ah番地	FFFFh	
TRDGRC1	015Dh-015Ch番地	FFFFh	
TRDGRD1	015Fh-015Eh番地	FFFFh	
機能			RW
「表16.40 アウトプットコンペア機能時のTRDGR <i>j</i> iレジスタの機能」参照。			RW

注1. TRDGRA*i* ~ TRDGRD*i*レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図 16.95 アウトプットコンペア機能時のTRDGRA*i*、TRDGRB*i*、TRDGRC*i*、TRDGRD*i*レジスタ

アウトプットコンペア機能では、次のレジスタは無効です。
TRDDF0、TRDDF1、TRDPOCR0、TRDPOCR1

表 16.40 アウトプットコンペア機能時のTRDGR*j*iレジスタの機能

レジスタ	設定		レジスタの機能	アウトプット コンペア出力端子
	BF <i>j</i> i	IO <i>j</i> 3		
TRDGRA <i>i</i>	-	-	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOA <i>i</i>
TRDGRB <i>i</i>				TRDIOB <i>i</i>
TRDGRC <i>i</i>	0	1	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOC <i>i</i>
TRDGRD <i>i</i>				TRDIOD <i>i</i>
TRDGRC <i>i</i>	1	1	バッファレジスタ。次回のコンペア値を書いてください。 (「16.4.2 バッファ動作」参照)	TRDIOA <i>i</i>
TRDGRD <i>i</i>				TRDIOB <i>i</i>
TRDGRC <i>i</i>	0	0	TRDIOA <i>i</i> 出力制御(「16.4.6.1 TRDGRC <i>i</i> (<i>i</i> =0 ~ 1)、TRDGRD <i>i</i> レジスタの出力端子変更」参照)	TRDIOA <i>i</i>
TRDGRD <i>i</i>				TRDIOB <i>i</i>

i = 0 ~ 1、*j* = A、B、C、Dのいずれか

BF*j*i : TRDMRレジスタのビット IO*j*3 : TRDIORC*i*レジスタのビット

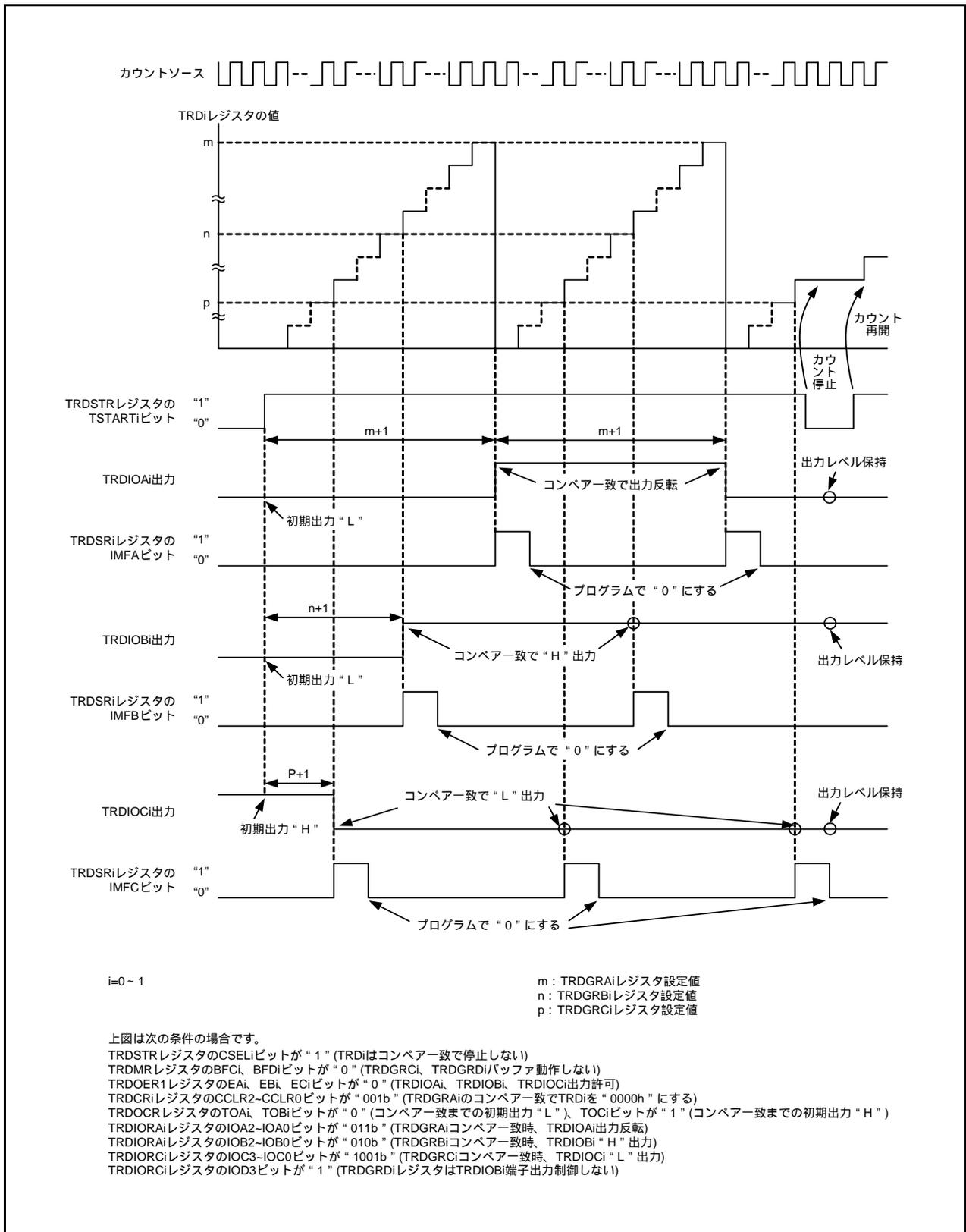


図16.96 アウトプットコンペアー機能の動作例

16.4.6.1 TRDGRC_i(*i*=0 ~ 1)、TRDGRD_iレジスタの出力端子変更

TRDGRC_iレジスタをTRDIOA_i端子の、TRDGRD_iレジスタをTRDIOB_i端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRDIOA_i出力は、TRDGRA_iレジスタの値とTRDGRC_iレジスタの値の2点で制御
- TRDIOB_i出力は、TRDGRB_iレジスタの値とTRDGRD_iレジスタの値の2点で制御

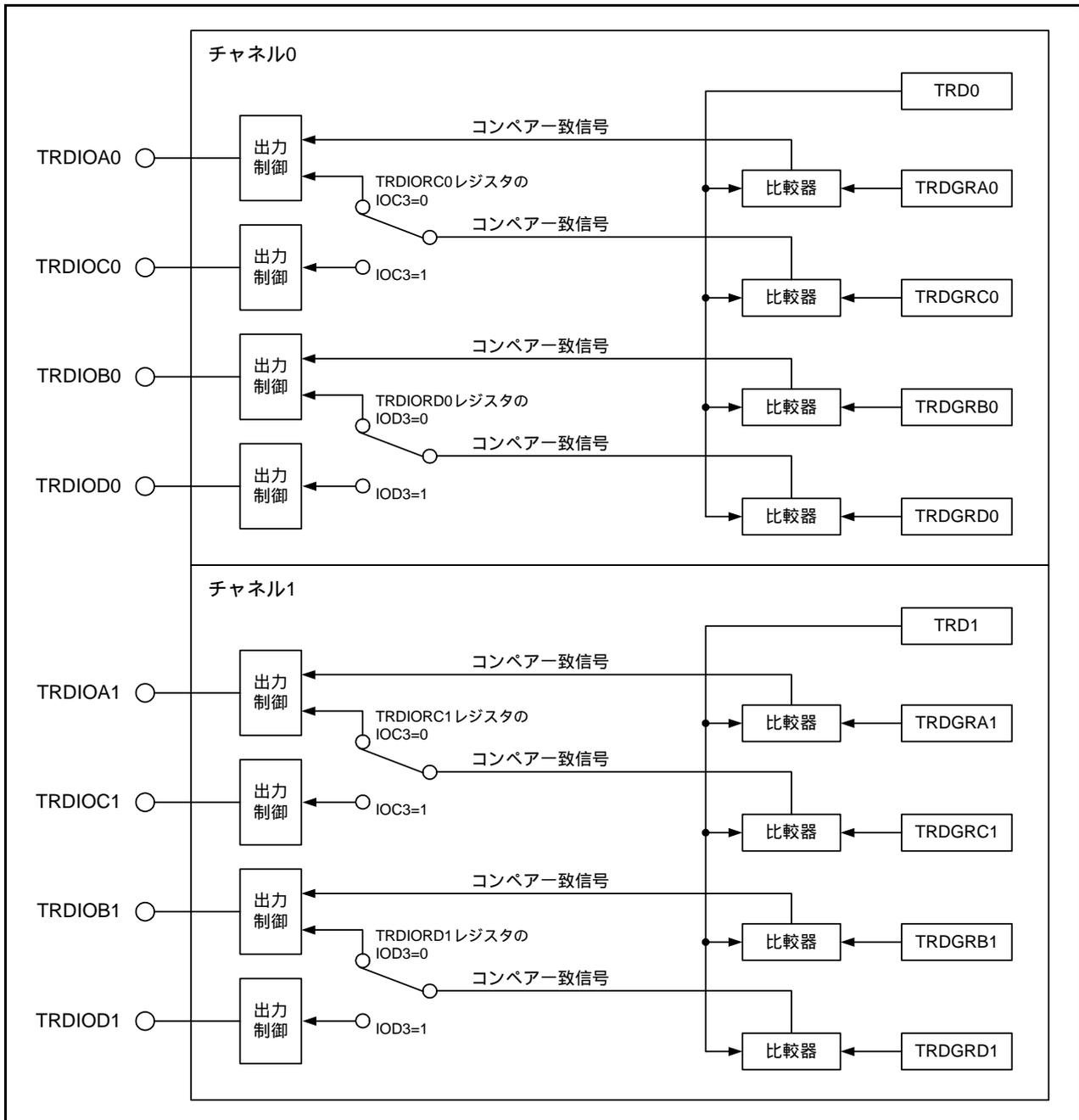


図 16.97 TRDGRC_i、TRDGRD_iの出力端子変更

TRDGRC_i、TRDGRD_iレジスタの出力端子を変更する場合は、次のようにしてください。

- TRDIORC_iレジスタのIOj₃(*j*=CまたはD)ビットで“0”(TRDGR_jiレジスタ出力端子変更)を選択。
- TRDMRレジスタのBF_jiビットを“0”(ジェネラルレジスタ)にする。
- TRDGRA_iレジスタとTRDGRC_iレジスタは違う値を設定。また、TRDGRB_iレジスタとTRDGRD_iレジスタは違う値を設定。

図 16.98 に TRDGRC_i を TRDIOA_i 端子の、TRDGRD_i を TRDIOB_i 端子の出力制御に使用した場合の動作例を示します。

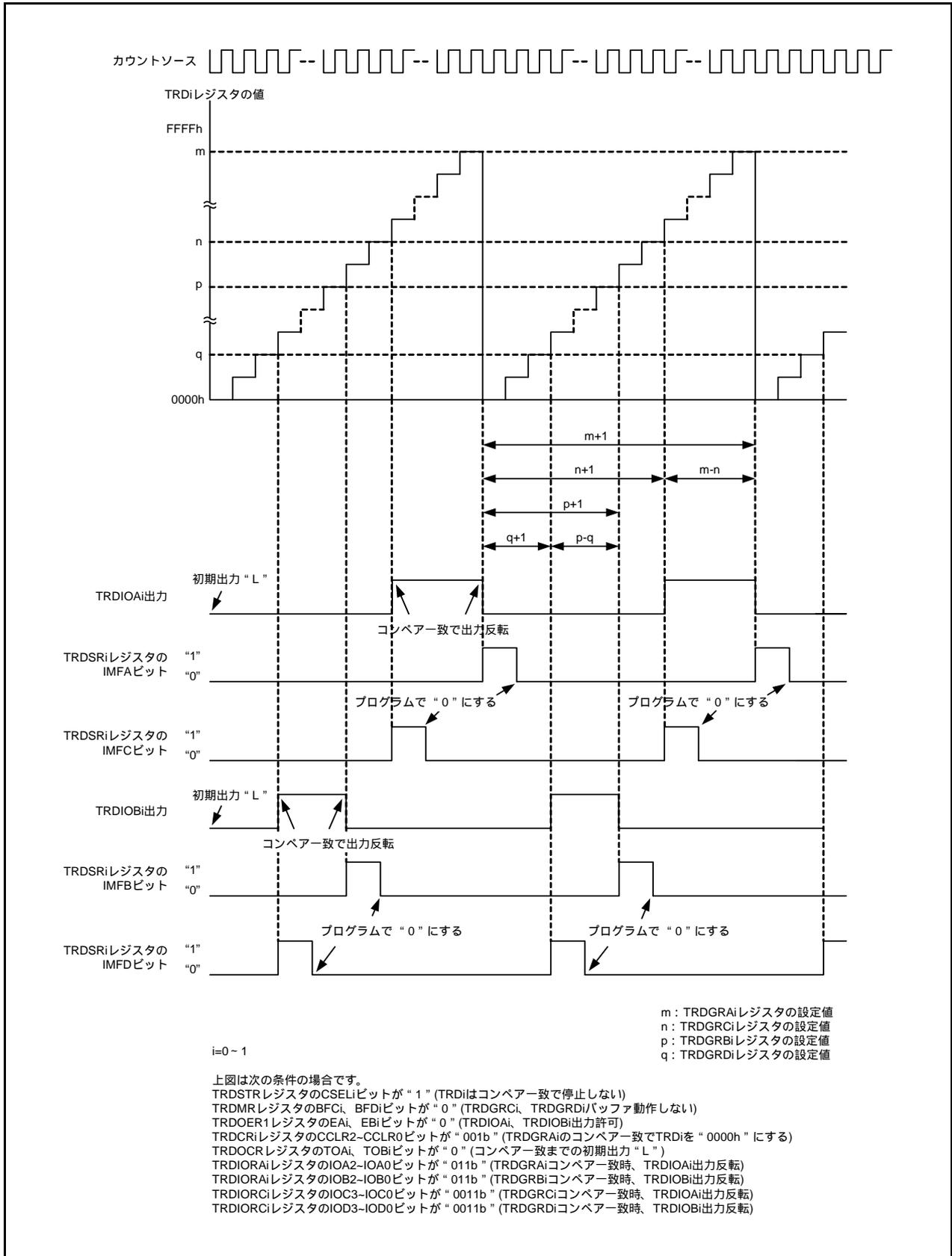


図 16.98 TRDGRC_i を TRDIOA_i 端子の、TRDGRD_i を TRDIOB_i 端子の出力制御に使用した場合の動作例

16.4.7 PWMモード

PWM波形を出力するモードです。1チャンネルで同周期のPWM波形を最大3本出力できます。また、チャンネル0、1を同期させることによって同周期のPWM波形を最大6本出力できます。

TRDIO_{ji}($i = 0 \sim 1$, $j = B, C, D$)端子とTRDGR_{ji}レジスタの組み合わせで機能しますので、端子1本ごとにPWMモードにするか、他のモード、機能にするかを選択できます(ただし、いずれの端子をPWMモードに使用する場合もTRDGRA_iレジスタを使用しますので、TRDGRA_iレジスタは他のモードに使用できません)。

図16.99にPWMモードのブロック図を、表16.41にPWMモードの仕様を、図16.100～図16.108にPWMモード関連レジスタを、図16.109～図16.110にPWMモードの動作例を示します。

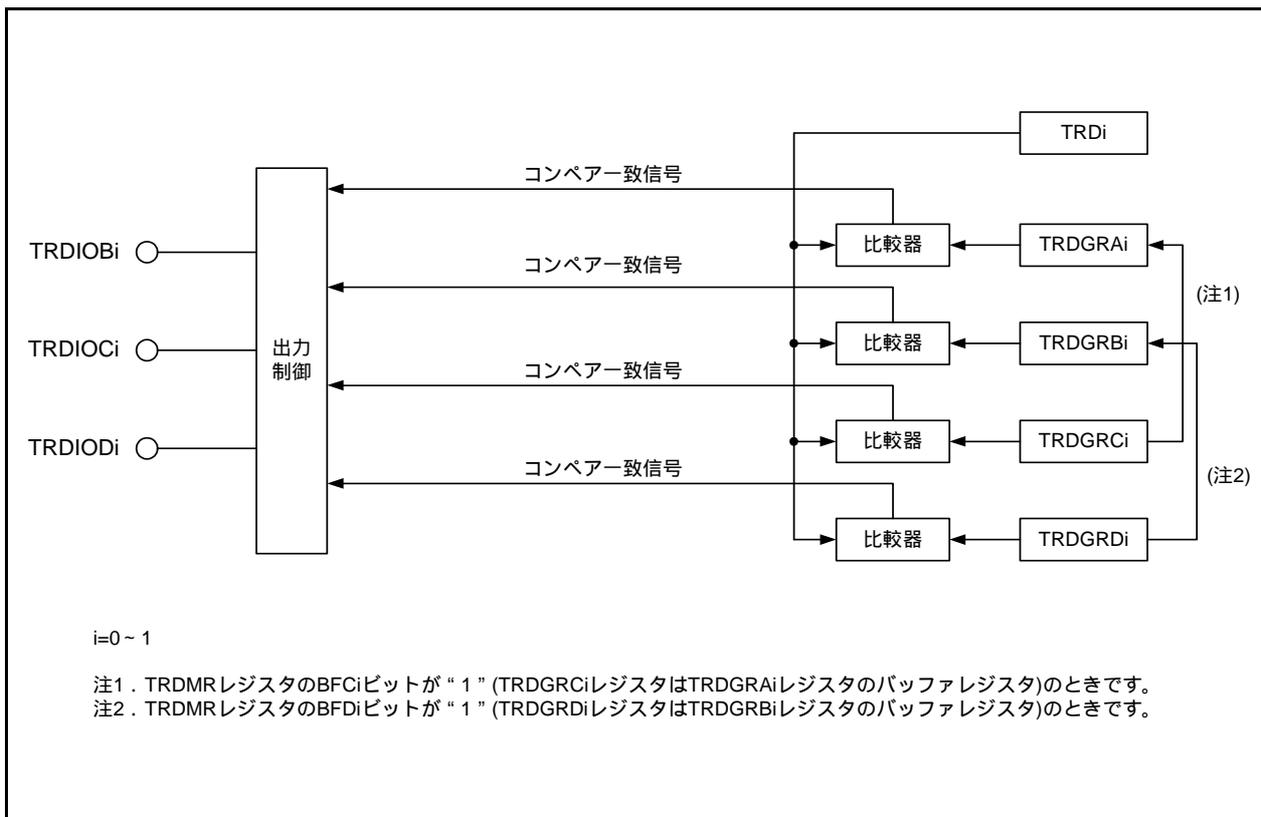
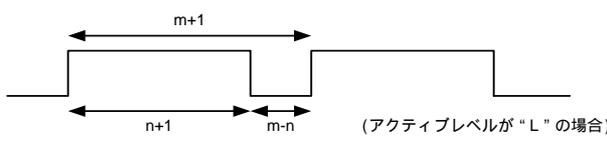


図16.99 PWMモードのブロック図

表 16.41 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	アップカウント
PWM波形	<p>PWM周期: $1/f_k \times (m+1)$ アクティブレベル幅: $1/f_k \times (m-n)$ アクティブでないレベルの幅: $1/f_k \times (n+1)$ f_k: カウントソースの周波数 m: TRDGRAi(i = 0 ~ 1)レジスタ設定値 n: TRDGRj(j = B、C、D)レジスタ設定値</p>  <p>(アクティブレベルが“L”の場合)</p>
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSELiビットが“0”の場合、TRDGRAiコンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペア一致(TRDiレジスタとTRDGRjレジスタの内容が一致) • TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOA1端子機能	プログラマブル入出力ポート
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOB1、TRDIOC1、TRDIOD1端子機能	プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	<ul style="list-style-type: none"> • PWM出力端子を1チャンネルにつき1~3本選択 TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 • アクティブレベルを1端子ごとに選択 • 初期出力レベルを1端子ごとに選択 • 同期動作(「16.4.3 同期動作」参照) • バッファ動作(「16.4.2 バッファ動作」参照) • パルス出力強制遮断信号入力(「16.4.4 パルス出力強制遮断」参照)

i=0 ~ 1

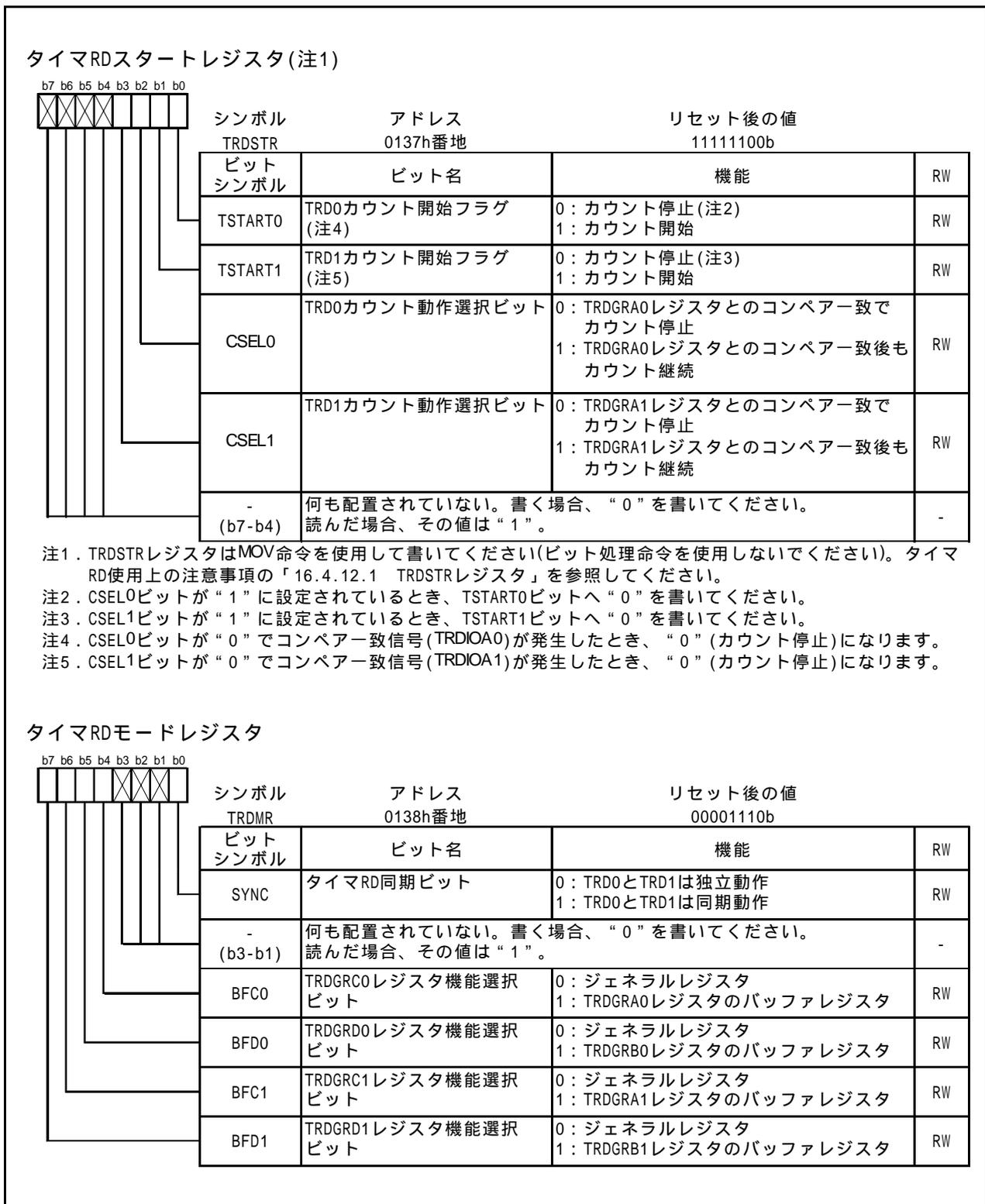


図 16.100 PWMモード時のTRDSTR、TRDMRレジスタ



図16.101 PWMモード時のTRDPMR、TRDFCRレジスタ

タイマRDアウトプットマスタ許可レジスタ1

シンボル TRDOER1		アドレス 013Bh番地	リセット後の値 FFh
ビット シンボル	ビット名	機能	RW
EA0	TRDIOA0出力禁止ビット	PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください。	RW
EB0	TRDIOB0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB0端子はプログラマブル入出力ポート)	RW
EC0	TRDIOC0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC0端子はプログラマブル入出力ポート)	RW
ED0	TRDIOD0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD0端子はプログラマブル入出力ポート)	RW
EA1	TRDIOA1出力禁止ビット	PWMモードでは、“1”(TRDIOA1端子はプログラマブル入出力ポート)にしてください。	RW
EB1	TRDIOB1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB1端子はプログラマブル入出力ポート)	RW
EC1	TRDIOC1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC1端子はプログラマブル入出力ポート)	RW
ED1	TRDIOD1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD1端子はプログラマブル入出力ポート)	RW

タイマRDアウトプットマスタ許可レジスタ2

シンボル TRDOER2		アドレス 013Ch番地	リセット後の値 01111111b
ビット シンボル	ビット名	機能	RW
- (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
PTO	パルス出力強制遮断信号 入力INT0有効ビット (注1)	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に “L”を入力すると、TRDOER1レジスタ の全ビットが“1”(出力禁止)になる)	RW

注1. 「16.4.4 パルス出力強制遮断」を参照してください。

図 16.102 PWMモード時のTRDOER1 ~ TRDOER2レジスタ

タイマRDアウトプット制御レジスタ(注1)

シンボル TRDOCR	アドレス 013Dh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TOA0	TRDIOA0出力レベル選択ビット	PWMモードでは、“0”にしてください。	RW
TOB0	TRDIOB0出力レベル選択ビット(注2)	0: 初期出力はアクティブでないレベル 1: 初期出力はアクティブレベル	RW
TOC0	TRDIOC0初期出力レベル選択ビット(注2)		RW
TOD0	TRDIOD0初期出力レベル選択ビット(注2)		RW
TOA1	TRDIOA1初期出力レベル選択ビット	PWMモードでは、“0”にしてください。	RW
TOB1	TRDIOB1初期出力レベル選択ビット(注2)	0: アクティブでないレベル 1: アクティブレベル	RW
TOC1	TRDIOC1初期出力レベル選択ビット(注2)		RW
TOD1	TRDIOD1初期出力レベル選択ビット(注2)		RW

注1. TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

注2. 端子の機能が波形出力の場合(「表16.27~表16.29、表16.31~表16.33」参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

タイマRD制御レジスタ*i*(*i* = 0 ~ 1)

シンボル TRDCR0 TRDCR1	アドレス 0140h番地 0150h番地	リセット後の値 00h 00h	
ビット シンボル	ビット名	機能	RW
TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0: f1	RW
TCK1		0 0 1: f2	
TCK2		0 1 0: f4 0 1 1: f8 1 0 0: f32 1 0 1: TRDCLK入力(注1)	RW
CKEG0	外部クロックエッジ選択ビット(注2)	1 1 0: fOCO40M	
CKEG1		1 1 1: 設定しないでください	
CCLR0	TRDiカウンタクリア選択ビット	b4 b3 0 0: 立ち上がりエッジでカウント	RW
CCLR1		0 1: 立ち下がりエッジでカウント	RW
CCLR2		1 0: 両エッジでカウント 1 1: 設定しないでください	RW

注1. TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. TCK2~TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

図16.103 PWMモード時のTRDOCR、TRDCR0 ~ TRDCR1レジスタ

タイマRDステータスレジスタ*i* (*i* = 0 ~ 1)

シンボル	アドレス	リセット後の値
TRDSR0	0143h番地	11100000b
TRDSR1	0153h番地	11000000b

ビットシンボル	ビット名	機能	RW
IMFA	インプットキャプチャ/コンペアー致フラグA	[“0” になる要因] 読んだ後、“0” を書く。(注2) [“1” になる要因] TRDi と TRDGRAi の値が一致したとき。	RW
IMFB	インプットキャプチャ/コンペアー致フラグB	[“0” になる要因] 読んだ後、“0” を書く。(注2) [“1” になる要因] TRDi と TRDGRBi の値が一致したとき。	RW
IMFC	インプットキャプチャ/コンペアー致フラグC	[“0” になる要因] 読んだ後、“0” を書く。(注2) [“1” になる要因] TRDi と TRDGRCi の値が一致したとき。 (注3)	RW
IMFD	インプットキャプチャ/コンペアー致フラグD	[“0” になる要因] 読んだ後、“0” を書く。(注2) [“1” になる要因] TRDi と TRDGRDi の値が一致したとき。 (注3)	RW
OVF	オーパフローフラグ	[“0” になる要因] 読んだ後、“0” を書く。(注2) [“1” になる要因] TRDi がオーパフローしたとき。	RW
UDF	アンダフローフラグ(注1)	PWMモードでは無効です。	RW
- (b7-b6)	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“1”。		-

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0” を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0” を書くと“0” になります。
- ・読んだ結果が“0” の場合、同じビットに“0” を書いても変化しません(読んだ後で、“0” から“1” に変化した場合、“0” を書いても“1” のままです)。
- ・“1” を書いた場合は変化しません。

注3. TRDMRレジスタのBF*ji*ビット(*j*=CまたはD)が“1” (TRDGR*ji*はバッファレジスタ)の場合を含む。

図16.104 PWMモード時のTRDSR0 ~ TRDSR1レジスタ

タイマRD割り込み許可レジスタ*i* (*i* = 0 ~ 1)

シンボル	アドレス	リセット後の値
TRDIER0	0144h番地	11100000b
TRDIER1	0154h番地	11100000b

ビットシンボル	ビット名	機能	RW
IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0: IMFAビットによる割り込み(IMIA)禁止 1: IMFAビットによる割り込み(IMIA)許可	RW
IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0: IMFBビットによる割り込み(IMIB)禁止 1: IMFBビットによる割り込み(IMIB)許可	RW
IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0: IMFCビットによる割り込み(IMIC)禁止 1: IMFCビットによる割り込み(IMIC)許可	RW
IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0: IMFDビットによる割り込み(IMID)禁止 1: IMFDビットによる割り込み(IMID)許可	RW
OVIE	オーバフロー/アンダフロー割り込み許可ビット	0: OVFビットによる割り込み(OVI)禁止 1: OVFビットによる割り込み(OVI)許可	RW
- (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

図 16.105 PWMモード時のTRDIER0 ~ TRDIER1レジスタ

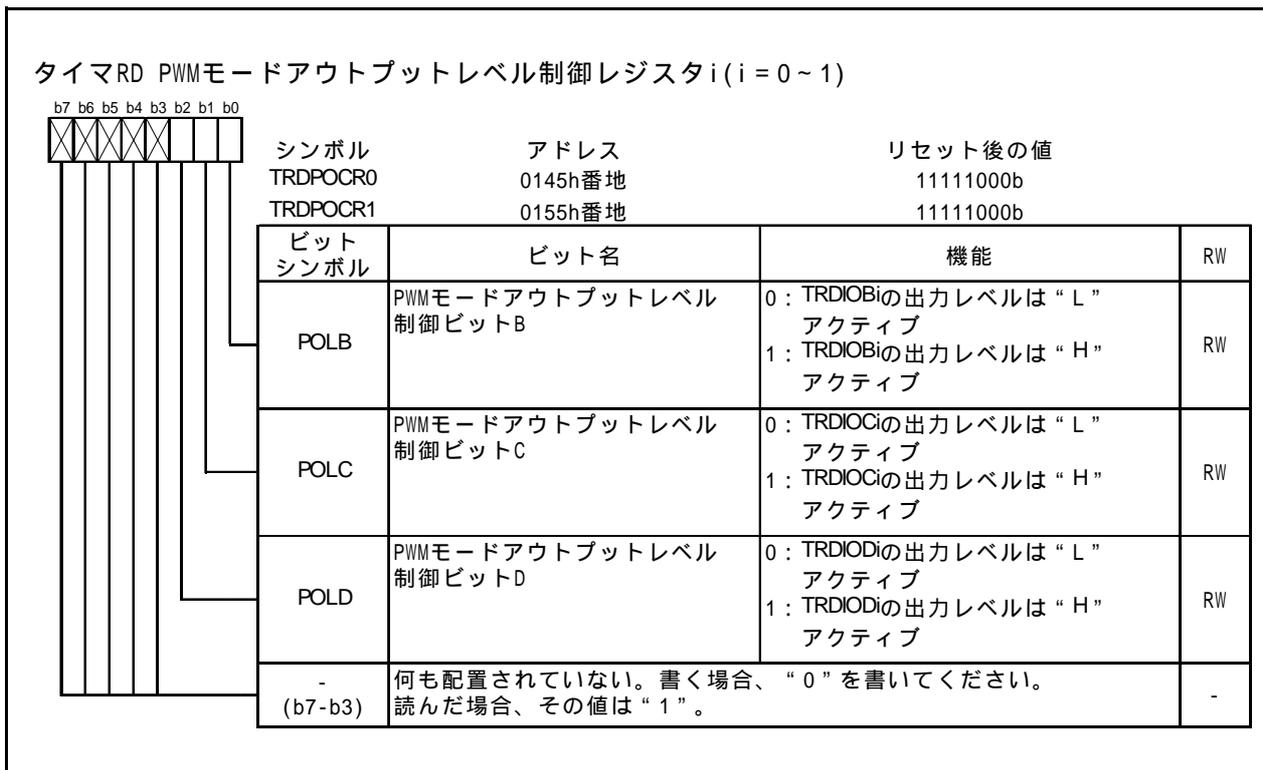


図 16.106 PWMモード時のTRDPOCR0 ~ TRDPOCR1レジスタ

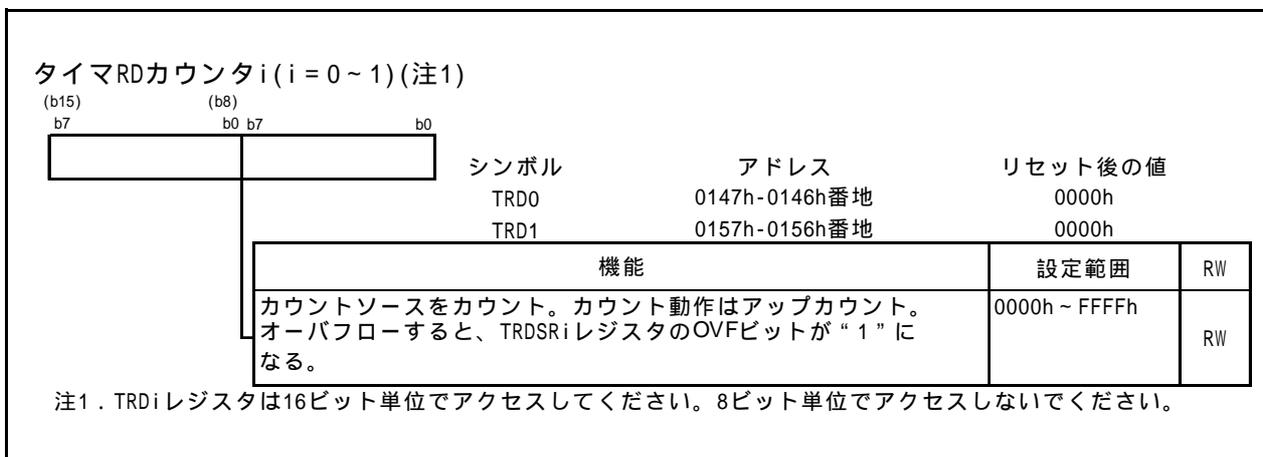


図 16.107 PWMモード時のTRD0 ~ TRD1レジスタ

タイマRDジェネラルレジスタAi、Bi、Ci、Di (i = 0 ~ 1) (注1)

(b15) b7	(b8) b0 b7	b0	シンボル	アドレス	リセット後の値
			TRDGRA0	0149h-0148h番地	FFFFh
			TRDGRB0	014Bh-014Ah番地	FFFFh
			TRDGRC0	014Dh-014Ch番地	FFFFh
			TRDGRD0	014Fh-014Eh番地	FFFFh
			TRDGRA1	0159h-0158h番地	FFFFh
			TRDGRB1	015Bh-015Ah番地	FFFFh
			TRDGRC1	015Dh-015Ch番地	FFFFh
			TRDGRD1	015Fh-015Eh番地	FFFFh
機能					RW
「表16.42 PWMモード時のTRDGRjiレジスタの機能」参照。					RW

注1. TRDGRAi ~ TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図16.108 PWMモード時のTRDGRAi、TRDGRBi、TRDGRCi、TRDGRDiレジスタ

PWMモードでは、次のレジスタは無効です。

TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDIORA1、TRDIORC1

表 16.42 PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRAi	-	ジェネラルレジスタ。PWM周期を設定してください。	-
TRDGRBi	-	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOBi
TRDGRCi	BFCi=0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOCi
TRDGRDi	BFDi=0		TRDIODi
TRDGRCi	BFCi=1	バッファレジスタ。次回のPWM周期を設定してください (「16.4.2 バッファ動作」参照)。	-
TRDGRDi	BFDi=1	バッファレジスタ。次回のPWM出力の変化点を設定してください (「16.4.2 バッファ動作」参照)。	TRDIOBi

i=0 ~ 1

BFCi、BFDi : TRDMRレジスタのビット

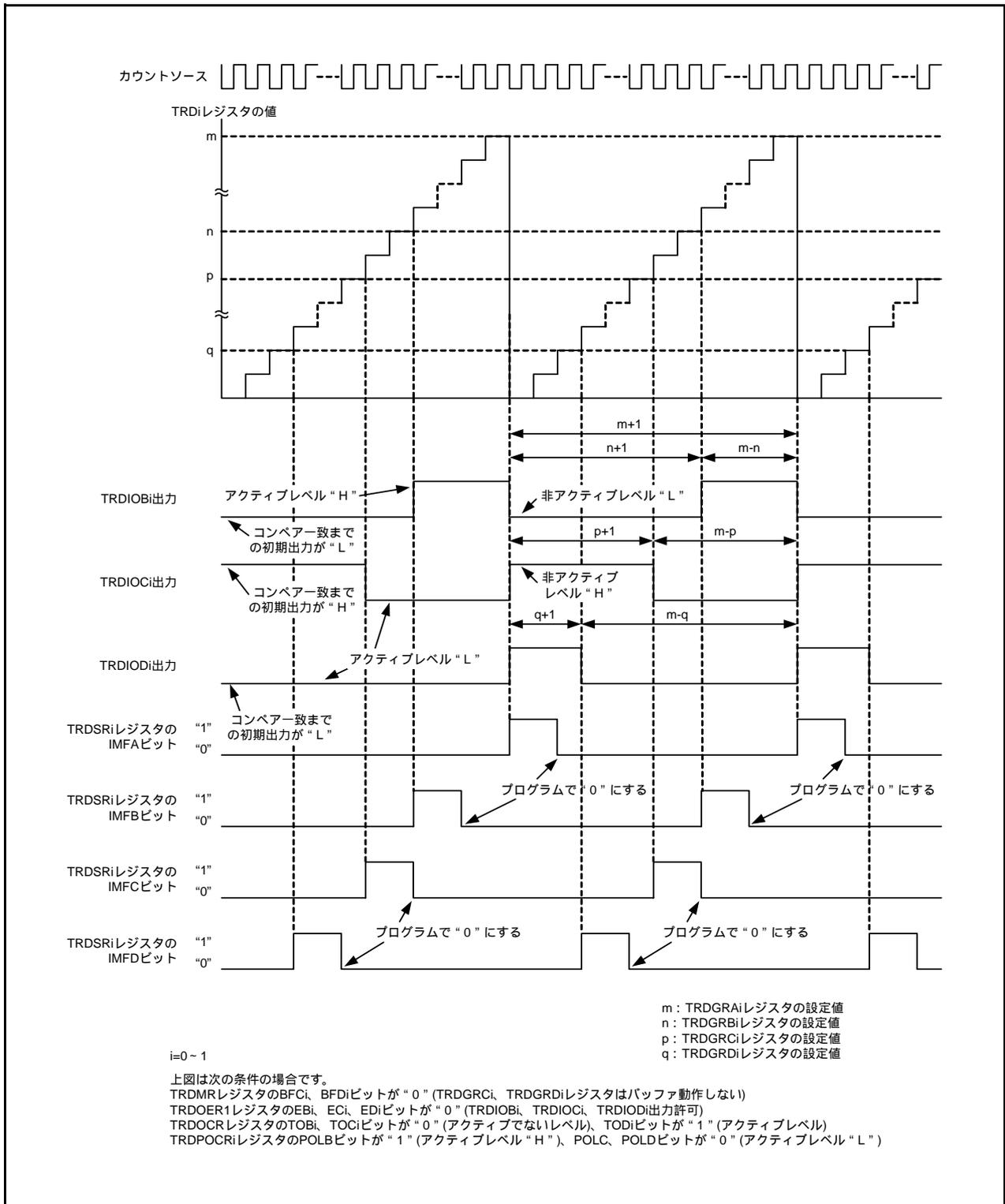


図 16.109 PWMモードの動作例

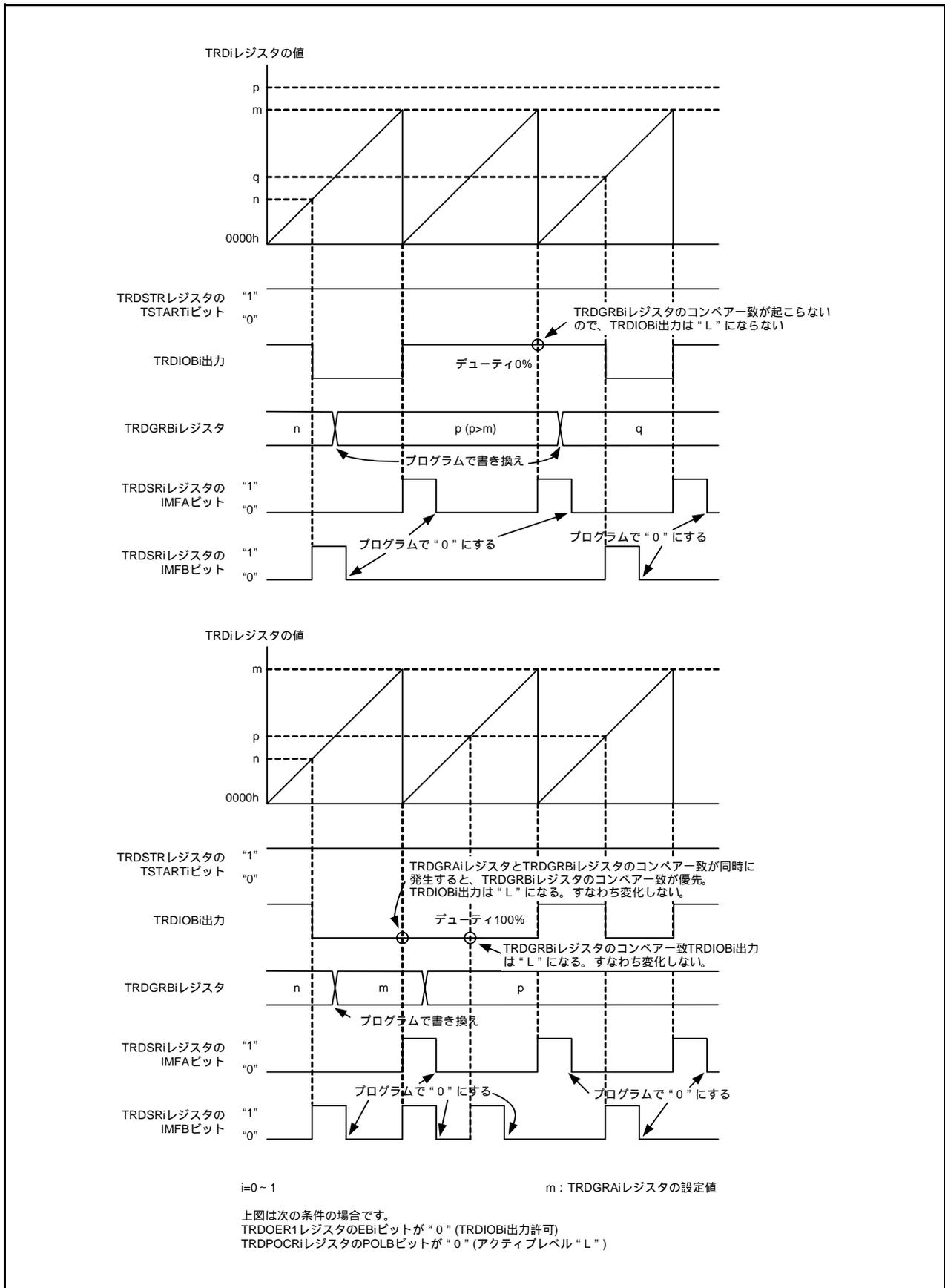


図 16.110 PWMモードの動作例(デューティ 0%、デューティ 100%)

16.4.8 リセット同期PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、鋸波変調、短絡防止時間なし)。

図16.111にリセット同期PWMモードのブロック図を、表16.43にリセット同期PWMモードの仕様を、図16.112～図16.119にリセット同期PWMモード関連レジスタを、図16.120にリセット同期PWMモードの動作例を示します。

デューティ0%、100%のPWM動作例は「図16.110 PWMモードの動作例(デューティ0%、デューティ100%)」を参照してください。

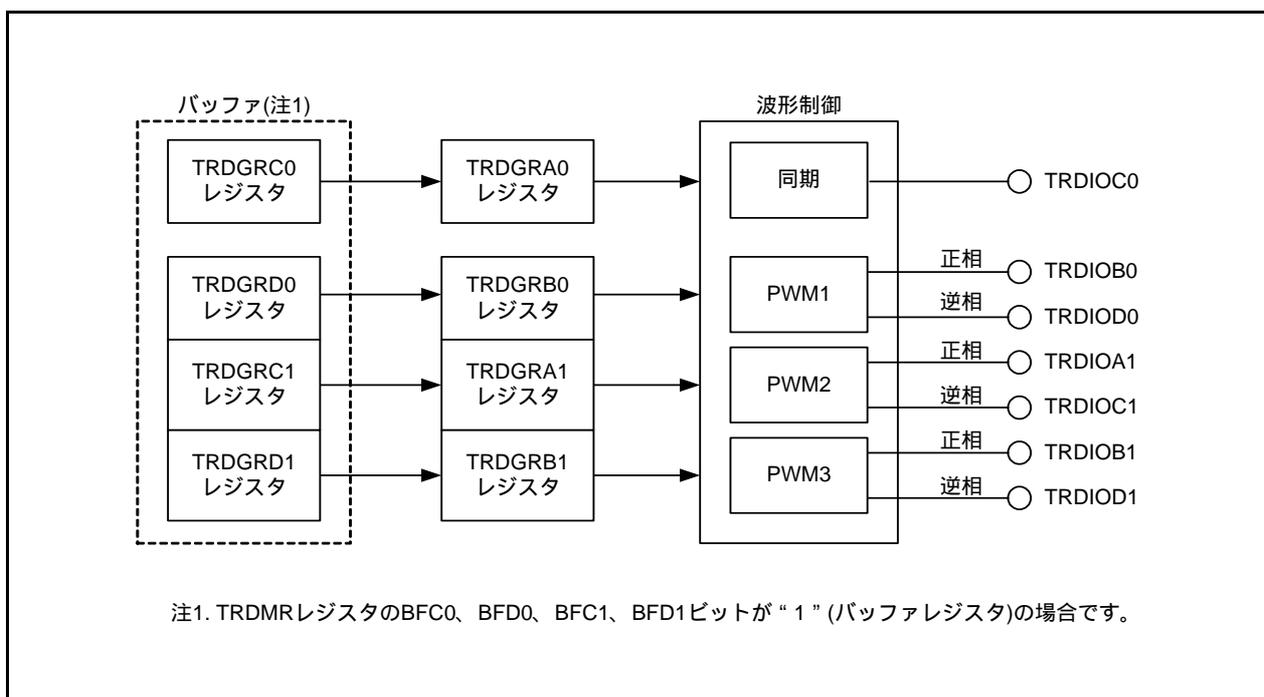


図16.111 リセット同期PWMモードのブロック図

表 16.43 リセット同期PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	TRD0はアップカウント(TRD1は使用しない)
PWM波形	PWM周期 : $1/f_k \times (m+1)$ 正相のアクティブレベル幅 : $1/f_k \times (m-n)$ 逆相のアクティブレベル幅 : $1/f_k \times (n+1)$ f_k : カウントソースの周波数 m : TRDGRA0レジスタ設定値 n : TRDGRB0レジスタ設定値(PWM出力1)、 TRDGRA1レジスタ設定値(PWM出力2)、 TRDGRB1レジスタ設定値(PWM出力3) (アクティブレベルが“L”の場合)
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSEL0ビットが“0”の場合、TRDGRA0コンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペア一致(TRD0レジスタとTRDGRj0、TRDGRA1、TRDGRB1レジスタの内容が一致) • TRD0オーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWM周期ごとに出力反転
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRD0レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	<ul style="list-style-type: none"> • 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 • バッファ動作(「16.4.2 バッファ動作」参照) • パルス出力強制遮断信号入力(「16.4.4 パルス出力強制遮断」参照)

j=A、B、C、Dのいずれか



図 16.112 リセット同期PWMモード時のTRDSTR、TRDMRレジスタ

タイマRD機能制御レジスタ

シンボル	アドレス	リセット後の値
TRDFCR	013Ah番地	1000000b

ビットシンボル	ビット名	機能	RW
CMD0	コンビネーションモード選択ビット(注1、2)	リセット同期PWMモードでは“01b”(リセット同期PWMモード)にしてください。	RW
CMD1			RW
OLS0	正相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)	0:初期出力“H”、アクティブレベル“L” 1:初期出力“L”、アクティブレベル“H”	RW
OLS1	逆相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)	0:初期出力“H”、アクティブレベル“L” 1:初期出力“L”、アクティブレベル“H”	RW
ADTRG	A/Dトリガ許可ビット(相補PWMモード時)	リセット同期PWMモードでは無効です。	RW
ADEG	A/Dトリガエッジ選択ビット(相補PWMモード時)	リセット同期PWMモードでは無効です。	RW
STCLK	外部クロック入力選択ビット	0:外部クロック入力無効 1:外部クロック入力有効	RW
PWS3	PWM3モード選択ビット(注3)	リセット同期PWMモードでは無効です。	RW

注1. CMD1～CMD0ビットを“01b”、“10b”、“11b”に設定したとき、TRDPMRレジスタの設定に係わらず、リセット同期PWMモードまたは相補PWMモードになります。

注2. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注3. CMD1～CMD0ビットが“00b”(タイマモード・PWMモード・PWM3モード)のとき、PWS3ビットの設定が有効になります。

図16.113 リセット同期PWMモード時のTRDFCRレジスタ

タイマRDアウトプットマスタ許可レジスタ1

シンボル TRDOER1		アドレス 013Bh番地	リセット後の値 FFh
ビット シンボル	ビット名	機能	RW
EA0	TRDIOA0出力禁止ビット	リセット同期PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください。	RW
EB0	TRDIOB0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB0端子はプログラマブル入出力ポート)	RW
EC0	TRDIOC0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC0端子はプログラマブル入出力ポート)	RW
ED0	TRDIOD0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD0端子はプログラマブル入出力ポート)	RW
EA1	TRDIOA1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOA1端子はプログラマブル入出力ポート)	RW
EB1	TRDIOB1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB1端子はプログラマブル入出力ポート)	RW
EC1	TRDIOC1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC1端子はプログラマブル入出力ポート)	RW
ED1	TRDIOD1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD1端子はプログラマブル入出力ポート)	RW

タイマRDアウトプットマスタ許可レジスタ2

シンボル TRDOER2		アドレス 013Ch番地	リセット後の値 01111111b
ビット シンボル	ビット名	機能	RW
- (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
PTO	パルス出力強制遮断信号入力INT0有効ビット (注1)	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	RW

注1. 「16.4.4 パルス出力強制遮断」を参照してください。

図16.114 リセット同期PWMモード時のTRDOER1～TRDOER2レジスタ

タイマRD制御レジスタ0(注3)

シンボル		アドレス	リセット後の値
TRDCR0		0140h番地	00h
ビットシンボル	ビット名	機能	RW
TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1) 1 1 0 : fOCO40M 1 1 1 : 設定しないでください	RW
TCK1		RW	
TCK2		RW	
CKEG0	外部クロックエッジ選択ビット(注2)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	RW
CKEG1		RW	
CCLR0	TRD0カウンタクリア選択ビット	リセット同期PWMモードでは “001b”(TRDGRA0レジスタとの コンペア一致でTRD0レジスタクリア) にしてください	RW
CCLR1			RW
CCLR2			RW

注1. TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注2. TCK2～TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注3. リセット同期PWMモードではTRDCR1レジスタは使用しません。

図16.115 リセット同期PWMモード時のTRDCR0レジスタ

タイマRDステータスレジスタ*i* (*i* = 0 ~ 1)

シンボル	アドレス	リセット後の値
TRDSR0	0143h番地	11100000b
TRDSR1	0153h番地	11000000b

ビットシンボル	ビット名	機能	RW
IMFA	インプットキャプチャ/ コンペアー一致フラグA	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき。	RW
IMFB	インプットキャプチャ/ コンペアー一致フラグB	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき。	RW
IMFC	インプットキャプチャ/ コンペアー一致フラグC	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき。 (注3)	RW
IMFD	インプットキャプチャ/ コンペアー一致フラグD	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき。 (注3)	RW
OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiがオーバフローしたとき。	RW
UDF	アンダフローフラグ(注1)	リセット同期PWMモードでは無効です。	RW
- (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMRレジスタのBF_{ji}ビット(*j*=CまたはD)が“1”(TRDGR_{ji}はバッファレジスタ)の場合を含む。

図16.116 リセット同期PWMモード時のTRDSR0 ~ TRDSR1レジスタ

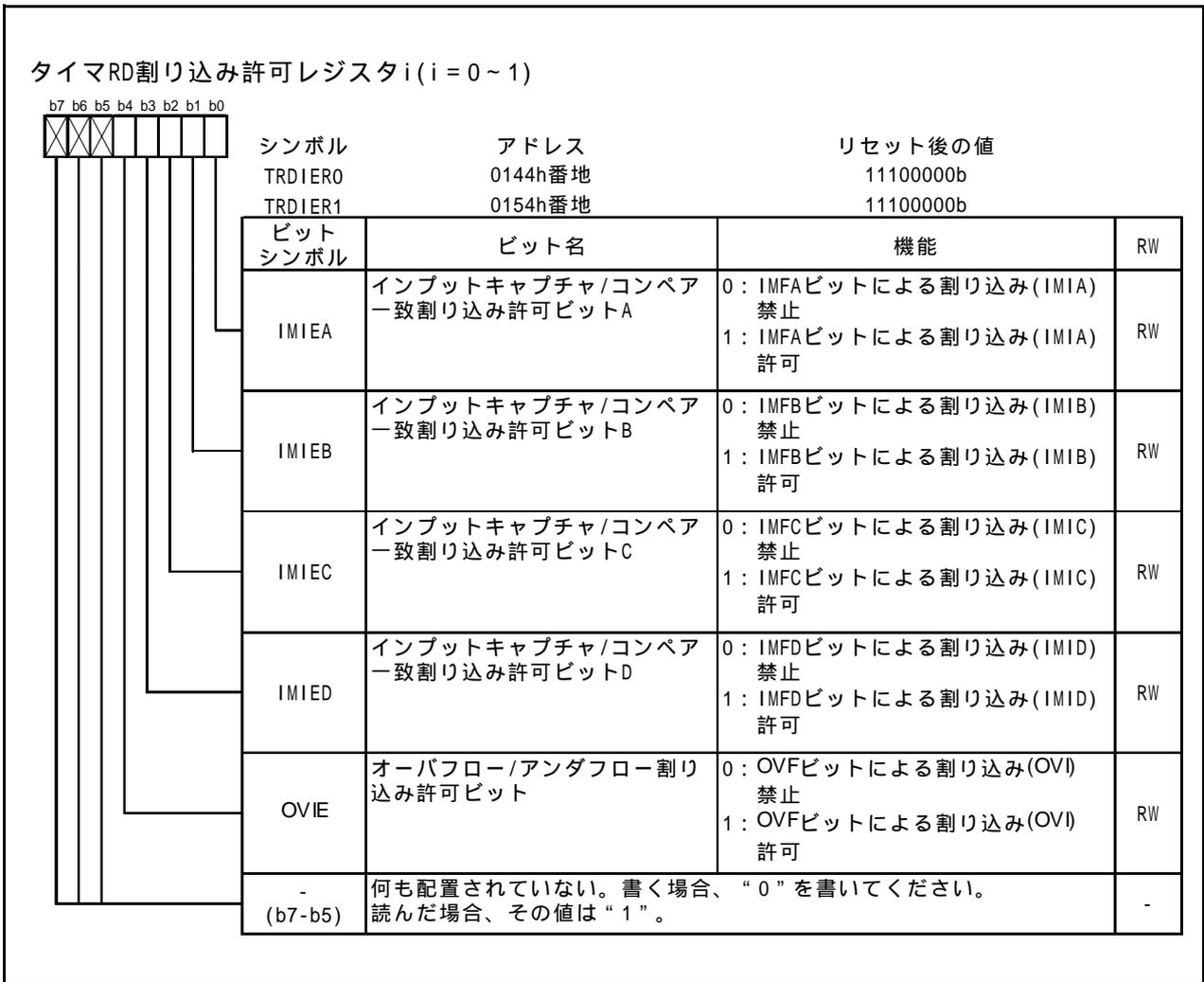


図16.117 リセット同期PWMモード時のTRDIER0 ~ TRDIER1レジスタ

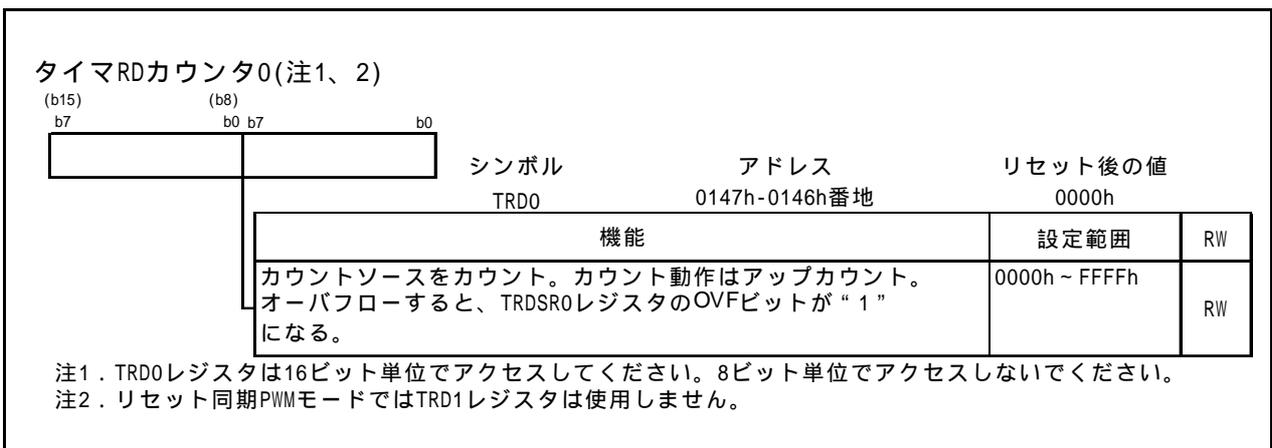


図16.118 リセット同期PWMモード時のTRD0レジスタ

タイマRDジェネラルレジスタAi、Bi、Ci、Di (i = 0 ~ 1) (注1)

(b15) b7	(b8) b0 b7	b0	シンボル	アドレス	リセット後の値
			TRDGRA0	0149h-0148h番地	FFFFh
			TRDGRB0	014Bh-014Ah番地	FFFFh
			TRDGRC0	014Dh-014Ch番地	FFFFh
			TRDGRD0	014Fh-014Eh番地	FFFFh
			TRDGRA1	0159h-0158h番地	FFFFh
			TRDGRB1	015Bh-015Ah番地	FFFFh
			TRDGRC1	015Dh-015Ch番地	FFFFh
			TRDGRD1	015Fh-015Eh番地	FFFFh
機能					RW
「表16.44 リセット同期PWMモード時のTRDGRjiレジスタの機能」参照。					RW

注1. TRDGRAi ~ TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図16.119 リセット同期PWMモード時のTRDGRAi、TRDGRBi、TRDGRCi、TRDGRDiレジスタ

リセット同期PWMモードでは、次のレジスタは無効です。

TRDPMR、TRDOCR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表 16.44 リセット同期PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	-	ジェネラルレジスタ。PWM周期を設定してください。	(TRDIOC0、PWM周期ごとに出力反転)
TRDGRB0	-	ジェネラルレジスタ。PWM1出力の変化点を設定してください。	TRDIOB0 TRDIOD0
TRDGRC0	BFC0=0	(リセット同期PWMモードでは使用しません)	-
TRDGRD0	BFD0=0		
TRDGRA1	-	ジェネラルレジスタ。PWM2出力の変化点を設定してください。	TRDIOA1 TRDIOC1
TRDGRB1	-	ジェネラルレジスタ。PWM3出力の変化点を設定してください。	TRDIOB1 TRDIOD1
TRDGRC1	BFC1=0	(リセット同期PWMモードでは使用しません)	-
TRDGRD1	BFD1=0		
TRDGRC0	BFC0=1	バッファレジスタ。次回のPWM周期を設定してください(「16.4.2 バッファ動作」参照)。	(TRDIOC0、PWM周期ごとに出力反転)
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM1出力の変化点を設定してください(「16.4.2 バッファ動作」参照)。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM2出力の変化点を設定してください(「16.4.2 バッファ動作」参照)。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM3出力の変化点を設定してください(「16.4.2 バッファ動作」参照)。	TRDIOB1 TRDIOD1

BFC0、BFD0、BFC1、BFD1 : TRDMRレジスタのビット

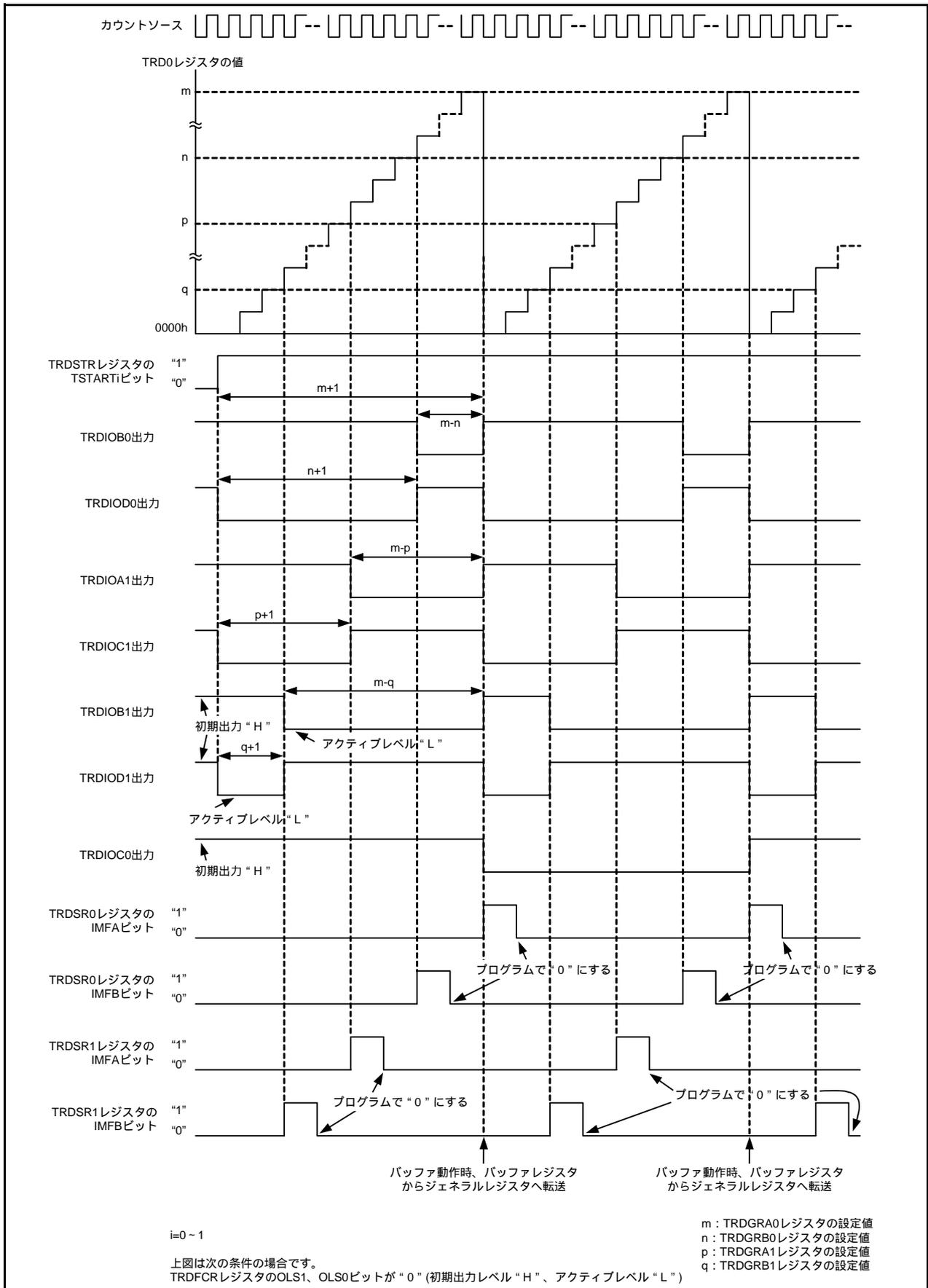


図 16.120 リセット同期PWMモードの動作例

16.4.9 相補PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、三角波変調、短絡防止時間あり)。

図16.121に相補PWMモードのブロック図を、表16.45に相補PWMモードの仕様を、図16.122～図16.129に相補PWMモード関連レジスタを、図16.130に相補PWMモードの出力モデルを、図16.131に相補PWMモードの動作例を示します。

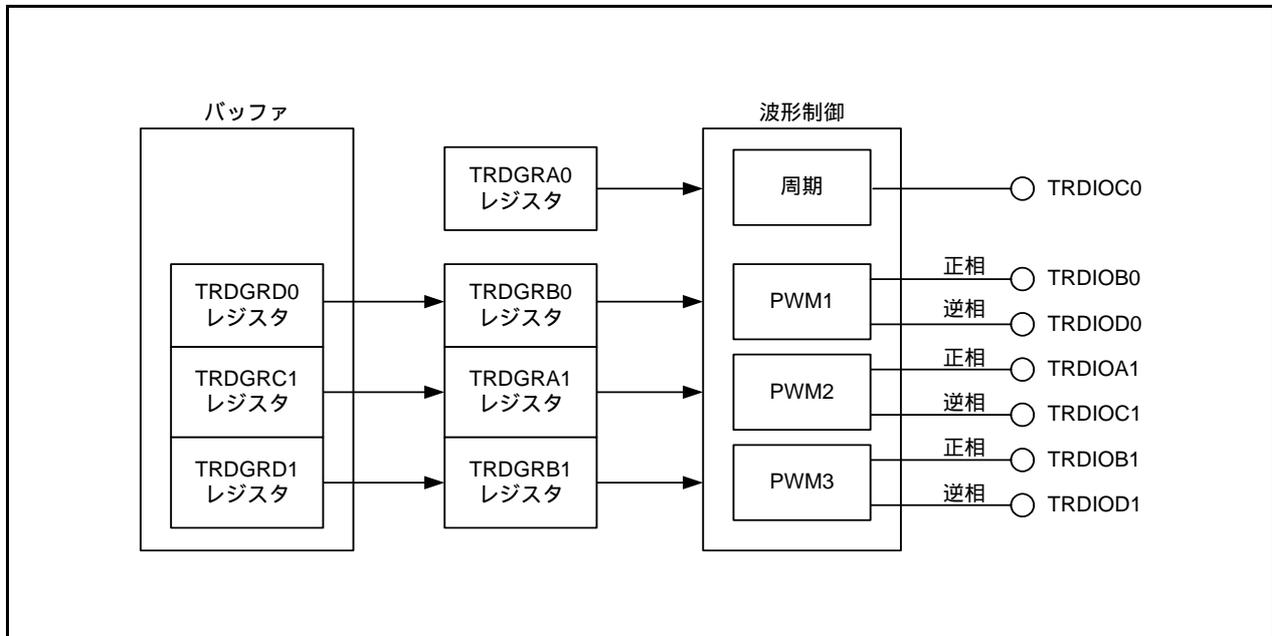


図16.121 相補PWMモードのブロック図

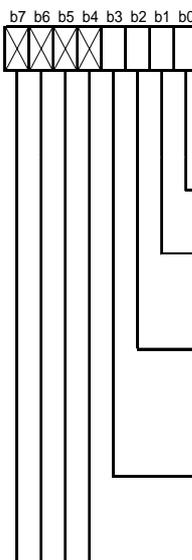
表 16.45 相補PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能) TRDCR0レジスタのTCK2 ~ TCK0ビットと、TRDCR1レジスタのTCK2 ~ TCK0ビットは同じ値(同じカウントソース)にしてください。
カウント動作	アップカウントまたはダウンカウント。 アップカウント中にTRD0レジスタとTRDGRA0レジスタがコンペアー一致すると、TRD0、TRD1ともダウンカウントになる。ダウンカウント中にTRD1レジスタが“0000h”から“FFFFh”になるとTRD0、TRD1ともアップカウントになる。
PWM波形	<p>PWM周期：$1/f_k \times (m+2-p) \times 2$(注1) 短絡防止時間：$p$ 正相のアクティブレベル幅：$1/f_k \times (m-n-p+1) \times 2$ 逆相のアクティブレベル幅：$1/f_k \times (n+1-p) \times 2$ f_k：カウントソースの周波数 m：TRDGRA0レジスタ設定値 n：TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3) p：TRD0レジスタ設定値</p> <p>(アクティブレベルが“L”の場合)</p>
カウント開始条件	TRDSTRレジスタのTSTART0ビットとTSTART1ビットへの“1”(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットとTSTART1ビットへの“0”(カウント停止)書き込み(PWM出力端子はカウント停止前の出力レベルを保持)
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペアー一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) TRD1 アンダフロー
TRDIOA0端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWMの1/2周期ごとに出力反転
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	<ul style="list-style-type: none"> パルス出力強制遮断信号入力(「16.4.4 パルス出力強制遮断」参照) 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 バッファレジスタからの転送タイミング選択 A/Dトリガ発生

i=0 ~ 1、j=A、B、C、Dのいずれか

注1. カウント開始後、PWM周期は固定です。

タイマRDスタートレジスタ(注1)



シンボル	アドレス	リセット後の値	
TRDSTR	0137h番地	11111100b	
ビットシンボル	ビット名	機能	RW
TSTART0	TRD0カウント開始フラグ(注4)	0: カウント停止(注2) 1: カウント開始	RW
TSTART1	TRD1カウント開始フラグ(注5)	0: カウント停止(注3) 1: カウント開始	RW
CSEL0	TRD0カウント動作選択ビット	0: TRDGRA0レジスタとのコンペア一致でカウント停止 1: TRDGRA0レジスタとのコンペア一致後もカウント継続	RW
CSEL1	TRD1カウント動作選択ビット	0: TRDGRA1レジスタとのコンペア一致でカウント停止 1: TRDGRA1レジスタとのコンペア一致後もカウント継続	RW
- (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. TRDSTRレジスタにはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「16.4.12.1 TRDSTRレジスタ」を参照してください。

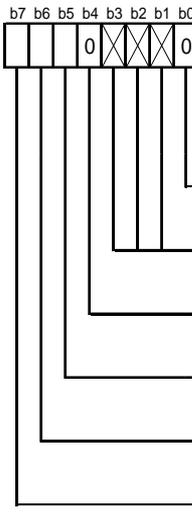
注2. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注3. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注4. CSEL0ビットが“0”でコンペア一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注5. CSEL1ビットが“0”でコンペア一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

タイマRDモードレジスタ



シンボル	アドレス	リセット後の値	
TRDMR	0138h番地	00001110b	
ビットシンボル	ビット名	機能	RW
SYNC	タイマRD同期ビット	相補PWMモードでは“0”(TRD0とTRD1は独立動作)にしてください	RW
- (b3-b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
BFC0	TRDGRC0レジスタ機能選択ビット	相補PWMモードでは“0”(ジェネラルレジスタ)にしてください	RW
BFD0	TRDGRD0レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB0レジスタのバッファレジスタ	RW
BFC1	TRDGRC1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA1レジスタのバッファレジスタ	RW
BFD1	TRDGRD1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB1レジスタのバッファレジスタ	RW

図 16.122 相補PWMモード時のTRDSTR、TRDMRレジスタ

タイマRD機能制御レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0			
シンボル	アドレス	リセット後の値	
TRDFCR	013Ah番地	1000000b	
ビットシンボル	ビット名	機能	RW
CMD0	コンビネーションモード 選択ビット (注1、2)	b1 b0 1 0: 相補PWMモード (TRD1のアンダ フロー時にバッファレジスタ からジェネラルレジスタへ 転送)	RW
		1 1: 相補PWMモード (TRD0とTRDGRA0 レジスタのコンペアー一致時に バッファレジスタからジェネラル レジスタへ転送) 上記以外: 設定しないでください	RW
OLS0	正相出力レベル選択ビット (リセット同期PWMモード または相補PWMモード時)	0: 初期出力 "H"、 アクティブレベル "L" 1: 初期出力 "L"、 アクティブレベル "H"	RW
OLS1	逆相出力レベル選択ビット (リセット同期PWMモード または相補PWMモード時)	0: 初期出力 "H"、 アクティブレベル "L" 1: 初期出力 "L"、 アクティブレベル "H"	RW
ADTRG	A/Dトリガ許可ビット (相補PWMモード時)	0: A/Dトリガを禁止 1: A/Dトリガを許可 (注3)	RW
ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)	0: TRD0とTRDGRA0レジスタのコンペア 一致時にA/Dトリガ発生 1: TRD1のアンダフロー時にA/Dトリガ 発生	RW
STCLK	外部クロック入力選択 ビット	0: 外部クロック入力無効 1: 外部クロック入力有効	RW
PWM3	PWM3モード選択ビット (注4)	相補PWMモードでは無効です	RW

注1. CMD1～CMD0ビットを "10b"、"11b" に設定したとき、TRDPMRレジスタの設定に係わらず、相補PWMモードになります。

注2. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに "0" (カウント停止)のときに書いてください。

注3. ADCON0レジスタのADCAPビットを "1" (タイマRDで開始)にしてください。

注4. CMD1～CMD0ビットが "00b" (タイマモード・PWMモード・PWM3モード)のとき、PWM3ビットの設定が有効になります。

図 16.123 相補PWMモード時のTRDFCRレジスタ

タイマRDアウトプットマスタ許可レジスタ1			
シンボル TRDOER1	アドレス 013Bh番地	リセット後の値 FFh	
ビット シンボル	ビット名	機能	RW
EA0	TRDIOA0出力禁止ビット	相補PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください。	RW
EB0	TRDIOB0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB0端子はプログラマブル入出力ポート)	RW
EC0	TRDIOC0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC0端子はプログラマブル入出力ポート)	RW
ED0	TRDIOD0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD0端子はプログラマブル入出力ポート)	RW
EA1	TRDIOA1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOA1端子はプログラマブル入出力ポート)	RW
EB1	TRDIOB1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB1端子はプログラマブル入出力ポート)	RW
EC1	TRDIOC1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC1端子はプログラマブル入出力ポート)	RW
ED1	TRDIOD1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD1端子はプログラマブル入出力ポート)	RW

タイマRDアウトプットマスタ許可レジスタ2			
シンボル TRDOER2	アドレス 013Ch番地	リセット後の値 01111111b	
ビット シンボル	ビット名	機能	RW
- (b6-b0)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-
PTO	パルス出力強制遮断信号 入力INT0有効ビット (注1)	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	RW

注1. 「16.4.4 パルス出力強制遮断」を参照してください。

図 16.124 相補PWMモード時のTRDOER1 ~ TRDOER2レジスタ

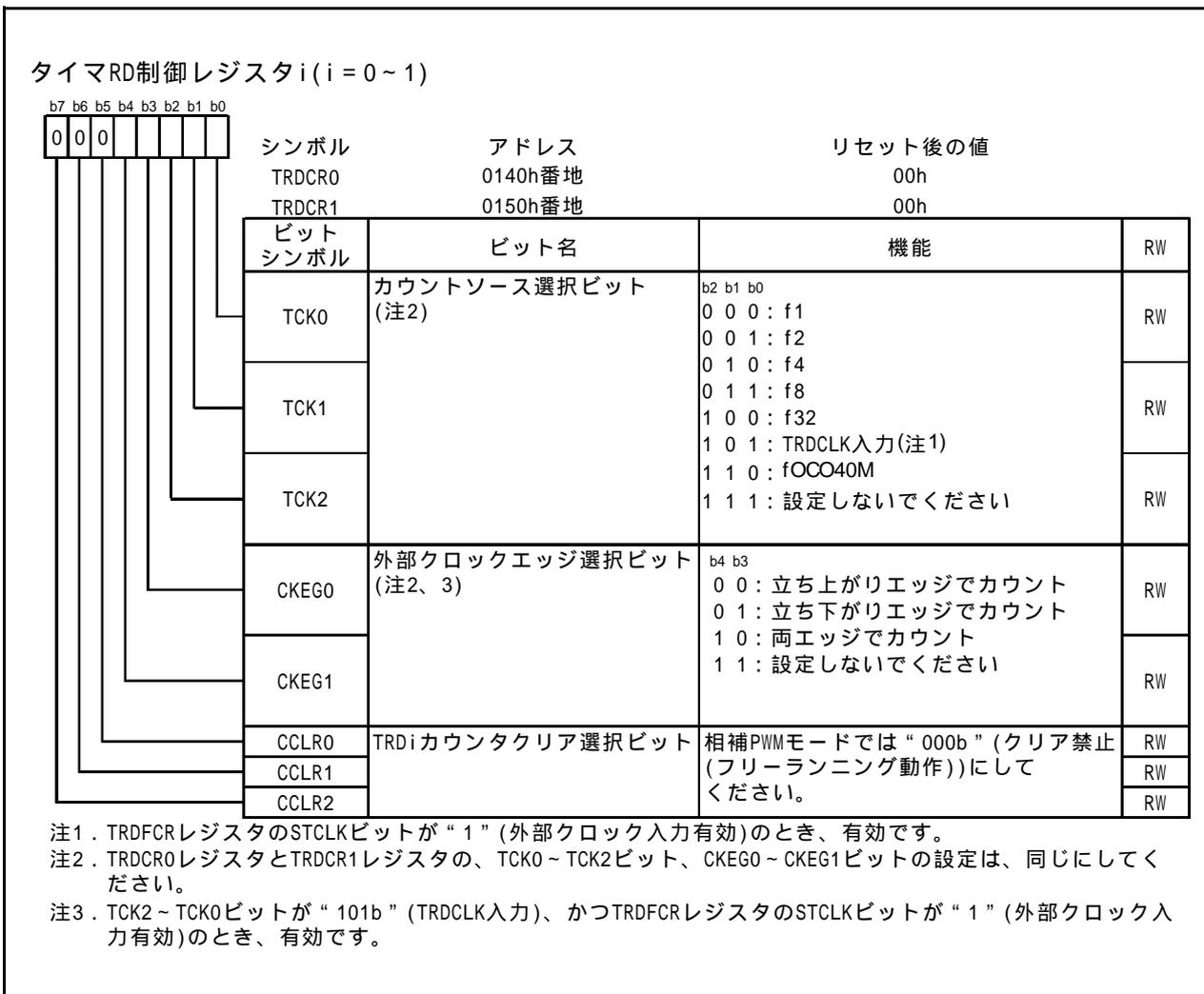


図 16.125 相補PWMモード時のTRDCR0 ~ TRDCR1レジスタ

タイマRDステータスレジスタ i ($i = 0 \sim 1$)

シンボル	アドレス	リセット後の値
TRDSR0	0143h番地	11100000b
TRDSR1	0153h番地	11000000b

ビットシンボル	ビット名	機能	RW
IMFA	インプットキャプチャ/ コンペアー一致フラグA	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき。	RW
IMFB	インプットキャプチャ/ コンペアー一致フラグB	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき。	RW
IMFC	インプットキャプチャ/ コンペアー一致フラグC	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき。 (注3)	RW
IMFD	インプットキャプチャ/ コンペアー一致フラグD	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき。 (注3)	RW
OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRDiがオーバフローしたとき。	RW
UDF	アンダフローフラグ(注1)	[“0”になる要因] 読んだ後、“0”を書く。(注2) [“1”になる要因] TRD1がアンダフローしたとき。	RW
- (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- 読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- “1”を書いた場合は変化しません。

注3. TRDMRレジスタのBF j iビット($j=C$ または D)が“1”(TRDGR j iはバッファレジスタ)の場合を含む。

図16.126 相補PWMモード時のTRDSR0～TRDSR1レジスタ

タイマRD割り込み許可レジスタ*i* (*i* = 0 ~ 1)

シンボル	アドレス	リセット後の値
TRDIER0	0144h番地	11100000b
TRDIER1	0154h番地	11100000b

ビットシンボル	ビット名	機能	RW
IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0 : IMFAビットによる割り込み (IMIA) 禁止 1 : IMFAビットによる割り込み (IMIA) 許可	RW
IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0 : IMFBビットによる割り込み (IMIB) 禁止 1 : IMFBビットによる割り込み (IMIB) 許可	RW
IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0 : IMFCビットによる割り込み (IMIC) 禁止 1 : IMFCビットによる割り込み (IMIC) 許可	RW
IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0 : IMFDビットによる割り込み (IMID) 禁止 1 : IMFDビットによる割り込み (IMID) 許可	RW
OVIE	オーバフロー/アンダフロー割り込み許可ビット	0 : OVF、UDFビットによる割り込み (OVI) 禁止 1 : OVF、UDFビットによる割り込み (OVI) 許可	RW
- (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

図 16.127 相補PWMモード時のTRDIER0 ~ TRDIER1 レジスタ

タイマRDカウンタ0(注1)			
(b15)	(b8)		
b7	b0 b7	b0	
		シンボル	アドレス
		TRD0	0147h-0146h番地
			リセット後の値
			0000h
		機能	設定範囲
		短絡防止時間を設定してください。 カウントソースをカウント。カウント動作はアップカウントまたは ダウンカウント。 オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。	0000h ~ FFFFh
			RW
			RW

注1. TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

タイマRDカウンタ1(注1)			
(b15)	(b8)		
b7	b0 b7	b0	
		シンボル	アドレス
		TRD1	0157h-0156h番地
			リセット後の値
			0000h
		機能	設定範囲
		“0000h”を選択してください。 カウントソースをカウント。カウント動作はアップカウントまたは ダウンカウント。 アンダフローすると、TRDSR1レジスタのUDFビットが“1”になる。	0000h ~ FFFFh
			RW
			RW

注1. TRD1レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図 16.128 相補PWMモード時のTRD0 ~ TRD1 レジスタ

タイマRDジェネラルレジスタAi、Bi、C1、Di(i=0~1)(注1、2)			
(b15)	(b8)		
b7	b0 b7	b0	
		シンボル	アドレス
		TRDGRA0	0149h-0148h番地
		TRDGRB0	014Bh-014Ah番地
		TRDGRD0	014Fh-014Eh番地
		TRDGRA1	0159h-0158h番地
		TRDGRB1	015Bh-015Ah番地
		TRDGRC1	015Dh-015Ch番地
		TRDGRD1	015Fh-015Eh番地
		リセット後の値	FFFFh
		機能	RW
		「表16.46 相補PWMモード時のTRDGRjiレジスタの機能」参照。	RW

注1. TRDGRAi ~ TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。
注2. 相補PWMモードでは、TRDGRC0レジスタは使用しません。

図 16.129 相補PWMモード時のTRDGRAi、TRDGRBi、TRDGRC1、TRDGRDiレジスタ

相補PWMモードでは、次のレジスタは無効です。

TRDPMR、TRDOCR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表 16.46 相補PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	-	ジェネラルレジスタ。初期設定時PWM周期を設定してください。 設定範囲：TRD0レジスタ設定値以上、 FFFFh - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	(TRDIOC0半周期ごとに出 力反転)
TRDGRB0	-	ジェネラルレジスタ。初期設定時PWM1出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	TRDIOB0 TRDIOD0
TRDGRA1	-	ジェネラルレジスタ。初期設定時PWM2出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	TRDIOA1 TRDIOC1
TRDGRB1	-	ジェネラルレジスタ。初期設定時PWM3出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	TRDIOB1 TRDIOD1
TRDGRC0	-	(相補PWMモードでは使用しません。)	-
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM1出力の変化点を設定してください (「16.4.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB0レジスタと同じ値を設定してください。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM2出力の変化点を設定してください (「16.4.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRA1レジスタと同じ値を設定してください。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM3出力の変化点を設定してください (「16.4.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB1レジスタと同じ値を設定してください。	TRDIOB1 TRDIOD1

BFC0、BFD0、BFC1、BFD1：TRDMRレジスタのビット

TRDGRB0、TRDGRA1、TRDGRB1レジスタには、カウント開始後、直接値を書き込むことができない(禁止事項)ため、TRDGRD0、TRDGRC1、TRDGRD1をバッファレジスタとして使用してください。ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みに際しては、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にしても構いません。

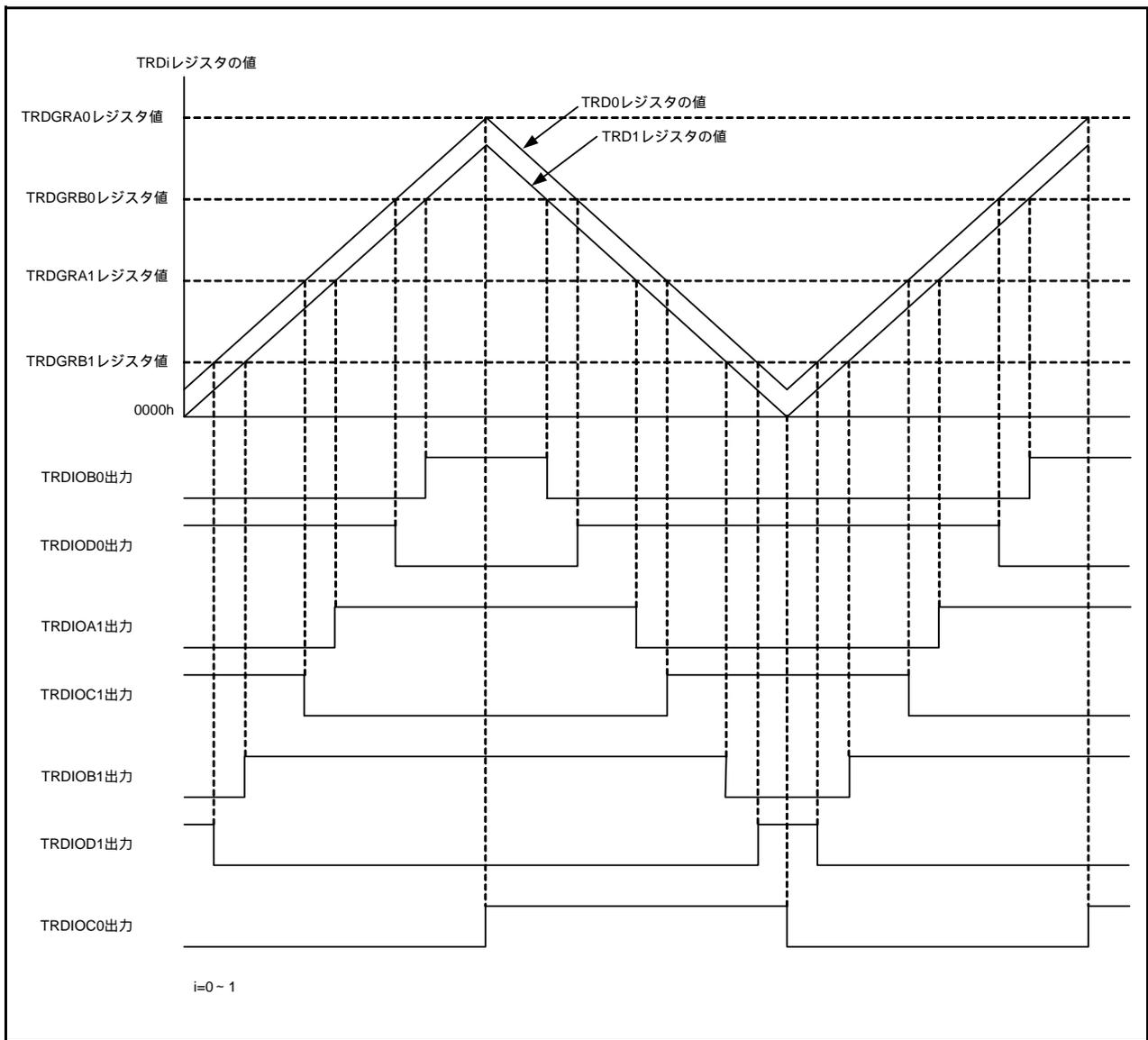


図 16.130 相補PWMモードの出力モデル

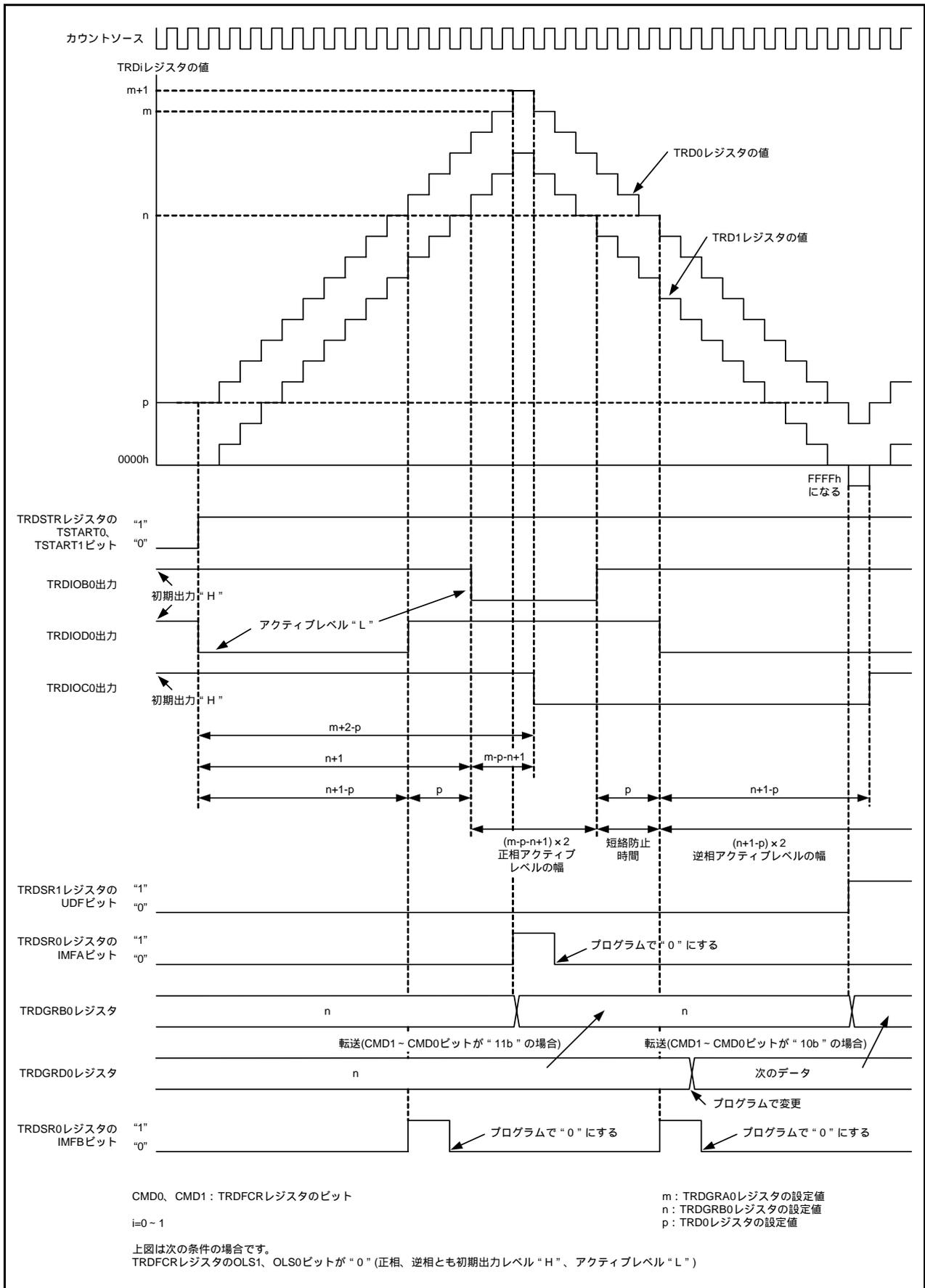


図 16.131 相補PWMモードの動作例

16.4.9.1 バッファレジスタからの転送タイミング

- TRDGRD0、TRDGRC1、TRDGRD1レジスタからTRDGRB0、TRDGRA1、TRDGRB1レジスタへの転送
TRDFCRレジスタのCMD1～CMD0ビットが“10b”の場合、TRD1がアンダフローしたときに転送します。
CMD1～CMD0ビットが“11b”の場合、TRD0とTRDGRA0レジスタがコンペアー一致したときに転送します。

16.4.9.2 A/Dトリガ発生

TRD0とTRDGRA0レジスタのコンペアー一致と、TRD1アンダフローを、A/Dコンバータの変換開始トリガとして使用できます。TRDFCRレジスタのADEG、ADTRGビットで選択してください。
また、ADCON0レジスタのADCAPビットを“1”(タイマRDで開始)にしてください。

16.4.10 PWM3モード

同周期のPWM波形を2本出力します。

図16.132にPWM3モードのブロック図を、表16.47にPWM3モードの仕様を、図16.133～図16.140にPWM3モード関連レジスタを、図16.141にPWM3モードの動作例を示します

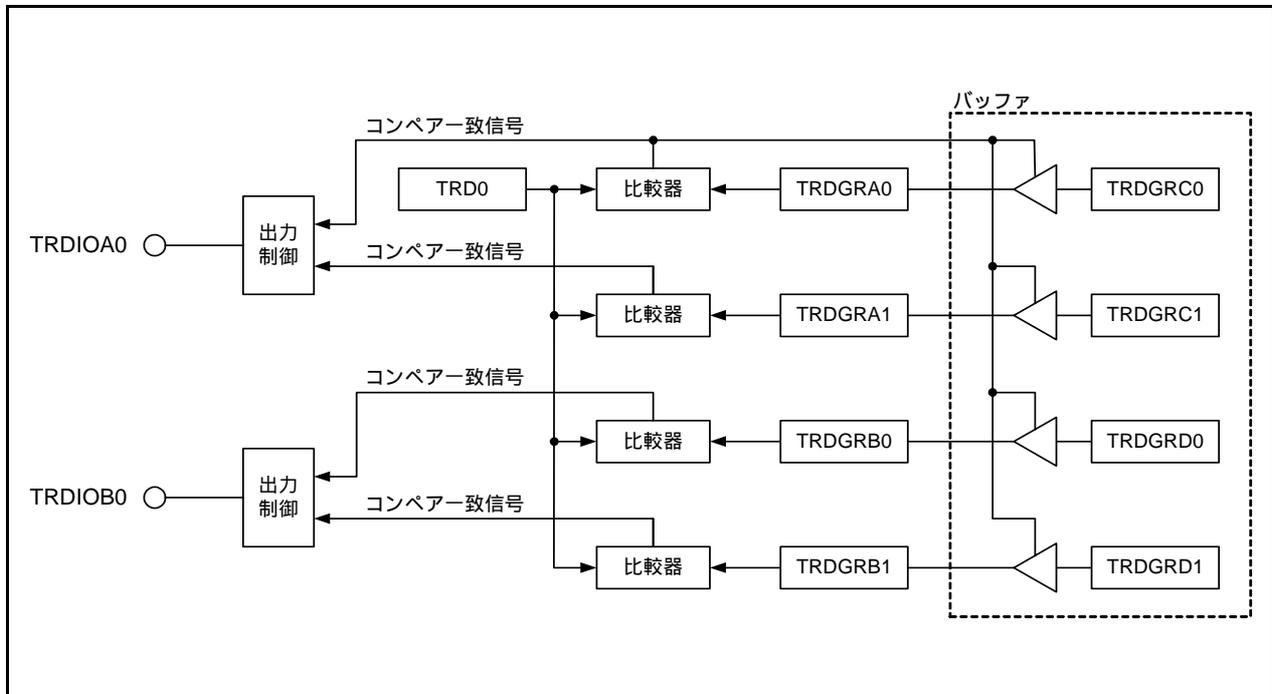


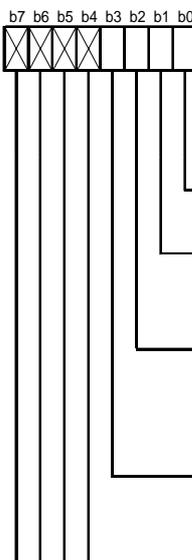
図16.132 PWM3モードのブロック図

表 16.47 PWM3モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M
カウント動作	TRD0はアップカウント(TRD1は使用しない)
PWM波形	<p>PWM周期：$1/f_k \times (m+1)$ TRDIOA0出力のアクティブレベル幅：$1/f_k \times (m-n)$ TRDIOB0出力のアクティブレベル幅：$1/f_k \times (p-q)$ f_k：カウントソースの周波数 m：TRDGRA0レジスタ設定値 n：TRDGRA1レジスタ設定値 p：TRDGRB0レジスタ設定値 q：TRDGRB1レジスタ設定値</p> <p>(アクティブレベルが“H”の場合)</p>
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSEL0ビットが“0”の場合、TRDGRA0コンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペア一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) • TRD0オーバーフロー
TRDIOA0、TRDIOB0端子機能	PWM出力
TRDIOC0、TRDIOD0、TRDIOA1～TRDIOD1端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRD0レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	<ul style="list-style-type: none"> • パルス出力強制遮断信号入力(「16.4.4 パルス出力強制遮断」参照) • アクティブレベルを端子ごとに選択 • バッファ動作(「16.4.2 バッファ動作」参照)

i=0～1、j=A、B、C、Dのいずれか

タイマRDスタートレジスタ(注1)



シンボル	アドレス	リセット後の値	
TRDSTR	0137h番地	11111100b	
ビットシンボル	ビット名	機能	RW
TSTART0	TRD0カウント開始フラグ(注4)	0: カウント停止(注2) 1: カウント開始	RW
TSTART1	TRD1カウント開始フラグ(注5)	0: カウント停止(注3) 1: カウント開始	RW
CSEL0	TRD0カウント動作選択ビット	0: TRDGRA0レジスタとのコンペアー致でカウント停止 1: TRDGRA0レジスタとのコンペアー致後もカウント継続	RW
CSEL1	TRD1カウント動作選択ビット[PWM3モードでは使用しません]	0: TRDGRA1レジスタとのコンペアー致でカウント停止 1: TRDGRA1レジスタとのコンペアー致後もカウント継続	RW
- (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. TRDSTRレジスタにはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「16.4.12.1 TRDSTRレジスタ」を参照してください。

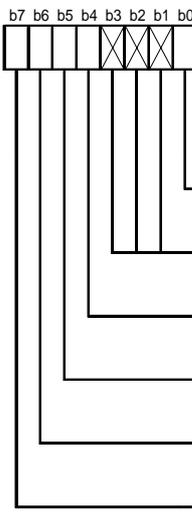
注2. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注3. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注4. CSEL0ビットが“0”でコンペアー致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注5. CSEL1ビットが“0”でコンペアー致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

タイマRDモードレジスタ



シンボル	アドレス	リセット後の値	
TRDMR	0138h番地	00001110b	
ビットシンボル	ビット名	機能	RW
SYNC	タイマRD同期ビット	PWM3モードでは“0”(TRD0とTRD1は独立動作)にしてください	RW
- (b3-b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
BFC0	TRDGRC0レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA0レジスタのバッファレジスタ	RW
BFD0	TRDGRD0レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB0レジスタのバッファレジスタ	RW
BFC1	TRDGRC1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA1レジスタのバッファレジスタ	RW
BFD1	TRDGRD1レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB1レジスタのバッファレジスタ	RW

図 16.133 PWM3モード時のTRDSTR、TRDMRレジスタ

タイマRD機能制御レジスタ

シンボル	アドレス	リセット後の値
TRDFCR	013Ah番地	1000000b

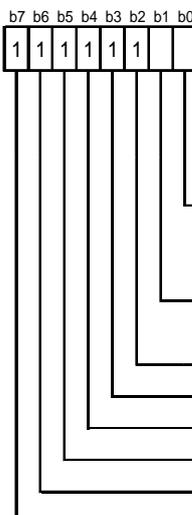
ビットシンボル	ビット名	機能	RW
CMD0	コンビネーションモード選択ビット (注1)	PWM3モードでは“00b” (タイマモード・PWMモード・ PWM3モード)にしてください。	RW
CMD1			RW
OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは 相補PWMモード時有効)	PWM3モードでは無効です。	RW
OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは 相補PWMモード時有効)	PWM3モードでは無効です。	RW
ADTRG	A/Dトリガ許可ビット (相補PWMモード時有効)	PWM3モードでは無効です。	RW
ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時有効)	PWM3モードでは無効です。	RW
STCLK	外部クロック入力選択ビット	PWM3モードでは“0”(外部クロック 入力無効)にしてください。	RW
PWM3	PWM3モード選択ビット (注2)	PWM3モードでは“0”(PWM3モード)に してください。	RW

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1～CMD0ビットが“00b”(タイマモード・PWMモード・PWM3モード)のとき、PWM3ビットの設定が有効になります。

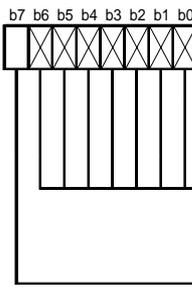
図16.134 PWM3モード時のTRDFCRレジスタ

タイマRDアウトプットマスタ許可レジスタ1



シンボル TRDOER1	アドレス 013Bh番地	リセット後の値 FFh	
ビット シンボル	ビット名	機能	RW
EA0	TRDIOA0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOA0端子はプログラマブル入出力ポート)	RW
EBO	TRDIOB0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB0端子はプログラマブル入出力ポート)	RW
EC0	TRDIOC0出力禁止ビット	PWM3モードでは、“1” (プログラマブル入出力ポート) にしてください。	RW
ED0	TRDIOD0出力禁止ビット		RW
EA1	TRDIOA1出力禁止ビット		RW
EB1	TRDIOB1出力禁止ビット		RW
EC1	TRDIOC1出力禁止ビット		RW
ED1	TRDIOD1出力禁止ビット		RW

タイマRDアウトプットマスタ許可レジスタ2



シンボル TRDOER2	アドレス 013Ch番地	リセット後の値 01111111b	
ビット シンボル	ビット名	機能	RW
- (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
PTO	パルス出力強制遮断信号入力INT0有効ビット (注1)	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1” (出力禁止) になる)	RW

注1. 「16.4.4 パルス出力強制遮断」を参照してください。

図 16.135 PWM3モード時のTRDOER1 ~ TRDOER2レジスタ

タイマRDアウトプット制御レジスタ(注1)			
b7 b6 b5 b4 b3 b2 b1 b0			
シンボル	アドレス	リセット後の値	
TRDOCR	013Dh番地	00h	
ビットシンボル	ビット名	機能	RW
TOA0	TRDIOA0出力レベル選択ビット(注2)	0: アクティブレベル“H” 初期出力“L”、TRDGRA1のコンペアー致で“H”出力、TRDGRA0のコンペアー致で“L”出力 1: アクティブレベル“L” 初期出力“H”、TRDGRA1のコンペアー致で“L”出力、TRDGRA0のコンペアー致で“H”出力	RW
TOB0	TRDIOB0出力レベル選択ビット(注2)	0: アクティブレベル“H” 初期出力“L”、TRDGRB1のコンペアー致で“H”出力、TRDGRB0のコンペアー致で“L”出力 1: アクティブレベル“L” 初期出力“H”、TRDGRB1のコンペアー致で“L”出力、TRDGRB0のコンペアー致で“H”出力	RW
TOC0	TRDIOC0初期出力レベル選択ビット	PWM3モードでは無効です。	RW
TOD0	TRDIOD0初期出力レベル選択ビット		RW
TOA1	TRDIOA1初期出力レベル選択ビット		RW
TOB1	TRDIOB1初期出力レベル選択ビット		RW
TOC1	TRDIOC1初期出力レベル選択ビット		RW
TOD1	TRDIOD1初期出力レベル選択ビット		RW

注1. TRDOCRレジスタはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

注2. 端子の機能が波形出力の場合(「表16.26、表16.27」参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

タイマRD制御レジスタ0(注2)			
b7 b6 b5 b4 b3 b2 b1 b0			
シンボル	アドレス	リセット後の値	
TRDCR0	0140h番地	00h	
ビットシンボル	ビット名	機能	RW
TCK0	カウントソース選択ビット	b2 b1 b0	RW
TCK1		0 0 0: f1 0 0 1: f2 0 1 0: f4 0 1 1: f8 1 0 0: f32	RW
TCK2		1 0 1: 設定しないでください 1 1 0: fOCO40M 1 1 1: 設定しないでください	RW
CKEG0	外部クロックエッジ選択ビット(注1)	PWM3モードでは無効です。	RW
CKEG1			RW
CCLR0	TRD0カウンタクリア選択ビット	PWM3モードでは“001b”(TRDGRA0レジスタとコンペアー致でTRD0レジスタクリア)にしてください。	RW
CCLR1			RW
CCLR2			RW

注1. TCK2 ~ TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. PWM3モードでは、TRDCR1レジスタは使用しません。

図16.136 PWM3モード時のTRDOCR、TRDCR0レジスタ

タイマRDステータスレジスタ*i* (*i*=0~1)

シンボル	アドレス	リセット後の値
TRDSR0	0143h番地	11100000b
TRDSR1	0153h番地	11000000b

ビットシンボル	ビット名	機能	RW
IMFA	インプットキャプチャ/ コンペアー致フラグA	[“ 0 ” になる要因] 読んだ後、“ 0 ” を書く。(注1) [“ 1 ” になる要因] TRDiとTRDGRAiの値が一致したとき。	RW
IMFB	インプットキャプチャ/ コンペアー致フラグB	[“ 0 ” になる要因] 読んだ後、“ 0 ” を書く。(注1) [“ 1 ” になる要因] TRDiとTRDGRBiの値が一致したとき。	RW
IMFC	インプットキャプチャ/ コンペアー致フラグC	[“ 0 ” になる要因] 読んだ後、“ 0 ” を書く。(注1) [“ 1 ” になる要因] TRDiとTRDGRCiの値が一致したとき。 (注2)	RW
IMFD	インプットキャプチャ/ コンペアー致フラグD	[“ 0 ” になる要因] 読んだ後、“ 0 ” を書く。(注1) [“ 1 ” になる要因] TRDiとTRDGRDiの値が一致したとき。 (注2)	RW
OVF	オーバフローフラグ	[“ 0 ” になる要因] 読んだ後、“ 0 ” を書く。(注1) [“ 1 ” になる要因] TRDiがオーバフローしたとき。	RW
UDF	アンダフローフラグ(注1)	PWM3モードでは無効です。	RW
- (b7-b6)	何も配置されていない。書く場合、“ 0 ” を書いてください。 読んだ場合、その値は“ 1 ”。		-

注1. 書き込み結果は次のようになります。
 ・読んだ結果が“ 1 ”の場合、同じビットに“ 0 ”を書くと“ 0 ”になります。
 ・読んだ結果が“ 0 ”の場合、同じビットに“ 0 ”を書いても変化しません(読んだ後で、“ 0 ”から“ 1 ”に変化した場合、“ 0 ”を書いても“ 1 ”のままです)。
 ・“ 1 ”を書いた場合は変化しません。

注2. TRDMRレジスタのBF*ji*ビット(*j*=CまたはD)が“ 1 ”(TRDGR*ji*はバッファレジスタ)の場合を含む。

図 16.137 PWM3モード時のTRDSR0 ~ TRDSR1レジスタ

タイマRD割り込み許可レジスタ*i* (*i*=0~1)

シンボル	アドレス	リセット後の値
TRDIER0	0144h番地	11100000b
TRDIER1	0154h番地	11100000b

ビットシンボル	ビット名	機能	RW
IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0: IMFAビットによる割り込み(IMIA)禁止 1: IMFAビットによる割り込み(IMIA)許可	RW
IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0: IMFBビットによる割り込み(IMIB)禁止 1: IMFBビットによる割り込み(IMIB)許可	RW
IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0: IMFCビットによる割り込み(IMIC)禁止 1: IMFCビットによる割り込み(IMIC)許可	RW
IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0: IMFDビットによる割り込み(IMID)禁止 1: IMFDビットによる割り込み(IMID)許可	RW
OVIE	オーバフロー/アンダフロー割り込み許可ビット	0: OVFビットによる割り込み(OVI)禁止 1: OVFビットによる割り込み(OVI)許可	RW
- (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

図 16.138 PWM3モード時のTRDIER0 ~ TRDIER1レジスタ

タイマRDカウンタ0(注1、2)

シンボル	アドレス	リセット後の値
TRD0	0147h-0146h番地	0000h

機能	設定範囲	RW
カウントソースをカウント。カウント動作はアップカウント。オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。	0000h ~ FFFFh	RW

注1. TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。
注2. PWM3モードでは、TRD1レジスタは使用しません。

図 16.139 PWM3モード時のTRD0レジスタ

タイマRDジェネラルレジスタAi、Bi、Ci、Di (i = 0 ~ 1) (注1)

(b15)	(b8)	シンボル	アドレス	リセット後の値
b7	b0 b7			
		TRDGRA0	0149h-0148h番地	FFFFh
		TRDGRB0	014Bh-014Ah番地	FFFFh
		TRDGRC0	014Dh-014Ch番地	FFFFh
		TRDGRD0	014Fh-014Eh番地	FFFFh
		TRDGRA1	0159h-0158h番地	FFFFh
		TRDGRB1	015Bh-015Ah番地	FFFFh
		TRDGRC1	015Dh-015Ch番地	FFFFh
		TRDGRD1	015Fh-015Eh番地	FFFFh
機能				RW
「表16.48 PWM3モード時のTRDGRjiレジスタの機能」参照。				RW

注1. TRDGRAi ~ TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図16.140 PWM3モード時のTRDGRAi、TRDGRBi、TRDGRCi、TRDGRDiレジスタ

PWM3モードでは、次のレジスタは無効です。

TRDPMR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表 16.48 PWM3モード時のTRDGR*ji*レジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	-	ジェネラルレジスタ。PWM周期を設定してください。 設定範囲：TRDGRA1レジスタ設定値以上	TRDIOA0
TRDGRA1		ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRA0レジスタ設定値以下	
TRDGRB0		ジェネラルレジスタ。PWM出力の変化点(初期出力レベルに戻るタイミング)を設定してください。 設定範囲：TRDGRB1レジスタ設定値以上、TRDGRA0レジスタ設定値以下	TRDIOB0
TRDGRB1		ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRB0レジスタ設定値以下	
TRDGRC0	BFC0=0	(PWM3モードでは使用しません)	-
TRDGRC1	BFC1=0		
TRDGRD0	BFD0=0		
TRDGRD1	BFD1=0		
TRDGRC0	BFC0=1	バッファレジスタ。次回のPWM周期を設定してください(「16.4.2 バッファ動作」参照)。 設定範囲：TRDGRC1レジスタ設定値以上	TRDIOA0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「16.4.2 バッファ動作」参照)。 設定範囲：TRDGRC0レジスタ設定値以下	
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「16.4.2 バッファ動作」参照)。 設定範囲：TRDGRD1レジスタ設定値以上、TRDGRC0レジスタ設定値以下	TRDIOB0
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「16.4.2 バッファ動作」参照)。 設定範囲：TRDGRD0レジスタ設定値以下	

BFC0、BFD0、BFC1、BFD1：TRDMRレジスタのビット

PWM3モードでは使用しませんが、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1レジスタをバッファレジスタに使う際に、BFC0、BFC1、BFD0、BFD1ビットを“0”(ジェネラルレジスタ)にして、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1レジスタに値を書き込み、その後BFC0、BFC1、BFD0、BFD1ビットを“1”(バッファレジスタ)にしても構いません。

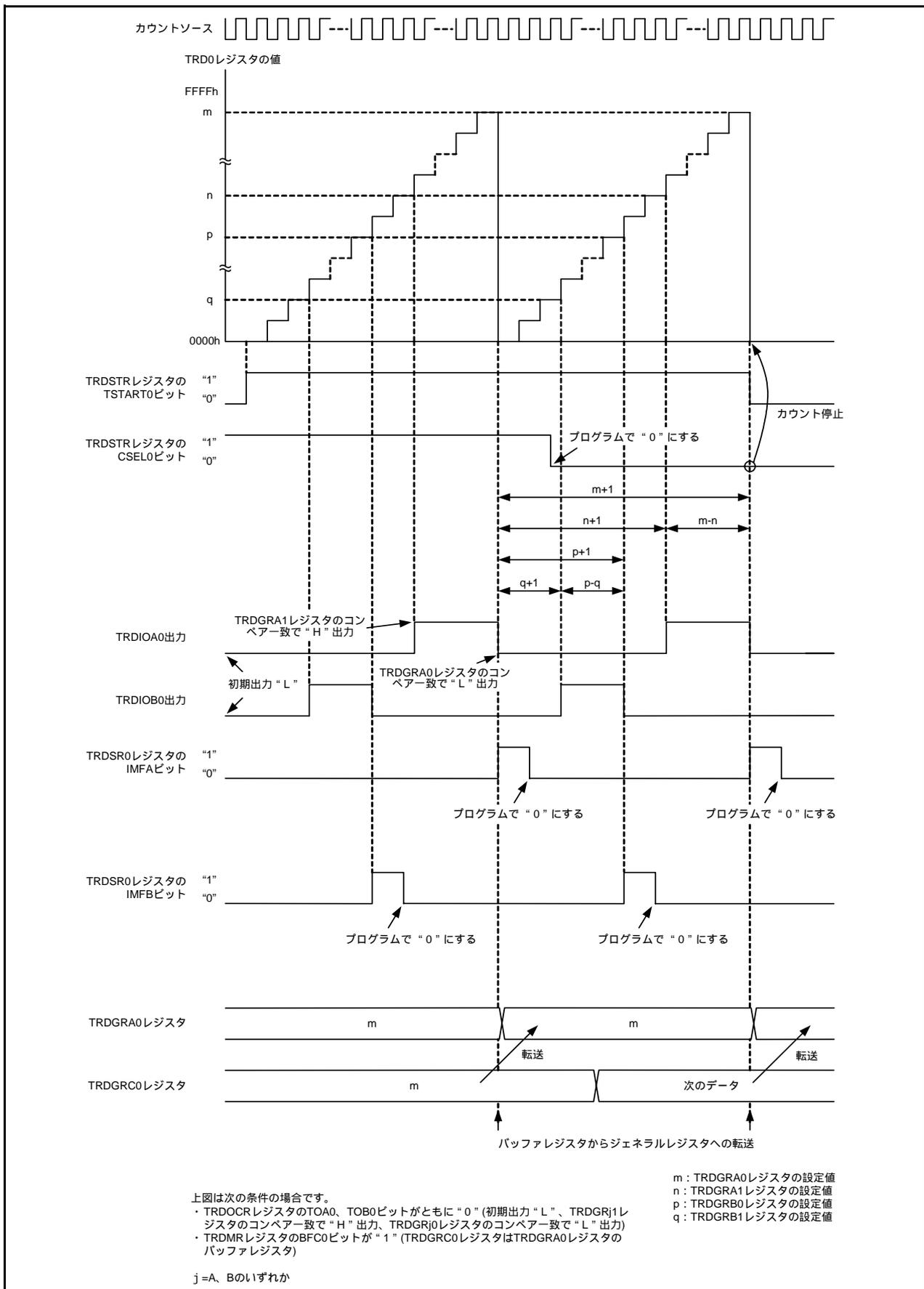


図 16.141 PWM3モードの動作例

16.4.11 タイマRD割り込み

タイマRDは、チャンネル毎に6つの要因からタイマRD割り込み要求を発生します。タイマRD割り込みはチャンネル毎に1つのTRDiIC($i=0 \sim 1$)レジスタ(IRビット、ILVL0 ~ ILVL2ビット)と1つのベクタを持ちます。

表 16.49にタイマRD割り込み関連レジスタを、図16.142にタイマRD割り込みのブロック図を示します。

表 16.49 タイマRD割り込み関連レジスタ

	タイマRD ステータスレジスタ	タイマRD 割り込み許可レジスタ	タイマRD 割り込み制御レジスタ
チャンネル0	TRDSR0	TRDIER0	TRD0IC
チャンネル1	TRDSR1	TRDIER1	TRD1IC

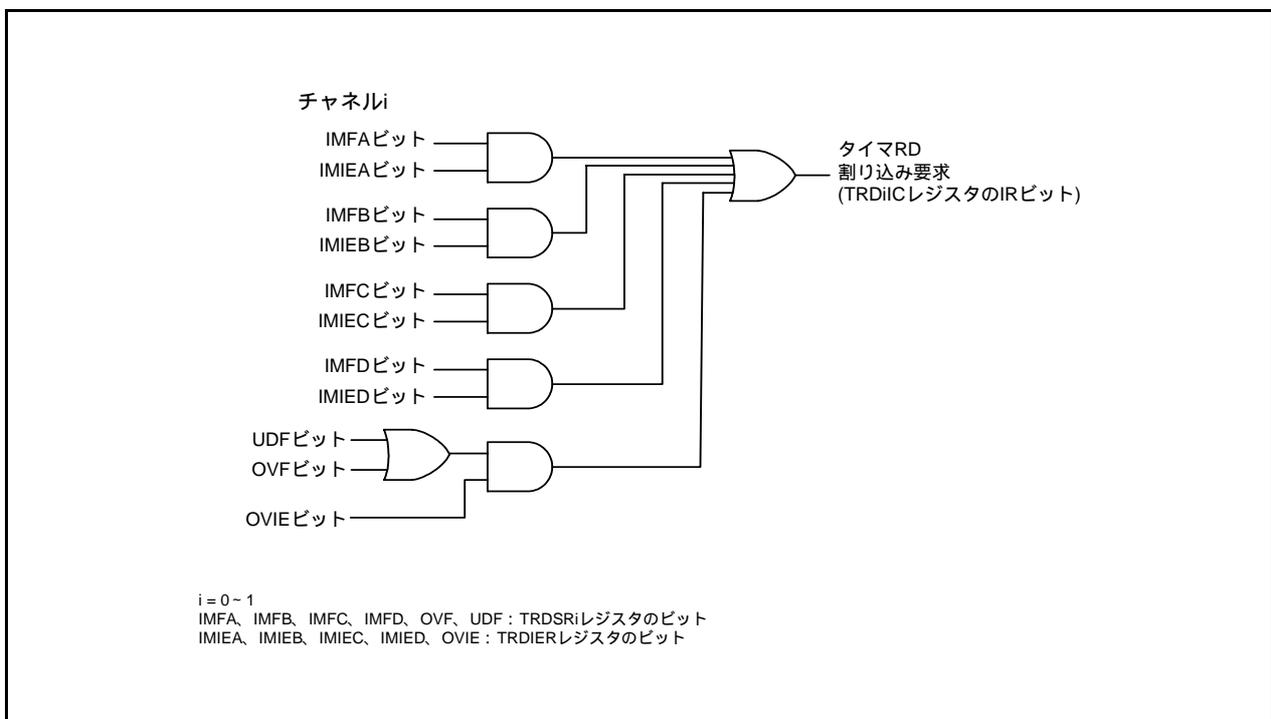


図 16.142 タイマRD割り込みのブロック図

タイマRD割り込みが、Iフラグ、IRビット、ILVL0 ~ ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRD割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRDSRiレジスタのビットが“1”で、それに対応するTRDIERiレジスタのビットが“1”(割り込み許可)の場合、TRDiICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRDSRiレジスタのビットと、それに対応するTRDIERiレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRDIERi レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRDSRiレジスタで判定してください。
- TRDSRi レジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「各モード毎のTRDSR0 ~ TRDSR1レジスタ(図16.77、図16.92、図16.104、図16.116、図16.126、図16.137)」を参照してください。

TRDSR_iレジスタは「各モード毎のTRDSR0 ~ TRDSR1レジスタ(図16.77、図16.92、図16.104、図16.116、図16.126、図16.137)」を、TRDIER_iレジスタは「各モード毎のTRDIER0 ~ TRDIER1レジスタ(図16.78、図16.93、図16.105、図16.117、図16.127、図16.138)」を参照してください。

TRDiCレジスタは「12.1.6 割り込み制御」、割り込みベクタは「12.1.5.2 可変ベクタテーブル」を参照してください。

16.4.12 タイマRD使用上の注意事項

16.4.12.1 TRDSTR レジスタ

- TRDSTR レジスタはMOV 命令を使用して書いてください。
- CSELi($i=0 \sim 1$) ビットが“0” (TRDi レジスタと TRDGRAi レジスタのコンペア一致でカウント停止)の場合、TSTARTi ビットに“0” (カウント停止)を書いても、カウントは停止せず、TSTARTi ビットも変化しません。
したがって、CSELi ビットが“0” のとき、TSTARTi ビットを変化させずに他のビットを変更したい場合は、TSTARTi ビットに“0” を書いてください。
また、プログラムでカウントを停止させる場合は、CSELi ビットを“1” にした後で、TSTARTi ビットに“0” を書いてください。同時に(1命令で)CSELi ビットに“1”、TSTARTi ビットに“0” を書いてもカウントは停止できません。
- TRDIOj($j=A, B, C, D$) 端子をタイマ RD 出力で使用している場合の、カウント停止時の出力レベルを表16.50に示します。

表16.50 カウント停止時のTRDIOj($j=A, B, C, D$)端子出力レベル

カウント停止方法	カウント停止時のTRDIOj端子出力
CSELi ビットが“1” のときに、TSTARTi ビットに“0” を書きカウント停止	直前の出力レベルを保持
CSELi ビットが“0” のときに、TRDi レジスタと TRDGRAi レジスタのコンペア一致でカウント停止	コンペア一致による出力変化後、そのレベルを保持

16.4.12.2 TRDi レジスタ ($i=0 \sim 1$)

- TRDSTR レジスタの TSTARTi ビットが“1” (カウント開始) の状態で、プログラムで TRDi レジスタに値を書き込む場合は、TRDi レジスタが“0000h” になるタイミングと重ならないように書いてください。
TRDi レジスタが“0000h” になるタイミングと、TRDi レジスタへの書き込むタイミングが重なると、値は書き込まれず、TRDi レジスタが“0000h” になります。
この注意事項は、TRDCRi レジスタの CCLR2 ~ CCLR0 ビットで次の選択をしている場合に該当します。
 - “001b” (TRDGRAi レジスタとのコンペア一致で TRDi でクリア)
 - “010b” (TRDGRBi レジスタとのコンペア一致で TRDi でクリア)
 - “011b” (同期クリア)
 - “101b” (TRDGRCi レジスタとのコンペア一致で TRDi でクリア)
 - “110b” (TRDGRDi レジスタとのコンペア一致で TRDi でクリア)
- TRDi レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。
プログラム例


```

MOV.W #XXXXh, TRD0      ; 書き込み
JMP.B L1                 ; JMP.B 命令
L1:  MOV.W TRD0, DATA    ; 読み出し
      
```

16.4.12.3 TRDSR_iレジスタ (i=0~1)

TRDSR_iレジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.B  #XXh, TRDSR0      ; 書き込み
                   JMP.B  L1          ; JMP.B命令
L1:                MOV.B  TRDSR0,DATA  ; 読み出し

```

16.4.12.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
変更手順

- (1) TRDSTRレジスタのTSTART_i(i=0 ~ 1)ビットを“0”(カウント停止)にする
- (2) TRDCR_iレジスタのTCK2 ~ TCK0ビットを変更する

- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。

変更手順

- (1) TRDSTRレジスタのTSTART_i(i=0 ~ 1)ビットを“0”(カウント停止)にする
- (2) TRDCR_iレジスタのTCK2 ~ TCK0ビットを変更する
- (3) f1の2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

16.4.12.5 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表 16.25 タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIO_{ji}(i=0 ~ 1、j=A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRDの動作クロックの2 ~ 3サイクル後にTRD_iレジスタの値をTRDGR_{ji}レジスタに転送します(デジタルフィルタなしの場合)。

16.4.12.6 リセット同期PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。
変更手順

- (1) TRDSTRレジスタのTSTART0ビットを“0”(カウント停止)にする
- (2) TRDFCRレジスタのCMD1 ~ CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
- (3) CMD1 ~ CMD0を“01b”(リセット同期PWMモード)にする
- (4) その他のタイマRD関連レジスタを再設定する

16.4.12.7 相補PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- TRDFCRレジスタのCMD1～CMD0ビットを変更するときは、次の手順で変更してください。
変更手順：相補PWMモードにする場合(再設定含む)、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合
 - (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
 - (2) TRDFCRレジスタのCMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
 - (3) CMD1～CMD0を“10b”、または“11b”(相補PWMモード)にする
 - (4) その他のタイマRD関連レジスタを再設定する

変更手順：相補PWMモードを止める場合

- (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
- (2) CMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする

- 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに書き込まないでください。
PWM波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1レジスタへ転送してください。
ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みの際には、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にしても構いません。
PWM周期は変更できません。

- TRDGRA0レジスタに設定した値を m とすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、 $m-1$ m $m+1$ m $m-1$ とカウントします。
 m $m+1$ のとき、IMFAビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“11b”(相補PWMモード、TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
 $m+1$ m $m-1$ の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

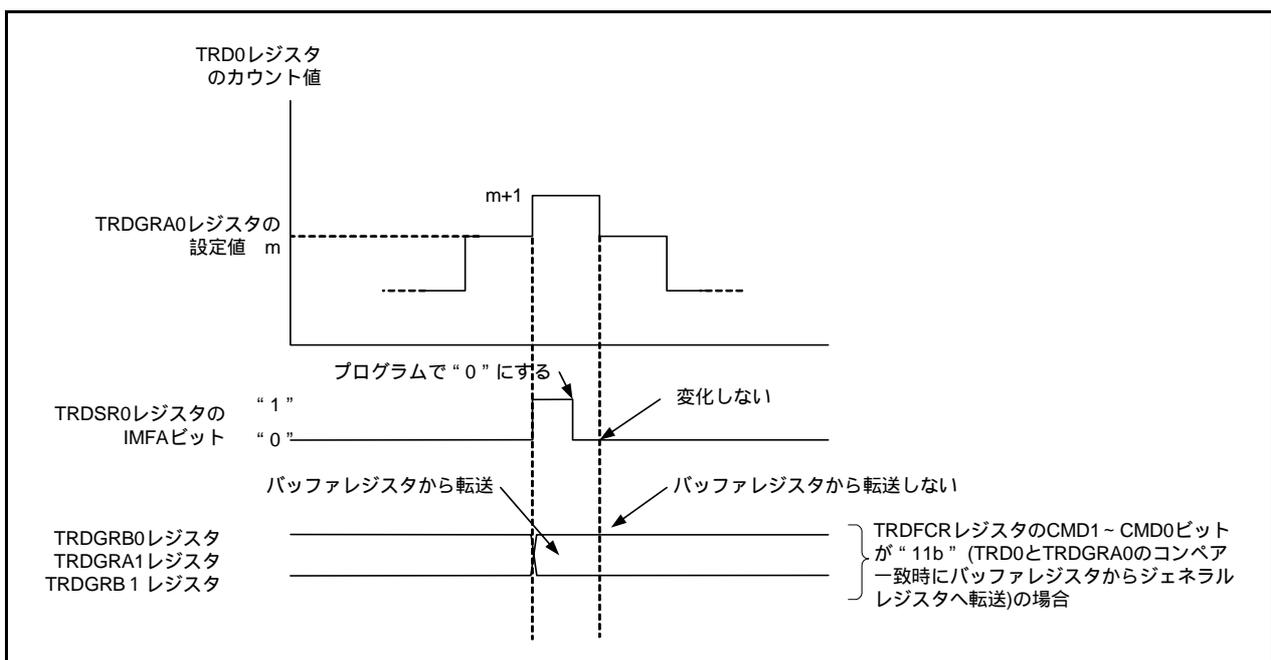


図 16.143 相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作

- TRD1はダウンカウントからアップカウントに変わるとき、1 0 FFFFh 0 1とカウントします。
1 0 FFFFhの動作によって、UDFビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“10b”（相補PWMモード、TRD1のアンダフローでバッファデータ転送）の場合、バッファレジスタ (TRDGRD0、TRDGRC1、TRDGRD1) の内容がジェネラルレジスタ (TRDGRB0、TRDGRA1、TRDGRB1) に転送されます。
FFFFh 0 1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、OVFビットは変化しません。

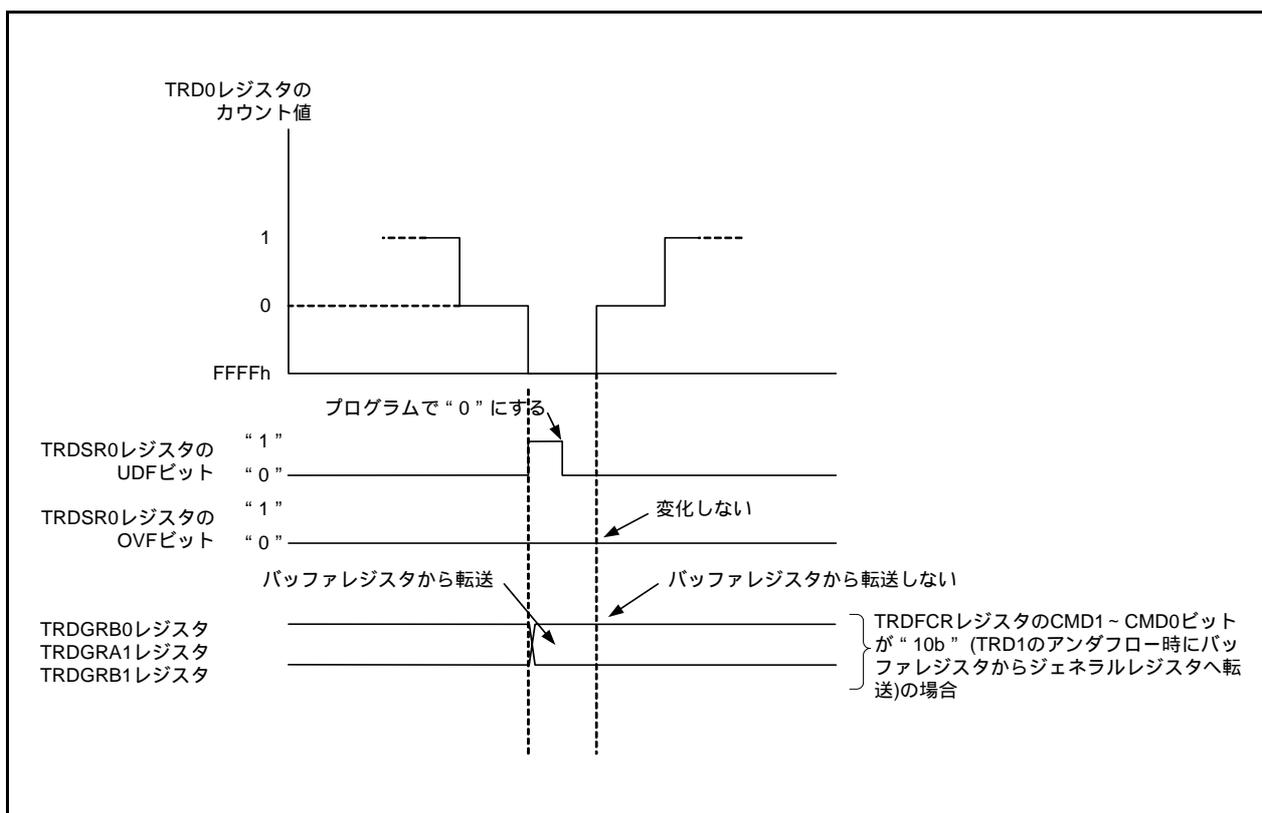


図 16.144 相補PWMモード TRD1がアンダーフローしたときの動作

- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR レジスタのCMD1 ~ CMD0ビットで選択してください。ただし、次の場合はCMD1 ~ CMD0ビットの値に関係なく次のタイミングで転送します。

バッファレジスタの値 TRDGRA0レジスタの値の場合

TRD1レジスタのアンダフローで転送します。

その後、“0001h”以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD1レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降はCMD1 ~ CMD0ビットで選択したタイミングで転送します。

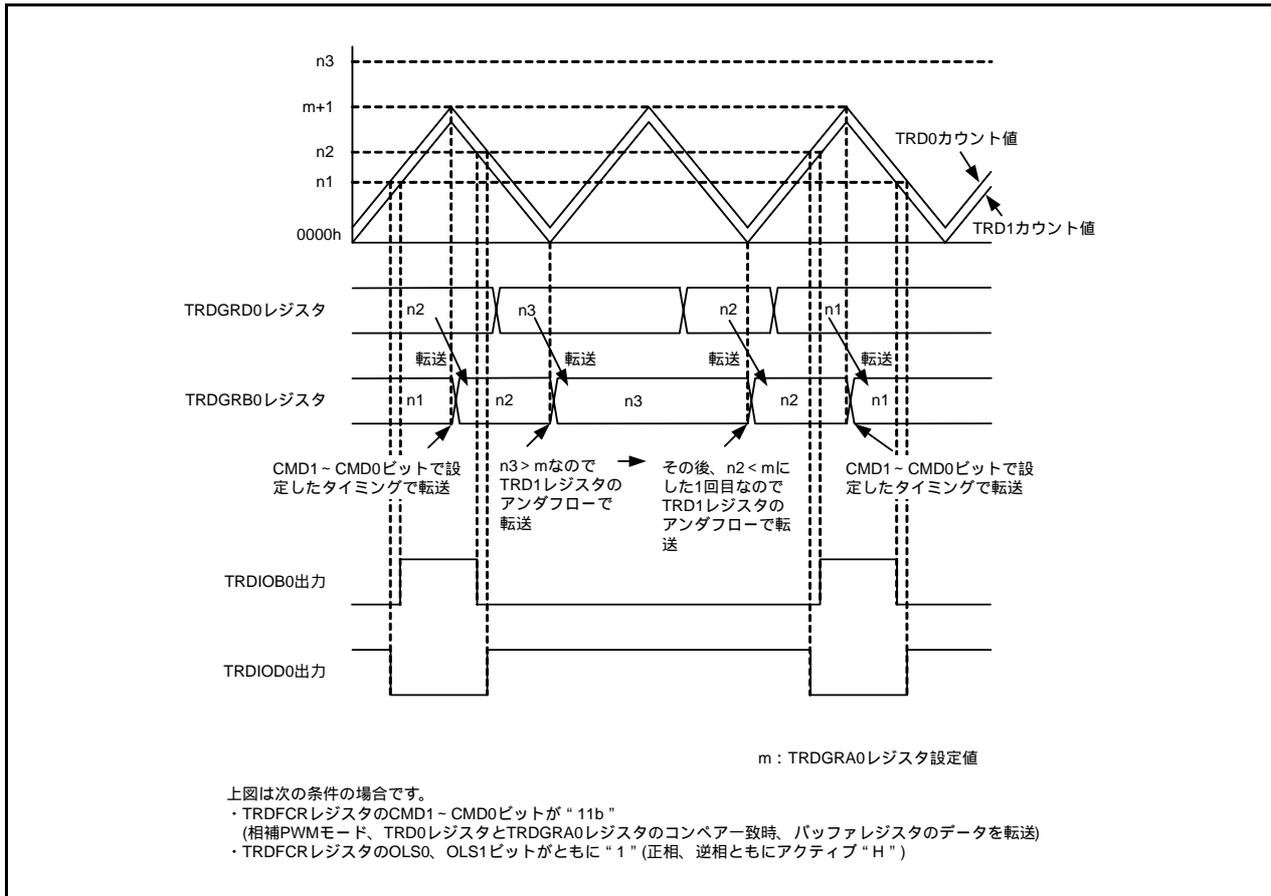


図 16.145 相補PWMモード時のバッファレジスタの値 TRDGRA0レジスタ値の場合の動作例

バッファレジスタの値が“0000h”の場合

TRD0とTRDGRA0レジスタのコンペア一致で転送します。

その後、“0001h”以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD1～CMD0ビットで選択したタイミングで転送します。

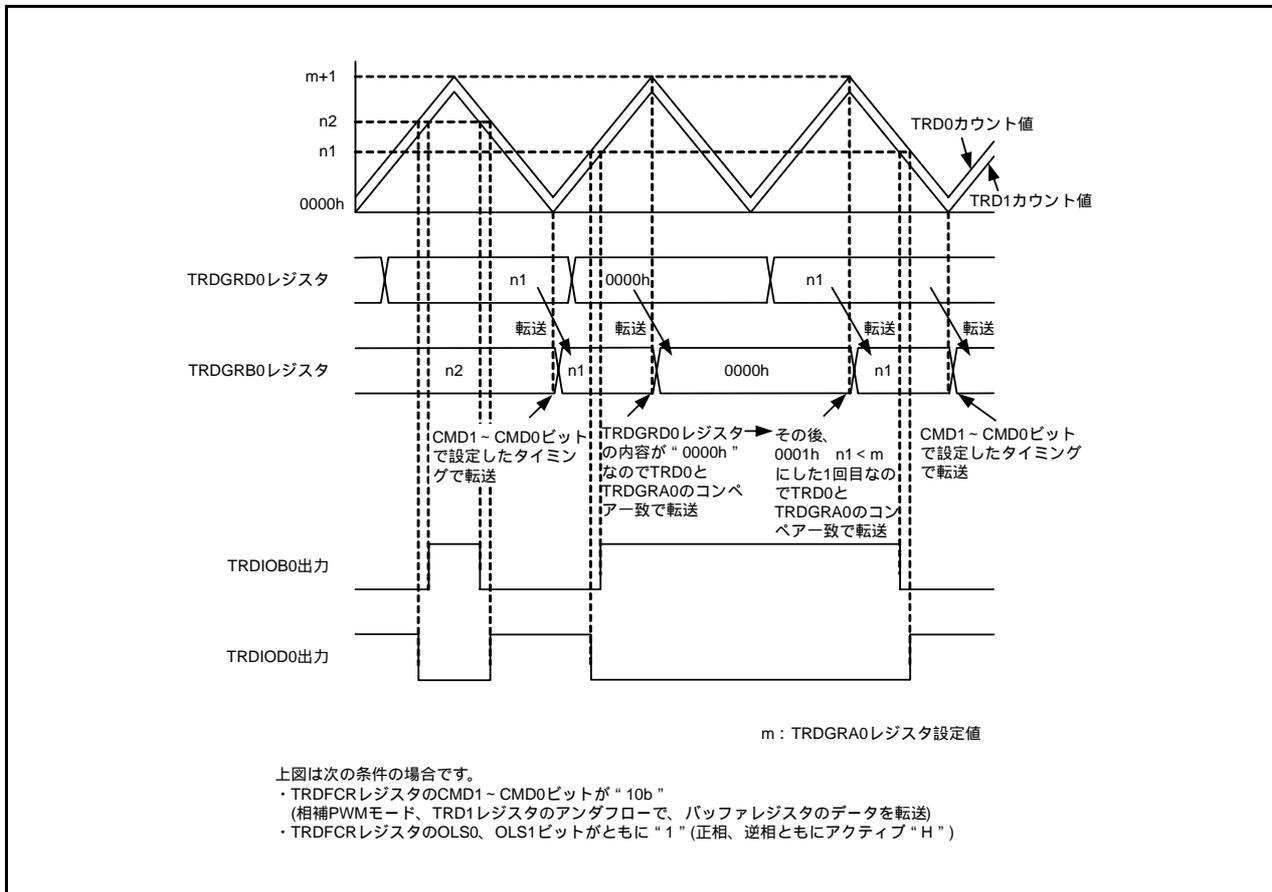


図16.146 相補PWMモード時のバッファレジスタの値が“0000h”の場合の動作例

16.4.12.8 カウントソースfOCO40M

カウントソースfOCO40Mについては、電源電圧VCC=3.0～5.5Vの範囲で使用することができます。これ以外の電源電圧では、TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40Mをカウントソースに選択)にしないでください。

17. シリアルインタフェース

シリアルインタフェースはUART0、UART2の2チャンネルで構成しています。UART0、UART2はそれぞれ専用の転送クロック発生用タイマを持ち独立して動作します。

図17.1にUARTi (i=0、2)のブロック図を、図17.2に送受信部のブロック図を示します。

クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

図17.3 ~ 図17.5にUARTi関連のレジスタを、図17.6にPINSR1レジスタを示します。

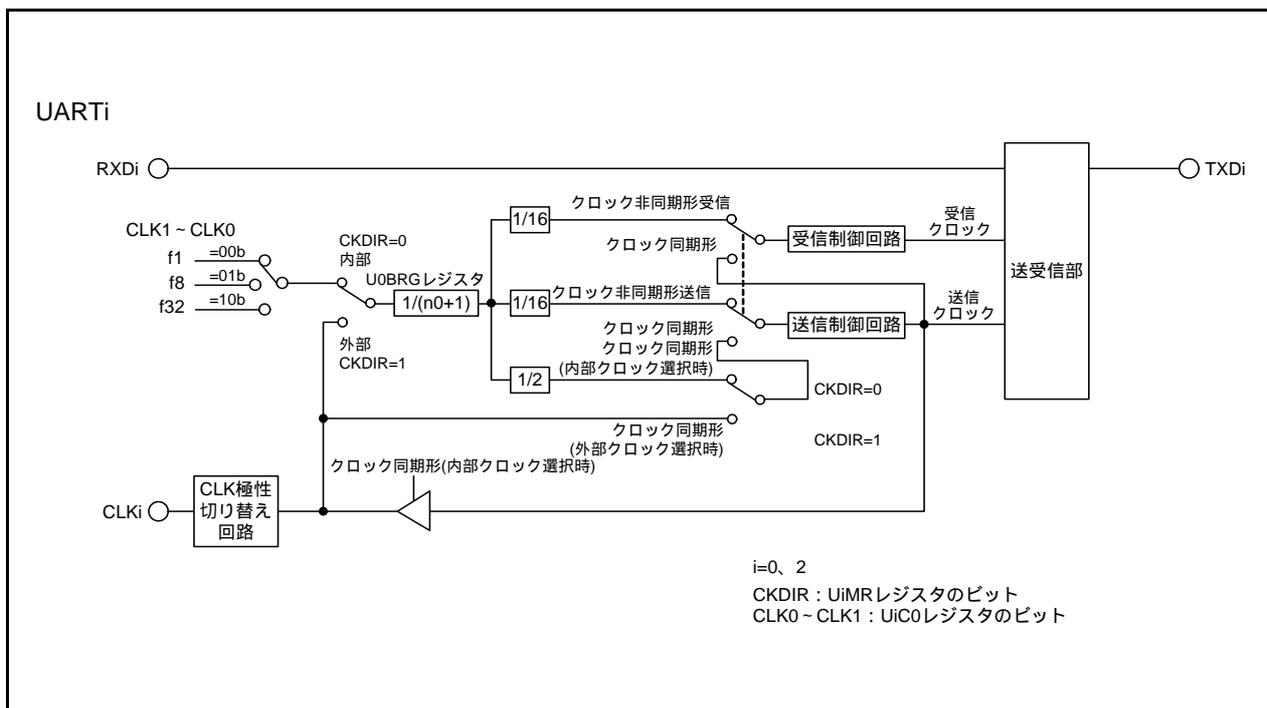


図17.1 UARTi (i=0、2)のブロック図

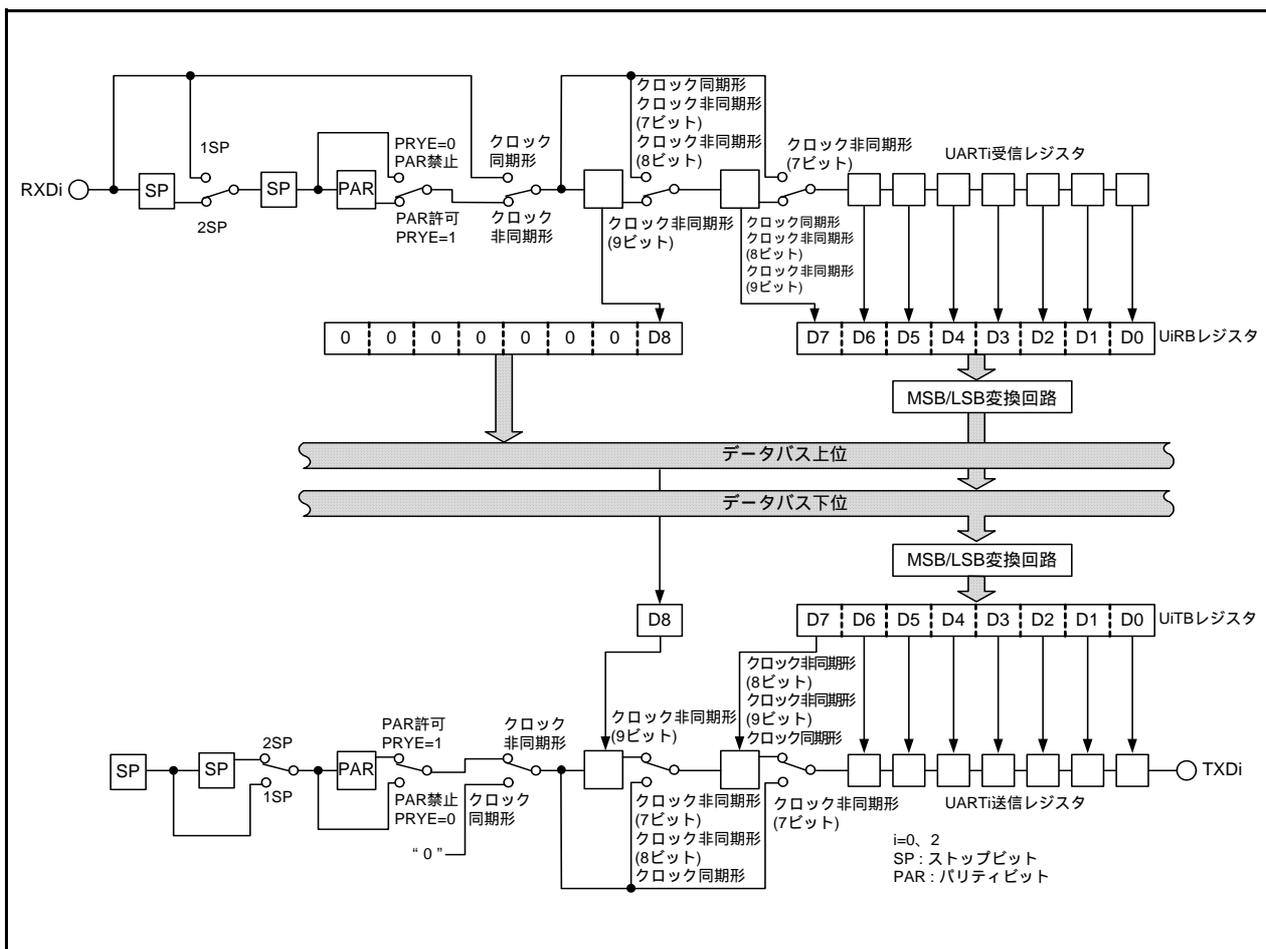


図 17.2 送受信部のブロック図

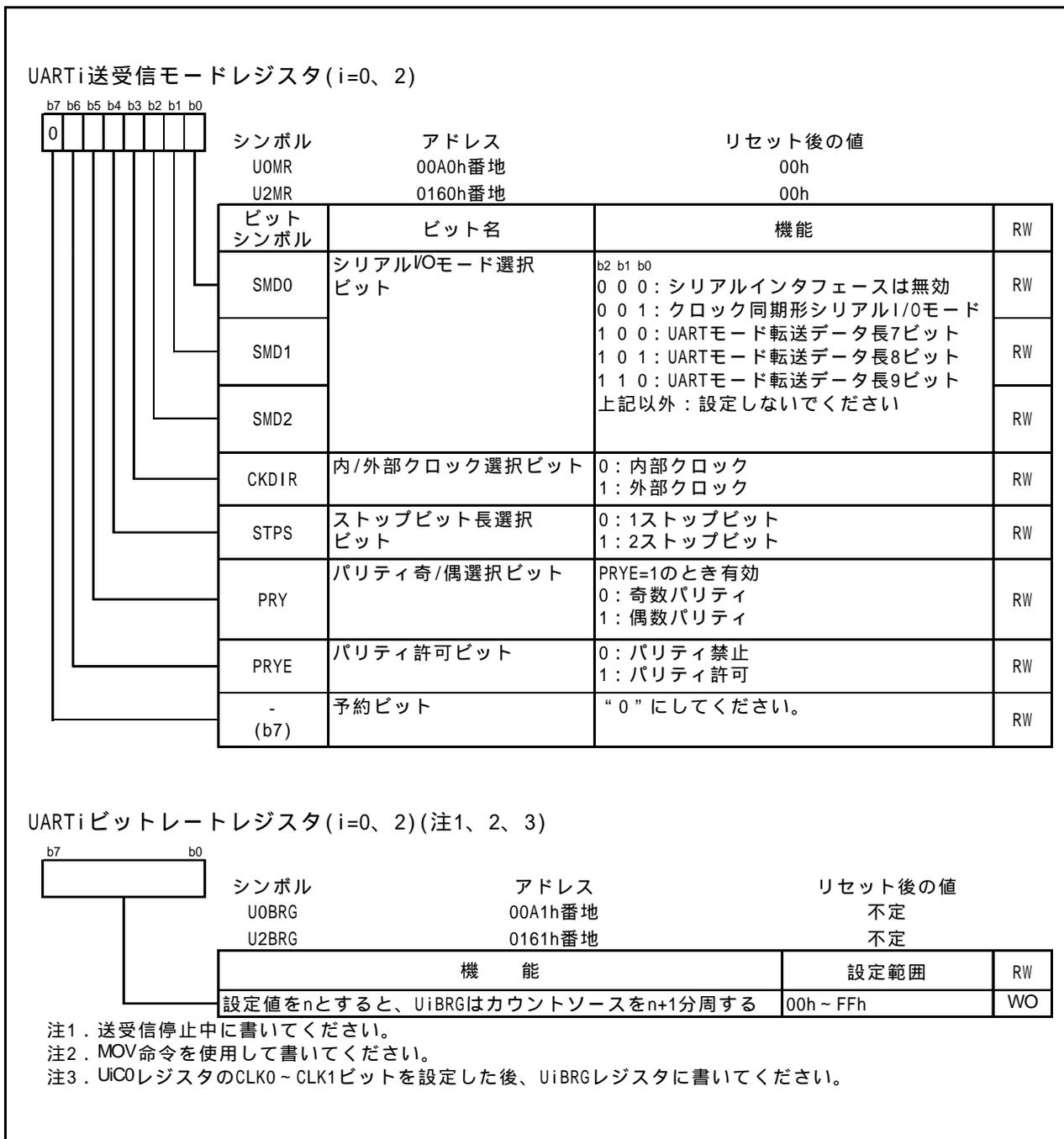


図17.3 U0MR、U2MR、U0BRG、U2BRGレジスタ

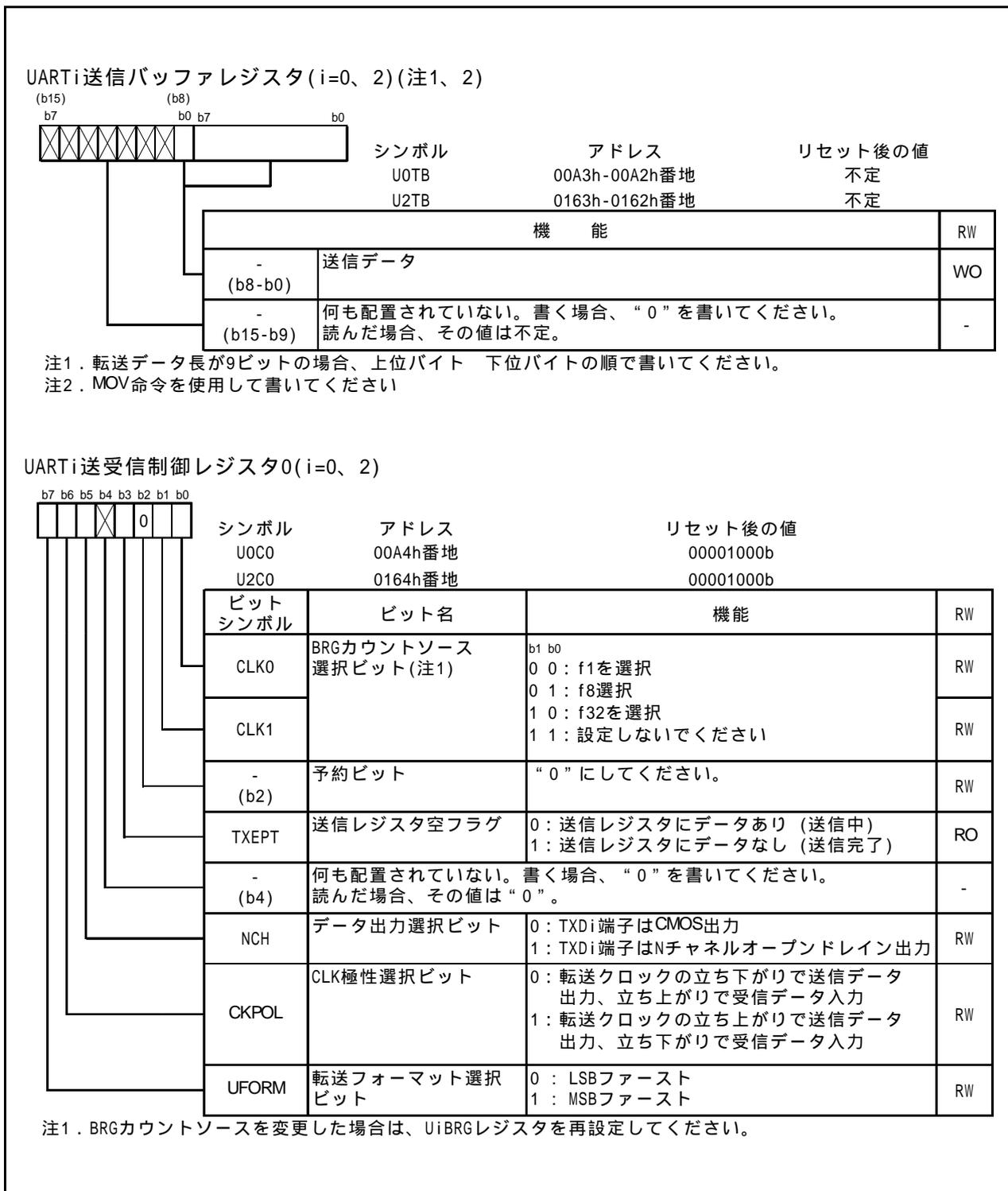


図17.4 U0TB、U2TB、U0C0、U2C0レジスタ

UARTi送受信制御レジスタ1(i=0、2)

シンボル	アドレス	リセット後の値
U0C1	00A5h番地	00000010b
U2C1	0165h番地	00000010b

ビットシンボル	ビット名	機能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TI	送信バッファ空フラグ	0: UiTBにデータあり 1: UiTBにデータなし	RO
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ(注1)	0: UiRBにデータなし 1: UiRBにデータあり	RO
UiIRS	UARTi送信割り込み要因選択ビット	0: 送信バッファ空(TI=1) 1: 送信完了(TXEPT=1)	RW
UiRRM	UARTi連続受信モード許可ビット(注2)	0: 連続受信モード禁止 1: 連続受信モード許可	RW
-(b6)	予約ビット	“0” にしてください。	RW
-(b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. RIビットはUiRBレジスタの上位バイトを読み出したとき、“0”になります。
 注2. UARTモード時、UiRRMビットは“0”(連続受信モード禁止)にしてください。

UARTi受信バッファレジスタ(i=0、2)(注1)

シンボル	アドレス	リセット後の値
U0RB	00A7h-00A6h番地	不定
U2RB	0167h-0166h番地	不定

ビットシンボル	ビット名	機能	RW
-(b7-b0)	-	受信データ(D7~D0)	RO
-(b8)	-	受信データ(D8)	RO
-(b11-b9)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
OER	オーバランエラーフラグ(注2)	0: オーバランエラーなし 1: オーバランエラー発生	RO
FER	フレーミングエラーフラグ(注2)	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラーフラグ(注2)	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ(注2)	0: エラーなし 1: エラー発生	RO

注1. UiRBレジスタは必ず16ビット単位で読み出してください。
 注2. SUM、PER、FER、OERビットは、UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはUiC1レジスタのREビットを“0”(受信禁止)にしたとき、“0”(エラーなし)になります(SUMビットは、PER、FER、OERビットがすべて“0”(エラーなし)になると、“0”(エラーなし)になります)。また、PER、FERビットはUiRBレジスタの上位バイトを読み出したとき、“0”になります。

図17.5 U0C1、U2C1、U0RB、U2RBレジスタ

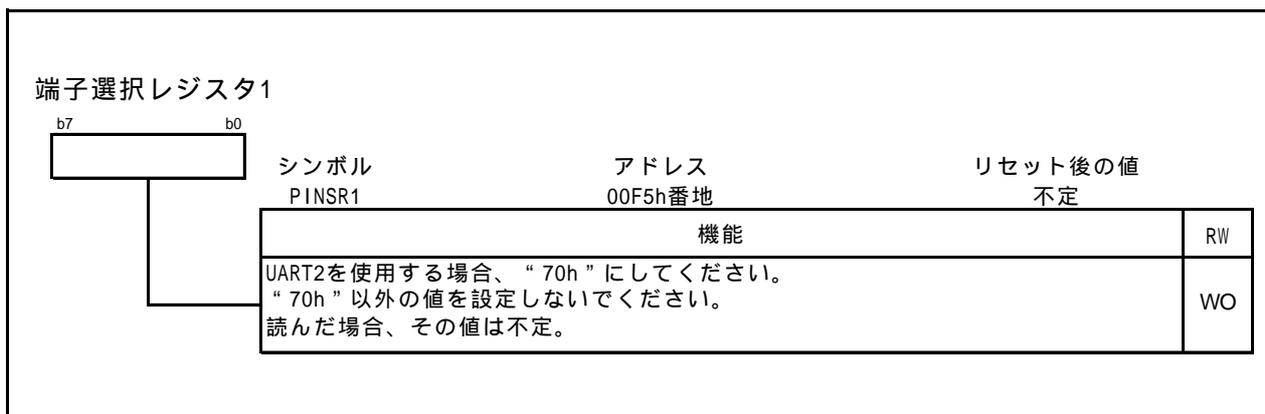


図17.6 PINSR1レジスタ

17.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表17.1にクロック同期形シリアルI/Oモードの仕様を、表17.2にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表17.1 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	・転送データ長 8ビット
転送クロック	・UiMRレジスタのCKDIRビットが“0”(内部クロック) : $f_i/(2(n+1))$ $f_i=f_1, f_8, f_{32}$ $n=UiBRG$ レジスタの設定値 00h ~ FFh ・CKDIRビットが“1”(外部クロック) : CLK _i 端子からの入力
送信開始条件	・送信開始には、以下の条件が必要です(注1)。 UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	・受信開始には、以下の条件が必要です(注1)。 UiC1レジスタのREビットが“1”(受信許可) UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	・送信する場合、次の条件のいずれかを選択できます。 -UiIRSビットが“0”(送信バッファ空) : UiTBレジスタからUART _i 送信レジスタへデータ転送時(送信開始時) -UiIRSビットが“1”(送信完了) : UART _i 送信レジスタからデータ送信完了時 ・受信する場合 UART _i 受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)
エラー検出	・オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	・CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 ・LSBファースト、MSBファースト 選択 ビット0から送受信するか、またはビット7から送受信するかを選択 ・連続受信モード選択 UiRBレジスタを読み出す動作により、同時に受信許可状態になる

$i=0, 2$

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタの受信データ(b0 ~ b8)は不定になります。またSiRICレジスタのIRビットは変化しません。

表17.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
UiTB	0 ~ 7	送信データを設定してください
UiRB	0 ~ 7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0 ~ 7	ビットレートを設定してください
UiMR	SMD2 ~ SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
UiC0	CLK1 ~ CLK0	UiBRGレジスタのカウントソースを選択してください
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	連続受信モードを使用する場合、“1” にしてください

i=0, 2

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

表17.3にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。

UART_i (i=0, 2)の動作モード選択後、転送開始までは、TXD_i端子は“H”レベルを出力します(NCHビットが“1”(Nチャネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表17.3 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	(受信だけを行うときはダミーデータ出力)
RXD0(P1_5)	シリアルデータ入力	PD1レジスタのPD1_5ビット=0 (送信だけを行うときはP1_5を入力ポートとして使用可)
CLK0(P1_6)	転送クロック出力	U0MRレジスタのCKDIRビット=0
	転送クロック入力	U0MRレジスタのCKDIRビット=1 PD1レジスタのPD1_6ビット=0
TXD2(P0_1)	シリアルデータ出力	(受信だけを行うときはダミーデータ出力)
RXD2(P0_2)	シリアルデータ入力	PD0レジスタのPD0_2ビット=0 (送信だけを行うときはP0_2を入力ポートとして使用可)
CLK2(P0_3)	転送クロック出力	U2MRレジスタのCKDIRビット=0
	転送クロック入力	U2MRレジスタのCKDIRビット=1 PD0レジスタのPD0_3ビット=0

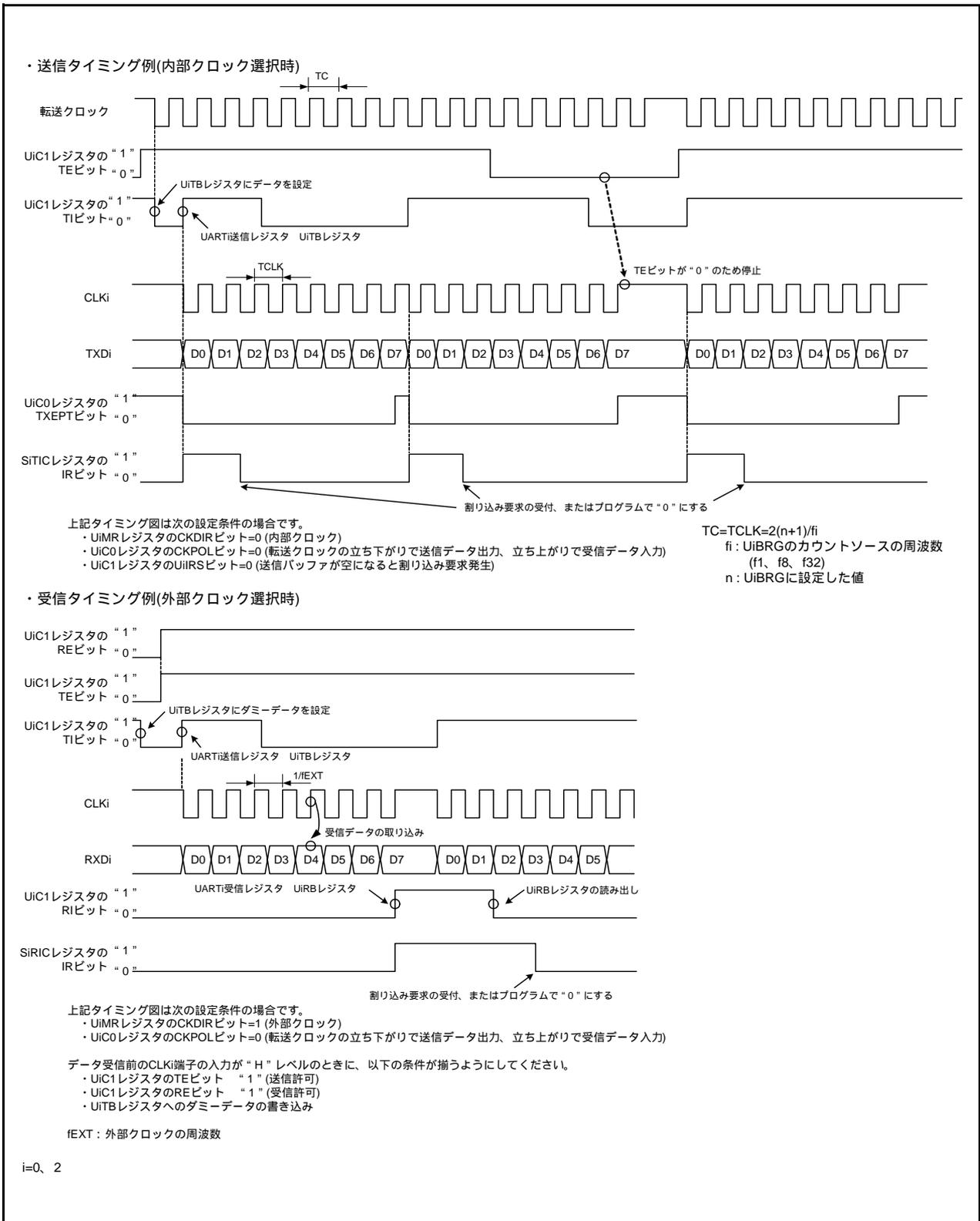


図 17.7 クロック同期形シリアルI/Oモード時の送受信タイミング例

17.1.1 極性選択機能

図 17.8 に転送クロックの極性を示します。UiC0レジスタ (i=0、2)のCKPOLビットによって転送クロックの極性を選択できます。

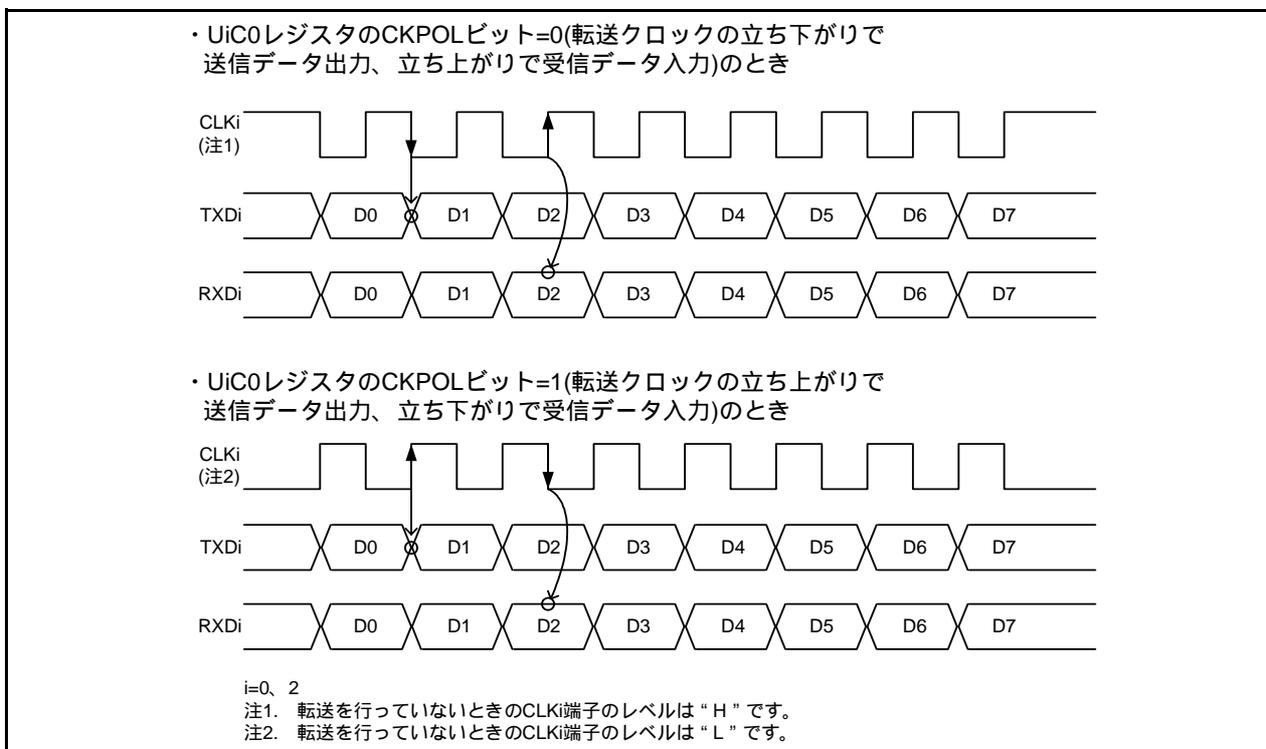


図 17.8 転送クロックの極性

17.1.2 LSBファースト、MSBファースト選択

図 17.9 に転送フォーマットを示します。UiC0レジスタ (i=0、2)のUFORMビットで転送フォーマットを選択できます。

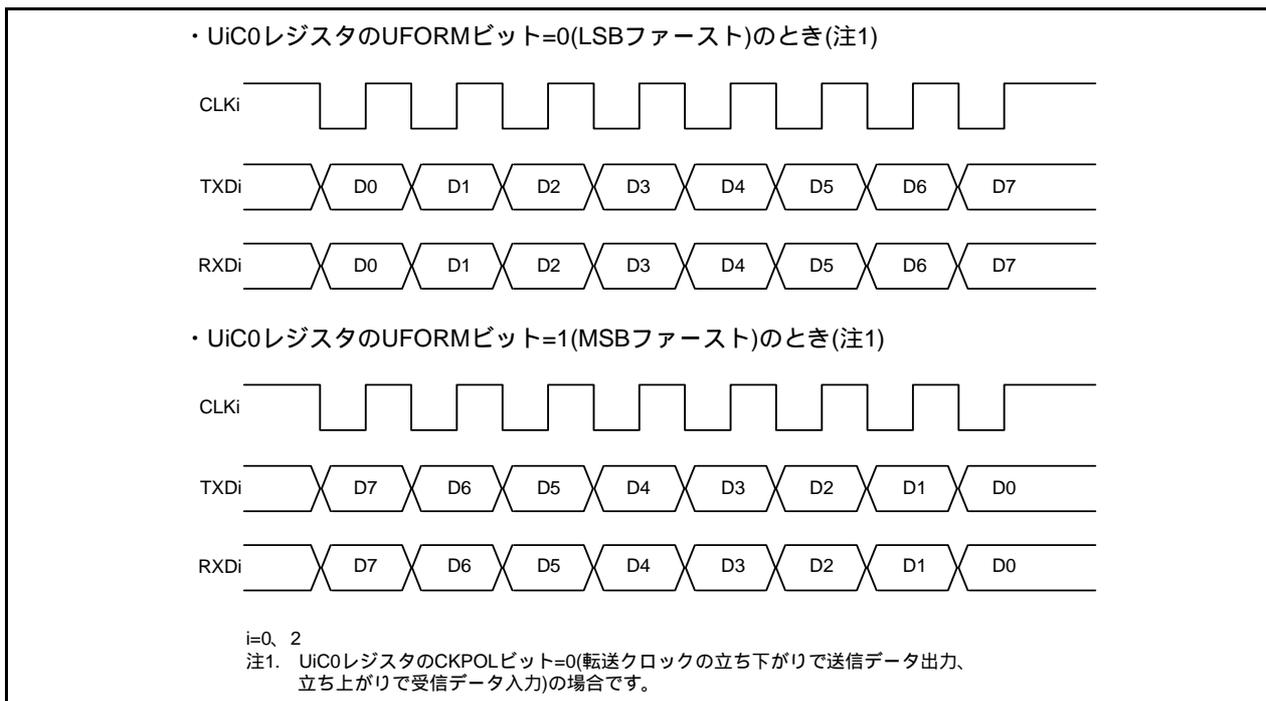


図 17.9 転送フォーマット

17.1.3 連続受信モード

UiC1レジスタ(i=0、2)のUiRRMビットを“1”(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。

17.2 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表17.4にクロック非同期形シリアルI/Oモードの仕様を、表17.5にUARTモード時の使用レジスタと設定値を示します。

表17.4 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> ・キャラクタビット(転送データ) 7ビット、8ビット、9ビット 選択可 ・スタートビット 1ビット ・パリティビット 奇数、偶数、無し選択可 ・ストップビット 1ビット、2ビット 選択可
転送クロック	<ul style="list-style-type: none"> ・UiMRレジスタのCKDIRビットが“0”(内部クロック) : $f_j/(16(n+1))$ $f_j=f_1, f_8, f_{32}$ $n=UiBRG$レジスタの設定値 00h ~ FFh ・CKDIRビットが“1”(外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT}はCLKi端子からの入力 $n=UiBRG$レジスタの設定値 00h ~ FFh
送信開始条件	<ul style="list-style-type: none"> ・送信開始には、以下の条件が必要です。 UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	<ul style="list-style-type: none"> ・受信開始には、以下の条件が必要です。 UiC1レジスタのREビットが“1”(受信許可) スタートビットの検出
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・送信する場合、次の条件のいずれかを選択できます。 -UiIRSビットが“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) -UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 ・受信する場合 UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> ・オーバランエラー(注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 ・フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ・パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ・エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

i=0, 2

注1. オーバランエラーが発生した場合、UiRBレジスタの受信データ(b0 ~ b8)は不定になります。またSiRICレジスタのIRビットは変化しません。

表 17.5 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0 ~ 8	送信データを設定してください(注1)
UiRB	0 ~ 8	受信データが読めます(注1、2)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0 ~ 7	ビットレートを設定してください
UiMR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
UiC0	CLK1 ~ CLK0	UiBRGレジスタのカウントソースを選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください。
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください。
	UiRRM	“0”にしてください。

i=0, 2

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビット0～6、転送データ長8ビット：ビット0～7、転送データ長9ビット：ビット0～8

注2. 転送データ長7ビットの場合のビット7～8、転送データ長8ビットの場合のビット8の内容は不定です。

表 17.6 に UART モード時の入出力端子の機能を示します。なお、UART_i(i=0, 2)の動作モード選択後、転送開始までは、TXDi 端子は“H”レベルを出力します(NCH ビットが“1”(Nチャネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 17.6 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	(受信だけを行うときはポートとして使用不可)
RXD0(P1_5)	シリアルデータ入力	PD1レジスタのPD1_5ビット=0 (送信だけを行うときはP1_5を入力ポートとして使用可)
CLK0(P1_6)	プログラマブル入出力ポート	U0MRレジスタのCKDIRビット=0
	転送クロック入力	U0MRレジスタのCKDIRビット=1 PD1レジスタのPD1_6ビット=0
TXD2(P0_1)	シリアルデータ出力	(受信だけを行うときはポートとして使用不可)
RXD2(P0_2)	シリアルデータ入力	PD0レジスタのPD0_2ビット=0 (送信だけを行うときはP0_2を入力ポートとして使用可)
CLK2(P0_3)	プログラマブル入出力ポート	U2MRレジスタのCKDIRビット=0
	転送クロック入力	U2MRレジスタのCKDIRビット=1 PD0レジスタのPD0_3ビット=0

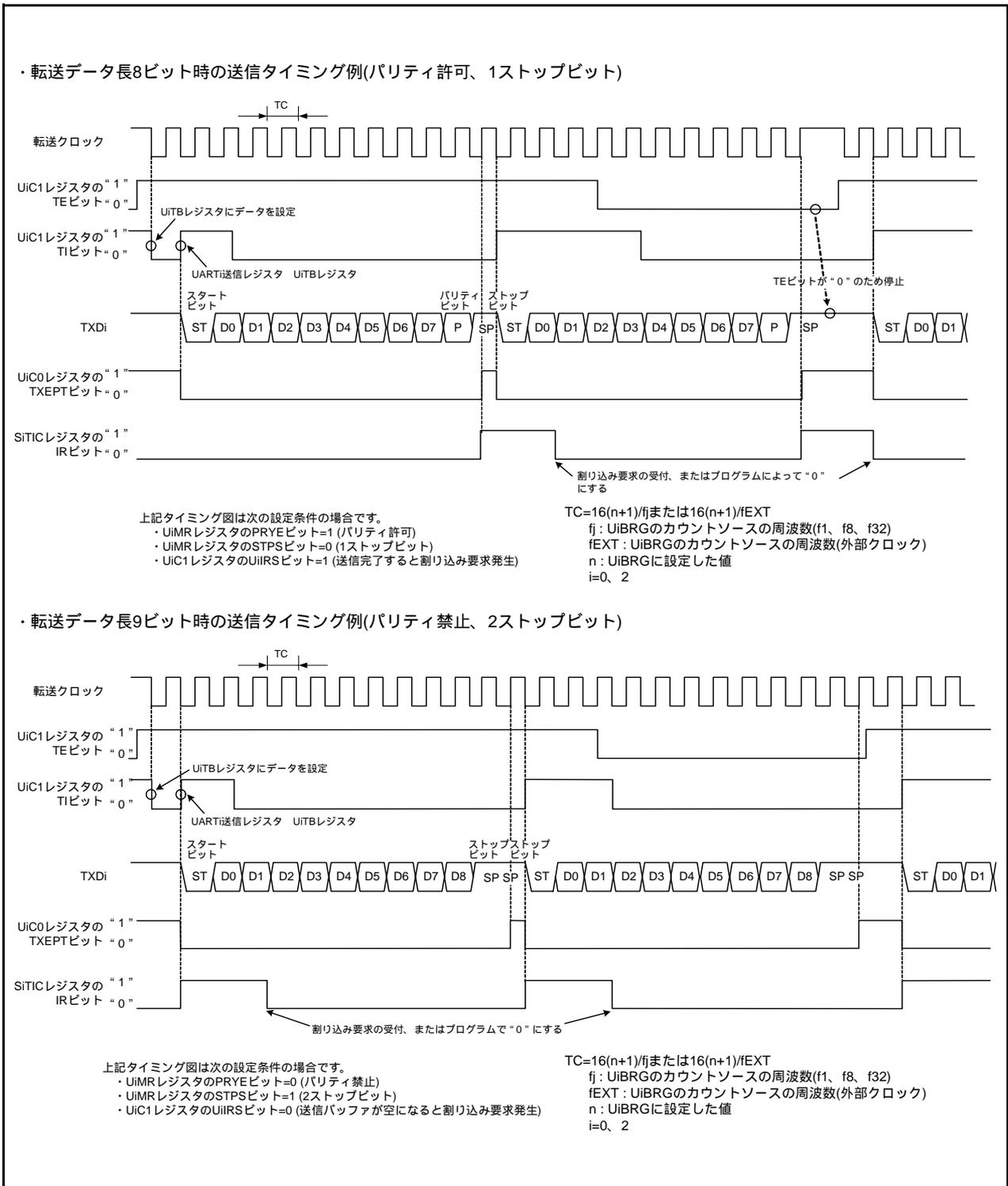


図17.10 UARTモード時の送信タイミング

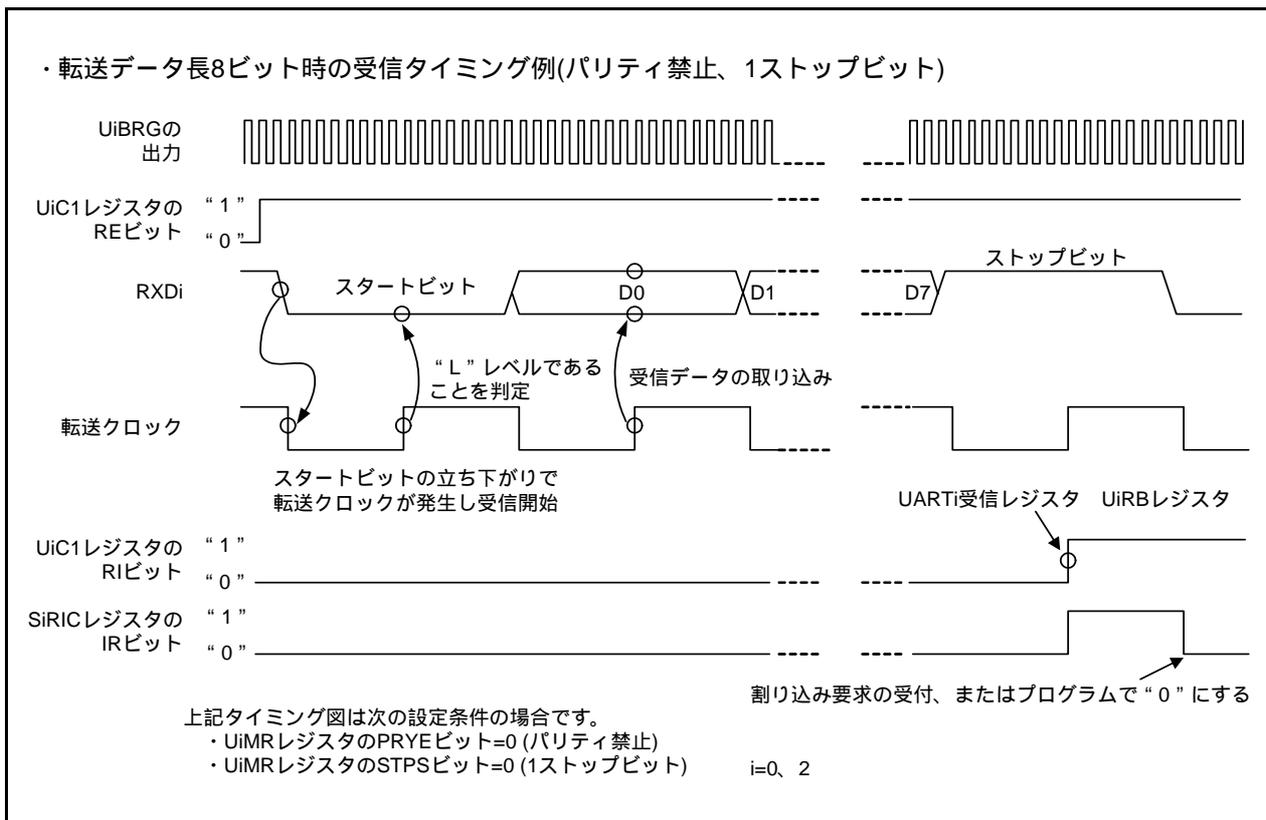


図 17.11 UARTモード時の受信タイミング例

17.2.1 ビットレート

UARTモードではUiBRGレジスタ(i=0、2)で分周した周波数の16分周がビットレートになります。

図17.12にUiBRGレジスタ(i=0、2)の設定値の算出式を、表17.7にUARTモード時のビットレート設定例(内部クロック選択時)を示します。

< UARTモード >		
・ 内部クロック選択時		
$\text{UiBRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$		
f _j : UiBRGレジスタのカウントソースの周波数(f ₁ 、f ₈ 、f ₃₂)		
・ 外部クロック選択時		
$\text{UiBRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$		
f _{EXT} : UiBRGレジスタのカウントソースの周波数(外部クロック)		
i=0、2		

図17.12 UiBRGレジスタ(i=0、2)の設定値の算出式

表17.7 UARTモード時のビットレート設定例(内部クロック選択時)

ビットレート (bps)	UiBRGのカウントソース	システムクロック = 20 MHz			システムクロック = 18.432 MHz (注1)			システムクロック = 8 MHz		
		UiBRGの設定値	実時間 (bps)	設定誤差 (%)	UiBRGの設定値	実時間 (bps)	設定誤差 (%)	UiBRGの設定値	実時間 (bps)	設定誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	- 1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	- 0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	- 0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	- 1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	- 1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	- 3.55
115200	f1	10 (0Ah)	113636.36	- 1.36	9 (09h)	115200.00	0.00			

i=0 ~ 1

注1. 高速オンチップオシレータに対して、FRA7レジスタの調整値をFRA1レジスタに書き込んでください。

システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22 ~ FRA20ビットを“000b”(2分周モード)にした場合です。高速オンチップオシレータの精度は「22. 電気的特性」を参照してください。

17.3 シリアルインタフェース使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB(i=0、2)レジスタを読み出すときは、必ず16ビット単位で読み出してください。
UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。
受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W    00A6H, R0    ; UORBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

```
MOV.B    #XXH, 00A3H    ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B    #XXH, 00A2H    ; U0TBレジスタの下位バイトへの書き込み
```


18.2 入出力端子

表18.1にハードウェアLINの端子構成を示します。

表18.1 端子構成

名称	略称	入出力	機能
レシーブデータ入力	RXD0	入力	ハードウェアLINの受信データ入力端子
トランスミットデータ出力	TXD0	出力	ハードウェアLINの送信データ出力端子

18.3 レジスタ構成

ハードウェアLINには以下のレジスタがあります。

図18.2、図18.3にレジスタの詳細を示します。

- LINコントロールレジスタ2 (LINCR2)
- LINコントロールレジスタ (LINCR)
- LINステータスレジスタ (LINST)

LINコントロールレジスタ2			
シンボル LINCR2	アドレス 0105h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
BCE	Synch Break送信時、バス衝突検出有効ビット	0 : バス衝突検出禁止 1 : バス衝突検出有効	RW
- (b2-b1)	予約ビット	“0” にしてください。	RW
- (b7-b3)	何も配置されていない。書く場合、“0” を書いてください。 読んだ場合、その値は“0”。		-

LINコントロールレジスタ			
シンボル LINCR	アドレス 0106h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
SFIE	Synch Field計測完了割り込み許可ビット	0 : Synch Field計測完了割り込み禁止 1 : Synch Field計測完了割り込み許可	RW
SBIE	Synch Break検出割り込み許可ビット	0 : Synch Break検出割り込み禁止 1 : Synch Break検出割り込み許可	RW
BCIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	RW
RXDSF	RXD0入力ステータスフラグ	0 : RXD0入力許可状態 1 : RXD0入力禁止状態	RO
LSTART	Synch Break検出開始ビット (注1)	“1” を書くとタイマRA入力許可、RXD0入力禁止になります。読んだ場合、その値は“0”。	RW
SBE	RXD0入力マスク解除タイミングセレクトビット (スレーブモードのみ有効)	0 : Synch Break検出後に解除 1 : Synch Field計測完了後に解除	RW
MST	LIN動作モード設定ビット (注2)	0 : スレーブモード (Synch Break検出回路動作) 1 : マスタモード (タイマRAの出力をTXD0とORする)	RW
LINE	LIN動作開始ビット	0 : LINは動作停止 1 : LINは動作開始(注3)	RW

注1 . LSTARTビット設定後、RXDSFフラグが“1”になる事を確認してからSynch Breakを入力開始してください。

注2 . LIN動作モードを切り替える場合は、一度、LIN動作を停止(LINEビット=0)してください。

注3 . 本ビットを“1”(LINは動作開始)にした直後は、タイマRAおよびUART0への入力は禁止です。(「図18.5 ヘッダフィールド送信フローチャート例(1)」および「図18.9 ヘッダフィールド受信フローチャート例(2)」を参照してください。)

図18.2 LINCR2、LINCRレジスタ

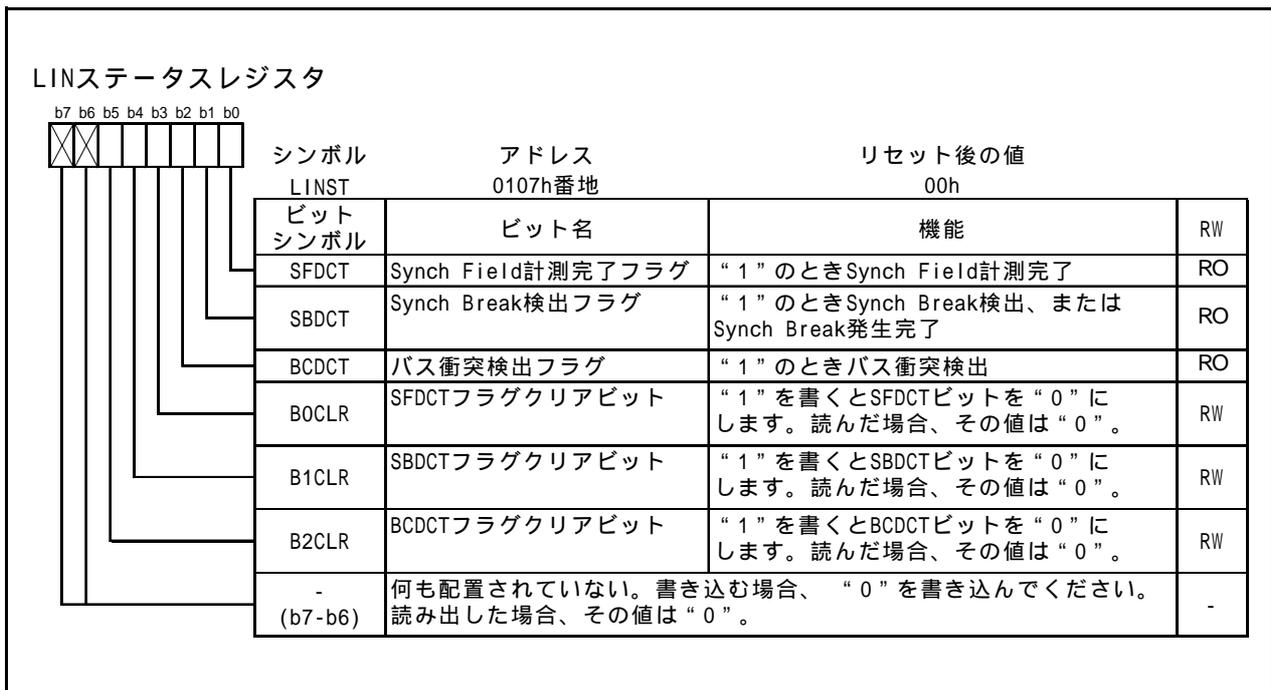


図 18.3 LINST レジスタ

18.4 動作説明

18.4.1 マスタモード

図18.4にマスタモードでの、ヘッダフィールドの送信時の動作例を、図18.5～図18.6にヘッダフィールドの送信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド送信時、以下のように動作します。

- (1) タイマRAのTRACRレジスタのTSTARTビットに“1”を書き込むと、タイマRAのTRAPRE、TRAレジスタに設定された期間、TXD0端子から“L”レベルを出力します。
- (2) タイマRAがアンダフローすると、TXD0端子の出力を反転し、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCRCレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (3) UART0により、55hを送信します。
- (4) UART0により、55hの送信が完了後、IDフィールドを送信します。
- (5) IDフィールドの送信完了後、レスポンスフィールドの通信を行います。

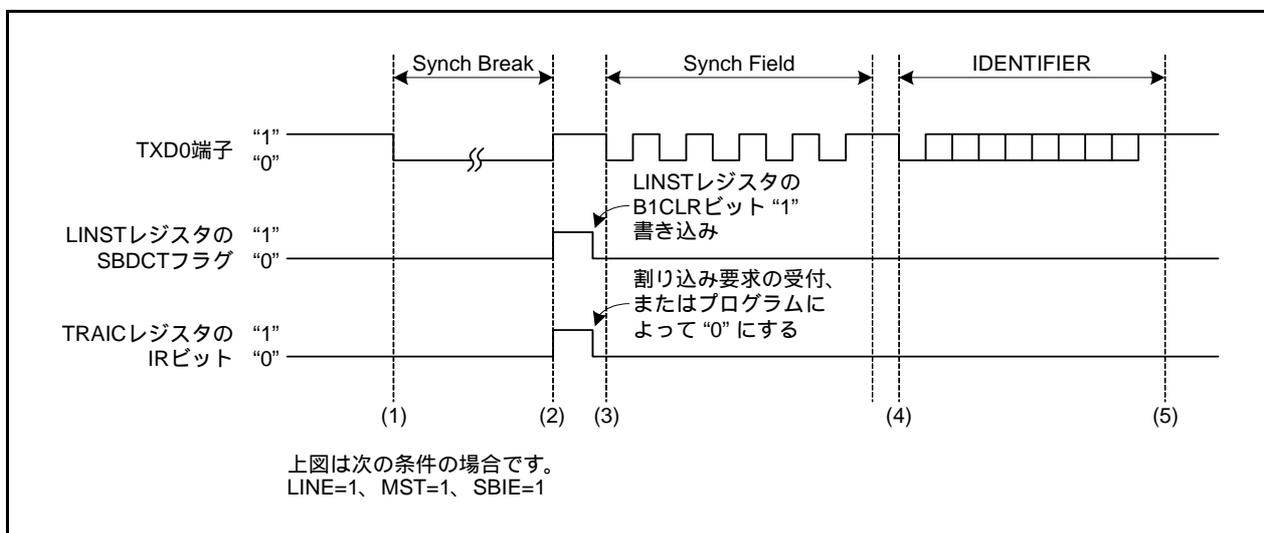


図18.4 ヘッダフィールドの送信時の動作例

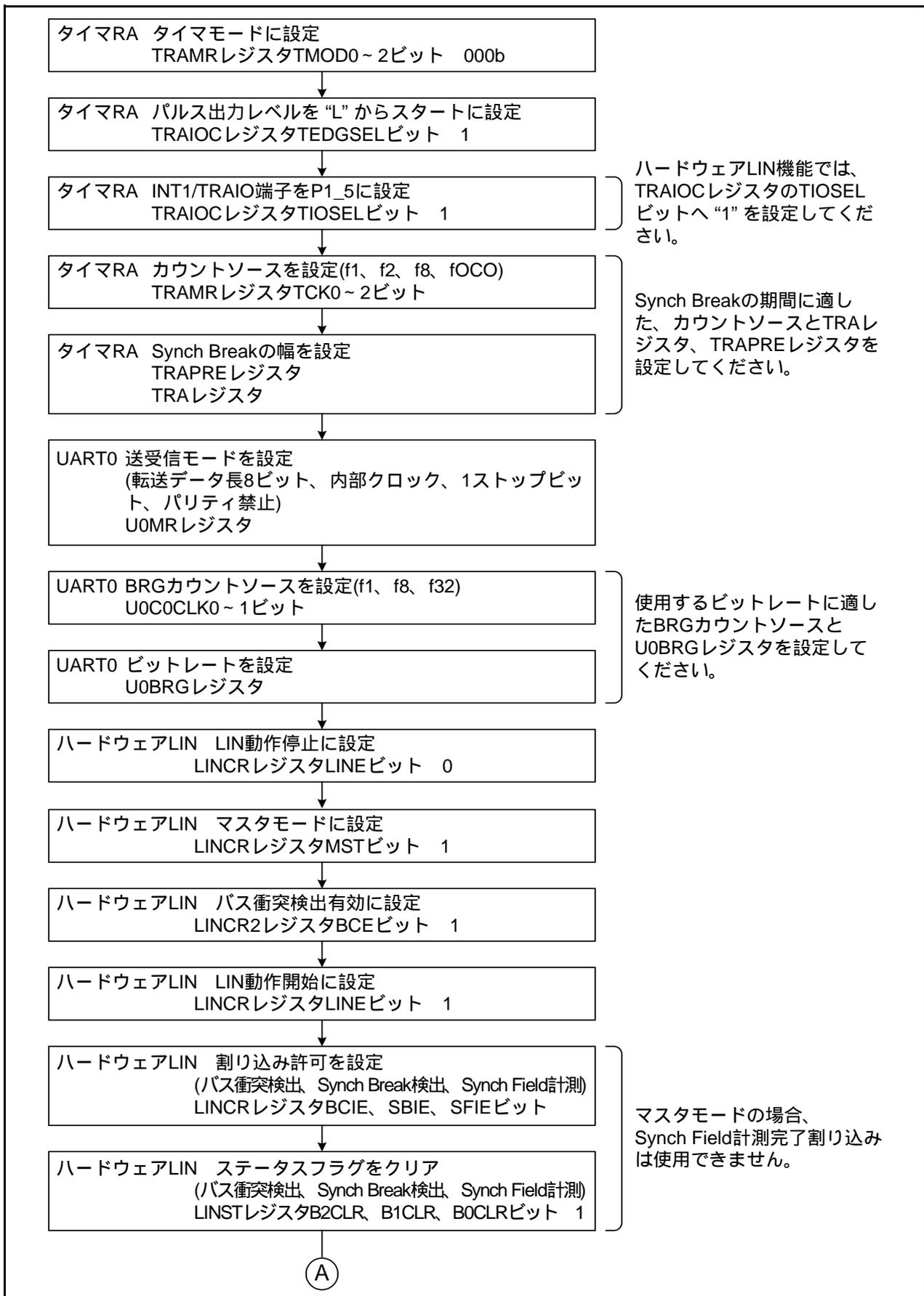


図18.5 ヘッドフィールド送信フローチャート例(1)

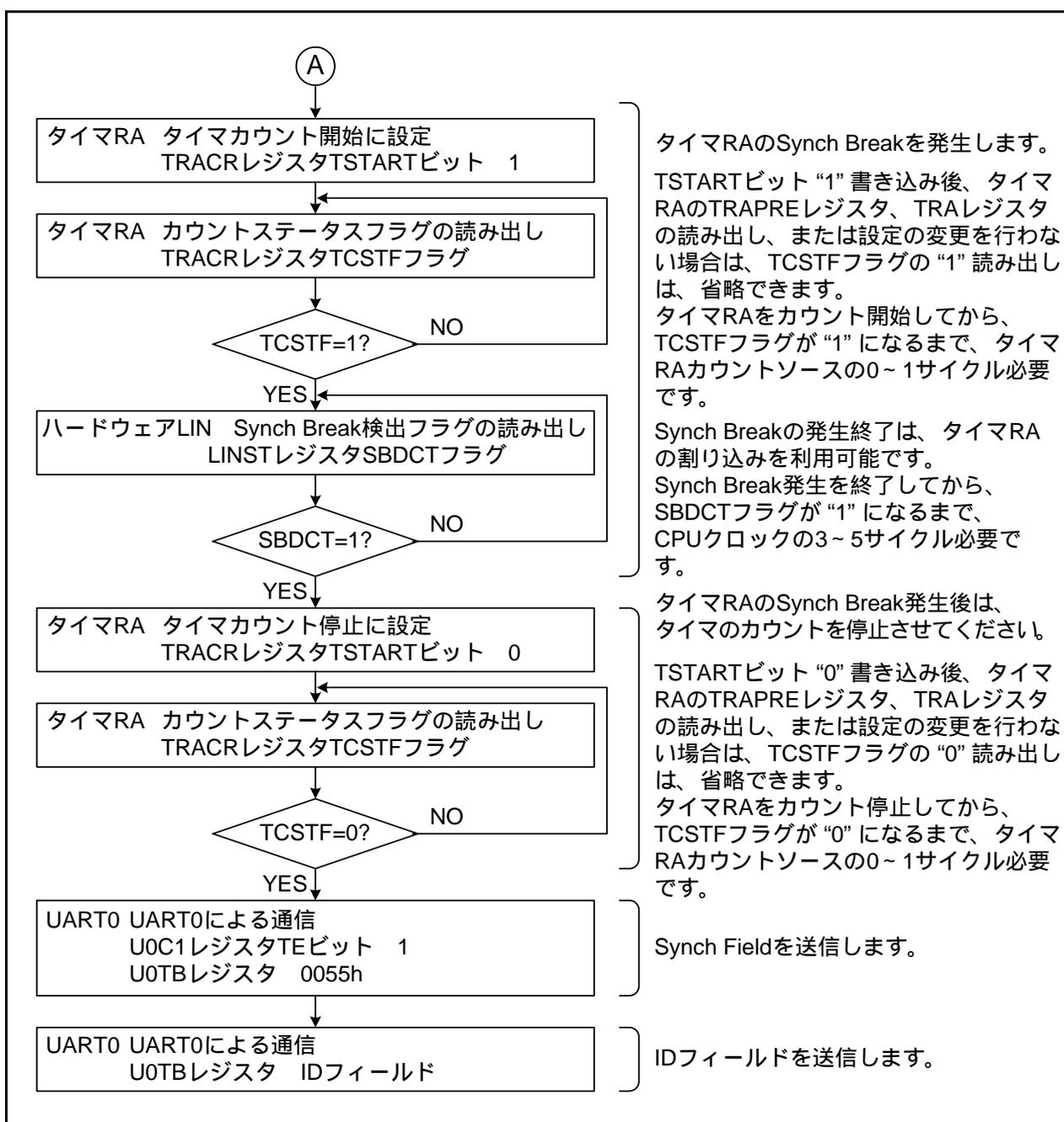


図 18.6 ヘッダフィールド送信フローチャート例(2)

18.4.2 スレーブモード

図18.7にスレーブモードでの、ヘッダフィールドの受信時の動作例を、図18.8～図18.10にヘッダフィールドの受信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド受信時、以下のように動作します。

- (1) ハードウェアLINのLINCXレジスタのLSTARTビットに“1”を書き込むと、Synch Break 検出が可能になります。
- (2) タイマRAに設定した期間以上の“L”レベルが入力されるとSynch Breakとして検出します。このとき、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCXレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。そして、Synch Field計測に遷移します。
- (3) Synch Field(55h)を受信します。この時、タイマRAにより、スタートビットおよび0～6ビットまでの期間を測定します。このとき、Synch Fieldの信号をUART0のRXD0に入力するか禁止にするかをLINCXのSBEビットにより選択できます。
- (4) Synch Field計測が完了するとLINSTレジスタのSFDCTフラグが“1”にセットされます。また、LINCXレジスタのSFIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (5) Synch Field計測完了後、タイマRAのカウント値から転送速度を算出し、UART0に設定およびタイマRAのTRAPREレジスタとTRAレジスタを再設定します。そして、UART0により、IDフィールドを受信します。
- (6) IDフィールドの受信完了後、レスポンスフィールドの通信を行います。

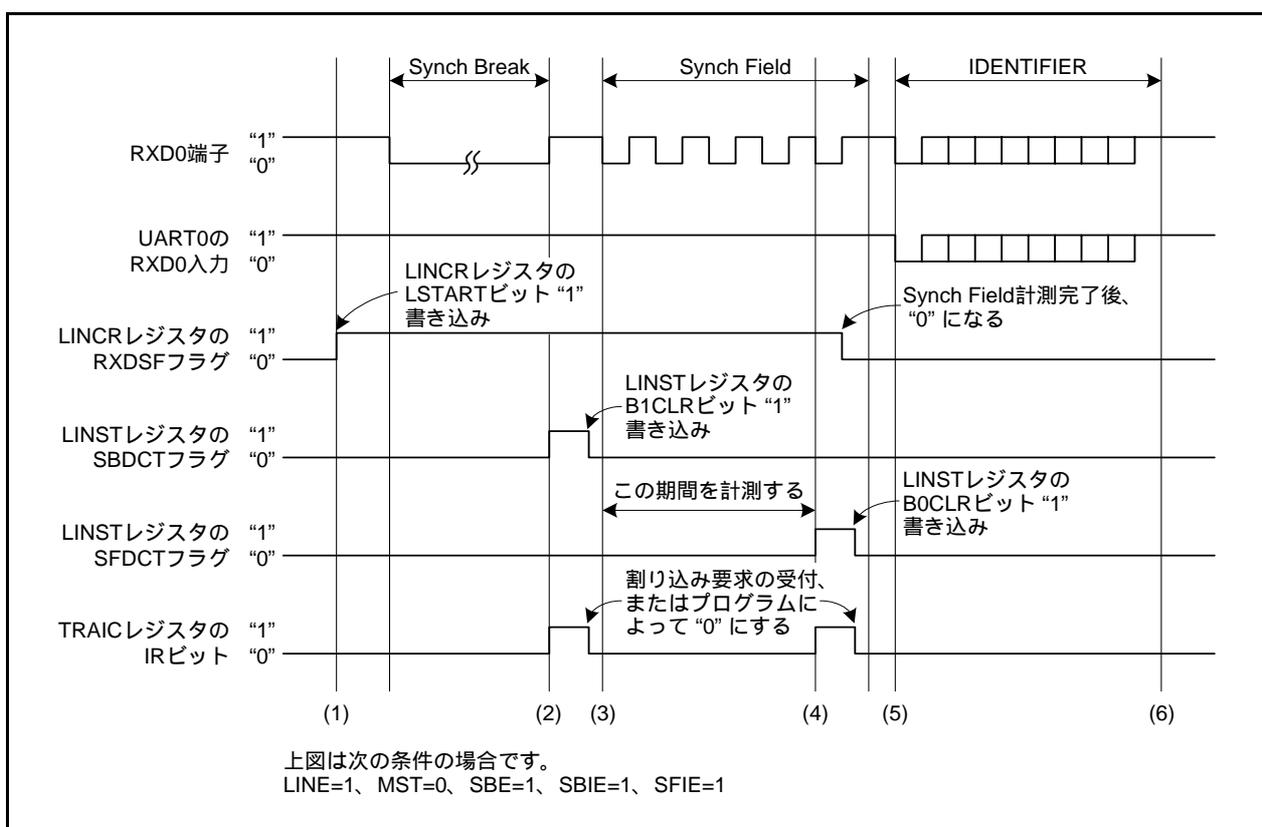


図18.7 ヘッダフィールドの受信時の動作例

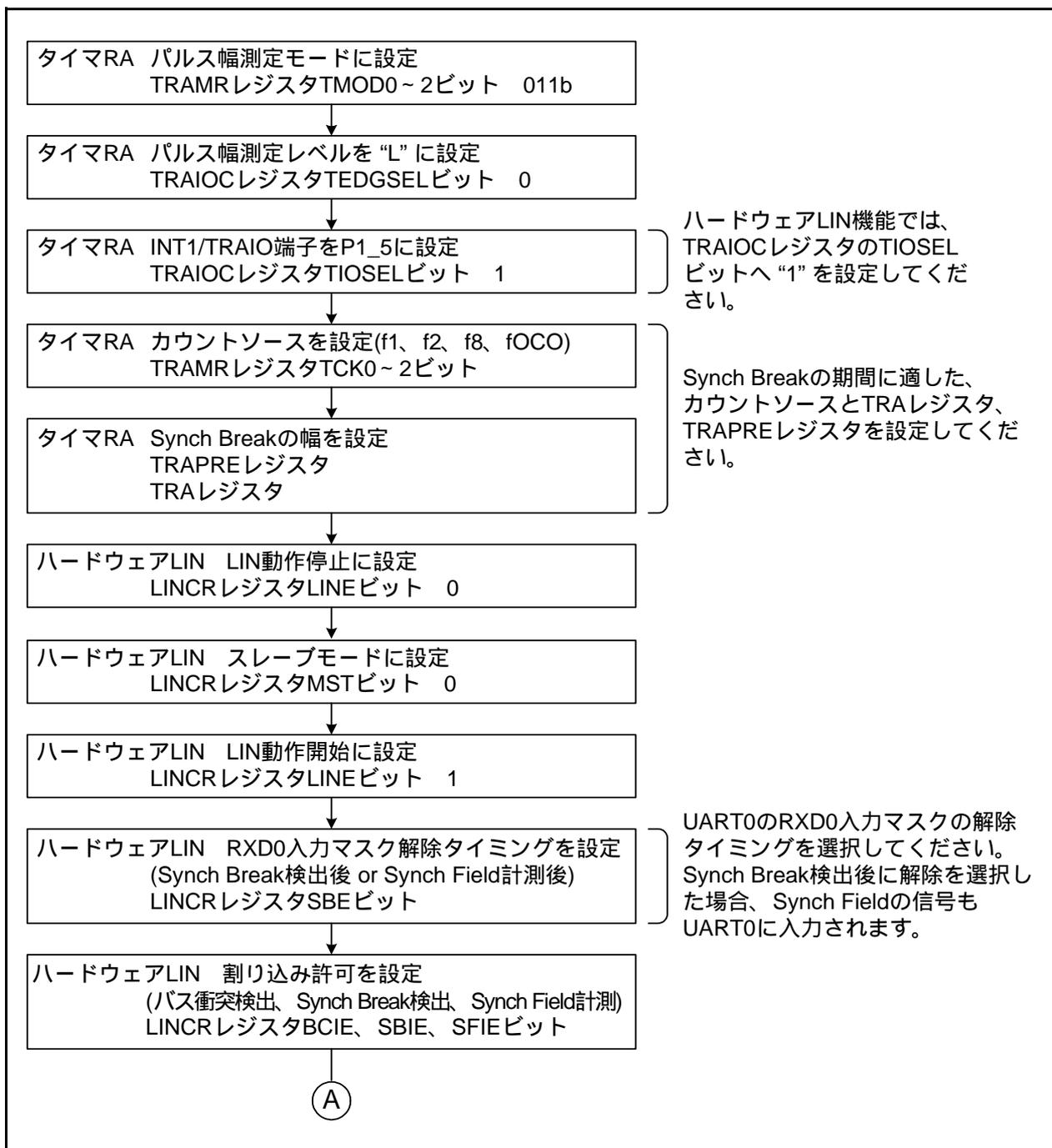


図18.8 ヘッドフィールド受信フローチャート例(1)

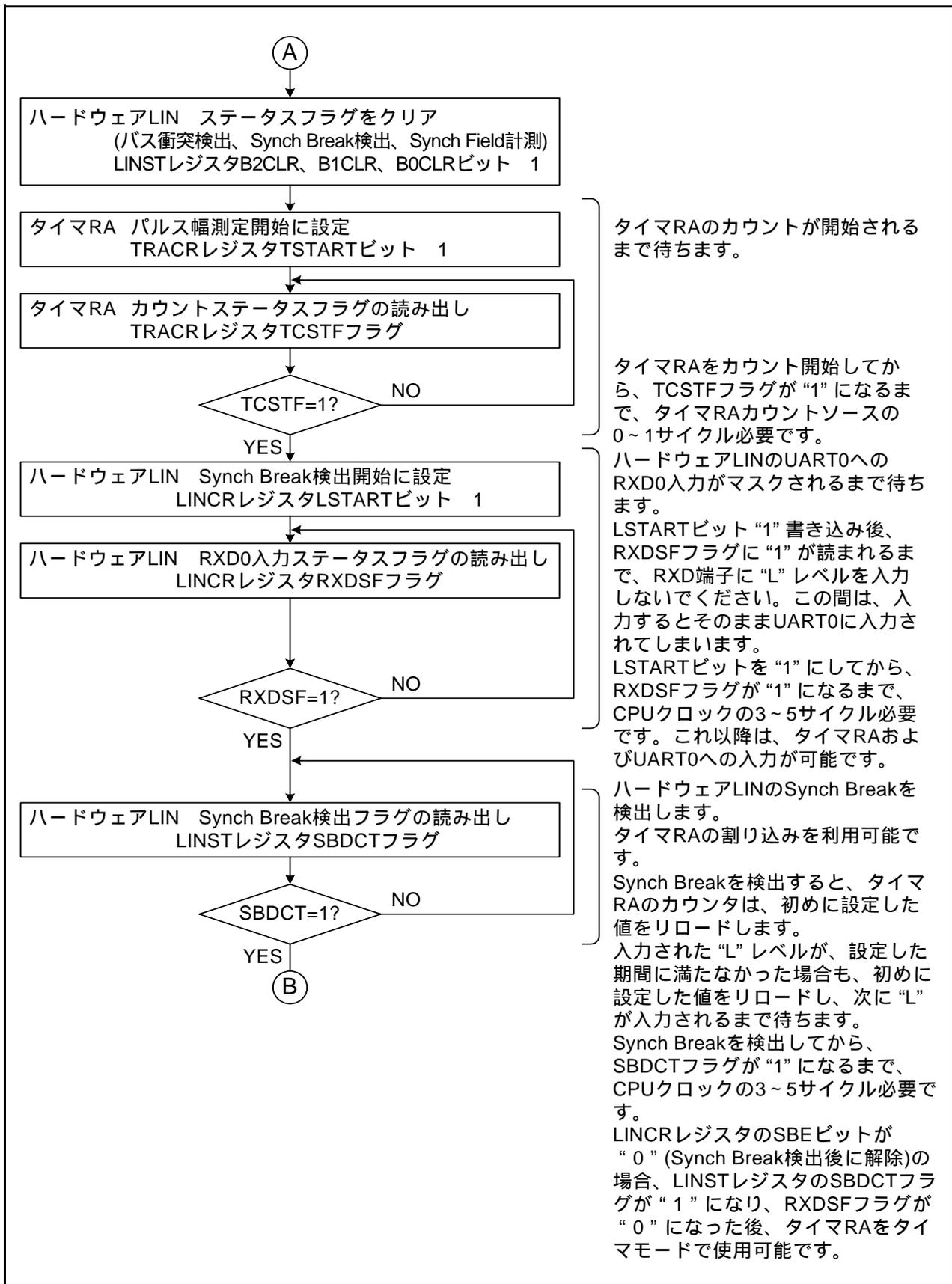


図18.9 ヘッドフィールド受信フローチャート例(2)

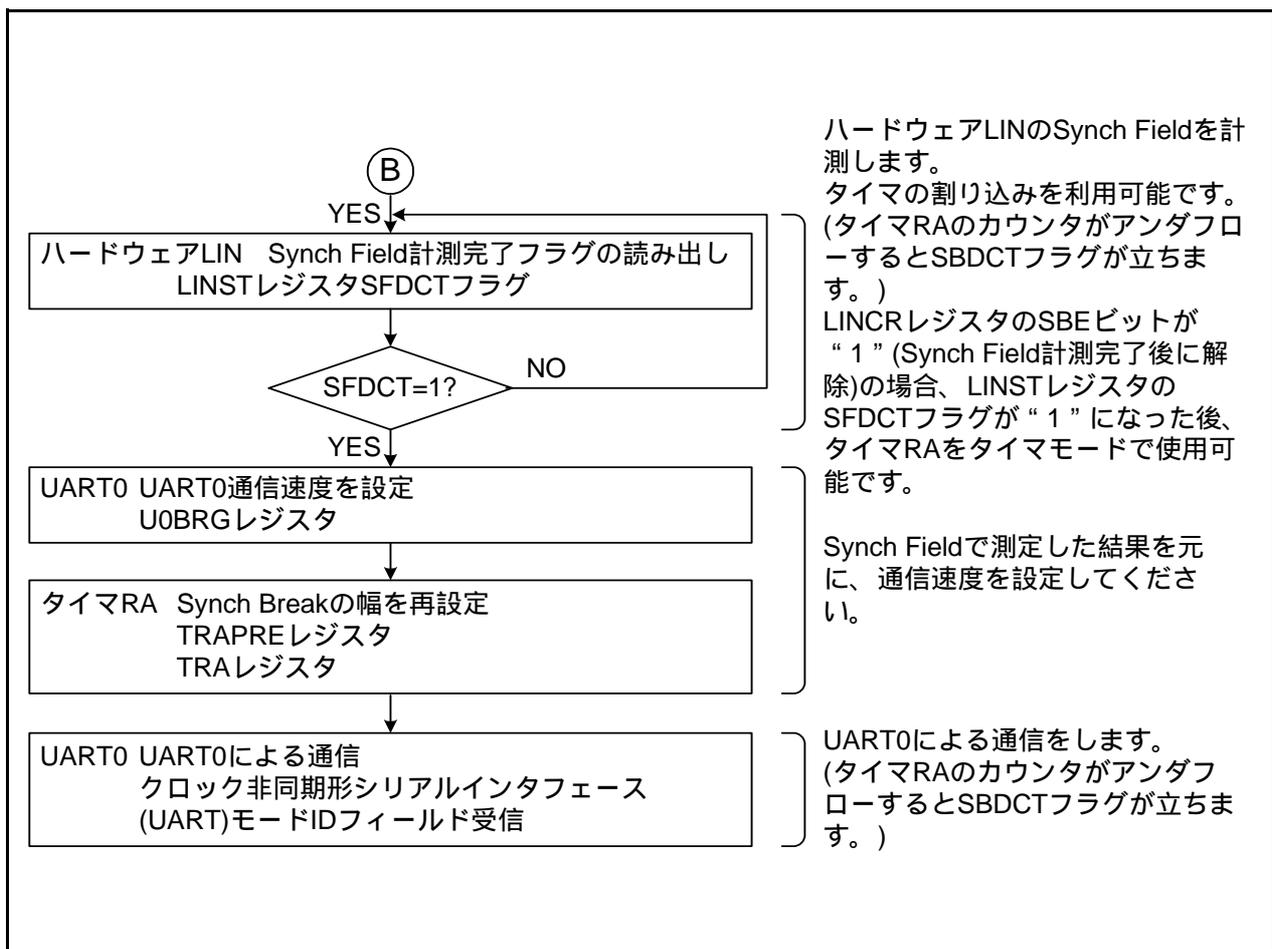


図18.10 ヘッダフィールド受信フローチャート例(3)

18.4.3 バス衝突検出機能

UART0が送信許可(U0C1レジスタのTEビットが“1”)の場合、バス衝突検出機能を使用することができます。Synch Break送信中にバス衝突検出を行う場合は、LINCR2レジスタのBCEビットを“1”(バス衝突検出有効)にしてください。

図18.11にバス衝突検出時の動作例を示します。

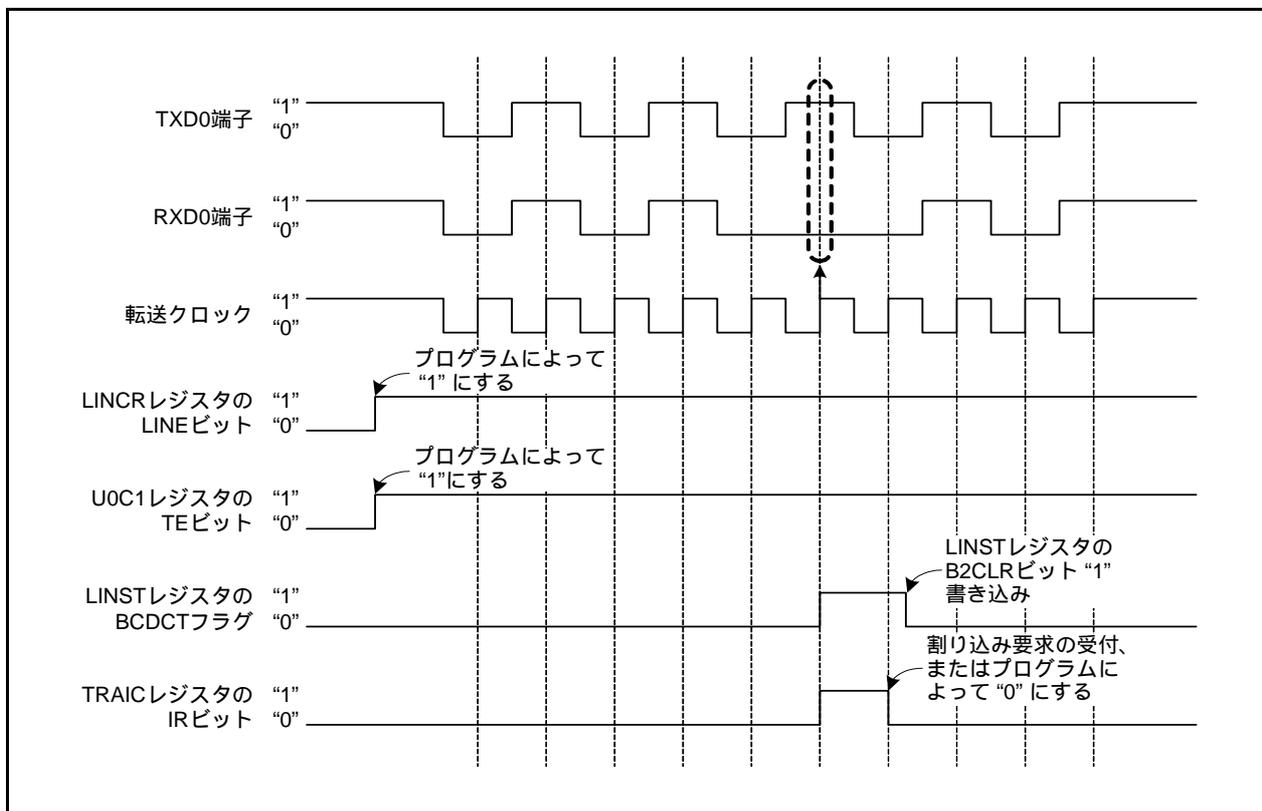


図18.11 バス衝突検出時の動作例

18.4.4 ハードウェアLIN終了処理

図18.12にハードウェアLIN通信終了のフローチャート例を示します。

ハードウェアLINの終了処理は、以下のタイミングで実施してください。

- バス衝突検出機能を使用する場合：
チェックサム送信終了後、ハードウェアLINの終了処理を実施
- バス衝突検出機能を使用しない場合：
ヘッダフィールド送受信終了後、ハードウェアLINの終了処理を実施

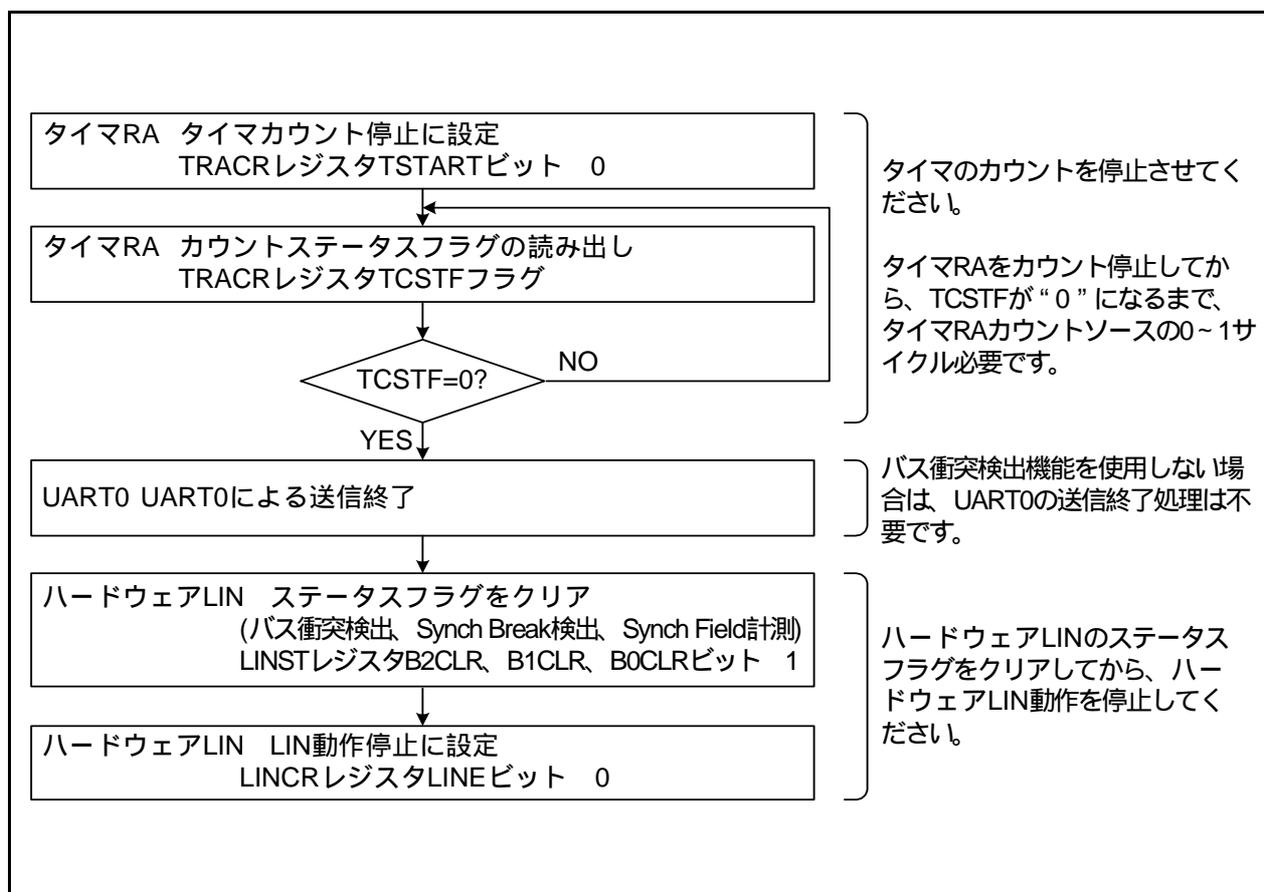


図18.12 ハードウェアLIN通信終了のフローチャート例

18.5 割り込み要求

ハードウェアLINが生成する割り込み要求には、Synch Break検出、Synch Break発生完了、Synch Field計測完了およびバス衝突検出の計4種類があります。これらの割り込みは、タイマRAの割り込みと兼用となっています。

表18.2にハードウェアLINの割り込み要求を示します。

表18.2 ハードウェアLINの割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
Synch Break検出	SBDCT	タイマRAによりRXD0入力の“L”レベルの期間を計測し、アンダフローしたとき。また、通信中にSynch Breakの期間より長い“L”レベルが入力されたとき
Synch Break発生完了		タイマRAにより設定された期間、TXD0へ“L”レベルの出力を完了したとき
Synch Field計測完了	SFDCT	タイマRAによりSynch Fieldの6ビット目の計測が完了したとき
バス衝突検出	BCDCT	UART0が送信許可の場合、データラッチタイミングでRXD0入力とTXD0出力の値が異なったとき

18.6 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break 検出割り込みを起点に他のタイマで時間計測を行ってください。

19. A/Dコンバータ

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P0_0 ~ P0_3、P0_5、P1_0 ~ P1_3と端子を共用しています。これらの入力を使用する場合、対応するポート方向ビットは“0”（入力モード）にしてください。また、A/Dコンバータを使用しない場合、ADCON1レジスタのVCUTビットを“0”（Vref未接続）にするとVREF端子からラダー抵抗に電流が流れなくなり、消費電力を少なくできます。

A/D変換した結果は、ADレジスタに格納されます

表19.1にA/Dコンバータの性能を、図19.1にA/Dコンバータのブロック図を、図19.2 ~ 図19.3にA/Dコンバータ関連のレジスタを示します。

表19.1 A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V ~ AVCC
動作クロック AD(注2)	4.2V AVCC 5.5Vのとき f1、f2、f4、fOCO-F 2.7V AVCC < 4.2Vのとき f2、f4、fOCO-F
分解能	8ビットまたは10ビット選択可能
絶対精度	AVCC = Vref = 5V、 AD = 10MHzのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 3LSB AVCC = Vref = 3.3V、 AD = 10MHzのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 5LSB
動作モード	単発モード、繰り返しモード(注3)
アナログ入力端子	9本(AN2、AN4 ~ AN11)
A/D変換開始条件	・ソフトウェアトリガ ADCON0レジスタのADSTビットを“1”（A/D変換開始）にする ・キャプチャ ADSTビットが“1”の状態ではタイマRD割り込み要求が発生する
1端子あたりの変換速度	・サンプル&ホールドなし 分解能8ビットの場合49 ADサイクル、分解能10ビットの場合59 ADサイクル ・サンプル&ホールドあり 分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクル

注1. サンプル&ホールド機能の有無に依存しません。

アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

注2. 2.7V AVCC 5.5Vのとき、ADの周波数を10MHz以下にしてください。

サンプル&ホールド機能なしのとき、ADの周波数は250kHz以上にしてください。

サンプル&ホールド機能ありのとき、ADの周波数は1MHz以上にしてください。

注3. 繰り返しモードは8ビットモード時のみ使用可能です。

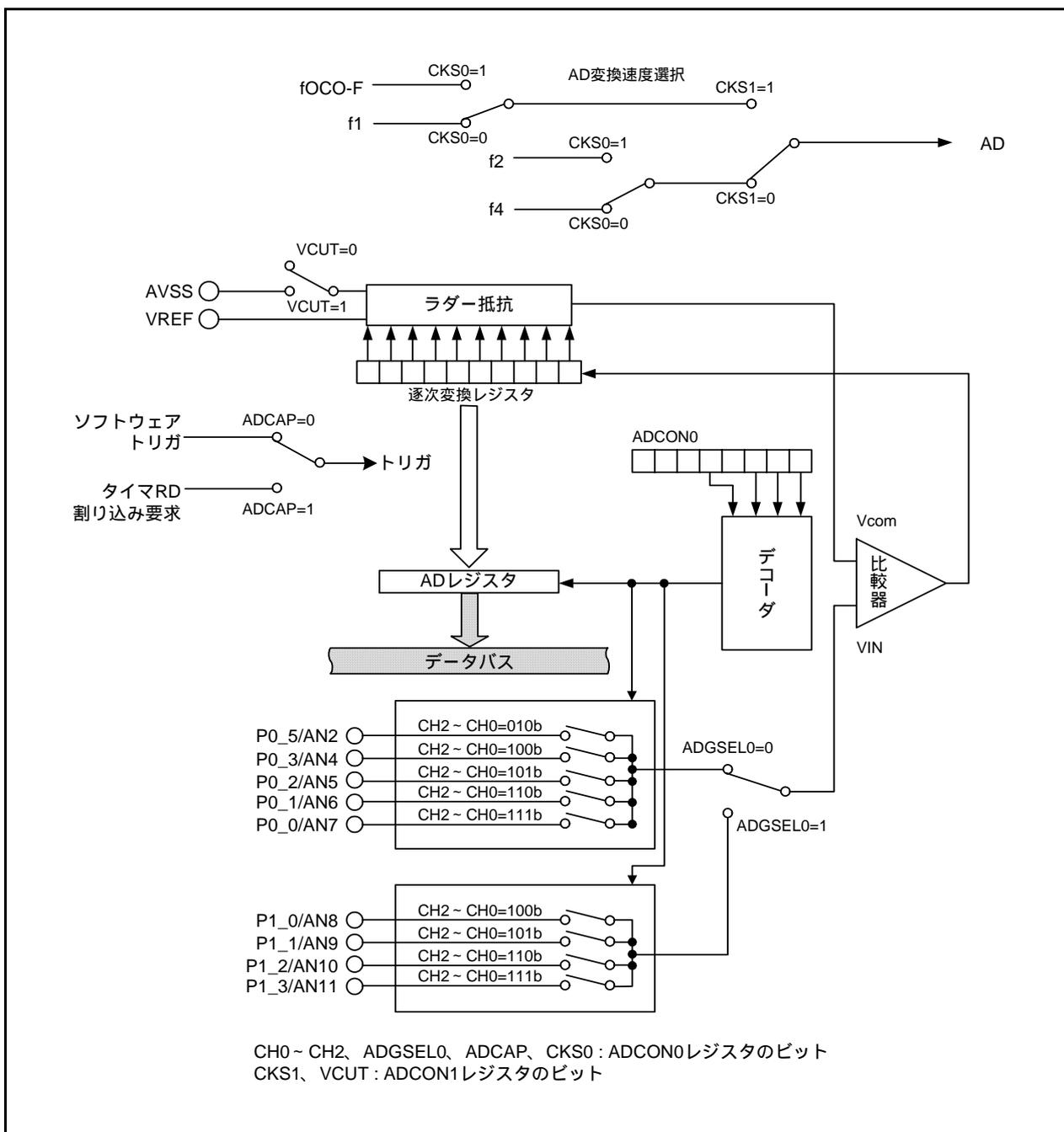


図19.1 A/Dコンバータのブロック図

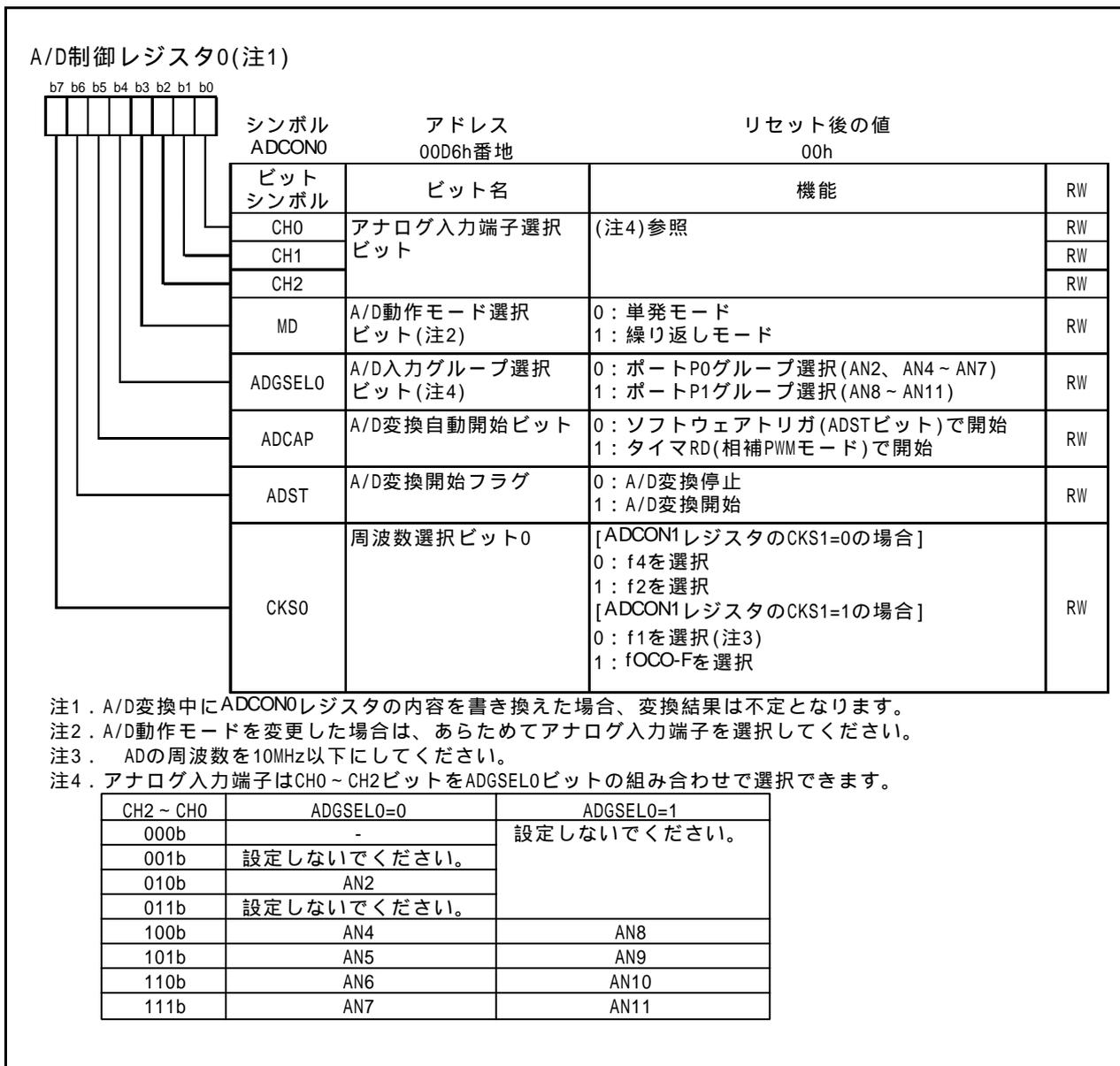


図19.2 ADCON0レジスタ

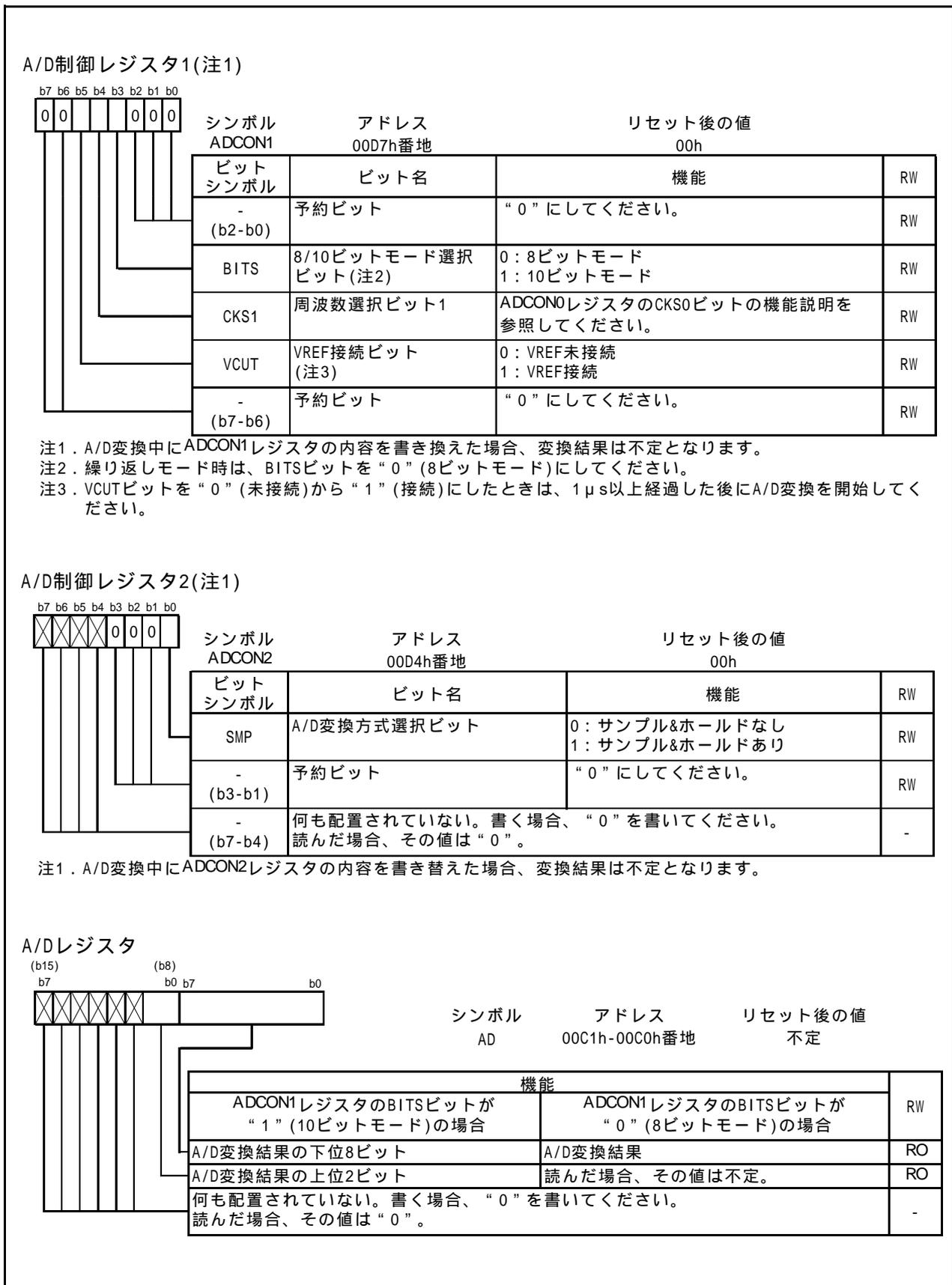


図19.3 ADCON1、ADCON2、ADレジスタ

19.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。

表19.2に単発モードの仕様を、図19.4に単発モード時のADCON0レジスタを、図19.5に単発モード時のADCON1レジスタを示します。

表19.2 単発モードの仕様

項目	仕様
機能	CH2 ~ CH0ビットとADGSEL0ビットで選択した端子の入力電圧を1回A/D変換する
開始条件	<ul style="list-style-type: none"> • ADCAPビットが“0”(ソフトウェアトリガ)の場合 ADSTビットを“1”(A/D変換開始)にする • ADCAPビットが“1”(タイマRD(相補PWMモードで開始)の場合 ADSTビットが“1”の状態、TRD0とTRDGRA0レジスタのコンペア一致、TRD1アンダフローが発生する
停止条件	<ul style="list-style-type: none"> • A/D変換終了(ADCAPビットが“0”(ソフトウェアトリガ)の場合、 ADSTビットが“0”になる) • ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
入力端子	AN2、AN4 ~ AN11から1端子を選択
A/D変換値の読み出し	ADレジスタの読み出し

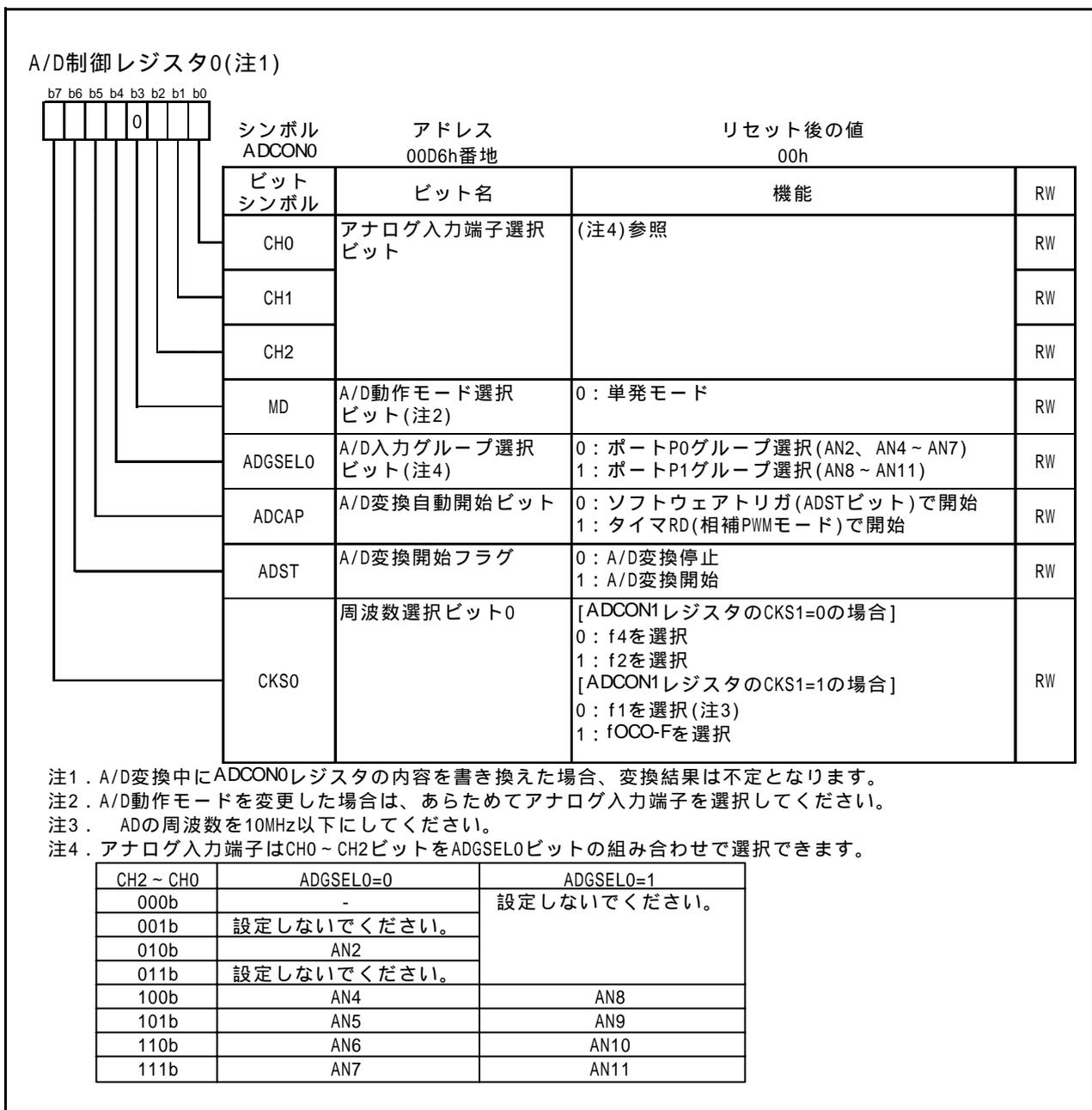


図19.4 単発モード時のADCON0レジスタ

A/D制御レジスタ1(注1)

シンボル ADCON1	アドレス 00D7h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
- (b2-b0)	予約ビット	“0” にしてください。	RW
BITS	8/10ビットモード選択 ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON0レジスタのCKS0ビットの機能説明を 参照してください。	RW
VCUT	VREF接続ビット (注2)	1 : VREF接続	RW
- (b7-b6)	予約ビット	“0” にしてください。	RW

注1 . A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定となります。
注2 . VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1 μ s以上経過した後にA/D変換を開始してください。

図19.5 単発モード時のADCON1レジスタ

19.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。

表19.3に繰り返しモードの仕様を、図19.6に繰り返しモード時のADCON0レジスタを、図19.7に繰り返しモード時のADCON1レジスタを示します。

表19.3 繰り返しモードの仕様

項目	仕様
機能	CH2～CH0ビットとADGSEL0ビットで選択した端子の入力電圧を繰り返しA/D変換する
開始条件	<ul style="list-style-type: none"> • ADCAPビットが“0”(ソフトウェアトリガ)の場合 ADSTビットを“1”(A/D変換開始)にする • ADCAPビットが“1”(タイマRD(相補PWMモードで開始)の場合 ADSTビットが“1”の状態、TRD0とTRDGRA0レジスタのコンペア一致、TRD1アンダフローが発生する
停止条件	ADSTビットを“0”にする
割り込み要求発生タイミング	発生しない
入力端子	AN2、AN4～AN11から1端子を選択
A/D変換値の読み出し	ADレジスタの読み出し

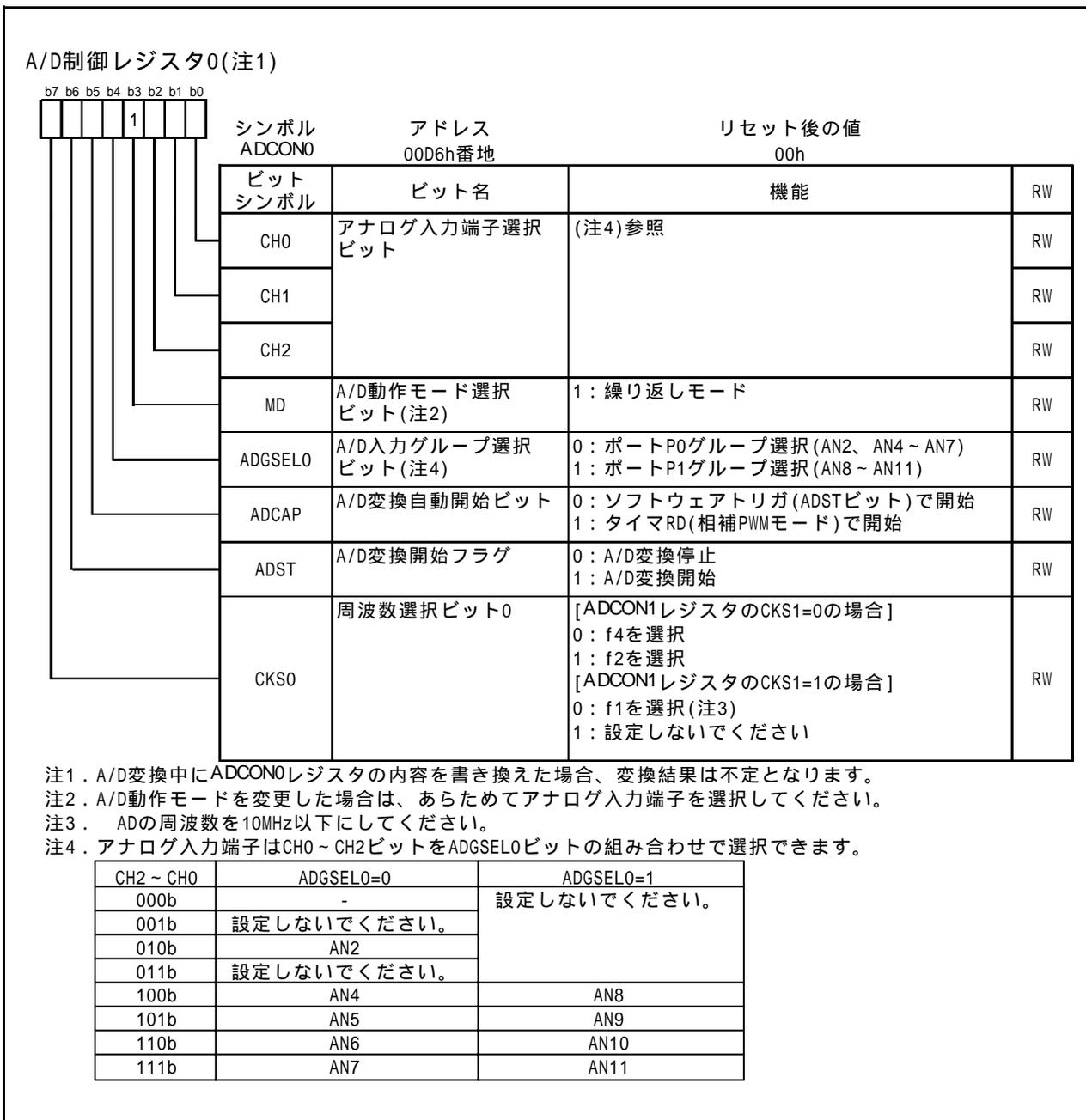


図 19.6 繰り返しモード時のADCON0レジスタ

A/D制御レジスタ1(注1)

シンボル ADCON1	アドレス 00D7h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
- (b2-b0)	予約ビット	“0” にしてください。	RW
BITS	8/10ビットモード選択 ビット(注2)	0: 8ビットモード	RW
CKS1	周波数選択ビット1	ADCON0レジスタのCKS0ビットの機能説明を 参照してください。	RW
VCUT	VREF接続ビット (注3)	1: VREF接続	RW
- (b7-b6)	予約ビット	“0” にしてください。	RW

注1. A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定となります。
 注2. 繰り返しモード時は、BITSビットを“0”(8ビットモード)にしてください。
 注3. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1 μ s以上経過した後にA/D変換を開始してください。

図19.7 繰り返しモード時のADCON1レジスタ

19.3 サンプル&ホールド

ADCON2レジスタのSMPビットを“1”(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上します。サンプル&ホールドは、すべての動作モードに対して有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

図19.8にA/D変換タイミング図を示します。

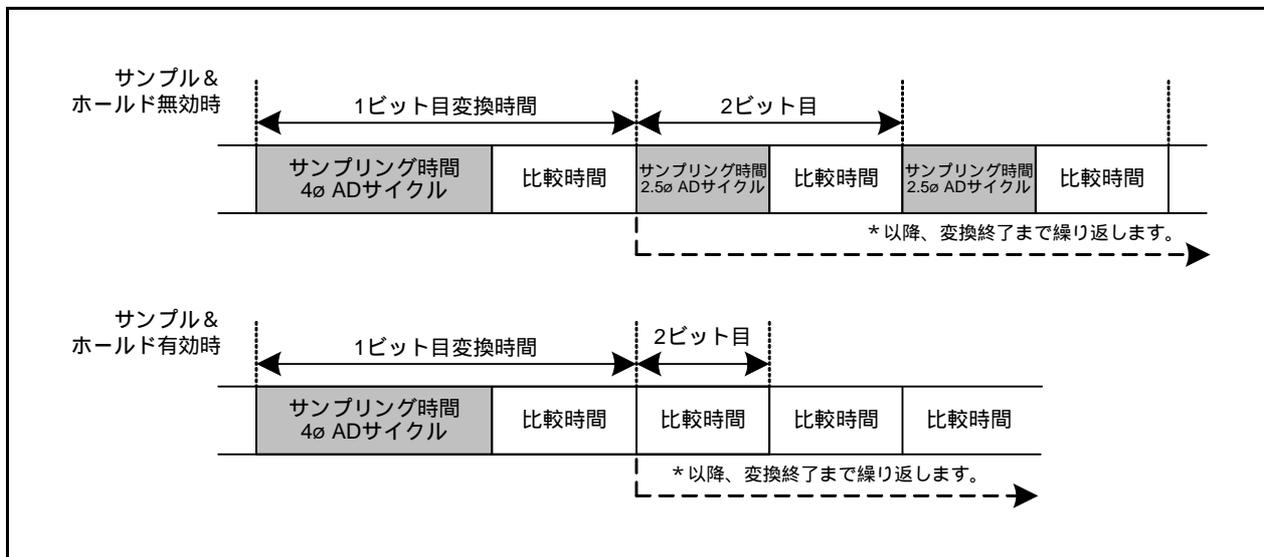


図19.8 A/D変換タイミング図

19.4 A/D変換サイクル数

図19.9にA/D変換サイクル数を示します。

A/D変換モード	変換時間	1ビット目変換時間		2ビット目以降の変換時間		終了処理
		サンプリング時間	比較時間	サンプリング時間	比較時間	
サンプル&ホールドなし 8ビット	49 AD	4 AD	2.0 AD	2.5 AD	2.5 AD	8.0 AD
サンプル&ホールドなし 10ビット	59 AD	4 AD	2.0 AD	2.5 AD	2.5 AD	8.0 AD
サンプル&ホールドあり 8ビット	28 AD	4 AD	2.5 AD	0.0 AD	2.5 AD	4.0 AD
サンプル&ホールドあり 10ビット	33 AD	4 AD	2.5 AD	0.0 AD	2.5 AD	4.0 AD

図19.9 A/D変換サイクル数

19.5 アナログ入力内部等価回路

図19.10にアナログ入力内部等価回路を示します。

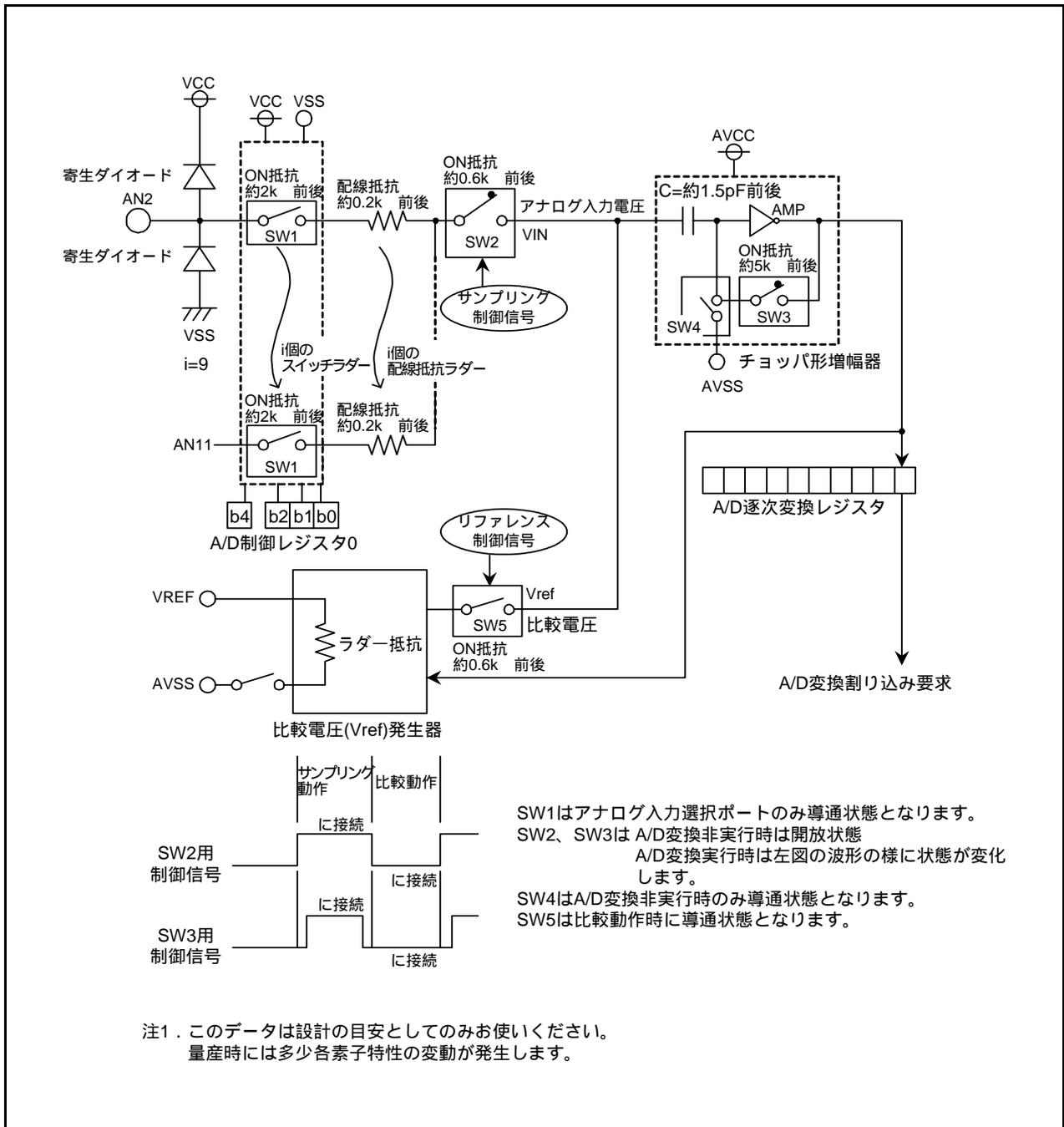


図19.10 アナログ入力内部等価回路

19.6 A/D変換時のセンサーの出力インピーダンス

A/D変換を正しく行うためには、図19.11の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$VCは一般にVC=VIN\left\{1-e^{-\frac{1}{C(R0+R)}t}\right\}$$

$$t=Tのとき、VC=VIN-\frac{X}{Y}VIN=VIN\left(1-\frac{X}{Y}\right)より、$$

$$e^{-\frac{1}{C(R0+R)}T}=\frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T=\ln\frac{X}{Y}$$

$$よって、R0=-\frac{T}{C\cdot\ln\frac{X}{Y}}-R$$

図19.11にアナログ入力端子と外部センサーの等価回路例を示します。VINとVCの差が0.1LSBとなる時、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

f(XIN)=10MHzのとき、サンプル&ホールドなしA/D変換モードではT=0.25μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます

T=0.25μs、R=2.8k、C=6.0pF、X=0.1、Y=1024だから、

$$R0=-\frac{0.25\times 10^{-6}}{6.0\times 10^{-12}\cdot\ln\frac{0.1}{1024}}-2.8\times 10^3\approx 1.7\times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大1.7k になります。

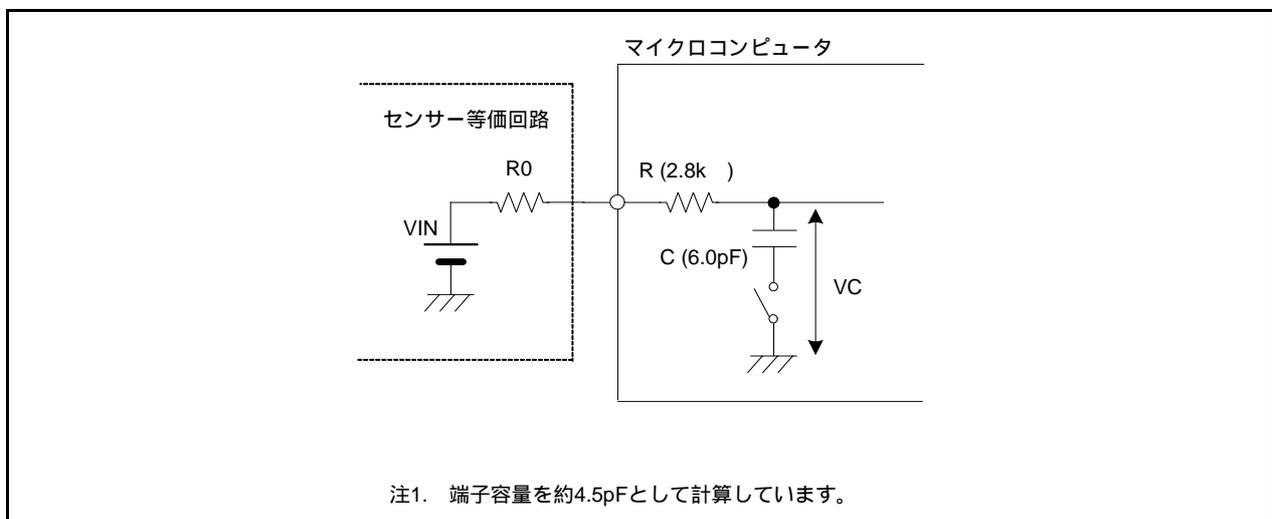


図19.11 アナログ入力端子と外部センサーの等価回路例

19.7 A/Dコンバータ使用上の注意

- ADCON0の各ビット(ビット6を除く)、ADCON1レジスタの各ビット、ADCON2レジスタのSMPビットに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
特にVCUTビットを“0”(VREF未接続)から“1”(VREF接続)にしたときは、1 μ s以上経過した後にA/D変換を開始させてください。
- A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- 単発モードで使用する場合
A/D変換が完了したことを確認してから、ADレジスタを読み出してください(A/D変換の完了はADICレジスタのIRビット、またはADCON0レジスタのADSTビットで判定できます)。
- 繰り返しモードで使用する場合
A/D変換中のCPUクロックには、A/Dコンバータの動作クロック AD以上の周波数を選択してください。
ADにfOCO-Fを選択しないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。プログラムでADSTビットを“0”にした場合は、ADレジスタの値を使用しないでください。
- P4_2/VREF端子とAVSS端子間に0.1 μ Fのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の状態、ウェイトモードに移行しないでください。

20. フラッシュメモリ

20.1 概要

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードがあります。

表20.1にフラッシュメモリの性能概要を示します(表20.1に示す以外の項目は「表1.1～表1.4 仕様概要」を参照してください)。

表20.1 フラッシュメモリの性能概要

項目		性能
フラッシュメモリの動作モード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力モード)
消去ブロック分割		図20.1～図20.2を参照してください。
プログラム方式		バイト単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式		ソフトウェアコマンドによるプログラム、イレーズ制御
サスペンド機能		プログラムサスペンド、イレーズサスペンド
プロテクト方式		FMR0レジスタによるプログラムROMに対するプロテクト
コマンド数		5コマンド
プログラム、イレーズ回数 (注1)	ブロック0、1 (プログラムROM)	R8C/2Kグループ：100回；R8C/2Lグループ：1,000回
	ブロックA、B (データフラッシュ)(注2)	10,000回
プログラム、イレーズ電圧		VCC=2.7～5.5V
IDコードチェック機能		標準シリアル入出力モード対応
ROMコードプロテクト		パラレル入出力モード対応

注1. プログラム、イレーズ回数の定義
プログラム、イレーズ回数はブロックごとのイレーズ回数です。

注2. R8C/2Lグループが内蔵します。

表20.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える	専用シリアルライターを使用して、ユーザROM領域を書き換える	専用パラレルライターを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域
書き換えプログラム	ユーザプログラム	標準ブートプログラム	

20.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図20.1にR8C/2Kグループのフラッシュメモリのブロック図を、図20.2にR8C/2Lグループのフラッシュメモリのブロック図を示します。

ユーザROM領域にはプログラムROMがあります。R8C/2Lグループはさらにデータフラッシュがあります。

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラム(標準ブートプログラム)が格納されています。ブートROM領域は、ユーザROM領域と重なったアドレスに配置されていますが、メモリは別に存在します。

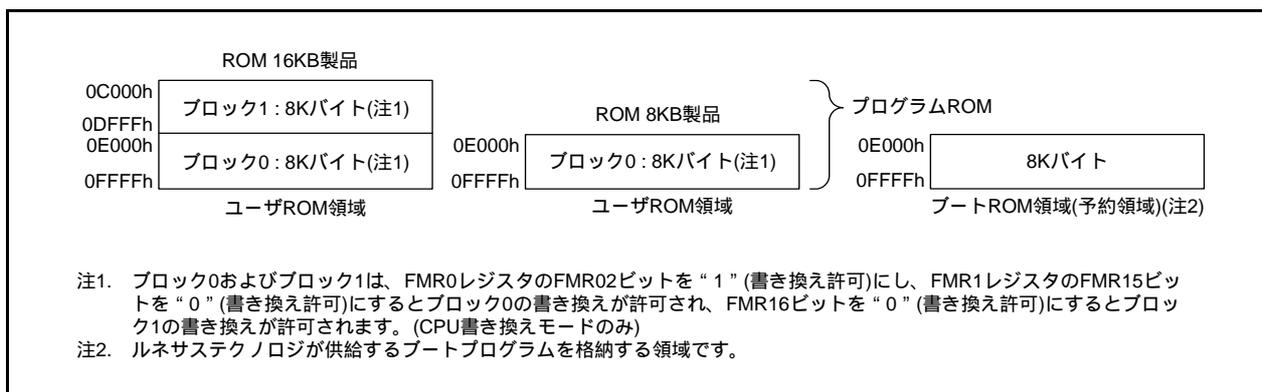


図20.1 R8C/2Kグループのフラッシュメモリのブロック図

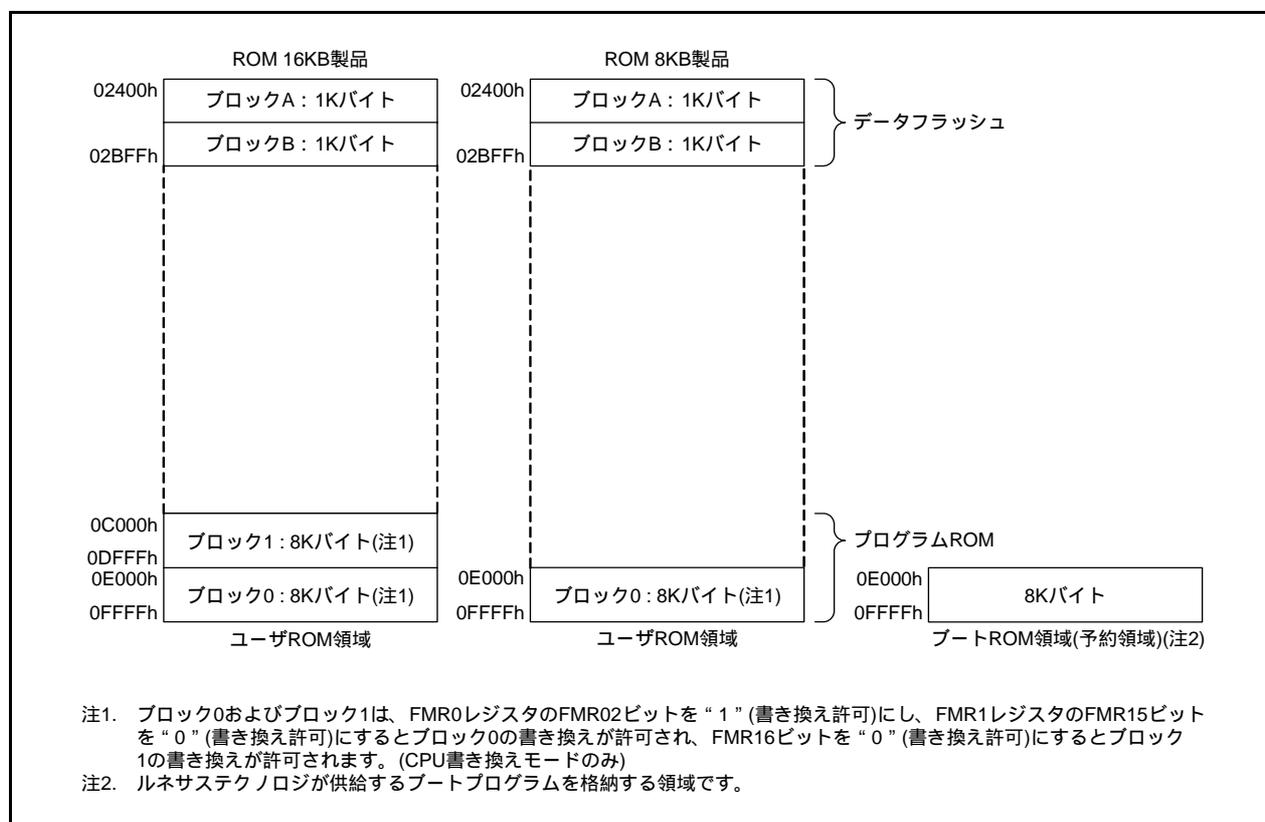


図20.2 R8C/2Lグループのフラッシュメモリのブロック図

20.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリの内容の読み出し、書き換え、消去をできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

20.3.1 IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)が“FFFFFFh”ではない場合、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードと、フラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、シリアルライターやオンチップデバッグエミュレータから送られてくるコマンドは受け付けません。IDコードチェック機能の詳細は、「13. IDコード領域」を参照してください。

20.3.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタを使用して、フラッシュメモリの内容の読み出し、書き換え、消去を禁止する機能です。

図20.3にOFSレジスタを示します。OFSレジスタの詳細は「14. オプション機能選択領域」を参照してください。

ROMCRビットに“1”、ROMCP1ビットに“0”を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、書き換えが禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

オプション機能選択レジスタ(注1)

シンボル OFS	アドレス 0FFFh番地	出荷時の値 FFh(注3)	
ビット シンボル	ビット名	機能	RW
WDTON	ウォッチドッグタイマ 起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的 に起動 1: リセット後、ウォッチドッグタイマは停止 状態	RW
- (b1)	予約ビット	“1” にしてください。	RW
ROMCR	ROMコードプロテクト 解除ビット	0: ROMコードプロテクト解除 1: ROMCP1有効	RW
ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	RW
- (b4)	予約ビット	“1” にしてください。	RW
LVD00N	電圧検出0回路起動 ビット(注2)	0: ハードウェアリセット後、電圧監視0リセット 有効 1: ハードウェアリセット後、電圧監視0リセット 無効	RW
- (b6)	予約ビット	“1” にしてください。	RW
CSPROINI	リセット後カウント ソース保護モード選択 ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	RW

注1. OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFSレジスタに追加書き込みしないでください。

注2. LVD00Nビットの設定は、ハードウェアリセットでのみ有効となります。パワーオンリセットを使用する場合、LVD00Nビットを“0”(ハードウェアリセット後、電圧監視0リセット有効)にしてください。

注3. OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

図20.3 OFSレジスタ

20.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。ソフトウェアコマンドは、ユーザROM領域の各ブロック領域に対して実行してください。

また、CPU書き換えモードで消去動作中に割り込み要求が発生した場合に、消去動作を一時中断して割り込み処理を行うイレーズサスペンド機能を持ちます。イレーズサスペンド中は、プログラムでユーザROM領域を読み出すことが可能です。

CPU書き換えモードで自動書き込み動作中に割り込み要求が発生した場合に、自動書き込み動作を一時中断して割り込み処理を行うプログラムサスペンド機能を持ちます。プログラムサスペンド中は、プログラムでユーザROM領域を読み出すことが可能です。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1)モードがあります。

表20.3にEW0モードとEW1モードの違いを示します。

表20.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを実行できる領域	RAM(書き換え制御プログラムを転送して実行)	ユーザROMまたはRAM
書き換えられる領域	ユーザROM	ユーザROM ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限	なし	・プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロック に対して実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
リードステータスレジスタ後のモード	リードステータスレジスタモード	コマンドを実行しないでください。
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4を読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む
イレーズサスペンドへの移行条件	プログラムでFMR4レジスタのFMR40とFMR41ビットを“1”にする	FMR4レジスタのFMR40ビットが“1”、かつ許可されたマスカブル割り込みの割り込み要求が発生
プログラムサスペンドへの移行条件	プログラムでFMR4レジスタのFMR40とFMR42ビットを“1”にする	FMR4レジスタのFMR40ビットが“1”、かつ許可されたマスカブル割り込みの割り込み要求が発生
CPUクロック	5MHz以下	左記制限なし(使用するクロック周波数)

20.4.1 レジスタの説明

CPU書き換えモードで使用するレジスタを以下に説明します。

20.4.1.1 FMR0レジスタ(FMR0)

図20.4にFMR0レジスタを示します。

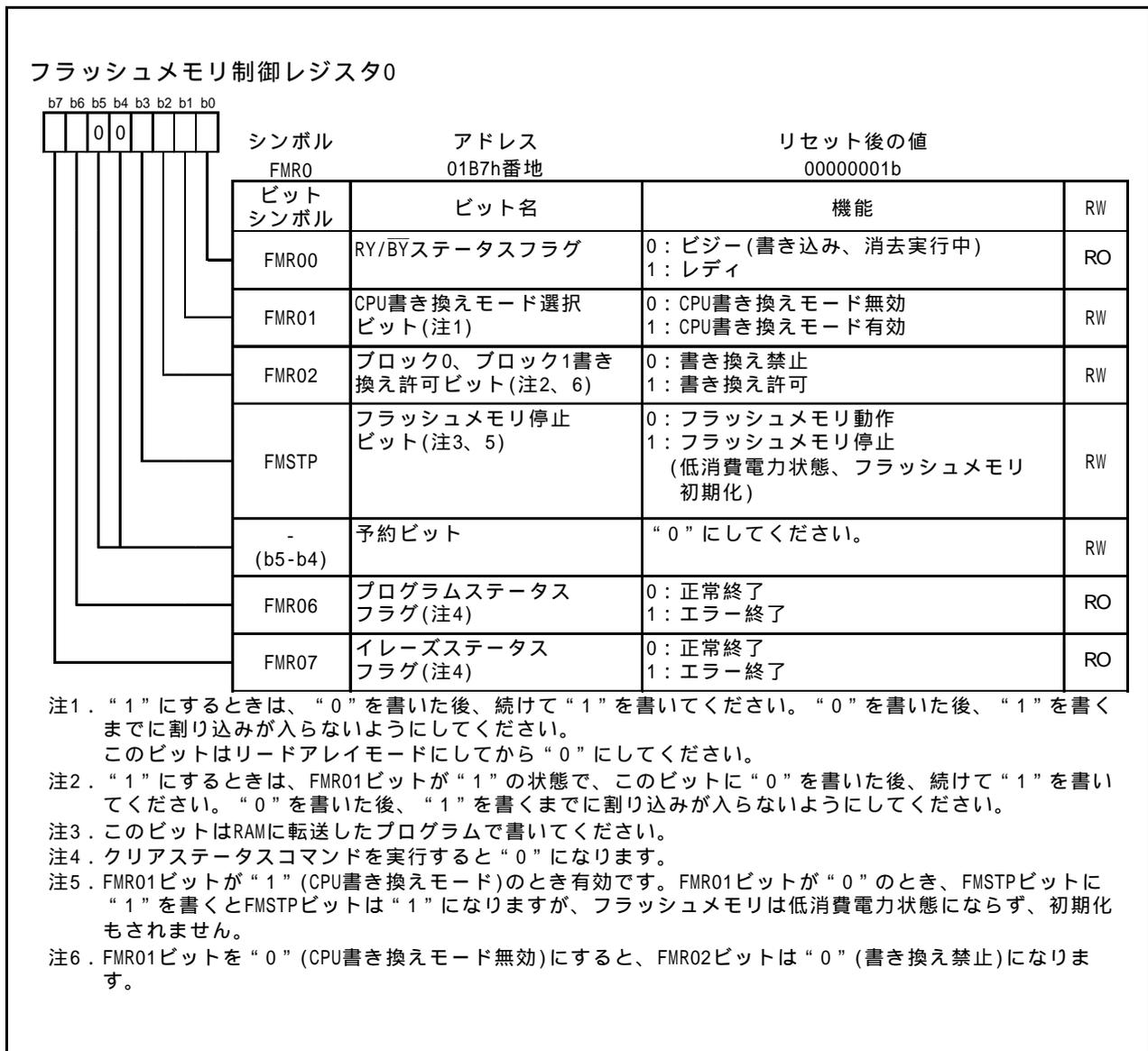


図20.4 FMR0レジスタ

- FMR00ビット
フラッシュメモリの動作状況を示すビットです。プログラム、イレーズ動作中(サスペンド中を含む)は“0”、それ以外のときには“1”になります。
- FMR01ビット
FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。
- FMR02ビット
FMR02ビットが“0”(書き換え禁止)のとき、ブロック0とブロック1はプログラムコマンド、ブロックイレーズコマンドを受け付けません。FMR02ビットが“1”(書き換え許可)のとき、ブロック0とブロック1はFMR15、FMR16ビットで書き換えが制御されます。
- FMSTPビット
フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。
次の場合、FMSTPビットを“1”にしてください。
 - EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合
 - 低速オンチップオシレータモード、低速クロックモードでさらに低消費電力にする場合なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。
- FMR06ビット
自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「表20.4 エラーとFMR0レジスタの状態」を参照してください。
- FMR07ビット
自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「表20.4 エラーとFMR0レジスタの状態」を参照してください。

表20.4 エラーとFMR0レジスタの状態

FMR0レジスタ (ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07 (SR5)	FMR06 (SR4)		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> ・コマンドを正しく書かなかったとき ・ブロックイレーズコマンドの2バイト目に“D0h”または“FFh”を書かなかったとき(注1) ・FMR0レジスタのFMR02ビット、FMR1レジスタのFMR15ビットまたはFMR16ビットを用いて書き換え禁止にした状態で、プログラムコマンドまたはブロックイレーズコマンドを実行したとき ・消去コマンド入力時に、フラッシュメモリが配置されていないアドレスを入力して、消去しようとしたとき ・消去コマンド入力時に、書き換えを禁止しているブロックの消去を実行しようとしたとき ・書き込みコマンド入力時に、フラッシュメモリが配置されていないアドレスを入力して、書き込みしようとしたとき ・書き込みコマンド入力時に、書き換えを禁止しているブロックの書き込みを実行しようとしたとき
1	0	イレーズエラー	<ul style="list-style-type: none"> ・ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
0	1	プログラムエラー	<ul style="list-style-type: none"> ・プログラムコマンドを実行し、正しく自動書き込みされなかったとき
0	0	正常終了	

注1. ブロックイレーズコマンドの2バイト目で“FFh”を書くとリードアレイモードになり、そのときは1バイト目で書いたコマンドコードが無効になります。

20.4.1.2 FMR1 レジスタ (FMR1)

図20.5にFMR1レジスタを示します。

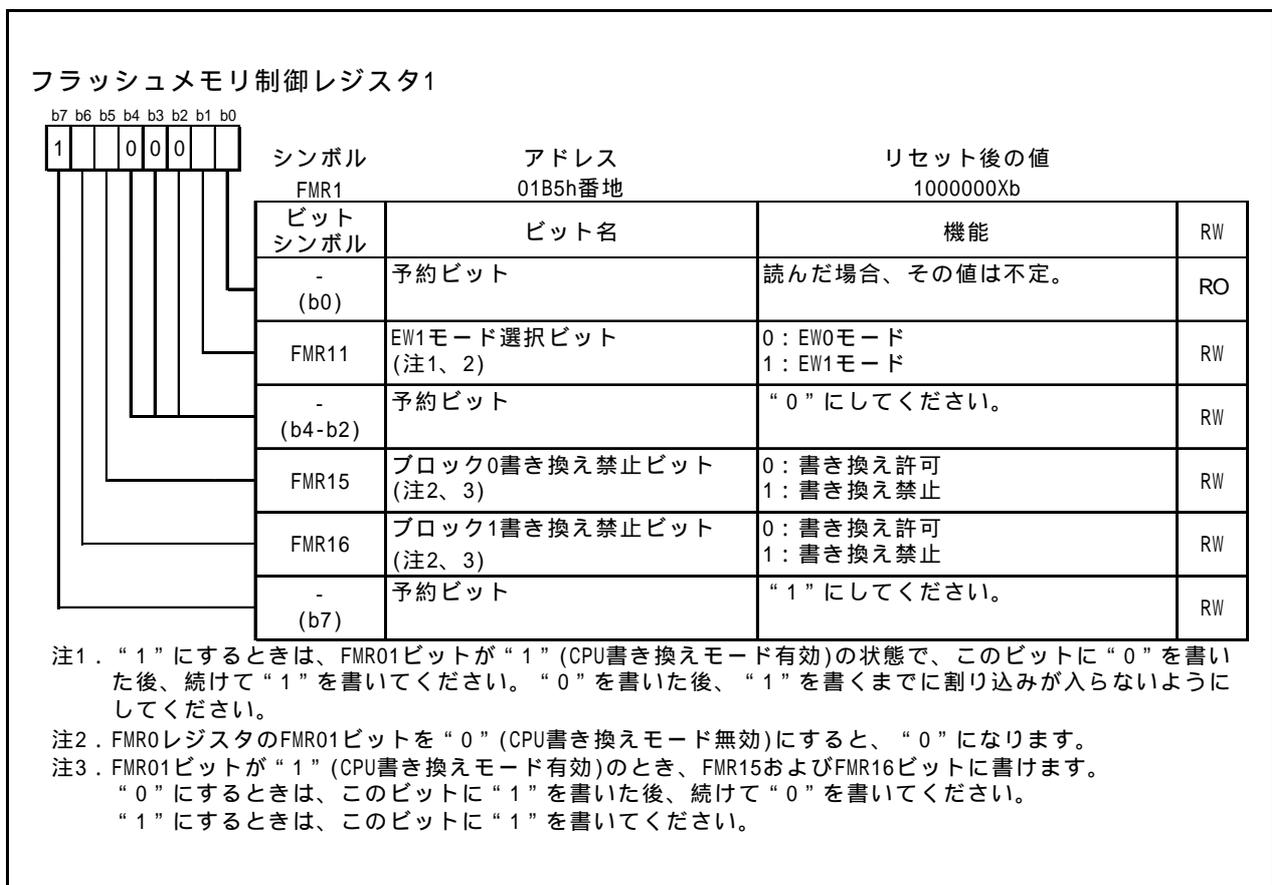


図20.5 FMR1レジスタ

- FMR11ビット
FMR11ビットを“1” (EW1モード)にすると、EW1モードになります。
- FMR15ビット
FMR02ビットが“1” (書き換え許可)で、FMR15ビットが“0” (書き換え許可)のとき、ブロック0はプログラムコマンド、ブロックイレースコマンドを受け付けます。
- FMR16ビット
FMR02ビットが“1” (書き換え許可)で、FMR16ビットが“0” (書き換え許可)のとき、ブロック1はプログラムコマンド、ブロックイレースコマンドを受け付けます。

20.4.1.3 FMR4レジスタ(FMR4)

図20.6にFMR4レジスタを示します。

フラッシュメモリ制御レジスタ4

シンボル FMR4	アドレス 01B3h番地	リセット後の値 01000000b	
ビット シンボル	ビット名	機能	RW
FMR40	サスペンド機能 許可ビット(注1)	0: 禁止 1: 許可	RW
FMR41	イレーズサスペンド リクエストビット(注2)	0: イレーズリスタート 1: イレーズサスペンドリクエスト	RW
FMR42	プログラムサスペンド リクエストビット(注3)	0: プログラムリスタート 1: プログラムサスペンドリクエスト	RW
FMR43	イレーズコマンドフラグ	0: イレーズ未実行 1: イレーズ実行中	RO
FMR44	プログラムコマンド フラグ	0: プログラム未実行 1: プログラム実行中	RO
- (b5)	予約ビット	"0" にしてください。	RO
FMR46	リードステータスフラグ	0: リード禁止 1: リード許可	RO
FMR47	低消費電流リードモード 許可ビット(注1、4、5)	0: 禁止 1: 許可	RW

注1. "1" にするときは、このビットに"0"を書いた後、続けて"1"を書いてください。
"0"を書いた後、"1"を書くまでに割り込みが入らないようにしてください。

注2. FMR41ビットはFMR40ビットが"1"(許可)のときのみ有効になり、イレーズコマンド発行からイレーズ終了までの期間のみ、書き込みが可能となります。(上記期間以外は"0"になります。)
EW0モードではこのビットはプログラムによって"0"、"1"書き込みが可能となります。
EW1モードではFMR40ビットが"1"のとき、消去中にマスカブル割り込みが発生すると自動的に"1"になります。プログラムによって"1"を書き込むことはできません。("0"書き込みは可能)

注3. FMR42ビットはFMR40ビットが"1"(許可)のときのみ有効になり、プログラムコマンド発行から自動書き込み終了までの期間のみ、このビットへの書き込みが可能となります。(上記期間以外は"0"になります。)
EW0モードではこのビットはプログラムによって"0"、"1"書き込みが可能となります。
EW1モードではFMR40ビットが"1"のとき、自動書き込み中にマスカブル割り込みが発生すると自動的に"1"になります。プログラムによって"1"を書き込むことはできません。("0"書き込みは可能)

注4. 高速クロックモード、高速オンチップオシレータモードでは、FMR47ビットを"0"(禁止)にしてください。

注5. 低消費電流モードでは、FMR0レジスタのFMR01ビットを"0"(CPU書き換えモード無効)にしてください。

図20.6 FMR4レジスタ

- FMR40ビット
FMR40ビットを“1”(許可)にすると、サスペンド機能が許可されます。
- FMR41ビット
EW0モードでは、プログラムでFMR41ビットを“1”にすると、イレースサスペンドモードに移行します。EW1モードでは、許可された割り込みの割り込み要求が発生すると、FMR41ビットは自動的に“1”(イレースサスペンドリクエスト)になり、イレースサスペンドモードに移行します。
自動消去動作を再開するときは、FMR41ビットを“0”(イレースリスタート)にしてください。
- FMR42ビット
EW0モードでは、プログラムでFMR42ビットを“1”にすると、プログラムサスペンドモードに移行します。EW1モードでは、許可された割り込みの割り込み要求が発生すると、FMR42ビットは自動的に“1”(プログラムサスペンドリクエスト)になり、プログラムサスペンドモードに移行します。
自動書き込み動作を再開するときは、FMR42ビットを“0”(プログラムリスタート)にしてください。
- FMR43ビット
自動消去を開始すると、FMR43ビットが“1”(イレース実行中)になります。イレースサスペンド中もFMR43ビットは“1”(イレース実行中)のままです。
自動消去が終了すると、FMR43ビットが“0”(イレース未実行)になります。
- FMR44ビット
自動書き込みを開始すると、FMR44ビットが“1”(プログラム実行中)になります。プログラムサスペンド中もFMR44ビットは“1”(プログラム実行中)のままです。
自動書き込みが終了すると、FMR44ビットが“0”(プログラム未実行)になります。
- FMR46ビット
自動書き込み実行中または自動消去実行中は、FMR46ビットが“0”(リード禁止)になります。サスペンドモード中は“1”(リード許可)になります。“0”の間は、フラッシュメモリへのアクセスは禁止です。
- FMR47ビット
低速クロックモード、低速オンチップオシレータモードのときに、FMR47ビットを“1”(許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

20.4.2 ステータスチェック方法

エラーが発生すると、FMR0レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。図20.7にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

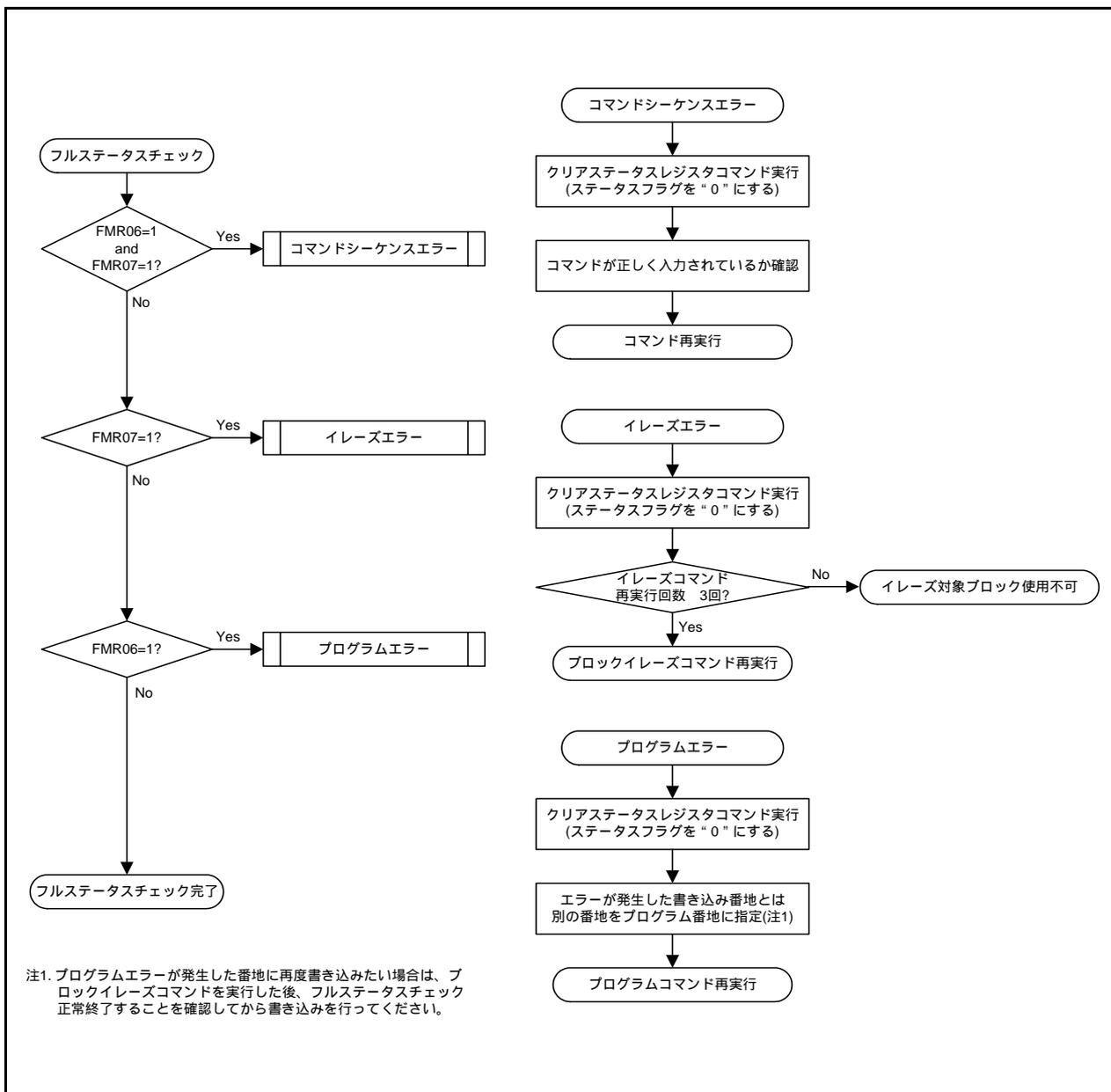


図20.7 フルステータスチェックフローチャート、各エラー発生時の対処方法

20.4.3 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

図20.8にEW0モードの設定と解除方法を示します。

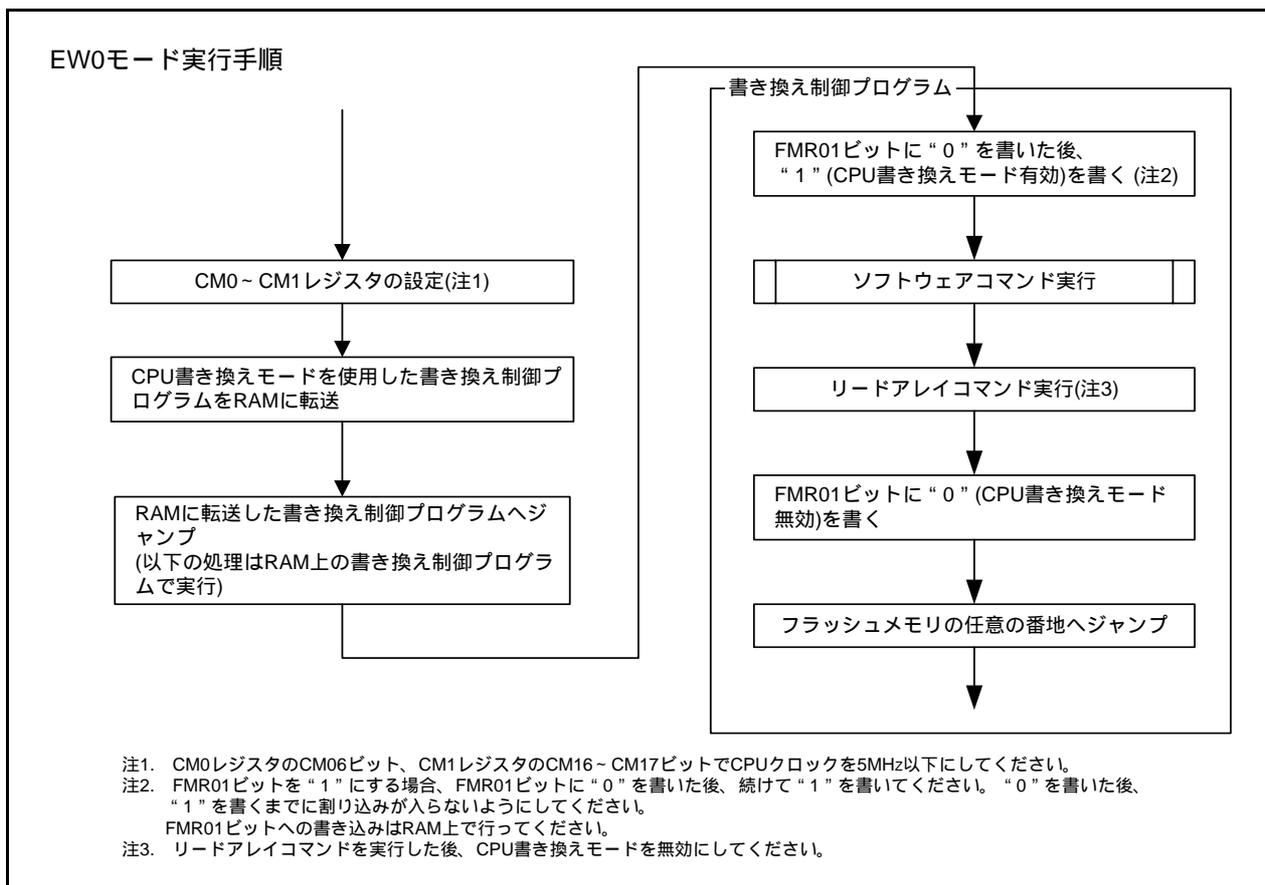


図20.8 EW0モードの設定と解除方法

20.4.3.1 ソフトウェアコマンド

ソフトウェアコマンドには次の5種類があります。

- リードアレイ
- リードステータスレジスタ
- クリアステータスレジスタ
- プログラム
- ブロックイレーズ

図20.9にEW0モード時のソフトウェアコマンド状態遷移図を示します。

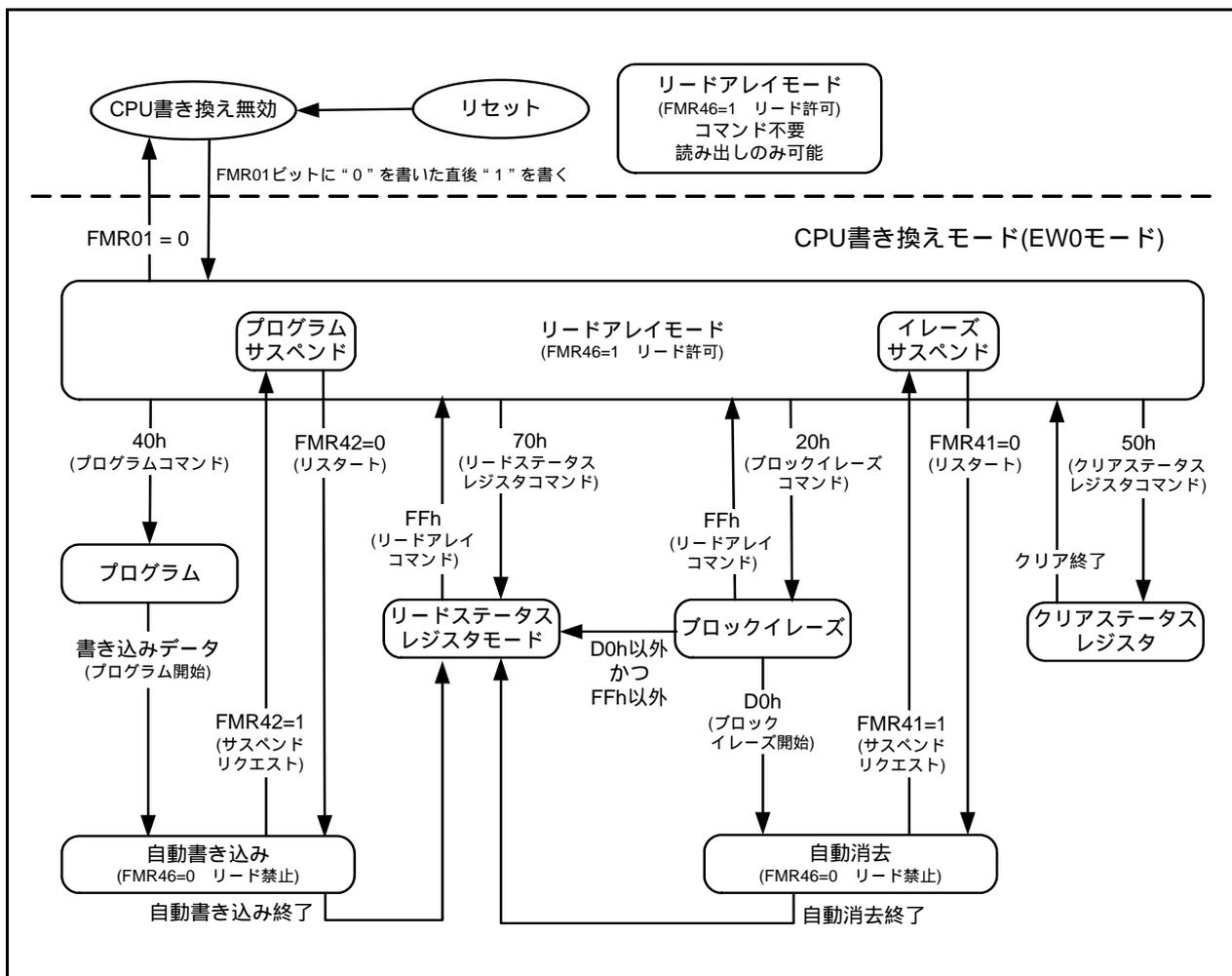


図20.9 EW0モード時のソフトウェアコマンド状態遷移図

- **リードアレイ**
フラッシュメモリを読むコマンドです。
ユーザROM領域の任意の番地に“FFh”を書くと、リードアレイモードになります。リードアレイモードでは、指定した番地の内容が読めます。
リードアレイモードは、他のコマンドを書くまで継続します。また、リセット解除後はリードアレイモードになります。
- **リードステータスレジスタ**
ステータスレジスタを読むコマンドです。図20.10にステータスレジスタを示します。
ステータスレジスタは、フラッシュメモリの動作状態やイレース、プログラムの正常、エラー終了などの状態を示すレジスタです(「表20.4 エラーとFMR0レジスタの状態」参照)。ユーザROM領域の任意の番地に“70h”を書くと、リードステータスレジスタモードになります。次にユーザROM領域の任意の番地を読むと、ステータスレジスタが読めます。
リードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続します。
ステータスレジスタの状態はFMR0レジスタのFMR00、FMR06～FMR07ビットでも読めます。

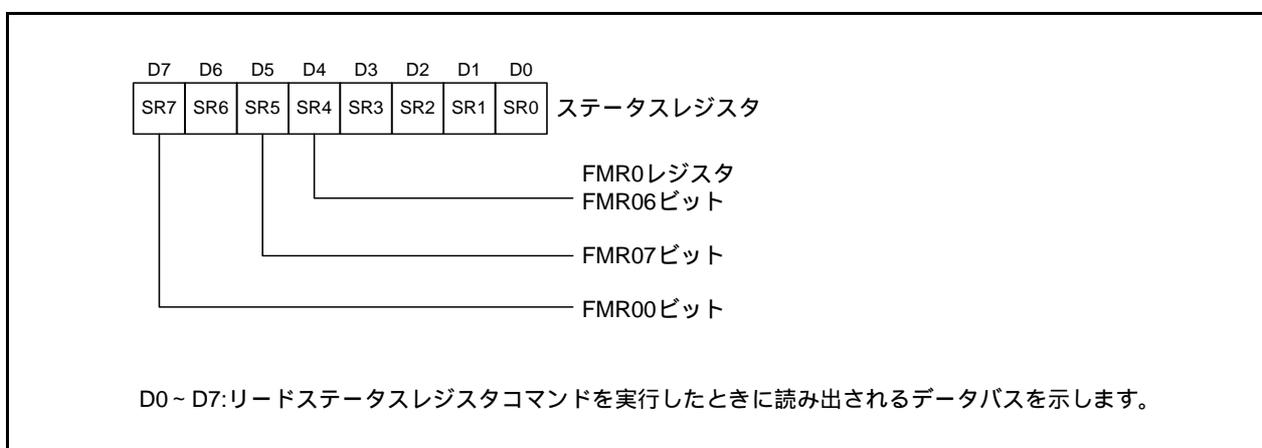


図20.10 ステータスレジスタ

- **クリアステータスレジスタ**
ステータスレジスタを“0”にするコマンドです。
ユーザROM領域の任意の番地に“50h”を書くと、FMR0レジスタのFMR07～FMR06ビットとステータスレジスタのSR5～SR4が“00b”になります。

- プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に“40h”を書き、次に書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。サスペンド機能禁止時、FMR00ビットは、自動書き込み中は“0”、終了後は“1”になります。

サスペンド機能許可時、FMR44ビットは、自動書き込み中は“1”、終了後は“0”になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「20.4.2 ステータスチェック方法」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが1”(書き換え禁止)のときはブロック0に対するプログラムコマンドが、FMR16ビットが1”(書き換え禁止)のときはブロック1に対するプログラムコマンドが受け付けられません。

図20.11にEW0モードのプログラムフローチャート(サスペンド機能禁止時)を、図20.12にEW0モードのプログラムフローチャート(サスペンド機能許可時)を示します。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。

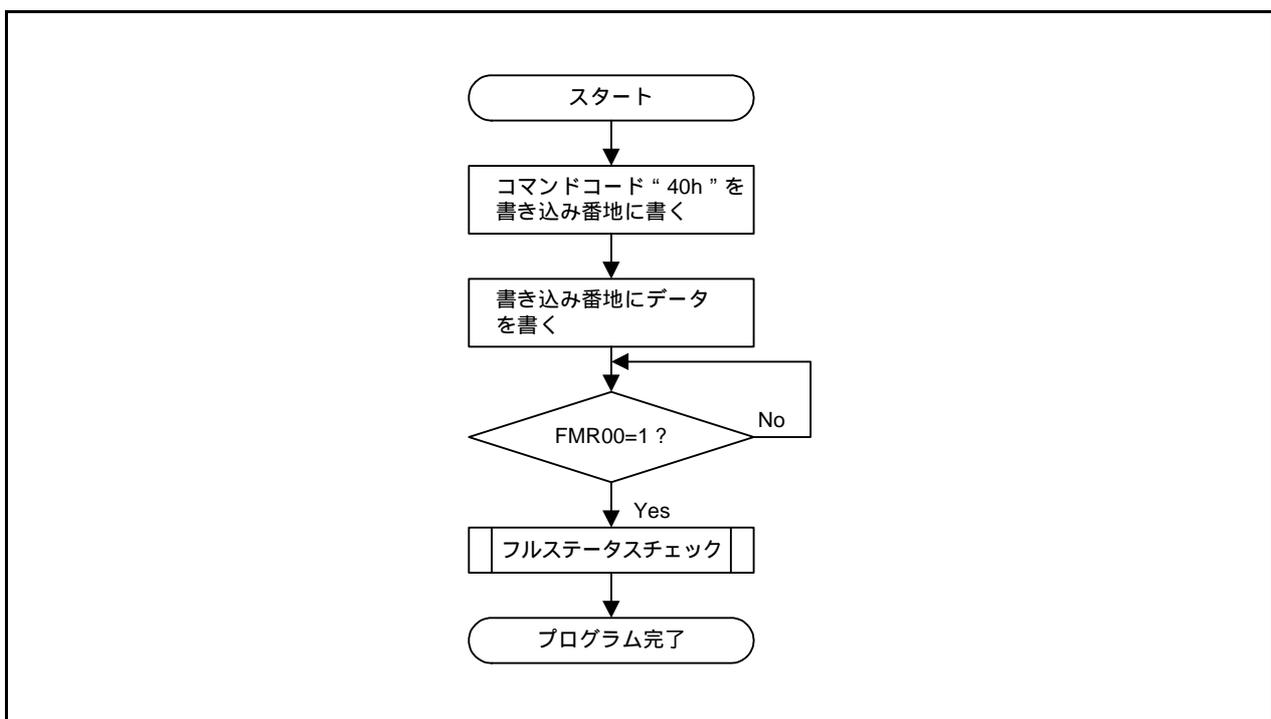


図20.11 EW0モードのプログラムフローチャート(サスペンド機能禁止時)

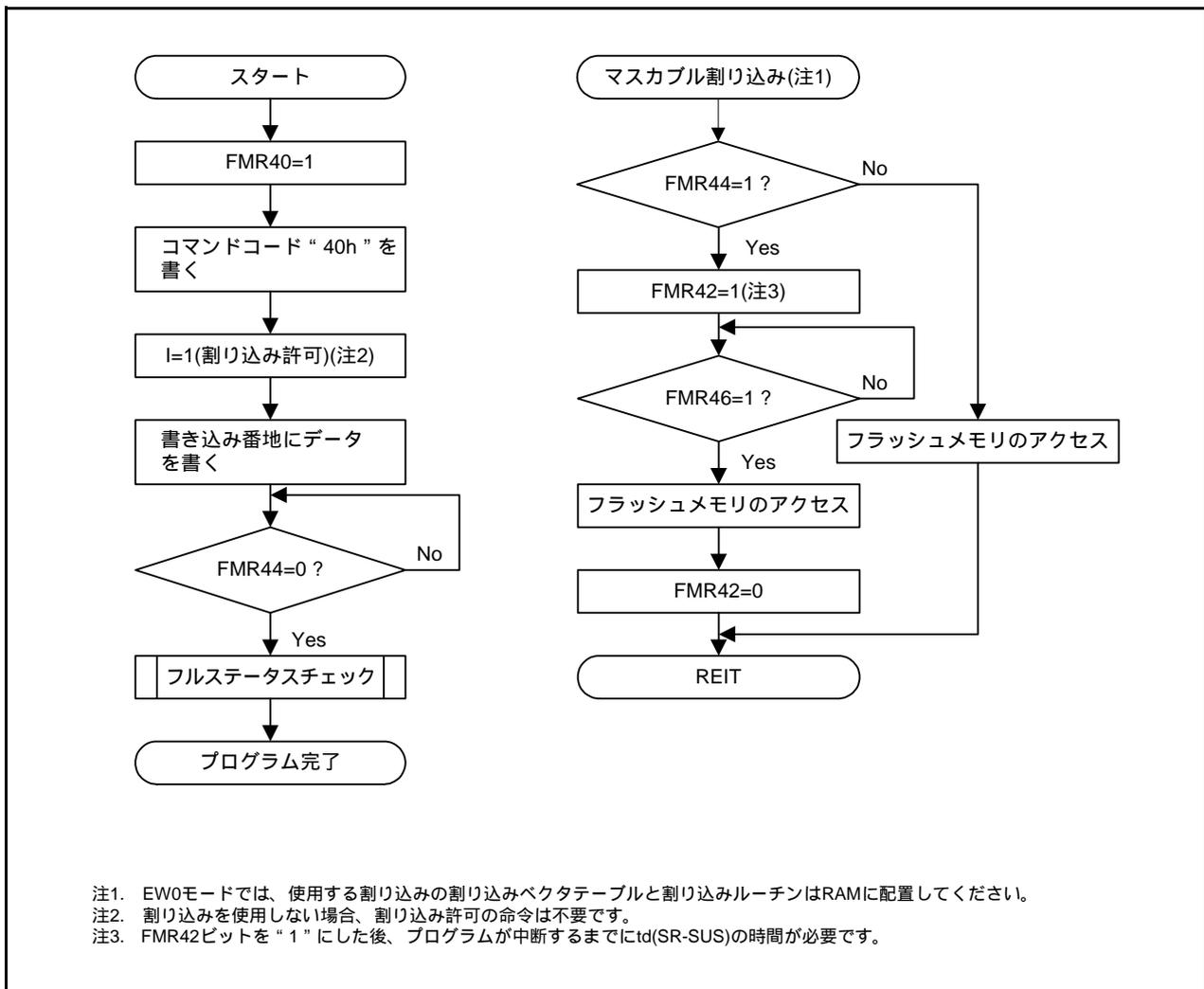


図20.12 EW0モードのプログラムフローチャート(サスペンド機能許可時)

- ブロックイレーズ

始めに“20h”、次に“D0h”をブロックの任意の番地に書くと、指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去中は“0”、終了後は“1”になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「20.4.2 ステータスチェック方法」参照)。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが1”(書き換え禁止)のときはブロック0に対するブロックイレーズコマンドが、FMR16ビットが1”(書き換え禁止)のときはブロック1に対するブロックイレーズコマンドは受け付けられません。

プログラムサスペンド中、ブロックイレーズコマンドを使用しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。

図20.13にEW0モードのブロックイレーズフローチャート(サスペンド機能禁止時)を、図20.14にEW0モードのブロックイレーズフローチャート(サスペンド機能許可時)を示します。

プログラム、イレーズ回数がn回(n=100、1000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KブロックのブロックAについて、1バイト書き込みを1024回に分けて行った場合、そのブロックをイレーズするとプログラム、イレーズ回数1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数が平準化するように書き換えを実施してください。

また、何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

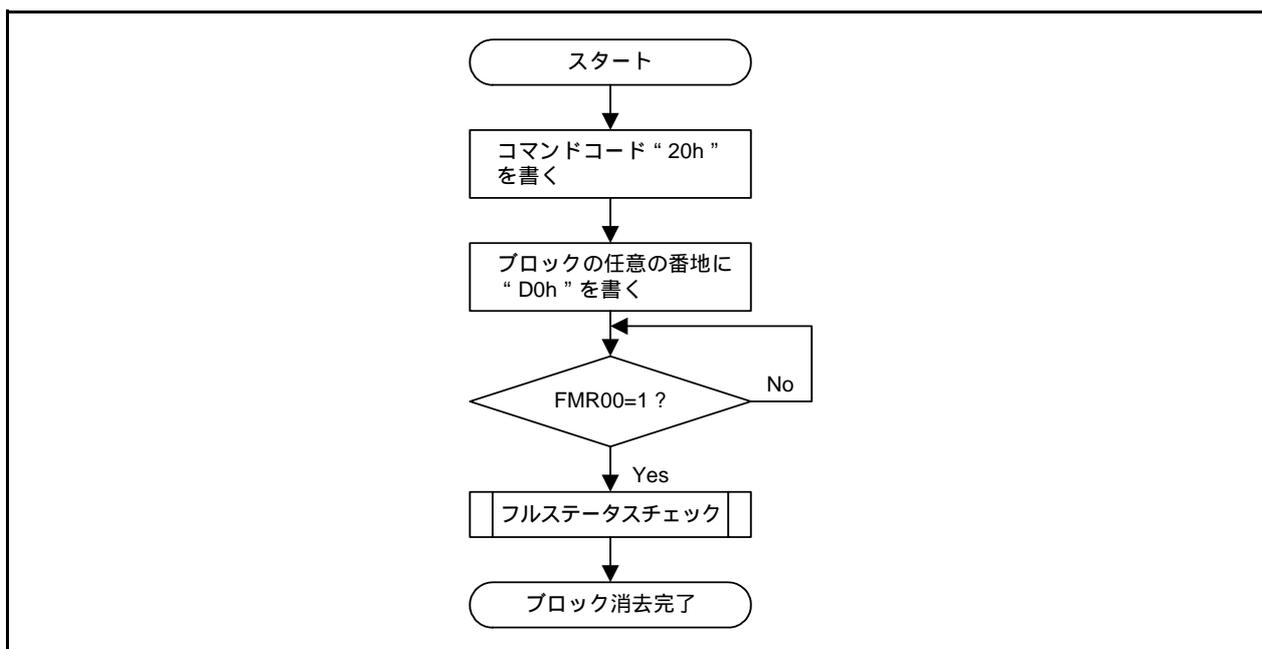


図20.13 EW0モードのブロックイレーズフローチャート(サスペンド機能禁止時)

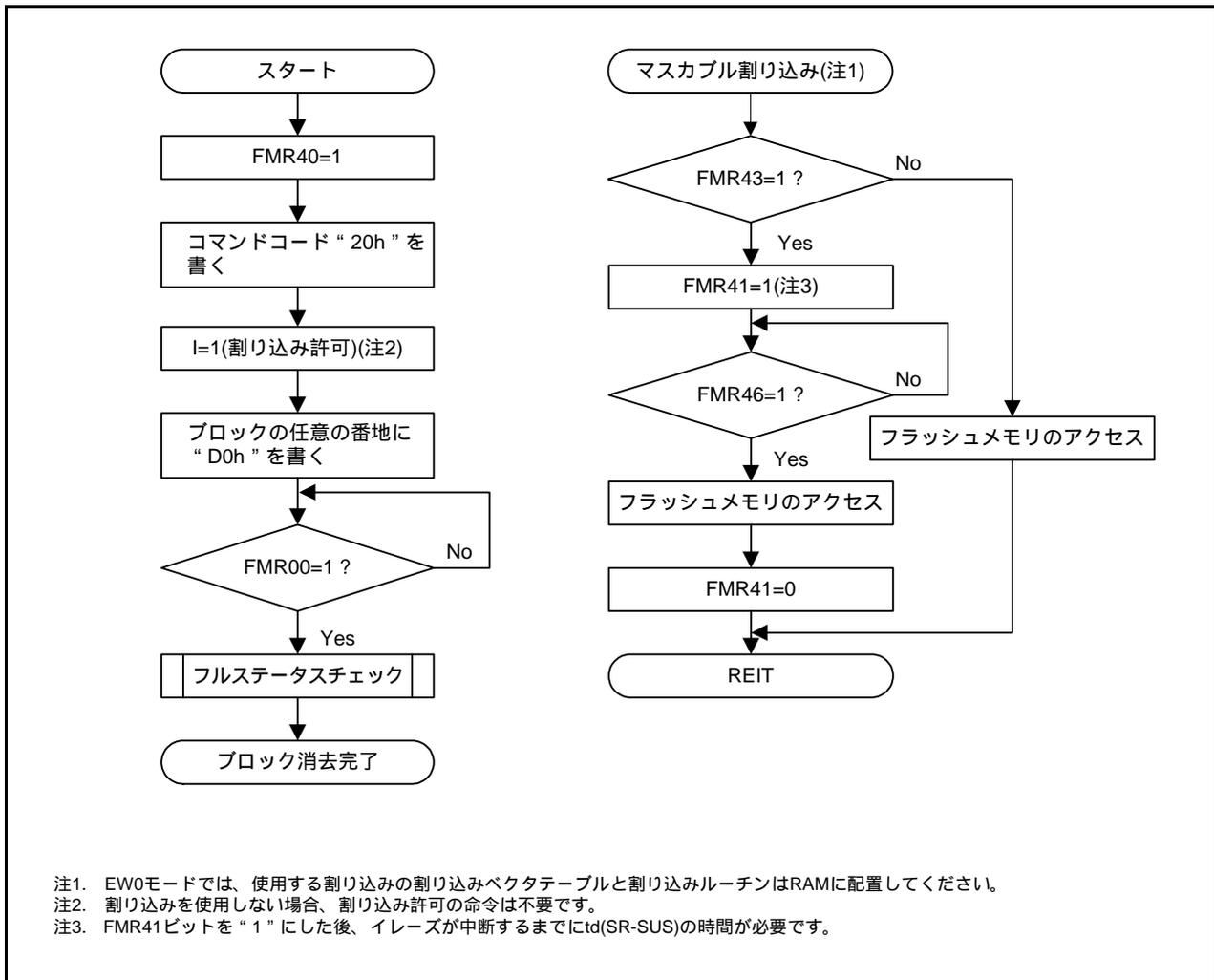


図20.14 EW0モードのブロックイレースフローチャート(サスペンド機能許可時)

20.4.3.2 サスペンド機能

サスペンド機能は自動消去、自動書き込みの途中で、これらの動作を一時中断する機能です。これらの動作を中断したとき、ユーザROM領域を読み出すことができるので、割り込み処理に利用できます。

EW0モードでイレーズサスペンド、プログラムサスペンドを使用する場合は、割り込みルーチン内でフラッシュメモリの状態をチェックして、イレーズサスペンド、プログラムサスペンドへ移行してください。図20.15にEW0モード時のサスペンド動作に関するタイミングを示します。

自動消去中に、イレーズサスペンドに移行する手順は次です。

- (1) FMR40ビットを“1”(サスペンド許可)にする。
- (2) FMR41ビットを“1”(イレーズサスペンドリクエスト)にする。
- (3) td(SR-SUS)時間待つ。
- (4) FMR46ビットが“1”(リード許可)になったことを確認する。
- (5) ユーザROM領域にアクセスする。
- (6) FMR41ビットを“0”(イレーズリスタート)にすると、自動消去を再開する。

自動書き込み中に、プログラムサスペンドに移行する手順は次です。

- (1) FMR40ビットを“1”(サスペンド許可)にする。
- (2) FMR42ビットを“1”(プログラムサスペンドリクエスト)にする。
- (3) td(SR-SUS)時間待つ。
- (4) FMR46ビットが“1”(リード許可)になったことを確認する。
- (5) ユーザROM領域にアクセスする。
- (6) FMR42ビットを“0”(プログラムリスタート)にすると、自動書き込みを再開する。

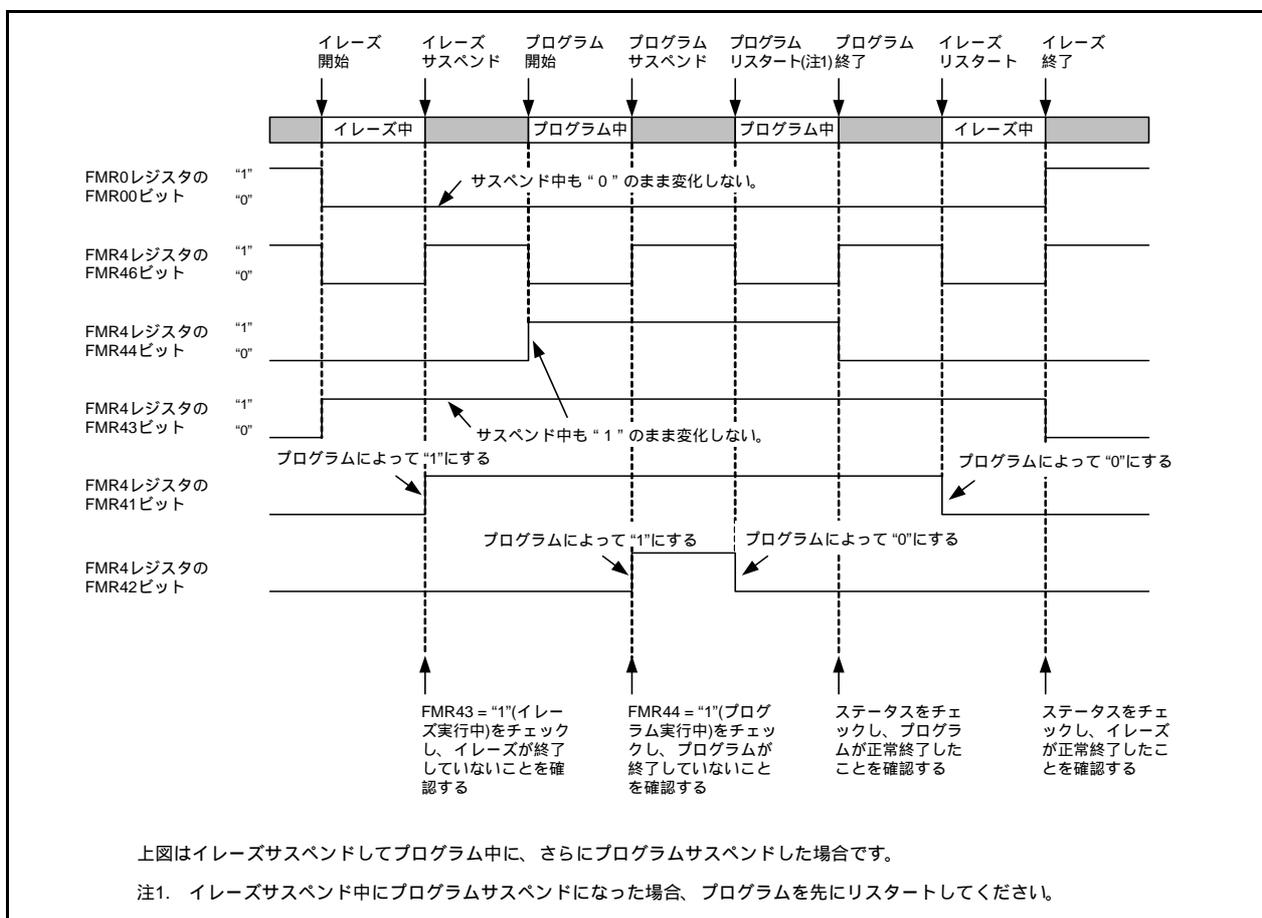


図20.15 EW0モード時のサスペンド動作に関するタイミング

図20.16にEW0モード時のイレースサスペンド中のプログラムフローチャートを示します。

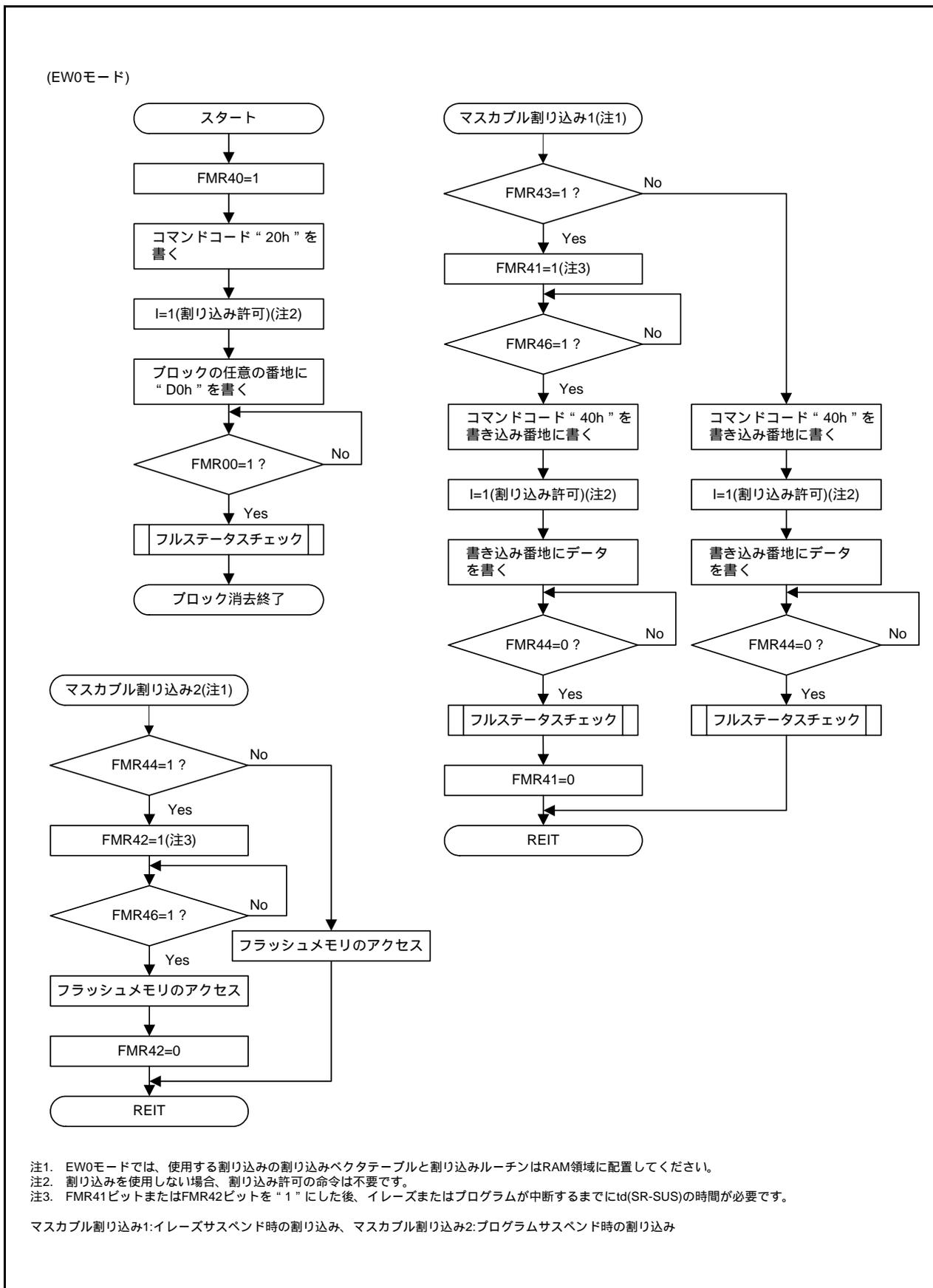


図20.16 EW0モード時のイレースサスペンド中のプログラムフローチャート

20.4.3.3 EW0モード時の割り込み

EW0モード時はベクタをRAMに配置することで、マスカブル割り込みを使用できます。表20.5にEW0モード時の割り込みを示します。ノンマスカブル割り込みについては「20.7.1.3 ノンマスカブル割り込み」を参照してください。

表20.5 EW0モード時の割り込み

状態	マスカブル割り込み要求受付時
自動消去中	割り込み処理を実行します。
自動書き込み	

20.4.4 EW1モード

FMR01ビットを“1”(CPU書き換えモード有効)にした後、FMR11ビットを“1”(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。図20.17にEW1モードの設定と解除方法を示します。

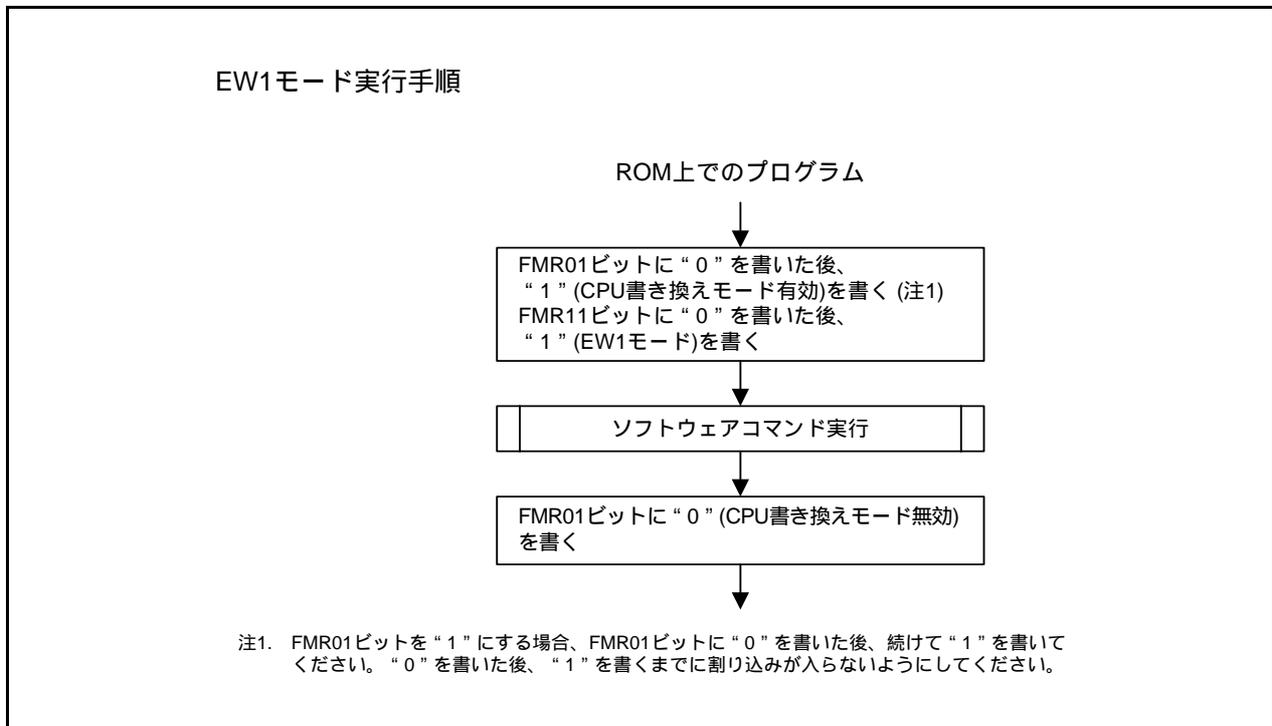


図20.17 EW1モードの設定と解除方法

- プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に“40h”を書き、次に書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。サスペンド機能禁止時、FMR00ビットは、自動書き込み中は“0”、終了後は“1”になります。

サスペンド機能許可時、FMR44ビットは、自動書き込み中は“1”、終了後は“0”になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「20.4.2 ステータスチェック方法」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが1”(書き換え禁止)のときはブロック0に対するプログラムコマンドが、FMR16ビットが1”(書き換え禁止)のときはブロック1に対するプログラムコマンドが受け付けられません。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

図20.19にEW1モードのプログラムフローチャート(サスペンド機能禁止時)を、図20.20にEW1モードのプログラムフローチャート(サスペンド機能許可時)を示します。

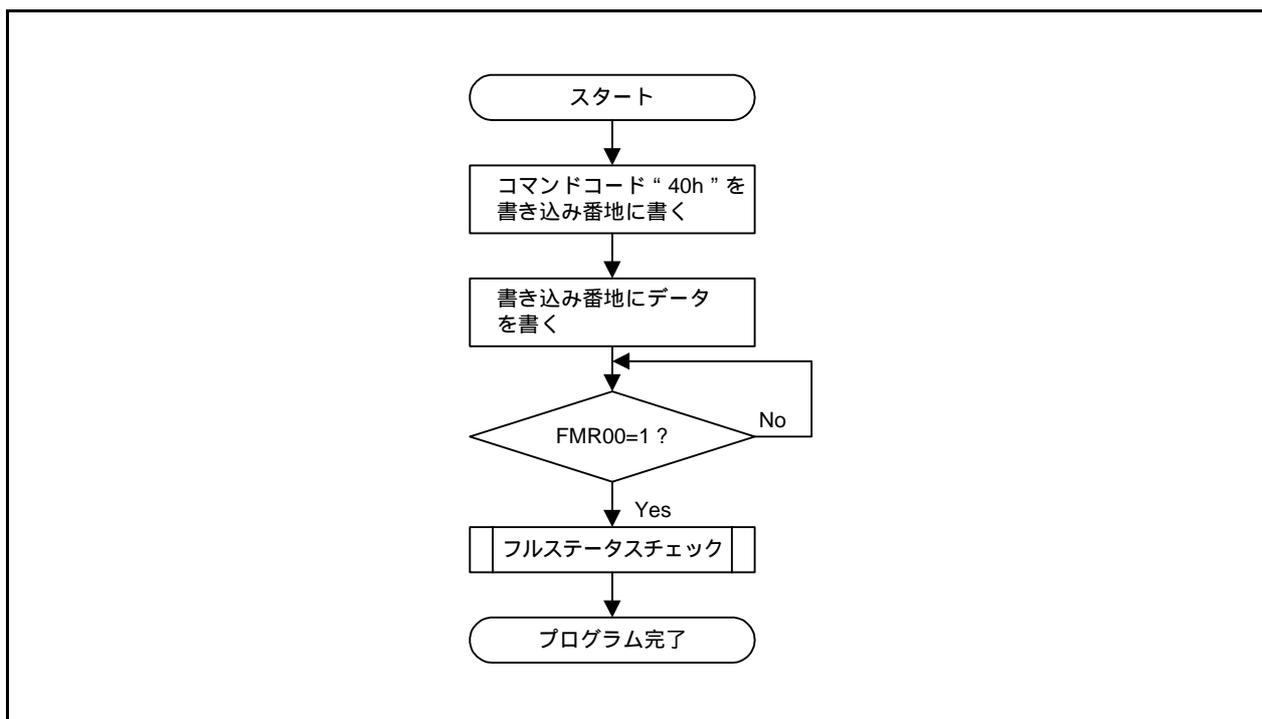


図20.19 EW1モードのプログラムフローチャート(サスペンド機能禁止時)

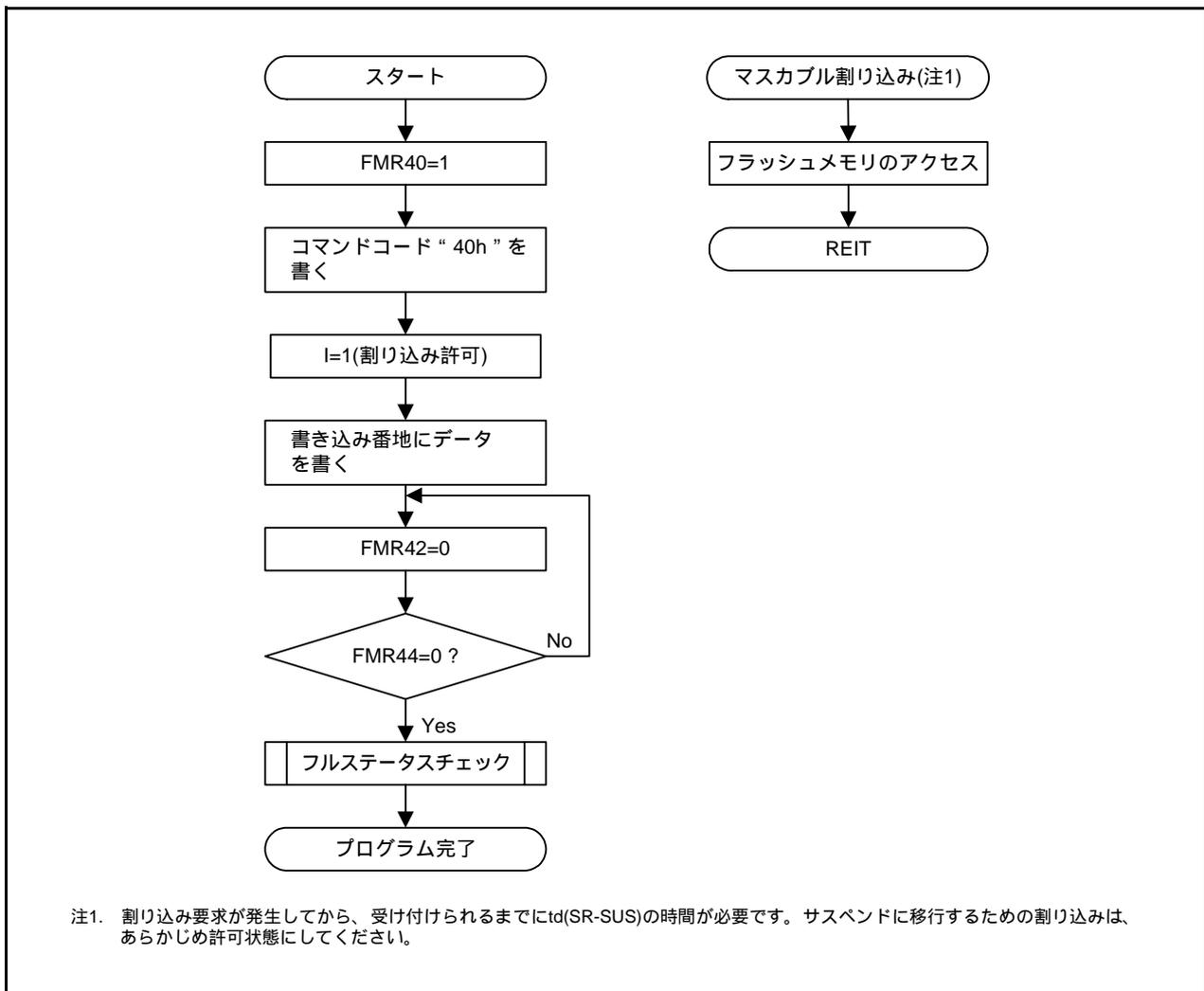


図20.20 EW1モードのプログラムフローチャート(サスペンド機能許可時)

- ブロックイレーズ

始めに“20h”、次に“D0h”をブロックの任意の番地に書くと、指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去中は“0”、終了後は“1”になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「20.4.2 ステータスチェック方法」参照)。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが1”(書き換え禁止)のときはブロック0に対するブロックイレーズコマンドが、FMR16ビットが1”(書き換え禁止)のときはブロック1に対するブロックイレーズコマンドは受け付けられません。

プログラムサスペンド中、ブロックイレーズコマンドを使用しないでください。

また、書き換え制御プログラムが配置されているブロックに対して、ブロックイレーズコマンドを実行しないでください。

図20.21にEW1モードのブロックイレーズフローチャート(サスペンド機能禁止時)を、図20.22にEW1モードのブロックイレーズフローチャート(サスペンド機能許可時)を示します。

プログラム、イレーズ回数がn回(n=100、1000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KブロックのブロックAについて、1バイト書き込みを1024回に分けて行った場合、そのブロックをイレーズするとプログラム、イレーズ回数1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数が平準化するように書き換えを実施してください。

また、何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

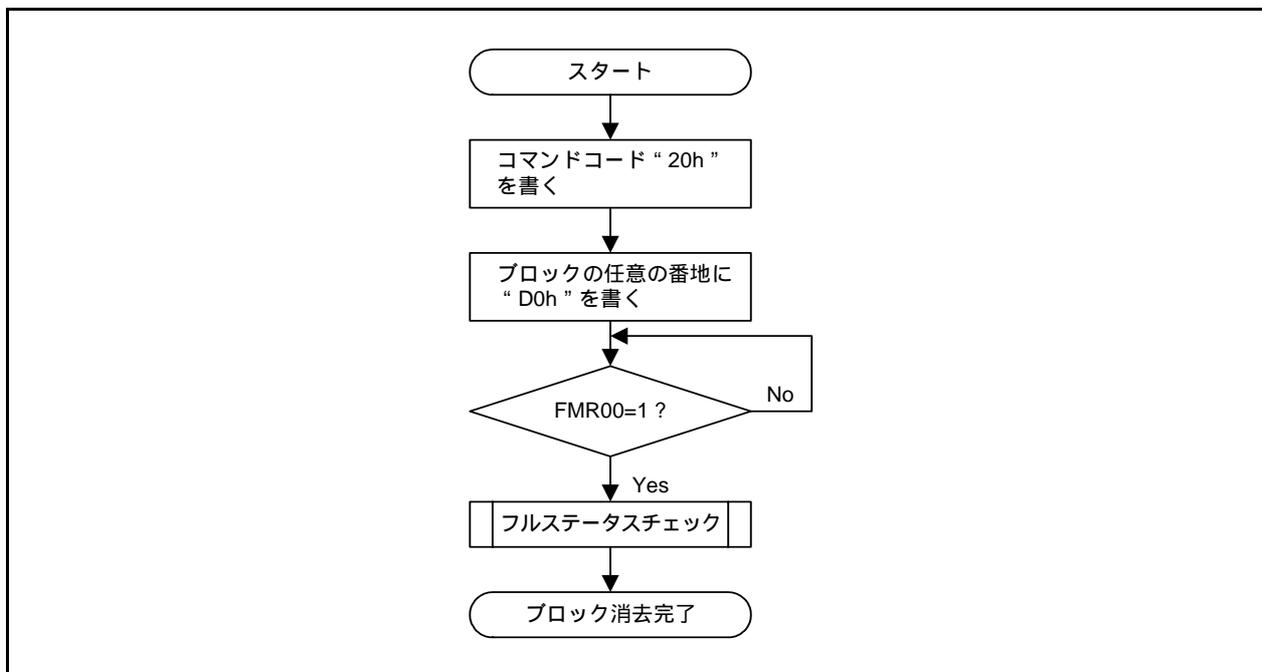


図20.21 EW1モードのブロックイレーズフローチャート(サスペンド機能禁止時)

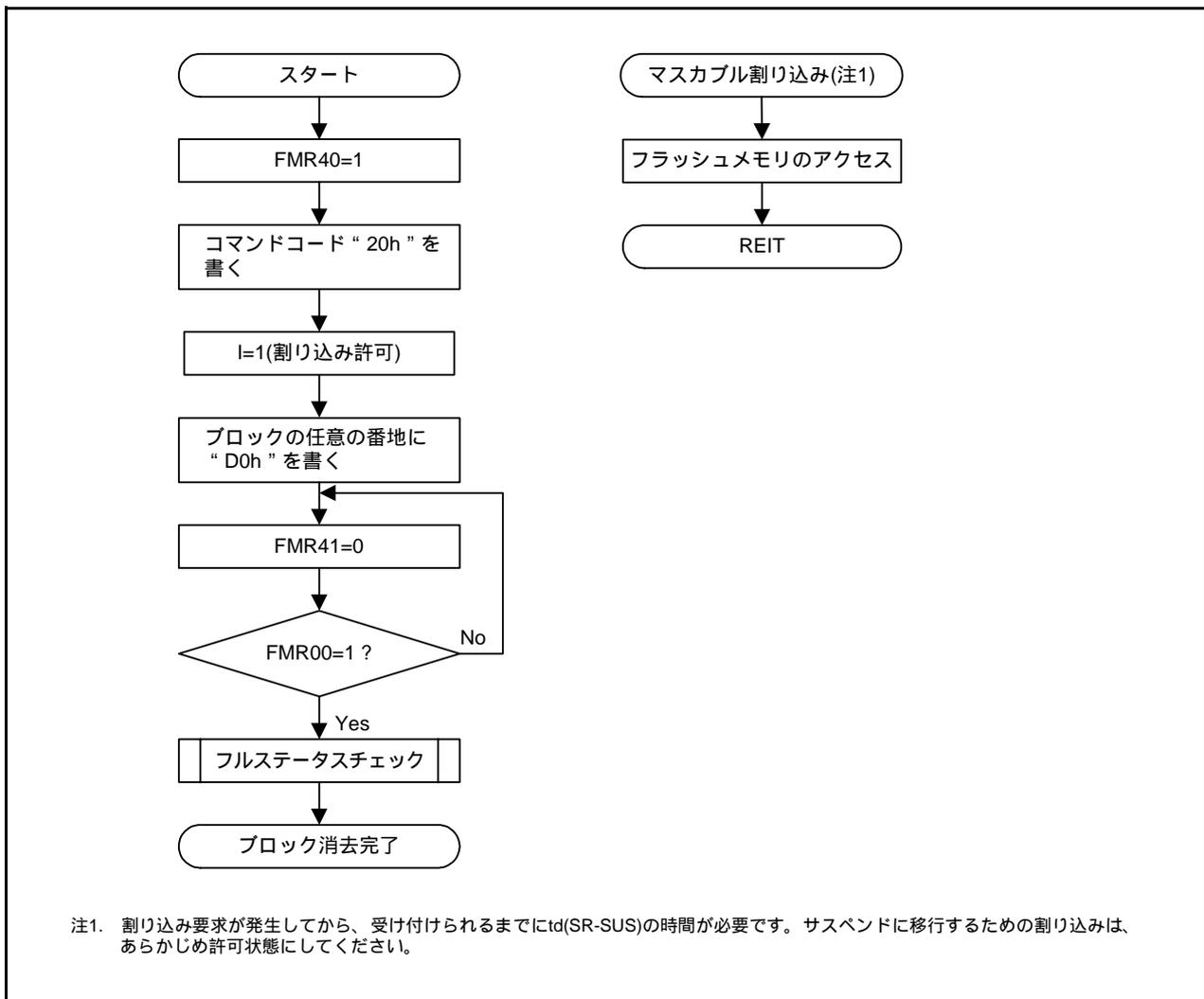


図20.22 EW1モードのブロックイレーズフローチャート(サスペンド機能許可時)

20.4.4.2 サスペンド機能

サスペンド機能は自動消去、自動書き込みの途中で、これらの動作を一時中断する機能です。

これらの動作を中断したとき、ユーザROM領域を読み出すことができるので、割り込み処理に利用できます。

EW1モードでサスペンド機能を使用する場合は、割り込み要求を受け付けると、イレーズサスペンド、プログラムサスペンドに移行します。

サスペンド機能を有効にする場合には、FMR40ビットを“1”(サスペンド許可)にしてください。また、サスペンドに移行するための割り込みを、あらかじめ割り込み許可状態にしてください。割り込み要求の発生からtd(SR-SUS)時間後、割り込み要求を受け付けられます。

自動消去中に割り込み要求が発生すると、FMR41ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、自動消去が中断されます。割り込み処理終了後、自動消去が完了していないとき(FMR00ビットが“0”)は、FMR41ビットを“0”(イレーズリスタート)にして自動消去を再開させてください。

自動書き込み中に割り込み要求が発生すると、FMR42ビットは自動的に“1”(プログラムサスペンドリクエスト)になり、自動書き込みが中断されます。割り込み処理終了後、自動書き込みが完了していないとき(FMR00ビットが“0”)は、FMR42ビットを“0”(プログラムリスタート)にして自動書き込みを再開させてください。

図20.23にEW1モード時のサスペンド動作に関するタイミングを、図20.24にEW1モードのイレーズサスペンド中のプログラムフローチャートを示します。

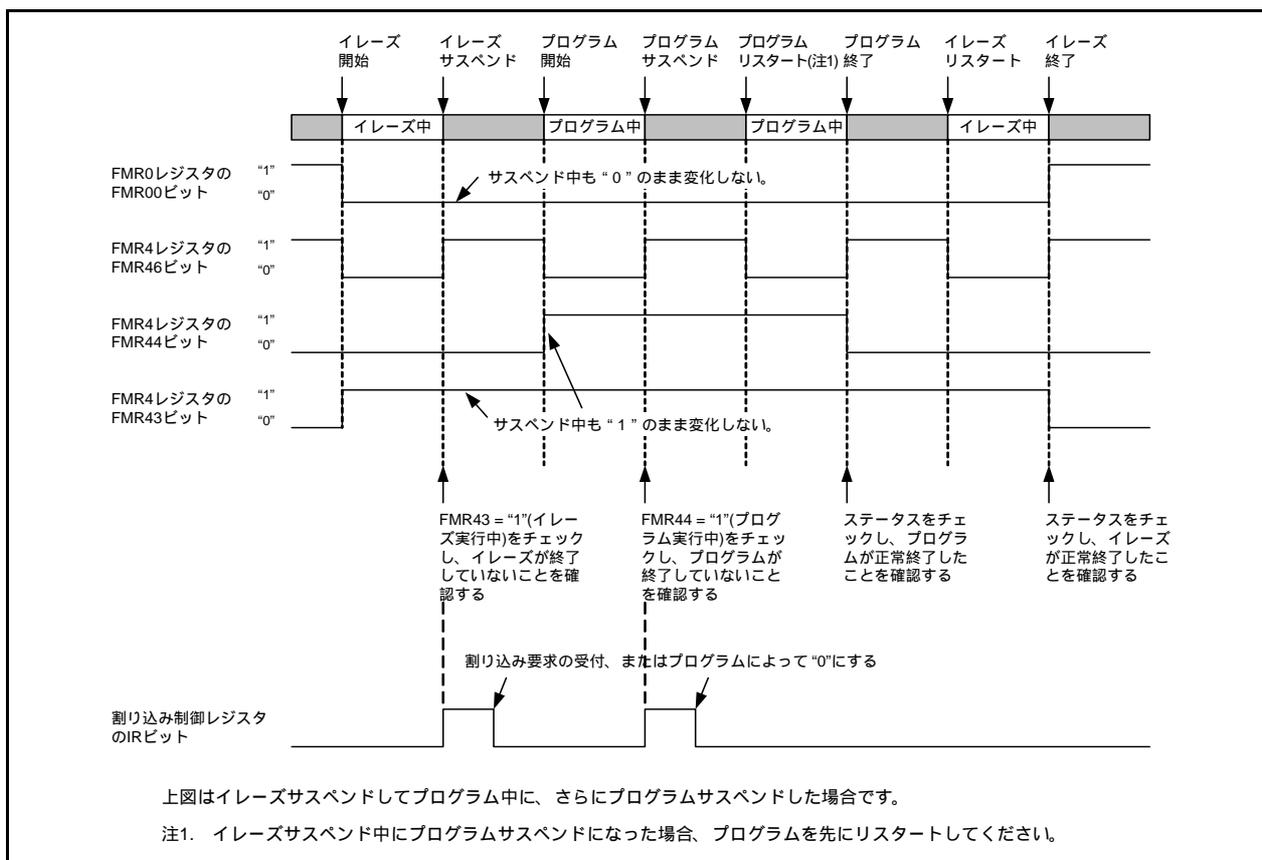


図20.23 EW1モード時のサスペンド動作に関するタイミング

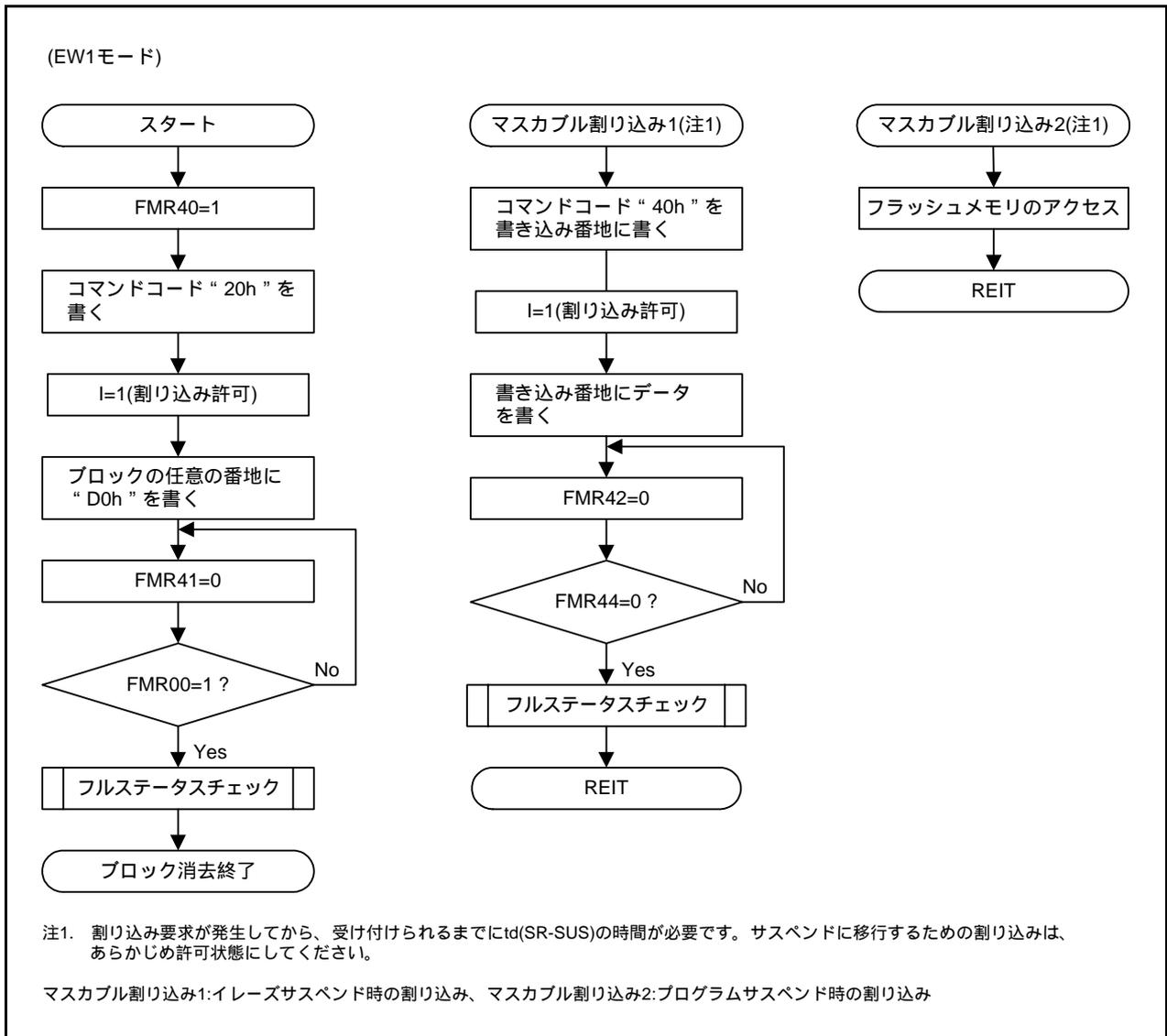


図20.24 EW1モードのイレーズサスペンド中のプログラムフローチャート

20.4.4.3 EW1モード時の割り込み

EW1モードではマスクابل割り込みを使用できます。表20.6にEW1モード時の割り込みを示します。ノンマスクابل割り込みについては「20.7.1.3 ノンマスクابل割り込み」を参照してください。

表20.6 EW1モード時の割り込み

状態	マスクابل割り込み要求受付時
自動消去中 (イレーズサスペンド機能有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR41ビットを"0"(イレーズリスタート)にすることにより、自動消去を再開することができます。
自動消去中 (イレーズサスペンド機能無効)	自動消去が優先され、割り込み要求が待たされます。自動消去が終了した後、割り込み処理を実行します。
自動書き込み中 (プログラムサスペンド機能有効)	td(SR-SUS)時間後に自動書き込みを中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR42ビットを"0"(プログラムリスタート)にすることにより、自動書き込みを再開することができます。
自動書き込み中 (プログラムサスペンド機能無効)	自動書き込みが優先され、割り込み要求が待たされます。自動書き込みが終了した後、割り込み処理を実行します。

20.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1..... クロック同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード2..... クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード3..... 特別なクロック非同期形シリアルI/Oを用いてシリアルライタと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライタとの接続例は「付録2. シリアルライタとオンチップデバッグエミュレータとの接続例」を参照してください。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザーズマニュアルを参照してください。

表20.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、図20.25に標準シリアル入出力モード2を使用する場合の端子処理例を、表20.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図20.26に標準シリアル入出力モード3を使用する場合の端子処理例を示します。

なお、表20.8に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子に“H”を入力して、ハードウェアリセットしてください。

20.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します。

IDコードチェック機能の詳細は、「13. IDコード領域」を参照してください。

表20.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		Vcc 端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
P0_1 ~ P0_3、P0_5	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1_0 ~ P1_7	入力ポートP1	入力	
P2_0 ~ P2_7	入力ポートP2	入力	
P3_3 ~ P3_5	入力ポートP3	入力	
P4_2/VREF	入力ポートP4	入力	
MODE	MODE	入出力	
P0_0	TXD出力	出力	シリアルデータの出力端子です。
P4_5	RXD入力	入力	シリアルデータの入力端子です。

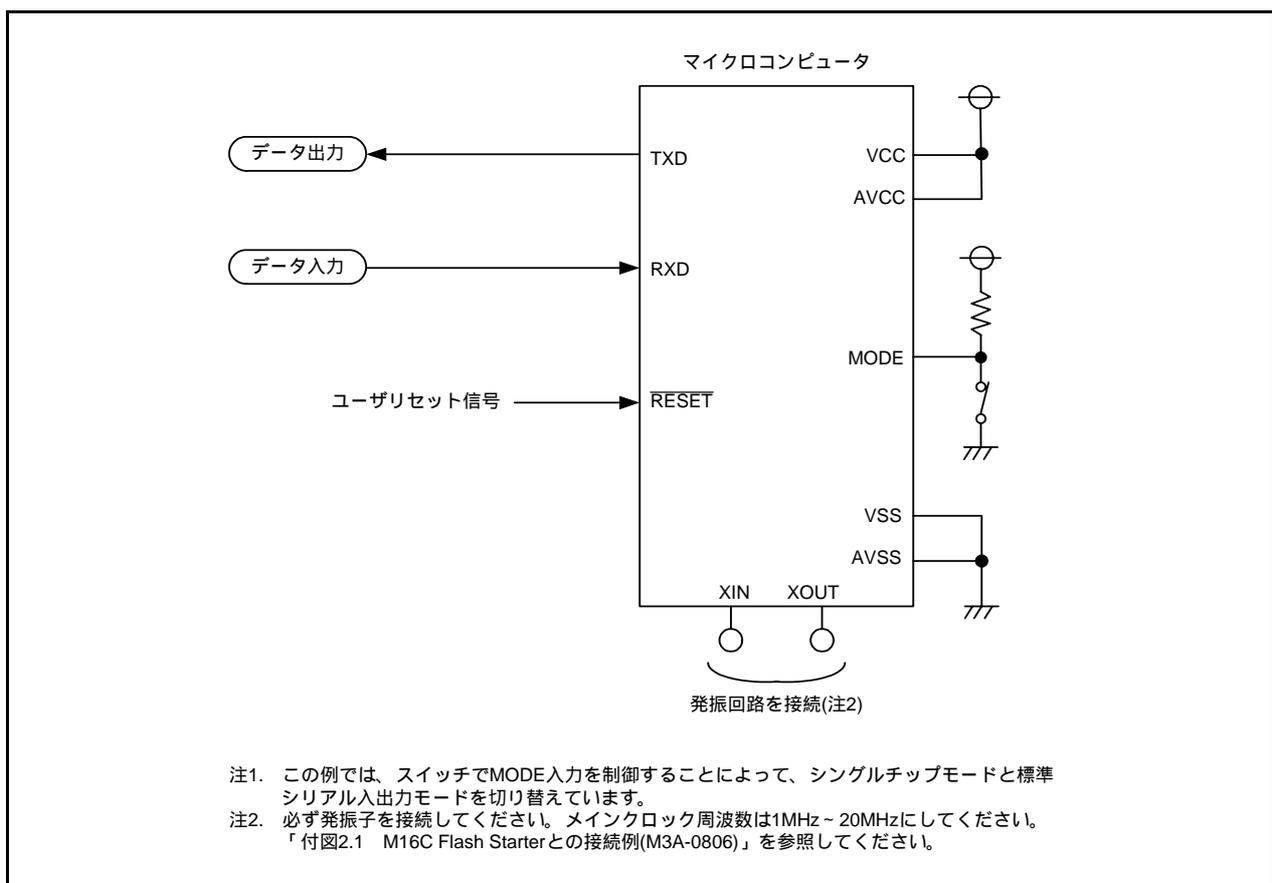


図20.25 標準シリアル入出力モード2を使用する場合の端子処理例

表20.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		Vcc 端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	外付けの発振子を接続する場合、XIN 端子と XOUT 端子の間にはセラミック共振子、または水晶発振子を接続してください。 入力ポートとして使用する場合、“H”を入力、“L”を入力、または開放してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
P0_0 ~ P0_3、P0_5	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1_0 ~ P1_7	入力ポートP1	入力	
P2_0 ~ P2_7	入力ポートP2	入力	
P3_3 ~ P3_5	入力ポートP3	入力	
P4_2/VREF、P4_5	入力ポートP4	入力	
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。

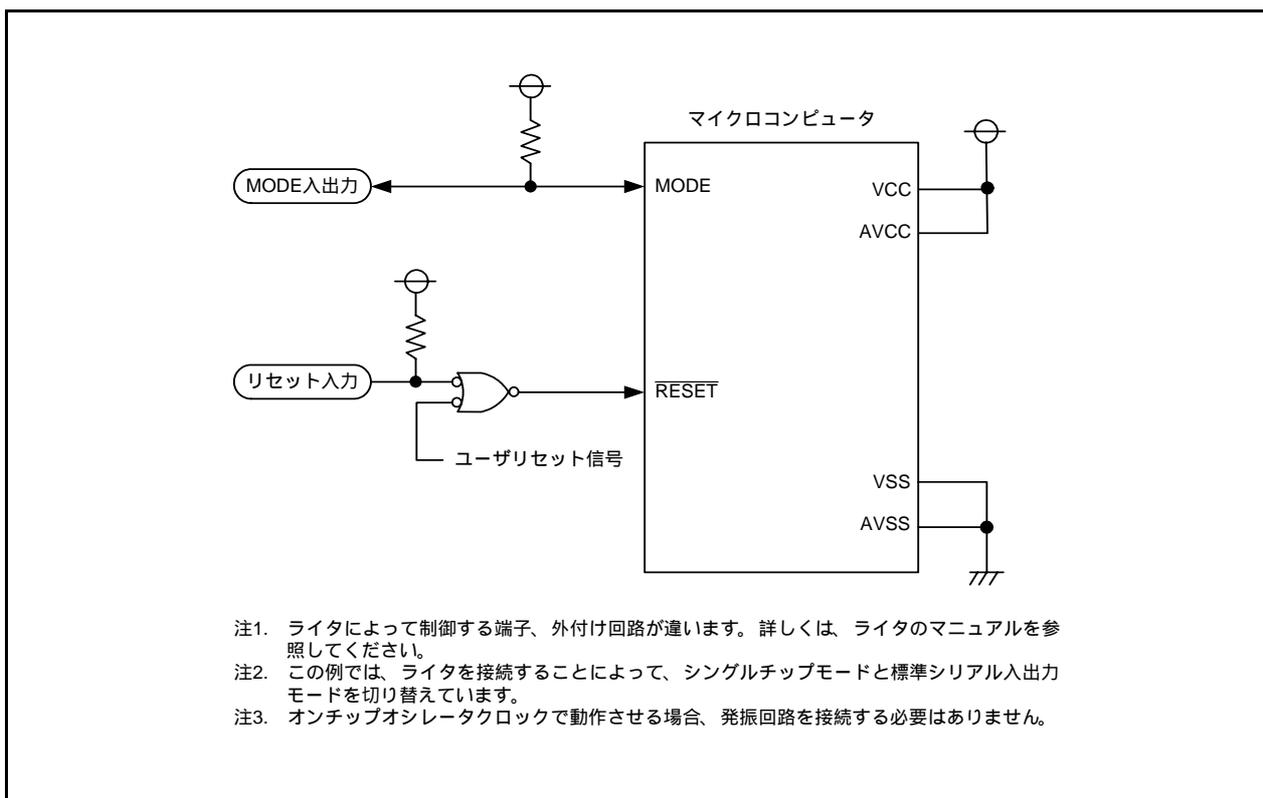


図20.26 標準シリアル入出力モード3を使用する場合の端子処理例

20.6 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライターを使用してください。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図20.1および図20.2に示すユーザROM領域の書き換えができます。

20.6.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「20.3.2 ROMコードプロテクト機能」参照)。

20.7 フラッシュメモリ使用上の注意

20.7.1 CPU書き換えモード

20.7.1.1 動作速度

CPU書き換えモード(EW0モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM16～CM17ビットで、CPUクロックを5MHz以下にしてください。

EW1モードではこの注意事項は不要です。

20.7.1.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

20.7.1.3 ノンマスカブル割り込み

•EW0モード

ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。

自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。

ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。定期的にウォッチドッグタイマを初期化してください。

アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

•EW1モード

ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。

自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。

ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレースサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。

アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

20.7.1.4 アクセス方法

FMR0レジスタのFMR01ビット、FMR02ビット、FMR1レジスタのFMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

20.7.1.5 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

20.7.1.6 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

20.7.1.7 サスペンド

プログラムサスペンド中、ブロックイレーズコマンドを使用しないでください。

20.7.1.8 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

20.7.1.9 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

21. 消費電力の低減

21.1 概要

この章では消費電力を小さくするためのポイント、処理方法について説明します。

21.2 消費電力を小さくするためのポイントと処理方法

消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

21.2.1 電圧検出回路

電圧監視1を使用しない場合、VCA2レジスタのVCA26ビットを“0”(電圧検出1回路無効)に、電圧監視2を使用しない場合、VCA2レジスタのVCA27ビットを“0”(電圧検出2回路無効)にしてください。

パワーオンリセット、電圧監視0リセットを使用しない場合、VCA2レジスタのVCA25ビットを“0”(電圧検出0回路無効)にしてください。

21.2.2 ポート

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは、貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

21.2.3 クロック

消費電力は一般的に動作しているクロックの数や、その周波数に関係があります。動作しているクロックの数が少ないほど、また周波数は低いほど消費電力は小さくなります。そのため、不要なクロックを停止させてください。

XINクロックの停止：CM0レジスタのCM05ビット

低速オンチップオシレータの発振停止：CM1レジスタのCM14ビット

高速オンチップオシレータの発振停止：HRA0レジスタのHRA00ビット

21.2.4 ウェイトモード、ストップモード

ウェイトモード、およびストップモードでは消費電力が低減できます。詳細は「10.4 パワーコントロール」を参照してください。

21.2.5 周辺機能クロックの停止

ウェイトモード時に周辺機能クロック f1、f2、f4、f8、f32 が不要の場合、CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックを停止する)にして、ウェイトモード時のf1、f2、f4、f8、f32を停止させてください。

21.2.6 タイマ

タイマRAを使用しない場合、TRAMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRBを使用しない場合、TRBMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

21.2.7 A/Dコンバータ

A/D変換を行わない場合、ADCON1レジスタのVCUTビットを“0”(VREF未接続)にしてください。なお、A/D変換を行う場合、VCUTビットを“1”(VREF接続)にしてから1 μ s以上経過した後、A/D変換を開始させてください。

21.2.8 内部電源の消費電力低減

低速オンチップオシレータモードでウェイトモードへ移行する場合、VCA2レジスタのVCA20ビットにより、内部電源の消費電力を低減できます。図21.1にVCA20ビットによる内部電源低消費操作手順を示します。VCA20ビットにより内部電源低消費電力を許可する場合は、「図21.1 VCA20ビットによる内部電源低消費操作手順」に従ってください。

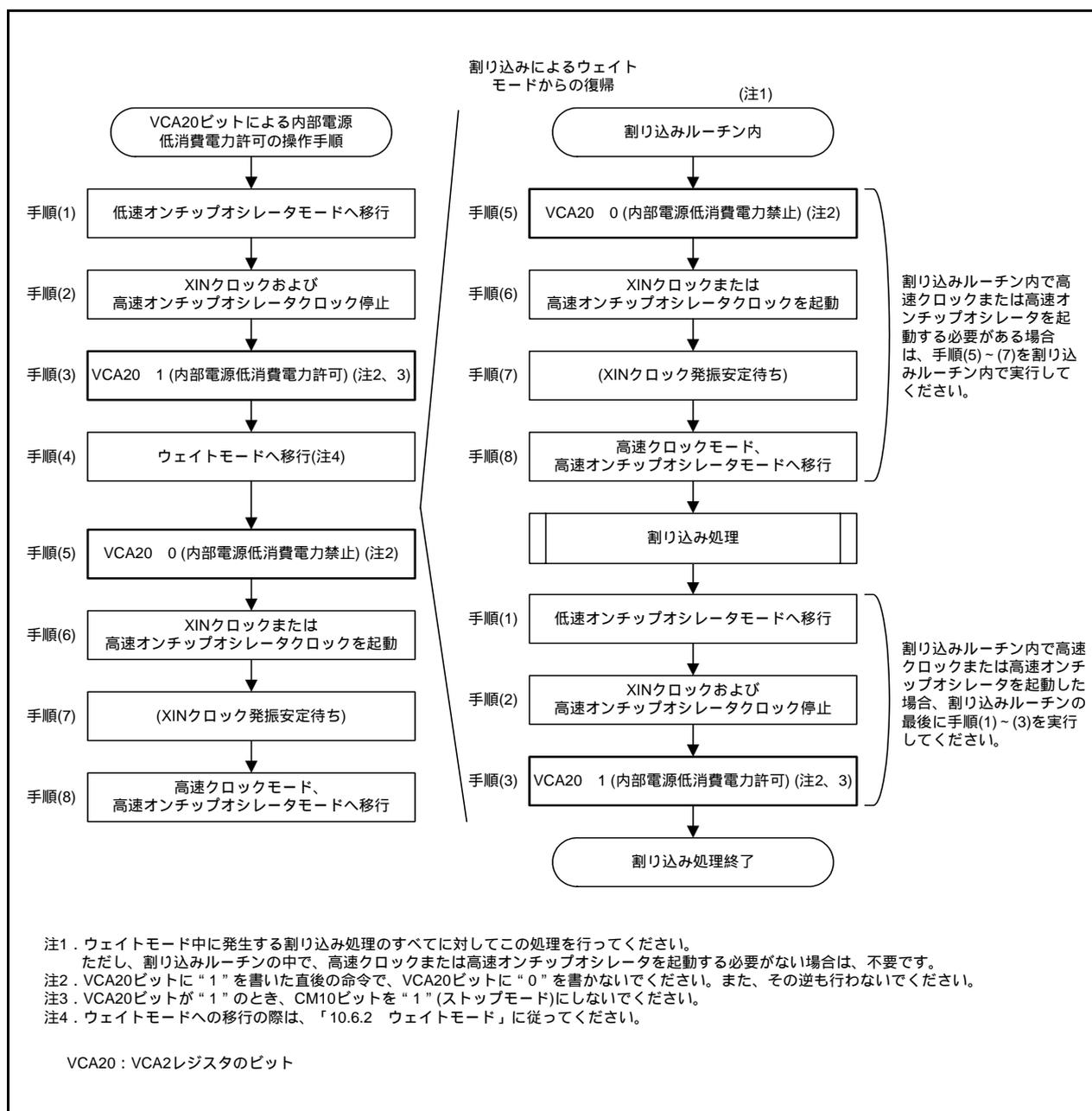


図21.1 VCA20ビットによる内部電源低消費操作手順

21.2.9 フラッシュメモリの停止

低速オンチップオシレータモードの場合、FMR0レジスタのFMSTPビットによってフラッシュメモリを停止させ、さらに低消費電力にすることができます。

FMSTPビットを“1”(フラッシュメモリ停止)にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

図21.2にFMSTPビットによる低消費電力操作手順例を示します。

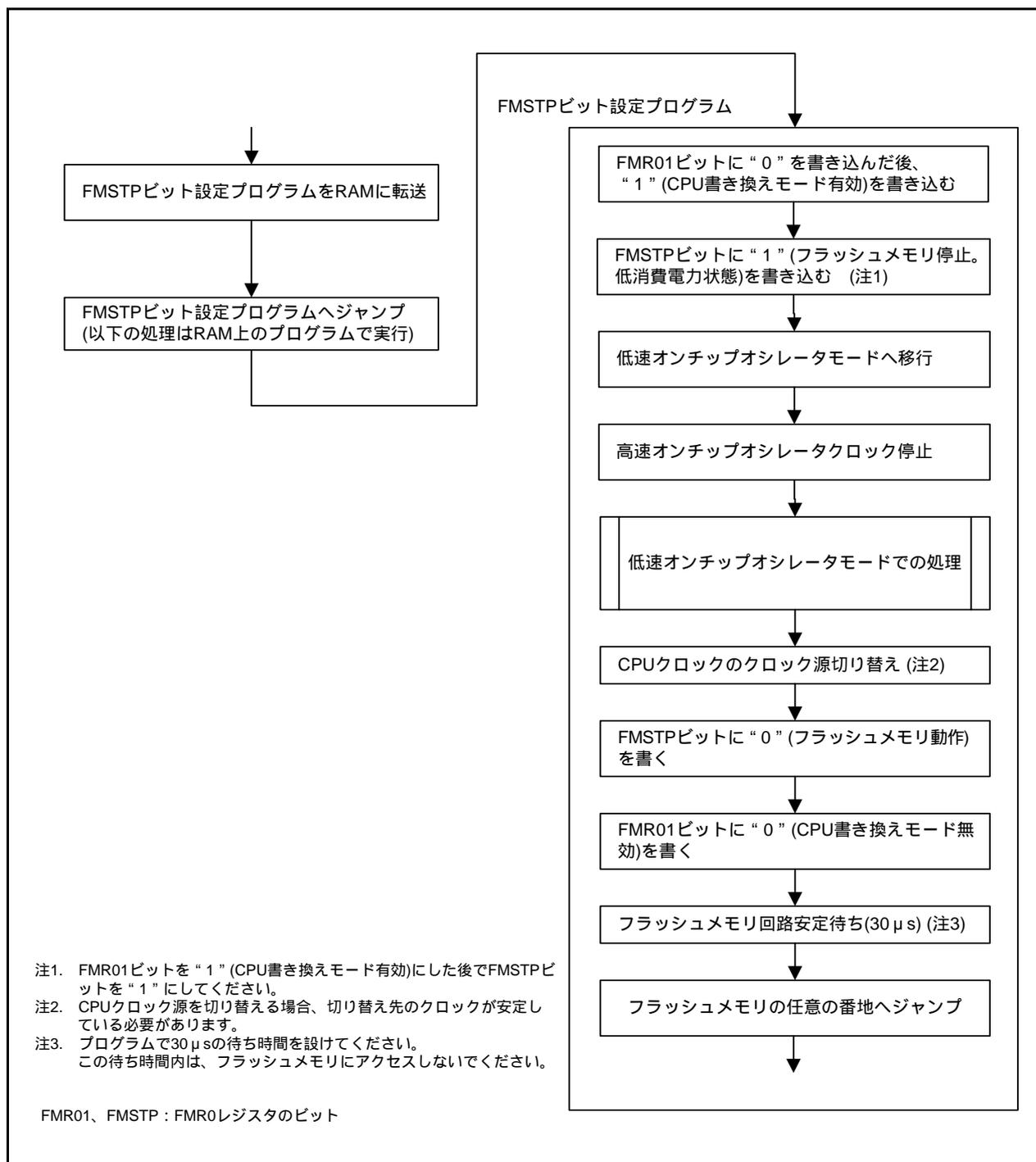


図21.2 FMSTPビットによる低消費電力操作手順例

21.2.10 低消費電流リードモード

低速オンチップオシレータモードのときに、FMR4レジスタのFMR47ビットを“1”（許可）にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

図21.3に低消費電流リードモードの操作手順例を示します。

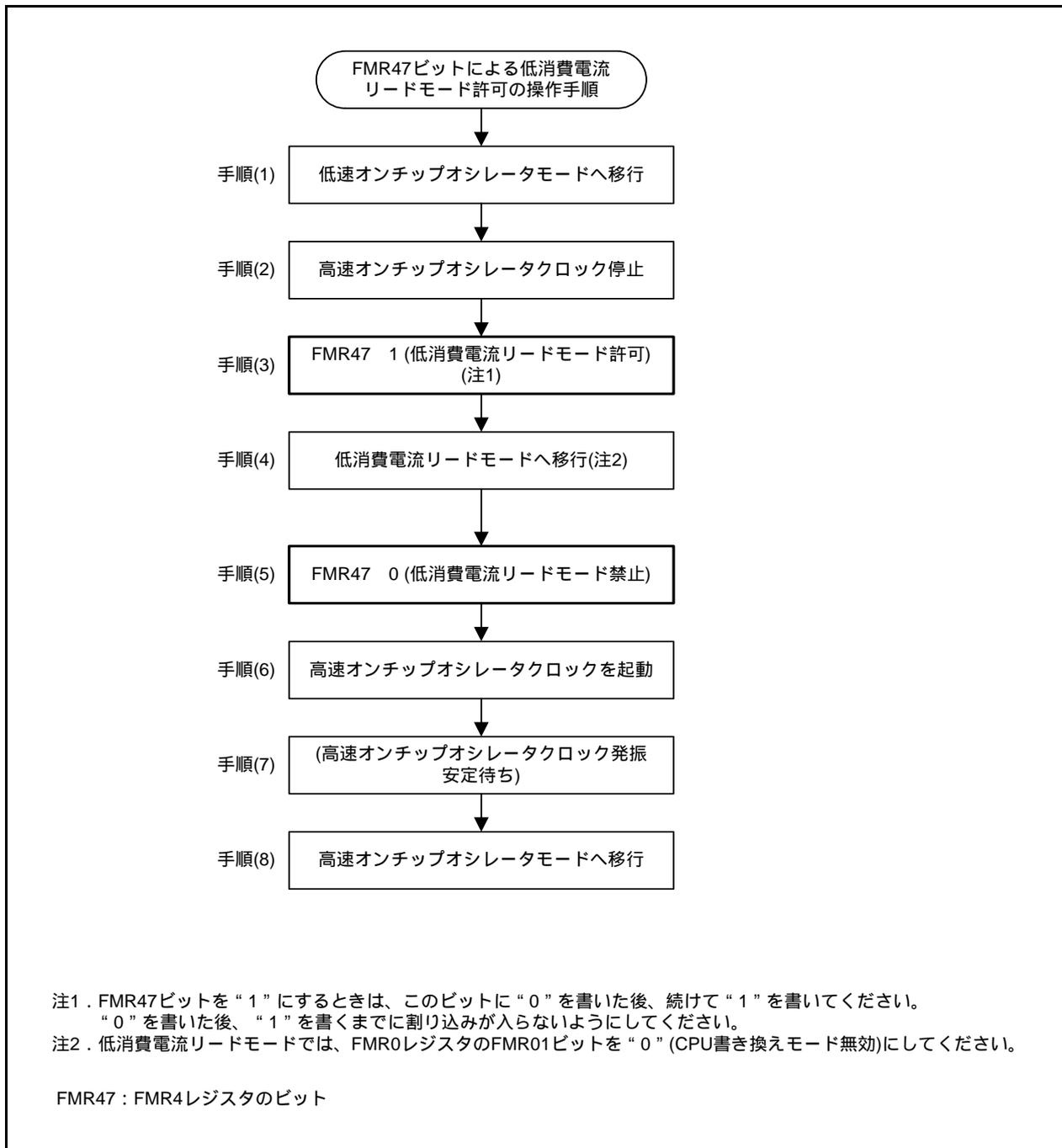


図21.3 低消費電流リードモードの操作手順例

22. 電気的特性

電気的特性はNバージョン($T_{opr} = -20 \sim 85$)とDバージョン($T_{opr} = -40 \sim 85$)について示します。Yバージョン($T_{opr} = -20 \sim 105$)の電気的特性についてはルネサステクノロジ営業窓口へお問い合わせください。

表22.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V_{CC}/AV_{CC}	電源電圧		- 0.3 ~ 6.5	V
V_i	入力電圧		- 0.3 ~ $V_{CC} + 0.3$	V
V_o	出力電圧		- 0.3 ~ $V_{CC} + 0.3$	V
P_d	消費電力	$T_{opr} = 25$	500	mW
T_{opr}	動作周囲温度		- 20 ~ 85(Nバージョン) / - 40 ~ 85(Dバージョン)	
T_{stg}	保存温度		- 65 ~ 150	

表22.2 推奨動作条件

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Vcc	電源電圧		2.2		5.5	V	
AVcc	電源電圧		2.7		5.5		
Vss/AVss	電源電圧			0		V	
V _{IH}	“H”入力電圧		0.8V _{cc}		V _{cc}	V	
V _{IL}	“L”入力電圧		0		0.2V _{cc}	V	
I _{OH(sum)}	“H”尖頭総出力電流	全端子のI _{OH(peak)} の 総和			- 160	mA	
I _{OH(sum)}	“H”平均総出力電流	全端子のI _{OH(avg)} の 総和			- 80	mA	
I _{OH(peak)}	“H”尖頭出力電流	P2_0 ~ P2_7以外			- 10	mA	
		P2_0 ~ P2_7			- 40	mA	
I _{OH(avg)}	“H”平均出力電流	P2_0 ~ P2_7以外			- 5	mA	
		P2_0 ~ P2_7			- 20	mA	
I _{OL(sum)}	“L”尖頭総出力電流	全端子のI _{OL(peak)} の 総和			160	mA	
I _{OL(sum)}	“L”平均総出力電流	全端子のI _{OL(avg)} の 総和			80	mA	
I _{OL(peak)}	“L”尖頭出力電流	P2_0 ~ P2_7以外			10	mA	
		P2_0 ~ P2_7			40	mA	
I _{OL(avg)}	“L”平均出力電流	P2_0 ~ P2_7以外			5	mA	
		P2_0 ~ P2_7			20	mA	
f(XIN)	XINクロック入力発振周波数	3.0V V _{cc} 5.5V	0		20	MHz	
		2.7V V _{cc} < 3.0V	0		10	MHz	
		2.2V V _{cc} < 2.7V	0		5	MHz	
	システムクロック	OCD2 = “0” XINクロック選択時	3.0V V _{cc} 5.5V	0		20	MHz
			2.7V V _{cc} < 3.0V	0		10	MHz
			2.2V V _{cc} < 2.7V	0		5	MHz
	オンチップオシレータ クロック選択時	OCD2 = “1”	FRA01 = “0” 低速オンチップオシレータ選択時		125		kHz
			FRA01 = “1” 高速オンチップオシレータ選択時 3.0V V _{cc} 5.5V			20	MHz
			FRA01 = “1” 高速オンチップオシレータ選択時 2.7V V _{cc} 5.5V			10	MHz
			FRA01 = “1” 高速オンチップオシレータ選択時 2.2V V _{cc} 5.5V			5	MHz

注1. 指定のない場合は、V_{cc} = 2.2V ~ 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

注2. 平均出力電流は100 msの期間内での平均値です。

表22.3 A/Dコンバータ特性

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
	分解能	Vref = AVcc			10	Bit	
	絶対精度	10ビットモード	AD = 10MHz, Vref = AVcc = 5.0V			± 3	LSB
		8ビットモード	AD = 10MHz, Vref = AVcc = 5.0V			± 2	LSB
		10ビットモード	AD = 10MHz, Vref = AVcc = 3.3V			± 5	LSB
		8ビットモード	AD = 10MHz, Vref = AVcc = 3.3V			± 2	LSB
Rladder	ラダ - 抵抗	Vref = AVcc	10		40	k	
tconv	変換時間	10ビットモード	AD = 10MHz, Vref = AVcc = 5.0V	3.3		μs	
		8ビットモード	AD = 10MHz, Vref = AVcc = 5.0V	2.8		μs	
Vref	基準電圧		2.2		AVcc	V	
VIA	アナログ入力電圧(注2)		0		AVcc	V	
	A/D動作クロック 周波数	サンプル&ホールドなし	Vref = AVcc = 2.7 ~ 5.5V	0.25		10	MHz
		サンプル&ホールドあり	Vref = AVcc = 2.7 ~ 5.5V	1		10	MHz

注1. 指定のない場合は、AVcc = 2.7V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

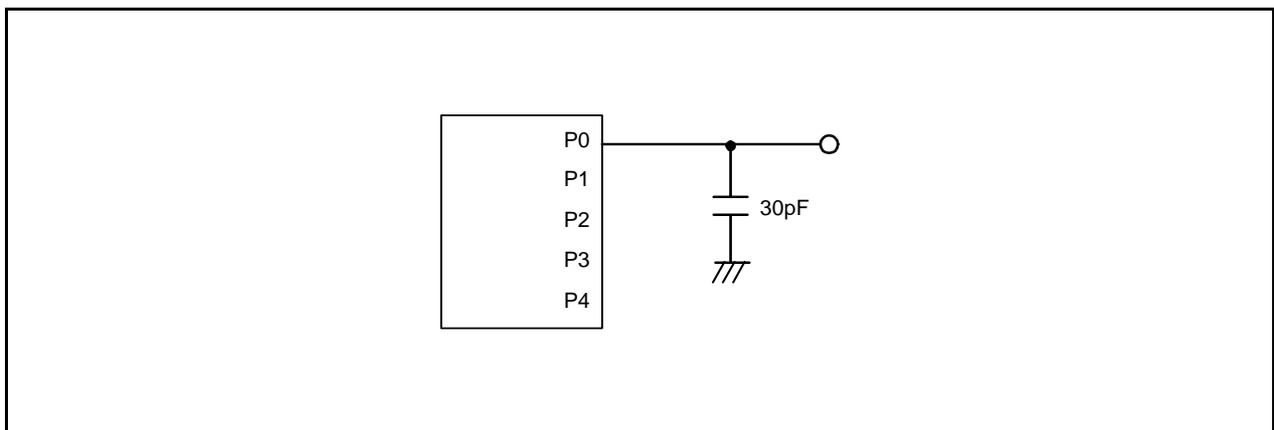


図22.1 ポートP0 ~ P4のタイミング測定回路

表22.4 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)	R8C/2Kグループ	100(注3)			回
		R8C/2Lグループ	1,000(注3)			回
	バイトプログラム時間			50	400	μs
	ブロックイレーズ時間			0.4	9	s
t _d (SR-SUS)	サスペンドへの遷移時間				97+CPUクロック × 6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3+CPUクロック × 4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.2		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注7)	周囲温度=55	20			年

注1. 指定のない場合は、V_{cc} = 2.7V ~ 5.5V、T_{opr} = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサス テクノロジ、ルネサス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表22.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性(注4)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		10,000(注3)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)			50	400	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)			65		μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)			0.2	9	s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)			0.3		s
t _d (SR-SUS)	サスペンドへの遷移時間				97+CPUクロック × 6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3+CPUクロック × 4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.2		5.5	V
	書き込み、消去時の温度		- 20(注8)		85	
	データ保持時間(注9)	周囲温度=55	20			年

注1. 指定のない場合は、V_{cc} = 2.7V ~ 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小”値の範囲です。)

注4. プログラム/イレーズ回数が1,000回を超えたときのブロックA、ブロックBの規格です。1,000回までのバイトプログラム時間はプログラムROMと同じです。

注5. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注6. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注7. 不良率につきましては、ルネサス テクノロジ、ルネサス販売または特約店にお問い合わせください。

注8. Dバージョンは - 40 。

注9. 電源電圧またはクロックが印加されていない時間を含みます。

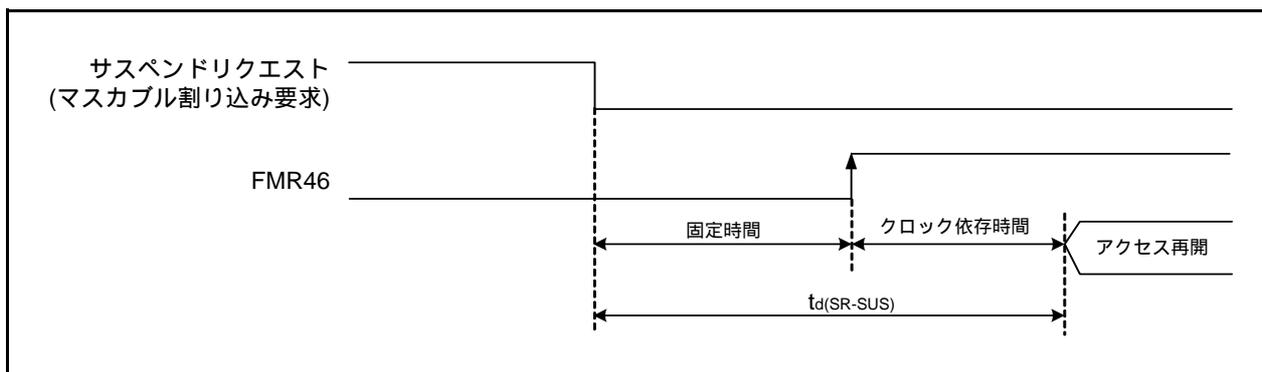


図22.2 サスペンドへの遷移時間

表22.6 電圧検出0回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベル		2.2	2.3	2.4	V
	電圧検出回路の自己消費電流	VCA25 = 1、Vcc=5.0V		0.9		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注2)				300	μs
Vccmin	マイコンの動作電圧の最小値		2.2			V

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表22.7 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベル(注4)		2.7	2.85	3.00	V
	電圧監視1割り込み要求発生時間(注2)			40		μs
	電圧検出回路の自己消費電流	VCA26 = 1、Vcc=5.0V		0.6		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注4. 電源の立ち下り時の電圧検出レベルを示しています。電源の立ち上り時の検出レベルは、電源の立ち下り時の電圧検出レベルより、0.1V程度大きい値になります。

表22.8 電圧検出2回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベル		3.3	3.6	3.9	V
	電圧監視2割り込み要求発生時間(注2)			40		μs
	電圧検出回路の自己消費電流	VCA27 = 1、Vcc=5.0V		0.6		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表22.9 パワーオンリセット回路、電圧監視0リセットの電気的特性(注3)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{por1}	パワーオンリセットが有効になる電圧 (注4)				0.1	V
V _{por2}	パワーオンリセットまたは電圧監視0リセットが有効になる電圧		0		V _{det0}	V
t _{trth}	外部電源V _{CC} の立ち上がり傾き(注2)		20			mV/msec

注1. 指定のない場合測定条件は、T_{opr} = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. V_{CC} 1.0Vで使用する場合、この条件(外部電源V_{CC}立ち上がり傾き)は不要です。

注3. パワーオンリセットを使用する場合には、OFSレジスタのLVD00Nビットを“0”、VW0CレジスタのVW0C0ビットを“1”、VW0C6ビットを“1”、VCA2レジスタのVCA25ビットを“1”にして電圧監視0リセットを有効にしてください。

注4. t_{w(por1)}は外部電源V_{CC}を有効電圧(V_{por1})以下に保持してパワーオンリセットが有効になるために必要な時間です。電源を最初に立ち上げる時は -20 ≤ T_{opr} ≤ 85 ではt_{w(por1)}を30s以上、-40 ≤ T_{opr} < -20 ではt_{w(por1)}を3000s以上保持してください。

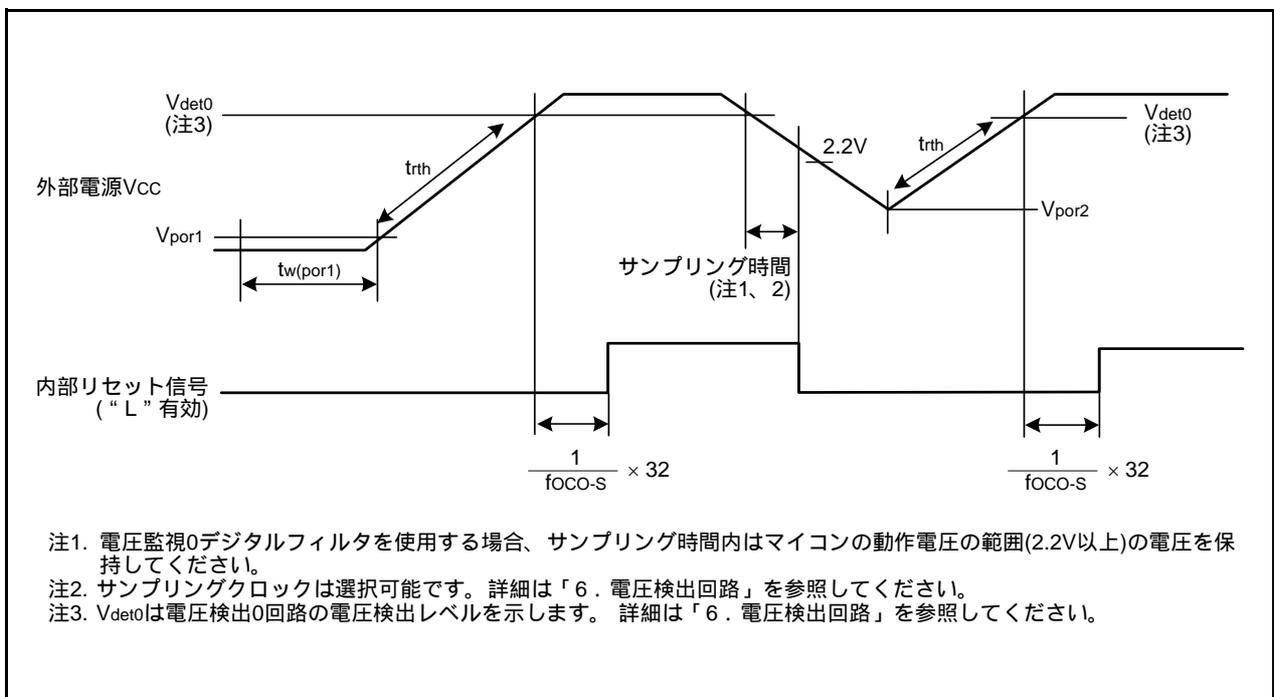


図22.3 リセット回路の電気的特性

表22.10 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO40M	高速オンチップオシレータ発振周波数の温度・電圧依存性	Vcc=2.7V ~ 5.5V 20 Topr 85 (注2)	39.2	40	40.8	MHz
		Vcc=2.7V ~ 5.5V 40 Topr 85 (注2)	39.0	40	41.0	MHz
		Vcc=2.2V ~ 5.5V 20 Topr 85 (注3)	35.2	40	44.8	MHz
		Vcc=2.2V ~ 5.5V 40 Topr 85 (注3)	34.0	40	46.0	MHz
	FRA7レジスタの補正値をFRA1レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注4)	Vcc=5.0V、Topr=25		36.864		MHz
		Vcc=2.7V ~ 5.5V 20 Topr 85	- 3%		3%	%
	リセット解除時のFRA1レジスタの値		08h		F7h	
	高速オンチップオシレータ発振周波数調整単位	FRA1レジスタ(リセット解除時の値)を1ビットに調整		+ 0.3		MHz
	発振安定時間	Vcc=5.0V、Topr=25		10	100	μs
	発振時の自己消費電流	Vcc=5.0V、Topr=25		550		μA

注1. 指定のない場合は、Vcc=2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

注2. FRA1レジスタがリセット解除時の値のときの規格値です。

注3. FRA6レジスタの補正値をFRA1レジスタに書き込んだときの規格値です。

注4. シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます。

表22.11 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		30	125	250	kHz
	発振安定時間			10	100	μs
	発振時の自己消費電流	Vcc=5.0V、Topr=25		15		μA

注1. 指定のない場合は、Vcc=2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

表22.12 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注2)		1		2000	μs
td(R-S)	STOP解除時間(注3)				150	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

注3. ストップモードを解除するための割り込みが受け付けられてから、システムクロックの供給が開始するまでの時間です。

表22.13 電気的特性(1) [Vcc = 5V]

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
VoH	“H”出力電圧	P2_0 ~ P2_7、 XOUT以外	IoH = - 5mA		Vcc - 2.0		Vcc	V
			IoH = - 200 μA		Vcc - 0.5		Vcc	V
	P2_0 ~ P2_7	駆動能力HIGH	IoH = - 20mA	Vcc - 2.0		Vcc	V	
		駆動能力LOW	IoH = - 5mA	Vcc - 2.0		Vcc	V	
	XOUT	駆動能力HIGH	IoH = - 1mA	Vcc - 2.0		Vcc	V	
		駆動能力LOW	IoH = - 500 μA	Vcc - 2.0		Vcc	V	
VoL	“L”出力電圧	P2_0 ~ P2_7、 XOUT以外	IoL = 5mA				2.0	V
			IoL = 200 μA				0.45	V
	P2_0 ~ P2_7	駆動能力HIGH	IoL = 20mA			2.0	V	
		駆動能力LOW	IoL = 5mA			2.0	V	
	XOUT	駆動能力HIGH	IoL = 1mA			2.0	V	
		駆動能力LOW	IoL = 500 μA			2.0	V	
VT+-VT-	ヒステリシス	INT0、INT1、INT3、 KI0、KI1、KI2、KI3、 TRAI0、RXD0、RXD2、 CLK0、CLK2		0.1	0.5		V	
		RESET		0.1	1.0		V	
IiH	“H”入力電流		VI = 5V、Vcc = 5V				5.0	μA
IiL	“L”入力電流		VI = 0V、Vcc = 5V				- 5.0	μA
RPULLUP	プルアップ抵抗		VI = 0V、Vcc = 5V		30	50	167	k
RiXIN	帰還抵抗	XIN				1.0		M
VRAM	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、Vcc = 4.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、f(XIN) = 20MHzです。

表22.14 電気的特性(2) [Vcc = 5V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 3.3V ~ 5.5V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		10	17	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		9	15	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		6		mA
			XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		5		mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		4		mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		2.5		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		10	15	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周		4		mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		5.5	10	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周		2.5		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = "1"		130	300	μA

表22.15 電気的特性(3) [Vcc = 5V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 3.3V ~ 5.5V) シングルチップモードで、出力端子は開放、その他の端子はVss	ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		25	75	μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		23	60	μ A
		ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		0.8	3.0	μ A
			XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		1.2		μ A

タイミング必要条件 (指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25$) [$V_{CC}=5V$]

表22.16 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	50		ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	25		ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	25		ns

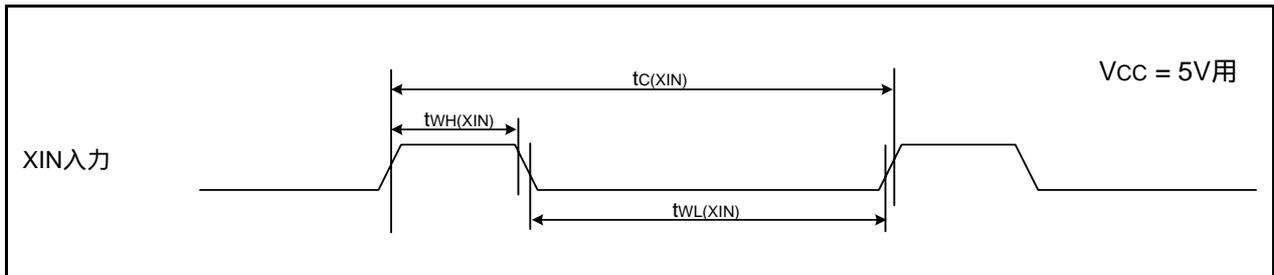


図22.4 $V_{CC}=5V$ 時のXIN入力タイミング

表22.17 TRAIO入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAIO)}$	TRAIO入力サイクル時間	100		ns
$t_{WH(TRAIO)}$	TRAIO入力“H”パルス幅	40		ns
$t_{WL(TRAIO)}$	TRAIO入力“L”パルス幅	40		ns

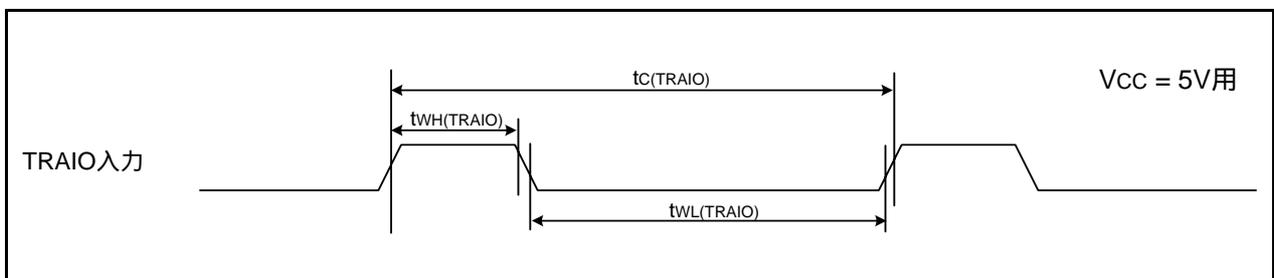


図22.5 $V_{CC}=5V$ 時のTRAIO入力タイミング

表22.18 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	200		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	100		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	100		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		50	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	50		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0, 2

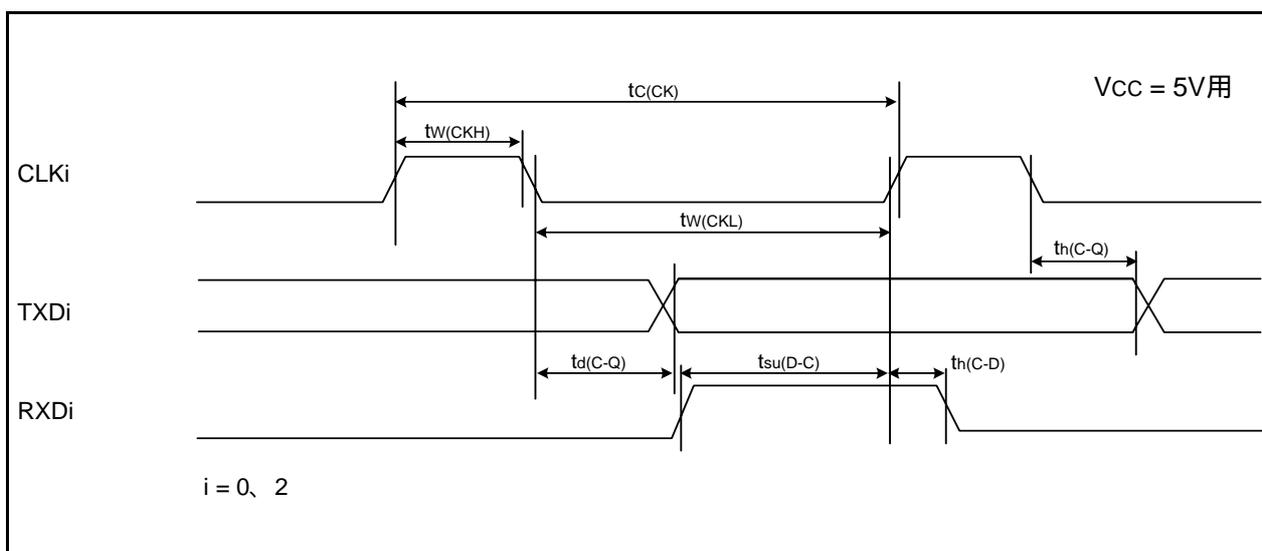


図22.6 Vcc=5V時のシリアルインタフェースのタイミング

表22.19 外部割り込みINTi入力 (i = 0, 1, 3)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	INTi入力“H”パルス幅	250(注1)		ns
$t_w(\text{INL})$	INTi入力“L”パルス幅	250(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

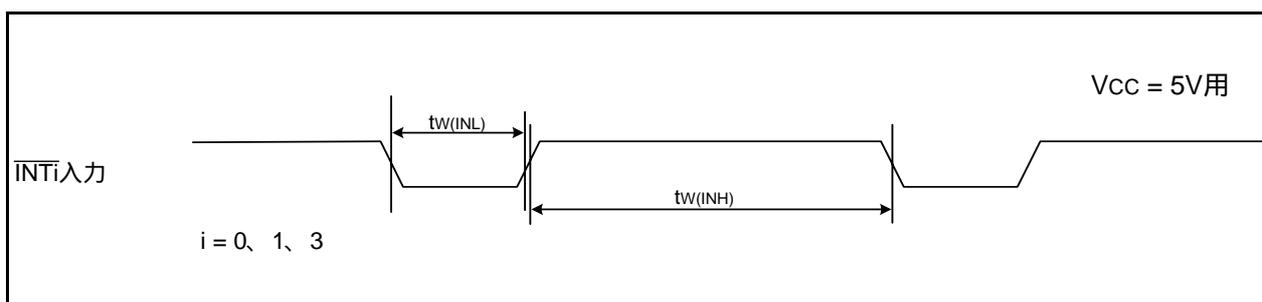


図22.7 Vcc=5V時の外部割り込みINTi入力タイミング

表22.20 電気的特性(1) [Vcc = 3V]

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
V _{OH}	“H”出力電圧	P2_0 ~ P2_7、 XOUT以外	I _{OH} = - 1mA		V _{CC} - 0.5		V _{CC}	V
		P2_0 ~ P2_7	駆動能力HIGH	I _{OH} = - 5mA	V _{CC} - 0.5		V _{CC}	V
			駆動能力LOW	I _{OH} = - 1mA	V _{CC} - 0.5		V _{CC}	V
		XOUT	駆動能力HIGH	I _{OH} = - 0.1mA	V _{CC} - 0.5		V _{CC}	V
駆動能力LOW	I _{OH} = - 50 μA		V _{CC} - 0.5		V _{CC}	V		
V _{OL}	“L”出力電圧	P2_0 ~ P2_7、 XOUT以外	I _{OL} = 1mA				0.5	V
		P2_0 ~ P2_7	駆動能力HIGH	I _{OL} = 5mA			0.5	V
			駆動能力LOW	I _{OL} = 1mA			0.5	V
		XOUT	駆動能力HIGH	I _{OL} = 0.1mA			0.5	V
駆動能力LOW	I _{OL} = 50 μA				0.5	V		
V _{T+} -V _{T-}	ヒステリシス	<u>INT0</u> 、 <u>INT1</u> 、 <u>INT3</u> 、 <u>KI0</u> 、 <u>KI1</u> 、 <u>KI2</u> 、 <u>KI3</u> 、 <u>TRAI0</u> 、 <u>RXD0</u> 、 <u>RXD2</u> 、 <u>CLK0</u> 、 <u>CLK2</u>			0.1	0.3		V
		<u>RESET</u>			0.1	0.4		V
I _{IH}	“H”入力電流		V _I = 3V、V _{CC} = 3V				4.0	μA
I _{IL}	“L”入力電流		V _I = 0V、V _{CC} = 3V				- 4.0	μA
R _{PULLUP}	プルアップ抵抗		V _I = 0V、V _{CC} = 3V		66	160	500	k
R _{fXIN}	帰還抵抗	XIN				3.0		M
V _{RAM}	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、V_{CC} = 2.7V ~ 3.3V、T_{opr} = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)、f(XIN) = 10MHzです。

表22.21 電気的特性(2) [Vcc = 3V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 2.7V ~ 3.3V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		6		mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		2		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		5	9	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周		2		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = " 1 "		130	300	μ A
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT 命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 " VCA20="1"		25	70	μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT 命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " VCA20="1"		23	55	μ A
		ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		0.7	3.0	μ A
			XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		1.1		μ A

タイミング必要条件 (指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25$) [$V_{CC}=3V$]

表22.22 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN入力サイクル時間	100		ns
$t_{WH}(XIN)$	XIN入力“H”パルス幅	40		ns
$t_{WL}(XIN)$	XIN入力“L”パルス幅	40		ns

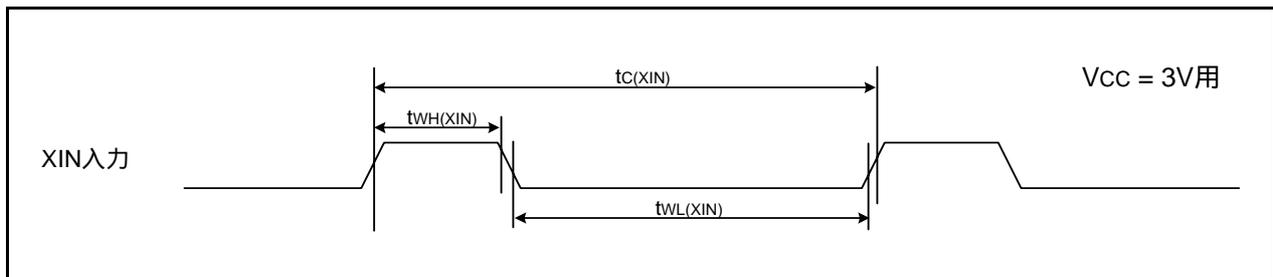


図22.8 $V_{CC}=3V$ 時のXIN入力タイミング

表22.23 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAIO)$	TRAIO入力サイクル時間	300		ns
$t_{WH}(TRAIO)$	TRAIO入力“H”パルス幅	120		ns
$t_{WL}(TRAIO)$	TRAIO入力“L”パルス幅	120		ns

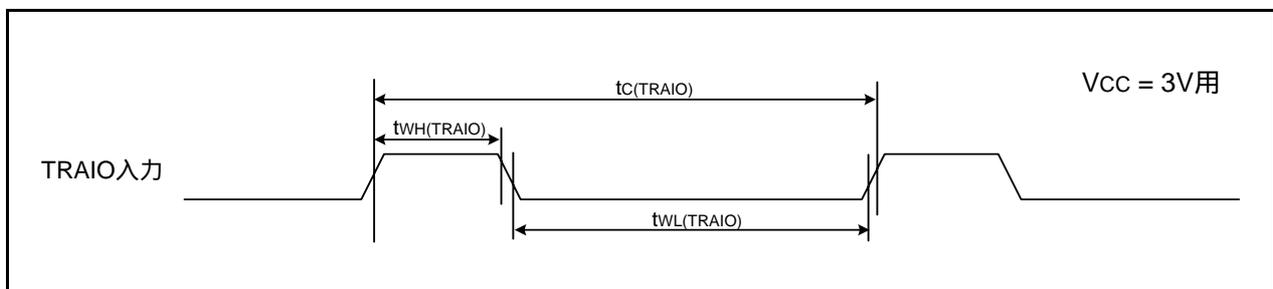


図22.9 $V_{CC}=3V$ 時のTRAIO入力タイミング

表22.24 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	150		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	150		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	70		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

i = 0, 2

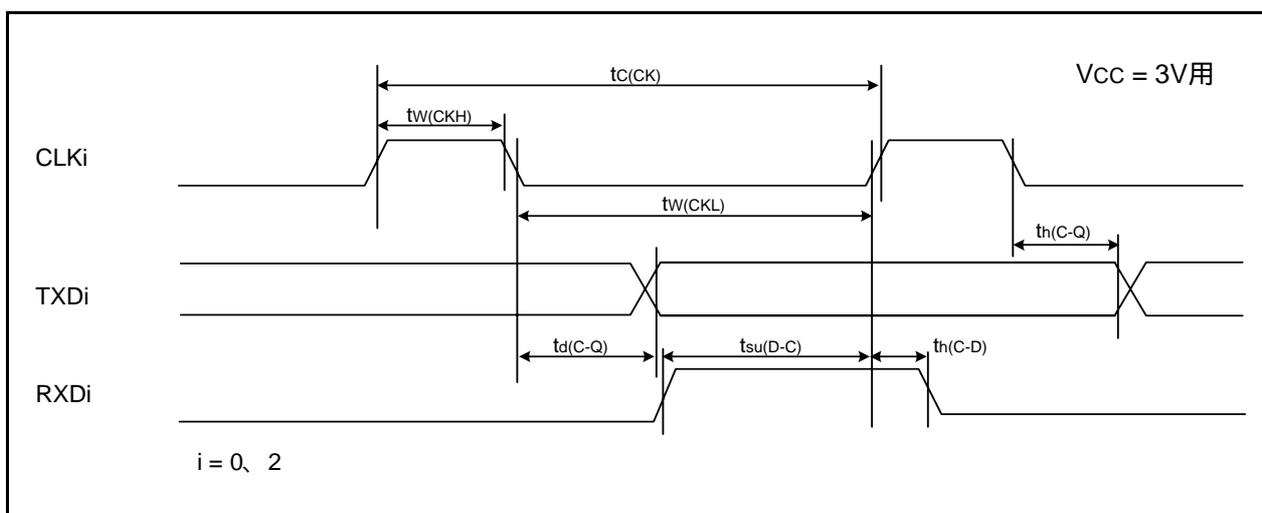


図22.10 Vcc=3V時のシリアルインタフェースのタイミング

表22.25 外部割り込み \overline{INTi} 入力 (i = 0, 1, 3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力“H”パルス幅	380(注1)		ns
$t_{w(INL)}$	\overline{INTi} 入力“L”パルス幅	380(注2)		ns

注1. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

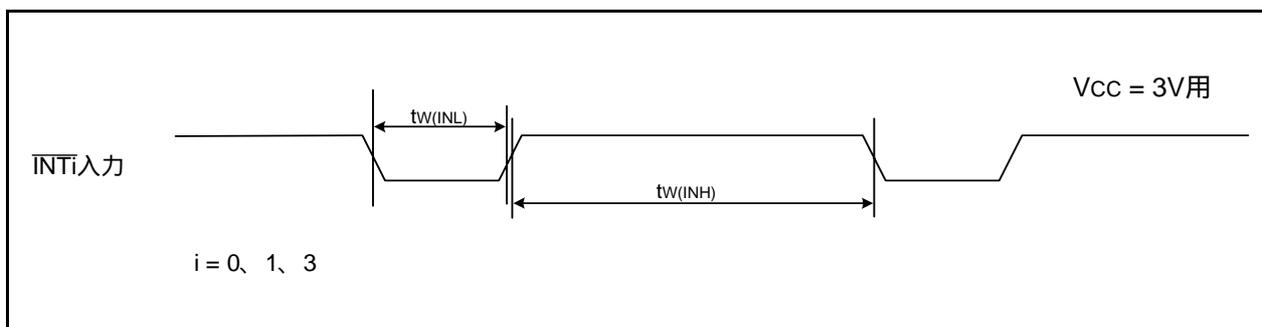
図22.11 Vcc=3V時の外部割り込み \overline{INTi} 入力タイミング

表22.26 電気的特性(1) [Vcc = 2.2V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
V _{OH}	“H”出力電圧	P2_0 ~ P2_7、XOUT以外	I _{OH} = - 1mA		VCC-0.5		V _{CC}	V
		P2_0 ~ P2_7	駆動能力HIGH	I _{OH} = - 2mA	VCC-0.5		V _{CC}	V
			駆動能力LOW	I _{OH} = - 1mA	VCC-0.5		V _{CC}	V
		XOUT	駆動能力HIGH	I _{OH} = - 0.1mA	VCC-0.5		V _{CC}	V
駆動能力LOW	I _{OH} = - 50 μA		VCC-0.5		V _{CC}	V		
V _{OL}	“L”出力電圧	P2_0 ~ P2_7、XOUT以外	I _{OL} = 1mA				0.5	V
		P2_0 ~ P2_7	駆動能力HIGH	I _{OL} = 2mA			0.5	V
			駆動能力LOW	I _{OL} = 1mA			0.5	V
		XOUT	駆動能力HIGH	I _{OL} = 0.1mA			0.5	V
駆動能力LOW	I _{OL} = 50 μA				0.5	V		
V _{T+} -V _{T-}	ヒステリシス	<u>INT0</u> 、 <u>INT1</u> 、 <u>INT3</u> 、 <u>KI0</u> 、 <u>KI1</u> 、 <u>KI2</u> 、 <u>KI3</u> 、 <u>TRAI0</u> 、 <u>RXD0</u> 、 <u>RXD2</u> 、 <u>CLK0</u> 、 <u>CLK2</u>			0.05	0.3		V
		<u>RESET</u>			0.05	0.15		V
I _{IH}	“H”入力電流		V _I = 2.2V				4.0	μA
I _{IL}	“L”入力電流		V _I = 0V				- 4.0	μA
R _{PULLUP}	プルアップ抵抗		V _I = 0V		100	200	600	k
R _{fXIN}	帰還抵抗	XIN				5		M
V _{RAM}	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、V_{CC} = 2.2V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、f(XIN) = 5MHzです。

表22.27 電気的特性(2) [Vcc = 2.2V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 2.2V ~ 2.7V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		3.5		mA
			XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO = 5MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		3.5		mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 5MHz 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = " 1 "		100	230	μ A
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT 命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 " VCA20="1"		22	60	μ A
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT 命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " VCA20="1"		20	55	μ A
		ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		0.7	3.0	μ A
			XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		1.1		μ A

タイミング必要条件 (指定のない場合は、 $V_{CC}=2.2V$ 、 $V_{SS}=0V$ 、 $T_{opr}= 25$) [$V_{CC}=2.2V$]

表22.28 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN入力サイクル時間	200		ns
$t_{WH}(XIN)$	XIN入力“H”パルス幅	90		ns
$t_{WL}(XIN)$	XIN入力“L”パルス幅	90		ns

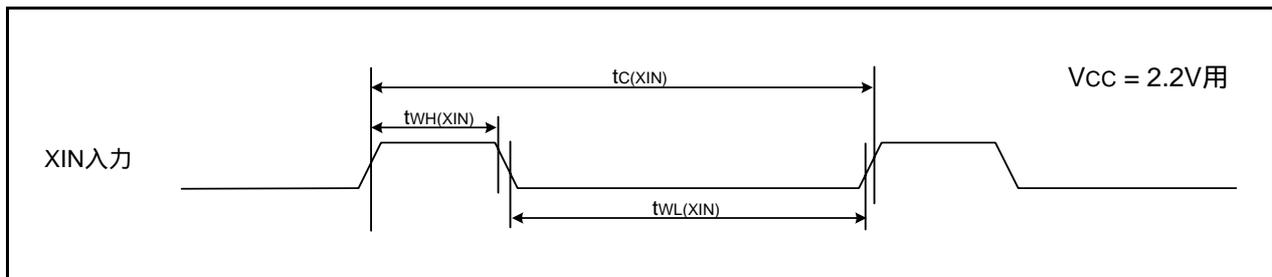
図22.12 $V_{CC}=2.2V$ 時のXIN入力タイミング

表22.29 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAIO)$	TRAIO入力サイクル時間	500		ns
$t_{WH}(TRAIO)$	TRAIO入力“H”パルス幅	200		ns
$t_{WL}(TRAIO)$	TRAIO入力“L”パルス幅	200		ns

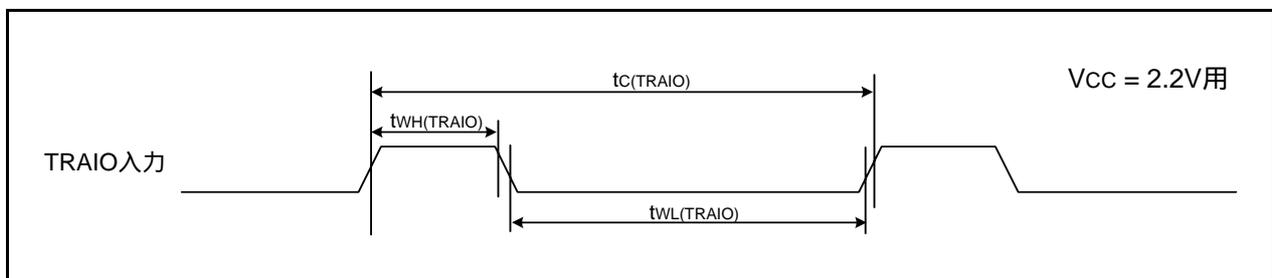
図22.13 $V_{CC}=2.2V$ 時のTRAIO入力タイミング

表22.30 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	800		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	400		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	400		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		200	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	150		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

i = 0, 2

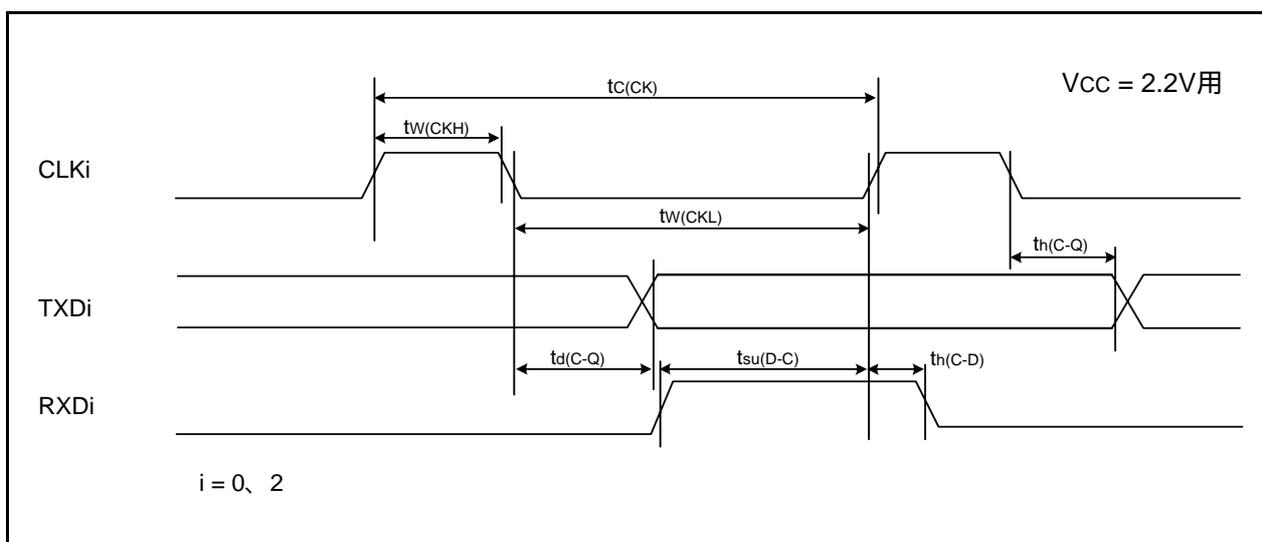


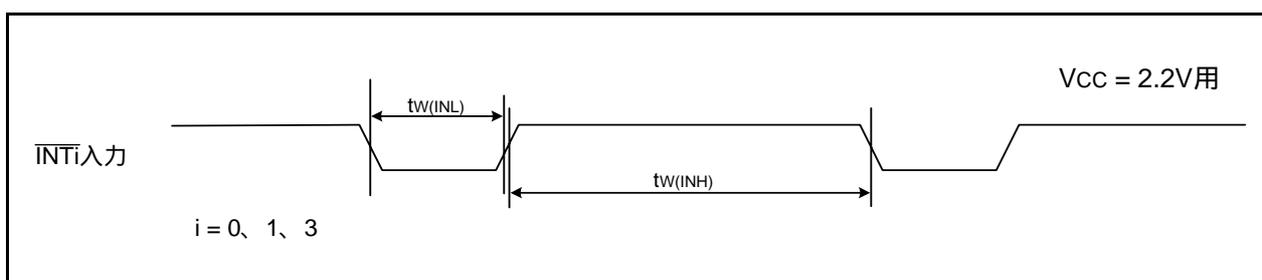
図22.14 Vcc=2.2V時のシリアルインタフェースのタイミング

表22.31 外部割り込み \overline{INTi} 入力 (i = 0, 1, 3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力“H”パルス幅	1000(注1)		ns
$t_{w(INL)}$	\overline{INTi} 入力“L”パルス幅	1000(注2)		ns

注1. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

図22.15 Vcc=2.2V時の外部割り込み \overline{INTi} 入力タイミング

23. 使用上の注意事項

23.1 クロック発生回路使用上の注意

23.1.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

•ストップモードに移行するプログラム例

```

BCLR      1, FMR0      ; CPU書き換えモード無効
BSET      0, PRCR      ; プロテクト解除
FSET      I            ; 割り込み許可
BSET      0, CM1       ; ストップモード
JMP.B     LABEL_001

LABEL_001:
NOP
NOP
NOP
NOP

```

23.1.2 ウェイトモード

ウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはWAIT命令から4バイト先読みしてプログラムが停止します。WAIT命令の後ろにはNOP命令を最低4つ入れてください。

•WAIT命令を実行するプログラム例

```

BCLR      1, FMR0      ; CPU書き換えモード無効
FSET      I            ; 割り込み許可
WAIT      ; ウェイトモード
NOP
NOP
NOP
NOP

```

23.1.3 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください。

23.1.4 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

電源電圧VCC=2.7V未満でご使用になる場合は、CM1レジスタのCM11ビットを“1”(内蔵帰還抵抗無効)かつCM15ビットを“1”(HIGH駆動)にし、外部に帰還抵抗を接続することを推奨します。

23.2 割り込み使用上の注意

23.2.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

23.2.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

23.2.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT3}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0, 1, 3$)に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表22.19($V_{cc} = 5V$)、表22.25($V_{cc} = 3V$)、表22.31($V_{cc} = 2.2V$) 外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0, 1, 3$)」を参照。)

23.2.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図23.1に割り込み要因の変更手順例を示します。

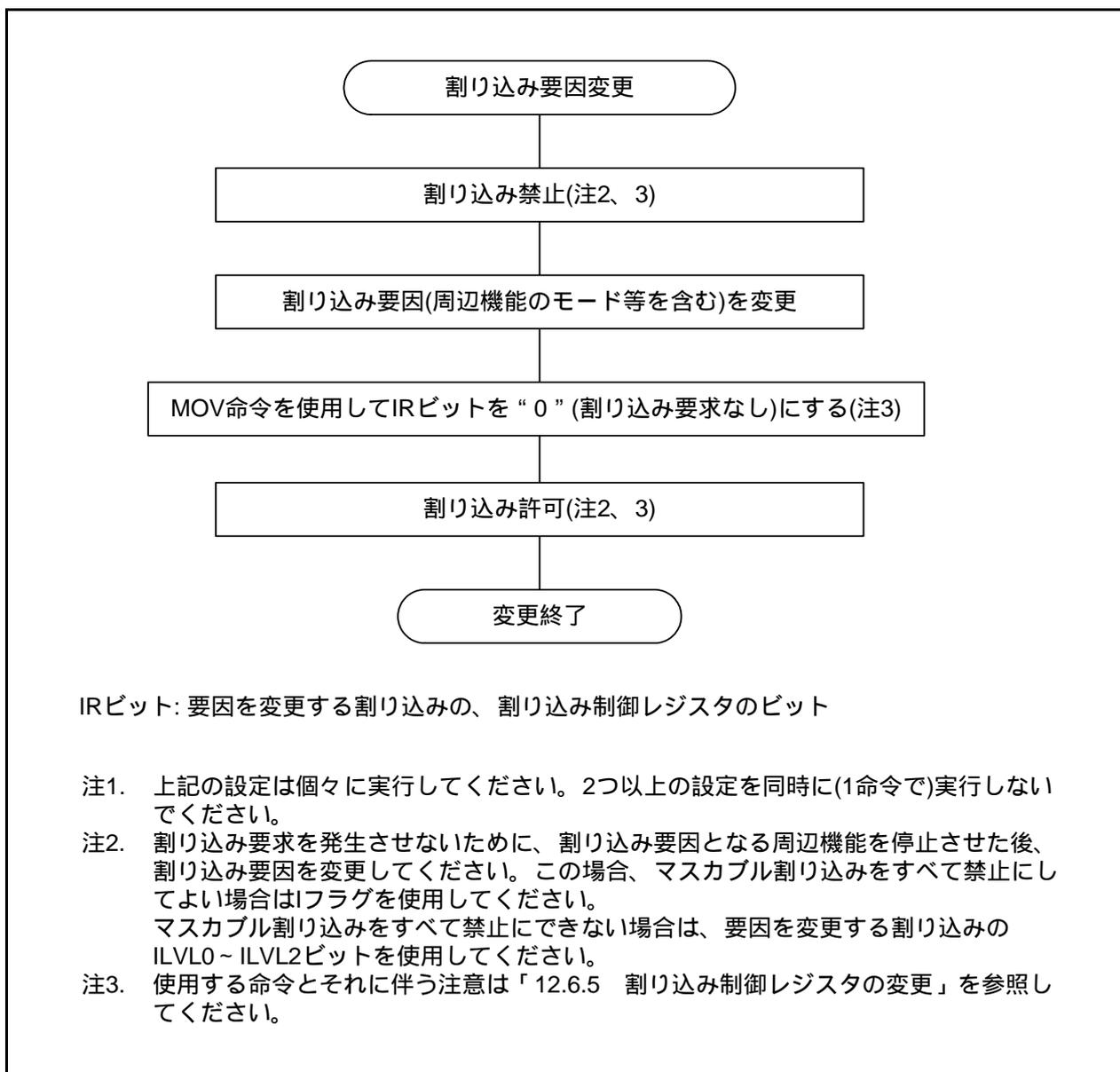


図23.1 割り込み要因の変更手順例

23.2.5 割り込み制御レジスタの変更

(a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  MOV.W   MEM, R0         ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  POPC    FLG             ; 割り込み許可
```

23.3 タイマ

23.3.1 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用するTRACRレジスタのTEDGFビットとTUNDFビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFビット、TUNDFビットが“1”になっても“0”にする場合があります。このとき、“0”にしたいくないTEDGFビット、TUNDFビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRAプリスケアラのアンダフロー信号で、TEDGFビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRAプリスケアラの2周期以上の時間を空けて、TEDGFビットを“0”にしてから使用してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“0”になっています。TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)をアクセスしないでください。TCSTFビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。カウント中にTSTARTビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)をアクセスしないでください。

注1.タイマRA関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTFビットが“1”)にTRAPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTFビットが“1”)にTRAレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けて下さい。

23.3.2 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。

注1.タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。

23.3.2.1 タイマモード

タイマモードでは下記の対策を実施してください。

カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

23.3.2.2 プログラマブル波形発生モード

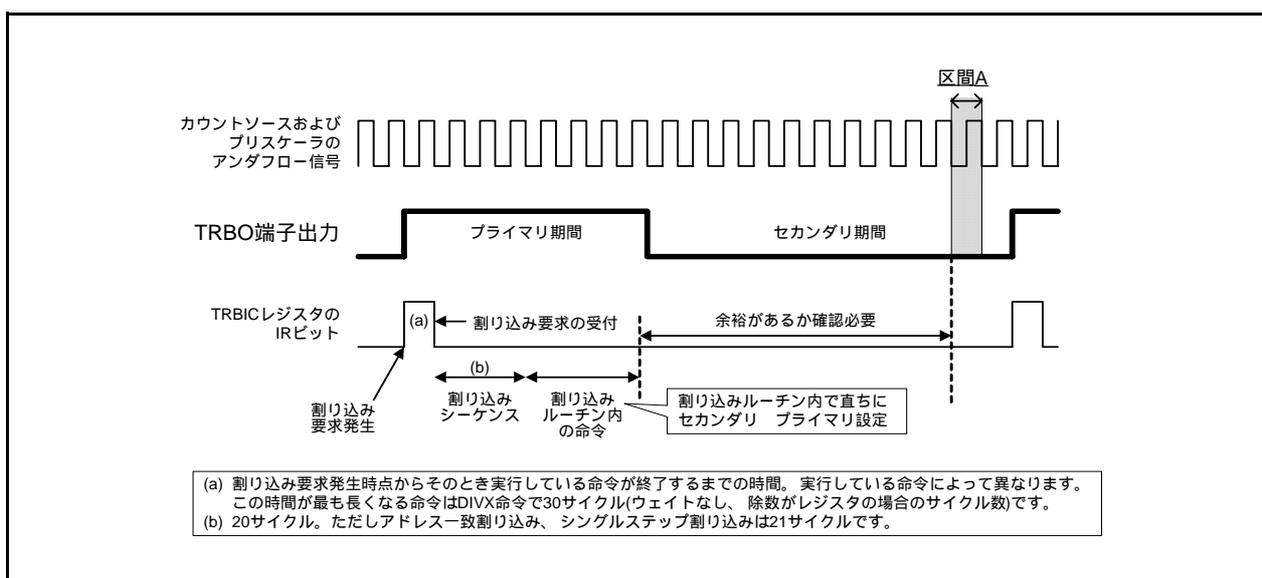
プログラマブル波形発生モードでは下記3点の対策を実施してください。

- (1) カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) カウント中(TCSTFビットが“1”)にTRBSCレジスタ、TRBPRレジスタを変更する場合は、タイマRB割り込み等でTRBO出力周期に対して同期を取り、同一出力周期内で一度だけ行うようにしてください。また、図23.2および図23.3の区間Aで、TRBPRレジスタへの書き込みが発生しないことを確認してください。

対策方法の具体例を下記に示します。

• 対策例(a)

図23.2に示すようにタイマRB割り込みルーチンでTRBSCレジスタ、TRBPRレジスタへ書いてください。書き込みは区間Aまでに終了させてください。



- 対策例 (b)

図23.3に示すようにTRBO端子の出力レベルからプライマリ期間の開始を検出し、プライマリ期間の開始直後に、TRBSCレジスタ、TRBPRレジスタへ書いてください。書き込みは区間Aまでに終了させてください。なお、TRBO端子に対応するポート方向レジスタのビットを“0”(入力モード)に設定し、ポートレジスタのビットの値を読むと、読んだ値はTRBO端子の出力値になります。

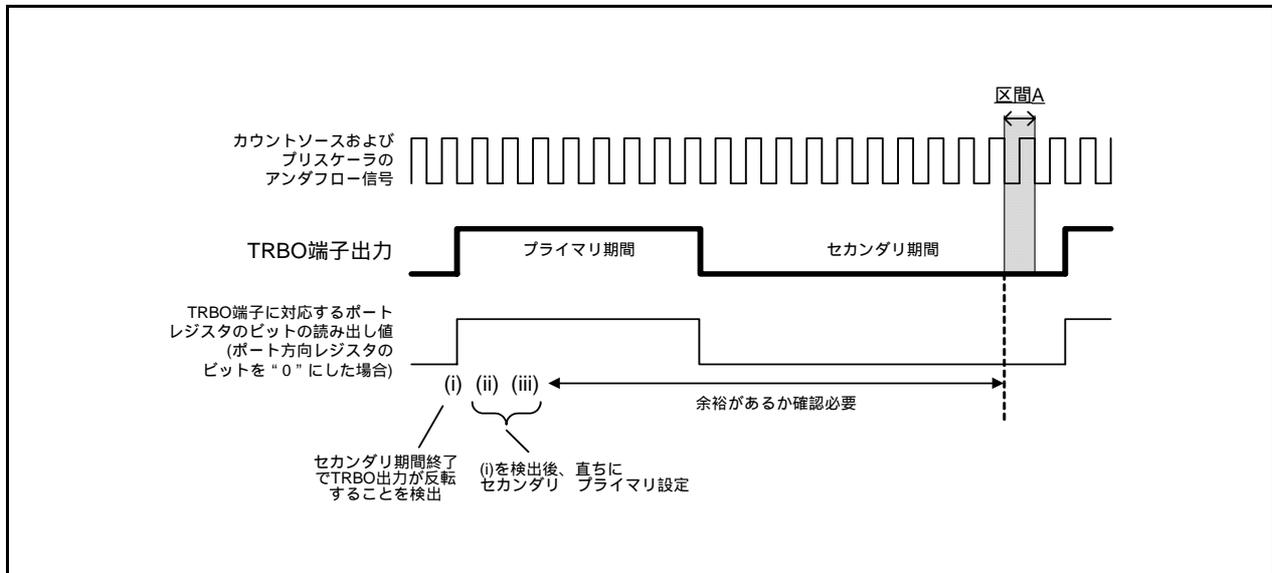


図23.3 対策例(b)のTRBO端子出力値を読む例

- (3) プライマリ期間でタイマカウントを停止させる場合は、TRBCRレジスタのTSTOPビットを使用してください。この場合、TRBPRESレジスタおよびTRBPRレジスタは初期化され、リセット後の値になります。

23.3.2.3 プログラマブルワンショット発生モード

プログラマブルワンショット発生モードでは、下記2点の対策を実施してください。

- (1) カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) TRBPRESレジスタとTRBPRレジスタをともに“00h”にしないでください。

23.3.2.4 プログラマブルウェイトワンショット発生モード

プログラマブルウェイトワンショット発生モードでは下記3点の対策を実施してください。

- (1) カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) TRBPRESレジスタとTRBPRレジスタをともに“00h”にしないでください。
- (3) TRBSCレジスタ、TRBPRレジスタは以下に示す手順で設定してください。
 - (a) カウント開始条件に「INT0端子ワンショットトリガ」を使用する場合
TRBSCレジスタ TRBPRレジスタの順で設定してください。このとき、TRBPRレジスタへの書き込みからカウントソースの0.5サイクル以上経過してから、INT0端子へ有効トリガを入力してください。
 - (b) カウント開始条件に「TOSSTビットへの“1”書き込み」を使用する場合
TRBSCレジスタ TRBPRレジスタ TOSSTビットの順で設定してください。このとき、TRBPRレジスタへの書き込みからカウントソースの0.5サイクル以上経過してから、TOSSTビットへ書き込んでください。

23.3.3 タイマRC使用上の注意事項

23.3.3.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペアー致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。
TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。
TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。
- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。
プログラム例 MOV.W #XXXXh, TRC ; 書き込み
 JMP.B L1 ; JMP.B命令
L1: MOV.W TRC, DATA ; 読み出し

23.3.3.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例           MOV.B #XXh, TRCSR                   ; 書き込み
                          JMP.B L1                                   ; JMP.B命令
L1:           MOV.B TRCSR, DATA                   ; 読み出し
```

23.3.3.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
変更手順
(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2) TRCCR1レジスタのTCK2 ~ TCK0ビットを変更する
- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待つてからfOCO40Mを停止させてください。
変更手順
(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2) TRCCR1レジスタのTCK2 ~ TCK0ビットを変更する
(3) f1の2サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

23.3.3.4 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマRCの動作クロック(「表16.11 タイマRCの動作クロック」参照)の3サイクル以上にしてください。
- TRCIOj(j = A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRCの動作クロックの1 ~ 2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

23.3.3.5 PWM2モード時のTRCMRレジスタ

- TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

23.3.4 タイマRD使用上の注意事項

23.3.4.1 TRDSTR レジスタ

- TRDSTR レジスタはMOV 命令を使用して書いてください。
- CSELi(i=0 ~ 1) ビットが“0” (TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止)の場合、TSTARTi ビットに“0” (カウント停止)を書いても、カウントは停止せず、TSTARTi ビットも変化しません。
したがって、CSELi ビットが“0”のとき、TSTARTi ビットを変化させずに他のビットを変更したい場合は、TSTARTi ビットに“0”を書いてください。
また、プログラムでカウントを停止させる場合は、CSELi ビットを“1”にした後で、TSTARTi ビットに“0”を書いてください。同時に(1命令で)CSELi ビットに“1”、TSTARTi ビットに“0”を書いてもカウントは停止できません。
- TRDIOj(j=A, B, C, D) 端子をタイマ RD 出力で使用している場合の、カウント停止時の出力レベルを表23.1に示します。

表23.1 カウント停止時のTRDIOj(j=A, B, C, D)端子出力レベル

カウント停止方法	カウント停止時のTRDIOj端子出力
CSELi ビットが“1”のときに、TSTARTi ビットに“0”を書きカウント停止	直前の出力レベルを保持
CSELi ビットが“0”のときに、TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止	コンペアー一致による出力変化後、そのレベルを保持

23.3.4.2 TRDi レジスタ (i=0 ~ 1)

- TRDSTR レジスタのTSTARTi ビットが“1” (カウント開始)の状態、プログラムでTRDi レジスタに値を書き込む場合は、TRDi レジスタが“0000h”になるタイミングと重ならないように書いてください。
TRDi レジスタが“0000h”になるタイミングと、TRDi レジスタへの書き込むタイミングが重なると、値は書き込まれず、TRDi レジスタが“0000h”になります。
この注意事項は、TRDCRi レジスタのCCLR2 ~ CCLR0 ビットで次の選択をしている場合に該当します。
 - “001b” (TRDGRAi レジスタとのコンペアー一致でTRDiでクリア)
 - “010b” (TRDGRBi レジスタとのコンペアー一致でTRDiでクリア)
 - “011b” (同期クリア)
 - “101b” (TRDGRCi レジスタとのコンペアー一致でTRDiでクリア)
 - “110b” (TRDGRDi レジスタとのコンペアー一致でTRDiでクリア)
- TRDi レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。
プログラム例


```

MOV.W #XXXXh, TRD0      ; 書き込み
JMP.B L1                ; JMP.B 命令
L1:  MOV.W TRD0,DATA    ; 読み出し
      
```

23.3.4.3 TRDSR_i レジスタ (i=0~1)

TRDSR_i レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。

```

プログラム例      MOV.B  #XXh, TRDSR0      ; 書き込み
                   JMP.B  L1          ; JMP.B 命令
L1:                MOV.B  TRDSR0,DATA ; 読み出し

```

23.3.4.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
変更手順

- (1) TRDSTR レジスタの TSTART_i(i=0 ~ 1) ビットを “0” (カウント停止) にする
- (2) TRDCR_i レジスタの TCK2 ~ TCK0 ビットを変更する

- カウントソースを fOCO40M からその他のクロックに変更し、fOCO40M を停止させる場合は、クロック切り替え設定後、f1 の 2 サイクル以上待ってから fOCO40M を停止させてください。

変更手順

- (1) TRDSTR レジスタの TSTART_i(i=0 ~ 1) ビットを “0” (カウント停止) にする
- (2) TRDCR_i レジスタの TCK2 ~ TCK0 ビットを変更する
- (3) f1 の 2 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを “0” (高速オンチップオシレータ停止) にする

23.3.4.5 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマ RD の動作クロック(「表 16.25 タイマ RD の動作クロック」参照)の 3 サイクル以上にしてください。
- TRDIO_{ji}(i=0 ~ 1、j=A、B、C、D のいずれか) 端子にインプットキャプチャ信号が入力されてから、タイマ RD の動作クロックの 2 ~ 3 サイクル後に TRD_i レジスタの値を TRDGR_{ji} レジスタに転送します(デジタルフィルタなしの場合)。

23.3.4.6 リセット同期 PWM モード

- モータ制御に用いる場合は OLS0=OLS1 で使用してください。
- リセット同期 PWM モードに設定するときは、次の手順で設定してください。

変更手順

- (1) TRDSTR レジスタの TSTART0 ビットを “0” (カウント停止) にする
- (2) TRDFCR レジスタの CMD1 ~ CMD0 ビットを “00b” (タイマモード、PWM モード、PWM3 モード) にする
- (3) CMD1 ~ CMD0 を “01b” (リセット同期 PWM モード) にする
- (4) その他のタイマ RD 関連レジスタを再設定する

23.3.4.7 相補PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- TRDFCRレジスタのCMD1～CMD0ビットを変更するときは、次の手順で変更してください。
変更手順：相補PWMモードにする場合(再設定含む)、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合
 - (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
 - (2) TRDFCRレジスタのCMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
 - (3) CMD1～CMD0を“10b”、または“11b”(相補PWMモード)にする
 - (4) その他のタイマRD関連レジスタを再設定する

変更手順：相補PWMモードを止める場合

- (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
- (2) CMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする

- 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに書き込まないでください。
PWM波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1レジスタへ転送してください。
ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みの際には、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にしても構いません。
PWM周期は変更できません。

- TRDGRA0レジスタに設定した値を m とすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、 $m-1$ m $m+1$ m $m-1$ とカウントします。
 m $m+1$ のとき、IMFAビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“11b”(相補PWMモード、TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
 $m+1$ m $m-1$ の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

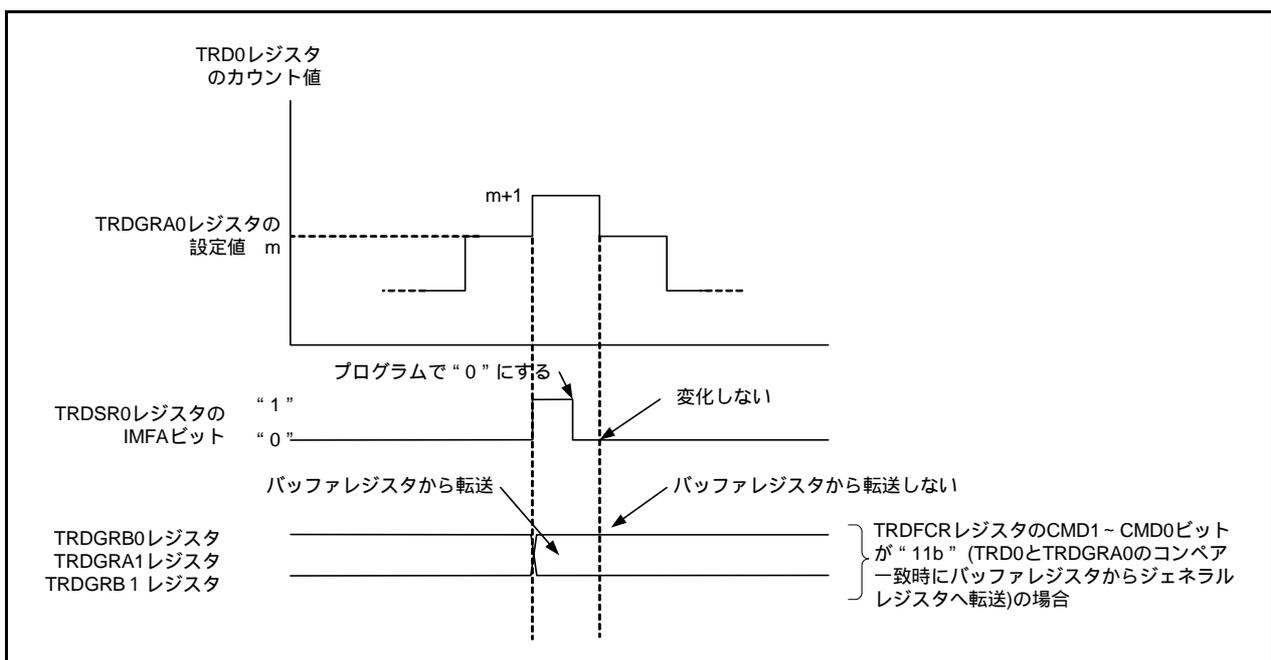


図23.4 相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作

- TRD1はダウンカウントからアップカウントに変わるとき、1 0 FFFFh 0 1とカウントします。
1 0 FFFFhの動作によって、UDFビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“10b”（相補PWMモード、TRD1のアンダフローでバッファデータ転送）の場合、バッファレジスタ（TRDGRD0、TRDGRC1、TRDGRD1）の内容がジェネラルレジスタ（TRDGRB0、TRDGRA1、TRDGRB1）に転送されます。
FFFFh 0 1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、OVFビットは変化しません。

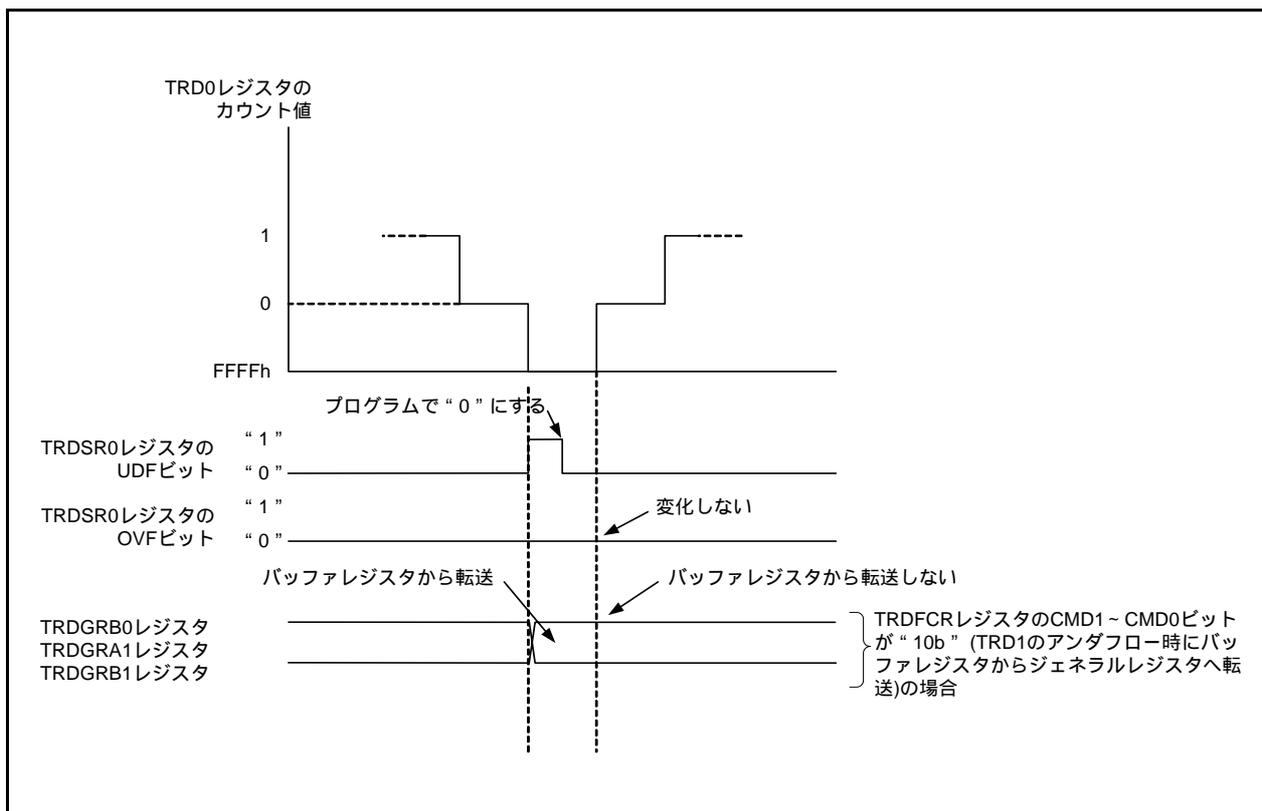


図23.5 相補PWMモード TRD1がアンダフローしたときの動作

- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR レジスタのCMD1 ~ CMD0ビットで選択してください。ただし、次の場合はCMD1 ~ CMD0ビットの値に関係なく次のタイミングで転送します。

バッファレジスタの値 TRDGRA0レジスタの値の場合

TRD1レジスタのアンダフローで転送します。

その後、“0001h”以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD1レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降はCMD1 ~ CMD0ビットで選択したタイミングで転送します。

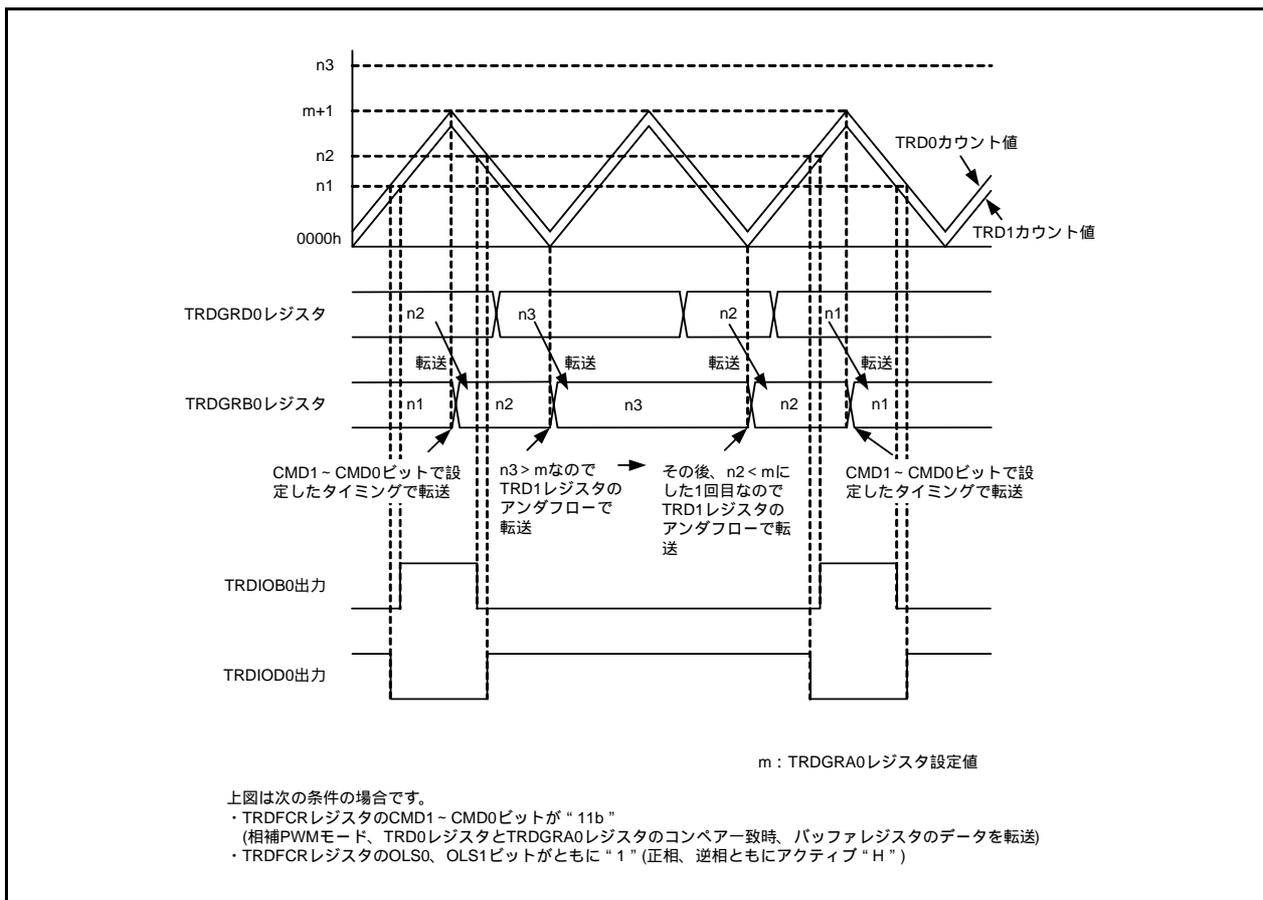


図23.6 相補PWMモード時のバッファレジスタの値 TRDGRA0レジスタ値の場合の動作例

バッファレジスタの値が“0000h”の場合

TRD0とTRDGRA0レジスタのコンペア一致で転送します。

その後、“0001h”以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD1～CMD0ビットで選択したタイミングで転送します。

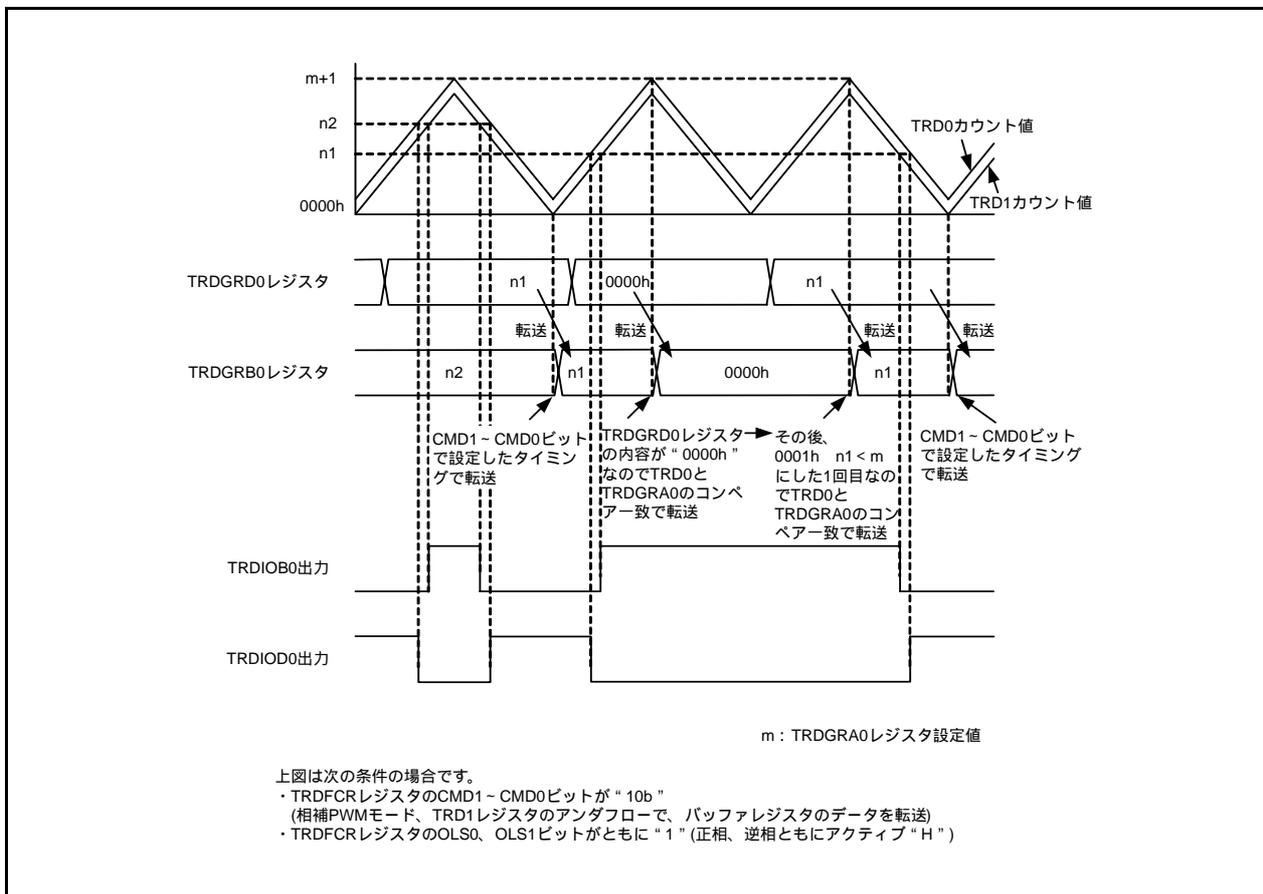


図23.7 相補PWMモード時のバッファレジスタの値が“0000h”の場合の動作例

23.3.4.8 カウントソースfOCO40M

カウントソースfOCO40Mについては、電源電圧VCC=3.0～5.5Vの範囲で使用することができます。これ以外の電源電圧では、TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40Mをカウントソースに選択)にしないでください。

23.4 シリアルインタフェース使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB(i=0、2)レジスタを読み出すときは、必ず16ビット単位で読み出してください。
UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。
受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W    00A6H, R0    ; U0RBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

```
MOV.B    #XXH, 00A3H ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B    #XXH, 00A2H ; U0TBレジスタの下位バイトへの書き込み
```

23.5 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break 検出割り込みを起点に他のタイマで時間計測を行ってください。

23.6 A/Dコンバータ使用上の注意

- ADCON0の各ビット(ビット6を除く)、ADCON1レジスタの各ビット、ADCON2レジスタのSMPビットに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
特にVCUTビットを“0”(VREF未接続)から“1”(VREF接続)にしたときは、1 μ s以上経過した後にA/D変換を開始させてください。
- A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- 単発モードで使用する場合
A/D変換が完了したことを確認してから、ADレジスタを読み出してください(A/D変換の完了はADICレジスタのIRビット、またはADCON0レジスタのADSTビットで判定できます)。
- 繰り返しモードで使用する場合
A/D変換中のCPUクロックには、A/Dコンバータの動作クロック AD以上の周波数を選択してください。
ADにfOCO-Fを選択しないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。プログラムでADSTビットを“0”にした場合は、ADレジスタの値を使用しないでください。
- P4_2/VREF端子とAVSS端子間に0.1 μ Fのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の状態、ウェイトモードに移行しないでください。

23.7 フラッシュメモリ使用上の注意

23.7.1 CPU書き換えモード

23.7.1.1 動作速度

CPU書き換えモード(EW0モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM16～CM17ビットで、CPUクロックを5MHz以下にしてください。

EW1モードではこの注意事項は不要です。

23.7.1.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

23.7.1.3 ノンマスカブル割り込み

•EW0モード

ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。

自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。

ウォッチドッグタイマはコマンド動作中でも停止しないため、割り込み要求が発生する可能性があります。定期的にウォッチドッグタイマを初期化してください。

アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

•EW1モード

ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。

自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。

ウォッチドッグタイマはコマンド動作中でも停止しないため、割り込み要求が発生する可能性があります。イレースサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。

アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

23.7.1.4 アクセス方法

FMR0レジスタのFMR01ビット、FMR02ビット、FMR1レジスタのFMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

23.7.1.5 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

23.7.1.6 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

23.7.1.7 サスペンド

プログラムサスペンド中、ブロックイレーズコマンドを使用しないでください。

23.7.1.8 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

23.7.1.9 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

23.8 ノイズに関する注意事項

23.8.1 ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入

VCC 端子と VSS 端子間にバイパスコンデンサ (0.1 μ F 程度) を最短距離でかつ、比較的太い配線を使って接続してください。

23.8.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

24. オンチップデバッグの注意事項

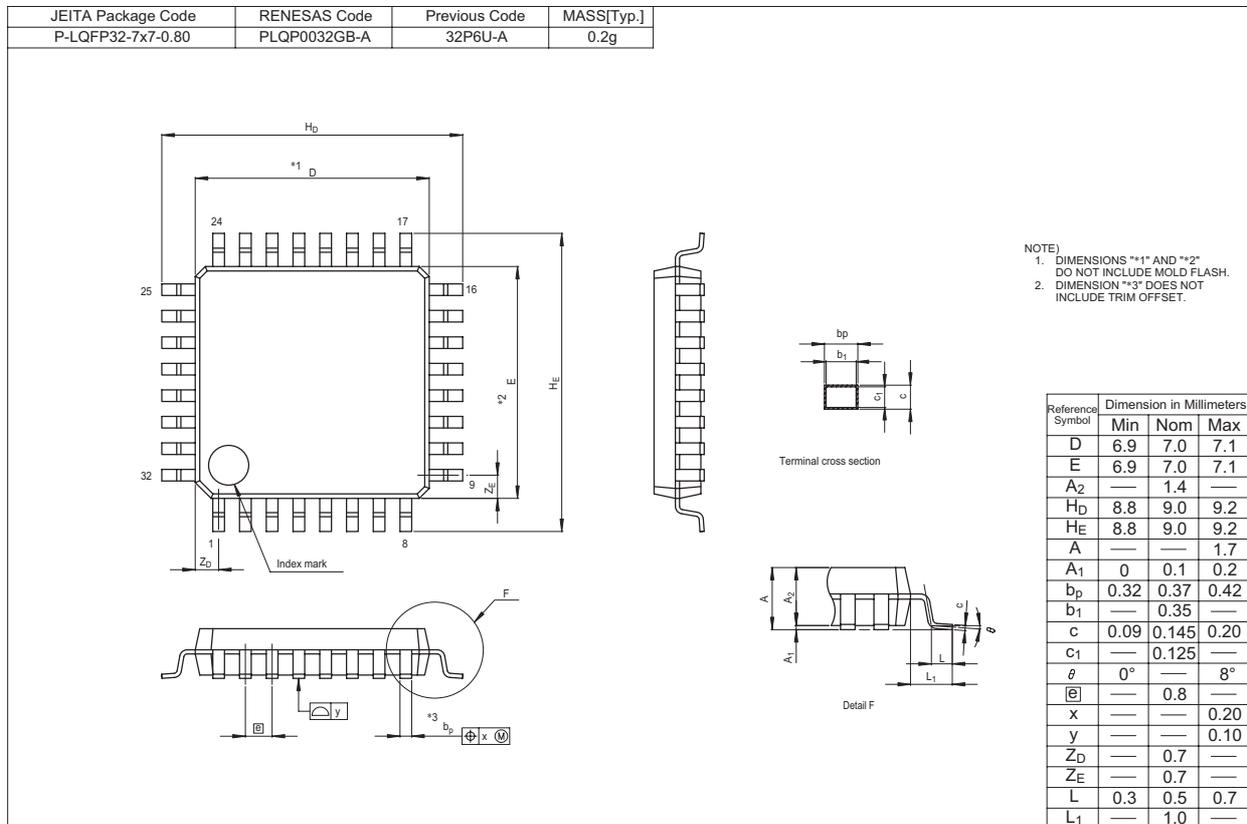
オンチップデバッグを使用してR8C/2K、R8C/2Lグループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

- (1) オンチップデバッグでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザはこの領域を使用しないでください。
使用領域につきましては、各オンチップデバッグのマニュアルを参照してください。
- (2) アドレス一致割り込み(AIER、RMAD0、RMAD1レジスタ、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (3) BRK命令をユーザシステムで使用しないでください。
- (4) 電源電圧VCC = 2.7 ~ 5.5Vの条件でデバッグ可能です。2.7V未満ではオンチップデバッグによるデバッグはできません。

オンチップデバッグの接続や使用方法には、固有の制限事項があります。オンチップデバッグの詳細は各オンチップデバッグのマニュアルを参照してください。

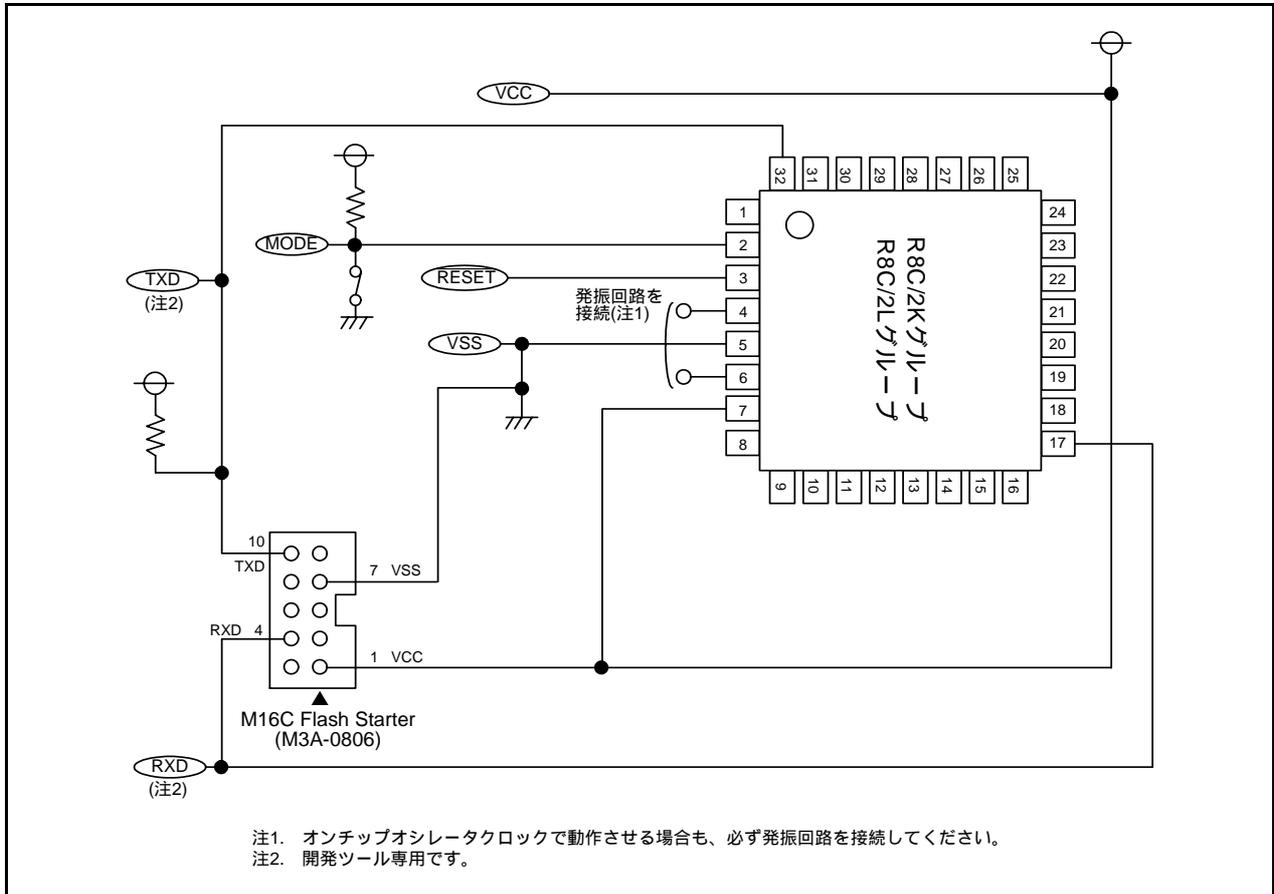
付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス テクノロジホームページの「パッケージ」に掲載されています。

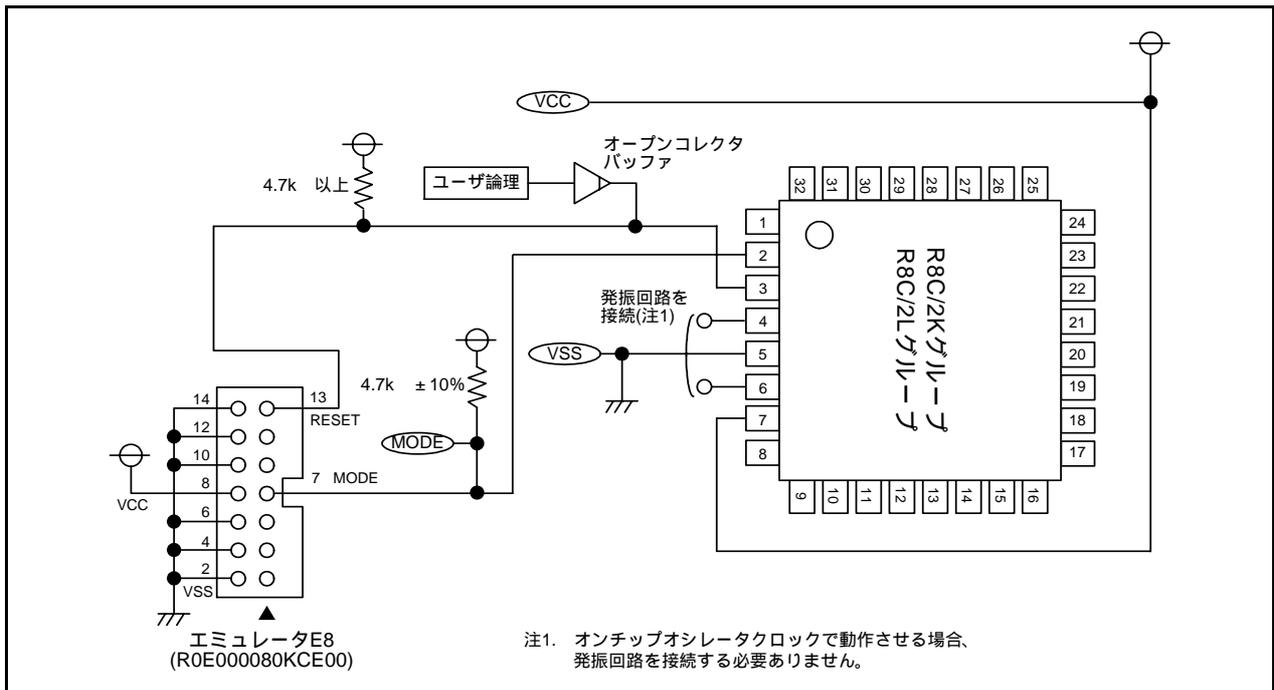


付録2. シリアルライターとオンチップデバッグエミュレータとの接続例

付図2.1にM16C Flash Starterとの接続例(M3A-0806)を、付図2.2にエミュレータE8(R0E000080KCE00)との接続例を示します。



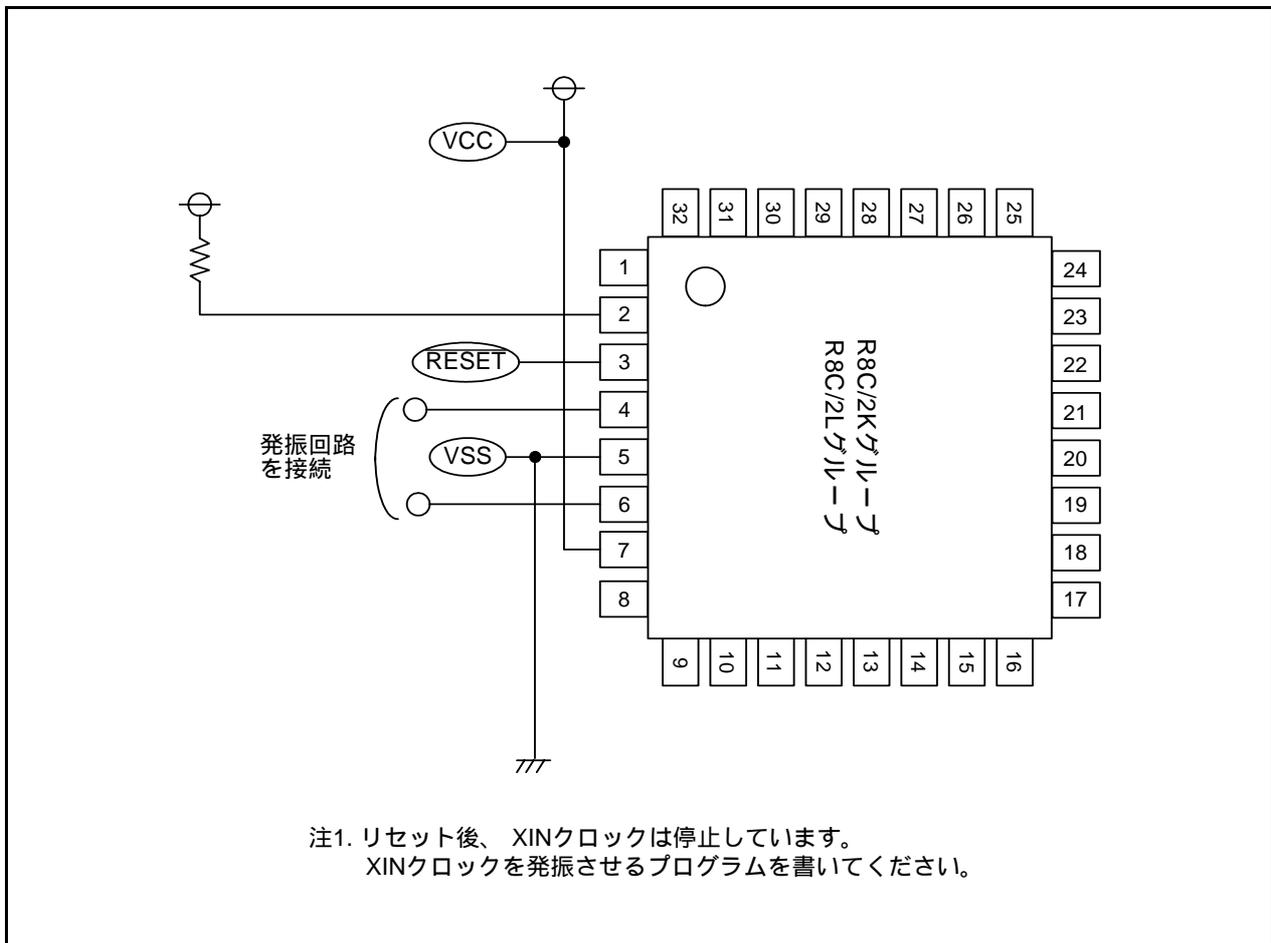
付図2.1 M16C Flash Starterとの接続例(M3A-0806)



付図2.2 エミュレータE8(R0E000080KCE00)との接続例

付録3. 発振評価回路例

付図3.1に発振評価回路例を示します。



付図3.1 発振評価回路例

索引

【A】		IPL	14
A/Dコンバータ	345	ISP	13
A0、A1	13	Iフラグ	14
AD	348	【K】	
ADCON0	347	KIEN	117
ADCON1	348	KUPIC	103
ADCON2	348	【L】	
ADIC	103	LINCR	332
AIER	119	LINCR2	332
【B】		LINST	333
Bフラグ	13	LSBファースト、MSBファースト選択	322
【C】		【O】	
CM0	74	OCD	76
CM1	75	OFS	26, 128, 132, 362
CPU	12	Oフラグ	14
CPU書き換えモード	363	【P】	
CPUクロック	83	P2DRR	55
CPUクロックと周辺機能クロック	83	PC	13
CSPR	132	PD _i (<i>i</i> =0 ~ 4)	54
Cフラグ	13	Pi(<i>i</i> =0 ~ 4)	55
【D】		PINSR1	56, 317
Dフラグ	13	PINSR2	56, 154
【E】		PINSR3	56, 178
EW0モード	371	PM0	69
EW1モード	381	PM1	69
【F】		PMR	56, 113
f1、f2、f4、f8、f32	83	PRCR	97
FB	13	PUR0	57
FLG	13	PUR1	57
FMR0	364	PWM2モード	208
FMR1	367	PWM3モード	293
FMR4	368	PWMモード	203, 258
fOCO	83	【R】	
fOCO128	84	R0、R1、R2、R3	13
fOCO40M	83	RMAD0	119
fOCO-F	84	RMAD1	119
fOCO-S	84	ROMコードプロテクト機能	362
FRA0	77	【S】	
FRA1	77	S0RIC	103
FRA2	78	S0TIC	103
FRA6	78	S2RIC	103
FRA7	78	S2TIC	103
【I】		SB	13
IDコードチェック機能	361	SFR	17
IDコード領域	125	Sフラグ	13
INT0IC	105	【T】	
INT1IC	105	TRA	139
INT3IC	105	TRACR	138
INTB	13	TRAIC	103
INTEN	113	TRAIOC	114, 138, 140, 143, 145, 147, 150
INTF	114	TRAMR	139
INT _i 入力フィルタ(<i>i</i> =0、1、3)	115	TRAPRE	139
INT _i 割り込み(<i>i</i> =0、1、3)	113	TRBCR	155
INT割り込み	113		

TRBIC	103	UART	324
TRBIOC	156, 158, 162, 165, 169	USP	13
TRBMR	156	Uフラグ	14
TRBOCR	155		
TRBPR	157	【V】	
TRBPRE	157	VCA1	35
TRBSC	157	VCA2	35, 79
TRC	182	VCC入力電圧のモニタ	39
TRCCR1	179, 201, 205, 210	Vdet0のモニタ	39
TRCCR2	183	Vdet1のモニタ	39
TRCDF	183	Vdet2のモニタ	39
TRCGRA	182	VW0C	36
TRCGRB	182	VW1C	37
TRCGRC	182	VW2C	38
TRCGRD	182		
TRCIC	104	【W】	
TRCIER	180	WDC	131
TRCIOR0	185, 194, 199	WDTR	131
TRCIOR1	185, 195, 200	WDTS	131
TRCMR	178		
TRCOER	184	【X】	
TRCSR	181	XINクロック	81
TRD0	238, 254, 266, 277, 288, 300		
TRDOIC	104	【Z】	
TRD1	238, 254, 266, 288	Zフラグ	13
TRD1IC	104		
TRDCR0	234, 249, 263, 275, 285, 298	【あ】	
TRDCR1	234, 249, 263, 285	アウトプットコンペア機能	197, 242
TRDDF0	233	アドレス一致割り込み	118
TRDDF1	233	アドレスレジスタ	13
TRDFCR	232, 246, 261, 273, 283, 296		
TRDGRAi(0 ~ 1)	239, 254, 267, 278, 288, 301	【い】	
TRDGRBi(0 ~ 1)	239, 254, 267, 278, 288, 301	イベントカウンタモード	144
TRDGRCi(0 ~ 1)	239, 254, 267, 278, 288, 301	インプットキャプチャ機能	192, 228
TRDGRDi(0 ~ 1)	239, 254, 267, 278, 288, 301		
TRDIER0	238, 253, 265, 277, 287, 300	【う】	
TRDIER1	238, 253, 265, 277, 287, 300	ウェイトモード	87
TRDIORA0	235, 250	ウォッチドッグタイマ	130
TRDIORA1	235, 250	ウォッチドッグタイマリセット	31
TRDIORC0	236, 251		
TRDIORC1	236, 251	【お】	
TRDMR	230, 244, 260, 272, 282, 295	オーバフローフラグ	14
TRDOCR	248, 263, 298	オプション機能選択領域	127
TRDOER1	247, 262, 274, 284, 297	オンチップオシレータクロック	82
TRDOER2	247, 262, 274, 284, 297	オンチップデバガの注意事項	444
TRDPMR	231, 245, 261		
TRDPOCR0	266	【か】	
TRDPOCR1	266	外形寸法図	445
TRDSR0	237, 252, 264, 276, 286, 299	概要	1
TRDSR1	237, 252, 264, 276, 286, 299	カウントソース	186, 222
TRDSTR	230, 244, 260, 272, 282, 295	カウントソース保護モード無効時	133
		カウントソース保護モード有効時	134
【U】			
U0BRG	314	【き】	
U0C0	315	キー入力割り込み	116
U0C1	316	キャリフラグ	13
U0MR	314		
U0RB	316		
U0TB	315		
U2BRG	314		
U2C0	315		
U2C1	316		
U2MR	314		
U2RB	316		
U2TB	315		

極性選択機能 322

【く】

繰り返しモード 352
 クロック同期形シリアルI/Oモード 318
 クロック発生回路 71
 クロック非同期形シリアルI/O(UART)モード 324

【こ】

高速オンチップオシレータクロック 82

【さ】

サインフラグ 13
 サンプル&ホールド 355

【し】

システムクロック 83
 周辺機能クロック 83
 周辺機能への影響 46
 周辺機能割り込み 100
 仕様概要 2
 使用上の注意事項 421
 消費電力の低減 395
 シリアルインタフェース 312
 シリアルライタとオンチップデバッグエミュレータとの接続例 446

【す】

スタックベースレジスタ 13
 スタックポインタ指定フラグ 14
 ストップモード 90
 スレープモード 337

【せ】

製品一覧 6
 ゼロフラグ 13

【そ】

相補PWMモード 280
 ソフトウェアコマンド 372, 382
 ソフトウェアリセット 31
 ソフトウェア割り込み 99

【た】

タイマ 135
 タイマRA 137
 タイマRB 153
 タイマRC 175
 タイマRC割り込み 214
 タイマRD 217
 タイマRD割り込み 304
 タイマモード 140, 158, 192, 197
 端子機能の説明 11
 単発モード 349

【ち】

中央演算処理装置(CPU) 12

【て】

低速オンチップオシレータクロック 82
 データレジスタ 13
 デバッグフラグ 13
 電圧監視0リセット 30, 40
 電圧監視1リセット 30
 電圧監視1割り込み、電圧監視1リセット 41
 電圧監視2リセット 30
 電圧監視2割り込み、電圧監視2リセット 43
 電圧検出回路 32
 電気的特性 400
 電源が安定している場合 27
 電源投入時 27

【と】

同期動作 225
 動作説明 334
 特殊割り込み 100
 特長 330

【に】

入出力端子 331

【は】

ハードウェアLIN 330
 ハードウェアLIN終了処理 342
 ハードウェアリセット 27
 バス衝突検出機能 341
 バス制御 70
 発振停止検出機能 93
 発振停止検出機能の使用法 93
 発振評価回路例 447
 バッファ動作 187, 223
 パラレル入出力モード 392
 パルス周期測定モード 149
 パルス出力強制遮断 190, 226
 パルス出力モード 142
 パルス幅測定モード 146
 パワーオンリセット機能 29
 パワーコントロール 85

【ひ】

ビットレート 328
 標準シリアル入出力モード 389
 標準動作モード 85
 ピン配置図 9

【ふ】

フラグレジスタ 13
 フラッシュメモリ 359
 フラッシュメモリ書き換え禁止機能 361
 フレームベースレジスタ 13
 プログラマブルウェイトワンショット発生モード 168
 プログラマブル入出力ポート 45
 プログラマブル入出力ポート以外の端子 46

プログラマブル入出力ポートの機能	45
プログラマブル波形発生モード	161
プログラマブルワンショット発生モード	164
プログラムカウンタ	13
プロセッサモード	69
プロセッサモードの種類	69
プロセッサ割り込み優先レベル	14
プロテクト	97
【ま】	
マスタモード	334
【み】	
未使用端子の処理	68
【め】	
メモリ	15
メモリ配置	360
【ゆ】	
ユーザスタックポインタ	13
【よ】	
用途	1
予約ビット	14
【り】	
リセット	24
リセット同期PWMモード	270
【れ】	
レジスタ構成	332
レジスタバンク指定フラグ	13
連続受信モード	323
【わ】	
割り込み	98
割り込み許可フラグ	14
割り込みスタックポインタ	13
割り込み制御	103
割り込み制御レジスタ	103, 104
割り込みテーブルレジスタ	13
割り込みと割り込みベクタ	101
割り込みの概要	98
割り込みの分類	98
割り込み要求	343

改訂記録	R8C/2Kグループ、R8C/2Lグループハードウェアマニュアル
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2007.07.20	-	初版発行
0.20	2007.08.31	111 200 201 255 336 353 442	図12.11 「UART1受信」「UART1送信」削除 図16.50 「・TRCCR1レジスタのCCLRビットが“0”、、“0000h”にする)」 「・TRCCR1レジスタのCCLRビットが“1”、、“0000h”にする)」 表16.20 「j=A、B、C、Dのいずれか」 「j=B、C、Dのいずれか」 図16.96 変更 図18.9 「LINCRレジスタの、、、SBDCTフラグが“1”になった後、タイマRAをタイマモードで使用可能です。」 「LINCRレジスタの、、、SBDCTフラグが“1”になり、RXDSFフラグが“0”になった後、タイマRAをタイマモードで使用可能です。」 図19.10 「SW5は比較動作時に導通状態となります。」追記 付図2.1 変更
1.00	2007.11.07	全ページ 3、5 6、7 20 45、56 58～60 65、66 113 137 154 177 178 317 408、409 413、417	「開発中」の表記を削除 表1.2、表1.4 消費電流：「TBD」 「標準10mA、標準6mA、標準2.0μA、標準0.7μA」に変更 表1.5、表1.6 一部型名追加、注1追加 図1.1、図1.2 ROM番号「XXX」追加 表4.4 00F5h、00F6h、00F7h、00F8hに追記 図7.11 PINSR1、PINSR2、PINSR3、PMRレジスタを追加 表7.5 注3追加 表7.6、表7.7、表7.10、表7.12、表7.14 注2追加 表7.28 注2、注3追加 表7.29、表7.31 注2追加 図12.12 PMRレジスタ追加 図16.1 「TSTART」 「TCSTF」変更 図16.13 PINSR2レジスタ追加 表16.13 00F7h追加 図16.28 PINSR3レジスタ追加 図17.6 PINSR1レジスタ追加 表22.14、表22.15 「規格値：標準、最大」変更 表22.21、表22.27 「規格値：標準、最大」変更
1.10	2007.12.21	3、5 6、7 15、16 17 20	表1.2、表1.4 「消費電流」「動作周囲温度」の説明を変更、注2追加 図1.1、図1.2 「Y：動作周囲温度、、、」追記、注1追加 図3.1、図3.2 「拡張領域」表記を削除 表4.1 番地「002Ch」追加、番地「003Bh～003Dh」を空白に 表4.4 番地「00D4h」「00D6h」のリセット後の値を「00h」に変更

改訂記録	R8C/2K グループ、R8C/2L グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2007.12.21	22	表4.6 番地「0143h」のリセット後の値を変更
		35	図6.5 「VCA2レジスタ」の注7削除
		59	表7.11 変更
		73	図10.2 変更
		78	図10.7 「FRA7レジスタ」追加
		79	図10.8 注7削除
		82	10.2.2 「FRA7レジスタ、、」追記
		84	10.3.8 「タイマRCの、、」追記
		185	図16.38 TRCIOR0 : b3変更、注4追加
		192	16.3.4、表16.16 追記
		193	図16.44 変更
		194	図16.45 b3変更、注3追加
		199	図16.49 b3変更
		203	表16.20 割り込み要求発生タイミング：仕様「、、、TRCGRjレジスタの、、、」「、、、TRCGRhレジスタの、、、」 「h = A、B、C、Dのいずれか」追記
		209	表16.22 「j = A、B、C、Dのいずれか」「j = A、B、Cのいずれか」
		295	図16.133 TRDSTR : b1変更
		328	表17.7 変更
400	22. 「電気的特性は、、」追記		
407	表22.10 記号「fOCO40M」に項目追加、注4 追加		

R8C/2Kグループ、R8C/2Lグループハードウェアマニュアル

発行年月日 2007年7月20日 Rev.0.10
2007年12月21日 Rev.1.10

発行 株式会社 ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町2-6-2

© 2007. Renesas Technology Corp., All rights reserved. Printed in Japan.

R8C/2K グループ、R8C/2L グループ
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0438-0110