お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1.　本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

ユーザーズ・マニュアル

V850ES/FG2

32ビット・シングルチップ・マイクロコンピュータ

ハードウエア編

μPD703234(A)
μPD703234(A1)
μPD703234(A2)

μPD70F3234(A)
μPD70F3234(A1)
μPD70F3234(A2)

μPD703235(A)
μPD703235(A1)
μPD703235(A2)

μPD70F3235(A)
μPD70F3235(A1)
μPD70F3235(A2)

μPD70F3236(A)
μPD70F3236(A1)
μPD70F3236(A2)

資料番号　U17215JJ3V0UD00（第3版）
発行年月　February 2006 NS　CP(K)

© NEC Electronics Corporation 2004

〔メ　モ〕

目次要約

第1章　イントロダクション　…　19
第2章　端子機能　…　31
第3章　CPU機能　…　48
第4章　ポート機能　…　90
第5章　クロック発生機能　…　149
第6章　16ビット・タイマ／イベント・カウンタP　…　161
第7章　16ビット・タイマ／イベント・カウンタQ　…　215
第8章　16ビット・インターバル・タイマM　…　273
第9章　時計タイマ機能　…　279
第10章　ウォッチドッグ・タイマ2機能　…　288
第11章　A/Dコンバータ　…　295
第12章　アシンクロナス・シリアル・インタフェースA（UARTA）　…　329
第13章　3線式シリアル・インタフェース（CSIB）　…　364
第14章　CANコントローラ　…　400
第15章　DMAコントローラ（DMAC）　…　571
第16章　割り込み／例外処理機能　…　590
第17章　キー割り込み機能　…　630
第18章　スタンバイ機能　…　632
第19章　リセット機能　…　655
第20章　クロック・モニタ　…　664
第21章　パワーオン・クリア回路　…　669
第22章　低電圧検出回路　…　671
第23章　レギュレータ　…　679
第24章　フラッシュ・メモリ　…　681
第25章　オプション機能　…　704
第26章　オンチップ・ディバグ機能　…　708
第27章　電気的特性（ターゲット）　…　721
第28章　外 形 図　…　790
付録A　開発ツール　…　791
付録B　レジスタ索引　…　801
付録C　命令セット一覧　…　812
付録D　改版履歴　…　823

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域にとどまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時，MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

IECUBEは，NECエレクトロニクス株式会社の登録商標です。

Windows, Windows XP，およびWindows NTは，米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは，米国IBM社の商標です。

SPARCstationは，米国SPARC International, Inc.の商標です。

Solaris, SunOSは，米国サン・マイクロシステムズ社の商標です。

- 本資料に記載されている内容は2006年2月現在のもので，今後，予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は，本資料の誤りに関し，一切その責を負いません。
- 当社は，本資料に記載された当社製品の使用に関連し発生した第三者の特許権，著作権その他の知的財産権の侵害等に関し，一切その責を負いません。当社は，本資料に基づき当社または第三者の特許権，著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路，ソフトウエアおよびこれらに関する情報は，半導体製品の動作例，応用例を説明するものです。お客様の機器の設計において，回路，ソフトウエアおよびこれらに関する情報を使用する場合には，お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し，当社は，一切その責を負いません。
- 当社は，当社製品の品質，信頼性の向上に努めておりますが，当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命，身体および財産に対する損害の危険を最小限度にするために，冗長設計，延焼対策設計，誤動作防止設計等安全設計を行ってください。
- 当社は，当社製品の品質水準を「標準水準」，「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また，各品質水準は，以下に示す用途に製品が使われることを意図しておりますので，当社製品の品質水準をご確認ください。

  標準水準：コンピュータ，OA機器，通信機器，計測機器，AV機器，家電，工作機械，パーソナル機器，産業用ロボット

  特別水準：輸送機器（自動車，電車，船舶等），交通用信号機器，防災・防犯装置，各種安全装置，生命維持を目的として設計されていない医療機器

  特定水準：航空機器，航空宇宙機器，海底中継機器，原子力制御システム，生命維持のための医療機器，生命維持のための装置またはシステム等

  当社製品のデータ・シート，データ・ブック等の資料で特に品質水準の表示がない場合は，標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には，事前に当社販売窓口までお問い合わせください。

（注）

（1）本事項において使用されている「当社」とは，NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（2）本事項において使用されている「当社製品」とは，（1）において定義された当社の開発，製造製品をいう。

M8E　02.11

はじめに

対 象 者　このマニュアルは，V850ES/FG2の機能を理解し，それを用いた応用システムを設計するユーザを対象とします。

目　　的　このマニュアルは，次の構成に示すハードウエア機能をユーザに理解していただくことを目的としています。

構　　成　V850ES/FG2のユーザーズ・マニュアルは，ハードウエア編（このマニュアル）と，アーキテクチャ編（V850ES　ユーザーズ・マニュアル　アーキテクチャ編）の2冊に分かれています。

ハードウエア編	アーキテクチャ編
・端子機能	・データ・タイプ
・CPU機能	・レジスタ・セット
・内蔵周辺機能	・命令形式と命令セット
・フラッシュ・メモリ・プログラミング	・割り込みと例外
	・パイプラインの動作

読 み 方　このマニュアルの読者には，電気，論理回路，およびマイクロコンピュータに関する一般知識を必要とします。

命令機能の詳細を理解しようとするとき
→別冊のV850ES　ユーザーズ・マニュアル　アーキテクチャ編を参照してください。

レジスタ・フォーマットの見方
→ビット番号を○で囲んでいるものは，そのビット名称がデバイス・ファイルで予約語に定義されているものです。

品名表記について
→このマニュアルでは，(A)，(A1)，および(A2)を省略して記載しております。(A)，(A1)，および(A2)製品間の違いは品質水準と電気的特性のみです。
製品の端子機能および内蔵周辺機能については，品名を次のように読み替えてください。

- μPD703234 → μPD703234(A), μPD703234(A1), μPD703234(A2)
- μPD70F3234 → μPD70F3234(A), μPD70F3234(A1), μPD70F3234(A2)
- μPD703235 → μPD703235(A), μPD703235(A1), μPD703235(A2)
- μPD70F3235 → μPD70F3235(A), μPD70F3235(A1), μPD70F3235(A2)
- μPD70F3236 → μPD70F3236(A), μPD70F3236(A1), μPD70F3236(A2)

一通りV850ES/FG2の機能を理解しようとするとき
→目次に従ってお読みください。本文欄外の★印は，本版で改訂された主な箇所を示しています。

注意　このマニュアル中の使用例は，一般電子機器用の（A）品質水準用に作成してあります。（A1）品質水準，および（A2）品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は，実際に使用する各部分および回路について，その品質水準についてご検討のうえご使用ください。

凡　　例　データ表記の重み：左が上位桁，右が下位桁

アクティブ・ロウの表記：$\overline{\text{xxx}}$（端子，信号名称に上線）

メモリ・マップのアドレス：上部－上位，下部－下位

注　：本文中に付けた注の説明

注意：気を付けて読んでいただきたい内容

備考：本文の補足説明

数の表記：2進数　…　xxxxまたはxxxxB

10進数　…　xxxx

16進数　…　xxxxH

2のべき数を示す接頭語（アドレス空間，メモリ容量）：

K（キロ）：2^{10}　…　1024

M（メガ）：2^{20}　…　1024^2

G（ギガ）：2^{30}　…　1024^3

関連資料　関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850ES/FG2と同シリーズ製品（V850ES/FE2, V850ES/FF2, およびV850ES/FJ2に関する資料）

資　料　名	資料番号
V850ES　ユーザーズ・マニュアル　アーキテクチャ編	U15943J
V850ES/FJ2　ユーザーズ・マニュアル　ハードウエア編	U16480J
V850ES/FE2　ユーザーズ・マニュアル　ハードウエア編	U17217J
V850ES/FF2　ユーザーズ・マニュアル　ハードウエア編	U17216J
V850ES/FG2　ユーザーズ・マニュアル　ハードウエア編	このマニュアル

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

★ **開発ツールに関する資料（ユーザーズ・マニュアル）**

資　料　名		資料番号
IE-V850ES-G1（インサーキット・エミュレータ）		U16313J
IE-703239-G1-EM1（インサーキット・エミュレータ・オプション・ボード）		注
CA850　Ver.3.00　Cコンパイラ・パッケージ	操作編	U17293J
	C言語編	U17291J
	アセンブリ言語編	U17292J
	リンク・ディレクティブ編	U17294J
PM plus　Ver.6.00　プロジェクト・マネージャ		U17178J
ID850　Ver.3.00　統合ディバッガ	操作編	U17358J
ID850QB　Ver.2.80　統合ディバッガ	操作編	U16973J
RX850　Ver.3.13以上　リアルタイムOS	基礎編	U13430J
	インストレーション編	U13410J
	テクニカル編	U13431J
RX850 Pro　Ver.3.15　リアルタイムOS	基礎編	U13773J
	インストレーション編	U13774J
	テクニカル編	U13772J
RD850　Ver.3.01　タスク・ディバッガ		U13737J
RD850 Pro　Ver.3.01　タスク・ディバッガ		U13916J
AZ850　Ver.3.2　システム・パフォーマンス・アナライザ		U14410J
PG-FP4　フラッシュ・メモリ・プログラマ		U15260J
IE-V850E1-CD-NW（N-wire）		U16647J
QB-V850ESFx2（IECUBE®）		注
SM plus　Ver.1.0　システム・シミュレータ		U16906J

注　当社販売員にお問い合わせください。

その他の資料

資　料　名	資料番号
半導体総合セレクション・ガイド　－製品・パッケージ情報－	X13769X
半導体デバイス　実装マニュアル	注
NEC半導体デバイスの品質水準	C11531J
NEC半導体デバイスの信頼性品質管理	C10983J
静電気放電（ESD）破壊対策ガイド	C11892J
半導体　品質／信頼性ハンドブック	C12769J
マイクロコンピュータ関連製品ガイド　社外メーカ編	U11416J

注　「半導体デバイス実装マニュアル」のホーム・ページ参照

http:// www.necel.com/pkg/ja/jissou/index.html

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

目　次

第1章　イントロダクション　…　19

1. 1　概　　説　…　19
1. 2　V850ES/FE2, V850ES/FF2, V850ES/FG2, V850ES/FJ2の製品展開　…　20
1. 3　特　　徴　…　21
1. 4　オーダ情報　…　24
1. 5　応用分野　…　25
1. 6　端子接続図（Top View）　…　26
1. 7　機能ブロック構成　…　28
　1. 7. 1　内部ブロック図　…　28
　1. 7. 2　内部ユニット　…　29

第2章　端子機能　…　31

2. 1　端子機能一覧　…　31
2. 2　端子機能の説明　…　36
2. 3　端子の入出力回路タイプと未使用時の処理　…　44
2. 4　端子の入出力回路　…　46
2. 5　注意事項　…　47

第3章　CPU機能　…　48

3. 1　特　　徴　…　48
3. 2　CPUレジスタ・セット　…　49
　3. 2. 1　プログラム・レジスタ・セット　…　50
　3. 2. 2　システム・レジスタ・セット　…　51
3. 3　動作モード　…　57
　3. 3. 1　動作モード指定　…　57
3. 4　アドレス空間　…　58
　3. 4. 1　CPUアドレス空間　…　58
　3. 4. 2　イメージ　…　59
　3. 4. 3　CPUアドレス空間のラップ・アラウンド　…　60
　3. 4. 4　メモリ・マップ　…　61
　3. 4. 5　領　　域　…　63
　3. 4. 6　アドレス空間の推奨使用方法　…　68
　3. 4. 7　周辺I/Oレジスタ　…　71
　3. 4. 8　プログラマブル周辺I/Oレジスタ　…　80
　3. 4. 9　特定レジスタ　…　81
　3. 4. 10　注意事項　…　85

第4章　ポート機能　…　90

4. 1　特　　徴　…　90
4. 2　ポートの基本構成　…　90
4. 3　ポートの構成　…　91
4. 4　ポートの機能　…　95
　4. 4. 1　ポート機能の動作　…　95
　4. 4. 2　ポート端子設定上の注意事項　…　96

4.4.3 ポート0 … 97
4.4.4 ポート1 … 104
4.4.5 ポート3 … 108
4.4.6 ポート4 … 115
4.4.7 ポート5 … 118
4.4.8 ポート7 … 125
4.4.9 ポート9 … 127
4.4.10 ポートCM … 136
4.4.11 ポートCS … 138
4.4.12 ポートCT … 139
4.4.13 ポートDL … 140
4.4.14 オンチップ・ディバグ用機能の兼用ポート端子 … 142
4.4.15 ポート端子を兼用端子として使用する場合のレジスタ設定 … 143
4.5 注意事項 … 148
4.5.1 ポート端子設定上の注意事項 … 148

第5章 クロック発生機能 … 149
5.1 概 要 … 149
5.2 構 成 … 150
5.3 制御レジスタ … 152
5.4 動 作 … 155
5.4.1 各クロックの動作 … 155
5.4.2 クロック出力機能 … 156
5.5 PLL機能 … 157
5.5.1 概 要 … 157
5.5.2 制御レジスタ … 157
5.5.3 使用方法 … 160

第6章 16ビット・タイマ／イベント・カウンタP … 161
6.1 特 徴 … 161
6.2 機能概要 … 161
6.3 構 成 … 162
6.4 制御レジスタ … 167
6.5 動 作 … 176
6.5.1 随時書き込みとリロード … 176
6.5.2 インターバル・タイマ・モード（TPnMD2-TPnMD0 = 000） … 181
6.5.3 外部イベント・カウント・モード（TPnMD2-TPnMD0 = 001） … 184
6.5.4 外部トリガ・パルス出力モード（TPnMD2-TPnMD0 = 010） … 188
6.5.5 ワンショット・パルス・モード（TPnMD2-TPnMD0 = 011） … 191
6.5.6 PWMモード（TPnMD2-TPnMD0 = 100） … 194
6.5.7 フリー・ランニング・モード（TPnMD2-TPnMD0 = 101） … 200
6.5.8 パルス幅測定モード（TPnMD2-TPnMD0 = 110） … 205
6.6 タイマ同期動作機能 … 207
6.7 セレクタ機能 … 211
6.8 使用上の注意 … 213

第7章 16ビット・タイマ／イベント・カウンタQ … 215
7.1 特 徴 … 215
7.2 機能概要 … 215

7. 3　構　　成　…　216
7. 4　制御レジスタ　…　223
7. 5　動　　作　…　232
7. 5. 1　随時書き込みとリロード　…　232
7. 5. 2　インターバル・タイマ・モード（TQnMD2-TQnMD0 = 000）　…　237
7. 5. 3　外部イベント・カウント・モード（TQnMD2-TQnMD0 = 001）　…　240
7. 5. 4　外部トリガ・パルス出力モード（TQnMD2-TQnMD0 = 010）　…　244
7. 5. 5　ワンショット・パルス・モード（TQnMD2-TQnMD0 = 011）　…　247
7. 5. 6　PWMモード（TQnMD2-TQnMD0 = 100）　…　250
7. 5. 7　フリー・ランニング・モード（TQnMD2-TQnMD0 = 101）　…　256
7. 5. 8　パルス幅測定モード（TQnMD2-TQnMD0 = 110）　…　263
7. 5. 9　三角波PWMモード（TQnMD2-TQnMD0 = 111）　…　265
7. 6　タイマ同期動作機能　…　267
7. 7　使用上の注意　…　271

第8章　16ビット・インターバル・タイマM　…　273
8. 1　特　　徴　…　273
8. 2　構　　成　…　274
8. 3　制御レジスタ　…　275
8. 4　動　　作　…　277
8. 4. 1　インターバル・タイマ・モード　…　277
8. 4. 2　注意事項　…　277

第9章　時計タイマ機能　…　279
9. 1　機　　能　…　279
9. 2　構　　成　…　281
9. 3　制御レジスタ　…　282
9. 4　動　　作　…　284
9. 4. 1　時計タイマとしての動作　…　284
9. 4. 2　インターバル・タイマとしての動作　…　284
9. 4. 3　注意事項　…　285
9. 5　プリスケーラ3　…　286
9. 5. 1　制御レジスタ　…　286
9. 5. 2　時計タイマのカウント・クロックの生成　…　287

第10章　ウォッチドッグ・タイマ2機能　…　288
10. 1　機　　能　…　288
10. 2　構　　成　…　290
10. 3　制御レジスタ　…　290
10. 4　動　　作　…　294

第11章　A/Dコンバータ　…　295
11. 1　機　　能　…　295
11. 2　構　　成　…　297
11. 3　制御レジスタ　…　299
11. 4　動　　作　…　307
11. 4. 1　基本動作　…　307
11. 4. 2　トリガ・モード　…　309

11. 4. 3　動作モード　…　310
11. 4. 4　パワー・フェイル比較モード　…　316
11. 5　注意事項　…　321
11. 6　A/Dコンバータ特性表の読み方　…　325

第12章　アシンクロナス・シリアル・インタフェースA（UARTA）　…　329
12. 1　特　　徴　…　330
12. 2　構　　成　…　331
12. 3　制御レジスタ　…　334
12. 4　割り込み要求信号　…　342
12. 5　動　　作　…　343
12. 5. 1　データ・フォーマット　…　343
12. 5. 2　SBF送信／受信フォーマット　…　345
12. 5. 3　SBF送信　…　347
12. 5. 4　SBF受信　…　348
12. 5. 5　UART送信　…　350
12. 5. 6　連続送信の手順説明　…　351
12. 5. 7　UART受信　…　353
12. 5. 8　受信エラー　…　354
12. 5. 9　パリティの種類と動作　…　355
12. 5. 10　受信データのノイズ・フィルタ　…　357
12. 6　専用ボー・レート・ジェネレータ　…　358
12. 7　使用上の注意　…　363

第13章　3線式シリアル・インタフェース（CSIB）　…　364
13. 1　特　　徴　…　364
13. 2　構　　成　…　365
13. 3　制御レジスタ　…　368
13. 4　転送データ長変更機能　…　373
13. 5　割り込み要求信号　…　374
13. 6　動　　作　…　375
13. 6. 1　シングル転送モード（マスタ・モード，送受信モード）　…　375
13. 6. 2　シングル転送モード（マスタ・モード，送信モード）　…　376
13. 6 .3　シングル転送モード（マスタ・モード，受信モード）　…　377
13. 6. 4　シングル転送モード（スレーブ・モード，送受信モード）　…　378
13. 6. 5　シングル転送モード（スレーブ・モード，送信モード）　…　379
13. 6. 6　シングル転送モード（スレーブ・モード，受信モード）　…　380
13. 6. 7　連続モード（マスタ・モード，送受信モード）　…　381
13. 6. 8　連続モード（マスタ・モード，送信モード）　…　382
13. 6. 9　連続モード（マスタ・モード，受信モード）　…　383
13. 6. 10　連続受信モード（エラー時）　…　384
13. 6. 11　連続モード（スレーブ・モード，送受信モード）　…　385
13. 6. 12　連続モード（スレーブ・モード，送信モード）　…　386
13. 6. 13　連続モード（スレーブ・モード，受信モード）　…　387
13. 6. 14　クロック・タイミング　…　388
13. 6. 15　動作禁止時の出力端子状態　…　390
13. 7　動作フロー　…　391
13. 8　プリスケーラ3　…　397
13. 8. 1　プリスケーラ3の制御レジスタ　…　397

13. 8. 2　カウント・クロックの生成　…　398
13. 9　注意事項　…　399

第14章　CANコントローラ　…　400
14. 1　概　　要　…　400
14. 1. 1　特　　徴　…　400
14. 1. 2　機能概要　…　401
14. 1. 3　構　　成　…　402
14. 2　CANプロトコル　…　404
14. 2. 1　フレーム・フォーマット　…　405
14. 2. 2　フレーム・タイプ　…　405
14. 2. 3　データ・フレーム／リモート・フレーム　…　406
14. 2. 4　エラー・フレーム　…　414
14. 2. 5　オーバロード・フレーム　…　415
14. 3　機　　能　…　416
14. 3. 1　バス・プライオリティの決定　…　416
14. 3. 2　ビット・スタッフ　…　416
14. 3. 3　マルチマスタ　…　416
14. 3. 4　マルチキャスト　…　417
14. 3. 5　CANスリープ・モード／CANストップ・モード機能　…　417
14. 3. 6　エラー制御機能　…　417
14. 3. 7　ボー・レート制御機能　…　423
14. 4　ターゲット・システムとの接続　…　428
14. 5　CANコントローラの内部レジスタ　…　429
14. 5. 1　CANコントローラの構成　…　429
14. 5. 2　レジスタ・アクセス・タイプ　…　430
14. 5. 3　レジスタのビット構成　…　464
14. 6　ビットのセット／クリア機能　…　468
14. 7　制御レジスタ　…　470
14. 8　CANコントローラの初期化処理　…　505
14. 8. 1　CANモジュールの初期化　…　505
14. 8. 2　メッセージ・バッファの初期化　…　505
14. 8. 3　メッセージ・バッファの再定義　…　506
14. 8. 4　動作モードへの移行　…　508
14. 8. 5　CANモジュールのエラー・カウンタCnERCのリセット　…　509
14. 9　メッセージ受信　…　510
14. 9. 1　メッセージ受信　…　510
14. 9. 2　受信データの読み出し　…　511
14. 9. 3　受信ヒストリ・リスト機能　…　512
14. 9. 4　マスク機能　…　514
14. 9. 5　マルチ・バッファ受信ブロック機能　…　515
14. 9. 6　リモート・フレーム受信　…　517
14. 10　メッセージ送信　…　518
14. 10. 1　メッセージ送信　…　518
14. 10. 2　送信ヒストリ・リスト機能　…　520
14. 10. 3　自動ブロック送信機能（ABT：Automatic Block Transmission）　…　522
14. 10. 4　送信中断処理　…　523
14. 10. 5　リモート・フレーム送信　…　524
14. 11　パワー・セーブ・モード　…　525

14. 11. 1　CANスリープ・モード　…　525
14. 11. 2　CANストップ・モード　…　527
14. 11. 3　パワー・セーブ・モード使用例　…　528
14. 12　割り込み機能　…　530
14. 13　診断機能と特殊動作モード　…　531
14. 13. 1　受信オンリー・モード　…　531
14. 13. 2　シングル・ショット・モード　…　532
14. 13. 3　セルフ・テスト・モード　…　533
14. 13. 4　各動作モードにおける送受信動作　…　534
14. 14　タイム・スタンプ機能　…　535
14. 14. 1　タイム・スタンプ機能　…　535
14. 15　ボー・レート設定について　…　537
14. 15. 1　ビット・レート設定条件　…　537
14. 15. 2　代表的なボー・レート設定例　…　541
14. 16　CANコントローラの動作　…　545

第15章　DMAコントローラ（DMAC）　…　571
15. 1　特　　徴　…　571
15. 2　構　　成　…　572
15. 3　制御レジスタ　…　573
15. 3. 1　DMAソース・アドレス・レジスタ0-3（DSA0-DSA3）　…　573
15. 3. 2　DMAデスティネーション・アドレス・レジスタ0-3（DDA0-DDA3）　…　574
15. 3. 3　DMA転送カウント・レジスタ0-3（DBC0-DBC3）　…　575
15. 3. 4　DMAアドレシング・コントロール・レジスタ0-3（DADC0-DADC3）　…　576
15. 3. 5　DMAチャネル・コントロール・レジスタ0-3（DCHC0-DCHC3）　…　577
15. 3. 6　DMAトリガ要因レジスタ0-3（DTFR0-DTFR3）　…　578
15. 4　DMAバス・ステート　…　581
15. 4. 1　バス・ステートの種類　…　581
15. 4. 2　DMACバス・サイクルの状態遷移　…　582
15. 5　転送モード　…　583
15. 5. 1　シングル転送モード　…　583
15. 6　転送タイプ　…　583
15. 7　転送対象　…　584
15. 7. 1　転送対象　…　584
15. 8　DMAチャネルの優先順位　…　585
15. 9　DMA転送起動要因　…　585
15. 10　DMA転送の終了　…　586
15. 10. 1　DMA転送終了割り込み　…　586
15. 10. 2　DMA転送終了時のターミナル・カウント出力　…　586
15. 11　注意事項　…　586
15. 12　中断要因　…　589
15. 13　使用上の注意　…　589

第16章　割り込み／例外処理機能　…　590
16. 1　特　　徴　…　590
16. 2　ノンマスカブル割り込み　…　594
16. 2. 1　ノンマスカブル割り込み要求信号　…　594
16. 2. 2　動　　作　…　597
16. 2. 3　復　　帰　…　598

16. 2. 4　NPフラグ　…　600
16. 2. 5　NMI端子のノイズ除去　…　600
16. 2. 6　NMI端子のエッジ検出機能　…　600
16. 3　マスカブル割り込み　…　602
16. 3. 1　動　　作　…　602
16. 3. 2　復　　帰　…　604
16. 3. 3　マスカブル割り込みの優先順位　…　605
16. 3. 4　割り込み制御レジスタ（xxICn）　…　609
16. 3. 5　割り込みマスク・レジスタ0-3（IMR0-IMR3）　…　612
16. 3. 6　インサービス・プライオリティ・レジスタ（ISPR）　…　613
16. 3. 7　IDフラグ　…　614
16. 3. 8　ウォッチドッグ・タイマ・モード・レジスタ2（WDTM2）　…　614
16. 3. 9　INTP0-INTP7端子のノイズ除去　…　614
16. 3. 10　INTP0-INTP10端子のエッジ検出機能　…　615
16. 4　ソフトウエア例外　…　621
16. 4. 1　動　　作　…　621
16. 4. 2　復　　帰　…　622
16. 4. 3　EPフラグ　…　623
16. 5　例外トラップ　…　624
16. 5. 1　不正命令コード　…　624
16. 5. 2　ディバグ・トラップ　…　626
16. 6　CPUの割り込み応答時間　…　628
16. 7　CPUが割り込みを受け付けない期間　…　629

第17章　キー割り込み機能　…　630
17. 1　機　　能　…　630
17. 2　制御レジスタ　…　631
17. 3　注意事項　…　631

第18章　スタンバイ機能　…　632
18. 1　概　　要　…　632
18. 2　動　　作　…　637
18. 3　HALTモード　…　638
18. 3. 1　設定および動作状態　…　638
18. 3. 2　HALTモードの解除　…　638
18. 4　IDLE1モード　…　640
18. 4. 1　設定および動作状態　…　640
18. 4. 2　IDLE1モードの解除　…　640
18. 5　IDLE2モード　…　642
18. 5. 1　設定および動作状態　…　642
18. 5. 2　IDLE2モードの解除　…　642
18. 5. 3　IDLE2モード解除時のセットアップ時間の確保　…　644
18. 6　ソフトウエアSTOPモード　…　645
18. 6. 1　設定および動作状態　…　645
18. 6. 2　ソフトウエアSTOPモードの解除　…　645
18. 6. 3　ソフトウエアSTOPモード解除時の発振安定時間の確保　…　647
18. 7　サブクロック動作モード　…　648
18. 7. 1　設定および動作状態　…　648
18. 7. 2　サブクロック動作モードの解除　…　648

18. 8　サブIDLEモード　…　650
18. 8. 1　設定および動作状態　…　650
18. 8. 2　サブIDLEモードの解除　…　651
18. 9　制御レジスタ　…　653

第19章　リセット機能　…　655
19. 1　概　　要　…　655
19. 2　リセット要因を確認するレジスタ　…　656
19. 3　動　　作　…　657
19. 3. 1　RESET端子によるリセット動作　…　657
19. 3. 2　WDT2RES信号によるリセット動作　…　659
19. 3. 3　パワーオン・クリアによるリセット動作（パワーオン・クリア機能搭載製品のみ）　…　660
19. 3. 4　低電圧検出によるリセット動作　…　660
19. 3. 5　クロック・モニタによるリセット動作　…　661
19. 4　リセット解除後の動作　…　662

第20章　クロック・モニタ　…　664
20. 1　クロック・モニタの機能　…　664
20. 2　クロック・モニタの構成　…　664
20. 3　クロック・モニタを制御するレジスタ　…　665
20. 4　クロック・モニタの動作　…　666

第21章　パワーオン・クリア回路　…　669
21. 1　パワーオン・クリア回路の機能　…　669
21. 2　パワーオン・クリア回路の構成　…　670
21. 3　パワーオン・クリア回路の動作　…　670

第22章　低電圧検出回路　…　671
22. 1　低電圧検出回路の機能　…　671
22. 2　低電圧検出回路の構成　…　671
22. 3　低電圧検出回路を制御するレジスタ　…　672
22. 4　低電圧検出回路の動作　…　675
22. 4. 1　内部リセット信号として使用する場合　…　675
22. 4. 2　割り込みとして使用する場合　…　677
22. 5　RAM保持電圧検出動作　…　678

第23章　レギュレータ　…　679
23. 1　概　　要　…　679
23. 2　動　　作　…　680

第24章　フラッシュ・メモリ　…　681
24. 1　特　　徴　…　681
24. 1. 1　消去単位　…　682
24. 2　機能概要　…　683
24. 3　フラッシュ・ライタによる書き込み方法　…　685
24. 4　プログラミング環境　…　685
24. 5　通信方式　…　686

24.6 端子処理 … 691
24.6.1 FLMD0端子 … 691
24.6.2 FLMD1端子 … 692
24.6.3 シリアル・インタフェース端子 … 692
24.6.4 $\overline{\text{RESET}}$端子 … 695
24.6.5 ポート端子（NMIを含む） … 695
24.6.6 その他の信号端子 … 695
24.6.7 電　　源 … 695
24.7 プログラミング方法 … 696
24.7.1 フラッシュ・メモリ制御 … 696
24.7.2 通信方式の選択 … 697
24.7.3 通信コマンド … 698
24.8 セルフ・プログラミングによる書き換え … 699
24.8.1 概　　要 … 699
24.8.2 特　　徴 … 700
24.8.3 標準セルフ・プログラミング・フロー … 701
24.8.4 フラッシュ関数一覧 … 702
24.8.5 端子処理 … 702
24.8.6 使用する内部資源 … 703

第25章 オプション機能 … 704
25.1 フラッシュ・マスク・オプション … 704
25.2 マスク・オプション（マスクROM製品） … 706

第26章 オンチップ・ディバグ機能（オンチップ・ディバグ・ユニット）（フラッシュ・メモリ内蔵製品のみ） … 708
26.1 機能概要 … 708
26.1.1 オンチップ・ディバグ・ユニットの種類 … 708
26.1.2 ディバグ機能 … 708
26.1.3 インタフェース信号 … 710
26.1.4 セキュリティ機能 … 712
26.2 制御レジスタ … 714
26.3 N-Wire型エミュレータとの接続 … 716
26.3.1 KELコネクタ … 716
26.4 オンチップ・ディバグ時の制限事項および注意事項 … 720

第27章 電気的特性 … 721
27.1 (A)製品についての電気的特性 … 721
27.1.1 絶対最大定格 … 721
27.1.2 容量 … 725
27.1.3 動作条件 … 725
27.1.4 発振回路特性 … 726
27.1.5 PLL特性 … 728
27.1.6 内蔵発振器特性 … 728
27.1.7 電圧レギュレータ特性 … 728
27.1.8 DC特性 … 729
27.1.9 データ保持特性 … 733
27.1.10 AC特性 … 734

27. 2　(A1)製品についての電気的特性　…　744
27. 2. 1　絶対最大定格　…　744
27. 2. 2　容量　…　748
27. 2. 3　動作条件　…　748
27. 2. 4　発振回路特性　…　749
27. 2. 5　PLL特性　…　751
27. 2. 6　内蔵発振器特性　…　751
27. 2. 7　電圧レギュレータ特性　…　751
27. 2. 8　DC特性　…　752
27. 2. 9　データ保持特性　…　756
27. 2. 10　AC特性　…　757
27. 3　(A2)製品についての電気的特性　…　767
27. 3. 1　絶対最大定格　…　767
27. 3. 2　容量　…　771
27. 3. 3　動作条件　…　771
27. 3. 4　発振回路特性　…　772
27. 3. 5　PLL特性　…　774
27. 3. 6　内蔵発振器特性　…　774
27. 3. 7　電圧レギュレータ特性　…　774
27. 3. 8　DC特性　…　775
27. 3. 9　データ保持特性　…　779
27. 3. 10　AC特性　…　780

第28章　外 形 図　…　790

付録A　開発ツール　…　791
A. 1　ソフトウエア・パッケージ　…　794
A. 2　言語処理用ソフトウエア　…　794
A. 3　制御ソフトウエア　…　794
A. 4　ディバグ用ツール（ハードウエア）　…　795
A. 4. 1　インサーキット・エミュレータ　IE-V850ES-G1を使用する場合　…　795
A. 4. 2　IECUBE　QB-V850ESFX2を使用する場合　…　797
A. 5　ディバグ用ツール（ソフトウエア）　…　799
A. 6　組み込み用ソフトウエア　…　800
A. 7　フラッシュ・メモリ書き込み用ツール　…　800

付録B　レジスタ索引　…　801

付録C　命令セット一覧　…　812
C. 1　凡　　例　…　812
C. 2　インストラクション・セット（アルファベット順）　…　815
C. 3　使用上の注意　…　821

付録D　改版履歴　…　823
D. 1　本版で改訂された主な箇所　…　823

第1章　イントロダクション

V850ES/FG2は，NECのリアルタイム制御向けシングルチップ・マイクロコンピュータV850シリーズの製品シリーズです。

1.1　概　　説

V850ES/FG2は，V850ES CPUコアを使用し，ROM/RAM，DMAコントローラ，タイマ／カウンタ，シリアル・インタフェース，A/Dコンバータなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコンピュータです。V850ES/FG2では，車輌内LANとして，CAN（Controller Area Network）を内蔵しています。

V850ES/FG2は，高いリアルタイム応答性と1クロック・ピッチの基本命令に加え，ディジタル・サーボ制御の応用に最適な命令として，ハードウエア乗算器による乗算命令，飽和演算命令，ビット操作命令などを持っています。また，リアルタイム制御システム用として，自動車電装分野などへの応用がきわめて高いコスト・パフォーマンスで実現できます。

V850ES/FG2に対して，I/O，タイマ／カウンタ，シリアル・インタフェース，バス制御機能などの機能を拡張した，V850ES/FJ2を用意しています。また，V850ES/FG2に対して，I/O，タイマ／カウンタ，シリアル・インタフェースなどの機能を縮小した，V850ES/FE2，V850ES/FF2も用意しています。

備考　バス制御機能はV850ES/FJ2のみ。DMAコントローラ（DMAC）はV850ES/FJ2, V850ES/FG2のみ。

★ 1. 2　V850ES/FE2, V850ES/FF2, V850ES/FG2, V850ES/FJ2の製品展開

- V850ES/FJ2　144ピン・プラスチックLQFP（ファインピッチ）（20×20）
  - μPD70F3239　フラッシュ・メモリ：512 Kバイト，RAM：20 Kバイト
  - μPD70F3238　フラッシュ・メモリ：376 Kバイト，RAM：20 Kバイト
  - μPD70F3237　フラッシュ・メモリ：256 Kバイト，RAM：12 Kバイト
- V850ES/FG2　100ピン・プラスチックLQFP（ファインピッチ）（14×14）
  - μPD70F3236　フラッシュ・メモリ：384 Kバイト，RAM：16 Kバイト
  - μPD70F3235　フラッシュ・メモリ：256 Kバイト，RAM：12 Kバイト
  - μPD703235　マスクROM：256 Kバイト，RAM：12 Kバイト
  - μPD70F3234　フラッシュ・メモリ：128 Kバイト，RAM：6 Kバイト
  - μPD703234　マスクROM：128 Kバイト，RAM：6 Kバイト
- V850ES/FF2　80ピン・プラスチックTQFP（ファインピッチ）（12×12）
  - μPD70F3233　フラッシュ・メモリ：256 Kバイト，RAM：12 Kバイト
  - μPD703233　マスクROM：256 Kバイト，RAM：12 Kバイト
  - μPD70F3232　フラッシュ・メモリ：128 Kバイト，RAM：6 Kバイト
  - μPD703232　マスクROM：128 Kバイト，RAM：6 Kバイト
- V850ES/FE2　64ピン・プラスチックLQFP（ファインピッチ）（10×10）
  - μPD70F3231　フラッシュ・メモリ：128 Kバイト，RAM：6 Kバイト
  - μPD703231　マスクROM：128 Kバイト，RAM：6 Kバイト
  - μPD703230　マスクROM：64 Kバイト，RAM：4 Kバイト

1.3 特　　徴

○命令数　83

○最小命令実行時間　50 ns（メイン・クロック（fxx）= 20 MHz動作時）

○汎用レジスタ　32ビット×32本

○パワーオン・クリア機能

○低電圧検出機能

○内蔵メモリ　RAM：6/12/16 Kバイト（表1－1参照）

フラッシュ・メモリ：128/256/384 Kバイト（表1－1参照）

マスクROM：128/256 Kバイト（表1－1参照）

○割り込み／例外

ノンマスカブル割り込み（表1－1参照）

マスカブル割り込み（表1－1参照）

ソフトウエア例外：2要因

例外トラップ：1要因

○I/Oライン　入出力ポート：84

○タイマ／カウンタ

16ビット・インターバル・タイマM（TMM）：1ch

16ビット・タイマ／イベント・カウンタP（TMP）：4ch

16ビット・タイマ／イベント・カウンタQ（TMQ）：2ch

○時計用タイマ：1ch

○ウォッチドッグ・タイマ2：1ch

○シリアル・インタフェース（SIO）

アシンクロナス・シリアル・インタフェースA（UARTA）（表1－1参照）

3線式可変長シリアル・インタフェースB（CSIB）（表1－1参照）

○CANコントローラ：2ch

○A/Dコンバータ　10ビット分解能：16ch

○クロック・ジェネレータ　メイン・クロック／サブクロック動作

CPUクロック7段階（fxx, fxx/2, fxx/4, fxx/8, fxx/16, fxx/32, fxT）

クロック・スルー・モード／PLLモード選択可

○内蔵発振器：200 kHz（TYP.）

○パワー・セーブ機能　HALT/IDLE1/IDLE2／ソフトウエアSTOP／サブクロック／サブIDLEモード

○パッケージ　100ピン・プラスチックLQFP（ファインピッチ）（14×14）

表1－1に各製品の機能概要について示します。

★ 表1－1　V850ES/FE2, V850ES/FF2, V850ES/FG2, V850ES/FJ2の機能概要（1/2）

シリーズ名		V850ES/FE2			V850ES/FF2			
製品名		μPD703230	μPD703231	μPD70F3231	μPD703232	μPD70F3232	μPD703233	μPD70F3233
内蔵メモリ	フラッシュ（バイト）	－	－	128 K	－	128 K	－	256 K
	ROM（バイト）	64 K	128 K	－	128 K	－	256 K	－
	RAM（バイト）	4 K	6 K	6 K	6 K	6 K	12 K	12 K
DMA		なし						
動作クロック	メイン(内部)	MAX. 20 MHz						
	内蔵発振器	TYP. 200 kHz						
	サブクロック	RCまたはクリスタル						
I/Oポート		51			67			
A/Dコンバータ		10ビット x 10ch			10ビット x 12ch			
タイマ	TMQ	1ch						
	TMP	4ch						
	TMM	1ch						
	WDT2	1ch						
	時計	1ch						
シリアル・インタフェース	CSI	2ch						
	UART	2ch						
	CAN	1ch						
割り込み	外部	8ch						
	内部	35ch						
	NMI	1ch						
その他	キー・リターン入力	8ch						
	クロック・モニタ機能	あり						
	POC/LVI機能	あり						
	クロック出力機能	あり						
	PCL出力機能	あり						
	オンチップ・ディバグ機能	なし		あり	なし	あり	なし	あり
外部メモリ・インタフェース		なし						
動作電圧		3.5～5.5 V						
パッケージ		64ピンLQFP			80ピンTQFP			

★ **表1ー1　V850ES/FE2, V850ES/FF2, V850ES/FG2, V850ES/FJ2の機能概要（2/2）**

シリーズ名		V850ES/FG2					V850ES/FJ2		
製品名		μPD703234	μPD70F3234	μPD703235	μPD70F3235	μPD70F3236	μPD70F3237	μPD70F3238	μPD70F3239
内蔵メモリ	フラッシュ（バイト）	ー	128 K	ー	256 K	384 K	256 K	376 K	512 K
	ROM（バイト）	128 K	ー	256 K	ー	ー	ー	ー	ー
	RAM（バイト）	6 K	6 K	12 K	12 K	16 K	12 K	20 K	20 K
DMA		あり							
動作クロック	メイン（内部）	MAX. 20 MHz							
	内蔵発振器	TYP. 200 kHz							
	サブクロック	RCまたはクリスタル							
I/Oポート		84					128		
A/Dコンバータ		10ビット x 16ch					10ビット x 24ch		
タイマ	TMQ	2ch					3ch		
	TMP	4ch							
	TMM	1ch							
	WDT2	1ch							
	時計	1ch							
シリアル・インタフェース	CSI	2ch					3ch		
	UART	3ch					3ch	4ch	
	CAN	2ch					2ch	4ch	
割り込み	外部	11ch					15ch		
	内部	50ch					57ch	67ch	
	NMI	1ch							
その他	キー・リターン入力	8ch							
	クロック・モニタ機能	あり							
	POC/LVI機能	あり							
	クロック出力機能	あり							
	PCL出力機能	あり							
	オンチップ・ディバグ機能	なし	あり	なし	あり				
外部メモリ・インタフェース		なし					あり		
動作電圧		3.5～5.5 V							
パッケージ		100ピンLQFP					144ピンLQFP		

★ 1.4　オーダ情報

（1/2）

オーダ名称	パッケージ	内蔵メモリ	CANバッファ数	品質水準	備　　考
μPD703234GC(A)-xxx-8EA	100ピン・プラスチックLQFP（ファインピッチ）（14×14）	128 Kバイト（マスクROM）	32バッファ／ch	特別（高信頼度電子機器用）	－
μPD703234GC(A)-xxx-8EA-A					
μPD703234GC(A1)-xxx-8EA					
μPD703234GC(A1)-xxx-8EA-A					
μPD703234GC(A2)-xxx-8EA					
μPD703234GC(A2)-xxx-8EA-A					
μPD70F3234M1GC(A)-8EA		128 Kバイト（フラッシュ・メモリ）			パワーオン・クリア機能非搭載
μPD70F3234M1GC(A)-8EA-A					
μPD70F3234M1GC(A1)-8EA					
μPD70F3234M1GC(A1)-8EA-A					
μPD70F3234M1GC(A2)-8EA					
μPD70F3234M1GC(A2)-8EA-A					
μPD70F3234M2GC(A)-8EA					パワーオン・クリア機能搭載
μPD70F3234M2GC(A)-8EA-A					
μPD70F3234M2GC(A1)-8EA					
μPD70F3234M2GC(A1)-8EA-A					
μPD70F3234M2GC(A2)-8EA					
μPD70F3234M2GC(A2)-8EA-A					
μPD703235GC(A)-xxx-8EA		256 Kバイト（マスクROM）			－
μPD703235GC(A)-xxx-8EA-A					
μPD703235GC(A1)-xxx-8EA					
μPD703235GC(A1)-xxx-8EA-A					
μPD703235GC(A2)-xxx-8EA					
μPD703235GC(A2)-xxx-8EA-A					
μPD70F3235M1GC(A)-8EA		256 Kバイト（フラッシュ・メモリ）			パワーオン・クリア機能非搭載
μPD70F3235M1GC(A)-8EA-A					
μPD70F3235M1GC(A1)-8EA					
μPD70F3235M1GC(A1)-8EA-A					
μPD70F3235M1GC(A2)-8EA					
μPD70F3235M1GC(A2)-8EA-A					
μPD70F3235M2GC(A)-8EA					パワーオン・クリア機能搭載
μPD70F3235M2GC(A)-8EA-A					
μPD70F3235M2GC(A1)-8EA					
μPD70F3235M2GC(A1)-8EA-A					
μPD70F3235M2GC(A2)-8EA					
μPD70F3235M2GC(A2)-8EA-A					

備考1.　各品質水準の動作周囲温度は次のとおりです。

(A)：－40～+85℃，(A1)：－40～+110℃，(A2)：－40～+125℃

2.　オーダ名称末尾「-A」の製品は，鉛フリー製品です。

3.　xxxはROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」（資料番号　C11531J）をご覧ください。

(2/2)

オーダ名称	パッケージ	内蔵メモリ	CANバッファ数	品質水準	備　　考
μPD70F3236M1GC(A)-8EA		384 Kバイト（フラッシュ・メモリ）			パワーオン・クリア機能非搭載
μPD70F3236M1GC(A)-8EA-A					
μPD70F3236M1GC(A1)-8EA					
μPD70F3236M1GC(A1)-8EA-A					
μPD70F3236M1GC(A2)-8EA					
μPD70F3236M1GC(A2)-8EA-A					
μPD70F3236M2GC(A)-8EA					パワーオン・クリア機能搭載
μPD70F3236M2GC(A)-8EA-A					
μPD70F3236M2GC(A1)-8EA					
μPD70F3236M2GC(A1)-8EA-A					
μPD70F3236M2GC(A2)-8EA					
μPD70F3236M2GC(A2)-8EA-A					

備考1.　各品質水準の動作周囲温度は次のとおりです。

(A)：－40～+85℃，(A1)：－40～+110℃，(A2)：－40～+125℃

2.　オーダ名称末尾「-A」の製品は，鉛フリー製品です。

3.　xxxはROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」（資料番号　C11531J）をご覧ください。

1.5　応用分野

自動車電装分野（CANコントローラ内蔵汎用品）

★ 1. 6　端子接続図（Top View）

100ピン・プラスチックLQFP（ファインピッチ）（14×14）

注1.　IC：V_{SS}に直接接続してください（マスクROM製品のみ）。

FLMD0：通常モード時はV_{SS}に接続してください（フラッシュ・メモリ内蔵品のみ）。

FLMD1：フラッシュ・メモリ内蔵品のみ。

2.　REGC端子は4.7 μFのコンデンサを介し，V_{SS}に接続してください。

備考　[　] 内の端子は，μPD70F3234, 70F3235, 70F3236のみです。

端子名称

ADTRG:	A/D trigger input
ANI0 to ANI15:	Analog input
ASCKA0:	Asynchronous serial clock
AV_{REF0}:	Analog reference voltage
AV_{SS}:	Analog V_{SS}
BV_{DD}:	Power supply for bus interface
BV_{SS}:	Ground for bus interface
CLKOUT:	Clock output
CRXD0, CRXD1:	CAN Receive data
CTXD0, CTXD1:	CAN Transmit data
DCK:	Debug clock
DDI:	Debug data input
DDO:	Debug data output
DMS:	Debug mode select
$\overline{DRST}$:	Debug reset
EV_{DD}:	Power supply for port
EV_{SS}:	Ground for port
FLMD0, FLMD1:	Flash programming mode
INTP0 to INTP10:	Interrupt request from peripherals
KR0 to KR7:	Key return
NMI:	Non-maskable interrupt request
P00 to P06:	Port 0
P10, P11:	Port 1
P30 to P39:	Port 3
P40 to P42:	Port 4
P50 to P55:	Port 5
P70 to P715:	Port 7
P90 to P915:	Port 9
PCL:	Programmable clock output
PCM0 to PCM3:	Port CM
PCS0, PCS1	Port CS
PCT0, PCT1, PCT4,	
PCT6:	Port CT
PDL0 to PDL13:	Port DL
REGC:	Regulator control
$\overline{RESET}$:	Reset
RXDA0 to RXDA2:	Receive data
$\overline{SCKB0}$, $\overline{SCKB1}$:	Serial clock
SIB0, SIB1:	Serial input
SOB0, SOB1:	Serial output
TIP00, TIP01,	
TIP10, TIP11,	
TIP20, TIP21,	
TIP30, TIP31,	
TIQ00 to TIQ03,	
TIQ10 to TIQ13:	Timer input
TOP00, TOP01,	
TOP10, TOP11,	
TOP20, TOP21,	
TOP30, TOP31,	
TOQ01 to TOQ03,	
TOQ10 to TOQ13:	Timer output
TXDA0 to TXDA2:	Transmit data
V_{DD}:	Power supply
V_{SS}:	Ground
X1, X2:	Crystal for main clock
XT1, XT2:	Crystal for subclock

1.7　機能ブロック構成

1.7.1　内部ブロック図

注1.　128/256/384 KB（表1－1参照）

2.　128/256 KB（表1－1参照）

3.　6/12/16 KB（表1－1参照）

★　4.　POC搭載製品のみ

1.7.2　内部ユニット

(1) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を，5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット→32ビット），バレル・シフタ（32ビット）などの専用ハードウエアを内蔵し，複雑な命令処理の高速化を図っています。

(2) ROM

00000000H-0001FFFFH/00000000H-0003FFFFH/00000000H-0005FFFFH番地にマッピングされる128/256/384 Kバイトのフラッシュ・メモリ／マスクROMです。命令フェッチ時にCPUから1クロックでアクセスできます。

(3) RAM

03FFD800H-03FFEFFFH/03FFC000H-03FFEFFFH/03FFB000H-03FFEFFFH番地にマッピングされる6/12/16 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。

(4) 割り込みコントローラ（INTC）

内蔵周辺ハードウエア，および外部からのハードウエア割り込み要求（NMI, INTP0-INTP10）を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定でき，割り込み要因に対し多重処理制御ができます。

(5) クロック・ジェネレータ（CG）

メイン・クロック（f_{XX}）用とサブクロック（f_{XT}）用の2種類の発振回路を内蔵しています。7種類（f_{XX}, $f_{XX}/2$, $f_{XX}/4$, $f_{XX}/8$, $f_{XX}/16$, $f_{XX}/32$, f_{XT}）のクロックを生成し，そのうちの1つをCPUの動作クロック（f_{CPU}）として供給します。

(6) 内蔵発振器

発振器を内蔵しています。発振周波数は200 kHz（TYP.）です。ウォッチドッグ・タイマ2とタイマMへクロック供給します。

(7) タイマ／カウンタ

16ビットのタイマ／イベント・カウンタP（TMP），16ビットのタイマ／イベント・カウンタQ（TMQ），16ビットのインターバル・タイマM（TMM）を内蔵しています（表1－1参照）。

(8) 時計用タイマ

サブクロックまたはプリスケーラ3からのf_{BRG}から時計カウント用の基準時間をカウントします。メイン・クロックによるインターバル・タイマとしても同時に使用できます。

(9) ウォッチドッグ・タイマ2

プログラムの暴走，システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。

ソース・クロックとして内蔵発振器，またはメイン・クロックを選択できます。

オーバフローでノンマスカブル割り込み要求信号（INTWDT2），またはシステム・リセット信号（WDT2RES）を発生します。

(10) シリアル・インタフェース（SIO）

V850ES/FG2には，シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA（UARTA），3線式可変長シリアル・インタフェースB（CSIB）を内蔵しており，最大5チャネルを同時に使用できます。

UARTAは，TXDAn, RXDAn端子によりデータ転送を行います（n = 0-2）。

CSIBは，SOBm, SIBm, $\overline{\text{SCKBm}}$端子によりデータ転送を行います（m = 0, 1）。

UARTAは専用ボー・レート・ジェネレータを内蔵しています。

(11) CANコントローラ

CANコントローラは，ユニット間のデータ転送を行うことを目的とした小規模のディジタル・データ伝送システムです。

(12) A/Dコンバータ

16本のアナログ入力端子を持つ高速，高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

(13) DMAコントローラ

V850ES/FG2は，4チャネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて，内蔵RAM，内蔵周辺I/Oでデータを転送します。

(14) キー割り込み機能

8チャネルのキー入力端子に立ち下がりエッジを入力することによって，キー割り込み要求信号（INTKR）を発生させることができます。

(15) オンチップ・ディバグ機能

JTAG（Joint Test Action Group）の通信仕様を利用して，N-Wire型インサーキット・エミュレータを介したオンチップ・ディバグ機能を内蔵しています。通常ポート機能とオンチップ・ディバグ機能の切り替えは，制御端子の入力レベルとオンチップ・ディバグ・モード設定レジスタ（OCDM）の2つで行います。

備考　フラッシュ・メモリ内蔵品のみ

(16) ポート

汎用ポートとしての機能と制御端子の機能があります。詳しくは第4章　ポート機能を参照してください。

第2章　端子機能

V850ES/FG2 の端子名称と機能を次に示します。

2. 1　端子機能一覧

端子の入出力バッファ電源には，AV_{REF0}, EV_{DD}, BV_{DD} の 3 系統があります。それぞれの電源と端子の関係を次に示します。

表 2－1　各端子の入出力バッファ電源（V850ES/FG2）

電　源	対応する端子
AV_{REF0}	ポート 7
EV_{DD}	ポート 0，ポート 1，ポート 3，ポート 4，ポート 5，ポート 9，$\overline{RESET}$
BV_{DD}	ポート CM，ポート CS，ポート CT，ポート DL

（1）ポート端子

表 2－2　端子一覧（ポート端子）（1/2）

端子名称	入出力	機　　能	兼用端子
P00	入出力	ポート 0 7 ビット入出力ポート 1 ビット単位で入力／出力の指定が可能	TIP31/TOP31
P01			TIP30/TOP30
P02			NMI
P03			INTP0/ADTRG
P04			INTP1
P05			INTP2/$\overline{DRST}$
P06			INTP3
P10	入出力	ポート 1 2 ビット入出力ポート 1 ビット単位で入力／出力の指定が可能	INTP9
P11			INTP10
P30	入出力	ポート 3 10 ビット入出力ポート 1 ビット単位で入力／出力の指定が可能	TXDA0
P31			RXDA0/INTP7
P32			ASCKA0/TIP00/TOP00/TOP01
P33			TIP01/TOP01/CTXD0
P34			TIP10/TOP10/CRXD0
P35			TIP11/TOP11
P36			CTXD1
P37			CRXD1
P38			TXDA2
P39			RXDA2/INTP8

表 2－2　端子一覧（ポート端子）（2/2）

端子名称	入出力	機　　能	兼用端子
P40	入出力	ポート 4	SIB0
P41		3 ビット入出力ポート	SOB0
P42		1 ビット単位で入力／出力の指定が可能	$\overline{\text{SCKB0}}$
P50	入出力	ポート 5	KR0/TIQ01/TOQ01
P51		6 ビット入出力ポート	KR1/TIQ02/TOQ02
P52		1 ビット単位で入力／出力の指定が可能	KR2/TIQ03/TOQ03/DDI
P53			KR3/TIQ00/TOQ00/DDO
P54			KR4/DCK
P55			KR5/DMS
P70-P715	入出力	ポート 7 16 ビット入出力ポート 1 ビット単位で入力／出力の指定が可能	ANI0-ANI15
P90	入出力	ポート 9	KR6/TXDA1
P91		16 ビット入出力ポート	KR7/RXDA1
P92		1 ビット単位で入力／出力の指定が可能	TIQ11/TOQ11
P93			TIQ12/TOQ12
P94			TIQ13/TOQ13
P95			TIQ10/TOQ10
P96			TIP21/TOP21
P97			SIB1/TIP20/TOP20
P98			SOB1
P99			$\overline{\text{SCKB1}}$
P910			–
P911			–
P912			–
P913			INTP4/PCL
P914			INTP5
P915			INTP6
PCM0	入出力	ポート CM	–
PCM1		4 ビット入出力ポート 1 ビット単位で入力／出力の指定が可能	CLKOUT
PCM2, PCM3			–
PCS0, PCS1	入出力	ポート CS 2 ビット入出力ポート 1 ビット単位で入力／出力の指定が可能	–
PCT0, PCT1, PCT4, PCT6	入出力	ポート CT 4 ビット入出力ポート 1 ビット単位で入力／出力の指定が可能	–
PDL0-PDL4	入出力	ポート DL	–
PDL5		14 ビット入出力ポート	FLMD1
PDL6-PDL13		1 ビット単位で入力／出力の指定が可能	–

(2) ポート以外の端子

表 2－3　端子一覧（ポート以外の端子）(1/3)

端子名称	入出力	機　　能	兼用端子
NMI 注	入力	外部割り込み入力 （ノンマスカブル，アナログ・ノイズ除去）	P02
INTP0	入力	部割り込み要求入力 （マスカブル，アナログ・ノイズ除去）	P03/ADTRG
INTP1			P04
INTP2			P05/$\overline{\text{DRST}}$
INTP3			P06
INTP4			P913/PCL
INTP5			P914
INTP6			P915
INTP7			P31/RXDA0
INTP8			P39/RXDA2
INTP9			P10
INTP10			P11
TIP00	入力	外部イベント／クロック入力（TMP00）	P32/ASCKA0/TOP00/TOP01
TIP01		外部イベント／クロック入力（TMP01）	P33/TOP01/CTXD0
TIP10		外部イベント／クロック入力（TMP10）	P34/TOP10/CRXD0
TIP11		外部イベント／クロック入力（TMP11）	P35/TOP11
TIP20		外部イベント／クロック入力（TMP20）	P97/SIB1/TOP20
TIP21		外部イベント／クロック入力（TMP21）	P96/TOP21
TIP30		外部イベント／クロック入力（TMP30）	P01/TOP30
TIP31		外部イベント／クロック入力（TMP31）	P00/TOP31
TOP00	出力	タイマ出力（TMP00）	P32/ASCKA0/TIP00/TOP01
TOP01		タイマ出力（TMP01）	P32/ASCKA0/TIP00/TOP00
			P33/TIP01/CTXD0
TOP10		タイマ出力（TMP10）	P34/TIP10/CRXD0
TOP11		タイマ出力（TMP11）	P35/TIP11
TOP20		タイマ出力（TMP20）	P97/SIB1/TIP20
TOP21		タイマ出力（TMP21）	P96/TIP21
TOP30		タイマ出力（TMP30）	P01/TIP30
TOP31		タイマ出力（TMP31）	P00/TIP31
TIQ00	入力	外部イベント／クロック入力（TMQ00）	P53/KR3/TOQ00/DDO
TIQ01		外部イベント／クロック入力（TMQ01）	P50/KR0/TOQ01
TIQ02		外部イベント／クロック入力（TMQ02）	P51/KR1/TOQ02
TIQ03		外部イベント／クロック入力（TMQ03）	P52/KR2/TOQ03/DDI
TIQ10		外部イベント／クロック入力（TMQ10）	P95/TOQ10
TIQ11		外部イベント／クロック入力（TMQ11）	P92/TOQ11
TIQ12		外部イベント／クロック入力（TMQ12）	P93/TOQ12
TIQ13		外部イベント／クロック入力（TMQ13）	P94/TOQ13

★　**注**　NMI 端子は P02 端子と兼用しており，リセット後は P02 端子として機能します。NMI を有効にする場合は，PMC0.PMC02 ビットをセット（1）してください。また，NMI 端子の初期設定は“エッジ検出なし”になっております。INTF0, INTR0 レジスタで NMI 端子の有効エッジを検出してください。

表 2－3　端子一覧（ポート以外の端子）（2/3）

端子名称	入出力	機　　能	兼用端子
TOQ00	出力	タイマ出力（TMQ00）	P53/KR3/TIQ00/DDO
TOQ01		タイマ出力（TMQ01）	P50/KR0/TIQ01
TOQ02		タイマ出力（TMQ02）	P51/KR1/TIQ02
TOQ03		タイマ出力（TMQ03）	P52/KR2/TIQ03/DDI
TOQ10	出力	タイマ出力（TMQ10）	P95/TIQ10
TOQ11		タイマ出力（TMQ11）	P92/TIQ11
TOQ12		タイマ出力（TMQ12）	P93/TIQ12
TOQ13		タイマ出力（TMQ13）	P94/TIQ13
SIB0	入力	シリアル受信データ入力（CSIB0）	P40
SIB1		シリアル受信データ入力（CSIB1）	P97/TIP20/TOP20
SOB0	出力	シリアル送信データ入力（CSIB0）	P41
SOB1		シリアル送信データ入力（CSIB1）	P98
$\overline{\text{SCKB0}}$	入出力	シリアル・クロック入出力（CSIB0）	P42
$\overline{\text{SCKB1}}$		シリアル・クロック入出力（CSIB1）	P99
RXDA0	入力	シリアル受信データ入力（UARTA0）	P31/INTP7
RXDA1		シリアル受信データ入力（UARTA1）	P91/KR7
RXDA2		シリアル受信データ入力（UARTA2）	P39/INTP8
TXDA0	出力	シリアル送信データ出力（UARTA0）	P30
TXDA1		シリアル送信データ出力（UARTA1）	P90/KR6
TXDA2		シリアル送信データ出力（UARTA2）	P38
ASCKA0	入力	UARTA0 のボー・レート・クロック入力	P32/TIP00/TOP00/TOP01
CRXD0	入力	CAN 受信データ入力（CAN0）	P34/TIP10/TOP10
CRXD1		CAN 受信データ入力（CAN1）	P37
CTXD0	出力	CAN 送信データ出力（CAN0）	P33/TIP01/TOP01
CTXD1		CAN 送信データ出力（CAN1）	P36
ANI0-ANI15	入力	A/D コンバータ用アナログ電圧入力	P70-P715
AV_{REF0}	入力	A/D コンバータ用基準電圧入力，兼ポート 7 用正電源供給端子	–
AV_{SS}	–	A/D コンバータ用グランド電位（V_{SS} と同電位）	–
ADTRG	入力	A/D コンバータ外部トリガ入力	P03/INTP0
KR0	入力	キー割り込み入力	P50/TIQ01/TOQ01
KR1			P51/TIQ02/TOQ02
KR2			P52/TIQ03/TOQ03/DDI
KR3			P53/TIQ00/TOQ00/DDO
KR4			P54/DCK
KR5			P55/DMS
KR6			P90/TXDA1
KR7			P91/RXDA1
DMS	入力	ディバグ・モード・セレクト	P55/KR5
DDI	入力	ディバグ・データ入力	P52/KR2/TIQ03/TOQ03
DDO	出力	ディバグ・データ出力	P53/KR3/TIQ00/TOQ00
DCK	入力	ディバグ・クロック入力	P54/KR4
$\overline{\text{DRST}}$	入力	ディバグ・リセット入力	P05/INTP2

表 2－3　端子一覧（ポート以外の端子）（3/3）

端子名称	入出力	機　　能	兼用端子
FLMD0	入力	フラッシュ・プログラミング・モード引き込み用端子	–
FLMD1			PDL5
CLKOUT	出力	内部システム・クロック出力	PCM1
PCL	出力	クロック出力（X1 入力クロックとサブシステム・クロックのタイミング出力）	P913/INTP4
REGC	–	レギュレータ出力安定容量接続	–
$\overline{\text{RESET}}$	入力	システム・リセット入力	–
X1	入力	メイン・クロック用発振子接続	–
X2	–		–
XT1	入力	サブクロック用発振子接続	–
XT2	–		–
V_{DD}	–	内部用正電源供給端子	–
V_{SS}	–	内部用グランド電位	–
BV_{DD}	–	ポート用正電源供給端子	–
BV_{SS}	–	ポート用グランド電位	–
EV_{DD}	–	外部用正電源供給端子（V_{DD} と同電位）	–
EV_{SS}	–	外部用グランド電位（V_{SS} と同電位）	–

2. 2　端子機能の説明

（1）P00-P06（ポート 0）　…　3 ステート入出力

ポート 0 は，1 ビット単位で入力または出力を設定できる 7 ビットの入出力ポートです。

P00-P06 は入出力ポートとして機能するほか，NMI 入力，外部割り込み要求信号入力，タイマ／カウンタの入出力，A/D コンバータの外部トリガ，ディバグ・リセット入力として動作します。1 ビットごとにポート／コントロール・モードを選択でき，INTR0 レジスタと INTF0 レジスタで端子の有効エッジを指定します。

P00-P06 はプルアップ抵抗オプション・レジスタ 0（PU0）により，内蔵プルアップ抵抗を使用できます。

（a）ポート・モード

P00-P06 はポート・モード・レジスタ 0（PM0）により，ビット単位に入力または出力を設定できます。

（b）コントロール・モード

（i）NMI（Non-maskable interrupt request）　…　入力

ノンマスカブル割り込み要求信号入力端子です。

（ii）INTP0-INTP3（Interrupt request from peripherals）　…　入力

外部割り込み要求信号入力端子です。

（iii）TIP30, TIP31（Timer input）　…　入力

タイマ P3（TMP3）用の入力端子です。

（iv）TOP30, TOP31（Timer output）　…　出力

タイマ P3（TMP3）用の出力端子です。

（v）ADTRG（A/D trigger input）　…入力

A/D コンバータの外部トリガ入力端子です。A/D コンバータ・モード・レジスタ 0（ADA0M0）で制御します。

（vi）$\overline{\text{DRST}}$（Debug reset）　…入力

ディバグ・リセット入力端子です。内蔵するオンチップ・ディバグ用回路を非同期に初期化する負論理の信号です。ロウ・レベルにするとオンチップ・ディバグ用回路をリセット／無効にします。ディバグ機能を使用しない場合は，ロウ・レベルにしてください。

詳細は，第 26 章　オンチップ・ディバグ機能を参照してください。

(2) P10, P11（ポート 1）　…　3 ステート入出力

ポート 1 は，1 ビット単位で入力または出力を設定できる 2 ビットの入出力ポートです。

P10, P11 は入出力ポートとして機能するほか，コントロール・モードでは外部割り込み要求信号入力として動作します。1 ビットごとにポート／コントロール・モードを選択でき，INTR1 レジスタと INTF1 レジスタで端子の有効エッジを指定します。

P10, P11 はプルアップ抵抗オプション・レジスタ 1（PU1）により，内蔵プルアップ抵抗を使用できます。

(a) ポート・モード

P10, P11 はポート・モード・レジスタ 1（PM1）により，ビット単位に入力または出力を設定できます。

(b) コントロール・モード

(i) INTP9, INTP10（Interrupt request from peripherals）　…　入力

外部割り込み要求信号入力端子です。

(3) P30-P39（ポート 3）　…　3 ステート入出力

ポート 3 は，1 ビット単位で入力または出力を設定できる 10 ビットの入出力ポートです。

P30-P39 は入出力ポートとして機能するほか，外部割り込み要求信号入力，シリアル・インタフェースの入出力，タイマ／カウンタの入出力，CAN のデータ入出力として動作します。1 ビットごとにポート／コントロール・モードを選択でき，INTR3 レジスタと INTF3 レジスタで端子の有効エッジを指定します。

P30-P39 はプルアップ抵抗オプション・レジスタ 3（PU3）により，内蔵プルアップ抵抗を使用できます。

(a) ポート・モード

P30-P39 はポート・モード・レジスタ 3（PM3）により，ビット単位に入力または出力を設定できます。

(b) コントロール・モード

(i) RXDA0, RXDA2（Receive data）　…　入力

UARTA0 のシリアル受信データ入力端子です。

(ii) TXDA0, TXDA2（Transmit data）　…　出力

UARTA0 のシリアル送信データ出力端子です。

(iii) ASCKA0（Asynchronous serial clock）　…　入力

UARTA0 用の入力端子です。

(iv) INTP7, INTP8（Interrupt request from peripherals）　…　入力

外部割り込み要求信号入力端子です。

（v）TIP00, TIP01, TIP10, TIP11（Timer input）　…　入力

タイマ P0, P1（TMP0, TMP1）用の外部カウント・クロック入力端子です。

（vi）TOP00, TOP01, TOP10, TOP11（Timer output）　…　出力

タイマ P0, P1（TMP0, TMP1）用のパルス信号出力端子です。

（vii）CRXD0, CRXD1（CAN receive data）　…　入力

CAN0, CAN1 の受信データ入力端子です。

（viii）CTXD0, CTXD1（CAN transmit data）　…　出力

CAN0, CAN1 の送信データ出力端子です。

（4）P40-P42（ポート 4）　…　3 ステート入出力

ポート 4 は，1 ビット単位で入力または出力を設定できる 3 ビットの入出力ポートです。

P40-P42 は入出力ポートとして機能するほか，シリアル・インタフェースの入出力として動作します。1 ビットごとにポート／コントロール・モードを選択できます。

P40-P42 はプルアップ抵抗オプション・レジスタ 4（PU4）により，内蔵プルアップ抵抗を使用できます。

（a）ポート・モード

P40-P42 はポート・モード・レジスタ 4（PM4）により，ビット単位に入力または出力を設定できます。

（b）コントロール・モード

（i）SIB0（Serial input）　…　入力

CSIB0 のシリアル受信データ入力端子です。

（ii）SOB0（Serial output）　…　出力

CSIB0 のシリアル送信データ出力端子です。

（iii）$\overline{\text{SCKB0}}$（Serial clock）　…　3 ステート入出力

CSIB0 のシリアル・クロック入出力端子です。

（5）P50-P55（Port 5）　…　3 ステート入出力

ポート 5 は，1 ビット単位で入力または出力を設定できる 6 ビットの入出力ポートです。

P50-P55 は入出力ポートとして機能するほか，タイマ／カウンタの入出力，ディバグ機能入出力，キー割り込み入力機能として動作します。1 ビットごとにポート／コントロール・モードを選択できます。

P50-P55 はプルアップ抵抗オプション・レジスタ 5（PU5）により，内蔵プルアップ抵抗を使用できます。

（a）ポート・モード

P50-P55 はポート・モード・レジスタ 5（PM5）により，ビット単位に入力または出力を設定できます。

（b）コントロール・モード

（i）KR0-KR5（Key return）…　入力

キー割り込み入力端子です。入力ポート・モード時にキー・リターン・モード・レジスタ（KRM）で動作を指定します。

（ii）TIQ00, TIQ01, TIQ02, TIQ03（Timer input）　…　入力

タイマ Q0（TMQ0）用の入力端子です。

（iii）TOQ00, TOQ01, TOQ02, TOQ03（Timer output）　…　出力

タイマ Q0（TMQ0）用の出力端子です。

（iv）DDI（Debug data input）　…　入力

オンチップ・ディバグ用回路のディバグ・データ入力端子です。

詳細は，第 26 章　オンチップ・ディバグ機能を参照してください。

（v）DDO（Debug data output）　…　出力

オンチップ・ディバグ用回路のディバグ・データ出力端子です。

詳細は，第 26 章　オンチップ・ディバグ機能を参照してください。

（vi）DCK（Debug clock input）　…　入力

オンチップ・ディバグ用回路のディバグ・クロック入力端子です。

詳細は，第 26 章　オンチップ・ディバグ機能を参照してください。

（vii）DMS（Debug mode select）　…　入力

オンチップ・ディバグ用回路のディバグ・モード・セレクト端子です。

詳細は，第 26 章　オンチップ・ディバグ機能を参照してください。

(6) P70-P715（ポート 7）　…　3 ステート入出力

ポート 7 は，1 ビット単位で入力または出力を設定できる 16 ビットの入出力ポートです。

P70-P715 は入出力ポートとして機能するほか，コントロール・モードでは A/D コンバータのアナログ入力として動作します。ただし，アナログ入力端子として使用する場合には，入力に設定してください。このときにポートをリードしないでください。

(a) ポート・モード

★ P70-P715 はポート・モード・レジスタ 7L，7H（PM7L，PM7H）により，ビット単位に入力または出力を設定できます。

(b) コントロール・モード

P70-P715 は ANI0-ANI15 端子と兼用になっています。

(i) ANI0-ANI15（Analog input 0 - 15）　…　入力

A/D コンバータへのアナログ入力端子です。

(7) P90-P915（ポート 9）　…　3 ステート入出力

ポート 9 は，1 ビット単位で入力または出力を設定できる 16 ビットの入出力ポートです。

P90-P915 は入出力ポートとして機能するほか，シリアル・インタフェースの入出力，タイマ／カウンタの入出力，クロック出力，外部割り込み要求信号入力，キー割り込み入力機能として動作します。1 ビットごとにポート／コントロール・モードを選択でき，P913-P915 は INTR9H レジスタと INTF9H レジスタで端子の有効エッジを指定します。

P90-P915 はプルアップ抵抗オプション・レジスタ 9 (PU9) により，内蔵プルアップ抵抗を使用できます。

(a) ポート・モード

P90-P915 はポート 9 モード・レジスタ（PM9）により，ビット単位に入力または出力を設定できます。

(b) コントロール・モード

(i) SIB1（Serial input）　…　入力

CSIB1 のシリアル受信データ入力端子です。

(ii) SOB1（Serial output）　…　出力

CSIB1 のシリアル送信データ出力端子です。

(iii) $\overline{\text{SCKB1}}$（Serial clock）　…　3 ステート入出力

CSIB1 のシリアル・クロック入出力端子です。

(iv) RXDA1（Receive data）　…　入力

UARTA1 のシリアル受信データ入力端子です。

（v）TXDA1（Transmit data）　…　出力

UARTA1 のシリアル送信データ出力端子です。

（vi）TIP20, TIP21（Timer input）　…　入力

タイマ P2（TMP2）用の外部カウント・クロック入力端子です。

（vii）TOP20, TOP21（Timer output）　…　出力

タイマ P2（TMP2）用のパルス信号出力端子です。

（viii）TIQ10, TIQ11, TIQ12, TIQ13（Timer input）　…　入力

タイマ Q1（TMQ1）用の外部カウント・クロック入力端子です。

（ix）TOQ10, TOQ11, TOQ12, TOQ13（Timer output）　…　出力

タイマ Q1（TMQ1）用のパルス信号出力端子です。

（x）PCL（Clock output）　…　出力

クロックを出力します。

（xi）INTP4-INTP6（Interrupt request from peripherals）　…　入力

外部割り込み要求信号入力端子です。

（xii）KR6, KR7（Key return）…　入力

キー割り込み入力端子です。入力ポート・モード時にキー・リターン・モード・レジスタ（KRM）で動作を指定します。

（8）PCM0-PCM3（ポート CM）　…　3 ステート入出力

ポート CM は，1 ビット単位で入力または出力を設定できる 4 ビットの入出力ポートです。

（a）ポート・モード

PCM0-PCM3 はポート・モード・レジスタ CM（PMCM）により，ビット単位に入力または出力を設定できます。

（b）コントロール・モード

（i）CLKOUT（Clock output）　…　出力

内部で生成したバス・クロックを出力します。

(9) PCS0, PCS1（ポート CS）　…　3 ステート入出力

ポート CS は，1 ビット単位で入力または出力を設定できる 2 ビットの入出力ポートです。

(a) ポート・モード

PCS0, PCS1 はポート・モード・レジスタ CS（PMCS）により，ビット単位に入力または出力を設定できます。

(10) PCT0, PCT1, PCT4, PCT6（ポート CT）　…　3 ステート入出力

ポート CT は，1 ビット単位で入力または出力を設定できる 4 ビットの入出力ポートです。

(a) ポート・モード

PCT0, PCT1, PCT4, PCT6 はポート・モード・レジスタ CT（PMCT）により，ビット単位に入力または出力を設定できます。

(11) PDL0-PDL13（ポート DL）　…　3 ステート入出力

ポート DL は，1 ビット単位で入力または出力を設定でき 14 ビットの入出力ポートです。

また，フラッシュ・メモリ・プログラミング時（FLMD0 にハイ・レベルを入力）に PDL5 は FLMD1 端子として動作します。このとき必ず FLMD1 端子にはロウ・レベルを入力してください。

(a) ポート・モード

PDL0-PDL13 はポート・モード・レジスタ DL（PMDL）により，ビット単位に入力または出力を設定できます。

(12) $\overline{\text{RESET}}$（Reset）　…　入力

$\overline{\text{RESET}}$入力は非同期入力で，動作クロックと無関係に一定のロウ・レベル幅を持つ信号が入力されると，すべての動作に優先してシステム・リセットがかかります。

通常のイニシャライズ／スタートのほかに，スタンバイ・モード（HALT, IDLE, STOP）の解除にも使用します。

(13) X1, X2（Crystal for main clock）

システム・クロック発生用の発振子接続端子です。

(14) XT1, XT2（Crystal for subclock）

サブクロック発生用の発振子接続端子です。

(15) AV_{SS}（Ground for analog）

A/D コンバータおよび兼用ポート用のグランド端子です。

(16) AV_{REF0}（Analog reference voltage）　…　入力

A/D コンバータおよび兼用ポート用のアナログ正電源供給端子です。

A/D コンバータ用の基準電圧供給端子を兼用しています。

（17）EV_{DD}（Power supply for port）

入出力ポートおよび兼用機能端子用の正電源供給端子です。

（18）EV_{SS}（Ground for port）

入出力ポートおよび兼用機能端子用のグランド端子です。

（19）V_{DD}（Power supply）

正電源供給端子です。すべての V_{DD} **端子を正電源に接続してください。**

（20）V_{SS}（Ground）

グランド端子です。すべての V_{SS} **端子をグランドに接続してください。**

（21）FLMD0（Flash programming mode）　…　**入力**

フラッシュ・メモリ・プログラミング・モード用の信号入力端子です。

通常動作モード時は，V_{SS} **に接続してください。**

（22）BV_{DD}（Power supply for port）

入出力ポートおよび兼用機能端子用の正電源供給端子です。

（23）BV_{SS}（Ground for port）

入出力ポートおよび兼用機能端子用のグランド端子です。

（24）REGC（Regulator control）　…　**入力**

レギュレータ用のコンデンサ端子です。

2.3　端子の入出力回路タイプと未使用時の処理

(1/2)

端　子	入出力回路タイプ	推奨接続方法
P00/TIP31/TOP31	5-W	入力時：個別に抵抗を介して，EV_{DD} または EV_{SS} に接続してください。 出力時：オープンにしてください。
P01/TIP30/TOP30		
P02/NMI		
P03/INTP0/ADTRG		
P04/INTP1		
P05/INTP2/$\overline{DRST}$	5-AF	入力時：個別に抵抗を介して，EV_{SS} に接続してください。 出力時：オープンにしてください。
P06/INTP3	5-W	入力時：個別に抵抗を介して，EV_{DD} または EV_{SS} に接続してください。 出力時：オープンにしてください。
P10/INTP9	5-W	入力時：個別に抵抗を介して，EV_{DD} または EV_{SS} に接続してください。 出力時：オープンにしてください。
P11/INTP10		
P30/TXDA0	5-A	入力時：個別に抵抗を介して，EV_{DD} または EV_{SS} に接続してください。 出力時：オープンにしてください。
P31/RXDA0/INTP7	5-W	
P32/ASCKA0/TIP00/TOP00/ TOP01		
P33/TIP01/TOP01/CTXD0		
P34/TIP10/TOP10/CRXD0		
P35/TIP11/TOP11		
P36/CTXD1	5-A	
P37/CRXD1	5-W	
P38/TXDA2	5-A	
P39/RXDA2/INTP8	5-W	
P40/SIB0	5-W	入力時：個別に抵抗を介して，EV_{DD} または EV_{SS} に接続してください。 出力時：オープンにしてください。
P41/SOB0	5-A	
P42/$\overline{SCKB0}$	5-W	
P50/KR0/TIQ01/TOQ01		
P51/KR1/TIQ02/TOQ02		
P52/KR2/TIQ03/TOQ03/DDI		
P53/KR3/TIQ00/TOQ00/DDO		
P54/KR4/DCK		
P55/KR5/DMS		
P70/ANI0-P711/ANI11	11-G	入力時：個別に抵抗を介して，AV_{REF0} または AV_{SS} に接続してください。 出力時：オープンにしてください。
P712/ANI12-P715/ANI15		
P90/KR6/TXDA1	5-W	入力時：個別に抵抗を介して，EV_{DD} または EV_{SS} に接続してください。 出力時：オープンにしてください。
P91/KR7/RXDA1		
P92/TIQ11/TOQ11		
P93/TIQ12/TOQ12		
P94/TIQ13/TOQ13		

(2/2)

端　子	入出力回路タイプ	推奨接続方法
P95/TIQ10/TOQ10	5-W	入力時：個別に抵抗を介して，EV_{DD} または EV_{SS} に接続してください。 出力時：オープンにしてください。
P96/TIP21/TOP21		
P97/SIB1/TIP20/TOP20		
P98/SOB1	5-A	
P99/$\overline{\text{SCKB1}}$	5-W	
P910	5-A	
P911		
P912		
P913/INTP4/PCL	5-W	
P914/INTP5		
P915/INTP6		
PCM0	5	入力時：個別に抵抗を介して，BV_{DD} または BV_{SS} に接続してください。 出力時：オープンにしてください。
PCM1/CLKOUT		
PCM2, PCM3		
PCS0, PCS1	5	入力時：個別に抵抗を介して，BV_{DD} または BV_{SS} に接続してください。 出力時：オープンにしてください。
PCT0, PCT1, PCT4, PCT6	5	入力時：個別に抵抗を介して，BV_{DD} または BV_{SS} に接続してください。 出力時：オープンにしてください。
PDL0-PDL4	5	入力時：個別に抵抗を介して，BV_{DD} または BV_{SS} に接続してください。 出力時：オープンにしてください。
PDL5/FLMD1		
PDL6-PDL13		
AV_{REF0}	–	V_{DD} に直接接続してください。
AV_{SS}	–	–
IC/FLMD0 注	–	V_{SS} に直接接続してください。
REGC	–	–
$\overline{\text{RESET}}$	2	–
X1	–	–
X2	–	–
XT1	16	抵抗を介して，V_{SS} に接続してください。
XT2	16	オープンにしてください。
V_{DD}	–	–
V_{SS}	–	–
BV_{DD}	–	–
BV_{SS}	–	–
EV_{DD}	–	–
EV_{SS}	–	–

注　セルフ・プログラミング中に$\overline{\text{RESET}}$端子にノイズ除去幅を超えるノイズが入力された場合，FLMD0 端子に容量を接続していると容量のチャージ抜けのタイミングによっては，フラッシュ・オンボード・モードに入ってしまうため，FLMD0 端子に容量を接続しないでください。

2. 4　端子の入出力回路

図 2－1　端子の入出力回路タイプ（1/2）

タイプ 2

ヒステリシス特性を有するシュミット・トリガ入力となっています。

タイプ 5-AF

タイプ 5

タイプ 11-G

図 2－1　端子の入出力回路タイプ（2/2）

★2. 5　注意事項

フラッシュ ROM **製品において，**P53/KR3/TIQ00/TOQ00/DDO **端子は，電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。**

第3章　CPU機能

V850ES/FG2のCPUは，RISCアーキテクチャをベースとして，5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3. 1　特　　徴

○最小命令実行時間：50 ns（20 MHz動作時）

○メモリ空間　　プログラム空間：64 Mバイト・リニア

　　データ空間　　：4 Gバイト・リニア

○汎用レジスタ：32ビット×32本

○内部32ビット・アーキテクチャ

○5段パイプライン制御

○乗除算命令

○飽和演算命令

○32ビット・シフト命令：1クロック

○ロング／ショート形式を持つロード／ストア命令

○ビット操作命令4種

- SET1
- CLR1
- NOT1
- TST1

3. 2　CPUレジスタ・セット

V850ES/FG2のレジスタは，汎用のプログラム・レジスタ・セットと，専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850ES　ユーザーズ・マニュアル　アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット

31　　0

r0	(ゼロ・レジスタ)
r1	(アセンブラ予約レジスタ)
r2	
r3	(スタック・ポインタ (SP))
r4	(グローバル・ポインタ (GP))
r5	(テキスト・ポインタ (TP))
r6	
r7	
r8	
r9	
r10	
r11	
r12	
r13	
r14	
r15	
r16	
r17	
r18	
r19	
r20	
r21	
r22	
r23	
r24	
r25	
r26	
r27	
r28	
r29	
r30	(エレメント・ポインタ (EP))
r31	(リンク・ポインタ (LP))

31　　0

PC	(プログラム・カウンタ)

(2) システム・レジスタ・セット

31　　0

EIPC	(割り込み時状態退避レジスタ)
EIPSW	(割り込み時状態退避レジスタ)

FEPC	(NMI時状態退避レジスタ)
FEPSW	(NMI時状態退避レジスタ)

ECR	(割り込み要因レジスタ)

PSW	(プログラム・ステータス・ワード)

CTPC	(CALLT実行時状態退避レジスタ)
CTPSW	(CALLT実行時状態退避レジスタ)

DBPC	(例外／ディバグ・トラップ時状態退避レジスタ)
DBPSW	(例外／ディバグ・トラップ時状態退避レジスタ)

CTBP	(CALLTベース・ポインタ)

3. 2. 1　プログラム・レジスタ・セット

プログラム・レジスタには，汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ（r0-r31）

汎用レジスタとして，r0-r31の32本が用意されています。これらのレジスタは，どれでもデータ変数またはアドレス変数として利用できます。

ただし，r0とr30は命令により暗黙的に使用しますので，これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで，0を使用する演算やオフセット0のアドレシングで使用されます。r30はSLD命令とSST命令により，メモリをアクセスするときのベース・ポインタとして使用されます。また，r1, r3-r5, r31は，アセンブラとCコンパイラが暗黙的に使用しますので，これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し，使用後に元に戻す必要があります。r2は，リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は，変数用レジスタとしてr2を使用できます。

表3－1　プログラム・レジスター覧

名　称	用　　途	動　　作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミーディエト作成用のワーキング・レジスタとして使用
r2	アドレス／データ変数用レジスタ（使用するリアルタイムOSがr2を使用していない場合）	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域（プログラム・コードを配置する領域）の先頭を指すレジスタとして使用
r6-r29	アドレス／データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

備考　アセンブラやCコンパイラで使用されるr1, r3-r5, r31の詳細な説明は，CA850（Cコンパイラ・パッケージ）ユーザーズ・マニュアル　アセンブリ言語編を参照してください。

(2) プログラム・カウンタ（PC）

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で，ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また，ビット0は0に固定されており，奇数番地への分岐はできません。

3. 2. 2　システム・レジスタ・セット

システム・レジスタは，CPUの状態制御，割り込み情報保持などを行います。

システム・レジスタへのリード／ライトは，システム・レジスタ・ロード／ストア命令（LDSR, STSR命令）により，次に示すシステム・レジスタ番号を設定することで行います。

表3－2　システム・レジスタ番号

レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ（EIPC）注1	○	○
1	割り込み時状態退避レジスタ（EIPSW）注1	○	○
2	NMI時状態退避レジスタ（FEPC）	○	○
3	NMI時状態退避レジスタ（FEPSW）	○	○
4	割り込み要因レジスタ（ECR）	×	○
5	プログラム・ステータス・ワード（PSW）	○	○
6-15	将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません）	×	×
16	CALLT実行時状態退避レジスタ（CTPC）	○	○
17	CALLT実行時状態退避レジスタ（CTPSW）	○	○
18	例外／ディバグ・トラップ時状態退避レジスタ（DBPC）	○注2	○
19	例外／ディバグ・トラップ時状態退避レジスタ（DBPSW）	○注2	○
20	CALLTベース・ポインタ（CTBP）	○	○
21-31	将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません）	×	×

注1.　このレジスタは1組しかないため，多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2.　DBTRAP命令または不正命令を実行してからDBRET命令を実行するまでの期間のみアクセス可能です。

注意　LDSR命令によりEIPCかFEPC，またはCTPCのビット0をセット（1）しても，割り込み処理後のRETI命令で復帰するときにビット0は無視されます（PCのビット0を0固定してあるため）。EIPC, FEPC, CTPCに値を設定する場合は，偶数値（ビット0 = 0）を設定してください。

備考　○：アクセス可能
　　×：アクセス禁止

（1）割り込み時状態退避レジスタ（EIPC, EIPSW）

割り込み時状態退避レジスタには，EIPCとEIPSWがあります。

ソフトウエア例外やマスカブル割り込みが発生した場合，プログラム・カウンタ（PC）の内容がEIPCに，プログラム・ステータス・ワード（PSW）の内容がEIPSWに退避されます（ノンマスカブル割り込み（NMI）発生時には，NMI時状態退避レジスタ（FEPC, FEPSW）に退避されます）。

EIPCには，一部の命令（15. 7　CPUが割り込みを受け付けない期間参照）を除き，ソフトウエア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには，現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないため，多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお，EIPCのビット31-26とEIPSWのビット31-8は，将来の機能拡張のために予約されています（0に固定）。RETI命令により，EIPCの値はPCへ，EIPSWの値はPSWへ復帰します。

(2) NMI時状態退避レジスタ（FEPC, FEPSW）

NMI時状態退避レジスタには，FEPCとFEPSWがあります。

ノンマスカブル割り込み（NMI）が発生した場合，プログラム・カウンタ（PC）の内容がFEPCに，プログラム・ステータス・ワード（PSW）の内容がFEPSW に退避されます。

FEPCには，一部の命令を除き，NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには，現在のPSWの内容が退避されます。

なお，FEPCのビット31-26とFEPSWのビット31-8は，将来の機能拡張のために予約されています（0に固定）。

(3) 割り込み要因レジスタ（ECR）

割り込み要因レジスタ（ECR）は，例外や割り込みが発生した場合に，その要因を保持するレジスタです。ECRが保持する値は，割り込み要因ごとにコード化された例外コードです。なお，このレジスタは読み出し専用のため，LDSR命令を使ってこのレジスタにデータを書き込むことはできません。

ビット位置	ビット名	意　味
31-16	FECC	ノンマスカブル割り込み（NMI）の例外コード
15-0	EICC	例外，マスカブル割り込みの例外コード

(4) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワード（PSW）は，プログラムの状態（命令実行の結果）やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は，LDSR命令実行終了直後から変更内容が有効となります。ただし，IDフラグをセット“1”する場合，LDSR命令実行中から割り込み要求の受け付けを禁止します。

なお，ビット31-8は，将来の機能拡張のために予約されています（0に固定）。

(1/2)

初期値
00000020H

ビット位置	フラグ名	意　味
31-8	RFU	予約フィールドです。“0”に固定されています。
7	NP	ノンマスカブル割り込み（NMI）処理中であることを示します。NMI要求が受け付けられるとセット“1”され，多重割り込みを禁止します。 0：NMI処理中でない。 1：NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお，このビットがセットされても割り込み要求は受け付けます。 0：例外処理中でない。 1：例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0：割り込み可 1：割り込み不可
4	SAT注	飽和演算命令の演算結果がオーバフローし，演算結果が飽和していることを示します。累積フラグのため，飽和演算命令で演算結果が飽和するとセット“1”され，以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は，LDSR命令により行います。なお，算術演算命令の実行では，セット“1”もクリア“0”も行いません。 0：飽和していない。 1：飽和している。
3	CY	演算結果にキャリー，またはボローがあったかどうかを示します。 0：キャリー，またはボローは発生していない。 1：キャリー，またはボローが発生した。
2	OV注	演算中にオーバフローが発生したかどうかを示します。 0：オーバフローは発生していない。 1：オーバフローが発生した。
1	S注	演算の結果が負かどうかを示します。 0：演算の結果は，正または0であった。 1：演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0：演算の結果は0でなかった。 1：演算の結果は0であった。

備考　注の説明は次ページに記載しています。

(2/2)

注　飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また，飽和演算時に OV フラグがセット“1”場合だけ，SAT フラグはセット“1”されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正（最大値を越えない）	演算前の値を保持	0	0	演算結果そのもの
負（最大値を越えない）			1	

(5) CALLT実行時状態退避レジスタ（CTPC, CTPSW）

CALLT実行時状態退避レジスタには，CTPCとCTPSWがあります。

CALLT命令が実行されると，プログラム・カウンタ（PC）の内容がCTPCに，プログラム・ステータス・ワード（PSW）の内容がCTPSWに退避されます。

CTPCに退避される内容は，CALLT命令の次の命令のアドレスです。

CTPSWには，現在のPSWの内容が退避されます。

なお，CTPCのビット31-26とCTPSWのビット31-8は，将来の機能拡張のために予約されています（“0”に固定）。

(6) 例外／ディバグ・トラップ時状態退避レジスタ（DBPC, DBPSW）

例外／ディバグ・トラップ時状態退避レジスタとして，DBPCとDBPSWがあります。

例外トラップ，またはディバグ・トラップが発生すると，プログラム・カウンタ（PC）の内容がDBPC に，プログラム・ステータス・ワード（PSW）の内容がDBPSWに退避されます。

DBPCに退避される内容は，例外トラップ，またはディバグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには，現在のPSWの内容が退避されます。

このレジスタへのリード／ライトはDBTRAP命令または不正命令を実行してからDBRET命令を実行するまでの期間だけ可能です。

なお，DBPCのビット31-26とDBPSWのビット31-8は，将来の機能拡張のために予約されています（“0”に固定）。DBRET命令によりDBPCの値はPCへ，DBPSWの値はPSWに復帰します。

(7) CALLTベース・ポインタ（CTBP）

CALLTベース・ポインタ（CTBP）は，テーブル・アドレスの指定，ターゲット・アドレスの生成に使用されます（ビット0は“0”に固定）。

なお，ビット31-26は，将来の機能拡張のために予約されています（“0”に固定）。

3. 3　動作モード

V850ES/FG2は次に示す動作モードを備えます。

★　3. 3. 1　動作モード指定

FLMD0, FLMD1端子の状態により動作モードを指定します。

通常モード時はリセット解除時にFLMD0端子がロウ・レベル入力となるようにしてください。

フラッシュ･メモリ･プログラミング･モード時のFLMD0端子へのハイ･レベル入力は，フラッシュ･ライタ接続時はフラッシュ･ライタから行いますが，セルフ･プログラミング時は外部回路で行ってください。

FLMD0	FLMD1	動作モード
0	×	通常動作モード
1	0	フラッシュ・メモリ・プログラミング・モード
1	1	設定禁止

★　**注意　マスクROM製品は通常動作モードのみです。IC端子を直接Vss端子に接続してください。**

備考　×：任意

(1) 通常動作モード

システム・リセット解除後，内蔵ROMのリセット・エントリ・アドレスに分岐し，命令処理を開始します。

(2) フラッシュ・メモリ・プログラミング・モード

このモードを指定すると，フラッシュ・ライタによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

★　**(3) オンチップ･ディバグ･モード**

JTAG (Joint Test Action Group) の通信仕様を利用して，N-wire型エミュレータを介したオンチップ･ディバグが可能になります。詳細は第26章　オンチップ･ディバグ機能を参照してください。

備考　フラッシュ・メモリ製品のみ

3. 4　アドレス空間

3. 4. 1　CPUアドレス空間

V850ES/FG2のCPUは，32ビット・アーキテクチャであり，オペランド・アドレシング（データ・アクセス）においては，最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。また，命令アドレスのアドレシングにおいては，最大64 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。ただし，プログラム／データ空間ともに使用禁止領域があります。詳細は図3－2を参照してください。

図3－1にCPUアドレス空間を示します。

図3－1　CPUアドレス空間

3.4.2　イメージ

命令アドレスのアドレシングにおいては，最大で16 Mバイトのリニア・アドレス空間（プログラム空間）のうち最大16 Mバイトの内蔵ROM領域と，内蔵RAM領域をサポートしています。オペランド・アドレシング（データ・アクセス）においては，最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。ただし，4 Gバイトのアドレス空間には64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり，ビット31-ビット26がどのような値でも，同じ64 Mバイトの物理アドレス空間をアクセスします。

★　**図3－2　アドレス空間上のイメージ**

3. 4. 3　CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC（プログラム・カウンタ）は32ビットのうち上位6ビットが0固定で，下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって，プログラム空間の下限である00000000H番地と，上限の03FFFFFFH番地は連続したアドレスとなります。このようにメモリ空間の下限と上限が連続したアドレスになることをラップ・アラウンドといいます。

注意　03FFF000H-03FFFFFFHの4 Kバイトの領域は，内蔵周辺I/O領域のため，命令フェッチすることができません。したがって，分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。

(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって，データ空間の下限である00000000H番地と，上限のFFFFFFFFH番地は連続したアドレスになり，この境界でラップ・アラウンドします。

3. 4. 4　メモリ・マップ

V850ES/FG2では，図3－3に示すように各領域を予約しています。

図3－3　データ・メモリ・マップ（物理アドレス）

注1.　μPD703234, 70F3234:6KB, 703235, 70F3235:12KB, 70F3236:16KBを実装。

2.　3FEF000H-3FEFFFFH番地は，内蔵周辺I/O領域と同じ領域となるため，使用禁止となります。

図3－4　プログラム・メモリ・マップ

注　μPD703234, 70F3234:6KB, 703235, 70F3235:12KB, 70F3236:16KBを実装。

詳細は，3. 4. 5（2）内蔵RAM領域を参照してください。

3.4.5 領　　域

(1) 内蔵ROM／内蔵フラッシュ・メモリ領域

内蔵ROM／内蔵フラッシュ・メモリ領域は，最大1 Mバイトが予約されています。

(a) 内蔵ROM／内蔵フラッシュ・メモリ（128 Kバイト）

次の製品には00000000Hから0001FFFFH番地に128 Kバイト実装しています。

00020000Hから000FFFFFH番地はアクセス禁止領域です。

・μPD703234, 70F3234

図3－5　内蔵ROM／内蔵フラッシュ・メモリ領域（128 Kバイト）

(b) 内蔵ROM／内蔵フラッシュ・メモリ（256 Kバイト）

次の製品には00000000Hから0003FFFFH番地に256 Kバイト実装しています。

00040000Hから000FFFFFH番地はアクセス禁止領域です。

・μPD703235, 70F3235

図3－6　内蔵ROM／内蔵フラッシュ・メモリ領域（256 Kバイト）

(c) 内蔵フラッシュ・メモリ（384 Kバイト）

次の製品には00000000Hから0005FFFFH番地に384 Kバイト実装しています。

00060000Hから000FFFFFH番地はアクセス禁止領域です。

・μPD70F3236

図3－7　内蔵フラッシュ・メモリ領域（384 Kバイト）

(2) 内蔵RAM領域

内蔵RAM領域は，最大60 Kバイトが予約されています。

(a) 内蔵RAM領域（6 Kバイト）

次の製品には03FFD800Hから03FFEFFFH番地に6 Kバイト実装しています。

03FF0000Hから03FFD7FFH番地はアクセス禁止領域です。

・μPD703234, 70F3234

図3－8　内蔵RAM領域（6 Kバイト）

(b) 内蔵RAM（12 Kバイト）

次の製品には03FFC000Hから03FFEFFFH番地に12 Kバイト実装しています。

03FF0000Hから03FFBFFFH番地はアクセス禁止領域です。

・μPD703235, 70F3235

図3－9　内蔵RAM領域（12 Kバイト）

(c) 内蔵RAM（16 Kバイト）

次の製品には03FFB000Hから03FFEFFFH番地に16 Kバイト実装しています。

03FF0000Hから03FFAFFFH番地はアクセス禁止領域です。

・μPD70F3236

図3－10　内蔵RAM領域（16 Kバイト）

（3）内蔵周辺I/O領域

内蔵周辺I/O領域として03FFF000H-03FFFFFFH番地の4 Kバイトを予約しています。

図3－11　内蔵周辺I/O領域

内蔵周辺I/O領域には，内蔵周辺I/Oの動作モード指定，状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

注意1.　レジスタにワード・アクセスを行うと，アドレスの下位2ビットを無視したワード領域に対し下位，上位の順番でハーフワード・アクセスを2回行います。

2.　バイト・アクセス可能なレジスタにハーフワード・アクセスした場合，リード時は上位8ビットが不定になり，ライト時は下位8ビット・データがレジスタに書き込まれます。

3.　レジスタとして定義されていないアドレスは，将来の拡張用に予約されており，アクセスした場合の動作は不定であり，保証しません。

★　（4）プログラマブル周辺I/O領域

プログラマブル周辺I/O領域として03FEC000H-03FEEFFFH番地の12 Kバイトを予約しています。

図3－12　プログラマブル周辺I/O領域

注意　プログラマブル周辺I/O領域は，4 Gバイトのアドレス空間に256 Mバイトごとのイメージとして見えます。

3.4.6　アドレス空間の推奨使用方法

V850ES/FG2のアーキテクチャでは，データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには，命令から直接オペランド・データ・アクセスが行えます。しかし，ポインタ用レジスタとして使う汎用レジスタには限りがあるため，ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで，変数用の汎用レジスタを最大限に確保し，かつプログラム・サイズを抑えることができます。

(1) プログラム空間

PC（プログラム・カウンタ）は，32ビットのうち上位6ビットは0に固定であり，下位26ビットだけ有効となります。したがって，プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

内蔵RAM領域をプログラム空間として使用する場合は，次の番地に対してアクセスしてください。

★　**注意　内蔵RAM領域の上限に分岐命令がある場合，内蔵周辺I/O領域にまたがるプリフェッチ動作（無効フェッチ）は発生しません。**

RAMサイズ	アクセス番地
6 Kバイト	03FFD800H-03FFEFFFH
12 Kバイト	03FFC000H-03FFEFFFH
16 Kバイト	03FFB000H-03FFEFFFH

(2) データ空間

V850ES/FG2では，4 GバイトのCPUアドレス空間に64 Mバイトの物理アドレス空間が64個のイメージとして見えるため，この26ビット・アドレスの最上位ビット（ビット25）を32ビット長まで符号拡張したアドレスとして割り当てています。

(a) ラップ・アラウンドを利用した応用例

LD/ST disp16 [R] 命令でR = r0（ゼロ・レジスタ）とした場合，符号拡張したdisp16により，00000000H番地±32 Kバイトの範囲がアドレシング可能です。内蔵ハードウエアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ（r0）はハードウエアでゼロ固定のレジスタであり，ポインタ専用に費やすレジスタは実質不要となります。

例：μPD703235の場合

★ **図3－13　推奨メモリ・マップ**

注　この領域はアクセス禁止です。この領域の内蔵周辺I/Oをアクセスするときには0FFFF000H-0FFFFFFFH番地を指定してください。

備考1.　↕ **は推奨使用領域です。**

2.　**この図は**μPD703235**の場合の推奨メモリ・マップです。**

★　3.4.7　周辺I/Oレジスタ

(1/9)

アドレス	機能レジスタ名称	略　号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF004H	ポートDL	PDL	R/W			○	不定
FFFFF004H	ポートDLL	PDLL		○	○		不定
FFFFF005H	ポートDLH	PDLH		○	○		不定
FFFFF008H	ポートCS	PCS		○	○		不定
FFFFF00AH	ポートCT	PCT		○	○		不定
FFFFF00CH	ポートCM	PCM		○	○		不定
FFFFF024H	ポート・モード・レジスタDL	PMDL				○	FFFFH
FFFFF024H	ポート・モード・レジスタDLL	PMDLL		○	○		FFH
FFFFF025H	ポート・モード・レジスタDLH	PMDLH		○	○		FFH
FFFFF028H	ポート・モード・レジスタCS	PMCS		○	○		FFH
FFFFF02AH	ポート・モード・レジスタCT	PMCT		○	○		FFH
FFFFF02CH	ポート・モード・レジスタCM	PMCM		○	○		FFH
FFFFF04CH	ポート・モード・コントロール・レジスタCM	PMCCM		○	○		00H
FFFFF064H	周辺I/O領域セレクト制御レジスタ	BPC				○	0000H
FFFFF06EH	システム・ウエイト・コントロール・レジスタ	VSWC			○		77H
FFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L				○	不定
FFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H				○	不定
FFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L				○	不定
FFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H				○	不定
FFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L				○	不定
FFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H				○	不定
FFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L				○	不定
FFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H				○	不定
FFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L				○	不定
FFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H				○	不定
FFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L				○	不定
FFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H				○	不定
FFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L				○	不定
FFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H				○	不定
FFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L				○	不定
FFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H				○	不定
FFFFF0C0H	DMA転送カウント・レジスタ0	DBC0				○	不定
FFFFF0C2H	DMA転送カウント・レジスタ1	DBC1				○	不定
FFFFF0C4H	DMA転送カウント・レジスタ2	DBC2				○	不定
FFFFF0C6H	DMA転送カウント・レジスタ3	DBC3				○	不定
FFFFF0D0H	DMAアドレッシング・コントロール・レジスタ0	DADC0				○	0000H
FFFFF0D2H	DMAアドレッシング・コントロール・レジスタ1	DADC1				○	0000H
FFFFF0D4H	DMAアドレッシング・コントロール・レジスタ2	DADC2				○	0000H
FFFFF0D6H	DMAアドレッシング・コントロール・レジスタ3	DADC3				○	0000H

(2/9)

アドレス	機能レジスタ名称	略　号	R/W	操作可能ビット			初期値
				1	8	1	
FFFFF0F0H	DMAチャネル・コントロール・レジスタ0	DCHC0	R/W	○	○		00H
FFFFF0D2H	DMAチャネル・コントロール・レジスタ1	DCHC1		○	○		00H
FFFFF0D4H	DMAチャネル・コントロール・レジスタ2	DCHC2		○	○		00H
FFFFF0D6H	DMAチャネル・コントロール・レジスタ3	DCHC3		○	○		00H
FFFFF100H	割り込みマスク・レジスタ0	IMR0				○	FFFFH
FFFFF100H	割り込みマスク・レジスタ0L	IMR0L		○	○		FFH
FFFFF101H	割り込みマスク・レジスタ0H	IMR0H		○	○		FFH
FFFFF102H	割り込みマスク・レジスタ1	IMR1				○	FFFFH
FFFFF102H	割り込みマスク・レジスタ1L	IMR1L		○	○		FFH
FFFFF103H	割り込みマスク・レジスタ1H	IMR1H		○	○		FFH
FFFFF104H	割り込みマスク・レジスタ2	IMR2				○	FFFFH
FFFFF104H	割り込みマスク・レジスタ2L	IMR2L		○	○		FFH
FFFFF105H	割り込みマスク・レジスタ2H	IMR2H		○	○		FFH
FFFFF106H	割り込みマスク・レジスタ3	IMR3				○	FFFFH
FFFFF106H	割り込みマスク・レジスタ3L	IMR3L		○	○		FFH
FFFFF107H	割り込みマスク・レジスタ3H	IMR3H		○	○		FFH
FFFFF110H	割り込み制御レジスタ	LVIIC		○	○		47H
FFFFF112H	割り込み制御レジスタ	PIC0		○	○		47H
FFFFF114H	割り込み制御レジスタ	PIC1		○	○		47H
FFFFF116H	割り込み制御レジスタ	PIC2		○	○		47H
FFFFF118H	割り込み制御レジスタ	PIC3		○	○		47H
FFFFF11AH	割り込み制御レジスタ	PIC4		○	○		47H
FFFFF11CH	割り込み制御レジスタ	PIC5		○	○		47H
FFFFF11EH	割り込み制御レジスタ	PIC6		○	○		47H
FFFFF120H	割り込み制御レジスタ	PIC7		○	○		47H
FFFFF122H	割り込み制御レジスタ	TQ0OVIC		○	○		47H
FFFFF124H	割り込み制御レジスタ	TQ0CCIC0		○	○		47H
FFFFF126H	割り込み制御レジスタ	TQ0CCIC1		○	○		47H
FFFFF128H	割り込み制御レジスタ	TQ0CCIC2		○	○		47H
FFFFF12AH	割り込み制御レジスタ	TQ0CCIC3		○	○		47H
FFFFF12CH	割り込み制御レジスタ	TP0OVIC		○	○		47H
FFFFF12EH	割り込み制御レジスタ	TP0CCIC0		○	○		47H
FFFFF130H	割り込み制御レジスタ	TP0CCIC1		○	○		47H
FFFFF132H	割り込み制御レジスタ	TP1OVIC		○	○		47H
FFFFF134H	割り込み制御レジスタ	TP1CCIC0		○	○		47H
FFFFF136H	割り込み制御レジスタ	TP1CCIC1		○	○		47H
FFFFF138H	割り込み制御レジスタ	TP2OVIC		○	○		47H
FFFFF13AH	割り込み制御レジスタ	TP2CCIC0		○	○		47H
FFFFF13CH	割り込み制御レジスタ	TP2CCIC1		○	○		47H
FFFFF13EH	割り込み制御レジスタ	TP3OVIC		○	○		47H
FFFFF140H	割り込み制御レジスタ	TP3CCIC0		○	○		47H
FFFFF142H	割り込み制御レジスタ	TP3CCIC1		○	○		47H

(3/9)

アドレス	機能レジスタ名称	略　号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF144H	割り込み制御レジスタ	TM0EQIC0	R/W	○	○		47H
FFFFF146H	割り込み制御レジスタ	CB0RIC		○	○		47H
FFFFF148H	割り込み制御レジスタ	CB0TIC		○	○		47H
FFFFF14AH	割り込み制御レジスタ	CB1RIC		○	○		47H
FFFFF14CH	割り込み制御レジスタ	CB1TIC		○	○		47H
FFFFF14EH	割り込み制御レジスタ	UA0RIC		○	○		47H
FFFFF150H	割り込み制御レジスタ	UA0TIC		○	○		47H
FFFFF152H	割り込み制御レジスタ	UA1RIC		○	○		47H
FFFFF154H	割り込み制御レジスタ	UA1TIC		○	○		47H
FFFFF156H	割り込み制御レジスタ	ADIC		○	○		47H
FFFFF158H	割り込み制御レジスタ	C0ERRIC		○	○		47H
FFFFF15AH	割り込み制御レジスタ	C0WUPIC		○	○		47H
FFFFF15CH	割り込み制御レジスタ	C0RECIC		○	○		47H
FFFFF15EH	割り込み制御レジスタ	C0TRXIC		○	○		47H
FFFFF160H	割り込み制御レジスタ	KRIC		○	○		47H
FFFFF162H	割り込み制御レジスタ	WTIIC		○	○		47H
FFFFF164H	割り込み制御レジスタ	WTIC		○	○		47H
FFFFF166H	割り込み制御レジスタ	PIC8		○	○		47H
FFFFF168H	割り込み制御レジスタ	PIC9		○	○		47H
FFFFF16AH	割り込み制御レジスタ	PIC10		○	○		47H
FFFFF16CH	割り込み制御レジスタ	TQ1OVIC		○	○		47H
FFFFF16EH	割り込み制御レジスタ	TQ1CCIC0		○	○		47H
FFFFF170H	割り込み制御レジスタ	TQ1CCIC1		○	○		47H
FFFFF172H	割り込み制御レジスタ	TQ1CCIC2		○	○		47H
FFFFF174H	割り込み制御レジスタ	TQ1CCIC3		○	○		47H
FFFFF176H	割り込み制御レジスタ	UA2RIC		○	○		47H
FFFFF178H	割り込み制御レジスタ	UA2TIC		○	○		47H
FFFFF17AH	割り込み制御レジスタ	C1ERRIC		○	○		47H
FFFFF17CH	割り込み制御レジスタ	C1WUPIC		○	○		47H
FFFFF17EH	割り込み制御レジスタ	C1RECIC		○	○		47H
FFFFF180H	割り込み制御レジスタ	C1TRXIC		○	○		47H
FFFFF182H	割り込み制御レジスタ	DMAIC0		○	○		47H
FFFFF184H	割り込み制御レジスタ	DMAIC1		○	○		47H
FFFFF186H	割り込み制御レジスタ	DMAIC2		○	○		47H
FFFFF188H	割り込み制御レジスタ	DMAIC3		○	○		47H
FFFFF1FAH	インサービス・プライオリティ・レジスタ	ISPR	R	○	○		00H
FFFFF1FCH	コマンド・レジスタ	PRCMD	W		○		不定
FFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W	○	○		00H

(4/9)

アドレス	機能レジスタ名称	略　号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF200H	A/Dコンバータ・モード・レジスタ0	ADA0M0	R/W	○	○		00H
FFFFF201H	A/Dコンバータ・モード・レジスタ1	ADA0M1		○	○		00H
FFFFF202H	A/Dコンバータ・チャネル指定レジスタ0	ADA0S		○	○		00H
FFFFF203H	A/Dコンバータ・モード・レジスタ2	ADA0M2		○	○		00H
FFFFF204H	パワー・フェイル比較モード・レジスタ	ADA0PFM		○	○		00H
FFFFF205H	パワー・フェイル比較しきい値レジスタ	ADA0PFT		○	○		00H
FFFFF210H	A/D変換結果レジスタ0	ADA0CR0	R			○	00H
FFFFF211H	A/D変換結果レジスタ0H	ADA0CR0H			○		00H
FFFFF212H	A/D変換結果レジスタ1	ADA0CR1				○	00H
FFFFF213H	A/D変換結果レジスタ1H	ADA0CR1H			○		00H
FFFFF214H	A/D変換結果レジスタ2	ADA0CR2				○	00H
FFFFF215H	A/D変換結果レジスタ2H	ADA0CR2H			○		00H
FFFFF216H	A/D変換結果レジスタ3	ADA0CR3				○	00H
FFFFF217H	A/D変換結果レジスタ3H	ADA0CR3H			○		00H
FFFFF218H	A/D変換結果レジスタ4	ADA0CR4				○	00H
FFFFF219H	A/D変換結果レジスタ4H	ADA0CR4H			○		00H
FFFFF21AH	A/D変換結果レジスタ5	ADA0CR5				○	00H
FFFFF21BH	A/D変換結果レジスタ5H	ADA0CR5H			○		00H
FFFFF21CH	A/D変換結果レジスタ6	ADA0CR6				○	00H
FFFFF21DH	A/D変換結果レジスタ6H	ADA0CR6H			○		00H
FFFFF21EH	A/D変換結果レジスタ7	ADA0CR7				○	00H
FFFFF21FH	A/D変換結果レジスタ7H	ADA0CR7H			○		00H
FFFFF220H	A/D変換結果レジスタ8	ADA0CR8				○	00H
FFFFF221H	A/D変換結果レジスタ8H	ADA0CR8H			○		00H
FFFFF222H	A/D変換結果レジスタ9	ADA0CR9				○	00H
FFFFF223H	A/D変換結果レジスタ9H	ADA0CR9H			○		00H
FFFFF224H	A/D変換結果レジスタ10	ADA0CR10				○	00H
FFFFF225H	A/D変換結果レジスタ10H	ADA0CR10H			○		00H
FFFFF226H	A/D変換結果レジスタ11	ADA0CR11				○	00H
FFFFF227H	A/D変換結果レジスタ11H	ADA0CR11H			○		00H
FFFFF228H	A/D変換結果レジスタ12	ADA0CR12				○	00H
FFFFF229H	A/D変換結果レジスタ12H	ADA0CR12H			○		00H
FFFFF22AH	A/D変換結果レジスタ13	ADA0CR13				○	00H
FFFFF22BH	A/D変換結果レジスタ13H	ADA0CR13H			○		00H
FFFFF22CH	A/D変換結果レジスタ14	ADA0CR14				○	00H
FFFFF22DH	A/D変換結果レジスタ14H	ADA0CR14H			○		00H
FFFFF22EH	A/D変換結果レジスタ15	ADA0CR15				○	00H
FFFFF22FH	A/D変換結果レジスタ15H	ADA0CR15H			○		00H
FFFFF300H	キー・リターン・モード・レジスタ	KRM	R/W	○	○		00H
FFFFF308H	セレクタ動作制御レジスタ0	SELCNT0		○	○		00H
FFFFF318H	ノイズ除去制御レジスタ	NFC		○	○		00H

(5/9)

アドレス	機能レジスタ名称	略　号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF400H	ポート0	P0	R/W	○	○		不定
FFFFF402H	ポート1	P1		○	○		不定
FFFFF406H	ポート3	P3				○	不定
FFFFF406H	ポート3L	P3L		○	○		不定
FFFFF407H	ポート3H	P3H		○	○		不定
FFFFF408H	ポート4	P4		○	○		不定
FFFFF40AH	ポート5	P5		○	○		不定
FFFFF40EH	ポート7L	P7L		○	○		不定
FFFFF40FH	ポート7H	P7H		○	○		不定
FFFFF412H	ポート9	P9				○	不定
FFFFF412H	ポート9L	P9L		○	○		不定
FFFFF413H	ポート9H	P9H		○	○		不定
FFFFF420H	ポート・モード・レジスタ0	PM0		○	○		FFH
FFFFF422H	ポート・モード・レジスタ1	PM1		○	○		FFH
FFFFF426H	ポート・モード・レジスタ3	PM3				○	FFFFH
FFFFF426H	ポート・モード・レジスタ3L	PM3L		○	○		FFH
FFFFF427H	ポート・モード・レジスタ3H	PM3H		○	○		FFH
FFFFF428H	ポート・モード・レジスタ4	PM4		○	○		FFH
FFFFF42AH	ポート・モード・レジスタ5	PM5		○	○		FFH
FFFFF42EH	ポート・モード・レジスタ7L	PM7L		○	○		FFH
FFFFF42FH	ポート・モード・レジスタ7H	PM7H		○	○		FFH
FFFFF432H	ポート・モード・レジスタ9	PM9				○	FFFFH
FFFFF432H	ポート・モード・レジスタ9L	PM9L		○	○		FFH
FFFFF433H	ポート・モード・レジスタ9H	PM9H		○	○		FFH
FFFFF440H	ポート・モード・コントロール・レジスタ0	PMC0		○	○		00H
FFFFF442H	ポート・モード・コントロール・レジスタ1	PMC1		○	○		00H
FFFFF446H	ポート・モード・コントロール・レジスタ3	PMC3				○	0000H
FFFFF446H	ポート・モード・コントロール・レジスタ3L	PMC3L		○	○		00H
FFFFF448H	ポート・モード・コントロール・レジスタ4	PMC4		○	○		00H
FFFFF44AH	ポート・モード・コントロール・レジスタ5	PMC5		○	○		00H
FFFFF452H	ポート・モード・コントロール・レジスタ9	PMC9				○	0000H
FFFFF452H	ポート・モード・コントロール・レジスタ9L	PMC9L		○	○		00H
FFFFF453H	ポート・モード・コントロール・レジスタ9H	PMC9H		○	○		00H
FFFFF460H	ポート・ファンクション・コントロール・レジスタ0	PFC0		○	○		00H
FFFFF466H	ポート・ファンクション・コントロール・レジスタ3L	PFC3L		○	○		00H
FFFFF46AH	ポート・ファンクション・コントロール・レジスタ5	PFC5		○	○		00H
FFFFF472H	ポート・ファンクション・コントロール・レジスタ9	PFC9				○	0000H
FFFFF472H	ポート・ファンクション・コントロール・レジスタ9L	PFC9L		○	○		00H
FFFFF473H	ポート・ファンクション・コントロール・レジスタ9H	PFC9H		○	○		00H

(6/9)

アドレス	機能レジスタ名称	略　号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF540H	TMQ0制御レジスタ0	TQ0CTL0	R/W	○	○		00H
FFFFF541H	TMQ0制御レジスタ1	TQ0CTL1		○	○		00H
FFFFF542H	TMQ0 I/O制御レジスタ0	TQ0IOC0		○	○		00H
FFFFF543H	TMQ0 I/O制御レジスタ1	TQ0IOC1		○	○		00H
FFFFF544H	TMQ0 I/O制御レジスタ2	TQ0IOC2		○	○		00H
FFFFF545H	TMQ0オプション・レジスタ0	TQ0OPT0		○	○		00H
FFFFF546H	TMQ0キャプチャ／コンペア・レジスタ0	TQ0CCR0				○	0000H
FFFFF548H	TMQ0キャプチャ／コンペア・レジスタ1	TQ0CCR1				○	0000H
FFFFF54AH	TMQ0キャプチャ／コンペア・レジスタ2	TQ0CCR2				○	0000H
FFFFF54CH	TMQ0キャプチャ／コンペア・レジスタ3	TQ0CCR3				○	0000H
FFFFF54EH	TMQ0カウンタ・リード・バッファ・レジスタ	TQ0CNT	R			○	0000H
FFFFF590H	TMP0制御レジスタ0	TP0CTL0	R/W	○	○		00H
FFFFF591H	TMP0制御レジスタ1	TP0CTL1		○	○		00H
FFFFF592H	TMP0 I/O制御レジスタ0	TP0IOC0		○	○		00H
FFFFF593H	TMP0 I/O制御レジスタ1	TP0IOC1		○	○		00H
FFFFF594H	TMP0 I/O制御レジスタ2	TP0IOC2		○	○		00H
FFFFF595H	TMP0オプション・レジスタ0	TP0OPT0		○	○		00H
FFFFF596H	TMP0キャプチャ／コンペア・レジスタ0	TP0CCR0				○	0000H
FFFFF598H	TMP0キャプチャ／コンペア・レジスタ1	TP0CCR1				○	0000H
FFFFF59AH	TMP0カウンタ・リード・バッファ・レジスタ	TP0CNT	R			○	0000H
FFFFF5A0H	TMP1制御レジスタ0	TP1CTL0	R/W	○	○		00H
FFFFF5A1H	TMP1制御レジスタ1	TP1CTL1		○	○		00H
FFFFF5A2H	TMP1 I/O制御レジスタ0	TP1IOC0		○	○		00H
FFFFF5A3H	TMP1 I/O制御レジスタ1	TP1IOC1		○	○		00H
FFFFF5A4H	TMP1 I/O制御レジスタ2	TP1IOC2		○	○		00H
FFFFF5A5H	TMP1オプション・レジスタ0	TP1OPT0		○	○		00H
FFFFF5A6H	TMP1キャプチャ／コンペア・レジスタ0	TP1CCR0				○	0000H
FFFFF5A8H	TMP1キャプチャ／コンペア・レジスタ1	TP1CCR1				○	0000H
FFFFF5AAH	TMP1カウンタ・リード・バッファ・レジスタ	TP1CNT	R			○	0000H
FFFFF5B0H	TMP2制御レジスタ0	TP2CTL0	R/W	○	○		00H
FFFFF5B1H	TMP2制御レジスタ1	TP2CTL1		○	○		00H
FFFFF5B2H	TMP2 I/O制御レジスタ0	TP2IOC0		○	○		00H
FFFFF5B3H	TMP2 I/O制御レジスタ1	TP2IOC1		○	○		00H
FFFFF5B4H	TMP2 I/O制御レジスタ2	TP2IOC2		○	○		00H
FFFFF5B5H	TMP2オプション・レジスタ0	TP2OPT0	R/W	○	○		00H
FFFFF5B6H	TMP2キャプチャ／コンペア・レジスタ0	TP2CCR0				○	0000H
FFFFF5B8H	TMP2キャプチャ／コンペア・レジスタ1	TP2CCR1				○	0000H
FFFFF5BAH	TMP2カウンタ・リード・バッファ・レジスタ	TP2CNT	R			○	0000H
FFFFF5C0H	TMP3制御レジスタ0	TP3CTL0	R/W	○	○		00H
FFFFF5C1H	TMP3制御レジスタ1	TP3CTL1		○	○		00H
FFFFF5C2H	TMP3 I/O制御レジスタ0	TP3IOC0		○	○		00H
FFFFF5C3H	TMP3 I/O制御レジスタ1	TP3IOC1		○	○		00H

(7/9)

アドレス	機能レジスタ名称	略　号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF5C4H	TMP3 I/O制御レジスタ2	TP3IOC2	R/W	○	○		00H
FFFFF5C5H	TMP3オプション・レジスタ0	TP3OPT0		○	○		00H
FFFFF5C6H	TMP3キャプチャ／コンペア・レジスタ0	TP3CCR0				○	0000H
FFFFF5C8H	TMP3キャプチャ／コンペア・レジスタ1	TP3CCR1				○	0000H
FFFFF5CAH	TMP3カウンタ・リード・バッファ・レジスタ	TP3CNT	R			○	0000H
FFFFF610H	TMQ1制御レジスタ0	TQ1CTL0	R/W	○	○		00H
FFFFF611H	TMQ1制御レジスタ1	TQ1CTL1		○	○		00H
FFFFF612H	TMQ1 I/O制御レジスタ0	TQ1IOC0		○	○		00H
FFFFF613H	TMQ1 I/O制御レジスタ1	TQ1IOC1		○	○		00H
FFFFF614H	TMQ1 I/O制御レジスタ2	TQ1IOC2		○	○		00H
FFFFF615H	TMQ1タイマ・オプション・レジスタ0	TQ1OPT0		○	○		00H
FFFFF616H	TMQ1キャプチャ／コンペア・レジスタ0	TQ1CCR0				○	0000H
FFFFF618H	TMQ1キャプチャ／コンペア・レジスタ1	TQ1CCR1				○	0000H
FFFFF61AH	TMQ1キャプチャ／コンペア・レジスタ2	TQ1CCR2				○	0000H
FFFFF61CH	TMQ1キャプチャ／コンペア・レジスタ3	TQ1CCR3				○	0000H
FFFFF61EH	TMQ1カウンタ・リード・バッファ・レジスタ	TQ1CNT	R			○	0000H
FFFFF680H	時計タイマ動作モード・レジスタ	WTM	R/W	○	○		00H
FFFFF690H	TMM0制御レジスタ0	TM0CTL0		○	○		00H
FFFFF694H	TMM0コンペア・レジスタ0	TM0CMP0				○	0000H
FFFFF6C0H	発振安定時間選択レジスタ	OSTS			○		06H
FFFFF6C1H	PLLロック・アップ時間指定レジスタ	PLLS			○		03H
★ FFFFF6D0H	ウォッチドッグ・タイマ・モード・レジスタ2	WDTM2			○		67H
FFFFF6D1H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE			○		9AH
FFFFF706H	ポート・ファンクション・コントロール拡張レジスタ3L	PFCE3L		○	○		00H
FFFFF70AH	ポート・ファンクション・コントロール拡張レジスタ5	PFCE5		○	○		00H
FFFFF712H	ポート・ファンクション・コントロール拡張レジスタ9	PFCE9				○	0000H
FFFFF712H	ポート・ファンクション・コントロール拡張レジスタ9L	PFCE9L		○	○		00H
FFFFF713H	ポート・ファンクション・コントロール拡張レジスタ9H	PFCE9H		○	○		00H
FFFFF802H	システム・ステータス・レジスタ	SYS		○	○		00H
FFFFF80CH	リングOSCモード・レジスタ	RCM		○	○		00H
FFFFF810H	DMAトリガ要因レジスタ0	DTFR0		○	○		00H
FFFFF812H	DMAトリガ要因レジスタ1	DTFR1		○	○		00H
FFFFF814H	DMAトリガ要因レジスタ2	DTFR2		○	○		00H
FFFFF816H	DMAトリガ要因レジスタ3	DTFR3		○	○		00H
FFFFF820H	パワー・セーブ・モード・レジスタ	PSMR		○	○		00H
FFFFF824H	ロック・レジスタ	LOCKR	R	○	○		00H
FFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W	○	○		03H
FFFFF82CH	PLLコントロール・レジスタ	PLLCTL		○	○		01H
FFFFF82EH	CPU動作クロック・ステータス・レジスタ	CCLS	R	○	○		00H
FFFFF82FH	プログラマブル・クロック・モード・レジスタ	PCLM	R/W	○	○		00H
FFFFF870H	クロック・モニタ・モード・レジスタ	CLM		○	○		00H
FFFFF888H	リセット要因フラグ・レジスタ	RESF		○	○		00H

(8/9)

アドレス	機能レジスタ名称	略　号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF890H	低電圧検出レジスタ	LVIM	R/W	○	○		00H
FFFFF891H	低電圧検出レベル選択レジスタ	LVIS			○		00H
FFFFF892H	内蔵RAMデータ・ステータス・レジスタ	RAMS		○	○		01H
FFFFF8B0H	プリスケーラ・モード・レジスタ0	PRSM0			○		00H
FFFFF8B1H	プリスケーラ・コンペア・レジスタ0	PRSCM0			○		00H
FFFFF9FCH	オンチップ・ディバグ・モード・レジスタ	OCDM		○	○		01H
FFFFF9FEH	周辺エミュレーション・レジスタ1	PEMU1		○	○		00H
FFFFFA00H	UARTA0制御レジスタ0	UA0CTL0		○	○		10H
FFFFFA01H	UARTA0制御レジスタ1	UA0CTL1			○		00H
FFFFFA02H	UARTA0制御レジスタ2	UA0CTL2			○		FFH
FFFFFA03H	UARTA0オプション制御レジスタ0	UA0OPT0		○	○		14H
FFFFFA04H	UARTA0状態レジスタ	UA0STR		○	○		00H
FFFFFA06H	UARTA0受信データ・レジスタ	UA0RX	R		○		FFH
FFFFFA07H	UARTA0送信データ・レジスタ	UA0TX	R/W		○		FFH
FFFFFA10H	UARTA1制御レジスタ0	UA1CTL0		○	○		10H
FFFFFA11H	UARTA1制御レジスタ1	UA1CTL1			○		00H
FFFFFA12H	UARTA1制御レジスタ2	UA1CTL2			○		FFH
FFFFFA13H	UARTA1オプション制御レジスタ0	UA1OPT0		○	○		14H
FFFFFA14H	UARTA1状態レジスタ	UA1STR		○	○		00H
FFFFFA16H	UARTA1受信データ・レジスタ	UA1RX	R		○		FFH
FFFFFA17H	UARTA1送信データ・レジスタ	UA1TX	R/W		○		FFH
FFFFFA20H	UARTA2制御レジスタ0	UA2CTL0		○	○		10H
FFFFFA21H	UARTA2制御レジスタ1	UA2CTL1			○		00H
FFFFFA22H	UARTA2制御レジスタ2	UA2CTL2			○		FFH
FFFFFA23H	UARTA2オプション制御レジスタ0	UA2OPT0		○	○		14H
FFFFFA24H	UARTA2状態レジスタ	UA2STR		○	○		00H
FFFFFA26H	UARTA2受信データ・レジスタ	UA2RX	R		○		FFH
FFFFFA27H	UARTA2送信データ・レジスタ	UA2TX	R/W		○		FFH
FFFFFB00H	TIP00ノイズ除去回路制御レジスタ	P00NFC	R/W	○	○		00H
FFFFFB04H	TIP01ノイズ除去回路制御レジスタ	P01NFC		○	○		00H
FFFFFB08H	TIP10ノイズ除去回路制御レジスタ	P10NFC		○	○		00H
FFFFFB0CH	TIP11ノイズ除去回路制御レジスタ	P11NFC		○	○		00H
FFFFFB10H	TIP20ノイズ除去回路制御レジスタ	P20NFC		○	○		00H
FFFFFB14H	TIP21ノイズ除去回路制御レジスタ	P21NFC		○	○		00H
FFFFFB18H	TIP30ノイズ除去回路制御レジスタ	P30NFC		○	○		00H
FFFFFB1CH	TIP31ノイズ除去回路制御レジスタ	P31NFC		○	○		00H
FFFFFB50H	TIQ00ノイズ除去回路制御レジスタ	Q00NFC		○	○		00H
FFFFFB54H	TIQ01ノイズ除去回路制御レジスタ	Q01NFC		○	○		00H
FFFFFB58H	TIQ02ノイズ除去回路制御レジスタ	Q02NFC		○	○		00H
FFFFFB5CH	TIQ03ノイズ除去回路制御レジスタ	Q03NFC		○	○		00H

注意　OCDM**レジスタの詳細については，第26章　オンチップ・ディバグ機能を参照してください。**

(9/9)

アドレス	機能レジスタ名称	略　号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFB60H	TIQ10ノイズ除去制御レジスタ	Q10NFC	R/W	○	○		00H
FFFFFB64H	TIQ11ノイズ除去制御レジスタ	Q11NFC		○	○		00H
FFFFFB68H	TIQ12ノイズ除去制御レジスタ	Q12NFC		○	○		00H
FFFFFB6CH	TIQ13ノイズ除去制御レジスタ	Q13NFC		○	○		00H
FFFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0		○	○		00H
FFFFFC02H	外部割り込み立ち下がりエッジ指定レジスタ1	INTF1		○	○		00H
FFFFFC06H	外部割り込み立ち下がりエッジ指定レジスタ3	INTF3				○	0000H
FFFFFC06H	外部割り込み立ち下がりエッジ指定レジスタ3L	INTF3L		○	○		
FFFFFC13H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTF9H		○	○		00H
FFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0		○	○		00H
FFFFFC22H	外部割り込み立ち上がりエッジ指定レジスタ1	INTR1		○	○		00H
FFFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3	INTR3				○	0000H
FFFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3L	INTR3L		○	○		00H
FFFFFC33H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTR9H		○	○		00H
FFFFFC40H	プルアップ抵抗オプション・レジスタ0	PU0		○	○		00H
FFFFFC42H	プルアップ抵抗オプション・レジスタ1	PU1		○	○		00H
FFFFFC46H	プルアップ抵抗オプション・レジスタ3	PU3				○	0000H
FFFFFC46H	プルアップ抵抗オプション・レジスタ3L	PU3L		○	○		00H
FFFFFC47H	プルアップ抵抗オプション・レジスタ3H	PU3H		○	○		00H
FFFFFC48H	プルアップ抵抗オプション・レジスタ4	PU4		○	○		00H
FFFFFC4AH	プルアップ抵抗オプション・レジスタ5	PU5		○	○		00H
FFFFFC52H	プルアップ抵抗オプション・レジスタ9	PU9				○	0000H
FFFFFC52H	プルアップ抵抗オプション・レジスタ9L	PU9L		○	○		00H
FFFFFC53H	プルアップ抵抗オプション・レジスタ9H	PU9H		○	○		00H
FFFFFD00H	CSIB0制御レジスタ0	CB0CTL0		○	○		01H
FFFFFD01H	CSIB0制御レジスタ1	CB0CTL1		○	○		00H
FFFFFD02H	CSIB0制御レジスタ2	CB0CTL2			○		00H
FFFFFD03H	CSIB0状態レジスタ	CB0STR		○	○		00H
FFFFFD04H	CSIB0受信データ・レジスタ	CB0RX	R			○	0000H
FFFFFD04H	CSIB0受信データ・レジスタL	CB0RXL			○		00H
FFFFFD06H	CSIB0送信データ・レジスタ	CB0TX	R/W			○	0000H
FFFFFD06H	CSIB0送信データ・レジスタL	CB0TXL			○		00H
FFFFFD10H	CSIB1制御レジスタ0	CB1CTL0		○	○		01H
FFFFFD11H	CSIB1制御レジスタ1	CB1CTL1		○	○		00H
FFFFFD12H	CSIB1制御レジスタ2	CB1CTL2			○		00H
FFFFFD13H	CSIB1状態レジスタ	CB1STR		○	○		00H
FFFFFD14H	CSIB1受信データ・レジスタ	CB1RX	R			○	0000H
FFFFFD14H	CSIB1受信データ・レジスタL	CB1RXL			○		00H
FFFFFD16H	CSIB1送信データ・レジスタ	CB1TX	R/W			○	0000H
FFFFFD16H	CSIB1送信データ・レジスタL	CB1TXL			○		00H

3.4.8　プログラマブル周辺I/Oレジスタ

プログラマブル周辺I/Oレジスタ領域の選択には周辺I/O領域セレクト制御レジスタ（BPC）を使用します。

プログラマブル周辺I/Oレジスタ領域の03FEC000Hから03FECAEEHにCANコントローラ用の周辺I/Oレジスタが割り付けられています。詳細は，第14章　CANコントローラを参照してください。

（1）周辺I/O領域セレクト制御レジスタ（BPC）

16ビット単位でリード／ライト可能です。

リセット時は0000Hとなります。

リセット時：0000H　R/W　アドレス：FFFFF064H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BPC	PA15	0	PA13	PA12	PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0

PA15	プログラマブル周辺I/O領域の使用許可／禁止
0	プログラマブル周辺I/O領域の使用を禁止
1	プログラマブル周辺I/O領域の使用を許可

PA13-PA0	プログラマブル周辺I/O領域の再開アドレスを設定します（A27-A14に対応）。

注意　PA15ビット＝1にする場合は，必ずBPCレジスタに8FFBHを設定してください。

PA15ビット＝0にする場合は，必ずBPCレジスタに0000Hを設定してください。

3.4.9　特定レジスタ

特定レジスタは，プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850ES/FG2には次の7個の特定レジスタがあります。

- パワー・セーブ・コントロール・レジスタ（PSC）
- プロセッサ・クロック・コントロール・レジスタ（PCC）
- クロック・モニタ・モード・レジスタ（CLM）
- リセット要因フラグ・レジスタ（RESF）
- 低電圧検出レジスタ（LVIM）
- 内蔵RAMデータ・ステータス・レジスタ（RAMS）
- オンチップ・ディバグ・モード・レジスタ（OCDM）

また，プログラムの暴走により応用システムが不用意に停止しないように，特定レジスタへの書き込み動作に対するプロテクション・レジスタとして，コマンド・レジスタ（PRCMD）があり，特定レジスタへのライト・アクセスは特定のシーケンスで行われ，不正なストア動作はシステム・ステータス・レジスタ（SYS）に報告されます（ノイズや瞬時の電圧降下等でオプション・データ（アドレス：007AH）の読み出し動作が不正となった場合にも，システム・ステータス・レジスタ（SYS）に報告されます）。

(1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

① DMA動作を禁止する。

② 任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

③ コマンド・レジスタ（PRCMD）に②で用意したデータを書き込む。

④ 特定レジスタに設定データを書き込む（次の命令で行う）。

・ストア命令（ST/SST命令）

・ビット操作命令（SET1/CLR1/NOT1命令）

⑤-⑨ NOP命令を挿入する（5命令）。

⑩ DMA動作が必要な場合，DMA動作を許可する。

[記述例] PSCレジスタの場合（スタンバイ・モードの設定）

```
  ST.B r11, PSMR [r0]    ;PSMRレジスタ設定（IDLE1, IDLE2，ソフトウエアSTOPモードの設定）
①CLR1 0, DCHCn [r0]      ;DMA動作禁止，n = 0-3
②MOV  0x02, r10
③ST.B r10, PRCMD [r0]    ;PRCMDレジスタ書き込み
④ST.B r10, PSC [r0]      ;PSCレジスタ設定
⑤NOP                     ;ダミー命令
⑥NOP                     ;ダミー命令
⑦NOP                     ;ダミー命令
⑧NOP                     ;ダミー命令
⑨NOP                     ;ダミー命令
⑩SET1 0，DCHCn [r0]      ;DMA動作許可，n = 0-3
(next instruction)
```

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

注意1. コマンド・レジスタに対するストア命令では，割り込みを受け付けません。これはプログラムで上記③，④を連続したストア命令で行うことを前提としているためです。③，④の間にほかの命令が置かれていると，その命令で割り込みを受け付けた際，上記シーケンスが成立しなくなる場合があり，誤動作の要因となります。

2. PRCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定（例④）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（例③）でも使用してください。アドレシングに汎用レジスタを使用する場合も同様です。

3. IDLE1，IDLE2，ソフトウエアSTOPモード，サブIDLEモードに移行する場合（PSCレジスタのSTPビット = 1）には，直後にNOP命令を5命令以上挿入する必要があります。

(2) コマンド・レジスタ（PRCMD）

コマンド・レジスタ（PRCMD）は，プログラムの暴走などにより，応用システムが不用意に停止しないように，システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ，PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定レジスタへの書き込みのみ有効となります。これにより定められたシーケンスによってのみ，レジスタの値が書き換えられ，不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合，不定データを読み出します）。

リセット時は不定となります。

リセット時：不定　W　**アドレス：**FFFFF1FCH

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

(3) システム・ステータス・レジスタ（SYS）

システム全体の動作状態を示すステータス・フラグが割り付けられています。

8/1ビット単位でリード／ライト可能です。

リセット時は00Hとなります。

リセット時：00H　R/W　アドレス：FFFFF802H

	7	6	5	4	3	2	1	⓪
SYS	0	0	0	0	0	0	0	PRERR

PRERR	プロテクション・エラーの検出
0	プロテクション・エラーは発生していない
1	プロテクション・エラーが発生している

PRERRフラグの動作条件を次に示します。

(a) セット条件（PRERRフラグ = 1）

(i) PRCMDレジスタへの書き込み動作を行なわず，特定レジスタへの書き込み動作を行ったとき（3. 4. 9（1）特定レジスタへのデータ設定で示す③を行なわずに④を行なったとき）。

(ii) PRCMDレジスタへの書き込み動作後，特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作（ビット操作命令を含む）を行なったとき（3. 4. 9（1）特定レジスタへのデータで示す④が特定レジスタでなかったとき）。

備考 特定レジスタは，PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に，内蔵周辺I/Oレジスタの読み出し動作（ビット操作命令を除く）など内蔵RAMへのアクセスを行っても，PRERRフラグはセットされず，特定レジスタに設定データを書き込むことができます。

(b) クリア条件（PRERRフラグ = 0）

(i) SYSレジスタのPRERRフラグに0を書き込んだとき。

(ii) システム・リセットしたとき。

注意1. PRCMDレジスタへの書き込み動作直後に，特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合，PRERRビットは“0”になります（ライト優先）。

2. PRCMDレジスタへの書き込み動作直後に，特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合，PRERRビットは“1”になります。

3. 4. 10　注意事項

★　(1) 最初に設定するレジスタ

V850ES/FG2を使用する際には，必ず最初に次のレジスタを設定してください。

・システム・ウエイト・コントロール・レジスタ（VSWC）
・オンチップ・ディバグ・モード・レジスタ（OCDM）
・ウォッチドッグ･タイマ･モード･レジスタ（WDTM2）

OCDMレジスタを設定したあとに，VSWCレジスタ，WDTM2レジスタを設定し，その後必要に応じてその他の各レジスタを設定してください。

(a) システム・ウエイト・コントロール・レジスタ（VSWC）

VSWCレジスタは，内蔵周辺I/Oレジスタに対するバス・アクセスのウエイトを制御するレジスタです。

内蔵周辺I/Oレジスタへのアクセスは3クロック（ノー・ウエイト時）ですが，V850ES/FG2では動作周波数によりウエイトが必要です。使用する動作周波数に応じて，VSWCレジスタには次に示す値を設定してください。

8ビット単位でリード／ライト可能です（アドレス：FFFFF06EH，初期値：77H）。

動作周波数（f_{CLK}）	VSWCの設定値	ウエイト数
32 kHz≦f_{CLK}＜16.6 MHz	00H	0
16.6 MHz≦f_{CLK}≦20 MHz	01H	1

備考　次に示すレジスタへのアクセスにおいて，ハードウエアによるレジスタの変化タイミングとCPUからのレジスタ・アクセス・タイミングが重なった場合，レジスタ・アクセスへのウエイト動作が発生します。このため，通常より内蔵周辺I/Oレジスタへのアクセスに時間がかかる場合があります。

周辺機能	対象レジスタ名称
タイマP（n = 0-3）	TPnCCR0, TPnCCR1, TPnCNT
タイマQ（n = 0, 1）	TQnCCR0, TQnCCR1, TQnCCR2, TQnCCR3, TQnCNT
ウォッチドッグ・タイマ2	WDTM2
A/Dコンバータ（n = 0-15）	ADA0M0, ADA0CRn, ADA0CRnH
CANコントローラ	各制御レジスタ，各メッセージ・バッファ・レジスタ

(b) オンチップ・ディバグ・モード・レジスタ（OCDM）

通常動作モードとオンチップ・ディバグ・モードを切り替えるレジスタです。OCDMレジスタは特定レジスタです（3. 4. 9　特定レジスタ参照）。プログラムの暴走などにより誤って設定内容を書き換えられないように，特定の手順だけの書き込みが可能です。

OCDM0ビットが“1”状態でかつ$\overline{\text{DRST}}$端子の入力がハイ・レベルの場合，オンチップ・ディバグ・モードとなります。

端子リセット後，OCDM0ビットの初期値は“1”なので，オンチップ・ディバグ機能を使用しない場合はOCDM0ビットを“0”にクリアする必要があり，それまでの間，$\overline{\text{DRST}}$端子をロウ・レベルに保つ必要があります（図3－14参照）。

POCリセット後，OCDM0ビットの初期値は“0”で，通常動作モードになります。したがって，オンチップ・ディバグをする際には端子リセットによってOCDM0ビットの値を“1”にする必要があります。

また，オンチップ・ディバグ中にPOCリセットが発生した際には，エミュレータとの通信は中断してしまいます。したがって，POCによるリセットのエミュレーションは行うことができません（図3－15参照）。

8/1ビット単位でリード／ライト可能です。

★　注意　オンチップ・ディバグ機能は，フラッシュ・メモリ内蔵品のみに搭載しています。マスクROM内蔵品には搭載していません。ただし，マスクROM内蔵品にもOCDMレジスタが存在し，P05/INTP2/$\overline{\text{DRST}}$端子に内蔵されているプルダウン抵抗の制御を行うため，マスクROM内蔵品でもOCDMレジスタの設定を行ってください。

リセット時：01H[注1]　　R/W　　アドレス：FFFFF9FCH

	7	6	5	4	3	2	1	0
OCDM	0	0	0	0	0	0	0	OCDM0

OCDM0	オンチップ・ディバグ機能の兼用端子指定[注2]
0	ポート／周辺機能端子として使用
1	オンチップ・ディバグ用端子として使用

注 1. $\overline{\text{RESET}}$ 端子（外部リセット）入力時：OCDM0 = 1
パワーオン・クリアによるリセット時：OCDM0 = 0
内部要因リセット（パワーオン・クリア以外）発生時：OCDMレジスタはリセット発生前の値を保持します。

2. P05/INTP2/$\overline{\text{DRST}}$
P52/KR2/TIQ03/TOQ03/DDI
P53/KR3/TIQ00/TOQ00/DDO
P54/KR4/DCK
P55/KR5/DMS

図3－14　通常動作モードへの移行タイミング・チャート

図3－15　オンチップ・ディバグ・モードへの移行タイミング・チャート

★　**(c) ウォッチドッグ・タイマ・モード・レジスタ2　(WDTM2)**

WDTM2レジスタはリセット解除後に自動的にリセット・モードでスタートします。動作を確定するために，WDTM2レジスタへ書き込みを行ってください。

詳細は第10章　ウォッチドッグ・タイマ2機能を参照してください。

★　(2) 特定の内蔵周辺I/Oレジスタへのアクセスについて

この製品は，内部に2種類のシステム・バスを持っています。

1つはCPU用バスで，もう1つは低速周辺ハードウエアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため，CPUと周辺ハードウエアとのアクセス間に競合が発生した場合は，予期しない不正データの受け渡しが行われる可能性があります。したがって，競合の恐れがある周辺ハードウエアへのアクセス時は，CPUは正しいデータの受け渡しが行われるよう，アクセス・サイクル数が変わります。その結果，CPUは次の命令処理に移行せず，CPU処理としてウエイト状態となるため，このウエイトが発生した場合，命令の実行クロック数が次に示すウエイト・クロック数分長くなります。

リアルタイム性が要求される処理を行う場合は，この内容に注意してください。

特定の内蔵周辺I/Oレジスタへのアクセス時に，VSWCレジスタで設定したウエイト以外に，さらにウエイトを要する場合があります。

その際のアクセス条件と，挿入されるウエイト数（CPUクロック数）の算出方法を次に示します。

(1/2)

周辺機能	レジスタ名称	アクセス	k
16ビット・タイマ／イベント・カウンタP（TMP） (n = 0-3)	TPnCNT	リード	1
	TPnCCR0, TPnCCR1	ライト	0-2
		リード	1
16ビット・タイマ／イベント・カウンタQ（TMQ） (n = 0, 1)	TQnCNT	リード	1
	TQnCCR0-TQnCCR3	ライト	0-2
		リード	1
ウォッチドッグ・タイマ2 (WDT2)	WDTM2	ライト (WDT2動作時)	3
A/Dコンバータ	ADA0M0	リード	1-2
	ADA0CR0-ADA0CR15	リード	1-2
	ADA0CR0H-ADA0CR15H	リード	1-2

(2/2)

周辺機能	レジスタ名称	アクセス	k
CANコントローラ n = 0, 1	CnGMCTRL, CnGMCS, CnGMABT, CnGMABTD, CnMASKaL, CnMASKaH, CnCTRL, CnLEC, CnINFO, CnERC, CnIE, CnINTS, CnBRP, CnBTR, CnTS	リード／ライト	1-2
	CnRGPT, CnTGPT	ライト	1-2
		リード	2
	CnLIPT, CnLOPT	リード	2
	CnMDATA01m, CnMDATA0m, CnMDATA1m, CnMDATA23m, CnMDATA2m, CnMDATA3m, CnMDATA45m, CnMDATA4m, CnMDATA5m, CnMDATA67m, CnMDATA6m, CnMDATA7m, CnMDLCm, CnMCONFm, CnMIDLm, CnMIDHm, CnMCTRLm	リード／ライト	1-2

アクセスに必要なクロック数　= 3＋i＋j＋（2＋j）×k

注意　次に示す状態において，上記レジスタへのアクセスは禁止です。ウエイトが発生した場合，解除する方法はリセットだけです。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振器で動作している場合

備考　i：VSWCレジスタの上位4ビットの値（0）
　　j：VSWCレジスタの下位4ビットの値（0, 1）

第4章　ポート機能

4.1　特　　徴

○入出力ポート：84 本

○ほかの周辺機能の入出力端子と兼用

○1 ビット単位で入力／出力指定可能

4.2　ポートの基本構成

V850ES/FG2 は，ポート 0, 1, 3-5, 7, 9, CM, CS, CT, DL の合計 84 本の入力／出力ポートを内蔵しています。ポートの構成を次に示します。

図 4－1　ポート構成

表4－1　ポートの構成

項　　目	構　　成
制御レジスタ	ポート・モード・レジスタ（PMn:　n = 0, 1, 3, 4, 5, 7L, 7H, 9, CM, CS, CT, DL）
	ポート・モード・コントロール・レジスタ（PMCn:　n = 0, 1, 3, 4, 5, 9, CM, DL）
	ポート・ファンクション・コントロール・レジスタ（PFCn:　n = 0, 3L, 5, 9）
	ポート・ファンクション・コントロール拡張レジスタ（PFCEn:　n = 3L, 5, 9）
	プルアップ抵抗オプション・レジスタ（PUn:　n = 0, 1, 3, 4, 5, 9）
ポート	84 本

★4.3　ポートの構成

表4－2　各端子の入出力バッファ電源

電　　源	対応する端子
AV_{REF0}	ポート 7
EV_{DD}	ポート 0，ポート 1，ポート 3，ポート 4，ポート 5，ポート 9，$\overline{RESET}$
BV_{DD}	ポート CM，ポート CS，ポート CT，ポート DL

(1) ポートnレジスタ（Pn）

外部とのデータ入出力は，Pnレジスタへの書き込み，および読み出しによって行います。Pnレジスタは，出力データを保持するポート・ラッチ，および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位でリード／ライト可能です。

リセット時：00H（出力ラッチ）　R/W

	7	6	5	7	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0

Pnm	出力データの制御（出力モード時）
0	0を出力
1	1を出力

PMCnレジスタの設定によらず，Pnレジスタへの書き込みや読み出しは次のようになります。

表4－3　Pnレジスタへの書き込み／読み出しについて

PMn レジスタへの設定	Pn レジスタへの書き込み	Pn レジスタの読み出し
出力モード （PMnm = 0）	出力ラッチに対して書き込みます注。 ポート・モード（PMCn = 0）の場合，出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します。
入力モード （PMnm = 1）	出力ラッチに対して書き込みます。 端子の状態には影響ありません注。	端子状態を読み出します。

注　出力ラッチに書き込まれた値は，再度出力ラッチに値を書き込まれるまで保持されます。

(2) ポートnモード・レジスタ（PMn）

ポートの入力モード／出力モードを指定します。

PMnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：FFH　　R/W

	7	6	5	4	3	2	1	0
PMn	**PMn7**	**PMn6**	**PMn5**	**PMn4**	**PMn3**	**PMn2**	**PMn1**	**PMn0**

PMnm	入出力モードの制御
0	出力モード
1	入力モード

(3) ポートnモード・コントロール・レジスタ（PMCn）

ポート・モード／兼用機能を指定します。

PMCnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H　　R/W

	7	6	5	4	3	2	1	0
PMCn	**PMCn7**	**PMCn6**	**PMCn5**	**PMCn4**	**PMCn3**	**PMCn2**	**PMCn1**	**PMCn0**

PMCnm	動作モードの指定
0	ポート・モード
1	兼用機能モード

(4) ポートnファンクション・コントロール・レジスタ（PFCn）

1本の端子に兼用機能が2つ以上存在する場合に，使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H　R/W

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCnm	兼用機能の指定
0	兼用機能1
1	兼用機能2

(5) ポートnファンクション・コントロール拡張レジスタ（PFCEn）

1本の端子に兼用機能が3つ以上存在する場合に，使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H　R/W

	7	6	5	4	3	2	1	0
PFCEn	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCEnm	PFCnm	兼用機能の指定
0	0	兼用機能1
0	1	兼用機能2
1	0	兼用機能3
1	1	兼用機能4

(6) プルアップ抵抗オプション・レジスタ（PUn）

内蔵プルアップ抵抗の機能を指定するレジスタです。

PUnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H　R/W

	7	6	5	4	3	2	1	0
PUn	PUn7	PUn6	PUn5	PUn4	PUn3	PUn2	PUn1	PUn0

PUnm注	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する

注　ポート・モード時（PMCnmビット = 0），PUnレジスタのPUnmビットは，PMnレジスタのPMnmビット = 0（出力モード時）のときのみ有効です。PMnmビット = 1（入力モード時）のときは，PUnレジスタの設定値は無効です。

4.4　ポートの機能

★　4.4.1　ポート機能の動作

ポートの動作は，次に示すように入出力モードの設定によって異なります。

(1) 入出力ポートへの書き込み

(a) 出力モードの場合

転送命令により，出力ラッチに値を書き込めます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

(b) 入力モードの場合

転送命令により，出力ラッチに値を書き込めます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

注意　1 ビット・メモリ操作命令の場合，操作対象は 1 ビットですが，ポートを 8 ビット単位でアクセスします。したがって，入力／出力が混在しているポートでは，操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

(2) 入出力ポートからの読み出し

(a) 出力モードの場合

転送命令により，出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(b) 入力モード

転送命令により，端子の状態が読み出せます。出力ラッチの内容は変化しません。

(3) 入出力ポートでの演算

(a) 出力モードの場合

出力ラッチの内容と演算を行い，結果を出力ラッチに書き込みます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

(b) 入力モードの場合

出力ラッチの内容が不定になります。しかし，出力バッファがオフしていますので，端子の状態は変化しません。

注意　1 ビット・メモリ操作命令の場合，操作対象は 1 ビットですが，ポートを 8 ビット単位でアクセスします。したがって，入力／出力が混在しているポートでは，操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4. 4. 2　ポート端子設定上の注意事項

(1) ポートのレジスタ設定は，次の順で行ってください。

① ポート・ファンクション・コントロール・レジスタ n（PFCn），ポート・ファンクション・コントロール拡張レジスタ n（PFCEn）を設定
② ポート・モード・コントロール・レジスタ n（PMCn）を設定
③ 外部割り込み立ち下がりエッジ指定レジスタ n（INTFn），外部割り込み立ち上がりエッジ指定レジスタ n（INTRn）を設定

PMCn レジスタを先に設定したあとに，PFCn, PFCEn レジスタを設定すると，PFCn, PFCEn レジスタ設定中に意図しない周辺機能端子に設定されてしまう可能性があります。

(2) PUn レジスタの PUnm ビット（内蔵プルアップ抵抗の接続）は，入力モード（PMn レジスタの PMnm ビット = 1）時のみ有効になります。出力モード（PMn レジスタの PMnm ビット = 0）時は，ハードウエアにより，内蔵プルアップ抵抗が切断されます。

(3) 端子レベルのリード，ポート・ラッチのリードは，ポート・モード・レジスタ（PMn）により制御されます。兼用機能を使用している場合も同様です。

(4) 入力バッファのシュミット（SHMT）はポート・モード時にリードした場合，SHMT として動作しません。

4. 4. 3　ポート0

ポート 0 は 1 ビット単位で入出力を制御できる 7 ビットのポート（P00-P06）です。

（1）ポート0の機能

○ 1 ビット単位でポートの入力／出力データの指定が可能
　ポート・レジスタ 0（P0）で指定
○ 1 ビット単位でポートの入力／出力の指定が可能
　ポート・モード・レジスタ 0（PM0）で指定
○ 1 ビット単位でポート・モード／コントロール・モード（兼用機能）の指定が可能
　ポート・モード・コントロール・レジスタ 0（PMC0）で指定
○ 1 ビット単位でコントロール・モード 1／コントロール・モード 2 の指定が可能
　ポート・ファンクション・コントロール・レジスタ 0（PFC0）で指定
○ 1 ビット単位で内蔵プルアップ抵抗の接続指定が可能
　プルアップ抵抗オプション・レジスタ 0（PU0）で指定
○ 1 ビット単位で外部割り込み（兼用機能）の有効エッジの指定が可能
　外部割り込み立ち下がりエッジ指定レジスタ 0（INTF0），外部割り込み立ち上がりエッジ指定レジスタ 0（INTR0）で指定

ポート 0 は，次に示す端子と兼用しています。

表 4－4　ポート 0 の兼用端子

端子名		兼用端子名	入出力	備　　考
ポート 0	P00	TIP31/TOP31	入出力	－
	P01	TIP30/TOP30		
	P02	NMI 注1		
	P03	INTP0/ADTRG		
	P04	INTP1		
	P05	INTP2/$\overline{\text{DRST}}$ 注2		
	P06	INTP3		

★ 注 1.　NMI 端子は P02 端子と兼用しており，リセット後は P02 端子として機能します。
NMI 端子を有効にする場合は，PMC0.PMC02 ビットをセット（1）してください。
また NMI 端子の初期設定は " エッジ検出なし " になっています。INTF0.INTR0 レジスタで NMI 端子の有効エッジを選択してください。

2.　P05 端子はオンチップ・ディバグ用の端子と兼用です。外部リセット後，P05/INTP2/$\overline{\text{DRST}}$端子はオンチップ・ディバグ用端子（$\overline{\text{DRST}}$）に初期化されます。
P05 端子をオンチップ・ディバグ用端子として使用せず，ポートとして使用する場合は，次の処置が必要です。

① OCDM レジスタ（特定レジスタ）の OCDM0 ビットをクリア（0）します。
② ①の処置を終えるまで P05/INTP2/$\overline{\text{DRST}}$端子をロウ・レベル固定にしておきます。

なお，オンチップ・ディバグを使用しない場合，上記処置を行う前に$\overline{\text{DRST}}$端子にハイ・レベルを入力すると，誤動作（CPU デッド・ロック）の原因となるため，P05 端子の取り扱いには十分注意してください。
P05/INTP2/$\overline{\text{DRST}}$端子にハイ・レベルを入力しない（ロウ・レベルに固定する）場合は，OCDM レジスタの OCDM0 ビットを操作する必要はありません。
P05/INTP2/$\overline{\text{DRST}}$端子は，プルダウン抵抗（30 kΩ（TYP.））をバッファに内蔵しているため，外部からロウ・レベル固定に処置する必要はありません。OCDM0 ビットをクリア（0）することにより，プルダウン抵抗は切断されます。
マスク ROM 製品はオンチップ･ディバグ･モードに対応していませんが，P05/INTP2/$\overline{\text{DRST}}$端子はフラッシュ･メモリ内蔵品と同様の処置を行ってください。
詳細は，第 26 章　オンチップ・ディバグ機能を参照してください。

★ 注意　P00-P06 端子は兼用機能の入出力時にはヒステリシス特性を持ちますが，ポート・モード時にはヒステリシス特性を持ちません。

(2) レジスタ

(a) ポート・レジスタ0（P0）

ポート・レジスタ0（P0）は，端子レベルのリード，出力レベルのライトを制御する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセット時：不定　R/W　アドレス：FFFFF400H

	7	6	5	4	3	2	1	0
P0	0	P06	P05	P04	P03	P02	P01	P00

P0n	出力データの制御（出力モード時）（n = 0-6）
0	0 を出力
1	1 を出力

(b) ポート・モード・レジスタ0（PM0）

入力モード／出力モードを指定する 8 ビットのレジスタです。8/1 ビット単位でリード／ライト可能です。

リセット時：FFH　R/W　アドレス：FFFFF420H

	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	入出力モードの制御（n = 0-6）
0	出力モード
1	入力モード

(c) ポート・モード・コントロール・レジスタ0（PMC0）

ポート・モード／コントロール・モードを指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセット時：00H　　R/W　　アドレス：FFFFF440H

	7	6	5	4	3	2	1	0
PMC0	0	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00

PMC06	P06 端子の動作モードの指定
0	入出力ポート
1	INTP3 入力

PMC05	P05 端子の動作モードの指定
0	入出力ポート
1	INTP2/$\overline{\text{DRST}}$ 入力

PMC04	P04 端子の動作モードの指定
0	入出力ポート
1	INTP1 入力

PMC03	P03 端子の動作モードの指定
0	入出力ポート
1	INTP0/ADTRG 入力

PMC02	P02 端子の動作モードの指定
0	入出力ポート
1	NMI 入力

PMC01	P01 端子の動作モードの指定
0	入出力ポート
1	TIP30/TOP30 入出力

PMC00	P00 端子の動作モードの指定
0	入出力ポート
1	TIP31/TOP31 入出力

注意　P05/INTP2/$\overline{\text{DRST}}$端子は，OCDM レジスタの OCDM0 ビット = 1 のときは，PMC05 ビットの値に関係なく$\overline{\text{DRST}}$端子となります。

(d) ポート・ファンクション・コントロール・レジスタ0（PFC0）

コントロール・モード1／コントロール・モード2を指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセット時：00H　R/W　アドレス：FFFFF460H

	7	6	5	4	3	2	1	0
PFC0	0	0	0	0	PFC03	0	PFC01	PFC00

PFC03	P03 端子のコントロール・モード時の動作モードの指定
0	INTP0 入力
1	ADTRG 入力

PFC01	P01 端子のコントロール・モード時の動作モードの指定
0	TIP30 入力
1	TOP30 出力

PFC00	P00 端子のコントロール・モード時の動作モードの指定
0	TIP31 入力
1	TOP31 出力

(e) プルアップ抵抗オプション・レジスタ0（PU0）

内蔵プルアップ抵抗の接続を指定する8ビットのレジスタです。8/1 ビット単位でリード／ライト可能です。

リセット時：00H　R/W　アドレス：FFFFFC40H

	7	6	5	4	3	2	1	0
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00

PU0n	内蔵プルアップ抵抗接続制御（n = 0-6）
0	接続しない
1	接続する

(f) 外部割り込み立ち下がりエッジ指定レジスタ0（INTF0）

外部割り込み端子の立ち下がりエッジ検出を指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

注意1. 外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF0n ビット = INTR0n ビット = 0 に設定したあとにポート・モードに設定してください。

2. 外部割り込み入力には，アナログ・ディレイによるノイズ除去回路を内蔵します。

3. INTP3 に内蔵するノイズ・フィルタ（アナログ・ディレイ／デジタル・ディレイ）の設定方法については，第 15 章　割り込み／例外処理機能を参照してください。

リセット時：00H　R/W　アドレス：FFFFFC00H

	7	6	5	4	3	2	1	0
INTF0	0	INTF06	INTF05	INTF04	INTF03	INTF02	0	0

備考　有効エッジの指定については表 4－5 を参照してください。

(g) 外部割り込み立ち上がりエッジ指定レジスタ0（INTR0）

外部割り込み端子の立ち上がりエッジ検出を指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

注意1. 外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF0n ビット = INTR0n ビット = 0 に設定したあとにポート・モードに設定してください。

2. 外部割り込み入力には，アナログ・ディレイによるノイズ除去回路を内蔵します。

3. INTP3 に内蔵するノイズ・フィルタ（アナログ・ディレイ／デジタル・ディレイ）の設定方法については，第 15 章　割り込み／例外処理機能を参照してください。

リセット時：00H　R/W　アドレス：FFFFFC20H

	7	6	5	4	3	2	1	0
INTR0	0	INTR06	INTR05	INTR04	INTR03	INTR02	0	0

備考　有効エッジの指定については表 4－5 を参照してください。

表 4－5　有効エッジの指定

INTF0n ビット	INTR0n ビット	有効エッジの指定（n = 2-6）
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

備考　n = 2　：NMI 端子の制御

n = 3　：INTP0 端子の制御

n = 4　：INTP1 端子の制御

n = 5　：INTP2 端子の制御

n = 6　：INTP3 端子の制御

4. 4. 4　ポート1

ポート 1 は 1 ビット単位で入出力を制御できる 2 ビットのポート（P10, P11）です。

(1) ポート1の機能

○ 1 ビット単位でポートの入力／出力データの指定が可能
　ポート・レジスタ 1（P1）で指定
○ 1 ビット単位でポートの入力／出力の指定が可能
　ポート・モード・レジスタ 1（PM1）で指定
○ 1 ビット単位でポート・モード／コントロール・モード（兼用機能）の指定が可能
　ポート・モード・コントロール・レジスタ 1（PMC1）で指定
○ 1 ビット単位で内蔵プルアップ抵抗の接続指定が可能
　プルアップ抵抗オプション・レジスタ 1（PU1）で指定
○ 1 ビット単位で外部割り込み（兼用機能）の有効エッジの指定が可能
　外部割り込み立ち下がりエッジ指定レジスタ 1（INTF1），外部割り込み立ち上がりエッジ指定レジスタ 1（INTR1）で指定

ポート 1 は，次に示す端子と兼用しています。

表 4－6　ポート 1 の兼用端子

端子名		兼用端子名	入出力	備　考
ポート 1	P10	INTP9	入出力	－
	P11	INTP10		

★　注意　P10，P11端子は兼用機能の入出力時にはヒステリシス特性を持ちますが，ポート・モード時にはヒステリシス特性を持ちません。

(2) レジスタ

(a) ポート・レジスタ1（P1）

ポート・レジスタ1（P1）は，端子レベルのリード，出力レベルのライトを制御する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセット時：不定　R/W　アドレス：FFFFF402H

	7	6	5	4	3	2	1	0
P1	0	0	0	0	0	0	P11	P10

P1n	出力データの制御（出力モード時）（n = 0, 1）
0	0 を出力
1	1 を出力

(b) ポート・モード・レジスタ1（PM1）

入力モード／出力モードを指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセット時：FFH　R/W　アドレス：FFFFF422H

	7	6	5	4	3	2	1	0
PM1	1	1	1	1	1	1	PM11	PM10

PM1n	入出力モードの制御（n = 0, 1）
0	出力モード
1	入力モード

(c) ポート・モード・コントロール・レジスタ1（PMC1）

ポート・モード／コントロール・モードを指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセット時：00H　　R/W　　**アドレス：**FFFFF442H

	7	6	5	4	3	2	1	0
PMC1	0	0	0	0	0	0	PMC11	PMC10

PMC11	P11 端子の動作モードの指定
0	入出力ポート
1	INTP10 入力

PMC10	P10 端子の動作モードの指定
0	入出力ポート
1	INTP9 入力

(d) プルアップ抵抗オプション・レジスタ1（PU1）

内蔵プルアップ抵抗の接続を指定する8ビットのレジスタです。8/1 ビット単位でリード／ライト可能です。

リセット時：00H　　R/W　　**アドレス：**FFFFFC42H

	7	6	5	4	3	2	1	0
PU1	0	0	0	0	0	0	PU11	PU10

PU1n	内蔵プルアップ抵抗接続制御（n = 0, 1）
0	接続しない
1	接続する

(e) 外部割り込み立ち下がりエッジ指定レジスタ1（INTF1）

外部割り込み端子の立ち下がりエッジ検出を指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

注意1. 外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF1n ビット = INTR1n ビット = 0 に設定したあとにポート・モードに設定してください。

2. 外部割り込み入力には，アナログ・ディレイによるノイズ除去回路を内蔵します。

リセット時：00H　R/W　アドレス：FFFFFC02H

	7	6	5	4	3	2	1	0
INTF1	0	0	0	0	0	0	INTF11	INTF10

備考　有効エッジの指定については表 4－7 を参照してください。

(f) 外部割り込み立ち上がりエッジ指定レジスタ1（INTR1）

外部割り込み端子の立ち上がりエッジ検出を指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

注意1. 外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF1n ビット = INTR1n ビット = 0 に設定したあとにポート・モードに設定してください。

2. 外部割り込み入力には，アナログ・ディレイによるノイズ除去回路を内蔵します。

リセット時：00H　R/W　アドレス：FFFFFC22H

	7	6	5	4	3	2	1	0
INTR1	0	0	0	0	0	0	INTR11	INTR10

備考　有効エッジの指定については表 4－7 を参照してください。

表 4－7　有効エッジの指定

INTF1n ビット	INTR1n ビット	有効エッジの指定（n = 0, 1）
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

備考　n = 0 ：INTP9 端子の制御

n = 1 ：INTP10 端子の制御

4.4.5　ポート3

ポート 3 は 1 ビット単位で入出力を制御できる 10 ビットのポート（P30-P39）です。

(1) ポート3の機能

○ 1 ビット単位でポートの入力／出力データの指定が可能
　ポート・レジスタ 3（P3）で指定
○ 1 ビット単位でポートの入力／出力の指定が可能
　ポート・モード・レジスタ 3（PM3）で指定
○ 1 ビット単位でポート・モード／コントロール・モード（兼用機能）の指定が可能
　ポート・モード・コントロール・レジスタ 3（PMC3）で指定
○ 1 ビット単位でコントロール・モードの指定が可能
　ポート・ファンクション・コントロール・レジスタ 3（PFC3），ポート・ファンクション・コントロール拡張レジスタ 3L（PFCE3L）で指定
○ 1 ビット単位で内蔵プルアップ抵抗の接続指定が可能
　プルアップ抵抗オプション・レジスタ 3（PU3）で指定
○ 1 ビット単位で外部割り込み（兼用機能）の有効エッジの指定が可能
　外部割り込み立ち下がりエッジ指定レジスタ 3（INTF3），外部割り込み立ち上がりエッジ指定レジスタ 3（INTR3）で指定

ポート 3 は，次に示す端子と兼用しています。

表 4－8　ポート 3 の兼用端子

端子名		兼用端子名	入出力	備　　考
ポート 3	P30	TXDA0	入出力	－
	P31	RXDA0/INTP7		
	P32	ASCKA0/TIP00/TOP00/TOP01		
	P33	TIP01/TOP01/CTXD0		
	P34	TIP10/TOP10/CRXD0		
	P35	TIP11/TOP11		
	P36	CTXD1		
	P37	CRXD1		
	P38	TXDA2		
	P39	RXDA2/INTP8		

★　**注意**　P31-P35，P37，P39端子は兼用機能の入出力時にはヒステリシス特性を持ちますが，ポート・モード時にはヒステリシス特性を持ちません。

(2) レジスタ

(a) ポート・レジスタ3 (P3)

ポート・レジスタ3 (P3) は，端子レベルのリード，出力レベルのライトを制御する16ビットのレジスタです。16ビット単位でリード／ライト可能です。

ただし，P3レジスタの上位8ビットをP3Hレジスタ，下位8ビットをP3Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

リセット時：不定　R/W　アドレス：FFFFF406H, FFFFF407H

	15	14	13	12	11	10	9	8
P3 (P3H) 注	0	0	0	0	0	0	P39	P38
	7	6	5	4	3	2	1	0
(P3L)	P37	P36	P35	P34	P33	P32	P31	P30

P3n	出力データの制御（出力モード時）(n = 0-9)
0	0 を出力
1	1 を出力

注　P3 レジスタのビット 8-15 を 8/1 ビット単位でリード／ライトする場合は，P3H レジスタのビット 0-7 として指定してください。

(b) ポート・モード・レジスタ3 (PM3)

入力モード／出力モードを指定する16ビットのレジスタです。16ビット単位でリード／ライト可能です。

ただし，PM3レジスタの上位8ビットをPM3Hレジスタ，下位8ビットをPM3Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

リセット時：FFFFH　R/W　アドレス：FFFFF426H, FFFFF427H

	15	14	13	12	11	10	9	8
PM3 (PM3H) 注	1	1	1	1	1	1	PM39	PM38
	7	6	5	4	3	2	1	0
(PM3L)	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (n = 0-9)
0	出力モード
1	入力モード

注　PM3 レジスタのビット 8-15 を 8/1 ビット単位でリード／ライトする場合は，PM3H レジスタのビット 0-7 として指定してください。

(c) ポート・モード・コントロール・レジスタ3 (PMC3)

ポート・モード／コントロール・モードを指定する16ビットのレジスタです。16ビット単位でリード／ライト可能です。

ただし，PMC3レジスタの上位8ビットをPMC3Hレジスタ，下位8ビットをPMC3Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

(1/2)

リセット時：0000H　R/W　**アドレス：**FFFFF446H, FFFFF447H

	15	14	13	12	11	10	9	8
PMC3 (PMC3H 注1)	0	0	0	0	0	0	PMC39	PMC38
	7	6	5	4	3	2	1	0
(PMC3L)	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

PMC39	P39 端子の動作モードの指定
0	入出力ポート
1	RXDA2/INTP8 入力注2

PMC38	P38 端子の動作モードの指定
0	入出力ポート
1	TXDA2 出力

PMC37	P37 端子の動作モードの指定
0	入出力ポート
1	CRXD1 入力

PMC36	P36 端子の動作モードの指定
0	入出力ポート
1	CTXD1 出力

PMC35	P35 端子の動作モードの指定
0	入出力ポート
1	TIP11/TOP11 入出力

注1. PMC3 レジスタのビット 8-15 を 8/1 ビット単位でリード／ライトする場合は，PMC3H レジスタのビット 0-7 として指定してください。

2. INTP8 端子と RXDA2 端子は兼用となっています。RXDA2 端子として使用する場合は兼用している INTP8 のエッジ検出を無効にしてください(INTF3 レジスタの INTF39 ビット = 0, INTR3 レジスタの INTR39 ビット = 0 に設定)。また INTP8 端子として使用する場合は UARTA2 を受信動作停止としてください(UA2CTL0 レジスタの UA2RXE ビット = 0)。

(2/2)

PMC34	P34 端子の動作モードの指定
0	入出力ポート
1	TIP10/TOP10/CRXD0 入出力

PMC33	P33 端子の動作モードの指定
0	入出力ポート
1	TIP01/TOP01/CTXD0 入出力

PMC32	P32 端子の動作モードの指定
0	入出力ポート
1	ASCKA0/TIP00/TOP00/TOP01 入出力

PMC31	P31 端子の動作モードの指定
0	入出力ポート
1	RXDA0/INTP7 入力[注]

PMC30	P30 端子の動作モードの指定
0	入出力ポート
1	TXDA0 出力

注　INTP7 端子と RXDA0 端子は兼用となっています。RXDA0 端子として使用する場合は兼用している INTP7 のエッジ検出を無効にしてください(INTF3 レジスタの INTF31 ビット = 0, INTR3 レジスタの INTR31 ビット = 0 に設定)。また INTP7 端子として使用する場合は UARTA0 を受信動作停止としてください(UA0CTL0 レジスタの UA0RXE ビット = 0)。

(d) ポート・ファンクション・コントロール・レジスタ3L (PFC3L)

コントロール・モード1/コントロール・モード2/コントロール・モード3/コントロール・モード4を指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセット時：00H　R/W　**アドレス：**FFFFF466H

	7	6	5	4	3	2	1	0
PFC3L	0	0	PFC35	PFC34	PFC33	PFC32	0	0

備考　コントロール・モードの指定については (f) P3 端子のコントロール・モードの設定を参照してください

(e) ポート・ファンクション・コントロール拡張レジスタ3L（PFCE3L）

コントロール・モード1/コントロール・モード2/コントロール・モード3/コントロール・モード4を指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセット時：00H　R/W　アドレス：FFFFF706H

	7	6	5	4	3	2	1	0
PFCE3L	0	0	0	PFCE34	PFCE33	PFCE32	0	0

備考　コントロール・モードの指定については（f）P3 端子のコントロール・モードの設定を参照してください。

(f) P3端子のコントロール・モードの設定

PFC35	P35 端子のコントロール・モードの指定
0	TIP11 入力
1	TOP11 出力

PFCE34	PFC34	P34 端子のコントロール・モードの指定
0	0	TIP10 入力
0	1	TOP10 出力
1	0	CRXD0 入力
1	1	設定禁止

PFCE33	PFC33	P33 端子のコントロール・モードの指定
0	0	TIP01 入力
0	1	TOP01 出力
1	0	CTXD0 出力
1	1	設定禁止

PFCE32	PFC32	P32 端子のコントロール・モードの指定
0	0	ASCKA0 入力
0	1	TOP01 出力
1	0	TIP00 入力
1	1	TOP00 出力

(g) プルアップ抵抗オプション・レジスタ3（PU3）

内蔵プルアップ抵抗の接続を指定する16ビットのレジスタです。16ビット単位でリード／ライト可能です。

ただし，PU3レジスタの上位8ビットをPU3Hレジスタ，下位8ビットをPU3Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

リセット時：0000H　R/W　アドレス：FFFFFC46H, FFFFFC47H

	15	14	13	12	11	10	9	8
PU3（PU3H）注	0	0	0	0	0	0	PU39	PU38
	7	6	5	4	3	2	1	0
（PU3L）	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30

PU3n	内蔵プルアップ抵抗接続制御（n = 0-9）
0	接続しない
1	接続する

注　PU3 レジスタのビット 8-15 を 8/1 ビット単位でリード／ライトする場合は，PU3H レジスタのビット 0-7 として指定してください。

(h) 外部割り込み立ち下がりエッジ指定レジスタ3（INTF3）

外部割り込み端子の立ち下がりエッジ検出を指定する16ビットのレジスタです。16ビット単位でリード／ライト可能です。

ただし，INTF3レジスタの上位8ビットをINTF3Hレジスタ，下位8ビットをINTF3Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

注意1.　外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF3n ビット = INTR3n ビット = 0 に設定したあとにポート・モードに設定してください。

2.　外部割り込み入力には，アナログ・ディレイによるノイズ除去回路を内蔵します。

リセット時：00H　R/W　アドレス：FFFFFC06H, FFFFFC07H

	15	14	13	12	11	10	9	8
INTF3（INTF3H）	0	0	0	0	0	0	INTF39	0
	7	6	5	4	3	2	1	0
（INTF3L）	0	0	0	0	0	0	INTF31	0

備考　有効エッジの指定については表 4－9 を参照してください。

(i) 外部割り込み立ち上がりエッジ指定レジスタ3（INTR3）

外部割り込み端子の立ち上がりエッジ検出を指定する16ビットのレジスタです。16ビット単位でリード／ライト可能です。

ただし，INTR3レジスタの上位8ビットをINTR3Hレジスタ，下位8ビットをINTR3Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

注意1.　外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF3n ビット = INTR3n ビット = 0 に設定したあとにポート・モードに設定してください。

2.　外部割り込み入力には，アナログ・ディレイによるノイズ除去回路を内蔵します。

リセット時：00H　　R/W　　アドレス：FFFFFC26H, FFFFFC27H

	15	14	13	12	11	10	9	8
INTR3（INTR3H）	0	0	0	0	0	0	INTR39	0
	7	6	5	4	3	2	1	0
（INTR3L）	0	0	0	0	0	0	INTR31	0

備考　有効エッジの指定については表 4－9 を参照してください。

表 4－9　有効エッジの指定

INTF3n ビット	INTR3n ビット	有効エッジの指定（n = 1, 9）
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

備考　n = 1 ：INTP7 端子の制御

n = 9 ：INTP8 端子の制御

4. 4. 6　ポート4

ポート 4 は 1 ビット単位で入出力を制御できる 3 ビットのポート（P40-P42）です。

(1) ポート4の機能

○ 1 ビット単位でポートの入力／出力データの指定が可能
　ポート・レジスタ 4（P4）で指定
○ 1 ビット単位でポートの入力／出力の指定が可能
　ポート・モード・レジスタ 4（PM4）で指定
○ 1 ビット単位でポート・モード／コントロール・モード（兼用機能）の指定が可能
　ポート・モード・コントロール・レジスタ 4（PMC4）で指定
○ 1 ビット単位で内蔵プルアップ抵抗の接続指定が可能
　プルアップ抵抗オプション・レジスタ 4（PU4）で指定

ポート 4 は，次に示す端子と兼用しています。

表 4－10　ポート 4 の兼用端子

端子名		兼用端子名	入出力	備　考
ポート 4	P40	SIB0	入出力	－
	P41	SOB0		
	P42	$\overline{\text{SCKB0}}$		

★　注意　P40-P42端子は兼用機能の入出力時にはヒステリシス特性を持ちますが，ポート・モード時にはヒステリシス特性を持ちません。

(2) レジスタ

(a) ポート・レジスタ4（P4）

ポート・レジスタ4（P4）は，端子レベルのリード，出力レベルのライトを制御する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセット時：不定　R/W　アドレス：FFFFF408H

	7	6	5	4	3	2	1	0
P4	0	0	0	0	0	P42	P41	P40

P4n	出力データの制御（出力モード時）（n = 0-2）
0	0 を出力
1	1 を出力

(b) ポート・モード・レジスタ4（PM4）

入力モード／出力モードを指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセット時：FFH　R/W　アドレス：FFFFF428H

	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	PM42	PM41	PM40

PM4n	入出力モードの制御（n = 0-2）
0	出力モード
1	入力モード

(c) ポート・モード・コントロール・レジスタ4（PMC4）

ポート・モード／コントロール・モードを指定する 8 ビットのレジスタです。8/1 ビット単位でリード／ライト可能です。

リセット時：00H　R/W　アドレス：FFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

PMC42	P42 端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{SCKB0}}$入出力

PMC41	P41 端子の動作モードの指定
0	入出力ポート
1	SOB0 出力

PMC40	P40 端子の動作モードの指定
0	入出力ポート
1	SIB0 入力

(d) プルアップ抵抗オプション・レジスタ4（PU4）

内蔵プルアップ抵抗の接続を指定する8ビットのレジスタです。8/1 ビット単位でリード／ライト可能です。

リセット時：00H　R/W　アドレス：FFFFFC48H

	7	6	5	4	3	2	1	0
PU4	0	0	0	0	0	PU42	PU41	PU40

PU4n	内蔵プルアップ抵抗接続制御（n = 0-2）
0	接続しない
1	接続する

4. 4. 7　ポート5

ポート 5 は 1 ビット単位で入出力を制御できる 6 ビットのポート（P50-P55）です。

（1）ポート5の機能

○ 1 ビット単位でポートの入力／出力データの指定が可能
　ポート・レジスタ 5（P5）で指定
○ 1 ビット単位でポートの入力／出力の指定が可能
　ポート・モード・レジスタ 5（PM5）で指定
○ 1 ビット単位でポート・モード／コントロール・モード（兼用機能）の指定が可能
　ポート・モード・コントロール・レジスタ 5（PMC5）で指定
○ 1 ビット単位でコントロール・モードの指定が可能
　ポート・ファンクション・コントロール・レジスタ 5（PFC5），ポート・ファンクション・コントロール拡張レジスタ 5（PFCE5）で指定
○ 1 ビット単位で内蔵プルアップ抵抗の接続指定が可能
　プルアップ抵抗オプション・レジスタ 5（PU5）で指定

ポート 5 は，次に示す端子と兼用しています。

表4－11　ポート5の兼用端子

端子名		兼用端子名	入出力	備　考
ポート 5	P50	KR0/TIQ01/TOQ01	入出力	－
	P51	KR1/TIQ02/TOQ02		
	P52	KR2/TIQ03/TOQ03/DDI 注		
	P53	KR3/TIQ00/TOQ00/DDO 注		
	P54	KR4/DCK 注		
	P55	KR5/DMS 注		

注　DDI, DDO, DCK, DMS 端子はオンチップ・ディバグ用の端子です。外部リセット後，DDI, DDO, DCK, DMS 端子をオンチップ・ディバグ用端子として使用せず，ポートとして使用する場合は，次の処置が必要です。

① OCDM レジスタ（特定レジスタ）の OCDM0 ビットをクリア（0）します。
② ①の処置を終えるまで P05/INTP2/$\overline{\text{DRST}}$端子をロウ・レベル固定にしておきます。

なお，オンチップ・ディバグを使用しない場合，上記処置を行う前に$\overline{\text{DRST}}$端子にハイ・レベルを入力すると，誤動作（CPU デッドロック）の原因となるため，P05 端子の取り扱いには十分注意してください。
P05/INTP2/$\overline{\text{DRST}}$端子にハイ・レベルを入力しない（ロウ・レベルに固定する）場合は，OCDM レジスタの OCDM0 ビットを操作する必要はありません。
P05/INTP2/$\overline{\text{DRST}}$端子は，プルダウン抵抗（30 kΩ（TYP.））をバッファに内蔵しているため，外部からロウ・レベル固定に処置する必要はありません。OCDM0 ビットをクリア（0）することにより，プルダウン抵抗は切断されます。
マスク ROM 製品はオンチップ･ディバグ･モードに対応していませんが，P05/INTP2/$\overline{\text{DRST}}$端子はフラッシュ･メモリ内蔵品と同様の処置を行ってください。
詳細は，第 26 章　オンチップ・ディバグ機能を参照してください。

★　注意　P50-P55 端子は兼用機能の入出力時にはヒステリシス特性を持ちますが，ポート・モード時にはヒステリシス特性を持ちません。

(2) レジスタ

(a) ポート・レジスタ5（P5）

ポート・レジスタ5（P5）は，端子レベルのリード，出力レベルのライトを制御する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセット時：不定　R/W　アドレス：FFFFF40AH

	7	6	5	4	3	2	1	0
P5	0	0	P55	P54	P53	P52	P51	P50

P5n	出力データの制御（出力モード時）（n = 0-5）
0	0 を出力
1	1 を出力

(b) ポート・モード・レジスタ5（PM5）

入力モード／出力モードを指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセット時：FFH　R/W　アドレス：FFFFF42AH

	7	6	5	4	3	2	1	0
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50

PM5n	入出力モードの制御（n = 0-5）
0	出力モード
1	入力モード

(c) ポート・モード・コントロール・レジスタ5（PMC5）

ポート・モード／コントロール・モードを指定する 8 ビットのレジスタです。8/1 ビット単位でリード／ライト可能です。

注意　PFC5 レジスタの PFC5n ビットおよび PFCE5 レジスタの PFCE5n ビットが初期値（0）の状態で，PMC5 レジスタによりコントロール・モードにした場合，不定出力となります。
そのため，コントロール・モードに設定するには，まず PFC5 レジスタの PFC5n ビットおよび PFCE5 レジスタの PFCE5n ビットを設定したあと，PMC5n ビットを 1 にしてください。

リセット時：00H　　R/W　　アドレス：FFFFF44AH

	7	6	5	4	3	2	1	0
PMC5	0	0	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50

PMC55	P55 端子の動作モードの指定
0	入出力ポート
1	KR5 入力

PMC54	P54 端子の動作モードの指定
0	入出力ポート
1	KR4 入力

PMC53	P53 端子の動作モードの指定
0	入出力ポート
1	KR3/TIQ00/TOQ00 入出力

PMC52	P52 端子の動作モードの指定
0	入出力ポート
1	KR2/TIQ03/TOQ03 入出力

PMC51	P51 端子の動作モードの指定
0	入出力ポート
1	KR1/TIQ02/TOQ02 入出力

PMC50	P50 端子の動作モードの指定
0	入出力ポート
1	KR0/TIQ01/TOQ01 入出力

(d) ポート・ファンクション・コントロール・レジスタ5（PFC5）

コントロール・モード1/コントロール・モード2/コントロール・モード3/コントロール・モード4を指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセット時：00H　R/W　アドレス：FFFFF46AH

	7	6	5	4	3	2	1	0
PFC5	0	0	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50

備考　コントロール・モードの指定については（f）P5 端子のコントロール・モードの設定を参照してください。

(e) ポート・ファンクション・コントロール拡張レジスタ5（PFCE5）

コントロール・モード 1/コントロール・モード 2/コントロール・モード 3/コントロール・モード 4 を指定する 8 ビットのレジスタです。8/1 ビット単位でリード／ライト可能です。

リセット時：00H　R/W　アドレス：FFFFF70AH

	7	6	5	4	3	2	1	0
PFCE5	0	0	0	0	PFCE53	PFCE52	PFCE51	PFCE50

備考　コントロール・モードの指定については（f）P5 端子のコントロール・モードの設定を参照してください。

(f) P5端子のコントロール・モードの設定

注意　PFC5 レジスタの PFC5n ビットおよび PFCE5 レジスタの PFCE5n ビットが初期値（0）の状態で，PMC5 レジスタによりコントロール・モードにした場合，不定出力となります。
そのため，コントロール・モードに設定するには，まず PFC5 レジスタの PFC5n ビットおよび PFCE5 レジスタの PFCE5n ビットを設定したあと，PMC5n ビットを 1 にしてください。

PFC55	P55 端子のコントロール・モードの指定
0	設定禁止
1	KR5 入力

PFC54	P54 端子のコントロール・モードの指定
0	設定禁止
1	KR4 入力

PFCE53	PFC53	P53 端子のコントロール・モードの指定
0	0	設定禁止
0	1	TIQ00/KR3 注入力
1	0	TOQ00 出力
1	1	設定禁止

PFCE52	PFC52	P52 端子のコントロール・モードの指定
0	0	設定禁止
0	1	TIQ03/KR2 注入力
1	0	TOQ03 出力
1	1	設定禁止

PFCE51	PFC51	P51 端子のコントロール・モードの指定
0	0	設定禁止
0	1	TIQ02/KR1 注入力
1	0	TOQ02 出力
1	1	設定禁止

PFCE50	PFC50	P50 端子のコントロール・モードの指定
0	0	設定禁止
0	1	TIQ01/KR0 注入力
1	0	TOQ01 出力
1	1	設定禁止

注　KRn 端子と TIQ0m 端子は兼用となっています。端子を TIQ0m 端子として使用する場合は兼用している KRn 端子のキー・リターン検出を無効にしてください（KRM レジスタの KRMn ビットに 0 を設定）。また KRn 端子として使用する場合は兼用している TIQ0m 端子のエッジ検出を無効にしてください
（n = 0-3, m = 0-3）。

端子名称	TIQ0m 端子として使用する場合	KRn 端子として使用する場合
KR0/TIQ01	KRM レジスタの KRM0 ビット = 0	TQ0IOC1 レジスタの TQ0TIG2, TQ0TIG3 ビット = 0
KR1/TIQ02	KRM レジスタの KRM1 ビット = 0	TQ0IOC1 レジスタの TQ0TIG4, TQ0TIG5 ビット = 0
KR2/TIQ03	KRM レジスタの KRM2 ビット = 0	TQ0IOC1 レジスタの TQ0TIG6, TQ0TIG7 ビット = 0
KR3/TIQ00	KRM レジスタの KRM3 ビット = 0	TQ0IOC1 レジスタの TQ0TIG0, TQ0TIG1 ビット = 0 TQ0IOC2 レジスタの TQ0EES0, TQ0EES1 ビット = 0 TQ0IOC2 レジスタの TQ0ETS0, TQ0ETS1 ビット = 0

(g) プルアップ抵抗オプション・レジスタ5（PU5）

内蔵プルアップ抵抗の接続を指定する8ビットのレジスタです。8/1 ビット単位でリード／ライト可能です。

リセット時：00H　R/W　**アドレス：**FFFFFC4AH

	7	6	5	4	3	2	1	0
PU5	0	0	PU55	PU54	PU53	PU52	PU51	PU50

PU5n	内蔵プルアップ抵抗接続制御（n = 0-5）
0	接続しない
1	接続する

4. 4. 8　ポート7

ポート 7 は 1 ビット単位で入出力を制御できる 16 ビットのポート（P70-P715）です。

★　（1）ポート7の機能

○ 1 ビット単位でポートの入力／出力データの指定が可能
　ポート・レジスタ 7L, 7H（P7L, P7H）で指定
○1 ビット単位でポートの入力／出力の指定が可能
　ポート・モード・レジスタ 7L, 7H（PM7L, PM7H）で指定

ポート 7 は，次に示す端子と兼用しています。

表4－12　ポート7の兼用端子

端子名		兼用端子名	入出力	備　考
ポート 7	P70	ANI0	入出力	－
	P71	ANI1		
	P72	ANI2		
	P73	ANI3		
	P74	ANI4		
	P77	ANI5		
	P76	ANI6		
	P77	ANI7		
	P78	ANI8		
	P79	ANI9		
	P710	ANI10		
	P711	ANI11		
	P712	ANI12		
	P713	ANI13		
	P714	ANI14		
	P715	ANI15		

(2) レジスタ

(a) ポート・レジスタ7H，ポート・レジスタ7L（P7H, P7L）

ポート・レジスタ 7H，ポート・レジスタ 7L（P7H, P7L）は，端子レベルのリード，出力レベルのライトを制御する各 8 ビットのレジスタです。8/1 ビット単位でリード／ライト可能です。

16 ビット・アクセスはできません。

リセット時：不定　R/W　アドレス：FFFFF40FH, FFFFF40EH

	15	14	13	12	11	10	9	8
P7H	P715	P714	P713	P712	P711	P710	P79	P78
	7	6	5	4	3	2	1	0
P7L	P77	P76	P75	P74	P73	P72	P71	P70

P7n	出力データの制御（出力モード時）（n = 0-15）
0	0 を出力
1	1 を出力

注意　A/D 変換中に P7H, P7L レジスタをリードしないでください。

(b) ポート・モード・レジスタ7H, 7L（PM7H, PM7L）

入力モード／出力モードを指定する各8ビットのレジスタです。PM7H, PM7Lレジスタは，8/1ビット単位でリード／ライト可能です。

16ビット・アクセスはできません。

リセット時：FFH　R/W　アドレス：FFFFF42FH, FFFFF42EH

	15	14	13	12	11	10	9	8
PM7H	PM715	PM714	PM713	PM712	PM711	PM710	PM79	PM78
	7	6	5	4	3	2	1	0
PM7L	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	入出力モードの制御（n = 0-15）
0	出力モード
1	入力モード

注意　P7n を兼用機能（ANIn）として使用する場合は，PM7n = 1 に設定してください。

4.4.9　ポート9

ポート 9 は 1 ビット単位で入出力を制御できる 16 ビットのポート（P90-P915）です。

(1) ポート9の機能

○ 1 ビット単位でポートの入力／出力データの指定が可能
ポート・レジスタ 9（P9）で指定

○ 1 ビット単位でポートの入力／出力の指定が可能
ポート・モード・レジスタ 9（PM9）で指定

○ 1 ビット単位でポート・モード／コントロール・モード（兼用機能）の指定が可能
ポート・モード・コントロール・レジスタ 9（PMC9）で指定

○ 1 ビット単位でコントロール・モードの指定が可能
ポート・ファンクション・コントロール・レジスタ 9（PFC9），ポート・ファンクション・コントロール拡張レジスタ 9（PFCE9）で指定

○ 1 ビット単位で内蔵プルアップ抵抗の接続指定が可能
プルアップ抵抗オプション・レジスタ 9（PU9）で指定

○ 1 ビット単位で外部割り込み（兼用機能）の有効エッジの指定が可能
外部割り込み立ち下がりエッジ指定レジスタ 9H（INTF9H），外部割り込み立ち上がりエッジ指定レジスタ 9H（INTR9H）で指定

ポート 9 は，次に示す端子と兼用しています。

表4－13　ポート9の兼用端子

端子名		兼用端子名	入出力	備　考
ポート 9	P90	KR6/TXDA1	入出力	－
	P91	KR7/RXDA1		
	P92	TIQ11/TOQ11		
	P93	TIQ12/TOQ12		
	P94	TIQ13/TOQ13		
	P95	TIQ10/TOQ10		
	P96	TIP21/TOP21		
	P97	SIB1/TIP20/TOP20		
	P98	SOB1		
	P99	$\overline{\text{SCKB1}}$		
	P910	SIB2		
	P911	SOB2		
	P912	$\overline{\text{SCKB2}}$		
	P913	INTP4/PCL		
	P914	INTP5		
	P915	INTP6		

★　**注意**　P90-P97，P99，P910，P912-P915端子は兼用端子の入出力時にはヒステリシス特性を持ちますが，ポート･モード時にはヒステリシス特性を持ちません。

(2) レジスタ

(a) ポート・レジスタ9 (P9)

ポート・レジスタ9 (P9) は，端子レベルのリード，出力レベルのライトを制御する16ビットのレジスタです。16ビット単位でリード／ライト可能です。

ただし，P9レジスタの上位8ビットをP9Hレジスタ，下位8ビットをP9Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

リセット時：不定　R/W　アドレス：FFFFF412H, FFFFF413H

	15	14	13	12	11	10	9	8
P9 (P9H 注)	P915	P914	P913	P912	P911	P910	P99	P98
	7	6	5	4	3	2	1	0
(P9L)	P97	P96	P95	P94	P93	P92	P91	P90

P9n	出力データの制御 (出力モード時) (n = 0-15)
0	0 を出力
1	1 を出力

注 P9 レジスタのビット 8-15 を 8/1 ビット単位でリード／ライトする場合は，P9H レジスタのビット 0-7 として指定してください。

(b) ポート・モード・レジスタ9 (PM9)

入力モード／出力モードを指定する16ビットのレジスタです。16ビット単位でリード／ライト可能です。

ただし，PM9レジスタの上位8ビットをPM9Hレジスタ，下位8ビットをPM9Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

リセット時：FFFFH　R/W　アドレス：FFFFF432H, FFFFF433H

	15	14	13	12	11	10	9	8
PM9 (PM9H 注)	PM915	PM914	PM913	PM912	PM911	PM910	PM99	PM98
	7	6	5	4	3	2	1	0
(PM9L)	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90

PM9n	入出力モードの制御 (n = 0-15)
0	出力モード
1	入力モード

注 PM9 レジスタのビット 8-15 を 8/1 ビット単位でリード／ライトする場合は，PM9H レジスタのビット 0-7 として指定してください。

(c) ポート・モード・コントロール・レジスタ9（PMC9）

ポート・モード／コントロール・モードを指定する 16 ビットのレジスタです。16 ビット単位でリード／ライト可能です。

ただし，PMC9 レジスタの上位 8 ビットを PMC9H レジスタ，下位 8 ビットを PMC9L レジスタとして使用する場合は，8/1 ビット単位でリード／ライト可能です。

注意　PFC9 レジスタの PFC9n ビットおよび PFCE9 レジスタの PFCE9n ビットが初期値（0）の状態で，PMC9 レジスタによりコントロール・モードにした場合，不定出力となります。
そのため，コントロール・モードに設定するには，まず PFC9 レジスタの PFC9n ビットおよび PFCE9 レジスタの PFCE9n ビットを設定したあと，PMC9n ビットを 1 にしてください。

（1/2）

リセット時：0000H　　R/W　　アドレス：FFFFF452H, FFFFF453H

	15	14	13	12	11	10	9	8
PMC9（PMC9H 注）	PMC915	PMC914	PMC913	0	0	0	PMC99	PMC98
	7	6	5	4	3	2	1	0
（PMC9L）	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

PMC915	P915 端子の動作モードの指定
0	入出力ポート
1	INTP6 入力

PMC914	P914 端子の動作モードの指定
0	入出力ポート
1	INTP5 入力

PMC913	P913 端子の動作モードの指定
0	入出力ポート
1	INTP4/PCL 入出力

PMC99	P99 端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{SCKB1}}$入出力

PMC98	P98 端子の動作モードの指定
0	入出力ポート
1	SOB1 出力

注　PMC9 レジスタのビット 8-15 を 8/1 ビット単位でリード／ライトする場合は，PMC9H レジスタのビット 0-7 として指定してください。

(2/2)

PMC97	P97 端子の動作モードの指定
0	入出力ポート
1	SIB1/TIP20/TOP20 入出力

PMC96	P96 端子の動作モードの指定
0	入出力ポート
1	TIP21/TOP21 入出力

PMC95	P95 端子の動作モードの指定
0	入出力ポート
1	TIQ10/TOQ10 入出力

PMC94	P94 端子の動作モードの指定
0	入出力ポート
1	TIQ13/TOQ13 入出力

PMC93	P93 端子の動作モードの指定
0	入出力ポート
1	TIQ12/TOQ12 入出力

PMC92	P92 端子の動作モードの指定
0	入出力ポート
1	TIQ11/TOQ11 入出力

PMC91	P91 端子の動作モードの指定
0	入出力ポート
1	KR7/RXDA1 入力

PMC90	P90 端子の動作モードの指定
0	入出力ポート
1	KR6/TXDA1 入出力

(d) ポート・ファンクション・コントロール・レジスタ9 (PFC9)

コントロール・モード 1/コントロール・モード 2/コントロール・モード 3/コントロール・モード 4 を指定する 16 ビットのレジスタです。16 ビット単位でリード／ライト可能です。

ただし，PFC9 レジスタの上位 8 ビットを PFC9H レジスタ，下位 8 ビットを PFC9L レジスタとして使用する場合は，8/1 ビット単位でリード／ライト可能です。

リセット時：0000H　R/W　アドレス：FFFFF472H, FFFFF473H

	15	14	13	12	11	10	9	8
PFC9 (PFC9H 注)	PFC915	PFC914	PFC913	0	0	0	PFC99	PFC98
	7	6	5	4	3	2	1	0
(PFC9L)	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

注　PFC9 レジスタのビット 8-15 を 8/1 ビット単位でリード／ライトする場合は，PFC9H レジスタのビット 0-7 として指定してください。

備考　コントロール・モードの指定については (f) P9 端子のコントロール・モードの設定を参照してください。

(e) ポート・ファンクション・コントロール拡張レジスタ9 (PFCE9)

コントロール・モード1/コントロール・モード2/コントロール・モード3/コントロール・モード4を指定する16ビットのレジスタです。16ビット単位でリード／ライト可能です。

ただし，PFC9レジスタの上位8ビットをPFC9Hレジスタ，下位8ビットをPFC9Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

リセット時：0000H　R/W　アドレス：FFFFF712H, FFFFF713H

	15	14	13	12	11	10	9	8
PFCE9 (PFCE9H 注)	0	0	PFCE913	0	0	0	0	0
	7	6	5	4	3	2	1	0
(PFCE9L)	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

注　PFCE9 レジスタのビット 8-15 を 8/1 ビット単位でリード／ライトする場合は，PFCE9H レジスタのビット 0-7 として指定してください。

備考　コントロール・モードの指定については (f) P9 端子のコントロール・モードの設定を参照してください。

(f) P9端子のコントロール・モードの設定

注意　PFC9 レジスタの PFC9n ビットおよび PFCE9 レジスタの PFCE9n ビットが初期値（0）の状態で，PMC9 レジスタによりコントロール・モードにした場合，不定出力となります。
そのため，コントロール・モードに設定するには，まず PFC9 レジスタの PFC9n ビットおよび PFCE9 レジスタの PFCE9n ビットを設定したあと，PMC9n ビットを 1 にしてください。

PFC915	P915 端子のコントロール・モードの指定
0	設定禁止
1	INTP6 入力

PFC914	P914 端子のコントロール・モードの指定
0	設定禁止
1	INTP5 入力

PFCE913	PFC913	P913 端子のコントロール・モードの指定
0	0	設定禁止
0	1	INTP4 入力
1	0	PCL 出力
1	1	設定禁止

PFC99	P99 端子のコントロール・モードの指定
0	設定禁止
1	$\overline{\text{SCKB1}}$入出力

PFC98	P98 端子のコントロール・モードの指定
0	設定禁止
1	SOB1 出力

PFCE97	PFC97	P97 端子のコントロール・モードの指定
0	0	設定禁止
0	1	SIB1 入力
1	0	TIP20 入力
1	1	TOP20 出力

PFCE96	PFC96	P96 端子のコントロール・モードの指定
0	0	設定禁止
0	1	設定禁止
1	0	TIP21 入力
1	1	TOP21 出力

PFCE95	PFC95	P95 端子のコントロール・モードの指定
0	0	設定禁止
0	1	TIQ10 入力
1	0	TOQ10 出力
1	1	設定禁止

PFCE94	PFC94	P94 端子のコントロール・モードの指定
0	0	設定禁止
0	1	TIQ13 入力
1	0	TOQ13 出力
1	1	設定禁止

PFCE93	PFC93	P93 端子のコントロール・モードの指定
0	0	設定禁止
0	1	TIQ12 入力
1	0	TOQ12 出力
1	1	設定禁止

PFCE92	PFC92	P92 端子のコントロール・モードの指定
0	0	設定禁止
0	1	TIQ11 入力
1	0	TOQ11 出力
1	1	設定禁止

PFCE91	PFC91	P91 端子のコントロール・モードの指定
0	0	設定禁止
0	1	KR7 入力
1	0	KR7/RXDA1 入力[注]
1	1	設定禁止

PFCE90	PFC90	P90 端子のコントロール・モードの指定
0	0	設定禁止
0	1	KR6 入力
1	0	TXDA1 出力
1	1	設定禁止

★　**注**　KR7 端子と RXDA1 端子は兼用となっています。
端子を RXDA1 端子として使用する場合は，KR7 端子のキー・リターン検出を無効にしてください（KRM レジスタの KRM7 ビットに"0"を設定）。また，KR7 端子として使用する場合は，PFC91 ビット = 1, PFCE91 ビット = 0 に設定することを推奨します。

(g) プルアップ抵抗オプション・レジスタ9（PU9）

内蔵プルアップ抵抗の接続を指定する16ビットのレジスタです。16ビット単位でリード／ライト可能です。

ただし，PU9レジスタの上位8ビットをPU9Hレジスタ，下位8ビットをPU9Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

リセット時：0000H　R/W　アドレス：FFFFFC52H, FFFFFC53H

	15	14	13	12	11	10	9	8
PU9（PU9H 注）	PU915	PU914	PU913	PU912	PU911	PU910	PU99	PU98
	7	6	5	4	3	2	1	0
（PU9L）	PU97	PU96	PU95	PU94	PU93	PU92	PU91	PU90

PU9n	内蔵プルアップ抵抗接続制御（n = 0-15）
0	接続しない
1	接続する

注　PU9 レジスタのビット 8-15 を 8/1 ビット単位でリード／ライトする場合は，PU9H レジスタのビット 0-7 として指定してください。

(h) 外部割り込み立ち下がりエッジ指定レジスタ9H（INTF9H）

外部割り込み端子の立ち下がりエッジ検出を指定する 8 ビットのレジスタです。8/1 ビット単位でリード／ライト可能です。

注意 1.　外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF9n ビット = INTR9n ビット = 0 に設定したあとにポート・モードに設定してください。

2.　外部割り込み入力には，アナログ・ディレイによるノイズ除去回路を内蔵します。

リセット時：00H　R/W　アドレス：FFFFFC13H

	7	6	5	4	3	2	1	0
INTF9H	INTF915	INTF914	INTF913	0	0	0	0	0

備考　有効エッジの指定については表 4－14 を参照してください。

(i) 外部割り込み立ち上がりエッジ指定レジスタ9H（INTR9H）

外部割り込み端子の立ち上がりエッジ検出を指定する 8 ビットのレジスタです。8/1 ビット単位でリード／ライト可能です。

注意 1. 外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF9n ビット = INTR9n ビット = 0 に設定したあとにポート・モードに設定してください。

2. 外部割り込み入力には，アナログ・ディレイによるノイズ除去回路を内蔵します。

リセット時：00H　R/W　アドレス：FFFFFC33H

	7	6	5	4	3	2	1	0
INTR9H	INTR915	INTR914	INTR913	0	0	0	0	0

備考　有効エッジの指定については表 4－14 を参照してください。

表4－14　有効エッジの指定

INTF9n ビット	INTR9n ビット	有効エッジの指定（n = 13-15）
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

備考　n = 13　：INTP4 端子の制御

n = 14　：INTP5 端子の制御

n = 15　：INTP6 端子の制御

4. 4. 10　ポートCM

ポート CM は 1 ビット単位で入出力を制御できる 4 ビットのポート（PCM0-PCM3）です。

(1) ポートCMの機能

○ 1 ビット単位でポートの入力／出力データの指定が可能
　ポート・レジスタ CM（PCM）で指定
○ 1 ビット単位でポートの入力／出力の指定が可能
　ポート・モード・レジスタ CM（PMCM）で指定
○ 1 ビット単位でポート・モード／コントロール・モード（兼用機能）の指定が可能
　ポート・モード・コントロール・レジスタ CM（PMCCM）で指定

ポート CM は，次に示す端子と兼用しています。

表 4－15　ポート CM の兼用端子

端子名		兼用端子名	入出力	備　考
ポート CM	PCM0	–	入出力	–
	PCM1	CLKOUT		
	PCM2	–		
	PCM3	–		

(2) レジスタ

(a) ポート・レジスタCM（PCM）

ポート・レジスタCM（PCM）は，端子レベルのリード，出力レベルのライトを制御する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセット時：不定　R/W　アドレス：FFFFF00CH

	7	6	5	4	3	2	1	0
PCM	0	0	0	0	PCM3	PCM2	PCM1	PCM0

PCMn	出力データの制御（出力モード時）（n = 0-3）
0	0 を出力
1	1 を出力

(b) ポート・モード・レジスタCM（PMCM）

入力モード／出力モードを指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセット時：FFH　R/W　アドレス：FFFFF02CH

	7	6	5	4	3	2	1	0
PMCM	1	1	1	1	PMCM3	PMCM2	PMCM1	PMCM0

PMCMn	入出力モードの制御（n = 0-3）
0	出力モード
1	入力モード

(c) ポート・モード・コントロール・レジスタCM（PMCCM）

ポート・モード／コントロール・モードを指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセット時：00H　R/W　アドレス：FFFFF04CH

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	0	0	PMCCM1	0

PMCCM1	PCM1 端子の動作モードの指定
0	入出力ポート
1	CLKOUT 出力

4. 4. 11　ポートCS

ポート CS は 1 ビット単位で入出力を制御できる 2 ビットのポート PCS0, PCS1 です。

(1) ポートCSの機能

○ 1 ビット単位でポートの入力／出力データの指定が可能
　ポート・レジスタ CS（PCS）で指定
○ 1 ビット単位でポートの入力／出力の指定が可能
　ポート・モード・レジスタ CS（PMCS）で指定

(2) レジスタ

(a) ポート・レジスタCS（PCS）

ポート・レジスタ CS（PCS）は，端子レベルのリード，出力レベルのライトを制御する 8 ビットのレジスタです。8/1 ビット単位でリード／ライト可能です。

リセット時：不定　R/W　アドレス：FFFFF008H

	7	6	5	4	3	2	1	0
PCS	0	0	0	0	0	0	PCS1	PCS0

PCSn	出力データの制御（出力モード時）（n = 0, 1）
0	0 を出力
1	1 を出力

(b) ポート・モード・レジスタCS（PMCS）

入力モード／出力モードを指定する 8 ビットのレジスタです。8/1 ビット単位でリード／ライト可能です。

リセット時：FFH　R/W　アドレス：FFFFF028H

	7	6	5	4	3	2	1	0
PMCS	1	1	1	1	1	1	PMCS1	PMCS0

PMCSn	入出力モードの制御（n = 0, 1）
0	出力モード
1	入力モード

4. 4. 12　ポートCT

ポート CT は 1 ビット単位で入出力を制御できる 4 ビットのポート（PCT0, PCT1, PCT4, PCT6）です。

(1) ポートCTの機能

○ 1 ビット単位でポートの入力／出力データの指定が可能
　ポート・レジスタ CT（PCT）で指定
○ 1 ビット単位でポートの入力／出力の指定が可能
　ポート・モード・レジスタ CT（PMCT）で指定

(2) レジスタ

(a) ポート・レジスタCT（PCT）

ポート・レジスタCT（PCT）は，端子レベルのリード，出力レベルのライトを制御する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセット時：不定　　R/W　　アドレス：FFFFF00AH

	7	6	5	4	3	2	1	0
PCT	0	PCT6	0	PCT4	0	0	PCT1	PCT0

PCTn	出力データの制御（出力モード時）（n = 0, 1, 4, 6）
0	0 を出力
1	1 を出力

(b) ポート・モード・レジスタCT（PMCT）

入力モード／出力モードを指定する 8 ビットのレジスタです。8/1 ビット単位でリード／ライト可能です。

リセット時：FFH　　R/W　　アドレス：FFFFF02AH

	7	6	5	4	3	2	1	0
PMCT	1	PMCT6	1	PMCT4	1	1	PMCT1	PMCT0

PMCTn	入出力モードの制御（n = 0, 1, 4, 6）
0	出力モード
1	入力モード

4. 4. 13　ポートDL

ポート DL は 1 ビット単位で入出力を制御できる 14 ビットのポート（PDL0-PDL13）です。

(1) ポートDLの機能

○ 1 ビット単位でポートの入力／出力データの指定が可能
　ポート・レジスタ DL（PDL）で指定
○ 1 ビット単位でポートの入力／出力の指定が可能
　ポート・モード・レジスタ DL（PMDL）で指定

ポート DL は，次に示す端子と兼用しています。

表 4－16　ポート DL の兼用端子

端子名		兼用端子名	入出力	備　考
ポート DL	PDL0	–	入出力	－
	PDL1	–		
	PDL2	–		
	PDL3	–		
	PDL4	–		
	PDL5	FLMD1 注		
	PDL6	–		
	PDL7	–		
	PDL8	–		
	PDL9	–		
	PDL10	–		
	PDL11	–		
	PDL12	–		
	PDL13	–		

注　FLMD1 端子は，フラッシュ・プログラミング・モード時に設定する端子のため，ポート制御用レジスタで操作する必要はありません。詳細は第 24 章　フラッシュ・メモリを参照してください。

(2) レジスタ

(a) ポート・レジスタDL（PDL）

ポート・レジスタDL（PDL）は，端子レベルのリード，出力レベルのライトを制御する16ビットのレジスタです。16ビット単位でリード／ライト可能です。

ただし，PDLレジスタの上位8ビットをPDLHレジスタ，下位8ビットをPDLLレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

リセット時：不定　R/W　アドレス：FFFFF004H, FFFFF005H

	15	14	13	12	11	10	9	8
PDL（PDLH）注	0	0	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8
	7	6	5	4	3	2	1	0
（PDLL）	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0

PDLn	出力データの制御（出力モード時）（n = 0-13）
0	0 を出力
1	1 を出力

注　PDL レジスタのビット 8-15 を 8/1 ビット単位でリード／ライトする場合は，PDLH レジスタのビット 0-7 として指定してください。

(b) ポート・モード・レジスタDL（PMDL）

入力モード／出力モードを指定する16ビットのレジスタです。16ビット単位でリード／ライト可能です。

ただし，PDLレジスタの上位8ビットをPDLHレジスタ，下位8ビットをPMDLLレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

リセット時：FFFFH　R/W　アドレス：FFFFF024H, FFFFF025H

	15	14	13	12	11	10	9	8
PMDL（PMDLH）注	1	1	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8
	7	6	5	4	3	2	1	0
（PMDLL）	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0

PMDLn	入出力モードの制御（n = 0-13）
0	出力モード
1	入力モード

注　PMDL レジスタのビット 8-15 を 8/1 ビット単位でリード／ライトする場合は，PMDLH レジスタのビット 0-7 として指定してください。

4. 4. 14　オンチップ・ディバグ用機能の兼用ポート端子

表 4－17 に示す端子の兼用機能にオンチップ・ディバグ用の端子があります。外部リセット後，これらの端子はオンチップ・ディバグ用端子（$\overline{\text{DRST}}$, DDI, DDO, DCK, DMS）に初期化されます。

表 4－17　オンチップ・ディバグ用端子

端子名	兼用端子
P05	INTP2/$\overline{\text{DRST}}$
P52	KR2/TIQ03/TOQ03/DDI
P53	KR3/TIQ00/TOQ00/DDO
P54	KR4/DCK
P55	KR5/DMS

外部リセット後，これらの端子をオンチップ・ディバグ用として使用せず，ポートとして使用する場合は，次の処置が必要です。

① OCDM レジスタ（特定レジスタ）の OCDM0 ビットをクリア（0）します。
② ①の処置を終えるまで P05/INTP2/$\overline{\text{DRST}}$端子をロウ・レベル固定にしておきます。

なお，オンチップ・ディバグを使用しない場合，上記処置を行う前に$\overline{\text{DRST}}$端子にハイ・レベルを入力すると，誤動作（CPU デッド・ロック）の原因となるため，P05 端子の取り扱いには十分注意してください。

P05/INTP2/$\overline{\text{DRST}}$端子にハイ・レベルを入力しない（ロウ・レベルに固定する）場合は，OCDM レジスタの OCDM0 ビットを操作する必要はありません。

P05/INTP2/$\overline{\text{DRST}}$端子は，プルダウン抵抗（30 kΩ（TYP.））をバッファに内蔵しているため，外部からロウ・レベル固定に処置する必要はありません。OCDM0 ビットをクリア（0）することにより，プルダウン抵抗は切断されます。

マスク ROM 製品はオンチップ･ディバグ･モードに対応していませんが，P05/INTP2/$\overline{\text{DRST}}$端子はフラッシュ･メモリ内蔵品と同様の処置を行ってください。

詳細は，第 26 章　オンチップ・ディバグ機能を参照してください。

4. 4. 15　ポート端子を兼用端子として使用する場合のレジスタ設定

表4－18　ポート端子を兼用端子として使用する場合のレジスタ設定（1/5）

端子名称	兼用端子		PMn レジスタ	PMCn レジスタ	PFCm レジスタ	PFCEm レジスタ	その他のビット（レジスタ）
	名称	入出力					
P00	TIP31	入力	設定不要	PMC00 = 1	PFC00 = 0	－	
	TOP31	出力	設定不要	PMC00 = 1	PFC00 = 1	－	
P01	TIP30	入力	設定不要	PMC01 = 1	PFC01 = 0	－	
	TOP30	出力	設定不要	PMC01 = 1	PFC01 = 1	－	
P02	NMI	入力	設定不要	PMC02 = 1	－	－	
P03	INTP0	入力	設定不要	PMC03 = 1	PFC03 = 0	－	INTx03 (INTx0)
	ADTRG	出力	設定不要	PMC03 = 1	PFC03 = 1	－	
P04	INTP1	入力	設定不要	PMC04 = 1	－	－	INTx04 (INTx0)
P05 注	INTP2	入力	設定不要	PMC05 = 1	－	－	INTx05 (INTx0)
	$\overline{\text{DRST}}$	入力	設定不要	設定不要	－	－	OCDM0 (OCDM) = 1
P06	INTP3	入力	設定不要	PMC06 = 1	－	－	INTx06 (INTx0)

注　外部リセット後，P05/INTP2/$\overline{\text{DRST}}$端子はオンチップ・ディバグ用端子（$\overline{\text{DRST}}$）に初期化されます
P05/INTP2/$\overline{\text{DRST}}$端子をオンチップ･ディバグ用端子として使用しない場合の処置については，第26章　オンチップ・ディバグ機能を参照してください。

備考 1.　兼用端子として使用する場合，ポート・レジスタ（Pn）は設定不要です。

2.　INTxn = INTFn, INTRn

表4－18　ポート端子を兼用端子として使用する場合のレジスタ設定（2/5）

端子名称	兼用端子		PMn レジスタ	PMCn レジスタ	PFCm レジスタ	PFCEm レジスタ	その他のビット（レジスタ）
	名称	入出力					
P30	TXDA0	出力	設定不要	PMC30 = 1	－	－	
P31	RXDA0	入力	設定不要	PMC31 = 1	－	－	注
	INTP7	入力	設定不要	PMC31 = 1	－	－	注, INTx31 (INTx3)
P32	ASCKA0	入力	設定不要	PMC32 = 1	PFC32 = 0	PFCE32 = 0	
	TOP01	出力	設定不要	PMC32 = 1	PFC32 = 1	PFCE32 = 0	
	TIP00	入力	設定不要	PMC32 = 1	PFC32 = 0	PFCE32 = 1	
	TOP00	出力	設定不要	PMC32 = 1	PFC32 = 1	PFCE32 = 1	
P33	TIP01	入力	設定不要	PMC33 = 1	PFC33 = 0	PFCE33 = 0	
	TOP01	出力	設定不要	PMC33 = 1	PFC33 = 1	PFCE33 = 0	
	CTXD0	出力	設定不要	PMC33 = 1	PFC33 = 0	PFCE33 = 1	
P34	TIP10	入力	設定不要	PMC34 = 1	PFC34 = 0	PFCE34 = 0	
	TOP10	出力	設定不要	PMC34 = 1	PFC34 = 1	PFCE34 = 0	
	CRXD0	入力	設定不要	PMC34 = 1	PFC34 = 0	PFCE34 = 1	
P35	TIP11	入力	設定不要	PMC35 = 1	PFC35 = 0	－	
	TOP11	出力	設定不要	PMC35 = 1	PFC35 = 1	－	
P40	SIB0	入力	設定不要	PMC40 = 1	－	－	
P41	SOB0	出力	設定不要	PMC41 = 1	－	－	
P42	$\overline{\text{SCKB0}}$	入出力	設定不要	PMC42 = 1	－	－	

注　INTP7 端子と RXDA0 端子は兼用となっています。RXDA0 端子として使用する場合は兼用している INTP7 のエッジ検出を無効にしてください（INTF3 レジスタの INTF31 ビット = 0, INTR3 レジスタの INTR31 ビット = 0 に設定）。また INTP7 端子として使用する場合は UARTA0 を受信動作停止としてください（UA0CTL0 レジスタの UA0RXE ビット = 0）。

備考 1.　兼用端子として使用する場合，ポート・レジスタ（Pn）は設定不要です。

2.　INTxn = INTFn, INTRn

表4－18　ポート端子を兼用端子として使用する場合のレジスタ設定（3/5）

端子名称	兼用端子		PMn レジスタ	PMCn レジスタ	PFCm レジスタ	PFCEm レジスタ	その他のビット（レジスタ）
	名称	入出力					
P50	KR0	入力	設定不要	PMC50 = 1	PFC50 = 1	PFCE50 = 0	注 1
	TIQ01	入力	設定不要	PMC50 = 1	PFC50 = 1	PFCE50 = 0	注 1
	TOQ01	出力	設定不要	PMC50 = 1	PFC50 = 0	PFCE50 = 1	
P51	KR1	入力	設定不要	PMC51 = 1	PFC51 = 1	PFCE54 = 0	注 1
	TIQ02	入力	設定不要	PMC51 = 1	PFC51 = 1	PFCE51 = 0	注 1
	TOQ02	出力	設定不要	PMC51 = 1	PFC51 = 0	PFCE51 = 1	
P52	KR2	入力	設定不要	PMC52 = 1	PFC52 = 1	PFCE52 = 0	注 1
	TIQ03	入力	設定不要	PMC52 = 1	PFC52 = 1	PFCE52 = 0	注 1
	TOQ03	出力	設定不要	PMC52 = 1	PFC52 = 0	PFCE52 = 1	
	DDI 注2	入力	設定不要	設定不要	設定不要	設定不要	OCDM0 (OCDM) = 1
P53	KR3	入力	設定不要	PMC53 = 1	PFC53 = 1	PFCE53 = 0	注 1
	TIQ00	入力	設定不要	PMC53 = 1	PFC53 = 1	PFCE53 = 0	注 1
	TOQ00	出力	設定不要	PMC53 = 1	PFC53 = 0	PFCE53 = 1	
	DDO 注2	出力	設定不要	設定不要	設定不要	設定不要	OCDM0 (OCDM) = 1
P54	KR4	入力	設定不要	PMC54 = 1	PFC54 = 1	－	
	DCK 注2	出力	設定不要	設定不要	設定不要	－	OCDM0 (OCDM) = 1
P55	KR5	入力	設定不要	PMC55 = 1	PFC55 = 1	－	
	DMS 注2	出力	設定不要	設定不要	設定不要	－	OCDM0 (OCDM) = 1

注 1. KRn 端子と TIQ0m 端子は兼用となっています。端子を TIQ0m 端子として使用する場合は兼用している KRn 端子のキー・リターン検出を無効にしてください（KRM レジスタの KRMn ビットに 0 を設定）。また KRn 端子として使用する場合は兼用している TIQ0m 端子のエッジ検出を無効にしてください（n = 0-3, m = 0-3）。

端子名称	TIQ0m 端子として使用する場合	KRn 端子として使用する場合
KR0/TIQ01	KRM レジスタの KRM0 ビット = 0	TQ0IOC1 レジスタの TQ0TIG2, TQ0TIG3 ビット = 0
KR1/TIQ02	KRM レジスタの KRM1 ビット = 0	TQ0IOC1 レジスタの TQ0TIG4, TQ0TIG5 ビット = 0
KR2/TIQ03	KRM レジスタの KRM2 ビット = 0	TQ0IOC1 レジスタの TQ0TIG6, TQ0TIG7 ビット = 0
KR3/TIQ00	KRM レジスタの KRM3 ビット = 0	TQ0IOC1 レジスタの TQ0TIG0, TQ0TIG1 ビット = 0 TQ0IOC2 レジスタの TQ0EES0, TQ0EES1 ビット = 0 TQ0IOC2 レジスタの TQ0ETS0, TQ0ETS1 ビット = 0

2. DDI, DDO, DCK, DMS 端子はオンチップ・ディバグ用の端子です。外部リセット後，DDI, DDO, DCK, DMS 端子をオンチップ・ディバグ用端子として使用しない場合の処置については，第 26 章　オンチップ・ディバグ機能を参照してください。

注意　PFC5 レジスタの PFC5n ビットおよび PFCE5 レジスタの PFCE5n ビットが初期値（0）の状態で，PMC5 レジスタによりコントロール・モードにした場合，不定出力となります。
そのため，コントロール・モードに設定するには，まず PFC5 レジスタの PFC5n ビットおよび PFCE5 レジスタの PFCE5n ビットを設定したあと，PMC5n ビットを 1 にしてください。

備考 1.　兼用端子として使用する場合，ポート・レジスタ（Pn）は設定不要です。

2.　INTxn = INTFn, INTRn

表4－18　ポート端子を兼用端子として使用する場合のレジスタ設定（4/5）

端子名称	兼用端子		PMn レジスタ	PMCn レジスタ	PFCm レジスタ	PFCEm レジスタ	その他のビット（レジスタ）
	名称	入出力					
P70	ANI0	入力	PM70 = 1 注	－	－	－	
P71	ANI1	入力	PM71 = 1 注	－	－	－	
P72	ANI2	入力	PM72 = 1 注	－	－	－	
P73	ANI3	入力	PM73 = 1 注	－	－	－	
P74	ANI4	入力	PM74 = 1 注	－	－	－	
P75	ANI5	入力	PM75 = 1 注	－	－	－	
P76	ANI6	入力	PM76 = 1 注	－	－	－	
P77	ANI7	入力	PM77 = 1 注	－	－	－	
P78	ANI8	入力	PM78 = 1 注	－	－	－	
P79	ANI9	入力	PM79 = 1 注	－	－	－	
P710	ANI10	入力	PM710 = 1 注	－	－	－	
P711	ANI11	入力	PM711 = 1 注	－	－	－	

注　P7n を兼用機能（ANIn）として使用する場合は，PM7n = 1 に設定してください。

備考 1.　兼用端子として使用する場合，ポート・レジスタ（Pn）は設定不要です。

2.　INTxn = INTFn, INTRn

表4－18　ポート端子を兼用端子として使用する場合のレジスタ設定（5/5）

端子名称	兼用端子		PMn レジスタ	PMCn レジスタ	PFCm レジスタ	PFCEm レジスタ	その他のビット（レジスタ）
	名称	入出力					
P90	KR6	入力	設定不要	PMC90 = 1	PFC90 = 1	PFCE90 = 0	
	TXDA1	出力	設定不要	PMC90 = 1	PFC90 = 0	PFCE90 = 1	
P91	KR7 注1	入力	設定不要	PMC91 = 1	PFC91 = 1	PFCE91 = 0	
					PFC91 = 0	PFCE91 = 1	
	RXDA1 注1	入力	設定不要	PMC91 = 1	PFC91 = 0	PFCE91 = 1	
P96	TIP21	入力	設定不要	PMC96 = 1	PFC96 = 0	PFCE96 = 1	
	TOP21	出力	設定不要	PMC96 = 1	PFC96 = 1	PFCE96 = 1	
P97	SIB1	入力	設定不要	PMC97 = 1	PFC97 = 1	PFCE97 = 0	
	TIP20	入力	設定不要	PMC97 = 1	PFC97 = 0	PFCE97 = 1	
	TOP20	出力	設定不要	PMC97 = 1	PFC97 = 1	PFCE97 = 1	
P98	SOB1	出力	設定不要	PMC98 = 1	PFC98 = 1	－	
P99	$\overline{\text{SCKB1}}$	入出力	設定不要	PMC99 = 1	PFC99 = 1	－	
P913	INTP4	入力	設定不要	PMC913 = 1	PFC913 = 1	PFCE913 = 0	INTx913 (INTx9H)
	PCL	出力	設定不要	PMC913 = 1	PFC913 = 0	PFCE913 = 1	
P914	INTP5	入力	設定不要	PMC914 = 1	PFC914 = 1	－	INTx914 (INTx9H)
P915	INTP6	入力	設定不要	PMC915 = 1	PFC915 = 1	－	INTx915 (INTx9H)
PCM1	CLKOUT	出力	設定不要	PMCCM1 = 1	－	－	
PDL5	FLMD1	入力	設定不要	設定不要	－	－	注 2

★ 注 1.　KR7 端子と RXDA1 端子は兼用となっています。
端子を RXDA1 端子として使用する場合は，KR7 端子のキー・リターン検出を無効にしてください（KRM レジスタの KRM7 ビットに"0"を設定）。
また KR7 端子として使用する場合は，PFC91 ビット = 1, PFCE91 ビット = 0 に設定することを推奨します。

2.　FLMD1 端子は，フラッシュ・プログラミング・モード時に設定する端子のため，ポート制御用レジスタで操作する必要はありません。詳細は第 24 章　フラッシュ・メモリを参照してください。

注意　PFC9 レジスタの PFC9n ビットおよび PFCE9 レジスタの PFCE9n ビットが初期値（0）の状態で，PMC9 レジスタによりコントロール・モードにした場合，不定出力となります。
そのため，コントロール・モードに設定するには，まず PFC9 レジスタの PFC9n ビットおよび PFCE9 レジスタの PFCE9n ビットを設定したあと，PMC9n ビットを 1 にしてください。

備考 1.　兼用端子として使用する場合，ポート・レジスタ（Pn）は設定不要です。

2.　INTxn = INTFn, INTRn

★4. 5　注意事項

4. 5. 1　ポート端子設定上の注意事項

(1) V850ES/FG2では，1本の端子に汎用ポートと複数の周辺機能の入出力端子が兼用されています。汎用ポート（ポート・モード）と，周辺機能の入出力端子（兼用機能モード）との切り替えは，PMCnレジスタで設定します。このレジスタの設定順序に関して，次の点に注意してください。

(a) ポート・モードから兼用機能モードへ切り替える場合の注意事項

ポート・モードから兼用機能モードへ切り替える場合は，次の順序で行ってください。

① PFCn, PFCEnレジスタを設定　　：兼用端子機能選択
② PMCnレジスタの該当ビットに1を設定　：兼用機能モードへ切り替え

PMCnレジスタを先に設定すると，その瞬間，またそのあとのPFCn, PFCEnレジスタの設定に伴う端子状態の変化によっては，意図しない動作に陥る可能性があるので注意してください。

注意　ポート・モード／兼用機能モードに関係なく，Pnレジスタのリード／ライトは次のようになります。

- Pnレジスタのリード　：ポート出力ラッチの値（PMn.PMnmビット = 0時），または端子状態（PMn.PMnmビット = 1時）の読み出し
- Pnレジスタへのライト　：ポート出力ラッチへの書き込み

(b) 兼用機能モード（入力）に関する注意事項

兼用機能ブロックへの入力信号は，PMCnレジスタの設定値と端子レベルのAND出力のため，PMCn.PMCnmビット = 0のときはロウ・レベルとなります。そのため，ポート設定と兼用機能動作許可のタイミングによっては，意図しない動作に陥る可能性があります。したがって，PMCnレジスタによるポート・モードと兼用機能モードの切り替えは，次に示す順序で実行してください。

- ポート・モードから兼用機能モード（入力）へ切り替える場合
  PMCnレジスタで端子を兼用機能モードにしてから，兼用機能の動作を許可してください。
- 兼用機能モード（入力）からポート・モードへ切り替える場合
  兼用機能の動作を停止してから，端子をポート・モードへ切り替えてください。

(2) ポート・モードにおいてPFn.PFnmビットは，出力モード（PMn.PMnmビット = 0）時のみ有効となります。入力モード（PMnmビット = 1）のとき，PFnmビットの値はバッファに反映されません。

第5章　クロック発生機能

5. 1　概　　要

クロック発生機能の概要を次に示します。

○メイン・クロック発振回路

- **クロック・スルー・モード時**

  f_X = 4〜5 MHz（f_{XX} = 4〜5 MHz）

- PLL**モード時**

  f_X = 4〜5 MHz（f_{XX} = 16〜20 MHz）

○サブクロック発振回路（サブ発振子）

- 32.768 kHz
- 20 kHz（RC R = 390 kΩ, C = 47 pF）

○PLL（Phase Locked Loop）**による逓倍機能（**4**逓倍）**

- **クロック・スルー・モード**/PLL**モード選択可**

○内蔵発振器

★ • f_R = 200 kHz（TYP.）

○内部システム・クロックの生成

- 7**段階（**f_{XX}, f_{XX}/2, f_{XX}/4, f_{XX}/8, f_{XX}/16, f_{XX}/32, f_{XT}）

○周辺クロックの生成

○クロック出力機能

○プログラマブル・クロック出力（PCL**）機能**

★ **備考**　f_X　**：メイン・クロック発振周波数**

f_{XX} **：メイン・クロック周波数**

f_R　**：内蔵発振クロック周波数**

5.2 構　　成

★

図 5ー1　クロック発生回路

(1) メイン･クロック発振回路

次の周波数（fx）を発振します。

・クロック・スルー・モード時

fx = 4〜5 MHz（内部fXX = 4〜5 MHz）

・PLLモード時

fx = 4〜5 MHz（内部fXX = 16〜20 MHz）

(2) サブクロック発振回路

32.768 kHzまたは20 kHzの周波数（fXT）を発振します。

(3) メイン・クロック発振回路停止制御

メイン・クロック発振回路の発振を停止する制御信号を生成します。

ソフトウエアSTOPモード時，あるいはPCCレジスタのMCKビット = 1（PCCレジスタのCLSビット = 1のときのみ有効）のとき，メイン・クロック発振回路の発振を停止します。

(4) 内蔵発振器

200 kHz（TYP.）の周波数（f_R）を発振します。

(5) プリスケーラ1

内蔵周辺機能に供給するクロック（f_{XX}-f_{XX}/1024）を生成します。

クロック供給の対象となるブロックを次に示します。

TMP0-TMP3, TMQ0, TMQ1, TMM0, CSIB0, CSIB1, UARTA0-UARTA2, ADC, WDT2

(6) プリスケーラ2

CPUクロック（f_{CPU}），メイン･クロック（f_{XX}）を分周する回路です。

内部システム･クロック（f_{CLK}）を生成するセレクタに，プリスケーラ2で生成したクロック（f_{XX}-f_{XX}/32）を供給します。

なお，f_{CLK}は，INTC, ROM, RAMブロックに供給するクロックで，CLKOUT端子から出力できます。

(7) プリスケーラ3

メイン・クロック発振回路で生成するクロック（f_X）を所定の周波数（32.768 kHz）まで分周する回路で，時計用タイマ・ブロックに供給します。

詳細は，第9章　時計タイマ機能を参照してください。

(8) プリスケーラ4

内蔵周辺機能に供給するクロック（f_X-f_X/1024）を生成します。

クロック供給の対象となるブロックは，WDT2のみです。

(9) PLL

メイン・クロック発振回路で生成するクロック（f_X）を4逓倍します。

PLLコントロール・レジスタ（PLLCTL）のSELPLLビットによりf_Xをそのまま出力するクロック・スルー・モードと，逓倍クロックを出力するPLLモードを選択します。

また，PLLCTLレジスタのPLLONビットによりPLLを動作，停止します。

5. 3　制御レジスタ

(1) プロセッサ・クロック・コントロール・レジスタ（PCC）

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせにより書き込みができます（3. 4. 9 特定レジスタ参照）。

8/1ビット単位でリード／ライト可能です。

リセットにより03Hになります。

(1/2)

リセット時：03H　R/W　**アドレス：**FFFFF828H

	7	6	5	4	3	2	1	0
PCC	FRC	MCK	MFRC	CLS注	CK3	CK2	CK1	CK0

FRC	サブクロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

MCK	メイン・クロック発振回路の制御
0	発振許可
1	発振停止
・CPUクロックがメイン・クロックで動作中にMCKビットを1に設定しても，メイン・クロックの動作は停止しません。CPUクロックをサブクロックに変更した後，停止します。 ・メイン・クロックを停止させ，サブクロックで動作している場合に，再度メイン・クロックに切り替えるときは，MCKビットを“0”に設定し，プログラム中で発振安定時間を確保したあとに切り替えてください。	

MFRC	メイン・クロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

CLS	CPUクロック（f_{CPU}）の状態
0	メイン・クロック動作
1	サブクロック動作

注　CLSビットはリードのみです。

(2/2)

CK3	CK2	CK1	CK0	クロックの選択（f_{CLK}/f_{CPU}）
0	0	0	0	f_{XX}
0	0	0	1	$f_{XX}/2$
0	0	1	0	$f_{XX}/4$
0	0	1	1	$f_{XX}/8$
0	1	0	0	$f_{XX}/16$
0	1	0	1	$f_{XX}/32$
0	1	1	X	設定禁止
1	X	X	X	f_{XT}

注意1.　CLKOUTを出力している間は，CPUクロック（CK3-CK0ビット）を変更しないでください。

2.　CK3ビットを操作（0→1または1→0）する際は，ビット操作命令で設定してください。8ビット操作命令で行う場合は，CK2-CK0ビットの設定値を変更しないでください。

備考　X：任意

(a) メイン・クロック動作→サブクロック動作の設定例

① CK3ビット ← 1　：ビット操作命令で設定してください。CK2-CK0ビットは変更しないでください。

★ ② サブクロック動作　：CK3ビットを設定したあと，サブクロック動作するまでに次に示す時間が最大かかります。

1/サブクロック周波数（f_{XT}）

したがって，CLSビットをリードしてサブクロック動作に切り替わったかどうかを確認してください。

③ MCKビット ← 1　：メイン・クロックを停止するときのみ，MCKビットを1に設定します。

★ 注意1.　メイン・クロックを停止する場合は，PLLを停止してください。

2.　次の条件を満たしていない場合は，条件を満たすようにCK2-CK0ビットを変更後，サブクロック動作モードに移行してください。

CK2-CK0ビットによる設定クロック（f_{XX}〜$f_{XX}/32$）＞サブクロック（f_{XT}）×4

(b) サブクロック動作→メイン・クロック動作の設定例

① MCKビット ← 0　：メイン・クロック発振開始

② プログラムによりウエイトを挿入して，メイン・クロックの発振安定時間が経過するまで待ちます。

③ CK3ビット ← 0　：ビット操作命令で設定してください。CK2-CK0ビットは変更しないでください。

★ ④ メイン・クロック動作　：CK3ビットを設定したあと，CK2-CK0ビットで指定されるメイン・クロック動作するまでに次に示す時間が最大かかります。

最大：（1/サブクロック周波数（f_{XT}））

したがって，CLSビットをリードしてメイン・クロック動作に切り替わったかどうかを確認してください。

(2) CPU動作クロック・ステータス・レジスタ（CCLS）

CCLSレジスタは，CPU動作クロックの状態を示すレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H　R　アドレス：FFFFF82EH

	7	6	5	4	3	2	1	0
CCLS	0	0	0	0	0	0	0	CCLSF

CCLSF	CPU動作クロックの状態
0	メイン・クロック（f_X）またはサブクロック（f_{XT}）で動作
1	内蔵発振器（f_R）で動作

注意　リセットおよびSTOPモード解除後発振安定時間カウント終了前にWDT2のオーバフローが発生した場合，fx（メイン・クロック）の発振異常と判断し，内蔵発振クロックでCPUを動作させます。

(3) 内蔵発振モード・レジスタ（RCM）

RCMレジスタは，内蔵発振器の動作モードの設定を行う8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF80CH

	7	6	5	4	3	2	1	0
RCM	0	0	0	0	0	0	0	RSTOP

RSTOP	内蔵発振器の発振／停止
0	内蔵発振器の発振
1	内蔵発振器の停止

注意1.　オプション機能で「内蔵発振器：停止可能」を設定した場合のみ，RCMレジスタのRSTOPビット = 1にすることで，内蔵発振器を停止できます。

★　2.　RSTOPビットがセット（1）されている場合でも，CCLSFビットがセット（1）されると（発振安定時間中にWDTオーバフローが発生），内蔵発振器は発振されます。このときRSTOPビットはセット（1）されたままです。

(4) 発振安定時間選択レジスタ（OSTS）

リセット時またはSTOPモードを解除してから発振が安定するまでの発振安定時間を選択するレジスタです。

10. 3（1）発振安定時間選択レジスタ（OSTS）を参照してください。

5.4 動　　作

5.4.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表5－1　各クロックの動作状態

	PCCレジスタ								
	CLSビット = 0, MCKビット = 0					CLSビット = 1, MCKビット = 0		CLSビット = 1, MCKビット = 1	
	①	②	③	④	⑤	⑥	⑦	⑥	⑦
メイン・クロック発振回路（f_X）	×	○	○	○	×	○	○	×	×
★ メイン・システム・クロック（f_{XX}）	×	×	○	×	×	○	×	×	×
サブクロック発振回路（f_{XT}）	○	○	○	○	○	○	○	○	○
CPUクロック（f_{CPU}）	×	×	×	×	×	○	×	○	×
内部システム・クロック（f_{CLK}）	×	×	○	×	×	○	×	○	×
周辺クロック（f_{XX}-f_{XX}/1024）	×	×	○	×	×	○	×	×	×
★ PLLクロック（f_{PLL}）	×	注1	○	注2	×	○	○	×	×
WTクロック（メイン）	×	×	○	○	×	○	○	×	×
WTクロック（サブ）	○	○	○	○	○	○	○	○	○
WDT2クロック（内蔵発振）	×	○	○	○	○	○	○	○	○
WDT2クロック（メイン）	×	×	○	○	×	○	○	×	×

注 1.　発振安定時間の1/2の時間を経過してから動作を開始し，ロックアップ時間を経て安定したクロックを供給。

2.　IDLE1モード時は動作可能。IDLE2モード時は停止。

備考　CLSビット　：プロセッサ・クロック・コントロール・レジスタ（PCC）のビット4

MCKビット　：PCCレジスタのビット6

○：動作可能

×：停止

①：$\overline{\text{RESET}}$端子入力

②：発振安定時間カウント中

③：HALTモード

④：IDLE1, IDLE2モード

⑤：ソフトウエアSTOPモード

⑥：サブクロック動作モード

⑦：サブIDLEモード

5. 4. 2　クロック出力機能

クロック出力機能は，内部システム・クロック（f_{CLK}）をCLKOUT端子から出力します。

内部システム・クロック（f_{CLK}）は，プロセッサ・クロック・コントロール・レジスタ（PCC）のCK3-CK0ビットで選択します。

CLKOUT端子は，PCM1端子と兼用しており，ポートCMの制御レジスタを操作することにより，クロック出力端子として機能します。

CLKOUT端子の状態は，表5－1の内部システム・クロックと同じ状態になり，○（動作可能）のときにクロックを出力することが可能です。また，×（停止）のときにはロウ・レベルを出力します。ただし，①と$\overline{\text{RESET}}$端子入力後の②の動作状態では，兼用端子（PCM1：入力モード）となるので，端子の状態はHi-Zになります。

5. 5　PLL機能

5. 5. 1　概　　要

CPUおよび周辺マクロの動作クロックを発振周波数の4逓倍出力と，クロック・スルー・モードを切り替えるものです。

PLL機能使用時　　：入力クロック = 4〜5 MHz（出力16〜20 MHz）
クロック・スルー・モード ：入力クロック = 4〜5 MHz（出力4〜5 MHz）

5. 5. 2　制御レジスタ

(1) PLLコントロール・レジスタ（PLLCTL）

PLLを制御する8ビット・レジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより01Hになります。

リセット時：01H　R/W　アドレス：FFFFF82CH

	7	6	5	4	3	2	1	0
PLLCTL	0	0	0	0	0	0	SELPLL	PLLON

SELPLL	CPU動作クロックの選択
0	クロック・スルー・モード
1	PLLモード

PLLON	PLL動作／停止制御
0	PLL停止
1	PLL動作（PLLを動作開始後，周波数が安定するまで所定のロック・アップ時間が必要）

注意1. SELPLLビット = 1の設定は，PLLクロック周波数が安定した状態のときのみ可能です。安定していないとき（アンロック中）にSELPLLビットをライトすると“0”がライトされます。

2. PLLONビット = 0に設定すると，自動的にSELPLLビット = 0（クロック・スルー・モード）になります。

(2) ロック・レジスタ（LOCKR）

電源投入後，またはソフトウエアSTOPモード解除直後から所定の周波数でフェーズ・ロックし，安定するまでの時間がロックアップ時間（周波数安定時間）です。この安定するまでの時間をロックアップ状態と呼び，安定した状態をロック状態と呼びます。

ロック・レジスタ（LOCKR）には，PLL周波数の安定状態を反映するLOCKビットがあります。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H　R　アドレス：FFFFF824H

	7	6	5	4	3	2	1	0
LOCKR	0	0	0	0	0	0	0	LOCK

LOCK	PLLのロック状態の確認
0	ロック状態
1	アンロック（ロックしていない）状態

注　LOCKレジスタはPLLのロック状態をリアルタイムに反映するものではありません。
セット／リセット条件は次のとおりです。

【セット条件】

- IDLE2，システム・リセット時[注]
- ソフトウエアSTOPモード時
- PLL停止を設定した時（PLLCTLレジスタのPLLONビットに“0”を設定）
- CPUをサブクロック動作としメイン・クロックを停止したとき（PCCレジスタのCK3ビットに“1”を設定し，同レジスタのMCKビットを“1”に設定）

注　リセットで01Hになり，リセット解除後の発振安定時間経過後に00Hになります。

【リセット条件】

- リセット解除後の発振安定用タイマのオーバフロー（OSTSレジスタの初期値の時間）
- PLL動作状態でソフトウエアSTOPモードを設定した場合の，ソフトウエアSTOPモード解除後の発振安定用タイマのオーバフロー（OSTSレジスタで時間設定）
- PLLCTLレジスタのPLLONビットを0→1に設定したときの，PLLロックアップ時間タイマのオーバフロー（PLLSレジスタで時間設定）
- PLL動作状態でIDLE2モードを設定した場合の，IDLE2モード解除時に挿入されるセットアップ時間解除後（OSTSレジスタで時間設定）

(3) PLLロックアップ時間指定レジスタ（PLLS）

PLLSレジスタは，PLLCTLレジスタのPLLONビットを0→1に設定したときの，PLLロックアップ時間を選択する8ビット・レジスタです。

8ビット単位でリード／ライト可能です。

リセットにより03Hになります。

リセット時：03H　R/W　アドレス：FFFFF6C1H

	7	6	5	4	3	2	1	0
PLLS	0	0	0	0	0	0	PLLS1	PLLS0

PLLS1	PLLS0	PLLロックアップ時間の選択
0	0	設定禁止
0	1	設定禁止
1	0	$2^{12}/f_X$
1	1	$2^{13}/f_X$（初期値）

注意　ロックアップ時間は，800 μs以上になるように設定してください。

(4) プログラマブル・クロック・モード・レジスタ（PCLM）

PCLMは，PCL出力を制御する8ビット・レジスタです。

1/8ビット単位でリード／ライト可能です。

リセット時：00H　R/W　アドレス：FFFFF82FH

	7	6	5	4	3	2	1	0
PCLM	0	0	0	PCLE	0	0	PCK1	PCK0

PCLE	PCL出力の動作選択
0	PCL出力禁止（PCLはロウ・レベル固定）
1	PCL出力許可

注意　ポート関連制御レジスタ（PM, PMC, PFC, PFCEなど）を設定後，PCLE = 1としてください。

PCK1	PCK0	PLL出力クロックの選択
0	0	$f_{XX}/2$
0	1	$f_{XX}/4$
1	0	$f_{XX}/8$
1	1	$f_{XX}/16$

注意　PLL動作中のみPCLE = 1としてください。また，PLLを停止させる前には，PCLE = 0としてください。

5. 5. 3　使用方法

★　(1) PLLを使用する場合

- リセット解除後は，PLLは動作（PLLONビット = 1）していますが，初期設定はクロック・スルー・モード（SELPLLビット = 0）のため，PLLモード（SELPLLビット = 1）に変更してください。
- PLLを停止状態から動作させる場合は，PLLONビット：0→1として，LOCKビット = 0（ロック状態）となってからSELPLLビット = 1としてください。
- PLLを停止させる場合は，最初にクロック・スルー・モード（SELPLLビット = 0）にして，8クロック以上後にPLLを停止（PLLONビット = 0）してください。
- PLL動作のままIDLE2もしくはソフトウェアSTOPモードへ移行する場合は以下の条件となるようにOSTSレジスタを設定してください。
  - ソフトウエアSTOPモード：発振安定時間＞PLLロックアップ時間（800 μs（MIN.））
  - IDLE2モード　　：セットアップ時間＞PLLロックアップ時間（800 μs（MIN.））

  PLLロックアップ時間は，PLLロックアップ時間指定レジスタ（PLLS）で設定される時間です。

(2) PLLを使用しない場合

- リセット解除後は，クロック・スルー・モード（SELPLLビット = 0）ですが，PLLは動作（PLLONビット = 1）しているので，PLLを停止（PLLONビット = 0）してください。

第6章　16ビット・タイマ／イベント・カウンタP

V850ES/FG2 は，16 ビット・タイマ／イベント・カウンタ P（TMP0-TMP3）を搭載しています。

6.1　特　　徴

タイマ P（TMP）はさまざまな使い方ができる 16 ビット・タイマ／イベント・カウンタです。
TMP は，次のような動作を行うことができます。

- PWM 出力
- インターバル・タイマ
- 外部イベント・カウンタ（クロック停止時動作不可）
- ワンショット・パルス出力
- パルス幅測定機能
- タイマ同期動作機能
- フリー・ランニング機能
- 外部トリガ・パルス出力機能

6.2　機能概要

- キャプチャ・トリガ入力信号　×2
- 外部トリガ入力信号　×1
- クロック選択　×8
- 外部イベント・カウント入力　×1
- リーダブル・カウンタ　×1
- キャプチャ／コンペア・リロード・レジスタ　×2
- キャプチャ／コンペア一致割り込み　×2
- タイマ出力（TOPn0, TOPn1）　×2

備考　n = 0-3

6.3 構　　成

TMP は，次のハードウエアで構成されています。

表 6－1　TMP0-TMP3 の構成

項　　目	構　　成
タイマ・レジスタ	16 ビット・カウンタ
レジスタ	TMPn キャプチャ／コンペア・レジスタ 0, 1（TPnCCR0, TPnCCR1） TMPn カウンタ・リード・バッファ・レジスタ（TPnCNT） CCR0 バッファ・レジスタ，CCR1 バッファ・レジスタ
タイマ入力	2 本（TIPn0 注, TIPn1）
タイマ出力	2 本（TOPn0, TOPn1）
制御レジスタ	TMPn 制御レジスタ 0, 1（TPnCTL0, TPnCTL1） TMPn I/O 制御レジスタ 0-2（TPnIOC0-TPnIOC2） TMPn オプション・レジスタ 0（TPnOPT0） セレクタ動作制御レジスタ 0（SELCNT0） TIPnm 端子ノイズ除去制御レジスタ（PnmNFC）

注　TIPn0 には，キャプチャ・トリガ入力信号，外部トリガ入力信号，外部イベント・カウント入力信号が兼用になっています。

備考　n = 0-3, m = 0, 1

TMP の端子は，ポート端子と兼用になっています。兼用機能の設定方法については，第 4 章　ポート機能のレジスタ説明を参照してください。

表 6－2　TMP 端子一覧

端子名	兼用端子	入出力	機　　能
TIP00	P32/ASCKA0/TOP00/TOP01	入力	外部イベント／クロック入力（TMP0）
TIP01	P33/TOP01/CTXD0		
TIP10	P34/TOP10/CRXD0		外部イベント／クロック入力（TMP1）
TIP11	P35/TOP11		
TIP20	P97/SIB1/TOP20		外部イベント／クロック入力（TMP2）
TIP21	P96/TOP21		
TIP30	P01/TOP30		外部イベント／クロック入力（TMP3）
TIP31	P00/TOP31		
TOP00	P32/ASCKA0/TIP00/TOP01	出力	タイマ出力（TMP0）
TOP01	P32/ASCKA0/TIP00/TOP00		
	P33/TIP01/CTXD0		
TOP10	P34/TIP10/CRXD0		タイマ出力（TMP1）
TOP11	P35/TIP11		
TOP20	P97/SIB1/TIP20		タイマ出力（TMP2）
TOP21	P96/TIP21		
TOP30	P01/TIP30		タイマ出力（TMP3）
TOP31	P00/TIP31		

図 6－1　タイマ P のブロック図

注 1. TMP0, TMP2

2. TMP1, TMP3（メイン・クロック停止時は，サブクロックによるカウント動作はできません）

3. CAN0 ブロックの TSOUT 信号（TMP0）

   RXDA0 端子（TMP1）

   6. 7（1）セレクタ動作制御レジスタ 0（SELCNT0）を参照してください。

4. TMM ブロックの INTTM0EQ0 割り込み，または CAN1 ブロックの TSOUT 信号（TMP0）

   RXDA1 端子（TMP1）

   6. 7（1）セレクタ動作制御レジスタ 0（SELCNT0）を参照してください。

備考　n = 0-3

（1）TMPnキャプチャ／コンペア・レジスタ0（TPnCCR0）

TPnCCR0レジスタはキャプチャ機能とコンペア機能を兼用させた16ビットのレジスタです。

★　フリー・ランニング・モードの場合のみTPnOPT0レジスタのTPnCCS0ビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタに設定できます。

パルス幅測定モード時はキャプチャ・レジスタ専用として機能します。

フリー・ランニング・モードとパルス幅測定モード以外のモードではすべてコンペア・レジスタ専用として機能します。

初期状態では，TPnCCR0レジスタはコンペア・レジスタとなります。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

リセット時：0000H　R/W　アドレス：TP0CCR0: FFFFF596H,　TP1CCR0: FFFFF5A6H,
TP2CCR0: FFFFF5B6H,　TP3CCR0: FFFFF5C6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPnCCR0 (n = 0-3)																

★ 注意　サブクロック動作時，かつメイン・クロック停止時の TPnCCR0 レジスタへのアクセスは禁止です。詳細は，3. 4. 10（2）特定の内蔵周辺 I/O レジスタへのアクセスについてを参照してください。

・コンペア・レジスタとして使用する場合

TPnCE = 1 時の TPnCCR0 の書き換えは可能です。

・キャプチャ・レジスタとして使用する場合

キャプチャ・トリガ（TIPn0）入力のエッジ検出によりカウンタ値を TPnCCR0 に格納します。

★　各動作モードと，対応するキャプチャ／コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

表6－3　各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM 出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	－

（2）TMPnキャプチャ／コンペア・レジスタ1（TPnCCR1）

TPnCCR1レジスタはキャプチャ機能とコンペア機能を兼用させた16ビットのレジスタです。

★　フリー・ランニング・モードの場合のみTPnOPT0レジスタのTPnCCS1ビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタに設定できます。

パルス幅測定モード時はキャプチャ・レジスタ専用として機能します。

フリー・ランニング・モードとパルス幅測定モード以外のモードではすべてコンペア・レジスタ専用として機能します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

リセット時：0000H　R/W　アドレス：TP0CCR1: FFFFF598H,　TP1CCR1: FFFFF5A8H,
TP2CCR1: FFFFF5B8H,　TP3CCR1: FFFFF5C8H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPnCCR1																

(n = 0-3)

★ 注意　サブクロック動作時，かつメイン・クロック停止時のTPnCCR0レジスタへのアクセスは禁止です。詳細は，3. 4. 10（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

・コンペア・レジスタとして使用する場合

TPnCE = 1時のTPnCCR1の書き換えは可能です。

・キャプチャ・レジスタとして使用する場合

キャプチャ・トリガ（TIPn1）入力のエッジ検出によりカウンタ値をTPnCCR1に格納します。

★　各動作モードと，対応するキャプチャ／コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

表6－4　各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	－

(3) TMPnカウンタ・リード・バッファ・レジスタ（TPnCNT）

TPnCNTレジスタは16ビット・カウンタの値をリードできるリード・バッファ・レジスタです。

16ビット単位でリードのみ可能です。

リセットによりFFFFHになります。

TPnCE = 0のとき，ハードウエアの状態はFFFFHですが，このレジスタをリードすると0000Hがリードされます。

★ TPnCE = 1のとき，このレジスタをリードすると16ビット・カウンタのカウント値をリードできます。

リセット時：FFFFH　R　　アドレス：TP0CNT: FFFFF59AH, TP1CNT: FFFFF5AAH,
TP2CNT: FFFFF5BAH, TP3CNT: FFFFF5CAH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPnCNT (n = 0-3)																

★ 注意　サブクロック動作時，かつメイン・クロック停止時のTPnCCR0レジスタへのアクセスは禁止です。詳細は，3.4.10（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

★ (4) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR0レジスタをコンペア・レジスタとして使用するとき，TPnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると，コンペア一致割り込み要求信号（INTTPnCC0）を発生します。

CCR0バッファ・レジスタは，直接リード／ライトできません。

リセットによりTPnCCR0レジスタが0000Hになるため，CCR0バッファ・レジスタも0000Hになります。

★ (5) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR1レジスタをコンペア・レジスタとして使用するとき，TPnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると，コンペア一致割り込み要求信号（INTTPnCC1）を発生します。

CCR1バッファ・レジスタは，直接リード／ライトできません。

リセットによりTPnCCR1レジスタが0000Hになるため，CCR1バッファ・レジスタも0000Hになります。

6.4　制御レジスタ

(1) TMPn制御レジスタ0（TPnCTL0）

TPnCTL0レジスタはタイマPの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより初期値00Hになります。

★　TPnCTL0 レジスタは動作中（TPnCE = 1），書き換え禁止です。ただし，TPnCE ビットのみ常時書き換え可能です。

(1/2)

リセット時：00H　R/W　アドレス：TP0CTL0: FFFFF590H, TP1CTL0: FFFFF5A0H,
TP2CTL0: FFFFF5B0H, TP3CTL0: FFFFF5C0H

	7	6	5	4	3	2	1	0
TPnCTL0	TPnCE	0	0	0	0	TPnCKS2	TPnCKS1	TPnCKS0

(n = 0-3)

TPnCE	タイマ Pn の動作の制御
0	内部動作クロック動作禁止（TMPn を非同期にリセット）
1	内部動作クロック動作許可

TPnCE ビットにより，内部動作クロックの制御と TMPn の非同期リセットを行います。TPnCE ビットを“0”にすると，TMPn の内部動作クロックは停止（ロウ・レベル固定）し，TMPn を非同期にリセットします。

TPnCE ビットを“1”にすると，TPnCE ビットを“1”にしたタイミングから入力クロックの 2 クロック以内に内部動作クロックが許可されカウント・アップします。

TPnCKS2	TPnCKS1	TPnCKS0	内部カウント・クロックの選択	
			n = 0, 2	n = 1, 3
0	0	0	f_{XX}	
0	0	1	$f_{XX}/2$	
0	1	0	$f_{XX}/4$	
0	1	1	$f_{XX}/8$	
1	0	0	$f_{XX}/16$	
1	0	1	$f_{XX}/32$	
1	1	0	$f_{XX}/64$	
1	1	1	$f_{XX}/128$	f_{XT}

注意　TPnCKS2-TPnCKS0 ビットは，TPnCE = 0 とき設定してください。
TPnCE ビットを“0”から“1”に設定するとき，同時に TPnCKS2-TPnCKS0 ビットを設定することは可能です。
メイン・クロック停止時は，サブクロックによるカウント動作はできません。

備考　f_{XX}: メイン・システム・クロック周波数
f_{XT}: XT1 入力クロック周波数

(2/2)

分解能，最大カウント数

内部カウント・クロック	分解能 [μs]		最大カウント時間 [ms]	
	f_{XX} = 16 MHz	f_{XX} = 20 MHz	f_{XX} = 16 MHz	f_{XX} = 20 MHz
f_{XX}	0.0625	0.050	4.10	3.28
$f_{XX}/2$	0.125	0.100	8.19	6.55
$f_{XX}/4$	0.250	0.200	16.38	13.11
$f_{XX}/8$	0.500	0.400	32.77	26.21
$f_{XX}/16$	1.000	0.800	65.54	52.43
$f_{XX}/32$	2.000	1.600	131.11	104.86
$f_{XX}/64$	4.000	3.200	262.14	209.72
$f_{XX}/128$	8.000	6.400	524.29	419.43

内部カウント・クロック	分解能 [μs]	最大カウント時間 [ms]
	f_{XT} = 32.768 kHz	f_{XT} = 32.768 kHz
f_{XT}	30.52	2000.00

(2) TMPn制御レジスタ1（TPnCTL1）

TPnCTL1制御レジスタはタイマPの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより初期値00Hになります。

(1/2)

リセット時：00H　R/W　アドレス：TP0CTL1: FFFFF591H, TP1CTL1: FFFFF5A1H,
TP2CTL1: FFFFF5B1H, TP3CTL1: FFFFF5C1H

	7	6	5	4	3	2	1	0
TPnCTL1 (n = 0-3)	TPnSYE	TPnEST	TPnEEE	0	0	TPnMD2	TPnMD1	TPnMD0

TPnSYE	同調動作モード許可制御
0	独立動作モード（アシンクロナス動作モード）
1	同調動作モード（スレーブ動作の指定） マスタとなるタイマに同期して動作させることができます。 マスタ・タイマ：TMP0 → スレーブ・タイマ：TMP1, – マスタ・タイマ：TMP2 → スレーブ・タイマ：TMP3, TMQ0 同調動作モードについては，6.6　タイマ同期動作機能を参照してください。 注意　TP0SYE, TP2SYE ビットには必ず，0 を設定してください。

TPnEST	ソフトウエア・トリガ制御
0	非動作
1	ワンショット・パルス・モード時：ワンショット・パルス・ソフトウエア・トリガ 外部トリガ・パルス出力モード時：パルス出力ソフトウエア・トリガ
TPnEST ビットはワンショット・パルス・モード時／外部トリガ・パルス出力モード時にソフトウエア・トリガとして機能します（それ以外のモード時に制御しても無効です）。TPnCTL0 レジスタの TPnCE = 1 のときに TPnEST = 1 にすることでソフトウエア・トリガとして機能します。したがって，必ず TPnCTL0 レジスタの TPnCE = 1 のときに TPnEST = 1 に設定してください。 外部トリガは，TIPn0 端子を使用します。TPnEST ビットのリード値は常に“0”です。	

TPnEEE	カウント・クロックの選択
0	内部クロック（TPnCKS2-TPnCKS0 ビットで選択したクロック）を使用
1	外部イベント・カウント入力（TIPn0 入力のエッジ）を使用
TPnEEE = 1（外部イベント・カウント入力：TIPn0）のときの有効エッジの指定は TPnEES1, TPnEES0 ビットで設定します。	

(2/2)

TPnMD2	TPnMD1	TPnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス・モード
1	0	0	PWM モード
1	0	1	フリー・ランニング・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

注意 1. TPnEEE, TPnMD2-TPnMD0 ビットは，TPnCE = 0 のとき設定してください（TPnCE = 1 のときの同値書き込みは可能）。TPnCE = 1 のとき書き換えた場合の動作の保証はできません。誤って書き換えた場合は，TPnCE = 0 に設定してから再設定してください。

★ 2. 外部イベント･カウント･モードのときは，TPnEEE ビットの値にかかわらず外部イベント・カウント入力が選択されます。

★ 3. ビット 3, 4 には必ず“0”を設定してください。

（3）TMPnタイマ専用I/O制御レジスタ0（TPnIOC0）

TPnIOC0レジスタは，タイマ出力（TOPn0, TOPn1）を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：TP0IOC0: FFFFF592H, TP1IOC0: FFFFF5A2H,
TP2IOC0: FFFFF5B2H, TP3IOC0: FFFFF5C2H

	7	6	5	4	3	2	1	0
TPnIOC0	0	0	0	0	TPnOL1	TPnOE1	TPnOL0	TPnOE0

(n = 0-3)

TPnOLm	TOPnm 出力レベルの設定（m = 0, 1）
0	通常出力
1	反転出力

TPnOEm	TOPnm 出力の設定（m = 0, 1）
0	タイマ出力禁止（TOPnm 端子から TPnOLm = 0 のときロウ・レベルが出力 TPnOLm = 1 のときハイ・レベルが出力）
1	タイマ出力許可（TOPnm 端子からパルスを出力）

注意1. TPnOL1, TPnOE1, TPnOL0, TPnOE0 ビットは，TPnCE = 0 のときに書き換えてください（TPnCE = 1 のときの同値書き込みは可能）。誤って書き換えた場合は，TPnCE = 0 に設定してから再設定してください。

2. タイマ出力を許可する場合は，必ず，TPnIOC1 レジスタの対応する兼用端子の TPnIS3-TPnIS0 を「エッジ検出しない」に設定し，キャプチャ動作を無効にしてください。そのあと，対応する兼用ポートの設定を出力モードにしてください。

★ 3. TPnCE ビット = 0, TPnOEm ビット = 0 の状態において，TPnOLm ビットを操作した場合でも，TOPnm 端子の出力レベルは変化します。

（4）TMPnタイマ専用I/O制御レジスタ1（TPnIOC1）

TPnIOC1レジスタは，外部入力信号（TIPn0, TIPn1）に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：TP0IOC1: FFFFF593H, TP1IOC1: FFFFF5A3H,
TP2IOC1: FFFFF5B3H, TP3IOC1: FFFFF5C3H

	7	6	5	4	3	2	1	0
TPnIOC1	0	0	0	0	TPnIS3	TPnIS2	TPnIS1	TPnIS0

(n = 0-3)

TPnIS3	TPnIS2	キャプチャ入力（TIPn1）の有効エッジの設定
0	0	エッジ検出なし（キャプチャ動作無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnIS1	TPnIS0	キャプチャ入力（TIPn0）の有効エッジの設定
0	0	エッジ検出なし（キャプチャ動作無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

注意 1. TPnIS3-TPnIS0 ビットは，TPnCE = 0 のときに書き換えてください（TPnCE = 1 のときの同値書き込みは可能）。誤って書き換えた場合は，TPnCE = 0 に設定してから再設定してください。

2. TPnIS3-TPnIS0 ビットは，フリー・ランニング・モードと，パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

3. キャプチャ入力として使用する場合は，必ず，TPnIOC0 レジスタの対応する兼用端子の TPnOE1-TPnOE0 を「タイマ出力禁止」に設定し，キャプチャ入力の有効エッジ設定してください。そのあと，対応する兼用ポートの設定を入力モードにしてください。

★ 4. 外部イベント･カウント･モードで使用（TPnCTL1 レジスタの TPnEEE ビット = 1）する場合，TIPn0 キャプチャ入力をエッジ検出なし（TPnIS1, TPnIS0 ビット = 00）に設定してください。

(5) TMPnタイマ専用I/O制御レジスタ2（TPnIOC2）

TPnIOC2レジスタは，外部イベント・カウント入力信号（TIPn0），外部トリガ入力信号（TIPn0）に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：TP0IOC2: FFFFF594H, TP1IOC2: FFFFF5A4H,
TP2IOC2: FFFFF5B4H, TP3IOC2: FFFFF5C4H

	7	6	5	4	3	2	1	0
TPnIOC2	0	0	0	0	TPnEES1	TPnEES0	TPnETS1	TPnETS0

(n = 0-3)

TPnEES1	TPnEES0	外部イベント・カウント入力（TIP00）の有効エッジの設定
0	0	エッジ検出なし（外部イベント・カウント無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnETS1	TPnETS0	外部トリガ入力（TIP00）の有効エッジの設定
0	0	エッジ検出なし（外部トリガ無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

注意 1. TPnEES1, TPnEES0, TPnETS1, TPnETS0 ビットは，TPnCE = 0 のときに書き換えてください（TPnCE = 1 のときの同値書き込みは可能）。誤って書き換えた場合は，TPnCE = 0 に設定してから再設定してください。

2. TPnEES1, TPnEES0 ビットは，TPnEEE = 1，または，外部イベント・カウント・モード（TIPnCTL1 レジスタの TPnMD2-TPnMD0 = 001）に設定したときのみ有効です。

★ 3. TPnETS1, TPnETS0 ビットは，外部トリガ･パルス出力モード（TPnCTL1 レジスタの TPnMD2-TPnMD0 = 010）,ワンショット・パルス出力モード（TPnCTL1 レジスタの TPnMD2-TPnMD0 = 011）に設定したときのみ有効です。

(6) TMPnタイマ・オプション・レジスタ0（TPnOPT0）

TPnOPT0レジスタは，キャプチャ／コンペア動作の設定，オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：TP0OPT0: FFFFF595H,　TP1OPT0: FFFFF5A5H,
TP2OPT0: FFFFF5B5H,　TP3OPT0: FFFFF5C5H

	7	6	5	4	3	2	1	0
TPnOPT0 (n = 0-3)	0	0	TPnCCS1	TPnCCS0	0	0	0	TPnOVF

TPnCCSm	TPnCCRmレジスタのキャプチャ／コンペア選択（m = 0, 1）
0	コンペア・レジスタ選択
1	キャプチャ・レジスタ選択
TPnCCSmビットの設定はフリー・ランニング・モードのときのみ有効になります。	

TPnOVF	タイマPのオーバフロー検出
セット（1）	オーバフロー発生
リセット（0）	TPnOVFビットの0書き込みまたはTPnCE = 0

- TPnOVFビットはフリー・ランニング・モードおよびパルス幅測定モード時に16ビット・カウンタの値がFFFFHから0000Hにオーバフローするときセットされます。
- TPnOVFビットがセット（1）されると同時に割り込み要求信号（INTTPnOV）が発生します。フリー・ランニング・モードおよびパルス幅測定モード以外では，INTTPnOV信号は発生しません。
- TPnOVF = 1のときにTPnOVFビットおよびTPnOPT0レジスタをリードしてもTPnOVFビットはクリアされません。
- TPnOVFビットは，R/W可能ですがCPUからTPnOVFビットに“1”を書き込むことはできません。1をライトしてもタイマPの動作に影響はありません。

注意　TPnCCS1, TPnCCS0ビットは，TPnCE = 0のときに書き換えてください（TPnCE = 1のときの同値書き込みは可能）。誤って書き換えた場合は，TPnCE = 0に設定してから再設定してください。

(7) TIPnm端子ノイズ除去制御レジスタn（PnmNFC）

PnmNFCレジスタは，タイマP入力端子のディジタル・ノイズ・フィルタ除去を設定する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：P00NFC：FFFFFB00H　（TIP00端子）
P01NFC：FFFFFB04H　（TIP01端子）
P10NFC：FFFFFB08H　（TIP10端子）
P11NFC：FFFFFB0CH　（TIP11端子）
P20NFC：FFFFFB10H　（TIP20端子）
P21NFC：FFFFFB14H　（TIP21端子）
P30NFC：FFFFFB18H　（TIP30端子）
P31NFC：FFFFFB1CH　（TIP31端子）

	7	6	5	4	3	2	1	0
PnmNFC	0	NFSTS	0	0	0	NFC2	NFC1	NFC0

（n = 0-3 m = 0, 1）

NFSTS	ディジタル・ノイズ・フィルタのサンプリング回数の設定
0	3回
1	2回

NFC2	NFC1	NFC0	サンプリング・クロック	
			n = 0, 2	n = 1, 3
0	0	0	f_{XX}	
0	0	1	$f_{XX}/2$	
0	1	0	$f_{XX}/4$	
0	1	1	$f_{XX}/16$	$f_{XX}/8$
1	0	0	$f_{XX}/32$	$f_{XX}/16$
1	0	1	$f_{XX}/64$	f_{XT}
上記以外			設定禁止	

注意 1. ビット3-5, 7には必ず0を設定してください。

2. PnmNFCレジスタの設定を行う前に，タイマ入力端子（TIPnm）に入力された信号は，ディジタル・ノイズ除去され，出力されます。
そのため，PnmNFCレジスタでサンプリング・クロック（NFC2-NFC0），サンプリング回数（NFSTS）を設定したあと，初期化時間 =（サンプリング・クロック）×（サンプリング回数）が経過してから，タイマの動作を許可してください。

備考 確実に除去されるノイズ幅は，（サンプリング・クロック）×（サンプリング回数－1）になります。また，このノイズ幅以下のノイズであっても，サンプリング・クロックに同期したノイズが入力された場合には，誤カウントが発生する可能性があります。

6.5 動　　作

タイマPには次のような動作があります。

動　作	TPnEST（ソフトウエア・トリガ・ビット）	TIPn0（外部トリガ入力）	キャプチャ／コンペア書き込み	コンペア書き込み
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード注1	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード注2	有効	有効	コンペア専用	リロード
ワンショット・パルス出力モード注2	有効	有効	コンペア専用	随時書き込み
PWMモード	無効	無効	コンペア専用	リロード
フリー・ランニング・モード	無効	無効	キャプチャ／コンペア切り換え可	随時書き込み
パルス幅測定モード注2	無効	無効	キャプチャ専用	対象外

注1. 外部イベント・カウント機能を使用する場合，TIPn0 キャプチャ入力のエッジ検出を，エッジを検出しない（TPnIOC1レジスタのTPnIS1, TPnIS0ビットを“00”）に設定してください。

2. 外部トリガ・パルス出力モード，ワンショット・パルス・モード，パルス幅測定モードを使用する場合，カウント・クロックを選択（TPnCTL1レジスタのTPnEEEビット = 0に設定）してください。

備考　n = 0-3

6.5.1 随時書き込みとリロード

タイマPではタイマ動作中（TPnCE = 1）のときのTPnCCR0, TPnCCR1レジスタの書き換えを許可していますがモードによって書き込み方法（随時書き込み，リロード）が異なります。

(1) 随時書き込み

タイマ動作中にTPnCCRmレジスタの書き込みを行ったときCCRmバッファ・レジスタに随時転送され，16ビット・カウンタの比較値となります。

備考　n = 0-3,
m = 0, 1

図 6－2　随時書き込みの基本動作フロー・チャート

備考 1.　インターバル・タイマ・モードを例としたフロー・チャート図です。

2.　n = 0-3

図 6－3　随時書き込みのタイミング図

備考 1.　D_{01}, D_{02}：TPnCCR0 **レジスタの設定値**（0000H-FFFFH）

D_{11}, D_{12}：TPnCCR1 **レジスタの設定値**（0000H-FFFFH）

2.　**インターバル・タイマ・モードを例としたタイミング・チャート図です。**

3.　n = 0-3

(2) リロード

★　タイマ動作中に TPnCCR0, TPnCCR1 レジスタの書き込みを行ったとき，書き込んだ値は特定の状態になるまで保留されたあと，CCRm バッファ・レジスタに転送され，16 ビット・カウンタの比較値となります。TPnCCR0 レジスタおよび TPnCCR1 レジスタは TPnCE = 1 時に書き換えが可能です。

TPnCCR0 レジスタおよび TPnCCR1 レジスタを書き換えた場合の設定値が 16 ビット・カウンタの比較値となる（CCRm バッファ・レジスタにリロードされる）には 16 ビット・カウンタの値と TPnCCR0 レジスタの値が一致する前に TPnCCR0 を書き換え，次に TPnCCR1 レジスタを書き込む必要があります。そのあと TPnCCR0 レジスタの一致タイミングで TPnCCR0 レジスタと TPnCCR1 レジスタの値はリロードされます。

TPnCCR1 レジスタの書き込みで次のリロード・タイミングを有効とするか無効とするか制御します。したがって TPnCCR0 レジスタの値だけ書き換えたい場合でも，TPnCCR1 レジスタを同値書き込みしてください。

図 6－4　リロードの基本動作フロー・チャート

注意　TPnCCR1 レジスタへの書き込みにはリロードを許可する動作も含まれます。したがって TPnCCR1 レジスタの書き換えを TPnCCR0 レジスタの書き換えよりあとにしてください。

備考 1.　PWM モードを例としたフロー・チャート図です。

2.　n = 0-3, m = 0, 1

図 6－5　リロードのタイミング図

注　TPnCCR1 レジスタの書き込みがなかったためリロードしません。

備考 1.　D_{01}, D_{02}, D_{03}　：TPnCCR0 レジスタの設定値（0000H-FFFFH）

D_{11}, D_{12}　：TPnCCR1 レジスタの設定値（0000H-FFFFH）

2.　PWM モードを例としたタイミング・チャート図です。

3.　n = 0-3

6. 5. 2　インターバル・タイマ・モード（TPnMD2-TPnMD0 = 000）

インターバル・タイマ・モードでは TPnCCR0 レジスタの設定値と 16 ビット・カウンタの値の一致で割り込み
★ 要求信号（INTTPnCC0）を発生し 16 ビット・カウンタをクリアします。TPnCCRm レジスタは TPnCE = 1 のときに書き換えを許可しており，TPnCCRm レジスタに値を設定すると随時書き込みにより CCRm バッファ・レジスタに転送され，16 ビット・カウンタ値との比較対象値となります。

TPnCCR1 レジスタを使用しての 16 ビット・カウンタのクリア動作は行いません。

ただし，TPnCCR1 レジスタ設定値は CCR1 バッファ・レジスタに転送され，16 ビット・カウンタと比較されることで，割り込み要求（INTTPnCC1）が発生します。

また，TPnOEm ビットを 1 に設定することにより，TOPnm 端子出力も可能です。

TPnCCR1 レジスタを使用しない場合は TPnCCR1 レジスタの設定値は FFFFH を設定することを推奨します。

★ **備考** 1.　タイマ動作中（TPnCE = 1）の TPnCCR0, TPnCCR1 の書き換え動作については，6. 5. 1（1）随時書き込みを参照してください。

2.　n = 0-3, m = 0, 1

図 6－6　インターバル・タイマ・モード時の基本動作フロー・チャート

注　16 ビット・カウンタと TPnCCR1 との一致では 16 ビット・カウンタはクリアされません。

備考　n = 0-3

図 6－7　インターバル・タイマ・モード時の基本動作タイミング（1/2）

（a） $D_1 > D_2 > D_3$, TPnCCR0 **レジスタのみ値を書き換え，**TOPn0, TOPn1 **出力なしの場合**

（TPnOE0 = 0, TPnOE1 = 0, TPnOL0 = 0, TPnOL1 = 1**）**

注　16 **ビット・カウンタと** TPnCCR1 **との一致では** 16 **ビット・カウンタはクリアされません。**

備考 1.　D_1, D_2　：TPnCCR0 **レジスタの設定値（**0000H-FFFFH**）**

D_3　：TPnCCR1 **レジスタの設定値（**0000H-FFFFH**）**

2.　**インターバル時間（**t_{Dn}**）=（**Dn＋1**）×（カウント・クロック周期）**

3.　n = 0-3

図 6－7　インターバル・タイマ・モード時の基本動作タイミング（2/2）

（b） $D_1 = D_2$, TPnCCR0, TPnCCR1 **書き換えなし，** TOPn0, TOPn1 **出力ありの場合**

（TPnOE0 = 1, TPnOE1 = 1, TPnOL0 = 0, TPnOL1 = 1**）**

備考 1.　D_1　：TPnCCR0 **レジスタの設定値（**0000H-FFFFH**）**

　　D_2　：TPnCCR1 **レジスタの設定値（**0000H-FFFFH**）**

　2.　**インターバル時間（**t_{Dn}**）＝（**Dn＋1**）×（カウント・クロック周期）**

　3.　n = 0-3

6. 5. 3　外部イベント・カウント・モード（TPnMD2-TPnMD0 = 001）

外部イベント・カウント・モードでは外部イベント・カウント入力（TIPn0 端子入力）をカウント・アップ信号として動作させます。TPnCTL0 レジスタの TPnEEE ビットの設定にかかわらず外部イベント・カウント・モードに設定すると外部イベント・カウント入力（TIPn0 端子入力）によりカウント・アップを行います。

外部イベント・カウント・モードでは TPnCCR0 レジスタの設定値と 16 ビット・カウンタ値の一致で一致割り込み要求（INTTPnCC0）を発生し 16 ビット・カウンタの値をクリアします。

★ TPnCCRm レジスタに値を設定すると随時書き込みにより，CCRm バッファ・レジスタに転送され，16 ビット・カウンタ値との比較対象値となります。

TPnCCR1 レジスタを使用しての 16 ビット・カウンタのクリア動作は行いません。

ただし，TPnCCR1 レジスタ設定値は CCR1 バッファ・レジスタに転送され，16 ビット・カウンタと比較されることで，割り込み要求（INTTPnCC1）が発生します。

また，TPnOE1 ビットを 1 に設定することにより，TOPn1 端子出力も可能です。

TPnCCR0 レジスタは TPnCE = 1 のときに書き換えを許可しています。TPnCCR1 レジスタを使用しない場合は TPnCCR1 の設定値は FFFFH を設定することを推奨します。

★ **注意　外部イベント・カウント・モードでの TOPn0 端子出力は使用できません。**
外部イベント・カウント・モードでの TOPn 端子出力を使用する場合は，インターバル・タイマ・モード（TPnMD2-TPnMD0 = 000）で TPnEEE = 1 に設定し使用してください。

★ **備考**1.　タイマ動作中（TPnCE = 1）の TPnCCR0, TPnCCR1 の書き換え動作については，6. 5. 1（1）随時書き込みを参照してください。

2.　n = 0-3, m = 0, 1

図 6－8　外部イベント・カウント・モード時の基本動作フロー・チャート

注 1.　TPnEEE ビットの選択は影響しません。

2.　16 ビット・カウンタと CCR1 バッファ・レジスタとの一致では 16 ビット・カウンタはクリアされません。

備考　n = 0-3

図 6－9　外部イベント・カウント・モード時の基本動作タイミング（1/2）

（a） $D_1 > D_2 > D_3$, TPnCCR0 **のみ値を書き換え，**TOPn1 **出力なしの場合**

（TPnOE0 = 0, TPnOE1 = 0, TPnOL0 = 0, TPnOL1 = 1**）**

備考 1.　D_1, D_2　：TPnCCR0 **レジスタの設定値（**0000H-FFFFH**）**

D_3　：TPnCCR1 **レジスタの設定値（**0000H-FFFFH**）**

2.　**コンペアー致割り込みは，（**TPnCCRm **レジスタに設定した値**+1**）回検出するごとに発生します。**

3.　n = 0-3, m = 0, 1

図 6－9　外部イベント・カウント・モード時の基本動作タイミング（2/2）

（b）$D_1 = D_2$, TPnCCR0, TPnCCR1 書き換えなし，TOPn1 出力ありの場合

（TPnOE0 = 0, TPnOE1 = 1, TPnOL0 = 0, TPnOL1 = 1）

備考 1.　D_1　：TPnCCR0 レジスタの設定値（0000H-FFFFH）

　　D_2　：TPnCCR1 レジスタの設定値（0000H-FFFFH）

2.　コンペアー致割り込みは，（TPnCCRm レジスタに設定した値+1）回検出するごとに発生します。

3.　n = 0-3, m = 0, 1

★ 6. 5. 4　外部トリガ・パルス出力モード（TPnMD2-TPnMD0 = 010）

外部トリガ・パルス出力モードでは TPnCE = 1 にすると，16 ビット・カウンタは FFFFH を保持したまま，外部トリガ入力（TIPn0 端子入力，もしくは TPnEST ビットのセット）待ちとなります。トリガを入力するとカウント・アップを開始します。

TOPn1 出力制御について，デューティ用の設定レジスタはリロード・レジスタ（TPnCCR1）とし，周期用の設定レジスタはコンペア・レジスタ（TPnCCR0）とします。

ソフトウエア･トリガを使用する場合，TOPn0 端子からは TPnCCR0 での設定を半周期とするパルスが出力できます。

TPnCCR0 レジスタおよび TPnCCR1 レジスタは TPnCE = 1 のときも書き換えが可能です。

タイマ P を停止するには TPnCE = 0 にしてください。外部トリガ・パルス出力モード中に複数回，外部トリガ（TIPn0 端子入力，もしくは TPnEST ビットのセット）が入力されると検出したタイミングで 16 ビット・カウンタはクリアされカウント・アップを再開すると同時に TOPn0, TOPn1 端子は初期化されます。

注意 1. 外部トリガ・パルス出力モード時，カウント・クロックは内部クロック（TPnCTL1 レジスタの TPnEEE = 0）を選択してください。

2. 外部トリガ・パルス出力モード時，TPnCCR0 レジスタおよび TPnCCR1 レジスタはコンペア・レジスタとして機能が固定されるため，キャプチャ機能は使用できません。

備考 1. タイマ動作中の TPnCCR0, TPnCCR1 の書き換え時のリロード動作については 6. 5. 1（2）リロードを参照してください。

2. n = 0-3

★ **図 6－10　外部トリガ・パルス出力モード時の基本動作フロー・チャート**

★ **注** 1.　**タイマ動作中**（TPnCE = 1）**は** TPnCTL1 **レジスタの** TPnEST **ビットのみ書き換え可能です。**

2.　16 **ビット・カウンタと** CCR1 **バッファ・レジスタとの一致では** 16 **ビット・カウンタはクリアされません。**

備考　n = 0-3

図 6－11　外部トリガ・パルス出力モード時の基本動作タイミング

（TPnOE0 = 0, TPnOE1 = 1, TPnOL0 =0, TPnOL1 = 1）

注　16 ビット・カウンタと CCR1 バッファ・レジスタとの一致では 16 ビット・カウンタはクリアされません。

備考 1.　D_{01}, D_{02}　：TPnCCR0 レジスタの設定値（0000H-FFFFH）

D_{11}, D_{12}　：TPnCCR1 レジスタの設定値（0000H-FFFFH）

2.　TOPn1 出力のデューティ　=（TPnCCR1 レジスタの設定値）／（TP0CCR0 レジスタの設定値＋1）

TOPn1 出力の周期　=（TPnCCR0 レジスタの設定値＋1）×（カウント・クロック周期）

3.　n = 0-3

6. 5. 5　ワンショット・パルス・モード（TPnMD2-TPnMD0 = 011）

ワンショット・パルス・モードではTPnCE = 1にすると，16ビット・カウンタはFFFFHを保持したままTPnESTビットのセット（1）もしくはTIPn0端子エッジ検出のトリガ待ちとなります。トリガを入力すると16ビット・カウンタがカウント・アップを開始し，16ビット・カウンタの値とTPnCCR1レジスタから転送されたCCR1バッファ・レジスタの値が一致するとTOPn1がハイ・レベルとなり16ビット・カウンタの値とTPnCCR0レジスタから転送されたCCR0バッファ・レジスタの値が一致するとTOPn1はロウ・レベルとなり16ビット・カウンタは0000Hにクリアされ停止します。16ビット・カウンタ動作中に2回以上のトリガを入力しても無視されます。

★ 2回目のトリガは必ず16ビット・カウンタが0000Hに停止しているタイミングに入力してください。TPnCCRmレジスタはTPnCE = 1のときに書き換えを許可しており，TPnCCRmレジスタに値を設定すると随時書き込みによりCCRm バッファ・レジスタに転送され，16ビット・カウンタ値との比較対象値となります。

ワンショット・パルスの波形はTOPn1端子から出力します。TOPn0端子からは，タイマ･カウンタがカウントを行っている期間，アクティブ・レベルを出力します。アクティブ・レベルはTPnOL0ビットによって設定します。

注意 1. ワンショット・パルス・モード時，カウント・クロックは内部クロック（TPnCTL1レジスタのTPnEEE = 0）を選択してください。

★ 2. ワンショット・パルス・モード時，TPnCCR0, TPnCCR1レジスタはコンペア・レジスタとして機能が固定されるので，キャプチャ・レジスタとしての機能は使用できません。

★ 3. ワンショット･パルス･モードにおいて，TPnCCR1の設定値がTPnCCR0の設定値より大きい場合，ワンショット･パルスは出力しません。

★ 備考 1. タイマ動作中（TPnCE = 1）のTPnCCR0, TPnCCR1の書き換え時の随時書き込み動作は，6. 5. 1（1）随時書き込みを参照してください。

2. n = 0-3

図 6－12　ワンショット・パルス・モード時の基本動作フロー・チャート

★ **注** 1.　タイマ動作中（TPnCE = 1）は TPnCTL1 レジスタの TPnEST ビットのみ書き換え可能です。

2.　16 ビット・カウンタと CCR1 バッファ・レジスタとの一致では 16 ビット・カウンタはクリアされません。

注意　16 ビット・カウンタがカウント・アップ動作中にトリガ入力がきても 16 ビット・カウンタはクリアされず，トリガ入力は無視されます。

備考　n = 0-3

図 6－13　ワンショット・パルス・モード時の基本動作タイミング

（TPnOE0 = 0, TPnOE1 = 1, TPnOL0 = 0, TPnOL1 = 0）

注　16 ビット・カウンタは TPnEST = 1 または TIPn0 入力のどちらかが入ると，カウント・アップを開始します。

備考 1.　D_0：TPnCCR0 レジスタの設定値（0000H-FFFFH）

D_1：TPnCCR1 レジスタの設定値（0000H-FFFFH）

2.　TOPn1 端子出力のアクティブ・レベル期間は（TPnCCR0 レジスタの設定値－TPnCCR1 レジスタの設定値＋1）×カウント・クロック周期になります。

出力ディレイ時間 =（TPnCCR1 レジスタの設定値）×カウント・クロック周期

3.　n = 0-3

6. 5. 6　PWMモード（TPnMD2-TPnMD0 = 100）

PWM モードではデューティ用の設定レジスタは TMPn キャプチャ／コンペア・レジスタ 1（TPnCCR1）とし周期用の設定レジスタは TMPn キャプチャ／コンペア・レジスタ 0（TPnCCR0）となります。

この 2 つのレジスタを設定し，タイマを動作させることでデューティ可変型の PWM を出力します。

TPnCCR0 レジスタおよび TPnCCR1 レジスタは TPnCE = 1 時書き換えを許可しています。

★　タイマ P を停止するには TPnCE = 0 にしてください。PWM の波形出力は TOPn1 端子から出力します。TOPn0 端子は PWM 周期を半周期とするパルスを出力します。

★　**注意**　PWM モード時は TPnCCR0, TPnCCR1 レジスタはコンペア・レジスタとして機能が固定されるためキャプチャ・レジスタとしての機能は使用できません。

備考 1.　タイマ動作中（TPnCE1）の TPnCCR0, TPnCCR1 の書き換え時のリロード動作は，6. 5. 1（2）リロードを参照してください。

2.　n = 0-3

（1）PWMモード動作フロー

図 6－14　PWM モードの基本動作フロー・チャート（1/2）

（a）タイマ動作中に TPnCCR0, TPnCCR1 レジスタの値を書き換えなかった場合

備考　n = 0-3, m = 0, 1

図 6－14　PWM モードの基本動作フロー・チャート（2/2）

（b）タイマ動作中に TPnCCR0, TPnCCR1 の値を書き換えた場合

注　順番は，①，③の書き換えタイミング，TPnCCR1 の値などにより②のタイミングが異なる場合がありますが，①と③では必ず③を最後にしてください。

備考　n = 0-3, m = 0, 1

(2) PWMモード動作タイミング

★ **(a) 動作中のパルス幅の変更**

動作中に PWM 波形を変更する場合には，最後に TPnCCR1 レジスタにライトしてください。

TPnCCR1 レジスタにライト後，再度 TPnCCR0 レジスタの書き換えを行う場合には，INTTPnCC1 信号を検出後に書き換えてください。

図 6－15　PWM モード時の基本動作タイミング（1/2）

(a) TPnCCR1 の値を書き換える場合

(TPnOE0 = 1, TPnOE1 = 1, TPnOL0 = 0, TPnOL1 = 0)

備考 1. D_{00}　：TPnCCR0 レジスタの設定値（0000H-FFFFH）

D_{10}, D_{11}, D_{12}, D_{13}　：TPnCCR1 レジスタの設定値（0000H-FFFFH）

2. TOPn1 出力のデューティ ＝（TPnCCR1 レジスタの設定値）／（TP0CCR0 レジスタの設定値＋1）

TOPn1 出力の周期 ＝（TPnCCR0 レジスタの設定値＋1）×（カウント・クロック周期）

TOPn0 出力のトグル幅 ＝（TPnCCR0 レジスタの設定値＋１）×（カウント・クロック周期）

3. n = 0-3

図 6－15　PWM モード時の基本動作タイミング（2/2）

（b）TPnCCR0, TPnCCR1 の値を書き換える場合

（TPnOE0 = 1, TPnOE1 = 1, TPnOL0 = 0, TPnOL1 = 0）

注　TPnCCR1 **レジスタの書き込みがなかったためリロードしません。**

備考 1.　D_{00}, D_{01}, D_{02}, D_{03}　**：**TPnCCR0 **レジスタの設定値（**0000H-FFFFH**）**

D_{10}, D_{11}, D_{12}, D_{13}　**：**TPnCCR1 **レジスタの設定値（**0000H-FFFFH**）**

2.　TOPn1 **出力のデューティ** =**（**TPnCCR1 **レジスタの設定値）／（**TP0CCR0 **レジスタの設定値＋**1**）**

TOPn1 **出力の周期** =**（**TPnCCR0 **レジスタの設定値＋**1**）×（カウント・クロック周期）**

TOPn0 **出力のトグル幅** =**（**TPnCCR0 **レジスタの設定値＋１）×（カウント・クロック周期）**

3.　n = 0-3

★　(b) PWM波形の0 %／100 %出力

0 %波形を出力するためには，TPnCCR1レジスタに対して0000Hを設定します。ただし，TPnCCR0レジスタの設定値がFFFFHの場合には，INTTPnCC1信号が定期的に発生します。

図 6－16　PWM 波形の 0 %出力

100 %波形を出力するためには，TPnCCR1レジスタに対して（TPnCCR0レジスタの設定値＋1）の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には，100 %出力はできません。

図 6－17　PWM 波形の 100 %出力

6.5.7　フリー・ランニング・モード（TPnMD2-TPnMD0 = 101）

★　フリー・ランニング・モードは，16ビット・カウンタをフリー・ランニングさせTPnCCS1, TPnCCS0ビットの設定によりコンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

フリー・ランニング・モード時のみ，TPnOPT0レジスタのTPnCCS1, TPnCCS0ビットの設定が有効となります。

★　**注意**　フリー･ランニング･モード時はコンペア･レジスター致によるカウンタ・クリア動作は行いません。

TPnCCS1	動　作
0	TPnCCR1レジスタをコンペアとして使用
1	TPnCCR1レジスタをキャプチャとして使用

TPnCCS0	動　作
0	TPnCCR0レジスタをコンペアとして使用
1	TPnCCR0レジスタをキャプチャとして使用

- TPnCCR1レジスタをコンペア・レジスタとして使用した場合

フリー・ランニング・モードで16ビット・カウンタとCCR1バッファ・レジスタの一致で割り込みが発生します。

★　TPnCCR1レジスタはTPnCE = 1のときに書き換えを許可しており，TPnCCR1レジスタに値を設定すると随時書き込みによりCCR1バッファ・レジスタに転送され，16ビット・カウンタ値との比較対象値となります。

タイマ出力（TOPn1）を許可した場合，TOPn1出力は16ビット・カウンタとCCR1バッファ・レジスタの一致でトグル出力します。

- TPnCCR1レジスタをキャプチャ・レジスタとして使用した場合

TIPn1端子のエッジ検出により16ビット・カウンタの値をTPnCCR1レジスタに格納します。

- TPnCCR0レジスタをコンペア・レジスタとして使用した場合

フリー・ランニング・モードで16ビット・カウンタとCCR1バッファ・レジスタの一致で割り込みが発生します。

★　TPnCCR0レジスタはTPnCE = 1のときに書き換えを許可しており，TPnCCR0レジスタに値を設定すると随時書き込みによりCCR0バッファ・レジスタに転送され，16ビット・カウンタ値との比較対象値となります。

タイマ出力（TOPn0）を許可した場合，TOPn0出力は16ビット・カウンタとCCR0バッファ・レジスタの一致でトグル出力します。

- TPnCCR0レジスタをキャプチャ・レジスタとして使用した場合

TIPn0端子のエッジ検出により16ビット・カウンタの値をTPnCCR0レジスタに格納します。

★　**注意**　TPnCTL1レジスタのTPnEEEビット = 1にし，カウント・クロックを外部イベント・カウント入力としたとき，TPnCCR0レジスタはキャプチャ・レジスタとして使用できません。

★　**備考**　TPnCCR0, TPnCCR1レジスタをコンペア・レジスタとして使用した場合，タイマ動作中（TPnCE = 1）の書き換え動作は，6.5.1（1）随時書き込みを参照してください。

図 6－18　フリー・ランニング・モードの基本動作フロー・チャート

備考　n = 0-3

（1）TPnCCS1 = 0, TPnCCS0 = 0に設定した場合（コンペア機能の説明）

TPnCE = 1にすると，16ビット・カウンタは0000HからFFFFHまでカウントしTPnCE = 0にするまでフリー・ランニングでカウント・アップを継続します。このモードでTPnCCR0, TPnCCR1レジスタに値を書き込むとCCR0バッファ・レジスタ，CCR1バッファ・レジスタに転送されます（随時書き込み）。このモードにおいて，ワンショット・パルス・トリガが入力されてもワンショット・パルスは発生しません。またTPnOEm = 1にすると16ビット・カウンタの値とCCRmバッファ・レジスタの設定値の一致でTOPnmがトグル出力します。

備考　n = 0-3, m = 0, 1

図 6－19　フリー・ランニング・モード時の基本動作タイミング（TPnCCS1 = 0, TPnCCS0 = 0）

（TPnOE0 = 1, TPnOE1 = 1, TPnOL0 = 0, TPnOL1 = 0）

備考 1.　D_{00}, D_{01}　：TPnCCR0 レジスタの設定値（0000H-FFFFH）

D_{10}, D_{11}　：TPnCCR1 レジスタの設定値（0000H-FFFFH）

2.　TOPn0 出力のトグル幅 =（TPnCCR0 レジスタの設定値）×（カウント・クロック周期）

TOPn1 出力のトグル幅 =（TPnCCR1 レジスタの設定値）×（カウント・クロック周期）

3.　TOPnm 出力は，カウント・スタート時にハイ・レベルに立ち上がります。

4.　n = 0-3, m = 0, 1

（2）TPnCCS1 = 1, TPnCCS0 = 1に設定した場合（キャプチャ機能の説明）

TPnCE = 1にすると，16ビット・カウンタは0000HからFFFFHまでカウントしTPnCE = 0にするまでフリー・ランニングでカウント・アップを継続します。その間キャプチャ・トリガによりキャプチャしキャプチャした値をTPnCCR0, TPnCCR1レジスタに書き込みます。

オーバフロー（FFFFH）近辺のキャプチャについてはオーバフロー・フラグ（TPnOVF）で判断します。ただしオーバフローが2回発生する（フリー・ランニングが2周期以上）ようなキャプチャ・トリガの間隔だとTPnOVFフラグでは判断できません。

図 6－20　フリー・ランニング・モード時の基本動作タイミング（TPnCCS1 = 1, TPnCCS0 = 1）

（TPnOE0 = 1, TPnOE1 = 1, TPnOL0 = 0, TPnOL1 = 0）

備考 1.　D_{00}, D_{01}, D_{02}, D_{03}　：TPnCCR0 レジスタにキャプチャされた値（0000H-FFFFH）

D_{10}, D_{11}, D_{12}　：TPnCCR1 レジスタにキャプチャされた値（0000H-FFFFH）

2.　TIPn0：立ち上がりエッジを検出（TPnIS1, TPnIS0 = 01）に設定

TIPn1：立ち下がりエッジを検出（TPnIS3, TPnIS2 = 10）に設定

3.　n = 0-3

（3）TPnCCS1 = 0, TPnCCS0 = 1に設定した場合

TPnCE = 1にすると，16ビット・カウンタは0000HからFFFFHまでカウントし，TPnCE = 0にするまでフリー・ランニングでカウント・アップを継続します。TPnCCR1レジスタをコンペア・レジスタとして使用します。インターバル機能として16ビット・カウンタの値とTPnCCR1レジスタの設定値との一致で割り込み信号を出力します。TPnOE1 = 1に設定すると16ビット・カウンタの値とTPnCCR1レジスタの設定値の一致でTOPn1はトグル出力します。

図 6－21　フリー・ランニング・モード時の基本動作タイミング（TPnCCS1 = 0, TPnCCS0 = 1）

（TPnOE0 = 1, TPnOE1 = 1, TPnOL0 = 0, TPnOL1 = 0）

備考 1.　D_{00}, D_{01}, D_{02}, D_{03}　：TPnCCR0 レジスタにキャプチャされた値（0000H-FFFFH）

D_{10}, D_{11}, D_{12}　：TPnCCR1 レジスタの設定値（0000H-FFFFH）

2.　TIPn0：立ち下がりエッジを検出（TPnIS1, TPnIS0 = 10）に設定

3.　n = 0-3

（4）オーバフロー・フラグについて

フリー・ランニング・モードにおいてカウンタがFFFFHから0000Hにオーバフローするとオーバフロー・フラグ（TPnOVF）が“1”にセットされ，オーバフロー割り込み（INTTPnOV）が発生します。

オーバフロー割り込み（INTTPnOV）発生後は必ずオーバフロー・フラグ（TPnOVF）に“1”がセットされているのを確認してください。

オーバフロー・フラグについては，“0”を書き込むことによりクリアされます。

6. 5. 8　パルス幅測定モード（TPnMD2-TPnMD0 = 110）

パルス幅測定モードではフリー・ランニング・カウントを行い，TIPn0 端子の立ち上がり／立ち下がり両エッジ検出により 16 ビット・カウンタの値をキャプチャ・レジスタ 0（TPnCCR0）に格納し，16 ビット・カウンタを 0000H にクリアします。これにより外部入力パルス幅を測定できます。

ただし，16 ビット・カウンタのオーバフローを越えるような長いパルス幅を測定する場合は，オーバフロー・
★ フラグで判断してください。オーバフローが 2 回以上生じるパルスの測定はオーバフロー割り込みを使用するなどして回数をカウントしてください。また TIPn1 端子のエッジ検出でもキャプチャ・レジスタ 1（TPnCCR1）に 16 ビット・カウンタの値を格納し 16 ビット・カウンタをクリアします。

注意　パルス幅測定モード時のカウント・クロックは内部クロック（TPnCTL1 レジスタの TPnEEE = 0）を選択してください。

図 6－22　パルス幅測定モードの基本動作フロー・チャート

注　外部パルスの入力は，TIPn0, TIPn1 どちらでも可能ですが，どちらか 1 つのみ使用可能です。またエッジ検出は“立ち上がり／立ち下がり両エッジ”を指定してください。また使用しない外部パルス入力のエッジは“エッジ検出なし”を指定してください。

備考　n = 0-3, m = 0, 1

図 6－23　パルス幅測定モードの基本動作タイミング

（TPnOE0 = 0, TPnOE1 = 0, TPnOL0 = 0, TPnOL1 = 0）

備考 1.　D_{00}, D_{01}, D_{02}, D_{03}：TPnCCR0 レジスタにキャプチャされた値（0000H-FFFFH）

2.　TIPn0：立ち上がり／立ち下がり両エッジを検出（TPnIS1, TPnIS0 = 11）に設定

★ 3.　パルス幅 = キャプチャされた値×カウント･クロック周期

16 ビット･カウンタが FFFFH までカウントしても有効エッジが入力されなかった場合，次のクロックでオーバフロー割り込み要求信号（INTTPnOV）を発生するとともに，0000H にクリアしカウント動作を継続します。

またこのときオーバフロー･フラグ（TPnOVF ビット）もセットされます。オーバフロー･フラグはリードし状態を確認したあと，ソフトウエアで CLR 命令を実行しクリア（0）してください。

オーバフロー･フラグがセット（1）した場合，パルス幅は次のように求められます。

パルス幅 =（10000H×TPnOVF ビットがセット（1）された回数＋キャプチャされた値）×カウント･クロック周期

4.　n = 0-3

6.6　タイマ同期動作機能

タイマ P およびタイマ Q には，タイマ同期動作機能（同調動作モード）があります。
同期させることのできるタイマを表 6－5 に示します。

表 6－5　タイマの同調動作モード

マスタ・タイマ	スレーブ・タイマ	
TMP0	TMP1	–
TMP2	TMP3	TMQ0

注意 1.　同調動作モードの許可／禁止は，TPmCTL1 レジスタの TPmSYE ビットおよび TQ0CTL1 レジスタの TQ0SYE ビットで設定します。TMP2 では TMP3 と TMQ0 のどちらか一方または両方をスレーブとして設定できます。

2.　同調動作モードの設定は，次の順で行ってください。

① スレーブ･タイマの TPmCTL1 レジスタの TPmSYE ビットおよび TQ0CTL1 レジスタの TQ0SYE ビットをセットし同調動作を許可します。
スレーブ・タイマの TPmCTL1 レジスタの TPmMD2-TPmMD0 ビットおよび TQ0CTL1 レジスタの TQ0MD2-TQ0MD0 ビットをフリー・ランニング・モードに設定します。

② マスタ・タイマの TPnCTL1 レジスタの TPnMD2-TPnMD0 ビットによりタイマ・モードを設定します。
このとき，マスタ・タイマの TPnCTL1 レジスタの TPnSYE ビットはセットしないでください。

③ マスタ・タイマおよびスレーブ・タイマのコンペア・レジスタの値を設定します。

④ スレーブ・タイマの TPmCTL0 レジスタの TPmCE ビットおよび TQ0CTL0 レジスタの TQ0CE ビットをセットし，内部動作クロック動作を許可します。

⑤ マスタ・タイマの TPnCTL0 レジスタの TPnCE ビットをセットし，内部動作クロック動作を許可します。

備考　m = 1, 3, n = 0, 2

同調動作モード時に使用できるタイマ・モードを表 6－6，6－7 に示します（○：設定可能，×：設定不可）。

表 6－6　同調動作モード時のタイマ・モード

フリー・ランニング・モード	PWM モード	三角波 PWM モード
○	○	×

表 6－7　タイマ出力機能一覧（1/2）

同調チャネル	タイマ	端　子	フリー・ランニング・モード		PWM モード		三角波 PWM モード	
			同調 OFF	同調 ON	同調 OFF	同調 ON	同調 OFF	同調 ON
Ch0	TMP0（マスタ）	TOP00	PPG	←	トグル	←	N/A	←
		TOP01	PPG	←	PWM	←	N/A	←
	TMP1（スレーブ）	TOP10	PPG	←	トグル	PWM	N/A	←
		TOP11	PPG	←	PWM	←	N/A	←

表 6－7　タイマ出力機能一覧（2/2）

同調チャネル	タイマ	端　　子	フリー・ランニング・モード		PWM モード		三角波 PWM モード	
			同調 OFF	同調 ON	同調 OFF	同調 ON	同調 OFF	同調 ON
Ch1	TMP2（マスタ）	TOP20	PPG	←	トグル	←	N/A	←
		TOP21	PPG	←	PWM	←	N/A	←
	TMP3（スレーブ）	TOP30	PPG	←	トグル	PWM	N/A	←
		TOP31	PPG	←	PWM	←	N/A	←
	TMQ0（スレーブ）	TOQ00	PPG	←	トグル	PWM	トグル	N/A
		TOQ01-TOQ03	PPG	←	PWM	←	三角波 PWM	N/A

備考　マスタ・タイマのコンペア・レジスタからスレーブ・タイマのコンペア・レジスタへの送信タイミングは，次のとおりです。

PPG: CPU 書き込みのタイミング

トグル, PWM, 三角波 PWM: タイマ・カウンタとコンペア・レジスタが TOPn0 や TOQ00（n = 0-3）と一致したタイミング

図 6－24　同調動作イメージ（TMP2, TMP3, TMQ0）

図 6－25　同調 PWM 機能の基本動作タイミング（TMP2, TMP3, TMQ0）

★6.7　セレクタ機能

V850ES/FG2ではTMPのキャプチャ・トリガ入力を，ポートの兼用端子と周辺I/O（TMP, TMQ, UARTA, CANコントローラ）信号とで選択が可能です。

この機能を利用して，次のことが可能です。

- TMP0のTIP00, TIP01入力信号を，ポートのタイマ兼用端子（TIP00, TIP01）とCANコントローラのTSOUT信号とで選択。
  →CAN0のTSOUT信号を選択すると，CANコントローラのタイム・スタンプ機能として使用
- TMP1のTIP10, TIP11入力信号を，ポートのタイマ兼用端子（TIP10, TIP11）とUARTAの受信兼用端子（RXDA0, RXDA1）とで選択。
  →UARTA0, UARTA1のRXDA0, RXDA1信号を選択すると，UARTAのLIN受信転送レートのボー・レート誤差算出として使用

注意1.　セレクタ機能を使用する場合は，接続されるTMP, TMQをキャプチャ・トリガ入力に設定してください。

2.　セレクタ機能を設定する場合は，接続される周辺I/O（TMP, TMQ, UARTA, CANコントローラ）を動作禁止にしてから設定してください。

セレクタ機能によるキャプチャ入力の設定は次のレジスタで設定します。

（1）セレクタ動作制御レジスタ0（SELCNT0）

SELCNT0レジスタは，TMPnのキャプチャ・トリガを選択する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF308H

	7	6	5	4	3	2	1	0
SELCNT0	0	0	0	ISEL04	ISEL03	ISEL02	0	ISEL00

ISEL04	TIP11 入力信号選択（TMP1）
0	TIP11 端子入力
1	RXDA1 端子入力

ISEL03	TIP10 入力信号選択（TMP1）
0	TIP10 端子入力
1	RXDA0 端子入力

ISEL02 注	TIP01 入力信号選択（TMP0）
0	TIP01 入力端子
1	TMM0 の INTTM0EQ0 割り込み

ISEL00	TIP00 入力信号選択（TMP0）
0	TIP00 端子入力
1	CAN0 の TSOUT 信号

注　INTTM0EQ0 割り込み信号を TIP01 入力信号に使用する場合は，次の範囲内で使用してください。

TMM 動作クロック周期≧TMP 動作クロック周期×4

注意 1.　ISEL04-ISEL02, ISEL00 の各ビットを“1”に設定する場合は，対応する機能端子をキャプチャ入力に設定してください。

2.　ISEL00 ビットを設定する場合は TMP0 および CAN0 を動作禁止にしてから設定してください。

ISEL02 ビットを設定する場合は TMP0 および TMM0 を動作禁止にしてから設定してください。

ISEL03 ビットを設定する場合は TMP1 および UARTA0 を動作禁止にしてから設定してください。

ISEL04 ビットを設定する場合は TMP1 および UARTA1 を動作禁止にしてから設定してください。

6. 8　使用上の注意

(1) キャプチャ動作

キャプチャ動作を使用し，かつカウント・クロックとして遅いクロックを選択した場合，TPnCE ビットをセット（1）し，カウント・クロックが動作開始するまでに，キャプチャ・トリガが入力されると，TPnCCR0, TPnCCR1 レジスタに 0000H ではなく FFFFH がキャプチャされる場合があります。

★　(2) インターバル・タイマ・モード時のコンペア・レジスタの書き換え

TPnCCR0 レジスタの設定値を小さい値に変更する場合には，一度カウント動作を停止させ，その後，設定値を変更してください。

カウント動作中に TPnCCR0 レジスタの値を小さい値に書き換えると，16 ビット・カウンタがオーバフローする場合があるので注意してください。

備考　n = 0-3

カウント値が D_2 よりも大きく D_1 よりも小さい状態において，TPnCCR0 レジスタを D_1 から D_2 に書き換えると，書き換えたタイミングで CCR0 バッファ・レジスタに転送されるため，16 ビット・カウンタとのコンペア値が D_2 となります。

しかし，カウント値はすでに D_2 を越えているために FFFFH までカウントを行い，オーバフロー後，0000H から再度カウント・アップを行います。そして，D_2 との一致で INTTPnCC0 信号を発生します。

したがって，本来期待している外部イベント・カウント数である「(D_1＋1) 回」または「(D_2＋1) 回」の有効エッジ数で INTTPnCC0 信号は発生せずに，「(10000H＋D_2＋1) 回」の有効エッジ数で INTTPnCC0 信号が発生する場合があります。

第7章　16ビット・タイマ／イベント・カウンタQ

V850ES/FG2 は，16 ビット・タイマ／イベント・カウンタ Q（TMQ0, TMQ1）を搭載しています。

7.1　特　　徴

タイマ Q（TMQ）はさまざまな使い方ができる 16 ビット・タイマ／イベント・カウンタです。
TMQ は，次のような動作を行うことができます。

- PWM 出力
- インターバル・タイマ
- 外部イベント・カウント（クロック停止時動作不可）
- ワンショット・パルス出力
- パルス幅測定機能
- 三角波 PWM 出力
- タイマ同期動作機能
- 外部トリガ・パルス出力機能
- フリー・ランニング機能

7.2　機能概要

- キャプチャ・トリガ入力信号　×4
- 外部トリガ入力信号　×1
- クロック選択　×8
- 外部イベント・カウント入力　×1
- リーダブル・カウンタ　×1
- キャプチャ／コンペア・リロード・レジスタ　×4
- キャプチャ／コンペア一致割り込み　×4
- タイマ出力（TOQn0-TOQn3）　×4

備考　n = 0, 1

7.3 構　　成

TMQ は，次のハードウエアで構成されています。

表 7ー1　TMQ の構成

項　　目	構　　成
タイマ・レジスタ	16 ビット・カウンタ×1 本
レジスタ	TMQn キャプチャ／コンペア・レジスタ 0-3（TQnCCR0-TQnCCR3） TMQn カウンタ・リード・バッファ・レジスタ（TQnCNT） CCR0 バッファ・レジスタ-CCR3 バッファ・レジスタ
タイマ入力	4 本（TIQn0 注-TIQn3）
タイマ出力	4 本（TOQn0-TOQn3）
制御レジスタ	TMQn タイマ制御レジスタ 0, 1（TQnCTL0, TQnCTL1） TMQn タイマ専用 I/O 制御レジスタ 0-2（TQnIOC0-TQnIOC2） TMQn タイマ・オプション・レジスタ 0（TQnOPT0） TIQnm 端子ノイズ除去制御レジスタ（QnmNFC）

注　TIQn0 には，キャプチャ・トリガ入力信号，外部トリガ入力信号，外部イベント・カウント入力信号が兼用になっています。

備考　n = 0, 1, m = 0-3

TMQ の端子は，ポート端子と兼用になっています。兼用機能の設定方法については，第 4 章　ポート機能のレジスタ説明を参照してください。

表 7ー2　TMQ 端子一覧

端子名	兼用端子	入出力	機　　能
TIQ00	P53/KR3/TOQ00/DDO	入力	外部イベント／クロック入力（TMQ0）
TIQ01	P50/KR0/TOQ01		
TIQ02	P51/KR1/TOQ02		
TIQ03	P52/KR2/TOQ03/DDI		
TIQ10	P95/TOQ10		外部イベント／クロック入力（TMQ1）
TIQ11	P92/TOQ11		
TIQ12	P93/TOQ12		
TIQ13	P94/TOQ13		
TOQ00	P53/KR3/TIQ00/DDO	出力	タイマ出力（TMQ0）
TOQ01	P50/KR0/TIQ01		
TOQ02	P51/KR1/TIQ02		
TOQ03	P52/KR2/TIQ03/DDI		
TOQ10	P95/TIQ10		タイマ出力（TMQ1）
TOQ11	P92/TIQ11		
TOQ12	P93/TIQ12		
TOQ13	P94/TIQ13		

図 7－1　タイマ Q のブロック図

備考　n = 0, 1

（1）TMQnキャプチャ／コンペア・レジスタ0（TQnCCR0）

TQnCCR0レジスタはキャプチャ機能とコンペア機能を兼用させた16ビットのレジスタです。

★　フリー・ランニング・モードの場合のみTQnOPT0レジスタのTQnCCS0ビットの設定によりキャプチャ・レジスタ，またはコンペア・レジスタに設定できます。

パルス幅測定モード時はキャプチャ・レジスタ専用として機能します。

フリー・ランニング・モードとパルス幅測定モード以外のモードではすべてコンペア・レジスタ専用として機能します。

初期状態では，TQnCCR0レジスタはコンペア・レジスタとなります。

16ビット単位でリード／ライト可能です。

リセットにより 0000H になります。

リセット時：0000H　R/W　アドレス：TQ0CCR0: FFFFF546H,　TQ1CCR0: FFFFF616H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TQnCCR0 (n = 0, 1)																

・コンペア・レジスタとして使用する場合

TQnCE = 1 時の TQnCCR0 の書き換えは可能です。

★　各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア･レジスタの書き込み方法は次のとおりです。

TMQ 動作モード	TQnCCR0 レジスタの書き込み方法
PWM モード， 外部トリガ・パルス出力モード， 三角波 PWM モード	リロード
フリー・ランニング・モード， 外部イベント・カウント・モード， ワンショット・パルス・モード， インターバル・タイマ・モード	随時書き込み
★ パルス幅測定モード	キャプチャ専用であるため書き込み不可

・キャプチャ・レジスタとして使用する場合

キャプチャ・トリガ（TIQn0）入力のエッジ検出によりカウンタ値を TQnCCR0 に格納します。

★　注意　サブクロック動作時，かつメイン･クロック停止時のTQnCCR0レジスタへのアクセスは禁止です。
詳細は，3. 4. 10（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

(2) TMQnキャプチャ／コンペア・レジスタ1（TQnCCR1）

TQnCCR1レジスタはキャプチャ機能とコンペア機能を兼用させた16ビットのレジスタです。

★ フリー・ランニング・モードの場合のみTQnOPT0レジスタのTQnCCS1ビットの設定によりキャプチャ・レジスタ，またはコンペア・レジスタに設定できます。

パルス幅測定モード時はキャプチャ・レジスタ専用として機能します。

フリー・ランニング・モードとパルス幅測定モード以外のモードではすべてコンペア・レジスタ専用として機能します。

リセットにより0000Hになります。

リセット時：0000H　R/W　アドレス：TQ0CCR1: FFFFF548H,　TQ1CCR1: FFFFF618H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TQnCCR1 (n = 0, 1)																

・コンペア・レジスタとして使用する場合

TQnCE = 1 時の TQnCCR1 の書き換えは可能です。

★ 各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア･レジスタの書き込み方法は次のとおりです。

TMQ 動作モード	TQnCCR1 レジスタの書き込み方法
PWM モード， 外部トリガ・パルス出力モード， 三角波 PWM モード	リロード
フリー・ランニング・モード， 外部イベント・カウント・モード， ワンショット・パルス・モード， インターバル・タイマ・モード	随時書き込み
★ パルス幅測定モード	キャプチャ専用であるため書き込み不可

・キャプチャ・レジスタとして使用する場合

キャプチャ・トリガ（TIQn1）入力のエッジ検出によりカウンタ値を TQnCCR1 に格納します。

★ 注意　サブクロック動作時，かつメイン･クロック停止時のTQnCCR1レジスタへのアクセスは禁止です。
詳細は，3. 4. 10（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

(3) TMQnキャプチャ／コンペア・レジスタ2（TQnCCR2）

TQnCCR2レジスタはキャプチャ機能とコンペア機能を兼用させた16ビットのレジスタです。

フリー・ランニング・モードの場合のみTQnOPT0レジスタのTQnCCS2ビットの設定によりキャプチャ・
★ レジスタ，またはコンペア・レジスタに設定できます。

パルス幅測定モード時はキャプチャ・レジスタ専用として機能します。

フリー・ランニング・モードとパルス幅測定モード以外のモードではすべてコンペア・レジスタ専用として機能します。

初期状態では，TQnCCR2レジスタはコンペア・レジスタとなります。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

リセット時：0000H　R/W　アドレス：TQ0CCR2: FFFFF54AH,　TQ1CCR2: FFFFF61AH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TQnCCR2 (n = 0, 1)																

・コンペア・レジスタとして使用する場合

TQnCE = 1 時の TQnCCR2 の書き換えは可能です。

★ 各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法は次のとおりです。

TMQ 動作モード	TQnCCR2 レジスタの書き込み方法
PWM モード， 外部トリガ・パルス出力モード， 三角波 PWM モード	リロード
フリー・ランニング・モード， 外部イベント・カウント・モード， ワンショット・パルス・モード， インターバル・タイマ・モード	随時書き込み
★ パルス幅測定モード	キャプチャ専用であるため書き込み不可

・キャプチャ・レジスタとして使用する場合

キャプチャ・トリガ（TIQn2）入力のエッジ検出によりカウンタ値を TQnCCR2 に格納します。

★ 注意　サブクロック動作時，かつメイン・クロック停止時のTQnCCR2レジスタへのアクセスは禁止です。
詳細は，3. 4. 10（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

（4）TMQnキャプチャ／コンペア・レジスタ3（TQnCCR3）

TQnCCR3レジスタはキャプチャ機能とコンペア機能を兼用させた16ビットのレジスタです。

★　フリー・ランニング・モードの場合のみTQnOPT0レジスタのTQnCCS3ビットの設定によりキャプチャ・レジスタ，またはコンペア・レジスタに設定できます。

パルス幅測定モード時はキャプチャ・レジスタ専用として機能します。

フリー・ランニング・モードとパルス幅測定モード以外のモードではすべてコンペア・レジスタ専用として機能します。

リセットにより0000Hになります。

リセット時：0000H　R/W　アドレス：TQ0CCR3: FFFFF54CH,　TQ1CCR3: FFFFF61CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TQnCCR3 (n = 0, 1)																

・コンペア・レジスタとして使用する場合

TQnCE = 1 時の TQnCCR3 の書き換えは可能です。

★　各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法は次のとおりです。

TMQ 動作モード	TQnCCR3 レジスタの書き込み方法
PWM モード， 外部トリガ・パルス出力モード， 三角波 PWM モード	リロード
フリー・ランニング・モード， 外部イベント・カウント・モード， ワンショット・パルス・モード， インターバル・タイマ・モード	随時書き込み
★ パルス幅測定モード	キャプチャ専用であるため書き込み不可

・キャプチャ・レジスタとして使用する場合

キャプチャ・トリガ（TIQn3）入力のエッジ検出によりカウンタ値を TQnCCR3 に格納します。

★　注意　サブクロック動作時，かつメイン・クロック停止時のTQnCCR3レジスタへのアクセスは禁止です。
詳細は，3. 4. 10（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

（5）TMQnカウンタ・リード・バッファ・レジスタ（TQnCNT）

TQnCNTレジスタは16ビット・カウンタの値をリードできるリード・バッファ・レジスタです。

16ビット単位でリードのみ可能です。

リセットによりFFFFHになります。

★　TQnCE = 0のとき，TQnCNTレジスタは0000Hになります。このときにTQnCNTレジスタをリードすると，16ビット・カウンタの値（FFFFH）をリードせず，そのまま0000Hをリードします。

TQnCE = 1のとき，このレジスタをリードすると16ビット・カウンタのカウント値がリードされます。

リセット時：FFFFH　R　　アドレス：TQ0CNT:　FFFFF54EH　TQ1CNT:　FFFFF61EH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TQnCNT（n = 0, 1）																

★　注意　サブクロック動作時，かつメイン・クロック停止時のTQnCNTレジスタへのアクセスは禁止です。

詳細は，3. 4. 10（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

7.4　制御レジスタ

(1) TMQnタイマ制御レジスタ0（TQnCTL0）

TQnCTL0レジスタはタイマQの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより初期値00Hになります。

★　TQnCTL0 レジスタは動作中（TQnCE = 1），書き換え禁止です。ただし，TQnCE ビットのみ常時書き換えができます。

(1/2)

リセット時：00H　R/W　アドレス：TQ0CTL0: FFFFF540H,　TQ1CTL0: FFFFF610H

	7	6	5	4	3	2	1	0
TQnCTL0 (n = 0, 1)	TQnCE	0	0	0	0	TQnCKS2	TQnCKS1	TQnCKS0

TQnCE	タイマ Qn の動作の制御
0	内部動作クロック動作禁止（TMQn を非同期にリセット）
1	内部動作クロック動作許可

TQnCE ビットにより,内部動作クロックの制御と TMQn の非同期リセットを行います。TQnCE ビットを“0”にすると，TMQn の内部動作クロックは停止（ロウ・レベル固定）し，TMQn を非同期にリセットします。

TQnCE ビットを“1”にすると，TQnCE ビットを“1”にしたタイミングから入力クロックの 2 クロック以内に内部動作クロックが許可されカウント・アップします。

TQnCKS2	TQnCKS1	TQnCKS0	内部カウント・クロックの選択
0	0	0	f_{XX}
0	0	1	$f_{XX}/2$
0	1	0	$f_{XX}/4$
0	1	1	$f_{XX}/8$
1	0	0	$f_{XX}/16$
1	0	1	$f_{XX}/32$
1	1	0	$f_{XX}/64$
1	1	1	$f_{XX}/128$

注意 1.　TQnCKS2-TQnCKS0 ビットは，TQnCE = 0 のとき設定してください。TQnCE ビットを“0”から“1”に設定するとき，同時に TQnCKS2-TQnCKS0 ビットを設定することは可能です。

★　2.　ビット 3-6 は必ず“0”に設定してください。

備考　f_{XX}：メイン・システム・クロック周波数

(2/2)

分解能，最大カウント時間

内部カウント・クロック	分解能［μs］		最大カウント時間［ms］	
	f_{XX} = 16 MHz	f_{XX} = 20 MHz	f_{XX} = 16 MHz	f_{XX} = 20 MHz
f_{XX}	0.0625	0.050	4.10	3.28
$f_{XX}/2$	0.125	0.100	8.19	6.55
$f_{XX}/4$	0.250	0.200	16.38	13.11
$f_{XX}/8$	0.500	0.400	32.77	26.21
$f_{XX}/16$	1.000	0.800	65.54	52.43
$f_{XX}/32$	2.000	1.600	131.11	104.86
$f_{XX}/64$	4.000	3.200	262.14	209.72
$f_{XX}/128$	8.000	6.400	524.29	419.43

(2) TMQnタイマ制御レジスタ1（TQnCTL1）

TQnCTL1レジスタはタイマQの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより初期値00Hになります。

(1/2)

リセット時：00H　R/W　アドレス：TQ0CTL1: FFFFF541H,　TQ1CTL1: FFFFF611H

	7	6	5	4	3	2	1	0
TQnCTL1 (n = 0, 1)	TQnSYE	TQnEST	TQnEEE	0	0	TQnMD2	TQnMD1	TQnMD0

TQnSYE	同調動作モード許可制御
0	独立動作モード（アシンクロナス動作モード）
1	同調動作モード（スレーブ動作の指定） マスタとなるタイマに同期して動作させることができます。 マスタ・タイマ：TMP2 スレーブ・タイマ：TMP3, TMQn 同調動作モードについては，7. 6　タイマ同調動作機能を参照してください。

TQnEST	ソフトウエア・トリガ制御
0	非動作
1	ワンショット・パルス・モード時：ワンショット・パルス・ソフトウエア・トリガ 外部トリガ・パルス出力モード時：パルス出力ソフトウエア・トリガ
TQnEST ビットはワンショット・パルス・モード時／外部トリガ・パルス出力モード時にソフトウエア・トリガとして機能します（それ以外のモード時に制御しても無効です）。TQnCE = 1 のときに TQnEST = 1 にすることでソフトウエア・トリガとして機能します。したがって，必ず TQnCE = 1 のときに TQnEST = 1 に設定してください。 外部トリガは，TIQn0 端子を使用します。TQnEST ビットのリード値は常に“ 0 ”です。	

TQnEEE	カウント・クロックの選択
0	内部クロック（TQnCKS2-TQnCKS0 ビットで選択したクロック）を使用
1	外部イベント・カウント入力（TIQn0 入力のエッジ）を使用
TQnEEE = 1（外部イベント・カウント入力：TIQn0）のときの有効エッジの指定は TQnEES1, TQnEES0 ビットで設定します。	

(2/2)

TQnMD2	TQnMD1	TQnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス・モード
1	0	0	PWM モード
1	0	1	フリー・ランニング・モード
1	1	0	パルス幅測定モード
1	1	1	三角波 PWM モード

★ **注意** 1. TQnSYE, TQnEEE, TQnMD2-TQnMD0 **ビットは，**TQnCE = 0 **のとき設定してください（**TQnCE = 1 **のときの同値書き込みは可能）。**TQnCE = 1 **のときに書き換えた場合の動作は保証できません。誤って書き換えた場合は，**TQnCE = 0 **に設定してから再設定してください。**

★ 2. **外部イベント･カウント･モードのときは** TQnEEE **ビットの値にかかわらず外部イベント・カウント入力が選択されます。**

★ 3. **ビット** 3, 4 **には必ず“** 0 **”を設定してください。**

（3）TMQn I/O制御レジスタ0（TQnIOC0）

TQnIOC0レジスタは，タイマ出力を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：TQ0IOC0: FFFFF542H,　TQ1IOC0: FFFFF612H

	7	6	5	4	3	2	1	0
TQnIOC0	TQnOL3	TQnOE3	TQnOL2	TQnOE2	TQnOL1	TQnOE1	TQnOL0	TQnOE0

（n = 0, 1）

TQnOLm	TOQnm 出力レベルの設定（m = 0-3）
0	通常出力
1	反転出力

TQnOEm	TOQnm 出力の設定（m = 0-3）
0	タイマ出力禁止（TOQnm 端子から TQnOLm = 0 のときロウ・レベルが出力 TQnOLm = 1 のときハイ・レベルが出力）
1	タイマ出力許可（TOQnm 端子からパルスを出力）

注意1.　TQnOL1, TQnOE1, TQnOL0, TQnOE0 ビットは，TQnCE = 0 のときに書き換えてください（TQnCE = 1 のときの同値書き込みは可能）。誤って書き換えた場合は，TQnCE = 0 に設定してから再設定してください。

2.　タイマ出力を許可する場合は，必ず，TQnIOC1 レジスタの対応する兼用端子の TQnIS7-TQnIS0 を「エッジ検出しない」に設定し，キャプチャ動作を無効にしてください。そのあと，対応する兼用ポートの設定を出力モードにしてください。

★ 3.　端子をコントロール出力モードとしている場合，TQnCE = 0, TQnOEm = 0 の状態においても TQnOLm ビットを操作すると TOQnm 端子の出力レベルが変化します。

（4）TMQn I/O制御レジスタ1（TQnIOC1）

TQnIOC1レジスタは，外部入力信号（TIQn0-TIQn3）に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：TQ0IOC1: FFFFF543H,　TQ1IOC1: FFFFF613H

	7	6	5	4	3	2	1	0
TQnIOC1 (n = 0, 1)	TQnIS7	TQnIS6	TQnIS5	TQnIS4	TQnIS3	TQnIS2	TQnIS1	TQnIS0

TQnIS7	TQnIS6	キャプチャ入力（TIQn3）の有効エッジの設定
0	0	エッジ検出なし（キャプチャ動作無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQnIS5	TQnIS4	キャプチャ入力（TIQn2）の有効エッジの設定
0	0	エッジ検出なし（キャプチャ動作無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQnIS3	TQnIS2	キャプチャ入力（TIQn1）の有効エッジの設定
0	0	エッジ検出なし（キャプチャ動作無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQnIS1	TQnIS0	キャプチャ入力（TIQn0）の有効エッジの設定
0	0	エッジ検出なし（キャプチャ動作無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

注意 1. TQnIS7-TQnIS0 ビットは，TQnCE = 0 のときに書き換えてください（TQnCE = 1 のときの同値書き込みは可能）。誤って書き換えた場合は，TQnCE = 0 に設定してから再設定してください。

2. TQnIS7-TQnIS0 ビットは，フリー・ランニング・モードと，パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

★ 3. キャプチャ入力として使用する場合は，必ず TQnIOC レジスタの対応する兼用端子の TQnOE3-TQnOE0 ビットを「タイマ出力禁止」に設定し，キャプチャ入力の有効エッジを設定してください。その後，対応する兼用ポートの設定を入力ポートにしてください。

★ 4. 外部イベント･カウント･モードで使用（TQnCTL1 の TQnEEE ビット = 1）する場合，TIQn0 キャプチャ入力をエッジ検出なし（TQnIS1, TQnIS0 ビット = 00）に設定してください。

(5) TMQn I/O**制御レジスタ**2**（**TQnIOC2**）**

TQnIOC2**レジスタは，外部イベント・カウント入力信号（**TIQn0**），外部トリガ入力信号（**TIQn0**）に対する有効エッジを制御する**8**ビット・レジスタです。**

8/1**ビット単位でリード／ライト可能です。**

リセットにより00H**になります。**

リセット時：00H　R/W　**アドレス：**TQ0IOC2: FFFFF544H,　TQ1IOC2: FFFF614H

	7	6	5	4	3	2	1	0
TQnIOC2 (n = 0, 1)	0	0	0	0	TQnEES1	TQnEES0	TQnETS1	TQnETS0

TQnEES1	TQnEES0	**外部イベント・カウント入力（**TIQn0**）の有効エッジの設定**
0	0	**エッジ検出なし（外部イベント・カウント無効）**
0	1	**立ち上がりエッジを検出**
1	0	**立ち下がりエッジを検出**
1	1	**両エッジを検出**

TQnETS1	TQnETS0	**外部トリガ入力（**TIQn0**）の有効エッジの設定**
0	0	**エッジ検出なし（外部トリガ無効）**
0	1	**立ち上がりエッジを検出**
1	0	**立ち下がりエッジを検出**
1	1	**両エッジを検出**

注意 1. TQnEES1, TQnEES0, TQnETS1, TQnETS0 **ビットは，**TQnCE = 0 **のときに書き換えてください（**TQnCE = 1 **のときの同値書き込みは可能）。誤って書き換えた場合は，**TQnCE = 0 **に設定してから再設定してください。**

2. TQnEES1, TQnEES0 **ビットは，**TQnEEE = 1**，または，外部イベント・カウント・モード（**TIQnCTL1 **レジスタの** TQnMD2-TQnMD0 = 001**）に設定したときのみ有効です。**

3. TQnETS1, TQnETS0 **ビットは外部トリガ･パルス出力モード（**TQnCTL1 **レジスタの** TQnMD2-TQnMD0 = 010**）もしくは，ワンショット･パルス出力モード（**TQnCTL1 **レジスタの** TQnMD2-TQnMD0 = 011**）に設定したときのみ有効です。**

(6) TMQnタイマ・オプション・レジスタ0（TQnOPT0）

TQnOPT0レジスタは，キャプチャ／コンペア動作の設定，オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：TQ0OPT0: FFFFF545H,　TQ1OPT0: FFFFF615H

	7	6	5	4	3	2	1	0
TQnOPT0 (n = 0, 1)	TQnCCS3	TQnCCS2	TQnCCS1	TQnCCS0	0	0	TQnCUF	TQnOVF

TQnCCSm	TQnCCRm レジスタのキャプチャ／コンペア選択（m = 0-3）
0	コンペア・レジスタ選択
1	キャプチャ・レジスタ選択
TQnCCSm ビットの設定はフリー・ランニング・モードのときのみ有効になります。	

TQnCUF	タイマ Q のダウン・カウント・フラグ
0	TMQn がアップ・カウント中
1	TMQn がダウン・カウント中
TQnUCF ビットは三角波 PWM モード時に有効となります。 リード・オンリのため，書き込みした場合の値は無効となります。	

TQnOVF	タイマ Q のオーバフロー検出
セット（1）	オーバフロー発生
リセット（0）	TQnOVF ビットの 0 書き込みまたは TQnCE = 0

- TQnOVF ビットは，フリー・ランニング・モードおよびパルス幅測定モード時に，16 ビット・カウンタの値が FFFFH から 0000H にオーバフローするときセットされます。
- TQnOVF ビットがセット（1）されると同時に割り込み要求信号（INTTQnOV）が発生します。フリー・ランニング・モードおよびパルス幅測定モード以外では，INTTQnOV 信号は発生しません。
- TQnOVF = 1 のときに TQnOVF ビットおよび TQnOPT0 レジスタをリードしても TQnOVF ビットはクリアされません。
- TQnOVF ビットは，リード／ライト可能ですが CPU から TQnOVF ビットに“1”を書き込むことはできません。1 をライトしてもタイマ Q の動作に影響はありません。

注意 1. TQnCCS1, TQnCCS0 ビットは，TQnCE = 0 のときに書き換えてください（TQnCE = 1 のときの同値書き込みは可能）。誤って書き換えた場合は，TQnCE = 0 に設定してから再設定してください。

2. ビット 2, 3 には必ず“0”を設定してください。

(7) TIQnm端子ノイズ除去制御レジスタ0（QnmNFC）

QnmNFCレジスタは，タイマQ入力端子のディジタル・ノイズ・フィルタ除去を設定する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：Q00NFC：FFFFFB50H（TIQ00 端子）
Q01NFC：FFFFFB54H（TIQ01 端子）
Q02NFC：FFFFFB58H（TIQ02 端子）
Q03NFC：FFFFFB5CH（TIQ03 端子）
Q10NFC：FFFFFB70H（TIQ10 端子）
Q11NFC：FFFFFB74H（TIQ11 端子）
Q12NFC：FFFFFB78H（TIQ12 端子）
Q13NFC：FFFFFB7CH（TIQ13 端子）

	7	6	5	4	3	2	1	0
QnmNFC	0	NFSTS	0	0	0	NFC2	NFC1	NFC0

(n = 0,1, m = 0-3)

NFSTS	ディジタル・ノイズ・フィルタのサンプリング回数の設定
0	3 回
1	2 回

NFC2	NFC1	NFC0	サンプリング・クロック
0	0	0	f_{XX}
0	0	1	$f_{XX}/2$
0	1	0	$f_{XX}/4$
0	1	1	$f_{XX}/16$
1	0	0	$f_{XX}/32$
1	0	1	$f_{XX}/64$
上記以外			設定禁止

注意 1. ビット 3-5，7 には必ず 0 を設定してください。

2. QnmNFC レジスタの設定を行う前に，タイマ入力端子（TIQnm）に入力された信号は，ディジタル・ノイズ除去され，出力されます。
そのため，QnmNFC レジスタでサンプリング・クロック（NFC2-NFC0），サンプリング回数（NFSTS）を設定したあと，初期化時間 =（サンプリング・クロック）×（サンプリング回数）が経過してから，タイマの動作を許可してください。

備考　確実に除去されるノイズ幅は，（サンプリング・クロック）×（サンプリング回数－1）になります。また，このノイズ幅以下のノイズであっても，サンプリング・クロックに同期したノイズが入力された場合には，誤カウントが発生する可能性があります。

7.5 動　　作

タイマ Q には次のような動作があります。

動　作	TQnEST（ソフトウエア・トリガ・ビット）	TIQn0（外部トリガ入力）	キャプチャ／コンペア切り換え	コンペア書き込み
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード注1	無効	有効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード注2	有効	有効	コンペア専用	リロード
ワンショット・パルス出力モード注2	有効	有効	コンペア専用	随時書き込み
PWM モード	無効	無効	コンペア専用	リロード
フリー・ランニング・モード	無効	無効	キャプチャ／コンペア切り換え可	随時書き込み
パルス幅測定モード注2	無効	無効	キャプチャ専用	対象外
三角波 PWM モード	無効	無効	コンペア専用	リロード

注 1. 外部イベント・カウント入力を使用する場合，TIQn0 キャプチャ入力のエッジ検出を，エッジを検出しない（TQnIOC1 レジスタの TQnIS1, TQnIS0 ビットを“00”）に設定してください。

2. 外部トリガ・パルス出力モード，ワンショト・パルス・モード，パルス幅測定モードを使用する場合，カウント・クロックは内部クロックを選択（TQnCTL1 レジスタの TQnEEE ビット = 0 に設定）してください。

7.5.1 随時書き込みとリロード

タイマQではタイマ動作中（TQnCE = 1）のとき，TQnCCR0-TQnCCR3レジスタの書き換えを許可していますがモードによって書き込み方法（随時書き込み，リロード）が異なります。

（1）随時書き込み

タイマ動作中にTQnCCR0-TQnCCR3レジスタの書き込みを行ったときCCR0-CCR3バッファ・レジスタに随時転送され，16ビット・カウンタの比較値となります。

図 7ー2　随時書き込みの基本動作フロー・チャート

備考 1.　インターバル・タイマ・モードを例としたフロー・チャート図です。

2.　n = 0, 1

図 7－3　随時書き込みのタイミング図

備考 1.　D_{01}, D_{02}　：TQnCCR0 **レジスタの設定値**（0000H-FFFFH）

D_{11}, D_{12}　：TQnCCR1 **レジスタの設定値**（0000H-FFFFH）

D_{21}　：TQnCCR2 **レジスタの設定値**（0000H-FFFFH）

D_{31}　：TQnCCR3 **レジスタの設定値**（0000H-FFFFH）

2.　**インターバル・タイマ・モードを例としたタイミング・チャート図です。**

3.　n = 0, 1

★　(2) リロード

タイマ動作中にTQnCCRmレジスタの書き込みを行ったとき，書き込んだ値は特定の状態になるまで保留されたあとに転送されCCRmバッファ・レジスタを介して，16ビット・カウンタの比較値となります。TQnCCRmレジスタはTQnCE = 1のとき，書き換えが可能です。

TQnCCRmレジスタを書き換えた場合の設定値が16ビット・カウンタの比較値となる（CCRmバッファ・レジスタにリロードされる）には16ビット・カウンタの値とCCR0バッファ・レジスタの値が一致する前にTQnCCR0, TQnCCR2, TQnCCR3レジスタを書き換え，最後にTQnCCR1レジスタを書き込む必要があります。

そのあとCCR0バッファ・レジスタと16ビット・カウンタが一致するとTQnCCRmレジスタの値はCCRmバッファ・レジスタにリロードされます。

TQnCCR1レジスタの書き込みで次のリロード・タイミングを有効とするか無効とするか制御します。

したがって，TQnCCR0, TQnCCR2, TQnCCR3 レジスタのいずれかの値だけ書き換えたい場合でも，TQnCCR1 レジスタに同値（すでに設定した TQnCCR1 レジスタと同じ値）を書き込んでください。

図 7－4　リロードの基本動作フロー・チャート

★　注意　TQnCCR1 レジスタへの書き込みにはリロードを許可する動作も含まれます。したがって，TQnCCR0, TQnCCR1, TQnCCR2 ひとつのみ書き換えたい場合でも，次のリロードを有効にするために TQnCCR1 レジスタに同値書き込みをする必要があります。また，TQnCCR1 レジスタの書き換えは，ほかの TQnCCR レジスタの書き換えよりあとにしてください。

備考 1.　PWM モードを例としたフロー・チャート図です。

2.　n = 0, 1, m = 0-3

図 7－5　リロードのタイミング図

注　TQnCCR1 レジスタの書き込みがなかったためリロードしません。

備考 1.　D_{01}, D_{02}, D_{03}　：TQnCCR0 レジスタの設定値（0000H-FFFFH）

D_{11}, D_{12}　：TQnCCR1 レジスタの設定値（0000H-FFFFH）

D_{21}　：TQnCCR2 レジスタの設定値（0000H-FFFFH）

D_{31}, D_{32}, D_{33}　：TQnCCR3 レジスタの設定値（0000H-FFFFH）

2.　PWM モードを例としたタイミング・チャート図です。

3.　n = 0, 1

7. 5. 2　インターバル・タイマ・モード（TQnMD2-TQnMD0 = 000）

インターバル・タイマ・モードではTQnCCR0レジスタの設定値と16ビット・カウンタの値の一致で割り込み要求信号（INTTQnCC0）を発生し16ビット・カウンタをクリアします。TQnCCRmレジスタはTQnCE = 1のときに
★ 書き換えを許可しており，TQnCCRmに値を設定すると随時書き込みによりCCRmバッファ・レジスタに転送され，16ビット・カウンタ値との比較対象値となります。

TQnCCRkレジスタを使用しての16ビット・カウンタのクリア動作は行いません。

ただし，TQnCCRkレジスタ設定値はCCRkバッファ・レジスタに転送され，16ビット・カウンタと比較されることで，割り込み要求（INTTQnCCk）が発生します。

また，TQnOEmビットを1に設定することにより，TOQnm端子出力も可能です。

TQnCCRkレジスタを使用しない場合はTQnCCRkレジスタの設定値はFFFFHを設定してください。

★ **備考** 1.　タイマ動作中（TQnCE = 1）のときの TQnCCRm の書き換えについては 7. 5. 1（1）随時書き込みを参照してください。

2.　n = 0, 1, m = 0-3, k = 1-3

図 7－6　インターバル・タイマ・モード時の基本動作フロー・チャート

注　16 ビット・カウンタと TQnCCRk との一致では，16 ビット・カウンタはクリアされません。

備考　n = 0, 1, m = 0-3, k = 1-3

図 7－7　インターバル・タイマ・モード時の基本動作タイミング（1/2）

（a）TQnCCR0 レジスタのみ値を書き換え，TOQnm 出力なしの場合

（TQnOEm = 0, TQnOLm = 0）

備考 1.　D_{01}, D_{02}　：TQnCCR0 レジスタの設定値（0000H-FFFFH）

D_{11}　：TQnCCR1 レジスタの設定値（0000H-FFFFH）

D_{21}　：TQnCCR2 レジスタの設定値（0000H-FFFFH）

D_{31}　：TQnCCR3 レジスタの設定値（0000H-FFFFH）

2.　インターバル時間 =（D0＋1）×（カウント・クロック周期）

3.　n = 0, 1, m = 0-3

図 7－7　インターバル・タイマ・モード時の基本動作タイミング（2/2）

（b）D01 = D31, TQnCCR1 レジスタのみ値を書き換え，TOQnm 出力ありの場合

（TQnOEm = 1, TQnOLm = 0）

備考 1.　D_{01}　　：TQnCCR0 レジスタの設定値（0000H-FFFFH）

D_{11}, D_{12}　：TQnCCR1 レジスタの設定値（0000H-FFFFH）

D_{21}　　：TQnCCR2 レジスタの設定値（0000H-FFFFH）

D_{31}　　：TQnCCR3 レジスタの設定値（0000H-FFFFH）

2.　インターバル時間 =（D0＋1）×（カウント・クロック周期）

3.　n = 0, 1, m = 0-3

7. 5. 3　外部イベント・カウント・モード（TQnMD2-TQnMD0 = 001）

外部イベント・カウント・モードでは外部イベント・カウント入力（TIQn0 端子入力）をカウント・アップ信号として動作させます。TQnCTL0 レジスタの TQnEEE ビットの設定にかかわらず外部イベント・カウント・モードに設定すると外部イベント・カウント入力（TIQn0 端子入力）によりカウント・アップをおこないます。

外部イベント・カウント・モードでは TQnCCR0 レジスタの設定値（CCR0 バッファ・レジスタの値）と 16 ビット・カウンタ値の一致で一致割り込み要求（INTTQnCC0）を発生し 16 ビット・カウンタの値をクリアします。

★　TQnCCRm レジスタに値を設定すると随時書き込みにより，CCRm バッファ・レジスタに転送され，16 ビット・カウンタ値との比較対象値となります。

TQnCCRk レジスタを使用しての 16 ビット・カウンタのクリア動作は行いません。

ただし，TQnCCRk レジスタ設定値は CCRk バッファ・レジスタに転送され，16 ビット・カウンタと比較されることで，割り込み要求（INTTQnCCk）が発生します。

★　また，TQnOEk ビットを 1 に設定することにより，TOQnk 端子出力も可能です。TOQn0 端子は使用できません。

TQnCCRk レジスタを使用しない場合は TQnCCRk の設定値は FFFFH を設定してください。

★　**注意　外部イベント･カウント･モード時，TQnCCR0 レジスタには 0000H を設定しないでください。**

★　**備考** 1.　タイマ動作中（TQnCE = 1）の TQnCCRm の書き換えについては 7. 5. 1（1）随時書き込みを参照してください。

2.　n = 0, 1, m = 0-3, k = 1-3

図 7－8　外部イベント・カウント・モード時の基本動作フロー・チャート

注 1. TQnEEE ビットの選択は影響しません。

2. 16 ビット・カウンタと CCRk バッファ・レジスタとの一致では 16 ビット・カウンタはクリアされません。

備考　n = 0, 1, m = 0-3, k = 1-3

図 7－9　外部イベント・カウント・モード時の基本動作タイミング（1/2）

（a）TQnCCR0 レジスタのみ値を書き換え，TOQnm 出力なしの場合

（TQnOEm = 0, TQnOLm = 0）

備考 1.　D_{01}, D_{02}　：TQnCCR0 レジスタの設定値（0000H-FFFFH）

D_{11}　：TQnCCR1 レジスタの設定値（0000H-FFFFH）

D_{21}　：TQnCCR2 レジスタの設定値（0000H-FFFFH）

D_{31}　：TQnCCR3 レジスタの設定値（0000H-FFFFH）

2.　コンペアー致割り込みは（TQnCCRm レジスタに設定した値+1）回検出するごとに発生します。

3.　n = 0, 1, m = 0-3

図 7－9　外部イベント・カウント・モード時の基本動作タイミング（2/2）

（b）D01 = D31, TQnCCR1 レジスタのみ値を書き換え，TOQnk 出力ありの場合

（TQnOE0 = 0, TQnOEk = 1, TQnOL0 = 0, TQnOLk = 0）

備考 1.　D_{01}　：TQnCCR0 レジスタの設定値（0000H-FFFFH）

D_{11}, D_{12}　：TQnCCR1 レジスタの設定値（0000H-FFFFH）

D_{21}　：TQnCCR2 レジスタの設定値（0000H-FFFFH）

D_{31}　：TQnCCR3 レジスタの設定値（0000H-FFFFH）

2.　コンペア一致割り込みは（TQnCCRm レジスタに設定した値+1）回検出するごとに発生します。

3.　n = 0, 1, m = 0-3, k = 1-3

★ 7. 5. 4　外部トリガ・パルス出力モード（TQnMD2-TQnMD0 = 010）

外部トリガ・パルス出力モードでは TQnCE = 1 にすると，16 ビット・カウンタは FFFFH で停止したまま，外部トリガ入力（TIQn0 端子入力）待ちとなります。外部トリガ入力（TIQn0 端子入力）のエッジを検出するとカウント・アップを開始します。

TOQnk 出力制御についてデューティ用の設定レジスタはリロード・レジスタ（TQnCCRk）とし周期用の設定レジスタはコンペア・レジスタ（TQnCCR0）で行います。

TQnCCRm レジスタは TQnCE = 1 時に書き換えを許可しています。

タイマ Q を停止するには TQnCE = 0 にしてください。外部トリガ・パルス出力モード中に複数回，外部トリガ（TIQn0 端子入力）のエッジ検出がされると，エッジ検出したタイミングで 16 ビット・カウンタはクリアされ，カウント・アップを再開すると同時に TOQn0 端子は初期化されます。なお，外部トリガ入力（TIQn0 端子入力）の代わりにソフトウエア・トリガを使用して，外部トリガ・パルス出力モードと同じ機能（ソフトウエア・トリガ・パルス・モード）を実現するには，TQnCTL1 レジスタの TQnEST ビットを 1 にセットすることにより，ソフトウエア・トリガが発生します。外部トリガ・パルスの波形は TOQnk から出力します。

外部トリガ・パルス出力モード時の TQnCCRm レジスタはコンペア・レジスタとして機能が固定されるため，キャプチャ機能は使用できません。

注意　外部トリガ・パルス出力モード時，カウント・クロックは内部クロック（TQnCTL1 レジスタの TQnEEE = 0）を選択してください。

★ **備考** 1.　タイマ動作中（TQnCE = 1）の TQnCCRm の書き換えについては 7. 5. 1（2）リロードを参照してください。

2.　n = 0, 1, m = 0-3, k = 1-3

図 7－10　外部トリガ・パルス出力モード時の基本動作フロー・チャート

★ **注** 1.　**タイマ動作中（**TQnCE = 1**）は** TQnCTL **レジスタの** TQnEST **ビットのみ書き換え可能です。**

2.　16 **ビット・カウンタと** CCRk **バッファ・レジスタとの一致では** 16 **ビット・カウンタはクリアされません。**

備考　n = 0, 1, m = 0-3, k = 1-3

図 7－11　外部トリガ・パルス出力モード時の基本動作タイミング

（TQnOE0 = 0, TQnOEk = 1, TQnOL0 = 0, TQnOLk = 0）

備考 1.　D_{01}, D_{02}　：TQnCCR0 レジスタの設定値（0000H-FFFFH）

D_{11}, D_{12}　：TQnCCR1 レジスタの設定値（0000H-FFFFH）

D_{21}　：TQnCCR2 レジスタの設定値（0000H-FFFFH）

D_{31}, D_{32}　：TQnCCR3 レジスタの設定値（0000H-FFFFH）

2.　TOQnk 出力のデューティ ＝（TQnCCRk レジスタの設定値）／（TQnCCR0 レジスタの設定値＋1）

TOQnk 出力の周期 ＝（TQnCCR0 レジスタの設定値＋1）×（カウント・クロック周期）

3.　n = 0, 1, k = 1-3

7. 5. 5　ワンショット・パルス・モード（TQnMD2-TQnMD0 = 011）

ワンショット・パルス・モードでは TQnCE = 1 にすると，16 ビット・カウンタは FFFFH を保持したまま TQnEST ビットのセット（1）もしくは TIQn0 端子エッジ検出のトリガ待ちとなります。トリガを入力すると 16 ビット・カウンタがカウント・アップを開始し，16 ビット・カウンタの値と TQnCCRk レジスタから転送された CCRk バッファ・レジスタの値が一致すると TOQnk がハイ・レベルとなり 16 ビット・カウンタの値と TQnCCR0 レジスタから転送された CCR0 バッファ・レジスタの値が一致すると TOQnk はロウ・レベルとなり 16 ビット・カウンタは 0000H にクリアされ停止します。16 ビット・カウンタ動作中に 2 回以上のトリガを入力しても無視されます。2 回目のトリガは必ず 16 ビット・カウンタが 0000H に停止しているタイミングに入力してください。ワンショット・パルス・モードでは TQnCE = 1 時，TQnCCRm レジスタの書き換えを許可しています。TQnCCRm レジスタに値を設定すると随時書き込みにより，CCRm バッファ・レジスタに転送され，16 ビット・カウンタ値との比較値となります。ワンショット・パルスの波形は TOQnk 端子から出力します。TOQnm 端子からは，タイマ・カウンタがカウントを行っている期間アクティブ・レベルを出力します。アクティブ・レベルは TQnOL0 ビットによって設定します。

注意 1. ワンショット・パルス・モード時，カウント・クロックは内部クロック（TQnCTL1 レジスタの TQnEEE = 0）を選択してください。

2. ワンショット・パルス・モード時，TQnCCRm レジスタはコンペア・レジスタとして機能が固定されるので，キャプチャ・レジスタとしての機能は使用できません。

3. ワンショット・パルス・モードにおいて TQnCCRk の設定値が TQnCCR0 の設定値より大きい場合，ワンショット・パルスは出力しません。

備考 1. タイマ動作中（TQnCE = 1）のときの TQnCCRm の書き換えについては 7. 5. 1（1）随時書き込みを参照してください。

2. n = 0, 1, m = 0-3, k = 1-3

図 7－12　ワンショット・パルス・モード時の基本動作フロー・チャート

★ **注** 1.　タイマ動作中（TQnCE = 1）は TQnCTL1 レジスタの TQnEST ビットのみ書き換え可能です。

2.　16 ビット・カウンタと CCRk バッファ・レジスタとの一致では 16 ビット・カウンタはクリアされません。

注意　16 ビット・カウンタがカウント・アップ動作中にトリガ入力がきても 16 ビット・カウンタはクリアされず，トリガ入力は無視されます

備考　n = 0, 1, m = 0-3, k = 1-3

図 7－13　ワンショット・パルス・モード時の基本動作タイミング

（TQnOE0 = 0, TQnOEk = 1, TQnOL0 = 0, TQnOLk = 0）

注　16 ビット・カウンタは TQnEST = 1 または外部トリガ入力（TIQn0 端子）のどちらかが入ると，カウント・アップを開始します。

備考 1.　D_{01}　：TQnCCR0 レジスタの設定値（0000H-FFFFH）

D_{11}　：TQnCCR1 レジスタの設定値（0000H-FFFFH）

D_{21}　：TQnCCR2 レジスタの設定値（0000H-FFFFH）

D_{31}, D_{32}　：TQnCCR3 レジスタの設定値（0000H-FFFFH）

2.　出力ディレイ時間 ＝ （TQnCCRk レジスタの設定値）×カウント・クロック周期

アクティブ・レベル幅 ＝ （TQnCCR0 レジスタの設定値－TQnCCRk レジスタの設定値+1）×カウント・クロック周期

3.　n = 0, 1, k = 1-3

7. 5. 6　PWMモード（TQnMD2-TQnMD0 = 100）

PWMモードではデューティ用の設定レジスタはTMQnキャプチャ／コンペア・レジスタk（TQnCCRk）とし周期用の設定レジスタはTMQnキャプチャ／コンペア・レジスタ0（TQnCCR0）となります。

この4つのレジスタを設定し，タイマを動作させることでデューティ可変型のPWMを出力します。

TQnCCRmレジスタはTQnCE = 1時の書き換えを許可しています。

★　タイマ Q を停止するには TQnCE = 0 にしてください。PWM の波形出力は TOQnk 端子から出力します。TOQn0 端子は 16 ビット・カウンタと TQnCCR0 レジスタとの一致で，PWM 周期を半周期とするパルスを出力します。

★　注意　PWM モード時，TQnCCRm レジスタはコンペア・レジスタとして機能が固定されるためキャプチャ・レジスタとしての機能は使用できません。

★　備考 1.　タイマ動作中（TQnCE = 1）の TQnCCRm の書き換えについては 7. 5. 1（2）リロードを参照してください。

2.　n = 0, 1, m = 0-3, k = 1-3

（1）PWMモード動作フロー

図 7－14　PWM モード時の基本動作フロー・チャート（1/2）

（a）タイマ動作中に TQnCCRm レジスタの値を書き換えなかった場合

★

備考　n = 0, 1, m = 0-3, k = 1-3

図 7－14　PWM モード時の基本動作フロー・チャート（2/2）

（b）タイマ動作中に TQnCCRm の値を書き換えた場合

注　順番は，①，③の書き換えタイミング，TQnCCRk の値などにより②のタイミングが異なる場合がありますが，①と③では必ず③を最後にしてください。

備考　n = 0, 1, m = 0-3, k = 1-3

(2) PWMモード動作タイミング

★ **(a) 動作中のパルス幅の変更**

動作中に PWM 波形を変更する場合には，最後に TQ0CCR1 レジスタにライトしてください。

TQ0CCR1 レジスタにライト後，再度 TQ0CCRk レジスタの書き換えを行う場合には，INTTQ0CC1 信号を検出後に書き換えてください。

図 7－15　PWM モード時の基本動作タイミング（1/2）

(a) TQnCCR1-TQnCCR3 の値を書き換える場合

(TQnOE0 = 0, TQnOEk = 1, TQnOL0 = 0, TQnOLk = 0)

備考 1. D_{01}　：TQnCCR0 レジスタの設定値（0000H-FFFFH）

D_{11}, D_{12}, D_{13}　：TQnCCR1 レジスタの設定値（0000H-FFFFH）

D_{21}, D_{22}　：TQnCCR2 レジスタの設定値（0000H-FFFFH）

D_{31}, D_{32}, D_{33}　：TQnCCR3 レジスタの設定値（0000H-FFFFH）

2. TOQnk 出力のデューティ ＝（TQnCCRk レジスタの設定値）／（TQnCCR0 レジスタの設定値＋1）

TOQnk 出力の周期 ＝（TQnCCR0 レジスタの設定値＋1）×（カウント・クロック周期）

TOQn0 出力のトグル幅 ＝（TQnCCR0 レジスタの設定値＋1）

3. n = 0, 1, k = 1-3

図 7－15　PWM モード時の基本動作タイミング（2/2）

（b）TQnCCR0-TQnCCR3 の値を書き換える場合

（TQnOE0 = 0, TQnOEk = 1, TQnOL0 = 0, TQnOLk = 0）

注　TQnCCR1 レジスタの書き込みがなかったためリロードしません。

備考 1.　D_{01}, D_{02}　：TQnCCR0 レジスタの設定値（0000H-FFFFH）

D_{11}, D_{12}　：TQnCCR1 レジスタの設定値（0000H-FFFFH）

D_{21}, D_{22}　：TQnCCR2 レジスタの設定値（0000H-FFFFH）

D_{31}, D_{32}, D_{33}　：TQnCCR3 レジスタの設定値（0000H-FFFFH）

2.　TOQnk 出力のデューティ ＝（TQnCCRk レジスタの設定値）／（TQnCCR0 レジスタの設定値＋1）

TOQnk 出力の周期 ＝（TQnCCR0 レジスタの設定値＋1）×（カウント・クロック周期）

TOQn0 出力のトグル幅 ＝（TQnCCR0 レジスタの設定値＋1）×（カウント・クロック周期）

3.　n = 0, 1, k = 1-3

★ (b) PWM波形の0 %／100 %出力

0 %波形を出力するためには，TQnCCRk レジスタに対して 0000H を設定します。ただし，TQnCCR0 レジスタの設定値が FFFFH の場合には，INTTQnCCk 信号が定期的に発生します。

備考　n = 0, 1, k = 1-3

100 %波形を出力するためには，TQnCCRk レジスタに対して（TQnCCR0 レジスタの設定値＋1）の値を設定してください。TQnCCR0 レジスタの設定値が FFFFH の場合には，100 %出力はできません。

備考　n = 0, 1, k = 1-3

7. 5. 7　フリー・ランニング・モード（TQnMD2-TQnMD0 = 101）

フリー・ランニング・モードは，16ビット・カウンタをフリー・ランニングさせTQnOPT0レジスタの
★ TQnCCS3-TQnCCS0ビットの設定によりコンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

フリー・ランニング・モード時のみ，TQnOPT0レジスタのTQnCCS3-TQnCCS0ビットの設定が有効となります。

★ **注意　フリー･ランニング･モード時はコンペア･レジスター致によるカウンタ･クリア動作は行いません。**

TQnCCSm	動　　作
0	TQnCCRm レジスタをコンペアとして使用
1	TQnCCRm レジスタをキャプチャとして使用

・TQnCCRm レジスタをコンペア・レジスタとして使用した場合

フリー・ランニング・モードで 16 ビット・カウンタと CCRm バッファ・レジスタの一致で割り込みが発生します。

★ TQnCCRm レジスタは TQnCE = 1 のときに書き換えを許可しており，TQnCCRm レジスタに値を設定すると随時書き込みにより CCRm バッファ・レジスタに転送され，16 ビット・カウンタ値との比較対象値となります。

タイマ出力（TOQnm）を許可した場合，TOQnm 出力は 16 ビット・カウンタと CCRm バッファ・レジスタの一致でトグル出力します。

・TQnCCRm レジスタをキャプチャ・レジスタとして使用した場合

TIQnm 端子のエッジ検出により 16 ビット・カウンタの値を TQnCCRm レジスタに格納します。

★ **注意**　TQnCTL1 レジスタの TQnEEE ビット ＝ 1 にし，カウント・クロックを外部イベント・カウント入力としたとき，TQnCCR0 レジスタはキャプチャ・レジスタとして使用できません。

★ **備考** 1.　タイマ動作中（TQnCE = 1）の TQnCCRm の書き換えについては 7. 5. 1（1）随時書き込みを参照してください。

2.　n = 0, 1, m = 0-3

図 7－16　フリー・ランニング・モード時の基本動作フロー・チャート

注　TQnCCR0 のエッジ検出：TQnIS1, TQnIS0 ビット
TQnCCR1 のエッジ検出：TQnIS3, TQnIS2 ビット
TQnCCR2 のエッジ検出：TQnIS5, TQnIS4 ビット
TQnCCR3 のエッジ検出：TQnIS7, TQnIS6 ビット

備考　n = 0, 1, m = 0-3

（1）TQnCCSm = 0に設定した場合（コンペア機能の説明）

TQnCE = 1にすると，16ビット・カウンタは0000HからFFFFHまでカウントしTQnCE = 0にするまでフリー・ランニングでカウント・アップを継続します。このモードでTQnCCRmレジスタに値を書き込むとCCRmバッファ・レジスタに転送されます（随時書き込み）。このモードにおいて，ワンショット・パルス・トリガが入力されてもワンショット・パルスは発生しません。またTQnOEm = 1にすると16ビット・カウンタの値とCCRmバッファ・レジスタの設定値の一致でTOQnmがトグル出力します。

（2）TQnCCSm = 1に設定した場合（キャプチャ機能の説明）

TQnCE = 1にすると，16ビット・カウンタは0000HからFFFFHまでカウントしTQnCE = 0にするまでフリー・ランニングでカウント・アップを継続します。その間キャプチャ・トリガによりキャプチャしキャプチャした値をTQnCCRmレジスタに書き込みます。

オーバフロー（FFFFH）近辺のキャプチャについてはオーバフロー・フラグ（TQnOVF）で判断します。ただしオーバフローが2回発生する（フリー・ランニングが2周期以上）とキャプチャ・トリガの間隔だとTQnOVFフラグでは判断できません。

備考　n = 0, 1, m = 0-3

図 7－17　フリー・ランニング・モード時の基本動作タイミング（1/4）

（a）TQnCCS3 = 0, TQnCCS2 = 0, TQnCCS1 = 0, TQnCCS0 = 0

（TQnOEm = 1, TQnOLm = 0）

備考 1.　D_{00}, D_{01}　：TQnCCR0 レジスタの設定値（0000H-FFFFH）

D_{10}, D_{11}　：TQnCCR1 レジスタの設定値（0000H-FFFFH）

D_{20}　：TQnCCR2 レジスタの設定値（0000H-FFFFH）

D_{30}, D_{31}　：TQnCCR3 レジスタの設定値（0000H-FFFFH）

2.　TOQnm 出力はカウント・スタート時にハイ・レベルに立ち上がります。

3.　n = 0, 1, m = 0-3

図 7－17　フリー・ランニング・モード時の基本動作タイミング（2/4）

（b）TQnCCS3 = 1, TQnCCS2 = 1, TQnCCS1 = 1, TQnCCS0 = 1

（TQnOEm = 0, TQnOLm = 0）

備考 1.　D_{00}, D_{01}, D_{02}：TQnCCR0 レジスタにキャプチャされた値（0000H-FFFFH）

D_{10}, D_{11}, D_{12}：TQnCCR1 レジスタにキャプチャされた値（0000H-FFFFH）

D_{20}, D_{21}, D_{22}：TQnCCR2 レジスタにキャプチャされた値（0000H-FFFFH）

D_{30}, D_{31}, D_{32}：TQnCCR3 レジスタにキャプチャされた値（0000H-FFFFH）

2.　TIQn0：立ち上がりエッジを検出（TQnIS1, TQnIS0 = 01）に設定

TIQn1：立ち下がりエッジを検出（TQnIS3, TQnIS2 = 10）に設定

TIQn2：立ち下がりエッジを検出（TQnIS5, TQnIS4 = 10）に設定

TIQn3：両エッジを検出（TQnIS7, TQnIS6 = 11）に設定

3.　n = 0, 1, m = 0-3

図 7－17　フリー・ランニング・モード時の基本動作タイミング（3/4）

（c）TQnCCS3 = 0, TQnCCS2 = 0, TQnCCS1 = 1, TQnCCS0 = 1

（TQnOEm = 0, TQnOLm = 0）

備考 1.　D_{00}, D_{01}, D_{02}, D_{03}　：TQnCCR0 レジスタにキャプチャされた値（0000H-FFFFH）

D_{10}, D_{11}, D_{12}, D_{13}　：TQnCCR1 レジスタにキャプチャされた値（0000H-FFFFH）

D_{20}, D_{21}　：TQnCCR2 レジスタの設定値（0000H-FFFFH）

D_{30}　：TQnCCR3 レジスタの設定値（0000H-FFFFH）

2.　TIQn0：立ち上がりエッジを検出（TQnIS1, TQnIS0 = 01）に設定

TIQn1：立ち下がりエッジを検出（TQnIS3, TQnIS2 = 10）に設定

3.　n = 0, 1, m = 0-3

図 7－17　フリー・ランニング・モード時の基本動作タイミング（4/4）

（d）TQnCCS3 = 0, TQnCCS2 = 1, TQnCCS1 = 0, TQnCCS0 = 1

（TQnOEm = 0, TQnOLm = 0）

備考 1.　D_{00}, D_{01}, D_{02}, D_{03}　：TQnCCR0 レジスタにキャプチャされた値（0000H-FFFFH）

D_{10}, D_{11}, D_{12}　：TQnCCR1 レジスタの設定値（0000H-FFFFH）

D_{20}, D_{21}　：TQnCCR2 レジスタにキャプチャされた値（0000H-FFFFH）

D_{30}, D_{31}　：TQnCCR3 レジスタの設定値（0000H-FFFFH）

2.　TIQn0：立ち下がりエッジを検出（TQnIS1, TQnIS0 = 10）に設定

TIQn2：立ち下がりエッジを検出（TQnIS5, TQnIS4 = 10）に設定

3.　n = 0, 1, m = 0-3

（3）オーバフロー・フラグについて

フリー・ランニング・モードにおいてカウンタが FFFFH から 0000H にオーバフローするとオーバフロー・フラグ（TQnOVF）が“1”にセットされ，オーバフロー割り込み（INTTQnOV）が発生します。

オーバフロー・フラグについては，“0”を書き込むことによりクリアされます。

7. 5. 8　パルス幅測定モード（TQnMD2-TQnMD0 = 110）

パルス幅測定モードではフリー・ランニング・カウントを行い，TIQnm の立ち上がり／立ち下がり両エッジ検出により 16 ビット・カウンタの値をキャプチャ・レジスタ 0（TQnCCRm）に格納し，16 ビット・カウンタを 0000H にクリアします。これにより外部入力パルス幅を測定できます。

ただし，16 ビット・カウンタのオーバフローを越えるような長いパルス幅を測定する場合は，オーバフロー・
★ フラグで判断してください。オーバフローが 2 回以上生じるパルスの測定はオーバフロー割り込みを使用するなどして回数をカウントしてください。

注意　パルス幅測定モード時，カウント・クロックは内部クロック（TQnCTL1 レジスタの TQnEEE = 0）を選択してください。

図 7－18　パルス幅測定モードの基本動作フロー・チャート

注　外部パルスの入力は，TIQn0-TIQn3 のどれでも選択可能ですが，どれか 1 つのみ使用可能です。またエッジ検出は“立ち上がり／立ち下がり両エッジ”を指定してください。また使用しない外部パルス入力のエッジは“エッジ検出なし”を指定してください。

備考　n = 0, 1, m = 0-3

図 7－19　パルス幅測定モードの基本動作タイミング

備考 1.　D_{00}, D_{01}, D_{02}, D_{03}　：TQnCCR0 レジスタにキャプチャされた値（0000H-FFFFH）

2.　TIQ00：立ち上がり／立ち下がり両エッジを検出に設定

3.　パルス幅=キャプチャされた値×カウント・クロック周期

16 ビット･カウンタが FFFFH までカウントしても有効エッジが入力されなかった場合，次のクロックでオーバフロー割り込み要求信号（INTTPnOV）を発生するとともに，0000H にクリアしカウント動作を継続します。

またこのときオーバフロー･フラグ（TPnOVF ビット）もセットされます。オーバフロー･フラグはリードし状態を確認したあとにソフトウエアで CLR 命令を実行しクリア（0）してください。

オーバフロー･フラグがセット（1）した場合，パルス幅は次のように求められます。

パルス幅=（10000H×TPnOVF ビットがセット（1）された回数＋キャプチャされた値）×カウント・クロック周期

4.　n = 0, 1

7. 5. 9　三角波PWMモード（TQnMD2-TQnMD0 = 111）

三角波 PWM モードではデューティ用の設定レジスタは TMQn キャプチャ／コンペア・レジスタ k（TQnCCRk）とし周期用の設定レジスタは TMQn キャプチャ／コンペア・レジスタ 0（TQnCCR0）となります。

この 4 つのレジスタを設定し，タイマを動作させることでデューティおよび周期可変型の三角波 PWM を出力します。

★　TQnCCRm レジスタは TQnCE = 1 時の書き換えを許可しています。

タイマ Q を停止するには TQnCE = 0 にしてください。PWM の波形出力は TOQnk 端子から出力します。TOQn0 端子は 16 ビット・カウンタと TQnCCR0 レジスタとの一致とアンダーフローのタイミングでトグル出力します。

★　**注意**　PWM モード時，TQnCCRm レジスタはコンペア・レジスタとして機能が固定されるためキャプチャ・レジスタとしての機能は使用できません。

★　**備考**1.　タイマ動作中（TQnCE = 1）の TQnCCRm の書き換えについては 7. 5. 1（2）リロードを参照してください。

2.　n = 0, 1, m = 0-3, k = 1-3

図 7－20　三角波 PWM モードの基本動作タイミング

（TQnOE0 = 1，TQnOE1 = 1，TQnOE2 = 1，TQnOE3 = 1，
TQnOL0 = 0，TQnOL1 = 0，TQnOL2 = 0，TQnOL3 = 0）

備考　n = 0, 1

7.6　タイマ同期動作機能

タイマ P およびタイマ Q には，タイマ同期動作機能（同調動作モード）があります。
同期させることのできるタイマを表 7－3 に示します。

表 7－3　タイマの同調動作モード

マスタ・タイマ	スレーブ・タイマ	
TMP0	TMP1	–
TMP2	TMP3	TMQ0

★　注意 1.　同調動作モードの許可／禁止は，TPmCTL1 レジスタの TPmSYE ビットおよび TQ0CTL1 レジスタの TQ0SYE ビットで設定します。TMP2 では TMP3 と TMQ0 のどちらか一方または両方をスレーブとして設定できます。

2.　同調動作モードの設定は，次の順で行ってください。

① スレーブ･タイマの TPmCTL1 レジスタの TPmSYE ビットおよび TQ0CTL1 レジスタの TQ0SYE ビットをセットし同調動作を許可します。
スレーブ・タイマの TPmCTL1 レジスタの TPmMD2-TPmMD0 ビットおよび TQ0CTL1 レジスタの TQ0MD2-TQ0MD0 ビットをフリー・ランニング・モードに設定します。

② マスタ・タイマの TPnCTL1 レジスタの TPnMD2-TPnMD0 ビットによりタイマ・モードを設定します。
このとき，マスタ・タイマの TPnCTL1 レジスタの TPnSYE ビットはセットしないでください。

③ マスタ・タイマおよびスレーブ・タイマのコンペア・レジスタの値を設定します。

④ スレーブ・タイマの TPmCTL0 レジスタの TPmCE ビットおよび TQ0CTL0 レジスタの TQ0CE ビットをセットし，内部動作クロック動作を許可します。

⑤ マスタ・タイマの TPnCTL0 レジスタの TPnCE ビットをセットし，内部動作クロック動作を許可します。

備考　m = 1, 3, n = 0, 2

同調動作モード時に使用できるタイマ・モードを表 7－4，7－5 に示します（○：設定可能，×：設定不可）。

表 7－4　同調動作モード時のタイマ・モード

フリー・ランニング・モード	PWM モード	三角波 PWM モード
○	○	×

表 7－5　タイマ出力機能一覧（1/2）

同調チャネル	タイマ	端　子	フリー・ランニング・モード		PWM モード		三角波 PWM モード	
			同調 OFF	同調 ON	同調 OFF	同調 ON	同調 OFF	同調 ON
Ch0	TMP0（マスタ）	TOP00	PPG	←	トグル	←	N/A	←
		TOP01	PPG	←	PWM	←	N/A	←
	TMP1（スレーブ）	TOP10	PPG	←	トグル	PWM	N/A	←
		TOP11	PPG	←	PWM	←	N/A	←

表 7－5　タイマ出力機能一覧（2/2）

同調チャネル	タイマ	端　子	フリー・ランニング・モード		PWM モード		三角波 PWM モード	
			同調 OFF	同調 ON	同調 OFF	同調 ON	同調 OFF	同調 ON
Ch1	TMP2（マスタ）	TOP20	PPG	←	トグル	←	N/A	←
		TOP21	PPG	←	PWM	←	N/A	←
	TMP3（スレーブ）	TOP30	PPG	←	トグル	PWM	N/A	←
		TOP31	PPG	←	PWM	←	N/A	←
	TMQ0（スレーブ）	TOQ00	PPG	←	トグル	PWM	トグル	N/A
		TOQ01-TOQ03	PPG	←	PWM	←	三角波 PWM	N/A

備考　マスタ・タイマのコンペア・レジスタからスレーブ・タイマのコンペア・レジスタへの送信タイミングは，次のとおりです。

PPG:　CPU 書き込みのタイミング

トグル, PWM,　三角波 PWM:　タイマ・カウンタとコンペア・レジスタが TOPn0 や TOQ00（n = 0-3）と一致したタイミング

図 7－21　同調動作イメージ（TMP2, TMP3, TMQn）

図 7－22　同調 PWM 機能の基本動作タイミング（TMP2, TMP3, TMQn）

7.7　使用上の注意

(1) キャプチャ動作

★ キャプチャ動作を使用し，かつカウント・クロックとして遅いクロックを選択した場合，TQnCEビットをセット（1）し，カウント・クロックが動作開始するまでに，キャプチャ・トリガが入力されると，TQnCCR0, TQnCCR1, TQnCCR2, TQnCCR3レジスタに0000Hではなく FFFFHがキャプチャされる場合があります。

★　(2) インターバル・タイマ・モード時のTQnCCR0レジスタの書き換えに関する注意事項

TQnCCR0レジスタの設定値を小さい値に変更する場合には，一度カウント動作を停止させ，その後，設定値を変更してください。

カウント動作中にTQnCCR0レジスタの値を小さい値に書き換えると，16ビット・カウンタがオーバフローする場合があるので注意してください。

備考　n = 0, 1

カウント値がD_2よりも大きくD_1よりも小さい状態において，TQnCCR0レジスタをD_1からD_2に書き換えると，書き換えたタイミングでCCR0バッファ・レジスタに転送されるため，16ビット・カウンタとのコンペア値がD_2となります。

しかし，カウント値はすでにD_2を越えているためにFFFFHまでカウントを行い，オーバフロー後，0000Hから再度カウント・アップを行います。そして，D_2との一致でINTTQnCC0信号を発生します。

したがって，本来期待している外部イベント・カウント数である「（D_1＋1）回」または「（D_2＋1）回」の有効エッジ数でINTTQnCC0信号は発生せずに，「（10000H＋D_2＋1）回」の有効エッジ数でINTTQnCC0信号が発生する場合があります。

第8章　16ビット・インターバル・タイマM

V850ES/FG2 は，16 ビット・インターバル・タイマ M（TMM0）を搭載しています。

8.1　特　　徴

タイマ M（TMM）はクリア＆スタート・モードのみサポートしています。フリー・ランニング・モードはサポートしていません。フリー・ランニング・モードと同等に使用したい場合は，コンペア・レジスタに FFFFH を設定し 16 ビット・カウンタをスタートさせることで一致割り込みをオーバフロー・タイミングとして機能を実現することが可能です。

- インターバル機能
- クロック選択×8
- シンプル・カウンタ×1
  （シンプル・カウンタとはカウンタ・リード・バッファ未使用タイプのカウンタでありタイマ・カウント動作中のカウンタ・リードはできません。）
- シンプル・コンペア×1
  （シンプル・コンペアとはコンペア・ライト・バッファ未使用タイプでありタイマ・カウント動作中のコンペア・レジスタへのライトはできません。）
- コンペア一致割り込み×１

8.2 構　　成

TMM は，次のハードウエアで構成されています。

表 8ー1　TMM の構成

項　　目	構　　成
タイマ・レジスタ	16 ビット・カウンタ
レジスタ	TMM コンペア・レジスタ 0（TM0CMP0）
制御レジスタ	TMM0 制御レジスタ（TM0CTL0）

図 8ー1　タイマ M のブロック図

（1）TMM0コンペア・レジスタ0（TM0CMP0）

TM0CMP0レジスタは16ビットのコンペア・レジスタです。

16ビット単位でリード／ライト可能です。

リセットにより初期値0000Hになります。

★　注意　タイマ動作中（TM0CE = 1）のTM0CMP0レジスタの書き換えは禁止です。ただし，同値書き込みは可能です。

リセット時：0000H　R/W　アドレス：TM0CMP0: FFFFF694H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TM0CMP0																

8. 3　制御レジスタ

（1）TMM0制御レジスタ0（TM0CTL0）

TM0CTL0 レジスタは TMM のタイマ動作を制御する 8 ビット・レジスタです。

8/1 ビット単位でリード／ライト可能です。

リセットにより 00H になります。

★ TM0CTL0 レジスタは動作中（TM0CE = 1）書き換え禁止です。

ただし，TM0CE ビットのみ常時書き換えができます。

（1/2）

リセット時：00H　R/W　アドレス：TM0CTL0: FFFFF690H

	7	6	5	4	3	2	1	0
TM0CTL0	TM0CE	0	0	0	0	TM0CKS2	TM0CKS1	TM0CKS0

TM0CE	タイマ M0 の動作の制御
0	内部動作クロック動作禁止（TMM0 を非同期にリセット）
1	内部動作クロック動作許可

TM0CE ビットにより,内部動作クロックの制御と TMM0 の非同期リセットを行います。TM0CE ビットを“0”にすると，TMM0 の内部動作クロックは停止（ロウ・レベル固定）し，TMM0 を非同期にリセットします。
TM0CE ビットを“1”にすると，TM0CE ビットを“1”にしたタイミングから入力クロックの 2 クロック以内に内部動作クロックが許可されカウントアップします。

TM0CKS2	TM0CKS1	TM0CKS0	内部カウント・クロックの選択
0	0	0	f_{XX}
0	0	1	$f_{XX}/2$
0	1	0	$f_{XX}/4$
0	1	1	$f_{XX}/64$
1	0	0	$f_{XX}/512$
1	0	1	INTWT
1	1	0	$f_R/8$
1	1	1	f_{XT}

★ 注意 1.　TM0CKS2-TM0CKS0 ビットは TM0CE = 0 のとき設定してください。
TM0CE ビットを 0 から 1 に設定するとき同時に TM0CKS2-TM0CKS0 ビットを設定することができます。

2.　ビット 3-6 は必ず 0 に設定してください。

★ 備考　f_{XX}　：メイン・システム・クロック周波数
f_R　：内蔵発振クロック周波数
f_{XT}　：サブクロック周波数

(2/2)

分解能，最大カウント数

内部カウント・クロック	分解能［μs］		最大カウント時間［ms］	
	f_{XX} = 16 MHz	f_{XX} = 20 MHz	f_{XX} = 16 MHz	f_{XX} = 20 MHz
f_{XX}	0.0625	0.050	4.10	3.28
$f_{XX}/2$	0.125	0.100	8.19	6.55
$f_{XX}/4$	0.250	0.200	16.38	13.11
$f_{XX}/64$	4.000	3.200	262.14	209.72
$f_{XX}/512$	32.000	25.600	2097.15	1677.72

内部カウント・クロック	分解能［μs］			最大カウント時間［ms］		
	f_R = 100 kHz (Min.)	f_R = 200 kHz (Typ.)	f_R = 400 kHz (Max.)	f_R = 100 kHz (Min.)	f_R = 200 kHz (Typ.)	f_R = 400 kHz (Max.)
$f_R/8$	80.0	40.0	20.0	5242.88	2621.44	1310.72

内部カウント・クロック	分解能［μs］	最大カウント時間［ms］
	f_{XT} = 32.768 kHz	f_{XT} = 32.768 kHz
f_{XT}	30.52	2000.00

8.4 動　　作

8.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは 16 ビット・カウンタと TMM0 コンペア・レジスタ 0（TM0CMP0）によりTM0CMP0 レジスタの値とカウンタ値が一致すると一致割り込み信号（INTTM0EQ0）を出力し，かつ同タイミングでカウンタを 0000H にクリアさせ再度カウントアップを開始します。

TM0CMP0 レジスタに FFFFH を設定すると，フリー・ランニング・モードと同様の動作を行います。

図 8－2　インターバル・タイマ・モードの動作タイミング

注意　インターバル期間は，M クロックを設定したい場合，TM0CMP0 レジスタに M－1 を設定してください。

8.4.2 注意事項

(1) クロック生成回路およびクロック・イネーブル・タイミング

TM0CEビット = 0から1に設定し，クロックの2クロック目がタイマ・カウント・アップ信号の最初のパルスとなるため，1クロック分少なくカウントしてしまいます。

図 8－3　カウント動作開始タイミング

★　（2）TMM0動作中のレジスタ書き換え

TM0CMP0, TM0CTL0レジスタはTMM0動作中の書き換えは禁止です。

TM0CEビット = 1のときに書き換えた場合，動作を保証できません。誤って書き換えた場合は，TM0CTL0.TM0CEビットをクリア（0）してから再設定してください。

第9章　時計タイマ機能

9.1　機　　能

時計タイマには，次のような機能があります。

・時計タイマ
・インターバル・タイマ

時計タイマとインターバル・タイマは，同時に使用できます。

図9－1　時計タイマのブロック図

注　プリスケーラ3の詳細は，図9－2　プリスケーラ3のブロック図を参照してください。

備考　f_{BRG}　：プリスケーラ3出力周波数
　　f_X　：メイン・クロック発振周波数
　　f_{XT}　：サブクロック周波数
　　f_W　：時計タイマ・クロック周波数
　　INTWT　：時計タイマ割り込み
　　INTWTI　：インターバル・タイマ割り込み

図9－2　プリスケーラ3のブロック図

備考　f_{BGCS}：プリスケーラ3カウント・クロック周波数

f_{BRG}：プリスケーラ3出力周波数

f_X　：発振周波数

(1) 時計タイマ

サブクロック（f_{XT} = 32.768 kHz）を使用して，0.5秒または0.25秒の時間間隔で割り込み要求（INTWT）を発生させます。

注意　時計タイマのカウント・クロックとして，メイン・クロックからの分周クロックを選択する場合，分周クロック周波数が32.768 kHzとなるよう，使用するメイン・クロック周波数にあわせてPRSM0レジスタおよびPRSCM0レジスタの設定をしてください。
32.768 kHzを生成できない場合は，ソフトウエアにて補正を行い，時計機能を実現してください。

(2) インターバル・タイマ

あらかじめ設定した時間間隔で，割り込み要求（INTWTI）を発生します。

表9－1　インターバル・タイマのインターバル時間

インターバル時間	f_W = 32.768 kHz動作時
$2^4 \times 1/f_W$	488 μs
$2^5 \times 1/f_W$	977 μs
$2^6 \times 1/f_W$	1.95 ms
$2^7 \times 1/f_W$	3.91 ms
$2^8 \times 1/f_W$	7.81 ms
$2^9 \times 1/f_W$	15.6 ms
$2^{10} \times 1/f_W$	31.2 ms
$2^{11} \times 1/f_W$	62.5 ms

備考　f_W：時計タイマ・クロック周波数

9.2 構　　成

時計タイマは，次のハードウエアで構成されています。

表9－2　時計タイマの構成

項　　目	構　　成
カウンタ	5ビット×1本
プリスケーラ	11ビット×1本
制御レジスタ	時計タイマ動作モード・レジスタ（WTM）

9.3　制御レジスタ

時計タイマを制御するレジスタには，時計タイマ動作モード・レジスタ（WTM）があります。時計タイマは，カウント・クロックやインターバル時間を設定したあとに動作させてください。

(1) 時計タイマ動作モード・レジスタ（WTM）

時計タイマのカウント・クロックおよび動作の許可／禁止，プリスケーラのインターバル時間，5ビット・カウンタの動作制御および時計フラグのセット時間を設定するレジスタです。

WTMレジスタは，8/1ビットでリード／ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H　R/W　アドレス：FFFFF680H

	7	6	5	4	3	2	1	0
WTM	WTM7	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0

WTM7	時計タイマのカウント・クロックの選択
0	f_{XT}
1	f_{BRG}

WTM6	WTM5	WTM4	プリスケーラのインターバル時間の選択
0	0	0	$2^4/f_W$
0	0	1	$2^5/f_W$
0	1	0	$2^6/f_W$
0	1	1	$2^7/f_W$
1	0	0	$2^8/f_W$
1	0	1	$2^9/f_W$
1	1	0	$2^{10}/f_W$
1	1	1	$2^{11}/f_W$

備考　f_{XT}：サブクロック周波数
f_{BRG}：プリスケーラ3出力周波数
f_W：時計タイマ・クロック周波数

(2/2)

WTM3	WTM2	時計タイマの割り込み時間の選択
0	0	$2^{14}/f_W$
0	1	$2^{13}/f_W$
1	0	$2^{5}/f_W$
1	1	$2^{4}/f_W$

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止（プリスケーラ，5ビット・カウンタともにクリア）
1	動作許可

注意　WTM2-WTM7ビットを書き換える場合は，WTM0, WTM1ビットがともに0の状態で行ってください。

備考　fw：時計タイマ・クロック周波数

9.4 動　　作

9.4.1 時計タイマとしての動作

時計タイマは，一定の時間間隔ごとに割り込み要求を発生します。

サブクロック（f_{XT} = 32.768 kHz）を使用すると，0.5秒または0.25秒の時間間隔の時計タイマとして動作します。

WTMレジスタのWTM1，WTM0ビットに“11”を設定するとカウント動作がスタートします。WTM0ビットに0を設定すると11ビット・プリスケーラと5ビット・カウンタがクリアされ，カウント動作が停止します。

時計タイマは，WTM1ビットをクリア（0）して5ビット・カウンタをクリアすることにより，時刻合わせができます。このとき最大で15.6 msの誤差が発生することがあります。

また，インターバル・タイマは，WTM0ビットをクリア（0）することによりクリアできます。ただし，5ビット・カウンタも同時にクリアされるため，時計タイマのオーバフロー（INTWT）には，最大で0.5秒の誤差が発生することがあります。

9.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし，繰り返し割り込みを発生するインターバル・タイマとして動作します。

WTMレジスタのWTM4-WTM7ビットにより，インターバル時間を選択できます。

★ 表9－3　インターバル・タイマのインターバル時間

WTM7	時計タイマのカウント・クロックの選択
0	f_{XT}
1	f_{BRG}

WTM6	WTM5	WTM4	インターバル時間
0	0	0	2^4×1/fw
0	0	1	2^5×1/fw
0	1	0	2^6×1/fw
0	1	1	2^7×1/fw
1	0	0	2^8×1/fw
1	0	1	2^9×1/fw
1	1	0	2^{10}×1/fw
1	1	1	2^{11}×1/fw

備考　f_W　：時計タイマ・クロック周波数

f_{XT}　：サブクロック周波数

f_{BRG}　：プリスケーラ3出力周波数

図9－3　時計タイマ／インターバル・タイマの動作タイミング

備考　fw：時計タイマ・クロック周波数

（　）内は，カウント・クロックfw = 32.768 kHz動作時

n：インターバル・タイマ動作の回数

9. 4. 3　注意事項

動作許可（WTMレジスタのWTM1, WTM0ビット = 1）してから，最初の1回目の時計タイマ割り込み要求信号（INTWT）が発生するまで次に示す時間がかかります。

図9－4　時計タイマ割り込み要求信号（INTWT）の発生例（割り込み周期 = 0.5 sの場合）

1回目のINTWT信号が発生するまでに，0.515625 sかかります（2^9×1/32768 = 0.015625 s長くかかります）。そのあとは0.5 sごとにINTWT信号が発生します。

9.5　プリスケーラ3

プリスケーラ3には次のような機能があります。

・時計タイマのカウント・クロックの生成（ソース・クロック：メイン発振クロック）

9.5.1　制御レジスタ

(1) プリスケーラ・モード・レジスタ0（PRSM0）

PRSM0レジスタは，時計タイマのカウント・クロックの生成を制御します。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF8B0H

	7	6	5	4	3	2	1	0
PRSM0	0	0	0	BGCE0	0	0	BGCS01	BGCS00

BGCE0	プリスケーラ出力
0	禁止
1	許可

BGCS01	BGCS00	プリスケーラ3の入力クロックの選択（f_{BGCS}）		
			f_X = 4 MHzの時	f_X = 5 MHzの時
0	0	f_X	250 ns	200 ns
0	1	f_X/2	500 ns	400 ns
1	0	f_X/4	1 μs	800 ns
1	1	f_X/8	2 μs	1.6 μs

注意1.　時計タイマ動作中に，BGCS01, BGCS00ビットの値を変更しないでください。

2.　PRSM0レジスタの設定はBGCE0ビットに“1”を設定する前に行ってください。

3.　f_{BRG}の周波数が32.768 kHzとなるよう，使用するメイン・クロック周波数にあわせて，PRSM0, PRSCM0レジスタの設定を行ってください。

(2) プリスケーラ・コンペア・レジスタ 0（PRSCM0）

8ビットのコンペア・レジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM0	PRSCM07	PRSCM06	PRSCM05	PRSCM04	PRSCM03	PRSCM02	PRSCM01	PRSCM00

注意 1. 時計タイマ動作中にPRSCM0レジスタを書き換えないでください。

2. PRSM0レジスタのBGCE0ビットに“1”を設定する前にPRSCM0レジスタの設定を行ってください。

3. f_{BRG}の周波数が32.768 kHzとなるよう，使用するメイン・クロック周波数にあわせて，PRSM0, PRSCM0レジスタの設定を行ってください。

9. 5. 2　時計タイマのカウント・クロックの生成

時計タイマに入力するクロック（f_{BRG}）を32.768 kHz相当に補正することが可能です。

また，メイン・クロック（f_X），プリスケーラ3カウント・クロック選択ビットBGCSn設定値（m），PRSCM0レジスタ設定値（N）と出力クロック（f_{BRG}）との関係は次のとおりです。

$$f_{BRG} = \frac{f_X}{2^m \times N \times 2}$$

例：f_X = 4.00 MHz，m = 0（BGCS01ビット = BGCS00ビット = 0），N = 3DHの場合

f_{BRG} = 32.787 kHz

備考　f_{BRG}：時計タイマのカウント・クロック

N　：PRSCM0レジスタ設定値（1-FFH）

PRSCM0レジスタ設定値“00H”の場合は，N = 256

m　：BGCSnビット設定値（0-3）

n = 00, 01

第10章　ウォッチドッグ・タイマ2機能

10. 1　機　　能

ウォッチドッグ・タイマ2には，次のような機能があります。

・ディフォールト・スタート・ウォッチドッグ・タイマ[注1]
　→リセット・モード：ウォッチドッグ・タイマ2のオーバフローによるリセット動作（WDT2RES信号を発生）
　→ノンマスカブル割り込み要求モード：ウォッチドッグ・タイマ2のオーバフローによるNMI動作（INTWDT2信号を発生）[注2]
・ソース・クロックとしてメイン・クロック，内蔵発振器からの入力を選択可能

注1. ウォッチドッグ・タイマ2は，リセット解除後に自動的にリセット・モードでスタートします。ウォッチドッグ・タイマ2を使用しない場合は，この機能によるリセットが発生する前に停止するか，一度ウォッチドッグ・タイマ2をクリアし，次のインターバル時間内で停止してください。
また，ディフォールトの設定（リセット・モード，インターバル時間：$f_R/2^{19}$）で変更する必要がない場合も，動作を確定するために，1回だけWDTM2レジスタへの書き込みを行ってください。
2. ノンマスカブル割り込み要求信号（INTWDT2）によるノンマスカブル割り込み処理後に，RETI命令による復帰はできません。割り込み処理後，システム・リセットを行ってください。

★　注意　意図的にオーバフロー信号を発生させたい場合には，WDTM2レジスタに2回だけ書き込むか，WDTEレジスタに“ACH以外”の値を1回だけ書き込んでください。

図10－1　ウォッチドッグ・タイマ2のブロック図

備考　f_X　：発振周波数

f_R　：内蔵発振クロック周波数

INTWDT2　：ウォッチドッグ・タイマ2によるノンマスカブル割り込み要求信号

WDT2RES：ウォッチドッグ・タイマ2リセット信号

10.2　構　　成

ウォッチドッグ・タイマ2は，次のハードウエアで構成されています。

表10－1　ウォッチドッグ・タイマ2の構成

項　　目	構　　成
制御レジスタ	発振安定時間選択レジスタ（OSTS） ウォッチドッグ・タイマ・モード・レジスタ2（WDTM2） ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

10.3　制御レジスタ

（1）発振安定時間選択レジスタ（OSTS）

リセット時またはSTOPモードを解除してから発振が安定するまでの発振安定時間を選択するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより06Hになります。

リセット時：06H　　R/W　　アドレス：FFFFF6C0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間／セットアップ時間の選択注
0	0	0	$2^{10}/f_x$
0	0	1	$2^{11}/f_x$
0	1	0	$2^{12}/f_x$
0	1	1	$2^{13}/f_x$
1	0	0	$2^{14}/f_x$
1	0	1	$2^{15}/f_x$
1	1	0	$2^{16}/f_x$
1	1	1	設定禁止

注　発振安定時間はソフトウエアSTOPモードの解除時に，セットアップ時間はIDLEモード解除時に必要になります。

(2) ウォッチドッグ・タイマ・モード・レジスタ2（WDTM2）

ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

★ WDTM2は8ビット単位でリード／ライト可能です。ただし，リードは何回でもできますが，ライトはリセット解除後に1回のみできます。

リセットにより67Hになります。

リセット時：67H　R/W　アドレス：FFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	WDCS24	WDCS23	WDCS22	WDCS21	WDCS20

WDM21	WDM20	ウォッチドッグ・タイマ2の動作モードの選択
0	0	動作停止
0	1	ノンマスカブル割り込み要求モード（INTWDT2信号を発生）
1	－	リセット・モード（WDT2RES信号を発生）

注意 1. WDCS24-WDCS20ビットについては表10－2　ウォッチドッグ・タイマ2のクロック選択を参照してください。

2. ウォッチドッグ・タイマ動作中にWDTM2レジスタに2回書き込んだ場合，強制的にオーバフロー信号を発生します。しかし，ウォッチドッグ・タイマを停止させたあとにWDTM2レジスタに2回書き込んでも，オーバフロー信号は発生しません。

3. ウォッチドッグ・タイマ2の動作を停止する場合は，RCMレジスタのRSTOPビット = 1に設定（内蔵発振器の停止）するとともに，WDTM2レジスタに1FHを設定してください。

表10－2　ウォッチドッグ・タイマ2のクロック選択

WDCS24	WDCS23	WDCS22	WDCS21	WDCS20	選択クロック	100 kHz（MIN.）	200 kHz（TYP.）	400 kHz（MAX.）
0	0	0	0	0	$2^{12}/f_R$	41.0 ms	20.5 ms	10.2 ms
0	0	0	0	1	$2^{13}/f_R$	81.9 ms	41.0 ms	20.5 ms
0	0	0	1	0	$2^{14}/f_R$	163.8 ms	81.9 ms	41.0 ms
0	0	0	1	1	$2^{15}/f_R$	327.7 ms	163.8 ms	81.9 ms
0	0	1	0	0	$2^{16}/f_R$	655.4 ms	327.7 ms	163.8 ms
0	0	1	0	1	$2^{17}/f_R$	1310.7 ms	655.4 ms	327.7 ms
0	0	1	1	0	$2^{18}/f_R$	2621.4 ms	1310.7 ms	655.4 ms
0	0	1	1	1	$2^{19}/f_R$（default）	5242.9 ms	2621.47 ms	1310.7 ms
						f_X = 4 MHz時		f_X = 5 MHz時
0	1	0	0	0	$2^{16}/f_X$	16.4 ms		13.1 ms
0	1	0	0	1	$2^{17}f_X$	32.8 ms		26.2 ms
0	1	0	1	0	$2^{18}/f_X$	65.5 ms		52.4 ms
0	1	0	1	1	$2^{19}/f_X$	131.1 ms		104.9 ms
0	1	1	0	0	$2^{20}/f_X$	262.1 ms		209.7 ms
0	1	1	0	1	$2^{21}/f_X$	524.3 ms		419.4 ms
0	1	1	1	0	$2^{22}/f_X$	1048.6 ms		838.9 ms
0	1	1	1	1	$2^{23}/f_X$	2097.2 ms		1677.7 ms
★ 1	1	1	1	1	Stop			

(3) ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTEレジスタに“ACH”を書き込むことにより，ウォッチドッグ・タイマ2のカウンタをクリアし，再びカウントを開始します。

8ビット単位でリード／ライト可能です。

リセットにより9AHになります。

リセット時：9AH　R/W　アドレス：FFFFF6D1H

	7	6	5	4	3	2	1	0
WDTE								

注意 1. WDTEレジスタに“ACH”以外の値を書き込んだ場合，強制的にオーバフロー信号を発生します。

2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合，強制的にオーバフロー信号を発生します（アセンブラでエラーが出ます）。

3. WDTEレジスタのリード値は，“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

10.4 動　　作

ウォッチドッグ・タイマ2は，リセット解除後に自動的にリセット・モードでスタートします。

WDTM2レジスタへの書き込みは，バイト・アクセスのみリセット後に一度だけ可能です。ウォッチドッグ・タイマ2を使用する場合は，動作モードとインターバル時間を8ビット・メモリ操作でWDTM2レジスタに書き込んでください。この操作後，動作停止することはできません。

WDTM2レジスタのWDCS24-WDCS20ビットで，ウォッチドッグ・タイマ2の暴走検出時間間隔を選択できます。WDTEレジスタにACHを書き込むことにより，ウォッチドッグ・タイマ2のカウンタをクリアし，再度カウント動作を開始します。カウント動作を開始したあと，設定した暴走検出時間間隔内にWDTEレジスタにACHを書き込んでください。

WDTEレジスタにACHが書き込まれず，暴走検出時間を越えてしまった場合は，WDTM2レジスタのWDM21, WDM20ビットの設定値により，リセット信号（WDT2RES）またはノンマスカブル割り込み要求信号（INTWDT2）が発生します。

ウォッチドッグ・タイマ2を使用しない場合は，WDTM2レジスタに1FHを書き込んでください。

また，ノンマスカブル割り込み要求モードに設定した場合，ノンマスカブル割り込み処理後にRETI命令による復帰はできません。割り込み処理後にシステム・リセットを行ってください。

注意　WDTM2, WDM21ビット = 1（リセット・モード）に設定している場合，リセットやスタンバイ解除後の発振安定時間中にWDTオーバフローが発生すると，内部リセットは発生せずにCPUクロックが内蔵発振器に切り替わります。

第11章　A/Dコンバータ

11.1　機　　能

A/Dコンバータは，アナログ入力をディジタル値に変換するコンバータで，10ビット分解能，16チャネル：ANI0-ANI15端子の構成になっています。

次にA/Dコンバータの特徴について示します。

○10ビット分解能

○16チャネル

○逐次比較変換方式

○動作電圧：AV_{REF0} = 4.0〜5.5 V

○アナログ入力電圧：0 V〜AV_{REF0}

○動作モードとして，次の機能があります。

・連続セレクト・モード

・連続スキャン・モード

・ワンショット・スキャン・モード

○トリガ・モードとして，次の機能があります。

・ソフトウエア・トリガ・モード

・外部トリガ・モード（外部１本）

・タイマ・トリガ・モード

○パワー・フェイル監視機能（変換結果比較機能）

次にブロック図を示します。

★ **図11ー1　A/Dコンバータのブロック図**

11.2 構　　成

A/Dコンバータは，次のハードウエアで構成しています。

表11－1　A/Dコンバータの構成

項　　目	構　　成
アナログ入力	16チャネル（ANI0-ANI15端子）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタ0-15（ADA0CR0-ADA0CR15） A/D変換結果レジスタ0H-15H（ADCR0H-ADCR15H）：上位8ビットだけ読み出し可能 パワー・フェイル比較モード・レジスタ（ADA0PFM）
制御レジスタ	A/Dコンバータ・モード・レジスタ0-2（ADA0M0-ADA0M2） A/Dコンバータ・チャネル指定レジスタ0（ADA0S） パワー・フェイル比較しきい値レジスタ（ADA0PFT） パワー・フェイル比較モード・レジスタ（ADAPFM）

(1) 逐次変換レジスタ（SAR）

★　アナログ入力の電圧値とD/Aコンバータの出力電圧の値を比較し，その結果を最上位最下位ビット（LSB）まで保持すると（A/D変換終了），SARレジスタの内容はADA0CRnレジスタに転送されます。

ビット（MSB）から保持するレジスタです。

備考　n = 0-15

(2) A/D変換結果レジスタn（ADA0CRn），A/D変換結果レジスタnH（ADA0CRnH）

ADA0CRnレジスタはA/D変換の結果を格納する16ビットのレジスタです。16本のレジスタで構成されており，A/D変換結果はアナログ入力に対応したADA0CRnレジスタの上位10ビットに格納します（下位6ビットは0に固定）。

注意　ADA0M0, ADA0Sレジスタに対して書き込み動作を行ったとき，ADA0CRnレジスタの内容は不定になることがあります。変換結果は，変換動作終了後，ADA0M0, ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

備考　n = 0-15

(3) パワー・フェイル比較しきい値レジスタ（ADA0PFT）

A/D変換結果レジスタnH（ADA0CRnH）と大小比較する場合のしきい値を設定するレジスタです。

ADA0PFTレジスタに設定した8ビット・データとA/D変換結果レジスタの上位8ビット（ADA0CRnH）が比較されます。

(4) サンプル＆ホールド回路

サンプル＆ホールド回路は，入力回路で選択されたアナログ入力信号をサンプリングし，電圧コンパレータに送ります。また，そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(5) 電圧コンパレータ

電圧コンパレータは，サンプリングされ保持された電圧値とD/Aコンバータの出力電圧を比較します。

(6) D/Aコンバータ

D/AコンバータはAV_{REF0}-AV_{SS}間に接続されており，アナログ入力と比較する電圧を発生します。

(7) ANI0-ANI15端子

A/Dコンバータへの16チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ADA0Sレジスタでアナログ入力として選択した端子以外は，入力ポートとして使用できます。

注意1. ANI0-ANI15端子入力電圧は規格の範囲内で使用してください。特にAV_{REF0}以上の電圧が入力されると，そのチャネルの変換値が不定となり，またほかのチャネルの変換値にも影響を与えることがあります。

2. アナログ入力（ANI0-ANI15）端子は入力ポート（P70-P715）端子と兼用になっています。ANI0-ANI15のいずれかを選択してA/D変換する場合，変換中にポート7に対する入力命令は実行しないでください。変換分解能が低下することがあります。

(8) AV_{REF0}端子

A/Dコンバータの基準電圧を入力する端子です。AV_{REF0}，AV_{SS}間にかかる電圧に基づいて，ANI0-ANI15端子に入力される信号をディジタル信号に変換します。

(9) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも，常にV_{SS}端子と同電位で使用してください。

11.3　制御レジスタ

A/Dコンバータは，次に示すレジスタで制御します。

- A/Dコンバータ・モード・レジスタ0, 1, 2（ADA0M0, ADA0M1, ADA0M2）
- A/Dコンバータ・チャネル指定レジスタ0（ADA0S）
- パワー・フェイル比較モード・レジスタ（ADA0PFM）

また，次のレジスタも使用します。

- A/D変換結果レジスタn（ADA0CRn）
- A/D変換結果レジスタnH（ADA0CRnH）
- パワー・フェイル比較しきい値レジスタ（ADA0PFT）

備考　n = 0-15

（1）A/Dコンバータ・モード・レジスタ0（ADA0M0）

動作モードの指定および変換動作の制御を行う8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。ただし，ビット0はリードのみ可能です。

リセットにより，00Hになります。

リセット時：00H　R/W　アドレス：FFFFF200H

	7	6	5	4	3	2	1	0
ADA0M0	ADA0CE	0	ADA0MD1	ADA0MD0	ADA0ETS1	ADA0ETS0	ADA0TMD	ADA0EF

ADA0CE	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADA0MD1	ADA0MD0	A/Dコンバータ動作モードを指定
0	0	連続セレクト・モード
0	1	連続スキャン・モード
1	1	ワンショット・スキャン・モード
上記以外		設定禁止

ADA0ETS1	ADA0ETS0	外部トリガ（ADTRG端子）入力の有効エッジを指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち上がり／立ち下がり両エッジ検出

ADA0TMD	トリガ・モードを指定
0	ソフトウエア・トリガ・モード
1	外部トリガ・モード／タイマ・トリガ・モード

ADA0EF	A/Dコンバータの状態（ステータス）
0	A/D変換停止中
1	A/D変換動作中

注意 1. ビット0に書き込みを行った場合，書き込みは無視されます。

2. 変換動作中（ADA0CEビット = 1）は，ADA0M1レジスタのADA0FR3-ADA0FR0ビットの変更は禁止です。

3. A/Dコンバータを使用しない場合は，消費電流を小さくするために，ADA0CEビット = 0として動作を停止してください。

★ 4. A/D変換開始直後の最初の入力端子の変換分解能が低下する可能性があります。詳細は11. 5（7）AV_{REF0}端子についてを参照してください。

★ 5. サブクロック動作時，かつメイン・クロック停止時のADA0M0レジスタへのアクセスは禁止です。詳細は3. 4. 10（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

(2) A/Dコンバータ・モード・レジスタ1（ADA0M1）

変換時間の指定と制御を行う8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

リセット時：00H　R/W　アドレス：FFFFF201H

	7	6	5	4	3	2	1	0
ADA0M1	ADA0HS1	ADA0HS0	0	0	ADA0FR3	ADA0FR2	ADA0FR1	ADA0FR0

注意　ビット5, 4には必ず“0”を設定してください。

備考　A/D変換時間の設定例は表11－2を参照してください。

表11－2　変換モード時の設定例

ADA0HS		ADA0FR3-ADA0FR0				A/D変換時間	f_{XX} = 20 MHz	f_{XX} = 16 MHz	f_{XX} = 4 MHz	A/D安定時間[注]
1	0	3	2	1	0					
1	x	0	0	0	0	31/f_{XX}	設定禁止	設定禁止	7.75 μs	16/f_{XX}
		0	0	0	1	62/f_{XX}	3.10 μs	3.88 μs	15.50 μs	31/f_{XX}
		0	0	1	0	93/f_{XX}	4.65 μs	5.81 μs	設定禁止	47/f_{XX}
		0	0	1	1	124/f_{XX}	6.20 μs	7.75 μs	設定禁止	50/f_{XX}
		0	1	0	0	155/f_{XX}	7.75 μs	9.69 μs	設定禁止	50/f_{XX}
		0	1	0	1	186/f_{XX}	9.30 μs	11.63 μs	設定禁止	50/f_{XX}
		0	1	1	0	217/f_{XX}	10.85 μs	13.56 μs	設定禁止	50/f_{XX}
		0	1	1	1	248/f_{XX}	12.40 μs	15.50 μs	設定禁止	50/f_{XX}
		1	0	0	0	279/f_{XX}	13.95 μs	設定禁止	設定禁止	50/f_{XX}
		1	0	0	1	310/f_{XX}	15.50 μs	設定禁止	設定禁止	50/f_{XX}
		1	0	1	0	341/f_{XX}	設定禁止	設定禁止	設定禁止	50/f_{XX}
		1	0	1	1	372/f_{XX}	設定禁止	設定禁止	設定禁止	50/f_{XX}
		1	1	0	0	403/f_{XX}	設定禁止	設定禁止	設定禁止	50/f_{XX}
		1	1	0	1	434/f_{XX}	設定禁止	設定禁止	設定禁止	50/f_{XX}
		1	1	1	0	465/f_{XX}	設定禁止	設定禁止	設定禁止	50/f_{XX}
		1	1	1	1	496/f_{XX}	設定禁止	設定禁止	設定禁止	50/f_{XX}

注　A/Dコンバータ安定時間確保のため，ADA0M0レジスタのADA0CEビット：0→1とすると，1回目の変換は上記クロック数を入れたあとに開始されます。

(3) A/Dコンバータ・モード・レジスタ2（ADA0M2）

ハードウエア・トリガのモードを指定します。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

リセット時：00H　R/W　アドレス：FFFFF203H

	7	6	5	4	3	2	1	0
ADA0M2	0	0	0	0	0	0	ADA0TMD1	ADA0TMD0

ADA0TMD1	ADA0TMD0	ハードウエア・トリガ・モードの指定
0	0	外部トリガ・モード（ADTRG端子の有効エッジ検出時）
0	1	タイマ・トリガ・モード0（INTTP2CC0割り込み要求発生時）
1	0	タイマ・トリガ・モード1（INTTP2CC1割り込み要求発生時）
1	1	設定禁止

注意　ビット7-2には必ず“0”を設定してください。

（4）A/Dコンバータ・チャネル指定レジスタ0（ADA0S）

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

リセット時：00H　R/W　アドレス：FFFFF202H

	7	6	5	4	3	2	1	0
ADA0S	0	0	0	0	ADA0S3	ADA0S2	ADA0S1	ADA0S0

ADA0S3	ADA0S2	ADA0S1	ADA0S0	セレクト・モード	スキャン・モード
0	0	0	0	ANI0	ANI0
0	0	0	1	ANI1	ANI0, ANI1
0	0	1	0	ANI2	ANI0-ANI2
0	0	1	1	ANI3	ANI0-ANI3
0	1	0	0	ANI4	ANI0-ANI4
0	1	0	1	ANI5	ANI0-ANI5
0	1	1	0	ANI6	ANI0-ANI6
0	1	1	1	ANI7	ANI0-ANI7
1	0	0	0	ANI8	ANI0-ANI8
1	0	0	1	ANI9	ANI0-ANI9
1	0	1	0	ANI10	ANI0-ANI10
1	0	1	1	ANI11	ANI0-ANI11
1	1	0	0	ANI12	ANI0-ANI12
1	1	0	1	ANI13	ANI0-ANI13
1	1	1	0	ANI14	ANI0-ANI14
1	1	1	1	ANI15	ANI0-ANI15
上記以外				設定禁止	

注意　ビット7-4には必ず“0”を設定してください。

★　(5) A/D変換結果レジスタn, nH（ADA0CRn, ADA0CRnH）

ADA0CRnレジスタはA/D変換の結果を格納する16ビットのレジスタです。A/D変換結果はアナログ入力に対応したADA0CRnレジスタの上位10ビットに格納します（下位6ビットは0に固定）。

ADA0CRnレジスタは，16ビット単位でリードのみ可能です。また，A／D変換結果の上位8ビットだけ使用する場合，ADA0CRnHレジスタは8ビット単位でリードのみ可能です。

注意1.　ADA0M0, ADA0Sレジスタに対して書き込み動作を行ったとき，ADA0CRnレジスタの内容は不定になることがあります。変換結果は，変換動作終了後，ADA0M0, ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

2.　サブクロック動作時，かつメイン・クロック停止時のADA0CRn, ADA0CRnHレジスタへのアクセスは禁止です。詳細は3. 4. 10（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

リセット時：0000H　　R　　アドレス：ADA0CR0 FFFFF210H, ADA0CR1 FFFFF212H，
ADA0CR2 FFFFF214H, ADA0CR3 FFFFF216H
ADA0CR4 FFFFF218H, ADA0CR5 FFFFF21AH
ADA0CR6 FFFFF21CH, ADA0CR7 FFFFF21EH
ADA0CR8 FFFFF220H, ADA0CR9 FFFFF222H
ADA0CR10 FFFFF224H, ADA0CR11 FFFFF226H
ADA0CR12 FFFFF228H, ADA0CR13 FFFFF22AH
ADA0CR14 FFFFF22CH, ADA0CR15 FFFFF22EH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADA0CRn	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

リセット時：00H　　R　　アドレス：ADA0CR0H FFFFF211H, ADA0CR1H FFFFF213H，
ADA0CR2H FFFFF215H, ADA0CR3H FFFFF217H
ADA0CR4H FFFFF219H, ADA0CR5H FFFFF21BH
ADA0CR6H FFFFF21DH, ADA0CR7H FFFFF21FH
ADA0CR8H FFFFF221H, ADA0CR9H FFFFF223H
ADA0CR10H FFFFF225H, ADA0CR11H FFFFF227H
ADA0CR12H FFFFF229H, ADA0CR13H FFFFF22BH
ADA0CR14H FFFFF22DH, ADA0CR15H FFFFF22FH

	7	6	5	4	3	2	1	0
ADA0CRnH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

備考　n = 0-15

アナログ入力端子（ANI0-ANI15）に入力されたアナログ入力電圧とA/D変換結果（A/D変換結果レジスタn（ADA0CRn））には次式に示す関係があります。

$$ADA0CR = INT\left(\frac{V_{IN}}{AV_{REF0}} \times 1024 + 0.5\right)$$

または，

$$(ADA0CR - 0.5) \times \frac{AV_{REF0}}{1024} \leqq V_{IN} < (ADA0CR + 0.5) \times \frac{AV_{REF0}}{1024}$$

INT（　）：（　）内の値の整数部を返す関数
V_{IN}　：アナログ入力電圧
AV_{REF0}　：AV_{REF0}端子電圧
ADA0CR　：A/D変換結果レジスタn（ADA0CRn）の値

図11－2にアナログ入力電圧とA/D変換結果の関係を示します。

図11－2　アナログ入力電圧とA/D変換結果の関係

備考　n = 0-15

(6) パワー・フェイル比較モード・レジスタ（ADA0PFM）

ADA0PFMレジスタは，パワー・フェイル比較モードの設定を行う8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

リセット時：00H　R/W　アドレス：FFFFF204H

	7	6	5	4	3	2	1	0
ADA0PFM	ADA0PFE	ADA0PFC	0	0	0	0	0	0

ADA0PFE	パワー・フェイル比較許可／禁止の選択
0	パワー・フェイル比較禁止
1	パワー・フェイル比較許可

ADA0PFC	パワー・フェイル比較モードの選択
0	ADA0CRn≧ADA0PFTで割り込み要求信号（INTAD）を発生
1	ADA0CRn＜ADA0PFTで割り込み要求信号（INTAD）を発生

注意1. セレクト・モードではADA0PFTレジスタに設定した8ビット・データとADA0Sレジスタで指定したADA0CRnHレジスタの値を比較し，結果がADA0PFCビットで設定された条件に一致した場合はADA0CRnレジスタに変換結果を格納しINTAD信号が発生しますが，一致しない場合は割り込みを発生しません。

2. スキャン・モードではADA0PFTレジスタに設定した8ビット・データとADA0CR0Hレジスタを比較し，結果がADA0PFCビットで設定された条件に一致した場合はADA0CR0レジスタに変換結果を格納しINTAD信号を発生させますが，一致しない場合はINTAD信号を発生させません。また比較結果にかかわらず，比較後はスキャン動作を継続しスキャン終了までADA0CRnレジスタに変換結果は格納しますが，スキャン終了後のINTAD信号は発生しません。

(7) パワー・フェイル比較しきい値レジスタ（ADA0PFT）

★ A/D変換結果レジスタnH（ADA0CRnH）と大小比較する場合のしきい値を設定するレジスタです。

ADA0PFTレジスタに設定した8ビット・データとA/D変換結果レジスタの上位8ビット（ADA0CRnH）が比較されます。

ADA0PFTレジスタは8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF205H

	7	6	5	4	3	2	1	0
ADA0PFT								

11.4 動　　作

11.4.1 基本動作

① A/D変換する動作モード，トリガ・モード，変換時間などをADA0M0, ADA0M1, ADA0M2, ADA0Sレジスタで設定します。ADA0M0レジスタのADA0CEビットをセットすると，ソフトウエア・トリガ・モード時は変換を開始し，外部／タイマ・トリガ・モード時はトリガ待機状態になります。

② A/D変換が開始されると選択されたアナログ入力チャネルに入力されている電圧を，サンプル＆ホールド回路でサンプリングします。

③ 一定時間サンプリングを行うとサンプル＆ホールド回路はホールド状態となり，入力されたアナログ電圧をA/D変換が終了するまで保持します。

④ 逐次変換レジスタ（SAR）のビット9をセットし，D/Aコンバータの電圧を（1/2）AV_{REF0}にします。

⑤ D/Aコンバータの電圧とアナログ入力との電圧差を電圧コンパレータで比較します。もし，アナログ入力が（1/2）AV_{REF0}よりも大きければ，SARレジスタのMSBをセットしたままです。また，（1/2）AV_{REF0}よりも小さければMSBをリセットします。

⑥ 次にSARレジスタのビット8が自動的にセットされ，次の比較に移ります。ここではすでに結果がセットされているビット9の値によって，次に示すようにD/Aコンバータの電圧が選択されます。
・ビット9 = 1：（3/4）AV_{REF0}
・ビット9 = 0：（1/4）AV_{REF0}
このD/Aコンバータの電圧とアナログ入力電圧を比較し，その結果でSARレジスタのビット8を次のように操作します。
アナログ入力電圧≧D/Aコンバータの電圧：ビット8 = 1
アナログ入力電圧≦D/Aコンバータの電圧：ビット8 = 0

⑦ このような比較をSARレジスタのビット0まで続けます。

⑧ 10ビットの比較が終了したとき，SARレジスタには有効なディジタルの結果が残り，その値がADA0CRnレジスタに転送され格納されます。同時に，A/D変換終了割り込み要求信号（INTAD）を発生します。

図11－3　A/Dコンバータの基本動作

11. 4. 2　トリガ・モード

トリガ・モードの設定により，変換動作の開始タイミングの指定を行います。トリガ・モードにはソフトウエア・トリガ・モード，ハードウエア・トリガ・モードがあり，ハードウエア・トリガ・モードでは，タイマ・トリガ・モード0，1，外部トリガ・モードの3つがあります。トリガ・モードの設定はADA0M0レジスタのADA0TMDビットで行い，ハードウエア・トリガ・モードの設定はADA0M2レジスタのADA0TMD1, ADA0TMD0ビットで行います。

(1) ソフトウエア・トリガ・モード

ADA0M0レジスタのADA0CEビットを“1”に設定すると，ADA0Sレジスタで指定したアナログ入力（ANI0-ANI15端子）に対し，変換動作を開始します。変換を終了すると，変換結果をADA0CRnレジスタに格納し，同時に，A/D変換終了割り込み要求信号（INTAD）を発生します。

ADA0M0レジスタのADA0MD1，ADA0MD0ビットで設定される動作モードが，連続セレクト／スキャン・モードであれば，変換終了後はADA0CEビットを“0”にしないかぎり，次の変換を繰り返し行います。

変換が開始されると，ADA0EFビット = 1（動作中）となります。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合，変換は中断され，再度最初から変換を行います。

(2) 外部トリガ・モード

外部トリガ（ADTRG端子）の入力により，ADA0Sレジスタで指定したアナログ入力（ANI0-ANI15端子）に対し，変換動作を開始するモードです。ADA0M0レジスタのADA0ETS1, ATA0ETS0ビットの設定により，外部トリガのエッジ検出（立ち上がり，立ち下がり，立ち上がり／立ち下がりの両エッジ）の指定ができます。ADA0M0レジスタのADA0CEビットをセット（1）設定するとトリガ待機状態となり，外部トリガが入力された後に変換を開始します。

変換を終了すると，変換結果をADA0CRnレジスタに格納し，同時に，A/D変換終了割り込み要求信号（INTAD）を発生し，再びトリガ待機状態になります。

変換が開始されると，ADA0EFビット = 1（動作中）となります。ただし，トリガ待機状態の時はADA0EFビット = 0（停止中）となります。変換動作中に有効なトリガが入力されると，変換は中断され，再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合，変換は中断され，再度トリガ待機状態になります。

(3) タイマ・トリガ・モード

タイマに接続されたキャプチャ／コンペア・レジスタのコンペア一致割り込み要求信号（INTTP2CC0, INTTP2CC1）により，ADA0Sレジスタで指定したアナログ入力（ANI0-ANI15端子）に対し，変換動作を開始するモードです。ADA0M2レジスタのADA0TMD1, ADA0TMD0ビットの設定により，タイマのコンペア一致割り込み要求信号（INTTP2CC0, INTTP2CC1）のいずれかを指定し，指定されたコンペア一致割り込み要求信号の立ち上がりエッジで変換を開始します。ADA0M0レジスタのADA0CEビットをセット（1）するとトリガ待機状態となり，タイマのコンペア一致割り込み信号が入力されたあとに変換を開始します。

変換を終了すると，変換結果をADA0CRnレジスタに格納し，同時に，A/D変換終了割り込み要求信号（INTAD）を発生し，再びトリガ待機状態になります。

変換が開始されると，ADA0EFビット = 1（動作中）となります。ただし，トリガ待機状態の時はADA0EFビット = 0（停止中）となります。変換動作中に有効なトリガが入力されると，変換は中断され，再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合，変換は中断され，再びトリガ待機状態になります。

11.4.3　動作モード

動作モードには，ANI0-ANI15端子を設定するモードとして，連続セレクト・モード，連続スキャン・モード，およびワンショット・スキャン・モードの3つがあります。

動作モードはADA0M0レジスタのADA0MD1, ADA0MD0ビットで設定します。

(1) 連続セレクト・モード

ADA0Sレジスタで指定される１つのアナログ入力端子の電圧を連続してA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており，1回のA/D変換終了ごとにA/D変換終了割り込み要求信号（INTAD）が発生します。変換終了後はADA0M0レジスタのADA0CEビットを“0”にしないかぎり，次の変換を繰り返し行います。（n = 0-15）

図11ー4　連続セレクト・モード動作タイミング例（ADA0S = 01H）

（2）連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し，A/D変換を連続で行います。

A/D変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると，A/D変換終了割り込み要求信号（INTAD）が発生し，ADA0M0レジスタのADA0CEビットを“0”にしないかぎり，再びANI0端子からA/D変換を開始します。（n = 0-15）

図11－5　連続スキャン・モード動作タイミング例（ADA0Sレジスタ = 03H）

(a) タイミング例

(b) ブロック図

(3) ワンショット・スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し，A/D変換します。A/D変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると，INTAD信号が発生し，A/D変換終了後はA/D変換動作を停止します（n = 0-15）。

図11－6　ワンショット・スキャン・モード動作タイミング例（ADA0Sレジスタ = 03H）

(a) タイミング例

(b) ブロック図

11. 4. 4　パワー・フェイル比較モード

ADA0PFM, ADA0PFTレジスタにより，A/D変換終了割り込み要求信号（INTAD）を次のように制御できます。

- ADA0PFEビット = 0の場合，変換終了ごとにINTAD信号が発生します（通常のA/Dコンバータとして使用）。
- ADA0PFEビット = 1かつADA0PFCビット = 0の場合，変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し，ADA0CR0H≧ADA0PFTの場合のみ，INTAD信号を発生します。
- ADA0PFEビット = 1かつADA0PFCビット = 1の場合，変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し，ADA0CR0H＜ADA0PFTの場合のみ，INTAD信号を発生します。

備考　n = 0-15

パワー・フェイル比較モードにもANI0-AN11端子を設定するモードとして，連続セレクト・モード，連続スキャン・モードの2つがあります。

(1) 連続セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子電圧の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFMレジスタのADA0PFCビットで設定された条件に一致した場合，変換結果をADA0CRnレジスタに格納し，INTAD信号が発生します。一致しない場合，変換結果をADA0CRnレジスタに格納し，INTAD信号を発生しません。変換終了後はADA0M0レジスタのADA0CEビットを“0”にしないかぎり，次の変換を繰り返し行います（n = 0-15）。

図11－7　連続セレクト・モード動作タイミング例（パワー・フェイル比較時：ADA0Sレジスタ = 01H）

(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し，チャネル0のADA0CR0Hレジスタと ADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFMレジスタのADA0PFCビットで設定された条件に一致した場合，変換結果をADA0CR0レジスタに格納し，INTAD信号を発生します。一致しない場合，変換結果をADA0CR0レジスタに格納し，INTAD信号を発生しません。

ADA0CR0レジスタに格納後，ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後はADA0M0レジスタのADA0CEビットを“0”にしないかぎり，再びANI0端子から変換を開始します。

図11－8　連続スキャン・モード動作タイミング例（パワー・フェイル比較時：ADA0Sレジスタ = 03H）

(a) タイミング例

(b) ブロック図

(3) ワンショット・スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し，チャネル0のADA0CR0Hレジスタと ADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合，変換結果をADA0CR0レジスタに格納し，INTAD信号を発生します。一致しない場合，変換結果をADA0CR0レジスタに格納し，INTAD信号を発生しません。ADA0CR0レジスタに格納後，ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後は変換を停止します。ただし，A/D変換動作開始直後，一回目の変換精度が悪化する可能性があります。詳細は，11. 5（7）AV_{REF0}端子についてをご覧ください。

図11－9　ワンショット・スキャン・モード動作タイミング例（パワー・フェイル比較時：ADA0Sレジスタ = 03H）

(a) タイミング例

(b) ブロック図

11.5　注意事項

(1) A/Dコンバータ未使用時について

未使用時は，ADA0M0レジスタのADA0CEビット = 0とすることにより消費電力を低減できます。

(2) ANI0-ANI15端子入力範囲について

ANI0-ANI15端子の入力電圧は規格の範囲内で使用してください。ただし，絶対最大定格の範囲内であってもAV$_{REF0}$以上，AV$_{SS}$以下の電圧が入力されると，そのチャネルの変換値が不定となります。また，ほかのチャネルの変換値にも影響を与えることがあります。

(3) ノイズ対策について

10ビット分解能を保つためには，ANI0-ANI15端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので，ノイズを低減するために図11－10のようにコンデンサを外付けすることを推奨します。

図11－10　アナログ入力端子の処理

(4) 兼用入出力について

アナログ入力（ANI0-ANI15）端子はポート端子と兼用になっています。ANI0-ANI15端子のいずれかを選択してA/D変換をする場合，変換中に入力ポートへの読み出し命令，または出力ポートへの書き込み命令を実行しないでください。変換分解能が低下することがあります。

★　また，A/D変換中に出力ポートに設定している端子がポートに接続される外部回路の影響で出力電流が変動する場合も，変換分解能が低下することがあります。A/D変換中の端子に隣接する端子へディジタル・パルスを印加したりディジタル・パルスを出力したりすると，カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって，A/D変換中の端子に隣接する端子へのパルス印加またはパルス出力はしないでください。

(5) 割り込み要求フラグ（ADIF）について

ADA0Sレジスタを変更しても，割り込み要求フラグ（ADIF）はクリアされません。したがって，A/D変換中にアナログ入力端子の変更を行った場合，ADA0Sレジスタ書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり，ADA0Sレジスタ書き換え直後にADIFフラグを読み出すと，変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされている場合がありますので注意してください。また，A/D変換を一度停止させて再開する場合は，再開する前にADIFフラグをクリアしてください。

図11－11　A/D変換終了割り込み要求発生タイミング

備考　n = 0-15

m = 0-15

★　**(6) 内部等価回路**

アナログ入力部の等価回路を次に示します。

図11－12　ANIn端子内部等価回路

R_{IN}	C_{IN}
5.9 kΩ	7.0 pF

備考1.　値は参考値です。

2.　n = 0-15

（7）AV_{REF0}端子について

（a）AV_{REF0}端子はA/Dコンバータの電源端子を兼用しており，また兼用ポートにも電源を供給しています。したがって，バックアップ電源に切り替えるようなアプリケーションにおいても図11－10のように必ずV_{DD}と同じ電位を印加してください。

（b）AV_{REF0}端子はA/Dコンバータ用の基準電圧端子を兼用しています。したがって，AV_{REF0}端子への供給部のインピーダンス値が高い場合や，電源の電流供給能力が低い場合，変換時に流れる電流（特に変換動作許可ADA0CEビット = 1とした直後）により基準電圧が変動し，変換精度が悪くなるおそれがあります。これを避けるため図11－13のようにAV_{REF0}端子とAV_{SS}端子間にコンデンサを接続し変動を抑えるようにすることを推奨します。

（c）AV_{REF0}端子への供給部に直流抵抗値（ダイオード挿入など）が高いと，A/D変換電流による電圧降下により，変換動作停止時より動作許可時のほうが電圧が低くなる可能性があります。

図11－13　AV_{REF0}端子の処理例

（8）ADA0CRnレジスタの読み出しについて

ADA0M0-ADA0M2, ADA0Sレジスタに対して書き込み動作を行ったとき，ADA0CRnレジスタの内容は不定になることがあります。変換結果は，変換動作終了後，ADA0M0-ADA0M2, ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

（9）A/D変換結果について

アナログ入力端子および基準電圧入力端子にノイズがのる場合は，ノイズにより不正な変換結果が生じることがあります。この不正な変換結果により，システムに悪影響を与えることを避けるために，ソフトウエア処理が必要です。次にソフトウエア処理の例を示します。

- 複数回の A/D 変換結果の平均値を A/D 変換結果として使用する。
- 複数回の A/D 変換を連続して行い，特異な変換結果が得られた場合，この値を除外した変換結果を使用する。
- システムに異常が発生したと判断されるような A/D 変換結果が得られた場合，ただちに異常処理を行わず，再度異常発生を確認した上で異常処理を行う。

★　（10）スタンバイ・モードについて

A/Dコンバータは，ソフトウエアSTOPモード時に動作が停止するため，変換結果は無効になり消費電力を低減できます。ソフトウエアSTOPモード解除後，再び動作を開始しますが，ソフトウエアSTOPモード解除後から2回目までのA/D変換結果は無効です（3回目から有効です）。ソフトウエアSTOPモード解除後にA/Dコンバータを使用する場合は，ソフトウエアSTOPモード設定前またはソフトウエアSTOPモード解除後にADA0M0.ADA0CEビット = 0に設定してからソフトウエアSTOPモード解除後にADA0CEビット = 1に設定してください。

IDLE1, IDLE2モード，サブクロック動作モードでは動作が保持されるため，消費電力を低減する場合にはADA0M0.ADA0CEビット = 0にしてください。ただし，IDLE1, IDLE2モード期間中は，アナログ入力電圧値が保持できなくなるため，IDLE1, IDLE2モード解除後から1回目のA/D変換結果は無効です（2回目から有効です）。また，IDLE1, IDLE2モード設定前のA/D変換結果は有効です。

★　（11）A/D変換のヒステリシス特性について

逐次比較型A/Dコンバータは，内部のサンプル＆ホールド用コンデンサにアナログ入力電圧を保持し，そのあとA/D変換を行います。A/D変換が終了したあとも，内部のサンプル＆ホールド用コンデンサには，アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

- 同一チャネルでA/D変換を実行する場合，以前のA/D変換時よりも高い電圧，または低い電圧に変化していると，変換結果が以前の値に影響されるヒステリシス特性が現れ，同じ電位でも変換結果が異なる。
- アナログ入力チャネルを切り換える場合，1つのA/Dコンバータを用いてA/D変換を行っているため，変換結果が以前のチャネルの値に影響されるヒステリシス特性が現れ，同じ電位でも変換結果が異なる。

このため，より正確な変換結果を得たい場合は，同一チャネルで2回連続A/D変換を行い，1回目の変換結果を廃棄してください。

11.6　A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分 解 能

識別可能な最小アナログ入力電圧，つまり，ディジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB（Least Significant Bit）といいます。1LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

1%FSR =（変換可能なアナログ入力電圧の最大値－変換可能なアナログ入力電圧の最小値）/100

= （AV_{REF0}－0）/100

= AV_{REF0}/100

分解能10ビットのとき，1LSBは次のようになります。

1LSB = $1/2^{10}$ = 1/1024

= 0.098 %FSR

精度は分解能とは関係なく，総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，直線性誤差，およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

図11－14　総合誤差

(3) 量子化誤差

アナログ値をディジタル値に変換するとき，必然的に生じる±1/2LSBの誤差です。A/Dコンバータでは，±1/2LSBの範囲にあるアナログ入力電圧は，同じディジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差には含まれていません。

図11－15　量子化誤差

(4) ゼロスケール誤差

ディジタル出力が0……000から0……001に変化するときの，アナログ入力電圧の実測値と理論値（1/2LSB）との差を表します。

図11－16　ゼロスケール誤差

(5) フルスケール誤差

ディジタル出力が1……110から1……111に変化するときの，アナログ入力電圧の実測値と理論値（フルスケール－3/2LSB）との差を表します。

図11－17　フルスケール誤差

(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。

図11－18　微分直線性誤差

(7) 積分直線性誤差

変換特性が，理想的な直線関係からはずれている程度を指します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

図11－19　積分直線性誤差

(8) 変換時間

アナログ入力電圧が与えられてから，ディジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。

図11－20　サンプリング時間

第12章　アシンクロナス・シリアル・インタフェースA（UARTA）

V850ES/FG2は，アシンクロナス・シリアル・インタフェースA（UARTA）を搭載しています。

表 12－1に各製品のチャネル数を示します。

表 12－1　アシンクロナス・シリアル・インタフェース A のチャネル数

製品	チャネル数
μPD703234 μPD70F3234 μPD703235 μPD70F3235 μPD70F3236	3 チャネル（UARTA0-UARTA2）

12. 1　特　　徴

○転送速度　300 bps ～ 312.5 kbps（内部システム・クロック 20 MHz，専用ボー・レート・ジェネレータ使用）

○全二重通信　UARTA 受信データ・レジスタ n（UAnRX）内蔵
　　UARTA 送信データ・レジスタ n（UAnTX）内蔵

○2 端子構成　TXDAn ：送信データの出力端子
　　RXDAn ：受信データの入力端子

○受信エラー検出機能
- パリティ・エラー
- フレーミング・エラー
- オーバラン・エラー

○割り込みソース：2 種類
- 受信完了割り込み（INTUAnR）：受信許可状態において，3 種類の受信エラーの論理和で割り込みを発生または，シリアル転送完了後，シフト・レジスタから受信バッファ・レジスタ n へ受信データを転送すると発生
- 送信許可割り込み（INTUAnT）：送信許可状態において，送信バッファ・レジスタからシフト・レジスタへ送信データを転送すると発生

○キャラクタ長：7, 8 ビット

○パリティ機能：奇数，偶数，0，なし

○送信ストップ・ビット：1, 2 ビット

○専用ボー・レート・ジェネレータ内蔵

○MSB/LSB ファースト転送選択可能

○送受信データの反転動作が可能

○LIN（Local Interconnect Network）通信フォーマットにおける SBF（Sync Break Field）送信は 13-20 ビットまで選択可能

○LIN 通信フォーマットにおける SBF 受信は 11 ビット以上認識可能

○SBF 受信フラグあり

備考　n = 0-2

12. 2　構　　成

UARTA は，次のハードウエアで構成されています。

表 12－2　UARTA0-UARTA2 の構成

項　　目	構　　成
レジスタ	UARTAn 受信シフト・レジスタ UARTAn 受信データ・レジスタ（UAnRX） UARTAn 送信シフト・レジスタ UARTAn 送信データ・レジスタ（UAnTX）
受信データ入力	3 本（RXDAn）
送信データ出力	3 本（TXDAn）
ボー・レート・クロック注入力	1 本（ASCKA0）
制御レジスタ	UARTAn 制御レジスタ 0-2（UAnCTL0-UAnCTL2） UARTAn オプション制御レジスタ 0（UAnOPT0） UARTAn 状態レジスタ（UAnSTR）

注　ボー・レート・クロックの入力は UARTA0 のみ対応しています。

備考　n = 0-2

アシンクロナス・シリアル・インタフェース A（UARTA）の端子は，ポート端子と兼用になっています。兼用機能の設定方法については，第 4 章　ポート機能のレジスタ説明を参照してください。

表 12－3　アシンクロナス・シリアル・インタフェース A 端子一覧

端子名	兼用端子	入出力	機　　能
RXDA0	P31/INTP7	入力	シリアル受信データ入力（UARTA0）
RXDA1	P91/KR7		シリアル受信データ入力（UARTA1）
RXDA2	P39/INTP8		シリアル受信データ入力（UARTA2）
TXDA0	P30	出力	シリアル送信データ出力（UARTA0）
TXDA1	P90/KR6		シリアル送信データ出力（UARTA1）
TXDA2	P38		シリアル送信データ出力（UARTA2）
ASCKA0	P32/TIP00/TOP00	入力	UARTA0 のボー・レート・クロック入力

図 12－1　アシンクロナス・シリアル・インタフェース A のブロック図

注　UARTA0 **のみ**

備考　n = 0-2

（1）UARTAn**制御レジスタ**0（UAnCTL0）

UAnCTL0**レジスタは，アシンクロナス・シリアル・インタフェース**A**の動作を指定する**8**ビット・レジスタです。**

（2）UARTAn**制御レジスタ**1（UAnCTL1）

UAnCTL1**レジスタは，アシンクロナス・シリアル・インタフェース**A**の入力クロックを選択する**8**ビット・レジスタです。**

（3）UARTAn**制御レジスタ**2（UAnCTL2）

UAnCTL2**レジスタは，アシンクロナス・シリアル・インタフェース**A**のボー・レートを制御する**8**ビット・レジスタです。**

（4）UARTAn**オプション制御レジスタ**0（UAnOPT0）

UAnOPT0**レジスタは，アシンクロナス・シリアル・インタフェース**A**のシリアル転送を制御する**8**ビット・レジスタです。**

（5）UARTAn状態レジスタ（UAnSTR）

UAnSTRレジスタは，受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット（1）され，UAnSTRレジスタの読み出しによってリセット（0）されます。

（6）UARTAn受信シフト・レジスタ

RXDAn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信し，ストップ・ビットを検出すると，受信データをUAnRXレジスタへ転送します。
このレジスタを直接操作することはできません。

（7）UARTAn受信データ・レジスタ（UAnRX）

UAnRXレジスタは，受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます（LSBファースト受信時）。

受信許可状態中は，受信データは1フレーム分のシフト・イン処理終了に同期してUARTAn受信シフト・レジスタからUAnRXレジスタに転送されます。

また，UAnRXレジスタへの転送により，受信完了割り込み要求信号（INTUAnR）が発生します。

（8）UARTAn送信シフト・レジスタ

送信シフト・レジスタは，UAnTXレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

UAnTXレジスタから1バイト分のデータが転送されると，シフト・レジスタのデータをTXDAn端子から出力します。

このレジスタは直接操作することはできません。

（9）UARTAn送信データ・レジスタ（UAnTX）

UAnTXレジスタは，8ビットの送信データ用バッファです。UAnTXレジスタへ送信データを書き込むことにより，送信動作が開始されます。UAnTXレジスタにデータの書き込みが可能になる（UAnTXレジスタからUARTAn送信シフト・レジスタに1フレーム分のデータが転送される）と，送信許可割り込み要求信号（INTUAnT）を発生します。

12. 3　制御レジスタ

（1）UARTAn制御レジスタ0（UAnCTL0）

UAnCTL0レジスタは，UARTAnシリアル転送動作を制御する8ビットのレジスタです。

8/1 ビット単位でリード／ライト可能です。

リセットにより10Hになります。

（1/2）

リセット時：10H　R/W　アドレス：UA0CTL0: FFFFFA00H, UA1CTL0: FFFFFA10H
UA2CTL0: FFFFFA20H

	7	6	5	4	3	2	1	0
UAnCTL0 (n = 0-2)	UAnPWR	UAnTXE	UAnRXE	UAnDIR	UAnPS1	UAnPS0	UAnCL	UAnSL

UAnPWR	UARTAn の動作の制御
0	クロック動作禁止（UARTAn を非同期にリセット）
1	クロック動作許可
UAnPWR ビットにより，動作クロックの制御と UARTAn の非同期リセットを行います。UAnPWR ビットを“0”にすると，TXDAn 端子の出力はハイ・レベルに固定されます。	

UAnTXE	送信動作許可
0	送信動作停止
1	送信動作許可
★ UAnOPT0 レジスタの UAnTDL ビットが“0”のとき，UAnTXE ビットを“0”にすると，TXDAn 端子の出力をハイ・レベルに固定します。 UAnOPT0 レジスタの UAnTDL ビットが“1”のとき，UAnTXE ビットを“0”にすると，TXDAn 端子の出力をロウ・レベルに固定します。 UAnTXE ビットは動作クロックにより同期化処理されるため，送信ユニットを初期化する場合は，UAnTXE ビットを“0”から“1”に設定し，2 クロック後，送信動作許可状態になります。 UAnPWR ビット = 0 のとき UAnTXE ビットに書き込んだ値は無視されます。	

UAnRXE	受信動作許可
0	受信動作停止
1	受信動作許可
UAnRXE ビットを“0”にすると，受信動作を停止します。そのため規定のデータが転送されても受信完了割り込みは出力されず，UAnRX レジスタは更新されません。 UAnRXE ビットは動作クロックにより同期化処理されるため，受信ユニットを初期化する場合は，UAnRXE ビットを“0”から“1”に設定したあと 2 クロック後，受信動作許可状態になります。 UAnPWR ビット = 0 のとき UAnRXE ビットに書き込んだ値は無視されます。	

（2/2）

UAnDIR	転送方向モード（MSB/LSB）選択
0	MSB ファースト
1	LSB ファースト

・UAnPWR ビット = 0，または UAnTXE ビット = UAnRXE ビット = 0 の場合のみ書き換え可能です。

★ ・LIN のフォーマットで送信受信を行う場合は，UA0DIR ビットは“ 1 ”に設定してください。

UAnPS1	UAnPS0	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0 パリティを出力	0 パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・UAnPWR ビット = 0，または UAnTXE ビット = UAnRXE ビット = 0 の場合のみ書き換え可能です。

・受信時に「0 パリティとして受信」を選択した場合，パリティ判定を行いません。
したがって，UAnSTR レジスタの UAnPE ビットはセットされないため，パリティ・エラーでのエラー割り込みも発生しません。

・LIN のフォーマットで送受信を行う場合，UAnPS1, UAnPS0 ビットは“ 00 ”に設定してください。

UAnCL	送受信データ１フレームのデータ・キャラクタ長指定
0	7 ビット
1	8 ビット

・UAnPWR ビット = 0，または UAnTXE ビット = UAnRXE ビット = 0 の場合のみ書き換え可能です。

★ ・LIN のフォーマットで送信受信を行う場合は，UA0CL ビットは“ 1 ”に設定してください。

UAnSL	送信データのストップ・ビット長指定
0	1 ビット
1	2 ビット

UAnPWR ビット = 0，または UAnTXE ビット = UAnRXE ビット = 0 の場合のみ書き換え可能です。

備考　パリティについての詳細は，12. 5. 9　**パリティの種類と動作**を参照してください。

（2）UARTAn制御レジスタ1（UAnCTL1）

UAnCTL1レジスタは，UARTAnのクロックを選択するための8ビットのレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：UA0CTL1: FFFFFA01H, UA1CTL1: FFFFFA11H
UA2CTL1: FFFFFA21H

	7	6	5	4	3	2	1	0
UAnCTL1	0	0	0	0	UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0

(n = 0-2)

UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0	基本クロック（f_{XCLK}）の選択
0	0	0	0	f_{XX}
0	0	0	1	$f_{XX}/2$
0	0	1	0	$f_{XX}/4$
0	0	1	1	$f_{XX}/8$
0	1	0	0	$f_{XX}/16$
0	1	0	1	$f_{XX}/32$
0	1	1	0	$f_{XX}/64$
0	1	1	1	$f_{XX}/128$
1	0	0	0	$f_{XX}/256$
1	0	0	1	$f_{XX}/512$
1	0	1	0	$f_{XX}/1024$
1	0	1	1	外部クロック注（ASCKA0 端子）
上記以外				設定禁止

注　UARTA0 の場合のみ ASCKA0 端子を使用できます。UARTA1, UARTA2 では設定禁止です。

注意　UAnCTL0 レジスタの UAnPWR ビット = 0 の場合のみ書き換え可能です。

（3）UARTAn制御レジスタ2（UAnCTL2）

UAnCTL2レジスタは，UARTAnのボー・レート（シリアル転送スピード）クロックを選択するための8ビットのレジスタです。

8ビット単位でリード／ライト可能です。

リセットによりFFHになります。

リセット時：FFH　R/W　アドレス：UA0CTL2: FFFFFA02H, UA1CTL2: FFFFFA12H
UA2CTL2: FFFFFA22H

	7	6	5	4	3	2	1	0
UAnCTL2	UAnBRS7	UAnBRS6	UAnBRS5	UAnBRS4	UAnBRS3	UAnBRS2	UAnBRS1	UAnBRS0

(n = 0-2)

UAnBRS7	UAnBRS6	UAnBRS5	UAnBRS4	UAnBRS3	UAnBRS2	UAnBRS1	UAnBRS0	規定値（k）	シリアル・クロック
0	0	0	0	0	0	×	×	×	設定禁止
0	0	0	0	0	1	0	0	4	$f_{XCLK}/4$
0	0	0	0	0	1	0	1	5	$f_{XCLK}/5$
0	0	0	0	0	1	1	0	6	$f_{XCLK}/6$
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	$f_{XCLK}/252$
1	1	1	1	1	1	0	1	253	$f_{XCLK}/253$
1	1	0	1	1	1	1	0	254	$f_{XCLK}/254$
1	1	1	1	1	1	1	1	255	$f_{XCLK}/255$

注意 1. UAnCTL0 レジスタの UAnPWR ビット = 0，または UAnTXE ビット = UAnRXE ビット = 0 の場合のみ書き換え可能です。

2. シリアル・クロックをさらに 1/2 分周したものがボー・レートとなります。

備考 1. f_{XCLK} は，UAnCTL1 レジスタで選択した基本クロックの周波数です。f_{XCLK} の設定例は表 12－6　ボー・レート・ジェネレータ設定データを参照してください。

2. ×：任意

（4）UARTAn**オプション制御レジスタ**0（UAnOPT0）

UAnOPT0 **レジスタは，**UARTAn **のシリアル転送動作を制御する** 8 **ビットのレジスタです。**

8/1 **ビット単位でリード／ライト可能です。**

リセットにより 14H **になります。**

（1/2）

リセット時：14H　R/W　**アドレス：** UA0OPT0: FFFFFA03H, UA1OPT0: FFFFFA13H
UA2OPT0: FFFFFA23H

	7	6	5	4	3	2	1	0
UAnOPT0 (n = 0-2)	UAnSFR	UAnSRT	UAnSTT	UAnSLS2	UAnSLS1	UAnSLS0	UAnTDL	UAnRDL

UAnSFR	SBF **受信フラグ**
0	UAnCTL0 **レジスタの** UAnPWR **ビット** = UAnRXE **ビット** = 0 **に設定したとき。または** SBF **受信正常終了したとき。**
1	SBF **受信中**
・LIN **通信での** SBF（Sync Brake Field）**を受信していることを判断します。** ★ ・SBF **受信エラー時に，**UAnSRF **ビットは“** 1 **”を保持し，そのあと再度** SBF **受信を開始します。** ・UAnSFR **はリードのみ可能です。**	

UAnSRT	SBF **受信トリガ**
0	—
1	SBF **受信トリガ**
・LIN **通信での** SBF **の受信トリガ・ビットであり，読み出した場合，常に“** 0 **”が読み出されます。** SBF **を受信する場合，**UAnSRT **ビットをセット（**1**）し** SBF **受信可能状態にしてください。** ・UAnCTL0 **レジスタの** UAnPWR **ビット** = UAnRXE **ビット** = 1 **としてから** UAnSRT **ビットを設定してください。**	

UAnSTT	SBF **送信トリガ**
0	—
1	SBF **送信トリガ**
・LIN **通信での** SBF **の送信トリガ・ビットであり，読み出した場合，常に“** 0 **”が読み出されます。** ・UAnCTL0 **レジスタの** UAnPWR **ビット** = UAnTXE **ビット** = 1 **としてから** UAnSTT **ビットを設定してください。**	

（2/2）

UAnSLS2	UAnSLS1	UAnSLS0	SBF 長選択
1	0	1	13 ビット長で出力（リセット値）
1	1	0	14 ビット長で出力
1	1	1	15 ビット長で出力
0	0	0	16 ビット長で出力
0	0	1	17 ビット長で出力
0	1	0	18 ビット長で出力
0	1	1	19 ビット長で出力
1	0	0	20 ビット長で出力
UAnCTL0 レジスタの UAnPWR ビット = 0 または UAnCTL0 レジスタの UAnTXE ビット = 0 のとき設定できます。			

UAnTDL	送信データ・レベル・制御ビット
0	転送データ通常出力
1	転送データ反転出力
・UAnTDL ビットにより TXDAn 端子の値を反転できます。 ・UAnCTL0 レジスタの UAnPWR ビット = 0 または UAnCTL0 レジスタの UAnTXE ビット = 0 のとき設定できます。	

UAnRDL	受信データ・レベル・制御ビット
0	転送データ通常入力
1	転送データ反転入力
・UAnRDL ビットにより RXDAn 端子の値を反転できます。 ・UAnCTL0 レジスタの UAnPWR ビット = 0 または UAnCTL0 レジスタの UAnRXE ビット = 0 のとき設定できます。	

備考　パリティについての詳細は，12. 5. 9　**パリティの種類と動作**を参照してください。

（5）UARTAn状態レジスタ（UAnSTR）

UAnSTRレジスタは，UARTAnの転送状態と受信エラー内容を示す8ビットのレジスタです。

8/1ビット単位でリード／ライト可能ですが，UAnTSFビットはリードのみ可能で，UAnPE，UAnFE，UAnOVEビットについてはR/W可能ですが，“0”ライトによるクリアのみ可能で，“1”ライトによるセット動作はできません（“1”をライトした場合には，保持状態となります）。

次に初期化条件を示します。

レジスタ／ビット	初期化条件
UAnSTR レジスタ	・リセット入力 ・UAnCTL0 レジスタの UAnPWR ビット = 0
UAnTSF ビット	・UAnCTL0 レジスタの UAnTXE ビット = 0
UAnPE, UAnFE, UAnOVE ビット	・0 の書き込み ・UAnCTL0 レジスタの UAnRXE ビット = 0

リセット時：00H　R/W　**アドレス：** UA0STR: FFFFFA04H, UA1STR: FFFFFA14H
UA2STR: FFFFFA24H

	7	6	5	4	3	2	1	0
UAnSTR	UAnTSF	0	0	0	0	UAnPE	UAnFE	UAnOVE

(n = 0-2)

UAnTSF	転送状態フラグ
0	・UAnCTL0 レジスタの UAnPWR ビット = 0，または UAnCTL0 レジスタの UAnTXE ビット = 0 に設定したとき ・転送完了後に，UAnTX に次のデータ転送がなかったとき
1	UAnTX レジスタへの書き込み
連続送信を行っている場合には UAnTSF ビットは常に“1”になっています。 送信ユニットの初期化を行う場合には，UAnTSF ビット = 0 になっていることを確認してから初期化を行ってください。UAnTSF ビット = 1 の状態で初期化を行った場合の送信データは保証できません。	

UAnPE	パリティ・エラー・フラグ
0	・UAnCTL0 レジスタの UAnPWR ビット = 0，または UAnCTL0 レジスタの UAnRXE ビット = 0 に設定したとき ・“0”をライトしたとき
1	受信時，データのパリティとパリティ・ビットが一致しないとき
・UAnPE ビットの動作は，UAnCTL0 レジスタの UAnPS1, UAnPS0 ビットの設定により左右されます。 ・UAnPE ビットはリード／ライト可能となっていますが，“0”ライトによるクリアのみ可能で，“1”ライトによるセット動作はできません。“1”をライトした場合，状態保持となります。	

UAnFE	フレーミング・エラー・フラグ
0	・UAnCTL0 レジスタの UAnPWR ビット = 0，または UAnCTL0 レジスタの UAnRXE ビット = 0 に設定したとき ・“0”をライトしたとき
1	受信時，ストップ・ビットが検出されないとき
・受信データのストップ・ビットは，UAnCTL0 レジスタの UAnSL ビットの値に関わらず，最初の 1 ビットのみチェックします。 ・UAnFE ビットはリード／ライト可能となっていますが，“0”ライトによるクリアのみ可能で，“1”ライトによるセット動作はできません。“1”をライトした場合，状態保持となります。	

UAnOVE	オーバラン・エラー・フラグ
0	・UAnCTL0 レジスタの UAnPWR ビット = 0，または UAnCTL0 レジスタの UAnRXE ビット = 0 に設定したとき ・“0”をライトしたとき
1	UAnRX レジスタに受信データがセットされ，それを読み出す前に次の受信動作が完了したとき
・オーバラン・エラーが発生したとき，次の受信データは受信バッファに書き込まれず，データは破棄されます。 ・UAnOVE ビットはリード／ライト可能となっていますが，“0”ライトによるクリアのみ可能で，“1”ライトによるセット動作はできません。“1”をライトした場合，状態保持となります。	

（6）UARTAn受信データ・レジスタ（UAnRX）

UAnRXレジスタは，受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

1バイト・データの受信完了により受信シフト・レジスタに格納したデータをUAnRXレジスタに転送します。

データ長を7ビットに指定した場合LSBファースト受信時，受信データはUAnRXレジスタのビット6-ビット0に転送され，MSBは必ず“0”になります。MSBファースト受信時受信データはUAnRXレジスタのビット7-ビット1に転送されLSBは必ず“0”になります。

オーバラン・エラー（UAnOVE）が発生した場合は，そのときの受信データはUAnRXレジスタに転送されません。

8ビット単位でリードのみ可能です。

リセット以外に，UAnCTL0レジスタのUAnPWRビット = 0によってもUAnRXレジスタはFFHになります。

リセット時：FFH　R　アドレス：　UA0RX: FFFFFA06H, UA1RX: FFFFFA16H
UA2RX: FFFFFA26H

	7	6	5	4	3	0	1	2
UAnRX								

(n = 0-2)

（7）UARTAn送信データ・レジスタ（UAnTX）

UAnTXレジスタは，送信データを設定するための8ビット・レジスタです。

8ビット単位でリード／ライト可能です。

リセット入力によりFFHになります。

リセット時：FFH　R/W　アドレス：UA0TX: FFFFFA07H, UA1TX: FFFFFA17H
UA2TX: FFFFFA27H

	7	6	5	4	3	2	1	0
UAnTX								

(n = 0-2)

12. 4　割り込み要求信号

UARTAn からは次の 2 種類の割り込み要求信号を発生します。

・受信完了割り込み要求信号（INTUAnR）
・送信許可割り込み要求信号（INTUAnT）

これら 2 種類の割り込み要求信号のディフォールト優先順位は，受信完了割り込み要求信号の方が高く，送信許可割り込み要求信号の方が低くなっています。

表 12－4　発生する割り込みとディフォールト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

(1) 受信完了割り込み要求信号（INTUAnR）

受信許可状態中で，受信シフト・レジスタにデータがシフト・インされUAnRXレジスタに転送されると受信完了割り込み要求信号が発生します。

★　受信完了割り込み要求信号は，受信エラーが起こった場合にも発生しますので，受信完了割り込み要求信号を受け付け,データを読み出すときに，UAnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

受信禁止状態中は，受信完了割り込み要求信号は発生しません。

(2) 送信許可割り込み要求信号（INTUAnT）

送信許可状態で，UAnTXレジスタからUARTAn送信シフト・レジスタへ送信データが転送されると送信許可割り込み要求信号を発生します。

12. 5　動　　作

12. 5. 1　データ・フォーマット

全二重シリアル・データの送受信を行います。

送受信データのフォーマットは，図 12－2 に示すとおり，スタート・ビット，キャラクタ・ビット，パリティ・ビット，ストップ・ビットで 1 データ・フレームを構成します。

1 データ・フレーム内のキャラクタ・ビット長の指定，パリティ選択，ストップ・ビット長の指定，MSB/LSB ファーストの転送指定は，UAnCTL0 レジスタによって行います。

また，UAnOPT0 レジスタの UAnTDL ビットで TXDAn 端子の UART 出力／反転出力の制御を行います。

- スタート・ビット　……　1 ビット
- キャラクタ・ビット　…　7 ビット/8 ビット
- パリティ・ビット　……　偶数パリティ／奇数パリティ/0 パリティ／パリティなし
- ストップ・ビット　……　1 ビット/2 ビット

図 12－2　UARTA の送受信データのフォーマット（1/2）

（a）8 ビット・データ長，LSB ファースト，偶数パリティ，1 ストップ・ビット，転送データ：55H

（b）8 ビット・データ長，MSB ファースト，偶数パリティ，1 ストップ・ビット，転送データ：55H

（c）8 ビット・データ長，MSB ファースト，偶数パリティ，1 ストップ・ビット，転送データ：55H, TXDAn 反転

図 12－2　UARTA の送受信データのフォーマット（2/2）

(d) 7 ビット・データ長，LSB ファースト，奇数パリティ，2 ストップ・ビット，転送データ：36H

(e) 8 ビット・データ長，LSB ファースト，パリティなし，1 ストップ・ビット，転送データ：87H

12. 5. 2　SBF送信／受信フォーマット

V850ES/FG2にはLIN（Local Interconnect Network）機能として使用するために，SBF（Synch Break Field）送信／受信制御機能があります。

★　**備考**　LIN とは，Local Interconnect Network の略称で，車載ネットワークのコストダウンを目的とする低速（1〜20 kbps）のシリアル通信プロトコルです。
LIN の通信はシングル・マスタ通信で，1 つのマスタに対し最大 15 のスレーブが接続可能です。
LIN のスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらが LIN のネットワークを介して LIN のマスタに接続されます。
LIN のマスタは通常，CAN（Controller Area Network）などのネットワークに接続されます。
また，LIN バスはシングル・ワイヤ方式で，ISO9141 に準拠したトランシーバを介して各ノードが接続されます。
LIN のプロトコルでは，マスタはフレームにボー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため，スレーブのボー・レート誤差が±15 %以下であれば，通信可能です。

図 12ー3　LIN の送信操作概略

注 1.　各フィールド間の間隔はソフトウエアで制御します。
2.　SBF の出力はハードウエアで行います。出力幅は UAnOPT0 レジスタの UAnSBL2-UAnSBL0 ビットで設定したビット長になります。さらに細かい出力幅調整が必要な場合は，UAnCTLn レジスタの UAnBRS7-UAnBRS0 ビット値で調整します。
3.　Wake-Up Signal Frame は，8 ビット・モードの 80H 転送で代用します。
4.　各送信開始時には送信許可割り込み要求信号（INTUAnT）を出力します。SBF 送信開始時も INTUAnT 信号を出力します。

備考　n = 0-2

図 12ー4　LIN の受信操作概略

注1.　ウエイクアップ・シグナルは，端子のエッジ検出器で行い，UARTAn をイネーブルし，SBF 受信モードに設定します。

2.　STOP ビットの検出まで受信動作を行います。11 ビット以上の SBF 受信を検出したら，正常 SBF 受信終了と判断し，割り込み信号を出力します。11 ビット以下の SBF 受信を検出したら，SBF 受信エラーと判断し，割り込み信号を出力せず，SBF 受信モードに戻ります。

3.　正常に SBF 受信を終了した場合，割り込み信号を出力します。SBF 受信完了割り込みでタイマをイネーブルにします。また，UAnSTR レジスタの UAnOVE, UAnPE, UAnFE ビットの各エラー検出は抑制され，UART 通信のエラー検出処理および，UARTAn 受信シフト・レジスタと UAnRX レジスタのデータ転送も行われません。UARTAn 受信シフト・レジスタは初期値の FFH を保持します。

4.　RXDAn 端子をタイマの TI（キャプチャ入力）に接続し転送レートを計算し，ボー・レート誤差を算出します，SF 受信後に UARTAn のイネーブルを落としてからボー・レート誤差を補正した UAnCTL2 レジスタの値を再セットし，受信状態にします。

5.　チェック・サム・フィールドの区別はソフトウエアで行います。CSF 受信後に UARTAn を初期化し，再び SBF 受信モードに設定する処理もソフトウエアにて行います。

備考　n = 0-2

12. 5. 3　SBF送信

UAnCTL0 レジスタの UAnPWR ビット = UAnTXE ビット = 1 にすると送信許可状態となり，SBF 送信トリガ（UAnOPT0 レジスタの UAnSTT ビット）をセット（1）することにより SBF 送信動作は起動します。

そのあと UAnOPT0 レジスタの UAnSLS2-UAnSLS0 ビットで指定された 13 ビットから 20 ビット分までの幅のロウ・レベルを出力します。SBF 送信開始時には送信許可割り込み要求信号（INTUAnT）を発生します。SBF 送信を終了したあと，UAnSTT ビットは自動的にクリアされます。そのあと，UART 送信モードに戻ります。

次に送信するデータを UAnTX レジスタに書き込み，あるいは SBF 送信トリガ（UAnSTT ビット）をセットするまで，送信動作は中断します。

図 12ー5　SBF 送信

12. 5. 4　SBF受信

UAnCTL0 レジスタの UAnPWR ビット = 1 にして，次に，UAnCTL0 レジスタの UAnRX ビット = 1 にすることにより，受信待ち状態になります。

SBF 受信トリガ（UAnOPT0 レジスタの UAnSRT ビット）をセット（1）することで，SBF 受信待ち状態になります。

SBF 受信待ち状態は UART の受信待ち状態と同じく RXDAn 端子をモニタし，スタート・ビットの検出を行います。

スタート・ビットを検出したら，受信動作を開始し，設定されたボー・レートにあわせて，内蔵カウンタをカウント・アップします。

ストップ・ビットを受信したら，SBF の幅が 11 ビット長以上の場合，正常処理として，受信完了割り込み要求信号（INTUAnR）を発生します。UAnOPT0 レジスタの UAnSRF ビットは自動的にクリアされ，SBF 受信を終了します。UAnSTR レジスタの UAnOVE, UAnPE, UAnFE ビットの各エラー検出は抑制され UART 通信のエラー検出処理は行われません。また，UARTAn 受信シフト・レジスタと UAnRX レジスタのデータの転送も行われず，初期値の FFH を保持します。SBF の幅が 10 ビット長以下の場合，エラー処理として，割り込みを出さずに受信を終了し，再び SBF 受信モードに戻ります。その際 UAnSRF ビットはクリアされません。

★　注意 1.　データ受信中に，SBF が送信されてきた場合には，フレーミング・エラーとなります。

★　2.　SBF 受信トリガ・ビット（UAnSRT），SBF 送信トリガ・ビット（UAnSTT）は，SBF 受信中（UAnSRF = 1）にセット（1）しないでください。

図 12ー6　SBF 受信

（a）正常 SBF 受信：（10.5 ビット超で STOP ビットを検出）
1
2
3
4
5
6
7
8
9
10
11
11.5
UAnSRF
INTUAnR
割り込み
（b）SBF 受信エラー：（10.5 ビット以下で STOP ビットを検出）
1
2
3
4
5
6
7
8
9
10
10.5
UA0SRF
INTUAnR
割り込み

12. 5. 5　UART送信

UAnCTL0 レジスタの UAnPWR ビット = 1 とすることにより，TXDAn 端子からハイ・レベルを出力します。

次に，UAnCTL0 レジスタの UAnTXE ビット = 1 にすると送信許可状態となり，UAnTX レジスタに送信データを書き込むことにより送信動作は起動します。スタート・ビット，パリティ・ビット，ストップ・ビットは自動的に付加します。

送信動作の開始により，UAnTX レジスタ内のデータを UARTAn 送信シフト・レジスタへ転送します。

UAnTX レジスタのデータを UARTAn 送信シフト・レジスタに転送完了したタイミングで，送信許可割り込み要求信号（INTUAnT）を発生し，そのあと UARTAn 送信シフト・レジスタは LSB より順次，TXDAn 端子に出力
★ します。INTUAnT 信号が発生することで，UAnTX レジスタに次の転送データの書き込みが可能となります。

次に送信するデータを転送中に UAnTX レジスタに書き込むことにより，連続で送信が可能となります。

図 12ー7　UART 送信

12. 5. 6　連続送信の手順説明

UARTAn は UARTAn 送信シフト・レジスタがシフト動作を開始した時点で，次の送信データを UAnTX レジスタへ書き込むことができます。UARTAn 送信シフト・レジスタへの転送タイミングは，送信許可割り込み要求信号（INTUAnT）で判断できます。INTUAnT 信号により 1 データ・フレーム送信後の割り込み処理時でも絶え間なく送信することが可能となり，効率的な通信レートを実現できます。

連続送信時には，送信データを UAnTX レジスタに書き込み後，UARTAn 送信シフト・レジスタに転送され，送信要求割り込み信号（INTUAnT）が発生するまで，次の送信データを UAnTX レジスタに書き込まないようにしてください。送信要求割り込み信号発生以前に UAnTX レジスタに値を書き込むと以前に設定した送信データが最新の送信データに上書きされてしまいます。

注意　連続送信実行中（UAnTSF ビットが“1”）は，送信ユニットのレジスタ設定を変更しないでください。
設定を変更する場合は，連続送信を停止し UAnTSF ビットが“0”であることを確認してください。
UAnTSF ビットが“1”のときに設定を変更した場合の送信データの保証はできません。
★　連続送信の場合，ストップ･ビットから次のスタート･ビットまでの通信レートが通常より動作クロックの 2 クロック分伸びます。

図 12－8　連続転送の処理フロー

図 12－9　連続転送動作のタイミング

12. 5. 7　UART受信

UAnCTL0 レジスタの UAnPWR ビット = 1 にして，次に UAnCTL0 レジスタの UAnRX ビット = 1 にすることにより，受信待ち状態になります。受信待ち状態では，RXDAn 端子をモニタし，スタート・ビットの検出を行います。

なおスタート・ビットの認識には 2 段階の検出ルーチンを取ります。

★　まず RXDAn 端子の立ち下がりを検出するとサンプリングを開始します。スタート・ビットのサンプリング・ポイントで RXDAn 端子がロウ・レベルであれば，スタート・ビットと認識します。スタート・ビットが認識されたら，受信動作を開始し，設定されたボー・レートにあわせて，シリアル・データを順次，UARTAn 受信シフト・レジスタに格納していきます。

ストップ・ビットを受信したら，受信完了割り込み要求信号（INTUAnR）を発生すると同時に，UARTAn 受信シフト・レジスタのデータを UAnRX レジスタに書き込みます。ただし，オーバラン・エラー（UAnSTR レジスタの UAnOVE ビット）が発生した場合は，そのときの受信データを UAnRX レジスタに書き込みません。

受信途中に，パリティ・エラー（UAnSTR レジスタの UAnPE ビット），フレーミング・エラー（UAnSTR レジスタの UAnFE ビット）が発生しても，ストップ・ビットの受信位置までは，受信を継続し，受信完了後に INTUAnR 信号を発生します。

図 12－10　UART 受信

注意 1.　受信エラー発生時にも，UAnRX レジスタは必ず読み出してください。UAnRX レジスタを読み出さないと，次のデータ受信にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続くことになります。

2.　受信時は，常に「ストップ・ビット数 = 1」として動作します。2 ビット目のストップ・ビットは，無視されます。

★　3.　受信終了時は，受信完了割り込み要求信号（INTUAnR）発生後 UAnRX レジスタを読み出してから UAnPWR ビット = 0 または UAnRXE ビット = 0 としてください。INTUAnR 信号が発生する前に UAnPWR ビット = 0 または UAnRXE ビット = 0 とした場合，UAnRX レジスタのリード値は保証できません。

★　4.　INTUAnR 信号の発生を待たずに受信終了を行うときは，必ず割り込み制御レジスタ（UAnRIC）の割り込みマスク・フラグ（UAnMK）をセット（1）してから UAnPWR ビット = 0 または UAnRXE ビット = 0 とし，さらに UAnRIC レジスタの割り込み要求フラグ（UAnRIF）をクリア（0）してください。

12. 5. 8　受信エラー

受信動作時のエラーは，パリティ・エラー，フレーミング・エラー，オーバラン・エラーの 3 種類があります。データ受信の結果エラー・フラグが UAnSTR レジスタに設定され，受信完了割り込み要求信号（INTUAnR）を発生します。

受信エラー割り込み処理内で，UAnSTR レジスタの内容を読み出すことによって，いずれのエラーが受信時に発生したかを検出することができます。

受信エラー・フラグは，“ 0 ” ライトによりクリアされます。

表 12－5　受信エラーの要因

エラー・フラグ	受信エラー	要　　因
UAnPE	パリティ・エラー	受信したパリティ・ビットが設定と一致しない
UAnFE	フレーミング・エラー	ストップ・ビットが検出されない
UAnOVE	オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信が完了

★　注意　連続受信時に受信エラーが発生した場合には，次の受信が完了する前に UAnSTR レジスタの内容を読み出しエラー処理を実施してください。

★　図 12－11　受信データの読み出しフロー

注意　INTUAnR 信号が発生したら，必ず UAnSTR レジスタを読み出してエラーの有無を確認してください。

12. 5. 9　パリティの種類と動作

注意　LIN 機能を使用する場合，UAnCTL0 レジスタの UAnPS1, UAnPS0 ビットを“00”に固定してください。

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティ・ビットは同一の種類のものを使用します。

偶数パリティと奇数パリティでは 1 ビット（奇数個）の誤りを検出することができます。0 パリティとパリティなしでは誤りを検出することはできません。

(1) 偶数パリティ

(a) 送信時

パリティ・ビットを含めた送信データ中の，値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- 送信データ中に値が“1”のビット数が奇数個：1
- 送信データ中に値が“1”のビット数が偶数個：0

(b) 受信時

パリティ・ビットを含めた受信データ中の，値が“1”のビット数をカウントし，奇数個であった場合にパリティ・エラーを発生します。

(2) 奇数パリティ

(a) 送信時

偶数パリティとは逆に，パリティ・ビットを含めた送信データ中の，値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

・送信データ中に，値が“1”のビット数が奇数個：0
・送信データ中に，値が“1”のビット数が偶数個：1

(b) 受信時

パリティ・ビットを含めた受信データ中の，値が“1”のビット数をカウントし，偶数個であった場合にパリティ・エラーを発生します。

(3) 0パリティ

送信時には，送信データによらずパリティ・ビットを“0”にします。
受信時にはパリティ・ビットの検査を行いません。したがって，パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(4) パリティなし

送信データにパリティ・ビットを付加しません。
受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。

12. 5. 10　受信データのノイズ・フィルタ

内部システム・クロック（fxx）で RXDAn 端子をサンプリングします。

サンプリング値が同じ値を 2 回取ると，一致検出器の出力が変化し，入力データとしてサンプリングされます。

また，回路は図 12－12 のようになっているので，受信動作の内部での処理は，外部の信号状態より 2 クロック分遅れて動作することになります。

図 12－12　ノイズ・フィルタ回路

12. 6　専用ボー・レート・ジェネレータ

専用ボー・レート・ジェネレータは，ソース・クロック・セレクタ部と 8 ビットのプログラマブル・カウンタにより構成され，UARTAn における送受信時のシリアル・クロックを生成します。シリアル・クロックは，チャネルごとに専用ボー・レート・ジェネレータ出力を選択できます。

なお，8 ビット・カウンタは送信用と受信用が別々に存在します。

(1) ボー・レート・ジェネレータの構成

図 12－13　ボー・レート・ジェネレータの構成

注　UARTA0 の場合のみ ASCKA0 端子を使用できます。UARTA1 では使用できません。

備考 1.　n = 0-2

2.　fxx　　：内部システム・クロック

f_{XCLK}　：基本クロック周波数

(a) 基本クロック（Clock）

UAnCTL0 レジスタの UAnPWR ビット = 1 のとき，UAnCTL1 レジスタの UAnCKS3-UAnCKS0 ビットで選択したクロックを 8 ビット・カウンタに供給します。このクロックを基本クロック（Clock）と呼び，その周波数を f_{XCLK} と呼びます。

(b) シリアル・クロックの生成

UAnCTL1 レジスタと UAnCTL2 レジスタの設定により，シリアル・クロックを生成できます（n = 0-2）。

UAnCTL1 レジスタの UAnCKS3-UAnCKS0 ビットにより，基本クロックを選択します。

UAnCTL2 レジスタの UAnBRS7-UAnBRS0 ビットにより，8 ビット・カウンタの分周値を設定できます。

（2）UARTAn制御レジスタ1（UAnCTL1）

UAnCTL1 レジスタは，UARTAn のクロックを選択するためのレジスタです。

詳細は，12. 3（2）UARTAn 制御レジスタ 1（UAnCTL1）を参照してください。

（3）3UARTAn制御レジスタ2（UAnCTL2）

UAnCTL2 レジスタは，UARTAn のボー・レート（シリアル転送スピード）クロックを選択するためのレジスタです。

詳細は，12. 3（2）UARTAn 制御レジスタ 1（UAnCTL1）を参照してください。

（4）ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{XCLK}}{2 \times k} \quad [\text{bps}]$$

f_{XCLK} = UAnCTL1 レジスタの UAnCKS3-UAnCKS0 ビットで選択した基本クロック（Clock）の周波数

k = UAnCTL2 レジスタの UAnBRS7-UAnBRS0 ビットで設定した値（k = 4, 5, 6, … , 255）

（5）ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差（\%）} = \left(\frac{\text{実際のボー・レート（誤差のあるボー・レート）}}{\text{目標とするボー・レート（正常なボー・レート）}} - 1\right) \times 100 \quad [\%]$$

注意 1.　送信時のボー・レート誤差は，受信先の許容誤差以内にしてください。

2.　受信時のボー・レート誤差は，（7）受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例　基本クロック（Clock）の周波数 = 20 MHz = 20,000,000 Hz

UAnCTL2 レジスタの UAnBRS7-UAnBRS0 ビットの設定値 = 01000001B（k = 65）

目標ボー・レート = 153600 bps

ボー・レート = 20000000/（2×65）

= 153846［bps］

誤差 =（153846/153600－1）×100

= 0.160［%］

(6) ボー・レート設定例

表 12－6　ボー・レート・ジェネレータ設定データ

	ボー・レート (bps)	fxx = 20 MHz			fxx = 16 MHz			fxx = 10 MHz		
		UAnCTL1	UAnCTL2	ERR（%）	UAnCTL1	UAnCTL2	ERR（%）	UAnCTL1	UAnCTL2	ERR（%）
	300	09H	41H	0.16	0AH	1AH	0.16	08H	41H	0.16
	600	08H	41H	0.16	0AH	0DH	0.16	07H	41H	0.16
	1200	07H	41H	0.16	09H	0DH	0.16	06H	41H	0.16
	2400	06H	41H	0.16	08H	0DH	0.16	05H	41H	0.16
	4800	05H	41H	0.16	07H	0DH	0.16	04H	41H	0.16
	9600	04H	41H	0.16	06H	0DH	0.16	03H	41H	0.16
	19200	03H	41H	0.16	05H	0DH	0.16	02H	41H	0.16
★	31250	01H	A0H	0	01H	80H	0	00H	A0H	0
★	38400	01H	82H	0.16	00H	D0H	0.16	00H	82H	0.16
	76800	01H	41H	0.16	03H	0DH	0.16	00H	41H	0.16
	153600	00H	41H	0.16	02H	0DH	0.16	00H	21H	－1.36
★	312500	00H	20H	0	00H	1AH	－1.54	00H	10H	0

備考　fxx　：内部システム・クロック

ERR ：ボー・レート誤差［%］

(7) 受信時の許容ボー・レート範囲

受信の際に，送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意　受信時のボー・レート誤差は，次に示す算出式を使用して，必ず許容誤差範囲内になるように設定してください。

図 12－14　受信時の許容ボー・レート範囲

図 12－14 に示すように，スタート・ビット検出後は UAnCTL2 レジスタで設定したカウンタにより，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。
これを 11 ビット受信に当てはめると理論上，次のようになります。

★ $FL = (Brate)^{-1}$

Brate　：UARTAn のボー・レート（n = 0-3）
k　　：UAnCTL2 の設定値（n = 0-3）
FL　　：1 ビット・データ長
ラッチ・タイミングのマージン：2 クロック

許容最小転送レート：$FLmin = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$

したがって，受信可能な送信先の最大ボー・レートは次のようになります。

$$BRmax = (FLmin/11)^{-1} = \frac{22k}{21k+2} Brate$$

同様に，許容最大転送レートを求めると，次のようになります。

$$\frac{10}{11} \times FLmax = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FLmax = \frac{21k-2}{20k} FL \times 11$$

したがって，受信可能な送信先の最小ボー・レートは次のようになります。

$$BRmin = (FLmax/11)^{-1} = \frac{20k}{21k-2} Brate$$

前述の最小／最大ボー・レート値の算出式から，UARTn と送信先とのボー・レートの許容誤差を求めると表 12－7 のようになります。

表 12－7　許容最大／最小ボー・レート誤差

分周比（k）	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	＋3.53 %	－3.61 %
20	＋4.26 %	－4.31 %
50	＋4.56 %	－4.58 %
100	＋4.66 %	－4.67 %
255	＋4.72 %	－4.73 %

備考 1.　受信の精度は，1 フレーム・ビット数，入力クロック周波数，分周比（k）に依存します。入力クロック周波数が高く，分周比（k）が大きくなるほど精度は高くなります。

2.　k：UAnCTL2 の設定値（n = 0-2）

（8）連続送信時の転送レート

連続送信する場合，ストップ・ビットから次のスタート･ビットまでの転送レートが通常より 2 クロック分延びます。ただし，受信側はスタート・ビットの検出により，タイミングの初期化が行われるので転送結果には影響しません。

図 12－15　連続送信時の転送レート

1 ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：f_{XCLK} とすると次の式が成り立ちます。

$$FLstp = FL + 2 / f_{XCLK}$$

したがって，連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + 2 / f_{XCLK}$$

★ 12. 7　使用上の注意

(1) オンチップ・ディバグ（OCD）モード下において break コマンドが起動され，かつ UARTA がデータ受信したとき，オーバラン・エラーが発生します。

(2) UARTAnへの供給クロックが停止する場合（例：IDLE1, IDLE2, ソフトウエアSTOPモード）は，各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDAn端子出力も停止直前の値を保持，出力します。ただし，クロック供給の再開後の動作は保証しません。したがって，再開後はUAnCTL0.UAnPWR, UAnRXEn, UAnTXEnビット = 000とし，回路を初期化してください。

(3) RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は，KR7端子を使用しないでください。また，KR7端子を使用する場合は，RXDA1端子を使用しないでください（PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します）。

(4) UARTAn では，通信エラーによる割り込みを発生しません。そのため，DMA 転送で送信データ，受信データの転送を行う場合，転送中にエラー（パリティ／オーバラン／フレーミング）が発生しても，エラー処理を行えません。DMA 転送終了後に UAnSTR レジスタを読み出してエラーがなかったことを確認するか，通信中に適宜 UAnSTR レジスタを読み出してエラーの有無を確認してください。

(5) UARTAn の起動は次の順序で行ってください。

① UAnCTL0.UAnPWR ビット = 1
② ポートの設定
③ UAnCTL0.UAnTXE ビット = 1, UAnCTL0.UAnRXE ビット = 1

(6) UARTAn の停止は次の順序で行ってください。

① UAnCTL0.UAnTXE ビット = 0, UAnCTL0.UAnRXE ビット = 0
② ポートの設定，UAnCTL0.UAnPWR ビット = 0（ポートの設定は変更しなくても問題ありません）

(7) 送信モード中（UAnCTL0.UAnPWR ビット = 1，かつ UAnCTL0.UAnTXE ビット = 1）に，ソフトウエアで UAnTX レジスタの同値書き込みをしないでください。このレジスタへの書き込みにより送信が開始するためです。同値を連続送信する場合は問題ありません。

(8) 連続送信の場合，ストップ・ビットから次のスタート・ビットまでの通信レートが，通常より基本クロックの 2 クロック分延びます。ただし，受信側はスタート・ビットの検出でタイミングの初期化を行うため，受信結果には影響しません。

第13章　3線式シリアル・インタフェース（CSIB）

V850ES/FG2 は，3 線式シリアル・インタフェース（CSIB）を搭載しています。

13. 1　特　　徴

★　○転送速度 ：8 Mbps〜4.9 kbps（fxx = 20 MHz, 内部クロック使用時）
　　：5 Mbps〜4.9 kbps（fxx = 20 MHz, 内部クロック使用時）

○マスタ・モードとスレーブ・モードを選択可能

○8 ビット〜16 ビット転送，3 線式シリアル・インタフェース

○割り込み要求信号（INTCBnT, INTCBnR）

○シリアル・クロックとデータのフェーズ切り替えが可能

○転送データ長を 8〜16 ビットに 1 ビット単位で選択可能

○転送データの MSB 先頭/LSB 先頭を切り替え可能

○3 線式　SOBn　：シリアル・データ出力
　　SIBn　：シリアル・データ入力
　　$\overline{\text{SCKBn}}$　：シリアル・クロック入出力

○送信モード，受信モード，送受信モードを指定可能

備考　n = 0, 1

★ 13. 2　構　　成

CSIBn は，次のハードウエアで構成されています。

表 13－1　CSIBn の構成

項　　目	構　　成
レジスタ	CSIBn 受信データ・レジスタ（CBnRX） CSIBn 送信データ・レジスタ（CBnTX）
受信データ入力	2 本（SIB0, SIB1）
送信データ出力	2 本（SOB0, SOB1）
シリアル・クロック入出力	2 本（$\overline{\text{SCKB0}}$, $\overline{\text{SCKB1}}$）
制御レジスタ	CSIBn 制御レジスタ 0-2（CBnCTL0-CBnCTL2） CSIBn 状態レジスタ（CBnSTR）

備考　n = 0, 1

3 線式シリアル・インタフェース（CSIB）の端子は，ポート端子と兼用になっています。兼用機能の設定方法については，第 4 章　ポート機能のレジスタ説明を参照してください。

表 13－2　3 線式シリアル・インタフェース端子一覧

端子名	兼用端子	入出力	機　　能
SIB0	P40	入力	シリアル受信データ入力（CSIB0）
SIB1	P97/TIP20/TOP20		シリアル受信データ入力（CSIB1）
SOB0	P41	出力	シリアル送信データ入力（CSIB0）
SOB1	P98		シリアル送信データ入力（CSIB1）
$\overline{\text{SCKB0}}$	P42	入出力	シリアル・クロック入出力（CSIB0）
$\overline{\text{SCKB1}}$	P99		シリアル・クロック入出力（CSIB1）

★　（1）CSIBn受信データ・レジスタ（CBnRX）

CBnRXレジスタは，受信データを保持する16ビットのバッファ・レジスタです。

16ビット単位でリードのみ可能です。

受信許可状態中は，CBnRXレジスタをリードすることにより，受信動作を開始します。

転送データ長が8ビットの場合は，CBnRXレジスタの下位8ビットをCBnRXLレジスタとして，8ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット以外に，CBnCTL0レジスタのCBnPWRビットをクリア（0）する場合も初期化されます。

リセット時：0000H　R　アドレス：　CB0RX: FFFFFD04H, CB1RX: FFFFFD14H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CBnRX																

（n = 0, 1）

★　（2）CSIBn送信データ・レジスタ（CBnTX）

CBnTXレジスタは，CSIBの転送データを書き込む16ビットのバッファ・レジスタです。

16ビット単位でリード／ライト可能です。

送信許可状態中は，CBnTXレジスタにデータをライトすることにより，送信動作を開始します。

転送データ長が8ビットの場合は，CBnTXレジスタの下位8ビットをCBnTXLレジスタとして，8ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

リセット時：0000H　R/W　アドレス：　CB0TX: FFFFFD06H, CB1TX: FFFFFD16H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CBnTX																

（n = 0, 1）

図 13ー1　3 線式シリアル・インタフェースのブロック図

備考　n = 0, 1

13. 3　制御レジスタ

（1）CSIBn制御レジスタ0（CBnCTL0）

CSIBのシリアル転送動作を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより01Hになります。

（1/2）

リセット時：01H　R/W　アドレス：CB0CTL0: FFFFFD00H, CB1CTL0: FFFFFD10H

	7	6	5	4	3	2	1	0
CBnCTL0	CBnPWR	CBnTXE 注	CBnRXE 注	CBnDIR 注	0	0	CBnTMS 注	CBnSCE

(n = 0, 1)

CBnPWR	CSIB 動作停止／許可の指定
0	クロック動作停止（CSIBn を非同期にリセット）
1	クロック動作許可
CBnPWR ビットは，CSIB の動作クロックの制御と内部回路のリセットを行います。	

CBnTXE 注	送信動作停止／許可の指定
0	送信動作停止
1	送信動作許可
CBnTXE ビット = 0 にすることで，シリアル出力端子 SOBn 端子をロウ・レベルに固定し通信動作を停止します。	

CBnRXE 注	受信動作許可
0	受信動作停止
1	受信動作許可
CBnRXE ビット = 0 にすることで，受信動作を停止するために規定のデータを転送されても受信完了割り込みは出力されず，受信データ CBnRX レジスタは更新されません。	

CBnDIR 注	転送方向モード（MSB/LSB）の指定
0	MSB ファースト
1	LSB ファースト

★　注　CBnPWR ビット = 0 の場合のみ書き換えできます。ただし，同時に CBnPWR ビット = 1 とすることや動作中の同値書き込みが可能です。

★　注意　送受信を強制中断する場合は（CBnTXE ビット，CBnRXE ビットではなく）CBnPWR ビットをクリア（0）してください。このときクロック出力も停止します。

（2/2）

CBnTMS 注	転送モードの指定
0	シングル転送モード
1	連続転送モード
CBnTMS ビット = 0 の場合にはシングル転送になるために，連続送信／連続受信には対応していません。また送信のみの場合でも，通信完了時に INTCBnR 信号のみ発生します。	

★

CBnSCE	通信起動禁止／許可の指定
0	通信起動禁止
1	通信起動許可
CBnRX レジスタのリードによる通信起動トリガの有効／無効を制御するビットです。 送信／送受信モード時には本ビットの機能は無効となります。CBnSCE ビットは“ 0 ”に設定してください。 マスタ・モードにおいては，CBnSCE ビットは転送動作の起動を制御するビットです。 シングル転送モードで受信のみ許可（CBnRXE ビット = 1, CBnTXE ビット = 0）で使用する場合，CBnRX レジスタのリードで受信動作が起動されるため，最終受信データをリードする場合には，CBnSCE ビットをクリア（0）したあとで最終受信データをリードし，次の受信動作の起動を禁止にしてください。 同様に，連続転送モード（CBnTMS ビット = 1）で受信のみ許可で使用する場合には，最終データの受信完了の 1 クロック前までに CBnSCE ビットをクリア（0）することにより，最終データ受信完了後の受信動作の起動を禁止にできます。最終データをリードしたあとで，再度 CBnSCE ビットをセット（1）し CBnRX レジスタをダミー・リードすることで，再び受信許可状態となります。 スレーブ受信モード時においては，CBnSCE ビットにより内部動作クロックのイネーブルを兼ねているため，CBnSCE ビット = 1 の状態で使用してください。	

★

注　CBnPWR ビット = 0 の場合のみ書き換えできます。ただし，同時に CBnPWR ビット = 1 とすることは可能です。

注意　ビット 3, 2 には必ず 0 を設定してください。

★

（2）CSIBn制御レジスタ1（CBnCTL1）

CSIBnの送受信タイミングおよび入力クロックを選択する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　CBnCTL1 レジスタは，CBnCTL0 レジスタの CBnPWR ビット = 0，または CBnTXE，CBnRXE ビット = 0 の場合のみ書き換えを可能です。

リセット時：00H　R/W　アドレス： CB0CTL1: FFFFFD01H, CB1CTL1: FFFFFD11H

	7	6	5	4	3	2	1	0
CBnCTL1	0	0	0	CBnCKP	CBnDAP	CBnCKS2	CBnCKS1	CBnCKS0

(n = 0, 1)

CBnCKP	CBnDAP	$\overline{\text{SCKBn}}$ に対するデータの送受信タイミングの指定
0	0	$\overline{\text{SCKBn}}$（入出力） SOBn（出力）　D7 D6 D5 D4 D3 D2 D1 D0 SIBnキャプチャ
0	1	$\overline{\text{SCKBn}}$（入出力） SOBn（出力）　D7 D6 D5 D4 D3 D2 D1 D0 SInキャプチャ
1	0	$\overline{\text{SCKBn}}$（入出力） SOBn（出力）　D7 D6 D5 D4 D3 D2 D1 D0 SIBnキャプチャ
1	1	$\overline{\text{SCKBn}}$（入出力） SOBn（出力）　D7 D6 D5 D4 D3 D2 D1 D0 SIBnキャプチャ

CBnCKS2	CBnCKS1	CBnCKS0	入力クロック		モード
			n = 0	n = 1	
0	0	0	$f_{XX}/2$		マスタ・モード
0	0	1	$f_{XX}/4$		マスタ・モード
0	1	0	$f_{XX}/8$		マスタ・モード
0	1	1	$f_{XX}/16$		マスタ・モード
1	0	0	$f_{XX}/32$		マスタ・モード
1	0	1	$f_{XX}/64$		マスタ・モード
1	1	0	f_{BRG} 注	TMP0(TOP01)	マスタ・モード
1	1	1	外部クロック（$\overline{\text{SCKBn}}$）		スレーブ・モード

注　f_{BRG}：プリスケーラ 3 の出力クロック周波数
プリスケーラ 3 についての詳細は，13. 8　プリスケーラ 3 を参照してください。

（3）CSIBn制御レジスタ2（CBnCTL2）

CSIBのシリアル転送ビット数を制御する8ビットのレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　CBnCTL2 レジスタは，CBnCTL0 レジスタの CBnPWR ビット = 0，または CB0TXE，CB0RXE ビット = 0 の場合のみ書き換えが可能です。

リセット時：00H　R/W　アドレス： CB0CTL2: FFFFFD02H, CB1CTL2: FFFFFD12H

	7	6	5	4	3	2	1	0
CBnCTL2	0	0	0	0	CBnCL3	CBnCL2	CBnCL1	CBnCL0

(n = 0，1)

CBnCL3	CBnCL2	CBnCL1	CBnCL0	シリアル・レジスタのビット長
0	0	0	0	8 ビット
0	0	0	1	9 ビット
0	0	1	0	10 ビット
0	0	1	1	11 ビット
0	1	0	0	12 ビット
0	1	0	1	13 ビット
0	1	1	0	14 ビット
0	1	1	1	15 ビット
1	x	x	x	16 ビット

注意　転送ビット数が 8/16 ビットではない場合には，CBnTX，CBnRX レジスタの最下位ビットから詰めてデータを準備して使用してください。

備考　x：任意

（4）CSIBn状態レジスタ（CBnSTR）

CSIBの状態を示す8ビットのレジスタです。

8/1ビット単位でリード／ライト可能ですが，CBnTSFフラグはリードのみ可能です。

リセットにより00Hになります。

リセット以外に，CBnCTL0レジスタのCBnPWRビットをクリア（0）する場合も初期化されます。

リセット時：00H　R/W　アドレス： CB0STR: FFFFFD03H, CB1STR: FFFFFD13H

	7	6	5	4	3	2	1	0
CBnSTR	CBnTSF	0	0	0	0	0	0	CBnOVE

(n = 0, 1)

CBnTSF	転送動作状態フラグ
0	通信停止中
1	通信中
送信時には CBnTX レジスタにデータを準備したタイミングでセットされ，受信時には CBnRX レジスタをダミー・リードしたタイミングでセットされます。 クリア・タイミングは，最後のクロックのエッジが終了したときクリアされます。	

CBnOVE	オーバラン・エラー・フラグ
0	オーバランなし
1	オーバランあり
・受信時もしくは受信動作完了後に，受信バッファの値を CPU リードせずに次の受信が完了した場合，オーバラン・エラーとなります。 CBnOVE フラグは，このような場合のオーバラン・エラーの発生状態を示します。 ・CBnOVE フラグは“0”ライトによりクリアされます。“1”ライトしてもセットされません。 ・シングル転送モード時も CBnOVE ビットは有効です。そのため，送信のみで使用する場合は，次のように対応してください。 ・CBnOVE フラグのチェックを行わない。 ・受信データを読み出す必要がない場合でも読み出す。	

13. 4　転送データ長変更機能

CSIB の転送データ長は CBnCTL2 レジスタの CBnCL3-CBnCL0 ビットによって，8-16 ビットに 1 ビット単位で設定可能です。

転送ビット長を 16 ビット以外に設定した場合，CBnTX, CBnRX レジスタへは，転送先頭ビットが MSB であっても LSB であっても最下位ビットから詰めてデータをセットしてください。使用しない上位ビットにセットするデータは任意ですが，シリアル転送後の受信データは“ 0 ”になります。

図 13ー2　転送データ長の変更

13. 5　割り込み要求信号

CSIBn からは次の 2 種類の割り込み要求信号を発生します。

- 受信完了割り込み要求信号（INTCBnR）
- 送信許可割り込み要求信号（INTCBnT）

これら 2 種類の割り込み要求信号のディフォールト優先順位は，受信完了割り込み要求信号の方が高く，送信許可割り込み要求信号の方が低くなっています。

表 13－3　発生する割り込みとディフォールト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

(1) 受信完了割り込み要求信号（INTCBnR）

受信許可状態中で，CBnRXレジスタに受信データが転送されると受信完了割り込み要求信号が発生します。

★　受信完了割り込み要求信号は，オーバラン・エラーが起こった場合にも発生します（連続モードのみ）。

受信完了割り込み要求信号を受け付け，データを読み出すときに，CBnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

また，シングル転送モード時は送信のみにおいても，送信完了のタイミングで，INTCBnR信号が発生します。

(2) 送信許可割り込み要求信号（INTCBnT）

★　連続送信／連続送受信モードにおいて，CBnTXレジスタから送信データが転送され，CBnTXへの書き込みが可能となった時点で送信許可割り込み要求信号を発生します。

シングル送信／シングル送受信モードにおいては，INTCBnT信号は発生しません。

13. 6　動　　作

13. 6. 1　シングル転送モード（マスタ・モード，送受信モード）

MSB ファースト（CBnCTL0 レジスタの CBnDIR ビット ＝ 0），CBnCTL1 レジスタの CBnCKP ビット ＝ 0，CBnCTL1 レジスタの CBnDAP ビット ＝ 0，転送データ長 8 ビット（CBnCTL2 レジスタの CBnCL3-CBnCL0 ビット ＝ 0, 0, 0, 0）の場合の転送タイミングを図 13－3 に示します。

図 13－3　シングル転送タイミング（マスタ・モード，送受信モード）

★ CBnTSF

（1）CBnCTL1, CBnCTL2 レジスタを設定し，転送モードを指定する。

（2）CBnCTL0 レジスタの CBnDIR ビットによって転送モードを指定すると同時に，CBnCTL0 レジスタの CBnTXE, CBnRXE ビットを“1”にして送受信許可状態にする。

★（3）CBnCTL0 レジスタの CBnPWR ビット ＝ 1 にして，CSIBn の動作を許可する。

（4）CBnTX レジスタに，転送データをライトする（送信開始）。

★（5）受信完了割り込み要求信号（INTCBnR）を発生。

（6）CBnPWR ビットを“0”にする前に CBnRX レジスタをリードする。

★（7）CBnSTR レジスタの CBnTSF ビット ＝ 0 を確認し，CBnPWR ビットを“0”にして CSIBn の動作を停止する（送受信終了）。

さらに転送を行いたい場合には，（7）の前に（4）～（6）を繰り返す。

★ **注**　シングル転送モード時，INTCBnT 信号は発生しません。
通信完了時には INTCBnR 信号が発生します。

備考 1.　（2），（3）の処理は同時に設定可能です。
2.　n = 0, 1

★ 13. 6. 2　シングル転送モード（マスタ・モード，送信モード）

MSB ファースト（CBnCTL0 レジスタの CBnDIR ビット = 0），CBnCTL1 レジスタの CBnCKP ビット = 0，CBnCTL1 レジスタの CBnDAP ビット = 0，転送データ長 8 ビット（CBnCTL2 レジスタの CBnCL3-CBnCL0 ビット = 0, 0, 0, 0）の場合の転送タイミングを図 13－4 に示します。

図 13－4　シングル転送タイミング（マスタ・モード，送信モード）

（1）CBnCTL1, CBnCTL2 レジスタを設定し，転送モードを指定する。

（2）CBnCTL0 レジスタの CBnDIR ビットによって転送モードを指定すると同時に，CBnCTL0 レジスタの CBnTXE ビットを“1”にして送信許可状態にする。

（3）CBnCTL0 レジスタの CBnPWR ビット = 1 にして，CSIBn の動作を許可する。

（4）CBnTX レジスタに，転送データをライトする（送信開始）。

（5）受信完了割り込み要求信号（INTCBnR）を発生。

（6）CBnSTR レジスタの CBnTSF ビット = 0 を確認し，CBnPWR ビットを“0”にして CSIBn の動作を停止する（送信終了）。

さらに転送を行いたい場合には，（6）の前に（4）～（5）を繰り返す。

注　シングル転送モード時，INTCBnT 信号は発生しません。
通信完了時には INTCBnR 信号が発生します。

備考 1.　（2），（3）の処理は同時に設定可能です。
2.　n = 0, 1

13. 6 .3　シングル転送モード（マスタ・モード，受信モード）

MSB ファースト（CBnCTL0 レジスタの CBnDIR ビット = 0），CBnCTL1 レジスタの CBnCKP ビット = 0, CBnCTL1 レジスタの CBnDAP ビット = 0，転送データ長 8 ビット（CBnCTL2 レジスタの CBnCL3-CBnCL0 ビット = 0, 0, 0, 0）の場合の転送タイミングを図 13－5 に示します。

図 13－5　シングル転送タイミング（マスタ・モード，受信モード）

（1）CBnCTL1, CBnCTL2 レジスタを設定し，転送モードを指定する。

★（2）CBnCTL0 レジスタの CBnDIR ビットによって転送モードを指定すると同時に，CBnCTL0 レジスタの CBnRXE, CBnSCE ビットを“1”にして受信許可状態にする。

★（3）CBnCTL0 レジスタの CBnPWR ビット = 1 にして，CSIBn の動作を許可する。

（4）CBnRX レジスタをダミー・リードする（受信開始トリガ）。

★（5）受信完了割り込み要求信号（INTCBnR）を発生。

（6）CBnCTL0 レジスタの CBnSCE ビット = 0 にして受信最終データ状態にする。

（7）CBnPWR ビットを“0”にする前に CBnRX レジスタをリードする。

★（8）CBnSTR レジスタの CBnTSF ビット = 0 を確認し，CBnPWR ビットを“0”にして CSIBn の動作を停止する（受信終了）。

さらに転送を行いたい場合には，（6）の前に（4），（5）を繰り返す（このときの（4）はダミー・リードではなく受信トリガを兼ねた受信データのリードです）。

備考 1.　（2），（3）の処理は同時に設定可能です。

2.　n = 0, 1

★ 13. 6. 4　シングル転送モード（スレーブ・モード，送受信モード）

MSB ファースト（CBnCTL0 レジスタの CBnDIR ビット = 0），CBnCTL1 レジスタの CBnCKP ビット = 0，CBnCTL1 レジスタの CBnDAP ビット = 0，CBnCKS2-CBnCKS0 = 1, 1, 1, 転送データ長 8 ビット（CBnCTL2 レジスタの CBnCL3-CBnCL0 ビット = 0, 0, 0, 0）の場合の転送タイミングを図 13－6 に示します。

図 13－6　シングル転送タイミング（スレーブ・モード，送受信モード）

（1）CBnCTL1, CBnCTL2 レジスタを設定し，転送モードを指定する。
（2）CBnCTL0 レジスタの CBnDIR ビットによって転送モードを指定すると同時に，CBnCTL0 レジスタの CBnTXE, CBnRXE ビットを“1”にして送受信許可状態にする。
（3）CBnCTL0 レジスタの CBnPWR ビット = 1 にして，CSIBn の動作を許可する。
（4）CBnTX レジスタに，転送データをライトする（シリアル・クロック入力待ち）。
（5）受信完了割り込み要求信号（INTCBnR）を発生。
（6）CBnPWR ビットを“0”にする前に CBnRX レジスタをリードする。
（7）CBnSTR レジスタの CBnTSF ビット = 0 を確認し，CBnPWR ビットを“0”にして CSIBn の動作を停止する（送受信終了）。

さらに転送を行いたい場合には，（7）の前に（4）～（6）を繰り返す。

注　シングル転送モード時，INTCBnT 信号は発生しません。
通信完了時には INTCBnR 信号が発生します。

備考 1.　（2），（3）の処理は同時に設定可能です。
2.　n = 0, 1

★ 13. 6. 5　シングル転送モード（スレーブ・モード，送信モード）

MSB ファースト（CBnCTL0 レジスタの CBnDIR ビット = 0），CBnCTL1 レジスタの CBnCKP ビット = 0，CBnCTL1 レジスタの CBnDAP ビット = 0，CBnCKS2-CBnCKS0 = 1, 1, 1, 転送データ長 8 ビット（CBnCTL2 レジスタの CBnCL3-CBnCL0 ビット = 0, 0, 0, 0）の場合の転送タイミングを図 13－7 に示します。

図 13－7　シングル転送タイミング（スレーブ・モード，送信モード）

(1) CBnCTL1, CBnCTL2 レジスタを設定し，転送モードを指定する。

(2) CBnCTL0 レジスタの CBnDIR ビットによって転送モードを指定すると同時に，CBnCTL0 レジスタの CBnTXE ビットを“1”にして送信許可状態にする。

(3) CBnCTL0 レジスタの CBnPWR ビット = 1 にして，CSIBn の動作を許可する。

(4) CBnTX レジスタに，転送データをライトする（シリアル・クロック入力待ち）。

(5) 受信完了割り込み要求信号（INTCBnR）を発生。

(6) CBnSTR レジスタの CBnTSF ビット = 0 を確認し，CBnPWR ビットを“0”にして CSIBn の動作を停止する（送信終了）。

さらに転送を行いたい場合には，(6) の前に (4)，(5) を繰り返す。

注　シングル転送モード時，INTCBnT 信号は発生しません。
通信完了時には INTCBnR 信号が発生します。

備考 1.　(2)，(3) の処理は同時に設定可能です。
2.　n = 0, 1

★ 13. 6. 6　シングル転送モード（スレーブ・モード，受信モード）

MSB ファースト（CBnCTL0 レジスタの CBnDIR ビット = 0），CBnCTL1 レジスタの CBnCKP ビット = 0，CBnCTL1 レジスタの CBnDAP ビット = 0，CBnCKS2-CBnCKS0 = 1, 1, 1, 転送データ長 8 ビット（CBnCTL2 レジスタの CBnCL3-CBnCL0 ビット = 0, 0, 0, 0）の場合の転送タイミングを図 13－8 に示します。

図 13－8　シングル転送タイミング（スレーブ・モード，受信モード）

(1) CBnCTL1, CBnCTL2 レジスタを設定し，転送モードを指定する。

(2) CBnCTL0 レジスタの CBnDIR ビットによって転送モードを指定すると同時に，CBnCTL0 レジスタの CBnRXE, CBnSCE ビットを“1”にして受信許可状態にする。

(3) CBnCTL0 レジスタの CBnPWR ビット = 1 にして，CSIBn の動作を許可する。

(4) CBnRX レジスタをダミー・リードする（シリアル・クロック入力待ち）。

(5) 受信完了割り込み要求信号（INTCBnR）を発生。

(6) CBnCTL0 レジスタの CBnSCE ビット = 0 にして受信最終データ状態にする。

(7) CBnPWR ビットを“0”にする前に CBnRX レジスタをリードする。

(8) CBnSTR レジスタの CBnTSF ビット = 0 を確認し，CBnPWR ビットを“0”にして CSIBn の動作を停止する（受信終了）。

さらに転送を行いたい場合には，(6) の前に (4)，(5) を繰り返す（このときの (4) はダミー・リードではなく受信トリガを兼ねた受信データのリードです）。

備考 1.　(2)，(3) の処理は同時に設定可能です。

2.　n = 0, 1

13. 6. 7　連続モード（マスタ・モード，送受信モード）

MSB ファースト（CBnCTL0 レジスタの CBnDIR ビット = 0），連続転送モード（CBnCTL0 レジスタの CBnTMS ビット = 1），CBnCTL1 レジスタの CBnCKP ビット = 1, CBnCTL1 レジスタの CBnDAP ビット = 0，転送データ長 8 ビット（CBnCTL2 レジスタの CBnCL3-CBnCL0 ビット = 0, 0, 0, 0）の場合の転送タイミングを図 13－9 に示します。

図 13－9　連続転送タイミング（マスタ・モード，送受信モード）

(1) CBnCTL1, CBnCTL2 レジスタを設定し，転送モードを指定する。

(2) CBnCTL0 レジスタの CBnDIR ビットによって転送モードを指定すると同時に，CBnCTL0 レジスタの CBnRXE, CBnTXE ビットを “ 1 ” にして送受信許可状態にする。

★ (3) CBnCTL0 レジスタの CBnPWR ビット = 1 にして，CSIBn の動作を許可する。

(4) CBnTX レジスタに，転送データをライトする（送信開始）

★ (5) 送信許可割り込み要求信号（INTCBnT）を受けて，CBnTX レジスタに次の転送データをライトする。

★ (6) 受信完了割り込み要求信号（INTCBnR）を受けて，CBnRX レジスタをリードする。

★ (7) 受信を停止する場合は CBnPWR ビットを “ 0 ” にする前に CBnRX レジスタをリードする。

(8) CBnSTR レジスタの CBnTSF ビット = 0 を確認し，CBnPWR ビットを “ 0 ” にして CSIBn の動作を停止する（送受信終了）。

さらに転送を行いたい場合には，(7) の前に (5)，(6) を繰り返す。

備考　n = 0, 1

★ 13. 6. 8　連続モード（マスタ・モード，送信モード）

MSB ファースト（CBnCTL0 レジスタの CBnDIR ビット = 0），連続転送モード（CBnCTL0 レジスタの CBnTMS ビット = 1），CBnCTL1 レジスタの CBnCKP ビット = 1, CBnCTL1 レジスタの CBnDAP ビット = 0，転送データ長 8 ビット（CBnCTL2 レジスタの CBnCL3-CBnCL0 ビット = 0, 0, 0, 0）の場合の転送タイミングを図 13－10 に示します。

図 13－10　連続転送タイミング（マスタ・モード，送信モード）

（1）CBnCTL1, CBnCTL2 レジスタを設定し，転送モードを指定する。

（2）CBnCTL0 レジスタの CBnDIR ビットによって転送モードを指定すると同時に，CBnCTL0 レジスタの CBnRXE, CBnTXE ビットを“1”にして送信許可状態にする。

（3）CBnCTL0 レジスタの CBnPWR ビット = 1 にして，CSIBn の動作を許可する。

（4）CBnTX レジスタに，転送データをライトする（送信開始）。

（5）送信許可割り込み要求信号（INTCBnT）を受けて，CBnTX レジスタに次の転送データをライトする。

（6）現送信で連続送信を終了する場合，CBnTX レジスタにライトを行わない（転送完了時にシリアル・クロック出力停止）。

（7）CBnSTR レジスタの CBnTSF ビット = 0 を確認し，CBnPWR ビットを“0”にして CSIBn の動作を停止する（送信終了）。

さらに転送を行いたい場合には，（6）の前に（5）を繰り返す。

備考　n = 0, 1

13. 6. 9　連続モード（マスタ・モード，受信モード）

MSB ファースト（CBnCTL0 レジスタの CBnDIR ビット = 0），連続転送モード（CBnCTL0 レジスタの CBnTMS ビット = 1），CBnCTL1 レジスタの CBnCKP ビット = 0, CBnCTL1 レジスタの CBnDAP ビット = 1，転送データ長 8 ビット（CBnCTL2 レジスタの CBnCL3-CBnCL0 ビット = 0, 0, 0, 0）の場合の転送タイミングを図 13－11 に示します。

図 13－11　連続転送タイミング（マスタ・モード，受信モード）

(1) CBnCTL1, CBnCTL2 レジスタを設定し，転送モードを指定する。

★ (2) CBnCTL0 レジスタの CBnDIR ビットによって転送モードを指定すると同時に，CBnCTL0 レジスタの CBnRXE, CBnSCE ビットを“1”にして受信許可状態にする。

★ (3) CBnCTL0 レジスタの CBnPWR ビット = 1 にして，CSIBn の動作を許可する。

(4) CBnRX レジスタをダミー・リードする（受信開始トリガ）。

★ (5) 受信完了割り込み要求信号（INTCBnR）を発生。

★ (6) 最終データ受信中に CBnCTL0 レジスタの CBnSCE ビット= 0 にして受信最終データ状態にする。

★ (7) CBnSTR レジスタの CBnTSF ビット = 0 を確認し，CBnPWR ビットを“0”にして CSIBn の動作を停止する（受信終了）。

さらに転送を行いたい場合には，(6) の前に (4) ～ (5) を繰り返す（このときの (4) はダミー・リードではなく受信トリガを兼ねた受信データのリードです）。

備考　n = 0, 1

13. 6. 10　連続受信モード（エラー時）

MSB ファースト（CBnCTL0 レジスタの CBnDIR ビット = 0），連続転送モード（CBnCTL0 レジスタの CBnTMS ビット = 1），CBnCTL1 レジスタの CBnCKP ビット = 0, CBnCTL1 レジスタの CBnDAP ビット = 1，転送データ長 8 ビット（CBnCTL2 レジスタの CBnCL3-CBnCL0 ビット = 0, 0, 0, 0）の場合の転送タイミングを図 13－12 に示します。

図 13－12　連続転送タイミング（エラー時）

(1) CBnCTL1, CBnCTL2 レジスタを設定し転送モードを指定する。

(2) CBnCTL0 レジスタの CBnDIR ビットによって転送モードを指定すると同時に，CBnCTL0 レジスタの CBnRXE ビット = 1 にして受信許可状態にする。

★ (3) CBnCTL0 レジスタの CBnPWR ビット = 1 にして，CSIBn の動作を許可する。

(4) CBnRX レジスタをダミー・リードする（受信開始トリガ）。

★ (5) 受信完了割り込み要求信号（INTCBnR）を発生。

(6) 次の転送が終了するまでにデータを読み出せなかった場合には，受信終了時に CBnSTR レジスタの CBnOVE フラグがセットされ受信完了割り込み要求信号（INTCBnR）が発行される。次の受信データがくる前に CBnRX レジスタをリードする。

(7) INTCBnR 割り込み処理内にて CBnOVE ビット = 1 を確認したらオーバラン・エラー処理を行う。

(8) CBnOVE ビットをクリア（0）する。

★ (9) CBnSTR レジスタの CBnTSF ビット = 0 を確認し，CBnPWR ビットを “ 0 ” にして CSIBn の動作を停止する（受信終了）。

備考　n = 0, 1

13. 6. 11　連続モード（スレーブ・モード，送受信モード）

MSB ファースト（CBnCTL0 レジスタの CBnDIR ビット = 0），連続転送モード（CBnCTL0 レジスタの CBnTMS ビット = 1），CBnCTL1 レジスタの CBnCKP ビット = 0, CBnCTL1 レジスタの CBnDAP ビット = 1，CBnCKS2-
★ CBnCKS0 = 1, 1, 1，転送データ長 8 ビット（CBnCTL2 レジスタの CSnCL3-CBnCL0 ビット = 0, 0, 0, 0）の場合の転送タイミングを図 13－13 に示します。

図 13－13　連続転送タイミング（スレーブ・モード，送受信モード）

（1）CBnCTL1, CBnCTL2 レジスタを設定し，転送モードを指定する。

（2）CBnCTL0 レジスタの CBnDIR ビットによって転送モードを指定すると同時に，CBnCTL0 レジスタの CBnTXE, CBnRXE ビットを“1”にして送受信許可状態にする。

★（3）CBnCTL0 レジスタの CBnPWR ビット = 1 にして，CSIBn の動作を許可する。

★（4）CBnTX レジスタに，転送データをライトする（シリアル・クロック入力待ち）。

（5）送信許可割り込み要求信号（INTCBnT）を受けて，CBnTX レジスタに転送データをライトする。

★（6）受信完了割り込み要求信号（INTCBnR）を発生する。CBnRX レジスタをリードする。

★（7）CBnSTR レジスタの CBnTSF ビット = 0 を確認し，CBnPWR ビットを“0”にして CSIBn の動作を停止する（送受信終了）。

さらに転送を行いたい場合には，（7）の前に（4）～（6）を繰り返す。

備考　n = 0, 1

★ 13. 6. 12　連続モード（スレーブ・モード，送信モード）

MSB ファースト（CBnCTL0 レジスタの CBnDIR ビット = 0），連続転送モード（CBnCTL0 レジスタの CBnTMS ビット = 1），CBnCTL1 レジスタの CBnCKP ビット = 0, CBnCTL1 レジスタの CBnDAP ビット = 1，CBnCKS2-CBnCKS0 = 1, 1, 1，転送データ長 8 ビット（CBnCTL2 レジスタの CSnCL3-CBnCL0 ビット = 0, 0, 0, 0）の場合の転送タイミングを図 13－14 に示します。

図 13－14　連続転送タイミング（スレーブ・モード，送信モード）

（1）CBnCTL1, CBnCTL2 レジスタを設定し，転送モードを指定する。

（2）CBnCTL0 レジスタの CBnDIR ビットによって転送モードを指定すると同時に，CBnCTL0 レジスタの CBnTXE ビットを“1”にして送信許可状態にする。

（3）CBnCTL0 レジスタの CBnPWR ビット = 1 にして，CSIBn の動作を許可する。

（4）CBnTX レジスタに，転送データをライトする（シリアル・クロック入力待ち）。

（5）送信許可割り込み要求信号（INTCBnT）を受けて，CBnTX レジスタに転送データをライトする。

（6）CBnSTR レジスタの CBnTSF ビット = 0 を確認し，CBnPWR ビットを“0”にして CSIBn の動作を停止する（送信終了）。

さらに転送を行いたい場合には，（6）の前に（5）を繰り返す。

備考　n = 0, 1

13. 6. 13　連続モード（スレーブ・モード，受信モード）

MSB ファースト（CBnCTL0 レジスタの CBnDIR ビット = 0），連続転送モード（CBnCTL0 レジスタの CBnTMS ビット = 1），CBnCTL1 レジスタの CBnCKP ビット = 0, CBnCTL1 レジスタの CBnDAP ビット = 0，CBnCKS2-
★ CBnCKS0 = 1, 1, 1，転送データ長 8 ビット（CBnCTL2 レジスタの CSnCL3-CBnCL0 ビット = 0, 0, 0, 0）の場合の転送タイミングを図 13－15 に示します。

図 13－15　連続転送タイミング（スレーブ・モード，受信モード）

（1）CBnCTL1, CBnCTL2 レジスタを設定し，転送モードを指定する。

（2）CBnCTL0 レジスタの CBnDIR ビットによって転送モードを指定すると同時に，CBnCTL0 レジスタの CBnRXE ビット = 1 にして受信許可状態にする。

★（3）CBnCTL0 レジスタの CBnPWR ビット = 1 にして，CSIBn の動作を許可する。

★（4）CBnRX レジスタをダミー・リードする（シリアル・クロック入力待ち）。

★（5）受信完了割り込み要求信号（INTCBnR）を発生し，CBnRX レジスタをリードする。最終データの場合は，CBnSCE ビットを 0 にしてから CBnRX レジスタをリードする。

★（6）CBnSTR レジスタの CBnTSF ビット = 0 を確認し，CBnPWR ビットを“0”にして CSIBn の動作を停止する（受信終了）。

さらに転送を行いたい場合には，（6）前に（4），（5）を繰り返す。

備考　n = 0, 1

13. 6. 14　クロック・タイミング

図 13－16　クロック・タイミング（1/2）

★ **注**1.　**連続送信／連続送受信モードにおいて，送信バッファに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信／シングル送受信モードにおいては，INTCBnT 割り込み要求信号は発生せずに，通信完了時に INTCBnR 割り込み要求信号が発生します。**

★ 2.　**受信許可状態において，正常に受信を完了し，受信データが CBnRX レジスタに準備できた場合，およびオーバラン・エラーを発生した場合に発生します。また，シングル・モードの場合には，送信モードにおいても，通信完了のタイミングで INTCBnR 割り込み要求信号が発生します。**

備考　n = 0, 1

図 13－16　クロック・タイミング（2/2）

（c）CBnCKP = 0, CBnDAP = 1

（d）CBnCKP = 1, CBnDAP = 1

★ **注**1.　**連続送信／連続送受信モードにおいて，送信バッファに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信／シングル送受信モードにおいては，**INTCBnT **割り込み要求信号は発生せずに，通信完了時に** INTCBnR **割り込み要求信号が発生します。**

★ 2.　**受信許可状態において，正常に受信を完了し受信データが** CBnRX **レジスタに準備できた場合，およびオーバラン・エラーを発生した場合に発生します。また，シングル・モードの場合には，送信モードにおいても，通信完了のタイミングで** INTCBnR **割り込み要求信号が発生します。**

★ **注意**　CBnDAP = 1 **のときは，**INTCBnR **割り込み要求信号発生後，**SCKBn **半クロック後に** CBnTSF **ビットがクリアされます。**

備考　n = 0, 1

13. 6. 15　動作禁止時の出力端子状態

（1）$\overline{\text{SCKBn}}$端子

CSIBn動作禁止（CBnCTL0レジスタのCBnPWRビット = 0）のとき，$\overline{\text{SCKBn}}$端子出力状態は次のようになります。

★

CBnCKS2	CBnCKS1	CBnCKS0	CBnCKP	$\overline{\text{SCKBn}}$ 端子出力
1	1	1	x	ハイ・インピーダンス
上記以外			0	ハイ・レベル固定
			1	ロウ・レベル固定

備考 1. CBnCTL1 レジスタの CBnCKP, CBnCKS2-CBnCKS0 ビットのいずれかを書き換えると$\overline{\text{SCKBn}}$端子の出力が変化します。

2. n = 0, 1

3. x：任意

（2）SOBn端子

CSIBn動作禁止（CBnPWRビット = 0）のとき，SOBn端子出力状態は次のようになります。

CBnTXE	CBnDAP	CBnDIR	SOBn 端子出力
0	x	x	ロウ・レベル固定
1	0	x	SOBn ラッチの値（ロウ・レベル）
1	1	0	CBnTX の値（MSB）
1	1	1	CBnTX の値（LSB）

備考 1. CBnCTL0 レジスタの CBnTXE, CBnDIR ビット, CBnCTL1 レジスタの CBnDAP ビットのいずれかを書き換えると SOBn 端子の出力が変化します。

2. n = 0, 1

3. x：任意

13. 7　動作フロー

（1）シングル送信

図 13ー17　シングル送信フロー

★ **注意　スレーブ・モードでは，次の転送クロックが** CBnTX **レジスタへのライトより早く入力された場合には，データを正常に送信できません。**

備考　n = 0, 1

(2) シングル受信

図 13－18　シングル受信フロー

注　初期設定において，CBnSCE ビットは“1”にしてください。

★ **注意　スレーブ・モードでは，CBnRX レジスタのリードより早く次の転送クロックが入力された場合，データを正常に受信できません。**

備考　n = 0, 1

★　（3）シングル送受信

図 13－19　シングル送受信フロー

注　次回の転送が受信のみの場合，CBnTX レジスタにライトされるデータはダミー・データを書き込みます。

注意1.　シングル・モード時でも，CBnSTR.CBnOVE フラグはセット（1）されます。したがって，送受信モードのときに，送信のみで使用した場合には，CBnOVE フラグを確認する必要はありません。

2.　スレーブ・モードでは，次の転送クロックが CBnTX レジスタへのライトより早く入力された場合には，データを正常に送受信できません。

備考　n = 0, 1

（4）連続送信

★ **図 13－20　連続送信フロー**

注意　スレーブ・モードでは，次の転送クロックが CBnTX レジスタへのライトより早く入力された場合には，データを正常に送信できません。

備考　n = 0, 1

(5) 連続受信

★ **図 13－21　連続受信フロー**

注　初期設定において，CBnSCE ビットは“1”にしてください。

注意1.　マスタ・モードの場合，CBnRXレジスタのダミー・リードにより，クロックは無制限に出力します。停止させる場合には，フロー中の◆が付いているフローを実行してください。
スレーブ・モードの場合には，フロー中の◆が付いているフローを実行することにより，通信待機中のノイズによる誤動作などがなくなります。
また，通信を再開する場合には，CBnCTL0.CBnSCEビットを“1”にし，CBnRXレジスタのダミー・リードをしてから再開してください。

2.　スレーブ・モードでは，CBnRXレジスタのリードより早く次の転送クロックが入力された場合，データを正常に受信できません。

備考　n = 0, 1

★　（6）連続送受信

図 13－22　連続送受信フロー

注意　スレーブ・モードでは，次の転送クロックが CBnTX レジスタへのライトより早く入力された場合には，データを正常に送受信できません。

備考　n = 0, 1

13. 8　プリスケーラ3

プリスケーラ 3 には次のような機能があります。

・時計タイマおよび CSIB0 のカウント・クロックの生成（ソース・クロック：メイン発振クロック）

13. 8. 1　プリスケーラ3の制御レジスタ

（1）プリスケーラ・モード・レジスタ0（PRSM0）

PRSM0レジスタは，時計タイマおよびCSIB0のカウント・クロックの生成を制御します。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 1.　時計タイマ動作中に，BGCS01, BGCS00 ビットの値を変更しないでください。

2.　PRSM0 レジスタの設定は BGCE0 ビットに“1”を設定する前に行ってください。

リセット時：00H　R/W　アドレス：FFFFF8B0H

	7	6	5	4	3	2	1	0
PRSM0	0	0	0	BGCE0	0	0	BGCS01	BGCS00

BGCE0	プリスケーラ出力
0	禁止
1	許可

BGCS01	BGCS00	カウント・クロックの選択（f_{BRG}）	
			4 MHz
0	0	f_X	250 ns
0	1	$f_X/2$	500 ns
1	0	$f_X/4$	1 μs
1	1	$f_X/8$	2 μs

（2）プリスケーラ・コンペア・レジスタ0（PRSCM0）

8ビットのコンペア・レジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 1.　時計タイマ動作中に PRSCM0 レジスタを書き換えないでください。

2.　PRSM0 レジスタの BGCE0 ビットに“1”を設定する前に PRSCM0 レジスタの設定を行ってください。

リセット時：00H　R/W　アドレス：FFFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM0	PRSCM07	PRSCM06	PRSCM05	PRSCM04	PRSCM03	PRSCM02	PRSCM01	PRSCM00

13. 8. 2　カウント・クロックの生成

時計タイマまたは CSIB0 に入力するクロック（f_{BRG}）を 32.768 kHz 相当に補正することが可能です。

また，メイン・クロック（f_X），カウント・クロック選択ビット BGCS00, BGCS01 設定値（m），PRSCM0 レジスタ設定値（N）と出力クロック（f_{BRG}）との関係は次のとおりです。

$$f_{BRG} = \frac{f_X}{2^m \times N \times 2}$$

例　f_X = 4.00 MHz，m = 0（BGCS01 ビット = BGCS00 ビット = 0），N = 3DH の場合

f_{BRG} = 32.787 kHz

備考　f_{BRG}　：カウント・クロック

N　：PRSCM0 レジスタ設定値（01H-FFH）

PRSCM0 レジスタ設定値“00H”の場合は，N = 256

m　：BGCS01, BGCS00 ビット設定値（00B-11B）

★ 13. 9　注意事項

(1) DMA転送により，送信データ，受信データの転送を行う場合，シリアル転送中にオーバラン・エラーが発生してもエラー処理を行えません。DMA転送終了後にCBnSTRレジスタのCBnOVEビットを読み出してオーバラン・エラーがなかったことを確認してください。

(2) 動作中（CBnCTL0レジスタのCBnPWRビット = 1）の書き換えを禁止しているレジスタに対して，動作中に誤って書き換えを行ってしまった場合は，一度CBnCTL0レジスタのCBnPWRビット = 0に設定してCSIBnを初期化してください。
動作中の書き換えが禁止されているレジスタを次に示します。

- CBnCTL0 レジスタ：CBnTXE, CBnRXE, CBnDIR, CBnTMS ビット
- CBnCTL1 レジスタ：CBnCKP, CBnDAP, CBnCKS2-CBnCKS0 ビット
- CBnCTL2 レジスタ：CBnCL3-CBnCL0 ビット

(3) シングル転送モード（CBnCTL0レジスタのCBnTMSビット = 0）で，CBnCTL1レジスタのCBnDAPビット = 1を設定し，受信完了割り込みINTCBnRを使用して次の送信，受信を起動する場合，受信完了割り込みINTCBnR発生後，SCKBnの0.5クロック分の間は，CBnTXレジスタにライトあるいは，CBnRXレジスタをリードしても2回目以降の送信動作および受信動作が行われません。連続して転送を行う場合は，連続転送モードを使用してください。

備考　n = 0, 1

第14章　CANコントローラ

14. 1　概　　要

この製品は，CANプロトコルISO11898に準拠したCAN（Controller Area Network）コントローラを2チャネル内蔵しています。

14. 1. 1　特　　徴

○CANプロトコルISO11898準拠，ISO/DIS16845（CANコンフォーマンス・テスト）実施
○標準フレーム，拡張フレームの送信／受信が可能
○転送速度　最大1 Mbps（CANクロック入力≧8 MHz時）
○32メッセージ・バッファ／2チャネル
○受信／送信ヒストリ・リスト機能
○自動ブロック送信機能
○マルチ・バッファ受信ブロック機能
○チャネルごとに4パターンのマスクを設定可能

14. 1. 2　機能概要

表14－1に機能概要を示します。

表14－1　機能概要

機　　能	詳　　細
プロトコル	CANプロトコル ISO11898（標準および拡張フレームの送受信）
ボー・レート	最大1 Mbps（CANクロック入力≧8 MHz時）
データ・ストレージ	CAN専用RAMにメッセージを格納
メッセージ数	・32メッセージ・バッファ／2チャネル ・各メッセージ・バッファは，送信メッセージ・バッファまたは受信メッセージ・バッファとして設定可能
メッセージ受信	・各メッセージ・バッファに固有のIDを設定可能 ・チャネルごとに4パターンのマスクを設定可能 ・メッセージ・バッファごとに受信完了割り込みの許可／禁止が設定可能 ・複数の受信用メッセージ・バッファをFIFO受信のバッファとして使用することが可能（マルチ・バッファ受信ブロック機能） ・受信ヒストリ・リスト機能
メッセージ送信	・各メッセージ・バッファに固有のIDを設定可能 ・メッセージ・バッファごとに送信完了割り込みの許可／禁止が設定可能 ・送信メッセージ・バッファとして指定されたメッセージ・バッファ番号0-7は，自動ブロック転送に使用可能，またメッセージ送信間隔はプログラマブルに変更可能（自動ブロック送信機能（以下，ABTと記述）） ・送信ヒストリ・リスト機能
リモート・フレーム処理	送信用メッセージ・バッファによるリモート・フレーム処理
★ タイム・スタンプ機能	・16ビット・タイマとの併用でメッセージ受信に対してタイム・スタンプ機能を設定可能 タイム・スタンプ・キャプチャ・トリガの選択が可能（CANメッセージ・フレーム内のSOFまたはEOF検出に切り替え可能）
診断機能	・リード可能なエラー・カウンタ ・バス接続確認用“有効プロトコル動作フラグ” ・受信オンリー・モード ・シングル・ショット・モード ・CANプロトコル・エラーの判別 ・セルフ・テスト・モード
★ バスオフ復帰機能	・ソフトウエアにより強制的にバスオフから復帰させることが可能 ・バスオフからの自動復帰不可（ソフトウエアによる復帰要求が必要）
パワー・セーブ・モード	・CANスリープ・モード（CANバスによりウエイク・アップ可能） ・CANストップ・モード（CANバスによるウエイク・アップ不可）

14. 1. 3　構　　成

CANコントローラは，次の4つのブロックから構成されています。

（1）NPBインタフェース

NPB（NEC周辺I/Oバス）とのインタフェースと，CAN内部モジュールとCPUとのインタフェースを行うための機能ブロックです。

（2）MCM（Memory Control Module）

CANモジュール内のCANプロトコル・レイヤとCAN RAMへのアクセスを制御している機能ブロックです。

（3）CANプロトコル・レイヤ

CANのプロトコル・レイヤとその設定を行う機能ブロックです。

（4）CAN RAM

メッセージIDやメッセージ・データなどを格納するCAN専用のメモリ機能ブロックです。

図14－1　CANのブロック図

備考　n = 0, 1

14. 2　CANプロトコル

CAN（Controller Area Network）は，車輌内リアルタイム通信用（クラスC）高速多重通信プロトコルです。CANはISO 11898で規定されています。詳細は，ISO 11898仕様を参照してください。

CANの仕様は，大きく分けて2つのレイヤ（物理レイヤとデータ・リンク・レイヤ）に分類されます。さらに，データ・リンク・レイヤは，ロジカル・リンク・コントロールとミディアム・アクセス・コントロールにより構成されています。各レイヤの構成は，次のようになります。

図14－2　各レイヤの構成

上位 ↕ 下位

データ・リンク・レイヤ注	・ロジカル・リンク・コントロール（LLC）	・アクセプタンス・フィルタリング ・オーバロード通知 ・リカバリ・マネージメント
	・ミディアム・アクセス・コントロール（MAC）	・フレーム・コーディング （スタッフィング／非スタッフィング） ・ミディアム・アクセス・マネージメント ・エラー検知 ・エラー通知 ・アクノリッジ ・シリアル化／非シリアル化
物理レイヤ		信号レベル，ビット表現の規定

注　CANコントローラ仕様

14. 2. 1　フレーム・フォーマット

(1) 標準フォーマット・フレーム

・標準フォーマット・フレームでは，アイデンティファイアが11ビットのため，2048種類のメッセージを扱うことができます。

(2) 拡張フォーマット・フレーム

・拡張フォーマット・フレームでは，アイデンティファイアが29ビット（11ビット＋18ビット）に拡張され，扱えるメッセージ数が2048×2^{18}個になります。

・アービトレーション・フィールドのSRR/IDEビットがともに“ レセシブ・レベル ”（CMOSレベル = 1）の場合，拡張フォーマット・フレームになります。

14. 2. 2　フレーム・タイプ

CANプロトコルのフレームは，次の4種類に分けられます。

表14－2　フレームの種類

フレーム種類	説　明
データ・フレーム	データを送信するためのフレーム
リモート・フレーム	データ・フレームを要求するためのフレーム
エラー・フレーム	エラー検知を通知するためのフレーム
オーバロード・フレーム	次のデータ・フレームまたはリモート・フレームを遅らせるためのフレーム

(1) バスの値

バスの値には，ドミナントとレセシブの2通りがあります。

・ドミナント・レベルは論理0で表します。

・レセシブ・レベルは論理1で表します。

・ドミナント・レベルとレセシブ・レベルが同時送信された場合，バスの値はドミナント・レベルになります。

14. 2. 3　データ・フレーム／リモート・フレーム

(1) データ・フレーム

データ・フレームは，7つのフィールドにより構成されます。

図14－3　データ・フレーム

備考　D：ドミナント ＝0

R：レセシブ ＝1

(2) リモート・フレーム

リモート・フレームは，6つのフィールドにより構成されます。

図14－4　リモート・フレーム

備考1.　コントロール・フィールドのデータ長コード≠“0000B”でもデータ・フィールドは転送しません。

2.　D：ドミナント ＝0

R：レセシブ ＝1

(3) 各フィールドの説明

① **スタート・オブ・フレーム**（SOF）

スタート・オブ・フレームは，データ・フレーム，リモート・フレームの開始を示します。

図14－5　スタート・オブ・フレーム（SOF）

備考　D：ドミナント ＝0

R：レセシブ ＝1

★　・バス・アイドル中にドミナント・レベルを検出すると，ハードウエア同期が実行されます（その際，該当するTQがシンク・セグメントになります）。

・ハードウエア同期に続くサンプル・ポイントで，ドミナント・レベルがサンプリングされると，そのビットはSOFになります。もし，レセシブ・レベルが検出されたときは，前述のドミナント・パルスはノイズと判断され，プロトコル・レイヤがバス・アイドル状態に戻ります。この場合はエラー・フレームを発生しません。

② **アービトレーション・フィールド**

アービトレーション・フィールドは，プライオリティ，データ・フレーム／リモート・フレーム，フレーム・フォーマットの設定をします。

図14－6　**アービトレーション・フィールド（標準フォーマット・モード時）**

注意1.　ID28-ID18**は，アイデンティファイアです。**

2.　**アイデンティファイアは，**MSB**ファーストで送信されます。**

備考　D：**ドミナント** = 0

R：**レセシブ** = 1

図14－7　**アービトレーション・フィールド（拡張フォーマット・モード時）**

注意1.　ID28-ID0**は，アイデンティファイアです。**

2.　**アイデンティファイアは，**MSB**ファーストで送信されます。**

備考　D：**ドミナント** = 0

R：**レセシブ** = 1

表14－3　RTR**フレームの設定**

フレームの種類	RTRビット
データ・フレーム	0（D）
リモート・フレーム	1（R）

表14－4　**フレーム・フォーマットの設定（**IDE**ビット）とアイデンティファイア（**ID**）のビット数**

フレーム・フォーマット	SRRビット	IDEビット	ビット数
標準フォーマット・モード	なし	0（D）	11ビット
拡張フォーマット・モード	1（R）	1（R）	29ビット

③　コントロール・フィールド

コントロール・フィールドは，データ・フィールドのデータ・バイト数DLCの設定をします（DLC = 0-8）。

図14－8　コントロール・フィールド

備考　D：ドミナント = 0

R：レセシブ = 1

標準フォーマット・フレームでは，コントロール・フィールドのIDEビットとr1ビットは，同一となります。

表14－5　データ長の設定

データ長コード				データのバイト数
DLC3	DLC2	DLC1	DLC0	
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
上記以外				DLC3-DLC0の値にかかわらず8バイトになります。

注意　リモート・フレームの場合，データ長コード≠0000Bであってもデータ・フィールドは発生しません。

④　データ・フィールド

データ・フィールドは，コントロール・フィールドで設定した個数のデータ群（バイト単位）で，最大8データ設定できます。

図14－9　データ・フィールド

備考　D：ドミナント = 0

R：レセシブ = 1

⑤　CRCフィールド

CRCフィールドは，送信データの誤りをチェックするための16ビットのフィールドです。

図14－10　CRCフィールド

備考　D：ドミナント = 0

R：レセシブ = 1

・15ビットのCRCシーケンスを生成する多項式P（X）は，次のようになります。

$P(X) = X^{15}+X^{14}+X^{10}+X^{8}+X^{7}+X^{4}+X^{3}+1$

・送信ノード：スタート・オブ・フレーム，アービトレーション・フィールド，コントロール・フィールド，データ・フィールドのデータ（ビット・スタッフ処理前のデータ）より計算したCRCシーケンスを送信します。

・受信ノード：受信データのスタッフ・ビットを除いたデータ・ビットから計算したCRCシーケンスとCRCフィールドのCRCシーケンスを比較します。一致しない場合，ノードはエラー・フレームを送信します。

⑥　ACKフィールド

ACKフィールドは，正常受信確認のためのフィールドです。

図14－11　ACKフィールド

備考　D：ドミナント ＝0

R：レセシブ ＝1

・CRCエラーが検出されない場合，受信ノードはACKスロットをドミナント・レベルにします。

・送信ノードは，2ビットのレセシブ・レベルを出力します。

⑦　エンド・オブ・フレーム（EOF）

エンド・オブ・フレームは，データ・フレーム／リモート・フレームの終了を示します。

図14－12　エンド・オブ・フレーム（EOF）

備考　D：ドミナント ＝0

R：レセシブ ＝1

⑧　インタフレーム・スペース

データ・フレーム，リモート・フレーム，エラー・フレーム，オーバロード・フレームから次のフレームの間に挿入されるフレームで，各フレーム間の区切りを示します。

・バスの状態は，エラー・ステータスにより異なります。

(a) エラー・アクティブ状態のノードの場合

3ビットのインタミッションとバス・アイドルより構成

図14－13　インタフレーム・スペース（エラー・アクティブ状態のノードの場合）

備考1.　バス・アイドル：各ノードがバスを使用していない状態を示します。

2.　D：ドミナント = 0

R：レセシブ = 1

(b) エラー・パッシブ状態のノードの場合

インタミッション，サスペンド・トランスミッション，バス・アイドルより構成

図14－14　インタフレーム・スペース（エラー・パッシブ状態のノードの場合）

備考1.　バス・アイドル　：各ノードがバスを使用していない状態を示します。

サスペンド・トランスミッション　：エラー・パッシブ状態にあるノードにより送信される8ビットのレセシブ

2.　D：ドミナント = 0

R：レセシブ = 1

通常，インタミッションは3ビットです。しかし，送信ノードがインタミッションの3ビット目でドミナント・レベルを検出した場合，送信を行います。

・エラー状態による動作

表14－6　エラー状態による動作

エラー状態	動　　作
エラー・アクティブ	3ビットのインタミッション後，ただちに送信可能状態になります。
エラー・パッシブ	インタミッションを終えてから，さらに8ビット待って送信可能状態になります。

14. 2. 4　エラー・フレーム

エラー・フレームはエラーを検出したノードが出力します。

図14－15　エラー・フレーム

備考　D：ドミナント ＝0

R：レセシブ ＝1

表14－7　エラー・フレームの各フィールドの定義

№	名　　称	ビット数	定　　義
①	エラー・フラグ1	6	エラー・アクティブ・ノード：6ビットのドミナント・レベルを連続出力します。 エラー・パッシブ・ノード　：6ビットのレセシブ・レベルを連続出力します。 パッシブ・エラー・フラグを出力中，ほかのノードがドミナント・レベルを出力した場合，パッシブ・エラー・フラグは，同一レベルを6ビット連続して検出するまで終了しません。
②	エラー・フラグ2	0～6	エラー・フラグ1を受信したノードが，ビット・スタッフ・エラーを検出して再度出力するエラー・フラグです。
③	エラー・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検出した場合，次のビットからオーバロード・フレームを送信します。
④	エラー発生ビット	－	エラーが検出されたビットです。 エラー・フラグは，エラー発生ビットの次のビットから出力されます。 CRCエラーの場合は，ACKデリミッタに続いて出力されます。
⑤	インタフレーム・スペース／オーバロード・フレーム	－	インタフレーム・スペース，またはオーバロード・フレームが続きます。

14. 2. 5　オーバロード・フレーム

オーバロード・フレームは，次の条件が発生した場合に送信されます。

・受信ノードが受信動作未了のとき[注]
・インタミッション中の最初の2ビットにドミナント・レベルを検出したとき
・エンド・オブ・フレームの最終ビット（7ビット目），またはエラー・デリミッタ／オーバロード・デリミッタの最終ビット（8ビット目）にドミナント・レベルを検出したとき

★　**注**　CANでは，内部処理が十分に早いため，オーバロード・フレームを出力することなく，すべての受信フレームを取り込むことができます。

図14－16　**オーバロード・フレーム**

備考　D：ドミナント ＝0
R：レセシブ ＝1

表14－8　**オーバロード・フレームの各フィールドの定義**

No	名　称	ビット数	定　義
①	オーバロード・フラグ	6	6ビットのドミナント・レベルを連続出力します。
②	他ノードからのオーバロード・フラグ	0～6	インタフレーム・スペース中にオーバロード・フラグを受信したノードは，オーバロード・フラグを出力します。
③	オーバロード・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検出した場合，次のビットからオーバロード・フレームを送信します。
④	各フレーム	－	エンド・オブ・フレーム，エラー・デリミッタ，オーバロード・デリミッタに続いて出力します。
⑤	インタフレーム・スペース／オーバロード・フレーム	－	インタフレーム・スペース，またはオーバロード・フレームが続きます。

★

14.3　機　　能

14.3.1　バス・プライオリティの決定

(1) 1個のノードが送信を開始した場合

・バス・アイドル中に，先にデータを出力したノードが送信をします。

(2) 複数のノードが送信を開始した場合

・アービトレーション・フィールドの第1ビットから，ドミナント・レベルを最も長く連続出力したノードがバス・プライオリティを獲得します（ドミナント・レベルとレセシブ・レベルが同時送信された場合，バスの値はドミナント・レベルになります）。

・送信ノードは，自分の出力したアービトレーション・フィールドとバス上のデータ・レベルを比較します。

表14－9　バス・プライオリティの決定

レベルの一致	送信を継続します。
レベルの不一致	不一致を検出した次のビットからデータ出力を停止し，受信動作になります。

(3) データ・フレームとリモート・フレームのプライオリティ

・データ・フレームとリモート・フレームがバス上で競合した場合，アービトレーション・フィールドの最終ビットであるRTRがドミナント・レベルであるデータ・フレームが優先されます。

注意　拡張フォーマット・フレームのデータ・フレームと標準フォーマット・フレームのリモート・フレームがバス上で競合した場合（双方のID28-ID18が同じ場合），標準フォーマット・フレームのリモート・フレームが優先されます。

14.3.2　ビット・スタッフ

ビット・スタッフは，バースト・エラーを防ぐために，同一レベルが5ビット連続した場合，1ビットの反転データを付加して，同期をとる仕組みです。

表14－10　ビット・スタッフ

送　信	データ・フレーム，リモート・フレームを送信する際に，スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合，次のビットの前に，前5ビットのレベルを反転した1ビットのレベル・データを挿入します。
受　信	データ・フレーム，リモート・フレームの受信時，スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合，次の1ビットを削除して受信します。

14.3.3　マルチマスタ

★　アイデンティファイアによりバス・プライオリティ（送信権利を獲得するノード）を決定するため，どのノードでもバス・マスタになることができます。

14. 3. 4　マルチキャスト

送信ノードは1つですが，同一のアイデンティファイアを複数のノードに設定できるため，複数のノードで同時に同一データの受信ができます。

14. 3. 5　CANスリープ・モード／CANストップ・モード機能

CANスリープ・モード／CANストップ・モード機能により，CANコントローラを待機状態にすることで消費電力を低減できます。

CANスリープ・モードはバスの動作でウエイク・アップしますが，CANストップ・モードはバスの動作でウエイク・アップしません（CPUアクセスにより制御されます）。

14. 3. 6　エラー制御機能

(1) エラーの種類

表14－11　エラーの種類

エラーの種類	エラーの説明		検出する状態	
	検出方法	検出条件	送信／受信	フィールド／フレーム
★ ビット・エラー	出力レベルとバス上のレベルとの比較	両レベルの不一致	送信／受信ノード	スタート・オブ・フレーム～エンド・オブ・フレーム，エラー・フレーム，オーバロード・フレームでバス上にデータを出力しているビット。
スタッフ・エラー	スタッフ・ビットでの受信データのチェック	同一レベル・データの6ビット連続	受信ノード	スタート・オブ・フレーム～CRCシーケンス
CRCエラー	受信データから生成したCRCと受信したCRCシーケンスとの比較	CRCの不一致	受信ノード	CRCフィールド
フォーム・エラー	固定フォーマットのフィールド／フレームのチェック	固定フォーマット違反の検出	受信ノード	・CRCデリミッタ ・ACKフィールド ・エンド・オブ・フレーム ・エラー・フレーム ・オーバロード・フレーム
ACKエラー	送信ノードによるACKスロットのチェック	ACKスロットでレセシブ・レベルを検出	送信ノード	ACKスロット

(2) エラー・フレームの出力タイミング

表14－12　エラー・フレームの出力タイミング

エラーの種類	出力タイミング
ビット・エラー，スタッフ・エラー，フォーム・エラー，ACKエラー	エラーを検出した次のビット・タイミングからエラー・フレームを出力します。
CRCエラー	ACKデリミッタの次のビット・タイミングからエラー・フレームを出力します。

(3) エラー発生時の処置

送信ノードは，エラー・フレーム後にデータ・フレーム，またはリモート・フレームの再送を行います。（ただし，シングル・ショット・モード時には再送は行いません）。

(4) エラー状態

(a) エラー状態の種類

CANスペックで規定されているエラーの状態には次の3種類があります。

・エラー・アクティブ
・エラー・パッシブ
・バスオフ

これらは，CANエラー・カウンタ・レジスタ（CnERC）のTEC7-TEC0ビット（送信エラー・カウンタ・ビット）およびREC6-REC0ビット（受信エラー・カウンタ・ビット）の値によって表14－13のように分類されます。

現在のエラー状態はCANモジュール情報レジスタ（CnINFO）に表示されています。

各エラー・カウンタ値がエラー・ワーニング・レベル（96）以上になると，CnINFOレジスタのTECS0ビットあるいはRECS0ビットが１にセットされます。この場合，バスに重度の障害があると考えられるため，バス状態をテストする必要があります。各エラー・カウンタ値が128以上になると，エラー・パッシブ状態となり，CnINFOレジスタのTECS1ビットあるいはRECS1ビットがセット（1）されます。

・送信エラー・カウンタ値が256以上（実際には送信エラー・カウンタ値は256以上の値は表示しません）になると，バスオフ状態となり，CnINFOレジスタのBOFFビットがセット（1）されます。
・スタート・アップ時，バス上に1個のノードしかアクティブでない場合（＝自局のみバスに接続されている場合），データを送信してもACKが返ってこないためエラー・フレームとデータの再送を繰り返しますが，エラー・パッシブ状態に移行したあとの送信エラー・カウンタはインクリメントされず，バスオフには移行しません。

備考　n = 0, 1

表14－13　エラー状態の種類

エラー状態の種類	動　作	エラー・カウンタの値	CnINFOレジスタの表示	そのエラー状態特有の動作
エラー・アクティブ	送信	0-95	TECS1, TECS0が00	・エラー検知時にアクティブ・エラー・フラグ（6ビットのドミナント・レベルの連続）を出力
	受信	0-95	RECS1, RECS0が00	
	送信	96-127	TECS1, TECS0が01	
	受信	96-127	RECS1, RECS0が01	
エラー・パッシブ	送信	128-255	TECS1, TECS0が11	・エラー検知時にパッシブ・エラー・フラグ（6ビットのレセシブ・レベルの連続）を出力 ・送信と送信の間に，インタミッションに続いて8ビットのレセシブ・レベルを送信（サスペンド・トランスミッション）
	受信	128以上	RECS1, RECS0が11	
★ バスオフ	送信	256以上（表示はしない）注	BOFFが1， TECS1, TECS0が11	・通信できません。 ただし，フレーム受信時にメッセージは格納しませんが，以下の①，②，③の動作を行います。 ①TSOUTがトグルします。 ②RECが＋/－します。 ③VALIDビットがセットされます。 ・初期化モードに遷移し，のちに初期化モード以外のいずれかの動作モードに遷移要求を行ったあと，11ビット連続でレセシブ・レベルが128回発生すると，エラー・カウンタが0にリセットされ，エラー・アクティブ状態に戻ることができます。

注　送信エラー・カウンタ（TEC）の値は，BOFFビットがセットされたときには意味を持ちません。送信エラー・カウンタが248-255の範囲の値のとき，さらに＋8のインクリメントを行うようなエラーを検知した際は，カウンタ値はインクリメントされずにバスオフ状態となります。

備考　n = 0, 1

(b) エラー・カウンタ

★ エラー・カウンタは，エラーが発生した場合にカウント・アップし，送信，受信が正常に行われた場合にカウント・ダウンします。カウント・アップのタイミングは，エラーが検出された直後になります。

表14－14　エラー・カウンタ

状　態	送信エラー・カウンタ（TEC7-TEC0ビット）	受信エラー・カウンタ（REC6-REC0ビット）
受信ノードがエラーを検出 （アクティブ・エラー・フラグ，オーバロード・フラグ中のビット・エラーを除く）	変化なし	＋1（REPSビット = 0時）
受信ノードがエラー・フレームのエラー・フラグ出力の次にドミナント・レベルを検出	変化なし	＋8（REPSビット = 0時）
送信ノードがエラー・フラグを送信 ［例外として，次の場合のエラー・カウンタは変化しません］ ①エラー・パッシブ状態で，ACKエラーを検出しパッシブ・エラー・フラグを出力中にドミナント・レベルを未検出 ②アービトレーション・フィールド中にスタッフ・エラーを検出し，それがスタッフ・ビットとしてレセシブ・レベルを送信したが，ドミナント・レベルを検出	＋8	変化なし
アクティブ・エラー・フラグ，オーバロード・フラグ出力中のビット・エラー検出 （エラー・アクティブの送信ノード）	＋8	変化なし
アクティブ・エラー・フラグ，オーバロード・フラグ出力中のビット・エラー検出 （エラー・アクティブの受信ノード）	変化なし	＋8（REPSビット = 0時）
各ノードがアクティブ・エラー・フラグ，オーバロード・フラグの最初から14個の連続したドミナント・レベルを検出，およびそれ以降の8個連続のドミナント・レベルを検出 各ノードがパッシブ・エラー・フラグのあと，8個連続のドミナント・レベルを検出	＋8（送信時）	＋8（受信時，REPSビット = 0時）
送信ノードがエラーなしで，送信を完了 （エラー・カウンタ = 0の場合は±0）	－1	変化なし
受信ノードがエラーなしで，受信を完了	変化なし	・－1 （1 ≦ REC6-REC0 ≦ 127, REPSビット = 0時） ・±0（REC6-REC0 = 0, REPSビット = 0時） ・119～127のいずれかの値をセットする。 （REPSビット = 1時）

(c) インタミッション中のビット・エラーの発生

オーバロード・フレームを発生します。

注意　エラー発生時のエラー制御は，そのエラーが発生する前の送信エラー・カウンタと受信エラー・カウンタの内容によって行います。エラー・カウンタの値はエラー・フラグを出力したあとに加算します。

(5) バスオフ状態からの復帰動作

CANモジュールが，バスオフ状態になった場合，CANバスから切り離された送信端子（CTXDn）は，常にレセシブ・レベルの出力となります。

バスオフ状態からの復帰は，次に示すバスオフ復帰（リカバリ）シーケンスにより行います。

① CAN初期化モードへの移行要求
② CAN動作モードへの移行要求
　(a) 通常リカバリ・シーケンスによる復帰動作
　(b) リカバリ・シーケンスをスキップする強制復帰動作

(a) 通常リカバリ・シーケンスによるバスオフからの復帰動作

まず，初期化モードへの移行要求を行います（図14－17中のタイミング①参照）。この移行要求は直ちに受け付けられ，CnCTRLレジスタのOPMODEビットは000Bとなります。アプリケーション・ソフトウエアにより，バスオフの原因となった故障の解析，CANモジュールおよびメッセージ・バッファの再定義，あるいはGOMビットをクリア（0）することで，CANモジュール自体の動作停止といった処置を行うことが可能です。

次に，初期化モードから任意の動作モードへの移行要求を行います（図14－17中のタイミング②参照）。この任意の動作モードへの移行要求を行うことで，バスオフからのリカバリ動作が開始されます。バスオフからのリカバリ条件は，CANプロトコルISO11898に規定されており，11ビットの連続したレセシブ・ビットを128回以上検出することが必要です。このとき，任意の動作モードへの移行要求はバスオフのリカバリ条件が満足するまでは保留され，バスオフのリカバリ条件が満足した時点（図14－17中のタイミング③参照）でCANモジュールは要求された動作モードに移行します。この間，CANモジュールは初期化モードを維持し，任意の動作モードへの移行の完了は，CnCTRLレジスタの
★ OPMODEをリードすることにより確認できます。なお，任意の動作モードへの移行が完了するまでは，OPMODE [2:0] = 000Bがリードされます。

バスオフ期間中およびバスオフ・リカバリ・シーケンス中は，CnINFOレジスタのBOFFビットはセット（1）を継続します。バスオフ・リカバリ・シーケンスは，受信エラー・カウンタ（REC [6:0]）により，バス上で検出される11ビットの連続したレセシブ・ビットの回数をカウントしていますので，REC [6:0]をリードすることにより復帰状況を確認することができます。

★ 注意1. バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために，初期化モードから任意の動作モードへ移行要求をしたとき，受信エラー・カウンタ（REC [6:0]）がクリアされます。したがって，もう一度バス上に11ビットの連続したレセシブ・ビットを128回検出する必要があります。

2. バスオフ・リカバリ・シーケンス中は，REC [6:0]は11ビットの連続したレセシブ・ビットを検出するたびにカウントアップ（+1）します。
バスオフ期間中でもCANモジュールはCANスリープ・モードやCANストップ・モードに移行することができます。バスオフを解除するためには，初期化モードにいったん移行することが必要ですが，CANモジュールがCANスリープ・モードやCANストップ・モー
★ ドである場合は，直接初期化モードへは移行することができません。この場合は初期化モードへの移行を行わなくても，CANスリープ・モードが解除される際に同時にバスオフ・リカバリ・シーケンスが開始されます。ソフトウエアによるPSMODEのクリアのほかにも，CANバス上のドミナント・エッジ検知によるウエイク・アップによっても，バスオフ・リカバリ・シーケンスは開始されます。

備考　n = 0, 1

図14－17　通常リカバリ・シーケンスによるバスオフからの復帰動作

備考　n = 0, 1

(b) バスオフ・リカバリ・シーケンスをスキップする強制復帰動作

バスオフ・リカバリ・シーケンスをスキップすることで，バスの状態によらずCANモジュールを強制的にバスオフから復帰させることが可能です。手順を以下に示します。

まず，初期化モードへの移行要求を行います。このときの動作および注意事項は，14. 3. 6 (5) (a) **通常リカバリ・シーケンスによるバスオフからの復帰動作**を参照してください。

次に，任意の動作モードへの移行要求を行い，同時にCnCTRLレジスタのCCERCビットをセット(1)します。

これにより，CANプロトコルISO11898で規定されているバスオフのリカバリ・シーケンスがスキップされ，ただちに動作モードへの移行が行われます。この場合，CANバスへの再接続はCANモジュールが連続した11ビットのレセシブ・ビットのモニタ後に行われます。詳細は，**図**14－55　**バスオフからのリカバリ処理（**ABT**付き通常動作モード以外の場合）**を参照してください。

注意　**この機能は，**CAN**プロトコル**ISO11898**に規定されておりませんので，ご使用の際にはネットワーク・システムへの影響を十分にご確認ください。**

備考　n = 0, 1

(6) 初期化モード中のCANモジュール・エラー・カウンタ・レジスタ（CnERC）の初期化

プログラム・ディバグや評価のために，CANモジュール・エラー・カウンタ・レジスタ（CnERC），およびCANモジュール情報レジスタ（CnINFO）の初期化が必要となる場合には，初期化モード中にCnCTRLレジスタのCCERCビットをセット（1）することで，CnERC, CnINFOレジスタは初期値に初期化されます。初期化が完了すると，CCERCビットは自動的にクリア（0）されます。

注意1. **この機能は，初期化モード中でのみ有効です。任意のCAN動作モード中でCCERCビットをセット（1）したとしても，CnERC, CnINFOレジスタは初期化されません。**

2. **CCERCビットのセットは，任意のCAN動作モードへの移行要求と同時に行うことも可能です。**

備考　n = 0, 1

14. 3. 7　ボー・レート制御機能

(1) プリスケーラ

CANコントローラは，CANへの供給クロック（f_{CAN}）を分周するプリスケーラを持っています。また，プリスケーラは，CANモジュール・システム・クロック（f_{CANMOD}）を1-256分周したCANプロトコル・レイヤ基本クロック（f_{TQ}）を発生します（14. 6 （12）　CANモジュール・ビット・レート・プリスケーラ・レジスタ（CnBRP）参照）。

(2) データ・ビット・タイム（8-25 Time Quanta）

1データ・ビット・タイムは，図14－18のように定義されています。図14－18で示すようなタイム・セグメント1，タイム・セグメント2，同期ジャンプ幅（SJW）といったビット・タイミングのパラメータに置き換えて設定されます。タイム・セグメント1は，CANプロトコル仕様で規定されているプロップ・セグメントとフェーズ・セグメント1の合計に該当します。タイム・セグメント2は，フェーズ・セグメント2に該当します。

図14－18　セグメントの設定

セグメント名	設定可能範囲	CANスペック準拠のための設定上の注意
★ タイム・セグメント1（TSEG1）	2TQ-16TQ	－
タイム・セグメント2（TSEG2）	1TQ-8TQ	CANコントローラのIPTは0TQです。このため，CANプロトコル仕様に準拠するためには，フェーズ・セグメント1と等しい，もしくはそれ以下の長さがここに設定されなければなりません。すなわち，タイム・セグメント1の長さから1TQを引いた長さがタイム・セグメント2の設定上限となります。
★ 同期ジャンプ幅（SJW）	1TQ-4TQ	タイム・セグメント1から1TQを引いた長さまたは4TQの小さいほうの値。

備考　IPT ：Information Processing Time

TQ ：Time Quanta

参考：CANプロトコル仕様では，データ・ビット・タイムを構成する各セグメントは，図14－19のように規定されています。

図14－19　CANスペック上でのデータ・ビット・タイムの構成

セグメント名	セグメント長	説　明
シンク・セグメント (Synchronization Segment)	1	ハードウエア同期がかかると，レセシブからドミナントに移行するエッジでこのセグメントが始まります。
★ プロップ・セグメント (Propagation Segment)	1-8のプログラマブル，またはそれ以上	出力バッファ，CANバス，入力バッファの遅延を吸収するためのセグメントです。 フェーズ・セグメント1の開始までにACKが戻ってくるように設定します。 プロップ・セグメントの時間≧（出力バッファの遅延）＋2×（CANバスの遅延）＋（入力バッファの遅延）
フェーズ・セグメント1 (Phase Buffer Segment 1)	1-8のプログラマブル	データ・ビット・タイムの誤差を補償するためのセグメントで，大きいほど許容範囲が大きくとれますが，通信スピードは遅くなります。
フェーズ・セグメント2 (Phase Buffer Segment 2)	フェーズ・セグメント1とIPTとのうち大きい方の値	
★ SJW (reSynchronization Jump Width)	1TQからセグメント1TQまたは4TQの小さい方までの範囲でプログラマブル	再同期の際のフェーズ・セグメントの伸縮の上限を設定します。

備考　IPT ：Information Processing Time
TQ ：Time Quanta

(3) データ・ビットの同期

・受信ノードは，同期信号がないため，バス上のレベル変化で同期をとります。

・送信ノードは，送信ノードのビット・タイミングに同期してデータの送信を行います。

(a) ハードウエア同期

受信ノードが，インタフレーム・スペースでスタート・オブ・フレームを検出した場合に行うビット同期です。

・バス上の立ち下がりエッジを検出すると，そのTQがシンク・セグメントで，次がプロップ・セグメントとなります。この場合，SJWには無関係に同期をとります。

図14－20　バス・アイドル中のドミナント・レベル検出によるハードウエア同期

(b) 再同期

受信中に，バス上のレベル変化を検出した場合（前回のサンプリングがレセシブ・レベル時のみ），再同期を行います。

・エッジの位相誤差は，検出されたエッジとシンク・セグメントの相対位置により与えられます。
＜位相誤差の符号＞
0：エッジがシンク・セグメント内にある場合
正：エッジがサンプル・ポイントより前にある場合（フェーズ・エラー）
負：エッジがサンプル・ポイントより後ろにある場合（フェーズ・エラー）
位相誤差が正の場合：フェーズ・セグメント1は指定したSJW分だけ長くなります。
位相誤差が負の場合：フェーズ・セグメント2は指定したSJW分だけ短くなります。

・送信ノードと受信ノードのボー・レートの“ずれ”により，受信ノードでのデータのサンプル・ポイントが相対的に移動します。

図14－21　再同期

14. 4　ターゲット・システムとの接続

CANコントローラ内蔵マイコンは，外部トランシーバを使用してCANバスに接続しなければなりません。

図14－22　CANバスへの接続

備考　n = 0, 1

14. 5　CANコントローラの内部レジスタ

14. 5. 1　CANコントローラの構成

表14－15　CANコントローラのレジスター覧

項　　目	レジスタ名
CANグローバル・レジスタ	CANグローバル制御レジスタ（CnGMCTRL）
	CANグローバル・クロック選択レジスタ（CnGMCS）
	CANグローバル自動ブロック送信制御レジスタ（CnGMABT）
	CANグローバル自動ブロック送信遅延設定レジスタ（CnGMABTD）
CANモジュール・レジスタ	CANモジュール・マスク1レジスタ（CnMASK1L, CnMASK1H）
	CANモジュール・マスク2レジスタ（CnMASK2L, CnMASK2H）
	CANモジュール・マスク3レジスタ（CnMASK3L, CnMASK3H）
	CANモジュール・マスク4レジスタ（CnMASK4L, CnMASK4H）
	CANモジュール制御レジスタ（CnCTRL）
	CANモジュール最終エラー情報レジスタ（CnLEC）
	CANモジュール情報レジスタ（CnINFO）
	CANモジュール・エラー・カウンタ・レジスタ（CnERC）
	CANモジュール割り込み許可レジスタ（CnIE）
	CANモジュール割り込みステータス・レジスタ（CnINTS）
	CANモジュール・ビットレート・プリスケーラ・レジスタ（CnBRP）
	CANモジュール・ビットレート・レジスタ（CnBTR）
	CANモジュール最終受信ポインタ・レジスタ（CnLIPT）
	CANモジュール受信ヒストリ・リスト・レジスタ（CnRGPT）
	CANモジュール最終送信ポインタ・レジスタ（CnLOPT）
	CANモジュール送信ヒストリ・リスト・レジスタ（CnTGPT）
	CANモジュール・タイム・スタンプ・レジスタ（CnTS）
メッセージ・バッファ・レジスタ	CANメッセージ・データ・バイト01レジスタm（CnMDATA01m）
	CANメッセージ・データ・バイト0レジスタm（CnMDATA0m）
	CANメッセージ・データ・バイト1レジスタm（CnMDATA1m）
	CANメッセージ・データ・バイト23レジスタm（CnMDATA23m）
	CANメッセージ・データ・バイト2レジスタm（CnMDATA2m）
	CANメッセージ・データ・バイト3レジスタm（CnMDATA3m）
	CANメッセージ・データ・バイト45レジスタm（CnMDATA45m）
	CANメッセージ・データ・バイト4レジスタm（CnMDATA4m）
	CANメッセージ・データ・バイト5レジスタm（CnMDATA5m）
	CANメッセージ・データ・バイト67レジスタm（CnMDATA67m）
	CANメッセージ・データ・バイト6レジスタm（CnMDATA6m）
	CANメッセージ・データ・バイト7レジスタm（CnMDATA7m）
	CANメッセージ・データ長レジスタm（CnMDLCm）
	CANメッセージ・コンフィギュレーション・レジスタm（CnMCONFm）
	CANメッセージIDレジスタm（CnMIDLm, CnMIDHm）
	CANメッセージ制御レジスタm（CnMCTRLm）

備考 1.　n = 0, 1
　　m = 0-31

★　2.　CANグローバル・レジスタは，CnGM<レジスタ機能>によって定義されます。
　　CANモジュール・レジスタは，Cn<レジスタ機能>によって定義されます。
　　メッセージ・バッファ・レジスタは，CnM<レジスタ機能>によって定義されます。

14. 5. 2　レジスタ・アクセス・タイプ

CANコントローラ用の周辺I/Oレジスタは03FEC000H～03FECAEEHに割り付けられています。3. 4. 8　プログラマブル周辺I/Oレジスタを参照してください。

表14－16　レジスタ・アクセス・タイプ（1/34）

アドレス	レジスタ名	略　　号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC000H	CAN0グローバル制御レジスタ	C0GMCTRL	R/W	–	–	○	0000H
03FEC002H	CAN0グローバル・クロック選択レジスタ	C0GMCS	R/W	–	○	–	0FH
03FEC006H	CAN0グローバル・ブロック送信制御レジスタ	C0GMABT	R/W	–	–	○	0000H
03FEC008H	CAN0グローバル・ブロック送信遅延設定レジスタ	C0GMABTD	R/W	–	○	–	00H
03FEC040H	CAN0モジュール・マスク1レジスタ	C0MASK1L	R/W	–	–	○	不定
03FEC042H		C0MASK1H					
03FEC044H	CAN0モジュール・マスク2レジスタ	C0MASK2L	R/W	–	–	○	不定
03FEC046H		C0MASK2H					
03FEC048H	CAN0モジュール・マスク3レジスタ	C0MASK3L	R/W	–	–	○	不定
03FEC04AH		C0MASK3H					
03FEC04CH	CAN0モジュール・マスク4レジスタ	C0MASK4L	R/W	–	–	○	不定
03FEC04EH		C0MASK4H					
03FEC050H	CAN0モジュール制御レジスタ	C0CTRL	R/W	–	–	○	0000H
03FEC052H	CAN0モジュール最終エラー情報レジスタ	C0LEC	R/W	–	○	–	00H
03FEC053H	CAN0モジュール情報レジスタ	C0INFO	R	–	○	–	00H
03FEC054H	CAN0モジュール・エラー・カウンタ・レジスタ	C0ERC	R	–	–	○	0000H
03FEC056H	CAN0モジュール割り込み許可レジスタ	C0IE	R/W	–	–	○	0000H
03FEC058H	CAN0モジュール割り込みステータス・レジスタ	C0INTS	R/W	–	–	○	0000H
03FEC05AH	CAN0モジュール・ビット・レート・プリスケーラ・レジスタ	C0BRP	R/W	–	○	–	FFH
03FEC05CH	CAN0モジュール・ビット・レート・レジスタ	C0BTR	R/W	–	–	○	370FH
03FEC05EH	CAN0モジュール最終受信ポインタ・レジスタ	C0LIPT	R	–	○	–	不定
03FEC060H	CAN0モジュール受信ヒストリ・リスト・レジスタ	C0RGPT	R/W	–	–	○	xx02H
03FEC062H	CAN0モジュール最終送信ポインタ・レジスタ	C0LOPT	R	–	○	–	不定
03FEC064H	CAN0モジュール・送信ヒストリ・リスト・レジスタ	C0TGPT	R/W	–	–	○	xx02H
03FEC066H	CAN0モジュール・タイム・スタンプ・レジスタ	C0TS	R/W	–	–	○	0000H

表14－16　レジスタ・アクセス・タイプ（2/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC100H	CAN0メッセージ・データ・バイト01レジスタ00	C0MDATA0100	R/W			○	不定
03FEC100H	CAN0メッセージ・データ・バイト0レジスタ00	C0MDATA000			○		不定
03FEC101H	CAN0メッセージ・データ・バイト1レジスタ00	C0MDATA100			○		不定
03FEC102H	CAN0メッセージ・データ・バイト23レジスタ00	C0MDATA2300				○	不定
03FEC102H	CAN0メッセージ・データ・バイト2レジスタ00	C0MDATA200			○		不定
03FEC103H	CAN0メッセージ・データ・バイト3レジスタ00	C0MDATA300			○		不定
03FEC104H	CAN0メッセージ・データ・バイト45レジスタ00	C0MDATA4500				○	不定
03FEC104H	CAN0メッセージ・データ・バイト4レジスタ00	C0MDATA400			○		不定
03FEC105H	CAN0メッセージ・データ・バイト5レジスタ00	C0MDATA500			○		不定
03FEC106H	CAN0メッセージ・データ・バイト67レジスタ00	C0MDATA6700				○	不定
03FEC106H	CAN0メッセージ・データ・バイト6レジスタ00	C0MDATA600			○		不定
03FEC107H	CAN0メッセージ・データ・バイト7レジスタ00	C0MDATA700			○		不定
03FEC108H	CAN0メッセージ・データ長コード・レジスタ00	C0MDLC00			○		0000xxxxB
03FEC109H	CAN0メッセージ・コンフィギュレーション・レジスタ00	C0MCONF00			○		不定
03FEC10AH	CAN0メッセージIDレジスタ00	C0MIDL00				○	不定
03FEC10CH		C0MIDH00				○	不定
03FEC10EH	CAN0メッセージ制御レジスタ00	C0MCTRL00				○	00x00000 000xx000B
03FEC120H	CAN0メッセージ・データ・バイト01レジスタ01	C0MDATA0101				○	不定
03FEC120H	CAN0メッセージ・データ・バイト0レジスタ01	C0MDATA001			○		不定
03FEC121H	CAN0メッセージ・データ・バイト1レジスタ01	C0MDATA101			○		不定
03FEC122H	CAN0メッセージ・データ・バイト23レジスタ01	C0MDATA2301				○	不定
03FEC122H	CAN0メッセージ・データ・バイト2レジスタ01	C0MDATA201			○		不定
03FEC123H	CAN0メッセージ・データ・バイト3レジスタ01	C0MDATA301			○		不定
03FEC124H	CAN0メッセージ・データ・バイト45レジスタ01	C0MDATA4501				○	不定
03FEC124H	CAN0メッセージ・データ・バイト4レジスタ01	C0MDATA401			○		不定
03FEC125H	CAN0メッセージ・データ・バイト5レジスタ01	C0MDATA501			○		不定
03FEC126H	CAN0メッセージ・データ・バイト67レジスタ01	C0MDATA6701				○	不定
03FEC126H	CAN0メッセージ・データ・バイト6レジスタ01	C0MDATA601			○		不定
03FEC127H	CAN0メッセージ・データ・バイト7レジスタ01	C0MDATA701			○		不定
03FEC128H	CAN0メッセージ・データ長コード・レジスタ01	C0MDLC01			○		0000xxxxB
03FEC129H	CAN0メッセージ・コンフィギュレーション・レジスタ01	C0MCONF01			○		不定
03FEC12AH	CAN0メッセージIDレジスタ01	C0MIDL01				○	不定
03FEC12CH		C0MIDH01				○	不定
03FEC12EH	CAN0メッセージ制御レジスタ01	C0MCTRL01				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（3/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC140H	CAN0メッセージ・データ・バイト01レジスタ02	C0MDATA0102	R/W			○	不定
03FEC140H	CAN0メッセージ・データ・バイト0レジスタ02	C0MDATA002			○		不定
03FEC141H	CAN0メッセージ・データ・バイト1レジスタ02	C0MDATA102			○		不定
03FEC142H	CAN0メッセージ・データ・バイト23レジスタ02	C0MDATA2302				○	不定
03FEC142H	CAN0メッセージ・データ・バイト2レジスタ02	C0MDATA202			○		不定
03FEC143H	CAN0メッセージ・データ・バイト3レジスタ02	C0MDATA302			○		不定
03FEC144H	CAN0メッセージ・データ・バイト45レジスタ02	C0MDATA4502				○	不定
03FEC144H	CAN0メッセージ・データ・バイト4レジスタ02	C0MDATA402			○		不定
03FEC145H	CAN0メッセージ・データ・バイト5レジスタ02	C0MDATA502			○		不定
03FEC146H	CAN0メッセージ・データ・バイト67レジスタ02	C0MDATA6702				○	不定
03FEC146H	CAN0メッセージ・データ・バイト6レジスタ02	C0MDATA602			○		不定
03FEC147H	CAN0メッセージ・データ・バイト7レジスタ02	C0MDATA702			○		不定
03FEC148H	CAN0メッセージ・データ長コード・レジスタ02	C0MDLC02			○		0000xxxxB
03FEC149H	CAN0メッセージ・コンフィギュレーション・レジスタ02	C0MCONF02			○		不定
03FEC14AH	CAN0メッセージIDレジスタ02	C0MIDL02				○	不定
03FEC14CH		C0MIDH02				○	不定
03FEC14EH	CAN0メッセージ制御レジスタ02	C0MCTRL02				○	00x00000 000xx000B
03FEC160H	CAN0メッセージ・データ・バイト01レジスタ03	C0MDATA0103				○	不定
03FEC160H	CAN0メッセージ・データ・バイト0レジスタ03	C0MDATA003			○		不定
03FEC161H	CAN0メッセージ・データ・バイト1レジスタ03	C0MDATA103			○		不定
03FEC162H	CAN0メッセージ・データ・バイト23レジスタ03	C0MDATA2303				○	不定
03FEC162H	CAN0メッセージ・データ・バイト2レジスタ03	C0MDATA203			○		不定
03FEC163H	CAN0メッセージ・データ・バイト3レジスタ03	C0MDATA303			○		不定
03FEC164H	CAN0メッセージ・データ・バイト45レジスタ03	C0MDATA4503				○	不定
03FEC164H	CAN0メッセージ・データ・バイト4レジスタ03	C0MDATA403			○		不定
03FEC165H	CAN0メッセージ・データ・バイト5レジスタ03	C0MDATA503			○		不定
03FEC166H	CAN0メッセージ・データ・バイト67レジスタ03	C0MDATA6703				○	不定
03FEC166H	CAN0メッセージ・データ・バイト6レジスタ03	C0MDATA603			○		不定
03FEC167H	CAN0メッセージ・データ・バイト7レジスタ03	C0MDATA703			○		不定
03FEC168H	CAN0メッセージ・データ長コード・レジスタ03	C0MDLC03			○		0000xxxxB
03FEC169H	CAN0メッセージ・コンフィギュレーション・レジスタ03	C0MCONF03			○		不定
03FEC16AH	CAN0メッセージIDレジスタ03	C0MIDL03				○	不定
03FEC16CH		C0MIDH03				○	不定
03FEC16EH	CAN0メッセージ制御レジスタ03	C0MCTRL03				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（4/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC180H	CAN0メッセージ・データ・バイト01レジスタ04	C0MDATA0104	R/W			○	不定
03FEC180H	CAN0メッセージ・データ・バイト0レジスタ04	C0MDATA004			○		不定
03FEC181H	CAN0メッセージ・データ・バイト1レジスタ04	C0MDATA104			○		不定
03FEC182H	CAN0メッセージ・データ・バイト23レジスタ04	C0MDATA2304				○	不定
03FEC182H	CAN0メッセージ・データ・バイト2レジスタ04	C0MDATA204			○		不定
03FEC183H	CAN0メッセージ・データ・バイト3レジスタ04	C0MDATA304			○		不定
03FEC184H	CAN0メッセージ・データ・バイト45レジスタ04	C0MDATA4504				○	不定
03FEC184H	CAN0メッセージ・データ・バイト4レジスタ04	C0MDATA404			○		不定
03FEC185H	CAN0メッセージ・データ・バイト5レジスタ04	C0MDATA504			○		不定
03FEC186H	CAN0メッセージ・データ・バイト67レジスタ04	C0MDATA6704				○	不定
03FEC186H	CAN0メッセージ・データ・バイト6レジスタ04	C0MDATA604			○		不定
03FEC187H	CAN0メッセージ・データ・バイト7レジスタ04	C0MDATA704			○		不定
03FEC188H	CAN0メッセージ・データ長コード・レジスタ04	C0MDLC04			○		0000xxxxB
03FEC189H	CAN0メッセージ・コンフィギュレーション・レジスタ04	C0MCONF04			○		不定
03FEC18AH	CAN0メッセージIDレジスタ04	C0MIDL04				○	不定
03FEC18CH		C0MIDH04				○	不定
03FEC18EH	CAN0メッセージ制御レジスタ04	C0MCTRL04				○	00x00000 000xx000B
03FEC1A0H	CAN0メッセージ・データ・バイト01レジスタ05	C0MDATA0105				○	不定
03FEC1A0H	CAN0メッセージ・データ・バイト0レジスタ05	C0MDATA005			○		不定
03FEC1A1H	CAN0メッセージ・データ・バイト1レジスタ05	C0MDATA105			○		不定
03FEC1A2H	CAN0メッセージ・データ・バイト23レジスタ05	C0MDATA2305				○	不定
03FEC1A2H	CAN0メッセージ・データ・バイト2レジスタ05	C0MDATA205			○		不定
03FEC1A3H	CAN0メッセージ・データ・バイト3レジスタ05	C0MDATA305			○		不定
03FEC1A4H	CAN0メッセージ・データ・バイト45レジスタ05	C0MDATA4505				○	不定
03FEC1A4H	CAN0メッセージ・データ・バイト4レジスタ05	C0MDATA405			○		不定
03FEC1A5H	CAN0メッセージ・データ・バイト5レジスタ05	C0MDATA505			○		不定
03FEC1A6H	CAN0メッセージ・データ・バイト67レジスタ05	C0MDATA6705				○	不定
03FEC1A6H	CAN0メッセージ・データ・バイト6レジスタ05	C0MDATA605			○		不定
03FEC1A7H	CAN0メッセージ・データ・バイト7レジスタ05	C0MDATA705			○		不定
03FEC1A8H	CAN0メッセージ・データ長コード・レジスタ05	C0MDLC05			○		0000xxxxB
03FEC1A9H	CAN0メッセージ・コンフィギュレーション・レジスタ05	C0MCONF05			○		不定
03FEC1AAH	CAN0メッセージIDレジスタ05	C0MIDL05				○	不定
03FEC1ACH		C0MIDH05				○	不定
03FEC1AEH	CAN0メッセージ制御レジスタ05	C0MCTRL05				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（5/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC1C0H	CAN0メッセージ・データ・バイト01レジスタ06	C0MDATA0106	R/W			○	不定
03FEC1C0H	CAN0メッセージ・データ・バイト0レジスタ06	C0MDATA006			○		不定
03FEC1C1H	CAN0メッセージ・データ・バイト1レジスタ06	C0MDATA106			○		不定
03FEC1C2H	CAN0メッセージ・データ・バイト23レジスタ06	C0MDATA2306				○	不定
03FEC1C2H	CAN0メッセージ・データ・バイト2レジスタ06	C0MDATA206			○		不定
03FEC1C3H	CAN0メッセージ・データ・バイト3レジスタ06	C0MDATA306			○		不定
03FEC1C4H	CAN0メッセージ・データ・バイト45レジスタ06	C0MDATA4506				○	不定
03FEC1C4H	CAN0メッセージ・データ・バイト4レジスタ06	C0MDATA406			○		不定
03FEC1C5H	CAN0メッセージ・データ・バイト5レジスタ06	C0MDATA506			○		不定
03FEC1C6H	CAN0メッセージ・データ・バイト67レジスタ06	C0MDATA6706				○	不定
03FEC1C6H	CAN0メッセージ・データ・バイト6レジスタ06	C0MDATA606			○		不定
03FEC1C7H	CAN0メッセージ・データ・バイト7レジスタ06	C0MDATA706			○		不定
03FEC1C8H	CAN0メッセージ・データ長コード・レジスタ06	C0MDLC06			○		0000xxxxB
03FEC1C9H	CAN0メッセージ・コンフィギュレーション・レジスタ06	C0MCONF06			○		不定
03FEC1CAH	CAN0メッセージIDレジスタ06	C0MIDL06				○	不定
03FEC1CCH		C0MIDH06				○	不定
03FEC1CEH	CAN0メッセージ制御レジスタ06	C0MCTRL06				○	00x00000 000xx000B
03FEC1E0H	CAN0メッセージ・データ・バイト01レジスタ07	C0MDATA0107				○	不定
03FEC1E0H	CAN0メッセージ・データ・バイト0レジスタ07	C0MDATA007			○		不定
03FEC1E1H	CAN0メッセージ・データ・バイト1レジスタ07	C0MDATA107			○		不定
03FEC1E2H	CAN0メッセージ・データ・バイト23レジスタ07	C0MDATA2307				○	不定
03FEC1E2H	CAN0メッセージ・データ・バイト2レジスタ07	C0MDATA207			○		不定
03FEC1E3H	CAN0メッセージ・データ・バイト3レジスタ07	C0MDATA307			○		不定
03FEC1E4H	CAN0メッセージ・データ・バイト45レジスタ07	C0MDATA4507				○	不定
03FEC1E4H	CAN0メッセージ・データ・バイト4レジスタ07	C0MDATA407			○		不定
03FEC1E5H	CAN0メッセージ・データ・バイト5レジスタ07	C0MDATA507			○		不定
03FEC1E6H	CAN0メッセージ・データ・バイト67レジスタ07	C0MDATA6707				○	不定
03FEC1E6H	CAN0メッセージ・データ・バイト6レジスタ07	C0MDATA607			○		不定
03FEC1E7H	CAN0メッセージ・データ・バイト7レジスタ07	C0MDATA707			○		不定
03FEC1E8H	CAN0メッセージ・データ長コード・レジスタ07	C0MDLC07			○		0000xxxxB
03FEC1E9H	CAN0メッセージ・コンフィギュレーション・レジスタ07	C0MCONF07			○		不定
03FEC1EAH	CAN0メッセージIDレジスタ07	C0MIDL07				○	不定
03FEC1ECH		C0MIDH07				○	不定
03FEC1EEH	CAN0メッセージ制御レジスタ07	C0MCTRL07				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（6/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC200H	CAN0メッセージ・データ・バイト01レジスタ08	C0MDATA0108	R/W			○	不定
03FEC200H	CAN0メッセージ・データ・バイト0レジスタ08	C0MDATA008			○		不定
03FEC201H	CAN0メッセージ・データ・バイト1レジスタ08	C0MDATA108			○		不定
03FEC202H	CAN0メッセージ・データ・バイト23レジスタ08	C0MDATA2308				○	不定
03FEC202H	CAN0メッセージ・データ・バイト2レジスタ08	C0MDATA208			○		不定
03FEC203H	CAN0メッセージ・データ・バイト3レジスタ08	C0MDATA308			○		不定
03FEC204H	CAN0メッセージ・データ・バイト45レジスタ08	C0MDATA4508				○	不定
03FEC204H	CAN0メッセージ・データ・バイト4レジスタ08	C0MDATA408			○		不定
03FEC205H	CAN0メッセージ・データ・バイト5レジスタ08	C0MDATA508			○		不定
03FEC206H	CAN0メッセージ・データ・バイト67レジスタ08	C0MDATA6708				○	不定
03FEC206H	CAN0メッセージ・データ・バイト6レジスタ08	C0MDATA608			○		不定
03FEC207H	CAN0メッセージ・データ・バイト7レジスタ08	C0MDATA708			○		不定
03FEC208H	CAN0メッセージ・データ長コード・レジスタ08	C0MDLC08			○		0000xxxxB
03FEC209H	CAN0メッセージ・コンフィギュレーション・レジスタ08	C0MCONF08			○		不定
03FEC20AH	CAN0メッセージIDレジスタ08	C0MIDL08				○	不定
03FEC20CH		C0MIDH08				○	不定
03FEC20EH	CAN0メッセージ制御レジスタ08	C0MCTRL08				○	00x00000 000xx000B
03FEC220H	CAN0メッセージ・データ・バイト01レジスタ09	C0MDATA0109				○	不定
03FEC220H	CAN0メッセージ・データ・バイト0レジスタ09	C0MDATA009			○		不定
03FEC221H	CAN0メッセージ・データ・バイト1レジスタ09	C0MDATA109			○		不定
03FEC222H	CAN0メッセージ・データ・バイト23レジスタ09	C0MDATA2309				○	不定
03FEC222H	CAN0メッセージ・データ・バイト2レジスタ09	C0MDATA209			○		不定
03FEC223H	CAN0メッセージ・データ・バイト3レジスタ09	C0MDATA309			○		不定
03FEC224H	CAN0メッセージ・データ・バイト45レジスタ09	C0MDATA4509				○	不定
03FEC224H	CAN0メッセージ・データ・バイト4レジスタ09	C0MDATA409			○		不定
03FEC225H	CAN0メッセージ・データ・バイト5レジスタ09	C0MDATA509			○		不定
03FEC226H	CAN0メッセージ・データ・バイト67レジスタ09	C0MDATA6709				○	不定
03FEC226H	CAN0メッセージ・データ・バイト6レジスタ09	C0MDATA609			○		不定
03FEC227H	CAN0メッセージ・データ・バイト7レジスタ09	C0MDATA709			○		不定
03FEC228H	CAN0メッセージ・データ長コード・レジスタ09	C0MDLC09			○		0000xxxxB
03FEC229H	CAN0メッセージ・コンフィギュレーション・レジスタ09	C0MCONF09			○		不定
03FEC22AH	CAN0メッセージIDレジスタ09	C0MIDL09				○	不定
03FEC22CH		C0MIDH09				○	不定
03FEC22EH	CAN0メッセージ制御レジスタ09	C0MCTRL09				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（7/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC240H	CAN0メッセージ・データ・バイト01レジスタ10	C0MDATA0110	R/W			○	不定
03FEC240H	CAN0メッセージ・データ・バイト0レジスタ10	C0MDATA010			○		不定
03FEC241H	CAN0メッセージ・データ・バイト1レジスタ10	C0MDATA110			○		不定
03FEC242H	CAN0メッセージ・データ・バイト23レジスタ10	C0MDATA2310				○	不定
03FEC242H	CAN0メッセージ・データ・バイト2レジスタ10	C0MDATA210			○		不定
03FEC243H	CAN0メッセージ・データ・バイト3レジスタ10	C0MDATA310			○		不定
03FEC244H	CAN0メッセージ・データ・バイト45レジスタ10	C0MDATA4510				○	不定
03FEC244H	CAN0メッセージ・データ・バイト4レジスタ10	C0MDATA410			○		不定
03FEC245H	CAN0メッセージ・データ・バイト5レジスタ10	C0MDATA510			○		不定
03FEC246H	CAN0メッセージ・データ・バイト67レジスタ10	C0MDATA6710				○	不定
03FEC246H	CAN0メッセージ・データ・バイト6レジスタ10	C0MDATA610			○		不定
03FEC247H	CAN0メッセージ・データ・バイト7レジスタ10	C0MDATA710			○		不定
03FEC248H	CAN0メッセージ・データ長コード・レジスタ10	C0MDLC10			○		0000xxxxB
03FEC249H	CAN0メッセージ・コンフィギュレーション・レジスタ10	C0MCONF10			○		不定
03FEC24AH	CAN0メッセージIDレジスタ10	C0MIDL10				○	不定
03FEC24CH		C0MIDH10				○	不定
03FEC24EH	CAN0メッセージ制御レジスタ10	C0MCTRL10				○	00x00000 000xx000B
03FEC260H	CAN0メッセージ・データ・バイト01レジスタ11	C0MDATA0111				○	不定
03FEC260H	CAN0メッセージ・データ・バイト0レジスタ11	C0MDATA011			○		不定
03FEC261H	CAN0メッセージ・データ・バイト1レジスタ11	C0MDATA111			○		不定
03FEC262H	CAN0メッセージ・データ・バイト23レジスタ11	C0MDATA2311				○	不定
03FEC262H	CAN0メッセージ・データ・バイト2レジスタ11	C0MDATA211			○		不定
03FEC263H	CAN0メッセージ・データ・バイト3レジスタ11	C0MDATA311			○		不定
03FEC264H	CAN0メッセージ・データ・バイト45レジスタ11	C0MDATA4511				○	不定
03FEC264H	CAN0メッセージ・データ・バイト4レジスタ11	C0MDATA411			○		不定
03FEC265H	CAN0メッセージ・データ・バイト5レジスタ11	C0MDATA511			○		不定
03FEC266H	CAN0メッセージ・データ・バイト67レジスタ11	C0MDATA6711				○	不定
03FEC266H	CAN0メッセージ・データ・バイト6レジスタ11	C0MDATA611			○		不定
03FEC267H	CAN0メッセージ・データ・バイト7レジスタ11	C0MDATA711			○		不定
03FEC268H	CAN0メッセージ・データ長コード・レジスタ11	C0MDLC11			○		0000xxxxB
03FEC269H	CAN0メッセージ・コンフィギュレーション・レジスタ11	C0MCONF11			○		不定
03FEC26AH	CAN0メッセージIDレジスタ11	C0MIDL11				○	不定
03FEC26CH		C0MIDH11				○	不定
03FEC26EH	CAN0メッセージ制御レジスタ11	C0MCTRL11				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（8/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC280H	CAN0メッセージ・データ・バイト01レジスタ12	C0MDATA0112	R/W			○	不定
03FEC280H	CAN0メッセージ・データ・バイト0レジスタ12	C0MDATA012			○		不定
03FEC281H	CAN0メッセージ・データ・バイト1レジスタ12	C0MDATA112			○		不定
03FEC282H	CAN0メッセージ・データ・バイト23レジスタ12	C0MDATA2312				○	不定
03FEC282H	CAN0メッセージ・データ・バイト2レジスタ12	C0MDATA212			○		不定
03FEC283H	CAN0メッセージ・データ・バイト3レジスタ12	C0MDATA312			○		不定
03FEC284H	CAN0メッセージ・データ・バイト45レジスタ12	C0MDATA4512				○	不定
03FEC284H	CAN0メッセージ・データ・バイト4レジスタ12	C0MDATA412			○		不定
03FEC285H	CAN0メッセージ・データ・バイト5レジスタ12	C0MDATA512			○		不定
03FEC286H	CAN0メッセージ・データ・バイト67レジスタ12	C0MDATA6712				○	不定
03FEC286H	CAN0メッセージ・データ・バイト6レジスタ12	C0MDATA612			○		不定
03FEC287H	CAN0メッセージ・データ・バイト7レジスタ12	C0MDATA712			○		不定
03FEC288H	CAN0メッセージ・データ長コード・レジスタ12	C0MDLC12			○		0000xxxxB
03FEC289H	CAN0メッセージ・コンフィギュレーション・レジスタ12	C0MCONF12			○		不定
03FEC28AH	CAN0メッセージIDレジスタ12	C0MIDL12				○	不定
03FEC28CH		C0MIDH12				○	不定
03FEC28EH	CAN0メッセージ制御レジスタ12	C0MCTRL12				○	00x00000 000xx000B
03FEC2A0H	CAN0メッセージ・データ・バイト01レジスタ13	C0MDATA0113				○	不定
03FEC2A0H	CAN0メッセージ・データ・バイト0レジスタ13	C0MDATA013			○		不定
03FEC2A1H	CAN0メッセージ・データ・バイト1レジスタ13	C0MDATA113			○		不定
03FEC2A2H	CAN0メッセージ・データ・バイト23レジスタ13	C0MDATA2313				○	不定
03FEC2A2H	CAN0メッセージ・データ・バイト2レジスタ13	C0MDATA213			○		不定
03FEC2A3H	CAN0メッセージ・データ・バイト3レジスタ13	C0MDATA313			○		不定
03FEC2A4H	CAN0メッセージ・データ・バイト45レジスタ13	C0MDATA4513				○	不定
03FEC2A4H	CAN0メッセージ・データ・バイト4レジスタ13	C0MDATA413			○		不定
03FEC2A5H	CAN0メッセージ・データ・バイト5レジスタ13	C0MDATA513			○		不定
03FEC2A6H	CAN0メッセージ・データ・バイト67レジスタ13	C0MDATA6713				○	不定
03FEC2A6H	CAN0メッセージ・データ・バイト6レジスタ13	C0MDATA613			○		不定
03FEC2A7H	CAN0メッセージ・データ・バイト7レジスタ13	C0MDATA713			○		不定
03FEC2A8H	CAN0メッセージ・データ長コード・レジスタ13	C0MDLC13			○		0000xxxxB
03FEC2A9H	CAN0メッセージ・コンフィギュレーション・レジスタ13	C0MCONF13			○		不定
03FEC2AAH	CAN0メッセージIDレジスタ13	C0MIDL13				○	不定
03FEC2ACH		C0MIDH13				○	不定
03FEC2AEH	CAN0メッセージ制御レジスタ13	C0MCTRL13				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（9/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC2C0H	CAN0メッセージ・データ・バイト01レジスタ14	C0MDATA0114	R/W			○	不定
03FEC2C0H	CAN0メッセージ・データ・バイト0レジスタ14	C0MDATA014			○		不定
03FEC2C1H	CAN0メッセージ・データ・バイト1レジスタ14	C0MDATA114			○		不定
03FEC2C2H	CAN0メッセージ・データ・バイト23レジスタ14	C0MDATA2314				○	不定
03FEC2C2H	CAN0メッセージ・データ・バイト2レジスタ14	C0MDATA214			○		不定
03FEC2C3H	CAN0メッセージ・データ・バイト3レジスタ14	C0MDATA314			○		不定
03FEC2C4H	CAN0メッセージ・データ・バイト45レジスタ14	C0MDATA4514				○	不定
03FEC2C4H	CAN0メッセージ・データ・バイト4レジスタ14	C0MDATA414			○		不定
03FEC2C5H	CAN0メッセージ・データ・バイト5レジスタ14	C0MDATA514			○		不定
03FEC2C6H	CAN0メッセージ・データ・バイト67レジスタ14	C0MDATA6714				○	不定
03FEC2C6H	CAN0メッセージ・データ・バイト6レジスタ14	C0MDATA614			○		不定
03FEC2C7H	CAN0メッセージ・データ・バイト7レジスタ14	C0MDATA714			○		不定
03FEC2C8H	CAN0メッセージ・データ長コード・レジスタ14	C0MDLC14			○		0000xxxxB
03FEC2C9H	CAN0メッセージ・コンフィギュレーション・レジスタ14	C0MCONF14			○		不定
03FEC2CAH	CAN0メッセージIDレジスタ14	C0MIDL14				○	不定
03FEC2CCH		C0MIDH14				○	不定
03FEC2CEH	CAN0メッセージ制御レジスタ14	C0MCTRL14				○	00x00000 000xx000B
03FEC2E0H	CAN0メッセージ・データ・バイト01レジスタ15	C0MDATA0115				○	不定
03FEC2E0H	CAN0メッセージ・データ・バイト0レジスタ15	C0MDATA015			○		不定
03FEC2E1H	CAN0メッセージ・データ・バイト1レジスタ15	C0MDATA115			○		不定
03FEC2E2H	CAN0メッセージ・データ・バイト23レジスタ15	C0MDATA2315				○	不定
03FEC2E2H	CAN0メッセージ・データ・バイト2レジスタ15	C0MDATA215			○		不定
03FEC2E3H	CAN0メッセージ・データ・バイト3レジスタ15	C0MDATA315			○		不定
03FEC2E4H	CAN0メッセージ・データ・バイト45レジスタ15	C0MDATA4515				○	不定
03FEC2E4H	CAN0メッセージ・データ・バイト4レジスタ15	C0MDATA415			○		不定
03FEC2E5H	CAN0メッセージ・データ・バイト5レジスタ15	C0MDATA515			○		不定
03FEC2E6H	CAN0メッセージ・データ・バイト67レジスタ15	C0MDATA6715				○	不定
03FEC2E6H	CAN0メッセージ・データ・バイト6レジスタ15	C0MDATA615			○		不定
03FEC2E7H	CAN0メッセージ・データ・バイト7レジスタ15	C0MDATA715			○		不定
03FEC2E8H	CAN0メッセージ・データ長コード・レジスタ15	C0MDLC15			○		0000xxxx
03FEC2E9H	CAN0メッセージ・コンフィギュレーション・レジスタ15	C0MCONF15			○		不定
03FEC2EAH	CAN0メッセージIDレジスタ15	C0MIDL15				○	不定
03FEC2ECH		C0MIDH15				○	不定
03FEC2EEH	CAN0メッセージ制御レジスタ15	C0MCTRL15				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（10/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC300H	CAN0メッセージ・データ・バイト01レジスタ16	C0MDATA0116	R/W			○	不定
03FEC300H	CAN0メッセージ・データ・バイト0レジスタ16	C0MDATA160			○		不定
03FEC301H	CAN0メッセージ・データ・バイト1レジスタ16	C0MDATA116			○		不定
03FEC302H	CAN0メッセージ・データ・バイト23レジスタ16	C0MDATA2316				○	不定
03FEC302H	CAN0メッセージ・データ・バイト2レジスタ16	C0MDATA216			○		不定
03FEC303H	CAN0メッセージ・データ・バイト3レジスタ16	C0MDATA316			○		不定
03FEC304H	CAN0メッセージ・データ・バイト45レジスタ16	C0MDATA4516				○	不定
03FEC304H	CAN0メッセージ・データ・バイト4レジスタ16	C0MDATA416			○		不定
03FEC305H	CAN0メッセージ・データ・バイト5レジスタ16	C0MDATA516			○		不定
03FEC306H	CAN0メッセージ・データ・バイト67レジスタ16	C0MDATA6716				○	不定
03FEC306H	CAN0メッセージ・データ・バイト6レジスタ16	C0MDATA616			○		不定
03FEC307H	CAN0メッセージ・データ・バイト7レジスタ16	C0MDATA716			○		不定
03FEC308H	CAN0メッセージ・データ長コード・レジスタ16	C0MDLC16			○		0000xxxxB
03FEC309H	CAN0メッセージ・コンフィギュレーション・レジスタ16	C0MCONF16			○		不定
03FEC30AH	CAN0メッセージIDレジスタ16	C0MIDL16				○	不定
03FEC30CH		C0MIDH16				○	不定
03FEC30EH	CAN0メッセージ制御レジスタ16	C0MCTRL16				○	00x00000 000xx000B
03FEC320H	CAN0メッセージ・データ・バイト01レジスタ17	C0MDATA0117				○	不定
03FEC320H	CAN0メッセージ・データ・バイト0レジスタ17	C0MDATA017			○		不定
03FEC321H	CAN0メッセージ・データ・バイト1レジスタ17	C0MDATA117			○		不定
03FEC322H	CAN0メッセージ・データ・バイト23レジスタ17	C0MDATA2317				○	不定
03FEC322H	CAN0メッセージ・データ・バイト2レジスタ17	C0MDATA217			○		不定
03FEC323H	CAN0メッセージ・データ・バイト3レジスタ17	C0MDATA317			○		不定
03FEC324H	CAN0メッセージ・データ・バイト45レジスタ17	C0MDATA4517				○	不定
03FEC324H	CAN0メッセージ・データ・バイト4レジスタ17	C0MDATA417			○		不定
03FEC325H	CAN0メッセージ・データ・バイト5レジスタ17	C0MDATA517			○		不定
03FEC326H	CAN0メッセージ・データ・バイト67レジスタ17	C0MDATA6717				○	不定
03FEC326H	CAN0メッセージ・データ・バイト6レジスタ17	C0MDATA617			○		不定
03FEC327H	CAN0メッセージ・データ・バイト7レジスタ17	C0MDATA717			○		不定
03FEC328H	CAN0メッセージ・データ長コード・レジスタ17	C0MDLC17			○		0000xxxxB
03FEC329H	CAN0メッセージ・コンフィギュレーション・レジスタ17	C0MCONF17			○		不定
03FEC32AH	CAN0メッセージIDレジスタ17	C0MIDL17				○	不定
03FEC32CH		C0MIDH17				○	不定
03FEC32EH	CAN0メッセージ制御レジスタ17	C0MCTRL17				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（11/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC340H	CAN0メッセージ・データ・バイト01レジスタ18	C0MDATA0118	R/W			○	不定
03FEC340H	CAN0メッセージ・データ・バイト0レジスタ18	C0MDATA018			○		不定
03FEC341H	CAN0メッセージ・データ・バイト1レジスタ18	C0MDATA118			○		不定
03FEC342H	CAN0メッセージ・データ・バイト23レジスタ18	C0MDATA2318				○	不定
03FEC342H	CAN0メッセージ・データ・バイト2レジスタ18	C0MDATA218			○		不定
03FEC343H	CAN0メッセージ・データ・バイト3レジスタ18	C0MDATA318			○		不定
03FEC344H	CAN0メッセージ・データ・バイト45レジスタ18	C0MDATA4518				○	不定
03FEC344H	CAN0メッセージ・データ・バイト4レジスタ18	C0MDATA418			○		不定
03FEC345H	CAN0メッセージ・データ・バイト5レジスタ18	C0MDATA518			○		不定
03FEC346H	CAN0メッセージ・データ・バイト67レジスタ18	C0MDATA6718				○	不定
03FEC346H	CAN0メッセージ・データ・バイト6レジスタ18	C0MDATA618			○		不定
03FEC347H	CAN0メッセージ・データ・バイト7レジスタ18	C0MDATA718			○		不定
03FEC348H	CAN0メッセージ・データ長コード・レジスタ18	C0MDLC18			○		0000xxxxB
03FEC349H	CAN0メッセージ・コンフィギュレーション・レジスタ18	C0MCONF18			○		不定
03FEC34AH	CAN0メッセージIDレジスタ18	C0MIDL18				○	不定
03FEC34CH		C0MIDH18				○	不定
03FEC34EH	CAN0メッセージ制御レジスタ18	C0MCTRL18				○	00x00000 000xx000B
03FEC360H	CAN0メッセージ・データ・バイト01レジスタ19	C0MDATA0119				○	不定
03FEC360H	CAN0メッセージ・データ・バイト0レジスタ19	C0MDATA019			○		不定
03FEC361H	CAN0メッセージ・データ・バイト1レジスタ19	C0MDATA119			○		不定
03FEC362H	CAN0メッセージ・データ・バイト23レジスタ19	C0MDATA2319				○	不定
03FEC362H	CAN0メッセージ・データ・バイト2レジスタ19	C0MDATA219			○		不定
03FEC363H	CAN0メッセージ・データ・バイト3レジスタ19	C0MDATA319			○		不定
03FEC364H	CAN0メッセージ・データ・バイト45レジスタ19	C0MDATA4519				○	不定
03FEC364H	CAN0メッセージ・データ・バイト4レジスタ19	C0MDATA419			○		不定
03FEC365H	CAN0メッセージ・データ・バイト5レジスタ19	C0MDATA519			○		不定
03FEC366H	CAN0メッセージ・データ・バイト67レジスタ19	C0MDATA6719				○	不定
03FEC366H	CAN0メッセージ・データ・バイト6レジスタ19	C0MDATA619			○		不定
03FEC367H	CAN0メッセージ・データ・バイト7レジスタ19	C0MDATA719			○		不定
03FEC368H	CAN0メッセージ・データ長コード・レジスタ19	C0MDLC19			○		0000xxxxB
03FEC369H	CAN0メッセージ・コンフィギュレーション・レジスタ19	C0MCONF19			○		不定
03FEC36AH	CAN0メッセージIDレジスタ19	C0MIDL19				○	不定
03FEC36CH		C0MIDH19				○	不定
03FEC36EH	CAN0メッセージ制御レジスタ19	C0MCTRL19				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（12/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC380H	CAN0メッセージ・データ・バイト01レジスタ20	C0MDATA0120	R/W			○	不定
03FEC380H	CAN0メッセージ・データ・バイト0レジスタ20	C0MDATA020			○		不定
03FEC381H	CAN0メッセージ・データ・バイト1レジスタ20	C0MDATA120			○		不定
03FEC382H	CAN0メッセージ・データ・バイト23レジスタ20	C0MDATA2320				○	不定
03FEC382H	CAN0メッセージ・データ・バイト2レジスタ20	C0MDATA220			○		不定
03FEC383H	CAN0メッセージ・データ・バイト3レジスタ20	C0MDATA320			○		不定
03FEC384H	CAN0メッセージ・データ・バイト45レジスタ20	C0MDATA4520				○	不定
03FEC384H	CAN0メッセージ・データ・バイト4レジスタ20	C0MDATA420			○		不定
03FEC385H	CAN0メッセージ・データ・バイト5レジスタ20	C0MDATA520			○		不定
03FEC386H	CAN0メッセージ・データ・バイト67レジスタ20	C0MDATA6720				○	不定
03FEC386H	CAN0メッセージ・データ・バイト6レジスタ20	C0MDATA620			○		不定
03FEC387H	CAN0メッセージ・データ・バイト7レジスタ20	C0MDATA720			○		不定
03FEC388H	CAN0メッセージ・データ長コード・レジスタ20	C0MDLC20			○		0000xxxxB
03FEC389H	CAN0メッセージ・コンフィギュレーション・レジスタ20	C0MCONF20			○		不定
03FEC38AH	CAN0メッセージIDレジスタ20	C0MIDL20				○	不定
03FEC38CH		C0MIDH20				○	不定
03FEC38EH	CAN0メッセージ制御レジスタ20	C0MCTRL20				○	00x00000 000xx000B
03FEC3A0H	CAN0メッセージ・データ・バイト01レジスタ21	C0MDATA0121				○	不定
03FEC3A0H	CAN0メッセージ・データ・バイト0レジスタ21	C0MDATA021			○		不定
03FEC3A1H	CAN0メッセージ・データ・バイト1レジスタ21	C0MDATA121			○		不定
03FEC3A2H	CAN0メッセージ・データ・バイト23レジスタ21	C0MDATA2321				○	不定
03FEC3A2H	CAN0メッセージ・データ・バイト2レジスタ21	C0MDATA221			○		不定
03FEC3A3H	CAN0メッセージ・データ・バイト3レジスタ21	C0MDATA321			○		不定
03FEC3A4H	CAN0メッセージ・データ・バイト45レジスタ21	C0MDATA4521				○	不定
03FEC3A4H	CAN0メッセージ・データ・バイト4レジスタ21	C0MDATA421			○		不定
03FEC3A5H	CAN0メッセージ・データ・バイト5レジスタ21	C0MDATA521			○		不定
03FEC3A6H	CAN0メッセージ・データ・バイト67レジスタ21	C0MDATA6721				○	不定
03FEC3A6H	CAN0メッセージ・データ・バイト6レジスタ21	C0MDATA621			○		不定
03FEC3A7H	CAN0メッセージ・データ・バイト7レジスタ21	C0MDATA721			○		不定
03FEC3A8H	CAN0メッセージ・データ長コード・レジスタ21	C0MDLC21			○		0000xxxxB
03FEC3A9H	CAN0メッセージ・コンフィギュレーション・レジスタ21	C0MCONF21			○		不定
03FEC3AAH	CAN0メッセージIDレジスタ21	C0MIDL21				○	不定
03FEC3ACH		C0MIDH21				○	不定
03FEC3AEH	CAN0メッセージ制御レジスタ21	C0MCTRL21				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（13/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC3C0H	CAN0メッセージ・データ・バイト01レジスタ22	C0MDATA0122	R/W			○	不定
03FEC3C0H	CAN0メッセージ・データ・バイト0レジスタ22	C0MDATA022			○		不定
03FEC3C1H	CAN0メッセージ・データ・バイト1レジスタ22	C0MDATA122			○		不定
03FEC3C2H	CAN0メッセージ・データ・バイト23レジスタ22	C0MDATA2322				○	不定
03FEC3C2H	CAN0メッセージ・データ・バイト2レジスタ22	C0MDATA222			○		不定
03FEC3C3H	CAN0メッセージ・データ・バイト3レジスタ22	C0MDATA322			○		不定
03FEC3C4H	CAN0メッセージ・データ・バイト45レジスタ22	C0MDATA4522				○	不定
03FEC3C4H	CAN0メッセージ・データ・バイト4レジスタ22	C0MDATA422			○		不定
03FEC3C5H	CAN0メッセージ・データ・バイト5レジスタ22	C0MDATA522			○		不定
03FEC3C6H	CAN0メッセージ・データ・バイト67レジスタ22	C0MDATA6722				○	不定
03FEC3C6H	CAN0メッセージ・データ・バイト6レジスタ22	C0MDATA622			○		不定
03FEC3C7H	CAN0メッセージ・データ・バイト7レジスタ22	C0MDATA722			○		不定
03FEC3C8H	CAN0メッセージ・データ長コード・レジスタ22	C0MDLC22			○		0000xxxxB
03FEC3C9H	CAN0メッセージ・コンフィギュレーション・レジスタ22	C0MCONF22			○		不定
03FEC3CAH	CAN0メッセージIDレジスタ22	C0MIDL22				○	不定
03FEC3CCH		C0MIDH22				○	不定
03FEC3CEH	CAN0メッセージ制御レジスタ22	C0MCTRL22				○	00x00000 000xx000B
03FEC3E0H	CAN0メッセージ・データ・バイト01レジスタ23	C0MDATA0123				○	不定
03FEC3E0H	CAN0メッセージ・データ・バイト0レジスタ23	C0MDATA023			○		不定
03FEC3E1H	CAN0メッセージ・データ・バイト1レジスタ23	C0MDATA123			○		不定
03FEC3E2H	CAN0メッセージ・データ・バイト23レジスタ23	C0MDATA2323				○	不定
03FEC3E2H	CAN0メッセージ・データ・バイト2レジスタ23	C0MDATA223			○		不定
03FEC3E3H	CAN0メッセージ・データ・バイト3レジスタ23	C0MDATA323			○		不定
03FEC3E4H	CAN0メッセージ・データ・バイト45レジスタ23	C0MDATA4523				○	不定
03FEC3E4H	CAN0メッセージ・データ・バイト4レジスタ23	C0MDATA423			○		不定
03FEC3E5H	CAN0メッセージ・データ・バイト5レジスタ23	C0MDATA523			○		不定
03FEC3E6H	CAN0メッセージ・データ・バイト67レジスタ23	C0MDATA6723				○	不定
03FEC3E6H	CAN0メッセージ・データ・バイト6レジスタ23	C0MDATA623			○		不定
03FEC3E7H	CAN0メッセージ・データ・バイト7レジスタ23	C0MDATA723			○		不定
03FEC3E8H	CAN0メッセージ・データ長コード・レジスタ23	C0MDLC23			○		0000xxxxB
03FEC3E9H	CAN0メッセージ・コンフィギュレーション・レジスタ23	C0MCONF23			○		不定
03FEC3EAH	CAN0メッセージIDレジスタ23	C0MIDL23				○	不定
03FEC3ECH		C0MIDH23				○	不定
03FEC3EEH	CAN0メッセージ制御レジスタ23	C0MCTRL23				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（14/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC400H	CAN0メッセージ・データ・バイト01レジスタ24	C0MDATA0124	R/W			○	不定
03FEC400H	CAN0メッセージ・データ・バイト0レジスタ24	C0MDATA024			○		不定
03FEC401H	CAN0メッセージ・データ・バイト1レジスタ24	C0MDATA124			○		不定
03FEC402H	CAN0メッセージ・データ・バイト23レジスタ24	C0MDATA2324				○	不定
03FEC402H	CAN0メッセージ・データ・バイト2レジスタ24	C0MDATA224			○		不定
03FEC403H	CAN0メッセージ・データ・バイト3レジスタ24	C0MDATA324			○		不定
03FEC404H	CAN0メッセージ・データ・バイト45レジスタ24	C0MDATA4524				○	不定
03FEC404H	CAN0メッセージ・データ・バイト4レジスタ24	C0MDATA424			○		不定
03FEC405H	CAN0メッセージ・データ・バイト5レジスタ24	C0MDATA524			○		不定
03FEC406H	CAN0メッセージ・データ・バイト67レジスタ24	C0MDATA6724				○	不定
03FEC406H	CAN0メッセージ・データ・バイト6レジスタ24	C0MDATA624			○		不定
03FEC407H	CAN0メッセージ・データ・バイト7レジスタ24	C0MDATA724			○		不定
03FEC408H	CAN0メッセージ・データ長コード・レジスタ24	C0MDLC24			○		0000xxxxB
03FEC409H	CAN0メッセージ・コンフィギュレーション・レジスタ24	C0MCONF24			○		不定
03FEC40AH	CAN0メッセージIDレジスタ24	C0MIDL24				○	不定
03FEC40CH		C0MIDH24				○	不定
03FEC40EH	CAN0メッセージ制御レジスタ24	C0MCTRL24				○	00x00000 000xx000B
03FEC420H	CAN0メッセージ・データ・バイト01レジスタ25	C0MDATA0125				○	不定
03FEC420H	CAN0メッセージ・データ・バイト0レジスタ25	C0MDATA025			○		不定
03FEC421H	CAN0メッセージ・データ・バイト1レジスタ25	C0MDATA125			○		不定
03FEC422H	CAN0メッセージ・データ・バイト23レジスタ25	C0MDATA2325				○	不定
03FEC422H	CAN0メッセージ・データ・バイト2レジスタ25	C0MDATA225			○		不定
03FEC423H	CAN0メッセージ・データ・バイト3レジスタ25	C0MDATA325			○		不定
03FEC424H	CAN0メッセージ・データ・バイト45レジスタ25	C0MDATA4525				○	不定
03FEC424H	CAN0メッセージ・データ・バイト4レジスタ25	C0MDATA425			○		不定
03FEC425H	CAN0メッセージ・データ・バイト5レジスタ25	C0MDATA525			○		不定
03FEC426H	CAN0メッセージ・データ・バイト67レジスタ25	C0MDATA6725				○	不定
03FEC426H	CAN0メッセージ・データ・バイト6レジスタ25	C0MDATA625			○		不定
03FEC427H	CAN0メッセージ・データ・バイト7レジスタ25	C0MDATA725			○		不定
03FEC428H	CAN0メッセージ・データ長コード・レジスタ25	C0MDLC25			○		0000xxxxB
03FEC429H	CAN0メッセージ・コンフィギュレーション・レジスタ25	C0MCONF25			○		不定
03FEC42AH	CAN0メッセージIDレジスタ25	C0MIDL25				○	不定
03FEC42CH		C0MIDH25				○	不定
03FEC42EH	CAN0メッセージ制御レジスタ25	C0MCTRL25				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（15/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC440H	CAN0メッセージ・データ・バイト01レジスタ26	C0MDATA0126	R/W			○	不定
03FEC440H	CAN0メッセージ・データ・バイト0レジスタ26	C0MDATA026			○		不定
03FEC441H	CAN0メッセージ・データ・バイト1レジスタ26	C0MDATA126			○		不定
03FEC442H	CAN0メッセージ・データ・バイト23レジスタ26	C0MDATA2326				○	不定
03FEC442H	CAN0メッセージ・データ・バイト2レジスタ26	C0MDATA226			○		不定
03FEC443H	CAN0メッセージ・データ・バイト3レジスタ26	C0MDATA326			○		不定
03FEC444H	CAN0メッセージ・データ・バイト45レジスタ26	C0MDATA4526				○	不定
03FEC444H	CAN0メッセージ・データ・バイト4レジスタ26	C0MDATA426			○		不定
03FEC445H	CAN0メッセージ・データ・バイト5レジスタ26	C0MDATA526			○		不定
03FEC446H	CAN0メッセージ・データ・バイト67レジスタ26	C0MDATA6726				○	不定
03FEC446H	CAN0メッセージ・データ・バイト6レジスタ26	C0MDATA626			○		不定
03FEC447H	CAN0メッセージ・データ・バイト7レジスタ26	C0MDATA726			○		不定
03FEC448H	CAN0メッセージ・データ長コード・レジスタ26	C0MDLC26			○		0000xxxxB
03FEC449H	CAN0メッセージ・コンフィギュレーション・レジスタ26	C0MCONF26			○		不定
03FEC44AH	CAN0メッセージIDレジスタ26	C0MIDL26				○	不定
03FEC44CH		C0MIDH26				○	不定
03FEC44EH	CAN0メッセージ制御レジスタ26	C0MCTRL26				○	00x00000 000xx000B
03FEC460H	CAN0メッセージ・データ・バイト01レジスタ27	C0MDATA0127				○	不定
03FEC460H	CAN0メッセージ・データ・バイト0レジスタ27	C0MDATA027			○		不定
03FEC461H	CAN0メッセージ・データ・バイト1レジスタ27	C0MDATA127			○		不定
03FEC462H	CAN0メッセージ・データ・バイト23レジスタ27	C0MDATA2327				○	不定
03FEC462H	CAN0メッセージ・データ・バイト2レジスタ27	C0MDATA227			○		不定
03FEC463H	CAN0メッセージ・データ・バイト3レジスタ27	C0MDATA327			○		不定
03FEC464H	CAN0メッセージ・データ・バイト45レジスタ27	C0MDATA4527				○	不定
03FEC464H	CAN0メッセージ・データ・バイト4レジスタ27	C0MDATA427			○		不定
03FEC465H	CAN0メッセージ・データ・バイト5レジスタ27	C0MDATA527			○		不定
03FEC466H	CAN0メッセージ・データ・バイト67レジスタ27	C0MDATA6727				○	不定
03FEC466H	CAN0メッセージ・データ・バイト6レジスタ27	C0MDATA627			○		不定
03FEC467H	CAN0メッセージ・データ・バイト7レジスタ27	C0MDATA727			○		不定
03FEC468H	CAN0メッセージ・データ長コード・レジスタ27	C0MDLC27			○		0000xxxxB
03FEC469H	CAN0メッセージ・コンフィギュレーション・レジスタ27	C0MCONF27			○		不定
03FEC46AH	CAN0メッセージIDレジスタ27	C0MIDL27				○	不定
03FEC46CH		C0MIDH27				○	不定
03FEC46EH	CAN0メッセージ制御レジスタ27	C0MCTRL27				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（16/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC480H	CAN0メッセージ・データ・バイト01レジスタ28	C0MDATA0128	R/W			○	不定
03FEC480H	CAN0メッセージ・データ・バイト0レジスタ28	C0MDATA028			○		不定
03FEC481H	CAN0メッセージ・データ・バイト1レジスタ28	C0MDATA128			○		不定
03FEC482H	CAN0メッセージ・データ・バイト23レジスタ28	C0MDATA2328				○	不定
03FEC482H	CAN0メッセージ・データ・バイト2レジスタ28	C0MDATA228			○		不定
03FEC483H	CAN0メッセージ・データ・バイト3レジスタ28	C0MDATA328			○		不定
03FEC484H	CAN0メッセージ・データ・バイト45レジスタ28	C0MDATA4528				○	不定
03FEC484H	CAN0メッセージ・データ・バイト4レジスタ28	C0MDATA428			○		不定
03FEC485H	CAN0メッセージ・データ・バイト5レジスタ28	C0MDATA528			○		不定
03FEC486H	CAN0メッセージ・データ・バイト67レジスタ28	C0MDATA6728				○	不定
03FEC486H	CAN0メッセージ・データ・バイト6レジスタ28	C0MDATA628			○		不定
03FEC487H	CAN0メッセージ・データ・バイト7レジスタ28	C0MDATA728			○		不定
03FEC488H	CAN0メッセージ・データ長コード・レジスタ28	C0MDLC28			○		0000xxxxB
03FEC489H	CAN0メッセージ・コンフィギュレーション・レジスタ28	C0MCONF28			○		不定
03FEC48AH	CAN0メッセージIDレジスタ28	C0MIDL28				○	不定
03FEC48CH		C0MIDH28				○	不定
03FEC48EH	CAN0メッセージ制御レジスタ28	C0MCTRL28				○	00x00000 000xx000B
03FEC4A0H	CAN0メッセージ・データ・バイト01レジスタ29	C0MDATA0129				○	不定
03FEC4A0H	CAN0メッセージ・データ・バイト0レジスタ29	C0MDATA029			○		不定
03FEC4A1H	CAN0メッセージ・データ・バイト1レジスタ29	C0MDATA129			○		不定
03FEC4A2H	CAN0メッセージ・データ・バイト23レジスタ29	C0MDATA2329				○	不定
03FEC4A2H	CAN0メッセージ・データ・バイト2レジスタ29	C0MDATA229			○		不定
03FEC4A3H	CAN0メッセージ・データ・バイト3レジスタ29	C0MDATA329			○		不定
03FEC4A4H	CAN0メッセージ・データ・バイト45レジスタ29	C0MDATA4529				○	不定
03FEC4A4H	CAN0メッセージ・データ・バイト4レジスタ29	C0MDATA429			○		不定
03FEC4A5H	CAN0メッセージ・データ・バイト5レジスタ29	C0MDATA529			○		不定
03FEC4A6H	CAN0メッセージ・データ・バイト67レジスタ29	C0MDATA6729				○	不定
03FEC4A6H	CAN0メッセージ・データ・バイト6レジスタ29	C0MDATA629			○		不定
03FEC4A7H	CAN0メッセージ・データ・バイト7レジスタ29	C0MDATA729			○		不定
03FEC4A8H	CAN0メッセージ・データ長コード・レジスタ29	C0MDLC29			○		0000xxxxB
03FEC4A9H	CAN0メッセージ・コンフィギュレーション・レジスタ29	C0MCONF29			○		不定
03FEC4AAH	CAN0メッセージIDレジスタ29	C0MIDL29				○	不定
03FEC4ACH		C0MIDH29				○	不定
03FEC4AEH	CAN0メッセージ制御レジスタ29	C0MCTRL29				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（17/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC4C0H	CAN0メッセージ・データ・バイト01レジスタ30	C0MDATA0130	R/W			○	不定
03FEC4C0H	CAN0メッセージ・データ・バイト0レジスタ30	C0MDATA030			○		不定
03FEC4C1H	CAN0メッセージ・データ・バイト1レジスタ30	C0MDATA130			○		不定
03FEC4C2H	CAN0メッセージ・データ・バイト23レジスタ30	C0MDATA2330				○	不定
03FEC4C2H	CAN0メッセージ・データ・バイト2レジスタ30	C0MDATA230			○		不定
03FEC4C3H	CAN0メッセージ・データ・バイト3レジスタ30	C0MDATA330			○		不定
03FEC4C4H	CAN0メッセージ・データ・バイト45レジスタ30	C0MDATA4530				○	不定
03FEC4C4H	CAN0メッセージ・データ・バイト4レジスタ30	C0MDATA430			○		不定
03FEC4C5H	CAN0メッセージ・データ・バイト5レジスタ30	C0MDATA530			○		不定
03FEC4C6H	CAN0メッセージ・データ・バイト67レジスタ30	C0MDATA6730				○	不定
03FEC4C6H	CAN0メッセージ・データ・バイト6レジスタ30	C0MDATA630			○		不定
03FEC4C7H	CAN0メッセージ・データ・バイト7レジスタ30	C0MDATA730			○		不定
03FEC4C8H	CAN0メッセージ・データ長コード・レジスタ30	C0MDLC30			○		0000xxxxB
03FEC4C9H	CAN0メッセージ・コンフィギュレーション・レジスタ30	C0MCONF30			○		不定
03FEC4CAH	CAN0メッセージIDレジスタ30	C0MIDL30				○	不定
03FEC4CCH		C0MIDH30				○	不定
03FEC4CEH	CAN0メッセージ制御レジスタ30	C0MCTRL30				○	00x00000 000xx000B
03FEC4E0H	CAN0メッセージ・データ・バイト01レジスタ31	C0MDATA0131				○	不定
03FEC4E0H	CAN0メッセージ・データ・バイト0レジスタ31	C0MDATA031			○		不定
03FEC4E1H	CAN0メッセージ・データ・バイト1レジスタ31	C0MDATA131			○		不定
03FEC4E2H	CAN0メッセージ・データ・バイト23レジスタ31	C0MDATA2331				○	不定
03FEC4E2H	CAN0メッセージ・データ・バイト2レジスタ31	C0MDATA231			○		不定
03FEC4E3H	CAN0メッセージ・データ・バイト3レジスタ31	C0MDATA331			○		不定
03FEC4E4H	CAN0メッセージ・データ・バイト45レジスタ31	C0MDATA4531				○	不定
03FEC4E4H	CAN0メッセージ・データ・バイト4レジスタ31	C0MDATA431			○		不定
03FEC4E5H	CAN0メッセージ・データ・バイト5レジスタ31	C0MDATA531			○		不定
03FEC4E6H	CAN0メッセージ・データ・バイト67レジスタ31	C0MDATA6731				○	不定
03FEC4E6H	CAN0メッセージ・データ・バイト6レジスタ31	C0MDATA631			○		不定
03FEC4E7H	CAN0メッセージ・データ・バイト7レジスタ31	C0MDATA731			○		不定
03FEC4E8H	CAN0メッセージ・データ長コード・レジスタ31	C0MDLC31			○		0000xxxx
03FEC4E9H	CAN0メッセージ・コンフィギュレーション・レジスタ31	C0MCONF31			○		不定
03FEC4EAH	CAN0メッセージIDレジスタ31	C0MIDL31				○	不定
03FEC4ECH		C0MIDH31				○	不定
03FEC4EEH	CAN0メッセージ制御レジスタ31	C0MCTRL31				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（18/34）

アドレス	レジスタ名	略　　号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC600H	CAN1グローバル制御レジスタ	C1GMCTRL	R/W	–	–	○	0000H
03FEC602H	CAN1グローバル・クロック選択レジスタ	C1GMCS	R/W	–	○	–	0FH
03FEC606H	CAN1グローバル・ブロック送信制御レジスタ	C1GMABT	R/W	–	–	○	0000H
03FEC608H	CAN1グローバル・ブロック送信遅延設定レジスタ	C1GMABTD	R/W	–	○	–	00H
03FEC640H	CAN1モジュール・マスク1レジスタ	C1MASK1L	R/W	–	–	○	不定
03FEC642H		C1MASK1H					
03FEC644H	CAN1モジュール・マスク2レジスタ	C1MASK2L	R/W	–	–	○	不定
03FEC646H		C1MASK2H					
03FEC648H	CAN1モジュール・マスク3レジスタ	C1MASK3L	R/W	–	–	○	不定
03FEC64AH		C1MASK3H					
03FEC64CH	CAN1モジュール・マスク4レジスタ	C1MASK4L	R/W	–	–	○	不定
03FEC64EH		C1MASK4H					
03FEC650H	CAN1モジュール制御レジスタ	C1CTRL	R/W	–	–	○	0000H
03FEC652H	CAN1モジュール最終エラー情報レジスタ	C1LEC	R/W	–	○	–	00H
03FEC653H	CAN1モジュール情報レジスタ	C1INFO	R	–	○	–	00H
03FEC654H	CAN1モジュール・エラー・カウンタ・レジスタ	C1ERC	R	–	–	○	0000H
03FEC656H	CAN1モジュール割り込み許可レジスタ	C1IE	R/W	–	–	○	0000H
03FEC658H	CAN1モジュール割り込みステータス・レジスタ	C1INTS	R/W	–	–	○	0000H
03FEC65AH	CAN1モジュール・ビット・レート・プリスケーラ・レジスタ	C1BRP	R/W	–	○	–	FFH
03FEC65CH	CAN1モジュール・ビット・レート・レジスタ	C1BTR	R/W	–	–	○	370FH
03FEC65EH	CAN1モジュール最終受信ポインタ・レジスタ	C1LIPT	R	–	○	–	不定
03FEC660H	CAN1モジュール受信ヒストリ・リスト・レジスタ	C1RGPT	R/W	–	–	○	xx02H
03FEC662H	CAN1モジュール最終送信ポインタ・レジスタ	C1LOPT	R	–	○	–	不定
03FEC664H	CAN1モジュール・送信ヒストリ・リスト・レジスタ	C1TGPT	R/W	–	–	○	xx02H
03FEC666H	CAN1モジュール・タイム・スタンプ・レジスタ	C1TS	R/W	–	–	○	0000H

表14－16　レジスタ・アクセス・タイプ（19/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC700H	CAN1メッセージ・データ・バイト01レジスタ00	C1MDATA0100	R/W			○	不定
03FEC700H	CAN1メッセージ・データ・バイト0レジスタ00	C1MDATA000			○		不定
03FEC701H	CAN1メッセージ・データ・バイト1レジスタ00	C1MDATA100			○		不定
03FEC702H	CAN1メッセージ・データ・バイト23レジスタ00	C1MDATA2300				○	不定
03FEC702H	CAN1メッセージ・データ・バイト2レジスタ00	C1MDATA200			○		不定
03FEC703H	CAN1メッセージ・データ・バイト3レジスタ00	C1MDATA300			○		不定
03FEC704H	CAN1メッセージ・データ・バイト45レジスタ00	C1MDATA4500				○	不定
03FEC704H	CAN1メッセージ・データ・バイト4レジスタ00	C1MDATA400			○		不定
03FEC705H	CAN1メッセージ・データ・バイト5レジスタ00	C1MDATA500			○		不定
03FEC706H	CAN1メッセージ・データ・バイト67レジスタ00	C1MDATA6700				○	不定
03FEC706H	CAN1メッセージ・データ・バイト6レジスタ00	C1MDATA600			○		不定
03FEC707H	CAN1メッセージ・データ・バイト7レジスタ00	C1MDATA700			○		不定
03FEC708H	CAN1メッセージ・データ長コード・レジスタ00	C1MDLC00			○		0000xxxxB
03FEC709H	CAN1メッセージ・コンフィギュレーション・レジスタ00	C1MCONF00			○		不定
03FEC70AH	CAN1メッセージIDレジスタ00	C1MIDL00				○	不定
03FEC70CH		C1MIDH00				○	不定
03FEC70EH	CAN1メッセージ制御レジスタ00	C1MCTRL00				○	00x00000 000xx000B
03FEC720H	CAN1メッセージ・データ・バイト01レジスタ01	C1MDATA0101				○	不定
03FEC720H	CAN1メッセージ・データ・バイト0レジスタ01	C1MDATA001			○		不定
03FEC721H	CAN1メッセージ・データ・バイト1レジスタ01	C1MDATA101			○		不定
03FEC722H	CAN1メッセージ・データ・バイト23レジスタ01	C1MDATA2301				○	不定
03FEC722H	CAN1メッセージ・データ・バイト2レジスタ01	C1MDATA201			○		不定
03FEC723H	CAN1メッセージ・データ・バイト3レジスタ01	C1MDATA301			○		不定
03FEC724H	CAN1メッセージ・データ・バイト45レジスタ01	C1MDATA4501				○	不定
03FEC724H	CAN1メッセージ・データ・バイト4レジスタ01	C1MDATA401			○		不定
03FEC725H	CAN1メッセージ・データ・バイト5レジスタ01	C1MDATA501			○		不定
03FEC726H	CAN1メッセージ・データ・バイト67レジスタ01	C1MDATA6701				○	不定
03FEC726H	CAN1メッセージ・データ・バイト6レジスタ01	C1MDATA601			○		不定
03FEC727H	CAN1メッセージ・データ・バイト7レジスタ01	C1MDATA701			○		不定
03FEC728H	CAN1メッセージ・データ長コード・レジスタ01	C1MDLC01			○		0000xxxxB
03FEC729H	CAN1メッセージ・コンフィギュレーション・レジスタ01	C1MCONF01			○		不定
03FEC72AH	CAN1メッセージIDレジスタ01	C1MIDL01				○	不定
03FEC72CH		C1MIDH01				○	不定
03FEC72EH	CAN1メッセージ制御レジスタ01	C1MCTRL01				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（20/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC740H	CAN1メッセージ・データ・バイト01レジスタ02	C1MDATA0102	R/W			○	不定
03FEC740H	CAN1メッセージ・データ・バイト0レジスタ02	C1MDATA002			○		不定
03FEC741H	CAN1メッセージ・データ・バイト1レジスタ02	C1MDATA102			○		不定
03FEC742H	CAN1メッセージ・データ・バイト23レジスタ02	C1MDATA2302				○	不定
03FEC742H	CAN1メッセージ・データ・バイト2レジスタ02	C1MDATA202			○		不定
03FEC743H	CAN1メッセージ・データ・バイト3レジスタ02	C1MDATA302			○		不定
03FEC744H	CAN1メッセージ・データ・バイト45レジスタ02	C1MDATA4502				○	不定
03FEC744H	CAN1メッセージ・データ・バイト4レジスタ02	C1MDATA402			○		不定
03FEC745H	CAN1メッセージ・データ・バイト5レジスタ02	C1MDATA502			○		不定
03FEC746H	CAN1メッセージ・データ・バイト67レジスタ02	C1MDATA6702				○	不定
03FEC746H	CAN1メッセージ・データ・バイト6レジスタ02	C1MDATA602			○		不定
03FEC747H	CAN1メッセージ・データ・バイト7レジスタ02	C1MDATA702			○		不定
03FEC748H	CAN1メッセージ・データ長コード・レジスタ02	C1MDLC02			○		0000xxxxB
03FEC749H	CAN1メッセージ・コンフィギュレーション・レジスタ02	C1MCONF02			○		不定
03FEC74AH	CAN1メッセージIDレジスタ02	C1MIDL02				○	不定
03FEC74CH		C1MIDH02				○	不定
03FEC74EH	CAN1メッセージ制御レジスタ02	C1MCTRL02				○	00x00000 000xx000B
03FEC760H	CAN1メッセージ・データ・バイト01レジスタ03	C1MDATA0103				○	不定
03FEC760H	CAN1メッセージ・データ・バイト0レジスタ03	C1MDATA003			○		不定
03FEC761H	CAN1メッセージ・データ・バイト1レジスタ03	C1MDATA103			○		不定
03FEC762H	CAN1メッセージ・データ・バイト23レジスタ03	C1MDATA2303				○	不定
03FEC762H	CAN1メッセージ・データ・バイト2レジスタ03	C1MDATA203			○		不定
03FEC763H	CAN1メッセージ・データ・バイト3レジスタ03	C1MDATA303			○		不定
03FEC764H	CAN1メッセージ・データ・バイト45レジスタ03	C1MDATA4503				○	不定
03FEC764H	CAN1メッセージ・データ・バイト4レジスタ03	C1MDATA403			○		不定
03FEC765H	CAN1メッセージ・データ・バイト5レジスタ03	C1MDATA503			○		不定
03FEC766H	CAN1メッセージ・データ・バイト67レジスタ03	C1MDATA6703				○	不定
03FEC766H	CAN1メッセージ・データ・バイト6レジスタ03	C1MDATA603			○		不定
03FEC767H	CAN1メッセージ・データ・バイト7レジスタ03	C1MDATA703			○		不定
03FEC768H	CAN1メッセージ・データ長コード・レジスタ03	C1MDLC03			○		0000xxxxB
03FEC769H	CAN1メッセージ・コンフィギュレーション・レジスタ03	C1MCONF03			○		不定
03FEC76AH	CAN1メッセージIDレジスタ03	C1MIDL03				○	不定
03FEC76CH		C1MIDH03				○	不定
03FEC76EH	CAN1メッセージ制御レジスタ03	C1MCTRL03				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（21/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC780H	CAN1メッセージ・データ・バイト01レジスタ04	C1MDATA0104	R/W			○	不定
03FEC780H	CAN1メッセージ・データ・バイト0レジスタ04	C1MDATA004			○		不定
03FEC781H	CAN1メッセージ・データ・バイト1レジスタ04	C1MDATA104			○		不定
03FEC782H	CAN1メッセージ・データ・バイト23レジスタ04	C1MDATA2304				○	不定
03FEC782H	CAN1メッセージ・データ・バイト2レジスタ04	C1MDATA204			○		不定
03FEC783H	CAN1メッセージ・データ・バイト3レジスタ04	C1MDATA304			○		不定
03FEC784H	CAN1メッセージ・データ・バイト45レジスタ04	C1MDATA4504				○	不定
03FEC784H	CAN1メッセージ・データ・バイト4レジスタ04	C1MDATA404			○		不定
03FEC785H	CAN1メッセージ・データ・バイト5レジスタ04	C1MDATA504			○		不定
03FEC786H	CAN1メッセージ・データ・バイト67レジスタ04	C1MDATA6704				○	不定
03FEC786H	CAN1メッセージ・データ・バイト6レジスタ04	C1MDATA604			○		不定
03FEC787H	CAN1メッセージ・データ・バイト7レジスタ04	C1MDATA704			○		不定
03FEC788H	CAN1メッセージ・データ長コード・レジスタ04	C1MDLC04			○		0000xxxxB
03FEC789H	CAN1メッセージ・コンフィギュレーション・レジスタ04	C1MCONF04			○		不定
03FEC78AH	CAN1メッセージIDレジスタ04	C1MIDL04				○	不定
03FEC78CH		C1MIDH04				○	不定
03FEC78EH	CAN1メッセージ制御レジスタ04	C1MCTRL04				○	00x00000 000xx000B
03FEC7A0H	CAN1メッセージ・データ・バイト01レジスタ05	C1MDATA0105				○	不定
03FEC7A0H	CAN1メッセージ・データ・バイト0レジスタ05	C1MDATA005			○		不定
03FEC7A1H	CAN1メッセージ・データ・バイト1レジスタ05	C1MDATA105			○		不定
03FEC7A2H	CAN1メッセージ・データ・バイト23レジスタ05	C1MDATA2305				○	不定
03FEC7A2H	CAN1メッセージ・データ・バイト2レジスタ05	C1MDATA205			○		不定
03FEC7A3H	CAN1メッセージ・データ・バイト3レジスタ05	C1MDATA305			○		不定
03FEC7A4H	CAN1メッセージ・データ・バイト45レジスタ05	C1MDATA4505				○	不定
03FEC7A4H	CAN1メッセージ・データ・バイト4レジスタ05	C1MDATA405			○		不定
03FEC7A5H	CAN1メッセージ・データ・バイト5レジスタ05	C1MDATA505			○		不定
03FEC7A6H	CAN1メッセージ・データ・バイト67レジスタ05	C1MDATA6705				○	不定
03FEC7A6H	CAN1メッセージ・データ・バイト6レジスタ05	C1MDATA605			○		不定
03FEC7A7H	CAN1メッセージ・データ・バイト7レジスタ05	C1MDATA705			○		不定
03FEC7A8H	CAN1メッセージ・データ長コード・レジスタ05	C1MDLC05			○		0000xxxxB
03FEC7A9H	CAN1メッセージ・コンフィギュレーション・レジスタ05	C1MCONF05			○		不定
03FEC7AAH	CAN1メッセージIDレジスタ05	C1MIDL05				○	不定
03FEC7ACH		C1MIDH05				○	不定
03FEC7AEH	CAN1メッセージ制御レジスタ05	C1MCTRL05				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（22/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC7C0H	CAN1メッセージ・データ・バイト01レジスタ06	C1MDATA0106	R/W			○	不定
03FEC7C0H	CAN1メッセージ・データ・バイト0レジスタ06	C1MDATA006			○		不定
03FEC7C1H	CAN1メッセージ・データ・バイト1レジスタ06	C1MDATA106			○		不定
03FEC7C2H	CAN1メッセージ・データ・バイト23レジスタ06	C1MDATA2306				○	不定
03FEC7C2H	CAN1メッセージ・データ・バイト2レジスタ06	C1MDATA206			○		不定
03FEC7C3H	CAN1メッセージ・データ・バイト3レジスタ06	C1MDATA306			○		不定
03FEC7C4H	CAN1メッセージ・データ・バイト45レジスタ06	C1MDATA4506				○	不定
03FEC7C4H	CAN1メッセージ・データ・バイト4レジスタ06	C1MDATA406			○		不定
03FEC7C5H	CAN1メッセージ・データ・バイト5レジスタ06	C1MDATA506			○		不定
03FEC7C6H	CAN1メッセージ・データ・バイト67レジスタ06	C1MDATA6706				○	不定
03FEC7C6H	CAN1メッセージ・データ・バイト6レジスタ06	C1MDATA606			○		不定
03FEC7C7H	CAN1メッセージ・データ・バイト7レジスタ06	C1MDATA706			○		不定
03FEC7C8H	CAN1メッセージ・データ長コード・レジスタ06	C1MDLC06			○		0000xxxxB
03FEC7C9H	CAN1メッセージ・コンフィギュレーション・レジスタ06	C1MCONF06			○		不定
03FEC7CAH	CAN1メッセージIDレジスタ06	C1MIDL06				○	不定
03FEC7CCH		C1MIDH06				○	不定
03FEC7CEH	CAN1メッセージ制御レジスタ06	C1MCTRL06				○	00x00000 000xx000B
03FEC7E0H	CAN1メッセージ・データ・バイト01レジスタ07	C1MDATA0107				○	不定
03FEC7E0H	CAN1メッセージ・データ・バイト0レジスタ07	C1MDATA007			○		不定
03FEC7E1H	CAN1メッセージ・データ・バイト1レジスタ07	C1MDATA107			○		不定
03FEC7E2H	CAN1メッセージ・データ・バイト23レジスタ07	C1MDATA2307				○	不定
03FEC7E2H	CAN1メッセージ・データ・バイト2レジスタ07	C1MDATA207			○		不定
03FEC7E3H	CAN1メッセージ・データ・バイト3レジスタ07	C1MDATA307			○		不定
03FEC7E4H	CAN1メッセージ・データ・バイト45レジスタ07	C1MDATA4507				○	不定
03FEC7E4H	CAN1メッセージ・データ・バイト4レジスタ07	C1MDATA407			○		不定
03FEC7E5H	CAN1メッセージ・データ・バイト5レジスタ07	C1MDATA507			○		不定
03FEC7E6H	CAN1メッセージ・データ・バイト67レジスタ07	C1MDATA6707				○	不定
03FEC7E6H	CAN1メッセージ・データ・バイト6レジスタ07	C1MDATA607			○		不定
03FEC7E7H	CAN1メッセージ・データ・バイト7レジスタ07	C1MDATA707			○		不定
03FEC7E8H	CAN1メッセージ・データ長コード・レジスタ07	C1MDLC07			○		0000xxxxB
03FEC7E9H	CAN1メッセージ・コンフィギュレーション・レジスタ07	C1MCONF07			○		不定
03FEC7EAH	CAN1メッセージIDレジスタ07	C1MIDL07				○	不定
03FEC7ECH		C1MIDH07				○	不定
03FEC7EEH	CAN1メッセージ制御レジスタ07	C1MCTRL07				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（23/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC800H	CAN1メッセージ・データ・バイト01レジスタ08	C1MDATA0108	R/W			○	不定
03FEC800H	CAN1メッセージ・データ・バイト0レジスタ08	C1MDATA008			○		不定
03FEC801H	CAN1メッセージ・データ・バイト1レジスタ08	C1MDATA108			○		不定
03FEC802H	CAN1メッセージ・データ・バイト23レジスタ08	C1MDATA2308				○	不定
03FEC802H	CAN1メッセージ・データ・バイト2レジスタ08	C1MDATA208			○		不定
03FEC803H	CAN1メッセージ・データ・バイト3レジスタ08	C1MDATA308			○		不定
03FEC804H	CAN1メッセージ・データ・バイト45レジスタ08	C1MDATA4508				○	不定
03FEC804H	CAN1メッセージ・データ・バイト4レジスタ08	C1MDATA408			○		不定
03FEC805H	CAN1メッセージ・データ・バイト5レジスタ08	C1MDATA508			○		不定
03FEC806H	CAN1メッセージ・データ・バイト67レジスタ08	C1MDATA6708				○	不定
03FEC806H	CAN1メッセージ・データ・バイト6レジスタ08	C1MDATA608			○		不定
03FEC807H	CAN1メッセージ・データ・バイト7レジスタ08	C1MDATA708			○		不定
03FEC808H	CAN1メッセージ・データ長コード・レジスタ08	C1MDLC08			○		0000xxxxB
03FEC809H	CAN1メッセージ・コンフィギュレーション・レジスタ08	C1MCONF08			○		不定
03FEC80AH	CAN1メッセージIDレジスタ08	C1MIDL08				○	不定
03FEC80CH		C1MIDH08				○	不定
03FEC80EH	CAN1メッセージ制御レジスタ08	C1MCTRL08				○	00x00000 000xx000B
03FEC820H	CAN1メッセージ・データ・バイト01レジスタ09	C1MDATA0109				○	不定
03FEC820H	CAN1メッセージ・データ・バイト0レジスタ09	C1MDATA009			○		不定
03FEC821H	CAN1メッセージ・データ・バイト1レジスタ09	C1MDATA109			○		不定
03FEC822H	CAN1メッセージ・データ・バイト23レジスタ09	C1MDATA2309				○	不定
03FEC822H	CAN1メッセージ・データ・バイト2レジスタ09	C1MDATA209			○		不定
03FEC823H	CAN1メッセージ・データ・バイト3レジスタ09	C1MDATA309			○		不定
03FEC824H	CAN1メッセージ・データ・バイト45レジスタ09	C1MDATA4509				○	不定
03FEC824H	CAN1メッセージ・データ・バイト4レジスタ09	C1MDATA409			○		不定
03FEC825H	CAN1メッセージ・データ・バイト5レジスタ09	C1MDATA509			○		不定
03FEC826H	CAN1メッセージ・データ・バイト67レジスタ09	C1MDATA6709				○	不定
03FEC826H	CAN1メッセージ・データ・バイト6レジスタ09	C1MDATA609			○		不定
03FEC827H	CAN1メッセージ・データ・バイト7レジスタ09	C1MDATA709			○		不定
03FEC828H	CAN1メッセージ・データ長コード・レジスタ09	C1MDLC09			○		0000xxxxB
03FEC829H	CAN1メッセージ・コンフィギュレーション・レジスタ09	C1MCONF09			○		不定
03FEC82AH	CAN1メッセージIDレジスタ09	C1MIDL09				○	不定
03FEC82CH		C1MIDH09				○	不定
03FEC82EH	CAN1メッセージ制御レジスタ09	C1MCTRL09				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（24/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC840H	CAN1メッセージ・データ・バイト01レジスタ10	C1MDATA0110	R/W			○	不定
03FEC840H	CAN1メッセージ・データ・バイト0レジスタ10	C1MDATA010			○		不定
03FEC841H	CAN1メッセージ・データ・バイト1レジスタ10	C1MDATA110			○		不定
03FEC842H	CAN1メッセージ・データ・バイト23レジスタ10	C1MDATA2310				○	不定
03FEC842H	CAN1メッセージ・データ・バイト2レジスタ10	C1MDATA210			○		不定
03FEC843H	CAN1メッセージ・データ・バイト3レジスタ10	C1MDATA310			○		不定
03FEC844H	CAN1メッセージ・データ・バイト45レジスタ10	C1MDATA4510				○	不定
03FEC844H	CAN1メッセージ・データ・バイト4レジスタ10	C1MDATA410			○		不定
03FEC845H	CAN1メッセージ・データ・バイト5レジスタ10	C1MDATA510			○		不定
03FEC846H	CAN1メッセージ・データ・バイト67レジスタ10	C1MDATA6710				○	不定
03FEC846H	CAN1メッセージ・データ・バイト6レジスタ10	C1MDATA610			○		不定
03FEC847H	CAN1メッセージ・データ・バイト7レジスタ10	C1MDATA710			○		不定
03FEC848H	CAN1メッセージ・データ長コード・レジスタ10	C1MDLC10			○		0000xxxxB
03FEC849H	CAN1メッセージ・コンフィギュレーション・レジスタ10	C1MCONF10			○		不定
03FEC84AH	CAN1メッセージIDレジスタ10	C1MIDL10				○	不定
03FEC84CH		C1MIDH10				○	不定
03FEC84EH	CAN1メッセージ制御レジスタ10	C1MCTRL10				○	00x00000 000xx000B
03FEC860H	CAN1メッセージ・データ・バイト01レジスタ11	C1MDATA0111				○	不定
03FEC860H	CAN1メッセージ・データ・バイト0レジスタ11	C1MDATA011			○		不定
03FEC861H	CAN1メッセージ・データ・バイト1レジスタ11	C1MDATA111			○		不定
03FEC862H	CAN1メッセージ・データ・バイト23レジスタ11	C1MDATA2311				○	不定
03FEC862H	CAN1メッセージ・データ・バイト2レジスタ11	C1MDATA211			○		不定
03FEC863H	CAN1メッセージ・データ・バイト3レジスタ11	C1MDATA311			○		不定
03FEC864H	CAN1メッセージ・データ・バイト45レジスタ11	C1MDATA4511				○	不定
03FEC864H	CAN1メッセージ・データ・バイト4レジスタ11	C1MDATA411			○		不定
03FEC865H	CAN1メッセージ・データ・バイト5レジスタ11	C1MDATA511			○		不定
03FEC866H	CAN1メッセージ・データ・バイト67レジスタ11	C1MDATA6711				○	不定
03FEC866H	CAN1メッセージ・データ・バイト6レジスタ11	C1MDATA611			○		不定
03FEC867H	CAN1メッセージ・データ・バイト7レジスタ11	C1MDATA711			○		不定
03FEC868H	CAN1メッセージ・データ長コード・レジスタ11	C1MDLC11			○		0000xxxxB
03FEC869H	CAN1メッセージ・コンフィギュレーション・レジスタ11	C1MCONF11			○		不定
03FEC86AH	CAN1メッセージIDレジスタ11	C1MIDL11				○	不定
03FEC86CH		C1MIDH11				○	不定
03FEC86EH	CAN1メッセージ制御レジスタ11	C1MCTRL11				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（25/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC880H	CAN1メッセージ・データ・バイト01レジスタ12	C1MDATA0112	R/W			○	不定
03FEC880H	CAN1メッセージ・データ・バイト0レジスタ12	C1MDATA012			○		不定
03FEC881H	CAN1メッセージ・データ・バイト1レジスタ12	C1MDATA112			○		不定
03FEC882H	CAN1メッセージ・データ・バイト23レジスタ12	C1MDATA2312				○	不定
03FEC882H	CAN1メッセージ・データ・バイト2レジスタ12	C1MDATA212			○		不定
03FEC883H	CAN1メッセージ・データ・バイト3レジスタ12	C1MDATA312			○		不定
03FEC884H	CAN1メッセージ・データ・バイト45レジスタ12	C1MDATA4512				○	不定
03FEC884H	CAN1メッセージ・データ・バイト4レジスタ12	C1MDATA412			○		不定
03FEC885H	CAN1メッセージ・データ・バイト5レジスタ12	C1MDATA512			○		不定
03FEC886H	CAN1メッセージ・データ・バイト67レジスタ12	C1MDATA6712				○	不定
03FEC886H	CAN1メッセージ・データ・バイト6レジスタ12	C1MDATA612			○		不定
03FEC887H	CAN1メッセージ・データ・バイト7レジスタ12	C1MDATA712			○		不定
03FEC888H	CAN1メッセージ・データ長コード・レジスタ12	C1MDLC12			○		0000xxxxB
03FEC889H	CAN1メッセージ・コンフィギュレーション・レジスタ12	C1MCONF12			○		不定
03FEC88AH	CAN1メッセージIDレジスタ12	C1MIDL12				○	不定
03FEC88CH		C1MIDH12				○	不定
03FEC88EH	CAN1メッセージ制御レジスタ12	C1MCTRL12				○	00x00000 000xx000B
03FEC8A0H	CAN1メッセージ・データ・バイト01レジスタ13	C1MDATA0113				○	不定
03FEC8A0H	CAN1メッセージ・データ・バイト0レジスタ13	C1MDATA013			○		不定
03FEC8A1H	CAN1メッセージ・データ・バイト1レジスタ13	C1MDATA113			○		不定
03FEC8A2H	CAN1メッセージ・データ・バイト23レジスタ13	C1MDATA2313				○	不定
03FEC8A2H	CAN1メッセージ・データ・バイト2レジスタ13	C1MDATA213			○		不定
03FEC8A3H	CAN1メッセージ・データ・バイト3レジスタ13	C1MDATA313			○		不定
03FEC8A4H	CAN1メッセージ・データ・バイト45レジスタ13	C1MDATA4513				○	不定
03FEC8A4H	CAN1メッセージ・データ・バイト4レジスタ13	C1MDATA413			○		不定
03FEC8A5H	CAN1メッセージ・データ・バイト5レジスタ13	C1MDATA513			○		不定
03FEC8A6H	CAN1メッセージ・データ・バイト67レジスタ13	C1MDATA6713				○	不定
03FEC8A6H	CAN1メッセージ・データ・バイト6レジスタ13	C1MDATA613			○		不定
03FEC8A7H	CAN1メッセージ・データ・バイト7レジスタ13	C1MDATA713			○		不定
03FEC8A8H	CAN1メッセージ・データ長コード・レジスタ13	C1MDLC13			○		0000xxxxB
03FEC8A9H	CAN1メッセージ・コンフィギュレーション・レジスタ13	C1MCONF13			○		不定
03FEC8AAH	CAN1メッセージIDレジスタ13	C1MIDL13				○	不定
03FEC8ACH		C1MIDH13				○	不定
03FEC8AEH	CAN1メッセージ制御レジスタ13	C1MCTRL13				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（26/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC8C0H	CAN1メッセージ・データ・バイト01レジスタ14	C1MDATA0114	R/W			○	不定
03FEC8C0H	CAN1メッセージ・データ・バイト0レジスタ14	C1MDATA014			○		不定
03FEC8C1H	CAN1メッセージ・データ・バイト1レジスタ14	C1MDATA114			○		不定
03FEC8C2H	CAN1メッセージ・データ・バイト23レジスタ14	C1MDATA2314				○	不定
03FEC8C2H	CAN1メッセージ・データ・バイト2レジスタ14	C1MDATA214			○		不定
03FEC8C3H	CAN1メッセージ・データ・バイト3レジスタ14	C1MDATA314			○		不定
03FEC8C4H	CAN1メッセージ・データ・バイト45レジスタ14	C1MDATA4514				○	不定
03FEC8C4H	CAN1メッセージ・データ・バイト4レジスタ14	C1MDATA414			○		不定
03FEC8C5H	CAN1メッセージ・データ・バイト5レジスタ14	C1MDATA514			○		不定
03FEC8C6H	CAN1メッセージ・データ・バイト67レジスタ14	C1MDATA6714				○	不定
03FEC8C6H	CAN1メッセージ・データ・バイト6レジスタ14	C1MDATA614			○		不定
03FEC8C7H	CAN1メッセージ・データ・バイト7レジスタ14	C1MDATA714			○		不定
03FEC8C8H	CAN1メッセージ・データ長コード・レジスタ14	C1MDLC14			○		0000xxxxB
03FEC8C9H	CAN1メッセージ・コンフィギュレーション・レジスタ14	C1MCONF14			○		不定
03FEC8CAH	CAN1メッセージIDレジスタ14	C1MIDL14				○	不定
03FEC8CCH		C1MIDH14				○	不定
03FEC8CEH	CAN1メッセージ制御レジスタ14	C1MCTRL14				○	00x00000 000xx000B
03FEC8E0H	CAN1メッセージ・データ・バイト01レジスタ15	C1MDATA0115				○	不定
03FEC8E0H	CAN1メッセージ・データ・バイト0レジスタ15	C1MDATA015			○		不定
03FEC8E1H	CAN1メッセージ・データ・バイト1レジスタ15	C1MDATA115			○		不定
03FEC8E2H	CAN1メッセージ・データ・バイト23レジスタ15	C1MDATA2315				○	不定
03FEC8E2H	CAN1メッセージ・データ・バイト2レジスタ15	C1MDATA215			○		不定
03FEC8E3H	CAN1メッセージ・データ・バイト3レジスタ15	C1MDATA315			○		不定
03FEC8E4H	CAN1メッセージ・データ・バイト45レジスタ15	C1MDATA4515				○	不定
03FEC8E4H	CAN1メッセージ・データ・バイト4レジスタ15	C1MDATA415			○		不定
03FEC8E5H	CAN1メッセージ・データ・バイト5レジスタ15	C1MDATA515			○		不定
03FEC8E6H	CAN1メッセージ・データ・バイト67レジスタ15	C1MDATA6715				○	不定
03FEC8E6H	CAN1メッセージ・データ・バイト6レジスタ15	C1MDATA615			○		不定
03FEC8E7H	CAN1メッセージ・データ・バイト7レジスタ15	C1MDATA715			○		不定
03FEC8E8H	CAN1メッセージ・データ長コード・レジスタ15	C1MDLC15			○		0000xxxxB
03FEC8E9H	CAN1メッセージ・コンフィギュレーション・レジスタ15	C1MCONF15			○		不定
03FEC8EAH	CAN1メッセージIDレジスタ15	C1MIDL15				○	不定
03FEC8ECH		C1MIDH15				○	不定
03FEC8EEH	CAN1メッセージ制御レジスタ15	C1MCTRL15				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（27/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC900H	CAN1メッセージ・データ・バイト01レジスタ16	C1MDATA0116	R/W			○	不定
03FEC900H	CAN1メッセージ・データ・バイト0レジスタ16	C1MDATA016			○		不定
03FEC901H	CAN1メッセージ・データ・バイト1レジスタ16	C1MDATA116			○		不定
03FEC902H	CAN1メッセージ・データ・バイト23レジスタ16	C1MDATA2316				○	不定
03FEC902H	CAN1メッセージ・データ・バイト2レジスタ16	C1MDATA216			○		不定
03FEC903H	CAN1メッセージ・データ・バイト3レジスタ16	C1MDATA316			○		不定
03FEC904H	CAN1メッセージ・データ・バイト45レジスタ16	C1MDATA4516				○	不定
03FEC904H	CAN1メッセージ・データ・バイト4レジスタ16	C1MDATA416			○		不定
03FEC905H	CAN1メッセージ・データ・バイト5レジスタ16	C1MDATA516			○		不定
03FEC906H	CAN1メッセージ・データ・バイト67レジスタ16	C1MDATA6716				○	不定
03FEC906H	CAN1メッセージ・データ・バイト6レジスタ16	C1MDATA616			○		不定
03FEC907H	CAN1メッセージ・データ・バイト7レジスタ16	C1MDATA716			○		不定
03FEC908H	CAN1メッセージ・データ長コード・レジスタ16	C1MDLC16			○		0000xxxxB
03FEC909H	CAN1メッセージ・コンフィギュレーション・レジスタ16	C1MCONF16			○		不定
03FEC90AH	CAN1メッセージIDレジスタ16	C1MIDL16				○	不定
03FEC90CH		C1MIDH16				○	不定
03FEC90EH	CAN1メッセージ制御レジスタ16	C1MCTRL16				○	00x00000 000xx000B
03FEC920H	CAN1メッセージ・データ・バイト01レジスタ17	C1MDATA0117				○	不定
03FEC920H	CAN1メッセージ・データ・バイト0レジスタ17	C1MDATA017			○		不定
03FEC921H	CAN1メッセージ・データ・バイト1レジスタ17	C1MDATA117			○		不定
03FEC922H	CAN1メッセージ・データ・バイト23レジスタ17	C1MDATA2317				○	不定
03FEC922H	CAN1メッセージ・データ・バイト2レジスタ17	C1MDATA217			○		不定
03FEC923H	CAN1メッセージ・データ・バイト3レジスタ17	C1MDATA317			○		不定
03FEC924H	CAN1メッセージ・データ・バイト45レジスタ17	C1MDATA4517				○	不定
03FEC924H	CAN1メッセージ・データ・バイト4レジスタ17	C1MDATA417			○		不定
03FEC925H	CAN1メッセージ・データ・バイト5レジスタ17	C1MDATA517			○		不定
03FEC926H	CAN1メッセージ・データ・バイト67レジスタ17	C1MDATA6717				○	不定
03FEC926H	CAN1メッセージ・データ・バイト6レジスタ17	C1MDATA617			○		不定
03FEC927H	CAN1メッセージ・データ・バイト7レジスタ17	C1MDATA717			○		不定
03FEC928H	CAN1メッセージ・データ長コード・レジスタ17	C1MDLC17			○		0000xxxxB
03FEC929H	CAN1メッセージ・コンフィギュレーション・レジスタ17	C1MCONF17			○		不定
03FEC92AH	CAN1メッセージIDレジスタ17	C1MIDL17				○	不定
03FEC92CH		C1MIDH17				○	不定
03FEC92EH	CAN1メッセージ制御レジスタ17	C1MCTRL17				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（28/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC940H	CAN1メッセージ・データ・バイト01レジスタ18	C1MDATA0118	R/W			○	不定
03FEC940H	CAN1メッセージ・データ・バイト0レジスタ18	C1MDATA018			○		不定
03FEC941H	CAN1メッセージ・データ・バイト1レジスタ18	C1MDATA118			○		不定
03FEC942H	CAN1メッセージ・データ・バイト23レジスタ18	C1MDATA2318				○	不定
03FEC942H	CAN1メッセージ・データ・バイト2レジスタ18	C1MDATA218			○		不定
03FEC943H	CAN1メッセージ・データ・バイト3レジスタ18	C1MDATA318			○		不定
03FEC944H	CAN1メッセージ・データ・バイト45レジスタ18	C1MDATA4518				○	不定
03FEC944H	CAN1メッセージ・データ・バイト4レジスタ18	C1MDATA418			○		不定
03FEC945H	CAN1メッセージ・データ・バイト5レジスタ18	C1MDATA518			○		不定
03FEC946H	CAN1メッセージ・データ・バイト67レジスタ18	C1MDATA6718				○	不定
03FEC946H	CAN1メッセージ・データ・バイト6レジスタ18	C1MDATA618			○		不定
03FEC947H	CAN1メッセージ・データ・バイト7レジスタ18	C1MDATA718			○		不定
03FEC948H	CAN1メッセージ・データ長コード・レジスタ18	C1MDLC18			○		0000xxxxB
03FEC949H	CAN1メッセージ・コンフィギュレーション・レジスタ18	C1MCONF18			○		不定
03FEC94AH	CAN1メッセージIDレジスタ18	C1MIDL18				○	不定
03FEC94CH		C1MIDH18				○	不定
03FEC94EH	CAN1メッセージ制御レジスタ18	C1MCTRL18				○	00x00000 000xx000B
03FEC960H	CAN1メッセージ・データ・バイト01レジスタ19	C1MDATA0119				○	不定
03FEC960H	CAN1メッセージ・データ・バイト0レジスタ19	C1MDATA019			○		不定
03FEC961H	CAN1メッセージ・データ・バイト1レジスタ19	C1MDATA119			○		不定
03FEC962H	CAN1メッセージ・データ・バイト23レジスタ19	C1MDATA2319				○	不定
03FEC962H	CAN1メッセージ・データ・バイト2レジスタ19	C1MDATA219			○		不定
03FEC963H	CAN1メッセージ・データ・バイト3レジスタ19	C1MDATA319			○		不定
03FEC964H	CAN1メッセージ・データ・バイト45レジスタ19	C1MDATA4519				○	不定
03FEC964H	CAN1メッセージ・データ・バイト4レジスタ19	C1MDATA419			○		不定
03FEC965H	CAN1メッセージ・データ・バイト5レジスタ19	C1MDATA519			○		不定
03FEC966H	CAN1メッセージ・データ・バイト67レジスタ19	C1MDATA6719				○	不定
03FEC966H	CAN1メッセージ・データ・バイト6レジスタ19	C1MDATA619			○		不定
03FEC967H	CAN1メッセージ・データ・バイト7レジスタ19	C1MDATA719			○		不定
03FEC968H	CAN1メッセージ・データ長コード・レジスタ19	C1MDLC19			○		0000xxxxB
03FEC969H	CAN1メッセージ・コンフィギュレーション・レジスタ19	C1MCONF19			○		不定
03FEC96AH	CAN1メッセージIDレジスタ19	C1MIDL19				○	不定
03FEC96CH		C1MIDH19				○	不定
03FEC96EH	CAN1メッセージ制御レジスタ19	C1MCTRL19				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（29/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC980H	CAN1メッセージ・データ・バイト01レジスタ20	C1MDATA0120	R/W			○	不定
03FEC980H	CAN1メッセージ・データ・バイト0レジスタ20	C1MDATA020			○		不定
03FEC981H	CAN1メッセージ・データ・バイト1レジスタ20	C1MDATA120			○		不定
03FEC982H	CAN1メッセージ・データ・バイト23レジスタ20	C1MDATA2320				○	不定
03FEC982H	CAN1メッセージ・データ・バイト2レジスタ20	C1MDATA220			○		不定
03FEC983H	CAN1メッセージ・データ・バイト3レジスタ20	C1MDATA320			○		不定
03FEC984H	CAN1メッセージ・データ・バイト45レジスタ20	C1MDATA4520				○	不定
03FEC984H	CAN1メッセージ・データ・バイト4レジスタ20	C1MDATA420			○		不定
03FEC985H	CAN1メッセージ・データ・バイト5レジスタ20	C1MDATA520			○		不定
03FEC986H	CAN1メッセージ・データ・バイト67レジスタ20	C1MDATA6720				○	不定
03FEC986H	CAN1メッセージ・データ・バイト6レジスタ20	C1MDATA620			○		不定
03FEC987H	CAN1メッセージ・データ・バイト7レジスタ20	C1MDATA720			○		不定
03FEC988H	CAN1メッセージ・データ長コード・レジスタ20	C1MDLC20			○		0000xxxxB
03FEC989H	CAN1メッセージ・コンフィギュレーション・レジスタ20	C1MCONF20			○		不定
03FEC98AH	CAN1メッセージIDレジスタ20	C1MIDL20				○	不定
03FEC98CH		C1MIDH20				○	不定
03FEC98EH	CAN1メッセージ制御レジスタ20	C1MCTRL20				○	00x00000 000xx000B
03FEC9A0H	CAN1メッセージ・データ・バイト01レジスタ21	C1MDATA0121				○	不定
03FEC9A0H	CAN1メッセージ・データ・バイト0レジスタ21	C1MDATA021			○		不定
03FEC9A1H	CAN1メッセージ・データ・バイト1レジスタ21	C1MDATA121			○		不定
03FEC9A2H	CAN1メッセージ・データ・バイト23レジスタ21	C1MDATA2321				○	不定
03FEC9A2H	CAN1メッセージ・データ・バイト2レジスタ21	C1MDATA221			○		不定
03FEC9A3H	CAN1メッセージ・データ・バイト3レジスタ21	C1MDATA321			○		不定
03FEC9A4H	CAN1メッセージ・データ・バイト45レジスタ21	C1MDATA4521				○	不定
03FEC9A4H	CAN1メッセージ・データ・バイト4レジスタ21	C1MDATA421			○		不定
03FEC9A5H	CAN1メッセージ・データ・バイト5レジスタ21	C1MDATA521			○		不定
03FEC9A6H	CAN1メッセージ・データ・バイト67レジスタ21	C1MDATA6721				○	不定
03FEC9A6H	CAN1メッセージ・データ・バイト6レジスタ21	C1MDATA621			○		不定
03FEC9A7H	CAN1メッセージ・データ・バイト7レジスタ21	C1MDATA721			○		不定
03FEC9A8H	CAN1メッセージ・データ長コード・レジスタ21	C1MDLC21			○		0000xxxxB
03FEC9A9H	CAN1メッセージ・コンフィギュレーション・レジスタ21	C1MCONF21			○		不定
03FEC9AAH	CAN1メッセージIDレジスタ21	C1MIDL21				○	不定
03FEC9ACH		C1MIDH21				○	不定
03FEC9AEH	CAN1メッセージ制御レジスタ21	C1MCTRL21				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（30/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC9C0H	CAN1メッセージ・データ・バイト01レジスタ22	C1MDATA0122	R/W			○	不定
03FEC9C0H	CAN1メッセージ・データ・バイト0レジスタ22	C1MDATA022			○		不定
03FEC9C1H	CAN1メッセージ・データ・バイト1レジスタ22	C1MDATA122			○		不定
03FEC9C2H	CAN1メッセージ・データ・バイト23レジスタ22	C1MDATA2322				○	不定
03FEC9C2H	CAN1メッセージ・データ・バイト2レジスタ22	C1MDATA222			○		不定
03FEC9C3H	CAN1メッセージ・データ・バイト3レジスタ22	C1MDATA322			○		不定
03FEC9C4H	CAN1メッセージ・データ・バイト45レジスタ22	C1MDATA4522				○	不定
03FEC9C4H	CAN1メッセージ・データ・バイト4レジスタ22	C1MDATA422			○		不定
03FEC9C5H	CAN1メッセージ・データ・バイト5レジスタ22	C1MDATA522			○		不定
03FEC9C6H	CAN1メッセージ・データ・バイト67レジスタ22	C1MDATA6722				○	不定
03FEC9C6H	CAN1メッセージ・データ・バイト6レジスタ22	C1MDATA622			○		不定
03FEC9C7H	CAN1メッセージ・データ・バイト7レジスタ22	C1MDATA722			○		不定
03FEC9C8H	CAN1メッセージ・データ長コード・レジスタ22	C1MDLC22			○		0000xxxxB
03FEC9C9H	CAN1メッセージ・コンフィギュレーション・レジスタ22	C1MCONF22			○		不定
03FEC9CAH	CAN1メッセージIDレジスタ22	C1MIDL22				○	不定
03FEC9CCH		C1MIDH22				○	不定
03FEC9CEH	CAN1メッセージ制御レジスタ22	C1MCTRL22				○	00x00000 000xx000B
03FEC9E0H	CAN1メッセージ・データ・バイト01レジスタ23	C1MDATA0123				○	不定
03FEC9E0H	CAN1メッセージ・データ・バイト0レジスタ23	C1MDATA023			○		不定
03FEC9E1H	CAN1メッセージ・データ・バイト1レジスタ23	C1MDATA123			○		不定
03FEC9E2H	CAN1メッセージ・データ・バイト23レジスタ23	C1MDATA2323				○	不定
03FEC9E2H	CAN1メッセージ・データ・バイト2レジスタ23	C1MDATA223			○		不定
03FEC9E3H	CAN1メッセージ・データ・バイト3レジスタ23	C1MDATA323			○		不定
03FEC9E4H	CAN1メッセージ・データ・バイト45レジスタ23	C1MDATA4523				○	不定
03FEC9E4H	CAN1メッセージ・データ・バイト4レジスタ23	C1MDATA423			○		不定
03FEC9E5H	CAN1メッセージ・データ・バイト5レジスタ23	C1MDATA523			○		不定
03FEC9E6H	CAN1メッセージ・データ・バイト67レジスタ23	C1MDATA6723				○	不定
03FEC9E6H	CAN1メッセージ・データ・バイト6レジスタ23	C1MDATA623			○		不定
03FEC9E7H	CAN1メッセージ・データ・バイト7レジスタ23	C1MDATA723			○		不定
03FEC9E8H	CAN1メッセージ・データ長コード・レジスタ23	C1MDLC23			○		0000xxxxB
03FEC9E9H	CAN1メッセージ・コンフィギュレーション・レジスタ23	C1MCONF23			○		不定
03FEC9EAH	CAN1メッセージIDレジスタ23	C1MIDL23				○	不定
03FEC9ECH		C1MIDH23				○	不定
03FEC9EEH	CAN1メッセージ制御レジスタ23	C1MCTRL23				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（31/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FECA00H	CAN1メッセージ・データ・バイト01レジスタ24	C1MDATA0124	R/W			○	不定
03FECA00H	CAN1メッセージ・データ・バイト0レジスタ24	C1MDATA024			○		不定
03FECA01H	CAN1メッセージ・データ・バイト1レジスタ24	C1MDATA124			○		不定
03FECA02H	CAN1メッセージ・データ・バイト23レジスタ24	C1MDATA2324				○	不定
03FECA02H	CAN1メッセージ・データ・バイト2レジスタ24	C1MDATA224			○		不定
03FECA03H	CAN1メッセージ・データ・バイト3レジスタ24	C1MDATA324			○		不定
03FECA04H	CAN1メッセージ・データ・バイト45レジスタ24	C1MDATA4524				○	不定
03FECA04H	CAN1メッセージ・データ・バイト4レジスタ24	C1MDATA424			○		不定
03FECA05H	CAN1メッセージ・データ・バイト5レジスタ24	C1MDATA524			○		不定
03FECA06H	CAN1メッセージ・データ・バイト67レジスタ24	C1MDATA6724				○	不定
03FECA06H	CAN1メッセージ・データ・バイト6レジスタ24	C1MDATA624			○		不定
03FECA07H	CAN1メッセージ・データ・バイト7レジスタ24	C1MDATA724			○		不定
03FECA08H	CAN1メッセージ・データ長コード・レジスタ24	C1MDLC24			○		0000xxxxB
03FECA09H	CAN1メッセージ・コンフィギュレーション・レジスタ24	C1MCONF24			○		不定
03FECA0AH	CAN1メッセージIDレジスタ24	C1MIDL24				○	不定
03FECA0CH		C1MIDH24				○	不定
03FECA0EH	CAN1メッセージ制御レジスタ24	C1MCTRL24				○	00x00000 000xx000B
03FECA20H	CAN1メッセージ・データ・バイト01レジスタ25	C1MDATA0125				○	不定
03FECA20H	CAN1メッセージ・データ・バイト0レジスタ25	C1MDATA025			○		不定
03FECA21H	CAN1メッセージ・データ・バイト1レジスタ25	C1MDATA125			○		不定
03FECA22H	CAN1メッセージ・データ・バイト23レジスタ25	C1MDATA2325				○	不定
03FECA22H	CAN1メッセージ・データ・バイト2レジスタ25	C1MDATA225			○		不定
03FECA23H	CAN1メッセージ・データ・バイト3レジスタ25	C1MDATA325			○		不定
03FECA24H	CAN1メッセージ・データ・バイト45レジスタ25	C1MDATA4525				○	不定
03FECA24H	CAN1メッセージ・データ・バイト4レジスタ25	C1MDATA425			○		不定
03FECA25H	CAN1メッセージ・データ・バイト5レジスタ25	C1MDATA525			○		不定
03FECA26H	CAN1メッセージ・データ・バイト67レジスタ25	C1MDATA6725				○	不定
03FECA26H	CAN1メッセージ・データ・バイト6レジスタ25	C1MDATA625			○		不定
03FECA27H	CAN1メッセージ・データ・バイト7レジスタ25	C1MDATA725			○		不定
03FECA28H	CAN1メッセージ・データ長コード・レジスタ25	C1MDLC25			○		0000xxxxB
03FECA29H	CAN1メッセージ・コンフィギュレーション・レジスタ25	C1MCONF25			○		不定
03FECA2AH	CAN1メッセージIDレジスタ25	C1MIDL25				○	不定
03FECA2CH		C1MIDH25				○	不定
03FECA2EH	CAN1メッセージ制御レジスタ25	C1MCTRL25				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（32/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FECA40H	CAN1メッセージ・データ・バイト01レジスタ26	C1MDATA0126	R/W			○	不定
03FECA40H	CAN1メッセージ・データ・バイト0レジスタ26	C1MDATA026			○		不定
03FECA41H	CAN1メッセージ・データ・バイト1レジスタ26	C1MDATA126			○		不定
03FECA42H	CAN1メッセージ・データ・バイト23レジスタ26	C1MDATA2326				○	不定
03FECA42H	CAN1メッセージ・データ・バイト2レジスタ26	C1MDATA226			○		不定
03FECA43H	CAN1メッセージ・データ・バイト3レジスタ26	C1MDATA326			○		不定
03FECA44H	CAN1メッセージ・データ・バイト45レジスタ26	C1MDATA4526				○	不定
03FECA44H	CAN1メッセージ・データ・バイト4レジスタ26	C1MDATA426			○		不定
03FECA45H	CAN1メッセージ・データ・バイト5レジスタ26	C1MDATA526			○		不定
03FECA46H	CAN1メッセージ・データ・バイト67レジスタ26	C1MDATA6726				○	不定
03FECA46H	CAN1メッセージ・データ・バイト6レジスタ26	C1MDATA626			○		不定
03FECA47H	CAN1メッセージ・データ・バイト7レジスタ26	C1MDATA726			○		不定
03FECA48H	CAN1メッセージ・データ長コード・レジスタ26	C1MDLC26			○		0000xxxxB
03FECA49H	CAN1メッセージ・コンフィギュレーション・レジスタ26	C1MCONF26			○		不定
03FECA4AH	CAN1メッセージIDレジスタ26	C1MIDL26				○	不定
03FECA4CH		C1MIDH26				○	不定
03FECA4EH	CAN1メッセージ制御レジスタ26	C1MCTRL26				○	00x00000 000xx000B
03FECA60H	CAN1メッセージ・データ・バイト01レジスタ27	C1MDATA0127				○	不定
03FECA60H	CAN1メッセージ・データ・バイト0レジスタ27	C1MDATA027			○		不定
03FECA61H	CAN1メッセージ・データ・バイト1レジスタ27	C1MDATA127			○		不定
03FECA62H	CAN1メッセージ・データ・バイト23レジスタ27	C1MDATA2327				○	不定
03FECA62H	CAN1メッセージ・データ・バイト2レジスタ27	C1MDATA227			○		不定
03FECA63H	CAN1メッセージ・データ・バイト3レジスタ27	C1MDATA327			○		不定
03FECA64H	CAN1メッセージ・データ・バイト45レジスタ27	C1MDATA4527				○	不定
03FECA64H	CAN1メッセージ・データ・バイト4レジスタ27	C1MDATA427			○		不定
03FECA65H	CAN1メッセージ・データ・バイト5レジスタ27	C1MDATA527			○		不定
03FECA66H	CAN1メッセージ・データ・バイト67レジスタ27	C1MDATA6727				○	不定
03FECA66H	CAN1メッセージ・データ・バイト6レジスタ27	C1MDATA627			○		不定
03FECA67H	CAN1メッセージ・データ・バイト7レジスタ27	C1MDATA727			○		不定
03FECA68H	CAN1メッセージ・データ長コード・レジスタ27	C1MDLC27			○		0000xxxxB
03FECA69H	CAN1メッセージ・コンフィギュレーション・レジスタ27	C1MCONF27			○		不定
03FECA6AH	CAN1メッセージIDレジスタ27	C1MIDL27				○	不定
03FECA6CH		C1MIDH27				○	不定
03FECA6EH	CAN1メッセージ制御レジスタ27	C1MCTRL27				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（33/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FECA80H	CAN1メッセージ・データ・バイト01レジスタ28	C1MDATA0128	R/W			○	不定
03FECA80H	CAN1メッセージ・データ・バイト0レジスタ28	C1MDATA028			○		不定
03FECA81H	CAN1メッセージ・データ・バイト1レジスタ28	C1MDATA128			○		不定
03FECA82H	CAN1メッセージ・データ・バイト23レジスタ28	C1MDATA2328				○	不定
03FECA82H	CAN1メッセージ・データ・バイト2レジスタ28	C1MDATA228			○		不定
03FECA83H	CAN1メッセージ・データ・バイト3レジスタ28	C1MDATA328			○		不定
03FECA84H	CAN1メッセージ・データ・バイト45レジスタ28	C1MDATA4528				○	不定
03FECA84H	CAN1メッセージ・データ・バイト4レジスタ28	C1MDATA428			○		不定
03FECA85H	CAN1メッセージ・データ・バイト5レジスタ28	C1MDATA528			○		不定
03FECA86H	CAN1メッセージ・データ・バイト67レジスタ28	C1MDATA6728				○	不定
03FECA86H	CAN1メッセージ・データ・バイト6レジスタ28	C1MDATA628			○		不定
03FECA87H	CAN1メッセージ・データ・バイト7レジスタ28	C1MDATA728			○		不定
03FECA88H	CAN1メッセージ・データ長コード・レジスタ28	C1MDLC28			○		0000xxxxB
03FECA89H	CAN1メッセージ・コンフィギュレーション・レジスタ28	C1MCONF28			○		不定
03FECA8AH	CAN1メッセージIDレジスタ28	C1MIDL28				○	不定
03FECA8CH		C1MIDH28				○	不定
03FECA8EH	CAN1メッセージ制御レジスタ28	C1MCTRL28				○	00x00000 000xx000B
03FECAA0H	CAN1メッセージ・データ・バイト01レジスタ29	C1MDATA0129				○	不定
03FECAA0H	CAN1メッセージ・データ・バイト0レジスタ29	C1MDATA029			○		不定
03FECAA1H	CAN1メッセージ・データ・バイト1レジスタ29	C1MDATA129			○		不定
03FECAA2H	CAN1メッセージ・データ・バイト23レジスタ29	C1MDATA2329				○	不定
03FECAA2H	CAN1メッセージ・データ・バイト2レジスタ29	C1MDATA229			○		不定
03FECAA3H	CAN1メッセージ・データ・バイト3レジスタ29	C1MDATA329			○		不定
03FECAA4H	CAN1メッセージ・データ・バイト45レジスタ29	C1MDATA4529				○	不定
03FECAA4H	CAN1メッセージ・データ・バイト4レジスタ29	C1MDATA429			○		不定
03FECAA5H	CAN1メッセージ・データ・バイト5レジスタ29	C1MDATA529			○		不定
03FECAA6H	CAN1メッセージ・データ・バイト67レジスタ29	C1MDATA6729				○	不定
03FECAA6H	CAN1メッセージ・データ・バイト6レジスタ29	C1MDATA629			○		不定
03FECAA7H	CAN1メッセージ・データ・バイト7レジスタ29	C1MDATA729			○		不定
03FECAA8H	CAN1メッセージ・データ長コード・レジスタ29	C1MDLC29			○		0000xxxxB
03FECAA9H	CAN1メッセージ・コンフィギュレーション・レジスタ29	C1MCONF29			○		不定
03FECAAAH	CAN1メッセージIDレジスタ29	C1MIDL29				○	不定
03FECAACH		C1MIDH29				○	不定
03FECAAEH	CAN1メッセージ制御レジスタ29	C1MCTRL29				○	00x00000 000xx000B

表14－16　レジスタ・アクセス・タイプ（34/34）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FECAC0H	CAN1メッセージ・データ・バイト01レジスタ30	C1MDATA0130	R/W			○	不定
03FECAC0H	CAN1メッセージ・データ・バイト0レジスタ30	C1MDATA030			○		不定
03FECAC1H	CAN1メッセージ・データ・バイト1レジスタ30	C1MDATA130			○		不定
03FECAC2H	CAN1メッセージ・データ・バイト23レジスタ30	C1MDATA2330				○	不定
03FECAC2H	CAN1メッセージ・データ・バイト2レジスタ30	C1MDATA230			○		不定
03FECAC3H	CAN1メッセージ・データ・バイト3レジスタ30	C1MDATA330			○		不定
03FECAC4H	CAN1メッセージ・データ・バイト45レジスタ30	C1MDATA4530				○	不定
03FECAC4H	CAN1メッセージ・データ・バイト4レジスタ30	C1MDATA430			○		不定
03FECAC5H	CAN1メッセージ・データ・バイト5レジスタ30	C1MDATA530			○		不定
03FECAC6H	CAN1メッセージ・データ・バイト67レジスタ30	C1MDATA6730				○	不定
03FECAC6H	CAN1メッセージ・データ・バイト6レジスタ30	C1MDATA630			○		不定
03FECAC7H	CAN1メッセージ・データ・バイト7レジスタ30	C1MDATA730			○		不定
03FECAC8H	CAN1メッセージ・データ長コード・レジスタ30	C1MDLC30			○		0000xxxxB
03FECAC9H	CAN1メッセージ・コンフィギュレーション・レジスタ30	C1MCONF30			○		不定
03FECACAH	CAN1メッセージIDレジスタ30	C1MIDL30				○	不定
03FECACCH		C1MIDH30				○	不定
03FECACEH	CAN1メッセージ制御レジスタ30	C1MCTRL30				○	00x00000 000xx000B
03FECAE0H	CAN1メッセージ・データ・バイト01レジスタ31	C1MDATA0131				○	不定
03FECAE0H	CAN1メッセージ・データ・バイト0レジスタ31	C1MDATA031			○		不定
03FECAE1H	CAN1メッセージ・データ・バイト1レジスタ31	C1MDATA131			○		不定
03FECAE2H	CAN1メッセージ・データ・バイト23レジスタ31	C1MDATA2331				○	不定
03FECAE2H	CAN1メッセージ・データ・バイト2レジスタ31	C1MDATA231			○		不定
03FECAE3H	CAN1メッセージ・データ・バイト3レジスタ31	C1MDATA331			○		不定
03FECAE4H	CAN1メッセージ・データ・バイト45レジスタ31	C1MDATA4531				○	不定
03FECAE4H	CAN1メッセージ・データ・バイト4レジスタ31	C1MDATA431			○		不定
03FECAE5H	CAN1メッセージ・データ・バイト5レジスタ31	C1MDATA531			○		不定
03FECAE6H	CAN1メッセージ・データ・バイト67レジスタ31	C1MDATA6731				○	不定
03FECAE6H	CAN1メッセージ・データ・バイト6レジスタ31	C1MDATA631			○		不定
03FECAE7H	CAN1メッセージ・データ・バイト7レジスタ31	C1MDATA731			○		不定
03FECAE8H	CAN1メッセージ・データ長コード・レジスタ31	C1MDLC31			○		0000xxxxB
03FECAE9H	CAN1メッセージ・コンフィギュレーション・レジスタ31	C1MCONF31			○		不定
03FECAEAH	CAN1メッセージIDレジスタ31	C1MIDL31				○	不定
03FECAECH		C1MIDH31				○	不定
03FECAEEH	CAN1メッセージ制御レジスタ31	C1MCTRL31				○	00x00000 000xx000B

14. 5. 3　レジスタのビット構成

表14－17　CANグローバル・レジスタのビット構成

アドレス	略　　号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
03FExx00H	CnGMCTRL（W）	0	0	0	0	0	0	0	Clear GOM
03FExx01H		0	0	0	0	0	0	Set EFSD	Set GOM
03FExx00H	CnGMCTRL（R）	0	0	0	0	0	0	EFSD	GOM
03FExx01H		MBON	0	0	0	0	0	0	0
03FExx02H	CnGMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0
03FExx06H	CnGMABT（W）	0	0	0	0	0	0	0	Clear ABTTRG
03FExx07H		0	0	0	0	0	0	Set ABTCLR	Set ABTTRG
03FExx06H	CnGMABT（R）	0	0	0	0	0	0	ABTCLR	ABTTRG
03FExx07H		0	0	0	0	0	0	0	0
03FExx08H	CnGMABTD	0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0

備考　n = 0, 1

表14－18　CANモジュール・レジスタのビット構成（1/2）

アドレス	略　　号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
03FExx40H	CnMASK1L	CM1ID [7:0]							
03FExx41H		CM1ID [15:8]							
03FExx42H	CnMASK1H	CM1ID [23:16]							
03FExx43H		0	0	0	CM1ID [28:24]				
03FExx44H	CnMASK2L	CM2ID [7:0]							
03FExx45H		CM2ID [15:8]							
03FExx46H	CnMASK2H	CM2ID [23:16]							
03FExx47H		0	0	0	CM2ID [28:24]				
03FExx48H	CnMASK3L	CM3ID [7:0]							
03FExx49H		CM3ID [15:8]							
03FExx4AH	CnMASK3H	CM3ID [23:16]							
03FExx4BH		0	0	0	CM3ID [28:24]				
03FExx4CH	CnMASK4L	CM4ID [7:0]							
03FExx4DH		CM4ID [15:8]							
03FExx4EH	CnMASK4H	CM4ID [23:16]							
03FExx4FH		0	0	0	CM4ID [28:24]				
03FExx50H	CnCTRL（W）	0	Clear AL	Clear VALID	Clear PSMODE1	Clear PSMODE0	Clear OPMODE2	Clear OPMODE1	Clear OPMODE0
03FExx51H		Set CCERC	Set AL	0	Set PSMODE1	Set PSMODE0	Set OPMODE2	Set OPMODE1	Set OPMODE0
03FExx50H	CnCTRL（R）	CCERC	AL	VALID	PS MODE1	PS MODE0	OP MODE2	OP MODE1	OP MODE0
03FExx51H		0	0	0	0	0	0	RSTAT	TSTAT
03FExx52H	CnLEC（W）	0	0	0	0	0	0	0	0
03FExx52H	CnLEC（R）	0	0	0	0	0	LEC2	LEC1	LEC0
03FExx53H	CnINFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0
03FExx54H	CnERC	TEC [7:0]							
03FExx55H		REPS	REC [6:0]						
03FExx56H	CnIE（W）	0	0	Clear CIE5	Clear CIE4	Clear CIE3	Clear CIE2	Clear CIE1	Clear CIE0
03FExx57H		0	0	Set CIE5	Set CIE4	Set CIE3	Set CIE2	Set CIE1	Set CIE0
03FExx56H	CnIE（R）	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0
03FExx57H		0	0	0	0	0	0	0	0
03FExx58H	CnINTS（W）	0	0	Clear CINTS5	Clear CINTS4	Clear CINTS3	Clear CINTS2	Clear CINTS1	Clear CINTS0
03FExx59H		0	0	0	0	0	0	0	0
03FExx58H	CnINTS（R）	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0
03FExx59H		0	0	0	0	0	0	0	0

備考　n = 0, 1

表14－18　CANモジュール・レジスタのビット構成（2/2）

アドレス	略　　号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
03FExx5AH	CnBRP	TQPRS[7:0]							
03FExx5CH	CnBTR	0	0	0	0	TSEG1[3:0]			
03FExx5DH		0	0	SJW[1:0]		0	TSEG2[2:0]		
03FExx5EH	CnLIPT	LIPT[7:0]							
03FExx60H	CnRGPT（W）	0	0	0	0	0	0	0	Clear ROVF
03FExx61H		0	0	0	0	0	0	0	0
03FExx60H	CnRGPT（R）	0	0	0	0	0	0	RHPM	ROVF
03FExx61H		RGPT[7:0]							
03FExx62H	CnLOPT	LOPT[7:0]							
03FExx64H	CnTGPT（W）	0	0	0	0	0	0	0	Clear TOVF
03FExx65H		0	0	0	0	0	0	0	0
03FExx64H	CnTGPT（R）	0	0	0	0	0	0	THPM	TOVF
03FExx65H		TGPT[7:0]							
03FExx66H	CnTS（W）	0	0	0	0	0	Clear TSLOCK	Clear TSSEL	Clear TSEN
03FExx67H		0	0	0	0	0	Set TSLOCK	Set TSSEL	Set TSEN
03FExx66H	CnTS（R）	0	0	0	0	0	TSLOCK	TSSEL	TSEN
03FExx67H		0	0	0	0	0	0	0	0
03FExx68H-03FExxFFH	–	アクセス禁止（reserved for future use）							

備考　n = 0, 1

表14－19　メッセージ・バッファ・レジスタのビット構成

アドレス	略　　号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
03FExxx0H	CnMDATA01m	メッセージ・データ（バイト0）							
03FExxx1H		メッセージ・データ（バイト1）							
03FExxx0H	CnMDATA0m	メッセージ・データ（バイト0）							
03FExxx1H	CnMDATA1m	メッセージ・データ（バイト1）							
03FExxx2H	CnMDATA23m	メッセージ・データ（バイト2）							
03FExxx3H		メッセージ・データ（バイト3）							
03FExxx2H	CnMDATA2m	メッセージ・データ（バイト2）							
03FExxx3H	CnMDATA3m	メッセージ・データ（バイト3）							
03FExxx4H	CnMDATA45m	メッセージ・データ（バイト4）							
03FExxx5H		メッセージ・データ（バイト5）							
03FExxx4H	CnMDATA4m	メッセージ・データ（バイト4）							
03FExxx5H	CnMDATA5m	メッセージ・データ（バイト5）							
03FExxx6H	CnMDATA67m	メッセージ・データ（バイト6）							
03FExxx7H		メッセージ・データ（バイト7）							
03FExxx6H	CnMDATA6m	メッセージ・データ（バイト6）							
03FExxx7H	CnMDATA7m	メッセージ・データ（バイト7）							
03FExxx8H	CnMDLCm	0				MDLC3	MDLC2	MDLC1	MDLC0
03FExxx9H	CnMCONFm	OWS	RTR	MT2	MT1	MT0	0	0	MA0
03FExxxAH	CnMIDLm	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
03FExxxBH		ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8
03FExxxCH	CnMIDHm	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16
03FExxxDH		IDE	0	0	ID28	ID27	ID26	ID25	ID24
03FExxxEH	CnMCTRLm（W）	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY
03FExxxFH		0	0	0	0	Set IE	0	Set TRQ	Set RDY
03FExxxEH	CnMCTRLm（R）	0	0	0	MOW	IE	DN	TRQ	RDY
03FExxxFH		0	0	MUC	0	0	0	0	0
03FExxx0-03FExxxFH	–	アクセス禁止（reserved for future）							

備考　n = 0, 1

m = 0-31

14. 6　ビットのセット／クリア機能

CANの制御レジスタには，ビットのセット／クリアがCPUとCANインタフェースの両方で行われるレジスタがあります。次に示すレジスタに直接値を書き込むと誤作動するため，値の直接書き込み（ビット操作，リード・モディファイ・ライト，目標値の直接書き込み）をしないでください。

- CANグローバル制御レジスタ（CnGMCTRL）
- CANグローバル自動ブロック送信制御レジスタ（CnGMABT）
- CANモジュール制御レジスタ（CnCTRL）
- CANモジュール割り込み許可レジスタ（CnIE）
- CANモジュール割り込みステータス・レジスタ（CnINTS）
- CANモジュール受信ヒストリ・リスト・レジスタ（CnRGPT）
- CANモジュール送信ヒストリ・リスト・レジスタ（CnTGPT）
- CANモジュール・タイム・スタンプ・レジスタ（CnTS）
- CANメッセージ制御レジスタm（CnMCTRLm）

備考　n = 0, 1
　　m = 0-31

上記レジスタの16ビットは，すべて通常の方法で読むことができます。下位8ビットのビット・セットやビット・クリアは図14－23の手順で行ってください。

上記レジスタの下位8ビットのセット／クリアは，上位8ビットと下位8ビットの組み合わせで行います（図14－24　セット／クリア設定後のビット状態参照）。図14－23のように，setビットとclearビットの値により，該当するレジスタのビットをセット／クリア／変化なしと操作できます。

図14ー23　ビットのセット／クリアの操作例

図14ー24　セット／クリア設定後のビット状態

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
set 7	set 6	set 5	set 4	set 3	set 2	set 1	set 0	clear 7	clear 6	clear 5	clear 4	clear 3	clear 2	clear 1	clear 0

set n	clear n	ビットのセット／クリア操作後のビットnの状態
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

備考　n = 0-7

14. 7　制御レジスタ

備考　n = 0, 1

m = 0-31

(1) CANグローバル制御レジスタ（CnGMCTRL）

CnGMCTRLレジスタは，CANモジュールの動作を制御します。

(1/2)

リセット時：0000H　　R/W　**アドレス：**C0GMCTRL　03FEC000H, C1GMCTRL　03FEC600H

(a) リード時

	15	14	13	12	11	10	9	8
CnGMCTRL	MBON	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	EFSD	GOM

(b) ライト時

	15	14	13	12	11	10	9	8
CnGMCTRL	0	0	0	0	0	0	Set EFSD	Set GOM
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear GOM

(a) リード時

MBON	メッセージ・バッファ・レジスタおよび送信・受信ヒストリ・レジスタへのアクセス有効ビット
0	メッセージ・バッファ・レジスタおよび送信・受信ヒストリ・レジスタへのライト・アクセスおよびリード・アクセスは無効
1	メッセージ・バッファ・レジスタおよび送信・受信ヒストリ・レジスタへのライト・アクセスおよびリード・アクセスは有効

注意 1. MBONビットがクリア（0）されている間は，ソフトウエアによるメッセージ・バッファ（CnMDATA0m, CnMDATA1m, CnMDATA01m, CnMDATA2m, CnMDATA3m, CnMDATA23m, CnMDATA4m, CnMDATA5m, CnMDATA45m, CnMDATA6m, CnMDATA7m, CnMDATA67m, CnMDLCm, CnMCONFm, CnMIDLm, CnMIDHm, CnMCTRLm）および送信ヒストリ，受信ヒストリに関連したレジスタ（CnLOPT, CnTGPT, CnLIPT, CnRGPT）へのアクセスは無効です。

2. このビットはリード・オンリーです。MBON = 0の状態で1を書き込みしても，MBONは変化せず，メッセージ・バッファ・レジスタおよび送信ヒストリ，受信ヒストリに関連したレジスタへのアクセスは無効のままです。

★ **備考**　CANスリープ・モード／CANストップ・モードに移行した場合，または，GOMビットをクリア（0）した場合に，MBONビットがクリア（0）されます。CANスリープ・モード／CANストップ・モードを解除した場合，またはGOMビットをセット（1）した場合に，MBONビットがセット（1）されます。

(2/2)

EFSD	強制シャット・ダウン有効ビット
0	GOM = 0による強制シャット・ダウンは無効
1	GOM = 0による強制シャット・ダウンは有効

注意　強制シャット・ダウンの要求を行う場合は，EFSDビットをセット（1）した直後に，GOMビットをクリア（0）してください。EFSDビットをセット（1）した直後にGOMビットをクリア（0）しないで，その他のレジスタ・アクセス（CnGMCTRLレジスタのリード含む）の実行をすると，EFSDビットは自動的にクリア（0）され，強制シャット・ダウンの要求は無効になります。

GOM	グローバル操作モード・ビット
0	CANモジュールは動作禁止状態
1	CANモジュールは動作許可状態

★ **注意**　GOMビットは，初期化モードのとき，またはEFSDビットをセット（1）した直後にのみクリア（0）可能です。

(b) ライト時

Set EFSD	EFSDビットの設定
0	EFSDビットの変更なし
1	EFSDビットをセット（1）する

Set GOM	Clear GOM	GOMビットの設定
0	1	GOMビットをクリア（0）する
1	0	GOMビットをセット（1）する
上記以外		GOMビットの変更なし

★ **注意**　GOMビットの設定とEFSDビットの設定は，常に別々に行ってください。

(2) CANグローバル・クロック選択レジスタ（CnGMCS）

CnGMCSレジスタは，CANモジュール・システム・クロックを選択します。

リセット時：0FH　　R/W　**アドレス：**C0GMCS　03FEC002H, C1GMCS　03FEC602H

	7	6	5	4	3	2	1	0
CnGMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0

CCP3	CCP2	CCP1	CCP1	CANモジュール・システム・クロック　（f_{CANMOD}）
0	0	0	0	f_{CAN}/1
0	0	0	1	f_{CAN}/2
0	0	1	0	f_{CAN}/3
0	0	1	1	f_{CAN}/4
0	1	0	0	f_{CAN}/5
0	1	0	1	f_{CAN}/6
0	1	1	0	f_{CAN}/7
0	1	1	1	f_{CAN}/8
1	0	0	0	f_{CAN}/9
1	0	0	1	f_{CAN}/10
1	0	1	0	f_{CAN}/11
1	0	1	1	f_{CAN}/12
1	1	0	0	f_{CAN}/13
1	1	0	1	f_{CAN}/14
1	1	1	0	f_{CAN}/15
1	1	1	1	f_{CAN}/16（初期値）

備考　f_{CAN} = CANへの供給クロック = f_{XX}

(3) CANグローバル自動ブロック送信制御レジスタ（CnGMABT）

CnGMABTレジスタは，自動ブロック送信（ABT）動作を制御します。

(1/2)

リセット時：0000H　　R/W　アドレス：C0GMABT　03FEC006H, C1GMABT　03FEC606H

(a) リード時

	15	14	13	12	11	10	9	8
CnGMABT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	ABTCLR	ABTTRG

(b) ライト時

	15	14	13	12	11	10	9	8
CnGMABT	0	0	0	0	0	0	Set ABTCLR	Set ABTTRG
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear ABTTRG

★ **注意**　ABT付き通常動作モードから初期化モードに移行する前には，CnGMABTレジスタには必ず初期値（00H）を設定し，設定後はCnGMABTレジスタが0000Hに初期化されたことを確実に確認してください。

(a) リード時

ABTCLR	自動ブロック送信エンジン・クリア・ステータス・ビット
0	自動ブロック送信エンジンのクリア処理を完了
1	自動ブロック送信エンジンのクリア処理中

備考1.　ABTCLRビットはABTTRGビットがクリア（0）されている状態でセット（1）してください。ABTTRGビットがセット（1）されている状態で，ABTCLRビットをセット（1）した場合の動作保証はしません。

2.　ABTCLRビットのセット（1）による自動ブロック送信エンジンのクリアは，クリア要求の処理が完了した時点でABTCLRビットが直ちに自動的にクリア（0）されます。

ABTTRG	自動ブロック送信ステータス・ビット
0	自動ブロック送信の停止中
1	自動ブロック送信の実行中

注意　初期化モード中にABTTRGビットを設定（ABTTRG = 1）しないでください。

★ 初期化モード中にABTTRGビットを設定した場合，ABT付き通常動作モード移行後の動作は保証しません。TSTATビットがセット（1）されている間は，ABTTRGビットをセット（1）しないでください。ABTTRGビットをセット（1）する前に，TSTAT = 0 であることを直接事前に確認してください。

(2/2)

(b) ライト時

Set ABTCLR	自動ブロック送信エンジンのクリア要求ビット
0	自動ブロック送信エンジンはアイドル状態または動作中
1	自動ブロック送信エンジンのクリア要求 自動ブロック送信エンジンのクリア後は，ABTTRGビットのセット（1）による自動ブロック送信はメッセージ・バッファ0から開始されます。

Set ABTTRG	Clear ABTTRG	自動ブロック送信開始ビット
0	1	自動ブロック送信の停止を要求
1	0	自動ブロック送信の開始を要求
上記以外		ABTTRGビットの変更なし

(4) CANグローバル自動ブロック送信遅延設定レジスタ（CnGMABTD）

CnGMABTDレジスタは，ABT付き通常動作モードにおいて，ABTに割り付けられたメッセージ・バッファの送信間隔を設定します。

リセット時：00H　　R/W　アドレス：C0GMABTD　03FEC008H, C1GMABTD　03FEC608H

	7	6	5	4	3	2	1	0
CnGMABTD	0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0

ABTD3	ABTD2	ABTD1	ABTD0	自動ブロック送信時のデータ・フレーム間隔（単位はデータ・ビット・タイム；DBT）
0	0	0	0	0 DBT（初期値）
0	0	0	1	2^5 DBT
0	0	1	0	2^6 DBT
0	0	1	1	2^7 DBT
0	1	0	0	2^8 DBT
0	1	0	1	2^9 DBT
0	1	1	0	2^{10} DBT
0	1	1	1	2^{11} DBT
1	0	0	0	2^{12} DBT
上記以外				設定禁止

注意1.　ABTTRGビットがセット（1）されている場合は，CnGMABTDレジスタの内容は変更しないでください。

2.　実際にCANバス上に送信されるABTメッセージのタイミングは，他局からの送信状況あるいはABTメッセージ以外のメッセージ（メッセージ・バッファ8～メッセージ・バッファ31）に対する送信要求の設定状況によって変化します。

(5) CANモジュール・マスク制御レジスタ（CnMASKaL, CnMASKaH）（a = 1, 2, 3, 4）

★　CnMASKaL/CnMASKaHレジスタは，メッセージのアイデンティファイア（ID）の一部をマスクすることで，マスクされた部分のID比較を無効にし，同一メッセージ・バッファ内の受信可能なメッセージ数を拡張します。

(1/2)

・CANモジュール・マスク1レジスタ（CnMASK1L, CnMASK1H）

リセット時：不定　R/W　アドレス：C0MASK1L　03FEC040H, C1MASK1L　03FEC640H
C0MASK1H　03FEC042H, C1MASK1H　03FEC642H

	15	14	13	12	11	10	9	8
CnMASK1L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
CnMASK1H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

・CANモジュール・マスク2レジスタ（CnMASK2L, CnMASK2H）

リセット時：不定　R/W　アドレス：C0MASK2L　03FEC044H, C1MASK2L　03FEC644H
C0MASK2H　03FEC046H, C1MASK2H　03FEC646H

	15	14	13	12	11	10	9	8
CnMASK2L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
CnMASK2H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

(2/2)

・CANモジュール・マスク3レジスタ（CnMASK3L, CnMASK3H）

リセット時：不定　　R/W　アドレス：C0MASK3L　03FEC048H, C1MASK3L　03FEC648H
C0MASK3H　03FEC04AH, C1MASK3H　03FEC64AH

	15	14	13	12	11	10	9	8
CnMASK3L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
CnMASK3H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

・CANモジュール・マスク4レジスタ（CnMASK4L, CnMASK4H）

リセット時：不定　　R/W　アドレス：C0MASK4L　03FEC04CH, C1MASK4L　03FEC64CH
C0MASK4H　03FEC04EH, C1MASK4H　03FEC64EH

	15	14	13	12	11	10	9	8
CnMASK4L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
CnMASK4H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

CMID28-CMID0	IDビットのマスク・パターンを設定
0	CMID28-CMID0ビットに設定されたメッセージ・バッファのIDビットと受信メッセージ・フレームのIDビットを比較します。
1	CMID28-CMID0ビットに設定されたメッセージ・バッファのIDビットと受信メッセージ・フレームのIDビットを比較しません（マスクします）。

備考　マスクは常に29ビットのID長で定義されます。マスクが標準IDのメッセージに割り当てられた場合，CMID17-CMID0は無視されます。したがって，受信IDはCMID28-CMID18のみマスクされます。なお，標準および拡張IDはともに同一マスクを使用することができます。

(6) CANモジュール制御レジスタ（CnCTRL）

CnCTRLレジスタは，CANモジュールの動作モードを制御します。

(1/4)

リセット時：0000H　　R/W　**アドレス：**C0CTRL　03FEC050H, C1CTRL　03FEC650H

(a) リード時

	15	14	13	12	11	10	9	8
CnCTRL	0	0	0	0	0	0	RSTAT	TSTAT
	7	6	5	4	3	2	1	0
	CCERC	AL	VALID	PSMODE 1	PSMODE 0	OPMODE 2	OPMODE 1	OPMODE 0

(b) ライト時

	15	14	13	12	11	10	9	8
CnCTRL	Set CCERC	Set AL	0	Set PSMODE 1	Set PSMODE 0	Set OPMODE 2	Set OPMODE 1	Set OPMODE 0
	7	6	5	4	3	2	1	0
	0	Clear AL	Clear VALID	Clear PSMODE 1	Clear PSMODE 0	Clear OPMODE 2	Clear OPMODE 1	Clear OPMODE 0

(a) リード時

RSTAT	受信ステータス・ビット
0	受信停止状態
1	受信動作状態

備考　-RSTATビットは，次の条件（タイミング）でセット（1）されます。

・受信フレームのSOFビット

・送信フレーム中のアービトレーション・ロスト発生時

-RSTATビットは，次の条件（タイミング）でクリア（0）されます。

・インタフレーム・スペースの2ビット目にレセシブを検出時

・インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき

(2/4)

TSTAT	送信ステータス・ビット
0	送信停止状態
1	送信動作状態

備考　-TSTATビットは，次の条件（タイミング）でセット（1）されます。
・送信フレームのSOFビット
★　-TSTATビットは，次の条件（タイミング）でクリア（0）されます。
・バスオフ移行時
・送信フレーム中のアービトレーション・ロスト発生時
・インタフレーム・スペースの2ビット目にレセシブを検出時
・インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき

CCERC	エラー・カウンタ・クリア・ビット
0	初期化モードにおいて，CnERCレジスタとCnINFOレジスタのクリア中ではありません。
1	初期化モードにおいて，CnERCレジスタとCnINFOレジスタがクリア中です。

備考 1.　CCERCビットは，再初期化やバスオフ強制復帰の際に，CnERCレジスタとCnINFOレジスタをクリアするために使用します。初期化モードでのみ，セット（1）が可能です。
2.　CnERCおよびCnINFOレジスタがクリアされるとCCERCビットも自動的にクリア（0）されます。
3.　初期化モードから任意の動作モードへの遷移要求と同時にCCERCビットのセット（1）が可能です。
★　4.　セルフ・テスト・モードでINIT モード移行直後にCCERC ビットをセット（1）した場合，受信データが破壊される可能性があります。

AL	アービトレーション・ロスト時の動作設定ビット
0	シングル・ショット・モードにおいて，アービトレーション・ロストが発生した場合，再送信されません。
1	シングル・ショット・モードにおいて，アービトレーション・ロストが発生した場合，再送信されます。

★　**備考** ALビットは，シングル・ショット・モードにおいてのみ有効です。

VALID	有効な受信メッセージ・フレーム検出ビット
0	VALIDビットが最後にクリア（0）されてから，有効なメッセージ・フレーム受信がありません。
1	VALIDビットが最後にクリア（0）されてから，有効なメッセージ・フレーム受信があります。

備考 1.　有効な受信メッセージ・フレームの検出には，受信メッセージ・バッファへの格納（データ・
★　フレーム）または送信メッセージ・バッファへの格納（リモート・フレーム）の有無に依存しません。
2.　初期化モードから任意の動作モードに移行する前に，VALIDビットをクリア（0）してください。
3.　CANバスにCANノードが2つのみ接続され，一方のCANノードが通常動作モードでメッセー
★　ジ・フレームを送信し，もう一方のCANノードが受信オンリー・モードである場合は，受信オンリー・モードではACKが発生しないため，VALIDビットは送信ノードがエラー・パッシブになる前にセット（1）されることはありません。
4.　VALIDビットをクリアする際は，Clear VALIDビットをセット（1）したあと，VALIDビットがクリアされることを確認してください。クリアされていない場合は，再度クリア処理を行ってください。

(3/4)

PSMODE1	PSMODE0	パワー・セーブ・モード
0	0	パワー・セーブ・モードは選択されていません。
0	1	CANスリープ・モード
1	0	設定禁止
1	1	CANストップ・モード

注意1.　CANストップ・モードへの遷移およびCANストップ・モードからの遷移は，必ずCANスリープ・モードを経由してください。直接の遷移要求は無視されます。

★ 2.　パワー・セーブ・モードを解除したあと，再度メッセージ・バッファへアクセスする前にCnGMCTRLレジスタのMBONフラグを確認する必要があります。

★ 3.　CANスリープ・モードへの遷移要求は，ソフトウエアによりキャンセルされるかあるいはCANバスがバス・アイドル状態に遷移するまで保留されます。PSMODEビットを読み出すことでソフトウエアはCANスリープ・モードへの遷移状況を確認することができます。

OPMODE2	OPMODE1	OPMODE0	動作モード
0	0	0	動作モードは選択されていません（CANモジュールは初期化モード状態）。
0	0	1	通常動作モード
0	1	0	自動ブロック送信機能付き通常動作モード（ABT付き通常動作モード）
0	1	1	受信オンリー・モード
1	0	0	シングル・ショット・モード
1	0	1	セルフ・テスト・モード
上記以外			設定禁止

★ 注意　初期化モードまたはパワー・セーブ・モードへの移行は，ある程度の時間がかかる可能性があるので，処理を実行する前にレジスタ値を読み込むことにより，モードの移行が成功したかどうかを必ず確認してください。

備考　CANスリープ・モードまたはCANストップ・モード中，OPMODE [2:0]ビットはリード・オンリーです。

(b) ライト時

Set CCERC	CCERCビットの設定
1	CCERCビットをセット（1）する
上記以外	CCERCビットの変更なし

Set AL	Clear AL	ALビットの設定
0	1	ALビットをクリア（0）する
1	0	ALビットをセット（1）する
上記以外		ALビットの変更なし

Clear VALID	VALIDビットの設定
0	VALIDビットの変更なし
1	VALIDビットをクリア（0）する

（4/4）

Set PSMODE0	Clear PSMODE0	PSMODE0ビットの設定
0	1	PSMODE0ビットをクリア（0）する
1	0	PSMODE0ビットをセット（1）する
上記以外		PSMODE0ビットの変更なし

Set PSMODE1	Clear PSMODE1	PSMODE1ビットの設定
0	1	PSMODE1ビットをクリア（0）する
1	0	PSMODE1ビットをセット（1）する
上記以外		PSMODE1ビットの変更なし

Set OPMODE0	Clear OPMODE0	OPMODE0ビットの設定
0	1	OPMODE0ビットをクリア（0）する
1	0	OPMODE0ビットをセット（1）する
上記以外		OPMODE0ビットの変更なし

Set OPMODE1	Clear OPMODE1	OPMODE1ビットの設定
0	1	OPMODE1ビットをクリア（0）する
1	0	OPMODE1ビットをセット（1）する
上記以外		OPMODE1ビットの変更なし

Set OPMODE2	Clear OPMODE2	OPMODE2ビットの設定
0	1	OPMODE2ビットをクリア（0）する
1	0	OPMODE2ビットをセット（1）する
上記以外		OPMODE2ビットの変更なし

（7）CANモジュール最終エラー情報レジスタ（CnLEC）

CnLECレジスタは，CANプロトコルのエラー情報を示します。

リセット時：00H　　R/W　アドレス：C0LEC　03FEC052H, C1LEC　03FEC652H

	7	6	5	4	3	2	1	0
CnLEC	0	0	0	0	0	LEC2	LEC1	LEC0

備考 1. CnLECレジスタの内容は，任意の動作モードから初期化モードへの移行では，クリアされません。

2. CnLECレジスタに対してソフトウエアにより00H以外の値を書き込みしようとした場合，アクセスは無視されます。

LEC2	LEC1	LEC0	最終のCANプロトコル・エラー情報
0	0	0	エラーなし
0	0	1	スタッフ・エラー
0	1	0	フォーム・エラー
0	1	1	ACKエラー
1	0	0	ビット・エラー （CANモジュールは送信メッセージの一部として，レセシブ・ビットの送信をしようとしたが（アービトレーション・フィールドを除く），CANバス上の値はドミナント・ビットであった場合）
1	0	1	ビット・エラー （CANモジュールは送信メッセージ，ACKビット，エラー・フレームまたはオーバロード・フレームの一部として，ドミナント・ビットの送信をしようとしたが，CANバス上の値はレセシブ・ビットであった場合）
1	1	0	CRCエラー
1	1	1	未定義

(8) CANモジュール情報レジスタ（CnINFO）

CnINFOレジスタは，CANモジュールのステータスを示します。

リセット時：00H　　R　　**アドレス：**C0INFO　03FEC053H, C1INFO　03FEC653H

	7	6	5	4	3	2	1	0
CnINFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0

BOFF	バスオフ状態ビット
0	バスオフ状態ではありません（送信エラー・カウンタ≦255）（送信エラー・カウントが256未満）
1	バスオフ状態（送信エラー・カウンタ＞255）（送信エラーのカウントが256以上）

TECS1	TECS0	送信エラー・カウンタ状態ビット
0	0	送信エラー・カウンタはワーニング・レベル未満（＜96）
0	1	送信エラー・カウンタはワーニング・レベル範囲（96.....127）
1	0	未定義
1	1	送信エラー・カウンタはエラー・パッシブまたはバスオフ範囲（≧128）

RECS1	RECS0	受信エラー・カウンタ状態ビット
0	0	受信エラー・カウンタはワーニング・レベル未満（＜96）
0	1	受信エラー・カウンタはワーニング・レベル範囲（96.....127）
1	0	未定義
1	1	受信エラー・カウンタはエラー・パッシブ範囲（≧128）

(9) CANモジュール・エラー・カウンタ・レジスタ（CnERC）

CnERCレジスタは，送受信エラー・カウンタのカウント値を示します。

リセット時：0000H　　R　　**アドレス：**C0ERC　FFFEC054H, C1ERC　FFFEC654H

	15	14	13	12	11	10	9	8
CnERC	REPS	REC6	REC5	REC4	REC3	REC2	REC1	REC0
	7	6	5	4	3	2	1	0
	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0

REPS	受信エラー・パッシブ・ステータス・ビット
0	受信エラー・カウンタは，エラー・パッシブではない（<128）
1	受信エラー・カウンタは，エラー・パッシブ範囲（≧128）

REC6-REC0	受信エラー・カウンタ・ビット
0-127	受信エラー・カウント数 受信エラー・カウンタの状態を反映します。カウント数はCANプロトコルにより定義されています。

備考　受信エラー・パッシブ状態（RECS [1:0] = 11B）では，受信エラー・カウンタREC6-REC0は無効です。

TEC7-TEC0	送信エラー・カウンタ・ビット
0-255	送信エラー・カウント数 送信エラー・カウンタの状態を反映します。カウント数はCANプロトコルにより定義されています。

備考　バスオフ中（BOFF = 1）では，送信エラー・カウンタTEC7-TEC0は無効です。

(10) CANモジュール割り込み許可レジスタ（CnIE）

CnIEレジスタは，CANモジュールの割り込み許可／禁止を設定します。

(1/2)

リセット時：0000H　　R/W　アドレス：C0IE　03FEC056H, C1IE　03FEC656H

(a) リード時

	15	14	13	12	11	10	9	8
CnIE	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0

(b) ライト時

	15	14	13	12	11	10	9	8
CnIE	0	0	Set CIE5	Set CIE4	Set CIE3	Set CIE2	Set CIE1	Set CIE0
	7	6	5	4	3	2	1	0
	0	0	Clear CIE5	Clear CIE4	Clear CIE3	Clear CIE2	Clear CIE1	Clear CIE0

(a) リード時

CIE5-CIE0	CANモジュール割り込み許可ビット
0	割り込みステータス・レジスタCINTSxに対応する割り込み出力禁止
1	割り込みステータス・レジスタCINTSxに対応する割り込み出力許可

(b) ライト時

Set CIE5	Clear CIE5	CIE5ビットの設定
0	1	CIE5ビットをクリア（0）する
1	0	CIE5ビットをセット（1）する
上記以外		CIE5ビットの変更なし

Set CIE4	Clear CIE4	CIE4ビットの設定
0	1	CIE4ビットをクリア（0）する
1	0	CIE4ビットをセット（1）する
上記以外		CIE4ビットの変更なし

Set CIE3	Clear CIE3	CIE3ビットの設定
0	1	CIE3ビットをクリア（0）する
1	0	CIE3ビットをセット（1）する
上記以外		CIE3ビットの変更なし

(2/2)

Set CIE2	Clear CIE2	CIE2ビットの設定
0	1	CIE2ビットをクリア（0）する
1	0	CIE2ビットをセット（1）する
上記以外		CIE2ビットの変更なし

Set CIE1	Clear CIE1	CIE1ビットの設定
0	1	CIE1ビットをクリア（0）する
1	0	CIE1ビットをセット（1）する
上記以外		CIE1ビットの変更なし

Set CIE0	Clear CIE0	CIE0ビットの設定
0	1	CIE0ビットをクリア（0）する
1	0	CIE0ビットをセット（1）する
上記以外		CIE0ビットの変更なし

(11) CANモジュール割り込みステータス・レジスタ（CnINTS）

CnINTSレジスタは，CANモジュールの割り込みステータスを示します。

リセット時：0000H　　R/W　アドレス：C0INTS　03FEC058H, C1INTS　03FEC658H

(a) リード時

	15	14	13	12	11	10	9	8
CnINTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0

(b) ライト時

	15	14	13	12	11	10	9	8
CnINTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	Clear CINTS5	Clear CINTS4	Clear CINTS3	Clear CINTS2	Clear CINTS1	Clear CINTS0

(a) リード時

CINTS5-CINTS0	CAN割り込みステータス・ビット
0	関連する割り込みソース・イベント未発生
1	関連する割り込みソース・イベント発生

割り込みステータス・ビット	関連する割り込みソース・イベント
CINTS5	CANスリープ・モードからのウエイクアップ割り込み[注]
CINTS4	アービトレーション・ロスト割り込み
CINTS3	CANプロトコル・エラー割り込み
CINTS2	CANエラー・ステータス割り込み
CINTS1	メッセージ・バッファmへの有効なメッセージ・フレーム受信完了割り込み
CINTS0	メッセージ・バッファmからのメッセージ・フレームの正常な送信完了割り込み

注　CANバス動作によるCANスリープ・モードからのウエイクアップによってのみ，CINTS5がセット（1）されます。ソフトウエアによるCANスリープ・モードの解除ではCINTS5はセット（1）されません。

(b) ライト時

Clear CINTS5-CINTS0	CINTS5-CINTS0ビットの設定
0	CINTS5-CINTS0ビットの変更なし
1	CINTS5-CINTS0ビットをクリア（0）する

★　**注意**　このレジスタのステータス・ビットは自動的にクリアされることはありませんので，割り込み処理内で各ステータスの確認が必要な場合には，ソフトウエアにてクリア（0）を行ってください。

（12）CANモジュール・ビット・レート・プリスケーラ・レジスタ（CnBRP）

CnBRPレジスタは，CANプロトコル・レイヤ基本クロック（f_{TQ}）を選択します。また，通信ボー・レートは，CnBTRレジスタに設定されます。

注意　CnBRPレジスタは，初期化モードのときのみライト・アクセス可能です。

リセット時：FFH　　R/W　アドレス：C0BRP　03FEC05AH, C1BRP　03FEC65AH

	7	6	5	4	3	2	1	0
CnBRP	TQPRS7	TQPRS6	TQPRS5	TQPRS4	TQPRS3	TQPRS2	TQPRS1	TQPRS0

TQPRS7-TQPRS0	CANプロトコル・レイヤ基本システム・クロック（f_{TQ}）
0	f_{CANMOD}/1
1	f_{CANMOD}/2
n	f_{CANMOD}/(n+1)
.....	.....
255	f_{CANMOD}/256（初期値）

図14－25　CANモジュールのクロック

備考　f_{CAN}：CANへの供給クロック　= f_{XX}

f_{CANMOD}：CANモジュール・システム・クロック

f_{TQ}：CANプロトコル・レイヤ基本システム・クロック

(13) CANモジュール・ビット・レート・レジスタ（CnBTR）

CnBTRレジスタは，通信ボー・レートのデータ・ビット・タイムを制御します。

(1/2)

リセット時：370FH　　R/W　**アドレス：**C0BTR　03FEC05CH, C1BTR　03FEC65CH

	15	14	13	12	11	10	9	8
CnBTR	0	0	SJW1	SJW0	0	TSEG22	TSEG21	TSEG20
	7	6	5	4	3	2	1	0
	0	0	0	0	TSEG13	TSEG12	TSEG11	TSEG10

図14－26　データ・ビット・タイム

(2/2)

SJW1	SJW0	同期ジャンプ幅の長さ
0	0	1TQ
0	1	2TQ
1	0	3TQ
1	1	4TQ（初期値）

TSEG22	TSEG21	TSEG20	タイム・セグメント2の長さ
0	0	0	1TQ
0	0	1	2TQ
0	1	0	3TQ
0	1	1	4TQ
1	0	0	5TQ
1	0	1	6TQ
1	1	0	7TQ
1	1	1	8TQ（初期値）

TSEG13	TSEG12	TSEG11	TSEG10	タイム・セグメント1の長さ
0	0	0	0	設定禁止
0	0	0	1	2TQ注
0	0	1	0	3TQ注
0	0	1	1	4TQ
0	1	0	0	5TQ
0	1	0	1	6TQ
0	1	1	0	7TQ
0	1	1	1	8TQ
1	0	0	0	9TQ
1	0	0	1	10TQ
1	0	1	0	11TQ
1	0	1	1	12TQ
1	1	0	0	13TQ
1	1	0	1	14TQ
1	1	1	0	15TQ
1	1	1	1	16TQ（初期値）

注　CnBRPレジスタ = 00Hの場合は，本設定は使用できません。

備考　TQ = 1/f_{TQ}（f_{TQ}：CANプロトコル・レイヤ基本システム・クロック）

（14）CANモジュール最終受信ポインタ・レジスタ（CnLIPT）

CnLIPTレジスタは，最後に受信格納したメッセージ・バッファ番号を示します。

リセット時：不定　　R　　アドレス：C0LIPT　03FEC05EH, C1LIPT　03FEC65EH

	7	6	5	4	3	2	1	0
CnLIPT	LIPT7	LIPT6	LIPT5	LIPT4	LIPT3	LIPT2	LIPT1	LIPT0

LIPT7-LIPT0	最終受信ポインタ・レジスタ（CnLIPT）
0.....31	CnLIPTレジスタをリードすると，受信ヒストリ・リストの最終受信ポインタ（LIPT）でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に受信格納されたメッセージ・バッファ番号が得られます。

備考　メッセージ・バッファにデータ・フレームまたはリモート・フレームが一度も受信格納されていない場合は，CnLIPTレジスタの読み出し値は不定です。したがって，初期化モードから任意の動作モードに移行後にCnRGPTレジスタのRHPMビットがセット（1）されている場合には，CnLIPTレジスタの読み出し値は不定となります。

(15) CANモジュール受信ヒストリ・リスト・レジスタ（CnRGPT）

CnRGPTレジスタは，受信ヒストリ・リストを読み出すためのレジスタです。

(1/2)

リセット時：xx02H　　R/W　**アドレス：**C0RGPT　03FEC060H, C1RGPT　03FEC660H

(a) リード時

	15	14	13	12	11	10	9	8
CnRGPT	RGPT7	RGPT6	RGPT5	RGPT4	RGPT3	RGPT2	RGPT1	RGPT0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	RHPM	ROVF

(b) ライト時

	15	14	13	12	11	10	9	8
CnRGPT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear ROVF

(a) リード時

RGPT7-RGPT0	受信ヒストリ・リスト読み出しポインタ
0.....31	CnRGPTレジスタをリードすると，受信ヒストリ・リストの読み出しポインタ（RGPT）でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが受信格納されたメッセージ・バッファ番号が得られます。

RHPM[注1]	受信ヒストリ・リストのポインター致
0	受信ヒストリ・リストには，少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	受信ヒストリ・リストには，リードされていないメッセージ・バッファ番号がありません。

ROVF[注2]	受信ヒストリ・リスト・オーバフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを受信格納したメッセージ・バッファ番号はすべて受信ヒストリ・リストに記録されます（受信ヒストリ・リストに空きのエレメントが存在します）。
★ 1	ホスト・プロセッサが受信ヒストリ・リスト（RHL）を最後に使用（たとえば，CnRGPTレジスタの読み込みなど）してから少なくとも23個のエントリが格納されています。 ROVFビットがセットされていると，すべてのメッセージ・バッファ番号はLIPT－1に格納されるため，最初の22個のエントリは順番に格納されていますが，最後のエントリは新たなメッセージを受信格納するたびに上書きされます。したがって，受信した順番を完全に回復することができません。

注 1.　RHPM = 1のとき，RGPT0-RGPT7のリード値は無効です。

★ 2.　ROVFビットがセット（1）されている状態で，CnRGPTレジスタによりすべての受信履歴が読み出されている場合，RHPMビットは新たな受信格納があってもクリア（0）されずセット（1）されたままになります。

(2/2)

(b) ライト時

Clear ROVF	ROVFビットの設定
0	ROVFビットの変更なし
1	ROVFビットをクリア（0）する

(16) CANモジュール最終送信ポインタ・レジスタ（CnLOPT）

CnLOPTレジスタは，最後に送信したメッセージ・バッファ番号を示します。

リセット時：不定　　R　　アドレス：C0LOPT　03FEC062H, C1LOPT　03FEC662H

	7	6	5	4	3	2	1	0
CnLOPT	LOPT7	LOPT6	LOPT5	LOPT4	LOPT3	LOPT2	LOPT1	LOPT0

LOPT7-LOPT0	送信ヒストリ・リストの最終送信ポインタ（LOPT）
0.....31	CnLOPTレジスタをリードすると，送信ヒストリ・リストの最終送信ポインタ（LOPT）でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に送信されたメッセージ・バッファ番号が得られます。

備考　メッセージ・バッファからデータ・フレームまたはリモート・フレームが一度も送信されていない場合は，CnLOPTレジスタの読み出し値は不定です。したがって，初期化モードから任意の動作モードに移行後にTHPMビットがセット（1）されている場合には，CnLOPTレジスタの読み出し値は不定となります。

(17) CANモジュール送信ヒストリ・リスト・レジスタ（CnTGPT）

CnTGPTレジスタは，送信ヒストリ・リストを読み出すためのレジスタです。

(1/2)

リセット時：xx02H　　R/W　**アドレス：**C0TGPT　03FEC064H, C1TGPT　03FEC664H

(a) リード時

	15	14	13	12	11	10	9	8
CnTGPT	TGPT7	TGPT6	TGPT5	TGPT4	TGPT3	TGPT2	TGPT1	TGPT0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	THPM	TOVF

(b) ライト時

	15	14	13	12	11	10	9	8
CnTGPT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear TOVF

(a) リード時

TGPT7-TGPT0	送信ヒストリ・リスト読み出しポインタ
0.....31	CnTGPTレジスタをリードすると，送信ヒストリ・リストの読み出しポインタ（TGPT）でインデクスされるエレメントの内容が読み出されます。これにより，データ・フレームまたはリモート・フレームが送信されたメッセージ・バッファ番号が得られます。

THPM[注1]	送信ヒストリ・リストのポインター致
0	送信ヒストリ・リストには，少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	送信ヒストリ・リストには，リードされていないメッセージ・バッファ番号がありません。

TOVF[注2]	送信ヒストリ・リスト・オーバフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを送信完了したメッセージ・バッファ番号はすべて送信ヒストリ・リストに記録されます（送信ヒストリ・リストに空きのエレメントが存在します）。
1	ホスト・プロセッサが送信ヒストリ・リスト（THL）を最後に使用（たとえば，CnTGPTレジスタの読み込みなど）してから少なくとも7個のエントリが格納されています。TOVFビットがセットされていると，すべてのメッセージ・バッファ番号はLOPT－1に格納されるため，最初の6個のエントリは順番に格納されていますが，最後のエントリは新たなメッセージの送信が完了するたびに上書きされます。したがって，送信した順番を完全に回復することができません。

注 1.　THPM = 1のとき，TGPT0-TGPT7のリード値は無効です。

2.　TOVFビットがセット（1）されている状態で，CnTGPTレジスタによりすべての送信履歴が読み出されている場合，THPMビットは新たな送信完了があってもクリア（0）されずセット（1）されたままになります。

備考　ABT付き通常動作モードでは，メッセージ・バッファ0-7からの送信は送信ヒストリ・リストには記録されません。

(2/2)

(b) ライト時

Clear TOVF	ROVFビットの設定
0	TOVFビットの変更なし
1	TOVFビットをクリア（0）する

(18) CANモジュール・タイム・スタンプ・レジスタ（CnTS）

CnTSレジスタは，タイム・スタンプ機能を制御します。

(1/2)

リセット時：0000H　　R/W　アドレス：C0TS　03FEC066H, C1TS　03FEC666H

(a) リード時

	15	14	13	12	11	10	9	8
CnTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	TSLOCK	TSSEL	TSEN

(b) ライト時

	15	14	13	12	11	10	9	8
CnTS	0	0	0	0	0	Set TSLOCK	Set TSSEL	Set TSEN
	7	6	5	4	3	2	1	0
	0	0	0	0	0	Clear TSLOCK	Clear TSSEL	Clear TSEN

★ **備考**　ABT付き通常動作モードの場合は，タイム・スタンプ機能のロック機能を使用することができません。

(a) リード時

TSLOCK	タイム・スタンプのロック機能許可ビット
0	タイム・スタンプのロック機能停止 選択されたタイム・スタンプ・キャプチャ・イベントごとにTSOUT信号がトグルします。
1	タイム・スタンプのロック機能許可 選択されたタイム・スタンプ・キャプチャ・イベントごとにTSOUT信号がトグルします。 ただし，メッセージ・バッファ0にデータ・フレームが正常に格納されたあとは，TSOUT信号の出力がロックされます注。

★

注　TSENビットは自動的にクリア（0）されます。

TSSEL	タイム・スタンプ・キャプチャ・イベント選択ビット
0	タイム・スタンプ・キャプチャ・イベントはSOFです。
1	タイム・スタンプ・キャプチャ・イベントはEOFの最終ビットです。

TSEN	TSOUT動作設定ビット
0	TSOUTトグル動作禁止
1	TSOUTトグル動作許可

(2/2)

★ **備考**　TSOUT信号はCANコントローラからタイマへ出力されます。詳細については第7章　16ビット・タイマ／イベント・カウンタPを参照してください。

(b) ライト時

Set TSLOCK	Clear TSLOCK	TSLOCKビットの設定
0	1	TSLOCKビットをクリア（0）する
1	0	TSLOCKビットをセット（1）する
上記以外		TSLOCKビットの変更なし

Set TSSEL	Clear TSSEL	TSSELビットの設定
0	1	TSSELビットをクリア（0）する
1	0	TSSELビットをセット（1）する
上記以外		TSSELビットの変更なし

Set TSEN	Clear TSEN	TSENビットの設定
0	1	TSENビットをクリア（0）する
1	0	TSENビットをセット（1）する
上記以外		TSENビットの変更なし

（19）CANメッセージ・データ・バイト・レジスタ（CnMDATA x m）（x = 0-7）

CnMDATAxmレジスタは，送受信メッセージのデータを格納します。CnMDATAzmレジスタは，CnMDATAxmレジスタを16ビット単位でアクセス可能なレジスタです。

（1/2）

リセット時：不定　　R/W　アドレス：表14－16を参照してください。

CnMDATA01m

15	14	13	12	11	10	9	8
MDATA01 15	MDATA01 14	MDATA01 13	MDATA01 12	MDATA01 11	MDATA01 10	MDATA01 9	MDATA01 8
7	6	5	4	3	2	1	0
MDATA01 7	MDATA01 6	MDATA01 5	MDATA01 4	MDATA01 3	MDATA01 2	MDATA01 1	MDATA01 0

CnMDATA0m

7	6	5	4	3	2	1	0
MDATA0 7	MDATA0 6	MDATA0 5	MDATA0 4	MDATA0 3	MDATA0 2	MDATA0 1	MDATA0 0

CnMDATA1m

7	6	5	4	3	2	1	0
MDATA1 7	MDATA1 6	MDATA1 5	MDATA1 4	MDATA1 3	MDATA1 2	MDATA1 1	MDATA1 0

CnMDATA23m

15	14	13	12	11	10	9	8
MDATA23 15	MDATA23 14	MDATA23 13	MDATA23 12	MDATA23 11	MDATA23 10	MDATA23 9	MDATA23 8
7	6	5	4	3	2	1	0
MDATA23 7	MDATA23 6	MDATA23 5	MDATA23 4	MDATA23 3	MDATA23 2	MDATA23 1	MDATA23 0

CnMDATA2m

7	6	5	4	3	2	1	0
MDATA2 7	MDATA2 6	MDATA2 5	MDATA2 4	MDATA2 3	MDATA2 2	MDATA2 1	MDATA2 0

CnMDATA3m

7	6	5	4	3	2	1	0
MDATA3 7	MDATA3 6	MDATA3 5	MDATA3 4	MDATA3 3	MDATA3 2	MDATA3 1	MDATA3 0

CnMDATA45m

15	14	13	12	11	10	9	8
MDATA45 15	MDATA45 14	MDATA45 13	MDATA45 12	MDATA45 11	MDATA45 10	MDATA45 9	MDATA45 8
7	6	5	4	3	2	1	0
MDATA45 7	MDATA45 6	MDATA45 5	MDATA45 4	MDATA45 3	MDATA45 2	MDATA45 1	MDATA45 0

CnMDATA4m

7	6	5	4	3	2	1	0
MDATA4 7	MDATA4 6	MDATA4 5	MDATA4 4	MDATA4 3	MDATA4 2	MDATA4 1	MDATA4 0

CnMDATA5m

7	6	5	4	3	2	1	0
MDATA5 7	MDATA5 6	MDATA5 5	MDATA5 4	MDATA5 3	MDATA5 2	MDATA5 1	MDATA5 0

(2/2)

CnMDATA67m

15	14	13	12	11	10	9	8
MDATA67 15	MDATA67 14	MDATA67 13	MDATA67 12	MDATA67 11	MDATA67 10	MDATA67 9	MDATA67 8

7	6	5	4	3	2	1	0
MDATA67 7	MDATA67 6	MDATA67 5	MDATA67 4	MDATA67 3	MDATA67 2	MDATA67 1	MDATA67 0

CnMDATA6m

7	6	5	4	3	2	1	0
MDATA6 7	MDATA6 6	MDATA6 5	MDATA6 4	MDATA6 3	MDATA6 2	MDATA6 1	MDATA6 0

CnMDATA7m

7	6	5	4	3	2	1	0
MDATA7 7	MDATA7 6	MDATA7 5	MDATA7 4	MDATA7 3	MDATA7 2	MDATA7 1	MDATA7 0

(20) CANメッセージ・データ長レジスタm（CnMDLCm）

CnMDLCmレジスタは，メッセージ・バッファのデータ・フィールドのバイト数を設定します。

リセット時：0000xxxxB　　R/W　アドレス：表14－16を参照してください。

	7	6	5	4	3	2	1	0
CnMDLCm	0	0	0	0	MDLC3	MDLC2	MDLC1	MDLC0

MDLC3	MDLC2	MDLC1	MDLC0	送受信メッセージのデータ長
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
1	0	0	1	設定禁止 （送信時に設定した場合，データ・フレームの送信では設定したDLC値に関わらず8バイトのデータが送信されます。ただし，実際にCANバスに送信されるDLCはこのレジスタに設定したDLC値になります）注。
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

注　CANバス上に実際に送信されるデータとDLC値は以下のとおりです。

送信フレーム種類	送信されるデータの長さ	送信されるDLC
データ・フレーム	DLCで指定されたバイト数 （ただしDLC≧8の場合は8バイト）	MDLC[3:0]
リモート・フレーム	0バイト	

注意 1.　ビット7-4には必ず0000Bを設定してください。

★　2.　メッセージ受信時には，受信フレームのDLCに対応するバイト数（ただし，8が上限）分のCnMDATAxに受信データが格納されます。データが格納されなかったCnMDATAxは不定です。

（21）CANメッセージ・コンフィギュレーション・レジスタm（CnMCONFm）

CnMCONFmレジスタは，メッセージ・バッファのタイプとマスク設定の指定を行います。

（1/2）

リセット時：不定　　R/W　　アドレス：表14－16を参照してください。

	7	6	5	4	3	2	1	0
CnMCONFm	OWS	RTR	MT2	MT1	MT0	0	0	MA0

OWS	オーバライト制御ビット
0	すでに受信しているメッセージ・バッファ注に対して，新しく受信したデータ・フレームは上書きしません。新しく受信したデータ・フレームは破棄されます。
1	すでに受信しているメッセージ・バッファに対して，新しく受信したデータ・フレームを上書きします。

注　“すでに受信しているメッセージ・バッファ”とは，DNビットがセット（1）されている受信メッセージ・バッファを意味します。

備考　リモート・フレームの受信格納に際しては，OWSおよびDNの設定には依存せず，その他の条件が合致（IDが一致，RTR = 0，TRQ = 0）したリモート・フレームは必ず該当するメッセージ・バッファに受信格納（割り込み生成，DNフラグのセット，MDLC [3:0]ビットの更新，および受信ヒストリ・リストへの記録）されます。

RTR	リモート・フレームの要求ビット注
0	データ・フレーム送信
1	リモート・フレーム送信

注　RTRビットは，送信メッセージ・バッファとして定義されたメッセージ・バッファから送信されるメッセージ・フレームの種類を指定します。
有効なリモート・フレームを受信しても，受信した送信メッセージ・バッファのRTRはクリア（0）されたままです。
リモート・フレーム送信のために送信メッセージ・バッファのRTRビットをセット（1）した状態で，CANバスからIDが合致するリモート・フレームを受信した場合でも，そのリモート・フレームの受信格納（割り込み生成，DNフラグのセット，MDLC [3:0]ビットの更新および受信ヒストリ・リストへの記録）は行われません。

MT2	MT1	MT0	メッセージ・バッファ・タイプ設定ビット
0	0	0	送信メッセージ・バッファ
0	0	1	受信メッセージ・バッファ（マスク設定なし）
0	1	0	受信メッセージ・バッファ（マスク1設定）
0	1	1	受信メッセージ・バッファ（マスク2設定）
1	0	0	受信メッセージ・バッファ（マスク3設定）
1	0	1	受信メッセージ・バッファ（マスク4設定）
上記以外			設定禁止

(2/2)

MA0	メッセージ・バッファの割り付けビット
0	メッセージ・バッファを使用しない
1	メッセージ・バッファを使用する

注意　ビット2, 1には，必ず0を書き込んでください。

(22) CANメッセージIDレジスタm（CnMIDLm, CnMIDHm）

CnMIDLm, CnMIDHmレジスタは，アイデンティファイア（ID）を設定します。

リセット時：不定　　R/W　　アドレス：表14－16を参照してください。

	15	14	13	12	11	10	9	8
CnMIDLm	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8
	7	6	5	4	3	2	1	0
	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0

	15	14	13	12	11	10	9	8
CnMIDHm	IDE	0	0	ID28	ID27	ID26	ID25	ID24
	7	6	5	4	3	2	1	0
	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16

IDE	フォーマット・モード指定ビット
0	標準フォーマット・モード（ID28-ID18：11ビット）注
1	拡張フォーマット・モード（ID28-ID0：29ビット）

注　ID17-ID0ビットは使用されません。

ID28-ID0	メッセージID
ID28-ID18	11ビットの標準ID値（IDE = 0のとき）
ID28-ID0	29ビットの拡張ID値（IDE = 1のとき）

注意 1.　CnMIDHmレジスタのビット14，13には，必ず0を書き込んでください。

★　2.　必ず，このレジスタに与えられたビット位置に従って登録するID値を並べてください。
標準IDに関してID値はID28からID18のビット位置をシフトしてください。

(23) CANメッセージ制御レジスタm（CnMCTRLm）

CnMCTRLmレジスタは，メッセージ・バッファの動作を制御します。

(1/3)

リセット時：00x00000　　R/W　アドレス：表14－16を参照してください。
000xx000B

(a) リード時

	15	14	13	12	11	10	9	8
CnMCTRLm	0	0	MUC	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	MOW	IE	DN	TRQ	RDY

(b) ライト時

	15	14	13	12	11	10	9	8	
CnMCTRLm	0	0	0	0	Set IE	0	Set TRQ	Set RDY	0FH
	7	6	5	4	3	2	1	0	
	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY	0EH

(a) リード時

MUC注	メッセージ・バッファへのデータ更新中ビット
0	CANモジュールによるメッセージ・バッファの更新（受信格納）中ではありません。
1	CANモジュールによるメッセージ・バッファの更新（受信格納）中です。

注　MUCビットは最初の受信格納が行われるまで不定です。

MOW	メッセージ・バッファ・オーバライト・ステータス・ビット
0	メッセージ・バッファは，新しく受信したデータ・フレームによって上書きされていません。
1	メッセージ・バッファは，新しく受信したデータ・フレームによって上書きされています。

備考　DN = 1の送信メッセージ・バッファに対してリモート・フレームを受信格納しても，MOWはセット（1）されません。

IE	メッセージ・バッファ割り込み要求許可ビット
0	受信用メッセージ・バッファのとき：有効なメッセージ受信完了割り込み禁止 送信用メッセージ・バッファのとき：正常なメッセージ送信完了割り込み禁止
1	受信用メッセージ・バッファのとき：有効なメッセージ受信完了割り込み許可 送信用メッセージ・バッファのとき：正常なメッセージ送信完了割り込み許可

DN	メッセージ・バッファ・データ更新ビット
0	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されていません。
1	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されています。

(2/3)

TRQ	メッセージ・バッファ送信要求ビット
0	メッセージ・バッファ内に保留中または送信中のメッセージ・フレーム送信要求はありません。
1	メッセージ・バッファは，メッセージ・フレームの送信保留中または送信中です。

★ **注意**　TRQ ビットと RDY ビットを同時にセット（1）しないでください。TRQ ビットをセット（1）する場合は，事前に RDY ビットを必ずセット（1）してください。

RDY	メッセージ・バッファ準備ビット
0	ソフトウエアによりメッセージ・バッファに書き込みできます。CANモジュールはメッセージ・バッファに書き込みができません。
1	ソフトウエアによるメッセージ・バッファへの書き込みは無視されます（RDYビット，TRQビット，DNビットおよびMOWビットへのライト・アクセスを除く）。CANモジュールはメッセージ・バッファに書き込みが可能です。

注意 1.　メッセージ送信中に，RDY ビットをクリア（0）しないでください。再定義のための RDY ビットのクリアは，送信中断処理に従ってください。

★ 2.　RDY ビットのクリア処理を行ってもクリアされていない場合は，もう一度クリア処理を行ってください。

★ 3.　他のメッセージ・バッファ・レジスタに書き込む前に，RDY ビットのステータスを確認することにより，RDY ビットがクリア（0）されたことを確認してください。

(b) ライト時

Clear MOW	MOWビットの設定
0	MOWビットの変更なし
1	MOWビットをクリア（0）する

Set IE	Clear IE	IEビットの設定
0	1	IEビットをクリア（0）する
1	0	IEビットをセット（1）する
上記以外		IEビットの変更なし

★ **注意**　IEビットの設定とRDYビットの設定は，常に別々に行ってください。

Clear DN	DNビットの設定
1	DNビットをクリア（0）する
0	DNビットの変更なし

注意　ソフトウエアにより，DNビットをセット（1）しないでください。ビット10には，必ず0を書き込んでください。

Set TRQ	Clear TRQ	TRQビットの設定
0	1	TRQビットをクリアする　(0)
1	0	TRQビットをセット（1）する
上記以外		TRQビットの変更なし

(3/3)

Set RDY	Clear RDY	RDYビットの設定
0	1	RDYビットをクリア（0）する
1	0	RDYビットをセット（1）する
上記以外		RDYビットの変更なし

★ **注意**　TRQビットの設定とRDYビットの設定は，常に別々に行ってください。

14. 8　CANコントローラの初期化処理

14. 8. 1　CANモジュールの初期化

CANモジュールの動作を許可する前に，ソフトウエアによりCnGMCSレジスタのCCP［3:0］ビットを設定し，CANモジュール・システム・クロックを決める必要があります。CANモジュール・システム・クロックの設定は，CANモジュールの動作が許可されたあとは変更できません。

★　CANモジュールは，CnGMCTRLレジスタのGOMビットをセット（1）することで動作を許可します。初期化処理手順については，14. 16　CANコントローラの動作を参照してください。

14. 8. 2　メッセージ・バッファの初期化

CANモジュールの動作を許可したあと，メッセージ・バッファの値が不定のものがあります。初期化モードから任意の動作モードに移行する前に，すべてのメッセージ・バッファに対して初期化をしてください。アプリケーションで使用しないメッセージ・バッファに対しても次の設定を行ってください。

- CnMCTRLmレジスタのRDYビット，TRQビット，DNビットをクリア（0）する。
- CnMCONFmレジスタのMA0ビットをクリア（0）する。

備考　n = 0, 1
m = 0-31

14. 8. 3　メッセージ・バッファの再定義

メッセージ・バッファの再定義とは，メッセージ受信中または送信中に他の送受信動作に影響を与えることなく，メッセージ・バッファのIDや制御情報を変更することをいいます。

(1) 初期化モード中にメッセージ・バッファの再定義を行う場合

一度，初期化モードに移行し，初期化モード中にメッセージ・バッファのIDや制御情報を変更してください。メッセージ・バッファの変更後，任意の動作モードに移行してください。

(2) 受信中にメッセージ・バッファの再定義を行う場合

図14－39にしたがって処理してください。

(3) 送信中にメッセージ・バッファの再定義を行う場合

送信要求がセットされている送信メッセージ・バッファの内容を書き換える場合には，送信中断処理（14. 10. 4（1）　自動ブロック送信機能（ABT）付き通常動作モード以外での送信中断処理，14. 10. 4（2）　自動ブロック送信機能（ABT）付き通常動作モードでのABT送信以外の送信中断処理参照）を行い，送信が中断されたこと，あるいは送信が完了したことを確認したあとにメッセージ・バッファの再定義を行ってください。送信メッセージ・バッファの再定義後に送信要求をセットする場合は，次の処理手順にしたがって処理してください。ただし，送信中断処理を伴わない再定義を行った送信メッセージ・バッファに対して送信要求をセットする場合には，1ビット分のウエイトは必要ありません。

図14－27　送信メッセージ・バッファの再定義後の送信要求（TRQ）の設定

注意1.　メッセージ受信時には，各受信メッセージ・バッファに設定されたIDおよびマスク設定にもとづいて受信フィルタリングが行われます。図14－39の手順に従わなかった場合には，メッセージ・バッファの再定義後の内容と受信結果（受信フィルタリング結果）が矛盾する場合があります。
そのような場合は，メッセージ・バッファの再定義後に該当するメッセージ・バッファの最初の受信格納時に格納されているIDおよびIDEが再定義後の内容であることを確認してください。再定義後のIDおよびIDEが格納されていない場合は，再度メッセージ・バッファの再定義を行ってください。

2.　メッセージ送信時には，送信要求がセットされている各送信メッセージ・バッファに設定されたID, IDEおよびRTRビットにもとづいて送信優先順位判定を行い，最高位の優先順位をもつ送信メッセージ・バッファを選択して送信が行われます。図14－27の手順に従わなかった場合には，再定義後のIDが最高位のIDではないメッセージが送信される場合があります。

14. 8. 4　動作モードへの移行

CANモジュールは，次の動作モードに切り替えることができます。

- 通常動作モード
- ABT付き通常動作モード
- 受信オンリー・モード
- シングル・ショット・モード
- セルフ・テスト・モード

図14－28　動作モードへの移行

初期化モードから動作モードへの移行は，CnCTRLレジスタのOPMODE [2:0]ビットで設定します。

ある動作モードから別の動作モードに移行するには，一度初期化モードに移行する必要があります。直接，ある動作モードから別の動作モードに移行しないでください。直接，動作モードを移行した場合の動作保証はいたしません。

動作モードから初期化モードへの移行要求は，CANバスがインタフレーム・スペースでないとき（フレーム受信または送信が実行中）は保留され，インタフレーム・スペースの1ビット目に初期化モードへ移行します（OPMODE [2:0]ビットの値が000Bに変化します）。初期化モードへの移行要求のあとには，OPMODE [2:0]ビットが000Bになるまで，OPMODE [2:0]ビットをリードして，初期化モードへ移行したことを確認してください（図14－37参照）。

備考　n = 0, 1

14. 8. 5　CANモジュールのエラー・カウンタCnERCのリセット

再初期化やバスオフ強制復帰の際に，CANモジュール・エラー・カウンタCnERCと，CANモジュール情報レジスタCnINFOをリセットする必要がある場合には，初期化モード中にCnCTRLレジスタのCCERCビットをセット（1）してください。CCERCビットをセット（1）すると，CANモジュール・エラー・カウンタCnERCとCANモジュール情報レジスタCnINFOは初期値にクリアされます。

備考　n = 0, 1

14. 9　メッセージ受信

14. 9. 1　メッセージ受信

★　すべての動作モードにおいて，新規受信メッセージを格納するため，一致するバッファを全メッセージ・バッファ領域に対し，検索します。次の条件を満たすすべてのメッセージ・バッファがその検索に含まれます。

・メッセージ・バッファとして使用している。
　（CnMCONFmレジスタのMA0ビットを1Bに設定）
・受信用メッセージ・バッファとして設定している。
　（CnMCONFmレジスタのMT [2:0]ビットを001B, 010B, 011B, 100B, 101Bに設定）
・受信準備ができている。
　（CnMCTRLmレジスタのRDYビットがセット（1）されている）

複数のメッセージ・バッファにメッセージを受信した場合，受信メッセージの格納優先順位は次のようになります。メッセージは，必ず優先順位の高い受信メッセージ・バッファに格納されます。優先順位の低い受信メッセージ・バッファには格納されません。たとえば，マスクされていない受信メッセージ・バッファとマスク1にリンクした受信メッセージ・バッファに同一IDが設定されていた場合，マスクされていない受信メッセー
★　ジ・バッファがすでにメッセージを受信していたとしても，メッセージを受信していないマスク1にリンクした受信メッセージ・バッファには受信メッセージの格納はしません。つまり2つ以上の優先順位の異なるメッセージ・バッファで格納する条件が整った場合には，必ず優先順位の高いメッセージ・バッファが受信格納対象となり優先順位の低いメッセージ・バッファは受信格納対象とはなりません。これは優先順位の高いメッセージ・バッファが受信格納できない条件（たとえば，OWS = 0により上書き禁止ですでに受信しているDN = 1の場合など）でも同様です。この場合，受信格納候補である優先順位の高いメッセージ・バッファには実際格納されませんが，それだからといって優先順位の低いメッセージ・バッファに格納されることはありません。

優先順位	同一IDを設定した場合の格納条件	
1（高）	マスクされていないメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1
2	マスク1とリンクしたメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1
3	マスク2とリンクしたメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1
4	マスク3とリンクしたメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1
5（低）	マスク4とリンクしたメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1

備考　n = 0, 1
　　m = 0-31

★　14. 9. 2　受信データの読み出し

ソフトウエアによりCANメッセージ・バッファから一貫してデータを読み出す必要がある場合には，図14－49〜14－51の推奨処理手順で行ってください。

メッセージ受信中，CANモジュールはCnMCTRLmレジスタのDNビットをメッセージ・バッファへのデータの格納処理の始まりと，この格納処理の終わりに2回セット（1）します。この格納処理の間，メッセージ・バッファのCnMCTRLmレジスタのMUCビットはセット（1）されています（図14－29参照）。

データ格納が完了する前には受信ヒストリ・リストへの書き込みが行われます。またこのデータ格納期間（MUC = 1）は，格納対象となっているメッセージ・バッファのCnMCTRLmレジスタのRDYビットはCPUによる書き換えが禁止されています。このデータ格納処理はCPUによるいずれかのメッセージ・バッファへのアクセスにより処理完了が遅れることがあります。

備考　n = 0, 1

m = 0-31

図14－29　DN, MUCビットのセット期間（標準IDフォーマットの場合）

14. 9. 3　受信ヒストリ・リスト機能

受信ヒストリ・リスト機能は，データ・フレームまたはリモート・フレームを受信格納するごとに受信ヒストリ・リスト（RHL）へ受信格納したメッセージ・バッファ番号の記録を行います。RHLは，最大23メッセージ分の格納エレメントと，受信ヒストリ・リスト書き込みポインタ（LIPT）に対応するCnLIPTレジスタ，および受信ヒストリ・リスト読み出しポインタ（RGPT）に対応するCnRGPTレジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後，RHLは不定です。

CnLIPTレジスタは，LIPTポインター1で示されるRHLエレメントの内容を保持しますので，CnLIPTレジスタを読み出すことで最後に受信格納したメッセージ・バッファ番号を知ることができます。LIPTポインタは，RHLにおけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの受信格納が発生すると，対応するメッセージ・バッファ番号がLIPTポインタで示されるRHLエレメントに記録されます。RHLへの記録が完了するごとに，LIPTポインタは自動的にインクリメントされます。このように受信格納を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

RGPTポインタは，記録されたメッセージ・バッファ番号をRHLから読み出す際の読み出しポインタとして機能します。RGPTポインタはCPUがまだ読み出しを行っていない最初のRHLエレメントを示しています。ソフトウエアにより，CnRGPTレジスタを読み出すことにより，受信格納したメッセージ・バッファの番号を読み出すことができます。CnRGPTレジスタからメッセージ・バッファ番号を読み出すごとに，RGPTポインタは自動的にインクリメントされます。

RGPTポインタとLIPTポインタが一致した場合には，CnRGPTレジスタのRHPMビット（受信ヒストリ・リスト・ポインター致）がセット（1）されます。RHPMビットがセット（1）されていることで，RHLには読み出していないメッセージ・バッファ番号が残っていないことを知ることができます。また，受信格納に新しくメッセージ・バッファ番号の記録が行われると，LIPTポインタがインクリメントされポインタが一致しなくなり，RHPMビットはクリア（0）されます。つまり，RHL内には未読のメッセージ・バッファ番号が存在することになります。

また，インクリメントされたLIPTポインタがRGPTポインタ–1と一致した場合には，CnRGPTレジスタのROVFビット（受信ヒストリ・リスト・オーバフロー）がセット（1）されます。この状態は，まだ読み出されていないメッセージ・バッファ番号でRHLがフルに記録されている状態を示します。さらに，メッセージの受信格納が新たに発生すると，最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく受信格納したメッセージ・バッファ番号の記録を継続します。その場合，ROVFビットがセット（1）されたあと，RHL
★ に保持しているメッセージ・バッファ番号は完全には時系列にはならなくなります。ただし，受信したメッセージ自体は正しく格納されます。CPU操作による各メッセージ・バッファのDNビットをサーチすることで，受信格納したメッセージ・バッファ番号を特定することができます。

★ **注意**　受信ヒストリ・リストがオーバフローした状態（ROVF = 1）でも，未読の履歴がなくなりRHPMビットがセット（1）されるまで受信履歴を読み出すことが可能です。ただし，ROVFビットはソフトウエアによりクリア（0）されるまではセット（1）された状態（＝オーバフローしている）を継続します。この状態では，ROVFビットがクリア（0）されないかぎり，新たに受信格納が発生して新しい受信履歴が書き込まれた場合でもRHPMビットはクリア（0）されません。したがって，ROVF = 1かつRHPM = 1で受信ヒストリ・リストがオーバフロー状態である場合には，新しい受信格納が発生してもRHPMビットは未読の受信履歴がない状態を示しますので注意してください。

備考　n = 0, 1

★　受信ヒストリ・リストは未読の状態で23個以下の受信履歴を保持している場合には受信格納順は保持されますが，ホスト・プロセッサが読み出しを行わない状態で受信格納された場合には，受信格納順は完全には読み出せないことがあります。

★　**図14－30　受信ヒストリ・リスト**

ROVF = 1の場合は，メッセージ・バッファ番号がLIPT－1で示すエレメントに格納され，LIPTがRGPT－1に等しくなります。

14. 9. 4　マスク機能

★　受信に使用するいくつかのメッセージ・バッファのために，4つのグローバル受信マスクの1つを割り当てるか，またはマスクなしかを選択することができます。

メッセージIDの比較はマスクされたビットにより軽減されるため，1つのバッファの中にいくつかの異なったIDの受信を許容します。

マスク機能が働いているとき，マスクにて“1”と定義されたビットは受信したメッセージのアイデンティファイアとメッセージ・バッファのアイデンティファイアとの比較を行いません。

マスクにて“0”と定義されたビットについては比較を行います。

たとえば，ID27-ID25が“0”，ID24とID22が“1”と設定された標準フォーマットIDを持つすべてのメッセージをメッセージ・バッファ14に格納したい場合，次に示す手順で行ってください。

① メッセージ・バッファに格納したいアイデンティファイア

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x

x = don't care

② メッセージ・バッファ14に設定したアイデンティファイア（例）
（CAN0メッセージIDレジスタL14, H14（C0MIDL14, C0MIDH14）を使用）

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
x	x	x	x	x	x	x	x	x	x	x
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
x	x	x	x	x	x	x				

ID27-ID25が“0”に設定され，ID24とID22が“1”に設定されているIDをメッセージ・バッファ14に登録（初期化）します。

備考　メッセージ・バッファ14をマスク1にリンクする（CnMCONF14レジスタのMT [2:0] = 010Bに設定）標準フォーマット・アイデンティファイアとして設定します。

③　CANモジュール1（マスク1）のマスク設定（例）

（CAN1モジュール・マスク1レジスタL, H（C1MASKL1, C1MASKH1）を使用）

CMID28	CMID27	CMID26	CMID25	CMID24	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18
1	0	0	0	0	1	0	1	1	1	1

CMID17	CMID16	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8	CMID7
1	1	1	1	1	1	1	1	1	1	1

CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
1	1	1	1	1	1	1

1：比較しない（マスクする）
0：比較する

CMID27-CMID24およびCMID22のビットは“0”，CMID28，CMID23，CMID21-CMID0のビットは“1”に設定します。

14.9.5　マルチ・バッファ受信ブロック機能

マルチ・バッファ受信ブロック（MBRB）機能（以下，MBRBと記述）は，同じメッセージ・バッファ・タイプを持つ複数のメッセージ・バッファに同じIDを設定することにより，CPUを介さずにデータ・ブロックとして複数のメッセージ・バッファに順に格納する機能です。

たとえば，メッセージ・バッファ10からメッセージ・バッファ19の10個のメッセージ・バッファが同じメッセージ・バッファ・タイプに設定されていて，さらにそれぞれのメッセージ・バッファに同じIDが設定されている場合には，最初にIDが一致するメッセージを受信した場合，メッセージ・バッファ10に格納します。この時点でメッセージ・バッファ10はDNビットがセットされ，そのメッセージ・バッファに対して上書きが禁止されます。

次に，IDが一致するメッセージを受信した場合，メッセージ・バッファ11に受信格納されます。以降，IDが一致するメッセージを受信するたびにメッセージ・バッファ12, 13,・・・18, 19とメッセージ・バッファの番号順（昇順）に格納されていきます。このように，複数のメッセージからなるデータ・ブロックを受信する場合でも，IDが一致した古い受信データを上書きすることなく，複数のメッセージを受信格納することができます。

また，各メッセージ・バッファのCnMCTRLmレジスタのIEビットを設定することで，データ・ブロックの受信格納の完了を知ることができます。たとえば，データ・ブロックがk個のメッセージで構成されている場合は，データ・ブロック受信用にk個のメッセージ・バッファを初期化します。メッセージ・バッファ0から（k–2）までは，IEビットをクリア（0）しておき（割り込み無効），メッセージ・バッファk–1では，IEビットをセット（1）します（割り込み有効）。この場合，メッセージ・バッファk–1への受信格納が完了した時点で受信完了割り込みを発生させることで，MBRBがフルになったことを知ることができます。あるいは，メッセージ・バッファ0から（k–3）までは，IEビットをクリア（0）しておきメッセージ・バッファk–2のIEビットをセット（1）しておくことで，MBRBがオーバフローしそうであることのワーニングとすることができます。

MBRBにおいても，各メッセージ・バッファの受信データの基本的な格納条件は，単一のメッセージ・バッファに対する格納条件と同じです。

注意1. MBRBは，同一のメッセージ・バッファ・タイプごとに構成することが可能です。したがって，メッセージ・バッファ・タイプが異なるが，IDが一致する他のMBRBのメッセージ・バッファに空きがあった場合でも，そのメッセージ・バッファには格納を行わず，受信メッセージは破棄されます。

2. MBRBは，リング構造をもっていません。したがって，MBRBを構成するメッセージ・バッファ番号が一番大きいメッセージ・バッファへ格納した以降のメッセージに対しては，再び一番小さいメッセージ・バッファから順に格納を行いません。

3. MBRBは,受信格納条件に基づく動作であり,機能有効ビット等のMBRB専用の設定はありません。複数のメッセージ・バッファに対し，同一のメッセージ・バッファ・タイプおよびIDを設定することで自動的にMBRBが構成されます。

4. MBRBにおける「IDが一致する」とは「マスク後のIDの一致する」という意味です。各メッセージ・バッファに設定したIDが必ずしも同一でなくても，マスク・レジスタによるマスク後のIDが一致するものは，IDが一致したものとみなされメッセージの格納対象先のバッファとして扱われます。

5. 各MBRB間の優先順位は，14. 9. 1　メッセージ受信で示す優先順位に従います。

備考　n = 0, 1

m = 0-31

14. 9. 6　リモート・フレーム受信

リモート・フレームの受信時には，すべての動作モードで，次の条件を満たすすべてのメッセージ・バッファに対し，格納すべきかどうかの検索を行います。

- メッセージ・バッファとして使用している。
  （CnMCONFmレジスタのMA0ビットを1Bに設定）
- 送信用メッセージ・バッファとして設定している。
  （CnMCONFmレジスタのMT[2:0]ビットを000Bに設定）
- 受信準備ができている。
  （CnMCTRLmレジスタのRDYビットがセット（1）されている）
- メッセージ送信に設定されている。
  （CnMCONFmレジスタのRTRビットがクリア（0）されている）
- 送信要求が設定されていない。
  （CnMCTRLmレジスタのTRQビットがクリア（1）されている）

上記の条件を満足し，かつ受信したリモート・フレームとIDが合致するメッセージ・バッファに対しては，次の受信格納動作が行われます。

- CnMDLCmレジスタのDLC[3:0]は受信したDLC値を格納します。
- データ領域CnMDATA0m～CnMDATA7mは更新されません（受信前のデータが保存されます）。
- CnMCTRLmレジスタのDNビットがセット（1）されます。
- CnINTSレジスタのCINTS1ビットがセット（1）されます（受信格納するメッセージ・バッファのCnMCTRLmレジスタのIEビットがセット（1）されている場合）。
- 受信完了割り込み（INTCnREC）が出力されます（受信格納するメッセージ・バッファのCnMCTRLmレジスタのIEビットがセット（1）されており，かつCnIEレジスタのCIE1ビットがセット（1）されている場合）。
- メッセージ・バッファ番号を受信ヒストリ・リストに記録します

注意　リモート・フレームの受信におけるメッセージ・バッファ検索および受信格納に際しては，メッセージ・バッファのCnMCONFmレジスタのOWSビットによるオーバライト制御の設定およびCnMCTRLmレジスタのDNビットには影響を受けません。OWSビットの設定は無視され，どんな場合でもDNビットがセット（1）されます。
複数の送信メッセージ・バッファが同一IDを持ち，受信したリモート・フレームのIDが合致した場合には，最小のメッセージ・バッファ番号を持つ送信メッセージ・バッファに格納されます。

備考　n = 0, 1
m = 0-31

14. 10　メッセージ送信

14. 10. 1　メッセージ送信

すべての動作モードで，次の条件を満たすメッセージ・バッファにTRQビットがセット（1）されているとき，送信するメッセージ・バッファの検索を行います。

・メッセージ・バッファとして使用している。
　（CnMCONFmレジスタのMA0ビットを1Bに設定）
・送信用メッセージ・バッファとして設定している。
　（CnMCONFmレジスタのMT [2:0]ビットを000Bに設定）
・送信準備ができている。
　（CnMCTRLmレジスタのRDYビットがセット（1）されている）

CANはマルチ・マスタ方式の通信システムです。このようなシステムでは，メッセージの送信優先順位はメッセージのIDによって決定されます。ソフトウエアによる送信処理を容易にするため，CANモジュールは複数の送信待ちメッセージが存在する場合，有効なメッセージのどれが最高優先順位を持っているのかハードウエアによりIDを検索して自動的に判断します。したがって，ソフトウエアにより優先順位制御を行う必要がありません。

アイデンティファイア（ID）による送信プライオリティ制御を行います。

図14－31　メッセージ処理例

送信メッセージの検索は，保留されている送信要求を持つ送信メッセージ・バッファ（TRQビットがあらかじめセット（1）されたメッセージ・バッファ）のうち，最高位の優先度を持つ送信メッセージが送信されます。

また，新しく送信要求が設定された場合は，新しい送信要求を持つ送信メッセージ・バッファと保留されている送信要求を持つ送信メッセージ・バッファを比較します。新しい送信要求が最高位の優先度を持つ場合，低位の優先度を持つ送信メッセージの送信が開始されていなければ，最高位の優先度を持つ送信メッセージが送信されます。ただし，すでに低位の優先度を持つ送信メッセージの送信が開始されている場合には，新しい
★ 送信要求はあとで送信されます。この優先度の逆転を解決するために，ソフトウエアにより低優先度のメッセージに対し送信中断要求を実行できます。最高位の優先度は，次のように決定されます。

優先順位	条　　件	説　　明
1（高）	IDの先頭11ビットの値 [ID28 : ID18]	IDの先頭11ビットで最小の値を持つメッセージ・フレームが最初に送信されます。11ビット標準IDの値が29ビット拡張IDの先頭11ビットと同一あるいは小さい場合は，11ビット標準IDが29ビット拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
2	フレーム・タイプ	11ビット標準IDを持つデータ・フレーム（RTRビットがクリア（0））は，標準IDを持つリモート・フレームや拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
3	IDタイプ	標準IDを持つメッセージ・フレーム（IDEビットがクリア（0））は，拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
4	IDの下位18ビットの値 [ID17:ID0]	IDの先頭11ビットが同じ値を持ち，フレーム・タイプが同じ（RTRビット値が等しい），拡張IDを持つ2つ以上のメッセージ・フレームが送信保留中の場合，拡張IDの下位18ビットが最小の値を表すメッセージ・フレームが最初に送信されます。
5（低）	メッセージ・バッファ番号	2つ以上のメッセージ・バッファが同じIDを持つメッセージ・フレームの送信要求がある場合に，最小のメッセージ・バッファ番号を持つメッセージ・バッファからのメッセージが最初に送信されます。

備考 1. ABT付き通常動作モードで，自動ブロック送信要求ABTTRGビットをセット（1）した場合，ABTメッセージ・バッファ・グループの1つのメッセージ・バッファのみTRQビットがセット（1）されます。

★ ABT付き通常動作モードでは，ABTTRGビットにより開始されるとABT領域（バッファ0～7）に1つのTRQビットがセットされます。このTRQビット以外に，アプリケーションは，ABT領域以外の送信メッセージ・バッファに対し，送信要求ができます。その場合に内部送信検索処理（TXサーチ）により，検索されたメッセージが次に送信されます。この検索処理は，TRQビットがセットされたすべての送信メッセージ・バッファを検索し，次の送信として最も高い優先順位のアイデンティファイアを含むメッセージ・バッファを選択します。高い優先順位を持つアイデンティファイアが2個またはそれ以上あった場合（たとえば同一IDなど），最も小さいメッセージ・バッファ番号に配置されたメッセージが先に送信されます。

メッセージ・フレームの送信が成功すると，次の動作を行います。

- 対応する送信メッセージ・バッファのTRQビットが自動的にクリア（0）されます。
- CnINTSレジスタの送信完了ステータス・ビットCINTS0がセット（1）されます。
  （対応する送信メッセージ・バッファの割り込み許可ビット（IE）がセット（1）されている場合）
- CnIEレジスタのCIE0ビットをセット（1），かつ対応する送信メッセージ・バッファの割り込み許可ビット（IE）がセット（1）されている場合，INTCnTRXの割り込み要求信号が出力されます。

★ 2. 送信メッセージ・バッファの内容を変更する際は，内容を更新する前にこのバッファのRDYフラグをクリアしなければなりません。内部処理の移行中，RDYフラグが一時的にロックされている可能性があるので，変更後はRDYフラグの状態をソフトウエアにより確認する必要があります。

3. n = 0, 1
   m = 0-31

14. 10. 2　送信ヒストリ・リスト機能

送信ヒストリ・リスト機能は，データ・フレームまたはリモート・フレームを送信するごとに送信ヒストリ・リスト（THL）へメッセージ・バッファ番号の記録を行います。THLは，最大7メッセージ分の格納エレメントと，送信ヒストリ・リスト書き込みポインタ（LOPT）に対応するCnLOPTレジスタおよび送信ヒストリ・リスト読み出しポインタ（TGPT）に対応するCnTGPTレジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後，THLは不定です。

CnLOPTポインタは，LOPTポインタ–1で示されるTHLエレメントの内容を保持しますので，CnLOPTレジスタを読み出すことで一番最後に送信したメッセージ・バッファ番号を知ることができます。LOPTポインタは，THLにおけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの送信完了が発生すると，対応するメッセージ・バッファ番号がLOPTポインタで示されるTHLエレメントに記録されます。THLへの記録が完了するごとに，LOPTポインタは自動的にインクリメントされます。このように送信完了を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

TGPTポインタは，記録されたメッセージ・バッファ番号をTHLから読み出す際の読み出しポインタとして機能します。TGPTポインタはCPUがまだ読み出しを行っていない最初のTHLエレメントを示しています。ソフトウエアにより，CnTGPTレジスタを読み出すことにより，送信完了したメッセージ・バッファの番号を読み出すことができます。CnTGPTレジスタからメッセージ・バッファ番号を読み出すごとに，TGPTポインタは自動的にインクリメントされます。

TGPTポインタとLOPTポインタが一致した場合には，CnTGPTレジスタのTHPMビット（送信ヒストリ・リスト・ポインター致）がセット（1）されます。THPMビットがセット（1）されていることで，THLには読み出していないメッセージ・バッファ番号が残っていないことを知ることができます。また，送信完了により新しくメッセージ・バッファ番号の記録が行われると，LOPTポインタがインクリメントされポインタが一致しなくなり，THPMビットはクリア（0）されます。つまり，THL内には未読のメッセージ・バッファ番号が存在することになります。

また，インクリメントされたLOPTポインタがTGPTポインター1と一致した場合には，CnTGPTレジスタのTOVFビット（送信ヒストリ・リスト・オーバフロー）がセット（1）されます。この状態は，まだ読み出されていないメッセージ・バッファ番号でTHLがフルに記録されている状態を示します。さらに，メッセージの送信完了が新たに発生すると，最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく送信完了したメッセージ・バッファ番号の記録を継続します。その場合，TOVFビットがセット（1）されたあと，THL
★ に保持しているメッセージ・バッファ番号は完全に時系列にはならなくなります。ただし，その場合でもCPUはすべての送信バッファをサーチすることで送信完了したメッセージ・バッファの番号を特定することができます（CPUが送信再設定を行う前に実行）。TOVFに関わらず6つの送信メッセージ・バッファ番号はTHLに保存されます。

★ **注意**　送信ヒストリ・リストがオーバフローした状態（TOVF = 1）でも，未読の履歴がなくなりTHPMビットがセット（1）されるまで送信履歴を読み出すことが可能です。ただし，TOVFビットはソフトウエアによりクリア（0）されるまではセット（1）された状態（＝オーバフローしている）を継続します。この状態では，TOVFビットがクリア（0）されないかぎりは新たに送信完了が発生し新しい送信履歴が書き込まれた場合でもTHPMビットはクリア（0）されません。したがって，TOVF = 1かつTHPM = 1で受信ヒストリ・リストがオーバフロー状態である場合には，新しい送信完了が発生してもTHPMビットは未読の送信履歴がない状態を示しますので注意してください。

備考　n = 0, 1

★ **図14－32　送信ヒストリ・リスト**

TOVF = 1 の場合は，最後に送信完了したバッファ番号が LOPT－1 で示すエレメントに格納され，LOPT が TGPT－1 に等しくなります。

14. 10. 3　自動ブロック送信機能（ABT：Automatic Block Transmission）

自動ブロック送信機能（以下，ABTと記述）は，CPUを介さずに複数のデータ・フレームを連続的に送信することができる機能です。ABT用に割り付けられる送信メッセージ・バッファ数は，メッセージ・バッファ0からメッセージ・バッファ7までの8メッセージ固定です。

ABTは，CnCTRLレジスタのOPMODE [2:0]ビットを010Bに設定することで，“ 自動ブロック送信機能付き通常動作モード ”（以下，ABT付き通常動作モードと記述）に選択できます。

ABTの送信要求を発行する前にソフトウエアにより，メッセージ・バッファを定義してください。ABT用のすべてのメッセージ・バッファに対して，MA0ビットをセット（1）し，さらにMT [2:0]ビットに000Bを設定し送信メッセージ・バッファとして定義してください。ABT用メッセージ・バッファで使用されるIDは，すべて
★ のメッセージ・バッファのIDが同一として使用する場合でも，必ず各メッセージ・バッファにIDを設定してください。また，複数のIDを使用する場合は，CnMIDLm, CnMIDHmレジスタで各メッセージ・バッファのIDを設定して使用してください。CnMDLCmレジスタおよびCnMDATA0m-CnMDATA7mレジスタは，ABTモードでABTの送信要求の発行前に設定してください。

ABT用のメッセージ・バッファの初期化が終了したあとに，RDYビットをセット（1）してください。ABTでは，TRQビットをソフトウエアにより設定する必要はありません。

ABT用のメッセージ・バッファにデータを準備したあと，自動ブロック送信は，ABTTRGビットをセット（1）することで開始されます。ABTが開始されると，最初のメッセージ・バッファ（メッセージ・バッファ0）のTRQビットが自動的にセット（1）され送信が始まります。メッセージ・バッファ0の送信が終了したら，次のメッセージ・バッファ1のTRQビットが自動的にセットされ，以降順次送信を行います。

このとき，連続送信中の送信要求（TRQ）の自動セットをする間隔にプログラマブルで遅延の挿入ができます。挿入する遅延量はCnGMABTDレジスタで設定を行い，単位はDBT（データ・ビット・タイム）です。DBTはCnBRPレジスタおよびCnBTRレジスタで設定される時間に依存します。

★ ABTは，ABT送信バッファ内での送信IDの優先順位の検索は行わず，メッセージ・バッファ0から最大メッセージ・バッファ7まで順に送信し，メッセージ・バッファ7からのデータ・フレームの送信が完了すると，ABTTRGビットは自動的にクリア（0）され，ABT送信が完了します。

ABT送信中に，ABT用メッセージ・バッファの中にRDYビットがクリア（0）されたメッセージ・バッファがあると，そのメッセージ・バッファからの送信を行わずにABT送信を停止しABTTRGビットがクリアされます。その後，ソフトウエアによりRDYビットをセット（1）し，ABTTRGビットをセット（1）することでABT送信を停止したメッセージ・バッファからの送信を再開させることができます。停止したメッセージ・バッファから送信を再開させたくない場合は，ABT送信が停止しABTTRGビットがクリア（0）された状態でABTCLRビットをセット（1）することで内部のABT送信エンジンをリセットすることができます。この場合，ABTCLRビットをクリア（0）後，ABTTRGビットをセット（1）するとメッセージ・バッファ0から送信を開始します。

ABT用のすべてのメッセージ・バッファからデータ・フレームが送信されたことを確認するためには割り込みを使用できます。このとき，最後のメッセージ・バッファ以外のCnMCTRLmレジスタのIEビットをクリア（0）しておく必要があります。

ABT用メッセージ・バッファ以外の送信メッセージ・バッファ（メッセージ・バッファ8～バッファ31）が送信メッセージ・バッファに割り付けられている場合は，現在送信が保留されているABT用メッセージ・バッファ
★ の送信IDとそれらABT用メッセージ・バッファ以外の送信メッセージ・バッファの間の優先順位判定により，最終的に送信されるメッセージの優先順位が決定されます。

ABT用メッセージ・バッファからのデータ・フレームの送信は，送信ヒストリ・リスト（THL）に記録されません。

注意1. ABT付き通常動作モードをメッセージ・バッファ0から再開するためには，ABTCLRビットは
★ ABTTRGビットがクリア（0）されている状態でセット（1）してください。ABTTRGビットがセット（1）されている状態で，ABTCLRビットをセット（1）した場合には，以降の動作を保証しません。

2. ABTCLRビットのセット（1）による自動ブロック送信エンジンのクリアは，クリア要求の処理が
★ 完了した時点でABTCLRビットがただちに自動的にクリア（0）されることで確認できます。

3. 初期化モード中にはABTTRGビットを設定しないでください。初期化モード中にABTTRGビットを設定した場合，初期化モードからABTモードへの移行後の正常動作は保証いたしません。

4. ABT付き通常動作モードでは，ABT用メッセージ・バッファのTRQビットはソフトウエアでセット（1）しないでください。セットした場合には動作は保証いたしません。

5. CnGMABTDレジスタは，ABTモードにおいて順次送信するABT用の各メッセージに対しメッセージ番号順に送信要求をセットする際の，前ABTメッセージの送信完了から，次のABTメッセージのTRQビットのセットまでの期間に挿入される遅延量を設定するものです。実際にCANバス上に送信されるタイミングは，他局からの送信状況あるいはABTメッセージ以外のメッセージ（メッセージ・バッファ8～バッファ31）に対する送信要求の設定状況に依存して変化します。

6. ABTメッセージ以外のメッセージに対して送信要求を設定した場合に，かつABT送信による送信要求の自動セットの間隔に遅延が挿入されない場合（CnGMABTD = 00H）でも，ABTメッセージ
★ 以外のメッセージがABTメッセージとの優先順位の高低によらず送信されることがあります。

7. ABTTRG = 1の状態で，RDYビットをクリア（0）しないでください。

★ 8. ABT付き通常動作モード時，他ノードからメッセージを受信した場合，CnGMABTDレジスタ = 00Hの設定時でも1フレーム分待ってからABTメッセージを送信する場合があります。

14. 10. 4　送信中断処理

（1）自動ブロック送信機能（ABT）付き通常動作モード以外での送信中断処理

送信要求を中断する必要がある場合には，CnMCTRLmレジスタのTRQビットをクリア（0）します。TRQビットはすぐにクリア（0）されますが，送信中断が成功したかどうかは，CANバス上の送信状態を示すCnCTRLレジスタのTSTATビットとCnTGPTレジスタを確認してください（詳細は，図14－45の処理を参照してください）。

★ **（2）自動ブロック送信機能（ABT）付き通常動作モードでのABT送信以外の送信中断処理**

処理送信要求を中断する必要がある場合には，最初にCnGMABTレジスタのABTTRGビットをクリア（0）します。CnGMABTレジスタのABTTRGビットがクリア（0）されたことを確認したあとで，CnMCTRLmレジスタのTRQビットをクリアします。TRQビットはすぐにクリア（0）されますが，送信中断が成功したかどうかは，CANバス上の送信状態を示すCnCTRLレジスタのTSTATビットとCnTGPTレジスタを確認してください（詳細は，図14－47を参照してください）。

（3）自動ブロック送信機能（ABT）付き通常動作モードでの送信中断処理

すでに連続送信が開始されたABTを中断する必要がある場合は，CnGMABTレジスタのABTTRGビットをクリア（0）します。この場合，現在ABTメッセージの送信であれば，送信が完了（成功，失敗問わず）するまでABTTRG = 1を保持し，送信が完了した時点でABTTRGはクリア（0）されます。これによりABT送信が中断されます。

送信中断前に最後に行った送信が成功した場合，ABT付き通常動作モードでは内部のABTポインタは次

に送信されるメッセージ・バッファを指したままになっています。

送信中断の際に送信エラーがあった場合は，内部ABTポインタは最後に送信されたメッセージ・バッファのTRQビットの状態に依存します。ABTTRGビットのクリア（0）要求をする時点で，TRQビットがセット（1）されている場合には，内部ABTポインタは送信中断前に最後に送信されたメッセージ・バッファを指しています（詳細は，図14－46の処理を参照してください）。ABTTRGビットのクリアを要求する時点で，TRQビットがクリア（0）されている場合には，内部ABTポインタは＋1インクリメントされ，ABT領域の次のメッセージ・バッファを指します（詳細は，図14－47の処理を参照してください）。

注意　ABT送信の中断は必ずABTTRGビット = 0によって行ってください。RDYクリアによる送信中断を要求した場合は，動作を保証いたしません。

ABT中断後にABTTRGをセット（1）することでABT付き通常動作モードが再開する場合，再開後に送信されるABTメッセージ・バッファは次のとおりです。

ABT用メッセージ・バッファのTRQビットの状態	成功送信完了後に中断	送信エラー後に中断
セット（1）	ABT領域の次のメッセージ・バッファ注	ABT領域の同じメッセージ・バッファ
クリア（0）	ABT領域の次のメッセージ・バッファ注	ABT領域の次のメッセージ・バッファ注

注　ABT領域に，ABT送信が可能な状態のメッセージ・バッファが存在する場合のみ，上記中断後の再開動作が可能です。たとえば，メッセージ・バッファ7のABT送信中に発行された中断要求は，メッセージ・バッファ7の送信が成功完了した場合は，ABTTRGビットがクリア（0）されても，中断ではなくABT送信の完了とみなされます。

また，ABT領域の次のメッセージ・バッファのRDYビットがクリア（0）されている場合などは，内部ABTポインタは保持されますが，ABTTRGビットをセット（1）しても再開動作は行わずにただちにABT送信を終了します。

14. 10. 5　リモート・フレーム送信

リモート・フレームは，送信メッセージ・バッファからのみ送信することができます。CnMCONFmレジスタのRTRビットにより，データ・フレーム送信かリモート・フレーム送信かを設定します。RTRビットをセット（1）することにより，リモート・フレーム送信ができます。

14. 11　パワー・セーブ・モード

14. 11. 1　CANスリープ・モード

CANスリープ・モードにより，CANコントローラを待機状態にすることで消費電力を低減することができます。CANスリープ・モードは，すべての動作モードから移行することができます。CANスリープ・モードが解除されても，CANスリープ・モードに移行前と同じ動作モードを保持します。

CANスリープ・モードでは，送信要求が発行または保留されていてもメッセージを送信しません。

(1) CANスリープ・モードへの移行

CnCTRLレジスタのPSMODE [1:0]ビットを01Bに設定することで，CANスリープ・モードの要求を行います。この要求は次の場合に受け付けられます。

(i) CANモジュールがすでに次の動作モードにある場合

- 通常動作モード
- ABT付き通常動作モード
- 受信オンリー・モード
- シングル・ショット・モード
- セルフ・テスト・モード
- 上記のすべての動作モードにおいてCANストップ・モードである

(ii) CANバス状態がバス・アイドルの場合（インタフレーム・スペースの4ビット目がレセシブである）注

(iii) 送信要求が保留されていない

★ **注**　CANバスがドミナントに固着している場合には，CANスリープ・モードへの移行要求は保留されます。また，CANストップ・モードではCANスリープ・モードへの遷移はCANバスの状態には依存しません。

★ **備考**　CANスリープ・モード遷移要求が保留されている状態で受信が終了すると，CANスリープ・モード遷移要求はキャンセルされることなく，受信格納が処理されてから受け付けられCANスリープ・モードに移行します。このとき，CPUが受信割り込み処理を実行する際には，CANスリープ・モード状態になっていることになります。したがって，CANスリープ・モードを使用する場合には，割り込み処理でMBONフラグをチェックすることにより，メッセージ・バッファおよび受信ヒストリ・レジスタへのアクセス可否を確認する必要があります。
同様に，CANスリープ・モード遷移要求が保留されている状態で送信が終了すると，CANスリープ・モード遷移要求はキャンセルされることなく受け付けられ，CANスリープ・モードに移行します。このとき，CPUが送信割り込み処理を実行する際には，CANスリープ・モード状態になっていることになります。したがって，CANスリープ・モードを使用する場合には，割り込み処理でMBONフラグをチェックすることにより，メッセージ・バッファおよび送信ヒストリ・レジスタへのアクセス可否を確認する必要があります。

上記の条件の1つでも満たされない場合は，次のように動作します。

- 初期化モードにおいてCANスリープ・モードの要求が行われた場合，その要求は無視され初期化モードのままになります。
- 任意の動作モードにおいてCANバス状態がバス・アイドルではない（CANバス状態が送信中または受信中）ときにCANスリープ・モードの要求が行われた場合，CANスリープ・モードへただちに移行しません。その場合，CANスリープ・モードの要求はCANバス状態がバス・アイドル（インタフレーム・スペースの4ビット目がレセシブ）になるまで保留されます。CANスリープ・モードの要求を行ってから実際に移行が完了するまでは，PSMODE [1:0]ビットは00Bの設定のままになっていますが，移行が完了するとPSMODE [1:0] = 01Bになります。
- 任意の動作モードにおいて，初期化モード遷移要求とCANスリープ・モード要求が同時に発行された場合には，初期化モード遷移要求のみが有効となり，CANモジュールは所定のタイミングで初期化モードに移行します。このときCANスリープ・モード要求は保留されず無視されます。
- また，初期化モード遷移要求とCANスリープ・モード要求が同時に発行されなかった場合（つまり最初に発行された一方の要求がまだ受け付けられていない状態で他方の要求が発行された場合）でも初期化モード遷移要求はCANスリープ・モード要求より優先されます。たとえば，CANスリープ・モード要求が保留され実行が保留されている状態で初期化モード遷移要求が発行された場合，初期化モード遷移要求の発行時点でCANスリープ・モード要求は直ちに無効となります。また初期化モード遷移要求が保留されている状態でCANスリープ・モード要求が発行された場合，CANスリープ・モード要求の発行時点で直ちにCANスリープ・モード要求が無効になります。

(2) CANスリープ・モードの状態

CANスリープ・モードへ移行後は，CANモジュールは次の状態となります。

- 内部動作クロックが停止し，低消費電力状態となります。
- CANバスからのウエイク・アップのためにCAN受信端子（CRXDn）の立ち下がりエッジ検出は機能しています。
- CPUからのウエイク・アップのためにCANモジュール制御レジスタ（CnCTRL）のPSMODE [1:0]ビットは書き込みができますが，それ以外のCANモジュール・レジスタおよびビットには書き込みができません。
- CANモジュール・レジスタからの読み出しは，CnLIPT, CnRGPT, CnLOPT, CnTGPTを除いて可能です。
- CANメッセージ・バッファ・レジスタは書き込みと読み出しができません。
- CANグローバル制御レジスタ（CnGMCTRL）のMBONビットがクリアされます。
- 初期化モードへの移行要求は受け付けられません。無視されます。

(3) CANスリープ・モードの解除

CANスリープ・モードは次の動作により解除されます。

・CnCTRLレジスタのPSMODE [1:0] ビットに00Bを設定した場合
・CAN受信端子（CRXDn）の立ち下がりエッジの検出（レセシブからドミナントへのCANバス変化）

★ **注意　この立ち下がりエッジが受信メッセージのSOFであった場合，そのメッセージは受信および格納はされません。CANスリープ・モード中，CANへのクロックが停止されていると，CPUによりCANへのクロックを供給されない限り，CANスリープ・モードは解除されずPSMODE[1:0]ビットは01Bのままとなります。また，それ以降の受信メッセージについても受信されません。**

CANスリープ・モードが解除されたあとは，CANスリープ・モードが要求される前の動作モードに戻り，CnCTRLレジスタのPSMODE [1:0]ビットは00Bにリセットされます。CANスリープ・モードが，CANバス変化によって解除された場合，CnIEレジスタのCIEビットに関わらずCnINTSレジスタのCINTS5がセット（1）されます。またCANスリープ・モード解除後は，CANモジュールは自動的にCANバス上に連続した11
★ ビットのレセシブを検出することでCANバスへの再参加を行います。また，スリープ・モードを解除したあと，アプリケーションにより再度メッセージ・バッファにアクセスする前にMBON = 1を確認しなければなりません。

CANスリープ・モードのときに初期化モードの要求が行われると，その要求は無視されます。初期化モードに移行させるにはソフトウエアによりCANスリープ・モードをいったん解除してください。

★ **注意　CANバスのイベントによるCANスリープ・モードの解除では，スリープ・モード移行直後にCANバスのイベントが発生した場合でもウエイク・アップ割り込みが発生しますので，いつでも発生する可能性があることを意識してください。**

備考　n = 0, 1

14. 11. 2　CANストップ・モード

CANストップ・モードにより，CANコントローラを待機状態にすることで消費電力を低減することができます。CANストップ・モードは，CANスリープ・モードからのみ移行することができます。CANストップ・モードを解除することによって，CANスリープ・モードに移行します。

★ CANストップ・モードは，CnCTRLレジスタのPSMODE [1:0]ビットを01Bに設定することでのみ解除（CANスリープ・モードへの移行）が可能で，CANバスの変化によっては解除されません。送信要求が発行または保留されていてもメッセージを送信しません。

(1) CANストップ・モードへの移行

CnCTRLレジスタのPSMODE [1:0]ビットを11Bに設定することで，CANストップ・モードの要求を行います。CANストップ・モードの要求は，CANモジュールがCANスリープ・モードの場合のみ受け付けられます。CANスリープ・モードでない状態では，CANストップ・モードの移行要求は無視されます。

注意　CANストップ・モード移行のためには，CANモジュールがCANスリープ・モードであることが必要です。その確認のためにPSMODE [1:0] = 01Bであることを確認したあとに，CANストップ・モード要求を行ってください。ただし，これらの処理の間にCAN受信端子（CRXDn）のバス変化が発生した場合，CANスリープ・モードが自動的に解除されますので，その場合にはCANストップ・モード要求は受け付けられなくなります。

(2) CANストップ・モードの状態

CANストップ・モードへ移行後は，CANモジュールは下記の状態となります。

- 内部動作クロックが停止し，低消費電力状態となります。
- CPUからのウエイク・アップのためにCANモジュール制御レジスタ（CnCTRL）のPSMODE [1:0]ビットは書き込みができますが，それ以外のCANモジュール・レジスタおよびビットには書き込みができません。
- CANモジュール・レジスタからの読み出しは，CnLIPT, CnRGPT, CnLOPT, CnTGPTを除いて可能です。
- CANメッセージ・バッファ・レジスタは書き込みと読み出しができません。
- ★ CANグローバル制御レジスタ（CnGMCTRL）のMBONビットがクリアされます。
- 初期化モードへの移行要求は受け付けられません。無視されます。

(3) CANストップ・モードの解除

CANストップ・モードは，CnCTRLレジスタのPSMODE [1:0]ビットを01Bに設定することによってのみ
★ 解除されます。解除後はCANスリープ・モードに移行します。

CANストップ・モードのときに初期化モードの要求が行われると，その要求は無視されます。初期化モードに移行させるにはソフトウエアによりCANストップ・モードを解除し，さらにCANスリープ・モードを
★ 解除してください。CANストップ・モードからCANスリープ・モードを経ずに直接任意の動作モードに移行することはできません。そのような移行要求は無視されます。

備考　n = 0, 1

14. 11. 3　パワー・セーブ・モード使用例

アプリケーション・システムにおいて，消費電力を低減するためにCPUをパワー・セーブ・モードに設定することが必要となる場合があります。このとき，CANモジュール固有のパワー・セーブ・モードとCPU固有のパワー・セーブ・モードを連携させることで，パワー・セーブ状態のCPUをCANバスからウエイク・アップさせることが可能です。

★　次に使用例を説明します。

まず，CANモジュールをCANスリープ・モードに移行させます（PSMODE [1:0]ビット = 01B）。次に，CPUをパワー・セーブ・モードに移行させます。この状態で，CAN受信端子（CRXDn）がレセシブからドミナントへのエッジ変化を検出した場合，CANモジュールのCINTS5ビットがセット（1）され，さらにCnCTRLレジスタのCIE5ビットがセット（1）されている場合には，ウエイク・アップ割り込み（INTCnWUP）が発生します。

CANモジュールは，CANスリープ・モードが自動的に解除（PSMODE [1:0]ビット = 00B）され，通常動作モードに復帰します。一方，CPUはINTCnWUPを受けて，CPU自身のパワー・セーブ・モードを解除し，通常動作モードに復帰することができます。

CPUのさらなる消費電力の低減を図るために，CANモジュールを含めた内部クロックを停止させることがあります。この場合，上述のように，CANモジュールをCANスリープ・モードに移行させたあとに，CANモジュールに供給されている動作クロックを停止します。その後，CPUはCPUへのクロック供給を停止するパワー・セーブ・モードに移行させます。この状態で，CAN受信端子（CRXDn）がレセシブからドミナントへのエッジ変化を検出した場合，CANモジュールはクロック供給がない状態でもCINTS5ビットのセット（1）とウエイク・アップ割り込み（INTCnWUP）を発生することが可能です。ただし，それ以外の機能は，CANモジュールへのクロック供給が止まっているため動作せず，CANスリープ・モード状態を維持します。CPUは，INTCnWUPを受けて，CPUのパワー・セーブ・モードを解除し，たとえば発振安定時間経過後に，CANモジュールへのクロックを含めた内部クロックの供給を再開し，所定の命令実行動作を開始します。CANモジュールは，クロック供給が再開されると直ちにCANスリープ・モードを解除し，通常動作モード（PSMODE [1:0]ビット= 00B）に復帰します。

14. 12　割り込み機能

CANモジュールには，6つの割り込み要因があります。

これらの割り込み要因の発生は，割り込みステータス・レジスタに格納されます。6つの割り込み要因から，4つの割り込み要求が発生します。複数の割り込み要因が集約されている割り込み要求信号の発生時には，割り込みステータス・レジスタを使用して，割り込み要因の特定ができます。割り込み要因の発生後，ソフトウエアにより対応する割り込みステータス・ビットをクリア（0）する必要があります。

表14－20　CANモジュール割り込み要因一覧

	No.	割り込みステータス・ビット		割り込み許可ビット		割り込み要求信号	割り込み要因の説明
		ビット名	レジスタ	ビット名	レジスタ		
★	1	CINTS0注	CnINTS	CIE0注	CnIE	INTCnTRX	メッセージ・バッファmからのメッセージ・フレームの正常な送信完了割り込み
★	2	CINTS1注	CnINTS	CIE1注	CnIE	INTCnREC	メッセージ・バッファmへの有効なメッセージ・フレーム受信完了割り込み
	3	CINTS2	CnINTS	CIE2	CnIE	INTCnERR	CANモジュール・エラー状態割り込み（補足1）
	4	CINTS3	CnINTS	CIE3	CnIE		CANモジュール・プロトコル・エラー割り込み（補足2）
	5	CINTS4	CnINTS	CIE4	CnIE		CANモジュール・アービトレーション・ロスト割り込み
	6	CINTS5	CnINTS	CIE5	CnIE	INTCnWUP	CANスリープ・モードからのウエイク・アップ割り込み（補足3）

注　メッセージ・バッファでは，割り込みを発生させたいメッセージ・バッファのCnMCTRLレジスタのIEビット（メッセージ・バッファ割り込み許可ビット）をセット（1）する必要があります。

備考 1.　送受信エラー・カウンタがワーニング・レベル，エラー・パッシブおよびバスオフ状態になることが要因で発生する割り込みです。

2.　スタッフ・エラー，フォーム・エラー，ACKエラー，ビット・エラー，CRCエラーが要因で発生する割り込みです。

3.　CAN受信端子の立ち下がりエッジの検出（レセシブからドミナントへのCANバス変化）によるCANスリープ・モードからのウエイク・アップが要因で発生する割り込みです。

4.　n = 0, 1
m = 0-31

14. 13　診断機能と特殊動作モード

CANモジュールは，CANバス診断機能および特殊なCAN通信方法の動作をサポートするための受信オンリー・モード，シングル・ショット・モード，セルフ・テスト・モードを利用できます。

14. 13. 1　受信オンリー・モード

受信オンリー・モードは，CANバスに影響を与えずに受信メッセージをモニタするモードで，CANバス分析ノード用に使用できます。

たとえば，自動ボー・レート検出に利用できます。“ 有効な受信 ”が検出されるまでCANモジュールのボー・レートを変化させ，互いのボー・レートを合わせ込むことができます（“ 有効な受信 ” とは，エラーが発生せず，CANバスに接続されたノードによる適切なACK応答を伴って，CANプロトコル・レイヤ層で受信されたメッセージ・フレームを意味します）。有効な受信では，受信メッセージ・バッファ（データ・フレーム）または送信メッセージ・バッファ（リモート・フレーム）へのメッセージ・フレームの格納は必要ありません。有効な受信は，CnCTRLレジスタのVALIDビットがセット（1）されることで確認できます。

図14－33　受信オンリー・モードにおけるCAN端子接続

受信オンリー・モードでは，CANモジュールからCANバスにメッセージ・フレームは送信しません。送信メッセージ・バッファとして定義されたメッセージ・バッファに発行された送信要求は保留されます。

受信オンリー・モードでは，CANモジュールのCAN送信端子（CTXDn）は，レセシブ・レベルに固定されています。したがって，メッセージ・フレームの受信中にCANバス・エラーが検出された場合でも，CANモジュールからアクティブ・エラー・フラグをCANバスに送信しません。また，CANモジュールから送信を発行できないため，送信エラー・カウンタTECは更新されません。したがって，受信オンリー・モードのCANモジュールは，バスオフ状態になりません。

さらに，受信オンリー・モードでは，有効なメッセージ・フレームの受信時に，CANバスにACKを返却しません。内部的には自ノードはACKを送信したと認識します。オーバロード・フレームをCANバスに送信することができません。

注意　2つのCANノードのみがCANバスに接続されており，CANノードの1つが「受信オンリー・モード」で動作している場合は，CANバスでACK応答はありません。ACK応答がないため，送信ノードはアクティブ・エラー・フラグを送信し，メッセージ・フレームの送信を繰り返します。送信ノードは，メッセージ・フレームを16回送信したあとにエラー・パッシブになります（エラー・カウンタが最初に0であり，ほかのエラーが発生しなかった場合）。メッセージ・フレームの17回目を送信したあとに，送信ノードはパッシブ・エラー・フラグを送信します。したがって，受信オンリー・モードの受信ノードは，この時点で，初めて有効なメッセージ・フレームを検出することになり，VALIDビットが初めてセット（1）されます。

14. 13. 2　シングル・ショット・モード

シングル・ショット・モードでは，CANプロトコルで定義された自動再送信は行いません（CANプロトコルでは，アービトレーション・ロスト発生またはエラー発生によって中止されたメッセージ・フレーム送信は，
★ ソフトウエアによる制御なしで再送信される必要があります）。シングル・ショット・モードのその他の動作は通常動作モードと同一です。シングル・ショット・モードの機能はABT付き通常動作モードでは使用できません。

シングル・ショット・モードでは，CnCTRLレジスタのALビットの設定に従って，中止されたメッセージ・フレーム送信の再送信を無効にします。ALビットがクリア（0）されている場合は，アービトレーション・ロスト発生時またはエラー発生時の再送信が無効になります。ALビットがセット（1）されている場合は，エラー発生時の再送信は無効になりますが，アービトレーション・ロスト発生時の再送信は有効になります。したがって，送信メッセージ・バッファとして定義されたメッセージ・バッファのTRQビットは，次のイベントでクリア（0）されます。

・メッセージ・フレームの正常送信完了
★ ・メッセージ・フレームのアービトレーション・ロスト発生
・メッセージ・フレーム送信中のエラー発生

★ アービトレーション・ロスト発生とエラー発生は，それぞれCnINTSレジスタのCINTS4ビット，CINTS3ビットを確認し，エラーの種類はCnLECレジスタのLEC [2:0]ビットをリードすることで区別することができます。

メッセージ・フレームの送信完了時，CnINTSレジスタの送信完了割り込みCINTS0は，セット（1）されます。そのとき，CnIEレジスタのCIE0ビットがセット（1）されている場合には，割り込み要求信号が出力されます。

シングル・ショット・モードは，タイム・トリガの通信方法（TTCANレベル1など）をエミュレートするために使用することができます。

★ **注意**　ALビットは，シングル・ショット・モードでのみ有効です。その他の動作モードでは，アービトレーション・ロスト時の再送動作に影響を与えません。

14. 13. 3　セルフ・テスト・モード

セルフ・テスト・モードでは，CANノードをCANバスに接続することなく，つまり，CANバスに影響を与えずにメッセージ・フレーム送信とメッセージ・フレーム受信をテストすることができます。

セルフ・テスト・モードでは，CANモジュールがCANバスから完全に切断されていますが，内部的に送信と受信はループ・バックされています。CAN送信端子（CTXDn）は，レセシブ・レベルに固定されています。

ただし，セルフ・テスト・モードではCANスリープ・モードに移行したあと，CAN受信端子（CRXDn）の立ち下がりエッジの検出をすると，他の動作モードと同様にCANスリープ・モードから解除されます。CANスリープ・モードから解除されないようにするには，CAN受信端子（CRXDn）をポートに切り替えて使用してください。

図14－34　セルフ・テスト・モードにおけるCAN端子接続

★　14. 13. 4　各動作モードにおける送受信動作

各動作モードにおける送受信動作の概略を表14－21に示します。

表14－21　各動作モードにおける送受信動作の概要

動作モード	データ・フレーム／リモート・フレーム送信	ACK送信	エラー・フレーム／オーバロード・フレーム送信	再送信	自動ブロック送信（ABT）	VALIDビットのセット	メッセージ・バッファへのデータ格納
初期化モード	－	－	－	－	－	－	－
通常動作モード	○	○	○	○	－	○	○
ABT付き通常動作モード	○	○	○	○	○	○	○
受信オンリー・モード	－	－	－	－	－	○	○
シングル・ショット・モード	○	○	○	－注1	－	○	○
セルフ・テスト・モード	○注2	○注2	○注2	○注2	－	○注2	○注2

注1.　アービトレーション・ロスト時，CnCTRLレジスタのALビットにより，再送信の設定が可能です。

2.　各信号は外部に出力されませんが，CANモジュール内部で発生します。

14. 14　タイム・スタンプ機能

CANは非同期のシリアル通信プロトコルです。したがって，CANバスに接続されているすべてのノードは，それぞれが独自のローカルなクロックを使っています。そのため，各ノードで使われているクロックの間には何の相互関係もありません（つまり各クロックは非同期であり，周波数が完全に合致していないことがあります）。

しかし，アプリケーションによっては，ネットワーク全体で使われる共通タイム・ベース（ = グローバル・タイム・ベース）が必要となるものがあります。グローバル・タイム・ベースを確立するためには，タイム・スタンプ機能が用いられます。タイム・スタンプ機能に必要となるメカニズムは，CANバス上の信号をトリガとしてタイマ値をキャプチャすることです。

14. 14. 1　タイム・スタンプ機能

★　CANコントローラは，特定フレームをトリガとしてタイマ値をキャプチャする場合に必要となる機能をサポートしています。そのために，CANコントローラに加え製品に内蔵されている16ビットのキャプチャ／タイマ・ユニットを使用します。この場合，16ビット・キャプチャ・タイマ・ユニットは，CANコントローラからデータ・フレームの受信時に出力されるキャプチャ用のトリガ信号（TSOUT）に応じて，タイマ値をキャプチャします。CPUはそのキャプチャ値を読み出すことにより，キャプチャ・イベントの発生時刻，すなわちCANバスから受信したメッセージのタイム・スタンプを得ることができます。TSOUTは，次の2つのイベント・ソースから選択することができ，CnTSレジスタのTSSELビットにより指定します。

- SOFイベント　（スタート・オブ・フレーム）　（TSSEL = 0）
- EOFイベント　（エンド・オブ・フレームの最終ビット）　（TSSEL = 1）

またTSOUT信号は，CnTSレジスタのTSENビットをセット（1）することで動作許可状態になります。

図14－35　キャプチャ用信号TSOUTのタイミング図

TSOUTは，データ・フレームの受信時に，選択されたイベントが発生するたびにそのレベルがトグルします（上図は，SOFをトリガのイベント・ソースとした場合のタイミング図です）。このTSOUTによるキャプチャを行うためには，キャプチャ／タイマ・ユニット側では，キャプチャ信号の検出は立ち上がり，および立ち下がりの両エッジで行う必要があります。

これらのタイム・スタンプの機能は，CnTSレジスタのTSLOCKビットにより制御することができます。TSLOCKビットがクリア（0）されている場合には，選択したイベントが発生するたびにTSOUTがトグルします。TSLOCKビットがセット（1）されている場合には，選択したイベントが発生するたびにTSOUTがトグル
★　しますが，データ・フレームがメッセージ・バッファ0への受信格納開始時にTSENビットが自動的にクリア（0）されることで，トグル動作を停止させることができます。これにより，以降のTSOUTのトグル発生を抑え，最後にトグルした（=最後にキャプチャした）タイム・スタンプ値を，メッセージ・バッファ0にデータ・フレームを受信した時刻のタイム・スタンプ値として保存することができます。

注意　TSLOCKビットを使ったタイム・スタンプ機能は，メッセージ・バッファ0へのデータ・フレーム受信によりTSOUTのトグルを停止させるものです。そのためには，メッセージ・バッファ0は受信メッセージ・バッファとして設定されている必要があります。受信メッセージ・バッファにはリモート・フレームを受信できませんので，リモート・フレーム受信によりTSOUTのトグルを停止させることはできません。またメッセージ・バッファ0以外のメッセージ・バッファへのデータ・フレーム受信ではTSOUTのトグルは停止しません。

上記の理由で，CANモジュールがABT付き通常モードに設定されている場合には，メッセージ・バッファ0は送信メッセージ・バッファとして設定する必要があるため，メッセージ・バッファ0へのデータ・フレーム受信はできません。したがって，この動作モードではTSLOCKビットによるTSOUTのトグルの停止機能は使用できません。

備考　n = 0, 1

14. 15　ボー・レート設定について

14. 15. 1　ビット・レート設定条件

CANを正常に動作させるために，次の条件に設定してください。

(a) 5TQ≦SPT（サンプル・ポイント）≦17TQ

SPT=TSEG1+1

(b) 8TQ≦DBT（データ・ビット・タイム）≦25TQ

DBT=TSEG1+TSEG2+1TQ=TSEG2+SPT

(c) 1TQ≦SJW（同期ジャンプ幅）≦4TQ

SJW≦DBT－SPT

(d) 4≦TSEG1≦16 [3≦TSEG1[3 : 0]の設定値≦15]

(e) 1≦TSEG2≦8 [0≦TSEG2[2 : 0]の設定値≦7]

備考 1.　TQ = 1/f_{TQ}（f_{TQ}：CANプロトコル・レイヤ基本システム・クロック）

TSEG1 [3 : 0]（CANnビット・レート・レジスタ（CnBTR）のビット3-0）

TSEG2 [2 : 0]（CANnビット・レート・レジスタ（CnBTR）のビット10-8）

2.　n = 0, 1

上記条件を満たすビット・レートの組み合わせを表14－22に示します。

表14－22　設定可能なビット・レート組み合わせ（1/3）

有効なビット・レート設定					CnBTRレジスタ設定値		サンプル・ポイント（単位：%）
DBTの長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1 [3:0]	TSEG2 [2:0]	
25	1	8	8	8	1111	111	68.0
24	1	7	8	8	1110	111	66.7
24	1	9	7	7	1111	110	70.8
23	1	6	8	8	1101	111	65.2
23	1	8	7	7	1110	110	69.6
23	1	10	6	6	1111	101	73.9
22	1	5	8	8	1100	111	63.6
22	1	7	7	7	1101	110	68.2
22	1	9	6	6	1110	101	72.7
22	1	11	5	5	1111	100	77.3
21	1	4	8	8	1011	111	61.9
21	1	6	7	7	1100	110	66.7
21	1	8	6	6	1101	101	71.4
21	1	10	5	5	1110	100	76.2
21	1	12	4	4	1111	011	81.0
20	1	3	8	8	1010	111	60.0
20	1	5	7	7	1011	110	65.0
20	1	7	6	6	1100	101	70.0
20	1	9	5	5	1101	100	75.0
20	1	11	4	4	1110	011	80.0
20	1	13	3	3	1111	010	85.0
19	1	2	8	8	1001	111	57.9
19	1	4	7	7	1010	110	63.2
19	1	6	6	6	1011	101	68.4
19	1	8	5	5	1100	100	73.7
19	1	10	4	4	1101	011	78.9
19	1	12	3	3	1110	010	84.2
19	1	14	2	2	1111	001	89.5
18	1	1	8	8	1000	111	55.6
18	1	3	7	7	1001	110	61.1
18	1	5	6	6	1010	101	66.7
18	1	7	5	5	1011	100	72.2
18	1	9	4	4	1100	011	77.8
18	1	11	3	3	1101	010	83.3
18	1	13	2	2	1110	001	88.9
18	1	15	1	1	1111	000	94.4

備考　n = 0, 1

表14－22　設定可能なビット・レート組み合わせ（2/3）

有効なビット・レート設定					CnBTRレジスタ設定値		サンプル・ポイント（単位：%）
DBTの長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1 [3:0]	TSEG2 [2:0]	
17	1	2	7	7	1000	110	58.8
17	1	4	6	6	1001	101	64.7
17	1	6	5	5	1010	100	70.6
17	1	8	4	4	1011	011	76.5
17	1	10	3	3	1100	010	82.4
17	1	12	2	2	1101	001	88.2
17	1	14	1	1	1110	000	94.1
16	1	1	7	7	0111	110	56.3
16	1	3	6	6	1000	101	62.5
16	1	5	5	5	1001	100	68.8
16	1	7	4	4	1010	011	75.0
16	1	9	3	3	1011	010	81.3
16	1	11	2	2	1100	001	87.5
16	1	13	1	1	1101	000	93.8
15	1	2	6	6	0111	101	60.0
15	1	4	5	5	1000	100	66.7
15	1	6	4	4	1001	011	73.3
15	1	8	3	3	1010	010	80.0
15	1	10	2	2	1011	001	86.7
15	1	12	1	1	1100	000	93.3
14	1	1	6	6	0110	101	57.1
14	1	3	5	5	0111	100	64.3
14	1	5	4	4	1000	011	71.4
14	1	7	3	3	1001	010	78.6
14	1	9	2	2	1010	001	85.7
14	1	11	1	1	1011	000	92.9
13	1	2	5	5	0110	100	61.5
13	1	4	4	4	0111	011	69.2
13	1	6	3	3	1000	010	76.9
13	1	8	2	2	1001	001	84.6
13	1	10	1	1	1010	000	92.3
12	1	1	5	5	0101	100	58.3
12	1	3	4	4	0110	011	66.7
12	1	5	3	3	0111	010	75.0
12	1	7	2	2	1000	001	83.3
12	1	9	1	1	1001	000	91.7

備考　n = 0, 1

表14－22　設定可能なビット・レート組み合わせ（3/3）

有効なビット・レート設定					CnBTRレジスタ設定値		サンプル・ポイント（単位：%）
DBTの長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1 [3:0]	TSEG2 [2:0]	
11	1	2	4	4	0101	011	63.6
11	1	4	3	3	0110	010	72.7
11	1	6	2	2	0111	001	81.8
11	1	8	1	1	1000	000	90.9
10	1	1	4	4	0100	011	60.0
10	1	3	3	3	0101	010	70.0
10	1	5	2	2	0110	001	80.0
10	1	7	1	1	0111	000	90.0
9	1	2	3	3	0100	010	66.7
9	1	4	2	2	0101	001	77.8
9	1	6	1	1	0110	000	88.9
8	1	1	3	3	0011	010	62.5
8	1	3	2	2	0100	001	75.0
8	1	5	1	1	0101	000	87.5
7注	1	2	2	2	0011	001	71.4
7注	1	4	1	1	0100	000	85.7
6注	1	1	2	2	0010	001	66.7
6注	1	3	1	1	0011	000	83.3
5注	1	2	1	1	0010	000	80.0
4注	1	1	1	1	0001	000	75.0

注　DBT値が7以下の設定は，CnBRPレジスタ = 00H以外の場合のみ有効です。

注意　表14－22は，ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス，CANトランシーバなどの遅延などを考慮して，ネットワーク・システムへの影響を十分にご確認ください。

備考　n = 0, 1

14. 15. 2　代表的なボー・レート設定例

代表的なボー・レート設定例を表14－23および表14－24に示します。

表14－23　代表的なボー・レート設定例（f_{CANMOD} = 8 MHz設定時）（1/2）

ボー・レート設定値（単位：kbps）	CnBRPによる分周比	CnBRPレジスタ設定値 TQPRS [7:0]	有効なビット・レート設定（単位：TQ）					CnBTRレジスタ設定値		サンプル・ポイント（単位：%）
			DBTの長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1 [3:0]	TSEG2 [2:0]	
1000	1	00000000	8	1	1	3	3	0011	010	62.5
1000	1	00000000	8	1	3	2	2	0100	001	75.0
1000	1	00000000	8	1	5	1	1	0101	000	87.5
500	1	00000000	16	1	1	7	7	0111	110	56.3
500	1	00000000	16	1	3	6	6	1000	101	62.5
500	1	00000000	16	1	5	5	5	1001	100	68.8
500	1	00000000	16	1	7	4	4	1010	011	75.0
500	1	00000000	16	1	9	3	3	1011	010	81.3
500	1	00000000	16	1	11	2	2	1100	001	87.5
500	1	00000000	16	1	13	1	1	1101	000	93.8
500	2	00000001	8	1	1	3	3	0011	010	62.5
500	2	00000001	8	1	3	2	2	0100	001	75.0
500	2	00000001	8	1	5	1	1	0101	000	87.5
250	2	00000001	16	1	1	7	7	0111	110	56.3
250	2	00000001	16	1	3	6	6	1000	101	62.5
250	2	00000001	16	1	5	5	5	1001	100	68.8
250	2	00000001	16	1	7	4	4	1010	011	75.0
250	2	00000001	16	1	9	3	3	1011	010	81.3
250	2	00000001	16	1	11	2	2	1100	001	87.5
250	2	00000001	16	1	13	1	1	1101	000	93.8
250	4	00000011	8	1	3	2	2	0100	001	75.0
250	4	00000011	8	1	5	1	1	0101	000	87.5
125	4	00000011	16	1	1	7	7	0111	110	56.3
125	4	00000011	16	1	3	6	6	1000	101	62.5
125	4	00000011	16	1	5	5	5	1001	100	68.8
125	4	00000011	16	1	7	4	4	1010	011	75.0
125	4	00000011	16	1	9	3	3	1011	010	81.3
125	4	00000011	16	1	11	2	2	1100	001	87.5
125	4	00000011	16	1	13	1	1	1101	000	93.8
125	8	00000111	8	1	3	2	2	0100	001	75.0
125	8	00000111	8	1	5	1	1	0101	000	87.5

注意　表14－23は，ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス，CANトランシーバなどの遅延などを考慮して，ネットワーク・システムへの影響を十分にご確認ください。

備考　n = 0, 1

表14－23　代表的なボー・レート設定例（f_{CANMOD} = 8 MHz設定時）（2/2）

ボー・レート設定値（単位：kbps）	CnBRPによる分周比	CnBRPレジスタ設定値 TQPRS [7:0]	有効なビット・レート設定（単位：TQ）					CnBTRレジスタ設定値		サンプル・ポイント（単位：%）
			DBTの長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1 [3:0]	TSEG2 [2:0]	
100	4	00000011	20	1	7	6	6	1100	101	70.0
100	4	00000011	20	1	9	5	5	1101	100	75.0
100	5	00000100	16	1	7	4	4	1010	011	75.0
100	5	00000100	16	1	9	3	3	1011	010	81.3
100	8	00000111	10	1	3	3	3	0101	010	70.0
100	8	00000111	10	1	5	2	2	0110	001	80.0
100	10	00001001	8	1	3	2	2	0100	001	75.0
100	10	00001001	8	1	5	1	1	0101	000	87.5
83.3	4	00000011	24	1	7	8	8	1110	111	66.7
83.3	4	00000011	24	1	9	7	7	1111	110	70.8
83.3	6	00000101	16	1	5	5	5	1001	100	68.8
83.3	6	00000101	16	1	7	4	4	1010	011	75.0
83.3	6	00000101	16	1	9	3	3	1011	010	81.3
83.3	6	00000101	16	1	11	2	2	1100	001	87.5
83.3	8	00000111	12	1	5	3	3	0111	010	75.0
83.3	8	00000111	12	1	7	2	2	1000	001	83.3
83.3	12	00001011	8	1	3	2	2	0100	001	75.0
83.3	12	00001011	8	1	5	1	1	0101	000	87.5
33.3	10	00001001	24	1	7	8	8	1110	111	66.7
33.3	10	00001001	24	1	9	7	7	1111	110	70.8
33.3	12	00001011	20	1	7	6	6	1100	101	70.0
33.3	12	00001011	20	1	9	5	5	1101	100	75.0
33.3	15	00001110	16	1	7	4	4	1010	011	75.0
33.3	15	00001110	16	1	9	3	3	1011	010	81.3
33.3	16	00001111	15	1	6	4	4	1001	011	73.3
33.3	16	00001111	15	1	8	3	3	1010	010	80.0
33.3	20	00010011	12	1	5	3	3	0111	010	75.0
33.3	20	00010011	12	1	7	2	2	1000	001	83.3
33.3	24	00010111	10	1	3	3	3	0101	010	70.0
33.3	24	00010111	10	1	5	2	2	0110	001	80.0
33.3	30	00011101	8	1	3	2	2	0100	001	75.0
33.3	30	00011101	8	1	5	1	1	0101	000	87.5

注意　表14－23は，ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス，CANトランシーバなどの遅延などを考慮して，ネットワーク・システムへの影響を十分にご確認ください。

備考　n = 0, 1

表14－24　代表的なボー・レート設定例（f_{CANMOD} = 16 MHz設定時）（1/2）

ボー・レート設定値（単位：kbps）	CnBRPによる分周比	CnBRPレジスタ設定値 TQPRS [7:0]	有効なビットレート設定（単位：TQ）					CnBTRレジスタ設定値		サンプル・ポイント（単位：%）
			DBTの長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1 [3:0]	TSEG2 [2:0]	
1000	1	00000000	16	1	1	7	7	0111	110	56.3
1000	1	00000000	16	1	3	6	6	1000	101	62.5
1000	1	00000000	16	1	5	5	5	1001	100	68.8
1000	1	00000000	16	1	7	4	4	1010	011	75.0
1000	1	00000000	16	1	9	3	3	1011	010	81.3
1000	1	00000000	16	1	11	2	2	1100	001	87.5
1000	1	00000000	16	1	13	1	1	1101	000	93.8
1000	2	00000001	8	1	3	2	2	0100	001	75.0
1000	2	00000001	8	1	5	1	1	0101	000	87.5
500	2	00000001	16	1	1	7	7	0111	110	56.3
500	2	00000001	16	1	3	6	6	1000	101	62.5
500	2	00000001	16	1	5	5	5	1001	100	68.8
500	2	00000001	16	1	7	4	4	1010	011	75.0
500	2	00000001	16	1	9	3	3	1011	010	81.3
500	2	00000001	16	1	11	2	2	1100	001	87.5
500	2	00000001	16	1	13	1	1	1101	000	93.8
500	4	00000011	8	1	3	2	2	0100	001	75.0
500	4	00000011	8	1	5	1	1	0101	000	87.5
250	4	00000011	16	1	3	6	6	1000	101	62.5
250	4	00000011	16	1	5	5	5	1001	100	68.8
250	4	00000011	16	1	7	4	4	1010	011	75.0
250	4	00000011	16	1	9	3	3	1011	010	81.3
250	4	00000011	16	1	11	2	2	1100	001	87.5
250	8	00000111	8	1	3	2	2	0100	001	75.0
250	8	00000111	8	1	5	1	1	0101	000	87.5
125	8	00000111	16	1	3	6	6	1000	101	62.5
125	8	00000111	16	1	7	4	4	1010	011	75.0
125	8	00000111	16	1	9	3	3	1011	010	81.3
125	8	00000111	16	1	11	2	2	1100	001	87.5
125	16	00001111	8	1	3	2	2	0100	001	75.0
125	16	00001111	8	1	5	1	1	0101	000	87.5

注意　表14－24は，ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス，CANトランシーバなどの遅延などを考慮して，ネットワーク・システムへの影響を十分にご確認ください。

備考　n = 0, 1

表14－24　代表的なボー・レート設定例（f_{CANMOD} = 16 MHz設定時）（2/2）

ボー・レート設定値（単位：kbps）	CnBRPによる分周比	CnBRPレジスタ設定値 TQPRS [7:0]	有効なビット・レート設定（単位：TQ）					CnBTRレジスタ設定値		サンプル・ポイント（単位：%）
			DBTの長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1 [3:0]	TSEG2 [2:0]	
100	8	00000111	20	1	9	5	5	1101	100	75.0
100	8	00000111	20	1	11	4	4	1110	011	80.0
100	10	00001001	16	1	7	4	4	1010	011	75.0
100	10	00001001	16	1	9	3	3	1011	010	81.3
100	16	00001111	10	1	3	3	3	0101	010	70.0
100	16	00001111	10	1	5	2	2	0110	001	80.0
100	20	00010011	8	1	3	2	2	0100	001	75.0
83.3	8	00000111	24	1	7	8	8	1110	111	66.7
83.3	8	00000111	24	1	9	7	7	1111	110	70.8
83.3	12	00001011	16	1	7	4	4	1010	011	75.0
83.3	12	00001011	16	1	9	3	3	1011	010	81.3
83.3	12	00001011	16	1	11	2	2	1100	001	87.5
83.3	16	00001111	12	1	5	3	3	0111	010	75.0
83.3	16	00001111	12	1	7	2	2	1000	001	83.3
83.3	24	00010111	8	1	3	2	2	0100	001	75.0
83.3	24	00010111	8	1	5	1	1	0101	000	87.5
33.3	30	00011101	24	1	7	8	8	1110	111	66.7
33.3	30	00011101	24	1	9	7	7	1111	110	70.8
33.3	24	00010111	20	1	9	5	5	1101	100	75.0
33.3	24	00010111	20	1	11	4	4	1110	011	80.0
33.3	30	00011101	16	1	7	4	4	1010	011	75.0
33.3	30	00011101	16	1	9	3	3	1011	010	81.3
33.3	32	00011111	15	1	8	3	3	1010	010	80.0
33.3	32	00011111	15	1	10	2	2	1011	001	86.7
33.3	37	00100100	13	1	6	3	3	1000	010	76.9
33.3	37	00100100	13	1	8	2	2	1001	001	84.6
33.3	40	00100111	12	1	5	3	3	0111	010	75.0
33.3	40	00100111	12	1	7	2	2	1000	001	83.3
33.3	48	00101111	10	1	3	3	3	0101	010	70.0
33.3	48	00101111	10	1	5	2	2	0110	001	80.0
33.3	60	00111011	8	1	3	2	2	0100	001	75.0
33.3	60	00111011	8	1	5	1	1	0101	000	87.5

注意　表14－24は，ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス，CANトランシーバなどの遅延などを考慮して，ネットワーク・システムへの影響を十分にご確認ください。

備考　n = 0, 1

14. 16　CANコントローラの動作

ここで示す処理手順は，CANコントローラを動作させるための推奨処理手順となります。この推奨処理手順を参考にプログラム開発を行ってください。

備考　n = 0, 1

m = 0-31

図14－36　初期化

備考　OPMODE：通常動作モード，ABT付き通常動作モード，受信オンリー・モード，シングル・ショット・モード，セルフ・テスト・モード

図14－37　再初期化

注意　初期化モードへ移行したあとに，連続して任意の動作モードへ移行しないでください。連続して任意の動作モードへ移行する場合には，必ずCnCTRL, CnGMCTRLレジスタ以外のレジスタへアクセス（メッセージ・バッファの設定など）を行ってください。

備考　OPMODE：通常動作モード，ABT付き通常動作モード，受信オンリー・モード，シングル・ショット・モード，セルフ・テスト・モード

図14－38　メッセージ・バッファの初期化

注意1.　メッセージ・バッファを初期化する前に，RDYビットをクリアしてください。

2.　アプリケーションで使用しないメッセージ・バッファに対しても次の設定を行ってください。

・CnMCTRLmレジスタのRDYビット，TRQビット，DNビットをクリア（0）する。

・CnMCONFmレジスタのMA0ビットをクリア（0）する。

図14－39は，受信メッセージ・バッファに対する処理です（CnMCONFmレジスタのMT[2:0]ビット = 001B-101B）。

図14－39　メッセージ・バッファの再定義

★ 注1.　メッセージ受信中に再定義を行った場合には，受信が終わってからRDYビットをセットしなければならないため，受信中かどうかを確認する必要があります。

★ 2.　この4ビットの期間は，メッセージの受信格納動作中にメッセージ・バッファの再定義を行ってしまう可能性があります。

図14－40は，送信中の送信メッセージ・バッファに対する処理です（CnMCONFmレジスタのMT[2:0]ビット = 000B）。

図14－40　送信中のメッセージ・バッファの再定義

図14－41は，送信メッセージ・バッファに対する処理です（CnMCONFmレジスタのMT [2:0]ビット = 000B）。

図14－41　メッセージ送信処理

注意1.　RDYビットはTRQビットを設定する前に必ず設定してください。

2.　RDYビットとTRQビットは同時に設定しないでください。

図14－42は，送信メッセージ・バッファに対する処理です（CnMCONFmレジスタのMT [2:0]ビット = 000B）。

図14－42　ABTメッセージ送信処理

備考　この処理（ABT付き通常動作モード）は，メッセージ・バッファ0-7のみで使用できます。ABT用メッセージ・バッファ以外のメッセージ・バッファについては，図14－41を参照してください。

注意　ABTTRGビットのセット（1）は，TSTATビットがクリア（0）されてから行ってください。TSTATビットの確認とABTTRGビットのセット（1）は，連続的に処理を行う必要があります。

図14－43　割り込みによる送信処理（CnLOPTレジスタを使用する場合）

注意1.　RDY**ビットは**TRQ**ビットを設定する前に必ず設定してください。**

2.　RDY**ビットと**TRQ**ビットは同時に設定しないでください。**

★　**備考**　保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので，メッセージ・バッファおよび送信ヒストリ・レジスタへのアクセスが可能であることを確かめるために，ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがセット（1）されていた場合には，実行中の処理を中止し，MBONビットが再度セット（1）されたあとで処理を再実行してください。この様な理由により，送信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。

図14－44　割り込みによる送信処理（CnTGPTレジスタを使用する場合）

注意1.　RDY**ビットは**TRQ**ビットを設定する前に必ず設定してください。**

2.　RDY**ビットと**TRQ**ビットは同時に設定しないでください。**

★　**備考**　保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので，メッセージ・バッファおよび送信ヒストリ・レジスタへのアクセスが可能であることを確かめるために，ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがセット（1）されていた場合には，実行中の処理を中止し，MBONビットが再度セット（1）されたあとで処理を再実行してください。この様な理由により，送信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。

図14－45　ソフトウエア・ポーリングによる送信処理

注意1.　RDY**ビットは**TRQ**ビットを設定する前に必ず設定してください。**

2.　RDY**ビットと**TRQ**ビットは同時に設定しないでください。**

★　**備考**　保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので，メッセージ・バッファおよび送信ヒストリ・レジスタへのアクセスが可能であることを確かめるために，ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがセット（1）されていた場合には，実行中の処理を中止し，MBONビットが再度セット（1）されたあとで処理を再実行してください。

図14－46　送信中断処理（ABT付き通常動作モード以外）

★　注　インタ・フレーム・スペース（3ビット）とサスペンド・トランスミッション（8ビット）の合計11ビットの期間は，すでにプロトコル・レイヤに送信要求が受け付けられている場合があるため，TRQビットをクリアしても中断されずに送信を開始してしまう可能性があります。

注意1.　送信要求アボート処理は，RDYビットをクリアして実行するのではなく，TRQクリアにより実行してください。

2.　スリープ要求を行う場合は，このフローにより送信要求が完全になくなったことを確認したあとに行ってください。

3.　TSTATビットの確認は，ユーザ・アプリケーションにより周期的に行うか，送信完了割り込み後に行うことも可能です。

4.　送信中断処理を実行中に，他のメッセージ・バッファを含め新しい送信要求を行わないでください。

図14－47　ABT送信以外の送信中断処理（ABT付き通常動作モード）

★ **注**　インタ・フレーム・スペース（3ビット）とサスペンド・トランスミッション（8ビット）の合計11ビットの期間は，すでにプロトコル・レイヤに送信要求が受け付けられている場合があるため，TRQビットをクリアしても中断されずに送信を開始してしまう可能性があります。

注意1.　送信中断処理は，RDYビットをクリアして実行するのではなく，TRQビットのクリアにより実行してください。

2.　スリープ要求を行う場合は，このフローにより送信要求が完全になくなったことを確認したあとに行ってください。

3.　TSTATビットの確認は，ユーザ・アプリケーションにより周期的に行うか，送信完了割り込み後に行うことも可能です。

4.　送信中断処理を実行中に，他のメッセージ・バッファを含め新しい送信要求を行わないでください。

図14－48は，ABT用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップしないための処理です。

★ 図14－48　ABT送信中断処理（ABT付き通常動作モード）

注意1.　ABT送信中断処理中は，いかなる送信要求もセットしないでください。

2.　CANスリープ・モード／CANストップ・モードの要求は，図14－48または図14－49により，ABTTRGビットがクリアされてから（連続送信であるABTモードを停止させてから），行ってください。ABT領域以外の送信要求をクリアする場合は，図14－47に従ってください。

図14－49は，ABT用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップするための処理です。

図14－49　ABT送信中断処理（ABT付き通常動作モード）

注意1.　ABT送信中断処理中は，いかなる送信要求もセットしないでください。

2.　CANスリープ・モード／CANストップ・モードの要求は，図14－48または図14－49により，ABTTRGビットがクリアされてから（連続送信であるABTモードを停止させてから），行ってください。ABT領域以外の送信要求をクリアする場合は，図14－47に従ってください。

★ 図14－50　割り込みによる受信処理（CnLIPTレジスタを使用する場合）

注　MUCビットとDNビットは別々にリードしないでください。

備考　保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので，メッセージ・バッファおよび受信ヒストリ・レジスタへのアクセスが可能であることを確かめるために，ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがセット（1）されていた場合には，実行中の処理を中止し，MBONビットが再度セット（1）されたあとで処理を再実行してください。この様な理由により，受信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。

★ **図14－51　割り込みによる受信処理（CnRGPTレジスタを使用する場合）**

注　MUCビットとDNビットは別々にリードしないでください。

備考　保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので，メッセージ・バッファおよび受信ヒストリ・レジスタへのアクセスが可能であることを確かめるために，ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがセット（1）されていた場合には，実行中の処理を中止し，MBONビットが再度セット（1）されたあとで処理を再実行してください。この様な理由により，受信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。

★ **図14－52　ソフトウエア・ポーリングによる受信処理**

注　MUCビットとDNビットは別々にリードしないでください。

備考　保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので，メッセージ・バッファおよび受信ヒストリ・レジスタへのアクセスが可能であることを確かめるために，ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがセット（1）されていた場合には，実行中の処理を中止し，MBONビットが再度セットされたあとで処理を再実行してください。

★ **図14－53　CANスリープ・モード／CANストップ・モードの設定**

注意　CANスリープ・モードの要求前に送信中断を行う場合は，図14－47または図14－48, 14－49に従って処理してください。

図14－54　CANスリープ・モード／CANストップ・モードの解除

★ **図14－55　バスオフからのリカバリ処理（ABT付き通常動作モード以外の場合）**

★ **注　バスオフ・リカバリ・シーケンス開始前に，RDYビットをクリアしてメッセージ・バッファの再初期化をする場合は，すべてのTRQビットをクリアしてください。**

★ **注意　バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために，初期化モードから任意の動作モードへ遷移要求をしたとき，受信エラー・カウンタ（REC [6:0]）がクリアされます。したがって，もう一度バス上に11ビットの連続したレセシブ・ビットを128回検出することが必要です。**

備考　OPMODE：**通常動作モード，ABT付き通常動作モード，受信オンリー・モード，シングル・ショット・モード，セルフ・テスト・モード**

★ **図14－56　バスオフからのリカバリ処理（ABT付き通常動作モードの場合）**

注　バスオフ・リカバリ・シーケンス開始前に，RDYビットをクリアしてメッセージ・バッファの再初期化をする場合は，すべてのTRQビットをクリアしてください。

注意　バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために，初期化モードから任意の動作モードへ遷移要求をしたとき，受信エラー・カウンタ（REC [6:0]）がクリアされます。したがって，もう一度バス上に11ビットの連続したレセシブ・ビットを128回検出することが必要です。

備考　OPMODE：通常動作モード，ABT付き通常動作モード，受信オンリー・モード，シングル・ショット・モード，セルフ・テスト・モード

図14－57　通常シャット・ダウン処理

図14－58　強制シャット・ダウン処理

注意　EFSDビットのセットとGOMビットのクリアの間に，ソフトウエアによる他のレジスタへのリード／ライト・アクセスを行わないでください。

図14－59　エラー処理

START
エラー割り込み発生
CINTS2 = 1?
No
Yes
CANモジュールのステータスの確認（CnINFOレジスタのリード）
CINTS2ビットをクリアする
CINTS3 = 1?
No
Yes
CANプロトコル・エラーの確認（CnLECレジスタのリード）
CINTS3ビットをクリアする
CINTS4 = 1?
No
Yes
CINTS4ビットをクリアする
END

★ 図14－60　CPUスタンバイ処理（CANスリープ・モードからの移行）

注意　CPUをスタンバイ・モードに設定する前に，CANスリープ・モードかどうかを確認してください。ただし，CANスリープ・モードかどうかを確認してから，CPUをスタンバイ・モードに設定するまでに，ウエイクアップによってCANスリープ・モードが解除されることがあります。

★ 図14－61　CPUスタンバイ処理（CANストップ・モードからの移行）

注　ウエイクアップ割り込み使用時

注意　CANストップ・モードは，CnCTRLレジスタのPSMODE [1:0]ビットを01Bに設定することでのみ解除が可能で，CANバスの変化によって解除されません。

第15章　DMAコントローラ（DMAC）

V850ES/FG2 は，DMA 転送を実行制御する DMA（Direct Memory Access）コントローラ（DMAC）を搭載しています。

V850ES/FG2 は，4 つの独立な DMA チャネルを搭載しています。

DMAC は，内蔵周辺 I/O（シリアル・インタフェース，タイマ／カウンタ，A/D コンバータ），外部入力端子からの割り込みによる要求，またはソフトウエア・トリガによる DMA 要求に基づいて，メモリ⇔I/O 間，メモリ⇔メモリ間，I/O⇔I/O 間でのデータ転送を制御します（メモリは内蔵 RAM を意味します）。

15. 1　特　　徴

○4 つの独立な DMA チャネル

○転送単位：8 ビット/16 ビット

○最大転送回数：65536（2^{16}）回

○転送タイプ：2 サイクル転送

○転送モード：シングル転送モード

○転送要求

- 内蔵周辺 I/O（シリアル・インタフェース，タイマ／カウンタ，A/D コンバータ），外部入力端子からの割り込みによる要求
- ソフトウエア・トリガによる要求

○転送対象

- 周辺 I/O⇔周辺 I/O
- 周辺 I/O⇔内蔵 RAM

15. 2　構　　成

図 15ー1　DMA **コントローラ部ブロック図**

備考　n = 0-3

15. 3　制御レジスタ

15. 3. 1　DMAソース・アドレス・レジスタ0-3（DSA0-DSA3）

DMAチャネルnのDMA転送元アドレス（26ビット）を設定します（n = 0-3）。

このレジスタは，DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。

16ビット単位でリード／ライト可能です。

リセット時：不定　R/W　アドレス：DSA0H FFFFF082H, DSA1H FFFFF08AH,
DSA2H FFFFF092H, DSA3H FFFFF09AH,
DSA0L FFFFF080H, DSA1L FFFFF088H,
DSA2L FFFFF090H, DSA3L FFFFF098H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAnH (n = 0-3)	IR	0	0	0	0	0	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16
DSAnL (n = 0-3)	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0

IR	DMA転送元の指定
0	内蔵周辺I/O
1	内蔵RAM

SA25-SA16	DMA転送元のアドレス（A25-A16）を設定してください（初期値不定）。 DMA転送中は，次のDMA転送元アドレスを保持します。 DMA転送が完了すると，最初に設定されたDMAアドレスが保持されます。

SA15-SA0	DMA転送元のアドレス（A15-A0）を設定してください（初期値不定）。 DMA転送中は，次のDMA転送元アドレスを保持します。 DMA転送が完了すると，最初に設定されたDMAアドレスが保持されます。

★ **注意** 1. DSAnH レジスタのビット 14-10 には，必ず“0”を設定してください。

2. DSAnH, DSAnL レジスタの設定は，DMA 動作中でない次のいずれかのタイミングで行ってください。
   - リセット後から最初の DMA 転送起動までの期間
   - DCHCn.INITn ビットによるチャネル初期化後から DMA 転送起動までの期間
   - DMA 転送完了後（DCHCn.TCn ビット = 1 の状態）から次の DMA 転送起動までの期間

3. DSAn レジスタの値を読み出す際，DSAnH レジスタと DSAnL レジスタの 2 つの 16 ビット・レジスタごとに読み出すため，読み出しと更新のタイミングが競合した場合，更新途中の値が読み出されることがあります（16. 11　注意事項参照）。

15. 3. 2　DMAデスティネーション・アドレス・レジスタ0-3（DDA0-DDA3）

DMAチャネルnのDMA転送先アドレス（26ビット）を設定します（n = 0-3）。

このレジスタは，DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。

16ビット単位でリード／ライト可能です。

リセット時：不定　R/W　アドレス：DDA0H FFFFF086H, DDA1H FFFFF08EH,
DDA2H FFFFF096H, DDA3H FFFFF09EH,
DDA0L FFFFF084H, DDA1L FFFFF08CH,
DDA2L FFFFF094H, DDA3L FFFFF09CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnH (n = 0-3)	IR	0	0	0	0	0	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16
DDAnL (n = 0-3)	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0

IR	DMA転送先の指定
0	内蔵周辺I/O
1	内蔵RAM

DA25-DA16	DMA転送先のアドレス（A25-A16）を設定してください（初期値不定）。 DMA転送中は，次のDMA転送先アドレスを保持します。 DMA転送が終了すると，最初に設定されたDMA転送元アドレスを保持します。

DA15-DA0	DMA転送先のアドレス（A15-A0）を設定してください（初期値不定）。 DMA転送中は，次のDMA転送先アドレスを保持します。 DMA転送が終了すると，最初に設定されたDMA転送元アドレスを保持します。

★ 注意 1.　DDAnH レジスタのビット 14-10 には，必ず“0”を設定してください。

2.　DDAnH, DDAnL レジスタの設定は，DMA 動作中でない次のいずれかのタイミングで行ってください。
- リセット後から最初の DMA 転送起動までの期間
- DCHCn.INITn ビットによるチャネル初期化後から DMA 転送起動までの期間
- DMA 転送完了後（DCHCn.TCn ビット = 1 の状態）から次の DMA 転送起動までの期間

3.　DDAn レジスタの値を読み出す際，DDAnH レジスタと DDAnL レジスタの 2 つの 16 ビット・レジスタごとに読み出すため，読み出しと更新のタイミングが競合した場合，更新途中の値が読み出されることがあります（16. 11　注意事項参照）。

15. 3. 3　DMA転送カウント・レジスタ0-3（DBC0-DBC3）

DMA チャネル n の転送数を設定する 16 ビット・レジスタです（n = 0-3）。

DMA 転送中は，残りの転送数を保持します。

16 ビット単位でリード／ライト可能です。

備考　DMA 転送中に DBCn レジスタを書き換えることなくターミナル・カウントが発生したあと，DBCn レジスタを読み出した場合は，DMA 転送の直前に設定された値が読み出されます（転送終了後でも 0000H は読み出されません）。

リセット時：不定　R/W　アドレス：DBC0: FFFFF0C0H, DBC1: FFFFF0C2H,
DBC2: FFFFF0C4H, DBC3: FFFFF0C6H

	15	14	13	12	11	10	9	8
DBCn	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8
(n = 0-3)	7	6	5	4	3	2	1	0
	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0

BC15-BC0	転送数の設定，または DMA 転送中の残りの転送数
0000H	1 回の転送，または残り転送数
0001H	2 回の転送，または残り転送数
:	:
FFFFH	65,536（2^{16}）回の転送，または残り転送数

注意 1.　転送中に DBCn レジスタは変更できません。DCHCn レジスタの INIT ビットをセット（1）して初期化を行ってから変更してください。

★ 2.　DBCn レジスタの設定は，DMA 動作中でない次のいずれかのタイミングで行ってください。
- リセット後から最初の DMA 転送起動までの期間
- DCHCn.INITn ビットによるチャネル初期化後から DMA 転送起動までの期間
- DMA 転送完了後（DCHCn.TCn ビット = 1 の状態）から次の DMA 転送起動までの期間

15. 3. 4　DMAアドレシング・コントロール・レジスタ0-3（DADC0-DADC3）

DMA チャネル n の DMA 転送モードを制御する 16 ビット・レジスタです（n = 0-3）。

DMA 動作中はアクセスできません。

16 ビット単位でリード／ライト可能です。

リセットにより 0000H になります。

リセット時：0000H　R/W　アドレス：DADC0: FFFFF0D0H, DADC1: FFFFF0D2H,
DADC2: FFFFF0D4H, DADC3: FFFFF0D6H

	15	14	13	12	11	10	9	8
DADCn	0	DS0	0	0	0	0	0	0
(n = 0-3)	7	6	5	4	3	2	1	0
	SAD1	SAD0	DAD1	DAD0	0	0	0	0

DS0	DMA 転送での転送データ・サイズの設定
0	8 ビット
1	16 ビット

SAD1	SAD0	DMA チャネル n の転送元アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DAD1	DAD0	DMA チャネル n の転送先アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

★ 注意 1.　DADCn レジスタのビット 15, 13-8, 3-0 には，必ず“0”を設定してください。

2.　DADCn レジスタの設定は，DMA 動作中でない次のいずれかのタイミングで行ってください。
- リセット後から最初の DMA 転送起動までの期間
- DCHCn.INITn ビットによるチャネル初期化後から DMA 転送起動までの期間
- DMA 転送完了後（DCHCn.TCn ビット = 1 の状態）から次の DMA 転送起動までの期間

3.　DS0 ビットは転送データ・サイズを設定するものであり，バス・サイジングを制御するものではありません。したがって，8 ビット・データ（DS0 ビット = 0）を設定した場合でも，必ずしも下位データ・バスを使用するわけではありません。

4.　転送データ・サイズを 16 ビットに設定した場合（DS0 ビット = 1），奇数アドレスから始まる転送はできません。下位アドレスの 1 ビットを“0”にアラインしたアドレスから必ず転送を開始します。

5.　内蔵周辺 I/O レジスタを対象（転送元／転送先）とする DMA 転送の場合，必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば，8 ビットのレジスタに対する DMA 転送の場合は，必ず（8 ビット）転送を指定してください。

15. 3. 5　DMAチャネル・コントロール・レジスタ0-3（DCHC0-DCHC3）

DMA チャネル n の DMA 転送動作モードを制御する 8 ビット・レジスタです（n = 0-3）。

8/1 ビット単位でリード／ライト可能です（ただし，ビット 7 はリードだけ，ビット 1, 2 はライトだけ可能です。ビット 1, 2 をリードした場合は 0 が読み出されます）。

リセットにより 00H になります。

リセット時：00H　R/W　アドレス：DCHC0: FFFFF0E0H, DCHC1: FFFFF0E2H,
DCHC2: FFFFF0E4H, DCHC3: FFFFF0E6H

	7	6	5	4	3	2	1	0
★ DCHCn (n = 0-3)	TCn 注1	0	0	0	0	INITn 注2	STGn 注2	Enn

★

TCn	DMA チャネル n の DMA 転送の完了／未完了を示すステータス・フラグ
0	DMA 転送未完了
1	DMA 転送完了
DMA 転送の最後の転送時にセット（1）され，読み出しによってクリア（0）されます。	

★

INITn	DMA 転送が禁止された状態で（Enn ビット = 0），INITn ビットをセット（1）すると DMA 転送のステータスを初期化できます。 DMA 転送が完了する前に（TCn ビットがセット（1）される前），DMA 転送ステータスの再設定（DDAnH, DDAnL, DSAnH, DSAnL, DBCn, DADCn レジスタの再設定）を行う場合は，必ずこのビットをセット（1）して，DMA チャネルの初期化後に行ってください。 ただし，DMA コントローラの初期化は，必ず 15. 11　注意事項に示す手順に従って行ってください。
Enn ビット = 0 のときに INIT ビットをセット（1）にしてください。	

STGn	DMA 転送が許可の状態（TCn ビット = 0, Enn ビット = 1）でこのビットをセット（1）すると DMA 転送を開始します。

Enn	DMA チャネル n の DMA 転送の許可／禁止の設定
0	DMA 転送の禁止
1	DMA 転送の許可

★

Enn ビットをセット（1）すると DMA 転送が許可されます。
DMA 転送が完了（ターミナル・カウント発生）すると，自動的にクリア（0）されます。
なお，DMA 転送を中断するには，ソフトウエアで Enn ビットをクリア（0）してください。再開するには，再度 Enn ビットをセット（1）してください。
ただし，DMA 転送の中断／再開は，必ず 15. 11　注意事項に示す手順に従って行ってください。

注1.　TCn ビットはリードのみ可能です。
2.　INITn, STGn ビットはライトのみ可能です。

注意 1.　DCHCn レジスタのビット 6-3 には，必ず“0”を設定してください。
★ 2.　ソフトウエアによる DMA 転送要求を発生させるときには，TCn ビットがセット（1）されていることを確認してから，TCn ビットをクリア（0）してください。
3.　INITn ビットのセットと他のチャネルの DMA 転送が競合すると初期化が行われない場合があります。
★ 4.　DMA 転送完了時（ターミナル・カウント時）は Enn ビットのクリア（0）→TCn ビットのセット（1）の順で各ビットの更新が行われます。そのため，DCHCn レジスタの各ビットの更新途中に DCHCn レジスタを読み出した場合，「転送未完了，かつ転送禁止」の状態を示す値（TCn ビット = 0，かつ Enn ビット = 0）が読み出されることがあります。

15. 3. 6　DMA トリガ要因レジスタ0-3（DTFR0-DTFR3）

内蔵周辺 I/O からの割り込み要求信号による DMA 転送開始トリガを制御する 8 ビット・レジスタです。
このレジスタで設定した割り込み要求信号が，DMA 転送の起動要因になります。
8 ビット単位でリード／ライト可能です。ただしビット 7（DFn）のみ 1 ビット単位でリード／ライト可能です。
リセットにより 00H になります。

リセット時：00H　R/W　アドレス：DTFR0: FFFFF810H, DTFR1: FFFFF812H,
DTFR2: FFFFF814H, DTFR3: FFFFF816H

	7	6	5	4	3	2	1	0
DTFRn (n = 0-3)	DFn 注	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0

DFn	DMA 転送の起動要因になる割り込み要因の設定
0	DMA 転送要求なし
1	DMA 転送要求あり

注　DFn ビットは 0 のみライト可能です。DMA 転送を禁止している間に DMA 転送の起動要因に設定している割り込みが発生し，DMA 転送要求をクリアする必要がある場合に 0 をライトします。

★ 注意 1.　IFCn5-IFCn0 ビットの設定は，次の順に行ってください。

(a) IFCn0-IFCn5 に設定しようとしている値が，他チャネルの IFCn0-IFCn5 に設定されていない場合

1. 書き換え対象となるチャネルの DMA 動作を停止（DCHCn.Enn = 0）する。
2. DTFRn レジスタの設定を変更する。（必ず 8 ビット操作で行ってください。）
3. DTFRn.DFn = 0 であることを確認する。
   （あらかじめ，割り込み発生要因の動作を停止しておいてください。）
4. DMA 動作を許可（DCHCn.Enn = 1）する。

(b) IFCn0-IFCn5 に設定しようとしている値が，すでに他チャネルの IFCn0-IFCn5 に設定されている場合

1. 書き換え対象となるチャネルの DMA 動作を停止（DCHCn.Enn = 0）する。
2. 書き換える値と IFCm5- IFCm0 ビットの値が同一であるチャネルの DMAm 転送を停止（DCHCn.Emm = 0）する。
3. DTFRn レジスタの設定を変更する。（必ず 8 ビット操作で行ってください。）
4. DTFRn.DFn = 0 および DTFRm.DFm = 0 であることを確認する。
   （あらかじめ，割り込み発生要因の動作を停止しておいてください。）
5. DMA 動作を許可（DCHCn.Enn = 1 および DCHCm.Emm = 1）する。

★ 2.　IFCn5-IFCn0 ビットの設定は，DMA 動作中でない次のいずれかのタイミングで行ってください。

- リセット後から最初の DMA 転送起動までの期間
- DCHCn.INITn ビットによるチャネル初期化後から DMA 転送起動までの期間
- DMA 転送完了後（DCHCn.TCn ビット = 1 の状態）から次の DMA 転送起動までの期間

3.　スタンバイ・モード（IDLE1，IDLE2，ソフトウエア STOP，サブ IDLE モード）中に入力された割り込み要求は，DMA 転送の起動要因にはなりません。

★ 4.　IFCn5-IFCn0 ビットで任意の DMA 起動要因を選択したあとは，DMA の動作許可／禁止にかかわらず，選択した内蔵周辺 I/O からの割り込みが発生すると DFn ビットはセット（1）されます。この状態で DMA 許可とした場合，ただちに DMA 転送が起動されます。

5.　IFCn5-IFCn0 ビットについては，表 15－1　DMA 起動要因を参照してください。

表 15ー1　DMA 起動要因（1/2）

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	割り込みによる DMA 要求禁止
0	0	0	0	0	1	INTLVI
0	0	0	0	1	0	INTP0
0	0	0	0	1	1	INTP1
0	0	0	1	0	0	INTP2
0	0	0	1	0	1	INTP3
0	0	0	1	1	0	INTP4
0	0	0	1	1	1	INTP5
0	0	1	0	0	0	INTP6
0	0	1	0	0	1	INTP7
0	0	1	0	1	0	INTTQ0OV
0	0	1	0	1	1	INTTQ0CC0
0	0	1	1	0	0	INTTQ0CC1
0	0	1	1	0	1	INTTQ0CC2
0	0	1	1	1	0	INTTQ0CC3
0	0	1	1	1	1	INTTP0OV
0	1	0	0	0	0	INTTP0CC0
0	1	0	0	0	1	INTTP0CC1
0	1	0	0	1	0	INTTP1OV
0	1	0	0	1	1	INTTP1CC0
0	1	0	1	0	0	INTTP1CC1
0	1	0	1	0	1	INTTP2OV
0	1	0	1	1	0	INTTP2CC0
0	1	0	1	1	1	INTTP2CC1
0	1	1	0	0	0	INTTP3OV
0	1	1	0	0	1	INTTP3CC0
0	1	1	0	1	0	INTTP3CC1
0	1	1	0	1	1	INTTM0EQ0
0	1	1	1	0	0	INTCB0R
0	1	1	1	0	1	INTCB0T
0	1	1	1	1	0	INTCB1R
0	1	1	1	1	1	INTCB1T
1	0	0	0	0	0	INTUA0R
1	0	0	0	0	1	INTUA0T
1	0	0	0	1	0	INTUA1R
1	0	0	0	1	1	INTUA1T
1	0	0	1	0	0	INTAD
1	0	0	1	0	1	INTC0ERR
1	0	0	1	1	0	INTC0WUP
1	0	0	1	1	1	INTC0REC

備考　n = 0-3

表 15ー1　DMA 起動要因（2/2）

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
1	0	1	0	0	0	INTC0TRX
1	0	1	0	0	1	INTKR
1	0	1	0	1	0	INTTQ1OV
1	0	1	0	1	1	INTTQ1CC0
1	0	1	1	0	0	INTTQ1CC1
1	0	1	1	0	1	INTTQ1CC2
1	0	1	1	1	0	INTTQ1CC3
1	0	1	1	1	1	INTUA2R
1	1	0	0	0	0	INTUA2T
1	1	0	0	0	1	INTC1ERR
	1	0	0	1	0	INTC1EWUP
1	1	0	0	1	1	INTC1REC
1	1	0	1	0	0	INTC1TRX

備考　n = 0-3

15. 4　DMAバス・ステート

15. 4. 1　バス・ステートの種類

DMACのバス・ステートは次に示す10種類のステートで構成されています。

（1）TIステート

アクセス要求がないアイドル状態のステートです。

CLKOUT信号の立ち上がりでDMA要求信号をサンプリングします。

（2）T0ステート

DMA転送準備状態（DMA転送要求があり，最初のDMA転送のためにバス使用権を獲得している状態）のステートです。

（3）T1Rステート

2サイクル転送のリードの最初に移行するステートです。

アドレスの駆動を開始します。T1Rステートのあとは T2Rステートに遷移します。

（4）T2Rステート

2サイクル転送のリードの最後またはウエイト状態のステートです。

最後のT2Rステートでリード・データをサンプリングします。そのあとはT1WステートまたはT2RIステートに遷移します。

（5）T2RIステート

内蔵周辺I/Oまたは内蔵RAMへのDMA転送準備状態（内蔵周辺I/Oまたは内蔵RAMへのDMA転送のために，バスの使用権を獲得している状態）のステートです。

最後のT2RIステートのあとはT1Wステートに必ず遷移します。

（6）T1Wステート

2サイクル転送のライトの最初に移行するステートです。

アドレスの駆動を開始します。T1Wステートのあとは T2Wステートに遷移します。

（7）T2Wステート

2サイクル転送のライトの最後またはウエイト状態のステートです。

最後のT2Wステートでライト・ストローブ信号をインアクティブにします。

（8）TEステート

DMA転送完了のステートです。DMACはDMA転送終了信号の内部信号を生成し，ほかの各種内部信号を初期化します。TEステートのあとは必ずTIステートに遷移します。

15. 4. 2　DMACバス・サイクルの状態遷移

1 回の DMA 転送終了ごとにバス使用権を解放します。

図 15ー2　DMAC バス・サイクルの状態遷移図

15. 5　転送モード

15. 5. 1　シングル転送モード

シングル転送では，DMAC は 1 回のバイト／ハーフワード転送ごとにバスを解放します。その後，DMA 転送要求があると再度 1 回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMAC がバスを解放している間にほかの優先順位が高い DMA 転送要求が発生した場合，常に優先順位が高い DMA 要求を優先させます。

★　ただし，転送サイクル中に同一チャネルの新たな転送要求と，他の優先順位が低いチャネルの転送要求が発生した場合，CPU にバスを解放した次の転送は，新たに要求のあった優先順位の低いチャネルの DMA 転送となります（転送サイクル中は，同一チャネルの新たな転送要求は無視されます）。

15. 6　転送タイプ

転送タイプとして，2 サイクル転送をサポートしています。

2 サイクル転送は，リード・サイクル（転送元→DMAC），ライト・サイクル（DMAC→転送先）と 2 回のサイクルでデータを転送します。

1 回目のサイクルでは，転送元のアドレスを出力し転送元から DMAC へのリードを行い，2 回目のサイクルでは，転送先のアドレスを出力し DMAC から転送先への書き込みを行います。

★　リード・サイクルとライト・サイクルの間には，必ず 1 クロック分のアイドル・サイクルが挿入されます。

15. 7　転送対象

15. 7. 1　転送対象

転送対象の関係を表 15－2 に示します（○：転送可，×：転送不可）。

表 15－2　転送対象の関係

転送元＼転送先	内蔵周辺 I/O	内蔵 RAM	内蔵 ROM
内蔵周辺 I/O	○	○	×
内蔵 RAM	○	×	×
内蔵 ROM	×	×	×

注意　表 15－2 に示す転送先と転送元で，「×」が表記されている組み合わせで転送を行った場合の動作は保証できません。

備考　2 サイクルの 16 ビット転送で転送元と転送先のデータ･バス幅が異なる場合，次のような動作になります。

★ ＜16 ビット・データ転送の場合＞

① 32 ビット・バス→16 ビット・バスへの転送
リード・サイクル（上位 16 ビットはハイ･インピーダンス）が発生し，そのあとライト・サイクル（16 ビット）が発生します。

② 16/32 ビット・バス→8 ビット・バスへの転送の場合
16 ビットのリード・サイクルが 1 回発生し，その後 8 ビットのライト・サイクルが 2 回発生します。

③ 8 ビット・バス→16/32 ビット・バスへの転送の場合
8 ビットのリード・サイクルが 2 回発生し，その後 16 ビットのライト・サイクルが 1 回発生します。

④ 16 ビット・バス⇔32 ビット・バスへの転送の場合
16 ビットのリード・サイクルが 1 回発生し，その後 16 ビットのライト・サイクルが 1 回発生します。

なお，内蔵周辺 I/O レジスタを対象（転送元／転送先）とする DMA 転送の場合，必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば，8 ビットのレジスタに対する DMA 転送の場合は，必ずバイト（8 ビット）転送を指定してください。

各転送対象（転送元／転送先）のバス幅は次のとおりです。

- 内蔵周辺 I/O　：16 ビット・バス幅
- 内蔵 RAM　　：32 ビット・バス幅

15. 8　DMAチャネルの優先順位

DMA チャネルの優先順位は固定で，次のようになります。

DMA チャネル 0＞DMA チャネル 1＞DMA チャネル 2＞DMA チャネル 3

この優先順位が有効になるのは，TI ステートのときだけです。ブロック転送中は転送するチャネルが入れ替わることはありません。

シングルステップ転送中でバスを解放している期間（TI）中に，ほかの優先順位が高い DMA 転送要求が発生した場合は，優先順位が高い DMA 転送を行います。

15. 9　DMA転送起動要因

DMA 転送の起動要因には，次の 2 種類があります。

（1）ソフトウエアによる要求

DCHCnレジスタのSTGn, Enn, TCnビットが次のように設定されると，DMA転送を開始します（n = 0-3）。

- STGn ビット = 1
- Enn ビット = 1
- TCn ビット = 0

（2）内蔵周辺I/Oによる要求

DCHCnレジスタのEnn, TCnビットが次のように設定されている状態で，DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると，DMA転送要求を開始します（n = 0-3）。

- Enn ビット = 1
- TCn ビット = 0

★　注意 1. 同一の DMA チャネルに対して，2 つの起動要因（ソフトウエア・トリガ，ハードウエア・トリガ）を併用できません。1 つの DMA チャネルに対して，2 つの起動要因が同時に発生した場合，どちらか一方だけが有効となります。有効となった起動要因の特定はできません。

2. 先の DMA 転送要求が発生してから，または先の DMA 転送サイクル中に新たな転送要求が発生しても，その要求は無視（クリア）されます。

3. 同一の DMA チャネルに対する転送要求間隔は，DMA 転送サイクル中のバス・ウエイトの設定やほかのチャネルの起動状況により変化します。特に注意 2 のとおり，DMA 転送サイクル前，または転送サイクル中に同一チャネルの新たな転送要求が発生しても，その要求は無視されてしまいます。したがって，同一の DMA チャネルに対する転送要求間隔は，システム上で十分な間隔を持つようにしてください。ソフトウエア・トリガ時は，DBCn レジスタの更新により，先に発生した DMA 転送サイクルの完了を確認できます。

15. 10　DMA転送の終了

15. 10. 1　DMA転送終了割り込み

DMA 転送が終了し，DCHCn レジスタの TCn ビットがセット（1）されると，割り込みコントローラ（INTC）に対して，DMA 転送終了割り込み（INTDMAn）を発生します（n = 0-3）。

15. 10. 2　DMA転送終了時のターミナル・カウント出力

最終 DMA 転送サイクル中，ターミナル・カウント信号が 1 クロックの間アクティブになります。

15. 11　注意事項

（1）メモリ境界

DMA転送中に，転送元，または転送先のアドレスがDMA対象（内蔵RAM，内蔵周辺I/O）の領域を越えた場合の動作は保証できません。

（2）ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

★　奇数アドレスを転送元，または転送先に指定した場合，アドレスの最下位ビットは強制的に0として扱われます。

（3）DMA転送に関する各種時間

DMA要求に対する応答時間，DMA処理時間にかかる最小クロック数（シングル転送時）を次に示します。

（DMA 要求に対する応答時間，DMA 処理時間にかかる最小クロック数）
＝（DMA 応答時間①）＋（転送元メモリ・アクセス②）＋1 注1＋（転送先メモリ・アクセス②）

DMA サイクル		最小実行クロック数
①DMA 要求に対する応答時間		Min. 4 クロック ＋ ノイズ除去時間注2
②メモリ・アクセス	内蔵 RAM	2 クロック注3
	内蔵周辺 I/O レジスタ	4 クロック＋VSWC レジスタによるウエイト数注4

注1.　DMA 転送のリード・サイクルとライト・サイクルの間に 1 クロック挿入されます。
2.　外部割込みを転送要求に指定した場合，ノイズ除去時間が追加されます。
3.　内蔵 RAM アクセスのパイプライン処理を行ったときの見かけ上の最小実行クロック数は，1 クロックですが（第 3 章　CPU 機能参照），DMA アクセスを行った場合は，2 クロックになります。
★　4.　特定の周辺 I/O レジスタへのアクセスについては，さらにウエイトが必要となります（詳細は 3. 4. 10（2）特定の内蔵周辺 I/O レジスタへのアクセスについてを参照してください）。

（4）CPUへのバス・アービトレーション

CPU は，DMA 転送を行っていない内蔵周辺 I/O，内蔵 RAM とのアクセスが可能です。
外部 I/O 内でデータ転送が行われているときは，CPU は内蔵 RAM にアクセスできます。

（5）DMAチャネル・コントロール・レジスタ0-3（DCHC0-DCHC3）のINITnビットの注意事項（n = 0-3）

DMA 転送中のチャネルを初期化するときに，INITn ビットをセット（1）しても，チャネルの初期化が行われない場合があります。初期化を確実に実行するために，次に示す 2 つの手順のいずれかを実行させてください。

（a）一時的にすべてのDMAチャネルの転送を停止させる方法

★　次に示す①～⑦の手順で初期化を実行してください。

ただし，次の⑤に示す処理の実行により，TCn ビットがクリア（0）されてしまいます。ほかの処理において,TCn ビット = 1 となっていることを期待したプログラムになっていないことを確認してください。

【手順】

① 割り込み禁止（DI）状態にする。

② 強制終了したいチャネル以外の使用している DMA チャネルの DCHCn レジスタの Enn ビットを読み出し，汎用レジスタに転送する。

③ 使用している DMA チャネル（強制終了するチャネルを含む）の Enn ビットをクリア（0）する。最終の DMA チャネルの場合には Enn ビットのクリア命令を 2 回実行する。このとき，転送対象（転送元または転送先）が内蔵 RAM の場合は，3 回実行する。

たとえばチャネル 0, 1, 2 を使用している場合には，下記命令を実行する。

- DCHC0 レジスタの E00 ビットをクリア（0）
- DCHC1 レジスタの E11 ビットをクリア（0）
- DCHC2 レジスタの E22 ビットをクリア（0）
- 再度，DCHC2 レジスタの E22 ビットをクリア（0）

④ 強制終了するチャネルの INITn ビットをセット（1）する。

⑤ ②で読み出した値に対して強制終了しない各チャネルの TCn ビットと Enn ビットが,ともに 1（AND が 1）の場合は退避していた Enn ビットをクリア（0）する。

⑥ ⑤で操作後の Enn ビットを DCHCn レジスタに書き込む。

⑦ 割り込み許可（EI）状態にする。

注意　上記⑤は，②～③の間に正常終了したチャネルに対して，再度 Enn ビットを不正にセットすることを防ぐため，必ず行ってください。

（b）正常に強制終了するまでINITnビットのセットを繰り返し実行する方法

【手順】

① 強制終了したいチャネルの DCHCn レジスタの Enn ビットを 0 にする。

② 再度，強制終了したいチャネルの Enn ビットを 0 にする。強制終了したいチャネルの転送対象（転送元または転送先）が内蔵 RAM の場合は，②をもう一度実行する。

③ 強制終了したいチャネルの初期転送回数を汎用レジスタにコピーする。

④ 強制終了するチャネルの DCHCn レジスタの INITn ビットをセット（1）する。

⑤ 強制終了するチャネルの DMA 転送カウント・レジスタ（DBCn）の値を読み込み，③でコピーした値と比較する。一致しない場合は④～⑤を繰り返す。

★ 注意 1. ⑤で DBCn レジスタを読み込んだ場合，異常終了したときは残りの転送回数がリードされます。正常に強制終了した場合には初期転送回数がリードされます。

2. この回避方法は，強制終了の対象となっている DMA チャネル以外の DMA 転送が，頻繁に行われるようなアプリケーションにおいては，強制終了されるまでに時間を要する可能性がありますので注意してください。

（6）内蔵RAMでのプログラム実行とDMA転送

次に示す条件のすべてが一致した時，それ以降CPUが正常に動作しなくなる可能性があります。この状態では，リセットのみが受け付け可能です。

【発生条件】

★ ・内蔵 RAM に配置されたビット操作命令（SET1, CLR1, NOT1）

・内蔵 RAM に配置されたミス・アライン・アドレスに対するデータ・アクセス命令

上記いずれかの命令実行中に内蔵 RAM を対象とした DMA 転送を実行。
したがって，次のいずれかの方法により，回避してください。

【回避方法】

・内蔵 RAM を対象とした DMA 転送を実行する場合は，内蔵 RAM 上に配置されたビット操作命令（SET1, CLR1, NOT1），またはミス・アライン・アドレスに対するデータ・アクセス命令を実行しない。

・内蔵 RAM 上に配置されたビット操作命令（SET1, CLR1, NOT1），またはミス・アライン・アドレスに対するデータ・アクセス命令を実行する場合は，内蔵 RAM を対象とした DMA 転送を行わない。

（7）DMAチャネル・コントロール・レジスタ0-3（DCHC0-DCHC3）のTCnビットの注意事項（n = 0-3）

ある特定タイミングにおいて TCn ビットをリードしても，自動的にクリア（0）されません。この場合次の 2 つの回避手順があります。

（a）TCnビットをポーリングしてDMA転送終了の待ち合わせを行う場合

TCn ビットがセット（1）されたことを確認したあと，さらに 3 回の TCn ビットのリードを行ってください。

（b）割り込み処理ルーチンでTCnビットのリードを行う場合

TCn ビットのリードを 3 回実行してください。

★　（8）VSWCレジスタに関する注意

DMACを使用する際は，必ずVSWCレジスタに，動作周波数に応じた最適な値を設定してください。

VSWCレジスタの初期値（77H），または最適な値以外で使用した場合は正常に動作できません

（VSWC レジスタの詳細については，3. 4. 10（1）（a）システム・ウエイト・コントロール・レジスタ（VSWC）を参照してください）。

★　（9）DMA転送の一時中断手順について（Ennビットのクリア）

実行中のDMA転送を中断し，再開するには次の手順に従ってください。

① DMA 要求元からの転送要求が発生しないようにする（内蔵周辺 I/O の動作を停止）。

② DFn ビットにより，DMA 転送要求が保留されていないかを確認する（DFn ビット = 0 であることを確認）。保留されている場合は，保留されている DMA 転送要求の実行が完了するまで待つ。

③ DMA 転送要求が保留されていないことを確認できたら，Enn ビットをクリア（0）する（この操作により，DMA 転送が中断される）。

④ DMA 転送を再開させるために Enn ビットをセット（1）する。

⑤ 停止している DMA 要求元の動作を再開する（内蔵周辺 I/O の動作を開始）。

15. 12　中断要因

DMA 転送は，バス・ホールドが発生すると中断されます。

DMA 転送を中断する要因がなくなると，引き続き DMA 転送を再開します。

15. 13　使用上の注意

- オンチップ・ディバグ（OCD）モード下において break コマンドが起動されたとき，（DMA 動作が保証された）周辺機器は，DMA がトリガとなるリード動作が認識されません。

第16章　割り込み／例外処理機能

V850ES/FG2 は，割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵しています。なお，割り込みをプログラムの実行とは別に独立して発生する事象とし，例外をプログラムの実行に依存して発生する事象とします。

V850ES/FG2 では，内蔵している周辺ハードウエアおよび外部からの各種割り込み要求信号を処理できます。さらに，TRAP 命令による例外処理の起動（ソフトウエア例外）や，例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

16. 1　特　　徴

○割り込み

- ノンマスカブル割り込み　：2 要因
- マスカブル割り込み　　：外部 11 要因，内部 50 要因
- 8 レベルのプログラマブル優先順位制御（マスカブル割り込み）
- 優先順位に従った割り込み多重処理制御
- 個々のマスカブル割り込み要求に対するマスク指定
- 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

○例外

- ソフトウエア例外　：32 要因
- 例外トラップ　　：2 要因（不正命令コード例外，ディバグ・トラップ）

これらの割り込み／例外要因を表 16－1 に示します。

表 16－1　割り込み要因一覧（1/3）

種　類	分　類	DP 注1	名　称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	復帰 PC	割り込み制御レジスタ
リセット	割り込み	－	RESET	$\overline{\text{RESET}}$端子入力／内部要因からのリセット入力	RESET	0000H	00000000H	不定	－
ノンマスカブル	割り込み	－	NMI	NMI 端子有効エッジ入力	端子	0010H	00000010H	nextPC	－
		－	INTWDT2	WDT2 のオーバフロー	WDT2	0020H	00000020H	nextPC 注2	－
ソフトウエア例外	例外	－	TRAP0n 注3	TRAP 命令	－	004nH 注3	00000040H	nextPC	－
		－	TRAP1n 注3	TRAP 命令	－	005nH 注3	00000050H	nextPC	－
例外トラップ	例外	－	ILGOP/DBG0	不正命令コード／DBTRAP 命令	－	0060H	00000060H	nextPC	－
マスカブル	割り込み	0	INTLVI	低電圧検出	POCLVI	0080H	00000080H	nextPC	LVIIC
		1	INTP0	外部割り込み端子入力エッジ検出（INTP0）	端子	0090H	00000090H	nextPC	PIC0
		2	INTP1	外部割り込み端子入力エッジ検出（INTP1）	端子	00A0H	000000A0H	nextPC	PIC1
		3	INTP2	外部割り込み端子入力エッジ検出（INTP2）	端子	00B0H	000000B0H	nextPC	PIC2
		4	INTP3	外部割り込み端子入力エッジ検出（INTP3）	端子	00C0H	000000C0H	nextPC	PIC3
		5	INTP4	外部割り込み端子入力エッジ検出（INTP4）	端子	00D0H	000000D0H	nextPC	PIC4
		6	INTP5	外部割り込み端子入力エッジ検出（INTP5）	端子	00E0H	000000E0H	nextPC	PIC5
		7	INTP6	外部割り込み端子入力エッジ検出（INTP6）	端子	00F0H	000000F0H	nextPC	PIC6
		8	INTP7	外部割り込み端子入力エッジ検出（INTP7）	端子	0100H	00000100H	nextPC	PIC7
		9	INTTQ0OV	TMQ0 オーバフロー	TMQ0	0110H	00000110H	nextPC	TQ0OVIC
		10	INTTQ0CC0	TMQ0 キャプチャ 0／コンペア 0 一致	TMQ0	0120H	00000120H	nextPC	TQ0CCIC0
		11	INTTQ0CC1	TMQ0 キャプチャ 1／コンペア 1 一致	TMQ0	0130H	00000130H	nextPC	TQ0CCIC1
		12	INTTQ0CC2	TMQ0 キャプチャ 2／コンペア 2 一致	TMQ0	0140H	00000140H	nextPC	TQ0CCIC2
		13	INTTQ0CC3	TMQ0 キャプチャ 3／コンペア 3 一致	TMQ0	0150H	00000150H	nextPC	TQ0CCIC3
		14	INTTP0OV	TMP0 オーバフロー	TMP0	0160H	00000160H	nextPC	TP0OVIC
		15	INTTP0CC0	TMP0 キャプチャ 0／コンペア 0 一致	TMP0	0170H	00000170H	nextPC	TP0CCIC0
		16	INTTP0CC1	TMP0 キャプチャ 1／コンペア 1 一致	TMP0	0180H	00000180H	nextPC	TP0CCIC1
		17	INTTP1OV	TMP1 オーバフロー	TMP1	0190H	00000190H	nextPC	TP1OVIC
		18	INTTP1CC0	TMP1 キャプチャ 0／コンペア 0 一致	TMP1	01A0H	000001AH	nextPC	TP1CCIC0
		19	INTTP1CC1	TMP1 キャプチャ 1／コンペア 1 一致	TMP1	01B0H	000001B0H	nextPC	TP1CCIC1

注 1.　DP：ディフォールト・プライオリティ

★　2.　TNTWDT2 の場合の復帰については 16. 2. 3（2）INTWDT2 信号の場合を参照してください。

3.　n = 0H-FH

表 16－1　割り込み要因一覧（2/3）

種　類	分　類	DP 注	名　称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	復帰 PC	割り込み制御レジスタ
マスカブル	割り込み	20	INTTP2OV	TMP2 オーバフロー	TMP2	01C0H	000001C0H	nextPC	TP2OVIC
		21	INTTP2CC0	TMP2 キャプチャ 0／コンペア 0 一致	TMP2	01D0H	000001D0H	nextPC	TP2CCIC0
		22	INTTP2CC1	TMP2 キャプチャ 1／コンペア 1 一致	TMP2	01E0H	000001E0H	nextPC	TP2CCIC1
		23	INTTP3OV	TMP3 オーバフロー	TMP3	01F0H	000001F0H	nextPC	TP3OVIC
		24	INTTP3CC0	TMP3 キャプチャ 0／コンペア 0 一致	TMP3	0200H	00000200H	nextPC	TP3CCIC0
		25	INTTP3CC1	TMP3 キャプチャ 1／コンペア 1 一致	TMP3	0210H	00000210H	nextPC	TP3CCIC1
		26	INTTM0EQ0	TMM0 コンペア一致	TMM0	0220H	00000220H	nextPC	TM0EQIC0
		27	INTCB0R	CSIB0 受信完了／エラー	CSIB0	0230H	00000230H	nextPC	CB0RIC
		28	INTCB0T	CSIB0 連続送信書き込み許可	CSIB0	0240H	00000240H	nextPC	CB0TIC
		29	INTCB1R	CSIB1 受信完了／エラー	CSIB1	0250H	00000250H	nextPC	CB1RIC
		30	INTCB1T	CSIB1 連続送信書き込み許可	CSIB1	0260H	00000260H	nextPC	CB1TIC
		31	INTUA0R	UARTA0 受信完了／エラー	UARTA0	0270H	00000270H	nextPC	UA0RIC
		32	INTUA0T	UARTA0 送信許可	UARTA0	0280H	00000280H	nextPC	UA0TIC
		33	INTUA1R	UARTA1 受信完了／エラー	UARTA1	0290H	00000290H	nextPC	UA1RIC
		34	INTUA1T	UARTA1 送信許可	UARTA1	02A0H	000002A0H	nextPC	UA1TIC
		35	INTAD	A/D 変換終了	A/D	02B0H	000002B0H	nextPC	ADIC
		36	INTC0ERR	AFCAN0 エラー	AFCAN0	02C0H	000002C0H	nextPC	C0ERRIC
		37	INTC0WUP	AFCAN0 ウエイクアップ	AFCAN0	02D0H	000002D0H	nextPC	C0WUPIC
		38	INTC0REC	AFCAN0 受信完了	AFCAN0	02E0H	000002E0H	nextPC	C0RECIC
		39	INTC0TRX	AFCAN0 送信完了	AFCAN0	02F0H	000002F0H	nextPC	C0TRXIC
		40	INTKR	キーリターン割り込み要求	KR	0300H	00000300H	nextPC	KRIC
		41	INTWTI	時計タイマのインターバル	WT	0310H	00000310H	nextPC	WTIIC
		42	INTWT	時計タイマの基準時間	WT	0320H	00000320H	nextPC	WTIC
		43	INTP8	外部割り込み端子入力エッジ検出（INTP8）	端子	0330H	00000330H	nextPC	PIC8
		44	INTP9	外部割り込み端子入力エッジ検出（INTP9）	端子	0340H	00000340H	nextPC	PIC9
		45	INTP10	外部割り込み端子入力エッジ検出（INTP10）	端子	0350H	00000350H	nextPC	PIC10
		46	INTTQ1OV	TMQ1 オーバフロー	TMQ1	0360H	00000360H	nextPC	TQ0OVIC
		47	INTTQ1CC0	TMQ1 キャプチャ 0／コンペア 0 一致	TMQ1	0370H	00000370H	nextPC	TQ1CCIC0
		48	INTTQ1CC1	TMQ1 キャプチャ 1／コンペア 1 一致	TMQ1	0380H	00000380H	nextPC	TQ1CCIC1
		49	INTTQ1CC2	TMQ1 キャプチャ 2／コンペア 2 一致	TMQ1	0390H	00000390H	nextPC	TQ1CCIC2
		50	INTTQ1CC3	TMQ1 キャプチャ 3／コンペア 3 一致	TMQ1	0400H	00000400H	nextPC	TQ1CCIC3

注　DP：ディフォールト・プライオリティ

表 16－1　割り込み要因一覧（3/3）

種　類	分　類	DP 注	名　称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	復帰 PC	割り込み制御レジスタ
マスカブル	割り込み	51	INTUA2R	UARTA2 受信完了／エラー	UARTA2	03B0H	000003B0H	nextPC	UA2RIC
		52	INTUA2T	UARTA2 送信許可	UARTA2	03C0H	000003C0H	nextPC	UA2TIC
		53	INTC1ERR	AFCAN1 エラー	AFCAN1	03D0H	000003D0H	nextPC	C1ERRIC
		54	INTC1WUP	AFCAN1 ウエイクアップ	AFCAN1	03E0H	000003E0H	nextPC	C1WUPIC
		55	INTC1REC	AFCAN1 受信完了	AFCAN1	03F0H	000003F0H	nextPC	C1RECIC
		56	INTC1TRX	AFCAN1 送信完了	AFCAN1	0400H	00000400H	nextPC	C1TRXIC
		57	INTDMA0	DMA0 転送終了	DMA	0410H	00000410H	nextPC	DMAIC0
		58	INTDMA1	DMA1 転送終了	DMA	0420H	00000420H	nextPC	DMAIC1
		59	INTDMA2	DMA2 転送終了	DMA	0430H	00000430H	nextPC	DMAIC2
		60	INTDMA3	DMA3 転送終了	DMA	0440H	00000440H	nextPC	DMAIC3

注　DP：ディフォールト・プライオリティ

備考 1.　ディフォールト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求信号が同時に発生している場合に優先される順位です。0 が最高優先順位です。

復帰 PC：割り込み処理起動時に，CPU の EIPC または FEPC にセーブされるプログラム・カウンタ（PC）のことです。なお，次の命令実行中にノンマスカブル／マスカブル割り込みを受け付けた場合の復帰 PC は nextPC とはなりません（命令実行中に割り込みを受け付けると実行を中止し，割り込み処理完了後に再実行されます）。

- ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- 除算命令（DIV, DIVH, DIVU, DIVHU）
- PREPARE, DISPOSE 命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み／例外処理後に処理を開始する PC 値です。

2.　不正命令コード例外時の不正命令の実行アドレスは，（復帰 PC－4）で求められます。

16. 2　ノンマスカブル割り込み

16. 2. 1　ノンマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号は，CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また，割り込み優先順位の対象にならず，すべての割り込み要求信号に対して最優先されます。

この製品のノンマスカブル割り込み要求信号には，次の2つがあります。

・NMI 端子入力（NMI）
・ウォッチドッグ・タイマのオーバフローによるノンマスカブル割り込み要求信号（INTWDT2）

NMI端子の有効エッジは，“ 立ち上がりエッジ ”，“ 立ち下がりエッジ ”，“ 両エッジ ”，“ エッジ検出なし ”の4種類から選択できます。

★　NMI端子はPMC0レジスタのPMC02ビットを1にセットし，INTF0, INTR0レジスタのINTF02ビット，INTR02ビットを任意の値に設定し希望する有効エッジを指定することによりその機能が有効となります。

ウォッチドッグ・タイマ2のオーバフローによるノンマスカブル割り込み要求信号（INTWDT2）はWDTM2レジスタのWDM21, WDM20ビットを “ 01 ” と設定することで機能します。

複数のノンマスカブル割り込み要求信号が重なって発生した場合は，次の優先順位に従って順位の高い処理が実行されます（優先順位の低い割り込み要求信号は無視されます）。

INTWDT2＞NMI

なお，NMI処理中に，新たにNMI, INTWDT2要求信号が発生した場合は次のような処理を行います。

（1）NMI処理中に，新たにNMI要求信号が発生した場合

PSWのNPビットの値によらず，新たなNMI要求信号は保留されます。保留されたNMI要求信号は，現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

（2）NMI処理中に，新たにINTWDT2要求信号が発生した場合

NMI処理中にPSWのNPビットがセット（1）されたままであれば，新たなINTWDT2要求信号は保留されます。保留されたINTWDT2要求信号は，現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

NMI処理中にPSWのNPビットをクリア（0）すれば，新たに発生したINTWDT2要求信号が実行されます（NMI処理は中断されます）。

注意　ノンマスカブル割り込み要求信号が発生した場合，PC, PSW の値は NMI 時状態退避レジスタ（FEPC, FEPSW）に退避されますが，このとき RETI 命令によって復帰できるのは NMI 信号だけです。INTWDT2 信号の場合は RETI 命令による復帰はできないため，割り込み処理終了後にシステム・リセットを行ってください。

図 16ー1　ノンマスカブル割り込み要求信号の受け付け動作（1/2）

（a）NMI, INTWDT2 要求信号が同時に発生する場合

図 16－1　ノンマスカブル割り込み要求信号の受け付け動作（2/2）

（b）ノンマスカブル割り込み処理中に新たにノンマスカブル割り込み要求信号が発生する場合

処理中のノンマスカブル割り込み	ノンマスカブル割り込み処理中に新たに発生するノンマスカブル割り込み要求信号	
	NMI	INTWDT2
NMI	・NMI処理中にNMI要求が発生 	・NMI処理中にINTWDT2要求が発生 （INTWDT2要求前にNP = 1のまま） ・NMI処理中にINTWDT2要求が発生 （INTWDT2要求前にNP = 0にする） ・NMI処理中にINTWDT2要求が発生 （INTWDT2要求後にNP = 0にする）
INTWDT2	・INTWDT2処理中にNMI要求が発生 	・INTWDT2処理中にINTWDT2要求が発生

16. 2. 2　動　　作

ノンマスカブル割り込み要求信号が発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

① 復帰 PC を FEPC に退避します。
② 現在の PSW を FEPSW に退避します。
③ ECR の上位ハーフワード（FECC）に例外コード（0010H, 0020H）を書き込みます。
④ PSW の NP, ID ビットをセットし，EP ビットをクリアします。
⑤ PC にノンマスカブル割り込みに対するハンドラ・アドレス（00000010H, 00000020H）をセットし，制御を移します。

ノンマスカブル割り込みの処理形態を図 16－2 に示します。

図 16－2　ノンマスカブル割り込みの処理形態

16. 2. 3　復　　帰

（1）NMI入力の場合

NMI処理からの復帰は，RETI命令により行います。

RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

① PSW の EP ビットが 0 かつ PSW の NP ビットが 1 なので，FEPC，FEPSW から復帰 PC，PSW を取り出します。

② 取り出した復帰 PC のアドレス，PSW の状態に制御を移します。

RETI命令の処理形態を図 16－3に示します。

図 16－3　RETI 命令の処理形態

注意　ノンマスカブル割り込み処理中に LDSR 命令により PSW.EP ビット，PSW.NP ビットを変更した場合には，RETI 命令による復帰時に PC と PSW を正常にリストアするために，RETI 命令の直前で，LDSR 命令を使用して PSW.EP = 0 かつ PSW.NP = 1 に戻しておく必要があります。

備考　CPU は実線のフローで処理します。

（2）INTWDT2**信号の場合**

RETI**命令による復帰は，できません。割り込み処理後に，システム・リセットを行ってください。**

★ **図** 16ー4　**ソフトウエア・リセット処理**

注　FEPSW←NP **ビット** = 1, EP **ビット** = 0 **となる値**

16. 2. 4　NPフラグ

NP フラグは，ノンマスカブル割り込みの処理中であることを示すステータス・フラグです。

ノンマスカブル割り込み要求信号を受け付けるとセットされ，以降のノンマスカブル割り込み要求が保留されます。

リセット時：00000020H

	31	8	7	6	5	4	3	2	1	0
PSW	0		**NP**	EP	ID	SAT	CY	OV	S	Z

NP	ノンマスカブル割り込み処理状態
0	ノンマスカブル割り込み処理中でない
1	ノンマスカブル割り込み処理中

16. 2. 5　NMI端子のノイズ除去

NMI 端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって，NMI 端子への入力レベルを一定時間以上維持しなければ，エッジとして検出できません。また，エッジの検出は一定時間後になります。

なお，NMI 端子はソフトウエア STOP モードの解除に使用できます。ソフトウエア STOP モードでは，内部システム・クロックは停止しているため，システム・クロックを使用したノイズ除去を行っていません。

16. 2. 6　NMI端子のエッジ検出機能

NMI 端子の有効エッジは，“ 立ち上がりエッジ ”, “ 立ち下がりエッジ ”, “ 両エッジ ”, “ エッジ検出なし ”の 4 種類から選択できます。

INTR0, INTF0 レジスタで NMI 端子の有効エッジを指定します。

★　リセット後の NMI 端子は PMC0 レジスタの PMC02 ビットを 1 にセットし，INTF0, INTR0 レジスタの INTF02 ビット, INTR02 ビットを任意の値に設定し希望する有効エッジを指定することによりその機能が有効となります。

P00/NMI 端子を入出力ポートとして使用する場合は，NMI 端子の有効エッジを “ エッジ検出なし ” に設定してください。

（1）外部割り込み立ち下がりエッジ指定レジスタ0（INTF0）

ビット2でNMIの立ち下がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

注意　外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF0n ビット = INTR0n ビット = 0 に設定したあとにポート・モードに設定してください。

リセット時：00H　R/W　アドレス：FFFFFC00H

	7	6	5	4	3	2	1	0
INTF0	0	INTF06	INTF05	INTF04	INTF03	INTF02	0	0

備考　有効エッジの指定については表 16－2 を参照してください。

（2）外部割り込み立ち上がりエッジ指定レジスタ0（INTR0）

ビット2でNMI端子の立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

注意　外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF0n ビット = INTR0n ビット = 0 に設定したあとにポート・モードに設定してください。

リセット時：00H　R/W　アドレス：FFFFFC20H

	7	6	5	4	3	2	1	0
INTR0	0	INTR06	INTR05	INTR04	INTR03	INTR02	0	0

備考　有効エッジの指定については表 16－2 を参照してください。

表 16－2　NMI の有効エッジの指定

INTF02 ビット	INTR02 ビット	NMI 有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

16. 3　マスカブル割り込み

マスカブル割り込み要求信号は，割り込み制御レジスタにより，割り込み受け付けをマスクできる割り込み要求信号で，61 種類の割り込み要因があります。

複数のマスカブル割り込み要求信号が同時に発生した場合は，ディフォールト優先順位により，その優先順位が決定します。また，ディフォールト優先順位とは別に，割り込み制御レジスタによって，8 レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり，以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内で EI 命令を実行すると割り込み許可（EI）状態となり，受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし，多重割り込みを許可するときは，EI 命令を実行する前に EIPC, EIPSW をメモリ，またはレジスタに退避し，RETI 命令を実行する前に DI を行って，EIPC, EIPSW を元の値に復帰してください。

16. 3. 1　動　　作

マスカブル割り込みが発生した場合，CPU は次の処理を行い，ハンドラ・ルーチンへ制御を移します。

① 復帰 PC を EIPC に退避します。
② 現在の PSW を EIPSW に退避します。
③ ECR の下位ハーフワード（EICC）に例外コードを書き込みます。
④ PSW の ID ビットをセットし，EP ビットをクリアします。
⑤ PC に各割り込みに対するハンドラ・アドレスをセットし，制御を移します。

なお，INTC でマスクされているマスカブル割り込み要求信号と，ほかの割り込み処理中（PSW.NP = 1 または PSW.ID = 1）に発生したマスカブル割り込み要求信号は，INTC 内部で保留されます。この場合，マスクを解除するか，または RETI 命令，LDSR 命令を使用して PSW.NP = 0 かつ PSW.ID = 0 にすると，保留していたマスカブル割り込み要求信号の優先順位に従い，新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図 16－5　マスカブル割り込みの処理形態

注　ISPR レジスタについては，16. 3. 6　**インサービス・プライオリティ・レジスタ**（ISPR）を参照してください。

16. 3. 2　復　　帰

マスカブル割り込み処理からの復帰は，RETI 命令により行います。

RETI 命令の実行により，CPU は次の処理を行い復帰 PC のアドレスへ制御を移します。

① PSW の EP ビットが 0 かつ PSW の NP ビットが 0 なので，EIPC, EIPSW から復帰 PC, PSW を取り出します。

② 取り出した復帰 PC のアドレス，PSW の状態に制御を移します。

RETI 命令の処理形態を図 16－6 に示します。

図 16－6　RETI 命令の処理形態

注　ISPR レジスタについては，16. 3. 6　インサービス・プライオリティ・レジスタ（ISPR）を参照してください。

注意　マスカブル割り込み処理中に LDSR 命令により PSW.EP ビット，PSW.NP ビットを変更した場合は，RETI 命令による復帰時に PC と PSW を正常にリストアするために，RETI 命令の直前で，LDSR 命令を使用して PSW.EP = 0 かつ PSW.NP = 0 に戻しておく必要があります。

備考　CPU は実線のフローで処理します。

16. 3. 3　マスカブル割り込みの優先順位

INTC は，割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは，優先順位によって制御できます。

優先順位制御には，ディフォールト優先順位による制御と，割り込み制御レジスタ（xxICn）の割り込み優先順位指定ビット（xxPRn）によるプログラマブル優先順位制御があります。ディフォールト優先順位制御は，xxPRn ビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合，各割り込み要求信号にあらかじめ割り付けてある優先順位（ディフォールト優先順位）に従って割り込みを処理します（**表** 16－1　**割り込み要因一覧**参照）。プログラマブル優先順位制御は，各割り込み要求信号を優先順位指定フラグの設定によって 8 レベルに分けます。

なお，割り込み要求信号を受け付けると PSW の ID フラグが自動的にセット（1）されるので，多重割り込みを使用する場合は，割り込み処理プログラム中で EI 命令を実行するなどして ID フラグをクリア（0）し，割り込み許可状態にしてください。

備考　xx ：各周辺ユニット識別名称（**表** 16－3　**割り込み制御レジスタ**（xxICn）参照）
　　n　：周辺ユニット番号（**表** 16－3　**割り込み制御レジスタ**（xxICn）参照）

図 16－7　割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（1/2）

★ **注意**　**多重割り込みを行うときは** EI **命令を実行する前に，**EIPC, EIPSW **の内容を退避する必要があります。また，多重割り込みから復帰する際は，**DI **命令を実行したあとに，**EIPC, EIPSW **の内容を復帰してください。**

備考 1.　**図中の** a-u **は，各割り込み要求信号を区別するために付けた仮の名称です。**

2.　**図中のディフォールト優先順位の高い／低いは，**2 **つの割り込み要求信号間の相対的な優先順位の高さを示します。**

図 16－7　割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（2/2）

注 1.　ディフォールト優先順位が低い

2.　ディフォールト優先順位が高い

注意　多重割り込みを行うときは EI 命令を実行する前に，EIPC, EIPSW の内容を退避する必要があります。また，多重割り込みから復帰する際は，DI 命令を実行したあとに，EIPC, EIPSW の内容を復帰してください。

図 16－8　同時発生した割り込み要求信号の処理例

注意　多重割り込みを行うときは EI 命令を実行する前に，EIPC, EIPSW の内容を退避する必要があります。また，多重割り込みから復帰する際は，DI 命令を実行したあとに，EIPC, EIPSW の内容を復帰してください。

備考 1.　図中の a-c は，各割り込み要求信号を区別するために付けた仮の名称です。

2.　図中のディフォールト優先順位の高い／低いは，2 つの割り込み要求信号間の相対的な優先順位の高さを示します。

16. 3. 4　割り込み制御レジスタ（xxICn）

割り込み要求信号（マスカブル割り込み）ごとに割り当てられ，各割り込みに対する制御条件を設定します。

8/1ビット単位でリード／ライト可能です。

リセットにより47Hになります。

注意　xxICn レジスタの xxIFn ビットを読み出す場合は，割り込み禁止（DI）状態で行ってください。割り込み許可（EI）状態で xxIFn ビットを読み出すと，割り込みの受け付けとビットの読み出しのタイミングが競合した場合に，正常な値が読み出せないことがあります。

リセット時：47H　　R/W　　アドレス：FFFFF110H～FFFFF1B2H

	7	6	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ[注]
0	割り込み要求信号なし
1	割り込み要求信号あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止（保留）

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル 0（最高位）を指定
0	0	1	レベル 1 を指定
0	1	0	レベル 2 を指定
0	1	1	レベル 3 を指定
1	0	0	レベル 4 を指定
1	0	1	レベル 5 を指定
1	1	0	レベル 6 を指定
1	1	1	レベル 7（最低位）を指定

注　割り込み要求が受け付けられるとハードウエアにより自動的にリセットされます。

備考　xx　：各周辺ユニット識別名称（表 16－3　割り込み制御レジスタ（xxICn）参照）
　　n　：周辺ユニット番号（表 16－3　割り込み制御レジスタ（xxICn）参照）

各割り込み制御レジスタのアドレスとビットを次に示します。

表 16－3　割り込み制御レジスタ（xxICn）（1/2）

アドレス	レジスタ	ビット							
		7	6	5	4	3	2	1	0
FFFFF110H	LVIIC	LVIIF	LVIMK	0	0	0	LVIPR2	LVIPR1	LVIPR0
FFFFF112H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFF114H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFF116H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFF118H	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFF11AH	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFF11CH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFF11EH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFF120H	PIC7	PIF7	PMK7	0	0	0	PPR72	PPR71	PPR70
FFFFF122H	TQ0OVIC	TQ0OVIF	TQ0OVMK	0	0	0	TQ0OVPR2	TQ0OVPR1	TQ0OVPR0
FFFFF124H	TQ0CCIC0	TQ0CCIF0	TQ0CCMK0	0	0	0	TQ0CCPR02	TQ0CCPR01	TQ0CCPR00
FFFFF126H	TQ0CCIC1	TQ0CCIF1	TQ0CCMK1	0	0	0	TQ0CCPR12	TQ0CCPR11	TQ0CCPR10
FFFFF128H	TQ0CCIC2	TQ0CCIF2	TQ0CCMK2	0	0	0	TQ0CCPR22	TQ0CCPR21	TQ0CCPR20
FFFFF12AH	TQ0CCIC3	TQ0CCIF3	TQ0CCMK3	0	0	0	TQ0CCPR32	TQ0CCPR31	TQ0CCPR30
FFFFF12CH	TP0OVIC	TP0OVIF	TP0OVMK	0	0	0	TP0OVPR2	TP0OVPR1	TP0OVPR0
FFFFF12EH	TP0CCIC0	TP0CCIF0	TP0CCMK0	0	0	0	TP0CCPR02	TP0CCPR01	TP0CCPR00
FFFFF130H	TP0CCIC1	TP0CCIF1	TP0CCMK1	0	0	0	TP0CCPR12	TP0CCPR11	TP0CCPR10
FFFFF132H	TP1OVIC	TP1OVIF	TP1OVMK	0	0	0	TP1OVPR2	TP1OVPR1	TP1OVPR0
FFFFF134H	TP1CCIC0	TP1CCIF0	TP1CCMK0	0	0	0	TP1CCPR02	TP1CCPR01	TP1CCPR00
FFFFF136H	TP1CCIC1	TP1CCIF1	TP1CCMK1	0	0	0	TP1CCPR12	TP1CCPR11	TP1CCPR10
FFFFF138H	TP2OVIC	TP2OVIF	TP2OVMK	0	0	0	TP2OVPR2	TP2OVPR1	TP2OVPR0
FFFFF13AH	TP2CCIC0	TP2CCIF0	TP2CCMK0	0	0	0	TP2CCPR02	TP2CCPR01	TP2CCPR00
FFFFF13CH	TP2CCIC1	TP2CCIF1	TP2CCMK1	0	0	0	TP2CCPR12	TP2CCPR11	TP2CCPR10
FFFFF13EH	TP3OVIC	TP3OVIF	TP3OVMK	0	0	0	TP3OVPR2	TP3OVPR1	TP3OVPR0
FFFFF140H	TP3CCIC0	TP3CCIF0	TP3CCMK0	0	0	0	TP3CCPR02	TP3CCPR01	TP3CCPR00
FFFFF142H	TP3CCIC1	TP3CCIF1	TP3CCMK1	0	0	0	TP3CCPR12	TP3CCPR11	TP3CCPR10
FFFFF144H	TM0EQIC0	TM0EQIF0	TM0EQMK0	0	0	0	TM0EQPR02	TM0EQPR01	TM0EQPR00
FFFFF146H	CB0RIC	CB0RIF	CB0RMK	0	0	0	CB0RPR2	CB0RPR1	CB0RPR0
FFFFF148H	CB0TIC	CB0TIF	CB0TMK	0	0	0	CB0TPR2	CB0TPR1	CB0TPR0
FFFFF14AH	CB1RIC	CB1RIF	CB1RMK	0	0	0	CB1RPR2	CB1RPR1	CB1RPR0
FFFFF14CH	CB1TIC	CB1TIF	CB1TMK	0	0	0	CB1TPR2	CB1TPR1	CB1TPR0
FFFFF14EH	UA0RIC	UA0RIF	UA0RMK	0	0	0	UA0RPR2	UA0RPR1	UA0RPR0
FFFFF150H	UA0TIC	UA0TIF	UA0TMK	0	0	0	UA0TPR2	UA0TPR1	UA0TPR0
FFFFF152H	UA1RIC	UA1RIF	UA1RMK	0	0	0	UA1RPR2	UA1RPR1	UA1RPR0
FFFFF154H	UA1TIC	UA1TIF	UA1TMK	0	0	0	UA1TPR2	UA1TPR1	UA1TPR0
FFFFF156H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0
FFFFF158H	C0ERRIC	C0ERRIF	C0ERRMK	0	0	0	C0ERRPR2	C0ERRPR1	C0ERRPR0
FFFFF15AH	C0WUPIC	C0WUPIF	C0WUPMK	0	0	0	C0WUPPR2	C0WUPPR1	C0WUPPR0
FFFFF15CH	C0RECIC	C0RECIF	C0RECMK	0	0	0	C0RECPR2	C0RECPR1	C0RECPR0
FFFFF15EH	C0TRXIC	C0TRXIF	C0TRXMK	0	0	0	C0TRXPR2	C0TRXPR1	C0TRXPR0
FFFFF160H	KRIC	KRIF	KRMK	0	0	0	KRPR2	KRPR1	KRPR0
FFFFF162H	WTIIC	WTIIF	WTIMK	0	0	0	WTIPR2	WTIPR1	WTIPR0
FFFFF164H	WTIC	WTIF	WTMK	0	0	0	WTPR2	WTPR1	WTPR0

表 16－3　割り込み制御レジスタ（xxICn）（2/2）

アドレス	レジスタ	ビット							
		7	6	5	4	3	2	1	0
FFFFF166H	PIC8	PIF8	PMK8	0	0	0	PPR82	PPR81	PPR80
FFFFF168H	PIC9	PIF9	PMK9	0	0	0	PPR92	PPR91	PPR90
FFFFF16AH	PIC10	PIF10	PMK10	0	0	0	PPR102	PPR101	PPR100
FFFFF16CH	TQ1OVIC	TQ1OVIF	TQ1OVMK	0	0	0	TQ1OVPR2	TQ1OVPR1	TQ1OVPR0
FFFFF16EH	TQ1CCIC0	TQ1CCIF0	TQ1CCMK0	0	0	0	TQ1CCPR02	TQ1CCPR01	TQ1CCPR00
FFFFF170H	TQ1CCIC1	TQ1CCIF1	TQ1CCMK1	0	0	0	TQ1CCPR12	TQ1CCPR11	TQ1CCPR10
FFFFF172H	TQ1CCIC2	TQ1CCIF2	TQ1CCMK2	0	0	0	TQ1CCPR22	TQ1CCPR21	TQ1CCPR20
FFFFF174H	TQ1CCIC3	TQ1CCIF3	TQ1CCMK3	0	0	0	TQ1CCPR32	TQ1CCPR31	TQ1CCPR30
FFFFF176H	UA2RIC	UA2RIF	UA2RMK	0	0	0	UA2RPR2	UA2RPR1	UA2RPR0
FFFFF178H	UA2TIC	UA2TIF	UA2TMK	0	0	0	UA2TPR2	UA2TPR1	UA2TPR0
FFFFF17AH	C1ERRIC	C1ERRIF	C1ERRMK	0	0	0	C1ERRPR2	C1ERRPR1	C1ERRPR0
FFFFF17CH	C1WUPIC	C1WUPIF	C1WUPMK	0	0	0	C1WUPPR2	C1WUPPR1	C1WUPPR0
FFFFF17EH	C1RECIC	C1RECIF	C1RECMK	0	0	0	C1RECPR2	C1RECPR1	C1RECPR0
FFFFF180H	C1TRXIC	C1TRXIF	C1TRXMK	0	0	0	C1TRXPR2	C1TRXPR1	C1TRXPR0
FFFFF182H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFF184H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFF186H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFF188H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30

16. 3. 5　割り込みマスク・レジスタ0-3（IMR0-IMR3）

マスカブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR3レジスタのxxMKnビットとxxICnレジスタのxxMKnビットは，それぞれ連結しています。

IMRmレジスタは，16ビット単位でリード／ライト可能です（m = 0-3）。

IMRmレジスタの上位8ビットをIMRmHレジスタ，下位8ビットをIMRmLレジスタとした場合は，8/1ビット単位でリード／ライト可能です（m = 0-3）。

リセットによりFFFFHになります。

IMR3レジスタのビット15-ビット13は1に固定です。変更した場合の動作は保証できません。

リセットによりFFHになります。

注意　デバイス・ファイルでは，xxICn レジスタの xxMKn ビットを予約語として定義しています。したがって，xxMKn ビットの名称でビット操作を行うと，IMRm レジスタではなく xxICn レジスタを書き換えます（結果として IMRm レジスタも書き換わります）。

（1/2）

リセット時：FFFFH　R/W　アドレス：FFFF106H

	15	14	13	12	11	10	9	8
IMR3	1	1	1	DMAMK3	DMAMK2	DMAMK1	DMAMK0	C1TRXMK
	7	6	5	4	3	2	1	0
	C1RECMK	C1WUPMK	C1ERRMK	UA2TMK	UA2RMK	TQ1CCMK3	TQ1CCMK2	TQ1CCMK1

リセット時：FFFFH　R/W　アドレス：FFFF104H

	15	14	13	12	11	10	9	8
IMR2	TQ1CCMK0	TQ1OVMK	PMK10	PMK9	PMK8	WTMK	WTIMK	KRMK
	7	6	5	4	3	2	1	0
	C0TRXMK	C0RECMK	C0WUPMK	C0ERRMK	ADMK	UA1TMK	UA1RMK	UA0TMK

リセット時：FFFFH　R/W　アドレス：FFFF102H

	15	14	13	12	11	10	9	8
IMR1	UA0RMK	CB1TMK	CB1RMK	CB0TMK	CB0RMK	TM0EQMK0	TP3CCMK1	TP3CCMK0
	7	6	5	4	3	2	1	0
	TP3OVMK	TP2CCMK1	TP2CCMK0	TP2OVMK	TP1CCMK1	TP1CCMK0	TP1OVMK	TP0CCMK1

注意　IMR3 のビット 15-13 は必ず“1”を設定してください。

(2/2)

リセット時：FFFFH　R/W　**アドレス：**FFFF100H

	15	14	13	12	11	10	9	8
IMR0	TP0CCMK0	TP0OVMK	TQ0CCMK3	TQ0CCMK2	TQ0CCMK1	TQ0CCMK0	TQ0OVMK	PMK7
	7	6	5	4	3	2	1	0
	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

備考　xx　：各周辺ユニット識別名称（表 16－3　割り込み制御レジスタ（xxICn）参照）
　　n　：周辺ユニット番号（表 16－3　割り込み制御レジスタ（xxICn）参照）

16. 3. 6　インサービス・プライオリティ・レジスタ（ISPR）

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると，その割り込み要求信号の優先順位レベルに対応するビットがセット（1）され，サービス中保持されます。

RETI 命令の実行時，ISPR レジスタ内でセット（1）されているビットのうち，最も優先順位の高い割り込み要求信号に対応するビットがハードウエアにより自動的にリセット（0）されます。ただし，ノンマスカブルの割り込み処理や例外処理からの復帰の場合はリセット（0）されません。

8/1 ビット単位でリードのみ可能です。

リセットにより 00H になります。

注意　割り込み許可（EI）状態において，ISPR レジスタをリード中に割り込みを受け付けた場合，その割り込み受け付けによるビットがセット（1）されたあとの ISPR レジスタ値がリードされることがあります。割り込み受け付け前の ISPR レジスタの値を確実にリードしたい場合は，割り込み禁止（DI）状態でリードしてください。

リセット時：00H　R　**アドレス：**FFFFF1FAH

	7	6	5	4	3	2	1	0
ISPR	ISPR7	ISPR7	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

ISPRn	受け付け中の割り込みの優先順位
0	優先順位 n の割り込み要求信号を受け付けていない
1	優先順位 n の割り込み要求信号を受け付け中

備考　n：0-7（優先順位のレベル）

16. 3. 7　ID**フラグ**

マスカブル割り込みの動作状態を制御し，割り込み要求信号受け付けの許可／禁止制御情報を記憶します。

割り込み禁止フラグ（ID）は，PSWに割り付けられています。

リセット時：00000020H

	31		8	7	6	5	4	3	2	1	0
PSW	0			NP	EP	**ID**	SAT	CY	OV	S	Z

ID	マスカブル割り込み処理の指定[注]
0	マスカブル割り込み要求信号の受け付けを許可
1	マスカブル割り込み要求信号の受け付けを禁止

注　割り込み禁止フラグ（ID）の機能

DI 命令でセット（1），EI 命令でリセット（0）されます。また，RETI 命令および PSW への LDSR 命令により値が書き換えられます。

ノンマスカブル割り込み要求信号および例外は，このフラグの状態に関係なく受け付けられます。また，マスカブル割り込み要求信号を受け付けると，ID フラグはハードウエアで自動的にセット（1）されます。

受け付け禁止期間中（ID = 1）に発生した割り込み要求信号は，xxICn の xxIFn ビットがセット（1）され，ID フラグがリセット（0）されると受け付けられます。

16. 3. 8　ウォッチドッグ・タイマ・モード・レジスタ2（WDTM2）

★　8ビット単位でリード／ライト可能です（詳細は第10章　ウォッチドッグ・タイマ2機能参照）。

リセットにより67Hになります。

リセット時：67H　　R/W　　アドレス：FFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	WDCS24	WDCS23	WDCS22	WDCS21	WDCS20

WDM21	WDM20	ウォッチドッグ・タイマの動作モードの選択
0	0	動作停止
0	1	ノンマスカブル割り込み要求モード
1	x	リセット・モード（初期値）

備考　WDCS24-WDCS20 ビットについては第 10 章　ウォッチドッグ・タイマ 2 機能を参照してください。

16. 3. 9　INTP0-INTP7**端子のノイズ除去**

INTP0-INTP7 端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって，各端子への入力レベルを一定時間以上維持しなければ，エッジとして検出できません。また，エッジの検出は一定時間後になります。

また，INTP3 端子はアナログ・ディレイによるノイズ除去とディジタル・ノイズ除去を選択できます。

16. 3. 10　INTP0-INTP10端子のエッジ検出機能

INTP0-INTP10 端子の有効エッジは，次の 4 種類から端子ごとに選択できます。

- 立ち上がりエッジ
- 立ち下がりエッジ
- 両エッジ
- エッジ検出なし

(1) 外部割り込み立ち下がりエッジ指定レジスタ0（INTF0）

ビット2でノンマスカブル割り込み端子（NMI），ビット3-6で外部割り込み端子（INTP0-INTP3）の立ち下がりエッジ検出を指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF0n ビット = INTR0n ビット = 0 に設定したあとにポート・モードに設定してください。

リセット時：00H　R/W　アドレス：FFFFFC00H

	7	6	5	4	3	2	1	0
INTF0	0	INTF06	INTF05	INTF04	INTF03	INTF02	0	0

備考　有効エッジの指定については表 16－4 を参照してください。

(2) 外部割り込み立ち上がりエッジ指定レジスタ0（INTR0）

ビット2でノンマスカブル割り込み端子（NMI）ビット3-6で外部割り込み端子（INTP0-INTP3）の立ち上がりエッジ検出を指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF0n ビット = INTR0n ビット = 0 に設定したあとにポート・モードに設定してください。

リセット時：00H　R/W　アドレス：FFFFFC20H

	7	6	5	4	3	2	1	0
INTR0	0	INTR06	INTR05	INTR04	INTR03	INTR02	0	0

備考　有効エッジの指定については表 16－4 を参照してください。

表 16ー4　有効エッジの指定（INTF0n, INTR0n）

INTF0n ビット	INTR0n ビット	有効エッジの指定（n = 2-6）
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

備考　n = 2　：NMI 端子の制御

n = 3　：INTP0 端子の制御

n = 4　：INTP1 端子の制御

n = 5　：INTP2 端子の制御

n = 6　：INTP3 端子の制御

注意　NMI, INTP0-INTP3 として使用しない場合，INTF0n, INTR0n ビットは必ず“ 00 ”に設定してください。

(3) 外部割り込み立ち下がりエッジ指定レジスタ3（INTF3）

ビット1で外部割り込み端子（INTP7）の立ち下がりエッジ検出を指定する16ビットのレジスタです。16ビット単位でリード／ライト可能です。

ただし，INTF3レジスタの上位8ビットをINTF3Hレジスタ，下位8ビットをINTF3Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意　外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF31 ビット = INTR31 ビット = 0 に設定したあとにポート・モードに設定してください。

リセット時：0000H　R/W　アドレス：FFFFFC06H, FFFFFC07H

	15	14	13	12	11	10	9	8
INTF3（INTF3H 注）	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
（INTF3L）	0	0	0	0	0	0	INTF31	0

注　INTF3 レジスタのビット 8-15 を 8/1 ビット単位でリード／ライトする場合は，INTF3H レジスタのビット 0-7 として指定してください。

備考　有効エッジの指定については表 16－5 を参照してください。

(4) 外部割り込み立ち上がりエッジ指定レジスタ3（INTR3）

ビット1, 9で外部割り込み端子（INTP7, INTP8）の立ち上がりエッジ検出を指定する16ビットのレジスタです。16ビット単位でリード／ライト可能です。

ただし，INTF3レジスタの上位8ビットをINTF3Hレジスタ，下位8ビットをINTF3Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意　外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF31 ビット = INTR31 ビット = 0 に設定したあとにポート・モードに設定してください。

リセット時：0000H　R/W　アドレス：FFFFFC26H, FFFFFC27H

	15	14	13	12	11	10	9	8
INTR3（INTR3H 注）	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
（INTR3L）	0	0	0	0	0	0	INTR31	0

注　INTR3 レジスタのビット 8-15 を 8/1 ビット単位でリード／ライトする場合は，INTR3H レジスタのビット 0-7 として指定してください。

備考　有効エッジの指定については表 16－5 を参照してください。

表 16－5　有効エッジの指定（INTF31, INTR31）

INTF31 ビット	INTR31 ビット	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意　INTP7 として使用しない場合，INTF31, INTR31 ビットは必ず“00”に設定してください。

(5) 外部割り込み立ち下がりエッジ指定レジスタ9H（INTF9H）

ビット5-7で外部割り込み端子（INTP4-INTP6）の外部割り込み端子の立ち下がりエッジ検出を指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF9n ビット = INTR9n ビット = 0 に設定したあとにポート・モードに設定してください。

リセット時：00H　R/W　アドレス：FFFFFC13H

	7	6	5	4	3	2	1	0
INTF9H	INTF915	INTF914	INTF913	0	0	0	0	0

備考　有効エッジの指定については表 16－6 を参照してください。

(6) 外部割り込み立ち上がりエッジ指定レジスタ9H（INTR9H）

ビット5-7で外部割り込み端子（INTP4-INTP6）の外部割り込み端子の立ち上がりエッジ検出を指定する8ビットのレジスタです。8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF9n ビット = INTR9n ビット = 0 に設定したあとにポート・モードに設定してください。

リセット時：00H　R/W　アドレス：FFFFFC33H

	7	6	5	4	3	2	1	0
INTR9H	INTR915	INTR914	INTR913	0	0	0	0	0

備考　有効エッジの指定については表 16－6 を参照してください。

表 16－6　有効エッジの指定（INTF9n, INTR9n）

INTF9n ビット	INTR9n ビット	有効エッジの指定（n = 13-15）
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

備考　n = 13：INTP4 端子の制御
n = 14：INTP5 端子の制御
n = 15：INTP6 端子の制御

注意　INTP4-INTP6 として使用しない場合，INTF9n, INTR9n ビットは必ず“00”に設定してください。

(7) ノイズ除去制御レジスタ（NFC）

INTP3端子はディジタル・ノイズ除去を選択することが可能で，NFCレジスタにてノイズ除去の設定を選択します。

ディジタル・ノイズ除去を選択した場合，ディジタル・サンプリングを行うサンプリング・クロックを，f_{XX}/64, f_{XX}/128, f_{XX}/256, f_{XX}/512, f_{XX}/1024, f_{XT}の中から選択できます。なおサンプリングの回数は2/3回で選択可能です。

★ ディジタル・ノイズ除去を選択した場合，スタンバイ・モード時にサンプリングを行うクロックを停止すると，そのスタンバイ・モードの解除に INTP3 の割り込み要求信号を使用できません。

サンプリング・クロックにf_{XT}を使用した場合は，サブクロック動作モード中およびIDLE1/IDLE2/ソフトウエアSTOP/サブIDLEモードの解除にINTP3の割り込み要求信号を使用できます。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

★ **注意**　サンプリング・クロック変更後，ディジタル・ノイズ除去回路が初期化されるのに，サンプリング・クロック×NFSTS ビットで設定された回数かかります。そのため，サンプリング・クロックを変更してからサンプリング・クロック×NFSTS ビットで設定された回数の間に，INTP3 の有効エッジが入力されると割り込み要求信号が発生する可能性があります。したがって，割り込み機能，DMA 機能を使用する場合は，次の点を注意してください。

- 割り込み機能使用時は，サンプリング・クロック×NFSTS ビットで設定された回数経過後，割り込み要求フラグ（PIC3 のビット 7）をクリアしてから割り込みを許可してください。
- DMA 機能使用時（INTP3 で起動）は，サンプリング・クロック×NFSTS ビットで設定された回数経過後，DMA を許可してください。

リセット時：00H　　R/W　　アドレス：FFFFF318H

	7	6	5	4	3	2	1	0
NFC	NFEN	NFSTS	0	0	0	NFC2	NFC1	NFC0

NFEN	INTP3 端子のノイズ除去の設定
0	アナログ・ノイズ除去を行う
1	ディジタル・ノイズ除去を行う

NFSTS	ディジタル・ノイズ除去のサンプリング回数の設定
0	サンプリング回数 = 2 回
1	サンプリング回数 = 3 回

NFC2	NFC1	NFC0	ディジタル・サンプリングを行うクロック
0	0	0	f_{XX}/64
0	0	1	f_{XX}/128
0	1	0	f_{XX}/256
0	1	1	f_{XX}/512
1	0	0	f_{XX}/1024
1	0	1	f_{XT}（サブクロック）
上記以外			設定禁止

備考 1. 3 回サンプリングするため，確実に除去するノイズ幅はサンプリング・クロック x 2 となります。

2. サンプリング・クロック x 2 より短いノイズがあっても，サンプリング・クロックに同期したノイズが入力された場合には，割り込み要求信号が発生します。

16. 4　ソフトウエア例外

ソフトウエア例外は，CPU の TRAP 命令の実行により発生する例外で，常に受け付け可能です。

16. 4. 1　動　　作

ソフトウエア例外が発生した場合，CPU は次の処理を行い，ハンドラ・ルーチンへ制御を移します。

① 復帰 PC を EIPC に退避します。
② 現在の PSW を EIPSW に退避します。
③ ECR（割り込み要因）の下位 16 ビット（EICC）に例外コードを書き込みます。
④ PSW の EP, ID ビットをセットします。
⑤ PC にソフトウエア例外に対するハンドラ・アドレス（00000040H または 00000050H）をセットし，制御を移します。

ソフトウエア例外の処理形態を，図 16－9 に示します。

図 16－9　ソフトウエア例外の処理形態

注　TRAP 命令フォーマット：TRAP vector（ただし，vector は 0-1FH の値）

ハンドラ・アドレスは，TRAP 命令のオペランド（vector）によって決まります。vector が 0-0FH の場合は 00000040H となり，10-1FH の場合は 00000050H となります。

16. 4. 2　復　　帰

ソフトウエア例外処理からの復帰は，RETI 命令により行います。

RETI 命令の実行により，CPU は次の処理を行い復帰 PC のアドレスへ制御を移します。

① PSW の EP ビットは 1 なので，EIPC, EIPSW から復帰 PC, PSW を取り出します。

② 取り出した復帰 PC のアドレス，PSW の状態に制御を移します。

RETI 命令の処理形態を図 16－10 に示します。

図 16－10　RETI 命令の処理形態

注意　ソフトウエア例外処理中に LDSR 命令により PSW.EP ビット，PSW.NP ビットを変更した場合には，RETI 命令による復帰時に PC と PSW を正常にリストアするために，RETI 命令の直前で，LDSR 命令を使用して PSW.EP = 1 に戻しておく必要があります。

備考　CPU は実線のフローで処理します。

16. 4. 3　EP**フラグ**

EP **フラグは，**PSW **のビット** 6 **です。**EP **フラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。**

リセット時：00000020H

	31	8	7	6	5	4	3	2	1	0
PSW	0		NP	**EP**	ID	SAT	CY	OV	S	Z

EP	**例外処理状態**
0	**例外処理中でない**
1	**例外処理中**

16. 5　例外トラップ

例外トラップは，命令の不正実行が発生した場合に要求される割り込みです。V850ES/FG2 では，不正命令コード・トラップ（ILGOP：Illegal Opcode Trap）が例外トラップに当たります。

16. 5. 1　不正命令コード

不正命令は，命令のオペコード（ビット10-5）が111111Bで，サブオペコード（ビット26-23）が0111B-1111B，サブオペコード（ビット16）が0Bであるものです。この不正命令に当てはまる命令を実行したときに，例外トラップが発生します。

15　　11	10　　5	4　　0	31　　27	26　　23	22　　16	
X X X X X	1 1 1 1 1 1	X X X X X	X X X X X	0 1 1 1 ⋮ 1 1 1 1	X X X X X X	0

備考　X：任意

注意　不正命令コードには，将来，新規に命令を割り当てる可能性があるため，使用しないことを推奨します。

（1）動　　作

例外トラップが発生した場合，CPU は次の処理を行い，ハンドラ・ルーチンへ制御を移します。

① 復帰 PC を DBPC に退避します。
② 現在の PSW を DBPSW に退避します。
③ PSW の NP, EP, ID ビットをセットします。
④ PC に例外トラップに対するハンドラ・アドレス（00000060H）をセットし，制御を移します。

例外トラップの処理形態を図 16－11 に示します。

図 16－11　例外トラップの処理形態

(2) 復　　帰

例外トラップからの復帰は，DBRET命令により行われます。DBRET命令の実行により，CPUは次の処理を行い復帰PCのアドレスを制御します。

① DBPC, DBPSW から復帰 PC, PSW を取り出します。
② 取り出した復帰 PC, PSW のアドレスに制御を移します。

例外トラップからの復帰の処理形態を図 16－12に示します。

図 16－12　例外トラップからの復帰の処理形態

16. 5. 2　ディバグ・トラップ

ディバグ・トラップは，DBTRAP 命令の実行により発生する常時受け付けが可能な例外です。

ディバグ・トラップが発生した場合，CPU は次の処理を行います。

(1) 動　　作

① 復帰 PC を DBPC に退避します。

② 現在の PSW を DBPSW に退避します。

③ PSW の NP, EP, ID ビットをセットします。

④ PC にディバグ・トラップに対するハンドラ・アドレス（00000060H）をセットし，制御を移します。

ディバグ・トラップの処理形態を図 16－13に示します。

図 16－13　ディバグ・トラップの処理形態

(2) 復　　帰

ディバグ・トラップからの復帰は，DBRET命令により行われます。DBRET命令の実行により，CPUは次の処理を行い復帰PCのアドレスを制御します。

① DBPC, DBPSW から復帰 PC, PSW を取り出します。
② 取り出した復帰 PC, PSW のアドレスに制御を移します。

★ **注意** DBPC と DBPSW へは，DBTRAP 命令または不正命令を実行してから DBRET 命令を実行するまでの期間のみアクセス可能です。

ディバグ・トラップからの復帰の処理形態を図 16－14に示します。

図 16－14　ディバグ・トラップからの復帰の処理形態

16. 6　CPUの割り込み応答時間

★　次の場合を除き，CPU の割り込み応答時間は，最小 4 クロックとなります。連続して割り込み要求信号を入力する場合には，最低でも 4 クロック以上間をあけて次の割り込み要求信号を入力する必要があります。

★　●ソフトウエア STOP モード時
●割り込み要求非サンプル命令（16. 7　CPU が割り込みを受け付けない期間参照）が連続しているとき
●割り込み制御レジスタへのアクセス時

図 16－15　割り込み要求信号受け付け時のパイプライン動作例（概略）

備考　INT1-INT4：割り込み受け付け処理
IFX：無効となる命令フェッチ
IDX：無効となる命令デコード

	割り込み応答時間（内部システム・クロック）		条　件
	内部割り込み	外部割り込み	
最小	4	4＋ アナログ・ディレイ時間	次の場合は除きます。 ・IDLE1/IDLE2/ソフトウエア STOP モード時 ・割り込み要求非サンプル命令が連続しているとき ・周辺 I/O レジスタ，プログラマブル I/O レジスタへのアクセス時
最大	6	6＋ アナログ・ディレイ時間	

16. 7　CPUが割り込みを受け付けない期間

CPU の割り込み受け付けは，命令の実行中に行います。ただし，割り込み要求非サンプル命令とその次の命令の間では，割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

●EI 命令

●DI 命令

●LDSR　reg2, 0x5 命令（対 PSW）

★　●次のレジスタに対するストア命令および SET1, NOT1, CLR1 命令

・割り込み関連のレジスタ：

割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ 0-3（IMR0-IMR3）

・インサービス・プライオリティ・レジスタ（ISPR）

・コマンド・レジスタ（PRCMD）

・パワー・セーブ・コントロール・レジスタ（PSC）

・オンチップ・ディバグ・モード・レジスタ（OCDM）

・周辺エミュレーション・レジスタ１（PEMU1）

備考　xx ：各周辺ユニット識別名称（表 16－3　割り込み制御レジスタ（xxICn）参照）

n ：周辺ユニット番号（表 16－3　割り込み制御レジスタ（xxICn）参照）

第17章　キー割り込み機能

17. 1　機　　能

キー・リターン・モード・レジスタ（KRM）の設定により，キー入力端子（KR0-KR7）に立ち下がりエッジを入力することによって，キー割り込み要求信号（INTKR）を発生させることができます。

表17－1　キー・リターン検出端子の割り当て

フラグ	設定される端子
KRM0	KR0信号を1ビット単位で制御
KRM1	KR1信号を1ビット単位で制御
KRM2	KR2信号を1ビット単位で制御
KRM3	KR3信号を1ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

図17－1　キー・リターンのブロック図

17. 2　制御レジスタ

(1) キー・リターン・モード・レジスタ（KRM）

KRMレジスタは，KRM0-KRM7ビットでそれぞれKR0-KR7信号を制御するレジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより00Hなります。

リセット時：00H　R/W　アドレス：FFFFF300H

	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー・リターン・モードの制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

★ **注意**　KRMレジスタを書き換える場合は，一度00Hとしてから書き換えてください。

★ **備考**　兼用端子の設定は表4－18　ポート端子を兼用端子として使用する場合のレジスタ設定を参照してください。

★ 17. 3　注意事項

(1) KR0-KR7端子のうち1つでもロウ・レベルが入力されていると，別の端子の立ち下がりエッジを入力してもINTKR信号が発生しません。

(2) RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は，KR7端子を使用しないでください。また，KR7端子を使用する場合は，RXDA1端子を使用しないでください（PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します）。

(3) KRMレジスタを変更すると，割り込み要求信号（INTKR）が発生する場合があります。したがって，あらかじめ割り込みを禁止（DI）してからKRMレジスタを変更し，割り込み要求フラグ（KRIC.KRIFビット）をクリア（0）してから，割り込みを許可（EI）してください。

(4) キー割り込み機能を使用する場合は，必ずポート端子をキー・リターン用端子に設定してからKRMレジスタで動作を許可してください。また，逆にキー・リターン用端子からポート端子に切り替える場合は，KRMレジスタで動作を禁止してからポート端子の設定を行ってください。

第18章　スタンバイ機能

18.1　概　　要

各モードを組み合わせ，用途によって切り替えて使用すると，効果的な低消費電力システムを実現できます。スタンバイ機能には，次に示すものがあります。

表 18－1　スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックのみを停止させるモード
IDLE1モード	発振回路，PLL注，フラッシュ・メモリ以外のチップ内部の動作をすべて停止させるモード
IDLE2モード	発振回路以外のチップ内部の動作をすべて停止させるモード
ソフトウエアSTOPモード	サブクロック発振回路以外のチップ内部の動作をすべて停止させるモード
サブクロック動作モード	内部システム・クロックをサブクロックで動作させるモード
サブIDLEモード	サブクロック動作モード時，発振回路，PLL注，フラッシュ・メモリ以外のチップ内部の動作をすべて停止させるモード

★ 注　PLLは前の動作状態を保持します。

★ **図 18ー1　状態遷移図**

注1.　PLL**ロックアップ時間が必要です（**LOCKR**レジスタの**LOCK**ビット** = 1→0**）。**

2.　**プログラムによる発振安定時間確保が必要です。**

3.　**発振安定時間カウント中にウォッチドッグ・タイマのオーバフロー（リセット）が発生した場合，**CPU**クロックは内蔵発振器のクロック動作に切り替わります。**

★ 4.　**ソフトウエア**STOP**モードからの復帰時にはプログラムによる発振安定時間確保が必要です。**

備考　PLLS, OSTS**については，第**5**章　クロック発生機能，**18. 2**（**1**）発振安定時間の選択機能を参照してください。**

図 18ー2　PLL**動作時**（PLL = ON）**からのスタンバイ遷移図**

注1.　OSTS**レジスタで設定された時間が経過したあと，**CPU**は**PLL**動作モードに復帰します。**

2.　OSTS**レジスタで設定された時間が経過したあと，**CPU**はPLL動作モードに復帰します。もし，発振安定時間カウント中にウォッチドッグ・タイマのオーバフロー（リセット）が発生した場合，**CPU**クロックは内蔵発振器のクロック動作に切り替わります。**

備考　OSTS**については，**18. 2（1）**発振安定時間の選択機能を参照してください。**

図 18ー3　X1**メイン・スルー動作**（PLL = ON）**からのスタンバイ遷移図**

注1.　OSTS**レジスタで設定された時間が経過したあと，**CPU**はスルー・モードに復帰します。**

2.　OSTS**レジスタで設定された時間が経過したあと，**CPU**はスルー・モードに復帰します。もし，発振安定時間カウント中にウォッチドッグ・タイマのオーバフロー（リセット）が発生した場合，**CPU**クロックは内蔵発振器のクロック動作に切り替わります。**

備考　OSTS**については，**18. 2（1）**発振安定時間の選択機能を参照してください。**

図 18ー4　X1**メイン・スルー動作**（PLL = OFF）**からのスタンバイ遷移図**

注1.　OSTS**レジスタで設定された時間が経過したあと，**CPU**はスルー・モードに復帰します。**

2.　OSTS**レジスタで設定された時間が経過したあと，**CPU**はスルー・モードに復帰します。もし，発振安定時間カウント中にウォッチドッグ・タイマのオーバフロー（リセット）が発生した場合，**CPU**クロックは内蔵発振器のクロック動作に切り替わります。**

備考　OSTS**については，**18. 2（1）**発振安定時間の選択機能**を参照してください。

図 18ー5　**状態遷移図（サブクロック動作時）**

注1. $\overline{\text{RESET}}$**端子入力，**WDT2RES**信号，低電圧検出回路（**LVI**），クロック・モニタ（**CLM**）によるリセット**

2. **ノンマスカブル割り込み要求信号（**NMI, INTWDT2**），マスクされていない外部割り込み要求信号，サブ**IDLE**モード中動作可能なマスクされていない内部マスカブル割り込み要求信号**

★ 18.2 動　　作

(1) 発振安定時間の選択機能

ソフトウエアSTOPモードを解除してから発振が安定するまでのウエイト時間は，OSTSレジスタで制御します。

OSTSレジスタは，8ビット単位でリード／ライト可能です。

リセットにより06Hになります。

リセット時：06H　　R/W　　アドレス：FFFFF6C0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間／セットアップ時間の選択注
0	0	0	2^{10}/fx
0	0	1	2^{11}/fx
0	1	0	2^{12}/fx
0	1	1	2^{13}/fx
1	0	0	2^{14}/fx
1	0	1	2^{15}/fx
1	1	0	2^{16}/fx
1	1	1	設定禁止

注　発振安定時間はソフトウエアSTOPモードの解除時に，セットアップ時間はIDLEモード解除時に必要になります。

注意1.　ソフトウエアSTOPモード解除時のウエイト時間は，リセットによる場合も，割り込み要求信号発生による場合も，ソフトウエアSTOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。

2.　ビット7-3には必ず“0”を設定してください。

3.　リセット解除後の発振安定時間は，2^{16}/fx（OSTSレジスタの初期値 = 06Hのため）となります。

備考　fx：発振周波数

18. 3　HALTモード

18. 3. 1　設定および動作状態

通常動作モード時，専用命令（HALT命令）を実行することにより，HALTモードに設定されます。

HALTモードに設定すると，クロック発振回路は動作を継続しますが，CPUへのクロック供給のみが停止し，そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより，プログラムの実行が停止し，内蔵RAMの内容は，HALTモード設定前の状態を保持します。また，CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表 18－3にHALTモード時の動作状態を示します。

HALTモードは，通常動作モードとの間欠動作により，システム全体の平均消費電流を低減することができます。

注意1.　HALT命令の後には，NOP命令を5命令以上挿入してください。

★　2.　マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合，HALTモードに移行しますが，保留されている割り込み要求によりHALTモードはすぐに解除されます。

18. 3. 2　HALTモードの解除

HALTモードは，ノンマスカブル割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号，HALTモード中に動作可能な周辺機能のマスクさていない内部割り込み要求信号，リセット信号（$\overline{\text{RESET}}$端子入力，WDT2RES信号，低電圧検出回路（LVI），クロック・モニタ（CLM）によるリセット）により解除されます。

HALTモードの解除により，通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとHALTモードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，HALTモードの解除とともにこの割り込み要求信号を受け付けます。

表 18－2　割り込み要求信号によるHALTモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	ハンドラ・アドレスに分岐， または次の命令を実行	次の命令を実行

(2) リセット入力による解除

通常のリセット動作と同じです。

表 18ー3　HALTモード時の動作状態

項　目 ＼ HALTモードの設定		動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能	
サブクロック発振回路		ー	発振可能
内蔵発振発生回路		発振可能	
PLL		動作可能	
CPU		動作停止	
DMA		動作可能	
割り込みコントローラ		動作可能	
タイマP（TMP0-TMP3）		動作可能	
タイマQ（TMQ0, TMQ1）		動作可能	
タイマM（TMM0）		カウント・クロックにf_{XT}以外を選択時に動作可能	動作可能
時計用タイマ		カウント・クロックにf_X（BRG分周）を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2		動作可能	
シリアル・インタフェース	CSIB0, CSIB1	動作可能	
	UARTA0-UARTA2	動作可能	
CANコントローラ		動作可能	
A/Dコンバータ		動作可能	
キー割り込み機能（KR）		動作可能	
ポート機能		HALTモード設定前の状態を保持	
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMなどの内部データはすべてHALTモード設定前の状態を保持	

18. 4　IDLE1モード

18. 4. 1　設定および動作状態

通常動作モード時，PSMRレジスタのPSM1, PSM0ビットを“00”に設定し，PSCレジスタのSTPビットを“1”に設定することにより，IDLE1モードに設定されます。

IDLE1モードに設定すると，クロック発振回路，PLL動作，フラッシュ・メモリは動作を継続しますが，CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMの内容はIDLE1モード設定前の状態を保持します。また，CPUや，そのほかの内蔵周辺機能は動作を停止します。ただし，サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

表 18－5にIDLE1モード時の動作状態を示します。

IDLE1モードは，内蔵周辺機能の動作が停止するので，HALTモードよりさらに低消費電流を実現できます。また，メイン・クロック発振回路は停止しないので，IDLE1モード解除時，HALTモードと同様に発振安定時間を確保することなく，通常動作モードに復帰できます。

注意　IDLE1モードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。

18. 4. 2　IDLE1モードの解除

IDLE1モードは，ノンマスカブル割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号，IDLE1モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット信号（$\overline{\text{RESET}}$端子入力，WDT2RES信号，低電圧検出回路（LVI），クロック・モニタ（CLM）によるリセット）により解除されます。

IDLE1モードの解除により，通常動作モードに移行します。

注意 1.　PSCレジスタのNMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり，IDLE1モードは解除されません。

★　2.　NFCレジスタの設定により，ディジタル・ノイズ除去を選択し，かつ，サンプリング・クロックをfxx/64, fxx/128, fxx/256, fxx/512, fxx/1024から選択した場合，INTP3端子の割り込み要求信号によるIDLE1モードの解除はできません。
詳細は16. 3. 10（7）ノイズ除去制御レジスタを参照してください。

（1）ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でIDLE1モードに設定した場合は次のようになります。

（a）現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLE1モードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

（b）現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，IDLE1モードの解除とともにこの割り込み要求信号を受け付けます。

表 18－4　割り込み要求信号によるIDLE1モード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	ハンドラ・アドレスに分岐，または次の命令を実行	次の命令を実行

(2) リセット入力による解除

通常のリセット動作と同じです。

表 18－5　IDLE1モード時の動作状態

IDLE1モードの設定 / 項　目		動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能	
サブクロック発振回路		－	発振可能
内蔵発振発生回路		発振可能	
PLL		動作可能	
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止（ただしスタンバイ・モードの解除は可能）	
タイマP（TMP0-TMP3）		動作停止	
タイマQ（TMQ0, TMQ1）		動作停止	
タイマM（TMM0）		カウント・クロックにf_R/8を選択時に動作可能	カウント・クロックにf_R/8またはf_{XT}選択時に動作可能
時計用タイマ		カウント・クロックにf_X（BRG分周）を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2		動作可能	
シリアル・インタフェース	CSIB0, CSIB1	動作クロックに$\overline{SCKBn}$入力クロック選択時に動作可能（n = 0, 1）	
★	UARTA0-UARTA2	動作停止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）	
CANコントローラ		動作停止	
A/Dコンバータ		動作停止	
キー割り込み機能（KR）		動作可能	
ポート機能		IDLE1モード設定前の状態を保持	
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMなどの内部データはすべてIDLE1モード設定前の状態を保持	

★ **備考**　低消費電力を実現するためには，IDLE1モードに遷移する前にA/Dコンバータを停止してください。

18. 5　IDLE2モード

18. 5. 1　設定および動作状態

通常動作モード時，PSMRレジスタのPSM1, PSM0ビットを“10”に設定し，PSCレジスタのSTPビットを“1”に設定することにより，IDLE2モードに設定されます。

IDLE2モードに設定すると，クロック発振回路は動作を継続しますが，CPU, PLL動作，フラッシュ・メモリやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMの内容はIDLE2モード設定前の状態を保持します。また，CPUや，そのほかの内蔵周辺機能は動作を停止します。ただし，サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

表 18－7にIDLE2モード時の動作状態を示します。

IDLE2モードは，内蔵周辺機能，フラッシュ・メモリの動作が停止するので，IDLE1モードよりさらに低消費電流を実現できます。ただし，PLL動作，フラッシュ・メモリは停止するため，IDLE2モード解除時，必ずPLL動作，フラッシュ・メモリのセットアップ時間が必要となります。

注意　IDLE2モードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。

18. 5. 2　IDLE2モードの解除

IDLE2モードは，ノンマスカブル割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号，IDLE2モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット信号（$\overline{\text{RESET}}$端子入力，WDT2RES信号，低電圧検出回路（LVI），クロック・モニタ（CLM）によるリセット）により解除されます。また，PLLはIDLE2モード設定前の動作状態に復帰します。

IDLE2モードの解除により，通常動作モードに移行します。

注意1.　PSCレジスタのNMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり，IDLE2モードは解除されません。

★　2.　NFCレジスタの設定により，ディジタル・ノイズ除去を選択し，かつ，サンプリング・クロックをfxx/64, fxx/128, fxx/256, fxx/512, fxx/1024から選択した場合，INTP3端子の割り込み要求信号によるIDLE2モードの解除はできません。
詳細は16. 3. 10（7）ノイズ除去制御レジスタを参照してください。

（1）ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でIDLE2モードに設定した場合は次のようになります。

（a）現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLE2モードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

（b）現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，IDLE2モードの解除とともにこの割り込み要求信号を受け付けます。

表 18－6　割り込み要求信号によるIDLE2モード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	所定のセットアップ時間確保後，ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	所定のセットアップ時間確保後，ハンドラ・アドレスに分岐，または次の命令を実行	所定のセットアップ時間確保後，次の命令を実行

(2) リセット入力による解除

通常のリセット動作と同じです。

表 18－7　IDLE2モード時の動作状態

項　目 ＼ IDLE2モードの設定		動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能	
サブクロック発振回路		－	発振可能
内蔵発振発生回路		発振可能	
PLL		動作停止	
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止（ただし，スタンバイ・モードの解除は可能）	
タイマP（TMP0-TMP3）		動作停止	
タイマQ（TMQ0, TMQ1）		動作停止	
タイマM（TMM0）		カウント・クロックにf_R/8を選択時に動作可能	カウント・クロックにf_R/8またはf_{XT}選択時に動作可能
時計用タイマ		カウント・クロックにf_X（BRG分周）を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2		動作可能	
シリアル・インタフェース	CSIB0, CSIB1	動作クロックに$\overline{\text{SCKBn}}$入力クロック選択時に動作可能（n = 0, 1）	
★	UARTA0-UARTA2	動作停止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）	
CANコントローラ		動作停止	
A/Dコンバータ		動作停止	
キー割り込み機能（KR）		動作可能	
ポート機能		IDLE2モード設定前の状態を保持	
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMなどの内部データはすべてIDLE2モード設定前の状態を保持	

★ **備考**　低消費電力を実現するためには，IDLE2モードに遷移する前にA/Dコンバータを停止してください。

18. 5. 3　IDLE2モード解除時のセットアップ時間の確保

IDLE2モードに設定されることにより，メイン・クロック発振回路以外は動作を停止するので，IDLE2モード解除後，ROM（フラッシュ・メモリ）のセットアップ時間を確保してください。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号による解除

所定のセットアップ時間は，OSTSレジスタの設定により確保します。

IDLE2モードの解除要因が発生すると，OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し，オーバフローすると通常動作モードに移行します。

(2) リセット入力（$\overline{\text{RESET}}$端子入力，WDT2RES発生）による解除

通常のリセット動作と同じです。

なお，発振安定時間はOSTSレジスタの初期値：2^{16}/fxになります。

18. 6　ソフトウエアSTOPモード

18. 6. 1　設定および動作状態

★　通常動作モード時，PSMRレジスタのPSM1, PSM0ビットを“01”または“11”に設定し，PSCレジスタのSTPビットを“1”に設定することにより，ソフトウエアSTOPモードに設定されます。

ソフトウエアSTOPモードに設定するとサブクロック発振回路は動作を継続しますが，メイン・クロック発振回路は動作を停止します。また，CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMの内容はソフトウエアSTOPモード設定前の状態を保持します。また，CPUやそのほかの内蔵周辺機能は動作を停止します。ただし，サブクロック，あるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

表 18－9にソフトウエアSTOPモード時の動作状態を示します。

ソフトウエアSTOPモードは，メイン・クロック発振回路の動作が停止するので，IDLE2モードよりさらに低消費電流を実現できます。また，サブクロック発振回路，内蔵発振器，外部クロックを使用しない場合は，リーク電流のみの超低消費電力を実現できます。

注意　ソフトウエアSTOPモードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。

18. 6. 2　ソフトウエアSTOPモードの解除

ソフトウエアSTOPモードは，ノンマスカブル割り込み要求信号（NMI端子入力, INTWDT2信号），マスクされていない外部割り込み要求信号，ソフトウエアSTOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット信号（$\overline{\text{RESET}}$端子入力，WDT2RES信号，低電圧検出回路（LVI）によるリセット）により解除されます。

ソフトウエアSTOPモードの解除により，発振安定時間を確保したあと，通常動作モードに移行します。

注意1.　PSCレジスタのNMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求は無効になり，ソフトウエアSTOPモードは解除されません。

★　2.　NFCレジスタの設定により，ディジタル・ノイズ除去を選択し，かつ，サンプリング・クロックをfxx/64, fxx/128, fxx/256, fxx/512, fxx/1024から選択した場合，INTP3端子の割り込み要求信号によるソフトウエアSTOPモードの解除はできません。
詳細は16. 3. 10（7）ノイズ除去制御レジスタを参照してください。

（1）ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でソフトウエアSTOPモードに設定した場合は次のようになります。

（a）現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとソフトウエアSTOPモードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

（b）現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，ソフトウエアSTOPモードの解除とともにこの割り込み要求信号を受け付けます。

表 18－8　割り込み要求信号によるソフトウエアSTOPモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	発振安定時間確保後，ハンドラ･アドレスに分岐	
マスカブル割り込み要求信号	発振安定時間確保後，ハンドラ･アドレスに分岐，または次の命令を実行	発振安定時間確保後，次の命令を実行

(2) リセット入力による解除

通常のリセット動作と同じです。

表 18－9　ソフトウエアSTOPモード時の動作状態

項　目 ＼ ソフトウエアSTOPモードの設定		動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振停止	
サブクロック発振回路		－	発振可能
内蔵発振発生回路		発振可能	
PLL		動作停止	
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止	
タイマP（TMP0-TMP3）		動作停止	
タイマQ（TMQ0, TMQ1）		動作停止	
タイマM（TMM0）		カウント・クロックにf_R/8を選択時に動作可能	カウント・クロックにf_R/8またはf_{XT}選択時に動作可能
時計用タイマ		動作停止	カウント・クロックにf_{XT}を選択時に動作可能
ウォッチドッグ・タイマ2		カウント・クロックにf_Rを選択時に動作可能	
シリアル・インタフェース	CSIB0, CSIB1	動作クロックに$\overline{\text{SCKBn}}$入力クロック選択時に動作可能（n = 0, 1）	
★	UARTA0-UARTA2	動作停止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）	
CANコントローラ		動作停止	
A/Dコンバータ		動作停止	
キー割り込み機能（KR）		動作可能	
ポート機能		ソフトウエアSTOPモード設定前の状態を保持	
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMなどの内部データはすべてソフトウエアSTOPモード設定前の状態を保持	

18. 6. 3　ソフトウエアSTOPモード解除時の発振安定時間の確保

ソフトウエアSTOPモードに設定されることにより，メイン・クロック発振回路は動作を停止するので，ソフトウエアSTOPモード解除後，メイン・クロック発振回路の発振安定時間を確保してください。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号による解除

発振安定時間は，OSTSレジスタの設定により確保します。

ソフトウエアSTOPモードの解除要因が発生すると，OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し，オーバフローすると通常動作モードに移行します。

(2) リセットによる解除

通常のリセット動作と同じです。

なお，発振安定時間はOSTSレジスタの初期値：2^{16}/fxになります。

18. 7　サブクロック動作モード

18. 7. 1　設定および動作状態

通常動作モード時，PCCレジスタのCK3ビットを“1”に設定することにより，サブクロック動作モードに設定されます。

サブクロック動作モードに設定すると，内部システム・クロックがメイン・クロック→サブクロックに切り替わります。切り替わりは，PCCレジスタのCLSビットを確認してください。

さらに，PCCレジスタのMCKビットを“1”に設定することにより，メイン・クロック発振回路の動作を停止します。これにより，システム全体がサブクロックでのみ動作します。

サブクロック動作モードは，内部システム・クロックがサブクロックとなるので，通常動作モードよりも消費電流を低減できます。さらに，メイン・クロック発振回路の動作を停止させることにより，ソフトウエアSTOPモードに近い低消費電流を実現できます。

サブクロック動作モード時の動作状態を表 18－10に示します。

注意　CK3ビットを操作（0→1または1→0）する場合，PCCレジスタのCK2-CK0ビットの設定値の変更は禁止です（ビット操作命令で設定してください）。PCCレジスタの詳細は，5. 3（1）プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。

18. 7. 2　サブクロック動作モードの解除

サブクロック動作モードは，CK3ビットを“0”に設定するか，リセット信号（$\overline{\text{RESET}}$端子入力，WDT2RES信号，低電圧検出回路（LVI），クロック・モニタ（CLM）によるリセット）により解除します。

なお，メイン・クロックを停止（MCKビット = 1）していた場合は，MCKビットを“0”に設定し，メイン・クロックの発振安定時間をソフトウエアにより確保してから，CK3ビットを“0”に設定します。

サブクロック動作モードの解除により，通常動作モードに移行します。

注意　CK3ビットを操作（0→1または1→0）する場合，PCCレジスタのCK2-CK0ビットの設定値の変更は禁止です（ビット操作命令で設定してください）。PCCレジスタの詳細は，5. 3（1）プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。

表 18－10　サブクロック動作モード時の動作状態

項　目 ＼ サブクロック動作モードの設定		動作状態	
		メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路		発振可能	
内蔵発振発生回路		発振可能	
PLL		動作可能	動作停止[注]
CPU		動作可能	
DMA		動作可能	
割り込みコントローラ		動作可能	
タイマP（TMP0-TMP3）		動作可能	動作停止
タイマQ（TMQ0, TMQ1）		動作可能	動作停止
タイマM（TMM0）		動作可能	カウント・クロックにf_R/8またはf_{XT}選択時に動作可能
時計用タイマ		動作可能	カウント・クロックにf_{XT}を選択時に動作可能
ウォッチドッグ・タイマ2		動作可能	カウント・クロックにf_R選択時に動作可能
シリアル・インタフェース	CSIB0, CSIB1	動作可能	動作クロックに$\overline{\text{SCKBn}}$入力クロック選択時に動作可能（n = 0, 1）
★	UARTA0-UARTA2	動作可能	動作停止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）
CANコントローラ		動作可能	動作停止
A/Dコンバータ		動作可能	動作停止
キー割り込み機能（KR）		動作可能	
ポート機能		設定可能	
内部データ		設定可能	

注　メイン・クロックを停止するときは，必ずPLL停止（PLLCTLレジスタのPLLONビット = 0）に設定してください。

★ **注意**　CPUがサブクロックで動作し，かつメイン発振を停止している場合，ウエイトが発生するレジスタへのアクセスは禁止です。ウエイトが発生した場合，解除する方法はリセットのみです（3. 4. 10（2）**特定の内蔵周辺**I/O**レジスタへのアクセスについて**参照）。

18. 8　サブIDLEモード

18. 8. 1　設定および動作状態

サブクロック動作モード時，PSMRレジスタのPSM1，PSM0ビットを“10”に設定し，PSCレジスタのSTPビットを“1”に設定することにより，サブIDLEモードに設定されます。

サブIDLEモードに設定すると，クロック発振回路は動作を継続しますが，CPU，フラッシュ・メモリやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMの内容はサブIDLEモード設定前の状態を保持します。また，CPUやそのほかの内蔵周辺機能は動作を停止します。ただし，サブクロック，あるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

サブIDLEモードは，CPU，フラッシュ・メモリやそのほかの内蔵周辺機能の動作が停止するので，サブクロック動作モードよりさらに低消費電流を実現できます。

また，メイン・クロックを停止してからサブIDLEモードに設定した場合は，ソフトウエアSTOPモードに近い低消費電力を実現できます。

サブIDLEモード時の動作状態を，表 18－12に示します。

注意　サブIDLEモードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。

18. 8. 2　サブIDLEモードの解除

サブIDLEモードは，ノンマスカブル割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号，サブIDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット信号（$\overline{\text{RESET}}$端子入力，WDT2RES信号，低電圧検出回路（LVI），クロック・モニタ（CLM）によるリセット）により解除されます。また，PLLはサブIDLEモード設定前の動作状態と同じ状態に復帰します。

割り込み要求信号によるサブIDLEモードの解除により，サブクロック動作モードに移行します。また，リセット信号によるサブIDLEモードの解除により通常動作モードに移行します。

注意1.　PSCレジスタのNMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり，サブIDLEモードは解除されません。

★　2.　NFCレジスタの設定により，ディジタル・ノイズ除去を選択し，かつ，サンプリング・クロックをfxx/64, fxx/128, fxx/256, fxx/512, fxx/1024から選択した場合，INTP3端子の割り込み要求信号によるサブIDLEモードの解除はできません。
詳細は16. 3. 10（7）ノイズ除去制御レジスタを参照してください。

（1）ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号が発生すると，優先順位とは無関係に解除されます。

ただし，割り込み処理ルーチン内でサブIDLEモードに設定した場合，次のようになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生すると，サブIDLEモードの解除だけ行い，この割り込み要求信号は受けません。割り込み要求信号そのものは保留されます。

(b) 現在処理中の割り込み要求よりも優先順位の高い割り込み要求信号（ノンマスカブル割り込み要求信号も含む）が発生すると，サブIDLEモードの解除とともにこの割り込み要求信号を受け付けます。

表 18－11　割り込み要求信号によるサブIDLEモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	ハンドラ・アドレスに分岐， または次の命令を実行	次の命令を実行

（2）リセット入力による解除

通常のリセット動作と同じです。

表 18－12　サブIDLEモード時の動作状態

項　目 ＼ サブIDLEモードの設定		動作状態	
		メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路		発振可能	
内蔵発振発生回路		発振可能	
PLL		動作可能	動作停止[注]
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止（ただし，スタンバイ・モードの解除は可能）	
タイマP（TMP0-TMP3）		動作停止	
タイマQ（TMQ0, TMQ1）		動作停止	
タイマM（TMM0）		カウント・クロックにf_R/8またはf_{XT}選択時に動作可能	
時計用タイマ		動作可能	カウント・クロックにf_{XT}を選択時に動作可能
ウォッチドッグ・タイマ2		カウント・クロックにf_R選択時に動作可能	
シリアル・インタフェース	CSIB0, CSIB1	動作クロックに$\overline{\text{SCKBn}}$入力クロック選択時に動作可能（n = 0, 1）	
★	UARTA0-UARTA2	動作停止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）	
CANコントローラ		動作停止	
A/Dコンバータ		動作停止	
キー割り込み機能（KR）		動作可能	
ポート機能		サブIDLEモード設定前の状態を保持	
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMなどの内部データはすべてサブIDLEモード設定前の状態を保持	

注　メイン・クロックを停止するときは，必ずPLL停止（PLLCTLレジスタのPLLONビット = 0）に設定してください。

18. 9　制御レジスタ

(1) パワー・セーブ・コントロール・レジスタ（PSC）

スタンバイ機能を制御する8ビットのレジスタです。STPビットの設定によりスタンバイ・モードを指定します。このレジスタは特定レジスタです（3. 4. 9　**特定レジスタ**参照）。特定のシーケンスによってのみ書き込みが可能です。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　　R/W　　アドレス：FFFFF1FEH

	7	6	5	4	3	2	1	0
PSC	0	NMI1M	NMI0M	INTM	0	0	STP	0

NMI1M	INTWDT2信号発生によるスタンバイ・モード解除制御
0	INTWDT2信号によるスタンバイ・モード解除許可
1	INTWDT2信号によるスタンバイ・モード解除禁止

NMI0M	NMI端子入力によるスタンバイ・モード解除制御
0	NMI端子入力によるスタンバイ・モード解除許可
1	NMI端子入力によるスタンバイ・モード解除禁止

INTM	マスカブル割り込み要求信号によるスタンバイ・モード解除制御
0	マスカブル割り込み要求信号によるスタンバイ・モード解除許可
1	マスカブル割り込み要求信号によるスタンバイ・モード解除禁止

STP	スタンバイ・モード[注]の設定
0	通常モード
1	スタンバイ・モード

注　STPビットにおけるスタンバイ・モード：IDLE1モード，IDLE2モード，ソフトウエアSTOPモード，サブIDLEモード

注意　IDLE1, IDLE2モード，ソフトウエアSTOPモード，サブIDLEモードに設定するときは，PSMRレジスタのPSM1, PSM0ビットを設定してから，設定してください。

(2) パワー・セーブ・モード・レジスタ（PSMR）

パワー・セーブ・モードの動作状態やクロックの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF820H

	7	6	5	4	3	2	1	0
PSMR	0	0	0	0	0	0	PSM1	PSM0

★

PSM1	PSM0	ソフトウエア・スタンバイ・モード時の動作指定
0	0	IDLE1モード
0	1	ソフトウエアSTOPモード
1	0	IDLE2モード
1	1	ソフトウエアSTOPモード

注意1.　ビット2-7には，必ず0を設定してください。

2.　PSM0, PSM1ビットは，PSCレジスタのSTPビット = 1のときのみ有効です。

備考　IDLE1　：発振回路と一部の回路（フラッシュ・メモリ，PLL）以外の動作を停止するモードです。IDLE1モード解除後，HALTモードと同様に発振安定時間を確保する必要なく，通常モードに復帰します。

IDLE2　：発振回路以外の動作を停止するモードです。IDLE2モード解除後，OSTSレジスタで指定したセットアップ時間（フラッシュ・メモリ，PLL）を確保したあと，通常モードに復帰します。

ソフトウエアSTOP：サブクロック発振回路以外の動作を停止するモードです。ソフトウエアSTOPモード解除後，OSTSレジスタで指定した発振安定時間を確保したあと，通常モードに復帰します。

第19章　リセット機能

19. 1　概　　要

リセット機能の概要を次に示します。

（1）5種類のリセット要因

・$\overline{\text{RESET}}$端子入力によるリセット機能

・ウォッチドッグ・タイマ2のオーバフローによるリセット機能（WDT2RES）

・低電圧検出回路（LVI）によるシステム・リセット（第22章　低電圧検出回路参照）

・クロック・モニタ（CLM）によるシステム・リセット（第20章　クロック・モニタ参照）

・パワーオン・クリア回路（POC）によるシステム・リセット（第21章　パワーオン・クリア回路参照）

リセット解除後，リセット要因フラグ・レジスタ（RESF）によりリセット要因を確認できます。

★　（2）緊急動作モード

リセット後に挿入されるメイン・クロック発振安定期間内でWDT2がオーバフローした場合，メイン・クロックの発振異常と判断し，内蔵発振器でCPUの動作を開始します。

注意　CPUが内蔵発振器で動作しているとき，ウエイトが発生するレジスタへのアクセスは禁止です。ウエイトが発生するレジスタについては，3. 4. 10（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

19. 2　リセット要因を確認するレジスタ

(1) リセット要因フラグ・レジスタ（RESF）

RESFレジスタは，どの要因から発生したリセット信号かを格納するレジスタです。

RESFレジスタは特定レジスタです。特定のシーケンスによってのみ書き込みが可能です（3. 4. 9　特定レジスタ参照）。

8/1ビット単位でリード／ライト可能です。

$\overline{\text{RESET}}$入力，POCリセットにより00Hになります。$\overline{\text{RESET}}$以外の要因のリセットにより初期値は異なります。

リセット時：00H[注]　R/W　アドレス：FFFFF888H

	7	6	5	4	3	2	1	0
RESF	0	0	0	WDT2RF	0	0	CLMRF	LVIRF

WDT2RF	WDT2からのリセット信号発生有無
0	発生なし
1	発生あり

CLMRF	クロック・モニタからのリセット信号発生有無
0	発生なし
1	発生あり

LVIRF	低電圧検出回路からのリセット信号発生有無
0	発生なし
1	発生あり

注　RESET端子によるリセット時は00H, WDT2RES信号，低電圧検出回路（LVI），クロック・モニタ（CLM）によるリセット時は，自身のリセット・フラグ（WDT2RF, CLMRF, LVIRFビット）をセット（他の要因は保持）します。

注意　各ビットへの書き込みは“0”ライトのみ可能で，“0”ライト書き込みとフラグ・セット（リセットの発生）が競合した場合，フラグ・セットが優先されます。

19. 3　動　　作

19. 3. 1　$\overline{\text{RESET}}$端子によるリセット動作

$\overline{\text{RESET}}$端子にロウ･レベルを入力すると，システム・リセットがかかり，各ハードウエアを初期化します。

$\overline{\text{RESET}}$端子入力をロウ･レベルからハイ･レベルに変化させると，リセット状態を解除します。

$\overline{\text{RESET}}$端子入力によるリセット解除の場合，発振安定時間（OSTSレジスタのリセット値：2^{16}/fx）を確保したあと，CPUはプログラムの実行を開始します。

表19－1　$\overline{\text{RESET}}$端子入力時の各ハードウエアの状態

項　　目		リセット中	リセット後
メイン・クロック発振回路（fx）		発振停止	発振開始
★ サブクロック発振回路（fXT）	X'tal	発振継続	
	RC	発振停止	発振開始
内蔵発振器		発振停止	発振開始
周辺クロック（fx～fx/1024）		動作停止	発振安定時間確保後，動作開始
内部システム・クロック（fxx），CPUクロック（fCPU）		動作停止	発振安定時間確保後，動作開始（fxx/8に初期化）
CPU		初期化	発振安定時間確保後，プログラムの実行開始
ウォッチドッグ・タイマ2		動作停止	動作開始
内蔵RAM		パワーオン時のリセット，またはRAMへのデータ・アクセス（CPUによる）とリセット入力が競合（データ破壊）した場合，不定。 それ以外は，リセット入力直前の値を保持注。	
I/Oライン（ポート／兼用端子）		ハイ・インピーダンス	
内蔵周辺I/Oレジスタ		所定の状態に初期化，OCDMレジスタはセット（01H）	
上記以外の内蔵周辺機能		動作停止	発振安定時間確保後，動作開始可能

★ 注　V850ES/FG2は，ブート切り替え機能（フラッシュ・メモリ内蔵製品のみ）をサポートするので，内部システム･リセット解除後，ファームウエアにより内蔵RAMの一部を使用します。したがって，パワーオン状態でのリセットでも一部領域のRAMの内容を保持しません。詳細は，19. 4　**リセット解除後の動作**を参照してください。

注意　リセット解除後，端子状態により，オンチップ・ディバグ・モード（フラッシュ・メモリ内蔵製品のみ）に入る可能性があるため注意してください。詳細は，第4章　ポート機能を参照してください。

図19－1　$\overline{\text{RESET}}$端子入力によるリセット動作のタイミング

図19－2　パワーオン時のリセット動作のタイミング

19. 3. 2　WDT2RES信号によるリセット動作

ウォッチドッグ・タイマ2をオーバフローによるリセット動作モードに設定時，ウォッチドッグ・タイマ2がオーバフロー（WDT2RES信号発生）すると，システム･リセットがかかり各ハードウエアを所定の状態に初期化します。

ウォッチドッグ・タイマ2のオーバフロー後，所定の時間（アナログ･ディレイ分）リセット状態となり，その後リセット状態を自動的に解除します。リセット解除後，メイン・クロック発振回路の発振安定時間（OSTSレジスタの初期値：2^{16}/fx）を確保したあと，CPUはプログラムの実行を開始します。

なお，リセット期間中はメイン･クロック発振回路は停止します。

表19ー2　WDT2RES信号発生時の各ハードウエアの状態

項　目		リセット中	リセット後
メイン・クロック発振回路（fx）		発振停止	発振開始
★ サブクロック発振回路（f_{XT}）	X'tal	発振継続	
	RC	発振停止	発振開始
内蔵発振器		発振停止	発振開始
周辺クロック（f_{XX}-f_{XX}/1024）		動作停止	発振安定時間確保後，動作開始
内部システム・クロック（f_{XX}），CPUクロック（f_{CPU}）		動作停止	発振安定時間確保後，動作開始（f_{XX}/8に初期化）
CPU		初期化	発振安定時間確保後，プログラムの実行開始
★ ウォッチドッグ・タイマ2		動作停止	動作開始
内蔵RAM		パワーオン時のリセット，またはRAMへのデータ・アクセス（CPUによる）とリセット入力が競合（データ破壊）した場合，不定。それ以外は，リセット入力直前の値を保持[注]。	
I/Oライン（ポート／兼用端子）		ハイ・インピーダンス	
内蔵周辺I/Oレジスタ		所定の状態に初期化，OCDMレジスタは値を保持。	
上記以外の内蔵周辺機能		動作停止	発振安定時間確保後，動作開始可能

★ **注**　V850ES/FG2は，ブート切り替え機能（フラッシュ・メモリ内蔵品のみ）をサポートするので，内部システム･リセット解除後，ファームウエアにより内蔵RAMの一部を使用します。したがって，パワーオン状態でのリセットでも一部領域のRAMの内容を保持しません。詳細は，19. 4　**リセット解除後の動作**を参照してください。

図19ー3　WDT2RES信号発生によるリセット動作のタイミング

★　19. 3. 3　パワーオン・クリアによるリセット動作（パワーオン・クリア機能搭載製品のみ）

パワーオン・クリアの動作許可時，電源電圧と検出電圧を比較し，電源電圧が検出電圧を下回った場合（電源投入時を含む），システム・リセットがかかり，各ハードウエアを所定の状態に初期化します。

電圧低下検出から電源電圧が検出電圧を上回るまでリセット状態となり，その後リセット状態を自動的に解除します。リセット解除後，メイン・クロック発振回路の発振安定時間（OSTSレジスタの初期値：2^{16}/fx）を確保したあと，CPUはプログラムの実行を開始します。

詳細は第21章　パワーオン・クリア回路を参照してください。

★　19. 3. 4　低電圧検出によるリセット動作

LVI動作許可時かつLVIMレジスタのLVIMDビットをセット（1）し，電源電圧と検出電圧を比較し，電源電圧が検出電圧を下回った場合，システム・リセットがかかり，各ハードウエアを所定の状態に初期化します。

電圧低下検出から電源電圧が検出電圧を上回るまでリセット状態となり，その後リセット状態を自動的に解除します。リセット解除後，メイン・クロック発振回路の発振安定時間（OSTSレジスタの初期値：2^{16}/fx）を確保したあと，CPUはプログラムの実行を開始します。

詳細は第22章　低電圧検出回路を参照してください。

★ 19. 3. 5　クロック・モニタによるリセット動作

クロック・モニタ動作許可時，サンプリング・クロック（内蔵発振器）にてメイン・クロックの監視を行い，メイン・クロックの停止を検出した場合，システム・リセットがかかり，各ハードウエアを所定の状態に初期化します。

詳細は第20章　クロック・モニタを参照してください。

★ 19. 4　リセット解除後の動作

リセット解除後，メイン･クロックは発振を開始し，発振安定時間（OSTSレジスタの初期値：2^{16}/fx）を確保したあと，CPUはプログラムの実行を開始します。

また，WDT2はリセット解除後，内蔵発振器をソース・クロックとして，すぐに動作を開始します。

図19－4　リセット解除後の動作

(1) 緊急動作モード

発振安定時間が確保される前にメイン・クロックに異常が発生した場合，CPUがプログラムの実行を開始する前にWDT2がオーバフローします。このとき，CPUは内蔵発振器をソース・クロックとして，プログラムの実行を開始します。

図19－5　リセット解除後の動作

CPU動作クロックの状態は，CPU動作クロック・ステータス・レジスタ（CCLS）で確認してください。

(2) ファームウエア動作

ブート切り替え機能をサポートするため，リセット解除後，ユーザ・プログラム開始前に内蔵ファームウエアが動作します。

ファームウエア動作時間：11000 ×（1/fx）（sec）

備考　fx：メイン・クロック発振周波数（MHz）

また，ファームウエアが内蔵RAMの一部を使用するため，パワーオン状態でのリセットでも次のRAM領域の内容を保持しません。

- RAMサイズ6 Kバイト品　：03FFD800H-03FFD895H, 03FFEF9CH-03FFEFFFH
- RAMサイズ12 Kバイト品：03FFC000H-03FFC095H, 03FFEF9CH-03FFEFFFH
- RAMサイズ16 Kバイト品：03FFB000H-03FFB095H, 03FFEF9CH-03FFEFFFH

(a) RAMサイズ6 Kバイト品

(b) RAMサイズ12 Kバイト品

(c) RAMサイズ16 Kバイト品

第20章　クロック・モニタ

20. 1　クロック・モニタの機能

クロック・モニタは，内蔵発振クロックで，メイン・クロックのサンプリングを行い，メイン・クロックの発振停止時に，リセット要求信号を発生します。

動作許可フラグにより一度動作許可にすると，リセット以外ではクリア（0）できません。

次の条件のとき，クロック・モニタは自動的に停止します。

- ソフトウエアSTOPモード～発振安定時間カウント時
- メイン・クロック停止時（サブクロック動作時にPCCレジスタのMCKビット= 1としてから，メイン・クロック動作時にPCCレジスタのCLSビット = 0とするまで）
- サンプリング・クロック停止時（内蔵発振器）
- CPUが内蔵発振器で動作時

20. 2　クロック・モニタの構成

クロック・モニタは，次のハードウエアで構成しています。

表 20ー1　クロック・モニタの構成

項　　目	構　　成
制御レジスタ	クロック・モニタ・モード・レジスタ（CLM）

図 20ー1　CLMブロック図

20. 3　クロック・モニタを制御するレジスタ

クロック・モニタは，クロック・モニタ・モード・レジスタ（CLM）で制御します。

(1) クロック・モニタ・モード・レジスタ（CLM）

クロック・モニタの動作モードの設定を行うレジスタです。

CLMレジスタは特定レジスタです。特定のシーケンスによってのみ書き込みが可能です（3. 4. 9　特定レジスタ参照）。

8/1ビット単位でリード／ライト可能です。

$\overline{\text{RESET}}$入力により00Hになります。

リセット時：00H　R/W　アドレス：FFFFF870H

	7	6	5	4	3	2	1	0
CLM	0	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作許可／禁止
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

注意 1.　一度CLMEビット = 1に設定した場合，リセット以外ではクリア（0）できません。

2.　クロック・モニタによるリセットが発生した場合，CLMEビットはクリア（0）され，RESF, CLMRFビットがセット（1）されます。

20. 4　クロック・モニタの動作

クロック・モニタの持つ機能について説明します。スタート条件，ストップ条件は次のようになります。

＜スタート条件＞

クロック・モニタ・モード・レジスタ（CLM）のビット0（CLME）を動作許可（1）に設定

＜ストップ条件＞

- ソフトウエアSTOPモード～発振安定時間カウント時
- メイン・クロック停止時（サブクロック動作時にPCCレジスタのMCKビット= 1としてから，メイン・クロック動作時にPCCレジスタのCLSビット = 0とするまで）
- サンプリング・クロック停止時（内蔵発振器）
- CPUが内蔵発振器で動作時

表 20－2　クロック・モニタの動作状態（CLM.CLMEビット = 1設定時，内蔵発振器動作時）

CPU動作クロック	動作モード	メイン・クロックの状態	内蔵発振クロックの状態	クロック・モニタの状態
メイン・クロック	HALTモード	発振	発振注1	動作注2
	IDLE1モード, IDLE2モード	発振	発振注1	動作注2
	ソフトウエアSTOPモード	停止	発振注1	停止
サブクロック（PCCレジスタのMCKビット = 0）	サブIDLEモード	発振	発振注1	動作注2
サブクロック（PCCレジスタのMCKビット = 1）	サブIDLEモード	停止	発振注1	停止
内蔵発振クロック	－	停止	停止注1	停止
リセット中	－	停止	停止	停止

注1.　オプション機能で「内蔵発振器：停止可能」を設定した場合のみ，RCMレジスタのRSTOPビット = 1にすることで，内蔵発振器を停止できます。

2.　内蔵発振器が停止している場合，クロック・モニタは停止します。

(1) メイン・クロック発振停止時の動作（CLMEビット = 1）

CLMEビット = 1のとき，メイン・クロックの発振が停止した場合，図 20－2のタイミングで内部リセット信号が発生します。

図 20－2　メイン・クロックの発振停止時

(2) ソフトウエアSTOPモード中およびソフトウエアSTOPモード解除後の動作

CLMEビット = 1の状態でソフトウエアSTOPモードに移行した場合，ソフトウエアSTOPモード中および発振安定時間カウント中はモニタ動作を停止します。発振安定時間カウント終了後に自動的にモニタ動作を開始します。

図 20－3　ソフトウエアSTOPモード中およびソフトウエアSTOPモード解除後の動作

(3) メイン・クロック停止時（任意）の動作

サブクロック動作時（PCCレジスタのCLSビット = 1），PCCレジスタのMCKビット = 1に設定することによりメイン・クロックを停止した場合，メイン・クロック動作（PCCレジスタのCLSビット = 0）に移行するまでモニタ動作を停止し，メイン・クロック動作移行後に自動的にモニタ動作を開始します。

図 20－4　メイン・クロック停止時（任意）の動作

(4) CPUが内蔵発振クロックで動作時（CCLSレジスタのCCLSFビット = 1）の動作

CCLSFビット = 1のとき，CLMEビット = 1に設定してもモニタ動作を開始しません。

第21章　パワーオン・クリア回路

21. 1　パワーオン・クリア回路の機能

パワーオン・クリア（POC）回路は次のような機能を持ちます。

・電源投入時に内部リセット信号を発生します。
・電源電圧（V_{DD}）と検出電圧（V_{POC0}）を比較し，$V_{DD} < V_{POC0}$になったとき，内部リセット信号を発生します。
製品により次の選択が可能です。
　・POC不可
　・POC使用（検出電圧：V_{POC0} = 3.7 V ± 0.2 V）

注意　POC回路で内部リセット信号が発生した場合，リセット要因フラグ・レジスタ（RESF）がクリア（00H）されます。

備考 1.　この製品には，内部リセット信号を発生するハードウエアが複数内蔵されています。ウォッチドッグ・タイマ2（WDT2RES）／低電圧検出回路（LVI）／クロック・モニタ（CLM）によるリセット時は，そのリセット要因を示すためのフラグがリセット要因フラグ・レジスタ（RESF）に配置されています。RESFは，WDT2RES／LVI／クロック・モニタのいずれかによる内部リセット信号が発生した場合は，クリア（00H）されずフラグがセット（1）されます。RESFの詳細については，第19章　リセット機能を参照してください。
　　2.　電源投入からプログラム実行開始に消費する時間は，外部に接続される発振子の動作周波数が5 MHzの場合，電源投入からリセット解除までの時間＋16 msとなります。ただし，この時間は，外部要因（マイコンへの供給電源状態，発振子の安定時間）により影響を受けます。

21. 2　パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図 21－1に示します。

図 21－1　パワーオン・クリア回路のブロック図

21. 3　パワーオン・クリア回路の動作

パワーオン・クリア回路では，電源電圧（V_{DD}）と検出電圧（V_{POC0}）を比較し，$V_{DD} < V_{POC0}$のとき内部リセット信号を発生します。

図 21－2　パワーオン・クリア回路の内部リセット信号発生のタイミング

第22章　低電圧検出回路

22. 1　低電圧検出回路の機能

低電圧検出回路（LVI）は次のような機能を持ちます。

- 電源電圧（V_{DD}）と検出電圧（V_{LVI}）を比較し，V_{DD} < V_{LVI}になったとき，内部割り込み信号もしくは内部リセット信号を発生します。
- 電源電圧の検出レベル（2段階）をソフトウエアにて変更できます。
- 割り込み／リセットをソフトウエアにて選択できます。
- STOPモードにおいても動作可能です。
- ソフトウエアにて動作停止可能です。

低電圧検出回路をリセットとして使用した場合に，リセットが発生するとリセット要因フラグ・レジスタ（RESF）のビット0（LVIRF）がセット（1）されます。RESFについての詳細は，第19章　リセット機能を参照してください。

22. 2　低電圧検出回路の構成

低電圧検出回路のブロック図を図 22－1に示します。

図 22－1　低電圧検出回路のブロック図

22. 3　低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

・低電圧検出レジスタ（LVIM）
・低電圧検出レベル選択レジスタ（LVIS）

（1）低電圧検出レジスタ（LVIM）

LVIMレジスタは，低電圧検出，動作モードを設定するレジスタです。

LVIMレジスタは特定レジスタです。特定のシーケンスによってのみ書き込みが可能です（3. 4. 9　特定レジスタ参照）。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　　R/W　　アドレス：FFFFF890H

	7	6	5	4	3	2	1	0
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION	低電圧検出動作の許可／禁止
0	動作禁止
1	動作許可

LVIMD	低電圧検出の動作モード選択
0	電源電圧＜検出電圧時に割り込み要求信号INTLVIを発生
1	電源電圧＜検出電圧時に内部リセット信号LVIRESを発生

LVIF	低電圧検出フラグ
0	電源電圧＞検出電圧，または動作禁止時
1	接続する電源電圧＜検出電圧

★　注意1. LVIONビット = 1設定後，0.2 ms（MAX.）以上間を空けてから，LVIFビットで電圧を確認してください。
2. LVIFフラグの値は，LVIONビット = 1かつLVIMDビット = 0の場合に，出力信号INTLVIとして出力されます。
3. LVIFビットは，リード・オンリーです。
4. ビット2-6には，必ず0を設定してください。

(2) 低電圧検出レベル選択レジスタ（LVIS）

LVISレジスタは，低電圧検出レベルを選択するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF891H

	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	0	0	0	LVIS0

LVIS0	検出レベル
0	4.4 V±0.2 V
1	4.2 V±0.2 V

★ **注意**　LVIMレジスタをLVION = 1, LVIMD = 1に設定した場合は，低電圧検出以外のリセットが発生するまでこのレジスタへの書き込みはできません。

(3) 内蔵RAMデータ・ステータス・レジスタ（RAMS）

RAMSレジスタは，内蔵RAMデータの有効／無効を示すフラグ・レジスタです。

8/1ビット単位でリード／ライト[注1]可能です。

リセット[注2]により01Hになります。

注 1.　RAMSレジスタは，特定シーケンスでのみライトできます。

2.　セット条件　：検出レベル以下の電圧検出

：命令によるセット

：WDT2によるリセット発生

：RAMアクセス中のリセット発生

：クロック・モニタによるリセット発生

クリア条件　：特定シーケンスによる0書き込み

リセット時：01H　R/W　アドレス：FFFFF892H

	7	6	5	4	3	2	1	0
RAMS	0	0	0	0	0	0	0	RAMF

RAMF	内蔵RAMデータ有効／無効
0	有効
1	無効

(4) 周辺エミュレーション・レジスタ1（PEMU1）

インサーキット・エミュレータ使用時，ディバッガ上で，このレジスタを操作することにより，擬似的にRAM保持フラグ（RAMFビット；RAMSレジスタのビット0）動作を制御し，エミュレーションを実現することが可能です。

なお，このレジスタは，エミュレーション・モード時のみ有効で，通常モードでは無効になります。

リセット時：00H　R/W　アドレス：FFFFF9FEH

	7	6	5	4	3	2	1	0
PEMU1	0	0	0	0	0	EVARAMIN	0	0

EVARAMIN	RAM保持電圧検出信号擬似指定
0	RAM保持電圧以下を非検出
1	RAM保持電圧以下を検出（RAMFフラグをセット）

注意　このビットは，自動的にクリアされません。

【使用方法】

インサーキット・エミュレーション使用時，ディバッガ上でこのレジスタの書き換えを行うことにより，RAMFの擬似エミュレーションを実現します。

① CPUブレーク（CPU動作停止）

② レジスタ書き込みコマンドにより，EVARAMINビットを“1”にします。
EVARAMINビットを“1”にすることにより，ハード上でRAMFビットが“1”（内蔵RAMデータが無効）になります。

③ 再度，レジスタ書き込みコマンドにより，EVARAMINビットを“0”にします。
この動作を行わない（EVARAMINビットを“1→0”）場合は，CPU動作命令にてRAMFビットをクリア（“0”）にすることができなくなります。

④ CPUをRUNし，エミュレーションを再開。

22. 4　低電圧検出回路の動作

LVIMDビットの設定により，割り込み信号（INTLVI）もしくは内部リセット信号を発生します。
下記に動作設定方法とタイミング図を示します。

22. 4. 1　内部リセット信号として使用する場合

＜動作開始時＞

① LVIの割り込みをマスクします。

② LVIS0ビットにて検出電圧を設定します。

③ LVIONビット = 1に設定（動作許可）します。

★ ④ 0.2 ms（MAX.）ソフトウエアにてウエイトを挿入します。

⑤ LVIFビットで電源電圧＞検出電圧であることを確認します。

⑥ LVIMDビット = 1（内部リセット発生）を設定します。

注意　LVIMD = 1に設定した場合，LVI以外のリセット要求が発生するまで，LVIM, LVISレジスタの変更はできません。

図 22ー2　低電圧検出回路の動作タイミング（LVIMD = 1）

注1.　LVIRFはリセット要因フラグ・レジスタ（RESF）のビット0です。RESFについての詳細は，第19章リセット機能を参照してください。

2.　供給電圧が設定している低電圧以下の期間中は，内部リセット信号が保持されます（内部リセット状態）。

22. 4. 2　割り込みとして使用する場合

＜動作開始時＞

① LVIの割り込みをマスクします。

② LVIS0ビットにて検出電圧を設定します。

③ LVIONビット = 1に設定（動作許可）します。

★ ④ 0.2 ms（MAX.）ソフトウエアにてウエイトを挿入します。

⑤ VIFビットで電源電圧 ＞ 検出電圧であることを確認します。

⑥ LVIの割り込み要求フラグをクリアします。

⑦ LVIの割り込みマスクを解除します。

＜動作停止時＞

LVIONビット = 0に設定します。

図 22－3　低電圧検出回路の動作タイミング（LVIMD = 0）

22. 5　RAM保持電圧検出動作

電源電圧と検出電圧を比較し，電源電圧が検出電圧を下回った場合（電源投入時も含みます），RAMFビットをセットします。

POC機能を使用せず，RAM保持電圧検出機能を使用し，動作電圧を下回る場合には，必ず外部リセットを入力してください。

図 22ー4　RAM保持電圧検出機能の動作タイミング

第23章　レギュレータ

23. 1　概　　要

V850ES/FG2では，低消費電力／低ノイズを実現するために，レギュレータを内蔵しています。

このレギュレータは，発振器ブロックと内部ロジック回路（A/Dコンバータ，入出力バッファは除く）に，V_{DD}
★ 電源電圧を降圧した電圧を供給します。レギュレータ出力電圧は，2.5 V（TYP.）に設定しています。

図 23－1　**レギュレータ**

23. 2　動　　作

この製品のレギュレータは，すべての動作モード（通常動作モード／HALTモード／IDLE1モード／IDLE2モード／ソフトウエアSTOPモード／サブIDLEモード／リセット中）でも常に動作します。

★ また，レギュレータの出力を安定させるためにREGC端子に容量（4.7 μF（推奨値））を接続してください。

次に端子の接続の方法を示します。

★ 図23ー2　REGC端子の接続（REGC = Capacity）

第24章　フラッシュ・メモリ

次に示す製品はV850ES/FG2のフラッシュ・メモリ内蔵品です。

注意　フラッシュ・メモリ製品とマスクROM製品では，ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は，マスクROM製品のCS製品（ES製品ではなく）で十分に評価してください。

- μPD70F3234
  128 Kバイトのフラッシュ・メモリ内蔵
- μPD70F3235
  256 Kバイトのフラッシュ・メモリ内蔵
- μPD70F3236
  384 Kバイトのフラッシュ・メモリ内蔵

このフラッシュ・メモリへの命令フェッチは，マスクROM内蔵品と同様に1クロックで4バイトをアクセスできます。

フラッシュ・メモリへの書き込みは，ターゲット・システムに実装した状態（オンボード）で行えます。専用フラッシュ・ライタをターゲット・システムに接続して書き込みます。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

○ターゲット・システムにV850ES/FG2を半田実装後，ソフトウエアの変更可能
○ソフトウエアを区別することで少量多品種生産が容易
○量産立ち上げ時のデータ調整が容易

★ 24.1　特　　徴

○4バイト／1クロック・アクセス（命令フェッチ時）
○容量：376 Kバイト／256 Kバイト／128 Kバイト
○書き換え電圧：単一電源による消去／書き込みが可能
○書き換え方式
　・専用フラッシュ・ライタとのシリアル・インタフェースを介しての通信による書き換え（オンボード／オフボード・プログラミング）
　・ユーザ・プログラムによるフラッシュ・メモリの書き換え（セルフ・プログラミング）
○フラッシュ・メモリの書き換え，リード禁止機能をサポート（セキュリティ機能）
○ブート・スワップ機能により，セルフ・プログラミングによる全フラッシュ・メモリ領域のセキュアな書き換えが可能
○セルフ・プログラミング中の割り込み受け付け可能

24. 1. 1　消去単位

128 Kバイト／256 Kバイト／384 Kバイトのフラッシュ・メモリ内蔵品の消去単位を次に示します。

(1) 一括消去

0000FFFFH-0001FFFFH, 00000000H-0003FFFFH, 00000000H-0005FFFFHのフラッシュ・メモリ領域を一括消去できます。

(2) ブロック消去

ブロック単位で消去ができます[注]。

ブロック0　：56 Kバイト
ブロック1　：8 Kバイト
ブロック2　：56 Kバイト
ブロック3　：8 Kバイト
ブロック4　：56 Kバイト
ブロック5　：56 Kバイト
ブロック6　：8 Kバイト
ブロック7　：8 Kバイト
ブロック8　：32 Kバイト
ブロック9　：32 Kバイト
ブロック10：32 Kバイト
ブロック11：32 Kバイト

注　128 Kバイト（μPD70F3235）は，ブロック0-3までの4ブロック。
256 Kバイト（μPD70F3235）は，ブロック0-7までの8ブロック。
384 Kバイト（μPD70F3236）は，ブロック0-11までの12ブロック。

★ 24. 2　機能概要

V850ES/FG2の内蔵フラッシュ・メモリは，専用フラッシュ・ライタによる書き換え機能により，ターゲット・システムへの実装前，実装後にかかわらず書き換えが可能です（オフボート／オンボード・プログラミング）。

また，内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており，第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）は，ターゲット・システムの製造／出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。全フラッシュ・メモリ領域を安全に書き換えるためのブート・スワップ機能もサポートしています。また，セルフ・プログラミング中の割り込み処理のサポートにより，外部との通信処理を行いながら書き換えを行うなど，さまざまな条件での書き換えが可能です。

表 24－1　書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・ライタを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・ライタと専用プログラム・アダプタ・ボード（FAシリーズ）を用いることにより，ターゲット・システムに実装する前に，フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オフボード／オンボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により，フラッシュ・メモリの書き換えが可能です。（セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので，内蔵RAMもしくは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。）	通常動作モード

備考　FAシリーズは，（株）内藤電誠町田製作所の製品です。

表 24－2　基本機能一覧

機　　能	機能概要	サポートの有無（○：サポート，×：未サポート）	
		オンボード／オフボード・プログラミング	セルフ・プログラミング
ブロック消去	指定したブロックのメモリの内容の消去を行います。	○	○
チップ消去	全メモリの内容の一括消去を行います。	○	×
書き込み	指定したアドレスの書き込みおよび書き込みレベルが確保されているかどうかのベリファイ・チェックを行います。	○	○
ベリファイ／チェック・サム	フラッシュ・メモリから読み出したデータと，フラッシュ・ライタから転送されたデータの比較を行います。	○	× （ユーザ・プログラムにて読み出しは可能）
ブランク・チェック	全メモリの消去状態の確認を行います。	○	○
セキュリティ設定	ブロック消去コマンド／チップ消去コマンド／プログラム・コマンドの使用禁止設定を行います。	○	× （オンボード／オフボード・プログラミングで設定した値の保持のみ可能）

次にセキュリティ機能の一覧を示します。ブロック消去コマンド禁止／チップ消去コマンド禁止／プログラム・コマンド禁止／リード・コマンド禁止機能は，出荷後の初期状態はすべて許可になっており，オンボード／オフボート・プログラミングによる書き換えでのみセキュリティ設定が可能です。各セキュリティ設定に関しては，同時に組み合わせて使用できます。

表 24－3　セキュリティ機能一覧

機　　能	機能概要	禁止時の書き換え動作（○：実行可能，×：実行不可）	
		オンボード／オフボード・プログラミング	セルフ・プログラミング
ブロック消去コマンド禁止	全ブロックに対してのブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって，禁止設定の初期化が可能です。	ブロック消去コマンド：× チップ消去コマンド　：○ プログラム・コマンド：○	禁止設定にかかわらず常に書き換え可能
チップ消去コマンド禁止	全ブロックに対してのブロック消去および，チップ消去コマンドの実行を禁止します。一度禁止設定するとチップ消去コマンドが実行できないため，すべての禁止設定の初期化ができなくなります。	ブロック消去コマンド：× チップ消去コマンド　：× プログラム・コマンド：○	
プログラム・コマンド禁止	全ブロックに対しての書き込みコマンドとブロック消去コマンドを禁止します。チップ消去コマンドの実行によって，禁止設定の初期化が可能です。	ブロック消去コマンド：× チップ消去コマンド　：○ プログラム・コマンド：×	
リード・コマンド禁止	全ブロックに対してのリード・コマンドを禁止にします。 チップ消去コマンドの実行によって，禁止設定は初期化されます。	ブロック消去コマンド：× チップ消去コマンド　：○ プログラム・コマンド：○	

24. 3　フラッシュ・ライタによる書き込み方法

専用フラッシュ・ライタにより，オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にV850ES/FG2を実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・ライタを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にV850ES/FG2を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考　FAシリーズは，（株）内藤電誠町田製作所の製品です。

24. 4　プログラミング環境

V850ES/FG2のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

★　**図 24－1　フラッシュ・メモリにプログラムを書き込むための環境**

注　FLMD1端子は，フラッシュ・ライタと接続するか，ボード上でプルダウン抵抗を介してGNDに接続してください。

専用フラッシュ・ライタには，これを制御するホスト・マシンが必要です。

また，専用フラッシュ・ライタとV850ES/FG2とのインタフェースはUARTA0またはCSIB0を使用して，書き込み，消去等の操作を行います。オフボードで書き込む場合は，専用プログラム・アダプタ（FAシリーズ）が必要です。

★　**備考**　FAシリーズは，㈱内藤電誠町田製作所の製品です。

24. 5　通信方式

専用フラッシュ・ライタとV850ES/FG2との通信は，V850ES/FG2のUARTA0またはCSIB0によるシリアル通信で行います。

（1）UARTA0

★　転送レート：9600〜153600 bps

★　図 24ー2　専用フラッシュ・ライタとの通信（UARTA0）

注　FLMD1端子は，フラッシュ・ライタと接続するか，ボード上でプルダウン抵抗を介してGNDに接続してください。

注意1.　記述していない端子は，未使用時の端子処理に従って処理してください（2. 4　端子の入出力回路タイプと未使用時の処理参照）。抵抗を介する場合，1 kΩ〜10 kΩの抵抗を接続してください

2.　$\overline{\text{DRST}}$端子には，ハイ・レベルを入力しないでください。

（2）CSIB0

シリアル・クロック：2.4 kHz〜2.5 MHz（MSBファースト）

★　図 24ー3　専用フラッシュ・ライタとの通信（CSIB0）

注　FLMD1端子は，フラッシュ・ライタと接続するか，ボード上でプルダウン抵抗を介してGNDに接続してください。

注意1.　記述していない端子は，未使用時の端子処理に従って処理してください（2. 4　端子の入出力回路タイプと未使用時の処理参照）。抵抗を介する場合，1 kΩ〜10 kΩの抵抗を接続してください

2.　$\overline{\text{DRST}}$端子には，ハイ・レベルを入力しないでください。

(3) CSIB0＋HS

シリアル・クロック：2.4 kHz～2.5 MHz（MSBファースト）

★ 図 24－4　専用フラッシュ・ライタとの通信（CSIB0＋HS）

注　FLMD1端子は，フラッシュ・ライタと接続するか，ボード上でプルダウン抵抗を介してGNDに接続してください。

注意1.　記述していない端子は，未使用時の端子処理に従って処理してください（2. 4　端子の入出力回路タイプと未使用時の処理参照）。抵抗を介する場合，1 kΩ～10 kΩの抵抗を接続してください

2.　$\overline{\text{DRST}}$端子には，ハイ・レベルを入力しないでください。

専用フラッシュ・ライタが転送クロックを出力し，V850ES/FG2はスレーブとして動作します。

専用フラッシュ・ライタとしてPG-FP4を使用した場合，PG-FP4はV850ES/FG2に対して次の信号を生成します。詳細はPG-FP4のユーザーズ・マニュアル（U15260J）を参照してください。

表 24－4　専用フラッシュ・ライタ（PG-FP4）の信号生成

PG-FP4			V850ES/FG2	接続時の処置		
信号名	入出力	端子機能	端子名	CSIB0	UARTA0	CSIB0＋HS
FLMD0	出力	書き込み許可／禁止	FLMD0	◎	◎	◎
★ FLMD1	出力	書き込み許可／禁止	FLMD1	◎注1	◎注1	◎注1
VDD	入出力	VDD電圧生成/電圧監視	VDD	◎	◎	◎
GND	－	グランド	VSS	◎	◎	◎
CLK	出力	V850ES/FG2へのクロック出力	X1	×注2	×注2	×注2
$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$	◎	◎	◎
SI/RxD	入力	受信信号	SOB0/TXDA0	◎	◎	◎
SO/TxD	出力	送信信号	SIB0/RXDA0	◎	◎	◎
SCK	出力	転送クロック	$\overline{\text{SCKB0}}$	◎	×	◎
HS	入力	CSIB0＋HS通信のハンドシェーク信号	PCM0	×	×	◎

★ 注1.　接続するか，もしくはボード上でプルダウン抵抗を介してGNDに接続してください。

★ 2.　フラッシュ・ライタのCLK端子からのクロック供給はできません。ボード上に発振回路を作成してクロックを供給してください。

備考　◎：必ず接続してください。

×：接続の必要はありません。

★　表 24－5　V850ES/FG2フラッシュ書き込み用アダプタ（FA-100GC-8EU-A）の配線表（1/2）

フラッシュ・ライタ（PG-FP4）接続端子			FAボードの	CSIB0＋HS, CSIB0使用時		UARTA0使用時	
信号名	入出力	端子機能	端子名	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SI	P41/SOB0	23	P30/TXDA0	25
SO/TxD	出力	送信信号	SO	P40/SIB0	22	P31/RXDA0/INTP7	26
SCK	出力	転送クロック	SCK	P42/$\overline{\text{SCKB0}}$	24	必要なし	－
HS	入力	ハンドシェーク信号	RESERVE/HS	PCM0注	85	必要なし	－

注　CSIB0＋HS使用時に配線します。

★　表 24－5　V850ES/FG2フラッシュ書き込み用アダプタ（FA-100GC-8EU-A）の配線表（2/2）

フラッシュ・ライタ（PG-FP4）接続端子			FAボードの	各通信共通	
信号名	入出力	端子機能	端子名	端子名	ピン番号
CLK	出力	V850ES/FG2へのクロック	X1	必要なし	－
			X2	必要なし	－
/RESET	出力	リセット信号	/RESET	$\overline{\text{RESET}}$	14
FLMD0	入力	書き込み電圧	FLMD0	FLMD0	8
FLMD1	入力	書き込み電圧	FLMD1	PDL5/FLMD1	76
VDD	－	VDD電圧生成／電圧監視	VDD	V_{DD}	9
				AV_{REF0}	1
				BV_{DD}	70
				EV_{DD}	5, 34
GND	－	グランド	GND	V_{SS}	11
				AV_{SS}	2
				BV_{SS}	69
				EV_{SS}	33

注意1.　REGC端子は，必ず4.7 μFのコンデンサを介してGNDに接続してください。

2.　フラッシュ・ライタのCLK端子からのクロック供給はできません。
ボード上に発振回路を作成してクロックを供給してください。

★ **図** 24ー5　V850ES/FG2**フラッシュ書き込み用アダプタ（**FA-144GJ-UEN-A**）の配線例（**CSIB0＋HS**モード時）（**1/2**）**

★ **図** 24－5　V850ES/FG2**フラッシュ書き込み用アダプタ（**FA-100GC-8EU-A**）の配線例（**CSIB0＋HS**モード時）（**2/2**）**

注1.　FLMD1**端子は図のように配線するか，もしくはボード上でプルダウン抵抗を介して**GND**に接続してください。**

2.　**フラッシュ書き込みアダプタ上（破線部）に発振回路を作成してクロックを供給してください。次に発振回路例を示します。**

例

3.　UARTA0**使用時の該当端子**

注意　$\overline{\text{DRST}}$**端子には，ハイ・レベルを入力しないでください。**

備考1.　**記述していない端子は，未使用時の端子処理に従って処理してください（**2. 4　**端子の入出力回路タイプと未使用時の処理**参照**）。**

2.　**このアダプタは**100**ピン・プラスチック**LQFP**（ファイン・ピッチ）パッケージ用です。**

24. 6　端子処理

オンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。また，オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，ポートはすべて出力ハイ・インピーダンス状態になるため，外部デバイスが出力ハイ・インピーダンス状態を認めない場合は端子処理が必要です。

24. 6. 1　FLMD0端子

通常動作モード時は，FLMD0端子に0 Vを入力します。また，フラッシュ・メモリ・プログラミング・モード時は，FLMD0端子にV_{DD}の書き込み電圧を供給します。FLMD0端子の接続例を次に示します。

★　また，FLMD0端子はセルフ・プログラミング・モード時には書き換え保護用の端子となるため，書き換え前にポート制御などによって，FLMD0端子にV_{DD}レベルの電圧を供給する必要があります。詳細は，24. 8. 5（1）FLMD0端子を参照してください。

図 24－6　FLMD0端子の接続例

24. 6. 2　FLMD1端子

FLMD0端子に0Vを入力された場合，FLMD1端子は機能しません。FLMD0端子にV_{DD}が供給された場合，フラッシュ・メモリ・プログラミング・モードに引き込むため，FLMD1端子に0Vを入力する必要があります。FLMD1端子の接続例を次に示します。

図 24－7　FLMD1端子の接続例

注意　オンボード書き込み時，リセット直後に他のデバイスからFLMD1端子にV_{DD}の信号が入力される場合，この信号をアイソレートしてください。

表 24－6　FLMD0, FLMD1端子の動作モードの関係

FLMD0	FLMD1	動作モード
0	×	通常動作モード
V_{DD}	0	フラッシュ・メモリ・プログラミング・モード
V_{DD}	V_{DD}	設定禁止

24. 6. 3　シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表 24－7　各シリアル・インタフェースが使用する端子

シリアル・インタフェース	使用端子
CSIB0	SOB0, SIB0, $\overline{SCKB0}$
CSIB0＋HS	SOB0, SIB0, $\overline{SCKB0}$, PCM0
UARTA0	TXDA0, RXDA0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に，専用フラッシュ・ライタを接続する場合，信号の衝突，ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に，専用フラッシュ・ライタ（出力）を接続すると，信号の衝突が発生します。この信号の衝突を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

図 24－8　信号の衝突（シリアル・インタフェースの入力端子）

フラッシュ・メモリ・プログラミング・モードでは，ほかのデバイスが出力する信号と専用フラッシュ・ライタから送り出される信号が衝突するため，ほかのデバイス側の信号をアイソレートしてください。

(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・ライタ（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスで入力信号を無視するように設定してください。

図 24－9　ほかのデバイスの異常動作

24. 6. 4　$\overline{\text{RESET}}$端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$端子に，専用フラッシュ・ライタのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図 24－10　信号の衝突（$\overline{\text{RESET}}$端子）

24. 6. 5　ポート端子（NMIを含む）

フラッシュ・メモリ・プログラミング・モードに設定すると，専用フラッシュ・ライタと通信する端子を除くすべてのポート端子は出力ハイ・インピーダンス状態になります。なお，ポートに接続されている外部デバイスに出力ハイ・インピーダンス状態禁止などの問題が生じる場合には，抵抗を介してV_{DD}に接続するか，または抵抗を介してV_{SS}に接続するなどの処置をしてください。

24. 6. 6　その他の信号端子

X1, X2, XT1, XT2は，通常動作モード時と同じ状態に接続してください。

★　また，フラッシュ・メモリ・プログラミング中，$\overline{\text{DRST}}$端子はロウ・レベル入力またはオープンにし，ハイ・レベル入力しないようにしてください。

24. 6. 7　電　　源

★　電源（V_{DD}, V_{SS}, EV_{DD}, EV_{SS}, BV_{DD}, BV_{SS}, AV_{REF0}, AV_{SS}, REGC）は，通常動作モード時と同じ電源を供給してください。

24. 7　プログラミング方法

24. 7. 1　フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図 24－11　フラッシュ・メモリの操作手順

24. 7. 2　通信方式の選択

★　V850ES/FG2では，フラッシュ・メモリ・プログラミング・モードに遷移後，FLMD0端子にパルス（最大11パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・ライタが生成します。

パルス数と通信方式の関係を次に示します。

図 24－12　フラッシュ・メモリ・プログラミング・モード

注　挿入されるクロック数は通信方式によって異なります。詳細は表 24－8を参照してください。

表 24－8　通信方式一覧

FLMD0パルス	通信方式	備　　考
8	CSIB0	V850ES/FG2はスレーブ動作，MSBファースト
11	CSIB0＋HS	V850ES/FG2はスレーブ動作，MSBファースト
0	UARTA0	通信レート：9600 bps（リセット時），LSBファースト
その他	－	設定禁止

注意　UARTA選択時，受信クロックは，FLMD0パルス受信後に専用フラッシュ・ライタから送られてくるリセット・コマンドを基準に計算します。

24. 7. 3　通信コマンド

V850ES/FG2と専用フラッシュ・ライタは，コマンドを介して通信します。専用フラッシュ・ライタからV850ES/FG2へ送られるコマンドを「コマンド」と呼び，V850ES/FG2から専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。

図 24－13　**通信コマンド**

V850ES/FG2のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され，V850ES/FG2がコマンドに対応した各処理を行います。

表 24－9　**フラッシュ・メモリ制御用コマンド**

分　類	コマンド名称	対　応			機　　能
		CSIB	CSIB+HS	UARTA	
ブランク・チェック	ブロック・ブランク・チェック・コマンド	○	○	○	全メモリの消去状態を確認
消去	チップ消去コマンド	○	○	○	全メモリの内容を消去
	ブロック消去コマンド	○	○	○	指定したブロックのメモリの内容を消去
書き込み	書き込みコマンド	○	○	○	書き込みアドレス，書き込みバイト数の指定によりデータを書き込み,ベリファイ･チェックを実行
★ ベリファイ	ベリファイ・コマンド	○	○	○	指定したアドレス範囲のメモリの内容とフラッシュ・ライタから転送されたデータの内容を比較
	チェックサム・コマンド	○	○	○	指定したアドレス範囲のチェックサムを読み出す
システム設定，制御	リセット・コマンド	○	○	○	各状態からの脱出
	ボー・レート設定コマンド	－	－	○	UART使用時のボー・レート設定
	シリコン・シグネチャ・コマンド	○	○	○	シリコン・シグネチャ情報を読み出す
	ステータス・コマンド	○	○	－	動作状況のステータスを得る
	セキュリティ設定コマンド	○	○	○	チップ消去，ブロック消去，書き込み，リード等のセキュリティの設定

V850ES/FG2は，専用フラッシュ・ライタから発行されたコマンドに対して，応答コマンドを返します。V850ES/FG2が送出する応答コマンドを次に示します。

表 24－10　応答コマンド

応答コマンド名称	機　　能
ACK	コマンド／データなどのアクノリッジ
NAK	不正なコマンド／データなどのアクノリッジ

★ 24. 8　セルフ・プログラミングによる書き換え

24. 8. 1　概　　要

V850ES/FG2は，ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための，フラッシュ・マクロ・サービスをサポートしています。このインタフェースおよび，フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより，内蔵RAMもしくは，外部メモリへあらかじめ転送しておいたユーザ・アプリケーションから，フラッシュ・メモリの書き換えが可能になり，フィールドでのユーザ・プログラムのアップグレードや，定数データ書き換えを行うことができます。

図 24－14　セルフ・プログラミングの概念図

24. 8. 2　特　　徴

(1) セキュア・セルフ・プログラミング（ブート・スワップ機能）

V850ES/FG2は，ブロック0, 1の物理メモリと，ブロック2, 3の物理メモリを入れ替えることができるブート・スワップ機能をサポートしているため，あらかじめ書き換えたい起動用のプログラムをブロック2, 3に書いておき，物理メモリをスワップさせることにより，書き換え中に電源遮断が発生しても常にブロック0, 1には正常なユーザ・プログラムが存在する状態となるため，全領域の書き換えが安全に実行可能となります。

図 24－15　全メモリ領域の書き換え（ブート・スワップ対応）

(2) 割り込み対応

セルフ・プログラミング中は，フラッシュ・メモリからの命令フェッチが不可能であるため，従来は割り込みが発生してもフラッシュ・メモリに書き込まれているユーザ・ハンドラは使用できませんでした。この製品では，ライブラリ関数を使用することによって，エントリRAM領域へユーザ・ハンドラを登録することができるため，内部RAMもしくは外部メモリ実行による割り込み処理が可能となります。

24. 8. 3　標準セルフ・プログラミング・フロー

フラッシュ・セルフ・プログラミングにて，フラッシュ・メモリへの書き換えを行う際の全体処理を次に示します。

図 24－16　標準セルフ・プログラミング・フロー

注1.　セキュリティ設定をしない場合は，フラッシュ情報設定処理を実行する必要はありません。

2.　ブート・スワップをしない場合は，フラッシュ情報設定処理，ブート領域入れ替え処理を実行する必要はありません。

24. 8. 4　フラッシュ関数一覧

表 24－11　フラッシュ関数一覧

関数名	概　　要	対応
FlashEnv	フラッシュ制御マクロの初期化	○
FlashBlockErase	指定した1ブロックの消去	○
FlashWordWrite	指定したアドレスからの書き込み	○
FlashBlockIVerify	指定した1ブロックの内部ベリファイ	○
FlashBlockBlankCheck	指定した1ブロックのブランク・チェック	○
FlashFLMDCheck	FLMD端子のチェック	○
FlashStatusCheck	直前に指定した動作のステータス・チェック	○
FlashGetInfo	フラッシュ情報の読み出し	○
FlashSetInfo	フラッシュ情報の設定	○
FlashSetInfoEX	フラッシュ情報の設定	○
FlashNWordRead	指定したアドレスの読み出し	○
FlashBootSwap	ブート領域入れ替え	○
FlashSetUserHandler	ユーザ割り込みハンドラ登録関数	○

24. 8. 5　端子処理

(1) FLMD0端子

FLMD0端子は，リセット解除時の動作モード設定と，セルフ書き換え時の書き換え保護機能の兼用端子となっているため，リセット解除～通常動作実行時は，FLMD0端子へ印加される電圧を0 Vに保持し，セルフ・プログラミング・モードの期間は，書き換え前にポート制御などによって，FLMD0端子にV_{DD}レベルの電圧を印加する必要があります。

また，セルフ・プログラミングが終了したあとは，FLMD0端子の電圧を0 Vに戻す必要があります。

図 24－17　モード切り替わりタイミング

注意　リセット解除には，必ずFLMD0端子を0 Vにしてください。

24. 8. 6　使用する内部資源

セルフ・プログラミングにて使用する内部資源を次に示します。なお，セルフ・プログラミング以外では，次の内部資源については自由に使用できます。

表 24－12　使用する内部資源

リソース名	説　　明
エントリRAM領域 （内部RAM／外部RAMどちらかに124バイト）	フラッシュ・マクロ・サービスへの遷移のためのルーチンとパラメータを配置。 ライブラリ初期化関数の呼び出しによりエントリ・プログラムとディフォールトのパラメータがコピーされます。
スタック領域 （ユーザ・スタック＋300バイト）	ユーザの使用しているスタックの延長をライブラリが使用。 （内部RAM／外部RAMのどちらでも使用可）
ライブラリ・コード （約2500バイト）	ライブラリのプログラム本体。 （操作対象のフラッシュ・メモリ・ブロック以外ならどこでも使用可）
アプリケーション・プログラム	ユーザ・アプリケーションとしての実行 フラッシュ関数の呼び出し
マスカブル割り込み	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用するには，あらかじめ登録関数により割り込み処理先頭アドレスを登録しておく必要があります。
NMI割り込み	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用するには，あらかじめ登録関数により割り込み処理先頭アドレスを登録しておく必要があります。

第25章　オプション機能

★ 25. 1　フラッシュ・マスク・オプション

この製品シリーズのフラッシュROM製品にはフラッシュ・マスク・オプションの対象となるブロックの設定を行うオプション・データ領域があります。

フラッシュROM製品にプログラムを書き込む際，必ず，007AH番地に次のオプションに対応したオプション・データを初期値データとしてプログラム上に設定してください。

なお，プログラム実行上，この領域のデータの書き換え等は行えません。

★　**備考**　マスクROM製品においてもフラッシュ･メモリ製品と同じオプション･データを設定してください。

アドレス	設定値	設　　定
007AH	00H	内蔵発振器　：停止可能 WDT2　：カウント・クロック選択可能 オーバ・フロー信号をINTWDT2/WDT2RESから選択可能 サブクロック　：水晶発振子接続
	01H	内蔵発振器　：停止不可 WDT2　：カウント・クロック選択可能 オーバ・フロー信号をINTWDT2/WDT2RESから選択可能 サブクロック　：水晶発振子接続
	02H	内蔵発振器　：停止可能 WDT2　：カウント・クロックは内蔵発振器固定 オーバ・フロー信号はWDT2RES固定 サブクロック　：水晶発振子接続
	03H	内蔵発振器　：停止不可 WDT2　：カウント・クロックは内蔵発振器固定 オーバ・フロー信号はWDT2RES固定 サブクロック　：水晶発振子接続
	C0H	内蔵発振器　：停止可能 WDT2　：カウント・クロック選択可能 オーバ・フロー信号をINTWDT2/WDT2RESから選択可能 サブクロック　：RC発振接続
	C1H	内蔵発振器　：停止不可 WDT2　：カウント・クロック選択可能 オーバ・フロー信号をINTWDT2/WDT2RESから選択可能 サブクロック　：RC発振接続
	C2H	内蔵発振器　：停止可能 WDT2　：カウント・クロックは内蔵発振器固定 オーバ・フロー信号はWDT2RES固定 サブクロック　：RC発振接続
	C3H	内蔵発振器　：停止不可 WDT2　：カウント・クロックは内蔵発振器固定 オーバ・フロー信号はWDT2RES固定 サブクロック　：RC発振接続

注意　上記以外の設定は行わないでください。

次に，CA850をご使用の場合のプログラム例を示します。

[プログラム例]

```
#-----------------------------------------------------------------
# OPTION_BYTES
#-----------------------------------------------------------------
.section "OPTION_BYTES"
.byte 0b00000001 -- 0x7a
.byte 0b00000000 -- 0x7b
.byte 0b00000000 -- 0x7c
.byte 0b00000000 -- 0x7d
.byte 0b00000000 -- 0x7e
.byte 0b00000000 -- 0x7f
```

注意　このセクションは必ず6バイト分を記述してください。6バイト以下の場合は，リンカの際にエラーとなります。

エラー・メッセージ：　F4112: illegal "OPTION_BYTES" section size.

備考　007BH-007FH番地には0x00を設定してください。

25. 2　マスク・オプション（マスクROM製品）

この製品シリーズのマスクROM製品は，POC機能あり／POC機能なしの選択を007AH番地に設定する必要があります。

007AH番地に次のオプションに対応したオプション・データを初期値データとしてプログラム上に設定してください。

（1/2）

アドレス	設定値	設　　定
007AH	00H	内蔵発振器　：停止可能 WDT2　：カウント・クロック選択可能 オーバ・フロー信号をINTWDT2/WDT2RESから選択可能 サブクロック　：水晶発振子接続 POC機能　：なし
	01H	内蔵発振器　：停止不可 WDT2　：カウント・クロック選択可能 オーバ・フロー信号をINTWDT2/WDT2RESから選択可能 サブクロック　：水晶発振子接続 POC機能　：なし
	02H	内蔵発振器　：停止可能 WDT2　：カウント・クロックは内蔵発振器固定 オーバ・フロー信号はWDT2RES固定 サブクロック　：水晶発振子接続 POC機能　：なし
	03H	内蔵発振器　：停止不可 WDT2　：カウント・クロックは内蔵発振器固定 オーバ・フロー信号はWDT2RES固定 サブクロック　：水晶発振子接続 POC機能　：なし
	04H	内蔵発振器　：停止可能 WDT2　：カウント・クロック選択可能 オーバ・フロー信号をINTWDT2/WDT2RESから選択可能 サブクロック　：水晶発振子接続 POC機能　：あり
	05H	内蔵発振器　：停止不可 WDT2　：カウント・クロック選択可能 オーバ・フロー信号をINTWDT2/WDT2RESから選択可能 サブクロック　：水晶発振子接続 POC機能　：あり
	06H	内蔵発振器　：停止可能 WDT2　：カウント・クロックは内蔵発振器固定 オーバ・フロー信号はWDT2RES固定 サブクロック　：水晶発振子接続 POC機能　：あり
	07H	内蔵発振器　：停止不可 WDT2　：カウント・クロックは内蔵発振器固定 オーバ・フロー信号はWDT2RES固定 サブクロック　：水晶発振子接続 POC機能　：あり

注意　上記以外の設定は行わないでください。

(2/2)

アドレス	設定値	設　　定
007AH	C0H	内蔵発振器　：停止可能 WDT2　：カウント・クロック選択可能 オーバ・フロー信号をINTWDT2/WDT2RESから選択可能 サブクロック　：RC発振接続 POC機能　：なし
	C1H	内蔵発振器　：停止不可 WDT2　：カウント・クロック選択可能 オーバ・フロー信号をINTWDT2/WDT2RESから選択可能 サブクロック　：RC発振接続 POC機能　：なし
	C2H	内蔵発振器　：停止可能 WDT2　：カウント・クロックは内蔵発振器固定 オーバ・フロー信号はWDT2RES固定 サブクロック　：RC発振接続 POC機能　：なし
	C3H	内蔵発振器　：停止不可 WDT2　：カウント・クロックは内蔵発振器固定 オーバ・フロー信号はWDT2RES固定 サブクロック　：RC発振接続 POC機能　：なし
	C4H	内蔵発振器　：停止可能 WDT2　：カウント・クロック選択可能 オーバ・フロー信号をINTWDT2/WDT2RESから選択可能 サブクロック　：RC発振接続 POC機能　：あり
	C5H	内蔵発振器　：停止不可 WDT2　：カウント・クロック選択可能 オーバ・フロー信号をINTWDT2/WDT2RESから選択可能 サブクロック　：RC発振接続 POC機能　：あり
	C6H	内蔵発振器　：停止可能 WDT2　：カウント・クロックは内蔵発振器固定 オーバ・フロー信号はWDT2RES固定 サブクロック　：RC発振接続 POC機能　：あり
	C7H	内蔵発振器　：停止不可 WDT2　：カウント・クロックは内蔵発振器固定 オーバ・フロー信号はWDT2RES固定 サブクロック　：RC発振接続 POC機能　：あり

注意　上記以外の設定は行わないでください。

第26章　オンチップ・ディバグ機能（オンチップ・ディバグ・ユニット）（フラッシュ・メモリ内蔵製品のみ）

V850ES/FG2は，オンチップ・ディバグ・ユニットを搭載しています。N-Wire型エミュレータと接続することにより，V850ES/FG2単体でのオンチップ・ディバグを実現することができます。

★　注意 1.　オンチップ・ディバグ機能は，フラッシュ・メモリ内蔵品のみに搭載しています。マスクROM内蔵品には搭載していません。ただし，マスクROM内蔵品にもOCDMレジスタが存在し，P05/INTP2端子に内蔵されているプルダウン抵抗の制御を行うため，マスクROM内蔵品でもOCDMレジスタの設定を行ってください。

2.　次に示すディバグ機能は，V850ES/FG2としてサポートしている機能であり，使用可能かどうかはディバッガによって異なります。詳細なディバグ機能は使用するディバッガのユーザーズ・マニュアルを参照してください。

26. 1　機能概要

26. 1. 1　オンチップ・ディバグ・ユニットの種類

V850ES/FG2に搭載しているオンチップ・ディバグ・ユニットはRCU1（Run Control Unit 1）です。

26. 1. 2　ディバグ機能

(1) ディバグ・インタフェース

$\overline{\text{DRST}}$, DCK, DMS, DDI, DDO信号によりN-Wire型エミュレータを介して，ホスト・マシンとの通信を行います。インタフェースにはN-Wireの通信仕様を利用しています。

(2) オンチップ・ディバグ

ターゲット・システム上にオンチップ・ディバグ用の配線やコネクタを用意することで，オンチップ・ディバグが可能です。エミュレータ接続用のコネクタには，N-Wire型エミュレータを接続します。

オンチップ・ディバグ・モードを使用しないときは，OCDM0ビットをクリア（0）してください。詳細につきましては，表 4ー4　ポート0の兼用端子を参照してください。

(3) 強制リセット機能

V850ES/FG2全体を強制的にリセットできます。

(4) ブレーク・リセット機能

CPUのリセット解除直後からCPUをディバグ・モードで起動できます。

(5) 強制ブレーク機能

ユーザ・プログラムの実行を強制的に中断できます（ただし，不正命令コード例外のハンドラ（先頭アドレス：00000060H）は使用できません）。

(6) ハードウエア・ブレーク機能

命令系／アクセス系兼用ブレーク・ポイントを2ポイント使用できます。命令系のブレーク・ポイントによって，プログラムの実行を任意のアドレスで中断できます。アクセス系のブレーク・ポイントによって，任意のアドレスへのデータ・アクセスでプログラムの実行を中断できます。

(7) ソフトウエア・ブレーク機能

内蔵ROM領域には，最大4ポイントのソフトウエア・ブレークを設定できます。RAM領域に設定できるソフトウエア・ブレーク・ポイント数は使用するディバッガによって異なります。

(8) ディバグ・モニタ機能

ディバグ中はユーザのメモリ空間とは異なるディバグ用のメモリ空間を使用します（バッググラウンド・モニタ形式）。ユーザ・プログラムを任意のアドレスから実行開始可能です。

また，ユーザ・プログラム中断中のユーザ・リソース（メモリ，I/Oなど）のリード／ライトやユーザ・プログラムのダウンロードが可能です。

(9) マスク機能

各種信号をマスクすることができます。

NECエレクトロニクス社製N-Wire型エミュレータ（IE-V850E1-CD-NW）用ディバッガ（ID850NWC）のマスク機能との対応を次に示します。

NMI0マスク機能　: NMI端子
NMI1マスク機能　: WDT2割り込み
NMI2マスク機能　: ―
RESETマスク機能　: $\overline{\text{RESET}}$端子, WDT2リセット, POCリセット[注], LVIリセット, クロック・モニタ・リセット

注　パワーオン･クリア機能対応製品のみ該当します。

(10) タイマ機能

ユーザ・プログラムの実行時間を測定可能です。

(11) ブレーク中の周辺マクロ動作・停止選択機能

使用するディバッガにより，ブレーク中に周辺マクロを動作させるか，停止させるかを選択することができます。

●ブレーク中は必ず停止する機能
- クロック・モニタ
- ウォッチドッグ・タイマ2

●ブレーク中，動作・停止を選択できる機能（ただし個別の選択はできません。）
- A/Dコンバータ
- タイマM
- タイマP
- タイマQ
- 時計タイマ

●ブレーク中に動作を継続する周辺機能（停止できない機能）
- 上記以外の周辺機能

★　26. 1. 3　インタフェース信号

インタフェース信号について説明します。

(1) $\overline{\text{DRST}}$

オンチップ・ディバグ・ユニット用のリセット入力信号です。ディバグ・コントロール・ユニットを非同期に初期化するための負論理の信号です。

IE-V850E1-CD-NWは，統合ディバッガの起動後にターゲット・システムのV_{DD}を検出すると，$\overline{\text{DRST}}$信号をロウ・レベルからハイ・レベルに立ち上げて，対象デバイス内のオンチップ・ディバグ・ユニットを起動させます。

また，$\overline{\text{DRST}}$信号がロウ・レベルからハイ・レベルに立ち上がることにより，CPUにもリセットが発生します。

統合ディバッガを起動してディバグを開始する際には，必ずCPUリセットが発生します。

(2) DCK

クロック入力信号です。IE-V850E1-CD-NWから20 MHzのクロックを供給します。オンチップ・ディバグ・ユニット内で，DCK信号の立ち上がりに同期してDMS, DDI信号をサンプリングし，DCK信号の立ち下がりに同期してデータDDOを出力します。

(3) DMS

転送モード選択信号です。DMS信号のレベルによりディバグ・ユニット内の転送状態が遷移します。

(4) DDI

データ入力信号です。オンチップ・ディバグ・ユニット内でDCKの立ち上がりに同期してサンプリングします。

(5) DDO

データ出力信号です。オンチップ・ディバグ・ユニットからDCK信号の立ち下がりに同期して出力されます。

(6) EV_{DD}

ターゲット・システムのV_{DD}検出用です。ターゲット・システムからのV_{DD}が未検出の場合は，IE-V850E1-CD-NWからの出力信号（$\overline{\text{DRST}}$, DCK, DMS, DDI, FLMD0, $\overline{\text{RESET}}$端子）はハイ・インピーダンスになります。

(7) FLMD0

統合ディバッガによるフラッシュ・メモリへのダウンロード機能は，フラッシュ・セルフ・プログラミング機能を利用しています。フラッシュ・セルフ・プログラミング中はFLMD0端子をハイ・レベルにする必要があります。また，FLMD0端子にはプルダウン抵抗を接続してください。

FLMD0端子の制御方法として，次の2種類のうち，どちらかの方法を選択してください。

① IE-V850E1-CD-NWから制御する場合

IE-V850E1-CD-NWからのFLMD0信号をデバイスのFLMD0端子に接続します。

通常モード時はIE-V850E1-CD-NWからは何もドライブしません（ハイ・インピーダンス）。

ブレーク中，統合ディバッガのダウンロード機能を実行した際にIE-V850E1-CD-NWはFLMD0端子をハイ・レベルに制御します。

② ポートから制御する場合

デバイスの任意のポートをFLMD0端子に接続します。

ユーザ・プログラムにおいてフラッシュ・セルフ・プログラミング機能を実現する場合と同じポート端子で問題ありません。

統合ディバッガのコンソールによって，ダウンロード機能実行前にポート端子をハイ・レベルにする，または，ダウンロード機能実行後にポート端子をロウ・レベルにする設定を行ってください。

詳細はID850QB　Ver.2.80　統合ディバッガ　ユーザーズ・マニュアル　操作編（U16973J）を参照してください。

(8) $\overline{\text{RESET}}$

システム・リセット入力信号です。ユーザ・プログラムにおいてOCDMレジスタのOCDM0ビットの値によって，$\overline{\text{DRST}}$端子を無効としたあとは，オンチップ・ディバグは行えません。そのため，IE-V850E1-CD-NWから$\overline{\text{RESET}}$端子によるリセットを与えて，$\overline{\text{DRST}}$端子を有効（初期化）にします。

26. 1. 4　セキュリティ機能

V850ES/FG2では，N-Wire型エミュレータを接続するときに，あらかじめ内蔵ROM領域に書き込んだIDコードと，ディバッガ起動時に入力するIDコードを比較することで，N-Wire型エミュレータの起動を制限するセキュリティ機能があります。この機能により，第三者による内蔵ROM領域の読み出しを防止することができます。

(1) IDコード

内蔵ROMにプログラムを書き込む際には，必ずIDコードを書き込んでください。

IDコードの領域は，00000070H-00000079H番地の10バイトです。

メモリ消去状態のIDコードを次に示します。

アドレス	IDコード
00000079H	FFH
00000078H	FFH
00000077H	FFH
00000076H	FFH
00000075H	FFH
00000074H	FFH
00000073H	FFH
00000072H	FFH
00000071H	FFH
00000070H	FFH

(2) セキュリティ・ビット

00000079H番地のビット7は，N-Wire型エミュレータの使用許可ビットになります。

- 00000079H番地のビット7

  0：使用禁止

  1：使用許可

注意 1. 00000079H番地の値が00H-7FHの場合は，N-Wire型エミュレータの接続ができません。

2. 00000079H番地の値が80H-FFHの場合は，N-Wire型エミュレータ接続時に入力する10バイトのIDコードが一致すれば，N-Wire型エミュレータが使用できます。

★　(3) 設定方法

例　0x70-0x79番地に次の値を設定する場合

番地	値
0x70	0x12
0x71	0x34
0x72	0x56
0x73	0x78
0x74	0x9A
0x75	0xBC
0x76	0xDE
0x77	0xF1
0x78	0x23
0x79	0xD4

次に，CA850をご使用の場合のプログラム例を示します。

[プログラム例]

```
#-------------------------------------------------------------
# SECURITY_ID
#-------------------------------------------------------------
.section "SECURITY_ID"
.word 0x78563412 --0-3 byte code,Address is 0x70-0x73
.word 0xF1DEBC9A --4-7 byte code,Address is 0x74-0x77
.hword 0xD423 --8-9 byte code,Address is 0x78-0x79
```

注意　CA850 Ver3.00より，リンカによるセキュリティID付加機能が追加されています。
上記プログラム例の他，リンカの-Xsidオプションでも ID を設定することができます。
また，これによりCA850の旧バージョン使用時に，0x60番地のハンドラ（ILGOP）を利用して，セキュリティID（0x70〜0x79番地）の設定をしていた場合には，リンクの際にエラーになります。

エラー・メッセージ：

F4264: start address(0x00000070) of section "SECURITY_ID" overlaps previous section "ILGOP" ended before address (0xXXXXXXXX).

リンカの+Xsidオプションを指定するか，ILGOPを使用せず，プログラム例のようにセキュリティIDのセクションを使用するようにプログラムを変更して，回避してください。
詳細はCA850のユーザーズ・マニュアルを参照してください。

26. 2　制御レジスタ

(1) オンチップ・ディバグ・モード・レジスタ（OCDM）

通常動作モードとオンチップ・ディバグ・モードを切り替えるレジスタです。OCDMレジスタは特定レ
★ ジスタです。特定のシーケンスによってのみ書き込みができます（3. 4. 9　**特定レジスタ**参照）。

OCDM0ビットが“1”状態でかつ$\overline{\text{DRST}}$端子の入力がハイ・レベルの場合，オンチップ・ディバグ・モードとなります。

端子リセット後，OCDM0ビットの初期値は“1”なので，オンチップ・ディバグ機能を使用しない場合はOCDM0ビットを“0”にクリアする必要があり，それまでの間，$\overline{\text{DRST}}$端子をロウ・レベルに保つ必要があります（図 26－1参照）。なお，$\overline{\text{DRST}}$端子は，OCDM0ビットが“1”の間，内部でプルダウンして
★ いますので，端子処理はオープンも可能です。

POCリセット後，OCDM0ビットの初期値は“0”で，通常動作モードになります。したがって，オンチップ・ディバグをする際には端子リセットによってOCDM0ビットの値を“1”にする必要があります。

また，オンチップ・ディバグ中にPOCリセットが発生した際には，エミュレータとの通信は中断してしまいます。したがって，POCによるリセットのエミュレーションは行うことができません（図 26－2参照）。

8/1ビット単位でリード／ライト可能です。

リセット時：01H[注1]　　R/W　　アドレス：FFFFF9FCH

	7	6	5	4	3	2	1	0
OCDM	0	0	0	0	0	0	0	OCDM0

OCDM0	オンチップ・ディバグ機能の兼用端子指定[注2]
0	ポート／周辺機能端子として使用
1	オンチップ・ディバグ用端子として使用

注1. $\overline{\text{RESET}}$ 端子（外部リセット）入力時　：OCDM0 = 1
パワーオン・クリアによるリセット時　：OCDM0 = 0
内部要因リセット（パワーオン・クリア以外）発生時：OCDMレジスタはリセット発生前の値を保持します。

2. P05/INTP2/$\overline{\text{DRST}}$
P52/KR2/TIQ03/TOQ03/DDI
P53/KR3/TIQ00/TOQ00/DDO
P54/KR4/DCK
P55/KR5/DMS

注意　$\overline{\text{DRST}}$端子はプルダウン抵抗を内蔵しています。OCDM0フラグを“0”に設定すると切断されます。マスクROM内蔵品はオンチップ・ディバグ機能を内蔵していませんが上記プルダウン抵抗を内蔵しています。そのため，マスクROM製品においてもOCDM0ビットをクリア（0）し，内蔵プルダウン抵抗を切断する必要があります

図 26－1　通常動作モードへの移行タイミング・チャート

図 26－2　オンチップ・ディバグ・モードへの移行タイミング・チャート

26. 3　N-Wire型エミュレータとの接続

N-Wire型エミュレータを接続するためには，ターゲット・システム上にエミュレータ接続用コネクタと接続用回路を実装する必要があります。

エミュレータ接続用コネクタとして，KELコネクタ，MICTORコネクタ（製品名：2-767004-2，タイコ エレクトロニクス　アンプ株式会社製），2.54 mmピッチの20ピン汎用コネクタのいずれかを選択してください。KELコネクタ以外のコネクタはエミュレータによっては対応していない場合がありますので，使用するエミュレータのユーザーズ・マニュアルを参照してください。

26. 3. 1　KELコネクタ

○製品名

・8830E-026-170S（KEL社製）：ストレート・タイプ

・8830E-026-170L（KEL社製）：ライト・アングル・タイプ

図 26－3　N-Wire型エミュレータ（NECエレクトロニクス社製IE-V850E1-CD-NW:N-Wire Card）との接続

（1）ピン配置図

図 26－4にエミュレータ接続コネクタ（ターゲット・システム側）のピン配置図を，表 26－1にピン機能を示します。

図 26－4　エミュレータ接続コネクタ（ターゲット・システム側）のピン配置図

注意　実際に配置する場合は，コネクタの寸法資料をもとに検討してください。

(2) ピン機能

次にエミュレータ接続コネクタ（ターゲット・システム側）のピン機能を示します。入出力はデバイス側からの方向です。

表26－1　エミュレータ接続コネクタ（ターゲット・システム側）ピン機能

ピン番号	端子名	入出力	端子機能
A1	(予約1)	－	(GNDに接続してください)
A2	(予約2)	－	(GNDに接続してください)
A3	(予約3)	－	(GNDに接続してください)
A4	(予約4)	－	(GNDに接続してください)
A5	(予約5)	－	(GNDに接続してください)
A6	(予約6)	－	(GNDに接続してください)
A7	DDI	入力	N-Wireインタフェース用データ入力
A8	DCK	入力	N-Wireインタフェース用クロック入力
A9	DMS	入力	N-Wireインタフェース用転送モード選択入力
A10	DDO	出力	N-Wireインタフェース用データ出力
A11	$\overline{\text{DRST}}$	入力	オンチップ・ディバグ・ユニット・リセット入力
A12	$\overline{\text{RESET}}$	入力	リセット入力(端子リセットを使わずPOCリセットのみを使用するシステムの場合，OCDM0ビットを1にするため，エミュレータによっては，図26－5のようにエミュレータから外部リセットを入力します。)
A13	FLMD0	入力	フラッシュ・ダウン・ロード用制御信号（フラッシュ版のみ）
B1	GND	－	－
B2	GND	－	－
B3	GND	－	－
B4	GND	－	－
B5	GND	－	－
B6	GND	－	－
B7	GND	－	－
B8	GND	－	－
B9	GND	－	－
B10	GND	－	－
B11	(予約8)	－	(GNDに接続してください)
B12	(予約9)	－	(GNDに接続してください)
B13	V_{DD}	－	5 V入力（ターゲット電源投入監視用）

注意1.　V850ES/FG2でサポートしていない端子の接続については，使用するエミュレータに依存します。

2.　ターゲット・ボード上のパターンは次に示す条件にする必要があります。

・パターン長は100 mm以下にしてください。

・クロック信号はGNDでシールドしてください。

(3) 推奨回路例

次にエミュレータ接続コネクタ部（ターゲット・システム側）の推奨回路例を示します。

図 26－5　エミュレータ接続推奨回路例

注1.　パターン長は100 mm以下にしてください。

2.　DCK信号はGNDで囲んでシールドしてください。

3.　ターゲット・ボードの電源検出用です。N-Wireインタフェースの電圧を接続してください。

4.　端子リセットを使わずPOCリセットのみを使用するシステムの場合，OCDM0ビットを1にするため，エミュレータによっては，図 26－5のようにエミュレータから外部リセットを入力します。

注意　N-Wire型エミュレータによっては，5 Vインタフェースに対応しておらず，レベル・シフタが必要な場合もあります。使用するエミュレータのユーザーズ・マニュアルを参照してください。

26. 4　オンチップ・ディバグ時の制限事項および注意事項

・ディバグに使用したデバイスを，量産製品に搭載しないでください（ディバグ中にフラッシュ・メモリの書き換えをしており，フラッシュ・メモリの書き換え回数を保障することができないためです）。

・RUN中（プログラム実行中）にリセット入力（ターゲット・システムからのリセット入力や内部リセット要因によるリセット）があった場合，ブレーク機能が誤動作することがあります。

・リセットをマスク機能でマスクしていても，端子リセットが入力された際に入出力バッファ（ポート端子等）がリセット状態になります。

・内蔵フラッシュ・メモリにソフトウエア・ブレーク・ポイントを設定できるディバッガは，端子リセットまたは内部リセットにより一時的にこのブレーク・ポイントが無効になってしまいます。ハードウエア・ブレークまたは強制ブレークにより，いったんブレークしたあとには再度有効になりますが，それまではソフトウエア・ブレークは発生しません。

★　・ブレーク中の端子リセットはマスクされ，CPUや周辺I/Oはリセットされません。また，ユーザ・プログラム実行中に，DMAで書き換える瞬間やRAMモニタ機能で読み出す瞬間に，端子リセットや内部リセットが発生した場合，CPUや周辺I/Oが正しくリセットされない場合があります。

[POC搭載製品のみ]

・POCリセット動作のエミュレーションはできません。

・オンチップ・ディバグを行うときは，OCDMレジスタのOCDM0ビットを1にする必要がありますので，端子リセットを入力する必要があります。

・詳細については，26. 2（1）オンチップ・ディバグ・モード・レジスタ（OCDM）を参照してください。

・オンチップ・ディバグ（OCD）モード下においてbreakコマンドが起動され，さらにアプリケーション・ソフトウエアがUARTA/CSIB/CANの周辺I/Oレジスタにアクセス時，リセットせずに再開するとCSIB，UARTAおよびCANは正常に動作しない可能性があります。

★

第27章　電気的特性

27. 1　(A)製品についての電気的特性

27. 1. 1　絶対最大定格

絶対最大定格（T_A = 25°C）：フラッシュ・メモリ製品（1/2）

項　目	略　号	条　件	定　格	単　位
電源電圧	V_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	EV_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	BV_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	AV_{REF0}		−0.5〜+6.5	V
	V_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	AV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	BV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	EV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
入力電圧	V_{I1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915, $\overline{\text{RESET}}$, FLMD0	−0.5 〜EV_{DD}+0.5 注	V
	V_{I2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	−0.5 〜BV_{DD}+0.5 注	V
	V_{I3}	X1, X2, XT1, XT2	−0.5 〜V_{RO}+0.5	V
アナログ入力電圧	V_{IAN}	P70-P715	−0.5 〜AV_{REF0}+0.5 注	V

注　それぞれの電源電圧の絶対最大定格（MAX.値）を越えないようにしてください。

注意1.　IC 製品の出力（または入出力）端子同士を直結したり，V_{DD} または V_{CC} や GND に直結したりしないでください。

2.　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

DC 特性と AC 特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

3.　ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

備考　兼用端子の特性は，特に指定のないかぎり，ポート端子と同じです。

絶対最大定格（T_A = 25°C）：**フラッシュ・メモリ製品**（2/2）

項　目	略　号	条　件		定　格	単　位
ロウ・レベル出力電流	I_{OL}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1 端子	4	mA
			全端子合計	50	mA
		P70-P715	1 端子	4	mA
			全端子合計	20	mA
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	1 端子	4	mA
			全端子合計	50	mA
ハイ・レベル出力電流	I_{OH}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1 端子	−4	mA
			全端子合計	−50	mA
		P70-P715	1 端子	−4	mA
			全端子合計	−20	mA
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	1 端子	−4	mA
			全端子合計	−50	mA
動作周囲温度	T_A	通常動作モード		−40〜＋85	°C
		フラッシュ・プログラミング・モード		−40〜＋85	
保存温度	T_{stg}			−40〜＋125	°C

注意 1. IC **製品の出力（または入出力）端子同士を直結したり，**V_{DD} **または** V_{CC} **や** GND **に直結したりしないでください。**

2. **各項目のうち** 1 **項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。**

   DC **特性と** AC **特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。**

3. **ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。**

備考　**兼用端子の特性は，特に指定のないかぎり，ポート端子と同じです。**

絶対最大定格（T_A = 25°C）：マスク ROM 製品（1/2）

項　　目	略　号	条　　件	定　　格	単　位
電源電圧	V_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	EV_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	BV_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	AV_{REF0}		−0.5〜+6.5	V
	V_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	AV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	BV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	EV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
入力電圧	V_{I1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915, $\overline{\text{RESET}}$, IC	−0.5〜EV_{DD}+0.5 注	V
	V_{I2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	−0.5〜BV_{DD}+0.5 注	V
	V_{I3}	X1, X2, XT1, XT2	−0.5〜V_{RO}+0.5	V
アナログ入力電圧	V_{IAN}	P70-P715	−0.5〜AV_{REF0}+0.5 注	V

注　それぞれの電源電圧の絶対最大定格（MAX.値）を越えないようにしてください。

注意 1.　IC 製品の出力（または入出力）端子同士を直結したり，V_{DD} または V_{CC} や GND に直結したりしないでください。

2.　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

DC 特性と AC 特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

3.　ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

備考　兼用端子の特性は，特に指定のないかぎり，ポート端子と同じです。

絶対最大定格（T_A = 25°C）：マスク ROM 製品（2/2）

項　目	略　号	条　件		定　格	単　位
ロウ・レベル出力電流	I_{OL}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1 端子	4	mA
			全端子合計	50	mA
		P70-P715	1 端子	4	mA
			全端子合計	20	mA
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	1 端子	4	mA
			全端子合計	50	mA
ハイ・レベル出力電流	I_{OH}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1 端子	−4	mA
			全端子合計	−50	mA
		P70-P715	1 端子	−4	mA
			全端子合計	−20	mA
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	1 端子	−4	mA
			全端子合計	−50	mA
動作周囲温度	T_A			−40〜＋85	°C
保存温度	T_{stg}			−65〜＋150	°C

注意 1. IC 製品の出力（または入出力）端子同士を直結したり，V_{DD} または V_{CC} や GND に直結したりしないでください。

2. 各項目のうち 1 項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

   DC 特性と AC 特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

3. ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

備考　兼用端子の特性は，特に指定のないかぎり，ポート端子と同じです。

27. 1. 2　容量

（T_A = 25°C, V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
入出力容量	C_{IO}	f_X = 1 MHz，被測定端子以外は 0 V			10	pF

27. 1. 3　動作条件

（T_A = –40〜+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
内部システム・クロック周波数	f_{CLK}	REGC 容量 = 4.7 μF メイン・クロック動作時	4		20	MHz
		REGC 容量 = 4.7 μF サブクロック動作時（水晶振動子）	32		35	kHz
		REGC 容量 = 4.7 μF サブクロック動作時（RC 発振子）	12.5 注		27.5 注	kHz

注　内部システム・クロック周波数は発振周波数の 1/2 となります。

27. 1. 4　発振回路特性

メイン・クロック発振回路特性

（T_A = –40～+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

発振子	推奨回路	項　目	条　件	MIN.	TYP.	MAX.	単　位
セラミック発振子		発振周波数（f_X）注1		4		5	MHz
		発振安定時間注2	リセット解除後		$2^{16}/f_X$		s
			STOP モード解除後	0.5 注3	注4		ms
			IDLE2 モード解除後	350	注4		μs
水晶振動子		発振周波数（f_X）注1		4		5	MHz
		発振安定時間注2	リセット解除後		$2^{16}/f_X$		s
			STOP モード解除後	0.5 注3	注4		ms
			IDLE2 モード解除後	350	注4		μs

注1.　発振回路の特性だけを示すものです。

2.　リセットまたは STOP モード解除後，発振が安定するまでの時間です。

3.　内蔵フラッシュ ROM へのアクセスが安定するまでの時間です。

4.　OSTS レジスタの設定によって値が異なります。

注意1.　メイン・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は，常に V_{SS} と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2.　メイン・クロックを停止させサブクロックで動作させているときに，再度メイン・クロックに切り替える場合には，プログラムで発振安定時間を確保したあとに切り替えてください。

サブクロック発振回路特性

（T_A = –40～+85°C, V_{DD} = BV_{DD} = EV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

発振子	推奨回路	項　目	条　件	MIN.	TYP.	MAX.	単　位
水晶振動子		発振周波数（f_{XT}）注1		32	32.768	35	kHz
		発振安定時間注2				10	s
RC 発振子		発振周波数（f_{XT}）注1, 4	R = 390 kΩ±5%注3 C = 47 pF±10%注3	25	40	55	kHz
		発振安定時間注2				100	μs

注1.　発振回路の特性だけを示すものです。CPU 動作クロックについては，27. 1. 10　AC 特性を参照してください。

2.　V_{DD} が発振電圧範囲（MIN.: 3.5 V）に達してから発振が安定するまでの時間です。

3.　配線容量の影響を避けるため，配線は極力短くしてください。

4.　RC 発振周波数は，40 kHz（TYP.値）です。このクロックは内部で 2 分周されます。RC 発振子の場合，内部システム・クロック周波数（f_{XT}）は，12.5 kHz（MIN.値），20 kHz（TYP.値），27.5 kHz（MAX.値）です。

注意1.　サブクロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は，常に V_{SS} と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2.　サブクロック発振回路は，低消費電流にするため増幅度の低い回路になっており，ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって，サブクロックを使用する場合は，配線方法について特に注意してください。

27. 1. 5　PLL特性

（T_A = –40〜+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
入力周波数	f_x		4		5	MHz
出力周波数	f_{xx}		16		20	MHz
クロック時間	t_{PLL}	V_{DD} が MIN.: 3.5 V に達したあと			800	μs

27. 1. 6　内蔵発振器特性

（T_A = –40〜+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
出力周波数	f_r		100	200	400	kHz

27. 1. 7　電圧レギュレータ特性

（T_A = –40〜+85°C, V_{DD} = EV_{DD} = BV_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
入力電圧	V_{DD}		3.5		5.5	V
出力電圧	V_{RO}			2.5		V
出力電圧安定時間	t_{REG}	V_{DD} が MIN.: 3.5 V に達したあと REG 端子に C = 4.7 μF±20%を接続			1	ms

★　**注意　必ず** $\overline{\text{RESET}}$ = 0 V **の状態で** V_{DD} **を立ち上げてください。**

27. 1. 8　DC特性

(1) 入出力レベル

(T_A = –40～+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V)

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル入力電圧	V_{IH1}	P30, P34, P38, P41, P98, P911		0.7 EV_{DD}		EV_{DD}	V
	V_{IH2}	P00-P06, P10, P11, P31-P33, P35, P39, P40, P42, P50-P55, P90-P97, P99, P910, P912-P915		0.8 EV_{DD}		EV_{DD}	V
	V_{IH3}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13		0.7 BV_{DD}		BV_{DD}	V
	V_{IH4}	P70-P715		0.7 AV_{REF0}		AV_{REF0}	V
	V_{IH5}	$\overline{RESET}$, FLMD0		0.8 EV_{DD}		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P30, P34, P38, P41, P98, P911		EV_{SS}		0.3 EV_{DD}	V
	V_{IL2}	P00-P06, P10, P11, P31-P33, P35, P39, P40, P42, P50-P55, P90-P97, P99, P910, P912-P915		EV_{SS}		0.2 EV_{DD}	V
	V_{IH3}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13		BV_{SS}		0.3 BV_{DD}	V
	V_{IL4}	P70-P715		AV_{SS}		0.3 AV_{REF0}	V
	V_{IL5}	$\overline{RESET}$, FLMD0		EV_{SS}		0.2 EV_{DD}	V
ハイ・レベル出力電圧[注1]	V_{OH1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	I_{OH} = –1.0 mA	EV_{DD} – 1.0		EV_{DD}	V
			I_{OH} = –0.1 mA	EV_{DD} – 0.5		EV_{DD}	V
	V_{OH2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	I_{OH} = –1.0 mA	BV_{DD} – 1.0		BV_{DD}	V
			I_{OH} = –0.1 mA	BV_{DD} – 0.5		BV_{DD}	V
	V_{OH3}	P70-P715	I_{OH} = –1.0 mA	AV_{REF0} – 1.0		AV_{REF0}	V
			I_{OH} = –0.1 mA	AV_{REF0} – 0.5		AV_{REF0}	V
ロウ・レベル出力電圧[注1]	V_{OL1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	I_{OL} = 1.0 mA	0		0.4	V
	V_{OL2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	I_{OL} = 1.0 mA	0		0.4	V
	V_{OL3}	P70-P715	I_{OL} = 1.0 mA	0		0.4	V
プルアップ抵抗	R_1	V_I = 0 V		10	30	100	kΩ
プルダウン抵抗[注2]	R_2	V_I = V_{DD}		10	30	100	kΩ

注 1.　I_{OH}/I_{OL} の合計の最大値は，各電源（EV_{DD}, BV_{DD}, AV_{REF0}）ごとに 20 mA/－20 mA です。

2.　$\overline{DRST}$ 端子（フラッシュ製品のみ）として使用する場合（コントロール・レジスタは OCDM0 です）。

備考　兼用端子の特性は，特に指定のないかぎり，ポート端子と同じです。

(2) 端子リーク電流

(T_A = –40〜+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V)

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル入力リーク電流	I_{LIH1}	V_{IN} = V_{DD}	アナログ端子			0.2	μA
			アナログ端子以外注			0.5	
ロウ・レベル入力リーク電流	I_{LIL1}	V_{IN} = 0 V	アナログ端子			−0.2	μA
			アナログ端子以外注			−0.5	
ハイ・レベル出力リーク電流	I_{LOH1}	V_O = V_{DD}	アナログ端子			0.2	μA
			アナログ端子以外			0.5	
ロウ・レベル出力リーク電流	I_{LOL1}	V_O = 0 V	アナログ端子			−0.2	μA
			アナログ端子以外			−0.5	

注　フラッシュ製品の場合，FLMD0端子の入力リーク電流は次のとおりです。

ハイ・レベル入力リーク電流：2.0 μA

ロウ・レベル入力リーク電流：−2.0 μA

(3) 電源電流

電源電流（V850ES/FG2: μPD70F3234, 70F3235, 70F3236）

（T_A = –40〜+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = BV_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
フラッシュ・メモリ製品電源電流[注1]	I_{DD1}	通常動作モード	f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能動作中		30	45	mA
★			f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能停止中		22		
	I_{DD2}	HALT モード	f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能動作中		18	28	mA
			f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能停止中		11		
	I_{DD3}	IDLE1 モード	f_{XX} = 5 MHz (OSC = 5 MHz), PLL オフ時		0.6	0.9	mA
	I_{DD4}	IDLE2 モード	f_{XX} = 5 MHz (OSC = 5 MHz), PLL オフ時		0.25	0.7	mA
	I_{DD5}	サブクロック動作モード[注2, 3]	水晶振動子 f_{XT} = 32.768 kHz		200	400	μA
			RC 発振子 f_{XT} = 40 kHz [注4]		200	400	μA
	I_{DD6}	サブ IDLE モード[注2, 3]	水晶振動子 f_{XT} = 32.768 kHz		20	120	μA
			RC 発振子 f_{XT} = 40 kHz [注4]		35	140	μA
	I_{DD7}	ストップ・モード[注2, 5]	POC 停止, 内蔵発振器停止		7	50	μA
			POC 動作, 内蔵発振器停止		10	55	μA
			POC 停止, 内蔵発振器動作		15	65	μA
			POC 動作, 内蔵発振器動作		18	70	μA

注1. V_{DD}, EV_{DD}, BV_{DD} の電流の合計です（全ポート停止時）。AV_{REF0} の電流，内蔵プルアップ／プルダウン抵抗を通過する電流を含むポート・バッファの電流は含みません。

2. メイン OSC 停止時。

3. POC 動作，内蔵発振器動作。

4. RC 発振周波数は 40 kHz（TYP.値）です。このクロックは内部で 2 分周されます。

5. サブ OSC 未使用時。

電源電流（V850ES/FG2: μPD703234, 703235）

（T_A = –40～+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
マスク ROM 製品 電源電流[注1]	I_{DD1}	通常動作モード	f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能動作中		25	40	mA
★			f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能停止中		20		
	I_{DD2}	HALT モード	f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能動作中		14	24	mA
★			f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能停止中		9		
	I_{DD3}	IDLE1 モード	f_{XX} = 5 MHz (OSC = 5 MHz), PLL オフ時		0.25	0.7	mA
	I_{DD4}	IDLE2 モード	f_{XX} = 5 MHz (OSC = 5 MHz), PLL オフ時		0.2	0.7	mA
	I_{DD5}	サブクロック動作モード[注2, 3]	水晶振動子 f_{XT} = 32.768 kHz		50	350	μA
★			RC 発振子 f_{XT} = 40 kHz [注4]		50	350	μA
	I_{DD6}	サブ IDLE モード[注2, 3]	水晶振動子 f_{XT} = 32.768 kHz		20	120	μA
			RC 発振子 f_{XT} = 40 kHz [注4]		35	140	μA
	I_{DD7}	ストップ・ モード[注2, 5]	POC 停止, 内蔵発振器停止		7	50	μA
			POC 動作, 内蔵発振器停止		10	55	μA
			POC 停止, 内蔵発振器動作		15	65	μA
			POC 動作, 内蔵発振器動作		18	70	μA

注1. V_{DD}, EV_{DD}, BV_{DD} の電流の合計です（全ポート停止時）。AV_{REF0} の電流，内蔵プルアップ／プルダウン抵抗を通過する電流を含むポート・バッファの電流は含みません。

2. メイン OSC 停止時。

3. POC 動作，内蔵発振器動作。

4. RC 発振周波数は 40 kHz（TYP.値）です。このクロックは内部で 2 分周されます。

5. サブ OSC 未使用時。

27. 1. 9　データ保持特性

STOP モード時（T_A = –40〜+85°C, V_{DD} = EV_{DD} = BV_{DD} = 1.9 V〜5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOP モード	1.9		5.5	V
データ保持電流	I_{DDDR}	V_{DDDR} = 2.0 V		6	450	μA
電源電圧立ち上がり時間	t_{RVD}		1			μs
電源電圧立ち下がり時間	t_{FVD}		1			μs
電源電圧保持時間	t_{HVD}	STOP モード解除後	0			ms
STOP 解除信号入力時間	t_{DREL}	V_{DD} が MIN.: 3.5 V に達したあと	0			ms
データ保持ハイ・レベル入力電圧	V_{IHDR}	すべての入力ポート	0.9 V_{DDDR}		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	すべての入力ポート	0		0.1 V_{DDDR}	V

注意　STOP モードへの移行，および STOP モードからの復帰は，動作範囲内で行ってください。

27. 1. 10　AC特性

AC テスト入力測定点（V_{DD}, AV_{DD}, EV_{DD}）

AC テスト出力測定点

負荷条件

注意　回路構成により負荷容量が 50 pF を越える場合は，バッファを入れるなどして，このデバイスの負荷容量を 50 pF 以下にしてください。

（1）CLKOUT出力タイミング

（T_A = –40～+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）

項　　目	略　号	条　　件	MIN.	MAX.	単　位
出力周期	t_{CYK}		50 ns	80 μs	
ハイ・レベル幅	t_{WKH}		t_{CYK}/2－15		ns
ロウ・レベル幅	t_{WKL}		t_{CYK}/2－15		ns
立ち上がり時間	t_{KR}			15	ns
立ち下がり時間	t_{KF}			15	ns

クロック・タイミング

(2) 基本動作

(a) リセット，割り込みタイミング

(T_A = –40〜+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
$\overline{\text{RESET}}$ロウ・レベル幅	t_{WRSL}		500		ns
NMI ハイ・レベル幅	t_{WNIH}	アナログ・ノイズ除去	500		ns
NMI ロウ・レベル幅	t_{WNIL}	アナログ・ノイズ除去	500		ns
INTPn 注1 ハイ・レベル幅	t_{WITH}	アナログ・ノイズ除去（n = 0-7）	500		ns
		ディジタル・ノイズ除去（n = 3）	注 2		ns
INTPn 注1 ロウ・レベル幅	t_{WITL}	アナログ・ノイズ除去（n = 0-7）	500		ns
		ディジタル・ノイズ除去（n = 3）	注 2		ns

注 1.　P03/INTP0/ADTRG 兼用端子。P05/INTP2/$\overline{\text{DRST}}$ 兼用端子。

2.　2Tsamp＋20 または 3Tsamp＋20

Tsamp：ノイズ除去用サンプリング・クロック

リセット／割り込み

備考　n = 0-7

(b) キー・リターン・タイミング

（T_A = –40～+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）

項　目	略　号	条　件	MIN.	MAX.	単　位
KRn 入力ハイ・レベル幅	t_{WKRH}	アナログ・ノイズ除去（n = 0-7）	500		ns
KRn 入力ロウ・レベル幅	t_{WKRL}		500		ns

備考　n = 0-7

(c) タイマ入力タイミング

（T_A = –40～+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）

項　目	略　号	条　件	MIN.	MAX.	単　位
TIn ハイ・レベル幅	t_{TIH}	TIP00, TIP01, TIP10, TIP11, TIP20, TIP21, TIP30, TIP31, TIQ00-TIQ03, TIQ10-TIQ13	注		ns
TIn ロウ・レベル幅	t_{TIL}		注		ns

注　2Tsamp＋20 または 3Tsamp＋20

Tsamp：ノイズ除去用サンプリング・クロック

備考　Tin：TIP00, TIP01, TIP10, TIP11, TIP20, TIP21, TIP30, TIP31, TIQ00-TIQ03, TIQ10-TIQ13

(d) CSIBタイミング

(i) マスタ・モード

(T_A = –40〜+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
$\overline{\text{SCKBn}}$ サイクル・タイム	t_{KCYn}		125		ns
$\overline{\text{SCKBn}}$ ハイ・レベル幅	t_{KHn}		t_{KCYn}/2－15		ns
$\overline{\text{SCKBn}}$ ロウ・レベル幅	t_{KLn}		t_{KCYn}/2－15		ns
SIBn セットアップ時間（対$\overline{\text{SCKBn}}$↑）	t_{SIKn}		30		ns
SIBn ホールド時間（対$\overline{\text{SCKBn}}$↑）	t_{KSIn}		25		ns
$\overline{\text{SCKBn}}$↓→ SOBn 出力遅延時間	t_{KSOn}			25	ns

備考　n = 0, 1

(ii) スレーブ・モード

(T_A = –40〜+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
$\overline{\text{SCKBn}}$ サイクル・タイム	t_{KCYn}		200		ns
$\overline{\text{SCKBn}}$ ハイ・レベル幅	t_{KHn}		90		ns
$\overline{\text{SCKBn}}$ ロウ・レベル幅	t_{KLn}		90		ns
SIBn セットアップ時間（対$\overline{\text{SCKBn}}$↑）	t_{SIKn}		50		ns
SIBn ホールド時間（対$\overline{\text{SCKBn}}$↑）	t_{KSIn}		50		ns
$\overline{\text{SCKBn}}$↓→ SOBn 出力遅延時間	t_{KSOn}			50	ns

備考　n = 0, 1

考備　n = 0, 1

(e) UARTタイミング

(T_A = –40～+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
通信レート				312.5	kbps
ASCK0 サイクル・タイム				10	MHz

(f) CANタイミング

(T_A = –40～+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
通信レート				1	Mbps
内部遅延時間注				100	ns

注　内部遅延時間（t_{NODE}）= 内部送信遅延時間（t_{OUTPUT}）＋内部受信遅延時間（t_{INPUT}）

注　CAN 内部クロック（f_{CAN}）：CAN ボー・レート・クロック

備考　n = 0, 1

内部遅延時間イメージ図

備考　n = 0, 1

(g) A/Dコンバータ

(T_A = –40～+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
分解能					10	bit
★ 総合誤差注		4.0 ≦ AV_{REF0} ≦ 5.5 V		±0.15	±0.3	%FSR
変換時間	t_{CONV}		3.1		16	μs
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{REF0}	V
AV_{REF0} 電流	I_{AREF0}	A/D コンバータ使用時		5	10	mA
		A/D コンバータ未使用時		1	10	μA

注　量子化誤差（±0.05 %FSR）は含みません。フルスケール値に対する比率（%FSR）で表します。

備考　FSR：Full Scale Range

(h) POC回路特性

(T_A = –40～+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{POC0}		3.5	3.7	3.9	V
電源立ち上げ時間	t_{PTH}	V_{DD} = 0 V → 3.5 V	0.002			ms
応答ディレイ時間 1 注1	t_{PTHD}	電源立ち上げ時，V_{DD} が 3.9 V に達したあと			3	ms
応答ディレイ時間 2 注2	t_{PD}	電源降下時，V_{DD} が 3.5 V を下まわったあと			1	ms
最小 V_{DD} 幅	t_{PW}		0.2			ms

注1.　検出電圧を検出してからリセットを解除するまでの時間。

2.　検出電圧を検出してからリセットを出力するまでの時間。

(i) LVI回路特性

(T_A = –40〜+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{LVI0}		4.2	4.4	4.6	V
	V_{LVI1}		4.0	4.2	4.4	V
応答時間注1	t_{LD}	V_{DD} が V_{LVI0}, V_{LVI1}（MAX.）に達したあと， V_{DD} が V_{LVI0}, V_{LVI1}（MIN.）を下まわったあと		0.2	2	ms
最小 V_{DD} 幅	t_{LW}		0.2			ms
基準電圧安定待ち時間注2	t_{LWAIT}	V_{DD} が 3.5 V に達したあと， LVION ビット（LVIM.bit7） = 0 →1 となったあと		0.1	0.2	ms

注1.　検出電圧を検出して割り込み／リセットを出力するまでの時間。

2.　POC 機能を利用する場合には必要ありません。

(j) RAM保持フラグ特性

(T_A = –40〜+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{RAMH}		1.9	2.0	2.1	V
電源電圧立ち上がり時間	t_{RAMHTH}	V_{DD} = 0 V → 3.5 V	0.002		1800	ms
応答時間注	t_{RAMHD}	電源電圧が検出電圧（MAX.）に達したあと		0.2	2.0	ms
最小 V_{DD} 幅	t_{RAMHW}		0.2			ms

注　検出電圧を検出して RAMF ビットをセットするまでの時間。

(k) フラッシュ・メモリ・プログラミング特性

(i) 基本特性

(T_A = –40〜+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
動作周波数	f_{CPU}		4		20	MHz
電源電圧	V_{DD}		3.5		5.5	V
書き込み回数	C_{WRT} 注				100	回
ハイ・レベル入力電圧	V_{IH}	FLMD0	0.8EV_{DD}		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL}	FLMD0	EV_{SS}		0.2EV_{DD}	V
プログラミング温度	t_{PRG}		−40		+85	℃

注　出荷品に対する初回書き込み時では，「消去 → 書き込み」の場合も，「書き込みのみ」の場合も書き換え 1 回となります。

例　P：書き込み　E：消去
出荷品　→P→E→P→E→P　：書き換え回数 3 回
出荷品→E→P→E→P→E→P　：書き換え回数 3 回

(2) シリアル書き込みオペレーション特性

(T_A = –40〜+85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
$\overline{\text{RESET}}$↑→FLMD0 カウント開始時間	t_{RFCF}		5000/f_X+α注			s
カウント実行時間	t_{COUNT}				3	ms
FLMD0 ハイ・レベル幅	t_{CH}		10		100	μs
FLMD0 ロウ・レベル幅	t_{CL}		10		100	μs
FLMD0 立ち上がり時間	t_R				50	ns
FLMD0 立ち下り時間	t_F				50	ns

注　α：発振安定持間

27. 2　(A1)製品についての電気的特性

27. 2. 1　絶対最大定格

絶対最大定格（T_A = 25°C）：フラッシュ・メモリ製品（1/2）

項　　目	略　号	条　　件	定　　格	単　位
電源電圧	V_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	EV_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	BV_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	AV_{REF0}		−0.5〜+6.5	V
	V_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	AV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	BV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	EV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
入力電圧	V_{I1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915, $\overline{\text{RESET}}$, FLMD0	−0.5〜EV_{DD}+0.5 注	V
	V_{I2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	−0.5〜BV_{DD}+0.5 注	V
	V_{I3}	X1, X2, XT1, XT2	−0.5〜V_{RO}+0.5	V
アナログ入力電圧	V_{IAN}	P70-P715	−0.5〜AV_{REF0}+0.5 注	V

注　それぞれの電源電圧の絶対最大定格（MAX.値）を越えないようにしてください。

注意 1.　IC 製品の出力（または入出力）端子同士を直結したり，V_{DD} または V_{CC} や GND に直結したりしないでください。

2.　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。
DC 特性と AC 特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

3.　ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

備考　兼用端子の特性は，特に指定のないかぎり，ポート端子と同じです。

絶対最大定格（T_A = 25°C）：**フラッシュ・メモリ製品**（2/2）

項　目	略　号	条　件		定　格	単　位
ロウ・レベル出力電流	I_{OL}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1 端子	4	mA
			全端子合計	50 注1	mA
		P70-P715	1 端子	4	mA
			全端子合計	20 注2	mA
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	1 端子	4	mA
			全端子合計	50 注1	mA
ハイ・レベル出力電流	I_{OH}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1 端子	−4	mA
			全端子合計	−50 注1	mA
		P70-P715	1 端子	−4	mA
			全端子合計	−20 注2	mA
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	1 端子	−4	mA
			全端子合計	−50 注1	mA
動作周囲温度	T_A	通常動作モード		−40〜＋110	°C
		フラッシュ・プログラミング・モード		−40〜＋85	
保存温度	T_{stg}			−40〜＋125	°C

注1.　この値は，T_A = 25°C での値です。T_A = 110°C の場合は，20 mA/−20 mA になります。

2.　この値は，T_A = 25°C での値です。T_A = 110°C の場合は，10 mA/−10 mA になります。

注意1.　IC 製品の出力（または入出力）端子同士を直結したり，V_{DD} または V_{CC} や GND に直結したりしないでください。

2.　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

DC 特性と AC 特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

3.　ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

備考　兼用端子の特性は，特に指定のないかぎり，ポート端子と同じです。

絶対最大定格（T_A = 25°C）：マスク ROM 製品（1/2）

項　　目	略　号	条　　件	定　　格	単　位
電源電圧	V_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	EV_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	BV_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	AV_{REF0}		−0.5〜+6.5	V
	V_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	AV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	EV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
入力電圧	V_{I1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915, $\overline{\text{RESET}}$	−0.5〜EV_{DD}+0.5 注	V
	V_{I2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	−0.5〜BV_{DD}+0.5 注	V
	V_{I3}	X1, X2, XT1, XT2	−0.5〜V_{RO}+0.5	V
アナログ入力電圧	V_{IAN}	P70-P715	−0.5〜AV_{REF0}+0.5 注	V

注　それぞれの電源電圧の絶対最大定格（MAX.値）を越えないようにしてください。

注意1.　IC 製品の出力（または入出力）端子同士を直結したり，V_{DD} または V_{CC} や GND に直結したりしないでください。

2.　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

DC 特性と AC 特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

3.　ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

備考　兼用端子の特性は，特に指定のないかぎり，ポート端子と同じです。

絶対最大定格（T_A = 25°C）：マスク ROM 製品（2/2）

項　目	略　号	条　件		定　格	単　位
ロウ・レベル出力電流	I_{OL}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1 端子	4	mA
			全端子合計	50 注1	mA
		P70-P715	1 端子	4	mA
			全端子合計	20 注2	mA
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	1 端子	4	mA
			全端子合計	50 注1	mA
ハイ・レベル出力電流	I_{OH}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1 端子	−4	mA
			全端子合計	−50 注1	mA
		P70-P715	1 端子	−4	mA
			全端子合計	−20 注2	mA
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	1 端子	−4	mA
			全端子合計	−50 注1	mA
動作周囲温度	T_A			−40〜＋110	°C
保存温度	T_{stg}			−65〜＋150	°C

注1.　この値は，T_A = 25°C での値です。T_A = 110°C の場合は，20 mA/−20 mA になります。

2.　この値は，T_A = 25°C での値です。T_A = 110°C の場合は，10 mA/−10 mA になります。

注意1.　IC 製品の出力（または入出力）端子同士を直結したり，V_{DD} または V_{CC} や GND に直結したりしないでください。

2.　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

DC 特性と AC 特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

3.　ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

備考　兼用端子の特性は，特に指定のないかぎり，ポート端子と同じです。

27. 2. 2　容量

（T_A = 25°C, V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
入出力容量	C_{IO}	f_X = 1 MHz，被測定端子以外は 0 V			10	pF

27. 2. 3　動作条件

（T_A = –40～+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
内部システム・クロック周波数	f_{CLK}	REGC 容量 = 4.7 μF メイン・クロック動作時	4		20	MHz
		REGC 容量 = 4.7 μF サブクロック動作時（RC 発振子）	12.5 注		27.5 注	kHz

注　内部システム・クロック周波数は発振周波数の 1/2 となります。

27. 2. 4　発振回路特性

メイン・クロック発振回路特性

（T_A = –40～+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

発振子	推奨回路	項　目	条　件	MIN.	TYP.	MAX.	単　位
セラミック発振子		発振周波数（f_X）注1		4		5	MHz
		発振安定時間注2	リセット解除後		$2^{16}/f_X$		s
			STOP モード解除後	0.5 注3	注4		ms
			IDLE2 モード解除後	350	注4		μs
水晶振動子		発振周波数（f_X）注1		4		5	MHz
		発振安定時間注2	リセット解除後		$2^{16}/f_X$		s
			STOP モード解除後	0.5 注3	注4		ms
			IDLE2 モード解除後	350	注4		μs

注1.　発振回路の特性だけを示すものです。

2.　リセットまたは STOP モード解除後，発振が安定するまでの時間です。

3.　内蔵フラッシュ ROM へのアクセスが安定するまでの時間です。

4.　OSTS レジスタの設定によって値が異なります。

注意1.　メイン・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は，常に V_{SS} と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2.　メイン・クロックを停止させサブクロックで動作させているときに，再度メイン・クロックに切り替える場合には，プログラムで発振安定時間を確保したあとに切り替えてください。

サブクロック発振回路特性

（T_A = –40～+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

発振子	推奨回路	項　目	条　件	MIN.	TYP.	MAX.	単　位
RC 発振子		発振周波数（f_{XT}）注1, 4	R = 390 kΩ ± 5%注3 C = 47 pF ± 10%注3	25	40	55	kHz
		発振安定時間注2				100	μs

注1.　発振回路の特性だけを示すものです。CPU 動作クロックについては，27. 2. 10　AC 特性を参照してください。

2.　V_{DD} が発振電圧範囲（MIN.: 3.5 V）に達してから発振が安定するまでの時間です。

3.　配線容量の影響を避けるため，配線は極力短くしてください。

4.　RC 発振周波数は，40 kHz（TYP.値）です。このクロックは内部で 2 分周されます。RC 発振子の場合，内部システム・クロック周波数（f_{XT}）は，12.5 kHz（MIN.値），20 kHz（TYP.値），27.5 kHz（MAX.値）です。

注意 1.　サブクロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は，常に V_{SS} と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2.　サブクロック発振回路は，低消費電流にするため増幅度の低い回路になっており，ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって，サブクロックを使用する場合は，配線方法について特に注意してください。

27. 2. 5　PLL特性

（T_A = –40〜+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
入力周波数	f_x		4		5	MHz
出力周波数	f_{xx}		16		20	MHz
クロック時間	t_{PLL}	V_{DD} が MIN.: 3.5 V に達したあと			800	μs

27. 2. 6　内蔵発振器特性

（T_A = –40〜+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
出力周波数	F_r		100	200	400	kHz

27. 2. 7　電圧レギュレータ特性

（T_A = –40〜+110°C, V_{DD} = EV_{DD} = BV_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
入力電圧	V_{DD}		3.5		5.5	V
出力電圧	V_{RO}			2.5		V
出力電圧安定時間	t_{REG}	V_{DD} が MIN.: 3.5 V に達したあと REG 端子に C = 4.7 μF±20%を接続			1	ms

★　**注意　必ず** $\overline{\text{RESET}}$ = 0 V **の状態で** V_{DD} **を立ち上げてください。**

27. 2. 8　DC特性

(1) 入出力レベル

(T_A = –40〜+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V)

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル入力電圧	V_{IH1}	P30, P34, P38, P41, P98, P911,		0.7 EV_{DD}		EV_{DD}	V
	V_{IH2}	P00-P06, P10, P11, P31-P33, P35, P39, P40, P42, P50-P55, P90, P91-P97, P99, P910, P912-P915		0.8 EV_{DD}		EV_{DD}	V
	V_{IH3}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13		0.7 BV_{DD}		BV_{DD}	V
	V_{IH4}	P70-P715		0.7 AV_{REF0}		AV_{REF0}	V
	V_{IH5}	$\overline{RESET}$, FLMD0		0.8 EV_{DD}		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P30, P34, P38, P41, P98, P911		EV_{SS}		0.3 EV_{DD}	V
	V_{IL2}	P00-P06, P10, P11, P31-P33, P35, P39, P40, P42, P50-P55, P90-P97, P99, P910, P912-P915		EV_{SS}		0.2 EV_{DD}	V
	V_{IL3}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13		BV_{SS}		0.3 BV_{DD}	V
	V_{IL4}	P70-P715		AV_{SS}		0.3 AV_{REF0}	V
	V_{IL5}	$\overline{RESET}$, FLMD0		EV_{SS}		0.2 EV_{DD}	V
ハイ・レベル出力電圧注1	V_{OH1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	I_{OH} = –1.0 mA	EV_{DD} – 1.0		EV_{DD}	V
			I_{OH} = –0.1 mA	EV_{DD} – 0.5		EV_{DD}	V
	V_{OH2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	I_{OH} = –1.0 mA	BV_{DD} – 1.0		BV_{DD}	V
			I_{OH} = –0.1 mA	BV_{DD} – 0.5		BV_{DD}	V
	V_{OH3}	P70-P715	I_{OH} = –1.0 mA	AV_{REF0} – 1.0		AV_{REF0}	V
			I_{OH} = –0.1 mA	AV_{REF0} – 0.5		AV_{REF0}	V
ロウ・レベル出力電圧注1	V_{OL1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	I_{OL} = 1.0 mA	0		0.4	V
	V_{OL2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	I_{OL} = 1.0 mA	0		0.4	V
	V_{OL3}	P70-P715	I_{OL} = 1.0 mA	0		0.4	V
プルアップ抵抗	R_1	V_I = 0 V		10	30	100	kΩ
プルダウン抵抗注2	R_2	V_I = V_{DD}		10	30	100	kΩ

注1.　I_{OH}/I_{OL} の合計の最大値は，各電源（EV_{DD}, BV_{DD}, AV_{REF0}）ごとに 20 mA/－20 mA です。

2.　$\overline{DRST}$ 端子（フラッシュ製品のみ）として使用する場合（コントロール・レジスタは OCDM0 です）。

備考　兼用端子の特性は，特に指定のないかぎり，ポート端子と同じです。

(2) 端子リーク電流

(T_A = –40～+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V)

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル入力リーク電流	I_{LIH1}	V_{IN} = V_{DD}	アナログ端子			0.3	μA
			アナログ端子以外注			2.0	
ロウ・レベル入力リーク電流	I_{LIL1}	V_{IN} = 0 V	アナログ端子			−0.3	μA
			アナログ端子以外注			−2.0	
ハイ・レベル出力リーク電流	I_{LOH1}	V_O = V_{DD}	アナログ端子			0.3	μA
			アナログ端子以外			2.0	
ロウ・レベル出力リーク電流	I_{LOL1}	V_O = 0 V	アナログ端子			−0.3	μA
			アナログ端子以外			−2.0	

注　フラッシュ製品の場合，FLMD0端子の入力リーク電流は次のとおりです。
　　ハイ・レベル入力リーク電流：4.0 μA
　　ロウ・レベル入力リーク電流：−4.0 μA

(3) 電源電流

電源電流（V850ES/FG2: μPD70F3234, 70F3235, 70F3236）

（T_A = –40〜+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
フラッシュ・メモリ製品電源電流[注1]	I_{DD1}	通常動作モード	f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能動作中		30	45	mA
★			f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能停止中		22		
	I_{DD2}	HALT モード	f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能動作中		18	30	mA
			f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能停止中		11		
	I_{DD3}	IDLE1 モード	f_{XX} = 5 MHz (OSC = 5 MHz), PLL オフ時		0.6	1.2	mA
	I_{DD4}	IDLE2 モード	f_{XX} = 5 MHz (OSC = 5 MHz), PLL オフ時		0.25	0.9	mA
	I_{DD5}	サブクロック動作モード[注2, 3]	RC 発振子 f_{XT} = 40 kHz [注4]		200	600	μA
	I_{DD6}	サブ IDLE モード[注2, 3]	RC 発振子 f_{XT} = 40 kHz [注4]		35	340	μA
	I_{DD7}	ストップ・モード[注2, 5]	POC 停止, 内蔵発振器停止		7	250	μA
			POC 動作, 内蔵発振器停止		10	255	μA
			POC 停止, 内蔵発振器動作		15	265	μA
			POC 動作, 内蔵発振器動作		18	270	μA

注1. V_{DD}, EV_{DD}, BV_{DD} の電流の合計です（全ポート停止時）。AV_{REF0} の電流，内蔵プルアップ／プルダウン抵抗を通過する電流を含むポート・バッファの電流は含みません。

2. メイン OSC 停止時。

3. POC 動作，内蔵発振器動作。

4. RC 発振周波数は 40 kHz（TYP.値）です。このクロックは内部で 2 分周されます。

5. サブ OSC 未使用時。

電源電流（V850ES/FG2: μPD703234, 703235）

（T_A = –40～+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
マスク ROM 製品 電源電流[注1]	I_{DD1}	通常動作モード	f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能動作中		25	40	mA
★			f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能停止中		20		
	I_{DD2}	HALT モード	f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能動作中		14	26	mA
★			f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能停止中		9		
	I_{DD3}	IDLE1 モード	f_{XX} = 5 MHz (OSC = 5 MHz), PLL オフ時		0.25	0.9	mA
	I_{DD4}	IDLE2 モード	f_{XX} = 5 MHz (OSC = 5 MHz), PLL オフ時		0.2	0.9	mA
	I_{DD5}	サブクロック動作モード[注2, 3]	RC 発振子 f_{XT} = 40 kHz [注4]		50	550	μA
	I_{DD6}	サブ IDLE モード[注2, 3]	RC 発振子 f_{XT} = 40 kHz [注4]		35	340	μA
	I_{DD7}	ストップ・ モード[注2, 5]	POC 停止, 内蔵発振器停止		7	250	μA
			POC 動作, 内蔵発振器停止		10	255	μA
			POC 停止, 内蔵発振器動作		15	265	μA
			POC 動作, 内蔵発振器動作		18	270	μA

注 1. V_{DD}, EV_{DD}, BV_{DD} の電流の合計です（全ポート停止時）。AV_{REF0} の電流，内蔵プルアップ／プルダウン抵抗を通過する電流を含むポート・バッファの電流は含みません。

2. メイン OSC 停止時。

3. POC 動作，内蔵発振器動作。

4. RC 発振周波数は 40 kHz（TYP.値）です。このクロックは内部で 2 分周されます。

5. サブ OSC 未使用時。

27. 2. 9　データ保持特性

STOP モード時（T_A = –40〜+110°C, V_{DD} = EV_{DD} = BV_{DD} = 1.9 V〜5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOP モード	1.9		5.5	V
データ保持電流	I_{DDDR}	V_{DDDR} = 2.0 V		6	230	μA
電源電圧立ち上がり時間	t_{RVD}		1			μs
電源電圧立ち下がり時間	t_{FVD}		1			μs
電源電圧保持時間	t_{HVD}	STOP モード解除後	0			ms
STOP 解除信号入力時間	t_{DREL}	V_{DD} が MIN.: 3.5 V に達したあと	0			μs
データ保持ハイ・レベル入力電圧	V_{IHDR}	すべての入力ポート	0.9 V_{DDDR}		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	すべての入力ポート	0		0.1 V_{DDDR}	V

注意　STOP モードへの移行，および STOP モードからの復帰は，動作範囲内で行ってください。

27. 2. 10　AC特性

AC テスト入力測定点（V_{DD}, AV_{DD}, EV_{DD}）

AC テスト出力測定点

負荷条件

注意　回路構成により負荷容量が 50 pF を越える場合は，バッファを入れるなどして，このデバイスの負荷容量を 50 pF 以下にしてください。

（1）CLKOUT出力タイミング

（T_A = –40〜+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）

項　目	略　号	条　件	MIN.	MAX.	単　位
出力周期	t_{CYK}		50 ns	80 μs	
ハイ・レベル幅	t_{WKH}		t_{CYK}/2－15		ns
ロウ・レベル幅	t_{WKL}		t_{CYK}/2－15		ns
立ち上がり時間	t_{KR}			15	ns
立ち下がり時間	t_{KF}			15	ns

クロック・タイミング

(2) 基本動作

(a) リセット，割り込みタイミング

(T_A = –40〜+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
$\overline{\text{RESET}}$ロウ・レベル幅	t_{WRSL}		500		ns
NMI ハイ・レベル幅	t_{WNIH}	アナログ・ノイズ除去	500		ns
NMI ロウ・レベル幅	t_{WNIL}	アナログ・ノイズ除去	500		ns
INTPn 注1 ハイ・レベル幅	t_{WITH}	アナログ・ノイズ除去（n = 0-7）	500		ns
		ディジタル・ノイズ除去（n = 3）	注 2		ns
INTPn 注1 ロウ・レベル幅	t_{WITL}	アナログ・ノイズ除去（n = 0-7）	500		ns
		ディジタル・ノイズ除去（n = 3）	注 2		ns

注 1.　P03/INTP0/ADTRG 兼用端子。P05/INTP2/$\overline{\text{DRST}}$ 兼用端子。

2.　2Tsamp＋20 または 3Tsamp＋20

Tsamp：ノイズ除去用サンプリング・クロック

リセット／割り込み

備考　n = 0-7

(b) キー・リターン・タイミング

(T_A = –40～+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
KRn 入力ハイ・レベル幅	t_{WKRH}	アナログ・ノイズ除去（n = 0-7）	500		Ns
KRn 入力ロウ・レベル幅	t_{WKRL}		500		Ns

備考　n = 0-7

(c) タイマ入力タイミング

(T_A = –40～+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
TIn ハイ・レベル幅	t_{TIH}	TIP00, TIP01, TIP10, TIP11, TIP20, TIP21, TIP30, TIP31, TIQ00-TIQ03, TIQ10-TIQ13	注		ns
TIn ロウ・レベル幅	t_{TIL}		注		ns

注　Tsamp＋20 または 3Tsamp＋20

Tsamp：ノイズ除去用サンプリング・クロック

備考　TIn : TIP00, TIP01, TIP10, TIP11, TIP20, TIP21, TIP30, TIP31, TIQ00-TIQ03, TIQ10-TIQ13

(d) CSIBタイミング

(i) マスタ・モード

(T_A = –40〜+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
$\overline{\text{SCKBn}}$ サイクル・タイム	t_{KCYn}		125		ns
$\overline{\text{SCKBn}}$ ハイ・レベル幅	t_{KHn}		t_{KCYn}/2－15		ns
$\overline{\text{SCKBn}}$ ロウ・レベル幅	t_{KLn}		t_{KCYn}/2－15		ns
SIBn セットアップ時間（対$\overline{\text{SCKBn}}$↑）	t_{SIKn}		30		ns
SIBn ホールド時間（対$\overline{\text{SCKBn}}$↑）	t_{KSIn}		25		ns
$\overline{\text{SCKBn}}$↓→ SOBn 出力遅延時間	t_{KSOn}			25	ns

備考　n = 0, 1

(ii) スレーブ・モード

(T_A = –40〜+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
$\overline{\text{SCKBn}}$ サイクル・タイム	t_{KCYn}		200		ns
$\overline{\text{SCKBn}}$ ハイ・レベル幅	t_{KHn}		90		ns
$\overline{\text{SCKBn}}$ ロウ・レベル幅	t_{KLn}		90		ns
SIBn セットアップ時間（対$\overline{\text{SCKBn}}$↑）	t_{SIKn}		50		ns
SIBn ホールド時間（対$\overline{\text{SCKBn}}$↑）	t_{KSIn}		50		ns
$\overline{\text{SCKBn}}$↓→ SOBn 出力遅延時間	t_{KSOn}			50	ns

備考　n = 0, 1

備考　n = 0, 1

(e) UARTタイミング

(T_A = –40～+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
通信レート				312.5	kbps
ASCK0 サイクル・タイム				10	MHz

(f) CANタイミング

(T_A = –40～+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
通信レート				1	Mbps
内部遅延時間注				100	ns

注　内部遅延時間（t_{NODE}）= 内部送信遅延時間（t_{OUTPUT}）＋内部受信遅延時間（t_{INPUT}）

注　CAN 内部クロック（f_{CAN}）：CAN ボー・レート・クロック

備考　n = 0, 1

内部遅延時間イメージ図

備考　n = 0, 1

(g) A/Dコンバータ

(T_A = –40～+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
分解能					10	bit
★ 総合誤差注		4.0 ≦ AV_{REF0} ≦ 5.5 V		±0.15	±0.3	%FSR
変換時間	t_{CONV}		3.1		16	μs
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{REF0}	V
AV_{REF0} 電流	I_{AREF0}	A/D コンバータ使用時		5	10	mA
		A/D コンバータ未使用時		1	10	μA

注　量子化誤差（±0.05 %FSR）は含みません。フルスケール値に対する比率（%FSR）で表します。

備考　FSR：Full Scale Range

(h) POCコンバータ特性

(T_A = –40～+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{POC0}		3.5	3.7	3.9	V
電源立ち上げ時間	t_{PTH}	V_{DD} = 0 V → 3.5 V	0.002			ms
応答ディレイ時間 1 注1	t_{PTHD}	電源立ち上げ時，V_{DD} が 3.9 V に達したあと			3	ms
応答ディレイ時間 2 注2	t_{PD}	電源降下時，V_{DD} が 3.5 V を下まわったあと			1	ms
最小 V_{DD} 幅	t_{PW}		0.2			ms

注 1.　検出電圧を検出してからリセットを解除するまでの時間。
2.　検出電圧を検出してからリセットを出力するまでの時間。

(i) LVI回路特性

(T_A = –40〜+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{LVI0}		4.2	4.4	4.6	V
	V_{LVI1}		4.0	4.2	4.4	V
応答時間注1	t_{LD}	V_{DD} が V_{LVI0}, V_{LVI1}（MAX.）に達したあと， V_{DD} が V_{LVI0}, V_{LVI1}（MIN.）を下まわったあと		0.2	2.0	ms
最小 V_{DD} 幅	t_{LW}		0.2			ms
基準電圧安定待ち時間注2	t_{LWAIT}	V_{DD} が 3.5 V に達したあと， LVION ビット（LVIM.bit7） = 0 →1 となったあと		0.1	0.2	ms

注 1.　検出電圧を検出して割り込み／リセットを出力するまでの時間。

2.　POC 機能を利用する場合には必要ありません。

(j) RAM保持フラグ特性

(T_A = –40〜+110°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{RAMH}		1.9	2.0	2.1	V
電源電圧立ち上がり時間	t_{RAMHTH}	V_{DD} = 0 V → 3.5 V	0.002		1800	ms
応答時間注	t_{RAMHD}	電源電圧が検出電圧（MAX.）に達したあと		0.2	2.0	ms
最小 V_{DD} 幅	t_{RAMHW}		0.2			ms

注　検出電圧を検出して RAMF ビットをセットするまでの時間。

(k) フラッシュ・メモリ・プログラミング特性

(i) 基本特性

(T_A = －40～＋85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
動作周波数	f_{CPU}		4		20	MHz
電源電圧	V_{DD}		3.5		5.5	V
書き込み回数	C_{WRT} 注				100	回
ハイ・レベル入力電圧	V_{IH}	FLMD0	0.8EV_{DD}		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL}	FLMD0	EV_{SS}		0.2EV_{DD}	V
プログラミング温度	t_{PRG}		－40		+85	℃

注　出荷品に対する初回書き込み時では，「消去 → 書き込み」の場合も，「書き込みのみ」の場合も書き換え 1 回となります。

例　P：書き込み　E：消去
出荷品　→P→E→P→E→P　：書き換え回数 3 回
出荷品→E→P→E→P→E→P　：書き換え回数 3 回

(ii) シリアル書き込みオペレーション特性

(T_A = －40～＋85°C, V_{DD} = BV_{DD} = EV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
$\overline{\text{RESET}}$↑→FLMD0 カウント開始時間	t_{RFCF}		5000/f_X＋α 注			s
カウント実行時間	t_{COUNT}				3	ms
FLMD0 ハイ・レベル幅	t_{CH}		10		100	μs
FLMD0 ロウ・レベル幅	t_{CL}		10		100	μs
FLMD0 立ち上がり時間	t_R				50	ns
FLMD0 立ち下り時間	t_F				50	ns

注　α：発振安定持間

27. 3　(A2)製品についての電気的特性

27. 3. 1　絶対最大定格

絶対最大定格（T_A = 25°C）：フラッシュ・メモリ製品（1/2）

項　　目	略　号	条　　件	定　　格	単　位
電源電圧	V_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	EV_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	BV_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	AV_{REF0}		−0.5〜+6.5	V
	V_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	AV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	BV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	EV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
入力電圧	V_{I1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915, $\overline{\text{RESET}}$, FLMD0	−0.5〜EV_{DD}+0.5 注	V
	V_{I2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	−0.5〜BV_{DD}+0.5 注	V
	V_{I3}	X1, X2, XT1, XT2	−0.5〜V_{RO}+0.5	V
アナログ入力電圧	V_{IAN}	P70-P715	−0.5〜AV_{REF0}+0.5 注	V

注　それぞれの電源電圧の絶対最大定格（MAX.値）を越えないようにしてください。

注意1.　IC 製品の出力（または入出力）端子同士を直結したり，V_{DD} または V_{CC} や GND に直結したりしないでください。

2.　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。
DC 特性と AC 特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

3.　ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

備考　兼用端子の特性は，特に指定のないかぎり，ポート端子と同じです。

絶対最大定格（T_A = 25°C）：**フラッシュ・メモリ製品**（2/2）

項　目	略　号	条　件		定　格	単　位
ロウ・レベル出力電流	I_{OL}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1 端子	4	mA
			全端子合計	50 注1	mA
		P70-P715	1 端子	4	mA
			全端子合計	20 注2	mA
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	1 端子	4	mA
			全端子合計	50 注1	mA
ハイ・レベル出力電流	I_{OH}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1 端子	−4	mA
			全端子合計	−50 注1	mA
		P70-P715	1 端子	−4	mA
			全端子合計	−20 注2	mA
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	1 端子	−4	mA
			全端子合計	−50 注1	mA
動作周囲温度	T_A	通常動作モード		−40〜＋125	°C
		フラッシュ・プログラミング・モード		−40〜＋85	
保存温度	T_{stg}			−40〜＋125	°C

注 1.　この値は，T_A = 25°C での値です。T_A = 125°C の場合は，20 mA/−20 mA になります。

2.　この値は，T_A = 25°C での値です。T_A = 125°C の場合は，10 mA/−10 mA になります。

注意 1.　IC 製品の出力（または入出力）端子同士を直結したり，V_{DD} または V_{CC} や GND に直結したりしないでください。

2.　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

DC 特性と AC 特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

3.　ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

備考　兼用端子の特性は，特に指定のないかぎり，ポート端子と同じです。

絶対最大定格（T_A = 25°C）：マスク ROM 製品（1/2）

項　　目	略　号	条　　件	定　　格	単　位
電源電圧	V_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	EV_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	BV_{DD}	V_{DD} = EV_{DD} = BV_{DD}	−0.5〜+6.5	V
	AV_{REF0}		−0.5〜+6.5	V
	V_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	AV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	BV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	EV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
入力電圧	V_{I1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915, $\overline{\text{RESET}}$, IC	−0.5〜EV_{DD}+0.5 注	V
	V_{I2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	−0.5〜BV_{DD}+0.5 注	V
	V_{I3}	X1, X2, XT1, XT2	−0.5〜V_{RO}+0.5	V
アナログ入力電圧	V_{IAN}	P70-P715	−0.5〜AV_{REF0}+0.5 注	V

注　それぞれの電源電圧の絶対最大定格（MAX.値）を越えないようにしてください。

注意 1. IC 製品の出力（または入出力）端子同士を直結したり，V_{DD} または V_{CC} や GND に直結したりしないでください。

2. 各項目のうち 1 項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。
   DC 特性と AC 特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

3. ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

備考　兼用端子の特性は，特に指定のないかぎり，ポート端子と同じです。

絶対最大定格（T_A = 25°C）：マスク ROM 製品（2/2）

項　目	略　号	条　件		定　格	単　位
ロウ・レベル出力電流	I_{OL}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1 端子	4	mA
			全端子合計	50 注1	mA
		P70-P715	1 端子	4	mA
			全端子合計	20 注2	mA
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	1 端子	4	mA
			全端子合計	50 注1	mA
ハイ・レベル出力電流	I_{OH}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1 端子	−4	mA
			全端子合計	−50 注1	mA
		P70-P715	1 端子	−4	mA
			全端子合計	−20 注2	mA
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	1 端子	−4	mA
			全端子合計	−50 注1	mA
動作周囲温度	T_A			−40〜＋125	°C
保存温度	T_{stg}			−65〜＋150	°C

注1.　この値は，T_A = 25 °C での値です。T_A = 125 °C の場合は，20 mA/−20 mA になります。

2.　この値は，T_A = 25 °C での値です。T_A = 125 °C の場合は，10 mA/−10 mA になります。

注意1.　IC 製品の出力（または入出力）端子同士を直結したり，V_{DD} または V_{CC} や GND に直結したりしないでください。

2.　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

DC 特性と AC 特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

3.　ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

備考　兼用端子の特性は，特に指定のないかぎり，ポート端子と同じです。

27. 3. 2　容量

（T_A = 25°C, V_{DD} = EV_{DD} = AV_{REF0} = V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
入出力容量	C_{IO}	f_X = 1 MHz，被測定端子以外は 0 V			10	pF

27. 3. 3　動作条件

（T_A = –40～+125°C, V_{DD} = EV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
内部システム・クロック周波数	f_{CLK}	REGC 容量 = 4.7 μF メイン・クロック動作時	4		20	MHz
		REGC 容量 = 4.7 μF 注 サブクロック動作時（RC 発振子）	12.5 注		27.5 注	kHz

注　内部システム・クロック周波数は発振周波数の 1/2 となります。

27. 3. 4　発振回路特性

メイン・クロック発振回路特性

（T_A = –40〜+125°C, V_{DD} = EV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

発振子	推奨回路	項　目	条　件	MIN.	TYP.	MAX.	単　位
セラミック発振子		発振周波数（f_X）注1		4		5	MHz
		発振安定時間注2	リセット解除後		$2^{16}/f_X$		s
			STOP モード解除後	0.5 注3	注4		ms
			IDLE2 モード解除後	0.35	注4		ms
水晶振動子		発振周波数（f_X）注1		4		5	MHz
		発振安定時間注2	リセット解除後		$2^{16}/f_X$		s
			STOP モード解除後	0.5 注3	注4		ms
			IDLE2 モード解除後	0.35	注4		ms

注1.　発振回路の特性だけを示すものです。

2.　リセットまたは STOP モード解除後，発振が安定するまでの時間です。

3.　内蔵フラッシュ ROM へのアクセスが安定するまでの時間です。

4.　OSTS レジスタの設定によって値が異なります。

注意 1.　メイン・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は，常に V_{SS} と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2.　メイン・クロックを停止させサブクロックで動作させているときに，再度メイン・クロックに切り替える場合には，プログラムで発振安定時間を確保したあとに切り替えてください。

サブクロック発振回路特性

（T_A = –40〜+125°C, V_{DD} = EV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

発振子	推奨回路	項　目	条　件	MIN.	TYP.	MAX.	単　位
RC 発振子		発振周波数（f_{XT}）注1, 4	R = 390 kΩ ± 5%注3 C = 47 pF ± 10%注3	25	40	55	kHz
		発振安定時間注2				100	μs

注 1.　発振回路の特性だけを示すものです。CPU 動作クロックについては，27. 3. 10　AC 特性を参照してください。

2.　V_{DD} が発振電圧範囲（MIN.: 3.5 V）に達してから発振が安定するまでの時間です。

3.　配線容量の影響を避けるため，配線は極力短くしてください。

4.　RC 発振周波数は，40 kHz（TYP.値）です。このクロックは内部で 2 分周されます。RC 発振子の場合，内部システム・クロック周波数（f_{XT}）は，12.5 kHz（MIN.値），20 kHz（TYP.値），27.5 kHz（MAX.値）です。

注意 1.　サブクロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は，常に V_{SS} と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2.　サブクロック発振回路は，低消費電流にするため増幅度の低い回路になっており，ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって，サブクロックを使用する場合は，配線方法について特に注意してください。

27. 3. 5　PLL特性

（T_A = –40〜+125°C, V_{DD} = EV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
入力周波数	f_x		4		5	MHz
出力周波数	f_{xx}		16		20	MHz
クロック時間	t_{PLL}	V_{DD} が MIN.: 3.5 V に達したあと			800	μs

27. 3. 6　内蔵発振器特性

（T_A = –40〜+125°C, V_{DD} = EV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
出力周波数	f_r		100	200	400	kHz

27. 3. 7　電圧レギュレータ特性

（T_A = –40〜+125°C, V_{DD} = EV_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
入力電圧	V_{DD}		3.5		5.5	V
出力電圧	V_{RO}			2.5		V
出力電圧安定時間	t_{REG}	V_{DD} が MIN.: 3.5 V に達したあと REG 端子に C = 4.7 μF±20%を接続			1	ms

★　**注意　必ず** $\overline{\text{RESET}}$ = 0 V **の状態で** V_{DD} **を立ち上げてください。**

27. 3. 8　DC特性

(1) 入出力レベル

(T_A = –40～+125°C, V_{DD} = EV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V)

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル入力電圧	V_{IH1}	P30, P34, P36-P38, P41, P98, P911		0.7 EV_{DD}		EV_{DD}	V
	V_{IH2}	P00-P06, P10, P11, P31-P33, P35, P39, P40, P42, P50-P55, P90, P91, P96, P97, P99, P913-P915		0.8 EV_{DD}		EV_{DD}	V
	V_{IH3}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13		0.7 BV_{DD}		BV_{DD}	V
	V_{IH4}	P70-P715		0.7 AV_{REF0}		AV_{REF0}	V
	V_{IH5}	$\overline{RESET}$, FLMD0		0.8 EV_{DD}		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P30, P34, P38, P41, P98, P911,		EV_{SS}		0.3 EV_{DD}	V
	V_{IL2}	P00-P06, P10, P11, P31-P33, P35, P39, P40, P42, P50-P55, P90, P91, P96, P97, P99, P913-P915		EV_{SS}		0.2 EV_{DD}	V
	V_{IL3}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13		BV_{SS}		0.3 BV_{DD}	V
	V_{IL4}	P70-P715		AV_{SS}		0.3 AV_{REF0}	V
	V_{IL5}	$\overline{RESET}$, FLMD0		EV_{SS}		0.2 EV_{DD}	V
ハイ・レベル出力電圧[注1]	V_{OH1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	I_{OH} = –1.0 mA	EV_{DD} – 1.0		EV_{DD}	V
			I_{OH} = –0.1 mA	EV_{DD} – 0.5		EV_{DD}	V
	V_{OH2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	I_{OH} = –1.0 mA	BV_{DD} – 1.0		BV_{DD}	V
			I_{OH} = –0.1 mA	BV_{DD} – 0.5		BV_{DD}	V
	V_{OH3}	P70-P715	I_{OH} = –1.0 mA	AV_{REF0} – 1.0		AV_{REF0}	V
			I_{OH} = –0.1 mA	AV_{REF0} – 0.5		AV_{REF0}	V
ロウ・レベル出力電圧[注1]	V_{OL1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	I_{OL} = 1.0 mA	0		0.4	V
	V_{OL2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL11	I_{OL} = 1.0 mA	0		0.4	V
	V_{OL3}	P70-P715	I_{OL} = 1.0 mA	0		0.4	V
プルアップ抵抗	R_1	V_I = 0 V		10	30	100	kΩ
プルダウン抵抗[注2]	R_2	V_I = V_{DD}		10	30	100	kΩ

注1.　EV_{DD} の I_{OH}/I_{OL} の合計の最大値は 20 mA/－20 mA です。

AV_{REF0} の I_{OH}/I_{OL} の合計の最大値は 10 mA/－10 mA です。

2.　$\overline{DRST}$（フラッシュ製品のみ）として使用する場合（コントロール・レジスタは OCDM0 です）。

備考　兼用端子の特性は，特に指定のないかぎり，ポート端子と同じです。

(2) 端子リーク電流

(T_A = –40〜+125°C, V_{DD} = EV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V)

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル入力リーク電流	I_{LIH1}	V_{IN} = V_{DD}	アナログ端子			1.0	μA
			アナログ端子以外			5.0	
ロウ・レベル入力リーク電流	I_{LIL1}	V_{IN} = 0 V	アナログ端子			−1.0	μA
			アナログ端子以外			−5.0	
ハイ・レベル出力リーク電流	I_{LOH1}	V_O = V_{DD}	アナログ端子			1.0	μA
			アナログ端子以外			5.0	
ロウ・レベル出力リーク電流	I_{LOL1}	V_O = 0 V	アナログ端子			−1.0	μA
			アナログ端子以外			−5.0	

(3) 電源電流

電源電流（V850ES/FG2: μPD70F3234, 70F3235, 70F3236）

（T_A = –40～+125°C, V_{DD} = EV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
★ フラッシュ・メモリ製品電源電流[注1]	I_{DD1}	通常動作モード	f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能動作中		30	45	mA
★			f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能停止中		22		
★	I_{DD2}	HALT モード	f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能動作中		18	30	mA
★			f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能停止中		11		
	I_{DD3}	IDLE1 モード	f_{XX} = 5 MHz (OSC = 5 MHz), PLL オフ時		0.6	1.5	mA
	I_{DD4}	IDLE2 モード	f_{XX} = 5 MHz (OSC = 5 MHz), PLL オフ時		0.25	1.15	mA
	I_{DD5}	サブクロック動作モード[注2, 3]	RC 発振子 f_{XT} = 40 kHz [注4]		200	850	μA
	I_{DD6}	サブ IDLE モード[注2, 3]	RC 発振子 f_{XT} = 40 kHz [注4]		35	590	μA
	I_{DD7}	ストップ・モード[注2, 5]	POC 停止, 内蔵発振器停止		7	500	μA
			POC 動作, 内蔵発振器停止		10	505	μA
			POC 停止, 内蔵発振器動作		15	515	μA
			POC 動作, 内蔵発振器動作		18	520	μA

注 1. V_{DD}, EV_{DD} の電流の合計です（全ポート停止時）。AV_{REF0} の電流，内蔵プルアップ／プルダウン抵抗を通過する電流を含むポート・バッファの電流は含みません。

2. メイン OSC 停止時。

3. POC 動作，内蔵発振器動作。

4. RC 発振周波数は 40 kHz（TYP.値）です。このクロックは内部で 2 分周されます。

5. サブ OSC 未使用時。

電源電流（V850ES/FG2: μPD703234, 703235）

（T_A = –40～+125°C, V_{DD} = EV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
★ マスク ROM 製品 電源電流[注1]	I_{DD1}	通常動作モード	f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能動作中		25	40	mA
★			f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能停止中		20		
★	I_{DD2}	HALT モード	f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能動作中		14	26	mA
★			f_{XX} = 20 MHz (OSC = 5 MHz), 全周辺機能停止中		9		
	I_{DD3}	IDLE1 モード	f_{XX} = 5 MHz (OSC = 5 MHz), PLL オフ時		0.25	1.15	mA
	I_{DD4}	IDLE2 モード	f_{XX} = 5 MHz (OSC = 5 MHz), PLL オフ時		0.2	1.15	mA
	I_{DD5}	サブクロック動作モード[注2, 3]	RC 発振子 f_{XT} = 40 kHz [注4]		50	800	μA
	I_{DD6}	サブ IDLE モード[注2, 3]	RC 発振子 f_{XT} = 40 kHz [注4]		35	590	μA
	I_{DD7}	ストップ・モード[注2, 5]	POC 停止, 内蔵発振器停止		7	500	μA
			POC 動作, 内蔵発振器停止		10	505	μA
			POC 停止, 内蔵発振器動作		15	515	μA
			POC 動作, 内蔵発振器動作		18	520	μA

注 1. V_{DD}, EV_{DD} の電流の合計です（全ポート停止時）。AV_{REF0} の電流，内蔵プルアップ／プルダウン抵抗を通過する電流を含むポート・バッファの電流は含みません。

2. メイン OSC 停止時。

3. POC 動作，内蔵発振器動作。

4. RC 発振周波数は 40 kHz（TYP.値）です。このクロックは内部で 2 分周されます。

5. サブ OSC 未使用時。

27. 3. 9　データ保持特性

STOP モード時（T_A = –40〜+125°C, V_{DD} = EV_{DD} = 1.9 V〜5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOP モード	1.9		5.5	V
データ保持電流	I_{DDDR}	V_{DDDR} = 2.0 V		6	450	μA
電源電圧立ち上がり時間	t_{RVD}		1			μs
電源電圧立ち下がり時間	t_{FVD}		1			μs
電源電圧保持時間	t_{HVD}	STOP モード解除後	0			ms
STOP 解除信号入力時間	t_{DREL}	V_{DD} が MIN.: 3.5 V に達したあと	0			μs
データ保持ハイ・レベル入力電圧	V_{IHDR}	すべての入力ポート	0.9 V_{DDDR}		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	すべての入力ポート	0		0.1 V_{DDDR}	V

注意　STOP モードへの移行，および STOP モードからの復帰は，動作範囲内で行ってください。

27. 3. 10　AC特性

AC テスト入力測定点（V_{DD}, AV_{DD}, EV_{DD}）

AC テスト出力測定点

負荷条件

注意　回路構成により負荷容量が 50 pF を越える場合は，バッファを入れるなどして，このデバイスの負荷容量を 50 pF 以下にしてください。

(1) CLKOUT出力タイミング

(T_A = –40〜+125°C, V_{DD} = EV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
出力周期	t_{CYK}		50 ns	80 μs	
ハイ・レベル幅	t_{WKH}		t_{CYK}/2－15		ns
ロウ・レベル幅	t_{WKL}		t_{CYK}/2－15		ns
立ち上がり時間	t_{KR}			15	ns
立ち下がり時間	t_{KF}			15	ns

クロック・タイミング

(2) 基本動作

(a) リセット，割り込みタイミング

(T_A = –40～+125°C, V_{DD} = EV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
$\overline{\text{RESET}}$ロウ・レベル幅	t_{WRSL}		500		ns
NMI ハイ・レベル幅	t_{WNIH}	アナログ・ノイズ除去	500		ns
NMI ロウ・レベル幅	t_{WNIL}	アナログ・ノイズ除去	500		ns
INTPn 注1 ハイ・レベル幅	t_{WITH}	アナログ・ノイズ除去（n = 0-7）	500		ns
		ディジタル・ノイズ除去（n = 3）	注 2		ns
INTPn 注1 ロウ・レベル幅	t_{WITL}	アナログ・ノイズ除去（n = 0-7）	500		ns
		ディジタル・ノイズ除去（n = 3）	注 2		ns

注1.　P03/INTP0/ADTRG 兼用端子。P05/INTP2/$\overline{\text{DRST}}$ 兼用端子。

2.　2Tsamp＋20 または 3Tsamp＋20

Tsamp：ノイズ除去用サンプリング・クロック

リセット／割り込み

備考　n = 0-7

(b) キー・リターン・タイミング

(T_A = –40～+125°C, V_{DD} = EV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
KRn 入力ハイ・レベル幅	t_{WKRH}	アナログ・ノイズ除去（n = 0-7）	500		ns
KRn 入力ロウ・レベル幅	t_{WKRL}		500		ns

備考　n = 0-7

(c) タイマ入力タイミング

(T_A = –40～+125°C, V_{DD} = EV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
TIn ハイ・レベル幅	t_{TIH}	TIP00, TIP01, TIP10, TIP11, TIP20, TIP21, TIP30, TIP31, TIQ00-TIQ03, TIQ10-TIQ13	注		ns
TIn ロウ・レベル幅	t_{TIL}		注		ns

注　Tsamp＋20 または 3Tsamp＋20

Tsamp：ノイズ除去用サンプリング・クロック

備考　TIn : TIP00, TIP01, TIP10, TIP11, TIP20, TIP21, TIP30, TIP31, TIQ00-TIQ03, TIQ10-TIQ13

(d) CSIBタイミング

(i) マスタ・モード

(T_A = –40～+125°C, V_{DD} = EV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
$\overline{\text{SCKBn}}$ サイクル・タイム	t_{KCYn}		125		ns
$\overline{\text{SCKBn}}$ ハイ・レベル幅	t_{KHn}		t_{KCYn}/2－15		ns
$\overline{\text{SCKBn}}$ ロウ・レベル幅	t_{KLn}		t_{KCYn}/2－15		ns
SIBn セットアップ時間（対$\overline{\text{SCKBn}}$↑）	t_{SIKn}		30		ns
SIBn ホールド時間（対$\overline{\text{SCKBn}}$↑）	t_{KSIn}		25		ns
$\overline{\text{SCKBn}}$↓→SOBn 出力遅延時間	t_{KSOn}			25	ns

備考　n = 0, 1

(ii) スレーブ・モード

(T_A = –40～+125°C, V_{DD} = EV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
$\overline{\text{SCKBn}}$ サイクル・タイム	t_{KCYn}		200		ns
$\overline{\text{SCKBn}}$ ハイ・レベル幅	t_{KHn}		90		ns
$\overline{\text{SCKBn}}$ ロウ・レベル幅	t_{KLn}		90		ns
SIBn セットアップ時間（対$\overline{\text{SCKBn}}$↑）	t_{SIKn}		50		ns
SIBn ホールド時間（対$\overline{\text{SCKBn}}$↑）	t_{KSIn}		50		ns
$\overline{\text{SCKBn}}$↓→ SOBn 出力遅延時間	t_{KSOn}			50	ns

備考　n = 0, 1

備考　n = 0, 1

(e) UARTタイミング

(T_A = –40〜+125°C, V_{DD} = EV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
通信レート				312.5	kbps
ASCK0 サイクル・タイム				10	MHz

(f) CANタイミング

(T_A = –40〜+125°C, V_{DD} = EV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
通信レート				1	Mbps
内部遅延時間注				100	ns

注　内部遅延時間（t_{NODE}）= 内部送信遅延時間（t_{OUTPUT}）＋内部受信遅延時間（t_{INPUT}）

注　CAN 内部クロック（f_{CAN}）：CAN ボー・レート・クロック

備考　n = 0, 1

内部遅延時間イメージ図

備考　n = 0, 1

(g) A/Dコンバータ

(T_A = –40～+125°C, V_{DD} = EV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
分解能					10	bit
★ 総合誤差注		4.0 ≦ AV_{REF0} ≦ 5.5 V		±0.15	±0.35	%FSR
変換時間	t_{CONV}		3.1		16	μs
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{REF0}	V
AV_{REF0} 電流	I_{AREF0}	A/D コンバータ使用時		5	10	mA
		A/D コンバータ未使用時		1	10	μA

注　量子化誤差（±0.05 %FSR）は含みません。フルスケール値に対する比率（%FSR）で表します。

備考　FSR：Full Scale Range

(h) POC回路特性

(T_A = –40～+125°C, V_{DD} = EV_{DD} = 3.5 V～5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{POC0}		3.5	3.7	3.9	V
電源立ち上げ時間	t_{PTH}	V_{DD} = 0 V → 3.5 V	0.002			ms
応答ディレイ時間 1 注1	t_{PTHD}	電源立ち上げ時，V_{DD} が 3.9 V に達したあと			3	ms
応答ディレイ時間 2 注2	t_{PD}	電源降下時，V_{DD} が 3.5 V を下まわったあと			1	ms
最小 V_{DD} 幅	t_{PW}		0.2			ms

注 1.　検出電圧を検出してからリセットを解除するまでの時間。

2.　検出電圧を検出してからリセットを出力するまでの時間。

(i) LVI回路特性

(T_A = –40〜+125°C, V_{DD} = EV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{LVI0}		4.2	4.4	4.6	V
	V_{LVI1}		4.0	4.2	4.4	V
応答時間注1	t_{LD}	V_{DD} が V_{LVI0}, V_{LVI1}（MAX.）に達したあと， V_{DD} が V_{LVI0}, V_{LVI1}（MIN.）を下まわったあと		0.2	2.0	ms
最小 V_{DD} 幅	t_{LW}		0.2			ms
基準電圧安定待ち時間注2	t_{LWAIT}	V_{DD} が 3.5 V に達したあと， LVION ビット（LVIM.bit7） = 0 →1 となったあと		0.1	0.2	ms

注 1.　検出電圧を検出して割り込み／リセットを出力するまでの時間。

2.　POC 機能を利用する場合には必要ありません。

(j) RAM保持フラグ特性

(T_A = –40〜+125°C, V_{DD} = EV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{RAMH}		1.9	2.0	2.1	V
電源電圧立ち上がり時間	t_{RAMHTH}	V_{DD} = 0 V → 3.5 V	0.002		1800	ms
応答時間注	t_{RAMHD}	電源電圧が検出電圧（MAX.）に達したあと		0.2	2.0	ms
最小 V_{DD} 幅	t_{RAMHW}		0.2			ms

注　検出電圧を検出して RAMF ビットをセットするまでの時間。

(k) フラッシュ・メモリ・プログラミング特性

(i) 基本特性

(T_A = –40〜+85°C, V_{DD} = EV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
動作周波数	f_{CPU}		4		20	MHz
電源電圧	V_{DD}		3.5		5.5	V
書き込み回数	C_{WRT} 注				100	回
ハイ・レベル入力電圧	V_{IH}	FLMD0	0.8EV_{DD}		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL}	FLMD0	EV_{SS}		0.2EV_{DD}	V
プログラミング温度	t_{PRG}		−40		+85	℃

注　出荷品に対する初回書き込み時では，「消去 → 書き込み」の場合も，「書き込みのみ」の場合も書き換え 1 回となります。

例　P：書き込み　E：消去
出荷品　→P→E→P→E→P：書き換え回数 3 回
出荷品→E→P→E→P→E→P：書き換え回数 3 回

(ii) シリアル書き込みオペレーション特性

(T_A = –40〜+85°C, V_{DD} = EV_{DD} = 3.5 V〜5.5 V, 4.0 V ≦ AV_{REF0} ≦ 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
$\overline{\text{RESET}}$↑→FLMD0 カウント開始時間	t_{RFCF}		5000/f_X+α注			s
カウント実行時間	t_{COUNT}				3	ms
FLMD0 ハイ・レベル幅	t_{CH}		10		100	μs
FLMD0 ロウ・レベル幅	t_{CL}		10		100	μs
FLMD0 立ち上がり時間	t_R				50	ns
FLMD0 立ち下り時間	t_F				50	ns

注　α：発振安定持間

第28章　外 形 図

100-ピン プラスチック LQFP（ファイン・ピッチ）（14x14）

端子先端詳細形状図

NOTE

Each lead centerline is located within 0.08 mm of its true position (T.P.) at maximum material condition.

ITEM	MILLIMETERS
A	16.00±0.20
B	14.00±0.20
C	14.00±0.20
D	16.00±0.20
F	1.00
G	1.00
H	$0.22^{+0.05}_{-0.04}$
I	0.08
J	0.50 (T.P.)
K	1.00±0.20
L	0.50±0.20
M	$0.17^{+0.03}_{-0.07}$
N	0.08
P	1.40±0.05
Q	0.10±0.05
R	$3^{\circ}{}^{+7^{\circ}}_{-3^{\circ}}$
S	1.60 MAX.

S100GC-50-8EU, 8EA-2

★ 付録A　開発ツール

V850ES/FG2を使用するシステム開発のために，次のような開発ツールを用意しています。
図A－1に開発ツール構成を示します。

●PC98-NXシリーズへの対応について

特に断りのないかぎり，IBM PC/AT™互換機でサポートされている製品については，PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は，IBM PC/AT互換機の説明を参照してください。

●Windows®について

特に断りのないかぎり，「Windows」は次のOSを示しています。

- Windows 98, 2000
- Windows Me
- Windows XP®
- Windows NT® Ver. 4.0

図A－1　開発ツール構成（1/2）

（1）インサーキット・エミュレータ　IE-V850ES-G1を使用する場合

注1.　プロジェクト・マネージャPM+は，Cコンパイラ・パッケージに入っています。
　　また，Windows以外ではPM+は使用できません。

2.　IE-V850ES-G1以外の製品は，すべてオプションです。

図A－1　開発ツール構成（2/2）

（2）IECUBE　QB-V850ESFX2を使用する場合

注1.　プロジェクト・マネージャ PM+は，Cコンパイラ・パッケージに入っています。
また，Windows以外ではPM+は使用できません。

2.　QB-V850ESFX2は，ID850QB，簡易ライタ　PG-FPL，電源ユニットとUSBインタフェース・ケーブルを添付しています。それ以外の製品は，すべてオプションです。

A. 1　ソフトウエア・パッケージ

SP850 V850シリーズ・ソフトウエア・パッケージ	V850シリーズ共通の開発ツール（ソフトウエア）を1つのパッケージにした製品です。
	オーダ名称：μS××××SP850

備考　オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××SP850

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	

A. 2　言語処理用ソフトウエア

CA850 Cコンパイラ・パッケージ	C言語で書かれたプログラムを，マイコンの実行可能なオブジェクト・コードに変換するプログラムです。プロジェクト・マネージャ PM+から起動されます。
	オーダ名称：μS××××CA703000
DF703239 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 各ツール（CA850, SM850, ID850）と組み合わせて使用します。 対応OS，ホスト・マシンは組み合わされる各ツールに依存します。

備考　オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××CA703000

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	
3K17	SPARCstation™	SunOS™（Rel. 4.1.4）， Solaris™（Rel. 2.5.1）	

A. 3　制御ソフトウエア

PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウエアです。PM+上から，エディタの起動，ビルド，ディバッガの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 ＜注意＞ PM+は，Cコンパイラ・パッケージCA850の中に入っています。 Windows以外の環境では使用できません。

A. 4　ディバグ用ツール（ハードウエア）

A. 4. 1　インサーキット・エミュレータ　IE-V850ES-G1を使用する場合

IE-703239-G1-EM1にIE-V850ES-G1を接続し，さらにホスト・マシン（PC-9800シリーズ，PC/AT互換機）と接続して使用する場合のシステム構成を次に示します。

図A－2　システム構成（IE-V850ES-G1を使用する場合）

① ホスト・マシン（PC-9800シリーズ，PC/AT互換機）
② ディバッガ
③ デバイス・ファイル
④ PCインタフェース・ボード（PCIバスまたはPCMCIA用）
⑤ PCインタフェース・ケーブル（IE-V850ES-G1に付属）
⑥ 電源ケーブル（IE-V850ES-G1に付属）
⑦ インサーキット・エミュレータ（IE-V850ES-G1）
⑧ インサーキット・エミュレータ・エミュレーション・ボード（IE-703239-G1-EM1）
⑨ プローブ（IE-703239-G1-EM1に付属）
⑩ EV-703239GC100

⑦	IE-V850ES-G1 インサーキット・エミュレータ	V850シリーズを使用する応用システムを開発する際に，ハードウエア，ソフトウエアをディバグするためのインサーキット・エミュレータです。統合ディバッガ ID850に対応しています。電源ユニット，エミュレーション・プローブ，およびホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
④	IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてのノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです（PCMCIAソケット対応）。
④	IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
⑧	IE-703239-G1-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウエアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
⑨	GXP-CABLE エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 エミュレーション・ボード IE-703239-G1-EM1に添付されています。
	⑩ EV-703239GC100 変換アダプタ	100ピン・プラスチックLQFP（GC-8EAタイプ）を実装できるように作られたターゲット・システムの基板と，エミュレーション・プローブを接続するための変換アダプタです。

備考1.　表内の番号は図A－2の番号に対応しています。

2.　EV-703239GC100は，株式会社アプリケーションの製品です。

問い合わせ先：株式会社アプリケーション（TEL（042）732-1377）

A. 4. 2　IECUBE　QB-V850ESFX2を使用する場合

QB-V850ESFX2とホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。オプション製品がない場合でも接続は可能です。

図A－3　システム構成（QB-V850ESFX2を使用する場合）（1/2）

① ホスト・マシン（PC-9821シリーズ，IBM-PC/AT互換機）

② ディバッガ，USBドライバ，マニュアルなど（ID850QB Disk, Accessory Disk[注1]）

③ USBインタフェース・ケーブル

④ ACアダプタ

⑤ インサーキット・エミュレータ（QB-V850ESFX2）

⑥ チェックピン・アダプタ（QB-144-CA-01S[注2]）（オプション）

⑦ 延長プローブ同軸タイプ（QB-144-EP-01S）（オプション）

⑧ エクスチェンジ・アダプタ[注3]（QB-100GC-EA-01S）

⑨ チェックピン・アダプタ[注4]（QB-100-CA-01S）（オプション）

⑩ スペース・アダプタ[注4]（QB-100-SA-01S）（オプション）

⑪ マウント・アダプタ（QB-100GC-MA-01S）（オプション）

⑫ ターゲット・コネクタ[注3]（QB-100GC-TC-01S）

⑬ ターゲット・システム

図A－3　システム構成（QB-V850ESFX2を使用する場合）（2/2）

注 1. デバイス・ファイルはNECエレクトロニクスのホームページから入手してください。

http://www.necel.com/micro/ods/jpn/index.html

2. 開発中

3. オーダ品名によっては，添付品となります。

・QB-V850ESFX2-ZZZでオーダした場合

エクスチェンジ・アダプタ，ターゲット・コネクタは添付されていません。

・QB-V850ESFX2-S100GCでオーダした場合

QB-100GC-EA-01S, QB-100GC-TC-01Sが添付されています。

4. ⑨と⑩の両方を使用する場合，⑨と⑩の接続順序が逆でも接続できます。

⑤ QB-V850ESFX2[注] インサーキット・エミュレータ	V850ES/FG2を使用する応用システムを開発する際に，ハードウエア，ソフトウエアをディバグするためのインサーキット・エミュレータです。統合ディバッガ ID850QBに対応しています。電源ユニット，エミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は，USBを使用します。
③ USBインタフェース・ケーブル	ホスト・マシンとQB-V850ESFX2を接続するケーブルです。
④ ACアダプタ	ACプラグ差し替えで100～240 Vに対応可能です。
⑧ QB-100GC-EA-01S, エクスチェンジ・アダプタ	ピン変換を行うアダプタです。
⑨ QB-100-CA-01S チェックピン・アダプタ	オシロスコープなどで波形観測を行うときに使用するアダプタです。
⑩ QB-100-SA-01S, スペース・アダプタ	高さ調節用アダプタです。
⑪ QB-100GC-MA-01S, マウント・アダプタ	V850ES/FG2をソケット実装するためのアダプタです。
⑫ QB-100GC-TC-01S, ターゲット・コネクタ	ターゲット・システム上へ半田付けするコネクタです。

注　QB-V850ESFX2は，電源ユニット，USBインタフェース・ケーブルと簡易ライタ　PG-FPLを添付しています。
また，コントロール・ソフトウエアとして，統合ディバッガID850QBを添付しています。

備考　表内の番号は図A－3の番号に対応しています。

A. 5　ディバグ用ツール（ソフトウエア）

SM850[注] システム・シミュレータ	V850シリーズ用のシステム・シミュレータです。SM850, SM+は，Windowsベースのソフトウエアです。
SM+[注] システム・シミュレータ	ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら，Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。 SM850, SM+を使用することにより，アプリケーションの論理検証，性能検証をハードウエア開発から独立して行えます。したがって，開発効率やソフトウエア品質の向上が図れます。 別売のデバイス・ファイルと組み合わせて使用します。
	オーダ名称：μS××××SM703000（SM850） μS××××SM703100（SM plus）
ID850 統合ディバッガ （インサーキット・エミュレータ IE-V850ES-G1対応）	V850シリーズ用のインサーキット・エミュレータに対応したディバッガです。ID850, ID850QBは，Windowsベースのソフトウエアです。 C言語対応のディバグ機能を強化しており，ソース・プログラムや逆アセンブル表示，メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより，トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイルと組み合わせて使用します。
ID850QB 統合ディバッガ （インサーキット・エミュレータ QB-V850ESFX2対応）	オーダ名称：μS××××ID703000, μS××××ID703000-GC（ID850）

注　開発中

備考　オーダ名称の××××は，使用するOSにより異なります。

μS××××SM703000
μS××××SM703100
μS××××ID703000
μS××××ID703000-GC

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	

A. 6　組み込み用ソフトウエア

RX850, RX850 Pro リアルタイムOS	μITRON3.0仕様に準拠したリアルタイムOSです。 複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。 RX850よりRX850 Proの方が多機能になっています。
	オーダ名称：μS××××RX703000-△△△△（RX850） μS××××RX703100-△△△△（RX850 Pro）
V850mini-NET（仮称） （ネットワーク・ライブラリ）	RFC準拠のネットワーク・ライブラリです。 コンパクトな設計をしており，使用メモリを小さく抑えた軽量TCP/IPです。 TCP/IP基準セットに加え，HTTPサーバ，SMTPクライアント，POPクライアントもサポートしています。
RX-FS850 （ファイル・システム）	FATファイル・システム機能です。 CD-ROMファイル・システム機能をサポートしたファイル・システムです。 リアルタイムOS RX850 Proと共に使用します。

注意　RX850, RX850 Proを購入する際，事前に購入申込書にご記入のうえ，使用許諾契約書を締結してください。

備考　オーダ名称の××××および△△△△は，使用するホスト・マシン，OSなどにより異なります。

μS×××× RX703000-△△△△

μS×××× RX703100-△△△△

△△△△	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	
3K17	SPARCstation	Solaris（Rel. 2.5.1）	

A. 7　フラッシュ・メモリ書き込み用ツール

Flashpro IV（型番　PG-FP4） フラッシュ・ライタ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライタです。
FA-100GC-8EU-A フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro IVに接続して使用します。

備考　FA-100GC-8EU-Aは，株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（045）475-4191）

★

付録B　レジスタ索引

(1/11)

略　　号	名　　称	ユニット	ページ
ADA0CR0	A/D変換結果レジスタ0	ADC	304
ADA0CR0H	A/D変換結果レジスタ0H	ADC	304
ADA0CR1	A/D変換結果レジスタ1	ADC	304
ADA0CR1H	A/D変換結果レジスタ1H	ADC	304
ADA0CR10	A/D変換結果レジスタ10	ADC	304
ADA0CR10H	A/D変換結果レジスタ10H	ADC	304
ADA0CR11	A/D変換結果レジスタ11	ADC	304
ADA0CR11H	A/D変換結果レジスタ11H	ADC	304
ADA0CR10	A/D変換結果レジスタ12	ADC	304
ADA0CR10H	A/D変換結果レジスタ12H	ADC	304
ADA0CR11	A/D変換結果レジスタ13	ADC	304
ADA0CR11H	A/D変換結果レジスタ13H	ADC	304
ADA0CR10	A/D変換結果レジスタ14	ADC	304
ADA0CR10H	A/D変換結果レジスタ14H	ADC	304
ADA0CR11	A/D変換結果レジスタ15	ADC	304
ADA0CR11H	A/D変換結果レジスタ15H	ADC	304
ADA0CR2	A/D変換結果レジスタ2	ADC	304
ADA0CR2H	A/D変換結果レジスタ2H	ADC	304
ADA0CR3	A/D変換結果レジスタ3	ADC	304
ADA0CR3H	A/D変換結果レジスタ3H	ADC	304
ADA0CR4	A/D変換結果レジスタ4	ADC	304
ADA0CR4H	A/D変換結果レジスタ4H	ADC	304
ADA0CR5	A/D変換結果レジスタ5	ADC	304
ADA0CR5H	A/D変換結果レジスタ5H	ADC	304
ADA0CR6	A/D変換結果レジスタ6	ADC	304
ADA0CR6H	A/D変換結果レジスタ6H	ADC	304
ADA0CR7	A/D変換結果レジスタ7	ADC	304
ADA0CR7H	A/D変換結果レジスタ7H	ADC	304
ADA0CR8	A/D変換結果レジスタ8	ADC	304
ADA0CR8H	A/D変換結果レジスタ8H	ADC	304
ADA0CR9	A/D変換結果レジスタ9	ADC	304
ADA0CR9H	A/D変換結果レジスタ9H	ADC	304
ADA0M0	A/Dコンバータ・モード・レジスタ0	ADC	300
ADA0M1	A/Dコンバータ・モード・レジスタ1	ADC	301
ADA0M2	A/Dコンバータ・モード・レジスタ2	ADC	302
ADA0PFM	パワー・フェイル比較モード・レジスタ	ADC	306
ADA0PFT	パワー・フェイル比較しきい値レジスタ	ADC	306
ADA0S	A/Dコンバータ・チャネル指定レジスタ0	ADC	303
ADIC	割り込み制御レジスタ	INTC	609

(2/11)

略　　号	名　　称	ユニット	ページ
BPC	周辺I/O領域セレクト制御レジスタ	CPU	80
C0BRP	CAN0モジュール・ビット・レート・プリスケーラ・レジスタ	CAN	488
C0BTR	CAN0モジュール・ビット・レート・レジスタ	CAN	489
C0CTRL	CAN0モジュール制御レジスタ	CAN	478
C0ERC	CAN0モジュール・エラー・カウンタ・レジスタ	CAN	484
C0ERRIC	割り込み制御レジスタ	CAN	609
C0GMABT	CAN0グローバル・ブロック送信制御レジスタ	CAN	473
C0GMABTD	CAN0グローバル・ブロック送信遅延設定レジスタ	CAN	475
C0GMCS	CAN0グローバル・クロック選択レジスタ	CAN	472
C0GMCTRL	CAN0グローバル制御レジスタ	CAN	470
C0IE	CAN0モジュール割り込み許可レジスタ	CAN	485
C0INFO	CAN0モジュール情報レジスタ	CAN	483
C0INTS	CAN0モジュール割り込みステータス・レジスタ	CAN	487
C0LEC	CAN0モジュール最終エラー情報レジスタ	CAN	482
C0LIPT	CAN0モジュール最終受信ポインタ・レジスタ	CAN	491
C0LOPT	CAN0モジュール最終送信ポインタ・レジスタ	CAN	493
C0MASK1H	CAN0モジュール・マスク1レジスタH	CAN	476
C0MASK1L	CAN0モジュール・マスク1レジスタL	CAN	476
C0MASK2H	CAN0モジュール・マスク2レジスタH	CAN	476
C0MASK2L	CAN0モジュール・マスク2レジスタL	CAN	476
C0MASK3H	CAN0モジュール・マスク3レジスタH	CAN	476
C0MASK3L	CAN0モジュール・マスク3レジスタL	CAN	476
C0MASK4H	CAN0モジュール・マスク4レジスタH	CAN	476
C0MASK4L	CAN0モジュール・マスク4レジスタL	CAN	476
C0MCONFm	CAN0メッセージ・コンフィギュレーション・レジスタm	CAN	500
C0MCTRLm	CAN0メッセージ制御レジスタm	CAN	502
C0MDATA01m	CAN0メッセージ・データ・バイト01レジスタm	CAN	497
C0MDATA0m	CAN0メッセージ・データ・バイト0レジスタm	CAN	497
C0MDATA1m	CAN0メッセージ・データ・バイト1レジスタm	CAN	497
C0MDATA23m	CAN0メッセージ・データ・バイト23レジスタm	CAN	497
C0MDATA2m	CAN0メッセージ・データ・バイト2レジスタm	CAN	497
C0MDATA3m	CAN0メッセージ・データ・バイト3レジスタm	CAN	497
C0MDATA45m	CAN0メッセージ・データ・バイト45レジスタm	CAN	497
C0MDATA4m	CAN0メッセージ・データ・バイト4レジスタm	CAN	497
C0MDATA5m	CAN0メッセージ・データ・バイト5レジスタm	CAN	497
C0MDATA67m	CAN0メッセージ・データ・バイト67レジスタm	CAN	497
C0MDATA6m	CAN0メッセージ・データ・バイト6レジスタm	CAN	497
C0MDATA7m	CAN0メッセージ・データ・バイト7レジスタm	CAN	497
C0MDLCm	CAN0メッセージ・データ長コード・レジスタm	CAN	499
C0MIDHm	CAN0メッセージIDレジスタmH	CAN	501
C0MIDLm	CAN0メッセージIDレジスタmL	CAN	501
C0RECIC	割り込み制御レジスタ	CAN	609
C0RGPT	CAN0モジュール受信ヒストリ・リスト・レジスタ	CAN	492

(3/11)

略　　号	名　　称	ユニット	ページ
C0TGPT	CAN0モジュール送信ヒストリ・リスト・レジスタ	CAN	494
C0TRXIC	割り込み制御レジスタ	CAN	609
C0TS	CAN0モジュール・タイム・スタンプ・レジスタ	CAN	495
C0WUPIC	割り込み制御レジスタ	CAN	609
C1BRP	CAN1モジュール・ビット・レート・プリスケーラ・レジスタ	CAN	488
C1BTR	CAN1モジュール・ビット・レート・レジスタ	CAN	489
C1CTRL	CAN1モジュール制御レジスタ	CAN	478
C1ERC	CAN1モジュール・エラー・カウンタ・レジスタ	CAN	484
C1ERRIC	割り込み制御レジスタ	CAN	609
C1GMABT	CAN1グローバル・ブロック送信制御レジスタ	CAN	473
C1GMABTD	CAN1グローバル・ブロック送信遅延設定レジスタ	CAN	475
C1GMCS	CAN1グローバル・クロック選択レジスタ	CAN	472
C1GMCTRL	CAN1グローバル制御レジスタ	CAN	470
C1IE	CAN1モジュール割り込み許可レジスタ	CAN	485
C1INFO	CAN1モジュール情報レジスタ	CAN	483
C1INTS	CAN1モジュール割り込みステータス・レジスタ	CAN	487
C1LEC	CAN1モジュール最終エラー情報レジスタ	CAN	482
C1LIPT	CAN1モジュール最終受信ポインタ・レジスタ	CAN	491
C1LOPT	CAN1モジュール最終送信ポインタ・レジスタ	CAN	493
C1MASK1H	CAN1モジュール・マスク1レジスタH	CAN	476
C1MASK1L	CAN1モジュール・マスク1レジスタL	CAN	476
C1MASK2H	CAN1モジュール・マスク2レジスタH	CAN	476
C1MASK2L	CAN1モジュール・マスク2レジスタL	CAN	476
C1MASK3H	CAN1モジュール・マスク3レジスタH	CAN	476
C1MASK3L	CAN1モジュール・マスク3レジスタL	CAN	476
C1MASK4H	CAN1モジュール・マスク4レジスタH	CAN	476
C1MASK4L	CAN1モジュール・マスク4レジスタL	CAN	476
C1MCONFm	CAN1メッセージ・コンフィギュレーション・レジスタm	CAN	500
C1MCTRLm	CAN1メッセージ制御レジスタm	CAN	502
C1MDATA01m	CAN1メッセージ・データ・バイト01レジスタm	CAN	497
C1MDATA0m	CAN1メッセージ・データ・バイト0レジスタm	CAN	497
C1MDATA1m	CAN1メッセージ・データ・バイト1レジスタm	CAN	497
C1MDATA23m	CAN1メッセージ・データ・バイト23レジスタm	CAN	497
C1MDATA2m	CAN1メッセージ・データ・バイト2レジスタm	CAN	497
C1MDATA3m	CAN1メッセージ・データ・バイト3レジスタm	CAN	497
C1MDATA45m	CAN1メッセージ・データ・バイト45レジスタm	CAN	497
C1MDATA4m	CAN1メッセージ・データ・バイト4レジスタm	CAN	497
C1MDATA5m	CAN1メッセージ・データ・バイト5レジスタm	CAN	497
C1MDATA67m	CAN1メッセージ・データ・バイト67レジスタm	CAN	497
C1MDATA6m	CAN1メッセージ・データ・バイト6レジスタm	CAN	497
C1MDATA7m	CAN1メッセージ・データ・バイト7レジスタm	CAN	497
C1MDLCm	CAN1メッセージ・データ長コード・レジスタm	CAN	499
C1MIDHm	CAN1メッセージIDレジスタmH	CAN	501
C1MIDLm	CAN1メッセージIDレジスタmL	CAN	501

(4/11)

略　　号	名　　称	ユニット	ページ
C1RGPT	CAN1モジュール受信ヒストリ・リスト・レジスタ	CAN	492
C1TGPT	CAN1モジュール送信ヒストリ・リスト・レジスタ	CAN	494
C1TRXIC	割り込み制御レジスタ	CAN	609
C1TS	CAN1モジュール・タイム・スタンプ・レジスタ	CAN	495
C1WUPIC	割り込み制御レジスタ	CAN	609
CB0CTL0	CSIB0制御レジスタ0	CSI	368
CB0CTL1	CSIB0制御レジスタ1	CSI	370
CB0CTL2	CSIB0制御レジスタ2	CSI	371
CB0RIC	割り込み制御レジスタ	INTC	609
CB0RX	CSIB0受信データ・レジスタ	CSI	366
CB0STR	CSIB0状態レジスタ	CSI	372
CB0TIC	割り込み制御レジスタ	INTC	609
CB0TX	CSIB0送信データ・レジスタ	CSI	366
CB1CTL0	CSIB1制御レジスタ0	CSI	368
CB1CTL1	CSIB1制御レジスタ1	CSI	370
CB1CTL2	CSIB1制御レジスタ2	CSI	371
CB1RIC	割り込み制御レジスタ	INTC	609
CB1RX	CSIB1受信データ・レジスタ	CSI	366
CB1STR	CSIB1状態レジスタ	CSI	372
CB1TIC	割り込み制御レジスタ	INTC	609
CB1TX	CSIB1送信データ・レジスタ	CSI	366
CCLS	CPU動作クロック・ステータス・レジスタ	CG	154
CLM	クロック・モニタ・モード・レジスタ	CG	665
DADC0	DMAアドレシング・コントロール・レジスタ0	DMA	576
DADC1	DMAアドレシング・コントロール・レジスタ1	DMA	576
DADC2	DMAアドレシング・コントロール・レジスタ2	DMA	576
DADC3	DMAアドレシング・コントロール・レジスタ3	DMA	576
DBC0	DMA転送カウント・レジスタ0	DMA	575
DBC1	DMA転送カウント・レジスタ1	DMA	575
DBC2	DMA転送カウント・レジスタ2	DMA	575
DBC3	DMA転送カウント・レジスタ3	DMA	575
DCHC0	DMAチャネル・コントロール・レジスタ0	DMA	577
DCHC1	DMAチャネル・コントロール・レジスタ1	DMA	577
DCHC2	DMAチャネル・コントロール・レジスタ2	DMA	577
DCHC3	DMAチャネル・コントロール・レジスタ3	DMA	577
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMA	574
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMA	574
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMA	574
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMA	574
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMA	574
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMA	574
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMA	574
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMA	574

(5/11)

略　　号	名　　称	ユニット	ページ
DMAIC0	割り込み制御レジスタ	INTC	609
DMAIC1	割り込み制御レジスタ	INTC	609
DMAIC2	割り込み制御レジスタ	INTC	609
DMAIC3	割り込み制御レジスタ	INTC	609
DSA0H	DMAソース・アドレス・レジスタ0H	DMA	573
DSA0L	DMAソース・アドレス・レジスタ0L	DMA	573
DSA1H	DMAソース・アドレス・レジスタ1H	DMA	573
DSA1L	DMAソース・アドレス・レジスタ1L	DMA	573
DSA2H	DMAソース・アドレス・レジスタ2H	DMA	573
DSA2L	DMAソース・アドレス・レジスタ2L	DMA	573
DSA3H	DMAソース・アドレス・レジスタ3H	DMA	573
DSA3L	DMAソース・アドレス・レジスタ3L	DMA	573
DTFR0	DMAトリガ要因レジスタ0	DMA	578
DTFR1	DMAトリガ要因レジスタ1	DMA	578
DTFR2	DMAトリガ要因レジスタ2	DMA	578
DTFR3	DMAトリガ要因レジスタ3	DMA	578
IMR0	割り込みマスク・レジスタ0	INTC	612
IMR0H	割り込みマスク・レジスタ0H	INTC	612
IMR0L	割り込みマスク・レジスタ0L	INTC	612
IMR1	割り込みマスク・レジスタ1	INTC	612
IMR1H	割り込みマスク・レジスタ1H	INTC	612
IMR1L	割り込みマスク・レジスタ1L	INTC	612
IMR2	割り込みマスク・レジスタ2	INTC	612
IMR2H	割り込みマスク・レジスタ2H	INTC	612
IMR2L	割り込みマスク・レジスタ2L	INTC	612
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	102
INTF1	外部割り込み立ち下がりエッジ指定レジスタ1	INTC	107
INTF3	外部割り込み立ち下がりエッジ指定レジスタ3	INTC	113
INTF3H	外部割り込み立ち下がりエッジ指定レジスタ3H	INTC	113
INTF3L	外部割り込み立ち下がりエッジ指定レジスタ3L	INTC	113
INTF9H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTC	134
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	102
INTR1	外部割り込み立ち上がりエッジ指定レジスタ1	INTC	107
INTR3	外部割り込み立ち上がりエッジ指定レジスタ3	INTC	114
INTR3H	外部割り込み立ち上がりエッジ指定レジスタ3H	INTC	114
INTR3L	外部割り込み立ち上がりエッジ指定レジスタ3L	INTC	114
INTR9H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTC	135
ISPR	インサービス・プライオリティ・レジスタ	INTC	613
KRIC	割り込み制御レジスタ	INTC	609
KRM	キー・リターン・モード・レジスタ	KR	631
LOCKR	ロック・レジスタ	CG	158
LVIIC	割り込み制御レジスタ	INTC	609
LVIM	低電圧検出レジスタ	CG	672
LVIS	低電圧検出レベル選択レジスタ	CG	673

(6/11)

略　　号	名　　称	ユニット	ページ
NFC	ノイズ除去制御レジスタ	INTC	620
OCDM	オンチップ・ディバグ・モード・レジスタ	ディバグ	714
OSTS	発振安定時間選択レジスタ	WDT	290
P0	ポート0	ポート	99
P00NFC	TIP00ノイズ除去回路制御レジスタ	タイマ	175
P01NFC	TIP01ノイズ除去回路制御レジスタ	タイマ	175
P10NFC	TIP10ノイズ除去回路制御レジスタ	タイマ	175
P11NFC	TIP11ノイズ除去回路制御レジスタ	タイマ	175
P20NFC	TIP20ノイズ除去回路制御レジスタ	タイマ	175
P21NFC	TIP21ノイズ除去回路制御レジスタ	タイマ	175
P1	ポート1	ポート	105
P3	ポート3	ポート	109
P30NFC	TIP30ノイズ除去回路制御レジスタ	タイマ	175
P31NFC	TIP31ノイズ除去回路制御レジスタ	タイマ	175
P3H	ポート3H	ポート	109
P3L	ポート3L	ポート	109
P4	ポート4	ポート	116
P5	ポート5	ポート	120
P7H	ポート7H	ポート	126
P7L	ポート7L	ポート	126
P9	ポート9	ポート	128
P9H	ポート9H	ポート	128
P9L	ポート9L	ポート	128
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	152
PCLM	プログラマブル・クロック・モード・レジスタ	CG	159
PCM	ポートCM	ポート	136
PCS	ポートCS	ポート	138
PCT	ポートCT	ポート	139
PDL	ポートDL	ポート	141
PDLH	ポートDLH	ポート	141
PDLL	ポートDLL	ポート	141
PEMU1	周辺エミュレーション・レジスタ1	LVI	674
PFC0	ポート・ファンクション・コントロール・レジスタ0	ポート	101
PFC3L	ポート・ファンクション・コントロール・レジスタ3L	ポート	111
PFC5	ポート・ファンクション・コントロール・レジスタ5	ポート	122
PFC9	ポート・ファンクション・コントロール・レジスタ9	ポート	131
PFC9H	ポート・ファンクション・コントロール・レジスタ9H	ポート	131
PFC9L	ポート・ファンクション・コントロール・レジスタ9L	ポート	131
PFCE3L	ポート・ファンクション・コントロール拡張レジスタ3L	ポート	112
PFCE5	ポート・ファンクション・コントロール拡張レジスタ5	ポート	122
PFCE9	ポート・ファンクション・コントロール拡張レジスタ9	ポート	131
PFCE9H	ポート・ファンクション・コントロール拡張レジスタ9H	ポート	131

(7/11)

略　　号	名　　称	ユニット	ページ
PFCE9L	ポート・ファンクション・コントロール拡張レジスタ9L	ポート	131
PIC0	割り込み制御レジスタ	INTC	609
PIC1	割り込み制御レジスタ	INTC	609
PIC2	割り込み制御レジスタ	INTC	609
PIC3	割り込み制御レジスタ	INTC	609
PIC4	割り込み制御レジスタ	INTC	609
PIC5	割り込み制御レジスタ	INTC	609
PIC6	割り込み制御レジスタ	INTC	609
PIC7	割り込み制御レジスタ	INTC	609
PLLCTL	PLLコントロール・レジスタ	CG	157
PLLS	PLLロック・アップ時間指定レジスタ	CG	159
PM0	ポート・モード・レジスタ0	ポート	99
PM1	ポート・モード・レジスタ1	ポート	105
PM3	ポート・モード・レジスタ3	ポート	109
PM3H	ポート・モード・レジスタ3H	ポート	109
PM3L	ポート・モード・レジスタ3L	ポート	109
PM4	ポート・モード・レジスタ4	ポート	116
PM5	ポート・モード・レジスタ5	ポート	120
PM7H	ポート・モード・レジスタ7H	ポート	126
PM7L	ポート・モード・レジスタ7L	ポート	126
PM9	ポート・モード・レジスタ9	ポート	128
PM9H	ポート・モード・レジスタ9H	ポート	128
PM9L	ポート・モード・レジスタ9L	ポート	128
PMC0	ポート・モード・コントロール・レジスタ0	ポート	100
PMC1	ポート・モード・コントロール・レジスタ1	ポート	106
PMC3	ポート・モード・コントロール・レジスタ3	ポート	110
PMC3H	ポート・モード・コントロール・レジスタ3H	ポート	110
PMC3L	ポート・モード・コントロール・レジスタ3L	ポート	110
PMC4	ポート・モード・コントロール・レジスタ4	ポート	117
PMC5	ポート・モード・コントロール・レジスタ5	ポート	121
PMC9	ポート・モード・コントロール・レジスタ9	ポート	129
PMC9H	ポート・モード・コントロール・レジスタ9H	ポート	129
PMC9L	ポート・モード・コントロール・レジスタ9L	ポート	129
PMCCM	ポート・モード・コントロール・レジスタCM	ポート	137
PMCM	ポート・モード・レジスタCM	ポート	137
PMCS	ポート・モード・レジスタCS	ポート	138
PMCT	ポート・モード・レジスタCT	ポート	139
PMDL	ポート・モード・レジスタDL	ポート	141
PMDLH	ポート・モード・レジスタDLH	ポート	141
PMDLL	ポート・モード・レジスタDLL	ポート	141
PRCMD	コマンド・レジスタ	CPU	83
PRSCM0	プリスケーラ・コンペア・レジスタ0	WT	287

(8/11)

略　　号	名　　称	ユニット	ページ
PRSM0	プリスケーラ・モード・レジスタ0	WT	286
PSC	パワー・セーブ・コントロール・レジスタ	CG	653
PSMR	パワー・セーブ・モード・レジスタ	CG	654
PU0	プルアップ抵抗オプション・レジスタ0	ポート	101
PU1	プルアップ抵抗オプション・レジスタ1	ポート	106
PU3	プルアップ抵抗オプション・レジスタ3	ポート	113
PU3H	プルアップ抵抗オプション・レジスタ3H	ポート	113
PU3L	プルアップ抵抗オプション・レジスタ3L	ポート	113
PU4	プルアップ抵抗オプション・レジスタ4	ポート	117
PU5	プルアップ抵抗オプション・レジスタ5	ポート	124
PU9	プルアップ抵抗オプション・レジスタ9	ポート	134
PU9H	プルアップ抵抗オプション・レジスタ9H	ポート	134
PU9L	プルアップ抵抗オプション・レジスタ9L	ポート	134
Q00NFC	TIQ00ノイズ除去回路制御レジスタ	タイマ	231
Q01NFC	TIQ01ノイズ除去回路制御レジスタ	タイマ	231
Q02NFC	TIQ02ノイズ除去回路制御レジスタ	タイマ	231
Q03NFC	TIQ03ノイズ除去回路制御レジスタ	タイマ	231
Q10NFC	TIQ10ノイズ除去回路制御レジスタ	タイマ	231
Q11NFC	TIQ11ノイズ除去回路制御レジスタ	タイマ	231
Q12NFC	TIQ12ノイズ除去回路制御レジスタ	タイマ	231
Q13NFC	TIQ13ノイズ除去回路制御レジスタ	タイマ	231
RAMS	内蔵RAMデータ・ステータス・レジスタ	CG	673
RCM	内蔵発振器モード・レジスタ	CG	154
RESF	リセット要因フラグ・レジスタ	CG	656
SELCNT0	セレクタ動作制御レジスタ0	タイマ	212
SYS	システム・ステータス・レジスタ	CPU	84
TM0CMP0	TMM0コンペア・レジスタ0	タイマ	274
TM0CTL0	TMM0制御レジスタ0	タイマ	275
TM0EQIC0	割り込み制御レジスタ	INTC	609
TP0CCIC0	割り込み制御レジスタ	INTC	609
TP0CCIC1	割り込み制御レジスタ	INTC	609
TP0CCR0	TMP0キャプチャ／コンペア・レジスタ0	タイマ	164
TP0CCR1	TMP0キャプチャ／コンペア・レジスタ1	タイマ	165
TP0CNT	TMP0カウンタ・リード・バッファ・レジスタ	タイマ	166
TP0CTL0	TMP0制御レジスタ0	タイマ	167
TP0CTL1	TMP0制御レジスタ1	タイマ	169
TP0IOC0	TMP0 I/O制御レジスタ0	タイマ	171
TP0IOC1	TMP0 I/O制御レジスタ1	タイマ	172
TP0IOC2	TMP0 I/O制御レジスタ2	タイマ	173
TP0OPT0	TMP0オプション・レジスタ	タイマ	174
TP0OVIC	割り込み制御レジスタ	INTC	609
TP1CCIC0	割り込み制御レジスタ	INTC	609

(9/11)

略　　号	名　　称	ユニット	ページ
TP1CCIC1	割り込み制御レジスタ	INTC	609
TP1CCR0	TMP1キャプチャ／コンペア・レジスタ0	タイマ	164
TP1CCR1	TMP1キャプチャ／コンペア・レジスタ1	タイマ	165
TP1CNT	TMP1カウンタ・リード・バッファ・レジスタ	タイマ	166
TP1CTL0	TMP1制御レジスタ0	タイマ	167
TP1CTL1	TMP1制御レジスタ1	タイマ	169
TP1IOC0	TMP1 I/O制御レジスタ0	タイマ	171
TP1IOC1	TMP1 I/O制御レジスタ1	タイマ	172
TP1IOC2	TMP1 I/O制御レジスタ2	タイマ	173
TP1OPT0	TMP1オプション・レジスタ	タイマ	174
TP1OVIC	割り込み制御レジスタ	INTC	609
TP2CCIC0	割り込み制御レジスタ	INTC	609
TP2CCIC1	割り込み制御レジスタ	INTC	609
TP2CCR0	TMP2キャプチャ／コンペア・レジスタ0	タイマ	164
TP2CCR1	TMP2キャプチャ／コンペア・レジスタ1	タイマ	165
TP2CNT	TMP2カウンタ・リード・バッファ・レジスタ	タイマ	166
TP2CTL0	TMP2制御レジスタ0	タイマ	167
TP2CTL1	TMP2制御レジスタ1	タイマ	169
TP2IOC0	TMP2 I/O制御レジスタ0	タイマ	171
TP2IOC1	TMP2 I/O制御レジスタ1	タイマ	172
TP2IOC2	TMP2 I/O制御レジスタ2	タイマ	173
TP2OPT0	TMP2オプション・レジスタ	タイマ	174
TP2OVIC	割り込み制御レジスタ	INTC	609
TP3CCIC0	割り込み制御レジスタ	INTC	609
TP3CCIC1	割り込み制御レジスタ	INTC	609
TP3CCR0	TMP3キャプチャ／コンペア・レジスタ0	タイマ	164
TP3CCR1	TMP3キャプチャ／コンペア・レジスタ1	タイマ	165
TP3CNT	TMP3カウンタ・リード・バッファ・レジスタ	タイマ	166
TP3CTL0	TMP3制御レジスタ0	タイマ	167
TP3CTL1	TMP3制御レジスタ1	タイマ	169
TP3IOC0	TMP3 I/O制御レジスタ0	タイマ	171
TP3IOC1	TMP3 I/O制御レジスタ1	タイマ	172
TP3IOC2	TMP3 I/O制御レジスタ2	タイマ	173
TP3OPT0	TMP3オプション・レジスタ	タイマ	174
TP3OVIC	割り込み制御レジスタ	INTC	609
TQ0CCIC0	割り込み制御レジスタ	INTC	609
TQ0CCIC1	割り込み制御レジスタ	INTC	609
TQ0CCIC2	割り込み制御レジスタ	INTC	609
TQ0CCIC3	割り込み制御レジスタ	INTC	609
TQ0CCR0	TMQ0キャプチャ／コンペア・レジスタ0	タイマ	218
TQ0CCR1	TMQ0キャプチャ／コンペア・レジスタ1	タイマ	219
TQ0CCR2	TMQ0キャプチャ／コンペア・レジスタ2	タイマ	220
TQ0CCR3	TMQ0キャプチャ／コンペア・レジスタ3	タイマ	221

(10/11)

略　　号	名　　称	ユニット	ページ
TQ0CNT	TMQ0カウンタ・リード・バッファ・レジスタ	タイマ	222
TQ0CTL0	TMQ0制御レジスタ0	タイマ	223
TQ0CTL1	TMQ0制御レジスタ1	タイマ	225
TQ0IOC0	TMQ0 I/O制御レジスタ0	タイマ	227
TQ0IOC1	TMQ0 I/O制御レジスタ1	タイマ	228
TQ0IOC2	TMQ0 I/O制御レジスタ2	タイマ	229
TQ0OPT0	TMQ0オプション・レジスタ	タイマ	230
TQ1CCR0	TMQ1キャプチャ／コンペア・レジスタ0	タイマ	218
TQ1CCR1	TMQ1キャプチャ／コンペア・レジスタ1	タイマ	219
TQ1CCR2	TMQ1キャプチャ／コンペア・レジスタ2	タイマ	220
TQ1CCR3	TMQ1キャプチャ／コンペア・レジスタ3	タイマ	221
TQ1CNT	TMQ1カウンタ・リード・バッファ・レジスタ	タイマ	222
TQ1CTL0	TMQ1制御レジスタ0	タイマ	223
TQ1CTL1	TMQ1制御レジスタ1	タイマ	225
TQ1IOC0	TMQ1 I/O制御レジスタ0	タイマ	227
TQ1IOC1	TMQ1 I/O制御レジスタ1	タイマ	228
TQ1IOC2	TMQ1 I/O制御レジスタ2	タイマ	229
TQ1OPT0	TMQ1オプション・レジスタ0	タイマ	230
TQ0OVIC	割り込み制御レジスタ	INTC	609
UA0CTL0	UARTA0制御レジスタ0	UART	334
UA0CTL1	UARTA0制御レジスタ1	UART	336
UA0CTL2	UARTA0制御レジスタ2	UART	337
UA0OPT0	UARTA0オプション制御レジスタ0	UART	338
UA0RIC	割り込み制御レジスタ	INTC	609
UA0RX	UARTA0受信データ・レジスタ	UART	341
UA0STR	UARTA0状態レジスタ	UART	339
UA0TIC	割り込み制御レジスタ	INTC	609
UA0TX	UARTA0送信データ・レジスタ	UART	341
UA1CTL0	UARTA1制御レジスタ0	UART	334
UA1CTL1	UARTA1制御レジスタ1	UART	336
UA1CTL2	UARTA1制御レジスタ2	UART	337
UA1OPT0	UARTA1オプション制御レジスタ0	UART	338
UA1RIC	割り込み制御レジスタ	INTC	609
UA1RX	UARTA1受信データ・レジスタ	UART	341
UA1STR	UARTA1状態レジスタ	UART	339
UA1TIC	割り込み制御レジスタ	INTC	609
UA1TX	UARTA1送信データ・レジスタ	UART	341
UA2CTL0	UARTA2制御レジスタ0	UART	334
UA2CTL1	UARTA2制御レジスタ1	UART	336
UA2CTL2	UARTA2制御レジスタ2	UART	337
UA2OPT0	UARTA2オプション制御レジスタ0	UART	338
UA2RIC	割り込み制御レジスタ	INTC	609
UA2RX	UARTA2受信データ・レジスタ	UART	341

(11/11)

略　　号	名　　称	ユニット	ページ
UA2STR	UARTA2状態レジスタ	UART	339
UA2TIC	割り込み制御レジスタ	INTC	609
UA2TX	UARTA2送信データ・レジスタ	UART	341
VSWC	システム・ウエイト・コントロール・レジスタ	CPU	85
WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	293
WDTM2	ウォッチドッグ・タイマ・モード・レジスタ2	WDT	291
WTIC	割り込み制御レジスタ	INTC	609
WTIIC	割り込み制御レジスタ	INTC	609
WTM	時計タイマ動作モード・レジスタ	WT	282

★

付録C　命令セット一覧

C. 1　凡　　例

(1) オペランド記述に使われる略号

略　号	説　　明
reg1	汎用レジスタ（ソース・レジスタとして使用）
reg2	汎用レジスタ（おもにデスティネーション・レジスタとして使用。一部の命令で，ソース・レジスタとしても使用。）
reg3	汎用レジスタ（おもに除算結果の余り，乗算結果の上位32ビットを格納）
bit#3	ビット・ナンバ指定用3ビット・データ
imm×	×ビット・イミーディエト・データ
disp×	×ビット・ディスプレースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ（00H-1FH）を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ（r3）
ep	エレメント・ポインタ（r30）
list×	×個のレジスタ・リスト

(2) オペランドに使われる略号

略　号	説　　明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレースメントの1ビット分データ
I	イミーディエトの1ビット分データ（イミーディエトの上位ビットを示す）
i	イミーディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略　号	説　　明
←	代入
GR [　]	汎用レジスタ
SR [　]	システム・レジスタ
zero-extend（n）	nをワード長までゼロ拡張する。
sign-extend（n）	nをワード長まで符号拡張する。
load-memory（a, b）	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory（a, b, c）	アドレス「a」に，データ「b」をサイズ「c」で書き込む。
load-memory-bit（a, b）	アドレス「a」のビット「b」を読み出す。
store-memory-bit（a, b, c）	アドレス「a」のビット「b」に「c」を書き込む。
saturated（n）	nの飽和処理を行う（nは2の補数）。 nが計算の結果，n≧7FFFFFFFHとなった場合，n = 7FFFFFFFHとする。 nが計算の結果，n≦80000000Hとなった場合，n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト（8ビット）
Half-word	ハーフワード（16ビット）
Word	ワード（32ビット）
＋	加算
－	減算
‖	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略　号	説　　明
i	命令実行直後にほかの命令を実行する場合（issue）
r	命令実行直後に同一命令を繰り返す場合（repeat）
l	命令実行結果を命令実行直後の命令で利用する場合（latency）

(5) フラグの動作に使われる略号

略　号	説　明
（ブランク）	変化なし
0	0にクリア
×	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件名 (cond)	条件コード (cccc)	条件式	説　　明
V	0000	OV = 1	Overflow
NV	1000	OV = 0	No overflow
C/L	0001	CY = 1	Carry Lower（Less than）
NC/NL	1001	CY = 0	No carry No lower（Greater than or equal）
Z	0010	Z = 1	Zero
NZ	1010	Z = 0	Not zero
NH	0011	（CY or Z）= 1	Not higher（Less than or equal）
H	1011	（CY or Z）= 0	Higher（Greater than）
S/N	0100	S = 1	Negative
NS/P	1100	S = 0	Positive
T	0101	－	Always（無条件）
SA	1101	SAT = 1	Saturated
LT	0110	（S xor OV）= 1	Less than signed
GE	1110	（S xor OV）= 0	Greater than or equal signed
LE	0111	（（S xor OV）or Z）= 1	Less than or equal signed
GT	1111	（（S xor OV）or Z）= 0	Greater than signed

C. 2　インストラクション・セット（アルファベット順）

(1/5)

ニモニック	オペランド	オペコード	オペレーション		実行クロック			フラグ				
					i	r	l	CY	OV	S	Z	SAT
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2]←GR[reg2]＋GR[reg1]		1	1	1	×	×	×	×	
	imm5, reg2	rrrrr010010iiiii	GR[reg2]←GR[reg2]＋sign-extend (imm5)		1	1	1	×	×	×	×	
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋sign-extend (imm16)		1	1	1	×	×	×	×	
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2]←GR[reg2] AND GR[reg1]		1	1	1		0	×	×	
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] AND zero-extend (imm16)		1	1	1		0	×	×	
Bcond	disp9	ddddd1011dddcccc 注1	if conditions are satisfied then PC←PC＋sign-extend (disp9)	条件成立時	2 注2	2 注2	2 注2					
				条件不成立時	1	1	1					
BSH	reg2, reg3	rrrrr11111100000 WWWWW01101000010	GR[reg3]←GR[reg2] (23:16)‖GR[reg2] (31:24)‖GR [reg2] (7:0)‖GR[reg2] (15:8)		1	1	1	×	0	×	×	
BSW	reg2, reg3	rrrrr11111100000 WWWWW01101000000	GR[reg3]←GR[reg2] (7:0)‖GR[reg2] (15:8)‖GR[reg2] (23:16)‖GR[reg2] (31:24)		1	1	1	×	0	×	×	
CALLT	imm6	0000001000iiiiii	CTPC←PC＋2 (return PC) CTPSW←PSW adr←CTBP＋zero-extend (imm6 logically shift left by 1) PC←CTBP＋zero-extend(Load-memory (adr,Half-word))		4	4	4					
CLR1	bit#3,disp16[reg1]	10bbb111110RRRRR dddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)		3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100100	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)		3 注3	3 注3	3 注3				×	
CMOV	cccc, imm5, reg2, reg3	rrrrr111111iiiii WWWWW011000cccc0	if conditions are satisfied then GR[reg3]←sign-extend (imm5) else GR[reg3]←GR[reg2]		1	1	1					
	cccc, reg1, reg2, reg3	rrrrr111111RRRRR WWWWW011001cccc0	if conditions are satisfied then GR[reg3]←GR[reg1] else GR[reg3]←GR[reg2]		1	1	1					
CMP	reg1, reg2	rrrrr001111RRRRR	result←GR[reg2]－GR[reg1]		1	1	1	×	×	×	×	
	imm5, reg2	rrrrr010011iiiii	result←GR[reg2]－sign-extend (imm5)		1	1	1	×	×	×	×	
CTRET		0000011111100000 0000000101000100	PC←CTPC PSW←CTPSW		3	3	3	R	R	R	R	R
DBRET		0000011111100000 0000000101000110	PC←DBPC PSW←DBPSW		3	3	3	R	R	R	R	R
DBTRAP		1111100001000000	DBPC ← PC＋2 (復帰PC) DBPSW ← PSW PSW.NP← 1 PSW.EP← 1 PSW.ID ← 1 PC ← 00000060H		3	3	3					
DI		0000011111100000 0000000101100000	PSW.ID←1		1	1	1					

(2/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
DISPOSE	imm5, list12	0000011001iiiiiL LLLLLLLLLL00000	sp←sp＋zero-extend (imm5 logically shift left by 2) GR[reg in list12]←Load-memory (sp, Word) sp←sp＋4 repeat 2 steps above until all regs in list12 is loaded	n＋1 注4	n＋1 注4	n＋1 注4					
	imm5, list12 [reg1]	0000011001iiiiiL LLLLLLLLLLRRRRR 注5	sp←sp＋zero-extend (imm5 logically shift left by 2) GR[reg in list12]←Load-memory (sp, Word) sp←sp＋4 repeat 2 steps above until all regs in list12 is loaded PC←GR[reg1]	n＋3 注4	n＋3 注4	n＋3 注4					
DIV	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01011000000	GR[reg2]←GR[reg2]÷GR[reg1] GR[reg3]←GR[reg2]%GR[reg1]	35	35	35		×	×	×	
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2]←GR[reg2]÷GR[reg1]注6	35	35	35		×	×	×	
	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01010000000	GR[reg2]←GR[reg2]÷GR[reg1]注6 GR[reg3]←GR[reg2]%GR[reg1]	35	35	35		×	×	×	
DIVHU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01010000010	GR[reg2]←GR[reg2]÷GR[reg1]注6 GR[reg3]←GR[reg2]%GR[reg1]	34	34	34		×	×	×	
DIVU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01011000010	GR[reg2]←GR[reg2]÷GR[reg1] GR[reg3]←GR[reg2]%GR[reg1]	34	34	34		×	×	×	
EI		1000011111100000 0000000101100000	PSW.ID←0	1	1	1					
HALT		0000011111100000 0000000100100000	停止する	1	1	1					
HSW	reg2, reg3	rrrrr11111100000 WWWWW01101000100	GR[reg3]←GR[reg2] (15:0)‖GR[reg2] (31:16)	1	1	1	×	0	×	×	
JARL	disp22, reg2	rrrrr11110ddddd ddddddddddddddd0 注7	GR[reg2]←PC＋4 PC←PC＋sign-extend(disp22)	2	2	2					
JMP	[reg1]	00000000011RRRRR	PC←GR[reg1]	3	3	3					
JR	disp22	0000011110ddddd ddddddddddddddd0 注7	PC←PC＋sign-extend(disp22)	2	2	2					
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←sign-extend (Load-memory (adr, Byte))	1	1	注11					
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←zero-extend (Load-memory (adr, Byte))	1	1	注11					
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←sign-extend (Load-memory (adr, Halfword))	1	1	注11					
LDSR	reg2, regID	rrrrr111111RRRRR 0000000000100000 注12	SR[regID]←GR[reg2] regID = PSW以外	1	1	1					
			regID = PSW	1	1	1	×	×	×	×	×
LD.HU	disp16[reg1], reg2	rrrrr111111RRRRR ddddddddddddddd1 注8	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←zero-extend (Load-memory (adr, Halfword))	1	1	注11					

(3/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注8	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←Load-memory (adr, Word)	1	1	注11					
MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2]←GR[reg1]	1	1	1					
	imm5, reg2	rrrrr010000iiiii	GR[reg2]←sign-extend (imm5)	1	1	1					
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1]←imm32	2	2	2					
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋sign-extend (imm16)	1	1	1					
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋(imm16 ‖ 0^{16})	1	1	1					
MUL	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100000	GR[reg3] ‖ GR[reg2]←GR[reg2]×GR[reg1] 注14	1	4	5					
	imm9, reg2, reg3	rrrrr111111iiiii WWWWW01001IIII00 注13	GR[reg3] ‖ GR[reg2]←GR[reg2]×sign-extend (imm9)	1	4	5					
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2]←GR[reg2]注6×GR[reg1]注6	1	1	2					
	imm5, reg2	rrrrr010111iiiii	GR[reg2]←GR[reg2]注6×sign-extend (imm5)	1	1	2					
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]注6×imm16	1	1	2					
MULU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100010	GR[reg3] ‖ GR[reg2]←GR[reg2]×GR[reg1] 注14	1	4	5					
	imm9, reg2, reg3	rrrrr111111iiiii WWWWW01001IIII10 注13	GR[reg3] ‖ GR[reg2]←GR[reg2]×zero-extend (imm9)	1	4	5					
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1					
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2]←NOT (GR[reg1])	1	1	1		0	×	×	
NOT1	bit#3, disp16[reg1]	01bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100010	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3 注3	3 注3	3 注3				×	
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2]←GR[reg2] OR GR[reg1]	1	1	1		0	×	×	
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] OR zero-extend (imm16)	1	1	1		0	×	×	
PREPARE	list12, imm5	0000011110iiiiiL LLLLLLLLLL00001	Store-memory (sp－4, GR[reg in list12], Word) sp←sp－4 repeat 1 steps above until all regs in list12 is stored sp←sp-zero-extend (imm5)	n＋1 注4	n＋1 注4	n＋1 注4					
	list12, imm5, sp/imm注15	0000011110iiiiiL LLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp－4, GR[reg in list12], Word) sp←sp－4 repeat 1 steps above until all regs in list12 is stored sp←sp－zero-extend (imm5) ep←sp/imm	n＋2 注4 注17	n＋2 注4 注17	n＋2 注4 注17					

(4/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC ← EIPC PSW ← EIPSW else if PSW.NP = 1 then PC ← FEPC PSW ← FEPSW else PC ← EIPC PSW ← EIPSW	3	3	3	R	R	R	R	R
SAR	reg1, reg2	rrrrr111111RRRRR 0000000010100000	GR[reg2]←GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010101iiiii	GR[reg2]←GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	×	0	×	×	
SASF	cccc, reg2	rrrrr1111110cccc 0000001000000000	if conditions are satisfied then GR[reg2]←(GR[reg2] Logically shift left by 1) OR 00000001H else GR[reg2]←(GR[reg2] Logically shift left by 1) OR 00000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2]←saturated (GR[reg2]＋GR[reg1])	1	1	1	×	×	×	×	×
	imm5, reg2	rrrrr010001iiiii	GR[reg2]←saturated (GR[reg2]＋sign-extend (imm5))	1	1	1	×	×	×	×	×
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2]←saturated (GR[reg2]－GR[reg1])	1	1	1	×	×	×	×	×
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2]←saturated (GR[reg1]－sign-extend (imm16))	1	1	1	×	×	×	×	×
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2]←saturated (GR[reg1]－GR[reg2])	1	1	1	×	×	×	×	×
SETF	cccc, reg2	rrrrr1111110cccc 0000000000000000	if conditions are satisfied then GR[reg2]← 00000001H else GR[reg2]← 00000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100000	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3 注3	3 注3	3 注3				×	
SHL	reg1, reg2	rrrrr111111RRRRR 0000000011000000	GR[reg2]←GR[reg2] logically shift left by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010110iiiii	GR[reg2]←GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	×	0	×	×	
SHR	reg1, reg2	rrrrr111111RRRRR 0000000010000000	GR[reg2]←GR[reg2] logically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010100iiiii	GR[reg2]←GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	×	0	×	×	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr←ep＋zero-extend (disp7) GR[reg2]←sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110dddd 注18	adr←ep＋zero-extend (disp4) GR[reg2]←zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr←ep＋zero-extend (disp8) GR[reg2]←sign-extend (Load-memory (adr, Halfword))	1	1	注9					

(5/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111dddd 注18, 20	adr←ep＋zero-extend (disp5) GR[reg2]←zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr←ep＋zero-extend (disp8) GR[reg2]←Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr←ep＋zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr←ep＋zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010dddddd1 注21	adr←ep＋zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd0	adr←GR[reg1]＋sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注8	adr←GR[reg1]＋sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注8	adr←GR[reg1]＋sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr111111RRRRR 0000000001000000	GR[reg2]←SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2]←GR[reg2]－GR[reg1]	1	1	1	×	×	×	×	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2]←GR[reg1]－GR[reg2]	1	1	1	×	×	×	×	
SWITCH	reg1	00000000010RRRRR	adr←(PC＋2)＋(GR[reg1] logically shift left by 1) PC←(PC＋2)＋(sign-extend (Load-memory (adr, Halfward))) logically shift left by 1	5	5	5					
SXB	reg1	00000000101RRRRR	GR[reg1]←sign-extend (GR[reg1] (7：0))	1	1	1					
SXH	reg1	00000000111RRRRR	GR[reg1]←sign-extend (GR[reg1] (15：0))	1	1	1					
TRAP	vector	00000111111iiiii 0000000100000000	EIPC ← PC＋4 (復帰PC) EIPSW ← PSW ECR.EICC ← 割り込みコード PSW.EP ← 1 PSW.ID ← 1 PC ← 00000040H (vectorが00H-0FHのとき) 00000050H (vectorが10H-1FHのとき)	3	3	3					
TST	reg1, reg2	rrrrr001011RRRRR	result←GR[reg2] AND GR[reg1]	1	1	1		0	×	×	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3))	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100110	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2))	3 注3	3 注3	3 注3				×	
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2]←GR[reg2] XOR GR[reg1]	1	1	1		0	×	×	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] XOR zero-extend (imm16)	1	1	1		0	×	×	
ZXB	reg1	00000000100RRRRR	GR[reg1]←zero-extend (GR[reg1] (7：0))	1	1	1					
ZXH	reg1	00000000110RRRRR	GR[reg1]←zero-extend (GR[reg1] (15：0))	1	1	1					

注1. dddddddd**は**disp9**の上位**8**ビットです。

2. **直前に**PSW**の内容を書き換える命令がある場合は**3**。**

3. **ウエイト・ステートがない場合（**3**＋リード・アクセス・ウエイト・ステート数）**

4. n**は**list12**のロード・レジスタの合計数（ウエイト・ステート数による。ウエイト・ステートがない場合，**n**は**list12**のレジスタ数。**n = 0**の場合，**n = 1**と同じ動作）**

5. RRRRR**：**00000**以外**

6. **下位ハーフワード・データだけ有効**

7. dddddddddddddddddddddd**は**disp22**の上位**21**ビットです。**

8. ddddddddddddddd**は**disp16**の上位**15**ビットです。**

9. **ウエイト・ステート数による（ウエイト・ステートがない場合は**1**）**

10. b**：**disp16**のビット**0

11. **ウエイト・ステート数による（ウエイト・ステートがない場合は**2**）**

12. **この命令ではニモニックの記述の都合上，ソース・レジスタを**reg2**としていますが，オペコード上は**reg1**のフィールドを使用しています。したがって，ニモニック記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。**

    rrrrr = regID**指定**

    RRRRR = reg2**指定**

13. iiiii**：**imm9**の下位**5**ビット**

    IIII**：**imm9**の上位**4**ビット**

14. **汎用レジスタ**reg1**と汎用レジスタ**reg3**に，同じレジスタを指定しないでください。**

15. sp/imm**：サブオペコードのビット**19, 20**で指定**

16. ff = 00**：**sp**を**ep**にロード**

    01**：符号拡張した**16**ビット・イミーディエト・データ（ビット**47-32**）を**ep**にロード**

    10**：**16**ビット論理左シフトした**16**ビット・イミーディエト・データ（ビット**47-32**）を**ep**にロード**

    11**：**32**ビット・イミーディエト・データ（ビット**63-32**）を**ep**にロード**

17. imm = imm32**の場合は**n**＋**3**クロック**

18. rrrrr**：**00000**以外**

19. ddddddd**は**disp8**の上位**7**ビットです。**

20. dddd**は**disp5**の上位**4**ビットです。**

21. dddddd**は**disp8**の上位**6**ビットです。**

C. 3　使用上の注意

sld命令と割り込み競合に関する制限事項

【内　容】

以下の特定命令（下記例①に対応）の実行が完了する以前に，後続のsld命令（下記例③に対応）の直前の命令（下記例②に対応）のデコード動作と割り込み要求が競合した場合，先の特定命令の実行結果がレジスタに格納されないことがあります。

なお，本現象は，特定命令のデスティネーション・レジスタとsld命令のデスティネーション・レジスタが同じ，かつsld命令の直前に実行される命令でそのレジスタ値を参照した場合にのみ発生することがあります。

特定命令

- ld 命令　：ld.b，ld.h，ld.w，ld.bu，ld.hu
- sld 命令　：sld.b，sld.h，sld.w，sld.bu，sld.hu
- 乗算命令　：mul，mulh，mulhi，mulu

問題となる命令シーケンス例

例１
```
①ld.w  [r11],r10
  :
②mov   r10  ,r28
③sld.w 0x28 ,r10
```
①のld命令の実行が完了する前に，③のsld命令の直前のmov命令（②）のデコード動作と割り込み要求が競合した場合に問題が発生。

例２
```
①ld.w  [r11],r10
  :
②cmp   imm5, r10
③sld.w 0x28, r10
④bz    label
```
①のld命令の実行が完了する前に，③のsld命令の直前のcmp命令（②）のデコード動作と割り込み要求が競合した場合に問題が発生。この結果，cmp命令の比較結果が不正になり，④の分岐命令が不正動作することがある。

例３
```
①ld.w  [r11],r10
  :
②add   imm5, r10
③sld.w 0x28 ,r10
④setf  r16
```
①のld命令の実行が完了する前に，③のsld命令の直前のadd命令（②）のデコード動作と割り込み要求が競合した場合に問題が発生。この結果，add命令の演算結果，およびフラグが不正になり，④のsetf命令の実行結果が不正になることがある。

【発生条件の詳細】

以下の（１）～（３）の条件をすべて満たした場合に問題が発生することがあります。

（１）以下の条件ＩまたはIIの条件に該当。

（条件Ｉ）

特定命令（下記参照）のデスティネーション・レジスタ，ならびに，後続して実行されるsld命令のデスティネーション・レジスタ，および，その直前に実行される以下の命令のソース・レジスタ（reg1）が同じである（本文例１参照）。

```
mov  reg1,reg2,     not  reg1,reg2,  satsubr reg1,reg2,  satsub  reg1,reg2
satadd  reg1,reg2,  or  reg1,reg2,   xor  reg1,reg2,     and  reg1,reg2
tst  reg1,reg2,     subr  reg1,reg2, sub  reg1,reg2,     add  reg1,reg2
cmp  reg1,reg2,     mulh  reg1,reg2
```

（条件Ⅱ）

特定命令（下記参照）のデスティネーション・レジスタ，ならびに，後続して実行されるsld命令のデスティネーション・レジスタ，および，その直前に実行される以下の命令のデスティネーション・レジスタ（reg2）が同じである（本文例２，３参照）。

```
not  reg1,reg2,     satsubr reg1,reg2,  satsub  reg1,reg2,  satadd  reg1,reg2
satadd  imm5,reg2,  or  reg1,reg2,      xor  reg1,reg2,     and  reg1,reg2
tst  reg1,reg2,     subr  reg1,reg2,    sub  reg1,reg2,     add  reg1,reg2
add imm5,reg2,      cmp  reg1,reg2,     cmp imm5,reg2,      shr  imm5,reg2
sar imm5,reg2,      shl imm5, reg2
```

特定命令

- ld 命令　：ld.b，ld.h，ld.w，ld.bu，ld.hu
- sld 命令　：sld.b，sld.h，sld.w，sld.bu，sld.hu
- 乗算命令　：mul，mulh，mulhi，mulu

（２）CPUパイプライン中で，sld命令の直前の命令（上記条件ⅠまたはⅡの命令）のデコードが開始されるまでに，先に実行された特定命令の実行結果がデスティネーション・レジスタに格納されていない。

（３）sld命令の直前の命令（上記条件ⅠまたはⅡの命令）のデコード動作と割り込み要求が競合。

【対応策】

CPU機能に関する使用制限事項として，コンパイラにより該当命令シーケンスの生成を自動的に抑止するようにします。具体的な提供方法はご使用のコンパイラごとに次のとおりとなります。その他のコンパイラをご使用の場合は弊社販売員または特約店を通じてご相談ください。

・弊社製コンパイラ：CA850の場合

V2.61以降にて，不具合を回避するコードを自動的に生成します。

・GHS製コンパイラ：CC850の場合

不具合を回避するコードを自動的に生成するバージョンが準備されております。詳細につきましては，個別にお問い合わせをお願い致します。

お問い合わせ先（2004年8月1日現在）

（株）アドバンスド・データ・コントロールズ

TEL：03-3576-6805

E-mail：upgv850e@adac.co.jp

付録D　改版履歴

D. 1　本版で改訂された主な箇所

（1/6）

箇　所	内　容
全般	Ring-OSCを内蔵発振器に修正。
p. 8	**はじめに　開発ツールに関する資料（ユーザーズ・マニュアル）** 各ツールのバージョン，資料番号を修正。
p. 20	1. 2　V850ES/FE2, V850ES/FF2, V850ES/FG2, V850ES/FJ2**の製品展開** V850ES/FF2：μPD70F3232　を追加。 V850ES/FG2：μPD70F3234　を追加。 V850ES/FJ2：μPD70F3238　を追加。
p. 22, 23	**表**1－1　V850ES/FE2, V850ES/FF2, V850ES/FG2, V850ES/FJ2 **の機能概要** μPD70F3232, μPD70F3234, μPD70F3238 を追加。
p. 24	1. 4　**オーダ情報**　鉛フリー品（xxx-A）を追加。各品質水準の動作周囲温度を追加。
p. 26	1. 6　**端子接続図**　注 1, 2 を追加。
p. 28	1. 7. 1　**内部ブロック図**　注 4 を追加。
p. 33	2. 1（2）**ポート以外の端子**　注を追加。
p. 40	2. 2（8）（a）**ポート・モード**　ポート・モード・レジスタ 7（PM7）→7L, 7H（PM7L, PM7H）
p. 47	2. 5　**注意事項**　項目を追加。
p. 57	3. 3. 1　**動作モード指定**　タイトルを追加。記述を追加。注意を追加。（3）**オンチップ・ディバグ・モード**を追加。
p. 59	**図**3－2　**アドレス空間上のイメージ**　図を修正。
p. 67	3. 4. 5（4）**プログラマブル周辺**I/O**領域**　項目を追加。
p. 68	3. 4. 6（1）**プログラム空間**　注意を追加。
p. 70	**図**3－11　**推奨メモリ・マップ**　内部ROM**のアドレス表記を修正。**
p. 71-79	3. 4. 7　**周辺**I/O**レジスタ**　P7, PM7を削除。WDTM2**の操作可能ビットを修正。**
p. 85	3. 4. 10（1）**最初に設定するレジスタ**　項目を追加。
p. 86	3. 4. 10（1）（b）**オンチップ・ディバグ・モード・レジスタ**（OCDM）　注意を追加。
p. 87	3. 4. 10（1）（c）**ウォッチドッグ・タイマ・モード・レジスタ**2（WDTM2）　項目をを追加。
p. 88	3. 4. 10（2）**特定の内蔵周辺**I/O**レジスタへのアクセスについて**　項目を追加。
p. 91-94	4. 3　**ポートの構成**　（1）**ポート**n**レジスタ**（Pn）～（6）**プルアップ抵抗オプション・レジスタ**（PUn）を追加。
p. 95	4. 4. 1　**ポート機能の動作**　項目を追加。
p. 98	**表**4－4　**ポート**0**の兼用端子**　注1を追加。注意を追加。
p. 104	**表**4－6　**ポート**1**の兼用端子**　注意を追加。
p. 108	**表**4－8　**ポート**3**の兼用端子**　注意を追加。
p. 115	**表**4－10　**ポート**4**の兼用端子**　注意を追加。
p. 119	**表**4－11　**ポート**5**の兼用端子**　注意を追加。
p. 125	4. 4. 8（1）**ポート**7**の機能**　記述を変更。
p. 127	**表**4－13　**ポート**9**の兼用端子**　注意を追加。
p. 133	4. 4. 9（2）（f）P9**端子のコントロール・モードの設定**　注を追加。
p. 147	**表**4－18　**ポート端子を兼用端子として使用する場合のレジスタ設定**（5/5）　注1を追加。
p. 148	4. 5　**注意事項**　項目を追加。
p. 149	5. 1　**概要**　記述を変更。備考を追加。
p. 150	**図**5－1　**クロック発生回路**　図を修正。
p. 152, 153	5. 3（1）**プロセッサ・クロック・コントロール・レジスタ**（PCC）　記述を修正。注意1, 2を追加。
p. 154	5. 3（3）**内蔵発振モード・レジスタ**（RCM）　注意2を追加。
p. 155	**表**5－1　**各クロックの動作状態**　記述を追加。
p. 160	5. 5. 3（1）PLL**を使用する場合**　記述を修正。
p. 164	6. 3（1）TMPn**キャプチャ／コンペア・レジスタ**0（TPnCCR0）　記述を修正。注意を追加。

（2/6）

箇　所	内　　容
p. 165	6. 3（2）TMPnキャプチャ／コンペア・レジスタ1（TPnCCR1）　記述を修正。注意を追加。
p. 166	6. 3（3）TMPnカウンタ・リード・バッファ・レジスタ（TPnCNT）　記述を修正。注意を追加。
	6. 3（4）CCR0バッファ・レジスタ，（5）CCR1バッファ・レジスタ　項目を追加。
p. 167	6. 4（1）TMPn制御レジスタ0（TPnCTL0）　記述を修正。
p. 170	6. 4（2）TPnM制御レジスタ1（TPnCTL1）　注意2, 3を追加。
p. 171	6. 4（3）TMPnタイマ専用I/O制御レジスタ0（TPnIOC0）　注意3を追加。
p. 172	6. 4（4）TMPnタイマ専用I/O制御レジスタ1（TPnIOC1）　注意4を追加。
p. 173	6. 4（5）TMPnタイマ専用I/O制御レジスタ2（TPnIOC2）　注意3を追加。
p. 179	6. 5. 1（2）リロード　記述を修正。
p. 181	6. 5. 2　インターバル・タイマ・モード（TPnMD2-TPnMD0 = 000）　記述を修正。備考 1, 2 を追加。
p. 184	6. 5. 3　外部イベント・カウント・モード（TPnMD2-TPnMD0 = 001）　記述を修正。注意を追加。備考 1, 2 を追加。
p. 188	6. 5. 4　外部トリガ・パルス出力モード（TPnMD2-TPnMD0 = 010）　記述を修正。注意 2 を追加。
p. 189	図6－10　外部トリガ・パルス出力モード時の基本動作フロー・チャート　図を変更。注 1 を追加。
p. 191	6. 5. 5　ワンショット・パルス・モード（TPnMD2-TPnMD0 = 011）　記述を修正。注意 2, 3，備考 1 を追加。
p. 192	図6－12　ワンショット・パルス・モード時の基本動作フロー・チャート　注 1 を追加。
p. 194	6. 5. 6　PWM モード（TPnMD2-TPnMD0 = 100）　記述を修正。注意を追加。
p. 197	6. 5. 6（2）（a）動作中のパルス幅の変更　項目を追加。
p. 199	6. 5. 6（2）（b）PWM 波形の 0 %／100 %出力　項目を追加。
p. 200	6. 5. 7　フリー・ランニング・モード（TPnMD2-TPnMD0 = 101）　記述を修正。注意を追加。備考を追加。
p. 205	6. 5. 8　パルス幅測定モード（TPnMD2-TPnMD0 = 110）　記述を修正。
p. 206	図6－23　パルス幅測定モードの基本動作タイミング　備考 3 を追加。
p. 211	6. 7　セレクタ機能　項目を追加。
p. 214	6. 8（2）インターバル・タイマ・モード時のコンペア・レジスタの書き換え　項目を追加。
p. 218	7. 3（1）TMQn キャプチャ／コンペア・レジスタ 0（TQnCCR0）　記述を修正。注意を追加。
p. 219	7. 3（2）TMQn キャプチャ／コンペア・レジスタ 1（TQnCCR1）　記述を修正。注意を追加。
p. 220	7. 3（3）TMQn キャプチャ／コンペア・レジスタ 2（TQnCCR2）　記述を修正。注意を追加。
p. 221	7. 3（4）TMQn キャプチャ／コンペア・レジスタ 3（TQnCCR3）　記述を修正。注意を追加。
p. 222	7. 3（5）TMQn カウンタ・リード・バッファ・レジスタ（TQnCNT）　記述を修正。注意を追加。
p. 223	7. 4（1）TMQn タイマ制御レジスタ 0（TQnCTL0）（1/2）　記述を修正。注意 2 を追加。
p. 226	7. 4（2）TMQn タイマ制御レジスタ 1（TQnCTL1）　注意 1 を修正。注意 2, 3 を追加。
p. 227	7. 4（3）TMQn I/O 制御レジスタ 0（TQnIOC0）　注意 3 を追加。
p. 228	7. 4（4）TMQn I/O 制御レジスタ 1（TQnIOC1）　注意 3, 4 を追加。
p. 235	7. 5. 1（2）リロード　記述を修正。注意を変更。
p. 237	7. 5. 2　インターバル・タイマ・モード（TQnMD2-TQnMD0 = 000）　記述を修正。備考 1 を追加。
p. 240	7. 5. 3　外部イベント・カウント・モード（TQnMD2-TQnMD0 = 001）　記述を修正。備考1を追加。注意を追加。
p. 244	7. 5. 4　外部トリガ・パルス出力モード（TQnMD2-TQnMD0 = 010）　記述を修正。備考 1 を追加。
p. 245	図7－10　外部トリガ・パルス出力モード時の基本動作フロー・チャート　図を修正。注 1 を追加。
p. 247	7. 5. 5　ワンショット・パルス・モード（TQnMD2-TQnMD0 = 011）　記述を修正。注意2, 3を追加。備考1を追加。
p. 248	図7－12　ワンショット・パルス・モード時の基本動作フロー・チャート　図を修正。注 1 を追加。
p. 250	7. 5. 6　PWM モード（TQnMD2-TQnMD0 = 100）　記述を修正。注意を追加。備考 1 を追加。
p. 251, 252	図7－14　PWM モード時の基本動作フロー・チャート　図を修正。
p. 253	7. 5. 6（2）（a）動作中のパルス幅の変更　項目を追加。
p. 255	7. 5. 6（2）（b）PWM 波形の 0 %／100 %出力　項目を追加。
p. 256	7. 5. 7　フリー・ランニング・モード（TQnMD2-TQnMD0 = 101）　記述を修正。注意を追加。備考 1 を追加。
p. 263	7. 5. 8　パルス幅測定モード（TQnMD2-TQnMD0 = 110）　記述を修正。
p. 265	7. 5. 9　三角波 PWM モード（TQnMD2-TQnMD0 = 111）　記述を修正。注意を追加。備考 1 を追加。
p. 267	7. 6　タイマ同期動作機能　注意 1 を修正。
p. 271, 272	7. 7　使用上の注意　記述を修正。（2）インターバル・タイマ・モード時のTQnCCR0レジスタの書き換えに関する注意事項を追加。
p. 274	8. 2（1）TMM0 コンペア・レジスタ 0（TM0CMP0）　注意を追加。

（3/6）

箇　所	内　　容
p. 275	8. 3（1）TMM0 制御レジスタ 0（TM0CTL0）　記述を修正。注意 1 を修正。注意 2 を追加。
p. 278	8. 4. 2（2）TMM0 動作中のレジスタ書き換え　項目を追加。
p. 284	表 9－3　インターバル・タイマのインターバル時間　表を修正。
p. 288	10. 1　機能　注意を追加。
p. 291	10. 3（2）ウォッチドッグ・タイマ・モード・レジスタ 2（WDTM2）　記述を修正。
p. 292	表 10－2　ウォッチドッグ・タイマ 2 のクロック選択　表を修正。
p. 296	図 11－1　A/D コンバータのブロック図　図を修正。
p. 297	11. 2（1）逐次変換レジスタ（SAR）　記述を修正。
p. 300	11. 3（1）A/D コンバータ・モード・レジスタ 0（ADA0M0）　注意 4 を修正。注意 5 を追加。
p. 304	11. 3（5）A/D 変換結果レジスタ n, nH（ADA0CRn, ADA0CRnH）　記述を修正。注意 1, 2 を追加。
p. 306	11. 3（7）パワー・フェイル比較しきい値レジスタ（ADA0PFT）　記述を修正。
p. 321	11. 5（4）兼用入出力について　記述を修正。
p. 322	11. 5（6）内部等価回路　項目を追加。
p. 324	11. 5（10）スタンバイ・モードについて，（11）A/D 変換のヒステリシス特性について　項目を追加。
p. 334, 335	12. 3（1）UARTAn 制御レジスタ 0（UAnCTL0）　記述を修正。
p. 338	12. 3（4）UARTAn オプション制御レジスタ 0（UAnOPT0）　記述を修正。
p. 342	12. 4（1）受信完了割り込み要求信号（INTUAnR）　記述を修正。
p. 345	12. 5. 2　SBF 送信／受信フォーマット　備考を追加。
p. 348	12. 5. 4　SBF 受信　注意 1, 2 を追加。
p. 350	12. 5. 5　UART 送信　記述を修正。
p. 351	12. 5. 6　連続送信の手順説明　注意を修正。
p. 353	12. 5. 7　UART 受信　記述を修正。注意 3, 4 を追加。
p. 354	表 12－5　受信エラーの要因　注意を追加。図 12－11　受信データの読み出しフロー　図を追加。
p. 360	表 12－6　ボー・レート・ジェネレータ設定データ　表を修正。
p. 361	12. 6（7）受信時の許容ボー・レート範囲　記述を修正。
p. 363	12. 7　使用上の注意　項目を追加。
p. 364	13. 1　特徴　記述を追加。
p. 366	13. 2（1）CSIBn 受信データ・レジスタ（CBnRX），（2）CSIBn 送信データ・レジスタ（CBnTX）　項目を追加。
p. 368, 369	13. 3（1）CSIBn 制御レジスタ 0（CBnCTL0）　注を修正。注意を追加。記述を修正。
p. 374	13. 5（1）受信完了割り込み要求信号（INTCBnR），（2）送信許可割り込み要求信号（INTCBnT）　記述を修正。
p. 375	図 13－3　シングル転送タイミング（マスタ・モード，送受信モード）　図を修正。説明文を修正。注を追加。
p. 376	13. 6. 2　シングル転送モード（マスタ・モード，送信モード）　項目を追加。
p. 377	図 13－5　シングル転送タイミング（マスタ・モード，受信モード）　図を修正。説明文を修正。
p. 378	13. 6. 4　シングル転送モード（スレーブ・モード，送受信モード）　項目を追加。
p. 379	13. 6. 5　シングル転送モード（スレーブ・モード，送信モード）　項目を追加。
p. 380	13. 6. 6　シングル転送モード（スレーブ・モード，受信モード）　項目を追加。
p. 381	図 13－9　連続転送タイミング（マスタ・モード，送受信モード）　図を修正。説明文を修正。
p. 382	13. 6. 8　連続モード（マスタ・モード，送信モード）　項目を追加。
p. 383	図 13－11　連続転送タイミング（マスタ・モード，受信モード）　図を修正。説明文を修正。
p. 384	図 13－12　連続転送タイミング（エラー時）　図を修正。説明文を修正。
p. 385	13. 6. 11　連続モード（スレーブ・モード，送受信モード）　記述を修正。 図 13－13　連続転送タイミング（スレーブ・モード，送受信モード）　図を修正。説明文を修正。
p. 386	13. 6. 12　連続モード（スレーブ・モード，送信モード）　項目を追加。
p. 387	13. 6. 13　連続モード（スレーブ・モード，受信モード）　記述を修正。 図 13－15　連続転送タイミング（スレーブ・モード，受信モード）　図を修正。説明文を修正。
p. 388, 389	図 13－16　クロック・タイミング　注 1, 2 を追加。注意を追加。
p. 390	13. 6. 15（1）$\overline{\text{SCKBn}}$ 端子　表を修正。
p. 391	図 13－17　シングル送信フロー　図を修正。注意を追加。
p. 392	図 13－18　シングル受信フロー　図を修正。注意を追加。
p. 393	13. 7（3）シングル送受信　項目を追加。
p. 394	図 13－20　連続送信フロー　図を変更。
p. 395	図 13－21　連続受信フロー　図を変更。
p. 396	13. 7（6）連続送受信　項目を追加。

（4/6）

箇　所	内　　容
p. 399	13. 9　**注意事項**　項目を追加。
p. 401	**表** 14－1　**機能概要**　表を修正。
p. 407	14. 2. 3（3）**各フィールドの説明**　記述を修正。
p. 415	14. 2. 5　**オーバロード・フレーム**　備考を追加。
	表 14－8　**オーバロード・フレームの各フィールドの定義**　表を修正。
p. 416	14. 3. 3　**マルチマスタ**　記述を修正。
p. 417	**表** 14－11　**エラーの種類のビット・エラー検出方法**　表を修正。
p. 419	**表** 14－13　**エラー状態の種類**　表を修正。
p. 420	14. 3. 6（4）（b）**エラー・カウンタ**　記述を追加。
p. 421	14. 3. 6（5）（a）**通常リカバリ・シーケンスによるバスオフからの復帰動作**　記述を追加。注意 1 を追加。注意 2 を修正。
p. 424	**図** 14－18　**セグメントの設定**　図を修正。
p. 425	**図** 14－19　CAN **スペック上でのデータ・ビット・タイムの構成 のプロップ・セグメント**　図を修正。
p. 429	**表** 14－15　CAN **コントローラのレジスター覧**　備考 2 を追加。
p. 470, 471	14. 7（1）CAN **グローバル制御レジスタ**（CnGMCTRL）　備考を追加。注意を修正。注意を追加。
p. 473	14. 7（3）CAN **グローバル自動ブロック送信制御レジスタ**（CnGMABT）　注意を修正。
p. 476	14. 7（5）CAN **モジュール・マスク制御レジスタ**（CnMASLaL, CnMASKaH）（a = 1, 2, 3, 4）　記述を修正。
p. 479, 480	14. 7（6）CAN **モジュール制御レジスタ**（CnCTRL）　備考を修正，追加。注意を追加。
p. 487	14. 7（11）CAN **モジュール割り込みステータス・レジスタ**（CnINTS）　注意を追加。
p. 492	14. 7（15）CAN **モジュール受信ヒストリ・リスト・レジスタ**（CnRGPT）　記述を修正。注 2 を追加。
p. 494	14. 7（17）CAN **モジュール送信ヒストリ・リスト・レジスタ**（CnTGPT）　記述を修正。注 2 を修正。
p. 495, 496	14. 7（18）CAN **モジュール・タイム・スタンプ・レジスタ**（CnTS）　備考を追加，記述を修正。
p. 499	14. 7（20）CAN **メッセージ・データ長レジスタ** m（CnMDLCm）　注意 2 を修正。
p. 501	14. 7（22）CAN **メッセージ** ID **レジスタ** m（CnMIDLm, CnMIDHm）　注意 2 を追加。
p. 503, 504	14. 7（23）CAN **メッセージ制御レジスタ** m（CnMCTRLm）　注意を追加。
p. 505	14. 8. 1　CAN **モジュールの初期化**　記述を修正。
p. 510	14. 9. 1　**メッセージ受信**　記述を修正。
p. 511	14. 9. 2　**受信データの読み出し**　項目を追加。
p. 512, 513	14. 9. 3　**受信ヒストリ・リスト機能**　記述を修正。注意を追加。
p. 513	**図** 14－30　**受信ヒストリ・リスト**　図を修正。
p. 514	14. 9. 4　**マスク機能**　記述を修正。
p. 516	14. 9. 5　**マルチ・バッファ受信ブロック機能**　注意 2 を修正。注意 5 を追加。
p. 518, 519	14. 10. 1　**メッセージ受信**　記述を修正。備考 1 を修正。備考 2 を追加。
p. 520	14. 10. 2　**送信ヒストリ・リスト機能**　記述を修正。注意を追加。
p. 521	**図** 14－32　**送信ヒストリ・リスト**　図を修正。
p. 522, 523	14. 10. 3　**自動ブロック送信機能**（ABT: Automatic Block Transmission）　記述，注意を修正。
p. 523	14. 10. 4（2）**自動ブロック送信機能**（ABT）**付き通常動作モードでの** ABT **送信以外の送信中断処理**　項目を追加。
p. 525, 526	14. 11. 1（1）CAN **スリープ・モードへの移行**　注を修正。備考を追加。記述を修正。
p. 526	14. 11. 1（2）CAN **スリープ・モードの状態**　記述を追加。
p. 527	14. 11. 1（3）CAN **スリープ・モードの解除**　注意を修正，追加。記述を修正。
	14. 11. 2　CAN **ストップ・モード**　記述を修正。
p. 528	14. 11. 2（2）CAN **ストップ・モードの状態**　記述を追加。
	14. 11. 2（3）CAN **ストップ・モードの解除**　記述を修正。
p. 529	14. 11. 3　**パワー・セーブ・モード使用例**　記述を追加。
p. 530	**表** 14－20　CAN **モジュール割り込み要因一覧**　表を修正。
p. 532	14. 13. 2　**シングル・ショット・モード**　記述を修正。注意を追加。
p. 534	14. 13. 4　**各動作モードにおける送受信動作**　項目を追加。
p. 535	14. 14. 1　**タイム・スタンプ機能**　記述を修正。
p. 548	**図** 14－39　**メッセージ・バッファの再定義**　注 1, 2 を追加。
p. 552	**図** 14－43　**割り込みによる送信処理**（CnLOPT **レジスタを使用する場合）**　備考を追加。
p. 553	**図** 14－44　**割り込みによる送信処理**（CnTGPT **レジスタを使用する場合）**　備考を追加。
p. 554	**図** 14－45　**ソフトウエア・ポーリングによる送信処理**　備考を追加。
p. 555	**図** 14－46　**送信中断処理**（ABT **付き通常動作モード以外）**　注を追加。
p. 556	**図** 14－47　ABT **送信以外の送信中断処理**（ABT **付き通常動作モード）**　注を追加。

（5/6）

箇　所	内　容
p. 557	図 14－48　ABT 送信中断処理（ABT 付き通常動作モード）　図を修正。
p. 559	図 14－50　割り込みによる受信処理（CnLIPT レジスタを使用する場合）　図を修正。備考を追加。
p. 560	図 14－51　割り込みによる受信処理（CnRGPT レジスタを使用する場合）　図を修正。備考を追加。
p. 561	図 14－52　ソフトウエア・ポーリングによる受信処理　図を修正。備考を追加。
p. 562	図 14－53　CAN スリープ・モード／CAN ストップ・モードの設定　図を修正。
p. 564	図 14－55　バスオフからのリカバリ処理（ABT 付き通常動作モード以外の場合）　図を修正。注，注意を追加。
p. 565	図 14－56　バスオフからのリカバリ処理（ABT 付き通常動作モードの場合）　項目を追加。
p. 569	図 14－60　CPU スタンバイ処理（CAN スリープ・モードからの移行）　図を修正。注意を追加。
p. 570	図 14－61　CPU スタンバイ処理（CAN ストップ・モードからの移行）　図を修正。注を追加。注意を追加。
p. 573	15. 3. 1　DMA ソース・アドレス・レジスタ 0-3（DSA0-DSA3）　注意 1-3 を追加。
p. 574	15. 3. 2　DMA デスティネーション・アドレス・レジスタ 0-3（DDA0-DDA3）　注意 1-3 を追加。
p. 575	15. 3. 3　DMA 転送カウント・レジスタ 0-3（DBC0-DBC3）　注意 2 を追加。
p. 576	15. 3. 4　DMA アドレシング・コントロール・レジスタ 0-3（DADC0-DADC3）　注意 1-5 を追加。
p. 577	15. 3. 5　DMA チャネル・コントロール・レジスタ 0-3（DCHC0-DCHC3）　記述を修正。注意 1, 4 を追加。
p. 578	15. 3. 6　DMA トリガ要因レジスタ 0-3（DTFR0-DTFR3）　注意 1, 2, 4 を追加。
p. 583	15. 5. 1　シングル転送モード　記述を修正。 15. 6　転送タイプ　記述を追加。
p. 584	15. 7. 1　転送対象　備考を修正。
p. 585	15. 9　DMA 転送起動要因　注意 1-3 を追加。
p. 586-589	15. 11　注意事項 （2）ミス・アライン・データの転送　記述を修正。 （3）DMA 転送に関する各種時間　注 4 を追加。 （5）DMA チャネル・コントロール・レジスタ 0-3（DCHC0-DCHC3）　記述を修正。注意 1 を変更。 （6）内蔵 RAM でのプログラム実行と DMA 転送　記述を修正。 （8）VSWC レジスタに関する注意，（9）DMA 転送の一時中断手順について（Enn ビットのクリア）　項目を追加。
p. 591	表 16－1　割り込み要因一覧　注 2 を追加。
p. 594	16. 2. 1　ノンマスカブル割り込み要求信号　記述を修正。
p. 599	図 16－4　ソフトウエア・リセット処理　図を追加。
p. 600	16. 2. 6　NMI 端子のエッジ検出機能　記述を修正。
p. 606	図 16－7　割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（1/2）　注意を追加。
p. 614	16. 3. 8　ウォッチドッグ・タイマ・モード・レジスタ 2（WDTM2）　記述を修正。
p. 620	16. 3. 10（7）ノイズ除去制御レジスタ（NFC）　記述を修正。注意を修正。
p. 627	16. 5. 2（2）復帰　注意を追加。
p. 628	16. 6　CPU の割り込み応答時間　記述を修正。
p. 629	16. 7　CPU が割り込みを受け付けない期間　記述を修正。
p. 631	17. 2（1）キー・リターン・モード・レジスタ（KRM）　注意を修正。備考を追加。
	17. 3　注意事項　項目を追加。
p. 632	表 18－1　スタンバイ機能のモード一覧　注を修正。
p. 633	図 18－1　状態遷移図　図を修正。注 4 を追加。
p. 637	18. 2　動作　項目を追加。
p. 638	18. 3. 1　設定および動作状態　注意 2 を修正。
p. 640	18. 4. 2　IDLE1 モードの解除　注意 2 を修正。
p. 641	表 18－5　IDLE1 モード時の動作状態　表を修正。備考を追加。
p. 642	18. 5. 2　IDLE2 モードの解除　注意 2 を修正。
p. 643	表 18－7　IDLE2 モード時の動作状態　表を修正。備考を追加。
p. 645	18. 6. 1　設定および動作状態　記述を修正。
	18. 6. 2　ソフトウエア STOP モードの解除　注意 2 を修正。
p. 646	表 18－9　ソフトウエア STOP モード時の動作状態　表を修正。
p. 649	表 18－10　サブクロック動作モード時の動作状態　表を修正。注意を追加。
p. 651	18. 8. 2　サブ IDLE モードの解除　注意 2 を追加。
p. 652	表 18－12　サブ IDLE モード時の動作状態　表を修正。
p. 654	18. 9（2）パワー・セーブ・モード・レジスタ（PSMR）　記述を修正。

（6/6）

箇　所	内　容
p. 655	19. 1（2）緊急動作モード　項目を追加。
p. 657	表 19－1　$\overline{\text{RESET}}$ 端子入力時の各ハードウエアの状態　表を修正。注を修正。
p. 659	表 19－2　WDT2RES 信号発生時の各ハードウエアの状態　表を修正。注を修正。
p. 660-662	19. 3. 3　パワーオン・クリアによるリセット動作～19. 3. 5　クロック・モニタによるリセット動作，19. 4 リセット解除後の動作　項目を追加。
p. 672	22. 3（1）低電圧検出レジスタ（LVIM）　注意 1 を修正。
p. 673	22. 3（2）低電圧検出レベル選択レジスタ（LVIS）　注意を追加。
p. 675	22. 4. 1　内部リセット信号として使用する場合　記述を修正。
p. 677	22. 4. 2　割り込みとして使用する場合　記述を修正。
p. 679	23. 1　概要　記述を修正。
p. 680	23. 2　動作　記述を修正。図 23－2　REGC 端子の接続（REGC = Capacity）を修正。
p. 681	24. 1　特徴　記述を修正。
p. 683	24. 2　機能概要　項目を追加。
p. 685	24. 4　プログラミング環境　図 24－1　フラッシュ・メモリにプログラムを書き込むための環境　を変更。備考を追加。
p. 686	24. 5（1）UART0　記述を修正。図 24－2　専用フラッシュ・ライタとの通信（UARTA0）を修正。
	図 24－3　専用フラッシュ・ライタとの通信（CSIB0）　図を修正。
p. 687	図 24－4　専用フラッシュ・ライタとの通信（CSIB0＋HS）　図を修正。
	表 24－4　専用フラッシュ・ライタ（PG-FP4）の信号生成　表を修正。注 1, 2 を追加。
p. 688	表 24－5　V850ES/FG2 フラッシュ書き込み用アダプタ（FA-100GC-8EA-A）の配線表　表を追加。
p. 689, 690	図 24－5　V850ES/FG2 フラッシュ書き込み用アダプタ（FA-100GC-8EA-A）（CSIB0＋HS モード時）の配線例　図を追加。
p. 691	24. 6. 1　FLMD0 端子　記述を修正。
p. 695	24. 6. 6　その他の信号端子　記述を修正。
	24. 6. 7　電源　記述を修正。
p. 697	24. 7. 2　通信方式の選択　記述を修正。
p. 698	表 24－9　フラッシュ・メモリ制御用コマンド　表を修正。
p. 699	24. 8　セルフ・プログラミングによる書き換え　項目を追加。
p. 704	25. 1　フラッシュ・マスク・オプション　備考，記述を追加。
p. 708	第26章　オンチップ・ディバグ機能（オンチップ・ディバグ・ユニット）（フラッシュ・メモリ内蔵製品のみ）　注意1を追加。
p. 710	26. 1. 3　インタフェース信号　項目を追加。
p. 713	26. 1. 4（3）設定方法　項目を追加。
p. 714	26. 2（1）オンチップ・ディバグ・モード・レジスタ（OCDM）　記述を修正。注 3 を追加
p. 720	26. 4　オンチップ・ディバグ時の制限事項および注意事項　記述を修正。
p. 721-789	第 27 章　電気的特性　全般的に修正。
p. 791-800	付録 A　開発ツール　章を追加。

〔メ　モ〕

【発　行】
NECエレクトロニクス株式会社
〒211-8668　神奈川県川崎市中原区下沼部1753
電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。
URL（アドレス）　http://www.necel.co.jp/

【営業関係，技術関係お問い合わせ先】

半導体ホットライン
（電話：午前 9:00～12:00，午後 1:00～5:00）
電　話　：044−435−9494
E-mail　：info@lsi.nec.co.jp

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクス特約店へお申し付けください。

C03.4T