

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル（暫定）

RENESAS

μPD789863,789864サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD789863

μPD78E9863

μPD789864

μPD78E9864

資料番号 U16882JJ3V0UD00 (第3版)

発行年月 February 2005 NS CP(K)

© NEC Electronics Corporation 2003

〔メモ〕

目次要約

第1章	概 説	...	14
第2章	端子機能	...	21
第3章	CPUアーキテクチャ	...	25
第4章	EEPROM (データ・メモリ)	...	45
第5章	ポート機能	...	50
第6章	クロック発生回路	...	57
第7章	12ビット・タイマC0	...	65
第8章	ウォッチドッグ・タイマ	...	76
第9章	起動タイマ	...	82
第10章	10ビットA/Dコンバータ	...	95
第11章	センサ用アナログ・マクロ	...	106
第12章	LF検波回路	...	117
第13章	乗算器	...	121
第14章	割り込み機能	...	125
第15章	スタンバイ機能	...	136
第16章	リセット機能	...	144
第17章	μ PD78E9863, 78E9864	...	147
第18章	命令セットの概要	...	157
第19章	電気的特性 (ターゲット)	...	168
第20章	外形図	...	177
付録A	開発ツール	...	178
付録B	ターゲット・システム設計上の注意	...	184
付録C	レジスタ索引	...	187
付録D	改版履歴	...	191

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力が何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIPは、NECエレクトロニクス株式会社の登録商標です。

EEPROMは、NECエレクトロニクス株式会社の商標です。

WindowsおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78E9863, 78E9864

ユーザ判定品 : μ PD789863, 789864

- 本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に掲載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

(1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。

(2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

はじめに

対象者 このマニュアルは μ PD789863, 789864サブシリーズの機能を理解し, その応用システムや応用プログラムを設計, 開発するユーザのエンジニアを対象としています。

対象製品は, 次に示すサブシリーズの各製品です。

- ・ μ PD789863サブシリーズ : μ PD789863, 78E9863
- ・ μ PD789864サブシリーズ : μ PD789864, 78E9864

システム・クロックの発振周波数は, RC発振(μ PD789863サブシリーズ)をf_{cc}, セラミック発振(μ PD789864サブシリーズ)をf_xとしています。

目的 このマニュアルは, 次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD789863, 789864サブシリーズのマニュアルは, このマニュアルと命令編(78K/0Sシリーズ共通)の2冊に分かれています。

μ PD789863, 789864サブシリーズ ユーザーズ・マニュアル	78K/0Sシリーズ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性(ターゲット)	

読み方 このマニュアルを読むにあたっては, 電気, 論理回路, マイクロコンピュータの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は, 本版で改訂された主な箇所を示しています。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは, そのビット名称がアセンブラでは予約語に, Cコンパイラでは#pragma sfr指令で, sfr変数として定義されているものです。

レジスタ名が分かっているレジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

78K/0Sシリーズの命令機能の詳細を知りたいとき

別冊の**78K/0Sシリーズ ユーザーズ・マニュアル 命令編(U11047J)**を参照してください。

μ PD789863, 789864サブシリーズの電気的特性を知りたいとき

第19章 電気的特性(ターゲット)を参照してください。

- 凡 例 データ表記の重み：左が上位桁，右が下位桁
- アクティブ・ロウの表記： $\overline{x \times x}$ （端子，信号名称に上線）
- 注：本文中につけた注の説明
- 注意：気をつけて読んでいただきたい内容
- 備考：本文の補足説明
- 数の表記：2進数... $x \times x \times x$ または $x \times x \times x B$
- 10進数... $x \times x \times x$
- 16進数... $x \times x \times x H$

関連資料 関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD789863, 789864サブシリーズ ユーザーズ・マニュアル	このマニュアル	作成予定
78K0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
RA78K0S アセンブラ・パッケージ	操作編	U16656J	U16656E
	言語編	U14877J	U14877E
	構造化アセンブリ言語編	U11623J	U11623E
CC78K0S Cコンパイラ	操作編	U16654J	U16654E
	言語編	U14872J	U14872E
SM78Kシリーズ Ver.2.52 システム・シミュレータ	操作編	U16768J	U16768E
	外部部品ユーザ・オープン・インタフェース仕様編	U15802J	U15802E
ID78K0S-NS Ver.2.52 統合デバッグ	操作編	U16584J	U16584E
PM plus Ver.5.10		U16569J	U16569E

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K0S-NS インサーキット・エミュレータ	U13549J	U13549E
IE-78K0S-NS-A インサーキット・エミュレータ	U15207J	U15207E
★ IE-789864-NS-EM1 エミュレーション・ボード	U17040J	U17040E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

EEPROM (プログラム・メモリ) 書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE - Products and Packages -	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 14

- 1.1 特 徴 ... 14
- 1.2 応用分野 ... 14
- 1.3 オータ情報 ... 15
- 1.4 端子接続図 (Top View) ... 15
- 1.5 78K/0Sシリーズの展開 ... 16
- 1.6 ブロック図 ... 19
- 1.7 機能概要 ... 20

第2章 端子機能 ... 21

- 2.1 端子機能一覧 ... 21
- 2.2 端子機能の説明 ... 22
 - 2.2.1 P00-P03 (Port0) ... 22
 - 2.2.2 P20 (Port2) ... 22
 - 2.2.3 LF0, LF1 ... 22
 - 2.2.4 API0 (IN+), API1 (IN-), API2 (IN+), API3 (IN-) ... 22
 - 2.2.5 APO ... 22
 - 2.2.6 $\overline{\text{RESET}}$... 22
 - 2.2.7 XW1, XW2 ... 22
 - 2.2.8 X1, X2 (μ PD789864サブシリーズ) ... 23
 - 2.2.9 CL1, CL2 (μ PD789863サブシリーズ) ... 23
 - 2.2.10 V_{DD} ... 23
 - 2.2.11 V_{SS} ... 23
 - 2.2.12 V_{PP} (μ PD78E9863, 78E9864のみ) ... 23
 - 2.2.13 IC (マスクROM製品のみ) ... 23
- 2.3 端子の入出力回路と未使用端子の処理 ... 24

第3章 CPUアーキテクチャ ... 25

- 3.1 メモリ空間 ... 25
 - 3.1.1 内部プログラム・メモリ空間 ... 27
 - 3.1.2 内部データ・メモリ空間 ... 27
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 28
 - 3.1.4 データ・メモリ・アドレッシング ... 28
- 3.2 プロセッサ・レジスタ ... 30
 - 3.2.1 制御レジスタ ... 30
 - 3.2.2 汎用レジスタ ... 33
 - 3.2.3 特殊機能レジスタ (SFR) ... 34
- 3.3 命令アドレスのアドレッシング ... 36
 - 3.3.1 レラティブ・アドレッシング ... 36
 - 3.3.2 イミディエト・アドレッシング ... 37
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 38

3.3.4	レジスタ・アドレッシング	...	38
3.4	オペランド・アドレスのアドレッシング	...	39
3.4.1	ダイレクト・アドレッシング	...	39
3.4.2	ショート・ダイレクト・アドレッシング	...	40
3.4.3	特殊機能レジスタ (SFR) アドレッシング	...	41
3.4.4	レジスタ・アドレッシング	...	42
3.4.5	レジスタ・インダイレクト・アドレッシング	...	43
3.4.6	ベースト・アドレッシング	...	44
3.4.7	スタック・アドレッシング	...	44
第4章	EEPROM (データ・メモリ)	...	45
4.1	メモリ空間	...	45
4.2	EEPROMの構成	...	45
4.3	EEPROMを制御するレジスタ	...	46
4.4	EEPROM (データ・メモリ) の注意事項	...	48
4.4.1	EEPROM読み出し時の注意事項	...	48
4.4.2	EEPROM書き込み時の注意事項	...	48
第5章	ポート機能	...	50
5.1	ポートの機能	...	50
5.2	ポートの構成	...	50
5.2.1	ポート0	...	51
5.2.2	ポート2	...	53
5.3	ポート機能を制御するレジスタ	...	54
5.4	ポート機能の動作	...	56
5.4.1	入出力ポートへの書き込み	...	56
5.4.2	入出力ポートからの読み出し	...	56
5.4.3	入出力ポートでの演算	...	56
第6章	クロック発生回路	...	57
6.1	クロック発生回路の機能	...	57
6.2	クロック発生回路の構成	...	57
6.3	クロック発生回路を制御するレジスタ	...	58
6.4	システム・クロック発振回路	...	59
6.4.1	システム・クロック (RC) 発振回路 (μ PD789863サブシリーズ)	...	59
6.4.2	システム・クロック (セラミック) 発振回路 (μ PD789864サブシリーズ)	...	60
6.4.3	発振子の接続の悪い例	...	61
6.4.4	分周回路	...	62
6.5	クロック発生回路の動作	...	63
6.6	CPUクロックの設定の変更	...	64
6.6.1	CPUクロックの切り替えに要する時間	...	64
6.6.2	CPUクロックの切り替え手順	...	64
第7章	12ビット・タイマC0	...	65
7.1	12ビット・タイマC0の機能	...	65

- 7.2 12ビット・タイマC0の構成 ... 65
- 7.3 12ビット・タイマC0を制御するレジスタ ... 67
- 7.4 12ビット・タイマC0の動作 ... 69
 - 7.4.1 12ビット分解能のインターバル・タイマとしての動作 ... 69
 - 7.4.2 12ビット分解能の外部イベント・カウンタとしての動作 ... 72
 - 7.4.3 EEPROM (データ・メモリ) へのタイマ出力 ... 73
- 7.5 12ビット・タイマC0の注意事項 ... 75

第8章 ウォッチドッグ・タイマ ... 76

- 8.1 ウォッチドッグ・タイマの機能 ... 76
- 8.2 ウォッチドッグ・タイマの構成 ... 77
- 8.3 ウォッチドッグ・タイマを制御するレジスタ ... 78
- 8.4 ウォッチドッグ・タイマの動作 ... 80
 - 8.4.1 ウォッチドッグ・タイマとしての動作 ... 80
 - 8.4.2 インターバル・タイマとしての動作 ... 81

第9章 起動タイマ ... 82

- 9.1 起動タイマの機能 ... 82
- 9.2 起動タイマの構成 ... 83
- 9.3 起動タイマを制御するレジスタ ... 86
- 9.4 起動タイマの動作 ... 88
 - ★ 9.4.1 起動タイマの各モードの違い ... 88
 - 9.4.2 インターバル・タイマとしての動作 ... 89
 - 9.4.3 外部スイッチ・センシングとしての動作 ... 90
 - 9.4.4 起動タイマのタイミング・チャート ... 91
- ★ 9.5 起動タイマ用端子 (XW1, XW2) の接続 ... 94

第10章 10ビットA/Dコンバータ ... 95

- 10.1 10ビットA/Dコンバータの機能 ... 95
- 10.2 10ビットA/Dコンバータの構成 ... 95
- 10.3 10ビットA/Dコンバータを制御するレジスタ ... 97
- 10.4 10ビットA/Dコンバータの動作 ... 100
 - 10.4.1 A/D停止 ~ A/D待機 ~ A/D変換スタートまでの動作 ... 100
 - 10.4.2 A/D変換モード中の次変換スタート動作 ... 101
 - 10.4.3 A/D変換終了 ~ A/D停止までの動作 ... 102
 - 10.4.4 10ビットA/Dコンバータの内部動作 ... 103
 - 10.4.5 入力電圧と変換結果 ... 104
- 10.5 10ビットA/Dコンバータの注意事項 ... 105

第11章 センサ用アナログ・マクロ ... 106

- 11.1 センサ用アナログ・マクロの機能 ... 106
- 11.2 センサ用アナログ・マクロの構成 ... 106
- 11.3 センサ用アナログ・マクロを制御するレジスタ ... 108
- 11.4 センサ用アナログ・マクロの動作 ... 112
 - 11.4.1 センサ・アンプとしての動作 ... 112

- 11.4.2 温度センサとしての動作 ... 113
- 11.4.3 電池電圧検出回路としての動作 ... 114
- 11.4.4 定電圧源発生回路としての動作 ... 115
- ★ 11.4.5 センサ・アンプのオフセット調整 ... 115
- ★ 11.4.6 キャリブレーション・モードを使った補正 ... 116
- 11.5 センサ用アナログ・マクロの注意事項 ... 116

第12章 LF検波回路 ... 117

- 12.1 LF検波回路の機能 ... 117
- 12.2 LF検波回路の構成 ... 117
- 12.3 LF検波回路を制御するレジスタ ... 118
- ★ 12.4 LF検波回路の動作 ... 120
 - 12.4.1 LF検波回路の動作開始 ... 120
 - 12.4.2 LF検波回路の感度調整 ... 120
- 12.5 LF検波回路の注意事項 ... 120

第13章 乗算器 ... 121

- 13.1 乗算器の機能 ... 121
- 13.2 乗算器の構成 ... 121
- 13.3 乗算器を制御するレジスタ ... 123
- 13.4 乗算器の動作 ... 124

第14章 割り込み機能 ... 125

- 14.1 割り込み機能の種類 ... 125
- 14.2 割り込み要因と構成 ... 126
- 14.3 割り込み機能を制御するレジスタ ... 128
- 14.4 割り込み処理動作 ... 130
 - 14.4.1 ノンマスカブル割り込み要求の受け付け動作 ... 130
 - 14.4.2 マスカブル割り込み要求の受け付け動作 ... 132
 - 14.4.3 多重割り込み処理 ... 134
 - 14.4.4 割り込み要求の保留 ... 135

第15章 スタンバイ機能 ... 136

- 15.1 スタンバイ機能と構成 ... 136
 - 15.1.1 スタンバイ機能 ... 136
 - 15.1.2 スタンバイ機能を制御するレジスタ ... 137
- 15.2 スタンバイ機能の動作 ... 138
 - 15.2.1 HALTモード ... 138
 - 15.2.2 STOPモード ... 141

第16章 リセット機能 ... 144

第17章 μ PD78E9863, 78E9864 ... 147

17.1	EEPROM (プログラム・メモリ)	...	148
17.1.1	プログラミング環境	...	148
17.1.2	通信方式	...	149
17.1.3	オンボード上の端子処理	...	151
17.1.4	フラッシュ・メモリ (EEPROM) 書き込み用アダプタ上の接続	...	155

第18章 命令セットの概要 ... 157

18.1	オペレーション	...	157
18.1.1	オペランドの表現形式と記述方法	...	157
18.1.2	オペレーション欄の説明	...	158
18.1.3	フラグ動作欄の説明	...	158
18.2	オペレーション一覧	...	159
18.3	アドレッシング別命令一覧	...	165

第19章 電気的特性 (ターゲット) ... 168

第20章 外形図 ... 177

付録A 開発ツール ... 178

A.1	ソフトウェア・パッケージ	...	180
A.2	言語処理用ソフトウェア	...	180
A.3	制御ソフトウェア	...	181
A.4	EEPROM (プログラム・メモリ) 書き込み用ツール	...	181
A.5	デバッグ用ツール (ハードウェア)	...	182
A.6	デバッグ用ツール (ソフトウェア)	...	183

★ 付録B ターゲット・システム設計上の注意 ... 184

付録C レジスタ索引 ... 187

C.1	レジスタ索引 (50音順)	...	187
C.2	レジスタ索引 (アルファベット順)	...	189

付録D 改版履歴 ... 191

D.1	本版で改訂された主な箇所	...	191
★ D.2	前版までの改版履歴	...	193

第1章 概 説

1.1 特 徴

システム・クロック：

- ・RC発振回路・・・ μ PD789863サブシリーズ
- ・セラミック発振回路・・・ μ PD789864サブシリーズ

高速と低速に最小命令実行時間を変更可能

- ★ μ PD789863サブシリーズ，システム・クロック1.8 MHz動作時・・・高速：1.1 μ s，低速：4.44 μ s
- ・ μ PD789864サブシリーズ，システム・クロック2.0 MHz動作時・・・高速：1.0 μ s，低速：4.0 μ s

ROM, RAM容量

品 名	プログラム・メモリ (ROM)		データ・メモリ	
			内部高速RAM	EEPROM TM
μ PD789863, 789864	マスクROM	4 Kバイト	256バイト	64バイト
μ PD78E9863, 78E9864	EEPROM	4 Kバイト		

I/Oポート：5本

タイマ：3チャンネル

- ・12ビット・タイマ：1チャンネル
- ・ウォッチドッグ・タイマ：1チャンネル
- ・起動タイマ：1チャンネル

10ビット分解能A/Dコンバータ：3チャンネル

LF検波回路（125 kHz）内蔵

乗算器：10ビット×10ビット = 20ビット

センサ用アナログ・マクロ内蔵

- ・センサ増幅回路
- ・温度センサ回路
- ・定電圧出力回路
- ・電池電圧検出回路

電源電圧： $V_{DD} = 1.9 \sim 3.6$ V

動作周囲温度： $T_A = -40 \sim +95$

1.2 応用分野

センサを使用したアプリケーションなど

1.3 オーダ情報

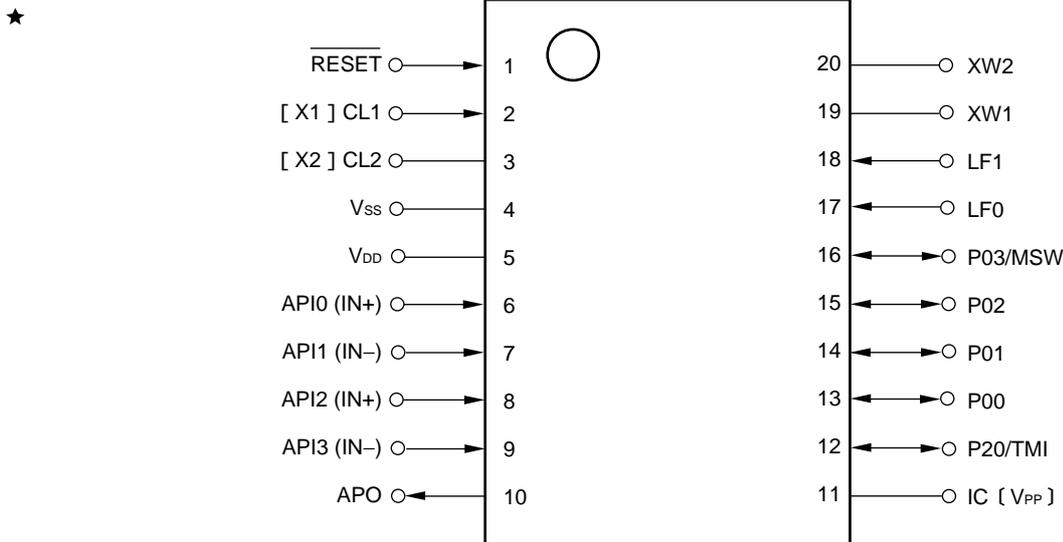
オーダ名称	パッケージ	内部ROM
μ PD789863MC- x x x -5A4	20ピン・プラスチックSSOP (7.62 mm (300))	マスクROM
μ PD78E9863MC-5A4	"	EEPROM
μ PD789864MC- x x x -5A4	20ピン・プラスチックSSOP (7.62 mm (300))	マスクROM
μ PD78E9864MC-5A4	"	EEPROM

備考 x x xはROMコード番号です。

1.4 端子接続図 (Top View)

20ピン・プラスチックSSOP (7.62 mm (300))

μ PD789863MC- x x x -5A4 μ PD789864MC- x x x -5A4
 μ PD78E9863MC-5A4 μ PD78E9864MC-5A4



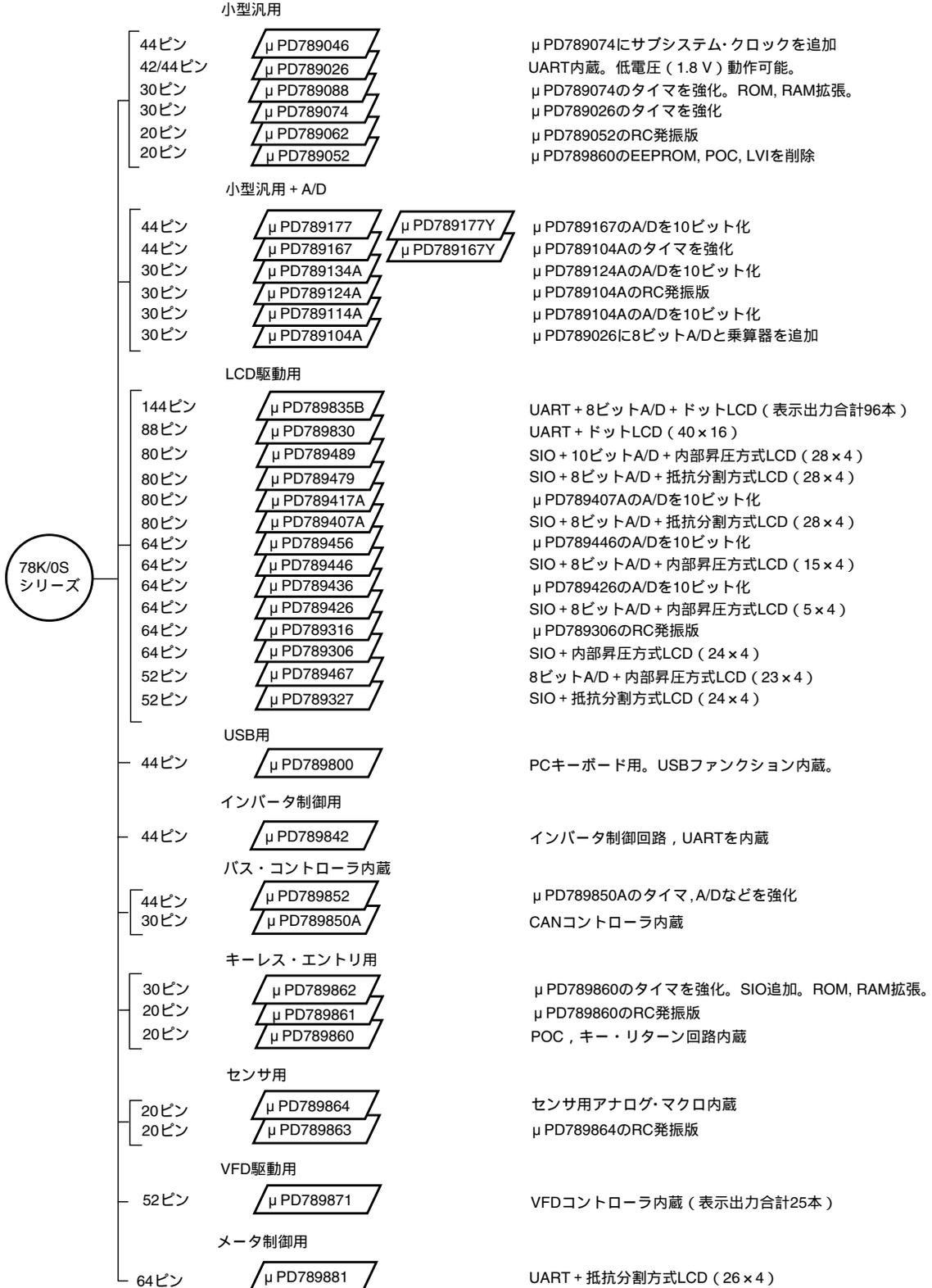
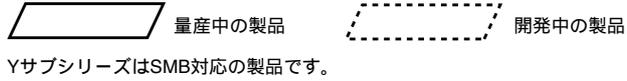
注意 IC (Internally Connected) 端子はVssに直接接続してください。

備考1. [] 内は , μ PD78E9863, 78E9864のとき
 2. [] 内は , μ PD789864, 78E9864のとき

- | | | | |
|--------------------------|--------------------------|-----------------|--------------------------------|
| ★ API0 (IN+), API1 (IN-) | : Sensor amp input | P20 | : Port 2 |
| ★ API2 (IN+), API3 (IN-) | : Sensor amp input | RESET | : Reset |
| APO | : Regulator output | TMI | : Timer input |
| CL1, CL2 | : RC oscillator | V _{DD} | : Power supply |
| IC | : Internally connected | V _{PP} | : Programming power supply |
| LF0, LF1 | : LF wave detector input | V _{SS} | : Ground |
| MSW | : External switch input | X1, X2 | : Ceramic oscillator |
| P00-P03 | : Port 0 | XW1, XW2 | : RC oscillator for wake timer |

★ 1.5 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



備考 蛍光表示管の一般的な英語名称はVFD（Vacuum Fluorescent Display）ですが、ドキュメントによってはFIP®（Fluorescent Indicator Panel）と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

汎用，LCD駆動用シリーズ

サブシリーズ名	機 能	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
			8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
小型 汎用	μPD789046	16 K	1 ch	1 ch	1 ch	1 ch	-	-	1 ch (UART : 1ch)	34本	1.8 V	-
	μPD789026	4 K-16 K			-							
	μPD789088	16 K-32 K	3 ch							24本		
	μPD789074	2 K-8 K	1 ch									
	μPD789062	4 K	2 ch	-					-	14本		RC発振版
	μPD789052											-
小型 汎用 + A/D	μPD789177	16 K-24 K	3 ch	1 ch	1 ch	1ch	-	8 ch	1 ch (UART : 1ch)	31本	1.8 V	-
	μPD789167						8 ch	-				
	μPD789134A	2 K-8 K	1 ch		-		-	4 ch		20本		RC発振版
	μPD789124A						4 ch	-				
	μPD789114A						-	4 ch				-
	μPD789104A						4 ch	-				
LCD 駆動用	μPD789835B	24 K-60 K	6 ch	-	1 ch	1 ch	3 ch	-	1 ch (UART : 1ch)	37本	1.8 V ^注	ドットLCD
	μPD789830	24 K	1 ch	1 ch			-			30本	2.7 V	対応
	μPD789489	32 K-48 K	3 ch					8 ch	2 ch (UART : 1ch)	45本	1.8 V	-
	μPD789479	24 K-48 K					8 ch	-				
	μPD789417A	12 K-24 K					-	7 ch	1 ch (UART : 1ch)	43本		
	μPD789407A						7 ch	-				
	μPD789456	12 K-16 K	2 ch				-	6 ch		30本		
	μPD789446						6 ch	-				
	μPD789436						-	6 ch		40本		
	μPD789426						6 ch	-				
	μPD789316	8 K-16 K					-		2 ch (UART : 1ch)	23本		RC発振版
	μPD789306											-
	μPD789467	4 K-24 K		-			1 ch		-	18本		
	μPD789327						-		1 ch	21本		

注 フラッシュ・メモリ版 : 3.0 V

ASSP用シリーズ

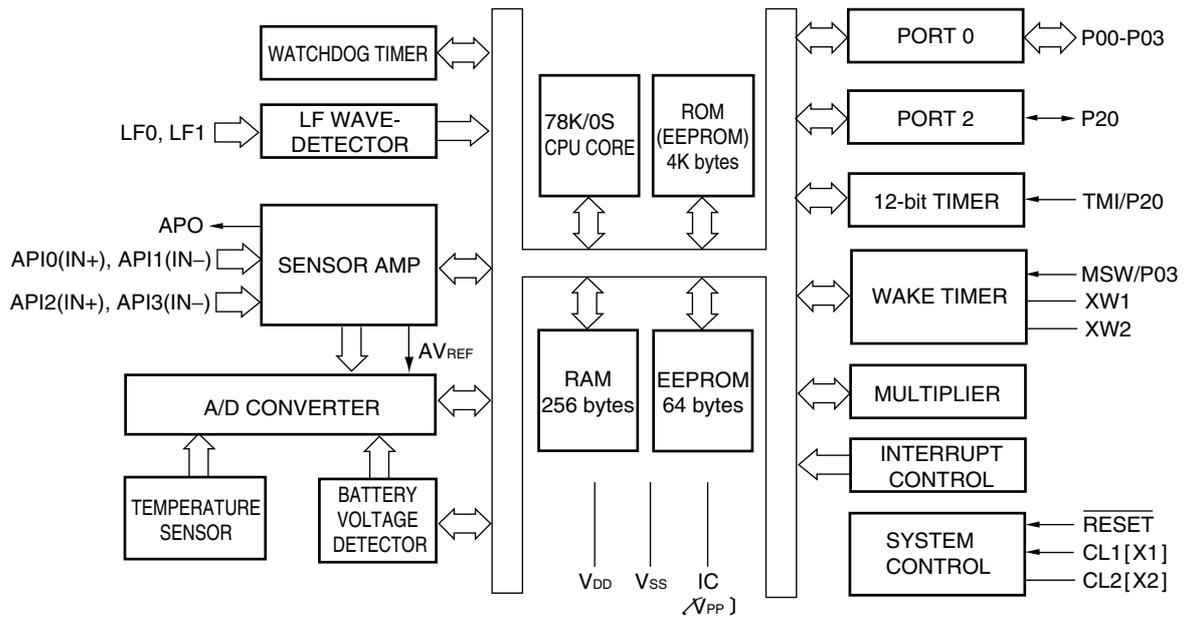
機能 サブシリーズ名	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考	
		8-bit	16-bit	時計	WDT	A/D	A/D			最小値		
USB用 μPD789800	8K	2 ch	-	-	1 ch	-	-	2 ch (USB : 1 ch)	31本	4.0 V	-	
インバー タ制御用 μPD789842	8 K-16 K	3 ch	注1	1 ch	1 ch	8 ch	-	1 ch (UART : 1ch)	30本	4.0 V	-	
バス・コント ローラ内蔵 μPD789852 μPD789850A	24 K-32 K	3 ch	1 ch	-	1 ch	-	8ch	3 ch (UART : 2ch)	31本	4.0 V	-	
	16 K	1 ch				4 ch	-	2 ch (UART : 1ch)	18本			
キーレス ・エント リ用 μPD789861 μPD789860 μPD789862	4 K	2 ch	-	-	1 ch	-	-	-	14本	1.8 V	RC発振版， EEPROM内蔵	
	16 K	1 ch						2 ch	-		22本	EEPROM内蔵
									1 ch (UART : 1ch)			
センサ 用 μPD789864 μPD789863	4 K	1 ch	注2	-	1 ch	-	4 ch	-	5本	1.9 V	EEPROM内蔵	
											RC発振版， EEPROM内蔵	
VFD 駆動用 μPD789871	4 K-8 K	3 ch	-	1 ch	1 ch	-	-	1 ch	33本	2.7 V	-	
メータ 制御用 μPD789881	16 K	2 ch	1 ch	-	1 ch	-	-	1 ch (UART : 1ch)	28本	2.7 V ^{注3}	-	

注1. 10ビット・タイマ：1チャンネル

2. 12ビット・タイマ：1チャンネル

3. フラッシュ・メモリ版：3.0 V

★ 1.6 ブロック図



備考1. []内は, μ PD78E9863, 78E9864のとき

2. []内は, μ PD789864, 78E9864のとき

1.7 機能概要

項目		品名	μ PD789863	μ PD78E9863	μ PD789864	μ PD78E9864
内部メモリ	ROM	マスクROM	4 Kバイト	EEPROM	マスクROM	EEPROM
		高速RAM	256バイト			
	EEPROM	64バイト				
	発振回路	RC発振回路			セラミック発振回路	
★ 最小命令実行時間	1.1 μs/4.44 μs (システム・クロック：1.8 MHz動作時)			1.0 μs/4.0 μs (システム・クロック：2.0 MHz動作時)		
汎用レジスタ	8ビット×8レジスタ					
命令セット	<ul style="list-style-type: none"> ・16ビット演算 ・ビット操作(セット, リセット, テスト)など 					
乗算器	10ビット×10ビット=20ビット					
I/Oポート	CMOS入出力：5本					
タイマ	<ul style="list-style-type: none"> ・12ビット・タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル ・起動タイマ : 1チャンネル 					
A/Dコンバータ	10ビット分解能×3チャンネル					
★ LF検波機能	<ul style="list-style-type: none"> ・125 kHzの検波回路(感度調整機能あり) ・ダンピング抵抗を内蔵(400/100/50/10 kΩから選択) ・電波の有無により, 4 kHzのデータ受信も可能 					
センサ用	センサ・アンプ回路	外部のセンサの信号を差動増幅してA/Dコンバータに入力				
アナログ・マクロ	温度センサ回路	ダイオードに定電流を流し, V _F をA/Dコンバータで測定				
	定電圧出力回路	A/Dコンバータ, センサ・アンプ, 外部のセンサに電源供給				
	電池電圧検出回路	V _{DD} の抵抗分圧した電圧をA/Dコンバータで測定				
ベクタ割り込み要因	マスクابل	内部：6				
	ノンマスクابل	内部：1				
電源電圧	V _{DD} = 1.9 ~ 3.6 V					
動作周囲温度	T _A = -40 ~ +95					
パッケージ	20ピン・プラスチックSSOP(7.62 mm(300))					

次にタイマの概要を示します。

		12ビット・タイマC0	ウォッチドッグ・タイマ	起動タイマ
動作モード	インターバル・タイマ	1チャンネル	1チャンネル ^注	1チャンネル
	外部イベント・カウンタ	1チャンネル	-	-
機能	タイマ出力	-	-	-
	PWM出力	-	-	-
	方形波出力	-	-	-
	ブザー出力	-	-	-
	キャプチャ	-	-	-
	割り込み要因	1	2	1

注 ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子

端子名称	入出力	機能	リセット時	兼用端子
P00-P02	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	-
P03				MSW
P20	入出力	ポート2。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	TMI

(2) ポート以外の端子

端子名称	入出力	機能	リセット時	兼用端子
MSW	入力	外部スイッチ入力	入力	P03
TMI	入力	12ビット・タイマ入力	入力	P20
★ API0 (IN+)	入力	センサ・アンプ入力	入力	-
API1 (IN-)	入力		入力	-
API2 (IN+)	入力		入力	-
API3 (IN-)	入力		入力	-
APO	出力	外部センサ用の定電圧出力	出力	-
LF0, LF1	入力	LF検波入力	入力	-
X1 ^{注1}	入力	システム・クロック発振用セラミック接続	-	-
X2 ^{注1}	-		-	-
CL1 ^{注2}	入力	システム・クロック発振用抵抗 (R), コンデンサ (C) 接続	-	-
CL2 ^{注2}	-		-	-
★ XW1	-	起動タイマ用RC発振回路の抵抗 (R) 接続	-	-
★ XW2	-	起動タイマ用RC発振回路のコンデンサ (C) 接続	-	-
RESET	入力	システム・リセット入力	入力	-
V _{DD}	-	正電源	-	-
V _{SS}	-	グランド電位	-	-
IC	-	内部接続されています。V _{SS} に直接接続してください。	-	-
V _{PP}	-	EEPROMプログラミング・モード設定。プログラム書き込み/ベリファイ時の高電圧印加。	-	-

注1. μ PD789864サブシリーズのみ

2. μ PD789863サブシリーズのみ

2.2 端子機能の説明

2.2.1 P00-P03 (Port0)

4ビットの入出力ポートです。P00-P02は、ポート・モード・レジスタ0 (PM0) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

P03は1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

外部スイッチ入力 (MSW) として機能します。

2.2.2 P20 (Port2)

1ビット入出力ポートです。入出力ポートのほかにタイマ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

1ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

タイマ入力 (TMI) として機能します。

2.2.3 LF0, LF1

LF検波用入力端子です。

★ 2.2.4 API0 (IN+) , API1 (IN-) , API2 (IN+) , API3 (IN-)

センサ・アンプ入力端子です。

2.2.5 APO

外部に接続するセンサのための定電圧出力端子です。

2.2.6 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.7 XW1, XW2

起動タイマ・クロック発振用抵抗 (R) , コンデンサ (C) 接続端子です。

★ XW1に抵抗 (R) を接続し, XW2にコンデンサ (C) を接続してください。

2.2.8 X1, X2 (μ PD789864サブシリーズ)

システム・クロック発振用セラミック発振子接続端子です。

2.2.9 CL1, CL2 (μ PD789863サブシリーズ)

システム・クロック発振用抵抗 (R), コンデンサ (C) 接続端子です。

2.2.10 VDD

正電源供給端子です。

2.2.11 VSS

グランド電位端子です。

2.2.12 VPP (μ PD78E9863, 78E9864のみ)

EEPROMプログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

次のどちらかの端子処理をしてください。

- ・個別に10 k Ω のプルダウン抵抗を接続する
- ・ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライタに、通常動作モード時はVSSに直接接続するように切り替える

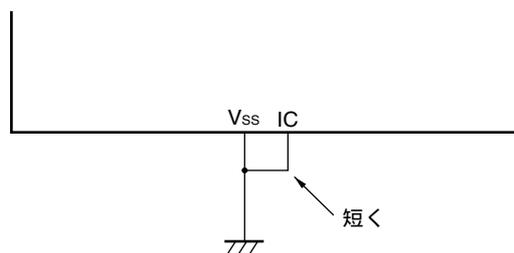
VPP端子とVSS端子間の配線の引き回しが長い場合や、VPP端子に外来ノイズが加わったときには、お客様のプログラムが正常に動作しないことがあります。

2.2.13 IC (マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時に μ PD789863, 789864を検査するためのテスト・モードに設定するための端子です。通常動作時には、IC端子をVSSに直接接続し、その配線長を極力短くしてください。

IC端子とVSS端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とVSS端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

IC端子をVSS端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

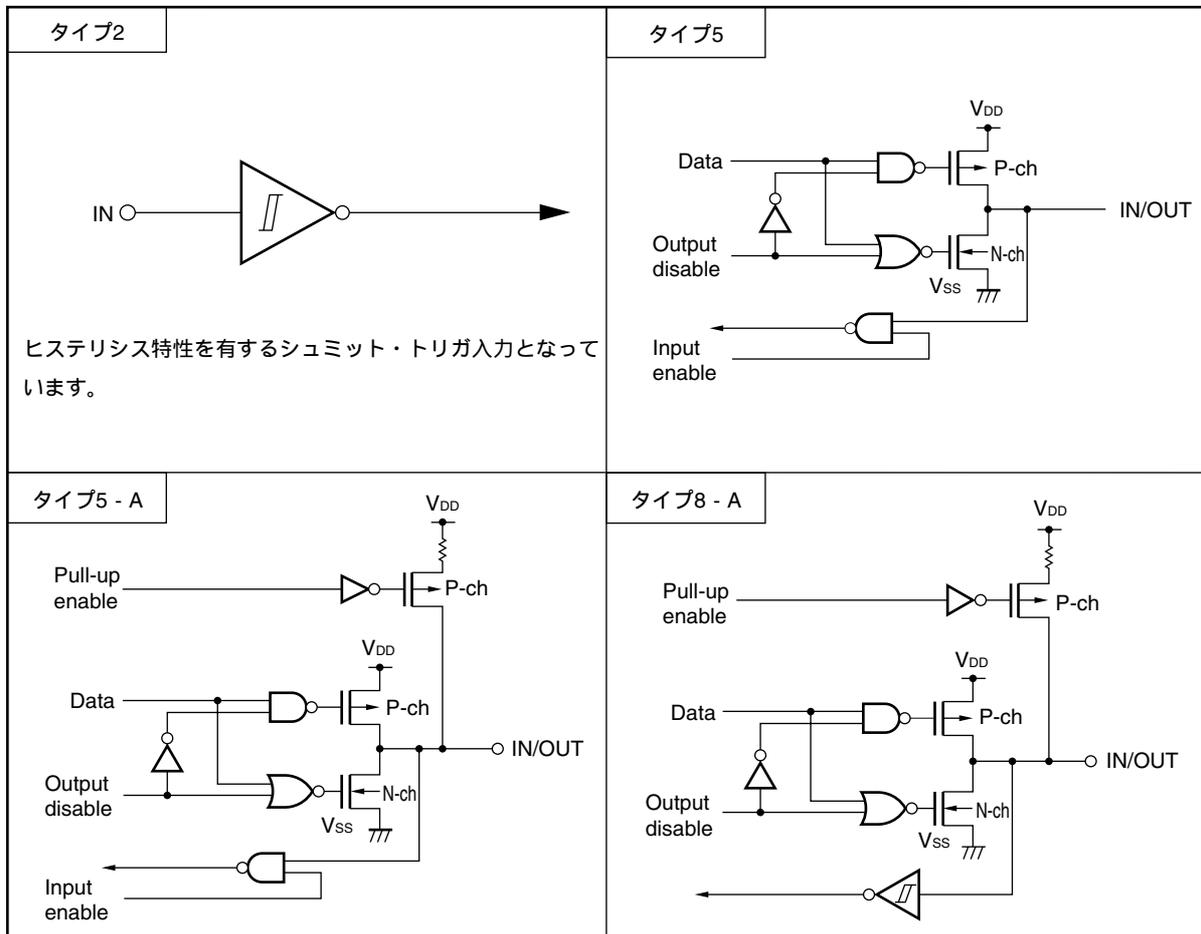
各端子の入出力回路タイプと、未使用端子の処理を表2-1に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法	
P00-P02	5	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	
P03/MSW	5-A			
P20/TMI	8-A			
LF0, LF1	-	入力	V _{SS} に直接接続してください。	
★ API0 (IN+), API1 (IN-), API2 (IN+), API3 (IN-)			個別に抵抗を介して、V _{SS} に接続してください。	
APO		出力	オープンにしてください。	
XW1		-	V _{DD} に直接接続してください。	
XW2		-	V _{SS} に直接接続してください。	
RESET		2	入力	-
IC		-	-	V _{SS} に直接接続してください。
V _{PP}	個別に10 kΩのプルダウン抵抗を接続するか、V _{SS} に直接接続してください。			

図2-1 端子の入出力回路一覧



第3章 CPUアーキテクチャ

3.1 メモリ空間

μ PD789863, 789864サブシリーズは、それぞれ64 Kバイトのメモリ空間をアクセスできます。図3 - 1, 図3 - 2に、メモリ・マップを示します。

図3 - 1 メモリ・マップ (μ PD789863, 789864)

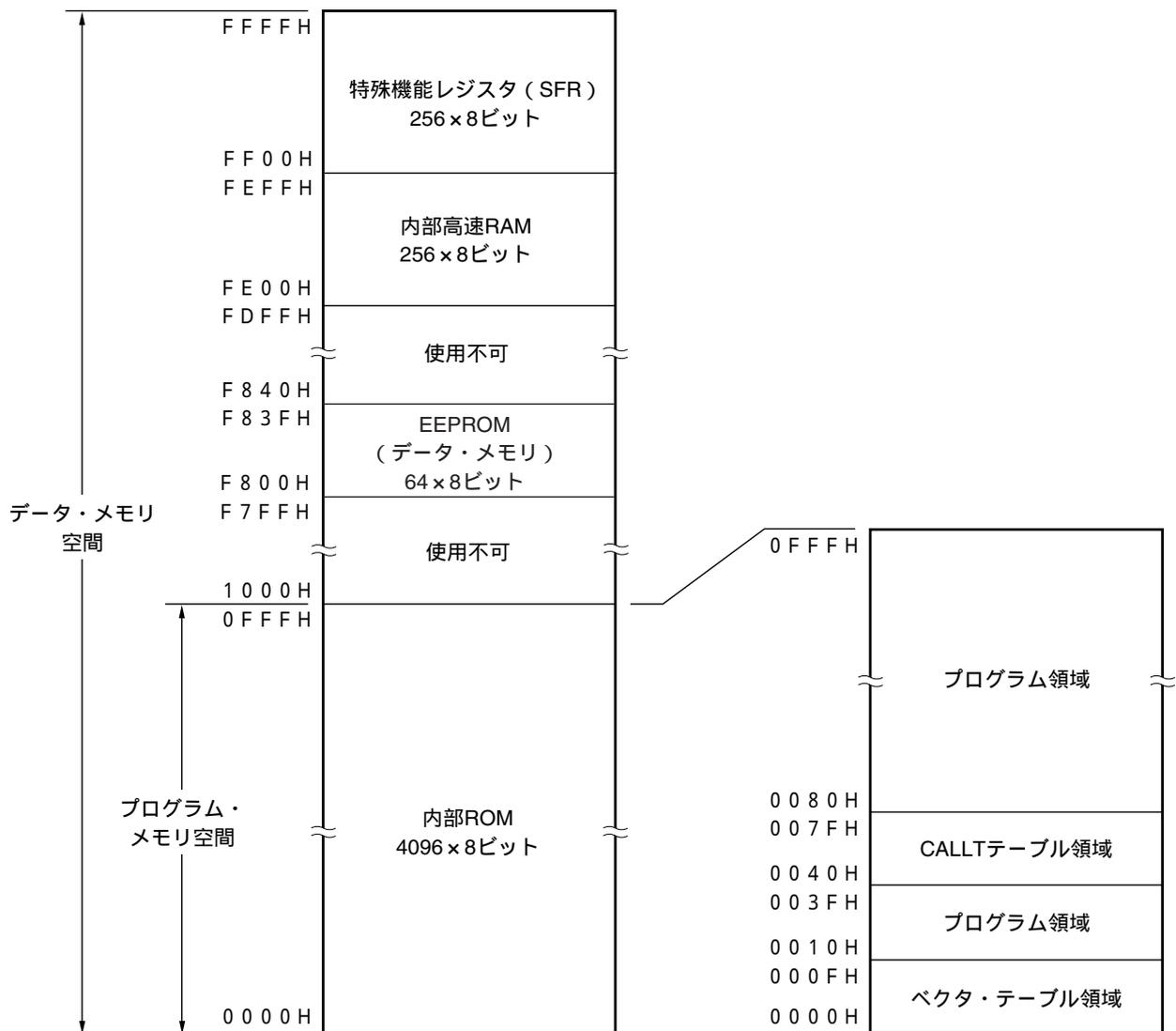
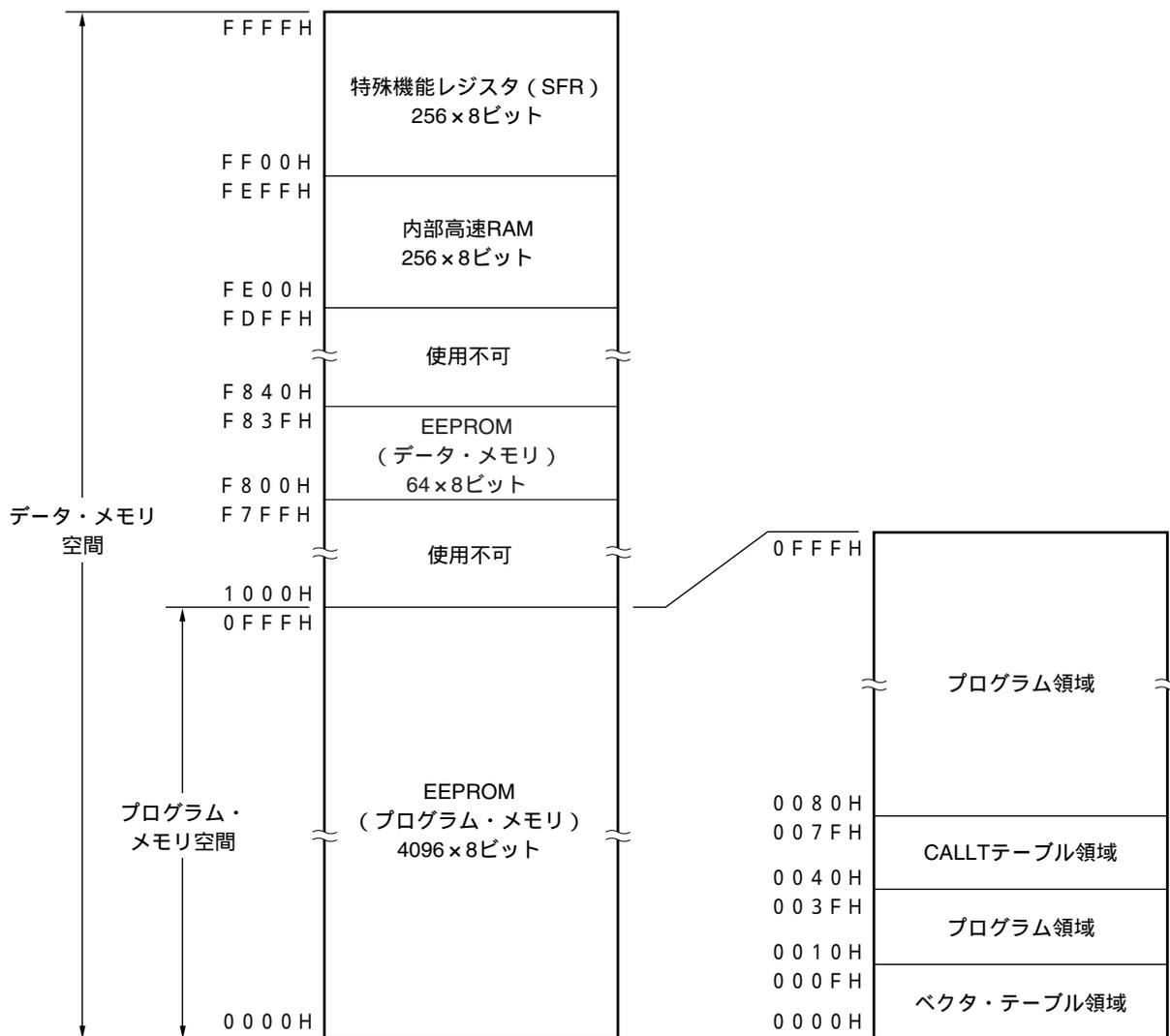


図3-2 メモリ・マップ (μ PD78E9863, 78E9864)



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD789863, 789864サブシリーズでは、各製品ごとに次の容量の内部ROM（またはEEPROM）を内蔵しています。

表3-1 内部ROM容量

品名	内部ROM	
	構造	容量
μPD789863, 789864	マスクROM	4096×8ビット
μPD78E9863, 78E9864	EEPROM	

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-000FHの16バイトの領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、RESET入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0000H	RESET入力	000AH	INTTMC0
0004H	INTWDT	000CH	INTTMWK1
0006H	INTLF0	000EH	INTEE0
0008H	INTAD0		

(2) CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

3.1.2 内部データ・メモリ空間

μPD789863, 789864サブシリーズの製品には、次に示すRAMを内蔵しています。

(1) 内部高速RAM

FE00H-FEFFFHの領域には、内部高速RAMを内蔵しています。

内部高速RAMはスタックとしても使用できます。

(2) EEPROM

F800H-F83FHの領域には、EEPROMを内蔵しています。

EEPROMについての詳細は、第4章 EEPROM（データ・メモリ）を参照してください。

3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (表3 - 3参照)。

3.1.4 データ・メモリ・アドレッシング

μ PD789863, 789864サブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3 - 3, 図3 - 4にデータ・メモリのアドレッシングを示します。

図3 - 3 データ・メモリのアドレッシング (μ PD789863, 789864)

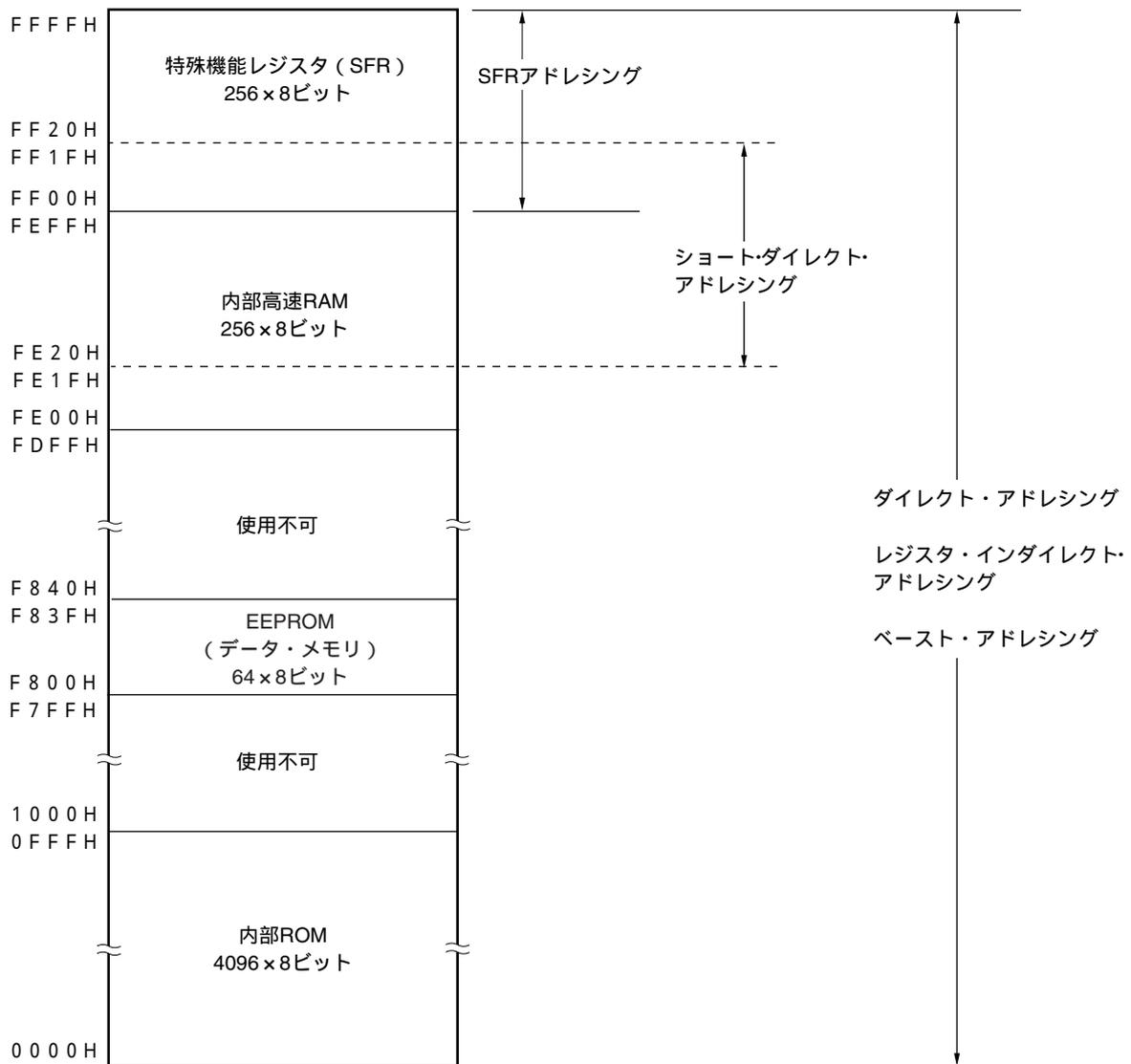
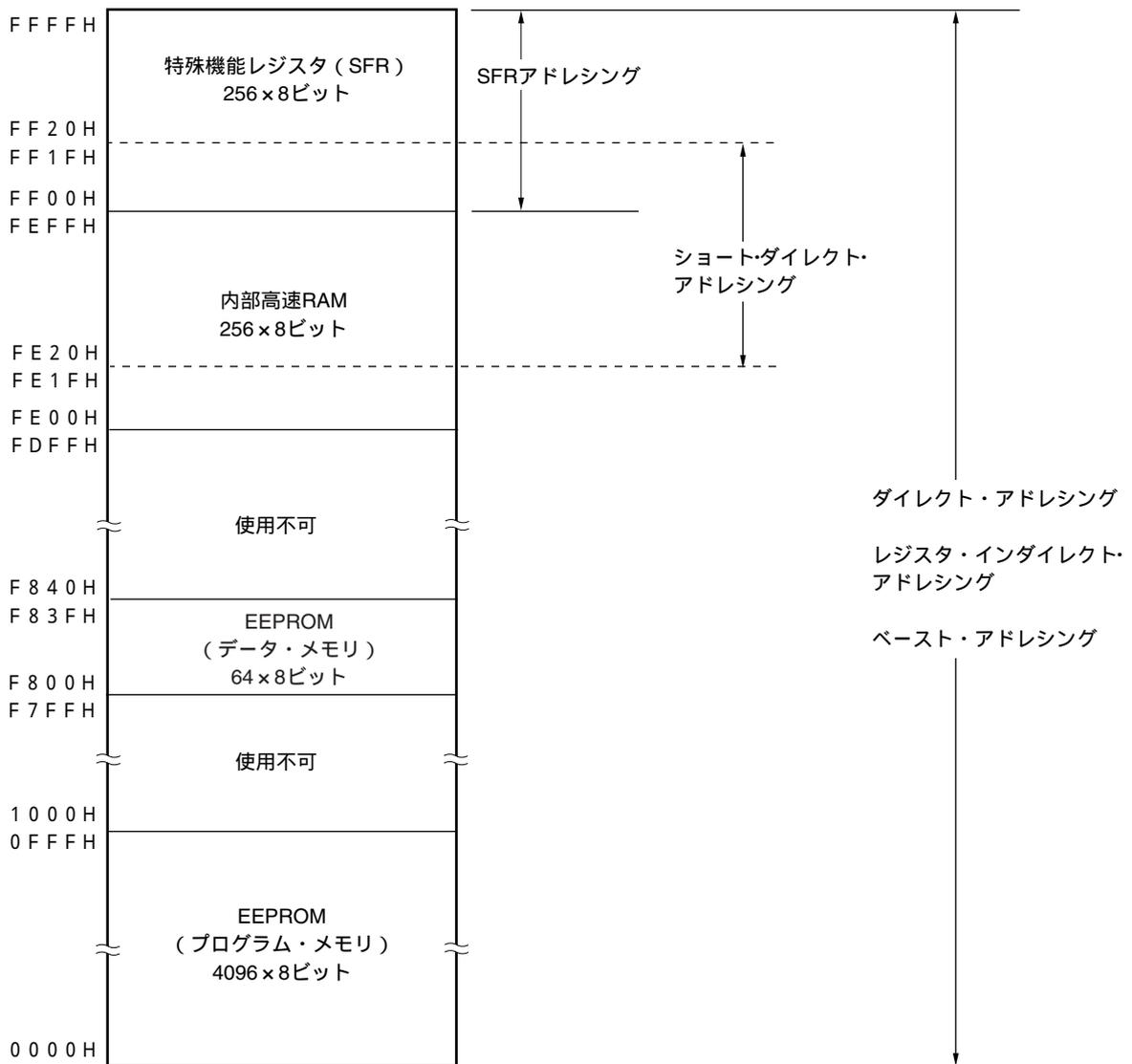


図3-4 データ・メモリのアドレッシング (μ PD78E9863, 78E9864)



3.2 プロセッサ・レジスタ

μ PD789863, 789864サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

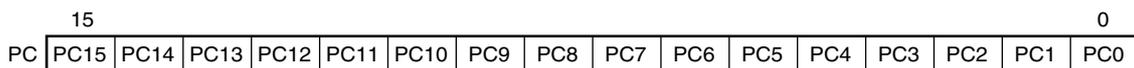
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 5 プログラム・カウンタの構成



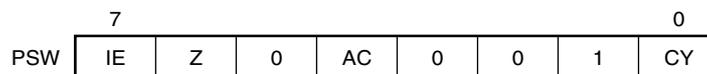
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3 - 6 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスクابل割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

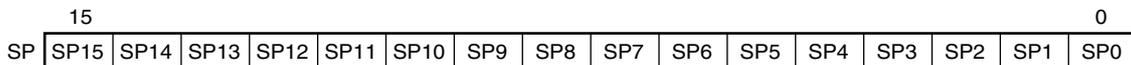
(d) キャリー・フラグ (CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 7 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 8 , 図3 - 9のようになります。

注意 SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3 - 8 スタック・メモリへ退避されるデータ

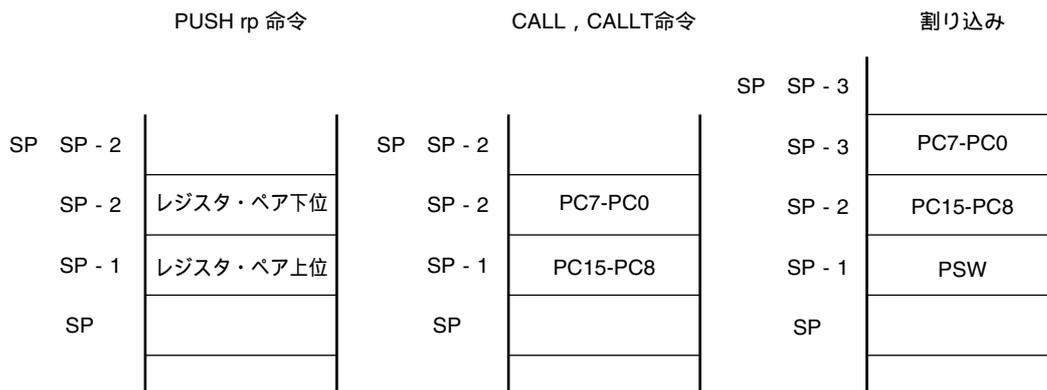
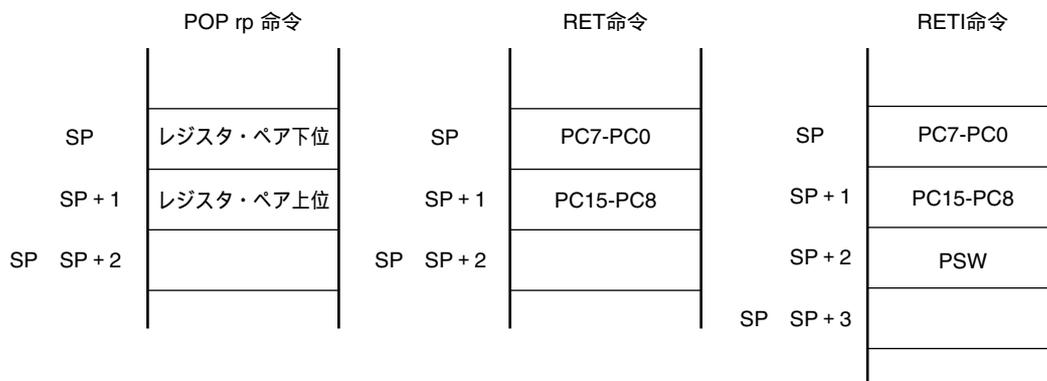


図3 - 9 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

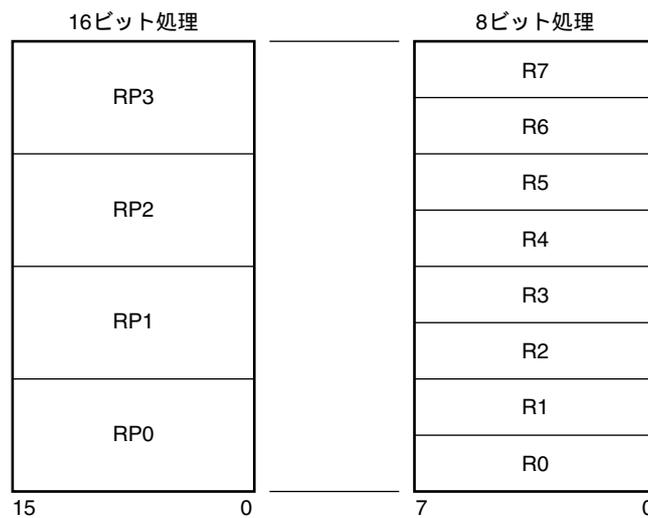
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

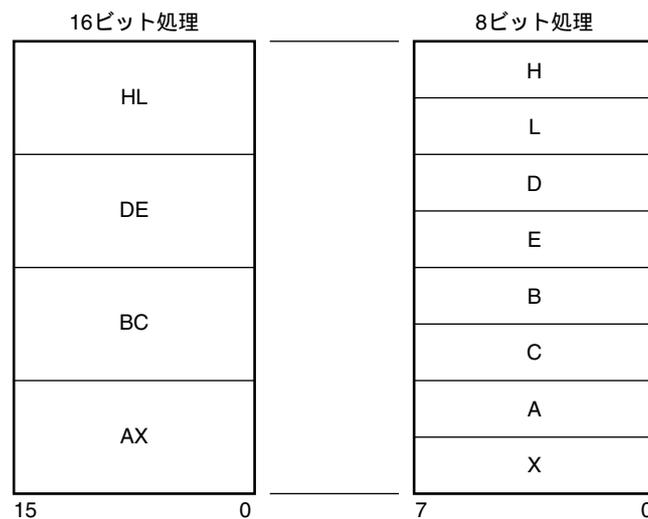
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図3 - 10 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- ・1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-3に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・略号

内蔵された特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、Cコンパイラでは #pragma sfr 指令で、sfr変数として定義されているものです。アセンブラ、統合ディバッガ使用時に命令のオペランドとして記述できます。

- ・R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- ・リセット時

$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表3-3 特殊機能レジスタ一覧

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時	
					1ビット	8ビット	16ビット		
FF00H	ポート0	P0		R/W			-	00H	
FF02H	ポート2	P2					-		
FF08H	センサ・ハードマクロ・コントロール・レジスタ	THMC					-	00H ^{注1}	
★ FF09H	センサ・アンプ・コントロール・レジスタ	AMPC					-	00H	
FF0BH	12ビット・タイマ・モード・コントロール・レジスタC0	TMCC0					-		
FF0CH	12ビット・コンペア・レジスタC0	CRC0L	CRC0	W	-			不定	
FF0DH		CRC0H			-				
FF0EH	12ビット・タイマ・カウンタC0	TMC0L	TMC0	R	-			00H	
FF0FH		TMC0H			-				
FF14H	10ビットA/D変換結果レジスタ0	-	ADCR0	R	-	-		不定	
FF15H		ADCR0H			-		-		
FF16H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W			-	00H	
FF17H	A/D入力選択レジスタ0	ADS0			-		-		
FF18H	LFレジスタ	LFR			-		-	00H ^{注2}	
FF20H	ポート・モード・レジスタ0	PM0					-	FFH	
FF22H	ポート・モード・レジスタ2	PM2					-		
FF30H	プルアップ抵抗オプション・レジスタB0	PUB0					-	00H	
FF32H	プルアップ抵抗オプション・レジスタB2	PUB2					-		
FF42H	タイマ・クロック選択レジスタ2	TCL2			-		-		
FF60H	8ビット起動タイマ・コンペア・レジスタ	WKCR1			W	-		-	FFH
FF61H	3ビット起動タイマ・コンペア・レジスタ	WKCR2				-		-	07H
FF62H	8ビット起動タイマ・カウンタ	WKTM1		R	-		-	00H	
FF63H	3ビット起動タイマ・カウンタ	WKTM2			-		-		
FF64H	起動タイマ・モード・コントロール・レジスタ	WKTMC		R/W			-		
FFA0H	乗算器コントロール・レジスタ	MULC1		R/W			-	00H	
FFA1H	10ビット乗算データ・レジスタA	MRA1L		W	-		-	不定	
FFA2H		MRA1H			-		-		
FFA3H	10ビット乗算データ・レジスタB	MRB1L			-		-		
FFA4H		MRB1H			-		-		
FFA5H	20ビット乗算結果レジスタ	MUL1LL		R	-		-	不定	
FFA6H		MUL1LH			-		-		
FFA7H		MUL1HL			-		-		
FFD8H	EEPROMライト・コントロール・レジスタ10	EEWC10		R/W			-	08H	
FFE0H	割り込み要求フラグ・レジスタ0	IF0					-	00H	
FFE4H	割り込みマスク・フラグ・レジスタ0	MK0					-	FFH	
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM					-	00H	
FFFAH	発振安定時間選択レジスタ ^{注3}	OSTS					-	04H	
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC					-	02H	

- ★ 注1. リセット解除後に、自動的に01Hになります。
2. 125 kHzの電波が入力されている場合には、01Hになります。
3. μPD789864サブシリーズのみ

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行することにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください）。

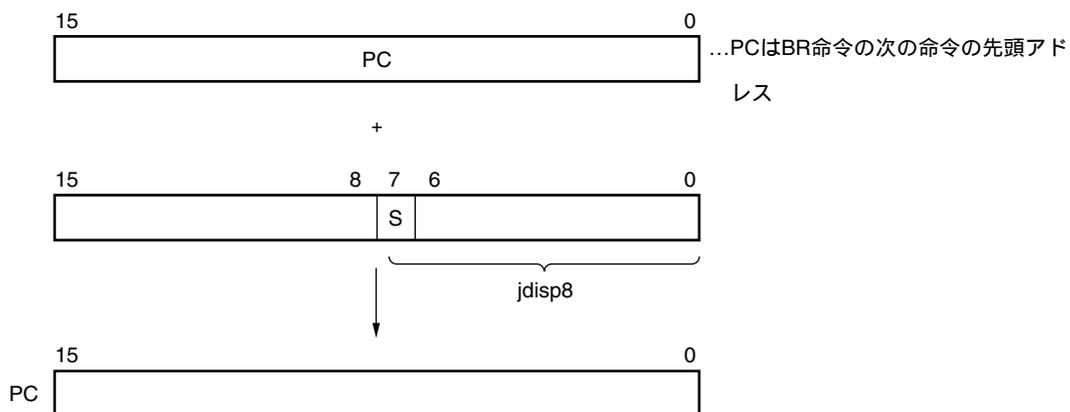
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するという事です。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0 のとき、 は全ビット 0

S = 1 のとき、 は全ビット 1

3.3.2 イミディエト・アドレッシング

【機能】

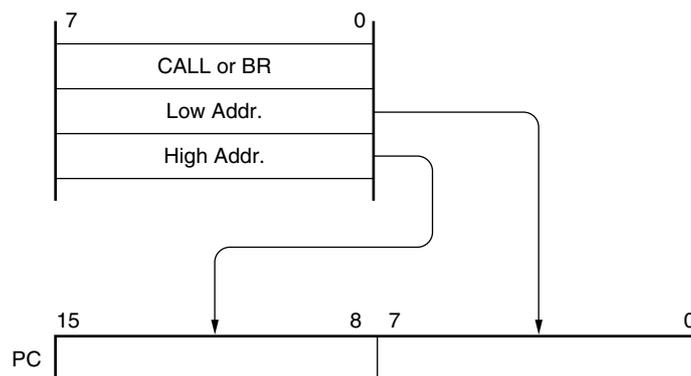
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

【図解】

CALL !addr16, BR !addr16命令の場合



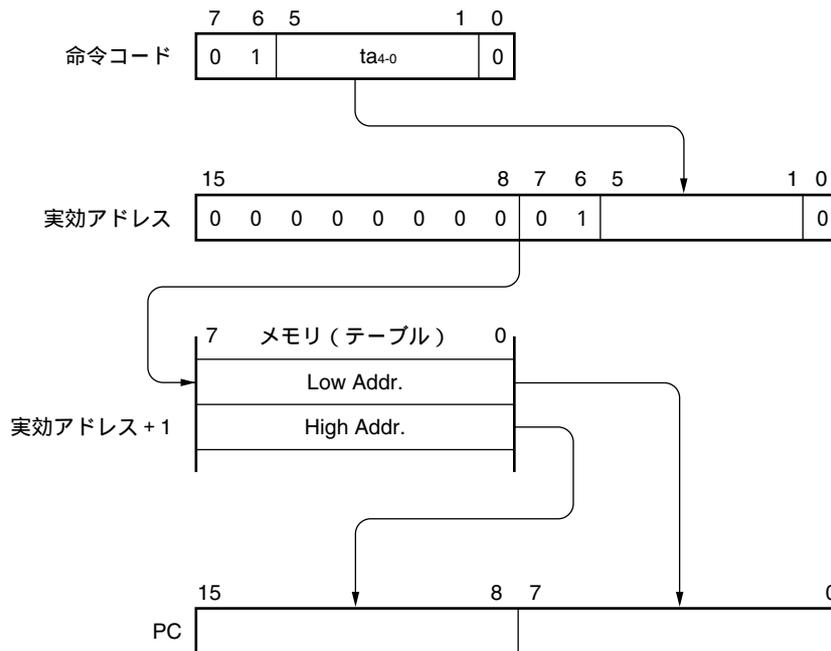
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



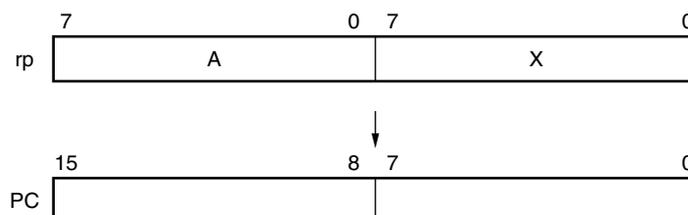
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 ダイレクト・アドレッシング

【機能】

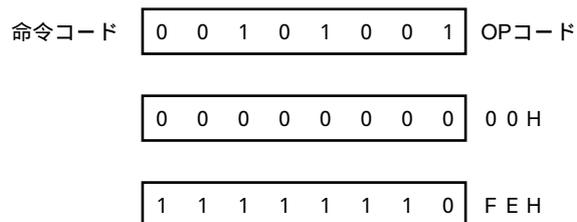
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

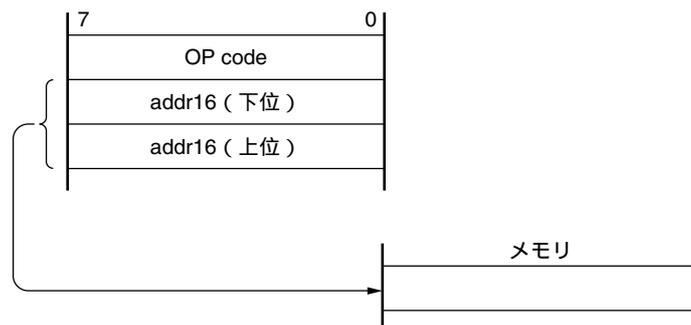
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !FE00H ; laddr16をFE00Hとする場合



【図解】



3.4.2 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

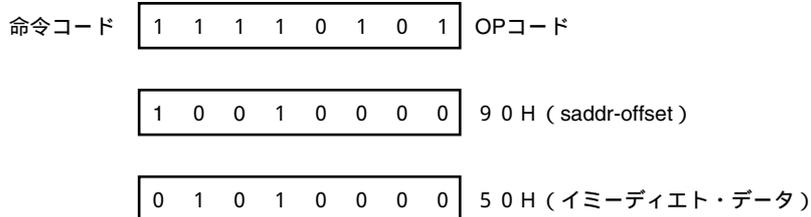
実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

【オペランド形式】

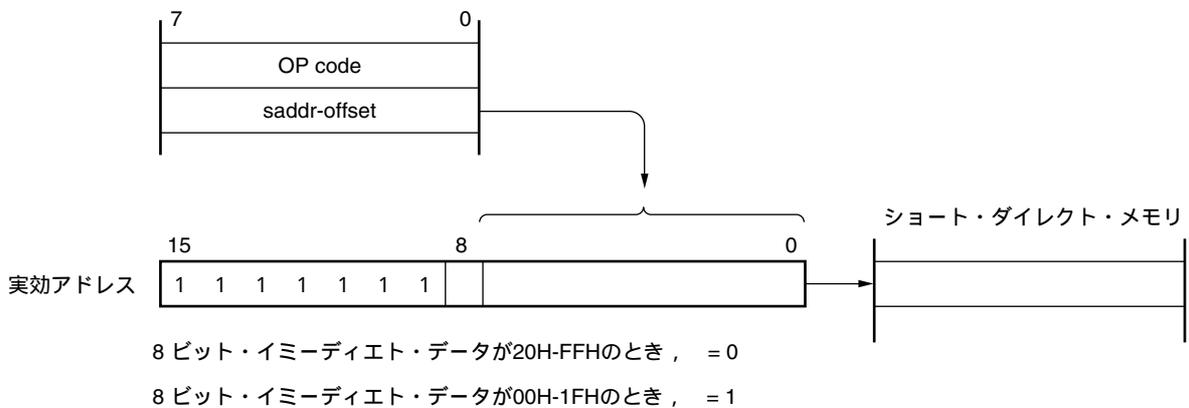
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV FE90H, #50H ; saddrをFE90H、イミディエト・データを50Hとする場合



【図解】



3.4.3 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

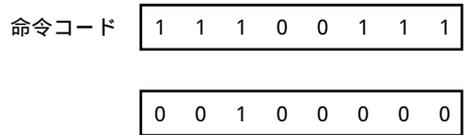
このアドレッシングが適用されるのはFF00H-FFFFHの256バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

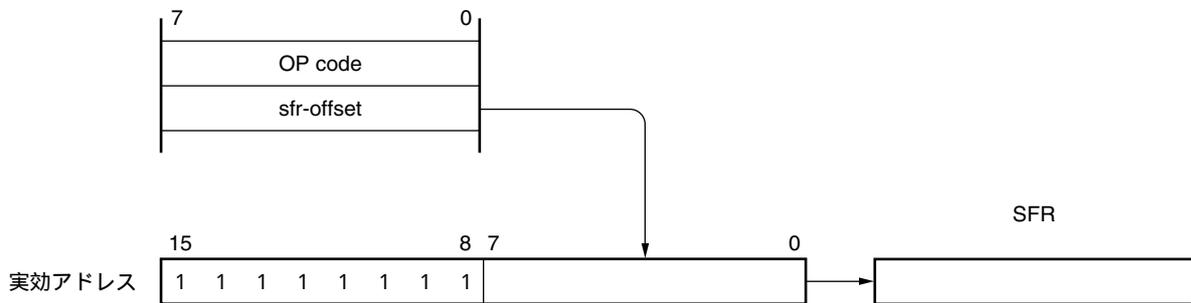
表現形式	記述方法
sfr	特殊機能レジスタ名

【記述例】

MOV PM0, A ; sfrにPM0を選択する場合



【図解】



3.4.4 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

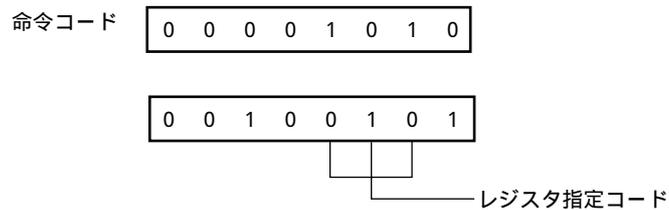
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

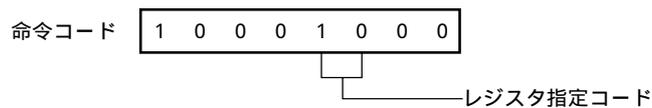
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.5 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

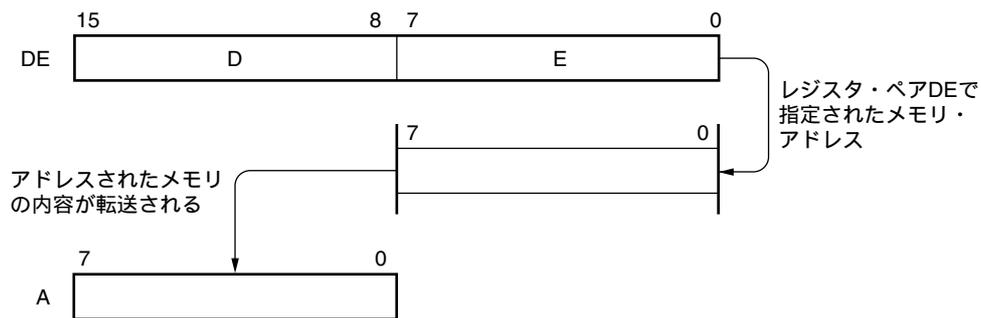
【記述例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード

0 0 1 0 1 0 1 1

【図解】



3.4.6 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

0	0	1	0	1	1	0	1
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

3.4.7 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

【記述例】

PUSH DEの場合

命令コード

1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---

第4章 EEPROM (データ・メモリ)

4.1 メモリ空間

μ PD789863, 789864サブシリーズは、データ・メモリとして、内部高速RAMのほかに、 64×8 ビットのEEPROM (Electrically Erasable PROM) を内蔵しています。

EEPROMは、通常のRAMとは異なり、電源を切ってもその内容を保持できます。また、EPROMとは異なり、紫外線を用いずに電気的な内容を消去することができます。

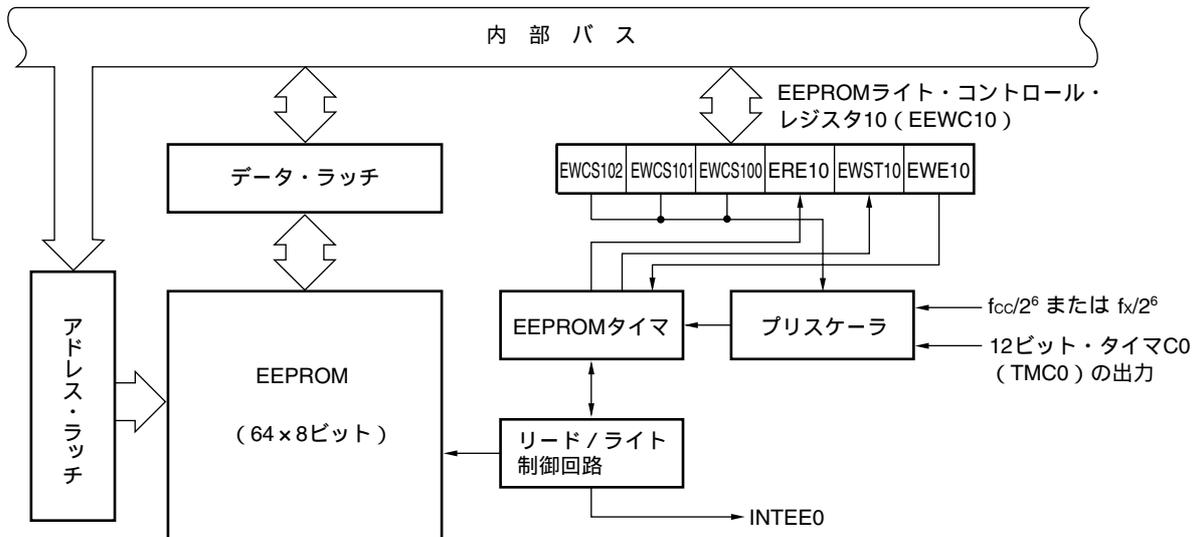
4.2 EEPROMの構成

EEPROMは、EEPROM本体と、コントロール部で構成されています。

コントロール部は、EEPROMの書き込みを制御するEEPROMライト・コントロール・レジスタ10 (EEWC10) と、書き込み終了を検出して割り込み要求信号 (INTEE0) を発生する部分で構成されています。

★

図4 - 1 EEPROMのブロック図



4.3 EEPROMを制御するレジスタ

EEPROMは、EEPROMライト・コントロール・レジスタ10 (EEWC10) で制御します。

EEWC10は、EEPROMのカウント・クロックの選択、EEPROMへの書き込みの制御などを設定するレジスタです。

EEWC10は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、08Hになります。

図4 - 2にEEPROMライト・コントロール・レジスタ10のフォーマット図を、表4 - 1にEEPROM書き込み時間を示します。

★ 図4 - 2 EEPROMライト・コントロール・レジスタ10のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
EEWC10	0	EWCS102	EWCS101	EWCS100	1	ERE10	EWST10	EWE10	FFD8H	08H	R/W ^注

EWCS102	EWCS101	EWCS100	EEPROMタイマのカウント・クロックの選択 ($f_{cc} = 1.8 \text{ MHz}$, $f_x = 2.0 \text{ MHz}$ 動作時)
0	1	1	$f_{cc}/2^6$ (28.1 kHz) または $f_x/2^6$ (31.3 kHz)
1	1	0	12ビット・タイマC0の出力
上記以外			設定禁止

ERE10	EWE10	書き込み	読み出し	備考
0	0	禁止	禁止	EEPROMはスタンバイ状態 (低消費電力モード)
0	1	設定禁止		
1	0	禁止	許可	
1	1	許可	許可	

EWST10	EEPROMの書き込みステータス・フラグ
0	EEPROMへの書き込み中ではない (EEPROMへの書き込み / 読み出しが可能。ただし、EWE10 = 0のときは書き込み禁止)
1	EEPROMへの書き込み中 (EEPROMへの書き込み / 読み出しはできない)

注 ビット1はRead Onlyです。

注意 ビット3には必ず1を、ビット7には必ず0を設定してください。

- 備考1. f_{cc} : システム・クロック発振周波数 (RC発振) (μ PD789863サブシリーズ)
 2. f_x : システム・クロック発振周波数 (セラミック発振) (μ PD789864サブシリーズ)
 3. () 内は、 $f_{cc} = 1.8 \text{ MHz}$, $f_x = 2.0 \text{ MHz}$ 動作時

表4 - 1 EEPROMの書き込み時間 ($f_{cc} = 1.8 \text{ MHz}$, $f_x = 2.0 \text{ MHz}$ 動作時)

EWCS102	EWCS101	EWCS100	EEPROMタイマのカウント・クロック	EEPROMへのデータ書き込み時間 ^注
0	1	1	$f_{cc}/2^6$ (28.1 kHz) または $f_x/2^6$ (31.3 kHz)	$2^6/f_{cc} \times 145$ (5.15 ms) または $2^6/f_x \times 145$ (4.64 ms)
1	1	0	12ビット・タイマC0の出力	12ビット・タイマC0の出力 \times 145
上記以外			設定禁止	

注 EEPROM書き込み時間は必ず3.3 ~ 6.6 msの範囲内に設定してください。

- 備考1. f_{cc} : システム・クロック発振周波数 (RC発振) (μ PD789863サブシリーズ)
 2. f_x : システム・クロック発振周波数 (セラミック発振) (μ PD789864サブシリーズ)

4.4 EEPROM (データ・メモリ) の注意事項

4.4.1 EEPROM読み出し時の注意事項

EEPROMから読み出しをするときには、必ずリセット後のCPUクロックが低速モード ($PCC1 = 1$) の期間に行ってください。CPUクロックが高速モード ($PCC1 = 0$) のときに読み出すと、データが不定になることがあります。

4.4.2 EEPROM書き込み時の注意事項

EEPROMへの書き込みに関する注意を次に示します。

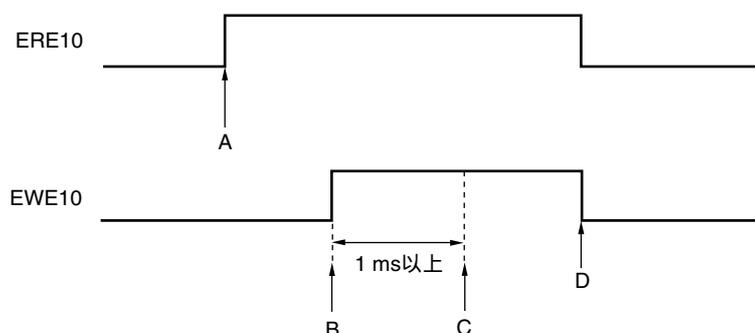
- (1) EEPROMから命令フェッチする場合、およびシステム・クロック発振回路を停止する場合には、必ずEEPROMへの書き込みを禁止に設定 ($EWE10 = 0$) してから行ってください。
- (2) カウント・クロックの設定は、選択するクロックが動作 (発振) している状態で行ってください。選択したカウント・クロックが停止していた場合、その後、クロックの動作を開始させ、EEPROMへの書き込み許可に設定 ($EWE10 = 1$) しても、書き込み可能状態に移りません。
- (3) EEPROMへの書き込み時間は、必ず3.3~6.6 msの範囲内に設定してください。
- (4) $ERE10$, $EWE10$ をセットする場合は必ず次の手順で行ってください。次の手順以外で設定を行うとEEPROMへの書き込み可能状態に移りません。

$ERE10 = 1$ に設定 (このとき $EWE10 = 0$ の状態である)

$EWE10 = 1$ に設定 (このとき $ERE10 = 1$ の状態である)

ソフトウェアで1 ms以上ウエイトする

EEPROMへの書き込み可能状態に移り



A ($ERE10 = 1$) : 読み出し可能な状態に移ります。

B ($EWE10 = 1$) : これ以前にカウント・クロックの設定を行ってください。

C : 書き込み可能な状態に移ります。

D : $ERE10$ をクリア ($ERE10 = 0$) にすると $EWE10$ もクリア ($EWE10 = 0$) されます。この状態で読み出し / 書き込みはできません。

- (5) EEPROMへの書き込みを行う際、 $EWST10 = 0$ であることを確認してから実行してください。 $EWST10 = 1$ のときEEPROMへの書き込みを実行しても、その命令は無視されます。

(6) EEPROMへの書き込み中に次の動作を実行しないでください。実行した場合、そのアドレスのEEPROMセル値が不定になります。

- ・電源を立ち下げる
- ・リセットを実行する
- ・ERE10 = 0に設定する
- ・EWE10 = 0に設定する
- ・EEPROMタイマのカウント・クロックを切り替える

(7) EEPROMタイマのカウント・クロックにシステム・クロックの分周を選択して、EEPROMへの書き込み中であるとき、次の動作を実行しないでください。実行した場合、そのアドレスのEEPROMセル値が不定になります。

- ・STOP命令を実行する

(8) EEPROMタイマのカウント・クロックに12ビット・タイマC0 (TMC0) の出力を選択して、EEPROMへの書き込み中であるとき、次の動作を実行しないでください。実行した場合、そのアドレスのEEPROMセル値が不定になります。

- ・STOP命令を実行する
- ・TMC0のタイマ出力を停止する
- ・TMC0の動作を停止する

(9) EEPROMへの書き込み / 読み出しを行うとき、次の動作を実行しないでください。実行した場合、次に読み出すEEPROMのデータが不定になり、CPUが暴走する可能性があります。

- ・ERE10 = 0に設定する
- ・EEPROMへの書き込みを実行する

(10) EEPROMへの書き込み / 読み出しを行わない場合、ERE10 = 0に設定することで低消費モードにすることができます。ERE10 = 1の状態では、常に約0.27 mA ($V_{DD} = 3.6\text{ V}$) の電流が流れます。このとき、EEPROMからの読み出し命令を実行した場合には、さらに0.9 mAの電流が加わり約1.17 mA ($V_{DD} = 3.6\text{ V}$) の電流が流れます。ERE10 = 1、EWE10 = 1の状態では、常に約0.3 mA ($V_{DD} = 3.6\text{ V}$) の電流が流れます。このとき、EEPROMへの書き込み命令を実行した場合には、さらに0.7 mAの電流が加わり約1.0 mA ($V_{DD} = 3.6\text{ V}$) の電流が、EEPROMへの読み出し命令を実行した場合には、0.9 mAの電流が加わり約1.2 mA ($V_{DD} = 3.6\text{ V}$) の電流がそれぞれ流れます。

(11) STOP命令を実行した場合、ERE10、EWE10の設定にかかわらず、自動的に低消費電力モードになります。このとき、ERE10、EWE10の状態は保持されます。また、STOP解除時のウェイト時間中は約300 μA ($V_{DD} = 3.6\text{ V}$) の電流が流れます。HALT命令を実行した場合は低消費電力モードになりません。

第5章 ポート機能

5.1 ポートの機能

μPD789863, 789864サブシリーズは、表5-1に示すポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

表5-1 ポートの機能

名称	端子名称	機能
ポート0	P00-P03	入出力ポート。1ビット単位で入力/出力の指定可能。
ポート2	P20	入出力ポート。1ビット単位で入力/出力の指定可能。

5.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表5-2 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ0 (PM0) ポート・モード・レジスタ2 (PM2) プルアップ抵抗オプション・レジスタB0 (PUB0) プルアップ抵抗オプション・レジスタB2 (PUB2)
ポート	CMOS入出力：5本

5.2.1 ポート0

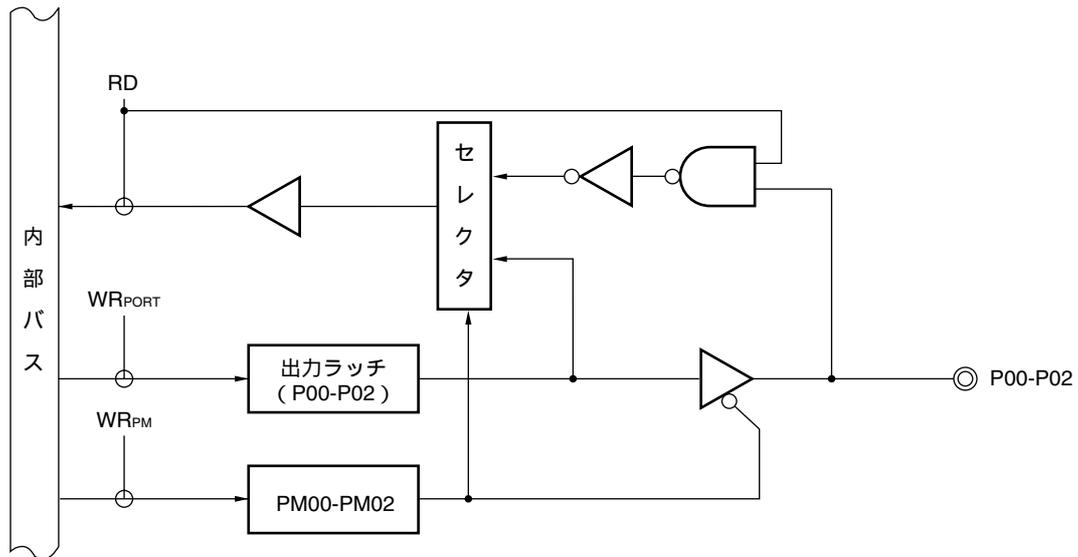
出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P03端子は、プルアップ抵抗オプション・レジスタB0 (PUB0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部スイッチ入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図5 - 1, 図5 - 2にポート0のブロック図を示します。

図5 - 1 P00-P02のブロック図

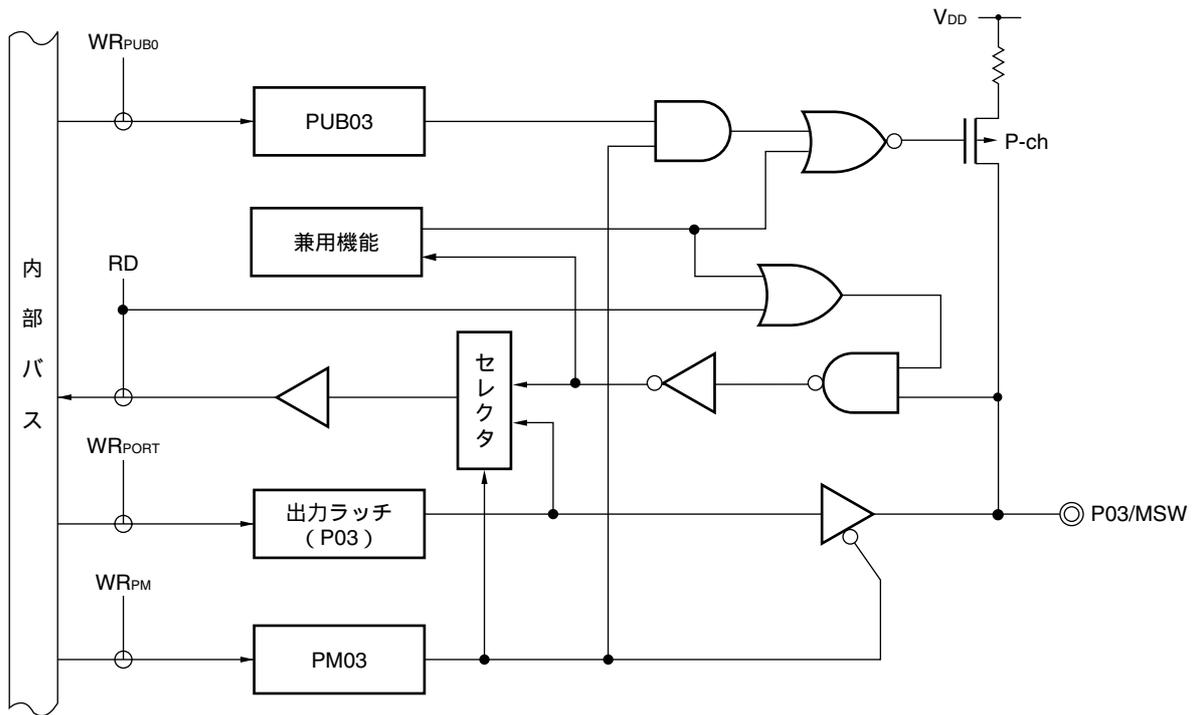


PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

図5 - 2 P03のブロック図



PM : ポート・モード・レジスタ
 RD : ポート0のリード信号
 WR : ポート0のライト信号

5.2.2 ポート2

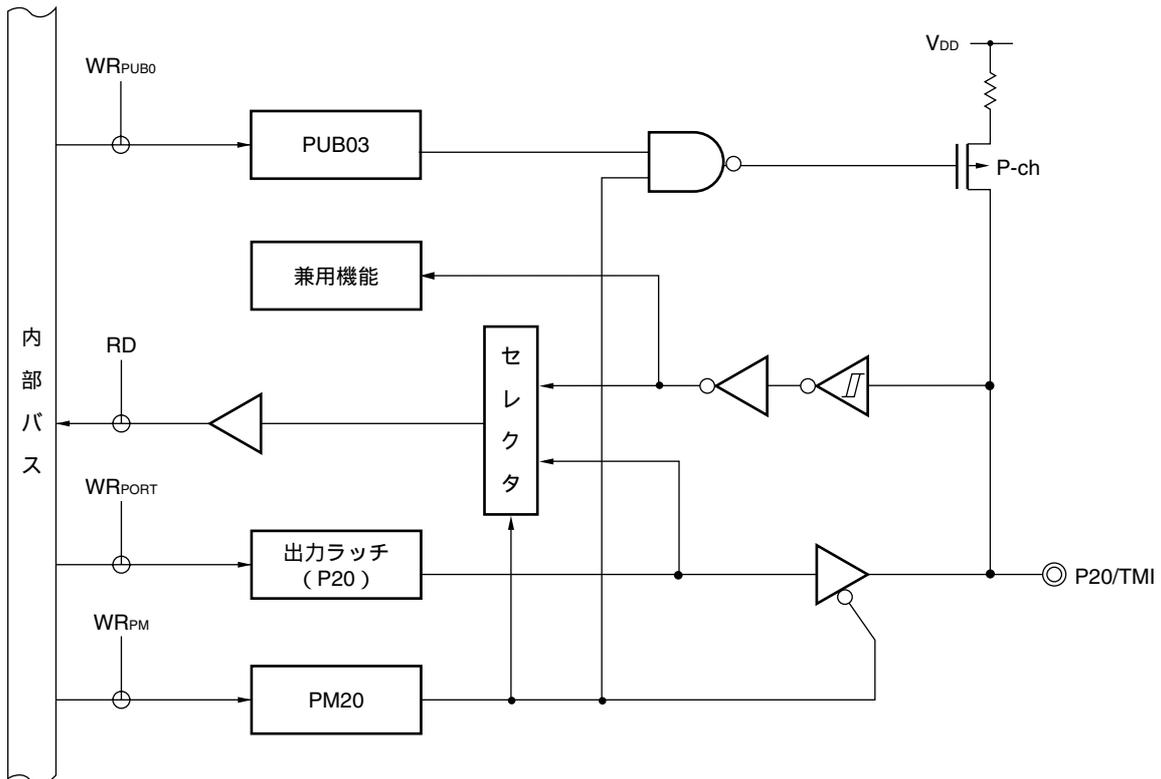
出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。P20端子は、プルアップ抵抗オプション・レジスタB2 (PUB2) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマ入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図5 - 3にポート2のブロック図を示します。

図5 - 3 P20のブロック図



PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

5.3 ポート機能を制御するレジスタ

ポートは、次の2種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0, PM2)
- ・ブルアップ抵抗オプション・レジスタ (PUB0, PUB2)

(1) ポート・モード・レジスタ (PM0, PM2)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表5-3のように設定してください。

図5-4 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM2	1	1	1	1	1	1	1	PM20	FF22H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 2 n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

表5-3 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定

端子名称	兼用機能		PMxx	Pxx
	名称	入出力		
P03	MSW	入力	1	x
P20	TMI	入力	1	x

備考 x : don't care

PMxx : ポート・モード・レジスタ

Pxx : ポートの出力ラッチ

(2) プルアップ抵抗オプション・レジスタ (PUB0, PUB2)

PUB0は、P03の内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。

PUB2は、P20の内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。

PUB0, PUB2で内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、PUB0, PUB2の設定にかかわらず、内蔵プルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PUB0, PUB2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図5 - 5 プルアップ抵抗オプション・レジスタB0のフォーマット

略号	7	6	5	4		2	1	0	アドレス	リセット時	R/W
PUB0	0	0	0	0	PUB03	0	0	0	FF30H	00H	R/W

PUB03	P03の内蔵プルアップ抵抗の選択
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意 ビット0-2, 4-7には必ず0を設定してください。

図5 - 6 プルアップ抵抗オプション・レジスタB2のフォーマット

略号	7	6	5	4	0	2	1	0	アドレス	リセット時	R/W
PUB2	0	0	0	0	0	0	0	PUB20	FF32H	00H	R/W

PUB20	P20の内蔵プルアップ抵抗の選択
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意 ビット1-7には必ず0を設定してください。

5.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

5.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

5.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

5.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第6章 クロック発生回路

6.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

STOP命令の実行により、発振を停止できます。

製品ごとに、次の方式のシステム・クロック発振回路を採用しています。

- ★ ・RC発振回路（1.8 MHz（Typ.））・・・ μ PD789863サブシリーズ
- ・セラミック発振回路（2.0MHz）・・・ μ PD789864サブシリーズ

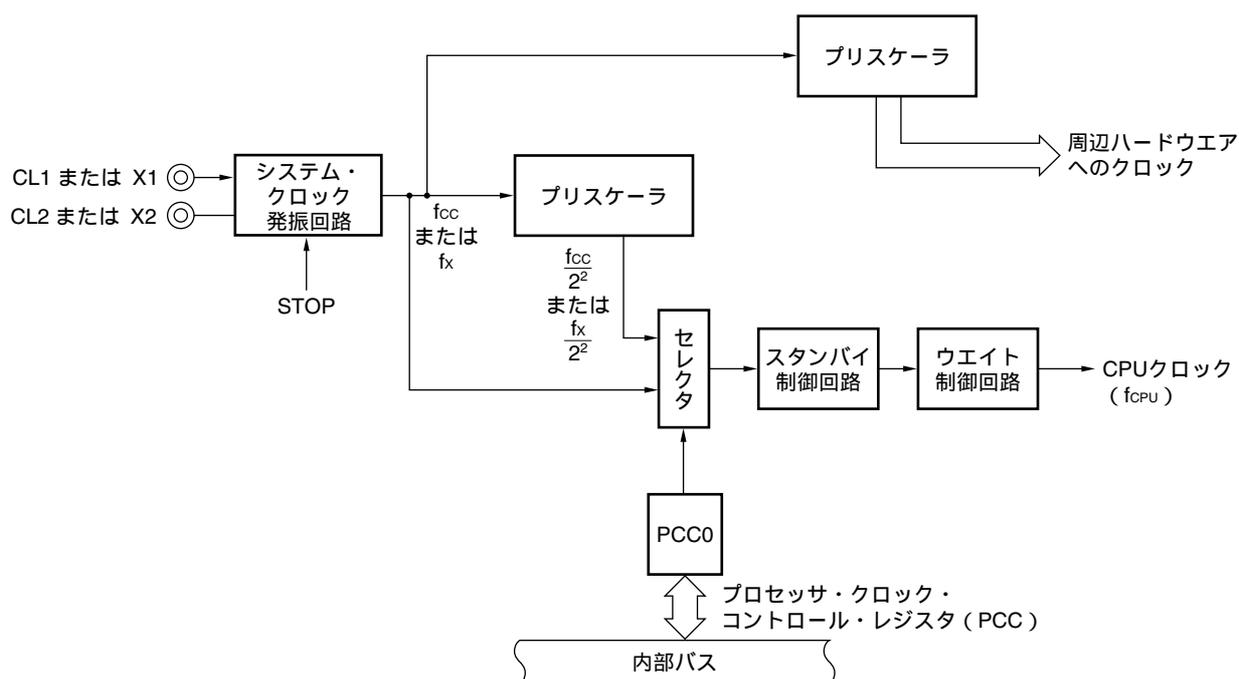
6.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表6 - 1 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ（PCC）
発振回路	RC発振回路（ μ PD789863サブシリーズ） セラミック発振回路（ μ PD789864サブシリーズ）

図6 - 1 クロック発生回路のブロック図



6.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ (PCC)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択，分周比を設定するレジスタです。

PCCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，02Hになります。

図6-2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	0	0	0	0	0	0	PCC0	0	FFFBH	02H	R/W

PCC0	CPUクロック (f_{CPU}) の選択	最小命令実行時間: $2/f_{CPU}$	
		$f_{cc} = 1.8 \text{ MHz}$ 動作時	$f_x = 2.0 \text{ MHz}$ 動作時
0	f_{cc} または f_x	$1.1 \mu\text{s}$	$1.0 \mu\text{s}$
1	$f_{cc}/2^2$ または $f_x/2^2$	$4.44 \mu\text{s}$	$4.0 \mu\text{s}$

注意 ビット0，ビット2-7には必ず0を設定してください。

備考 f_{cc} : システム・クロック発振周波数 (RC発振) (μ PD789863サブシリーズ)

f_x : システム・クロック発振周波数 (セラミック発振) (μ PD789864サブシリーズ)

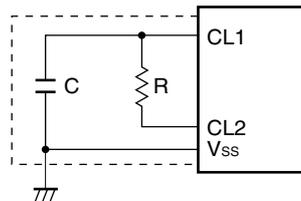
6.4 システム・クロック発振回路

6.4.1 システム・クロック (RC) 発振回路 (μ PD789863サブシリーズ)

μ PD789863サブシリーズのシステム・クロック発振回路は、CL1, CL2端子に接続された抵抗 (R) とコンデンサ (C) によって発振します。

図6 - 3に μ PD789863サブシリーズでのシステム・クロック発振回路の外付け回路を示します。

図6 - 3 システム・クロック発振回路の外付け回路 (μ PD789863サブシリーズ)



注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図6 - 3の破線の部分を次のように配線してください。

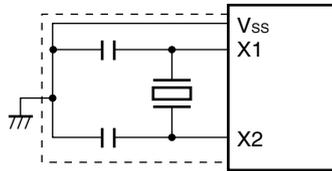
- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

6.4.2 システム・クロック（セラミック）発振回路（ μ PD789864サブシリーズ）

μ PD789864サブシリーズのシステム・クロック発振回路は、X1, X2端子に接続されたセラミック発振子（2.0 MHz）によって発振します。

図6 - 4に μ PD789864サブシリーズでのシステム・クロック発振回路の外付け回路を示します。

図6 - 4 システム・クロック発振回路の外付け回路（ μ PD789864サブシリーズ）



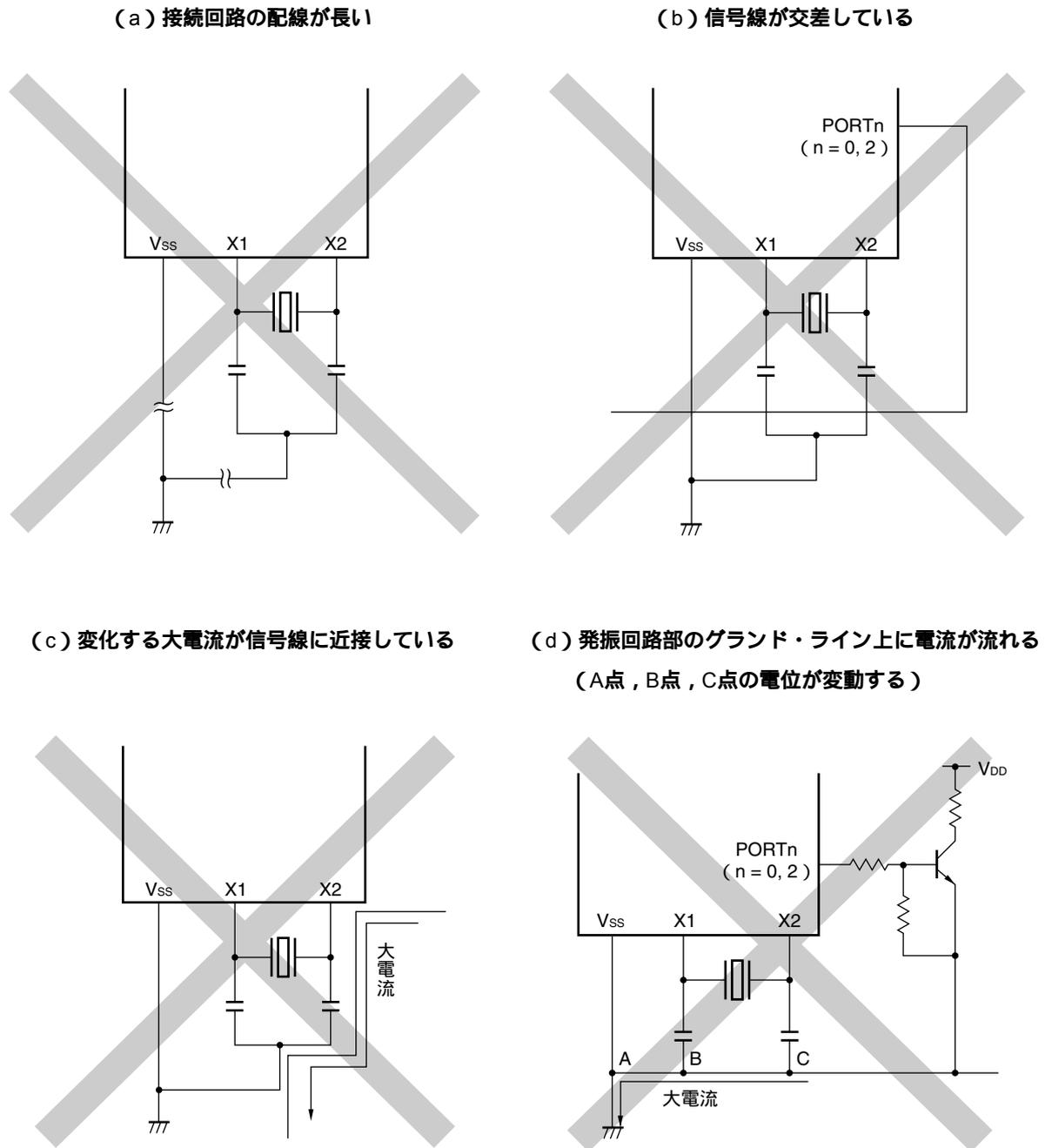
注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図6 - 4の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

6.4.3 発振子の接続の悪い例

図6-5に発振子の接続の悪い例を示します。

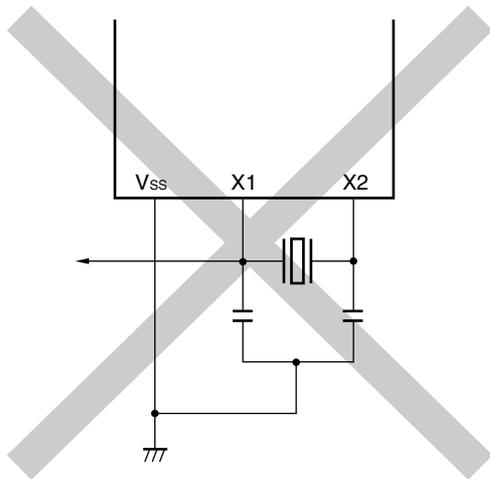
図6-5 発振子の接続の悪い例 (1/2)



備考 μ PD789863サブシリーズの場合は, X1, X2をCL1, CL2と読み替えてください。

図6 - 5 発振子の接続の悪い例 (2/2)

(e) 信号を取り出している



備考 μ PD789863サブシリーズの場合は、X1, X2をCL1, CL2と読み替えてください。

6.4.4 分周回路

分周回路は、システム・クロック発振回路出力 (f_{cc} または f_x) を分周して、各種クロックを生成します。

6.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・システム・クロック f_{CC} または f_x
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) により決定され、次のような機能、動作となります。

- (a) \overline{RESET} 信号発生によりシステム・クロックの低速モード ($4.0 \mu s : 2.0 \text{ MHz}$ 動作時) が選択されます (PCC = 02H)。なお、 \overline{RESET} 端子にロウ・レベルを入力している間、システム・クロックの発振は停止します。
- (b) PCCの設定により2段階の最小命令実行時間 ($1.0 \mu s, 4.0 \mu s : 2.0 \text{ MHz}$ 動作時) を選択することができます。
- (c) STOPモード、HALTモードの2つのスタンバイ・モードが使用できます。
- (d) 周辺ハードウェアへのクロックはシステム・クロックを分周して供給されます。このため、システム・クロックを停止させたときは周辺ハードウェアも停止します (ただし、外部からの入力クロック動作は除く)。

6.6 CPUクロックの設定の変更

6.6.1 CPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット1（PCC0）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表6-2参照）。

表6-2 CPUクロックの切り替えに要する最大時間

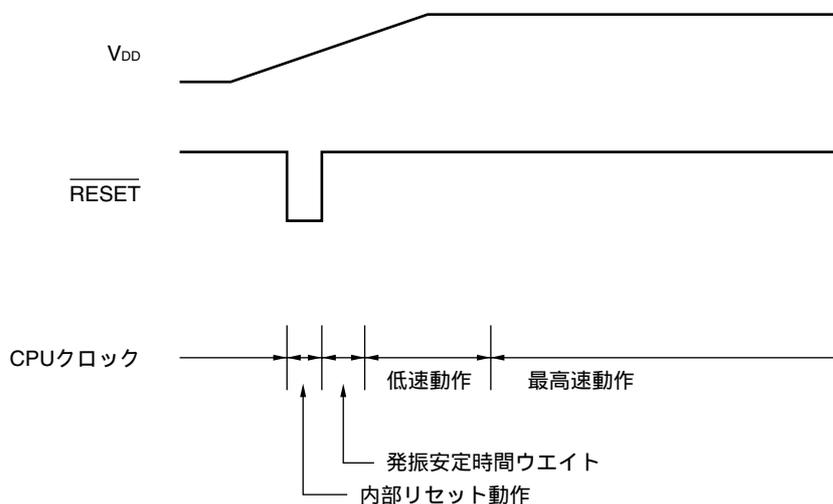
切り替え前の設定値	切り替え後の設定値	
PCC0	PCC0	PCC0
	0	1
0		4クロック
1	2クロック	

備考 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

6.6.2 CPUクロックの切り替え手順

CPUクロックの切り替えについて説明します。

図6-6 CPUクロックの切り替え



電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、システム・クロックが発振開始します。このとき、自動的に発振安定時間（ μ PD789863サブシリーズ： $2^7/f_{cc}$ 、 μ PD789864サブシリーズ： $2^{13}/f_x$ ）を確保します。

その後、CPUはシステム・クロックの低速（4.0 μ s：2.0 MHz動作時）で命令の実行を開始します。VDD電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ（PCC）を書き換えて最高速動作を行います。

第7章 12ビット・タイマC0

7.1 12ビット・タイマC0の機能

μPD789863, 789864サブシリーズは12ビット・タイマを1チャンネル(タイマC0)内蔵しています。

次のような機能を使用できます。

- ・12ビット分解能のインターバル・タイマ
- ・12ビット分解能の外部イベント・カウンタ
- ・EEPROM(データ・メモリ)へのタイマ出力

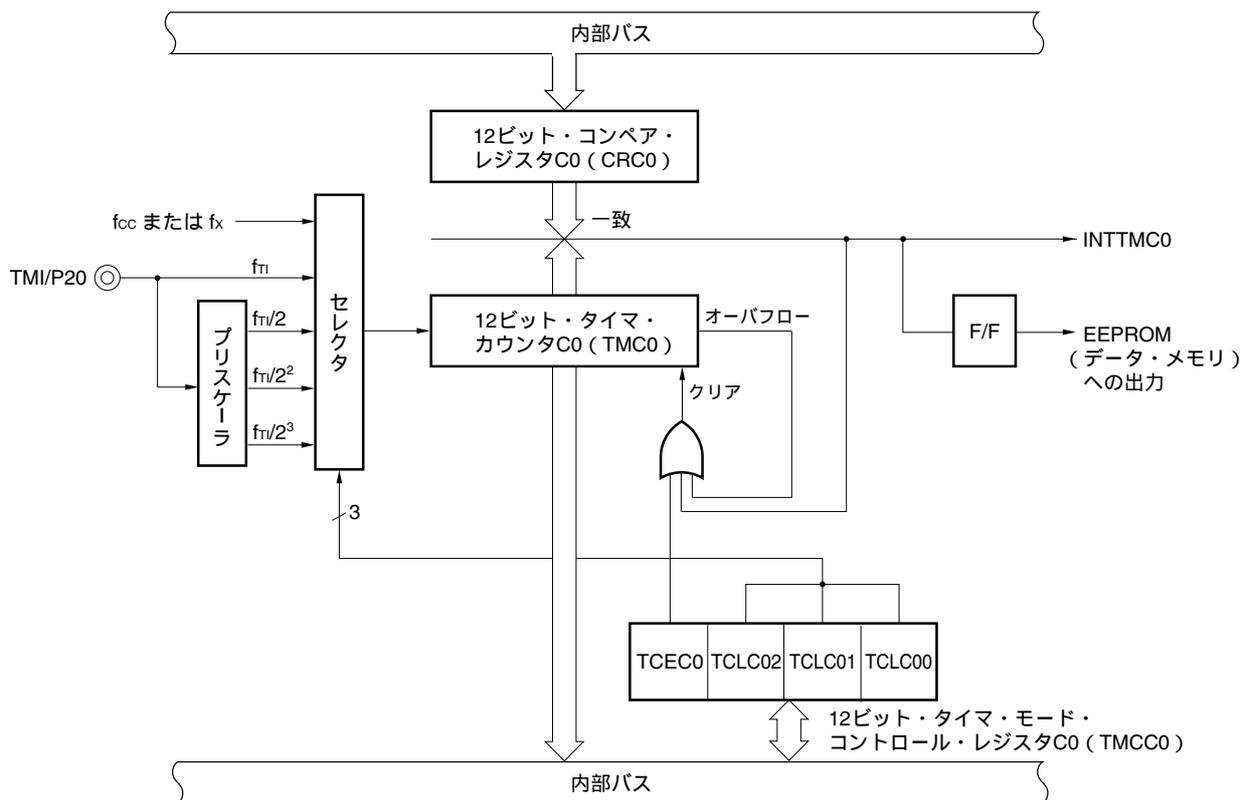
7.2 12ビット・タイマC0の構成

12ビット・タイマC0は、次のハードウェアで構成しています。

表7-1 12ビット・タイマC0の構成

項目	構成
タイマ・カウンタ	12ビット×1本(TMC0)
レジスタ	コンペア・レジスタ: 12ビット×1本(CRC0)
タイマ入力端子	TMI
タイマ出力端子	なし
制御レジスタ	12ビット・タイマ・モード・コントロール・レジスタC0(TMCC0) ポート・モード・レジスタ2(PM2)

図7-1 12ビット・タイマC0のブロック図



(1) 12ビット・コンペア・レジスタC0 (CRC0)

CRC0に設定した値と12ビット・タイマ・カウンタC0 (TMC0) のカウント値を常に比較し、一致したときに割り込み要求 (INTTMC0) を発生する12ビットのレジスタです。

CRC0は、8ビット・メモリ操作命令または16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 CRC0 = 000Hは設定禁止です。

(2) 12ビット・タイマ・カウンタC0 (TMC0)

カウント・パルスをカウントする12ビットのレジスタです。

TMC0は、8ビット・メモリ操作命令または16ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、それぞれ000Hになります。

TMC0が000Hにクリアされる条件を次に示します。

- ・リセット
- ・TCEC0 (12ビット・タイマ・モード・コントロール・レジスタC0 (TMCC0) のビット7) を0にクリア
- ・TMC0とCRC0の一致
- ・TMC0のカウント値のオーバーフロー

注意 外部クロック選択時は、TMC0の読み出し禁止です。

7.3 12ビット・タイマC0を制御するレジスタ

12ビット・タイマは、次の2種類のレジスタで制御します。

- ・12ビット・タイマ・モード・コントロール・レジスタC0 (TMCC0)
- ・ポート・モード・レジスタ2 (PM2)

(1) 12ビット・タイマ・モード・コントロール・レジスタC0 (TMCC0)

12ビット・タイマ・モード・コントロール・レジスタC0 (TMCC0) は、タイマC0の動作許可/停止、カウント・クロックの設定を制御するレジスタです。

TMCC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図7-2 12ビット・タイマ・モード・コントロール・レジスタC0のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMCC0	TCEC0	0	0	0	TCLC02	TCLC01	TCLC00	0	FF0BH	00H	R/W

TCEC0	TMC0のカウント動作の制御
0	TMC0のカウント値をクリアし、動作停止
1	カウント動作開始

TCLC02	TCLC01	TCLC00	タイマC0のカウント・クロックの選択		
			$f_{T1} < 2.5 \text{ MHz}$	$2.5 \text{ MHz} < f_{T1} < 5 \text{ MHz}$	$5 \text{ MHz} < f_{T1} < 10 \text{ MHz}$
0	X	X	f_{CC} (1.8 MHz) または f_X (2 MHz)	f_{CC} (1.8 MHz) または f_X (2 MHz)	f_{CC} (1.8 MHz) または f_X (2 MHz)
1	0	0	f_{T1}	設定禁止	設定禁止
1	0	1	$f_{T1}/2$	$f_{T1}/2$	設定禁止
1	1	0	$f_{T1}/2^2$	$f_{T1}/2^2$	$f_{T1}/2^2$
1	1	1	$f_{T1}/2^3$	$f_{T1}/2^3$	$f_{T1}/2^3$

注意1. ビット0, 4-6には、必ず0を設定してください。

2. タイマC0のカウント・クロックは、必ず2.5 MHz以下に設定してください。

$f_{T1} > 2.5 \text{ MHz}$ の場合は必ず2.5 MHz以下に分周する値を選択してください。

備考1. f_{CC} : システム・クロック発振周波数 (RC発振) (μ PD789863サブシリーズ)

2. f_X : システム・クロック発振周波数 (セラミック発振) (μ PD789864サブシリーズ)

3. f_{T1} : TMI/P20端子から入力される外部クロック

4. X : Don't care

(2) ポート・モード・レジスタ2 (PM2)

ポート2の入力 / 出力を1ビット単位で設定するレジスタです。

P20/TMI端子をタイマ入力として使用するときはPM20に1を設定してください。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図7-3 ポート・モード・レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM2	1	1	1	1	1	1	1	PM20	FF22H	FFH	R/W

PM20	P20端子の入出力モード
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

7.4 12ビット・タイマC0の動作

7.4.1 12ビット分解能のインターバル・タイマとしての動作

12ビット分解能のインターバル・タイマは、あらかじめ12ビット・コンペア・レジスタC0 (CRC0) に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

12ビット・タイマC0をインターバル・タイマとして動作させるには次の設定をします。

12ビット・タイマ・カウンタC0 (TMC0) を動作禁止 (TCEC0 = 0) に設定

CRC0にカウント値を設定

タイマC0のカウント・クロックを設定 (図7-2参照)

TMC0を動作許可 (TCEC0 = 1) に設定

12ビット・タイマ・カウンタC0 (TMC0) のカウント値がCRC0に設定した値と一致したとき、TMC0の値を000Hにクリアしてカウントを継続するとともに、割り込み要求信号 (INTTMC0) を発生します。

表7-2にインターバル時間を、図7-4~図7-7にインターバル・タイマ動作のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。

表7-2 タイマC0のインターバル時間 (fcc = 1.8 MHz, fx = 2.0 MHz動作時)

TCLC02	TCLC01	TCLC00	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_{cc}$ (0.55 μ s) または $1/f_x$ (0.5 μ s)	$2^{12}/f_{cc}$ (2.27 ms) または $2^{12}/f_x$ (2.05 ms)	$1/f_{cc}$ (0.55 μ s) または $1/f_x$ (0.5 μ s)
1	0	0	f_{TI} 入力周期	f_{TI} 入力周期 $\times 2^{12}$	f_{TI} 入力周期
1	0	1	$f_{TI}/2$ 入力周期	$f_{TI}/2$ 入力周期 $\times 2^{12}$	$f_{TI}/2$ 入力周期
1	1	0	$f_{TI}/2^2$ 入力周期	$f_{TI}/2^2$ 入力周期 $\times 2^{12}$	$f_{TI}/2^2$ 入力周期
1	1	1	$f_{TI}/2^3$ 入力周期	$f_{TI}/2^3$ 入力周期 $\times 2^{12}$	$f_{TI}/2^3$ 入力周期

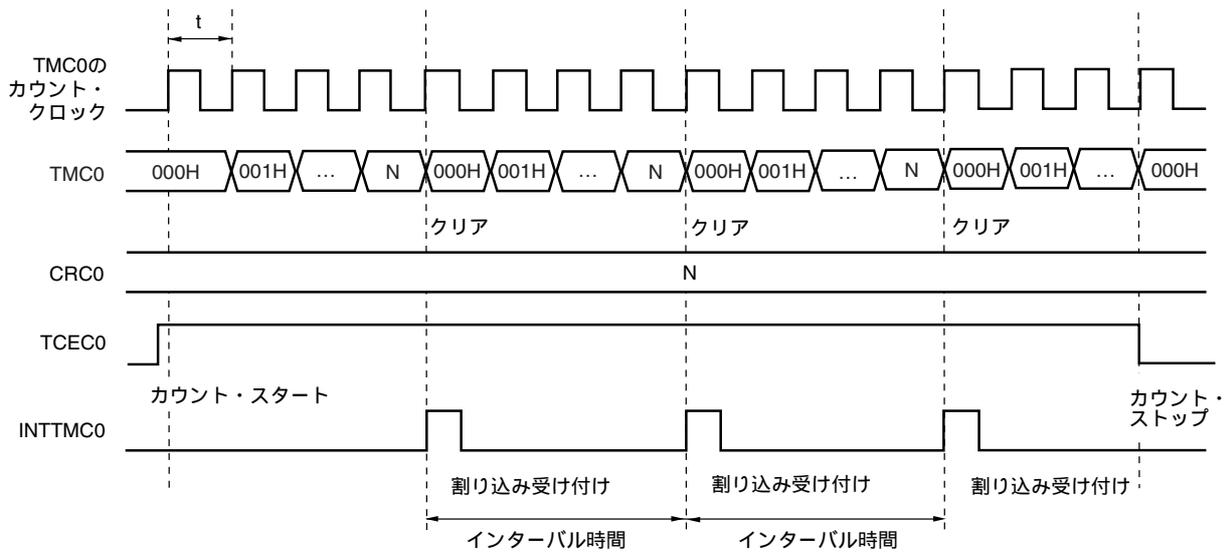
備考1. f_{cc} : システム・クロック発振周波数 (RC発振) (μ PD789863サブシリーズ)

2. f_x : システム・クロック発振周波数 (セラミック発振) (μ PD789864サブシリーズ)

3. f_{TI} : TMI/P20端子から入力される外部クロック

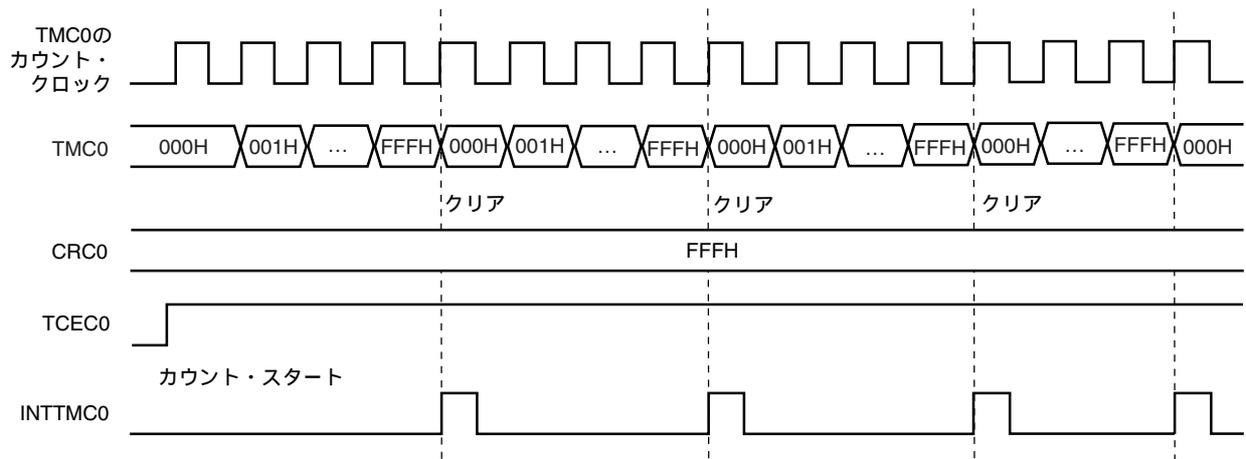
4. () 内は, $f_{cc} = 1.8$ MHz, $f_x = 2.0$ MHz動作時

図7-4 12ビット分解能のインターバル・タイマ動作のタイミング(基本動作)



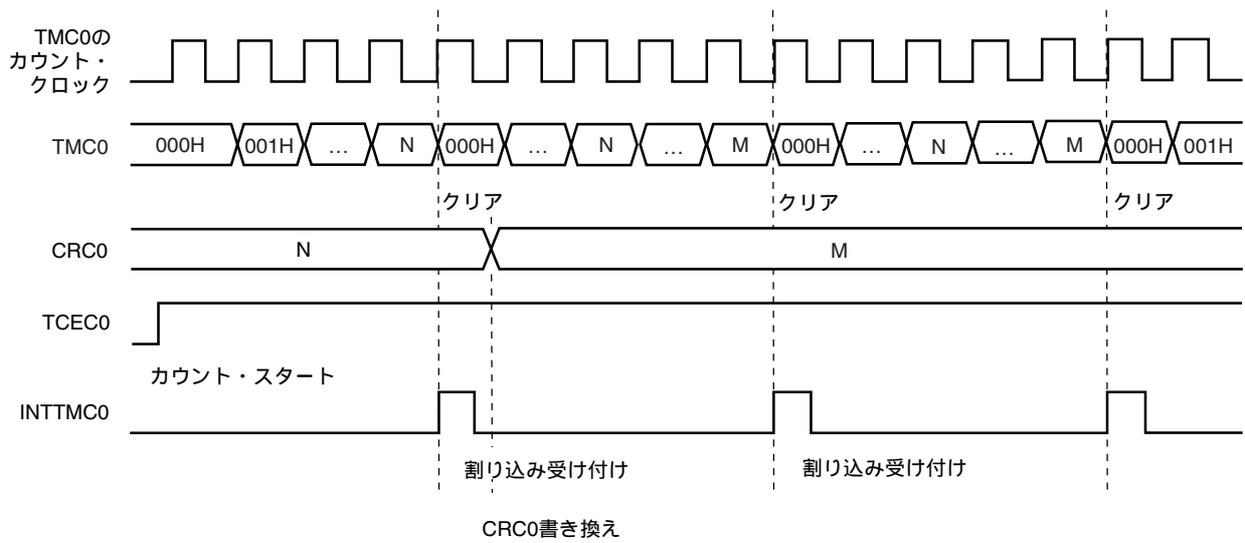
備考 インターバル時間 = $(N + 1) \times t$: $N = 001H - FFFH$

図7-5 12ビット分解能のインターバル・タイマ動作のタイミング(CRC0 = FFFH設定時)



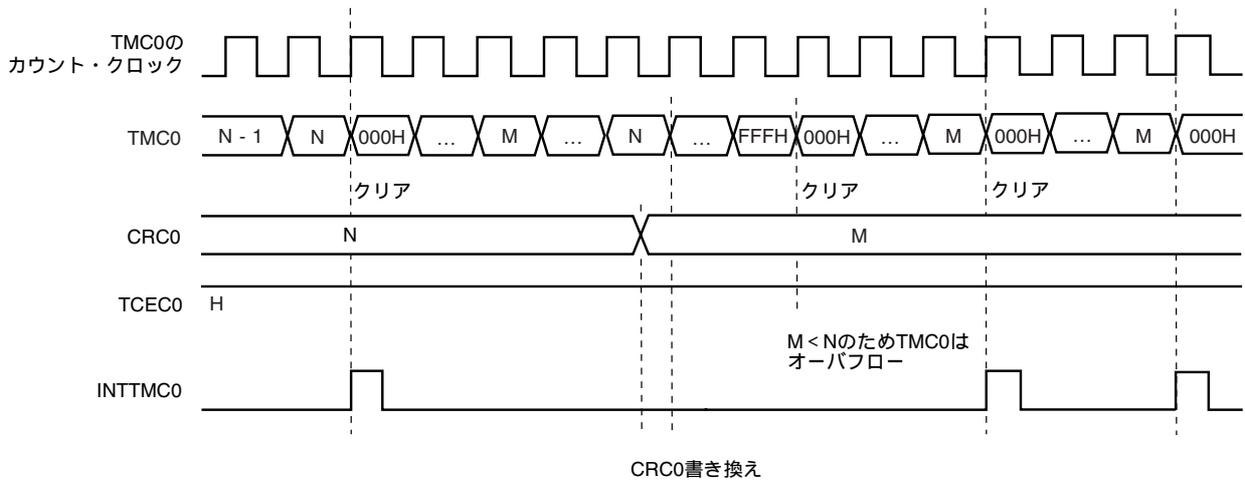
備考 $N = 001H - FFFH$

図7-6 12ビット分解能のインターバル・タイマ動作のタイミング (CRC0 = N M (N < M) 変更時)



備考 N = 001H-FFFH

図7-7 12ビット分解能のインターバル・タイマ動作のタイミング (CRC0 = N M (N > M) 変更時)



備考 N = 001H-FFFH

7.4.2 12ビット分解能の外部イベント・カウンタとしての動作

外部イベント・カウンタは、TMI/P20端子に入力される外部からのクロック・パルス数を12ビット・タイマ・カウンタC0 (TMC0) でカウントするものです。

タイマC0を外部イベント・カウンタとして動作させるには次の設定をします。

- 12ビット・タイマ・カウンタC0 (TMC0) を動作禁止 (TCEC0 = 0) に設定
- P20を入力モード (PM20 = 1) に設定
- タイマC0の外部入力クロックを選択 (図7 - 2参照)
- CRC0にカウント値を設定
- TMC0を動作許可 (TCEC0 = 1) に設定

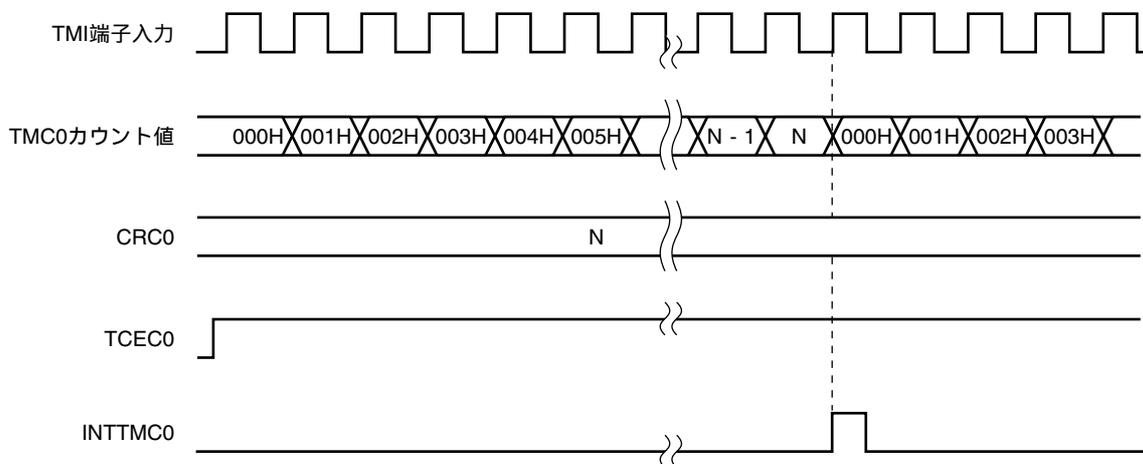
有効エッジが入力されるたびにTMC0がインクリメントされます。

TMC0のカウント値がCRC0に設定した値と一致したとき、TMC0の値を000Hにクリアしてカウントを継続するとともに、割り込み要求信号 (INTTMC0) を発生します。

図7 - 8に外部イベント・カウンタ動作のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。

図7 - 8 12ビット分解能の外部イベント・カウンタ動作のタイミング



備考 N = 001H-FFFH

7.4.3 EEPROM (データ・メモリ) へのタイマ出力

EEPROM (データ・メモリ) へのタイマ出力は、あらかじめ12ビット・コンペア・レジスタC0 (CRC0) に設定したカウント値をパルス幅とし、繰り返しタイマ出力を反転させることができます。

12ビット・タイマC0をタイマ出力として動作させるには次の設定をします。

- 12ビット・タイマ・カウンタC0 (TMC0) を動作禁止 (TCEC0 = 0) に設定
- CRC0にカウント値を設定
- タイマC0のカウント・クロックを設定 (図7 - 2参照)
- TMC0を動作許可 (TCEC0 = 1) に設定

12ビット・タイマ・カウンタC0 (TMC0) のカウント値がCRC0に設定した値と一致したとき、TMC0の値を000Hにクリアしてカウントを継続するとともに、タイマ出力を反転します。

表7 - 3に出力パルス幅を、図7 - 9にタイマ出力のタイミングを示します。

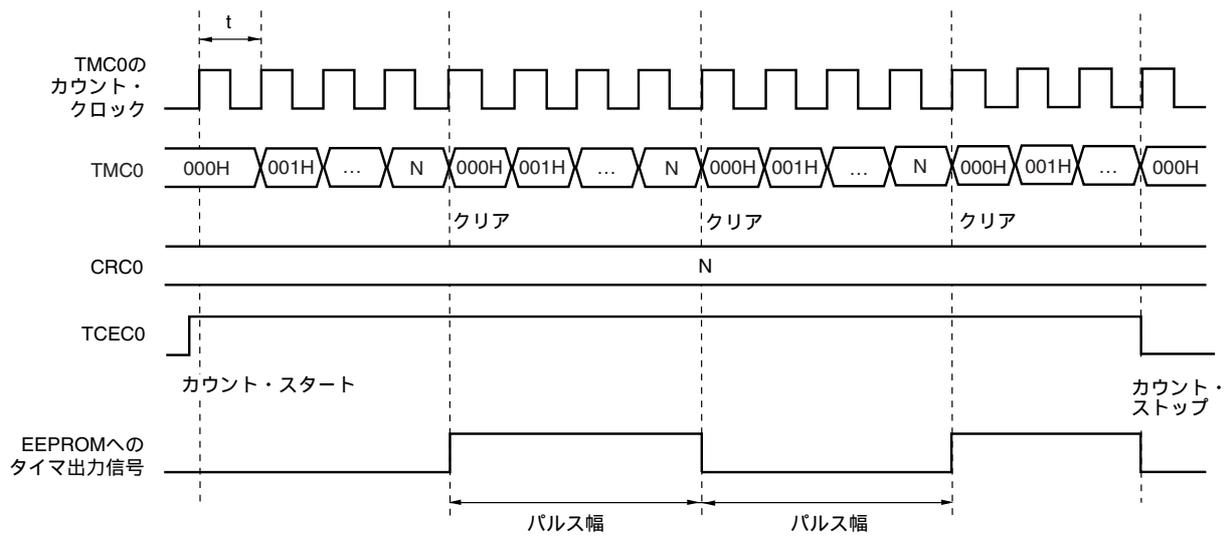
注意 カウント・クロックを同一データ以外に書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。

表7 - 3 タイマC0の出力パルス幅 ($f_{CC} = 1.8 \text{ MHz}$, $f_x = 2.0 \text{ MHz}$ 動作時)

TCLC02	TCLC01	TCLC00	最小パルス幅	最大パルス幅	分解能
0	0	0	$1/f_{CC}$ (0.55 μs) または $1/f_x$ (0.5 μs)	$2^{12}/f_{CC}$ (2.27 ms) または $2^{12}/f_x$ (2.05 ms)	$1/f_{CC}$ (0.55 μs) または $1/f_x$ (0.5 μs)
1	0	0	f_{TI} 入力周期	f_{TI} 入力周期 $\times 2^{12}$	f_{TI} 入力周期
1	0	1	$f_{TI}/2$ 入力周期	$f_{TI}/2$ 入力周期 $\times 2^{12}$	$f_{TI}/2$ 入力周期
1	1	0	$f_{TI}/2^2$ 入力周期	$f_{TI}/2^2$ 入力周期 $\times 2^{12}$	$f_{TI}/2^2$ 入力周期
1	1	1	$f_{TI}/2^3$ 入力周期	$f_{TI}/2^3$ 入力周期 $\times 2^{12}$	$f_{TI}/2^3$ 入力周期

- 備考1. f_{CC} : システム・クロック発振周波数 (RC発振) (μ PD789863サブシリーズ)
2. f_x : システム・クロック発振周波数 (セラミック発振) (μ PD789864サブシリーズ)
3. f_{TI} : TMI/P20端子から入力される外部クロック
4. () 内は, $f_{CC} = 1.8 \text{ MHz}$, $f_x = 2.0 \text{ MHz}$ 動作時

図7-9 EEPROM (データ・メモリ) へのタイマ出力のタイミング (基本動作)



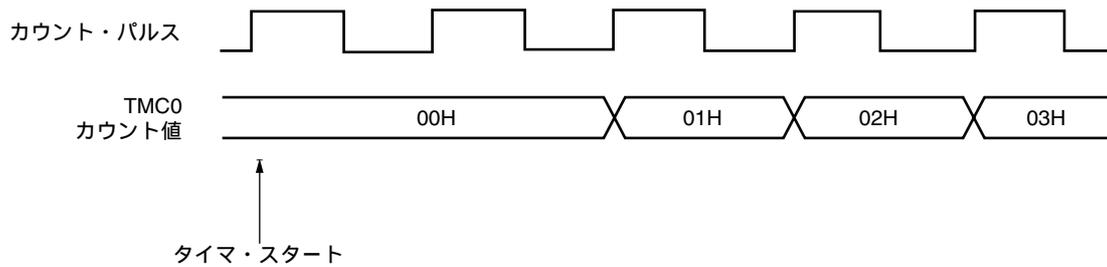
備考 パルス幅 = $(N + 1) \times t$: $N = 001H-FFFH$

7.5 12ビット・タイマC0の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・パルスに対して12ビット・タイマ・カウンタC0 (TMC0) のスタートが非同期で行われるためです。(図7-10参照)

図7-10 1クロック(最大)の誤差が出るケース



第8章 ウォッチドッグ・タイマ

8.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

(1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込みまたは $\overline{\text{RESET}}$ を発生することができます。

★

表8-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_{cc} = 1.8 \text{ MHz}$ 動作時	$f_x = 2.0 \text{ MHz}$ 動作時
$2^{11}/f_{cc}$ または $2^{11}/f_x$	1.14 ms	1.02 ms
$2^{13}/f_{cc}$ または $2^{13}/f_x$	4.55 ms	4.10 ms
$2^{15}/f_{cc}$ または $2^{15}/f_x$	18.2 ms	16.4 ms
$2^{17}/f_{cc}$ または $2^{17}/f_x$	72.8 ms	65.6 ms

- 備考1. f_{cc} : システム・クロック発振周波数 (RC発振) (μ PD789863サブシリーズ)
2. f_x : システム・クロック発振周波数 (セラミック発振) (μ PD789864サブシリーズ)

(2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

★

表8-2 ウォッチドッグ・タイマのインターバル時間

インターバル時間	$f_{cc} = 1.8 \text{ MHz}$ 動作時	$f_{cc}, f_x = 2.0 \text{ MHz}$ 動作時
$2^{11}/f_{cc}$ または $2^{11}/f_x$	1.14 ms	1.02 ms
$2^{13}/f_{cc}$ または $2^{13}/f_x$	4.55 ms	4.10 ms
$2^{15}/f_{cc}$ または $2^{15}/f_x$	18.2 ms	16.4 ms
$2^{17}/f_{cc}$ または $2^{17}/f_x$	72.8 ms	65.6 ms

- 備考1. f_{cc} : システム・クロック発振周波数 (RC発振) (μ PD789863サブシリーズ)
2. f_x : システム・クロック発振周波数 (セラミック発振) (μ PD789864サブシリーズ)

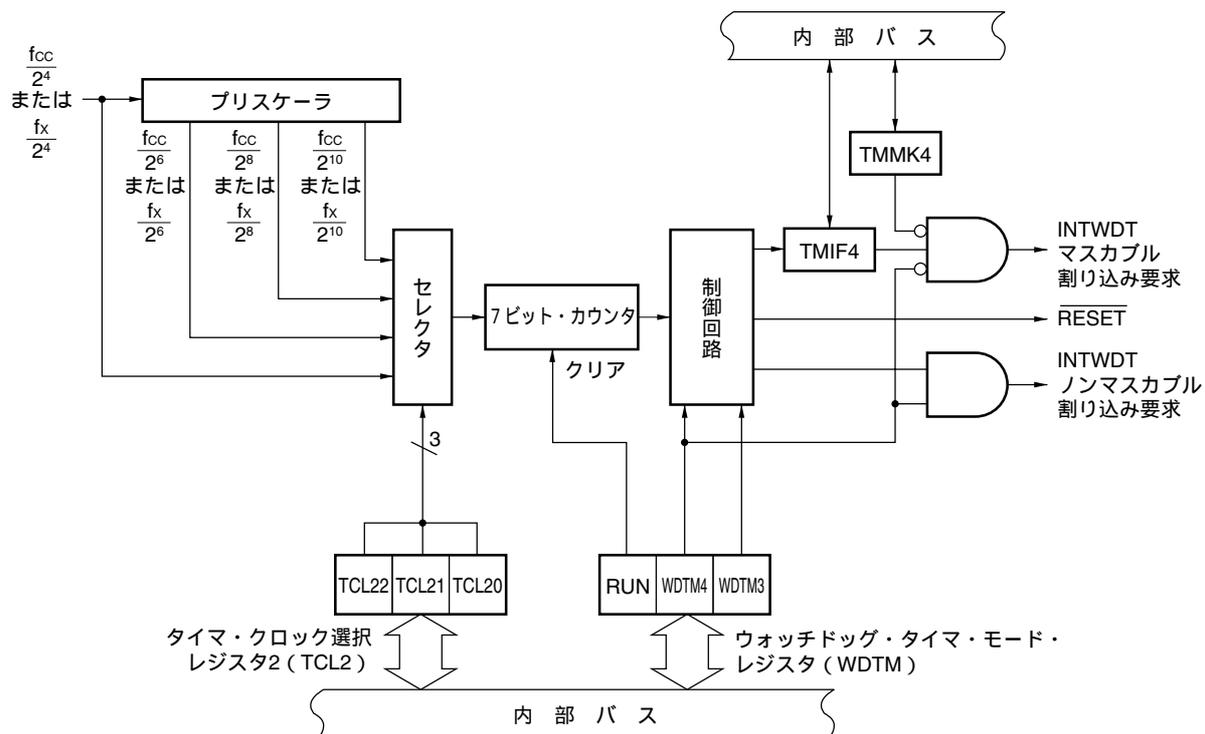
8.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表8-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図8-1 ウォッチドッグ・タイマのブロック図



8.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) タイマ・クロック選択レジスタ2 (TCL2)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図8-2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	0	0	0	0	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

★

TCL22	TCL21	TCL20	カウント・クロックの選択 ($f_{cc} = 1.8 \text{ MHz}$, $f_x = 2.0 \text{ MHz}$ 動作時)
0	0	0	$f_{cc}/2^4$ (112.5 kHz) または $f_x/2^4$ (125 kHz)
0	1	0	$f_{cc}/2^5$ (28.1 kHz) または $f_x/2^6$ (31.3 kHz)
1	0	0	$f_{cc}/2^8$ (7.03 kHz) または $f_x/2^8$ (7.81 kHz)
1	1	0	$f_{cc}/2^{10}$ (1.76 kHz) または $f_x/2^{10}$ (1.95 kHz)
上記以外			設定禁止

備考1. f_{cc} : システム・クロック発振周波数 (RC発振) (μ PD789863サブシリーズ)

2. f_x : システム・クロック発振周波数 (セラミック発振) (μ PD789864サブシリーズ)

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード、カウント許可/禁止を設定するレジスタです。
 WDTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図8-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FFF9H	00H	R/W

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし、カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	動作停止
0	1	インターバル・タイマ・モード (オーバフロー発生時、マスクブル割り込み発生) ^{注3}
1	0	ウォッチドッグ・タイマ・モード1 (オーバフロー発生時、ノンマスクブル割り込み発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバフロー発生時、リセット動作を起動)

- 注1. RUNは、一度セット(1)されると、ソフトウェアでクリア(0)することはできません。したがって、カウントを開始すると、 $\overline{\text{RESET}}$ 入力以外で停止させることはできません。
2. WDTM3, WDTM4は、一度セット(1)されると、ソフトウェアでクリア(0)することはできません。
3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

- 注意1. RUNに1を設定し、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、タイマ・クロック選択レジスタ2 (TCL2) で設定した時間より最大0.8%短くなります。
2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は、TMIF4 (割り込み要求フラグ・レジスタ0 (IF0) のビット0) が0になっていることを確認してからWDTM4を1にセットしてください。TMIF4が1の状態では、ウォッチドッグ・タイマ・モード1, 2を選択すると書き換え終了と同時にノンマスクブル割り込みが発生します。

8.4 ウォッチドッグ・タイマの動作

8.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスクابل割り込みが発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意 実際の暴走検出時間は設定時間に対して最大0.8 %短くなる場合があります。

★

表8-4 ウォッチドッグ・タイマの暴走検出時間

TCL22	TCL21	TCL20	$f_{cc} = 1.8 \text{ MHz}, f_x = 2.0 \text{ MHz}$ 動作時
0	0	0	$2^{11}/f_{cc}$ (1.14 ms) または $2^{11}/f_x$ (1.02 ms)
0	1	0	$2^{13}/f_{cc}$ (4.55 ms) または $2^{13}/f_x$ (4.10 ms)
1	0	0	$2^{15}/f_{cc}$ (18.2 ms) または $2^{15}/f_x$ (16.4 ms)
1	1	0	$2^{17}/f_{cc}$ (72.8 ms) または $2^{17}/f_x$ (65.6 ms)
上記以外			設定禁止

備考1. f_{cc} : システム・クロック発振周波数 (RC発振) (μ PD789863サブシリーズ)

2. f_x : システム・クロック発振周波数 (セラミック発振) (μ PD789864サブシリーズ)

8.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0, ビット3 (WDTM3) に1を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込みを発生するインターバル・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (TMMK4) が有効となり, マスカブル割り込み (INTWDT) を発生させることができます。INTWDTの優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALTモード時では動作を継続しますが, STOPモード時では動作を停止します。したがって, STOPモードに入る前にRUNを1に設定し, インターバル・タイマをクリアしたあと, STOP命令を実行してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) と $\overline{\text{RESET}}$ 入力されないかぎり, インターバル・タイマ・モードになりません。
2. WDTMで設定した直後のインターバル時間は, 設定時間に対して最大0.8 %短くなることがあります。

★

表8-5 ウォッチドッグ・タイマのインターバル時間

TCL22	TCL21	TCL20	$f_{cc} = 1.8 \text{ MHz}, f_x = 2.0 \text{ MHz}$ 動作時
0	0	0	$2^{11}/f_{cc}$ (1.14 ms) または $2^{11}/f_x$ (1.02 ms)
0	1	0	$2^{13}/f_{cc}$ (4.55 ms) または $2^{13}/f_x$ (4.10 ms)
1	0	0	$2^{15}/f_{cc}$ (18.2 ms) または $2^{15}/f_x$ (16.4 ms)
1	1	0	$2^{17}/f_{cc}$ (72.8 ms) または $2^{17}/f_x$ (65.6 ms)
上記以外			設定禁止

- 備考1. f_{cc} : システム・クロック発振周波数 (RC発振) (μ PD789863サブシリーズ)
2. f_x : システム・クロック発振周波数 (セラミック発振) (μ PD789864サブシリーズ)

第9章 起動タイマ

9.1 起動タイマの機能

起動タイマには、次の2種類の機能があります。

- ・ インターバル・タイマ
- ・ 外部スイッチ・センシング

(1) インターバル・タイマ

- ★ 起動タイマ用RC発振器により生成された低周波クロック(周期: $2^6/f_{CW1}$ または $2^4/f_{CW1}$ を選択)で動作し、あらかじめ設定した任意の時間間隔で割り込みを発生します。この割り込み(INTTMWK1)でSTOPモードを解除できます。これにより、たとえば「STOPモードから約14分ごとに起動して、外部スイッチの状態をチェックし、その状態により処理を実行し、またSTOPモードに戻る」というようなシステムを実現できます。

また、マイコンの暴走を監視し、暴走検出時はリセット信号を発生します。

(2) 外部スイッチ・センシング

外部スイッチを接続するP03/MSW端子の状態を検出することで、スイッチ状態をセンシングします。センシング結果はフラグに示します。この検出は割り込み発生時に0.5クロックの間隔を置いて2回行うので、チャタリングの影響を排除できます。

備考 外部スイッチは、以下の仕様のものをお使いください。

スイッチON状態 : ロウ・レベル

スイッチOFF状態 : Hi-Z

センシング時には、内部でプルアップ抵抗を接続して、P03/MSW端子の電圧状態を読み取ります。したがって、読み取った結果は次のようになります。

スイッチON状態 : ロウ・レベル

スイッチOFF状態 : ハイ・レベル

9.2 起動タイムの構成

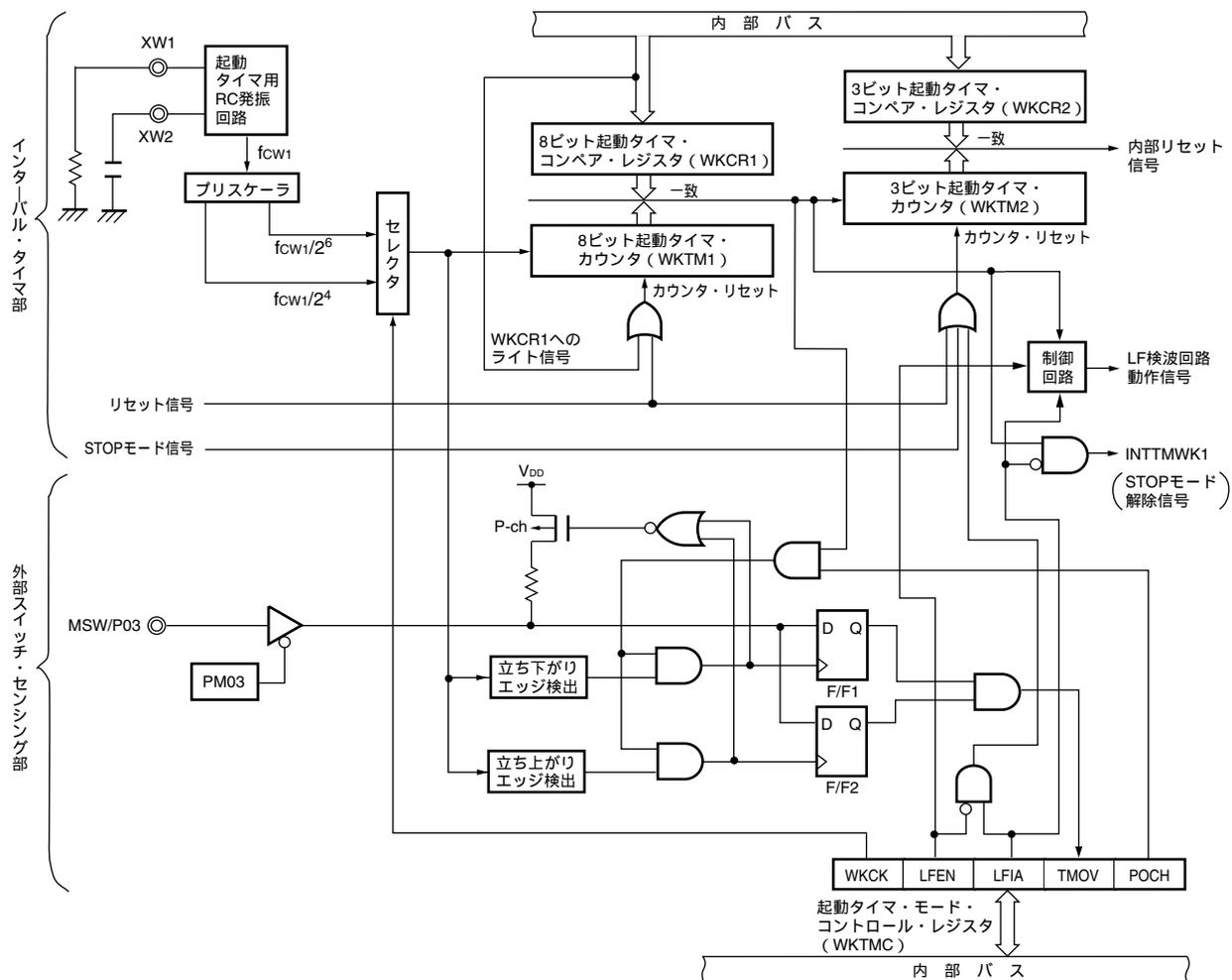
起動タイムは、次のハードウェアで構成しています。

表9-3 起動タイムの構成

項目	構成
タイマ・カウンタ	8ビット起動タイム・カウンタ (WKTM1) 3ビット起動タイム・カウンタ (WKTM2)
レジスタ	8ビット起動タイム・コンペア・レジスタ (WKCR1) 3ビット起動タイム・コンペア・レジスタ (WKCR2)
制御レジスタ	起動タイム・モード・コントロール・レジスタ (WKTMC) ポート・モード・コントロール・レジスタ0 (PM0)

★

図9-1 起動タイムのブロック図



(1) 8ビット起動タイマ・カウンタ (WKTМ1)

起動タイマ用RC発振回路からの低周波クロックをカウントする8ビットのレジスタです。

WKTМ1は、それぞれ8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

WKTМ1が00Hにクリアされる条件を次に示します。

- ・リセット
- ・WKCR1 (8ビット起動タイマ・コンペア・レジスタ) の書き込み
- ・WKTМ1とWKCR1の一致

(2) 8ビット起動タイマ・コンペア・レジスタ (WKCR1)

WKCR1に設定した値と8ビット起動タイマ・カウンタ (WKTМ1) のカウント値を常に比較する8ビットのレジスタです。

★ WKCR1とWKTМ1の値が一致したときは、LFEN, LFIAの設定により、次に示す動作になります。

レジスタ 設定	LFIA = 0		LFIA = 1	
	LFEN = 0	LFEN = 1	LFEN = 0	LFEN = 1
WKCR1 と WKTМ1 の 一致後の 動作	<ul style="list-style-type: none"> ・割り込み要求 (INTTMWK1) を発生 ・WKTМ1はクリアされ、再カウント開始 ・WKTМ2の値が+1される (インクリメント) ・STOPモードだった場合は、STOPモードが解除される 	<ul style="list-style-type: none"> ・INTTMWK1は発生しない ・WKTМ1はクリアされ、再カウント開始 ・WKTМ2はカウンタ・リセット状態を維持 ・一致後の$1/f_{CW1}$秒間だけLF検波回路が動作 (STOPモードだった場合は、この間に電波を検出すればSTOPモード解除される) 	<ul style="list-style-type: none"> ・INTTMWK1は発生しない ・WKTМ1はクリアされ、再カウント開始 ・WKTМ2の値が+1される (インクリメント) 	

WKCR1は、8ビット・メモリ操作命令で書き込みます。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意1. WKCR1 = 00Hは設定禁止です。

2. 起動タイマ用クロックの立ち上がり / 立ち下がり時は、WKCR1の書き込みは禁止です。

WKCR1を書き換える場合は、STOPモード解除直後に行ってください。

(3) 3ビット起動タイマ・カウンタ (WKTM2)

WKTM1とWKCR1の一致により発生する割り込み (INTTMWK1) をカウントする3ビットのレジスタです。上位5ビットは0固定です。

WKTM2は、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

WKTM2が00Hにクリアされる条件を次に示します。

- ・リセット
- ・STOPモードへの移行
- ・LFEN = 0, LFIA = 1^注

★

注 LFEN = 0, LFIA = 1 (起動タイマの割り込みでLF検波回路のみを間欠動作するモード)として使用時には、WKTM2が00H固定 (カウント動作停止) となるので、起動タイマによる暴走監視の内部リセット信号は発生しません。そのため、STOPモード時にこのモード (LFEN = 0, LFIA = 1) で使用する場合にも、STOPモード解除後には暴走対策でLFIA = 0にして、次にまたSTOPモードに設定する時点でLFIA = 1を設定するようにしてください。

(4) 3ビット起動タイマ・コンペア・レジスタ (WKCR2)

WKCR2に設定した値と3ビット起動タイマ・カウンタ (WKTM2) のカウント値を常に比較し、一致したときにリセット信号を発生する3ビットのレジスタです。上位5ビットは0固定です。

WKCR2は、8ビット・メモリ操作命令で書き込みます。

$\overline{\text{RESET}}$ 入力により、07Hになります。

- 注意1.** WKCR2 = 00H, 01Hは設定禁止です。
2. INTTMWK1の立ち下がり直前は、WKCR2の書き込みは禁止です。
 3. 起動タイマ用クロックの立ち上がり / 立ち下がり時は、WKCR2の書き込みは禁止です。
WKCR2を書き換える場合は、STOPモード解除直後に行ってください。

9.3 起動タイムを制御するレジスタ

起動タイムは、次のレジスタで制御します。

- ・起動タイム・モード・コントロール・レジスタ (WKTMC)
- ・ポート・モード・レジスタ0 (PM0)

(1) 起動タイム・モード・コントロール・レジスタ (WKTMC)

起動タイム用クロック、動作モード、P03/MSW端子の機能切り替えを設定し、外部スイッチの状態を表示するレジスタです。

WKTMCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

★ 図9-2 起動タイム・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WKTMC	0	0	WKCK	LFEN	LFIA	TMOV	POCH	0	FF64H	00H	R/W ^{注1}

WKCK	起動タイム用の低周波クロックの選択	
	f _{cw1} = 20 Hz (XW1; C = 0.01 μF, XW2; R = 10 MΩ) 動作時	
0	2 ⁶ /f _{cw1}	約3.2 s周期
1	2 ⁴ /f _{cw1}	約0.8 s周期

LFEN	LFIA	起動タイムによる各動作モードの選択
0	0	起動タイムの割り込みでCPUを間欠動作するモード (LF検波回路は動作禁止)
0	1	WKTMC1一致信号でLF検波回路のみを間欠動作するモード ^{注2} (LF検波回路動作時に125 kHzを検出したら、CPUのSTOPモードを解除する)
1	0	起動タイムの割り込みでCPUを間欠動作するモード (LF検波回路は常時動作する)
1	1	起動タイムによらずLF検波回路を常時動作させるモード ^{注2} (125 kHzを検出したら、CPUのSTOPモードを解除する)

TMOV	外部スイッチの状態表示フラグ ^{注3}
0	スイッチONを検知
1	スイッチOFFを検知

POCH	P03/MSW端子の機能選択
0	入出力ポートとして使用 (外部スイッチを使用しない)
1	外部スイッチ入力として使用

注1. ビット2はRead onlyです。

2. このモードでは起動タイムの割り込み (INTTMWK1) は発生しません。

3. 外部スイッチの状態は、チャタリングを考慮して2回のセンシングを行います。そのうち1回でもスイッチONを検出すればTMOVフラグは0となります。

(2) ポート・モード・レジスタ0 (PM0)

ポート0の入力 / 出力を1ビット単位で設定するレジスタです。

P03/MSW端子を外部スイッチ入力として使用するときにはPM03に1を設定してください。

PM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図9-3 ポート・モード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	PM03	1	1	1	FF20H	FFH	R/W

PM03	P03端子の入出力モード
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

9.4 起動タイムの動作

★ 9.4.1 起動タイムの各動作モードの違い

起動タイム・モード・コントロール・レジスタ (WKTMC) のビット4 (LFEN) , ビット3 (LFIA) により, 4種類の動作モードを選択できます。表9-2に各動作モードの違いを示します。

表9-2 起動タイムの各動作モードの違い

モード設定 項目	LFIA = 0		LFIA = 1	
	LFEN = 0	LFEN = 1	LFEN = 0	LFEN = 1
WKCR1と WKTMC1の一致 後の動作	<ul style="list-style-type: none"> ・割り込み要求 (INTTMWK1) を発生 ・WKTMC1はクリアされ, 再カウント開始 ・WKTMC2の値が+1される (インクリメント) ・STOPモードだった場合は, STOPモードが解除される 		<ul style="list-style-type: none"> ・INTTMWK1は発生しない ・WKTMC1はクリアされ, 再カウント開始 ・WKTMC2はカウンタ・リセット状態を維持 ・一致後の$1/f_{CW1}$秒間だけLF検波回路が動作 	
暴走監視 (WKCR2と WKTMC2の 一致によるリセ ット信号発生)	可 (システム・クロックに依存せず, STOPモード中でも暴走検出可能)		不可	可 (システム・クロックに依存せず, STOPモード中でも暴走検出可能)
STOPモードの 解除条件	<ul style="list-style-type: none"> ・WKCR1とWKTMC1の一致 (INTTMWK1発生) で解除 ・リセットにより解除 	<ul style="list-style-type: none"> ・WKCR1とWKTMC1の一致 (INTTMWK1発生) で解除 ・LF検波回路で電波を検出 (INTLF0発生) すれば解除 ・リセットにより解除 	<ul style="list-style-type: none"> ・WKCR1とWKTMC1の一致後の$1/f_{CW1}$秒の間に, LF検波回路で電波を検出 (INTLF0発生) すれば解除 ・リセットにより解除 	<ul style="list-style-type: none"> ・LF検波回路で電波を検出 (INTLF0発生) すれば解除 ・リセットにより解除
LF検波回路の 動作許可 / 停止	動作停止	常時動作 ^注	WKCR1とWKTMC1の一致後の $1/f_{CW1}$ 秒の間だけ動作	常時動作 ^注

注 STOPモード中にLF検波回路を使用しないときは, 消費電流を抑えるため, STOP命令前にLFEN = 0に設定し, STOP解除後にまたLFEN = 1に設定するようにしてください。

★ 9.4.2 インターバル・タイマとしての動作

8ビット起動タイマ・コンペア・レジスタ(WKCR1)にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。また、マイコン暴走時にはリセット信号を発生します。

<インターバル・タイマとしての動作の流れ>

リセット解除後、自動的にWKTМ1はカウント動作を開始します。

リセット後の初期プログラムで、各レジスタを設定してください。

- ・POCHにより外部スイッチ使用を選択してください。
- ・WKCKにより起動タイマ用クロックを選択してください。
- ・LFEN, LFIAにより起動タイマのモードを選択してください。
- ・WKCR1, WKCR2にカウント値を設定してください。

WKCR1の書き込みにより、WKTМ1はクリアされ、再びカウント動作を開始します。

STOP命令によりSTOPモードに設定します。

WKTМ1はカウント動作を継続します。

WKTМ1がWKCR1の値に一致すると、次に示すようになります。

- LFIA = 0のとき
 - ・INTTMWK1が発生します。
 - ・WKTМ1はクリアされ、再びカウント動作を開始します。
 - ・WKTМ2はインクリメントされます。
 - ・STOPモードだった場合は、STOPモードが解除されます。
- LFEN = 0, LFIA = 1のとき
 - ・WKTМ1はクリアされ、再びカウント動作を開始します。
 - ・WKTМ2はリセット状態のまま動作停止。
 - ・ $1/f_{cw1}$ 秒の間、LF検波が実施されます。

STOPモードだった場合は、その検波中に125 kHzの電波が検出されたら、STOPモードが解除されます。125 kHzの電波が検出されない場合は、そのままSTOPモードが継続されます。

- LFEN = 1, LFIA = 1のとき
 - ・WKTМ1はクリアされ、再びカウント動作を開始します。
 - ・WKTМ2はインクリメントされます。

LFEN = 1の場合、常時LF検波が実施されます。

STOPモードだった場合は、125 kHzの電波が検出されたら、STOPモードが解除されます。

125 kHzの電波が検出されない場合は、そのままSTOPモードが継続されます。

またはにより、STOPモードが解除されたら、プログラム処理を実行します。

POCH = 1の場合、WKTМ1とWKCR1の一致時に外部スイッチ・センシングが実行されます。

(9.4.2 外部スイッチ・センシングとしての動作参照)

その後、再びSTOP命令によりSTOPモードに設定します。

WKTМ1はカウント動作を継続します。

WKTМ2はSTOPモードに設定することでクリアされます。

以降、正常動作中は ~ を繰り返して間欠動作を続けます。

マイコンが暴走した場合は、STOP命令が実行されず、WKTМ2はカウント・アップされていきます。

WKTМ2がWKCR2の値に一致すると、リセット信号が発生します。

間欠動作のインターバル時間 (T_{CPU}) は次の式で計算されます。

$$T_{CPU} = N \times T_{OSC}$$

N : WKCR1設定値 (01H ~ FFH)
 T_{OSC} : WKCKで選択した起動タイマ用クロックの周期
 ($2^6/f_{cw1}$ または $2^4/f_{cw1}$)

マイコン暴走時にリセットを実行するまでの時間 (T_{RES}) は次の式で計算されます。

$$T_{RES} = M \times T_{CPU}$$

M : WKCR2設定値 (02H ~ 07H)
 T_{CPU} : 間欠動作のインターバル時間 (上記参照)

STOPモード時には、ウォッチドッグ・タイマは停止しますが、起動タイマは動作を続けるので、マイコンが間欠動作をしているときでも暴走監視ができます。

注意 ただし、 $LFEN = 0$, $LFIA = 1$ の場合は、WKTMC2は動作停止なので、STOPモード時に暴走監視できません。

STOPモード時にこのモード ($LFEN = 0$, $LFIA = 1$) で使用する場合にも、STOPモード解除後には暴走対策で $LFIA = 0$ にして、次にまたSTOPモードに設定する直前に $LFIA = 1$ を設定するようにしてください。

9.4.3 外部スイッチ・センシングとしての動作

この機能は、起動タイマ・コントロール・レジスタ (WKTMC) のビット1 (POCH) を1に設定したときのみ作動します。

8ビット起動タイマ・コンペア・レジスタ (WKCR1) と8ビット起動タイマ・カウンタ (WKTMC1) の値が一致したときに外部スイッチをセンシングして、結果をWKTMCのビット2 (TMOV) に格納します。

外部スイッチのセンシングは、次の2回のタイミングで行われます。

<1回目> WKCR1とWKTMC1が一致したときのカウンタ・クロックの立ち下がり

<2回目> 1回目直後のカウンタ・クロックの立ち上がり

★ (1回目の0.5クロック後 ($2^5/f_{cw1}$ または $2^3/f_{cw1}$ 秒後))

2回のセンシングのうち、1回でもスイッチONを検出すれば、TMOV = 0となります。2回ともスイッチOFFを検出すれば、TMOV = 1となります。このようにセンシングを2回行うことにより、スイッチのチャタリングの影響を排除しています。

備考 外部スイッチは、以下の仕様のものをお使いください。

スイッチON状態 : ロウ・レベル

スイッチOFF状態 : Hi-Z

センシング時には、内部でプルアップ抵抗を接続して、P03/MSW端子の電圧状態を読み取ります。

したがって、読み取った結果は次のようになります。

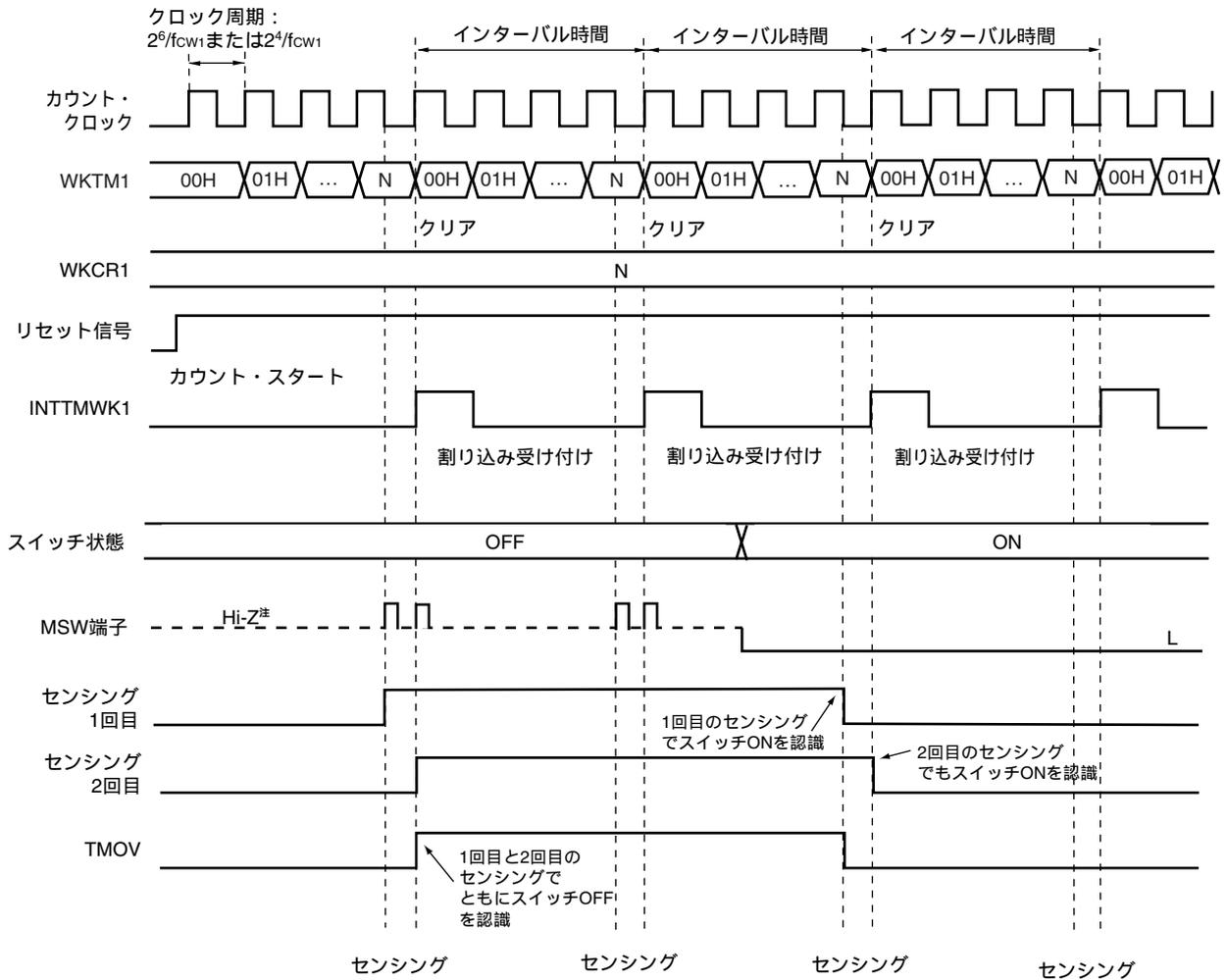
スイッチON状態 : ロウ・レベル

スイッチOFF状態 : ハイ・レベル

9.4.4 起動タイマのタイミング・チャート

図9-4 ~ 図9-7に起動タイマの動作タイミングを示します。

図9-4 スイッチOFF ON時の動作タイミング



注 MSW端子は入力OPEN状態でも問題ない構成となっています。

図9 - 5 正常動作時のWKTM2の動作タイミング

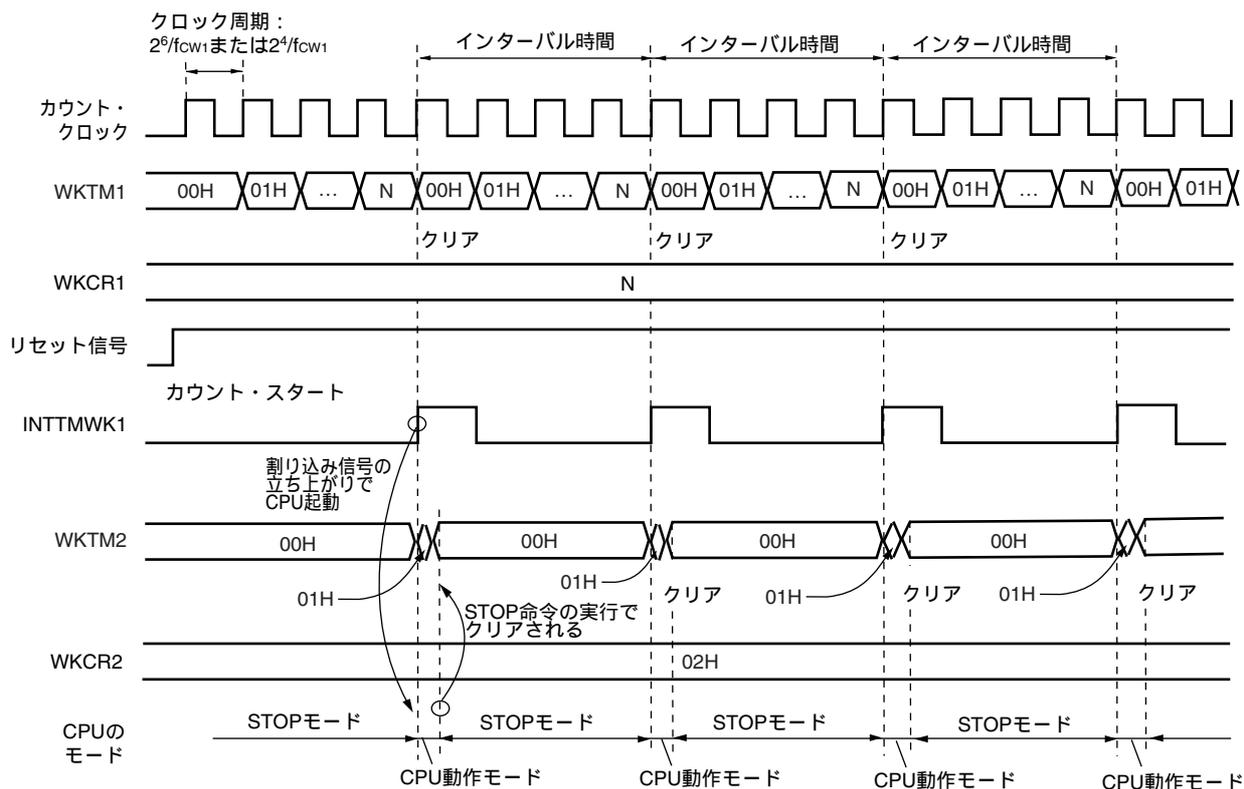
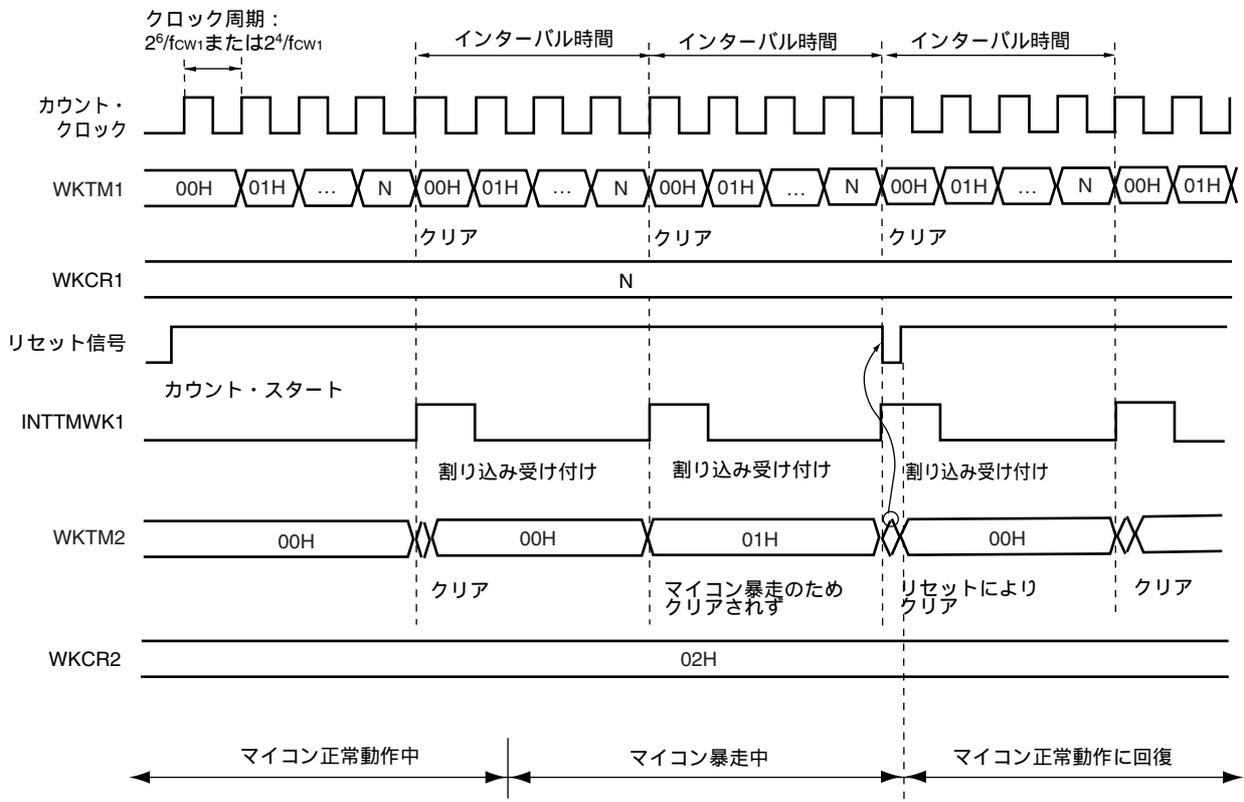
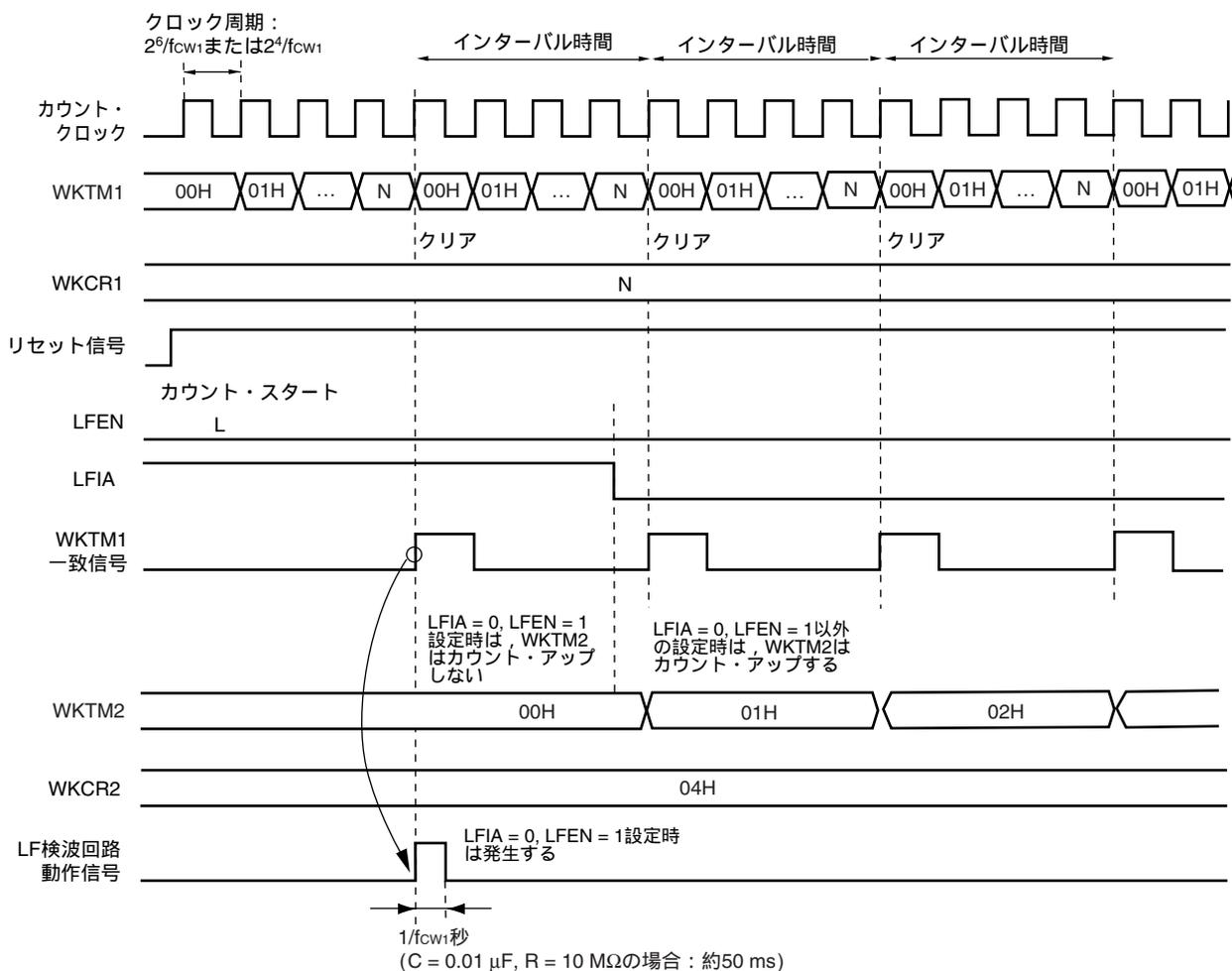


図9 - 6 マイコン暴走時のWKTM2の動作タイミング



★

図9 - 7 LF検波回路を間欠動作するモードの動作タイミング

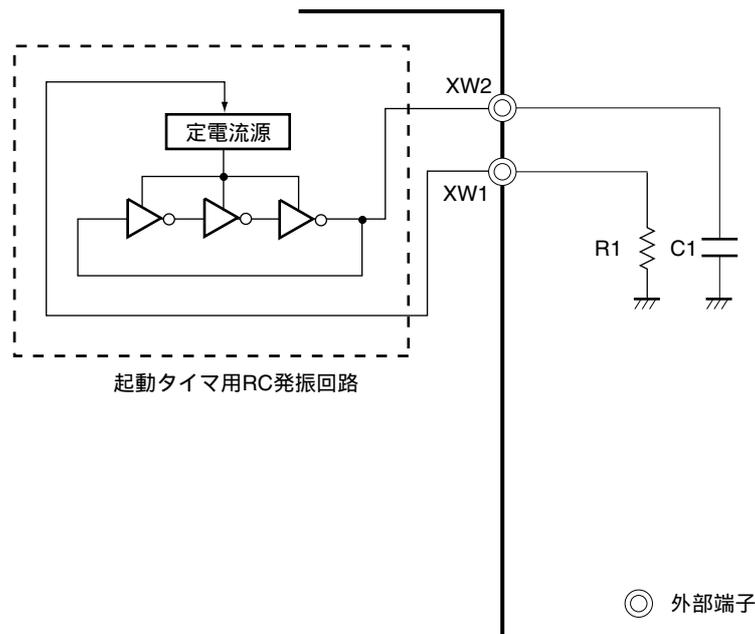


★ 9.5 起動タイマ用端子 (XW1, XW2) の接続

μ PD789863, 789864サブシリーズは、起動タイマ用低周波クロックを発生するための専用RC発振回路を内蔵しています。これにより、システム・クロックに依存せず、スタンバイ・モード中でも起動タイマを動作できます。

このため、外付けに抵抗とコンデンサが必要となります。図9-8に示すように、それぞれXW1, XW2端子に接続してください。

図9-8 起動タイマ用端子 (XW1, XW2) の接続例



注意 配線容量などの影響を避けるために、外付けの抵抗とコンデンサは以下の点に留意して配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

備考 抵抗値 (R1) とコンデンサ容量 (C1) については、第19章 電気的特性 (ターゲット) を参照してください。

第10章 10ビットA/Dコンバータ

10.1 10ビットA/Dコンバータの機能

10ビットA/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能コンバータで、3つのアナログ入力ソースを制御できる構成になっています。

A/D変換動作の起動方法は、ソフトウェア・スタートのみです。

3つのアナログ入力ソースから1つを選択し、A/D変換を行います。A/D変換の動作は、1回変換終了したら停止し、割り込み要求 (INTAD0) を発生します。次にまたソフトウェア・スタートされるまで停止します。

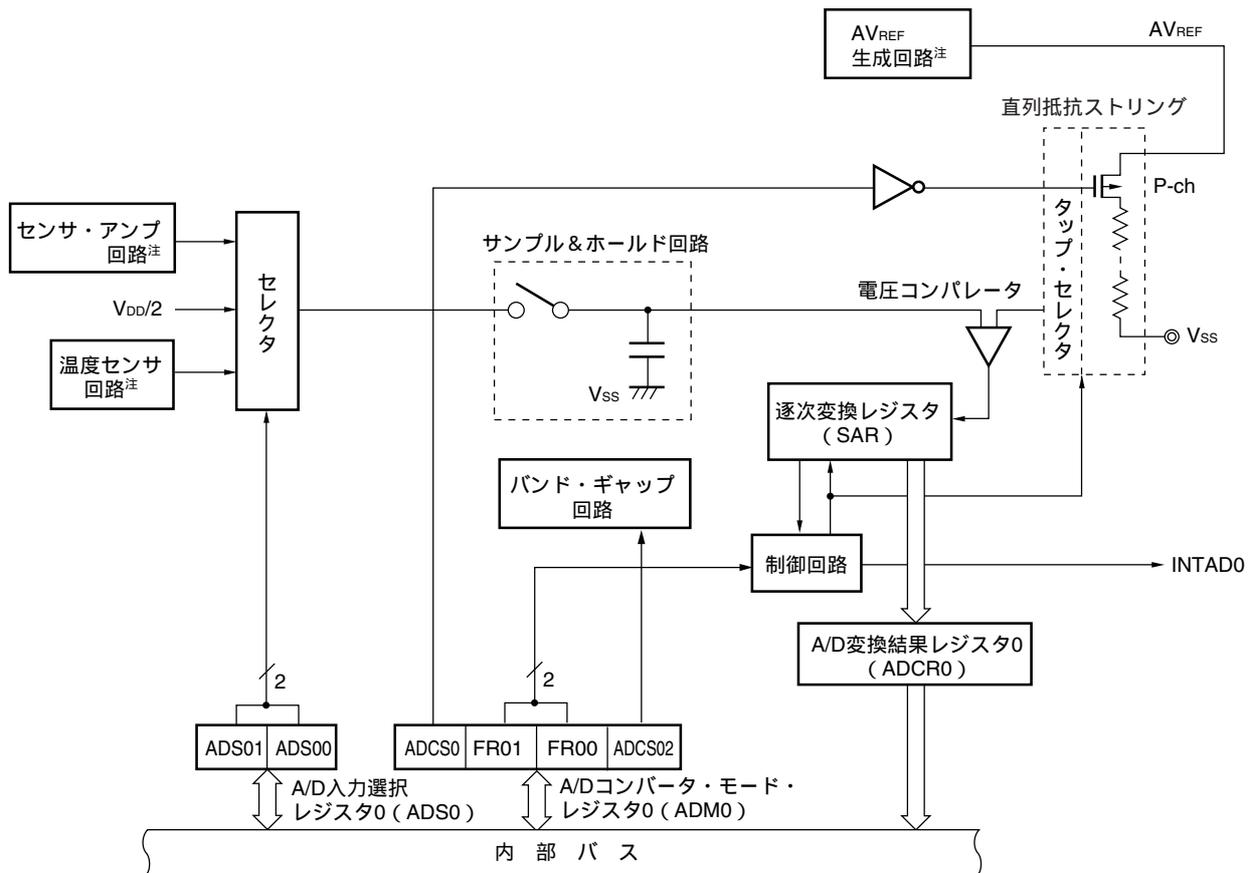
10.2 10ビットA/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表10 - 1 10ビットA/Dコンバータの構成

項 目	構 成
アナログ入力	3チャンネル
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ0 (ADCR0)
制御レジスタ	A/Dコンバータ・モード・レジスタ0 (ADM0) A/D入力選択レジスタ0 (ADS0)

図10-1 10ビットA/Dコンバータのブロック図



注 第11章 センサ用アナログ・マクロを参照

(1) 逐次変換レジスタ (SAR)

アナログ入力の変圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで設定すると (A/D変換終了)、SARの内容はA/D変換結果レジスタ0 (ADCR0) に転送されます。

(2) A/D変換結果レジスタ0 (ADCR0)

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは、0固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。ADCR0には最上位ビット (MSB) から順に格納されます。FF15Hには変換結果の上位8ビットが入ります。FF14Hには変換結果の下位2ビットが入ります。

ADCR0は、16ビット・メモリ操作命令で読み出します。

RESET入力により、不定になります。

略号	FF15H	FF14H	アドレス	リセット時	R/W
ADCR0	[8 bits]	[2 bits]	FF14H, FF15H	不定	R

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは AV_{REF} - V_{SS} 間に入っており、アナログ入力と比較する電圧を発生します。

(6) 比較基準電圧 (AV_{REF})

A/Dコンバータの比較基準電圧 (AV_{REF}) です。センサ用アナログ・マクロの AV_{REF} 生成回路から供給されます (第11章 センサ用アナログ・マクロ参照)。

A/Dコンバータでは、 AV_{REF} , V_{SS} 間にかかる電圧に基づいて、各種入力信号をデジタル信号に変換します。

(7) V_{SS} 端子

グランド電位端子です。

(8) バンド・ギャップ回路

バンド・ギャップ回路は、A/D変換開始前にコンパレータ内部の基準電位を立ち上げておくための回路です。バンド・ギャップ回路の動作を開始してから動作安定するまで、 $14\ \mu\text{s}$ が必要です。動作安定前にA/D変換動作を開始した場合は、変換結果は不定となります。

10.3 10ビットA/Dコンバータを制御するレジスタ

10ビットA/Dコンバータを制御するレジスタには、次の2種類があります。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/D入力選択レジスタ0 (ADS0)

(1) A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、動作モードを設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10-2 A/Dコンバータ・モード・レジスタ0のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
ADM0	ADCS0	0	0	FR01	FR00	0	0	ADCS02	FF16H	00H	R/W

ADCS0	ADCS02	A/D動作モードの選択
0	0	A/D停止モード
0	1	A/D変換待機モード (バンド・ギャップ回路のみ動作)
1	0	設定禁止
1	1	A/D変換動作モード

FR01	FR00	A/D変換時間の選択 ^{注1, 2}		変換遷移時間 (μs) ^{注1}			
		f _{CPU} = 1.8 MHz のとき	f _{CPU} = 2.0 MHz のとき	f _{CPU} = 1.8 MHz のとき	f _{CPU} = 2.0 MHz のとき		
0	0	72/f _{CPU}	40.0 μs	36.0 μs	7/f _{CPU}	3.9 μs	3.5 μs
0	1	60/f _{CPU}	33.3 μs	30.0 μs	6/f _{CPU}	3.3 μs	3.0 μs
1	0	48/f _{CPU}	26.7 μs ^{注3}	24.0 μs ^{注3}	5/f _{CPU}	2.8 μs	2.5 μs
1	1	設定禁止					

注1. 実際にADCS0を1にセットした時点からの変換時間は、次の式で表されます。

$$\text{変換時間} = (\text{ウエイト時間}) + (\text{変換遷移時間}) + (\text{A/D変換時間})$$

- ★ ウエイト時間 : 128/f_{CPU}
 (f_{CPU} = 1.8 MHzのとき : 71.1 μs ; f_{CPU} = 2.0 MHzのとき : 64 μs)
 センサ・アンプ増幅電圧安定のため、自動的にウエイトします。
 変換遷移時間 : FR01, FR00により決定 (ウエイトから変換処理に遷移する時間)
 A/D変換時間 : FR01, FR00により決定

- ★ 2. A/D変換時間が以下の規格を満たすように設定してください。
 2.7 V_{DD} 3.6 Vの場合………24 ~ 45 μs
 2.0 V_{DD} 3.6 Vの場合………30 ~ 45 μs
 3. V_{DD} 2.7 Vのときのみ。V_{DD} < 2.7 Vのときは、注2の規格を満たせないで設定禁止です。

- 注意1. バンド・ギャップ回路の昇圧回路が動作安定するのに14 μsが必要です。そのためA/D停止モードから変換開始する場合は、必ずA/D変換待機モード (ADCS02 = 1) で14 μs以上経過してから、A/D変換動作モード (ADCS0 = 1) にしてください。
 2. ADCS0 = 1のとき、FR01, FR00を書き換えることは禁止です (同一データの上書きは可)。
 3. A/D変換するときには、必ずCPUを高速モード (PCC1 = 0) で動作させてください (6.3 クロック発生回路を制御するレジスタ参照)。

- 備考1. f_{CPU} : CPUクロック周波数 (CPUが高速モード時は、f_{CPU} = f_{CC}またはf_{CPU} = f_x)
 2. f_{CC} : システム・クロック発振周波数 (RC発振) (μPD789863サブシリーズ)
 3. f_x : システム・クロック発振周波数 (セラミック発振) (μPD789864サブシリーズ)

(2) A/D入力選択レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ソースを指定するレジスタです。

ADS0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10 - 3 A/D入力選択レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADS0	0	0	0	0	0	0	ADS01	ADS00	FF17H	00H	R/W

ADS01	ADS00	アナログ入力ソースの指定
0	0	センサ・アンプ回路からの入力
0	1	電源電圧からの入力 (V _{DD} /2)
1	0	温度センサ回路からの入力
1	1	設定禁止

注意 ビット2-7には必ず0を設定してください。

10.4 10ビットA/Dコンバータの動作

10.4.1 A/D停止～A/D待機～A/D変換スタートまでの動作

この10ビットA/Dコンバータでは、A/Dコンバータ・モード・レジスタ0 (ADM0) のビット0 (ADCS02) とビット7 (ADCS0) により、3つの動作モードが選択できます。

- (1) A/D停止モード
ADCS02 = 1
- (2) A/D待機モード ADS0設定, FR00, FR01設定
ADCS0 = 1
- (3) A/D変換モード

A/D停止モードからA/D変換モードに移行したい場合は、まずA/D待機モードに設定して14 μ s以上待つ必要があります。以下に手順を示します。

<A/D停止からA/D変換スタートまでの手順>

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット0 (ADCS02) = 1としてA/D待機モードに設定し、ADM0のビット3, 4 (FR00, FR01) で、A/D変換時間を設定します。

AVREF電圧を生成するため、センサ・ハードマクロ・コントロール・レジスタ (THMC) のビット0, 1 (VREGON, VREFON) を1に設定します。^注

★

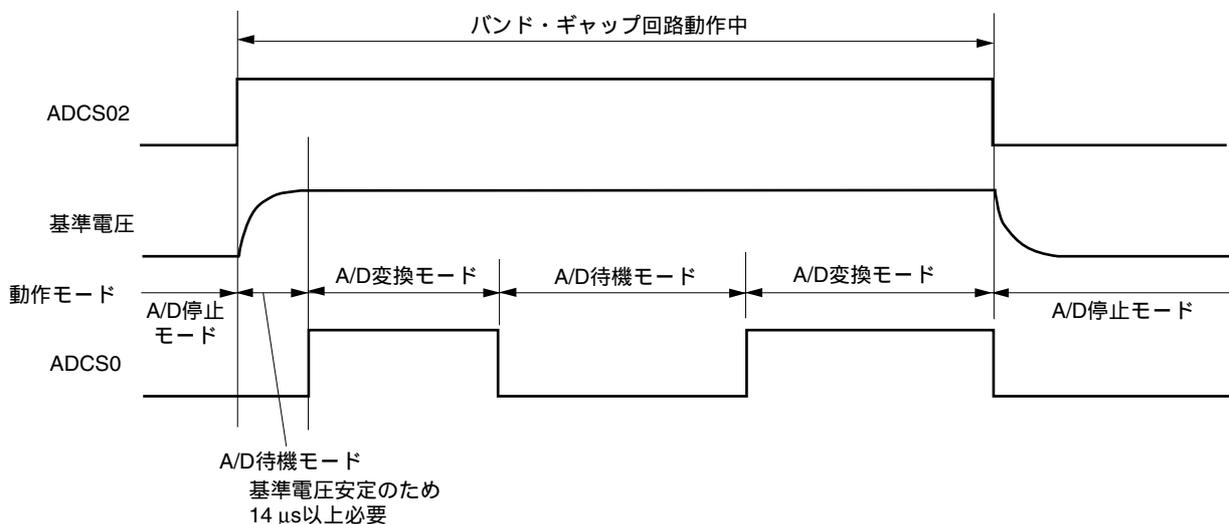
A/D入力選択レジスタ0 (ADS0) で、A/D変換するアナログ入力ソースを1つ選択します。

そしてA/D待機モードで14 μ s以上経過したら、ADM0のビット7 (ADCS0) = 1とすることでA/D変換モードとなり、変換がスタートします (図10-4参照)。

注 第11章 センサ用アナログ・マクロを参照

注意 A/D停止モードから変換開始する場合は、必ずA/D変換待機モード (ADCS02 = 1) で14 μ s以上経過してから、A/D変換動作モード (ADCS0 = 1) にしてください。さもないと、変換結果は不定となります。

図10-4 動作モード設定の例



10.4.2 A/D変換モード中の次変換スタート動作

1回のA/D変換処理が終了すると、A/DコンバータはA/D変換モードのまま次の変換スタートを待ちます。
以下に示す2つの条件を両方とも満たしたとき、変換スタートされます。

<A/D変換動作のスタート条件>

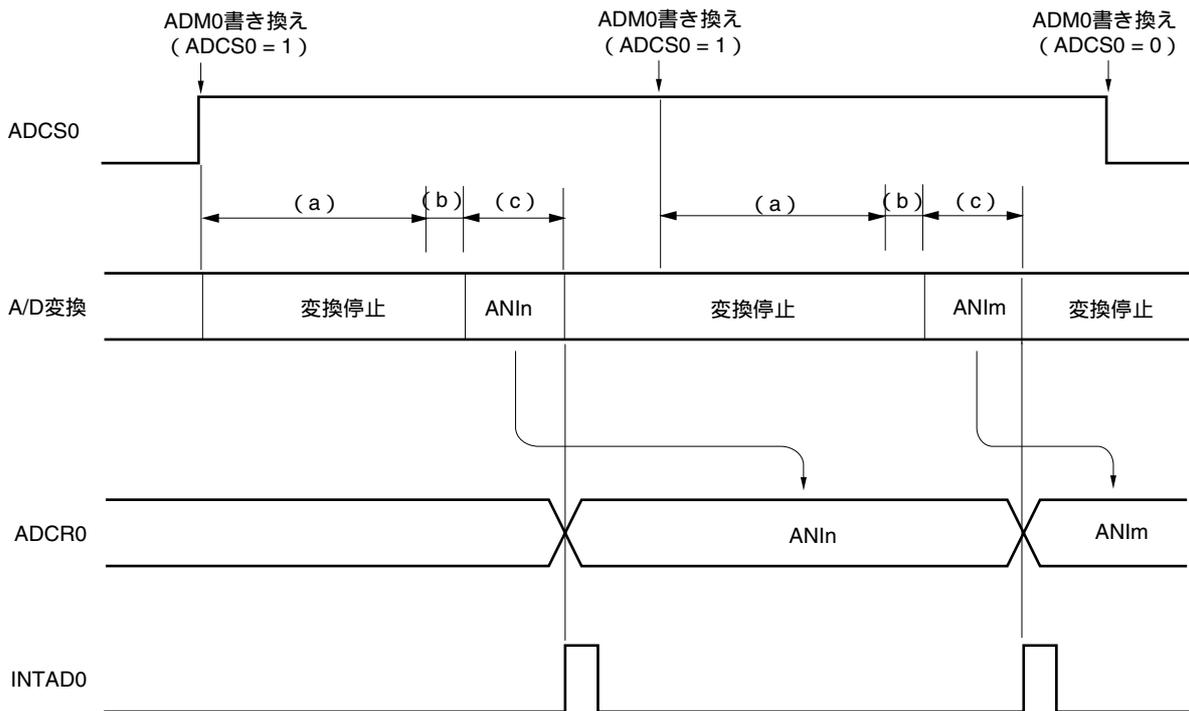
- A/Dコンバータ・モード・レジスタ0 (ADM0) またはA/D入力選択レジスタ0 (ADS0) に書き込みを行ったとき (ライト信号)
- そのときのADCS0の値が1のとき

以上の条件を満たすと、また1回のA/D変換動作を行い、終了すると次変換スタート待ち状態になります。

ただし、A/D変換動作途中で、再度、スタート条件を満たすと、そのとき行っていたA/D変換動作を中断し、新たにA/D変換動作を開始します。

また、A/D変換動作途中でADM0またはADS0に書き込みを行ったが、そのときのADCS0が1でない場合は、ただちにA/D変換動作を中断し、停止します。

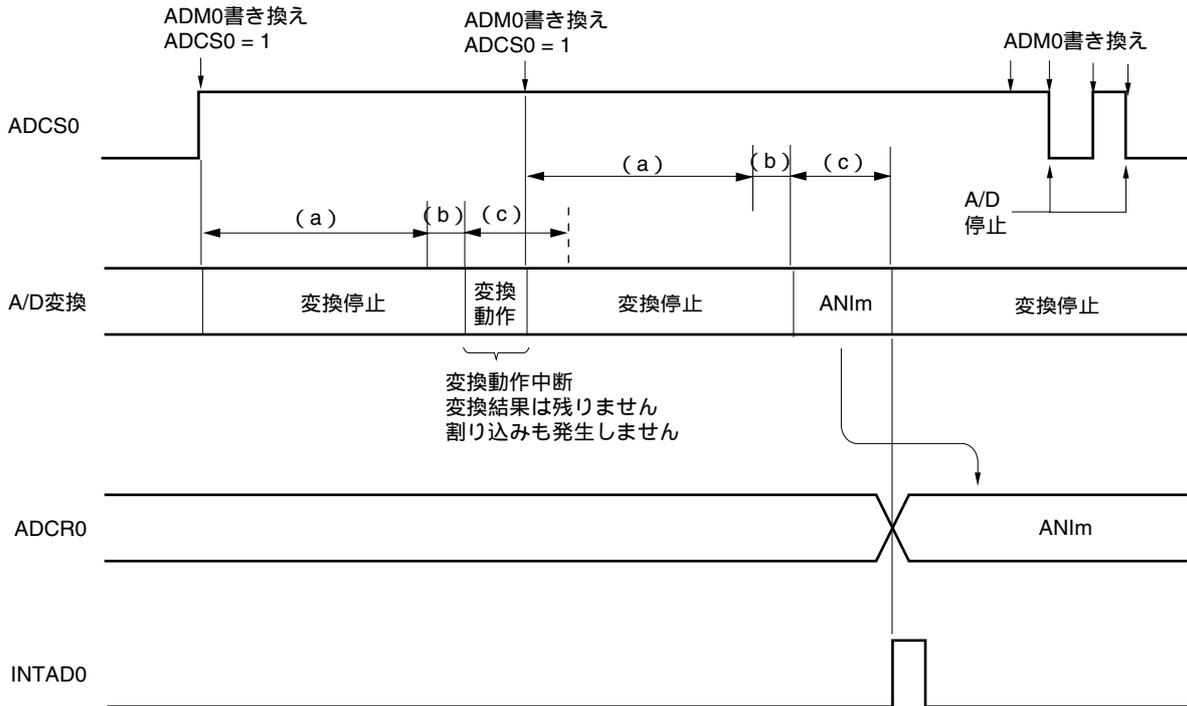
図10-5 A/D変換動作を2回行う場合の例



備考 ADCS0を1にセットした時点からの変換時間は「(a) + (b) + (c)」で表されます。

- ★ (a) : ウェイト時間 $128/f_{CPU}$ ($f_{CPU} = 1.8 \text{ MHz}$ のとき : $71.1 \mu\text{s}$; $f_{CPU} = 2.0 \text{ MHz}$ のとき : $64 \mu\text{s}$)
- (b) : 変換遷移時間 (FR01, FR00により決定)
- (c) : A/D変換時間 (FR01, FR00により決定)

図10 - 6 A/D変換動作中に再スタートした場合の例



備考 ADCS0を1にセットした時点からの変換時間は「(a) + (b) + (c)」で表されます。

- ★ (a) : ウェイト時間 $128/f_{CPU}$ ($f_{CPU} = 1.8 \text{ MHz}$ のとき : $71.1 \mu\text{s}$; $f_{CPU} = 2.0 \text{ MHz}$ のとき : $64 \mu\text{s}$)
- (b) : 変換遷移時間 (FR01, FR00により決定)
- (c) : A/D変換時間 (FR01, FR00により決定)

10.4.3 A/D変換終了～A/D停止までの動作

A/D変換処理を終了後、次変換の必要がない場合は、A/D停止モードにすることで消費電流を削減できます。A/D変換モードからA/D停止モードに移行したい場合は、A/Dコンバータ・モード・レジスタ0 (ADM0) のビット0 (ADCS02) = 0, ビット7 (ADCS0) = 0に設定してください。

A/D変換モード

ADCS0 = 0, ADCS02 = 0

A/D停止モード

注意 スタンバイ・モード時、A/Dコンバータは動作停止となります。ただし、消費電流を削減する場合はスタンバイ・モードに設定する前にADCS0 = 0, ADCS02 = 0に設定してください。

10.4.4 10ビットA/Dコンバータの内部動作

このA/Dコンバータは、変換時に次のような内部動作をします。

選択されたアナログ入力ソースから入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを $(1/2) AV_{REF}$ にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力 $(1/2) AV_{REF}$ よりも大きければ、SARのMSBをセットしたままです。また、 $(1/2) AV_{REF}$ よりも小さければMSBをリセットします。

次にSARのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ビット9 = 1 : $(3/4) AV_{REF}$
- ・ビット9 = 0 : $(1/4) AV_{REF}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット8が次のように操作されます。

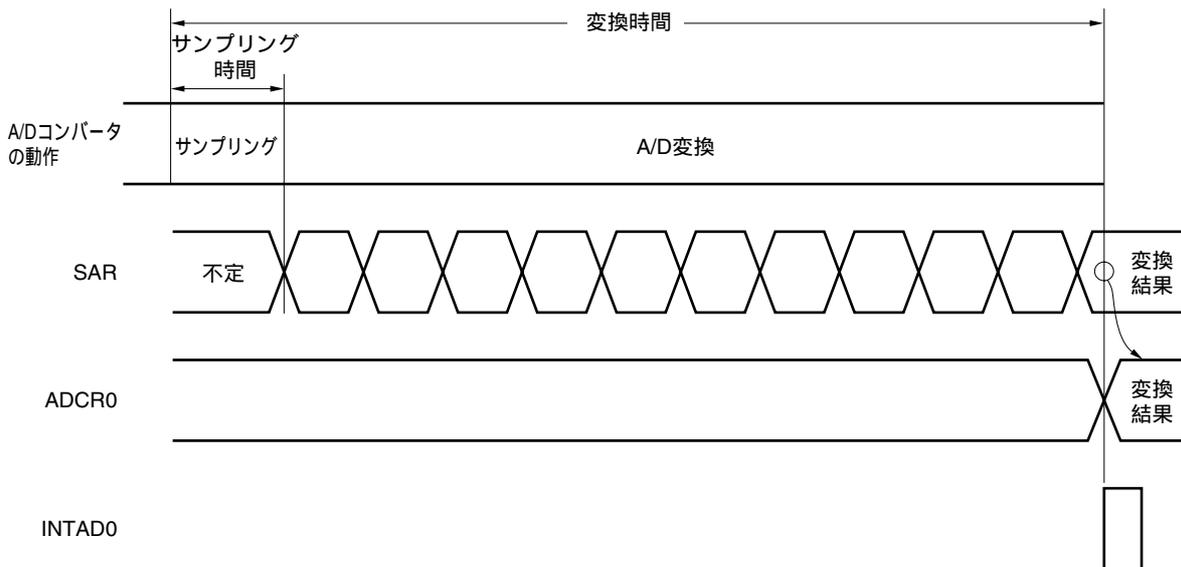
- ・アナログ入力電圧 > 電圧タップ : ビット8 = 1
- ・アナログ入力電圧 < 電圧タップ : ビット8 = 0

このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD0) を発生させます。

図10-7 10ビットA/Dコンバータの基本動作



10.4.5 入力電圧と変換結果

アナログ入力ソースからのアナログ入力電圧とA/D変換結果（A/D変換結果レジスタ0（ADCR0））には次式に示す関係があります。

$$ADCR0 = \text{INT} \left(\frac{V_{IN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

または、

$$(ADCR0 - 0.5) \times \frac{AV_{REF}}{1024} < V_{IN} < (ADCR0 + 0.5) \times \frac{AV_{REF}}{1024}$$

INT () : () 内の値の整数部を返す関数

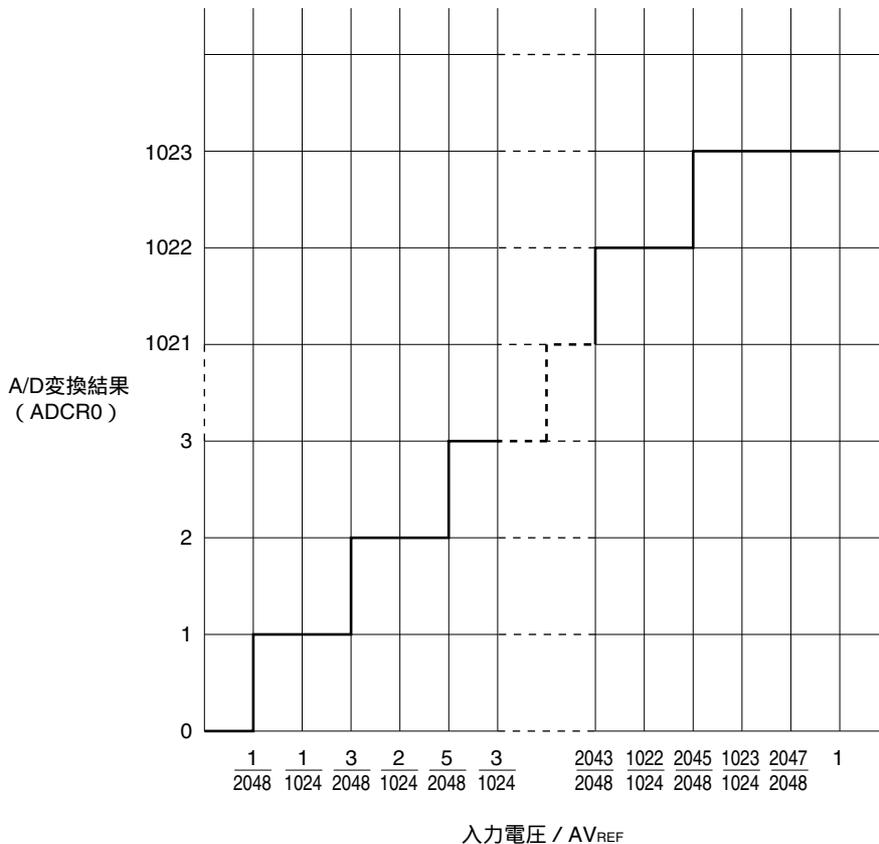
V_{IN} : アナログ入力電圧

AV_{REF} : 比較基準電圧（センサ用アナログ・マクロより供給）（第11章 センサ用アナログ・マクロ参照）

ADCR0 : A/D変換結果レジスタ0（ADCR0）の値

図10 - 8にアナログ入力電圧とA/D変換結果の関係を示します。

図10 - 8 アナログ入力電圧とA/D変換結果の関係



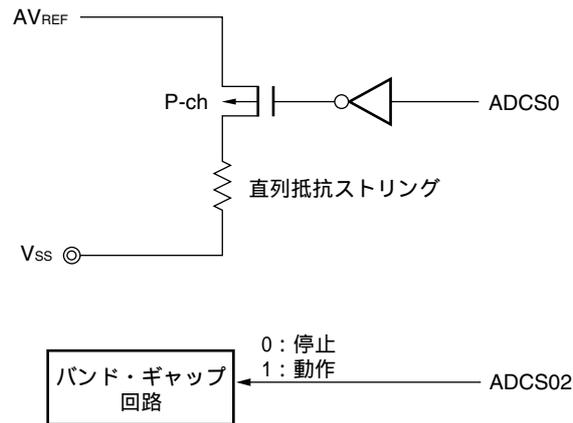
10.5 10ビットA/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) = 0, ビット0 (ADCS02) = 0とすることにより、消費電流を低減させることができます。

スタンバイ・モード時の消費電流を低減させる方法例を図10 - 9に示します。

図10 - 9 スタンバイ・モード時の消費電流を低減させる方法例



(2) 入力ソース電圧の範囲について

各入力ソースからの電圧は規格の範囲内でご使用ください。特にAVREF以上、VSS以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのソースの変換値が不定となります。また、ほかのソースを選択した場合の変換値にも影響を与えることがあります。

(3) 競合動作について

このA/Dコンバータでは、動作クロックとしてCPUクロック (f_{CPU}) を使っているため、変換終了時のA/D変換結果レジスタ0 (ADCR0) ライトと命令によるADCR0リード/ライトとの競合はありません。

(4) A/D停止モードから変換動作スタートした場合の変換結果について

A/D停止モードから、A/D変換待機モードで14 μs以上経過する前にA/D変換動作モードに設定した場合は、1回目のA/D変換値は不定になります。その場合はA/D変換終了割り込み要求 (INTAD0) をポーリングし、最初の変換結果を廃棄するなどの処理を行ってください。A/D変換動作モードで2回目以降のA/D変換値は正常値となります。

第11章 センサ用アナログ・マクロ

11.1 センサ用アナログ・マクロの機能

μ PD789863, 789864サブシリーズは、次の機能のセンサ用アナログ・マクロを内蔵しています。

- ★ センサからの入力信号の増幅回路（オフセット調整機能付き）
- 温度センサ回路
- 電池電圧検出回路

11.2 センサ用アナログ・マクロの構成

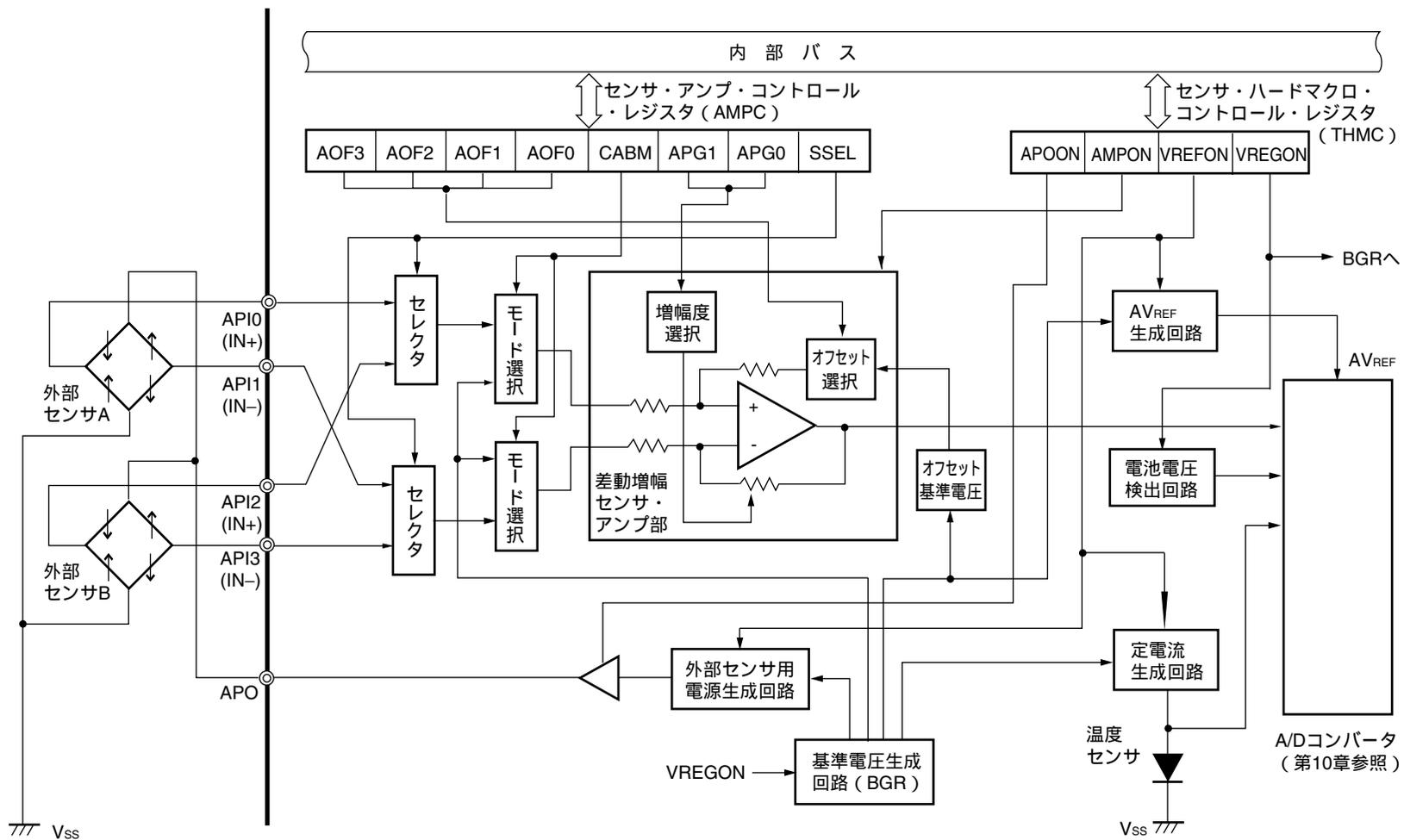
センサ用アナログ・マクロは、次のハードウェアで構成しています。

表11-1 センサ用アナログ・マクロの構成

項 目	構 成
センサ信号入力	センサを2チャンネル接続可能（入力端子4本：API0(IN+), API1(IN-), API2(IN+), API3(IN-)）
外部センサ用定電圧出力	外部センサの電源電圧を供給可能（出力端子1本：APO）
制御レジスタ	センサ・ハードマクロ・コントロール・レジスタ（THMC） センサ・アンプ・コントロール・レジスタ（AMPC）

★

★
図11-1 センサ用アナログ・マクロのブロック図



11.3 センサ用アナログ・マクロを制御するレジスタ

センサ用アナログ・マクロを制御するレジスタには、次の2種類があります。

- ・センサ・ハードマクロ・コントロール・レジスタ (THMC)
- ★ ・センサ・アンプ・コントロール・レジスタ (AMPC)

(1) センサ・ハードマクロ・コントロール・レジスタ (THMC)

基準電圧生成回路 (BGR), 定電流回路およびAV_{REF}生成回路, 差動増幅用センサ・アンプ, APO端子出力の許可/停止を設定するレジスタです。

THMCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図11-2 センサ・ハードマクロ・コントロール・レジスタのフォーマット

略号	7	6	5	4	0			アドレス	リセット時	R/W	
THMC	0	0	0	0	APOON	AMPON	VREFON	VREGON	FF08H	00H ^{注1}	R/W

APOON	APO端子の出力許可/停止
0	APO端子出力停止
1	APO端子出力許可

AMPON	差動増幅用センサ・アンプの動作許可/停止
0	差動増幅用センサ・アンプ停止
1	差動増幅用センサ・アンプ動作許可

VREFON	定電流回路およびA/DコンバータのAV _{REF} 生成回路の動作許可/停止
0	定電流回路およびAV _{REF} 生成回路停止
1	定電流回路およびAV _{REF} 生成回路動作許可

VREGON	基準電圧生成回路 (BGR) の動作許可/停止 ^{注2}
0	基準電圧生成回路 (BGR) 停止
1	基準電圧生成回路 (BGR) 動作許可

★ 注1. リセット解除後に自動的に01Hになります。

- 基準電圧生成回路は停止から動作に移行する際に安定時間 (64 μs) が必要となります。ただし, リセット解除後あるいはSTOPモード解除後は, 発振安定ウエイト時間経過後, 自動的に基準電圧生成回路動作許可 (VREGON = 1) となるように設定されています。このとき, 発振安定ウエイト時間 > 基準電圧生成回路安定時間 (64 μs) であり, 基準電圧生成回路はすでに安定状態となっているため, 特に安定時間 (64 μs) は必要ありません。

基準電圧回路を使用しない場合は, リセット解除後あるいはSTOPモード解除後のプログラムでVREGON = 0に設定してください。プログラムでVREGON = 0に設定後, VREGON = 1に設定する場合には, 上記のとおり安定時間 (64 μs) が必要となります。

また, リセット期間中あるいはSTOPモード中は, 自動的に基準電圧生成回路停止 (VREGON = 0) となります。

★ (2) センサ・アンプ・コントロール・レジスタ (AMPC)

センサ・アンプで増幅するセンサ信号の指定，増幅度や入力オフセット電圧の選択，キャリブレーション・モードの設定をするレジスタです。

AMPCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

★

図11-3 センサ・アンプ・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
AMPC	AOF3	AOF2	AOF1	AOF0	CABM	APG1	APG0	SSEL	FF09H	00H	R/W

AOF3	AOF2	AOF1	AOF0	入力オフセット電圧	増幅度30倍, センサ入力0.6Vの場合の センサ・アンプ出力 (理論計算値)
0	0	0	0	- 35 mV	$0.6\text{ V} + (- 35\text{ mV}) \times 30 = - 0.45\text{ V}$ 注1
0	0	0	1	- 28 mV	$0.6\text{ V} + (- 28\text{ mV}) \times 30 = - 0.24\text{ V}$ 注1
0	0	1	0	- 21 mV	$0.6\text{ V} + (- 21\text{ mV}) \times 30 = - 0.03\text{ V}$ 注1
0	0	1	1	- 14 mV	$0.6\text{ V} + (- 14\text{ mV}) \times 30 = 0.18\text{ V}$
0	1	0	0	- 7 mV	$0.6\text{ V} + (- 7\text{ mV}) \times 30 = 0.39\text{ V}$
0	1	0	1	± 0 V (標準状態)	$0.6\text{ V} + (\pm 0\text{ mV}) \times 30 = 0.60\text{ V}$
0	1	1	0	+ 7 mV	$0.6\text{ V} + (+ 7\text{ mV}) \times 30 = 0.81\text{ V}$
0	1	1	1	+ 14 mV	$0.6\text{ V} + (+ 14\text{ mV}) \times 30 = 1.02\text{ V}$
1	0	0	0	+ 21 mV	$0.6\text{ V} + (+ 21\text{ mV}) \times 30 = 1.23\text{ V}$
1	0	0	1	+ 28 mV	$0.6\text{ V} + (+ 28\text{ mV}) \times 30 = 1.44\text{ V}$
1	0	1	0	+ 35 mV	$0.6\text{ V} + (+ 35\text{ mV}) \times 30 = 1.65\text{ V}$
1	0	1	1	+ 42 mV	$0.6\text{ V} + (+ 42\text{ mV}) \times 30 = 1.86\text{ V}$
1	1	0	0	+ 49 mV	$0.6\text{ V} + (+ 49\text{ mV}) \times 30 = 2.07\text{ V}$ 注2
1	1	0	1	+ 56 mV	$0.6\text{ V} + (+ 56\text{ mV}) \times 30 = 2.28\text{ V}$ 注2
1	1	1	0	+ 63 mV	$0.6\text{ V} + (+ 63\text{ mV}) \times 30 = 2.49\text{ V}$ 注2
1	1	1	1	+ 70 mV	$0.6\text{ V} + (+ 70\text{ mV}) \times 30 = 2.70\text{ V}$ 注2

CABM	キャリブレーション・モードの選択
0	通常モード
1	キャリブレーション・モード ^{注3}

APG1	APG0	増幅度の選択
0	0	30倍
0	1	45倍
1	0	60倍
1	1	設定禁止

SSEL	増幅するセンサ信号の指定
0	API0(IN+), API1(IN-)端子に接続された外部センサAを選択 (API0を正入力側, API1を負入力側)
1	API2(IN+), API3(IN-)端子に接続された外部センサBを選択 (API2を正入力側, API3を負入力側)

注1. センサ・アンプ出力が計算上マイナスになってますが, 実際はマイナスにならずに0Vになります。

2. 計算上の値であり, 実際はセンサ・アンプ出力がV_{REF}以上に上がることはありません。

3. キャリブレーション・モードは, 温度変化や経年変化の補正を行なうためのモードです。

詳しくは11.4.6 **キャリブレーション・モードでの補正**を参照してください。

注意 増幅度の設定は, 必ずA/Dコンバータで変換動作 (ADCS0 = 1) する前に行ってください。A/D変換中に増幅度を変更しないでください。

11.4 センサ用アナログ・マクロの動作

11.4.1 センサ・アンプとしての動作

センサをAPI0(IN+), API1(IN+)端子, またはAPI2(IN-), API3(IN-)端子に外付けすることにより, センサからの入力電圧をアンプで差動増幅します。その増幅した電圧をA/Dコンバータで測定できます。

<例> センサA測定の手順

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット0 (ADCS02) でA/D動作モードを, ビット3, 4 (FR00, FR01) でA/D変換時間を設定します。

ビット0 (ADCS02) = 1 : A/D変換待機モード

ビット3, 4 (FR00, FR01) : 希望のA/D変換時間を設定

センサ・ハードマクロ・コントロール・レジスタ (THMC) を0FHに設定します。

ビット0 (VREGON) = 1 : 基準電圧生成回路動作許可 (初期値が1)[※]

ビット1 (VREFON) = 1 : AVREF生成回路動作許可

ビット2 (AMPON) = 1 : 差動増幅センサ・アンプ動作許可

ビット3 (APOON) = 1 : APO端子 (外部センサ用電源電圧) 出力許可

★ センサ・アンプ・コントロール・レジスタ (AMPC) を設定します。

ビット0 (SSEL) = 0 : 外部センサAを選択するように設定

ビット1, 2 (APG0, APG1) : 希望の増幅度を設定

ビット3 (CABM) = 0 : 通常モード

ビット4-7 (AOF0-AOF3) : 希望のオフセット電圧を設定 (11.4.5を参照)

A/D入力選択レジスタ0 (ADS0) を00Hに設定します (ADS0は初期値が00H)。

ADS0 = 00H : アナログ入力ソースを「センサ・アンプ」に決定

の設定から14 μ s以上経過したあと, ADM0の設定をして変換スタートします。

ビット0 (ADCS02) = 1
ビット7 (ADCS0) = 1 } : A/D変換動作モード

A/D変換が終了すると, その値がA/D変換結果レジスタ0 (ADCR0) に転送され, ラッチされます。

同時に, A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

INTAD0発生後, ADCR0の値を読み込むことでセンサA測定値が得られます。

以降, マイコンを間欠動作させて ~ を実施することで, 「STOPモードが解除されるたびにセンサAで測定し, またSTOPモードに戻る」というシステムを実現できます。

注 基準電圧生成回路は停止から動作に移行する際に安定時間 (64 μ s) が必要となります。ただし, リセット解除後あるいはSTOPモード解除後は, 発振安定ウエイト時間経過後, 自動的に基準電圧生成回路動作許可 (VREGON = 1) となるように設定されています。このとき, 発振安定ウエイト時間 > 基準電圧生成回路安定時間 (64 μ s) であり, 基準電圧生成回路はすでに安定状態となっているため, 特に安定時間 (64 μ s) は必要ありません。

基準電圧回路を使用しない場合は, リセット解除後あるいはSTOPモード解除後のプログラムでVREGON = 0に設定してください。プログラムでVREGON = 0に設定後, VREGON = 1に設定する場合には, 上記のとおり安定時間 (64 μ s) が必要となります。

また, リセット期間中あるいはSTOPモード中は, 自動的に基準電圧生成回路停止 (VREGON = 0) となります。

注意1. A/D停止モードから変換開始する場合は, 必ずA/D変換待機モード (ADCS02 = 1) で14 μ s以上経過してから, A/D変換動作モード (ADCS0 = 1) にしてください。さもないと, 変換結果は不定となります。

2. スタンバイ・モード時, センサ用アナログ・マクロとA/Dコンバータは動作停止となります。

11.4.2 温度センサとしての動作

内蔵のダイオードに定電流を流し、その V_F の電圧をA/Dコンバータで測定することにより、温度センサとして機能します。測定した温度データは、センサA測定の温度補正に利用することができます。

<例> 温度測定の手順

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット0 (ADCS02) でA/D動作モードを、ビット3, 4 (FR00, FR01) でA/D変換時間を設定します。

ビット0 (ADCS02) = 1 : A/D変換待機モード

ビット3, 4 (FR00, FR01) : 希望のA/D変換時間を設定

センサ・ハードマクロ・コントロール・レジスタ (THMC) を03Hに設定します。

ビット0 (VREGON) = 1 : 基準電圧生成回路動作許可 (初期値が1) ^{※1}

ビット1 (VREFON) = 1 : AV_{REF} 生成回路動作許可

A/D入力選択レジスタ0 (ADS0) を02Hに設定します。

ADS0 = 02H : アナログ入力ソースを「温度センサ」に決定

の設定から14 μ s以上経過したあと、ADM0の設定をして変換スタートします。

ビット0 (ADCS02) = 1
ビット7 (ADCS0) = 1 } : A/D変換動作モード

A/D変換が終了すると、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

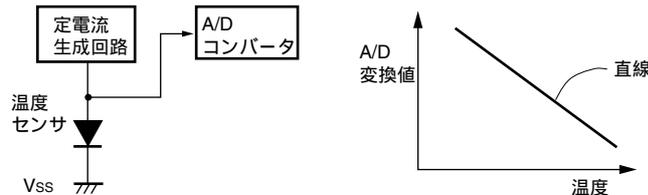
INTAD0発生後、ADCR0の値を読み込んで、基準温度での値との差から温度変化分を算出します^{※2}。

注1. 基準電圧生成回路は停止から動作に移行する際に安定時間 (64 μ s) が必要となります。ただし、リセット解除後あるいはSTOPモード解除後は、発振安定ウエイト時間経過後、自動的に基準電圧生成回路動作許可 (VREGON = 1) となるように設定されています。このとき、発振安定ウエイト時間 > 基準電圧生成回路安定時間 (64 μ s) であり、基準電圧生成回路はすでに安定状態となっているため、特に安定時間 (64 μ s) は必要ありません。

基準電圧回路を使用しない場合は、リセット解除後あるいはSTOPモード解除後のプログラムで VREGON = 0 に設定してください。プログラムで VREGON = 0 に設定後、VREGON = 1 に設定する場合には、上記のとおり安定時間 (64 μ s) が必要となります。

また、リセット期間中あるいはSTOPモード中は、自動的に基準電圧生成回路停止 (VREGON = 0) となります。

2. 温度センサはダイオードに定電流を流し、 V_F をA/Dコンバータで測定することにより実現しています。ダイオードの V_F は温度が高くなると小さくなるため、温度検出特性は -1.62 mV/ $^{\circ}$ C (TYP.) です。温度が上昇すると、A/D変換結果は小さくなります。



注意1. A/D停止モードから変換開始する場合は、必ずA/D変換待機モード (ADCS02 = 1) で14 μ s以上経過してから、A/D変換動作モード (ADCS0 = 1) にしてください。さもないと、変換結果は不定となります。

2. スタンバイ・モード時、センサ用アナログ・マクロとA/Dコンバータは動作停止となります。

11.4.3 電池電圧検出回路としての動作

電源電圧の半分の電圧 ($V_{DD}/2$) をA/Dコンバータで測定し、電池電圧の検出を行います。
これを利用して、電池残量少を知らせるシステムなどを実現できます。

<例> 電池電圧検出の手順

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット0 (ADCS02) でA/D動作モードを、ビット3, 4 (FR00, FR01) でA/D変換時間を設定します。

ビット0 (ADCS02) = 1 : A/D変換待機モード

ビット3, 4 (FR00, FR01) : 希望のA/D変換時間を設定

センサ・ハードマクロ・コントロール・レジスタ (THMC) を03Hに設定します。

ビット0 (VREGON) = 1 : 基準電圧生成回路動作許可 (初期値が1)[※]

ビット1 (VREFON) = 1 : AV_{REF} 生成回路動作許可

A/D入力選択レジスタ0 (ADS0) を01Hに設定します。

ADS0 = 01H : アナログ入力ソースを「電源電圧 ($V_{DD}/2$)」に決定
の設定から14 μ s以上経過したあと、ADM0の設定をして変換スタートします。

ビット0 (ADCS02) = 1 }
ビット7 (ADCS0) = 1 } : A/D変換動作モード

A/D変換が終了すると、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

INTAD0発生後、ADCR0の値を読み込んで、電池電圧の1/2の測定値が得られます。

注 基準電圧生成回路は停止から動作に移行する際に安定時間 (64 μ s) が必要となります。ただし、リセット解除後あるいはSTOPモード解除後は、発振安定ウエイト時間経過後、自動的に基準電圧生成回路動作許可 (VREGON = 1) となるように設定されています。このとき、発振安定ウエイト時間 > 基準電圧生成回路安定時間 (64 μ s) であり、基準電圧生成回路はすでに安定状態となっているため、特に安定時間 (64 μ s) は必要ありません。

基準電圧回路を使用しない場合は、リセット解除後あるいはSTOPモード解除後のプログラムでVREGON = 0に設定してください。プログラムでVREGON = 0に設定後、VREGON = 1に設定する場合には、上記のとおり安定時間 (64 μ s) が必要となります。

また、リセット期間中あるいはSTOPモード中は、自動的に基準電圧生成回路停止 (VREGON = 0) となります。

注意1. A/D停止モードから変換開始する場合は、必ずA/D変換待機モード (ADCS02 = 1) で14 μ s以上経過してから、A/D変換動作モード (ADCS0 = 1) にしてください。さもないと、変換結果は不定となります。

2. スタンバイ・モード時、センサ用アナログ・マクロとA/Dコンバータは動作停止となります。

11.4.4 定電圧源発生回路としての動作

外部センサ用，A/Dコンバータ用に定電圧を発生します。

これらの定電圧源として使用するには，必ず基準電圧発生回路(BGR)が動作している必要があります。THMCのビット0 (VREGON) = 1で使用してください (VREGONは初期値が1)。

(1) 外部センサ用 (約1.2 V)

API0-API3端子に接続する外部センサに電源供給することができます。

外部センサに電源供給するときは，必ずTHMCのビット3 (APOON) を1に設定してください。

(2) A/Dコンバータ用 (約1.8 V)

A/Dコンバータの比較基準電圧 (AVREF) を供給することができます。

A/Dコンバータを使用するときは，必ずTHMCのビット1 (VREFON) を1に設定してください。

★ 11.4.5 センサ・アンプのオフセット調整

AOF3-AOF0 = 0101Bの状態を理論上の標準とし，ここから7 mV刻みでオフセット調整することができます。

センサ・アンプ出力の計算式は次のようになります。

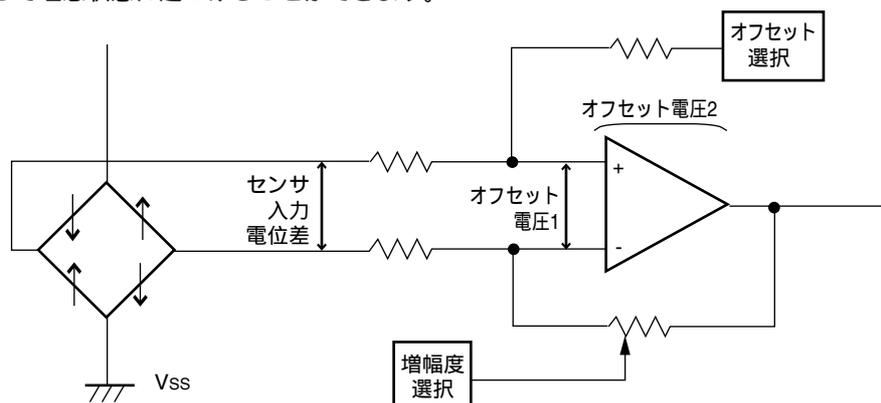
$$\text{(センサ・アンプ出力電圧)} = \{ \text{(センサ・アンプ入力電圧差)} + \text{(オフセット電圧1)} + \text{(オフセット電圧2)} \} \times \text{(増幅度)}$$

- センサ・アンプ入力電圧差 : センサを含めたAPI0-API1電位差
- オフセット電圧1 : AOF3-AOF0ビットでのオフセット調整による電圧差
- オフセット電圧2 : サンプルのオフセットばらつきによる電圧差

理想状態として計算するときは，オフセット電圧2は0 mVとします。

たとえばAOF3-AOF0 = 0101Bのときに，API0(IN+)端子とAPI1(IN-)端子の両方に0.6 V (APO出力電圧 / 2) が入力されたとすると，A/Dコンバータへのセンサ・アンプ出力電圧は理論上0.6 Vになります。設定値を1上げた0110Bにしたときには+7 mVのオフセット電圧が入力され，増幅度30倍の場合，センサ・アンプ出力電圧は0.6 V + 7 mV × 30 = 0.81 Vになります。また，設定値を1下げた0100Bにしたときには-7 mVのオフセット電圧が入力され，増幅度30倍の場合，センサ・アンプ出力電圧は0.6 V - 7 mV × 30 = 0.39 Vになります。

実際の環境や各測定条件において理論値との誤差 (オフセット電圧2) が生じる場合は，それをオフセット電圧1で補正して理想状態に近づけることができます。



★ 11.4.6 キャリブレーション・モードを使った補正

キャリブレーション・モードは、温度変化や経年変化の補正を行なうためのモードです。このモードに設定すると、デバイス内部では次のような状態になります。

外部センサからAPI0-API3端子を介してセンサ・アンプへ入力される接続が切断される
内部で生成された基準電圧（約0.6V）が直接センサ・アンプに入力される

これにより、入力電圧条件を一定に保った状態で補正を行うことができます。

次にその補正の手順を示します。

<キャリブレーション・モードを使った補正の手順>

基準となる温度（常温25℃）でキャリブレーション・モード（CABM = 1）時にA/D変換したデータを基準データ「A」としてEEPROMなどに格納しておきます。

実動作中の温度でキャリブレーション・モード時にA/D変換したデータを「B」とすれば、 $B - A$ の差分「C」が補正值となります。

のあとすぐにキャリブレーション・モードから通常モード（CABM = 0）に変更します。

希望の外部センサからの信号をA/D変換し、そのデータから補正值Cを引くことで、補正をかけたデータが得られます。

11.5 センサ用アナログ・マクロの注意事項

(1) スタンバイ・モード時の消費電流について

センサ用アナログ・マクロは、スタンバイ・モード時には動作が停止します。ただし、動作許可状態のままスタンバイ・モードに移行すると、電流消費があります。このときセンサ・ハードマクロ・コントロール・レジスタ（THMC）を00Hとすることにより、消費電流を低減させることができます。

第12章 LF検波回路

12.1 LF検波回路の機能

このLF検波回路は、外部から入力される125 kHzの電波の有無を検出できます。

また、次に示す機能があります。

- ・ 125 kHzの電波を検出した場合に、割り込みを発生してSTOPモードを解除できます。
- ・ 電波の有無により、ワイヤレスでデータの受信が可能です。

これにより、「STOPモード中のマイコンを、外部から電波を放出して、強制的に起動（STOPモード解除）させる」とか「マイコンのEEPROMに、あとから情報を書き込める」という機能を持ったシステムを実現できます。

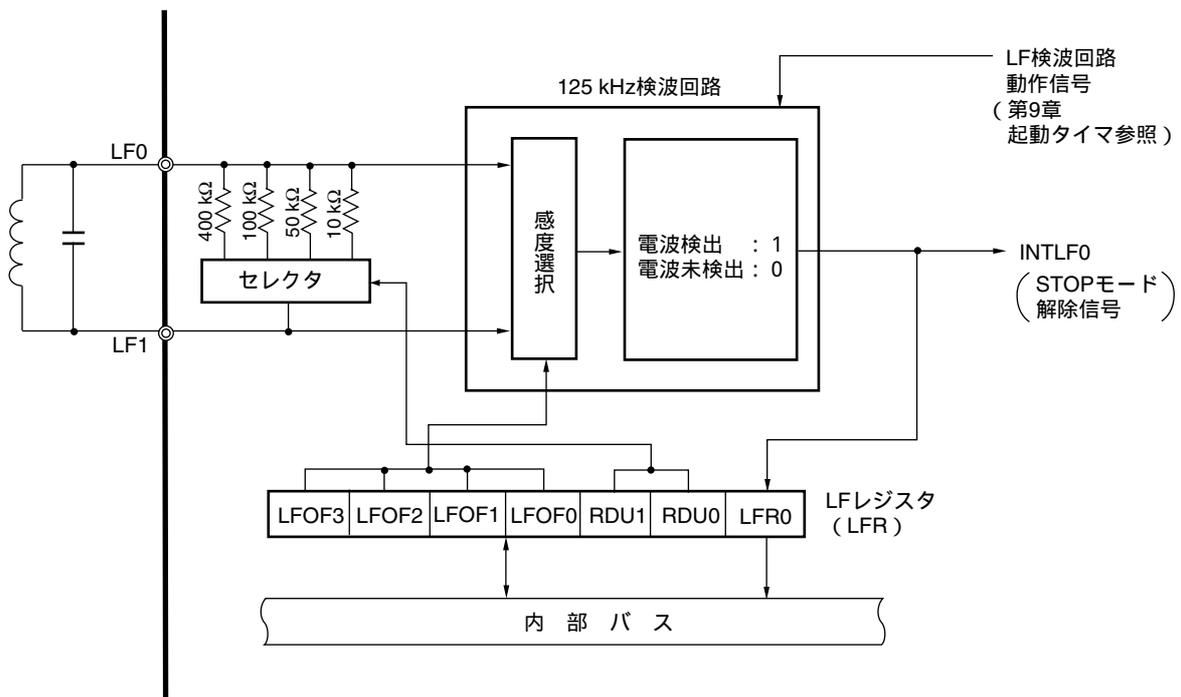
★ 12.2 LF検波回路の構成

LF検波回路は、次のハードウェアで構成しています。

表12 - 1 LF検波回路の構成

項目	構成
アナログ入力	2端子（LF0, LF1）
内蔵ダンピング抵抗	400/100/50/10 kΩの4種類から選択
制御レジスタ	LFレジスタ（LFR）

図12 - 1 LF検波回路のブロック図



12.3 LF検波回路を制御するレジスタ

LF検波回路は、LFレジスタ（LFR）で制御します。

★ (1) LFレジスタ（LFR）

LF検波感度の調整、ダンピング抵抗の選択、検波状況を表示するレジスタです。

LFRは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、ビット1-7は0になります。

ビット0は $\overline{\text{RESET}}$ 入力に依存せず、検波状況を表示し続けます。

備考 LF検波回路の動作許可 / 停止については、起動タイマ・モード・コントロール・レジスタ（WKTMC）のビット4, 3（LFEN, LFIA）で設定します（9.3 **起動タイマを制御するレジスタ**参照）。

図12 - 2 LFレジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LFR	LFOF3	LFOF2	LFOF1	LFOF0	0	RDU1	RDU0	LFR0	FF18H	00H ^{注1}	R/W ^{注2}

LFOF3	LFOF2	LFOF1	LFOF0	LF検波回路の感度調整 ^{注3}
0	0	0	0	感度±0 (標準状態)
0	0	0	1	感度+1
0	0	1	0	感度+2
0	0	1	1	感度+3
0	1	0	0	感度+4
0	1	0	1	感度+5
0	1	1	0	感度+6
0	1	1	1	感度+7
1	0	0	0	感度+8
1	0	0	1	感度+9
1	0	1	0	感度+10
1	0	1	1	感度+11
1	1	0	0	感度+12
1	1	0	1	感度+13
1	1	1	0	感度+14
1	1	1	1	感度+15

RDU1	RDU0	LF0-LF1間に接続する内蔵ダンピング抵抗の選択
0	0	400 kΩ
0	1	100 kΩ
1	0	50 kΩ
1	1	10 kΩ

LFR0	検波状況の表示
0	125 kHzの電波を検出せず
1	125 kHzの電波を検出

- 注1. 125 kHzの電波が入力されている場合には、01Hになります。
2. ビット0は、Read onlyです。
3. LFOF3-LFOF0 = 0000B (初期値) の状態を標準とし、ここから設定値を上げると感度を上げることができます。ただし感度を上げすぎると、電波が無い状態でも常時「電波あり (LFR0 = 1)」状態となってしまいます。感度調整については12.4.2 LF検波回路の感度調整を参照してください。

注意 ビット3には必ず0を設定してください。

★ 12.4 LF検波回路の動作

12.4.1 LF検波回路の動作開始

LF検波回路は、次のいずれかの設定により、動作許可となります。

LFEN = 1 常時動作許可

LFEN = 0, LFIA = 1 起動タイマで間欠動作許可 (WKTMC1の一致後に1//fcw₁秒間だけ動作許可)

備考 LFEN : 起動タイマ・モード・コントロール・レジスタ (WKTMC) のビット4

LFIA : 起動タイマ・モード・コントロール・レジスタ (WKTMC) のビット3

12.4.2 LF検波回路の感度調整

LFOF3-LFOF0 = 0000B (初期値) の状態を標準とし、ここから設定値を上げることによって感度を上げることができます。ただし感度を上げすぎると、電波が無い状態でも常時「電波あり (LFR0 = 1)」状態となってしまいます。したがって、たとえば0000Bから徐々に設定値を上げていき、0111Bにしたときに常時「電波あり」状態になったとすると、この一つ前の0110Bが一番感度良い設定値となります。

しかしこの設定値では、温度変化によって常時「電波あり」状態になってしまう可能性があるため、1感度下げた0101Bが安定して感度良く使用できる推奨設定値となります。

次に、感度調整の詳しい手順を示します。

<感度調整の手順>

外部の影響を小さくするため、ダンピング抵抗を10 kΩに設定する (RDU1, RDU0 = 11B)。

LFOF3-LFOF0 = 0000B (初期値) の状態でLFR0の値を読み、LFR0 = 0であればLFOF3-LFOF0の値を0001B, 0010B, . . . と1増やすごとにLFR0の値を読む。

LFR0 = 1となったら、そのときのLFOF3-LFOF0の値から - 2した値をLFOF3-LFOF0に設定する。^注

ダンピング抵抗を希望の抵抗値 (400/100/50/10 kΩ) のものに変更する。

注 ノイズなどの影響を考え、-2よりもっと下げて感度を落とすこともできます。

12.5 LF検波回路の注意事項

★ (1) スタンバイ・モード時の消費電流について

消費電流を抑えるため、次のように制御してください。

スタンバイ・モード時にLF検波回路を使用しない場合

消費電流を抑えるため、起動タイマ・モード・コントロール・レジスタ (WKTMC) のビット4, 3 (LFEN, LFIA) = 0, 0にしてLF検波回路を停止させてください。

スタンバイ・モード時に125 kHzの電波でSTOP解除させる場合

消費電流を抑えるため、WKTMCのビット4, 3 (LFEN, LFIA) = 0, 1にしてLF検波回路を起動タイマで間欠動作させてください。

なお、LF検波回路を常時動作 (LFEN = 1) にした場合は、約3 μA (3 V動作時) が常時流れることとなります。

第13章 乗算器

13.1 乗算器の機能

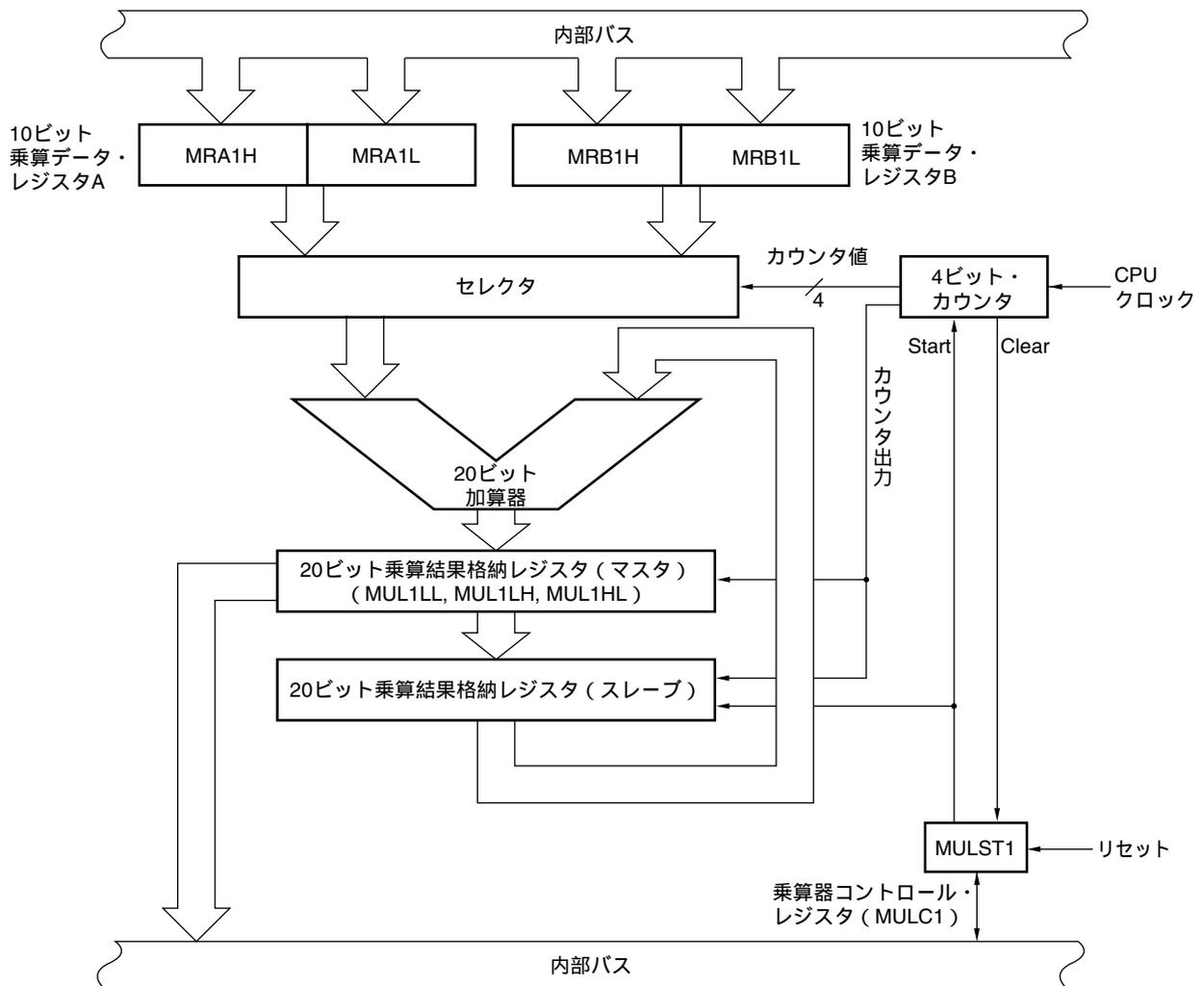
乗算器には、次のような機能があります。

- ・ 10ビット×10ビット = 20ビットの計算ができます。

13.2 乗算器の構成

図13 - 1に乗算器のブロック図を示します。

図13 - 1 乗算器のブロック図



(1) 20ビット乗算結果格納レジスタ(下位: MUL1LL, 中位: MUL1LH, 上位: MUL1HL)

20ビットの乗算結果を格納するレジスタです。MUL1HLのビット4-7は0固定です。
この3つのレジスタは、CPUクロックで20クロック経過後、乗算結果を保持します。
MUL1LL, MUL1LH, MUL1HLは、それぞれ8ビット・メモリ操作命令で読み出します。
 $\overline{\text{RESET}}$ 入力により、不定になります。

図13-2 20ビット乗算結果格納レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MUL1LL	MUL1LL7	MUL1LL6	MUL1LL5	MUL1LL4	MUL1LL3	MUL1LL2	MUL1LL1	MUL1LL0	FFA5H	不定	R
MUL1LH	MUL1LH7	MUL1LH6	MUL1LH5	MUL1LH4	MUL1LH3	MUL1LH2	MUL1LH1	MUL1LH0	FFA6H	不定	R
MUL1HL	0	0	0	0	MUL1HL3	MUL1HL2	MUL1HL1	MUL1HL0	FFA7H	不定	R

★ 注意 MUL1HLのビット4-7には、必ず0を設定してください。

(2) 10ビット乗算データ・レジスタA(下位: MRA1L, 上位: MRA1H)

10ビット乗算データ・レジスタB(下位: MRB1L, 上位: MRB1H)

10ビットの乗算データ格納用レジスタです。MRA1H, MRB1Hのそれぞれのビット2-7は0固定です。
乗算器は、10ビット乗算データ・レジスタA (MRA1L, MRA1H) の値と10ビット乗算データ・レジスタ
B (MRB1L, MRB1H) の値を乗算します。

MRA1L, MRA1H, MRB1L, MRB1Hは、8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、不定になります。

図13-3 10ビット乗算データ・レジスタAのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MRA1L	MRA1L7	MRA1L6	MRA1L5	MRA1L4	MRA1L3	MRA1L2	MRA1L1	MRA1L0	FFA1H	不定	W
MRA1H	0	0	0	0	0	0	MRA1H1	MRA1H0	FFA2H	不定	W

★ 注意 MRA1Hのビット2-7には、必ず0を設定してください。

図13-4 10ビット乗算データ・レジスタBのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MRB1L	MRB1L7	MRB1L6	MRB1L5	MRB1L4	MRB1L3	MRB1L2	MRB1L1	MRB1L0	FFA3H	不定	W
MRB1H	0	0	0	0	0	0	MRB1H1	MRB1H0	FFA4H	不定	W

★ 注意 MRB1Hのビット2-7には、必ず0を設定してください。

13.3 乗算器を制御するレジスタ

乗算器は次のレジスタで制御します。

- ・乗算器コントロール・レジスタ (MULC1)

(1) 乗算器コントロール・レジスタ (MULC1)

MULC1は、演算動作を制御する機能と同時に、乗算器の動作状態を示すレジスタです。

MULC1は、1ビット、メモリ操作命令または、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図13-5 乗算器コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
MULC1	0	0	0	0	0	0	0	MULST1	FFA0H	00H	R/W

<ビット0：書き込み時>

MULST1	乗算器の演算活動開始の制御ビット
0	カウンタをすべて“0”にセットした後、演算動作停止。
1	演算動作許可

<ビット0：読み出し時>

MULST1	乗算器の動作状態
0	動作停止中
1	演算実行中

注意 ビット1-7には、必ず0を設定してください。

13.4 乗算器の動作

μPD789863, 789864サブシリーズの乗算器では、10ビット×10ビット = 20ビットの計算ができます。

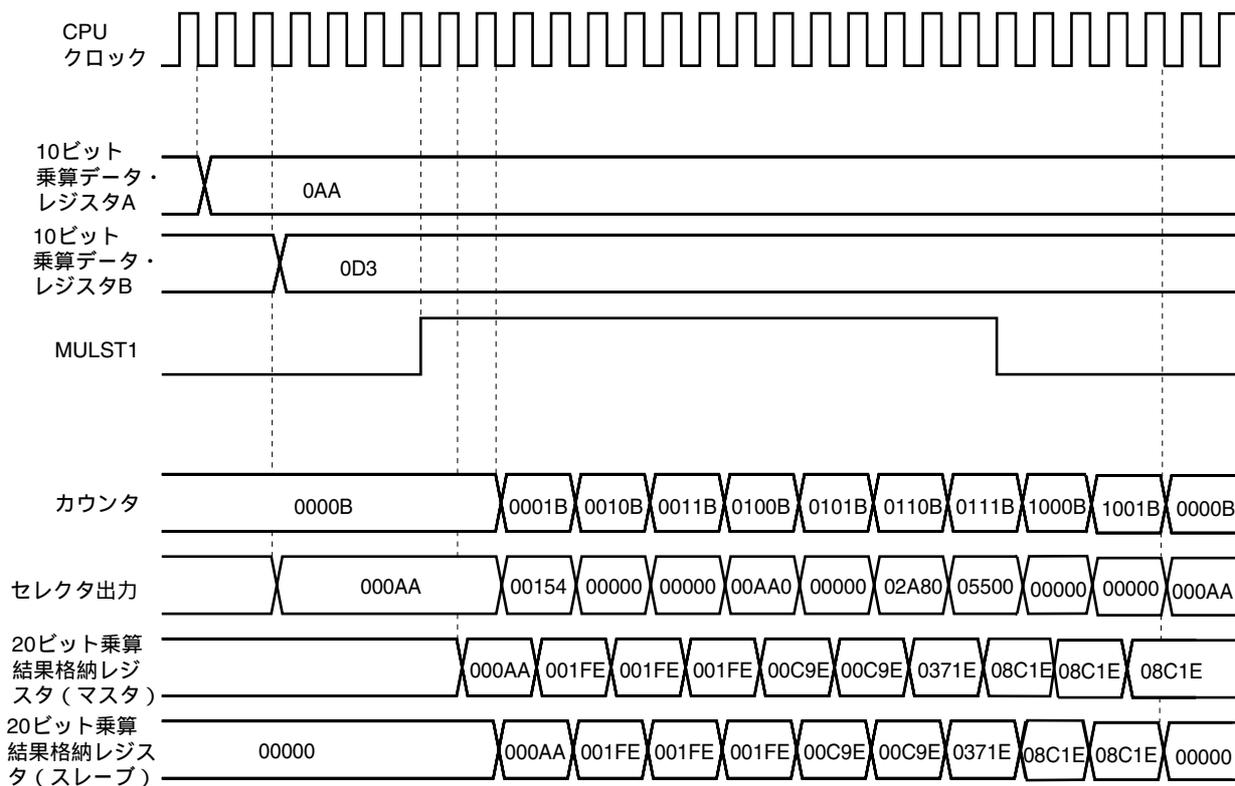
次に示す計算例での乗算器の動作タイミングを図13 - 6に示します。

< 計算例 >

10ビット乗算データ・レジスタA = 0AAH

10ビット乗算データ・レジスタB = 0D3H

図13 - 6 乗算器の動作タイミング (0AAH × 0D3Hの例)



< 動作手順 >

10ビット乗算データ・レジスタA, Bに値を書き込みます。

MULST1をセットすることにより、カウンタ動作を開始します。

CPUクロックごとに、セクタによって生成されたデータと20ビット乗算結果格納レジスタのデータを加算し、カウンタ値を1インクリメントします。

カウンタの値が1001Bのとき、MULST1がクリアされると演算動作を停止します。そのとき20ビット乗算結果格納レジスタはデータを保持しています。

MULST1がロウ・レベル中は、カウンタとスレーブはクリアされています。

第14章 割り込み機能

14.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの内部割り込みが1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。同時に複数の割り込み要求が同時に発生しているときの優先順位(プライオリティ)は、表14 - 1のように決められています。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、内部割り込みが6要因あります。

14.2 割り込み要因と構成

割り込み要因には、ノンマスクابل割り込み、マスクابل割り込みをあわせて合計7要因あります（表14 - 1参照）。

表14 - 1 割り込み要因一覧

割り込みタイプ	プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
ノンマスクابل	-	INTWDT	ウォッチドッグ・タイマのオーバーフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)
マスクابل	0	INTWDT	ウォッチドッグ・タイマのオーバーフロー (インターバル・タイマ・モード選択時)			内部
	1	INTLF0	LF検波 (125 kHz) の受信完了			
	2	INTAD0	A/D変換完了信号			
	3	INTTMC0	12ビット・タイマC0の一致信号発生			
	4	INTTMWK1	起動タイマの一致信号発生			
	5	INTEE0	EEPROM書き込み終了信号			

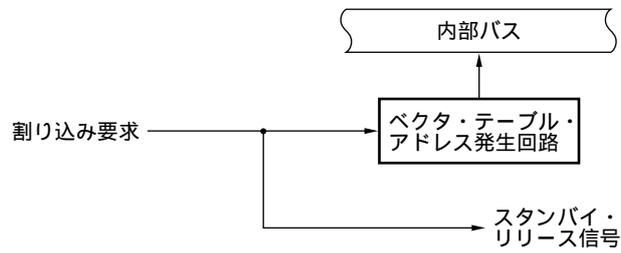
注1. プライオリティは、複数のマスクابل割り込みが同時に発生している場合に、優先する順位です。0が最高順位、5が最低順位です。

2. 基本構成タイプの(A)、(B)は、それぞれ図14 - 1の(A)、(B)に対応しています。

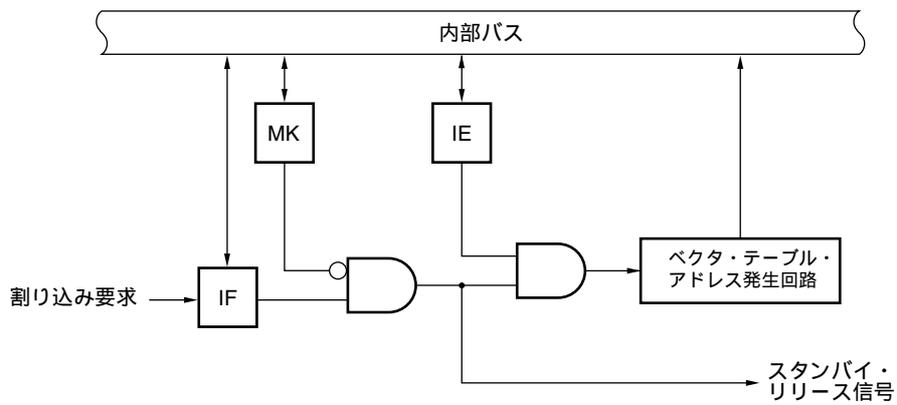
備考 ウォッチドッグ・タイマの割り込み要因 (INTWDT) には、ノンマスクابل割り込みとマスクابل割り込み (内部) の2種類があり、どちらか1種類のみ選択できます。

図14 - 1 割り込み機能の基本構成

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- MK : 割り込みマスク・フラグ

14.3 割り込み機能を制御するレジスタ

割り込み機能は、次の3種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ0 (IF0)
- ・割り込みマスク・フラグ・レジスタ0 (MK0)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を表14 - 2に示します。

表14 - 2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTWDT	TMIF4	TMMK4
INTLF0	LFIF0	LFMK0
INTAD0	ADIF0	ADMK0
INTTMC0	TMIFC0	TMMKC0
INTTMWK1	TMWKIF1	TMWKMK1
INTEE0	EEIF0	EEMK0

(1) 割り込み要求フラグ・レジスタ0 (IF0)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア (0) されるフラグです。

IF0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図14 - 2 割り込み要求フラグ・レジスタ0のフォーマット

略号	7	6						0	アドレス	リセット時	R/W
IF0	0	0	EEIF0	TMWKIF1	TMIFC0	ADIF0	LFIF0	TMIF4	FFE0H	00H	R/W

x x IF x	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. ビット6, 7には必ず0を設定してください。

2. TMIF4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、TMIF4フラグに0を設定してください。
3. 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ0 (MK0)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。MK0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、FFHになります。

図14 - 3 割り込みマスク・フラグ・レジスタ0のフォーマット

略号	7	6						0	アドレス	リセット時	R/W
MK0	1	1	EEMK0	TMWKMK1	TMMKC0	ADMK0	LFMK0	TMMK4	FFE4H	FFH	R/W

x × MK x	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

- 注意1. ビット6, 7には必ず1を設定してください。
2. TMMK4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ,R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、TMMK4フラグに0を設定してください。

(3) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可/禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。

$\overline{\text{RESET}}$ 入力により、PSWは02Hになります。

図14 - 4 プログラム・ステータス・ワードの構成

略号	7	6	5	4	3	2	1	0	リセット時
PSW	IE	Z	0	AC	0	0	1	CY	0 2 H
									通常の命令実行時に使用

IE	割り込み受け付けの許可/禁止
0	禁止
1	許可

14.4 割り込み処理動作

14.4.1 ノンマスカブル割り込み要求の受け付け動作

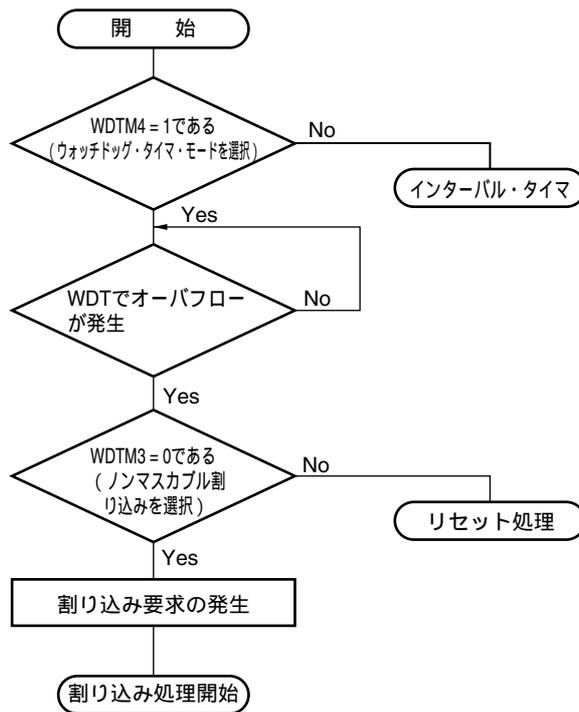
ノンマスカブル割り込み要求は、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、PSW、PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャートを図14 - 5に、ノンマスカブル割り込み要求の受け付けタイミングを図14 - 6に、ノンマスカブル割り込みが多量に発生した場合の受け付け動作を図14 - 7に示します。

注意 ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求をしないでください。割り込みサービス・プログラム実行中でも新たに発生したノンマスカブル割り込み要求を受け付けてしまいます。

図14 - 5 ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャート



WDTM : ウォッチドッグ・タイマ・モード・レジスタ

WDT : ウォッチドッグ・タイマ

図14 - 6 ノンマスカブル割り込み要求の受け付けタイミング

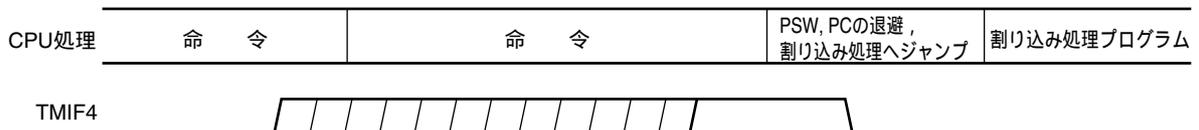
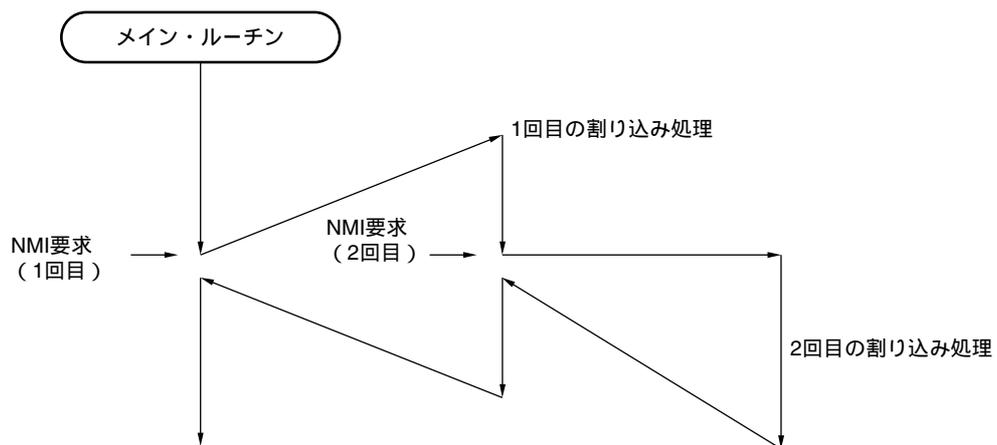


図14 - 7 ノンマスクブル割り込み要求の受け付け動作



14.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込みの割り込みマスク・フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は表14-3のようになります。割り込み要求の受け付けのタイミングについては、図14-9、図14-10を参照してください。

表14-3 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 ^注
9クロック	19クロック

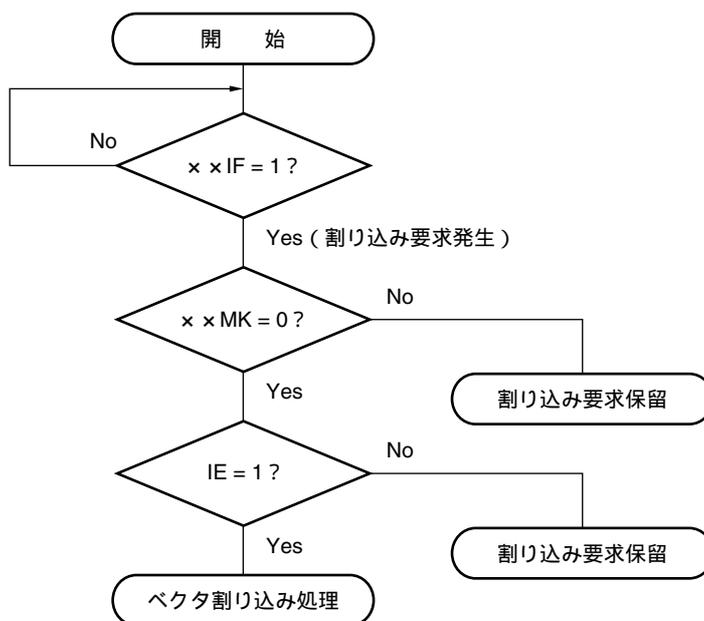
注 BT, BF命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU}: CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。保留された割り込みは受け付け可能な状態になると受け付けられます。割り込み要求受け付けのアルゴリズムを図14-8に示します。

マスカブル割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグをリセット(0)し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。RETI命令によって、割り込みから復帰できます。

図14-8 割り込み要求受け付け処理アルゴリズム

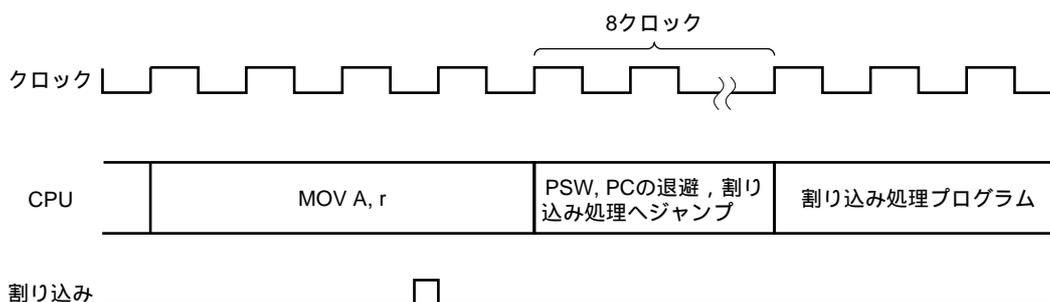


x x IF : 割り込み要求フラグ

x x MK : 割り込みマスク・フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ(1 = 許可, 0 = 禁止)

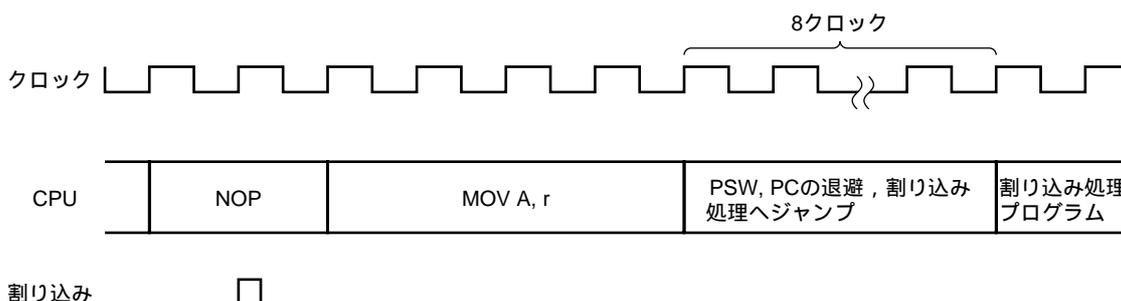
図14 - 9 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロック n ($n = 4-10$) が $n - 1$ までに割り込み要求フラグ ($\times \times IF$) が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図14 - 9では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので実行してから3クロックの間に割り込みが発生するとMOV A, rの終了後、割り込み受け付け処理を行います。

図14 - 10 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ ($\times \times IF$) が命令の最後のクロックのときに発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図14 - 10ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

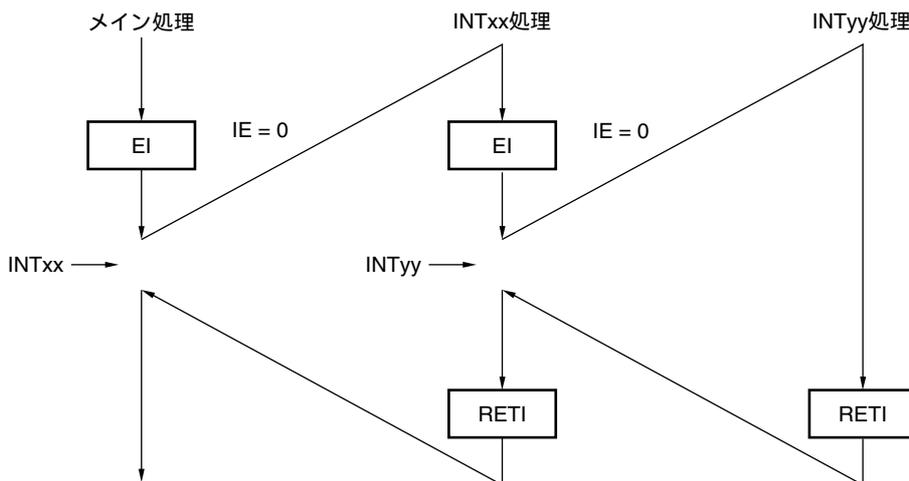
注意 割り込み要求フラグ・レジスタ0 (IF0) または割り込みマスク・フラグ・レジスタ0 (MK0) にアクセス中は割り込み要求は保留されます。

14.4.3 多重割り込み処理

割り込み処理中にさらに別の割り込みを受け付ける多重割り込みは、優先順位によって処理できます。複数の割り込みが同時に発生しているとき、各割り込み要求にあらかじめ割り付けてある優先順位に従って割り込み処理を行います(表14-1参照)。

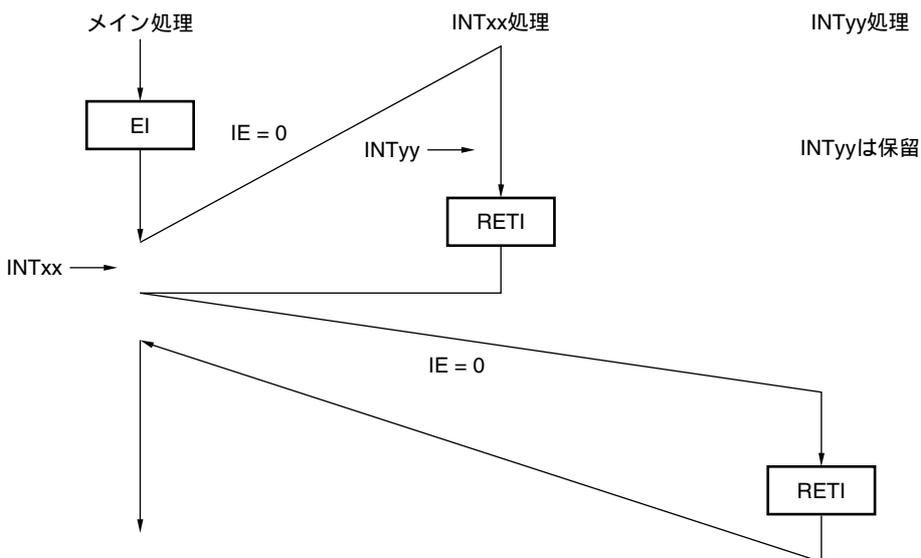
図14-11 多重割り込みの例

例1. 多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

IE = 0 : 割り込み要求受け付け禁止

14.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、ノンマスカブル割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・割り込み要求フラグ・レジスタ0（IF0）に対する操作命令
- ・割り込みマスク・フラグ・レジスタ0（MK0）に対する操作命令

第15章 スタンバイ機能

15.1 スタンバイ機能と構成

15.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減することができます。

また、データ・メモリの低電圧 ($V_{DD} = 1.9\text{ V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

15.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) ^注で制御します。

OSTSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、04Hになります。

- ★ ただし、RESET解除後の発振安定時間はOSTSに依存せず、μ PD789864, 78E9864は $2^{13}/f_x$ に、μ PD789863, 78E9863は $2^7/f_{cc}$ になります。

注 μ PD789864サブシリーズのみです。

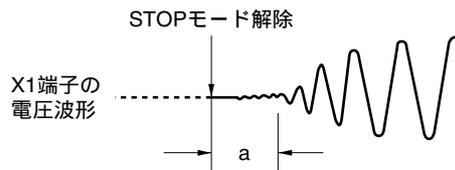
μ PD789863サブシリーズには、発振安定時間選択レジスタはありません。μ PD789863サブシリーズの発振安定時間は $2^7/f_{cc}$ に固定されます。

図15 - 1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{11}/f_x$ (1.024 ms)
0	1	0	$2^{12}/f_x$ (2.048 ms)
1	0	0	$2^{13}/f_x$ (4.096 ms)
上記以外			設定禁止

注意 STOPモード解除時のウェイト時間は、RESET入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間 (下図a) は含みません。



備考1. f_x : システム・クロック発振周波数 (セラミック発振)

2. () 内は、 $f_x = 2.0$ MHz動作時

15.2 スタンバイ機能の動作

15.2.1 HALTモード

(1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表15-1 HALTモード時の動作状態

項 目	HALTモード時の動作状態	
システム・クロック	システム・クロックの発振が可能 CPUへのクロック供給が停止	
CPU	動作停止	
EEPROM (データ・メモリ)	動作可能 ^{注1}	
EEPROM (プログラム・メモリ) ^{注2}	動作停止	
ポート (出力ラッチ)	HALTモード設定前の状態を保持	
12ビット・タイマC0	動作可能	
起動タイマ	動作可能 ^{注3}	
起動タイマ用RC発振回路	動作可能 ^{注3}	
ウォッチドッグ・タイマ	動作可能	
A/Dコンバータ	動作停止	
乗算器	動作停止	
★ LF検波回路	動作可能	
センサ用 アナログ・マクロ	センサ・アンプ回路	動作停止
	温度センサ回路	動作停止
	定電圧出力回路	動作停止
	電池電圧検出回路	動作停止

注1. 書き込み命令実行後、HALTモード設定可能

2. μ PD78E9863, 78E9864のみ

3. リセット解除時より動作状態となります。

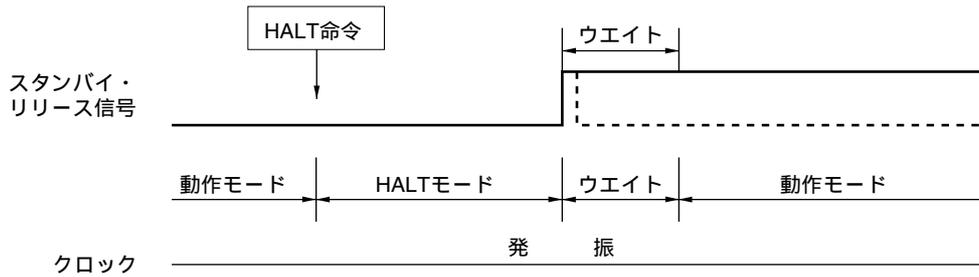
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生した場合、HALTモードを解除します。割り込み要求受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図15 - 2 HALTモードの割り込み発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

- ・ベクタに分岐した場合 : 9~10クロック
- ・ベクタに分岐しなかった場合 : 1~2クロック

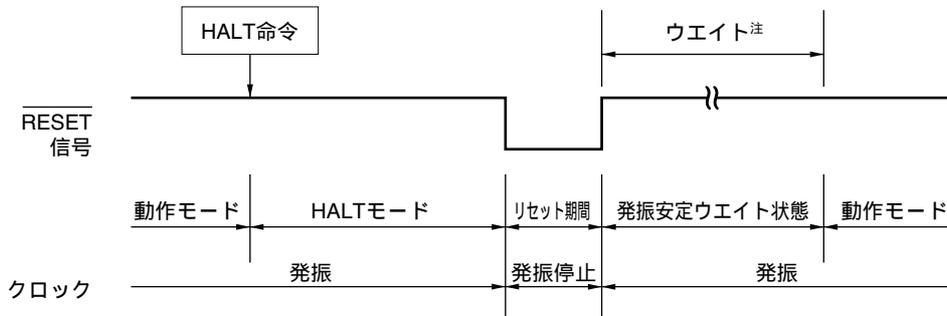
(b) ノンマスクابل割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

(c) RESET入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図15-3 HALTモードのRESET入力による解除



★ 注 μ PD789863, 78E9863のとき $2^7/f_{cc} : 71.1 \mu s$ ($f_{cc} = 1.8 \text{ MHz}$ 動作時)
 μ PD789864, 78E9864のとき $2^{13}/f_x : 4.096 \text{ ms}$ ($f_x = 2.0 \text{ MHz}$ 動作時)

備考 f_x : システム・クロック発振周波数

(3) HALTモードの解除後の動作

HALTモードが解除されると、その解除ソースによって表15-2に示す動作になります。

表15-2 HALTモードの解除後の動作

解除ソース	MK x x	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	HALTモード保持
ノンマスカブル割り込み要求	-	x	割り込み処理実行
RESET入力	-	-	リセット処理

x : don't care

15.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表15-3 STOPモード時の動作状態

項 目		HALTモード時の動作状態
システム・クロック		システム・クロックの発振が停止 CPUへのクロック供給が停止
CPU		動作停止
EEPROM (データ・メモリ)		動作停止
EEPROM (プログラム・メモリ) ^{注1}		動作停止
ポート (出力ラッチ)		STOPモード設定前の状態を保持
12ビット・タイマ		動作停止 ^{注2}
起動タイマ		動作可能 ^{注3}
起動タイマ用RC発振回路		動作可能 ^{注3}
ウォッチドッグ・タイマ		動作停止
A/Dコンバータ		動作停止
乗算器		動作停止
★ LF検波回路		動作可能
センサ用 アナログ・マクロ	センサ・アンプ回路	動作停止
	温度センサ回路	動作停止
	定電圧出力回路	動作停止
	電池電圧検出回路	動作停止

注1. μ PD78E9863, 78E9864のみ

- 外部クロック入力することにより割り込みを発生することがあるので、STOPモードにする前には必ずTCEC0 = 0にしてください。
- リセット解除時より動作状態となります。

(2) STOPモードの解除

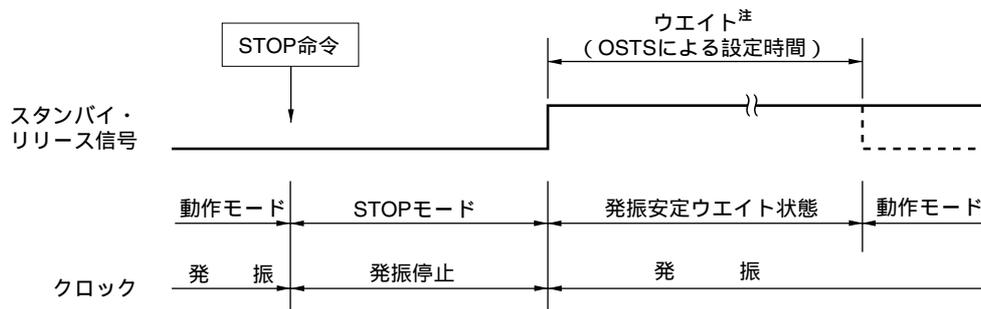
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求^注が発生した場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

★ 注 STOPモード中に発生できる割り込み要求は、INTTMWK1, INTLF0です。

図15 - 4 STOPモードの割り込み発生による解除



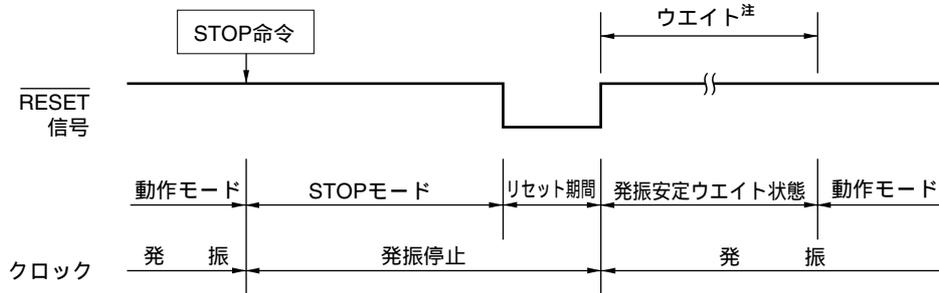
注 μ PD789863サブシリーズには、OSTSはなく、ウェイトは $2^7/f_{cc}$ に固定されます。

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) RESET入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図15 - 5 STOPモードのRESET入力による解除



- ★ 注 μ PD789863, 78E9863のとき $2^7/f_{cc}$: 71.1 μ s (f_{cc} = 1.8 MHz動作時)
- μ PD789864, 78E9864のとき $2^{13}/f_x$: 4.096 ms (f_x = 2.0 MHz動作時)

備考 f_x : システム・クロック発振周波数

(3) STOPモードの解除後の動作

STOPモードが解除されると、その解除ソースによって表15 - 4に示す動作になります。

表15 - 4 STOPモードの解除後の動作

解除ソース	MK x x	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	STOPモード保持
RESET入力	-	-	リセット処理

x : don't care

第16章 リセット機能

リセット信号を発生させる方法には、次の3種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット
- (3) 起動タイマのオーバーフロー[※]による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H、0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバーフローが発生する、または起動タイマのオーバーフロー[※]が発生することにより、リセットがかかり、各ハードウェアは表16 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後にプログラムの実行を開始します。また、ウォッチドッグ・タイマ、起動タイマのオーバーフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後にプログラムの実行を開始します（[図16 - 2](#)～[図16 - 4](#)参照）。

注 STOPモードに切り替わらないままカウンタが上がり続けるので、暴走していると判断される

- 注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
2. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図16 - 1 リセット機能のブロック図

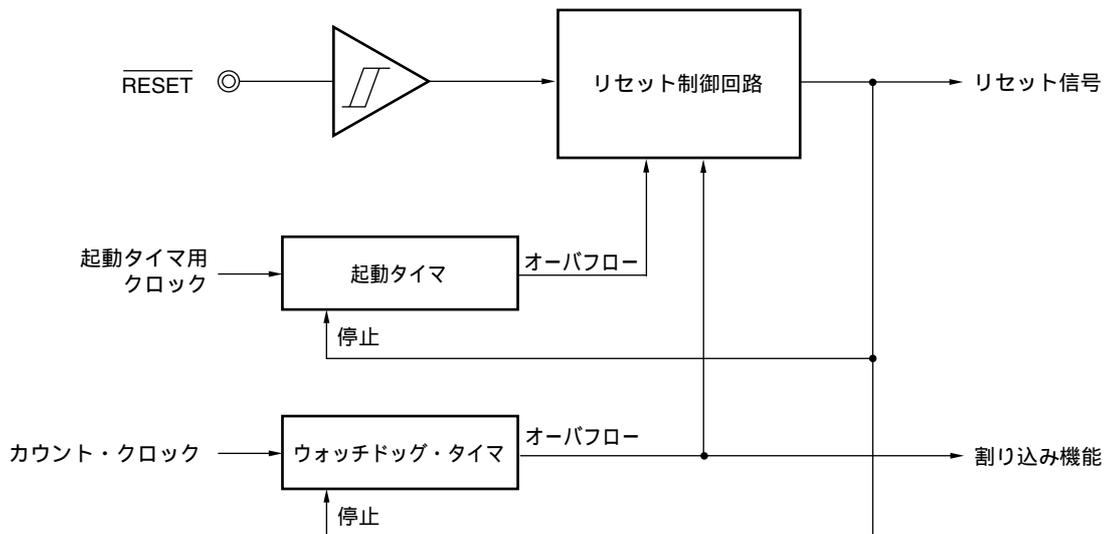


図16-2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

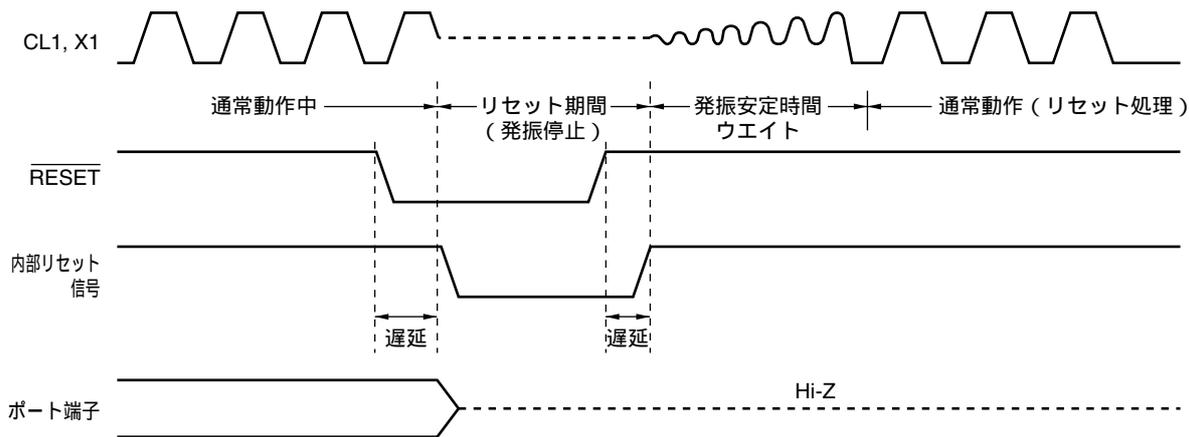


図16-3 ウォッチドッグ・タイマ, 起動タイマのオーバーフローによるリセット・タイミング

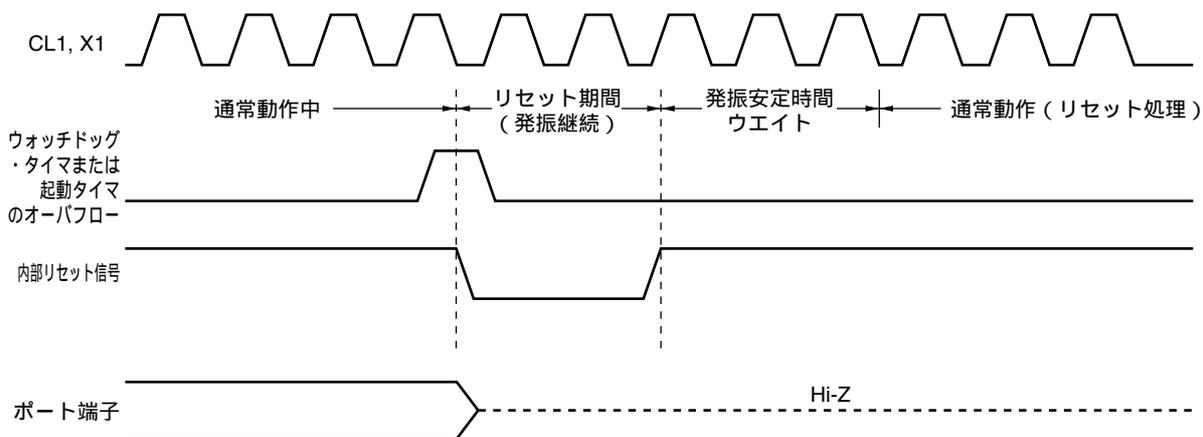


図16-4 STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング

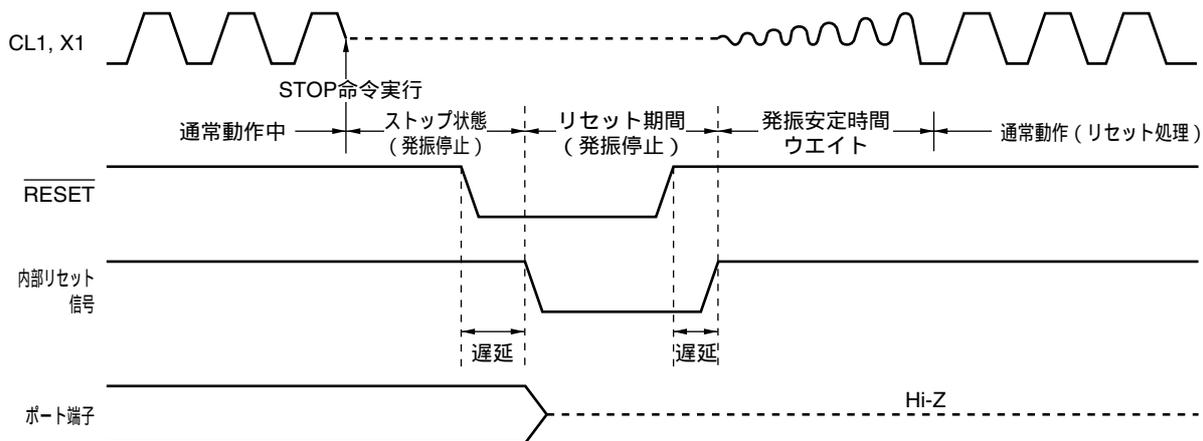


表16-1 各ハードウェアのリセット後の状態

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
EEPROM	ライト・コントロール・レジスタ (EEWC10)	08H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート (P0, P2) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0, PM2)		FFH
プルアップ抵抗オプション・レジスタ (PUB0, PUB2)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
発振安定時間選択レジスタ (OSTS) ^{注3}		04H
12ビット・タイマC0	タイマ・カウンタ (TMC0)	00H
	コンペア・レジスタ (CRC0)	不定
	モード・コントロール・レジスタ (TMCC0)	00H
起動タイマ	8ビット・タイマ・カウンタ (WKTM1)	00H
	3ビット・タイマ・カウンタ (WKTM2)	00H
	8ビット・コンペア・レジスタ (WKCR1)	FFH
	3ビット・コンペア・レジスタ (WKCR2)	07H
	モード・コントロール・レジスタ (WKTMC)	00H
ウォッチドッグ・タイマ	タイマ・クロック選択レジスタ2 (TCL2)	00H
	モード・レジスタ (WDTM)	00H
A/Dコンバータ	モード・レジスタ (ADM0)	00H
	入力選択レジスタ (ADS0)	00H
	変換結果レジスタ (ADCR0)	不定
乗算器	結果レジスタ (MUL1LL, MUL1LH, MUL1HL)	不定
	データ・レジスタ (MRA1L, MRA1H, MRB1L, MRB1H)	不定
	コントロール・レジスタ (MULC1)	00H
LF検波回路	入力レジスタ (LFR)	00H ^{注4}
センサ用アナログ・マクロ	ハードマクロ・コントロール・レジスタ (THMC)	00H ^{注5}
	センサ・アンプ・コントロール・レジスタ (AMPC)	00H
割り込み	要求フラグ・レジスタ (IF0)	00H
	マスク・フラグ・レジスタ (MK0)	FFH

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

- スタンバイ・モード時でのリセット後の状態は保持となります。
- μ PD789864, 78E9864のみ
- 125 kHzの電波が入力されている場合には、01Hとなります。

★ 5. リセット解除後に自動的に01Hとなります。

第17章 μ PD78E9863, 78E9864

μ PD789863, 789864サブシリーズのEEPROM製品には, μ PD78E9863, 78E9864があります。

μ PD78E9863は, μ PD789863の内部ROMを, μ PD78E9864は, μ PD789864の内部ROMをそれぞれEEPROMに置き換えた製品です。 μ PD78E9863, 78E9864とマスクROM製品の違いを表17 - 1に示します。

表17 - 1 μ PD78E9863, 78E9864とマスクROM製品の違い

品 名			EEPROM製品		マスクROM製品	
			μ PD78E9863	μ PD78E9864	μ PD789863	μ PD789864
内部 メモリ	プログラム・ メモリ	ROM構成	EEPROM		マスクROM	
		ROM容量	4 Kバイト			
	データ・ メモリ	高速RAM	256バイト			
		EEPROM	64バイト			
システム・クロック			RC発振	セラミック発振	RC発振	セラミック発振
発振安定時間選択レジスタ (OSTC)			なし	あり	なし	あり
IC端子			なし		あり	
V _{PP} 端子			あり		なし	
電気的特性			第19章 電気的特性 (ターゲット) を参照してください。			

注意 EEPROM製品とマスクROM製品では, ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でEEPROM製品からマスクROM製品への置き換えを検討される場合は, マスクROM製品のCS製品 (ES製品でなく) で十分な評価をしてください。

17.1 EEPROM (プログラム・メモリ)

μ PD78E9863, 78E9864に内蔵されているプログラム・メモリはEEPROMです。

この章ではプログラム・メモリ領域に内蔵されているEEPROMの機能について説明します。データ・メモリに内蔵されているEEPROMについては第4章 EEPROM (データ・メモリ)を参照してください。

EEPROMへの書き込みは、ターゲット・システムに実装した状態 (オンボード)で行うことができます。専用フラッシュ・ライタ (Flashpro (型番FL-PR3, PG-FP3)またはFlashpro (型番FL-PR4, PG-FP4))をホスト・マシンおよびターゲット・システムに接続して書き込みます。

備考 FL-PR3, FL-PR4は、株式会社内藤電誠町田製作所 (TEL (045) 475-4191) の製品です。

EEPROMによるプログラミングには、次のような利点があります。

ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能

ソフトウェアを区別することで少量多品種生産が容易

量産立ち上げ時のデータ調整が容易

17.1.1 プログラミング環境

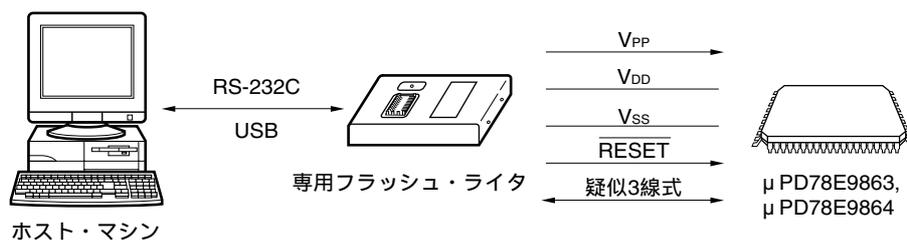
μ PD78E9863, 78E9864のEEPROMプログラミングに必要な環境を示します。

専用フラッシュ・ライタとしてFlashpro (型番 FL-PR3, PG-FP3)またはFlashpro (型番 FL-PR4, PG-FP4)を使用した場合、専用フラッシュ・ライタには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライタ間の通信は、RS-232CまたはUSB (Rev1.1)で行います。

詳細はFlashpro またはFlashpro のマニュアルを参照してください。

備考 USBはFlashpro のみ対応

図17-1 EEPROM (プログラム・メモリ)にプログラムを書き込むための環境



17.1.2 通信方式

専用フラッシュ・ライタと μ PD78E9863, 78E9864との通信は、表17-2に示す通信方式から選択して行います。

表17-2 通信方式一覧

通信方式	TYPE設定 ^{注1}				使用端子	V _{PP} パルス数	
	COMM PORT	SIOクロック	CPU CLOCK ^{注2}				Multiple Rate
			In Flashpro	On Target Board			
疑似3線式	Port A (Pseudo-3 wired)	100 Hz- 1 kHz	2 MHz	2 MHz	1.0	P02 (シリアル・データ入力) P01 (シリアル・データ出力) P00 (シリアル・クロック入力)	

- 注1. 専用フラッシュ・ライタ (Flashpro またはFlashpro) 上のTYPE設定における選択項目です。
 2. μ PD78E9863の場合は、必ずIn Flashpro (専用フラッシュ・ライタからシステム・クロックを供給) にしてください。

図17-2 通信方式選択フォーマット

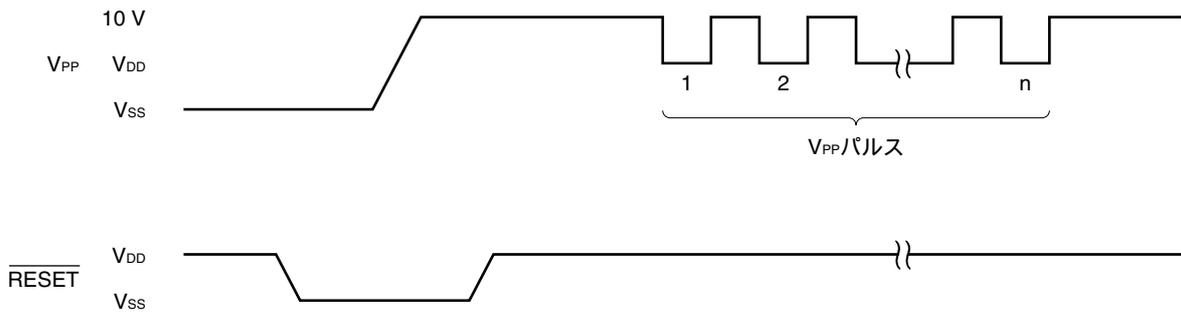
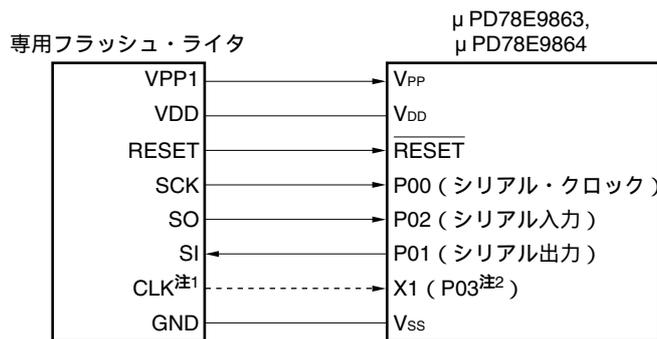


図17-3 専用フラッシュ・ライタとの接続例



- 注1. 専用フラッシュ・ライタからシステム・クロックを供給する場合には、CLK端子とX1、またはP03端子を接続し、オンボード上の発振子を切り離します。オンボード上の発振子のクロックを使用する場合は、CLK端子と接続しないでください。
 2. μ PD78E9863の場合。

注意 V_{DD}端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのV_{DD}端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

専用フラッシュ・ライターとしてFlashpro（型番 FL-PR3, PG-FP3）またはFlashpro（型番 FL-PR4, PG-FP4）を使用した場合、 μ PD78E9863, 78E9864に対して次の信号を生成します。詳細はFlashpro またはFlashpro のマニュアルを参照してください。

表17-3 端子接続一覧

信号名	入出力	端子機能	端子名	疑似3線式
VPP1	出力	書き込み電圧	V _{PP}	
VPP2	-	-	-	×
VDD	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD}	注
GND	-	グランド	V _{SS}	
CLK	出力	クロック出力	X1 (μ PD78E9864)	
			P03 (μ PD78E9863)	
RESET	出力	リセット信号	RESET $\bar{}$	
SI	入力	受信信号	P01	
SO	出力	送信信号	P02	
SCK	出力	転送クロック	P00	
HS	入力	ハンドシェイク信号	-	×

注 V_{DD}電圧はプログラミング開始前に供給する必要があります。

備考 : 必ず接続してください。
: ターゲット・ボード上で供給されていれば、接続の必要はありません。
x : 接続の必要はありません。

注意 μ PD78E9863の場合、必ず専用フラッシュ・ライターからのシステム・クロック供給にしてください。

17.1.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからEEPROMプログラミング・モードへの切り替え機能が必要になる場合があります。

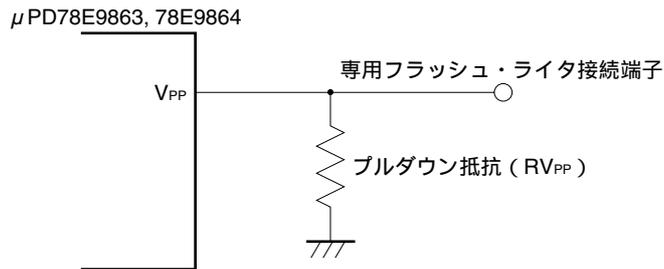
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またEEPROMプログラミング・モード時は、V_{PP}端子に10.0 V (TYP.) の書き込み電圧を供給しますので、次に示す(1)か(2)の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗RV_{PP} = 10 k Ω を接続してください。
- (2) ボード上のジャンパで、V_{PP}端子の入力をライター側または直接GNDのどちらかに切り替えてください。

V_{PP}端子の接続例を図17 - 4に示します。

図17 - 4 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

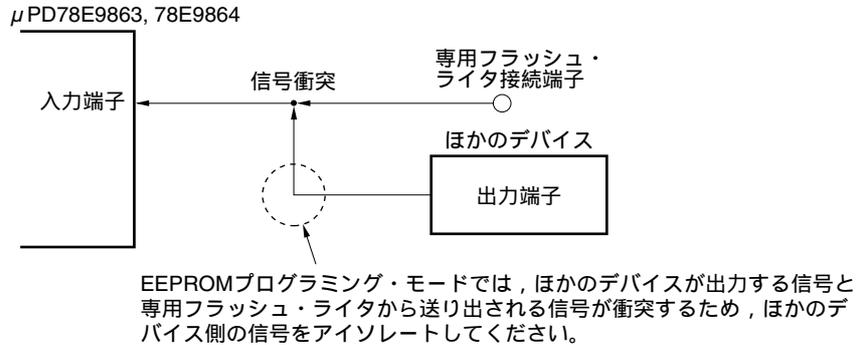
シリアル・インタフェース	使用端子
疑似3線式	P02, P01, P00

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

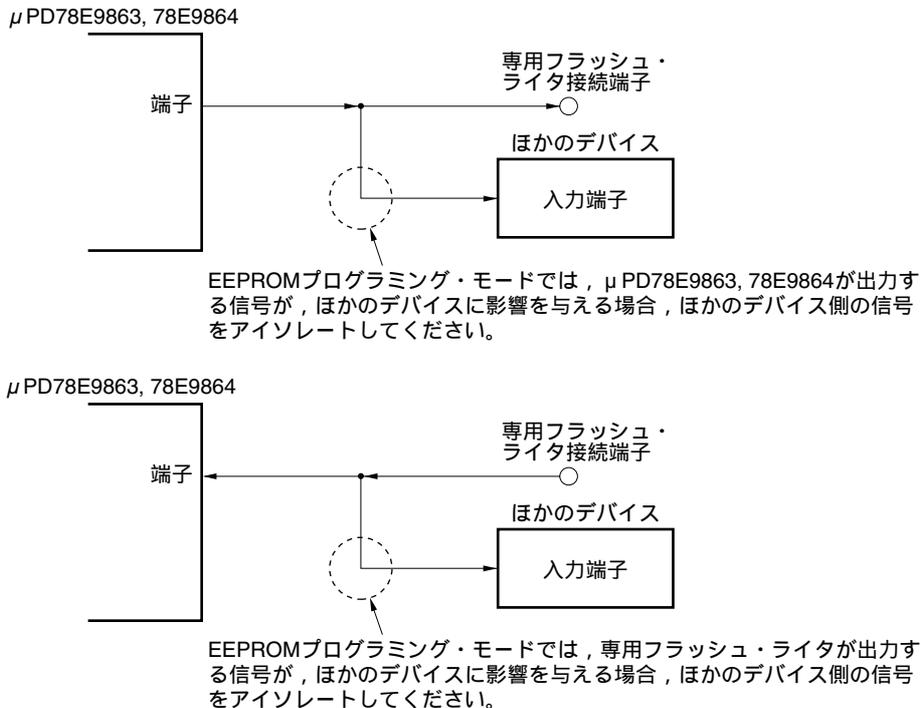
図17-5 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図17-6 ほかのデバイスの異常動作

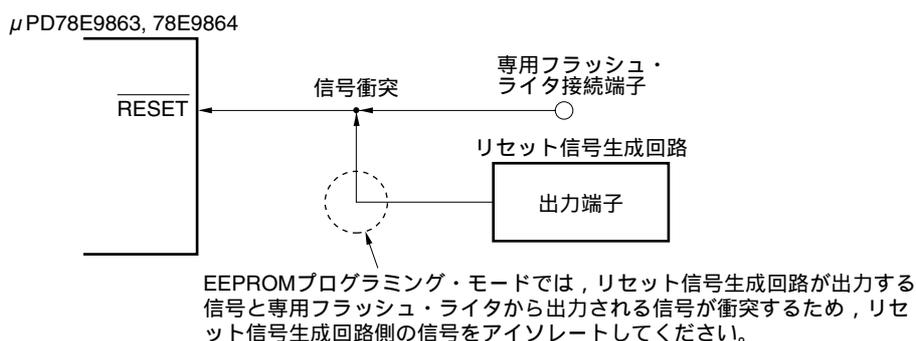


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、EEPROMプログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図17-7 信号の衝突 (RESET端子)

**<ポート端子>**

EEPROMプログラミング・モードに遷移すると、フラッシュ・ライタと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介してV_{DD}に接続する、または抵抗を介してV_{SS}に接続するなどの処置をしてください。

<発振端子>**・ μ PD78E9864の場合**

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上の発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。

・ μ PD78E9863の場合

CL1, CL2は通常動作モード時に準拠した接続をし、P03端子にフラッシュ・ライタのクロック出力を接続してください。

<電 源>

フラッシュ・ライタの電源出力を使用する場合は、V_{DD}端子はフラッシュ・ライタのV_{DD}に、V_{SS}端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのV_{DD}は必ず接続してください。

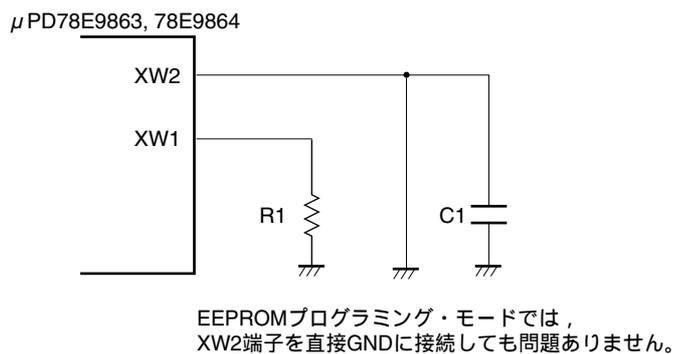
★ <起動タイマ用RC発振端子>

XW2端子は、通常動作モードではコンデンサ(C)を接続します。しかしEEPROMプログラミング・モード時は、起動タイマの動作によりプログラミング中にリセットが発生することを避けるため、XW2端子を直接GNDに接続してください。これにより起動タイマが動作停止し、プログラミングに影響を与えることがなくなります。

XW1端子は、通常動作モードに準拠した接続(抵抗(R)を接続)にします。

XW2, XW1端子の接続例を図17 - 8に示します。

図17 - 8 XW2, XW1端子の接続例



17.1.4 フラッシュ・メモリ (EEPROM) 書き込み用アダプタ上の接続

フラッシュ・メモリ (EEPROM) 書き込み用アダプタ使用時の推奨接続例を示します。

図17 - 9 疑似3線式方式でのフラッシュ・メモリ (EEPROM) 書き込み用アダプタ配線例 (1/2)

(a) μ PD78E9863の場合

★

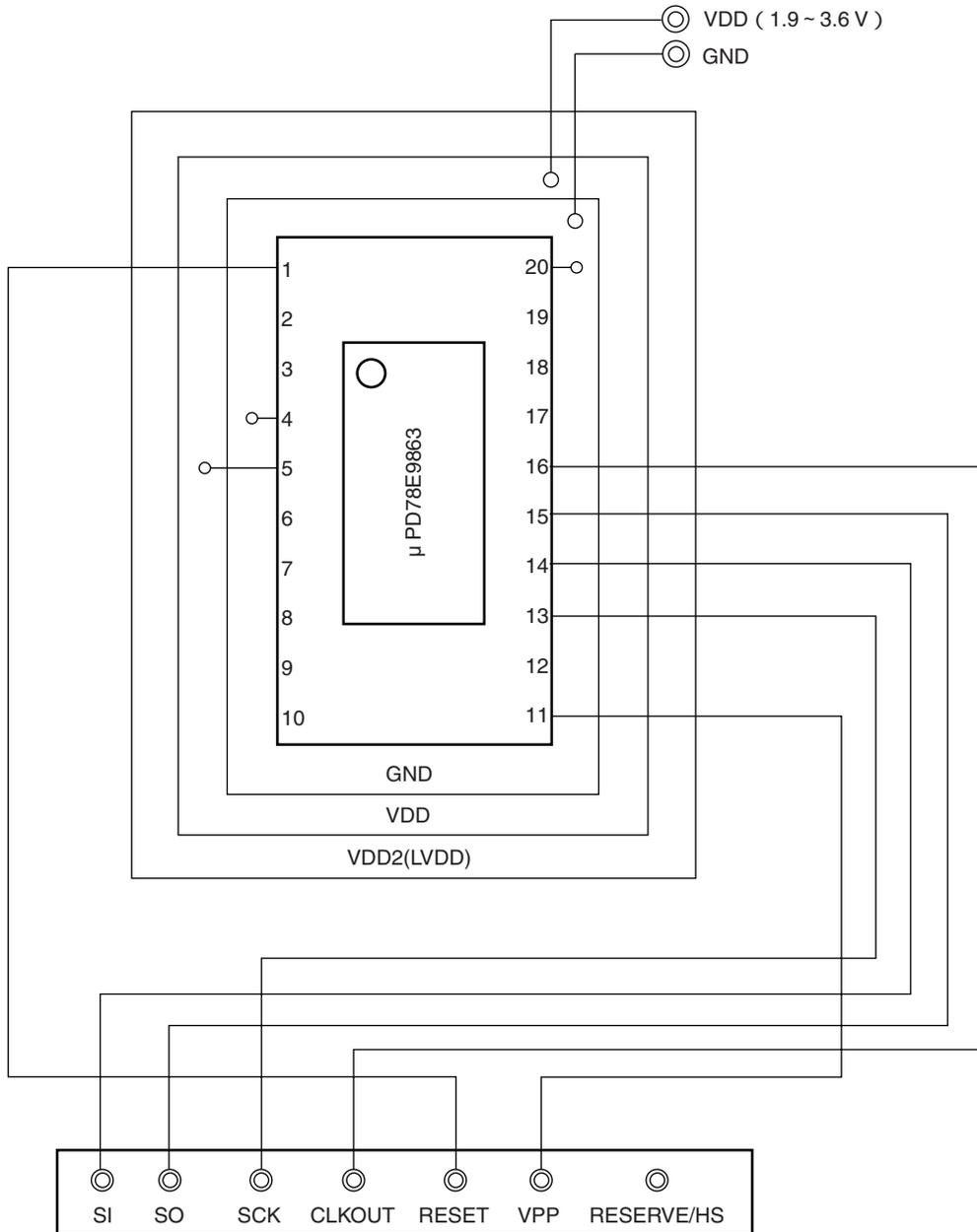
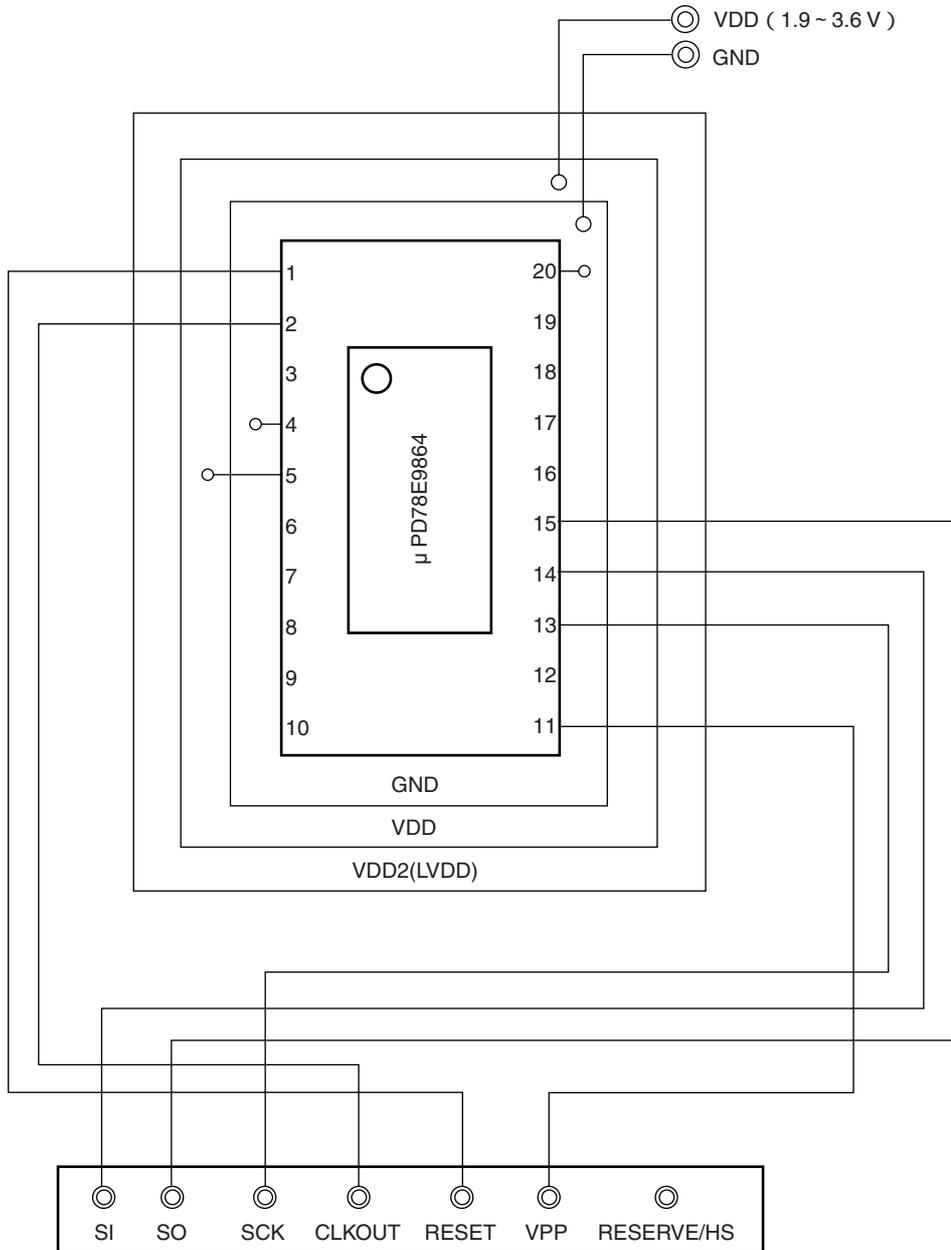


図17 - 9 疑似3線式方式でのフラッシュ・メモリ (EEPROM) 書き込み用アダプタ配線例 (2/2)

(b) μ PD78E9864の場合

★



第18章 命令セットの概要

μPD789863, 789864サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編 (U11047J) を参照してください。

18.1 オペレーション

18.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミディエト・データ指定
- ・ \$: 相対アドレス指定
- ・ ! : 絶対アドレス指定
- ・ [] : 間接アドレス指定

イミディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X, A, Cなど）、絶対名称（下表の中のカッコ内の名称、R0, R1, R2など）のいずれの形式でも記述可能です。

表18 - 1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号
saddr	FE20H-FF1FH イミディエト・データまたはラベル
saddrp	FE20H-FF1FH イミディエト・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr5	0040H-007FH イミディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミディエト・データまたはラベル
byte	8ビット・イミディエト・データまたはラベル
bit	3ビット・イミディエト・データまたはラベル

備考 特殊機能レジスタの略号は表3 - 3 特殊機能レジスタ一覧を参照してください。

18.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
()	: () 内のアドレスまたはレジスタの内容で示されるメモリの内容
x _H , x _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

18.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

18.2 オペレーション一覧

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	r byte			
	saddr, #byte	3	6	(saddr) byte			
	sfr, #byte	3	6	sfr byte			
	A, r <small>注1</small>	2	4	A r			
	r, A <small>注1</small>	2	4	r A			
	A, saddr	2	4	A (saddr)			
	saddr, A	2	4	(saddr) A			
	A, sfr	2	4	A sfr			
	sfr, A	2	4	sfr A			
	A, laddr16	3	8	A (addr16)			
	laddr16, A	3	8	(addr16) A			
	PSW, #byte	3	6	PSW byte	x	x	x
	A, PSW	2	4	A PSW			
	PSW, A	2	4	PSW A	x	x	x
	A, [DE]	1	6	A (DE)			
	[DE], A	1	6	(DE) A			
	A, [HL]	1	6	A (HL)			
	[HL], A	1	6	(HL) A			
	A, [HL + byte]	2	6	A (HL + byte)			
	[HL + byte], A	2	6	(HL + byte) A			
XCH	A, X	1	4	A X			
	A, r <small>注2</small>	2	6	A r			
	A, saddr	2	6	A (saddr)			
	A, sfr	2	6	A sfr			
	A, [DE]	1	8	A (DE)			
	A, [HL]	1	8	A (HL)			
	A, [HL, byte]	2	8	A (HL + byte)			

注1. r = Aを除く。

2. r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp word			
	AX, saddrp	2	6	AX (saddrp)			
	saddrp, AX	2	8	(saddrp) AX			
	AX, rp <small>注</small>	1	4	AX rp			
	rp, AX <small>注</small>	1	4	rp AX			
XCHW	AX, rp <small>注</small>	1	8	AX rp			
ADD	A, #byte	2	4	A, CY A + byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte	x	x	x
	A, r	2	4	A, CY A + r	x	x	x
	A, saddr	2	4	A, CY A + (saddr)	x	x	x
	A, laddr16	3	8	A, CY A + (addr16)	x	x	x
	A, [HL]	1	6	A, CY A + (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte)	x	x	x
ADDC	A, #byte	2	4	A, CY A + byte + CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte + CY	x	x	x
	A, r	2	4	A, CY A + r + CY	x	x	x
	A, saddr	2	4	A, CY A + (saddr) + CY	x	x	x
	A, laddr16	3	8	A, CY A + (addr16) + CY	x	x	x
	A, [HL]	1	6	A, CY A + (HL) + CY	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte) + CY	x	x	x
SUB	A, #byte	2	4	A, CY A - byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte	x	x	x
	A, r	2	4	A, CY A - r	x	x	x
	A, saddr	2	4	A, CY A - (saddr)	x	x	x
	A, laddr16	3	8	A, CY A - (addr16)	x	x	x
	A, [HL]	1	6	A, CY A - (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte)	x	x	x

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	A, CY A - byte - CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte - CY	x	x	x
	A, r	2	4	A, CY A - r - CY	x	x	x
	A, saddr	2	4	A, CY A - (saddr) - CY	x	x	x
	A, laddr16	3	8	A, CY A - (addr16) - CY	x	x	x
	A, [HL]	1	6	A, CY A - (HL) - CY	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte) - CY	x	x	x
AND	A, #byte	2	4	A A ∧ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∧ byte	x		
	A, r	2	4	A A ∧ r	x		
	A, saddr	2	4	A A ∧ (saddr)	x		
	A, laddr16	3	8	A A ∧ (addr16)	x		
	A, [HL]	1	6	A A ∧ (HL)	x		
	A, [HL + byte]	2	6	A A ∧ (HL + byte)	x		
OR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		
XOR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A - byte	x	x	x
	saddr, #byte	3	6	(saddr) - byte	x	x	x
	A, r	2	4	A - r	x	x	x
	A, saddr	2	4	A - (saddr)	x	x	x
	A, laddr16	3	8	A - (addr16)	x	x	x
	A, [HL]	1	6	A - (HL)	x	x	x
	A, [HL + byte]	2	6	A - (HL + byte)	x	x	x
ADDW	AX, #word	3	6	AX, CY AX + word	x	x	x
SUBW	AX, #word	3	6	AX, CY AX - word	x	x	x
CMPW	AX, #word	3	6	AX - word	x	x	x
INC	r	2	4	r r + 1	x	x	
	saddr	2	4	(saddr) (saddr) + 1	x	x	
DEC	r	2	4	r r - 1	x	x	
	saddr	2	4	(saddr) (saddr) - 1	x	x	
INCW	rp	1	4	rp rp + 1			
DECW	rp	1	4	rp rp - 1			
ROR	A, 1	1	2	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
ROL	A, 1	1	2	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
RORC	A, 1	1	2	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
ROLC	A, 1	1	2	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
SET1	saddr.bit	3	6	(saddr.bit) 1			
	sfr.bit	3	6	sfr.bit 1			
	A.bit	2	4	A.bit 1			
	PSW.bit	3	6	PSW.bit 1	x	x	x
	[HL].bit	2	10	(HL).bit 1			
CLR1	saddr.bit	3	6	(saddr.bit) 0			
	sfr.bit	3	6	sfr.bit 0			
	A.bit	2	4	A.bit 0			
	PSW.bit	3	6	PSW.bit 0	x	x	x
	[HL].bit	2	10	(HL).bit 0			
SET1	CY	1	2	CY 1			1
CLR1	CY	1	2	CY 0			0

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(fCPU)の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
NOT1	CY	1	2	$CY \overline{CY}$			x
CALL	laddr16	3	6	$(SP - 1) (PC + 3)_H, (SP - 2) (PC + 3)_L,$ PC addr16, SP SP - 2			
CALLT	[addr5]	1	8	$(SP - 1) (PC + 1)_H, (SP - 2) (PC + 1)_L,$ PC _H (00000000, addr5 + 1), PC _L (00000000, addr5), SP SP - 2			
RET		1	6	PC _H (SP + 1), PC _L (SP), SP SP + 2			
RETI		1	8	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3,	R	R	R
PUSH	PSW	1	2	$(SP - 1) PSW, SP SP - 1$			
	rp	1	4	$(SP - 1) rp_H, (SP - 2) rp_L,$ SP SP - 2			
POP	PSW	1	4	PSW (SP), SP SP + 1	R	R	R
	rp	1	6	rp _H (SP + 1), rp _L (SP), SP SP + 2			
MOVW	SP, AX	2	8	SP AX			
	AX, SP	2	6	AX SP			
BR	laddr16	3	6	PC addr16			
	\$addr16	2	6	PC PC + 2 + jdisp8			
	AX	1	6	PC _H A, PC _L X			
BC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 1			
BNC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 0			
BZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 1			
BNZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 0			
BT	saddr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 1			
	sfr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 1			
	A.bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A.bit = 1			
	PSW.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 1			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
BF	saddr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
	sfr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 0			
	A.bit, \$saddr16	3	8	PC PC + 3 + jdisp8 if A.bit = 0			
	PSW.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 0			
DBNZ	B, \$saddr16	2	6	B B - 1, then PC PC + 2 + jdisp8 if B 0			
	C, \$saddr16	2	6	C C - 1, then PC PC + 2 + jdisp8 if C 0			
	saddr, \$saddr16	3	8	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) 0			
NOP		1	2	No Operation			
EI		3	6	IE 1 (Enable Interrupt)			
DI		3	6	IE 0 (Disable Interrupt)			
HALT		1	2	Set HALT Mode			
STOP		1	2	Set STOP Mode			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

18.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, INC, DEC, ROR, ROL, RORC, ROLC, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV ^注 XCH ^注	MOV XCH	MOV XCH	MOV	MOV	MOV XCH	MOV XCH	MOV XCH		ROR ROL RORC ROLC	
r	MOV	MOV											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											
[HL + byte]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW ^注				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

SET1, CLR1, NOT1, BT, BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[HL] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLT, BR, BC, BNC, BZ, BNZ, DBNZ

第2オペランド 第1オペランド	AX	!addr16	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET, RETI, NOP, EI, DI, HALT, STOP

第19章 電気的特性 (ターゲット)

この特性はあくまでもターゲット (目標値) であり, 量産品がこの規格を満足するとは限りません。

絶対最大定格 (T_A = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.3 ~ + 6.5	V
	V _{PP}	μ PD78E9863, 78E9864のみ 注	- 0.3 ~ + 10.5	V
入力電圧	V _I		- 0.3 ~ V _{DD} + 0.3	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	- 1.0	mA
		全端子合計	- 5.0	mA
ロウ・レベル出力電流	I _{OL}	1端子	1	mA
		全端子合計	5	mA
動作周囲温度	T _A		- 40 ~ + 95	
保存温度	T _{stg}		- 40 ~ + 150	

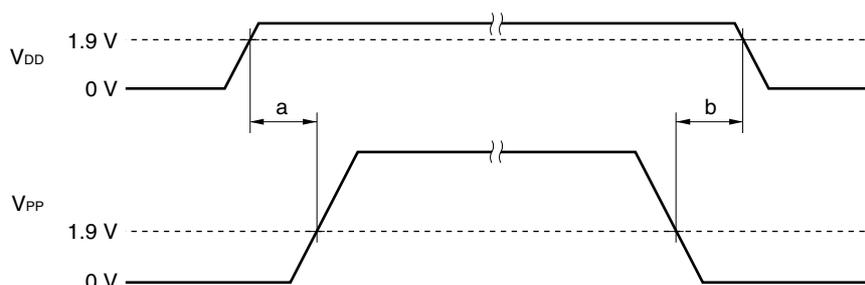
注 EEPROM (プログラム・メモリ) 書き込み時, V_{PP}の電圧印加タイミングについては, 必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD}が動作電圧範囲の下限電圧(1.9 V)に達してから10 μs以上経過後, V_{PP}がV_{DD}を越えること(下図のa)。

・電源電圧立ち下がり時

V_{PP}がV_{DD}の動作電圧範囲の下限電圧(1.9 V)を下回ってから10 μs以上経過後, V_{DD}を立ち下げること(下図のb)。



注意 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。

備考 特に指定がないかぎり, 兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性

RC発振 (μ PD789863, 78E9863)

($T_A = -40 \sim +95$, $V_{DD} = 1.9 \sim 3.6$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
★ RC発振回路		発振周波数 (f_{cc}) ^{注1, 2}	V_{DD} = 発振電圧範囲	T.B.D.	1.8	T.B.D.	MHz

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

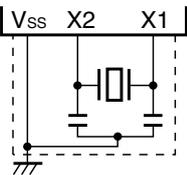
2．外部抵抗，外部容量のばらつきは含みません。

注意 RC発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

セラミック発振 (μ PD789864, 78E9864)

($T_A = -40 \sim +95$, $V_{DD} = 1.9 \sim 3.6$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (f_x) ^{注1}	$V_{DD} =$ 発振電圧範囲		2.0		MHz
		発振安定時間 ^{注2}	V_{DD} が発振電圧範囲の MIN.に達したあと			4	ms

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2．リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意 セラミック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 (TA = -40 ~ +95 , VDD = 1.9 ~ 3.6 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流	I _{OL}	1端子				0.4	mA
		全端子				2	mA
ハイ・レベル出力電流	I _{OH}	1端子				- 0.2	mA
		全端子				- 1.0	mA
ハイ・レベル入力電圧	V _{IH1}	P00-P03	2.7 V _{DD} 3.6 V	0.7 V _{DD}		V _{DD}	V
			1.9 V _{DD} < 2.7 V	0.9 V _{DD}		V _{DD}	V
	V _{IH2}	RESET, P20	2.7 V _{DD} 3.6 V	0.8 V _{DD}		V _{DD}	V
			1.9 V _{DD} < 2.7 V	0.9 V _{DD}		V _{DD}	V
	V _{IH3}	X1, X2		V _{DD} - 0.1		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P00-P03	2.7 V _{DD} 3.6 V	0		0.3 V _{DD}	V
			1.9 V _{DD} < 2.7 V	0		0.1 V _{DD}	V
	V _{IL2}	RESET, P20	2.7 V _{DD} 3.6 V	0		0.2 V _{DD}	V
			1.9 V _{DD} < 2.7 V	0		0.1 V _{DD}	V
	V _{IL3}	X1, X2		0		0.1	V
ハイ・レベル出力電圧	V _{OH1}	P00-P03, P20	I _{OH} = - 200 μA	V _{DD} - 0.5			V
ロウ・レベル出力電圧	V _{OL1}	P00-P03, P20	I _{OL} = 400 μA			0.5	V
ハイ・レベル入力リーク電流	I _{LH1}	P00-P03, P20, API0-API3, RESET	V _I = V _{DD}			0.1	μA
				I _{LH2}	X1, X2		
ロウ・レベル入力リーク電流	I _{LIL1}	P00-P03, P20, API0-API3, RESET	V _I = 0 V			- 0.1	μA
				I _{LIL2}	X1, X2		
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}				0.1	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V				- 0.1	μA
ソフトウェア・プルアップ抵抗	R	P20	V _I = 0 V	7	10	13	kΩ
		P03	V _I = 0 V	3.5	5	6.5	kΩ

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +95 , VDD = 3.0 V ± 10 %)

項目	略号	条件		MIN.	TYP.	MAX.	単位
★ 電源電流 ^注 RC発振： μPD789863	IDD1	1.8 MHz RC発振 動作モード	EEPROM停止，オペアンプ停止，A/D停止		0.5	T.B.D.	mA
			EEPROM動作，オペアンプ停止，A/D停止		0.8	T.B.D.	mA
			EEPROM停止，オペアンプ動作，A/D動作		1.3	T.B.D.	mA
	IDD2	1.8 MHz RC発振 HALTモード	EEPROM停止，オペアンプ停止，A/D停止		0.3	T.B.D.	mA
			起動タイマ用RC発振回路動作			T.B.D.	μA
	IDD3	STOPモード	起動タイマ用RC発振回路動作， TA = 25		0.5	T.B.D.	μA
電源電流 ^注 セラミック発振： μPD789864	IDD4	2.0 MHz セラミック発振 動作モード	EEPROM停止，オペアンプ停止，A/D停止		0.5	T.B.D.	mA
			EEPROM動作，オペアンプ停止，A/D停止		0.8	T.B.D.	mA
			EEPROM停止，オペアンプ動作，A/D動作		1.3	T.B.D.	mA
	IDD5	2.0 MHz セラミック発振 HALTモード	EEPROM停止，オペアンプ停止，A/D停止		0.3	T.B.D.	mA
			起動タイマ用RC発振回路動作			T.B.D.	μA
	IDD6	STOPモード	起動タイマ用RC発振回路動作， TA = 25		0.5	T.B.D.	μA
★ 電源電流 ^注 RC発振： μPD78E9863	IDD1	1.8 MHz RC発振 動作モード	EEPROM停止，オペアンプ停止，A/D停止		0.8	T.B.D.	mA
			EEPROM動作，オペアンプ停止，A/D停止		1.0	T.B.D.	mA
			EEPROM停止，オペアンプ動作，A/D動作		1.5	T.B.D.	mA
	IDD2	1.8 MHz RC発振 HALTモード	EEPROM停止，オペアンプ停止，A/D停止		0.7	T.B.D.	mA
			起動タイマ用RC発振回路動作			T.B.D.	μA
	IDD3	STOPモード	起動タイマ用RC発振回路動作， TA = 25		0.5	T.B.D.	μA
電源電流 ^注 セラミック発振： μPD78E9864	IDD4	2.0 MHz セラミック発振 動作モード	EEPROM停止，オペアンプ停止，A/D停止		0.8	T.B.D.	mA
			EEPROM動作，オペアンプ停止，A/D停止		1.0	T.B.D.	mA
			EEPROM停止，オペアンプ動作，A/D動作		1.5	T.B.D.	mA
	IDD5	2.0 MHz セラミック発振 HALTモード	EEPROM停止，オペアンプ停止，A/D停止		0.7	T.B.D.	mA
			起動タイマ用RC発振回路動作			T.B.D.	μA
	IDD6	STOPモード	起動タイマ用RC発振回路動作， TA = 25		0.5	T.B.D.	μA

注 ポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

AC特性

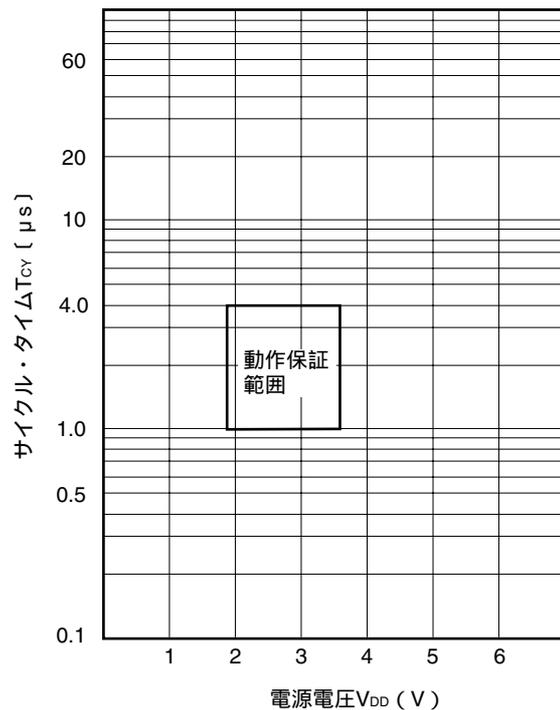
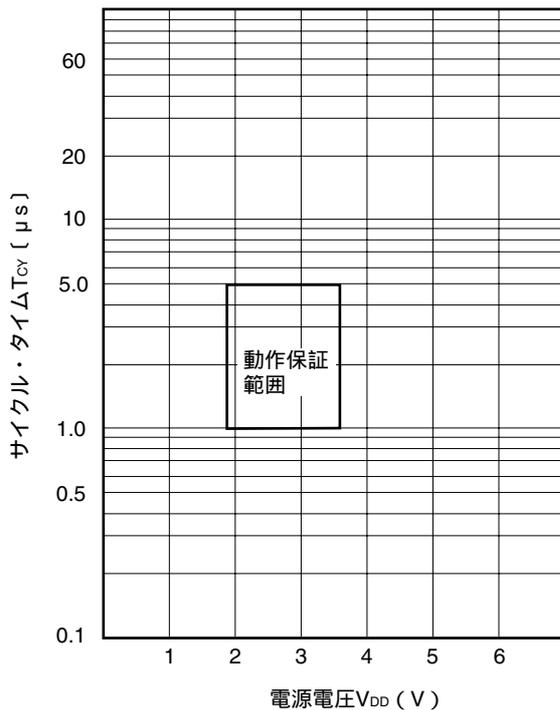
(1) 基本動作 ($T_A = -40 \sim +95$, $V_{DD} = 1.9 \sim 3.6$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
★ サイクル・タイム (最小命令実行時間)	T _{CY}	μPD789863, 78E9863	1.0		5.0	μs
		μPD789864, 78E9864	1.0		4.0	μs
	T _{CYEE}	μPD789863, 78E9863, EEPROM 64バイト・アクセス	4.0	4.44	5.0	μs
		μPD789864, 78E9864, EEPROM 64バイト・アクセス	4.0		4.0	μs
TMI入力周波数	f _{TI}		0		10 ^注	MHz
TMI ハイ, ロウ・レベル幅	t _{TIH} , t _{TIL}		50			μs
RESET ロウ・レベル幅	t _{RSL}		10			μs

注 ただしタイマのカウント・クロックは2.5 MHz以下になるようにTCLC2-TCLC0を設定してください
(7.3 12ビット・タイマC0を制御するレジスタ参照)。

★ T_{CY} vs V_{DD} (μPD789863, 78E9863 : RC発振)

T_{CY} vs V_{DD} (μPD789864, 78E9864 : セラミック発振)

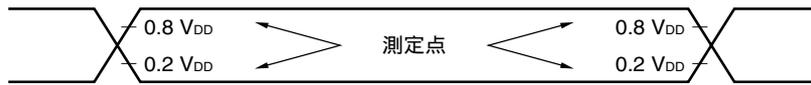


(2) RC発振周波数特性 (CL1, CL2) ($T_A = -40 \sim +95$, $V_{DD} = 1.9 \sim 3.6$ V) (μPD789863, 78E9863のみ)

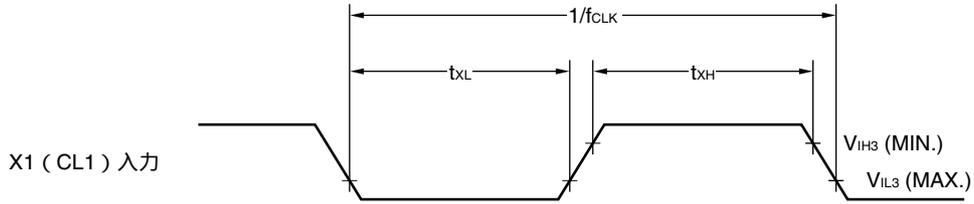
項目	略号	条件	MIN.	TYP.	MAX.	単位
★ 発振周波数 ^{注1}	f _{CC}	注2				
		1.9 V _{DD} 3.6 V	T.B.D.	1.8	T.B.D.	MHz
		2.1 V _{DD} 3.6 V	T.B.D.	1.8	T.B.D.	MHz

注1. 外部抵抗, 外部容量によるばらつきは含みません。
2. 抵抗 (R), 容量 (C) の推奨値は評価後に決定します。

ACタイミング測定点 (X1, CL1入力を除く)

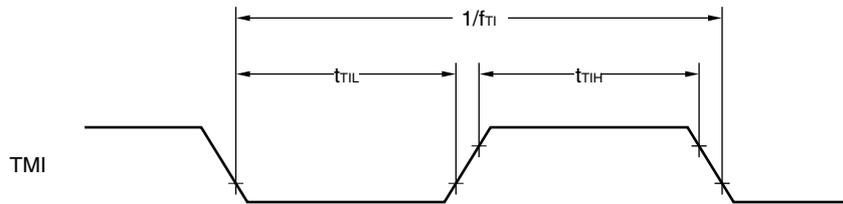


クロック・タイミング

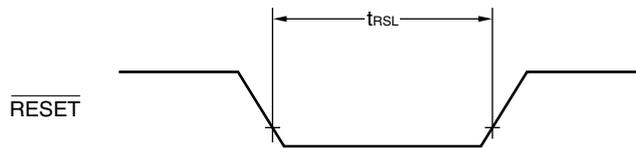


備考 fCLK : fxまたはfcc

TMIタイミング



RESET入力タイミング



EEPROM (データ・メモリ) 特性 (TA = -40 ~ +95, VDD = 1.9 ~ 3.6 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き込み時間 ^注		1バイトあたり	3.3		6.6	ms
書き換え回数		64バイトごと			1000	回
		4 Kバイトごと			100	回

注 書き込み時間 = T × 145 (T = EWCS100-EWCS102で選択したクロックの1周期の時間)

A/Dコンバータ特性 ($T_A = -40 \sim +95$, $V_{DD} = 2.0 \sim 3.6$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差					T.B.D.	%FSR
★ 変換時間		2.0 V_{DD} 3.6 V	30		45	μ s
		2.7 V_{DD} 3.6 V	24		45	μ s
★ 内部基準電圧	AVREF			1.93		V
AVREF抵抗	RAVREF		20	40		k Ω

★ センサ・アンプ特性 ($T_A = -40 \sim +95$, $V_{DD} = 2.0 \sim 3.6$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能		APG1, APG0 = 00B	T.B.D.	30	T.B.D.	倍
		APG1, APG0 = 01B	T.B.D.	45	T.B.D.	倍
		APG1, APG0 = 10B	T.B.D.	60	T.B.D.	倍
センサ・アンプ入力電圧		API0(IN+), API1(IN-), API2(IN+), API3(IN-)	T.B.D.	0.6	T.B.D.	V
APO出力電圧	VAPO		T.B.D.	1.2	T.B.D.	V
APO出力電流	IAPO		0.35			mA

起動タイマ用RC周波数発振特性 (XW1, XW2) ($T_A = -40 \sim +95$, $V_{DD} = 1.9 \sim 3.6$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
★ 発振周波数	f _{cw1}	XW1; C = 0.01 μ F XW2; R = 10 M Ω	T.B.D.	20	T.B.D.	Hz

LF検波入力特性 (LF0, LF1) ($T_A = -40 \sim +95$, $V_{DD} = 1.9 \sim 3.6$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	LFF		T.B.D.	125	T.B.D.	kHz
★ 検波感度	Lfs	LF0入力振幅 - LF1入力振幅	5			mV

温度検出特性 ($T_A = -40 \sim +95$, $V_{DD} = 1.9 \sim 3.6$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			T.B.D.	- 1.62	T.B.D.	mV/ $^{\circ}$ C

電源電圧検出特性 ($T_A = -40 \sim +95$, $V_{DD} = 1.9 \sim 3.6$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
★ 検出電圧			T.B.D.	T.B.D.	$V_{DD}/2$	V

データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +95)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.9		3.6	V
リリース信号セット時間	tsREL	RESET端子によるSTOP解除	10			μs

発振安定ウエイト時間

(a) RC発振 (TA = -40 ~ +95 , VDD = 1.9 ~ 3.6 V) (μPD789863, 78E9863)

項目	略号	条件	MIN.	TYP.	MAX.	単位
発振ウエイト時間 ^注	tWAIT	RESETによるSTOP解除		2 ⁷ /f _{CC}		s
		割り込みによる解除		2 ⁷ /f _{CC}		s

注 リセット解除またはSTOPモード解除後、発振が安定するのに必要な時間です。

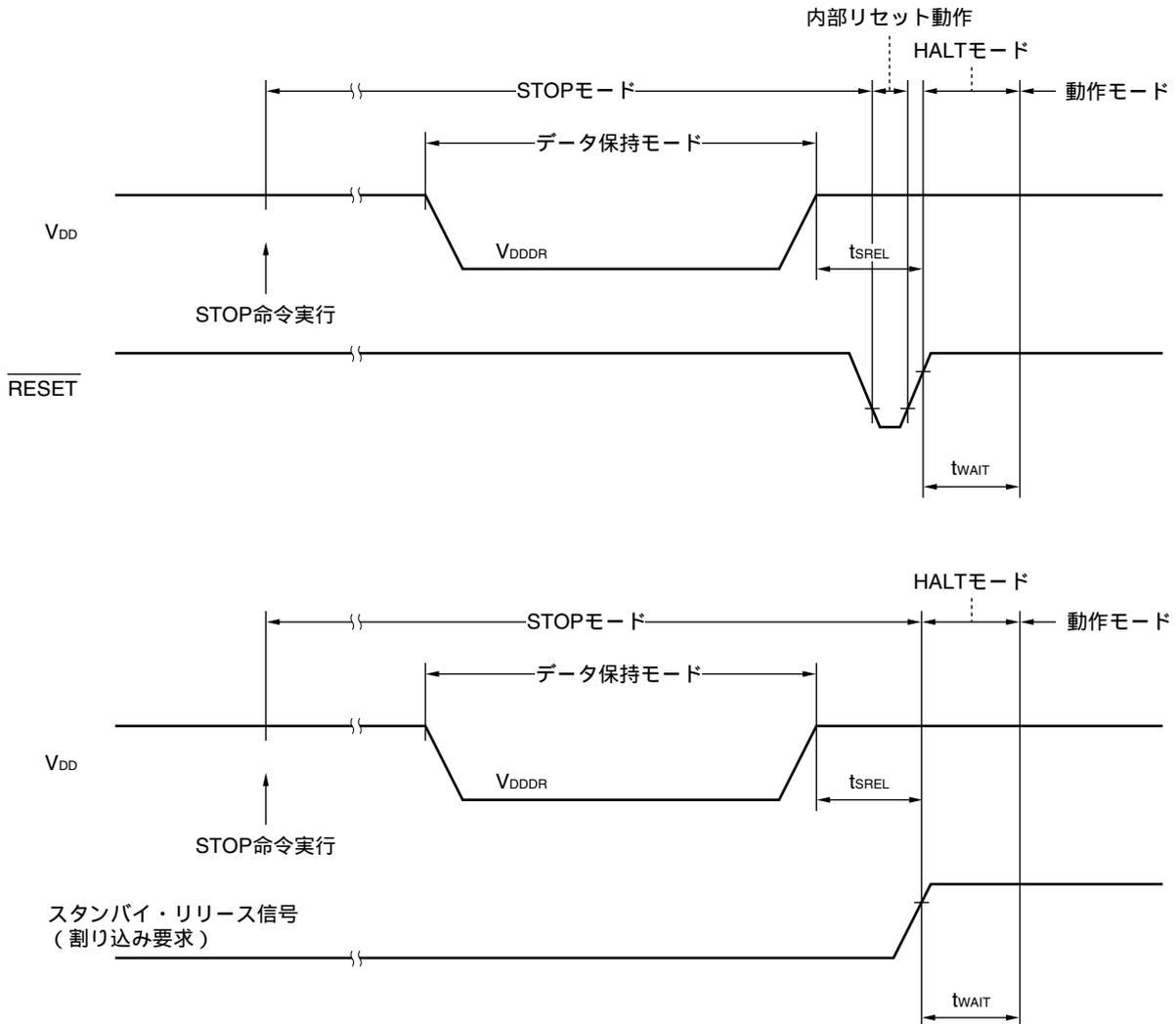
(b) セラミック発振 (TA = -40 ~ +95 , VDD = 1.9 ~ 3.6 V) (μPD789864, 78E9864)

項目	略号	条件	MIN.	TYP.	MAX.	単位
発振ウエイト時間 ^{注1}	tWAIT	RESETによるSTOP解除		2 ¹³ /f _X		s
		割り込みによる解除		注2		s

注1. リセット解除またはSTOPモード解除後、発振が安定するのに必要な時間です。

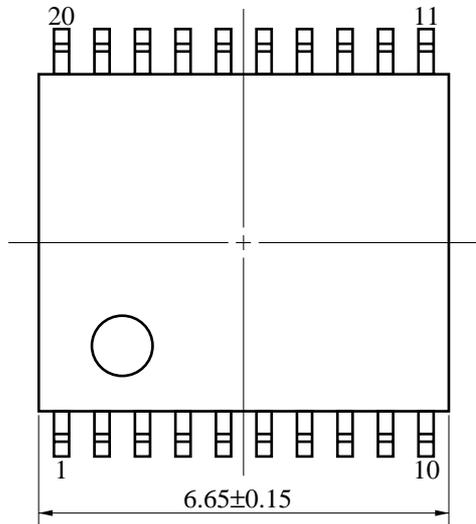
2. 発振安定時間選択レジスタのビット0-2 (OSTS0-OSTS2) により2¹¹/f_X, 2¹²/f_X, 2¹³/f_Xを選択可能です。

データ保持タイミング

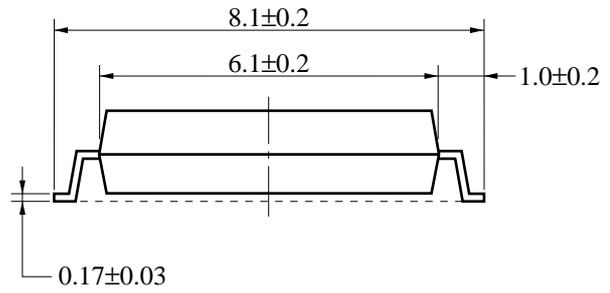
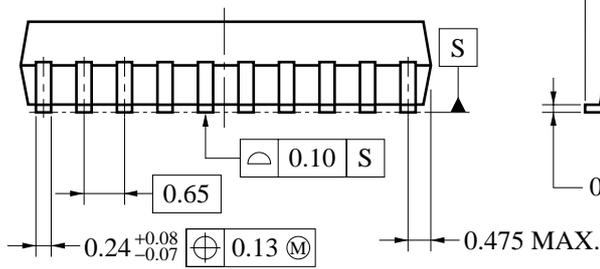
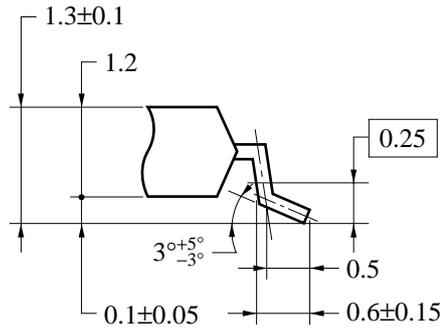


第20章 外形図

20ピン・プラスチックSSOP (7.62 mm (300)) 外形図 (単位: mm)



端子先端形状詳細図



S20MC-65-5A4-2

付録A 開発ツール

μ PD789863, 789864サブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。
図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

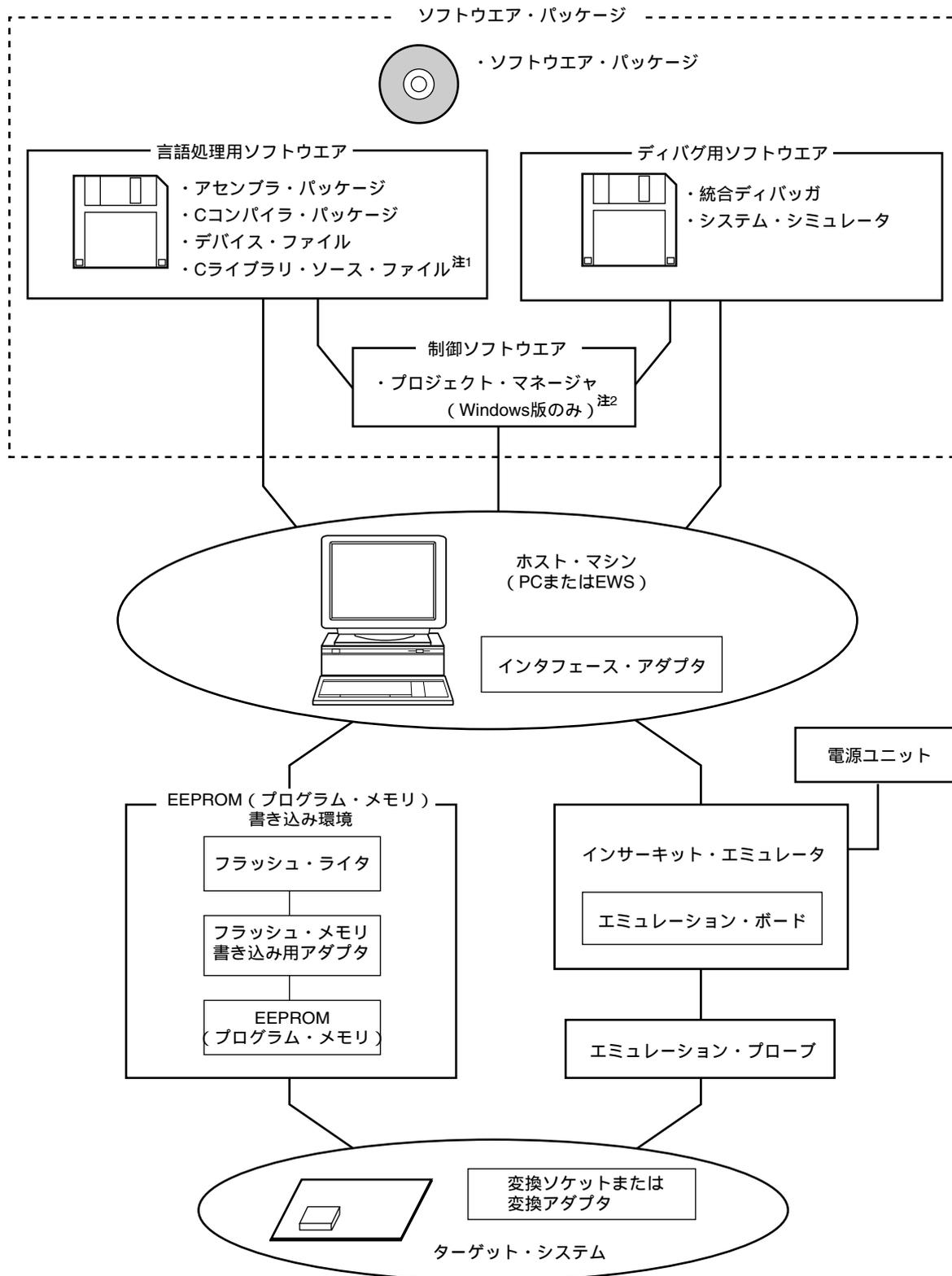
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

Windows[®]について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows 95
- ・ Windows 98
- ・ Windows 2000
- ・ Windows NT[®]Version 4.0
- ・ Windows XP

図A-1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。
また、Windows以外ではプロジェクト・マネージャは使用しません。

A.1 ソフトウェア・パッケージ

SP78K0S ソフトウェア・パッケージ	78K0Sシリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 次のツールが入っています。 RA78K0S, CC78K0S, ID78K0S-NS, SM78K0S, デバイス・ファイル各種 オーダ名称: $\mu S \times \times \times \times$ SP78K0S
-------------------------	--

備考 オーダ名称の $\times \times \times \times$ は、使用するOSにより異なります。

$\mu S \times \times \times \times$ SP78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0S アセンブラ・パッケージ	二モニクで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。別売のデバイス・ファイル (DF789864) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ RA78K0S
CC78K0S Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。別売のアセンブラ・パッケージ (RA78K0S) およびデバイス・ファイル (DF789864) と組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S
DF789864 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 DF789864: μ PD789863, 789864, 78E9863, 78E9864用 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789864
CC78K0S-L ^{注2} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S-L

注1. DF789864は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

2. CC78K0S-Lは、ソフトウェア・パッケージ (SP78K0S) には含まれていません。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700™	HP-UX™ (Rel.10.10)	
3K17	SPARCstation™	SunOS™ (Rel.4.1.4) , Solaris™ (Rel.2.5.1)	

μS××××DF789864

μS××××CC78K0S-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel.4.1.4) ,	3.5インチ2HD FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT

A. 3 制御ソフトウェア

プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、ディバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0S) の中に入っています。Windows以外の環境では使用できません。
--------------	---

A. 4 EEPROM (プログラム・メモリ) 書き込み用ツール

Flashpro (FL-PR3, PG-FP3) Flashpro (FL-PR4, PG-FP4) フラッシュ・ライタ	フラッシュ・メモリ (EEPROM) 内蔵マイコン専用のフラッシュ・ライタ
FA-20MC フラッシュ・メモリ (EEPROM) 書き込み用アダプタ	フラッシュ・メモリ (EEPROM) 書き込み用アダプタです。Flashpro またはFlashpro に接続して使用します。 FA-20MC: 20ピン・プラスチック・シュリンクSOP (MC-5A4タイプ) 用

備考 FL-PR3, FL-PR4, FA-20MCは株式会社内藤電誠町田製作所の製品です。

問い合わせ先: 株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.5 ディバグ用ツール(ハードウェア)

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータ。統合ディバガ(ID78K0S-NS)に対応しています。ACアダプタ、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。	
IE-78K0S-NS-A インサーキット・エミュレータ	IE-78K0S-NSの機能を拡張したインサーキット・エミュレータです。 IE-78K0S-NSの機能にカバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、ディバグ機能がより強化されています。	
IE-70000-MC-PS-B ACアダプタ	AC100～240Vのコンセントから電源を供給するためのアダプタ	
IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なアダプタ(Cバス対応)	
IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル(PCMCIAソケット対応)	
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタ(ISAバス対応)	
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ	
IE-789864-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボード。インサーキット・エミュレータと組み合わせて使用します。	
★ NP-30MC エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのケーブルです。 NSPACK20BK, YSPACK30BKと組み合わせて使用します。	
	NSPACK20BK, YSPACK30BK 変換アダプタ	20ピン・プラスチックSSOPを実装できるように作られたターゲット・システムの基板とNP-30MCを接続するための変換アダプタです。
NP-20GS エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのケーブルです。 EV-9500GS-20と組み合わせて使用します。	
	EV-9500GS-20 変換アダプタ	20ピン・プラスチックSSOPを実装できるように作られたターゲット・システムの基板とNP-20GSを接続するための変換アダプタです。

★ 備考1. NP-30MC, NP-20GSは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

2. NSPACK20BK, YSPACK30BKは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部 (TEL (03) 3820-7112)

大阪電子部 (TEL (06) 6244-6672)

A.6 デバッグ用ツール(ソフトウェア)

ID78K0S-NS 統合デバッガ	78K/0Sシリーズ用のインサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aに対応したデバッガです。ID78K0S-NSは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイル(DF789864)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ ID78K0S-NS
SM78K0S システム・シミュレータ	78K/0Sシリーズ用のシステム・シミュレータです。SM78K0Sは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM78K0Sを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル(DF789864)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ SM78K0S
DF789864 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 DF789864: μ PD789863, 789864, 78E9863, 78E9864用 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789864

注 DF789864は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

備考 オーダ名称の $\times \times \times \times$ は、使用するOS、供給媒体により異なります。

$\mu S \times \times \times \times$ ID78K0S-NS

$\mu S \times \times \times \times$ SM78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

★

付録B ターゲット・システム設計上の注意

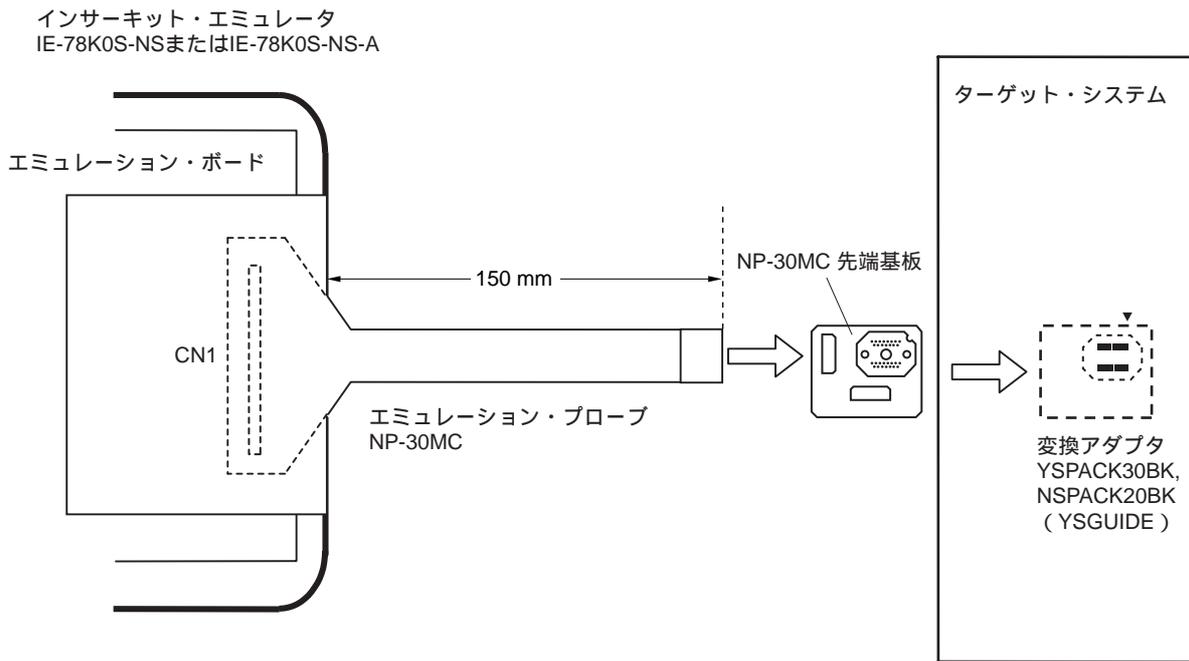
エミュレーション・プローブと変換アダプタとの接続条件図を次に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで、この構成によってシステム設計を行ってください。

なお、この付録に記載されている製品名のうちNP-30MCとNP-20GSは株式会社内藤電誠町田製作所の製品です。また、YSPACK30BK, NSPACK20BK, YSGUIDEは東京エレクトック株式会社の製品です。

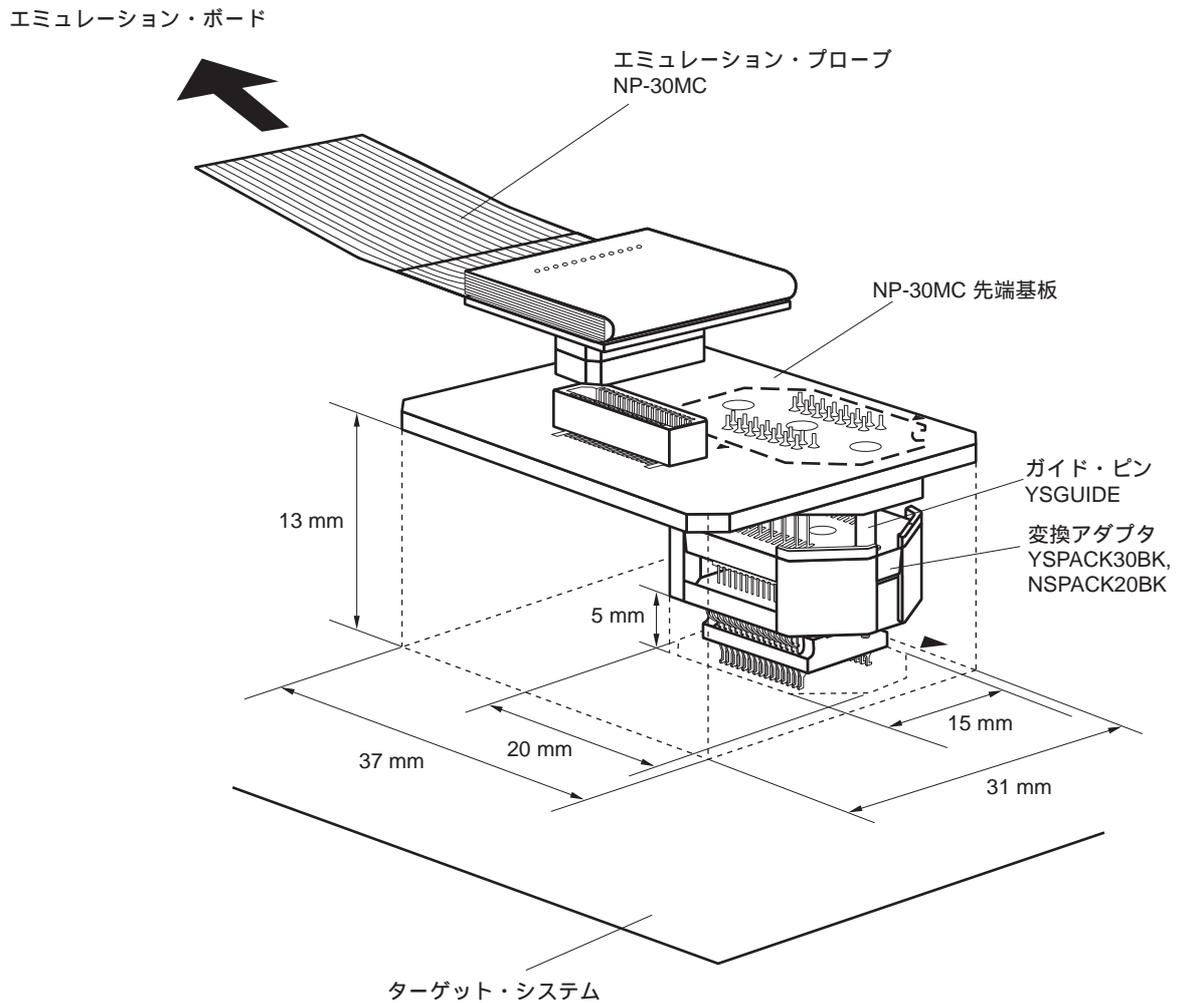
表B - 1 IEシステムから変換アダプタまでの距離

エミュレーション・プローブ	変換アダプタ	IEシステムから変換アダプタまでの距離
NP-30MC	YSPACK30BK NSPACK20BK (YSGUIDE)	150 mm
NP-20GS	EV-9500GS-20	185 mm

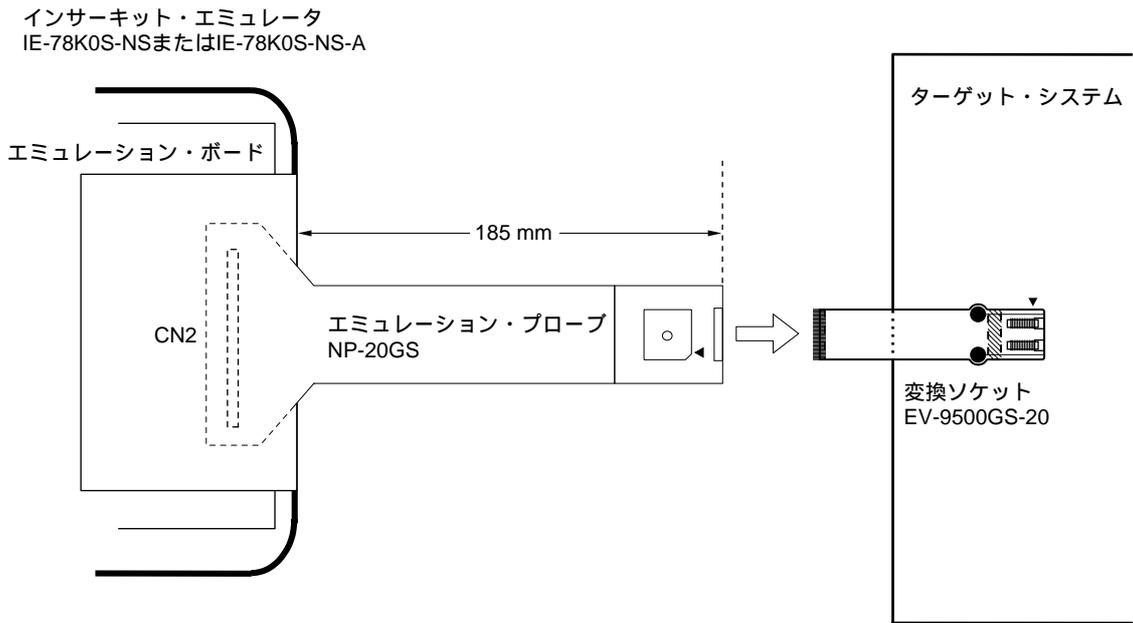
図B-1 IEシステムから変換アダプタまでの距離 (NP-30MCの場合)



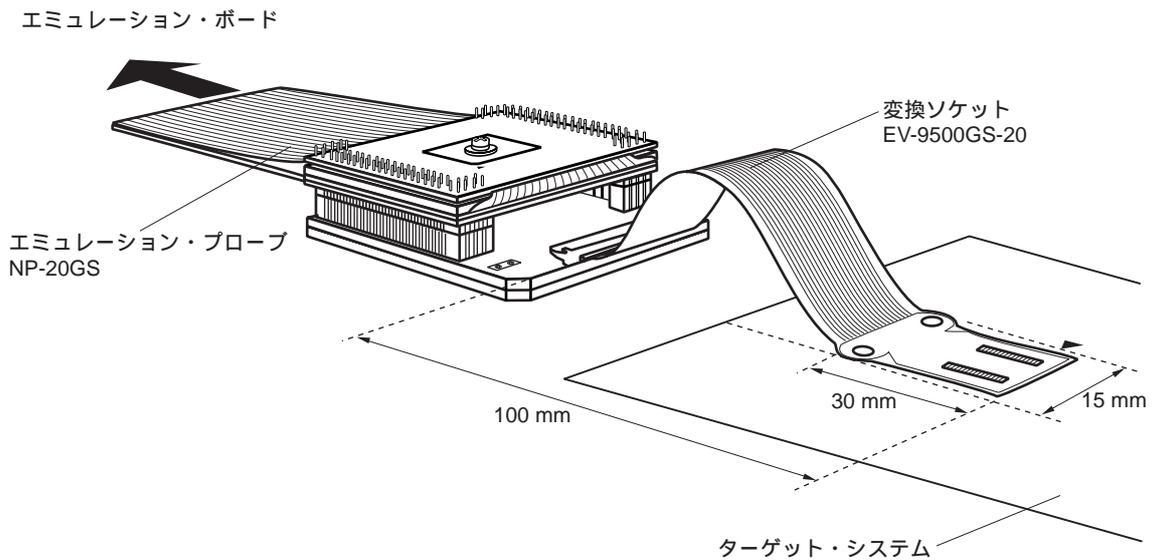
図B-2 ターゲット・システムの接続条件 (NP-30MCの場合)



図B - 3 インサーキット・エミュレータから変換アダプタまでの距離 (NP-20GSの場合)



図B - 4 ターゲット・システムの接続条件 (NP-20GSの場合)



付録C レジスタ索引

C.1 レジスタ索引 (50音順)

【あ行】

EEPROMライト・コントロール・レジスタ10 (EEWC10) ...	46
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ...	79
A/Dコンバータ・モード・レジスタ0 (ADM0) ...	98
A/D入力選択レジスタ0 (ADS0) ...	99
LFレジスタ (LFR) ...	118
センサ・アンプ・コントロール・レジスタ (AMPC) ...	110

【か行】

起動タイマ・モード・コントロール・レジスタ (WKTMC) ...	86
-----------------------------------	----

【さ行】

3ビット起動タイマ・カウンタ (WKTMC2) ...	85
3ビット起動タイマ・コンペア・レジスタ (WKCR2) ...	85
12ビット・コンペア・レジスタC0 (CRC0) ...	66
12ビット・タイマ・カウンタC0 (TMC0) ...	66
12ビット・タイマ・モード・コントロール・レジスタC0 (TMCC0) ...	67
10ビットA/D変換結果レジスタ0 (ADCR0) ...	96
10ビット乗算データ・レジスタA (MRA1L, MRA1H) ...	122
10ビット乗算データ・レジスタB (MRB1L, MRB1H) ...	122
乗算器コントロール・レジスタ (MULC1) ...	123
センサ・ハードマクロ・コントロール・レジスタ (THMC) ...	109

【た行】

タイマ・クロック選択レジスタ2 (TCL2) ...	78
----------------------------	----

【な行】

20ビット乗算結果レジスタ (MUL1LL, MUL1LH, MUL1HL) ...	122
--	-----

【は行】

8ビット起動タイマ・カウンタ (WKTMC1) ...	84
8ビット起動タイマ・コンペア・レジスタ (WKCR1) ...	84
発振安定時間選択レジスタ (OSTS) ...	137
ブルアップ抵抗オプション・レジスタB0 (PUB0) ...	55
ブルアップ抵抗オプション・レジスタB2 (PUB2) ...	55
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	58

ポート・モード・レジスタ0 (PM0) ...	54
ポート・モード・レジスタ2 (PM2) ...	54
ポート0 (P0) ...	51
ポート2 (P2) ...	53

【わ行】

割り込みマスク・フラグ・レジスタ0 (MK0) ...	129
割り込み要求フラグ・レジスタ0 (IF0) ...	128

C.2 レジスタ索引 (アルファベット順)

[A]

- ADCR0 : 10ビットA/D変換結果レジスタ0 ... 96
- ADM0 : A/Dコンバータ・モード・レジスタ0 ... 98
- ADS0 : A/D入力選択レジスタ0 ... 99
- AMPC : センサ・アンプ・コントロール・レジスタ ... 110

[C]

- CRC0 : 12ビット・コンペア・レジスタC0 ... 66

[E]

- EEWC10 : EEPROMライト・コントロール・レジスタ10 ... 46

[I]

- IF0 : 割り込み要求フラグ・レジスタ0 ... 128

[L]

- LFR : LFレジスタ ... 118

[M]

- MK0 : 割り込みマスク・フラグ・レジスタ0 ... 129
- MRA1H : 10ビット乗算データ・レジスタA ... 122
- MRA1L : 10ビット乗算データ・レジスタA ... 122
- MRB1H : 10ビット乗算データ・レジスタB ... 122
- MRB1L : 10ビット乗算データ・レジスタB ... 122
- MUL1HL : 20ビット乗算結果レジスタ ... 122
- MUL1LH : 20ビット乗算結果レジスタ ... 122
- MUL1LL : 20ビット乗算結果レジスタ ... 122
- MULC1 : 乗算器コントロール・レジスタ ... 123

[O]

- OSTS : 発振安定時間選択レジスタ ... 137

[P]

- P0 : ポート0 ... 51
- P2 : ポート2 ... 53
- PCC : プロセッサ・クロック・コントロール・レジスタ ... 58
- PM0 : ポート・モード・レジスタ0 ... 54
- PM2 : ポート・モード・レジスタ2 ... 54
- PUB0 : プルアップ抵抗オプション・レジスタB0 ... 55
- PUB2 : プルアップ抵抗オプション・レジスタB2 ... 55

[T]

TCL2	: タイマ・クロック選択レジスタ2 ...	78
THMC	: センサ・ハードマクロ・コントロール・レジスタ ...	109
TMC0	: 12ビット・タイマ・カウンタC0 ...	66
TMCC0	: 12ビット・タイマ・モード・コントロール・レジスタC0 ...	67

[W]

WDTM	: ウォッチドッグ・タイマ・モード・レジスタ ...	79
WKCR1	: 8ビット起動タイマ・コンペア・レジスタ ...	84
WKCR2	: 3ビット起動タイマ・コンペア・レジスタ ...	85
WKTM1	: 8ビット起動タイマ・カウンタ ...	84
WKTM2	: 3ビット起動タイマ・カウンタ ...	85
WKTMC	: 起動タイマ・モード・コントロール・レジスタ ...	86

付録D 改版履歴

★ D.1 本版で改訂された主な箇所

(1/2)

箇所	内容
全般	<ul style="list-style-type: none"> ・μPD789863サブシリーズのシステム・クロック周波数を$f_{cc} = 1.8\text{MHz}$ (Typ.) に変更 ・μPD789863サブシリーズの最小命令実行時間を1.1 s/4.44 sに変更 ・端子名を変更 API0 API0 (IN+), API1 API1 (IN-), API2 API2 (IN+), API3 API3 (IN-)
p.16-20	第1章 概 説 <ul style="list-style-type: none"> ・1.5 78K/0Sシリーズの展開を最新の内容に変更 ・1.6 ブロック図を変更 ・1.7 機能概要 μPD789863サブシリーズの最小命令実行時間を1.1 s/4.44 sに変更 LF検波機能の内容を変更
p.21, 22	第2章 端子機能 <ul style="list-style-type: none"> ・XW1, XW2端子の説明文を追加
p.35	第3章 CPUアーキテクチャ <ul style="list-style-type: none"> ・表3-3 特殊機能レジスタ一覧で, THMCのリセット時の値に注釈文を追加 ・表3-3 特殊機能レジスタ一覧で, AMPCの名称を「センサ・アンプ・コントロール・レジスタ」に変更
p.45, 46	第4章 EEPROM (データ・メモリ) <ul style="list-style-type: none"> ・EEPROMライト・コントロール・レジスタ10のビット名称を修正
p.82-94	第9章 起動タイマ <ul style="list-style-type: none"> ・図9-1 起動タイマのブロック図を修正 ・起動タイマ用低周波クロックの周期を「$2^6/f_{cw1}$または$2^7/f_{cw1}$」に変更 ・WKCK, LFEN, LFIAについての説明を追加 ・9.4.1 起動タイマの各動作モードの違いを追加 ・9.4.2 インターバル・タイマとしての動作を大幅改訂 ・図9-7 LF検波回路を間欠動作するモードの動作タイミングを追加 ・9.5 起動タイマ用端子 (XW1, XW2) の接続を追加
p.98, 100-102	第10章 10ビットA/Dコンバータ <ul style="list-style-type: none"> ・図10-2 A/Dコンバータ・モード・レジスタ0のフォーマットの注釈文を変更 ・10.4.1 A/D停止～A/D待機～A/D変換スタートまでの動作で, ADS0の名称誤記を訂正 ・ウェイト時間の記述を変更
p.106-112, 115, 116	第11章 センサ用アナログ・マクロ <ul style="list-style-type: none"> ・AMPCの名称を「センサ・アンプ・コントロール・レジスタ」に変更 ・図11-1 センサ用アナログ・マクロのブロック図を修正 ・図11-2 センサ・ハードマクロ・コントロール・レジスタのフォーマットのリセット時の値に注釈文を追加 ・図11-3 センサ・アンプ・コントロール・レジスタのフォーマットを大幅改訂 ・11.4.1 センサ・アンプとしての動作での, AMPCの設定説明を変更 ・11.4.5 センサ・アンプのオフセット調整を追加 ・11.4.6 キャリブレーション・モードを使った補正を追加

箇所	内容
p.117-120	第12章 LF検波回路 <ul style="list-style-type: none"> ・ 12.2 LF検波回路の構成を変更 ・ 12.3 (1) LFレジスタ (LFR) を大幅改訂 ・ 12.4 LF検波回路の動作を追加 ・ 12.5 LF検波回路の注意事項を大幅改訂
p.122	第13章 乗算器 <ul style="list-style-type: none"> ・ 図13-2 20ビット乗算結果格納レジスタのフォーマットに注意文を追加 ・ 図13-3 10ビット乗算データ・レジスタAのフォーマットに注意文を追加 ・ 図13-4 10ビット乗算データ・レジスタBのフォーマットに注意文を追加
p.137, 138, 140-143	第15章 スタンバイ機能 <ul style="list-style-type: none"> ・ RESET解除後の発振安定時間を修正 ・ 表15-1 HALTモード時の動作状態でLF検波回路の記述を修正 ・ 表15-3 STOPモード時の動作状態でLF検波回路の記述を修正 ・ 15.2.2 (2) STOPモードの解除に注釈文を追加
p.146	第16章 リセット機能 <ul style="list-style-type: none"> ・ 表16-1 各ハードウェアのリセット後の状態で、THMCのリセット時の値に注釈文を追加 ・ 表16-1 各ハードウェアのリセット後の状態で、AMPCの名称を「センサ・アンプ・コントロール・レジスタ」に変更
p.154-156	第17章 μPD78E9863, 78E9864 <ul style="list-style-type: none"> ・ 17.1.3 オンボード上の端子処理に<起動タイマ用RC発振端子>の項目を追加 ・ 図17-9 疑似3線式方式でのフラッシュ・メモリ (EEPROM) 書き込み用アダプタ配線例を修正
p.169, 172, 173, 175	第19章 電気的特性 (ターゲット) <ul style="list-style-type: none"> ・ RC発振回路周波数特性を変更 ・ DC特性で、μPD789863, 78E9863の電源電流の条件を変更 ・ サイクル・タイム (最小命令実行時間) を変更 ・ A/Dコンバータ特性を変更 ・ センサ・アンプ特性を変更 ・ 起動タイマ用RC周波数発振特性 (XW1, XW2) を変更 ・ LF検波入力特性を変更を修正 ・ 電源電圧検出特性を修正
p.182	付録A 開発ツール <ul style="list-style-type: none"> ・ A.5 デバッグ用ツール (ハードウェア) に、NP-30MC, NSPACK20BK, YSPACK30BKを追加
p.184-186	付録B ターゲット・システム設計上の注意 <ul style="list-style-type: none"> ・ 章を追加
p.191-193	付録D 改版履歴 <ul style="list-style-type: none"> ・ D.1 本版で改訂された主な箇所を追加

D.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

版数	前版からの改版内容	適用箇所
第2版	9.1 (2) 外部スイッチ・センシングの説明を変更	第9章 起動タイマ
	次の図を変更 図9-1 起動タイマのブロック図 図9-2 起動タイマ・モード・コントロール・レジスタのフォーマット	
	9.4.2 外部スイッチ・センシングとしての動作の備考を変更	
	図9-4 スイッチOFF ON時の動作タイミングに注を追加	
	10.4.1 <A/D停止からA/D変換スタートまでの手順>を変更, 注を追加	第10章 10ビットA/Dコンバータ
	11.3 (1) センサ・ハードマクロ・コントロール・レジスタ (THMC) の注を変更	第11章 センサ用アナログ・マクロ
	次の手順を変更, それぞれに注を追加 11.4.1 <例> センサA測定の手順 11.4.2 <例> 温度測定の手順 11.4.3 <例> 電池電圧検出の手順	
	図17-3 専用フラッシュ・ライタとの接続例を変更, 注を追加	
	表17-3 端子接続一覧を一部変更, 注と注意を追加	第17章 μ PD78E9863, 78E9864
	図17-8 疑似3線式方式でのフラッシュ・メモリ (EEPROM) 書き込み用アダプタ配線例を μ PD78E9863と μ PD78E9864とに場合分け	
改版履歴を追加	付録C 改版履歴	

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
