

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル

V850E/MS2™

32 ビット・シングルチップ・マイクロコンピュータ ハードウェア編

μPD703130

[メモ]

目次要約

第1章	イントロダクション	...	21
第2章	端子機能	...	30
第3章	CPU機能	...	49
第4章	バス制御機能	...	76
第5章	メモリ・アクセス制御機能	...	97
第6章	DMA機能 (DMAコントローラ)	...	133
第7章	割り込み / 例外処理機能	...	169
第8章	クロック発生機能	...	200
第9章	タイマ / カウンタ機能 (リアルタイム・パルス・ユニット)	...	217
第10章	シリアル・インタフェース機能	...	253
第11章	A/Dコンバータ	...	285
第12章	ポート機能	...	313
第13章	リセット機能	...	358
付録A	注意事項	...	362
付録B	レジスタ索引	...	369
付録C	命令セット一覧	...	374
付録D	総合索引	...	383
付録E	改版履歴	...	393

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

V850E/MS1, V850E/MS2, V850シリーズはNECエレクトロニクス株式会社の商標です。

Windowsは米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

Green Hills Softwareは米国Green Hills Software, Inc. の商標です。

- 本資料に記載されている内容は2003年1月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

本版で改訂された主な箇所

箇 所	内 容
全 般	MMレジスタ 記述を修正
p.25	1.5 端子接続図 (Top View) を修正
p.27	1.6.1 内部ブロック図を修正
p.29	1.6.2 (9) ポート 記述を修正
p.30	2.1 (1) ポート端子 記述を修正
p.45	2.3 (12) A0-A15 (Address0-15) ... 出力を追加
p.45	2.3 (13) D0-D7 (Data0-7) ... 3ステート入出力を追加
p.48	2.5 端子の入出回路 タイプ4を追加
p.61	3.4.5 (3) 内蔵周辺I/O領域 注意2を修正
p.63	3.4.6 外部拡張モード 記述を修正
p.76	4.2 バス制御端子 記述を修正
p.126	5.3.8 (1) リフレッシュ・コントロール・レジスタ0-3 (RFC0-RFC3) 注意2を追加
p.145	6.3.8 DMAリスタート・レジスタ (DRST) 記述を修正
p.163	6.11.2 強制中断 記述を修正
p.163	6.12.2 ターミナル・カウント出力を追加
p.185	7.3.4 割り込み制御レジスタ (xxICn) 注意を追加
p.187	7.3.5 インサービス・プライオリティ・レジスタ (ISPR) 注意を追加
p.269	10.3.1 特 徴 転送速度を修正
p.282	表10-2 専用ポー・レート・ジェネレータ設定データを修正
p.286	11.2 (10) AV _{DD} 端子を追加
p.286	11.2 (11) AV _{SS} 端子を追加
p.290	11.3 (2) A/Dコンバータ・モード・レジスタ1 (ADM1) FR2-FR0ビットの説明修正
p.296	図11-3 セレクト・モードの動作タイミング例：1バッファ・モード (ANI1) を修正
p.297	図11-4 セレクト・モードの動作タイミング例：4バッファ・モード (ANI3) を修正
p.298	図11-5 スキャン・モードの動作タイミング例：4チャンネル・スキャン (ANI0-ANI3) を修正
p.309	11.7.3 (2) IDLEモード, ソフトウェアSTOPモード 記述を修正
p.310	11.7.5 タイマ1トリガ・モード時の再変換動作を追加
p.311	11.7.6 A/D変換時間についての補足を追加
p.313	12.1 特 徴 入出力ポート数を修正
p.314	12.2 ポートの基本構成を修正
p.350	12.3.9 ポート9 記述を追加
p.355	12.3.11 ポートX 記述を追加
p.362	付録A 注意事項 記述を修正
p.393	付録E 改版履歴を追加

本文欄外の★印は、本版で改訂された主な箇所を示しています。

はじめに

- 対象者** このマニュアルは、V850E/MS2 (μ PD703130) の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すV850E/MS2の持つハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850E/MS2のユーザズ・マニュアルは、ハードウェア編 (このマニュアル) とアーキテクチャ編 (V850E/MS1™, V850E/MS2 ユーザズ・マニュアル アーキテクチャ編) の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

レジスタ名が分かっている、レジスタの詳細を確認するとき

付録A レジスタ索引を利用してください。

機能名などが分かっている、その詳細を確認するとき

付録C 総合索引を利用してください。

命令機能の詳細を理解しようとするとき

別冊のV850E/MS1, V850E/MS2 **ユーザズ・マニュアル アーキテクチャ編**を参照してください。

一通りV850E/MS2の機能を理解しようとするとき

目次に従ってお読みください。

- 凡 例**
- データ表記の重み : 左が上位桁, 右が下位桁
- アクティブ・ロウの表記 : $\overline{x \times x}$ (端子, 信号名称に上線)
- メモリ・マップのアドレス : 上部 - 上位, 下部 - 下位
- 注 : 本文中につけた注の説明
- 注意 : 気をつけて読んでいただきたい内容
- 備考 : 本文の補足説明
- 数の表記 : 2進数... $x \times x \times x$ または $x \times x \times x B$
- 10進数... $x \times x \times x$
- 16進数... $x \times x \times x H$
- 2のべき数を示す接頭語 (アドレス空間, メモリ容量) :
- K (キロ) ... $2^{10} = 1024$
- M (メガ) ... $2^{20} = 1024^2$
- G (ギガ) ... $2^{30} = 1024^3$
- データ・タイプ : ワード...32ビット
- ハーフワード...16ビット
- バイト... 8ビット

関連資料 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスに関する資料

資料名	資料番号
V850E/MS2 ユーザーズ・マニュアル ハードウェア編	このマニュアル
V850E/MS1, V850E/MS2 ユーザーズ・マニュアル アーキテクチャ編	U12197J
V850E/MS1 アプリケーション・ノート ハードウェア編	U14214J
μ PD703130 データ・シート	U15390J

開発ツールに関する資料 (ユーザーズ・マニュアル)

資料名		資料番号
IE-703102-MC (インサーキット・エミュレータ)		U13875J
IE-703102-MC-EM1, IE-703102-MC-EM1-A (インサーキット・エミュレータ・オプション・ボード)		U13876J
CA850 (Ver.2.30以上) (Cコンパイラ・パッケージ)	操作編	U14568J
	C言語編	U14566J
	プロジェクト・マネージャ編	U14569J
	アセンブリ言語編	U14567J
ID850 (Ver.2.20以上) (統合デバッガ)	操作編 Windows®ベース	U14580J
SM850 (Ver.2.20以上) (システム・シミュレータ)	操作編 Windowsベース	U14782J
SM850 (Ver.2.00以上) (システム・シミュレータ)	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
RX850 (Ver.3.13以上) (リアルタイムOS)	基礎編	U13430J
	インストレーション編	U13410J
	テクニカル編	U13431J
RX850 Pro (Ver.3.13) (リアルタイムOS)	基礎編	U13773J
	インストレーション編	U13774J
	テクニカル編	U13772J
RD850 (Ver.3.01) (タスク・デバッガ)		U13737J
RD850 Pro (Ver.3.01) (タスク・デバッガ)		U13916J
AZ850 (Ver.3.0) (システム・パフォーマンス・アナライザ)		U14410J

目 次

第1章 イン트로ダクション ... 21

- 1.1 概 説 ... 21
- 1.2 特 徴 ... 22
- 1.3 応用分野 ... 24
- 1.4 オーダ情報 ... 24
- 1.5 端子接続図 (Top View) ... 25
- 1.6 機能ブロック構成 ... 27
 - 1.6.1 内部ブロック図 ... 27
 - 1.6.2 内部ユニット ... 28

第2章 端子機能 ... 30

- 2.1 端子機能一覧 ... 30
- 2.2 端子状態 ... 34
- 2.3 端子機能の説明 ... 36
- 2.4 各端子の入出力回路タイプと未使用時の処理 ... 47
- 2.5 端子の入出力回路 ... 48

第3章 CPU機能 ... 49

- 3.1 特 徴 ... 49
- 3.2 CPUレジスタ・セット ... 50
 - 3.2.1 プログラム・レジスタ・セット ... 51
 - 3.2.2 システム・レジスタ・セット ... 52
- 3.3 動作モード ... 54
 - 3.3.1 動作モード ... 54
 - 3.3.2 動作モード指定 ... 54
- 3.4 アドレス空間 ... 55
 - 3.4.1 CPUアドレス空間 ... 55
 - 3.4.2 イメージ ... 56
 - 3.4.3 CPUアドレス空間のラップ・アラウンド ... 57
 - 3.4.4 メモリ・マップ ... 58
 - 3.4.5 領 域 ... 59
 - 3.4.6 外部拡張モード ... 63
 - 3.4.7 アドレス空間の推奨使用方法 ... 65
 - 3.4.8 周辺I/Oレジスタ ... 68
 - 3.4.9 特定レジスタ ... 73

第4章 バス制御機能 ... 76

- 4.1 特 徴 ... 76
- 4.2 バス制御端子 ... 76
- 4.3 メモリ・ブロック機能 ... 77
- 4.4 バス・サイクル・タイプ制御機能 ... 78
 - 4.4.1 バス・サイクル・タイプ・コンフィギュレーション・レジスタ (BCT) ... 78

4.5	バス・アクセス	...	80
4.5.1	アクセス・クロック数	...	80
4.5.2	バス・サイジング機能	...	81
4.5.3	バス幅	...	82
4.6	ウェイト機能	...	86
4.6.1	プログラマブル・ウェイト機能	...	86
4.6.2	外部ウェイト機能	...	87
4.6.3	プログラマブル・ウェイトと外部ウェイトの関係	...	87
4.6.4	ウェイト機能が有効なバス・サイクル	...	88
4.7	アイドル・ステート挿入機能	...	90
4.8	バス・ホールド機能	...	92
4.8.1	機能概要	...	92
4.8.2	バス・ホールド手順	...	93
4.8.3	パワー・セーブ・モード時の動作	...	93
4.8.4	バス・ホールド・タイミング	...	94
4.9	バスの優先順位	...	95
4.10	境界動作条件	...	95
4.10.1	プログラム空間	...	95
4.10.2	データ空間	...	96

第5章 メモリ・アクセス制御機能 ... 97

5.1	SRAM, 外部ROM, 外部I/Oインタフェース	...	97
5.1.1	SRAMの接続	...	97
5.1.2	SRAM, 外部ROM, 外部I/Oアクセス	...	98
5.2	ページROMコントローラ (ROMC)	...	102
5.2.1	特徴	...	102
5.2.2	ページROMの接続	...	102
5.2.3	オンページ/オフページの判断	...	104
5.2.4	ページROMコンフィギュレーション・レジスタ (PRC)	...	106
5.2.5	ページROMアクセス	...	107
5.3	DRAMコントローラ	...	108
5.3.1	特徴	...	108
5.3.2	DRAMの接続	...	109
5.3.3	アドレス・マルチプレクス機能	...	110
5.3.4	DRAMコンフィギュレーション・レジスタ 0-3 (DRC0-DRC3)	...	111
5.3.5	DRAMタイプ・コンフィギュレーション・レジスタ (DTC)	...	114
5.3.6	DRAMアクセス	...	115
5.3.7	DMAフライバイ転送時のDRAMアクセス	...	123
5.3.8	リフレッシュ制御機能	...	125
5.3.9	セルフ・リフレッシュ機能	...	130

第6章 DMA機能 (DMAコントローラ) ... 133

6.1	特徴	...	133
6.2	構成	...	134
6.3	制御レジスタ	...	135
6.3.1	DMAソース・アドレス・レジスタ 0-3 (DSA0-DSA3)	...	135
6.3.2	DMAデスティネーション・アドレス・レジスタ 0-3 (DDA0-DDA3)	...	137
6.3.3	DMAバイト・カウンタ・レジスタ 0-3 (DBC0-DBC3)	...	139
6.3.4	DMAアドレッシング・コントロール・レジスタ 0-3 (DADC0-DADC3)	...	140
6.3.5	DMAチャネル・コントロール・レジスタ 0-3 (DCHC0-DCHC3)	...	142

6.3.6	DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) ...	143
6.3.7	DMAディスエーブル・ステータス・レジスタ (DDIS) ...	144
6.3.8	DMAリスタート・レジスタ (DRST) ...	145
6.3.9	フライバイ転送データ・ウエイト・コントロール・レジスタ (FDW) ...	145
6.4	DMAバス・ステート ...	146
6.4.1	バス・ステートの種類 ...	146
6.4.2	状態遷移 ...	149
6.5	転送モード ...	150
6.5.1	シングル転送モード ...	150
6.5.2	シングルステップ転送モード ...	151
6.5.3	ブロック転送モード ...	151
6.6	転送タイプ ...	152
6.6.1	2サイクル転送 ...	152
6.6.2	フライバイ転送 ...	156
6.7	転送対象 ...	160
6.7.1	転送の種類と転送対象 ...	160
6.7.2	DMA転送時の外部バス・サイクル ...	160
6.8	DMAチャネルの優先順位 ...	161
6.9	ネクスト・アドレス設定機能 ...	161
6.10	DMA転送起動要因 ...	162
6.11	DMA転送の中断 ...	163
6.11.1	中断要因 ...	163
6.11.2	強制中断 ...	163
6.12	DMA転送の終了 ...	163
6.12.1	DMA転送終了割り込み ...	163
★ 6.12.2	ターミナル・カウント出力 ...	163
6.12.3	強制終了 ...	164
6.13	メモリ境界 ...	165
6.14	ミス・アライン・データの転送 ...	165
6.15	DMA転送に関する各種時間 ...	165
6.16	DMA要求に対する応答時間の最大値 ...	165
6.17	DMARQ0-DMARQ3信号によるシングル転送時の1回転送 ...	167
6.18	CPUへのバス・アービトレーション ...	168
6.19	注意事項 ...	168

第7章 割り込み / 例外処理機能 ... 169

7.1	特 徴 ...	169
7.2	ノンマスクابل割り込み ...	173
7.2.1	動 作 ...	174
7.2.2	復 帰 ...	176
7.2.3	ノンマスクابل割り込みステータス・フラグ (NP) ...	177
7.2.4	ノイズ除去 ...	177
7.2.5	エッジ検出機能 ...	177
7.3	マスクابل割り込み ...	178
7.3.1	動 作 ...	178
7.3.2	復 帰 ...	180
7.3.3	マスクابل割り込みの優先順位 ...	181
7.3.4	割り込み制御レジスタ (xxlCn) ...	185
7.3.5	インサービス・プライオリティ・レジスタ (ISPR) ...	187
7.3.6	マスクابل割り込みステータス・フラグ (ID) ...	188
7.3.7	ノイズ除去 ...	189

7.3.8	エッジ検出機能	...	190
7.4	ソフトウェア例外	...	192
7.4.1	動作	...	192
7.4.2	復帰	...	193
7.4.3	例外ステータス・フラグ (EP)	...	194
7.5	例外トラップ	...	195
7.5.1	不正命令コード	...	195
7.5.2	動作	...	196
7.5.3	復帰	...	196
7.6	多重割り込み処理制御	...	197
7.7	割り込み応答時間	...	199
7.8	割り込みが受け付けられない期間	...	199

第8章 クロック発生機能 ... 200

8.1	特徴	...	200
8.2	構成	...	201
8.3	入力クロック選択	...	202
8.3.1	ダイレクト・モード	...	202
8.3.2	PLLモード	...	202
8.3.3	クロック・コントロール・レジスタ (CKC)	...	203
8.4	PLLロックアップ	...	204
8.5	パワー・セーブ制御	...	205
8.5.1	概要	...	205
8.5.2	制御レジスタ	...	206
8.5.3	HALTモード	...	208
8.5.4	IDLEモード	...	210
8.5.5	ソフトウェアSTOPモード	...	212
8.5.6	クロック出力インヒビット・モード	...	213
8.6	発振安定時間の確保	...	214
8.6.1	発振安定時間の確保指定	...	214
8.6.2	タイム・ベース・カウンタ (TBC)	...	216

第9章 タイマ/カウンタ機能 (リアルタイム・パルス・ユニット) ... 217

9.1	特徴	...	217
9.2	基本構成	...	218
9.2.1	タイマ1	...	221
9.2.2	タイマ4	...	224
9.3	制御レジスタ	...	225
9.4	タイマ1動作	...	232
9.4.1	カウント動作	...	232
9.4.2	カウント・クロック選択	...	233
9.4.3	オーバフロー	...	234
9.4.4	TCLR1n信号入力によるタイマのクリア/スタート	...	235
9.4.5	キャプチャ動作	...	236
9.4.6	コンペア動作	...	239
9.5	タイマ4動作	...	241
9.5.1	カウント動作	...	241
9.5.2	カウント・クロック選択	...	241
9.5.3	オーバフロー	...	241
9.5.4	コンペア動作	...	242

9.6 応用例 ... 244

9.7 注意事項 ... 251

第10章 シリアル・インタフェース機能 ... 253

10.1 特徴 ... 253

10.2 アシクロナス・シリアル・インタフェース0, 1 (UART0, UART1) ... 254

10.2.1 特徴 ... 254

10.2.2 構成 ... 255

10.2.3 制御レジスタ ... 257

10.2.4 割り込み要求 ... 264

10.2.5 動作 ... 265

10.3 クロック同期式シリアル・インタフェース0, 1 (CSI0, CSI1) ... 269

10.3.1 特徴 ... 269

10.3.2 構成 ... 269

10.3.3 制御レジスタ ... 271

10.3.4 基本動作 ... 274

10.3.5 CSI0, CSI1での送信 ... 276

10.3.6 CSI0, CSI1での受信 ... 277

10.3.7 CSI0, CSI1での送受信 ... 278

10.3.8 システム構成例 ... 279

10.4 専用ポー・レート・ジェネレータ0, 1 (BRG0, BRG1) ... 280

10.4.1 構成と機能 ... 280

10.4.2 ポー・レート・ジェネレータ・コンペア・レジスタ0, 1
(BRGC0, BRGC1) ... 283

10.4.3 ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ0, 1
(BPRM0, BPRM1) ... 284

第11章 A/Dコンバータ ... 285

11.1 特徴 ... 285

11.2 構成 ... 285

11.3 制御レジスタ ... 288

11.4 A/Dコンバータ動作 ... 293

11.4.1 A/Dコンバータ基本動作 ... 293

11.4.2 動作モードとトリガ・モード ... 294

11.5 A/Dトリガ・モード時の動作 ... 299

11.5.1 セレクト・モードの動作 ... 299

11.5.2 スキャン・モードの動作 ... 301

11.6 タイマ・トリガ・モード時の動作 ... 302

11.6.1 セレクト・モードの動作 ... 303

11.6.2 スキャン・モードの動作 ... 307

11.7 動作上の注意事項 ... 309

11.7.1 変換動作の停止 ... 309

11.7.2 タイマ・トリガの間隔 ... 309

11.7.3 スタンバイ・モード時の動作 ... 309

11.7.4 タイマ・トリガ・モード時のコンペア一致割り込み ... 309

★ 11.7.5 タイマ1トリガ・モード時の再変換動作 ... 310

★ 11.7.6 A/D変換時間についての補足 ... 311

第12章 ポート機能 ... 313

- 12.1 特 徴 ... 313
- 12.2 ポートの基本構成 ... 314
- 12.3 各ポートの端子機能 ... 329
 - 12.3.1 ポート0 ... 329
 - 12.3.2 ポート1 ... 332
 - 12.3.3 ポート2 ... 335
 - 12.3.4 ポート3 ... 338
 - 12.3.5 ポート5 ... 341
 - 12.3.6 ポート6 ... 343
 - 12.3.7 ポート7 ... 345
 - 12.3.8 ポート8 ... 346
 - 12.3.9 ポート9 ... 350
 - 12.3.10 ポート10 ... 353
 - 12.3.11 ポートX ... 355

第13章 リセット機能 ... 358

- 13.1 特 徴 ... 358
- 13.2 端子機能 ... 358
- 13.3 イニシャライズ ... 359

★ 付録A 注意事項 ... 362

- A.1 sld命令実行時の制限事項 ... 362
 - A.1.1 内 容 ... 362
 - A.1.2 非該当条件 ... 362
 - A.1.3 回 避 策 ... 362
- A.2 sst命令と分岐命令が連続した場合の制限事項 ... 363
 - A.2.1 内 容 ... 363
 - A.2.2 回 避 策 ... 363
- A.3 内蔵RAMでのプログラム実行とDMA転送に関する制限事項 ... 364
 - A.3.1 内 容 ... 364
 - A.3.2 非該当条件 ... 364
 - A.3.3 回 避 策 ... 364
- A.4 内蔵RAMを対象としたDMA転送と、内蔵RAMでの命令実行の競合に関する制限事項 ... 365
 - A.4.1 内 容 ... 365
 - A.4.2 非該当条件 ... 365
 - A.4.3 回 避 策 ... 366

付録B レジスタ索引 ... 369

付録C 命令セット一覧 ... 374

- C.1 凡 例 ... 374
- C.2 インストラクション・セット(アルファベット順) ... 377

付録D 総合索引 ... 383

- D.1 50音で始まる語句の索引 ... 383

D.2 アルファベットで始まる語句の索引 ... 387

★ 付録E 改版履歴 ... 393

図の目次 (1/3)

図番号	タイトル, ページ
3 - 1	プログラム・カウンタ (PC) ... 51
3 - 2	割り込み要因レジスタ (ECR) ... 52
3 - 3	プログラム・ステータス・ワード (PSW) ... 53
3 - 4	CPUアドレス空間 ... 55
3 - 5	アドレス空間上のイメージ ... 56
3 - 6	推奨メモリ・マップ ... 67
4 - 1	ウエイト挿入例 ... 87
5 - 1	SRAMとの接続例 ... 97
5 - 2	SRAM, 外部ROM, 外部I/Oアクセス・タイミング ... 98
5 - 3	ページROMとの接続例 ... 102
5 - 4	ページROM接続時のオンページ/オフページ判断 ... 104
5 - 5	ページROMアクセス・タイミング ... 107
5 - 6	DRAMとの接続例 ... 109
5 - 7	ロウ・アドレス, カラム・アドレスの出力 ... 110
5 - 8	高速ページDRAMアクセス・タイミング ... 115
5 - 9	EDO DRAMアクセス・タイミング ... 119
5 - 10	DMAフライバイ転送時のDRAMアクセス・タイミング ... 123
5 - 11	CBRリフレッシュ・タイミング ... 129
5 - 12	CBRセルフ・リフレッシュ・タイミング ... 131
6 - 1	DMACバス・サイクルの状態遷移図 ... 149
6 - 2	シングル転送例 1 ... 150
6 - 3	シングル転送例 2 ... 150
6 - 4	シングルステップ転送例 1 ... 151
6 - 5	シングルステップ転送例 2 ... 151
6 - 6	ブロック転送例 ... 151
6 - 7	2サイクル転送のタイミング ... 152
6 - 8	フライバイ転送のタイミング (DRAM 外部I/O) ... 156
6 - 9	フライバイ転送のタイミング (内蔵周辺I/O 内蔵RAM) ... 159
6 - 10	バッファ・レジスタの構成 ... 161
6 - 11	DMA転送の強制終了の例 ... 164
7 - 1	割り込み制御機能ブロック図 ... 172
7 - 2	ノンマスカブル割り込みの処理形態 ... 174
7 - 3	ノンマスカブル割り込み要求の受け付け動作 ... 175
7 - 4	RETI命令の処理形態 ... 176
7 - 5	マスカブル割り込みの処理形態 ... 179
7 - 6	RETI命令の処理形態 ... 180

図の目次 (2/3)

図番号	タイトル, ページ
7 - 7	割り込み処理中にほかの割り込み要求が発生した場合の処理例 ... 182
7 - 8	同時発生した割り込み要求の処理例 ... 184
7 - 9	ノイズ除去タイミング例 ... 189
7 - 10	ソフトウェア例外の処理形態 ... 192
7 - 11	RETI命令の処理形態 ... 193
7 - 12	例外トラップの処理形態 ... 196
7 - 13	割り込み要求受け付け時のパイプライン動作 (概略) ... 199
8 - 1	パワー・セーブ・モード状態遷移図 ... 206
9 - 1	タイマ1の基本動作 ... 232
9 - 2	オーバフロー後の動作 (ECLR1n = 0, OSTn = 1の場合) ... 234
9 - 3	TCLR1n信号入力によるタイマのクリア/スタート動作 (ECLR1n = 1, OSTn = 0の場合) ... 235
9 - 4	TCLR1n信号入力によるクリア/スタートとオーバフロー動作の関係 (ECLR1n = 1, OSTn = 1の場合) ... 236
9 - 5	キャプチャ動作例 ... 237
9 - 6	TM11キャプチャ動作例 (両エッジ指定時) ... 238
9 - 7	コンペア動作例 ... 239
9 - 8	TM11コンペア動作例 (セット/リセット出力モード) ... 240
9 - 9	タイマ4の基本動作 ... 241
9 - 10	TM40コンペア動作例 ... 242
9 - 11	インターバル・タイマ動作のタイミング例 ... 244
9 - 12	インターバル・タイマ動作の設定手順例 ... 244
9 - 13	パルス幅測定 of タイミング例 ... 245
9 - 14	パルス幅測定の設定手順例 ... 246
9 - 15	パルス幅を算出する割り込み要求処理ルーチン例 ... 246
9 - 16	PWM出力のタイミング例 ... 247
9 - 17	PWM出力の設定手順例 ... 248
9 - 18	コンペア値を書き換える割り込み要求処理ルーチン例 ... 248
9 - 19	周期測定 of タイミング例 ... 249
9 - 20	周期測定の設定手順例 ... 250
9 - 21	周期を算出する割り込み要求処理ルーチン例 ... 250
10 - 1	アシンクロナス・シリアル・インタフェースのブロック図 ... 256
10 - 2	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 265
10 - 3	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 266
10 - 4	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 268
10 - 5	受信エラー・タイミング ... 268
10 - 6	クロック同期式シリアル・インタフェースのブロック図 ... 270
10 - 7	3線式シリアルI/Oモード of タイミング (送信) ... 276
10 - 8	3線式シリアルI/Oモード of タイミング (受信) ... 277

図の目次 (3/3)

図番号	タイトル, ページ
10 - 9	3線式シリアルI/Oモードのタイミング (送受信) ... 279
10 - 10	CSIのシステム構成例 ... 279
10 - 11	専用ポーレート・ジェネレータのブロック図 ... 280
11 - 1	A/Dコンバータのブロック図 ... 287
11 - 2	アナログ入力電圧とA/D変換結果の関係 ... 292
11 - 3	セレクト・モードの動作タイミング例: 1バッファ・モード (ANI1) ... 296
11 - 4	セレクト・モードの動作タイミング例: 4バッファ・モード (ANI3) ... 297
11 - 5	スキャン・モードの動作タイミング例: 4チャンネル・スキャン (ANI0-ANI3) ... 298
11 - 6	1バッファ・モード (A/Dトリガ・セレクト・1バッファ) の動作例 ... 299
11 - 7	4バッファ・モード (A/Dトリガ・セレクト・4バッファ) の動作例 ... 300
11 - 8	スキャン・モード (A/Dトリガ・スキャン) の動作例 ... 301
11 - 9	1トリガ・モード (タイマ・トリガ・セレクト・1バッファ・1トリガ) の動作例 ... 303
11 - 10	4トリガ・モード (タイマ・トリガ・セレクト・1バッファ・4トリガ) の動作例 ... 304
11 - 11	1トリガ・モード (タイマ・トリガ・セレクト・4バッファ・1トリガ) の動作例 ... 305
11 - 12	4トリガ・モード (タイマ・トリガ・セレクト・4バッファ・4トリガ) の動作例 ... 306
11 - 13	1トリガ・モード (タイマ・トリガ・スキャン・1トリガ) の動作例 ... 307
11 - 14	4トリガ・モード (タイマ・トリガ・スキャン・4トリガ) の動作例 ... 308
11 - 15	A/Dトリガ・モードのA/D変換時間: ADM1 = 02H設定時 ... 311
11 - 16	タイマ・トリガ・モードのA/D変換時間 (外部割り込み信号): ADM1 = 22Hまたは32H設定時 ... 311
11 - 17	タイマ・トリガ・モードのA/D変換時間 (一致割り込み信号): ADM1 = 22Hまたは32H設定時 ... 312
11 - 18	A/D変換概要: A/D変換1回, ADM1レジスタのFR0-FR2ビット = 010設定 (96クロック) 時 ... 312
12 - 1	タイプAのブロック図 ... 317
12 - 2	タイプBのブロック図 ... 318
12 - 3	タイプCのブロック図 ... 319
12 - 4	タイプDのブロック図 ... 320
12 - 5	タイプEのブロック図 ... 321
12 - 6	タイプFのブロック図 ... 322
12 - 7	タイプGのブロック図 ... 322
12 - 8	タイプHのブロック図 ... 323
12 - 9	タイプIのブロック図 ... 323
12 - 10	タイプKのブロック図 ... 324
12 - 11	タイプMのブロック図 ... 325
12 - 12	タイプOのブロック図 ... 326
12 - 13	タイプPのブロック図 ... 327
12 - 14	タイプQのブロック図 ... 328

表の目次

表番号	タイトル, ページ
3 - 1	プログラム・レジスタ一覧 ... 51
3 - 2	システム・レジスタ番号 ... 52
3 - 3	割り込み/例外テーブル ... 60
4 - 1	ウェイト機能が有効なバス・サイクル ... 88
4 - 2	バスの優先順位 ... 95
5 - 1	DRAMとアドレス・マルチプレクス幅の例 ... 110
5 - 2	DRAMのリフレッシュ間隔の例 ... 127
5 - 3	インターバル・ファクタの設定例 ... 127
6 - 1	転送の種類と転送対象の関係 ... 160
6 - 2	DMA転送時の外部バス・サイクル ... 160
6 - 3	DMAサイクル中の最小実行クロック数 ... 165
6 - 4	外部メモリに対するシングル転送時の $\overline{\text{DMAAKn}}$ 信号アクティブ $\overline{\text{DMARQn}}$ 信号インアクティブの時間 ... 167
7 - 1	割り込み一覧 ... 170
7 - 2	割り込み制御レジスタのアドレスとビット ... 186
8 - 1	パワー・セーブ制御によるクロック・ジェネレータの動作 ... 206
8 - 2	HALTモード時の動作状態 ... 208
8 - 3	割り込み要求によるHALTモード解除後の動作 ... 209
8 - 4	IDLEモード時の動作状態 ... 210
8 - 5	ソフトウェアSTOPモード時の動作状態 ... 212
8 - 6	カウント時間例 ($= 5 \times f_{\text{xx}}$) ... 216
9 - 1	RPUの構成一覧 ... 218
9 - 2	16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号 (TM1n) ... 236
9 - 3	16ビット・コンペア・レジスタからの割り込み要求信号 (TM1n) ... 239
10 - 1	発生する割り込みとデフォルト優先順位 ... 264
10 - 2	専用ポー・レート・ジェネレータ設定データ ... 282
13 - 1	リセット期間中の各端子の動作状態 ... 358
13 - 2	CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値 ... 360

第1章 イントロダクション

V850E/MS2は、NECエレクトロニクスのシングルチップ・マイクロコンピュータ「V850シリーズ™」の1製品です。この章では、このV850E/MS2の概要を簡単に述べます。

1.1 概 説

V850E/MS2は、V850シリーズの「V850E」CPUを使用し、RAM、および、各種メモリ・コントローラ、DMAコントローラ、リアルタイム・パルス・ユニット、シリアル・インタフェース、A/Dコンバータなどの周辺機能を内蔵し、大容量データ処理と高度なリアルタイム制御を実現した32/16ビット・シングルチップ・マイクロコンピュータです。

(1) 「V850E」CPU搭載

「V850E」CPUは、RISC型命令セットをサポートしており、1命令を1クロックで実行する基本命令と、最適化されたパイプラインにより、命令実行速度を飛躍的に向上させています。さらに、デジタル・サーボ制御の応用に最適な命令として、32ビットのハードウェア乗算器による乗算命令、飽和演算命令、ビット操作命令などもサポートしています。

また、2バイト長の基本命令、高級言語対応命令などにより、Cコンパイラでのオブジェクト・コード効率を高めており、プログラム・サイズのコンパクト化を実現します。

さらに、内蔵の割り込みコントローラでの処理を含む割り込み応答時間も高速なため、高度なリアルタイム制御分野に適しています。

(2) 外部メモリ・インタフェース機能

外部メモリ・インタフェースとして、セパレート構成のアドレス・バス(24ビット)、データ・バス(16ビット)とSRAM、ROM用インタフェースのほか、EDO DRAM、高速ページ DRAM、ページROMなどに直結できる各種メモリのコントローラを内蔵しているため、システム性能を上げるとともにアプリケーション・システムの部品点数を削減できます。

また、DMAコントローラにより、外部メモリ間の転送と並行してCPU内部の演算やデータ転送を行えるため、画像データや音声データなどの大容量データ処理が可能となるうえ、内蔵のRAMを使用した高速な命令実行により、モータ制御、通信制御などのリアルタイム制御も同時に実現できます。

(3) 充実したミドルウェア、開発環境製品群

V850E/MS2はJPEG、JBIG、MH/MR/MMRなどのミドルウェアをさらに高速実行できます。また、音声認識、音声合成などの処理を実現するミドルウェアも用意されているため、これらのミドルウェアと組み合わせることによりマルチメディア・システムを容易に実現できます。

また、最適化Cコンパイラ、ディバッガ、インサーキット・エミュレータ、シミュレータ、システム・パフォーマンス・アナライザなどの統合化された開発環境も用意しています。

1.2 特 徴

命令数	81
最小命令実行時間	30 ns (内部33 MHz動作時)
汎用レジスタ	32ビット×32本
命令セット	V850 CPU上位互換 符号付き乗算 (16ビット×16ビット 32ビット, または32ビット×32ビット 64ビット) 飽和演算命令 (オーバフロー/アンダフロー検出機能付き) 32ビット・シフト命令 ビット操作命令 ロング/ショート形式を持つロード/ストア命令 符号付きロード命令
メモリ空間	22 Mバイト・リニア・アドレス空間 (プログラム/データ共有) チップ・セレクト出力機能: 4 空間 メモリ・ブロック分割機能: 2 M, 4 M, 8 Mバイト/ブロック プログラマブル・ウエイト機能 アイドル・ステート挿入機能
外部バス・インタフェース	16ビット・データ・バス (アドレス/データ分離型バス) 16/8 ビット・バス・サイジング機能 バス・ホールド機能 外部ウエイト機能

内蔵メモリ

品 名	内蔵ROM	内蔵RAM
μPD703130	なし	4 Kバイト

割り込み/例外	外部割り込み 10本 (NMI含む) 内部割り込み 35要因 例外 1 要因 8 レベルの優先順位指定可能
---------	--

メモリ・アクセス制御

DRAMコントローラ (EDO DRAM, 高速ページDRAMに対応)
ページROMコントローラ

DMAコントローラ

4チャンネル構成
転送単位: 8ビット/16ビット
最大転送回数: 65536 (2^{16})回
転送タイプ: フライバイ (1サイクル) 転送 / 2サイクル転送
転送モード: シングル転送 / シングルステップ転送 / ブロック転送

I/Oライン

入力ポート : 5
入出力ポート : 52

リアルタイム・パルス・ユニット

16ビット・タイマ/イベント・カウンタ: 4 ch
16ビット・タイマ: 4本
16ビット・キャプチャ/コンペア・レジスタ: 9本
16ビット・コンペア・レジスタ: 7本
16ビット・インターバル・タイマ: 2 ch

シリアル・インタフェース

アシンクロナス・シリアル・インタフェース (UART)
クロック同期式シリアル・インタフェース (CSI)
UART/CSI: 2 ch
専用ボー・レート・ジェネレータ: 2 ch

A/Dコンバータ

10ビット分解能A/Dコンバータ: 4 ch

クロック・ジェネレータ

PLLクロック・シンセサイザによる5逓倍機能
外部クロック入力による2分周機能

パワー・セーブ機能

HALT/IDLE/ソフトウェアSTOPモード
クロック出力停止機能

パッケージ

100ピン・プラスチックLQFP: 端子ピッチ 0.5 mm

CMOS構造

完全スタティック回路

1.3 応用分野

- ・OA機器（プリンタ，ファクシミリ，PPCなど）
- ・マルチメディア機器（デジタル・スチル・カメラ，ビデオ・プリンタなど）
- ・民生機器（一眼レフ・カメラなど）
- ・産業機器（モータ制御，NC工作機など）

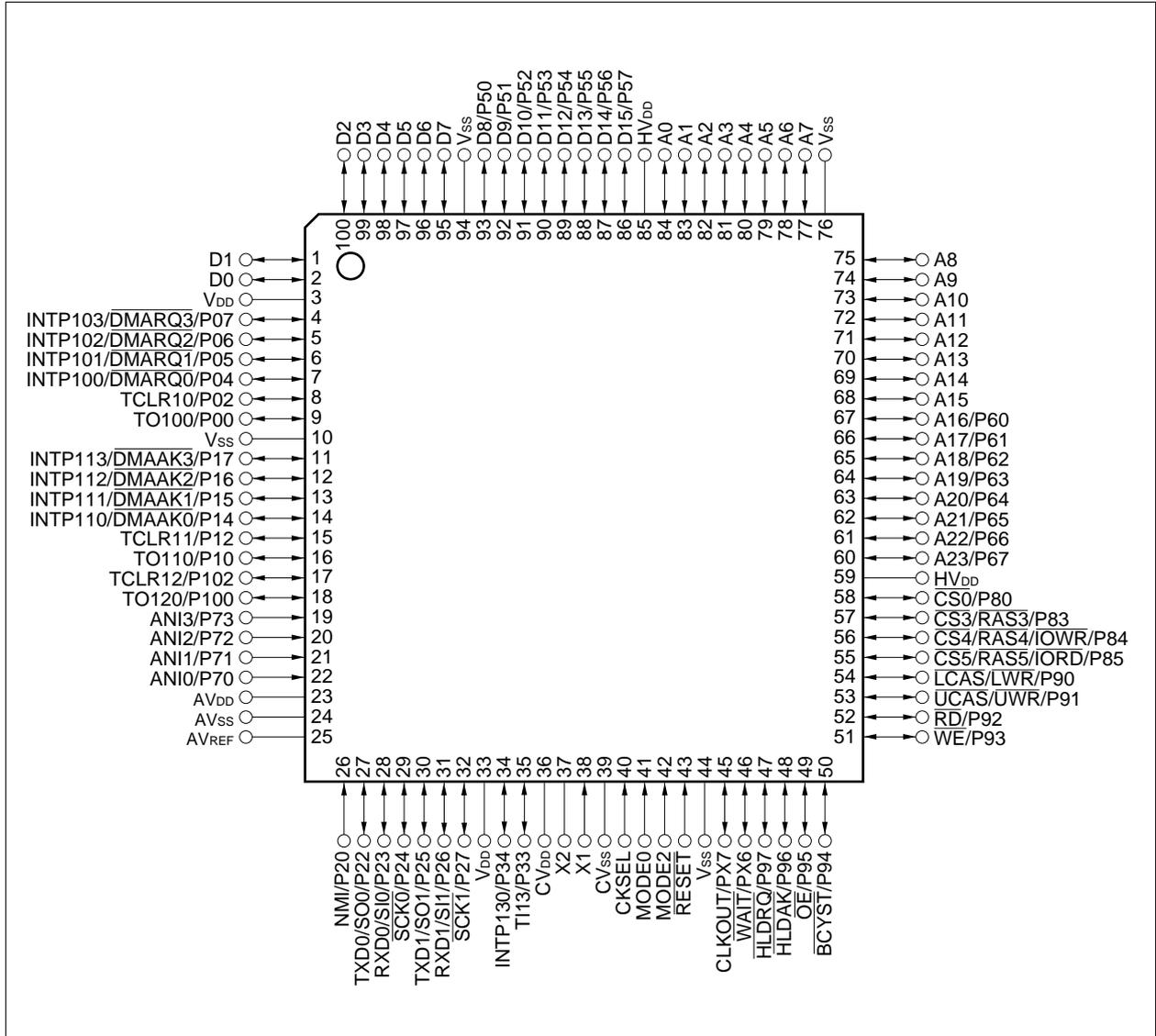
1.4 オーダ情報

品 名	パッケージ	最大動作周波数	内蔵ROM	HV _{DD}
μPD703130GC-8EU	100ピン・プラスチックLQFP（ファインピッチ）（14×14）	33 MHz	なし	4.5~5.5 V

★ 1.5 端子接続図 (Top View)

100ピン・プラスチック LQFP (ファインピッチ) (14 × 14)

・ μPD703130GC-8EU

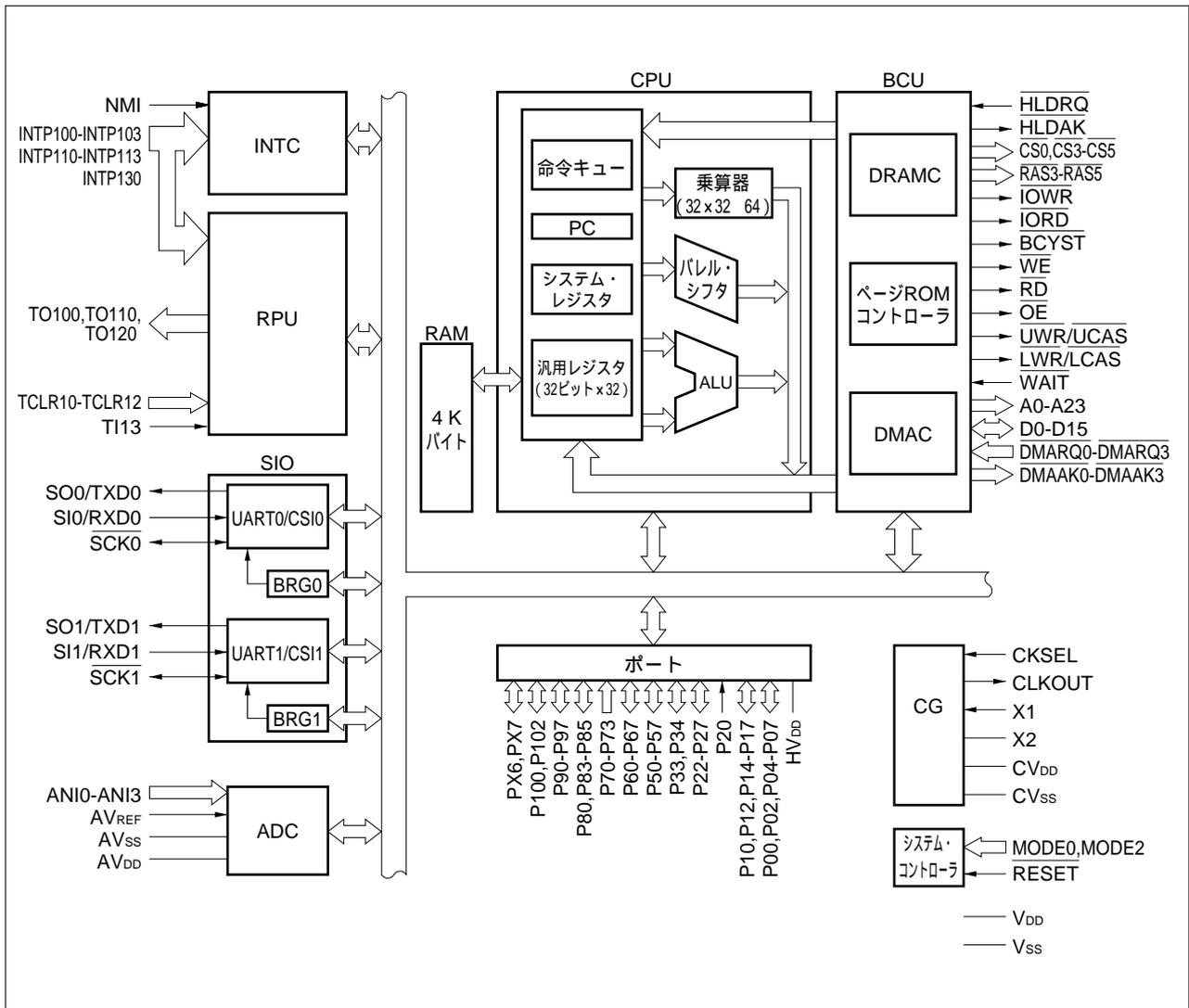


端子名称

A0-A23	: Address Bus	P20, P22-P27	: Port 2
ANI0-ANI3	: Analog Input	P33, P34	: Port 3
AV _{DD}	: Analog Power Supply	P50-P57	: Port 5
AV _{REF}	: Analog Reference Voltage	P60-P67	: Port 6
AV _{SS}	: Analog Ground	P70-P73	: Port 7
$\overline{\text{BCYST}}$: Bus Cycle Start Timing	P80, P83-P85	: Port 8
CKSEL	: Clock Generator Operating Mode Select	P90-P97	: Port 9
CLKOUT	: Clock Output	P100, P102	: Port 10
$\overline{\text{CS0}}, \overline{\text{CS3}}\text{-}\overline{\text{CS5}}$: Chip Select	PX6, PX7	: Port X
CV _{DD}	: Clock Generator Power Supply	$\overline{\text{RAS3}}\text{-}\overline{\text{RAS5}}$: Row Address Strobe
CV _{SS}	: Clock Generator Ground	$\overline{\text{RD}}$: Read Strobe
D0-D15	: Data Bus	$\overline{\text{RESET}}$: Reset
$\overline{\text{DMAAK0}}\text{-}\overline{\text{DMAAK3}}$: DMA Acknowledge	RXD0, RXD1	: Receive Data
$\overline{\text{DMARQ0}}\text{-}\overline{\text{DMARQ3}}$: DMA Request	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$: Serial Clock
$\overline{\text{HLDK}}$: Hold Acknowledge	SI0, SI1	: Serial Input
$\overline{\text{HLDRQ}}$: Hold Request	SO0, SO1	: Serial Output
HV _{DD}	: Power Supply for External Pins	TCLR10-TCLR12	: Timer Clear
INTP100-INTP103,	: Interrupt Request from Peripherals	TI13	: Timer Input
INTP110-INTP113,		TO100, TO110,	: Timer Output
INTP130		TO120	
$\overline{\text{IORD}}$: I/O Read Strobe	TXD0, TXD1	: Transmit Data
$\overline{\text{IOWR}}$: I/O Write Strobe	$\overline{\text{UCAS}}$: Upper Column Address Strobe
$\overline{\text{LCAS}}$: Lower Column Address Strobe	$\overline{\text{UWR}}$: Upper Write Strobe
$\overline{\text{LWR}}$: Lower Write Strobe	V _{DD}	: Power Supply for Internal Unit
MODE0, MODE2	: Mode	V _{SS}	: Ground
NMI	: Non-Maskable Interrupt Request	$\overline{\text{WAIT}}$: Wait
$\overline{\text{OE}}$: Output Enable	$\overline{\text{WE}}$: Write Enable
P00, P02, P04-P07	: Port 0	X1, X2	: Crystal
P10, P12, P14-P17	: Port 1		

1.6 機能ブロック構成

1.6.1 内部ブロック図



1.6.2 内部ユニット

(1) CPU

アドレス計算, 算術論理演算, データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行します。

乗算器(16ビット×16ビット 32ビット, または32ビット×32ビット 64ビット), パレル・シフタ(32ビット)などの専用ハードウェアを内蔵し, 複雑な命令処理の高速化を図っています。

(2) バス・コントロール・ユニット(BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は, プリフェッチ・アドレスを生成し, 命令コードのプリフェッチを行います。プリフェッチされた命令コードはCPU内部の命令キューに取り込まれます。

BCUは, DRAMコントローラ(DRAMC), ページROMコントローラ, DMAコントローラ(DMAC)を内蔵しています。

(a) DRAMコントローラ(DRAMC)

RAS, UCAS, LCAS信号の生成(2CAS制御)とDRAMへのアクセス制御を行います。

高速ページDRAMとEDO DRAMに対応しており, DRAMへのアクセスには, 通常アクセス(オフページ)とページ・アクセス(オンページ)の2種類のサイクルがあります。

また, CBRリフレッシュ・サイクルに対応したリフレッシュ機能を持っています。

(b) ページROMコントローラ

ページ・アクセス機能付きROMへのアクセスに対応します。

直前のバス・サイクルとのアドレス比較を行い, 通常アクセス(オフページ)/ページ・アクセス(オンページ)のウエイト制御を行います。8-64バイトのページ幅に対応できます。

(c) DMAコントローラ(DMAC)

CPUの代わりにメモリ, I/O間でのデータの転送を行います。

アドレス・モードには, フライバイ(1サイクル)転送, 2サイクル転送があります。バス・モードには, シングル転送, シングルステップ転送, ブロック転送の3種類があります。

(3) RAM

FFFFE00H番地から4 Kバイトがマッピングされています。命令フェッチ時, データ・アクセス時にCPUから1クロックでアクセスできます。

(4) 割り込みコントローラ(INTC)

内蔵周辺I/Oおよび, 外部からのハードウェア割り込み要求(NMI, INTP100-INTP103, INTP110-INTP113, INTP130)を処理します。これらの割り込み要求は, 8レベルの割り込み優先順位が指定でき, 割り込み要因に対し多重処理制御を行うこともできます。

(5) クロック・ジェネレータ (CG)

入力クロック (f_{xx}) の5倍 (内蔵PLL使用) , または1/2倍 (内蔵PLL未使用) の周波数を内部システム・クロック () として供給します。入力クロックとして外部発振子をX1 , X2 端子に接続するか (内蔵PLLシンセサイザ使用時だけ) , 外部クロックをX1 端子から入力します。

(6) リアルタイム・パルス・ユニット (RPU)

16ビットのタイマ/イベント・カウンタを4チャンネルと, 16ビットのインターバル・タイマを2チャンネル内蔵し, パルス間隔や周波数の計測, プログラマブルなパルスの出力が可能になっています。

(7) シリアル・インタフェース (SIO)

シリアル・インタフェースとして, アシンクロナス・シリアル・インタフェース (UART) とクロック同期式シリアル・インタフェース (CSI) をあわせて2チャンネル備えています。これらはUARTとCSIの切り替えが可能です。

UARTは, TXD, RXD端子によりデータ転送を行います。

CSIは, SO, SI, \overline{SCK} 端子によりデータ転送を行います。

シリアル・クロック・ソースは専用ポー・レート・ジェネレータ出力と内部システム・クロックから選択できます。

(8) A/Dコンバータ (ADC)

4本のアナログ入力端子を持つ高速, 高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

★ (9) ポート

次に示すように, 汎用ポートとしての機能と制御端子の機能があります。

ポート	ポート機能	制御機能
ポート0	6ビット入出力	リアルタイム・パルス・ユニット入出力, 外部割り込み入力, DMAコントローラ入力
ポート1	6ビット入出力	リアルタイム・パルス・ユニット入出力, 外部割り込み入力, DMAコントローラ出力
ポート2	1ビット入力, 6ビット入出力	NMI入力, シリアル・インタフェース入出力
ポート3	2ビット入出力	リアルタイム・パルス・ユニット入力, 外部割り込み入力
ポート5	8ビット入出力	外部データ・バス
ポート6	8ビット入出力	外部アドレス・バス
ポート7	4ビット入力	A/Dコンバータ入力
ポート8	4ビット入出力	外部バス・インタフェース制御信号出力
ポート9	8ビット入出力	外部バス・インタフェース制御信号入出力
ポート10	2ビット入出力	リアルタイム・パルス・ユニット入出力
ポートX	2ビット入出力	ウェイト挿入信号入力, 内部システム・クロック出力

第2章 端子機能

V850E/MS2の端子の名称と機能を次に示します。これらの端子は、機能別にポート端子と、それ以外の端子に分けることができます。

2.1 端子機能一覧

★ (1) ポート端子

(1/2)

端子名称	入出力	機 能	兼用端子
P00	入出力	ポート0 6ビット入出力ポート 1ビット単位で入出力の指定が可能	TO100
P02			TCLR10
P04			INTP100/DMARQ0
P05			INTP101/DMARQ1
P06			INTP102/DMARQ2
P07			INTP103/DMARQ3
P10			入出力
P12	TCLR11		
P14	INTP110/DMAAK0		
P15	INTP111/DMAAK1		
P16	INTP112/DMAAK2		
P17	INTP113/DMAAK3		
P20	入力	ポート2 P20は入力専用ポート 有効エッジが入力されるとNMI入力として動作します。また、P2レジスタのビット0でNMI入力の状態を示します。 P22-P27は6ビット入出力ポート 1ビット単位で入出力の指定が可能	
P22	入出力		TXD0/SO0
P23			RXD0/SI0
P24			SCK0
P25			TXD1/SO1
P26			RXD1/SI1
P27			SCK1
P33			入出力
P34	INTP130		
P50-P57	入出力	ポート5 8ビット入出力ポート 1ビット単位で入出力の指定が可能	D8-D15
P60-P67	入出力	ポート6 8ビット入出力ポート 1ビット単位で入出力の指定が可能	A16-A23
P70-P73	入力	ポート7 4ビット入力専用ポート	ANI0-ANI3

端子名称	入出力	機 能	兼用端子
P80	入出力	ポート8 4ビット入出力ポート 1ビット単位で入出力の指定が可能	$\overline{CS0}$
P83			$\overline{CS3/RAS3}$
P84			$\overline{CS4/RAS4/IOWR}$
P85			$\overline{CS5/RAS5/IORD}$
P90	入出力	ポート9 8ビット入出力ポート 1ビット単位で入出力の指定が可能	$\overline{LCAS/LWR}$
P91			$\overline{UCAS/UWR}$
P92			\overline{RD}
P93			\overline{WE}
P94			\overline{BCYST}
P95			\overline{OE}
P96			\overline{HLDAK}
P97			\overline{HLDRQ}
P100	入出力	ポート10 2ビット入出力ポート 1ビット単位で入出力の指定が可能	$\overline{TO120}$
P102			$\overline{TCLR12}$
PX6	入出力	ポートX 2ビット入出力ポート 1ビット単位で入出力の指定が可能	\overline{WAIT}
PX7			\overline{CLKOUT}

(2) ポート以外の端子

(1/2)

端子名称	入出力	機 能	兼用端子
TO100	出力	タイマ10-12のパルス信号出力	P00
TO110			P10
TO120			P100
TCLR10	入力	タイマ10-12の外部クリア信号入力	P02
TCLR11			P12
TCLR12			P102
TI13	入力	タイマ13の外部カウント・クロック入力	P33
INTP100	入力	外部マスカブル割り込み要求入力兼 タイマ10の外部キャプチャ・トリガ入力	P04/ $\overline{\text{DMARQ0}}$
INTP101			P05/ $\overline{\text{DMARQ1}}$
INTP102			P06/ $\overline{\text{DMARQ2}}$
INTP103			P07/ $\overline{\text{DMARQ3}}$
INTP110	入力	外部マスカブル割り込み要求入力兼 タイマ11の外部キャプチャ・トリガ入力	P14/ $\overline{\text{DMAAK0}}$
INTP111			P15/ $\overline{\text{DMAAK1}}$
INTP112			P16/ $\overline{\text{DMAAK2}}$
INTP113			P17/ $\overline{\text{DMAAK3}}$
INTP130	入力	外部マスカブル割り込み要求入力兼 タイマ13の外部キャプチャ・トリガ入力	P34
SO0	出力	CSI0, CSI1のシリアル送信データ出力 (3線式)	P22/TXD0
SO1			P25/TXD1
SI0	入力	CSI0, CSI1のシリアル受信データ入力 (3線式)	P23/RXD0
SI1			P26/RXD1
$\overline{\text{SCK0}}$	入出力	CSI0, CSI1のシリアル・クロック入出力 (3線式)	P24
$\overline{\text{SCK1}}$			P27
TXD0	出力	UART0, UART1のシリアル送信データ出力	P22/SO0
TXD1			P25/SO1
RXD0	入力	UART0, UART1のシリアル受信データ入力	P23/SI0
RXD1			P26/SI1
D0-D7	入出力	外部メモリに対する16ビット・データ・バス	-
D8-D15			P50-P57
A0-A7	出力	外部メモリに対する24ビット・アドレス・バス	-
A8-A15			-
A16-A23			P60-P67
$\overline{\text{LWR}}$	出力	外部データ・バスの下位バイト・ライト・イネーブル信号出力	P90/ $\overline{\text{LCAS}}$
$\overline{\text{UWR}}$	出力	外部データ・バスの上位バイト・ライト・イネーブル信号出力	P91/ $\overline{\text{UCAS}}$
$\overline{\text{RD}}$	出力	外部データ・バスのリード・ストロブ信号出力	P92
$\overline{\text{WE}}$	出力	DRAMに対するライト・イネーブル信号出力	P93
$\overline{\text{OE}}$	出力	DRAMに対するアウトプット・イネーブル信号出力	P95
$\overline{\text{LCAS}}$	出力	DRAMの下位データに対するカラム・アドレス・ストロブ信号出力	P90/ $\overline{\text{LWR}}$
$\overline{\text{UCAS}}$	出力	DRAMの上位データに対するカラム・アドレス・ストロブ信号出力	P91/ $\overline{\text{UWR}}$

端子名称	入出力	機能	兼用端子
RAS3	出力	DRAMに対するロウ・アドレス・ストロブ信号出力	P83/ $\overline{\text{CS3}}$
RAS4			P84/ $\overline{\text{CS4}}$ / $\overline{\text{IOWR}}$
RAS5			P85/ $\overline{\text{CS5}}$ / $\overline{\text{IRD}}$
$\overline{\text{BCYST}}$	出力	バス・サイクルの開始を示すストロブ信号出力	P94
$\overline{\text{CS0}}$	出力	チップ・セレクト信号出力	P80
$\overline{\text{CS3}}$			P83/ $\overline{\text{RAS3}}$
$\overline{\text{CS4}}$			P84/ $\overline{\text{RAS4}}$ / $\overline{\text{IOWR}}$
$\overline{\text{CS5}}$			P85/ $\overline{\text{RAS5}}$ / $\overline{\text{IRD}}$
$\overline{\text{WAIT}}$	入力	バス・サイクルにウエイトを挿入する制御信号入力	PX6
$\overline{\text{IOWR}}$	出力	DMAライト・ストロブ信号出力	P84/ $\overline{\text{RAS4}}$ / $\overline{\text{CS4}}$
$\overline{\text{IRD}}$	出力	DMAリード・ストロブ信号出力	P85/ $\overline{\text{RAS5}}$ / $\overline{\text{CS5}}$
$\overline{\text{DMARQ0-}}$ $\overline{\text{DMARQ3}}$	入力	DMA要求信号入力	P04/ $\overline{\text{INTP100-}}$ P07/ $\overline{\text{INTP103}}$
$\overline{\text{DMAAK0-}}$ $\overline{\text{DMAAK3}}$	出力	DMAアクノリッジ信号出力	P14/ $\overline{\text{INTP110-}}$ P17/ $\overline{\text{INTP113}}$
$\overline{\text{HLDAK}}$	出力	バス・ホールド・アクノリッジ出力	P96
$\overline{\text{HLDRQ}}$	入力	バス・ホールド要求入力	P97
ANI0-ANI3	入力	A/Dコンバータへのアナログ入力	P70-P73
NMI	入力	ノンマスカブル割り込み要求入力	P20
CLKOUT	出力	システム・クロック出力	PX7
CKSEL	入力	クロック・ジェネレータの動作モードを指定する入力	-
MODE0, MODE2	入力	動作モードを指定	-
$\overline{\text{RESET}}$	入力	システム・リセット入力	-
X1	入力	システム・クロック用発振子接続。外部からクロックを供給する場合はX1に 入力します。	-
X2	-		-
AVREF	入力	A/Dコンバータ用基準電圧入力	-
AVDD	-	A/Dコンバータ用正電源供給	-
AVSS	-	A/Dコンバータ用グラウンド電位	-
CVDD	-	専用クロック・ジェネレータ用正電源供給	-
CVSS	-	専用クロック・ジェネレータ用グラウンド電位	-
VDD	-	正電源供給（内部ユニット用電源）	-
HVDD	-	正電源供給（外部端子用電源）	-
VSS	-	グラウンド電位	-

2.2 端子状態

リセット時，パワー・セーブ・モード（ソフトウェアSTOP，IDLE，HALT）時，バス・ホールド（TH）時，アイドル・ステート（TI）での各端子の状態を次に示します。

端子	動作状態	リセット	ソフトウェア STOPモード	IDLE モード	HALT モード	バス・ホールド (TH)	アイドル・ ステート(TI)
D0-D15		Hi-Z	Hi-Z (出力時) - (入力時)	Hi-Z (出力時) - (入力時)	動作	Hi-Z	Hi-Z
A0-A23		Hi-Z	Hi-Z	Hi-Z	動作	Hi-Z	保持
\overline{WE} , \overline{OE} , \overline{RD} , \overline{BCYST}		Hi-Z	Hi-Z	Hi-Z	動作	Hi-Z	H
\overline{UWR} , \overline{LWR} , \overline{IORD} , \overline{IOWR} , $\overline{CS0}$, $\overline{CS3-CS5}$		Hi-Z	H	H	動作	Hi-Z	H
$\overline{RAS3-RAS5}$		Hi-Z	動作	動作	動作	Hi-Z	保持 ^注
\overline{UCAS} , \overline{LCAS}		Hi-Z	動作	動作	動作	Hi-Z	H
\overline{HLDRQ}		-	-	-	動作	動作	動作
\overline{HLDK}		Hi-Z	Hi-Z	Hi-Z	動作	L	動作
\overline{WAIT}		-	-	-	動作	-	-
\overline{CLKOUT}		動作	L	L	動作	動作	動作
$\overline{DMARQ0-DMARQ3}$		-	-	-	動作	動作	動作
$\overline{DMAAK0-DMAAK3}$		Hi-Z	H	H	動作	H	H
INTP100-INTP103, INTP110-INTP113, INTP130		-	-	-	動作	動作	動作
NMI		-	動作	動作	動作	動作	動作
P00, P02, P04-P07, P10, P12, P14-P17, P20, P22-P27, P33, P34, P50-P57, P60-P67, P70-P73, P80, P83-P85, P90-P97, P100, P102, PX6, PX7		Hi-Z	保持 (出力時) - (入力時)	保持 (出力時) - (入力時)	動作	動作	動作
TCLR10-TCLR12		-	-	-	動作	動作	動作
TI13		-	-	-	動作	動作	動作
TO100, TO110, TO120		Hi-Z	保持	保持	動作	動作	動作
SI0, SI1		-	-	-	動作	動作	動作
SO0, SO1		Hi-Z	保持	保持	動作	動作	動作
$\overline{SCK0}$, $\overline{SCK1}$		Hi-Z	保持 (出力時) - (入力時)	保持 (出力時) - (入力時)	動作	動作	動作
RXD0, RXD1		-	-	-	動作	動作	動作
TXD0, TXD1		Hi-Z	保持	保持	動作	動作	動作
ANI0-ANI3		-	-	-	動作	動作	動作

注 バス・ホールド直前，直後のアイドル・ステート（TI）ではH

備考 Hi-Z : ハイ・インピーダンス

保持 : 直前の外部バス・サイクルでの状態を保持

H : ハイ・レベル出力

L : ロウ・レベル出力

- : 入力非サンプリング

電源投入/遮断時の注意事項

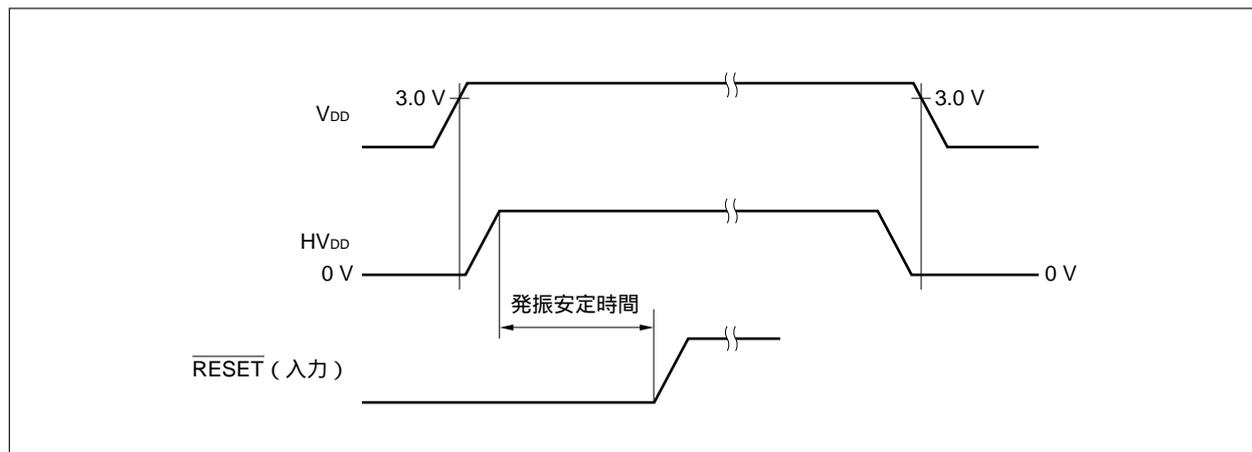
V_{DD}は、内部ユニット用電源端子 (V_{DD}) と外部端子用電源端子 (HV_{DD}) の2電源端子構成になっています。動作保証範囲以外では、入出力兼用端子の入出力状態が不定になる場合があります。この入出力不定状態がシステムに影響を与える場合は、次に示す処置を行うことにより、端子状態をハイ・インピーダンス状態にすることができます。

・電源投入時

V_{DD}端子の電圧が動作保証範囲内 (3.0 ~ 3.6 V) になるまで、HV_{DD}端子の電圧を0 Vにしてください。

・電源遮断時

HV_{DD}端子の電圧が0 Vになるまで、V_{DD}端子の電圧を動作保証範囲内 (3.0 ~ 3.6 V) にしてください。



2.3 端子機能の説明

(1) P00, P02, P04-P07 (Port 0) ... 3ステート入出力

ポート0は、1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モードではリアルタイム・パルス・ユニット (RPU) の入出力、外部割り込み要求入力、DMA要求入力として動作します。

動作モードは1ビットごとにポート/コントロールの選択が可能で、ポート0モード・コントロール・レジスタ (PMC0) で指定します。

(a) ポート・モード

P00, P02, P04-P07はポート0モード・レジスタ (PM0) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

P00, P02, P04-P07はPMC0レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

(i) TO100 (Timer Output) ...出力

タイマ1のパルス信号を出力します。

(ii) TCLR10 (Timer Clear) ...入力

タイマ1の外部クリア信号入力端子です。

(iii) INTP100-INTP103 (Interrupt Request from Peripherals) ...入力

タイマ1の外部割り込み要求入力端子です。

(iv) $\overline{\text{DMARQ0}}\text{-}\overline{\text{DMARQ3}}$ (DMA Request) ...入力

DMAサービスの要求信号です。それぞれDMAチャンネル0-3に対応し互いに独立して動作します。優先順位は固定で、 $\overline{\text{DMARQ0}} > \overline{\text{DMARQ1}} > \overline{\text{DMARQ2}} > \overline{\text{DMARQ3}}$ です。

この信号は、CLKOUT信号の立ち下がりでサンプリングされます。DMA要求が受け付けられるまでアクティブ・レベルを保持してください。

(2) P10, P12, P14-P17 (Port 1) ... 3 ステート入出力

ポート1は、1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モードではリアルタイム・パルス・ユニット (RPU) の入出力、外部割り込み要求入力、DMAアクノリッジ出力として動作します。

動作モードは1ビットごとにポート/コントロールの選択が可能で、ポート1モード・コントロール・レジスタ (PMC1) で指定します。

(a) ポート・モード

P10, P12, P14-P17はポート1モード・レジスタ (PM1) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

P10, P12, P14-P17はPMC1レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

(i) TO110 (Timer Output) ... 出力

タイマ1のパルス信号を出力します。

(ii) TCLR11 (Timer Clear) ... 入力

タイマ1の外部クリア信号入力端子です。

(iii) INTP110-INTP113 (Interrupt Request from Peripherals) ... 入力

タイマ1の外部割り込み要求入力端子です。

(iv) DMAAK0-DMAAK3 (DMA Acknowledge) ... 出力

DMAサービス要求が許可されたことを示す信号です。それぞれDMAチャンネル0-3に対応し互いに独立して動作します。

外部メモリをアクセスしているときだけアクティブになります。内蔵RAMと内蔵周辺I/O間でDMA転送が実行されているときには、アクティブにはなりません。

この信号は、DMAサイクルのT0, T1R, T1FHステートのCLKOUT信号の立ち下がりでアクティブになり、DMA転送中はアクティブ・レベルを保持します。

(3) P20, P22-P27 (Port 2) ... 3ステート入出力

ポート2は、入力専用端子であるP20を除き、1ビット単位で入力または出力を設定できる入出力ポートです。

ポートとして機能するほか、コントロール・モードではシリアル・インタフェース (UART0/CSI0, UART1/CSI1) の入出力として動作します。

動作モードは1ビットごとにポート/コントロールの選択が可能で、ポート2モード・コントロール・レジスタ (PMC2) で指定します。

(a) ポート・モード

P22-P27はポート2モード・レジスタ (PM2) により、ビット単位で入力または出力を設定できます。P20は入力専用ポートで、有効エッジが入力されるとNMI入力として動作します。

(b) コントロール・モード

P22-P27はPMC2レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

(i) NMI (Non-Maskable Interrupt Request) ... 入力

ノンマスカブル割り込み要求入力です。

(ii) TXD0, TXD1 (Transmit Data) ... 出力

UART0, UART1のシリアル送信データを出力します。

(iii) RXD0, RXD1 (Receive Data) ... 入力

UART0, UART1のシリアル受信データを入力します。

(iv) SO0, SO1 (Serial Output) ... 出力

CSI0, CSI1のシリアル送信データを出力します。

(v) SI0, SI1 (Serial Input) ... 入力

CSI0, CSI1のシリアル受信データを入力します。

(vi) $\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$ (Serial Clock) ... 3ステート入出力

CSI0, CSI1のシリアル・クロック入出力端子です。

(4) P33, P34 (Port 3) ... 3 ステート入出力

ポート3は、1ビット単位で入力または出力を設定できる2ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モードではリアルタイム・パルス・ユニット (RPU) の入力、外部割り込み要求入力として動作します。

動作モードは1ビットごとにポート/コントロールの選択が可能で、ポート3モード・コントロール・レジスタ (PMC3) で指定します。

(a) ポート・モード

P33, P34はポート3モード・レジスタ (PM3) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

P33, P34はPMC3レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

(i) TI13 (Timer Input) ... 入力

タイマ1の外部カウント・クロック入力端子です。

(ii) INTP130 (Interrupt Request from Peripherals) ... 入力

タイマ1の外部割り込み要求入力端子です。

(5) P50-P57 (Port 5) ... 3 ステート入出力

ポート5は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

入出力ポートとして機能するほか、コントロール・モード (外部拡張モード) では、メモリを外部に拡張する場合のデータ・バス (D8-D15) として動作します。

動作モードはモード指定端子 (MODE0, MODE2) とメモリ拡張モード・レジスタ (MM) で指定します。

(a) ポート・モード

P50-P57はポート5モード・レジスタ (PM5) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード (外部拡張モード)

P50-P57はMODE0, MODE2端子とMMレジスタにより、D8-D15として使用できます。

(i) D8-D15 (Data) ... 3 ステート入出力

外部アクセス時のデータ・バスです。16ビット・データの上位8ビット・データ入出力バス端子となります。

出力は、バス・サイクルのT1ステートのCLKOUT信号の立ち下がりに同期して変化します。アイドル・ステート (TI) ではハイ・インピーダンスになります。

(6) P60-P67 (Port 6) ... 3 ステート入出力

ポート6は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モード（外部拡張モード）では、メモリを外部に拡張する場合のアドレス・バス（A16-A23）として動作します。

動作モードは2ビットごとにポート/コントロールの選択が可能で、モード指定端子（MODE0, MODE2）と、メモリ拡張モード・レジスタ（MM）で指定します。

(a) ポート・モード

P60-P67はポート6モード・レジスタ（PM6）により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード（外部拡張モード）

P60-P67はMODE0, MODE2端子とMMレジスタにより、A16-A23として使用できます。

(i) A16-A23 (Address) ... 出力

外部アクセス時のアドレス・バスで、24ビット・アドレスの上位8ビット・アドレス出力端子です。

出力は、バス・サイクルのT1ステートのCLKOUT信号の立ち下がりに同期して変化します。アイドル・ステート（TI）では直前のバス・サイクルのアドレスを保持しています。

(7) P70-P73 (Port7) ... 入力

ポート7は全端子が入力に固定の4ビット入力専用ポートです。

ポートとして機能するほか、コントロール・モードではA/Dコンバータのアナログ入力として動作します。ただし、入力ポートとアナログ入力端子は切り替えられません。

(a) ポート・モード

P70-P73は入力専用です。

(b) コントロール・モード

P70-P73はANI0-ANI3端子と兼用になっていますが、切り替えはできません。

(i) ANI0-ANI3 (Analog Input) ... 入力

A/Dコンバータへのアナログ入力端子です。

ノイズによる誤動作を防ぐため、AVSSとの間にコンデンサを接続してください。また、A/Dコンバータへの入力に使用している端子には、AVSS-AVREFの範囲外の電圧が加わらないようにしてください。AVREF以上、AVSS以下のノイズが入る可能性がある場合は、VFの小さいダイオードでクランプしてください。

(8) P80, P83-P85 (Port8) ... 3ステート入出力

ポート8は、1ビット単位で入力または出力を設定できる4ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モードでは、メモリ、周辺I/Oを外部に拡張する場合の制御信号出力として動作します。

動作モードは1ビットごとにポート/コントロールの選択が可能で、ポート8モード・コントロール・レジスタ (PMC8) で指定します。

(a) ポート・モード

P80, P83-P85はポート8モード・レジスタ (PM8) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

P80, P83-P85はPMC8レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

(i) $\overline{\text{CS0}}$, $\overline{\text{CS3}}$ - $\overline{\text{CS5}}$ (Chip Select) ... 3ステート出力

SRAM, 外部ROM, 外部周辺I/O, ページROM領域に対するチップ・セレクト信号です。

メモリ・ブロックnに対して $\overline{\text{CSn}}$ 信号が割り当てられています (n=0, 3-5)。

対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。

アイドル・ステート (TI) では、インアクティブになります。

(ii) $\overline{\text{RAS3}}$ - $\overline{\text{RAS5}}$ (Row Address Strobe) ... 3ステート出力

DRAM領域に対するロウ・アドレスのストローブ信号とCBRリフレッシュ・サイクルのストローブ信号です。

メモリ・ブロックnに対して $\overline{\text{RASn}}$ 信号が割り当てられています (n=3-5)。

オンページ・ディスエーブル時は、DRAMアクセスのバス・サイクル終了後にインアクティブになります。

オンページ・イネーブル時は、DRAMアクセスのバス・サイクル終了後もアクティブの状態に保ちます。

リセット期間中とバス・ホールド期間中は、ハイ・インピーダンス状態になるので、抵抗を介してHV_{DD}に接続してください。

(iii) $\overline{\text{IORD}}$ (I/O Read) ... 3ステート出力

DMAフライバイ転送時の外部I/O用リード・ストローブ信号です。実行中のバス・サイクルがDMAフライバイ転送時の外部I/Oに対するリード・サイクルか、SRAM領域に対するリード・サイクルであることを示します。

DMAフライバイ転送時にメモリや外部I/Oを直結できるようにするために、 $\overline{\text{IORD}}$ の立ち上がりよりも先にUWR, またはLWRが立ち上がります。

(iv) $\overline{\text{IOWR}}$ (I/O Write) ... 3 ステート出力

DMAフライバイ転送時の外部I/O用ライト・ストロブ信号です。実行中のバス・サイクルがDMAフライバイ転送時の外部I/Oに対するライト・サイクルか、SRAM領域に対するライト・サイクルであることを示します。

DMAフライバイ転送時にメモリや外部I/Oを直結できるようにするために、 $\overline{\text{RD}}$ の立ち上がりよりも先に $\overline{\text{IOWR}}$ が立ち上がります。

(9) P90-P97 (Port9) ... 3 ステート入出力

ポート9は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モードではメモリを外部に拡張する場合の制御信号出力、バス・ホールド制御信号入出力として動作します。

動作モードは1ビットごとにポート/コントロールの選択が可能で、ポート9モード・コントロール・レジスタ (PMC9) で指定します。

(a) ポート・モード

P90-P97はポート9モード・レジスタ (PM9) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

P90-P97はPMC9レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

(i) $\overline{\text{LCAS}}$ (Lower Column Address Strobe) ... 3 ステート出力

DRAMに対するカラム・アドレスのストロブ信号とCBRリフレッシュ・サイクルのストロブ信号です。

データ・バスは下位バイトが有効になります。

(ii) $\overline{\text{UCAS}}$ (Upper Column Address Strobe) ... 3 ステート出力

DRAMに対するカラム・アドレスのストロブ信号とCBRリフレッシュ・サイクルのストロブ信号です。

データ・バスは上位バイトが有効になります。

(iii) $\overline{\text{LWR}}$ (Lower Byte Write Strobe) ... 3 ステート出力

実行中のバス・サイクルが、SRAM、外部ROM、外部周辺I/O、ページROM領域に対するライト・サイクルであることを示すストロブ信号です。

データ・バスは下位バイトが有効になります。バス・サイクルが下位のメモリ・ライトならば、T1ステートのCLKOUT信号の立ち上がりでアクティブになり、T2ステートのCLKOUT信号の立ち上がりでインアクティブになります。

(iv) $\overline{\text{UWR}}$ (Upper Byte Write Strobe) ... 3 ステート出力

実行中のバス・サイクルが、SRAM、外部ROM、外部周辺I/O、ページROM領域に対するライト・サイクルであることを示すストロブ信号です。

データ・バスは上位バイトが有効になります。バス・サイクルが上位のメモリ・ライトならば、T1ステートのCLKOUT信号の立ち上がりでアクティブになり、T2ステートのCLKOUT信号の立ち上がりでインアクティブになります。

(v) $\overline{\text{RD}}$ (Read Strobe) ... 3 ステート出力

実行中のバス・サイクルがSRAM, 外部ROM, 外部周辺I/O, ページROMに対するリード・サイクルであることを示すストロブ信号です。

アイドル・ステート (TI) では, インアクティブになります。

(vi) $\overline{\text{WE}}$ (Write Enable) ... 3 ステート出力

実行中のバス・サイクルが, DRAM領域に対するライト・サイクルであることを示す信号です。

アイドル・ステート (TI) では, インアクティブになります。

(vii) $\overline{\text{BCYST}}$ (Bus Cycle Start Timing) ... 3 ステート出力

バス・サイクルの開始を示すステータス信号を出力します。各サイクルの開始から1クロック間, アクティブになります。

アイドル・ステート (TI) では, インアクティブになります。

(viii) $\overline{\text{OE}}$ (Output Enable) ... 3 ステート出力

実行中のバス・サイクルが, DRAM領域に対するリード・サイクルであることを示す信号です。

アイドル・ステート (TI) では, インアクティブになります。

(ix) $\overline{\text{HLDK}}$ (Hold Acknowledge) ... 出力

V850E/MS2がバス・ホールド要求を受けて, アドレス・バス, データ・バス, 制御バスをハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間, アドレス・バス, データ・バス, 制御バスはハイ・インピーダンス状態になり, 外部バス・マスタにバスの使用権を渡します。

(x) $\overline{\text{HLDRQ}}$ (Hold Request) ... 入力

外部デバイスがV850E/MS2に対し, アドレス・バス, データ・バス, 制御バスの解放を要求する入力端子です。この端子は, CLKOUT信号に対して非同期入力が可能です。この端子がアクティブになると, V850E/MS2は実行中のバス・サイクルがあればその終了後に, なければすぐにアドレス・バス, データ・バス, 制御バスをハイ・インピーダンス状態にし, $\overline{\text{HLDK}}$ 信号をアクティブにしてバスを解放します。

確実にバス・ホールド状態にするためには, $\overline{\text{HLDK}}$ 信号が出力されるまで, $\overline{\text{HLDRQ}}$ 信号をアクティブに保ってください。

(10) P100, P102 (Port 10) ... 3 ステート入出力

ポート10は, 1ビット単位で入力または出力を設定できる2ビットの入出力ポートです。

ポートとして機能するほか, コントロール・モードではリアルタイム・パルス・ユニット (RPU) の出力として動作します。

動作モードは1ビットごとにポート/コントロールの選択が可能で, ポート10モード・コントロール・レジスタ (PMC10) で指定します。

(a) ポート・モード

P100, P102はポート10モード・レジスタ (PM10) により, ビット単位で入力または出力を設定できます。

(b) コントロール・モード

P100, P102はPMC10レジスタにより, ビット単位でポート/コントロール・モードの設定ができません。

(i) TO120 (Timer Output) ...出力

タイマ1のパルス信号を出力します。

(ii) TCLR12 (Timer Clear) ...入力

タイマ1の外部クリア信号入力端子です。

(11) PX6, PX7 (Port X) ... 3ステート入出力

ポートXは、1ビット単位で入力または出力を設定できる2ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モードでは、ウエイト挿入信号入力、システム・クロック出力として動作します。

動作モードは1ビットごとにポート/コントロールの選択が可能で、ポートXモード・コントロール・レジスタ (PMCX) で指定します。

(a) ポート・モード

PX6, PX7はポートXモード・レジスタ (PMX) により、ビット単位で入力または出力を設定できます。

(b) コントロール・モード

PX6, PX7はPMCXレジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

(i) $\overline{\text{WAIT}}$ (Wait) ... 入力

バス・サイクルにデータ・ウエイトを挿入する制御信号入力端子で、CLKOUT信号に対する非同期入力が可能です。CLKOUT信号の立ち下がりでサンプリングします。サンプリング・タイミングにおける設定/保持時間を満たさないときはウエイト挿入が行われなことがあります。

(ii) CLKOUT (Clock Output) ... 出力

内部システム・クロック出力端子です。リセット期間中でもCLKOUT端子からの出力は行われません。

★ (12) A0-A15 (Address0-15) ... 出力

外部アクセス時のアドレス・バスで、16ビット・アドレス出力端子です。

出力は、バス・サイクルのT1ステートのCLKOUT信号の立ち下がりに同期して変化します。アイドル・ステート (TI) では直前のバス・サイクルのアドレスを保持しています。

★ (13) D0-D7 (Data0-7) ... 3ステート入出力

外部アクセス時のデータ・バスで、16ビット・データの低位8ビット・データ入出力バス端子となります。

出力は、バス・サイクルのT1ステートのCLKOUT信号の立ち下がりに同期して変化します。アイドル・ステート (TI) ではハイ・インピーダンスになります。

(14) CKSEL (Clock Generator Operating Mode Select) ... 入力

クロック・ジェネレータの動作モードを指定する入力端子です。

入力レベルは動作中に変化しないようにしてください。

(15) MODE0, MODE2 (Mode) ... 入力

動作モードを指定する入力端子です。動作モードには、ROMレス・モード0, 1があります (詳細は、3.3 **動作モード**を参照してください)。動作モードは、リセット時にMODE0, MODE2の各端子の状態がサンプリングされ決定します。

なお、入力レベルは動作中に変化しないよう固定してください。

MODE2	MODE0	動作モード	
L	L	通常動作	ROMレス・モード0
L	H	モード	ROMレス・モード1
上記以外		設定禁止	

備考 L: ロウ・レベル入力

H: ハイ・レベル入力

(16) $\overline{\text{RESET}}$ (Reset) ...入力

$\overline{\text{RESET}}$ 入力は非同期入力であり、動作クロックと無関係に一定のロウ・レベル幅を持つ信号が入力されると、すべての動作に優先してシステム・リセットがかかります。

通常のイニシャライズ/スタートのほかに、パワー・セーブ・モード (HALT, IDLE, ソフトウェアSTOP) の解除にも使用されます。

(17) X1, X2 (Crystal) ...入力

システム・クロック発生用の発振子接続端子です。

外部クロックを入力することも可能です。外部クロックを入力する場合はX1端子に接続し、X2端子はオープンにしてください。

(18) CV_{DD} (Power Supply for Clock Generator)

クロック・ジェネレータ用の正電源供給端子です。

(19) CV_{SS} (Ground for Clock Generator)

クロック・ジェネレータ用のグランド端子です。

(20) V_{DD} (Power Supply for Internal Unit)

各内部ユニット用の正電源供給端子です。すべてのV_{DD}端子を正電源 (3.3 V) に接続してください。

(21) HV_{DD} (Power Supply for External Pins)

外部端子用の正電源供給端子です。すべてのHV_{DD}端子を正電源 (5 V) に接続してください。

(22) V_{SS} (Ground)

グランド端子です。すべてのV_{SS}端子をグランドに接続してください。

(23) AV_{DD} (Analog V_{DD})

A/Dコンバータ用アナログ電源供給端子です。

(24) AV_{SS} (Analog V_{SS})

A/Dコンバータ用のグランド端子です。

(25) AV_{REF} (Analog Reference Voltage) ...入力

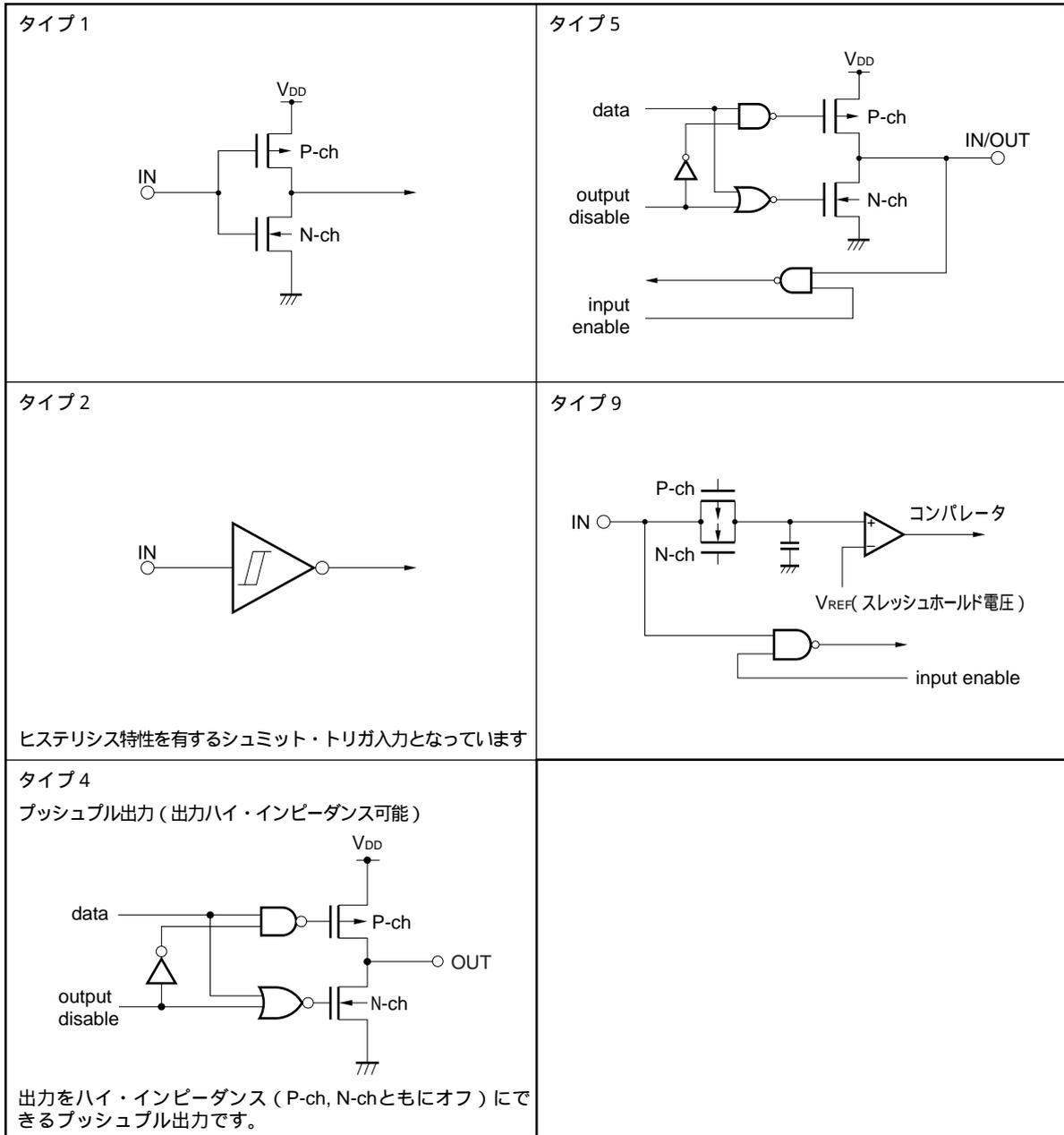
A/Dコンバータ用の基準電圧供給端子です。

2.4 各端子の入出力回路タイプと未使用時の処理

抵抗を介してV_{DD}またはV_{SS}に接続する場合、1-10 k の抵抗を接続することをお勧めします。

端 子	入出力回路タイプ	推奨接続方法
P00/TO100	5	入力状態：個別に抵抗を介してHV _{DD} またはV _{SS} に接続してください。 出力状態：オープンにしてください。
P02/TCLR10		
P04/INTP100/ $\overline{\text{DMARQ0}}$ - P07/INTP103/ $\overline{\text{DMARQ3}}$		
P10/TO110		
P12/TCLR11		
P14/INTP110/ $\overline{\text{DMAAK0}}$ - P17/INTP113/ $\overline{\text{DMAAK3}}$		
P20/NMI		
P22/TXD0/SO0	5	入力状態：個別に抵抗を介してHV _{DD} またはV _{SS} に接続してください。 出力状態：オープンにしてください。
P23/RXD0/SI0		
P24/ $\overline{\text{SCK0}}$		
P25/TXD1/SO1		
P26/RXD1/SI1		
P27/ $\overline{\text{SCK1}}$		
P33/TI13		
P34/INTP130		
D0 - D7		
P50/D8 - P57/D15		
P60/A16 - P67/A23		
P70/ANI0 - P73/ANI3	9	V _{SS} に直接接続してください。
P80/ $\overline{\text{CS0}}$, P83/ $\overline{\text{CS3}}$ / $\overline{\text{RAS3}}$	5	入力状態：個別に抵抗を介してHV _{DD} またはV _{SS} に接続してください。 出力状態：オープンにしてください。
P84/ $\overline{\text{CS4}}$ / $\overline{\text{RAS4}}$ / $\overline{\text{IOWR}}$, P85/ $\overline{\text{CS5}}$ / $\overline{\text{RAS5}}$ / $\overline{\text{IORD}}$		
P90/ $\overline{\text{LCAS}}$ / $\overline{\text{LWR}}$		
P91/ $\overline{\text{UCAS}}$ / $\overline{\text{UWR}}$		
P92/ $\overline{\text{RD}}$		
P93/ $\overline{\text{WE}}$		
P94/ $\overline{\text{BCYST}}$		
P95/ $\overline{\text{OE}}$		
P96/ $\overline{\text{HLDAK}}$		
P97/ $\overline{\text{HLDRQ}}$		
P100/TO120		
P102/TCLR12		
PX6/ $\overline{\text{WAIT}}$		
PX7/ $\overline{\text{CLKOUT}}$		
A0 - A15	4	入力状態：個別に抵抗を介してHV _{DD} またはV _{SS} に接続してください。 出力状態：オープンにしてください。
CKSEL	1	HV _{DD} に直接接続してください。
$\overline{\text{RESET}}$	2	-
MODE0, MODE2		
AV _{REF} , AV _{SS}	-	V _{SS} に直接接続してください。
AV _{DD}	-	HV _{DD} に直接接続してください。

2.5 端子の入出力回路



注意 回路図中のV_{DD}はHV_{DD}に置き換えて参照してください。

第3章 CPU機能

V850E/MS2のCPUは、RISCアーキテクチャをベースとし、5段パイプラインの制御により命令を実行します。

3.1 特 徴

最小命令実行時間 30 ns (内部33 MHz動作時)

メモリ空間 プログラム空間 : 64 Mバイト・リニア

データ空間 : 4 Gバイト・リニア

汎用レジスタ 32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令

ロング/ショート形式を持つロード/ストア命令

ビット操作命令 4種

- ・ SET1
- ・ CLR1
- ・ NOT1
- ・ TST1

3.2 CPUレジスタ・セット

V850E/MS2のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは、32ビット幅となっています。

詳細はV850E/MS1, V850E/MS2 ユーザーズ・マニュアル アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット

31	0
r0	Zero Register
r1	Reserved for Address Generation
r2	
r3	Stack Pointer (SP)
r4	Global Pointer (GP)
r5	Text Pointer (TP)
r6	
r7	
r8	
r9	
r10	
r11	
r12	
r13	
r14	
r15	
r16	
r17	
r18	
r19	
r20	
r21	
r22	
r23	
r24	
r25	
r26	
r27	
r28	
r29	
r30	Element Pointer (EP)
r31	Link Pointer (LP)
31	0
PC	Program Counter

(2) システム・レジスタ・セット

31	0
EIPC	Exception/Interrupt PC
EIPSW	Exception/Interrupt PSW
31	0
FEPC	Fatal Error PC
FEPSW	Fatal Error PSW
31	0
ECR	Exception Cause Register
31	0
PSW	Program Status Word
31	0
CTPC	CALLT Caller PC
CTPSW	CALLT Caller PSW
31	0
DBPC	ILGOP Caller PC
DBPSW	ILGOP Caller PSW
31	0
CTBP	CALLT Base Pointer

3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。また、r1, r3, r4, r5, r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用することがあります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3-1 プログラム・レジスタ一覧

名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス/データ変数用レジスタ(使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするとき使用
r5	テキスト・ポインタ	テキスト領域(プログラム・コードを配置する領域)の先頭を指すレジスタとして使用
r6-r29	アドレス/データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

(2) プログラム・カウンタ

プログラム実行中の命令アドレスを保持しています。下位の26ビットが有効でビット31-26は0に固定されています。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。

図3-1 プログラム・カウンタ(PC)



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

表3 - 2 システム・レジスタ番号

番号	システム・レジスタ名称	用途	動作
0	EIPC	割り込み時状態退避レジスタ	ソフトウェア例外または割り込みが発生した場合に、PCとPSWを退避するレジスタです。このレジスタは、1組しかないため多重割り込みを許す場合は、プログラムでこのレジスタを退避する必要があります。
1	EIPSW		
2	FEPC	NMI時状態退避レジスタ	NMIが発生した場合に、PCとPSWを退避するレジスタです。
3	FEPSW		
4	ECR	割り込み要因レジスタ	例外、マスカブル割り込み、NMIが発生した場合に、その要因を保持するレジスタです。このレジスタは、上位16ビットをFECCと呼び、NMIの例外コードがセットされます。下位16ビットはEICCと呼び、例外 / 割り込みの例外コードがセットされます（図3 - 2参照）。
5	PSW	プログラム・ステータス・ワード	プログラム・ステータス・ワードは、プログラムの状態（命令実行結果）やCPUの状態を示すフラグの集合です（図3 - 3参照）。
16	CTPC	CALLT実行時状態退避レジスタ	CALLT命令を実行した場合に、PCとPSWを退避するレジスタです。
17	CTPSW		
18	DBPC	例外トラップ時状態退避レジスタ	不正命令コードの検出により例外トラップが発生した場合に、PCとPSWを退避するレジスタです。
19	DBPSW		
20	CTBP	CALLTベース・ポインタ	テーブル・アドレスの指定、ターゲット・アドレスの生成に使用します。
6-15, 21-31	予約		

これらのシステム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令（LDSR、STSR命令）で示すシステム・レジスタ番号を指定することで行います。

図3 - 2 割り込み要因レジスタ (ECR)

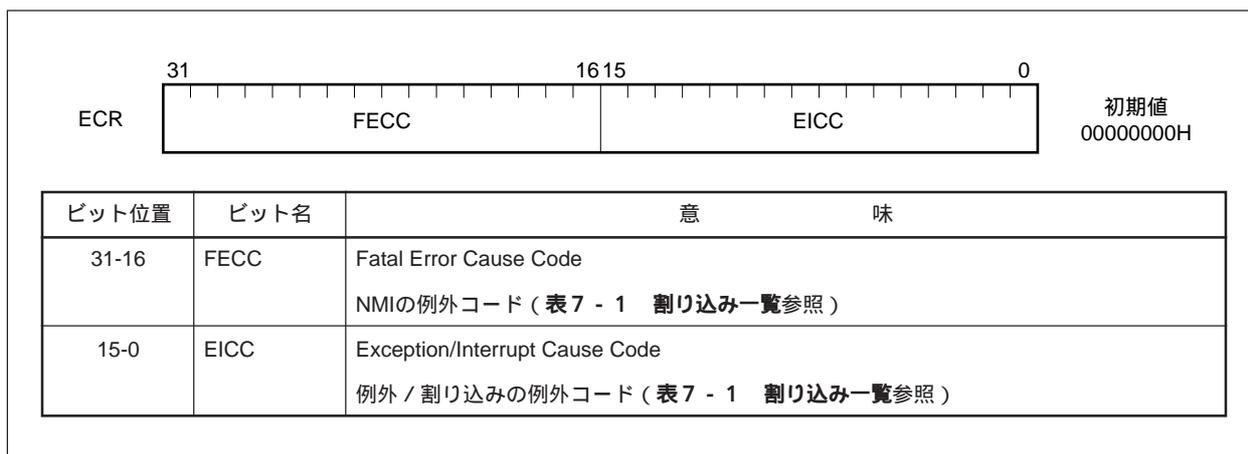


図3-3 プログラム・ステータス・ワード (PSW)



3.3 動作モード

3.3.1 動作モード

V850E/MS2は次の動作モードを備えます。モードの指定はMODE0, MODE2端子により行います。

(1) 通常動作モード

(a) ROMレス・モード0, 1

システム・リセット解除後、バス・インタフェース関連の各端子はコントロール・モードになり、外部デバイス（メモリ）のリセット・エントリ・アドレスに分岐し、命令処理を開始します。

ROMレス・モード0では、16ビット・データ・バスに、ROMレス・モード1では8ビット・データ・バスになります。

3.3.2 動作モード指定

MODE0, MODE2端子の状態により、動作モードを指定します。これらの端子の指定は応用システムにおいて固定とし、動作中に変更しないでください。

動作中に変更した場合の動作は保証しません。

MODE2	MODE0	動作モード		外部データ・バス幅	備考
L	L	通常動作 モード	ROMレス・モード0	16ビット	-
L	H		ROMレス・モード1	8ビット	
上記以外		設定禁止		-	

備考 L：ロウ・レベル入力

H：ハイ・レベル入力

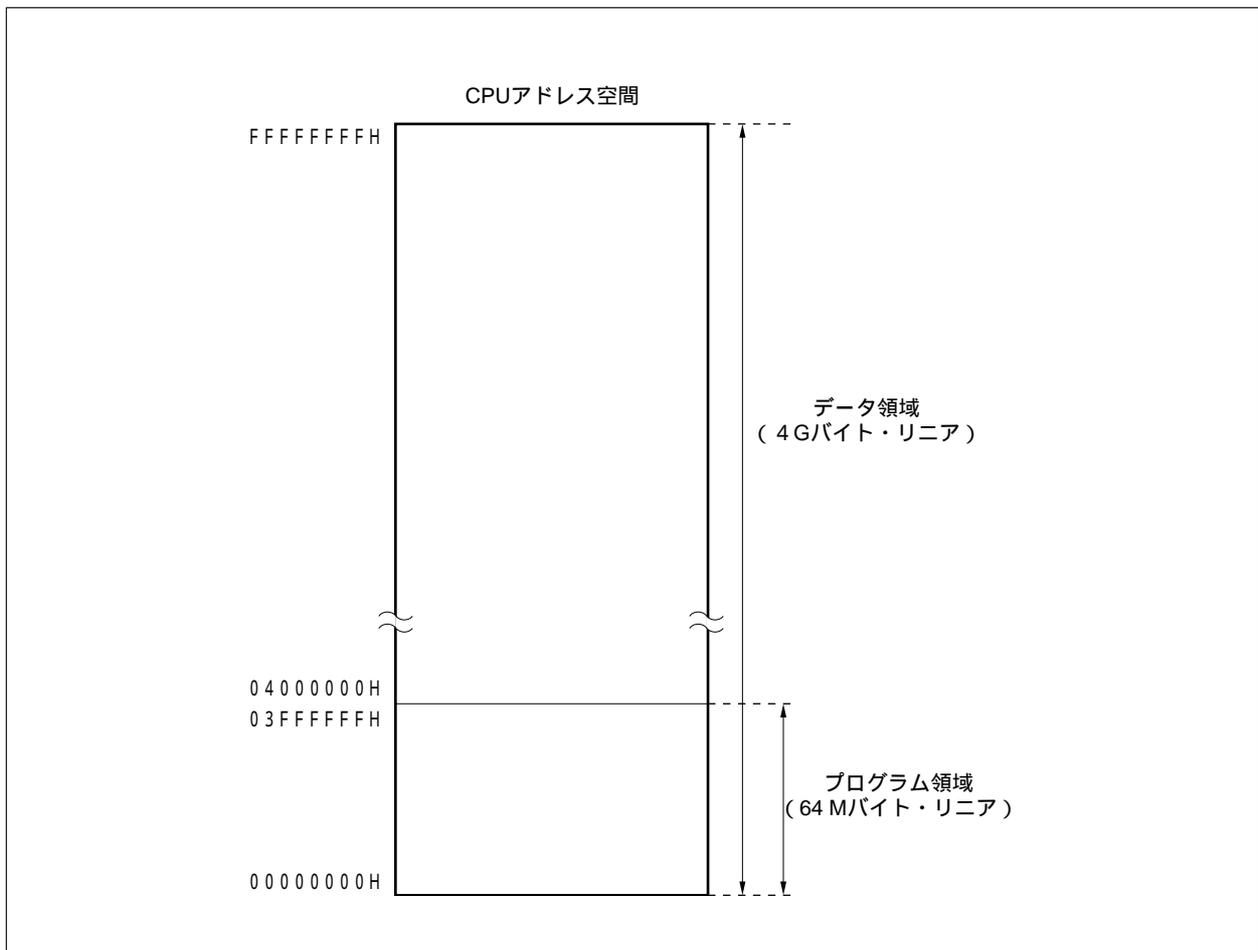
3.4 アドレス空間

3.4.1 CPUアドレス空間

V850E/MS2のCPUは32ビット・アーキテクチャであり、オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。また、命令アドレスのアドレッシングにおいては、最大64 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。

図3 - 4 にCPUアドレス空間を示します。

図3 - 4 CPUアドレス空間

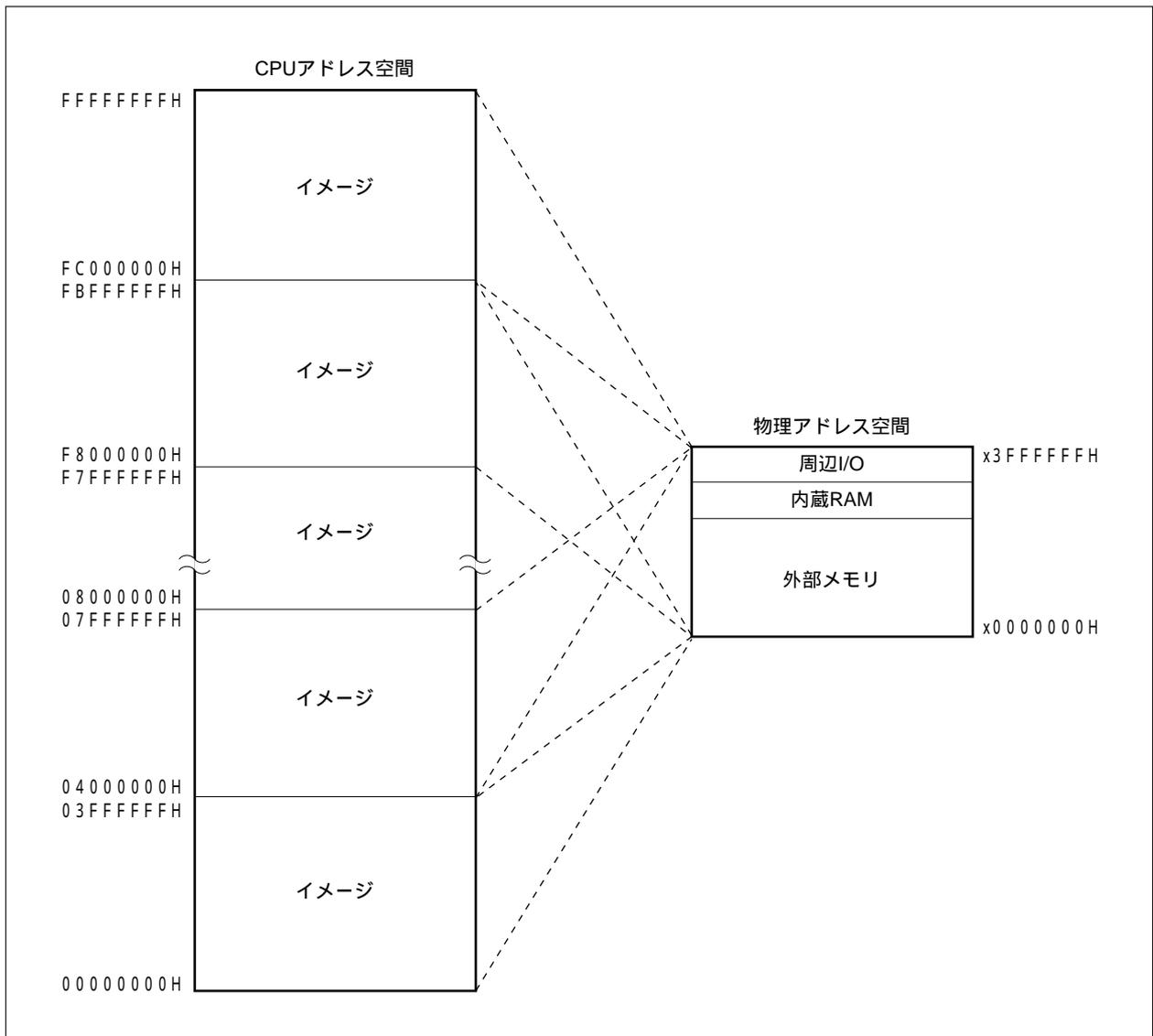


3.4.2 イメージ

4 GバイトのCPUアドレス空間には、64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり、CPUアドレスのビット31-ビット26がどのような値でも、同じ64 Mバイトの物理アドレス空間をアクセスします。図3 - 5 にアドレス空間上のイメージを示します。

これは、32ビットのCPUアドレスは上位6ビットを無視し、26ビットの物理アドレスとしてアクセスするため、物理アドレスのx00000000H番地が、CPUアドレスの00000000H番地のほかに04000000H番地、08000000H番地、...、F8000000H番地、FC000000H番地に見えます。

図3 - 5 アドレス空間上のイメージ



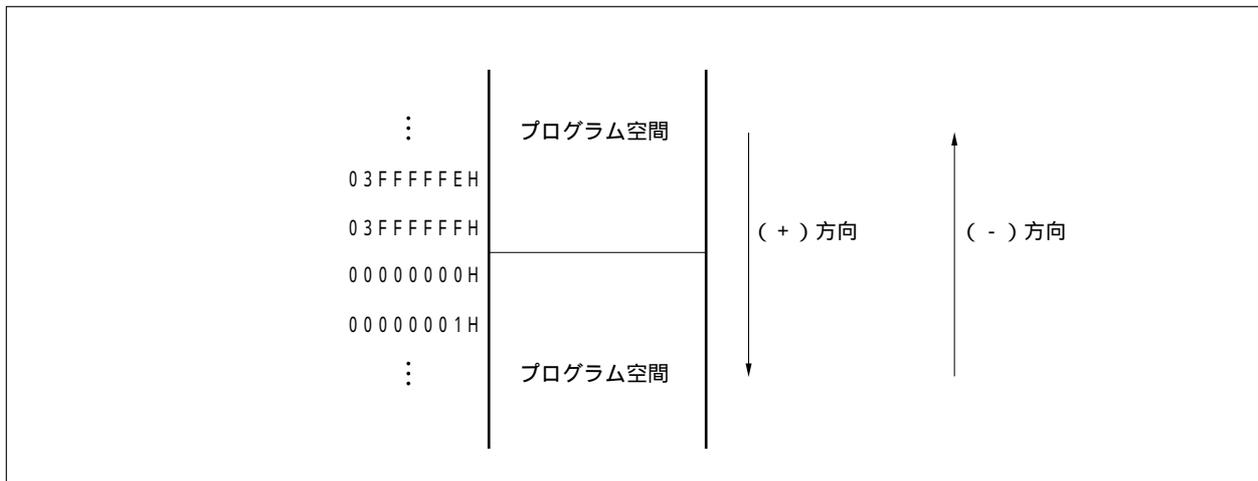
3.4.3 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC (プログラム・カウンタ) は、32ビットのうち上位6ビットが0に固定であり、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の下限である00000000H番地と、上限の03FFFFFFH番地は連続したアドレスとなります。このようにメモリ空間の下限と上限が連続したアドレスになることをラップ・アラウンドといいます。

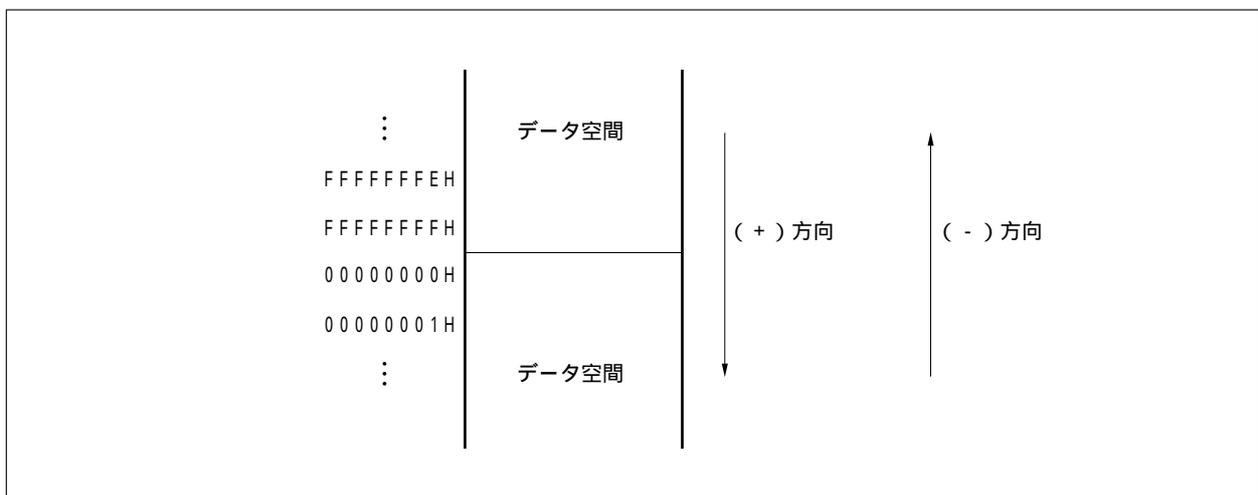
注意 03FFF000H-03FFFFFFHの4Kバイトの領域は、周辺I/O領域のため命令フェッチすることができません。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

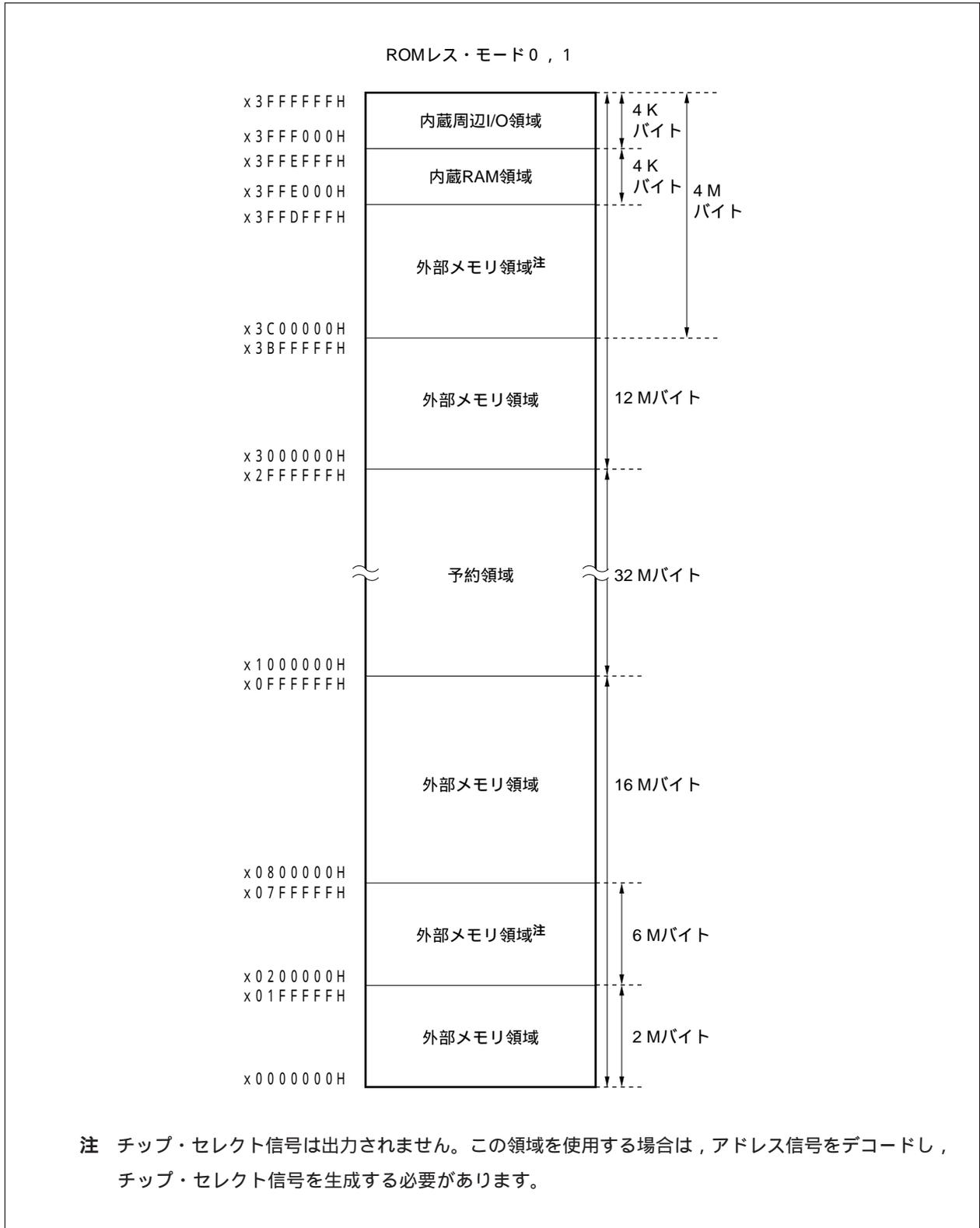
オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の下限である00000000H番地と、上限のFFFFFFFFH番地は連続したアドレスになり、この境界でラップ・アラウンドします。



3.4.4 メモリ・マップ

V850E/MS2では、次のように各領域を予約しています。各モードの指定はMMレジスタとMODE0, MODE2端子で行います。



3.4.5 領 域

(1) 割り込み / 例外テーブル

V850E/MS2では、割り込み / 例外に対応した飛び先アドレスを固定化することにより、割り込み応答性を高速化しています。

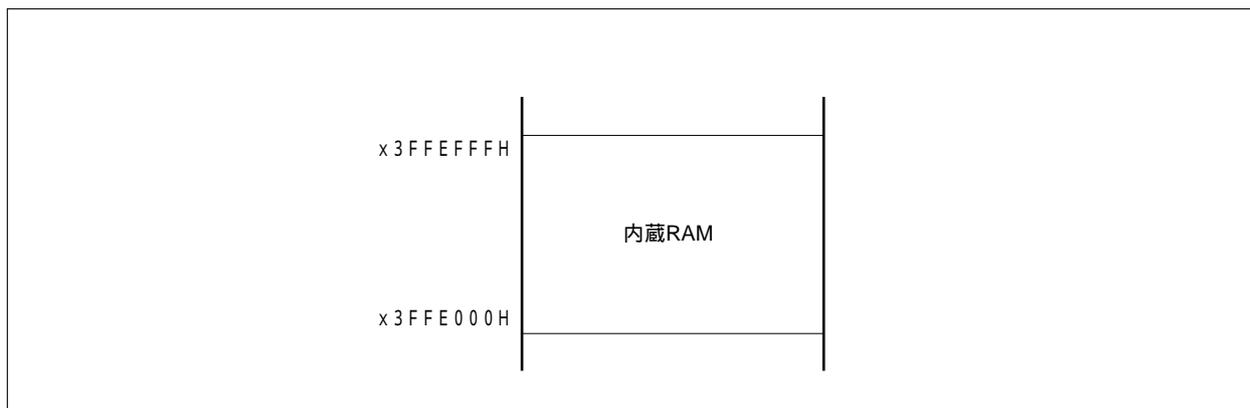
この、飛び先アドレスの集合を割り込み / 例外テーブルと呼び、プログラム領域に置かれています。割り込み / 例外要求が受け付けられると、飛び先アドレスにジャンプし、そのメモリに書かれているプログラムを実行します。表3 - 3に、割り込み / 例外要因と、対応するアドレスを示します。

表3 - 3 割り込み / 例外テーブル

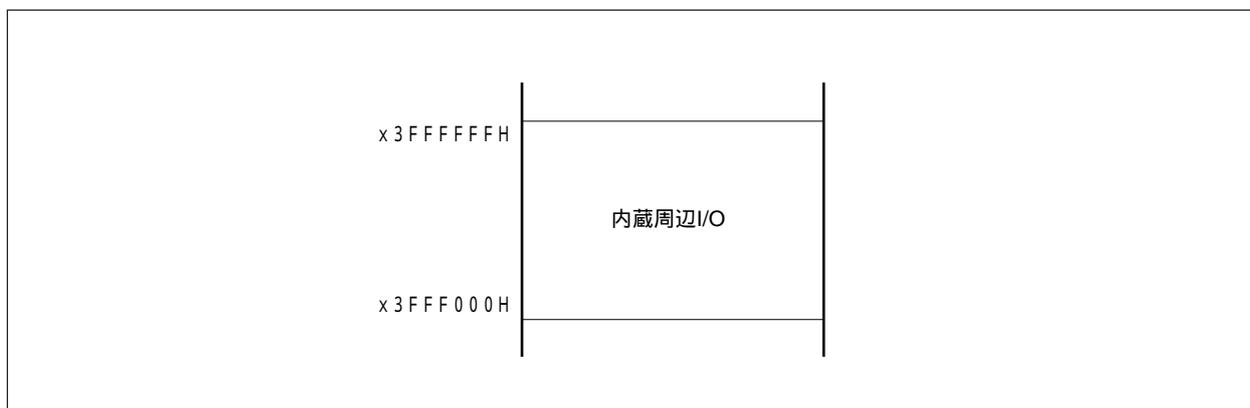
割り込み / 例外テーブルの先頭アドレス	割り込み / 例外要因
00000000H	RESET
00000010H	NMI
00000040H	TRAP0n (n = 0-FH)
00000050H	TRAP1n (n = 0-FH)
00000060H	ILGOP
00000080H	INTOV10
00000090H	INTOV11
000000A0H	INTOV12
000000B0H	INTOV13
00000100H	INTP100/INTCC100
00000110H	INTP101/INTCC101
00000120H	INTP102/INTCC102
00000130H	INTP103/INTCC103
00000140H	INTP110/INTCC110
00000150H	INTP111/INTCC111
00000160H	INTP112/INTCC112
00000170H	INTP113/INTCC113
00000180H	INTCC120
00000190H	INTCC121
000001A0H	INTCC122
000001B0H	INTCC123
000001C0H	INTP130/INTCC130
000001D0H	INTCC131
000001E0H	INTCC132
000001F0H	INTCC133
00000280H	INTCM40
00000290H	INTCM41
000002A0H	INTDMA0
000002B0H	INTDMA1
000002C0H	INTDMA2
000002D0H	INTDMA3
00000300H	INTCSI0
00000310H	INTSER0
00000320H	INTSR0
00000330H	INTST0
00000340H	INTCSI1
00000350H	INTSER1
00000360H	INTSR1
00000370H	INTST1
00000400H	INTAD

(2) 内蔵RAM領域

物理内蔵RAMとして3FFE000H-3FFEFFFH番地の4 Kバイトを実装しています。

**(3) 内蔵周辺I/O領域**

内蔵周辺I/O領域として、3FFF000H-3FFFFFFFH番地の4 Kバイトを実装しています。



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

注意 1 . アドレスの最下位ビットはデコードしていません。したがって、奇数アドレス ($2n+1$ 番地) のレジスタにバイト・アクセスした場合は、ハードウェア上、偶数アドレス ($2n$) のレジスタへのアクセスが行われます。

- ★ 2 . V850E/MS2ではワード・アクセス可能なレジスタは存在しません。周辺I/Oレジスタはバイト・アクセスもしくはハーフワード・アクセスでアクセスしてください。
- 3 . バイト・アクセス可能なレジスタに対して、ハーフワード・アクセスした場合はリード時は上位8ビットが不定となり、ライト時は下位8ビット・データがレジスタに書き込まれます。
- 4 . レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。

(4) 外部メモリ領域

外部メモリ領域として、次の領域が使用できます。ただし、x1000000H-x2FFFFFFHの予約領域を除きます。

x0000000H-x3FFDFFFH

外部メモリ領域へのアクセスは、各メモリ・ブロックごとに割り当てられたチップ・セレクト信号を使用します(4.4 バス・サイクル・タイプ制御機能参照)。

なお、内蔵RAM、内蔵周辺I/Oの各領域に対しては、外部メモリ領域としてアクセスすることはできません。

★ 3.4.6 外部拡張モード

外部拡張モードに設定することにより、ポート5、6の各端子を用いて外部メモリ空間に外部デバイスを接続することができます。外部拡張モードの設定は、MMレジスタによりポート5、6の各端子をコントロール・モードに選択することで行います。

なお、リセット時の状態は、MODE0, MODE2端子による動作モード指定により、次のように異なります（動作モードについては、3.3 動作モードを参照してください）。

(1) 各動作モードのリセット時の状態

(a) ROMレス・モード0の場合

リセット時は、ポート5、6の各端子がコントロール・モードになるため、MMレジスタの変更なしで外部拡張モードに設定されます（外部データ・バス幅は16ビットになります）。

(b) ROMレス・モード1の場合

リセット時は、ポート6の各端子がコントロール・モードになるため、MMレジスタの設定変更なしで外部拡張モードに設定されます（外部データ・バス幅は8ビットになります）。

(2) メモリ拡張モード・レジスタ (MM)

ポート5、6の各端子のモード設定を行います。外部拡張モードでは、最大22 Mバイトの外部メモリ領域に外部デバイスを接続できます。ただし、内蔵RAM領域、内蔵周辺I/O領域に対しては外部デバイスを接続して使用することはできません（物理的に接続しても、アクセス対象にはなりません）。

MMレジスタは8/1ビット単位でリード/ライト可能です。ただし、ビット4-ビット7は0に固定です。

	7	6	5	4	3	2	1	0		
MM	0	0	0	0	MM3	MM2	MM1	MM0	アドレス FFFFFF04CH	初期値 注

注 ROMレス・モード0のとき : 07H ROMレス・モード1のとき : 0FH

ビット位置	ビット名	意味																																																																												
3-0	MM3-MM0	Memory Expansion Mode ポート4, 5, 6, A, Bの機能を指定します。																																																																												
		<table border="1"> <thead> <tr> <th>MM3</th> <th>MM2</th> <th>MM1</th> <th>MM0</th> <th>ポート5</th> <th>ポート6</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>RFU</td> <td>RFU</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td rowspan="8">D8-D15</td> <td rowspan="8">P60, P61, P62, P63, P64, P65, P66, P67, A16, A17, A18, A19, A20, A21, A22, A23</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td rowspan="8">P50-P57</td> <td rowspan="8">RFU, P60, P61, P62, P63, P64, P65, P66, P67, A16, A17, A18, A19, A20, A21, A22, A23</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	MM3	MM2	MM1	MM0	ポート5	ポート6	0	0	0	0	RFU	RFU	0	0	0	1	D8-D15	P60, P61, P62, P63, P64, P65, P66, P67, A16, A17, A18, A19, A20, A21, A22, A23	0	0	1	0	0	0	1	1	0	1	0	0	0	1	0	1	0	1	1	0	0	1	1	1	1	0	0	0	P50-P57	RFU, P60, P61, P62, P63, P64, P65, P66, P67, A16, A17, A18, A19, A20, A21, A22, A23	1	0	0	1	1	0	1	0	1	0	1	1	1	1	0	0	1	1	0	1	1	1	1	0	1	1	1	1
MM3	MM2	MM1	MM0	ポート5	ポート6																																																																									
0	0	0	0	RFU	RFU																																																																									
0	0	0	1	D8-D15	P60, P61, P62, P63, P64, P65, P66, P67, A16, A17, A18, A19, A20, A21, A22, A23																																																																									
0	0	1	0																																																																											
0	0	1	1																																																																											
0	1	0	0																																																																											
0	1	0	1																																																																											
0	1	1	0																																																																											
0	1	1	1																																																																											
1	0	0	0			P50-P57	RFU, P60, P61, P62, P63, P64, P65, P66, P67, A16, A17, A18, A19, A20, A21, A22, A23																																																																							
1	0	0	1																																																																											
1	0	1	0																																																																											
1	0	1	1																																																																											
1	1	0	0																																																																											
1	1	0	1																																																																											
1	1	1	0																																																																											
1	1	1	1																																																																											

注意 MMレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、MMレジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域へのアクセスは可能です。

備考1 . 各ポート端子の動作の詳細については2.3 端子機能の説明を参照してください。

2 . システム・リセット時、各ポートの機能は、次のようになります。

動作モード	MMレジスタ	ポート5	ポート6
ROMレス・モード0	07H	D8-D15	A16-A23
ROMレス・モード1	0FH	P50-P57	

3.4.7 アドレス空間の推奨使用方法

V850E/MS2のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに、必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

V850E/MS2のメモリ・マップに関連して、ポインタ運用の効率化を目的として、次の使用方法を推奨します。

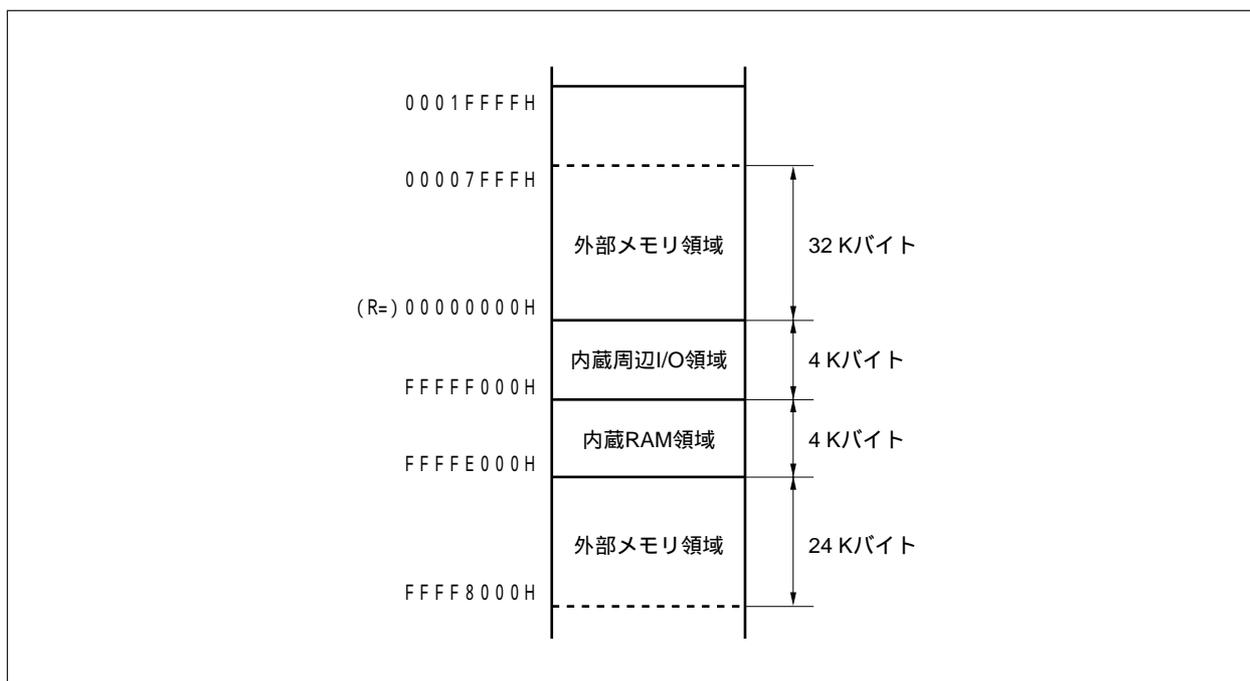
(1) プログラム空間

PC (プログラム・カウンタ) は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

(2) データ空間

データ空間のラップ・アラウンドを利用したリソースの効率的な運用を行うため、4 GバイトのCPUアドレス空間の00000000H-00FFFFFFFH番地およびFF000000H-FFFFFFFH番地のそれぞれ連続した16 Mバイトをデータ空間として使用します。V850E/MS2では、4 GバイトのCPUアドレス空間に64 Mバイトの物理アドレス空間が64個のイメージとして見えるため、この26ビット・アドレスの最上位ビット (ビット25) を32ビット長まで符号拡張したアドレスとして割り当てています。

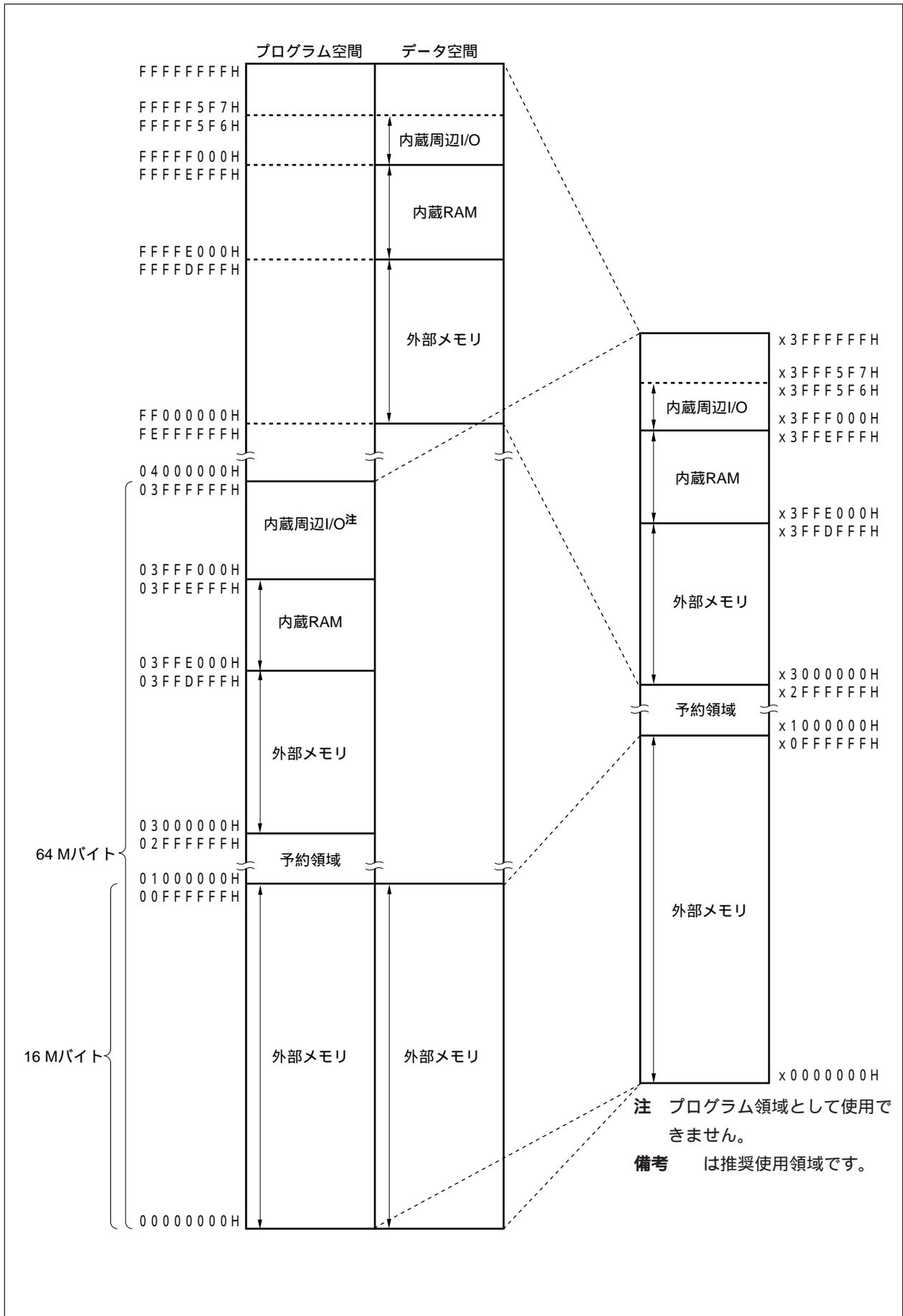
例 ラップ・アラウンドを利用した応用例は次のようになります。



LD/ST disp16 [R] 命令でR=r0 (ゼロ・レジスタ) とした場合、符号拡張したdisp16により、00000000H番地 ± 32 Kバイトの範囲がアドレッシング可能です。外部メモリを上図の24 Kバイトの範囲にマッピングすれば、内蔵ハードウェアのすべてを含むすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ (r0) はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

図3-6 推奨メモリ・マップ



3.4.8 周辺I/Oレジスタ

(1/5)

アドレス	レジスタ名称	略号	R/W	操作可能ビット			初期値
				1ビット	8ビット	16ビット	
FFFFFF000H	ポート0	P0	R/W				不定
FFFFFF002H	ポート1	P1	R/W				不定
FFFFFF004H	ポート2	P2	R/W				不定
FFFFFF006H	ポート3	P3	R/W				不定
FFFFFF00AH	ポート5	P5	R/W				不定
FFFFFF00CH	ポート6	P6	R/W				不定
FFFFFF00EH	ポート7	P7	R				不定
FFFFFF010H	ポート8	P8	R/W				不定
FFFFFF012H	ポート9	P9	R/W				不定
FFFFFF014H	ポート10	P10	R/W				不定
FFFFFF020H	ポート0モード・レジスタ	PM0	R/W				FFH
FFFFFF022H	ポート1モード・レジスタ	PM1	R/W				FFH
FFFFFF024H	ポート2モード・レジスタ	PM2	R/W				FFH
FFFFFF026H	ポート3モード・レジスタ	PM3	R/W				FFH
FFFFFF02AH	ポート5モード・レジスタ	PM5	R/W				FFH
FFFFFF02CH	ポート6モード・レジスタ	PM6	R/W				FFH
FFFFFF030H	ポート8モード・レジスタ	PM8	R/W				FFH
FFFFFF032H	ポート9モード・レジスタ	PM9	R/W				FFH
FFFFFF034H	ポート10モード・レジスタ	PM10	R/W				FFH
FFFFFF040H	ポート0モード・コントロール・レジスタ	PMC0	R/W				00H
FFFFFF042H	ポート1モード・コントロール・レジスタ	PMC1	R/W				00H
FFFFFF044H	ポート2モード・コントロール・レジスタ	PMC2	R/W				01H
FFFFFF046H	ポート3モード・コントロール・レジスタ	PMC3	R/W				00H
FFFFFF04CH	メモリ拡張モード・レジスタ	MM	R/W				07H/0FH
FFFFFF050H	ポート8モード・コントロール・レジスタ	PMC8	R/W				FFH
FFFFFF052H	ポート9モード・コントロール・レジスタ	PMC9	R/W				FFH
FFFFFF054H	ポート10モード・コントロール・レジスタ	PMC10	R/W				00H
FFFFFF060H	データ・ウェイト・コントロール・レジスタ1	DWC1	R/W				FFFFH
FFFFFF062H	バス・サイクル・コントロール・レジスタ	BCC	R/W				5555H
FFFFFF064H	バス・サイクル・タイプ・コントロール・レジスタ	BCT	R/W				0000H
FFFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC	R/W				5555H/0000H
FFFFFF06AH	データ・ウェイト・コントロール・レジスタ2	DWC2	R/W				FFH
FFFFFF06CH	フライバイ転送データ・ウェイト・コントロール・レジスタ	FDW	R/W				00H
FFFFFF070H	パワー・セーブ・コントロール・レジスタ	PSC	R/W				00H
FFFFFF072H	クロック・コントロール・レジスタ	CKC	R/W				00H
FFFFFF078H	システム・ステータス・レジスタ	SYS	R/W				000000xB
FFFFFF084H	ポー・レート・ジェネレータ・コンペア・レジスタ0	BRGC0	R/W				不定
FFFFFF086H	ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ0	BPRM0	R/W				00H
FFFFFF088H	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSIM0	R/W				00H
FFFFFF08AH	シリアルI/Oシフト・レジスタ0	SIO0	R/W				不定
FFFFFF094H	ポー・レート・ジェネレータ・コンペア・レジスタ1	BRGC1	R/W				不定
FFFFFF096H	ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ1	BPRM1	R/W				00H
FFFFFF098H	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSIM1	R/W				00H

アドレス	レジスタ名称	略号	R/W	操作可能ビット			初期値
				1ビット	8ビット	16ビット	
FFFFFF09AH	シリアルI/Oシフト・レジスタ1	SIO1	R/W				不定
FFFFFF0C0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	ASIM00	R/W				80H
FFFFFF0C2H	アシンクロナス・シリアル・インタフェース・モード・レジスタ01	ASIM01	R/W				00H
FFFFFF0C4H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0	R				00H
FFFFFF0C8H	受信バッファ0(9ビット)	RXB0	R				不定
FFFFFF0CAH	受信バッファ0L(下位8ビット)	RXB0L	R				不定
FFFFFF0CCH	送信シフト・レジスタ0(9ビット)	TXS0	W				不定
FFFFFF0CEH	送信シフト・レジスタ0L(下位8ビット)	TXS0L	W				不定
FFFFFF0D0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ10	ASIM10	R/W				80H
FFFFFF0D2H	アシンクロナス・シリアル・インタフェース・モード・レジスタ11	ASIM11	R/W				00H
FFFFFF0D4H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	ASIS1	R				00H
FFFFFF0D8H	受信バッファ1(9ビット)	RXB1	R				不定
FFFFFF0DAH	受信バッファ1L(下位8ビット)	RXB1L	R				不定
FFFFFF0DCH	送信シフト・レジスタ1(9ビット)	TXS1	W				不定
FFFFFF0DEH	送信シフト・レジスタ1L(下位8ビット)	TXS1L	W				不定
FFFFFF100H	割り込み制御レジスタ	OVIC10	R/W				47H
FFFFFF102H	割り込み制御レジスタ	OVIC11	R/W				47H
FFFFFF104H	割り込み制御レジスタ	OVIC12	R/W				47H
FFFFFF106H	割り込み制御レジスタ	OVIC13	R/W				47H
FFFFFF10CH	割り込み制御レジスタ	CMIC40	R/W				47H
FFFFFF10EH	割り込み制御レジスタ	CMIC41	R/W				47H
FFFFFF110H	割り込み制御レジスタ	P10IC0	R/W				47H
FFFFFF112H	割り込み制御レジスタ	P10IC1	R/W				47H
FFFFFF114H	割り込み制御レジスタ	P10IC2	R/W				47H
FFFFFF116H	割り込み制御レジスタ	P10IC3	R/W				47H
FFFFFF118H	割り込み制御レジスタ	P11IC0	R/W				47H
FFFFFF11AH	割り込み制御レジスタ	P11IC1	R/W				47H
FFFFFF11CH	割り込み制御レジスタ	P11IC2	R/W				47H
FFFFFF11EH	割り込み制御レジスタ	P11IC3	R/W				47H
FFFFFF120H	割り込み制御レジスタ	P12IC0	R/W				47H
FFFFFF122H	割り込み制御レジスタ	P12IC1	R/W				47H
FFFFFF124H	割り込み制御レジスタ	P12IC2	R/W				47H
FFFFFF126H	割り込み制御レジスタ	P12IC3	R/W				47H
FFFFFF128H	割り込み制御レジスタ	P13IC0	R/W				47H
FFFFFF12AH	割り込み制御レジスタ	P13IC1	R/W				47H
FFFFFF12CH	割り込み制御レジスタ	P13IC2	R/W				47H
FFFFFF12EH	割り込み制御レジスタ	P13IC3	R/W				47H
FFFFFF140H	割り込み制御レジスタ	DMAIC0	R/W				47H
FFFFFF142H	割り込み制御レジスタ	DMAIC1	R/W				47H
FFFFFF144H	割り込み制御レジスタ	DMAIC2	R/W				47H
FFFFFF146H	割り込み制御レジスタ	DMAIC3	R/W				47H
FFFFFF148H	割り込み制御レジスタ	CSIC0	R/W				47H
FFFFFF14AH	割り込み制御レジスタ	CSIC1	R/W				47H
FFFFFF150H	割り込み制御レジスタ	SEIC0	R/W				47H
FFFFFF152H	割り込み制御レジスタ	SRIC0	R/W				47H

アドレス	レジスタ名称	略号	R/W	操作可能ビット			初期値
				1ビット	8ビット	16ビット	
FFFFF154H	割り込み制御レジスタ	STIC0	R/W				47H
FFFFF156H	割り込み制御レジスタ	SEIC1	R/W				47H
FFFFF158H	割り込み制御レジスタ	SRIC1	R/W				47H
FFFFF15AH	割り込み制御レジスタ	STIC1	R/W				47H
FFFFF15CH	割り込み制御レジスタ	ADIC	R/W				47H
FFFFF166H	インサース・プライオリティ・レジスタ	ISPR	R				00H
FFFFF170H	コマンド・レジスタ	PRCMD	W				不定
FFFFF180H	外部割り込みモード・レジスタ0	INTM0	R/W				00H
FFFFF182H	外部割り込みモード・レジスタ1	INTM1	R/W				00H
FFFFF184H	外部割り込みモード・レジスタ2	INTM2	R/W				00H
FFFFF188H	外部割り込みモード・レジスタ4	INTM4	R/W				00H
FFFFF1A0H	DMAソース・アドレス・レジスタ0H	DSA0H	R/W				不定
FFFFF1A2H	DMAソース・アドレス・レジスタ0L	DSA0L	R/W				不定
FFFFF1A4H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H	R/W				不定
FFFFF1A6H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L	R/W				不定
FFFFF1A8H	DMAソース・アドレス・レジスタ1H	DSA1H	R/W				不定
FFFFF1AAH	DMAソース・アドレス・レジスタ1L	DSA1L	R/W				不定
FFFFF1ACH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H	R/W				不定
FFFFF1AEH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L	R/W				不定
FFFFF1B0H	DMAソース・アドレス・レジスタ2H	DSA2H	R/W				不定
FFFFF1B2H	DMAソース・アドレス・レジスタ2L	DSA2L	R/W				不定
FFFFF1B4H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H	R/W				不定
FFFFF1B6H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L	R/W				不定
FFFFF1B8H	DMAソース・アドレス・レジスタ3H	DSA3H	R/W				不定
FFFFF1BAH	DMAソース・アドレス・レジスタ3L	DSA3L	R/W				不定
FFFFF1BCH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H	R/W				不定
FFFFF1BEH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L	R/W				不定
FFFFF1E0H	DMAバイト・カウント・レジスタ0	DBC0	R/W				不定
FFFFF1E2H	DMAバイト・カウント・レジスタ1	DBC1	R/W				不定
FFFFF1E4H	DMAバイト・カウント・レジスタ2	DBC2	R/W				不定
FFFFF1E6H	DMAバイト・カウント・レジスタ3	DBC3	R/W				不定
FFFFF1F0H	DMAアドレッシング・コントロール・レジスタ0	DADC0	R/W				0000H
FFFFF1F2H	DMAアドレッシング・コントロール・レジスタ1	DADC1	R/W				0000H
FFFFF1F4H	DMAアドレッシング・コントロール・レジスタ2	DADC2	R/W				0000H
FFFFF1F6H	DMAアドレッシング・コントロール・レジスタ3	DADC3	R/W				0000H
FFFFF200H	DRAMコンフィギュレーション・レジスタ0	DRC0	R/W				3FC1H
FFFFF202H	DRAMコンフィギュレーション・レジスタ1	DRC1	R/W				3FC1H
FFFFF204H	DRAMコンフィギュレーション・レジスタ2	DRC2	R/W				3FC1H
FFFFF206H	DRAMコンフィギュレーション・レジスタ3	DRC3	R/W				3FC1H
FFFFF210H	リフレッシュ・コントロール・レジスタ0	RFC0	R/W				0000H
FFFFF212H	リフレッシュ・コントロール・レジスタ1	RFC1	R/W				0000H
FFFFF214H	リフレッシュ・コントロール・レジスタ2	RFC2	R/W				0000H
FFFFF216H	リフレッシュ・コントロール・レジスタ3	RFC3	R/W				0000H
FFFFF218H	リフレッシュ・ウエイト・コントロール・レジスタ	RWC	R/W				00H
FFFFF220H	DRAMタイプ・コンフィギュレーション・レジスタ	DTC	R/W				0000H

アドレス	レジスタ名称	略号	R/W	操作可能ビット			初期値
				1ビット	8ビット	16ビット	
FFFFFF224H	ページROMコンフィギュレーション・レジスタ	PRC	R/W				E0H
FFFFFF230H	タイマ・オーバフロー・ステータス・レジスタ	TOVS	R/W				00H
FFFFFF240H	タイマ・ユニット・モード・レジスタ10	TUM10	R/W				0000H
FFFFFF242H	タイマ・コントロール・レジスタ10	TMC10	R/W				00H
FFFFFF244H	タイマ出力コントロール・レジスタ10	TOC10	R/W				00H
FFFFFF250H	タイマ10	TM10	R				0000H
FFFFFF252H	キャプチャ/コンペア・レジスタ100	CC100	R/W				不定
FFFFFF254H	キャプチャ/コンペア・レジスタ101	CC101	R/W				不定
FFFFFF256H	キャプチャ/コンペア・レジスタ102	CC102	R/W				不定
FFFFFF258H	キャプチャ/コンペア・レジスタ103	CC103	R/W				不定
FFFFFF260H	タイマ・ユニット・モード・レジスタ11	TUM11	R/W				0000H
FFFFFF262H	タイマ・コントロール・レジスタ11	TMC11	R/W				00H
FFFFFF264H	タイマ出力コントロール・レジスタ11	TOC11	R/W				00H
FFFFFF270H	タイマ11	TM11	R				0000H
FFFFFF272H	キャプチャ/コンペア・レジスタ110	CC110	R/W				不定
FFFFFF274H	キャプチャ/コンペア・レジスタ111	CC111	R/W				不定
FFFFFF276H	キャプチャ/コンペア・レジスタ112	CC112	R/W				不定
FFFFFF278H	キャプチャ/コンペア・レジスタ113	CC113	R/W				不定
FFFFFF280H	タイマ・ユニット・モード・レジスタ12	TUM12	R/W				0000H
FFFFFF282H	タイマ・コントロール・レジスタ12	TMC12	R/W				00H
FFFFFF284H	タイマ出力コントロール・レジスタ12	TOC12	R/W				00H
FFFFFF290H	タイマ12	TM12	R				0000H
FFFFFF292H	キャプチャ/コンペア・レジスタ120	CC120	R/W				不定
FFFFFF294H	キャプチャ/コンペア・レジスタ121	CC121	R/W				不定
FFFFFF296H	キャプチャ/コンペア・レジスタ122	CC122	R/W				不定
FFFFFF298H	キャプチャ/コンペア・レジスタ123	CC123	R/W				不定
FFFFFF2A0H	タイマ・ユニット・モード・レジスタ13	TUM13	R/W				0000H
FFFFFF2A2H	タイマ・コントロール・レジスタ13	TMC13	R/W				00H
FFFFFF2B0H	タイマ13	TM13	R				0000H
FFFFFF2B2H	キャプチャ/コンペア・レジスタ130	CC130	R/W				不定
FFFFFF2B4H	キャプチャ/コンペア・レジスタ131	CC131	R/W				不定
FFFFFF2B6H	キャプチャ/コンペア・レジスタ132	CC132	R/W				不定
FFFFFF2B8H	キャプチャ/コンペア・レジスタ133	CC133	R/W				不定
FFFFFF342H	タイマ・コントロール・レジスタ40	TMC40	R/W				00H
FFFFFF346H	タイマ・コントロール・レジスタ41	TMC41	R/W				00H
FFFFFF350H	タイマ40	TM40	R				0000H
FFFFFF352H	コンペア・レジスタ40	CM40	R/W				不定
FFFFFF354H	タイマ41	TM41	R				0000H
FFFFFF356H	コンペア・レジスタ41	CM41	R/W				不定
FFFFFF380H	A/Dコンバータ・モード・レジスタ0	ADM0	R/W				00H
FFFFFF382H	A/Dコンバータ・モード・レジスタ1	ADM1	R/W				07H
FFFFFF390H	A/D変換結果レジスタ0	ADCR0	R				不定
FFFFFF392H	A/D変換結果レジスタ0H	ADCR0H	R				不定
FFFFFF394H	A/D変換結果レジスタ1	ADCR1	R				不定
FFFFFF396H	A/D変換結果レジスタ1H	ADCR1H	R				不定

アドレス	レジスタ名称	略号	R/W	操作可能ビット			初期値
				1ビット	8ビット	16ビット	
FFFFFF398H	A/D変換結果レジスタ2	ADCR2	R				不定
FFFFFF39AH	A/D変換結果レジスタ2H	ADCR2H	R				不定
FFFFFF39CH	A/D変換結果レジスタ3	ADCR3	R				不定
FFFFFF39EH	A/D変換結果レジスタ3H	ADCR3H	R				不定
FFFFFF41AH	ポートX	PX	R/W				不定
FFFFFF43AH	ポートXモード・レジスタ	PMX	W				FFH
FFFFFF45AH	ポートXモード・コントロール・レジスタ	PMCX	W				E0H
FFFFFF580H	ポート/コントロール選択レジスタ0	PCS0	R/W				00H
FFFFFF582H	ポート/コントロール選択レジスタ1	PCS1	R/W				00H
FFFFFF590H	ポート/コントロール選択レジスタ8	PCS8	R/W				00H
FFFFFF5D0H	DMAディスエーブル・ステータス・レジスタ	DDIS	R				00H
FFFFFF5D2H	DMAリスタート・レジスタ	DRST	R/W				00H
FFFFFF5E0H	DMAトリガ要因レジスタ0	DTFR0	R/W				00H
FFFFFF5E2H	DMAトリガ要因レジスタ1	DTFR1	R/W				00H
FFFFFF5E4H	DMAトリガ要因レジスタ2	DTFR2	R/W				00H
FFFFFF5E6H	DMAトリガ要因レジスタ3	DTFR3	R/W				00H
FFFFFF5F0H	DMAチャンネル・コントロール・レジスタ0	DCHC0	R/W				00H
FFFFFF5F2H	DMAチャンネル・コントロール・レジスタ1	DCHC1	R/W				00H
FFFFFF5F4H	DMAチャンネル・コントロール・レジスタ2	DCHC2	R/W				00H
FFFFFF5F6H	DMAチャンネル・コントロール・レジスタ3	DCHC3	R/W				00H

3.4.9 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。この特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作時はシステム・ステータス・レジスタ (SYS) に報告されます。V850E/MS2にはクロック・コントロール・レジスタ (CKC) とパワー・セーブ・コントロール・レジスタ (PSC) の2つの特定レジスタがあります。CKCレジスタについては8.3.3を、PSCレジスタについては8.5.2を参照してください。

次に特定レジスタへのアクセス・シーケンスを示します。

特定レジスタへのデータ設定は以下のシーケンスで行います。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

で用意した汎用レジスタをコマンド・レジスタ (PRCMD) に書き込む。

で用意した汎用レジスタを使って特定レジスタを書き込む (次の命令で行います)。

- ・ストア命令 (ST/SST命令)
- ・ビット操作命令 (SET1/CLR1/NOT1命令)

IDLE, ソフトウェアSTOPモードに移行する場合は、NOP命令を挿入する (1命令)。

```
例      MOV    0x04, r10
        ST.B  r10, PRCMD [r0]
        ST.B  r10, PSC [r0]
        NOP
```

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

注意 DMA転送によるPRCMDレジスタや特定レジスタへの書き込みはしないでください。

備考1 . コマンド・レジスタに対するストア命令では、割り込み受け付けを行いません。

これは、プログラムで上記 `ST` を連続したストア命令で行うことを前提としています。 `ST` 間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります、誤動作の要因となるので注意が必要です。

2 . PRCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定 (上記例の `MOV`) で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み (上記例の `ST`) でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。

3 . ソフトウェアSTOPモード、IDLEモードに設定するためのPSCレジスタに対するストア命令では、直後にNOP命令を1命令以上挿入する必要があります。各パワー・セーブ・モードの割り込みによる解除、割り込み処理を実行したあとの復帰時にはストア命令の直後の1命令は実行されず、その次の命令から実行を開始します。

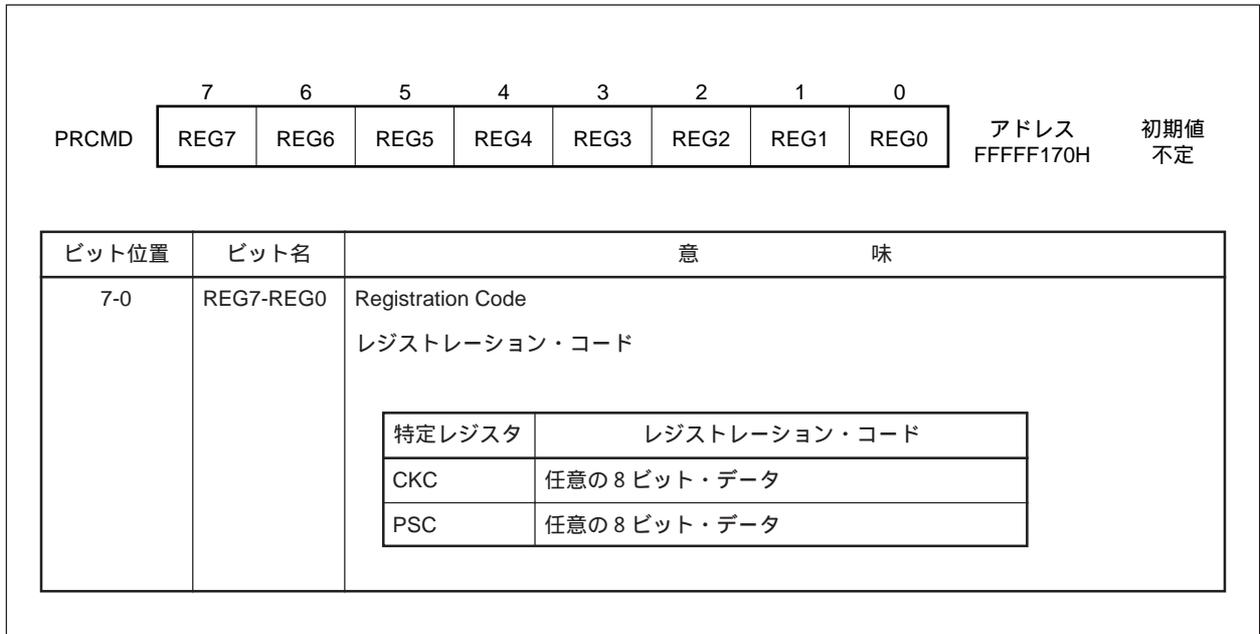
```
[ 記述例 ]      ST reg_code, PRCMD ; PRCMD書き込み
                  ( reg_code : レジストレーション・コード )
                ST data, PSC      ; PSCレジスタ設定
                NOP                ; ダミー命令 ( 1 命令 )
                ( next instruction ) ; ソフトウェアSTOP/IDLEモード解除後の実行ルーチン
                ⋮                  ⋮
```

PSCレジスタの設定にビット操作命令を使用した場合も同様です。

(1) コマンド・レジスタ (PRCMD)

コマンド・レジスタ (PRCMD) は、プログラムの暴走などにより特定レジスタへの不正書き込みが発生しないよう特定レジスタへのライト・アクセス時に使用するレジスタです。8ビット単位でライトが可能です。リード時は不定値になります。

不正なストア動作の発生は、SYSレジスタのPRERRビットでチェックできます。



(2) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。8/1ビット単位でリード，ライト可能です。

	7	6	5	4	3	2	1	0		
SYS	0	0	0	PRERR	0	0	0	LOCK	アドレス	初期値
									FFFFFF078H	0000000xB

ビット位置	ビット名	意味
4	PRERR	Protection Error Flag 特定レジスタへの書き込みが正しいシーケンスで行われず，プロテクション・エラーが発生したことを示す累積フラグです注。 0：プロテクション・エラーは発生していない。 1：プロテクション・エラーが発生した。
0	LOCK	Lock Status Flag 読み出し専用フラグです。PLLのロック状態を示します（詳細は，8.4 PLLロックアップを参照）。 0：ロック中である。 1：アンロック状態である。

注 PRERRフラグの動作条件は次のとおりです。

- セット条件： 最も最近の内蔵周辺I/Oに対するストア命令動作がPRCMDレジスタへの書き込み動作のない状態で，特定レジスタへの書き込み動作を行ったとき。
(PRERR = 1) PRCMDレジスタへの書き込み動作後の最初のストア命令動作が，特定レジスタ以外の内蔵周辺I/Oレジスタに対するものであるとき。
- リセット条件： SYSレジスタのPRERRフラグに0を書き込んだとき。
(PRERR = 0) システム・リセット時。

第4章 バス制御機能

V850E/MS2は、外部にROM, RAM等のメモリやI/O等を接続できる外部バス・インタフェース機能を内蔵していません。

4.1 特徴

16ビット / 8ビット・データ・バス・サイジング機能

4空間のチップ・セレクト出力機能

ウエイト機能

- 各メモリ・ブロックごとに最大7ステートのプログラマブル・ウエイト機能

- WAIT端子による外部ウエイト機能

アイドル・ステート挿入機能

バス使用権調停機能

バス・ホールド機能

ポートとの兼用端子で、外部デバイスとの接続が可能

★ 4.2 バス制御端子

外部デバイスの接続には、次の端子を使用します。

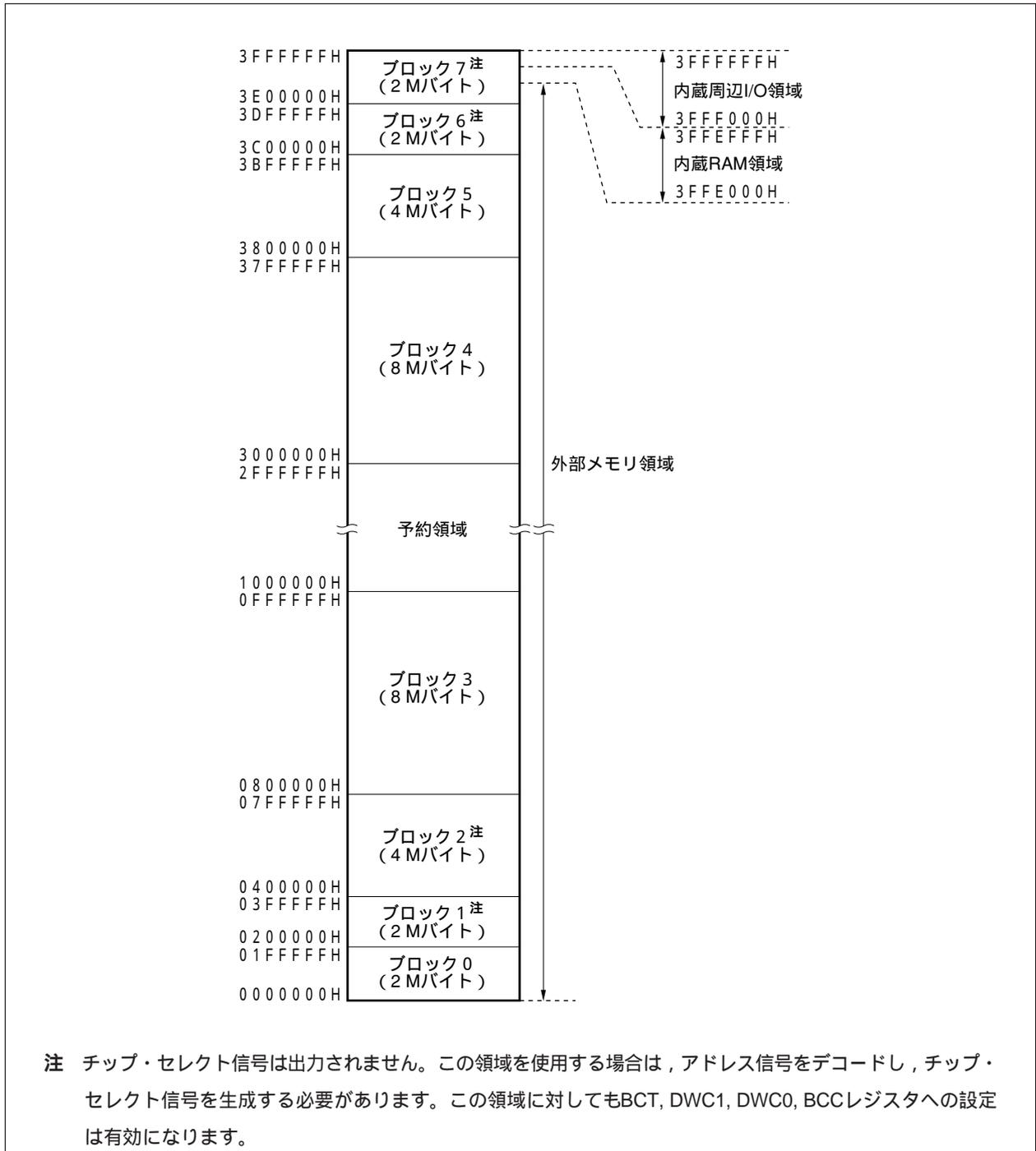
バス制御端子 (コントロール・モード時の機能)	ポート・モード時の機能	ポート/コントロール・モードの 切り替えを行うレジスタ
データ・バス (D0-D7)	-	-
データ・バス (D8-D15)	P50-P57 (ポート5)	MM
アドレス・バス (A0-A15)	-	-
アドレス・バス (A16-A23)	P60-P67 (ポート6)	MM
チップ・セレクト ($\overline{CS0}$, $\overline{CS3}$ - $\overline{CS5}$, $\overline{RAS3}$ - $\overline{RAS5}$, \overline{IORD} , \overline{IOWR})	P80, P83-P85 (ポート8)	PMC8
リード/ライト制御 (\overline{LCAS} , \overline{UCAS} , \overline{LWR} , \overline{UWR} , \overline{RD} , \overline{WE} , \overline{OE})	P90-P93, P95 (ポート9)	PMC9
バス・サイクル・スタート (\overline{BCYST})	P94 (ポート9)	PMC9
外部ウエイト制御 (\overline{WAIT})	PX6 (ポートX)	PMCX
バス・ホールド制御 (\overline{HLDAK} , \overline{HLDRQ})	P96, P97 (ポート9)	PMC9
内部システム・クロック (CLKOUT)	PX7 (ポートX)	PMCX

備考 システム・リセットにより各バス制御端子は無条件に有効になります (ただし、D8-D15はROMレス・モード0のときだけ有効)。

詳細は、3.4.6 外部拡張モードを参照してください。

4.3 メモリ・ブロック機能

64 Mバイトのメモリ空間は2 M, 4 M, 8 Mバイト単位のメモリ・ブロックに分割され, 1 ブロック単位にプログラマブル・ウェイト機能, バス・サイクル動作モードを独立に制御できます。



注 チップ・セレクト信号は出力されません。この領域を使用する場合は, アドレス信号をデコードし, チップ・セレクト信号を生成する必要があります。この領域に対してもBCT, DWC1, DWC0, BCCレジスタへの設定は有効になります。

4.4 バス・サイクル・タイプ制御機能

V850E/MS2は、次のような外部デバイスを各メモリ・ブロックごとに直結できます。

- ・SRAM，外部ROM，外部I/O
- ・ページROM
- ・DRAM

接続する外部デバイスは、バス・サイクル・タイプ・コンフィギュレーション・レジスタ（BCT）で指定します。

4.4.1 バス・サイクル・タイプ・コンフィギュレーション・レジスタ（BCT）

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
BCT	BT71	BT70	BT61	BT60	BT51	BT50	BT41	BT40	BT31	BT30	BT21	BT20	BT11	BT10	BT01 ^{注1}	BT00	アドレス FFFFFF064H	初期値 0000H
メモリ・ ブロック	└──┬──┘		└──┬──┘		└──┬──┘		└──┬──┘		└──┬──┘		└──┬──┘		└──┬──┘		└──┬──┘			
	7		6		5		4		3		2		1		0			

ビット位置	ビット名	意味															
15-0	BTn1, BTn0 (n= 7-0)	Bus Cycle Type メモリ・ブロックnに接続する外部デバイスを指定します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 10%;">BTn1</th> <th style="width: 10%;">BTn0</th> <th style="width: 80%;">メモリ・ブロックnに直結する外部デバイス</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>SRAM，外部ROM，外部I/O</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>ページROM</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>DRAM^{注2}</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> </tbody> </table>	BTn1	BTn0	メモリ・ブロックnに直結する外部デバイス	0	0	SRAM，外部ROM，外部I/O	0	1	ページROM	1	0	DRAM ^{注2}	1	1	設定禁止
BTn1	BTn0	メモリ・ブロックnに直結する外部デバイス															
0	0	SRAM，外部ROM，外部I/O															
0	1	ページROM															
1	0	DRAM ^{注2}															
1	1	設定禁止															

注1．BT01ビットには必ず0を設定してください。

2．DTCレジスタにより、各メモリ・ブロックごとに、4種類のDRAMアクセス・タイプ設定から1種類を選択できます（5.3.5 DRAMタイプ・コンフィギュレーション・レジスタ（DTC）参照）。

注意 BCTレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCTレジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域へのアクセスは可能です。

チップ・セレクト信号 ($\overline{CS0}$, $\overline{CS3}/\overline{RAS3}$ - $\overline{CS5}/\overline{RAS5}$) は、ブロック0-7に対応して次のよう出力します。

メモリ・ブロック \ 外部デバイス	SRAM, 外部ROM, 外部I/O, ページROM	DRAM
ブロック0	$\overline{CS0}$	—
ブロック3	$\overline{CS3}$	$\overline{RAS3}$
ブロック4	$\overline{CS4}$	$\overline{RAS4}$
ブロック5	$\overline{CS5}$	$\overline{RAS5}$

4.5 バス・アクセス

4.5.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数は次のとおりです。

リソース (バス幅)		バス・サイクル形態	命令フェッチ		オペランド・データ・アクセス		
			通常アクセス	バースト・アクセス	通常アクセス	バースト・アクセス	
内蔵RAM (32ビット)			1または2	-	1	-	
内蔵周辺I/O (16ビット)			2+n	-	3+n	-	
外部 デバイス	SRAM, 外部ROM, 外部I/O (16/8ビット)		-	-	2+n	-	
	DMAフライバイ転送時		2+n	2+n	2+n	-	
	ページROM (16/8ビット)		3+n	2+n	2+n	2+n	
	高速ページDRAM (16/8ビット)		-	-	3+n	2+n	
	DMAフライバイ転送時		リード時	-	-	3+n	2+n
			ライト時	3+n	1+n	3+n	3+n
	EDO DRAM (16/8ビット)		-	-	3+n	1+n	
	DMAフライバイ転送時		リード時	-	-	3+n	2+n
ライト時					3+n	3+n	

備考1. 単位はクロック/アクセスです。

2. n: ウェイト挿入数

(1) 内蔵周辺I/Oインタフェース

内蔵周辺I/Oへのアクセス内容は外部バスに出力しません。したがって、命令フェッチ・アクセス時に、並行して内蔵周辺I/Oアクセスを行うことができます。

内蔵周辺I/Oアクセスは、基本的に3クロック・アクセスです。ただし、一部のタイマ/カウンタ機能の内蔵周辺I/Oレジスタへのアクセス時にウェイトが入ることがあります。

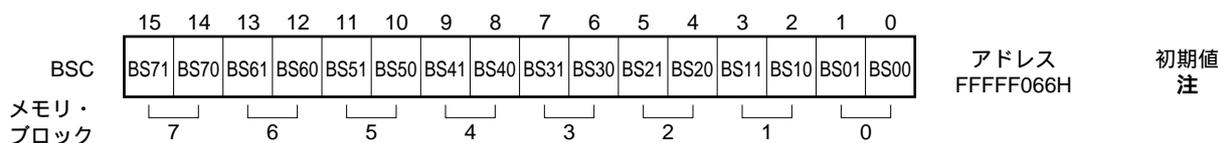
内蔵周辺I/Oレジスタ	アクセス	ウェイト数	サイクル数
CC1n0-CC1n3, TM1n (n = 0-5)	リード	1	4
	ライト	0/1	3/4
CM40, CM41	リード	0	3
	ライト	0/1	3/4
TM40, TM41	リード	0/1	3/4
	ライト	0	3
その他	リード	0	3
	ライト	0	3

4.5.2 バス・サイジング機能

バス・サイジング機能により、各メモリ・ブロックごとのデータ・バス幅を制御できます。データ・バス幅は、バス・サイズ・コンフィギュレーション・レジスタ (BSC) で設定します。

(1) バス・サイズ・コンフィギュレーション・レジスタ (BSC)

16ビット単位でリード/ライト可能です。



注 ROMレス・モード0のとき : 5555H
ROMレス・モード1のとき : 0000H

ビット位置	ビット名	意味												
15-0	BSn1, BSn0 (n=7-0)	Data Bus Width メモリ・ブロックnのデータ・バス幅を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>BSn1</th> <th>BSn0</th> <th>メモリ・ブロックnのデータ・バス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>16ビット</td> </tr> <tr> <td>1</td> <td>任意</td> <td>RFU (予約)</td> </tr> </tbody> </table>	BSn1	BSn0	メモリ・ブロックnのデータ・バス幅	0	0	8ビット	0	1	16ビット	1	任意	RFU (予約)
BSn1	BSn0	メモリ・ブロックnのデータ・バス幅												
0	0	8ビット												
0	1	16ビット												
1	任意	RFU (予約)												

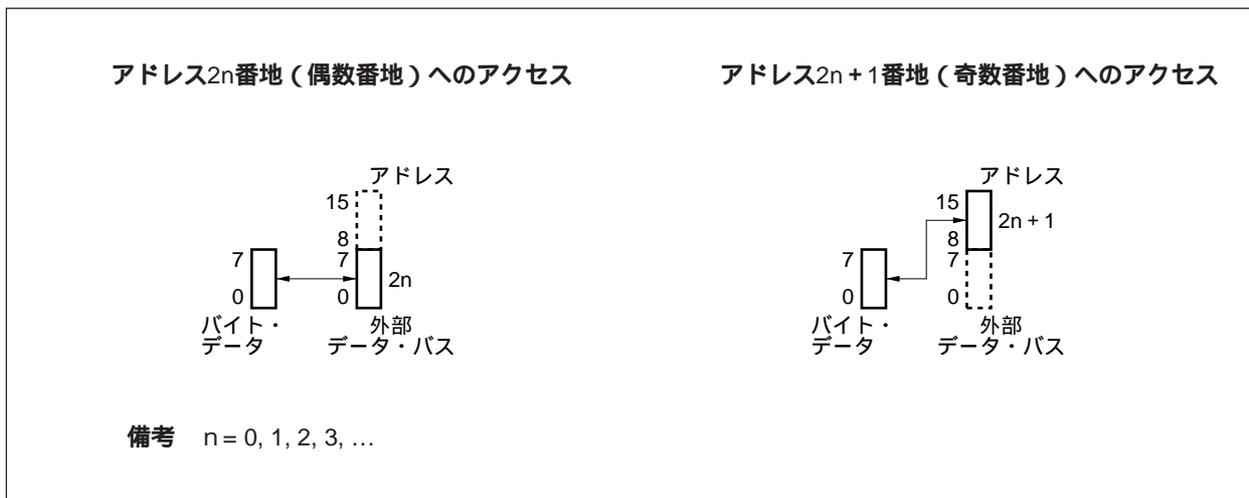
- 注意 1 . BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域へのアクセスは可能です。
- 2 . V850E/MS2用インサーキット・エミュレータ (IE-703102-MC) は、8ビット幅の外部ROMエミュレーションには対応していません。
- 3 . 8ビットのデータ・バス幅を選択した場合には、ライト信号はLWRのみアクティブになります。UWRはアクティブになりません。

4.5.3 バス幅

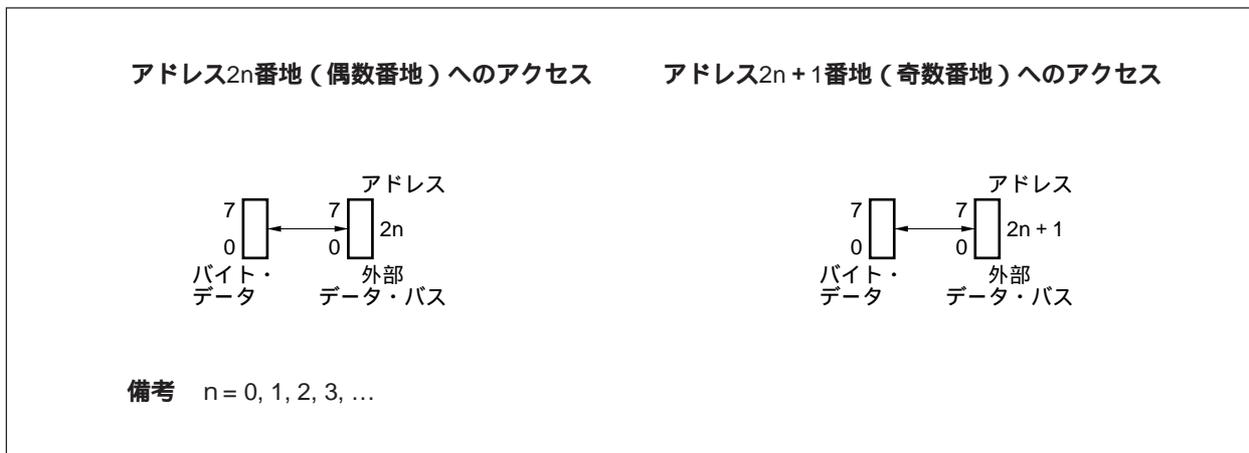
V850E/MS2が外部メモリ・アクセスを行う場合には、8、16、32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。すべてデータの下位側から順番にアクセスを行います。

(1) バイト・アクセス (8ビット)

(a) 16ビット・データ・バス幅時



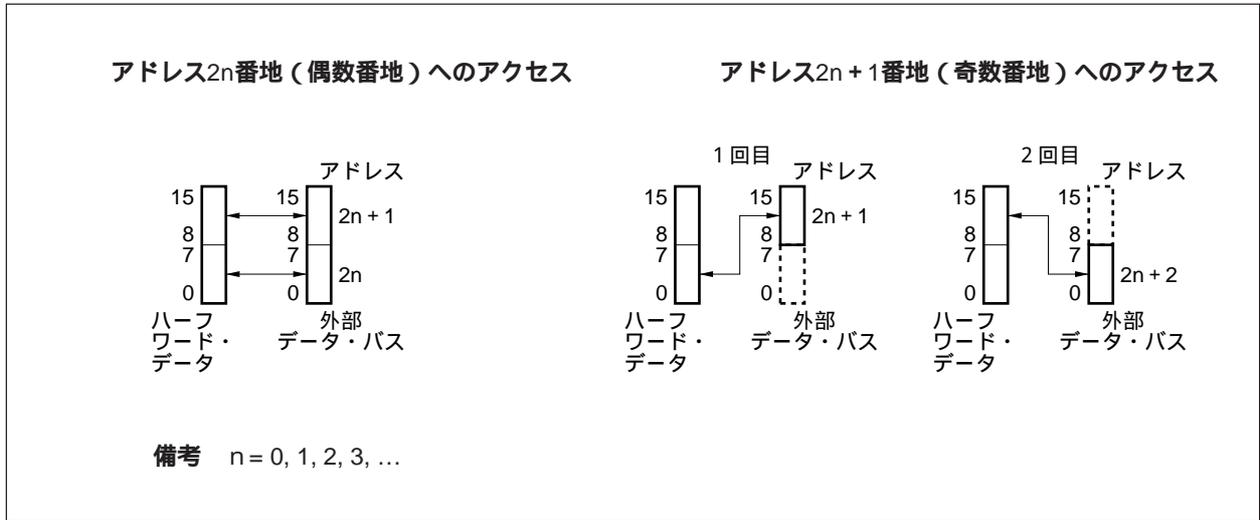
(b) 8ビット・データ・バス幅時



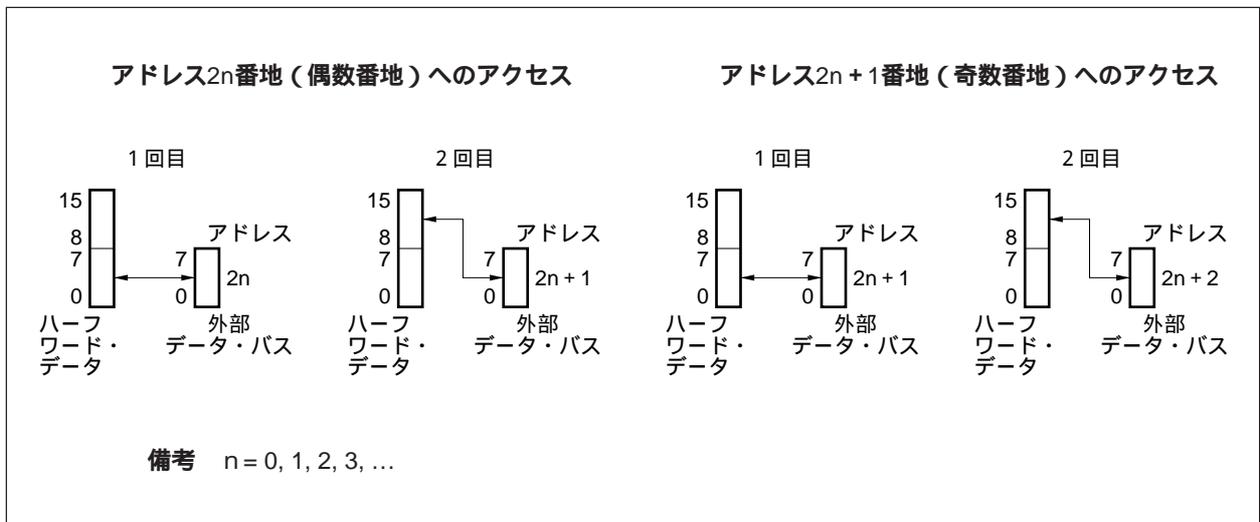
(2) ハーフワード・アクセス (16ビット)

外部メモリへのハーフワード・アクセスでは、データをそのままやりとりするか、下位バイト、上位バイトの順でアクセスします。

(a) 16ビット・データ・バス幅時



(b) 8ビット・データ・バス幅時

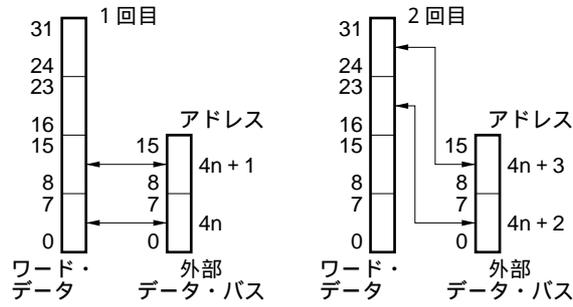


(3) ワード・アクセス (32ビット)

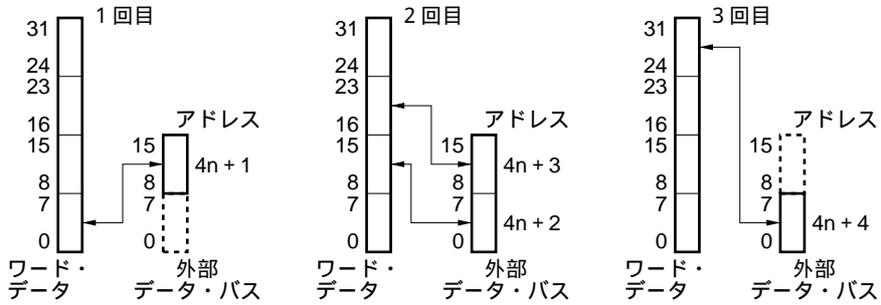
外部メモリへのワード・アクセスでは、下位ハーフワード、上位ハーフワードの順、または最下位バイトから最上位バイトの順でアクセスします。

(a) 16ビット・データ・バス幅時

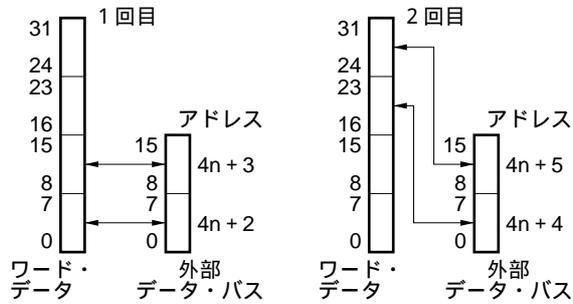
アドレス $4n$ 番地へのアクセス



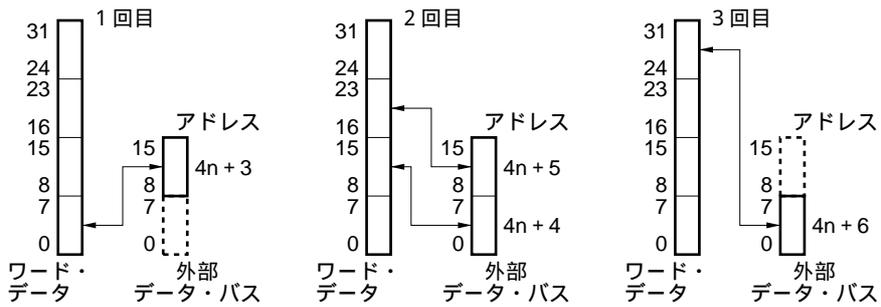
アドレス $4n+1$ 番地へのアクセス



アドレス $4n+2$ 番地へのアクセス



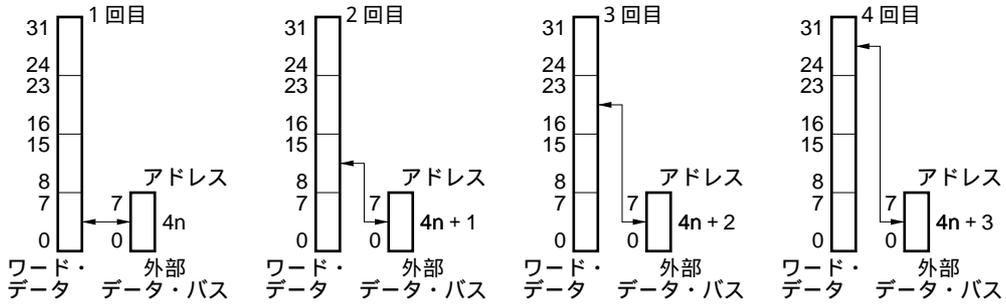
アドレス $4n+3$ 番地へのアクセス



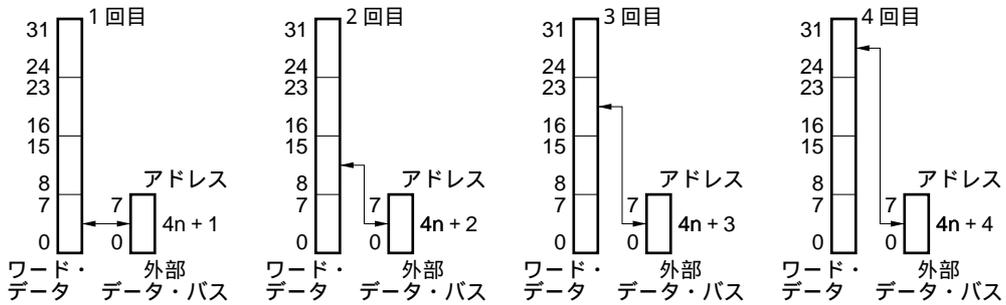
備考 $n = 0, 1, 2, 3, \dots$

(b) 8ビット・データ・バス幅時

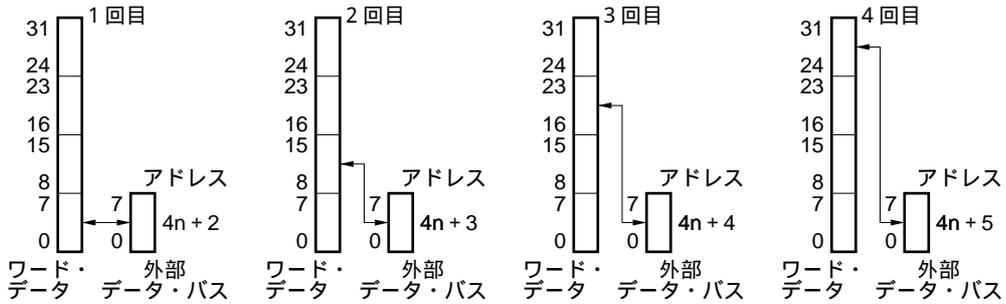
アドレス $4n$ 番地へのアクセス



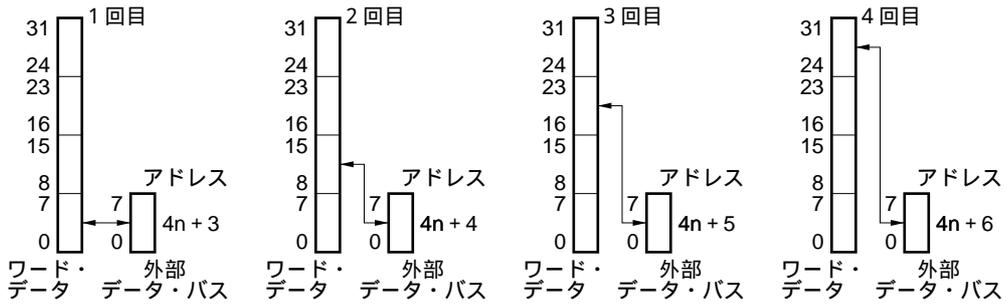
アドレス $4n+1$ 番地へのアクセス



アドレス $4n+2$ 番地へのアクセス



アドレス $4n+3$ 番地へのアクセス



備考 $n = 0, 1, 2, 3, \dots$

4.6 ウェイト機能

4.6.1 プログラマブル・ウェイト機能

低速メモリ，I/Oに対するインタフェースを容易に実現させることを目的とし，各メモリ・ブロックごとに，起動されるバス・サイクルに対し，最大7ステートのデータ・ウェイトを挿入可能です。

ウェイト数は，データ・ウェイト・コントロール・レジスタ1，2（DWC1，DWC2）の設定によりプログラマブルに指定可能です。システム・リセット直後は，全ブロックに対して7データ・ウェイトの挿入状態になります。

(1) データ・ウェイト・コントロール・レジスタ1，2（DWC1，DWC2）

DWC1レジスタは16ビット単位で，DWC2レジスタは8/1ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
DWC1	DW71	DW70	DW61	DW60	DW51	DW50	DW41	DW40	DW31	DW30	DW21	DW20	DW11	DW10	DW01	DW00	アドレス	初期値				
メモリ・ブロック	7							6			5		4		3		2		1	0	FFFFF060H	FFFFH
DWC2	DW72	DW62	DW52	DW42	DW32	DW22	DW12	DW02	アドレス	初期値												
メモリ・ブロック	7	6	5	4	3	2	1	0	FFFFF06AH	FFH												

レジスタ名	ビット位置	ビット名	意味																																				
DWC1	15-0	DWn1, DWn0 (n = 7-0)	Data Wait メモリ・ブロック n に挿入するウェイトのステート数を指定します。 DWC1レジスタとDWC2レジスタを組み合わせで設定します。																																				
DWC2	7-0	DWn2 (n = 7-0)	<table border="1"> <thead> <tr> <th>DWn2</th> <th>DWn1</th> <th>DWn0</th> <th>メモリ・ブロック n の挿入ウェイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>7</td></tr> </tbody> </table>	DWn2	DWn1	DWn0	メモリ・ブロック n の挿入ウェイト・ステート数	0	0	0	0	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
DWn2	DWn1	DWn0	メモリ・ブロック n の挿入ウェイト・ステート数																																				
0	0	0	0																																				
0	0	1	1																																				
0	1	0	2																																				
0	1	1	3																																				
1	0	0	4																																				
1	0	1	5																																				
1	1	0	6																																				
1	1	1	7																																				

注意1 . 内蔵RAM領域は，プログラマブル・ウェイトの対象外で，常にノー・ウェイト・アクセスを行います。

また，内蔵周辺I/O領域も，プログラマブル・ウェイトの対象外で，各周辺機能からのウェイト制御だけ行われます。

2 . 次の場合，DWC1，DWC2レジスタの設定は無効となります（ウェイト制御は各メモリ・コントローラごとに行います）。

- ・ DRAMアクセス
- ・ ページROMのオンページ・アクセス

3 . DWC1，DWC2レジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，DWC1，DWC2レジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域へのアクセスは可能です。

4.6.2 外部ウエイト機能

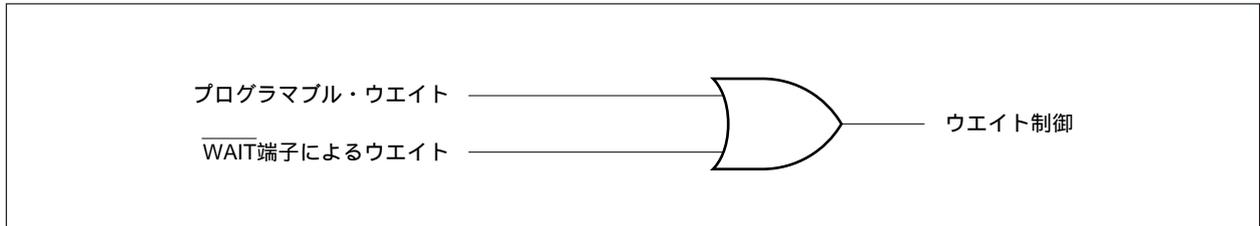
極端に遅いデバイスや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 ($\overline{\text{WAIT}}$) によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$ 入力は、CLKOUTに対する非同期入力が可能で、バス・サイクルのT1, TWステート直後のクロックの立ち下がりでサンプリングします。サンプル・タイミングにおける設定/保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

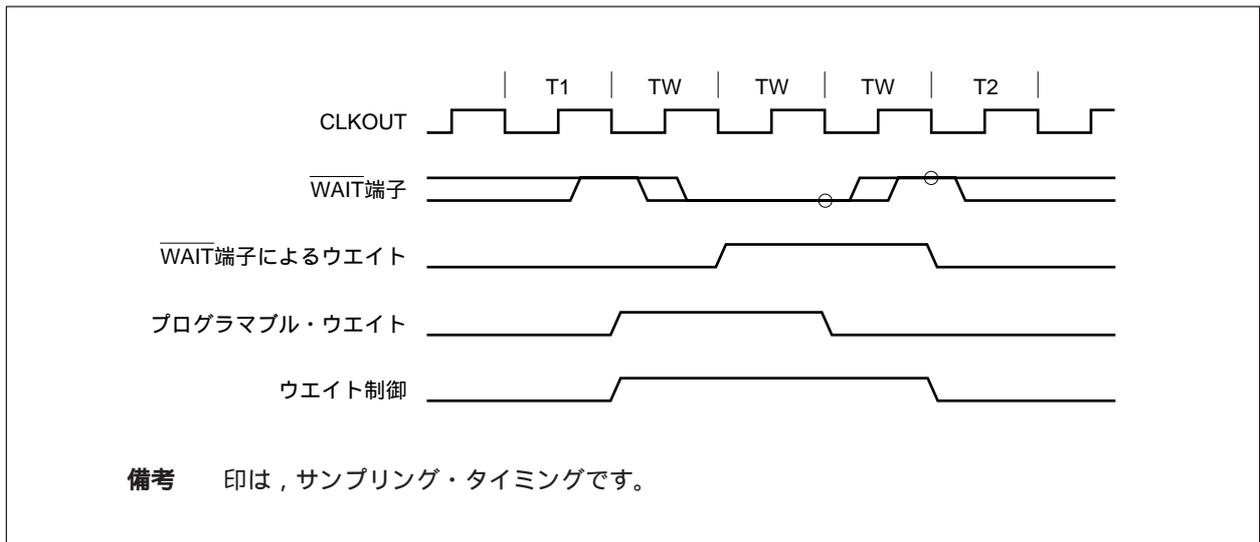
4.6.3 プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウエイト・サイクルの論理和 (OR) として挿入され、どちらか多い方のウエイト・サイクル数だけ挿入されます。



たとえば、プログラマブル・ウエイトが2ウエイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウエイトになります。

図4 - 1 ウエイト挿入例



4.6.4 ウェイト機能が有効なバス・サイクル

V850E/MS2は、各メモリ・ブロックごとに指定した各種メモリのタイプに応じて、ウェイト数を指定できません。

ウェイト機能が有効なバス・サイクルとウェイト設定を行うレジスタを次に示します。

表4-1 ウェイト機能が有効なバス・サイクル (1/2)

バス・サイクル		ウェイトの種類	プログラマブル・ウェイトの設定		WAIT端子 による ウェイト	
			上段：レジスタ 下段：ビット	ウェイト数		
SRAM, 外部ROM, 外部I/Oサイクル		データ・アクセス・ウェイト	DWC1, DWC2 DWxx	0-7		
ページROMサイクル	オフページ	データ・アクセス・ウェイト	DWC1, DWC2 DWxx	0-7		
	オンページ	データ・アクセス・ウェイト	PRC PRW0-PRW2	0-7		
EDO DRAM, 高速ページDRAMサイクル	リード・アクセス	オフページ	RASプリチャージ	DRCn RPC0n, RPC1n	0-3	×
			ロウ・アドレス・ホールド	DRCn RHC0n, RHC1n	0-3	×
			データ・アクセス・ウェイト	DRCn DAC0n, DAC1n	0-3	注
		オンページ	CASプリチャージ	DRCn CPC0n, CPC1n	0-3	×
			データ・アクセス・ウェイト	DRCn DAC0n, DAC1n	0-3	×
			ライト・アクセス	オフページ	RASプリチャージ	DRCn RPC0n, RPC1n
	ロウ・アドレス・ホールド	DRCn RHC0n, RHC1n			0-3	注
	データ・アクセス・ウェイト	DRCn DAC0n, DAC1n			0-3	×
	オンページ	CASプリチャージ		DRCn CPC0n, CPC1n	0-3	×
		データ・アクセス・ウェイト		DRCn DAC0n, DAC1n	0-3	×
		CBRリフレッシュ・サイクル		RASプリチャージ	RWC RRW0, RRW1	0-3
	RASアクティブ幅		RWC RCW0-RCW2	0-7	×	

注 EDO DRAMサイクル : ×
高速ページDRAMサイクル :

備考1 . : 有効 × : 無効

2 . n = 0-3

xx = 00-02, 10-12, 20-22, 30-32, 40-42, 50-52, 60-62, 70-72

表4-1 ウェイト機能が有効なバス・サイクル(2/2)

バス・サイクル		ウェイトの種類		プログラマブル・ウェイトの設定		WAIT端子 による ウェイト	
				上段：レジスタ 下段：ビット	ウェイト数		
CBRセルフ・リフレッシュ・サイクル		RASプリチャージ		RWC	0-3	×	
				RRW0, RRW1			
		RASアクティブ幅		RWC	0-7	×	
				RCW0-RCW2			
		セルフ・リフレッシュ・リリース幅		RWC	0-14	×	
				SRW0-SRW2			
DMAフライバイ 転送サイクル	外部I/O SRAM	データ・アクセス・ ウェイト	TW	DWC1, DWC2	0-7		
				DWxx			
			TF	FDW	0, 1	×	
				FDWm			
	DRAM 外部I/O	オフページ	RASプリチャージ		DRCn	0-3	×
					RPC0n, RPC1n		
			ロウ・アドレス・ホー ルド		DRCn	0-3	×
					RHC0n, RHC1n		
			データ・アクセス・ ウェイト	TW	DRCn	0-3	
					DAC0n, DAC1n		
		TF	FDW	0, 1	×		
			FDWm				
		オンページ	CASプリチャージ		DRCn	0-3	×
					CPC0n, CPC1n		
			データ・アクセス・ ウェイト	TW	DRCn	0-3	
					DAC0n, DAC1n		
	TF		FDW	0, 1	×		
			FDWm				
	外部I/O DRAM	オフページ	RASプリチャージ		DRCn	0-3	×
					RPC0n, RPC1n		
			ロウ・アドレス・ホー ルド		DRCn	0-3	
					RHC0n, RHC1n		
			データ・アクセス・ ウェイト	TW	DRCn	0-3	×
					DAC0n, DAC1n		
TF		FDW	0, 1	×			
		FDWm					
オンページ		CASプリチャージ		DRCn	1-3		
				CPC0n, CPC1n			
		データ・アクセス・ ウェイト	TW	DRCn	0-3	×	
				DAC0n, DAC1n			
	TF	FDW	0, 1	×			
		FDWm					

備考1 . : 有効 x : 無効

2 . n = 0-3

m = 0-7

xx = 00-02, 10-12, 20-22, 30-32, 40-42, 50-52, 60-62, 70-72

4.7 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし、各メモリ・ブロックごとに、リード・アクセス時のメモリのデータ出力フロート遅延時間 (t_{DF}) を確保するために、起動されるバス・サイクルに対し、T2ステート後に1ステートのアイドル・ステート (T1) を挿入可能です。T2ステートの次のバス・サイクルは、挿入されたアイドル・ステートのあとから開始します。

アイドル・ステート挿入の指定は、バス・サイクル・コントロール・レジスタ (BCC) の設定によりプログラマブルに指定可能です。

システム・リセット直後は、全ブロックに対してアイドル・ステートの挿入状態になります。

リード・サイクル後にライト・サイクルが続く場合のみ、アイドル・ステートが挿入されます。

(1) バス・サイクル・コントロール・レジスタ (BCC)

16ビット単位でリード/ライト可能です。

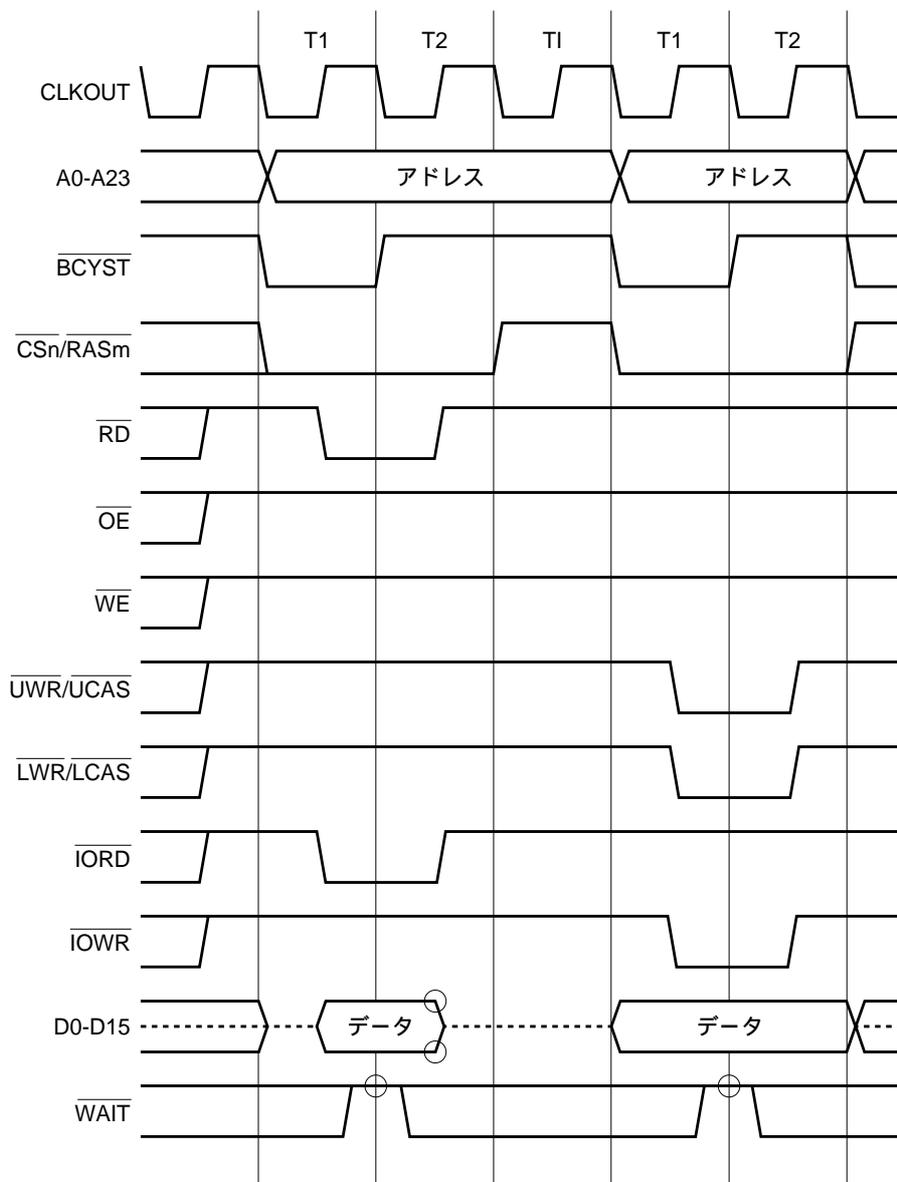
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
BCC	BC71	BC70	BC61	BC60	BC51	BC50	BC41	BC40	BC31	BC30	BC21	BC20	BC11	BC10	BC01	BC00	アドレス	初期値
メモリ・ブロック	7		6		5		4		3		2		1		0		FFFFF062H	5555H

ビット位置	ビット名	意味												
15-0	BCn1, BCn0 (n = 7-0)	Bus Cycle メモリ・ブロックnに対するアイドル・ステートの挿入を指定します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 15%;">BCn1</th> <th style="width: 15%;">BCn0</th> <th style="width: 70%;">メモリ・ブロックnに対するアイドル・ステート</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>挿入しない</td> </tr> <tr> <td>0</td> <td>1</td> <td>挿入する</td> </tr> <tr> <td>1</td> <td>任意</td> <td>RFU (予約)</td> </tr> </tbody> </table>	BCn1	BCn0	メモリ・ブロックnに対するアイドル・ステート	0	0	挿入しない	0	1	挿入する	1	任意	RFU (予約)
BCn1	BCn0	メモリ・ブロックnに対するアイドル・ステート												
0	0	挿入しない												
0	1	挿入する												
1	任意	RFU (予約)												

注意 1 . 内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。

2 . BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域へのアクセスは可能です。

(2) アイドル・ステート挿入タイミング



- 備考1. 印はサンプリング・タイミングです。
 2. 破線はハイ・インピーダンスを示します。
 3. n = 0, 3-5
 m = 3-5

4.8 バス・ホールド機能

4.8.1 機能概要

P96, P97端子がコントロール・モードに指定されていれば, $\overline{\text{HLDAK}}$, $\overline{\text{HLDRQ}}$ 機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になったことを受け付けると, 外部アドレス/データ・バス, 各種ストロブ端子をハイ・インピーダンス状態にし, 解放します(バス・ホールド状態)。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ(ハイ・レベル)になりバス獲得要求が解除されれば, 再びこれらの端子の駆動を開始します。

バス・ホールド期間中は, 外部メモリ・アクセスがあるまでV850E/MS2の内部動作を継続します。

バス・ホールド状態は, $\overline{\text{HLDAK}}$ 端子がアクティブ(ロウ・レベル)になったことにより知ることができます。

マルチプロセッサ構成など, バス・マスタが複数存在するようなシステムを構成することができます。

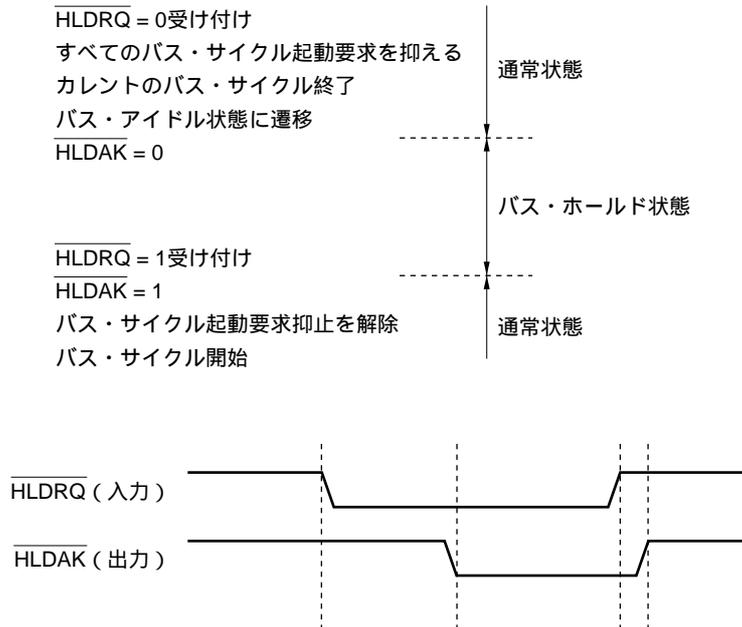
なお, 次のタイミングでは, バス・ホールド要求を受け付けません。

注意 リセット期間中の $\overline{\text{HLDRQ}}$ 機能は無効です。 $\overline{\text{RESET}}$ 端子と $\overline{\text{HLDRQ}}$ 端子を同時にアクティブにしたあと $\overline{\text{RESET}}$ 端子をインアクティブにすると, 1クロック・アイドル・サイクルが挿入されてから $\overline{\text{HLDAK}}$ 端子がアクティブとなります。なお, パワーオン・リセット時に $\overline{\text{HLDRQ}}$ 端子を同時にアクティブとした場合には, $\overline{\text{RESET}}$ 端子をインアクティブにしても $\overline{\text{HLDAK}}$ 端子はアクティブとなりません。V850E/MS2以外のバス・マスタが外部接続されているときには, パワーオン時のアービトレーションを $\overline{\text{RESET}}$ 信号にて行ってください。

状 態	データ・バス幅	アクセス形態	バス・ホールド要求を受け付けないタイミング
CPUバス・ロック	16ビット	偶数番地へのワード・アクセス	1回目と2回目の間
		奇数番地へのワード・アクセス	1回目と2回目の間 2回目と3回目の間
		奇数番地へのハーフワード・アクセス	1回目と2回目の間
	8ビット	ワード・アクセス	1回目と2回目の間
			2回目と3回目の間 3回目と4回目の間
		ハーフワード・アクセス	1回目と2回目の間
ビット操作命令のリード・モディファイ・ライト・アクセス	-	-	リード・アクセスとライト・アクセスの間

4.8.2 バス・ホールド手順

バス・ホールド状態遷移の手順を以下に示します。

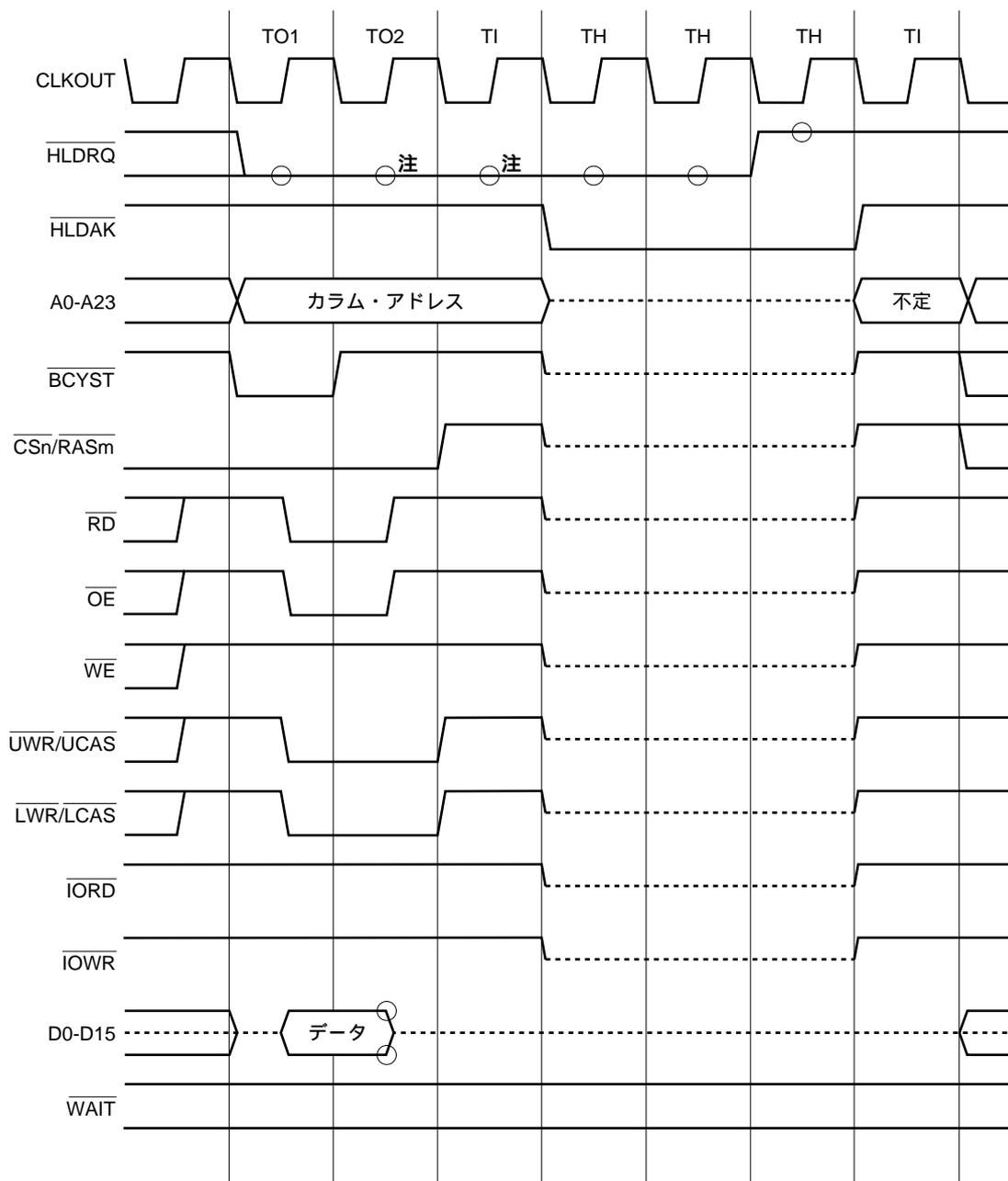


4.8.3 パワー・セーブ・モード時の動作

ソフトウェアSTOPモード期間中およびIDLEモード期間中は、内部システム・クロックが停止するため、 $\overline{\text{HLDQR}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDQR}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDAR}}$ 端子がアクティブになり、バス・ホールド状態になります。その後、 $\overline{\text{HLDQR}}$ 端子がインアクティブになると、 $\overline{\text{HLDAR}}$ 端子もインアクティブになり、バス・ホールド状態は解除され、再びHALTモードに戻ります。

4.8.4 バス・ホールド・タイミング



注 このサンプリングでHLDQRがインアクティブ（ハイ・レベル）の場合、バス・ホールド状態には移行しません。

備考1 . 印はサンプリング・タイミングです。

2 . 破線はハイ・インピーダンスを示します。

3 . n = 0, 3-5

m = 3-5

4 . DRAMアクセスからバス・ホールド状態のタイミングです。

4.9 バスの優先順位

外部バス・サイクルには、バス・ホールド、命令フェッチ、オペランド・データ・アクセス、DMAサイクル、リフレッシュ・サイクルの5つがあります。

優先順位は、バス・ホールドが最も高く、リフレッシュ・サイクル、DMAサイクル、命令フェッチ、オペランド・データ・アクセスの順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

また、CPUバス・クロック時のバス・アクセスとバス・アクセスの間にも、命令フェッチが挿入されることがあります。

表4-2 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い 低い	バス・ホールド	外部デバイス
	リフレッシュ・サイクル	DRAMコントローラ
	DMAサイクル	DMAコントローラ
	命令フェッチ	CPU
	オペランド・データ・アクセス	CPU

4.10 境界動作条件

4.10.1 プログラム空間

- (1) 内蔵周辺I/O領域への分岐または内蔵RAM領域から内蔵周辺I/O領域への連続フェッチは行わないでください。分岐や連続フェッチを行った場合、NOP命令コードのフェッチを継続し、外部メモリからのフェッチなどは行いません。
- (2) 内蔵RAM領域の上限に分岐命令がある場合の、内蔵周辺I/O領域にまたがるプリフェッチ動作（無効フェッチ）は発生しません。
- (3) バースト・フェッチは、メモリ・ブロック間にまたがって命令フェッチを行った場合、メモリ・ブロックの上限でバースト・フェッチをいったん終了し、次のメモリ・ブロックの下限からスタートアップ・サイクルを開始します。
- (4) バースト・フェッチは外部メモリ領域だけで有効です。メモリ・ブロック7では、内部アドレス・カウンタ値が外部メモリ領域の上限に達するとバースト・フェッチを終了します。

4.10.2 データ空間

V850E/MS2はアドレス・ミス・アライン機能を内蔵しています。

この機能により、データの形式（ワード・データ、ハーフワード・データ）にかかわらず、すべてのアドレスに対してデータを配置できます。ただし、ワード・データ、ハーフワード・データの場合、データが境界整列していないと、バス・サイクルが最低2回は発生し、バス効率が低下します。

(1) ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが1のとき、バイト長のバス・サイクルを2回生成します。

(2) ワード長のデータ・アクセスの場合

(a) アドレスの最下位ビットが1のとき、バイト長のバス・サイクル、ハーフワード長のバス・サイクル、バイト長のバス・サイクルの順でバス・サイクルを生成します。

(b) アドレスの下位2ビットが10のとき、ハーフワード長のバス・サイクルを2回生成します。

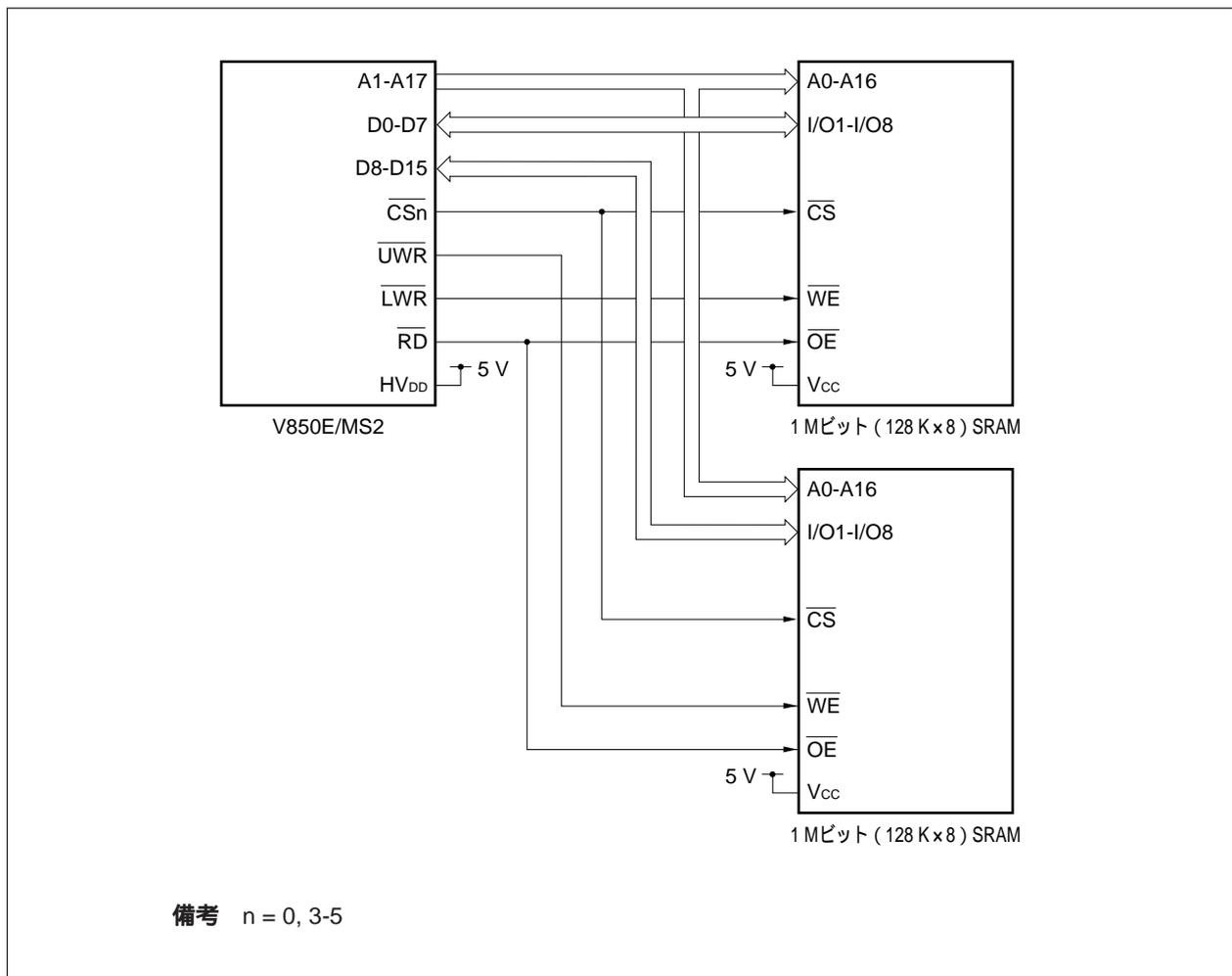
第5章 メモリ・アクセス制御機能

5.1 SRAM, 外部ROM, 外部I/Oインタフェース

5.1.1 SRAMの接続

SRAMとの接続例は次のようになります。

図5 - 1 SRAMとの接続例



5.1.2 SRAM, 外部ROM, 外部I/Oアクセス

図5-2 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (1/4)

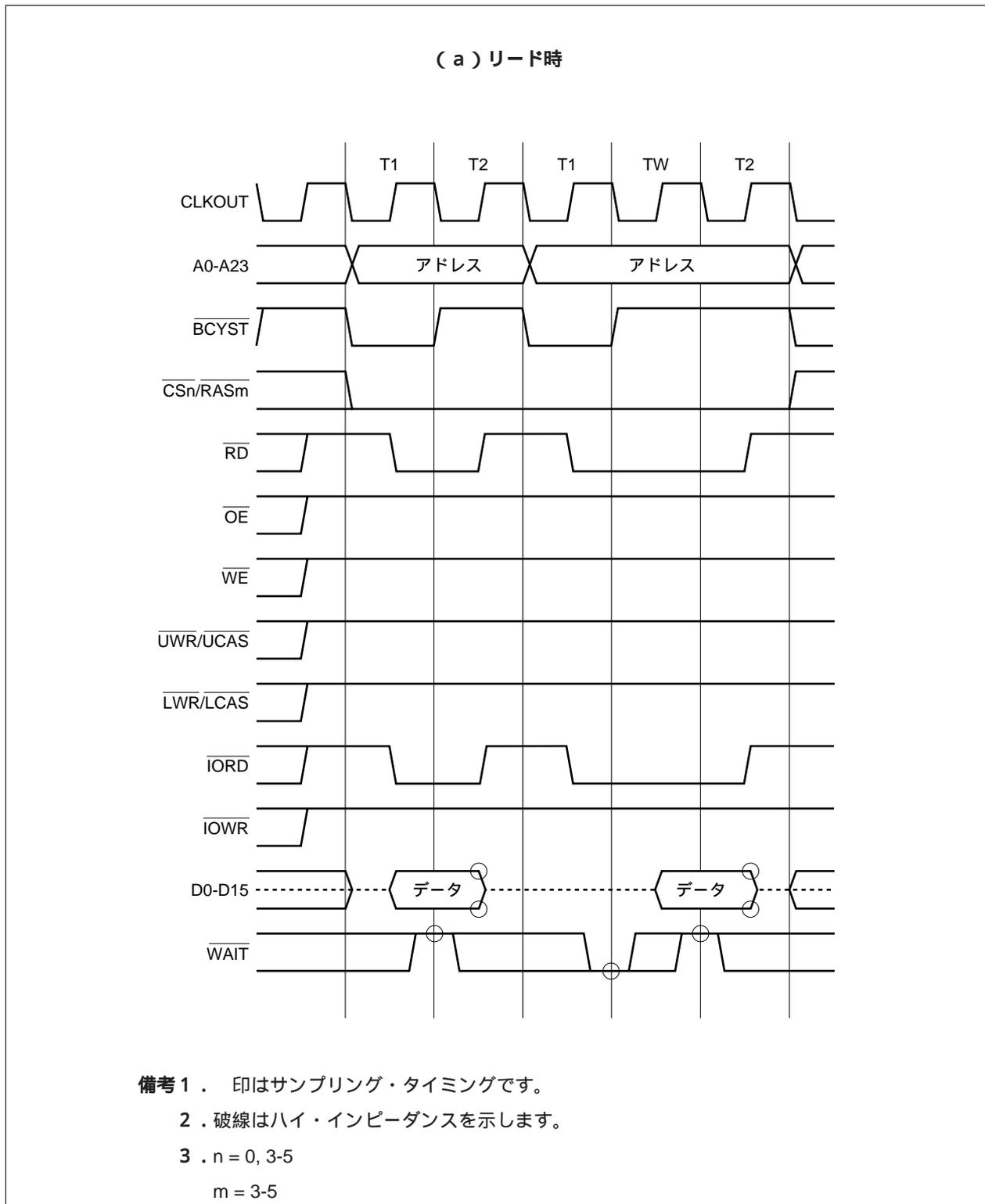


図5 - 2 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (2/4)

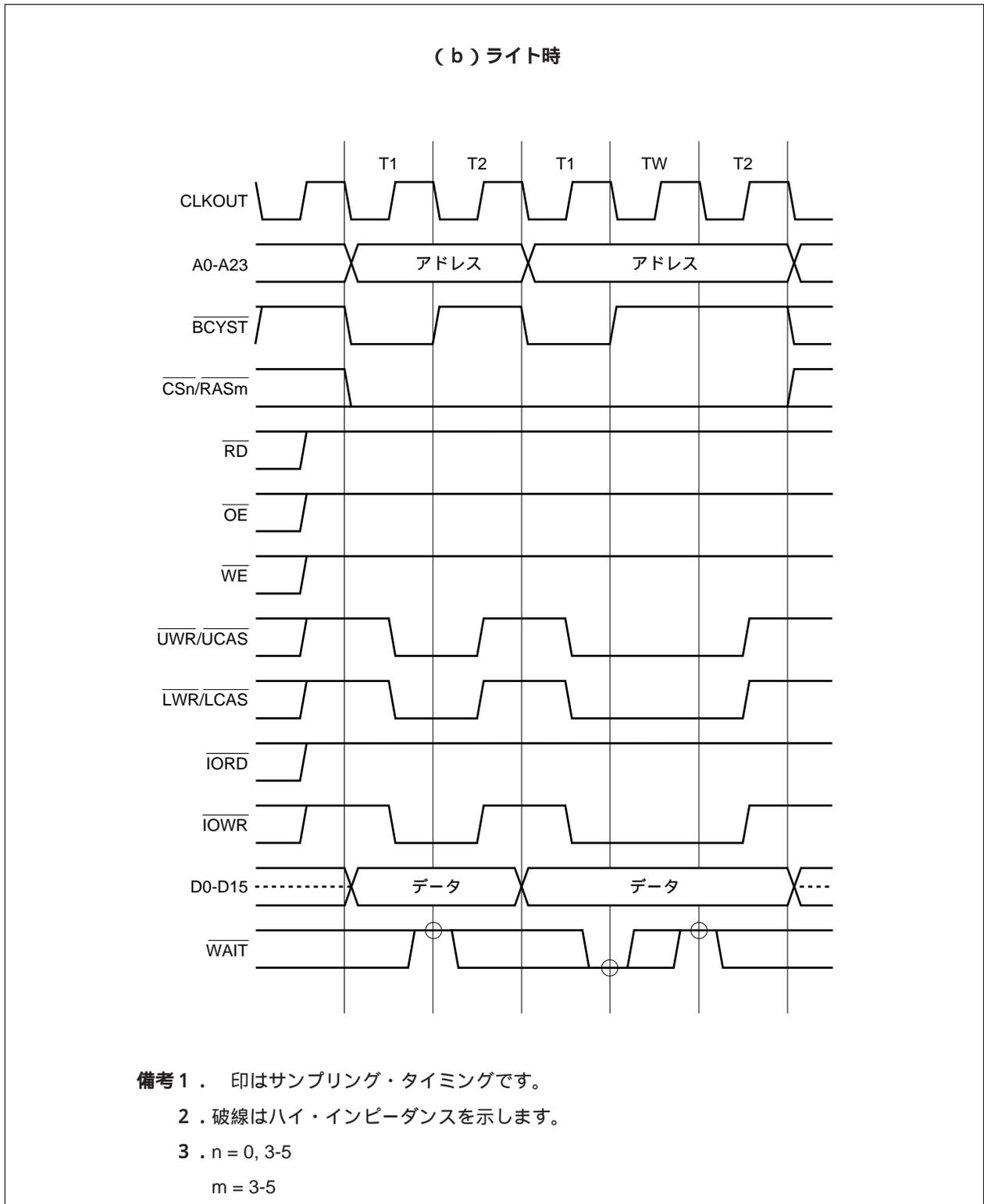


図5 - 2 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (3/4)

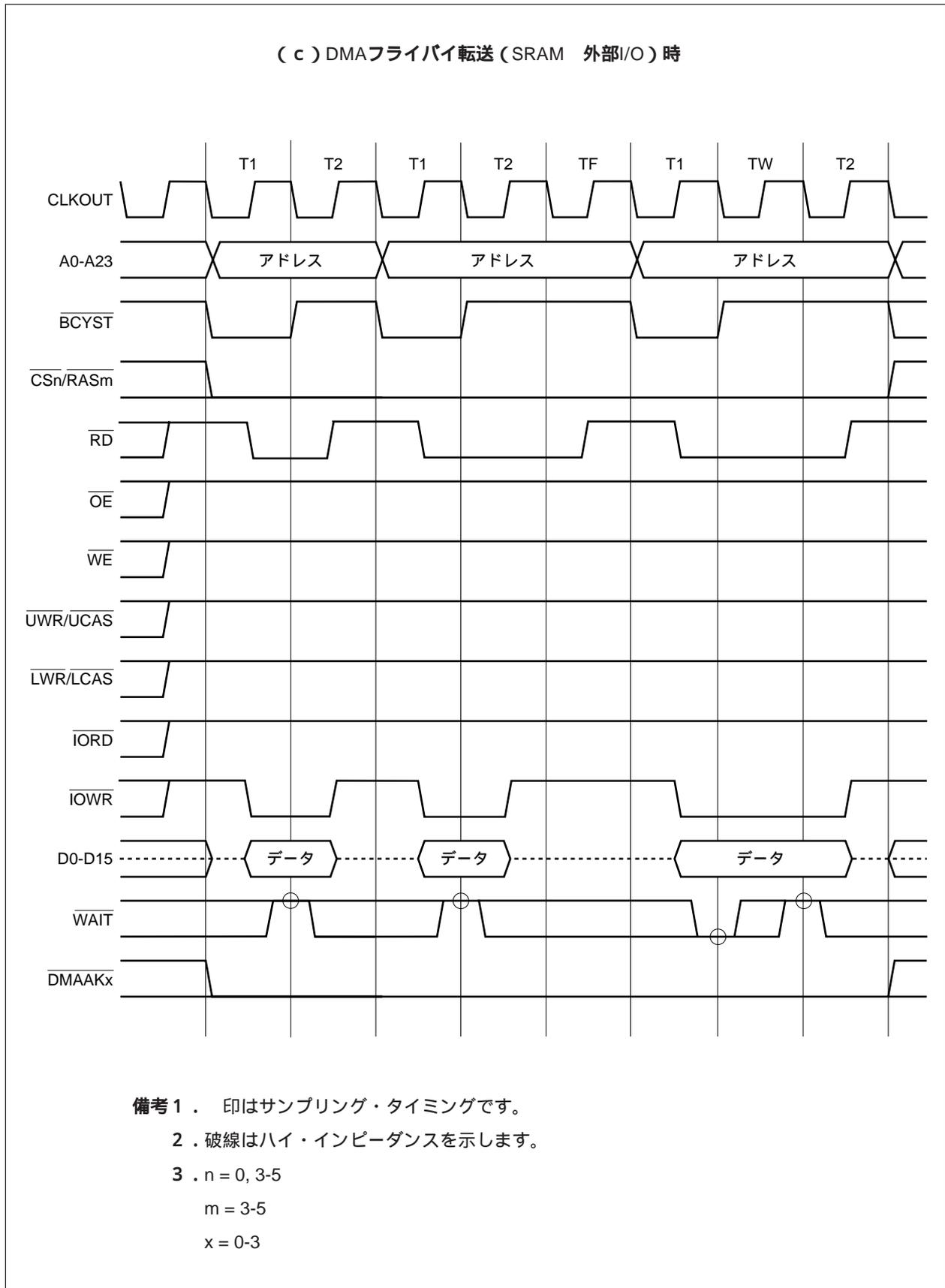
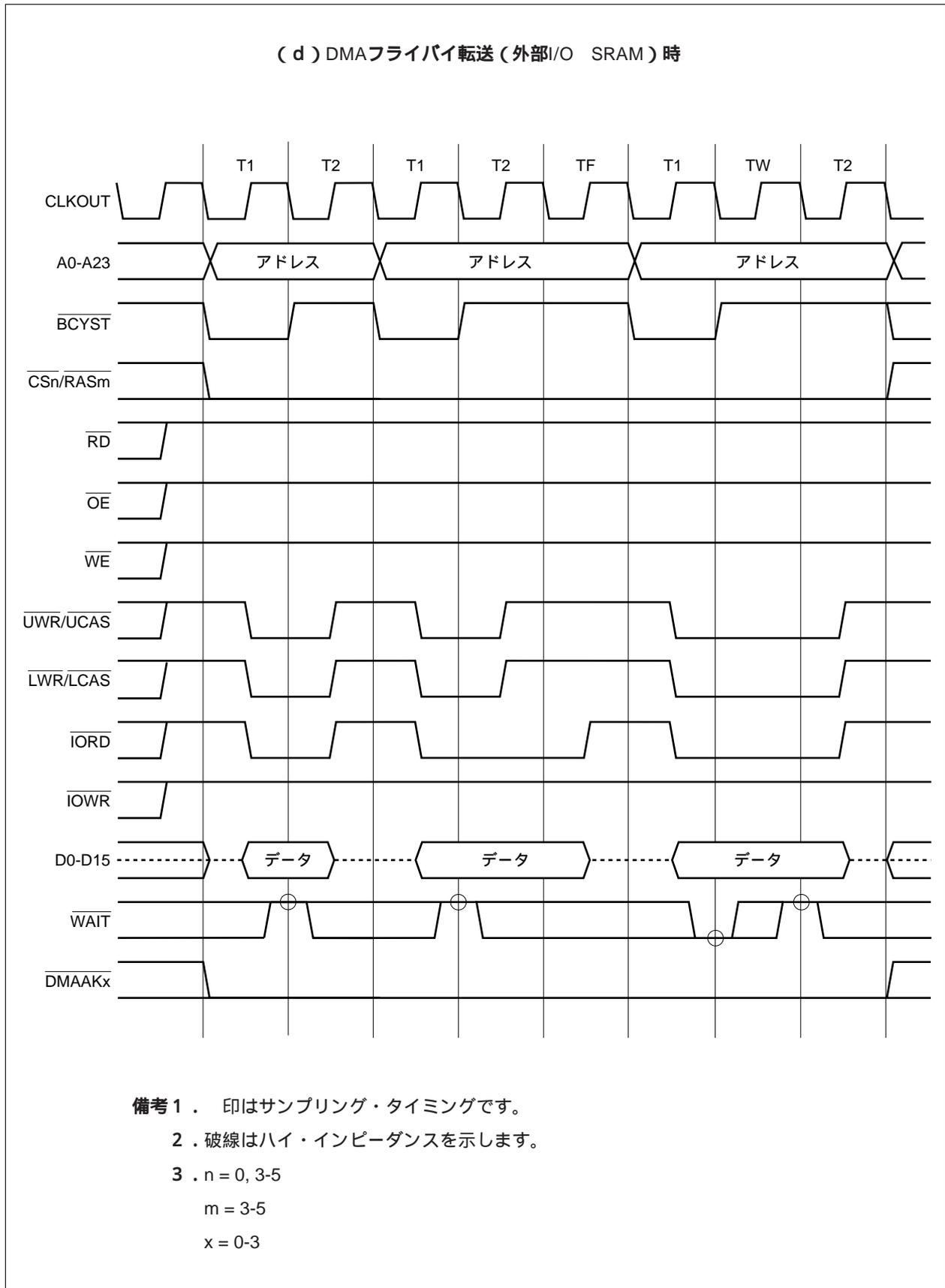


図5 - 2 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (4/4)



5.2 ページROMコントローラ (ROMC)

ページROMコントローラ (ROMC) は、ページ・アクセス機能付きROM (ページROM) へのアクセスに対応します。

直前のバス・サイクルとのアドレス比較を行い、通常アクセス (オフページ) とページ・アクセス (オンページ) のウエイト制御を行います。8-64バイトのページ幅に対応できます。

5.2.1 特 徴

8ビット/16ビット・ページROMと直接接続可能

16ビット・バス幅時 : 4/8/16/32ワード・ページ・アクセスに対応

8ビット・バス幅時 : 8/16/32/64ワード・ページ・アクセスに対応

オフページ/オンページ個別にウエイト設定 (0-7ウエイト) 可能

5.2.2 ページROMの接続

ページROMとの接続例は次のようになります。

図5-3 ページROMとの接続例 (1/2)

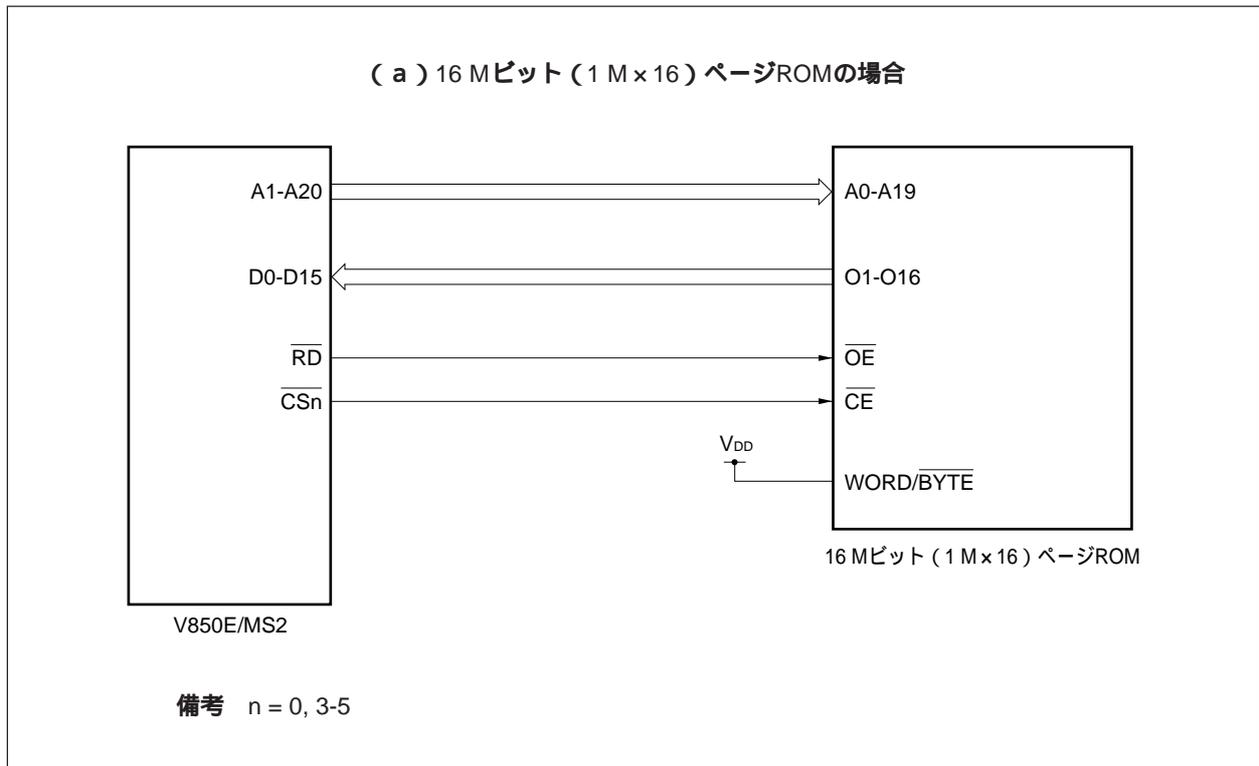
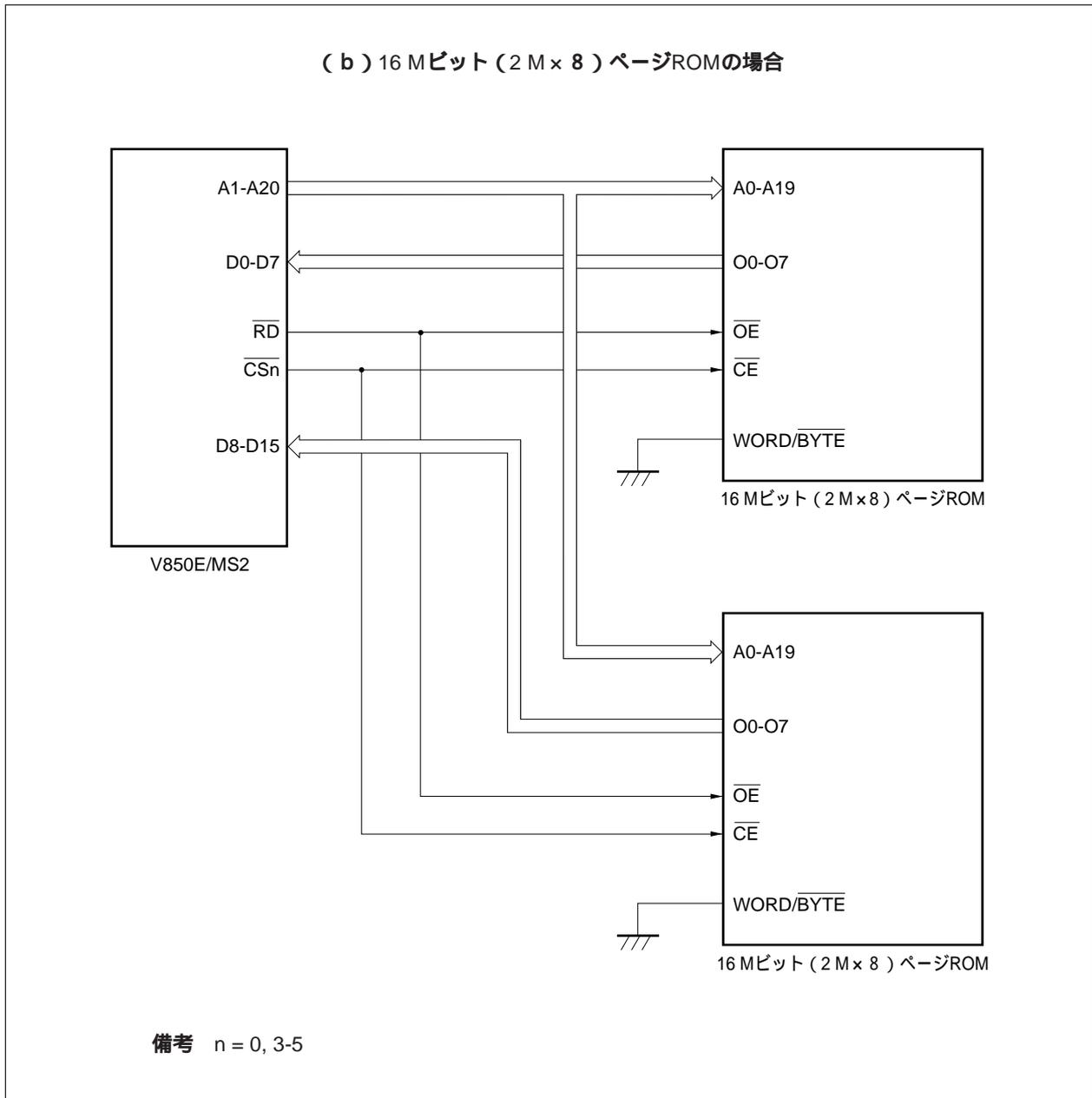


図5-3 ページROMとの接続例(2/2)



5.2.3 オンページ/オフページの判断

ページROMサイクルのオンページ/オフページは、前回のサイクルのアドレスをラッチして、現在のサイクルのアドレスと比較することにより判断します。

ページROMコンフィギュレーション・レジスタ (PRC) により接続するページROMの構成、連続する読み出し可能なビット数に応じて、アドレス (A3-A5) のうちマスクする (比較しない) アドレスを設定します。

図5 - 4 ページROM接続時のオンページ/オフページ判断 (1/2)

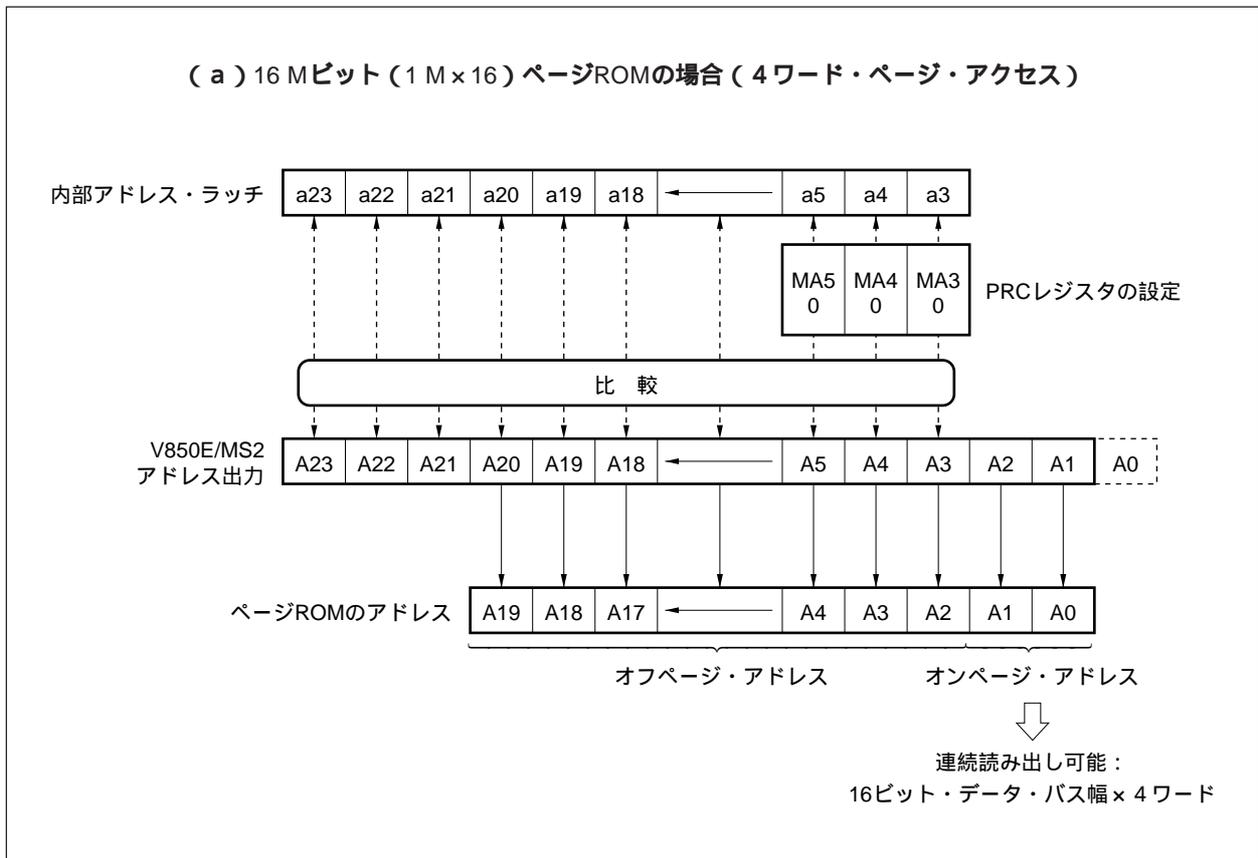
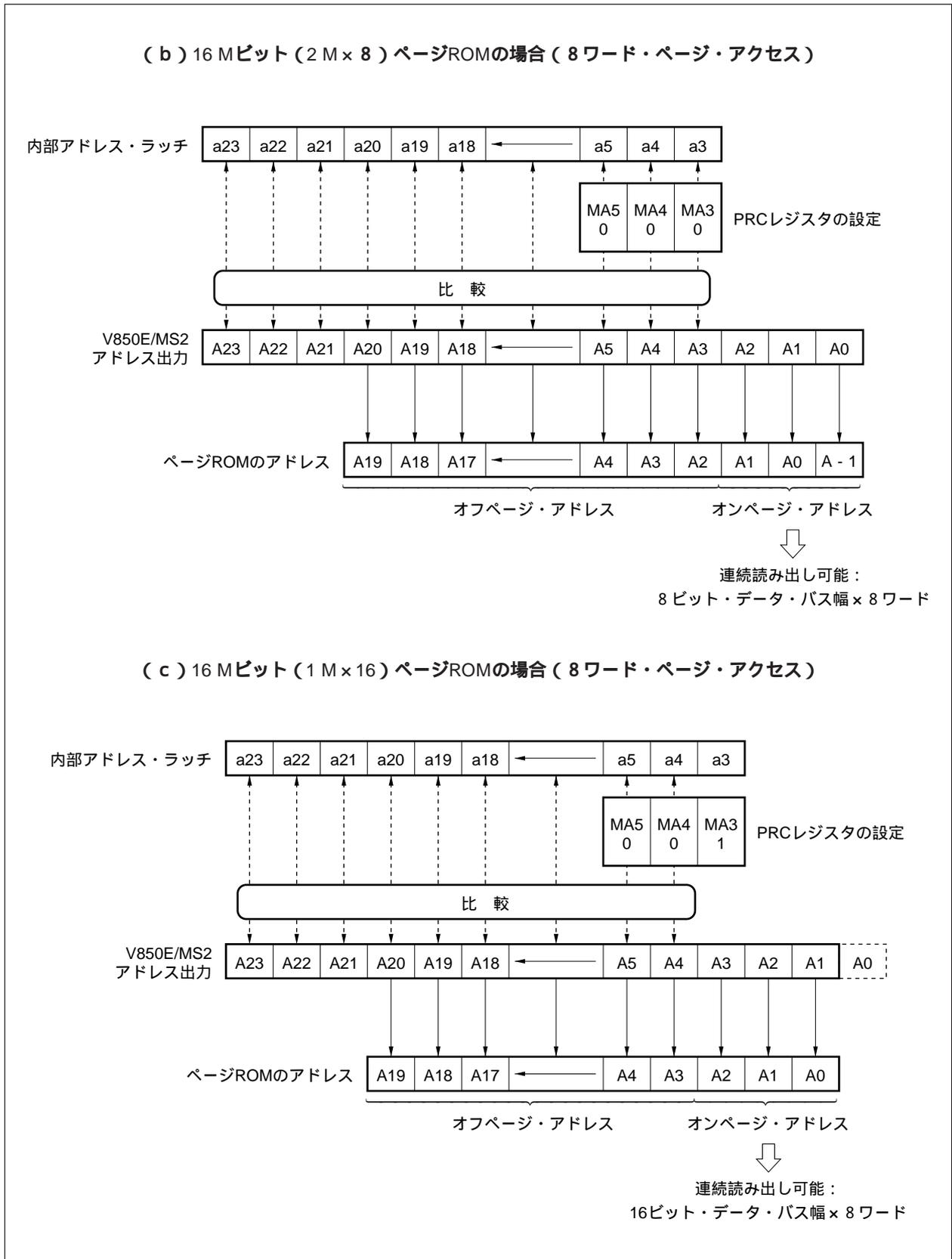


図5 - 4 ページROM接続時のオンページ/オフページ判断 (2/2)



5.2.4 ページROMコンフィギュレーション・レジスタ (PRC)

ページROMのオンページ・アクセスの許可 / 禁止を指定します。また，オンページ・アクセスを許可した場合は，接続するページROMの構成，連続読み出し可能なビット数に応じて，アドレス (A3-A5) のうちマスクする (比較しない) アドレスや内部システム・クロックに応じたウエイト数を設定します。

8/1ビット単位でリード / ライト可能です。

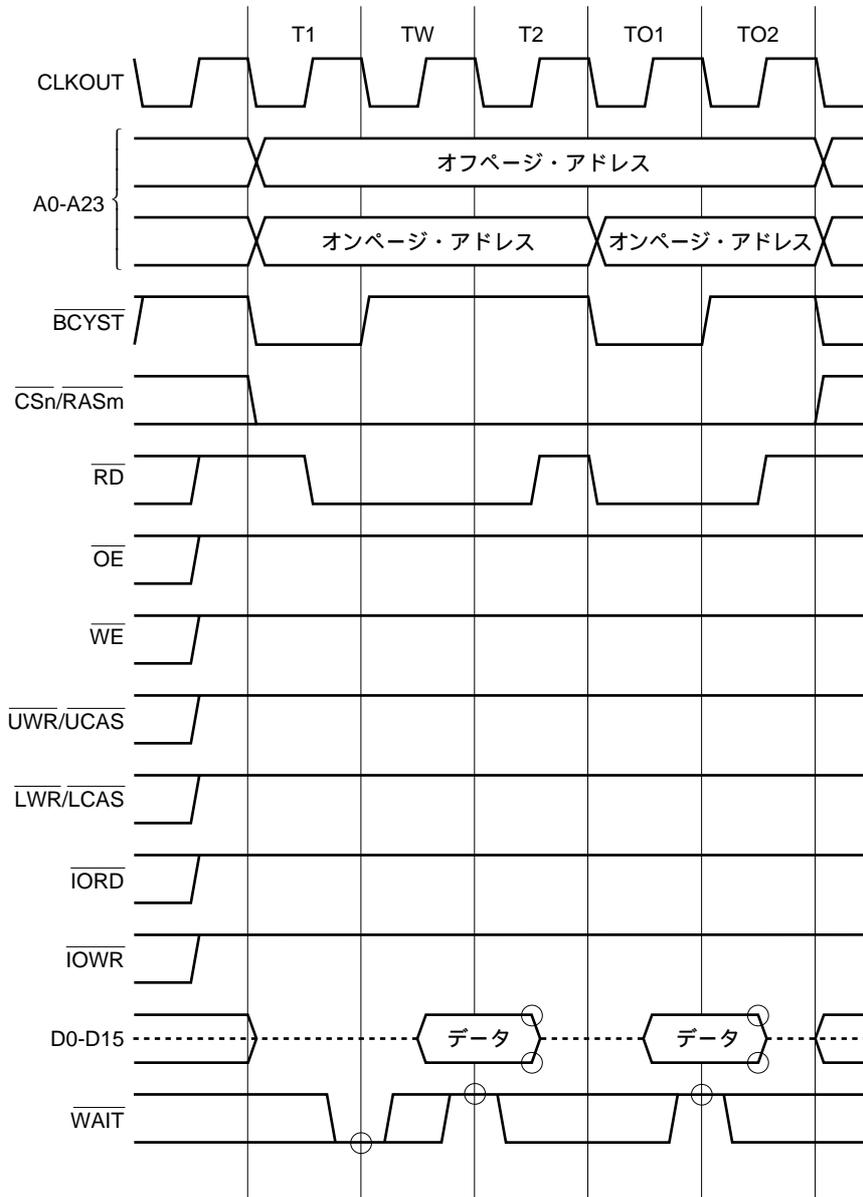
	7	6	5	4	3	2	1	0		
PRC	PAE	PRW2	PRW1	PRW0	0	MA5	MA4	MA3	アドレス FFFFFF224H	初期値 70H

ビット位置	ビット名	意味																																				
7	PAE	Page-ROM On-page Access Enable ページROMのオンページ・アクセスの許可 / 禁止を指定します。 0 : 禁止 1 : 許可																																				
6-4	PRW2-PRW0	Page-ROM On-page Access Wait Control 内部システム・クロックに応じたウエイトを設定します。 オンページ時にだけ，このビットで設定するウエイトが挿入されます。オフページ時には，DWC1, DWC2レジスタで設定するウエイトが挿入されます (4.6 ウエイト機能参照)。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>PRW2</th> <th>PRW1</th> <th>PRW0</th> <th>挿入されるウエイト・サイクル数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>7</td></tr> </tbody> </table>	PRW2	PRW1	PRW0	挿入されるウエイト・サイクル数	0	0	0	0	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
PRW2	PRW1	PRW0	挿入されるウエイト・サイクル数																																			
0	0	0	0																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			
2-0	MA5-MA3	Mask Address MA5-MA3に対応してそれぞれアドレス (A5-A3) をマスクします (1でマスク)。マスクされたアドレスは，オン / オフページ判断の際の比較対象になりません。連続読み出し可能なビット数に応じて設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>MA5</th> <th>MA4</th> <th>MA3</th> <th>連続読み出し可能なビット数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>4ワード×16ビット (8ワード×8ビット)</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>8ワード×16ビット (16ワード×8ビット)</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>16ワード×16ビット (32ワード×8ビット)</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>32ワード×16ビット (64ワード×8ビット)</td></tr> </tbody> </table>	MA5	MA4	MA3	連続読み出し可能なビット数	0	0	0	4ワード×16ビット (8ワード×8ビット)	0	0	1	8ワード×16ビット (16ワード×8ビット)	0	1	1	16ワード×16ビット (32ワード×8ビット)	1	1	1	32ワード×16ビット (64ワード×8ビット)																
MA5	MA4	MA3	連続読み出し可能なビット数																																			
0	0	0	4ワード×16ビット (8ワード×8ビット)																																			
0	0	1	8ワード×16ビット (16ワード×8ビット)																																			
0	1	1	16ワード×16ビット (32ワード×8ビット)																																			
1	1	1	32ワード×16ビット (64ワード×8ビット)																																			

注意 PRCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，PRCレジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域へのアクセスは可能です。

5.2.5 ページROMアクセス

図5 - 5 ページROMアクセス・タイミング



- 備考 1 . 印はサンプリング・タイミングです。
 2 . 破線はハイ・インピーダンスを示します。
 3 . n = 0, 3-5
 m = 3-5

5.3 DRAMコントローラ

5.3.1 特 徴

$\overline{\text{RAS}}$, $\overline{\text{LCAS}}$, $\overline{\text{UCAS}}$ 信号生成

高速ページDRAM, EDO DRAMと直接接続可能

RASホールド・モードをサポート

4種類のDRAMを8つのメモリ・ブロック空間に割り当て可能

2CASタイプのDRAMに対応

ロウ/カラム・アドレスのマルチプレクス幅の切り替え可能

次の各タイミングでウエイト(0-3ウエイト)挿入可能

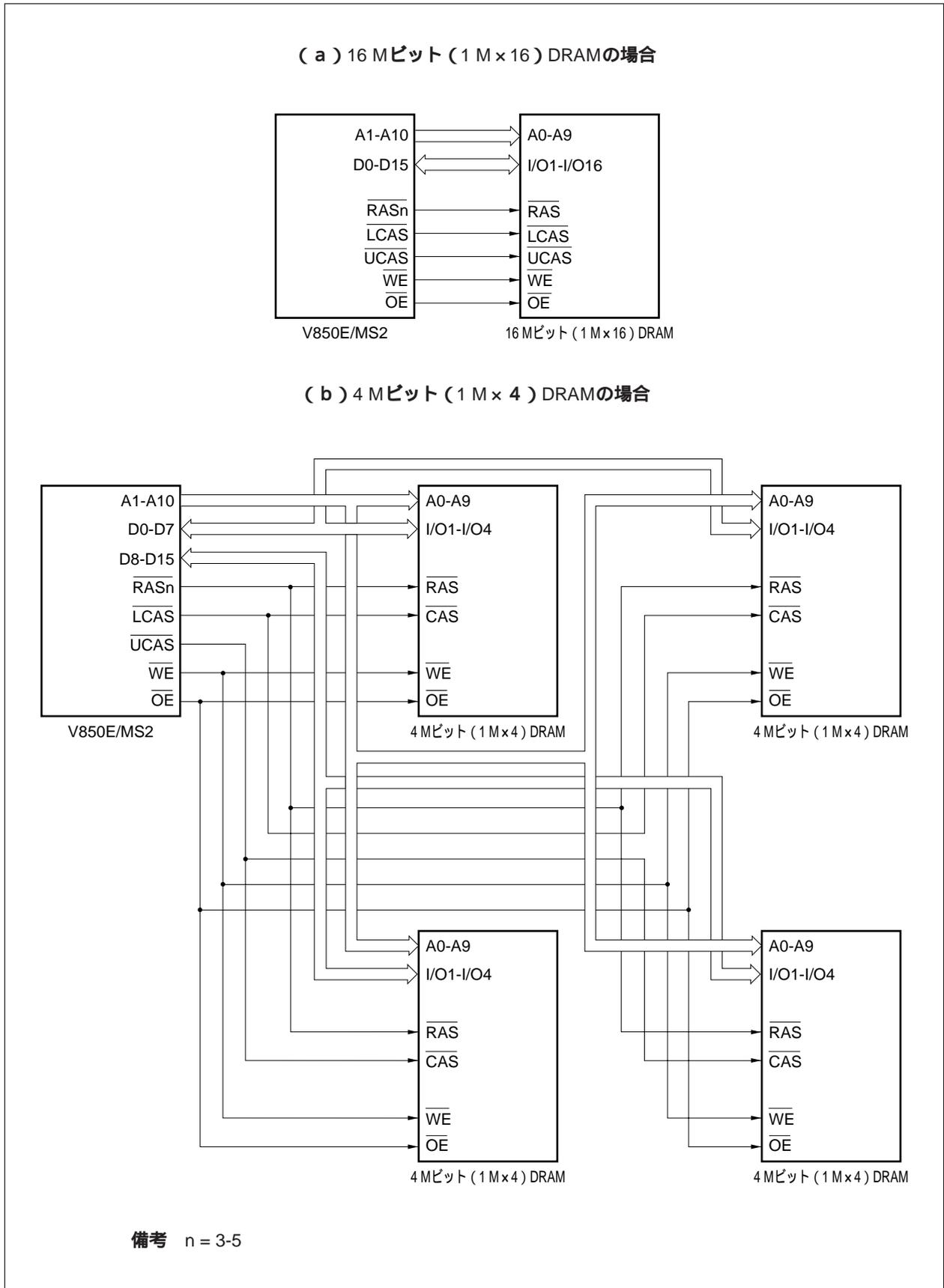
- ・ロウ・アドレス・プリチャージ・ウエイト
- ・ロウ・アドレス保持ウエイト
- ・データ・アクセス・ウエイト
- ・カラム・アドレス・プリチャージ・ウエイト

CBRリフレッシュ, CBRセルフ・リフレッシュをサポート

5.3.2 DRAMの接続

DRAMとの接続例は次のようになります。

図5 - 6 DRAMとの接続例



5.3.3 アドレス・マルチプレクス機能

DRAMコンフィギュレーション・レジスタ n (DRCn) のDAW0n, DAW1nビットの値により, DRAMサイクルでのロウ・アドレス, カラム・アドレス出力は, 図5 - 7のようにアドレスがマルチプレクスします (n=0-3)。図5 - 7で, a0-a23はCPUから出力されたアドレスを, A0-A23はV850E/MS2のアドレス端子を示しています。たとえばDAW0n, DAW1n = 11のときは, アドレス端子 (A1-A11) から, ロウ・アドレスとしてa12-a22が, カラム・アドレスとしてa1-a11が出力されることを表しています。

表5 - 1に接続可能なDRAMとアドレス・マルチプレクス幅との関係を示します。接続するDRAMにより, DRAM空間は128 K-8 Mバイトです。

図5 - 7 ロウ・アドレス, カラム・アドレスの出力

アドレス端子	A23-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
ロウ・アドレス (DAW1n, DAW0n = 11)	a23-a18	a17	a16	a15	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11
ロウ・アドレス (DAW1n, DAW0n = 10)	a23-a18	a17	a16	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10
ロウ・アドレス (DAW1n, DAW0n = 01)	a23-a18	a17	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9
ロウ・アドレス (DAW1n, DAW0n = 00)	a23-a18	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9	a8
カラム・アドレス	a23-a18	a17	a16	a15	a14	a13	a12	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0

表5 - 1 DRAMとアドレス・マルチプレクス幅の例

アドレス・マルチプレクス幅	DRAMの容量 (ビット) と構成					DRAM空間 (バイト)
	256 K	1 M	4 M	16 M	64 M	
8ビット	64 K × 4	-	-	-	-	128 K
9ビット	-	256 K × 4	256 K × 16	-	-	512 K
	-	-	512 K × 8	-	-	1 M
	-	-	-	-	4 M × 16	8 M
10ビット	-	-	1 M × 4	1 M × 16	-	2 M
	-	-	-	2 M × 8	-	4 M
	-	-	-	-	4 M × 16	8 M
11ビット	-	-	-	4 M × 4	-	8 M

5.3.4 DRAMコンフィギュレーション・レジスタ0-3 (DRC0-DRC3)

接続するDRAMの種類を設定します。

16ビット単位でリード/ライト可能です。

注意 アクセス対象がDRAM領域の場合、DWC1, DWC2レジスタに設定されたウエイトは無効となります。
この場合、DRC0-DRC3レジスタによってウエイトが制御されます。

(1/3)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DRC0	PAE 10	PAE 00	RPC 10	RPC 00	RHC 10	RHC 00	DAC 10	DAC 00	CPC 10	CPC 00	0	RHD 0	0	0	DAW 10	DAW 00	アドレス FFFFFF200H	初期値 3FC1H
DRC1	PAE 11	PAE 01	RPC 11	RPC 01	RHC 11	RHC 01	DAC 11	DAC 01	CPC 11	CPC 01	0	RHD 1	0	0	DAW 11	DAW 01	FFFFFF202H	3FC1H
DRC2	PAE 12	PAE 02	RPC 12	RPC 02	RHC 12	RHC 02	DAC 12	DAC 02	CPC 12	CPC 02	0	RHD 2	0	0	DAW 12	DAW 02	FFFFFF204H	3FC1H
DRC3	PAE 13	PAE 03	RPC 13	RPC 03	RHC 13	RHC 03	DAC 13	DAC 03	CPC 13	CPC 03	0	RHD 3	0	0	DAW 13	DAW 03	FFFFFF206H	3FC1H

ビット位置	ビット名	意味															
15, 14	PAE1n PAE0n	DRAM On-page Access Mode Control オンページ・アクセスのサイクルを制御します。 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>PAE1n</th> <th>PAE0n</th> <th>アクセス・モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>オンページ・アクセス禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>高速ページDRAM</td> </tr> <tr> <td>1</td> <td>0</td> <td>EDO DRAM</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	PAE1n	PAE0n	アクセス・モード	0	0	オンページ・アクセス禁止	0	1	高速ページDRAM	1	0	EDO DRAM	1	1	設定禁止
PAE1n	PAE0n	アクセス・モード															
0	0	オンページ・アクセス禁止															
0	1	高速ページDRAM															
1	0	EDO DRAM															
1	1	設定禁止															
13, 12	RPC1n, RPC0n	Row Address Pre-charge Control ロウ・アドレスのプリチャージ時間として挿入するウエイト・ステート数を指定します。 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>RPC1n</th> <th>RPC0n</th> <th>挿入ウエイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table>	RPC1n	RPC0n	挿入ウエイト・ステート数	0	0	0	0	1	1	1	0	2	1	1	3
RPC1n	RPC0n	挿入ウエイト・ステート数															
0	0	0															
0	1	1															
1	0	2															
1	1	3															

備考 n = 0-3

ビット位置	ビット名	意味															
11, 10	RHC1n RHC0n	<p>Row Address Hold Wait Control</p> <p>ロウ・アドレスの保持時間として挿入するウエイト・ステート数を指定します。</p> <table border="1"> <thead> <tr> <th>RHC1n</th> <th>RHC0n</th> <th>挿入ウエイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table>	RHC1n	RHC0n	挿入ウエイト・ステート数	0	0	0	0	1	1	1	0	2	1	1	3
RHC1n	RHC0n	挿入ウエイト・ステート数															
0	0	0															
0	1	1															
1	0	2															
1	1	3															
9, 8	DAC1n, DAC0n	<p>Data Access Programmable Wait Control</p> <p>DRAMアクセスにおけるデータ・アクセス時間として挿入するウエイト・ステート数を指定します。</p> <table border="1"> <thead> <tr> <th>DAC1n</th> <th>DAC0n</th> <th>挿入ウエイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table>	DAC1n	DAC0n	挿入ウエイト・ステート数	0	0	0	0	1	1	1	0	2	1	1	3
DAC1n	DAC0n	挿入ウエイト・ステート数															
0	0	0															
0	1	1															
1	0	2															
1	1	3															
7, 6	CPC1n, CPC0n	<p>Column Address Pre-charge Control</p> <p>カラム・アドレスのプリチャージ時間として挿入するウエイト・ステート数を指定します。</p> <table border="1"> <thead> <tr> <th>CPC1n</th> <th>CPC0n</th> <th>挿入ウエイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0^注</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table> <p>注 DMAフライバイ転送でのDRAMライト・アクセス時は1ウエイト挿入されます。</p>	CPC1n	CPC0n	挿入ウエイト・ステート数	0	0	0 ^注	0	1	1	1	0	2	1	1	3
CPC1n	CPC0n	挿入ウエイト・ステート数															
0	0	0 ^注															
0	1	1															
1	0	2															
1	1	3															
4	RHDn	<p>RAS Hold Disable</p> <p>RASホールド・モードを設定します。</p> <p>オン・ページ動作時にDRAMへのアクセスが連続せず、途中で他空間へのアクセスが入ってしまう場合、RASホールド・モードの状態では、他空間にアクセスしている間もRAS_m信号をアクティブ(ロウ・レベル)に保持します(m=3-5)。これにより、他空間へのアクセスに続いてDRAMの同一ロウ・アドレスがアクセスされた場合、オン・ページ動作を続けることができます。</p> <p>0 : RASホールド・モード許可 1 : RASホールド・モード禁止</p>															

備考 n = 0-3

ビット位置	ビット名	意味															
1, 0	DAW1n, DAW0n	DRAM Address Multiplex Width Control アドレス・マルチプレクス幅を設定します (5.3.3 アドレス・マルチプレクス機能参照)。															
<table border="1"> <thead> <tr> <th>DAW1n</th> <th>DAW0n</th> <th>アドレス・マルチプレクス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>9ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>10ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>11ビット</td> </tr> </tbody> </table>			DAW1n	DAW0n	アドレス・マルチプレクス幅	0	0	8ビット	0	1	9ビット	1	0	10ビット	1	1	11ビット
DAW1n	DAW0n	アドレス・マルチプレクス幅															
0	0	8ビット															
0	1	9ビット															
1	0	10ビット															
1	1	11ビット															

注意 DRCnレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、DRCnレジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域へのアクセスは可能です。

備考 n = 0-3

5.3.5 DRAMタイプ・コンフィギュレーション・レジスタ (DTC)

DRAMコンフィギュレーション・レジスタ n (DRCn) とメモリ・ブロック m の関係を制御します (n = 0-3, m = 0-7)。

16ビット単位でリード/ライト可能です。

DTC

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DC															
71	70	61	60	51	50	41	40	31	30	21	20	11	10	01	00

アドレス
FFFFFF220H

初期値
0000H

メモリ・ブロック

┌───┐	┌───┐	┌───┐	┌───┐	┌───┐	┌───┐	┌───┐	┌───┐	┌───┐	┌───┐	┌───┐	┌───┐	┌───┐	┌───┐	┌───┐	┌───┐	
└───┘	└───┘	└───┘	└───┘	└───┘	└───┘	└───┘	└───┘	└───┘	└───┘	└───┘	└───┘	└───┘	└───┘	└───┘	└───┘	└───┘
7	6	5	4	3	2	1	0									

ビット位置	ビット名	意味															
15-0	DCm1, DCm0	DRAM Type Configuration メモリ・ブロック m に対応する DRAM コンフィギュレーション・レジスタ n (DRCn) を指定します。 なお、メモリ・ブロック m が DRAM 領域に指定されていない場合は、意味を持ちません。															
<table border="1" style="margin: auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">DCm1</th> <th style="width: 10%;">DCm0</th> <th style="width: 80%;">メモリ・ブロック m に対応する DRAM コンフィギュレーション・レジスタ n (DRCn)</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">DRC0</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">DRC1</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">DRC2</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">DRC3</td> </tr> </tbody> </table>			DCm1	DCm0	メモリ・ブロック m に対応する DRAM コンフィギュレーション・レジスタ n (DRCn)	0	0	DRC0	0	1	DRC1	1	0	DRC2	1	1	DRC3
DCm1	DCm0	メモリ・ブロック m に対応する DRAM コンフィギュレーション・レジスタ n (DRCn)															
0	0	DRC0															
0	1	DRC1															
1	0	DRC2															
1	1	DRC3															

注意 DTCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、DTCレジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域へのアクセスは可能です。

備考 n = 0-3
m = 0-7

5.3.6 DRAMアクセス

図5-8 高速ページDRAMアクセス・タイミング (1/4)

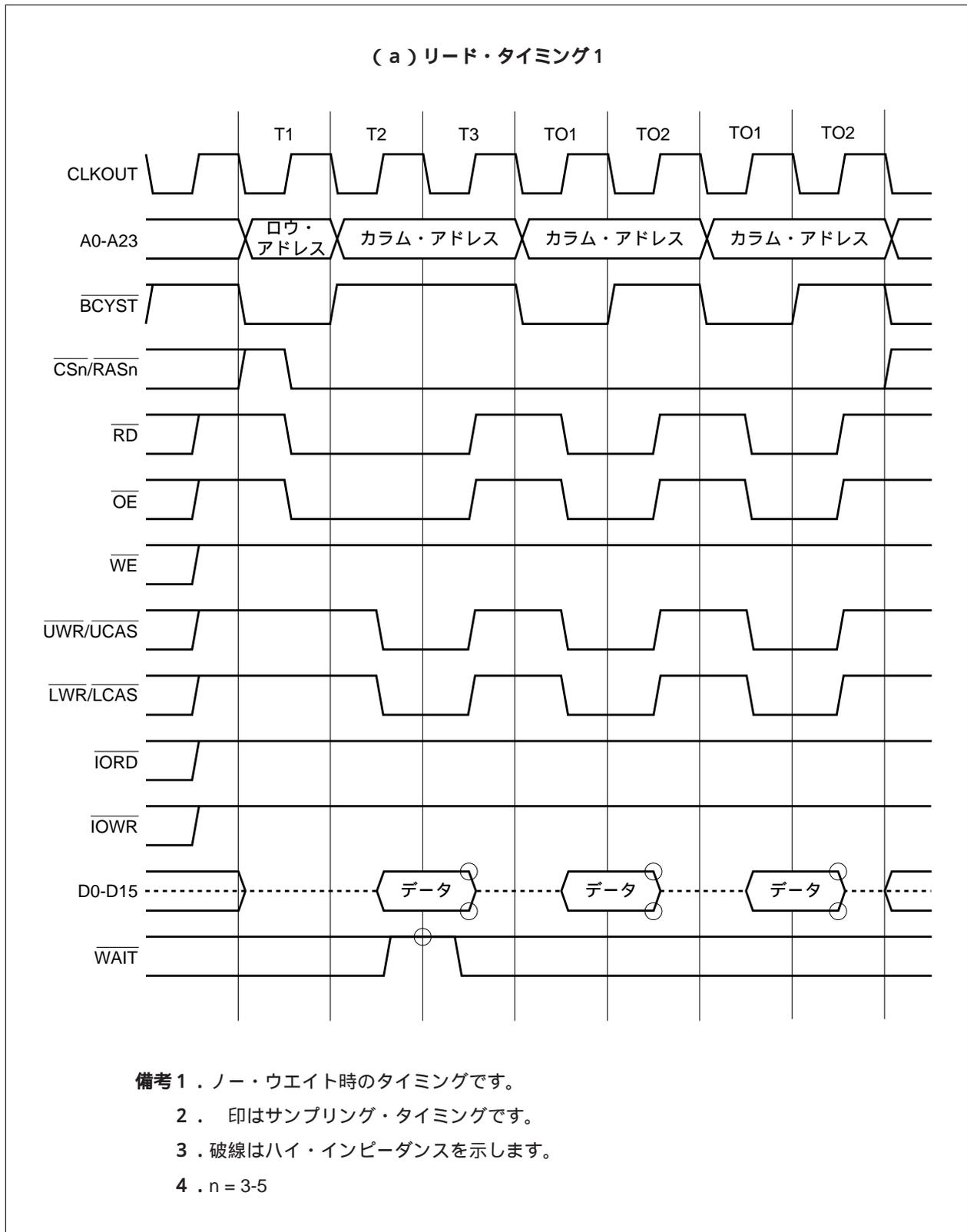


図5-8 高速ページDRAMアクセス・タイミング(2/4)

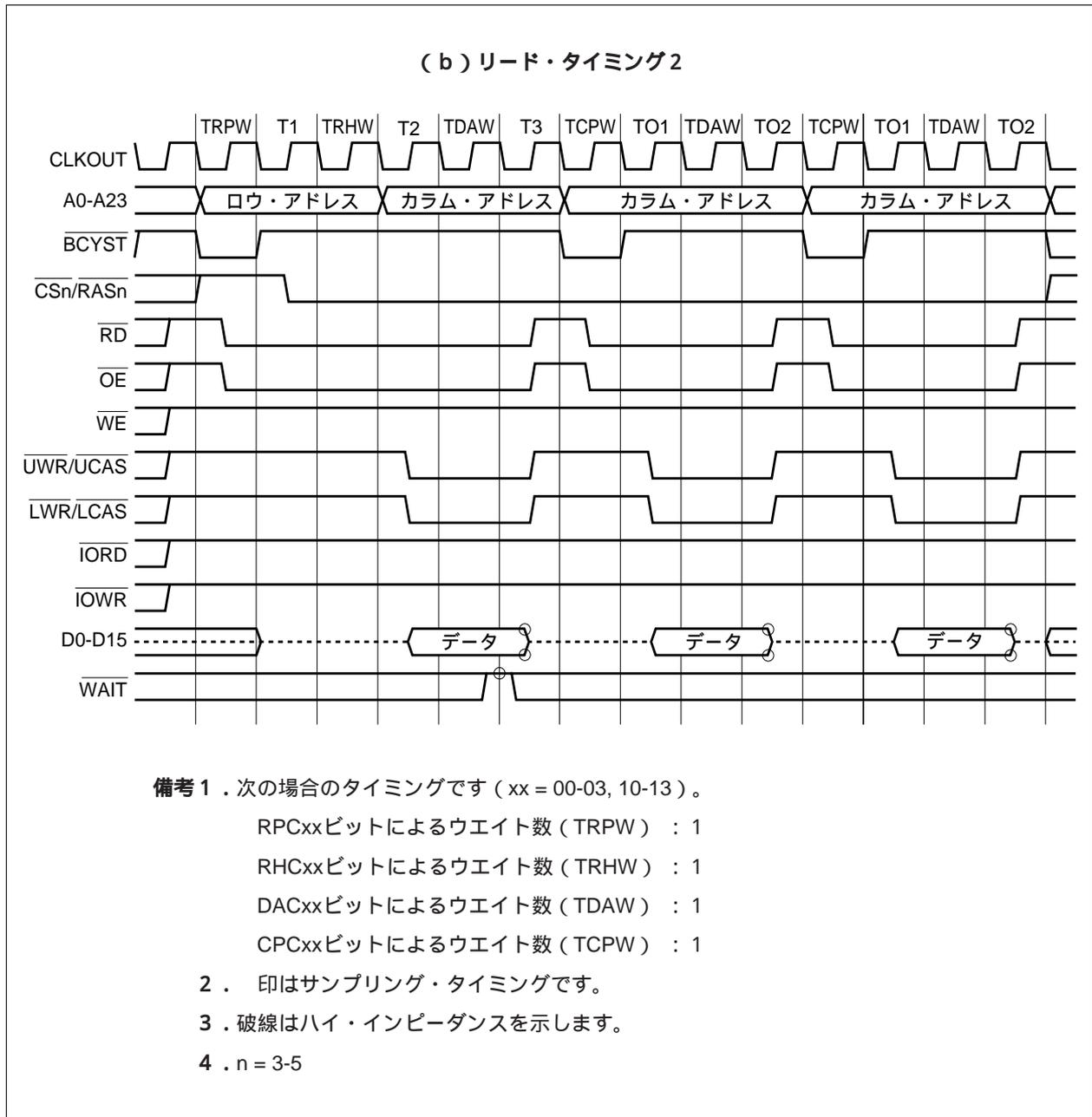


図5-8 高速ページDRAMアクセス・タイミング(3/4)

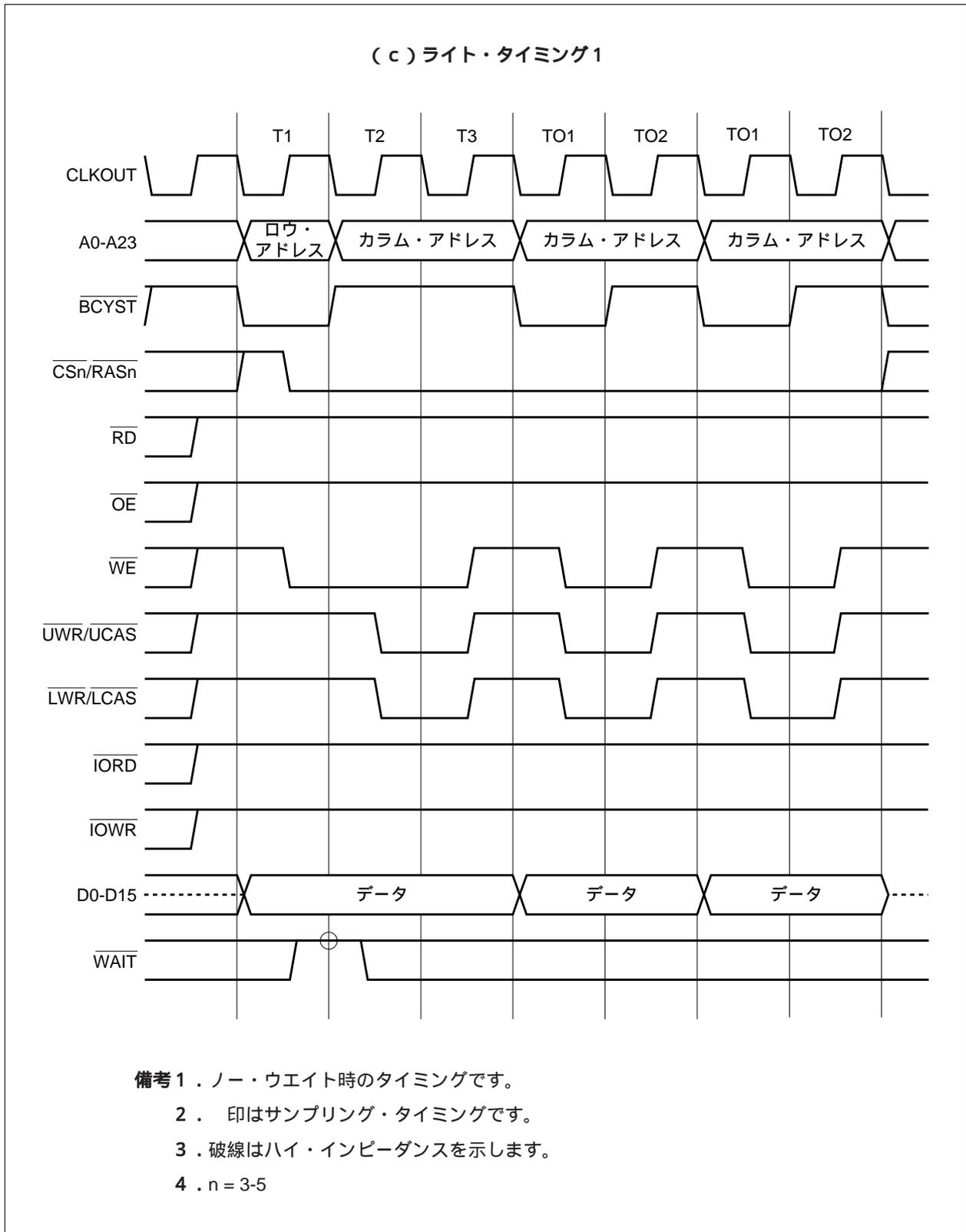


図5-8 高速ページDRAMアクセス・タイミング(4/4)

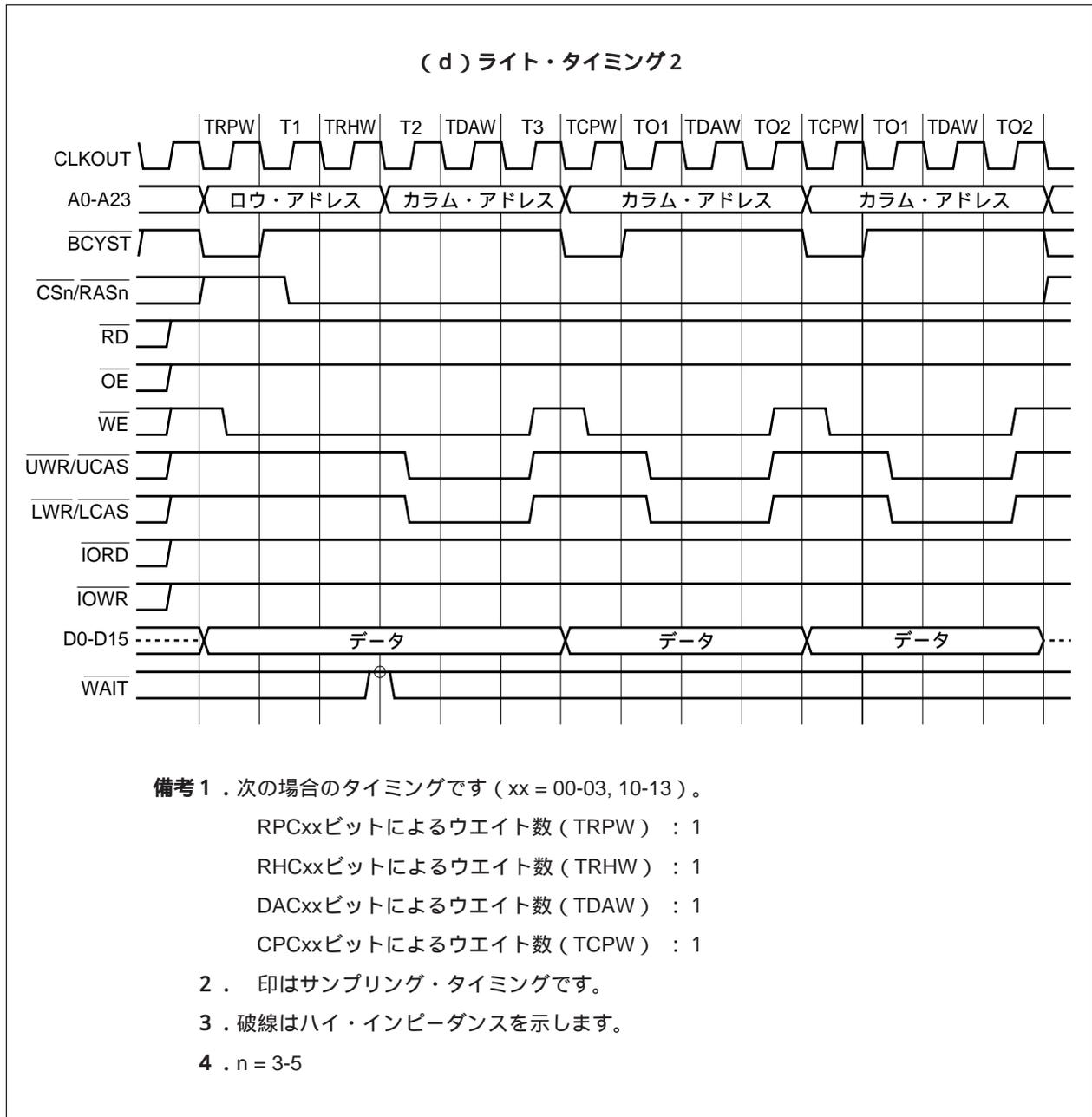


図5-9 EDO DRAMアクセス・タイミング(1/4)

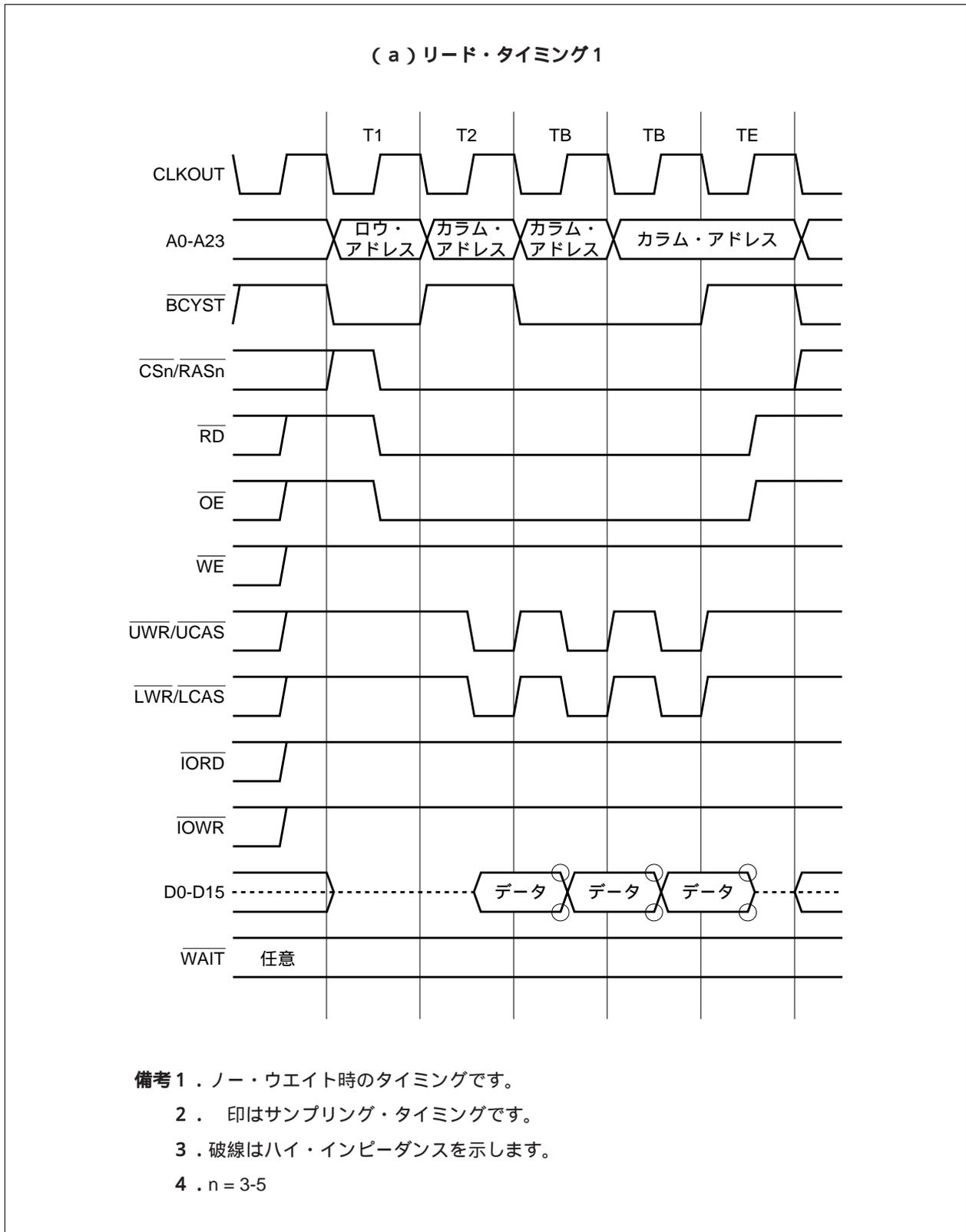


図5 - 9 EDO DRAMアクセス・タイミング (2/4)

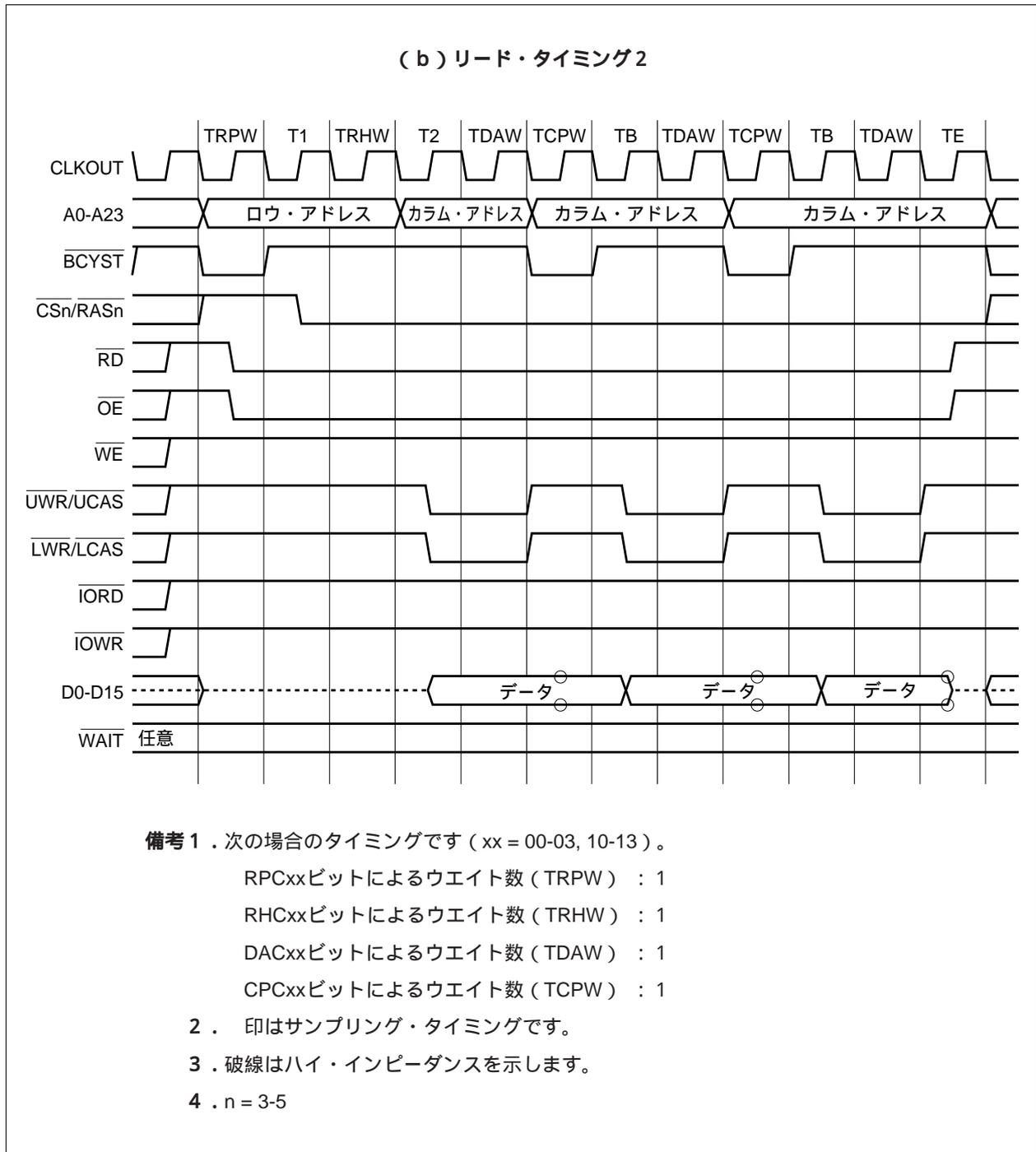


図5 - 9 EDO DRAMアクセス・タイミング (3/4)

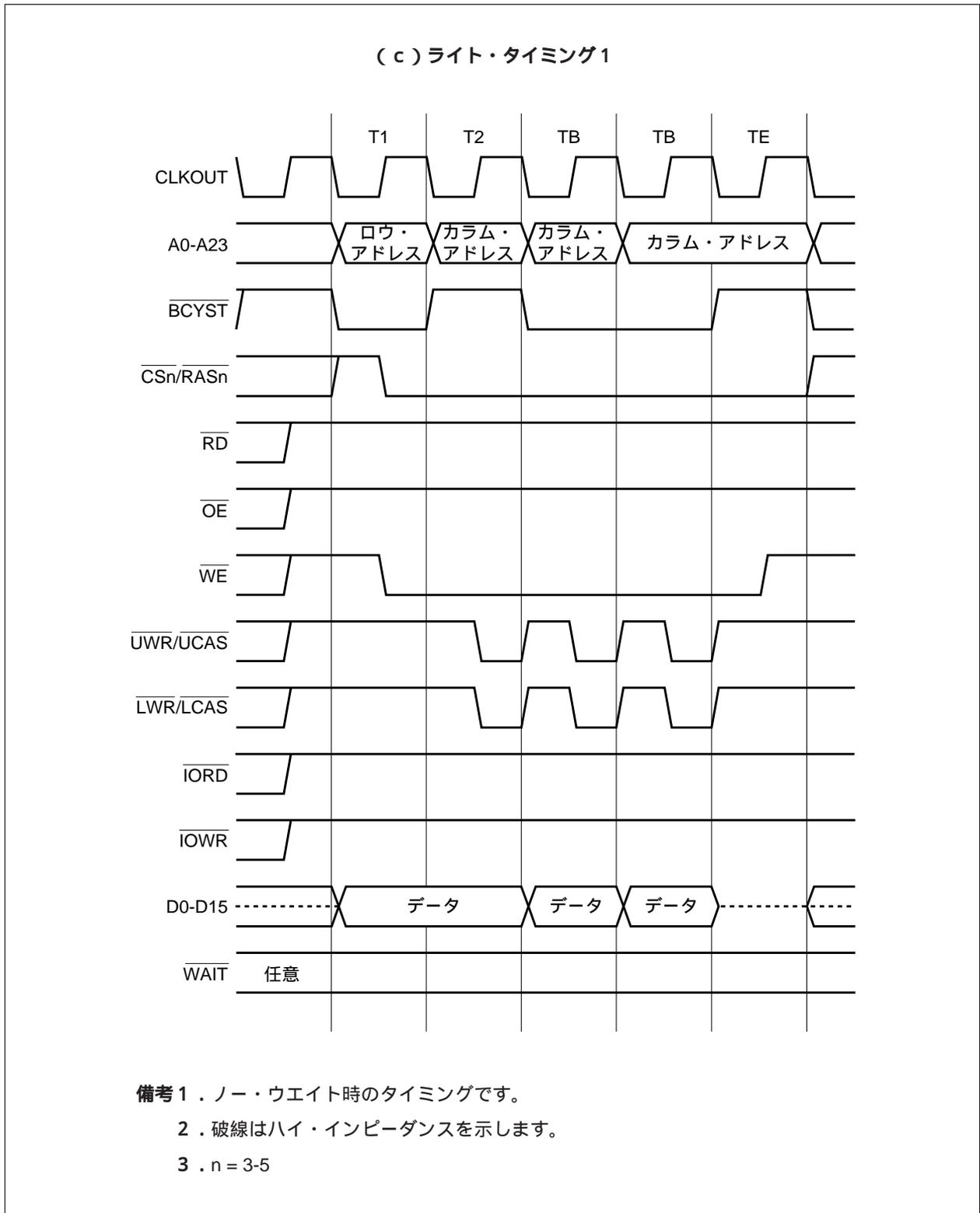
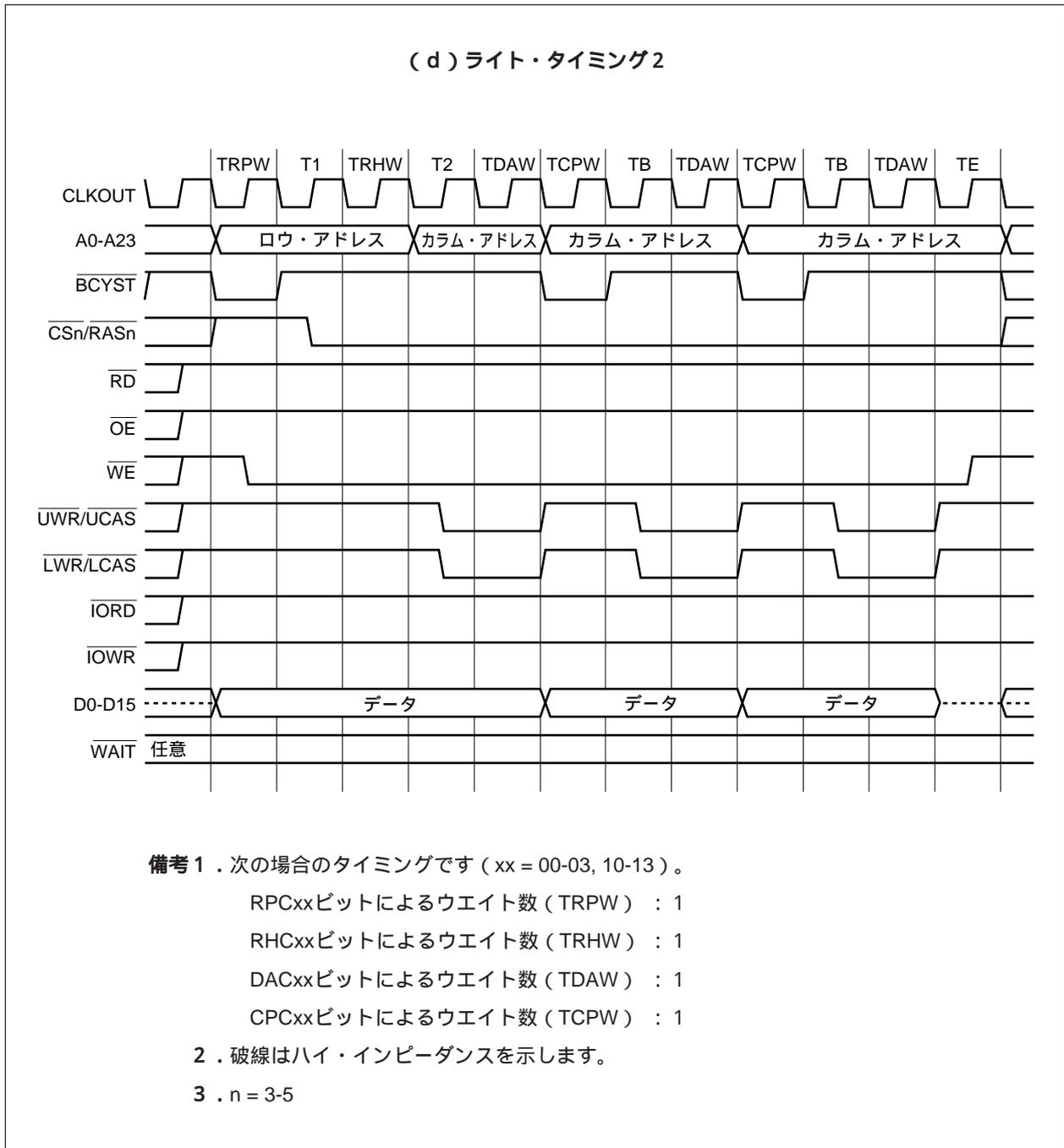


図5 - 9 EDO DRAMアクセス・タイミング (4/4)



5.3.7 DMAフライバイ転送時のDRAMアクセス

図5 - 10 DMAフライバイ転送時のDRAMアクセス・タイミング (1/2)

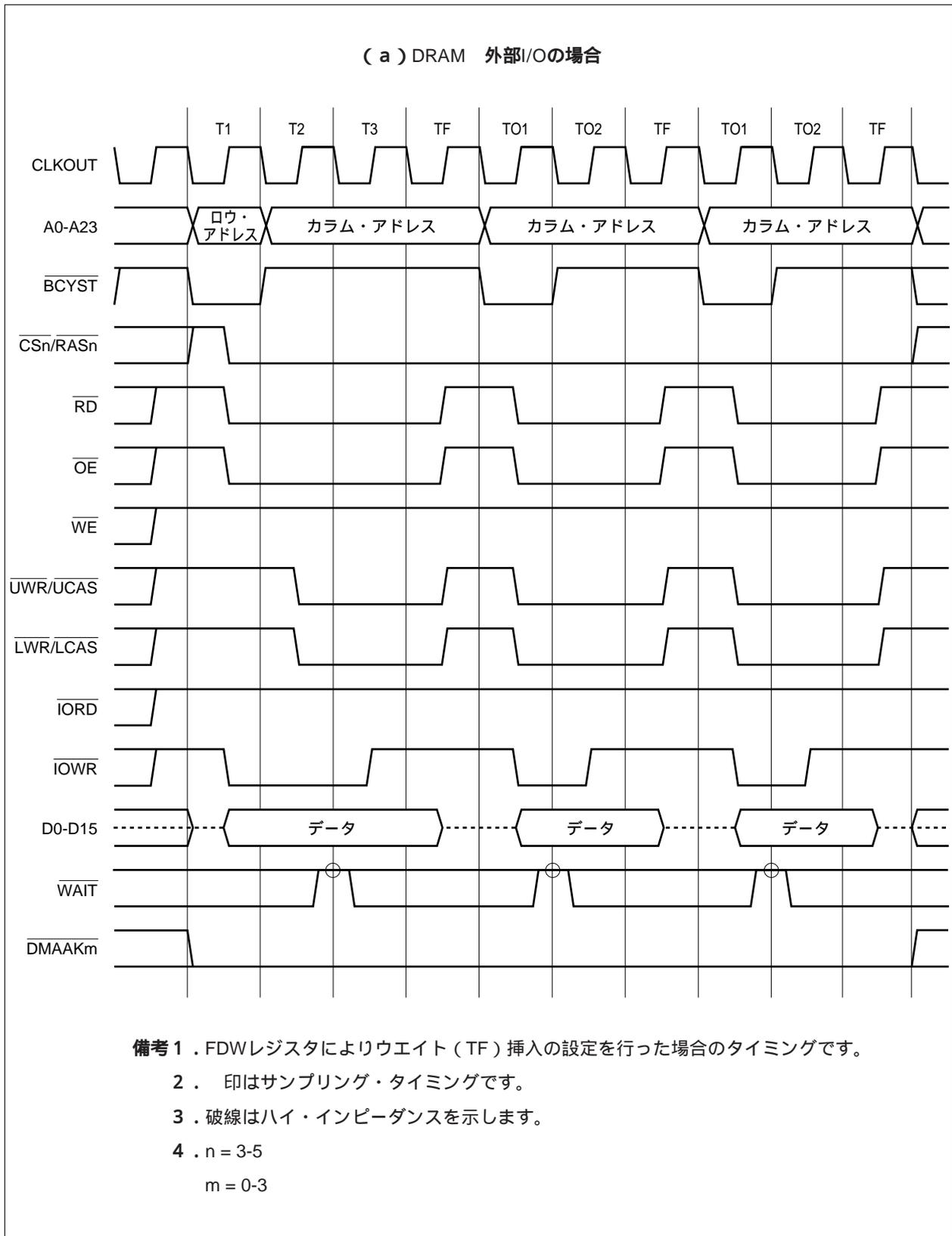
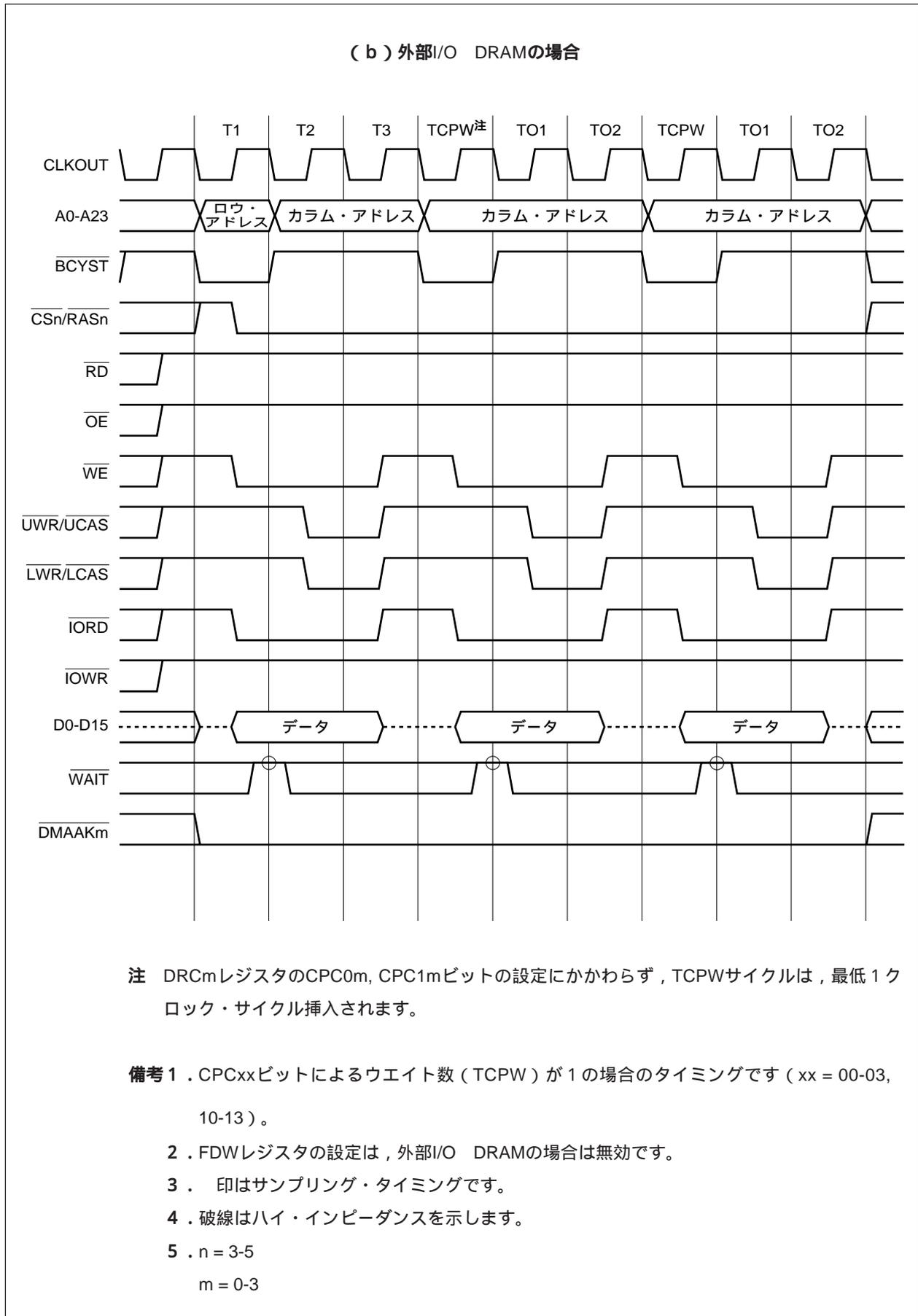


図5 - 10 DMAフライバイ転送時のDRAMアクセス・タイミング (2/2)



5.3.8 リフレッシュ制御機能

V850E/MS2は、CBR (CASビフォー-RAS) リフレッシュ・サイクルを生成できます。リフレッシュ・サイクルの設定は、リフレッシュ・コントロール・レジスタ (RFC) で行います。

ほかのバス・マスタが外部バスを占有している場合は、DRAMコントローラは、外部バスを占有できません。したがって、ほかのバス・マスタが外部バスを占有している場合は、リフレッシュ間隔に応じてバスを解放するようにしてください。

リフレッシュ期間中、アドレス・バスは、リフレッシュ・サイクルの直前の状態を保持します。

(1) リフレッシュ・コントロール・レジスタ0-3 (RFC0-RFC3)

リフレッシュの許可/禁止、リフレッシュ間隔を設定します。リフレッシュ間隔は次の計算式により求められます。

$$\text{リフレッシュ間隔} (\mu\text{s}) = \text{リフレッシュ・カウント・クロック} (T_{RCY}) \times \text{インターバル・ファクタ}$$

リフレッシュ・カウント・クロック、インターバル・ファクタはそれぞれRFCnレジスタのRENnビット、RInビットにより求めます。

なお、nは、DRAMコンフィギュレーション・レジスタ0-3 (DRC0-DRC3) のレジスタ番号 (0-3) に対応します。

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
RFC0	REN 0	0	0	0	0	0	RCC 01	RCC 00	0	0	RI 05	RI 04	RI 03	RI 02	RI 01	RI 00	アドレス FFFFF210H	初期値 0000H
RFC1	REN 1	0	0	0	0	0	RCC 11	RCC 10	0	0	RI 15	RI 14	RI 13	RI 12	RI 11	RI 10	FFFFF212H	0000H
RFC2	REN 2	0	0	0	0	0	RCC 21	RCC 20	0	0	RI 25	RI 24	RI 23	RI 22	RI 21	RI 20	FFFFF214H	0000H
RFC3	REN 3	0	0	0	0	0	RCC 31	RCC 30	0	0	RI 35	RI 34	RI 33	RI 32	RI 31	RI 30	FFFFF216H	0000H

ビット位置	ビット名	意味																																																	
15	RENn	Refresh Enable CBRリフレッシュの許可 / 禁止を指定します。 0 : リフレッシュ禁止 1 : リフレッシュ許可																																																	
9, 8	RCCn1, RCCn0	Refresh Count Clock リフレッシュ・カウント・クロック (TRCY) を指定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>RCCn1</th> <th>RCCn0</th> <th>リフレッシュ・カウント・クロック (TRCY)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>32/</td> </tr> <tr> <td>0</td> <td>1</td> <td>128/</td> </tr> <tr> <td>1</td> <td>0</td> <td>256/</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	RCCn1	RCCn0	リフレッシュ・カウント・クロック (TRCY)	0	0	32/	0	1	128/	1	0	256/	1	1	設定禁止																																		
RCCn1	RCCn0	リフレッシュ・カウント・クロック (TRCY)																																																	
0	0	32/																																																	
0	1	128/																																																	
1	0	256/																																																	
1	1	設定禁止																																																	
5-0	RIn5-RIn0	Refresh Interval リフレッシュ・タイミング生成用インターバル・タイマのインターバル・ファクタを設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>RIn5</th> <th>RIn4</th> <th>RIn3</th> <th>RIn2</th> <th>RIn1</th> <th>RIn0</th> <th>インターバル・ファクタ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>3</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>4</td> </tr> <tr> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>64</td> </tr> </tbody> </table>	RIn5	RIn4	RIn3	RIn2	RIn1	RIn0	インターバル・ファクタ	0	0	0	0	0	0	1	0	0	0	0	0	1	2	0	0	0	0	1	0	3	0	0	0	0	1	1	4	⋮	⋮	⋮	⋮	⋮	⋮	⋮	1	1	1	1	1	1	64
RIn5	RIn4	RIn3	RIn2	RIn1	RIn0	インターバル・ファクタ																																													
0	0	0	0	0	0	1																																													
0	0	0	0	0	1	2																																													
0	0	0	0	1	0	3																																													
0	0	0	0	1	1	4																																													
⋮	⋮	⋮	⋮	⋮	⋮	⋮																																													
1	1	1	1	1	1	64																																													

注意 1 . リフレッシュ許可後, リフレッシュ・カウント・クロック, またはインターバル・ファクタを変更する場合には, 一度RENnビットをクリア (0) (リフレッシュ禁止状態) してから再設定を行ってください。

★ 2 . DRAMと指定していないメモリ・ブロックに対してリフレッシュを許可しないでください (RENnフラグをセットしない)。

備考 n = 0-3
: 内部システム・クロック周波数

例 DRAMのリフレッシュ間隔の例とインターバル・ファクタの設定例を次に示します。

表5 - 2 DRAMのリフレッシュ間隔の例

DRAMの容量 (ビット)	リフレッシュ・サイクル (サイクル/ms)	リフレッシュ間隔 (μ s)
256 K	256/4	15.6
1 M	512/8	15.6
	512/64	125
4 M	512/128	250
	1 K/16	15.6
	1 K/128	125
16 M	1 K/256	250
	2 K/256	125
	4 K/64	15.6
	4 K/256	62.5
64 M	4 K/64	15.6

表5 - 3 インターバル・ファクタの設定例

リフレッシュ間隔の 規定値 (μ s)	リフレッシュ・カウント・ クロック (T_{RCY})	インターバル・ファクタの値 ^{注1,2}		
		= 16 MHz時	= 20 MHz時	= 30 MHz時
15.6	32/	7 (14)	9 (14.4)	14 (14.9)
	128/	1 (8)	2 (12.8)	3 (12.8)
	256/	-	1 (12.8)	1 (8.5)
62.5	32/	30 (60)	38 (60.8)	58 (61.9)
	128/	7 (56)	9 (57.6)	14 (59.7)
	256/	3 (48)	4 (51.2)	7 (59.7)
125	32/	-	-	-
	128/	15 (120)	19 (121.6)	29 (123.7)
	256/	7 (112)	9 (115.2)	14 (119.5)
250	32/	-	-	-
	128/	31 (248)	38 (243.2)	58 (247.5)
	256/	15 (240)	19 (243.2)	29 (247.5)

注1 . インターバル・ファクタは、RFCnレジスタのRIn0-RIn5ビットで設定します (n = 0-3)。

2 . カッコ内はリフレッシュ間隔の計算値 (μ s) です。

$$\text{リフレッシュ間隔} (\mu\text{s}) = \text{リフレッシュ・カウント・クロック} (T_{RCY}) \times \text{インターバル・ファクタ}$$

備考 : 内部システム・クロック周波数

(2) リフレッシュ・ウエイト・コントロール・レジスタ (RWC)

リフレッシュ・サイクル時のウエイト・ステートの挿入を指定します。8/1ビット単位でリード/ライト可能です。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
RWC	RRW1	RRW0	RCW2	RCW1	RCW0	SRW2	SRW1	SRW0	FFFFFF218H	00H

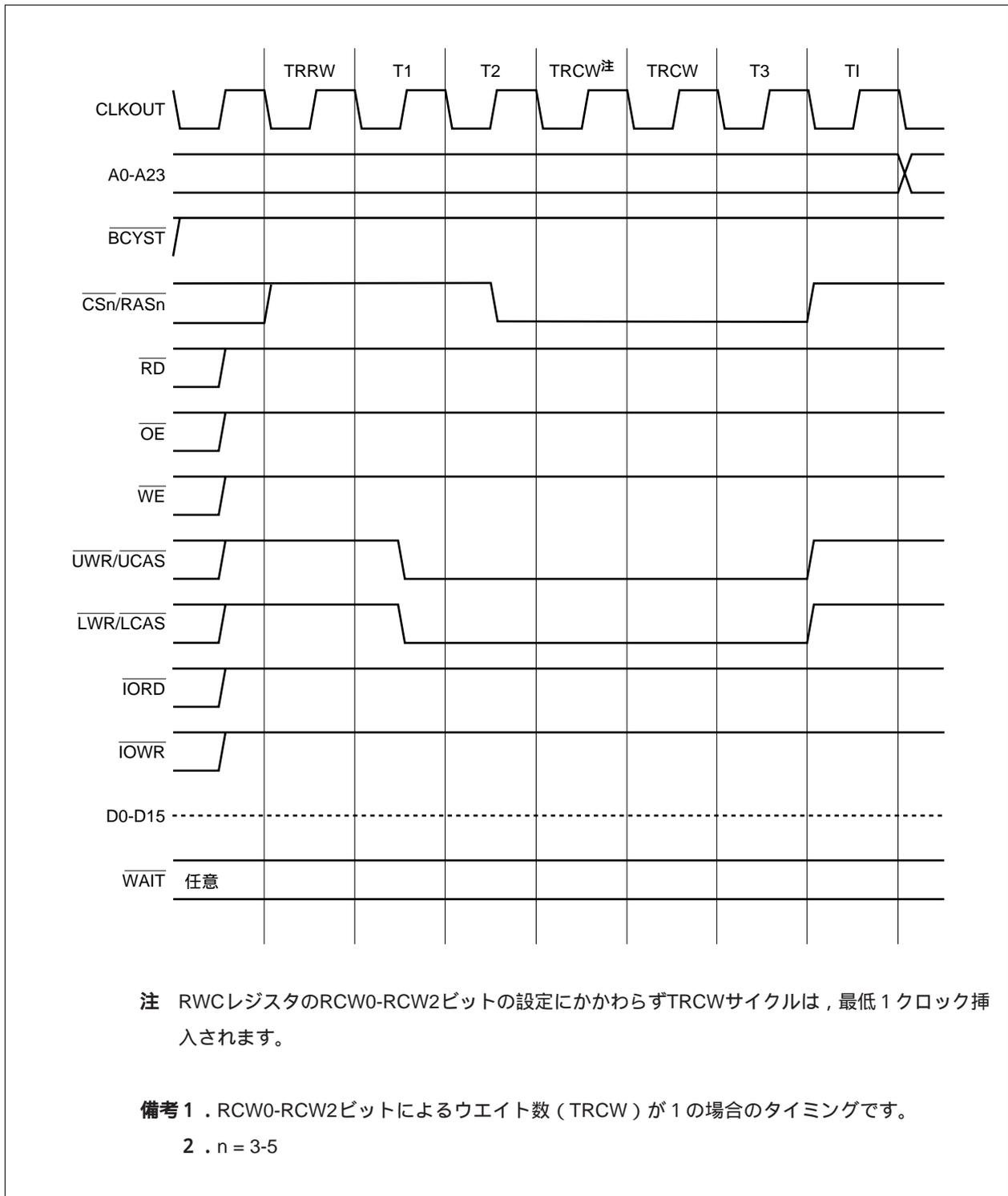
ビット位置	ビット名	意味																																				
7, 6	RRW1, RRW0	<p>Refresh RAS Wait Control</p> <p>CBRリフレッシュ時の$\overline{\text{RASm}}$信号のハイ・レベル幅を確保する時間として挿入するウエイト・ステート数を指定します。</p> <table border="1"> <thead> <tr> <th>RRW1</th> <th>RRW0</th> <th>挿入ウエイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>2</td></tr> <tr><td>1</td><td>1</td><td>3</td></tr> </tbody> </table>	RRW1	RRW0	挿入ウエイト・ステート数	0	0	0	0	1	1	1	0	2	1	1	3																					
RRW1	RRW0	挿入ウエイト・ステート数																																				
0	0	0																																				
0	1	1																																				
1	0	2																																				
1	1	3																																				
5-3	RCW2- RCW0	<p>Refresh Cycle Wait Control</p> <p>CBRリフレッシュ時の$\overline{\text{RASm}}$信号のロウ・レベル幅を確保する時間として挿入するウエイト・ステート数を指定します。</p> <table border="1"> <thead> <tr> <th>RCW2</th> <th>RCW1</th> <th>RCW0</th> <th>挿入ウエイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>7</td></tr> </tbody> </table>	RCW2	RCW1	RCW0	挿入ウエイト・ステート数	0	0	0	0	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
RCW2	RCW1	RCW0	挿入ウエイト・ステート数																																			
0	0	0	0																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			
2-0	SRW2- SRW0	<p>Self-refresh Release Wait Control</p> <p>CBRセルフ・リフレッシュを解除する時間として挿入するウエイト・ステート数を指定します。</p> <table border="1"> <thead> <tr> <th>SRW2</th> <th>SRW1</th> <th>SRW0</th> <th>挿入ウエイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>7</td></tr> </tbody> </table>	SRW2	SRW1	SRW0	挿入ウエイト・ステート数	0	0	0	0	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
SRW2	SRW1	SRW0	挿入ウエイト・ステート数																																			
0	0	0	0																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			

注意 RWCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、RWCレジスタの初期設定が終わるまではその初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域へのアクセスは可能です。

備考 m = 3-5

(3) リフレッシュ・タイミング

図5-11 CBRリフレッシュ・タイミング



5.3.9 セルフ・リフレッシュ機能

IDLEモード、ソフトウェアSTOPモードの場合、DRAMコントローラは、CBRセルフ・リフレッシュ・サイクルを生成します。

ただし、DRAMがセルフ・リフレッシュ動作に入るためには、DRAMの $\overline{\text{RASn}}$ パルス幅が仕様を満たしていなければなりません（ $n=3-5$ ）。

セルフ・リフレッシュ・サイクルの解除は、次のどちらかの方法で行います。

(1) $\overline{\text{NMI}}$ 入力による解除

(a) IDLEモードでのセルフ・リフレッシュ・サイクルの場合

ただちに $\overline{\text{RASn}}$ 、 $\overline{\text{LCAS}}$ 、 $\overline{\text{UCAS}}$ 信号をインアクティブ（ハイ・レベル）にして、セルフ・リフレッシュ・サイクルを解除します。

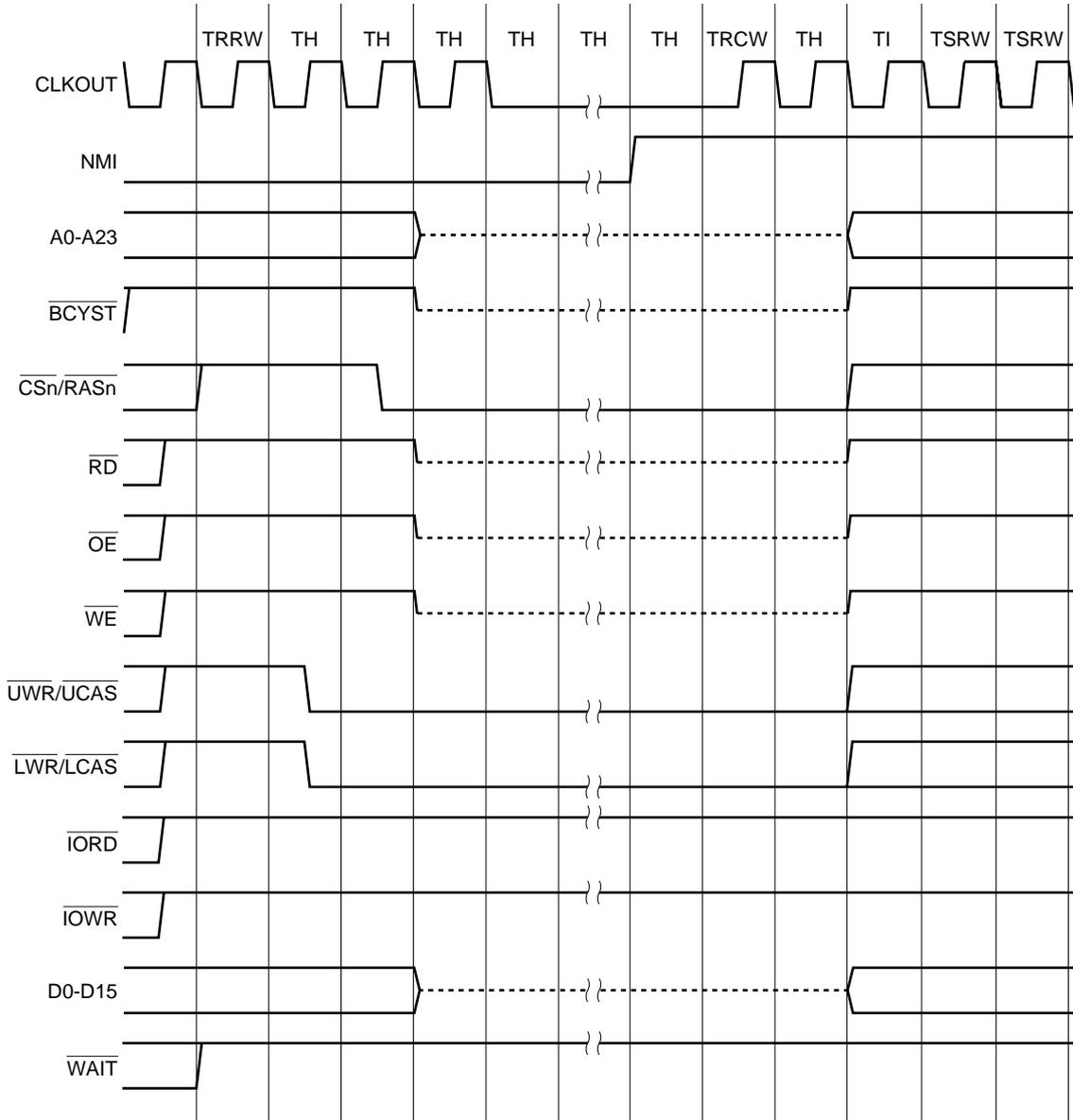
(b) ソフトウェアSTOPモードでのセルフ・リフレッシュ・サイクルの場合

発振が安定してから $\overline{\text{RASn}}$ 、 $\overline{\text{LCAS}}$ 、 $\overline{\text{UCAS}}$ 信号をインアクティブ（ハイ・レベル）にし、セルフ・リフレッシュ・サイクルを解除します。

(2) $\overline{\text{RESET}}$ 入力による解除

図5 - 12 CBRセルフ・リフレッシュ・タイミング (1/2)

(a) NMI入力による解除の場合 (IDLEモード時)



備考1 . 次の場合のタイミングです。

RRW0, RRW1ビットによるウエイト数 (TRRW) : 1

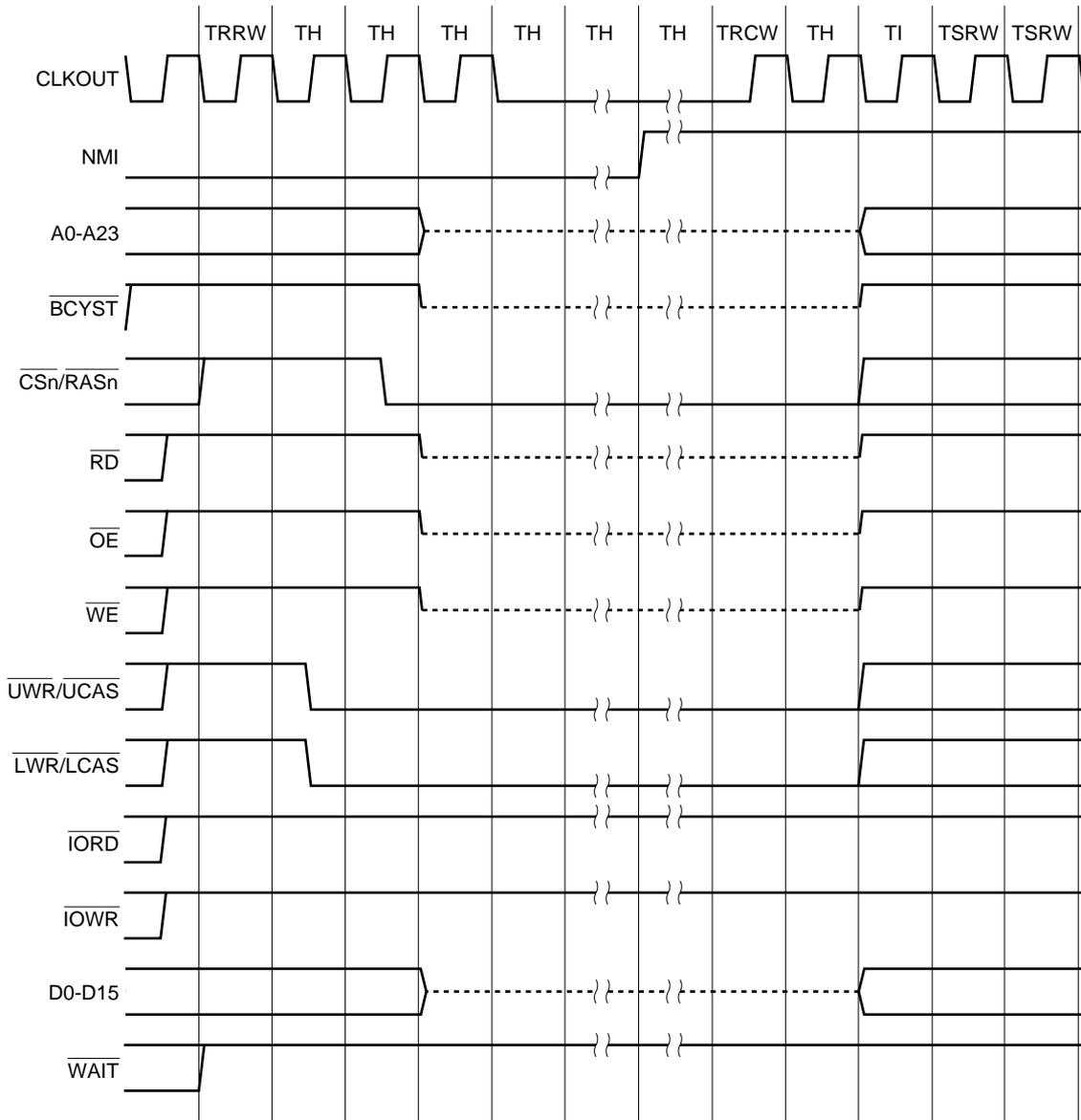
RCW0-RCW2ビットによるウエイト数 (TRCW) : 1

SRW0-SRW2ビットによるウエイト数 (TSRW) : 2

2 . n = 3-5

図5 - 12 CBRセルフ・リフレッシュ・タイミング (2/2)

(b) NMI入力による解除の場合 (ソフトウェアSTOPモード時)



備考1 . 次の場合のタイミングです。

RRW0, RRW1ビットによるウエイト数 (TRRW) : 1

RCW0-RCW2ビットによるウエイト数 (TRCW) : 1

SRW0-SRW2ビットによるウエイト数 (TSRW) : 2

2 . n = 3-5

第6章 DMA機能 (DMAコントローラ)

V850E/MS2は、DMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を備えています。

DMACは、内蔵周辺I/O (シリアル・インタフェース, リアルタイム・パルス・ユニット), $\overline{\text{DMARQ0}}\text{-}\overline{\text{DMARQ3}}$ 端子, またはソフトウェア・トリガによるDMA要求に基づいて、メモリ-I/O間またはメモリ-メモリ間でデータを転送します。

6.1 特 徴

4つの独立なDMAチャンネル

転送単位：8ビット / 16ビット

最大転送回数：65536 (2^{16}) 回

2種類の転送タイプ

- ・フライバイ (1サイクル) 転送
- ・2サイクル転送

3種類の転送モード

- ・シングル転送モード
- ・シングルステップ転送モード
- ・ブロック転送モード

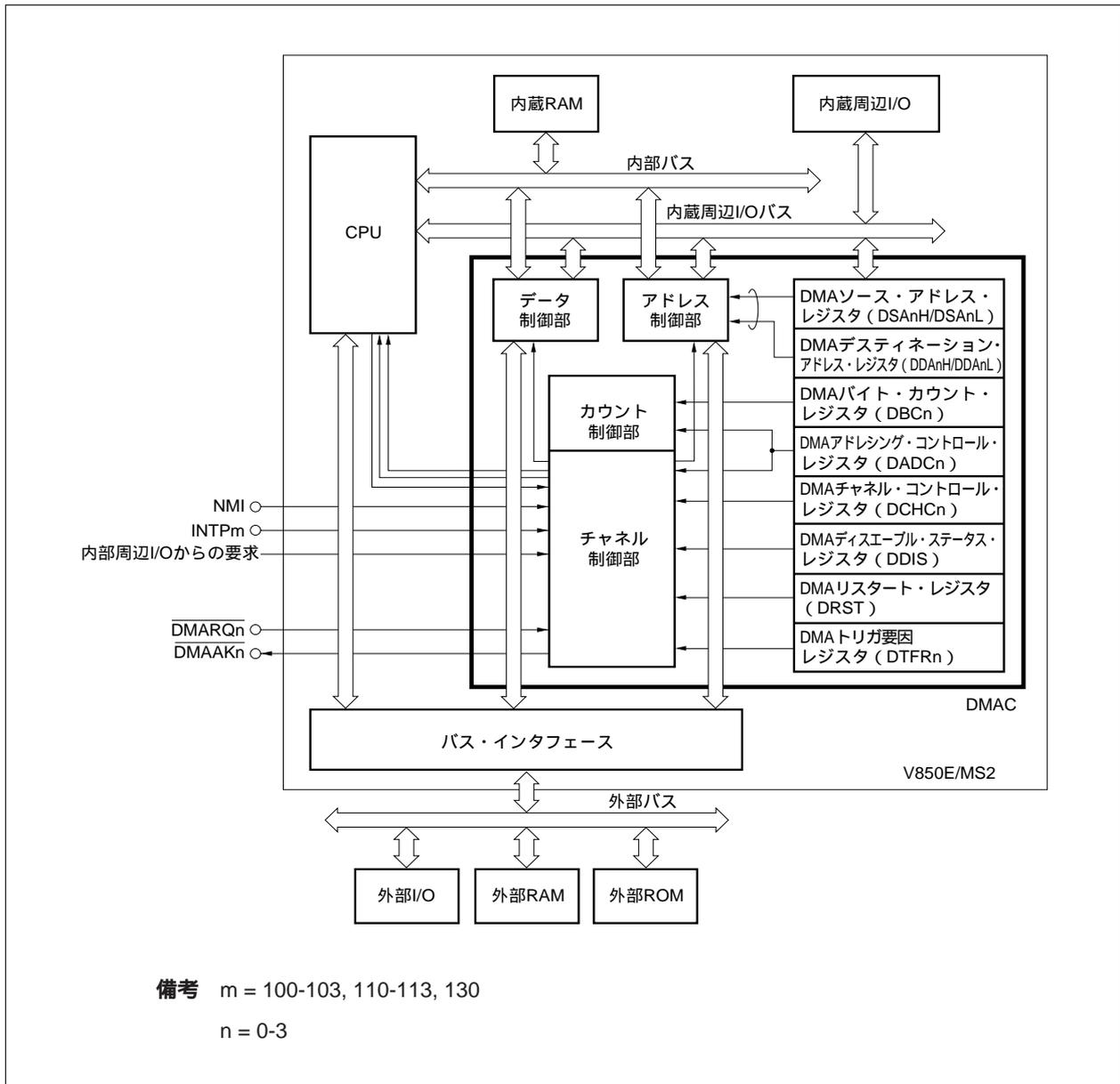
転送要求

- ・ $\overline{\text{DMARQ0}}\text{-}\overline{\text{DMARQ3}}$ 端子 (4本)
- ・内蔵周辺I/O (シリアル・インタフェース, リアルタイム・パルス・ユニット) からの要求
- ・ソフトウェアによる要求

転送対象

- ・メモリ I/O
- ・メモリ メモリ

6.2 構成



6.3 制御レジスタ

6.3.1 DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャンネルnのDMA転送元アドレス (26ビット) を設定します (n = 0-3)。このレジスタは、DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。

DMA転送中は、次のDMA転送元アドレスを保持します。

DMAアドレッシング・コントロール・レジスタn (DADCn) のTTYPビットで、外部メモリ-外部I/O間のフライバイ転送に設定した場合、外部メモリのアドレスはDSAnレジスタで設定します。DMAデスティネーション・アドレス・レジスタn (DDAn) の設定は無視されます。

(1) DMAソース・アドレス・レジスタ0H-3H (DSA0H-DSA3H)

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DSA0H	0	0	0	0	0	0	SA 25	SA 24	SA 23	SA 22	SA 21	SA 20	SA 19	SA 18	SA 17	SA 16	アドレス FFFFFF1A0H	初期値 不定
DSA1H	0	0	0	0	0	0	SA 25	SA 24	SA 23	SA 22	SA 21	SA 20	SA 19	SA 18	SA 17	SA 16	FFFFFF1A8H	不定
DSA2H	0	0	0	0	0	0	SA 25	SA 24	SA 23	SA 22	SA 21	SA 20	SA 19	SA 18	SA 17	SA 16	FFFFFF1B0H	不定
DSA3H	0	0	0	0	0	0	SA 25	SA 24	SA 23	SA 22	SA 21	SA 20	SA 19	SA 18	SA 17	SA 16	FFFFFF1B8H	不定

ビット位置	ビット名	意味
9-0	SA25-SA16	Source Address DMA転送元のアドレス (A25-A16) を設定します。DMA転送中は、次のDMA転送元アドレスを保持します。外部メモリ-外部I/O間のフライバイ転送時は、外部メモリのアドレスを保持します。

(2) DMAソース・アドレス・レジスタ0L-3L (DSA0L-DSA3L)

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DSA0L	SA 15	SA 14	SA 13	SA 12	SA 11	SA 10	SA 9	SA 8	SA 7	SA 6	SA 5	SA 4	SA 3	SA 2	SA 1	SA 0	アドレス FFFFFF1A2H	初期値 不定
DSA1L	SA 15	SA 14	SA 13	SA 12	SA 11	SA 10	SA 9	SA 8	SA 7	SA 6	SA 5	SA 4	SA 3	SA 2	SA 1	SA 0	FFFFFF1AAH	不定
DSA2L	SA 15	SA 14	SA 13	SA 12	SA 11	SA 10	SA 9	SA 8	SA 7	SA 6	SA 5	SA 4	SA 3	SA 2	SA 1	SA 0	FFFFFF1B2H	不定
DSA3L	SA 15	SA 14	SA 13	SA 12	SA 11	SA 10	SA 9	SA 8	SA 7	SA 6	SA 5	SA 4	SA 3	SA 2	SA 1	SA 0	FFFFFF1BAH	不定

ビット位置	ビット名	意味
15-0	SA15-SA0	Source Address DMA転送元のアドレス (A15-A0) を設定します。DMA転送中は、次のDMA転送元アドレスを保持します。外部メモリ-外部I/O間のフライバイ転送時は、外部メモリのアドレスを保持します。

6.3.2 DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャネルnのDMA転送先アドレス (26ビット) を設定します (n = 0-3)。このレジスタは、DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。

DMA転送中は、次のDMA転送先アドレスを保持します。

DMAアドレッシング・コントロール・レジスタn (DADCn) のTTYPビットで外部メモリ-外部I/O間のフライバイ転送に設定した場合、このレジスタの設定は無視されます。なお、内蔵RAM-内蔵周辺I/O間のフライバイ転送に設定した場合は、このレジスタを必ず設定してください。

(1) DMAデスティネーション・アドレス・レジスタ0H-3H (DDA0H-DDA3H)

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DDA0H	0	0	0	0	0	0	DA 25	DA 24	DA 23	DA 22	DA 21	DA 20	DA 19	DA 18	DA 17	DA 16	アドレス FFFFFF1A4H	初期値 不定
DDA1H	0	0	0	0	0	0	DA 25	DA 24	DA 23	DA 22	DA 21	DA 20	DA 19	DA 18	DA 17	DA 16	FFFFFF1ACH	不定
DDA2H	0	0	0	0	0	0	DA 25	DA 24	DA 23	DA 22	DA 21	DA 20	DA 19	DA 18	DA 17	DA 16	FFFFFF1B4H	不定
DDA3H	0	0	0	0	0	0	DA 25	DA 24	DA 23	DA 22	DA 21	DA 20	DA 19	DA 18	DA 17	DA 16	FFFFFF1BCH	不定

ビット位置	ビット名	意味
9-0	DA25-DA16	Destination Address DMA転送先のアドレス (A25-A16) を設定します。DMA転送中は、次のDMA転送先アドレスを保持します。外部メモリ-外部I/O間のフライバイ転送時は無視されますが、内蔵RAM-内蔵周辺I/O間のフライバイ転送時は、このレジスタを必ず設定してください。

(2) DMAデスティネーション・アドレス・レジスタ0L-3L (DDA0L-DDA3L)

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DDA0L	DA 15	DA 14	DA 13	DA 12	DA 11	DA 10	DA 9	DA 8	DA 7	DA 6	DA 5	DA 4	DA 3	DA 2	DA 1	DA 0	アドレス FFFFFF1A6H	初期値 不定
DDA1L	DA 15	DA 14	DA 13	DA 12	DA 11	DA 10	DA 9	DA 8	DA 7	DA 6	DA 5	DA 4	DA 3	DA 2	DA 1	DA 0	FFFFFF1AEH	不定
DDA2L	DA 15	DA 14	DA 13	DA 12	DA 11	DA 10	DA 9	DA 8	DA 7	DA 6	DA 5	DA 4	DA 3	DA 2	DA 1	DA 0	FFFFFF1B6H	不定
DDA3L	DA 15	DA 14	DA 13	DA 12	DA 11	DA 10	DA 9	DA 8	DA 7	DA 6	DA 5	DA 4	DA 3	DA 2	DA 1	DA 0	FFFFFF1BEH	不定

ビット位置	ビット名	意味
15-0	DA15-DA0	Destination Address DMA転送先のアドレス (A15-A0) を設定します。DMA転送中は、次のDMA転送先アドレスを保持します。外部メモリ-外部I/O間のフライバイ転送時は無視されますが、内蔵RAM-内蔵周辺I/O間のフライバイ転送時は、このレジスタを必ず設定してください。

6.3.3 DMAバイト・カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャンネルnのバイト転送数を設定する16ビット・レジスタです (n=0-3)。

DMA転送中は、残り転送回数を保持します。

バイト転送の場合は1ずつデクリメント、16ビット転送の場合は2ずつデクリメントされ、ポローが発生すると転送を終了します。したがって、バイト転送の場合は「転送回数 - 1」を、16ビット転送の場合は「(転送回数 - 1) × 2」を設定します。

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DBC0	BC 15	BC 14	BC 13	BC 12	BC 11	BC 10	BC 9	BC 8	BC 7	BC 6	BC 5	BC 4	BC 3	BC 2	BC 1	BC 0	アドレス FFFFFF1E0H	初期値 不定
DBC1	BC 15	BC 14	BC 13	BC 12	BC 11	BC 10	BC 9	BC 8	BC 7	BC 6	BC 5	BC 4	BC 3	BC 2	BC 1	BC 0	FFFFFF1E2H	不定
DBC2	BC 15	BC 14	BC 13	BC 12	BC 11	BC 10	BC 9	BC 8	BC 7	BC 6	BC 5	BC 4	BC 3	BC 2	BC 1	BC 0	FFFFFF1E4H	不定
DBC3	BC 15	BC 14	BC 13	BC 12	BC 11	BC 10	BC 9	BC 8	BC 7	BC 6	BC 5	BC 4	BC 3	BC 2	BC 1	BC 0	FFFFFF1E6H	不定

ビット位置	ビット名	意味										
15-0	BC15-BC0	Byte Count バイト転送数を設定します。DMA転送中は残りバイト転送数を保持します。 <table border="1"> <thead> <tr> <th>DBCn</th> <th>状態</th> </tr> </thead> <tbody> <tr> <td>0000H</td> <td>1回のバイト転送または残りバイト転送数</td> </tr> <tr> <td>0001H</td> <td>2回のバイト転送または残りバイト転送数</td> </tr> <tr> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>FFFFH</td> <td>65536 (2¹⁶) 回のバイト転送または残りバイト転送数</td> </tr> </tbody> </table>	DBCn	状態	0000H	1回のバイト転送または残りバイト転送数	0001H	2回のバイト転送または残りバイト転送数	⋮	⋮	FFFFH	65536 (2 ¹⁶) 回のバイト転送または残りバイト転送数
DBCn	状態											
0000H	1回のバイト転送または残りバイト転送数											
0001H	2回のバイト転送または残りバイト転送数											
⋮	⋮											
FFFFH	65536 (2 ¹⁶) 回のバイト転送または残りバイト転送数											

備考 n = 0-3

6.3.4 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャネルnのDMA転送動作モードを制御する16ビット・レジスタです (n = 0-3)。

16ビット単位でリード/ライト可能です。

注意 DMA転送中は、これらのレジスタへの書き込みは行わないでください。

(1/2)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DADC0	0	0	0	0	0	0	0	DS	SAD ₁	SAD ₀	DAD ₁	DAD ₀	TM ₁	TM ₀	TTYP	TDIR	アドレス FFFFFF1F0H	初期値 0000H
DADC1	0	0	0	0	0	0	0	DS	SAD ₁	SAD ₀	DAD ₁	DAD ₀	TM ₁	TM ₀	TTYP	TDIR	FFFFFF1F2H	0000H
DADC2	0	0	0	0	0	0	0	DS	SAD ₁	SAD ₀	DAD ₁	DAD ₀	TM ₁	TM ₀	TTYP	TDIR	FFFFFF1F4H	0000H
DADC3	0	0	0	0	0	0	0	DS	SAD ₁	SAD ₀	DAD ₁	DAD ₀	TM ₁	TM ₀	TTYP	TDIR	FFFFFF1F6H	0000H

ビット位置	ビット名	意味															
8	DS	Data Size DMA転送での転送データ・サイズを設定します。 0 : 8ビット 1 : 16ビット															
7, 6	SAD1, SAD0	Source Address count Direction DMAチャネルnの転送元アドレスのカウンタ方向を設定します。 <table border="1"> <thead> <tr> <th>SAD1</th> <th>SAD0</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	SAD1	SAD0	カウンタ方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
SAD1	SAD0	カウンタ方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															
5, 4	DAD1, DAD0	Destination Address count Direction DMAチャネルnの転送先アドレスのカウンタ方向を設定します。 <table border="1"> <thead> <tr> <th>DAD1</th> <th>DAD0</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	DAD1	DAD0	カウンタ方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
DAD1	DAD0	カウンタ方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															

備考 n = 0-3

ビット位置	ビット名	意味															
3, 2	TM1, TM0	<p>Transfer Mode</p> <p>DMA転送時の転送モードを設定します。</p> <table border="1"> <thead> <tr> <th>TM1</th> <th>TM0</th> <th>転送モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>シングル転送モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>シングルステップ転送モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>ブロック転送モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	TM1	TM0	転送モード	0	0	シングル転送モード	0	1	シングルステップ転送モード	1	0	ブロック転送モード	1	1	設定禁止
TM1	TM0	転送モード															
0	0	シングル転送モード															
0	1	シングルステップ転送モード															
1	0	ブロック転送モード															
1	1	設定禁止															
1	TTYP	<p>Transfer Type</p> <p>DMA転送タイプを設定します。</p> <p>0 : 2サイクル転送</p> <p>1 : フライバイ転送</p>															
0	TDIR	<p>Transfer Direction</p> <p>I/O メモリ転送時の転送方向を設定します。設定はフライバイ転送時だけ有効で、2サイクル転送時は無視されます。</p> <p>0 : メモリ I/O (リード)</p> <p>1 : I/O メモリ (ライト)</p>															

6.3.5 DMAチャネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャネルnのDMA転送動作モードを制御する8ビット・レジスタです (n = 0-3)。

8/1ビット単位でリード/ライト可能です (ただしビット7はリードだけ、ビット2, ビット1はライトだけ可能です。ビット2, ビット1をリードした場合は0が読み出されます。)。

	7	6	5	4	3	2	1	0	アドレス	初期値
DCHC0	TC0	0	0	0	0	INIT0	STG0	EN0	FFFFFF5F0H	00H
DCHC1	TC1	0	0	0	0	INIT1	STG1	EN1	FFFFFF5F2H	00H
DCHC2	TC2	0	0	0	0	INIT2	STG2	EN2	FFFFFF5F4H	00H
DCHC3	TC3	0	0	0	0	INIT3	STG3	EN3	FFFFFF5F6H	00H

ビット位置	ビット名	意味
7	TCn	Terminal Count DMAチャネルnのDMA転送の終了/未終了を示すステータス・ビットです。 読み出しだけができます。ターミナル・カウントによりDMA転送が終了するとセット (1) され, 読み出しによりリセット (0) されます。 0 : DMA転送未終了 1 : DMA転送終了
2	INITn	Initialize このビットをセット (1) すると, DMA転送を強制終了します。
1	STGn	Software Trigger DMA転送が許可の状態 (TCnビット=0, ENnビット=1) で, このビットをセット (1) するとDMA転送を開始します。
0	ENn	Enable DMAチャネルnのDMA転送の許可/禁止を設定します。ターミナル・カウントによりDMA転送が終了するとリセット (0) されます。また, NMI入力や, INITnビットのセット (1) による強制終了時にもリセット (0) されます。 0 : DMA転送の禁止 1 : DMA転送の許可

備考 n = 0-3

6.3.6 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

周辺I/Oからの割り込み要求によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求が、DMA転送の起動要因となります。

8/1ビット単位でリード/ライト可能です。

(1/2)

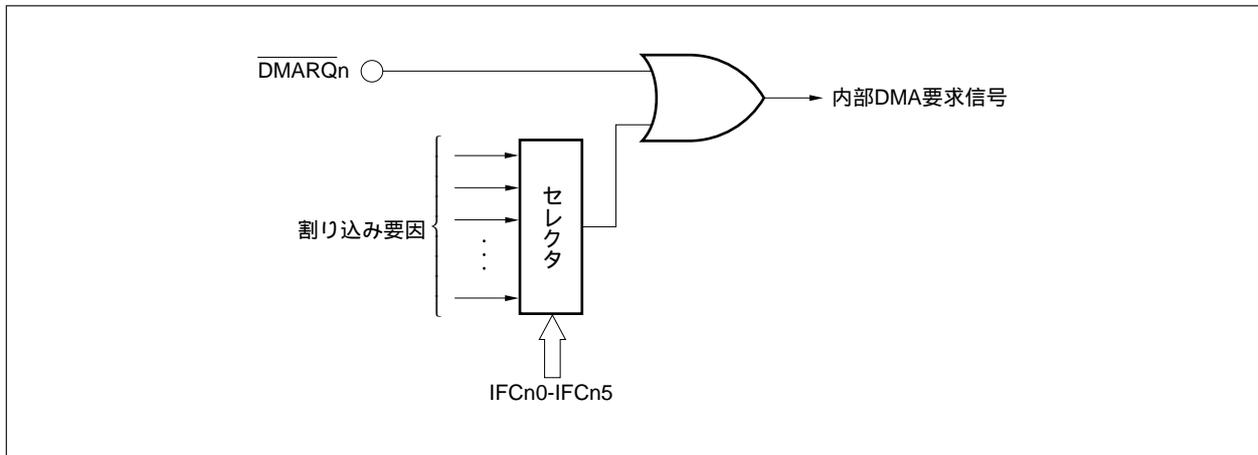
	7	6	5	4	3	2	1	0	アドレス	初期値
DTFR0	0	0	IFC05	IFC04	IFC03	IFC02	IFC01	IFC00	FFFFFF5E0H	00H
DTFR1	0	0	IFC15	IFC14	IFC13	IFC12	IFC11	IFC10	FFFFFF5E2H	00H
DTFR2	0	0	IFC25	IFC24	IFC23	IFC22	IFC21	IFC20	FFFFFF5E4H	00H
DTFR3	0	0	IFC35	IFC34	IFC33	IFC32	IFC31	IFC30	FFFFFF5E6H	00H

ビット位置	ビット名	意味																																																																																																																																																																	
5-0	IFCn5-IFCn0	Interrupt Factor Code DMA転送の起動要因を設定します。																																																																																																																																																																	
		<table border="1"> <thead> <tr> <th>IFCn5</th> <th>IFCn4</th> <th>IFCn3</th> <th>IFCn2</th> <th>IFCn1</th> <th>IFCn0</th> <th>割り込み要因</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>内蔵周辺I/OからのDMA要求禁止</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>INTCM40</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>INTCM41</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>INTCSI0</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>INTSR0</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>INTST0</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>INTCSI1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>INTSR1</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>INTST1</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>INTP100/INTCC100</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>INTP101/INTCC101</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>INTP102/INTCC102</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>INTP103/INTCC103</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>INTP110/INTCC110</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>INTP111/INTCC111</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>INTP112/INTCC112</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>INTP113/INTCC113</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>INTCC120</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>INTCC121</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>INTCC122</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>INTCC123</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>INTP130/INTCC130</td> </tr> </tbody> </table>	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因	0	0	0	0	0	0	内蔵周辺I/OからのDMA要求禁止	0	0	0	0	0	1	INTCM40	0	0	0	0	1	0	INTCM41	0	0	0	0	1	1	INTCSI0	0	0	0	1	0	0	INTSR0	0	0	0	1	0	1	INTST0	0	0	0	1	1	0	INTCSI1	0	0	0	1	1	1	INTSR1	0	0	1	0	0	0	INTST1	0	0	1	0	1	1	INTP100/INTCC100	0	0	1	1	0	0	INTP101/INTCC101	0	0	1	1	0	1	INTP102/INTCC102	0	0	1	1	1	0	INTP103/INTCC103	0	0	1	1	1	1	INTP110/INTCC110	0	1	0	0	0	0	INTP111/INTCC111	0	1	0	0	0	1	INTP112/INTCC112	0	1	0	0	1	0	INTP113/INTCC113	0	1	0	0	1	1	INTCC120	0	1	0	1	0	0	INTCC121	0	1	0	1	0	1	INTCC122	0	1	0	1	1	0	INTCC123	0	1	0	1	1	1	INTP130/INTCC130
IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因																																																																																																																																																													
0	0	0	0	0	0	内蔵周辺I/OからのDMA要求禁止																																																																																																																																																													
0	0	0	0	0	1	INTCM40																																																																																																																																																													
0	0	0	0	1	0	INTCM41																																																																																																																																																													
0	0	0	0	1	1	INTCSI0																																																																																																																																																													
0	0	0	1	0	0	INTSR0																																																																																																																																																													
0	0	0	1	0	1	INTST0																																																																																																																																																													
0	0	0	1	1	0	INTCSI1																																																																																																																																																													
0	0	0	1	1	1	INTSR1																																																																																																																																																													
0	0	1	0	0	0	INTST1																																																																																																																																																													
0	0	1	0	1	1	INTP100/INTCC100																																																																																																																																																													
0	0	1	1	0	0	INTP101/INTCC101																																																																																																																																																													
0	0	1	1	0	1	INTP102/INTCC102																																																																																																																																																													
0	0	1	1	1	0	INTP103/INTCC103																																																																																																																																																													
0	0	1	1	1	1	INTP110/INTCC110																																																																																																																																																													
0	1	0	0	0	0	INTP111/INTCC111																																																																																																																																																													
0	1	0	0	0	1	INTP112/INTCC112																																																																																																																																																													
0	1	0	0	1	0	INTP113/INTCC113																																																																																																																																																													
0	1	0	0	1	1	INTCC120																																																																																																																																																													
0	1	0	1	0	0	INTCC121																																																																																																																																																													
0	1	0	1	0	1	INTCC122																																																																																																																																																													
0	1	0	1	1	0	INTCC123																																																																																																																																																													
0	1	0	1	1	1	INTP130/INTCC130																																																																																																																																																													

ビット位置	ビット名	意					味	
5-0	IFCn5-IFCn0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
		0	1	1	0	0	0	INTCC131
		0	1	1	0	0	1	INTCC132
		0	1	1	0	1	0	INTCC133
		1	0	0	0	1	1	INTAD
上記以外							設定禁止	

備考 n = 0-3

備考 $\overline{\text{DMARQn}}$ 信号とDMA転送開始トリガとなる割り込み要因の関係は次のようになります (n = 0-3)。



6.3.7 DMAディスエーブル・ステータス・レジスタ (DDIS)

NMI入力時にDCHCnレジスタのENnビットの内容を保持するレジスタです (n = 0-3)。8/1ビット単位でリードだけ可能です。

	7	6	5	4	3	2	1	0		
DDIS	0	0	0	0	CH3	CH2	CH1	CH0	アドレス FFFFF5D0H	初期値 00H

ビット位置	ビット名	意	味
3-0	CHn (n = 3-0)	NMI Interruption Status NMI入力時にDCHCnレジスタのENnビットの内容が反映されます。このレジスタの内容は、次のNMI入力時、またはシステム・リセット時まで保持されます。	

6.3.8 DMAリスタート・レジスタ (DRST)

- ★ このレジスタのRENnビットは、DCHCnレジスタのENnビットとそれぞれ連結しています (n=0-3)。8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
DRST	0	0	0	0	REN3	REN2	REN1	REN0	アドレス FFFFFF5D2H	初期値 00H

ビット位置	ビット名	意味
3-0	RENn (n = 3-0)	Restart Enable DMAチャンネルnのDMA転送の許可/禁止を設定します。ターミナル・カウントによりDMA転送が終了するとリセット (0) されます。また、NMI入力やDCHCnレジスタのINITnビットのセット (1) によるDMAの強制終了時にもリセット (0) されます。 0 : DMA転送の禁止 1 : DMA転送の許可

6.3.9 フライバイ転送データ・ウエイト・コントロール・レジスタ (FDW)

フライバイ転送時の不正書き込みを防ぐために、ライト信号 (\overline{IOWR} , \overline{UWR} , \overline{LWR} , \overline{WE}) がインアクティブになってからリード信号 (\overline{RD} , \overline{IORD} , \overline{OE}) がインアクティブになるまでの時間を確保するためのウエイト・ステート (TF) 挿入を設定します。8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
FDW	FDW7	FDW6	FDW5	FDW4	FDW3	FDW2	FDW1	FDW0	アドレス FFFFFF06CH	初期値 00H

メモリ・ブロック	7	6	5	4	3	2	1	0
----------	---	---	---	---	---	---	---	---

ビット位置	ビット名	意味
7-0	FDWn (n = 7-0)	Fly-by Data Wait メモリ・ブロックnに対するウエイト・ステート挿入を設定します。 0 : ウエイト・ステートを挿入しない。 1 : 1ウエイト・ステートを挿入する。

注意 FDWレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、FDWレジスタの初期設定が終わるまでは外部メモリ領域をアクセスしないでください (ただし、0000000H-01FFFFFFH領域は除く)。

備考 FDWレジスタの設定は、次に示すDMA転送時に有効です。

	メモリの種類	SRAM, ページROM	DRAM
転送対象	メモリ I/O	有効	有効
I/O	メモリ	有効	無効

6.4 DMAバス・ステート

6.4.1 バス・ステートの種類

DMACのバス・サイクルは、次に示す25個のステートで構成されます。

(1) T1ステート

アクセス要求がないアイドル状態のステートです。

CLKOUT信号の立ち下がりでDMARQ0-DMARQ3信号をサンプリングします。

(2) T0ステート

DMA転送準備状態 (DMA転送要求があり、最初のDMA転送のためにバス使用权を獲得している状態) のステートです。

(3) T1Rステート

2サイクル転送のリードの最初に移行するステートです。

アドレスの駆動を開始します。T1RステートのあとはT2Rステートに必ず遷移します。

(4) T1RIステート

外部メモリのリード・リクエストに対するアクノリッジ信号を待っているステートです。

最後のT1RIステートのあとはT2Rステートに必ず遷移します。

(5) T2Rステート

2サイクル転送のリードの最後またはウェイト状態のステートです。

最後のT2Rステートでリード・データをサンプリングします。そのあとは必ずT1Wステートに遷移します。

(6) T2RIステート

内蔵周辺I/Oまたは内蔵RAMへのDMA転送準備状態 (内蔵周辺I/Oまたは内蔵RAMへのDMA転送のために、バスの使用权を獲得している状態) のステートです。

最後のT2RIステートのあとはT1Wステートに必ず遷移します。

(7) T1Wステート

2サイクル転送のライトの最初に移行するステートです。

アドレスの駆動を開始します。T1WステートのあとはT2Wステートに必ず遷移します。

(8) T1WIステート

外部メモリのライト・リクエストに対するアクノリッジ信号を待っているステートです。

最後のT1WIステートのあとはT2Wステートに必ず遷移します。

(9) T2Wステート

2サイクル転送のライトの最後またはウェイト状態のステートです。

最後のT2Wステートでライト・ストロブ信号をインアクティブにします。

(10) T1Fステート

内蔵周辺I/Oから内蔵RAMへのフライバイ転送の最初に移行するステートです。

内蔵周辺I/Oからのリード・サイクルを開始します。T1FステートのあとはT2Fステートに必ず遷移します。

(11) T2Fステート

内蔵周辺I/Oから内蔵RAMへのフライバイ転送の中間の状態のステートです。

内蔵RAMへのライト・サイクルを開始します。

T2FステートのあとはT3Fステートに必ず遷移します。

(12) T3Fステート

内蔵周辺I/Oから内蔵RAMへのフライバイ転送の最後またはウエイト状態のステートです。

最後のT3Fステートでライト・ストロブ信号をインアクティブにします。

(13) T1FRステート

内蔵RAMから内蔵周辺I/Oへのフライバイ転送の最初に移行するステートです。

内蔵RAMからのリード・サイクルを開始します。

T1FRステートのあとはT2FRステートに必ず遷移します。

(14) T2FRステート

内蔵RAMから内蔵周辺I/Oへのフライバイ転送の中間の状態のステートです。

内蔵周辺I/Oへのライト・サイクルを開始します。

T2FRステートのあとはT3FRステートに必ず遷移します。

(15) T3FRステート

内蔵RAMから内蔵周辺I/Oへのフライバイ転送が続くかどうかを判断するステートです。

ブロック転送で次の転送を行う場合、T1FRBステートに移行します。その他の場合はT4ステートに移行します。

(16) T1FRBステート

内蔵RAMから内蔵周辺I/Oへのフライバイ・ブロック転送の最初に移行するステートです。

内蔵RAMからのリード・サイクルを開始します。

(17) T1FRBIステート

内蔵RAMから内蔵周辺I/Oへのフライバイ・ブロック転送を待っているステートです。

周辺ハードウェアから要求されたウエイトを行い、T2FRBステートに移行します。

(18) T2FRBステート

内蔵RAMから内蔵周辺I/Oへのフライバイ・ブロック転送の中間の状態のステートです。

内蔵周辺I/Oへのライト・サイクルを開始します。

T2FRBステートのあとはT3FRBステートに必ず遷移します。

(19) T3FRBステート

内蔵RAMから内蔵周辺I/Oへのフライバイ・ブロック転送が続くかどうかを判断するステートです。

ブロック転送で次の転送を行う場合、T1FRBステートに移行します。その他の場合はT4ステートに移行します。

(20) T4ステート

内蔵RAMから内蔵周辺I/Oへのフライバイ転送を待っているステートです。

周辺ハードウェアから要求されたウェイトを行い、T3ステートに移行します。

(21) T1FHステート

外部メモリと外部I/O間のフライバイ転送の基本のステートで、その転送の実行サイクルです。

T1FHステートのあとはT2FHステートに遷移します。

(22) T1FHIステート

外部メモリと外部I/O間のフライバイ転送の最後の状態で、DMAフライバイ転送の終了を待ちます。

T1FHIステートのあとはバスを解放し、TEステートに遷移します。

(23) T2FHステート

外部メモリと外部I/O間のフライバイ転送が続くかどうかを判断するステートです。

ブロック転送で次の転送を行う場合、T1FHステートに移行します。

その他の状態で、かつウェイトが発行されている場合はT1FHIステートに遷移します。ウェイトが発行されていなければバスを解放し、TEステートに遷移します。

(24) T3ステート

DMA転送が終了し、バス使用权を解放している状態のステートです。

T3ステートのあとは、TEステートに必ず遷移します。

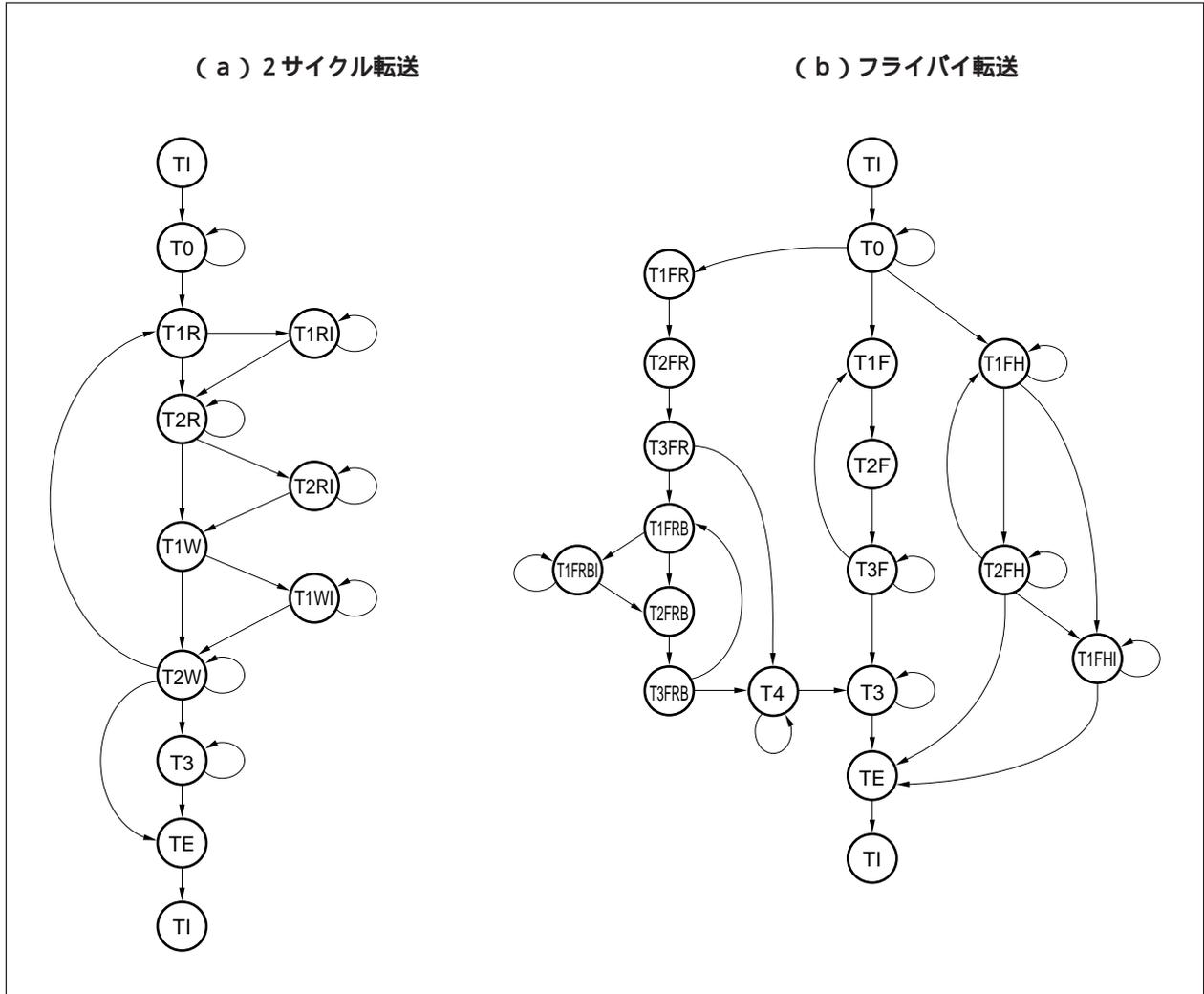
(25) TEステート

DMA転送終了のステートです。DMACはDMA転送終了を示す内部信号を生成し ($TCn = 1$)、ほかの各種内部信号を初期化します ($n = 0-3$)。TEステートのあとはTIステートに必ず遷移します。

6.4.2 状態遷移

ブロック転送モードを除き、1回のDMAサービス終了ごとにバスの使用权を解放します (バス・リリース・モードに該当します)。

図6-1 DMACバス・サイクルの状態遷移図



6.5 転送モード

6.5.1 シングル転送モード

シングル転送では、DMACは1回のバイト/ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先します。シングル転送では1回のDMAサイクルが終了するごとに内部DMA要求をクリアするため、DMAサイクル後にほかのDMAチャンネルによる要求があった場合、DMAサイクルが終了したチャンネル以外のDMA転送要求の中で最も優先順位の高いDMA転送が実行されます。

図6-2、6-3にシングル転送の例を示します。図6-3は、優先順位の高いDMA要求が発生した場合のシングル転送の例で、DMAチャンネル0-2はブロック転送、チャンネル3はシングル転送です。

図6-2 シングル転送例1

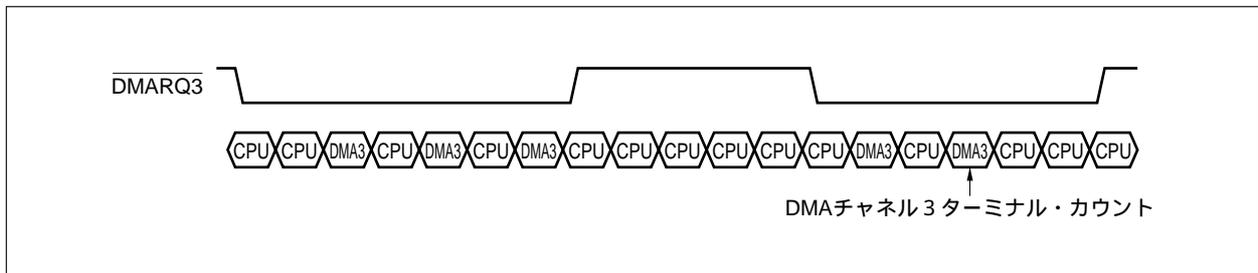
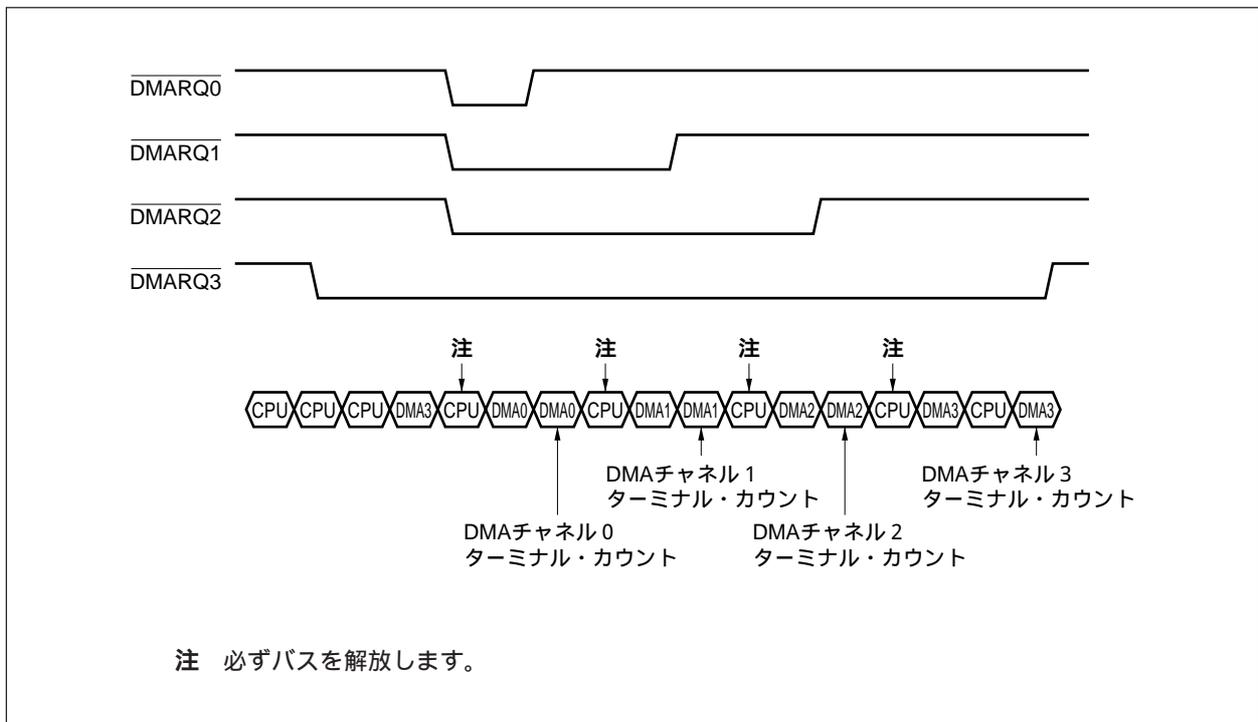


図6-3 シングル転送例2



6.5.2 シングルステップ転送モード

シングルステップ転送では、DMACは1回のバイト/ハーフワード転送ごとにバスを解放します。一度リクエスト信号 (DMARQ0-DMARQ3) を受けると、ターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

図6-4、6-5にシングルステップ転送の例を示します。

図6-4 シングルステップ転送例1

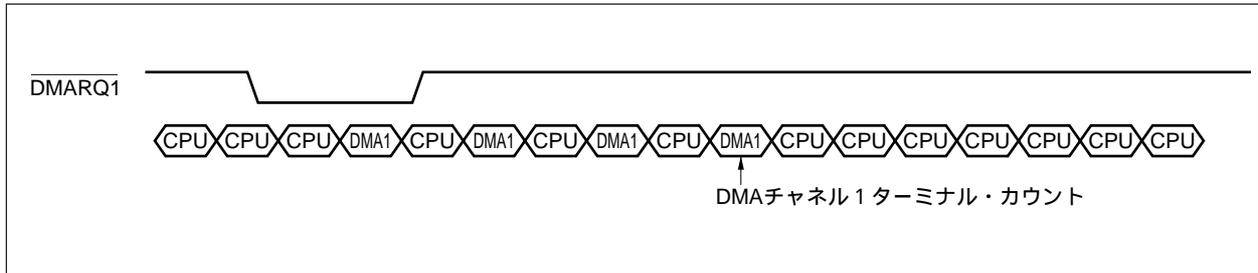
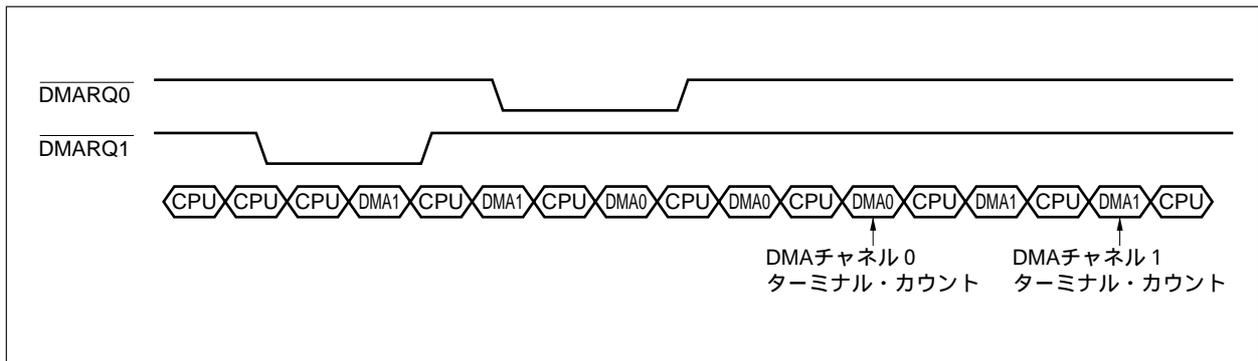


図6-5 シングルステップ転送例2



6.5.3 ブロック転送モード

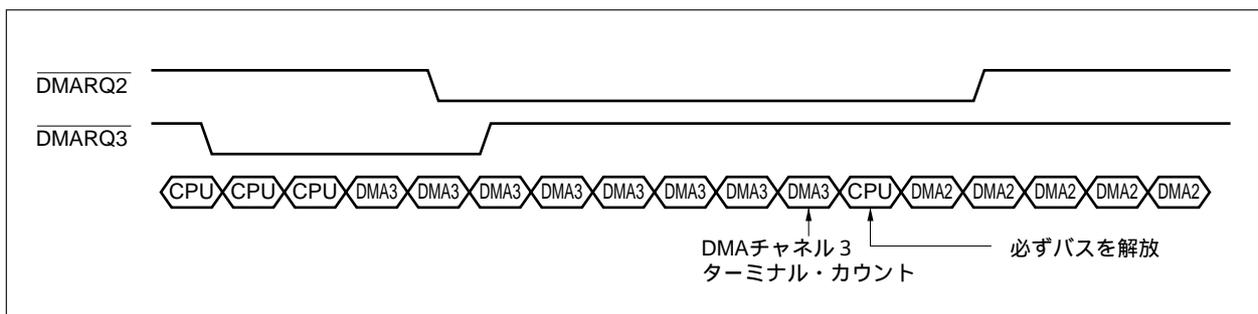
ブロック転送では、転送が開始されるとターミナル・カウントが発生するまでバスを解放せず転送を続けます。ブロック転送中は、ほかのDMA要求は受け付けません。

ブロック転送が終了しDMACがバスを解放したあとに、ほかのDMA転送を受け付けます。

図6-6にブロック転送の例を示します。優先順位の高いDMA要求が発生した場合のブロック転送の例で、DMAチャンネル2、3はブロック転送です。

なお、ブロック転送モード使用時には注意事項があります。詳しくは、6.19 注意事項を参照してください。

図6-6 ブロック転送例



6.6 転送タイプ

6.6.1 2サイクル転送

2サイクル転送は、転送元 DMAC, DMAC 転送先と2回のサイクルでデータを転送します。

1回目のサイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、2回目のサイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

図6-7に2サイクル転送のタイミング例を示します。

なお、2サイクル転送使用時には注意事項があります。詳しくは、6.19 注意事項を参照してください。

図6-7 2サイクル転送のタイミング (1/4)

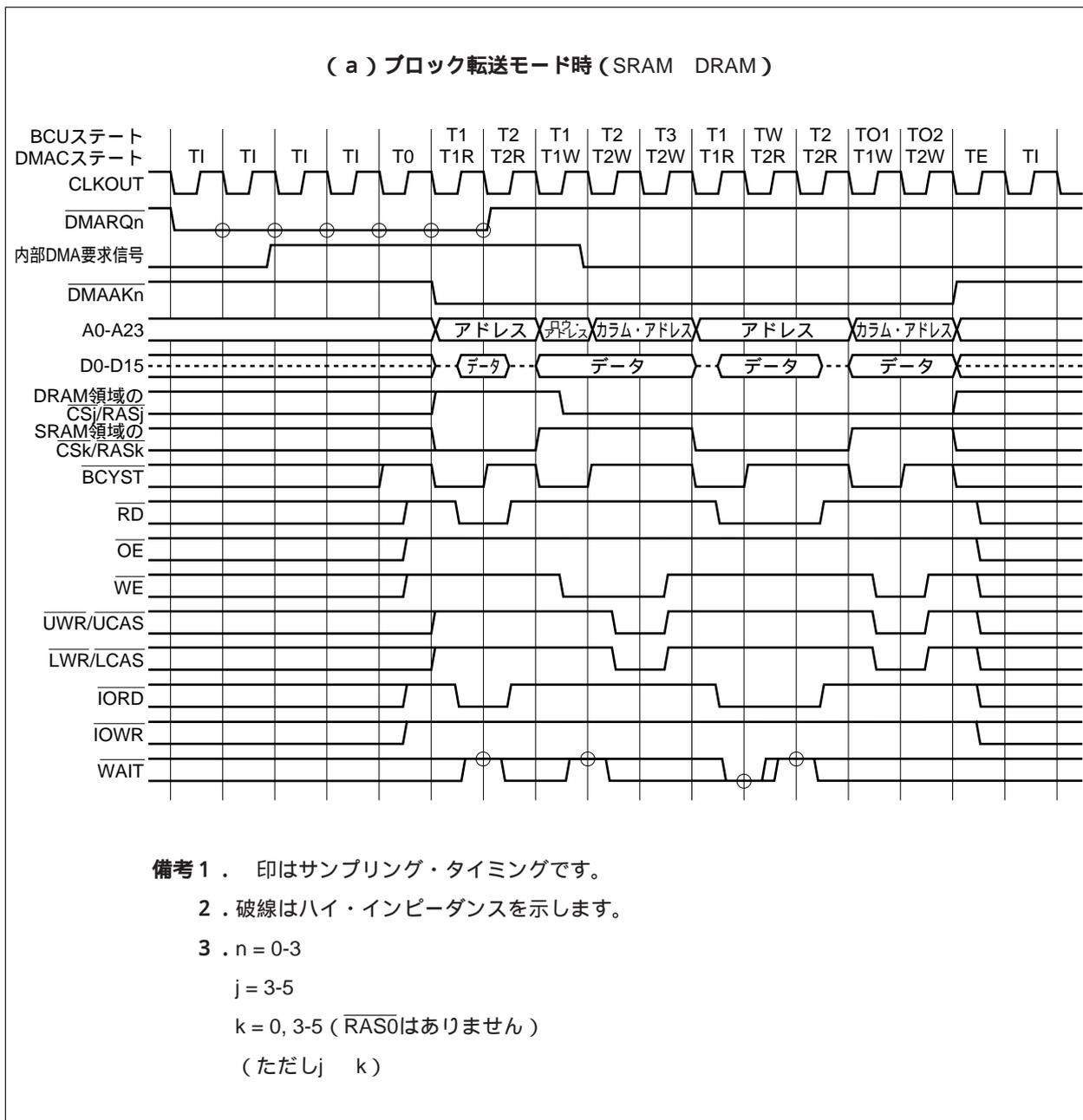


図6-7 2サイクル転送のタイミング (2/4)

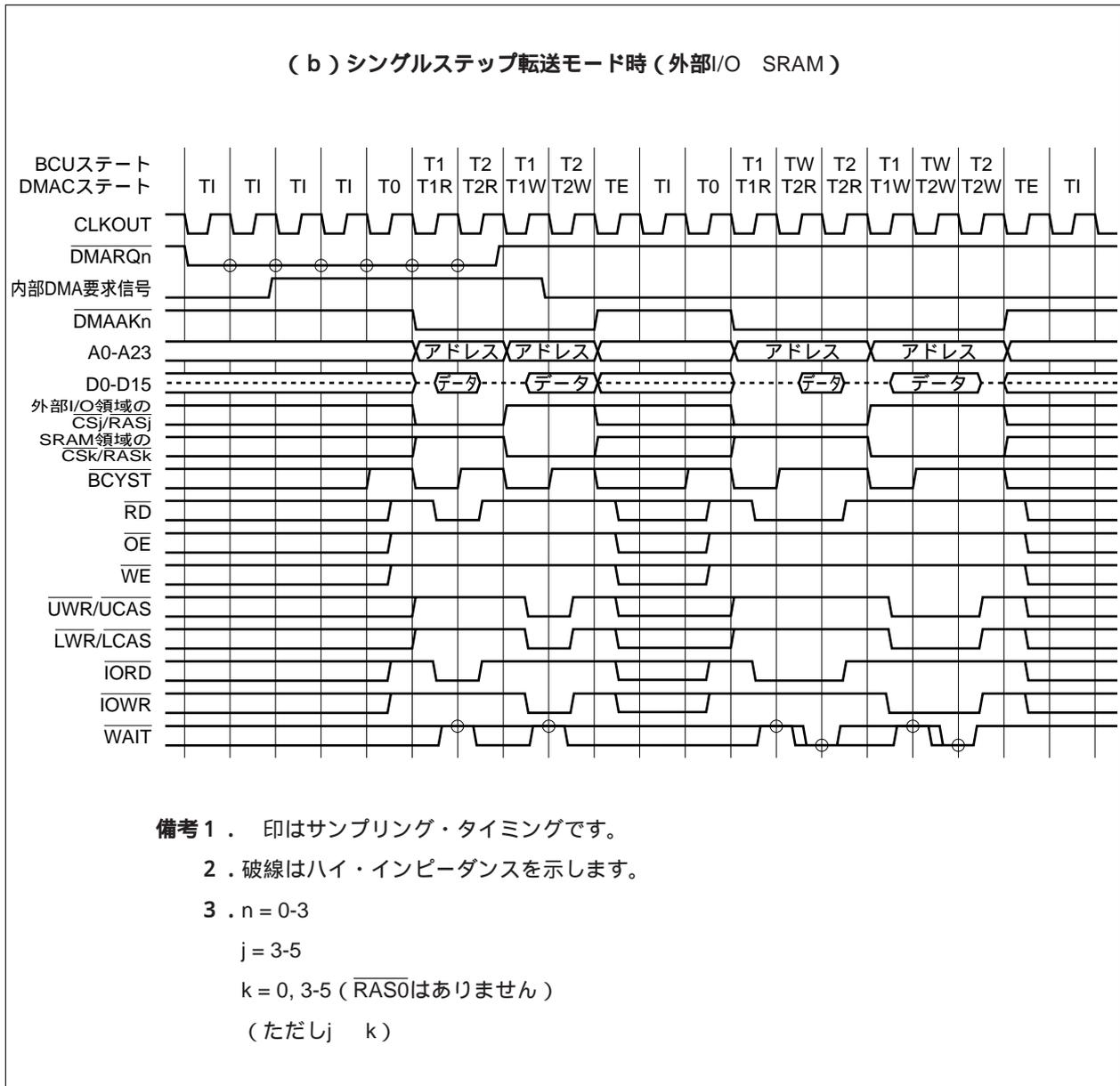


図6-7 2サイクル転送のタイミング (3/4)

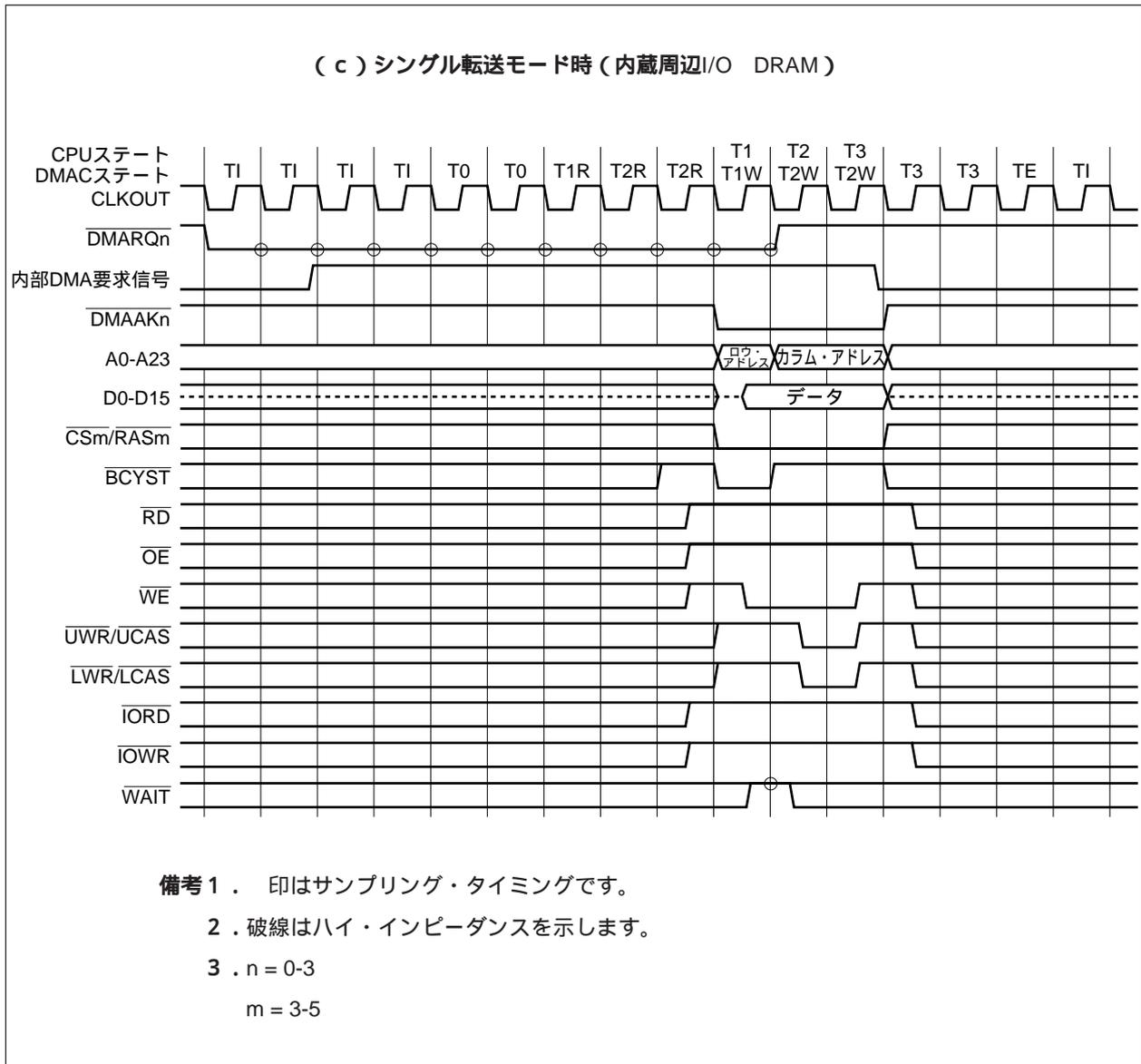
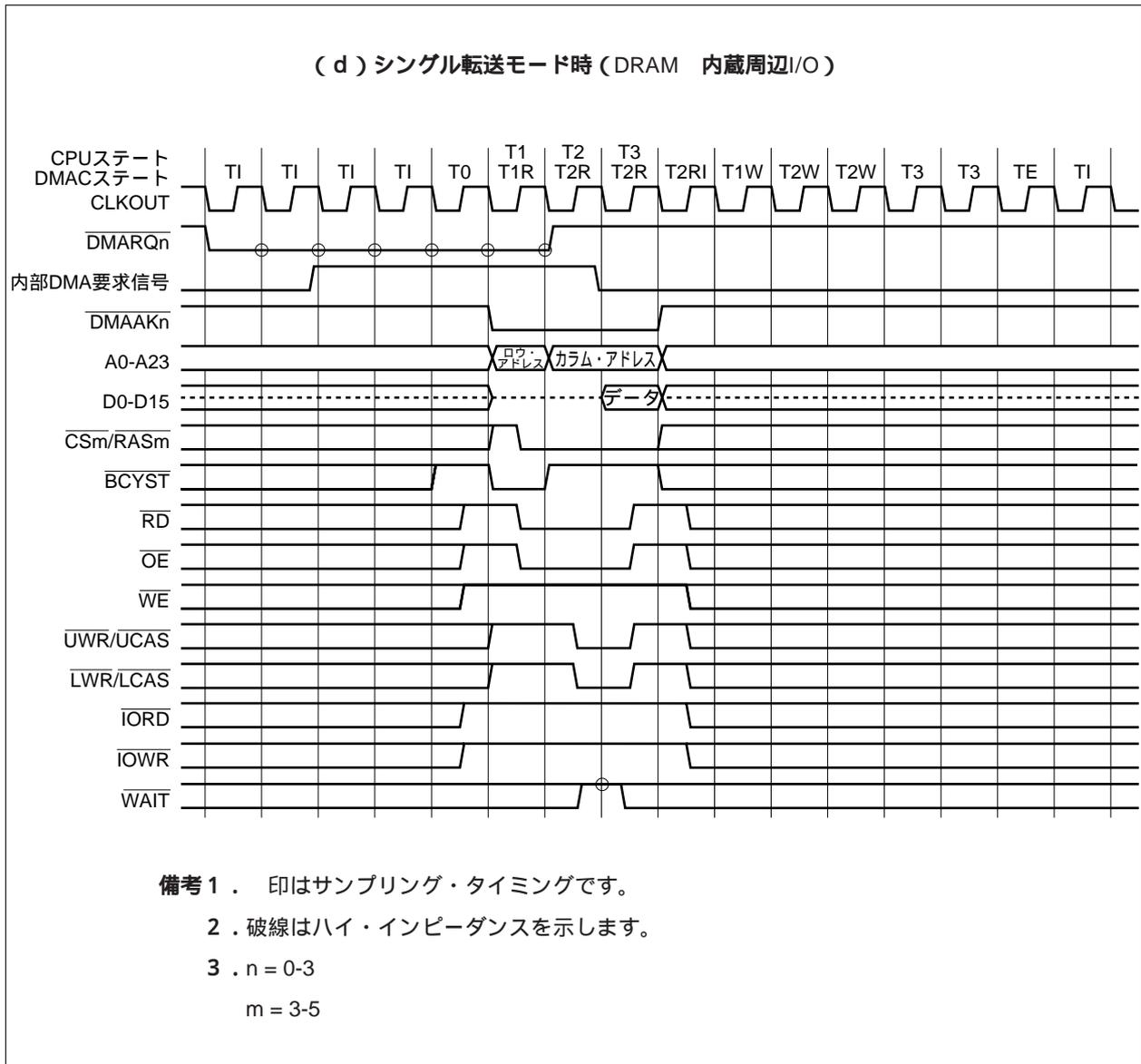


図6-7 2サイクル転送のタイミング (4/4)



6.6.2 フライバイ転送

フライバイ転送には、外部メモリ-外部I/O間の転送と内蔵RAM-内蔵周辺I/O間の転送の2種類があります。

(1) 外部メモリ-外部I/O間の転送

1サイクルで転送を行います。1サイクルで行うため、転送先、転送元にかかわらず、常にメモリのアドレスを出力し、メモリ、I/Oのリード/ライト信号を同時にアクティブにします。

外部I/OはDMAAK0-DMAAK3信号で選択します。

図6-8にDRAM-外部I/O間のフライバイ転送のタイミング例を示します。

図6-8 フライバイ転送のタイミング (DRAM 外部I/O) (1/3)

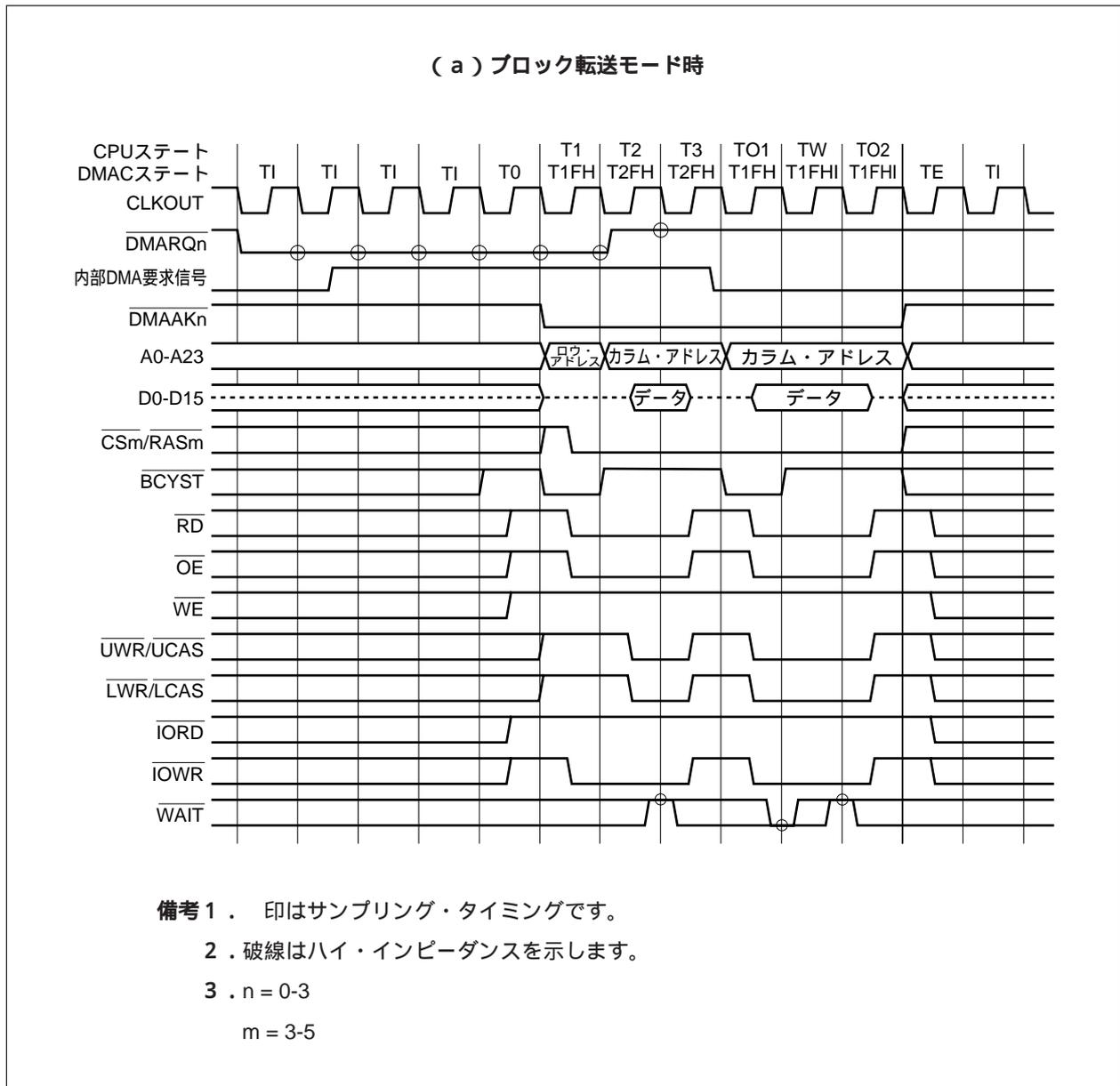


図6 - 8 フライバイ転送のタイミング (DRAM 外部I/O) (2/3)

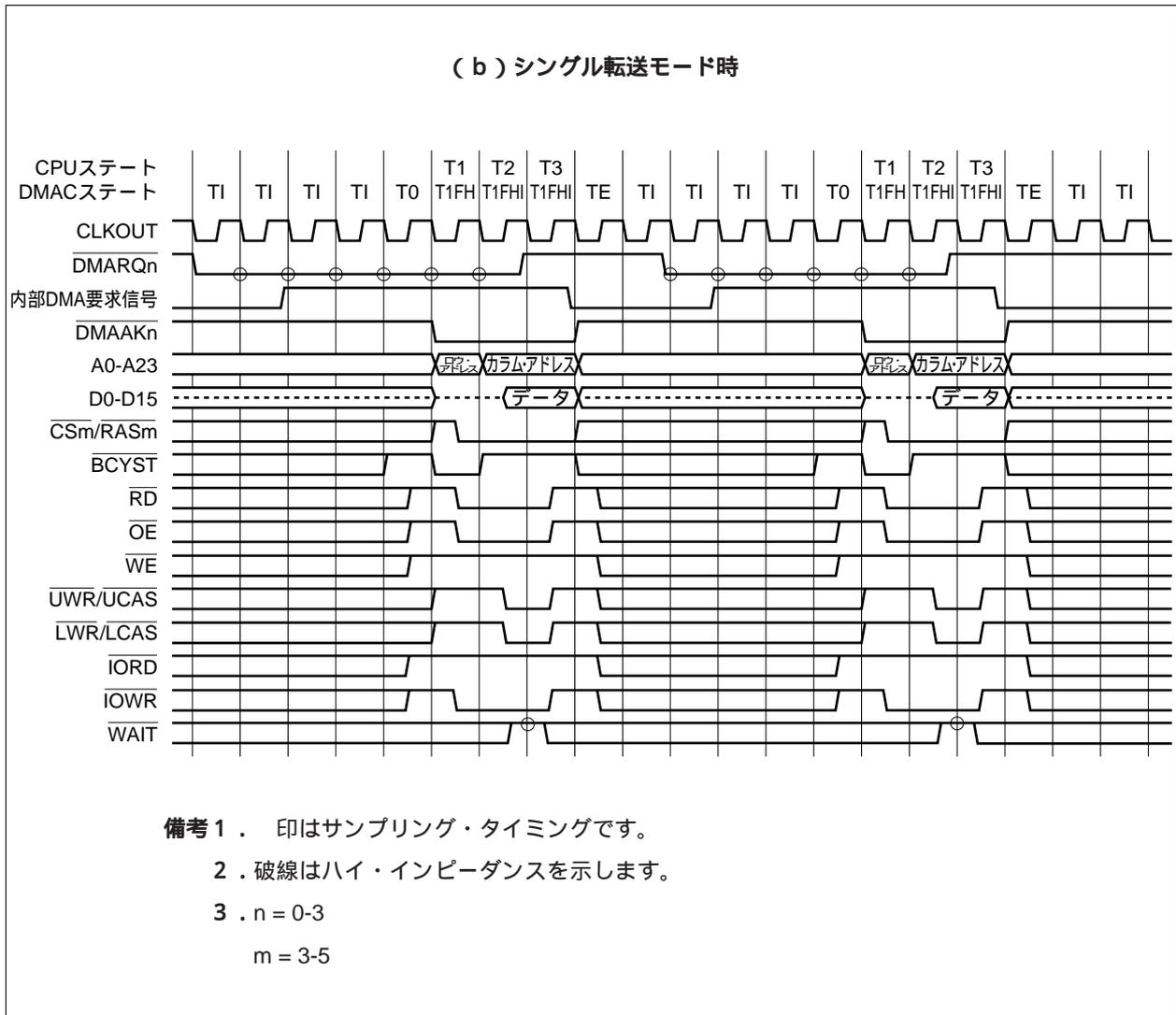
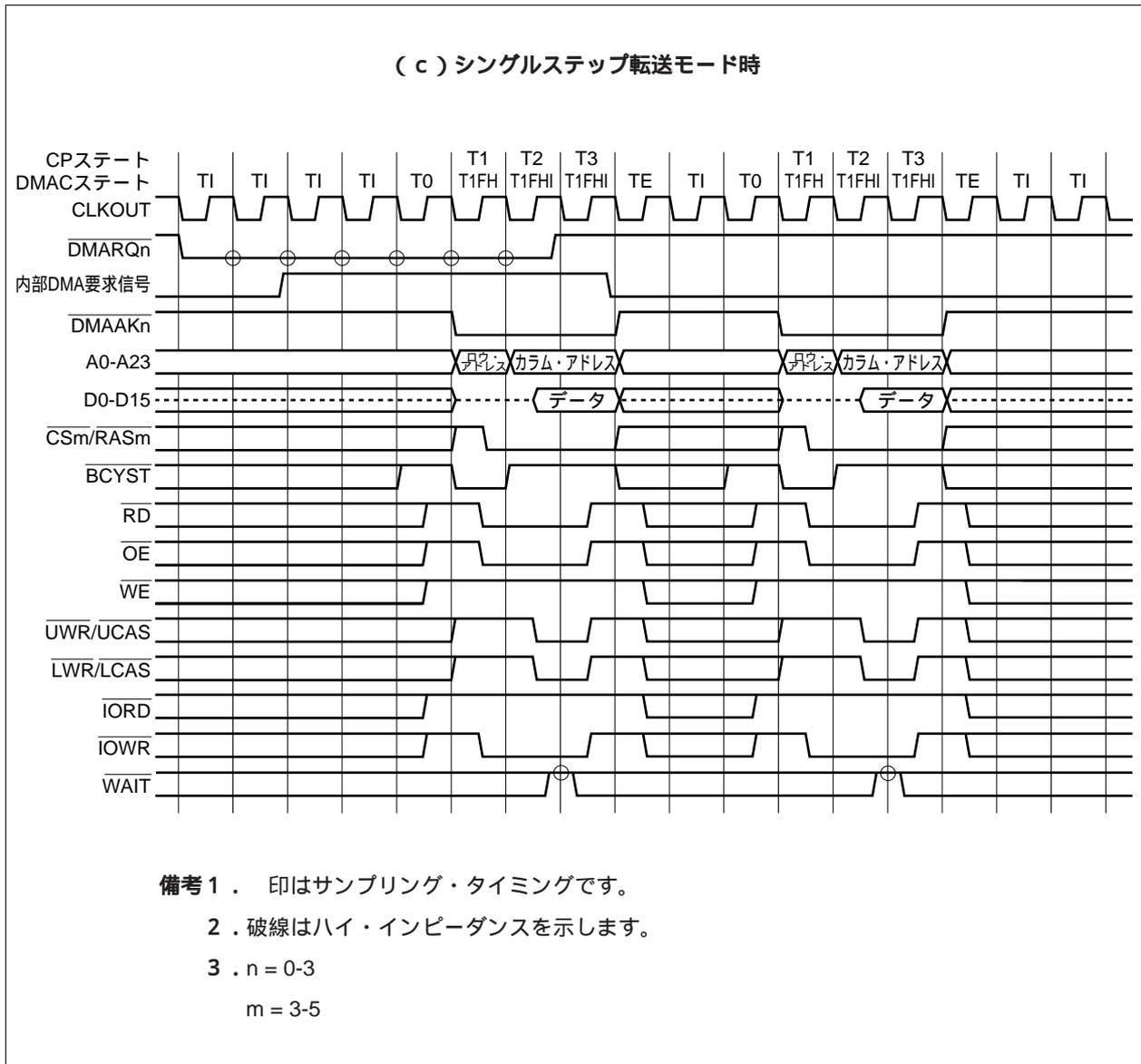


図6 - 8 フライバイ転送のタイミング (DRAM 外部I/O) (3/3)

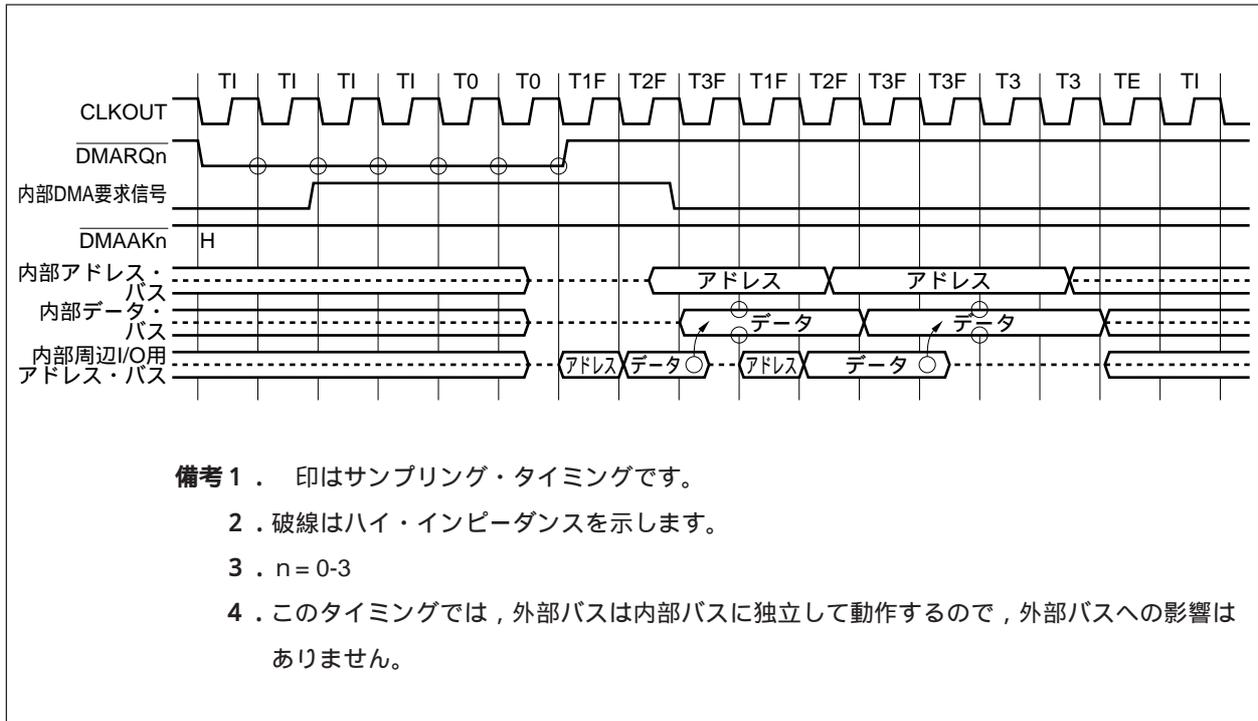


(2) 内蔵RAM-内蔵周辺I/O間の転送

内蔵RAMと内蔵周辺I/Oは、異なるアドレス空間にマッピングされるため、常に異なるアドレスを出力し、内蔵RAM、内蔵周辺I/Oのライト・ストロブ、またはリード・ストロブ信号を同時に制御します。

図6-9に内蔵RAM-内蔵周辺I/O間のフライバイ転送 (ブロック転送モード) のタイミング例を示します。

図6-9 フライバイ転送のタイミング (内蔵周辺I/O 内蔵RAM)



6.7 転送対象

6.7.1 転送の種類と転送対象

転送の種類と転送対象の関係を表6 - 1 に示します。

- 注意1 . 表6 - 1 に示す転送先と転送元で、「x」が表記されている組み合わせをしたときの動作は保証しません。
- 2 . 転送元と転送先のデータ・バス幅は同じにしてください (2 サイクル転送, フライバイ転送の場合)。

表6 - 1 転送の種類と転送対象の関係

		(a) 2 サイクル転送の場合				(b) フライバイ転送の場合			
		転送先				転送先			
		内蔵周辺 I/O	外部 I/O	内蔵 RAM	外部 メモリ	内蔵周辺 I/O	外部 I/O	内蔵 RAM	外部 メモリ
		転送元	内蔵周辺 I/O	x	x	O	O	x	x
外部 I/O	x		x	O	O	x	x	x	O
内蔵 RAM	O		O	O	O	O	x	x	x
外部メモリ	O		O	O	O	x	O	x	x

備考 : 転送可

x : 転送不可

6.7.2 DMA転送時の外部バス・サイクル

DMA転送時の外部バス・サイクルは次のようになります。

表6 - 2 DMA転送時の外部バス・サイクル

転送の種類	転送対象	外部バス・サイクル	
2サイクル転送	内蔵周辺I/O, 内蔵RAM	なし ^注	-
	外部I/O	あり	SRAMサイクル
	外部メモリ	あり	BCTレジスタで設定されたメモリ・アクセス・サイクル
フライバイ転送	内蔵RAM-内蔵周辺I/O	なし ^注	-
	外部メモリ-外部I/O	あり	外部メモリとしてBCTレジスタで設定されたメモリ・アクセスのDMAフライバイ転送サイクル

注 CPUによるバス・サイクルなど, ほかの外部バス・サイクルを起動可能

6.8 DMAチャンネルの優先順位

DMAチャンネルの優先順位は固定で、次のようになります。

DMAチャンネル0 > DMAチャンネル1 > DMAチャンネル2 > DMAチャンネル3

この優先順位が有効となるのは、TIステータスのときだけです。ブロック転送中は転送するチャンネルが入れ替わることはありません。

シングルステップ転送中でバスを解放している期間 (TI) 中に、ほかの優先順位が高いDMA転送要求が発生した場合は、優先順位が高いDMA転送を行います。

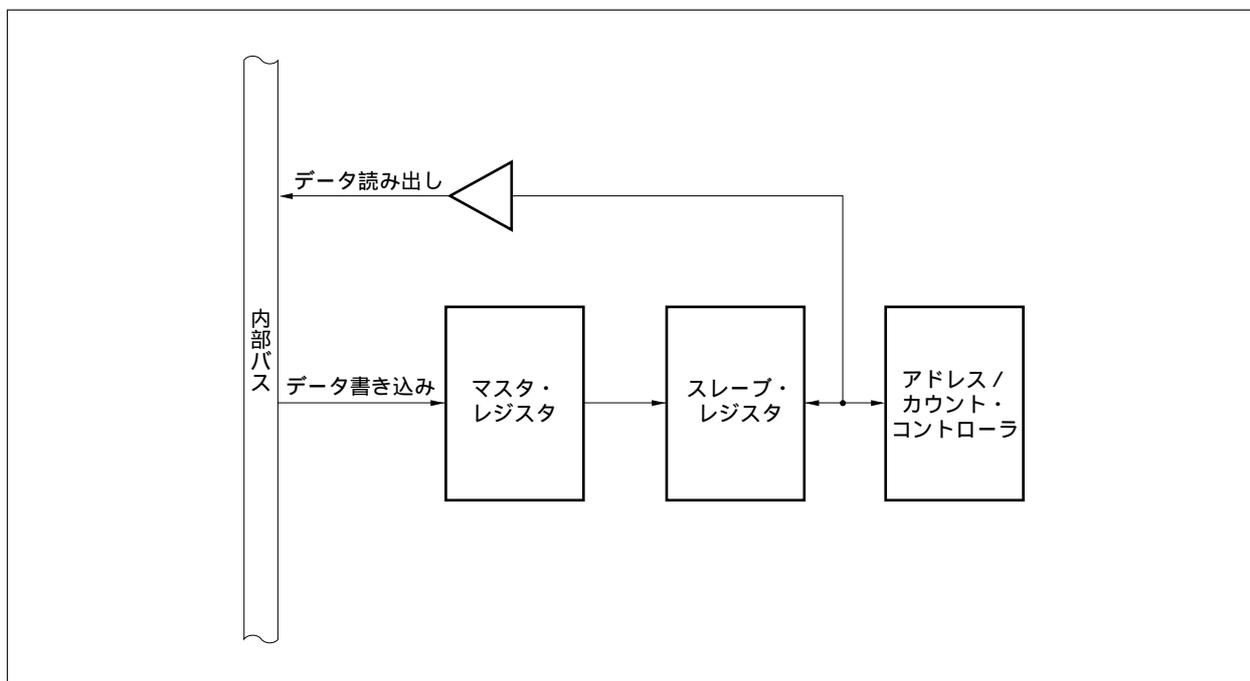
6.9 ネクスト・アドレス設定機能

DMAソース・アドレス・レジスタ (DSAnH, DSAnL), DMAデスティネーション・アドレス・レジスタ (DDAnH, DDAnL), DMAバイト・カウント・レジスタ (DBCn) は2段FIFO構成のバッファ・レジスタです (n = 0-3)。

ターミナル・カウントが発行されると、これらのレジスタは直前に設定された値に書き換えられます。したがって、DMA転送中に、これらのレジスタの内容を書き換えても有効にはなりません。書き換えた内容でDMA転送を開始させる場合は、DCHCnレジスタのENnビットをセット (1) してください。

図6 - 10にバッファ・レジスタの構成を示します。

図6 - 10 バッファ・レジスタの構成



6.10 DMA転送起動要因

DMA転送の起動要因には、次の3種類があります。

(1) 外部端子 ($\overline{\text{DMARQn}}$) からの要求

$\overline{\text{DMARQn}}$ 端子からの要求は、CLKOUT信号の立ち下がりごとにサンプリングされますが、対応する $\overline{\text{DMAAKn}}$ 信号がアクティブになるまで行ってください($n=0-3$)。

DCHCnレジスタのENnビット=1, TCnビット=0の状態に設定すると、TIステートでの $\overline{\text{DMARQn}}$ 信号が有効となります。TIステートで $\overline{\text{DMARQn}}$ 信号がアクティブになると、T0ステートに移行してDMA転送を開始します。

(2) ソフトウェアからの要求

DCHCnレジスタのSTGn, ENn, TCnビットが次のように設定されると、DMA転送を開始します($n=0-3$)。

- ・ STGnビット = 1
- ・ ENnビット = 1
- ・ TCnビット = 0

(3) 内蔵周辺I/Oからの要求

DCHCnレジスタのENn, TCnビットが次のように設定されている状態で、DTFRnレジスタに設定してある内蔵周辺I/Oからの割り込み要求が発生すると、DMA転送を開始します($n=0-3$)。

- ・ ENnビット = 1
- ・ TCnビット = 0

6.11 DMA転送の中断

6.11.1 中断要因

DMA転送は、次の要因が発生すると中断されます。

- ・バス・ホールド
- ・リフレッシュ・サイクル

DMA転送を中断する要因がなくなると、引き続きDMA転送を再開します。

★ 6.11.2 強制中断

DMA転送中のNMI入力により、DMA転送を強制的に中断できます。

このときDMACは、すべてのチャンネルのDCHCnレジスタのENnビットをリセット(0)して、DMA転送禁止状態にし、NMI入力時に実行していたDMA転送を終了してから、NMI要求を受け付けます(n=0-3)。

NMIにより強制中断されたDMA転送は、DCHCnレジスタのINITnビットでDMAを強制終了させ、初期化してください(n=0-3)。

6.12 DMA転送の終了

6.12.1 DMA転送終了割り込み

DMA転送が終了し、DCHCnレジスタのTCnビットがセット(1)されると、割り込みコントローラ(INTC)に対して、DMA転送終了割り込み(INTDMA_n)が発生します(n=0-3)。

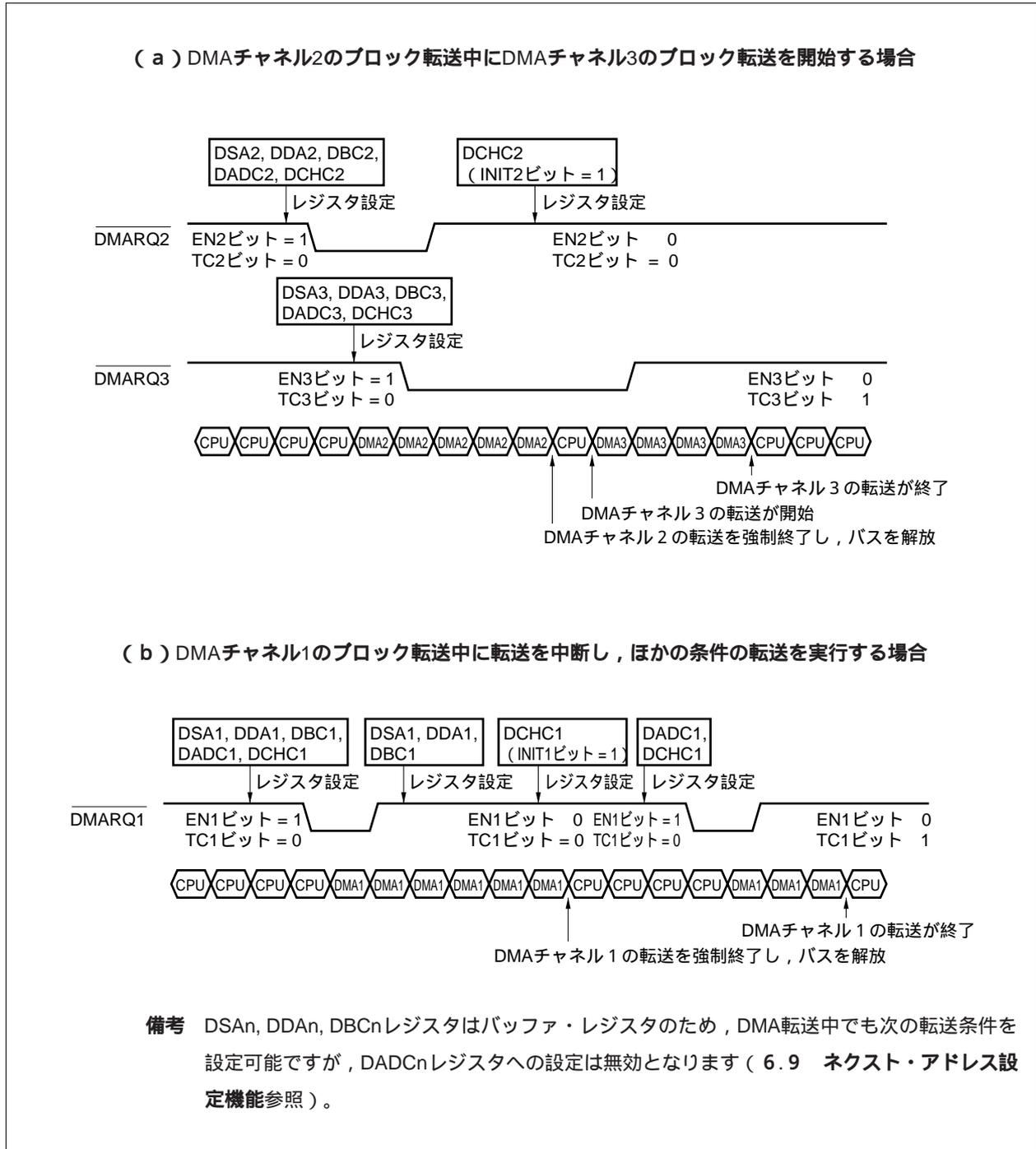
★ 6.12.2 ターミナル・カウント出力

DMA転送が終了するサイクル(TEステート)直後のTIステートでTCn信号出力が1クロック間アクティブになります。

6.12.3 強制終了

DMA転送は、NMI入力による強制中断のほかに、DCHCnレジスタのINITnビットによって強制終了することができます。強制終了動作の例を次に示します (n = 0-3)。

図6 - 11 DMA転送の強制終了の例



6.13 メモリ境界

DMA転送中に、転送元、または転送先のアドレスがDMA対象（外部メモリ、内蔵RAM、外部I/O、内蔵周辺I/O）の領域を越えた場合の動作は保証しません。

6.14 ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。

6.15 DMA転送に関する各種時間

DMA転送前後のオーバーヘッド部分、DMA転送にかかる最小クロック数を表6 - 3に示します。

表6 - 3 DMAサイクル中の最小実行クロック数

DMARQn信号を受け付けてから DMAAKn信号が立ち下がるまで	4クロック
外部メモリ・アクセス	各メモリ、I/Oサイクル参照
内蔵RAMアクセス	2クロック
内蔵周辺I/Oアクセス	3クロック

備考 n = 0-3

6.16 DMA要求に対する応答時間の最大値

DMA要求に対する応答時間は、次に示す条件で最も長くなります（すべて、DRAMリフレッシュ・サイクルが許可されている状態です）。

(1) 条件1

条件	8ビット・データ・バス幅での外部メモリからの命令フェッチ
応答時間	$T_{inst} \times 4 + T_{ref}$
DMARQn (入力)	
DMAAKn (出力)	
D0-D15 (入出力)	

(2) 条件2

条件	8ビット・データ・バス幅での外部メモリとのワード・データ・アクセス
応答時間	$T_{data} \times 4 + T_{ref}$
DMARQn (入力)	
DMAAKn (出力)	
D0-D15 (入出力)	

(3) 条件3

条件	8ビット・データ・バス幅での外部メモリからの命令フェッチ ビット操作命令 (SET1, CLR1, NOT1) の実行
応答時間	$T_{inst} \times 4 + T_{data} \times 2 + T_{ref}$
DMARQn (入力)	
DMAAKn (出力)	
D0-D15 (入出力)	

備考1 . T_{inst} : 命令フェッチ時の1バス・サイクル当たりのクロック数

T_{data} : データ・アクセス時の1バス・サイクル当たりのクロック数

T_{ref} : 1リフレッシュ・サイクル当たりのクロック数

2 . $n = 0-3$

6.17 DMARQ0-DMARQ3信号によるシングル転送時の1回転送

DMARQn信号入力により、外部メモリに対してシングル転送を実行した場合、1回だけの転送を行うためには、DMAAKn信号がアクティブになってから、表6-4に示す時間内にDMARQn信号をインアクティブにする必要があります (n=0-3)。表6-4に示す時間を越えた場合は、連続して転送することがあります。

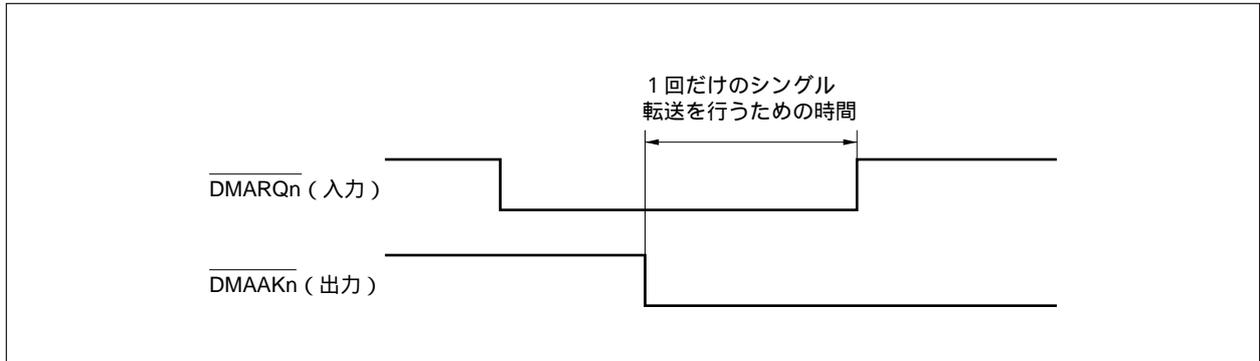


表6-4 外部メモリに対するシングル転送時の

DMAAKn信号アクティブ DMARQn信号インアクティブの時間

転送の種類	転送元	転送先	DMAAKn信号アクティブ DMARQn信号インアクティブ 時間 (MAX.) 注
2サイクル転送	DRAM (オフページ)	すべて	5クロック
	DRAM (オンページ)	すべて	4クロック
	SRAM, 外部I/O	すべて	4クロック
	内蔵RAM, 内蔵周辺I/O	DRAM (オフページ)	7クロック
	内蔵RAM, 内蔵周辺I/O	DRAM (オンページ)	6クロック
	内蔵RAM	SRAM, 外部I/O	6クロック
	内蔵周辺I/O	SRAM	6クロック
フライバイ転送	DRAM (オフページ) 外部I/O		3クロック
	DRAM (オンページ) 外部I/O		2クロック
	SRAM 外部I/O		2クロック

注 ウェイト挿入時はウェイト数を加算してください。

備考 n=0-3

また、内蔵RAMと内蔵周辺I/O間でシングル転送を実行した場合、DMARQn信号をアクティブにしてから、8クロック以内に、DMARQn信号をインアクティブにする必要があります。8クロックを越えた場合は、連続して転送することがあります。なお、このとき、DMAAKn信号はアクティブになりません。



6.18 CPUへのバス・アービトレーション

CPUは、DMA転送を行っていない外部メモリ、外部I/O、内蔵RAM、および内蔵周辺I/Oとのアクセスが可能です。

外部メモリ、外部I/O内でデータ転送が行われているときは、CPUは内蔵RAM、内蔵周辺I/Oとアクセスできます。また、内蔵RAM-内蔵周辺I/O間でデータ転送が行われているときは、外部メモリ、外部I/Oとアクセスできます。

6.19 注意事項

次の条件をすべて満たすDMA転送をNMI入力により中断した場合、次のDMA転送まで $\overline{\text{DMAAKn}}$ 信号がアクティブになり続ける場合があります ($n = 0-3$)。

- ・ 2 サイクル転送
- ・ ブロック転送モード
- ・ 外部メモリから外部メモリへの転送、または外部I/Oから外部I/Oへの転送
- ・ デスティネーション側がEDO DRAMでノー・ウエイトのオンページ・アクセス

なお、 $\overline{\text{DMAAKn}}$ 信号以外のデバイス動作に影響はありません。

次に示すルーチンをNMIハンドラ内などで実行することにより $\overline{\text{DMAAKn}}$ 信号をインアクティブにしてください。

LD.B DDIS[r0], reg ; NMI入力により中断したDMAチャンネルを確認します。

ST.B reg, DRST[r0] ; 中断したチャンネルの転送を再開させます。

ST.B r0, DRST[r0] ; すぐに再び中断することにより、1回だけDMA転送を行ったあと、 $\overline{\text{DMAAKn}}$ 信号がインアクティブになります。

第7章 割り込み / 例外処理機能

V850E/MS2は、割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し、合計36要因の割り込み要求を処理できる強力な割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850E/MS2では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動（ソフトウェア例外）や、例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

7.1 特 徴

割り込み

- ・ ノンマスカブル割り込み 1 要因
- ・ マスカブル割り込み 35 要因
- ・ 8 レベルのプログラマブル優先順位制御
- ・ 優先順位に従った割り込み多重処理制御
- ・ 個々のマスカブル割り込み要求に対するマスク指定
- ・ 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

例外

- ・ ソフトウェア例外 32 要因
- ・ 例外トラップ 1 要因（不正命令コード例外）

これらの割り込み / 例外要因を表 7 - 1 に示します。

表7-1 割り込み一覧(1/2)

種類	分類	割り込み / 例外要因				デフォルト・	例外	ハンドラ・	復帰PC
		名称	制御レジスタ	発生要因	発生ユニット	優先リティ			
リセット	割り込み	RESET	-	RESET入力	端子	-	0000H	00000000H	不定
ノンマスクابل	割り込み	NMI	-	NMI入力	端子	-	0010H	00000010H	nextPC
ソフトウェア例外	例外	TRAP0 ^注	-	TRAP命令	-	-	004 ⁿ _n H	00000040H	nextPC
	例外	TRAP1 ⁿ _n ^注	-	TRAP命令	-	-	005 ⁿ _n H	00000050H	nextPC
例外トラップ	例外	ILGOP	-	不正命令コード	-	-	0060H	00000060H	nextPC
マスクابل	割り込み	INTOV10	OVIC10	タイマ10オーバフロー	RPU	0	0080H	00000080H	nextPC
	割り込み	INTOV11	OVIC11	タイマ11オーバフロー	RPU	1	0090H	00000090H	nextPC
	割り込み	INTOV12	OVIC12	タイマ12オーバフロー	RPU	2	00A0H	000000A0H	nextPC
	割り込み	INTOV13	OVIC13	タイマ13オーバフロー	RPU	3	00B0H	000000B0H	nextPC
	割り込み	INTP100/INTCC100	P10IC0	INTP100/CC100一致	端子 / RPU	4	0100H	00000100H	nextPC
	割り込み	INTP101/INTCC101	P10IC1	INTP101/CC101一致	端子 / RPU	5	0110H	00000110H	nextPC
	割り込み	INTP102/INTCC102	P10IC2	INTP102/CC102一致	端子 / RPU	6	0120H	00000120H	nextPC
	割り込み	INTP103/INTCC103	P10IC3	INTP103/CC103一致	端子 / RPU	7	0130H	00000130H	nextPC
	割り込み	INTP110/INTCC110	P11IC0	INTP110/CC110一致	端子 / RPU	8	0140H	00000140H	nextPC
	割り込み	INTP111/INTCC111	P11IC1	INTP111/CC111一致	端子 / RPU	9	0150H	00000150H	nextPC
	割り込み	INTP112/INTCC112	P11IC2	INTP112/CC112一致	端子 / RPU	10	0160H	00000160H	nextPC
	割り込み	INTP113/INTCC113	P11IC3	INTP113/CC113一致	端子 / RPU	11	0170H	00000170H	nextPC
	割り込み	INTCC120	P12IC0	CC120一致	RPU	12	0180H	00000180H	nextPC
	割り込み	INTCC121	P12IC1	CC121一致	RPU	13	0190H	00000190H	nextPC
	割り込み	INTCC122	P12IC2	CC122一致	RPU	14	01A0H	000001A0H	nextPC
	割り込み	INTCC123	P12IC3	CC123一致	RPU	15	01B0H	000001B0H	nextPC
	割り込み	INTP130/INTCC130	P13IC0	INTP130/CC130一致	端子 / RPU	16	01C0H	000001C0H	nextPC
	割り込み	INTCC131	P13IC1	CC131一致	RPU	17	01D0H	000001D0H	nextPC
	割り込み	INTCC132	P13IC2	CC132一致	RPU	18	01E0H	000001E0H	nextPC
	割り込み	INTCC133	P13IC3	CC133一致	RPU	19	01F0H	000001F0H	nextPC
	割り込み	INTCM40	CMIC40	CM40一致信号	RPU	20	0280H	00000280H	nextPC
	割り込み	INTCM41	CMIC41	CM41一致信号	RPU	21	0290H	00000290H	nextPC
	割り込み	INTDMA0	DMAIC0	DMAチャンネル0転送終了	DMAC	22	02A0H	000002A0H	nextPC
	割り込み	INTDMA1	DMAIC1	DMAチャンネル1転送終了	DMAC	23	02B0H	000002B0H	nextPC
	割り込み	INTDMA2	DMAIC2	DMAチャンネル2転送終了	DMAC	24	02C0H	000002C0H	nextPC
	割り込み	INTDMA3	DMAIC3	DMAチャンネル3転送終了	DMAC	25	02D0H	000002D0H	nextPC
	割り込み	INTCSI0	CSIC0	CSI0送受信完了	SIO	26	0300H	00000300H	nextPC
	割り込み	INTSER0	SEIC0	UART0受信エラー	SIO	27	0310H	00000310H	nextPC
	割り込み	INTSR0	SRIC0	UART0受信完了	SIO	28	0320H	00000320H	nextPC
	割り込み	INTST0	STIC0	UART0送信完了	SIO	29	0330H	00000330H	nextPC
	割り込み	INTCSI1	CSIC1	CSI1送受信完了	SIO	30	0340H	00000340H	nextPC
	割り込み	INTSER1	SEIC1	UART1受信エラー	SIO	31	0350H	00000350H	nextPC
割り込み	INTSR1	SRIC1	UART1受信完了	SIO	32	0360H	00000360H	nextPC	

注 nは0-FHの値

表7 - 1 割り込み一覧 (2/2)

種類	分類	割り込み / 例外要因				デフォルト・	例外	ハンドラ・	復帰PC
		名称	制御レジスタ	発生要因	発生ユニット	プライオリティ			
マスクابل	割り込み	INTST1	STIC1	UART1送信完了	SIO	33	0370H	00000370H	nextPC
	割り込み	INTAD	ADIC	A/D変換終了	ADC	34	0400H	00000400H	nextPC

注意 INTP1mn (外部割り込み) とINTCC1mn (コンペア・レジスタの一致割り込み) は、制御レジスタを兼用しています。タイマ・ユニット・モード・レジスタ10-13 (TUM10-TUM13) のビット3-0 (IMS1mn) で、INTP1mnとINTCC1mnのどちらかの割り込み要求を使用するかを設定してください (9.3 (1) タイマ・ユニット・モード・レジスタ10-13 (TUM10-TUM13) 参照)。

備考1 . デフォルト・プライオリティ : 複数の同一優先順位レベルのマスクابل割り込み要求が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC : 割り込み / 例外処理起動時にEIPCまたはFEPCにセーブされるPC値のことです。ただし、除算命令 (DIV, DIVH, DIVU, DIVHU) 実行中に割り込みを受け付けたときセーブされる復帰PC値は、カレントの命令 (DIV, DIVH, DIVU, DIVHU) のPC値となります。

2 . 不正命令コード例外時の不正命令の実行アドレスは、(復帰PC - 4) で求められます。

7.2 ノンマスクابل割り込み

ノンマスクابل割り込み要求は、割り込み禁止 (DI) 状態であっても無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスクابل割り込み要求はNMI端子によって行います。NMI端子入力に外部割り込みモード・レジスタ0 (INTM0) のビット0 (ESN0) で指定した有効エッジが検出されたとき、割り込みは発生します。

ノンマスクابل割り込みのサービス・プログラムを実行している (PSW.NP = 1) 場合は、ノンマスクابل割り込み要求は、保留されます。保留されたノンマスクابل割り込みは、現在実行中のノンマスクابل割り込みサービス・プログラムの終了後 (RETI命令実行後) または、LDSR命令によりPSW.NP=0にすると受け付けられます。ただし、ノンマスクابل割り込みサービス・プログラム実行中に、ノンマスクابل割り込み要求が2回以上発生しても、PSW.NP = 0後に受け付けられるノンマスクابل割り込みは1回だけになります。

備考 PSW.NP : PSWレジスタのNPビット

7.2.1 動作

NMI入力によりノンマスク割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをFEPCに退避します。
- (2) 現在のPSWをFEPSWへ退避します。
- (3) ECRの上位ハーフワード (FECC) に例外コード (0010H) を書き込みます。
- (4) PSWのNP, IDビットをセットし, EPビットをクリアします。
- (5) PCにノンマスク割り込みに対するハンドラ・アドレス (00000010H) をセットし, 制御を移します。

ノンマスク割り込みの処理形態を図7 - 2 に示します。

図7 - 2 ノンマスク割り込みの処理形態

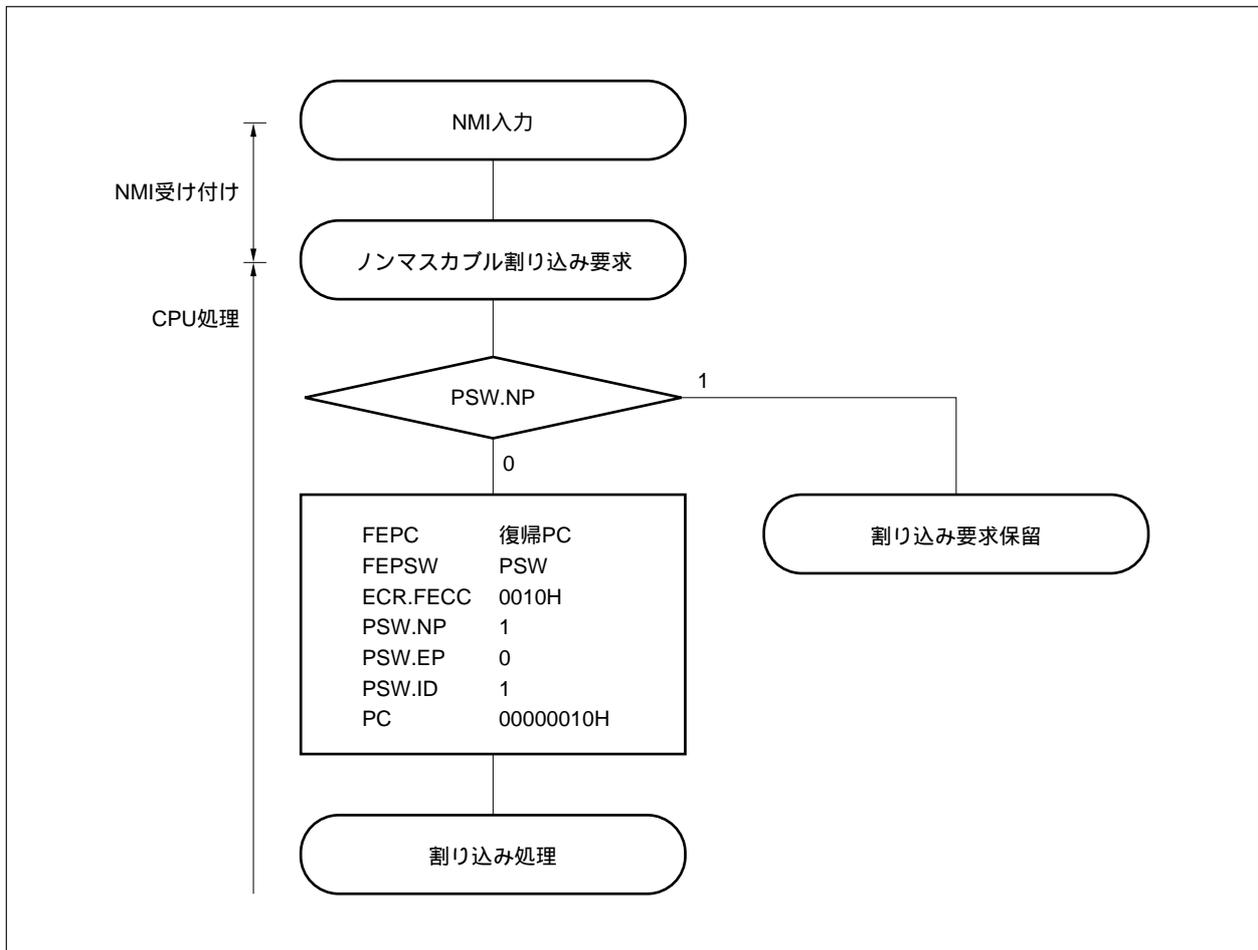
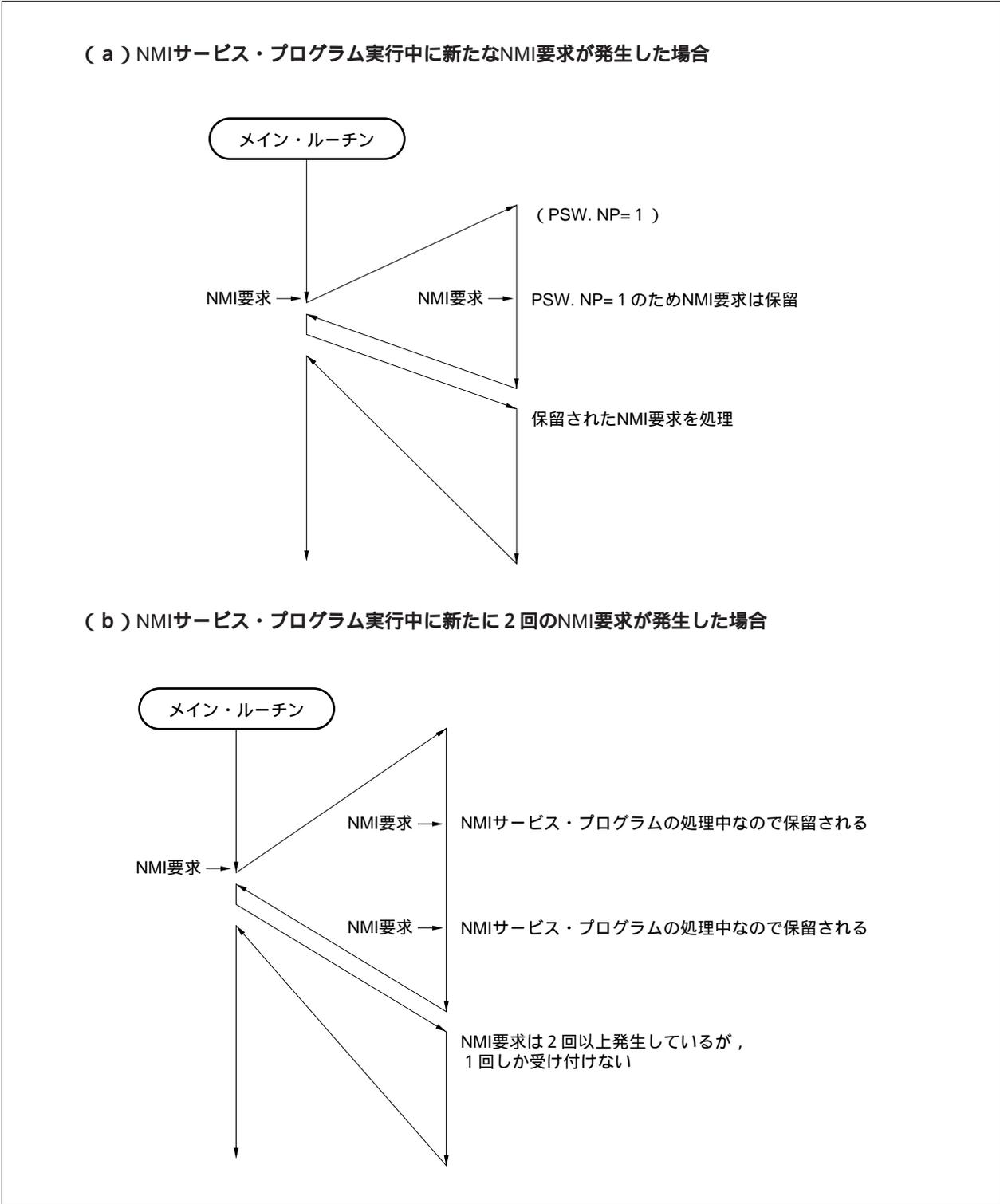


図7 - 3 ノンマスクブル割り込み要求の受け付け動作



7.2.2 復 帰

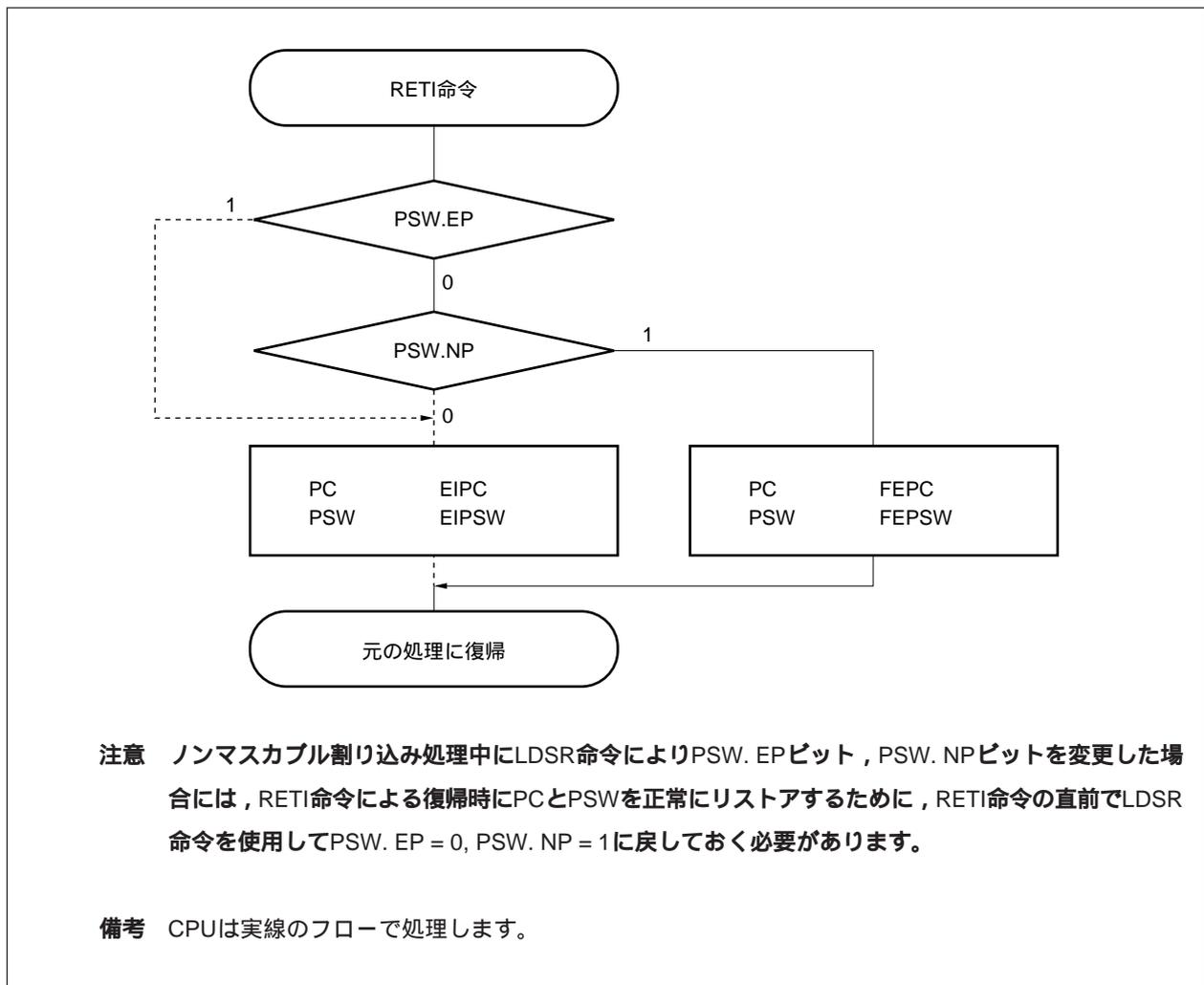
ノンマスクابل割り込み処理からの復帰は、RETI命令により行います。

RETI命令の実行によりCPUは次の処理を行い、復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが0かつPSWのNPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図7 - 4 に示します。

図7 - 4 RETI命令の処理形態



7.2.3 ノンマスカブル割り込みステータス・フラグ (NP)

NPフラグは、PSWのビット7です。

NPフラグは、ノンマスカブル割り込み (NMI) 処理中であることを示すステータス・フラグです。

NMI割り込みが受け付けられるとセットされ、すべての割り込みと例外をマスクして多重割り込みを禁止します。

PSW	31															8	7	6	5	4	3	2	1	0	
	0 0														NP	EP	ID	SAT	CY	OV	S	Z			
																			初期値 00000020H						

ビット位置	ビット名	意味
7	NP	NMI Pending NMI割り込み処理中であることを示します。 0 : NMI割り込み処理中でない。 1 : NMI割り込み処理中。

7.2.4 ノイズ除去

NMI端子のノイズは、アナログ・ディレイによって除去します。ディレイ時間は60-220 nsです。この時間未満で変化する信号入力は、内部で受け付けられません。

なお、NMI端子はソフトウェアSTOPモードの解除に使用します。ソフトウェアSTOPモードでは、内部システム・クロックは停止しているため、内部システム・クロックを使用したノイズ除去を行っていません。

7.2.5 エッジ検出機能

INTM0は、ノンマスカブル割り込み (NMI) の有効エッジを指定するレジスタです。ESN0ビットによって、NMIの有効エッジを、立ち上がりエッジ、立ち下がりエッジのいずれかに指定できます。

8/1ビット単位でリード/ライト可能です。

INTM0	7	6	5	4	3	2	1	0		アドレス FFFFFF180H	初期値 00H
	0	0	0	0	0	0	0	ESN0			

ビット位置	ビット名	意味
0	ESN0	Edge Select NMI NMI端子の有効エッジを指定します。 0 : 立ち下がりエッジ 1 : 立ち上がりエッジ

7.3 マスカブル割り込み

マスカブル割り込み要求は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求で、47種類の割り込み要因があります。

複数のマスカブル割り込み要求が同時に発生した場合は、デフォルト優先順位によりその優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを行う場合、次の処理が必要です。

EI命令を実行する前にEIPC, EIPSWをメモリか汎用レジスタに退避

RETI命令を実行する前にDI命令を実行し、続いて で退避させた値をEIPC, EIPSWに復帰

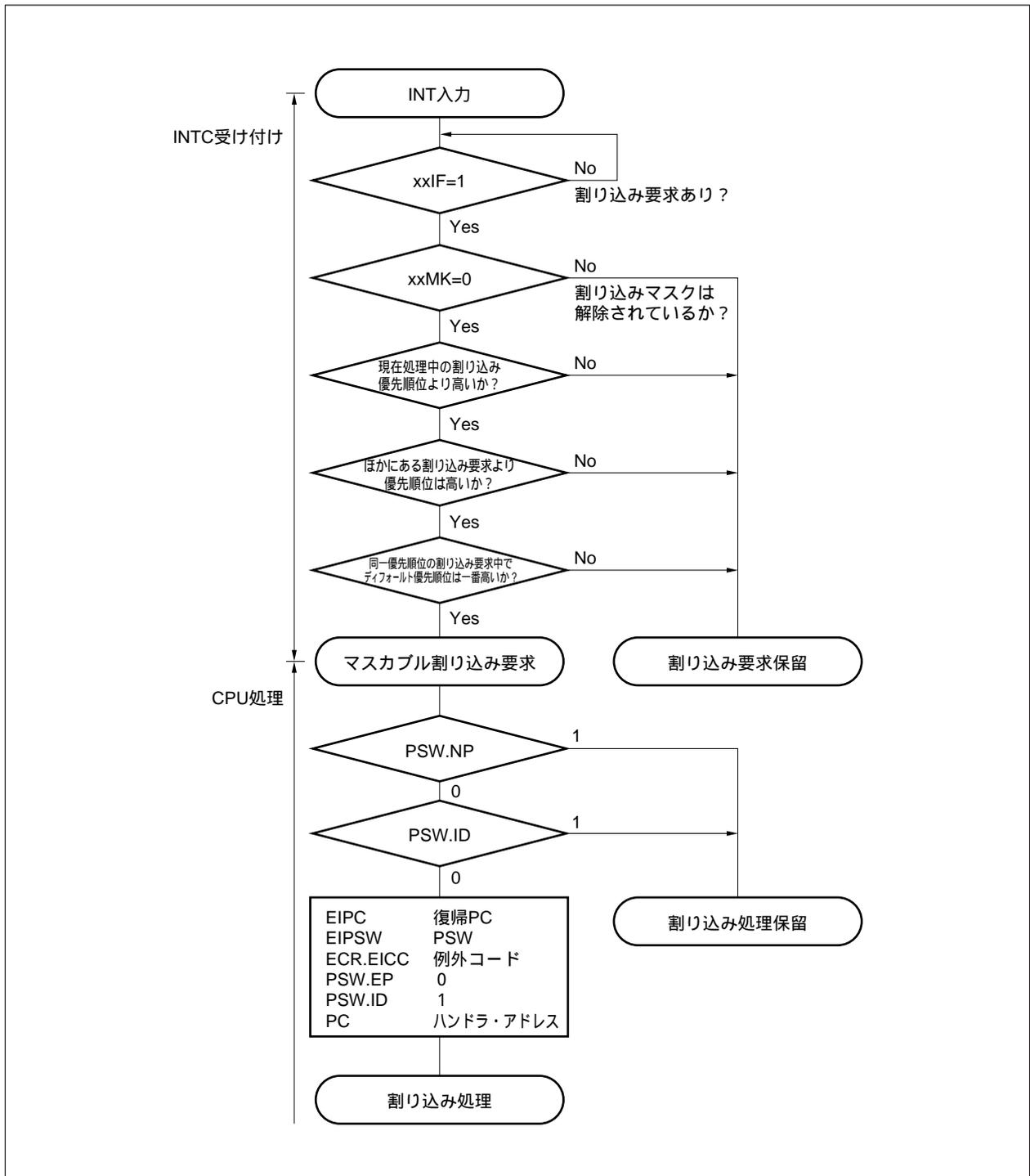
7.3.1 動作

INT入力によりマスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをEIPCに退避します。
- (2) 現在のPSWをEIPSWへ退避します。
- (3) ECRの下位ハーフワード（EICC）に例外コードを書き込みます。
- (4) PSWのIDビットをセットし、EPビットをクリアします。
- (5) PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

マスカブル割り込みの処理形態を図7 - 5 に示します。

図7-5 マスカブル割り込みの処理形態



割り込みコントローラでマスクされているINT入力と、ほかの割り込み処理中（PSW.NP=1またはPSW.ID=1）に発生したINT入力は、割り込みコントローラの内部で保留されます。この場合マスクを解除するか、またはRETI命令、LDSR命令を使用して、PSW.NP=0かつPSW.ID=0にすると、保留していたINT入力により新たなマスカブル割り込み処理が開始されます。

7.3.2 復 帰

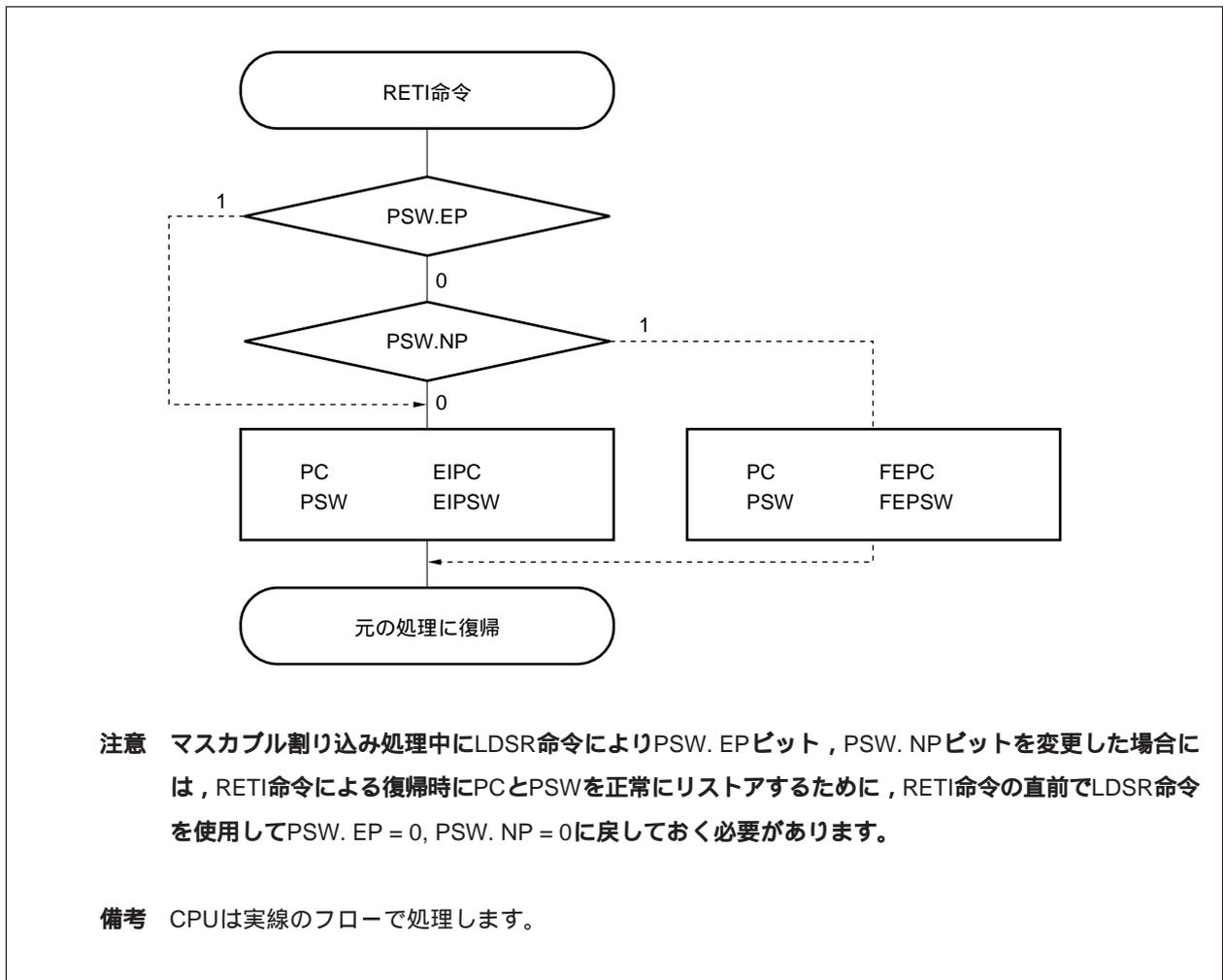
マスクブル割り込み処理からの復帰は、RETI命令により行います。

RETI命令の実行によりCPUは次の処理を行い、復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが0かつPSWのNPビットが0なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PCのアドレス, PSWの状態に制御を移します。

RETI命令の処理形態を図7 - 6 に示します。

図7 - 6 RETI命令の処理形態



7.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位による優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込み処理を行います (表7 - 1 **割り込み一覧参照**)。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込みを受け付けるとPSWのIDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

図7-7 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (1/2)

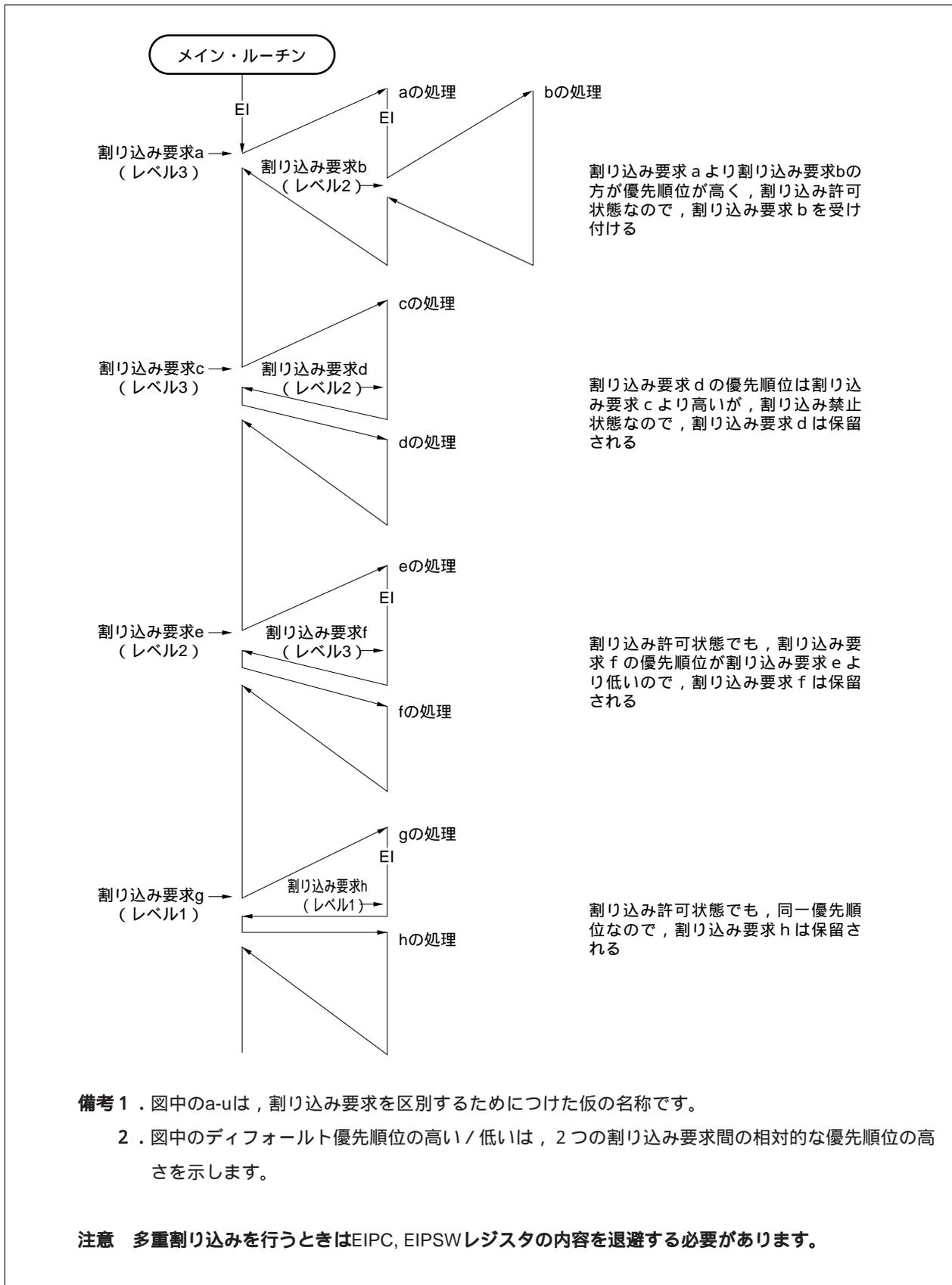


図7-7 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (2/2)

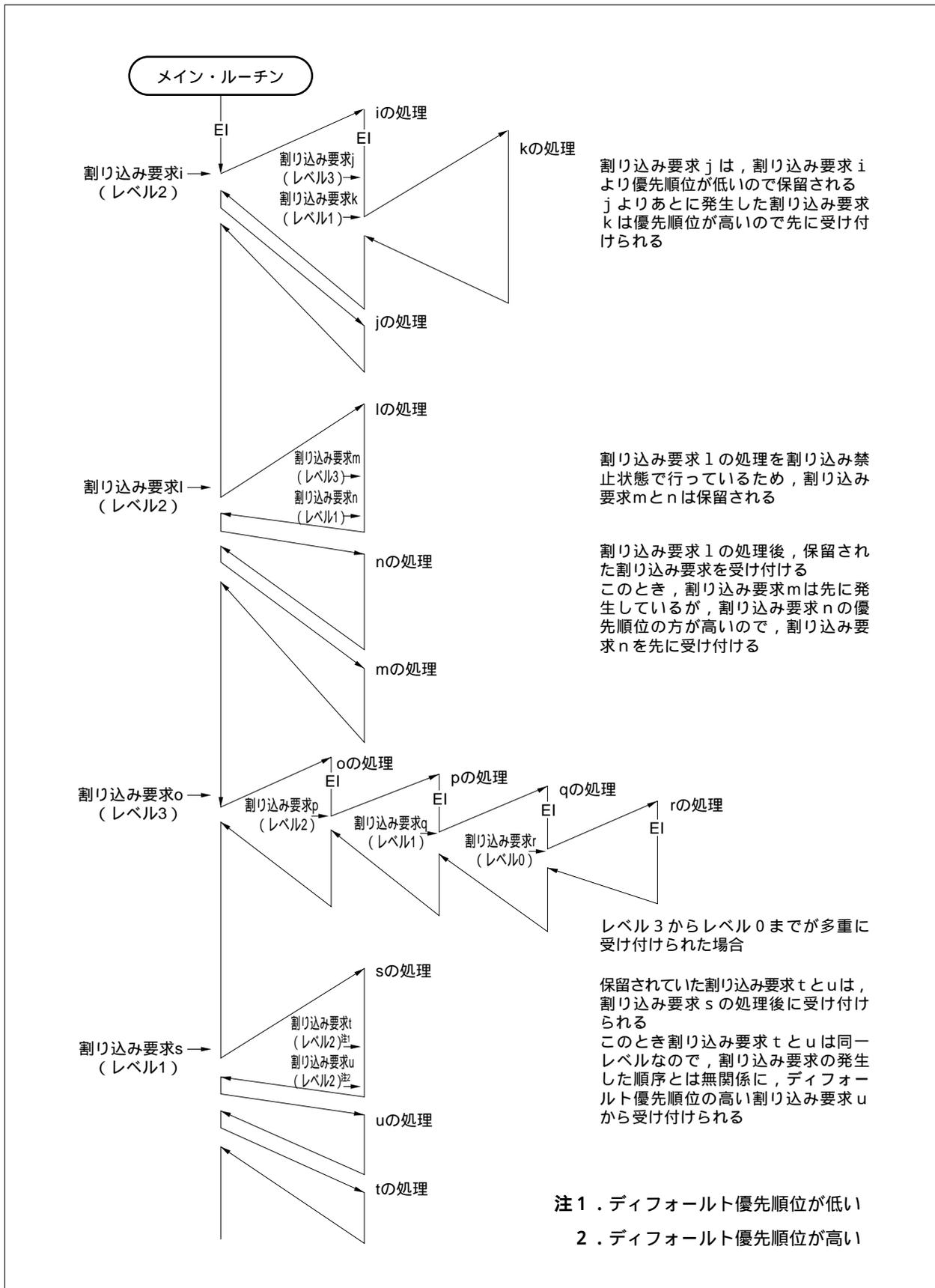
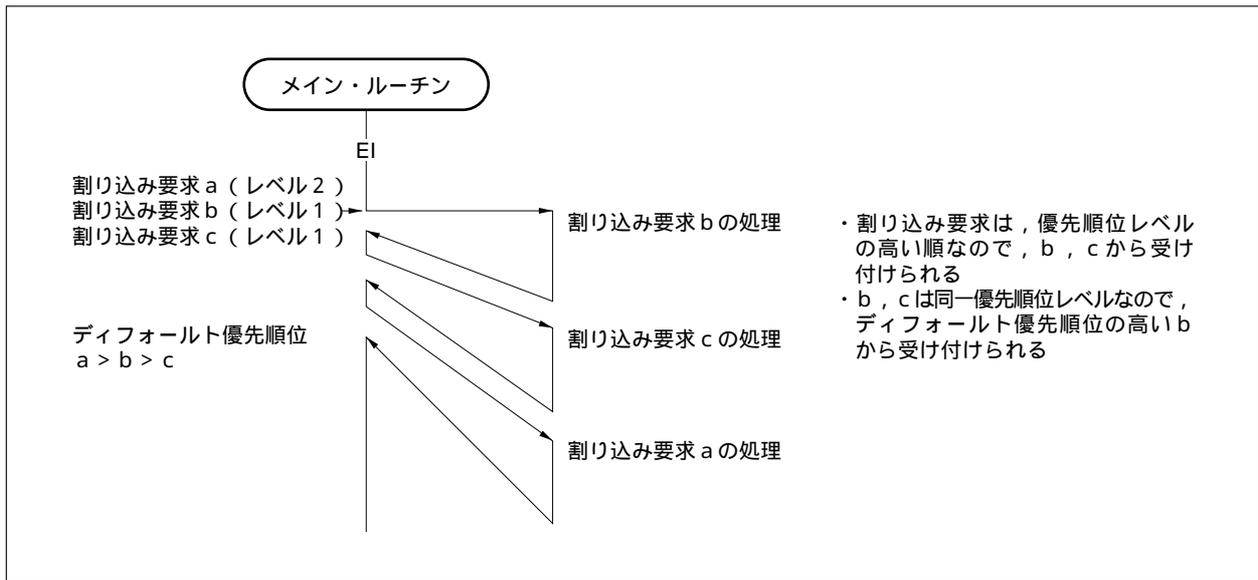


図7 - 8 同時発生した割り込み要求の処理例



7.3.4 割り込み制御レジスタ (xxICn)

割り込み要求 (マスカブル割り込み) ごとに割り当てられ、各割り込みに対する制御条件を設定します。
8/1ビット単位でリード/ライト可能です。

- ★ **注意** xxICnレジスタのxxIFnビットを読み出す場合は、割り込み禁止状態 (DI) で行ってください。割り込み許可状態 (EI) でxxIFnビットを読み出すと、割り込みの受け付けとビットの読み出しのタイミングが競合した場合に、正常な値が読み出せないことがあります。

	7	6	5	4	3	2	1	0		
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0	アドレス FFFFF100H- FFFFF15CH	初期値 47H

ビット位置	ビット名	意味																																				
7	xxIFn	Interrupt Request Flag 割り込み要求フラグです。 0 : 割り込み要求なし 1 : 割り込み要求あり xxIFnフラグは、割り込み要求が受け付けられるとハードウェアにより自動的にリセットされます。																																				
6	xxMKn	Mask Flag 割り込みマスク・フラグです。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止 (保留)																																				
2-0	xxPRn2-xxPRn0	Priority 各割り込みごとに8レベルの優先順位を指定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>xxPRn2</th> <th>xxPRn1</th> <th>xxPRn0</th> <th>割り込み優先順位指定ビット</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>レベル0 (最高位) を指定</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>レベル1 を指定</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>レベル2 を指定</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>レベル3 を指定</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>レベル4 を指定</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>レベル5 を指定</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>レベル6 を指定</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>レベル7 (最低位) を指定</td> </tr> </tbody> </table>	xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット	0	0	0	レベル0 (最高位) を指定	0	0	1	レベル1 を指定	0	1	0	レベル2 を指定	0	1	1	レベル3 を指定	1	0	0	レベル4 を指定	1	0	1	レベル5 を指定	1	1	0	レベル6 を指定	1	1	1	レベル7 (最低位) を指定
xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット																																			
0	0	0	レベル0 (最高位) を指定																																			
0	0	1	レベル1 を指定																																			
0	1	0	レベル2 を指定																																			
0	1	1	レベル3 を指定																																			
1	0	0	レベル4 を指定																																			
1	0	1	レベル5 を指定																																			
1	1	0	レベル6 を指定																																			
1	1	1	レベル7 (最低位) を指定																																			

備考 xx : 各周辺ユニット識別名称 (OV, P10-P13, CM, CS, SE, SR, ST, AD, DMA)
n : 周辺ユニット番号 (なし, または0-3, 10-13, 40, 41)

各割り込み制御レジスタのアドレスとビットは次のようになります。

表7-2 割り込み制御レジスタのアドレスとビット

アドレス	レジスタ	ビット							
		7	6	5	4	3	2	1	0
FFFFFF100H	OVIC10	OVIF10	OVMK10	0	0	0	OVPR102	OVPR101	OVPR100
FFFFFF102H	OVIC11	OVIF11	OVMK11	0	0	0	OVPR112	OVPR111	OVPR110
FFFFFF104H	OVIC12	OVIF12	OVMK12	0	0	0	OVPR122	OVPR121	OVPR120
FFFFFF106H	OVIC13	OVIF13	OVMK13	0	0	0	OVPR132	OVPR131	OVPR130
FFFFFF10CH	CMIC40	CMIF40	CMMK40	0	0	0	CMPR402	CMPR401	CMPR400
FFFFFF10EH	CMIC41	CMIF41	CMMK41	0	0	0	CMPR412	CMPR411	CMPR410
FFFFFF110H	P10IC0	P10IF0	P10MK0	0	0	0	P10PR02	P10PR01	P10PR00
FFFFFF112H	P10IC1	P10IF1	P10MK1	0	0	0	P10PR12	P10PR11	P10PR10
FFFFFF114H	P10IC2	P10IF2	P10MK2	0	0	0	P10PR22	P10PR21	P10PR20
FFFFFF116H	P10IC3	P10IF3	P10MK3	0	0	0	P10PR32	P10PR31	P10PR30
FFFFFF118H	P11IC0	P11IF0	P11MK0	0	0	0	P11PR02	P11PR01	P11PR00
FFFFFF11AH	P11IC1	P11IF1	P11MK1	0	0	0	P11PR12	P11PR11	P11PR10
FFFFFF11CH	P11IC2	P11IF2	P11MK2	0	0	0	P11PR22	P11PR21	P11PR20
FFFFFF11EH	P11IC3	P11IF3	P11MK3	0	0	0	P11PR32	P11PR31	P11PR30
FFFFFF120H	P12IC0	P12IF0	P12MK0	0	0	0	P12PR02	P12PR01	P12PR00
FFFFFF122H	P12IC1	P12IF1	P12MK1	0	0	0	P12PR12	P12PR11	P12PR10
FFFFFF124H	P12IC2	P12IF2	P12MK2	0	0	0	P12PR22	P12PR21	P12PR20
FFFFFF126H	P12IC3	P12IF3	P12MK3	0	0	0	P12PR32	P12PR31	P12PR30
FFFFFF128H	P13IC0	P13IF0	P13MK0	0	0	0	P13PR02	P13PR01	P13PR00
FFFFFF12AH	P13IC1	P13IF1	P13MK1	0	0	0	P13PR12	P13PR11	P13PR10
FFFFFF12CH	P13IC2	P13IF2	P13MK2	0	0	0	P13PR22	P13PR21	P13PR20
FFFFFF12EH	P13IC3	P13IF3	P13MK3	0	0	0	P13PR32	P13PR31	P13PR30
FFFFFF140H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFFF142H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFFF144H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFFF146H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFFF148H	CSIC0	CSIF0	CSMK0	0	0	0	CSPR02	CSPR01	CSPR00
FFFFFF14AH	CSIC1	CSIF1	CSMK1	0	0	0	CSPR12	CSPR11	CSPR10
FFFFFF150H	SEIC0	SEIF0	SEMK0	0	0	0	SEPR02	SEPR01	SEPR00
FFFFFF152H	SRIC0	SRIF0	SRMK0	0	0	0	SRPR02	SRPR01	SRPR00
FFFFFF154H	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFFF156H	SEIC1	SEIF1	SEMK1	0	0	0	SEPR12	SEPR11	SEPR10
FFFFFF158H	SRIC1	SRIF1	SRMK1	0	0	0	SRPR12	SRPR11	SRPR10
FFFFFF15AH	STIC1	STIF1	STMK1	0	0	0	STPR12	STPR11	STPR10
FFFFFF15CH	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0

7.3.5 インサースervice・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求が受け付けられると、その割り込み要求の優先順位レベルに対応するビットがセット (1) され、サービス中保持されます。

RETI命令の実行の際、ISPRレジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求に対応するビットがハードウェアにより自動的にクリア (0) されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はクリア (0) されません。

8/1ビット単位でリードだけ可能です。

- ★ **注意** 割り込み許可 (EI) 状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット (1) されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止 (DI) 状態でリードしてください。

7	6	5	4	3	2	1	0		
ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0	アドレス FFFFFF166H	初期値 00H

ビット位置	ビット名	意 味
7-0	ISPR7-ISPR0	In-Service Priority Flag 受け付け中の割り込みの優先順位を示します。 0 : 優先順位 n の割り込み要求を受け付けていない 1 : 優先順位 n の割り込み要求を受け付け中

備考 n = 0-7 (優先順位のレベル)

7.3.7 ノイズ除去

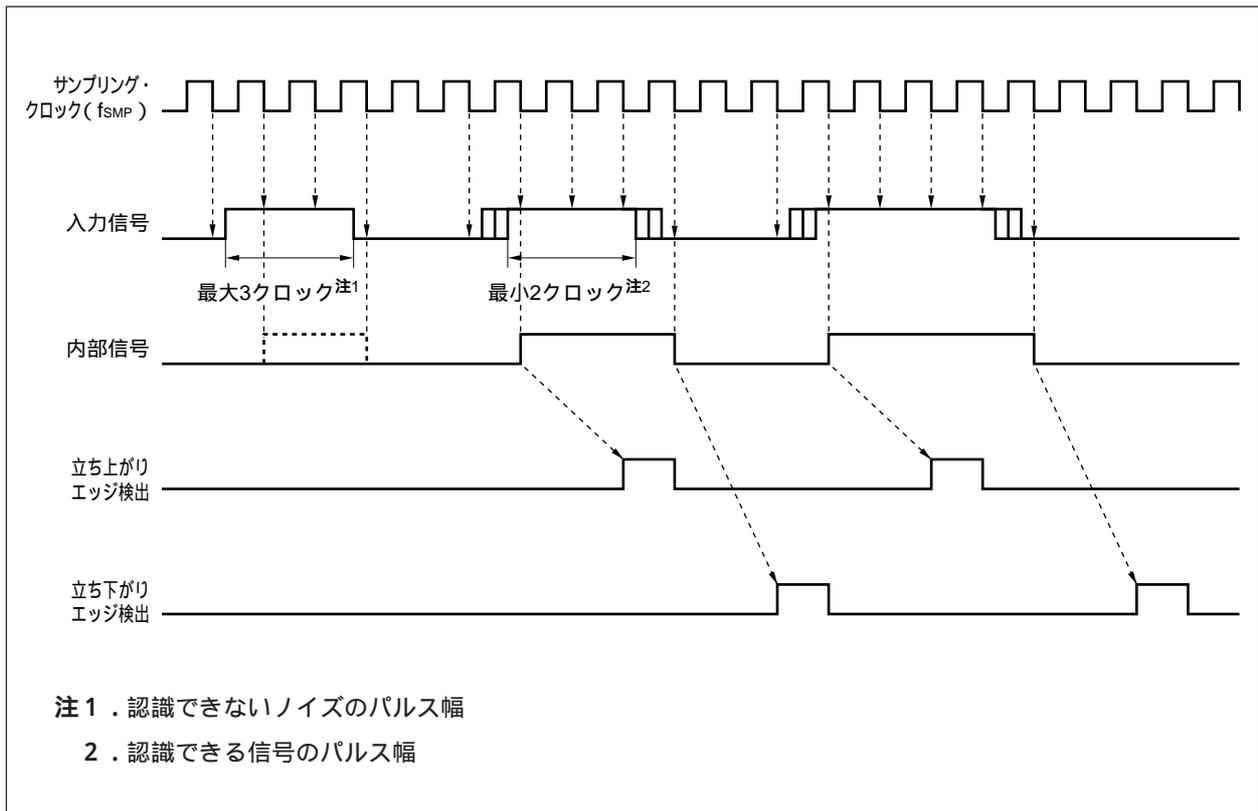
INTPn0-INTPn3, INTP130, TI3, TCLR10-TCLR12端子には、それぞれデジタル・ノイズ除去回路を付加しています (n = 10, 11)。これにより、これらの端子の入力レベルをサンプリング・クロック (f_{SMP}) ごとにサンプリングします。その結果、同じレベルを3回連続で検出できなかった場合、その入力パルスをノイズとして除去します。

次に、各端子のノイズ除去時間を示します。

端子	サンプリング・クロック (f _{SMP})	ノイズ除去時間
TCLR10-TCLR12		2x
TI13		}
INTP100-INTP103, INTP110-INTP113, INTP130		3x

備考 : 内部システム・クロック

図7-9 ノイズ除去タイミング例



注意1 . 入力パルス幅が2-3サンプリング・クロックの場合は、有効エッジとして検出するか、ノイズとして除去するかは不定です。

2 . 確実にパルスとして検出するには、3サンプリング・クロック以上同じレベルを入力してください。

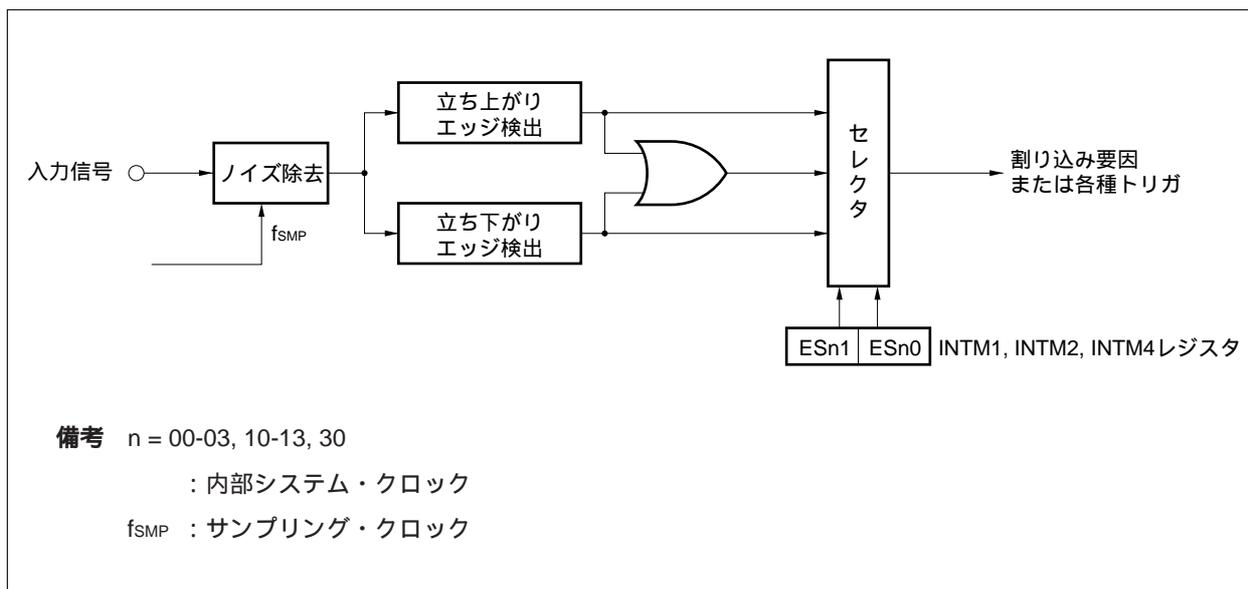
3 . サンプリングに同期してノイズが発生している場合は、ノイズとして認められないことがあります。このような場合は、入力端子にフィルタを付けてノイズを除去してください。

7.3.8 エッジ検出機能

INTPn0-INTPn3, INTP130端子は、有効エッジをプログラマブルに選択できます。選択できる有効エッジは次のどれかです (n = 10, 11)。

- ・ 立ち上がりエッジ
- ・ 立ち下がりエッジ
- ・ 立ち上がり, 立ち下がり両エッジ

エッジ検出されたINTPn0-INTPn3, INTP130信号は、割り込み要因やキャプチャ・トリガになります。次に、これらの端子のエッジ検出部のブロック図を示します。



有効エッジは外部割り込みモード・レジスタ1, 2, 4 (INTM1, INTM2, INTM4) で指定します。

(1) 外部割り込みモード・レジスタ1, 2, 4 (INTM1, INTM2, INTM4)

外部端子による外部割り込み要求 (INTP100-INTP103, INTP110-INTP113, INTP130) の有効エッジを指定するレジスタです。各レジスタと、そのレジスタが制御する外部割り込み要求との対応を次に示します。

- ・ INTM1 : INTP100-INTP103
- ・ INTM2 : INTP110-INTP113
- ・ INTM4 : INTP130

有効エッジは、立ち上がりエッジ、立ち下がりエッジ、または立ち上がり、立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
INTM1 制御端子	ES031	ES030	ES021	ES020	ES011	ES010	ES001	ES000	アドレス FFFFFF182H	初期値 00H
	└── INTP103 ─┘		└── INTP102 ─┘		└── INTP101 ─┘		└── INTP100 ─┘			
INTM2 制御端子	ES131	ES130	ES121	ES120	ES111	ES110	ES101	ES100	FFFFFF184H	00H
	└── INTP113 ─┘		└── INTP112 ─┘		└── INTP111 ─┘		└── INTP110 ─┘			
INTM4 ^注 制御端子	0	0	0	0	0	0	ES301	ES300	FFFFFF188H	00H
								└── INTP130 ─┘		

ビット位置	ビット名	意味															
7-0	ESmn1, ESmn0 (m = 3, 1, 0, n = 3-0)	Edge Select INTP1mn端子の有効エッジを指定します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th style="width: 10%;">ESmn1</th> <th style="width: 10%;">ESmn0</th> <th style="width: 80%;">動作</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>RFU (予約)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>立ち上がり, 立ち下がり両エッジ</td> </tr> </tbody> </table>	ESmn1	ESmn0	動作	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	RFU (予約)	1	1	立ち上がり, 立ち下がり両エッジ
ESmn1	ESmn0	動作															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	RFU (予約)															
1	1	立ち上がり, 立ち下がり両エッジ															

注 INTM4のビット2-7には必ず0を設定してください。

7.4 ソフトウェア例外

ソフトウェア例外は，CPUのTRAP命令の実行により発生する例外で，常に受け付けが可能です。

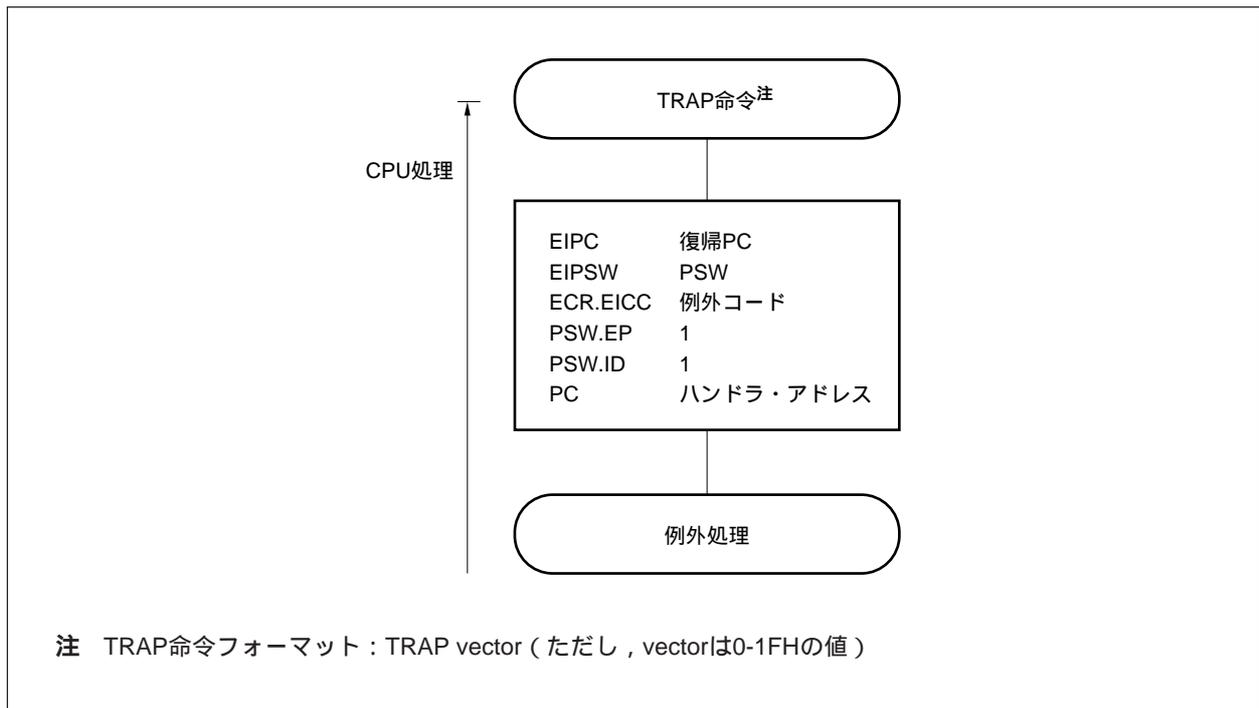
7.4.1 動作

ソフトウェア例外が発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをEIPCに退避します。
- (2) 現在のPSWをEIPSWへ退避します。
- (3) ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。
- (4) PSWのEP, IDビットをセットします。
- (5) PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし，制御を移します。

ソフトウェア例外の処理形態を図7 - 10に示します。

図7 - 10 ソフトウェア例外の処理形態



ハンドラ・アドレスは，TRAP命令のオペランド (vector) によって決まります。vectorが0-0FHの場合は00000040Hとなり，10H-1FHの場合は00000050Hとなります。

7.4.2 復 帰

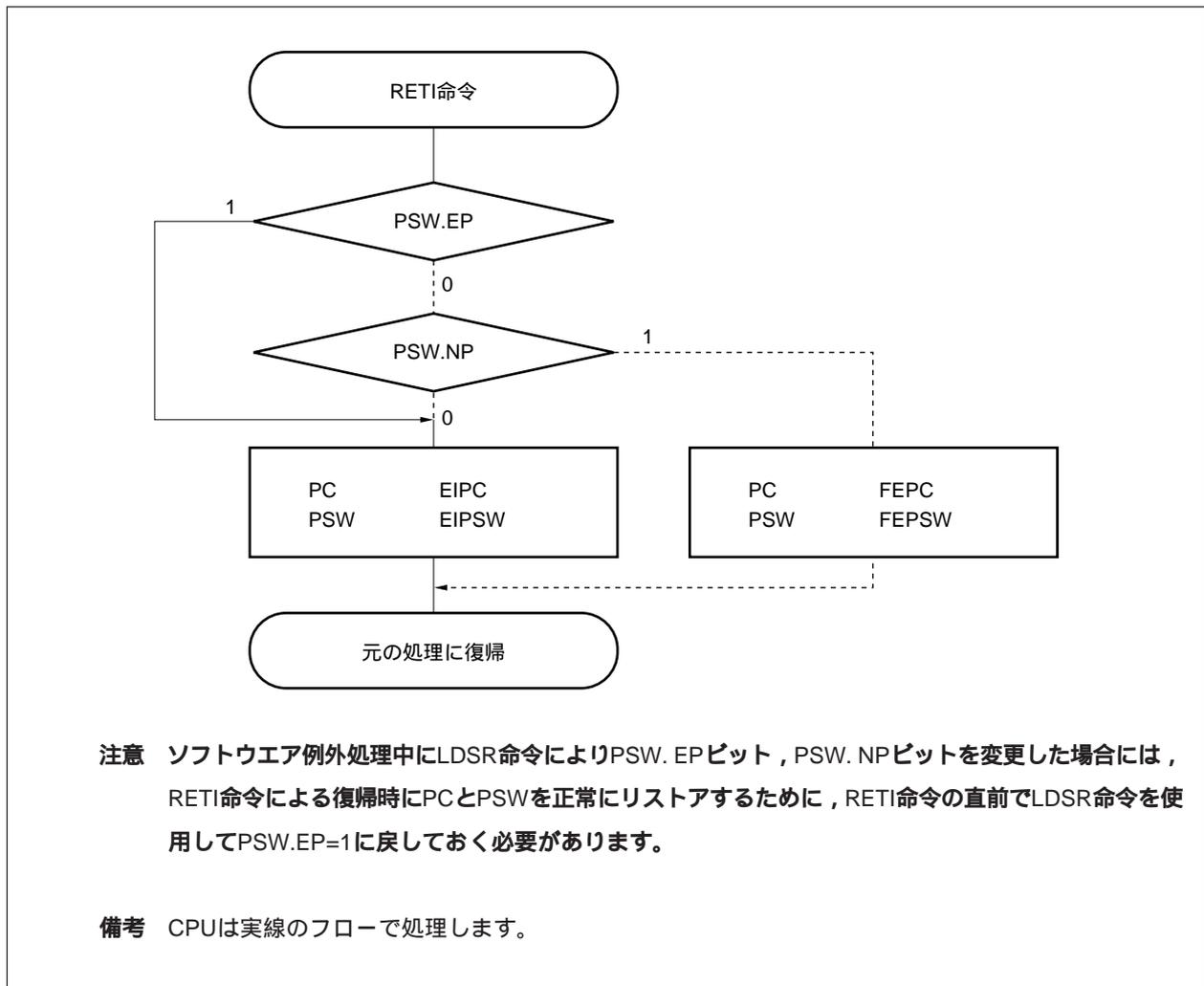
ソフトウェア例外処理からの復帰は、RETI命令により行います。

RETI命令の実行によりCPUは次の処理を行い、復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PCのアドレス、PSWの状態に制御を移します。

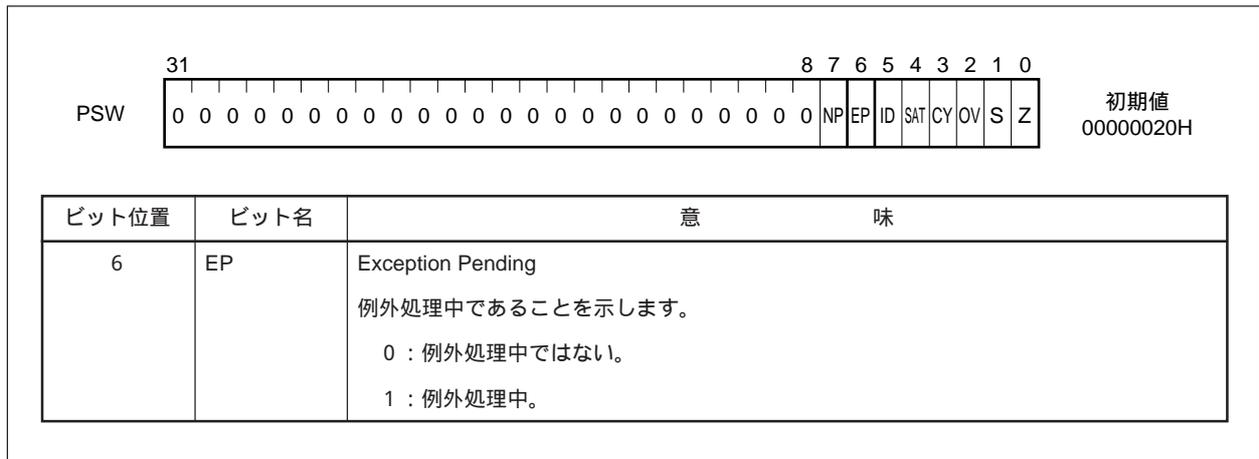
RETI命令の処理形態を図7 - 11に示します。

図7 - 11 RETI命令の処理形態



7.4.3 例外ステータス・フラグ (EP)

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。



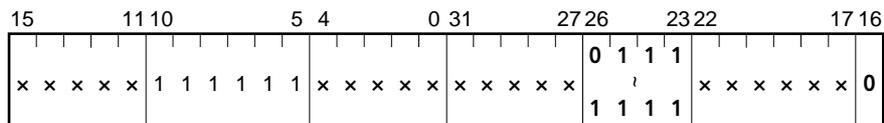
7.5 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850E/MS2では、不正命令コード例外（ILGOP:ILleGal OPcode trap）が例外トラップに当たります。

不正命令コード例外は、次に実行しようとする命令のサブオペコードが不正命令コードの場合に発生します。

7.5.1 不正命令コード

不正命令コードは、32ビット長命令形式であり、ビット10-5が111111Bであり、かつビット26-23が0111B-1111B、ビット16が0Bになる任意の命令コードとして定義します。



x : 任意

注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

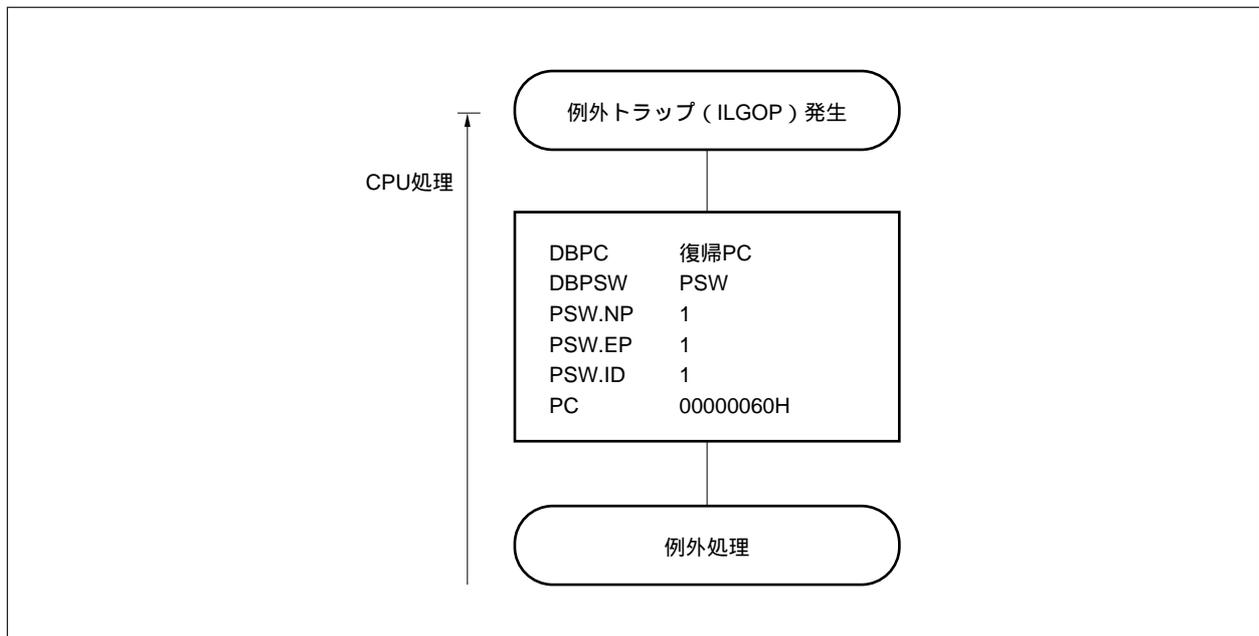
7.5.2 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをDBPCに退避します。
- (2) 現在のPSWをDBPSWへ退避します。
- (3) PSWのNP, EP, IDビットをセットします。
- (4) PCに例外トラップに対するハンドラ・アドレス (00000060H) をセットし、制御を移します。

例外トラップの処理形態を図7 - 12に示します。

図7 - 12 例外トラップの処理形態



7.5.3 復帰

例外トラップからの復帰はできません。 $\overline{\text{RESET}}$ 入力により、システム・リセットを行ってください。

7.6 多重割り込み処理制御

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求を受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求であった場合は、その割り込み要求は保留されます。

マスクابل割り込みの多重処理制御は、割り込み許可状態 (ID = 0) のときに行われます。したがって、多重割り込みを行う場合は割り込み処理ルーチンでも割り込み許可状態 (ID = 0) にする必要があります。

マスクابل割り込みまたはソフトウェア例外のサービス・プログラム中に、マスクابل割り込みの許可またはソフトウェア例外を発生させる場合はEIPC, EIPSWを退避する必要があります。

次のような手順で行います。

(1) サービス・プログラム中にマスクابل割り込みを受け付ける場合

マスクابل割り込みまたは例外のサービス・プログラム

```

...
...
・EIPCをメモリまたはレジスタへ退避
・EIPSWをメモリまたはレジスタへ退避
・EI命令 (割り込み受け付け許可)
...
...
...
...
・DI命令 (割り込み受け付け禁止)
・退避していた値をEIPSWに復帰
・退避していた値をEIPCに復帰
・RETI命令

```

マスクابل割り込み受け付け

(2) サービス・プログラム中に例外を発生させる場合

マスクブル割り込みまたは例外のサービス・プログラム

```

...
...
・EIPCをメモリまたはレジスタへ退避
・EIPSWをメモリまたはレジスタへ退避
...
・TRAP命令
...
・退避していた値をEIPSWに復帰
・退避していた値をEIPCに復帰
・RETI命令

```

TRAP命令などの例外受け付け

多重割り込み処理制御のための優先順位は、各マスクブル割り込み要求ごとに0-7までの8レベル（0が最優先）が、ソフトウェアにより任意に設定可能です。優先順位レベルの設定は、マスクブル割り込み要求ごとに用意されている割り込み要求制御レジスタ（xxICn）のxxPRn0-xxPRn2ビットで行います。システム・リセット時には、xxMKnビットにより割り込み要求はマスクされ、xxPRn0-xxPRn2ビットにより優先順位はレベル7に設定されます。

マスクブル割り込みの優先順位は次のようになります。

(高) レベル0 > レベル1 > レベル2 > レベル3 > レベル4 > レベル5 > レベル6 > レベル7 (低)

多重処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

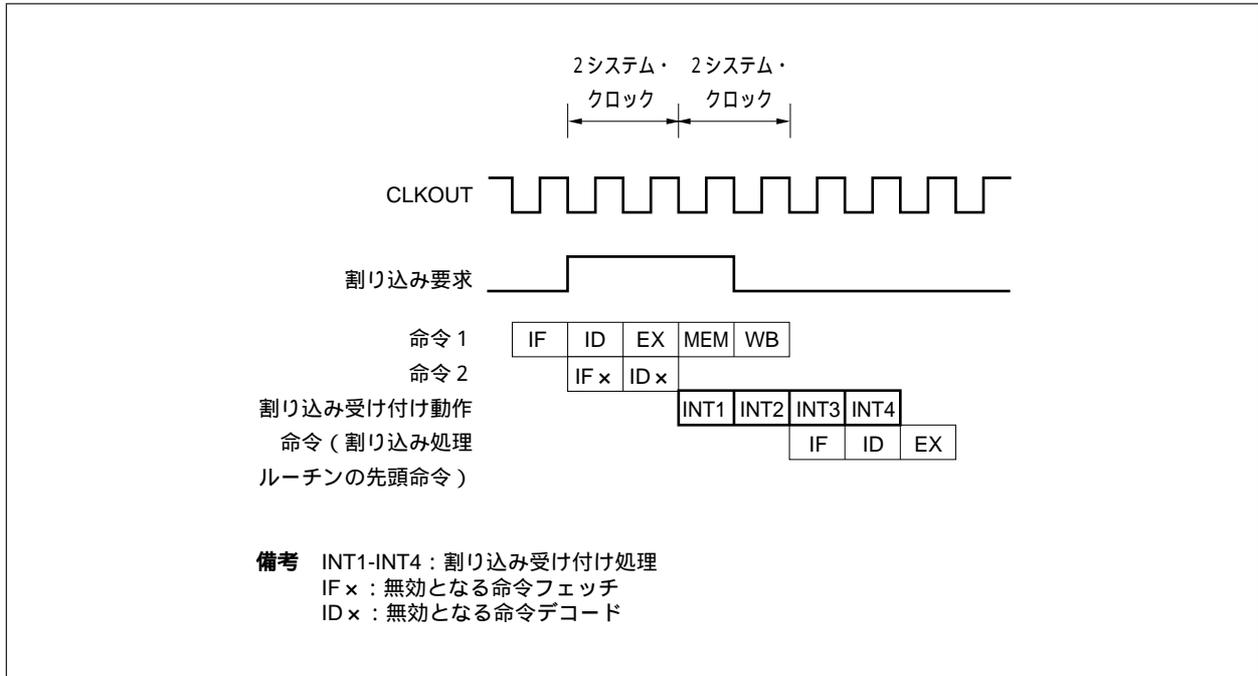
保留された割り込み要求は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

注意 ノンマスクブル割り込み処理ルーチン内（RETI命令を実行するまでの期間）では、マスクブル割り込みを受け付けず、保留します。

7.7 割り込み応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間は次のとおりです。

図7-13 割り込み要求受け付け時のパイプライン動作 (概略)



割り込み応答時間 (内部システム・クロック)	条件		
	内部割り込み	外部割り込み	
最小	4	6	以下の場合を除きます。 ・ IDLE/ソフトウェアSTOPモード時 ・ 外部バス・アクセス時 ・ 割り込み要求非サンプル命令が連続しているとき ・ 割り込み制御レジスタへのアクセス時
最大	10	12	

7.8 割り込みが受け付けられない期間

割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません。

割り込み要求非サンプル命令は次のとおりです。

- ・ EI命令
- ・ DI命令
- ・ LDSR reg2, 0x5命令 (対PSW)
- ・ 割り込み制御レジスタ (xxICn)、コマンド・レジスタ (PRCMD) に対するストア命令

第8章 クロック発生機能

クロック・ジェネレータ (CG) は、CPUをはじめとする内蔵の各ユニットに供給される内部システム・クロック () を発生、制御します。

8.1 特 徴

PLL (Phase locked loop) シンセサイザによる逡倍機能

クロック・ソース

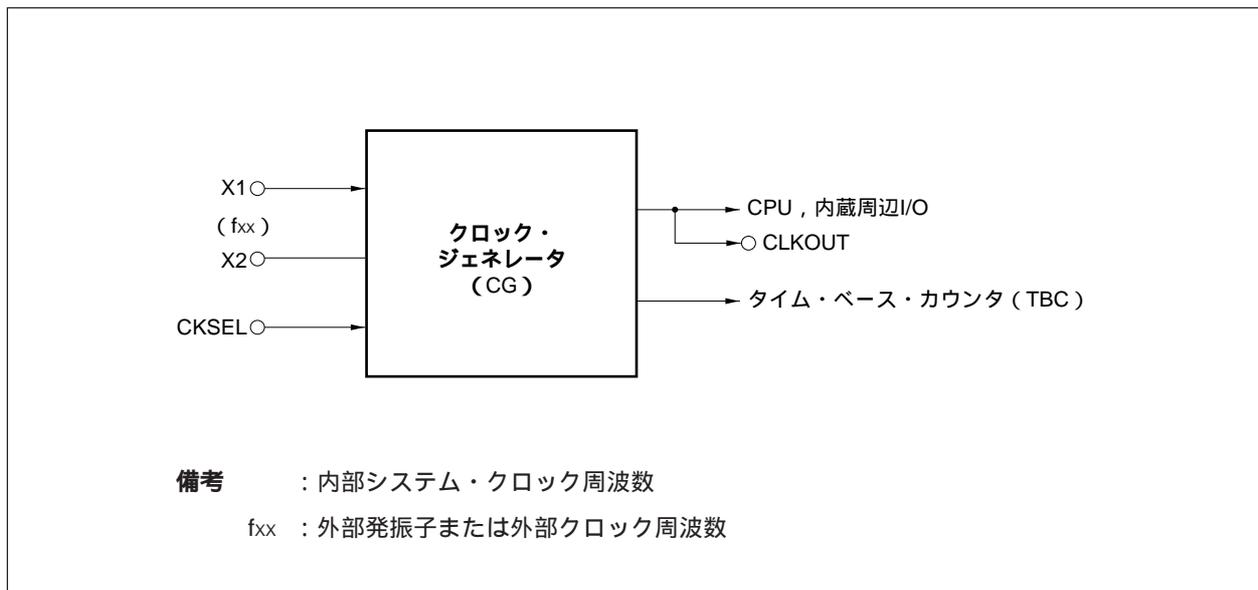
- ・発振子接続による発振 : $f_{xx} = \text{ } / 5$
- ・外部クロック : $f_{xx} = 2 \times \text{ } , \text{ } / 5$

パワー・セーブ制御

- ・HALTモード
- ・IDLEモード
- ・ソフトウェアSTOPモード
- ・クロック出力インヒビット機能

内部システム・クロック出力機能

8.2 構 成



8.3 入力クロック選択

クロック・ジェネレータは、発振回路とPLLシンセサイザから構成されており、たとえば、6 MHzのクリスタル振動子またはセラミック発振子をX1, X2端子に接続することにより、30 MHzの内部システム・クロック () を生成できます。

また、発振回路には外部クロックを直接入力することもできます。この場合、X1端子だけにクロック信号を入力し、X2端子はオープンにしてください。

クロック・ジェネレータは基本動作モードとして、PLLモードとダイレクト・モードの2種類を備えます。動作モードの選択は、CKSEL端子で行います。この端子の入力は、リセット時にラッチします。

CKSEL	動作モード
0	PLLモード
1	ダイレクト・モード

注意 CKSEL端子は入力レベルを固定して使用してください。

動作中に切り替えると誤動作する可能性があります。

8.3.1 ダイレクト・モード

ダイレクト・モードでは、内部システム・クロックの2倍の周波数の外部クロックを入力します。おもに、V850E/MS2を比較的の低周波数で動作させる応用システムに使用します。EMI対策を考慮して、外部クロックの周波数 (f_{xx}) が32 MHz (内部システム・クロック () = 16 MHz) 以上の場合はPLLモードを推奨します。

注意 ダイレクト・モードでは必ず外部クロックを入力してください (外部発振子は接続しないでください)。

8.3.2 PLLモード

PLLモードでは、外部発振子を接続または外部クロックを入力することにより、これをPLLシンセサイザにより逡倍し、内部システム・クロック () を生成します。

リセット時、入力クロックの周波数 (f_{xx}) に対して、5倍の周波数 ($5 \times f_{xx}$) の内部システム・クロック () が生成されます。

PLLモードでは、外部発振子や外部クロック・ソースからのクロック供給が停止した場合に、クロック・ジェネレータ内部の電圧制御発振回路 (VCO) の自走周波数に基づく内部システム・クロック () は動作を継続します。この場合、 = 約 1 MHz (ターゲット) になります。なお、この自走周波数になることを期待した使い方をしないでください。

例 PLLモード時の使用クロック

システム・クロック周波数 () [MHz]	外部発振子 / 外部クロック周波数 (f_{xx}) [MHz]
30.000	6.0000
25.000	5.0000
20.000	4.0000
16.384	3.2768

8.3.3 クロック・コントロール・レジスタ (CKC)

PLLモード時に、内部システム・クロック周波数 () を制御する8ビットのレジスタで、プログラムの暴走などによって誤って容易に書き換えられないように、特定の命令シーケンスの組み合わせによってだけ書き込みできます。

8/1ビット単位でリード/ライト可能です。

注意 ダイレクト・モード時は、このレジスタの設定を変更しないでください。

7	6	5	4	3	2	1	0	アドレス FFFFFF072H	初期値 00H
0	0	0	0	0	0	CKDIV1	CKDIV0		

ビット位置	ビット名	意味															
1, 0	CKDIV1, CKDIV0	Clock Divide PLLモード時の内部システム・クロック周波数 () を設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">CKDIV1</th> <th style="width: 10%;">CKDIV0</th> <th style="width: 80%;">内部システム・クロック ()</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>5 × fxx</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>fxx</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>fxx/2</td> </tr> </tbody> </table>	CKDIV1	CKDIV0	内部システム・クロック ()	0	0	5 × fxx	0	1	設定禁止	1	0	fxx	1	1	fxx/2
CKDIV1	CKDIV0	内部システム・クロック ()															
0	0	5 × fxx															
0	1	設定禁止															
1	0	fxx															
1	1	fxx/2															

このレジスタへのデータ設定のシーケンスはパワー・セーブ・コントロール・レジスタ (PSC) と同じです。ただし3.4.9 特定レジスタの備考2に示す制限事項は該当しません。詳細は8.5.2 制御レジスタを参照してください。

例 クロック・ジェネレータの設定

動作モード	CKSEL端子	CKCレジスタ		入力クロック (fxx)	内部システム・ クロック ()
		CKDIV1ビット	CKDIV0ビット		
ダイレクト・モード	ハイ・レベル入力	0	0	16 MHz	8 MHz
PLLモード	ロウ・レベル入力	0	0	6 MHz	30 MHz
		1	0	6 MHz	6 MHz
		1	1	6 MHz	3 MHz
上記以外				設定禁止	

8.4 PLLロックアップ

電源投入直後，ソフトウェアSTOPモード解除直後から所定の周波数でフェーズ・ロックし，安定するまでの時間がロックアップ時間（周波数安定時間）です。この安定するまでの状態をアンロック状態と呼び，安定した状態をロック状態と呼びます。

システム・ステータス・レジスタ（SYS）には，PLLの周波数の安定状態を反映するLOCKフラグと，プロテクション・エラーの発生を示すPRERRフラグがあります。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
SYS	0	0	0	PRERR	0	0	0	LOCK	アドレス FFFFF078H	初期値 0000000 x B

ビット位置	ビット名	意味
0	LOCK	Lock Status Flag 読み出し専用フラグで，PLLのロック状態を示します。 ロックアップ状態を維持しているかぎり0を保持し，システム・リセットによっても初期化されません。 0：ロック中であることを示します。 1：ロックしていない（アンロック）状態を示します。

備考 PRERRフラグの説明は3.4.9（2）システム・ステータス・レジスタ（SYS）を参照してください。

クロック停止，電源カットなど，いったんアンロック状態を発生させる要因が働いた場合に，リアルタイム処理など，ソフトウェアの実行速度に依存する制御の処理においては，動作開始直後にソフトウェアで必ずLOCKフラグを判定し，クロックの安定するのを待ってから処理を開始してください。

一方，内蔵の各ハードウェアの設定やレジスタ・データ，メモリ・データの初期化等の静的処理はLOCKフラグがリセットされるのを待たずに実行可能です。

発振子を使用した場合の発振安定時間（発振子が発振し，入力波形が安定するまでの時間）とPLLロックアップ時間（周波数が安定するまでの時間）の関係は次のようになります。

発振安定時間 < PLLロックアップ時間

8.5 パワー・セーブ制御

8.5.1 概要

パワー・セーブ機能には、次のものがあります。

(1) HALTモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。通常動作モードとの組み合わせによる間欠動作により、システムのトータルの消費電力を低下させることができます。専用命令（HALT命令）によりHALTモードに移行します。

(2) IDLEモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで、内部システム・クロックの供給を停止させることにより、システム全体を停止させるモードです。

IDLEモードからの解除時に、発振回路の発振安定時間などを確保する必要がないため、高速に通常動作に移行することができます。

PSCレジスタ（特定レジスタ）の設定によりIDLEモードに移行します。

IDLEモードは、クロックの安定時間と消費電流に関して、ソフトウェアSTOPとHALTモードの中間に位置するモードで、低消費電流モードを利用し、かつ解除時のクロックの安定時間を削除したい用途に利用します。

(3) ソフトウェアSTOPモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させ、システム全体が停止するモードです。リーク電流だけの超低消費電力状態になります。

PSCレジスタ（特定レジスタ）の設定により、ソフトウェアSTOPモードに移行します。

(a) PLLモード時

ソフトウェアによるレジスタ設定により、ソフトウェアSTOPモードに移行します。発振回路が停止すると同時にPLLシンセサイザのクロック出力が停止します。ソフトウェアSTOPモードの解除後は、システム・クロックが安定するまでの間、発振回路の発振安定時間を確保する必要があります。また、プログラムによってはPLLのロックアップ時間が必要な場合があります。

(4) クロック出力インヒビット・モード

CLKOUT端子からの内部システム・クロック出力を禁止します。

通常動作、HALT、IDLE、ソフトウェアSTOPの各モードにおけるクロック・ジェネレータの動作を表8-1に示します。

各モードを組み合わせ、用途により切り替えて使用することにより、効果的な低消費電力システムを実現することができます。

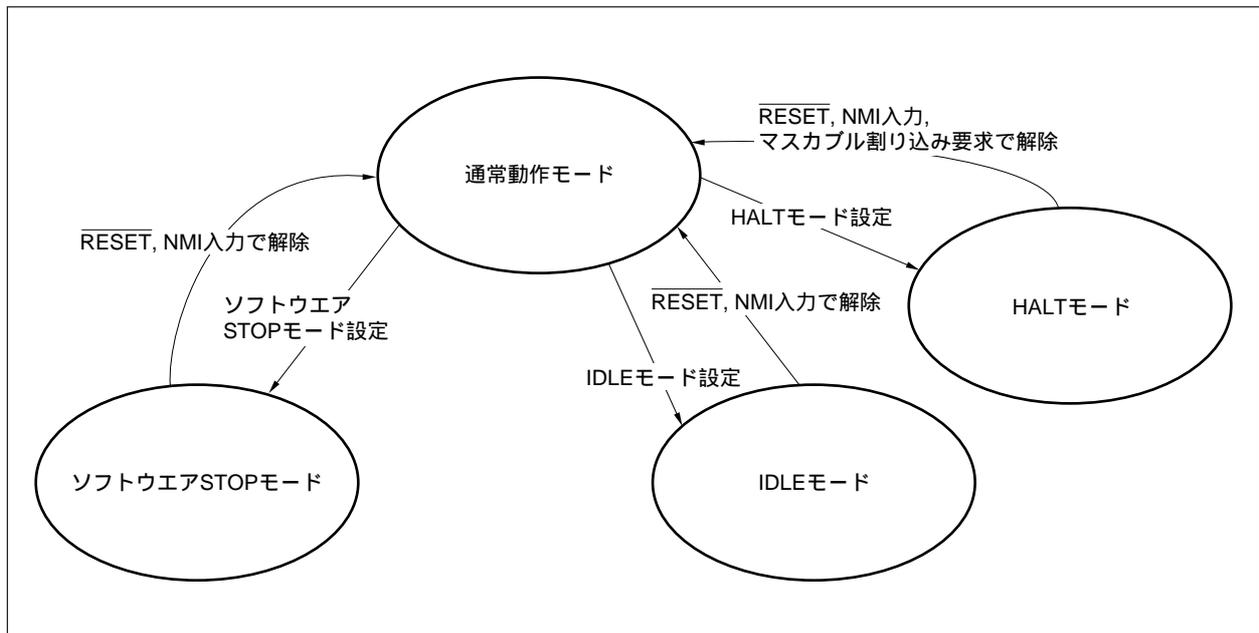
表8-1 パワー・セーブ制御によるクロック・ジェネレータの動作

クロック・ソース		パワー・セーブ・モード	発振回路 (OSC)	PLL シンセサイザ	内蔵周辺I/Oへの クロック供給	CPUへの クロック供給
PLLモード	発振子による発振	(通常動作時)				
		HALTモード				×
		IDLEモード			×	×
		ソフトウェアSTOPモード	×	×	×	×
	外部クロック	(通常動作時)	×			
		HALTモード	×			×
		IDLEモード	×		×	×
		ソフトウェアSTOPモード	×	×	×	×
ダイレクト・ モード	(通常動作時)	×	×			
	HALTモード	×	×		×	
	IDLEモード	×	×	×	×	
	ソフトウェアSTOPモード	×	×	×	×	

○ : 動作

× : 停止

図8-1 パワー・セーブ・モード状態遷移図



8.5.2 制御レジスタ

(1) パワー・セーブ・コントロール・レジスタ (PSC)

パワー・セーブ・モードを制御する8ビット・レジスタです。

このレジスタは特定レジスタの1つで、ライト動作時は特定シーケンスによるアクセスだけが有効です。

詳細は3.4.9 特定レジスタを参照してください。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PSC	DCLK1	DCLK0	TBCS	CESEL	0	IDLE	STP	0	アドレス FFFFFF070H	初期値 00H

ビット位置	ビット名	意味															
7, 6	DCLK1, DCLK0	<p>Disable CLKOUT</p> <p>CLKOUT端子の動作モードの指定を行います。</p> <table border="1"> <thead> <tr> <th>DCLK1</th> <th>DCLK0</th> <th>モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>通常出力モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>RFU (予約)</td> </tr> <tr> <td>1</td> <td>0</td> <td>RFU (予約)</td> </tr> <tr> <td>1</td> <td>1</td> <td>クロック出カインヒビット・モード</td> </tr> </tbody> </table>	DCLK1	DCLK0	モード	0	0	通常出力モード	0	1	RFU (予約)	1	0	RFU (予約)	1	1	クロック出カインヒビット・モード
DCLK1	DCLK0	モード															
0	0	通常出力モード															
0	1	RFU (予約)															
1	0	RFU (予約)															
1	1	クロック出カインヒビット・モード															
5	TBCS	<p>Time Base Count Select</p> <p>タイム・ベース・カウンタのクロックを選択します。</p> <p>0 : $fx/2^8$</p> <p>1 : $fx/2^9$</p> <p>詳細は 8.6.2 タイム・ベース・カウンタ (TBC) に示します。</p>															
4	CESEL	<p>Crystal/External Select</p> <p>X1, X2端子の機能を指定します。</p> <p>0 : X1, X2端子に発振子を接続</p> <p>1 : X1端子に外部クロックを接続</p> <p>CESEL = 1 の場合、発振回路のフィードバック・ループを切断し、ソフトウェアSTOPモード時の電流リークを防ぎます。また、ソフトウェアSTOPモード解除後のタイム・ベース・カウンタ (TBC) による発振安定時間のカウントを行いません。</p>															
2	IDLE ^注	<p>IDLE Mode</p> <p>IDLEモードを指定します。</p> <p>1を書き込むとIDLE状態に入ります。</p> <p>IDLEモードが解除されると自動的にリセット (0) されます。</p>															
1	STP ^注	<p>STOP Mode</p> <p>ソフトウェアSTOPモードを指定します。</p> <p>1を書き込むとSTOP状態に入ります。</p> <p>ソフトウェアSTOPモードが解除されると自動的にリセット (0) されます。</p>															

注 IDLEビット = 1, STPビット = 1に設定した場合は、ソフトウェアSTOPモードになります。

8.5.3 HALTモード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺I/Oへのクロック供給は継続され、動作を継続します。CPUの空き時間にHALTモードに設定することにより、システムのトータルの消費電力を低下させることができます。

HALT命令によりHALTモードに移行します。

HALTモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAM、ポートの内容は保持されます。また、CPUの命令処理に依存しない内蔵周辺I/O（ポート以外）は動作を継続します。

HALTモード時の各ハードウェアの状態は表8-2のようになります。

備考 HALT命令実行後も、内部の命令プリフェッチ・キューがフルになるまでの間は、命令フェッチ動作を継続します。フルになったあと、表8-2の状態ですべての動作が停止します。

表8-2 HALTモード時の動作状態

機 能		動作状態
クロック・ジェネレータ		動作
内部システム・クロック		動作
CPU		停止
ポート		保持
内蔵周辺I/O（ポート以外）		動作
内部データ		CPUのレジスタ、ステータス、データ、内蔵RAMの内容など、内部のデータはすべてHALTモード設定前の状態を保持
外部拡張 モード時	D0-D15	動作
	A0-A23	
	\overline{RD} , \overline{WE} , \overline{OE} , \overline{BCYST}	
	\overline{LWR} , \overline{UWR} , \overline{IORD} , \overline{IOWR}	
	$\overline{CS0}$, $\overline{CS3}$ - $\overline{CS5}$	
	$\overline{RAS3}$ - $\overline{RAS5}$	
	\overline{LCAS} , \overline{UCAS}	
	\overline{HLDRQ}	
	\overline{HLDAK}	
	WAIT	
CLKOUT		クロック出力 (クロック出力インヒビットでないとき)

(2) HALTモードの解除

HALTモードは、NMI端子入力、マスクされていないマスクブル割り込み要求、および $\overline{\text{RESET}}$ 端子入力により解除されます。

(a) NMI端子入力、マスクブル割り込み要求による解除

NMI端子入力、マスクされていないマスクブル割り込み要求により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のように動作が異なります。

- (i) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとHALTモードの解除だけを行い、この割り込みは受け付けません。割り込み要求そのものは保持します。
- (ii) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求（NMI要求を含む）が発生すると、HALTモードの解除とともにこの割り込み要求を受け付けます。

表 8 - 3 割り込み要求によるHALTモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
NMI要求	ハンドラ・アドレスに分岐	
マスクブル割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

(b) $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。

8.5.4 IDLEモード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで、内部システム・クロックの供給が停止し、システム全体が停止するモードです。

このモードの解除時は、発振回路の発振安定時間やPLLのロックアップ時間を確保する必要がないため、高速に通常動作に移行できます。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSCレジスタ（特定レジスタ）設定でIDLEモードに移行します（3.4.9 特定レジスタ参照）。

IDLEモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAM、ポートの内容は保持されます。内蔵周辺I/O（ポート以外）も動作を停止します。

IDLEモード時の各ハードウェアの状態は表8-4のようになります。

表8-4 IDLEモード時の動作状態

機 能		動作状態
クロック・ジェネレータ		動作
内部システム・クロック		停止
CPU		停止
ポート		保持
内蔵周辺I/O（ポート以外）		停止
内部データ		CPUのレジスタ、ステータス、データ、内蔵RAMの内容など、内部のデータはすべてIDLEモード設定前の状態を保持
外部拡張 モード時	D0-D15	ハイ・インピーダンス
	A0-A23	
	\overline{RD} , \overline{WE} , \overline{OE} , \overline{BCYST}	
	\overline{LWR} , \overline{UWR} , \overline{IORD} , \overline{IOWR}	ハイ・レベル出力
	$\overline{CS0}$, $\overline{CS3-CS5}$	動作
	$\overline{RAS3-RAS5}$	
	\overline{LCAS} , \overline{UCAS}	
	\overline{HLDRQ}	入力（サンプリングなし）
	\overline{HLDAK}	ハイ・インピーダンス
	\overline{WAIT}	入力（サンプリングなし）
CLKOUT		ロウ・レベル出力

(2) IDLEモードの解除

IDLEモードは、NMI端子入力、 $\overline{\text{RESET}}$ 端子入力により解除されます。

(a) NMI端子入力による解除

IDLEモードの解除とともにNMI要求として受け付けます。

ただし、NMI処理ルーチン内でIDLEモードに設定した場合は、IDLEモードの解除だけを行い、この割り込みは受け付けません。割り込み要求そのものは保持します。

NMI端子入力によるIDLEモード解除時に起動される割り込み処理は、緊急時などの通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが一意のため）。したがって、プログラムで両者を区別する必要がある場合は、ソフトウェア・ステータスをあらかじめ用意しておき、ストア命令またはビット操作命令によるPSCレジスタ設定の前に、ステータスを設定しておく必要があります。NMIの割り込み処理でこのステータスをチェックすることで、通常のNMIとの区別が可能です。

(b) $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。

8.5.5 ソフトウェアSTOPモード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させるモードです。システム全体を停止させ、デバイスのリーク電流だけの超低消費電力を実現します。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSCレジスタ（特定レジスタ）設定でソフトウェアSTOPモードに移行します（3.4.9 特定レジスタ参照）。

PLLモードかつ発振子接続モード（PSCレジスタのCESELビット = 0）の場合で、ソフトウェアSTOPモード解除後には、発振回路の発振安定時間を確保する必要があります。

ソフトウェアSTOPモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAM、ポートの内容は保持されます。内蔵周辺I/O（ポート以外）も動作を停止します。

ソフトウェアSTOPモード時の各ハードウェアの状態は表8 - 5のようになります。

注意 ダイレクト・モード（CKSEL端子 = 1）、または外部クロック接続モード（PSCレジスタのCESELビット = 1）の場合には、ソフトウェアSTOPモードは使用できません。

表8 - 5 ソフトウェアSTOPモード時の動作状態

機能		動作状態
クロック・ジェネレータ		停止
内部システム・クロック		停止
CPU		停止
ポート ^注		保持
内蔵周辺I/O（ポート以外）		停止
内部データ ^注		CPUのレジスタ、ステータス、データ、内蔵RAMの内容など、内部のデータはすべてソフトウェアSTOPモード設定前の状態を保持
外部拡張モード時	D0-D15	ハイ・インピーダンス
	A0-A23	
	\overline{RD} , \overline{WE} , \overline{OE} , \overline{BCYST}	
	\overline{LWR} , \overline{UWR} , \overline{IORD} , \overline{IOWR}	ハイ・レベル出力
	CS0, $\overline{CS3}$ - $\overline{CS5}$	動作
	RAS3-RAS5	
	LCAS, UCAS	入力（サンプリングなし）
	\overline{HLDRQ}	
	HLDK	
	WAIT	入力（サンプリングなし）
CLKOUT		ロウ・レベル出力

注 V_{DD}の値が動作可能範囲内にある場合。

ただし、動作可能最低電圧より下がった場合でも、データ保持電圧V_{DDDR}を維持すれば、内蔵RAMの内容だけは保持されます。

(2) ソフトウェアSTOPモードの解除

ソフトウェアSTOPモードは、NMI端子入力、 $\overline{\text{RESET}}$ 端子入力により解除されます。

また、PLLモードかつ発振子接続モード（PSCレジスタのCESELビット= 0）におけるソフトウェアSTOPモード解除時には、発振回路の発振安定時間を確保する必要があります。

なお、プログラムによってはPLLのロックアップ時間が必要です。詳細は8.4 PLLロックアップを参照してください。

(a) NMI端子入力による解除

ソフトウェアSTOPモードの解除とともにNMI要求として受け付けます。

ただし、NMI処理ルーチン内でソフトウェアSTOPモードに設定した場合は、ソフトウェアSTOPモードの解除だけを行い、この割り込みは受け付けません。割り込み要求そのものは保持します。

NMI端子入力によるSTOPモード解除時に起動される割り込み処理は、緊急時などの通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが一意のため）。したがって、プログラムで両者を区別する必要がある場合は、ソフトウェア・ステータスをあらかじめ用意しておき、ストア命令またはビット操作命令によるPSCレジスタ設定の前に、ステータス設定しておく必要があります。NMIの割り込み処理でこのステータスをチェックすることで、通常のNMIとの区別が可能です。

(b) $\overline{\text{RESET}}$ 端子入力による解除

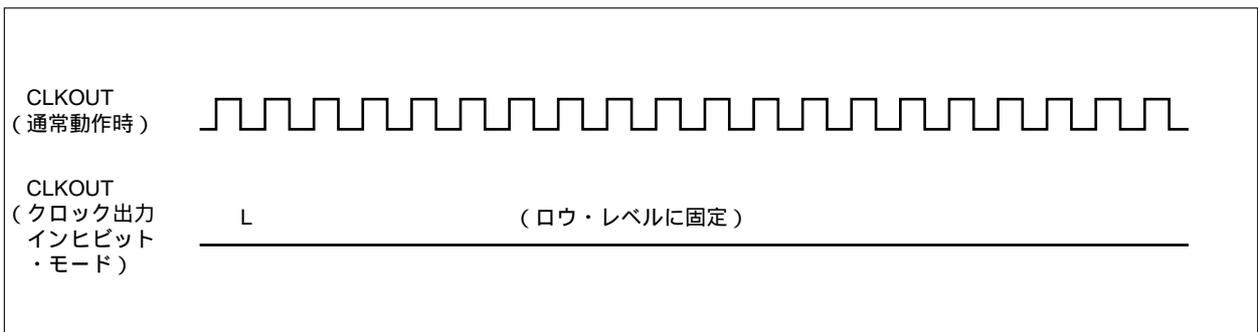
通常のリセット動作と同じです。

8.5.6 クロック出力インヒビット・モード

PSCレジスタのDCLK0ビット = 1, DCLK1ビット = 1に設定するとCLKOUT端子からのクロック出力を禁止するクロック出力インヒビット・モードになります。

外部拡張デバイスに対する命令フェッチやデータ・アクセスを非同期型アクセスで行うシステムに最適です。

このモードでは、CLKOUT信号出力の動作が完全に停止するため、一層の低消費電力化およびCLKOUT端子からの輻射ノイズ抑止が可能です。また、HALT、IDLE、ソフトウェアSTOPの各モードと組み合わせることにより、より効果的なパワー・セービングも可能となります（8.5.2 制御レジスタ参照）。



8.6 発振安定時間の確保

8.6.1 発振安定時間の確保指定

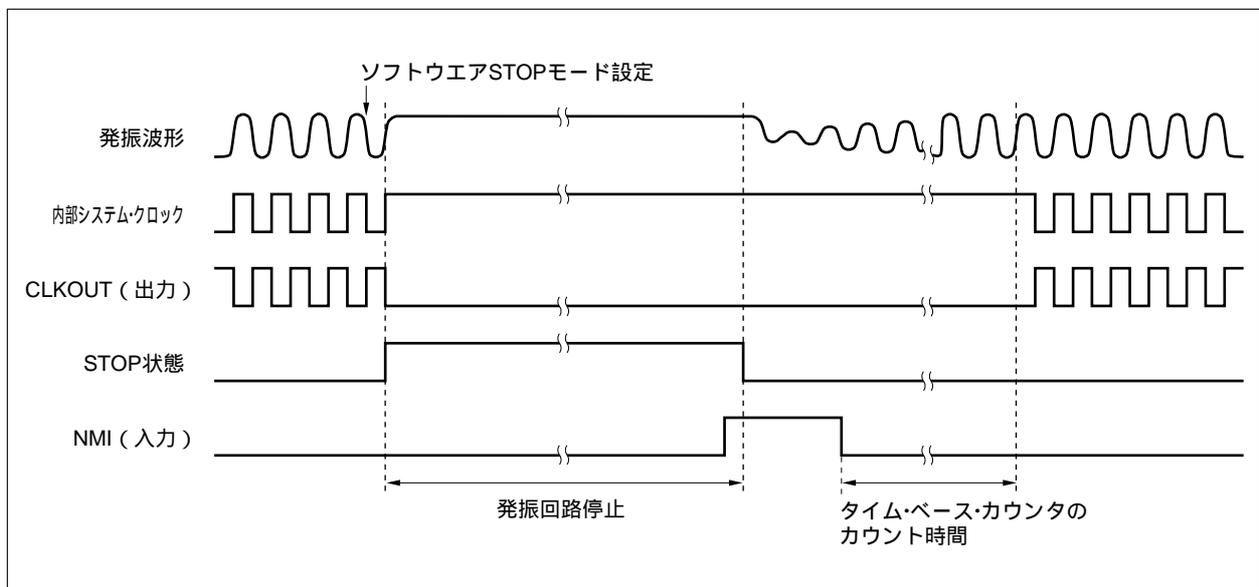
ソフトウェアSTOPモード解除後の停止状態の発振回路が安定するまでの時間確保指定には2通りの方法があります。

(1) 内蔵タイム・ベース・カウンタで時間を確保する場合 (NMI端子入力)

NMI端子に有効エッジが入力されると、ソフトウェアSTOPモードが解除されます。端子へのインアクティブ・エッジ入力からタイム・ベース・カウンタ (TBC) がカウントを開始し、そのカウント時間で、発振回路からのクロック出力が安定するまでの時間を確保します。

発振安定時間 = (NMI入力の有効エッジ検出後のアクティブ・レベル幅) + (TBCのカウント時間)

所定時間後、内部システム・クロック出力を開始し、NMI割り込みのハンドラ・アドレスに分岐します。



NMI端子は、通常はインアクティブ・レベル (たとえば有効エッジを立ち下がり指定したときはハイ・レベル) にしておいてください。

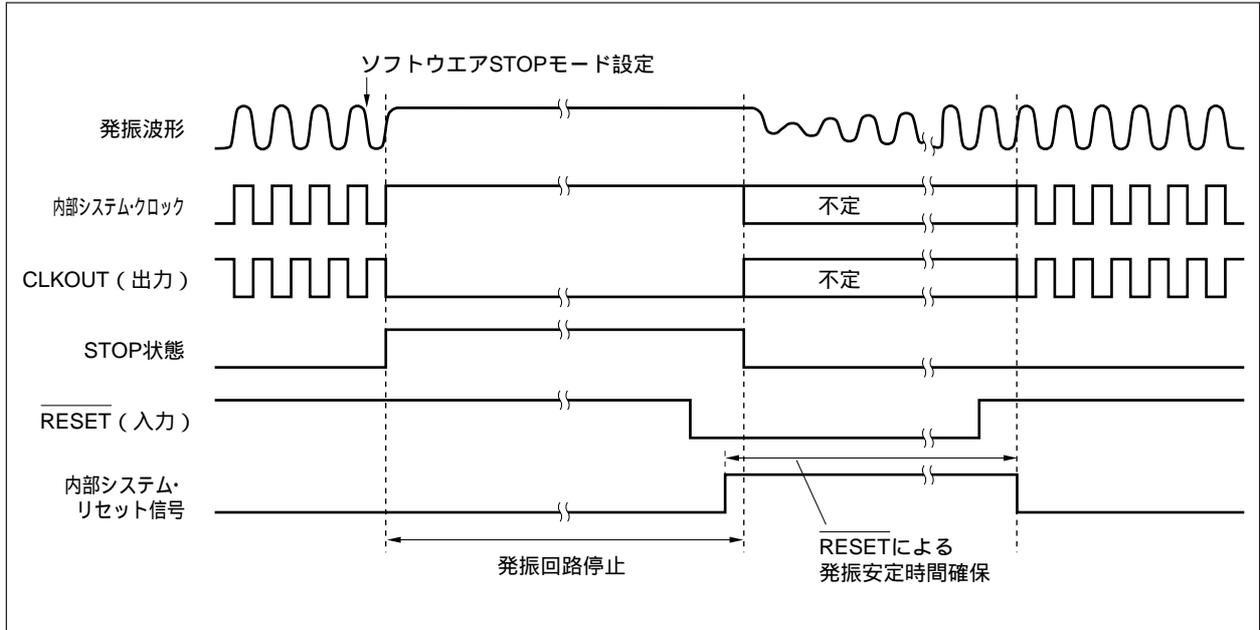
なお、NMIの有効エッジ入力タイミングからCPUで割り込みを受け付けるまでの期間にSTOPモードに設定する動作を行った場合、ソフトウェアSTOPモードはすぐに解除されます。PLLモードかつ発振子接続モード (PSCレジスタのCESELビット = 0) の場合は、NMI端子のインアクティブ・エッジ入力からタイム・ベース・カウンタによる発振安定時間確保後、プログラム実行を開始します。

(2) 信号レベル幅で時間を確保する場合 (RESET端子入力)

RESET端子への立ち下がりエッジ入力により、ソフトウェアSTOPモードが解除されます。

端子へ入力される信号のロウ・レベル幅で、発振回路からのクロック出力が安定するまでの時間を確保します。

RESET端子への立ち上がりエッジ入力後、内部システム・クロックの供給が開始し、システム・リセット時のハンドラ・アドレスに分岐します。



8.6.2 タイム・ベース・カウンタ (TBC)

タイム・ベース・カウンタ (TBC) は、ソフトウェアSTOPモード解除時の発振回路の発振安定時間の確保に使用します。

・発振子接続時 (PLLモードかつPSCレジスタのCESELビット = 0)

ソフトウェアSTOPモード解除後、TBCで発振安定時間をカウントし、カウント終了後にプログラム実行を開始します。

PSCレジスタのTBCSビットによりTBCのカウント・クロックを選択し、次のカウント時間を設定可能です (8.5.2 (1) パワー・セーブ・コントロール・レジスタ (PSC) 参照)。

表8 - 6 カウント時間例 ($t_{TBC} = 5 \times f_{xx}$)

TBCS ビット	カウント・ クロック	カウント時間		
		$f_{xx} = 3.2768 \text{ MHz}$	$f_{xx} = 5.0000 \text{ MHz}$	$f_{xx} = 6.0000 \text{ MHz}$
		$= 16.384 \text{ MHz}$	$= 25.000 \text{ MHz}$	$= 30.000 \text{ MHz}$
0	$f_{xx}/2^8$	20.0 ms	13.1 ms	10.9 ms
1	$f_{xx}/2^9$	40.0 ms	26.2 ms	21.8 ms

f_{xx} : 外部発振子周波数

: 内部システム・クロック周波数

第9章 タイマ/カウンタ機能 (リアルタイム・パルス・ユニット)

9.1 特 徴

パルス間隔や周波数の計測および、プログラマブルなパルスの出力

- ・ 16ビット計測可能
- ・ 多彩な形状のパルスを発生可能 (インターバル・パルス, ワンショット・パルス)

タイマ 1

- ・ 16ビット・タイマ/イベント・カウンタ
- ・ カウント・クロックのソース: 2種 (内部システム・クロックの分周を選択, 外部パルス入力)
- ・ キャプチャ/コンペア共用レジスタ: 9本
- ・ コンペア・レジスタ: 7本
- ・ カウント・クリア端子: TCLR10-TCLR12
- ・ 割り込みソース: 20種
- ・ 外部パルス出力: 3本

タイマ 4

- ・ 16ビット・インターバル・タイマ
- ・ カウント・クロックは, 内部システム・クロックの分周から選択
- ・ コンペア・レジスタ: 2本
- ・ 割り込みソース: 2種

9.2 基本構成

次に基本構成を示します。

表9 - 1 RPUの構成一覧

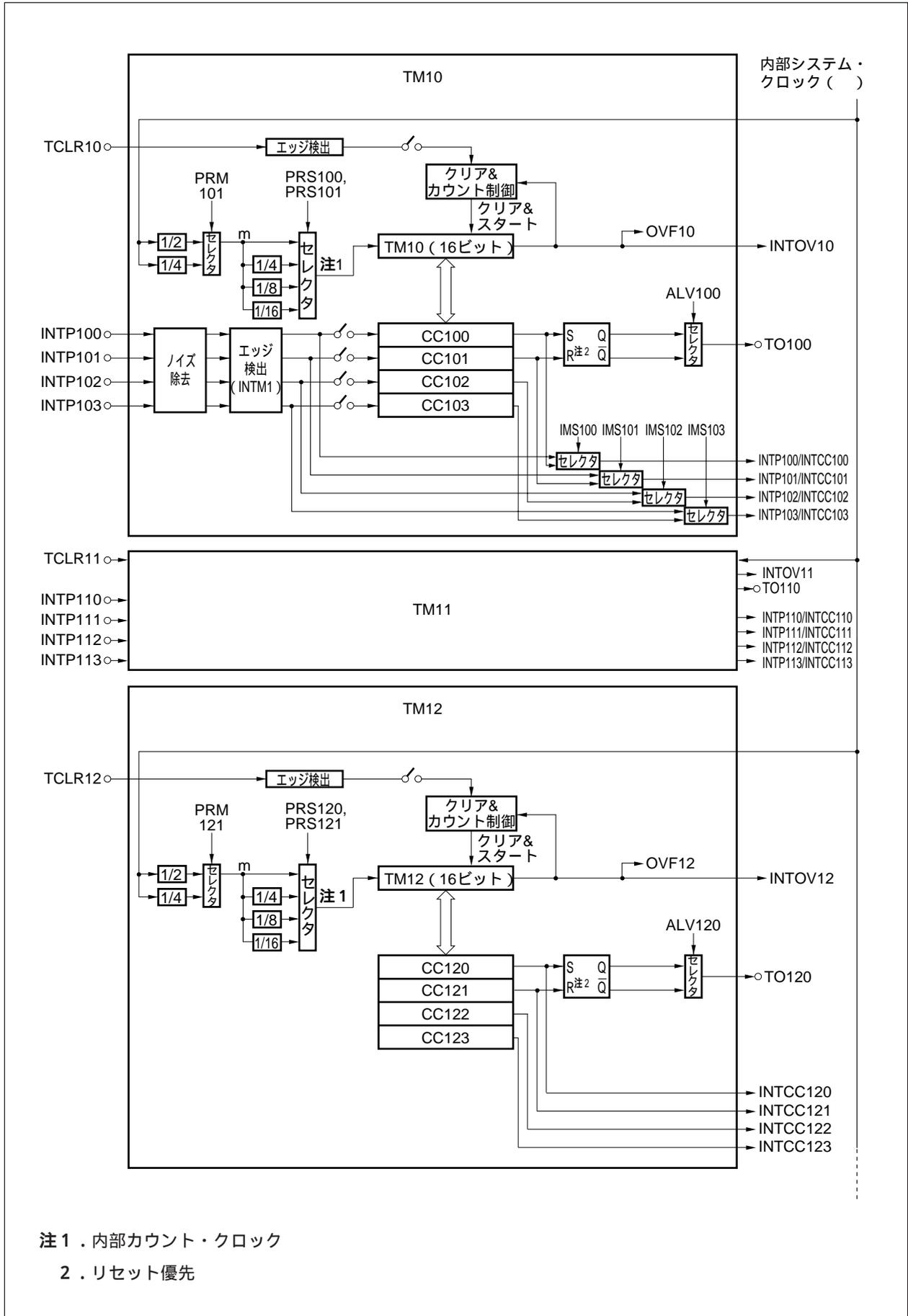
タイマ	カウント・クロック	レジスタ	リード/ライト	発生する割り込み信号	キャプチャ・トリガ	タイマ出力 S/R	その他の機能
タイマ1	TI13端子入力	TM10	リード	INTOV10	-	-	外部クリア
		CC100	リード/ライト	INTCC100	INTP100	TO100 (S)	-
		CC101	リード/ライト	INTCC101	INTP101	TO100 (R)	-
		CC102	リード/ライト	INTCC102	INTP102	-	-
		CC103	リード/ライト	INTCC103	INTP103	-	-
		TM11	リード	INTOV11	-	-	外部クリア
		CC110	リード/ライト	INTCC110	INTP110	TO110 (S)	A/D変換開始トリガ
		CC111	リード/ライト	INTCC111	INTP111	TO110 (R)	A/D変換開始トリガ
		CC112	リード/ライト	INTCC112	INTP112	-	A/D変換開始トリガ
		CC113	リード/ライト	INTCC113	INTP113	-	A/D変換開始トリガ
		TM12	リード	INTOV12	-	-	外部クリア
		CC120	リード/ライト	INTCC120	-	TO120 (S)	-
		CC121	リード/ライト	INTCC121	-	TO120 (R)	-
		CC122	リード/ライト	INTCC122	-	-	-
		CC123	リード/ライト	INTCC123	-	-	-
		TM13	リード	INTOV13	-	-	-
		CC130	リード/ライト	INTCC130	INTP130	-	-
		CC131	リード/ライト	INTCC131	-	-	-
	CC132	リード/ライト	INTCC132	-	-	-	
CC133	リード/ライト	INTCC133	-	-	-		
タイマ4	/32	TM40	リード	-	-	-	-
	/64	CM40	リード/ライト	INTCM40	-	-	-
	/128	TM41	リード	-	-	-	-
	/256	CM41	リード/ライト	INTCM41	-	-	-

備考 : 内部システム・クロック

S/R : セット/リセット

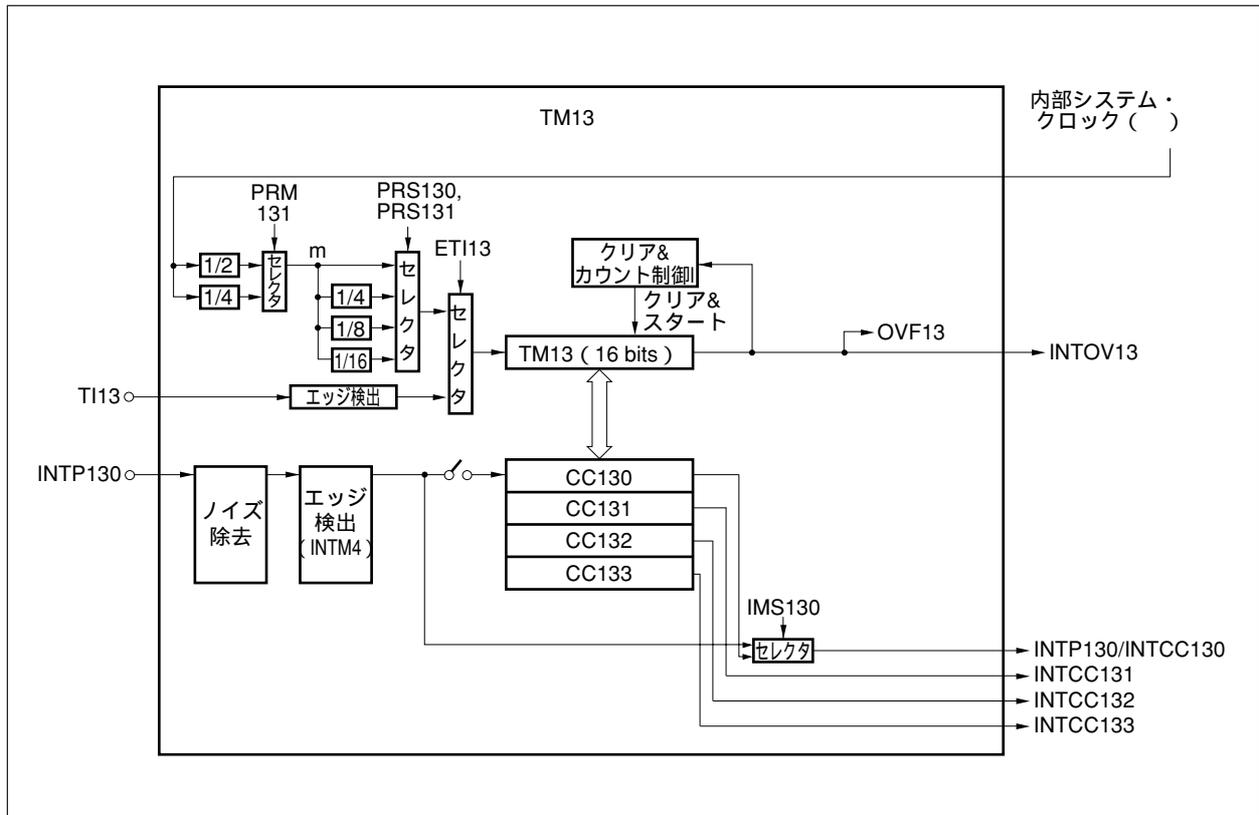
(1) タイマ1 (16ビット・タイマ/イベント・カウンタ)

(1/2)

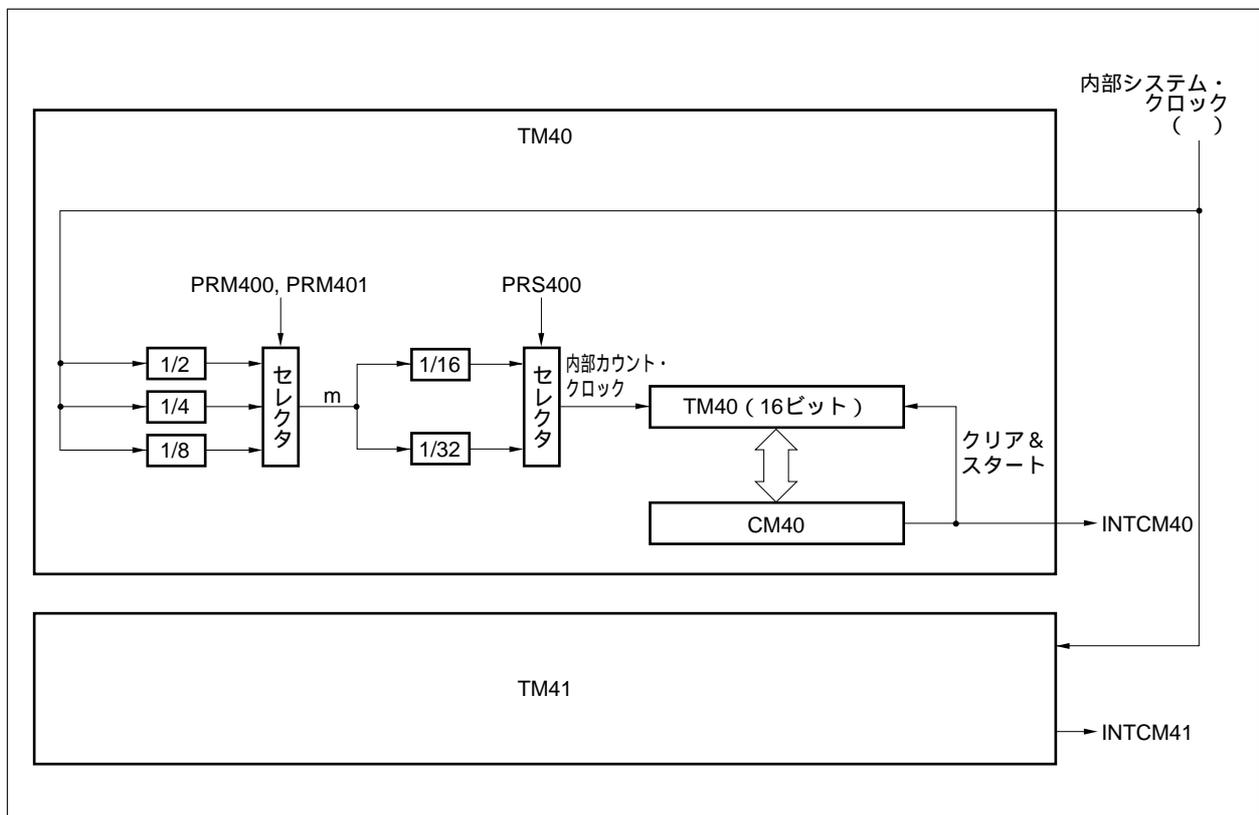


(1) タイマ1 (16ビット・タイマ/イベント・カウンタ)

(2/2)



(2) タイマ4 (16ビット・インターバル・タイマ)

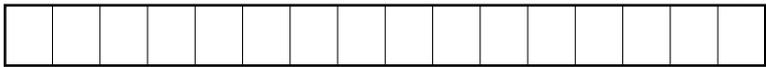


9.2.1 タイマ1

(1) タイマ10-13 (TM10-TM13)

TM1nは、16ビットのフリー・ランニング・タイマまたは外部信号のイベント・カウンタとして機能します。おもに、周期計測、または周波数計測のほか、パルス出力としても利用できます (n=0-3)。

TM1nは16ビット単位でリードだけ可能です。

TM10		アドレス FFFFFF250H	初期値 0000H
TM11		FFFFFF270H	0000H
TM12		FFFFFF290H	0000H
TM13		FFFFFF2B0H	0000H

TM1nは内部カウント・クロックまたは外部カウント・クロックのカウント・アップ動作を行います。タイマのスタートおよびストップは、タイマ・コントロール・レジスタ1n (TMC1n) のCE1nビットで制御します。

カウント・クロックの内部/外部の選択はTMC1nレジスタによって行います。

(a) 外部カウント・クロックを選択

TM13は、イベント・カウンタとして動作します。タイマ・ユニット・モード・レジスタ13 (TUM13) によって有効エッジを指定し、TI13端子入力によりTM13をカウント・アップします。

(b) 内部カウント・クロックを選択

TM1nは、フリー・ランニング・タイマとして動作します。カウント・クロックは、プリスケアラによる分周を、TMC1nレジスタにより $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ 、 $1/64$ から選択できます。

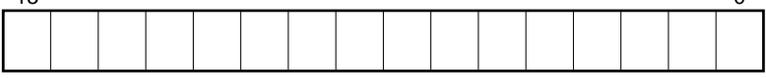
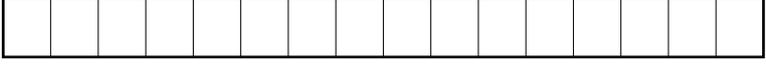
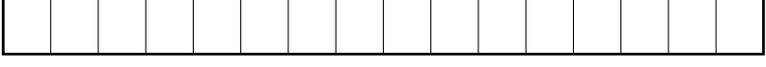
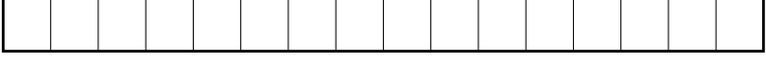
タイマがオーバーフローすると、オーバーフロー割り込みを発生することができます。また、TUM1nレジスタの指定により、オーバーフロー後タイマを停止することができます。

また、外部入力TCLR1nによってタイマをクリアし、スタートすることができます。このとき、プリスケアラも同時にクリアされるので、TCLR1n入力から最初のタイマ・カウント・アップまでの時間は、プリスケアラの分周比に応じて一定となります。動作の設定はTUM1nレジスタで行います。

注意 タイマ動作中はカウント・クロックを変更できません。

(2) キャプチャ/コンペア・レジスタ_{1n0-1n3} (CC_{1n0-CC1n3}) (n = 0-3)

キャプチャ/コンペア・レジスタは、16ビット・レジスタでTM_{1n}に接続されています。タイマ・ユニット・モード・レジスタ_{1n} (TUM_{1n}) の指定により、キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。16ビット単位でリード/ライト可能です。

CC100- CC103		アドレス FFFFFF252H- FFFFFF258H	初期値 不定
CC110- CC113		FFFFFF272H- FFFFFF278H	不定
CC120- CC123		FFFFFF292H- FFFFFF298H	不定
CC130- CC133		FFFFFF2B2H- FFFFFF2B8H	不定

(a) キャプチャ・レジスタに設定

キャプチャ・レジスタに設定した場合は、対応する外部割り込みINTP_{100-INTP103}, INTP_{110-INTP113}, INTP₁₃₀信号の有効エッジをキャプチャ・トリガとして検出します。タイマ_{1n}はキャプチャ・トリガに同期して、カウント値をラッチします (キャプチャ動作)。キャプチャ動作は、カウント・クロックとは非同期に行われます。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

キャプチャ・レジスタへのキャプチャ (ラッチ) ・タイミングと、命令によるレジスタへの書き込み動作が競合した場合は、後者が優先され、キャプチャ動作は無視されます。

また、外部割り込みの有効エッジ指定 (立ち上がり, 立ち下がり, 両エッジ) は、外部割り込みモード・レジスタ (INTM₁, INTM₂, INTM₄) により選択することができます。

キャプチャ・レジスタに指定したときは、INTP_{100-INTP103}, INTP_{110-INTP113}, INTP₁₃₀信号の有効エッジ検出で割り込みを発生します。このとき、コンペア・レジスタの一致信号であるINTCC_{100-INTCC103}, INTCC_{110-INTCC113}, INTCC₁₃₀によって割り込みを発生させることはできません。

(b) コンペア・レジスタに設定

コンペア・レジスタに設定した場合は、タイマのカウント・クロックごとにタイマとレジスタ値の比較動作を行い、一致による割り込みを発生します。

コンペア・レジスタはセット/リセット出力機能を備えています。一致信号発生に同期して、対応するタイマ出力 (TO1n0 : n=0-2) をセットまたはリセットします。

割り込みソースは選択したレジスタの機能で異なります。

コンペア・レジスタに指定した場合、TUM1n (n=0, 1, 3) レジスタの指定により、一致信号である INTCC100-INTCC103, INTCC110-INTCC113, INTCC130か、または、INTP100-INTP103, INTP110-INTP113, INTP130信号の有効エッジ検出のいずれかを選択して割り込み信号とすることができます。

なお、INTP100-INTP103, INTP110-INTP113, INTP130信号を選択した場合は、外部割り込み要求の受け付けと、コンペア・レジスタのセット/リセット出力機能によるタイマ出力を並行して行えます。

9.2.2 タイマ4

(1) タイマ40, 41 (TM40, TM41)

TM4nは、16ビット・タイマです。おもに、ソフトウェアのためのインターバル・タイマとして利用できません (n=0, 1)。

TM4nは、16ビット単位でリードだけ可能です。

TM40		アドレス FFFFFF350H	初期値 0000H
TM41		FFFFFF354H	0000H

TM4nのスタートおよびストップは、タイマ・コントロール・レジスタ4n (TMC4n) のCE4nビットによって制御します。

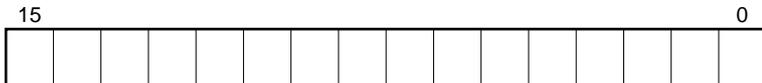
カウント・クロックは、プリスケアラによる分周を、TMC4nレジスタにより /32, /64, /128, /256から選択できます。

注意 コンペア一致が発生したあと、タイマは次のカウント・クロックでクリアされるため、分周比が大きいときは、一致割り込み発生直後にタイマの値を読み出しても、タイマの値が0でない場合があります。

また、タイマ動作中はカウント・クロックを変更できません。

(2) コンペア・レジスタ40, 41 (CM40, CM41)

CM4nは16ビット・レジスタであり、TM4nに接続されています。16ビット単位でリード/ライト可能です。

CM40		アドレス FFFFFF352H	初期値 不定
CM41		FFFFFF356H	不定

TM4nのカウント・クロックごとにTM4nとCM4nの比較を行い、一致による割り込み (INTCM4n) を発生します。この一致に同期してTM4nをクリアします。

9.3 制御レジスタ

(1) タイマ・ユニット・モード・レジスタ10-13 (TUM10-TUM13)

TUM1nレジスタはタイマ1の動作を制御するレジスタで、キャプチャ/コンペア・レジスタの動作モードを指定します (n=0-3)。

16ビット単位でリード/ライト可能です。

(1/2)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
TUM10	0	0	OST0	ECLR ₁₀	0注	0注	CES ₁₀₁	CES ₁₀₀	CMS ₁₀₃	CMS ₁₀₂	CMS ₁₀₁	CMS ₁₀₀	IMS ₁₀₃	IMS ₁₀₂	IMS ₁₀₁	IMS ₁₀₀	アドレス FFFFFF240H	初期値 0000H
TUM11	0	0	OST1	ECLR ₁₁	0注	0注	CES ₁₁₁	CES ₁₁₀	CMS ₁₁₃	CMS ₁₁₂	CMS ₁₁₁	CMS ₁₁₀	IMS ₁₁₃	IMS ₁₁₂	IMS ₁₁₁	IMS ₁₁₀	FFFFFF260H	0000H
TUM12	0	0	OST2	ECLR ₁₂	0注	0注	CES ₁₂₁	CES ₁₂₀	CMS ₁₂₃	CMS ₁₂₂	CMS ₁₂₁	CMS ₁₂₀	IMS ₁₂₃	IMS ₁₂₂	IMS ₁₂₁	IMS ₁₂₀	FFFFFF280H	0000H
TUM13	0	0	OST3	0注	TES ₁₃₁	TES ₁₃₀	0注	0注	CMS ₁₃₃	CMS ₁₃₂	CMS ₁₃₁	CMS ₁₃₀	IMS ₁₃₃	IMS ₁₃₂	IMS ₁₃₁	IMS ₁₃₀	FFFFFF2A0H	0000H

ビット位置	ビット名	意味
13	OSTn	Overflow Stop タイマのオーバーフロー後の動作を指定します。このフラグが有効なのはTM1nだけです。 0 : タイマのオーバーフロー後、タイマはカウント・アップを続けます。 1 : タイマのオーバーフロー後、タイマは0000Hを保持し停止状態となります。 このとき、TMC1nレジスタのCE1nビットは、1のままです。 次の動作によりカウント・アップを再開します。 ECLR1m = 0 のとき : CE1nビットへの1ライト動作 ECLR1m = 1 のとき : タイマ・クリア端子 (TCLR1m) へのトリガ入力
12	ECLR1m	External Input Timer Clear TM1mの外部クリア入力 (TCLR1m) によるタイマのクリアを許可します。 0 : 外部入力によるクリアはしません。 1 : 外部入力によりTM1mをクリアします。 クリア後、カウント・アップを開始します。

注 必ず0を設定してください。

備考 n = 0-3
m = 0-2

ビット位置	ビット名	意 味															
11,10	TES131, TES130	<p>TI13 Edge Select</p> <p>外部クロック入力 (TI13) の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>TES131</th> <th>TES130</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>RFU (予約)</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり, 立ち下がり両エッジ</td> </tr> </tbody> </table>	TES131	TES130	有効エッジ	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	RFU (予約)	1	1	立ち上がり, 立ち下がり両エッジ
TES131	TES130	有効エッジ															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	RFU (予約)															
1	1	立ち上がり, 立ち下がり両エッジ															
9, 8	CES1m1, CES1m0	<p>TCLR1m Edge Select</p> <p>外部クリア入力 (TCLR1m) の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>CES1m1</th> <th>CES1m0</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>RFU (予約)</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり, 立ち下がり両エッジ</td> </tr> </tbody> </table>	CES1m1	CES1m0	有効エッジ	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	RFU (予約)	1	1	立ち上がり, 立ち下がり両エッジ
CES1m1	CES1m0	有効エッジ															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	RFU (予約)															
1	1	立ち上がり, 立ち下がり両エッジ															
7-4	CMS1n	<p>Capture/Compare Mode Select</p> <p>キャプチャ/コンペア・レジスタ (CC1n) の動作モードを選択します。</p> <p>0 : キャプチャ・レジスタとして動作します。ただしキャプチャ・レジスタ指定時のキャプチャ動作は、TMC1xレジスタのCE1xビット = 1 のときだけ行います (x = 0-3)。</p> <p>1 : コンペア・レジスタとして動作します。</p> <p>注意 CC120-CC123, CC131-CC133は、キャプチャ・レジスタとして使用することができません。これらのレジスタを使用する場合は、必ずCMS1nビットを1に設定してください。</p>															
3-0	IMS1n ^注	<p>Interrupt Mode Select</p> <p>割り込みソースとして、INTP1nかINTCC1nかを選択します。</p> <p>0 : コンペア・レジスタの一致信号INTCC1nを割り込み要求信号にします。</p> <p>1 : 外部からの入力信号INTP1nを割り込み要求信号にします。</p>															

注 CC120-CC123, CC131-CC133に対しては、外部からの入力信号がありません。したがって割り込み要求信号を発生させる場合はIMS1nを0に設定してください。

備考 n = 00-03, 10-13, 20-23, 30-33
m = 0-2

備考 A/Dコンバータをタイマ・トリガ・モードに設定した場合、コンペア・レジスタの一致割り込みがA/D変換開始トリガとなり、変換動作を開始します。このとき、コンペア・レジスタの一致割り込みは、CPUに対するコンペア・レジスタの一致割り込みとしても機能します。CPUに対するコンペア・レジスタの一致割り込みを発生させないためには、割り込み制御レジスタ (P11IC0-P11IC3) の割り込みマスク・ビット (P11MK0-P11MK3) で割り込みを禁止してください。

(2) タイマ・コントロール・レジスタ10-13 (TMC10-TMC13)

TMC10-TMC13はそれぞれTM10-TM13の動作を制御します。

8/1ビット単位でリード/ライト可能です。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
TMC10	CE10	0	0	0 ^注	PRS101	PRS100	PRM101	0	FFFFFF242H	00H
TMC11	CE11	0	0	0 ^注	PRS111	PRS110	PRM111	0	FFFFFF262H	00H
TMC12	CE12	0	0	0 ^注	PRS121	PRS120	PRM121	0	FFFFFF282H	00H
TMC13	CE13	0	0	ETI13	PRS131	PRS130	PRM131	0	FFFFFF2A2H	00H

ビット位置	ビット名	意味
7	CE1n	Count Enable タイマの動作を制御します。 0 : タイマは0000H状態で停止し、動作しません。 1 : タイマはカウント動作を行います。ただし、TUM1nレジスタのECLR1nビット=1のときは、TCLR1n入力があるまでタイマはカウント・アップを開始しません。 ECLR1nビット=0のとき、CE1nビットへのセット(1)動作がタイマのカウント・スタート・トリガとなります。したがって、ECLR1nビット=1の状態ではCE1nビットをセット(1)したあとECLR1nビット=0としても、タイマはスタートしません。
4	ETI13	External TI13 Input カウント・クロックの外部と内部の切り替えを指定します。 0 : 系(内部)を指定します。 1 : TI13(外部)を指定します。

注 必ず0を設定してください。

注意 タイマ動作中にカウント・クロックを変更しないでください。

備考 n = 0-3

ビット位置	ビット名	意味															
3, 2	PRS1n1, PRS1n0	<p>Prescaler Clock Select</p> <p>内部カウント・クロックを選択します (mは中間クロック)。</p> <table border="1"> <thead> <tr> <th>PRS1n1</th> <th>PRS1n0</th> <th>内部カウント・クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>m</td> </tr> <tr> <td>0</td> <td>1</td> <td>m/4</td> </tr> <tr> <td>1</td> <td>0</td> <td>m/8</td> </tr> <tr> <td>1</td> <td>1</td> <td>m/16</td> </tr> </tbody> </table>	PRS1n1	PRS1n0	内部カウント・クロック	0	0	m	0	1	m/4	1	0	m/8	1	1	m/16
PRS1n1	PRS1n0	内部カウント・クロック															
0	0	m															
0	1	m/4															
1	0	m/8															
1	1	m/16															
1	PRM1n1	<p>Prescaler Clock Mode</p> <p>カウント・クロックの中間クロック (m)を選択します (は内部システム・クロック)。</p> <p>0 : /2</p> <p>1 : /4</p>															

注意 タイマ動作中にカウント・クロックを変更しないでください。

備考 n = 0-3

(3) タイマ・コントロール・レジスタ40, 41 (TMC40, TMC41)

TMC40, TMC41はそれぞれTM40, TM41の動作を制御します。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
TMC40	CE40	0	0	0	0	PRS400	PRM401	PRM400	アドレス FFFFFF342H	初期値 00H
TMC41	CE41	0	0	0	0	PRS410	PRM411	PRM410	FFFFFF346H	00H

ビット位置	ビット名	意味															
7	CE4n	Count Enable タイマの動作を制御します。 0 : タイマは0000H状態で停止し, 動作しません。 1 : タイマはカウント動作を行います。															
2	PRS4n0	Prescaler Clock Select 内部カウント・クロックを選択します (mは中間クロック)。 0 : m/16 1 : m/32															
1, 0	PRM4n1, PRM4n0	Prescaler Clock Mode カウント・クロックの中間クロック (m)を選択します (は内部システム・クロック)。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>PRM4n1</th> <th>PRM4n0</th> <th>m</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>/2</td> </tr> <tr> <td>0</td> <td>1</td> <td>/4</td> </tr> <tr> <td>1</td> <td>0</td> <td>/8</td> </tr> <tr> <td>1</td> <td>1</td> <td>RFU (予約)</td> </tr> </tbody> </table>	PRM4n1	PRM4n0	m	0	0	/2	0	1	/4	1	0	/8	1	1	RFU (予約)
PRM4n1	PRM4n0	m															
0	0	/2															
0	1	/4															
1	0	/8															
1	1	RFU (予約)															

注意 タイマ動作中にカウント・クロックを変更しないでください。

備考 n = 0, 1

(4) タイマ出力コントロール・レジスタ10-12 (TOC10-TOC12)

TOC1nレジスタはTO1n0端子からのタイマ出力を制御します (n = 0-2)。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TOC10	0 ^注	0 ^注	ENTO100	ALV100	0	0	0	0	FFFFFF244H	00H
TOC11	0 ^注	0 ^注	ENTO110	ALV110	0	0	0	0	FFFFFF264H	00H
TOC12	0 ^注	0 ^注	ENTO120	ALV120	0	0	0	0	FFFFFF284H	00H

ビット位置	ビット名	意味
5	ENTO1n0	Enable TO pin 対応する各タイマ出力 (TO1n0) の許可を行います。 0 : タイマ出力は禁止状態です。対応するTO1n0端子からはALV1n0ビットの逆相のレベル (インアクティブ・レベル) が出力されます。対応するコンペア・レジスタから一致信号が発生してもTO1n0端子のレベルは変化しません。 1 : タイマ出力機能は許可状態です。対応するコンペア・レジスタから一致信号が発生するとタイマ出力が変化します。タイマ出力を許可してから最初に一致信号が発生するまでは、ALV1n0ビットの逆相のレベル (インアクティブ・レベル) が出力されます。
4	ALV1n0	Active Level TO pin タイマ出力のアクティブ・レベルを指定します。 0 : アクティブ・レベルはロウ・レベル 1 : アクティブ・レベルはハイ・レベル

注 必ず0を設定してください。

備考1 . TO1n0出力のフリップフロップはリセット優先です。

2 . n = 0-2

注意 TO1m0出力は外部割り込み信号 (INTP1m0-INTP1m3, INTP130) では変化しません。TO1m0信号を使用するときは、キャプチャ/コンペア・レジスタをコンペア・レジスタ (TUM1mレジスタのCMS1m0-CMS1m3ビット = 1) に指定してください (m = 0, 1)。

(5) 外部割り込みモード・レジスタ1, 2, 4 (INTM1, INTM2, INTM4)

TM1nのCC1n0-CC1n3, CC130 (n = 0, 1) をキャプチャ・レジスタとして使用する場合、外部割り込みINTP1n0-INTP1n3信号の有効エッジをキャプチャ・トリガとして検出します (詳細は、第7章 割り込み/例外処理機能を参照してください)。

(6) タイマ・オーバーフロー・ステータス・レジスタ (TOVS)

TM10-TM13, TM40, TM41からのオーバーフロー・フラグを割り当てています。

8/1ビット単位でリード/ライト可能です。

TOVSレジスタをソフトウェアでテスト&リセットすることで、オーバーフロー発生をポーリングすることができます。

	7	6	5	4	3	2	1	0		
TOVS	OVF41	OVF40	0	0	OVF13	OVF12	OVF11	OVF10	アドレス FFFFFF230H	初期値 00H

ビット位置	ビット名	意味
7, 6, 3-0	OVF41, OVF40, OVF13- OVF10	Overflow Flag TM41, TM40, TM1nのオーバーフロー・フラグです。 0 : オーバフロー発生なし 1 : オーバフローが発生 注意 TM1nからはオーバーフローに同期して、割り込みコントローラに対し、割り込み要求 (INTOV1n) が発生しますが、割り込みの動作と、TOVSレジスタは独立しており、TM1nからのオーバーフロー・フラグ (OVF1n) に対しても、ほかのオーバーフロー・フラグと同様にソフトウェアで操作できます。 このとき、INTOV1nに対応する割り込み要求フラグ (OVF1n) には影響を与えません。 CPUからのアクセス期間中はTOVSレジスタへの転送は行われません。したがって、TOVSレジスタの読み出し中にオーバーフローが発生しても、フラグの値は変化せず、次の読み出し時に反映されます。

備考 n = 0-3

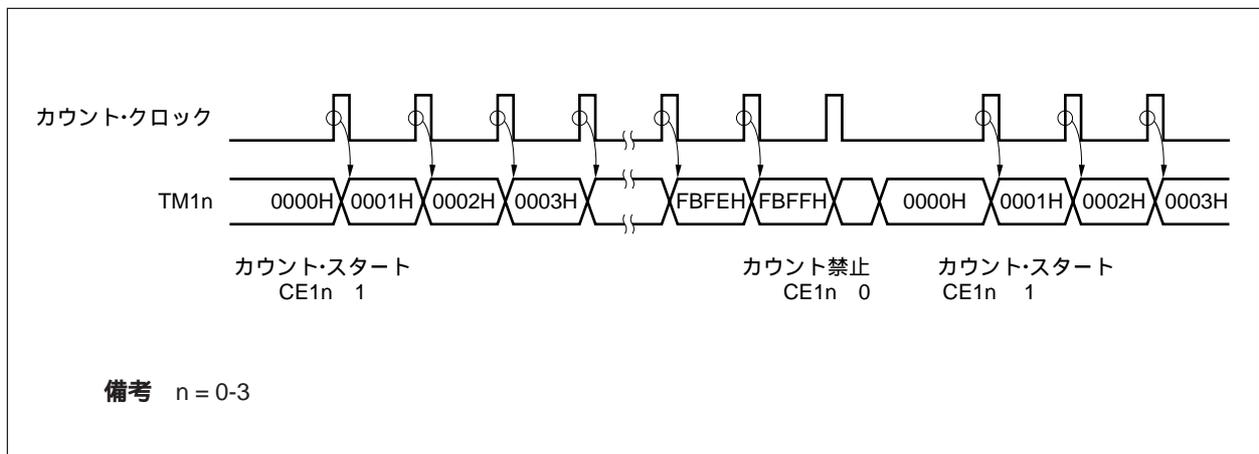
9.4 タイマ1動作

9.4.1 カウント動作

タイマ1は、16ビットのフリー・ランニング・タイマまたは、外部信号のイベント・カウンタとして機能します。動作の設定は、タイマ・コントロール・レジスタ1n (TMC1n) で指定します (n=0-3)。

フリー・ランニング・タイマとして動作する場合、CC1n0-CC1n3レジスタとTM1nのカウント値が一致すると、割り込み信号を発生させるとともに、タイマ出力信号TO1m0 (m=0-2) をセット/リセットすることができます。また、外部トリガとしての外部割り込み要求入力端子から検出された有効エッジに同期して、TM1nのカウント値をCC1n0-CC1n3レジスタに保持するキャプチャ動作を行います。キャプチャの値は、次のキャプチャ・トリガが発生するまで保持されます。

図9-1 タイマ1の基本動作



9.4.2 カウント・クロック選択

タイマ13に入力されるカウント・クロックには内部と外部があり，TMC13レジスタのETI13ビットで選択できます。タイマ10, 11, 12は内部カウント・クロックのみです。

注意 タイマの動作中にカウント・クロックを変更しないでください。

(1) 内部カウント・クロック (ETI1nビット=0)

TMC1nレジスタのPRS1n1, PRS1n0, PRM1n1ビットの設定によって /2, /4, /8, /16, /32, /64の6通りから内部カウント・クロックを選択します。

PRS1n1	PRS1n0	PRM1n1	内部カウント・クロック
0	0	0	/2
0	0	1	/4
0	1	0	/8
0	1	1	/16
1	0	0	/16
1	0	1	/32
1	1	0	/32
1	1	1	/64

備考 n = 0-3

(2) 外部カウント・クロック (ETI13ビット=1)

TI13端子に入力される信号をカウントします。このとき，タイマ1はイベント・カウンタとして動作することもできます。

TI13の有効エッジはTUM13レジスタのTES131, TES130ビットによって指定します。

TES131	TES130	有効エッジ
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	RFU (予約)
1	1	立ち上がり, 立ち下がり両エッジ

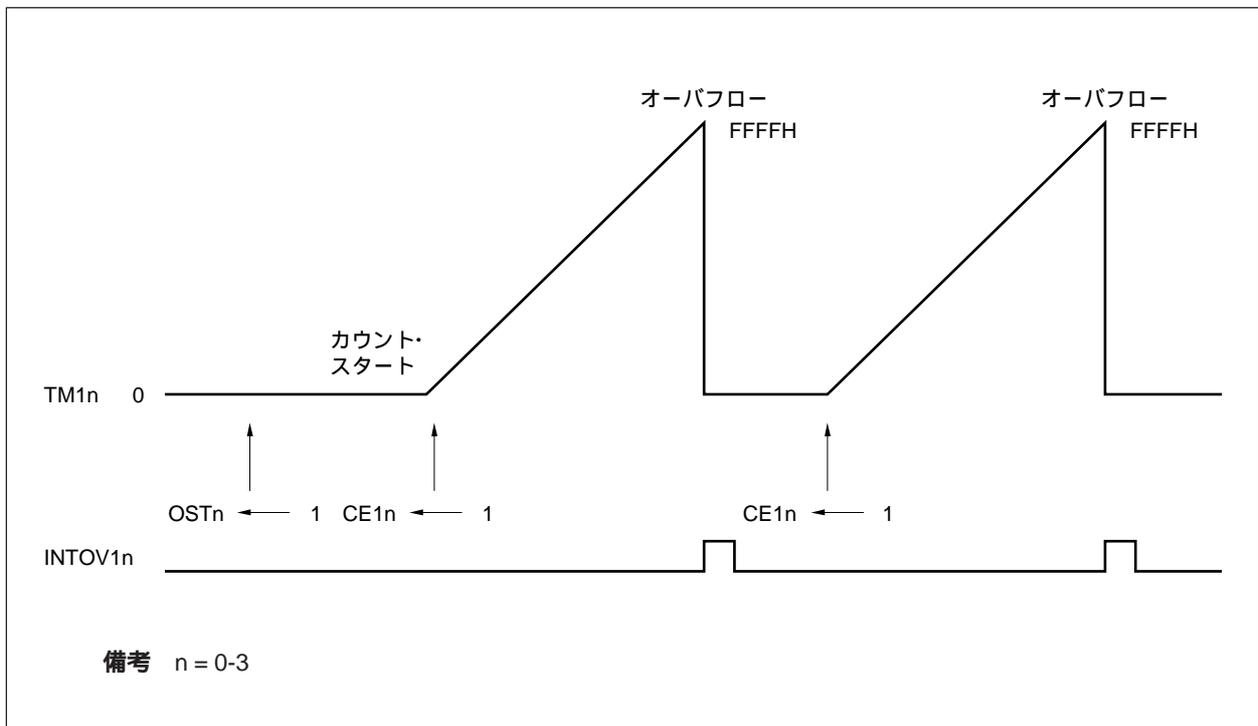
9.4.3 オーバフロー

TM1nレジスタがカウント・クロックをFFFFHまでカウントした結果オーバフローすると、TOVSレジスタのOVF1nビットにフラグをセットし、オーバフロー割り込み (INTOV1n) を発生します (n=0-3)。

また、TUM1nレジスタのOSTnビットをセット (1) することで、オーバフロー後、タイマを停止させることができます。オーバフローによりタイマが停止した場合、TMC1nレジスタのCE1nビットをセット (1) するまでカウント動作を再開しません。

なお、カウント動作中にCE1nビットをセット (1) しても動作に影響はありません。

図9 - 2 オーバフロー後の動作 (ECLR1n = 0, OSTn = 1の場合)



9.4.4 TCLR1n信号入力によるタイマのクリア/スタート

タイマ1は、通常TMC1nレジスタのCE1nビットをセット(1)するとカウント動作を開始しますが、TCLR1n信号入力によって、TM1nをクリアし、カウント動作を開始することができます(n=0-2)。

TUM1nレジスタのECLR1nビット=1, OSTnビット=0に設定し、CE1nビットをセット(1)したあと、TCLR1n信号に有効エッジを入力すると、カウント動作を開始します。また、動作中にTCLR1n信号に有効エッジが入力されると、TM1nは値をクリアし、カウント動作を再開します(図9-3参照)。

TUM1nレジスタのECLR1nビット=1, OSTnビット=1に設定し、CE1nビットをセット(1)したあと、TCLR1n信号に有効エッジを入力すると、カウント動作を開始します。TM1nがオーバーフローすると、カウント動作はいったん停止し、TCLR1n信号に有効エッジが入力されるまでカウント動作は再開しません。カウント動作中にTCLR1n信号の有効エッジが検出されると、TM1nはクリアされカウント動作を続けます(図9-4参照)。なお、オーバーフロー後にCE1nビットをセット(1)しても、カウント動作は再開しません。

図9-3 TCLR1n信号入力によるタイマのクリア/スタート動作 (ECLR1n = 1, OSTn = 0の場合)

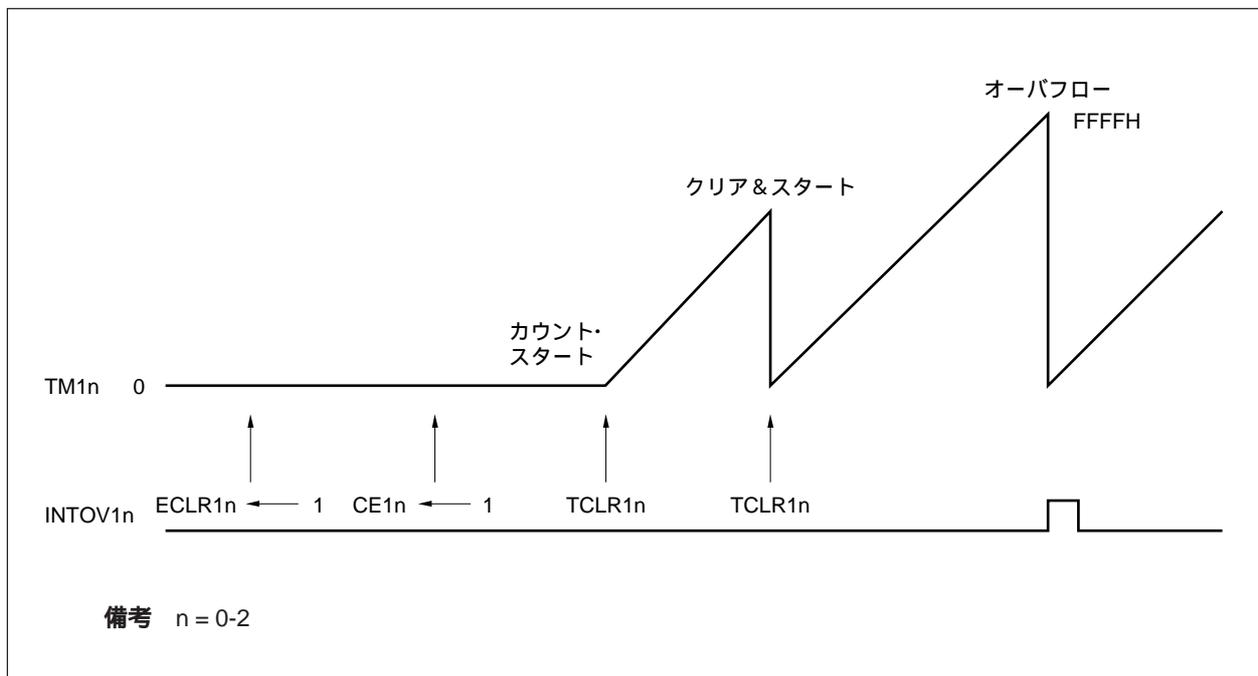
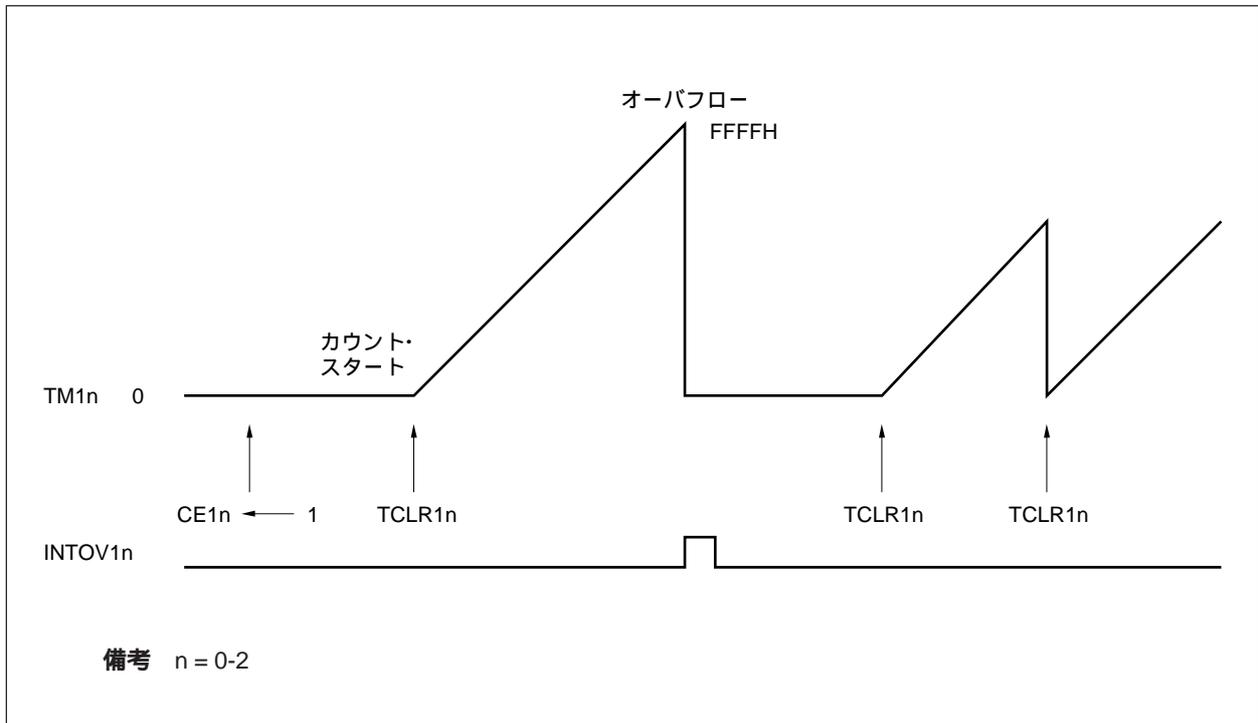


図9 - 4 TCLR1n信号入力によるクリア/スタートとオーバフロー動作の関係 (ECLR1n = 1, OSTn = 1の場合)



9.4.5 キャプチャ動作

外部トリガに同期して、TM1nのカウンタ値をカウンタ・クロックとは非同期にキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います (n = 0, 1, 3)。外部トリガとして、外部割り込み要求入力端子INTP1m0-INTP1m3 (m = 0, 1), INTP130から検出された有効エッジを用います (キャプチャ・トリガ)。そのキャプチャ・トリガ信号に同期して、カウンタ中のTM1nのカウンタ値をキャプチャ・レジスタに取り込み保持します。キャプチャ・レジスタの値は、次のキャプチャ・トリガが発生するまで保持されます。

また、INTP1m0-INTP1m3, INTP130信号入力により割り込み要求 (INTCC1m0-INTCC1m3, INTCC130) を発生します。

表9 - 2 16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号 (TM1n)

キャプチャ・レジスタ	キャプチャ・トリガ信号
CC1m0	INTP1m0
CC1m1	INTP1m1
CC1m2	INTP1m2
CC1m3	INTP1m3
CC130	INTP130

備考1 . CC1m0-CC1m3, CC130はキャプチャ/コンペア・レジスタです。どちらのレジスタとして使用するかは、タイマ・ユニット・モード・レジスタ 1n (TUM1n) で指定します。

- 2 . n = 0, 1, 3
m = 0, 1

キャプチャ・トリガの有効エッジは、外部割り込みモード・レジスタ (INTM1, INTM2, INTM4) により設定します。

立ち上がり、立ち下りの両エッジをキャプチャ・トリガとした場合は、外部からの入力パルス幅を測定できます。また、片側エッジをキャプチャ・トリガとした場合は、入力パルスの周期を測定できます。

図9 - 5 キャプチャ動作例

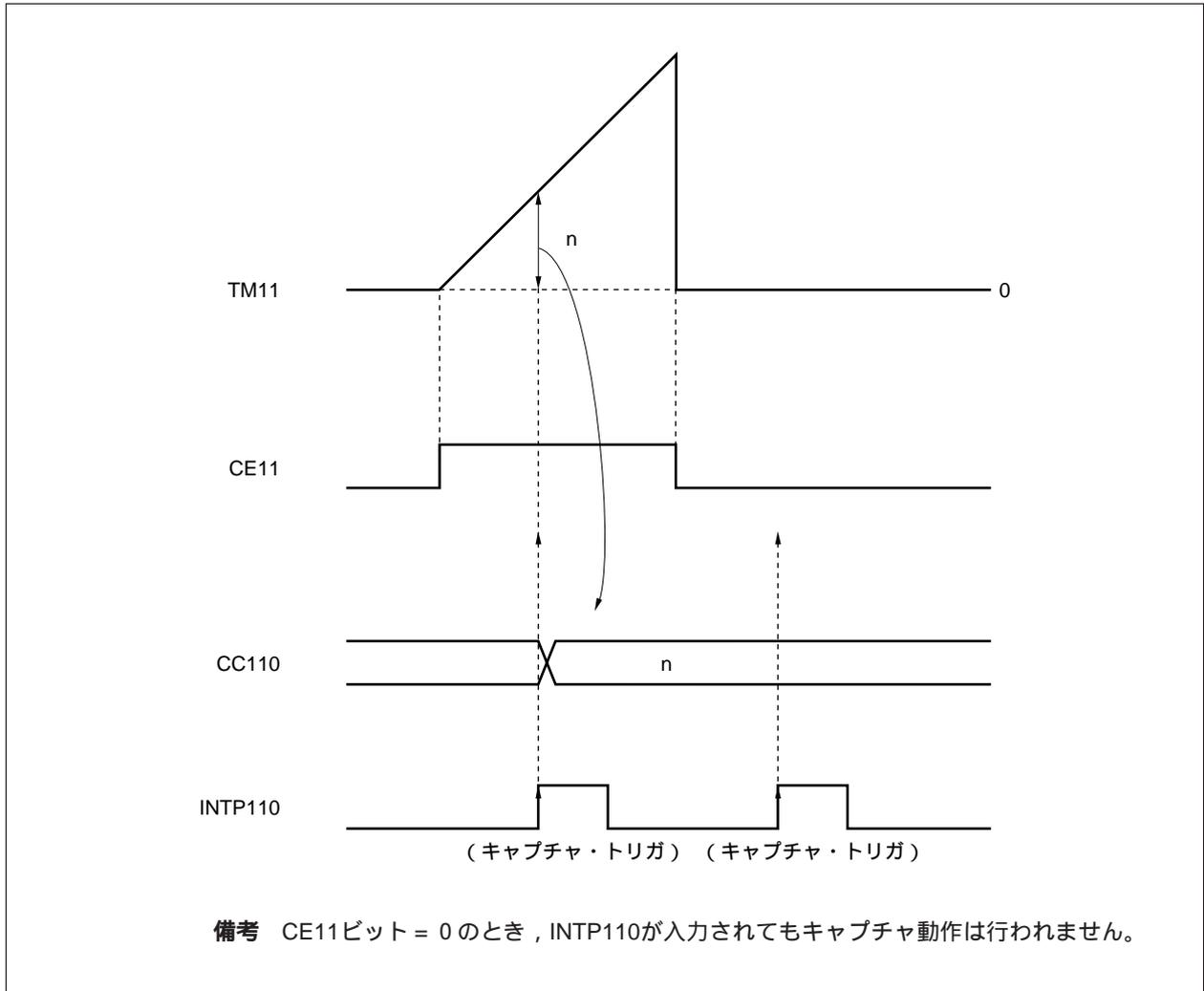
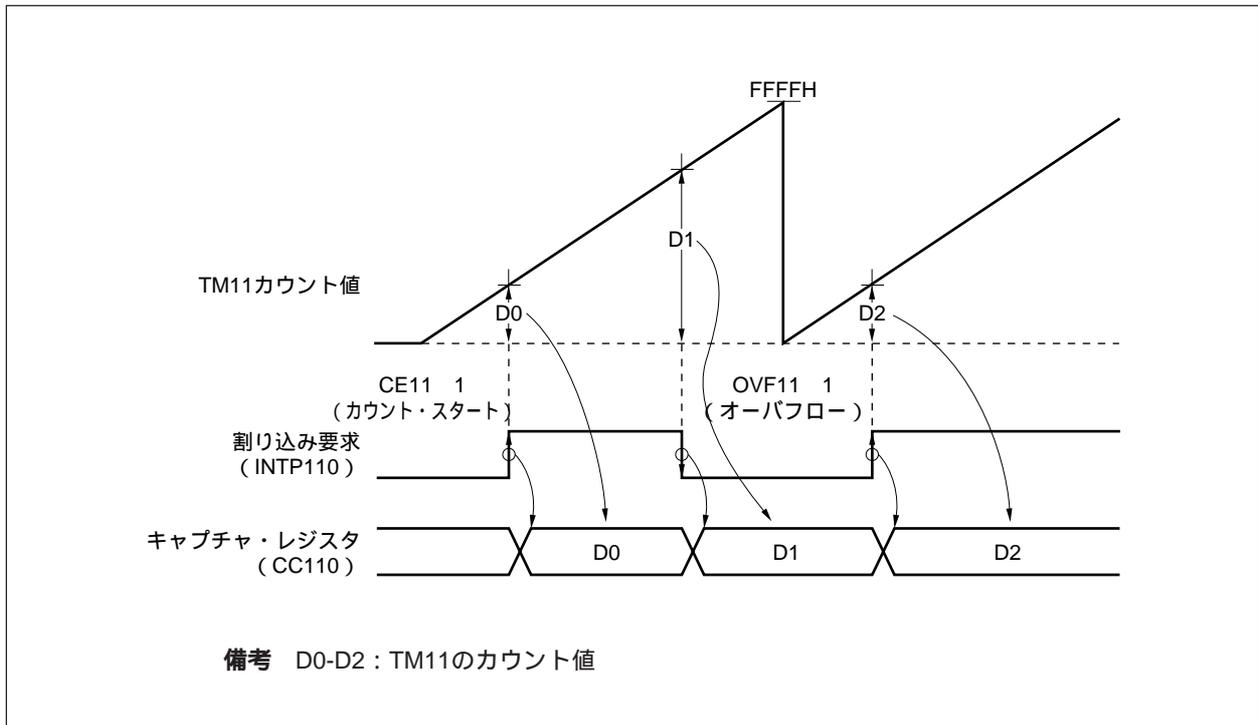


図9 - 6 TM11キャプチャ動作例 (両エッジ指定時)



9.4.6 コンペア動作

コンペア・レジスタに設定した値とTM1nのカウント値を比較するコンペア動作を行います (n = 0-3)。

あらかじめ設定したコンペア・レジスタの値に，TM1nのカウント値が一致すると，出力制御回路に一致信号を送ります (図9 - 7参照)。一致信号によりタイマ出力端子 (TO100, TO110, TO120) を変化させ，同時に割り込み要求信号を発生します。

表9 - 3 16ビット・コンペア・レジスタからの割り込み要求信号 (TM1n)

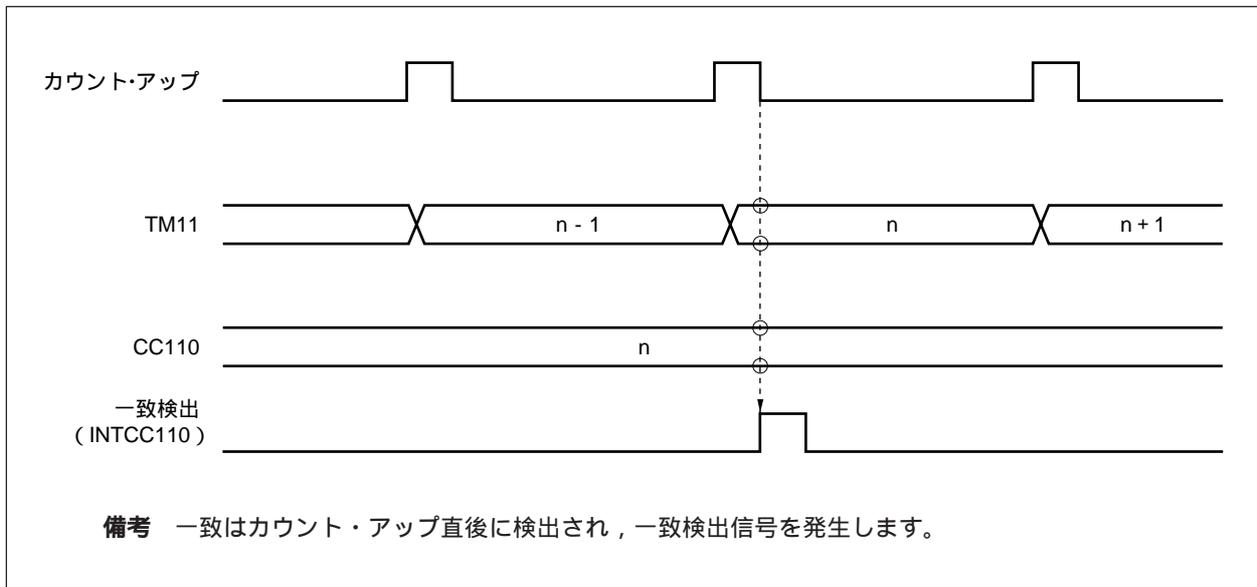
コンペア・レジスタ	割り込み要求信号
CC1n0	INTCC1n0
CC1n1	INTCC1n1
CC1n2	INTCC1n2
CC1n3	INTCC1n3

備考1 . CC1x0-CC1x3, CC130 (x = 0, 1) はキャプチャ/コンペア・レジスタです。どちらのレジスタとして使用するかはタイマ・ユニット・モード・レジスタ 1m (TUM1m) で指定します。

2 . n = 0-3

m = 0, 1, 3

図9 - 7 コンペア動作例



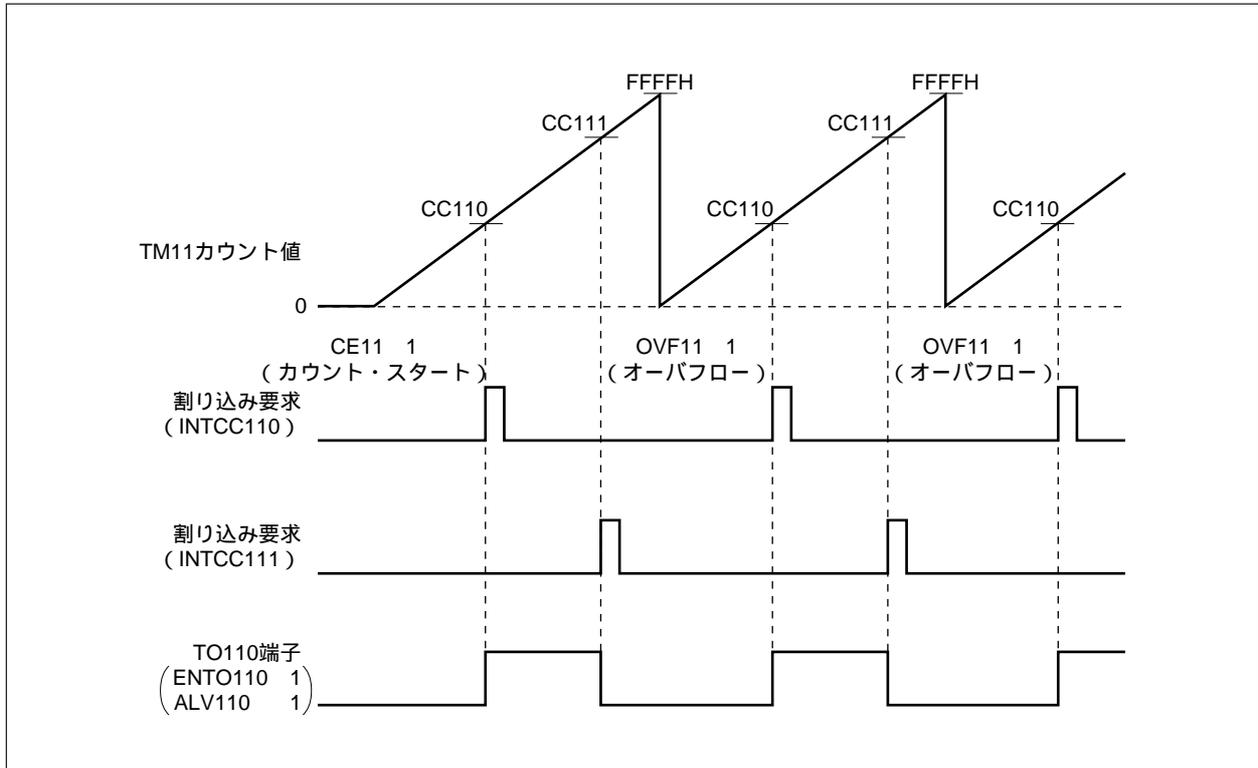
備考 一致はカウント・アップ直後に検出され，一致検出信号を発生します。

タイマ1は3本のタイマ出力端子 (TO1n0) を持っています。

TM1nのカウント値とCC1n0の値を比較し、一致するとTO1n0端子の出力レベルをセットします。またTM1nのカウント値とCC1n1の値を比較し、一致するとTO1n0端子の出力レベルをリセットします。

TO1n0端子の出力レベルは、TOC1nレジスタによって指定できます (n=0-2)。

図9 - 8 TM11コンペア動作例 (セット/リセット出力モード)



9.5 タイマ4動作

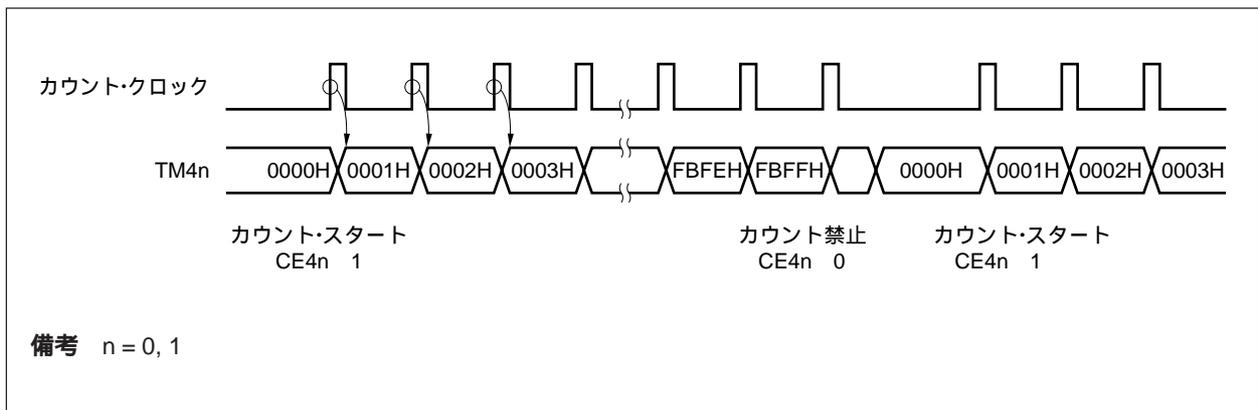
9.5.1 カウント動作

タイマ4は、16ビットのインターバル・タイマとして機能します。動作の設定は、タイマ・コントロール・レジスタ4n (TMC4n) で指定します (n=0, 1)。

タイマ4のカウント動作は、TMC4nレジスタのPRS4n0,PRM4n1,PRM4n0ビットで指定される内部カウント・クロック (/32- /256) をカウント・アップします。

カウントの結果、TM4nの値がCM4nと一致すると、TM4nをクリアします。同時に一致割り込み (INTCM4n) を発生します。

図9-9 タイマ4の基本動作



9.5.2 カウント・クロック選択

TMC4nレジスタのPRS4n0,PRM4n1,PRM4n0ビットの設定によって /32, /64, /128, /256の4通りから内部カウント・クロックを選択します (n=0, 1)。

注意 タイマの動作中にカウント・クロックを変更しないでください。

PRS4n0	PRM4n1	PRM4n0	内部カウント・クロック
0	0	0	/32
0	0	1	/64
0	1	0	/128
0	1	1	RFU (予約)
1	0	0	/64
1	0	1	/128
1	1	0	/256
1	1	1	RFU (予約)

備考 n = 0, 1

9.5.3 オーバフロー

内部カウント・クロックをカウントした結果、TM4nがオーバフローすると、TOVSレジスタのOVF4nビットをセット (1) します (n=0, 1)。

9.5.4 コンペア動作

タイマ4では、コンペア・レジスタ (CM4n) に設定した値とTM4nのカウンタ値を比較するコンペア動作を行います ($n=0, 1$)。

コンペア動作で一致を検出すると割り込み (INTCM4n) を発生します。割り込み発生により、次のカウンタ・タイミングでTM4nはクリア (0) されます (図9-10(a)参照)。この機能により、タイマ4をインターバル・タイマとして使用します。

CM4nには0を設定することもできます。この場合はオーバフローしてTM4nが0になるとともに一致を検出しINTCM4nが発生します。次のカウンタ・タイミングでTM4nの値をクリア (0) しますが、この一致では、INTCM4nは発生しません (図9-10(b)参照)。

図9-10 TM40コンペア動作例 (1/2)

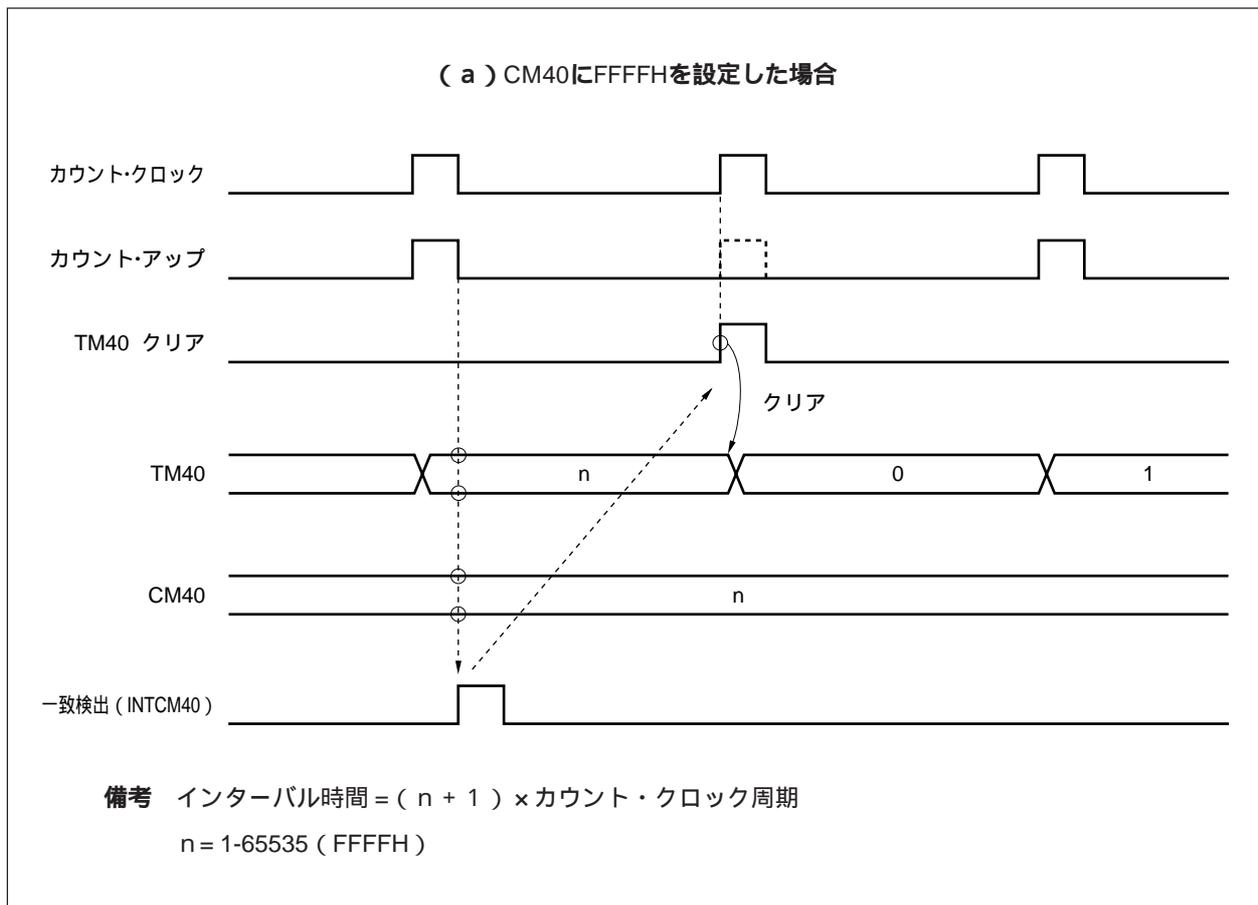
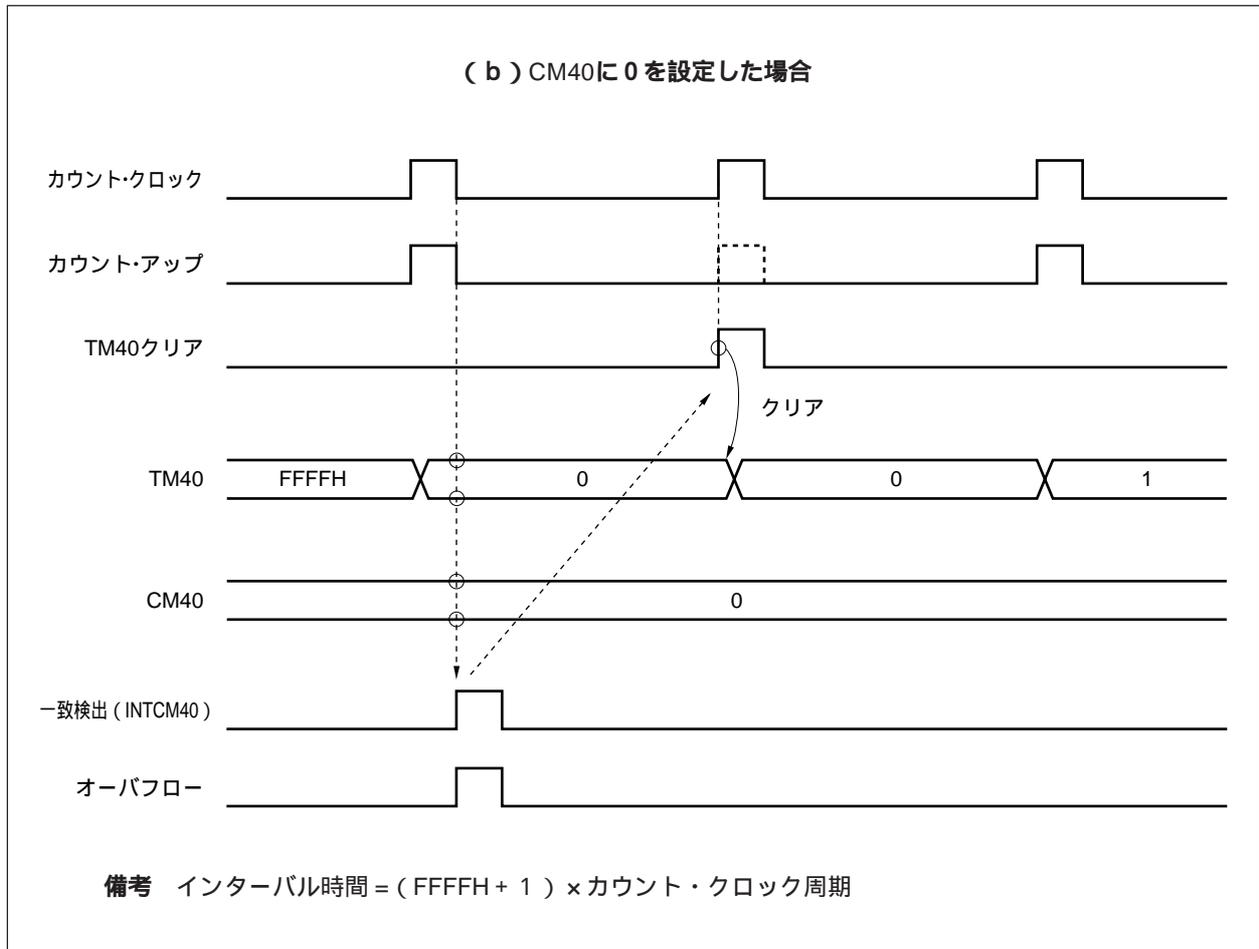


図9 - 10 TM40コンペア動作例 (2/2)



9.6 応用例

(1) インターバル・タイマとしての動作 (タイマ4)

タイマ4をコンペア・レジスタ (CM4n) にあらかじめ設定したカウント時間をインターバルとして繰り返し割り込み要求を発生するインターバル・タイマとして使用します (n=0, 1)。

図9 - 11 インターバル・タイマ動作のタイミング例

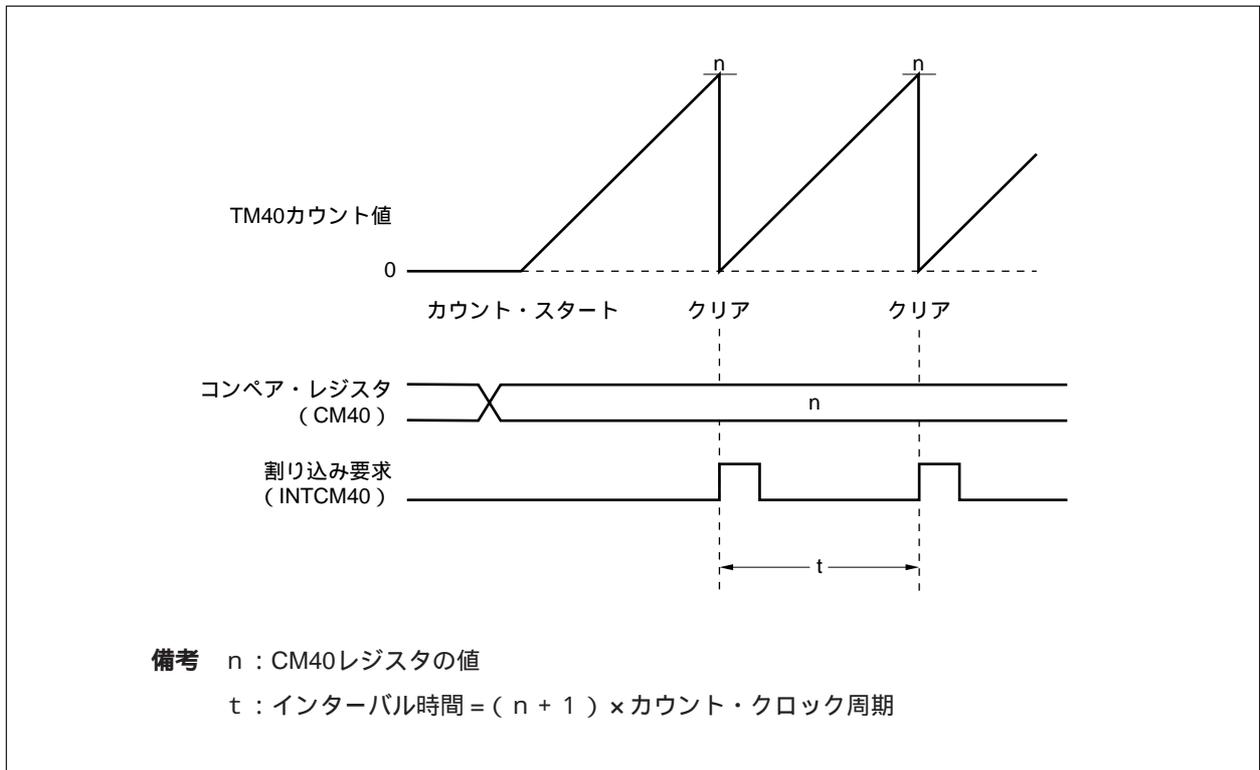
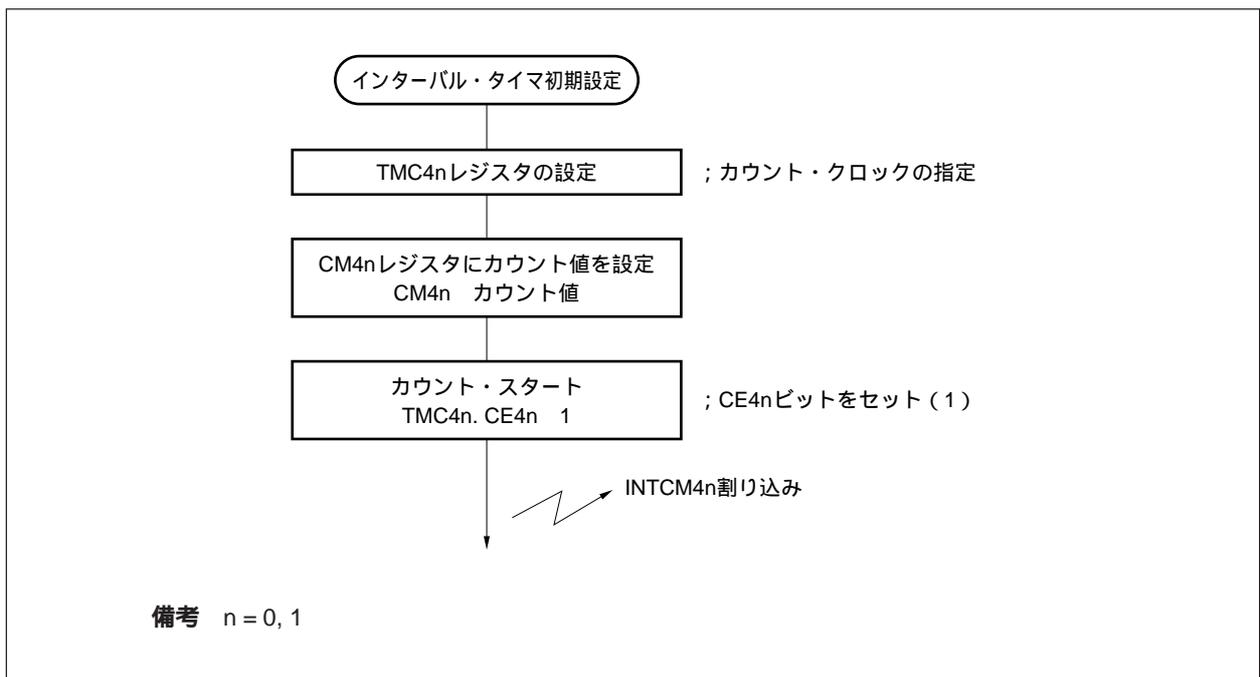


図9 - 12 インターバル・タイマ動作の設定手順例



(2) パルス幅測定としての動作 (タイマ1)

パルス幅測定には、タイマ1を使用します。

ここでは、INTP112端子に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定する例を示します。

図9-13に示すように、INTP112端子入力の有効エッジ (立ち上がり、立ち下りの両エッジに指定) に同期して、カウント中のタイマ1 (TM11) の値をキャプチャ/コンペア・レジスタ (CC112) に取り込み保持します。

パルス幅は、n回目の有効エッジ検出によりCC112レジスタに取り込み保持されたTM11のカウント値 (Dn) と (n - 1) 回目の有効エッジ検出によるカウント値 (Dn - 1) との差を求め、この値と、カウント・クロックとの積から計算します。

図9-13 パルス幅測定のタイミング例

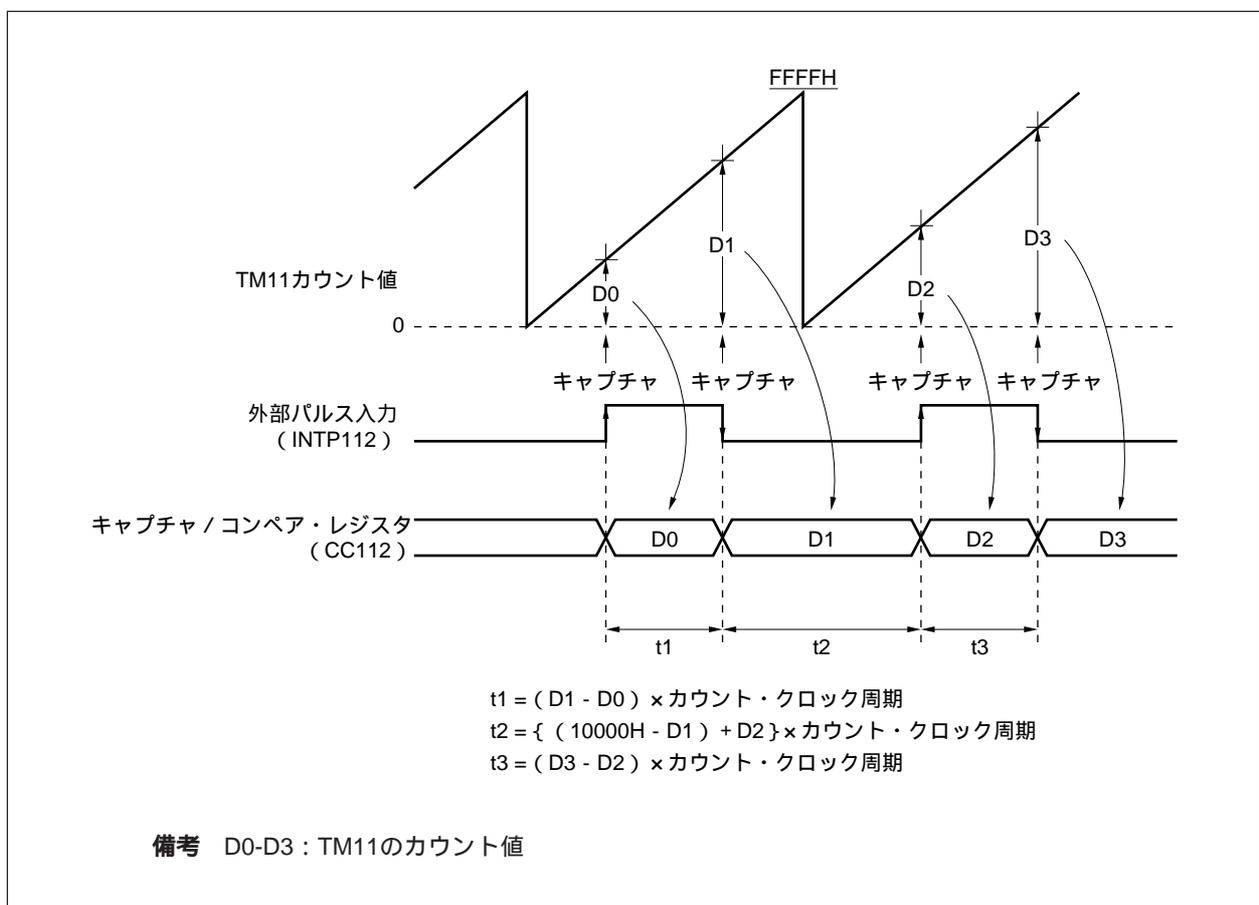


図9 - 14 パルス幅測定の設定手順例

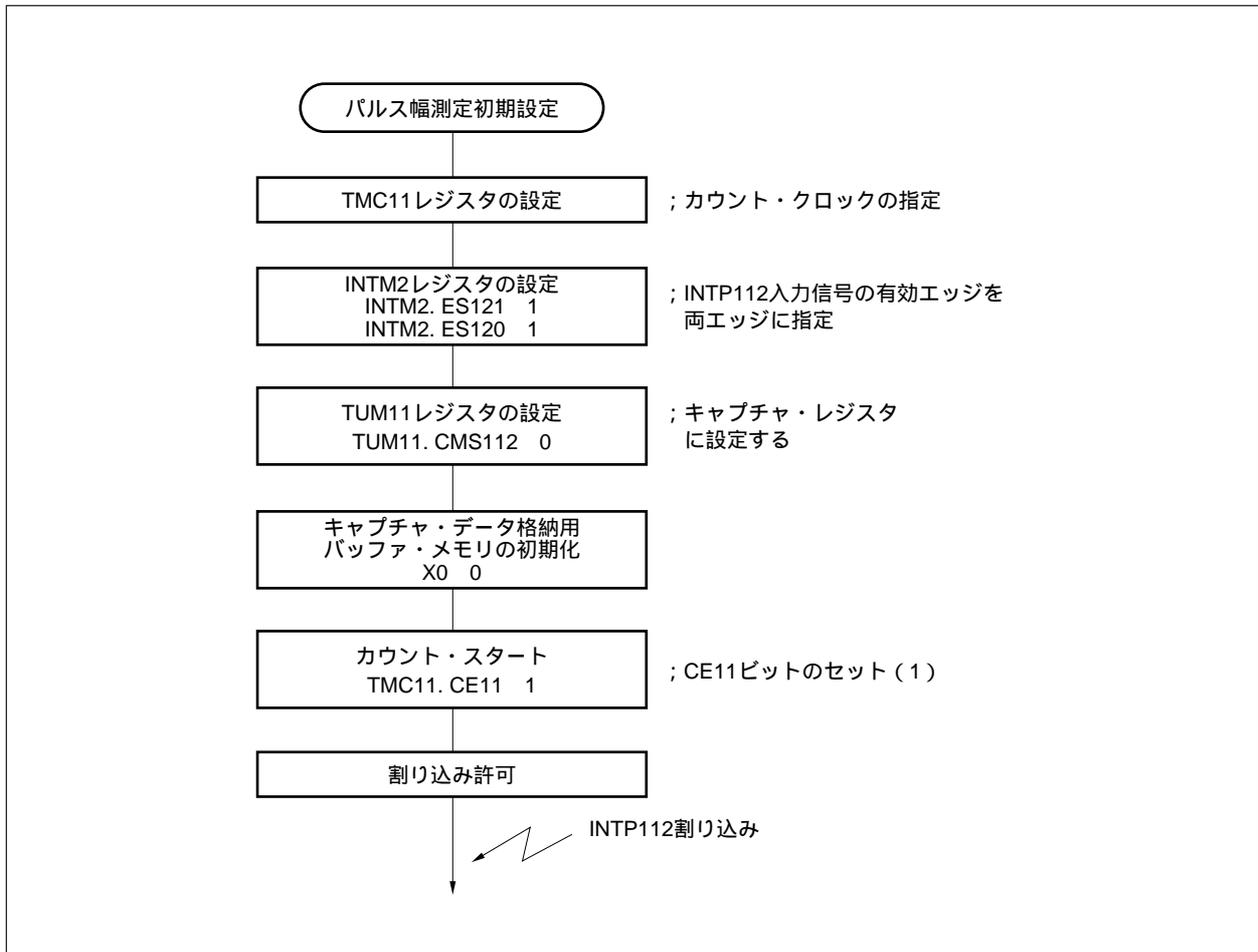
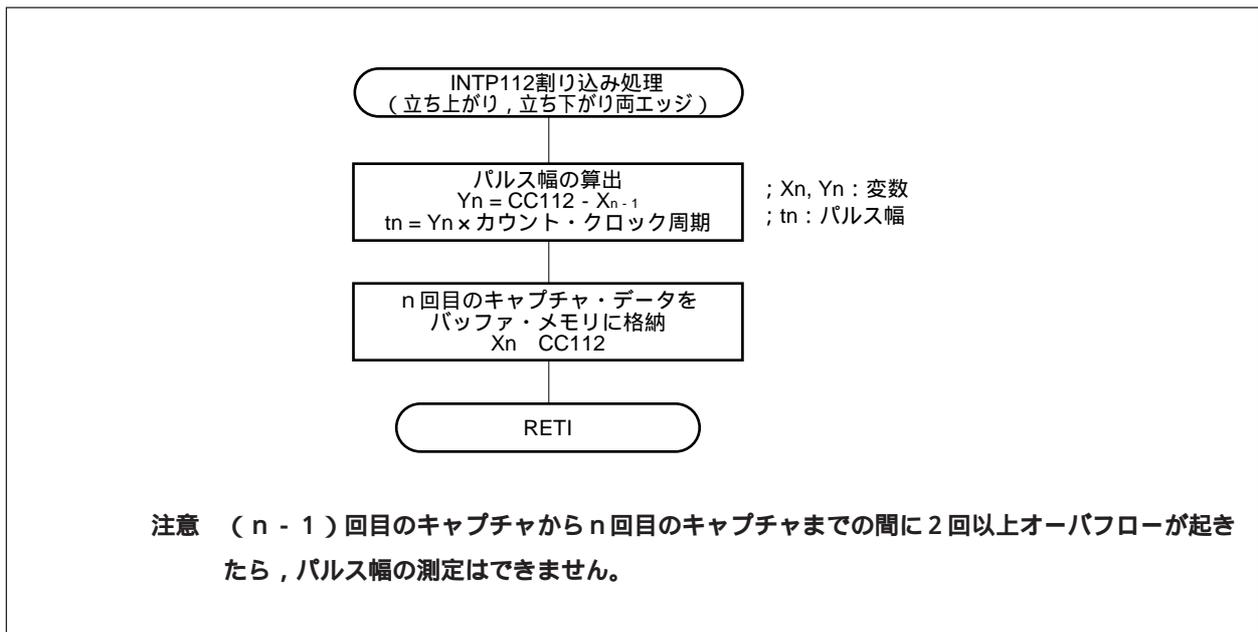


図9 - 15 パルス幅を算出する割り込み要求処理ルーチン例



(3) PWM出力としての動作 (タイマ1)

タイマ1とタイマ出力機能を組み合わせてタイマ出力端子 (TO1n0) に任意の矩形波を出力し、PWM出力として使用することができます (n=0-2)。

ここではキャプチャ/コンペア・レジスタCC100, CC101を使用する例を示します。

この場合、16ビット精度のPWM信号をTO100端子から出力することができます。図9-16にタイミングを示します。

16ビット・タイマとして使用した場合、図9-16に示すように、キャプチャ/コンペア・レジスタ (CC100) に設定する値でPWM出力の立ち上がりタイミングを決定し、キャプチャ/コンペア・レジスタ (CC101) に設定する値で、立ち下りのタイミングを決定します。

図9-16 PWM出力のタイミング例

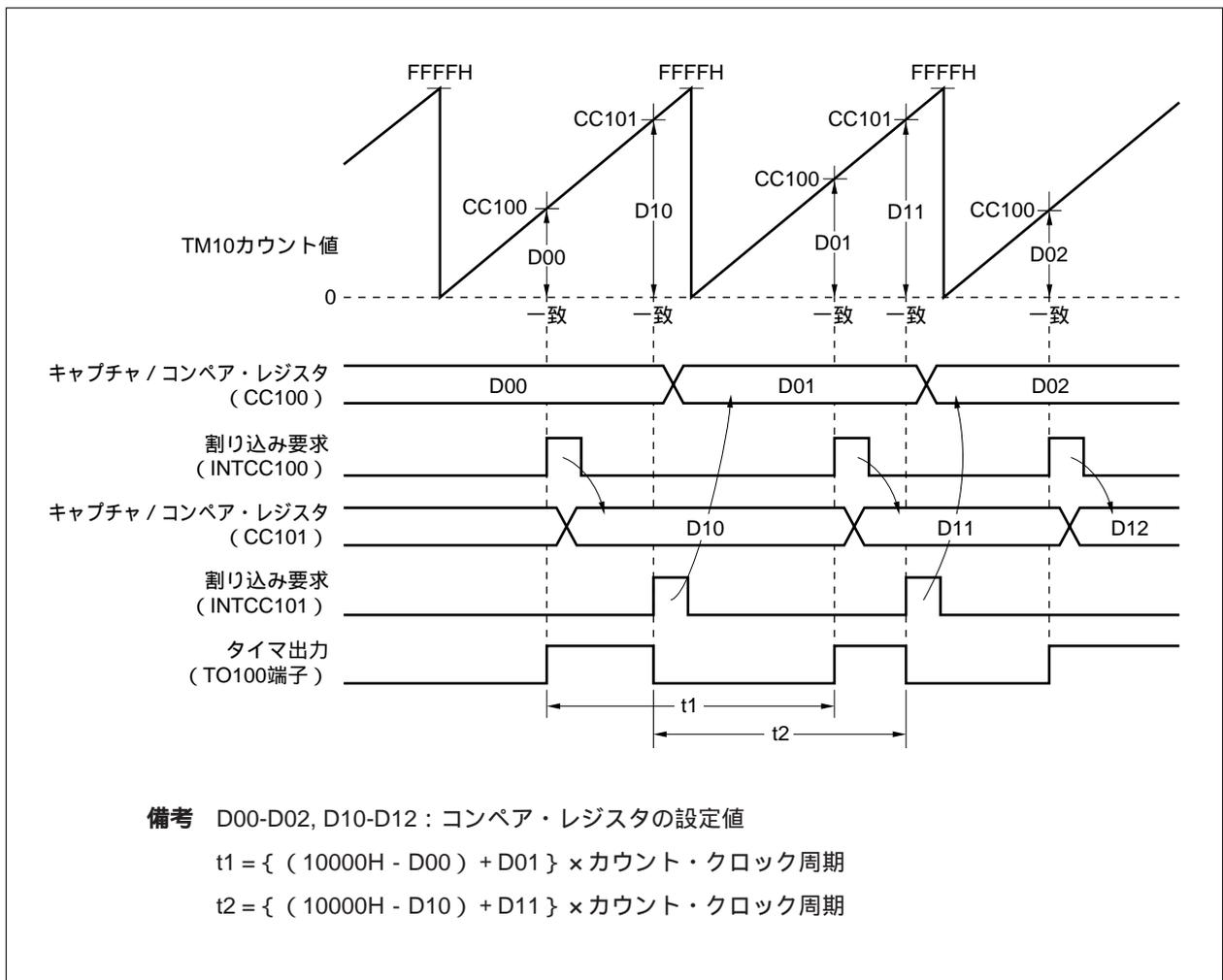


図9 - 17 PWM出力の設定手順例

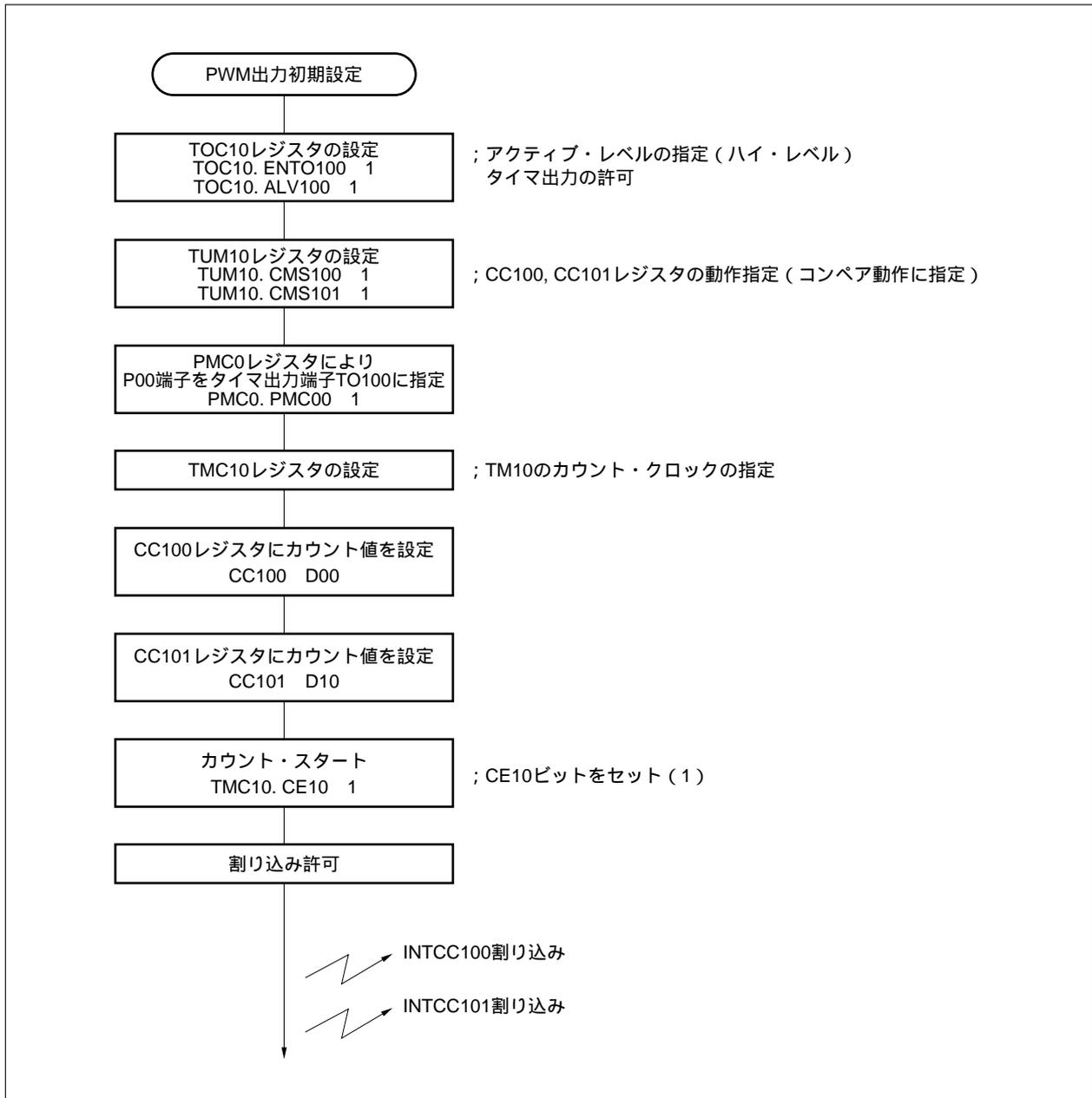
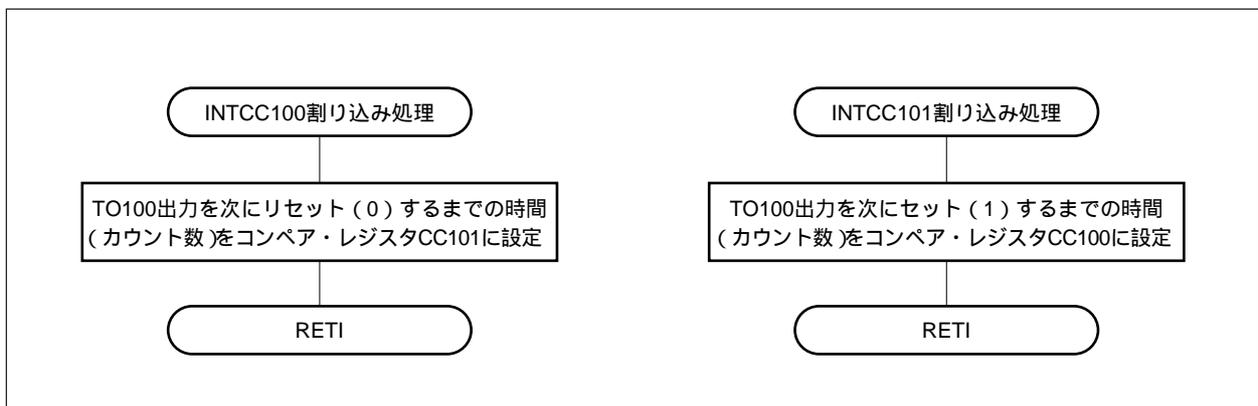


図9 - 18 コンペア値を書き換える割り込み要求処理ルーチン例



(4) 周期測定としての動作 (タイマ1)

タイマ1はINTP1m0-INTP1m3, INTP130 (m = 0, 1) 端子に入力される外部パルスの周期を測定できます。

ここでは, タイマ1とキャプチャ/コンペア・レジスタCC110を組み合わせ、INTP110端子に入力される外部パルスの周期を16ビット精度で測定する例を示します。

INTP110入力信号の有効エッジをINTM2レジスタにより, 立ち上がりエッジに指定します。

周期は, n回目の立ち上がりエッジによりCC110レジスタに取り込み保持したTM11のカウント値 (Dn) と, (n - 1)回目の立ち上がりエッジにより取り込んだカウント値 (Dn - 1) との差を求め, この値とカウント・クロックとの積から計算します。

図9 - 19 周期測定のタイミング例

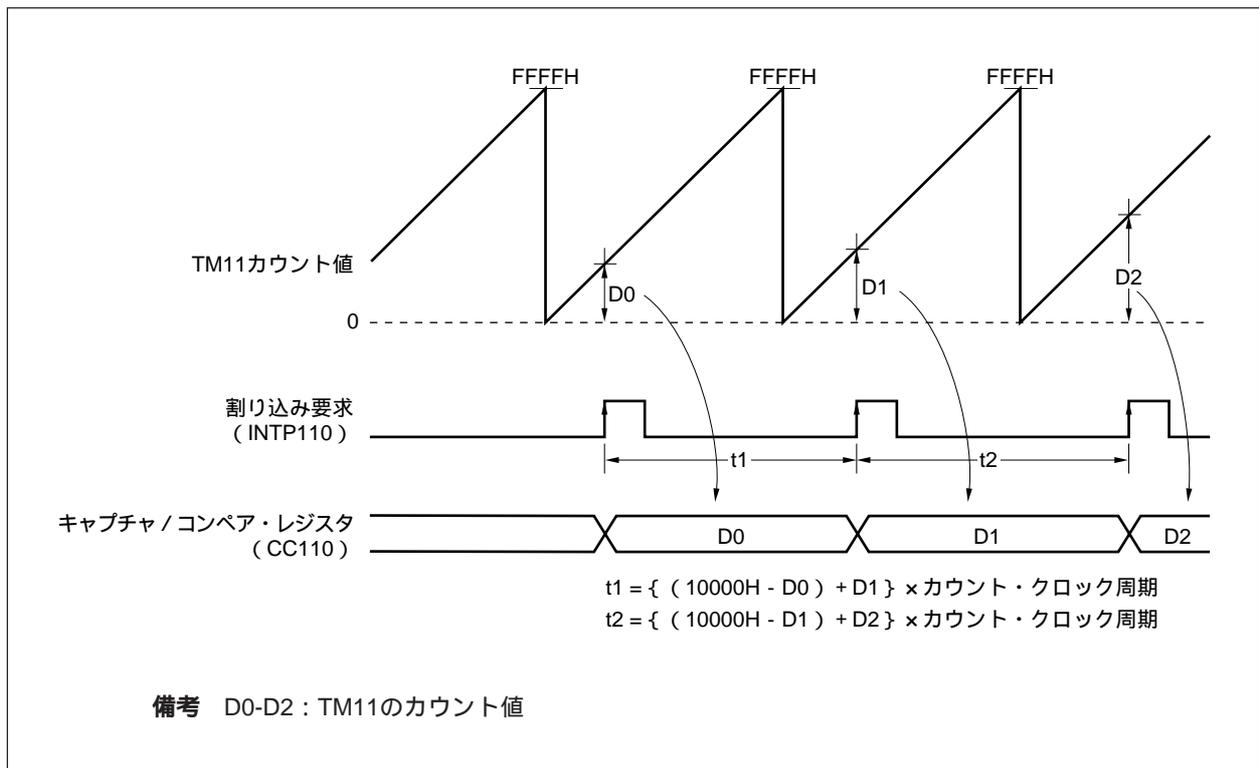


図9 - 20 周期測定の設定手順例

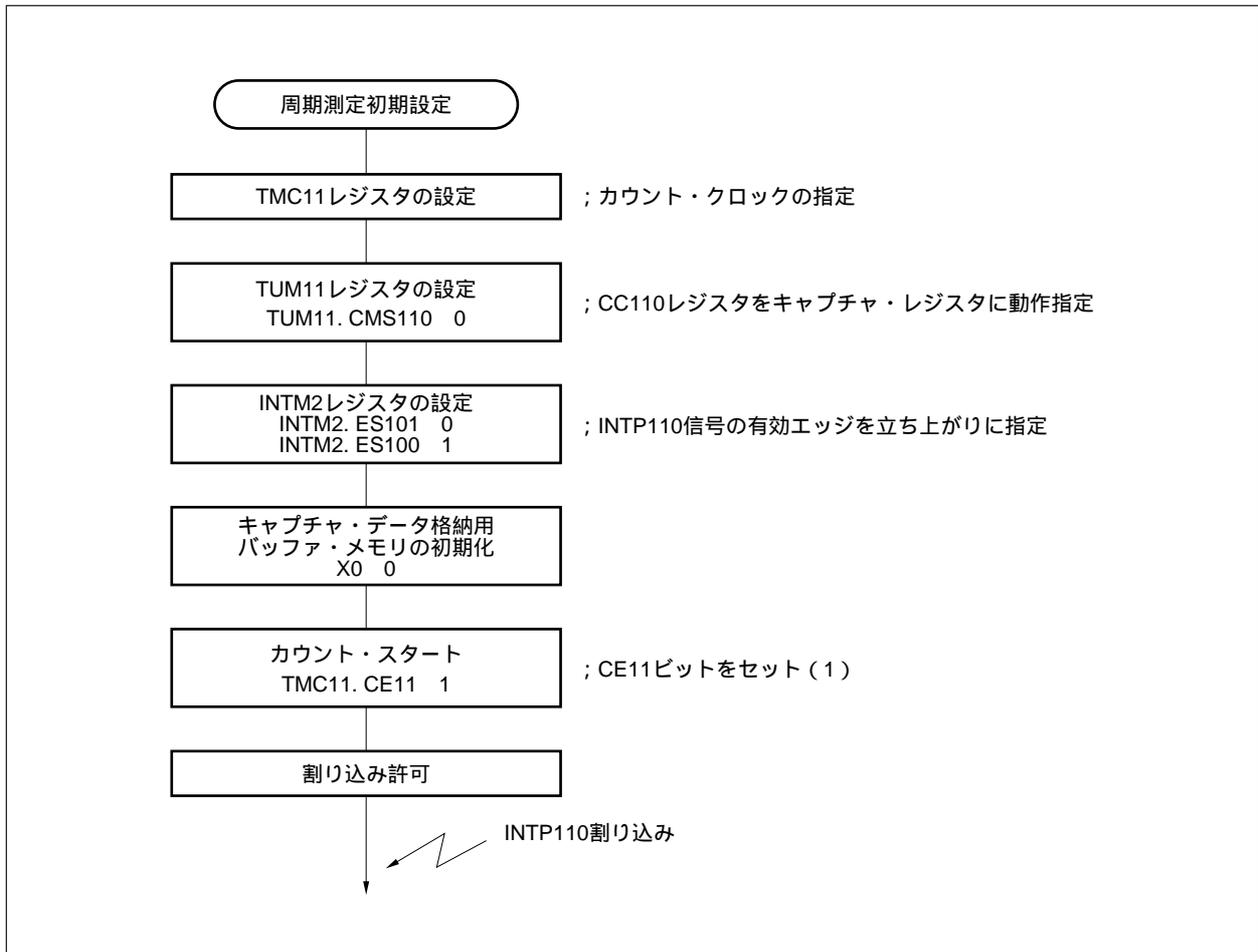
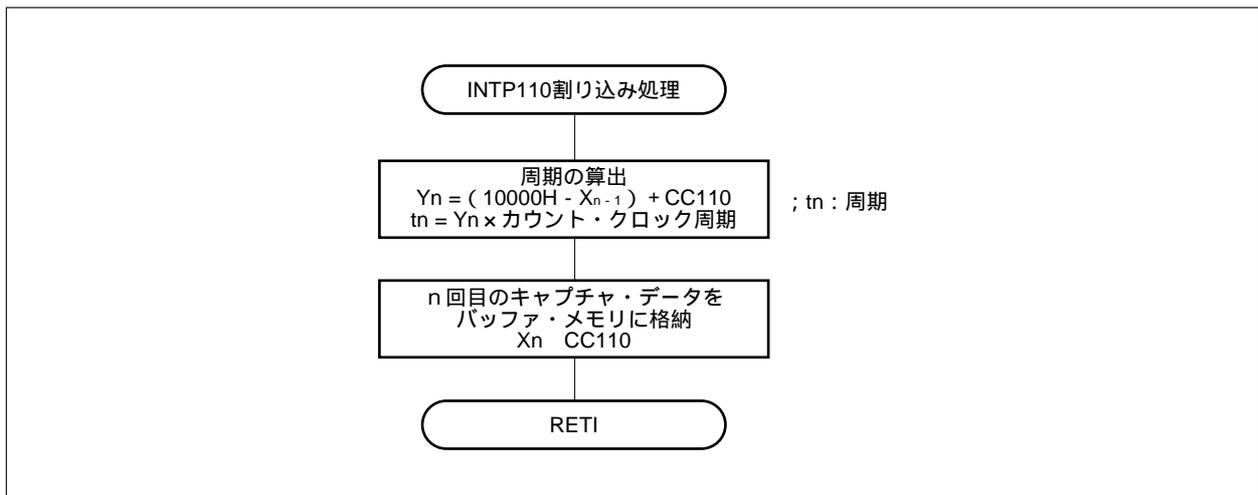


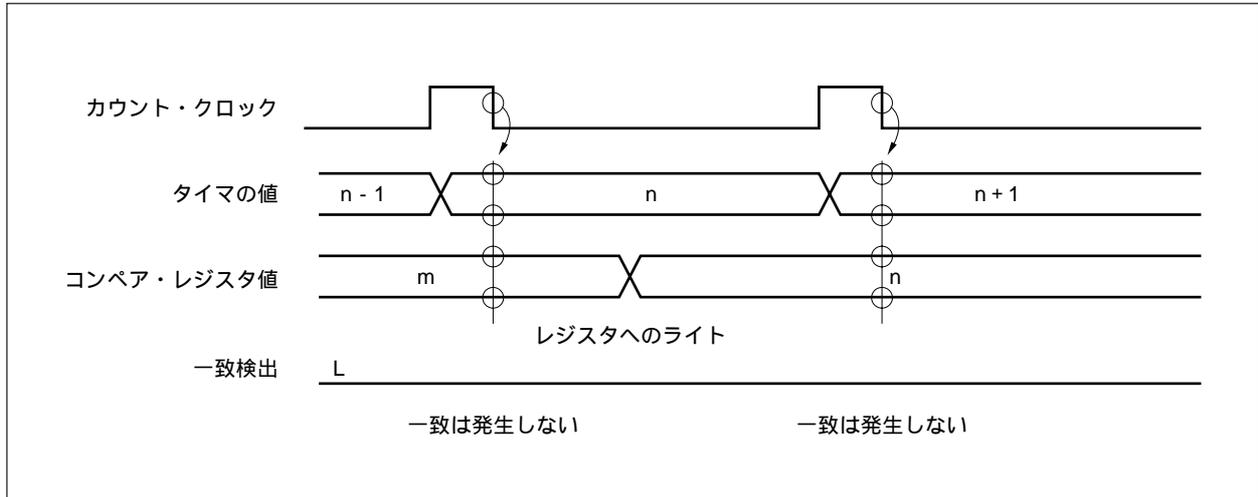
図9 - 21 周期を算出する割り込み要求処理ルーチン例



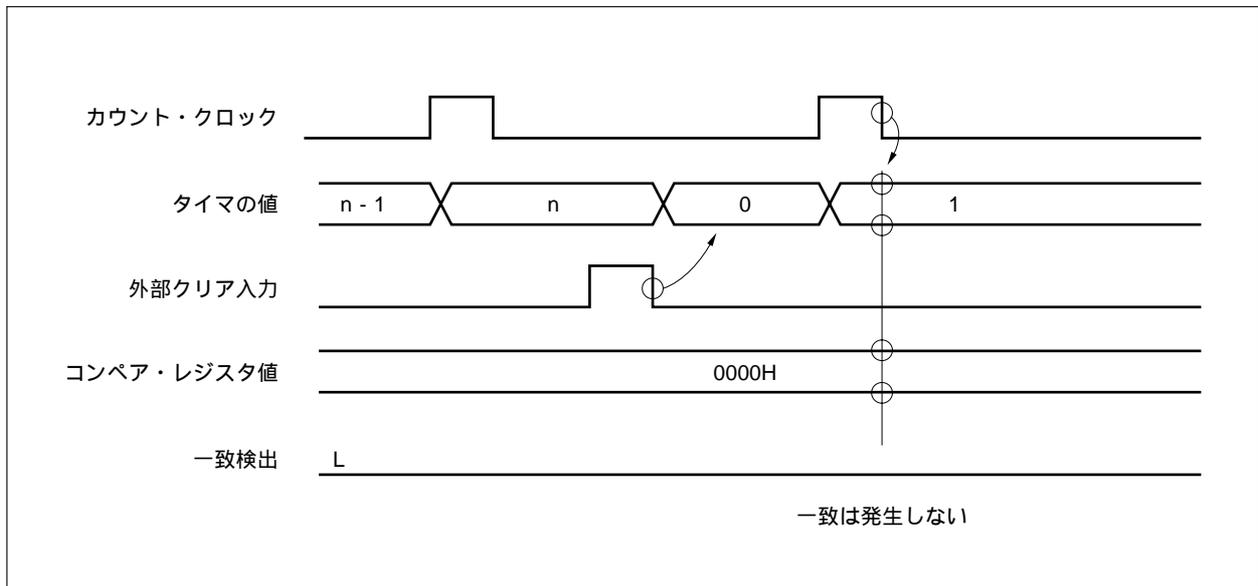
9.7 注意事項

コンペア・レジスタによる一致検出は、常にタイマのカウント・アップ直後のタイミングで行われます。以下の場合、一致は発生しません。

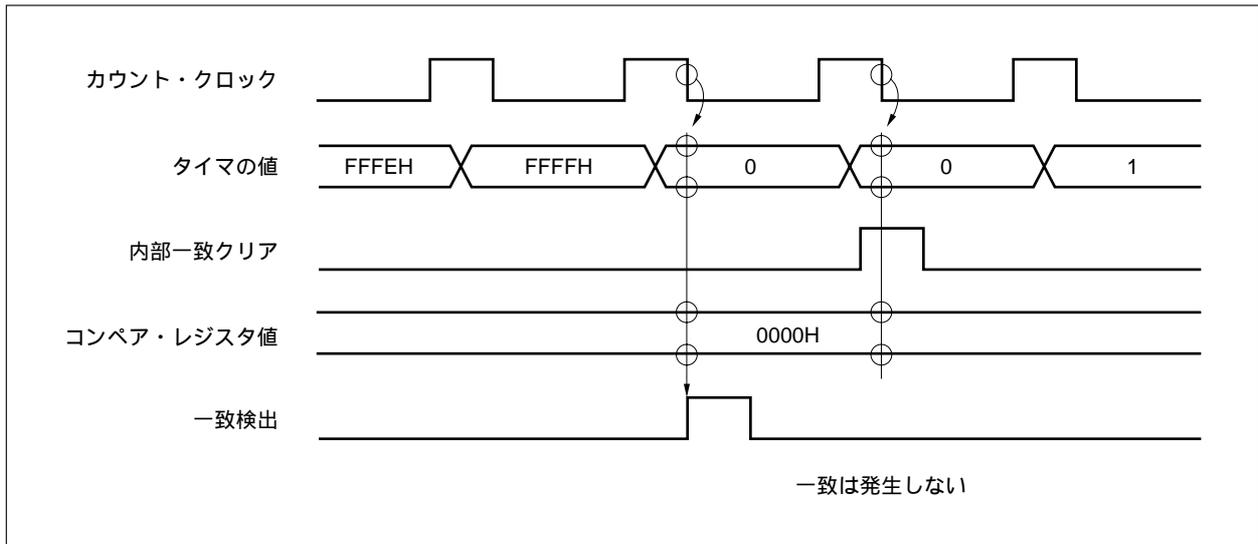
(1) コンペア・レジスタの書き換え時 (TM10-TM13, TM40, TM41)



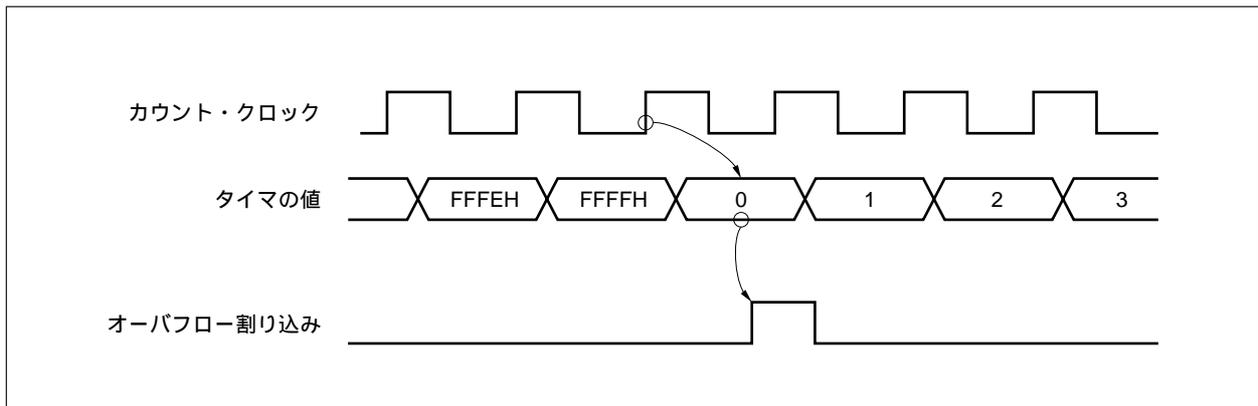
(2) 外部クリア時 (TM10-TM12)



(3) タイマ・クリア時 (TM40, TM41)



備考 タイマ1をフリー・ランニング・タイマとして動作させるときには、タイマのオーバーフローでタイマの値は、0 になります。



第10章 シリアル・インタフェース機能

10.1 特 徴

シリアル・インタフェース機能として、2種類4チャンネルの送受信チャンネルを備え、同時に2チャンネルまで使用できます。

インタフェース形態としては次の2種類があります。

- (1) アシンクロナス・シリアル・インタフェース (UART0, UART1) : 2チャンネル
- (2) クロック同期式シリアル・インタフェース (CSI0, CSI1) : 2チャンネル

UART0, UART1は、スタート・ビットに続く1バイトのシリアル・データを送受信する方式をとり、全二重通信ができます。

CSI0, CSI1は、シリアル・クロック ($\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$) とシリアル入力 (SI0, SI1), シリアル出力 (SO0, SO1) の3種類の信号線によるデータ転送を行います (3線式シリアルI/O)。

注意 UART0とCSI0, UART1とCSI1は端子が兼用になっており, ASIM00, ASIM10レジスタによりどちらか一方を選択して使用します。

10.2 アシクロナス・シリアル・インタフェース0, 1 (UART0, UART1)

10.2.1 特 徴

転送速度 150 bps - 153600 bps (内部システム・クロック30 MHz時, 専用ポー・レート・ジェネレータ使用)

最大3.75 Mbps (内部システム・クロック30 MHz時, /2クロック使用)

全二重通信 受信バッファ (RXBn) 内蔵

2端子構成 TXDn : 送信データの出力端子

RXDn : 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース : 3種

- ・受信エラー割り込み (INTSERn)
- ・受信完了割り込み (INTSRn)
- ・送信完了割り込み (INTSTn)

送受信データのキャラクタ長はASIMn0, ASIMn1レジスタで指定

キャラクタ長 : 7, 8ビット

9ビット (拡張ビット付加時)

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

シリアル・クロック (\overline{SCKn}) 出力機能

備考 n=0, 1

10.2.2 構成

アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIMn0, ASIMn1), アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASISn) によって, UARTnを制御します (n = 0, 1)。受信データは受信バッファ (RXBn) に保持され, 送信データは送信シフト・レジスタ (TXSn) に書き込みます。

アシンクロナス・シリアル・インタフェースは, 図10 - 1のように構成されます。

(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM00, ASIM01, ASIM10, ASIM11)

ASIMn0, ASIMn1レジスタは, アシンクロナス・シリアル・インタフェースの動作を指定する8ビット・レジスタです。

(2) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS0, ASIS1)

ASISnレジスタは, 受信エラー発生時のエラー内容を示すフラグおよび送信ステータス・フラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット (1) され, 受信バッファ (RXBn) からデータを読み出すか, 新たに次のデータを受信することによってクリア (0) されます (次のデータにもエラーがあれば, そのエラー・フラグがクリア (0) されずセット (1) されたままになります)。

送信ステータス・フラグは送信開始タイミングにセット (1) され, 送信が終了するとクリア (0) されます。

(3) 受信制御パリティ・チェック

ASIMn0, ASIMn1レジスタに設定された内容に従って, 受信動作を制御します。また, 受信動作時にパリティ・エラーなどのエラー・チェックも行い, エラーが検出された場合は, エラー内容に応じた値をASISnレジスタにセットします。

(4) 受信シフト・レジスタ

RXDn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信すると, 受信データを受信バッファへ転送します。

このレジスタは直接操作することはできません。

(5) 受信バッファ (RXB0, RXB0L, RXB1, RXB1L)

RXBnは, 受信データを保持する9ビットのバッファ・レジスタで, 7, 8ビット/キャラクタの受信では上位ビットには0が格納されます。

このレジスタへの16ビット・アクセス時はRXB0, RXB1を, 下位8ビット・アクセス時はRXB0L, RXB1Lを指定します。

受信許可状態中は, 受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。

また, 受信バッファへの転送により, 受信完了割り込み要求 (INTSRn) が発生します。

(6) 送信シフト・レジスタ (TXS0, TXS0L, TXS1, TXS1L)

TXSnは、9ビットの送信処理用シフト・レジスタで、このレジスタへのデータ書き込みにより、送信動作が開始されます。

TXSnのデータを含む1フレームの送出終了に同期して送信完了割り込み要求 (INTSTn) を発生します。

このレジスタへの16ビット・アクセス時はTXS0, TXS1を、下位8ビット・アクセス時はTXS0L, TXS1Lを指定します。

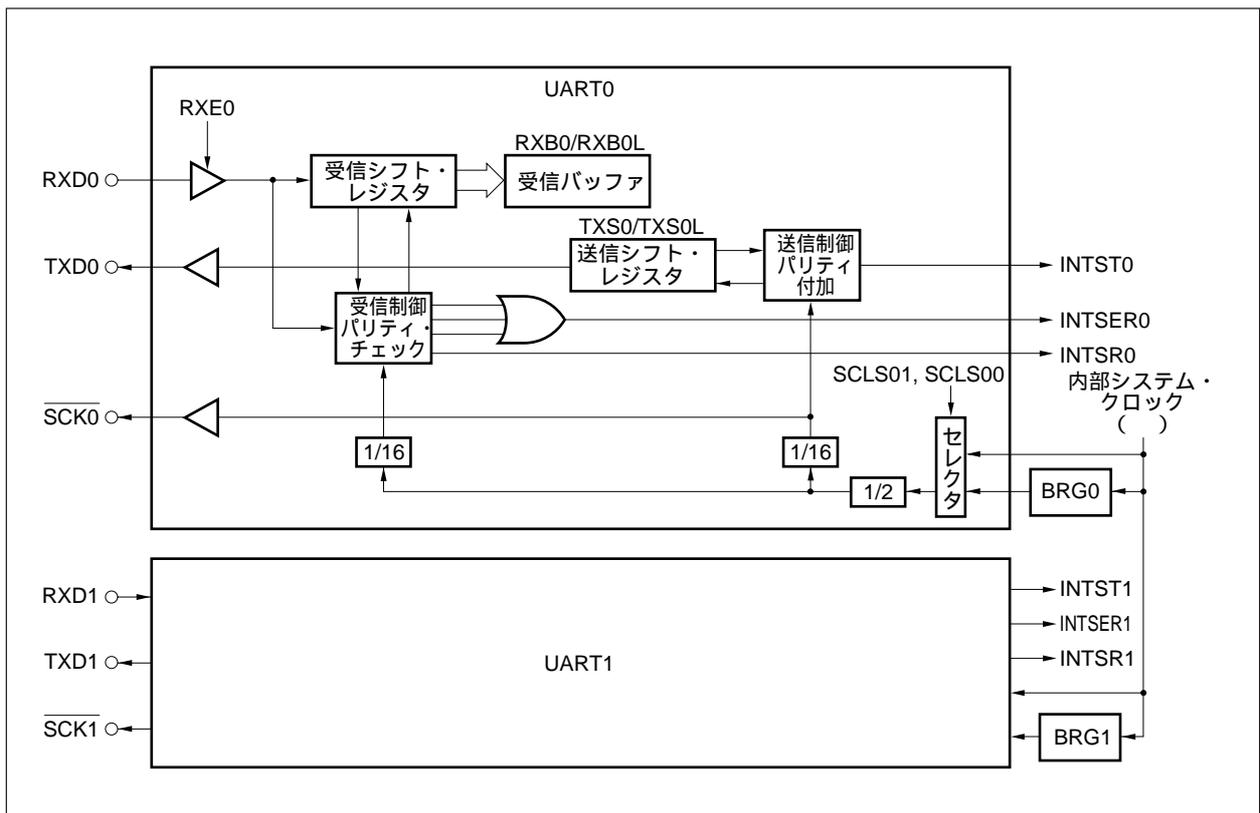
(7) 送信制御パリティ付加

ASIMn0, ASIMn1レジスタに設定された内容に従って、TXSnまたはTXSnLレジスタに書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットを付加するなどして、送信動作の制御を行います。

(8) セレクタ

シリアル・クロックのソースを選択します。

図10 - 1 アシクロナス・シリアル・インタフェースのブロック図



10.2.3 制御レジスタ

(1) アシクロナス・シリアル・インタフェース・モード・レジスタ00, 01, 10, 11 (ASIM00, ASIM01, ASIM10, ASIM11)

UART0, UART1の転送モードを指定します。

8/1ビット単位でリード/ライト可能です。

(1/3)

	7	6	5	4	3	2	1	0		
ASIM00	TXE0	RXE0	PS01	PS00	CL0	SL0	SCLS01	SCLS00	アドレス FFFFFF0C0H	初期値 80H
ASIM10	TXE1	RXE1	PS11	PS10	CL1	SL1	SCLS11	SCLS10	FFFFFF0D0H	80H

ビット位置	ビット名	意味															
7, 6	TXEn, RXEn	Transmit/Receive Enable 送受信許可状態/禁止状態を指定します。 <table border="1" style="margin: 10px 0;"> <thead> <tr> <th>TXEn</th> <th>RXEn</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>送受信禁止 (CSIn選択)</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>受信許可</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>送信許可</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>送受信許可</td> </tr> </tbody> </table> 受信禁止時は、受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理、受信バッファへの転送処理は行わず、受信バッファの内容は保持されます。 受信許可状態中は、スタート・ビットの検出に同期して受信シフト動作を開始し、1フレーム分の受信を終了すると受信シフト・レジスタの内容を受信バッファに転送します。 また、受信バッファへの転送に同期して、受信完了割り込み (INTSRn) を発生します。 TXDn端子は、送信禁止時はハイ・インピーダンスになり、送信許可時に送信を行っていない場合は、ハイ・レベルを出力します。	TXEn	RXEn	動作	0	0	送受信禁止 (CSIn選択)	0	1	受信許可	1	0	送信許可	1	1	送受信許可
TXEn	RXEn	動作															
0	0	送受信禁止 (CSIn選択)															
0	1	受信許可															
1	0	送信許可															
1	1	送受信許可															

備考 n = 0, 1

ビット位置	ビット名	意味															
5, 4	PSn1, PSn0	<p>Parity Select</p> <p>パリティ・ビット長を指定します。</p> <table border="1"> <thead> <tr> <th>PSn1</th> <th>PSn0</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティなし, 拡張ビット動作</td> </tr> <tr> <td>0</td> <td>1</td> <td>0パリティ指定 送信側 パリティ・ビットを0にして送信 受信側 受信時にパリティ・エラーを発生しない</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティ指定</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティ指定</td> </tr> </tbody> </table> <p>・偶数パリティ 送信データ中の値が1のビットの数が奇数個の場合にパリティ・ビットをセット(1)します。値が1のビットの数が偶数個の場合にはパリティ・ビットをクリア(0)します。これにより、送信データとパリティ・ビットの中に含まれる値が1のビット数が偶数個になるよう制御します。受信時には、受信データとパリティ・ビットの中に含まれる値が1のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。</p> <p>・奇数パリティ 偶数パリティとは逆に、送信データとパリティ・ビットの中に含まれる値が1のビットを奇数個になるよう制御します。受信時には、同様に受信データとパリティ・ビットの中に含まれる値が1のビットの数が偶数個であった場合にパリティ・エラーを発生します。</p> <p>・0パリティ 送信時には、送信データによらずパリティ・ビットをクリア(0)します。受信時には、パリティ・ビットの検査を行わないため、パリティ・エラーを発生しません。</p> <p>・パリティなし 送信データにパリティ・ビットを付加しません。受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。 ASIMn1レジスタのEBSnビットにより、拡張ビット動作を指定できます。</p>	PSn1	PSn0	動作	0	0	パリティなし, 拡張ビット動作	0	1	0パリティ指定 送信側 パリティ・ビットを0にして送信 受信側 受信時にパリティ・エラーを発生しない	1	0	奇数パリティ指定	1	1	偶数パリティ指定
PSn1	PSn0	動作															
0	0	パリティなし, 拡張ビット動作															
0	1	0パリティ指定 送信側 パリティ・ビットを0にして送信 受信側 受信時にパリティ・エラーを発生しない															
1	0	奇数パリティ指定															
1	1	偶数パリティ指定															
3	CLn	<p>Character Length</p> <p>1フレームのキャラクタ長を指定します。</p> <p>0 : 7ビット 1 : 8ビット</p>															

備考 n = 0, 1

ビット位置	ビット名	意味																																																						
2	SLn	<p>Stop Bit Length</p> <p>ストップ・ビット長を指定します。</p> <p>0 : 1ビット</p> <p>1 : 2ビット</p>																																																						
1, 0	SCLSn1, SCLSn0	<p>Serial Clock Source</p> <p>シリアル・クロックを指定します。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>SCLSn1</th> <th>SCLSn0</th> <th>シリアル・クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>ポー・レート・ジェネレータ出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>/2 (× 16 サンプリグ・レート)</td> </tr> <tr> <td>1</td> <td>0</td> <td>/2 (× 8 サンプリグ・レート)</td> </tr> <tr> <td>1</td> <td>1</td> <td>/2 (× 4 サンプリグ・レート)</td> </tr> </tbody> </table> <p>・ SCLSn1, SCLSn0 = 00以外の場合</p> <p>シリアル・クロック・ソースに, /2 が選択されます (: 内部システム・クロック)。非同期モードでは, × 16, × 8, × 4 のサンプリグ・レートを使用しているため, ポー・レートは次式で表されます。</p> $\text{ポー・レート} = \frac{\text{サンプリグ・レート}}{2} \text{ bps}$ <p>上記の式に基づき, 代表的クロックを使用した場合のポー・レートの値を以下に示します。</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th rowspan="2">内部システム・クロック ()</th> <th colspan="3">サンプリグ・レート^注</th> </tr> <tr> <th>× 16 (01)</th> <th>× 8 (10)</th> <th>× 4 (11)</th> </tr> </thead> <tbody> <tr> <td>30 MHz</td> <td>937.5 K</td> <td>1875 K</td> <td>3750 K</td> </tr> <tr> <td>25 MHz</td> <td>781 K</td> <td>1562 K</td> <td>3125 K</td> </tr> <tr> <td>20 MHz</td> <td>625 K</td> <td>1250 K</td> <td>2500 K</td> </tr> <tr> <td>16 MHz</td> <td>500 K</td> <td>1000 K</td> <td>2000 K</td> </tr> <tr> <td>12.5 MHz</td> <td>390 K</td> <td>781 K</td> <td>1562 K</td> </tr> <tr> <td>10 MHz</td> <td>312 K</td> <td>625 K</td> <td>1250 K</td> </tr> <tr> <td>8 MHz</td> <td>250 K</td> <td>500 K</td> <td>1000 K</td> </tr> <tr> <td>5 MHz</td> <td>156 K</td> <td>312 K</td> <td>625 K</td> </tr> </tbody> </table> <p>注 かっこ内は, SCLSn1, SCLSn0ビットの設定値</p> <p>・ SCLSn1, SCLSn0 = 00の場合</p> <p>シリアル・クロック・ソースとして, ポー・レート・ジェネレータ出力が選択されます。ポー・レート・ジェネレータの詳細に関しては, 10.4 専用ポー・レート・ジェネレータ 0, 1 (BRG0, BRG1) を参照してください。</p>	SCLSn1	SCLSn0	シリアル・クロック	0	0	ポー・レート・ジェネレータ出力	0	1	/2 (× 16 サンプリグ・レート)	1	0	/2 (× 8 サンプリグ・レート)	1	1	/2 (× 4 サンプリグ・レート)	内部システム・クロック ()	サンプリグ・レート ^注			× 16 (01)	× 8 (10)	× 4 (11)	30 MHz	937.5 K	1875 K	3750 K	25 MHz	781 K	1562 K	3125 K	20 MHz	625 K	1250 K	2500 K	16 MHz	500 K	1000 K	2000 K	12.5 MHz	390 K	781 K	1562 K	10 MHz	312 K	625 K	1250 K	8 MHz	250 K	500 K	1000 K	5 MHz	156 K	312 K	625 K
SCLSn1	SCLSn0	シリアル・クロック																																																						
0	0	ポー・レート・ジェネレータ出力																																																						
0	1	/2 (× 16 サンプリグ・レート)																																																						
1	0	/2 (× 8 サンプリグ・レート)																																																						
1	1	/2 (× 4 サンプリグ・レート)																																																						
内部システム・クロック ()	サンプリグ・レート ^注																																																							
	× 16 (01)	× 8 (10)	× 4 (11)																																																					
30 MHz	937.5 K	1875 K	3750 K																																																					
25 MHz	781 K	1562 K	3125 K																																																					
20 MHz	625 K	1250 K	2500 K																																																					
16 MHz	500 K	1000 K	2000 K																																																					
12.5 MHz	390 K	781 K	1562 K																																																					
10 MHz	312 K	625 K	1250 K																																																					
8 MHz	250 K	500 K	1000 K																																																					
5 MHz	156 K	312 K	625 K																																																					

注意 UARTnが送受信中に, このレジスタを変更した場合のUARTnの動作は保証しません。

なお, UARTn送受信中にこのレジスタを変更した場合は, 送信時は送信完了割り込み (INTSTn) が発生し, 受信時は受信完了割り込み (INTSRn) が発生します。

備考 n = 0, 1

	7	6	5	4	3	2	1	0		
ASIM01	0	0	0	0	0	0	0	EBS0	アドレス FFFFF0C2H	初期値 00H
ASIM11	0	0	0	0	0	0	0	EBS1	FFFFF0D2H	00H

ビット位置	ビット名	意味
0	EBSn	<p>Extended Bit Select</p> <p>パリティなし動作指定 (PSn1, PSn0 = 00) 時の送受信データの拡張ビット動作を指定します。</p> <p>0 : 拡張ビット動作禁止 1 : 拡張ビット動作許可</p> <p>拡張ビット指定時は、8ビットの送受信データの上位に1データ・ビットが付加され、9ビット・データによる通信が可能になります。</p> <p>拡張ビット動作は、ASIMn0レジスタでパリティなし動作を指定した場合にだけ有効になります。0パリティ、奇数/偶数パリティ動作を指定した場合は、EBSnビットの指定は無効になり、拡張ビットの付加動作は行われません。</p>

注意 UARTnが送受信中に、このレジスタを変更した場合のUARTnの動作は保証しません。

備考 n = 0, 1

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0, 1 (ASIS0, ASIS1)

UARTnの受信終了時のエラー・ステータスを示す3ビットのエラー・フラグ (PEn, FEn, OVEn) と送信ステータス・フラグ (SOTn) から構成されるレジスタです (n=0, 1)。

受信エラーを示すステータス・フラグは、常に最も新しく発生したエラーの状態を示します。すなわち、受信データの読み出し前に複数回の同一エラーが発生した場合、最後に発生したエラーの状態だけ保持しています。

受信エラーが発生した場合は、ASISnレジスタを読み出したあと、受信バッファ (RXBnまたはRXBnL) を読み出し、エラー・フラグをクリアしてください。

8/1ビット単位でリードだけ可能です。

	7	6	5	4	3	2	1	0		
ASIS0	SOT0	0	0	0	0	PE0	FE0	OVE0	アドレス FFFFF0C4H	初期値 00H
ASIS1	SOT1	0	0	0	0	PE1	FE1	OVE1	FFFFF0D4H	00H

ビット位置	ビット名	意味
7	SOTn	Status Of Transmission 送信動作状態を示すステータス・フラグです。 セット (1) : 送信開始タイミング (TXSnまたはTXSnLレジスタへの書き込み) クリア (0) : 送信終了タイミング (INTSTn割り込み発生) シリアル・データ転送を開始しようとする際に、送信シフト・レジスタへの書き込みが可能か否かを判別するための手段として使用します。
2	PEn	Parity Error パリティ・エラーを示すステータス・フラグです。 セット (1) : 送信パリティと受信パリティが一致しないとき クリア (0) : 受信バッファからのデータ読み出し処理
1	FEn	Framing Error フレーミング・エラーを示すステータス・フラグです。 セット (1) : ストップ・ビットが検出されないとき クリア (0) : 受信バッファからのデータ読み出し処理
0	OVEn	Overrun Error オーバラン・エラーを示すステータス・フラグです。 セット (1) : 受信バッファから受信データを引き取る前に、UARTnが次の受信処理を完了したとき クリア (0) : 受信バッファからの受信データ読み出し処理 なお、1フレームの受信ごとに受信シフト・レジスタの内容が受信バッファに転送される構成のため、オーバラン・エラーが発生したときには、受信バッファに次の受信データが上書きされ、1回前の受信データは棄却されます。

備考 n = 0, 1

(3) 受信バッファ0, 0L, 1, 1L (RXB0, RXB0L, RXB1, RXB1L)

RXBnは、受信データを保持する9ビットのバッファ・レジスタで、7, 8ビット/キャラクタの受信では上位ビットには0が格納されます (n=0, 1)。

このレジスタへの16ビット・アクセス時はRXB0, RXB1を、下位8ビット・アクセス時はRXB0L, RXB1Lを指定します。

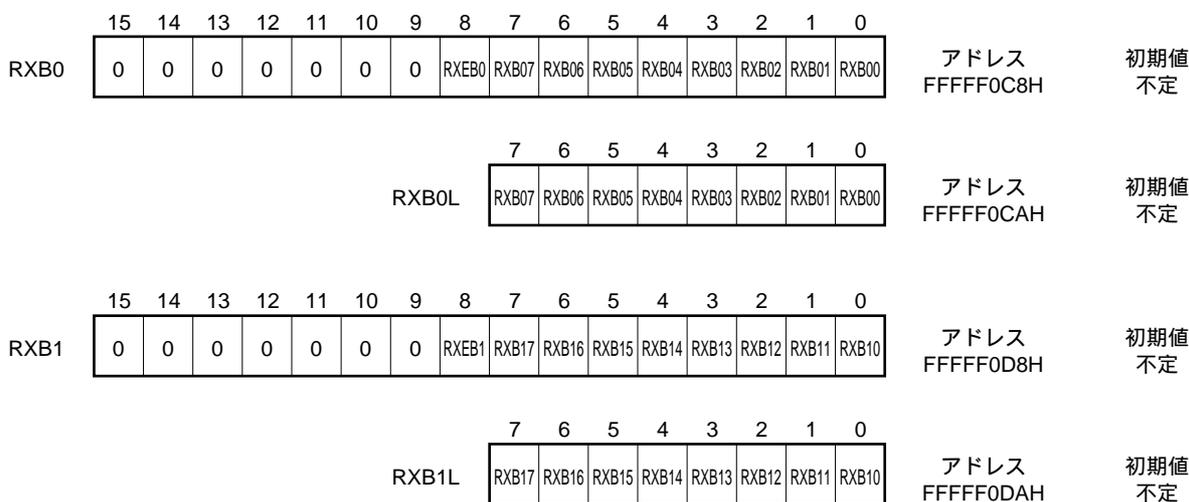
受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。

また、受信バッファへの転送により、受信完了割り込み要求 (INTSRn) が発生します。

受信禁止状態中は、1フレーム分のシフト・イン処理が終了しても受信バッファへの転送処理は行われず、受信バッファの内容は保持されます。

また、受信完了割り込み要求も発生しません。

RXB0, RXB1は16ビット単位で、RXB0L, RXB1Lは8/1ビット単位でリードだけ可能です。



ビット位置	ビット名	意味
8	RXEBn	Receive Extended Buffer 9ビット/キャラクタ受信時の拡張ビットです。 7, 8ビット/キャラクタの受信では0が読めます。
7-0	RXBn7- RXBn0	Receive Buffer 受信データを格納しています。 RXBn7は7ビット/キャラクタの受信では0が読めます。

備考 n = 0, 1

(4) 送信シフト・レジスタ0, 0L, 1, 1L (TXS0, TXS0L, TXS1, TXS1L)

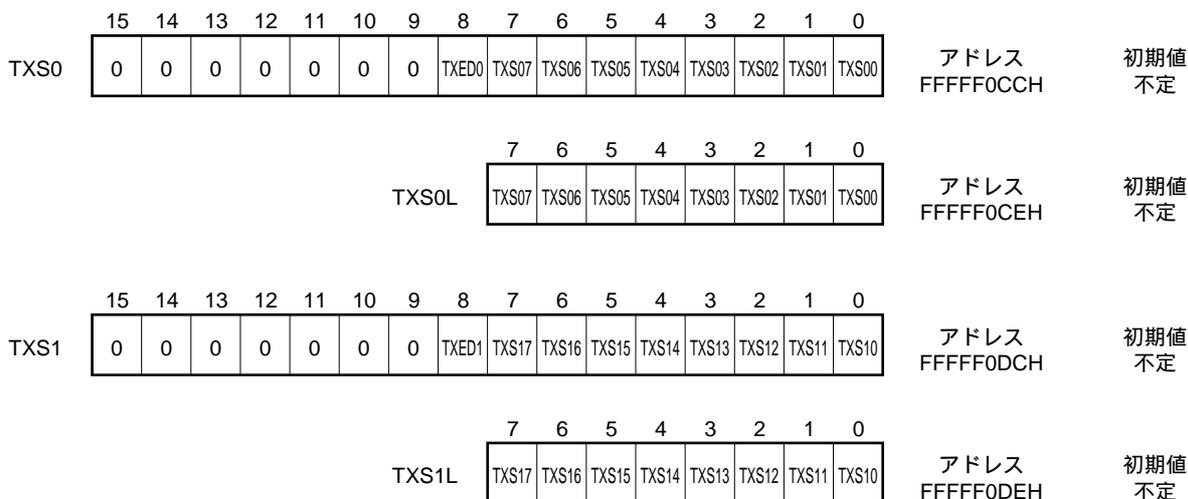
TXSnは、9ビットの送信処理用シフト・レジスタで、送信許可状態時にこのレジスタへのデータ書き込みにより、送信動作が開始されます (n=0, 1)。

送信禁止状態時に書き込みを行っても、値は無視されます。

TXSのデータを含む1フレームの送出終了に同期して送信完了割り込み要求 (INTSTn) を発生します。

このレジスタへの16ビット・アクセスはTXS0, TXS1を、下位8ビット・アクセス時はTXS0L, TXS1Lを指定します。

TXS0, TXS1は、16ビット単位で、TXS0L, TXS1Lは、8ビット単位でライトだけ可能です。



ビット位置	ビット名	意味
8	TXEDn	Transmit Extended Data 9ビット/キャラクタ送信時の拡張ビットです。
7-0	TXSn7- TXSn0 (n=0, 1)	Transmit Shifter 送信データを書き込みます。

注意 1 . UARTnは送信バッファを持たないため、送信完了 (バッファへの転送完了) による割り込み要求ではなく、1フレーム分のデータの送出完了に同期した割り込み要求 (INTSTn) が発生します。

2 . UARTnが送信中に、このレジスタを変更した場合のUARTnの動作は保証しません。

備考 n=0, 1

10.2.4 割り込み要求

UARTnからは次の3種類の割り込み要求を発生します ($n = 0, 1$)。

- ・受信エラー割り込み (INTSERn)
- ・受信完了割り込み (INTSRn)
- ・送信完了割り込み (INTSTn)

これら3種類の割り込み要求のデフォルト優先順位は受信エラー割り込みが最も高く、受信完了割り込み、送信完了割り込みの順に低くなります。

表10-1 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信エラー	1
受信完了	2
送信完了	3

(1) 受信エラー割り込み (INTSERn)

受信許可状態中で、ASISnレジスタで説明した3種類の受信エラーの論理和 (OR) で受信エラー割り込みを発生します。

受信禁止状態中は、受信エラー割り込みは発生しません。

(2) 受信完了割り込み (INTSRn)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされ受信バッファに転送されると受信完了割り込みを発生します。

受信完了割り込み要求は、受信エラーが起こった場合にも発生しますが、受信エラー割り込みの方が処理の優先順位が高くなっています。

受信禁止状態中は、受信完了割り込みは発生しません。

(3) 送信完了割り込み (INTSTn)

UARTnは送信バッファを持たないため、送信シフト・レジスタから7ビット/8ビット/9ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされると送信完了割り込みを発生します。

送信完了割り込みは、送信データの最終ビットを送信開始時に出力されます。

10.2.5 動作

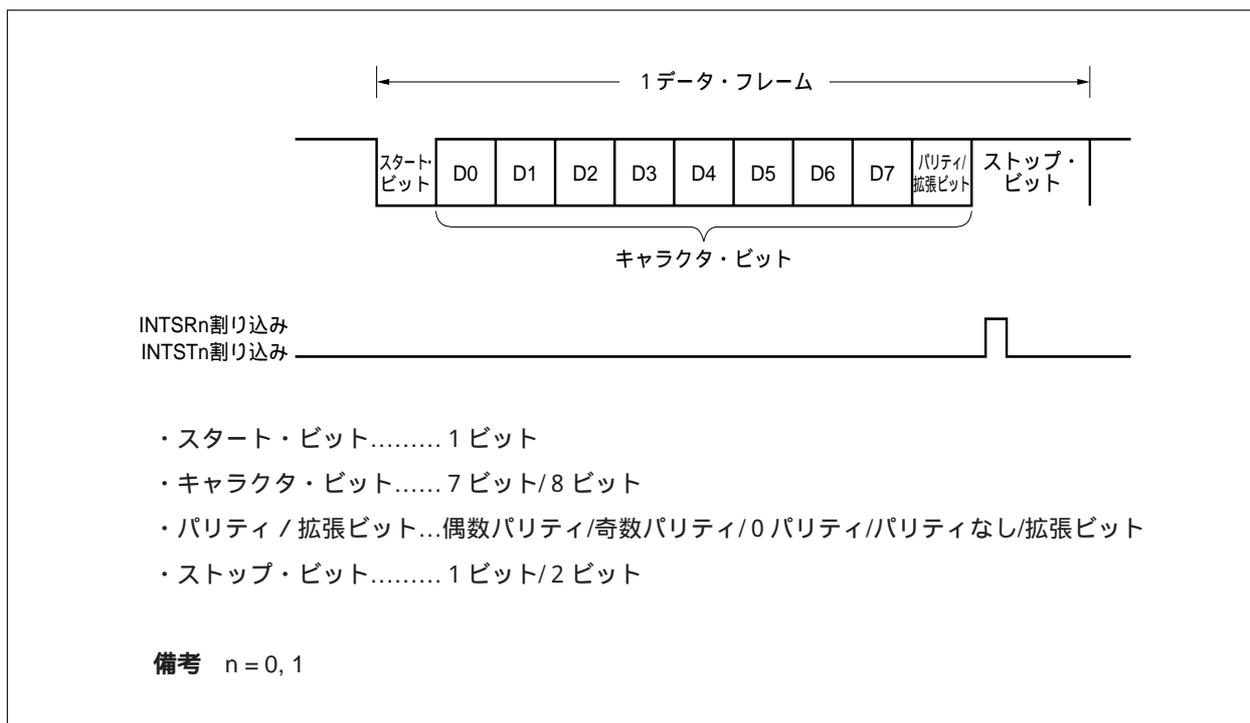
(1) データ・フォーマット

全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図10 - 2に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIMn0, ASIMn1) によって行います (n=0, 1)。

図10 - 2 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



(2) 送信

送信シフト・レジスタ (TXSnまたはTXSnL) にデータを書き込むと送信が起動されます。送信完了割り込み (INTSTn) 処理ルーチンで次のデータをTXSnまたはTXSnLレジスタに書き込みます (n = 0, 1)。

(a) 送信許可状態

ASIMn0レジスタのTXEnビットで設定します。

TXEn = 1 : 送信許可状態

TXEn = 0 : 送信禁止状態

ただし、送信許可状態にする場合、使用するチャンネルのクロック同期式シリアル・インタフェース・モード・レジスタ (CSIMn) のCTXEn, CRXEnビットをともに0に設定してください。

なお、UARTnにはCTS (送信許可信号) 入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

(b) 送信動作の起動

送信許可状態では、送信シフト・レジスタ (TXSnまたはTXSnL) にデータを書き込むと送信動作が起動します。送信データは、スタート・ビットからLSB先頭で転送されます。スタート・ビット、パリティ/拡張ビット、ストップ・ビットは自動的に付加されます。

送信禁止状態では送信シフト・レジスタにデータは書き込みません。書き込みを行っても、値は無視されます。

(c) 送信割り込み要求

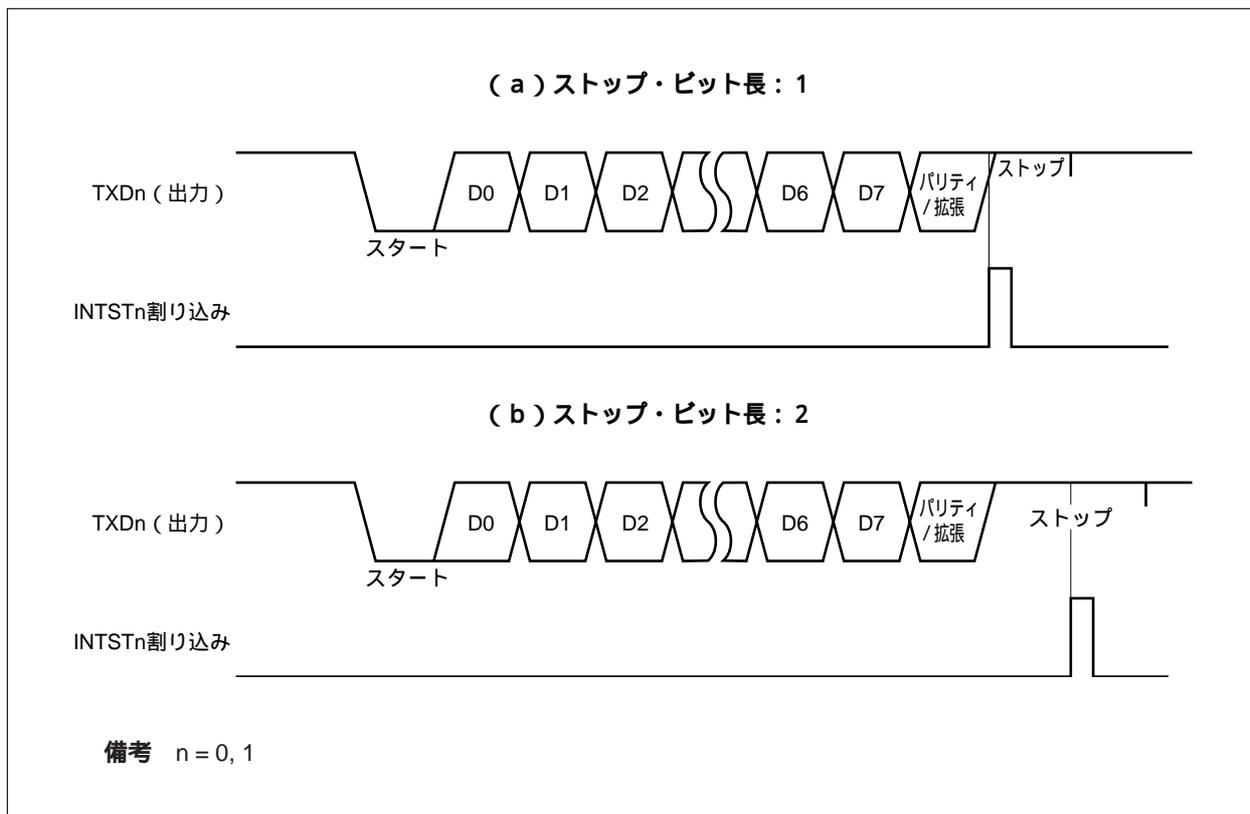
送信シフト・レジスタ (TXSnまたはTXSnL) が空になると送信完了割り込み要求 (INTSTn) を発生させます。

次に送信するデータをTXSnまたはTXSnLレジスタに書き込まなければ、送信動作は中断されます。

1つの送信が終了したあと、ただちに次の送信データをTXSnまたはTXSnLレジスタに書き込まなければ通信レートが低下します。

- 注意 1 .** 通常は送信シフト・レジスタ (TXSnまたはTXSnL) が空になった場合に送信完了割り込み (INTSTn) が発生します。しかし、 $\overline{\text{RESET}}$ 入力により、送信シフト・レジスタ (TXSnまたはTXSnL) が空になった場合、送信完了割り込み (INTSTn) は発生しません。
- 2 .** INTSTnが発生するまでの送信動作中は、TXSnまたはTXSnLレジスタへ書き込んでも書き込みデータは無効となります。

図10 - 3 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



(3) 受信

受信許可状態にするとRXDn端子のサンプリングを開始し、スタート・ビットを検出するとデータの受信を開始します。1フレームのデータ受信が終了するごとに受信完了割り込み (INTSRn) が発生します。通常、この割り込み処理で受信バッファ (RXBnまたはRXBnL) からメモリに受信データを転送します (n = 0, 1)。

(a) 受信許可状態

受信動作はASIMn0レジスタのRXEnビットをセット (1) することにより許可状態となります。

RXEn = 1 : 受信許可状態

RXEn = 0 : 受信禁止状態

ただし、受信許可状態にする場合、使用するチャンネルのクロック同期式シリアル・インタフェース・モード・レジスタ (CSIMn) のCTXEn, CRXEnビットをともに0に設定してください。

なお、受信禁止状態では受信ハードウェアは初期状態で待機します。

このとき、受信完了割り込み/受信エラー割り込みは発生せず、受信バッファの内容は保持されます。

(b) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

ポー・レート・ジェネレータn (BRGn) からのシリアル・クロックでRXDn端子をサンプリングします。RXDn端子のロウ・レベルを検出してから8シリアル・クロック後、再びRXDn端子をサンプリングします。このときロウ・レベルを確認するとスタート・ビットと認識して受信処理動作に移り、以降16シリアル・クロック単位にRXDn端子入力をサンプリングします。

RXDn端子のロウ・レベルを検出してから8シリアル・クロック後のサンプリングでハイ・レベルを確認した場合、このロウ・レベルをスタート・ビットとは認めません。サンプル・タイミング発生用のシリアル・クロック・カウンタは初期化されて動作を停止し、次のロウ・レベル入力を待ちます。

(c) 受信完了割り込み要求

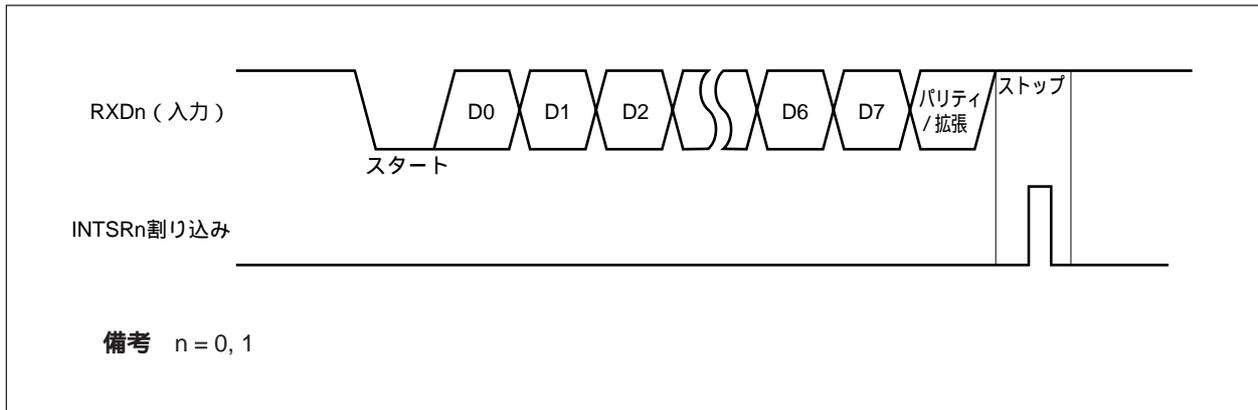
ASIMn0レジスタのRXEnビット = 1のとき、1フレーム分のデータの受信が完了すると、シフト・レジスタ内の受信データをRXBnまたはRXBnLに転送し、受信完了割り込み要求 (INTSRn) を発生します。

また、エラーが発生した場合でも、受信バッファ (RXBnまたはRXBnL) にエラーの発生した受信データを転送し、受信完了割り込み (INTSRn)、受信エラー割り込み (INTSERn) を同時に発生します。

なお、受信動作中にRXEnビットをリセット (0) すると、すぐに受信動作を停止します。このとき受信バッファ (RXBnまたはRXBnL) とアシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASISn) の内容は変化せず、受信完了割り込み (INTSRn)、受信エラー割り込み (INTSERn) も発生しません。

RXEn = 0 (受信禁止) では、受信完了割り込みは発生しません。

図10 - 4 アシクロナス・シリアル・インタフェース受信完了割り込みタイミング



(d) 受信エラー・フラグ

受信動作に同期して、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類のエラー・フラグが影響を受けます。

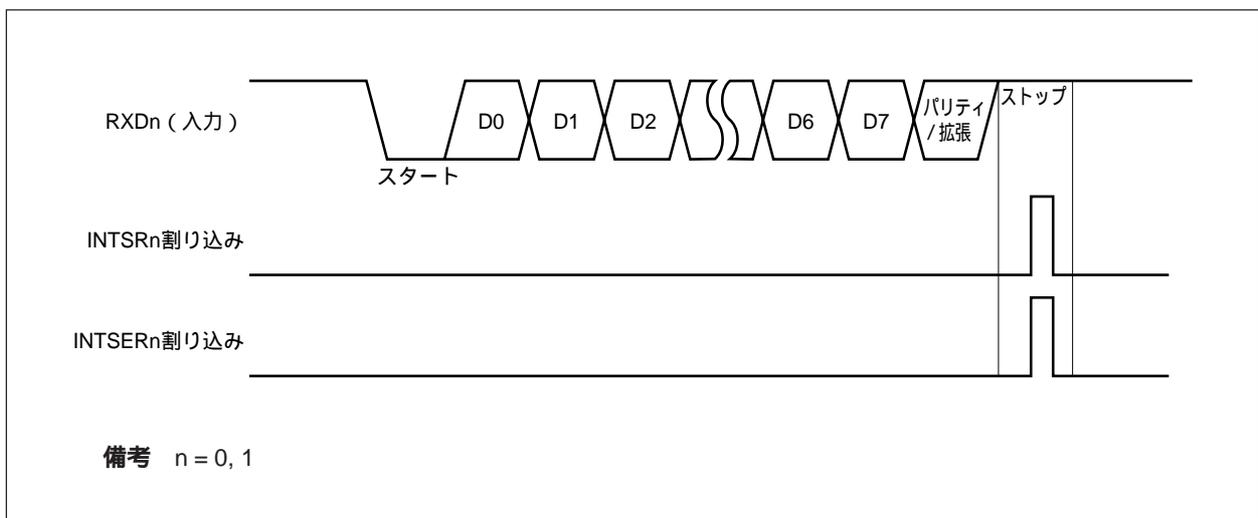
以上の3つの各エラー・フラグの論理和で、受信エラー割り込み要求が発生します。

受信エラー割り込み (INTSERn) 内でASISnレジスタの内容を読み出すことによって、どのエラーが受信時に発生したかを検出することができます。

ASISnレジスタの内容は、受信バッファ (RXBnまたはRXBnL) を読み出すか、次のデータを受信することによってリセット (0) されます (次の受信データにエラーがあれば、そのエラー・フラグがセットされます)。

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信完了

図10 - 5 受信エラー・タイミング



10.3 クロック同期式シリアル・インタフェース 0, 1 (CSI0, CSI1)

10.3.1 特 徴

- ★ 高速転送 最大8.3 Mbps (内部システム・クロック33 MHz動作時)
- 半二重通信
- キャラクタ長: 8ビット
- データのMSB先頭/LSB先頭を切り替え可能
- 外部シリアル・クロック入力/内部シリアル・クロック出力選択
- 3線式 SOn : シリアル・データ出力
SIn : シリアル・データ入力
 $\overline{\text{SCKn}}$: シリアル・クロック入出力
- 割り込みソース 1種
 - ・送受信完了割り込み (INTCSIn)

備考 n = 0, 1

10.3.2 構 成

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIMn) によってCSInを制御します。送受信データはSIO_nレジスタに読み出し/書き込みができます (n = 0, 1)。

(1) クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM0, CSIM1)

CSIMnレジスタは、CSInの動作を指定する8ビット・レジスタです。

(2) シリアル/I/Oシフト・レジスタ (SIO0, SIO1)

SIO_nレジスタは、シリアル・データ 平行・データの変換を行う8ビット・レジスタです。SIO_nは送信および受信の両方に使用されます。

データは、MSB側またはLSB側からシフト・イン (受信) またはシフト・アウト (送信) されます。

SIO_nに対する読み出し/書き込みにより、実際の送受信動作が制御されます。

(3) セレクタ

使用するシリアル・クロックを選択します。

(4) シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給の制御を行います。また、内部クロック使用時には $\overline{\text{SCKn}}$ 端子へ出力するクロックの制御も行います。

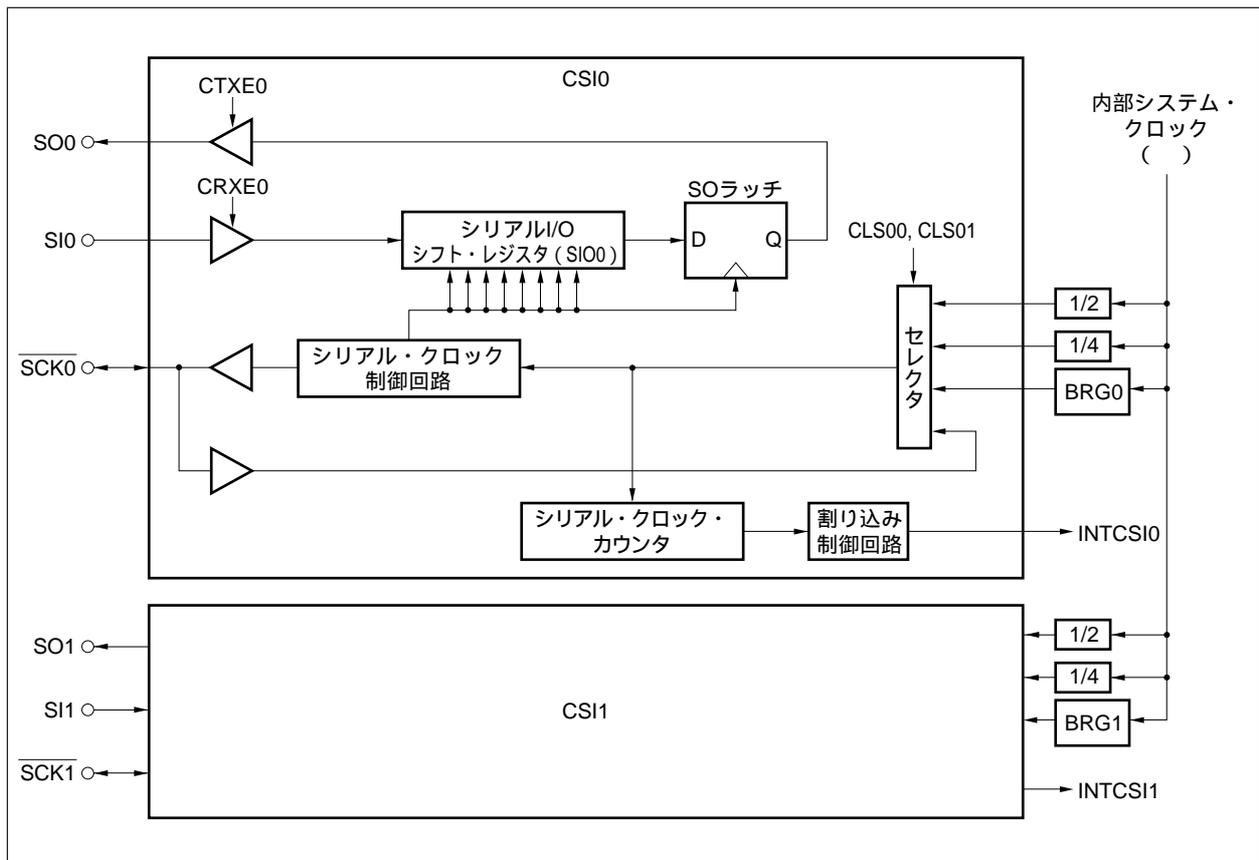
(5) シリアル・クロック・カウンタ

送信/受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み制御回路

シリアル・クロック・カウンタでシリアル・クロックを8発カウントしたときに、割り込み要求を発生するかしないかを制御します。

図10 - 6 クロック同期式シリアル・インタフェースのブロック図



10.3.3 制御レジスタ

(1) クロック同期式シリアル・インタフェース・モード・レジスタ0, 1 (CSIM0, CSIM1)

CSI0, CSI1の基本動作モードを指定します。

8/1ビット単位でリード/ライト可能です(ただし, ビット5はリードだけ可能です)。

(1/2)

	7	6	5	4	3	2	1	0		
CSIM0	CTXE0	CRXE0	CSOT0	0	0	MOD0	CLS01	CLS00	アドレス FFFFFF088H	初期値 00H
CSIM1	CTXE1	CRXE1	CSOT1	0	0	MOD1	CLS11	CLS10	FFFFFF098H	00H

ビット位置	ビット名	意味
7	CTXEn	CSI Transmit Enable 送信許可状態/禁止状態を指定します。 0 : 送信禁止状態 1 : 送信許可状態 CTXEn = 0 のときには, SOn, SIn端子はともにハイ・インピーダンスになります。
6	CRXEn	CSI Receive Enable 受信許可状態/禁止状態を指定します。 0 : 受信禁止状態 1 : 受信許可状態 送信許可 (CTXEn = 1) かつ受信禁止のときに, シリアル・クロックが入力された場合には, シフト・レジスタには, 0が入力されます。 受信中に受信禁止 (CRXEn = 0) にした場合, SOnレジスタの内容は不定になります。
5	CSOTn	CSI Status Of Transmission 転送動作中であることを示します。 セット (1) : 送信中 (SOnレジスタへの書き込み) クリア (0) : 送信終了タイミング (INTCSIn発生) 送信許可状態 (CTXEn = 1) にして, シリアル・データ転送を開始しようとする際に, シリアル/Oシフト・レジスタn (SOn) への書き込みが可能か否かを判別するための手段として使用します。

備考 n = 0-1

ビット位置	ビット名	意味																		
2	MODn	Mode 動作モードの指定を行います。 0 : MSB先頭 1 : LSB先頭																		
1, 0	CLSn1, CLSn0	Clock Source シリアル・クロックを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>CLSn1</th> <th>CLSn0</th> <th>シリアル・クロックの指定</th> <th>SCK端子</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部クロック</td> <td>入力</td> </tr> <tr> <td>0</td> <td>1</td> <td rowspan="3">内部クロック</td> <td>BPRMnレジスタで指定^{注1}</td> </tr> <tr> <td>1</td> <td>0</td> <td>/4^{注2}</td> </tr> <tr> <td>1</td> <td>1</td> <td>/2^{注2}</td> </tr> </tbody> </table> <p>注1 . BPRMnレジスタへの設定については10.4 専用ポー・レート・ジェネレータ0, 1 (BRG0, BRG1) を参照してください。 2 . /4, /2 は, 分周信号です (: 内部システム・クロック)。</p>	CLSn1	CLSn0	シリアル・クロックの指定	SCK端子	0	0	外部クロック	入力	0	1	内部クロック	BPRMnレジスタで指定 ^{注1}	1	0	/4 ^{注2}	1	1	/2 ^{注2}
CLSn1	CLSn0	シリアル・クロックの指定	SCK端子																	
0	0	外部クロック	入力																	
0	1	内部クロック	BPRMnレジスタで指定 ^{注1}																	
1	0		/4 ^{注2}																	
1	1		/2 ^{注2}																	

注意1 . CLSn1, CLSn0ビットの設定は, 送受信禁止 (CTXEnビット = CRXEnビット = 0) の状態で行ってください。送受信禁止以外の状態でCLSn1, CLSn0ビットの設定を行うと, 正常に動作しないことがあります。

2 . CSInが送受信中に, このレジスタのビット0-2を変更した場合のCSInの動作は保証しません。

備考 n = 0, 1

(2) シリアルI/Oシフト・レジスタ0, 1 (SIO0, SIO1)

8ビットのシリアル・データを8ビットの平行ル・データに、8ビットの平行ル・データを8ビットのシリアル・データに変換するレジスタです。SIO_nレジスタに対するリード/ライトによって実際の送受信動作が制御されます。

CTXEn = 1 または CRXEn = 1 のときにシフト動作を行います。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
SIO0	SIO07	SIO06	SIO05	SIO04	SIO03	SIO02	SIO01	SIO00	アドレス FFFFFF08AH	初期値 不定
SIO1	SIO17	SIO16	SIO15	SIO14	SIO13	SIO12	SIO11	SIO10	FFFFFF09AH	不定

ビット位置	ビット名	意味
7-0	SIO _n 7- SIO _n 0 (n = 0, 1)	Serial I/O データは、MSBまたはLSB側からシフト・イン（受信）またはシフト・アウト（送信）します。

注意 CSInが送受信中に、このレジスタを変更した場合のCSInの動作は保証しません。

10.3.4 基本動作

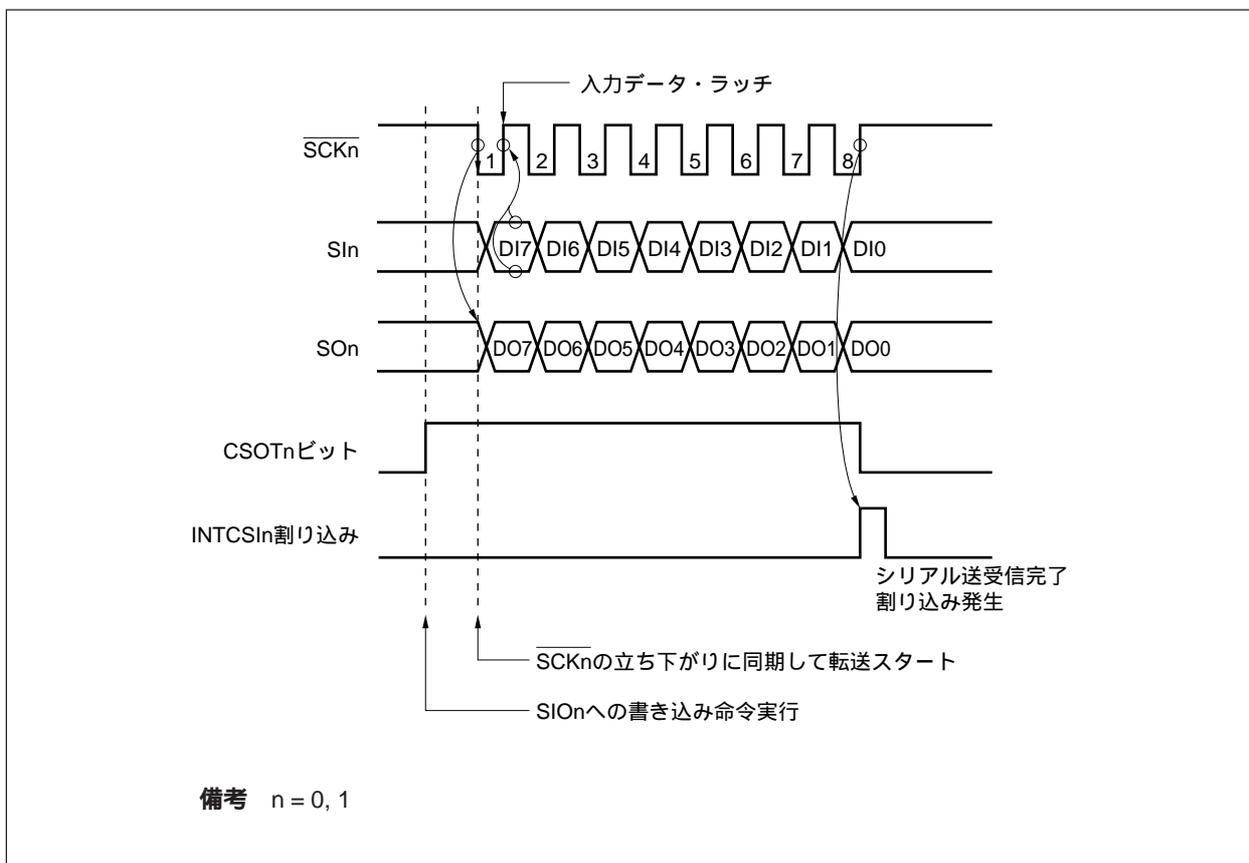
(1) 転送フォーマット

CSInは、それぞれ1本のクロック・ラインと2本のデータ・ラインの3線でデータの送受信を行います (n=0,1)。

シリアル転送は、SIO_nレジスタに対する転送データの書き込み命令を実行することによりスタートします。送信の場合には $\overline{\text{SCKn}}$ の立ち下がりに同期してSO_n端子からデータが出力されます。

受信の場合には $\overline{\text{SCKn}}$ の立ち上がりに同期してSI_n端子の入力データをラッチします。シリアル・クロック・カウンタのオーバーフロー(8カウント目の立ち上がり)で $\overline{\text{SCKn}}$ は停止し、次のデータの送信または受信動作が起動されるまで $\overline{\text{SCKn}}$ はハイ・レベルを保持します。同時に、送受信完了割り込み(INTCSIn)を発生します。

注意 SIO_nレジスタに送信データをライトしておいてCSIM_nレジスタのCTXEnビット=0 1にしてもシリアル転送は行いません。



(2) 送受信許可

CSInは、それぞれ8ビット・シフト・レジスタを1つしか持たず、バッファも持っていないため、基本的に送信および受信は同時に行います (n = 0, 1)。

(a) 送受信許可条件

CSInの送受信許可条件の指定は、CSIMnレジスタのCTXEn, CRXEnビットで行います。

ただし、CSI0の場合は、ASIM00レジスタのTXE0ビット = RXE0ビット = 0に、CSI1の場合は、ASIM10レジスタのTXE1ビット = RXE1ビット = 0に設定されている必要があります。

CTXEn	CRXEn	送受信動作
0	0	送受信禁止
0	1	受信許可
1	0	送信許可
1	1	送受信許可

備考 n = 0, 1

備考1 . CTXEnビット = 0の場合、シリアル出力はハイ・インピーダンスかUARTn出力 (TXDn) になります。

CTXEnビット = 1の場合には、シフト・レジスタのデータが出力されます。

2 . CRXEnビット = 0の場合には、シフト・レジスタ入力は0になります。

CRXEnビット = 1の場合には、シリアル入力がシフト・レジスタに入力されます。

3 . 送信データを自分自身で受信し、バスの競合が発生していないかチェックするためには CTXEnビット = CRXEnビット = 1にします。

(3) 送受信動作の起動

送受信動作の起動 (スタート) はSIO_nレジスタに対するリード/ライトによります。送信/受信のスタート制御はCSIMnレジスタのCTXEn, CRXEnビットを次のように設定することにより行います (n = 0, 1)。

CTXEn	CRXEn	スタート条件
0	0	スタートしない
0	1	SIO _n レジスタ読み出し
1	0	SIO _n レジスタ書き込み
1	1	SIO _n レジスタ書き込み
0	0	CRXEnビット書き換え

備考 n = 0, 1

CTXEnビットが0のときにSIO_nレジスタをリード/ライトし、その後セット (1) しても転送はスタートしません。

また、CTXEnビットが0のときにCRXEnビットを0 1にすると、シリアル・クロックが発生し、受信動作を開始します。

10.3.5 CSI0, CSI1での送信

クロック同期式シリアル・インタフェース・モード・レジスタ n (CSIM n) により送信許可に設定したあと、SIO n レジスタに書き込みを行うと、送信動作が起動します ($n=0, 1$)。

(1) 送信動作を起動する

送信動作の起動は、クロック同期式シリアル・インタフェース・モード・レジスタ n (CSIM n) のCTXEnビットをセットして (CRXEnビットには0をセット)、シフト・レジスタ n (SIO n) へ送信データを書き込むことを行います。

なお、CTXEnビット = 0のときは、SOn端子はハイ・インピーダンス状態となります。

(2) シリアル・クロックに同期してデータを送信する

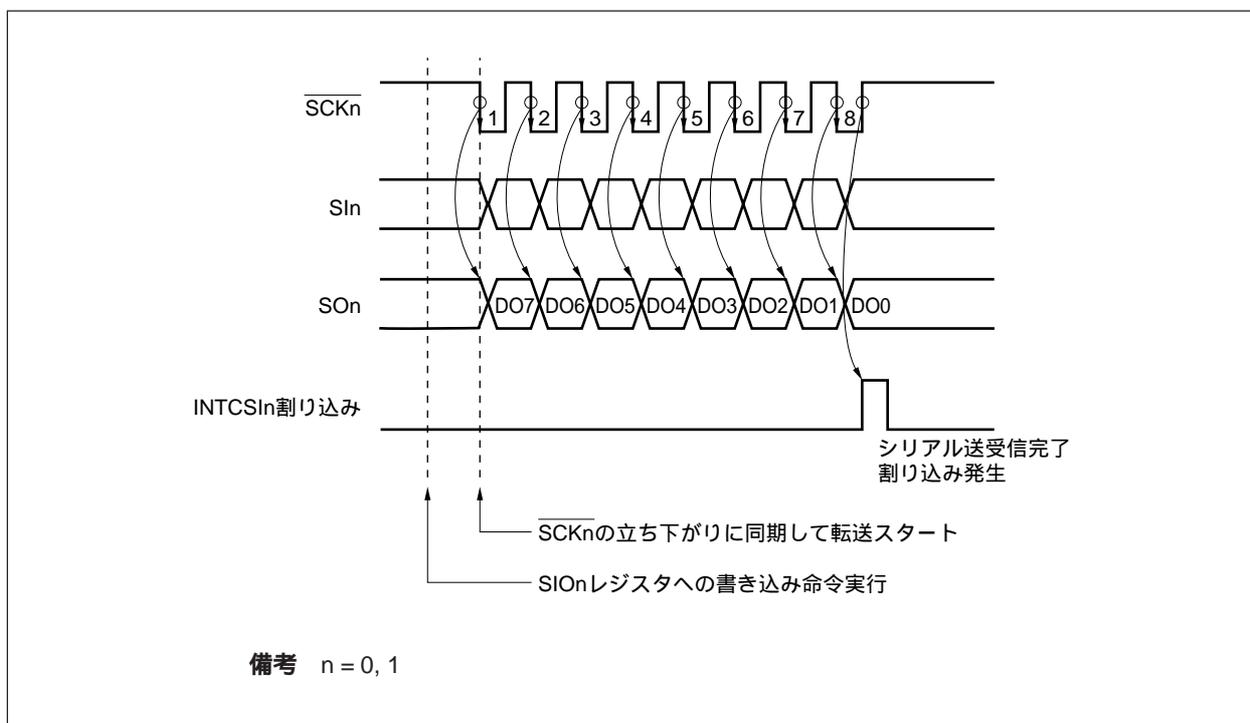
(a) シリアル・クロックとして内部クロックを選択した場合

送信が起動されると、シリアル・クロックを $\overline{\text{SCKn}}$ 端子から出力し、同時にシリアル・クロックの立ち下がりに同期してSIO n レジスタからデータをSOn端子へ順次出力します。

(b) シリアル・クロックとして外部クロックを選択した場合

送信が起動されると、送信起動後に $\overline{\text{SCKn}}$ 端子へ入力されたシリアル・クロックの立ち下がりに同期してSIO n レジスタからデータをSOn端子へ順次出力します。送信が起動されていないときに、シリアル・クロックを $\overline{\text{SCKn}}$ 端子へ入力してもシフト動作は行われず、SOn端子の出力レベルは変化しません。

図10 - 7 3線式シリアルI/Oモードのタイミング (送信)



10.3.6 CSIO, CSI1での受信

クロック同期式シリアル・インタフェース・モード・レジスタ n (CSIM n)により、受信禁止から受信許可に状態を変える、または受信許可状態でSIO n レジスタを読み出すと受信動作は起動されます ($n=0, 1$)。

(1) 受信動作を起動する

受信動作の起動には、次の2つの方法があります。

CSIM n レジスタのCRXEnビットを受信禁止状態(0)から受信許可状態(1)へ変化させた場合
CSIM n レジスタのCRXEnビットが受信許可状態(1)のときにシフト・レジスタ n (SIO n)から受信データを読み出した場合

CSIM n レジスタのCRXEnビットをセット(1)した状態で、再び1を書き込んでも受信動作は起動されません。なお、CRXEnビット=0のときは、シフト・レジスタ入力は0になります。

(2) シリアル・クロックに同期してデータを受信する

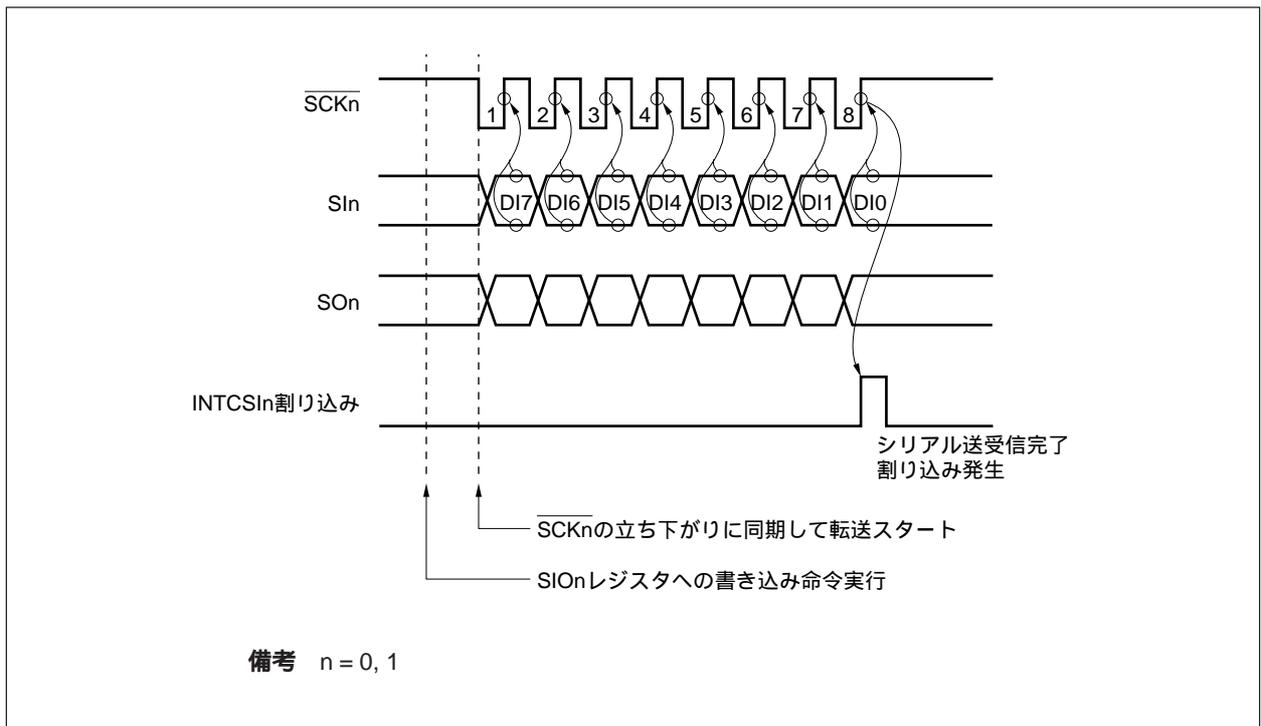
(a) シリアル・クロックとして内部クロックを選択した場合

受信が起動されると、シリアル・クロックをSCK n 端子から出力し、同時にシリアル・クロックの立ち上がりに同期してSIn端子のデータをSIO n レジスタへ順次取り込みます。

(b) シリアル・クロックとして外部クロックを選択した場合

受信が起動されると、受信起動後にSCK n 端子へ入力されたシリアル・クロックの立ち上がりに同期してSIn端子のデータをSIO n レジスタへ順次取り込みます。受信が起動されていないときに、シリアル・クロックをSCK n 端子へ入力してもシフト動作は行いません。

図10 - 8 3線式シリアルI/Oモードのタイミング(受信)



10.3.7 CSIO, CSI1での送受信

クロック同期式シリアル・インタフェース・モード・レジスタ n (CSIM n)により、送信と受信をともに許可状態にすると、送信動作と受信動作を同時に行うことができます ($n=0, 1$)。

(1) 送受信動作を起動する

クロック同期式シリアル・インタフェース・モード・レジスタ n (CSIM n)のCTXEnビットとCRXEnビットが両方ともセット(1)されているときは、送信動作と受信動作を同時に行うことができます(送受信動作)。

送受信動作の起動は、CSIM n レジスタのCTXEn, CRXEnビットがともに送受信許可状態1のとき、シフト・レジスタ n (SIO n)に送信データを書き込むことで行います。

CSIM n レジスタのCRXEnビットが1の状態でも、再び1を書き込んで送受信動作は起動されません。

(2) シリアル・クロックに同期してデータを送信する

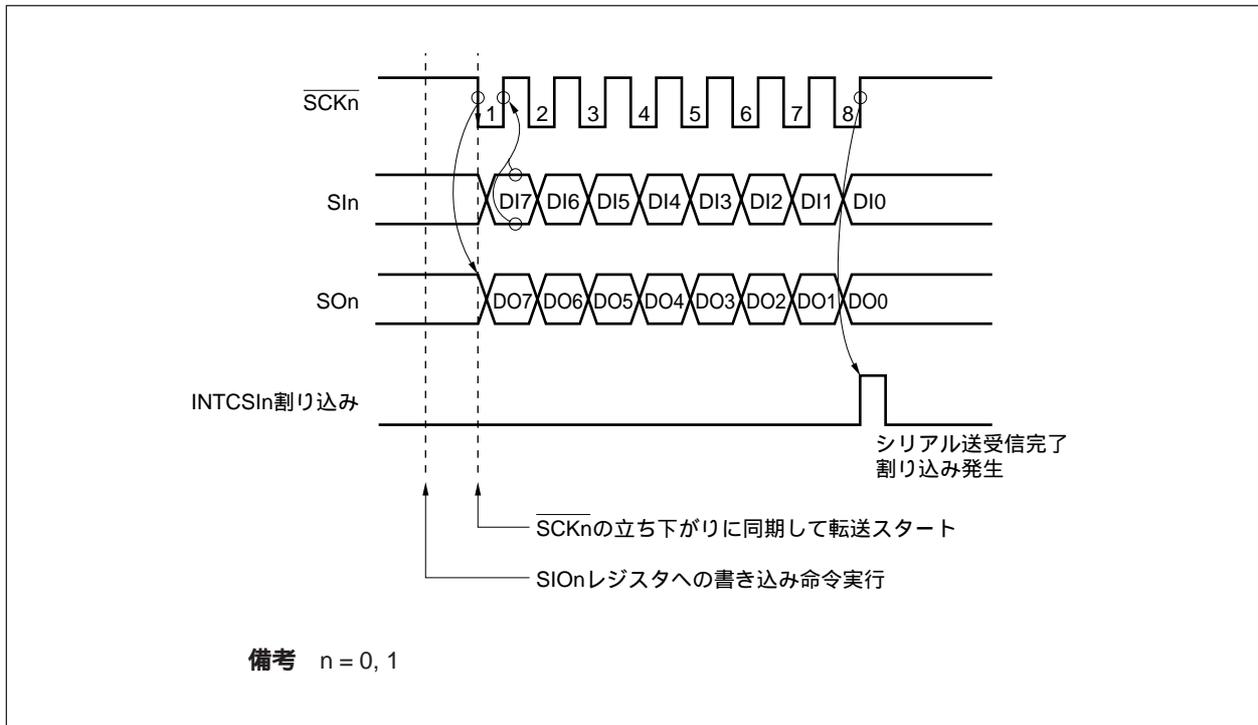
(a) シリアル・クロックとして内部クロックを選択した場合

送受信が起動されると、シリアル・クロックを $\overline{\text{SCKn}}$ 端子から出力し、同時にシリアル・クロックの立ち下がりに同期してSIO n レジスタからデータをSO n 端子へ順次出力します。また、シリアル・クロックの立ち上がりに同期してSIn端子のデータをSIO n レジスタへ順次取り込みます。

(b) シリアル・クロックとして外部クロックを選択した場合

送受信が起動されると、送受信起動後に $\overline{\text{SCKn}}$ 端子へ入力されたシリアル・クロックの立ち下がりに同期してSIO n レジスタからSO n 端子へデータが順次出力します。シリアル・クロックの立ち上がりに同期してSIn端子のデータをSIO n レジスタへ順次取り込みます。送受信が起動されていないときに、シリアル・クロックを $\overline{\text{SCKn}}$ 端子へ入力してもシフト動作は行わず、SO n 端子の出力レベルは変化しません。

図10 - 9 3線式シリアルI/Oモードのタイミング(送受信)



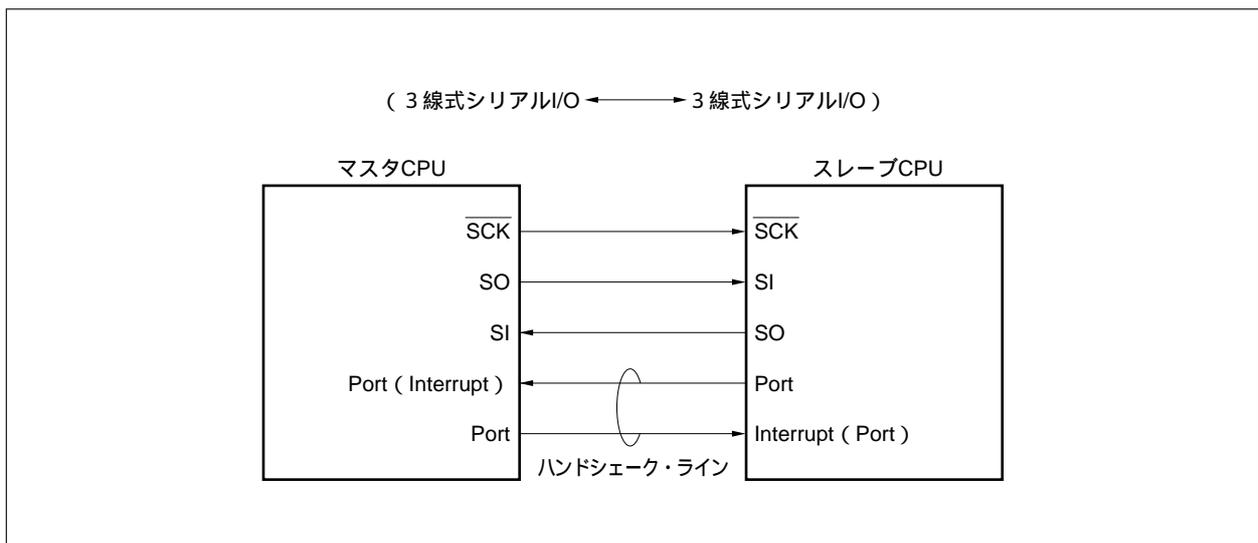
10.3.8 システム構成例

シリアル・クロック（ \overline{SCKn} ）と、シリアル入力（ SIn ）、シリアル出力（ SOn ）の3種類の信号線によって、8ビット長のデータ転送を行います。従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続する場合に有効です（ $n = 0, 1$ ）。

複数のデバイスと接続する場合は、ハンドシェイク用のラインが必要です。

通信先頭ビットがMSBまたはLSBに選択できるので、さまざまなデバイスと通信することができます。

図10 - 10 CSIのシステム構成例



10.4 専用ポー・レート・ジェネレータ0, 1 (BRG0, BRG1)

10.4.1 構成と機能

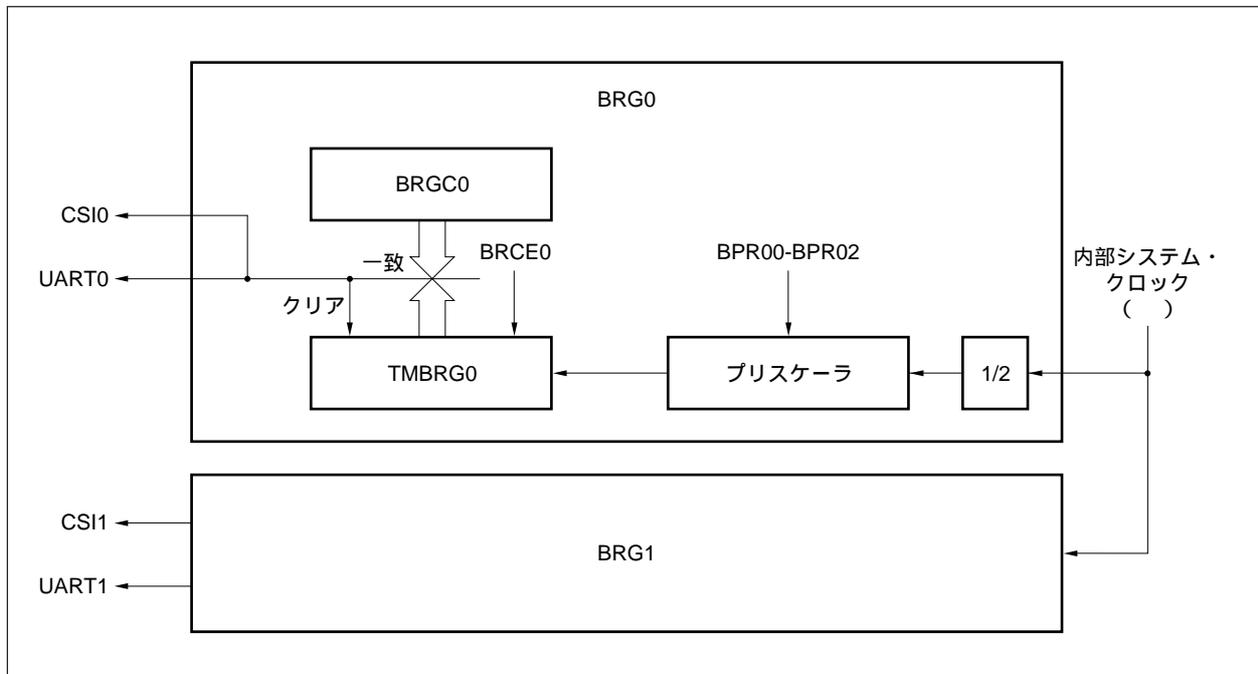
シリアル・インタフェースのシリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力または内部システム・クロック () から選択できます。

シリアル・クロック・ソースは、UART0, UART1の場合はASIM00, ASIM10レジスタで、CSI0, CSI1の場合はCSIM0, CSIM1レジスタで指定します。

「専用ポー・レート・ジェネレータ出力」を指定した場合は、クロック・ソースとしてBRG0, BRG1が選択されます。

1チャンネル当たりの送受信のシリアル・クロックは1つで共用されるため、送受信のポー・レートは同一となります。

図10-11 専用ポー・レート・ジェネレータのブロック図



(1) 専用ボー・レート・ジェネレータ0, 1 (BRG0, BRG1)

BRGnは、送受信のシフト・クロックを発生する専用の8ビット・タイマ (TMBRGn) , コンペア・レジスタ (BRGCn) とプリスケアラから構成されます (n=0, 1)。

(a) 入力クロック

BRGnへは、内部システム・クロック () が入力されます。

(b) BRGnへの設定値

(i) UART0, UART1

UART0, UART1でシリアル・クロック・ソースとしてBRG0, BRG1を指定した場合、×16のサンプリング・レートを使用しているため、実際のボー・レートは次式で表されます。

$$\text{ボー・レート} = \frac{\text{内部システム・クロック周波数 [Hz]}}{2 \times j \times 2^k \times 16 \times 2} \text{ [bps]}$$

= 内部システム・クロック周波数 [Hz]

j = タイマ・カウント値 = BRGCnレジスタ設定値 (1 ≤ j ≤ 256[※])

k = プリスケアラ設定値 = BPRMnレジスタ設定値 (k = 0, 1, 2, 3, 4)

注 j = 256の設定は、BRGCnレジスタへの0ライトで行います。

(ii) CSI0, CSI1

CSI0, CSI1でシリアル・クロック・ソースとしてBRG0, BRG1を指定した場合、実際のボー・レートは次式で表されます。

$$\text{ボー・レート} = \frac{\text{内部システム・クロック周波数 [Hz]}}{2 \times j \times 2^k \times 2} \text{ [bps]}$$

= 内部システム・クロック周波数 [Hz]

j = タイマ・カウント値 = BRGCnレジスタ設定値 (1 ≤ j ≤ 256[※])

k = プリスケアラ設定値 = BPRMnレジスタ設定値 (k = 0, 1, 2, 3, 4)

注 j = 256の設定は、BRGCnレジスタへの0ライトで行います。

代表的クロックを使用したときのBRGnの設定値を次に示します。

★

表10 - 2 専用ボー・レート・ジェネレータ設定データ

ボー・レート [bps]		= 33 MHz			= 25 MHz			= 16 MHz			= 12.5 MHz		
UART0, UART1	CSI0, CSI1	BPR	BRG	誤差	BPR	BRG	誤差	BPR	BRG	誤差	BPR	BRG	誤差
110	1760	-	-	-	4	222	0.02 %	4	142	0.03 %	3	222	0.02 %
150	2400	4	215	0.07 %	4	163	0.15 %	3	208	0.16 %	3	163	0.15 %
300	4800	3	215	0.07 %	3	163	0.15 %	2	208	0.16 %	2	163	0.15 %
600	9600	2	215	0.07 %	2	163	0.15 %	1	208	0.16 %	1	163	0.15 %
1200	19200	1	215	0.07 %	1	163	0.15 %	0	208	0.16 %	0	163	0.15 %
2400	38400	0	215	0.07 %	0	163	0.15 %	0	104	0.16 %	0	81	0.47 %
4800	76800	0	107	0.39 %	0	81	0.47 %	0	52	0.16 %	0	41	0.76 %
9600	153600	0	54	0.54 %	0	41	0.76 %	0	26	0.16 %	0	20	1.73 %
10400	166400	0	50	0.84 %	0	38	1.16 %	0	24	0.16 %	0	19	1.16 %
19200	307200	0	27	0.54 %	0	20	1.73 %	0	13	0.16 %	0	10	1.73 %
38400	614400	0	13	3.29 %	0	10	1.73 %	0	7	6.99% ^注	0	5	1.73 %
76800	1228800	0	7	4.09 %	0	5	1.73 %	-	-	-	0	3	15.2% ^注
153600	2457600	0	3	11.9 %	0	2	27.2% ^注	-	-	-	-	-	-

ボー・レート [bps]		= 20 MHz			= 14.746 MHz			= 12.288 MHz		
UART0, UART1	CSI0, CSI1	BPR	BRG	誤差	BPR	BRG	誤差	BPR	BRG	誤差
110	1760	4	178	0.25 %	4	131	0.07 %	3	218	0.08 %
150	2400	4	130	0.16 %	3	192	0.0 %	3	160	0.0 %
300	4800	3	130	0.16 %	2	192	0.0 %	2	160	0.0 %
600	9600	2	130	0.16 %	1	192	0.0 %	1	160	0.0 %
1200	19200	1	130	0.16 %	0	192	0.0 %	0	160	0.0 %
2400	38400	0	130	0.16 %	0	96	0.0 %	0	80	0.0 %
4800	76800	0	65	0.16 %	0	48	0.0 %	0	40	0.0 %
9600	153600	0	33	1.36 %	0	24	0.0 %	0	20	0.0 %
10400	166400	0	30	0.16 %	0	22	0.7 %	0	18	2.6 %
19200	307200	0	16	1.73 %	0	12	0.0 %	0	10	0.0 %
38400	614400	0	8	1.73 %	0	6	0.0 %	0	5	0.0 %
76800	1228800	0	4	1.73 %	0	3	0.0 %	0	3	16.7% ^注
153600	2457600	0	2	1.73 %	0	2	25.0% ^注	-	-	-

注 誤差が大きき使用不可

備考 BPR : プリスケアラ設定値 (BPRMnレジスタで設定 (n = 0, 1))

BRG : タイマ・カウント値 (BRGCnレジスタで設定 (n = 0, 1))

: 内部システム・クロック周波数

(c) ボー・レート誤差

ボー・レートの誤差は次のように表されます。

$$\text{誤差} [\%] = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100$$

例 (9520/9600 - 1) × 100 = - 0.833 [%]

(5000/4800 - 1) × 100 = + 4.167 [%]

(2) ボー・レート誤差許容範囲

許容範囲は、1 フレームのビット数に依存します。

16ビットでのボー・レート誤差：± 5 %，サンプル・タイミング：± 4.5 %を基本的な許容限度とします。

ただし、実用上の許容限度は、送信側，受信側がともに誤差を含んでいる場合を想定して，ボー・レート誤差：± 2.3 %です。

10.4.2 ボー・レート・ジェネレータ・コンペア・レジスタ 0, 1
(BRGC0, BRGC1)

BRGC0, BRGC1のタイマ・カウンタ値を設定する 8 ビットのコンペア・レジスタです。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
BRGC0	BRG07	BRG06	BRG05	BRG04	BRG03	BRG02	BRG01	BRG00	アドレス FFFFFF084H	リセット時 不定
BRGC1	BRG17	BRG16	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	FFFFFF094H	不定

注意 BRGCnレジスタへの書き込み動作により、内部タイマ (TMBRGn) がクリアされます。したがって、送受信動作中にソフトウェアでBRGCnレジスタを書き換えしないでください (n = 0, 1)。

10.4.3 ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ0, 1 (BPRM0, BPRM1)

BRG0, BRG1のタイマ・カウント動作制御とカウント・クロックの選択を行います。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
BPRM0	BRCE0	0	0	0	0	BPR02	BPR01	BPR00	アドレス FFFFFF086H	初期値 00H
BPRM1	BRCE1	0	0	0	0	BPR12	BPR11	BPR10	FFFFFF096H	00H

ビット位置	ビット名	意味																								
7	BRCEn	Baud Rate Generator Count Enable BRGnのカウント動作を制御します。 0 : クリアされたままカウント動作を停止します。 1 : カウント動作を許可します。																								
2-0	BPRn2- BPRn0	Baud Rate Generator Prescaler 内部タイマ (TMBRGn) へ入力するカウント・クロックを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>BPRn2</th> <th>BPRn1</th> <th>BPRn0</th> <th>カウント・クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>/2 (m=0)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>/4 (m=1)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>/8 (m=2)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>/16 (m=3)</td> </tr> <tr> <td>1</td> <td>任意</td> <td>任意</td> <td>/32 (m=4)</td> </tr> </tbody> </table> m : プリスケラ設定値 : 内部システム・クロック周波数	BPRn2	BPRn1	BPRn0	カウント・クロック	0	0	0	/2 (m=0)	0	0	1	/4 (m=1)	0	1	0	/8 (m=2)	0	1	1	/16 (m=3)	1	任意	任意	/32 (m=4)
BPRn2	BPRn1	BPRn0	カウント・クロック																							
0	0	0	/2 (m=0)																							
0	0	1	/4 (m=1)																							
0	1	0	/8 (m=2)																							
0	1	1	/16 (m=3)																							
1	任意	任意	/32 (m=4)																							

注意 送受信動作中にカウント・クロックを変更しないでください。

備考 n = 0, 1

第11章 A/Dコンバータ

11.1 特 徴

アナログ入力：4チャンネル
10ビットA/Dコンバータ内蔵
A/D変換結果レジスタ（ADCR0-ADCR3）内蔵
10ビット×4本
A/D変換トリガ・モード
A/Dトリガ・モード
タイマ・トリガ・モード
逐次変換方式

11.2 構 成

A/Dコンバータは逐次変換方式を採用しており，A/Dコンバータ・モード・レジスタ（ADM0，ADM1），ADCRnレジスタを使用してA/D変換動作を行います（n=0-3）。

（1）入力回路

ADM0，ADM1レジスタに設定したモードに従ってアナログ入力（ANI0-ANI3）を選択し，サンプル&ホールド回路に送ります。

（2）サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし，コンパレータに送ります。なおA/D変換動作中は，サンプリングしたアナログ入力を保持します。

（3）電圧コンパレータ

入力されたアナログ入力と直列抵抗ストリングの電圧タップの出力電圧を比較します。

（4）直列抵抗ストリング

直列抵抗ストリングは，アナログ入力と一致する電圧を発生させるためのものです。

直列抵抗ストリングは，A/Dコンバータ用の基準電圧端子（ AV_{REF} ）とA/Dコンバータ用のGND端子（ AV_{SS} ）間に接続されています。2端子間を1024の等価な電圧ステップにするため，等価な抵抗1023個とその1/2の抵抗値の抵抗2個で構成されています。

直列抵抗ストリングの電圧タップは，逐次変換レジスタ（SAR）で制御されるタップ・セレクタによって選択します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARは、直列抵抗ストリングの電圧タップの値がアナログ入力の電圧値と一致するデータを、最上位ビット (MSB) から 1 ビットずつ設定する10ビット・レジスタです。

SARの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARの内容 (変換結果) は、A/D変換結果レジスタ (ADCRn) に保持されます。

(6) A/D変換結果レジスタ (ADCRn : A/D Conversion Result Register n)

ADCRは、A/D変換結果を保持する10ビット・レジスタです。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。

$\overline{\text{RESET}}$ 入力により不定となります。

(7) コントローラ

ADM0, ADM1レジスタに設定したモードに従って、アナログ入力の選択、サンプル&ホールド回路の動作タイミングの生成、変換トリガの制御を行います。

(8) ANI0-ANI3端子

A/Dコンバータへの4チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANI0-ANI3入力電圧は規格の範囲内でご使用ください。特に V_{DD} 以上、 V_{SS} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(9) AV_{REF} 端子

A/Dコンバータの基準電圧を入力するための端子です。 AV_{REF} - AV_{SS} 間に加えられる電圧に基づいて $ANIn$ 端子に入力される信号をデジタル信号に変換します。

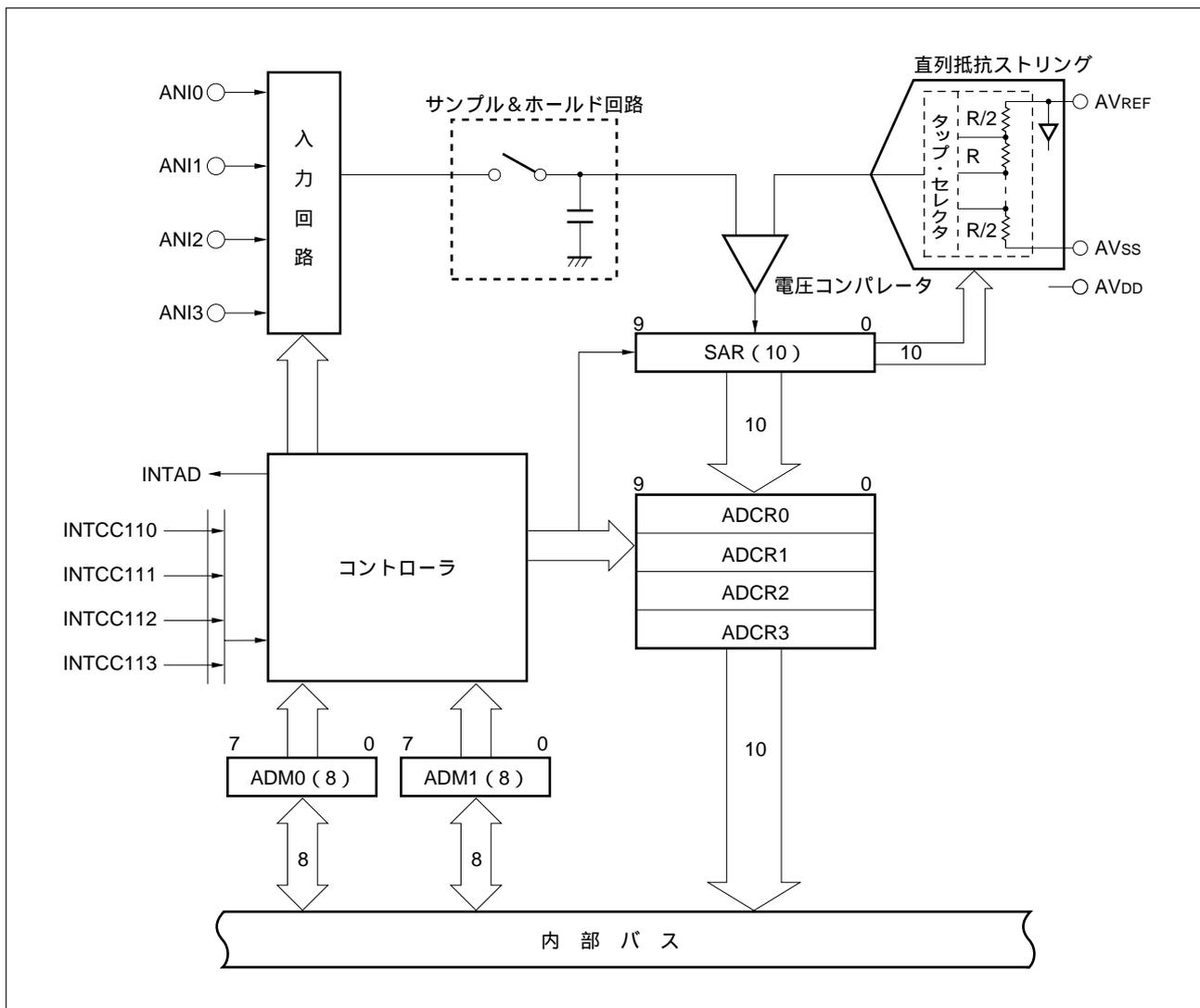
★ (10) AV_{DD} 端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に HV_{DD} と同電位で使用してください。

★ (11) AV_{SS} 端子

A/Dコンバータのグラウンド端子です。A/Dコンバータを使用しないときでも、常に V_{SS} と同電位で使用してください。

図11 - 1 A/Dコンバータのブロック図



注意 1 . アナログ入力端子 (ANI0-ANI3) および基準電圧入力端子 (AVREF) にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。

次に、ソフトウェア処理の例を示します。

- ・ 複数回のA/D変換結果の平均値を、A/D変換結果として使用する。
- ・ 複数回のA/D変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- ・ システムに異常が発生したと判断されるようなA/D変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

2 . A/Dコンバータの入力端子として使用している端子には、AVSS-AVREFの範囲外の電圧が加わらないようにしてください。

11.3 制御レジスタ

(1) A/Dコンバータ・モード・レジスタ0 (ADM0)

ADM0レジスタは、アナログ入力端子の選択、動作モードの指定および変換動作の制御を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。ただしA/D変換動作中にADM0レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。また、ビット6には書き込みできません。書き込みは無視されます。

	7	6	5	4	3	2	1	0		
ADM0	CE	CS	BS	MS	0	0 ^{注1}	ANIS1	ANIS0	アドレス FFFFFF380H	初期値 00H

ビット位置	ビット名	意味																																		
7	CE	Convert Enable A/D変換動作の許可 / 禁止を指定します。 0 : 禁止 1 : 許可																																		
6	CS	Converter Status A/Dコンバータの状態を示します。このビットは読み出し専用です。 0 : 停止 1 : 動作中																																		
5	BS	Buffer Select セレクト・モード時のバッファ・モードを指定します。 0 : 1 バッファ・モード 1 : 4 バッファ・モード																																		
4	MS	Mode Select A/Dコンバータの動作モードを指定します。 0 : スキャン・モード 1 : セレクト・モード																																		
1, 0	ANIS1, ANIS0	Analog Input Select A/D変換するアナログ入力端子を指定します。 <table border="1" data-bbox="539 1196 1353 1464"> <thead> <tr> <th rowspan="2">ANIS1</th> <th rowspan="2">ANIS0</th> <th colspan="2">セレクト・モード</th> <th colspan="2">スキャン・モード</th> </tr> <tr> <th>A/Dトリガ・モード</th> <th>タイマ・トリガ・モード</th> <th>A/Dトリガ・モード</th> <th>タイマ・トリガ・モード^{注2}</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>ANI0</td> <td>ANI0</td> <td>ANI0</td> <td>1 回</td> </tr> <tr> <td>0</td> <td>1</td> <td>ANI1</td> <td>ANI1</td> <td>ANI0, ANI1</td> <td>2 回</td> </tr> <tr> <td>1</td> <td>0</td> <td>ANI2</td> <td>ANI2</td> <td>ANI0-ANI2</td> <td>3 回</td> </tr> <tr> <td>1</td> <td>1</td> <td>ANI3</td> <td>ANI3</td> <td>ANI0-ANI3</td> <td>4 回</td> </tr> </tbody> </table>	ANIS1	ANIS0	セレクト・モード		スキャン・モード		A/Dトリガ・モード	タイマ・トリガ・モード	A/Dトリガ・モード	タイマ・トリガ・モード ^{注2}	0	0	ANI0	ANI0	ANI0	1 回	0	1	ANI1	ANI1	ANI0, ANI1	2 回	1	0	ANI2	ANI2	ANI0-ANI2	3 回	1	1	ANI3	ANI3	ANI0-ANI3	4 回
ANIS1	ANIS0	セレクト・モード			スキャン・モード																															
		A/Dトリガ・モード	タイマ・トリガ・モード	A/Dトリガ・モード	タイマ・トリガ・モード ^{注2}																															
0	0	ANI0	ANI0	ANI0	1 回																															
0	1	ANI1	ANI1	ANI0, ANI1	2 回																															
1	0	ANI2	ANI2	ANI0-ANI2	3 回																															
1	1	ANI3	ANI3	ANI0-ANI3	4 回																															

注1 . 必ず0を設定してください。

2 . スキャン・モード時のタイマ・トリガ・モード (4トリガ・モード) では , ANI0-ANI3端子のスキャン順序はコンペア・レジスタの一致信号の発生順序により指定されるため , 特定のアナログ入力端子を指定するのではなく , トリガ入力回数を指定します。

注意1 . タイマ・トリガ・モード時でCEビットが1のときは , トリガ信号待機状態になります。CEビットをクリアするには , 0を書き込むか , リセットしてください。

A/Dトリガ・モードでは , CEビットに1を書き込むことが変換のトリガになります。動作後 , CEビットをクリアせずにタイマ・トリガ・モードに変更した場合 , 変更直後からトリガ入力の待機状態になります。

2 . A/D変換を開始してからCSビット = 1になるまでに3クロックかかります。

(2) A/Dコンバータ・モード・レジスタ1 (ADM1)

ADM1レジスタは、変換動作時間の指定、トリガ・モードの指定を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。ただし、A/D変換動作中にADM1レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。

	7	6	5	4	3	2	1	0		
ADM1	0	0 ^{注1}	TRG1	TRG0	0	FR2	FR1	FR0	アドレス FFFFFF382H	初期値 07H

ビット位置	ビット名	意味																																																																												
5, 4	TRG1, TRG0	Trigger Mode トリガ・モードを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TRG1</th> <th>TRG0</th> <th>トリガ・モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>任意</td> <td>A/Dトリガ・モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>タイマ・トリガ・モード (1トリガ・モード)</td> </tr> <tr> <td>1</td> <td>1</td> <td>タイマ・トリガ・モード (4トリガ・モード)</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	TRG1	TRG0	トリガ・モード	0	任意	A/Dトリガ・モード	1	0	タイマ・トリガ・モード (1トリガ・モード)	1	1	タイマ・トリガ・モード (4トリガ・モード)	上記以外		設定禁止																																																													
TRG1	TRG0	トリガ・モード																																																																												
0	任意	A/Dトリガ・モード																																																																												
1	0	タイマ・トリガ・モード (1トリガ・モード)																																																																												
1	1	タイマ・トリガ・モード (4トリガ・モード)																																																																												
上記以外		設定禁止																																																																												
2-0	FR2-FR0	Frequency 変換動作時間を指定します。発振周波数を変化させた場合でも、A/D変換時間を大きく変化させないようにするための制御ビットです。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th rowspan="2">FR2</th> <th rowspan="2">FR1</th> <th rowspan="2">FR0</th> <th rowspan="2">変換 クロック数</th> <th colspan="4">変換動作時間 (μs) ^{注2}</th> </tr> <tr> <th>= 33 MHz</th> <th>= 30 MHz</th> <th>= 25 MHz</th> <th>= 16 MHz</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>48</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>72</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>96</td> <td>-</td> <td>-</td> <td>-</td> <td>6.00</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>120</td> <td>-</td> <td>-</td> <td>-</td> <td>7.50</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>168</td> <td>5.60</td> <td>5.09</td> <td>6.72</td> <td>-</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>192</td> <td>6.40</td> <td>5.82</td> <td>7.68</td> <td>-</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>240</td> <td>8.00</td> <td>7.27</td> <td>9.60</td> <td>-</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>336</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> </tbody> </table> <p>備考 : 内部システム・クロック周波数 - : 設定禁止</p>	FR2	FR1	FR0	変換 クロック数	変換動作時間 (μs) ^{注2}				= 33 MHz	= 30 MHz	= 25 MHz	= 16 MHz	0	0	0	48	-	-	-	-	0	0	1	72	-	-	-	-	0	1	0	96	-	-	-	6.00	0	1	1	120	-	-	-	7.50	1	0	0	168	5.60	5.09	6.72	-	1	0	1	192	6.40	5.82	7.68	-	1	1	0	240	8.00	7.27	9.60	-	1	1	1	336	-	-	-	-
FR2	FR1	FR0					変換 クロック数	変換動作時間 (μs) ^{注2}																																																																						
			= 33 MHz	= 30 MHz	= 25 MHz	= 16 MHz																																																																								
0	0	0	48	-	-	-	-																																																																							
0	0	1	72	-	-	-	-																																																																							
0	1	0	96	-	-	-	6.00																																																																							
0	1	1	120	-	-	-	7.50																																																																							
1	0	0	168	5.60	5.09	6.72	-																																																																							
1	0	1	192	6.40	5.82	7.68	-																																																																							
1	1	0	240	8.00	7.27	9.60	-																																																																							
1	1	1	336	-	-	-	-																																																																							

注1 . 必ず0を設定してください。

2 . 変換動作時間は目標値です。

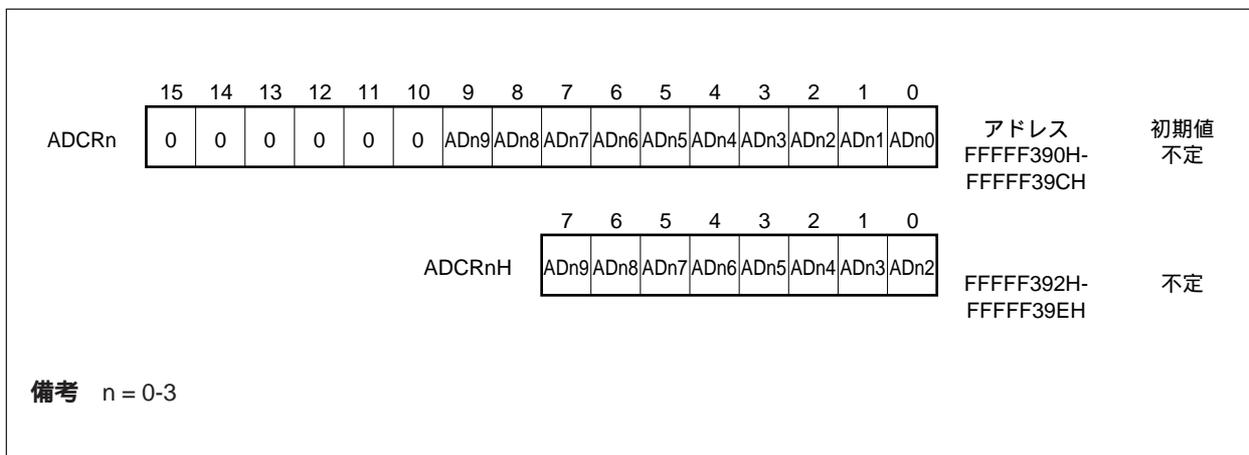
★
★
★

(3) A/D変換結果レジスタ (ADCR0-ADCR3, ADCR0H-ADCR3H)

ADCRnレジスタは、A/D変換の結果を保持する10ビット・レジスタです。4本の10ビット・レジスタを備えています (n=0-3)。

16/8ビット単位でリードだけ可能です。このレジスタへの16ビット・アクセス時はADCRnレジスタを、上位8ビット・アクセス時はADCRnHレジスタを指定します。

ADCRnレジスタからA/D変換結果の10ビット・データを読み出す場合には、下位の10ビットだけが有効となり、上位6ビットは常に0が読み出されます。



各アナログ入力端子とADCRnレジスタの対応 (4バッファ・モードを除く) を次に示します。

アナログ入力端子	ADCRnレジスタ
ANI0	ADCR0, ADCR0H
ANI1	ADCR1, ADCR1H
ANI2	ADCR2, ADCR2H
ANI3	ADCR3, ADCR3H

アナログ入力端子 (ANI0-ANI3) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ (ADCRn)) には次式に示す関係があります。

$$ADCR = INT \left(\frac{V_{IN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

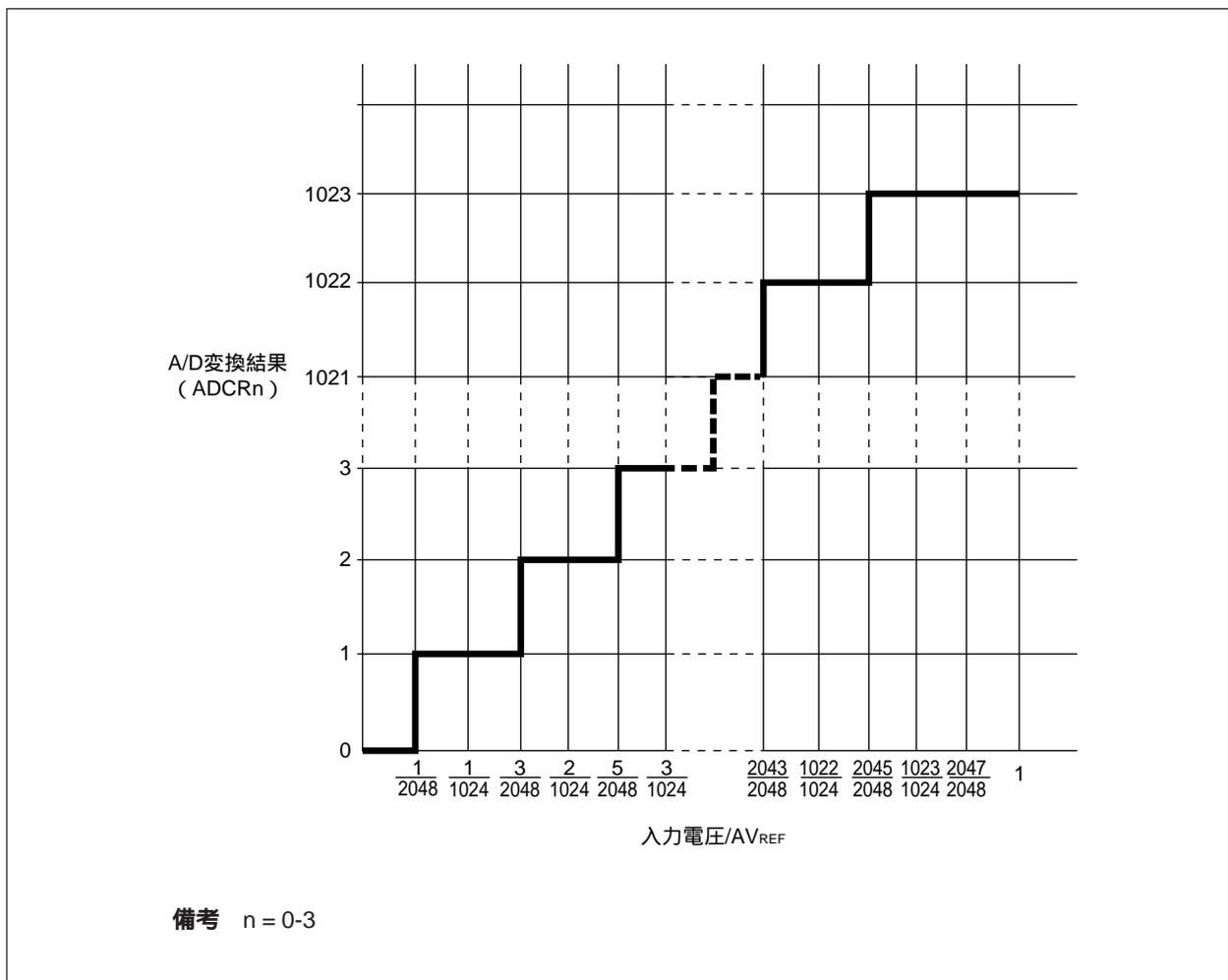
または,

$$(ADCR - 0.5) \times \frac{AV_{REF}}{1024} < V_{IN} < (ADCR + 0.5) \times \frac{AV_{REF}}{1024}$$

- INT () : () 内の値の整数部を返す関数
- V_{IN} : アナログ入力電圧
- AV_{REF} : AV_{REF} 端子電圧
- ADCR : A/D変換結果レジスタ (ADCRn) の値

図11-2に, アナログ入力電圧とA/D変換結果の関係を示します。

図11-2 アナログ入力電圧とA/D変換結果の関係



11.4 A/Dコンバータ動作

11.4.1 A/Dコンバータ基本動作

A/D変換は次の手順で行います。

- (1) アナログ入力を選択、動作モード、トリガ・モードなどの指定を、ADM0, ADM1レジスタに設定します^{注1}。
ADM0レジスタのCEビットをセット(1)すると、A/Dトリガ・モード時はA/D変換を開始します。タイマ・トリガ・モードは、トリガ待機状態^{注2}になります。
- (2) 直列抵抗ストリングの電圧タップから発生した電圧とアナログ入力をコンパレータで比較します。
- (3) 10ビットの比較が終了したとき、ADCRnレジスタに変換結果を格納します。指定した回数のA/D変換が終了したとき、A/D変換終了割り込み(INTAD)を発生します(n=0-3)。

注1 . A/D変換動作中にADM0, ADM1レジスタの内容を変更した場合、変更前のA/D変換動作は停止し、ADCRnレジスタへ変換結果を格納しません。

- 2 . タイマ・トリガ・モードの場合、ADM0レジスタのCEビットを1にすると、トリガ待機状態に遷移します。またA/D変換動作は、トリガ信号によって起動され、A/D変換動作が終了するとトリガ待機状態に戻ります。

11.4.2 動作モードとトリガ・モード

A/Dコンバータは、動作モード、トリガ・モードの指定により多彩な変換動作を指定できます。動作モード、トリガ・モードは、ADM0, ADM1レジスタで設定します。

動作モード、トリガ・モードの関係を次に示します。

トリガ・モード		動作モード		設定値		アナログ入力
				ADM0レジスタ	ADM1レジスタ	
A/Dトリガ		セレクト	1バッファ	xx0100xxB	000x0xxxB	ANI0-ANI3
			4バッファ	xx1100xxB	000x0xxxB	
		スキャン		xxx000xxB	000x0xxxB	
タイマ・トリガ	1トリガ	セレクト	1バッファ	xx0100xxB	00100xxxB	
			4バッファ	xx1100xxB	00100xxxB	
		スキャン		xxx000xxB	00100xxxB	
	4トリガ	セレクト	1バッファ	xx0100xxB	00110xxxB	
			4バッファ	xx1100xxB	00110xxxB	
		スキャン		xxx000xxB	00110xxxB	

(1) トリガ・モード

A/D変換処理の開始タイミングとなるトリガ・モードには、A/Dトリガ・モード、タイマ・トリガ・モードの2通りがあります。またタイマ・トリガ・モードには、サブトリガ・モードとして、1トリガ・モードと4トリガ・モードがあります。これらのトリガ・モードは、ADM1レジスタで設定します。

(a) A/Dトリガ・モード

ANI0-ANI3端子に設定されたアナログ入力の変換タイミングを、A/Dコンバータ・ユニット内部で発生するモードです。

(b) タイマ・トリガ・モード

ANI0-ANI3端子に設定されたアナログ入力の変換タイミングを、TM11のコンペア・レジスタに設定した値で規定するモードです。

16ビットのTM11に接続された4本のキャプチャ/コンペア・レジスタ(CC110-CC113)の一致割り込み発生により、アナログ入力変換タイミングを生成します。

タイマ・トリガ・モードには、1トリガ・モードと4トリガ・モードの2通りのサブトリガ・モードがあります。

・ 1トリガ・モード

タイマ11からの1つの一致割り込みをA/D変換開始タイミングとして使用するモードです。

・ 4トリガ・モード

タイマ11からの4つの一致割り込みをA/D変換開始タイミングとして使用するモードです。

(2) 動作モード

動作モードには、ANI0-ANI3端子を設定するモードとして、セレクト・モード、スキャン・モードの2通りがあります。セレクト・モードには、サブモードとして1バッファ・モードと4バッファ・モードがあります。これらのモードは、ADM0レジスタで設定します。

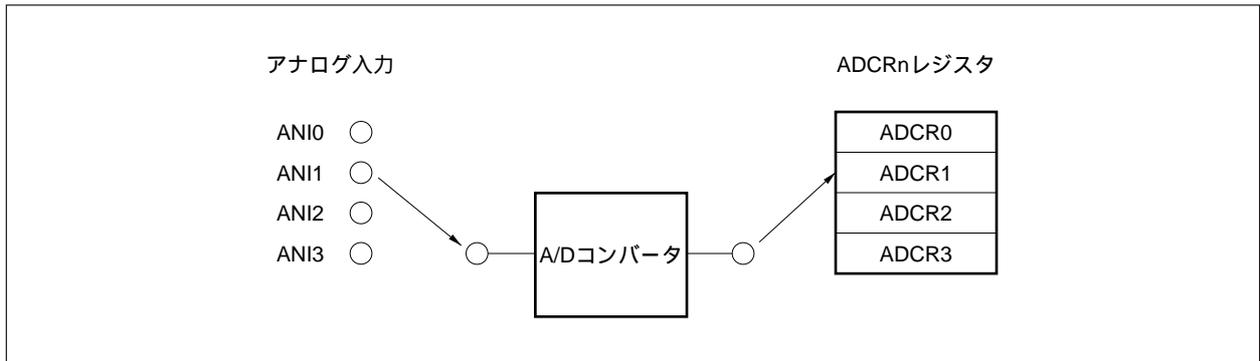
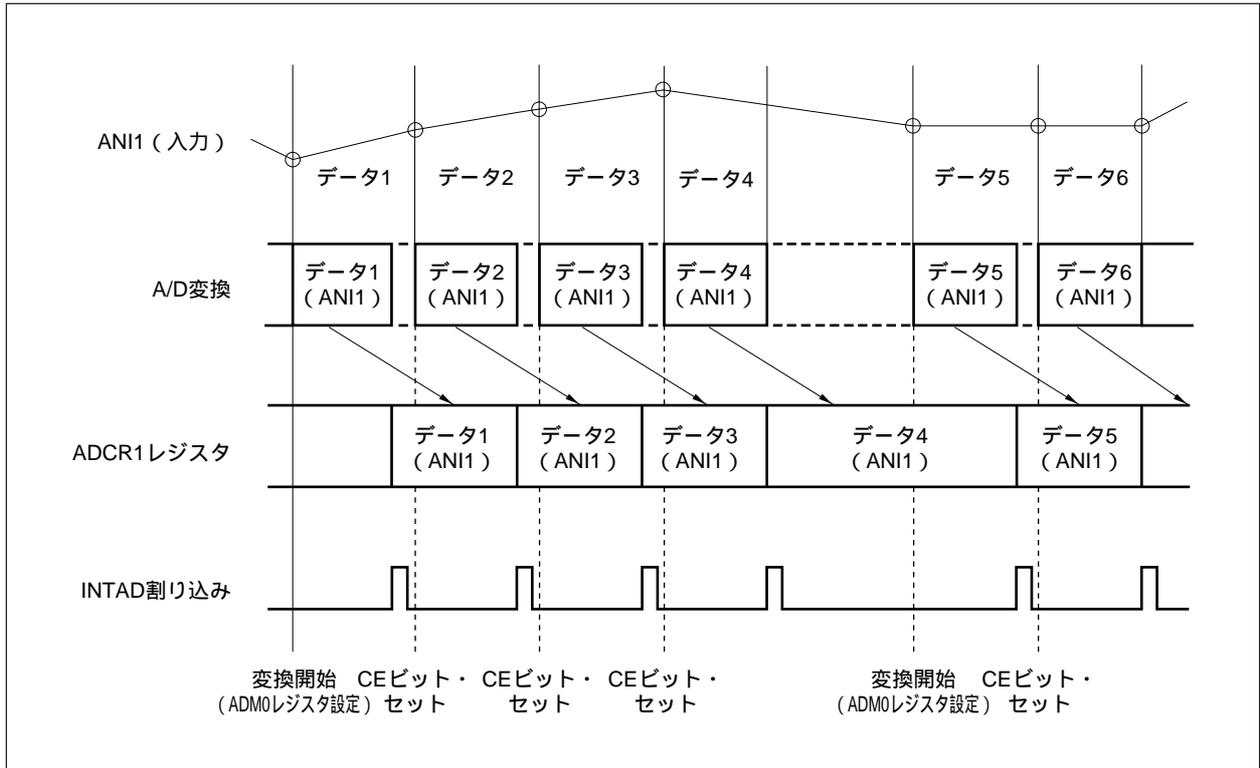
(a) セレクト・モード

ADM0レジスタで指定される1つのアナログ入力をA/D変換します。変換結果は、アナログ入力(ANIn)に対応したADCRnレジスタに格納します。このモードでは、A/D変換結果の格納方法として1バッファ・モードと4バッファ・モードを備えています(n=0-3)。

・ 1バッファ・モード

ADM0レジスタで指定される1つのアナログ入力をA/D変換します。変換結果は、アナログ入力(ANIn)に対応したADCRnレジスタに格納します。ANInとADCRnレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/D変換終了割り込み(INTAD)が発生します。

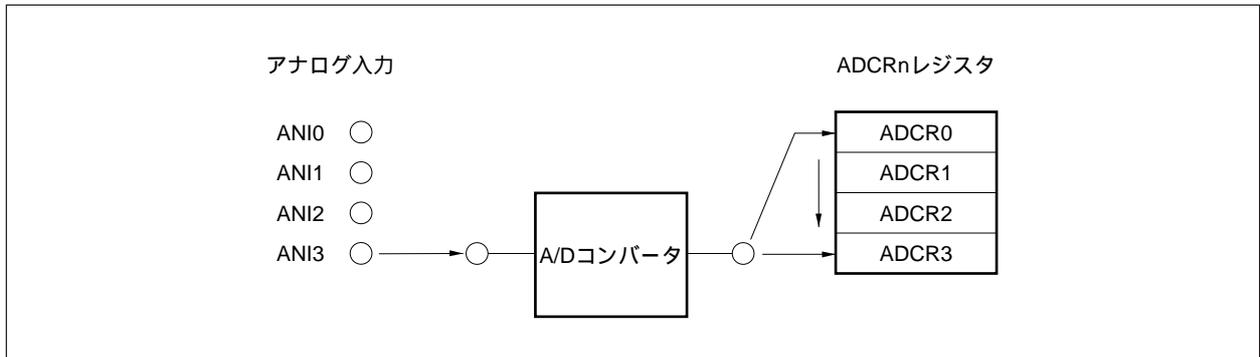
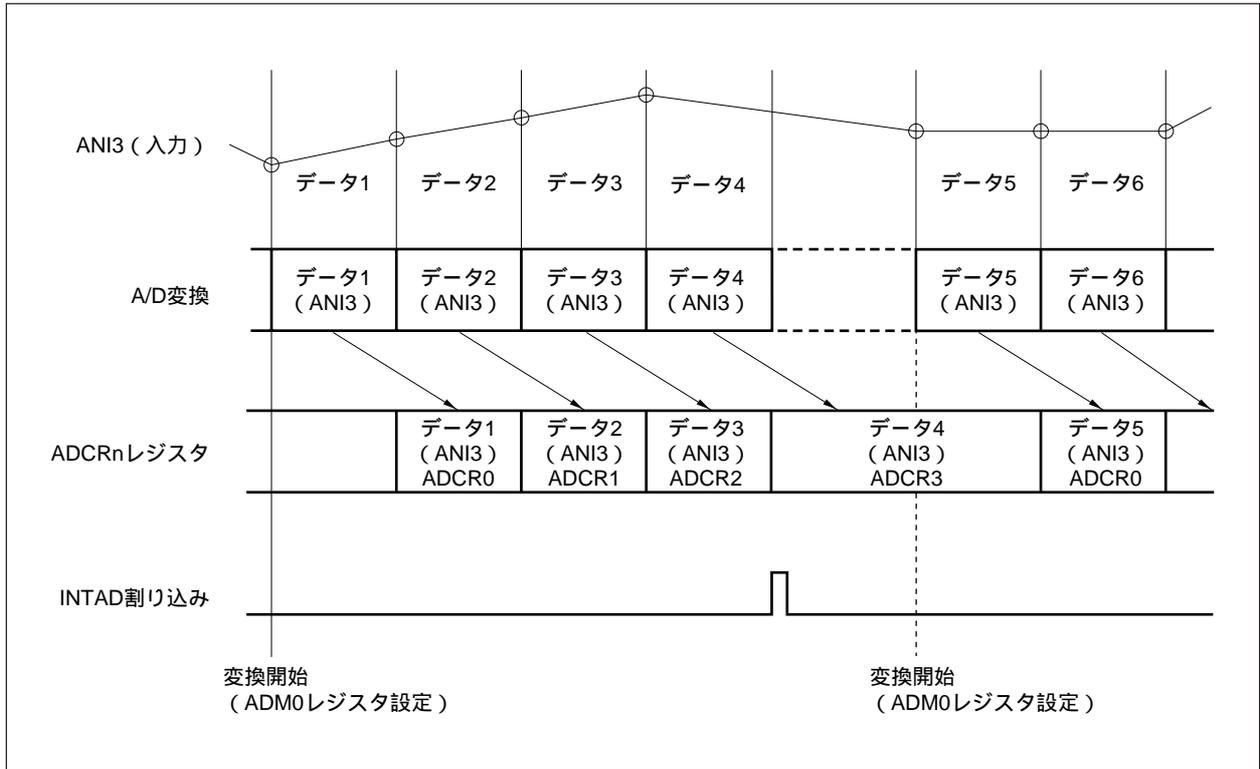
★ 図11 - 3 セレクト・モードの動作タイミング例：1バッファ・モード (ANI1)



・ 4バッファ・モード

1つのアナログ入力を4回A/D変換し、その結果をADCR0-ADCR3レジスタに格納します。A/D変換終了割り込み（INTAD）は、4回のA/D変換が終了したときに発生します。

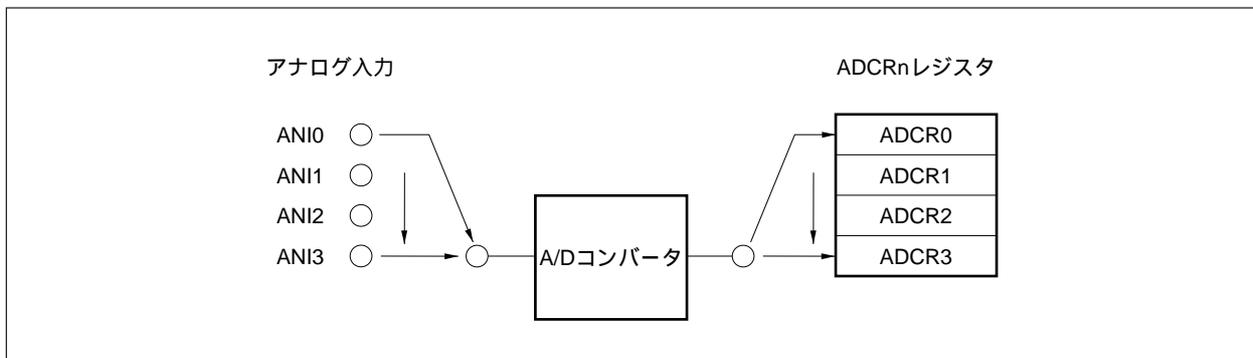
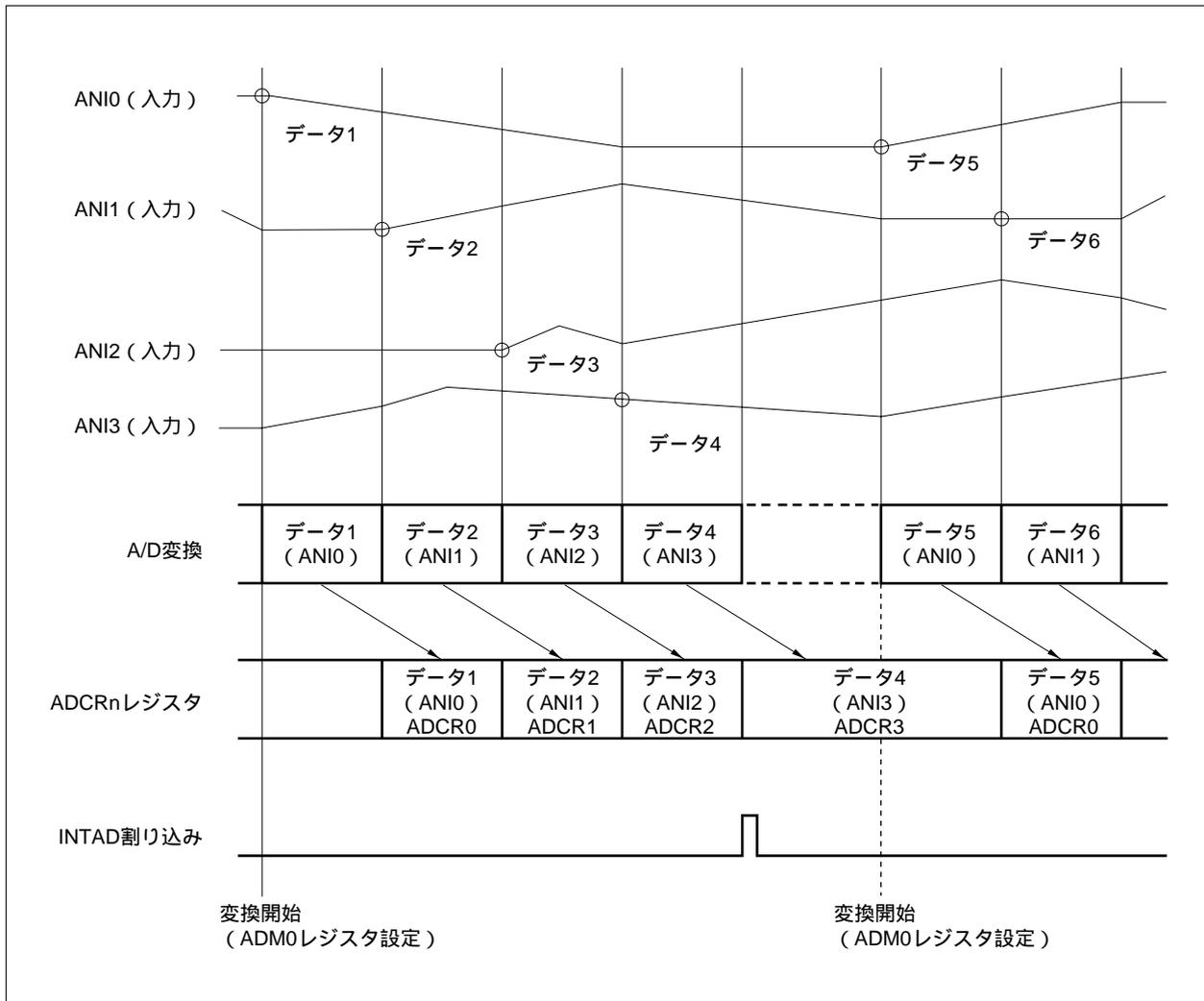
★ 図11 - 4 セレクト・モードの動作タイミング例：4バッファ・モード（ANI3）



(b) スキャン・モード

ANI0端子から、ADM0レジスタで指定したアナログ入力までを順に選択し、A/D変換します。A/D変換結果は、アナログ入力に対応したADCRnレジスタに格納します (n = 0-3)。指定したアナログ入力の変換が終了すると、A/D変換終了割り込み (INTAD) が発生します。

★ 図11 - 5 スキャン・モードの動作タイミング例：4チャンネル・スキャン (ANI0-ANI3)



11.5 A/Dトリガ・モード時の動作

ADM0レジスタのCEビットを1に設定すると、A/D変換を開始します。

11.5.1 セレクト・モードの動作

ADM0レジスタで指定されるアナログ入力をA/D変換します。変換結果は、ADCRnレジスタに格納します。セレクト・モードでは、A/D変換結果の格納法により1バッファ・モードと4バッファ・モードをサポートします（ $n=0-3$ ）。

(1) 1バッファ・モード (A/Dトリガ・セレクト・1バッファ)

1つのアナログ入力を1回A/D変換し、その結果を1つのADCRnレジスタに格納します。アナログ入力とADCRnレジスタは、1対1に対応しています。

1回のA/D変換ごとにINTAD割り込みを発生し、A/D変換を終了します。

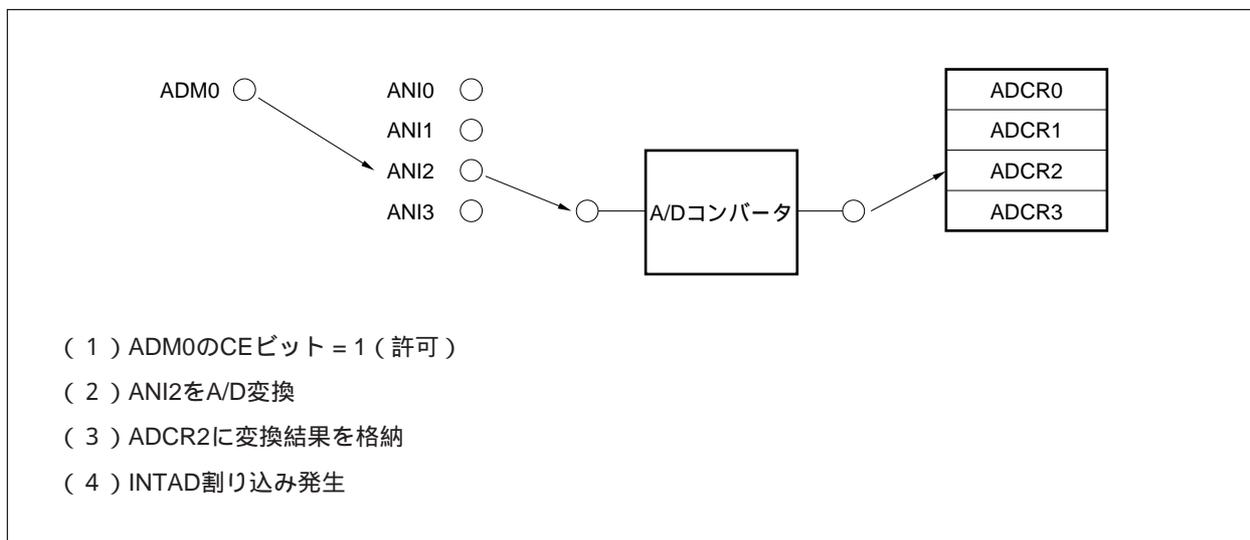
アナログ入力	A/D変換結果レジスタ
ANIn	ADCRn

($n=0-3$)

ADM0レジスタのCEビットに1を書き込むと、A/D変換を再起動できます。

1回目のA/D変換ごとに結果を読み出すような応用に最適です。

図11-6 1バッファ・モード (A/Dトリガ・セレクト・1バッファ) の動作例



(2) 4バッファ・モード (A/Dトリガ・セレクト・4バッファ)

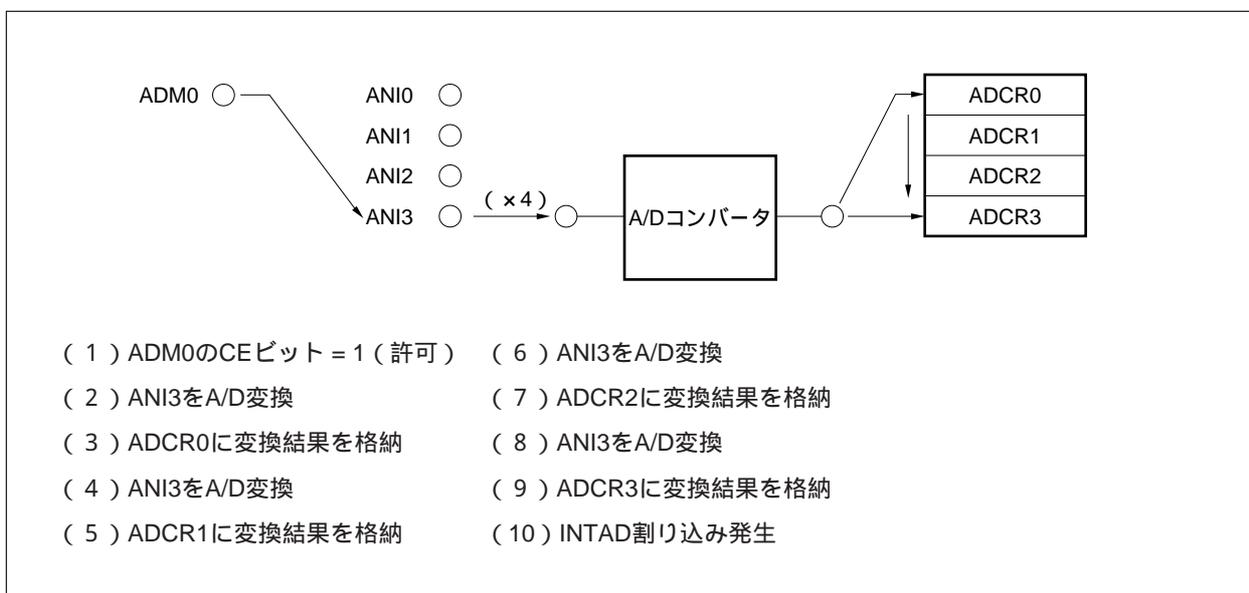
1つのアナログ入力を4回A/D変換し、その結果をADCR0-ADCR3レジスタに格納します。4回のA/D変換が終了すると、INTAD割り込みを発生し、A/D変換を終了します。

アナログ入力	A/D変換結果レジスタ
ANIn	ADCR0
ANIn	ADCR1
ANIn	ADCR2
ANIn	ADCR3

(n = 0-3)

ADM0レジスタのCEビットに1を書き込むと、A/D変換を再起動できます。
A/D変換結果の平均を求めるような応用に最適です。

図11-7 4バッファ・モード (A/Dトリガ・セレクト・4バッファ) の動作例



11.5.2 スキャン・モードの動作

ANI0端子からADM0レジスタで指定されるアナログ入力までを順に選択し、A/D変換します。A/D変換結果をアナログ入力に対応したADCRnレジスタに格納します (n = 0-3)。

指定したアナログ入力の変換をすべて終了すると、INTAD割り込みを発生し、A/D変換を終了します。

アナログ入力	A/D変換結果レジスタ
ANI0	ADCR0
⋮	⋮
ANIn ^注	ADCRn

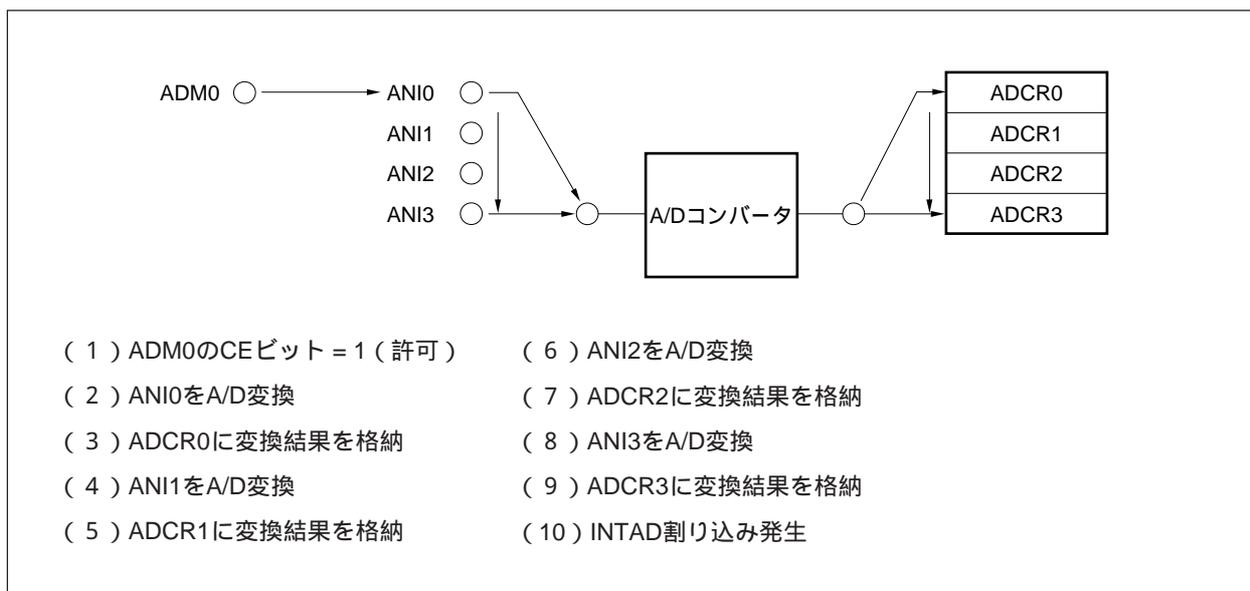
(n = 0-3)

注 ADM0レジスタのANIS0-ANIS2ビットで設定。

ADM0レジスタのCEビットに1を書き込むと、A/D変換を再起動できます。

複数のアナログ入力を常時監視するような応用に最適です。

図11 - 8 スキャン・モード (A/Dトリガ・スキャン) の動作例



11.6 タイマ・トリガ・モード時の動作

A/Dコンバータは、TM11のコンペア・レジスタの一致割り込み信号で、最大4チャンネルのアナログ入力（ANI0-ANI3）に変換タイミングを設定できます。

アナログ変換のトリガ指定用タイマには、TM11と4本のキャプチャ/コンペア・レジスタ（CC110-CC113）を使用します。

TUM11レジスタの指定に応じて、次の2つのモードがあります。

（1）ワンショット・モード

ワンショット・モードを使用するには、TUM11レジスタのOSTビットに1（ワンショット・モード）を設定します。

A/D変換の周期がTM11の周期より長い場合、TM11はオーバフローを発生し、0000Hを保持して停止します。以降、TM11はコンペア・レジスタの一致割り込み信号（A/D変換トリガ）を出力せず、A/DコンバータもA/D変換待機状態となります。TM11のカウント動作は、TCLR11端子入力の有効エッジが検出されるか、またはTMC11レジスタのCE11ビットに1を書き込むと再開します。

（2）ループ・モード

ループ・モードを使用するには、TUM11レジスタのOSTビットに0（ノーマル・モード）を設定します。

TM11がオーバフローを発生するとTM11は再び0000Hからカウントを始めるため、コンペア・レジスタの一致割り込み信号（A/D変換トリガ）が繰り返し出力されて、A/D変換も繰り返し行われます。

11.6.1 セレクト・モードの動作

ADM0レジスタで指定される1つのアナログ入力 (ANI0-ANI3) をA/D変換します。変換結果は, ADCRnレジスタに格納します。セレクト・モードではA/D変換結果の格納方法により, 1バッファ・モードと4バッファ・モードの2通りがあります (n=0-3)。

(1) 1バッファ・モードの動作 (タイマ・トリガ・セレクト・1バッファ)

1つのアナログ入力を1回A/D変換し, その結果を1つのADCRnレジスタに格納します。

1バッファ・モードでは, トリガの回数により1トリガ・モードと4トリガ・モードの2つのモードがあります。

(a) 1トリガ・モード (タイマ・トリガ・セレクト・1バッファ・1トリガ)

一致割り込み信号 (INTCC110) をトリガとして, 1つのアナログ入力を1回A/D変換し, その結果を1つのADCRnレジスタに格納します。1回のA/D変換ごとにINTAD割り込みを発生し, A/D変換を終了します。

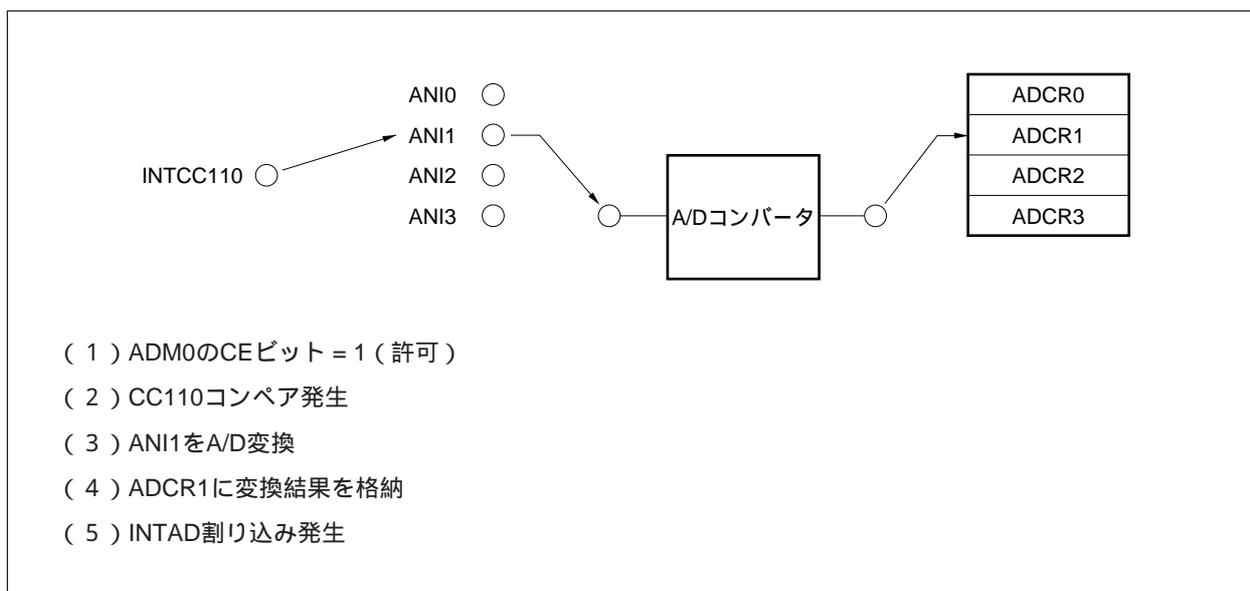
トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANIn	ADCRn

(n = 0-3)

TM11をワンショット・モードに設定している場合は, 1回の変換でA/D変換を終了します。A/D変換を再起動するには, TCLR11端子に有効エッジを入力するか, またはTMC11レジスタのCE11ビットに1を書き込むことで, TM11を再起動してください。

ループ・モードに設定している場合は, ADM0レジスタのCEビットを0に設定しないかぎり, 一致割り込みが発生するごとにA/D変換を繰り返します。

図11 - 9 1トリガ・モード (タイマ・トリガ・セレクト・1バッファ・1トリガ) の動作例



(b) 4トリガ・モード(タイマ・トリガ・セレクト・1バッファ・4トリガ)

4つの一致割り込み信号(INTCC110-INTCC113)をトリガとして、1つのアナログ入力を4回A/D変換し、その結果を1つのADCRnレジスタに格納します。1回のA/D変換ごとにINTAD割り込みを発生し、ADM0レジスタのCSビットがリセット(0)されます。1回のA/D変換結果は、次のA/D変換が終了するまでADCRnレジスタに保持されます。各A/D変換終了後のINTAD割り込みで、変換結果をメモリへ転送するなどの処理をしてください。

トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANIn	ADCRn
INTCC111割り込み	ANIn	ADCRn
INTCC112割り込み	ANIn	ADCRn
INTCC113割り込み	ANIn	ADCRn

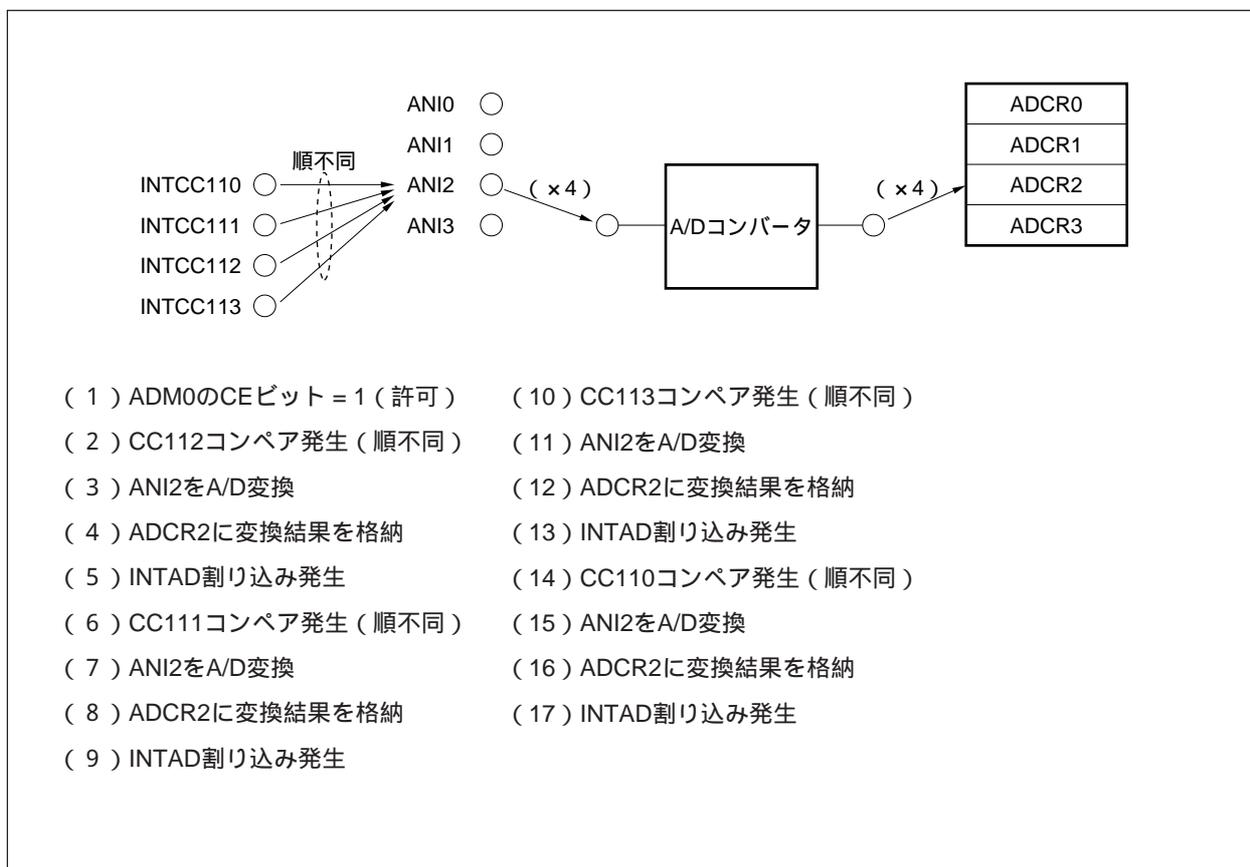
(n = 0-3)

TM11をワンショット・モードに設定している場合、A/D変換を4回で終了します。A/D変換を再起動するには、TCLR11端子に有効エッジを入力するか、またはTMC11レジスタのCE11ビットに1を書き込むことで、TM11を再起動してください。TM11再起動後の最初の一致割り込みが発生するとCSビットがセット(1)され、A/D変換を開始します。

ループ・モードに設定している場合は、ADM0レジスタのCEビットを0に設定しないかぎり、一致割り込みが発生するごとにA/D変換を繰り返します。

一致割り込み(INTCC110-INTCC113)はどのような順番で発生しても問題ありません。また、同一トリガが連続して入った場合もトリガとして受け付けます。

図11-10 4トリガ・モード(タイマ・トリガ・セレクト・1バッファ・4トリガ)の動作例



(2) 4バッファ・モードの動作(タイマ・トリガ・セレクト・4バッファ)

1つのアナログ入力を4回A/D変換し、その結果をADCR0-ADCR3レジスタに格納します。4バッファ・モードには、トリガの回数により1トリガ・モード、4トリガ・モードの2通りがあります。

A/D変換結果の平均を求めるような応用に最適です。

(a) 1トリガ・モード

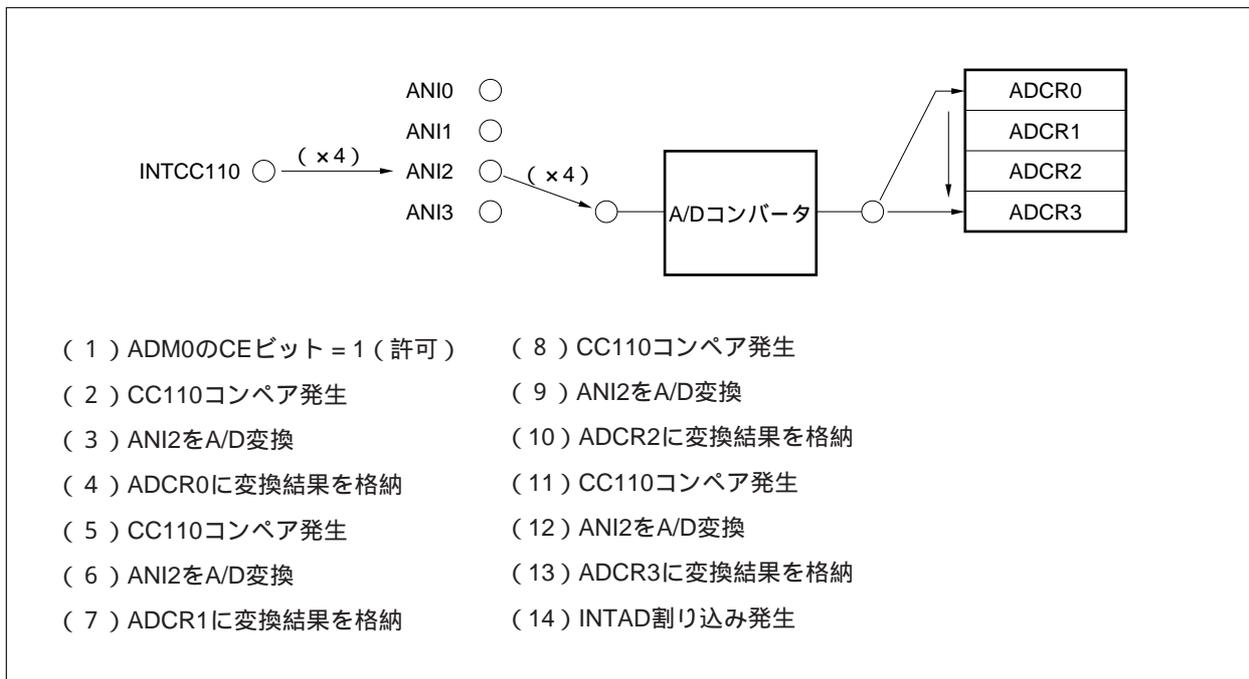
一致割り込み信号(INTCC110)をトリガとして、1つのアナログ入力を4回A/D変換し、その結果をADCR0-ADCR3レジスタに格納します。A/D変換が4回終了するとINTAD割り込みを発生し、A/D変換を終了します。

トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANIn	ADCR0
INTCC110割り込み	ANIn	ADCR1
INTCC110割り込み	ANIn	ADCR2
INTCC110割り込み	ANIn	ADCR3

(n = 0-3)

TM11をワンショット・モードに設定しており、一致割り込みの発生が4回未満のときCEビットを0に設定すると、INTAD割り込みは発生せず待機状態となります。

図11-11 1トリガ・モード(タイマ・トリガ・セレクト・4バッファ・1トリガ)の動作例



(b) 4トリガ・モード

4つの一致割り込み信号 (INTCC110-INTCC113) をトリガとして、1つのアナログ入力を4回A/D変換し、その結果を入力されたトリガに対応したADCRnレジスタに格納します。A/D変換が4回終了するとINTAD割り込みを発生し、CSビットがリセット (0) され、A/D変換を終了します。

トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANIn	ADCR0
INTCC111割り込み	ANIn	ADCR1
INTCC112割り込み	ANIn	ADCR2
INTCC113割り込み	ANIn	ADCR3

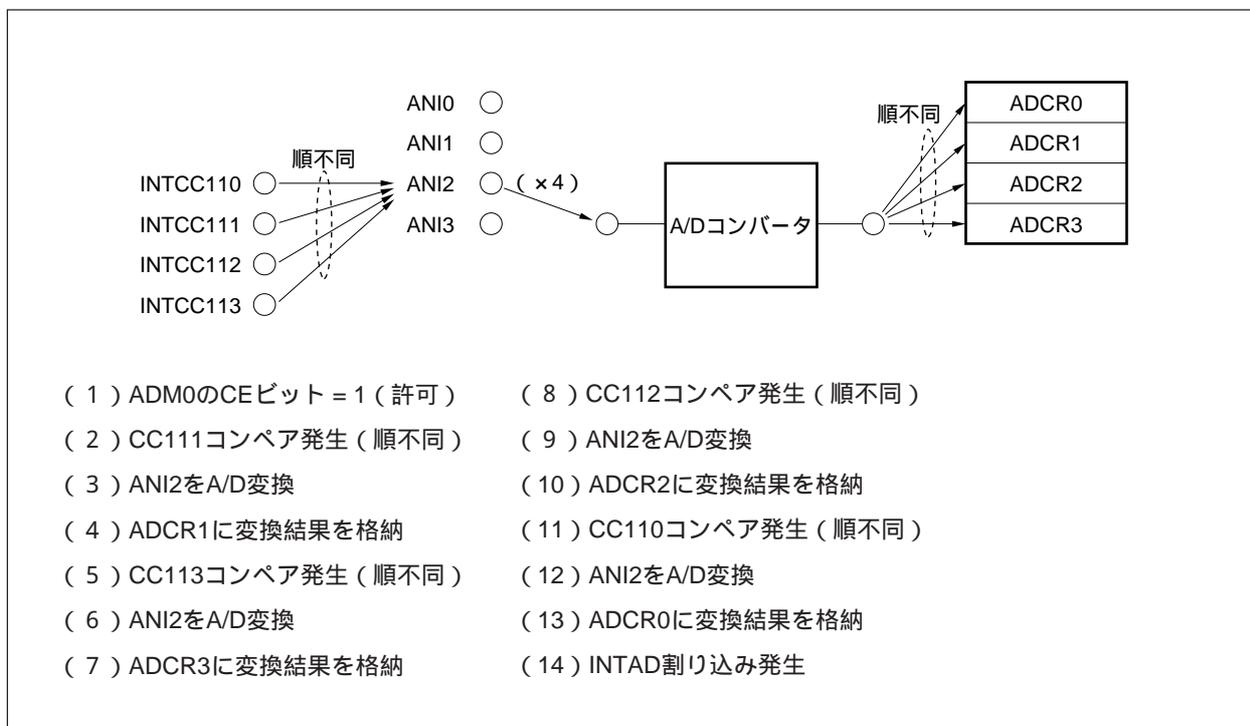
(n = 0-3)

TM11をワンショット・モードに設定している場合、A/D変換を4回で終了します。A/D変換を再起動するには、TCLR11端子に有効エッジを入力するか、またはTMC11レジスタのCE11ビットに1を書き込むことで、TM11を再起動してください。TM11再起動後の最初の一致割り込みが発生するとCSビットがセット (1) され、A/D変換を行います。

ループ・モードに設定している場合は、CEビットを0に設定しないかぎり、一致割り込みが発生するごとにA/D変換を繰り返します。

一致割り込み (INTCC110-INTCC113) はどのような順番で発生しても問題ありません。変換結果は入力されたトリガに対応したADCRnレジスタに格納されます。また、同一のトリガが連続して入った場合もトリガとして受け付けます。

図11 - 12 4トリガ・モード (タイマ・トリガ・セレクト・4バッファ・4トリガ) の動作例



11.6.2 スキャン・モードの動作

ANI0端子からADM0レジスタで指定されるアナログ入力までを順に選択し、一致割り込みトリガとして指定された回数のA/D変換を行います。

設定した回数のA/D変換が終了するとINTAD割り込みを発生し、A/D変換を終了します。

スキャン・モードにはトリガの回数により、1トリガ・モードと4トリガ・モードの2通りがあります。

複数のアナログ入力を常時監視するような応用に最適です。

(1) 1トリガ・モード(タイマ・トリガ・スキャン・1トリガ)

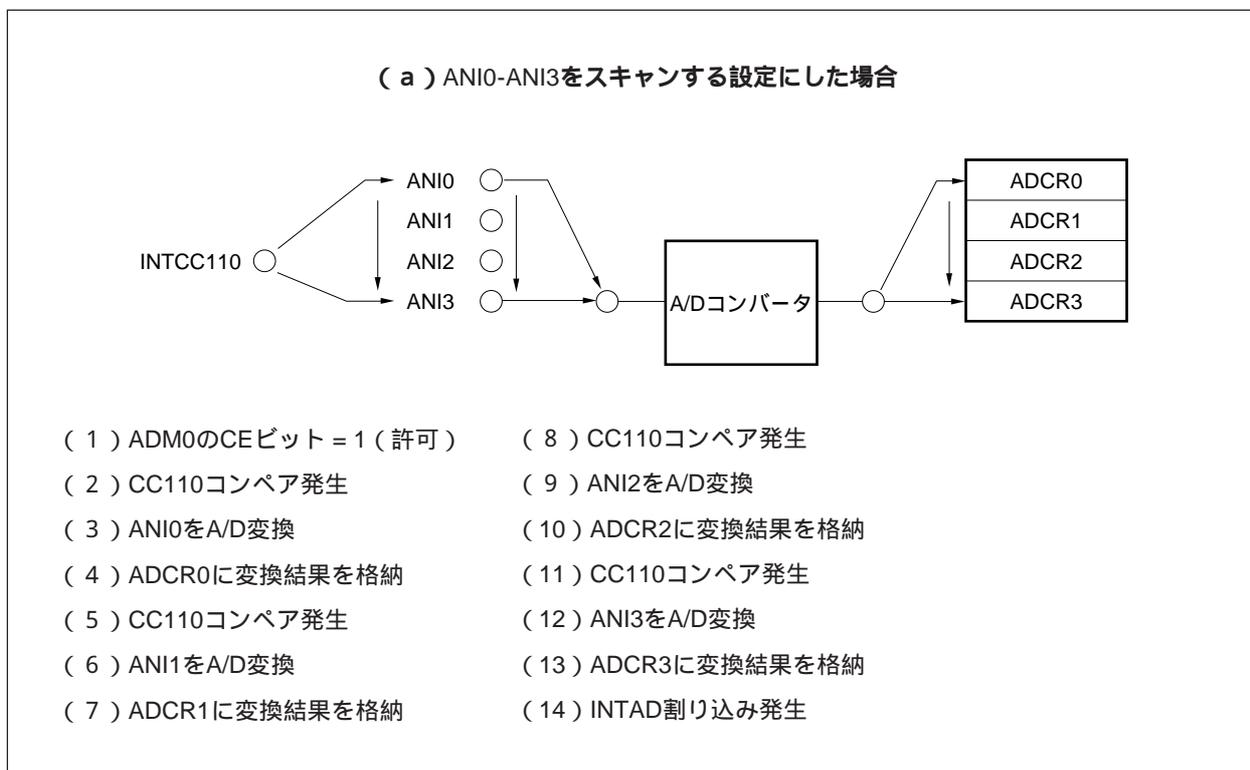
一致割り込み信号 (INTCC110) をトリガとして、指定された回数のアナログ入力をANI0端子から順にA/D変換します。アナログ入力とADCRnレジスタは1対1に対応します。指定されたすべてのA/D変換が終了すると、INTAD割り込みを発生し、A/D変換を終了します。

トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANI0	ADCR0
INTCC110割り込み	ANI1	ADCR1
INTCC110割り込み	ANI2	ADCR2
INTCC110割り込み	ANI3	ADCR3

指定されたすべてのA/D変換終了後に一致割り込みが発生すると、A/D変換を再起動します。

TM11がワンショット・モードに設定されており、一致割り込みの発生が指定された変換数未満のときに、INTAD割り込みは発生せずに待機状態になります。

図11-13 1トリガ・モード(タイマ・トリガ・スキャン・1トリガ)の動作例



(2) 4トリガ・モード

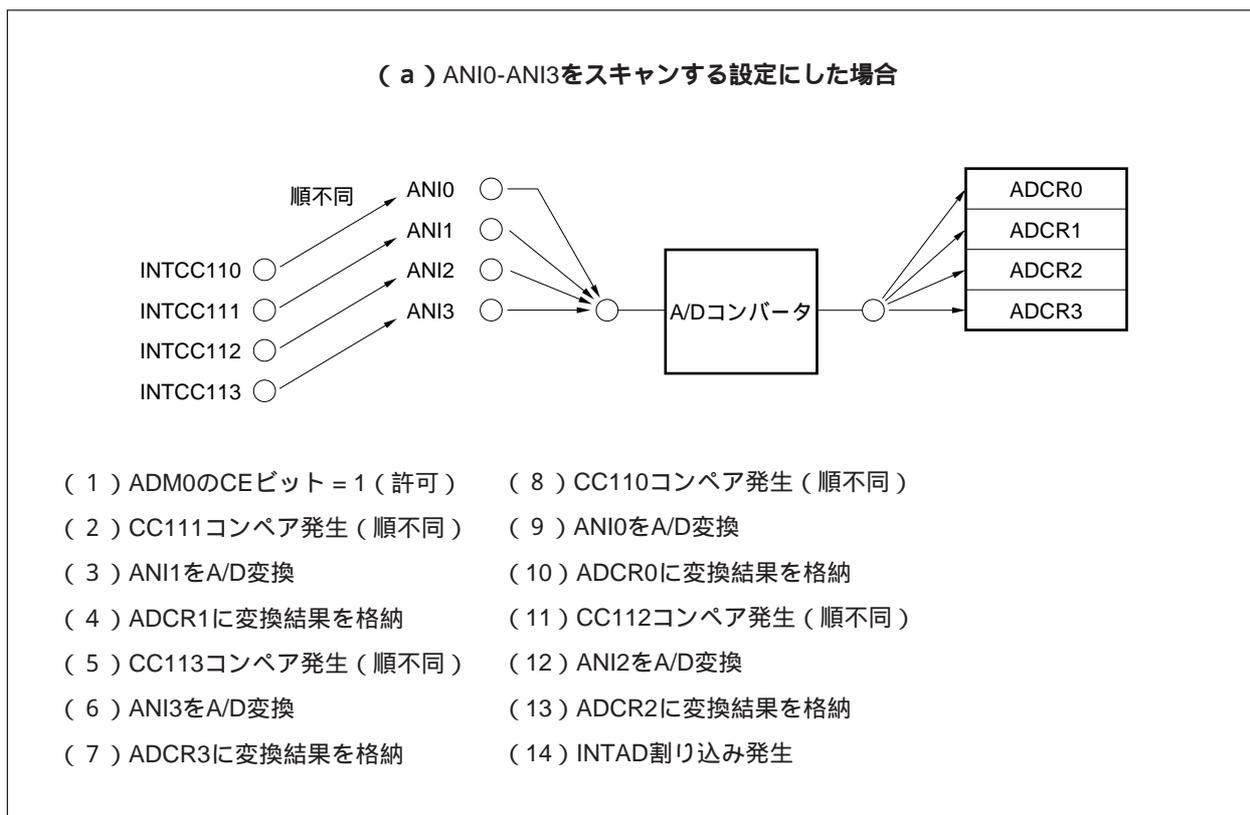
一致割り込み信号 (INTCC110-INTCC113) をトリガとして、指定された回数のアナログ入力をA/D変換します。アナログ入力とADCRnレジスタは1対1に対応します。指定されたすべてのA/D変換が終了すると、INTAD割り込みを発生し、A/D変換を終了します。

トリガ	アナログ入力	A/D変換結果レジスタ
INTCC110割り込み	ANI0	ADCR0
INTCC111割り込み	ANI1	ADCR1
INTCC112割り込み	ANI2	ADCR2
INTCC113割り込み	ANI3	ADCR3

TM11をワンショット・モードに設定している場合に変換を再起動するには、TM11を再起動してください。ループ・モードに設定していてCEビットが1の場合は、変換終了後に再び一致割り込みが発生するとA/D変換を再起動します。

一致割り込みはどのような順で発生しても問題ありません。ただし、トリガ信号とアナログ入力が1対1に対応しているため、コンペア・レジスタの一致信号の発生順でスキャンの順番が決定します。

図11-14 4トリガ・モード (タイマ・トリガ・スキャン・4トリガ) の動作例



11.7 動作上の注意事項

11.7.1 変換動作の停止

変換動作中にADM0レジスタのCEビットに0を書き込むと変換動作を停止し、ADCRnレジスタへ変換結果を格納しません (n=0-3)。

11.7.2 タイマ・トリガの間隔

タイマ・トリガ・モード時のトリガのインターバル (入力時間の間隔) は、ADM1レジスタのFR2-FR0ビットで指定する変換動作時間より長くしてください。

(1) インターバル = 0の場合

複数のトリガが同時に入力された場合、ANIn端子番号が小さいアナログ入力を変換します。同時入力されたほかのトリガ信号は無視され、トリガ入力回数もカウントしません。したがって割り込みの発生、ADCRnレジスタへの結果の格納は異常となりますので注意してください (n=0-3)。

(2) 0 < インターバル 変換動作時間の場合

変換動作中にタイマ・トリガが入力された場合、変換動作を中断し、最後に入力されたタイマ・トリガに従って変換を開始します。

変換動作を中断した場合、ADCRnレジスタに変換結果を格納しません。ただしトリガ入力回数はカウントし、割り込みが発生すると、変換が終了した値をADCRnレジスタへ格納します。

11.7.3 スタンバイ・モード時の動作

(1) HALTモード

A/D変換動作を継続します。NMI入力で解除した場合、ADM0、ADM1レジスタとADCRnレジスタは値を保持します (n=0-3)。

(2) IDLEモード、ソフトウェアSTOPモード

A/Dコンバータへのクロック供給は止まるため、変換動作は行われません。

- ★ IDLEモード、ソフトウェアSTOPモードへ移行する際はA/Dコンバータの動作を停止 (ADM0レジスタのCEビット = 0) してください。IDLEモード、ソフトウェアSTOPモード時、さらに消費電流を削減したい場合は、AVREF端子の電圧をV_{SS}にしてください。

11.7.4 タイマ・トリガ・モード時のコンペア一致割り込み

コンペア・レジスタの一致割り込みがA/D変換開始トリガとなり、変換動作を開始します。このとき、コンペア・レジスタの一致割り込みは、CPUに対するコンペア・レジスタの一致割り込みとしても機能します。CPUに対するコンペア・レジスタの一致割り込みを発生させないためには、割り込み制御レジスタ (P11IC0-P11IC3) の割り込みマスク・ビット (P11MK0-P11MK3) で割り込みを禁止してください。

★ 11.7.5 タイマ1トリガ・モード時の再変換動作

タイマ1トリガ・モード時は、一致割り込み信号 (INTCC110) をトリガとしてA/D変換が開始されます。しかし、A/D変換中に起動要因でない割り込み要因 (INTCC111, INTCC112, INTCC113, INTP111^注, INTP112^注, INTP113^注) が発生すると変換中のA/D変換が正常に終了したあと、再度同じA/D変換を開始すること (再変換動作) があります。ただし、この条件下で起動要因でない割り込み要因が発生しなければ再変換動作は行いません。

注 タイマ1 (TM11) の外部キャプチャ・トリガ入力と兼用になっている外部割り込み信号も再変換動作の要因となります。

(1) セレクト1バッファ・モード時の再変換動作

対象モード：タイマ・トリガ・セレクト1バッファ1トリガ・モード

起動要因でない割り込み要因がA/D変換中に発生すると、最初のA/D変換は正常に終了し、A/D変換終了割り込み (INTAD) を発生します。A/D変換結果はADCRnレジスタに格納されます。再起動したA/D変換は正常に変換動作を行い、A/D変換結果はADCRnレジスタに上書きされます。また、再変換動作中はADCRnレジスタの読み出しは可能です。A/D変換終了後、INTAD割り込みを発生し終了します。

(2) セレクト4バッファ・モード、スキャン・モード時の再変換動作

対象モード：タイマ・トリガ・セレクト4バッファ1トリガ・モード

タイマ・トリガ・スキャン1トリガ・モード

起動要因でない割り込み要因がA/D変換中に発生すると、変換中のA/D変換は正常に終了し、A/D変換結果はADCRnレジスタに格納されます。そのあと再度同じA/D変換を行い、A/D変換結果はADCRnレジスタに上書きされます。

また、再変換動作中はADCRnレジスタの読み出しは可能です。そのあと、残りのA/D変換動作を正常に行い、A/D変換終了割り込み (INTAD) を発生し終了します。

注意 最後のA/D変換中に起動要因でない割り込み要因が発生した場合は、最後のA/D変換は正常に終了し、A/D変換終了割り込み (INTAD) を発生します。そのあと再度最後のA/D変換と同じ変換を行い、INTAD割り込みを発生し終了します。

再変換動作が発生した場合、変換結果は正常な値を示すので、最新の交換値を取得するような使用方法では、影響は最小限に抑えられます。しかし、再変換動作が不都合となる場合には、必ずA/Dトリガ・モードを使用し、タイマのコンペア一致割り込みの割り込み処理ルーチン内または、外部端子割り込み処理ルーチン内でADM0レジスタのCEビット = 1に設定することによりA/D変換を開始してください。

★ 11.7.6 A/D変換時間についての補足

トリガ入力からA/D変換終了までにかかる時間 (t) は次のようになります。

- ・ A/Dトリガ・モード時
 - $t = 4\text{クロック} + \text{ADM1のFR2-FR0ビットで指定したクロック数} - 0.5\text{クロック}$
- ・ タイマ・トリガ・モード時 (外部割り込み信号)
 - $t = 5.5\text{-}6.5\text{クロック} + \text{ADM1のFR2-FR0ビットで指定したクロック数} - 0.5\text{クロック}$
- ・ タイマ・トリガ・モード時 (一致割り込み信号)
 - $t = 2.5\text{クロック} + \text{ADM1のFR2-FR0ビットで指定したクロック数} - 0.5\text{クロック}$

図11 - 15 A/Dトリガ・モードのA/D変換時間：ADM1 = 02H設定時

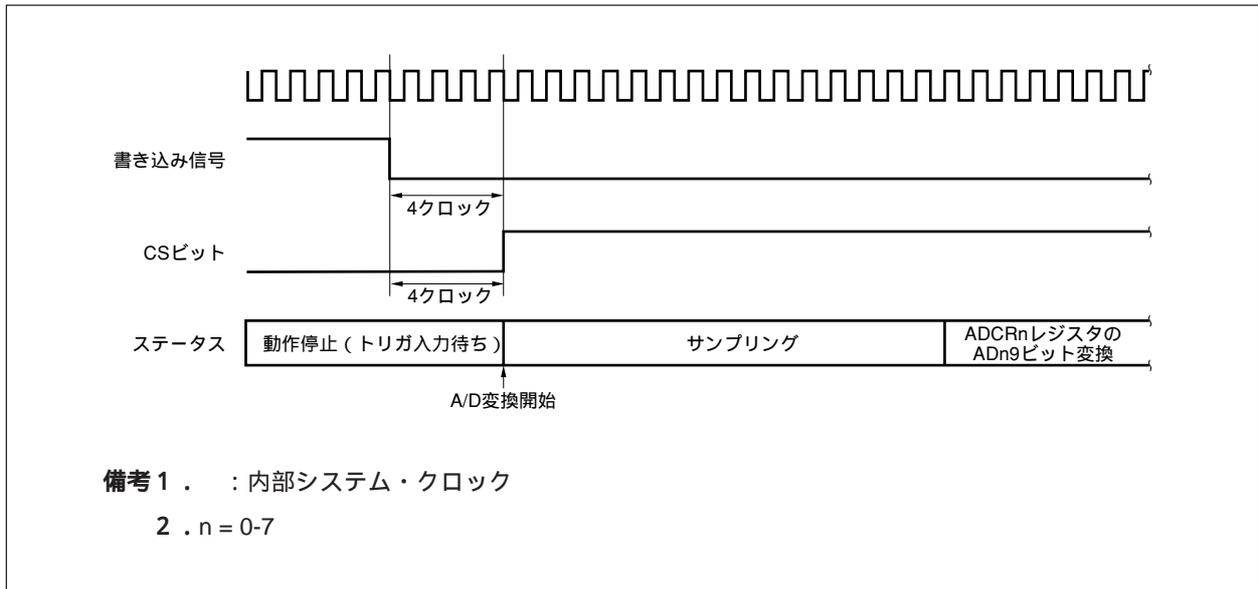


図11 - 16 タイマ・トリガ・モードのA/D変換時間 (外部割り込み信号)：ADM1 = 22Hまたは32H設定時

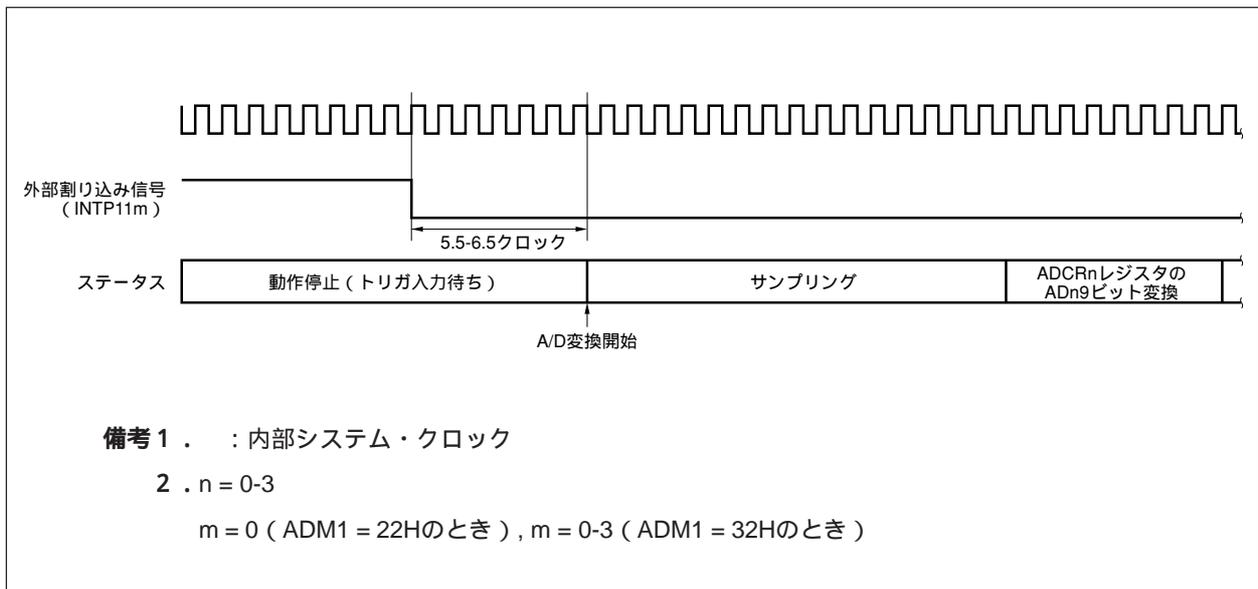


図11 - 17 タイマ・トリガ・モードのA/D変換時間（一致割り込み信号）：ADM1 = 22Hまたは32H設定時

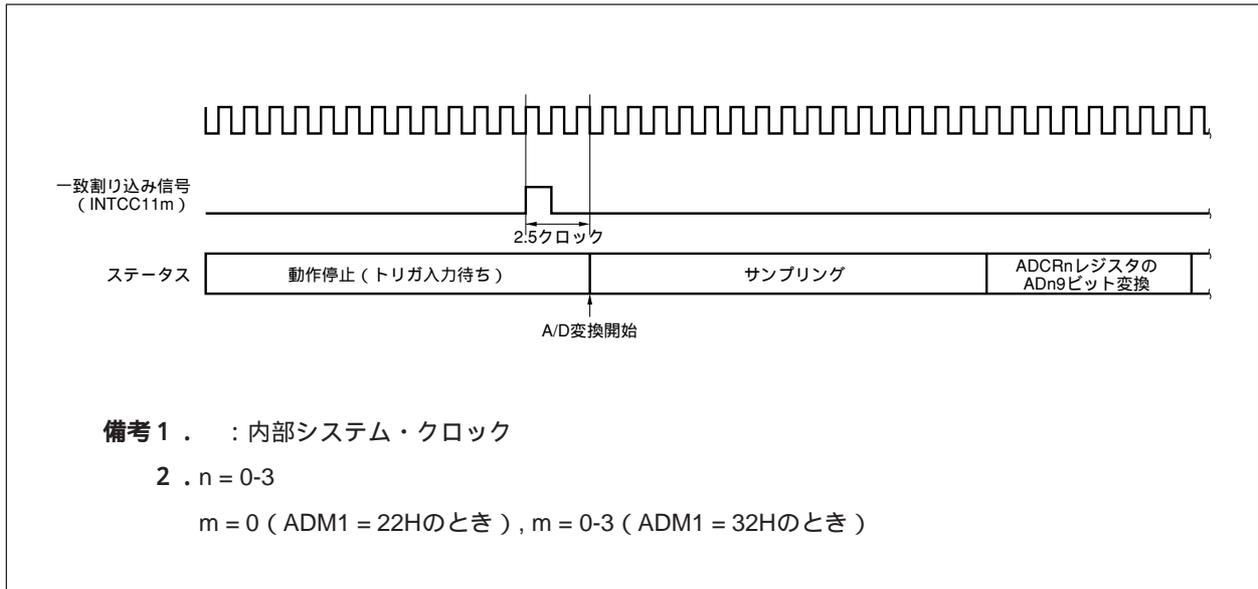


図11 - 18 A/D変換概要：A/D変換1回，ADM1レジスタのFR0-FR2ビット = 010設定（96クロック）時



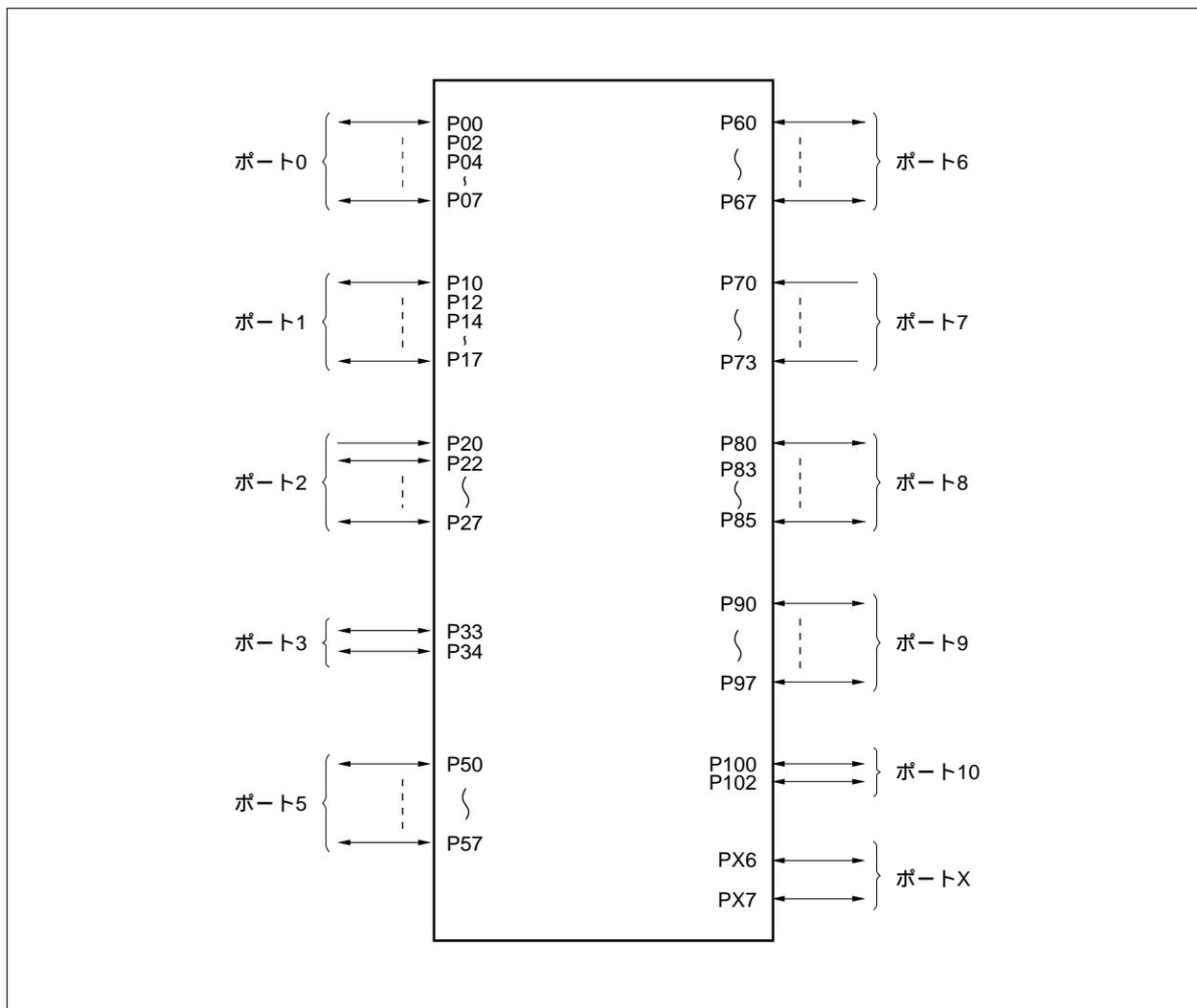
第12章 ポート機能

12.1 特 徴

- ★ 本数 入力専用ポート 5本
- ★ 入出力ポート 52本
- ほかの周辺機能の入出力端子と兼用
- ビット単位で入力/出力指定可能

★ 12.2 ポートの基本構成

V850E/MS2は、ポート0-3, 5-10, Xの合計57本の入力/出力ポート（うち5本は入力専用ポート）を内蔵しています。ポート構成を次に示します。



(1) 各ポートの機能

V850E/MS2のポートには次に示すような種類があります。

どのポートも8/1ビット単位の操作が可能であり、多様な制御を行うことができます。また、ポートとしての機能のほかに、コントロール・モードとして内蔵周辺I/Oの入出力端子としての機能を持っています。

ポート名	端子名	ポート機能	コントロール・モード時の機能	ブロック・タイプ [※]
ポート0	P00, P02, P04-P07	6ビット入出力	リアルタイム・パルス・ユニット (RPU) 入出力 外部割り込み入力 DMAコントローラ (DMAC) 入力	A, B, M
ポート1	P10, P12, P14-P17	6ビット入出力	リアルタイム・パルス・ユニット (RPU) 入出力 外部割り込み入力 DMAコントローラ (DMAC) 出力	A, B, K
ポート2	P20, P22-P27	1ビット入力, 6ビット入出力	NMI入力 シリアル・インタフェース (UART0/CSI0, UART1/CSI1) 入出力	C, D, I, Q
ポート3	P33, P34	2ビット入出力	リアルタイム・パルス・ユニット (RPU) 入力 外部割り込み入力	B
ポート5	P50-P57	8ビット入出力	外部データ・バス (D8-D15)	E
ポート6	P60-P67	8ビット入出力	外部アドレス・バス (A16-A23)	F
ポート7	P70-P73	4ビット入力	A/Dコンバータ (ADC) アナログ入力	G
ポート8	P80, P83-P85	4ビット入出力	外部バス・インタフェース制御信号出力	O, P
ポート9	P90-P97	8ビット入出力	外部バス・インタフェース制御信号入出力	H, O
ポート10	P100, P102	2ビット入出力	リアルタイム・パルス・ユニット (RPU) 入出力	A, B
ポートX	PX6, PX7	2ビット入出力	ウェイト挿入信号入力 内部システム・クロック出力	A, D

注 12.2 (3) ポートのブロック図を参照してください。

注意 コントロール・モード時に出力、または入出力端子として動作するポートをコントロール・モードに切り替える場合は、必ず次の手順で設定を行ってください。

コントロール・モードで出力される信号のインアクティブ・レベルを、ポートn (Pn) の該当するビットに設定 (n = 0-3, 5, 6, 8-10, X)。

ポートnモード・コントロール・レジスタ (PMcn) により、コントロール・モードに切り替え。

上記を行わない場合、ポート・モードからコントロール・モードに切り替える際に、ポートn (Pn) の内容が、一瞬出力されることがあります。

(2) 各ポート端子のリセット時の機能とポート/コントロール・モードを設定するレジスタ

ポート名	端子名	リセット時の端子機能		モードを設定するレジスタ
		ROMレス・モード0	ROMレス・モード1	
ポート0	P00/TO100	P00 (入力モード)		PMC0
	P02/TCLR10	P02 (")		
	P04/INTP100/DMARQ0	P04 (")		PMC0, PCS0 ^注
	P05/INTP101/DMARQ1	P05 (")		
	P06/INTP102/DMARQ2	P06 (")		
	P07/INTP103/DMARQ3	P07 (")		
ポート1	P10/TO110	P10 (入力モード)		PMC1
	P12/TCLR11	P12 (")		
	P14/INTP110/DMAAK0	P14 (")		PMC1, PCS1 ^注
	P15/INTP111/DMAAK1	P15 (")		
	P16/INTP112/DMAAK2	P16 (")		
	P17/INTP113/DMAAK3	P17 (")		
ポート2	P20/NMI	NMI		-
	P22/TXD0/SO0	P22 (入力モード)		PMC2, ASIM00
	P23/RXD0/SI0	P23 (")		
	P24/SCK0	P24 (")		PMC2 ^注
	P25/TXD1/SO1	P25 (")		PMC2, ASIM10
	P26/RXD1/SI1	P26 (")		
	P27/SCK1	P27 (")		PMC2 ^注
ポート3	P33/TI13	P33 (入力モード)		PMC3
	P34/INTP130	P34 (")		
ポート5	P50/D8-P57/D15	D8-D15	P50-P57 (入力モード)	MM
ポート6	P60/A16-P67/A23	A16-A23		MM
ポート7	P70/ANI0-P73/ANI3	P70/ANI0-P73/ANI3		-
ポート8	P80/CS0	CS0		PMC8
	P83/CS3/RAS3	CS3/RAS3		
	P84/CS4/RAS4/IOWR	CS4/RAS4		PMC8, PCS8 ^注
	P85/CS5/RAS5/IORD	CS5/RAS5		
ポート9	P90/LCAS/LWR	LCAS/LWR		PMC9
	P91/UCAS/UWR	UCAS/UWR		
	P92/RD	RD		
	P93/WE	WE		
	P94/BCYST	BCYST		PMC9
	P95/OE	OE		PMC9
	P96/HLDAK	HLDAK		PMC9
	P97/HLDRQ	HLDRQ		
ポート10	P100/TO120	P100 (入力モード)		PMC10
	P102/TCLR12	P102 (")		
ポートX	PX6/WAIT	WAIT		PMCX
	PX7/CLKOUT	CLKOUT		

注 コントロール・モード時の端子機能の選択を行います。

(3) ポートのブロック図

図12 - 1 タイプAのブロック図

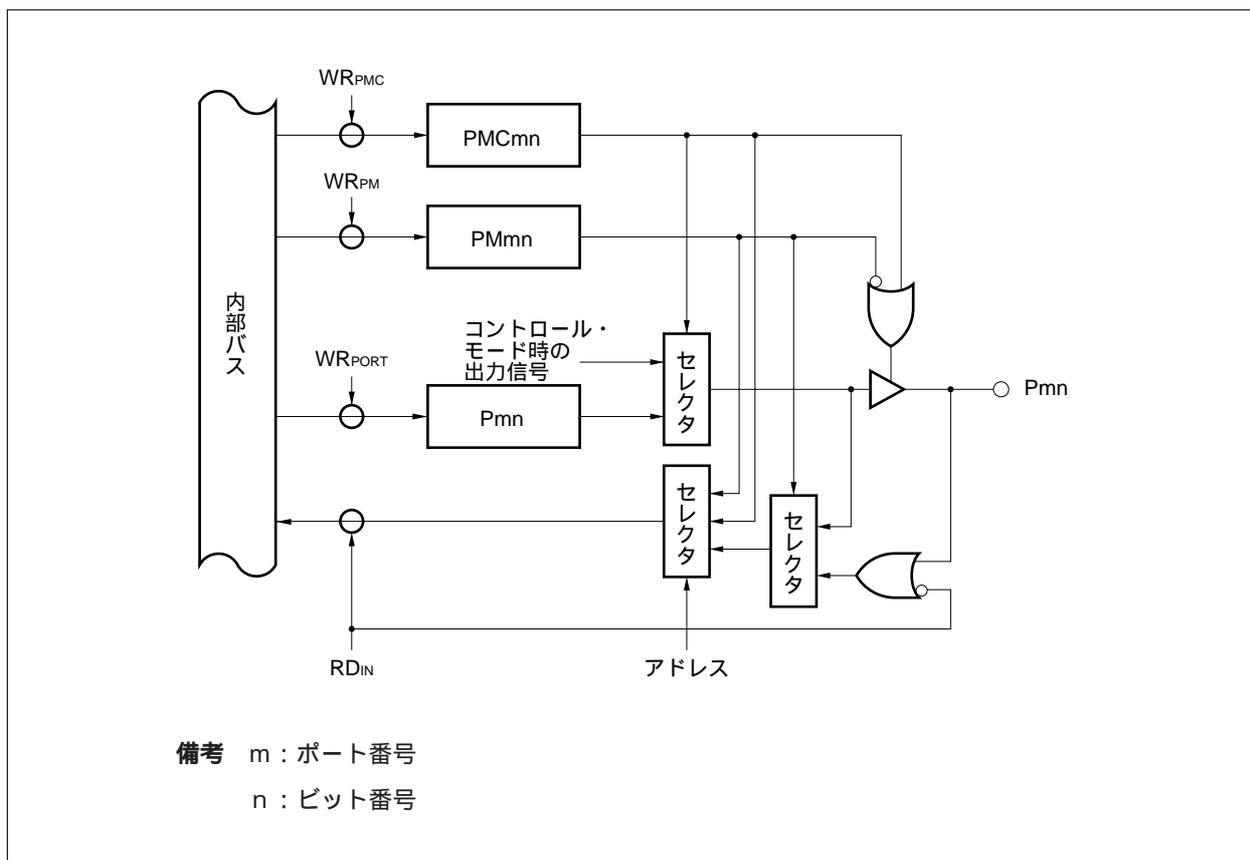


図12 - 2 タイプBのブロック図

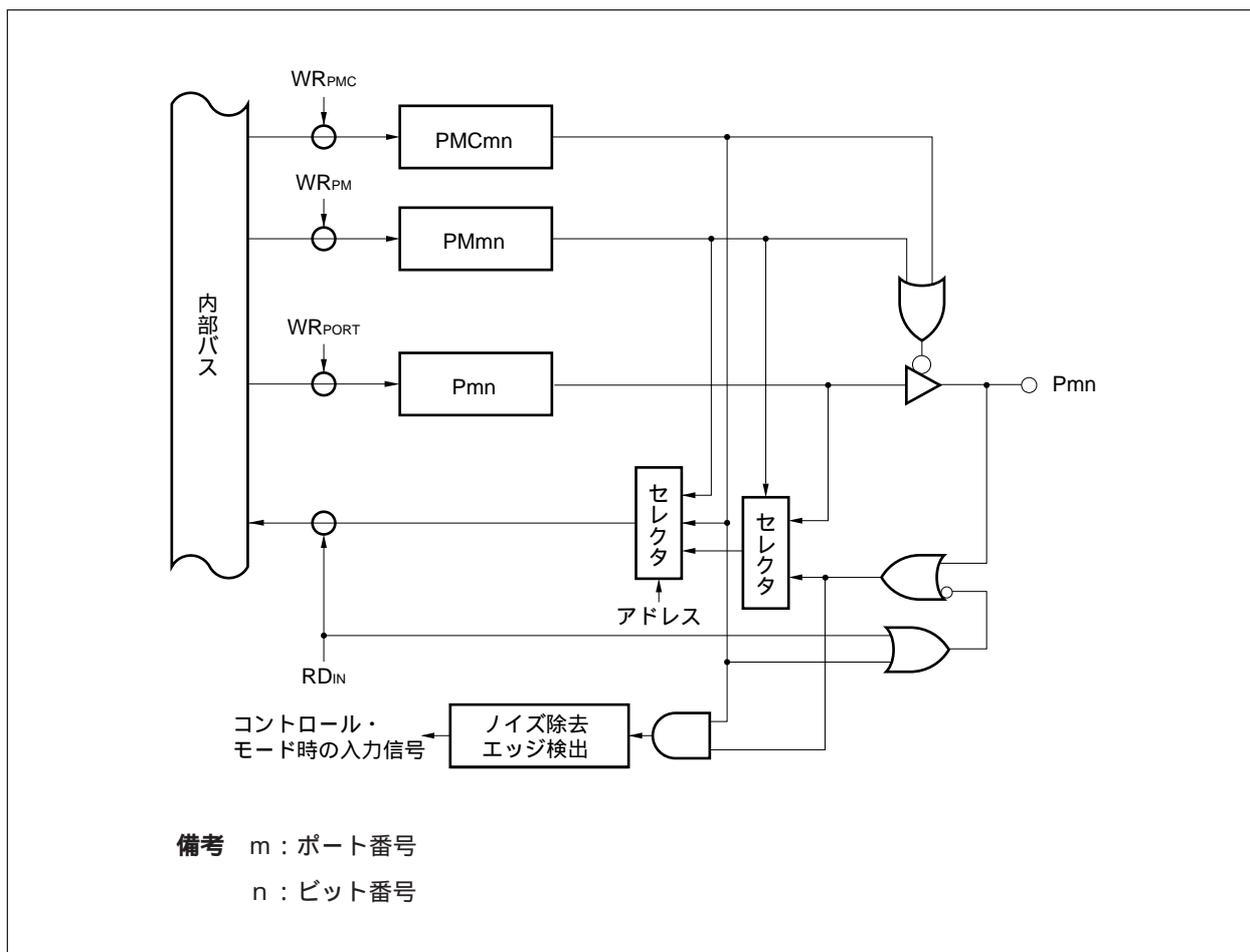


図12 - 3 タイプCのブロック図

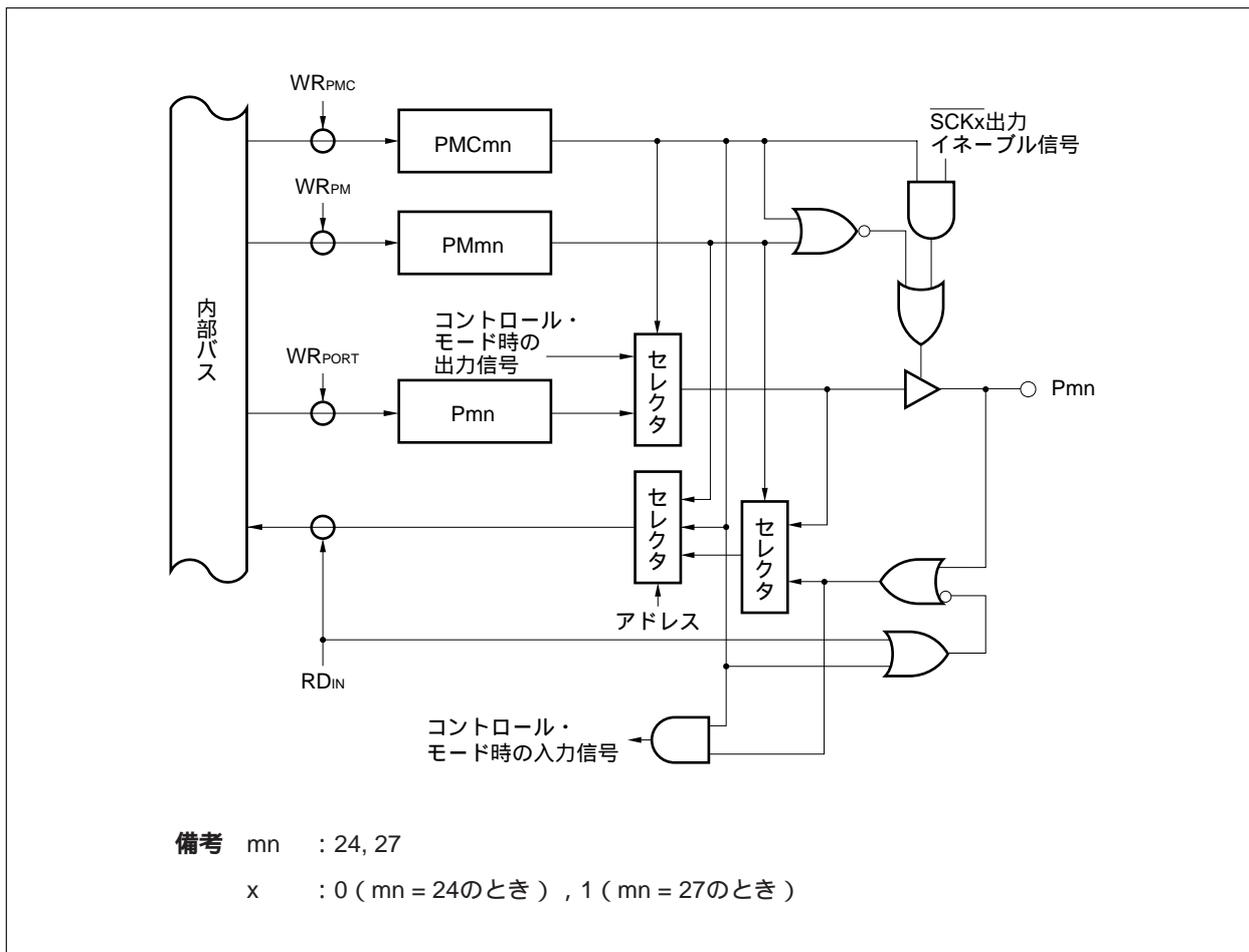


図12 - 4 タイプDのブロック図

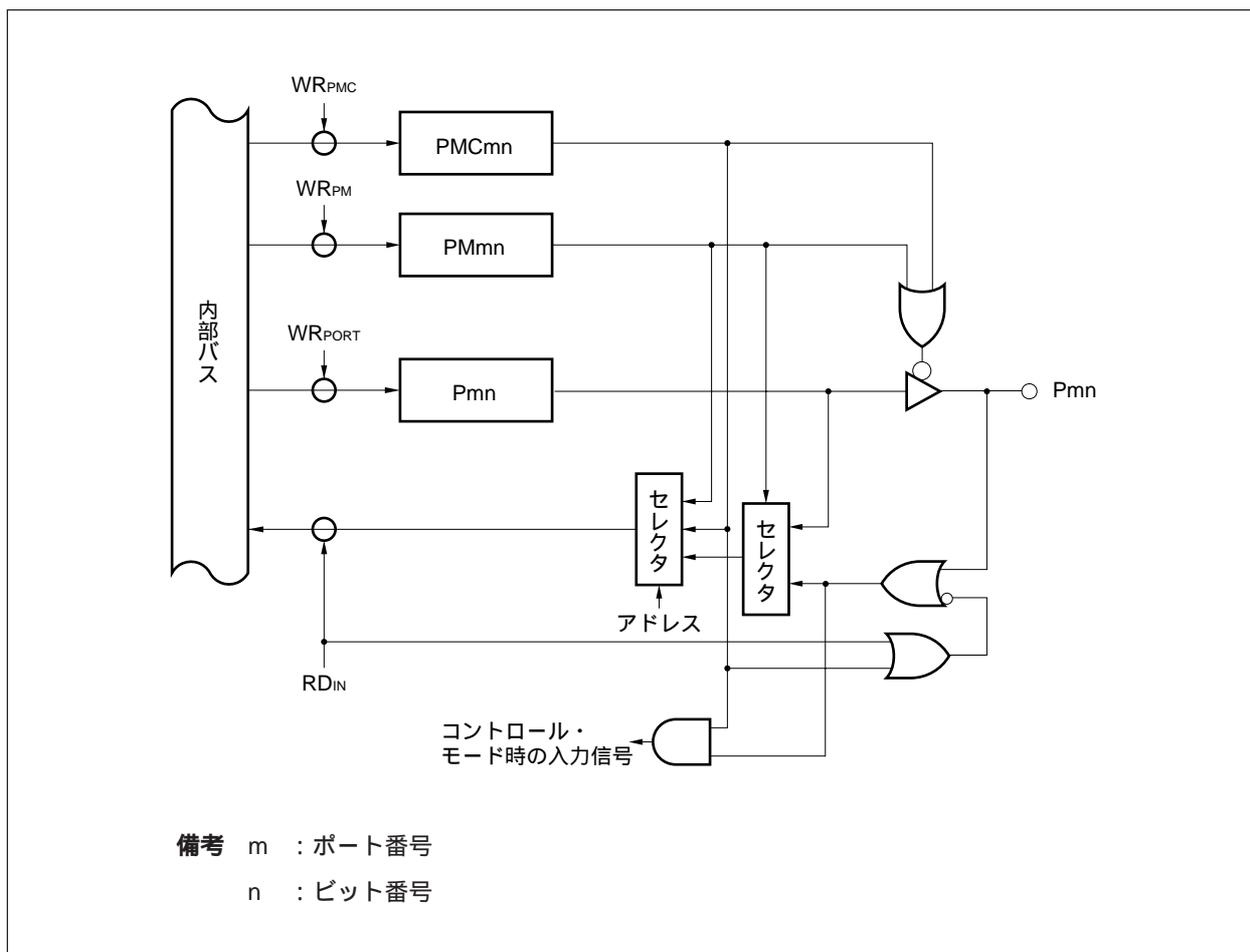


図12 - 5 タイプEのブロック図

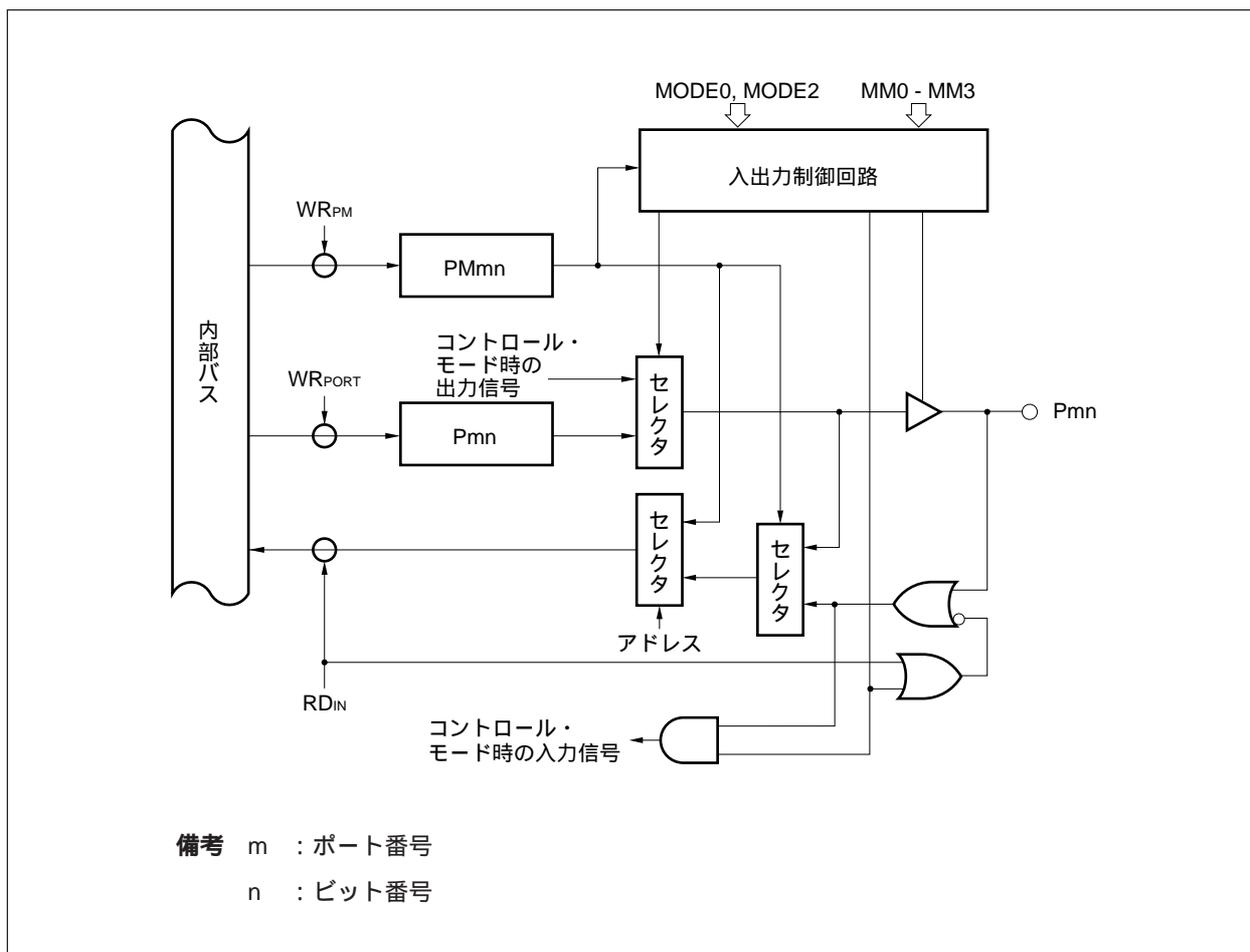


図12 - 6 タイプFのブロック図

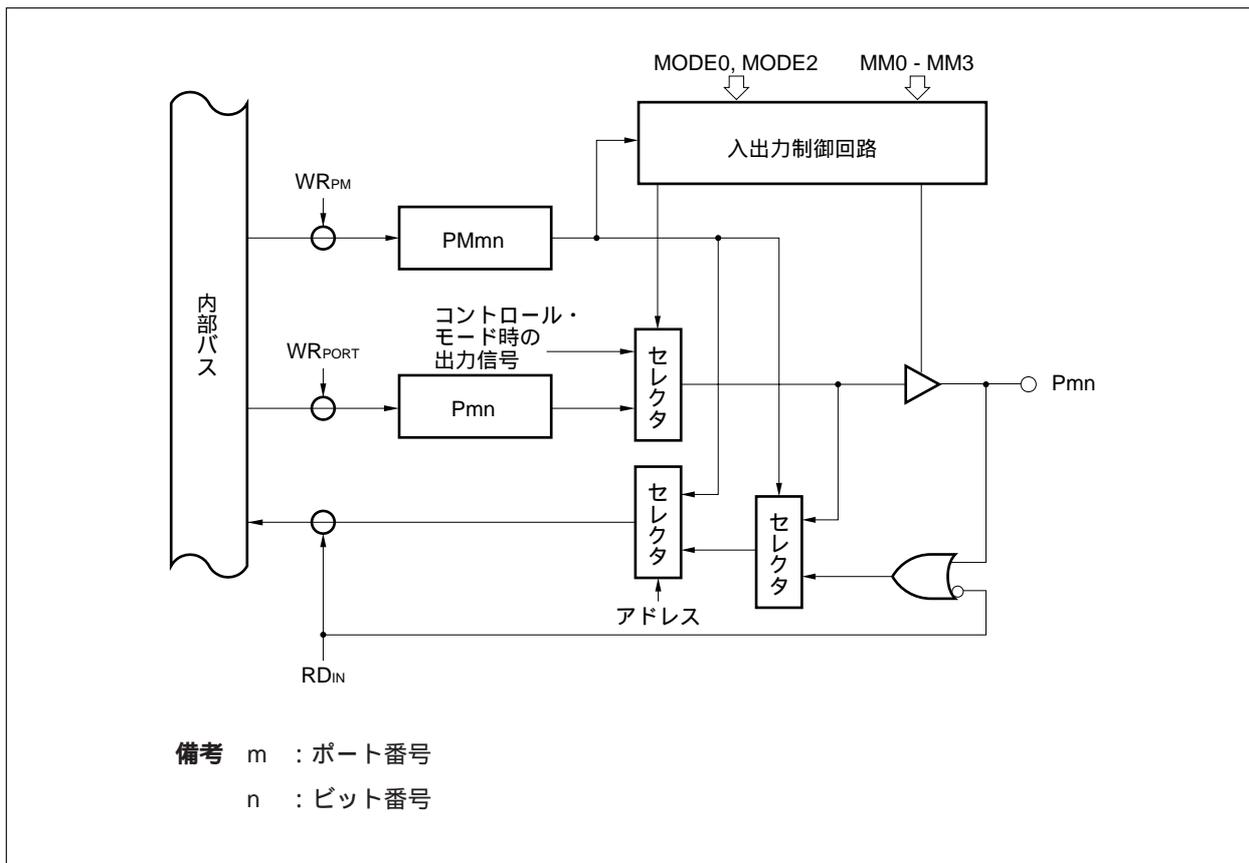


図12 - 7 タイプGのブロック図

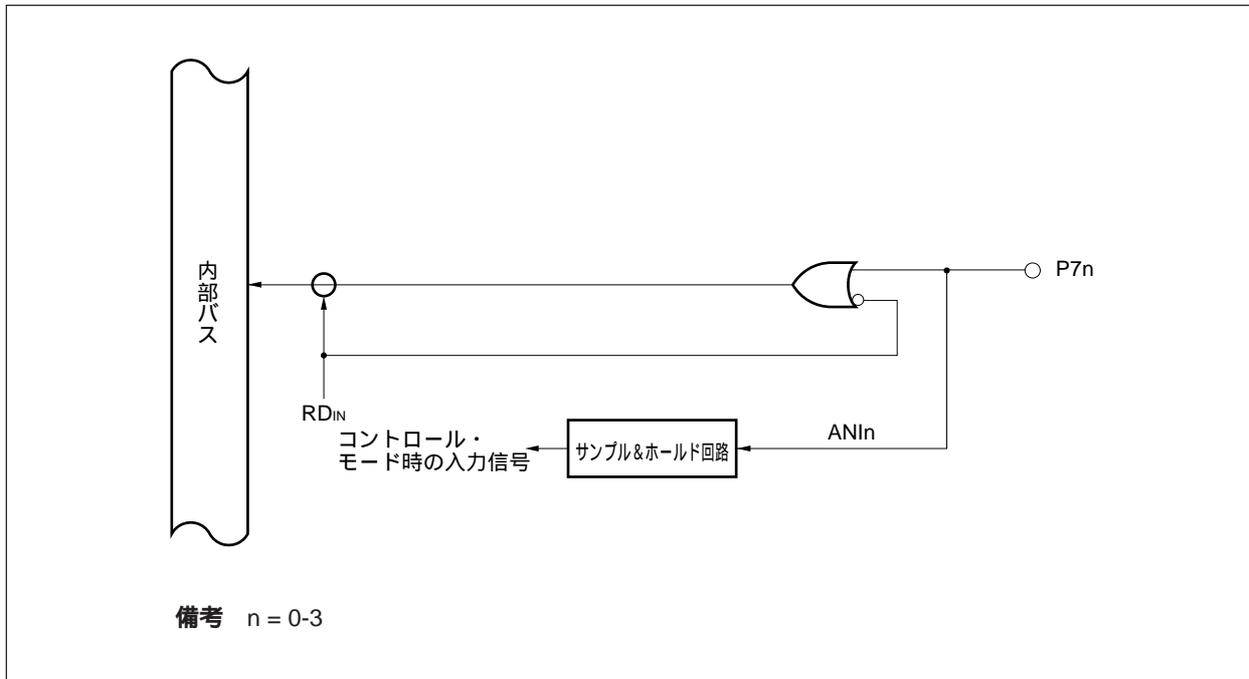


図12 - 8 タイプHのブロック図

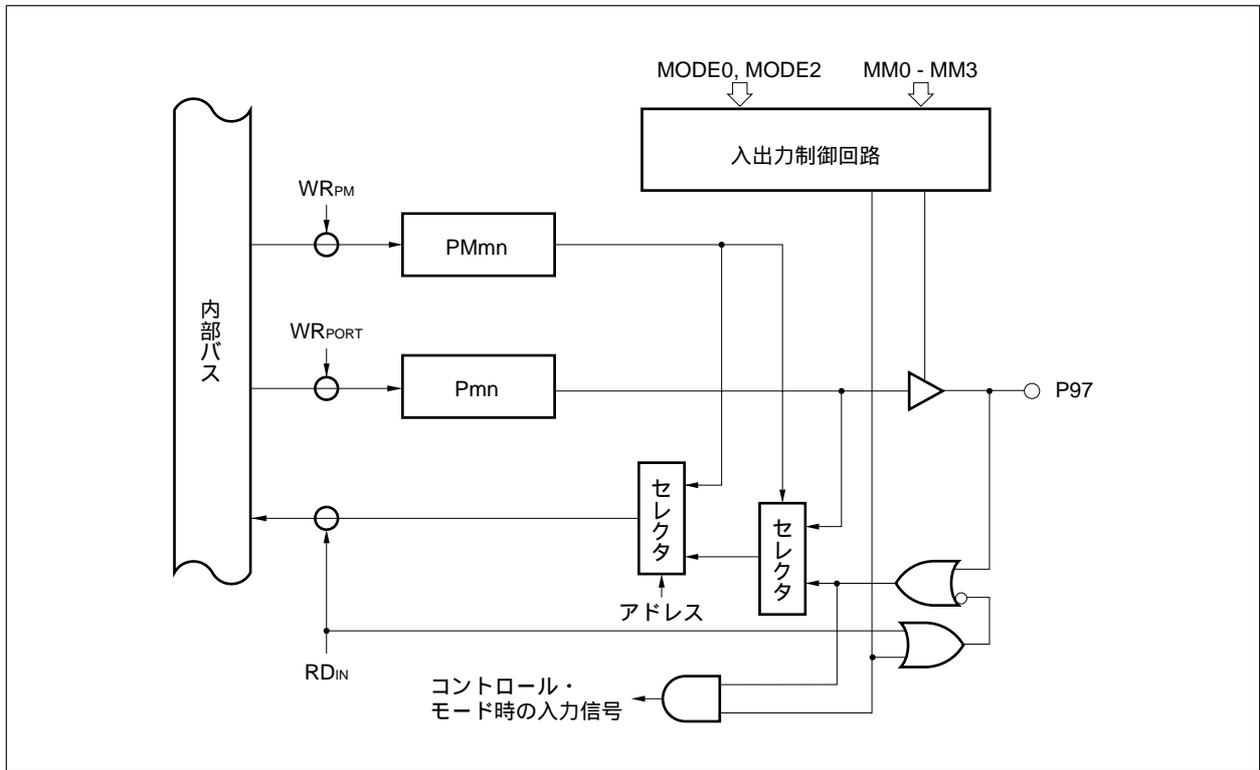


図12 - 9 タイプIのブロック図

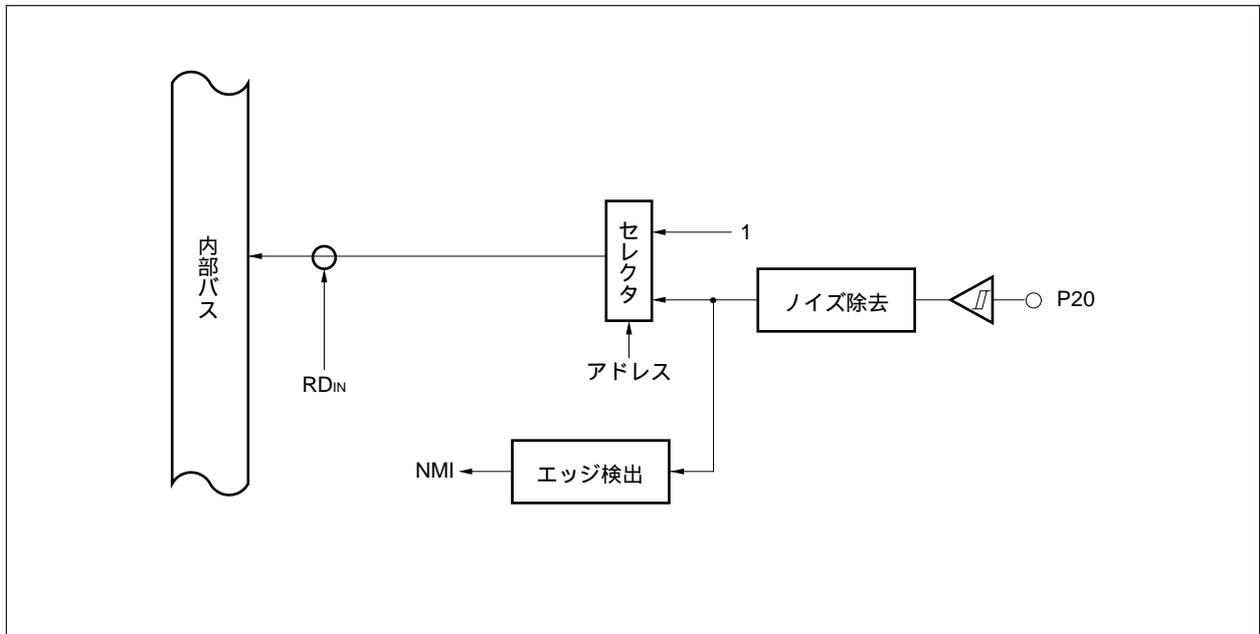


図12 - 10 タイプKのブロック図

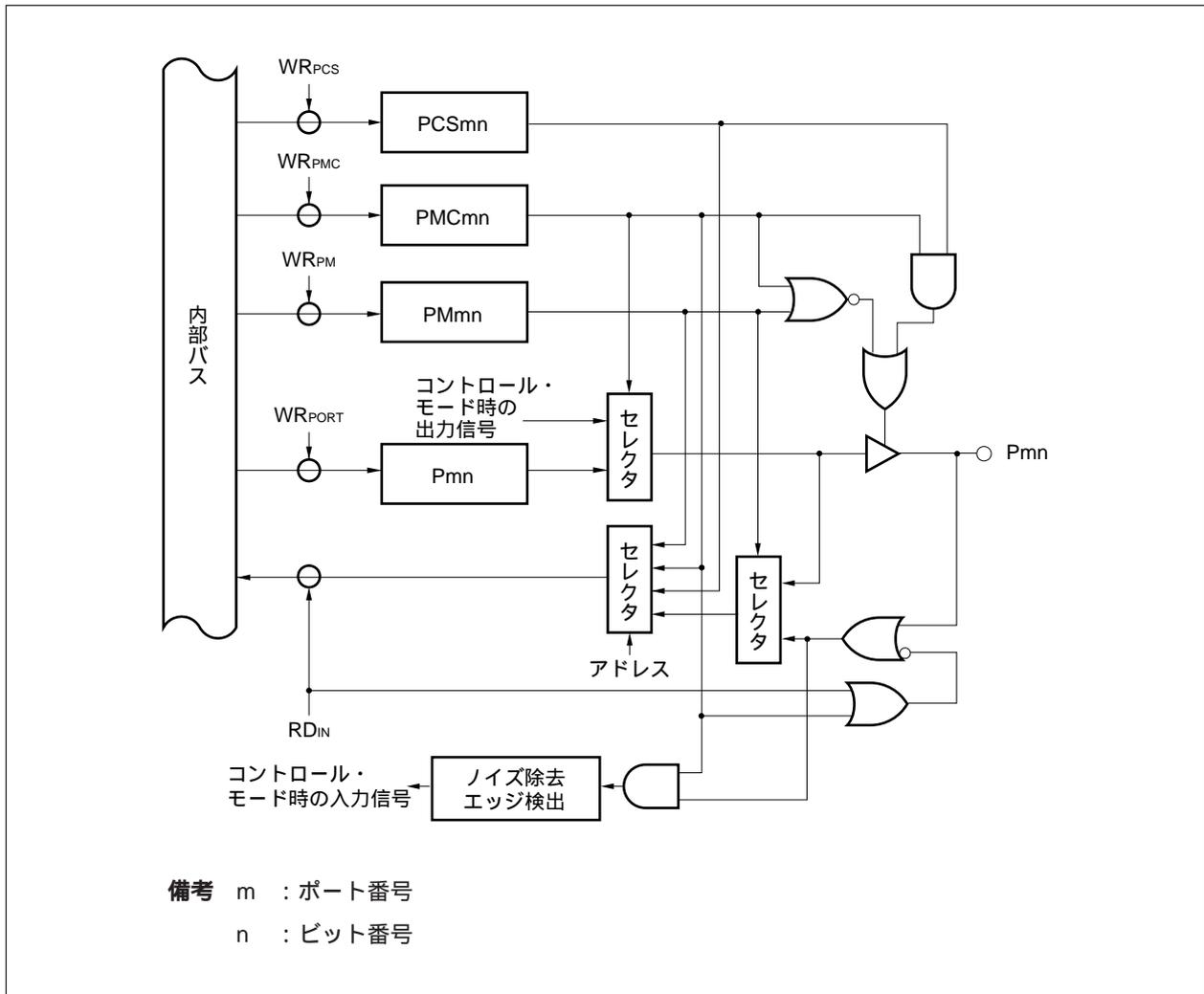


図12 - 11 タイプMのブロック図

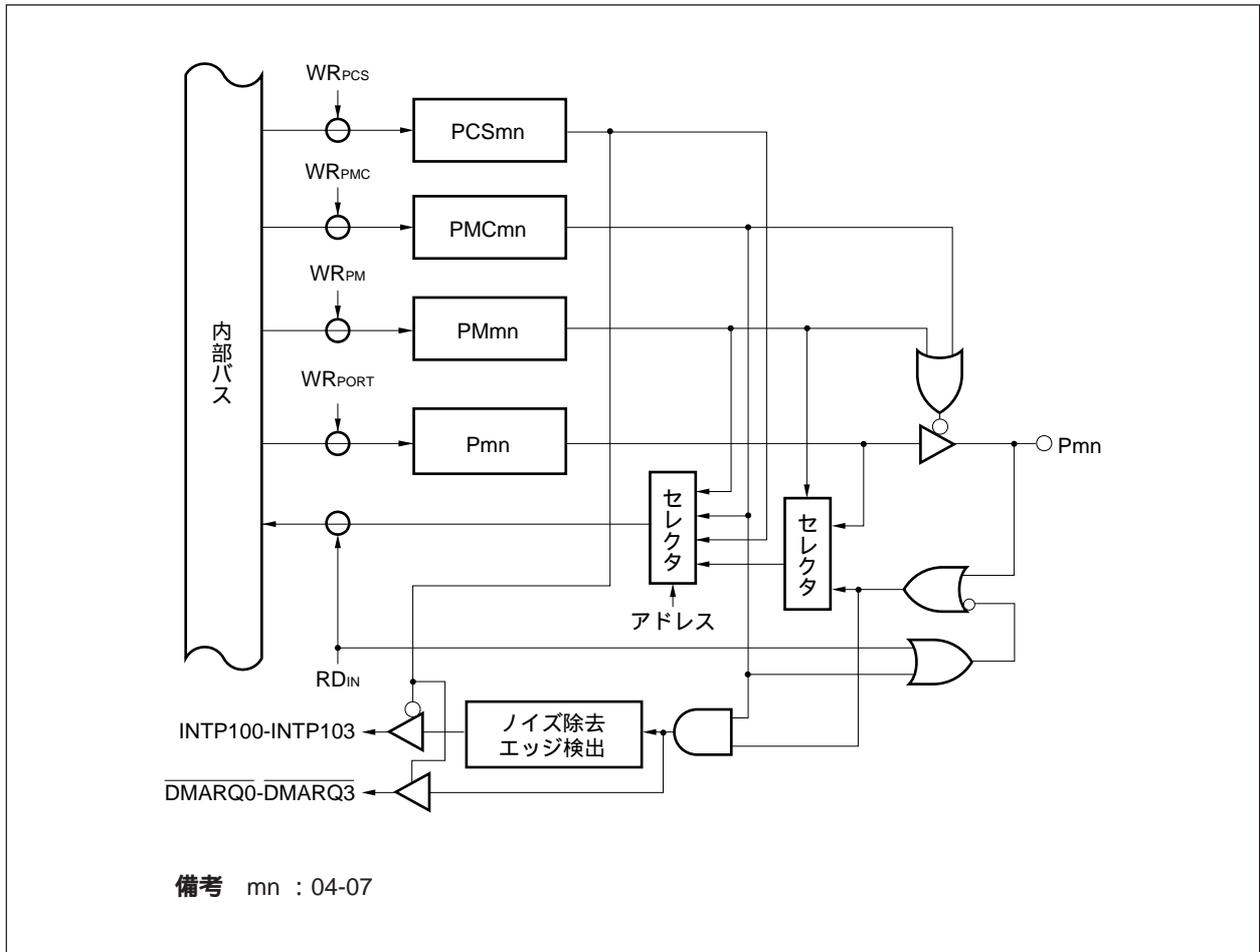


図12 - 12 タイプ0のブロック図

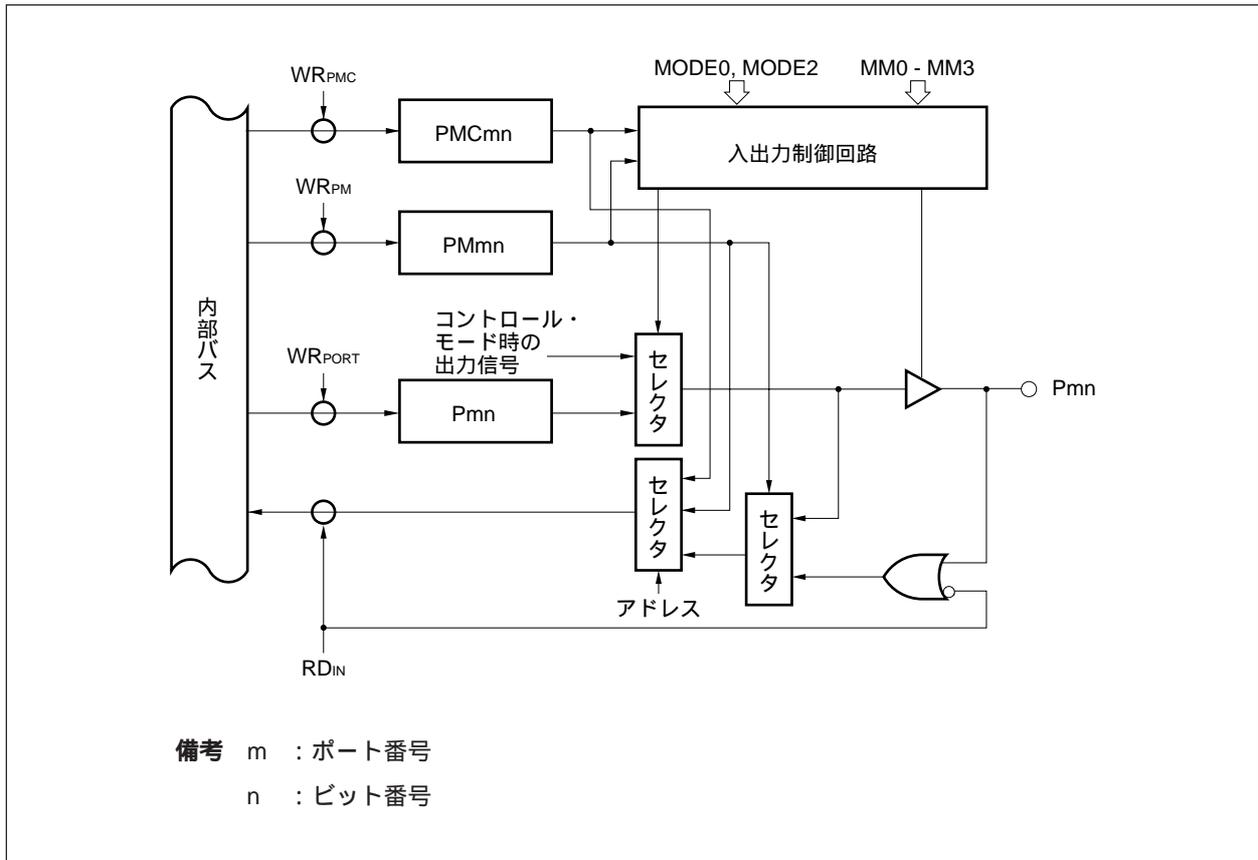


図12 - 13 タイプPのブロック図

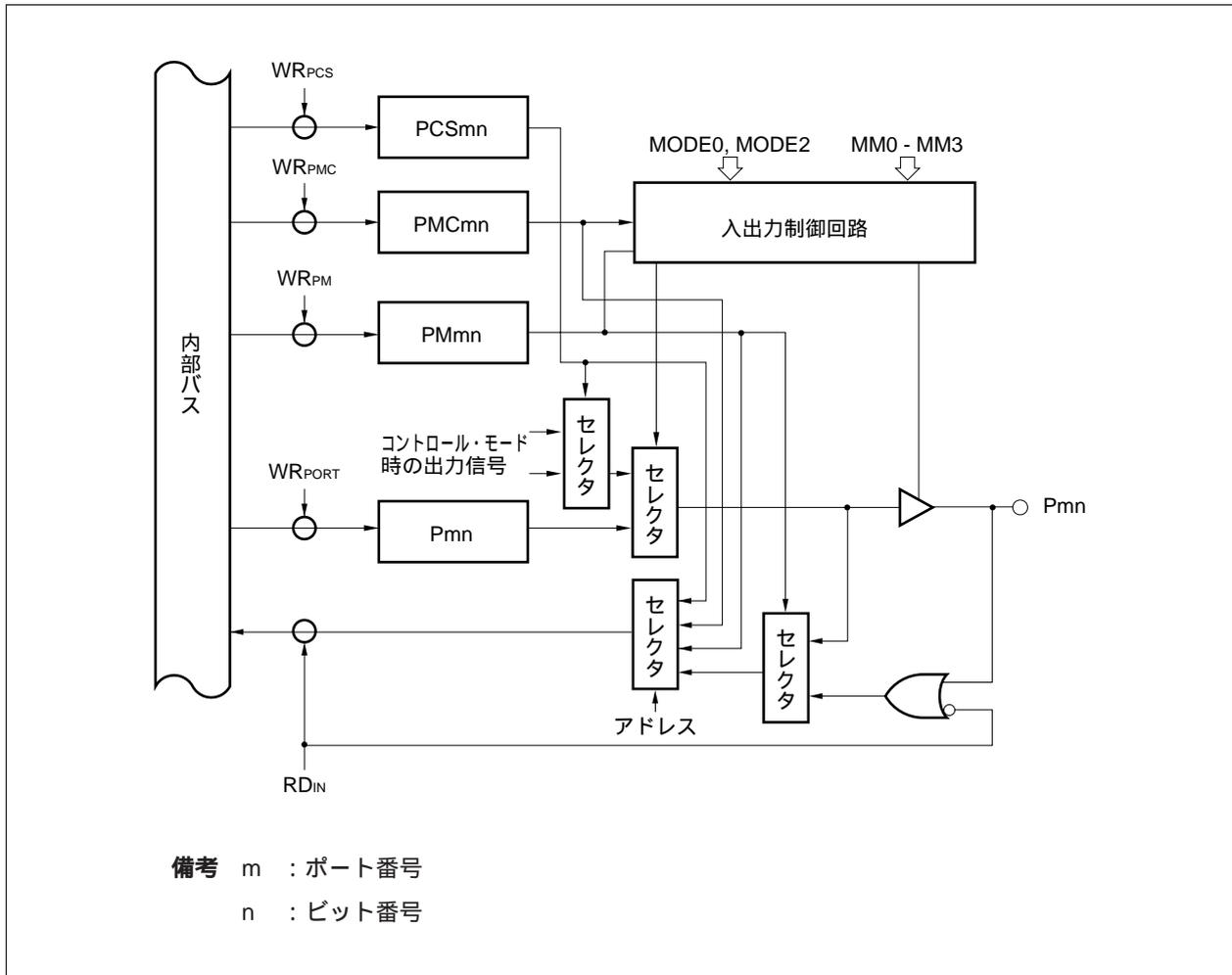
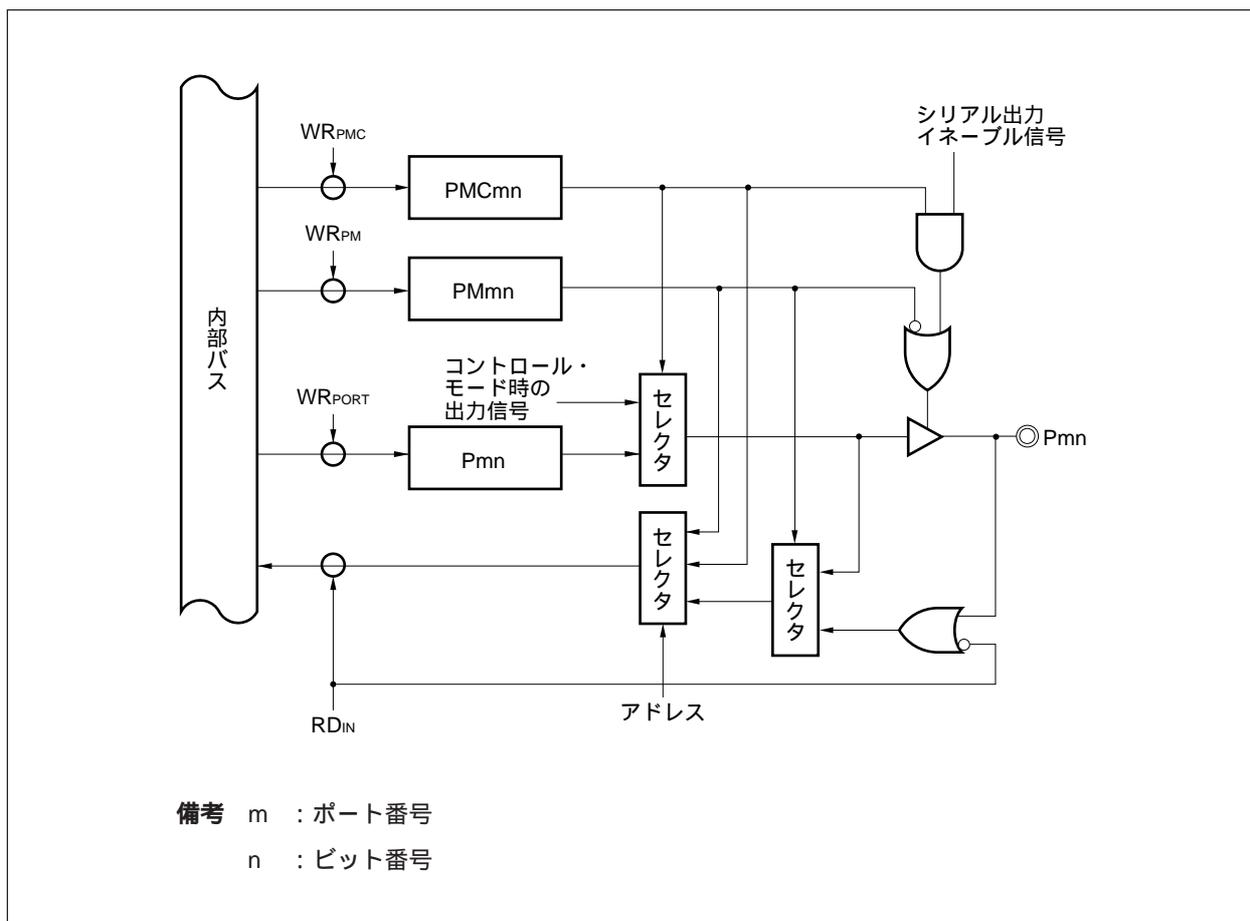


図12 - 14 タイプQのブロック図



12.3 各ポートの端子機能

12.3.1 ポート0

ポート0は、1ビット単位で入出力を指定できる6ビット入出力ポートです。

P0	7	6	5	4	3	2	1	0	アドレス FFFFFF00H	初期値 不定
	P07	P06	P05	P04	-	P02	-	P00		
ビット位置		ビット名		意 味						
7-4, 2, 0		P0n (n=7-4, 2, 0)		Port 0 入出力ポート						

ポートとしての機能のほかに、コントロール・モードではリアルタイム・パルス・ユニット (RPU) の入出力、外部割り込み要求入力、DMA要求入力として動作可能です。

(1) コントロール・モード時の動作

ポート		コントロール・モード	備 考	ブロック・タイプ
ポート0	P00	TO100	リアルタイム・パルス・ユニット (RPU) 出力	A
	P02	TCLR10	リアルタイム・パルス・ユニット (RPU) 入力	B
	P04-P07	INTP100/DMARQ0- INTP103/DMARQ3	外部割り込み要求入力、DMA要求入力	M

(2) 入出力モード/コントロール・モードの設定

ポート0の入出力モードの設定は、ポート0モード・レジスタ (PM0) で行います。また、コントロール・モードの設定は、ポート0モード・コントロール・レジスタ (PMC0) とポート/コントロール選択レジスタ0 (PCS0) で行います。

(a) ポート0モード・レジスタ (PM0)

8/1ビット単位でリード/ライト可能です。

PM0	7	6	5	4	3	2	1	0	アドレス FFFFFF02H	初期値 FFH
	PM07	PM06	PM05	PM04	1注	PM02	1注	PM00		
ビット位置		ビット名		意 味						
7-4, 2, 0		PM0n (n=7-4, 2, 0)		Port Mode P0n端子の入力/出力のモードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)						

注 必ず1を設定してください。

(b) ポート0モード・コントロール・レジスタ (PMC0)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PMC0	PMC07	PMC06	PMC05	PMC04	0 ^注	PMC02	0 ^注	PMC00	アドレス FFFFF040H	初期値 00H

ビット位置	ビット名	意味
7-4	PMC0n (n = 7-4)	Port Mode Control P0n端子の動作モードを指定します。PCS0レジスタと組み合わせて設定します。 0 : 入出力ポート・モード 1 : 外部割り込み要求 (INTP103-INTP100) 入力モード / DMA要求 ($\overline{\text{DMARQ3}}$ - $\overline{\text{DMARQ0}}$) 入力モード
2	PMC02	Port Mode Control P02端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TCLR10入力モード
0	PMC00	Port Mode Control P00端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TO100出力モード

注 必ず0を設定してください。

(c) ポート/コントロール選択レジスタ0 (PCS0)

8/1ビット単位でリード/ライト可能です。ただし、ビット3-ビット0は0に固定されており、1を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PCS0	PCS07	PCS06	PCS05	PCS04	0	0	0	0	アドレス FFFFFF580H	初期値 00H

ビット位置	ビット名	意味
7	PCS07	Port Control Select P07端子のコントロール・モード時の動作モードを指定します。 0 : INTP103入力モード 1 : DMARQ3入力モード
6	PCS06	Port Control Select P06端子のコントロール・モード時の動作モードを指定します。 0 : INTP102入力モード 1 : DMARQ2入力モード
5	PCS05	Port Control Select P05端子のコントロール・モード時の動作モードを指定します。 0 : INTP101入力モード 1 : DMARQ1入力モード
4	PCS04	Port Control Select P04端子のコントロール・モード時の動作モードを指定します。 0 : INTP100入力モード 1 : DMARQ0入力モード

注意 PMC0レジスタでポート・モードを指定した場合、このレジスタの設定は無効です。

12.3.2 ポート 1

ポート 1 は、1 ビット単位で入出力を指定できる 6 ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P1	P17	P16	P15	P14	-	P12	-	P10	アドレス FFFFFF02H	初期値 不定

ビット位置	ビット名	意 味
7-4, 2, 0	P1n (n=7-4, 2, 0)	Port 1 入出力ポート

ポートとしての機能のほかに、コントロール・モードではリアルタイム・パルス・ユニット (RPU) の入出力、外部割り込み入力、DMAアクノリッジ出力として動作可能です。

(1) コントロール・モード時の動作

ポート	コントロール・モード	備 考	ブロック・タイプ
ポート 1	P10	TO110	リアルタイム・パルス・ユニット (RPU) 出力 A
	P12	TCLR11	リアルタイム・パルス・ユニット (RPU) 入力 B
	P14-P17	INTP110/DMAAK0- INTP113/DMAAK3	外部割り込み入力、DMAアクノリッジ出力 K

(2) 入出力モード/コントロール・モードの設定

ポート 1 の入力/出力モードの設定は、ポート 1 モード・レジスタ (PM1) で行います。また、コントロール・モードの設定は、ポート 1 モード・コントロール・レジスタ (PMC1) とポート/コントロール選択レジスタ 1 (PCS1) で行います。

(a) ポート 1 モード・レジスタ (PM1)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PM1	PM17	PM16	PM15	PM14	1注	PM12	1注	PM10	アドレス FFFFFF022H	初期値 FFH

ビット位置	ビット名	意 味
7-4, 2, 0	PM1n (n=7-4, 2, 0)	Port Mode P1n端子の入力/出力モードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

注 必ず 1 を設定してください。

(b) ポート1モード・コントロール・レジスタ (PMC1)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PMC1	PMC17	PMC16	PMC15	PMC14	0 ^注	PMC12	0 ^注	PMC10	アドレス FFFFFF042H	初期値 00H

ビット位置	ビット名	意味
7-4	PMC1n (n = 7-4)	Port Mode Control P1n端子の動作モードを指定します。PCS1レジスタと組み合わせて設定します。 0 : 入出力ポート・モード 1 : 外部割り込み要求 (INTP113-INTP110) 入力モード / DMAアクノリッジ (DMAAK3-DMAAK0) 出力モード
2	PMC12	Port Mode Control P12端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TCLR11入力モード
0	PMC10	Port Mode Control P10端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TO110出力モード

注 必ず0を設定してください。

(c) ポート/コントロール選択レジスタ1 (PCS1)

8/1ビット単位でリード/ライト可能です。ただし、ビット3-ビット0は0に固定されており、1を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PCS1	PCS17	PCS16	PCS15	PCS14	0	0	0	0	アドレス FFFFFF582H	初期値 00H

ビット位置	ビット名	意味
7	PCS17	Port Control Select P17端子のコントロール・モード時の動作モードを指定します。 0 : INTP113入力モード 1 : DMAAK3出力モード
6	PCS16	Port Control Select P16端子のコントロール・モード時の動作モードを指定します。 0 : INTP112入力モード 1 : DMAAK2出力モード
5	PCS15	Port Control Select P15端子のコントロール・モード時の動作モードを指定します。 0 : INTP111入力モード 1 : DMAAK1出力モード
4	PCS14	Port Control Select P14端子のコントロール・モード時の動作モードを指定します。 0 : INTP110入力モード 1 : DMAAK0出力モード

注意 PMC1レジスタでポート・モードを指定した場合、このレジスタの設定は無効です。

12.3.3 ポート2

ポート2は、1ビット単位で入出力を指定できる7ビット入出力ポートです。ただし、P20はエッジが入力されると常にNMI入力として動作します。

	7	6	5	4	3	2	1	0		
P2	P27	P26	P25	P24	P23	P22	-	P20	アドレス FFFFFF04H	初期値 不定

ビット位置	ビット名	意味
7-2	P2n (n = 7-2)	Port 2 入出力ポート
0	P20	NMI入力モードに固定

ポートとしての機能のほかに、コントロール・モードではシリアル・インタフェース (UART0/CSI0, UART1/CSI1) の入出力として動作可能です。

(1) コントロール・モード時の動作

ポート	コントロール・モード	備考	ブロック・タイプ	
ポート2	P20	NMI	ノンマスクブル割り込み要求入力	I
	P22	TXD0/SO0	シリアル・インタフェース (UART0/CSI0, UART1/CSI1) 用入出力	Q
	P23	RXD0/SI0		D
	P24	SCK0		C
	P25	TXD1/SO1		Q
	P26	RXD1/SI1		D
	P27	SCK1		C

(2) 入出力モード/コントロール・モードの設定

ポート2の入力/出力モードの設定は、ポート2モード・レジスタ (PM2) で行います。また、コントロール・モードの設定は、ポート2モード・コントロール・レジスタ (PMC2) で行います。

なお、P20はNMI入力モードに固定です。

(a) ポート2モード・レジスタ (PM2)

8/1ビット単位でリード/ライト可能です。ただし、ビット0はハードウェアで1に固定されており、0を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PM2	PM27	PM26	PM25	PM24	PM23	PM22	1注	1	アドレス FFFFFF024H	初期値 FFH

ビット位置	ビット名	意味
7-2	PM2n (n=7-2)	Port Mode P2n端子の入力/出力モードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

注 必ず1を設定してください。

注意 シリアル・インタフェースを使用する場合は、次に示すビットをセット(1)した状態(初期値)で使用してください。

UART0使用時 : PM22
 UART1使用時 : PM25
 CSI0使用時 : PM24-PM22
 CSI1使用時 : PM27-PM25

(b) ポート2モード・コントロール・レジスタ (PMC2)

8/1ビット単位でリード/ライト可能です。ただし、ビット0はハードウェアで1に固定されており、0を書き込んでも無視され、ビット1は0に固定されており、1を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PMC2	PMC27	PMC26	PMC25	PMC24	PMC23	PMC22	0	1	アドレス FFFFF044H	初期値 01H

ビット位置	ビット名	意味
7	PMC27	Port Mode Control P27端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SCK1入出力モード
6	PMC26	Port Mode Control P26端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : RXD1/SI1入力モード
5	PMC25	Port Mode Control P25端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TXD1/SO1出力モード
4	PMC24	Port Mode Control P24端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SCK0入出力モード
3	PMC23	Port Mode Control P23端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : RXD0/SI0入力モード
2	PMC22	Port Mode Control P22端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TXD0/SO0出力モード

備考 UART0とCSI0, UART1とCSI1は端子が兼用になっており, ASIM00, ASIM10レジスタによりどちらか一方を選択して使用します (10.2.3 制御レジスタ参照)。

12.3.4 ポート3

ポート3は、1ビット単位で入出力を指定できる2ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P3	-	-	-	P34	P33	-	-	-	アドレス FFFFFF06H	初期値 不定

ビット位置	ビット名	意 味
4, 3	P3n (n = 4, 3)	Port 3 入出力ポート

ポートとしての機能のほかに、コントロール・モードではリアルタイム・パルス・ユニット (RPU) の入出力、外部割り込み入力、シリアル・インタフェース (CSI2) の入出力として動作可能です。

(1) コントロール・モード時の動作

ポート	コントロール・モード	備 考	ブロック・タイプ
ポート3	P33	TI13	B
	P34	INTP130	

(2) 入出力モード/コントロール・モードの設定

ポート3の入力/出力モードの設定は、ポート3モード・レジスタ (PM3) で行います。また、コントロール・モードの設定は、ポート3モード・コントロール・レジスタ (PMC3) とポート/コントロール選択レジスタ3 (PCS3) で行います。

(a) ポート3モード・レジスタ (PM3)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PM3	1注	1注	1注	PM34	PM33	1注	1注	1注	アドレス FFFFFF026H	初期値 FFH

ビット位置	ビット名	意味
4, 3	PM3n (n = 4, 3)	Port Mode P3n端子の入力/出力モードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

注 必ず1を設定してください。

(b) ポート3モード・コントロール・レジスタ (PMC3)

8/1ビット単位でリード/ライト可能です。

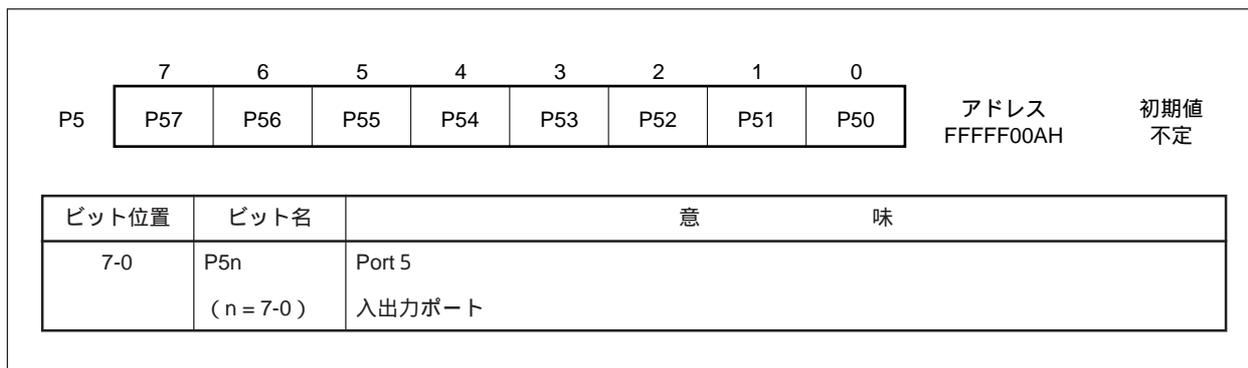
	7	6	5	4	3	2	1	0		
PMC3	0 ^注	0 ^注	0 ^注	PMC34	PMC33	0 ^注	0 ^注	0 ^注	アドレス FFFFF046H	初期値 00H

ビット位置	ビット名	意味
4	PMC34	Port Mode Control P34端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : INTP130入力モード
3	PMC33	Port Mode Control P33端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TI13入力モード

注 必ず0を設定してください。

12.3.5 ポート5

ポート5は、1ビット単位で入出力を指定できる8ビット入出力ポートです。



ポートとしての機能のほかに、コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のデータ・バスとして動作可能です。

（1）コントロール・モード時の動作

ポート	コントロール・モード	備 考	ブロック・タイプ	
ポート5	P50-P57	D8-D15	メモリ拡張時のデータ・バス	E

(2) 入出力モード/コントロール・モードの設定

ポート5の入力/出力モードの設定は、ポート5モード・レジスタ (PM5) で行います。また、コントロール・モード (外部拡張モード) の設定は、モード指定端子 (MODE0, MODE2) とメモリ拡張モード・レジスタ (MM: 3.4.6 (2) 参照) で行います。

(a) ポート5モード・レジスタ (PM5)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	アドレス FFFFFF02AH	初期値 FFH

ビット位置	ビット名	意味
7-0	PM5n (n=7-0)	Port Mode P5n端子の入力/出力モードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

(b) ポート5の動作モード

★

MMレジスタのビット				動作モード							
MM3	MM2	MM1	MM0	P50	P51	P52	P53	P54	P55	P56	P57
0	0	0	0	RFU							
0	0	0	1	データ・バス (D8-D15)							
0	0	1	0								
0	0	1	1								
0	1	0	0								
0	1	0	1								
0	1	1	0								
0	1	1	1								
1	任意			ポート (P50-P57)							

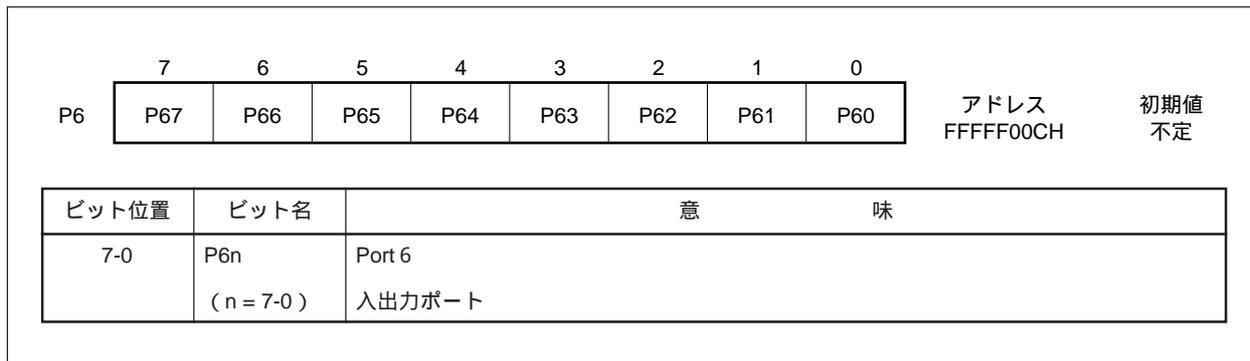
MODE0, MODE2端子による動作モード切り替えの詳細については、3.3.2 動作モード指定を参照してください。

システム・リセットにより、MM0-MM3 = 1110、すなわち外部拡張モード状態に初期化されますが、その後、プログラムによりMM0-MM3 = xxx1、または0000に設定すると、ポート・モードに変更できません。ただし、以降の命令フェッチができなくなるので注意が必要です。

備考 x : 任意

12.3.6 ポート6

ポート6は、1ビット単位で入出力を指定できる8ビット入出力ポートです。



ポートとしての機能のほかに、コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のアドレス・バスとして動作可能です。

（1）コントロール・モード時の動作

ポート	コントロール・モード	備 考	ブロック・タイプ	
ポート6	P60-P67	A16-A23	メモリ拡張時のアドレス・バス	F

(2) 入出力モード/コントロール・モードの設定

ポート6の入力/出力モードの設定は、ポート6モード・レジスタ (PM6) で行います。また、コントロール・モード (外部拡張モード) の設定は、モード指定端子 (MODE0, MODE2) とメモリ拡張モード・レジスタ (MM: 3.4.6 (2) 参照) で行います。

(a) ポート6モード・レジスタ (PM6)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	アドレス FFFFFF02CH	初期値 FFH

ビット位置	ビット名	意味
7-0	PM6n (n = 7-0)	Port Mode P6n端子の入力/出力モードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

(b) ポート6の動作モード

MMレジスタのビット				動作モード							
MM3	MM2	MM1	MM0	P60	P61	P62	P63	P64	P65	P66	P67
★ 任意	0	0	0	RFU							
	0	0	1	ポート (P60-P67)							
	0	1	0								
	0	1	1								
	1	0	0								
	1	0	1			A18	A19				
	1	1	0					A20	A21		
	1	1	1							A22	A23

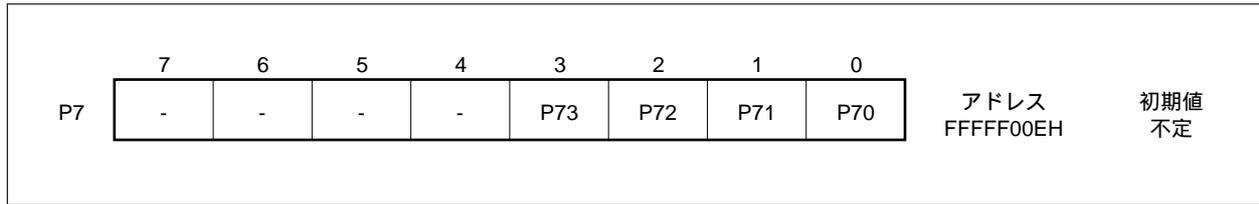
MODE0, MODE2端子による動作モード切り替えの詳細については、3.3.2 動作モード指定を参照してください。

システム・リセットにより、MM0-MM3 = 111x, すなわち外部拡張モード状態に初期化されますが、その後、プログラムによりポート・モードに変更できます。

備考 x : 任意

12.3.7 ポート7

ポート7は、全端子が入力に固定の4ビット入力専用ポートです。



入力ポートとしての機能のほかに、コントロール・モードではA/Dコンバータのアナログ入力として動作可能です。

このポートはアナログ入力端子（ANI0-ANI3）と兼用になっていますが、入力ポートとアナログ入力端子は切り替えられません。またポートの読み出しにより、各端子の状態を読み込めます。

（1）コントロール・モード時の動作

ポート	コントロール・モード	備 考	ブロック・タイプ
ポート7	P70-P73 ANI0-ANI3	A/Dコンバータへのアナログ入力	G

12.3.8 ポート 8

ポート 8 は、1 ビット単位で入出力を指定できる 4 ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P8	-	-	P85	P84	P83	-	-	P80	アドレス FFFFFF010H	初期値 不定

ビット位置	ビット名	意味
5-3, 0	P8n (n = 5-3, 0)	Port 8 入出力ポート

ポートとしての機能のほかに、コントロール・モードではチップ・セレクト信号出力、DRAMに対するロウ・アドレス・ストロープ信号出力、外部I/Oに対するリード/ライト・ストロープ信号出力として動作可能です。

(1) コントロール・モード時の動作

	ポート	コントロール・モード	備 考	ブロック・タイプ
ポート 8	P80	$\overline{CS0}$	チップ・セレクト信号出力 ロウ・アドレス信号出力	O
	P83	$\overline{CS3/RAS3}$	チップ・セレクト信号出力 ロウ・アドレス信号出力	
	P84	$\overline{CS4/RAS4/IOWR}$	チップ・セレクト信号出力 ロウ・アドレス信号出力 ライト・ストロープ信号出力	P
	P85	$\overline{CS5/RAS5/IORD}$	チップ・セレクト信号出力 ロウ・アドレス信号出力 リード・ストロープ信号出力	

(2) 入出力モード/コントロール・モードの設定

ポート8の入力/出力モードの設定は、ポート8モード・レジスタ (PM8) で行います。また、コントロール・モード (外部拡張モード) の設定は、モード指定端子 (MODE0, MODE2) とポート8モード・コントロール・レジスタ (PMC8) で行います。

(a) ポート8モード・レジスタ (PM8)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PM8	1注	1注	PM85	PM84	PM83	1注	1注	PM80	アドレス FFFFFF030H	初期値 FFH

ビット位置	ビット名	意味
5-3, 0	PM8n (n = 5-3, 0)	Port Mode P8n端子の入力/出力モードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

注 必ず 1 を設定してください。

(b) ポート8モード・コントロール・レジスタ (PMC8)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PMC8	1注	1注	PMC85	PMC84	PMC83	1注	1注	PMC80	アドレス FFFFFF050H	初期値 FFH

ビット位置	ビット名	意味
5	PMC85	Port Mode Control P85端子の動作モードを指定します。PCS8レジスタと組み合わせて設定します。 0 : 入出力ポート・モード 1 : $\overline{CS5}/\overline{RAS5}$ 出力モード / \overline{IORD} 出力モード
4	PMC84	Port Mode Control P84端子の動作モードを指定します。PCS8レジスタと組み合わせて設定します。 0 : 入出力ポート・モード 1 : $\overline{CS4}/\overline{RAS4}$ 出力モード / \overline{IOWR} 出力モード
3	PMC83	Port Mode Control P83端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{CS3}/\overline{RAS3}$ 出力モード
0	PMC80	Port Mode Control P80端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{CS0}$ 出力モード

注 必ず 1 を設定してください。

(c) ポート/コントロール選択レジスタ8 (PCS8)

8/1ビット単位でリード/ライト可能です。ただし、ビット5、ビット4以外は0に固定されており、1を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PCS8	0	0	PCS85	PCS84	0	0	0	0	アドレス FFFFFF590H	初期値 00H

ビット位置	ビット名	意味
5	PCS85	Port Control Select P85端子のコントロール・モード時の動作モードを指定します。 0 : $\overline{CS5}/\overline{RAS5}$ 出力モード 1 : \overline{IORD} 出力モード
4	PCS84	Port Control Select P84端子のコントロール・モード時の動作モードを指定します。 0 : $\overline{CS4}/\overline{RAS4}$ 出力モード 1 : \overline{IOWR} 出力モード

注意 PMC8レジスタでポート・モードを指定した場合、このレジスタの設定は無効です。

12.3.9 ポート9

ポート9は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P9	P97	P96	P95	P94	P93	P92	P91	P90	アドレス FFFFFF012H	初期値 不定

ビット位置	ビット名	意味
7-0	P9n (n = 7-0)	Port 9 入出力ポート

ポートとしての機能のほかに、コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合の制御信号出力、バス・ホールド制御信号出力として動作可能です。

- ★ 初期状態ではコントロール・モードになります。HLDRQ端子は未使用時には抵抗を介してHV_{DD}に接続してください。また、ポート・モードで使用する場合は、ポート・モードに切り替えるまでの間はハイ・レベルに固定してください。

（1）コントロール・モード時の動作

ポート	コントロール・モード	備 考	ブロック・タイプ	
ポート9	P90	$\overline{\text{LWR}}/\overline{\text{LCAS}}$	メモリ拡張時の制御信号出力	O
	P91	$\overline{\text{UWR}}/\overline{\text{UCAS}}$		
	P92	$\overline{\text{RD}}$		
	P93	$\overline{\text{WE}}$		
	P94	$\overline{\text{BCYST}}$		
	P95	$\overline{\text{OE}}$		
	P96	$\overline{\text{HLDK}}$	バス・ホールド・アックノリッジ信号出力	
P97	$\overline{\text{HLDRQ}}$	バス・ホールド要求信号入力	H	

(2) 入出力モード/コントロール・モードの設定

ポート9の入力/出力モードの設定は、ポート9モード・レジスタ (PM9)で行います。また、コントロール・モード (外部拡張モード)の設定は、モード指定端子 (MODE0, MODE2)とポート9モード・コントロール・レジスタ (PMC9)で行います。

(a) ポート9モード・レジスタ (PM9)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0			
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	アドレス FFFFFF032H	初期値 FFH	

ビット位置	ビット名	意味
7-0	PM9n (n = 7-0)	Port Mode P9n端子の入力/出力モードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

(b) ポート9モード・コントロール・レジスタ (PMC9)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PMC9	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90	アドレス FFFFFF052H	初期値 FFH

ビット位置	ビット名	意味
7	PMC97	Port Mode Control P97端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : HLDRQ入力モード
6	PMC96	Port Mode Control P96端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : HLD $\overline{\text{AK}}$ 出力モード
5	PMC95	Port Mode Control P95端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{\text{OE}}$ 出力モード
4	PMC94	Port Mode Control P94端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : BCYST出力モード
3	PMC93	Port Mode Control P93端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{\text{WE}}$ 出力モード
2	PMC92	Port Mode Control P92端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{\text{RD}}$ 出力モード
1	PMC91	Port Mode Control P91端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{\text{UWR}}/\overline{\text{UCAS}}$ 出力モード
0	PMC90	Port Mode Control P90端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{\text{LWR}}/\overline{\text{LCAS}}$ 出力モード

12.3.10 ポート10

ポート10は、1ビット単位で入出力を指定できる2ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P10	-	-	-	-	-	P102	-	P100	アドレス FFFFFF014H	初期値 不定

ビット位置	ビット名	意味
2, 0	P10n (n = 2, 0)	Port10 入出力ポート

ポートとしての機能のほかに、コントロール・モードではリアルタイム・パルス・ユニット (RPU) の入出力、外部割り込み入力として動作可能です。

(1) コントロール・モード時の動作

ポート	コントロール・モード	備考	ブロック・タイプ
ポート10	P100	TO120	リアルタイム・パルス・ユニット (RPU) 出力 A
	P102	TCLR12	リアルタイム・パルス・ユニット (RPU) 入力 B

(2) 入出力モードの設定

ポート10の入力 / 出力モードの設定は、ポート10モード・レジスタ (PM10) で行います。また、コントロール・モードの設定は、ポート10モード・コントロール・レジスタ (PMC10) とポート / コントロール選択レジスタ10 (PCS10) で行います。

(a) ポート10モード・レジスタ (PM10)

8/1ビット単位でリード / ライト可能です。

	7	6	5	4	3	2	1	0		
PM10	1注	1注	1注	1注	1注	PM102	1注	PM100	アドレス FFFFFF034H	初期値 FFH

ビット位置	ビット名	意味
2, 0	PM10n (n = 2, 0)	Port Mode P10n端子の入力 / 出力モードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

注 必ず1に設定してください。

(b) ポート10モード・コントロール・レジスタ (PMC10)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PMC10	0注	0注	0注	0注	0注	PMC102	0注	PMC100	アドレス FFFFFF054H	初期値 00H

ビット位置	ビット名	意味
2	PMC102	Port Mode Control P102端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TCLR12入力モード
0	PMC100	Port Mode Control P100端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TO120出力モード

注 必ず0に設定してください。

12.3.11 ポートX

ポートXは、1ビット単位で入出力を指定できる2ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
PX	PX7	PX6	-	-	-	-	-	-	アドレス FFFFFF41AH	初期値 不定

ビット位置	ビット名	意味
7, 6	PXn (n = 7, 6)	PortX 入出力ポート

ポートとしての機能のほかに、コントロール・モードではウエイト挿入信号入力、内部システム・クロック出力として動作可能です。8ビット・アクセスした場合の下位6ビットのデータは、不定です。

- ★ 初期状態ではコントロール・モードになります。 $\overline{\text{WAIT}}$ 端子は未使用時には抵抗を介してHV_{DD}に接続してください。また、ポート・モードで使用する場合は、ポート・モードに切り替えるまでの間はハイ・レベルに固定してください。

(1) コントロール・モード時の動作

ポート	コントロール・モード	備 考	ブロック・タイプ
ポートX	PX6	$\overline{\text{WAIT}}$	ウエイト挿入信号入力 D
	PX7	CLKOUT	内部システム・クロック出力 A

(2) 入出力モード/コントロール・モードの設定

ポートXの入力/出力モードの設定は、ポートXモード・レジスタ (PMX) で行います。また、コントロール・モードの設定は、ポートXモード・コントロール・レジスタ (PMCX) で行います。

(a) ポートXモード・レジスタ (PMX)

8ビット単位でライトだけ可能です。ただし、下位5ビットのデータはハードウェアで1に固定されており、0を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PMX	PMX7	PMX6	1注	1	1	1	1	1	アドレス FFFFFF43AH	初期値 FFH

ビット位置	ビット名	意味
7, 6	PMXn (n = 7, 6)	Port Mode PXn端子の入力/出力モードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

注 必ず1を設定してください。

注意 ビット操作命令 (CLR1, NOT1, SET1, TST1) による変更は行わないでください。

(b) ポートXモード・コントロール・レジスタ (PMCX)

8ビット単位でライトだけ可能です。ただし、下位5ビットはハードウェアで0に固定されており1を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PMCX	PMCX7	PMCX6	1注	0	0	0	0	0	アドレス FFFFFF45AH	初期値 EOH

ビット位置	ビット名	意味
7	PMCX7	Port Mode Control PX7端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : CLKOUT出力モード
6	PMCX6	Port Mode Control PX6端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : WAIT入力モード

注 必ず1を設定してください。

注意 ビット操作命令 (CLR1, NOT1, SET1, TST1) による変更は行わないでください。

第13章 リセット機能

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとシステム・リセットがかかり、オンチップの各ハードウェアは初期状態にイニシャライズされます。

$\overline{\text{RESET}}$ 信号がロウ・レベルからハイ・レベルになると、リセット状態が解除され、CPUはプログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

13.1 特 徴

リセット端子 ($\overline{\text{RESET}}$) にアナログ・ディレイ (60 ns) によるノイズ除去回路を内蔵

13.2 端子機能

システム・リセット期間中は、ほとんどの端子出力 (CLKOUT, $\overline{\text{RESET}}$, X2, HVDD, VDD, VSS, CVDD, CVSS, AVDD, AVSS, AVREF端子を除く全端子) がハイ・インピーダンスになります。

したがって、たとえば外部にメモリを接続している場合は、ポート4, 5, 6, 8, 9, A, B, Xの各端子にプルアップ (またはプルダウン) 抵抗を付ける必要があります。抵抗がない場合、これらの端子がハイ・インピーダンスになると接続している外部メモリを破壊する可能性があります。

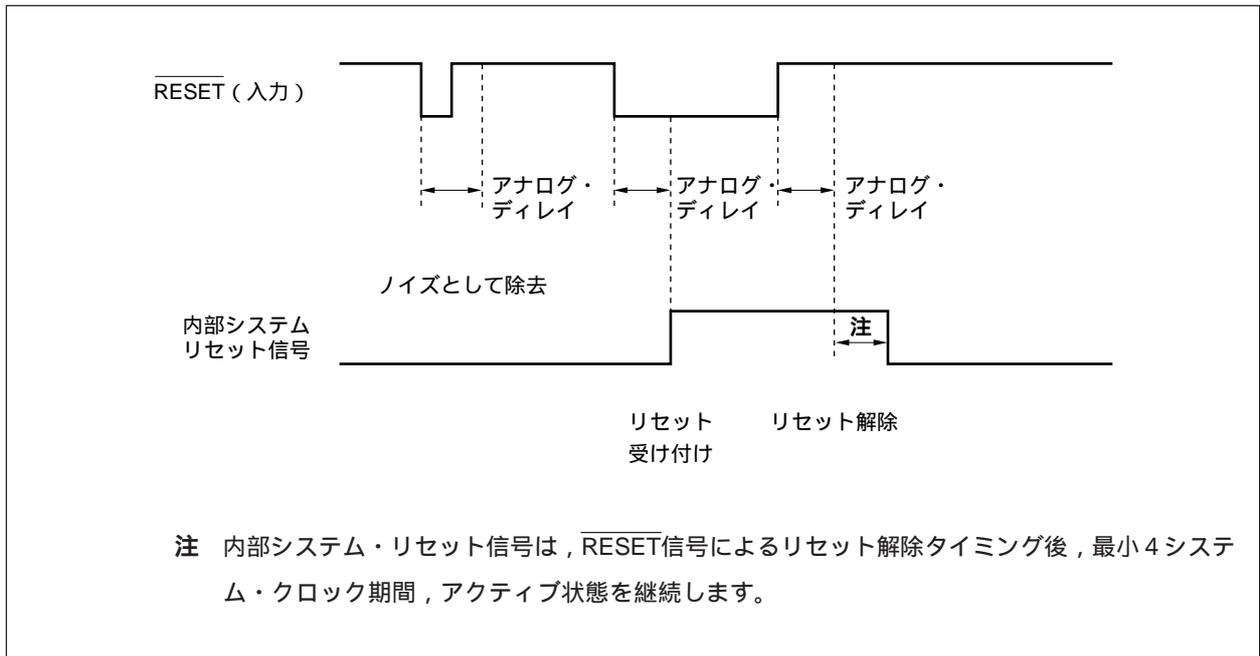
同様に、内蔵周辺I/Oの信号出力、出力ポートにおいても、影響がないよう、端子の処理を行ってください。

表13 - 1 にリセット期間中の各出力、入出力端子の動作状態を示します。

表13 - 1 リセット期間中の各端子の動作状態

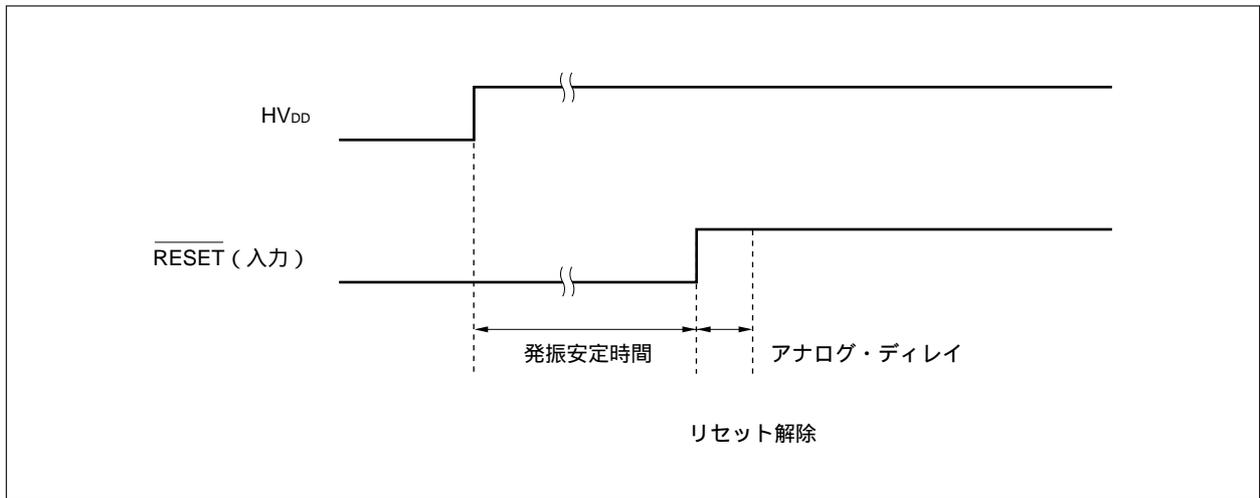
端 子 名		端子状態	
		ROMレス・ モード0のとき	ROMレス・ モード1のとき
D0-D7, A0-A23, $\overline{\text{CS0}}$, $\overline{\text{CS3}}$ - $\overline{\text{CS5}}$, $\overline{\text{RAS3}}$ - $\overline{\text{RAS5}}$, $\overline{\text{LCAS}}$, $\overline{\text{LWR}}$, $\overline{\text{UCAS}}$, $\overline{\text{UWR}}$, $\overline{\text{RD}}$, $\overline{\text{WE}}$, $\overline{\text{BCYST}}$, $\overline{\text{OE}}$, $\overline{\text{HLDK}}$		ハイ・インピーダンス	
D8-D15		ハイ・インピーダンス	(ポート・モード)
WAIT, $\overline{\text{HLDRQ}}$		(入力)	
CLKOUT		動作	
ポート端子	ポート0-3, 10	(入力)	
	ポート4, 6, 8, 9, A, B, X	(コントロール・モード)	
	ポート5	(コントロール・モード)	(入力)

(1) リセット信号の受け付け



(2) パワーオン時のリセット

パワーオン（電源投入）時のリセット動作では、 $\overline{\text{RESET}}$ 信号のロウ・レベル幅により、電源の立ち上がりからリセット受け付けまで10 ms以上の発振安定時間を確保する必要があります。



13.3 イニシャライズ

CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値を表13 - 2に示します。

各レジスタの内容はプログラム中で必要に応じてイニシャライズしてください。特に次に示すレジスタはシステム設定に関するレジスタなので必要に応じて設定してください。

パワー・セーブ・コントロール・レジスタ (PSC) : X1, X2端子機能, CLKOUT端子動作などの設定

データ・ウエイト・コントロール・レジスタ (DWC) : データ・ウエイト数の設定

表13 - 2 CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値 (1/2)

内蔵ハードウェア		レジスタ名	リセット後の初期値
CPU	プログラム・レジスタ	汎用レジスタ (r0)	00000000H
		汎用レジスタ (r1-r31)	不定
		プログラム・カウンタ (PC)	00000000H
	システム・レジスタ	割り込み時状態退避レジスタ (EIPC, EIPSW)	不定
		NMI時状態退避レジスタ (FEPC, FEPSW)	不定
		割り込み要因レジスタ (ECR)	00000000H
		プログラム・ステータス・ワード (PSW)	00000020H
		CALLT実行時状態退避レジスタ (CTPC, CTPSW)	不定
		例外トラップ時状態退避レジスタ (DBPC, DBPSW)	不定
CALLTベース・ポインタ (CTBP)		不定	
内蔵RAM		-	不定
内蔵周辺I/O		コマンド・レジスタ (PRCMD)	不定
バス制御機能	データ・ウェイト・コントロール・レジスタ (DWC1)	FFFFH	
	データ・ウェイト・コントロール・レジスタ (DWC2)	FFH	
	バス・サイクル・コントロール・レジスタ (BCC)	5555H	
	バス・サイクル・タイプ・コントロール・レジスタ (BCT)	0000H	
	バス・サイズ・コンフィギュレーション・レジスタ (BSC)	5555H/0000H	
メモリ制御機能	DRAMコンフィギュレーション・レジスタ (DRC0-DRC3)	3FC1H	
	DRAMタイプ・コンフィギュレーション・レジスタ (DTC)	0000H	
	ページROMコンフィギュレーション・レジスタ (PRC)	E0H	
	リフレッシュ・コントロール・レジスタ (RFC0-RFC3)	0000H	
	リフレッシュ・ウェイト・コントロール・レジスタ (RWC)	00H	
DMA機能	コントロール・レジスタ (DADC0-DADC3)	0000H	
	ソース・アドレス・レジスタ (DSA0H-DSA3H, DSA0L-DSA3L)	不定	
	チャンネル・コントロール・レジスタ (DCHC0-DCHC3)	00H	
	デスティネーション・アドレス・レジスタ (DDA0H-DDA3H, DDA0L-DDA3L)	不定	
	トリガ要因レジスタ (DTFR0-DTFR3)	00H	
	バイト・カウント・レジスタ (DBC0-DBC3)	不定	
	フライバイ転送データ・ウェイト・コントロール・レジスタ (FDW)	00H	
	DMAディスエーブル・ステータス・レジスタ (DDIS)	00H	
	DMAリスタート・レジスタ (DRST)	00H	
割り込み / 例外制御機能	インサービス・プライオリティ・レジスタ (ISPR)	00H	
	外部割り込みモード・レジスタ (INTM0-INTM2, INTM4)	00H	
	割り込み制御レジスタ (OVIC10-OVIC13, CMIC40, CMIC41, P10IC0-P10IC3, P11IC0-P11IC3, P12IC0-P12IC3, P13IC0-P13IC3, DMAIC0-DMAIC3, CSIC0, CSIC1, SEIC0, STIC0, SRIC0, SRIC1, SEIC1, STIC1, ADIC)	47H	
クロック発生機能	システム・ステータス・レジスタ (SYS)	0000000xB	
	クロック・コントロール・レジスタ (CKC)	00H	
	パワー・セーブ・コントロール・レジスタ (PSC)	00H	
タイマ / カウンタ機能	キャプチャ / コンペア・レジスタ (CC100-CC103, CC110-CC113, CC120-CC123, CC130-CC133)	不定	
	コンペア・レジスタ (CM40, CM41)	不定	
	タイマ・オーバフロー・ステータス・レジスタ (TOVS)	00H	
	タイマ・コントロール・レジスタ (TMC10-TMC13, TMC40, TMC41)	00H	
	タイマ・ユニット・モード・レジスタ (TUM10-TUM13)	0000H	

備考 x : 不定

表13 - 2 CPU , 内蔵RAM , 内蔵周辺I/Oのリセット後の初期値 (2/2)

内蔵ハードウェア		レジスタ名	リセット後の初期値
内蔵周辺 I/O	タイマ/カウンタ機能	タイマ (TM10-TM13, TM40, TM41)	0000H
		タイマ出力コントロール・レジスタ (TOC10-TOC12)	00H
	シリアル・インタフェース 機能	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS0, ASIS1)	00H
		アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM00, ASIM10)	80H
		アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM01, ASIM11)	00H
		受信バッファ (RXB0, RXB1, RXB0L, RXB1L)	不定
		送信シフト・レジスタ (TXS0, TXS1, TXS0L, TXS1L)	不定
		クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM0, CSIM1)	00H
		シリアルI/Oシフト・レジスタ (SIO0, SIO1)	不定
		ポー・レート・ジェネレータ・コンペア・レジスタ (BRGC0, BRGC1)	不定
		ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ (BPRM0, BPRM1)	00H
		A/Dコンバータ	モード・レジスタ (ADM0)
	モード・レジスタ (ADM1)		07H
	A/D変換結果レジスタ (ADCR0-ADCR3, ADCR0H-ADCR3H)		不定
	ポート機能	ポート (P0-P10, PA, PB, PX)	不定
		ポート/コントロール選択レジスタ (PCS0, PCS1, PCS8)	00H
		モード・レジスタ (PM0-PM10, PMA, PMB, PMX)	FFH
		モード・コントロール・レジスタ (PMC0, PMC1, PMC3, PMC10)	00H
		モード・コントロール・レジスタ (PMC2)	01H
		モード・コントロール・レジスタ (PMC8, PMC9)	FFH
モード・コントロール・レジスタ (PMCX)		E0H	
メモリ拡張モード・レジスタ (MM)		07H/0FH	

注意 上記の表における“不定”とは、パワーオン・リセット時の不定、または $\overline{\text{RESET}}$ 入力とデータ書き込みタイミングが同期したときのデータ破壊による不定を意味し、これ以外の $\overline{\text{RESET}}$ ではデータは直前の状態に保持されます。

A.1 sld命令実行時の制限事項

A.1.1 内 容

外部メモリ空間からリードを行うsld命令実行中に割り込み処理（NMIを含む）が発生すると、そのsld命令による指定とは異なるレジスタにリードした値を書き込んでしまう場合があります。

A.1.2 非該当条件

この制限事項は、次のどちらかの場合には非該当です。

- (1) sld命令のロード対象が内蔵メモリ（内蔵RAMを含む）の場合
- (2) sld命令の前後で割り込みが禁止されている、かつNMIを使用していない場合

A.1.3 回避策

この制限事項の回避策について次に示します。

(1) アセンブラについて

外部メモリにアクセスするすべてのsld命令をld命令に変更してください。

(2) NECコンパイラについて

tidataセクションへの割り当てを指定しているデータをセクションへ割り当てない、またはtidataセクションからsidataセクション等へ割り当てを変更してください（これらにより、sld命令を使用しないコードを生成）。

(3) GHSコンパイラについて

次の2つの対策を行うことにより、sld命令の連続実行を行わないため、不具合を回避できます。

(a) コンパイル時に「-Z1412」オプションを指定する。

「-OS」オプションを使う場合は、「-Z1412」と「-inline_prologue」オプションを使用してください。

(b) TDA（タイニ・データ領域）機能のpragmaを使用しない。

TDA領域を使用している場合は、TDA領域の定義を無効にする「-notda」オプションをコンパイル時に指定するか、TDA領域の定義をソース・コード上からすべて削除してください。

(4) OS（RX850, RX850PRO）について

次のどちらかの条件で使用してください。

- ・スタック領域を内蔵RAM領域のみに設定する。
- ・NMI割り込みを使用しない。

A.2 sst命令と分岐命令が連続した場合の制限事項

A.2.1 内 容

次のようにsst/st命令（ ）のアクセス対象が外部メモリであり、なおかつ、以降にsst命令（ ）とbcond命令（ ）が連続した場合、分岐先命令が正しく実行されない場合があります。

なお、この異常動作は、内蔵メモリ（RAMを含む）からの命令フェッチ、および外部メモリからの命令フェッチのいずれにおいても発生します。

sst/st命令（外部メモリに対するアクセス）

： sst/st命令以外の任意の命令列（0個以上）

sst命令

bcond（bc, be, bge, bgt, bh, bl, ble, blt, bn, bnc, bne, bnh, bnl, bnv, bnz, bp, br, bsa, bv, bz）命令

A.2.2 回避策

この制限事項の回避策について次に示します。

（1）アセンブラについて

次のいずれかの方法により回避可能です。

- ・ bcond命令の直前のsst命令をst命令に置き換え
- ・ bcond命令と直前のsst命令の間に、nop命令を挿入

（2）NECコンパイラについて

V2.41以降のバージョンではコンパイル時に次のオプションを指定することにより、この制限事項を回避できます。

- ・ ca850の回避オプション
-Wa, -p
- ・ as850の回避オプション
-p

（3）GHSコンパイラについて

次の2つの対策を行うことにより、sst命令が出力されないため、この制限事項を回避できます。

コンパイル時に「-Z1412」オプションを指定する。

「-OS」オプションを使う場合は、「-Z1412」と「-inline_prologue」オプションを使用してください。

TDA（タイニ・データ領域）機能のpragmaを使用しない。

TDA領域を使用している場合は、TDA領域の定義を無効にする「-notda」オプションをコンパイル時に指定するか、TDA領域の定義をソース・コード上からすべて削除してください。

備考 GHSコンパイラでの回避方法はA.1 sld命令実行時の制限事項の制限事項回避方法と同一です。

A.3 内蔵RAMでのプログラム実行とDMA転送に関する制限事項

A.3.1 内 容

内蔵RAMを対象としたDMA転送を実行しており、かつ内蔵RAM上に配置されたビット操作命令（SET1, CLR1, NOT1）、もしくは、ミス・アライン・アドレスに対するデータ・アクセス命令を実行した場合、内部バスの競合動作により、CPUが動作できなくなる場合があります。CPUが動作できない状態ではリセットのみ受け付け可能です（NMIも割り込みも受け付けられません）。

A.3.2 非該当条件

この制限事項は、次のどちらかの場合には非該当です。

- (1) 内蔵RAM上での命令実行を行っていない場合
- (2) 内蔵RAMを対象としたDMA転送を行っていない場合

A.3.3 回避策

この制限事項の回避策について次に示します。

- (1) 内蔵RAM上に配置された命令を実行する場合は、内蔵RAMを対象としたDMA転送を行わないでください。
- (2) 内蔵RAMを対象とするDMAを実行する場合は、内蔵RAM上に配置された命令実行を行わないでください。

A.4 内蔵RAMを対象としたDMA転送と、内蔵RAMでの命令実行の競合に関する制限事項

A.4.1 内 容

内蔵RAM上のプログラム実行において、分岐命令または割り込みによる内蔵RAMから外部メモリへの分岐と、内蔵RAMに対するDMA転送が競合すると、外部メモリ上にある1-2命令を間違っ
てフェッチし、誤動作が発生することがあります。

(1) 次の2つの条件が共に該当する場合、分岐先の外部メモリ上にあるプログラムの先頭1-2命令を間違っ
てフェッチする場合があります。

条件1：内蔵RAMでプログラムを実行しており、分岐命令（Bcond^{注1}、JR、JARL、JMP、RETI）に
よる外部メモリへの分岐が発生。

条件2：内蔵RAMを対象^{注2}とするDMA転送を実行。

(2) 次の2つの条件が共に該当する場合、外部メモリ上にある割り込みハンドラの先頭1-2命令を間違っ
てフェッチする場合があります。

条件1：内蔵RAM上でプログラムを実行しており、割り込み（NMIを含む）による割り込みハンド
ラ（外部メモリ）への分岐が発生。

条件2：内蔵RAMを対象^{注2}とするDMA転送を実行。

注1．Bcond命令

[BGT, BGE, BLT, BLE, BH, BNL, BL, BNH, BE, BNE, BV, BNV, BN, BP, BC, BNC, BZ, BNZ, BR,
BSA]

2．内蔵RAMが転送先の場合、または内蔵RAMが転送元の場合

A.4.2 非該当条件

この制限事項は、次のどちらかの場合には非該当です。

(1) 内蔵RAMでプログラムを実行しない場合

(2) 内蔵RAMを対象^注としたDMA転送を行っていない場合

注 内蔵RAMが転送先の場合、または内蔵RAMが転送元の場合

A.4.3 回避策

この制限事項の回避策について次に示します。

(1) ソフトウェアによる回避策

内蔵RAM上のプログラム実行中は、割り込みを禁止したうえで、次の回避策を行ってください。

また、NMIを使用している場合は、(2)の回避策を行ってください。

- ・内蔵RAMから外部メモリへの分岐命令の直前に、内蔵RAMからのダミー・リード+NOP命令を実行し、かつ分岐はワード・アラインされた「JMP」命令で行ってください。次に例を示します。

(a) JMP命令で分岐する場合の例

制限事項該当例	回避方法
内蔵RAM上のプログラム 任意の命令 jmp [rX]	内蔵RAM上のプログラム 任意の命令 .align 4 ^注 nop ld.b 0xFFFFFE000[r0], r0 nop jmp [rX]
外部メモリ上のプログラム 任意の命令	外部メモリ上のプログラム 任意の命令

注 NOP命令以降の追加命令を32ビット・アラインで配置します。

備考 レジスタrXは、制限事項該当例のレジスタrXと同じです。

(b) RETI命令で分岐する場合の例

制限事項該当例	回避方法
内蔵RAM上のプログラム 任意の命令 reti	内蔵RAM上のプログラム 任意の命令 .align 4 ^注 nop ld.b 0xFFFFFE000[r0], r0 nop reti
外部メモリ上のプログラム 任意の命令	外部メモリ上のプログラム 任意の命令

注 NOP命令以降の追加命令を32ビット・アラインで配置します。

(c) Bcond, JR命令で分岐する場合の例

制限事項該当例	回避方法
内蔵RAM上のプログラム 任意の命令 br/jr EXMEM	内蔵RAM上のプログラム 任意の命令 .align 4 ^注 movhi hi(EXMEM), r0, rY movea lo(EXMEM), rY, rY nop ld.b 0xFFFFE000[r0], r0 nop jmp [rY]
外部メモリ上のプログラム EXMEM: 任意の命令	外部メモリ上のプログラム EXMEM: 任意の命令

注 MOVHI命令以降の追加命令を32ビット・アラインで配置します。

備考 レジスタrYは未使用の任意のレジスタです。

(d) JARL命令で分岐する場合の例

制限事項該当例	回避方法
内蔵RAM上のプログラム 任意の命令 jarl EXMEM, rZ	内蔵RAM上のプログラム 任意の命令 .align 4 ^{注1} movhi hi(EXMEM), r0, rW movea lo(EXMEM), rW, rW jarl DUMMYLBL, rZ ^{注2} DUMMYLBL: add 0x0a, rZ ^{注3} ld.b 0xFFFFE000[r0], r0 nop jmp [rW]
外部メモリ上のプログラム EXMEM: 任意の命令	外部メモリ上のプログラム EXMEM: 任意の命令

注1 .MOVHI命令以降の追加命令を32ビット・アラインで配置します。

2 .JARL命令のディスプレースメントは次のadd命令です。

3 .JMP命令の次の命令に復帰するためのディスプレースメント加算です。

備考1 .レジスタrWは、未使用の任意のレジスタです。

2 .レジスタrZは、制限事項該当例のレジスタrZと同じです。

(2) 制限事項回避策(1)が適用できない場合

次のいずれかの方法により回避してください。

- (a) 内蔵RAMを対象としたDMA転送を行う場合は、内蔵RAMでプログラムを実行しないでください。
- (b) 内蔵RAMでプログラムを実行する場合は、内蔵RAMを対象としたDMA転送を行わないでください。

付録B レジスタ索引

(1/5)

略号	名称	ユニット	ページ
ADCR0	A/D変換結果レジスタ0	ADC	291
ADCR0H	A/D変換結果レジスタ0H	ADC	291
ADCR1	A/D変換結果レジスタ1	ADC	291
ADCR1H	A/D変換結果レジスタ1H	ADC	291
ADCR2	A/D変換結果レジスタ2	ADC	291
ADCR2H	A/D変換結果レジスタ2H	ADC	291
ADCR3	A/D変換結果レジスタ3	ADC	291
ADCR3H	A/D変換結果レジスタ3H	ADC	291
ADIC	割り込み制御レジスタ	INTC	185
ADM0	A/Dコンバータ・モード・レジスタ0	ADC	288
ADM1	A/Dコンバータ・モード・レジスタ1	ADC	290
ASIM00	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	UART0	257
ASIM01	アシンクロナス・シリアル・インタフェース・モード・レジスタ01	UART0	257
ASIM10	アシンクロナス・シリアル・インタフェース・モード・レジスタ10	UART1	257
ASIM11	アシンクロナス・シリアル・インタフェース・モード・レジスタ11	UART1	257
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	UART0	261
ASIS1	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	UART1	261
BCC	バス・サイクル・コントロール・レジスタ	BCU	90
BCT	バス・サイクル・タイプ・コンフィギュレーション・レジスタ	BCU	78
BPRM0	ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ0	BRG0	284
BPRM1	ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ1	BRG1	284
BRGC0	ポー・レート・ジェネレータ・コンペア・レジスタ0	BRG0	283
BRGC1	ポー・レート・ジェネレータ・コンペア・レジスタ1	BRG1	283
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	81
CC100	キャプチャ/コンペア・レジスタ100	RPU	222
CC101	キャプチャ/コンペア・レジスタ101	RPU	222
CC102	キャプチャ/コンペア・レジスタ102	RPU	222
CC103	キャプチャ/コンペア・レジスタ103	RPU	222
CC110	キャプチャ/コンペア・レジスタ110	RPU	222
CC111	キャプチャ/コンペア・レジスタ111	RPU	222
CC112	キャプチャ/コンペア・レジスタ112	RPU	222
CC113	キャプチャ/コンペア・レジスタ113	RPU	222
CC120	キャプチャ/コンペア・レジスタ120	RPU	222
CC121	キャプチャ/コンペア・レジスタ121	RPU	222
CC122	キャプチャ/コンペア・レジスタ122	RPU	222
CC123	キャプチャ/コンペア・レジスタ123	RPU	222
CC130	キャプチャ/コンペア・レジスタ130	RPU	222
CC131	キャプチャ/コンペア・レジスタ131	RPU	222
CC132	キャプチャ/コンペア・レジスタ132	RPU	222
CC133	キャプチャ/コンペア・レジスタ133	RPU	222
CKC	クロック・コントロール・レジスタ	CG	203
CM40	コンペア・レジスタ40	RPU	224

略号	名称	ユニット	ページ
CM41	コンペア・レジスタ41	RPU	224
CMIC40	割り込み制御レジスタ	INTC	185
CMIC41	割り込み制御レジスタ	INTC	185
CSIC0	割り込み制御レジスタ	INTC	185
CSIC1	割り込み制御レジスタ	INTC	185
CSIM0	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSI0	271
CSIM1	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSI1	271
CTBP	CALLTベース・ポインタ	CPU	52
CTPC	CALLT実行時状態退避レジスタ	CPU	52
CTPSW	CALLT実行時状態退避レジスタ	CPU	52
DADC0	DMAアドレッシング・コントロール・レジスタ0	DMAC	140
DADC1	DMAアドレッシング・コントロール・レジスタ1	DMAC	140
DADC2	DMAアドレッシング・コントロール・レジスタ2	DMAC	140
DADC3	DMAアドレッシング・コントロール・レジスタ3	DMAC	140
DBC0	DMAバイト・カウント・レジスタ0	DMAC	139
DBC1	DMAバイト・カウント・レジスタ1	DMAC	139
DBC2	DMAバイト・カウント・レジスタ2	DMAC	139
DBC3	DMAバイト・カウント・レジスタ3	DMAC	139
DBPC	例外トラップ時状態退避レジスタ	CPU	52
DBPSW	例外トラップ時状態退避レジスタ	CPU	52
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMAC	142
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMAC	142
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMAC	142
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMAC	142
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMAC	137
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMAC	138
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMAC	137
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMAC	138
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMAC	137
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMAC	138
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMAC	137
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMAC	138
DDIS	DMAディスエーブル・ステータス・レジスタ	BCU	144
DMAIC0	割り込み制御レジスタ	INTC	185
DMAIC1	割り込み制御レジスタ	INTC	185
DMAIC2	割り込み制御レジスタ	INTC	185
DMAIC3	割り込み制御レジスタ	INTC	185
DRC0	DRAMコンフィギュレーション・レジスタ0	BCU	111
DRC1	DRAMコンフィギュレーション・レジスタ1	BCU	111
DRC2	DRAMコンフィギュレーション・レジスタ2	BCU	111
DRC3	DRAMコンフィギュレーション・レジスタ3	BCU	111
DRST	DMAリスタート・レジスタ	BCU	145
DSA0H	DMAソース・アドレス・レジスタ0H	DMAC	135
DSA0L	DMAソース・アドレス・レジスタ0L	DMAC	136
DSA1H	DMAソース・アドレス・レジスタ1H	DMAC	135
DSA1L	DMAソース・アドレス・レジスタ1L	DMAC	136

略号	名称	ユニット	ページ
DSA2H	DMAソース・アドレス・レジスタ2H	DMAC	135
DSA2L	DMAソース・アドレス・レジスタ2L	DMAC	136
DSA3H	DMAソース・アドレス・レジスタ3H	DMAC	135
DSA3L	DMAソース・アドレス・レジスタ3L	DMAC	136
DTC	DRAMタイプ・コンフィギュレーション・レジスタ	BCU	114
DTFR0	DMAトリガ要因レジスタ0	DMAC	143
DTFR1	DMAトリガ要因レジスタ1	DMAC	143
DTFR2	DMAトリガ要因レジスタ2	DMAC	143
DTFR3	DMAトリガ要因レジスタ3	DMAC	143
DWC1	データ・ウェイト・コントロール・レジスタ1	BCU	86
DWC2	データ・ウェイト・コントロール・レジスタ2	BCU	86
ECR	割り込み要因レジスタ	CPU	52
EIPC	割り込み時状態退避レジスタ	CPU	52
EIPSW	割り込み時状態退避レジスタ	CPU	52
FDW	フライバイ転送データ・ウェイト・コントロール・レジスタ	BCU	145
FEPC	NMI時状態退避レジスタ	CPU	52
FEPSW	NMI時状態退避レジスタ	CPU	52
INTM0	外部割り込みモード・レジスタ0	INTC	177
INTM1	外部割り込みモード・レジスタ1	INTC	190
INTM2	外部割り込みモード・レジスタ2	INTC	190
INTM4	外部割り込みモード・レジスタ4	INTC	190
ISPR	インサースビス・プライオリティ・レジスタ	INTC	187
MM	メモリ拡張モード・レジスタ	ポート	63
OVIC10	割り込み制御レジスタ	INTC	185
OVIC11	割り込み制御レジスタ	INTC	185
OVIC12	割り込み制御レジスタ	INTC	185
OVIC13	割り込み制御レジスタ	INTC	185
P0	ポート0	ポート	329
P1	ポート1	ポート	332
P2	ポート2	ポート	335
P3	ポート3	ポート	338
P5	ポート5	ポート	341
P6	ポート6	ポート	343
P7	ポート7	ポート	345
P8	ポート8	ポート	346
P9	ポート9	ポート	350
P10	ポート10	ポート	353
P10IC0	割り込み制御レジスタ	INTC	185
P10IC1	割り込み制御レジスタ	INTC	185
P10IC2	割り込み制御レジスタ	INTC	185
P10IC3	割り込み制御レジスタ	INTC	185
P11IC0	割り込み制御レジスタ	INTC	185
P11IC1	割り込み制御レジスタ	INTC	185
P11IC2	割り込み制御レジスタ	INTC	185
P11IC3	割り込み制御レジスタ	INTC	185
P12IC0	割り込み制御レジスタ	INTC	185

略号	名称	ユニット	ページ
P12IC1	割り込み制御レジスタ	INTC	185
P12IC2	割り込み制御レジスタ	INTC	185
P12IC3	割り込み制御レジスタ	INTC	185
P13IC0	割り込み制御レジスタ	INTC	185
P13IC1	割り込み制御レジスタ	INTC	185
P13IC2	割り込み制御レジスタ	INTC	185
P13IC3	割り込み制御レジスタ	INTC	185
PC	プログラム・カウンタ	CPU	51
PCS0	ポート / コントロール選択レジスタ 0	ポート	331
PCS1	ポート / コントロール選択レジスタ 1	ポート	334
PCS8	ポート / コントロール選択レジスタ 8	ポート	349
PM0	ポート 0 モード・レジスタ	ポート	329
PM1	ポート 1 モード・レジスタ	ポート	332
PM2	ポート 2 モード・レジスタ	ポート	336
PM3	ポート 3 モード・レジスタ	ポート	339
PM5	ポート 5 モード・レジスタ	ポート	342
PM6	ポート 6 モード・レジスタ	ポート	344
PM8	ポート 8 モード・レジスタ	ポート	347
PM9	ポート 9 モード・レジスタ	ポート	351
PM10	ポート 10 モード・レジスタ	ポート	353
PMC0	ポート 0 モード・コントロール・レジスタ	ポート	330
PMC1	ポート 1 モード・コントロール・レジスタ	ポート	333
PMC2	ポート 2 モード・コントロール・レジスタ	ポート	337
PMC3	ポート 3 モード・コントロール・レジスタ	ポート	340
PMC8	ポート 8 モード・コントロール・レジスタ	ポート	348
PMC9	ポート 9 モード・コントロール・レジスタ	ポート	352
PMC10	ポート 10 モード・コントロール・レジスタ	ポート	354
PMCX	ポート X モード・コントロール・レジスタ	ポート	357
PMX	ポート X モード・レジスタ	ポート	356
PRC	ページROMコンフィギュレーション・レジスタ	BCU	106
PRCMD	コマンド・レジスタ	CPU	74
PSC	パワー・セーブ・コントロール・レジスタ	CPU	206
PSW	プログラム・ステータス・ワード	CPU	53
PX	ポート X	ポート	355
r0-r31	汎用レジスタ	CPU	51
RFC0	リフレッシュ・コントロール・レジスタ 0	BCU	125
RFC1	リフレッシュ・コントロール・レジスタ 1	BCU	125
RFC2	リフレッシュ・コントロール・レジスタ 2	BCU	125
RFC3	リフレッシュ・コントロール・レジスタ 3	BCU	125
RWC	リフレッシュ・ウエイト・コントロール・レジスタ	BCU	127
RXB0	受信バッファ 0 (9ビット)	UART0	262
RXB0L	受信バッファ 0L (下位 8 ビット)	UART0	262
RXB1	受信バッファ 1 (9ビット)	UART1	262
RXB1L	受信バッファ 1L (下位 8 ビット)	UART1	262
SEIC0	割り込み制御レジスタ	INTC	185
SEIC1	割り込み制御レジスタ	INTC	185

略号	名称	ユニット	ページ
SIO0	シリアルI/Oシフト・レジスタ0	CSI0	273
SIO1	シリアルI/Oシフト・レジスタ1	CSI1	273
SRIC0	割り込み制御レジスタ	INTC	185
SRIC1	割り込み制御レジスタ	INTC	185
STIC0	割り込み制御レジスタ	INTC	185
STIC1	割り込み制御レジスタ	INTC	185
SYS	システム・ステータス・レジスタ	CPU	75
TM10	タイマ10	RPU	221
TM11	タイマ11	RPU	221
TM12	タイマ12	RPU	221
TM13	タイマ13	RPU	221
TM40	タイマ40	RPU	224
TM41	タイマ41	RPU	224
TMC10	タイマ・コントロール・レジスタ10	RPU	227
TMC11	タイマ・コントロール・レジスタ11	RPU	227
TMC12	タイマ・コントロール・レジスタ12	RPU	227
TMC13	タイマ・コントロール・レジスタ13	RPU	227
TMC40	タイマ・コントロール・レジスタ40	RPU	229
TMC41	タイマ・コントロール・レジスタ41	RPU	229
TOC10	タイマ出力コントロール・レジスタ10	RPU	230
TOC11	タイマ出力コントロール・レジスタ11	RPU	230
TOC12	タイマ出力コントロール・レジスタ12	RPU	230
TOVS	タイマ・オーバフロー・ステータス・レジスタ	RPU	231
TUM10	タイマ・ユニット・モード・レジスタ10	RPU	225
TUM11	タイマ・ユニット・モード・レジスタ11	RPU	225
TUM12	タイマ・ユニット・モード・レジスタ12	RPU	225
TUM13	タイマ・ユニット・モード・レジスタ13	RPU	225
TXS0	送信シフト・レジスタ0(9ビット)	UART0	263
TXS0L	送信シフト・レジスタ0L(下位8ビット)	UART0	263
TXS1	送信シフト・レジスタ1(9ビット)	UART1	263
TXS1L	送信シフト・レジスタ1L(下位8ビット)	UART1	263

付録C 命令セット一覧

C.1 凡 例

(1) オペランド記述に使われる略号

略 号	説 明
reg1	汎用レジスタ (r0-r31) : ソース・レジスタとして使用する。
reg2	汎用レジスタ (r0-r31) : おもにデスティネーション・レジスタとして使用する。
reg3	汎用レジスタ (r0-r31) : おもに除算結果の余り, 乗算結果の上位 3 ビットを格納する。
imm x	x ビット・イミューディエト
disp x	x ビット・ディスプレイースメント
regID	システム・レジスタ番号
bit#3	ビット・ナンバ指定用 3 ビット・データ
ep	エレメント・ポインタ (r30)
cccc	条件コードを示す 4 ビット・データ
vector	トラップ・ベクタ (00H-1FH) を指定する 5 ビット・データ
list x	x 個のレジスタ・リスト

(2) オペコード記述に使われる略号

略 号	説 明
R	reg1またはregIDを指定するコードの 1 ビット分データ
r	reg2を指定するコードの 1 ビット分データ
w	reg3を指定するコードの 1 ビット分データ
d	ディスプレイースメントの 1 ビット分データ
i	イミューディエトの 1 ビット分データ
cccc	条件コードを示す 4 ビット・データ
bbb	ビット・ナンバ指定 3 ビット・データ
L	レジスタ・リストを指定する 1 ビット分データ

(3) オペレーションに使われる略号 (1/2)

略 号	説 明
	代入
GR []	汎用レジスタ
SR []	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a,b)	アドレスaから, サイズbのデータを読み出す。
store-memory (a,b,c)	アドレスaにデータbをサイズcで書き込む。
load-memory-bit (a,b)	アドレスaのビットbを読み出す。
store-memory-bit (a,b,c)	アドレスaのビットbにcを書き込む。
saturated (n)	nの飽和処理を行う (nは 2 の補数)。 nが計算の結果, n 7FFFFFFFHとなった場合, 7FFFFFFFHとする。 n 80000000Hとなった場合, 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8 ビット)
Half-word	ハーフワード (16 ビット)

(3) オペレーションに使われる略号 (2/2)

略号	説明
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略号	説明
i : issue	命令実行直後にほかの命令を実行する場合
r : repeat	命令実行直後に同一命令を繰り返す場合
l : latency	命令実行結果を直後の命令で引用する場合

(5) フラグの動作に使われる略号

識別子	説明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件名 (cond)	条件コード (cccc)	条件式	説明
V	0 0 0 0	$OV = 1$	Overflow
NV	1 0 0 0	$OV = 0$	No overflow
C/L	0 0 0 1	$CY = 1$	Carry Lower (Less than)
NC/NL	1 0 0 1	$CY = 0$	No carry Not lower (Greater than or equal)
Z/E	0 0 1 0	$Z = 1$	Zero Equal
NZ/NE	1 0 1 0	$Z = 0$	Not zero Not equal
NH	0 0 1 1	$(CY \text{ or } Z) = 1$	Not higher (Less than or equal)
H	1 0 1 1	$(CY \text{ or } Z) = 0$	Higher (Greater than)
N	0 1 0 0	$S = 1$	Negative
P	1 1 0 0	$S = 0$	Positive
T	0 1 0 1	-	Always (無条件)
SA	1 1 0 1	$SAT = 1$	Saturated
LT	0 1 1 0	$(S \text{ xor } OV) = 1$	Less than signed
GE	1 1 1 0	$(S \text{ xor } OV) = 0$	Greater than or equal signed
LE	0 1 1 1	$((S \text{ xor } OV) \text{ or } Z) = 1$	Less than or equal signed
GT	1 1 1 1	$((S \text{ xor } OV) \text{ or } Z) = 0$	Greater than signed

C.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
ADD	reg1,reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2]+GR[reg1]	1	1	1	x	x	x	x		
	imm5,reg2	rrrrr010010iiii	GR[reg2] GR[reg2]+sign-extend(imm5)	1	1	1	x	x	x	x		
ADDI	imm16,reg1,reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1]+sign-extend(imm16)	1	1	1	x	x	x	x		
AND	reg1,reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2]AND GR[reg1]	1	1	1		0	x	x		
ANDI	imm16,reg1,reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1]AND zero-extend(imm16)	1	1	1		0	0	x		
Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied then PC PC+sign-extend(disp9)	条件成立時	2	2	2					
			条件不成立時	1	1	1						
BSH	reg2,reg3	rrrrr11111100000 wwwww01101000010	GR[reg3] GR[reg2][23:16] GR[reg2][31:24] GR[reg2][7:0] GR[reg2][15:8]	1	1	1	x	0	x	x		
BSW	reg2,reg3	rrrrr11111100000 wwwww01101000000	GR[reg3] GR[reg2][7:0] GR[reg2][15:8] GR[reg2][23:16] GR[reg2][31:24]	1	1	1	x	0	x	x		
CALLT	imm6	000001000iiii	CTPC PC+2 return PC) CTPSW PSW adr CTBP+zero-extend(imm6 logically shift left by 1) PC CTBP+zero-extend(Load-memory(adr, Half-word))	4	4	4						
CLR1	bit#3,disp16[reg1]	10bbb111110RRRRR dddddddddddddd	adr GR[reg1]+sign-extend(disp16) Zフラグ No(Load-memory-bi(adr,bit#3)) Store-memory-bi(adr,bit#3,0)	3	3	3					x	
	reg2[reg1]	rrrrr111111RRRRR 0000000011100100	adr GR[reg1] Zフラグ No(Load-memory-bi(adr,reg2)) Store-memory-bi(adr,reg2,0)	3	3	3					x	
CMOV	cccc,imm5,reg2,reg3	rrrrr111111iiii wwwww011000cccc0	if conditions are satisfied then GR[reg3] sign-extended(imm5) else GR[reg3] GR[reg2]	1	1	1						
	cccc,reg1,reg2,reg3	rrrrr111111RRRRR wwwww011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1						
CMP	reg1,reg2	rrrrr001111RRRRR	result GR[reg2]-GR[reg1]	1	1	1	x	x	x	x		
	imm5,reg2	rrrrr010011iiii	result GR[reg2]-sign-extend(imm5)	1	1	1	x	x	x	x		
CTRET		000011111100000 0000000101000100	PC CTPC PSW CTPSW	3	3	3	R	R	R	R	R	
DI		000011111100000 0000000101100000	PSW.ID 1	1	1	1						
DISPOSE	imm5,list12	000011001iiiiL LLLLLLLLLLLL00000	sp sp+zero-extend(imm5 logically shift left by 2) GR[reg in list12] Load-memory(sp,Word) sp sp+4 repeat 2 steps above until all regs in list12 is loaded	N+1 注4	N+1 注4	N+1 注4						
	imm5, list12,[reg1]	000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp+zero-extend(imm5 logically shift left by 2) GR[reg in list12] Load-memory(sp,Word) sp sp+4 repeat 2 steps above until all regs in list12 is loaded PC GR[reg1]	N+3 注4	N+3 注4	N+3 注4						
DIV	reg1,reg2,reg3	rrrrr111111RRRRR wwwww01011000000	GR[reg2] GR[reg2]÷GR[reg1] GR[reg3] GR[reg2]%GR[reg1]	35	35	35		x	x	x		

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
DIVH	reg1,reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2]÷GR[reg1] ^{注6}	35	35	35		x	x	x	
	reg1,reg2,reg3	rrrrr11111RRRRR wwwww01010000000	GR[reg2] GR[reg2]÷GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVHU	reg1,reg2,reg3	rrrrr11111RRRRR wwwww01010000010	GR[reg2] GR[reg2]÷GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
DIVU	reg1,reg2,reg3	rrrrr11111RRRRR wwwww01011000010	GR[reg2] GR[reg2]÷GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
EI		100001111100000 0000000101100000	PSW.ID 0	1	1	1					
HALT		000001111100000 0000000100100000	停止する	1	1	1					
HSW	reg2,reg3	rrrrr1111100000 wwwww01101000100	GR[reg3] GR[reg2] [15:0) GR[reg2] [31:16)	1	1	1	x	0	x	x	
JARL	disp22,reg2	rrrrr11110dddddd ddddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	2	2	2					
JMP	[reg1]	0000000011RRRRR	PC GR[reg1]	3	3	3					
JR	disp22	0000011110dddddd ddddddddddddddd0 注7	PC PC + sign-extend(disp22)	2	2	2					
LD.B	disp16[reg1]reg2	rrrrr11100RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) GR[reg2] sign-extend(Load-memory(adr,Byte))	1	1	n					注9
LD.BU	disp16[reg1]reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend(disp16) GR[reg2] zero-extend(Load-memory(adr,Byte))	1	1	n					注11
LD.H	disp16[reg1]reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend(disp16) GR[reg2] sign-extend(Load-memory(adr,Half-word))	1	1	n					注9
LD.HU	disp16[reg1]reg2	rrrrr11111RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend(disp16) GR[reg2] zero-extend(Load-memory(adr,Half-word))	1	1	n					注11
LD.W	disp16[reg1]reg2	rrrrr111001RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend(disp16) GR[reg2] Load-memory(adr,Word)	1	1	n					注9
LDSR	reg2,regID	rrrrr11111RRRRR 000000000100000 注12	SR[regID] GR[reg2] regID=PSW以外 regID=PSW	1	1	1					x x x x x
MOV	reg1,reg2	rrrrr00000RRRRR	GR[reg2] GR[reg1]	1	1	1					
	imm5,reg2	rrrrr01000iiii	GR[reg2] sign-extend(imm5)	1	1	1					
	imm32,reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2					
MOVEA	imm16,reg1,reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend(imm16)	1	1	1					
MOVHI	imm16,reg1,reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 ¹⁶)	1	1	1					
MUL	reg1,reg2,reg3	rrrrr11111RRRRR wwwww01000100000	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	2	2					注14
	imm9,reg2,reg3	rrrrr11111iiii wwwww01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend(imm9)	1	2	2					注14

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
MULH	reg1,reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] ^{注6} × GR[reg1] ^{注6}	1	1	2					
	imm5,reg2	rrrrr010111iiii	GR[reg2] GR[reg2] ^{注6} × sign-extend(imm5)	1	1	2					
MULHI	imm16,reg1,reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] ^{注6} × imm16	1	1	2					
MULU	reg1,reg2,reg3	rrrrr111111RRRRR wwwww01000100010	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	2	2					
	imm9,reg2,reg3	rrrrr111111iiii wwwww01001IIII10	GR[reg3] GR[reg2] GR[reg2] × zero-extend(imm9) 注13	1	2	2					
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1					
NOT	reg1,reg2	rrrrr000001RRRRR	GR[reg2] NOT(GR[reg1])	1	1	1		0	x	x	
NOT1	bit#3,disp16[reg1]	01bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ No(Load-memory-bi(adr,bit#3)) Store-memory-bi(adr,bit#3,Zフラグ)	3	3	3					x
	reg2[reg1]	rrrrr111111RRRRR 0000000011100010	adr GR[reg1] Zフラグ No(Load-memory-bi(adr,reg2)) Store-memory-bi(adr, reg2,Zフラグ)	3	3	3					x
OR	reg1,reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	x	x	
ORI	imm16,reg1,reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend(imm16)	1	1	1		0	x	x	
PREPARE	list12,imm5	0000011110iiiiL LLLLLLLLLLLL00001	Store-memory(sp - 4,GR[reg in list12]Word) sp sp - 4 repeat 1 step above until all regs in list12 is stored sp sp-zero-extend(imm5)	N+1	N+1	N+1					
	list12,imm5,sp/imm ^{注15}	0000011110iiiiL LLLLLLLLLLLLff011 imm16/imm32 注16	Store-memory(sp - 4,GR[reg in list12]Word) sp sp - 4 repeat 1 step above until all regs in list12 is stored sp sp-zero-extend(imm5) ep sp/imm	N+2	N+2	N+2					
RETI		0000011111100000 0000000101000000	if PSW.EP=1 then PC EIPC PSW EIPSW else if PSW.NP=1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	3	3	3	R	R	R	R	R
SAR	reg1,reg2	rrrrr111111RRRRR 0000000010100000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5,reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend(imm5)	1	1	1	x	0	x	x	
SASF	cccc,reg2	rrrrr1111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] logically shift left by 1) OR 00000001H else GR[reg2] (GR[reg2] logically shift left by 1) OR 00000000H	1	1	1					
SATADD	reg1,reg2	rrrrr000110RRRRR	GR[reg2] saturated(GR[reg2] + GR[reg1])	1	1	1	x	x	x	x	x
	imm5,reg2	rrrrr010001iiii	GR[reg2] saturated(GR[reg2] + sign-extend(imm5))	1	1	1	x	x	x	x	x

二モニック	オペランド	コード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SATSUB	reg1,reg2	rrrrr000101RRRRR	GR[reg2] saturated(GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16,reg1,reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated(GR[reg1] - sign-extend(imm16))	1	1	1	x	x	x	x	x
SATSUBR	reg1,reg2	rrrrr000100RRRRR	GR[reg2] saturated(GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc,reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3,disp16[reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ No(Load-memory-bit(adr,bit#3)) Store-memory-bit(adr,bit#3,1)	3	3	3				x	
	reg2[reg1]	rrrrr111111RRRRR 0000000011100000	adr GR[reg1] Zフラグ No(Load-memory-bit(adr,reg2)) Store-memory-bit(adr,reg2,1)	3	3	3					x
SHL	reg1,reg2	rrrrr111111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5,reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend(imm5)	1	1	1	x	0	x	x	
SHR	reg1,reg2	rrrrr111111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5,reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend(imm5)	1	1	1	x	0	x	x	
SLD.B	disp7[ep]reg2	rrrrr0110ddddddd	adr ep + zero-extend(disp7) GR[reg2] sign-extend(Load-memory(adr,Byte))	1	1	n					
SLD.BU	disp4[ep]reg2 注18	rrrrr0000110dddd	adr ep + zero-extend(disp4)	1	1	n					
			GR[reg2] zero-extend(Load-memory(adr,Byte))								
SLD.H	disp8[ep]reg2 注19	rrrrr1000ddddddd	adr ep + zero-extend(disp8)	1	1	n					
			GR[reg2] sign-extend(Load-memory(adr,Half-word))								
SLD.HU	disp5[ep]reg2 注18, 20	rrrrr0000111dddd	adr ep + zero-extend(disp5)	1	1	n					
			GR[reg2] zero-extend(Load-memory(adr,Half-word))								
SLD.W	disp8[ep]reg2 注21	rrrrr1010dddddd0	adr ep + zero-extend(disp8)	1	1	n					
			GR[reg2] Load-memory(adr,Word)								
SST.B	reg2,disp7[ep]	rrrrr0111ddddddd	adr ep + zero-extend(disp7) Store-memory(adr,GR[reg2]Byte)	1	1	1					
SST.H	reg2,disp8[ep] 注19	rrrrr1001ddddddd	adr ep + zero-extend(disp8)	1	1	1					
			Store-memory(adr,GR[reg2]Half-word)								
SST.W	reg2,disp8[ep] 注21	rrrrr1010dddddd1	adr ep + zero-extend(disp8)	1	1	1					
			Store-memory(adr,GR[reg2]Word)								
ST.B	reg2,disp16[reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Store-memory(adr,GR[reg2]Byte)	1	1	1					
ST.H	reg2,disp16[reg1] 注8	rrrrr111011RRRRR ddddddddddddddd0	adr GR[reg1] + sign-extend(disp16)	1	1	1					
			Store-memory(adr,GR[reg2],Half-word)								
ST.W	reg2,disp16[reg1] 注8	rrrrr111011RRRRR ddddddddddddddd1	adr GR[reg1] + sign-extend(disp16)	1	1	1					
			Store-memory(adr,GR[reg2],Word)								
STSR	regID,reg2	rrrrr111111RRRRR 000000001000000	GR[reg2] SR[regID]	1	1	1					
SUB	reg1,reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
SUBR	reg1,reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x	

ニモニック	オペランド	コード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SWITCH	reg1	0000000010RRRRR	adr (PC+2) + (GR [reg1] logically shift left by 1) PC (PC+2) + (sign-extend (Load-memory (adr,Half-word))) logically shift left by 1	5	5	5					
SXB	reg1	0000000101RRRRR	GR [reg1] sign-extend (GR [reg1] (7 : 0))	1	1	1					
SXH	reg1	0000000111RRRRR	GR [reg1] sign-extend (GR [reg1] (15 : 0))	1	1	1					
TRAP	vector	000001111111iiii 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 00000040H (vectorが00H-0FHのとき) 00000050H (vectorが10H-1FHのとき)	3	3	3					
TST	reg1,reg2	rrrrr001011RRRRR	result GR [reg2] AND GR [reg1]	1	1	1		0	x	x	
TST1	bit#3,disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr GR [reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr,bit#3))	3	3	3					x
	reg2, [reg1]	rrrrr111111RRRRR 000000011100110	adr GR [reg1] Zフラグ Not (Load-memory-bit (adr,reg2))	3	3	3					x
XOR	reg1,reg2	rrrrr001001RRRRR	GR [reg2] GR [reg2] XOR GR [reg1]	1	1	1		0	x	x	
XORI	imm16,reg1,reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR [reg2] GR [reg1] XOR zero-extend (imm16)	1	1	1		0	x	x	
ZXB	reg1	0000000100RRRRR	GR [reg1] zero-extend (GR [reg1] (7 : 0))	1	1	1					
ZXH	reg1	0000000110RRRRR	GR [reg1] zero-extend (GR [reg1] (15 : 0))	1	1	1					

注1 . dddddddd : disp9の上位8ビット

2 .最後の命令がPSWライト・アクセスを含む場合は3クロック

3 .ウエイト・ステートがない場合 (3+リード・アクセス・ウエイト・ステート数)

4 .Nはリスト12のリード・レジスタの合計数 (ウエイト・ステート数による。また、ウエイト・ステートがない場合、Nはリスト12のレジスタ数)

5 .RRRRR : 00000以外

6 .下位ハーフワード・データだけ有効

7 .ddddddddddddddddddd : disp22の上位21ビット

8 .ddddddddddddddd : disp16の上位15ビット

9 .ウエイト・ステート数による (ウエイト・ステートがない場合は1)

10 .b : disp16のビット0

11 .ウエイト・ステート数による (ウエイト・ステートがない場合は2)

12 .この命令では、ニモニックの記述の都合上、ソース・レジスタをreg2としていますが、オペコード上はreg1のフィールドを使用しています。したがって、ニモニック記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。

rrrrr = regID指定

RRRRR = reg2指定

13 .iiii : imm9の下位5ビット

llll : imm9の上位4ビット

- 注14. $r = w$ (結果の下位32ビットがレジスタに書き込まれない), または $w = r0$ (結果の上位32ビットがレジスタに書き込まれない) 場合は 1
- 15. sp/imm : サブオペコードのビット19, 20で指定
 - 16. $ff = 00$: sp を ep にロード
 - 01 : 符号拡張した16ビット・イミューディエト・データ (ビット47-32) を ep にロード
 - 10 : 16ビット論理左シフトした16ビット・イミューディエト・データ (ビット47-32) を ep にロード
 - 11 : 32ビット・イミューディエト・データ (ビット63-32) を ep にロード
 - 17. $imm = imm32$ の場合は $N + 3$ クロック
 - 18. $rrrrr$: 00000以外
 - 19. $ddddddd$: $disp8$ の上位7ビット
 - 20. $dddd$: $disp5$ の上位4ビット
 - 21. $dddddd$: $disp8$ の上位6ビット

付録D 総合索引

D.1 50音で始まる語句の索引

【あ行】

- アイドル・ステート挿入機能 ... 90
- アイドル・ステート挿入タイミング ... 91
- アクセス・クロック数 ... 80
- アシンクロナス・シリアル・インタフェース0,1 ... 254
- アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0,1 ... 261
- アシンクロナス・シリアル・インタフェース・モード・レジスタ00,01,10,11 ... 257
- アセンブラ予約レジスタ ... 51
- アドレス空間 ... 55
- アドレス・マルチプレクス機能 ... 110
- アナログ入力電圧とA/D変換結果の関係 ... 292
- イニシャライズ ... 359
- イメージ ... 56
- インサース・プライオリティ・レジスタ ... 187
- インターバル・タイマ ... 244
- インターバル・ファクタの設定例 ... 127
- ウェイト機能 ... 86
- ウェイト機能が有効なバス・サイクル ... 88
- エッジ検出機能 ... 177,190
- エレメント・ポインタ ... 51
- 応用分野 ... 24
- オーダ情報 ... 24
- オーバフロー（タイマ1） ... 234
- オーバフロー（タイマ4） ... 241
- オンページ/オフページの判断 ... 104
- 外部割り込みモード・レジスタ1,2,4 ... 190
- カウント・クロック選択（タイマ1） ... 233
- カウント・クロック選択（タイマ4） ... 241
- カウント動作（タイマ1） ... 232
- カウント動作（タイマ4） ... 241
- キャプチャ/コンペア・レジスタ1n0-1n3 (n=0-3) ... 222
- キャプチャ動作（タイマ1） ... 236
- 境界動作条件 ... 95
- グローバル・ポインタ ... 51
- クロック・コントロール・レジスタ ... 203
- クロック・ジェネレータ ... 200
- クロック出力インヒビット・モード ... 213
- クロック選択 ... 202
- クロック同期式シリアル・インタフェース0,1 ... 269
- クロック同期式シリアル・インタフェース・モード・レジスタ0,1 ... 271
- クロック発生機能 ... 200
- 高速ページDRAMアクセス・タイミング ... 115
- コマンド・レジスタ ... 74
- コンペア動作（タイマ1） ... 239
- コンペア動作（タイマ4） ... 242
- コンペア・レジスタ40,41 ... 224

【か行】

- 外部I/Oインタフェース ... 97
- 外部ROMインタフェース ... 97
- 外部ウェイト機能 ... 87
- 外部拡張モード ... 63
- 外部メモリ領域 ... 62

【さ行】

- システム・ステータス・レジスタ ... 75
- システム・レジスタ・セット ... 52
- 周期測定 ... 249
- 周辺I/Oレジスタ ... 68
- 受信エラー割り込み ... 264
- 受信完了割り込み ... 264
- 受信バッファ0,0L,1,1L ... 262
- シリアルI/Oシフト・レジスタ0,1 ... 273
- シリアル・インタフェース機能 ... 253
- シングルステップ転送モード ... 151

シングル転送モード ... 150
 スキャン・モード ... 298
 スタック・ポインタ ... 51
 制御レジスタ (CG) ... 206
 制御レジスタ (DMAC) ... 135
 制御レジスタ (RPU) ... 225
 セルフ・リフレッシュ機能 ... 130
 セレクト・モード ... 295
 ゼロ・レジスタ ... 51
 専用ポー・レート・ジェネレータ0,1 ... 280
 送信完了割り込み ... 264
 送信シフト・レジスタ0,0L,1,1L ... 263
 ソフトウェアSTOPモード ... 212
 ソフトウェア例外 ... 192

【た行】

タイマ1 ... 221
 タイマ1動作 ... 232
 タイマ1トリガ・モード時の再変換動作 ... 310
 タイマ4 ... 224
 タイマ4動作 ... 241
 タイマ10-13 ... 221
 タイマ40,41 ... 224
 タイマ・オーバフロー・ステータス・レジスタ
 ... 231
 タイマ/カウンタ機能 ... 217
 タイマ・コントロール・レジスタ10-13 ... 227
 タイマ・コントロール・レジスタ40,41 ... 229
 タイマ出力コントロール・レジスタ10-12 ... 230
 タイマ・トリガ・モード ... 294
 タイマ・トリガ・モード時の動作 ... 302
 タイマのクリア/スタート(タイマ1) ... 235
 タイマ・ユニット・モード・レジスタ10-13 ... 225
 タイム・ベース・カウンタ ... 216
 ダイレクト・モード ... 202
 多重割り込み処理制御 ... 197
 端子機能 ... 30
 端子状態 ... 34
 端子接続図 ... 25
 端子の入出力回路 ... 48
 端子の入出力回路タイプ ... 47
 端子の未使用時の処理 ... 47

端子名称 ... 26
 注意事項 (A/Dコンバータ) ... 309
 注意事項 (RPU) ... 251
 通常動作モード ... 54
 データ・ウェイト・コントロール・レジスタ1,2
 ... 86
 テキスト・ポインタ ... 51
 転送対象 ... 160
 転送の種類 ... 160
 転送モード ... 150
 動作モード ... 54
 特定レジスタ ... 73
 トリガ・モード ... 294

【な行】

内蔵RAM領域 ... 61
 内蔵周辺I/Oインタフェース ... 80
 内蔵周辺I/O領域 ... 61
 内部ブロック図 ... 27
 ネクスト・アドレス設定機能 ... 161
 ノイズ除去 ... 177,189
 ノンマスカブル割り込み ... 173

【は行】

ハーフワード・アクセス ... 83
 バイト・アクセス ... 82
 バス・アクセス ... 80
 バス・サイクル・コントロール・レジスタ ... 90
 バス・サイクル・タイプ・コンフィギュレーション・
 レジスタ ... 78
 バス・サイクル・タイプ制御機能 ... 78
 バス・サイジング機能 ... 81
 バス・サイズ・コンフィギュレーション・レジスタ
 ... 81
 バス制御機能 ... 76
 バス制御端子 ... 76
 バスの優先順位 ... 95
 バス幅 ... 82
 バス・ホールド機能 ... 92
 バス・ホールド・タイミング ... 94
 発振安定時間の確保 ... 214

パルス幅測定 ...	245	ポート10モード・コントロール・レジスタ ...	354
パワー・セーブ・コントロール・レジスタ ...	206	ポート10モード・レジスタ ...	353
パワー・セーブ制御 ...	205	ポートX ...	355
汎用レジスタ ...	51	ポートXモード・コントロール・レジスタ ...	357
不正命令コード ...	195	ポートXモード・レジスタ ...	356
フライバイ転送 ...	156	ポート機能 ...	313
フライバイ転送データ・ウエイト・コントロール・レジスタ ...	145	ポート/コントロール選択レジスタ0 ...	331
プログラマブル・ウエイト機能 ...	86	ポート/コントロール選択レジスタ1 ...	334
プログラマブル・ウエイトと外部ウエイトの関係 ...	87	ポート/コントロール選択レジスタ8 ...	349
プログラム・カウンタ ...	51	ポートのブロック図 ...	317
プログラム・ステータス・ワード ...	53	ポー・レート・ジェネレータ・コンペア・レジスタ0,1 ...	283
プログラム・レジスタ・セット ...	51	ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ0,1 ...	284
ブロック転送モード ...	151		
ページROMアクセス ...	107	【ま行】	
ページROMコントローラ ...	102	マスカブル割り込み ...	178
ページROMコンフィギュレーション・レジスタ ...	106	マスカブル割り込みの優先順位 ...	181
ポート0 ...	329	ミス・アライン・データの転送 ...	165
ポート0モード・コントロール・レジスタ ...	330	メモリ・アクセス制御機能 ...	97
ポート0モード・レジスタ ...	329	メモリ拡張モード・レジスタ ...	63
ポート1 ...	332	メモリ境界 ...	165
ポート1モード・コントロール・レジスタ ...	333	メモリ・ブロック機能 ...	77
ポート1モード・レジスタ ...	332	メモリ・マップ ...	58
ポート2 ...	335	【ら行】	
ポート2モード・コントロール・レジスタ ...	337	ラップ・アラウンド ...	57
ポート2モード・レジスタ ...	336	リアルタイム・パルス・ユニット ...	217
ポート3 ...	338	リセット機能 ...	358
ポート3モード・コントロール・レジスタ ...	340	リフレッシュ・ウエイト・コントロール・レジスタ ...	127
ポート3モード・レジスタ ...	339	リフレッシュ・コントロール・レジスタ0-3 ...	125
ポート5 ...	341	リフレッシュ制御機能 ...	125
ポート5モード・レジスタ ...	342	リフレッシュ・タイミング ...	129
ポート6 ...	343	リンク・ポインタ ...	51
ポート6モード・レジスタ ...	344	例外トラップ ...	195
ポート7 ...	345	例外トラップ時状態退避レジスタ ...	52
ポート8 ...	346	【わ行】	
ポート8モード・コントロール・レジスタ ...	348	ワード・アクセス ...	83
ポート8モード・レジスタ ...	347		
ポート9 ...	350		
ポート9モード・コントロール・レジスタ ...	352		
ポート9モード・レジスタ ...	351		
ポート10 ...	353		

割り込み応答時間 ...	199
割り込みが受け付けられない期間 ...	199
割り込み時状態退避レジスタ ...	52
割り込み制御レジスタ ...	185
割り込み要因レジスタ ...	52
割り込み / 例外処理機能 ...	169
割り込み / 例外テーブル ...	59

D.2 アルファベットで始まる語句の索引

【A】

A0-A7 ... 45
 A8-A15 ... 45
 A16-A23 ... 40
 ADn0-ADn9 (n = 0-3) ... 291
 ADCR0-ADCR3 ... 291
 ADCR0H-ADCR3H ... 291
 ADIC ... 186
 ADIF ... 186
 ADM0 ... 288
 ADM1 ... 290
 ADMK ... 186
 ADPR0-ADPR2 ... 186
 A/Dコンバータ ... 285
 A/Dコンバータ基本動作 ... 293
 A/Dコンバータ・モード・レジスタ0 ... 288
 A/Dコンバータ・モード・レジスタ1 ... 290
 A/Dトリガ・モード ... 294
 A/Dトリガ・モード時の動作 ... 299
 A/D変換結果レジスタ ... 291
 A/D変換時間についての補足 ... 311
 ALV1n0 (n = 0-2) ... 230
 ANI0-ANI3 ... 40
 ANIS0, ANIS1 ... 289
 ASIM00, ASIM01, ASIM10, ASIM11 ... 257
 ASIS0, ASIS1 ... 261
 AV_{DD} ... 46
 AV_{REF} ... 46
 AV_{SS} ... 46

【B】

BC0-BC15 ... 139
 BCC ... 90
 BCn0, BCn1 (n = 0-7) ... 90
 BCT ... 78
 BCYST ... 43
 BPRM0, BPRM1 ... 284
 BPRn0-BPRn2 (n = 0, 1) ... 284
 BRCE0, BRCE1 ... 284

BRG0, BRG1 ... 281
 BRGC0, BRGC1 ... 283
 BRGn0-BRGn7 (n = 0, 1) ... 283
 BS ... 289
 BSC ... 81
 BSn0, BSn1 (n = 0-7) ... 81
 BTn0, BTn1 (n = 0-7) ... 78

【C】

CALLT実行時状態退避レジスタ ... 52
 CALLTベース・ポインタ ... 52
 CBRセルフ・リフレッシュ・タイミング ... 131
 CBRリフレッシュ・タイミング ... 129
 CC1n0-CC1n3 (n = 0-3) ... 222
 CE ... 289
 CE10-CE13 ... 227
 CE40, CE41 ... 229
 CES1m0, CES1m1 (m = 0-2) ... 226
 CESEL ... 207
 CG ... 200
 CH0-CH3 ... 144
 CKC ... 203
 CKDIV0, CKDIV1 ... 203
 CKSEL ... 45
 CL0, CL1 ... 258
 CLKOUT ... 45
 CLSn0, CLSn1 (n = 0, 1) ... 272
 CM40, CM41 ... 224
 CMIC40, CMIC41 ... 186
 CMIF40, CMIF41 ... 186
 CMMK40, CMMK41 ... 186
 CMPR40n, CMPR41n (n = 0-2) ... 186
 CMS1n0-CMS1n3 (n = 0-3) ... 226
 CPC0n, CPC1n (n = 0-3) ... 112
 CPUアドレス空間 ... 55
 CPU機能 ... 49
 CPUへのバス・アービトレーション ... 168
 CPUレジスタ・セット ... 50
 CRXE0, CRXE1 ... 271
 CS ... 289

$\overline{CS0}, \overline{CS3-CS5}$... 41	DMARQ0-DMARQ3信号によるシングル転送時の1回転送 ... 167
CSI0, CSI1 ... 269	DMAアドレッシング・コントロール・レジスタ0-3 ... 140
CSIC0, CSIC1 ... 186	DMA機能 ... 133
CSIF0, CSIF1 ... 186	DMAコントローラ ... 133
CSIM0, CSIM1 ... 271	DMAソース・アドレス・レジスタ0-3 ... 135
CSMK0, CSMK1 ... 186	DMAチャンネル・コントロール・レジスタ0-3 ... 142
CSOT0, CSOT1 ... 271	DMAチャンネルの優先順位 ... 161
CSPRmn (m = 0, 1, n = 0-2) ... 186	DMAディスエーブル・ステータス・レジスタ ... 144
CTBP ... 52	DMAデスティネーション・アドレス・レジスタ0-3 ... 137
CTPC ... 52	DMA転送起動要因 ... 162
CTPSW ... 52	DMA転送時の外部バス・サイクル ... 160
CTXE0, CTXE1 ... 271	DMA転送に関する各種時間 ... 165
CV _{DD} ... 46	DMA転送の終了 ... 163
CV _{SS} ... 46	DMA転送の中断 ... 163
CY ... 53	DMAトリガ要因レジスタ0-3 ... 143
【D】	DMAバイト・カウント・レジスタ0-3 ... 139
D0-D7 ... 45	DMAバス・ステート ... 146
D8-D15 ... 39	DMAフライバイ転送時のDRAMアクセス ... 123
DA0-DA15 ... 138	DMAリスタート・レジスタ ... 145
DA16-DA25 ... 137	DRAMアクセス ... 115
DAC0n, DAC1n (n = 0-3) ... 112	DRAMコントローラ ... 108
DAD0, DAD1 ... 140	DRAMコンフィギュレーション・レジスタ0-3 ... 111
DADC0-DADC3 ... 140	DRAMタイプ・コンフィギュレーション・レジスタ ... 114
DAW0n, DAW1n (n = 0-3) ... 113	DRAMの接続 ... 109
DBC0-DBC3 ... 139	DRAMのリフレッシュ間隔の例 ... 127
DBPC ... 52	DRC0-DRC3 ... 111
DBPSW ... 52	DRST ... 145
DCHC0-DCHC3 ... 142	DS ... 140
DCLK0, DCLK1 ... 207	DSA0-DSA3 ... 135
DCm0, DCm1 (m = 0-7) ... 114	DTC ... 114
DDA0-DDA3 ... 137	DTFR0-DTFR3 ... 143
DDIS ... 144	DWC1, DWC2 ... 86
DMAAK0-DMAAK3 ... 37	DWn0-DWn2 (n = 0-7) ... 86
DMAC ... 133	【E】
DMACバス・サイクルの状態遷移図 ... 149	EBS0, EBS1 ... 260
DMAIC0-DMAIC3 ... 186	
DMAIF0-DMAIF3 ... 186	
DMAMK0-DMAMK3 ... 186	
DMAPRmn-DMAPRmn (m = 0-3, n = 0-2) ... 186	
DMARQ0-DMARQ3 ... 36	

ECLR10-ECLR12 ... 225
 ECR ... 52
 EDO DRAMアクセス・タイミング ... 119
 EICC ... 52
 EIPC ... 52
 EIPSW ... 52
 EN0-EN3 ... 142
 ENTO1n0 (n = 0-2) ... 230
 EP ... 53
 ESmn0, ESmn1 (m = 0-3, n = 0-3) ... 191
 ETI13 ... 227

【F】

FDW ... 145
 FDW0-FDW7 ... 145
 FE0, FE1 ... 261
 FECC ... 52
 FEPC ... 52
 FEPSW ... 52
 FR0-FR2 ... 290

【H】

HALTモード ... 208
 HLDK ... 43
 HLDK ... 43
 HVD ... 46

【I】

ID ... 53
 IDLE ... 207
 IDLEモード ... 210
 IFCn0-IFCn5 (n = 0-3) ... 143
 IMS1n0-IMS1n3 (n = 0-3) ... 226
 INIT0-INIT3 ... 142
 INTC ... 169
 INTM0 ... 177
 INTM1, INTM2, INTM4 ... 190, 231
 INTP100-INTP103 ... 36
 INTP110-INTP113 ... 37
 INTP130 ... 39

INTSER0, INTSER1 ... 264
 INTSR0, INTSR1 ... 264
 INTST0, INTST1 ... 264
 IORD ... 41
 IOWR ... 42
 ISPR ... 187
 ISPR0-ISPR7 ... 187

【L】

LCAS ... 42
 LOCK ... 75
 LWR ... 42

【M】

MA3-MA5 ... 106
 MM ... 63
 MM0-MM3 ... 64
 MOD0, MOD1 ... 272
 MODE0, MODE2 ... 45
 MS ... 289

【N】

NMI ... 38
 NMI時状態回避レジスタ ... 52
 NP ... 53

【O】

OE ... 43
 OST0-OST3 ... 225
 OV ... 53
 OVE0, OVE1 ... 261
 OVF_n (n = 10-13, 40, 41) ... 231
 OVIC10-OVIC13 ... 186
 OVIF10-OVIF13 ... 186
 OVMK10-OVMK13 ... 186
 OVPR1_{mn} (m = 0-3, n = 0-2) ... 186

【P】

P0 ...	329	PCS1 ...	334
P00, P02, P04-P07 ...	36, 329	PCS14-PCS17 ...	334
P1 ...	332	PCS8 ...	349
P10 ...	353	PCS84, PCS85 ...	349
P100, P102 ...	43, 353	PE0, PE1 ...	261
P10, P12, P14-P17 ...	37, 332	PLLモード ...	202
P10IC0-P10IC3 ...	186	PLLロックアップ ...	204
P10IF0-P10IF3 ...	186	PM0 ...	329
P10MK0-P10MK3 ...	186	PM00, PM02, PM04-PM07 ...	329
P10PRmn (m = 0-3, n = 0-2) ...	186	PM1 ...	332
P11IC0-P11IC3 ...	186	PM10 (レジスタ) ...	353
P11IF0-P11IF3 ...	186	PM100, PM102 ...	353
P11MK0-P11MK3 ...	186	PM10, PM12, PM14-PM17 (ビット) ...	332
P11PRmn (m = 0-3, n = 0-2) ...	186	PM2 ...	336
P12IC0-P12IC3 ...	186	PM22-PM27 ...	336
P12IF0-P12IF3 ...	186	PM3 ...	339
P12MK0-P12MK3 ...	186	PM33, PM34 ...	339
P12PRmn (m = 0-3, n = 0-2) ...	186	PM5 ...	342
P13IC0-P13IC3 ...	186	PM50-PM57 ...	342
P13IF0-P13IF3 ...	186	PM6 ...	344
P13MK0-P13MK3 ...	186	PM60-PM67 ...	344
P13PRmn (m = 0-3, n = 0-2) ...	186	PM8 ...	347
P2 ...	335	PM80, PM83-PM85 ...	347
P20, P22-P27 ...	38, 335	PM9 ...	351
P3 ...	338	PM90-PM97 ...	351
P33, P34 ...	39, 338	PMC0 ...	330
P5 ...	341	PMC00, PMC02, PMC04-PMC07 ...	330
P50-P57 ...	39, 341	PMC1 ...	333
P6 ...	343	PMC10 (レジスタ) ...	354
P60-P67 ...	40, 343	PMC10, PMC12, PMC14-PMC17 (ビット) ...	333
P7 ...	345	PMC100, PMC102 ...	354
P70-P73 ...	40, 345	PMC2 ...	337
P8 ...	346	PMC22-PMC27 ...	337
P80, P83-P85 ...	41, 346	PMC3 ...	340
P9 ...	350	PMC33, PMC34 ...	340
P90-P97 ...	42, 350	PMC8 ...	348
PAE ...	106	PMC80, PMC83-PMC85 ...	348
PAE0n, PAE1n (n = 0-3) ...	111	PMC9 ...	352
PC ...	51	PMC90-PMC97 ...	352
PCS0 ...	331	PMCX ...	357
PCS04-PCS07 ...	331	PMCX6, PMCX7 ...	357
		PMX ...	356
		PMX6, PMX7 ...	356

PRC ... 106
 PRCMD ... 74
 PRERR ... 75
 PRM1n1 (n = 0-3) ... 228
 PRM4n0, PRM4n1 (n = 0, 1) ... 229
 PRS1n0, PRS1n1 (n = 0-3) ... 228
 PRS400, PRS410 ... 229
 PRW0-PRW2 ... 106
 PS00, PS01, PS10, PS11 ... 258
 PSC ... 206
 PSW ... 53
 PWM出力 ... 247
 PX ... 355
 PX6, PX7 ... 45, 355

【R】

r0-r31 ... 51
 RAS3-RAS5 ... 41
 RCCn0, RCCn1 (n = 0-3) ... 126
 RCW0-RCW2 ... 128
 RD ... 43
 REG0-REG7 ... 74
 REN0-REN3 (DRSTレジスタ) ... 145
 RENn (RFCnレジスタ) (n = 0-3) ... 126
 RESET ... 46
 RFC0-RFC3 ... 125
 RHC0n, RHC1n (n = 0-3) ... 112
 RHD0-RHD3 ... 112
 RIn0-RIn5 (n = 0-3) ... 126
 ROMC ... 102
 ROMレス・モード0, 1 ... 54
 RPC0n, RPC1n (n = 0-3) ... 111
 RRW0, RRW1 ... 128
 RWC ... 127
 RXB0, RXB0L, RXB1, RXB1L ... 262
 RXBn0-RXBn7 (n = 0, 1) ... 262
 RXD0, RXD1 ... 38
 RXE0, RXE1 ... 257
 RXEB0, RXEB1 ... 262

【S】

S ... 53
 SA0-SA15 ... 136
 SA16-SA25 ... 135
 SAD0, SAD1 ... 140
 SAT ... 53
 SCK0, SCK1 ... 38
 SCLS00, SCLS01, SCLS10, SCLS11 ... 259
 SEIC0, SEIC1 ... 186
 SEIF0, SEIF1 ... 186
 SEMK0, SEMK1 ... 186
 SEPR0n, SEPR1n (n = 0-2) ... 186
 SI0, SI1 ... 38
 SIO0, SIO1 ... 273
 SIO0n-SIO0n7 (n = 0, 1) ... 273
 SL0, SL1 ... 259
 SO0, SO1 ... 38
 SOT0, SOT1 ... 261
 SRAMインタフェース ... 97
 SRAMの接続 ... 97
 SRIC0, SRIC1 ... 186
 SRIF0, SRIF1 ... 186
 SRMK0, SRMK1 ... 186
 SRPR0n, SRPR1n (n = 0-2) ... 186
 SRW0-SRW2 ... 128
 STG0-STG3 ... 142
 STIC0, STIC1 ... 186
 STIF0, STIF1 ... 186
 STMK0, STMK1 ... 186
 STP ... 207
 STPR0n, STPR1n (n = 0-2) ... 186
 SYS ... 75

【T】

TBC ... 216
 TBCS ... 207
 TC0-TC3 ... 142
 TCLR10 ... 36
 TCLR11 ... 37
 TCLR12 ... 44
 TDIR ... 141

TES130, TES131 ... 226

【Z】

TI13 ... 39

TM0, TM1 ... 141

Z ... 53

TM10-TM13 ... 221

TM40, TM41 ... 224

【その他】

TMC10-TMC13 ... 227

TMC40, TMC41 ... 229

2サイクル転送 ... 152

TO100 ... 36

TO110 ... 37

TO120 ... 44

TOC10-TOC12 ... 230

TOVS ... 231

TRG0, TRG1 ... 290

TTYP ... 141

TUM10-TUM13 ... 225

TXD0, TXD1 ... 38

TXE0, TXE1 ... 257

TXED0, TXED1 ... 263

TXS0, TXS0L, TXS1, TXS1L ... 263

TXSn0-TXSn7 (n = 0, 1) ... 263

【U】

UART0, UART1 ... 254

UCAS ... 42

UWR ... 42

【V】

V_{DD} ... 46V_{SS} ... 46

【W】

WAIT ... 45

WE ... 43

【X】

X1, X2 ... 46

付録 E 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

版 数	前版からの改版内容	適用箇所	
第 2 版	MMレジスタ 記述を修正	全 般	
	1.5 端子接続図 (Top View) を修正	第 1 章 インTRODクショ ン	
	1.6.1 内部ブロック図を修正		
	1.6.2 (9) ポート 記述を修正		
	2.1 (1) ポート端子 記述を修正	第 2 章 端子機能	
	2.3 (12) A0-A15 (Address0-15) ... 出力を追加		
	2.3 (13) D0-D7 (Data0-7) ... 3 ステート入出力を追加		
	2.5 端子の入出回路 タイプ 4 を追加	第 3 章 CPU機能	
	3.4.5 (3) 内蔵周辺I/O領域 注意 2 を修正		
	3.4.6 外部拡張モード 記述を修正		
	4.2 バス制御端子 記述を修正	第 4 章 バス制御機能	
	5.3.8 (1) リフレッシュ・コントロール・レジスタ0-3 (RFC0-RFC3) 注意 2 を追加	第 5 章 メモリ・アクセス 制御機能	
	6.3.8 DMAリスタート・レジスタ (DRST) 記述を修正	第 6 章 DMA機能 (DMA コントローラ)	
	6.11.2 強制中断 記述を修正		
	6.12.2 ターミナル・カウント出力を追加		
	7.3.4 割り込み制御レジスタ (xxICn) 注意を追加	第 7 章 割り込み / 例外処 理機能	
	7.3.5 インサービス・プライオリティ・レジスタ (ISPR) 注意を追加		
	10.3.1 特 徴 転送速度を修正	第10章 シリアル・インタ フェース機能	
	表10-2 専用ポー・レート・ジェネレータ設定データを修正		
	11.2 (10) AV _{DD} 端子を追加	第11章 A/Dコンバータ	
	11.2 (11) AV _{SS} 端子を追加		
	11.3 (2) A/Dコンバータ・モード・レジスタ 1 (ADM1) FR2-FR0ビットの説明修正		
	図11-3 セレクト・モードの動作タイミング例: 1バッファ・モード (ANI1) を修正		
	図11-4 セレクト・モードの動作タイミング例: 4バッファ・モード (ANI3) を修正		
	図11-5 スキャン・モードの動作タイミング例: 4チャンネル・スキャン (ANI0-ANI3) を修正		
	11.7.3 (2) IDLEモード, ソフトウェアSTOPモード 記述を修正		
	11.7.5 タイマ1トリガ・モード時の再変換動作を追加		
	11.7.6 A/D変換時間についての補足を追加		
	12.1 特 徴 入出力ポート数を修正		第12章 ポート機能
	12.2 ポートの基本構成を修正		
	12.3.9 ポート9 記述を追加		
	12.3.11 ポートX 記述を追加	付録 A 注意事項	
	付録 A 注意事項を修正		
	付録 E 改版履歴を追加		付録 E 改版履歴

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係お問い合わせ先】

下記のページに最新版のお問い合わせ先が記載されています。

URL(アドレス) http://www.necel.com/ja/contact/contact_j.html

【技術的なお問い合わせ先】

半導体テクニカルホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494
FAX : 044-435-9608
E-mail : info@lsi.nec.co.jp

【資料請求先】

NECエレクトロニクス特約店または上記ホームページ記載の営業関係お問い合わせ先へお申し付けください。