

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

複合素子の使い方 解説編

各種電子機器の高密度実装化、複雑化にともない、回路のIC化、LSI化が、年を追う毎に著しくなっています。ところが、回路によってはIC化に適さない要素や、ICでカバーできない回路エレメントとして、従来通りディスクリート素子が使用されていることも忘れることはできません。

特に、複合素子はICとディスクリート素子の中間に位置し、両者の長手を合せもつくれた存在といえます。

以下、複合素子の使い方につき解説します。

複合素子の動向

ディスクリート素子を複合化するメリットとしては、次のような点があげられます。

- (1) 1パッケージに数個の素子が内蔵されるため、取り扱いが容易。
- (2) 高密度な実装が可能。
- (3) 内蔵された素子間のペア性、熱的バランスがすぐれている。

現在、NECで発売している複合素子の品種系列を表1に示し、それぞれの系列ごとに解説します。

デュアル・トランジスタ
デュアルFET の使い方

差動増幅回路

計測用アンプ、特に直流増幅器では、入力回路には差動増幅回路が広く用いられています。これは差動増幅がDCドリフト、CMRR(同相信号除去比)などの点で、他の増幅形式に比較しきわめてすぐれているからです。

ところがこの差動段を個別のトランジスタで構成しますと、それぞれの特性のバラツキ、あるいはその温度特性の差などにより、ドリフトやCMRRが悪化し、回路の高性能化が望めません。そこで、差動増幅回路において、使用するトランジスタの特性バラツキが、どのように回路の動作に影響をおよぼすか考えてみましょう。

温度ドリフト

まず、バイポーラ・トランジスタの場合、図1のような回路構成となり、出力電圧のドリフトの要因としては、

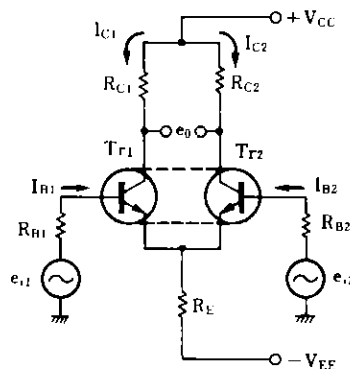


図1 バイポーラ・トランジスタによる差動増幅回路

V_{BE} (ベース・エミッタ間順方向電圧)、 I_{CBO} (コレクタしや断電流)、 h_{FE} (電流増幅率)などの微小変化分、つまり ΔV_{BE} 、 ΔI_{CBO} 、 Δh_{FE} が考えられます。ドリフト電圧 e_d は、 Tr_1 および Tr_2 それぞれのドリフト電圧を e_{d1} および e_{d2} とすれば、

$$\begin{aligned}
 e_d &= e_{d1} - e_{d2} \\
 &= -\Delta V_{BE1} + \Delta V_{BE2} + R_{B1}(\Delta I_{CBO1} + \frac{\Delta h_{FE1}}{h_{FE1}} \cdot I_{B1}) \\
 &\quad - R_{B2}(\Delta I_{CBO2} + \frac{\Delta h_{FE2}}{h_{FE2}} \cdot I_{B2}) \\
 &= -\Delta V_{BE1} + \Delta V_{BE2} + R_B(\Delta I_{CBO1} - \Delta I_{CBO2} \\
 &\quad + \frac{\Delta h_{FE1}}{h_{FE1}} \cdot I_{B1} - \frac{\Delta h_{FE2}}{h_{FE2}} \cdot I_{B2}) \dots\dots\dots(1) \\
 &\quad (R_{B1} = R_{B2} = R_B \text{ とおく})
 \end{aligned}$$

と表わせます。

この式の中で ΔI_{CBO} と Δh_{FE} からなるドリフトは、周囲温度の上昇につれて増加し、大きさは R_B (信号源抵抗とベース抵抗の直列抵抗)に比例します。このドリフトを電流性ドリフトといい、 ΔV_{BE} などの電圧性ドリフトと区別しますが、これらのドリフトを小さく抑えるためには、 V_{BE} の差すなわちオフセット電圧と I_{CBO} ができるだけ小さく、 h_{FE} のペア性がすぐれた高 h_{FE} のトランジスタを、低電流領域で使用することが必要です。

表1 複合素子の品種系列

(1)デュアル トランジスタ/Bipolar Dual Transistor

| 品名 Type No. | *品質 グレード Quality grade | 用途 Use | 構造 Structure | 絶対最大定格/Absolute Maximum Ratings (Ta=25 °C) | | | | | | | 電 気 的 特 性 | |
|----------------|---------------------------------|-----------|-----------------|---|-------------------------|-------------------------|-----------------------------------|-----------------------------------|------------------------|-----------------------|------------------------|------|
| | | | | V _{CE0} (V) | V _{CE0} (V) | V _{EB0} (V) | I _C (mA) (/unit) | P _T (mW) (/unit) | T _J (°C) | I _{CB0} (μA) | V _{CB} (V) | MAX. |
| 2SC294 | Q ₂ | Diff. | NPN D. Si | 25 | 12 | 5 | 50 | 300 | 175 | 10 | 0.1 | |
| 2SC603 | Q ₂ | Chop. | NPN E. Si | 7 | *4.5 | 7 | 50 | 200 | 150 | 6.0 | 1.0 | |
| μPA15A | Q ₃ | Diff. | NPN D. Si | 25 | 12 | 5 | 50 | 300 | 150 | 10 | 0.1 | |
| μPA36A | Q ₃ | Chop. | NPN E. Si | 7 | *5 | 7 | 50 | 200 | 150 | 6.0 | 0.05 | |
| μPA37A | Q ₂ | Diff. SW | NPN E. Si | 25 | 13 | 5 | 80 | 150 | 175 | 15 | 0.1 | |
| μPA38A | Q ₃ | Diff. | NPN E. Si | 60 | 40 | 5 | 50 | 300 | 175 | 15 | 100 pA | |
| μPA39A | Q ₃ | Diff. | NPN E. Si | 60 | 40 | 5 | 50 | 300 | 175 | 15 | 500 pA | |
| μPA49A | Q ₃ | Diff. | PNP E. Si | -60 | -40 | -5 | -50 | 300 | 175 | -30 | -0.1 | |
| μPA74HA | 一般 | Diff. | NPN E. Si | 80 | 80 | 5.0 | 50 | 300 | 125 | 70 | 1.0 | |
| μPA75HA | 一般 | Diff. | PNP E. Si | -80 | -80 | -5.0 | -50 | 300 | 125 | -70 | -1.0 | |
| μPA76HA | 一般 | Diff. | NPN E. Si | 60 | 60 | 5.0 | 50 | 300 | 125 | 50 | 1.0 | |
| μPA77HA | 一般 | Diff. | PNP E. Si | -60 | -60 | -5.0 | -50 | 300 | 125 | -50 | -1.0 | |

*V_{CE0}
*品質グレード Q₂ 高信頼度通信工業用
Q₃ 通信工業用

(2)デュアル FET/Dual FET

| 品名 Type No. | *品質 グレード Quality grade | 用途 Use | 構造 Structure | 絶対最大定格/Absolute Maximum Ratings (Ta=25 °C) | | | | | 電 気 的 特 性 | | | | |
|----------------|---------------------------------|-----------|-----------------|---|------------------------|-----------------------------------|-----------------------------------|------------------------|-----------------------|-----------------------|------------------------|------------------------|-----------|
| | | | | V _{GS} (V) | V _{DS} (V) | I _D (mA) (/unit) | P _D (mW) (/unit) | T _J (°C) | I _{GSS} (pA) | I _{DSS} (mA) | V _{GS} (V) | V _{DS} (V) | TYP. MAX. |
| μPA60A | Q ₃ | Diff. | N ch. J. Dual | *-40 | *40 | *50 | 250 | 175 | -20 | -100 | 10 | 2.0 | 5.0 |
| μPA61A | Q ₃ | Diff. | N ch. J. Dual | *-40 | *40 | *50 | 250 | 175 | -20 | -100 | 10 | 2.0 | 5.0 |
| μPA68H | 一般 | Diff. | N ch. J. Dual | *-50 | *50 | 30 | 250 | 125 | -20 | -1.0 nA | 10 | | 18 |
| μPA70A | Q ₃ | Diff. | N ch. J. Dual | *-40 | *40 | *50 | 250 | 175 | -20 | -100 | 10 | 2.0 | 5.0 |
| μPA70A(A) | Q ₃ | Diff. | N ch. J. Dual | *-40 | *40 | *50 | 250 | 175 | -20 | -100 | 10 | 2.0 | 5.0 |
| μPA71A | Q ₃ | Diff. | N ch. J. Dual | *-40 | *40 | *50 | 250 | 175 | -20 | -100 | 10 | 2.0 | 5.0 |
| μPA71A(A) | Q ₃ | Diff. | N ch. J. Dual | *-40 | *40 | *50 | 250 | 175 | -20 | 100 | 10 | 2.0 | 5.0 |

*品質グレード Q₂ 高信頼度通信工業用 *V_{GS0} *V_{DS0} *I_G
Q₃ 通信工業用
Q₄ 軽工業用

(3)トランジスタ アレイ 1/Transistor Array 1

| 品名 Type No. | *品質 グレード Quality grade | 用途 Use | 構造 Structure | 絶対最大定格/Absolute Maximum Ratings (Ta=25 °C) | | | | | | | 電 気 的 特 性 | |
|----------------|---------------------------------|----------------|--------------------|---|-------------------------|-------------------------|-----------------------------------|-----------------------------------|------------------------|-----------------------|------------------------|------|
| | | | | V _{CE0} (V) | V _{CE0} (V) | V _{EB0} (V) | I _C (mA) (/unit) | P _D (mW) (/unit) | T _J (°C) | I _{CB0} (μA) | V _{CB} (V) | MAX. |
| μPA46D | Q ₂ | Core Drive | NPN E. Si. Quad | 80 | 45 | 5 | 1.0A | 800 | 175 | 40 | 0.5 | |
| μPA47D | Q ₂ | Core Drive | NPN E. Si. Quad | 80 | 45 | 5 | 1.0A | 800 | 175 | 40 | 0.5 | |
| μPA48D | Q ₂ | Core Drive | NPN E. Si. Quad | 90 | 60 | 5 | 1.0A | 800 | 175 | 40 | 0.5 | |
| μPA53C | Q ₄ | Lamp LED Drive | NPN Si. Darlington | 30 | 30 | - | 400 | *1.2 W | 125 | *20 | *100 | |
| μPA56C | Q ₄ | Lamp LED Drive | NPN Si. Single | 60 | 40 | 5 | 100 | *550 | 125 | 40 | 0.1 | |
| μPA57C | Q ₄ | Lamp LED Drive | NPN Si. Darlington | 40 | 30 | - | 400 | *1.5 W | 125 | *20 | *10 | |

*品質グレード Q₂ 高信頼度通信工業用 *Package *V_{CE0} *I_L
Q₄ 軽工業用

太字で書かれた品種は主幹製品です。新規設計にはこれらの品種を
おすすめします。

| /Electrical Characteristics (T _a =25 °C) | | | | | | | | | | 備 考 | |
|---|---|------|------|--|-------|------|--|------|------|--|--|
| V _{CE} / I _C (V) / (mA) | h _{FE} *h _{FE1} /h _{FE2} | | | V _{CE(sat)} (V) | | | V _{IO} (mV) | | | Remarks | |
| | MIN. | TYP. | MAX. | I _C / I _B (mA) / (mA) | TYP. | MAX. | V _{CE} / I _C (V) / (mA) | TYP. | MAX. | | |
| 1.0 / 1.0 | 40 | 80 | 0.8 | 10 / 1.0 | | 0.4 | 1.0 / 1.0 | | 10 | f _T ≒200 MHz, C _{ob} ≒4.5 pF | |
| 0.5 / 0.1 | 15 | 100 | | | | | | | | h _{FC} ≧15 | |
| 1.0 / 1.0 | 40 | 100 | 0.8 | 10 / 1.0 | | 0.4 | | | | f _T ≒200 MHz | |
| 0.5 / 1.0 | 20 | 50 | 0.8 | 1.0 / 0.1 | 0.015 | 0.15 | | | | h _{FC} ≒12, ΔV _{pl} ≦50 μV | |
| 3.0 / 2.0 | 50 | 110 | 0.7 | 10 / 1.0 | 0.25 | 0.4 | | | | t _{on} ≦15 ns, t _{rlg} ≦20 ns, t _{off} ≦30 ns | |
| 5.0 / 1.0 | 300 | 550 | 0.9 | 10 / 1.0 | 0.4 | 0.6 | 5.0 / 10μA | 0.5 | 1.0 | ΔV _{io} /ΔT≒1.5 μV/°C, NF≒1.0 dB | |
| 5.0 / 1.0 | 300 | 500 | 0.8 | 10 / 1.0 | 0.4 | 0.6 | 5.0 / 10μA | 2.0 | 5.0 | ΔV _{io} /ΔT≒6.0 μV/°C, NF≒2.0 dB | |
| -1.0/-1.0 | 80 | 150 | 0.8 | -10/-1.0 | -0.25 | -0.5 | -1.0/-1.0 | 0.5 | 3.0 | f _T ≒250 MHz, NF≒3.0 dB | |
| 6.0 / 1.0 | 200 | 400 | 0.9 | 10 / 1.0 | | 0.3 | | | | NV<80 mV | |
| -6.0/-1.0 | 200 | 400 | 0.9 | -10/-1.0 | | -0.3 | | | | NV<80 mV | |
| 6.0 / 1.0 | 200 | 400 | 0.9 | 10 / 1.0 | | 0.3 | | | | NV<160 mV | |
| -6.0/-1.0 | 200 | 400 | 0.9 | -10/-1.0 | | -0.3 | | | | NV<160 mV | |

* h_{FE1}<h_{FE2}

| /Electrical Characteristics (T _a =25 °C) | | | | | | | | | | 備 考 | |
|---|--------------------------|------|------|--|------|------|--|------|------|---|--|
| V _{DS} / I _D (V) / (μA) | V _{GS(off)} (V) | | | y _{fs} ' (mS) | | | C _{iss} (pF) | | | Remarks | |
| | MIN. | TYP. | MAX. | V _{DS} / I _D (V) / (μA) | MIN. | TYP. | V _{DS} / V _{GS} (V) / (V) | TYP. | MAX. | | |
| 10 / 10 | -0.2 | -1.0 | -2.5 | 10 / 0.5 | 1.0 | 2.0 | 10 / 0 | 2.5 | 5.0 | V _{GS1} -V _{GS2} ≦5.0 mV | |
| 10 / 10 | -0.2 | -1.0 | -2.5 | 10 / 0.5 | 1.0 | 2.0 | 10 / 0 | 2.5 | 5.0 | V _{GS1} -V _{GS2} ≦40 mV | |
| 10 / 10 | -0.15 | | -2.5 | 10 / 1.0 | 5.0 | 7.0 | 10 / 0 | 15 | | e _n ≦30 nV/√Hz (10 Hz) | |
| 10 / 10 | -0.2 | -1.0 | -2.5 | 10 / 0.5 | 1.0 | 2.0 | 10 / 0 | 2.5 | 5.0 | V _{GS1} -V _{GS2} ≦5.0 mV | |
| 10 / 10 | 0.2 | -1.0 | -2.5 | 10 / 0.5 | 1.0 | 2.0 | 10 / 0 | 2.5 | 5.0 | e _n <10 nV/√Hz | |
| 10 / 10 | -0.2 | -1.0 | -2.5 | 10 / 0.5 | 1.0 | 0 | 10 / 0 | 2.5 | 5.0 | V _{GS1} -V _{GS2} ≦40 mV | |
| 10 / 10 | -0.2 | -1.0 | -2.5 | 10 / 0.5 | 1.0 | 2.0 | 10 / 0 | 2.5 | 5.0 | e _n <10 nV/√Hz | |

* I_D

| /Electrical Characteristics (T _a =25 °C) | | | | | | | | | | 備 考 | |
|---|-----------------|------|------|--|------|------|------------------------------|-------------------------------|-------------------------------|--|--|
| V _{CE} / I _C (V) / (mA) | h _{FE} | | | V _{CE(sat)} (V) | | | *Switching Time | | | Remarks | |
| | MIN. | TYP. | MAX. | I _C / I _B (mA) / (mA) | TYP. | MAX. | t _{on} (ns) TYP. | t _{slk} (ns) TYP. | t _{off} (ns) TYP. | | |
| 1.0 / 50 | 50 | 70 | | 500 / 50 | 0.32 | 0.5 | 17 | 45 | 60 | f _T ≒350 MHz, C _{ob} ≒6.0 pF | |
| 1.0 / 50 | 50 | 80 | | 500 / 50 | 0.32 | 0.5 | 17 | 45 | 60 | f _T ≒350 MHz, C _{ob} ≒6.0 pF | |
| 1.0 / 50 | 40 | 70 | | 500 / 50 | 0.36 | 0.6 | 20 | 55 | 70 | f _T ≒320 MHz, C _{ob} ≒5.2 pF | |
| 5.0 / 200 | 2000 | 3200 | | 400 /*20 V | 1.3 | 2.2 | | | | 5回路内蔵, エミッタ共通 | |
| 1.0 / 10 | 50 | 250 | | 10 / 1.0 | 0.07 | 0.3 | 40 | 200 | 230 | 7素子内蔵, コレクタ共通 | |
| 2.0 / 400 | 1000 | 2800 | | 400 /*10 V | 1.3 | 2.0 | 50 | 150 | 200 | 6回路内蔵, エミッタ共通 | |

* V_{IN}

*測定条件は個別カタログを参照ください。

(4) トランジスタ アレイ 2 / Transistor Array 2

| 品名 Type No. | *品質 グレード Quality grade | 用途 Use | 構造 Structure | 絶対最大定格 / Absolute Maximum Ratings (T _a = 25 °C) | | | | | 電 気 的 特 性 | | |
|----------------|------------------------------|-------------------|------------------|---|-----------------------|-----------------------|-----------------------------------|--------------------------------------|------------------------|---------------------|------------------------|
| | | | | V _{CC} (V _{SS}) (V) | V _I (V) | V _O (V) | I _O (mA) (/unit) | P _D (mW) (/package) | T _i (°C) | I _L (μA) | V _{CE} (V) |
| μPA67C | Q ₄ | Printer Drive | NPNSi Darlington | 30 | -40 +30 | 30 | 150 | 550 | 125 | 20 | 10 |
| μPA79C | Q ₄ | Printer Drive | NPN Si. | 20 | -40 +30 | 20 | 150 | 550 | 125 | 20 | 10 |
| μPA80C | Q ₄ | FIP Drive | PNP-NPN Si. | (-60) | -20 | -60 | 50 | 550 | 125 | 50 | 1.0 |
| μPA81C | Q ₄ | Lamp LED Drive | NPNSi Darlington | 45 | 45 | 45 | 400 | 800 | 125 | 40 | 10 |
| μPA82C | Q ₄ | FIP Drive | PNP-NPN Si. | (-150) | -20 | -150 | 50 | 900 | 125 | 120 | 1.0 |
| μPA2001C | Q ₄ | Printer Drive | NPNSi Darlington | 60 | - | 60 | 500 | 2.5 W | 150 | 50 | 10 |
| μPA2002C | Q ₄ | Printer Drive | NPNSi Darlington | 60 | -0.5 +30 | 60 | 500 | 2.5 W | 150 | 50 | 10 |
| μPA2003C | Q ₄ | Printer Drive | NPNSi Darlington | 60 | -0.5 +30 | 60 | 500 | 2.5 W | 50 | 50 | 10 |
| μPA2004C | Q ₄ | Printer Drive | NPNSi Darlington | 60 | -0.5 +30 | 60 | 500 | 2.5 W | 150 | 50 | 10 |
| μPA6118C | Q ₄ | FIP Drive | NPNSi Darlington | 85 | 20 | 85 | 40 | 1.4 | 150 | 80 | 15 |

*品質グレード Q₄ 軽工業用

(5) ダイオード アレイ / Diode Array

| 品名 Type No. | *品質 グレード Quality grade | 用途 Use | 構造 Structure | 絶対最大定格 / Absolute Maximum Ratings (T _a = 25 °C) | | | | | 電 気 的 特 性 | |
|----------------|------------------------------|------------------|-----------------|---|-----------------------|------------------------|----------------------------------|------------------------|---------------------|-----------------------|
| | | | | V _{RM} (V) | V _R (V) | I _O (mA) | P _D (W) (/unit) | T _i (°C) | I _R (μA) | V _R (V) |
| μPA44D | Q ₂ | SW. | Si. Diode Array | 60 | 50 | 500 | 0.8 | 175 | 40 | 0.1 |
| μPA54HA | Q ₄ | SW. Surge Killer | Si. Diode Array | 75 | 50 | 100 | *0.3 | 125 | 30 | 0.1 |
| μPA64HA | Q ₄ | SW. Surge Killer | Si. Diode Array | 75 | 50 | 100 | *0.3 | 125 | 30 | 0.1 |

*品質グレード Q₂ 高信頼度通信工業用
Q₄ 軽工業用

*/Package

| /Electrical Characteristics (T _a =25 °C) | | | | | | | 備 考 Remarks | |
|---|------|-----------|--|------|-----------|--|----------------|--------------------|
| h _{FE} | | | V _{CE(sat)} (V) | | | V _I (V) | | |
| V _{CE} / I _O (V) / (mA) | MIN. | TYP. MAX. | I _O / I _I (mA) / (mA) | MIN. | TYP. MAX. | V _{CE} / I _O (V) / (mA) | | MAX. |
| | | | 100 / *13 V | | 1.3 | | | 6 回路内蔵, エミッタ共通 |
| 1.0 / 120 | 1000 | 2500 | 120 / 0.2 | | 0.6 | 1.0 / 120 | 4.0 | 7 回路内蔵, サージ吸収用Di内蔵 |
| 2.0 / 40 | 250 | 450 | 20 / 0.3 | | 0.95 1.5 | | | 7 回路内蔵, プルダウン抵抗内蔵 |
| 2.5 / 200 | 1000 | 2500 | 400 / *13 V | | 1.2 2.2 | | | 7 回路内蔵, エミッタ共通 |
| 2.0 / 350 | 1000 | 2800 | 200 / 0.35 | | 1.0 1.3 | | | 7 回路内蔵, サージ吸収用Di内蔵 |
| 2.0 / 40 | 250 | — | 40 / 0.4 | | — 2.0 | — | — | 8 回路内蔵 |
| 2.0 / 350 | 1000 | 2800 | 200 / 0.35 | | 1.0 1.3 | 2.0 / 200 | 12 | 7 回路内蔵, サージ吸収用Di内蔵 |
| 2.0 / 350 | 1000 | 2800 | 200 / 0.35 | | 1.0 1.3 | 2.0 / 200 | 2.4 | 7 回路内蔵, サージ吸収用Di内蔵 |
| 2.0 / 350 | 1000 | 2800 | 200 / 0.35 | | 1.0 1.3 | 2.0 / 200 | 6.0 | 7 回路内蔵, サージ吸収用Di内蔵 |
| | | | | | | | | 8 回路内蔵, プルダウン抵抗内蔵 |

* V_{IX}

| /Electrical Characteristics (T _a =25 °C) | | | | | | | 備 考 Remarks |
|---|------|-----------|-----------------------|-----------|------------------------|-----------|--------------------------------|
| V _F (V) | | | C _T (pF) | | t _{rr} (ns) | | |
| I _F (mA) | MIN. | TYP. MAX. | V _H (V) | TYP. MAX. | I _F (mA) | TYP. MAX. | |
| 500 | 0.95 | 1.3 | 0 | *60 | 60 | 10 | t _r (0.4 A) ≤ 25 ns |
| 30 | 0.8 | 1.0 | 0 | 2.0 4.0 | 10 | 1.3 3.0 | 6 素子内蔵, カソード共通 |
| 30 | 0.8 | 1.0 | 0 | 5.0 8.0 | 10 | 4.0 8.0 | 6 素子内蔵, アノード共通 |

* 8 素子並列

電源電圧変動によるドリフト

次に、電源電圧の変動にともなう出力電圧のドリフトについて考えてみましょう。コレクタ電圧の変動に対するドリフトは、トランジスタの出力インピーダンスに起因するもので、この場合両トランジスタの出力インピーダンスの差がドリフトに関係し、入力換算で、

$$\frac{de_d}{dV_{CC}} = \frac{(h_{oe1} - h_{oe2})}{A_v} R_C \dots\dots\dots (2)$$

と表わせます。

また、エミッタ電圧の変動によるドリフトは、主な原因として二とおり考えられます。まず h_{FE} のバラツキであり、 R_B が大きくなるほどベース電流が定電流に近づくため、コレクタ電流は h_{FE} に影響されやすくなります。したがって、両トランジスタの h_{FE} がバラつくほど、電圧変動によるドリフトは大きくなります。

他の一つは V_{BE} のバラツキですが、これはトランジスタのエミッタに抵抗を挿入することにより補正できます。これらをまとめると、入力換算ドリフトとして、

$$\frac{de_d}{dV_{EE}} = \frac{R_B(h_{FE1} - h_{FE2})}{2 R_E \cdot h_{FE1} \cdot h_{FE2}} + \frac{\Delta V_{BE}}{V_{EE}} \dots\dots\dots (3)$$

と表わせます。

以上の考察から差動増幅回路において、温度ドリフト、電源電圧変動によるドリフト特性を改善するためには、特に使用するトランジスタのペア性が重要であることがわかります。

電圧利得とCMRR

電圧利得を求めるため、図1の回路を図2のように変形します。ここで Tr_1 側について出力電圧を求めると、

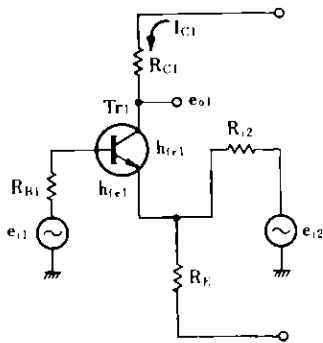


図2 利得計算のための等価回路

$$e_{o1} = -\frac{h_{fe1} \cdot R_{c1}}{h_{ie1}} \times \left(e_{i1} - e_{i2} \frac{R_E}{R_E + R_{i2}} \right) \dots\dots\dots (4)$$

(ただし、 h_{ie} は Tr_1 の入力インピーダンス)

となり、同様にして Tr_2 についても求め、これらの差をとりますと、差動電圧利得 A_{vd} が求まります。

$$\begin{aligned} e_o &= e_{o1} - e_{o2} \\ &= -\frac{h_{fe2} \cdot R_{c1}}{h_{ie1}} \times \left(e_{i1} - e_{i2} \frac{R_E}{R_E + R_{i2}} \right) \\ &\quad - \frac{h_{fe2} \cdot R_{c2}}{h_{ie2}} \times \left(e_{i2} - e_{i1} \frac{R_E}{R_E + R_{i2}} \right) \dots\dots\dots (5) \end{aligned}$$

上式を簡単のため、 $R_{c1} = R_{c2} = R_C$ 、 $R_E \gg R_{i1}, R_{i2}$ とおきますと、

$$\begin{aligned} e_o &= e_{o1} - e_{o2} \\ &= -\frac{h_{fe1} \cdot R_C}{h_{ie1}} (e_{i1} - e_{i2}) - \frac{h_{fe2} \cdot R_C}{h_{ie2}} (e_{i2} - e_{i1}) \dots\dots (6) \end{aligned}$$

$$\begin{aligned} \therefore A_{vd} &= \frac{e_o}{e_{o1} - e_{o2}} \\ &= -\frac{h_{fe1} \cdot R_C}{h_{ie1}} - \frac{h_{fe2} \cdot R_C}{h_{ie2}} \dots\dots\dots (7) \end{aligned}$$

同相電圧利得 A_{vc} は、 $e_{i1} = e_{i2} = e_i$ とおけば、

$$\begin{aligned} A_{vc} &= -\frac{R_C}{h_{ie1} \cdot h_{ie2} \cdot R_E} \\ &\quad \times (h_{fe1} \cdot h_{ie2} \cdot R_{i2} - h_{fe2} \cdot h_{ie1} \cdot R_{i1}) \dots\dots (8) \end{aligned}$$

と求まりますから、

$$\begin{aligned} CMRR &= A_{vd} / A_{vc} \\ &= \frac{R_E \left(\frac{h_{fe1}}{h_{ie1}} + \frac{h_{fe2}}{h_{ie2}} \right)}{\frac{h_{fe1} \cdot R_{i2}}{h_{ie1}} - \frac{h_{fe2} \cdot R_{i1}}{h_{ie2}}} \dots\dots\dots (9) \end{aligned}$$

すなわち、 $CMRR$ を大きくするには、 R_E をできる限り大きくし、かつ特性のよくそろったトランジスタを使用すればよい、ということがわかります。

ここで、 $CMRR$ について少し説明をつけ加えます。(9)式から明らかなように、本来増幅すべき信号に対する利得(差動利得)と、入力に誘導されたハムなどに対する利得(同相利得)の比が $CMRR$ です。すなわち計測用アンプは、使用される環境が多様にわたるため、場合によっては入力に非常に大きな誘導ハムが重畳することが考えられます(図3参照)。

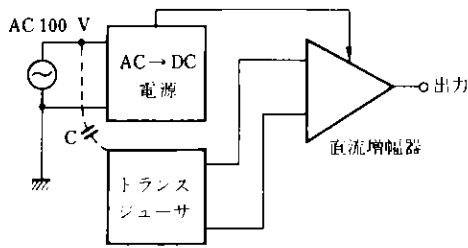


図3 同相雑音

これは使用者(人体)対接地間や、各種のトランスジューサ対接地間に誘導される商用電源(50または60 Hz)の雑音が主です。これは商用電源の片線が接地されていることによるものですが、計測用アンプの入力信号は一般に非常に小さいため、誘導雑音は信号の数100倍にもおよびます。ところがこれらの雑音を、差動入力計測用アンプで受けた場合、反転入力端子、非反転入力端子に同相で加わりますので、(9)式で求めたCMRRにより、差動で入力された信号に対し、著しく減衰されることとなります。

同様に、FETについてドリフトCMRRを求めてみます。図4の回路において、出力電圧のドリフトの原因は I_D 、 g_m 、 I_G の微小変化分 ΔI_D 、 Δg_m 、 ΔI_G が考えられ、入力換算ドリフト e_d は、

$$e_d = \left[\frac{(\Delta I_{D1} - \Delta I_{D2})}{g_m} \right] - (\Delta I_{G1} - \Delta I_{G2}) R_G + (\Delta g_{m1} V_{GS1} - \Delta g_{m2} V_{GS2}) / g_m \dots (10)$$

(ただし、 $g_m = g_{m1} = g_{m2}$ 、 $R_G = R_{G1} = R_{G2}$ とする)

と表わせます。

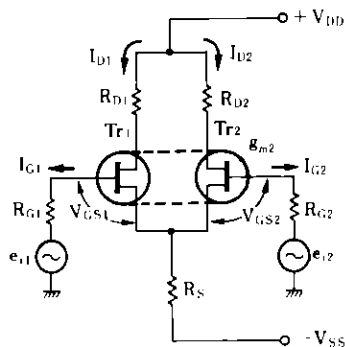


図4 FETによる差動増幅回路

FETの差動増幅回路においてもドリフトを改善するには、バイポーラ・トランジスタの場合と同様、特性すなわち I_D 、 g_m 、 I_G のよくそろった、デュアルタイプを使用

することが望ましいといえます。またCMRRについても、バイポーラ同様定電流源の内部抵抗をできる限り大きくし、ペア性のすぐれたFETを使用すれば、良好な特性が得られます。

図5に、各種定電流回路を示します。まず(a)は、トランジスタの V_{BE} を D_i の V_F で補償したものです。これはP-N接合の順方向電圧降下の温度係数が、ほぼ一定である性質を利用したものです。この回路の欠点は、 T_r と D_i の温度上昇が異なるため、温度ドリフトが大きいことです。(b)は(a)の D_i の代わりに、デュアル・トランジスタの片側のベース・エミッタ間を使用する方法です。これは、両トランジスタが1チップ化されているため、熱結合については理想的ですし、特性もよくそろっているため、温度変化に対しても安定な定電流源とすることができます。(c)は、FETを用いた定電流回路です。FETはソース側に挿入された抵抗と、ドレイン電流についてのみ、バイアスを決定できる自己バイアス方式をとれますので、簡単に定電流源を構成できます。そしてFETはドレイン電流を適当な値に選ぶと、その温度係数がゼロになる点がありますので、特に温度補償回路を付加することなく、安定な定電流源とすることができます。

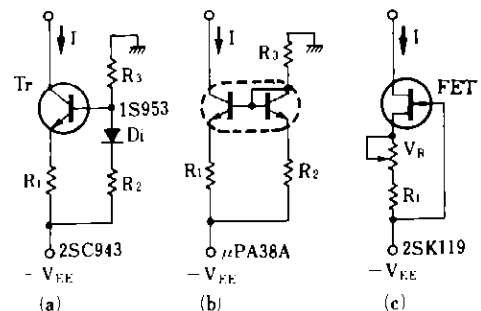


図5 各種定電流源

トランジスタの種類

表1のデュアル・トランジスタ、デュアルFETの中にはバイポーラ・トランジスタ、ジャンクションFET、MOS FETと3種類のタイプがあり、それぞれ特性に特長があるので、回路条件によって使いわける必要があります。それぞれのタイプの特長比較を表2に示し、重要と思われる項目について説明をつけ加えます。

(1)入力インピーダンス——バイポーラ・トランジスタは、その動作原理からベース電流を流して動作させるため、入力インピーダンスはどうしても低くなります。エミッタ・フォロワで使用すれば、回路の入力インピータ

表2 各種トランジスタの特長比較

| 項目 | バイポーラ Tr | ジャンクション FET | MOS FET |
|-----------------|---|---|--|
| 入力抵抗 | $\sim 10^6 \Omega$ | $10^{10} \sim 10^{12} \Omega$ | $10^{14} \sim 10^{15} \Omega$ |
| 入力容量 | 5~50 pF | 2~10 pF | 2~8 pF |
| 低周波雑音指数 | ~ 3 dB at $\begin{cases} f=10 \text{ Hz} \\ I_C=1 \text{ mA} \\ R_G=1.0 \text{ k}\Omega \end{cases}$ | ~ 1 dB at $\begin{cases} f=10 \text{ Hz} \\ I_D=1 \text{ mA} \\ R_G=100 \text{ k}\Omega \end{cases}$ | ~ 20 dB at $\begin{cases} f=10 \text{ Hz} \\ I_D=1 \text{ mA} \\ R_G=5 \text{ M}\Omega \end{cases}$ |
| ひすみ特性 | 3次以上の高調波が含まれる | 3次以上の高調波が無視できる | |
| スイッチング特性 | 小数キャリアによる蓄積効果がある ON抵抗は小さい | 小数キャリアの蓄積効果がなく、高速 ON抵抗は大きい | |
| DCアンプとしての温度ドリフト | $R_G < 10^6 \Omega$ に適する ジャンクション FET より大 | $R_G < 10^9 \Omega$ で最小 | $R_G < 10^{10} \Omega$ で最小 |

ンスを高くすることはできますが、この回路は電圧利得 ≈ 1 ですので、高入力抵抗かつ高電圧利得の要求される回路には不向きです。

これに対して FET は、ゲート・ソース間電圧すなわちジャンクションタイプでは、PN接合の逆バイアス電圧であり、MOSタイプの場合は、絶縁膜に印加された電圧により、ドレイン電流がコントロールされるため入力電流 ≈ 0 です。したがって入力インピーダンスは非常に高くなり、 $10^{10} \sim 10^{15} \Omega$ にも達し、高入力インピーダンスの要求される回路には、FETが最適です。

(2)雑音特性——バイポーラ・トランジスタの場合、そ

の雑音指数特性は図6のようになります。低周波領域の雑音(1/f雑音)は、電流性雑音が主であるため、信号源抵抗 R_G が大きくなるにつれて、増大する傾向があります。中間周波領域の雑音は、ベースからコレクタ領域に至る電子と、正孔の再結合のゆらぎによるものですが、他の周波数領域に比較し、雑音指数は低くなっています。

FETの場合、低周波領域の雑音は主として電圧性雑音であるため R_G が大きいほど雑音指数は低下します(図7参照)。したがって雑音の面からは、比較的高インピーダンスの信号源に対してはFET、低いインピーダンスの信号源に対しては、バイポーラ・トランジスタが

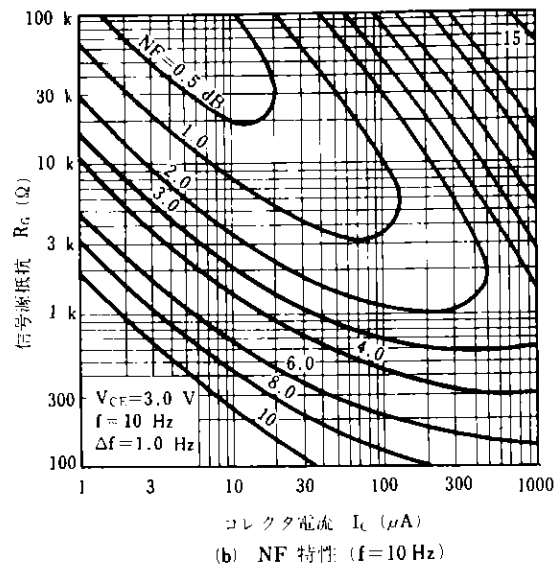
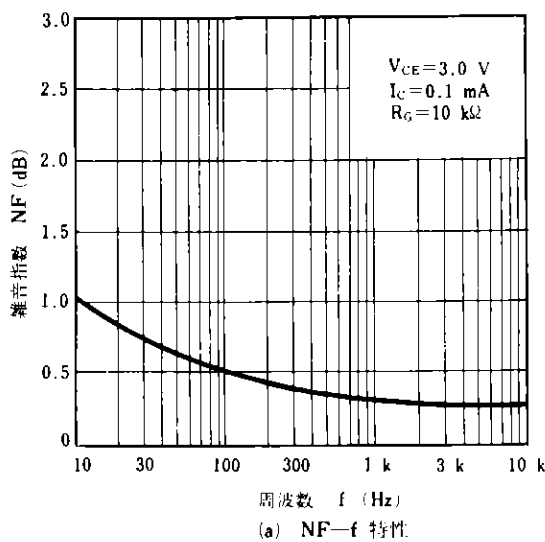


図6 低雑音バイポーラ・トランジスタの雑音特性 (2SC1010)

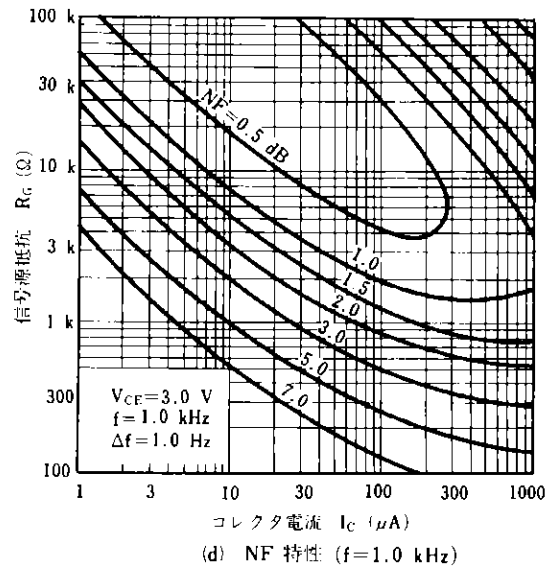
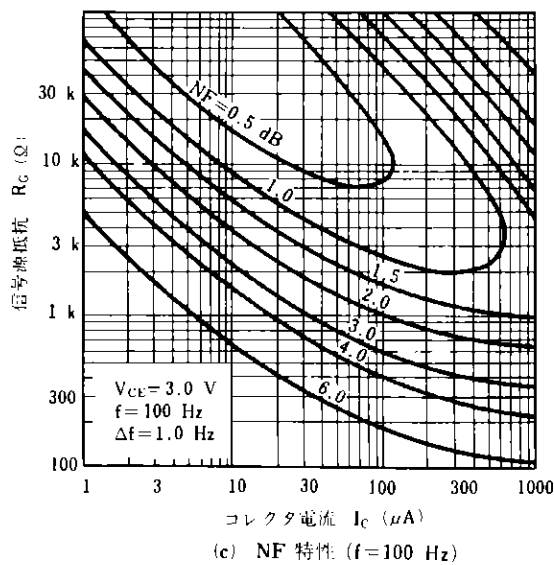


図6 低雑音バイポーラ・トランジスタの雑音特性 (2SC1010)

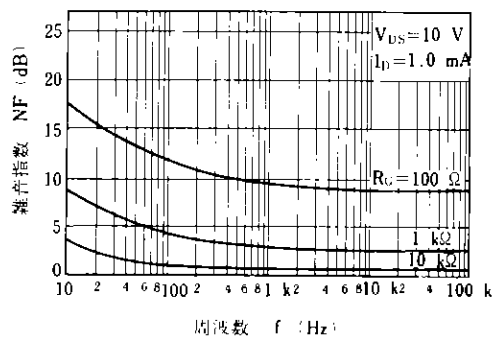


図7 NchジャンクションFET NF-f 特性 (μPA60A)

適しているといえます。

応用例

図8に、デュアル・トランジスタを使用した、低ドリフト増幅回路を示します。トランジスタのベース・エミッタ間電圧 V_{BE} は、

$$V_{BE} = \left(\frac{KT}{q} \ln \frac{I_E}{I_S} \right) + I_E \cdot r_{ec} + I_B \cdot r_b$$

$$= \left(\frac{KT}{q} \ln \frac{I_E}{I_S} \right) + I_E \cdot r_{ec} + I_E (1 - \alpha) r_b' \dots (11)$$

と表わせます。

- I_S : トランジスタ飽和電流
- K : ボルツマン定数
- T : 絶対温度
- q : 電子の電荷

- r_b' : 固有ベース抵抗
- r_{ec} : エミッタ接触および領域抵抗
- I_E : エミッタ電流

ここで I_E は、実際には数 $10 \mu A$ と小さいため、式の2、3項は無視でき、

$$V_{BE} = \frac{KT}{q} \ln \frac{I_E}{I_S}$$

で代表できます。すなわち、この回路の入力オフセット電圧 V_{IO} は、

$$V_{IO} = \frac{KT}{q} \ln \frac{I_{E1}}{I_{S1}} - \frac{KT}{q} \ln \frac{I_{E2}}{I_{S2}}$$

$$= \frac{KT}{q} \left(\ln \frac{I_{S2}}{I_{S1}} - \ln \frac{I_{E2}}{I_{E1}} \right) \dots (12)$$

次に、オフセット電圧の温度ドリフトは、

$$\frac{\partial V_{IO}}{\partial T} = \frac{K}{q} \left(\ln \frac{I_{S2}}{I_{S1}} - \ln \frac{I_{E2}}{I_{E1}} \right) \dots (13)$$

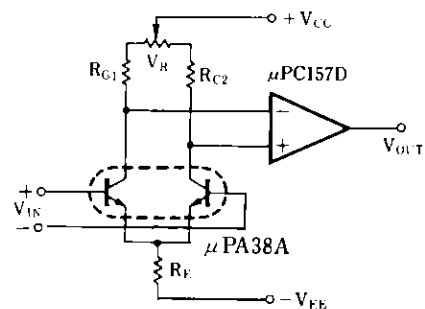


図8 デュアルTrと汎用OPアンプによる高性能DCアンプ

で表わせます。上式で I_{S2}/I_{S1} は、トランジスタ・チップの形状で決定される定数ですから、 I_{E2}/I_{E1} を変化することにより、この2項を相殺することができます。方法としては、コレクタ負荷抵抗を微調すればよく、図8の V_R はそのためのもので、この方法でオフセット電圧を0とすることにより、温度ドリフトはかなり改善されます。

図9は、初段にデュアルFETを使用し、同相負帰還を施した増幅回路です。CMRRを改善する手段としては、差動段のトランジスタをペア性のすぐれたものにする、ソース抵抗を定電流回路に変えることにより高くすること、などがあげられますが、さらに同相負帰還を施すことも改善の手段となります。

図9の動作を説明しましょう。まず Tr_1 のゲート電圧が同相で上がったとします。そうすると、 Tr_1 のドレイン電圧は下がり、 Tr_3 のエミッタ電流は減少し、 Tr_2 のコレクタ電流が減少することにより、 Tr_1 のドレイン電圧を上げるように動作しますので、同相分に対して負帰還がかかることとなります。また、差動入力分に対しては、 Tr_3 は差動動作をしますので、 Tr_3 のエミッタ電流は変化せず、差動入力に対しては負帰還はかかりません。

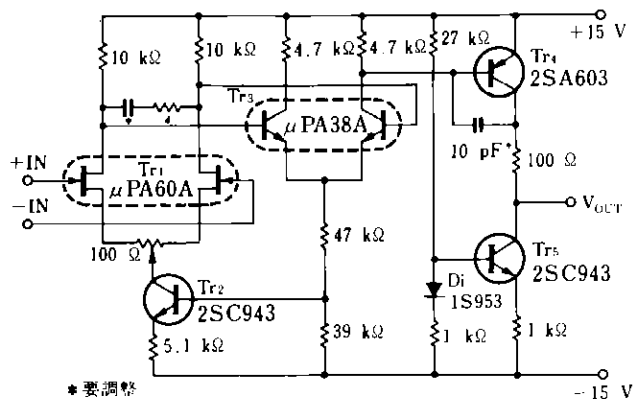


図9 同相負帰還を施したDCアンプ

図10に、デュアルFETを使用した高入力インピーダンス直流増幅回路を示します。初段にバイポーラ・トランジスタを使用しますと、入力インピーダンスはせいぜい1~5 M Ω 程度しか得られませんが、これをジャンクションFETに置き換え、負帰還をソース側にかけると、 10^{10} ~ 10^{12} Ω オーダにまで上げることができます。

この回路では、初段FETの出力をベース接地のトランジスタで受けますので、負荷はトランジスタの h_{ib} (ベ

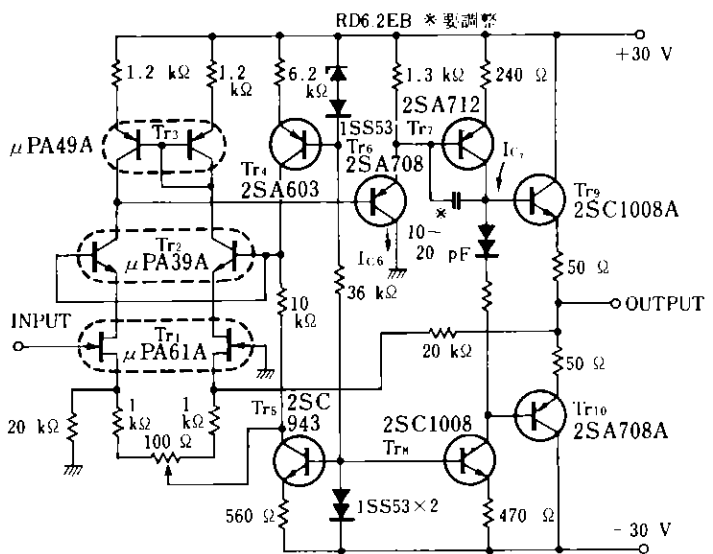


図10 高入力インピーダンス直流増幅回路

ース接地の時の入力インピーダンス)となり、利得は1以下ですから、FET 帰還容量 C_{rss} の小さいこととあいまって、周波数特性はかなり伸びます。

ベース接地回路の電圧利得は、 $(h_{fe} \cdot R_L) / h_{ib}$ で求められますが、この回路の場合 R_L は次段のPNPトランジスタによる、エミッタ・フォロワ回路の入力インピーダンスとなります。この場合、入力インピーダンスは、

$$h_{ie6}(r_{e6} + R_{E6}) = h_{ie6} \left(\frac{0.026}{I_{C6}(A)} + 1.3 \right) \text{ k}\Omega$$

で求められ、約150 k Ω となりこの段までの利得 A_v は、

$$A_v = g_{m1} \times 150 \text{ k}\Omega \approx 50 \text{ dB}$$

ただし、

$$g_{m1}: Tr_1 \text{ の } g_m, \quad h_{fe2}: Tr_2 \text{ の } h_{fe}, \quad h_{ie6}: Tr_6 \text{ の } h_{ie}, \\ r_{e6}: Tr_6 \text{ の 内部エミッタ抵抗}, \quad R_{E6}: Tr_6 \text{ の エミッタ側 の 抵抗}$$

と求められます。そして次段は、コレクタ-ベース間容量 (C_{ob}) の小さいトランジスタを、定電流負荷で動作させます。 Tr_8 による定電流回路の出力インピーダンスは約4.5 M Ω ですので、 Tr_7 の利得は $(4.5 \times 10^6) / (0.24 + 0.026 / I_{C7})$ で求められ約85 dBとなり、この回路のオープン・ループでの利得は約135 dBとなります。本回路の周波数特性を図11に示します。

次に、この回路の改善すべき点ですが、初段のFETを駆動している定電流源は、バイアスにダイオードを使用しているため、温度特性が良いとはいえません。ここ

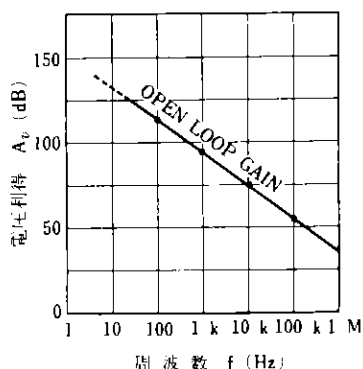


図11 直流増幅回路の周波数特性

にも高性能なデュアル・トランジスタを使用し充分温度補償を施すことにより、ドリフトはかなり改善されます。図12(a)に、オシロスコープ垂直軸入力回路を示します。

オシロスコープの入力インピーダンスは、特殊な場合を除いて通常 $1\text{ M}\Omega$ です。また分圧プローブを用いた場合、その分圧比の精度を正確に定めるため、初段増幅回路は $100\text{ M}\Omega$ 以上の入力インピーダンスが必要で、入力容量もかなり小さい値が要求されます。

以上のようなことから、入力回路には FET のソース・フォロワ回路が多用されています。 $\mu\text{PA60A}(\text{Tr}_1)$ を使用した場合の電圧利得 A_v と入力容量 C_{in} を求めてみると、

$$\begin{aligned} A_v &= i_d \cdot R_S / (v_{GS} + i_d \cdot R_S) \\ &= g_m \cdot R_S / (1 + g_m \cdot R_S) \\ &\approx 0.97 \dots\dots\dots (14) \end{aligned}$$

$$\begin{aligned} C_{in} &= C_{rss} \cdot A_v + C_{iss} (1 - A_v) \\ &\approx 0.7\text{ pF} \dots\dots\dots (15) \end{aligned}$$

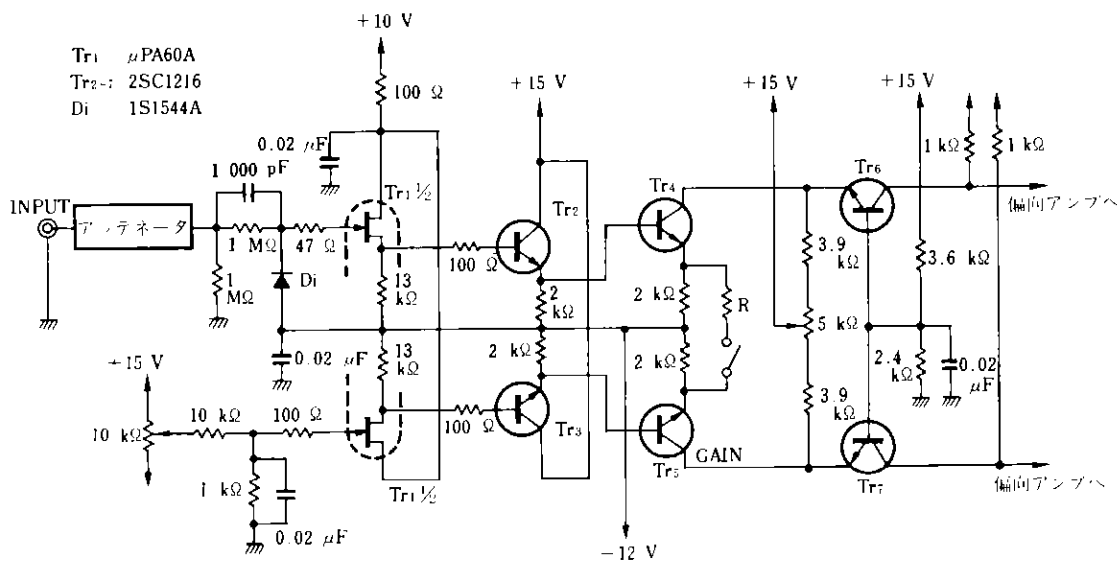


図12 (a) オシロスコープ垂直軸入力回路

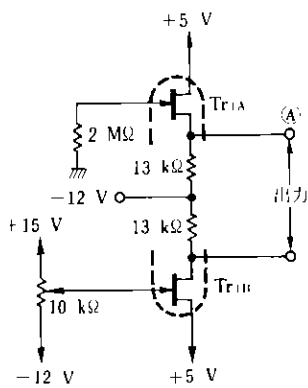


図12 (b) 温度補償回路

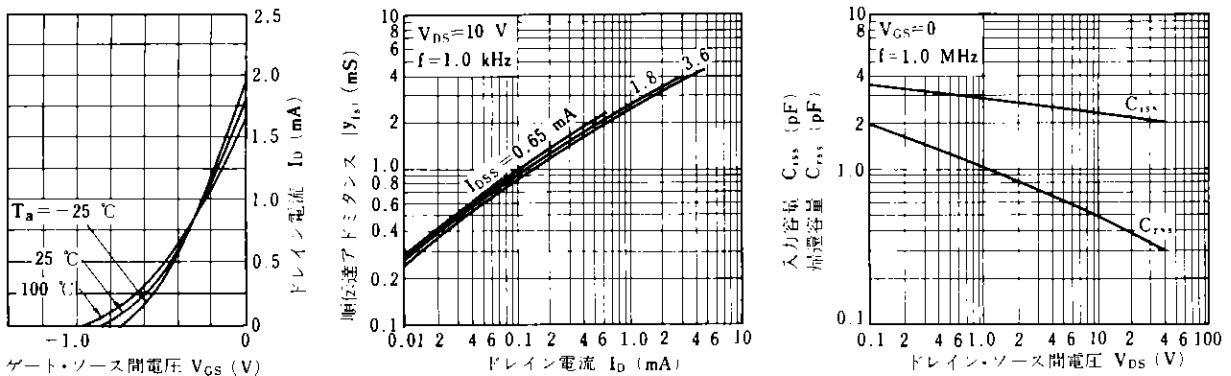
ただし、

i_d : ドレイン電流, R_S : ソース抵抗, v_{GS} : ゲート・ソース間電圧, g_m : 相互コンダクタンス,

C_{rss} : 帰還容量, C_{iss} : 入力容量

となります (図13の μPA60A 特性曲線参照)。

次に、直結型増幅回路で問題になるのがドリフトです。したがって、本回路では Tr_1 により温度補償を行なっています。初段を抜き出しますと、図12(b)のような等価回路となります。すなわち無信号時には、 Tr_{1A} のゲートは $2\text{ M}\Omega$ を通じて接地されており、そのときの出力(A)の電圧は $+V_{GS_A}$ です。



(a) I_D - V_{GS} 特性 ($I_{DSS} \approx 1.8$ mA) (b) $|y_{fs}|$ - I_D 特性 (c) C_{iss} , C_{oss} - V_{DS} 特性

図13 μ PA60A の主要特性

Tr_{1B} の出力②の電圧を①の出力電圧と等しくすると、平衡出力はゼロとなります。また FET はドレイン電流を適当に選ぶと、図13(a)のように温度ドリフトがゼロになる点があり、本回路の場合、ドレイン電流は約0.85 mA としてあります。

図14に、簡単な定電圧電源回路を示します。この回路では、基準電源に温度補償された定電圧ダイオード 1S2770 を用いています。この基準電圧は約6.5 V となり、デュアル・トランジスタ μ PA39A で出力側の検出電圧

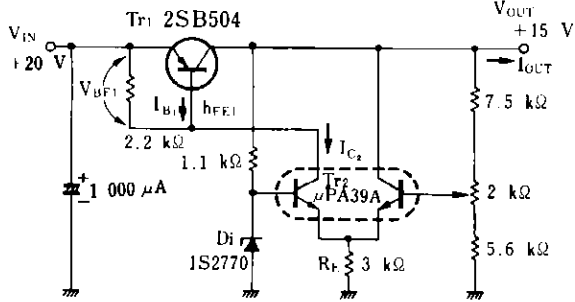


図14 定電圧電源

と比較され、 Tr_1 のベース電流を制御します。

また、この回路はフの字特性で電流制限がかかりますが、それについて少し説明を付け加えます。まず 1S2770 と μ PA39A に流れる電流は合計しても 10 mA にもなりませんから、本回路の出力電流 I_{OUT} は、

$$I_{OUT} \approx h_{FE1} \cdot I_{B1} \dots \dots \dots (16)$$

となります。ところが、 $I_{B1} \approx I_{C2}$ であり、また Tr_2 が ON となった場合の最大コレクタ電流は、

$$I_{C2max.} \approx (V_{IN} - V_{BE1}) / R_E \approx V_{IN} / R_E \dots \dots \dots (17)$$

で表わせます。以上の計算から出力制限電流 I_{lim} は、

$$I_{lim} \approx V_{IN} \cdot h_{FE1} / R_E$$

で求められ、この回路では入力電圧 20 V のとき、約 500 mA で制限がかかります。

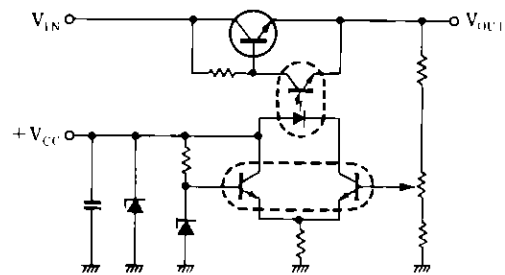


図15 高電圧安定化電源

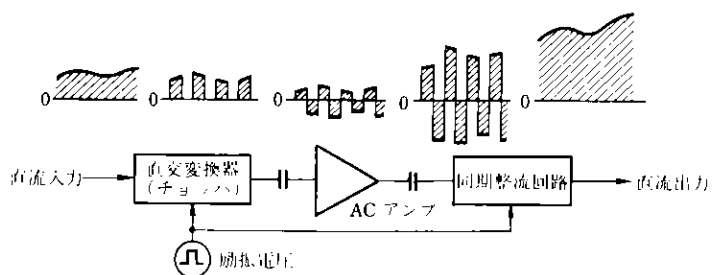


図16 チョップ形直流増幅回路ブロック

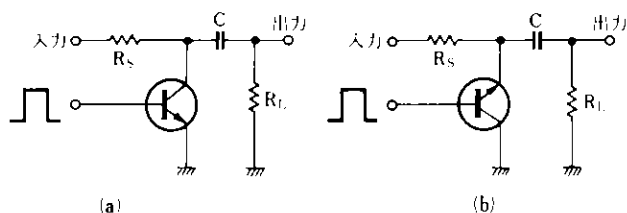


図17 トランジスタ・チョップ

図15のようにホトカプラを使えば、簡単に高電圧安定化電源を構成できます。この回路では図14と同様、基準電源に定電圧ダイオード、誤差検出には μ PA39Aを用いLEDの電流を制御します。LEDの光に応じて、ホトトランジスタのコレクタ電流が変化し、出力は安定化されます。ホトカプラの1次、2次側の絶縁耐圧は、一般に1 kV以上ありますので、特に高耐圧トランジスタを用いなくとも、高電圧電源とすることが可能です。

チョッパ

直流増幅回路には、今まで述べた直結差動形のほかにチョッパ形があります。チョッパ形の原理は図16に示すように、直流入力信号を一度チョッピングし、交流信号にした後交流増幅して、同期整流回路を通して直流に変換する方式です。この方式のチョッパには、機械的なものと純電子的なものがあり、後者にはトランジスタや、FETが用いられます。

トランジスタをチョッパ回路に用いる場合には図17のようにして、ベース電流によるコレクタ・エミッタ間の抵抗変化を利用します。ところがこの使い方

でなければならないのが、コレクタ・エミッタ間の残留電圧(オフセット電圧と呼ぶ) V_p と、漏れ電流 I_p です。正接続および逆接続の場合の V_p と I_p は、次式で表わされます。

$$\left. \begin{aligned} V_{pn} &= \frac{KT}{q} \ln \frac{1}{\alpha_i} \\ I_{pn} &= \frac{1-\alpha_i}{\alpha_i} I_K \end{aligned} \right\} \text{正接続}$$

$$\left. \begin{aligned} V_{pi} &= \frac{KT}{q} \ln \frac{1}{\alpha_n} \\ I_{pi} &= \frac{1-\alpha_n}{\alpha_n} I_K \end{aligned} \right\} \text{逆接続}$$

ただし、

- α_n : 正接続ベース接地の α
- α_i : 逆接続ベース接地の α
- K: ボルツマン定数
- T: 絶対温度
- q: 電子の電荷
- I_K : 定数

一般に $\alpha_n > \alpha_i$ ですから、逆接続のほうが V_{pi} , I_{pi} ともに小さくなります(図18参照)。

図17(b)の回路について考えてみますと、入力=0の場合

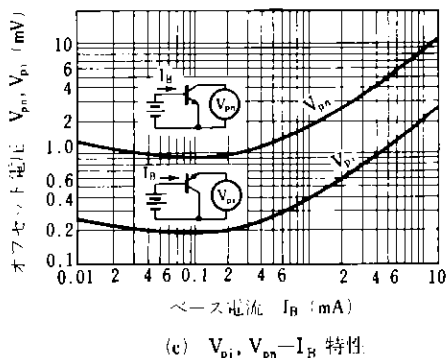
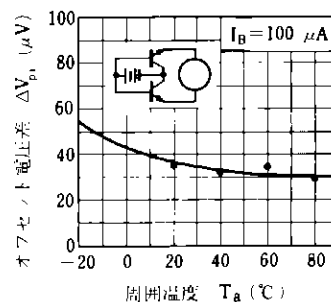
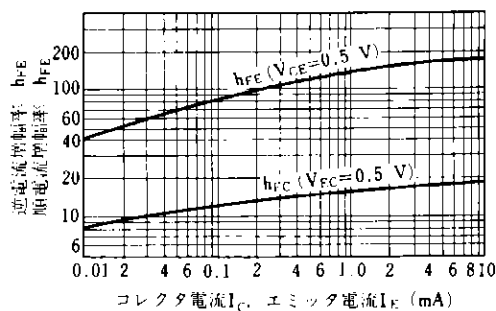
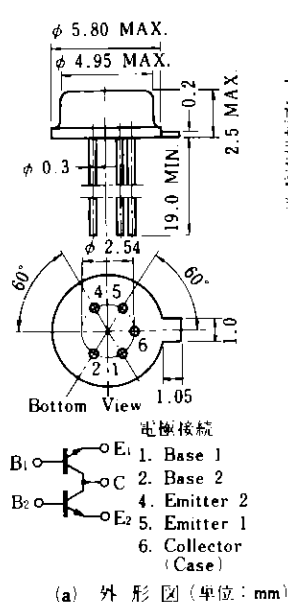


図18 チョッパ用デュアル・トランジスタ μ PA36Aの特性

合の出力電圧は、 $e_o = V_{pi} + I_{pi} \cdot R_S$ の誤差を生じます。これを補うための回路が図19に示す方式で、ここには特性のよくそろったチョップ・用デュアル・トランジスタを用います。図18に特性の一例を示します。

使用上の注意点

以上、工業計測器用途のデュアル・トランジスタの特性と応用について述べましたが、最後にこれらを使用する上での注意点を、その取り扱いおよび実装面について述べておきます。これらの注意点は、一般のディスクリ

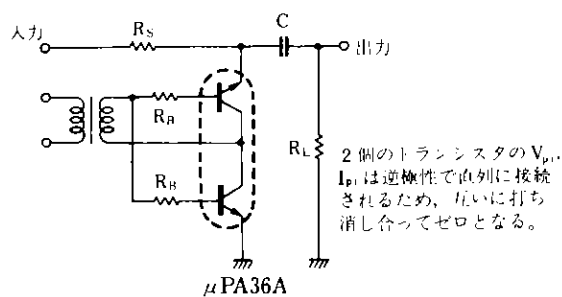


図19 直列形補償

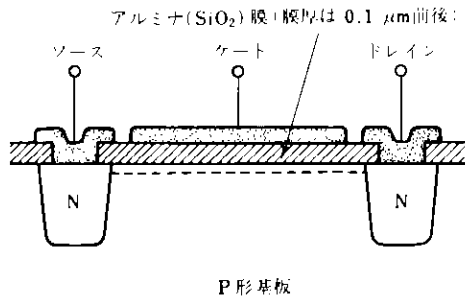


図20 n ch MOS FET の構造

ート素子にも該当しますので、参考にしてください。

(1) MOS FET のゲート破壊

MOS FET は、図20のようにゲート電極と、チャンネル間に非常に薄いシリコン酸化膜をもった構造になっており、ゲート電極と他の電極間のインピーダンスは、 $10^{13} \Omega$ 以上ときわめて高くなっています。したがって、ゲートに印加された電圧は、すべてアルミナ(SiO_2)膜上に印加されることとなります。アルミナ膜の絶縁破壊強度は約 $1 \times 10^7 \text{ V/cm}$ であり、一般のMOS FET の場合膜厚は $0.1 \mu\text{m}$ 前後ですから、 100 V 程度の電圧で簡単に絶縁破壊を起こします。

普通われわれが着用している衣類は、周囲の湿度などによりますが、数kV～数10 kVに帯電していますので、素子の取り扱いによっては簡単に破壊します。そこで、保存時には必ずアルミ箔かショートリングで、G-S間をショートしておく必要があります。またはんだ付けは、あらかじめんだごてのリーク電流を確認して、少ないものを接地をとって使用します。

(2) リード線の折り曲げ

工業用トランジスタは、大部分のものが金属ケースを採用しており、ケースとリード線間の絶縁部分は、図21(a)のようにハーメチック・シールされています。この種の素子をプリント基板に実装する場合には、一般にリード線間隔を広げて行いますが、その場合リード線の引張り方、曲げ方によっては図21(b)のようにガラスとリード線の融着部分に微小なクラック(割れ)を生じることが確認されています。

このクラックは印加される機械的ストレスの大きさ、方向によってはきわめて大きくなるので、この部分には

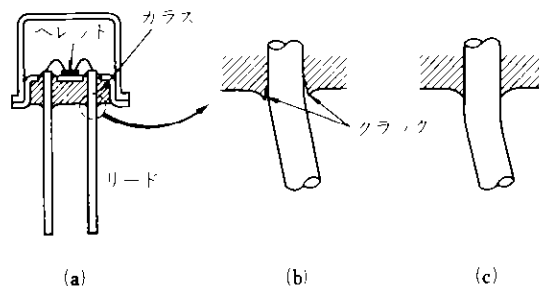


図21 トランジスタのハーメチックシール部

んだ付け時のフラックスが付着したり、装置や回路の雰囲気によっては水分が付着することにより、リード線間のリーク電流が増大します。クラックを生じたMOS FETのゲート電流と、湿度との関係を図22に示します。これらは特に高入力抵抗の要求される回路で影響が大きく回路の入力インピーダンスが低下することが考えられます。

リード線の折り曲げの注意としては、図21(c)のようにガラス部から2～3 mm離れた箇所を、ピンセットでしっかり固定し、ガラス融着部に応力かなるべくかからないように注意すれば問題はありません。

(3) 洗浄するときの注意

プリント基板への部品実装後、はんだ付け時のフラックス除去、その他の汚れの除去を目的として有機溶剤に

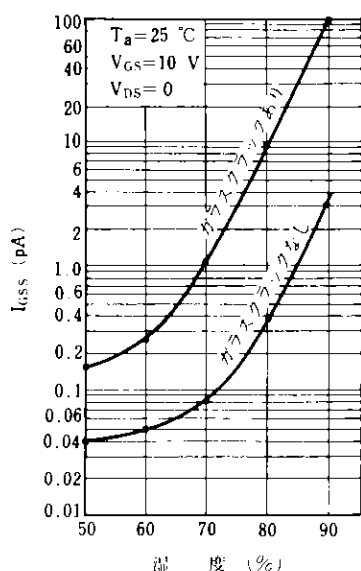


図22 メタルキャップ・ケース封止型 N ch MOS FET の I_{GSS} 対湿度特性

よる洗浄に併用して、超音波洗浄を実施する場合があります。この際の印加パワー、振動幅、周波数条件などによっては、素子の破壊を招くことがあります。

金属ケース封止の素子は、プラスチック封止の素子と異なり、図21(a)のように内部の素子チップとリード線を接続するボンディング・ワイヤは宙にういている状態です。この種の素子に超音波振動を印加しますと、内部のボンディング・ワイヤの太さ、長さなどの条件により、共振状態あるいはそれに近い状態となり、ワイヤが垂れてショートしたり、ボンディング部がはかれたりする場合があります。したがって、金属封止された素子については、超音波洗浄を実施することはあまり好ましくありません。

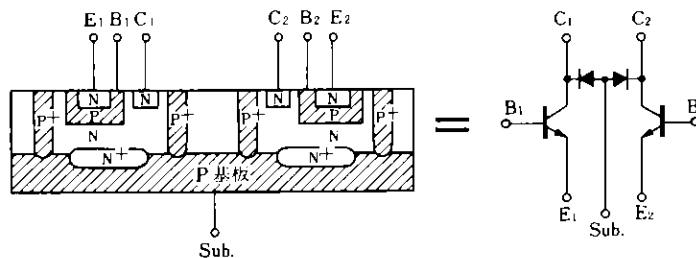


図23 NPN モノリシック・デュアル・トランジスタの構造

(4) サブストレート端子の処理

デュアル・トランジスタなどのうち、モノリシック1チップ化されたタイプは、その構造上図23のように基板(サブストレート)を有します。

この図はNPNデュアル・トランジスタですが、NPNタイプの場合はサブストレートはN形となります。

サブストレートは一種のダイオードを形成していますのでリーク電流がわずかながらありますし容量も持っています。

図23のようなデュアル・トランジスタで差動アンプを形成しますと両コレクタ間に容量を持ちますので高周波では利得の低下をまねきますし、両トランジスタでレベルの異なる信号を増幅する場合にはリーク電流により大レベルから小レベル側へ影響をおよぼします。

そこで図23のようにサブストレートがP形の場合には回路の負電位側へ、N形の場合は正電位側へ接続することにより、容量、リークは両素子間へは影響を与えなくなります。

トランジスタ・アレイの使い方

インターフェイス用トランジスタ・アレイ

コンピュータの周辺端末機器、データ通信関係の端末機器、その他クロック、トランシーバなどとデジタルICの応用分野は、急速に広がりつつあります。現在デジタルICには、TTL, HTL, MOS, CMOS……と非常に多くの種類があり、それぞれ高速性、低消費電力性、高ノイズ・マージンなどの特長に応じて使い分けられています。

これらのICで構成された回路で負荷を駆動する場合には、その負荷のインピーダンス、必要とする電圧などにより、何らかのバッファが必要となる場合があります。

一般にデジタル・システムの場合、プリンタのハンマ、表示素子の駆動、リレーの駆動などと、同一の負荷が何個か並列に動作する機会が多いため、複合化されたインターフェイス回路、素子はそれらの用途に最適です。

TTL インターフェイス用トランジスタ・アレイ

まず、デジタルICのうちで最も多く使用されているTTLについて、インターフェイス用複合素子を調べてみます。ご存知のように標準的なゲート、たとえば7400の場合その出力特性は、

$$V_{OH} \geq 2.4 \text{ V}, I_{OH} \leq -400 \mu\text{A}$$

$$V_{OH} \leq 0.4 \text{ V}, I_{OL} \leq 16 \text{ mA}$$

比較的输出電流がとれますので、表1に示した μPA46D ~ 48D 、あるいは μPA57C のような入力抵抗の小さいトランジスタ・アレイが適しています。

図24に、SN54/74シリーズで、負荷をドライブする際の回路定数の決め方を示します。TTLの出力条件より、

$$R_B > \frac{V_{OH} - V_{BE}}{I_{OH}} \approx 4.5 \text{ k}\Omega$$

h_{FE} を50と考えますと、

$$I_C = h_{FE} \cdot I_{OH} = 20 \text{ mA}$$

となります。ただし、 V_{OH} の2.4 Vにこだわらない場合は、 R_B の値を小さくすることによって、 I_B は10 mA程度まで流すことはできます。

オープン・コレクタ・ゲートの場合、 R_B はICの V_{OL} 、 I_{OL} より求められます。すなわち、

$$R_B > (V_{CC} - V_{OL}) / I_{OL} \approx 280 \Omega$$

となります。

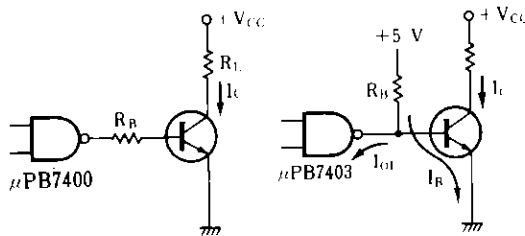


図24 μPB7400 シリーズで負荷を駆動

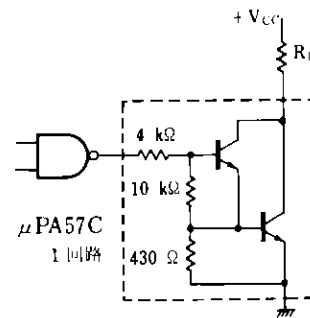


図25 ダーリントン・トランジスタ・アレイによるドライブ

TTLの出力で、300 mA程度の負荷をドライブするには、図25のようなダーリントン・トランジスタ・アレイを使ったほうが、 h_{FE} の点で有利です。 μPA57C は、図のようにそれぞれのトランジスタのベース・エミッタ間には、リーク電流吸収用抵抗(10 k Ω と430 Ω)と、4 k Ω のベース抵抗が内蔵されており、TTL用としては最適です。

これらの回路を設計する際には、その回路の置かれる温度範囲に注意し、トランジスタの h_{FE} の低下も考えあわせて、充分オーバ・ドライブとなるように、定数を決定しなければなりません。

CMOS インターフェイス用トランジスタ・アレイ

CMOSの出力でトランジスタ回路をドライブする場合には、TTLより小さいドライブ電流ですみます。図26は、CMOSスタンダード・ゲート $\mu\text{PD4069C}$ に、バッファ用トランジスタ Tr を介して、負荷をドライブする回路です。この回路における定数の決め方を説明します。まず表3に示す $\mu\text{PD4069C}$ の出力規格において、ICの

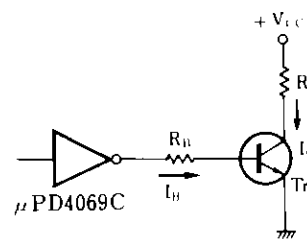


図26 CMOSによる負荷の駆動

表3 μPD4069C の出力規格

| 項目 | 略号 | V _{DD} (V) | 条件 | T _a =25 °C | | | T _a =-40~+85 °C | | | 単位 |
|-----------|-----------------|---------------------|---------------------------------|-----------------------|------|------|----------------------------|------|------|----|
| | | | | MIN. | TYP. | MAX. | MIN. | TYP. | MAX. | |
| ハイレベル出力電圧 | V _{OH} | 5 | V _I =0 V | 4.99 | 5 | | 4.95 | | | V |
| | | 10 | | 9.99 | 10 | | 9.95 | | | |
| | | 15 | | 14.99 | 15 | | 14.95 | | | |
| ロウレベル出力電圧 | V _{OL} | 5 | V _I =V _{DD} | | 0 | 0.01 | | | 0.05 | V |
| | | 10 | | | 0 | 0.01 | | | 0.05 | |
| | | 15 | | | 0 | 0.01 | | | 0.05 | |
| ハイレベル出力電流 | I _{OH} | 5 | V _O =2.5 V | -1.6 | -3.2 | | -1.3 | | | mA |
| | | 5 | V _O =4.6 V | -0.4 | -0.8 | | -0.36 | | | |
| | | 10 | V _O =9.5 V | -0.9 | -1.8 | | -0.75 | | | |
| | | 15 | V _O =13.5 V | -3 | -6 | | | | | |
| ロウレベル出力電流 | I _{OL} | 5 | V _O =0.4 V | 0.4 | 0.8 | | 0.36 | | | mA |
| | | 10 | V _O =0.5 V | 0.9 | 1.8 | | 0.75 | | | |
| | | 15 | V _O =1.5 V | 3 | 6 | | | | | |

電源電圧における I_{OH} 最小の曲線で、IC の出力抵抗 (R_{ON}) を求めます。

$$R_{ON} = V_{DD} / I_{OH} \text{ (短絡電流)}$$

次に、ドライブする負荷の電流 (すなわちコレクタ電流 I_C) と、トランジスタの h_{FE} からベース電流 I_B が求められます。

$$I_B = I_C / h_{FE}$$

以上の2式より、トランジスタのベース抵抗値 R_B は、

$$R_B = \frac{V_{DD} - V_{BE} - I_C \cdot R_{ON}}{I_B} \text{ (Ω)}$$

となります。

ここで注意しなければならないのは、IC の出力特性と、トランジスタの h_{FE} の温度変化です。特に温度が低下しますと、IC の I_{OH} は減少する傾向があり、また h_{FE} も低下しますので回路設計時には、装置の使用温度範囲の最低温度を考慮して設計する必要があります。

インターフェイス用トランジスタ・アレイの使用上の注意点

トランジスタ・アレイを使用する場合、特に注意を要する点に次のようなものがあげられます。

- (1) IC 側の出力特性
- (2) 負荷電圧、電流
- (3) 負荷によるサージ電圧、電流の対策
- (4) 許容損失

したがって、ドライブ回路を設計する際には、以上の

ような点に注意して、回路の誤動作、素子の破壊などないように設計しなければなりません。以下(3)と(4)について説明します。

サージ電圧、電流の対策

1. 抵抗性負荷の駆動

抵抗性負荷の場合は、ほとんどの場合サージ対策は無用ですが、特に非直線性負荷で印加電圧が高くなるにつれ抵抗が減少するような負荷、温度により大幅に抵抗値の変化する負荷などのときに注意を要します。前者の例としては、LED があげられます。図27のように、印加電圧がある値を越えようと、急に電流が流れはじめますので、直列に電流制限抵抗を挿入する必要があります。

後者のよい例として、ランプがあげられます。ランプ

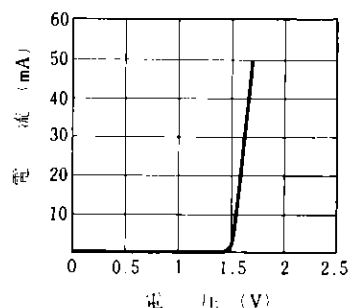


図27 発光ダイオードの I_F-V_F 特性

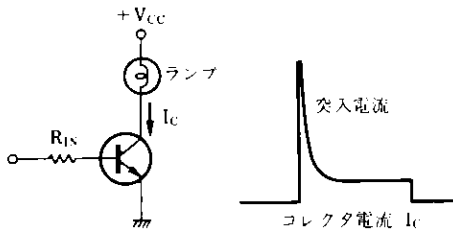


図28 ランプ・ドライブ

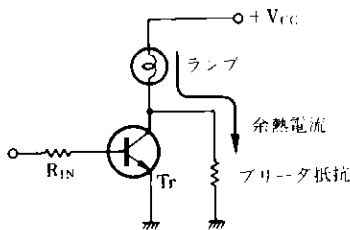


図29 突入電流を小さくする

が点灯しているときの抵抗は、点灯していないときの10倍程度あります。すなわち図28のように、突入電流が定常電流の10倍もあるわけです。この突入電流が定常状態になるまでには、小形のランプで50 ms、大形のものでは1 s もかかりますので、その間にトランジスタが定格コレクタ損失オーバなどにより、破壊されることも考え

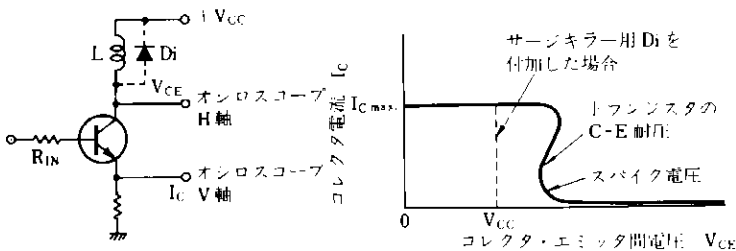


図30 誘導性負荷のドライブ

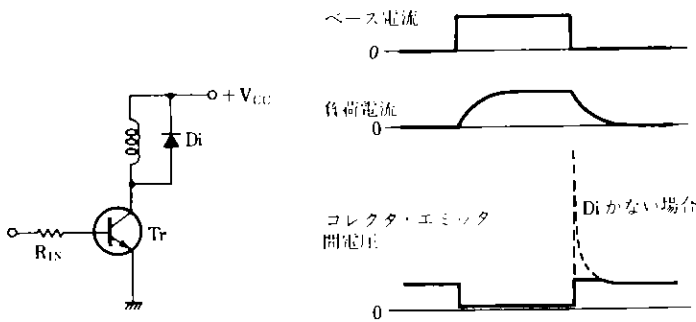


図31 ダイオードによるサージ吸収

られます。そこで、この突入電流を小さくするため、図29のようにブリーダ抵抗を付加して、あらかじめ少し電流を流しておきます。こうすることにより、大幅な抵抗の変化はなくなりますから、突入電流は定常電流の数倍におさえられます。

2. 誘導性負荷の駆動

各種の負荷の中で、最も多いのがこの誘導性負荷です。リレー、ソレノイド、プランジャなど誘導性負荷を駆動する場合には、そのON→OFF時に生じる逆方向起電力による、スパイク電圧が問題となります。このスパイク電圧は、電源電圧の10倍近くにまで達する場合がありますので、図30のようにトランジスタが逆方向ブレイク・ダウンしたり、最悪の場合には破壊したりします。

また、この際に生じるスパイク電圧は、他の回路の信号に重畳し、誤動作の原因ともなりかねません。このスパイク電圧の吸収策として、図31のようにダイオードDiを負荷に並列接続し、トランジスタがOFFとなった場合、コイルの残留磁束による電流は、ダイオードを通じてショートされます。

許容損失

トランジスタ・アレイは、同一パッケージ内に数個のトランジスタが内蔵されていますので、一般の個別トランジスタとは許容損失の考え方が異なります。すなわちアレイのうち、1回路のみ動作させた場合に比べて、全回路を同時に動作させた場合は、発熱などの点で回路あたりの許容損失は小さくなります。ここではダーリントン・トランジスタ・アレイμPA53Cを例にとって説明します。このアレイは、ダーリントン・トランジスタと周辺抵抗から成る回路が、5回路内蔵されており、その最大定格は図32のとおりです。これによりますと、

$$I_C \text{ max.} < 0.4 \text{ A/unit}$$

$$I_C \text{ max.} < 2.0 \text{ A/package}$$

となっており、このもとになるのは図33に示す安全動作領域のデータです。この実測データから1回路のみ動作の I_C と、5回路同時動作の I_C は、完全に5倍にはなっていません。プリンタ・ハンマー・ドライブなどのように、全回路が

絶対最大定格 ($T_a=25^\circ\text{C}$)

| 項目 | 略号 | 定格 | 単位 |
|--------------|-----------|-----------------|------------------|
| コレクタ・ベース間電圧 | V_{CB0} | 30 | V |
| コレクタ・エミッタ間電圧 | V_{CE0} | 30 | V |
| コレクタ電流 | I_C | 0.4 | A/unit |
| コレクタ電流 | I_C^* | 2.0 | A/package |
| 入力電圧 | V_{IN} | 30 | V |
| 全損失 | P_d^* | 1.2 | W/package |
| 動作温度 | T_{opt} | $-25 \sim +75$ | $^\circ\text{C}$ |
| 保存温度 | T_{stg} | $-40 \sim +125$ | $^\circ\text{C}$ |

* $PW=10\text{ ms}$, $duty\ cycle \leq 10\%$

等価回路

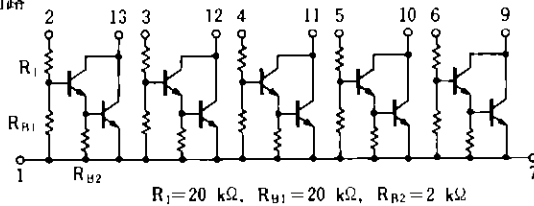


図32 μPA53C の最大定格と等価回路

同時に動作する可能性がある場合には、このようなデータをもとに、使用するアレイを選択しなければなりません。

図34に、 μPA53C を用いた12桁プリンタ付き電卓のブロック図を示します。このように複合化されたトランジスタを使いますと、ごくわずかの部品で構成することができます。

図35に、 μPA67C と μPA53C を用いた12桁プログラ

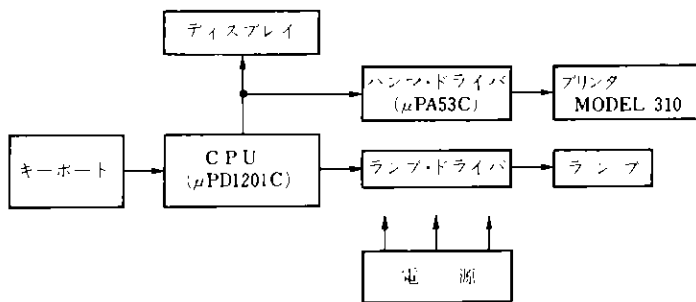


図34 12桁プリンタのブロック・ダイアグラム

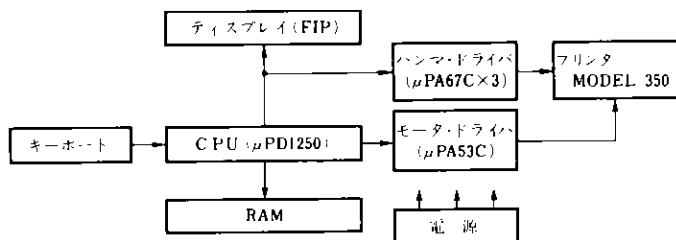


図35 12桁プログラマブル・プリンタ付電卓ブロック・ダイアグラム

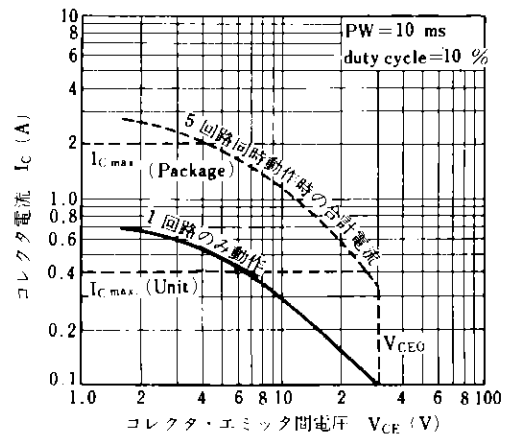


図33 μPA53C の安全動作領域

マブル・プリンタ付電卓のブロック図を示します。

μPA67C の最大定格と等価回路を図36に示しますが、入りにダイオードを内蔵していますので PMOS IC とのインターフェイス用として最適です。

図37は、2個のトランジスタ・アレイを用いて、7セグメントLEDをドライブする回路です。この回路でも使用部品数が大幅に減っていることがわかります。

ダイオード・アレイの使い方

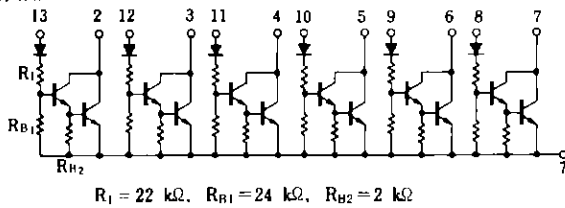
平均整流電流が100 mAクラスの小型シリコン・ダイオードの用途として、一般民生機器では検波、整流用、バイアス用、また産業用機器では整流、バイアス用マトリクス、サージキラーなどが主な用途となっています。これらの中で、個別ダイオードをアレイ化することにより、大幅な工数の削減、コストダウンとなり得る用途としては、多数のダイオードをいずれかの端子を共通化して使うマトリクス回路、あるいはサージキラーなどです。

図38に、カソード共通のダイオード・アレイ、 μPA54HA をサージキラーとして用いた例を示します。このアレイは、100 mAクラスの汎用ダイオードを6本内蔵したもので、サージ電流は、1.0 Aと大きく、小形のリレー、プランジャなど

絶対最大定格 ($T_a = 25^\circ\text{C}$)

| 項目 | 略号 | 定格 | 単位 |
|------|-----------|------------|------------------|
| 電源電圧 | V_{CC} | 30 | V |
| 入力電圧 | V_I | -40 ~ +30 | V |
| 出力電圧 | V_O | 30 | V |
| 出力電流 | I_O | 150 | mA/unit |
| 出力電流 | I_O | 70 | mA/unit |
| 全損失 | P_d | 550 | mW |
| 動作温度 | T_{opt} | -25 ~ +75 | $^\circ\text{C}$ |
| 保存温度 | T_{stg} | -40 ~ +125 | $^\circ\text{C}$ |

等価回路



$R_1 = 22\text{ k}\Omega$, $R_{11} = 24\text{ k}\Omega$, $R_{12} = 2\text{ k}\Omega$

図36 μPA67C の最大定格と等価回路

のサージキラーに最適です。この種の用途のアレイは、実装密度の向上を図るため、ほとんどのメーカーのものかSIP (シングル・インライン・パッケージ) になっています。これらの用途のアレイに要求される特性としては、

- (1) 耐圧
- (2) サージ順電流

などがあげられ、電源電圧、誘導性負荷の容量などにより、充分検討する必要があります。

図39は、コアメモリのブロック・タイヤグラムで、この中のX線、Y線のセレクション回路にもダイオード・アレイが使用されます。コアメモリは記憶容量が大きくなりますと、長大な分布定数線路と考えられます。この線路に大電流パルスをnsのオーダーで印加する必要があります。

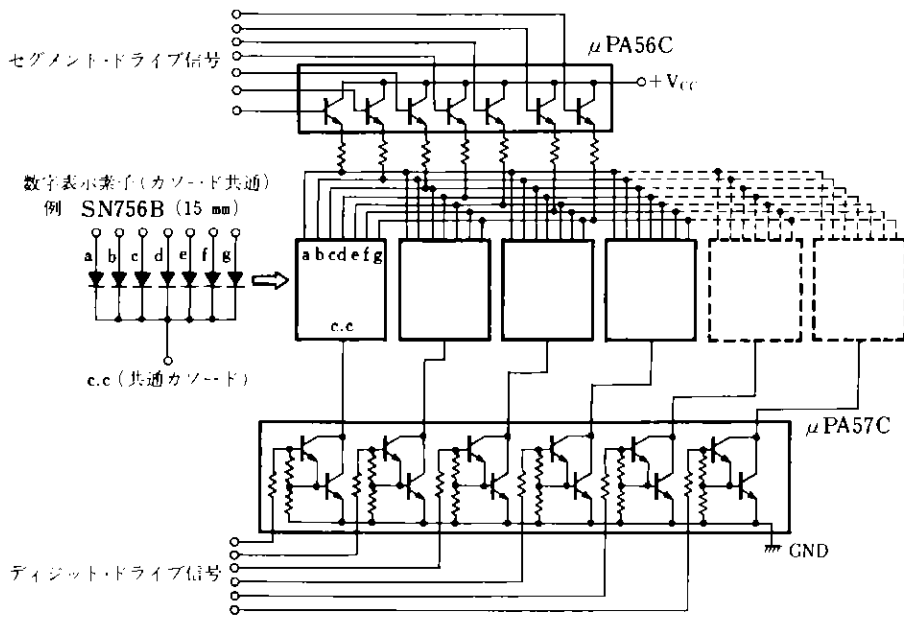


図37 7セグメントLEDのダイナミック・ドライブ

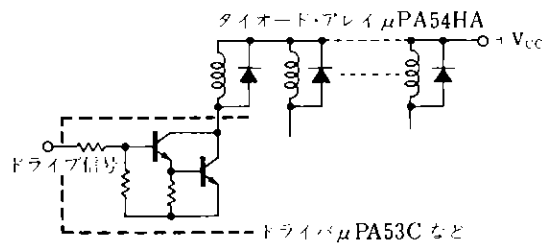


図38 μPA54HA によるサージキラー

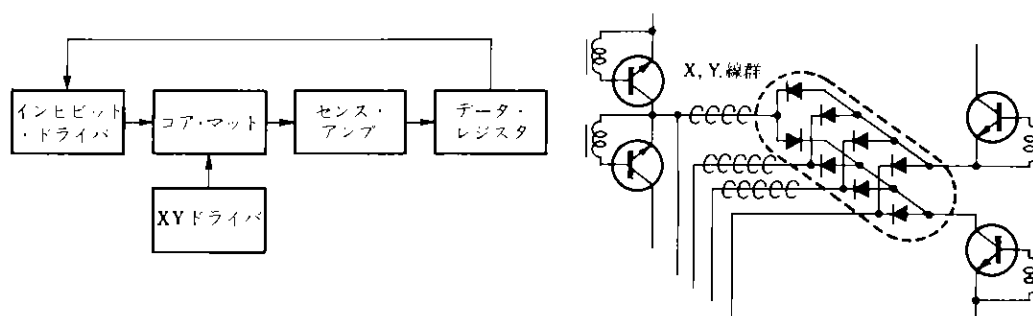


図39 コア・メモリのブロック・ダイアグラムとコア・ドライバ

すので、特性としては、

- (1) 順電流
- (2) スイッチング・タイム
- (3) 端子間容量

などが大きく問題となってきます。

参考・引用文献

- (1) トランジスタ技術, 1977, 3月号, CQ出版社
- (2) 長橋/水町; "直結形差動増幅器と半導体チョップ", トランジスタ技術, 1973, 3月号P 116, CQ出版社
- (3) 長橋芳行; "DC アンプの設計" CQ出版社
- (4) NEC電子デバイスデータブック, 1977年度版

本製品が外国為替および外国貿易管理法の規定により戦略物資等(または役務)に該当する場合には、日本国外に輸出する際に日本政府の輸出許可が必要です。

NEC 日本電気株式会社

本社 東京都港区芝五丁目33番1号(日本電気本社ビル) 〒108 東京(03)454-1111
 半導体事業部 東京都港区芝五丁目20番11号(日本電気住生ビル) 〒108 東京(03)456-6111
 関西支社 大阪府北区室島浜一丁目2番6号(新大阪ビル) 〒530 大阪(06)348-1461
 半導体販売部 大阪(06)348-1466
 中部支社 名古屋市中区栄四丁目15番32号(日建ビル) 〒460 名古屋(052)262-3611
 電子デバイス販売部

| | | | |
|-------|------------------|-------|------------------|
| 北海道支社 | 札幌(011)231-0161 | 甲府支店 | 甲府(0552)24-4141 |
| 東北支店 | 仙台(022)61-5511 | 府中支店 | 府中(0988)66-5611 |
| 北支店 | 山形(0249)23-5511 | 川崎支店 | 川崎(0425)26-0911 |
| 関東支店 | さいたま(048)21-5511 | 横浜支店 | 横浜(0472)27-5441 |
| 新潟支店 | 新潟(0252)47-6101 | 静岡支店 | 静岡(0542)55-2211 |
| 富山支店 | 富山(0292)26-1717 | 浜松支店 | 浜松(0534)53-0178 |
| 石川支店 | 金沢(0298)23-6181 | 名古屋支店 | 名古屋(0762)23-1621 |
| 福井支店 | 福井(045)662-1621 | 京都支店 | 京都(0764)31-8461 |
| 山梨支店 | 山梨(0273)26-1255 | 大阪支店 | 大阪(082)247-4111 |
| 長野支店 | 長野(0276)46-4011 | 岡山支店 | 岡山(0862)25-4455 |
| 岐阜支店 | 岐阜(0286)21-2281 | 広島支店 | 広島(0878)22-4141 |
| 愛知支店 | 名古屋(0262)35-1444 | 福岡支店 | 福岡(0899)45-4111 |
| 三重支店 | 津(0263)35-1666 | 北九州支店 | 北九州(092)713-5151 |
| 滋賀支店 | 彦根(0266)53-5350 | | |