

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

ユーザーズ・マニュアル

保守 / 廃止

V852™

32/16 ビット・シングルチップ・マイクロコンピュータ
ハードウェア編

μPD703002

μPD70P3002

資料番号 U10038JJ3V1UMJ1 (第3版)
発行年月 September 2000 N CR(K)

© NEC Corporation 1995

{ × 毛 }

目次要約

第1章	イントロダクション	...	1
第2章	端子機能	...	13
第3章	CPU機能	...	31
第4章	バス制御機能	...	55
第5章	割り込み／例外処理機能	...	73
第6章	クロック発生機能	...	101
第7章	タイマ／カウンタ機能(リアルタイム・パルス・ユニット)	...	121
第8章	シリアル・インタフェース機能	...	153
第9章	ポート機能	...	185
第10章	リセット機能	...	217
第11章	PROMモード	...	221
付録A	レジスタ索引	...	229
付録B	命令セット一覧	...	233
付録C	総合索引	...	241

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

V851, V852, V850ファミリは日本電気株式会社の商標です。

Windowsは米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

UNIXはX/Openカンパニーリミテッドがライセンスしている米国ならびに他の国における登録商標です。

本製品が外国為替および外国貿易管理法の規定による規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

本版で改訂された主な箇所 (1/2)

箇 所	内 容
p.4	1.5 μ PD70P3002と μ PD703002の違い 追加
p.7	1.6.2 PROMプログラミング・モード 39-41番ピンの端子の処理を変更
p.8	1.7.1 内部ブロック図 V_{DD} , V_{SS} , CV_{DD} , CV_{SS} 端子を追加
p.16	2.1.2 PROMプログラミング・モード (μ PD70P3002のみ) V_{PP} 端子の通常動作モード時機能を修正
p.20	2.3.1 (4)(b)(vii) TXD 説明追加
p.22	2.3.1 (8)(b)(ii) \overline{UBEN} 説明追加
p.28	2.4 各端子の入出力回路タイプと未使用時の処理 説明追加
p.56	4.3.2 バス幅 追加
p.61	4.7.1 機能概要 説明追加
p.69	4.8 (7)バス・ホールド・タイミング 図修正
p.70	4.10.2 データ空間 説明追加
p.79	5.2.4 NMI端子のノイズ除去 追加
p.91	5.3.8 マスカブル割り込みステータス・フラグ IDビットの意味 説明追加
p.99	図5-13 割り込み要求受け付け時のパイプライン動作(概略) 修正
p.134	7.4.3 オーバフロー 説明修正
p.144	図7-14 パルス幅測定タイミング(タイマ1) 式の値修正
p.146	7.6 (3)(a)タイマ1の使用方法 説明修正
p.146	図7-17 PWM出力のタイミング(TM1) 備考の式の値修正
p.148	図7-19 コンペア値を書き換える割り込み要求処理ルーチン(タイマ1) 内容修正
p.149	図7-20 周期測定タイミング(TM1) 式の値修正
p.170	8.3.3 (1)クロック同期式シリアル・インタフェース・モード・レジスタ n (CSIM n) CRXEnビットの意味 説明追加
p.172	8.3.4 (1)転送フォーマット 図を修正
p.174	図8-6 3線式シリアルI/Oモードのタイミング(送信) 図を修正
p.175	図8-7 3線式シリアルI/Oモードのタイミング(受信) 図を修正
p.176	8.3.7 (1)送受信動作を起動する 説明修正
p.177	図8-8 3線式シリアルI/Oモードのタイミング(送受信) 図を修正
p.195	9.3.3 ポート2 P20ビットの説明追加

本版で改訂された主な箇所 (2/2)

箇所	内容
p.219	表10 - 2 各レジスタのリセット後の初期値 ポート出力ラッチを 出力ラッチに修正
p.222	11.2 (2) 出力ディスエーブル・モード 説明追加
p.223	11.3 ページ・プログラム・モード・フロー・チャート 一部修正
p.224	11.3 ページ・プログラム・モード・タイミング V _{PP} , V _{DD} の記述修 正
p.225	11.3 バイト・プログラム・モード・フロー・チャート 一部修正
p.227	11.4 PROM読み出し手順 (1)の説明修正
p.229	付録A レジスタ索引 CSIC1, CSIC2 追加
p.233	付録B 凡例 (2)コードに使われる略号 追加
p.238	付録B インストラクション・セット SATSUBIのコード修正

本文欄外の 印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

〔メ モ〕

はじめに

- 対象者** このマニュアルは、V852（ μ PD703002,70P3002）の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すV852の持つハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V852のユーザズ・マニュアルは、ハードウェア編（このマニュアル）とアーキテクチャ編（V850ファミリ™ ユーザズ・マニュアル アーキテクチャ編）の2冊に分かれています。

ハードウェア編

- ・ 端子機能
- ・ CPU機能
- ・ 内蔵周辺機能
- ・ PROMモード

アーキテクチャ編

- ・ データ・タイプ
- ・ レジスタ・セット
- ・ 命令形式と命令セット
- ・ 割り込みと例外
- ・ パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般的知識を必要とします。

レジスタ名が分かっている、レジスタの詳細を確認するとき

付録A レジスタ索引を利用してください。

機能名などが分かっている、その詳細を確認するとき

付録C 総合索引を利用してください。

命令機能の詳細を理解しようとするとき

別冊の**V850ファミリ ユーザズ・マニュアル アーキテクチャ編**を参照してください。

一通りV852の機能を理解しようとするとき

目次に従ってお読みください。

- 凡 例
- データ表記の重み : 左が上位桁, 右が下位桁
 - アクティブ・ロウの表記 : $\overline{\times \times \times}$ (端子, 信号名称に上線)
 - メモリ・マップのアドレス: 上部 - 上位, 下部 - 下位
 - 注 : 本文中につけた注の説明
 - 注意 : 気をつけて読んでいただきたい内容
 - 備考 : 本文の補足説明
 - 数の表記 : 2進数... $\times \times \times \times$ または $\times \times \times \times B$
10進数... $\times \times \times \times$
16進数... $\times \times \times \times H$
 - 2のべき数を示す接頭語 (アドレス空間, メモリ容量)
 - : K (キロ) $2^{10} = 1024$
 - M (メガ) $2^{20} = 1024^2$
 - G (ギガ) $2^{30} = 1024^3$

関連資料 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスに関する資料

資 料 名	資料番号
V850ファミリ ユーザーズ・マニュアル アーキテクチャ編	U10243J
V850ファミリ インストラクション活用表	U10229J
μ PD703002 データ・シート	U11826J
μ PD70P3002 データ・シート	U11827J
V852 ユーザーズ・マニュアル ハードウェア編	このマニュアル
V852 レジスタ活用表	U10513J

開発ツールに関する資料（ユーザズ・マニュアル）

製 品 名		資料番号
IE-703002-MC（インサーキット・エミュレータ）		U11595J
CA850（Cコンパイラ・パッケージ）	操作編 UNIX™ベース	U11013J
	操作編 Windows™ベース	U11068J
	C言語編	U11010J
	アセンブリ言語編	U10543J
	プロジェクト・マネージャ編 Windowsベース	U11991J
RX850（リアルタイムOS）	基礎編	U11037J
	テクニカル編	U11117J
	ニュークリアス・インストール編	U11038J
	デバッグ編 Windowsベース	U11158J
AZ850（システム・パフォーマンス・アナライザ）操作編		U11181J
ID850（Cソース・デバッグ）	操作編 UNIXベース	U12209J
	インストール編 UNIXベース	U12210J
	操作編 Windowsベース	U11196J

〔メ モ〕

目 次

- 第1章 イン트로ダクション ... 1**
 - 1.1 概 説 ... 1
 - 1.2 特 徴 ... 2
 - 1.3 応用分野 ... 3
 - 1.4 オーダ情報 ... 3
 - 1.5 μ PD70P3002と μ PD703002の違い ... 4
 - 1.6 端子接続図 (Top View) ... 5
 - 1.6.1 通常動作モード ... 5
 - 1.6.2 PROMプログラミング・モード ... 7
 - 1.7 機能ブロック構成 ... 8
 - 1.7.1 内部ブロック図 ... 8
 - 1.7.2 内部ユニット ... 9
 - 1.8 V851™とV852の相違点 ... 11

- 第2章 端子機能 ... 13**
 - 2.1 端子機能一覧 ... 13
 - 2.1.1 通常動作モード ... 13
 - 2.1.2 PROMプログラミング・モード (μ PD70P3002のみ) ... 16
 - 2.2 端子状態 ... 17
 - 2.3 端子機能の説明 ... 18
 - 2.3.1 通常動作モード ... 18
 - 2.3.2 PROMプログラミング・モード (μ PD70P3002のみ) ... 27
 - 2.4 各端子の入出力回路タイプと未使用時の処理 ... 28
 - 2.5 端子の入出力回路 ... 29

- 第3章 CPU機能 ... 31**
 - 3.1 特 徴 ... 31
 - 3.2 CPUレジスタ・セット ... 32
 - 3.2.1 プログラム・レジスタ・セット ... 33
 - 3.2.2 システム・レジスタ・セット ... 34
 - 3.3 動作モード ... 36
 - 3.3.1 動作モード ... 36
 - 3.3.2 動作モード指定 ... 37
 - 3.4 アドレス空間 ... 38
 - 3.4.1 CPUアドレス空間 ... 38
 - 3.4.2 イメージ ... 39
 - 3.4.3 CPUアドレス空間のラップ・アラウンド ... 40
 - 3.4.4 メモリ・マップ ... 41
 - 3.4.5 領 域 ... 42

- 3.4.6 外部拡張モード ... 49
- 3.4.7 アドレス空間の推奨使用方法 ... 51
- 3.4.8 周辺I/Oレジスタ ... 53

第4章 バス制御機能 ... 55

- 4.1 特 徴 ... 55
- 4.2 バス制御端子 ... 55
- 4.3 バス・アクセス ... 56
 - 4.3.1 アクセス・クロック数 ... 56
 - 4.3.2 バス幅 ... 56
- 4.4 メモリ・ブロック機能 ... 57
- 4.5 ウェイト機能 ... 58
 - 4.5.1 プログラマブル・ウェイト機能 ... 58
 - 4.5.2 外部ウェイト機能 ... 59
 - 4.5.3 プログラマブル・ウェイトと外部ウェイトの関係 ... 59
- 4.6 アイドル・ステート挿入機能 ... 60
- 4.7 バス・ホールド機能 ... 61
 - 4.7.1 機能概要 ... 61
 - 4.7.2 バス・ホールド手順 ... 61
 - 4.7.3 パワー・セーブ・モード時の動作 ... 62
- 4.8 バス・タイミング ... 63
- 4.9 バスの優先順位 ... 70
- 4.10 境界動作条件 ... 70
 - 4.10.1 プログラム空間 ... 70
 - 4.10.2 データ空間 ... 70
- 4.11 内蔵周辺I/Oインタフェース ... 71

第5章 割り込み／例外処理機能 ... 73

- 5.1 特 徴 ... 73
- 5.2 ノンマスカブル割り込み ... 75
 - 5.2.1 受け付け動作 ... 76
 - 5.2.2 復帰動作 ... 78
 - 5.2.3 NPフラグ ... 79
 - 5.2.4 NMI端子のノイズ除去 ... 79
 - 5.2.5 外部割り込みモード・レジスタ0 (INTM0) ... 79
- 5.3 マスカブル割り込み ... 80
 - 5.3.1 ブロック図 ... 81
 - 5.3.2 動 作 ... 81
 - 5.3.3 復 帰 ... 83
 - 5.3.4 マスカブル割り込みの優先順位 ... 84
 - 5.3.5 割り込み制御レジスタ (x x ICn) ... 88
 - 5.3.6 外部割り込みモード・レジスタ1, 2 (INTM1, INTM2) ... 90
 - 5.3.7 インサースビス・プライオリティ・レジスタ (ISPR) ... 91
 - 5.3.8 マスカブル割り込みステータス・フラグ ... 91
- 5.4 ソフトウェア例外 ... 92
 - 5.4.1 動 作 ... 92

- 5.4.2 復 帰 ... 93
- 5.4.3 EPフラグ ... 94
- 5.5 例外トラップ ... 94
 - 5.5.1 不正命令コード ... 94
 - 5.5.2 動 作 ... 95
 - 5.5.3 復 帰 ... 96
- 5.6 優先順位制御 ... 97
 - 5.6.1 割り込みと例外の優先順位 ... 97
 - 5.6.2 多重割り込み ... 97
- 5.7 応答時間 ... 99
- 5.8 割り込みが受け付けられない期間 ... 100

第6章 クロック発生機能 ... 101

- 6.1 特 徴 ... 101
- 6.2 構 成 ... 102
- 6.3 入力クロック選択 ... 102
 - 6.3.1 ダイレクト・モード ... 103
 - 6.3.2 PLLモード ... 103
- 6.4 PLLロックアップ ... 104
- 6.5 パワー・セーブ制御 ... 105
 - 6.5.1 概 要 ... 105
 - 6.5.2 制御レジスタ ... 107
 - 6.5.3 HALTモード ... 110
 - 6.5.4 IDLEモード ... 112
 - 6.5.5 ソフトウェアSTOPモード ... 114
- 6.6 発振安定時間の確保 ... 116
- 6.7 クロック出力制御 ... 119

第7章 タイマ/カウンタ機能（リアルタイム・パルス・ユニット） ... 121

- 7.1 特 徴 ... 121
- 7.2 基本構成 ... 122
 - 7.2.1 タイマ1 ... 124
 - 7.2.2 タイマ4 ... 126
- 7.3 制御レジスタ ... 127
- 7.4 タイマ1動作 ... 133
 - 7.4.1 カウント動作 ... 133
 - 7.4.2 カウント・クロック選択 ... 133
 - 7.4.3 オーバフロー ... 134
 - 7.4.4 TCLR1入力によるタイマのクリア/スタート ... 135
 - 7.4.5 キャプチャ動作 ... 136
 - 7.4.6 コンペア動作 ... 138
- 7.5 タイマ4動作 ... 140
 - 7.5.1 カウント動作 ... 140
 - 7.5.2 入力クロック選択 ... 140
 - 7.5.3 オーバフロー ... 140
 - 7.5.4 コンペア動作 ... 141

7.6 応用例 ... 143

7.7 注意事項 ... 151

第8章 シリアル・インタフェース機能 ... 153

8.1 特徴 ... 153

8.2 アシクロナス・シリアル・インタフェース (UART) ... 154

8.2.1 特徴 ... 154

8.2.2 アシクロナス・シリアル・インタフェースの構成 ... 155

8.2.3 モード・レジスタおよびコントロール・レジスタ ... 157

8.2.4 割り込み要求 ... 163

8.2.5 動作 ... 164

8.3 クロック同期式シリアル・インタフェース 0-2 (CSI0-CSI2) ... 168

8.3.1 特徴 ... 168

8.3.2 構成 ... 169

8.3.3 モード・レジスタおよびコントロール・レジスタ ... 170

8.3.4 基本動作 ... 172

8.3.5 3線式シリアルI/Oモードで送信する ... 174

8.3.6 3線式シリアルI/Oモードで受信する ... 175

8.3.7 3線式シリアルI/Oモードで送受信する ... 176

8.3.8 システム構成例 ... 177

8.4 ボー・レート・ジェネレータ 0, 1 (BRG0, BRG1) ... 178

8.4.1 構成と機能 ... 178

8.4.2 ボー・レート・ジェネレータ・レジスタ 0, 1 (BRG0, BRG1) ... 182

8.4.3 ボー・レート・ジェネレータ・プリスケラ・モード・レジスタ 0, 1
(BPRM0, BPRM1) ... 182

第9章 ポート機能 ... 185

9.1 特徴 ... 185

9.2 ポートの基本構成 ... 186

9.3 各ポートの端子機能 ... 190

9.3.1 ポート 0 ... 190

9.3.2 ポート 1 ... 194

9.3.3 ポート 2 ... 195

9.3.4 ポート 3 ... 200

9.3.5 ポート 4 ... 205

9.3.6 ポート 5 ... 207

9.3.7 ポート 6 ... 209

9.3.8 ポート 9 ... 210

9.3.9 ポート 10 ... 213

9.4 ノイズ除去回路 ... 216

第10章 リセット機能 ... 217

10.1 特徴 ... 217

10.2 端子機能 ... 217

10.3 イニシャライズ ... 218

第11章 PROMモード ... 221

- 11.1 PROMモード ... 221
- 11.2 動作モード ... 221
- 11.3 PROM書き込み手順 ... 223
- 11.4 PROM読み出し手順 ... 227
- 11.5 ワン・タイムPROM製品のスクリーニングについて ... 227
- 11.6 外部クロック使用時のSTOPモード解除に関する注意事項 ... 228

付録A レジスタ索引 ... 229

付録B 命令セット一覧 ... 233

付録C 総合索引 ... 241

- C.1 50音で始まる語句の索引 ... 241
- C.2 アルファベットで始まる語句の索引 ... 245

図の目次 (1/3)

図番号	タイトル, ページ
3 - 1	プログラム・カウンタ (PC) ... 33
3 - 2	割り込み要因レジスタ (ECR) ... 34
3 - 3	プログラム・ステータス・ワード (PSW) ... 35
3 - 4	CPUアドレス空間 ... 38
3 - 5	アドレス空間上のイメージ ... 39
3 - 6	割り込み / 例外テーブル ... 43
3 - 7	外部メモリ領域 (64 K, 256 K, 1 Mバイト拡張時) ... 46
3 - 8	外部メモリ領域 (4 Mバイト拡張時) ... 47
3 - 9	外部メモリ領域 (フル拡張時) ... 48
3 - 10	推奨メモリ・マップ ... 52
4 - 1	ウェイト挿入例 ... 59
5 - 1	ノンマスカブル割り込みの処理形態 ... 76
5 - 2	ノンマスカブル割り込み要求の受け付け動作 ... 77
5 - 3	RETI命令の処理形態 ... 78
5 - 4	マスカブル割り込みブロック図 ... 81
5 - 5	マスカブル割り込みの処理形態 ... 82
5 - 6	RETI命令の処理形態 ... 83
5 - 7	割り込み処理中にほかの割り込み要求が発生した場合の処理例 ... 85
5 - 8	同時発生した割り込み要求の処理例 ... 87
5 - 9	ソフトウェア例外の処理形態 ... 92
5 - 10	RETI命令の処理形態 ... 93
5 - 11	例外トラップの処理形態 ... 95
5 - 12	RETI命令の処理形態 ... 96
5 - 13	割り込み要求受け付け時のパイプライン動作 (概略) ... 99
6 - 1	ブロック構成図 ... 118
7 - 1	タイマ 1 の基本動作 ... 122
7 - 2	オーバーフロー後の動作 (ECLR1=0, OST=1の場合) ... 134
7 - 3	TCLR1入力によるタイマのクリア / スタート動作 (ECLR1=1, OST=0の場合) ... 135
7 - 4	TCLR1入力によるクリア / スタートとオーバーフロー動作の関係 (ECLR1=0, OST=1の場合) ... 135
7 - 5	TM1キャプチャ動作例 (両エッジ指定時) ... 136
7 - 6	TM1キャプチャ動作例 ... 137

図の目次 (2/3)

図番号	タイトル, ページ
7 - 7	コンペア動作例 ... 138
7 - 8	TM1コンペア動作例 (セット/リセット出力モード) ... 139
7 - 9	タイマ4の基本動作 ... 140
7 - 10	CM4が1-FFFFHまでの動作 ... 141
7 - 11	CM4に0をセットした場合 ... 142
7 - 12	インターバル・タイマ動作のタイミング (タイマ4) ... 143
7 - 13	インターバル・タイマ動作の設定手順 (タイマ4) ... 143
7 - 14	パルス幅測定 of タイミング (タイマ1) ... 144
7 - 15	パルス幅測定 of 設定手順 (タイマ1) ... 145
7 - 16	パルス幅を算出する割り込み要求処理ルーチン (タイマ1) ... 145
7 - 17	PWM出力のタイミング (TM1) ... 146
7 - 18	PWM出力の設定手順 (タイマ1) ... 147
7 - 19	コンペア値を書き換える割り込み要求処理ルーチン (タイマ1) ... 148
7 - 20	周期測定 of タイミング (TM1) ... 149
7 - 21	周期測定 of 設定手順 (タイマ1) ... 150
7 - 22	周期を算出する割り込み要求処理ルーチン (タイマ1) ... 150
8 - 1	アシンクロナス・シリアル・インタフェースのブロック図 ... 156
8 - 2	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 164
8 - 3	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 165
8 - 4	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 167
8 - 5	受信エラー・タイミング ... 167
8 - 6	3線式シリアルI/Oモード of タイミング (送信) ... 174
8 - 7	3線式シリアルI/Oモード of タイミング (受信) ... 175
8 - 8	3線式シリアルI/Oモード of タイミング (送受信) ... 177
8 - 9	CSIのシステム構成例 ... 177
8 - 10	ポー・レート・ジェネレータのブロック図 ... 178
9 - 1	P00, P01 (ポート0) of ブロック図 ... 191
9 - 2	P02-P07 (ポート0) of ブロック図 ... 191
9 - 3	P10-P17 (ポート1) of ブロック図 ... 194
9 - 4	P20 (ポート2) of ブロック図 ... 196
9 - 5	P21-P24 (ポート2) of ブロック図 ... 196
9 - 6	P25 (ポート2) of ブロック図 ... 197

図の目次 (3/3)

図番号	タイトル, ページ
9 - 7	P26 (ポート2) のブロック図 ... 197
9 - 8	P27 (ポート2) のブロック図 ... 198
9 - 9	P30, P33, P35 (ポート3) のブロック図 ... 201
9 - 10	P31, P36 (ポート3) のブロック図 ... 201
9 - 11	P32, P37 (ポート3) のブロック図 ... 202
9 - 12	P34 (ポート3) のブロック図 ... 202
9 - 13	P40-P47 (ポート4) のブロック図 ... 205
9 - 14	P50-P57 (ポート5) のブロック図 ... 207
9 - 15	P60-P67 (ポート6) のブロック図 ... 209
9 - 16	P90-P97 (ポート9) のブロック図 ... 211
9 - 17	P100, P103 (ポート10) のブロック図 ... 213
9 - 18	P101 (ポート10) のブロック図 ... 214
9 - 19	P102 (ポート10) のブロック図 ... 214
9 - 20	ノイズ除去タイミング例 ... 216
11 - 1	PROMの読み出しタイミング ... 227

表の目次

表番号	タイトル, ページ
1 - 1	μPD70P3002とμPD703002の違い ... 4
1 - 2	V851とV852の相違点一覧 ... 11
3 - 1	プログラム・レジスタ一覧 ... 33
3 - 2	システム・レジスタ番号 ... 34
4 - 1	バス優先順位 ... 70
5 - 1	割り込み一覧 ... 73
5 - 2	割り込み制御レジスタのアドレスとビット ... 89
6 - 1	パワー・セーブ制御によるクロック・ジェネレータの動作 ... 106
6 - 2	HALTモード時の動作状態 ... 110
6 - 3	IDLEモード時の動作状態 ... 112
6 - 4	ソフトウェアSTOPモード時の動作状態 ... 114
6 - 5	カウント時間例 ... 118
7 - 1	RPUの構成一覧 ... 122
7 - 2	16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号 (TM1) ... 136
7 - 3	16ビット・コンペア・レジスタからの割り込み要求信号 (TM1) ... 138
8 - 1	発生する割り込みとデフォルト優先順位 ... 163
8 - 2	BRG設定データ ... 180
10 - 1	リセット期間中の各端子の動作状態 ... 217
10 - 2	各レジスタのリセット後の初期値 ... 219

〔メ モ〕

第1章 イン트로ダクション

V852は、NECのリアルタイム制御向けシングルチップ・マイクロコンピュータV850ファミリの1製品です。この章では、このV852の概要を簡単に述べます。

1.1 概 説

V852は、リアルタイム制御向け高性能32ビット・シングルチップ・マイクロコンピュータV850ファミリのCPUコアを使用し、ROM/RAM、および、リアルタイム・パルス・ユニット、シリアル・インタフェースなどの周辺機能を内蔵した32/16ビット・シングルチップ・マイクロコンピュータです。

V852は、高いリアルタイム応答性と1クロック・ピッチの基本命令に加え、デジタル・サーボ制御の応用に最適な命令として、ハードウェア乗算器による乗算命令、飽和演算命令、ビット操作命令などを持っています。また、リアルタイム制御システムとして、ビデオ・カメラ、VTRなどのAV分野、PPC、LBP、プリンタなどのOA分野、モータ制御、NC工作機などの産業分野、携帯電話などの通信分野などへの応用が、きわめて高いコスト・パフォーマンスで実現できます。

1.2 特 徴

命令数	74
最小命令実行時間	40 ns (25 MHz動作時)
汎用レジスタ	32ビット×32本
命令セット	符号付き乗算 (16ビット×16ビット 32ビット) : 1-2クロック 飽和演算命令 (オーパフロー/アンダフロー検出機能付き) 32ビット・シフト命令 : 1クロック ビット操作命令 ロング/ショート形式を持つロード/ストア命令
メモリ空間	16 Mバイト・リニア (プログラム/データ共用) メモリを1 Mバイト/ブロックに分割して, 2ブロックごとにウエイト制御 プログラマブル・ウエイト機能 アイドル・ステート挿入機能
外部バス・インタフェース	16ビット・データ・バス (アドレス/データ・マルチプレクス) バス・ホールド機能 外部ウエイト機能
内蔵メモリ	ROM/PROM : 90 Kバイト RAM : 3 Kバイト
割り込み/例外	ノンマスカブル 1要因 マスカブル 16要因 (8レベルの優先順位を指定可能) 不正命令コード例外
I/Oライン	入出力ポート : 67

リアルタイム・パルス・ユニット

- 16ビット・タイマ/イベント・カウンタ：1 ch
- 16ビット・キャプチャ/コンペア・レジスタ：4本
- 16ビット・インターバル・タイマ：1 ch
- 16ビット・コンペア・レジスタ：1本

シリアル・インタフェース

- アシンクロナス・シリアル・インタフェース (UART)：1 ch
- クロック同期式シリアル・インタフェース (CSI)：3 ch
- 専用ポー・レート・ジェネレータ

クロック・ジェネレータ

- PLLクロック・シンセサイザによる通倍機能

パワー・セーブ機能

- HALT/IDLE/STOPモード
- クロック出力停止機能

CMOS構造

1.3 応用分野

- ・AV分野：ビデオ・カメラ，VTRなど
- ・OA分野：PPC，LBP，プリンタなど
- ・産業分野：モータ制御，NC工作機など
- ・通信分野：携帯電話など

1.4 オーダ情報

品名	パッケージ	内蔵ROM
μPD703002GC-25-x x -7EA	100ピン・プラスチックQFR (ファインピッチ) (14 mm)	マスクROM
μPD70P3002GC-25-7EA	"	ワン・タイムPROM

備考 x x xはROMコード番号です。

1.5 μ PD70P3002と μ PD703002の違い

μ PD70P3002は、 μ PD703002の内部マスクROMをPROMに置き換えた製品です。したがって、これら2品種の機能は、ROMの仕様による差（たとえば、書き込み、ベリファイなど）を除いてすべて共通となります。両者の違いを表1 - 1に示します。

表1 - 1 μ PD70P3002と μ PD703002の違い

項目	品名	μ PD70P3002	μ PD703002
内部プログラム・メモリ (電氣的書き込み)		ワン・タイムPROM (一度だけ書き込み可)	マスクROM
PROMプログラミング端子		あり	なし
MODE0, MODE1の設定		・通常動作モード時 MODE0, 1 = LH ・PROMプログラミング・モード時 MODE0, 1 = HH	・通常動作モード時 MODE0, 1 = LH ・ROMレス・モード時 MODE0, 1 = LL
電氣的特性		消費電流, 推奨発振回路などが異なります。	
内蔵ROM空き領域		内蔵ROMにプログラミングした際の空き領域は, それぞれ同じ命令コードにしてください。	
その他		回路の規模やマスク・レイアウトが異なるため, ノイズ耐量, ノイズ輻射などが異なります。	

注意 1 . PROM製品とマスクROM製品では, ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でPROM製品からマスクROM製品への置き換えを検討される場合は, マスクROM製品のCS品 (ES品でなく) で十分な評価を行ってください。

2 . MODE0, MODE1端子は, V_{DD} または V_{SS} に直接接続してください。

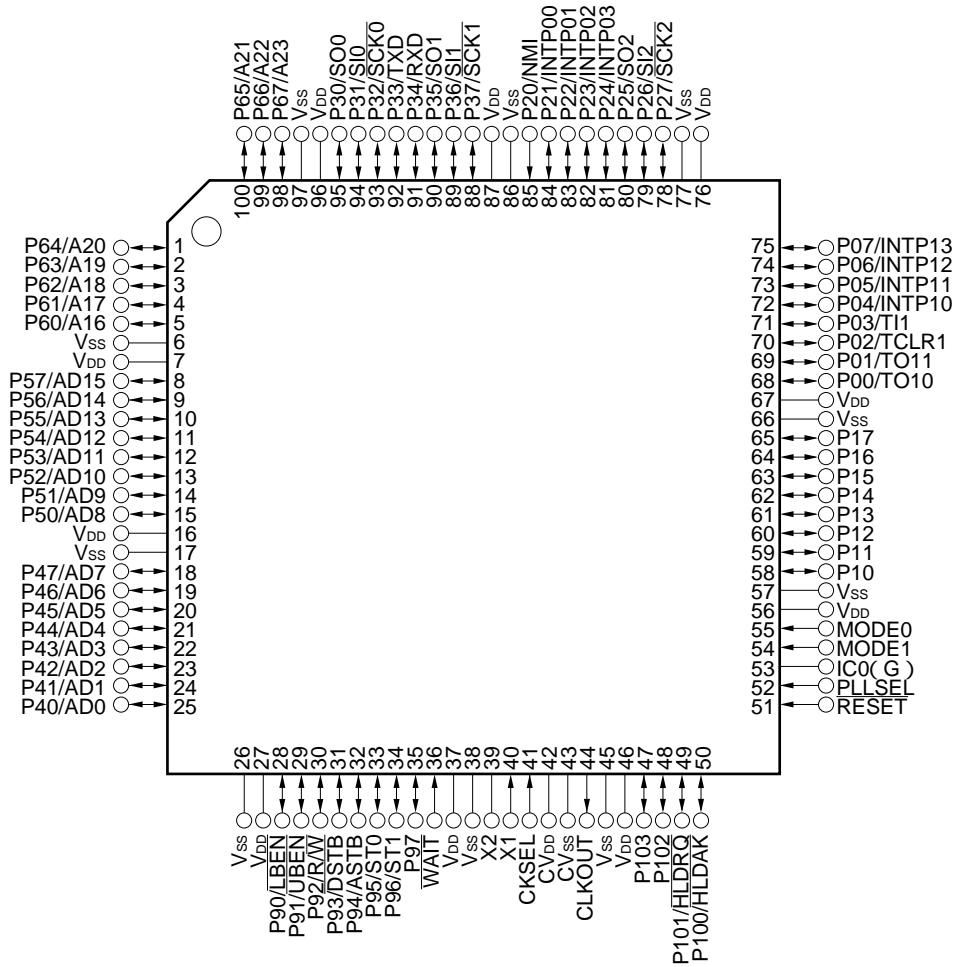
備考 L : ロウ・レベル

H : ハイ・レベル

1.6 端子接続図 (Top View)

1.6.1 通常動作モード

- μ PD703002GC-25- x x x -7EA
- μ PD70P3002GC-25-7EA



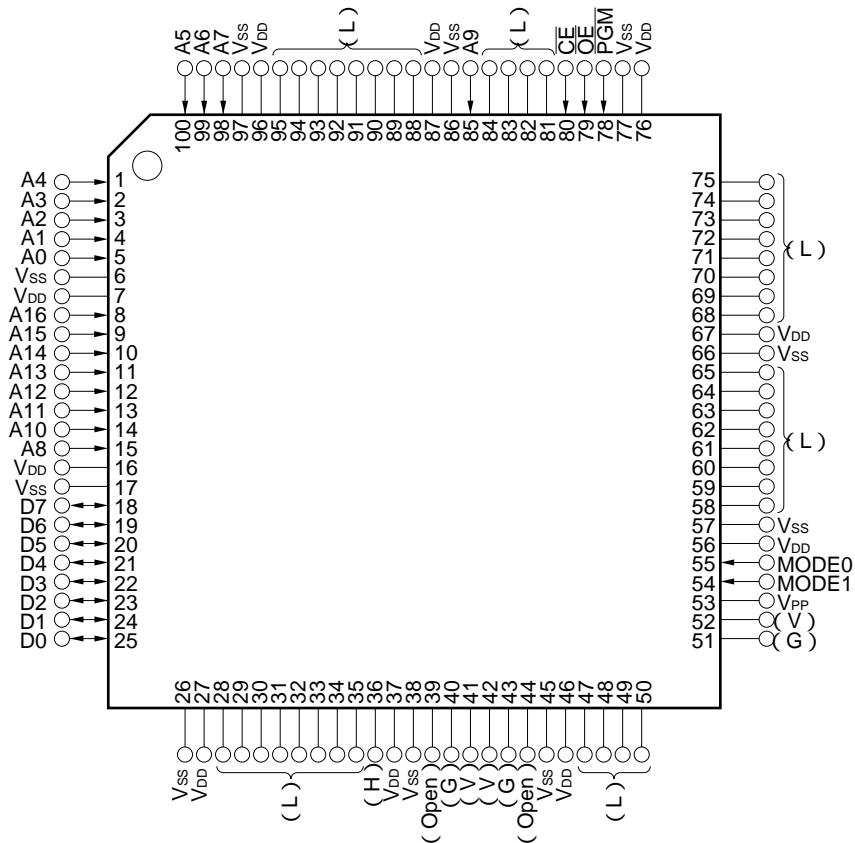
注意 ()内は通常動作モードでは使用しない端子の処理です。

G : Vssに接続してください。

P00-P07	: Port0	A16-A23	: Address Bus
P10-P17	: Port1	$\overline{\text{LBEN}}$: Lower Byte Enable
P20-P27	: Port2	$\overline{\text{UBEN}}$: Upper Byte Enable
P30-P37	: Port3	$\text{R}/\overline{\text{W}}$: Read/Write Status
P40-P47	: Port4	$\overline{\text{DSTB}}$: Data Strobe
P50-P57	: Port5	ASTB	: Address Strobe
P60-P67	: Port6	ST0,ST1	: Status
P90-P97	: Port9	$\overline{\text{HLDK}}$: Hold Acknowledge
P100-P103	: Port10	$\overline{\text{HLDRQ}}$: Hold Request
TO10,TO11	: Timer Output	CLKOUT	: Clock Output
TCLR1	: Timer Clear	CKSEL	: Clock Select
TI1	: Timer Input	PLLSEL	: PLL Select
INTP00-INTP03,		$\overline{\text{WAIT}}$: Wait
INTP10-INTP13	: Interrupt Request From Peripherals	MODE0, MODE1	: Mode
NMI	: Non-maskable Interrupt Request	$\overline{\text{RESET}}$: Reset
SO0-SO2	: Serial Output	X1,X2	: Crystal
SI0-SI2	: Serial Input	CV _{DD}	: Clock Generator Power Supply
$\overline{\text{SCK0-SCK2}}$: Serial Clock	CV _{SS}	: Clock Generator Ground
TXD	: Transmit Data	V _{DD}	: Power Supply
RXD	: Receive Data	V _{SS}	: Ground
AD0-AD15	: Address/Data Bus	IC0	: Internally Connected

1.6.2 PROMプログラミング・モード

・ μ PD70P3002GC-25-7EA



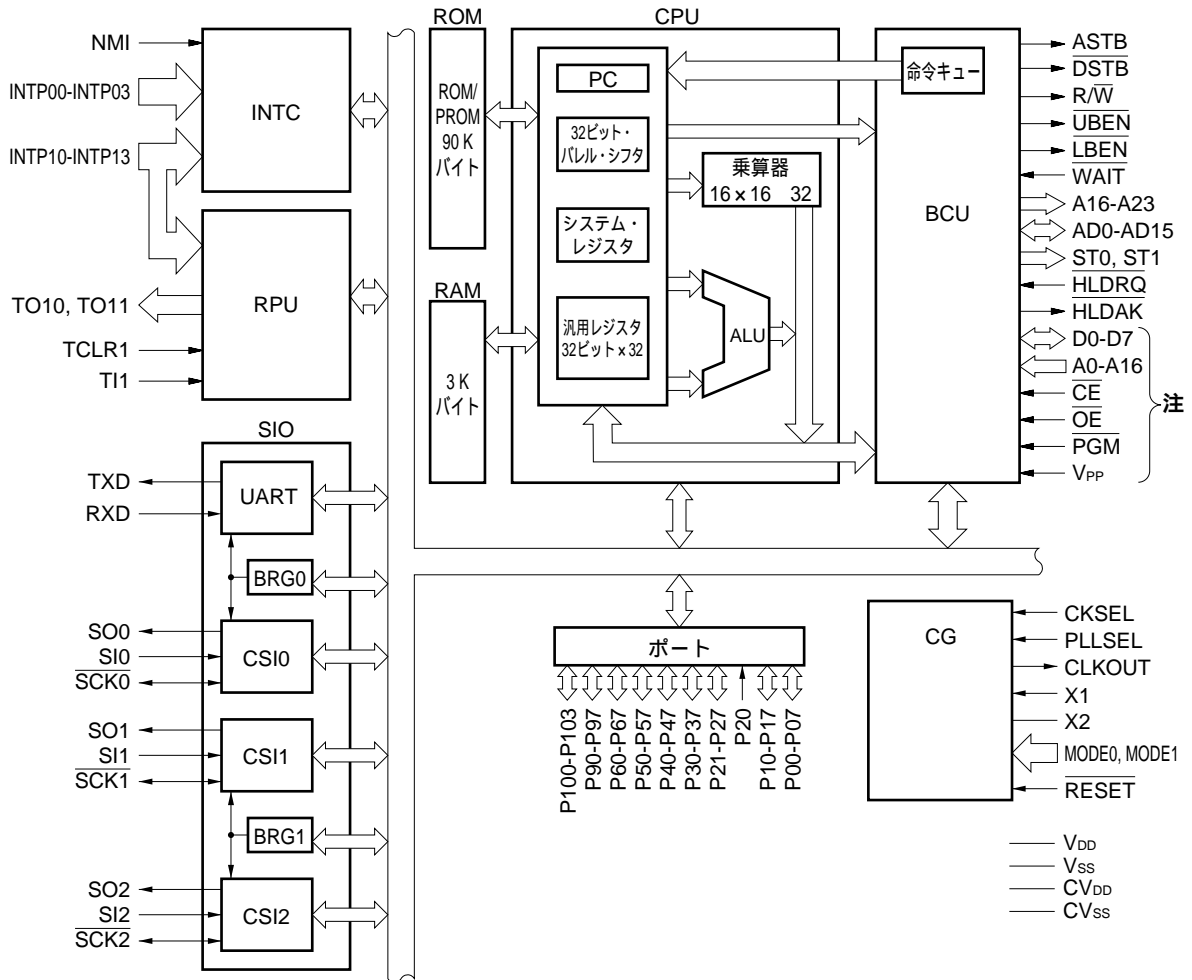
注意 ()内はPROMプログラミング・モードでは使用しない端子の処理です。

- L : 個別に抵抗を介してV_{SS}に接続してください。
- H : 抵抗を介してV_{DD}に接続してください。
- G : V_{SS}に接続してください。
- V : V_{DD}に接続してください。
- Open : 何も接続しないでください。

A0-A16	: Address Bus	MODE0,MODE1	: Programming Mode Set
D0-D7	: Data Bus	V _{DD}	: Power Supply
\overline{CE}	: Chip Enable	V _{SS}	: Ground
\overline{OE}	: Output Enable	V _{PP}	: Programming Power Supply
\overline{PGM}	: Programming Mode		

1.7 機能ブロック構成

1.7.1 内部ブロック図



注 PROMプログラミング・モード時

1.7.2 内部ユニット

(1) CPU

アドレス計算, 算術論理演算, データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行します。

乗算器(16ビット×16ビット 32ビット), パレル・シフタ(32ビット)などの専用ハードウェアを内蔵し, 複雑な命令処理の高速化を図っています。

(2) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときに, CPUからのバス・サイクル起動の要求がない場合は, プリフェッチ・アドレスを生成し, 命令コードのプリフェッチを行います。プリフェッチされた命令コードは内部の命令キューに取り込まれます。

(3) ROM/PROM

00000000H番地からマッピングされる90 KバイトのROMまたはPROMです。MODE0, MODE1端子によりアクセス禁止/許可の指定, PROM版ではプログラミング・モードの指定が可能です。

このROM/PROMは, 命令フェッチ時にCPUから1クロックでアクセスされます。

(4) RAM

FFFFE000H番地からマッピングされる3 KバイトのRAMです。このRAMは, データ・アクセス時にCPUから1クロックでアクセスすることができます。

(5) 割り込みコントローラ (INTC)

内蔵周辺ハードウェアおよび, 外部からのハードウェア割り込み要求 (NMI, INTP00-INTP03, INTP10-INTP13) を処理します。これらの割り込み要求は, 8レベルの割り込み優先順位を指定することができます。割り込み要因に対し多重処理制御を行うことができます。

(6) クロック・ジェネレータ (CG)

X1, X2端子に接続された発振子の1倍か5倍(内蔵PLL使用時)または, 1/2倍(内蔵PLL未使用時)の周波数をCPUの動作クロックとして供給します。また, 発振子を接続する代わりに外部クロックを入力することもできます。

(7) リアルタイム・パルス・ユニット (RPU)

16ビットのタイマ/イベント・カウンタと, 16ビットのインターバル・タイマを内蔵し, パルス間隔や周波数の計測, プログラマブルなパルスの出力が可能になっています。

(8) シリアル・インタフェース (SIO)

V852には、シリアル・インタフェースとして、アシンクロナス・シリアル・インタフェース(UART)を1チャンネル、クロック同期式シリアル・インタフェース(CSI)を3チャンネル備えています。

UARTは、TXD, RXD端子によりデータ転送を行います。

CSIは、SO0-SO2, SI0-SI2, $\overline{\text{SCK0}}$ - $\overline{\text{SCK2}}$ 端子によりデータ転送を行います。

シリアル・クロック・ソースはポー・レート・ジェネレータ出力とシステム・クロックから選択できます。

(9) ポート

ポート0から10の合計68本の入出力ポート(うち1本は入力専用ポート)を備え、ポート端子とコントロール端子の機能を選択して使用することができます。

ポート	入出力	機 能	
ポート0	8ビット入出力	汎用ポート	タイマ入出力, 外部割り込み
ポート1			-
ポート2			外部割り込み, シリアル・インタフェース
ポート3			シリアル・インタフェース
ポート4			外部アドレス/データ・バス
ポート5			
ポート6			外部アドレス・バス
ポート9			外部バス・インタフェース制御信号入出力
ポート10			4ビット入出力

1.8 V851™とV852の相違点

V852では、V851の内蔵ROM/RAM容量を拡大し、シリアル・インタフェースのCSIチャンネル数を増やしています。また、PLLの通倍数は、1通倍か5通倍のどちらかを選択できます。

表 1 - 2 V851とV852の相違点一覧

項 目		V851	V852
内蔵ROM容量		32 Kバイト	90 Kバイト
内蔵RAM容量		1 Kバイト	3 Kバイト
シリアル・インタフェース		UART : 1ch CSI : 1ch ポー・レート・ジェネレータ : 1個	UART : 1ch CSI : 3ch ポー・レート・ジェネレータ : 2個
割り込み要因		外部 : 9要因 (NMI含む) 内部 : 10要因	外部 : 9要因 (NMI含む) 内部 : 12要因
割り込み/ 例外テーブル	00000160H	-	INTCSI1
	00000170H	-	INTCSI2
PLL使用時の通倍数		5通倍	1通倍または5通倍
I/Oポート (計68本)		専用端子 : 17本 制御端子と兼用 : 51本	専用端子 : 11本 制御端子と兼用 : 57本
端子名称 (通常動作モード時)			
	QFP端子番号		
	52	IC1	PLLSEL
	78	P27	P27/SCK2
	79	P26	P26/SI2
	80	P25	P25/SO2
	88	P37	P37/SCK1
	89	P36	P36/SI1
	90	P35	P35/SO1
	93	P32/SCK	P32/SCK0
	94	P31/SI	P31/SI0
	95	P30/SO	P30/SO0
周辺I/Oレジスタ			
	I/Oアドレス		
	FFFFFF094H	-	BRG1
	FFFFFF096H	-	BPRM1
	FFFFFF098H	-	CSIM1
	FFFFFF09AH	-	SIO1
	FFFFFF0A8H	-	CSIM2
	FFFFFF0AAH	-	SIO2
	FFFFFF11CH	-	CSIC1
	FFFFFF11EH	-	CSIC2

(メ モ)

第 2 章 端子機能

V852の端子の名称と機能を以下に示します。これらの端子は、機能別にポート端子と、それ以外の端子に分けることができます。

2.1 端子機能一覧

2.1.1 通常動作モード

(1) ポート端子

(1/2)

端子名称	入出力	機 能	兼用端子
P00	入出力	ポート 0 8 ビット入出力ポート 1 ビット単位で入 / 出力の指定が可能	TO10
P01			TO11
P02			TCLR1
P03			TI1
P04			INTP10
P05			INTP11
P06			INTP12
P07			INTP13
P10-P17	入出力	ポート 1 8 ビット入出力ポート 1 ビット単位で入 / 出力の指定が可能	-
P20	入力	ポート 2	NMI
P21	入出力	P 20は入力専用ポート 有効エッジが入力されるとNMI入力として動作します。 また、P2レジスタのビット 0 でNMI入力の状態を示します。 P21-P27は 7 ビット入出力ポート 1 ビット単位で入 / 出力の指定が可能	INTP00
P22			INTP01
P23			INTP02
P24			INTP03
P25			SO2
P26			SI2
P27			SCK2

(2/2)

端子名称	入出力	機 能	兼用端子
P30	入出力	ポート3 8ビット入出力ポート 1ビット単位で入/出力の指定が可能	SO0
P31			S10
P32			SCK0
P33			TXD
P34			RXD
P35			SO1
P36			S11
P37			SCK1
P40-P47	入出力	ポート4 8ビット入出力ポート 1ビット単位で入/出力の指定が可能	AD0-AD7
P50-P57	入出力	ポート5 8ビット入出力ポート 1ビット単位で入/出力の指定が可能	AD8-AD15
P60-P67	入出力	ポート6 8ビット入出力ポート 1ビット単位で入/出力の指定が可能	A16-A23
P90	入出力	ポート9 8ビット入出力ポート 1ビット単位で入/出力の指定が可能	$\overline{\text{LBEN}}$
P91			$\overline{\text{UBEN}}$
P92			R/W
P93			DSTB
P94			ASTB
P95			ST0
P96			ST1
P97			-
P100	入出力	ポート10 4ビット入出力ポート 1ビット単位で入/出力の指定が可能	HLD $\overline{\text{AK}}$
P101			HLD $\overline{\text{RQ}}$
P102			-
P103			-

(2) ポート以外の端子

(1/2)

端子名称	入出力	機能	兼用端子
TO10	出力	タイマ1のパルス信号出力	P00
TO11			P01
TCLR1	入力	タイマ1の外部クリア信号入力	P02
T11		タイマ1の外部カウント・クロック入力	P03
INTP10	入力	外部マスカブル割り込み要求入力兼 タイマ1の外部キャプチャ・トリガ入力	P04
INTP11			P05
INTP12			P06
INTP13			P07
NMI	入力	ノンマスカブル割り込み要求入力	P20
INTP00	入力	外部マスカブル割り込み要求入力	P21
INTP01			P22
INTP02			P23
INTP03			P24
SO0	出力	CSI0のシリアル送信データ出力	P30
SI0	入力	CSI0のシリアル受信データ入力	P31
$\overline{\text{SCK0}}$	入出力	CSI0のシリアル・クロック入出力	P32
SO1	出力	CSI1のシリアル送信データ出力	P35
SI1	入力	CSI1のシリアル受信データ入力	P36
$\overline{\text{SCK1}}$	入出力	CSI1のシリアル・クロック入出力	P37
SO2	出力	CSI2のシリアル送信データ出力	P25
SI2	入力	CSI2のシリアル受信データ入力	P26
$\overline{\text{SCK2}}$	入出力	CSI2のシリアル・クロック入出力	P27
TXD	出力	UARTのシリアル送信データ出力	P33
RXD	入力	UARTのシリアル受信データ入力	P34
AD0-AD7	入出力	外部にメモリを拡張する場合の16ビット・マルチプレクスト・アドレス/データ・バス	P40-P47
AD8-AD15			P50-P57
A16-A23	出力	外部にメモリを拡張する場合の上位アドレス・バス	P60-P67
$\overline{\text{LBEN}}$	出力	外部データ・バスの下位バイト・イネーブル信号出力	P90
$\overline{\text{UBEN}}$		外部データ・バスの上位バイト・イネーブル信号出力	P91
$\text{R}/\overline{\text{W}}$		外部リード/ライト・ステータス出力	P92
$\overline{\text{DSTB}}$		外部データ・ストロープ信号出力	P93
ASTB		外部アドレス・ストロープ信号出力	P94
ST0		外部バス・サイクル・ステータス出力	P95
ST1			P96

(2/2)

端子名称	入出力	機能	兼用端子
HLD \overline{AK}	出力	バス・ホールド・アクノリッジ出力	P100
HLDR \overline{Q}	入力	バス・ホールド要求入力	P101
CLKOUT	出力	システム・クロック出力	-
CKSEL	入力	クロック・ジェネレータの動作モードを指定する入力	-
PLLSEL	入力	PLL通倍数を指定する入力	-
\overline{WAIT}	入力	バス・サイクルにウエイトを挿入する制御信号入力	-
MODE0, MODE1	入力	V852の動作モードを指定	-
\overline{RESET}	入力	システム・リセット入力	-
X1	入力	システム・クロック用発振子接続。外部からクロックを供給する場合はX1に入力	-
X2	-	します。	-
CV _{DD}	-	内蔵クロック・ジェネレータ用正電源供給	-
CV _{SS}	-	内蔵クロック・ジェネレータ用グランド電位	-
V _{DD}	-	正電源供給	-
V _{SS}	-	グランド電位	-
IC0	-	内部接続	-

2.1.2 PROMプログラミング・モード (μ PD70P3002のみ)

V852のPROMモード時の制御およびタイミングは、 μ PD27C1001Aとコンパチブルであり、各端子の機能は次のとおりになります。

端子名称	PROMモード時機能	通常動作モード時機能
A0-A7	アドレス下位 (A0-A7) 入力	P60-P67
A8, A9, A10-A16	アドレス上位 (A8-A16) 入力	P50, P20, P51-P57
D0-D7	データ入出力	P40-P47
\overline{CE}	\overline{CE} (チップ・イネーブル) 入力	P25
\overline{OE}	\overline{OE} (アウトプット・イネーブル) 入力	P26
\overline{PGM}	\overline{PGM} (プログラム) 入力	P27
V _{PP}	プログラム書き込み用電源	IC0
MODE0, MODE1	動作モード指定	MODE0, MODE1

2.2 端子状態

動作モードによる各端子の動作状態は以下のとおりです。

端子 \ 動作状態	リセット	STOP モード	IDLE モード	バス・ ホールド	アイドル・ ステート	HALT モード
AD0-AD15	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
A16-A23	Hi-Z	Hi-Z	Hi-Z	Hi-Z	保持 ^{注1}	保持
$\overline{\text{LBEN}}, \overline{\text{UBEN}}$	Hi-Z	Hi-Z	Hi-Z	Hi-Z	保持 ^{注1}	保持
$\overline{\text{R/W}}$	Hi-Z	Hi-Z	Hi-Z	Hi-Z	H	H
$\overline{\text{DSTB}}$	Hi-Z	Hi-Z	Hi-Z	Hi-Z	H	H
ASTB	Hi-Z	Hi-Z	Hi-Z	Hi-Z	H	H
ST0,ST1	Hi-Z	Hi-Z	Hi-Z	Hi-Z	アイドル状態	アイドル状態
$\overline{\text{HLDRQ}}$	-	-	-	動作	動作	動作
$\overline{\text{HLDK}}$	Hi-Z	Hi-Z	Hi-Z	L	動作	動作
$\overline{\text{WAIT}}$	-	-	-	-	-	-
CLKOUT	動作	L	L	動作 ^{注2}	動作 ^{注2}	動作 ^{注2}

Hi-Z : ハイ・インピーダンス

保持 : 直前の外部バス・サイクルでの状態を保持

L : ロウ・レベル出力

H : ハイ・レベル出力

- : 入力非サンプリング

注1 . バス・ホールド終了直後は不定

2 . クロック出力インヒビット・モード時はL

2.3 端子機能の説明

2.3.1 通常動作モード

(1) P00-P07 (Port 0) ... 3ステート入出力

ポート0および各種コントロール信号として働く8ビット入出力ポートです。

P00-P07は入出力ポートとして機能するほか、リアルタイム・パルス・ユニット (RPU) の入出力および外部割り込み要求入力として動作します。動作モードは1ビットごとにポート/コントロールの選択が可能で、ポート・モード・コントロール・レジスタ0 (PMCO) で指定します。

(a) ポート・モード

P00-P07はポート・モード・レジスタ0 (PM0) により、ビット単位に入力または出力ポートの設定ができます。

(b) コントロール・モード

P00-P07はPMCOレジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

(i) TO10, TO11 (Timer Output) ... 出力

タイマ1のパルス信号を出力します。

(ii) TCLR1 (Timer Clear) ... 入力

タイマ1の外部クリア信号入力端子です。

(iii) TI1 (Timer Input) ... 入力

タイマ1の外部カウンタ・クロック入力端子です。

(iv) INTP10-INTP13 (Interrupt Request From Peripherals) ... 入力

タイマ1の外部割り込み要求入力端子です。

(2) P10-P17 (Port 1) ... 3ステート入出力

ポート1は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。入力/出力モードの設定は、ポート・モード・レジスタ1 (PM1) で行います。

なお、ポート1は兼用端子はなく、ポート・モードに固定です。

(3) P20-P27 (Port 2) ... 3ステート入出力

ポート2は、入力専用端子であるP20を除き、1ビット単位で入力または出力を設定できる入出力ポートです。ポートとして機能するほか、外部割り込み入力、シリアル・インタフェース (CSI) として使用できます。

動作モードは1ビットごとにポート/コントロールの選択が可能で、ポート・モード・コントロール・レジスタ2 (PMC2) で指定します。

(a) ポート・モード

P21-P27はポート・モード・レジスタ2 (PM2) により、ビット単位で入力または出力を設定できます。P20は入力専用ポートで、有効エッジが入力されるとNMI入力として動作します。

(b) コントロール・モード

ポート・モード・コントロール・レジスタ2 (PMC2) によって、ビット単位でポート/コントロールの設定ができます。ただし、P20はコントロール・モードに固定です。

(i) NMI (Non-Maskable Interrupt Request) ...入力

ノンマスクブル割り込み要求入力です。

(ii) INTP00-INTP03 (Interrupt Request From Peripherals) ...入力

外部マスクブル割り込み要求入力です。

(iii) SO2 (Serial Output) ...出力

CSI2のシリアル送信データを出力します。

(iv) SI2 (Serial Input) ...入力

CSI2のシリアル受信データを入力します。

(v) $\overline{\text{SCK2}}$ (Serial Clock) ... 3ステート入出力

CSI2のシリアル・クロック入出力端子です。

(4) P30-P37 (Port 3) ... 3ステート入力

ポート3および各種コントロール信号として働く8ビット入出力ポートです。P30-P37は入出力ポートとして機能するほか、コントロール・モードではシリアル・インタフェース (UART, CSI) の入出力として動作します。

(a) ポート・モード

P30-P37はポート・モード・レジスタ3 (PM3) により、ビット単位に入力または出力ポートに設定できます。

(b) コントロール・モード

P30-P37はPMC3レジスタにより、ビット単位でポート/コントロール・モードに設定できます。

(i) SO0 (Serial Output) ...出力

CSI0のシリアル送信データを出力します。

(ii) SI0 (Serial Input) ...入力

CSI0のシリアル受信データを入力します。

(iii) $\overline{\text{SCK0}}$ (Serial Clock) ... 3ステート入出力

CSI0のシリアル・クロック入出力端子です。

(iv) SO1 (Serial Output) ...出力

CSI1のシリアル送信データを出力します。

(v) SI1 (Serial Input) ...入力

CSI1のシリアル受信データを入力します。

(vi) $\overline{\text{SCK1}}$ (Serial Clock) ... 3ステート入出力

CSI1のシリアル・クロック入出力端子です。

(vii) TXD (Transmit Data) ...出力

UARTのシリアル送信データを出力します。

送信禁止時：ハイ・インピーダンス

送信許可時：ハイ・レベル

(viii) RXD (Receive Data) ...入力

UARTのシリアル受信データを入力します。

(5) P40-P47 (Port 4) ... 3ステート入出力

ポート4および外部拡張メモリのアドレス/データ・バスとして働く8ビット入出力ポートです。

P40-P47は入出力ポートとして機能するほか、コントロール・モード(外部拡張モード)ではメモリを外部に拡張する場合の、時分割アドレス/データ・バス(AD0-AD7)として動作できます。

動作モードは1ビット単位でポート/コントロールの選択が可能で、モード指定端子(MODE0, MODE1)とメモリ拡張モード・レジスタ(MM)で指定します。

(a) ポート・モード

P40-P47はポート・モード・レジスタ4(PM4)により、ビット単位に入力または出力ポートに設定できます。

(b) コントロール・モード(外部拡張モード)

P40-P47はMODE0,MODE1端子とMMレジスタにより、AD0-AD7に指定できます。

(i) AD0-AD7 (Address/Data0-7) ... 3 ステート入出力

外部アクセス時のアドレス/データのマルチプレクスト・バスです。アドレス・タイミング (T1ステート) では、24ビット・アドレスのA0-A7出力端子となり、データ・タイミング (T2, TW, T3) では16ビット・データの低位 8 ビット・データ入出力バス端子となります。

出力は、バス・サイクルの各ステートのクロックの立ち上がり同期して変化します。アイドル・ステート (TI) ではハイ・インピーダンスになります。

(6) P50-P57 (Port 5) ... 3 ステート入出力

ポート 5 および外部拡張メモリのアドレス/データ・バスとして働く 8 ビット入出力ポートです。

P50-P57は入出力ポートとして機能するほか、コントロール・モード (外部拡張モード) では、メモリを外部に拡張する場合の時分割アドレス/データ・バス (AD8-AD15) として動作できます。

動作モードは 1 ビット単位でポート/コントロールの選択が可能で、モード指定端子 (MODE0, MODE1) とメモリ拡張モード・レジスタ (MM) で指定します。

(a) ポート・モード

P50-P57はポート・モード・レジスタ 5 (PM5) により、ビット単位に入力または出力ポートに設定できます。

(b) コントロール・モード (外部拡張モード)

P50-P57はMODE0,MODE1端子とMMレジスタにより、AD8-AD15として使用できます。

(i) AD8-AD15 (Address/Data8-15) ... 3 ステート入出力

外部アクセス時のアドレス/データのマルチプレクスト・バスです。アドレス・タイミング (T1ステート) では、24ビット・アドレスのA8-A15出力端子となり、データ・タイミング (T2, TW, T3) では16ビット・データの上位 8 ビット・データ入出力バス端子となります。

出力は、バス・サイクルの各ステートのクロックの立ち上がり同期して変化します。アイドル・ステート (TI) ではハイ・インピーダンスになります。

(7) P60-P67 (Port 6) ... 3 ステート入出力

ポート 6 および外部拡張メモリのアドレスとして働く 8 ビット入出力ポートです。

P60-P67は入出力ポートとして機能するほか、コントロール・モード (外部拡張モード) では、メモリを外部に拡張する場合のアドレス・バス (A16-A23) として動作します。2 ビット単位でポート/コントロールの選択が可能で、モード指定端子 (MODE0, MODE1) と、メモリ拡張モード・レジスタ (MM) によって指定します。

(a) ポート・モード

P60-P67はポート・モード・レジスタ 6 (PM6) により、ビット単位に入力または出力ポートに設定できます。

(b) コントロール・モード (外部拡張モード)

P60-P67はMODE0, MODE1端子とMMレジスタにより, A16-A23として使用できます。

(i) A16-A23 (Address16-23) ...出力

外部アクセス時のアドレス・バスで, 24ビット・アドレスの上位8ビット・アドレス出力端子です。

出力は, T1ステートのクロックの立ち上がりに同期して変化します。アイドル・ステート (TI) では直前のバス・サイクルのアドレスを保持しています。

(8) P90-P97 (Port 9) ... 3ステート入出力

ポート9および各種コントロール信号として働く8ビット入出力ポートです。P90-P96は入出力ポートとして機能するほか, コントロール・モード (外部拡張モード) ではメモリを外部に拡張する場合の制御信号出力として動作します。

動作モードは5/2/1ビット単位でポート/コントロールの選択が可能で, モード指定端子 (MODE0, MODE1) とメモリ拡張モード・レジスタ (MM) で指定します。

なお, P97は兼用端子がなくポート・モードに固定です。

(a) ポート・モード

P90-P96はポート・モード・レジスタ9 (PM9) により, ビット単位に入力または出力ポートに設定できます。

(b) コントロール・モード (外部拡張モード)

P90-P96はMODE0, MODE1端子とMMレジスタにより, メモリを外部に拡張する場合の制御信号出力として動作します。

(i) $\overline{\text{LBEN}}$ (Lower Byte Enable) ...出力

外部16ビット・データ・バスの下位バイト・イネーブル信号出力端子です。

出力は, バス・サイクルのT1ステートのクロックの立ち上がりに同期して変化します。アイドル・ステート (TI) では直前のバス・サイクルの状態を保持しています。

(ii) $\overline{\text{UBEN}}$ (Upper Byte Enable) ...出力

外部16ビット・データ・バスの上位バイト・イネーブル信号出力端子です。奇数アドレスへのバイト・アクセス時はアクティブ (ロウ・レベル) になります。偶数アドレスへのバイト・アクセス時はインアクティブ (ハイ・レベル) になります。

出力は, バス・サイクルのT1ステートのクロックの立ち上がりに同期して変化します。アイドル・ステート (TI) では直前のバス・サイクルの状態を保持しています。

アクセス		$\overline{\text{UBEN}}$	$\overline{\text{LBEN}}$	A0
ワード・アクセス		0	0	0
ハーフワード・アクセス		0	0	0
バイト・アクセス	偶数アドレス	1	0	0
	奇数アドレス	0	1	1

(iii) $\overline{\text{R/W}}$ (Read/Write Status) ...出力

外部アクセス時のバス・サイクルが、リード・サイクルかライト・サイクルかを示すステータス信号出力です。リード・サイクルではハイ・レベル、ライト・サイクルではロウ・レベルになります。

出力は、バス・サイクルのT1ステートのクロックの立ち上がりに同期して変化します。アイドル・ステート (TI) ではハイ・レベルになります。

(iv) $\overline{\text{DSTB}}$ (Data Strobe) ...出力

外部データ・バスのアクセス・ストロブ信号出力端子です。

出力は、バス・サイクルのT2,TWステートの期間中アクティブ (ロウ・レベル) になります。アイドル・ステート (TI) ではインアクティブ (ハイ・レベル) になります。

(v) $\overline{\text{ASTB}}$ (Address Strobe) ...出力

外部アドレス・バスのラッチ・ストロブ信号出力端子です。

出力は、バス・サイクルのT1ステートのクロックの立ち下がりに同期してアクティブ (ロウ・レベル) になり、T3ステートのクロックの立ち下がりに同期してインアクティブ (ハイ・レベル) になります。アイドル・ステート (TI) ではハイ・レベルになります。

(vi) ST0,ST1 (Status0,1) ...出力

外部アクセス時のバス・サイクルの実行形態を示すステータス信号出力です。出力は、バス・サイクルのT1,TIステートのクロックの立ち上がりに同期して変化します。

ST1	ST0	バス・サイクル・ステータス
0	0	アイドル・サイクル
0	1	命令フェッチ (分岐)
1	0	オペランド・データ・アクセス
1	1	命令フェッチ (連続)

命令フェッチ (分岐) は、次に示す場合に、分岐した最初のバス・サイクル (T1-T3ステートの) の期間出力します。

- ・分岐命令 (JMP, JR, JARL, Bcond) による分岐先の命令フェッチ
- ・RET1命令による戻り先の命令フェッチ
- ・リセット, TRAP命令, 割り込みによる飛び先 (割り込み/例外テーブル) の命令フェッチ

上記以外の命令フェッチは、命令フェッチ (連続) のステータスを出力します。

(9) P100-P103 (Port 10) ... 3ステート入出力

ポート10は、1ビット単位で入力または出力を設定できる4ビット入出力ポートです。ポートとしての機能のほかに、コントロール・モードでは外部バス・マスタ、ASICなどを外部に拡張する場合の制御信号入出力として動作します。

ポート10に8ビット・アクセスした場合の上位4ビットは、ライト時は無視され、リード時は不定データとなります。

なお、P102、P103は兼用端子がなくポート・モードに固定です。

(a) ポート・モード

P100-P103はポート・モード・レジスタ (PM10) により、ビット単位で入力または出力ポートに指定できます。

(b) コントロール・モード

P100、P101はポート・モード・コントロール・レジスタ10 (PMC10) の設定によりバス・ホールド制御信号の入力または出力として動作します。

(i) $\overline{\text{HLDAK}}$ (Hold Acknowledge) ... 出力

V852がバス・ホールド要求を受けて、アドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間、アドレス・バス、データ・バス、制御バスはハイ・インピーダンス状態になります。

(ii) $\overline{\text{HLDRQ}}$ (Hold Request) ... 入力

外部デバイスがV852に対し、アドレス・バス、データ・バス、制御バスの解放を要求する入力端子です。この端子は、CLKOUTに対して非同期入力が可能です。この端子がアクティブになると、V852は、実行中のバス・サイクルがあればその終了後に、なければすぐにアドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にし、 $\overline{\text{HLDAK}}$ をアクティブにしてバスを解放します。

(10) CLKOUT (Clock Output) ... 出力

システム・クロック出力端子です。リセット期間中でもCLKOUT端子からの出力は行われます。PSCレジスタにより、クロック出力インヒビット・モードに設定することで出力をロウ・レベル固定にできます。

(11) CKSEL (Clock Select) ...入力

クロック発生回路の動作モードを指定する入力端子です。入力レベルは動作中に変化しないよう固定してください。

CKSEL	動作モード
0	PLLモード
1	ダイレクト・モード

(12) PLLSEL (PLL Select) ...入力

PLLモード時 (CKSEL = 0) にシステム・クロック () を外部発振子または外部クロックの周波数 (f_{xx}) に対して1倍の周波数 ($1 \times f_{xx}$) にするか5倍の周波数 ($5 \times f_{xx}$) にするかを選択する入力端子です。動作中に入力レベルが変化しないように固定してください。

なお、ダイレクト・モード時 (CKSEL = 1) は、この端子は意味を持ちません。未使用端子として処理してください。

PLLSEL	
0	f_{xx}
1	$5 \times f_{xx}$

(13) $\overline{\text{WAIT}}$ (Wait) ...入力

バス・サイクルにデータ・ウエイトを挿入する制御信号入力端子で、CLKOUTに対する非同期入力が可能です。バス・サイクルのT₂, TWステートのクロックの立ち下がりでサンプリングします。サンプリング・タイミングにおける設定/保持時間を満たさないときはウエイト挿入が行われなことがあるあります。

(14) MODE0, MODE1 (Mode0,1) ...入力

V852の動作モードを指定する入力端子です。動作モードは、シングルチップ・モード, ROMレス・モード, PROMプログラミング・モードがあります。入力レベルは、動作中に変化しないよう固定してください。

MODE1	MODE0	動作モード	
0	0	ROMレス・モード	
0	1	RFU (予約)	
1	0	シングルチップ・モード	
1	1	PROMモード	$V_{PP}=5V$: リード・モード
			$V_{PP}=12.5V$: プログラミング・モード

(15) $\overline{\text{RESET}}$ (Reset) ...入力

$\overline{\text{RESET}}$ 入力は非同期入力であり、動作クロックと無関係に一定のロウ・レベル幅を持つ信号が入力されると、すべての動作に優先してシステム・リセットがかかります。

通常のイニシャライズ/スタートのほかに、パワー・セーブ・モード (HALT, IDLE, STOP) の解除にも使用されます。

(16) X1, X2 (Crystal) ...入力

システム・クロック発生用の発振子接続端子です。

外部クロックを入力することも可能です。外部クロックを入力する場合はX1端子に接続し、X2端子はオープンにしてください。

(17) CV_{DD} (Power Supply for Clock Generator)

内蔵クロック・ジェネレータ用の正電源供給端子です。

(18) CV_{SS} (Ground for Clock Generator)

内蔵クロック・ジェネレータ用のグラウンド端子です。

(19) V_{DD} (Power Supply)

正電源供給端子です。すべての V_{DD} 端子を正電源に接続してください。

(20) V_{SS} (Ground)

グラウンド端子です。すべての V_{SS} 端子をグラウンドに接続してください。

(21) IC0 (Internally Connected)

内部で接続されています。 V_{SS} に接続してください。

2.3.2 PROMプログラミング・モード (μ PD70P3002のみ)

(1) A0-A16...入力

アドレス・バスです。内蔵PROMのアドレス (00000H-167FFH) を選択します。

(2) D0-D7...入出力

データ・バスです。このバスを介して、内蔵PROMのプログラムを書き込み/読み出します。

(3) $\overline{\text{PGM}}$...入力

プログラム・パルス入力端子です。 $V_{PP}=12.5\text{ V}$, $\overline{\text{CE}}=0$, $\overline{\text{OE}}=1$ のときにこの信号をアクティブにすると、D0-D7上のプログラムをA0-A16で選択されている内蔵PROMセル内へ書き込めます。

(4) $\overline{\text{CE}}$...入力

チップ・イネーブル信号入力端子です。この信号がアクティブのとき、プログラムの書き込み/読み出しが可能となります。

(5) $\overline{\text{OE}}$...入力

アウトプット・イネーブル信号入力端子です。内蔵PROMへのリード・ストロブ信号を入力します。 $\overline{\text{CE}}=0$ のときにこの信号をアクティブにすると、A0-A16で選択されている内蔵PROMセル内のプログラム (1バイト) をD0-D7上に読み出せます。

(6) V_{PP} ...入力

プログラム・パルス入力端子です。 $V_{PP}=12.5\text{ V}$, $\overline{\text{CE}}=0$, $\overline{\text{OE}}=1$ のときにこの信号をアクティブにすると、D0-D7上のプログラムをA0-A16で選択されている内蔵PROMセル内へ書き込めます。

(7) V_{DD}

正電源供給端子です。

(8) V_{SS}

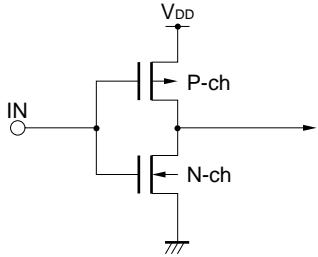
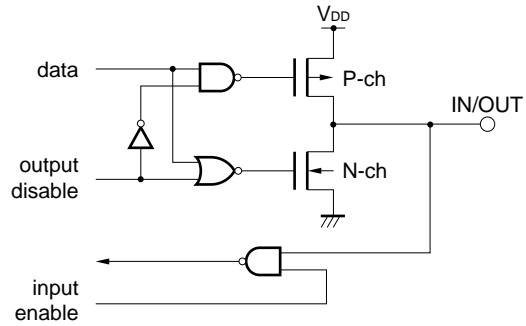
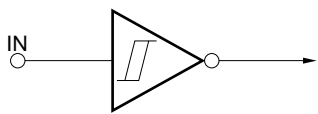
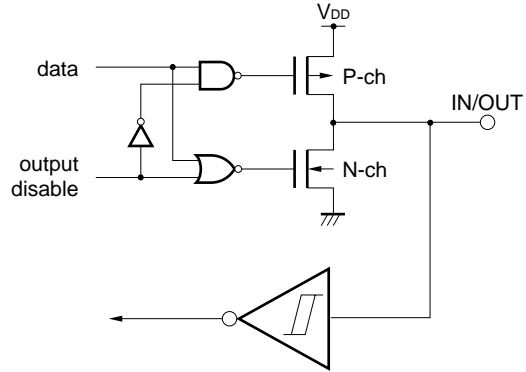
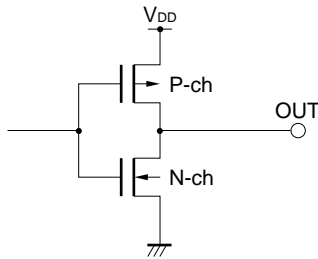
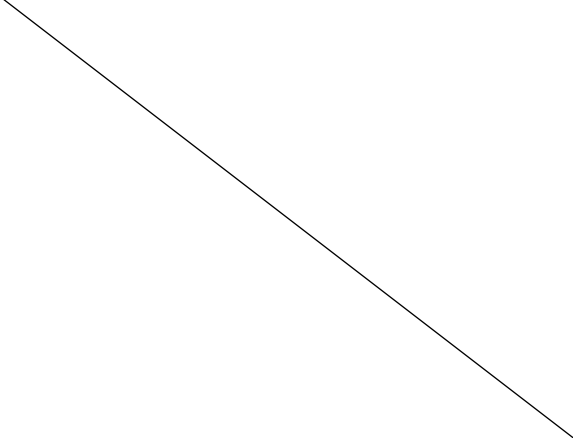
GND電位端子です。

2.4 各端子の入出力回路タイプと未使用時の処理

抵抗を介してV_{DD}またはV_{SS}に接続する場合、1-10 k の抵抗を接続することをお勧めします。

端子	入出力回路タイプ	推奨接続方法
P00/TO10,P01/TO11	5	入力状態：個別に抵抗を介してV _{DD} またはV _{SS} に接続 出力状態：オープン
P02/TCLR1,P03/TI1, P04/INTP10-P07/INTP13	8	
P10-P17	5	
P20/NMI	2	V _{SS} に直接接続
P21/INTP00-P24/INTP03	8	入力状態：個別に抵抗を介してV _{DD} またはV _{SS} に接続 出力状態：オープン
P25/SO2	5	
P26/SI2, P27/ $\overline{\text{SCK2}}$	8	
P30/SO0	5	
P31/SI0, P32/ $\overline{\text{SCK0}}$	8	
P33/TXD,P34/RXD,P35/SO1	5	
P36/SI1, P37/ $\overline{\text{SCK1}}$	8	
P40/AD0-P47/AD7	5	
P50/AD8-P57/AD15		
P60/A16-P67/A23		
P90/ $\overline{\text{LBEN}}$		
P91/ $\overline{\text{UBEN}}$		
P92/ $\overline{\text{R/W}}$		
P93/ $\overline{\text{DSTB}}$		
P94/ASTB		
P95/ST0,P96/ST1		
P97		
P100/ $\overline{\text{HLDAK}}$		
P101/ $\overline{\text{HLDRQ}}$		
P102		
P103		
CLKOUT	3	オープン
CKSEL	2	-
PLLSEL	2	-
$\overline{\text{WAIT}}$	1	V _{DD} に直接接続
MODE0,MODE1	2	-
$\overline{\text{RESET}}$		
IC0	-	V _{SS} に直接接続
CV _{DD}	-	V _{DD} に直接接続
CV _{SS}	-	V _{SS} に直接接続

2.5 端子の入出力回路

<p>タイプ1</p> 	<p>タイプ5</p> 
<p>タイプ2</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています</p>	<p>タイプ8</p> 
<p>タイプ3</p> 	

〔メ モ〕

第3章 CPU機能

V852のCPUは、RISCアーキテクチャをベースとし、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徴

最小命令実行時間 40 ns (内部25 MHz動作時)

アドレス空間：16 Mバイト・リニア

汎用レジスタ 32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令：1クロック

ロング/ショート・フォーマット

内蔵メモリ

・ROM/PROM 90 Kバイト

・RAM 3 Kバイト

ビット操作命令4種

・セット

・クリア

・ノット

・テスト

3.2 CPUレジスタ・セット

V852のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは、32ビット幅となっています。

詳細はV850ファミリ ユーザーズ・マニュアル アーキテクチャ編を参照してください。

プログラム・レジスタ・セット

31		0
r0	Zero Register	
r1	Reserved for Address Generation	
r2	Interrupt Stack Pointer	
r3	Stack Pointer (SP)	
r4	Global Pointer (GP)	
r5	Text Pointer (TP)	
r6		
r7		
r8		
r9		
r10		
r11		
r12		
r13		
r14		
r15		
r16		
r17		
r18		
r19		
r20		
r21		
r22		
r23		
r24		
r25		
r26		
r27		
r28		
r29		
r30	Element Pointer (EP)	
r31	Link Pointer (LP)	

31		0
PC	Program Counter	

システム・レジスタ・セット

31		0
EIPC	Exception/Interrupt PC	
EIPSW	Exception/Interrupt PSW	

31		0
FEPC	Fatal Error PC	
FEPSW	Fatal Error PSW	

31		0
ECR	Exception Cause Register	

31		0
PSW	Program Status Word	

3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。また、r1-r5、r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

なお、r1-r5、r31の詳細についてはCA850 **ユーザズ・マニュアル**を参照してください。

表3 - 1 プログラム・レジスタ一覧

名 称	用 途	動 作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエイト作成用のワーキング・レジスタとして使用
r2	割り込みスタック・ポインタ	割り込みハンドラのスタック・ポインタとして使用
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするとき使用
r5	テキスト・ポインタ	テキスト領域 ^注 の先頭を指すレジスタとして使用
r6-r29	-	アドレス/データ変数用レジスタ
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

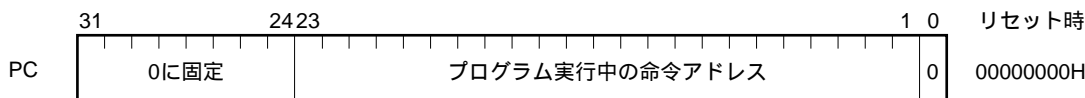
注 プログラム・コードを配置する領域

(2) プログラム・カウンタ

プログラム実行中の命令アドレスを保持しています。下位の24ビットが有効でビット31-24は0に固定されています。ビット23からビット24へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。

図3 - 1 プログラム・カウンタ (PC)



3.2.2 システム・レジスタ・セット

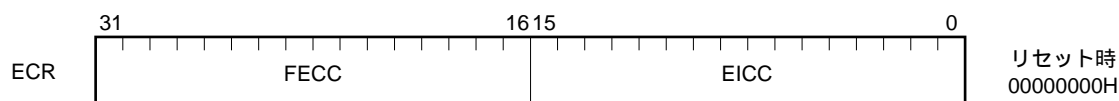
システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

表3 - 2 システム・レジスタ番号

番号	システム・レジスタ名称	用途	動作
0	EIPC	割り込み時状態退避レジスタ	例外または割り込みが発生した場合に、PCとPSWを退避するレジスタです。このレジスタは、1組しかないため多重割り込みを許す場合は、プログラムでこのレジスタを退避する必要があります。EIPCの上位8ビット、EIPSWの上位24ビットは0固定です。
1	EIPSW		
2	FEPC	NMI時状態退避レジスタ	NMIが発生した場合に、PCとPSWを退避するレジスタです。FEPCの上位8ビット、FEPSWの上位24ビットは0固定です。
3	FEPSW		
4	ECR	割り込み要因レジスタ	例外、マスカブル割り込み、NMIが発生した場合に、その要因を保持するレジスタです。このレジスタは、上位16ビットを“FECC”と呼び、NMIの例外コードがセットされます。下位16ビットは“EICC”と呼び、例外/割り込みの例外コードがセットされます(図3 - 2参照)。
5	PSW	プログラム・ステータス・ワード	プログラム・ステータス・ワードは、プログラムの状態(命令実行結果)やCPUの状態を示すフラグの集合です(図3 - 3参照)。
6-31	予約		

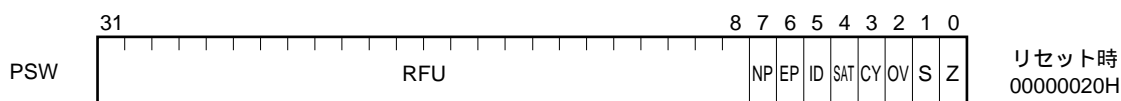
これらのシステム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令(LDSR, STSR命令)で示すシステム・レジスタ番号を指定することで行います。

図3 - 2 割り込み要因レジスタ (ECR)



ビット位置	ビット名	意味
31-16	FECC	Fatal Error Cause Code NMIの例外コード(表5 - 1 割り込み一覧を参照)
15-0	EICC	Exception/Interrupt Cause Code 例外/割り込みの例外コード(表5 - 1 割り込み一覧を参照)

図3-3 プログラム・ステータス・ワード (PSW)



ビット位置	フラグ	意味
31-8	RFU	予約フィールドです (0 に固定されています)。
7	NP	NMI Pending NMI処理中であることを示します。NMIが受け付けられるとセットされ、多重割り込みを禁止します。
6	EP	Exception Pending 例外処理中であることを示します。例外の発生でセットされ、マスクブル割り込み要求を受け付けません。
5	ID	Interrupt Disable 外部からの割り込み要求の受け付けの禁止を示します。
4	SAT	Saturated Math 飽和演算命令の演算結果がオーバーフローした場合にセットされます (オーバーフローしなかった場合、演算前の値が保持されます)。
3	CY	Carry 演算結果に、キャリーまたはボローが発生した場合にセットされます (発生しなかった場合リセットされます)。
2	OV	Overflow 演算中にオーバーフローが発生した場合にセットされます (発生しなかった場合、リセットされます)。
1	S	Sign 演算の結果が負であった場合にセットされます。 正であった場合、リセットされます。
0	Z	Zero 演算の結果がゼロであった場合に、セットされます (ゼロでなかった場合、リセットされません)。

3.3 動作モード

3.3.1 動作モード

V852は以下の動作モードを備えます。各モードの指定はMODE0, MODE1端子により行います。

(1) シングルチップ・モード

システム・リセット解除後, バス・インタフェース関連の各端子はポート・モードになり, 内蔵ROM/PROMのリセット・エントリ・アドレスに分岐し, 命令処理を開始します。命令によりメモリ拡張モード・レジスタ (MM) を設定することで, 外部メモリ領域に外部デバイスを接続できる外部拡張モードになります (3.4.6 (1) **メモリ拡張モード・レジスタ (MM)** 参照)。

(2) ROMレス・モード

システム・リセット解除後, バス・インタフェース関連の各端子はコントロール・モードになり, 外部デバイス (メモリ) のリセット・エントリ・アドレスに分岐し, 命令処理を開始します。内蔵ROM/PROMへの命令フェッチ, データ・アクセスは不可になります。

(3) PROMプログラミング・モード

このモードは, PROM版のみ備えます。端子機能が μ PD27C1001A対応に置き換わり, PROMプログラマによる内蔵PROMへのプログラム動作が可能になります。

(4) PROMリード・モード

このモードは, PROM版のみ備えます。端子機能が μ PD27C1001A対応に置き換わり, PROMプログラマにより内蔵PROMからデータを読み出すことができます。

3.3.2 動作モード指定

MODE0, MODE1端子の状態により, V852の動作モードを指定します。本端子の指定は応用システムにおいて固定とし, 動作中に変更しないでください。

動作中に変更した場合の動作は保証しません。

(1) 通常モード時

MODE1	MODE0	動作モード
0	0	ROMレス・モード
0	1	RFU (予約)
1	0	シングルチップ・モード
1	1	RFU (予約)

(2) PROMモード時

V _{PP}	端子状態		動作モード
	MODE1	MODE0	
5 V	0	0	RFU (予約)
	0	1	
	1	0	
	1	1	PROMモード (リード・モード)
12.5 V	1	1	PROMモード (プログラミング・モード)

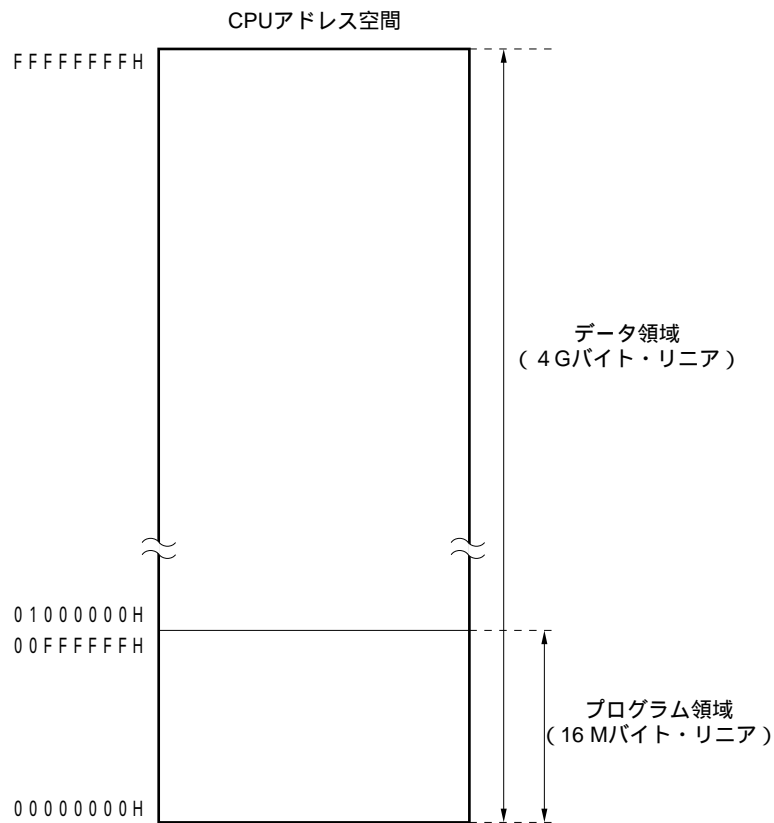
3.4 アドレス空間

3.4.1 CPUアドレス空間

V852のCPUは32ビット・アーキテクチャであり、オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。また、命令アドレスのアドレッシングにおいては、最大16 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。

図3 - 4にCPUアドレス空間を示します。

図3 - 4 CPUアドレス空間

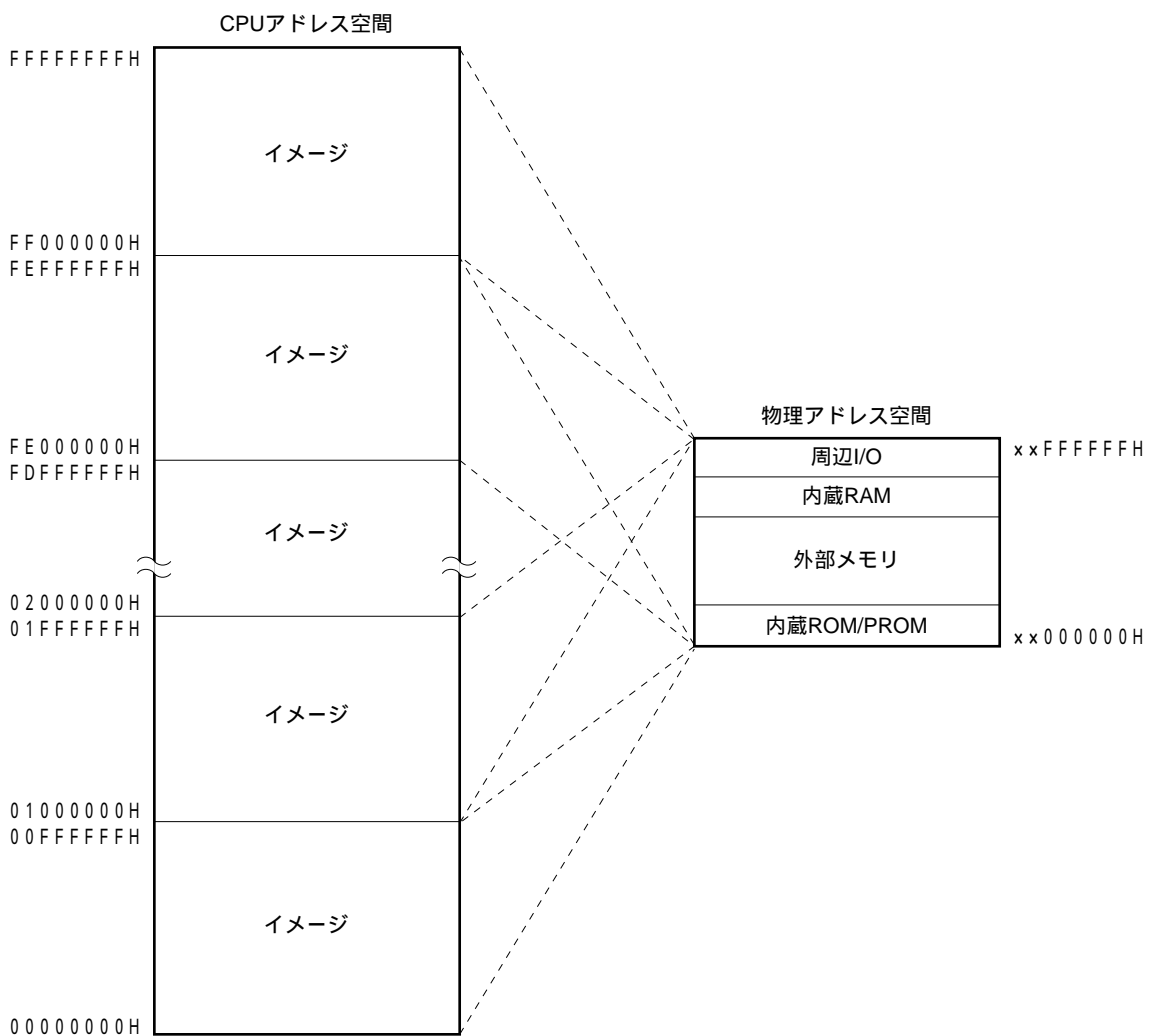


3.4.2 イメージ

4 GバイトのCPUアドレス空間には、16 Mバイトの物理アドレス空間が256個のイメージとして見えます。つまり、CPUアドレスのビット31-ビット24がどのような値でも、同じ16 Mバイトの物理アドレス空間をアクセスします。図3 - 5 にアドレス空間上のイメージを示します。

これは、32ビットのCPUアドレスは上位8ビットを無視し、24ビットの物理アドレスとしてアクセスするため、物理アドレスのx x000000H番地が、CPUアドレスの00000000H番地のほかに01000000H番地、02000000H番地、...、FE000000H番地、FF000000H番地に見えます。

図3 - 5 アドレス空間上のイメージ



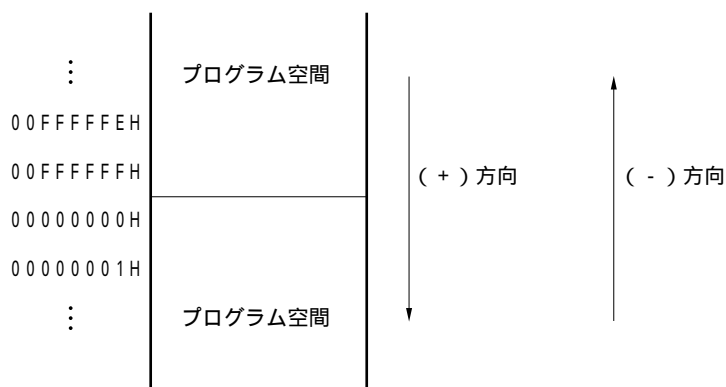
3.4.3 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC (プログラム・カウンタ) は、32ビットのうち上位8ビットが“0”に固定であり、下位24ビットのみ有効です。分岐アドレス計算などでビット23からビット24に対するキャリーまたはポローがあっても上位8ビットはこれを無視します。

したがって、プログラム空間の下限である00000000H番地と、上限の00FFFFFFH番地は連続したアドレスとなります。このようにメモリ空間の下限と上限が連続したアドレスになることをラップ・アラウンドといいます。

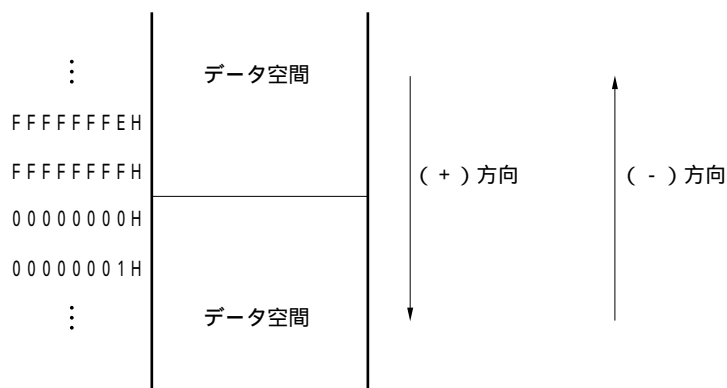
注意 00FFF000H-00FFFFFFHの4Kバイトの領域は、周辺I/O領域のため命令フェッチすることができません。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の下限である00000000H番地と、上限のFFFFFFFH番地は連続したアドレスになり、この境界でラップ・アラウンドします。



3.4.4 メモリ・マップ

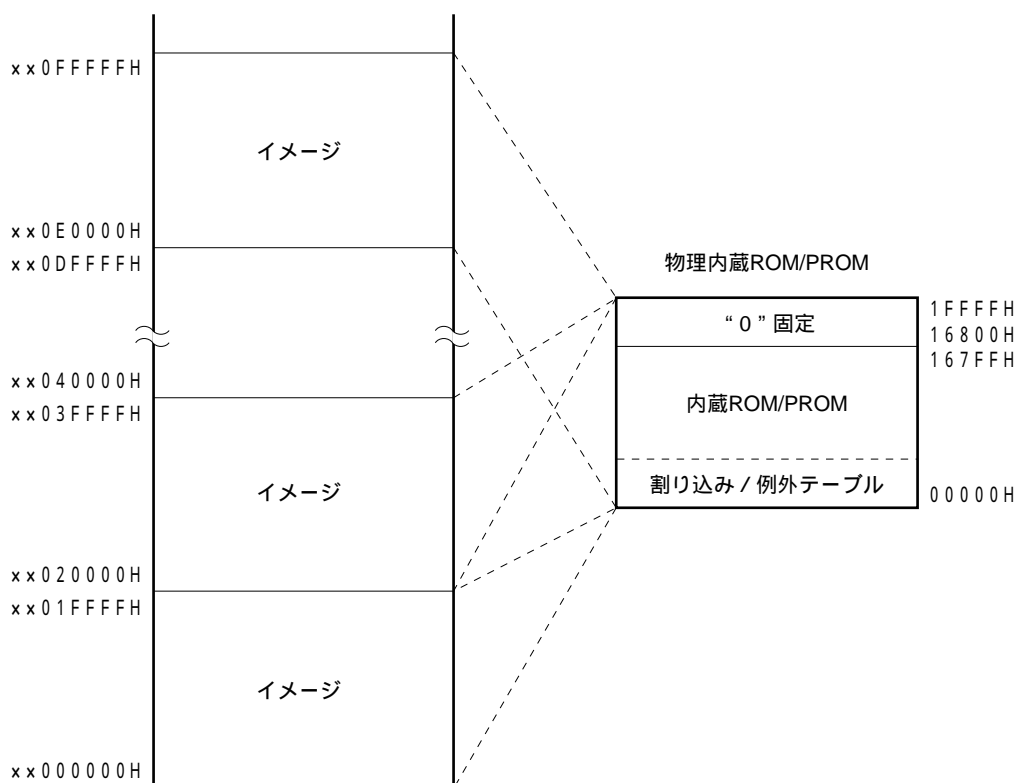
V852では、以下のように各領域を予約しています。各モードの指定はMODE0, MODE1端子で行います (3.3 動作モード参照)。



3.4.5 領域

(1) 内蔵ROM/PROM領域

内蔵ROM/PROM領域は000000H-0FFFFFFH番地の1 Mバイトが予約されています。V852では、物理内蔵ROM/PROMとして000000H-0167FFFH番地の90 Kバイトを実装しており、016800H-01FFFFFFH番地の38 Kバイトを“0”固定としています。また、残りの領域(020000H-0FFFFFFH)には、000000H-01FFFFFFHのイメージが見えます。



割り込み/例外テーブル

V852は、割り込み/例外に対応した飛び先アドレスを固定化することにより、割り込み応答性を高速化しています。

この、飛び先アドレスの集合を割り込み/例外テーブルと呼び、内蔵ROM/PROM領域に置かれています。割り込み/例外要求が受け付けられると、飛び先アドレスにジャンプし、そのメモリに書かれているプログラムを実行します。図3-6に、割り込み/例外名と、対応するアドレスを示します。

図3 - 6 割り込み/例外テーブル

内蔵ROM/PROM領域	
00000170H	INTCSI2
00000160H	INTCSI1
00000150H	INTP03
00000140H	INTP02
00000130H	INTP01
00000120H	INTP00
00000110H	INTST0
00000100H	INTSR0
000000F0H	INTSER0
000000E0H	INTCSI0
000000D0H	INTCM4
000000C0H	INTP13/INTCC13
000000B0H	INTP12/INTCC12
000000A0H	INTP11/INTCC11
00000090H	INTP10/INTCC10
00000080H	INTOV1
	ILGOP
00000060H	
00000050H	TRAP1n (n=0-FH)
00000040H	TRAP0n (n=0-FH)
	NMI
00000010H	
00000000H	RESET

← 16バイト →

ROMレス・モード時は、内蔵ROM/PROM領域が外部メモリ領域になります。リセット後に正しく動作させるために、リセット・ルーチンへの飛び先アドレスを外部メモリの0番地に用意してください。

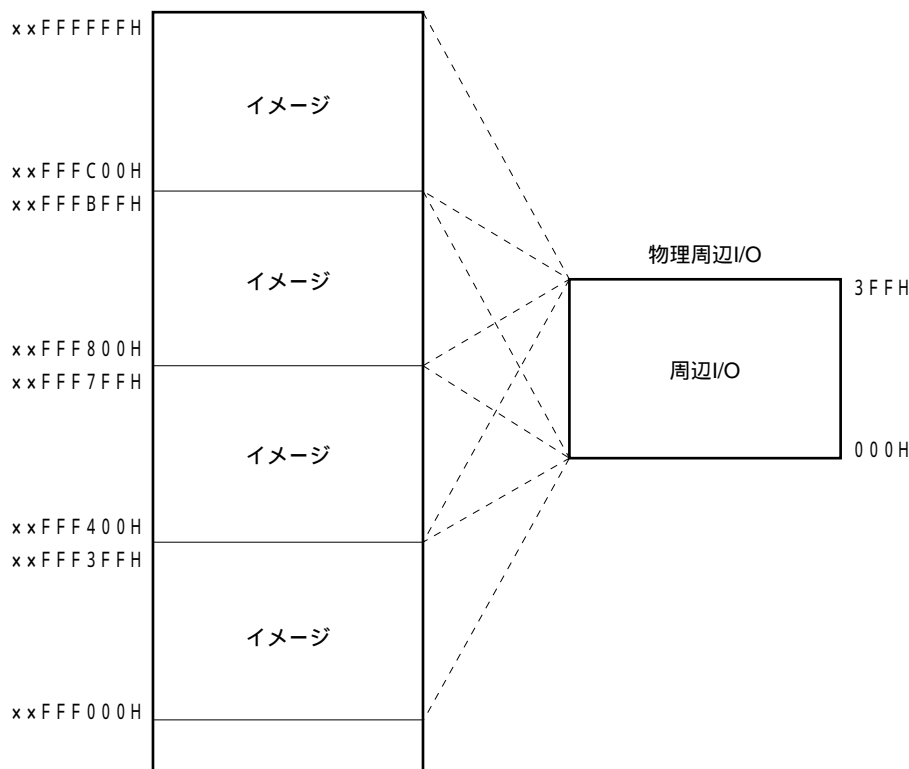
(2) 内蔵RAM領域

内蔵RAM領域は、FFE000H-FFEFFFFH番地の4 Kバイトが予約されています。V852では、物理内蔵RAMとしてFFE000H-FFEFFFFH番地の3 Kバイトを実装しており、残りの領域(FFEC00H-FFEFFFFH)は、“0”固定です。



(3) 周辺I/O領域

周辺I/O領域は、FFF000H-FFFFFFH番地の4Kバイトが予約されています。V852では、物理周辺I/OとしてFFF000H-FFF3FFH番地の1Kバイトに割り当てており、残りの領域(FFF400H-FFFFFFH)には、FFF000H-FFF3FFHのイメージが見えます。



周辺I/O領域には、内蔵周辺ハードウェアの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1. アドレスの最下位ビットはデコードしていません。したがって、奇数アドレス(2n+1番地)のレジスタにバイト・アクセスした場合は、ハードウェア上、偶数アドレス(2n)のレジスタへのアクセスが行われます。
2. V852ではワード・アクセス可能なレジスタは存在しませんが、レジスタにワード・アクセスを行うと、ハードウェア的には強制的に1回のハーフワード・アクセスに置き換わってアクセスが行われます。
3. バイト・アクセス可能なレジスタに対して、ハーフワード・アクセスした場合はリード時は上位8ビットが不定となり、ライト時は下位8ビット・データがレジスタに書き込まれます。
4. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。

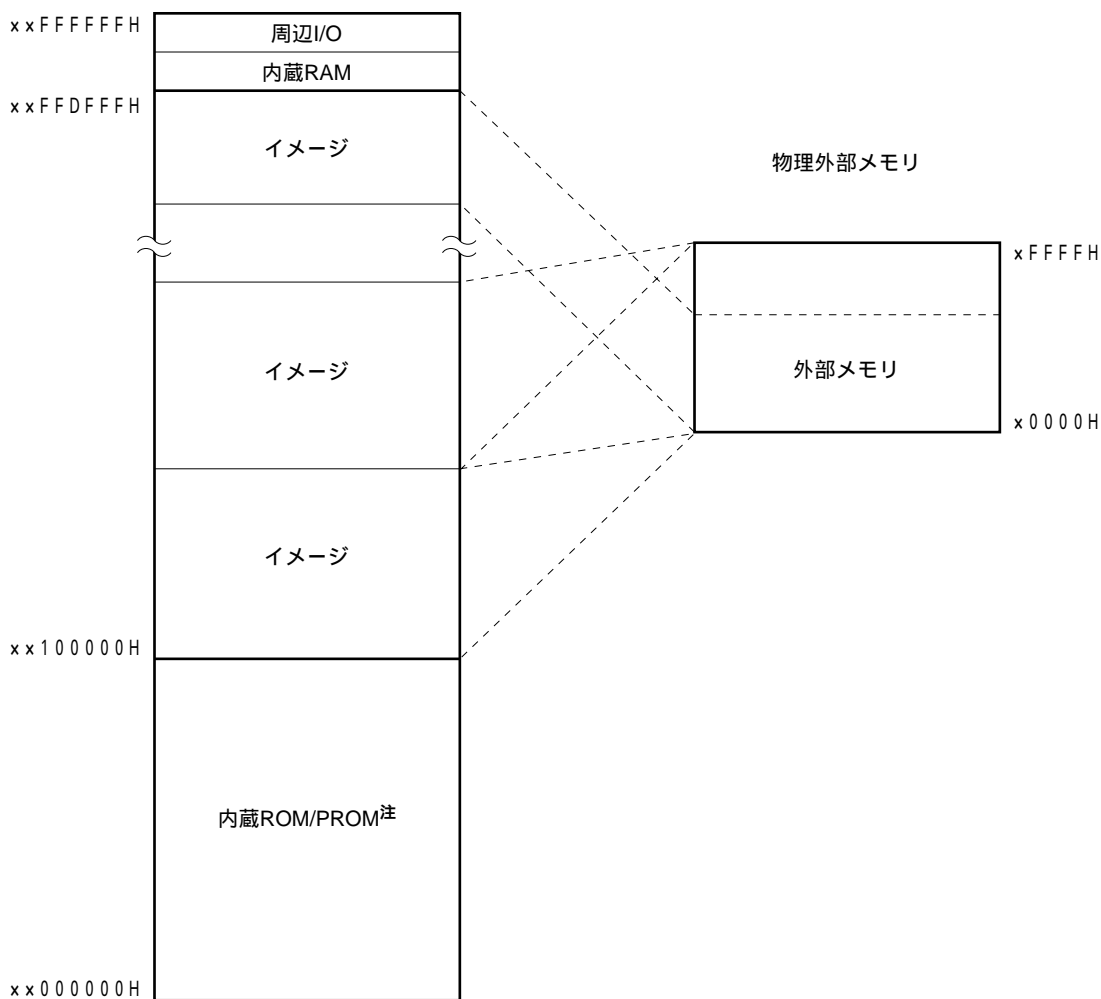
(4) 外部メモリ領域

V852は、シングルチップ・モード時に最大 $\times \times 100000H - \times \times FFDFFFFH$ 、ROMレス・モード時に最大 $\times \times 000000H - \times \times FFDFFFFH$ の領域を外部メモリ領域として使用できます。

外部メモリ領域は、外部拡張モードを指定すると、64 K、256 K、1 M、4 M、16 Mバイトの物理外部メモリを割り当てることができます。フル拡張（16 Mバイト）のとき以外は、物理外部メモリと同じイメージが、図3 - 7から図3 - 9で示すとおり、外部メモリ領域上に連続して見えます。

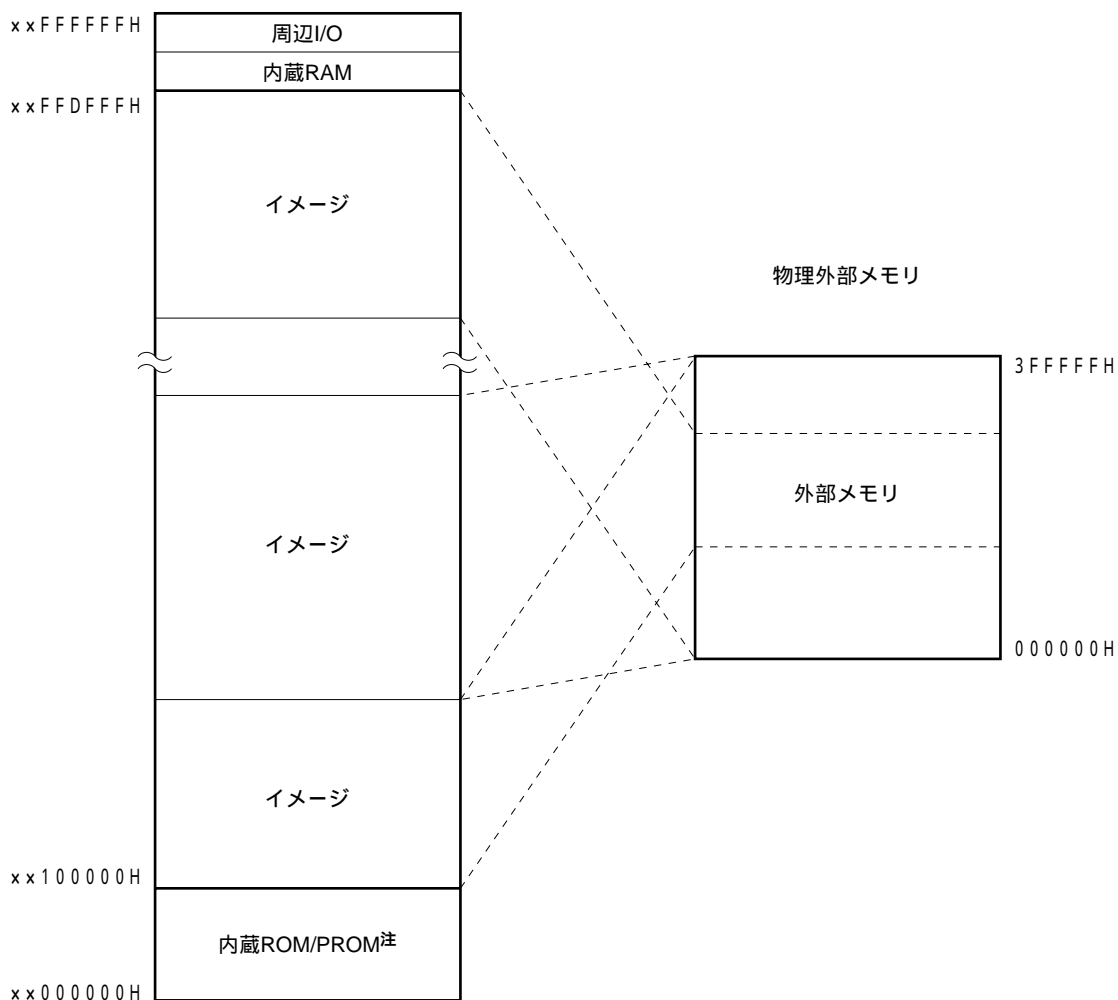
ただし、内蔵RAM領域、周辺I/O領域およびシングルチップ・モード時の内蔵ROM/PROM領域の各領域に対しては、外部メモリのアクセス対象になりません。

図3 - 7 外部メモリ領域（64 K、256K、1 Mバイト拡張時）



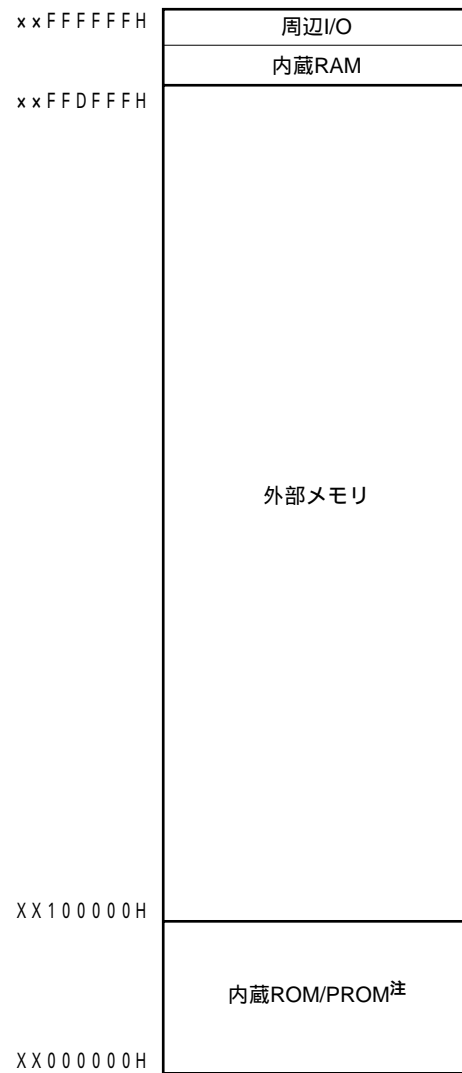
注 ROMレス・モード時は、物理外部メモリのイメージが連続して見えます。

図3-8 外部メモリ領域(4Mバイト拡張時)



注 ROMレス・モード時は，物理外部メモリのイメージが連続して見えます。

図3 - 9 外部メモリ領域（フル拡張時）



注 ROMレス・モード時は，外部メモリ領域になります。

3.4.6 外部拡張モード

V852は、ポート4からポート10の各端子を用いて外部メモリ空間に外部デバイスを接続することができます。外部デバイスを接続するためにはMODE0、MODE1端子とメモリ拡張モード・レジスタ（MM）を用いて、ポート端子を外部拡張モードに設定する必要があります。MODE0、MODE1端子はV852の動作モードを指定する端子で、MODE0=0、MODE1=0のときROMレス・モード、MODE0=0、MODE1=1のときシングルチップ・モードになります。

ROMレス・モードに指定した場合、リセット時は、ポート4-ポート6の各端子とP90-P94がコントロール・モードになり、外部メモリを使用できます。

シングルチップ・モードに指定した場合、リセット時の各ポート/コントロール・モード兼用端子はポート・モードになり、外部デバイスは使用できません。外部デバイスを使用する場合（外部拡張モード）は、プログラムでMMレジスタを設定してください。また、バス・ホールド機能を使用する場合は、PMC10レジスタをコントロール・モードに設定してください。

(1) メモリ拡張モード・レジスタ (MM)

ポート4からポート9の各端子のモード設定を行います。外部拡張モードでは、最大16Mバイトの外部メモリ領域に外部デバイスを接続できます。ただし、内蔵RAM領域、周辺I/O領域およびシングルチップ・モード時の内蔵ROM/PROM領域の各領域に対しては外部デバイスを接続して使用することはできません（物理的に接続しても、アクセス対象にはなりません）。

MMレジスタは8/1ビット単位でリード/ライト可能です。ただし、ビット7, 5, 4は1に固定です。

	7	6	5	4	3	2	1	0		
MM	1	0	1	1	MM3	MM2	MM1	MM0	アドレス FFFFFF04CH	リセット時 B7H(ROMレス・モード時) B0H(シングルチップ・モード時)

ビット位置	ビット名	意味																																																									
3	MM3	Memory Expansion Mode ポート9のP95, P96の動作モードを指定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>MM3</th> <th>動作モード</th> <th>P95</th> <th>P96</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>ポート・モード</td> <td colspan="2">ポート</td> </tr> <tr> <td>1</td> <td>外部拡張モード</td> <td>ST0</td> <td>ST1</td> </tr> </tbody> </table>	MM3	動作モード	P95	P96	0	ポート・モード	ポート		1	外部拡張モード	ST0	ST1																																													
MM3	動作モード	P95	P96																																																								
0	ポート・モード	ポート																																																									
1	外部拡張モード	ST0	ST1																																																								
2-0	MM2-MM0	Memory Expansion Mode ポート4, 5, 6, 9 (P90-P94)の動作モードを指定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>MM2</th> <th>MM1</th> <th>MM0</th> <th>アドレス 空間</th> <th>ポート4</th> <th>ポート5</th> <th>ポート6</th> <th>ポート9 (P90-P94)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>-</td> <td colspan="3">ポート・モード</td> <td></td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>64 Kバイト拡張</td> <td rowspan="2">AD0-AD7</td> <td rowspan="2">AD8-AD15</td> <td>A16</td> <td rowspan="6"> $\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$, $\text{R}/\overline{\text{W}}$, $\overline{\text{DSTB}}$, ASTB </td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>256 Kバイト拡張</td> <td>A17</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1 Mバイト拡張</td> <td>A18</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>4 Mバイト拡張</td> <td>A19</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>4 Mバイト拡張</td> <td>A20</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>16 Mバイト拡張</td> <td>A21</td> </tr> <tr> <td colspan="4">その他</td> <td colspan="4">RFU (予約)</td> </tr> </tbody> </table>	MM2	MM1	MM0	アドレス 空間	ポート4	ポート5	ポート6	ポート9 (P90-P94)	0	0	0	-	ポート・モード				0	1	1	64 Kバイト拡張	AD0-AD7	AD8-AD15	A16	$\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$, $\text{R}/\overline{\text{W}}$, $\overline{\text{DSTB}}$, ASTB	1	0	0	256 Kバイト拡張	A17	1	0	1	1 Mバイト拡張	A18	1	1	0	4 Mバイト拡張	A19	1	1	0	4 Mバイト拡張	A20	1	1	1	16 Mバイト拡張	A21	その他				RFU (予約)			
MM2	MM1	MM0	アドレス 空間	ポート4	ポート5	ポート6	ポート9 (P90-P94)																																																				
0	0	0	-	ポート・モード																																																							
0	1	1	64 Kバイト拡張	AD0-AD7	AD8-AD15	A16	$\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$, $\text{R}/\overline{\text{W}}$, $\overline{\text{DSTB}}$, ASTB																																																				
1	0	0	256 Kバイト拡張			A17																																																					
1	0	1	1 Mバイト拡張	A18																																																							
1	1	0	4 Mバイト拡張	A19																																																							
1	1	0	4 Mバイト拡張	A20																																																							
1	1	1	16 Mバイト拡張	A21																																																							
その他				RFU (予約)																																																							

備考 各ポート端子の動作の詳細については2.3 端子機能の説明を参照してください。

3.4.7 アドレス空間の推奨使用方法

V852のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに、必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタの値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

V852のメモリ・マップに関連して、ポインタ運用の効率化を目的として、以下の使用方法を推奨します。

(1) プログラム空間

PC (プログラム・カウンタ) は、32ビットのうち上位8ビットは“0”に固定であり、下位24ビットのみ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した16 Mバイト空間がそのままメモリ・マップに対応します。

(2) データ空間

データ空間のラップ・アラウンドを利用したリソースの効率的な運用を行うため、4 GバイトのCPUアドレス空間の00000000H-007FFFFFFH番地およびFF800000H-FFFFFFFFH番地のそれぞれ連続した8 Mバイトをデータ空間として使用します。V852では、4 GバイトのCPUアドレス空間に16 Mバイトの物理アドレス空間が256個のイメージとして見えるため、この24ビット・アドレスの最上位ビット (ビット23) を32ビット長まで符号拡張したアドレスとして割り当てています。

ラップ・アラウンドを利用した応用例

LD/ST disp16 [R] 命令でR=r0 (ゼロ・レジスタ) とした場合、符号拡張したdisp16により、00000000H番地±32 Kバイトの範囲がアドレッシング可能です。外部メモリを図の24 Kバイトの範囲にマッピングすれば、内蔵ハードウェアのすべてを含むすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ (r0) はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

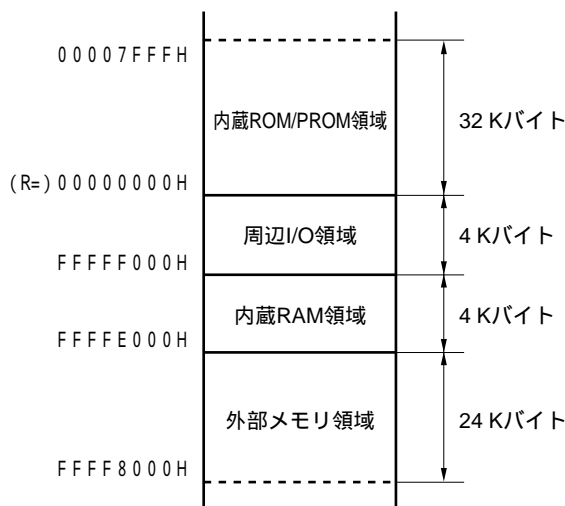
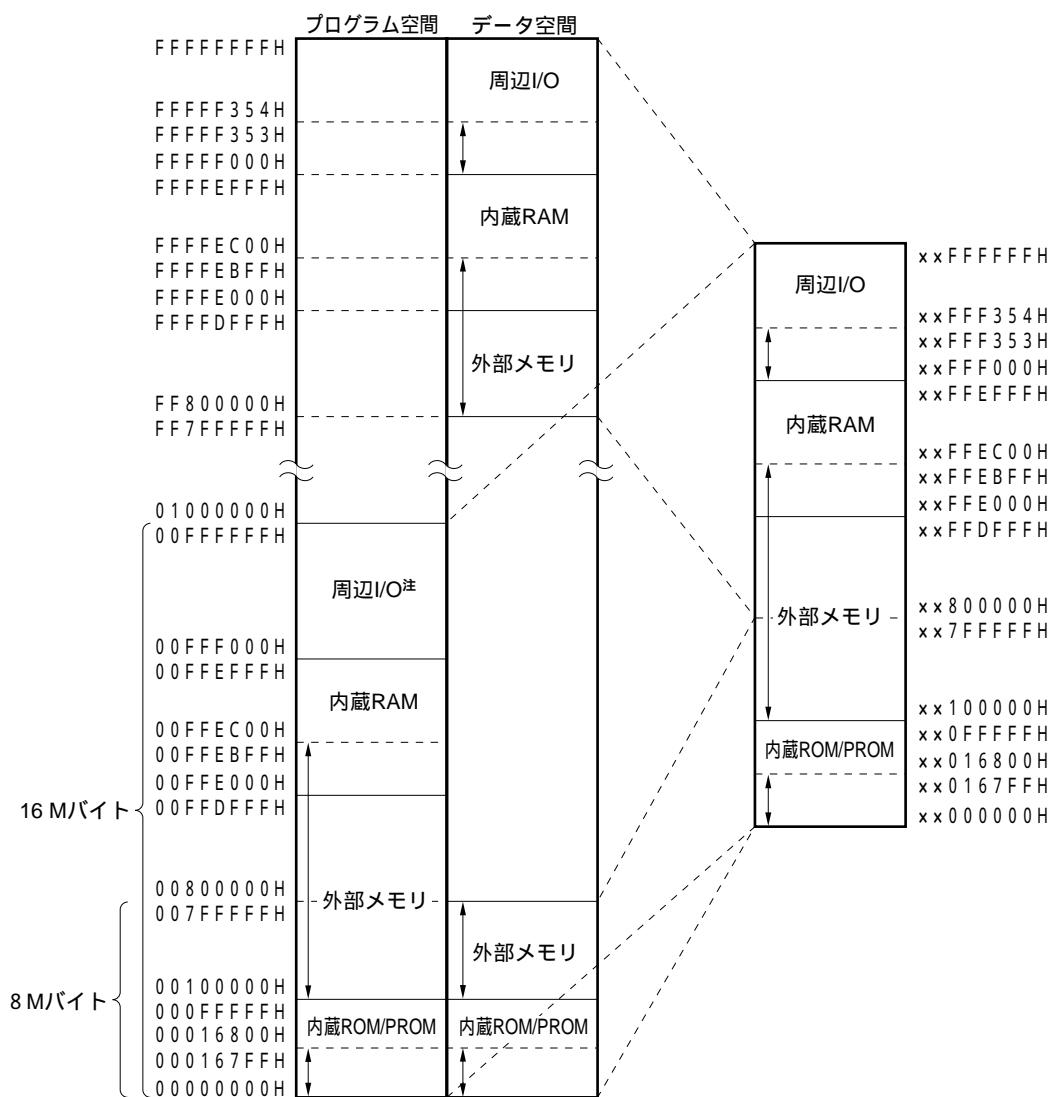


図3-10 推奨メモリ・マップ



注 プログラム領域として使用できません。

備考 は、推奨使用領域です。

3.4.8 周辺I/Oレジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1ビット	8ビット	16ビット	
FFFFFF000H	ポート0	P0	R/W				不定
FFFFFF002H	ポート1	P1					
FFFFFF004H	ポート2	P2					
FFFFFF006H	ポート3	P3					
FFFFFF008H	ポート4	P4					
FFFFFF00AH	ポート5	P5					
FFFFFF00CH	ポート6	P6					
FFFFFF012H	ポート9	P9					
FFFFFF014H	ポート10	P10					
FFFFFF020H	ポート0モード・レジスタ	PM0					
FFFFFF022H	ポート1モード・レジスタ	PM1					
FFFFFF024H	ポート2モード・レジスタ	PM2					
FFFFFF026H	ポート3モード・レジスタ	PM3					
FFFFFF028H	ポート4モード・レジスタ	PM4					
FFFFFF02AH	ポート5モード・レジスタ	PM5					
FFFFFF02CH	ポート6モード・レジスタ	PM6					
FFFFFF032H	ポート9モード・レジスタ	PM9					
FFFFFF034H	ポート10モード・レジスタ	PM10					
FFFFFF040H	ポート0モード・コントロール・レジスタ	PMC0				00H	
FFFFFF044H	ポート2モード・コントロール・レジスタ	PMC2				01H	
FFFFFF046H	ポート3モード・コントロール・レジスタ	PMC3				00H	
FFFFFF04CH	メモリ拡張モード・レジスタ	MM				B0H/B7H	
FFFFFF054H	ポート10モード・コントロール・レジスタ	PMC10				00H	
FFFFFF060H	データ・ウェイト・コントロール・レジスタ	DWC				FFFFH	
FFFFFF062H	バス・サイクル・コントロール・レジスタ	BCC				AAAAH	
FFFFFF070H	パワー・セーブ・コントロール・レジスタ	PSC				00H	
FFFFFF078H	システム・ステータス・レジスタ	SYS				0000000xB	
FFFFFF084H	ポー・レート・ジェネレータ・レジスタ0	BRG0				不定	
FFFFFF086H	ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ0	BPRM0				00H	
FFFFFF088H	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSIM0					
FFFFFF08AH	シリアルI/Oシフト・レジスタ0	SIO0				不定	
FFFFFF094H	ポー・レート・ジェネレータ・レジスタ1	BRG1					
FFFFFF096H	ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ1	BPRM1				00H	
FFFFFF098H	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSIM1					
FFFFFF09AH	シリアルI/Oシフト・レジスタ1	SIO1				不定	
FFFFFF0A8H	クロック同期式シリアル・インタフェース・モード・レジスタ2	CSIM2				00H	
FFFFFF0AAH	シリアルI/Oシフト・レジスタ2	SIO2				不定	
FFFFFF0C0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	ASIM00				80H	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時	
				1ビット	8ビット	16ビット		
FFFFFF0C2H	アシンクロナス・シリアル・インタフェース・モード・レジスタ01	ASIM01	R/W				00H	
FFFFFF0C4H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0	R					
FFFFFF0C8H	受信バッファ0 (9ビット)	RXB0					不定	
FFFFFF0CAH	受信バッファ0L (下位8ビット)	RXB0L						
FFFFFF0CCH	送信シフト・レジスタ0 (9ビット)	TXS0	W				不定	
FFFFFF0CEH	送信シフト・レジスタ0L (下位8ビット)	TXS0L						
FFFFFF100H	割り込み制御レジスタ	OVIC1	R/W				47H	
FFFFFF102H	割り込み制御レジスタ	P1IC0						
FFFFFF104H	割り込み制御レジスタ	P1IC1						
FFFFFF106H	割り込み制御レジスタ	P1IC2						
FFFFFF108H	割り込み制御レジスタ	P1IC3						
FFFFFF10AH	割り込み制御レジスタ	CMIC4						
FFFFFF10CH	割り込み制御レジスタ	CSIC0						
FFFFFF10EH	割り込み制御レジスタ	SEIC0						
FFFFFF110H	割り込み制御レジスタ	SRIC0						
FFFFFF112H	割り込み制御レジスタ	STIC0						
FFFFFF114H	割り込み制御レジスタ	P0IC0						
FFFFFF116H	割り込み制御レジスタ	P0IC1						
FFFFFF118H	割り込み制御レジスタ	P0IC2						
FFFFFF11AH	割り込み制御レジスタ	P0IC3						
FFFFFF11CH	割り込み制御レジスタ	CSIC1						
FFFFFF11EH	割り込み制御レジスタ	CSIC2						
FFFFFF166H	インサービス・プライオリティ・レジスタ	ISPR	R					00H
FFFFFF170H	コマンド・レジスタ	PRCMD	W					不定
FFFFFF180H	外部割り込みモード・レジスタ0	INTM0	R/W					00H
FFFFFF182H	外部割り込みモード・レジスタ1	INTM1						
FFFFFF184H	外部割り込みモード・レジスタ2	INTM2						
FFFFFF230H	タイマ・オーバフロー・ステータス・レジスタ	TOVS						
FFFFFF240H	タイマ・ユニット・モード・レジスタ1	TUM1					0000H	
FFFFFF242H	タイマ・コントロール・レジスタ1	TMC1					00H	
FFFFFF244H	タイマ出力コントロール・レジスタ1	TOC1						
FFFFFF250H	タイマ1	TM1	R				0000H	
FFFFFF252H	キャプチャ/コンペア・レジスタ10	CC10	R/W				不定	
FFFFFF254H	キャプチャ/コンペア・レジスタ11	CC11						
FFFFFF256H	キャプチャ/コンペア・レジスタ12	CC12						
FFFFFF258H	キャプチャ/コンペア・レジスタ13	CC13						
FFFFFF342H	タイマ・コントロール・レジスタ4	TMC4					00H	
FFFFFF350H	タイマ4	TM4	R				0000H	
FFFFFF352H	コンペア・レジスタ4	CM4	R/W				不定	

第4章 バス制御機能

V852は、外部にROM, RAM等のメモリやI/O等を接続できる外部バス・インタフェース機能を内蔵しています。

4.1 特 徴

16ビット・データ・バス

ポートとの兼用端子で、外部デバイスとの接続が可能

ウエイト機能

- ・ 2ブロックごとに最大3ステートのプログラマブル・ウエイト機能
- ・ $\overline{\text{WAIT}}$ 端子による外部ウエイト機能

アイドル・ステート挿入機能

バス使用権調停機能

バス・ホールド機能

4.2 バス制御端子

外部デバイスの接続は、次の端子を使用します。

外部バス・インタフェース機能使用時	対応するポート
アドレス/データ・バス (AD0-AD7)	ポート4 (P40-P47)
アドレス/データ・バス (AD8-AD15)	ポート5 (P50-P57)
アドレス・バス (A16-A23)	ポート6 (P60-P67)
リード/ライト制御 ($\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$, $\overline{\text{R/W}}$, $\overline{\text{DSTB}}$)	ポート9 (P90-P93)
アドレス・ストロープ (ASTB)	ポート9 (P94)
外部ウエイト制御 ($\overline{\text{WAIT}}$)	$\overline{\text{WAIT}}$
バス・サイクル・ステータス (ST0, ST1)	ポート9 (P95-P96)
バス・ホールド制御 ($\overline{\text{HLDRQ}}$, $\overline{\text{HLDAK}}$)	ポート10 (P100-P101)

各端子のバス・インタフェース機能は、メモリ拡張モード・レジスタ (MM) の指定により有効になります。また、MODE0, MODE1端子の設定により、ROMレス・モードの場合は無条件に有効になります。外部バス・インタフェースの動作モード指定に関する詳細は、3.4.6 (1) メモリ拡張モード・レジスタ (MM) を参照してください。

4.3 バス・アクセス

4.3.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数は次のとおりです。

バス・サイクル形態	リソース (バス幅)			
	内蔵ROM (32ビット)	内蔵RAM (32ビット)	周辺I/O (16ビット)	外部メモリ (16ビット)
命令フェッチ	1	3	不可	3 + n
オペランド・データ・アクセス	3	1	3 + n	3 + n

備考1．単位はクロック / アクセスです。

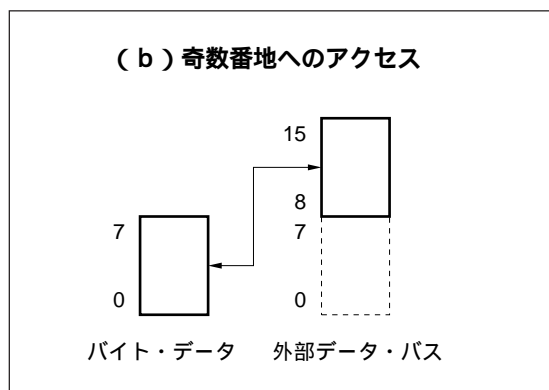
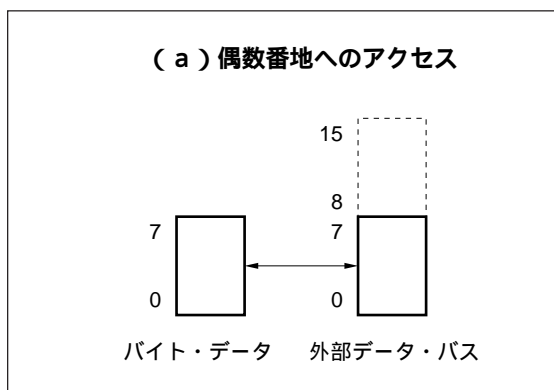
2．n：ウェイト挿入数

★ 4.3.2 バス幅

V852が周辺I/Oアクセス，外部メモリ・アクセスを行う場合には，8，16，32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。

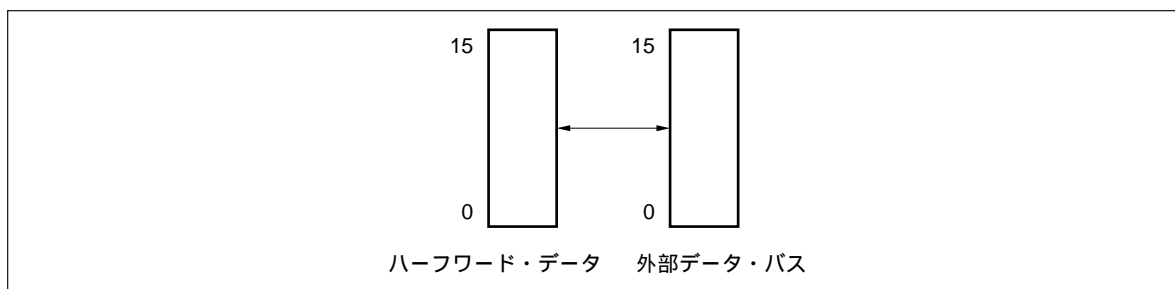
(1) バイト・アクセス (8ビット)

バイト・アクセスには，偶数番地へのアクセスと奇数番地へのアクセスの2つの方法があります。



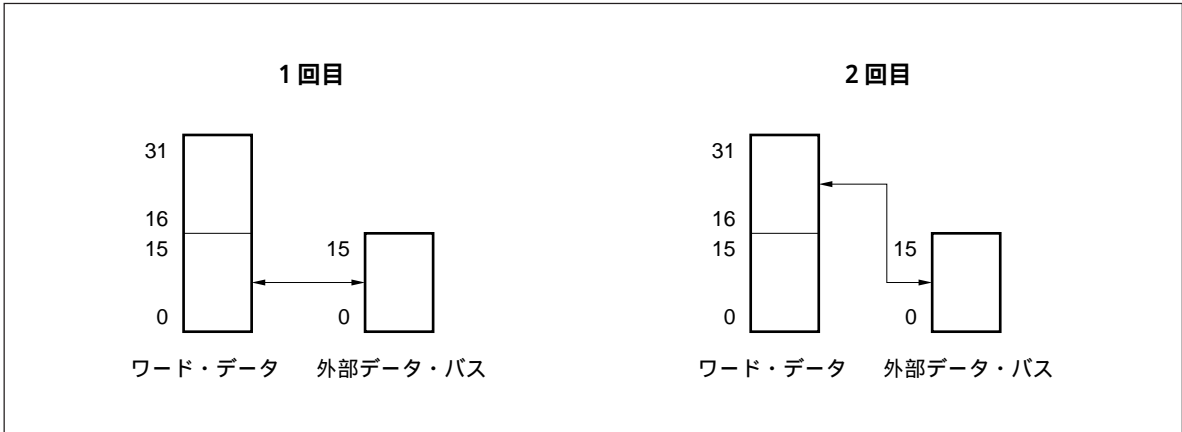
(2) ハーフワード・アクセス (16ビット)

データ・バスは16ビット固定なので，外部メモリへのハーフワード・アクセスでは，データをそのままやりとりします。



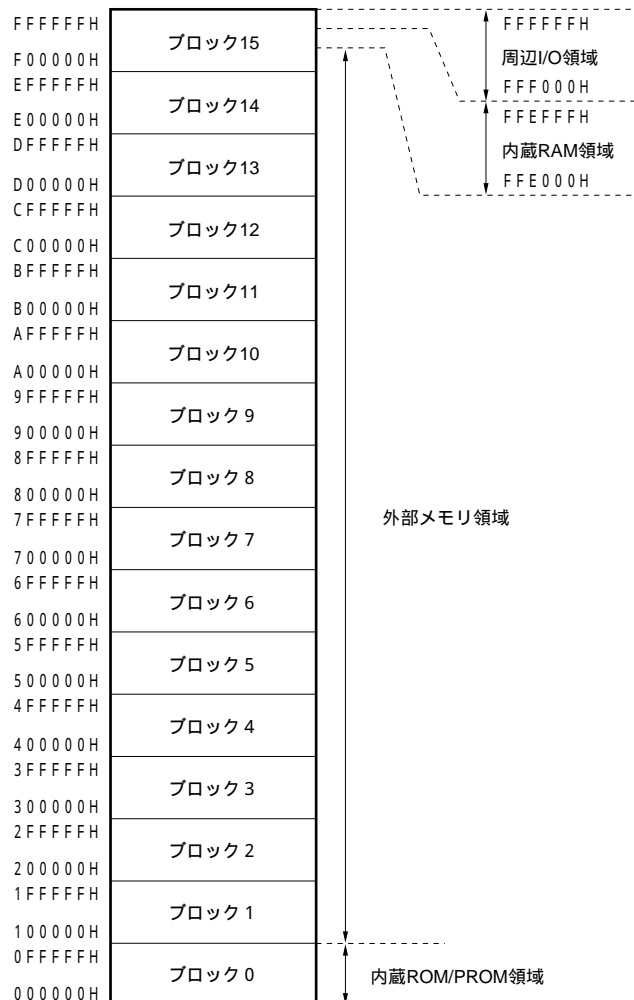
(3) ワード・アクセス (32ビット)

外部メモリへのワード・アクセスでは、下位ハーフワード、上位ハーフワードの順でアクセスします。



4.4 メモリ・ブロック機能

16 Mバイトのメモリ空間は 1 Mバイト単位のメモリ・ブロックに分割され、2 ブロック単位にプログラマブル・ウエイト機能、バス・サイクル動作モードを独立に制御することができます。



4.5 ウェイト機能

4.5.1 プログラマブル・ウェイト機能

低速メモリ、I/Oに対するインタフェースを容易に実現させることを目的とし、2ブロックごとに、起動されるバス・サイクルに対し、最大3ステートのデータ・ウェイトを挿入可能です。

ウェイト数は、データ・ウェイト・コントロール・レジスタ (DWC) の設定によりプログラマブルに指定可能です。

システム・リセット直後は、全ブロックに対して3データ・ウェイトの挿入状態になります。

(1) データ・ウェイト・コントロール・レジスタ (DWC)

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス FFFFFF060H	リセット時 FFFFH
DWC	DW71	DW70	DW61	DW60	DW51	DW50	DW41	DW40	DW31	DW30	DW21	DW20	DW11	DW10	DW01	DW00		

ビット位置	ビット名	意味																																	
15-0	DWn1 DWn0 (n=0-7)	Data Wait 挿入するウェイトのステート数を指定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th>DWn1</th> <th>DWn0</th> <th>挿入ウェイト・ステート数</th> </tr> </thead> <tbody> <tr><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">2</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">3</td></tr> </tbody> </table> <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th>n</th> <th>ウェイト挿入されるブロック</th> </tr> </thead> <tbody> <tr><td style="text-align: center;">0</td><td>ブロック 0 / 1</td></tr> <tr><td style="text-align: center;">1</td><td>ブロック 2 / 3</td></tr> <tr><td style="text-align: center;">2</td><td>ブロック 4 / 5</td></tr> <tr><td style="text-align: center;">3</td><td>ブロック 6 / 7</td></tr> <tr><td style="text-align: center;">4</td><td>ブロック 8 / 9</td></tr> <tr><td style="text-align: center;">5</td><td>ブロック 10 / 11</td></tr> <tr><td style="text-align: center;">6</td><td>ブロック 12 / 13</td></tr> <tr><td style="text-align: center;">7</td><td>ブロック 14 / 15</td></tr> </tbody> </table>	DWn1	DWn0	挿入ウェイト・ステート数	0	0	0	0	1	1	1	0	2	1	1	3	n	ウェイト挿入されるブロック	0	ブロック 0 / 1	1	ブロック 2 / 3	2	ブロック 4 / 5	3	ブロック 6 / 7	4	ブロック 8 / 9	5	ブロック 10 / 11	6	ブロック 12 / 13	7	ブロック 14 / 15
DWn1	DWn0	挿入ウェイト・ステート数																																	
0	0	0																																	
0	1	1																																	
1	0	2																																	
1	1	3																																	
n	ウェイト挿入されるブロック																																		
0	ブロック 0 / 1																																		
1	ブロック 2 / 3																																		
2	ブロック 4 / 5																																		
3	ブロック 6 / 7																																		
4	ブロック 8 / 9																																		
5	ブロック 10 / 11																																		
6	ブロック 12 / 13																																		
7	ブロック 14 / 15																																		

注意 1 . ブロック 0 は、シングルチップ・モード時は内蔵ROM/PROM領域に予約されており、DWCの設定にかかわらずプログラマブル・ウェイトの対象外で、常にノー・ウェイト・アクセスを行います。

2 . ブロック 15 において、内蔵RAM領域は、プログラマブル・ウェイトの対象外で、常にノー・ウェイト・アクセスを行います。また、周辺I/O領域は、プログラマブル・ウェイトの対象外で、各周辺機能からのウェイト制御のみ行われます。

4.5.2 外部ウエイト機能

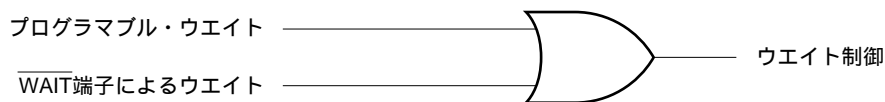
極端に遅いデバイスや、I/O,非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 ($\overline{\text{WAIT}}$) によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

外部ウエイトの挿入はデータ・ウエイトのみ行われます。ただし、内蔵ROM/PROM,内蔵RAM,周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$ 入力は、CLKOUTに対する非同期入力が可能で、バス・サイクルのT2,TWステートのクロックの立ち上がりでサンプリングします。サンプル・タイミングにおける設定/保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

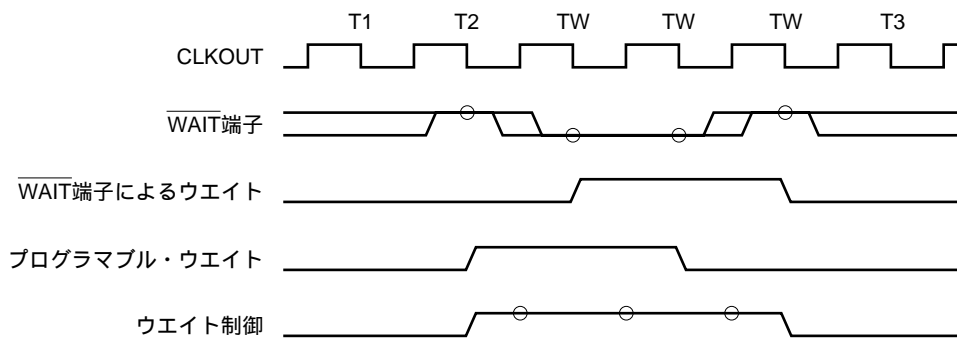
4.5.3 プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウエイト・サイクルの論理和として挿入され、どちらか多い方のウエイト・サイクル数だけ挿入されます。



たとえば、プログラマブル・ウエイトが2ウエイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウエイトになります。

図4-1 ウエイト挿入例



備考 : サンプル・タイミング

4.6 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし、2ブロックごとに、リード・アクセス時のメモリのデータ出力フロート遅延時間 (t_{DF}) を確保するために、起動されるバス・サイクルに対し、T3ステート後に1ステートのアイドル・ステート (TI) を挿入可能です。連続する次のバス・サイクルは、1アイドル・ステート後から開始します。

アイドル・ステート挿入の指定は、バス・サイクル・コントロール・レジスタ (BCC) の設定によりプログラマブルに指定可能です。

システム・リセット直後は、全ブロックに対してアイドル・ステートの挿入状態になります。

(1) バス・サイクル・コントロール・レジスタ (BCC)

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
BCC	BC71	0	BC61	0	BC51	0	BC41	0	BC31	0	BC21	0	BC11	0	BC01	0	アドレス FFFFFF062H	リセット時 AAAAH

ビット位置	ビット名	意味																		
15, 13, 11, 9, 7, 5, 3, 1	BCn1 (n=0-7)	Bus Cycle アイドル・ステートの挿入を指定します。 0 : 挿入しない 1 : 挿入する																		
		<table border="1"> <thead> <tr> <th>n</th> <th>アイドル・ステートの挿入されるブロック</th> </tr> </thead> <tbody> <tr><td>0</td><td>ブロック 0 / 1</td></tr> <tr><td>1</td><td>ブロック 2 / 3</td></tr> <tr><td>2</td><td>ブロック 4 / 5</td></tr> <tr><td>3</td><td>ブロック 6 / 7</td></tr> <tr><td>4</td><td>ブロック 8 / 9</td></tr> <tr><td>5</td><td>ブロック 10 / 11</td></tr> <tr><td>6</td><td>ブロック 12 / 13</td></tr> <tr><td>7</td><td>ブロック 14 / 15</td></tr> </tbody> </table>	n	アイドル・ステートの挿入されるブロック	0	ブロック 0 / 1	1	ブロック 2 / 3	2	ブロック 4 / 5	3	ブロック 6 / 7	4	ブロック 8 / 9	5	ブロック 10 / 11	6	ブロック 12 / 13	7	ブロック 14 / 15
n	アイドル・ステートの挿入されるブロック																			
0	ブロック 0 / 1																			
1	ブロック 2 / 3																			
2	ブロック 4 / 5																			
3	ブロック 6 / 7																			
4	ブロック 8 / 9																			
5	ブロック 10 / 11																			
6	ブロック 12 / 13																			
7	ブロック 14 / 15																			

注意 1 . シングルチップ・モード時は、ブロック 0 が内蔵ROM/PROM領域に予約されているため、ブロック 0 に対してアイドル・ステートの挿入は指定できません。

2 . ブロック 15 における、内蔵RAM領域、周辺I/O領域は、アイドル・ステート挿入の対象外になります。

3 . BCCのビット 0 , 2 , 4 , 6 , 8 , 10 , 12 , 14 は、必ず 0 を設定してください。1 を指定した場合の動作は保証しません。

4.7 バス・ホールド機能

4.7.1 機能概要

ポート10のP100, P101がコントロール・モードに指定されていれば、 $\overline{\text{HLDRQ}}$, $\overline{\text{HLDK}}$ 端子機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ（ロウ・レベル）になったことを受け付けると、外部アドレス/データ・バス、各種ストロブ端子をハイ・インピーダンス状態にし、解放します（バス・ホールド状態）。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ（ハイ・レベル）になりバス獲得要求が解除されれば、再びこれらの端子の駆動を開始します。

バス・ホールド期間中は、外部メモリ・アクセスがあるまでV852の内部動作を継続します。

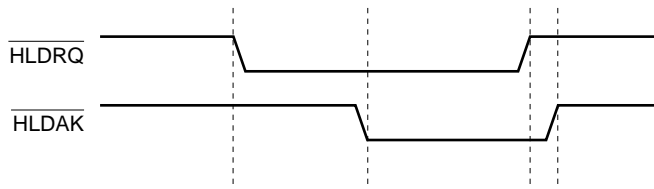
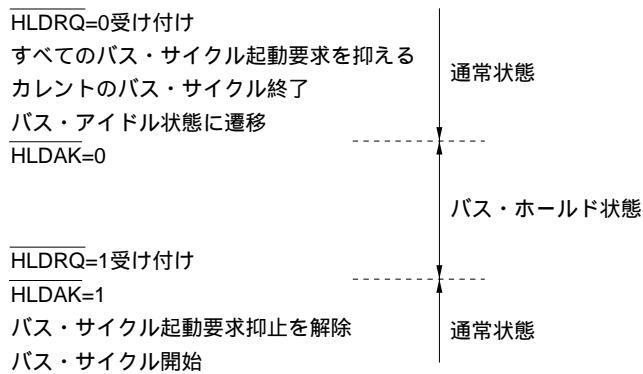
バス・ホールド状態は、 $\overline{\text{HLDK}}$ 端子がアクティブ（ロウ・レベル）になったことにより知ることができます。

マルチプロセッサ構成、DMAコントローラ接続時など、バス・マスタが複数存在するようなシステムを構成することができます。

なお、ワード・アクセス時の1回目と2回目の間には、バス・ホールド要求は受け付けません。また、ビット操作命令のリード・モディファイ・ライト・アクセスにおけるリード・アクセスとライト・アクセスの間にも、バス・ホールド要求は受け付けません。

4.7.2 バス・ホールド手順

バス・ホールド状態遷移の手順を以下に示します。



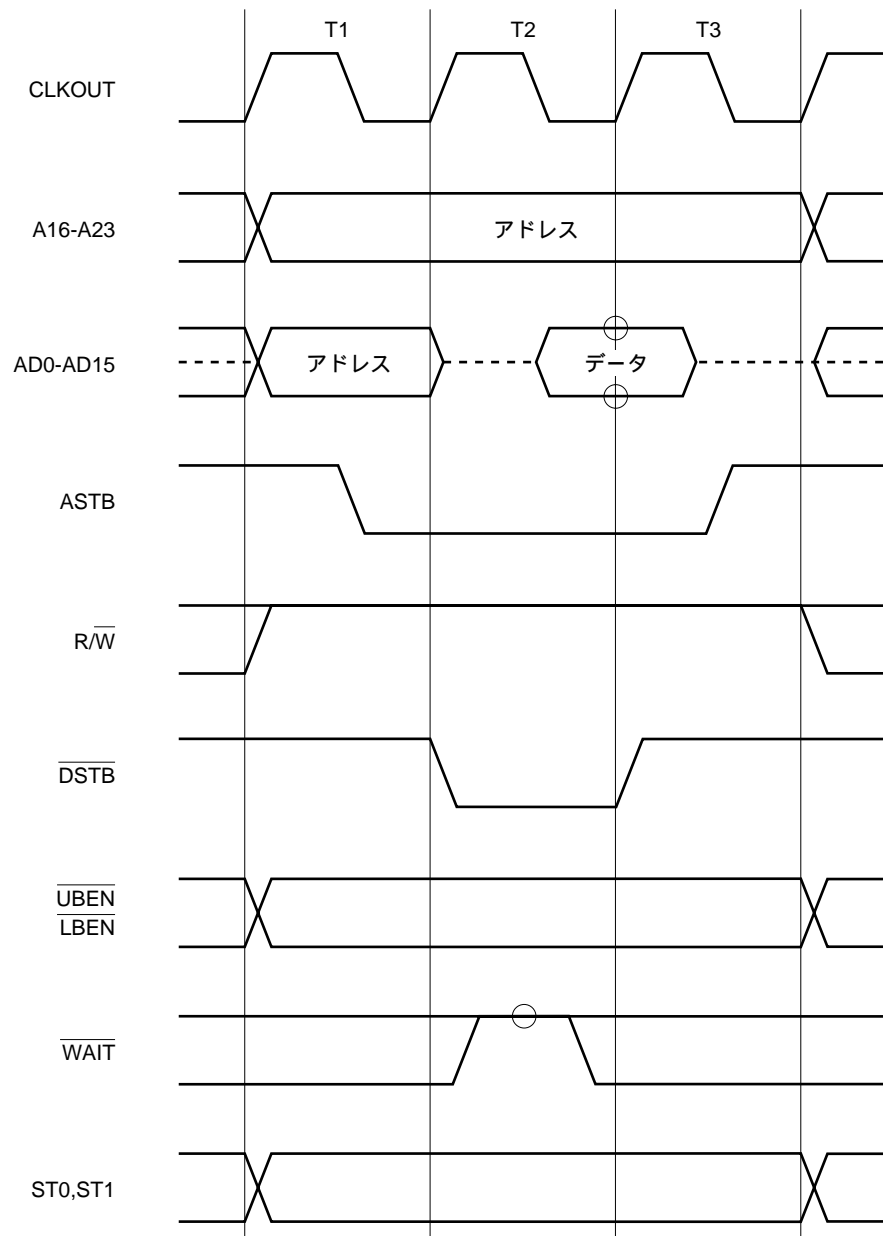
4.7.3 パワー・セーブ・モード時の動作

STOPモード期間中およびIDLEモード期間中は、システム・クロックが停止するため、 $\overline{\text{HLDRQ}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDRQ}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDAK}}$ 端子がアクティブになり、バス・ホールド状態になります。同様に、 $\overline{\text{HLDRQ}}$ 端子がインアクティブになると、 $\overline{\text{HLDAK}}$ 端子がインアクティブになり、バス・ホールド状態は解除され、再びHALTモードに戻ります。

4.8 バス・タイミング

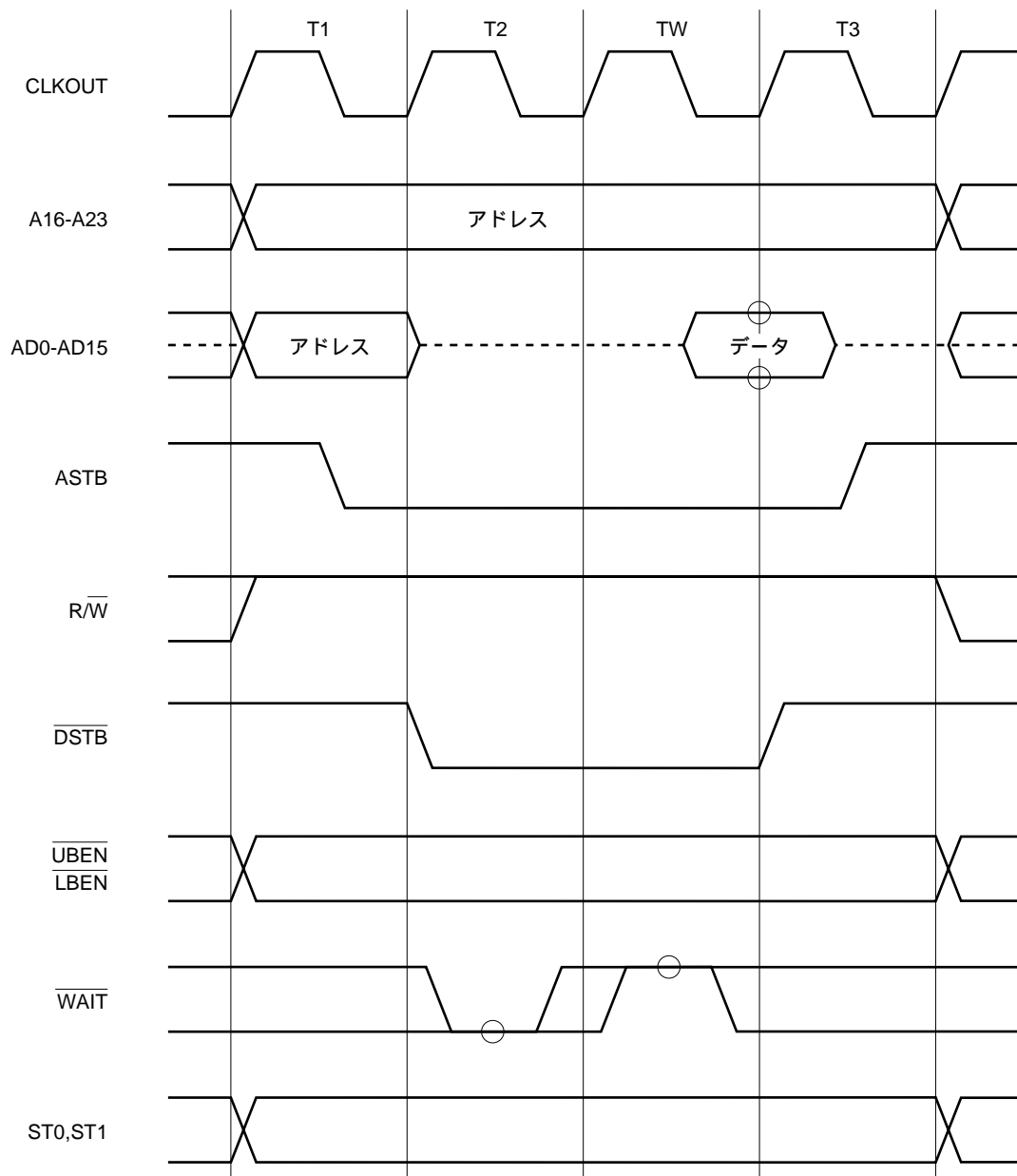
(1) メモリ・リード(0ウエイト)



備考1. 印はプログラマブル・ウエイトに0が設定されているときのサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

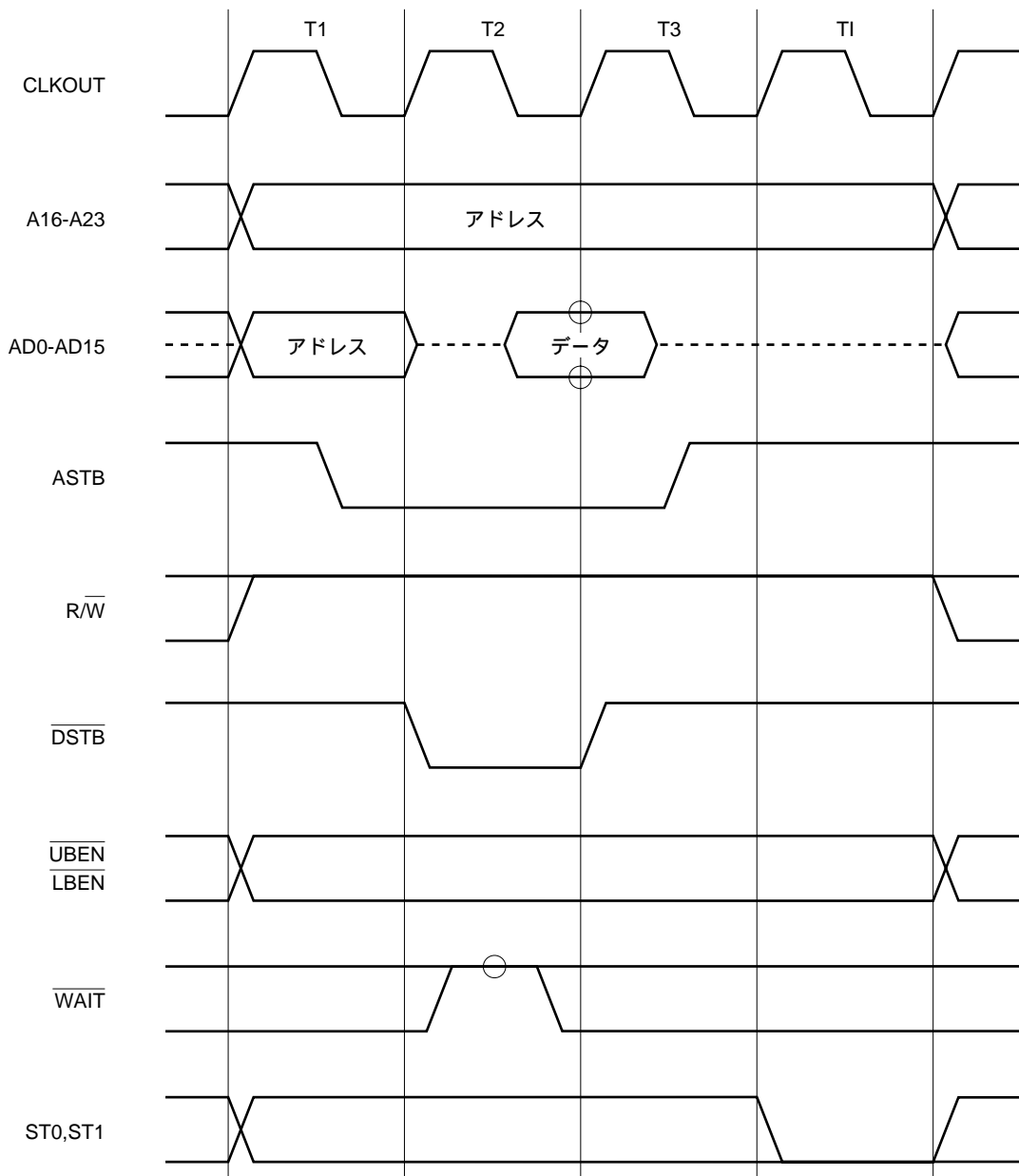
(2) メモリ・リード(1ウエイト)



備考1. 印はプログラマブル・ウエイトに0が設定されているときのサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

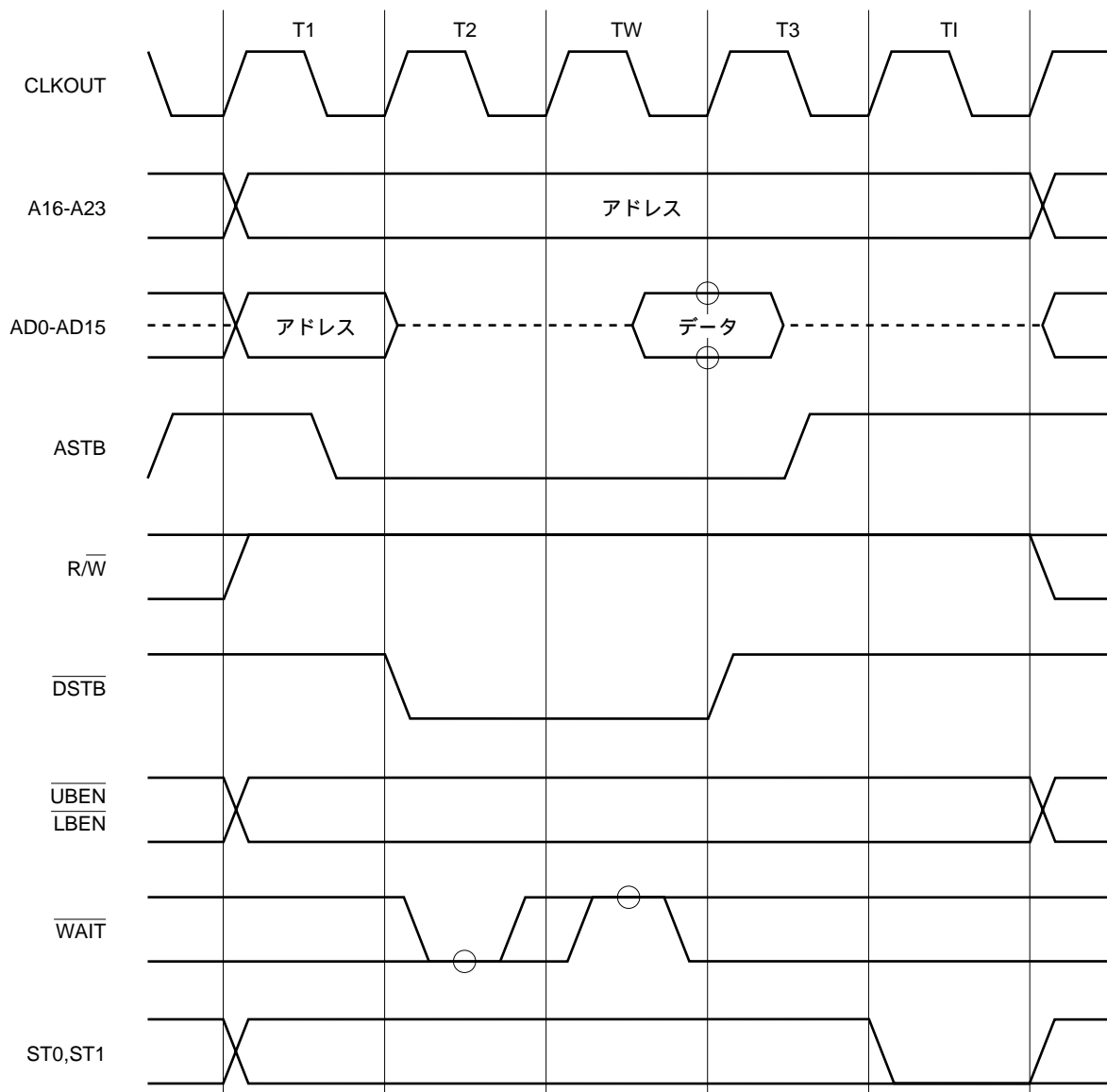
(3) メモリ・リード(0ウェイト, アイドル・ステート)



備考1 . 印はプログラマブル・ウェイトに0が設定されているときのサンプリング・タイミングです。

2 . 破線はハイ・インピーダンスを示します。

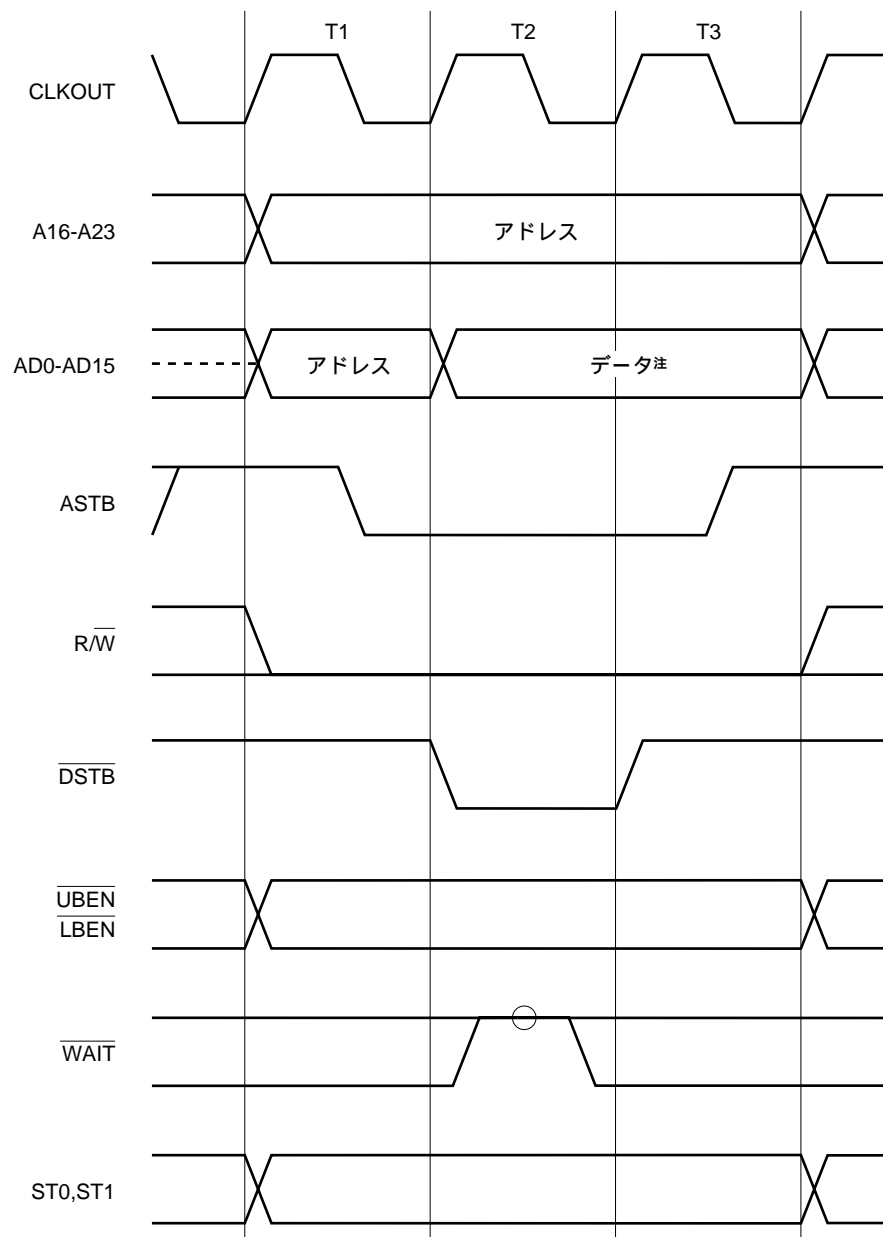
(4) メモリ・リード(1ウェイト, アイドル・ステート)



備考1. 印はプログラマブル・ウェイトに0が設定されているときのサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

(5) メモリ・ライト(0ウェイト)

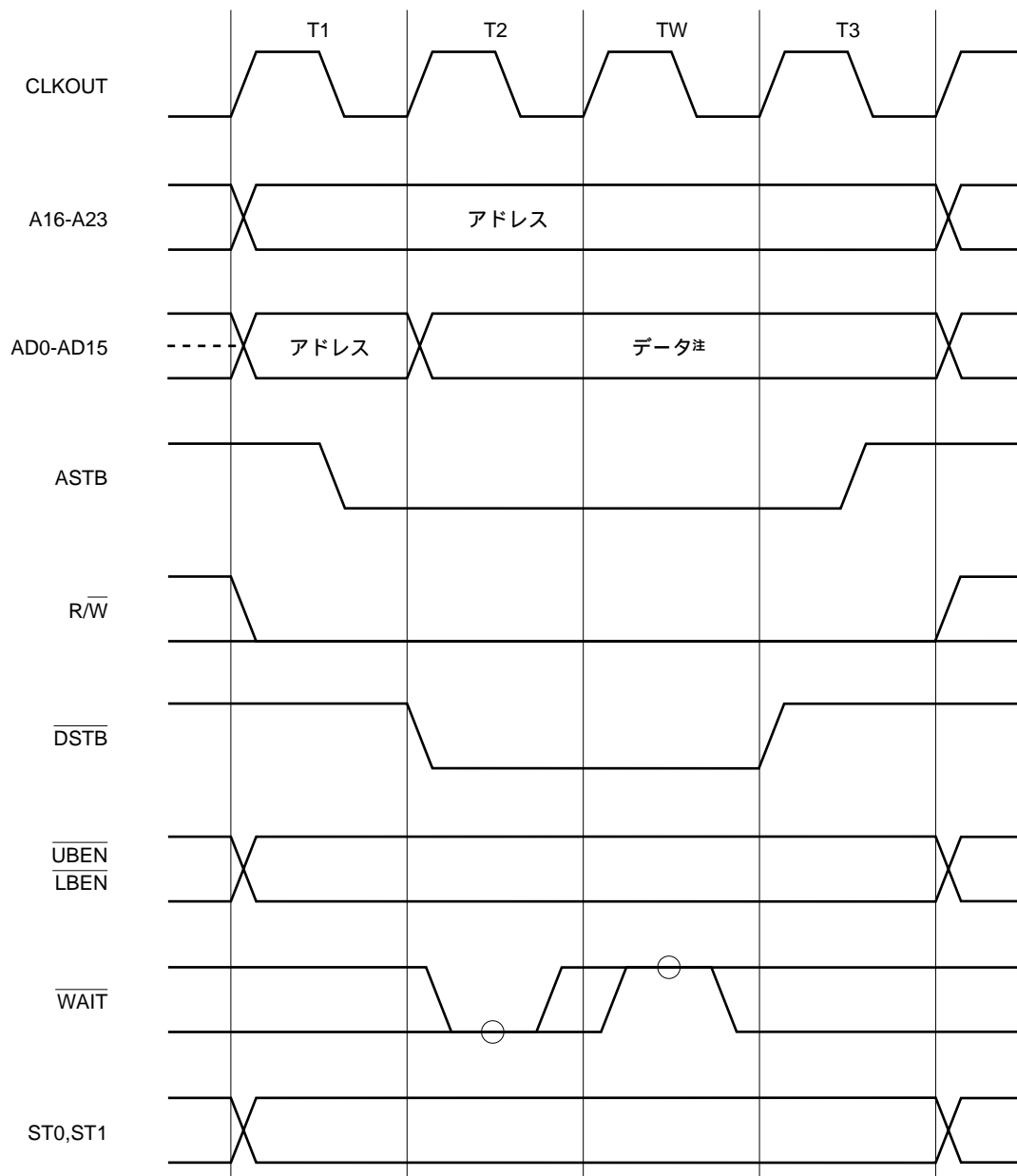


注 AD0-AD7は奇数アドレス・バイト・データにアクセスしたとき無効データを出力します。
AD8-AD15は偶数アドレス・バイト・データにアクセスしたとき無効データを出力します。

備考1. 印はプログラマブル・ウェイトに0が設定されているときのサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

(6) メモリ・ライト(1ウایت)

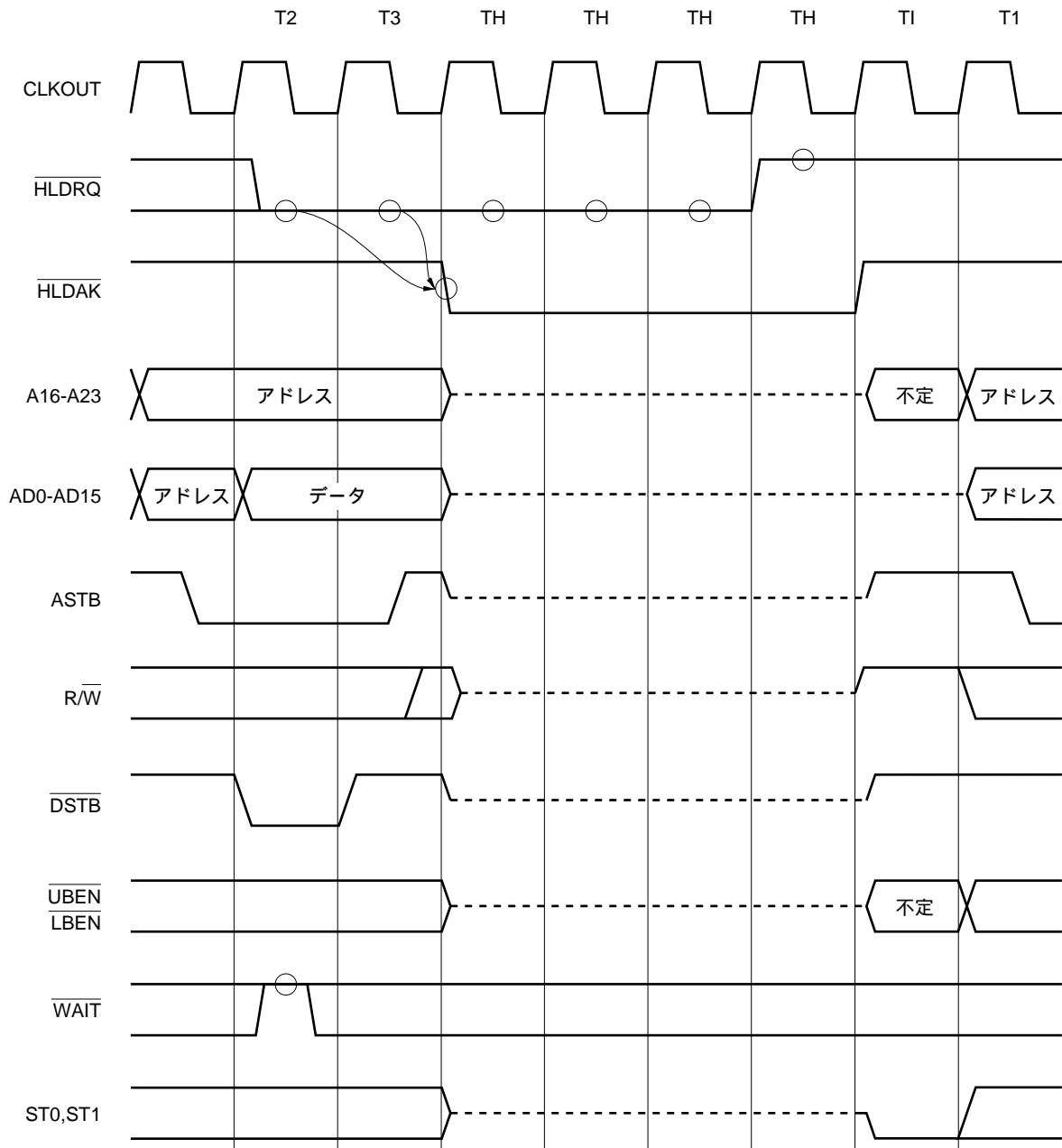


注 AD0-AD7は奇数アドレス・バイト・データにアクセスしたとき無効データを出力します。
AD8-AD15は偶数アドレス・バイト・データにアクセスしたとき無効データを出力します。

備考1. 印はプログラマブル・ウエイトに0が設定されているときのサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

(7) バス・ホールド・タイミング



- 備考 1 . 印はサンプリング・タイミングです。
- 2 . 破線はハイ・インピーダンスを示します。

注意 ライト・サイクル後にバス・ホールド状態に移った場合、 $\overline{\text{HLD AK}}$ 信号がハイ・レベルからロウ・レベルに変化する直前に、 $\overline{\text{R/W}}$ 端子から一瞬ハイ・レベルが出力されることがあります。

4.9 バスの優先順位

外部バス・サイクルには、バス・ホールド、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の4つがあります。優先順位はバス・ホールドが最も高く、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

なお、ワード・アクセスの下位ハーフワード・アクセスと上位ハーフワード・アクセスの間には、命令フェッチとバス・ホールドは挿入されません。

表4-1 バス優先順位

外部バス・サイクル	優先順位
バス・ホールド	1
オペランド・データ・アクセス	2
命令フェッチ（分岐）	3
命令フェッチ（連続）	4

4.10 境界動作条件

4.10.1 プログラム空間

- (1) 周辺I/O領域への分岐または内蔵RAM領域から周辺I/O領域への連続フェッチは行わないでください。分岐や連続フェッチを行った場合、NOP命令コードのフェッチを継続し、外部メモリからのフェッチなどは行いません。
- (2) 内蔵RAM領域の上限に分岐命令がある場合の、周辺I/O領域にまたがるプリフェッチ動作（無効フェッチ）は発生しません。

4.10.2 データ空間

ハーフワード（16ビット）/ワード（32ビット）長のデータ・アクセスは、それぞれハーフワード境界（アドレスの最下位ビットが“0”）/ワード境界（アドレスの下位2ビットが“0”）にアラインされたアドレスに対してのみ行います。

したがって、メモリまたはメモリ・ブロックの境界をまたぐようなアクセスは発生しません。

また外部メモリへのワード・アクセスでは、下位ハーフワード、上位ハーフワードの順でアクセスします。

詳細は、V850ファミリ ユーザーズ・マニュアル アーキテクチャ編を参照してください。

4.11 内蔵周辺I/Oインタフェース

内蔵周辺I/Oへのアクセスは外部バスに出力しません。したがって、命令フェッチ・アクセス時に、並行して内蔵周辺I/Oアクセスを行うことができます。

内蔵周辺I/Oアクセスは、基本的に3クロック・アクセスです。ただし、次のタイマ/カウンタ機能のレジスタへのアクセス時は、3または4クロック・アクセスになります。

周辺I/Oレジスタ	アクセス
TM1	リード
TM4	
CC10	リード/ライト
CC11	
CC12	
CC13	
CM4	ライト

〔メ モ〕

第5章 割り込み / 例外処理機能

V852は、割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し、合計17要因の割り込み要求を処理できる強力な割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。一般に、例外は割り込みより優先的に処理されます。

V852では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動（ソフトウェア例外）や、例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

5.1 特 徴

割り込み

- ・ノンマスクابل割り込み 1 要因
- ・マスクابل割り込み 16 要因
- ・8 レベルのプログラマブル優先順位制御
- ・優先順位に従った割り込み多重処理制御
- ・個々のマスクابل割り込み要求に対するマスク指定
- ・外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

例外

- ・ソフトウェア例外 32 要因
- ・例外トラップ 1 要因（不正命令コード例外）

これらの割り込み / 例外要因を表 5 - 1 に示します。

表5 - 1 割り込み一覧

種類	分類	割り込み / 例外要因				デフォルト・	例外	ハンドラ・	復帰PC
		名称	制御レジスタ	発生要因	発生ユニット	プライオリティ	コード	アドレス	
リセット	割り込み	RESET	-	リセット入力	-	-	0000H	00000000H	不定
ノンマスクابل	割り込み	NMI	-	NMI入力	-	-	0010H	00000010H	nextPC
ソフトウェア例外	例外	TRAP0 ^注	-	TRAP命令	-	-	004 ⁿ H	00000040H	nextPC
	例外	TRAP1 ^注	-	TRAP命令	-	-	005 ⁿ H	00000050H	nextPC
例外トラップ	例外	ILGOP	-	不正命令コード	-	-	0060H	00000060H	nextPC
マスクابل	割り込み	INTOV1	OVIC1	タイマ1オーバフロー	RPU	0	0080H	00000080H	nextPC
	割り込み	INTP10/INTCC10	P1IC0	INTP10端子/CC10一致	端子/RPU	1	0090H	00000090H	nextPC
	割り込み	INTP11/INTCC11	P1IC1	INTP11端子/CC11一致	端子/RPU	2	00A0H	000000A0H	nextPC
	割り込み	INTP12/INTCC12	P1IC2	INTP12端子/CC12一致	端子/RPU	3	00B0H	000000B0H	nextPC
	割り込み	INTP13/INTCC13	P1IC3	INTP13端子/CC13一致	端子/RPU	4	00C0H	000000C0H	nextPC
	割り込み	INTCM4	CMIC4	CM4一致	RPU	5	00D0H	000000D0H	nextPC
	割り込み	INTCSI0	CSIC0	CSI0送受信完了	SIO	6	00E0H	000000E0H	nextPC
	割り込み	INTSER0	SEIC0	UART0受信エラー	SIO	7	00F0H	000000F0H	nextPC
	割り込み	INTSR0	SRIC0	UART0受信完了	SIO	8	0100H	00000100H	nextPC
	割り込み	INTST0	STIC0	UART0送信完了	SIO	9	0110H	00000110H	nextPC
	割り込み	INTP00	P0IC0	INTP00端子	端子	10	0120H	00000120H	nextPC
	割り込み	INTP01	P0IC1	INTP01端子	端子	11	0130H	00000130H	nextPC
	割り込み	INTP02	P0IC2	INTP02端子	端子	12	0140H	00000140H	nextPC
	割り込み	INTP03	P0IC3	INTP03端子	端子	13	0150H	00000150H	nextPC
	割り込み	INTCSI1	CSIC1	CSI1送受信完了	SIO	14	0160H	00000160H	nextPC
割り込み	INTCSI2	CSIC2	CSI2送受信完了	SIO	15	0170H	00000170H	nextPC	

注 nは0-FHの値

備考1 . デフォルト・プライオリティ : 複数の同一優先順位レベルのマスクابل割り込み要求が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC : 割り込み / 例外処理起動時にEIPCまたはFEPCにセーブされるPC値のことです。ただし、DIVH (除算) 命令実行中に割り込みを受け付けたときセーブされる復帰PC値は、カレントの命令 (DIVH) のPC値となります。

2 . 不正命令コード例外時の不正命令の実行アドレスは、(復帰PC - 4) で求められます。

5.2 ノンマスクابل割り込み

ノンマスクابل割り込み要求は、割り込み禁止 (DI) 状態 (以下DI状態) であっても無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスクابل割り込み要求はNMI端子によって行います。NMI端子入力に外部割り込みモード・レジスタ0 (INTM0) のビット0 (ESN0) で指定した有効エッジが検出されたとき、割り込みは発生します。

ノンマスクابل割り込みのサービス・プログラムを実行している (PSW.NP=1) 場合は、ノンマスクابل割り込み要求は、保留されます。保留されたノンマスクابل割り込みは、現在実行中のノンマスクابل割り込みサービス・プログラムの終了後 (RETI命令実行後) または、LDSR命令によりPSW.NP=0にすると受け付けられます。ただし、ノンマスクابل割り込みサービス・プログラム実行中に、ノンマスクابل割り込み要求が2回以上発生しても、PSW.NP=0後に受け付けられるノンマスクابل割り込みは1回だけになります。

5.2.1 受け付け動作

NMI入力によりノンマスクابل割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをFEPCに退避します。
- (2) 現在のPSWをFEPSWへ退避します。
- (3) ECRの上位ハーフワード (FECC) に例外コード0010Hを書き込みます。
- (4) PSWのNP, IDビットをセットし, EPビットをクリアします。
- (5) PCにノンマスクابل割り込みに対するハンドラ・アドレス (00000010H) をセットし, 制御を移します。

ノンマスクابل割り込みの処理形態を図5 - 1 に示します。

図5 - 1 ノンマスクابل割り込みの処理形態

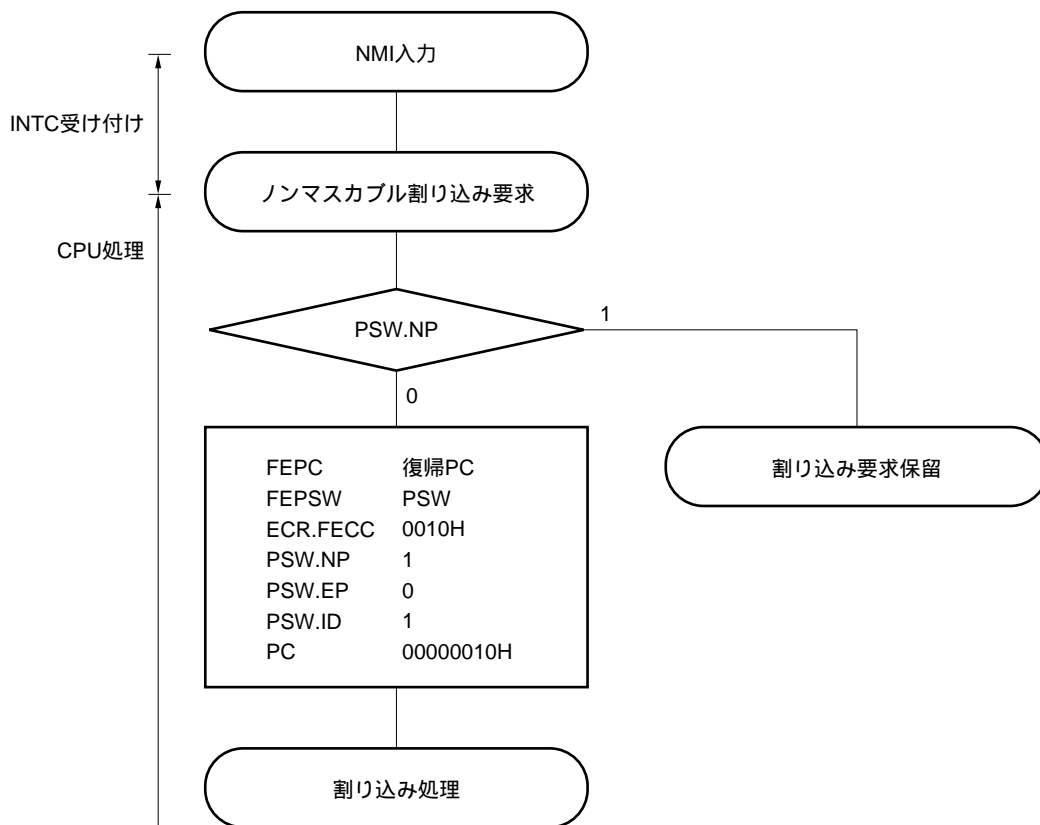
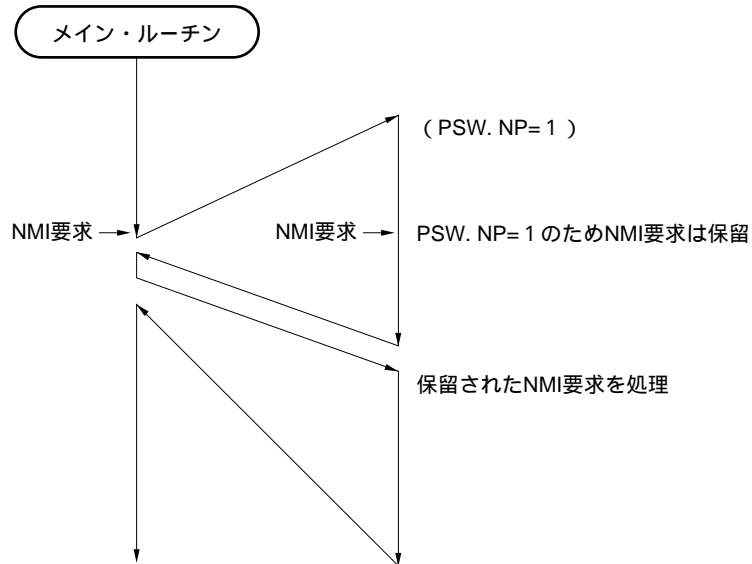
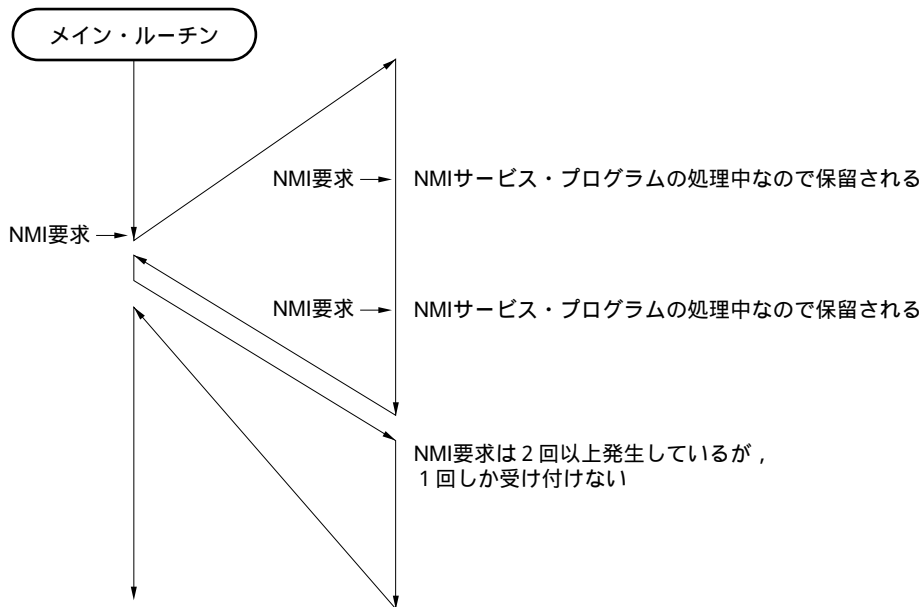


図5 - 2 ノンマスクブル割り込み要求の受け付け動作

(a) NMIサービス・プログラム実行中に新たなNMI要求が発生した場合



(b) NMIサービス・プログラム実行中に新たに2回のNMI要求が発生した場合



5.2.2 復帰動作

ノンマスクابل割り込み処理からの復帰は、RETI命令により行います。

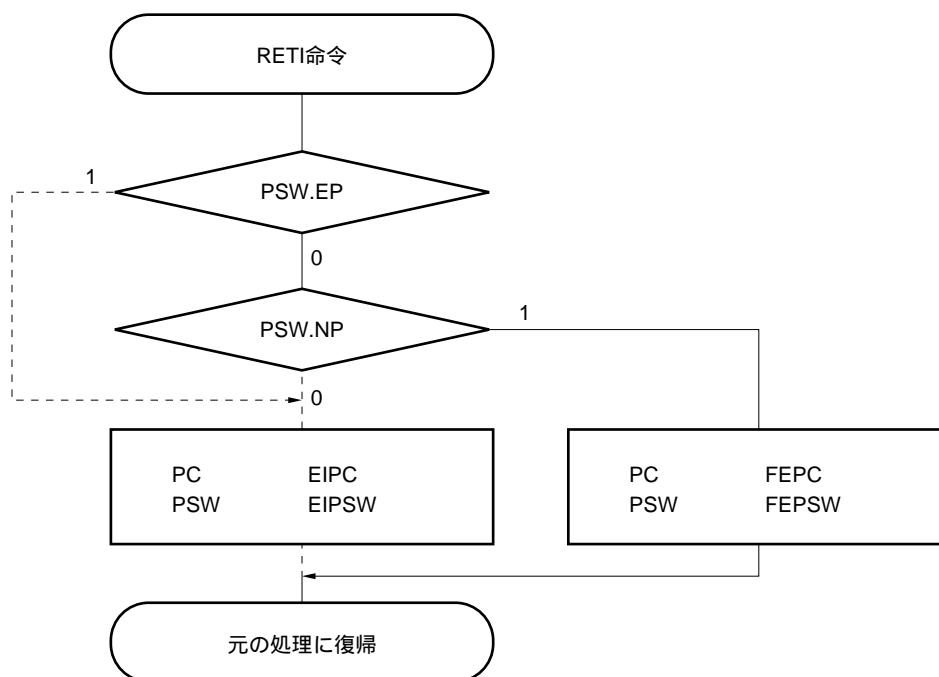
RETI命令の動作

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが0かつPSWのNPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を図5 - 3 に示します。

図5 - 3 RETI命令の処理形態



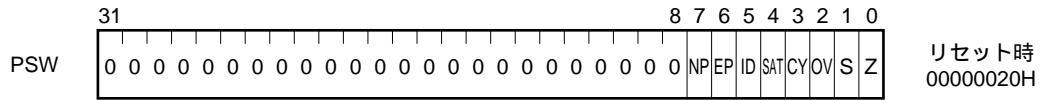
注意 ノンマスクابل割り込み処理中にLDSR命令によりPSW. EPビット、PSW.NPビットを変更した場合には、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前で、LDSR命令を使用してPSW. EP = 0, PSW. NP = 1に戻しておく必要があります。

備考 CPUは実線のフローで処理します。

5.2.3 NPフラグ

NPフラグは、ノンマスカブル割り込み (NMI) 処理中であることを示すステータス・フラグです。

NMI割り込みが受け付けられるとセットされ、すべての割り込み要求をマスクして多重割り込みを禁止します。



ビット位置	ビット名	意味
7	NP	NMI Pending NMI割り込み処理中であることを示します。 0 : NMI割り込み処理中でない。 1 : NMI割り込み処理中。

5.2.4 NMI端子のノイズ除去

NMI端子のノイズは、アナログ・ディレイによって除去します。

ディレイ時間は60-220 nsです。この時間未満で変化する信号入力は、内部で受け付けられません。

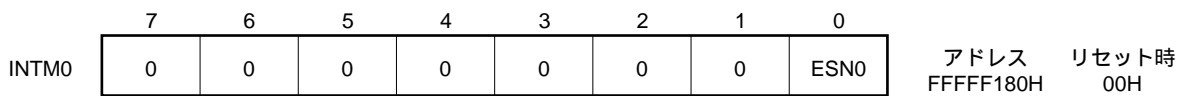
なお、NMI端子はソフトウェアSTOPモードの解除に使用します。

ソフトウェアSTOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

5.2.5 外部割り込みモード・レジスタ0 (INTM0)

INTM0は、ノンマスカブル割り込み (NMI) の有効エッジを指定するレジスタです。ESN0ビットによって、NMIの有効エッジを、立ち上がりエッジ、立ち下がりエッジのいずれかに指定できます。

8/1ビット単位でリード/ライト可能です。



ビット位置	ビット名	意味
0	ESN0	Edge Select NMI NMI端子の有効エッジを指定します。 0 : 立ち下がりエッジ 1 : 立ち上がりエッジ

5.3 マスカブル割り込み

マスカブル割り込み要求は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求で、V852には16種類の割り込み要因があります。

複数のマスカブル割り込み要求が同時に発生した場合は、デフォルト優先順位によりその優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

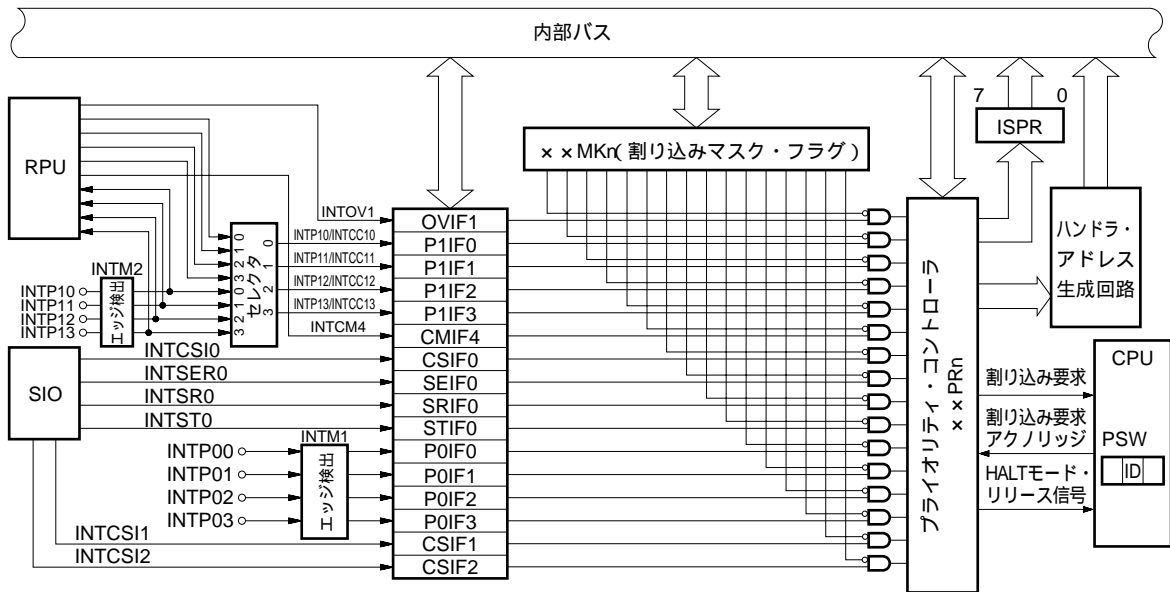
ただし、多重割り込みを行う場合、次の処理が必要です。

EI命令を実行する前にEIPC, EIPSWをメモリか汎用レジスタに退避

RETI命令を実行する前にDI命令を実行し、続いて で退避させた値をEIPC, EIPSWに復帰

5.3.1 ブロック図

図5 - 4 マスカブル割り込みブロック図



× × : 各周辺ユニット識別名称 (OV, P1, CM, CS, SE, SR, ST, P0)

n : 周辺ユニット番号 (0-4)

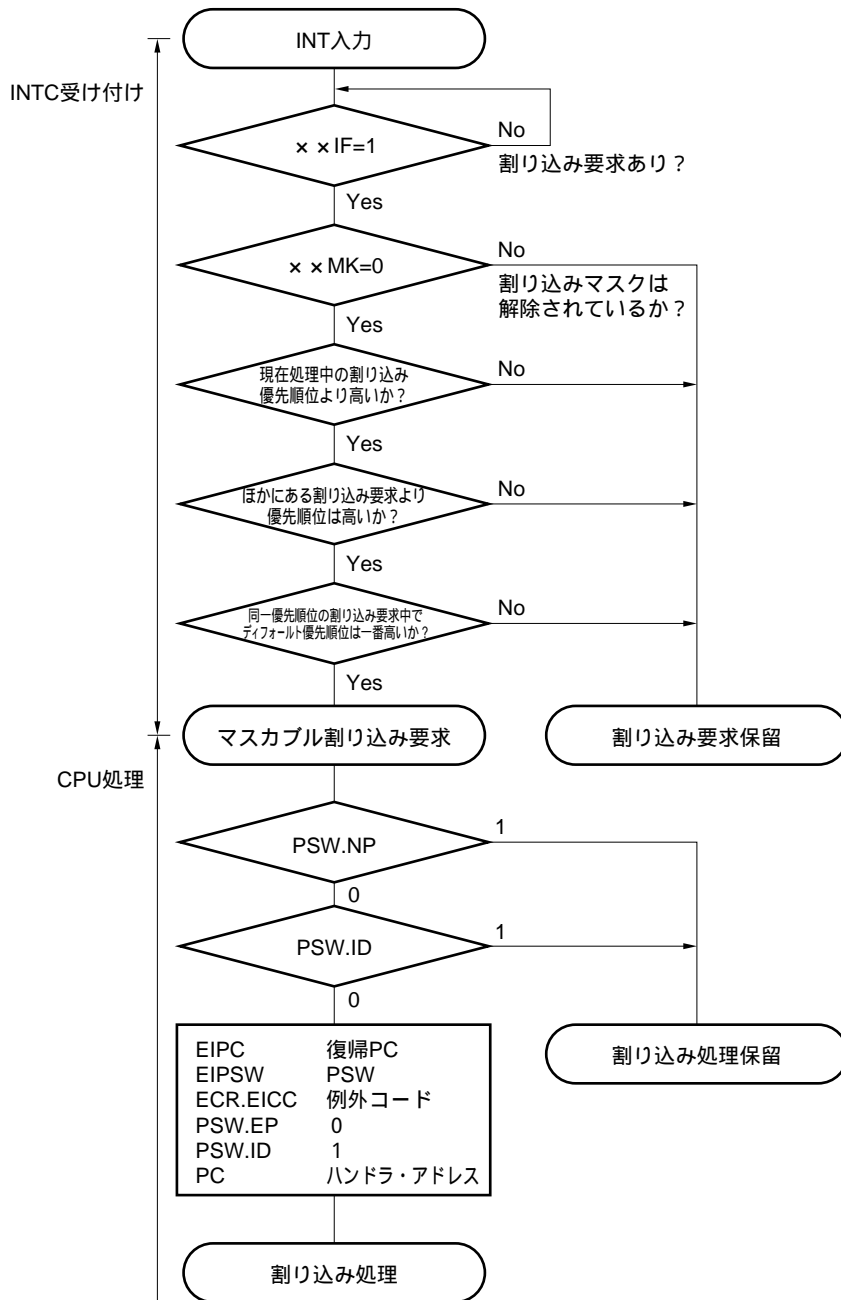
5.3.2 動作

INT入力によりマスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをEIPCに退避します。
- (2) 現在のPSWをEIPSWへ退避します。
- (3) ECRの下位ハーフワード (EICC) に例外コードを書き込みます。
- (4) PSWのIDビットをセットし、EPビットをクリアします。
- (5) PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

マスカブル割り込みの処理形態を図5 - 5 に示します。

図5-5 マスカブル割り込みの処理形態



割り込みコントローラでマスクされているINT入力と、ほかの割り込み処理中 (PSW. NP=1またはPSW. ID=1) に発生したINT入力は、割り込みコントローラの内部で保留されます。この場合マスクを解除するか、またはRETI命令、LDSR命令を使用して、PSW. NP=0かつPSW. ID=0にすると、保留していたINT入力により新たなマスカブル割り込み処理が開始されます。

5.3.3 復 帰

マスクブル割り込み処理からの復帰は、RETI命令により行います。

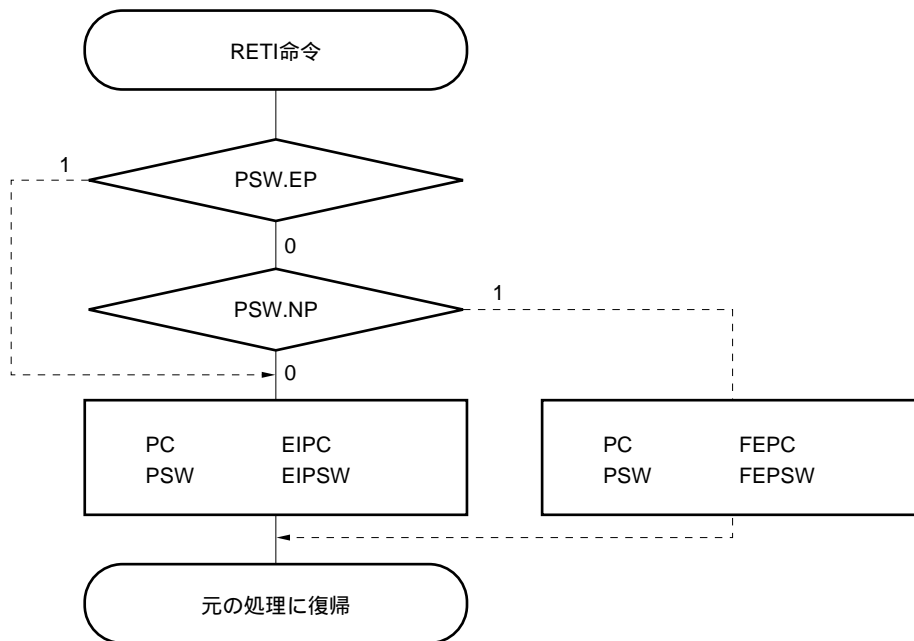
RETI命令の動作

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが0かつPSWのNPビットが0なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を図5 - 6 に示します。

図5 - 6 RETI命令の処理形態



注意 マスクブル割り込み処理中にLDSR命令によりPSW.EPビット、PSW.NPビットを変更した場合には、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前でLDSR命令を使用してPSW.EP = 0, PSW.NP = 0に戻しておく必要があります。

備考 CPUは実線のフローで処理します。

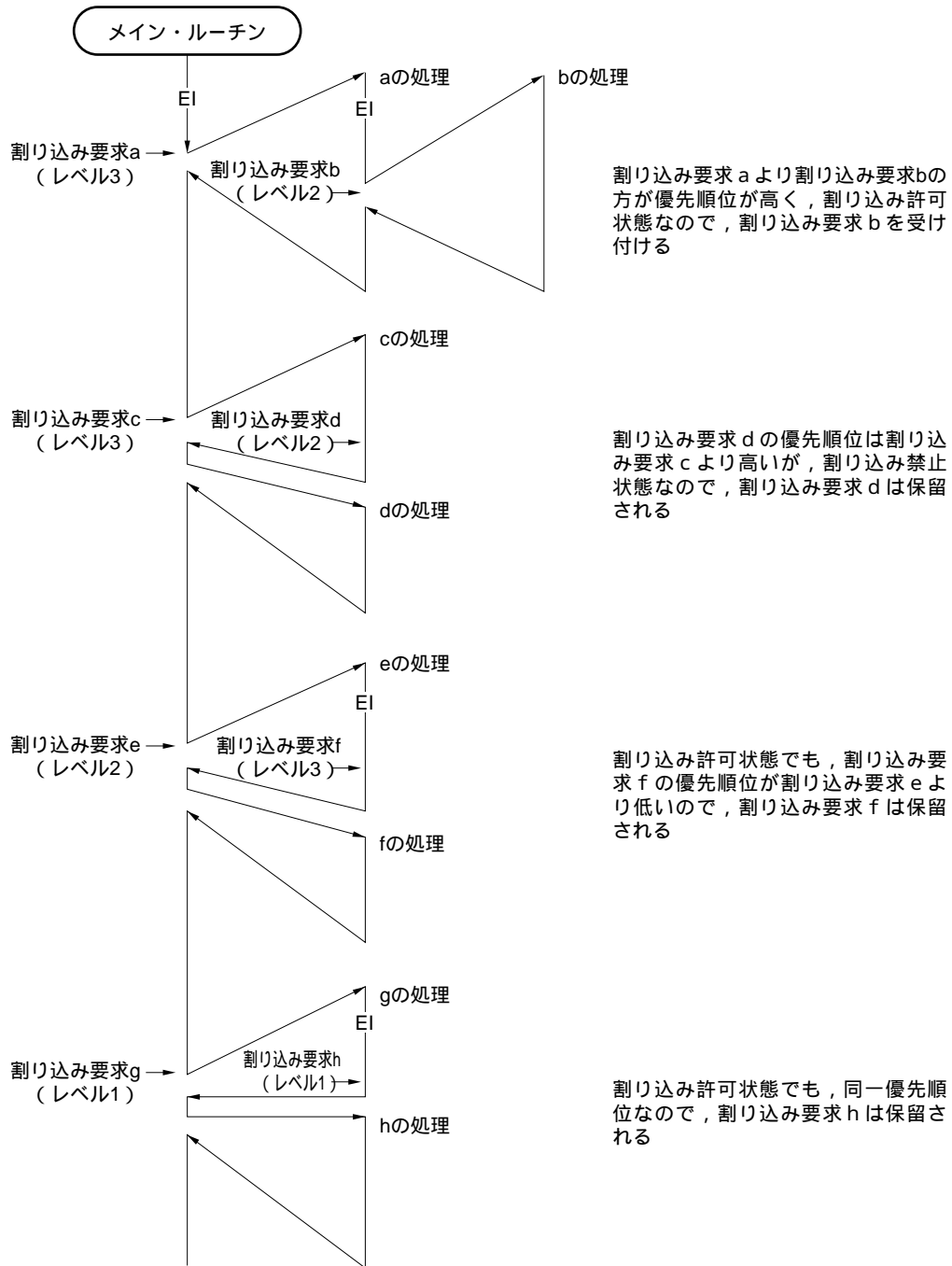
5.3.4 マスカブル割り込みの優先順位

V852は、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み優先順位指定ビット ($\times \times PRn$) によるプログラム優先順位制御があります。デフォルト優先順位による優先順位制御は、 $\times \times PRn$ による複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込み処理を行います (表 5 - 1 割り込み一覧参照)。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって 8 レベルに分けます。

なお、割り込みを受け付けるとPSWのIDフラグが自動的にセット (1) されますので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

図5-7 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (1/2)



備考1 . 図中のa-uは、割り込み要求を区別するためにつけた仮の名称です。

2 . 図中のデフォルト優先順位の高い / 低いは、2つの割り込み要求間の相対的な優先順位の高さを示します。

注意 多重割り込みを行うときはEIPC, EIPSWを退避する必要があります。

図5-7 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (2/2)

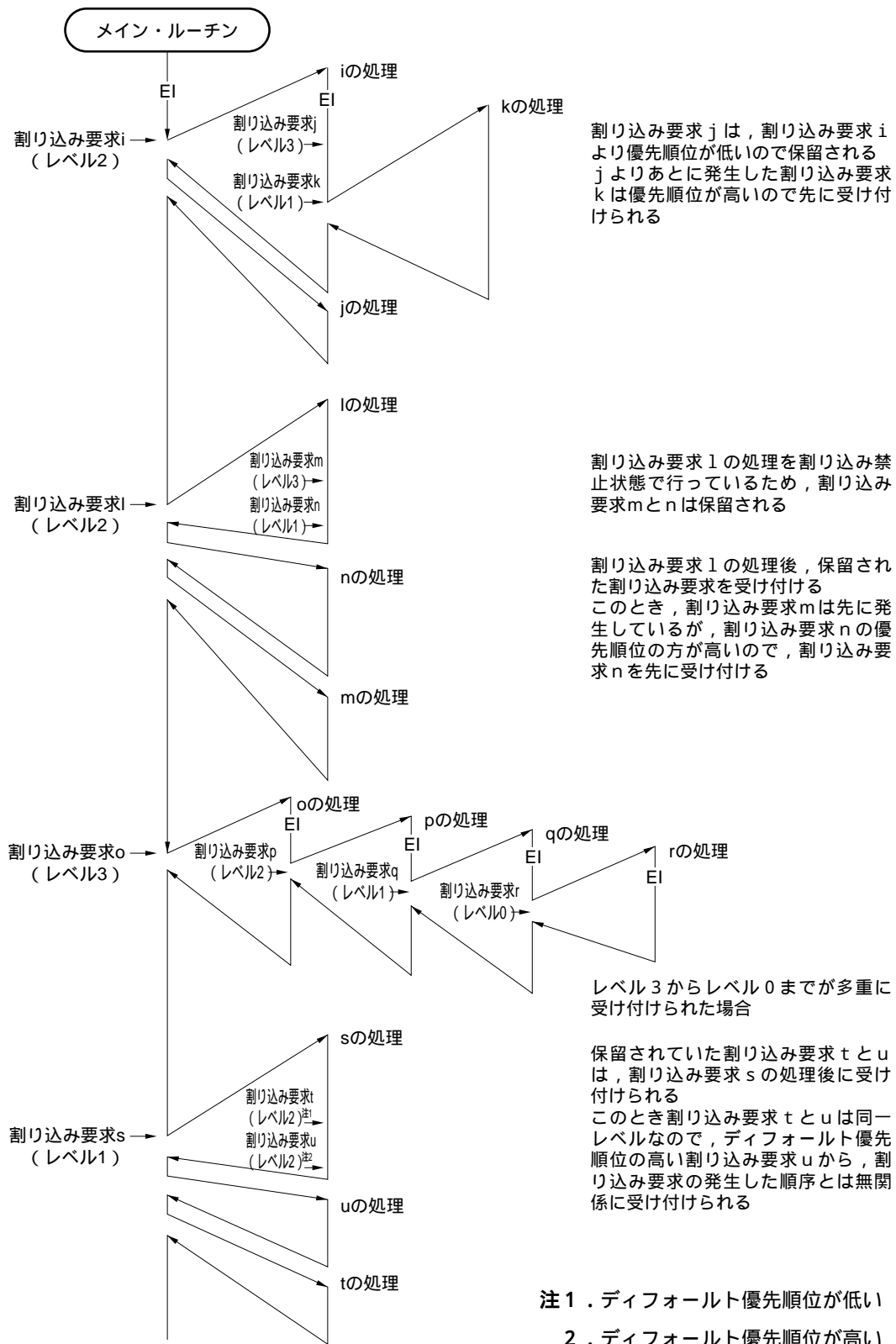
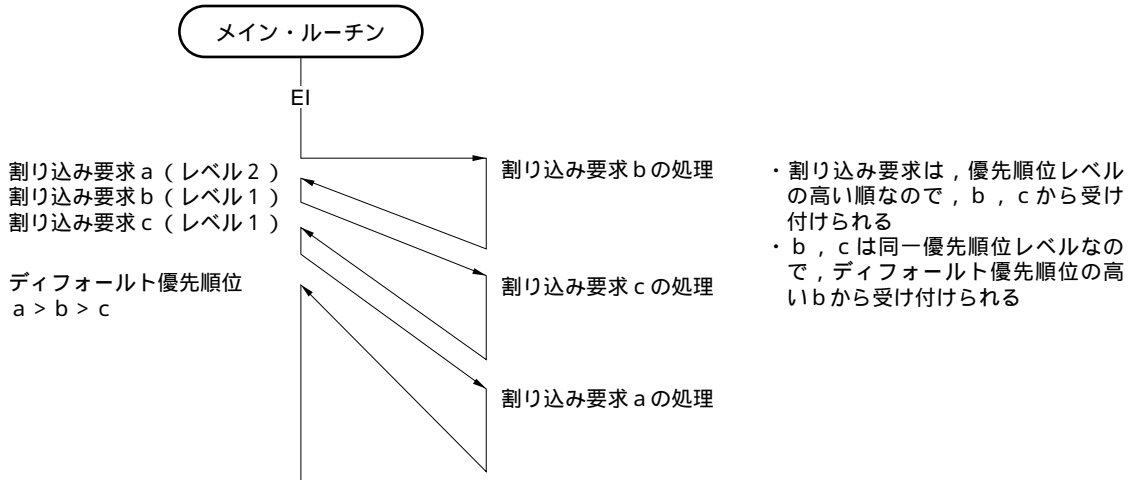


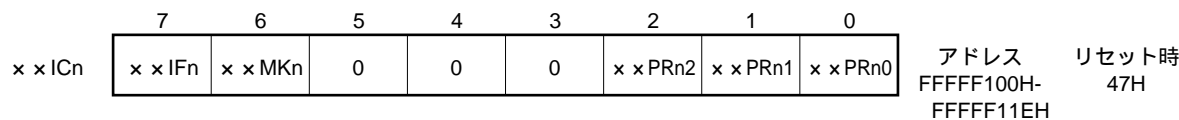
図5 - 8 同時発生した割り込み要求の処理例



5.3.5 割り込み制御レジスタ (xxICn)

割り込み要求 (マスカブル割り込み) ごとに割り当てられ、各割り込みに対する制御条件を設定します。

8/1ビット単位でリード/ライト可能です。



ビット位置	ビット名	意味																																				
7	xxIFn	Interrupt Request Flag 割り込み要求フラグです。 0 : 割り込み要求なし 1 : 割り込み要求あり xxIFnフラグは、割り込み要求が受け付けられるとハードウェアにより自動的にリセットされます。																																				
6	xxMKn	Mask Flag 割り込みマスク・フラグです。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止 (保留)																																				
2-0	xxPRn2-xxPRn0	Priority 各割り込みごとに8レベルの優先順位を指定します。 <table border="1" style="border-collapse: collapse; margin-top: 5px; width: 100%;"> <thead> <tr> <th style="width: 10%;">xxPRn2</th> <th style="width: 10%;">xxPRn1</th> <th style="width: 10%;">xxPRn0</th> <th style="width: 70%;">割り込み優先順位指定ビット</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>レベル0 (最高位) を指定</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>レベル1 を指定</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>レベル2 を指定</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>レベル3 を指定</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>レベル4 を指定</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>レベル5 を指定</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>レベル6 を指定</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>レベル7 (最低位) を指定</td> </tr> </tbody> </table>	xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット	0	0	0	レベル0 (最高位) を指定	0	0	1	レベル1 を指定	0	1	0	レベル2 を指定	0	1	1	レベル3 を指定	1	0	0	レベル4 を指定	1	0	1	レベル5 を指定	1	1	0	レベル6 を指定	1	1	1	レベル7 (最低位) を指定
xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット																																			
0	0	0	レベル0 (最高位) を指定																																			
0	0	1	レベル1 を指定																																			
0	1	0	レベル2 を指定																																			
0	1	1	レベル3 を指定																																			
1	0	0	レベル4 を指定																																			
1	0	1	レベル5 を指定																																			
1	1	0	レベル6 を指定																																			
1	1	1	レベル7 (最低位) を指定																																			

備考 xx : 各周辺ユニット識別名称 (OV, P1, CM, CS, SE, SR, ST, P0)

n : 周辺ユニット番号 (0-4)

各割り込み制御レジスタのアドレスとビットは次のようになります。

表5 - 2 割り込み制御レジスタのアドレスとビット

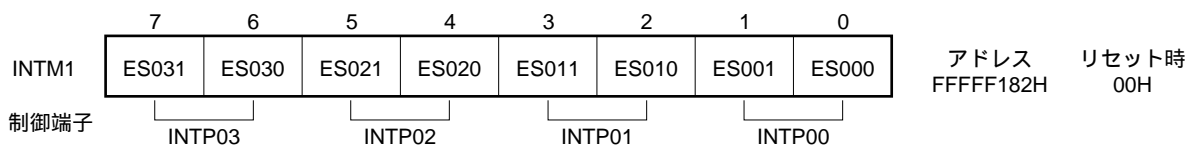
アドレス	レジスタ	ビット							
		7	6	5	4	3	2	1	0
FFFFFF100H	OVIC1	OVIF1	OVMK1	0	0	0	OVPR12	OVPR11	OVPR10
FFFFFF102H	P1IC0	P1IF0	P1MK0	0	0	0	P1PR02	P1PR01	P1PR00
FFFFFF104H	P1IC1	P1IF1	P1MK1	0	0	0	P1PR12	P1PR11	P1PR10
FFFFFF106H	P1IC2	P1IF2	P1MK2	0	0	0	P1PR22	P1PR21	P1PR20
FFFFFF108H	P1IC3	P1IF3	P1MK3	0	0	0	P1PR32	P1PR31	P1PR30
FFFFFF10AH	CMIC4	CMIF4	CMMK4	0	0	0	CMPR42	CMPR41	CMPR40
FFFFFF10CH	CSIC0	CSIF0	CSMK0	0	0	0	CSPR02	CSPR01	CSPR00
FFFFFF10EH	SEIC0	SEIF0	SEMK0	0	0	0	SEPR02	SEPR01	SEPR00
FFFFFF110H	SRIC0	SRIF0	SRMK0	0	0	0	SRPR02	SRPR01	SRPR00
FFFFFF112H	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFFF114H	P0IC0	P0IF0	P0MK0	0	0	0	P0PR02	P0PR01	P0PR00
FFFFFF116H	P0IC1	P0IF1	P0MK1	0	0	0	P0PR12	P0PR11	P0PR10
FFFFFF118H	P0IC2	P0IF2	P0MK2	0	0	0	P0PR22	P0PR21	P0PR20
FFFFFF11AH	P0IC3	P0IF3	P0MK3	0	0	0	P0PR32	P0PR31	P0PR30
FFFFFF11CH	CSIC1	CSIF1	CSMK1	0	0	0	CSPR12	CSPR11	CSPR10
FFFFFF11EH	CSIC2	CSIF2	CSMK2	0	0	0	CSPR22	CSPR21	CSPR20

5.3.6 外部割り込みモード・レジスタ1, 2 (INTM1, INTM2)

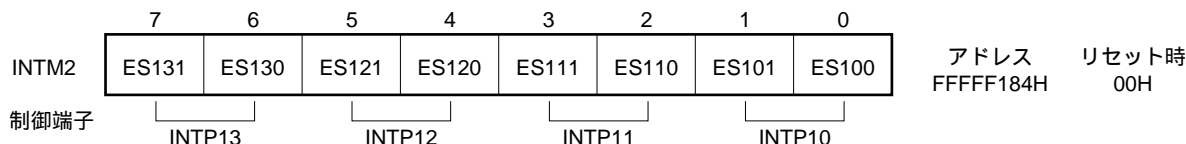
外部端子による外部割り込み要求INTP00-INTP03, INTP10-INTP13の有効エッジを指定するレジスタです。INTM1はINTP00-INTP03を, INTM2はINTP10-INTP13をそれぞれ制御します。

有効エッジは, 立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり, 立ち下がり両エッジのいずれかを, 端子ごと独立に指定できます。

各レジスタとも8/1ビット単位でリード/ライト可能です。



ビット位置	ビット名	意味															
7, 5, 3, 1	ES0n1	Edge Select INTP0n端子の有効エッジを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ES0n1</th> <th>ES0n0</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>RFU (予約)</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり, 立ち下がり両エッジ</td> </tr> </tbody> </table>	ES0n1	ES0n0	動作	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	RFU (予約)	1	1	立ち上がり, 立ち下がり両エッジ
ES0n1	ES0n0		動作														
0	0		立ち下がりエッジ														
0	1		立ち上がりエッジ														
1	0		RFU (予約)														
1	1	立ち上がり, 立ち下がり両エッジ															
6, 4, 2, 0	ES0n0 (n=3-0)																



ビット位置	ビット名	意味															
7, 5, 3, 1	ES1n1	Edge Select INTP1n端子の有効エッジを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ES1n1</th> <th>ES1n0</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>RFU (予約)</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり, 立ち下がり両エッジ</td> </tr> </tbody> </table>	ES1n1	ES1n0	動作	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	RFU (予約)	1	1	立ち上がり, 立ち下がり両エッジ
ES1n1	ES1n0		動作														
0	0		立ち下がりエッジ														
0	1		立ち上がりエッジ														
1	0		RFU (予約)														
1	1	立ち上がり, 立ち下がり両エッジ															
6, 4, 2, 0	ES1n0 (n=3-0)																

5.4 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付けが可能です。

TRAP命令フォーマット：TRAP vector (ただし、vectorは0-1FHの値)

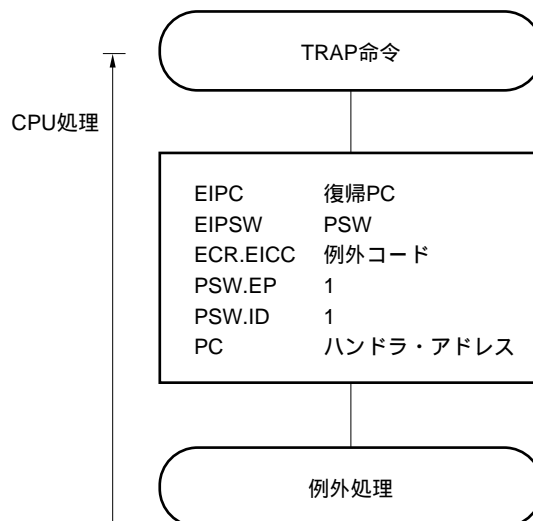
5.4.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをEIPCに退避します。
- (2) 現在のPSWをEIPSWへ退避します。
- (3) ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。
- (4) PSWのEP, IDビットをセットします。
- (5) PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を図5 - 9に示します。

図5 - 9 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが0-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

5.4.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

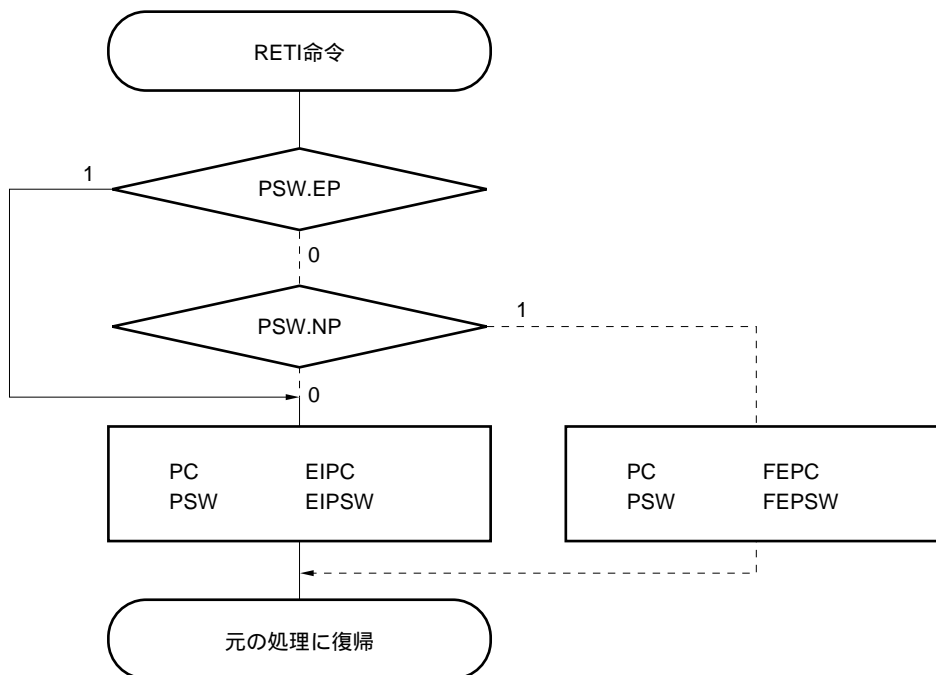
RETI命令の動作

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を図5 - 10に示します。

図5 - 10 RETI命令の処理形態

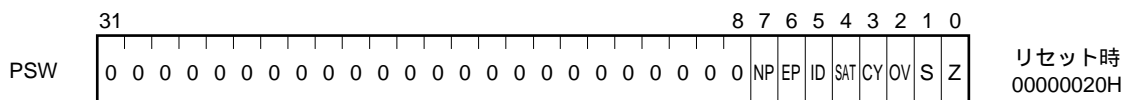


注意 ソフトウェア例外処理中にLDSR命令によりPSW.EPビット、PSW.NPビットを変更した場合には、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前でLDSR命令を使用してPSW.EP = 1に戻しておく必要があります。

備考 CPUは実線のフローで処理します。

5.4.3 EPフラグ

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。



ビット位置	ビット名	意味
6	EP	Exception Pending 例外処理中であることを示します。 0 : 例外処理中ではありません。 1 : 例外処理中です。

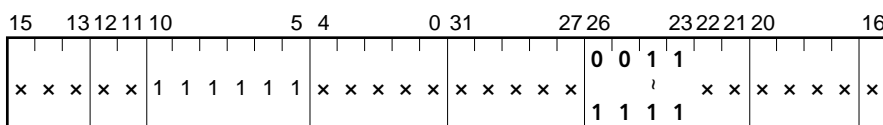
5.5 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V852では、不正命令コード例外 (ILGOP:ILLeGal OPcode trap) が例外トラップに当たります。

不正命令コード例外：次に実行しようとする命令のサブオペコードが不正命令コードの場合発生

5.5.1 不正命令コード

不正命令コードは、32ビット長命令形式であり、ビット5-10が111111Bであり、かつビット23-26が0011B-1111Bになる任意の命令コードとして定義します。



× : 任意

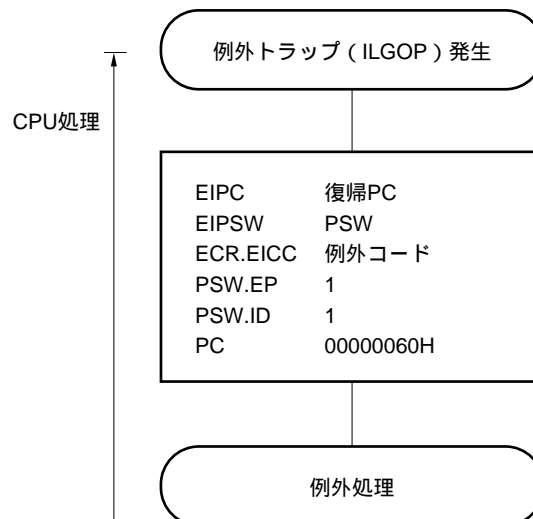
5.5.2 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをEIPCに退避します。
- (2) 現在のPSWをEIPSWへ退避します。
- (3) ECRの下位16ビット (EICC) に例外コード (0060H) を書き込みます。
- (4) PSWのEP, IDビットをセットします。
- (5) PCに例外トラップに対するハンドラ・アドレス (00000060H) をセットし、制御を移します。

例外トラップの処理形態を図5 - 11に示します。

図5 - 11 例外トラップの処理形態



5.5.3 復 帰

例外トラップからの復帰は、RETI命令により行います。

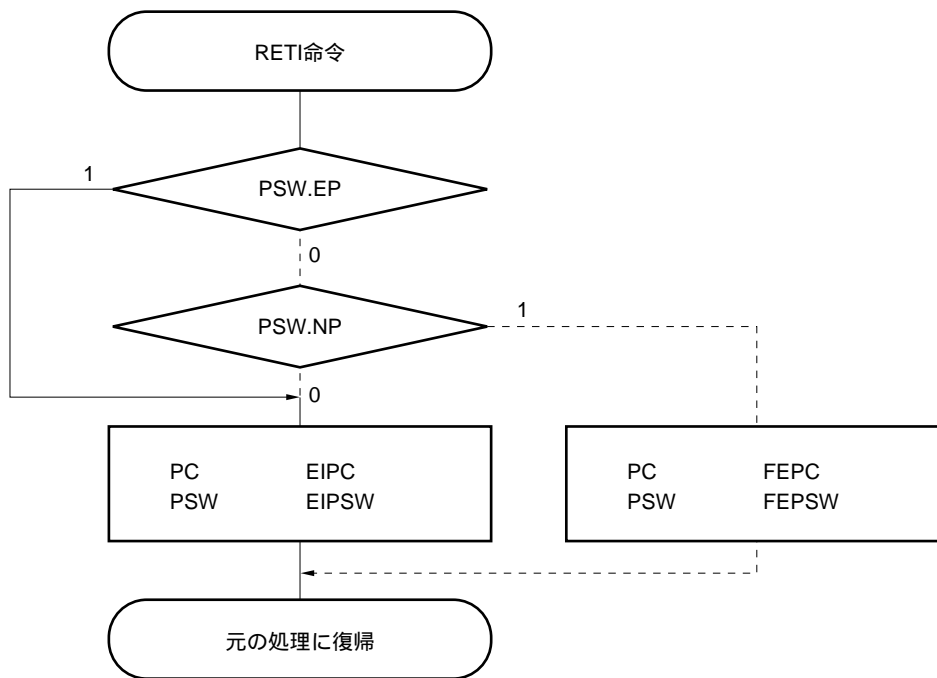
RETI命令の動作

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが 1 なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を図 5 - 12 に示します。

図 5 - 12 RETI命令の処理形態



注意 例外トラップ処理中にLDSR命令によりPSW. EPビット、PSW.NPビットを変更した場合には、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前でLDSR命令を使用してPSW. EP = 1に戻しておく必要があります。

備考 CPUは実線のフローで処理します。

5.6 優先順位制御

5.6.1 割り込みと例外の優先順位

	RESET	NMI	INT	TRAP	ILGOP
RESET		*	*	*	*
NMI	×				
INT	×				
TRAP	×				
ILGOP	×				

RESET : リセット

NMI : ノンマスクブル割り込み

INT : マスクブル割り込み

TRAP : ソフトウェア例外

ILGOP : 不正命令コード例外

* : 左部の項目は上部の項目を無視する

×

: 上部の項目は左部の項目より優先順位が高い

: 左部の項目は上部の項目より優先順位が高い

5.6.2 多重割り込み

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求を受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求であった場合は、その割り込み要求は保留されます。

割り込みの多重処理制御は、割り込み許可状態 (ID=0) のときに行われます。したがって、割り込み処理ルーチンでも割り込み許可状態 (ID=0) にする必要があります。

マスクブル割り込みまたは例外のサービス・プログラム中に、マスクブル割り込みの許可または例外を発生させる場合はEIPC, EIPSWを退避する必要があります。

次のような手順で行います。

(1) サービス・プログラム中にマスカブル割り込みを受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

```

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
・ EI命令 (割り込み受け付け許可)
...
...
...
...
・ DI命令 (割り込み受け付け禁止)
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

```

INTP入力などの割り込み受け付け

(2) サービス・プログラム中に例外を発生させる場合

マスカブル割り込みまたは例外のサービス・プログラム

```

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
...
・ TRAP命令
・ 不正命令コード
...
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

```

TRAP命令などの例外受け付け

不正命令コード例外受け付け

多重割り込み処理制御のための優先順位は、各マスカブル割り込み要求ごとに0-7まで（0が最優先）の8レベルが、ソフトウェアにより任意に設定可能です。優先順位レベルの設定は、マスカブル割り込み要求ごとに用意されている割り込み要求制御レジスタ（ $\times \times \text{ICn}$ ）の $\times \times \text{PRn0}$ - $\times \times \text{PRn2}$ ビットで行います。リセット時には、 $\times \times \text{MKn}$ ビットにより割り込み要求はマスクされ、 $\times \times \text{PRn0}$ - $\times \times \text{PRn2}$ ビットにより優先順位はレベル7に設定されます。

マスカブル割り込みの優先順位

(高) レベル0 > レベル1 > レベル2 > レベル3 > レベル4 > レベル5 > レベル6 > レベル7 (低)

多重処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

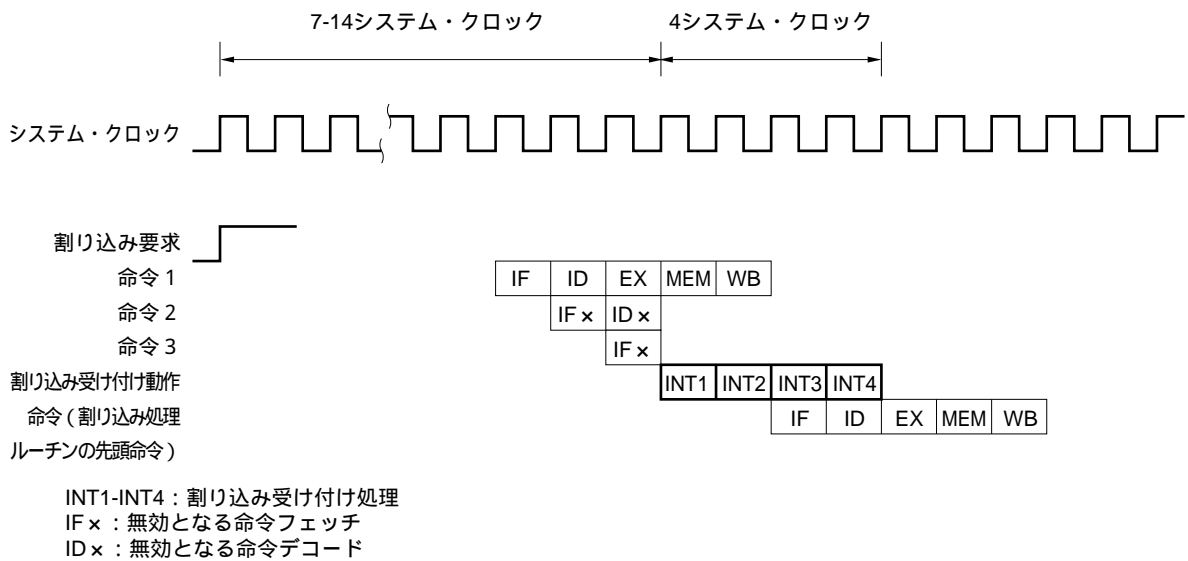
保留された割り込み要求は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

注意 ノンマスカブル割り込み処理ルーチン内 (RETI命令を実行するまでの期間) では、マスカブル割り込みを受け付けず、保留します。

5.7 応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間は次のとおりです。

図5-13 割り込み要求受け付け時のパイプライン動作 (概略)



割り込み応答時間 (システム・クロック)	条件		
	内部割り込み	外部割り込み	
最小	11	13	以下の場合を除きます。 ・ IDLE/STOPモード時 ・ 外部バス・アクセス時 ・ 割り込み要求非サンプル命令が連続しているとき ・ 割り込み制御レジスタへのアクセス時
最大	18	20	

5.8 割り込みが受け付けられない期間

割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません。

割り込み要求非サンプル命令

- ・ EI命令
- ・ DI命令
- ・ LDSR reg2, 0x5命令 (対PSW)

第6章 クロック発生機能

クロック・ジェネレータは、CPUをはじめとする内蔵の各ハードウェア・ユニットに供給される内部システム・クロック（ ）を発生，制御します。

6.1 特 徴

PLL (Phase locked loop) シンセサイザによる逡倍機能

クロック・ソース

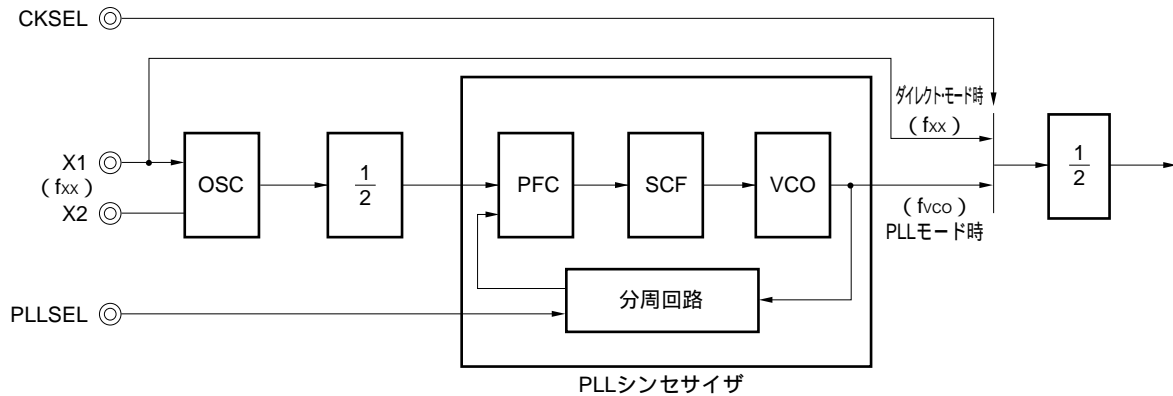
- ・発振子接続による発振 (PLLモード) : $f_{xx} = \frac{1}{4} \times$, $f_{xx} = \frac{1}{5} \times$
- ・外部クロック (PLLモード) : $f_{xx} = \frac{1}{4} \times$, $f_{xx} = \frac{1}{5} \times$
- ・外部クロック (ダイレクト・モード) : $f_{xx} = 2 \times$

パワー・セーブ・モード

- ・HALTモード
- ・IDLEモード
- ・ソフトウェアSTOPモード

クロック出力インヒビット機能

6.2 構成



f_{cco} : VCO発振周波数 ($= 2 \cdot f_{xx}$: PLLSEL = 0のとき) , ($= 10 \cdot f_{xx}$: PLLSEL = 1のとき)

: 内部システム・クロック周波数 ($= 1/2 \cdot f_{cco}$: PLLモード時)

" ($= 1/2 \cdot f_{xx}$: ダイレクト・モード時)

OSC : (Oscillator) : 発振回路 (PLLモードのみ対応)

PFC : (Phase Frequency Comparator) : 位相周波数比較器

SCF : (Switched Capacitor Filter) : スイッチド・キャパシタ・フィルタ

VCO : (Voltage Controlled Oscillator) : 電圧制御発振回路

分周回路 ($= 1/4$: PLLSEL = 0のとき) , ($= 1/20$: PLLSEL = 1のとき)

6.3 入力クロック選択

クロック・ジェネレータは、クロック発振回路とPLLシンセサイザから構成されており、たとえばPLLSEL = 1の場合には、5 MHzのクリスタル振動子またはセラミック発振子をX1, X2端子に接続することにより、25 MHzのシステム・クロックを生成することができます。

また、発振回路には外部クロックを直接入力することもできます。この場合、X1端子のみにクロック信号を入力し、X2端子はオープンにしてください。

クロック・ジェネレータは基本動作モードとして、PLLモードとダイレクト・モードの2種類を備えます。動作モードの選択は、CKSEL端子で行います。

CKSEL	動作モード
0	PLLモード
1	ダイレクト・モード

注意 CKSEL端子は入力レベルを固定して使用してください。

動作中に切り替えると誤動作する可能性があります。

6.3.1 ダイレクト・モード

ダイレクト・モードでは、システム・クロックの2倍の周波数の外部クロックを入力します。OSCおよびPLLシンセサイザが動作しないため、一層のパワー・セービングが可能です。おもに、V852を比較的低周波数で動作させる応用に使用します。ノイズによる影響を最小限にするためには、外部クロックの周波数 f_{xx} を32 MHz (システム・クロック = 16 MHz) 程度以下にて使用することを推奨します。

6.3.2 PLLモード

PLLモードでは、外部発振子を接続または外部クロックを入力することにより、これをPLLシンセサイザにより通倍し、システム・クロック () を生成します。

システム・クロック () は、外部発振子または外部クロックの周波数 (f_{xx}) に対して、1倍の周波数 ($1 \times f_{xx}$) か5倍の周波数 ($5 \times f_{xx}$) をPLLSEL端子により選択できます(2.3.1 (12) PLLSEL参照)。

PLLSEL	
0	f_{xx}
1	$5 \times f_{xx}$

注意 PLLSEL端子は動作中に入力レベルが変化しないように固定してください(動作中に入力レベルが切り替わると誤動作する可能性があります)。また、CKSEL端子によりダイレクト・モードに設定したとき(CKSEL = 1)、PLLSEL端子は意味を持ちません。未使用端子として処理してください。

PLLモードでは、外部発振子や外部クロック・ソースからのクロック供給が停止した場合に、VCOの自走周波数に基づく内部システム・クロック () は動作を継続します。この場合、の周波数は、約1 MHz (ターゲット) になります。

PLLモード時の使用クロック例

PLLSEL	システム・クロック周波数 () [MHz]	外部発振子 / 外部クロック周波数 (f_{xx}) [MHz]
0 (= f_{xx})	25.000	
	20.000	
	16.384	
1 (= $5 \times f_{xx}$)	25.000	5.0000
	20.000	4.0000
	16.384	3.2768

6.4 PLLロックアップ

電源投入直後、およびソフトウェアSTOPモード解除直後から所定の周波数でフェーズ・ロックし、安定するまでの時間がロックアップ時間（周波数安定時間）です。この安定するまでの状態をアンロック状態と呼び、安定した状態をロック状態と呼びます。

システム・ステータス・フラグには、PLLの周波数の安定状態を反映するUNLOCKフラグと、プロテクション・エラーの発生を示すPRERRフラグがあります（PRERRフラグの詳細は6.5.2（2）コマンド・レジスタ（PRCMD）参照）。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
SYS	0	0	0	PRERR	0	0	0	UNLOCK	アドレス FFFFFF078H	リセット時 0000000×B

ビット位置	ビット名	意味
0	UNLOCK	Unlock Status Flag 読み出し専用フラグで、PLLのアンロック状態を示します。 ロックアップ状態を維持しているかぎり“0”を保持し、システム・リセットによっても初期化されません。 0：ロック中であることを示します。 1：ロックしていない（アンロック）状態を示します。

備考 PRERRフラグの説明は6.5.2（2）コマンド・レジスタ（PRCMD）を参照してください。

クロック停止、電源カットなど、いったんアンロック状態を発生させる要因が働いた場合に、リアルタイム処理など、ソフトウェアの実行速度に依存する制御の処理においては、動作開始直後にソフトウェアで必ずUNLOCKフラグを判定し、クロックの安定するのを待ってから所望の処理を開始してください。

一方、オンチップの各種ハードウェアの設定やレジスタ・データ、メモリ・データの初期化等の静的処理はUNLOCKフラグがリセットされるのを待たずに実行可能です。

発振子を使用した場合の発振安定時間（発振子が発振し、入力波形が安定するまでの時間）とPLLロックアップ時間（周波数が安定するまでの時間）の関係は次のようになります。

発振安定時間 < PLLロックアップ時間

6.5 パワー・セーブ制御

6.5.1 概要

V852のパワー・セーブ機能には、以下のものがあります。

(1) HALTモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。通常動作モードとの組み合わせによる間欠動作により、システムのトータルの消費電力を低下させることができます。

専用命令（HALT命令）によりHALTモードに移行します。

(2) IDLEモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで、内部システム・クロックの供給を停止させることにより、システム全体を停止させるモードです。

IDLEモードからの解除時に、発振回路の発振安定時間などを確保する必要がないため、高速に通常動作に移行することができます。

ソフトウェアによるレジスタ設定によりIDLEモードに移行します。

IDLEモードは、クロックの安定時間と消費電流に関して、STOPとHALTモードの中間に位置するモードで、低消費電流モードを利用し、かつ解除時のクロックの安定時間を削除したい用途に利用します。

(3) ソフトウェアSTOPモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させ、システム全体が停止するモードです。リーク電流のみの超低消費電力状態になります。

(a) PLLモード時

ソフトウェアによるレジスタ設定により、ソフトウェアSTOPモードに移行します。発振回路が停止すると同時にPLLシンセサイザのクロック出力が停止します。ソフトウェアSTOPモードの解除後は、システム・クロックが安定するまでの間、発振回路の発振安定時間を確保する必要があります。また、プログラムによってはPLLのロックアップ時間が必要な場合があります。ただし、外部クロックによる動作時は、発振回路の発振安定時間を確保する必要はありません。

(b) ダイレクト・モード時

クロック停止をさせる場合は、X1端子をロウ・レベルで停止させてください。

また、ダイレクト・モード時は、ロックアップ時間を確保する必要はありません。

(4) クロック出力インヒビット

CLKOUT端子からのシステム・クロック出力を禁止します。

通常, HALT, IDLE, ソフトウェアSTOPの各モードにおけるクロック・ジェネレータの動作を表6-1に示します。

各モードを組み合わせることで, 用途により切り替えて使用することにより, 効果的な低消費電力システムを実現することができます。

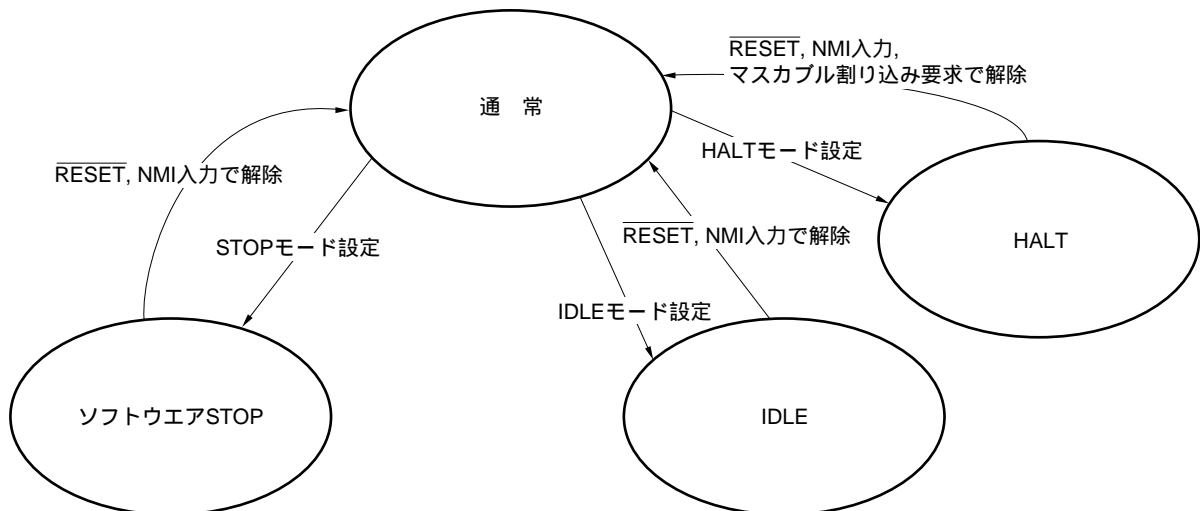
表6-1 パワー・セーブ制御によるクロック・ジェネレータの動作

クロック・ソース		スタンバイ・モード	発振回路 (OSC)	PLL シンセサイザ	周辺I/Oへの クロック供給	CPUへの クロック供給
PLLモード	発振子による発振	通常				
		HALT				×
		IDLE			×	×
		STOP	×	×	×	×
	外部クロック	通常	×			
		HALT	×			×
		IDLE	×		×	×
		STOP	×	×	×	×
ダイレクト・ モード	通常		×	×		
	HALT		×	×	×	
	IDLE		×	×	×	
	STOP		×	×	×	

○ : 動作

× : 停止

状態遷移図



6.5.2 制御レジスタ

(1) パワー・セーブ・コントロール・レジスタ (PSC)

パワー・セーブ・モードを制御する8ビット・レジスタで、プログラムの暴走などによって、誤って容易に書き換えられないように、特定の命令シーケンスの組み合わせによってのみ書き込み可能にしています。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PSC	DCLK1	DCLK0	TBCS	CESEL	0	IDLE	STP	0	アドレス FFFFFF070H	リセット時 00H

ビット位置	ビット名	意味															
7, 6	DCLKn (n=1, 0)	Disable CLKOUT CLKOUT端子の動作モードの指定を行います。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>DCLK1</th> <th>DCLK0</th> <th>モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>通常出力モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>RFU (予約)</td> </tr> <tr> <td>1</td> <td>0</td> <td>RFU (予約)</td> </tr> <tr> <td>1</td> <td>1</td> <td>クロック出カインヒビット・モード</td> </tr> </tbody> </table>	DCLK1	DCLK0	モード	0	0	通常出力モード	0	1	RFU (予約)	1	0	RFU (予約)	1	1	クロック出カインヒビット・モード
DCLK1	DCLK0	モード															
0	0	通常出力モード															
0	1	RFU (予約)															
1	0	RFU (予約)															
1	1	クロック出カインヒビット・モード															
5	TBCS	Time Base Count Select タイム・ベース・カウンタのクロックを選択します。 0 : $f_{xx}/2^8$ 1 : $f_{xx}/2^9$ 詳細は 6.6 発振安定時間の確保のタイム・ベース・カウンタ (TBC) に示します。															
4	CESEL	Crystal/External Select X1, X2端子の機能を指定します。 0 : X1, X2端子に発振子を接続 1 : X1端子に外部クロックを接続 CESEL=1の場合、発振回路のフィードバック・ループを切断し、STOPモード時の電流リークを防ぎます。また、STOPモード解除後のタイム・ベース・カウンタ (TBC) による発振安定時間のカウントを行いません。															
2	IDLE	IDLE Mode IDLEモードを指定します。 “ 1 ” を書き込むとIDLE状態に入ります。 IDLEモードが解除されると自動的にリセット “ 0 ” されます。															
1	STP	STOP Mode STOPモードを指定します。 “ 1 ” を書き込むとSTOP状態に入ります。 STOPモードが解除されると自動的にリセット “ 0 ” されます。															

PSCレジスタへのデータ設定は以下のシーケンスで行います。

- 割り込み禁止にする (PSWのNPビットを1に設定)。
- コマンド・レジスタ (PRCMD) に任意の8ビット・データを書き込む。
- PSCレジスタに設定データを書き込む (次の命令で行います)。
- ・ストア命令 (ST/SST命令)
- ・ビット操作命令 (SET1/CLR1/NOT1命令)
- 割り込み禁止を解除する (PSWのNPビットを0にもどす)。
- NOP命令を挿入する (2または5命令)。

なお, PSCレジスタを読み出す場合は, 特別なシーケンスは必要ありません。

注意1 . PRCMD発行 () と, その直後のPSCレジスタ書き込み () の間で割り込みを受け付けた場合, PSCレジスタへの書き込みは行われず, プロテクション・エラー (SYSレジスタのPRERRビットが“1”) が発生することがあります。このため, PSWのNPビットを1に設定し () , INT/NMIの受け付けを禁止してください。

PSCレジスタの設定にビット操作命令を使用した場合も同様です。

また, STOP/IDLEモード解除後のルーチンが正しく実行されるように, ダミー命令として, NOP命令を挿入 () してください。NPビットを0に戻す () 命令の実行により, PSWのIDビットの値が変化しないときは, NOP命令を2つ, 変化するときは5つ挿入してください。

以下に記述例を示します。

[記述例]

```
LDSR rX,5           ; NPビット=1
ST.B r0,PRCMD [r0] ; PRCMDへの書き込み
ST.B rD,PSC [r0]   ; PSCレジスタ設定
LDSR rY,5           ; NPビット=0
NOP                 ; ダミー命令 (2または5命令)
:
NOP
(next instruction) ; STOP/IDLEモード解除後の実行ルーチン
:
```

rX : PSWに書き込む値

rY : PSWに書き戻す値

rD : PSCにセットする値

なお, PSWの値を保存する場合, NPビットをセットする前のPSWの値をrYレジスタに転送しておく必要があります。

- 2 . ソフトウェアSTOPモード, IDLEモードに設定するためのPSCレジスタに対するストア命令後の命令 (割り込み禁止解除, NOP命令) は, 各パワー・セーブ・モードに入る前に実行されます。

(2) コマンド・レジスタ (PRCMD)

コマンド・レジスタ (PRCMD) は、プログラムの暴走などにより応用システムが不用意に停止しないように、PSCレジスタへの書き込み動作に対してプロテクションを施すために使用するものです。

PRCMDレジスタに対して書き込み動作をしたあとの最初のPSCレジスタへの書き込みのみ有効になります。

このように、定められたシーケンスによってのみレジスタ値が書き換えられますので、不正な書き込み動作は排除されます。

8ビット単位でライトのみ可能です (リード時は不定データの読み出しとなります)。

	7	6	5	4	3	2	1	0		
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0	アドレス FFFFFF170H	リセット時 不定

ビット位置	ビット名	意味
7-0	REG7-REG0	Registration Code レジストレーション・コード (任意の8ビット・データ)

不正なストア動作の発生は、システム・ステータス・レジスタ (SYS) のPRERRフラグによりチェックできます。

	7	6	5	4	3	2	1	0		
SYS	0	0	0	PRERR	0	0	0	UNLOCK	アドレス FFFFFF078H	リセット時 0000000×B

ビット位置	ビット名	意味
4	PRERR	Protection Error Flag PSCレジスタへの書き込みが正しいシーケンスで行われず、プロテクション・エラーが発生したことを示します。 0 : プロテクション・エラーは発生していないことを示します。 1 : プロテクション・エラーの発生を示します。

備考 UNLOCKフラグの説明は 6.4 PLLロックアップを参照してください。

PRERRフラグの動作条件

セット条件 : 最も最近の周辺I/Oに対するストア命令動作がPRCMDレジスタへの書き込み動作でない状態で、PSCレジスタへの書き込み動作を行ったとき
(PRERR = "1") PRCMDレジスタへの書き込み動作後の最初のストア命令動作が、PSCレジスタ以外の周辺I/Oレジスタに対するものであるとき

リセット条件 : SYSレジスタのPRERRフラグに "0" を書き込んだとき
(PRERR = "0") システム・リセット時

6.5.3 HALTモード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。CPUの空き時間にHALTモードに設定することにより、システムのトータルの消費電力を低下させることができます。

HALT命令によりHALTモードに移行します。

HALTモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAMの内容は保持されます。また、CPUの命令処理に依存しないオンチップの周辺機能は動作を継続します。HALTモード時の各ハードウェアの状態は表6-2のようになります。

表6-2 HALTモード時の動作状態

機能		動作状態	
クロック・ジェネレータ		動作	
内部システム・クロック		動作	
CPU		停止	
I/Oライン		保持	
周辺機能		動作	
内部データ		CPUのレジスタ、ステータス、データ、内蔵RAMの内容など、内部のデータはすべてHALTモード設定前の状態を保持	
外部拡張 モード時	AD0-AD15	ハイ・インピーダンス ^注	
	A16-A23	保持 ^注	HLD $\overline{\text{AK}}=0$ のときはハイ・インピーダンス
	$\overline{\text{LBEN}}, \overline{\text{UBEN}}$		
	$\overline{\text{R}}/\overline{\text{W}}$	ハイ・レ	ベル出力 ^注
	$\overline{\text{DSTB}}$		
	$\overline{\text{ASTB}}$		
	ST0, ST1		ロウ・レベル出力 ^注
$\overline{\text{HLD}}\overline{\text{AK}}$		動作	
CLKOUT		クロック出力 (クロック出力インヒビットでないとき)	

注 HALT命令実行後も、内部の命令プリフェッチ・キューがフルになるまでの間は、命令フェッチ動作を継続します。フルになったあと、表の状態で停止します。

(2) HALTモードの解除

HALTモードは、ノンマスカブル割り込み要求、マスクされていないマスカブル割り込み要求、および $\overline{\text{RESET}}$ 端子入力により解除されます。

(a) 割り込み要求による解除

NMI要求、マスクされていないマスカブル割り込み要求により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のように動作が異なります。

- (i) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとHALTモードの解除のみ行い、この割り込みは受け付けません。割り込み要求そのものは保持します。
- (ii) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求（NMI要求を含む）が発生すると、HALTモードの解除とともにこの割り込み要求を受け付けます。

割り込み要求によるHALTモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
NMI要求	ハンドラ・アドレスに分岐	
マスカブル割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

(b) $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。

6.5.4 IDLEモード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで、内部システム・クロックの供給が停止し、システム全体が停止するモードです。

本モードからの解除時に、発振回路の発振安定時間やPLLのロックアップ時間を確保する必要がないため、高速に通常動作に移行することができます。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSCレジスタ設定でIDLEモードに移行します。

IDLEモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAMの内容は保持されます。オンチップの周辺機能も動作を停止します。外部バス・ホールド要求（ $\overline{\text{HLDRQ}}$ ）は受け付けません。

IDLEモード時の各ハードウェアの状態は表6-3のようになります。

表6-3 IDLEモード時の動作状態

機能		動作状態
クロック・ジェネレータ		動作
内部システム・クロック		停止
CPU		停止
I/Oライン		保持
周辺機能		停止
内部データ		CPUのレジスタ、ステータス、データ、内蔵RAMの内容など、内部のデータはすべてIDLEモード設定前の状態を保持
外部拡張 モード時	AD0-AD15	ハイ・インピーダンス
	A16-A23	
	$\overline{\text{LBEN}}, \overline{\text{UBEN}}$	
	$\overline{\text{R}/\overline{\text{W}}}$	
	$\overline{\text{DSTB}}$	
	ASTB	
	ST0, ST1	
	$\overline{\text{HLDK}}$	
CLKOUT		ロウ・レベル出力

(2) IDLEモードの解除

IDLEモードは、NMI端子入力、 $\overline{\text{RESET}}$ 端子入力により解除されます。

(a) NMI端子入力による解除

IDLEモードの解除とともにNMI要求として受け付けます。

ただし、NMI処理ルーチン内でIDLEモードに設定した場合は、IDLEモードの解除のみ行い、この割り込みは受け付けません。割り込み要求そのものは保持します。

NMI端子入力によるIDLEモード解除時に起動される割り込み処理は、緊急時などの通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが一意のため）。したがって、プログラムで両者を区別する必要がある場合は、ソフトウェア・ステータスをあらかじめ用意しておき、ストア命令/ピット操作命令によるIDLEフラグ設定の前に、ステータスを設定しておく必要があります。NMIの割り込み処理でこのステータスをチェックすることで、通常のNMIとの区別が可能です。

(b) $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。

6.5.5 ソフトウェアSTOPモード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させるモードです。システム全体を停止させ、デバイスのリーク電流のみの超低消費電力を実現します。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSCレジスタ設定でソフトウェアSTOPモードに移行します。

PLLモード（CKSEL端子 = “0”）で、かつ発振子接続モード（CESELビット = “0”）の場合で、ソフトウェアSTOPモード解除後には、発振回路の発振安定時間を確保する必要があります。

ソフトウェアSTOPモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAMの内容は保持されます。オンチップの周辺機能も動作を停止します。

ソフトウェアSTOPモード時の各ハードウェアの状態は表6-4のようになります。

表6-4 ソフトウェアSTOPモード時の動作状態

機能		動作状態
クロック・ジェネレータ		停止
内部システム・クロック		停止
CPU		停止
I/Oライン ^注		保持
周辺機能 ^注		停止
内部データ		CPUのレジスタ、ステータス、データ、内蔵RAMの内容など、内部のデータはすべてソフトウェアSTOPモード設定前の状態を保持
外部拡張 モード時	AD0-AD15	ハイ・インピーダンス
	A16-A23	
	$\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$	
	$\text{R}/\overline{\text{W}}$	
	$\overline{\text{DSTB}}$	
	$\overline{\text{ASTB}}$	
	ST0, ST1	
	$\overline{\text{HLDK}}$	
CLKOUT		ロウ・レベル出力

注 V_{DD} の値が動作可能範囲内にある場合。

ただし、動作可能最低電圧より下がった場合でも、データ保持電圧 V_{DDDR} を維持すれば、内蔵RAMの内容だけは保持されます。

(2) ソフトウェアSTOPモードの解除

STOPモードは、NMI端子入力、 $\overline{\text{RESET}}$ 端子入力により解除されます。

また、発振回路が使用されている状態（PLLモード（CKSEL端子=“0”）かつ発振子接続モード（CESELビット=“0”））におけるSTOPモード解除時には、発振回路の発振安定時間を確保する必要があります。

PROMプログラミング・モードで使用する場合、11.6 外部クロック使用時のSTOPモード解除に関する注意事項を参照してください。

(a) NMI端子入力による解除

STOPモードの解除とともにNMI要求として受け付けます。

ただし、NMI処理ルーチン内でSTOPモードに設定した場合は、STOPモードの解除のみ行い、この割り込みは受け付けません。割り込み要求そのものは保持します。

注意 X1端子に外部クロックを入力して使用しているときは、NMI入力による解除を行う150 μs 以上前に、外部クロックを供給してください。

STOPモード解除時のNMI割り込み処理について

NMI端子入力によるSTOPモード解除時に起動される割り込み処理は、緊急時などの通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが一意のため）。したがって、プログラムで両者を区別する必要がある場合は、ソフトウェア・ステータスをあらかじめ用意しておき、ストア命令/ビット操作命令によるSTOPフラグ設定の前に、ステータス設定しておく必要があります。NMIの割り込み処理でこのステータスをチェックすることで、通常のNMIとの区別が可能です。

(b) $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。

注意 X1端子に外部クロックを入力して使用しているときは、クロックを供給し $\overline{\text{RESET}}$ 端子のロウ・レベル幅を150 μs 以上確保してください。

6.6 発振安定時間の確保

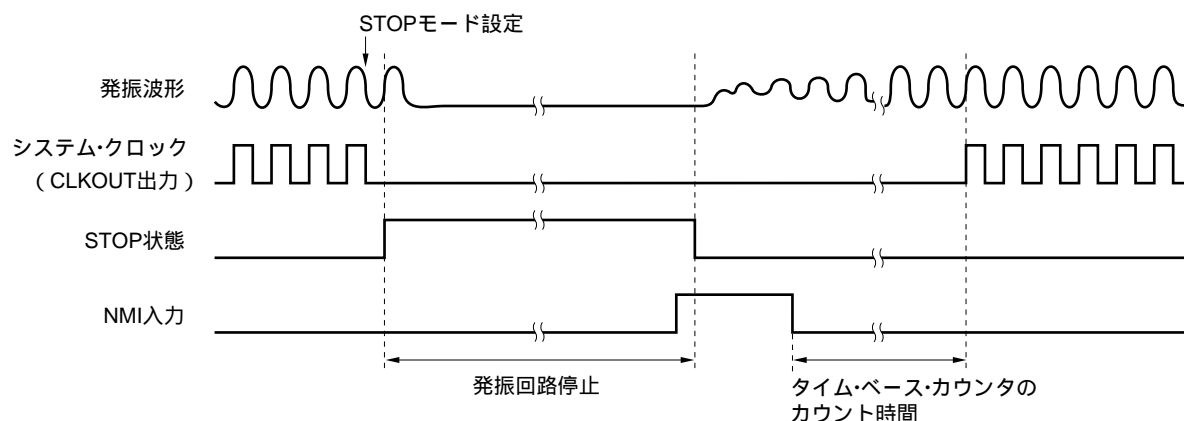
STOPモード解除後の停止状態の発振回路が安定するまでの時間確保指定には2通りの方法があります。

(1) 内蔵タイム・ベース・カウンタで時間を確保する場合 (NMI端子入力)

NMI端子に有効エッジが入力されると、STOPモードが解除されます。端子へのインアクティブ・エッジ入力からタイム・ベース・カウンタ (TBC) がカウントを開始し、そのカウント時間で、発振回路からのクロック出力が安定するまでの時間を確保します。

発振安定時間 = (NMI入力の有効エッジ検出後のアクティブ・レベル幅) + (TBCのカウント時間)

所定時間後、システム・クロック出力が開始し、NMI割り込みのハンドラ・アドレスに分岐します。



NMI端子は、通常はインアクティブ・レベル (たとえば有効エッジを“立ち下がり”と指定したときはハイ・レベル) にしておいてください。

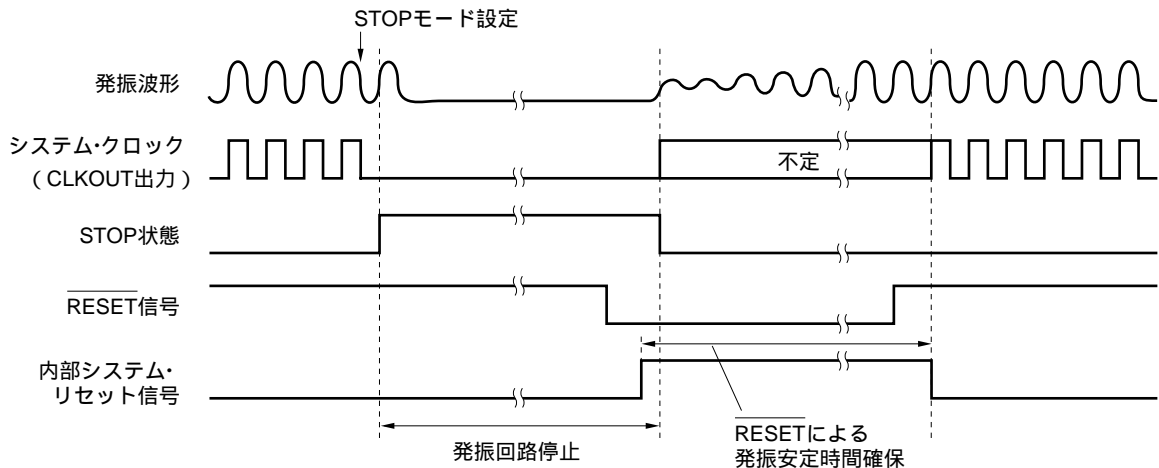
なお、NMIのエッジ入力タイミングからCPUで割り込みを受け付けるまでの期間にSTOPモードに設定する動作を行った場合、STOPモードはすぐに解除されます。ダイレクト・モード (CKSEL=“1”) または外部クロック接続モード (CESEL=1) の場合、ただちにプログラム実行を開始します。一方、PLLモード (CKSEL=“0”) かつ発振子接続モード (CESEL=0) の場合は、NMI端子のインアクティブ・エッジ入力からタイム・ベース・カウンタによる発振安定時間確保後、プログラム実行を開始します。

(2) 信号レベル幅で時間を確保する場合 ($\overline{\text{RESET}}$ 端子入力)

$\overline{\text{RESET}}$ 端子への立ち下がりエッジ入力により、STOPモードが解除されます。

端子へ入力される信号のロウ・レベル幅で、発振回路からのクロック出力が安定するまでの時間を確保します。

$\overline{\text{RESET}}$ 端子への立ち上がりエッジ入力後、内部システム・クロックの供給が開始し、システム・リセット時のハンドラ・アドレスに分岐します。



タイム・ベース・カウンタ (TBC)

タイム・ベース・カウンタ (TBC) は、ソフトウェアSTOPモード解除時の発振回路の発振安定時間の確保に使用します。

・外部クロック接続時 (PSCレジスタのCESELビット = 1)

TBCによる発振安定時間のカウントは行わず、STOPモード解除後すぐにプログラム実行を開始します。

・発振子接続時 (PSCレジスタのCESELビット = 0)

STOPモード解除後、TBCで発振安定時間をカウントし、カウント終了後にプログラム実行を開始します。

PSCレジスタのTBCSビットによりTBCのカウント・クロックを選択し、以下のカウント時間を設定可能です。

表6-5 カウント時間例

(a) 1 通倍時 (PLLSEL=0)

TBCS	カウント・クロック	カウント時間		
		$f_{xx} = 13.500 \text{ MHz}$	$f_{xx} = 20.000 \text{ MHz}$	$f_{xx} = 25.000 \text{ MHz}$
		= 13.500 MHz	= 20.000 MHz	= 25.000 MHz
0	$f_{xx}/2^8$	19.4 ms	13.1 ms	10.4 ms
1	$f_{xx}/2^9$	38.8 ms	26.2 ms	20.9 ms

f_{xx} : 外部発振子周波数

: 内部システム・クロック周波数

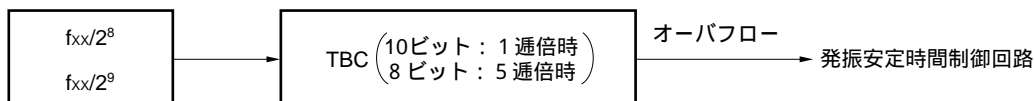
(b) 5 通倍時 (PLLSEL=1)

TBCS	カウント・クロック	カウント時間		
		$f_{xx} = 3.2768 \text{ MHz}$	$f_{xx} = 4.0000 \text{ MHz}$	$f_{xx} = 5.0000 \text{ MHz}$
		= 16.384 MHz	= 20.000 MHz	= 25.000 MHz
0	$f_{xx}/2^8$	20.0 ms	16.3 ms	13.1 ms
1	$f_{xx}/2^9$	40.0 ms	32.7 ms	26.2 ms

f_{xx} : 外部発振子周波数

: 内部システム・クロック周波数

図6-1 ブロック構成図



6.7 クロック出力制御

PSCレジスタのDCLK0, DCLK1ビットで、CLKOUT端子の動作モードを選択できます。

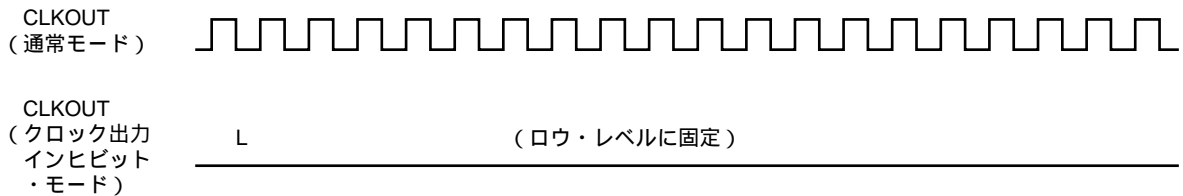
HALT/IDLE/STOPの各モードと組み合わせることにより、より効果的なパワー・セービングが可能です（書き込み方は6.5.2 制御レジスタを参照してください）。

クロック出力インヒビット・モード

CLKOUT端子からのクロック出力を禁止します。

シングルチップ・モードのシステム、あるいは外部拡張デバイスに対する命令フェッチやデータ・アクセスを非同期型アクセスで行うシステムに最適です。

CLKOUTの動作が完全に停止するため、一層の低消費電力化およびCLKOUT端子からの輻射ノイズ抑制が可能です。



〔メ モ〕

第7章 タイマ/カウンタ機能 (リアルタイム・パルス・ユニット)

7.1 特 徴

パルス間隔や周波数の計測および、プログラマブルなパルスの出力

- ・16ビット計測可能
- ・多彩な形状のパルスを発生可能(インターバル・パルス, ワンショット・パルス)

タイマ1

- ・16ビット・タイマ/イベント・カウンタ
- ・カウント・クロックのソース: 2種(システム・クロックの分周を選択, 外部パルス入力)
- ・キャプチャ/コンペア共用レジスタ: 4本
- ・カウント・クリア端子: TCLR1
- ・割り込みソース: 5種
- ・外部パルス出力: 2本

タイマ4

- ・16ビット・インターバル・タイマ
- ・カウント・クロックは, システム・クロックの分周から選択
- ・コンペア・レジスタ: 1本
- ・割り込みソース: 1種

7.2 基本構成

以下に基本構成を示します。

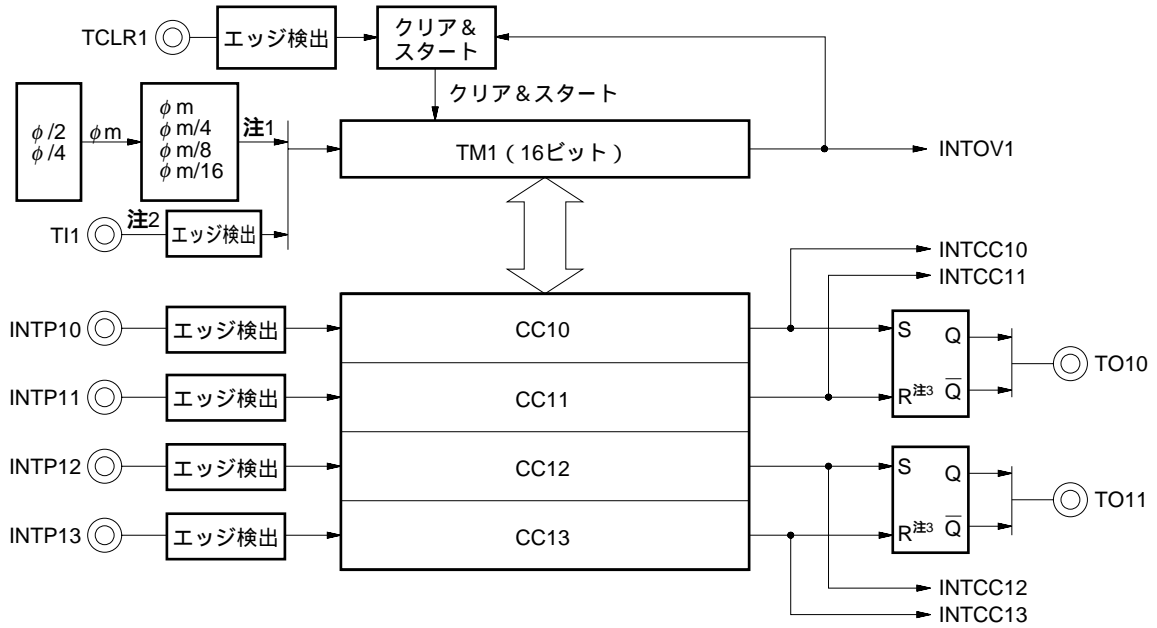
表7-1 RPUの構成一覧

タイマ	カウント・クロック	レジスタ	リード/ライト	発生する割り込み信号	キャプチャ・トリガ	タイマ出力SR	その他の機能
タイマ1	/2	TM1	リード	INTOV1	-	-	外部クリア
	/4	CC10	リード/ライト	INTCC10	INTP10	TO10 (S)	-
	/8	CC11	リード/ライト	INTCC11	INTP11	TO10 (R)	-
	/16	CC12	リード/ライト	INTCC12	INTP12	TO11 (S)	-
	/32 /64 TI1端子入力	CC13	リード/ライト	INTCC13	INTP13	TO11 (R)	-
タイマ4	/32	TM4	リード	-	-	-	-
	/64 /128 /256	CM4	リード/ライト	INTCM4	-	-	-

備考 : システム・クロック

SR : セット/リセット

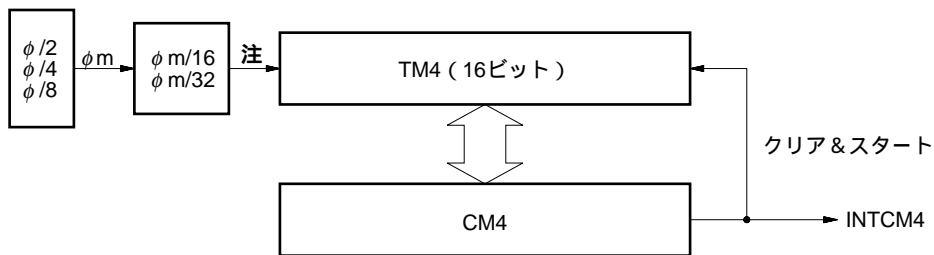
(1) タイマ1 (16ビット・タイマ/イベント・カウンタ)



- 注1．内部カウント・クロック
- 2．外部カウント・クロック
- 3．リセット優先

備考 はシステム・クロック

(2) タイマ4 (16ビット・インターバル・タイマ)



注 内部カウント・クロック

備考 はシステム・クロック

7.2.1 タイマ1

(1) タイマ1 (TM1)

TM1は、16ビットのフリー・ランニング・タイマまたは外部信号のイベント・カウンタとして機能します。おもに、周期計測、または周波数計測のほか、パルス出力としても利用できます。

TM1は16ビット単位でリードのみ可能です。



TM1は内部カウント・クロックまたは外部カウント・クロックのカウント・アップ動作を行います。TM1のスタートおよびストップは、タイマ・コントロール・レジスタ1 (TMC1) のCE1ビットで制御します。

カウント・クロックの内部/外部の選択はTMC1レジスタによって行います。

注意 タイマ動作中はカウント・クロックを変更できません。

(a) 外部カウント・クロックを選択

TM1は、イベント・カウンタとして動作します。タイマ・ユニット・モード・レジスタ1 (TUM1) によって有効エッジを指定し、TI1端子入力によりTM1をカウント・アップします。

(b) 内部カウント・クロックを選択

TM1は、フリー・ランニング・タイマとして動作します。カウント・クロックは、プリスケアラによる分周を、TMC1レジスタにより、 $/2$ 、 $/4$ 、 $/8$ 、 $/16$ 、 $/32$ 、 $/64$ から選択できます。

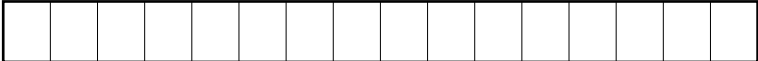
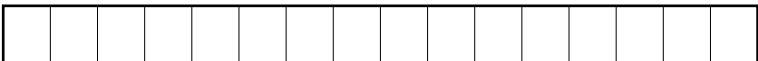
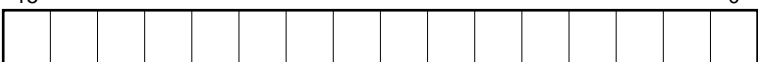
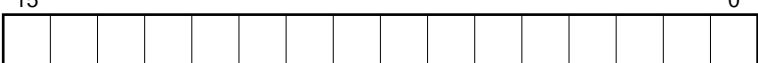
タイマがオーバーフローすると、オーバーフロー割り込みを発生することができます。また、TUM1レジスタの指定により、オーバーフロー後タイマを停止することができます。

また、外部入力TCLR1によってタイマをクリアし、スタートすることができます。このとき、プリスケアラも同時にクリアされるので、TCLR1入力より最初のタイマ・カウント・アップまでの時間は、プリスケアラの分周比に応じて一定となります。動作の設定はTUM1レジスタで行います。

$\overline{\text{RESET}}$ 入力により、TM1の全ビットはクリア(0)されます。

(2) キャプチャ/コンペア・レジスタ10-13 (CC10-CC13)

キャプチャ/コンペア・レジスタは、16ビット・レジスタでTM1に接続されています。タイマ・ユニット・モード・レジスタ1 (TUM1) の指定により、キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。16ビット単位でリード/ライト可能です。

CC10	15 0		アドレス FFFFFF252H	リセット時 不定
CC11	15 0		アドレス FFFFFF254H	リセット時 不定
CC12	15 0		アドレス FFFFFF256H	リセット時 不定
CC13	15 0		アドレス FFFFFF258H	リセット時 不定

(a) キャプチャ・レジスタに設定

キャプチャ・レジスタに設定した場合は、対応する外部割り込みINTPr (n=10-13) の有効エッジをキャプチャ・トリガとして検出します。タイマ1はキャプチャ・トリガに同期して、カウント値をラッチします (キャプチャ動作)。キャプチャ動作は、カウント・クロックとは非同期に行われます。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

キャプチャ・レジスタへのキャプチャ (ラッチ) ・タイミングと、命令によるレジスタへの書き込み動作が競合した場合は、後者が優先され、キャプチャ動作は無視されます。

また、外部割り込みの有効エッジ指定 (立ち上がり, 立ち下がり, 両エッジ) は、外部割り込みモード・レジスタ (INTM2) により選択することができます。

キャプチャ・レジスタに指定したときは、INTPnの有効エッジ検出で割り込みを発生します。このとき、コンペア・レジスタの一致信号であるINTCCr (n=10-13) によって割り込みを発生させることはできません。

(b) コンペア・レジスタに設定

コンペア・レジスタに設定した場合は、タイマのカウント・クロックごとにタイマとレジスタ値の比較動作を行い、一致による割り込みを発生します。

コンペア・レジスタはセット/リセット出力機能を備えています。一致信号発生に同期して、対応するタイマ出力をセットまたはリセットします。

割り込みソースは選択したレジスタの機能で異なります。

コンペア・レジスタに指定した場合、TUM1レジスタの指定により、一致信号であるINTCCnか、または、INTPnの有効エッジ検出のいずれかを選択して割り込み信号とすることができます。

なお、INTPnを選択した場合は、外部割り込み (INTPn) の受け付けと、コンペア・レジスタのセット/リセット出力機能によるタイマ出力を並行して行えます。

7.2.2 タイマ4

(1) タイマ4 (TM4)

TM4は、16ビット・タイマです。おもに、ソフトウェアのためのインターバル・タイマとして利用できます。

TM4は、16ビット単位でリードのみ可能です。



TM4のスタートおよびストップは、タイマ・コントロール・レジスタ4 (TMC4) のCE4ビットによって制御します。

カウント・クロックは、プリスケアラによる分周を、TMC4レジスタにより /32, /64, /128, /256から選択できます。

RESET入力により、TM4の全ビットはクリア (0) されます。

注意1．コンペア一致が発生したあと、タイマは次のカウント・クロックでクリアされるため、分周比が大きいときは、一致割り込み発生直後にタイマの値を読み出しても、タイマの値が0でない場合があります。

2．タイマ動作中はカウント・クロックを変更できません。

(2) コンペア・レジスタ4 (CM4)

CM4は16ビット・レジスタであり、TM4に接続されています。16ビット単位でリード/ライト可能です。



TM4のカウント・クロックごとにTM4とCM4の比較を行い、一致による割り込み (INTCM4) を発生します。この一致に同期してTM4をクリアします。

7.3 制御レジスタ

(1) タイマ・ユニット・モード・レジスタ1 (TUM1)

TUM1レジスタはTM1の動作を制御するレジスタで、キャプチャ/コンペア・レジスタの動作モードを指定します。

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
TUM1	0	0	OST	ECLR1	TES11	TES10	CES11	CES10	CMS13	CMS12	CMS11	CMS10	IMS13	IMS12	IMS11	IMS10	アドレス	リセット時
																	FFFFFF240H	0000H

ビット位置	ビット名	意味															
13	OST	Overflow Stop タイマのオーバフロー後の動作を指定します。このフラグが有効なのはTM1のみです。 0 : タイマのオーバフロー後、タイマはカウント・アップを続けます。 1 : タイマのオーバフロー後、タイマは0000Hを保持し停止状態となります。 このとき、TMC1レジスタのCE1ビットは、“1”のままです。 次の動作によりカウント・アップを再開します。 ECLR1=“0”のとき：CE1ビットへの“1”ライト動作 ECLR1=“1”のとき：タイマ・クリア端子 (TCLR1) へのトリガ入力															
12	ECLR1	External Input Timer Clear TM1の外部クリア入力 (TCLR1) によるタイマのクリアを許可します。 0 : 外部入力によるクリアはしません。 1 : 外部入力によりTM1をクリアします。 クリア後、カウント・アップを開始します。															
11,10	TES11, TES10	TI1 Edge Select 外部クロック入力 (TI1) の有効エッジを指定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">TES11</th> <th style="width: 10%;">TES10</th> <th style="width: 80%;">有効エッジ</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>RFU (予約)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>立ち上がり, 立ち下がり両エッジ</td> </tr> </tbody> </table>	TES11	TES10	有効エッジ	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	RFU (予約)	1	1	立ち上がり, 立ち下がり両エッジ
TES11	TES10	有効エッジ															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	RFU (予約)															
1	1	立ち上がり, 立ち下がり両エッジ															

ビット位置	ビット名	意味															
9, 8	CES11, CES10	<p>TCLR1 Edge Select</p> <p>外部クリア入力 (TCLR1) の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>CES11</th> <th>CES10</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>RFU (予約)</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり, 立ち下がり両エッジ</td> </tr> </tbody> </table>	CES11	CES10	有効エッジ	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	RFU (予約)	1	1	立ち上がり, 立ち下がり両エッジ
CES11	CES10	有効エッジ															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	RFU (予約)															
1	1	立ち上がり, 立ち下がり両エッジ															
7-4	CMS13-CMS10	<p>Capture/Compare Mode Select</p> <p>キャプチャ/コンペア・レジスタ (CCn) の動作モードを選択します。</p> <p>0 : キャプチャ・レジスタとして動作します。ただしキャプチャ・レジスタ指定時のキャプチャ動作は, TMC1レジスタのCE1= " 1 " 時のみ行います。</p> <p>1 : コンペア・レジスタとして動作します。</p>															
3-0	IMS13-IMS10	<p>Interrupt Mode Select</p> <p>割り込みソースとして, INTPnかINTCCnかを選択します。</p> <p>0 : コンペア・レジスタの一致信号INTCCnを割り込み信号にします。</p> <p>1 : 外部からの入力信号INTPnを割り込み信号にします。</p>															

備考 n=13-10

(2) タイマ・コントロール・レジスタ1 (TMC1)

TMC1はTM1の動作を制御します。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
TMC1	CE1	0	0	ETI	PRS11	PRS10	PRM11	0	アドレス FFFFFF242H	リセット時 00H

ビット位置	ビット名	意味															
7	CE1	Count Enable タイマの動作を制御します。 0 : タイマは “ 0000H ” 状態で停止し、動作しません。 1 : タイマはカウント動作を行います。ただし、TUM1.ECLR1= “ 1 ” のときは、TCLR1 入力があるまでタイマはカウント・アップを開始しません。 TUM1.ECLR1= “ 0 ” のとき、CE1= “ 1 ” によるタイマのカウント・スタートは、CE1 ビットへの “ 1 ” ライト動作がスタート・トリガとなります。したがって、TUM1.ECLR1= “ 1 ” の状態でCE1をセットしたあと、TUM1.ECLR1= “ 0 ” としても、タイマはスタート しません。															
4	ETI	External TI1 Input カウント・クロックの外部と内部の切り替えを指定します。 0 : 系 (内部) を指定します。 1 : TI1 (外部) を指定します。															
3 , 2	PRS11,PRS10	Prescaler Clock Select 内部カウント・クロックを選択します (mは中間クロック)。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">PRS11</th> <th style="width: 10%;">PRS10</th> <th style="width: 80%;">カウント・クロック</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>m</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>m/4</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>m/8</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>m/16</td> </tr> </tbody> </table>	PRS11	PRS10	カウント・クロック	0	0	m	0	1	m/4	1	0	m/8	1	1	m/16
PRS11	PRS10	カウント・クロック															
0	0	m															
0	1	m/4															
1	0	m/8															
1	1	m/16															
1	PRM11	Prescaler Clock Mode カウント・クロックの中間クロック mを選択します (はシステム・クロック)。 0 : /2 1 : /4															

注意 タイマ動作中にカウント・クロックを変更しないでください。

(3) タイマ・コントロール・レジスタ4 (TMC4)

TMC4はTM4の動作を制御します。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
TMC4	CE4	0	0	0	0	PRS40	PRM41	PRM40	アドレス	リセット時
									FFFFF342H	00H

ビット位置	ビット名	意味															
7	CE4	Count Enable タイマの動作を制御します。 0 : タイマは "0000H" 状態で停止し, 動作しません。 1 : タイマはカウント動作を行います。															
2	PRS40	Prescaler Clock Select 内部カウント・クロックを選択します (mは中間クロック)。 0 : m/16 1 : m/32															
1, 0	PRM41, PRM40	Prescaler Clock Mode カウント・クロックの中間クロック mを選択します (はシステム・クロック)。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>PRM41</th> <th>PRM40</th> <th>m</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>/2</td> </tr> <tr> <td>0</td> <td>1</td> <td>/4</td> </tr> <tr> <td>1</td> <td>0</td> <td>/8</td> </tr> <tr> <td>1</td> <td>1</td> <td>RFU (予約)</td> </tr> </tbody> </table>	PRM41	PRM40	m	0	0	/2	0	1	/4	1	0	/8	1	1	RFU (予約)
PRM41	PRM40	m															
0	0	/2															
0	1	/4															
1	0	/8															
1	1	RFU (予約)															

注意 タイマ動作中にカウント・クロックを変更しないでください。

(4) タイマ出力コントロール・レジスタ1 (TOC1)

TOC1レジスタはTO10,TO11端子からのタイマ出力を制御します。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
TOC1	ENTO11	ALV11	ENTO10	ALV10	0	0	0	0	アドレス FFFFFF244H	リセット時 00H

ビット位置	ビット名	意味
7, 5	ENTO11, ENTO10	Enable TO x x pin x x=11, 10 対応する各タイマ出力 (TO x x) の許可を行います。 0 : タイマ出力は禁止状態です。対応するTO x x 端子からはALVビットで指定されているアクティブ・レベルの逆相のレベル (インアクティブ・レベル) が出力します。対応するコンペア・レジスタから一致信号が発生してもTO x x 端子のレベルは変化しません。 1 : タイマ出力機能は許可状態です。対応するコンペア・レジスタから一致信号が発生するとタイマ出力が変化します。タイマ出力を許可してから最初に一致信号が発生するまでは, ALVビットで指定されているアクティブ・レベルの逆相のレベル (インアクティブ・レベル) が出力されます。
6, 4	ALV11, ALV10	Active Level TO x x pin x x=11, 10 タイマ出力のアクティブ・レベルを指定します。 0 : アクティブ・レベルはロウ・レベル 1 : アクティブ・レベルはハイ・レベル

備考 TO x x 出力のF/Fはリセット優先です。

注意 TO x x 出力は外部割り込み信号 (INTPn) (n=10-13) では変化しません。TO x x を使用するとき, キャプチャ/コンペア・レジスタをコンペア・レジスタ (CMSn=1) (n=10-13) に指定してください。

(5) 外部割り込みモード・レジスタ2 (INTM2)

TM1のCCn (n=10-13) をキャプチャ・レジスタとして使用する場合, 外部割り込みINTPnの有効エッジをキャプチャ・トリガとして検出します。この有効エッジはINTM2レジスタで指定します (詳細は, 5.3.6 外部割り込みモード・レジスタ1, 2 (INTM1, INTM2) 参照)。

(6) タイマ・オーバーフロー・ステータス・レジスタ (TOVS)

TM1, TM4からのオーバーフロー・フラグを割り当てています。

8/1ビット単位でリード/ライト可能です。

TOVSレジスタをソフトウェアでテスト&リセットすることで、オーバーフロー発生をポーリングすることができます。

	7	6	5	4	3	2	1	0		
TOVS	0	0	0	OVF4	0	0	OVF1	0	アドレス FFFFFF230H	リセット時 00H

ビット位置	ビット名	意味
4, 1	OVFn	<p>Overflow Flag</p> <p>TMn (n=4, 1) オーバーフロー・フラグ。</p> <p>0 : TMnのオーバーフロー発生なし</p> <p>1 : TMnのオーバーフローが発生</p> <p>注意 TM1からはオーバーフローに同期して、割り込みコントローラに対し、割り込み要求信号INTOV1が発生しますが、割り込みの動作と、TOVSとはまったく独立しており、TM1からのオーバーフロー・フラグ (OVF1) に対しても、ほかのオーバーフロー・フラグ同様ソフトウェア操作することが可能です。</p> <p>このとき、INTOV1に対応する割り込みコントローラ内の割り込み要求フラグ (OVF1) には影響を与えません。</p> <p>CPUからのアクセス期間中はTOVSレジスタへの転送は行われません。したがって、TOVSレジスタの読み出し中にオーバーフローが発生しても、フラグの値は変化せず、次の読み出し時に反映されます。</p>

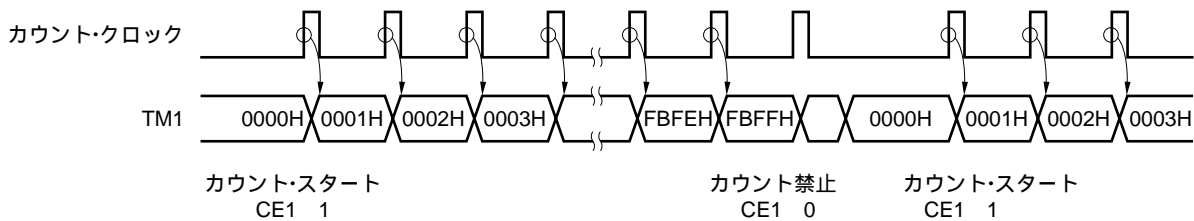
7.4 タイマ1動作

7.4.1 カウント動作

タイマ1は、16ビットのフリー・ランニング・タイマまたは、外部信号のイベント・カウンタとして機能します。動作の設定は、タイマ・コントロール・レジスタ1 (TMC1) で指定します。

フリー・ランニング・タイマとして動作する場合、CCn (n=10-13) レジスタとTM1のカウント値が一致すると、割り込み信号を発生させるとともに、タイマ出力TOx x (x x=10, 11) をセット/リセットすることができます。また、外部トリガとしての外部割り込み要求入力端子から検出された有効エッジに同期して、TM1のカウント値をCCnレジスタに保持するキャプチャ動作を行います。キャプチャの値は、次のキャプチャ・トリガが発生するまで保持されます。

図7-1 タイマ1の基本動作



7.4.2 カウント・クロック選択

タイマ1に入力されるカウント・クロックには内部と外部があり、TMC1レジスタのETIビットによって指定されます。

注意 タイマの動作中にカウント・クロックを変更しないでください。

(1) 内部カウント・クロック (ETIビット=0)

TMC1レジスタのPRM11と、PRS11, PRS10ビットの設定によって /2, /4, /8, /16, /32, /64の6通りから内部カウント・クロックを選択します。

PRS11	PRS10	PRM11	カウント・クロック
0	0	0	/2
0	0	1	/4
0	1	0	/8
0	1	1	/16
1	0	0	/16
1	0	1	/32
1	1	0	/32
1	1	1	/64

(2) 外部カウント・クロック (ETIビット=1)

TI1端子に入力される信号をカウントします。このとき、タイマ1はイベント・カウンタとして動作することもできます。

TI1の有効エッジはTUM1レジスタのTES11, TES10ビットによって指定します。

TES11	TES10	有効エッジ
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	RFU (予約)
1	1	立ち上がり, 立ち下がり両エッジ

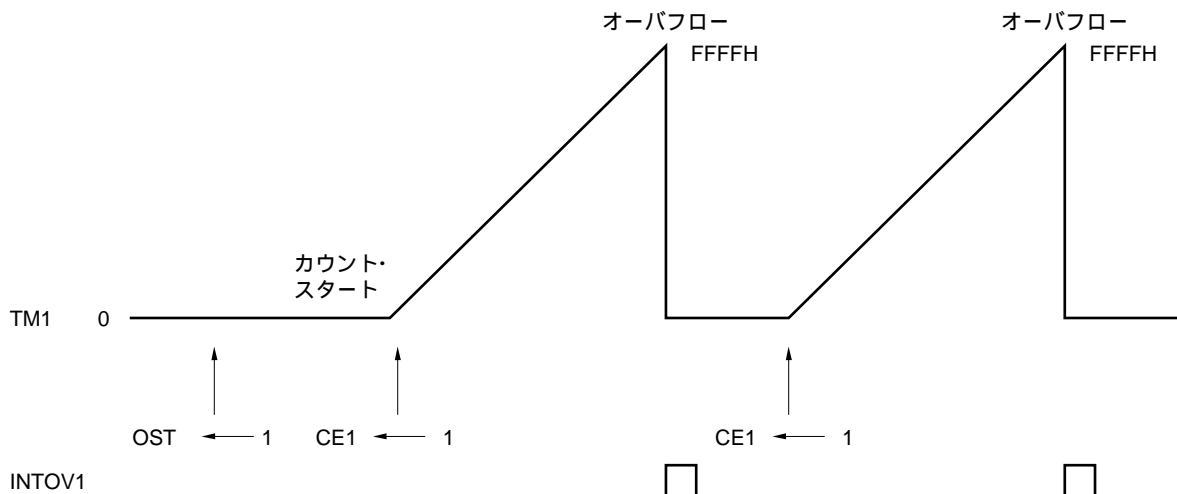
7.4.3 オーバフロー

TM1レジスタがカウント・クロックをFFFFHまでカウントした結果オーバフローすると、TOVSレジスタのOVF1ビットにフラグをセットし、オーバフロー割り込み (INTOV) を発生します。

また、TUM1レジスタのOSTビットを“1”に指定することで、オーバフロー後、タイマを停止させることができます。オーバフローによりタイマが停止した場合、ソフトウェアでCE1に1をセットするまでカウント動作を再開しません。

カウント動作中にCE1に1をセットしても動作に影響はありません。

図7-2 オーバフロー後の動作 (ECLR1 = 0, OST = 1の場合)



7.4.4 TCLR1入力によるタイマのクリア/スタート

タイマ1は、通常TMC1レジスタのCE1ビットに1をセットするとカウント動作を開始しますが、外部入力TCLR1によって、TM1をクリアし、カウント動作を開始することができます。

ECLR1 = 1, OST = 0に設定し、CE1に1をセットしたあと、TCLR1に有効エッジを入力すると、カウント動作を開始します。また、動作中にTCLR1に有効エッジが入力されると、TM1は値をクリアし、カウント動作を再開します (図7-3参照)。

ECLR1 = 1, OST = 1に設定し、CE1を0から1にセットしたあと、TCLR1に有効エッジを入力すると、カウント動作を開始します。TM1がオーバーフローすると、カウント動作はいったん停止し、TCLR1に有効エッジが入力されるまでカウント動作は再開しません。カウント動作中にTCLR1の有効エッジが検出されると、TM1はクリアされカウント動作を続けます。(図7-4参照)。なお、オーバーフロー後にCE1に1をセットしても、カウント動作は再開しません。

図7-3 TCLR1入力によるタイマのクリア/スタート動作 (ECLR1 = 1, OST = 0の場合)

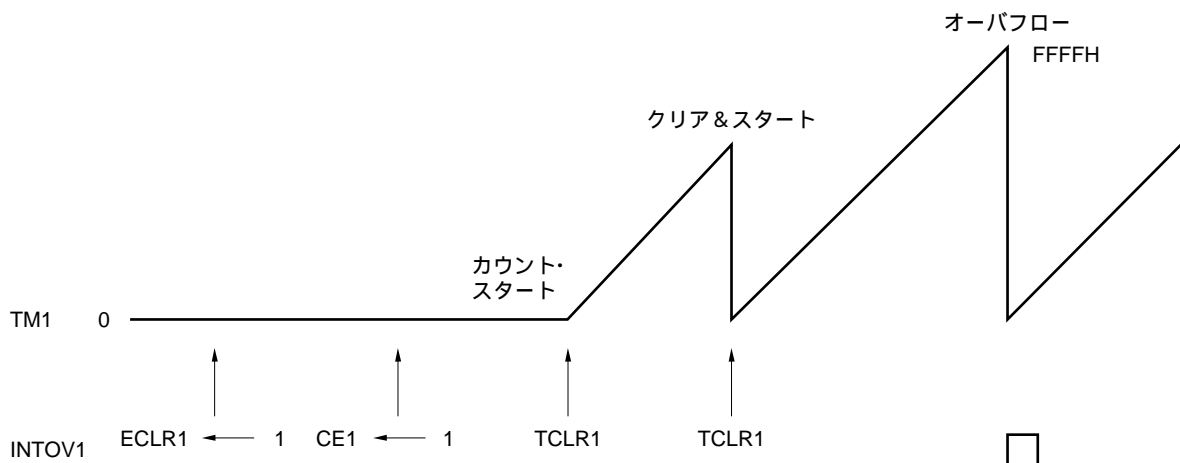
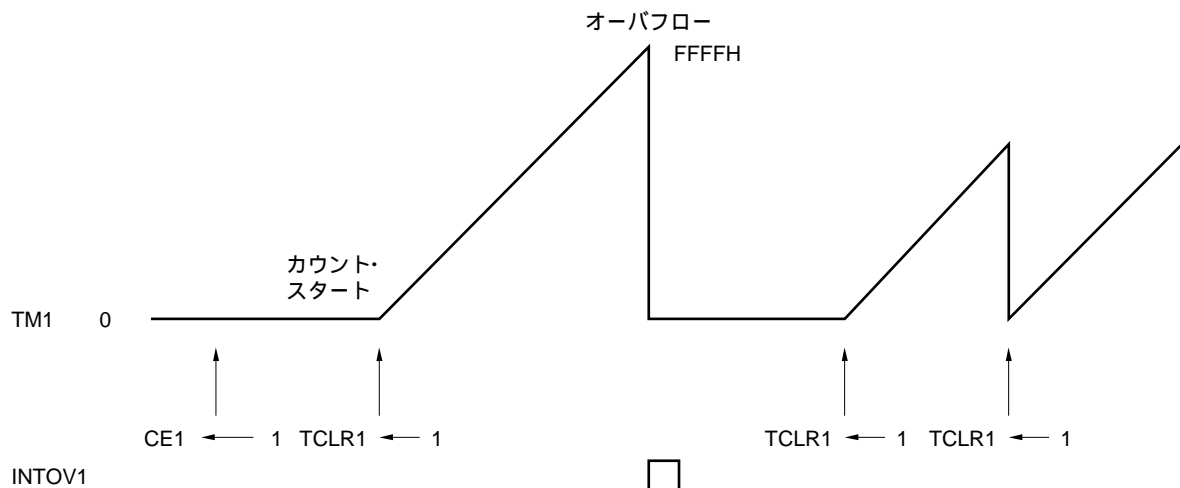


図7-4 TCLR1入力によるクリア/スタートとオーバーフロー動作の関係 (ECLR1 = 1, OST = 1の場合)



7.4.5 キャプチャ動作

外部トリガに同期して、TM1のカウント値をカウント・クロックとは非同期にキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。外部トリガとして、外部割り込み要求入力端子INTPn (n=10-13) から検出された有効エッジを用います (キャプチャ・トリガ)。そのキャプチャ・トリガ信号に同期して、カウント中のTM1のカウント値をキャプチャ・レジスタに取り込み保持します。キャプチャ・レジスタの値は、次のキャプチャ・トリガが発生するまで保持されます。

また、INTPn入力信号により割り込み信号INTCCnを発生します。

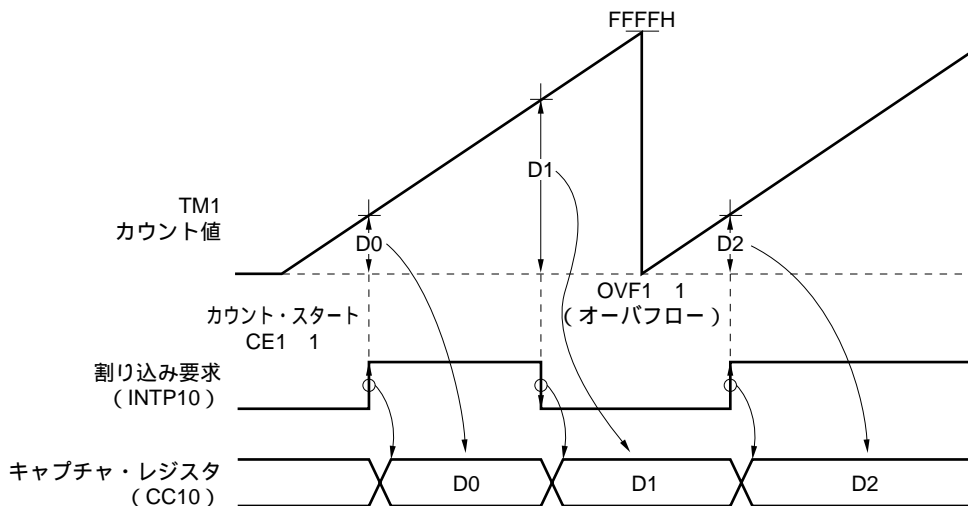
表7 - 2 16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号 (TM1)

キャプチャ・レジスタ	キャプチャ・トリガ信号
CC10	INTP10
CC11	INTP11
CC12	INTP12
CC13	INTP13

備考 CC10-CC13はキャプチャ/コンペア・レジスタです。どちらのレジスタとして使用するかは、タイマ・ユニット・モード・レジスタ1 (TUM1) で指定します。

キャプチャ・トリガの有効エッジは、外部割り込みモード・レジスタ (INTM2) により設定します。立ち上がり、立ち下りの両エッジをキャプチャ・トリガとした場合は、外部からの入力パルス幅を測定できます。また、片側エッジをキャプチャ・トリガとした場合は、入力パルスの周期を測定できます。

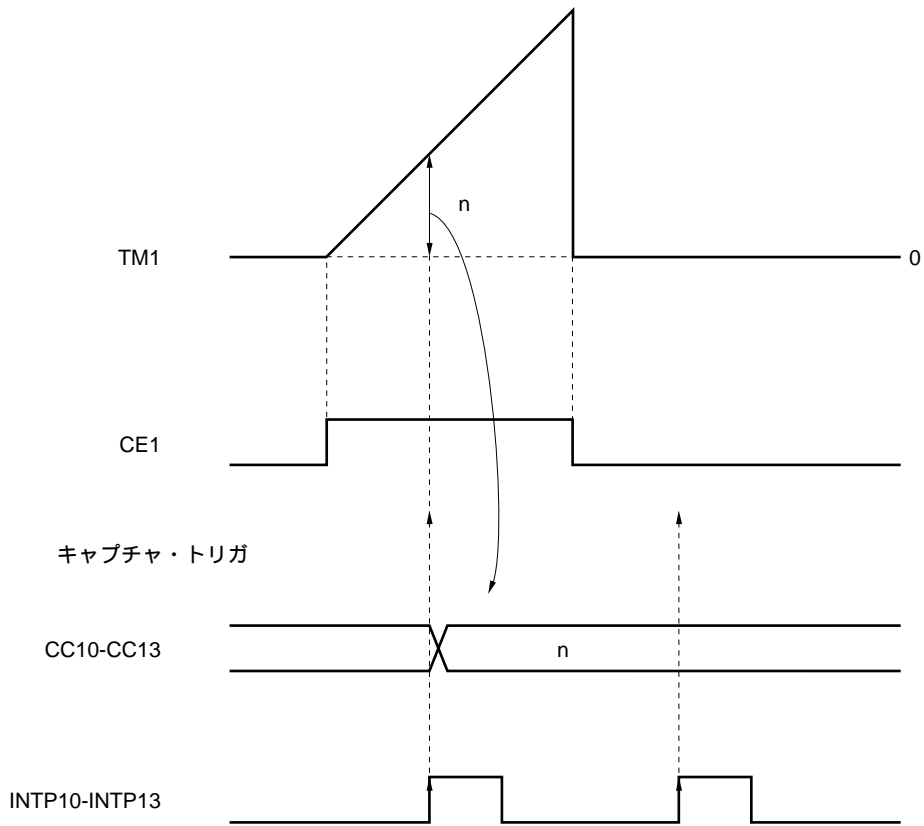
図7 - 5 TM1キャプチャ動作例 (両エッジ指定時)



備考 Dn (n=0, 1, 2, ...) : TM1のカウント値

CE1がクリア (0) されているとき、割り込み信号が入力されてもキャプチャ動作は行われません。

図7 - 6 TM1キャプチャ動作例



7.4.6 コンペア動作

コンペア・レジスタに設定した値とTM1のカウンタ値を比較するコンペア動作を行います。

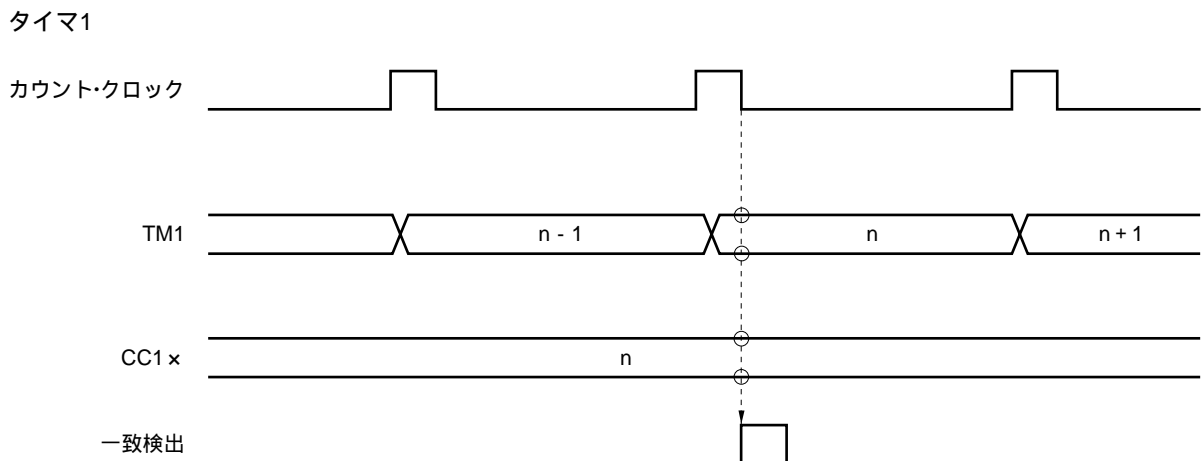
あらかじめ設定したコンペア・レジスタの値に、TM1のカウンタ値が一致すると、出力制御回路に一致信号を送ります(図7-7参照)。一致信号によりタイマ出力端子(TO10, TO11)を変化させ、同時に割り込み要求信号を発生します。

表7-3 16ビット・コンペア・レジスタからの割り込み要求信号(TM1)

コンペア・レジスタ	割り込み要求信号
CC10	INTCC10
CC11	INTCC11
CC12	INTCC12
CC13	INTCC13

備考 CC10-CC13はキャプチャ/コンペア・レジスタです。どちらのレジスタとして使用するかはタイマ・ユニット・モード・レジスタ1(TUM1)で指定します。

図7-7 コンペア動作例



備考 一致はカウント・アップ直後に検出され、一致検出信号を発生します。

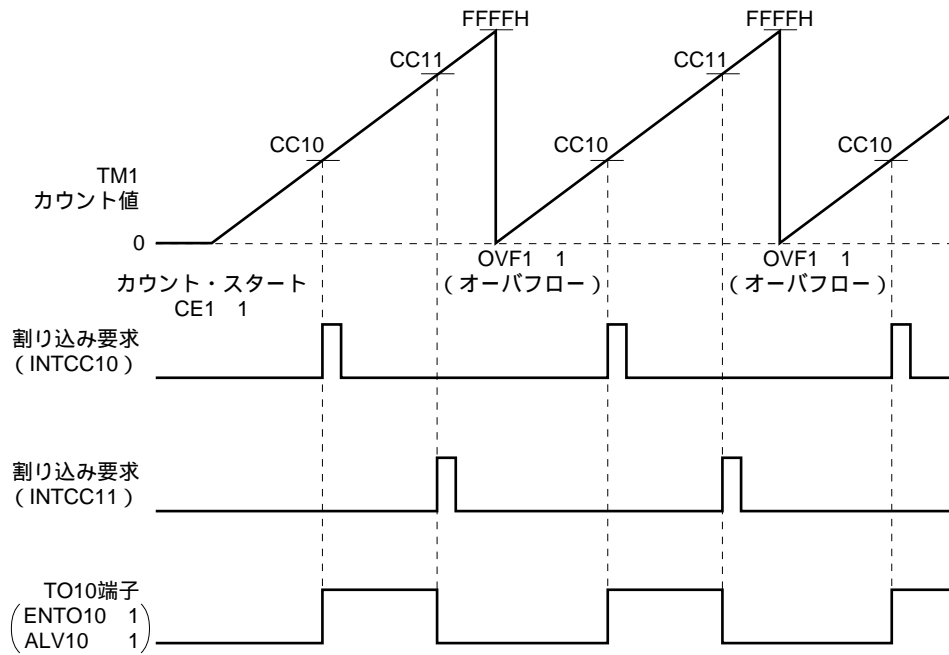
TM1は2本のタイマ出力端子 (TO10, TO11) を持っています。

TM1のカウンタ値とCC10の値を比較し、一致するとTO10端子の出力レベルをセットします。またTM1のカウンタ値とCC11の値を比較し、一致するとTO10端子の出力レベルをリセットします。

同様に、TM1のカウンタ値とCC12の値を比較し、一致するとTO11端子の出力レベルをセットします。また、TM1のカウンタ値とCC13の値を比較し、一致するとTO11端子の出力レベルをリセットします。

TO10, TO11端子の出力レベルは、TOC1レジスタによって指定できます。

図7 - 8 TM1コンペア動作例 (セット/リセット出力モード)



7.5 タイマ4動作

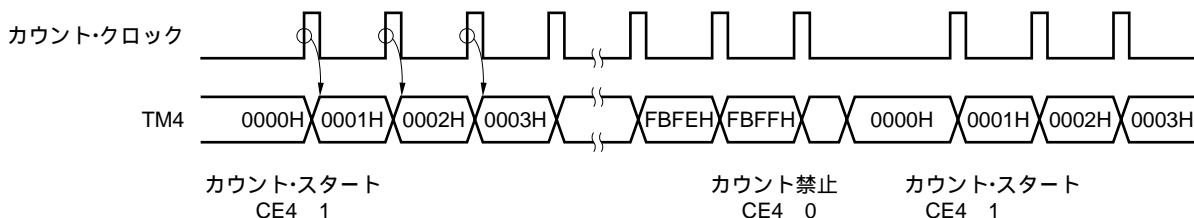
7.5.1 カウント動作

タイマ4は、16ビットのインターバル・タイマとして機能します。動作の設定は、タイマ・コントロール・レジスタ4 (TMC4) で指定します。

タイマ4のカウント動作は、TMC4レジスタのPRS40,PRM41,PRM40ビットで指定される内部カウント・クロック (/32- /256) をカウント・アップします。

カウントの結果、TM4の値がCM4と一致すると、TM4をクリアします。同時に一致割り込み (INTCM4) を発生します。

図7-9 タイマ4の基本動作



7.5.2 入力クロック選択

TMC4レジスタのPRS40,PRM40,PRM41ビットの設定によって /32 , /64 , /128 , /256の4通りから内部カウント・クロックを選択します。

注意 タイマの動作中にカウント・クロックを変更しないでください。

PRS40	PRM40	PRM41	カウント・クロック
0	0	0	/32
0	0	1	/64
0	1	0	/128
0	1	1	RFU (予約)
1	0	0	/64
1	0	1	/128
1	1	0	/256
1	1	1	RFU (予約)

7.5.3 オーバフロー

内部カウント・クロックをカウントした結果TM4がオーバーフローすると、TOVSレジスタのOVF4ビットにフラグをセットします。

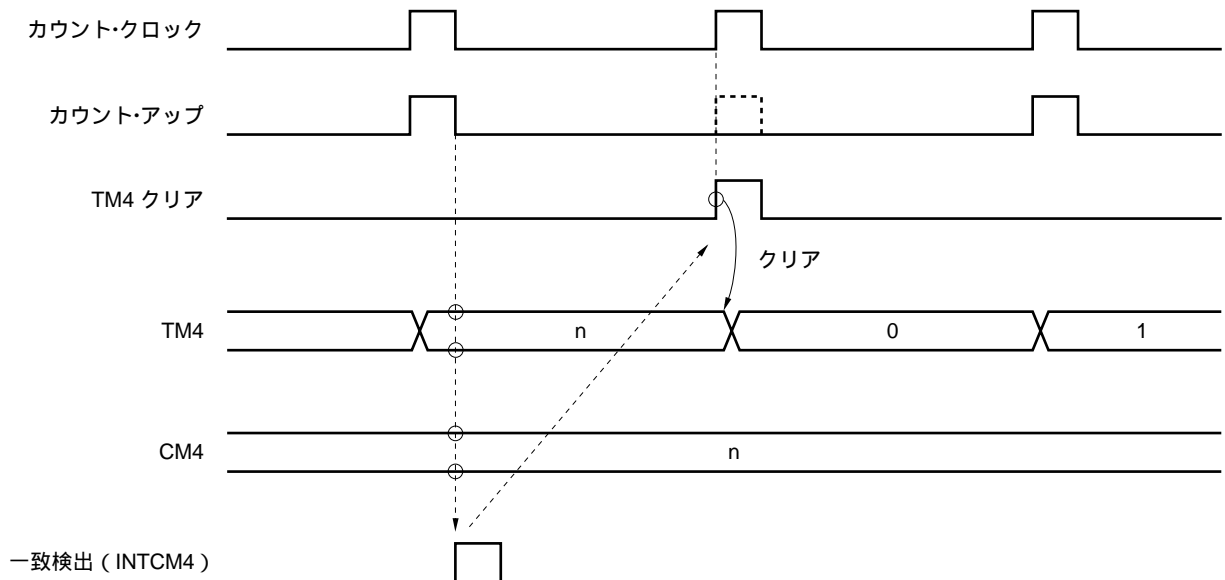
7.5.4 コンペア動作

タイマ4では、コンペア・レジスタ (CM4) に設定した値とTM4のカウント値を比較するコンペア動作を行います。

コンペア動作で一致を検出すると割り込み (INTCM4) を発生します。割り込み発生により、次のカウント・タイミングでTM4は0にクリアされます (図7-10参照)。この機能により、タイマ4をインターバル・タイマとして使用します。

CM4には0を設定することもできます。この場合はオーバーフローしてTM4が0になるとともに一致を検出しINTCM4が発生します。次のカウント・タイミングでTM4の値をクリア (0) しますが、この一致で、INTCM4は発生しません (図7-11参照)。

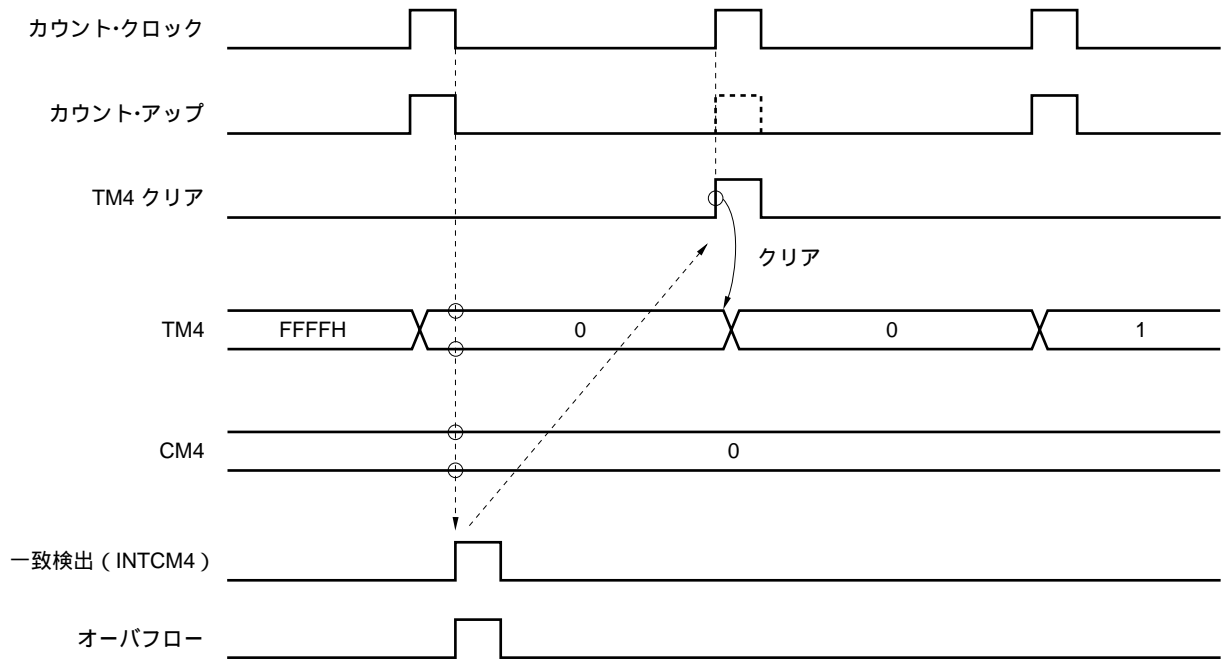
図7-10 CM4が1-FFFFHまでの動作



備考 インターバル時間 = $(n + 1) \times$ カウント・クロック周期

$n=1-65535$ (FFFFH)

図7-11 CM4に0をセットした場合



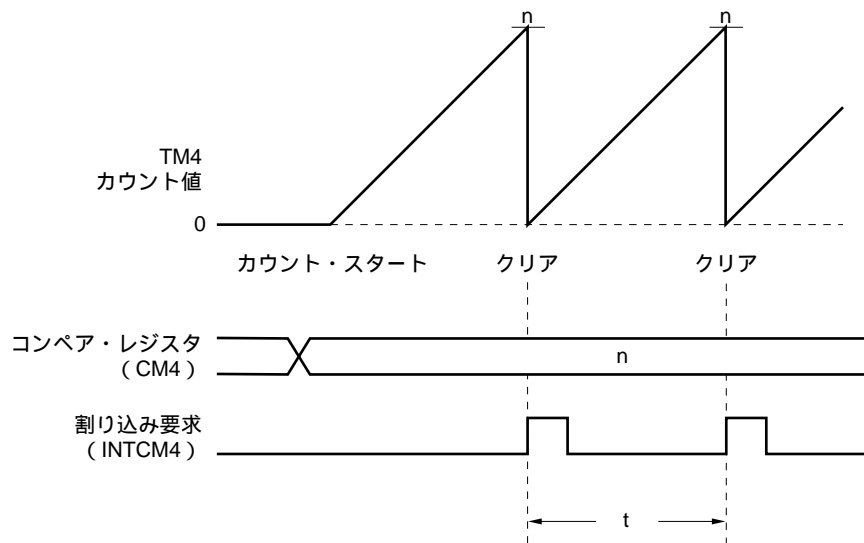
備考 インターバル時間 = (FFFFH + 2) × カウント・クロック周期

7.6 応用例

(1) インターバル・タイマとしての動作 (タイマ4)

タイマ4をコンペア・レジスタCM4にあらかじめ設定したカウント時間をインターバルとして繰り返し割り込み要求を発生するインターバル・タイマとして使用します。図7-12にタイミングを示します。図7-13にその設定手順を示します。

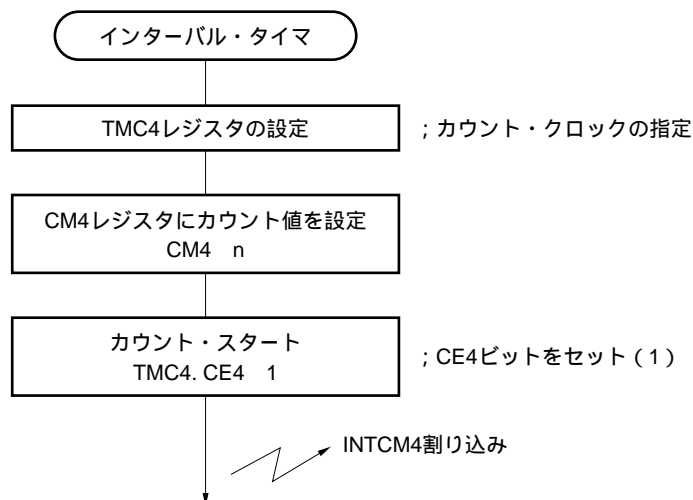
図7-12 インターバル・タイマ動作のタイミング例 (タイマ4)



備考 n : CM4レジスタの値

t : インターバル時間 = (n + 1) × カウント・クロック周期

図7-13 インターバル・タイマ動作の設定手順 (タイマ4)



(2) パルス幅測定としての動作 (タイマ1)

パルス幅測定には、タイマ1を使用します。

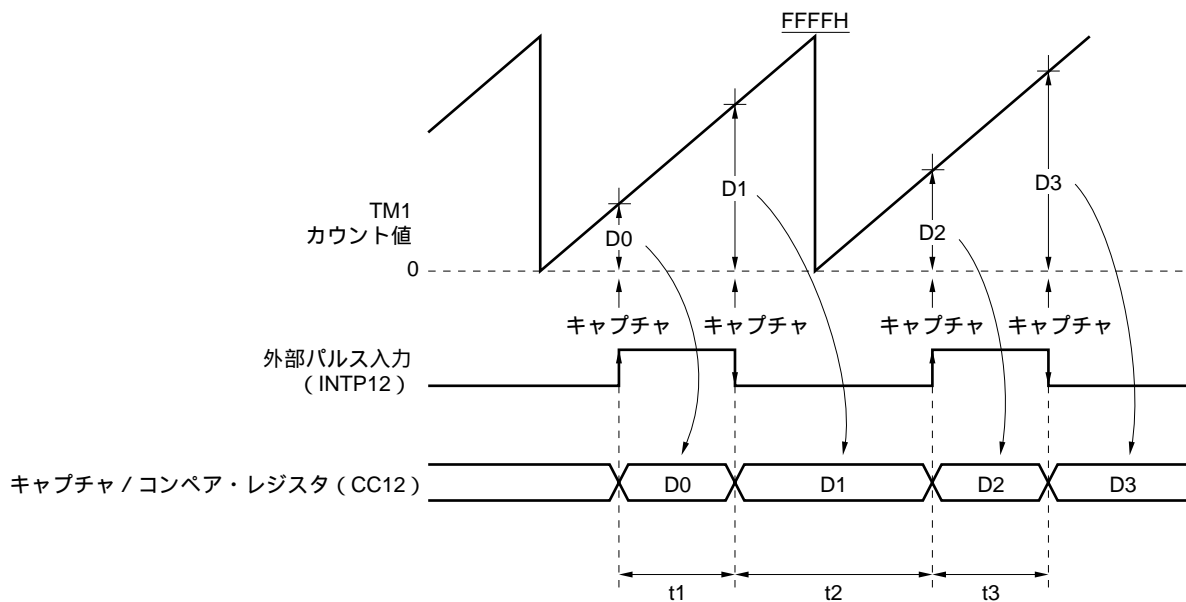
ここでは、INTP12端子に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定します。

図7-14に示すように、INTP12端子入力の有効エッジ (立ち上がり, 立ち下がり) の両エッジに指定) に同期して、カウント中のタイマ1 (TM1) の値をキャプチャ/コンペア・レジスタ (CC12) に取り込み保持します。

パルス幅は、n回目の有効エッジ検出によりCC12レジスタに取り込み保持されたTM1のカウント値 (Dn) と (n-1) 回目の有効エッジ検出によるカウント値 (Dn-1) との差を求め、この値と、カウント・クロックとの積から計算します。

このときの設定手順を図7-15に示します。

図7-14 パルス幅測定のタイミング (タイマ1)



$$t_1 = (D_1 - D_0) \times \text{カウント・クロック周期}$$

$$t_2 = \{ (10000H - D_1) + D_2 \} \times \text{カウント・クロック周期}$$

$$t_3 = (D_3 - D_2) \times \text{カウント・クロック周期}$$

備考 Dn : TM1のカウント値 (n=0, 1, 2, ...)

図7 - 15 パルス幅測定の設定手順 (タイマ1)

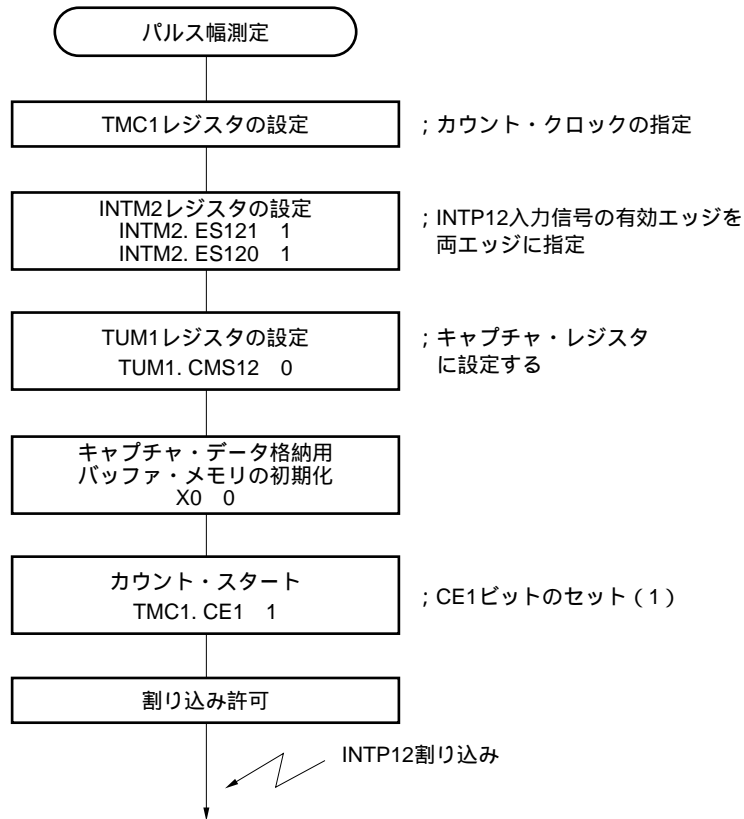
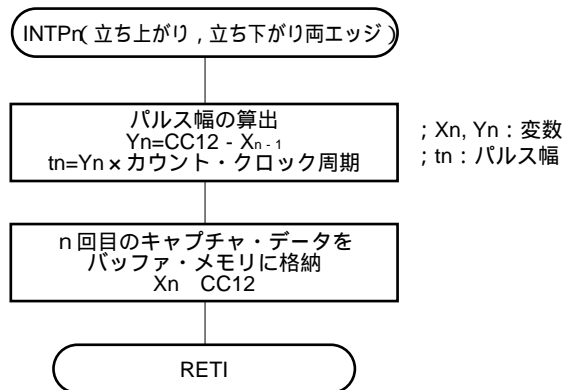


図7 - 16 パルス幅を算出する割り込み要求処理ルーチン (タイマ1)



注意 (n - 1) 回目のキャプチャから n 回目のキャプチャまでの間に 2 回以上オーバーフローが起きたら, パルス幅の測定はできません。

(3) PWM出力としての動作 (タイマ1)

タイマ1とタイマ出力機能を組み合わせてタイマ出力端子 (TO10, TO11) に任意の矩形波を出力することができます。

(a) タイマ1の使用方法

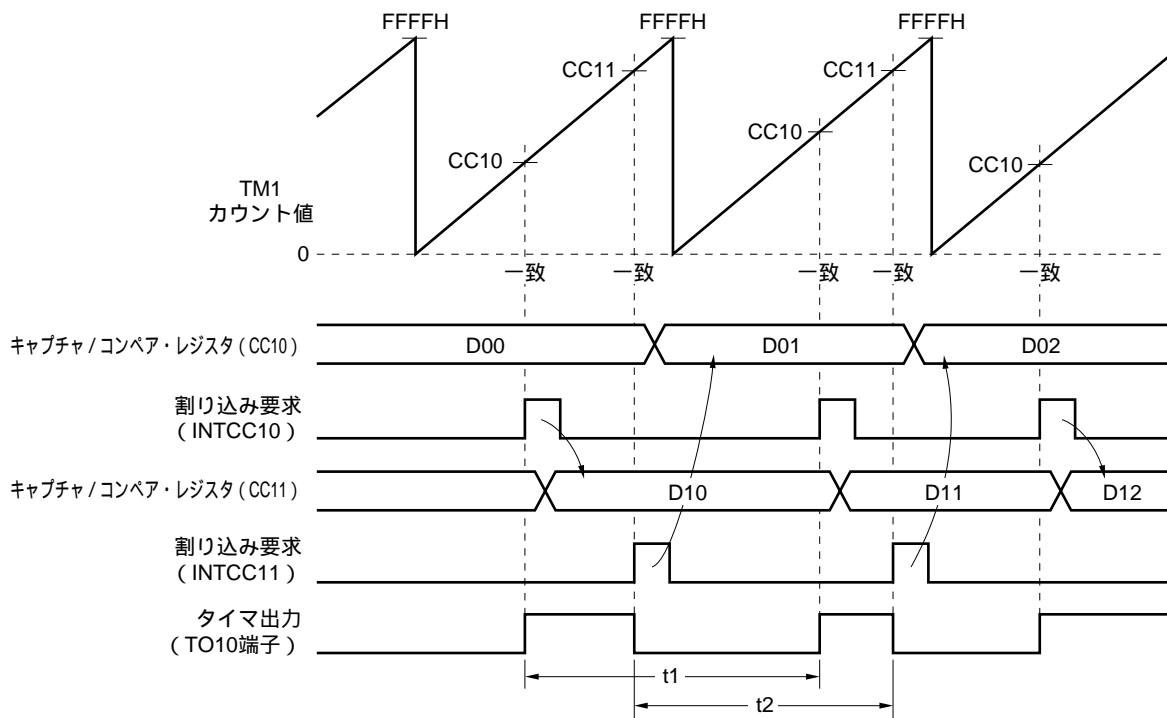
このPWM出力では、2つのキャプチャ/コンペア・レジスタCC10, CC11を使用します。

これにより、16ビット精度のPWM信号をTO10端子から出力することができます。図7-17にタイミングを示します。

16ビット・タイマとして使用した場合、図7-17に示すように、キャプチャ/コンペア・レジスタ (CC10) に設定する値でPWM出力の立ち上がりタイミングを決定し、キャプチャ/コンペア・レジスタ (CC11) に設定する値で、立ち下がりのタイミングを決定します。

このときの設定手順を図7-18に示します。

図7-17 PWM出力のタイミング (TM1)



備考 D×× : コンペア・レジスタの設定値

$$t1 = \{ (10000H - D00) + D01 \} \times \text{カウント} \cdot \text{クロック周期}$$

$$t2 = \{ (10000H - D10) + D11 \} \times \text{カウント} \cdot \text{クロック周期}$$

図7-18 PWM出力の設定手順 (タイマ1)

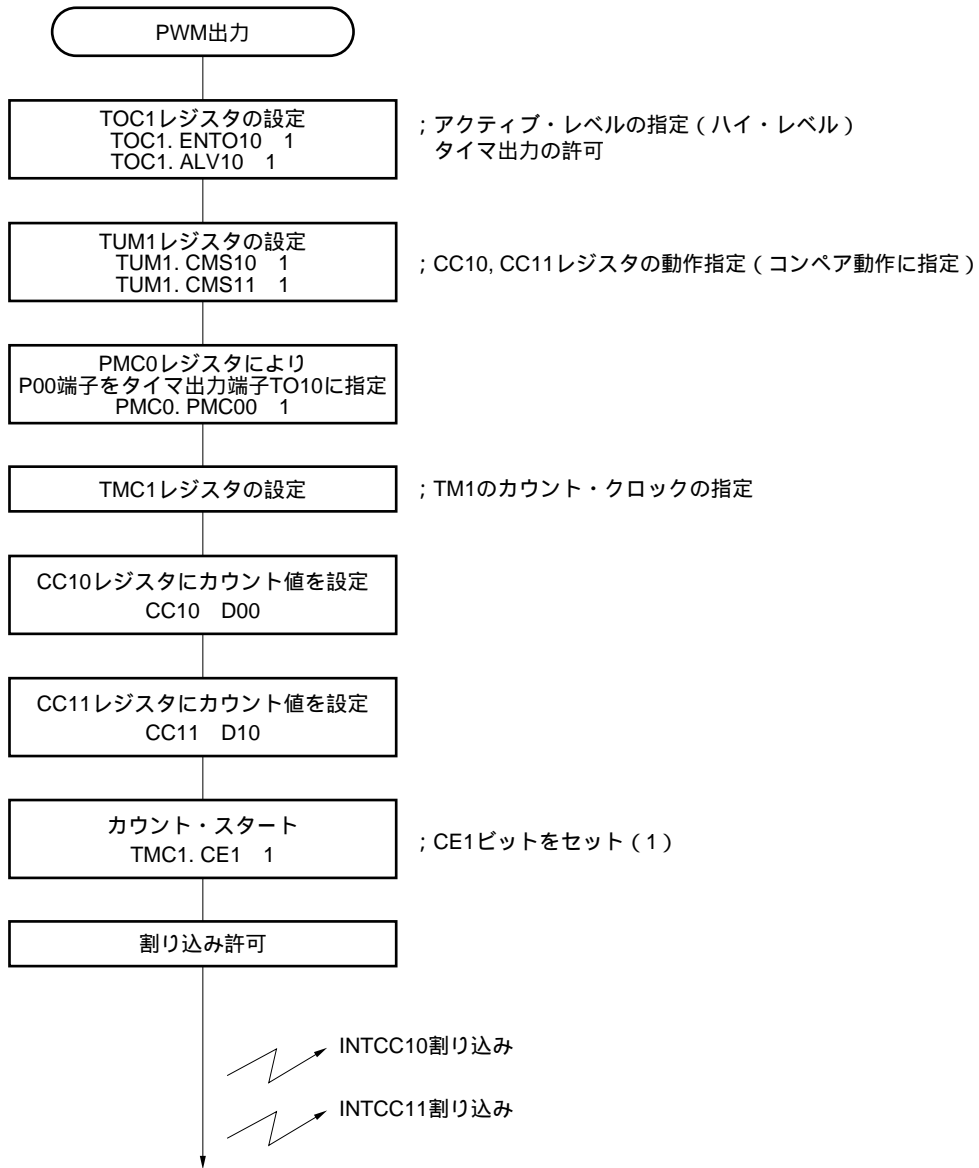
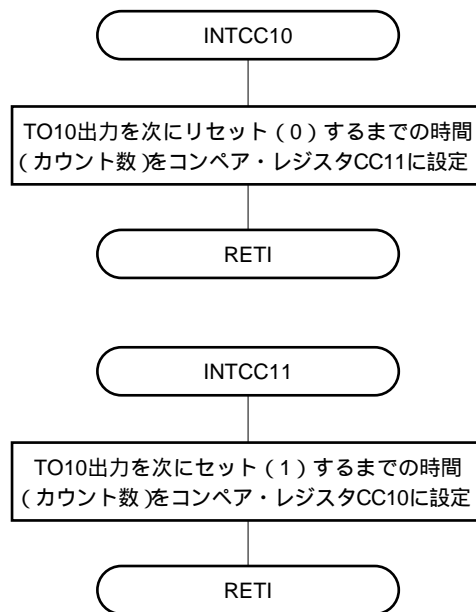


図7-19 コンペア値を書き換える割り込み要求処理ルーチン(タイマ1)



(4) 周期測定としての動作 (タイマ1)

タイマ1はINTPn端子 (n=10-13) に入力される外部パルスの周期を測定できます。

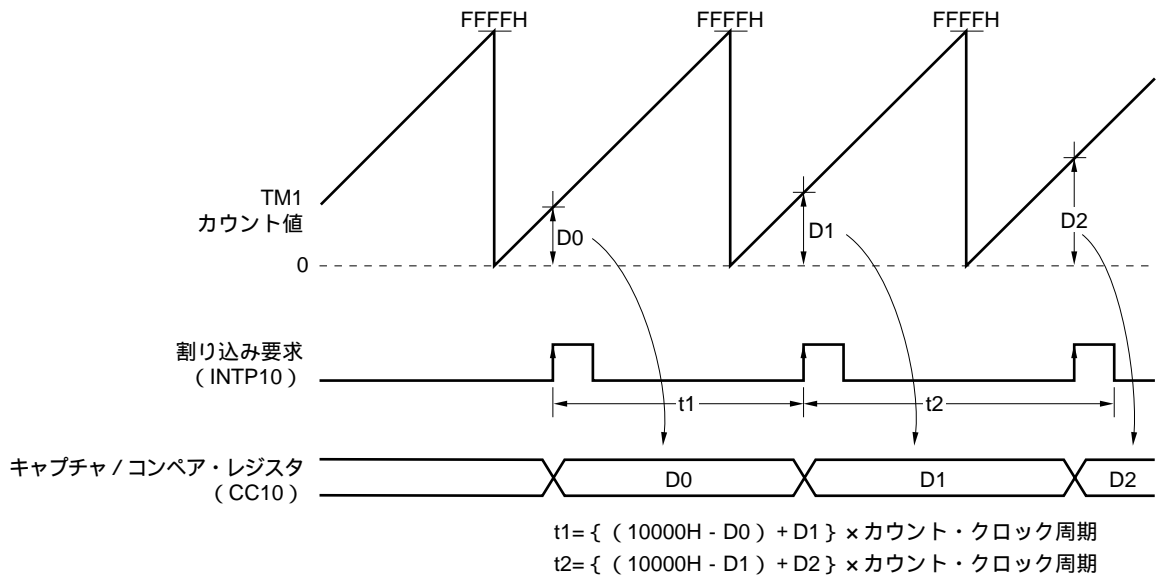
ここでは、タイマ1とキャプチャ/コンペア・レジスタCC10を組み合わせ、INTP10端子に入力される外部パルスの周期を16ビット精度で測定します。

INTP10入力信号の有効エッジをINTM2レジスタにより、立ち上がりエッジに指定します。

周期は、n回目の立ち上がりエッジによりCC10レジスタに取り込み保持したTM1のカウンタ値 (Dn) と、(n - 1) 回目の立ち上がりエッジにより取り込んだカウンタ値 (Dn - 1) との差を求め、この値とカウンタ・クロックとの積から計算します。

このときの設定手順を図7 - 21に示します。

図7 - 20 周期測定のタイミング (TM1)



備考 Dn : TM1のカウンタ値 (n=0, 1, 2, ...)

図7-21 周期測定の設定手順 (タイマ1)

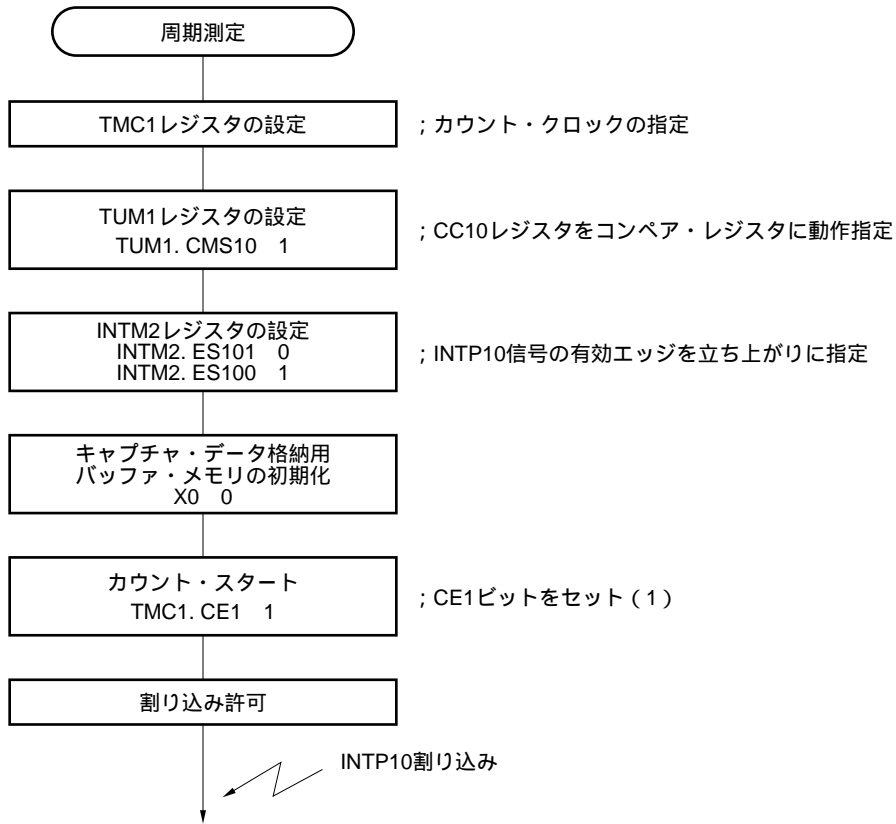
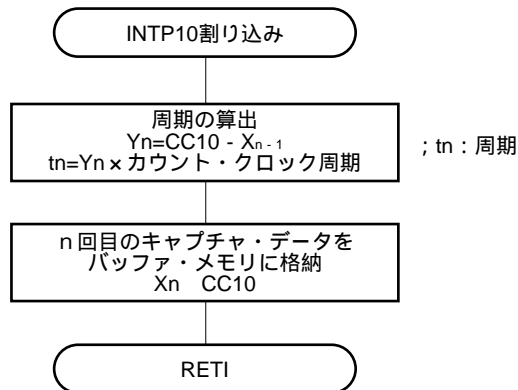


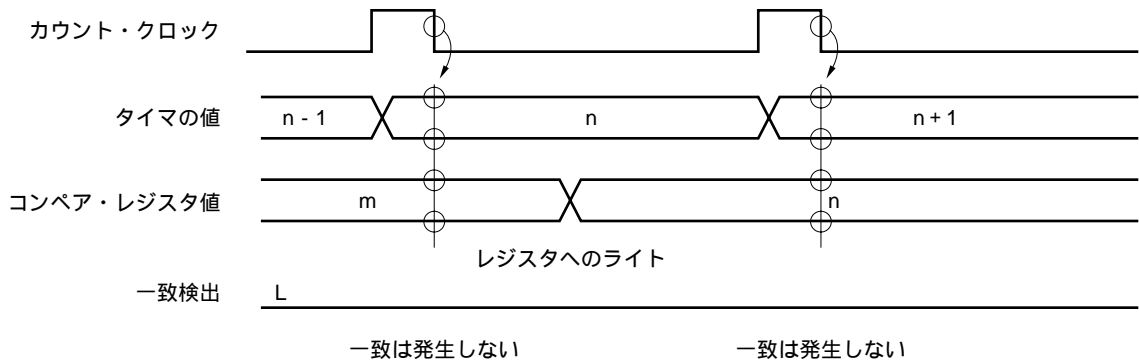
図7-22 周期を算出する割り込み要求処理ルーチン (タイマ1)



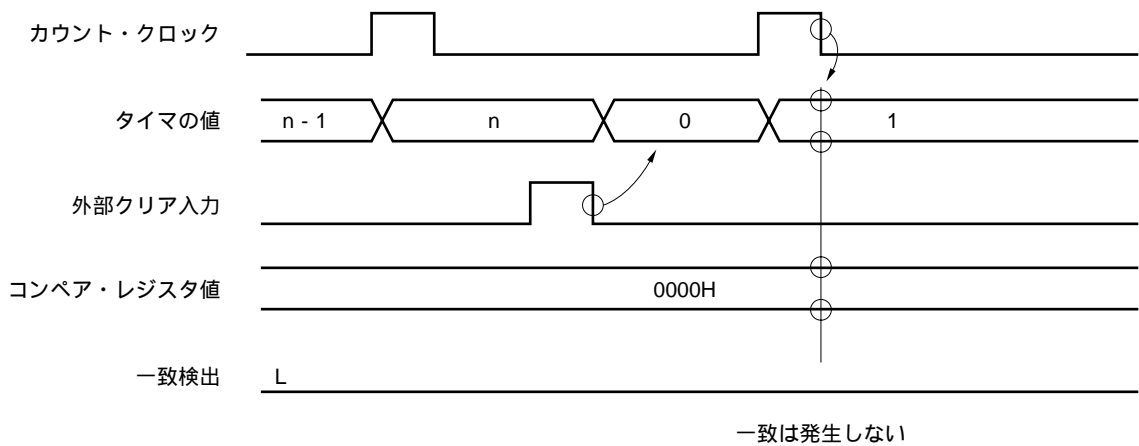
7.7 注意事項

コンペア・レジスタによる一致検出は、常にタイマのカウント・アップ直後のタイミングで行われます。以下の場合、一致は発生しません。

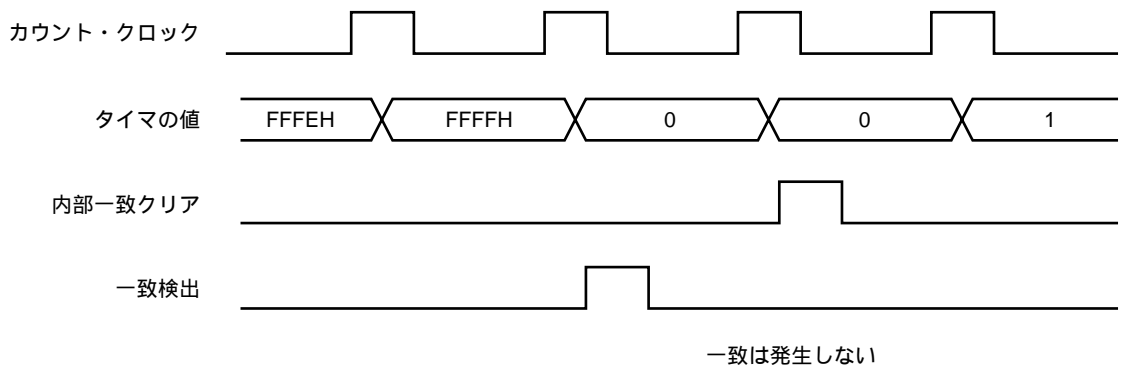
(1) コンペア・レジスタの書き換え時 (TM1, TM4)



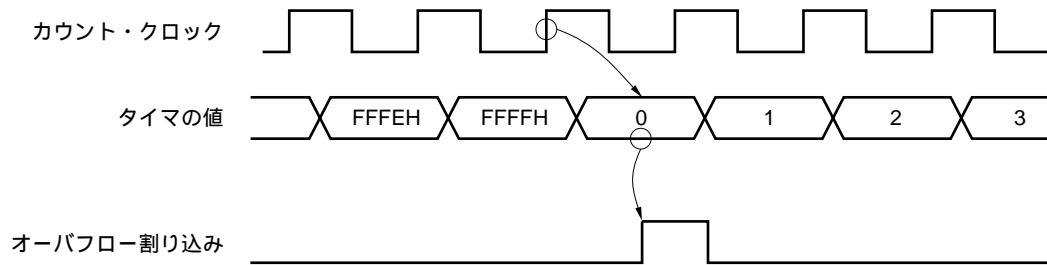
(2) 外部クリア時 (TM1)



(3) タイマ・クリア時 (TM4)



フリー・ランニングでタイマを動作させるときには、タイマのオーバーフローでタイマの値は、0 になります。



第8章 シリアル・インタフェース機能

8.1 特 徴

V852は、シリアル・インタフェース機能として、計4チャンネルの送受信チャンネルを備えます。インタフェース形態としては次の2種類があり、それぞれのチャンネルは独立して動作します。

- (1) アシクロナス・シリアル・インタフェース (UART) : 1チャンネル
- (2) クロック同期式シリアル・インタフェース (CSIn) : 3チャンネル (n=0-2)

UARTは、スタート・ビットに続く1バイトのシリアル・データを送受信する方式をとり、全二重通信ができます。

CSInは、シリアル・クロック (\overline{SCKn}) (n=0-2) とシリアル入力 (SIn) (n=0-2) , シリアル出力 (SOn) (n=0-2) の3本の信号線によるデータ転送を行います (3線式シリアルI/O)。

8.2 アシクロナス・シリアル・インタフェース (UART)

8.2.1 特 徴

転送速度 110 bps - 38400 bps (BRG使用 , = 25 MHz時)

最大781 Kbps (/2 使用 , = 25 MHz時)

全二重通信

2 端子構成 TXD 送信データの出力端子

RXD 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース3種

- ・受信エラー割り込み (INTSER0)
- ・受信完了割り込み (INTSR0)
- ・送信完了割り込み (INTST0)

送受信データのキャラクタ長はASIM00, 01レジスタで指定

キャラクタ長 : 7 , 8 ビット

9 ビット (拡張ビット付加時)

パリティ機能 : 奇数 , 偶数 , 0 , なし

送信ストップ・ビット : 1 , 2 ビット

ポー・レート・ジェネレータ内蔵

8.2.2 アシクロナス・シリアル・インタフェースの構成

アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)，アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) によって、アシクロナス・シリアル・インタフェースを制御します。受信データは受信バッファ (RXB) に保持され、送信データは送信シフト・レジスタ (TXS) に書き込みます。

アシクロナス・シリアル・インタフェースは、図8-1のように構成されます。

(1) アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM00, ASIM01)

ASIM00, ASIM01レジスタは、アシクロナス・シリアル・インタフェースの動作を指定する8ビット・レジスタです。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS0)

ASIS0レジスタは、受信エラー発生時のエラー内容を示すフラグおよび送信ステータス・フラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット(1)され、受信バッファ (RXB0, RXB0L) からデータを読み出すか、新たに次のデータを受信することによってリセット(0)されます(次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

送信ステータス・フラグは送信開始タイミングにセット(1)され、送信が終了するとリセット(0)されます。

(3) 受信制御パリティ・チェック

ASIM00, ASIM01レジスタに設定された内容に従って、受信動作を制御します。また、受信動作時にパリティ・エラーなどのエラー・チェックも行い、エラーが検出された場合は、エラー内容に応じた値をASIS0レジスタにセットします。

(4) 受信シフト・レジスタ

RXD端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信すると、受信データを受信バッファへ転送します。

受信シフト・レジスタはCPUから直接操作することはできません。

(5) 受信バッファ (RXB0, RXB0L)

RXB0は、受信データを保持する9ビットのバッファ・レジスタで、7, 8ビット/キャラクタの受信では上位ビットには0が格納されます。

このレジスタへの16ビット・アクセス時はRXB0を、下位8ビット・アクセス時はRXB0Lを指定します。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。

また、受信バッファへの転送により、受信完了割り込み要求 (INTSR0) が発生します。

(6) 送信シフト・レジスタ (TXS0, TXS0L)

TXS0は、9ビットの送信処理用シフト・レジスタで、このレジスタへのデータ書き込みにより、送信動作が開始されます。

TXS0のデータを含む1フレームの送出終了に同期して送信完了割り込み要求 (INTST0) を発生します。

このレジスタへの16ビット・アクセスはTXS0を、下位8ビット・アクセス時はTXS0Lを指定します。

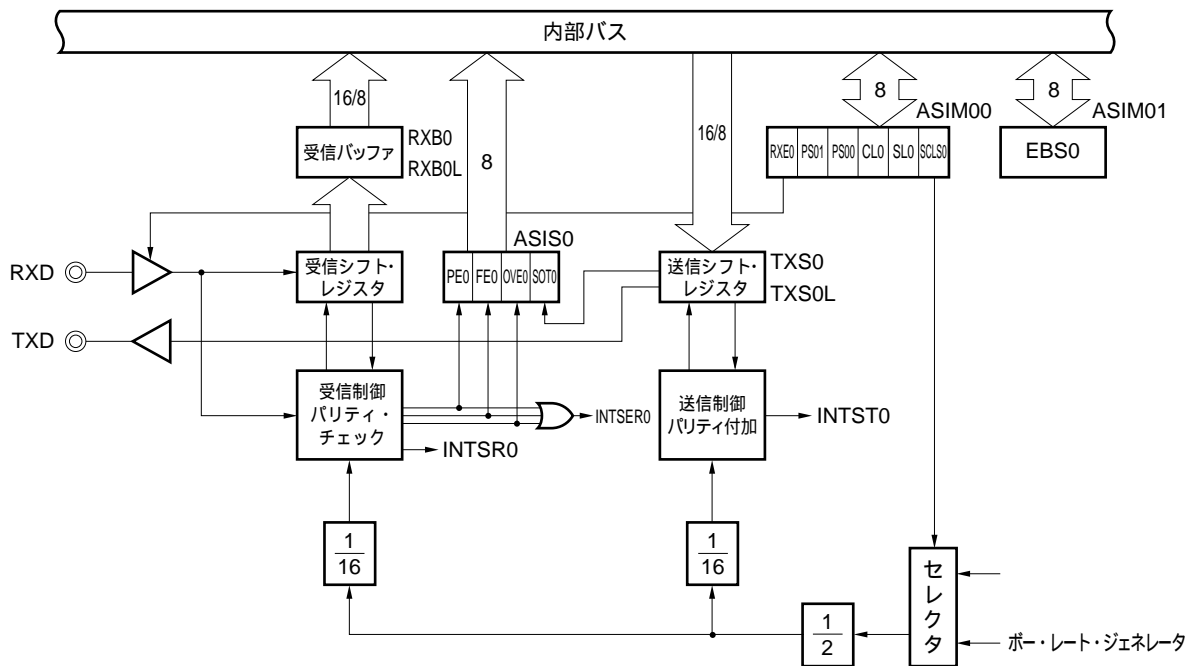
(7) 送信制御パリティ付加

ASIM00,ASIM01レジスタに設定された内容に従って、TXS0レジスタに書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットを付加するなどして、送信動作の制御を行います。

(8) セレクタ

シリアル・クロックのソースを選択します。

図8-1 アシクロナス・シリアル・インタフェースのブロック図



8.2.3 モード・レジスタおよびコントロール・レジスタ

(1) アシクロナス・シリアル・インタフェース・モード・レジスタ00, 01 (ASIM00, ASIM01)

UARTの転送モードを指定します。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
ASIM00	1	RXE0	PS01	PS00	CL0	SL0	0	SCLS0	アドレス FFFFFF0C0H	リセット時 80H

ビット位置	ビット名	意味
6	RXE0	<p>Receive Enable</p> <p>受信許可状態/禁止状態を指定します。</p> <p>0 : 受信禁止状態</p> <p>1 : 受信許可状態</p> <p>受信禁止時は、受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理、受信バッファへの転送処理は行わず、受信バッファの内容は保持されます。</p> <p>受信許可状態中は、スタート・ビットの検出に同期して受信シフト動作を開始し、1フレーム分の受信を終了すると受信シフト・レジスタの内容を受信バッファに転送します。</p> <p>また、受信バッファへの転送に同期して、受信完了割り込み (INTSR0) を発生します。</p>

ビット位置	ビット名	意味															
5, 4	PS01, PS00	<p>Parity Select</p> <p>パリティ・ビットを指定します。</p> <table border="1"> <thead> <tr> <th>PS01</th> <th>PS00</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティなし, 拡張ビット動作</td> </tr> <tr> <td>0</td> <td>1</td> <td>0パリティ指定 送信側 パリティ・ビットを0にして送信 受信側 受信時にパリティ・エラーを発生しない</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティ指定</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティ指定</td> </tr> </tbody> </table> <p>・偶数パリティ 送信データ中の値が“1”のビットの数が奇数個の場合にパリティ・ビットを“1”にします。値が“1”のビットの数が偶数個の場合にはパリティ・ビットを“0”にします。これにより, 送信データとパリティ・ビットの中に含まれる値が“1”のビット数が偶数個になるよう制御します。受信時には, 受信データとパリティ・ビットの中に含まれる値が“1”のビット数をカウントし, 奇数個であった場合にパリティ・エラーを発生します。</p> <p>・奇数パリティ 偶数パリティとは逆に, 送信データとパリティ・ビットの中に含まれる値が“1”のビットを奇数個になるよう制御します。 受信時には, 同様に受信データとパリティ・ビットの中に含まれる値が“1”のビットの数が偶数個であった場合にパリティ・エラーを発生します。</p> <p>・0パリティ 送信時には, 送信データによらずパリティ・ビットを“0”にします。 受信時には, パリティ・ビットの検査を行いません。したがって, パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。</p> <p>・パリティなし 送信データにパリティ・ビットを付加しません。 受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため, パリティ・エラーを発生しません。 ASIM01レジスタのEBS0ビットにより, 拡張ビット動作を指定できます。</p>	PS01	PS00	動作	0	0	パリティなし, 拡張ビット動作	0	1	0パリティ指定 送信側 パリティ・ビットを0にして送信 受信側 受信時にパリティ・エラーを発生しない	1	0	奇数パリティ指定	1	1	偶数パリティ指定
PS01	PS00	動作															
0	0	パリティなし, 拡張ビット動作															
0	1	0パリティ指定 送信側 パリティ・ビットを0にして送信 受信側 受信時にパリティ・エラーを発生しない															
1	0	奇数パリティ指定															
1	1	偶数パリティ指定															
3	CL0	<p>Character Length</p> <p>1フレームのキャラクタ長を指定します。</p> <p>0 : 7ビット</p> <p>1 : 8ビット</p>															

ビット位置	ビット名	意味																
2	SL0	<p>Stop Bit Length</p> <p>ストップ・ビットを指定します。</p> <p>0 : 1ビット</p> <p>1 : 2ビット</p>																
0	SCLS0	<p>Serial Clock Source</p> <p>シリアル・クロックを指定します。</p> <p>0 : BRG0,BPRM0で指定</p> <p>1 : /2</p> <p>・ SCLS0=1の場合</p> <p>シリアル・クロック・ソースに、/2(システム・クロック)が選択されます。非同期モードでは、x16のサンプリング・レートを使用しているため、ボー・レートは次式で表されます。</p> $\text{ボー・レート} = \frac{/2}{16} \text{ bps}$ <p>上記の式に基づき、代表的クロックを使用した場合のボー・レートの値を以下に示します。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td></td> <td>25 MHz</td> <td>20 MHz</td> <td>16 MHz</td> <td>12.5 MHz</td> <td>10 MHz</td> <td>8 MHz</td> <td>5 MHz</td> </tr> <tr> <td>ボー・レート</td> <td>781 K</td> <td>625 K</td> <td>500 K</td> <td>390 K</td> <td>312 K</td> <td>250 K</td> <td>156 K</td> </tr> </table> <p>・ SCLS0=0の場合</p> <p>シリアル・クロック・ソースとして、ボー・レート・ジェネレータ出力が選択されます。ボー・レート・ジェネレータの詳細に関しては、8.4 ボー・レート・ジェネレータ (BRG)を参照してください。</p>		25 MHz	20 MHz	16 MHz	12.5 MHz	10 MHz	8 MHz	5 MHz	ボー・レート	781 K	625 K	500 K	390 K	312 K	250 K	156 K
	25 MHz	20 MHz	16 MHz	12.5 MHz	10 MHz	8 MHz	5 MHz											
ボー・レート	781 K	625 K	500 K	390 K	312 K	250 K	156 K											

注意 UARTが送受信中に、このレジスタの0-6ビットを変更した場合のUARTの動作は保証しません。

	7	6	5	4	3	2	1	0		
ASIM01	0	0	0	0	0	0	0	EBS0	アドレス FFFFFF0C2H	リセット時 00H

ビット位置	ビット名	意味
0	EBS0	<p>Extended Bit Select</p> <p>パリティなし動作指定 (PS01, PS00 = 00) 時の送受信データの拡張ビット動作を指定します。</p> <p>0 : 拡張ビット動作禁止</p> <p>1 : 拡張ビット動作許可</p> <p>拡張ビット指定時は、8ビットの送受信データの上に1データ・ビットが付加され、9ビット・データによる通信が可能になります。</p> <p>拡張ビット動作は、ASIM00レジスタでパリティなし動作を指定した場合にのみ有効になります。0パリティ、奇数/偶数パリティ動作を指定した場合は、EBS0ビットの指定は無効になり、拡張ビットの付加動作は行われません。</p>

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)

UARTの受信終了時のエラー・ステータスを示す3ビットのエラー・フラグおよび、送信ステータス・フラグから構成されるレジスタです。

受信エラーを示すステータス・フラグは、常に最も新しく発生したエラーの状態を示します。すなわち、受信データの読み出し前に複数回の同一エラーが発生した場合、最後に発生したエラーの状態のみ保持しています。

受信エラーが発生した場合は、ASIS0レジスタを読み出したあと、受信バッファRXB0またはRXB0Lを読み出し、エラー・フラグをクリアしてください。

8/1ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0		
ASIS0	SOT0	0	0	0	0	PE0	FE0	OVE0	アドレス FFFFFF0C4H	リセット時 00H

ビット位置	ビット名	意味
7	SOT0	Status Of Transmission 送信動作状態を示すステータス・フラグです。 セット(1) : 送信開始タイミング (TXSレジスタへの書き込み) クリア(0) : 送信終了タイミング (INTST0発生) シリアル・データ転送を開始しようとする際に、送信シフト・レジスタへの書き込みが可能か否かを判別するための手段として使用します。
2	PE0	Parity Error パリティ・エラーを示すステータス・フラグです。 セット(1) : 送信パリティと受信パリティが一致しないとき クリア(0) : 受信バッファからのデータ読み出し処理
1	FE0	Framing Error フレーミング・エラーを示すステータス・フラグです。 セット(1) : ストップ・ビットが検出されないとき クリア(0) : 受信バッファからのデータ読み出し処理
0	OVE0	Overrun Error オーバラン・エラーを示すステータス・フラグです。 セット(1) : 受信バッファから受信データを引き取る前に、UARTが次の受信処理を完了したとき クリア(0) : 受信バッファからの受信データ読み出し処理 なお、1フレームの受信ごとに受信シフト・レジスタの内容が受信バッファに転送される構成のため、オーバラン・エラーが発生したときには、受信バッファに次の受信データが上書きされ、1回前の受信データは棄却されます。

(3) 受信バッファ0, 0L (RXB0, RXB0L)

RXB0は、受信データを保持する9ビットのバッファ・レジスタで、7、8ビット/キャラクタの受信では上位ビットには0が格納されます。

このレジスタへの16ビット・アクセス時はRXB0を、下位8ビット・アクセス時はRXB0Lを指定します。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。

また、受信バッファへの転送により、受信完了割り込み要求 (INTSR0) が発生します。

受信禁止状態中は、1フレーム分のシフト・イン処理が終了しても受信バッファへの転送処理は行われず、受信バッファの内容は保持されます。

また、受信完了割り込み要求も発生しません。

RXB0は16ビット・リード・アクセスのみ許可、RXB0Lは8/1ビット・リード・アクセスのみ許可になります。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
RXB0	0	0	0	0	0	0	0	RXEB0	RXB07	RXB06	RXB05	RXB04	RXB03	RXB02	RXB01	RXB00	アドレス FFFFFF0C8H	リセット時 不定
									7	6	5	4	3	2	1	0		
									RXB07	RXB06	RXB05	RXB04	RXB03	RXB02	RXB01	RXB00	アドレス FFFFFF0CAH	リセット時 不定

ビット位置	ビット名	意 味
8	RXEB0	Receive Extended Buffer 9ビット/キャラクタ受信時の拡張ビットです。 7、8ビット/キャラクタの受信では0が読めます。
7-0	RXB0n (n=7-0)	Receive Buffer 受信データを格納しています。 RXB07は、7ビット/キャラクタの受信では0が読めます。

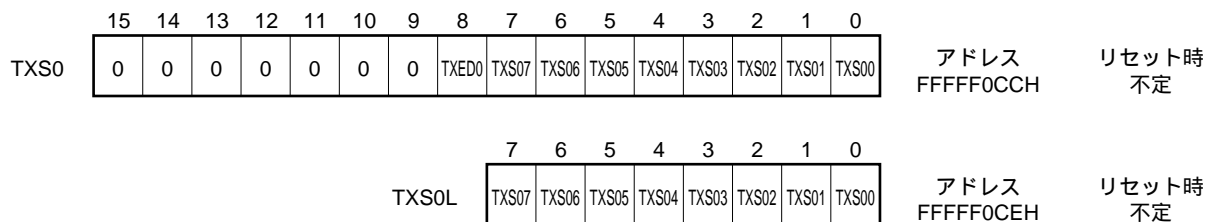
(4) 送信シフト・レジスタ0, 0L (TXS0, TXS0L)

TXS0は、9ビットの送信処理用シフト・レジスタで、このレジスタへのデータ書き込みにより、送信動作が開始されます。

TXS0のデータを含む1フレームの送出終了に同期して送信完了割り込み要求 (INTST0) を発生します。

このレジスタへの16ビット・アクセスはTXS0を、下位8ビット・アクセス時はTXS0Lを指定します。

TXS0は、16ビット・ライト・アクセスのみ許可、またTXS0Lは、8ビット・ライト・アクセスのみ許可になります。



ビット位置	ビット名	意味
8	TXED0	Transmit Extended Data 9ビット/キャラクタ送信時の拡張ビットです。
7-0	TXS0n (n=7-0)	Transmit Shifter 送信データを書き込みます。

注意 V852のUARTは送信バッファを持たないため、送信完了 (バッファへの転送完了) による割り込み要求ではなく、1フレーム分のデータの送出完了に同期した割り込み要求が発生します。

8.2.4 割り込み要求

UARTからは次の3種類の割り込み要求を発生します。

- ・受信エラー割り込み
- ・受信完了割り込み
- ・送信完了割り込み

これら3種類の割り込み要求のデフォルト優先順位は受信エラー割り込みが最も高く、受信完了割り込み、送信完了割り込みの順に低くなります。

表8 - 1 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信エラー	1
受信完了	2
送信完了	3

(1) 受信エラー割り込み (INTSER0)

受信許可状態で、ASIS0レジスタで説明した3種類の受信エラーの論理和で受信エラー割り込みを発生します。

受信禁止状態中は、受信エラー割り込みは発生しません。

(2) 受信完了割り込み (INTSR0)

受信許可状態で、受信シフト・レジスタにデータがシフト・インされ受信バッファに転送されると受信完了割り込みを発生します。

本受信完了割り込み要求は、受信エラーが起こった場合にも発生しますが、受信エラー割り込みの方が処理の優先順位が高くなっています。

受信禁止状態中は、受信完了割り込みは発生しません。

(3) 送信完了割り込み (INTST0)

V852のUARTは送信バッファを持たないため、送信シフト・レジスタから7ビット/8ビット/9ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされると送信完了割り込みを発生します。

送信完了割り込みは、送信データの最終ビットを送信開始時に出力されます。

8.2.5 動作

(1) データ・フォーマット

全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図8-2に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM00, ASM01) によって行います。

図8-2 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



- ・スタート・ビット..... 1ビット
- ・キャラクタ・ビット..... 7ビット/8ビット/9ビット (拡張ビット時)
- ・パリティ/拡張ビット.....偶数パリティ/奇数パリティ/0パリティ/パリティなし/拡張ビット
- ・ストップ・ビット..... 1ビット/2ビット

(2) 送信

送信シフト・レジスタ (TXS0またはTXS0L) にデータを書き込むと送信が起動されます。送信完了割り込み (INTST0) 処理ルーチンで次のデータをTXS0またはTXS0Lレジスタに書き込みます。

(a) 送信許可状態

V852のUARTは、常に送信許可状態です。また、送信許可信号の入力端子を持たないので、相手側が受信可能状態かどうか確認する必要がある場合には汎用入力ポートを用います。

(b) 送信動作の起動

送信シフト・レジスタ (TXS0, TXS0L) にデータを書き込むことにより送信動作は起動します。送信データはスタート・ビットからLSB先頭で転送されます。スタート・ビット、パリティ/拡張ビット、ストップ・ビットは自動的に付加されます。

(c) 送信割り込み要求

1 フレーム分のデータの送出が完了すると送信完了割り込み要求 (INTST0) を発生させます。

次に送信するデータをTXS0またはTXS0Lレジスタに書き込まなければ、送信動作は中断されません。

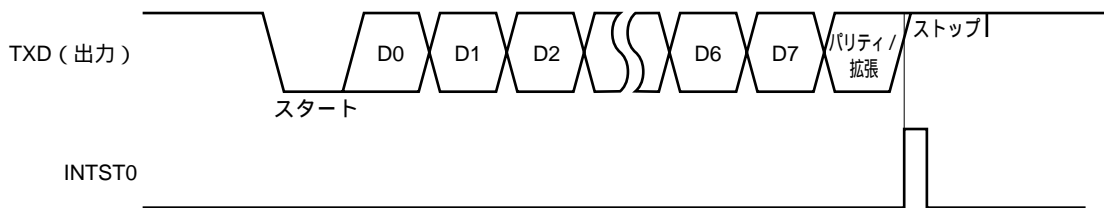
1つの送信が終了したあと、ただちに次の送信データをTXS0またはTXS0Lレジスタに書き込まなければ通信レートが低下します。

注意 1. 通常は送信シフト・レジスタ (TXS0またはTXS0L) が空になった場合に送信完了割り込み (INTST0) が発生します。しかし、 $\overline{\text{RESET}}$ 入力により、送信シフト・レジスタ (TXS0またはTXS0L) が空になっても、送信完了割り込み (INTST0) は発生しません。

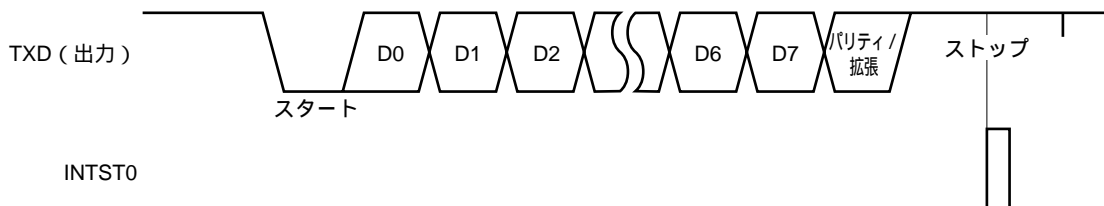
2. INTST0が発生するまでの送信動作中は、TXS0またはTXS0Lレジスタへ書き込んで書き込みデータは無効となります。

図8 - 3 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング

(a) ストップ・ビット長：1



(b) ストップ・ビット長：2



(3) 受信

受信許可にするとRXD端子のサンプリングを開始し、スタート・ビットを検出するとデータの受信を開始します。1フレームのデータ受信が終了することに受信完了割り込み(INTSR0)が発生します。通常、この割り込み処理で受信バッファ(RXB0, RXB0L)からメモリに受信データを転送します。

(a) 受信許可状態

受信動作はASIM00レジスタRXE0ビットをセット(1)することにより許可状態となります。

RXE0=1 : 受信許可状態

RXE0=0 : 受信禁止状態

なお、受信禁止状態では受信ハードウェアは初期状態で待機します。

このとき、受信完了割り込み/受信エラー割り込みは発生せず、受信バッファの内容は保持されます。

(b) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

ASIM00レジスタで指定したシリアル・クロックでRXD端子をサンプリングします。RXD端子の立ち下がりエッジを検出してから8シリアル・クロック後、再びRXD端子をサンプルします。このときロウ・レベルを確認するとスタート・ビットと認識して受信処理動作に移り、以降16シリアル・クロック単位にRXD端子入力をサンプリングします。

RXD端子の立ち下がりエッジを検出してから8シリアル・クロック後のサンプリングでハイ・レベルを確認した場合、この立ち下がりエッジをスタート・ビットとは認めません。サンプル・タイミング発生用のシリアル・クロック・カウンタは初期化されて動作を停止し、次の立ち下がりエッジ入力を待ちます。

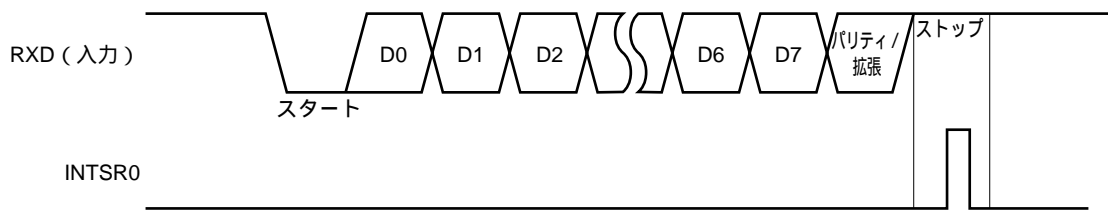
(c) 受信完了割り込み要求

RXE0=1のとき、1フレーム分のデータの受信が完了すると、シフト・レジスタ内の受信データをRXB0に転送し、受信完了割り込み要求(INTSR0)が発生します。

また、エラーが発生した場合でも、受信バッファ(RXB0, RXB0L)にエラーの発生した受信データを転送し、受信完了割り込み(INTSR0)、受信エラー割り込み(INTSER0)を同時に発生します。

なお、受信動作中にRXE0ビットをリセット(0)すると、ただちに受信動作を停止します。このとき、受信バッファ(RXB0, RXB0L)および、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ(ASIS0)の内容は変化せず、受信完了割り込み(INTSR0)、受信エラー割り込み(INTSER0)も発生しません。

図8 - 4 アシクロナス・シリアル・インタフェース受信完了割り込みタイミング



(d) 受信エラー・フラグ

受信動作に同期して、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類のエラー・フラグが影響を受けます。

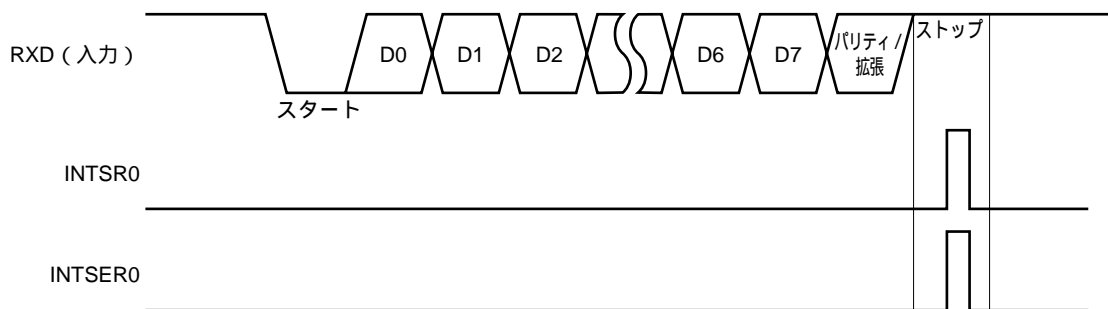
以上の3つの各エラー・フラグの論理和で、受信エラー割り込み要求が発生します。

受信エラー割り込み (INTSER0) 内でASIS0レジスタの内容を読み出すことによって、どのエラーが受信時に発生したかを検出することができます。

ASIS0レジスタの内容は、受信バッファ (RXB0, RXB0L) を読み出すか、次のデータを受信することによってリセット (0) されます (次の受信データにエラーがあれば、そのエラー・フラグがセットされます)。

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信完了

図8 - 5 受信エラー・タイミング



8.3 クロック同期式シリアル・インタフェース 0 - 2 (CSI0-CSI2)

8.3.1 特 徴

チャンネル数 3チャンネル (CSI n) ($n=0-2$)

高速転送 最大6.25 Mbps (/2 使用時, = 25 MHz動作時)

半二重通信

キャラクタ長: 8ビット

データのMSB先頭/LSB先頭を切り替え可能

外部シリアル・クロック入力/内部シリアル・クロック出力選択

3線式 SOn : シリアル・データ出力 ($n=0-2$)

SIn : シリアル・データ入力 ($n=0-2$)

$\overline{\text{SCKn}}$: シリアル・クロック入出力 ($n=0-2$)

割り込みソース 3種

・割り込み要求信号 (INTCSI n) ($n=0-2$)

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM n) ($n=0-2$) によってCSI n を制御します。送受信データはシリアル/I/Oシフト・レジスタ (SIO n) ($n=0-2$) に読み出し/書き込みができます。

(1) クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM n)

CSIM n は、クロック同期式シリアル・インタフェースの動作を指定する8ビット・レジスタです。

(2) シリアル/I/Oシフト・レジスタ (SIO n)

SIO n は、シリアル・データ 平行ル・データの変換を行う8ビット・レジスタです。送信および受信の両方に使用されます。

データは、MSB側またはLSB側からシフト・イン (受信) またはシフト・アウト (送信) されます。

SIO n に対する読み出し/書き込みにより、実際の送受信動作が制御されます。

(3) シリアル・クロック・セレクタ

使用するシリアル・クロックを選択します。

(4) シリアル・クロック制御回路

シリアル・クロックのSIO n への供給の制御を行います。また、内部クロック使用時には $\overline{\text{SCKn}}$ ($n=0-2$) 端子へ出力するクロックの制御も行います。

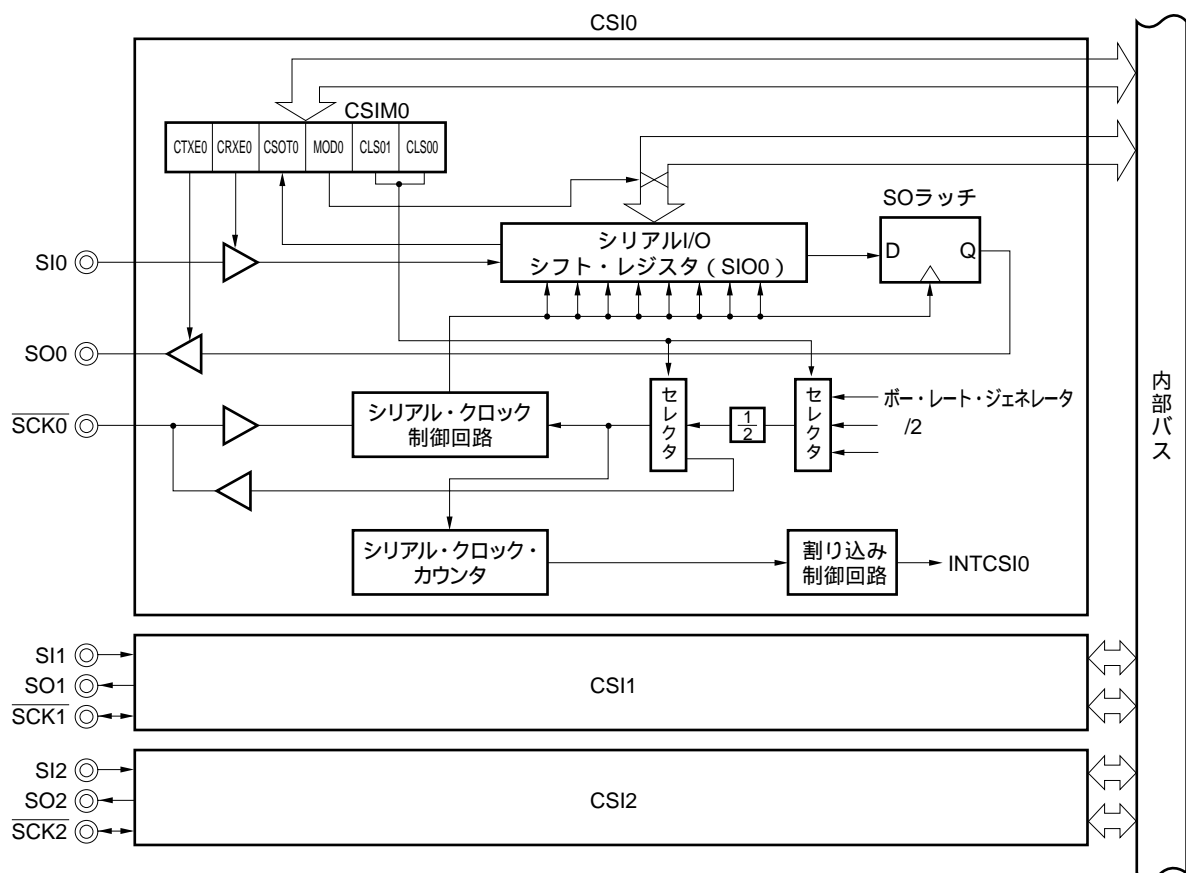
(5) シリアル・クロック・カウンタ

送信/受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み信号発生制御回路

シリアル・クロック・カウンタでシリアル・クロックを8発カウントしたときに、割り込み要求を発生するかしないかを制御します。

8.3.2 構成



8.3.3 モード・レジスタおよびコントロール・レジスタ

(1) クロック同期式シリアル・インタフェース・モード・レジスタ_n (CSIM_n) (n=0-2)

CSIM_nの基本動作モードを指定します。

8/1ビット単位でリード/ライト可能です(ただし,ビット5はリードのみ可能です)。

CSIM0	7	6	5	4	3	2	1	0	アドレス FFFFFF088H	リセット時 00H
	CTXE0	CRXE0	CSOT0	0	0	MOD0	CLS01	CLS00		
CSIM1	7	6	5	4	3	2	1	0	アドレス FFFFFF098H	リセット時 00H
	CTXE1	CRXE1	CSOT1	0	0	MOD1	CLS11	CLS10		
CSIM2	7	6	5	4	3	2	1	0	アドレス FFFFFF0A8H	リセット時 00H
	CTXE2	CRXE2	CSOT2	0	0	MOD2	CLS21	CLS20		

ビット位置	ビット名	意味
7	CTXEn	CSI Transmit Enable 送信許可状態/禁止状態を指定します。 0 : 送信禁止状態 1 : 送信許可状態 CTXEn= " 0 " のときには, SO,SI端子の出力バッファはともにハイ・インピーダンスになります。
6	CRXEn	CSI Receive Enable 受信許可状態/禁止状態を指定します。 0 : 受信禁止状態 1 : 受信許可状態 送信許可 (CTXEn=1) かつ受信禁止のときに, シリアル・クロックが入力された場合には, SIO _n には, " 0 " が入力されます。 受信中に受信禁止 (CRXEn = 0) にした場合, SIO _n の内容は不定になります。
5	CSOT _n	CSI Status Of Transmission 転送動作中であることを示します。 セット (1) : 送信開始タイミング (SIO0レジスタへの書き込み) クリア (0) : 送信終了タイミング (INTCSI発生) 送信許可状態 (CTXEn=1) にして, シリアル・データ転送を開始しようとする際に, SIO _n への書き込みが可能か否かを判別するための手段として使用します。
2	MOD _n	Mode 先頭ビットの指定を行います。 0 : MSB先頭 1 : LSB先頭

備考 n=0-2

ビット位置	ビット名	意味																		
1, 0	CLSn1, CLSn0	Clock Source シリアル・クロックを指定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">CLSn1</th> <th style="width: 10%;">CLSn0</th> <th style="width: 50%;">シリアル・クロックの指定</th> <th style="width: 30%;">SCKn端子</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>外部クロック</td> <td style="text-align: center;">入力</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td rowspan="3" style="text-align: center;">内部クロック</td> <td style="text-align: center;">BPRMmレジスタで指定^{注1}</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">/4^{注2}</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">/2^{注2}</td> </tr> </tbody> </table> <p>注1. BPRMm (m=0, 1) レジスタへの設定については8.4 ボー・レート・ジェネレータ (BRG) を参照してください。</p> <p>2. /4, /2は、分周信号です(=システム・クロック)。</p>	CLSn1	CLSn0	シリアル・クロックの指定	SCKn端子	0	0	外部クロック	入力	0	1	内部クロック	BPRMmレジスタで指定 ^{注1}	1	0	/4 ^{注2}	1	1	/2 ^{注2}
CLSn1	CLSn0	シリアル・クロックの指定	SCKn端子																	
0	0	外部クロック	入力																	
0	1	内部クロック	BPRMmレジスタで指定 ^{注1}																	
1	0		/4 ^{注2}																	
1	1		/2 ^{注2}																	

備考 n=0-2

(2) シリアル/Oシフト・レジスタn (SIO_n) (n=0-2)

8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。SIO_nに対するリード/ライトによって実際の送受信動作が制御されます。

CTXEr (n=0-2) = 1 またはCRXEr (n=0-2) = 1 のときに、SIO_nのシフト動作を行います。

8/1ビット単位でリード/ライト可能です。

SIO0	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 12.5%;">7</th><th style="width: 12.5%;">6</th><th style="width: 12.5%;">5</th><th style="width: 12.5%;">4</th><th style="width: 12.5%;">3</th><th style="width: 12.5%;">2</th><th style="width: 12.5%;">1</th><th style="width: 12.5%;">0</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">SIO07</td><td style="text-align: center;">SIO06</td><td style="text-align: center;">SIO05</td><td style="text-align: center;">SIO04</td><td style="text-align: center;">SIO03</td><td style="text-align: center;">SIO02</td><td style="text-align: center;">SIO01</td><td style="text-align: center;">SIO00</td> </tr> </tbody> </table>	7	6	5	4	3	2	1	0	SIO07	SIO06	SIO05	SIO04	SIO03	SIO02	SIO01	SIO00	アドレス FFFFFF08AH	リセット時 不定
7	6	5	4	3	2	1	0												
SIO07	SIO06	SIO05	SIO04	SIO03	SIO02	SIO01	SIO00												
SIO1	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 12.5%;">7</th><th style="width: 12.5%;">6</th><th style="width: 12.5%;">5</th><th style="width: 12.5%;">4</th><th style="width: 12.5%;">3</th><th style="width: 12.5%;">2</th><th style="width: 12.5%;">1</th><th style="width: 12.5%;">0</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">SIO17</td><td style="text-align: center;">SIO16</td><td style="text-align: center;">SIO15</td><td style="text-align: center;">SIO14</td><td style="text-align: center;">SIO13</td><td style="text-align: center;">SIO12</td><td style="text-align: center;">SIO11</td><td style="text-align: center;">SIO10</td> </tr> </tbody> </table>	7	6	5	4	3	2	1	0	SIO17	SIO16	SIO15	SIO14	SIO13	SIO12	SIO11	SIO10	アドレス FFFFFF09AH	リセット時 不定
7	6	5	4	3	2	1	0												
SIO17	SIO16	SIO15	SIO14	SIO13	SIO12	SIO11	SIO10												
SIO2	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 12.5%;">7</th><th style="width: 12.5%;">6</th><th style="width: 12.5%;">5</th><th style="width: 12.5%;">4</th><th style="width: 12.5%;">3</th><th style="width: 12.5%;">2</th><th style="width: 12.5%;">1</th><th style="width: 12.5%;">0</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">SIO27</td><td style="text-align: center;">SIO26</td><td style="text-align: center;">SIO25</td><td style="text-align: center;">SIO24</td><td style="text-align: center;">SIO23</td><td style="text-align: center;">SIO22</td><td style="text-align: center;">SIO21</td><td style="text-align: center;">SIO20</td> </tr> </tbody> </table>	7	6	5	4	3	2	1	0	SIO27	SIO26	SIO25	SIO24	SIO23	SIO22	SIO21	SIO20	アドレス FFFFFF0AAH	リセット時 不定
7	6	5	4	3	2	1	0												
SIO27	SIO26	SIO25	SIO24	SIO23	SIO22	SIO21	SIO20												

ビット位置	ビット名	意味
7-0	SIO _n m	Serial I/O データは、MSBまたはLSB側からシフト・イン(受信)またはシフト・アウト(送信)します。

備考 n=0-2, m=0-7

8.3.4 基本動作

(1) 転送フォーマット

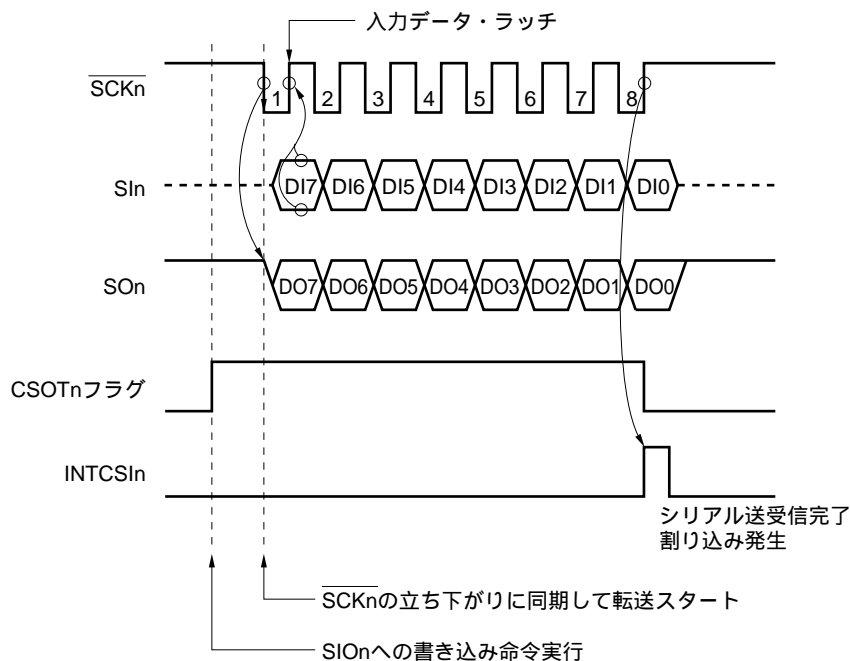
V852のCSIn ($n=0-2$) では、1本のクロック・ラインと2本のデータ・ラインの3線でインタフェースします。

シリアル転送は、SIO n ($n=0-2$) レジスタに対する転送データの書き込み命令を実行することによりスタートします。

送信の場合には $\overline{\text{SCKn}}$ ($n=0-2$) の立ち下がりに同期してSO n ($n=0-2$) 端子からデータが出力されます。

受信の場合には $\overline{\text{SCKn}}$ ($n=0-2$) の立ち上がりに同期してSI n ($n=0-2$) 端子の入力データをラッチします。シリアル・クロック・カウンタのオーバフロー(8カウント目の立ち上がり)で $\overline{\text{SCKn}}$ は停止し、次のデータの送信または受信動作が起動されるまで $\overline{\text{SCKn}}$ はハイ・レベルを保持します。同時に、割り込み要求信号INTCSIn ($n=0-2$) を発生します。

注意 SIO n レジスタに送信データをライトしておいてCTXEn ($n=0-2$) =0 1にしてもシリアル転送は行いません。



備考 $n=0-2$

(2) 送受信許可

V852のCSIn ($n=0-2$) は、8ビット・シフト・レジスタを1つしか持たず、バッファも持っていないため、基本的に送信および受信は同時に行います。

(a) 送受信許可条件

CSInの送受信許可条件の指定は、CSImn (n=0-2) レジスタのCTXEn (n=0-2) , CRXEn (n=0-2) ビットで行います。

CTXEn	CRXEn	送受信動作
0	0	送受信禁止
0	1	受信許可
1	0	送信許可
1	1	送受信許可

備考 n=0-2

(i) CTXEnによるSIO出力の禁止

CTXEn=0の場合には、CSInのSIO端子出力はハイ・インピーダンスになります。
CTXEn=1の場合には、CSInのSIOレジスタのデータが出力されます。

(ii) CRXEnによるSIO入力禁止

CRXEn=0の場合には、CSInのSIOレジスタ入力は“0”になります。
CRXEn=1の場合には、CSInのSIO端子入力がシフト・レジスタに入力されます。

(iii) 送信データのチェックを行う場合

送信データを自分自身で受信し、バスの競合が発生していないかチェックするためには
CTXEn=CRXEn=1にします。

(b) 送受信動作の起動

送受信動作の起動(スタート)はSIOレジスタに対するリード/ライトによります。送信・受信のスタート制御は送信許可ビット(CTXEn)、受信許可ビット(CRXEn)を下記のように設定することにより行います。

CTXEn	CRXEn	スタート条件
0	0	スタートしない
0	1	SIOの読み出し
1	0	SIOへの書き込み
1	1	SIOへの書き込み
0	0	CRXEnビット書き換え

備考 n=0-2

CTXEnビットが“0”のときにSIOレジスタをリード/ライトし、その後“1”にしてもCSInの転送はスタートしません。

また、CTXEnビットが“0”のときにCRXEnビットを“0” “1”にすると、シリアル・クロックが発生し、CSInの受信動作を開始します。

8.3.5 3線式シリアルI/Oモードで送信する

CSIMn (n=0-2) レジスタにより送信許可に設定したあと、SIO_n (n=0-2) レジスタに書き込みを行うと、送信動作が起動します。

(1) 送信動作を起動する

送信動作の起動は、CSIMnレジスタのCTXEn (n=0-2) ビットをセットして (CRXEn (n=0-2) ビットには“0”をセット)、SIO_nレジスタへ送信データを書き込むことで行います。

なお、CTXEnビットがリセット (0) されているときは、SO_n (n=0-2) 端子は出力ハイ・インピーダンスとなります。

(2) シリアル・クロックに同期してデータを送信する

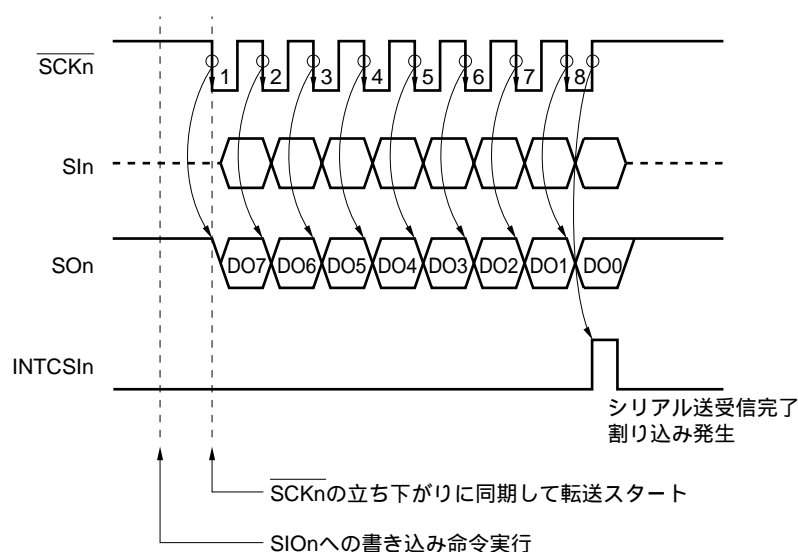
(a) シリアル・クロックとして内部クロックを選択した場合

送信が起動されると、シリアル・クロックをSCK_n (n=0-2) 端子から出力し、同時にシリアル・クロックの立ち下がりに同期してSIO_nレジスタからデータをSO_n端子へ順次出力します。

(b) シリアル・クロックとして外部クロックを選択した場合

送信が起動されると、送信起動後にSCK_n端子へ入力されたシリアル・クロックの立ち下がりに同期してSIO_nレジスタからデータをSO_n端子へ順次出力します。送信が起動されていないときに、シリアル・クロックをSCK_n端子へ入力してもシフト動作は行われず、SO_n端子の出力レベルは変化しません。

図8-6 3線式シリアルI/Oモードのタイミング (送信)



備考 n=0-2

8.3.6 3線式シリアルI/Oモードで受信する

CSIMn (n=0-2) レジスタにより、受信禁止から受信許可に状態を変える、または受信許可状態でSIO_n (n=0-2) レジスタを読み出すと受信動作は起動されます。

(1) 受信動作を起動する

受信動作の起動には、次の2つの方法があります。

CSIMnレジスタのCRXEn (n=0-2) ビットを受信禁止状態“0”から受信許可状態“1”へ変化させた場合

CSIMnレジスタのCRXE0ビットが受信許可状態“1”のときにSIO_nから受信データを読み出した場合

CSIMnレジスタのCRXEnビットをセット(1)した状態で、再び“1”を書き込んで受信動作は起動されません。なお、CRXEn=0のときは、SIO_nレジスタへの入力は“0”になります。

(2) シリアル・クロックに同期してデータを受信する

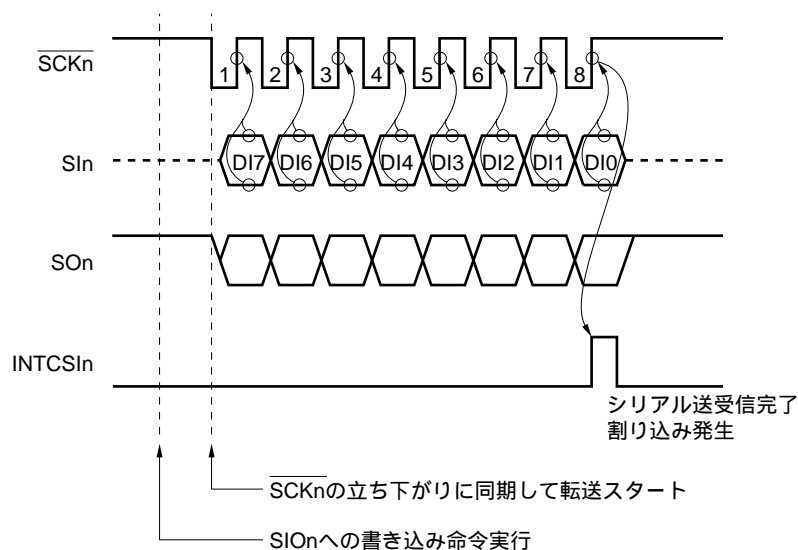
(a) シリアル・クロックとして内部クロックを選択した場合

受信が起動されると、シリアル・クロックを $\overline{\text{SCKn}}$ (n=0-2) 端子から出力し、同時にシリアル・クロックの立ち上がり同期してSI_n (n=0-2) 端子のデータをSIO_nレジスタへ順次取り込みます。

(b) シリアル・クロックとして外部クロックを選択した場合

受信が起動されると、受信起動後に $\overline{\text{SCKn}}$ 端子へ入力されたシリアル・クロックの立ち上がり同期してSI_n (n=0-2) 端子のデータをSIO_nへ順次取り込みます。受信が起動されていないときに、シリアル・クロックを $\overline{\text{SCKn}}$ 端子へ入力してもシフト動作は行いません。

図8-7 3線式シリアルI/Oモードのタイミング(受信)



備考 n=0-2

8.3.7 3線式シリアルI/Oモードで送受信する

CSIMn (n=0-2) レジスタにより、送信と受信をともに許可状態にすると、送信動作と受信動作を同時に行うことができます。

(1) 送受信動作を起動する

CSIMnレジスタのCTXEn (n=0-2) ビットとCRXEn (n=0-2) ビットが両方ともセット(1)されているときは、送信動作と受信動作を同時に行うことができます(送受信動作)。

送受信動作の起動は、CSIMnレジスタのCTXEn, CRXEnビットがともに“1”(送受信許可状態)のとき、SIO_n (n=0-2) レジスタに送信データを書き込むことで行います。

CSIMnレジスタのCRXEnビットが“1”の状態で、再び“1”を書き込んでも送受信動作は起動されません。

(2) シリアル・クロックに同期してデータを送信する

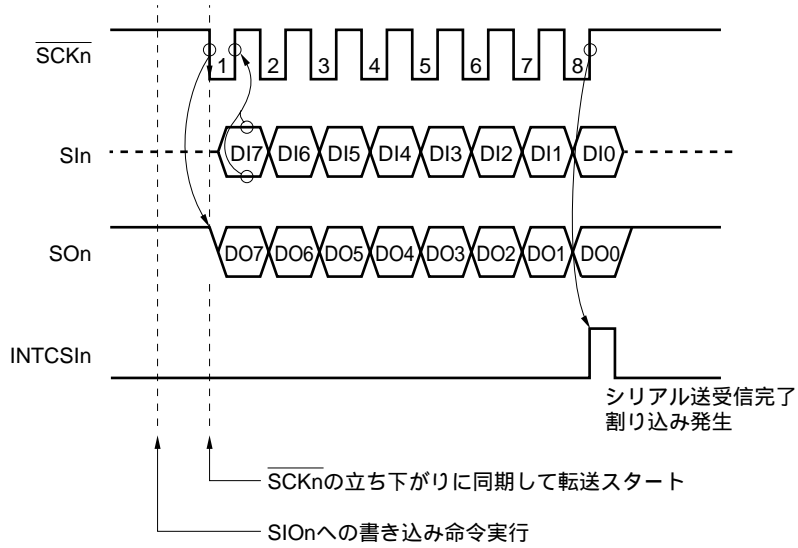
(a) シリアル・クロックとして内部クロックを選択した場合

送受信が起動されると、シリアル・クロックを $\overline{\text{SCKn}}$ (n=0-2) 端子から出力し、同時にシリアル・クロックの立ち下がりに同期してSIO_nレジスタからデータをSO_n (n=0-2) 端子へ順次出力します。また、シリアル・クロックの立ち上がりに同期してSIn (n=0-2) 端子のデータをSIO_n レジスタへ順次取り込みます。

(b) シリアル・クロックとして外部クロックを選択した場合

送受信が起動されると、送受信起動後に $\overline{\text{SCKn}}$ 端子へ入力されたシリアル・クロックの立ち下がりに同期してSIO_nレジスタからSO_n端子へデータが順次出力します。シリアル・クロックの立ち上がりに同期してSIn端子のデータをSIO_nへ順次取り込みます。送受信が起動されていないときに、シリアル・クロックを $\overline{\text{SCKn}}$ 端子へ入力してもシフト動作は行わず、SO_n端子の出力レベルは変化しません。

図8-8 3線式シリアルI/Oモードのタイミング(送受信)



備考 n=0-2

8.3.8 システム構成例

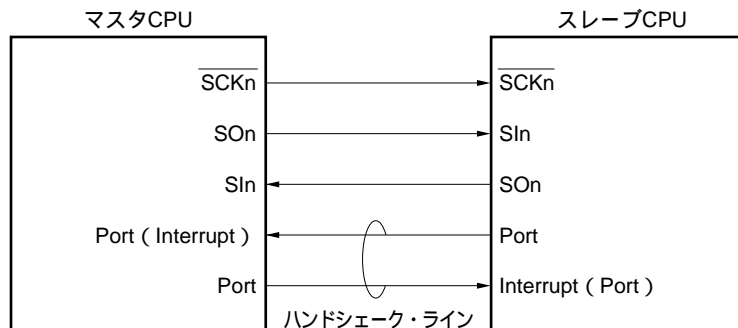
シリアル・クロック (SCKn) (n=0-2), シリアル入力 (SIn) (n=0-2) およびシリアル出力 (SOn) (n=0-2) の3本の信号線によって, 8ビット長のデータ転送を行います。従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続する場合に有効です。

複数のデバイスと接続する場合は, ハンドシェイク用のラインが必要です。

通信先頭ビットがMSBまたはLSBに選択できるので, さまざまなデバイスと通信することができます。

図8-9 CSIのシステム構成例

(3線式シリアルI/O ←→ 3線式シリアルI/O)



備考 n=0-2

8.4 ポー・レート・ジェネレータ0, 1 (BRG0, BRG1)

8.4.1 構成と機能

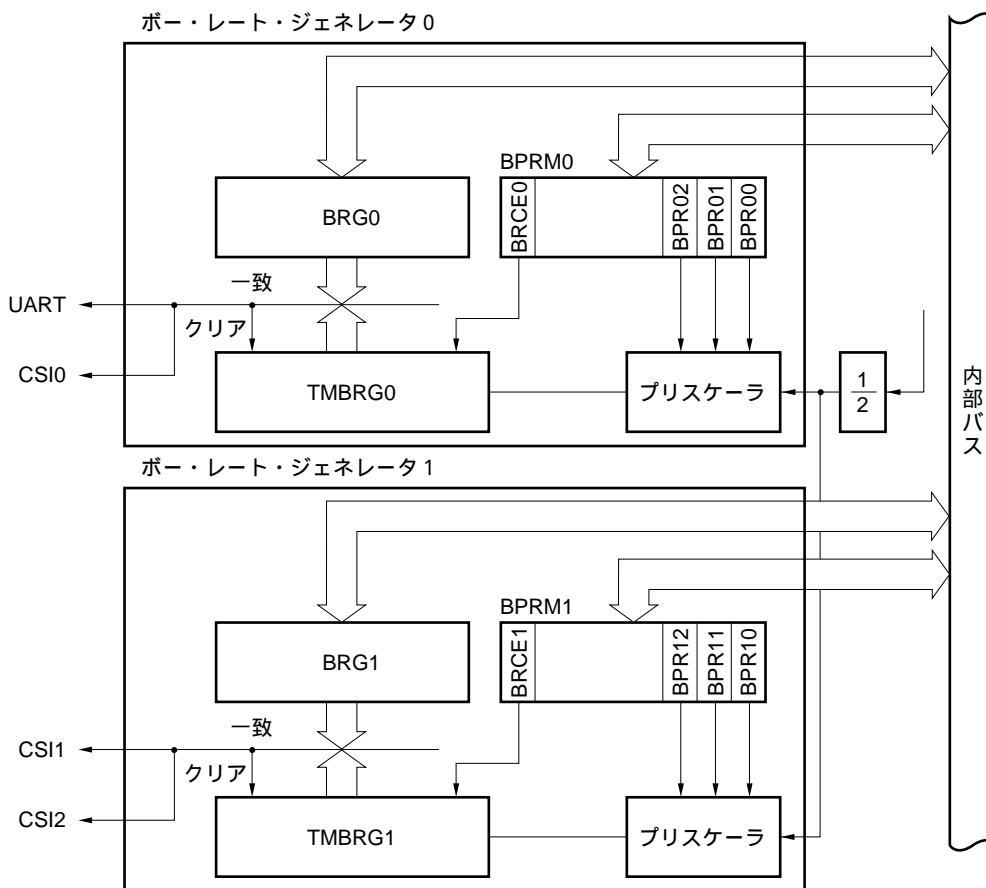
シリアル・インタフェースでは、シリアル・クロックを、ポー・レート・ジェネレータ出力または系（システム・クロック）から選択したものをポー・レートとして用いることができます。

シリアル・クロック・ソースは、UARTの場合はASIM00レジスタのSCLS0ビット、CSIn (n=0-2) の場合はCSIMn (n=0-2) レジスタのCLS_{n0},CLS_{n1}ビットで指定します。

ポー・レート・ジェネレータ出力を指定した場合は、クロック・ソースとしてポー・レート・ジェネレータが選択されます。

1チャンネル当たりの送受信のシリアル・クロックは1つで共用されるため、送受信のポー・レートは同一となります。

図8-10 ポー・レート・ジェネレータのブロック図



(1) 専用ボー・レート・ジェネレータ (BRG0, BRG1)

専用ボー・レート・ジェネレータBRG0, BRG1は、おのおの、送受信のシフト・クロックを発生する専用の8ビット・タイマ (TMBRG0, TMBRG1)+ コンペア・レジスタ (BRG0, BRG1) とプリスケアラから構成されます。

(a) 入力クロック

BRG0, BRG1レジスタへは、システム・クロック が入力されます。

(b) BRG0, BRG1レジスタへの設定値

(i) UART

UARTにて専用ボー・レート・ジェネレータを指定した場合、×16のサンプリング・レートを使用しているので、実際のボー・レートは次式で表されます。

$$\text{ボー・レート} = \frac{\text{システム・クロック周波数 [Hz]}}{2 \times m \times 2^n \times 16 \times 2} \text{ [bps]}$$

=システム・クロック周波数 [Hz]

m=タイマ・カウント値 (1 m 256[※]) : BRG0, BRG1で設定

n=プリスケアラ設定値 (n=0,1,2,3,4) : BPRM0, BPRM1で設定

注 m=256の設定は、BRGレジスタへの0ライトで行います。

(ii) CSI0-CSI2

CSI0-CSI2にて専用ボー・レート・ジェネレータを指定した場合、実際のボー・レートは次式で表されます。

$$\text{ボー・レート} = \frac{\text{システム・クロック周波数 [Hz]}}{2 \times m \times 2^n \times 2} \text{ [bps]}$$

=システム・クロック周波数 [Hz]

m=タイマ・カウント値 (1 m 256[※]) : BRG0, BRG1で設定

n=プリスケアラ設定値 (n=0,1,2,3,4) : BPRM0, BPRM1で設定

注 m=256の設定は、BRGレジスタへの0ライトで行います。

代表的クロックを使用したときのボー・レート・ジェネレータの設定値を次に示します。

表8-2 BRG設定データ

ボー・レート [bps]		= 25 MHz			= 16 MHz			= 13.5 MHz			= 12.288 MHz		
UART	CSI	BPR	BRG0	誤差	BPR	BRG0	誤差	BPR	BRG0	誤差	BPR	BRG0	誤差
110	1760	4	222	0.02 %	4	142	0.03 %	3	240	0.12 %	3	218	0.08 %
150	2400	4	163	0.15 %	3	208	0.16 %	3	176	0.12 %	3	160	0.0 %
300	4800	3	163	0.15 %	2	208	0.16 %	2	176	0.12 %	2	160	0.0 %
600	9600	2	163	0.15 %	1	208	0.16 %	1	176	0.12 %	1	160	0.0 %
1200	19200	1	163	0.15 %	0	208	0.16 %	0	176	0.12 %	0	160	0.0 %
2400	38400	0	163	0.15 %	0	104	0.16 %	0	88	0.12 %	0	80	0.0 %
4800	76800	0	81	0.47 %	0	52	0.16 %	0	44	0.12 %	0	40	0.0 %
9600	153600	0	41	0.76 %	0	26	0.16 %	0	22	0.12 %	0	20	0.0 %
10400	166400	0	38	1.16 %	0	24	0.16 %	0	20	0.12 %	0	18	2.6 %
19200	307200	0	20	1.73 %	0	13	0.16 %	0	11	0.12 %	0	10	0.0 %
38400	614400	0	10	1.73 %	0	7	6.99 % ^注	0	6	8.4 % ^注	0	5	0.0 %
76800	1228800	0	5	1.73 %	-	-	-	-	-	-	0	3	16.7 % ^注
153600	2457600	0	2	27.2 % ^注	-	-	-	-	-	-	-	-	-

ボー・レート [bps]		= 20 MHz			= 14.746 MHz			= 12.5 MHz			= 9.830 MHz		
UART	CSI	BPR	BRG0	誤差	BPR	BRG0	誤差	BPR	BRG0	誤差	BPR	BRG0	誤差
110	1760	4	178	0.25 %	4	131	0.07 %	3	222	0.02 %	3	175	0.26 %
150	2400	4	130	0.16 %	3	192	0.0 %	3	163	0.15 %	3	128	0.0 %
300	4800	3	130	0.16 %	2	192	0.0 %	2	163	0.15 %	2	128	0.0 %
600	9600	2	130	0.16 %	1	192	0.0 %	1	163	0.15 %	1	128	0.0 %
1200	19200	1	130	0.16 %	0	192	0.0 %	0	163	0.15 %	0	128	0.0 %
2400	38400	0	130	0.16 %	0	96	0.0 %	0	81	0.47 %	0	64	0.0 %
4800	76800	0	65	0.16 %	0	48	0.0 %	0	41	0.76 %	0	32	0.0 %
9600	153600	0	33	1.36 %	0	24	0.0 %	0	20	1.73 %	0	16	0.0 %
10400	166400	0	30	0.16 %	0	22	0.7 %	0	19	1.16 %	0	15	1.5 %
19200	307200	0	16	1.73 %	0	12	0.0 %	0	10	1.73 %	0	8	0.0 %
38400	614400	0	8	1.73 %	0	6	0.0 %	0	5	1.73 %	0	4	0.0 %
76800	1228800	0	4	1.73 %	0	3	0.0 %	0	3	15.2 % ^注	0	2	0.0 %
153600	2457600	0	2	1.73 %	0	2	25.0 % ^注	-	-	-	0	1	0.0 %

注 誤差が大きく使用不可

(c) ボー・レート・ジェネレータの誤差について

ボー・レート・ジェネレータの誤差は次のように表されます。

$$\text{誤差 [\%]} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100$$

例 $(9520/9600 - 1) \times 100 = -0.833 [\%]$

$(5000/4800 - 1) \times 100 = +4.167 [\%]$

(2) ボー・レート・ジェネレータの誤差許容範囲

許容範囲は、1フレームのビット数に依存します。

16ビットでのボー・レート誤差：±5%、サンプル・タイミング：±4.5%を基本的な許容限度とします。

ただし、実用上の許容限度は、送信側、受信側がともに誤差を含んでいる場合を想定して、ボー・レート誤差：±2.3%です。

8.4.2 ポー・レート・ジェネレータ・レジスタ0,1(BRG0, BRG1)

専用ポー・レート・ジェネレータにおけるタイマ・カウント値を設定する8ビットのコンペア・レジスタです。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
BRG0	BRG07	BRG06	BRG05	BRG04	BRG03	BRG02	BRG01	BRG00	アドレス FFFFFF084H	リセット時 不定
	7	6	5	4	3	2	1	0		
BRG1	BRG17	BRG16	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	アドレス FFFFFF094H	リセット時 不定

注意 BRGn (n=0, 1) レジスタへの書き込み動作により、内部タイマ (TMBRGn) (n=0, 1) がクリアされます。したがって、送受信動作中にソフトウェアでBRGnレジスタを書き換えしないでください。

8.4.3 ポー・レート・ジェネレータ・プリスケアラ・モード・レジスタ0,1(BPRM0, BPRM1)

専用ポー・レート・ジェネレータのタイマ・カウント動作制御とカウント・クロックの選択を行います。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
BPRM0	BRCE0	0	0	0	0	BPR02	BPR01	BPR00	アドレス FFFFFF086H	リセット時 00H
	7	6	5	4	3	2	1	0		
BPRM1	BRCE1	0	0	0	0	BPR12	BPR11	BPR10	アドレス FFFFFF096H	リセット時 00H

ビット位置	ビット名	意味																								
7	BRCEm	Baud Rate Generator Count Enable BRGのカウンタ動作を制御します。 0 : クリアされたままカウンタ動作を停止します。 1 : カウンタ動作を許可します。																								
2-0	BPRm2-BPRm0	Baud Rate Generator Prescaler TMRBGへ入力するカウンタ・クロックを指定します。 <table border="1" data-bbox="571 544 1366 813"> <thead> <tr> <th>BPRm2</th> <th>BPRm1</th> <th>BPRm0</th> <th>カウンタ・クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>/2 (n=0)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>/4 (n=1)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>/8 (n=2)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>/16 (n=3)</td> </tr> <tr> <td>1</td> <td>x</td> <td>x</td> <td>/32 (n=4)</td> </tr> </tbody> </table> n : プリスケアラ設定値 : システム・クロック	BPRm2	BPRm1	BPRm0	カウンタ・クロック	0	0	0	/2 (n=0)	0	0	1	/4 (n=1)	0	1	0	/8 (n=2)	0	1	1	/16 (n=3)	1	x	x	/32 (n=4)
BPRm2	BPRm1	BPRm0	カウンタ・クロック																							
0	0	0	/2 (n=0)																							
0	0	1	/4 (n=1)																							
0	1	0	/8 (n=2)																							
0	1	1	/16 (n=3)																							
1	x	x	/32 (n=4)																							

注意 送受信動作中にカウンタ・クロックを変更しないでください。

備考 m=0 , 1

〔メ モ〕

第9章 ポート機能

9.1 特 徴

V852のポートには以下のような特徴があります。

本数 入力専用ポート 1本

入出力ポート 67本

ほかの周辺機能の入出力端子と兼用

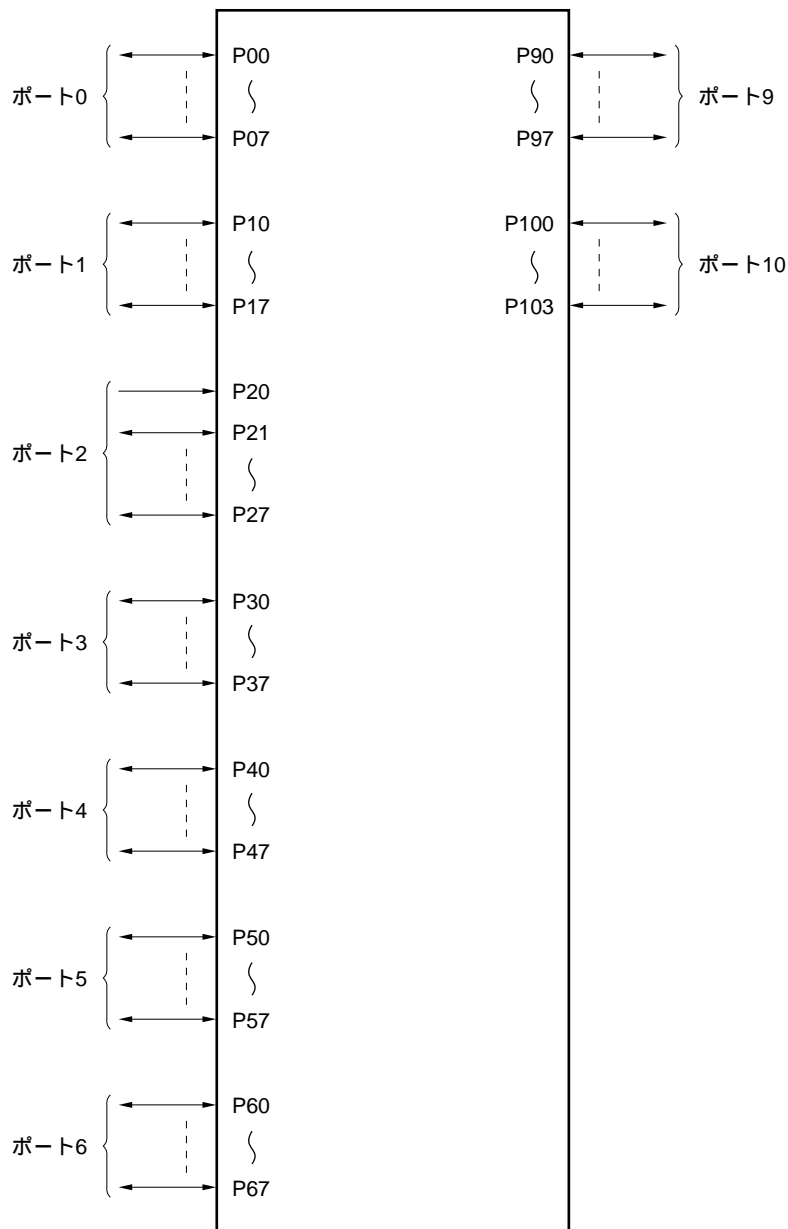
ビット単位で入力/出力指定可能

ノイズ除去

エッジ検出

9.2 ポートの基本構成

V852は、ポート0-10の合計67本の入力/出力ポートを内蔵しています。V852のポート構成を以下に示します。



(1) 各ポートの機能

V852のポートには以下に示すような種類があります。

一部のポートはポートとしての機能のほかに、コントロール・モードとして内蔵ハードウェアの入出力端子としての機能を持っています。

ポート名	ポート機能	コントロール・モード時の機能	備考
ポート0	8ビット ^注 入出力ポート	リアルタイム・パルス・ユニット (RPU) 入出力	1ビット単位でポート/コントロール・モードに指定可能
		外部割り込み要求入力	ポート・モードに指定可能
ポート1	(1ビット単位)	-	ポート・モードに固定
ポート2	で入力/出力を 指定可能)	外部割り込み要求入力	1ビット単位でポート/コントロール・モードに指定可能
		シリアル・インタフェース (CSI2) 入出力	ポート・モードに指定可能
ポート3		シリアル・インタフェース (UART, CSI0-CSI1) 入出力	
ポート4		メモリ拡張時のアドレス/データ・バス (AD0-AD7)	8ビット単位でポート/コントロール・モードに指定可能
ポート5		メモリ拡張時のアドレス/データ・バス (AD8-AD15)	ポート・モードに指定可能
ポート6		メモリ拡張時のアドレス・バス (A16-A23)	2ビット単位でポート/コントロール・モードに指定可能
ポート9		メモリ拡張時の制御信号出力	5/2/1ビット単位でポート/コントロール・モードに指定可能
ポート10	4ビット 入出力ポート (1ビット単位 で入力/出力を 指定可能)	システム拡張時の制御信号入出力	1ビット単位でポート/コントロール・モードに指定可能

注 ポート2は7ビット入出力ポート

注意 コントロール・モード時に出力、または入出力端子として動作するポートをコントロール・モードに切り替える場合は、必ず次の手順で設定を行ってください。

コントロール・モードで出力される信号のインアクティブ・レベルを、ポートn (Pn) の該当するビットに設定 (n = 0, 2, 3-6, 9, 10)。

ポートnモード・コントロール・レジスタ (PMCN) により、コントロール・モードに切り替え。

上記を行わない場合、ポート・モードからコントロール・モードに切り替える際に、ポートn (Pn) の内容が、一瞬出力されることがあります。

(2) 各ポート端子のリセット時の機能とポート/コントロール・モードを設定するレジスタ

(1/2)

ポート名	端子名	リセット時の機能(()内は入出力)		モードを設定する レジスタ
		シングルチップ・モード時	ROMレス・モード時	
ポート0	P00/TO10	P00 (入力)		PMC0
	P01/TO11	P01 (")		
	P02/TCLR1	P02 (")		
	P03/TI1	P03 (")		
	P04/INTP10	P04 (")		
	P05/INTP11	P05 (")		
	P06/INTP12	P06 (")		
	P07/INTP13	P07 (")		
ポート1	P10-P17	P10-P17 (すべて入力)		-
ポート2	P20/NMI	NMI (入力)		PMC2
	P21/INTP00	P21 (")		
	P22/INTP01	P22 (")		
	P23/INTP02	P23 (")		
	P24/INTP03	P24 (")		
	P25/SO2	P25 (")		
	P26/SI2	P26 (")		
	P27/SCK2	P27 (")		
ポート3	P30/SO0	P30 (入力)		PMC3
	P31/SI0	P31 (")		
	P32/SCK0	P32 (")		
	P33/TXD	P33 (")		
	P34/RXD	P34 (")		
	P35/SO1	P35 (")		
	P36/SI1	P36 (")		
	P37/SCK1	P37 (")		
ポート4	P40/AD0-P47/AD7	P40-P47 (すべて入力)	AD0-AD7	MM
ポート5	P50/AD8-P57/AD15	P50-P57 (すべて入力)	AD8-AD15	MM
ポート6	P60/A16-P67/A23	P60-P67 (すべて入力)	A16-A23	MM
ポート9	P90/LBEN	P90 (入力)	LBEN	MM
	P91/UBEN	P91 (")	UBEN	
	P92/R/W	P92 (")	R/W	
	P93/DSTB	P93 (")	DSTB	
	P94/ASTB	P94 (")	ASTB	
	P95/ST0	P95 (")		
	P96/ST1	P96 (")		
	P97	P97 (")		

(2/2)

ポート名	端子名	リセット時の機能 ()内は入出力)		モードを設定する レジスタ
		シングルチップ・モード時	ROMレス・モード時	
ポート10	P100/ $\overline{\text{HLDAK}}$	P100 (入力)		PMC10
	P101/ $\overline{\text{HLDRQ}}$	P101 (")		
	P102	P102 (")		-
	P103	P103 (")		

9.3 各ポートの端子機能

9.3.1 ポート0

ポート0は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P0	P07	P06	P05	P04	P03	P02	P01	P00	アドレス FFFFF000H	リセット時 不定

ビット位置	ビット名	意味
7-0	P0n (n=7-0)	Port 0 入出力ポート

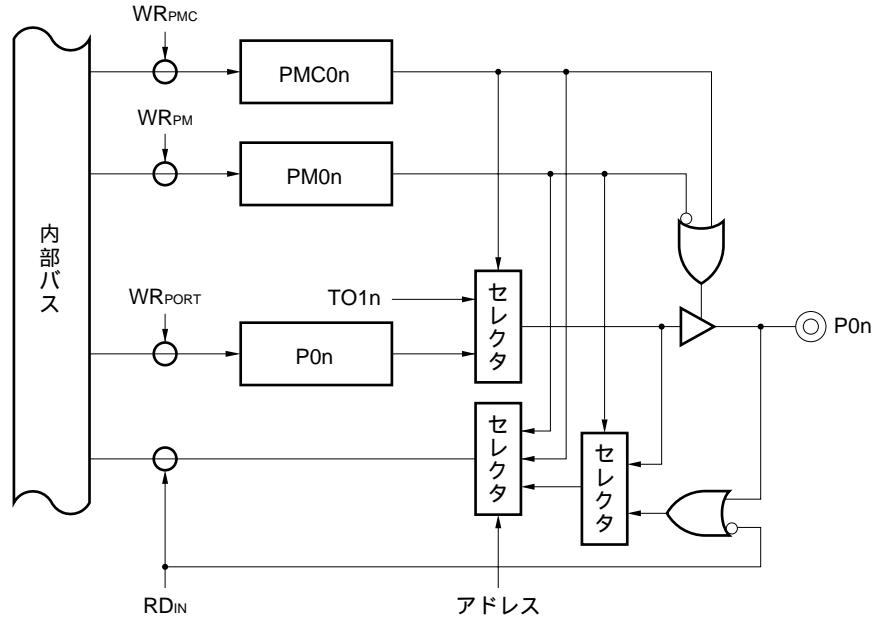
ポートとしての機能のほかに、コントロール・モードではリアルタイム・パルス・ユニット (RPU) の入出力および外部割り込み要求入力として動作可能です。

コントロール・モード時の動作

ポート	コントロール・モード	備考	
ポート0	P00	TO10	リアルタイム・パルス・ユニット (RPU) 出力
	P01	TO11	
	P02	TCLR1	リアルタイム・パルス・ユニット (RPU) 入力
	P03	TI1	
	P04-P07	INTP10-INTP13	

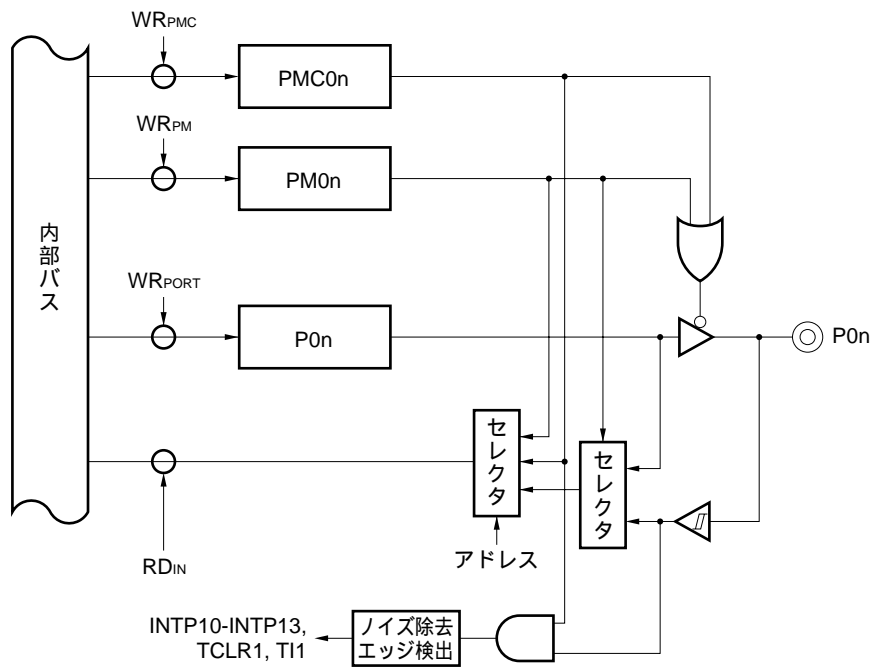
(1) ハードウェア構成

図9-1 P00, P01 (ポート0) のブロック図



備考 n=0, 1

図9-2 P02-P07 (ポート0) のブロック図



備考 n=2-7

(2) 入出力モード/コントロール・モードの設定

ポート0の入出力モードの設定は、ポート・モード・レジスタ0 (PM0)で行います。また、コントロール・モードの設定は、ポート・モード・コントロール・レジスタ0 (PMC0)で行います。

ポート0モード・レジスタ (PM0)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	アドレス FFFFF020H	リセット時 FFH

ビット位置	ビット名	意味
7-0	PM00-PM07	Port Mode P00-P07端子の入力/出力のモード指定を行います。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

ポート0モード・コントロール・レジスタ (PMC0)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PMC0	PMC07	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00	アドレス FFFFFF040H	リセット時 00H

ビット位置	ビット名	意味
7-4	PMC07-PMC04	Port Mode Control P0n端子の動作モードを示します。 0 : 入出力ポート・モード 1 : 外部割り込み要求入力 (INTP13-INTP10)
3	PMC03	Port Mode Control P03端子の動作モードを示します。 0 : 入出力ポート・モード 1 : TI1入力モード
2	PMC02	Port Mode Control P02端子の動作モードを示します。 0 : 入出力ポート・モード 1 : TCLR1入力モード
1	PMC01	Port Mode Control P01端子の動作モードを示します。 0 : 入出力ポート・モード 1 : TO11出力モード
0	PMC00	Port Mode Control P00端子の動作モードを示します。 0 : 入出力ポート・モード 1 : TO10出力モード

9.3.2 ポート1

ポート1は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P1	P17	P16	P15	P14	P13	P12	P11	P10	アドレス FFFFF002H	リセット時 不定

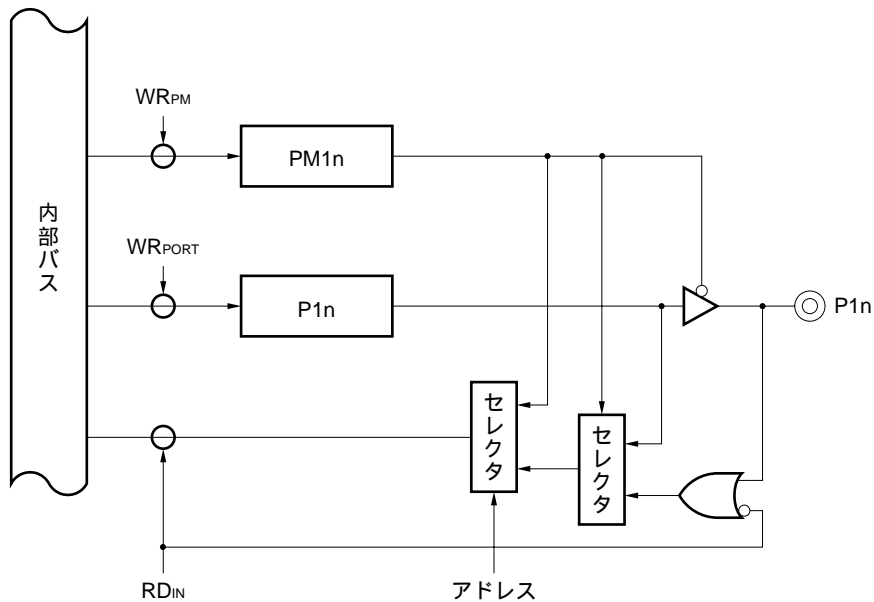
ビット位置	ビット名	意味
7-0	P1n (n=7-0)	Port 1 入出力ポート

なお、ポート1は兼用端子がなくポート・モードに固定です。

ポート	コントロール・モード	備考
ポート1	P10-P17	-
		ポート・モードに固定

(1) ハードウェア構成

図9-3 P10-P17 (ポート1) のブロック図



備考 n=0-7

(2) 入出力モードの設定

ポート1の入力/出力モードの設定は、ポート・モード・レジスタ1 (PM1)で行います。

ポート1モード・レジスタ (PM1)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	アドレス FFFFFF022H	リセット時 FFH

ビット位置	ビット名	意味
7-0	PM1n (n=7-0)	Port Mode P1n端子の入力/出力モードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

9.3.3 ポート2

ポート2は、1ビット単位で入出力を指定できる8ビット入出力ポートです。ただし、P20はエッジが入力されると常にNMIとして動作します。

	7	6	5	4	3	2	1	0		
P2	P27	P26	P25	P24	P23	P22	P21	P20	アドレス FFFFFF004H	リセット時 不定

ビット位置	ビット名	意味
7-1	P2n (n=7-1)	Port 2 入出力ポート
0	P20	NMI入力モードに固定

ポートとしての機能のほかに、コントロール・モードでは外部割り込み要求入力、クロック同期式シリアル・インタフェース (CSI) 入出力として動作可能です。

コントロール・モード時の動作

ポート	コントロール・モード	備考	
ポート2	P20	NMI	ノンマスクブル割り込み要求入力
	P21-24	INTP00-INTP03	外部割り込み要求入力
	P25	SO2	クロック同期式シリアル・インタフェース (CSI2) 用入出力
	P26	SI2	
	P27	SCK2	

(1) ハードウェア構成

図9 - 4 P20 (ポート2) のブロック図

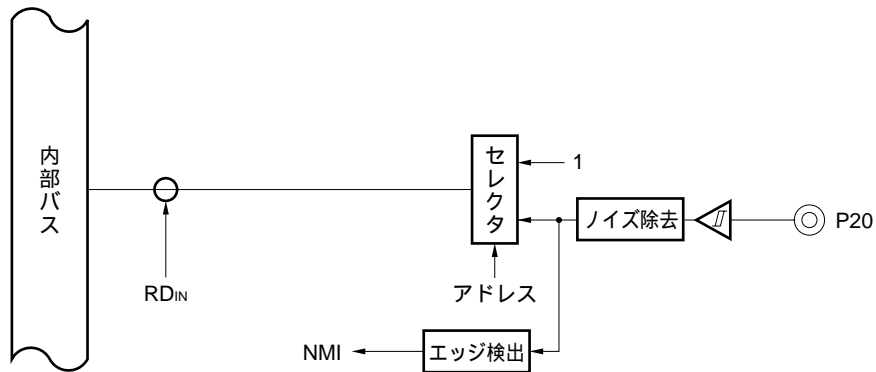
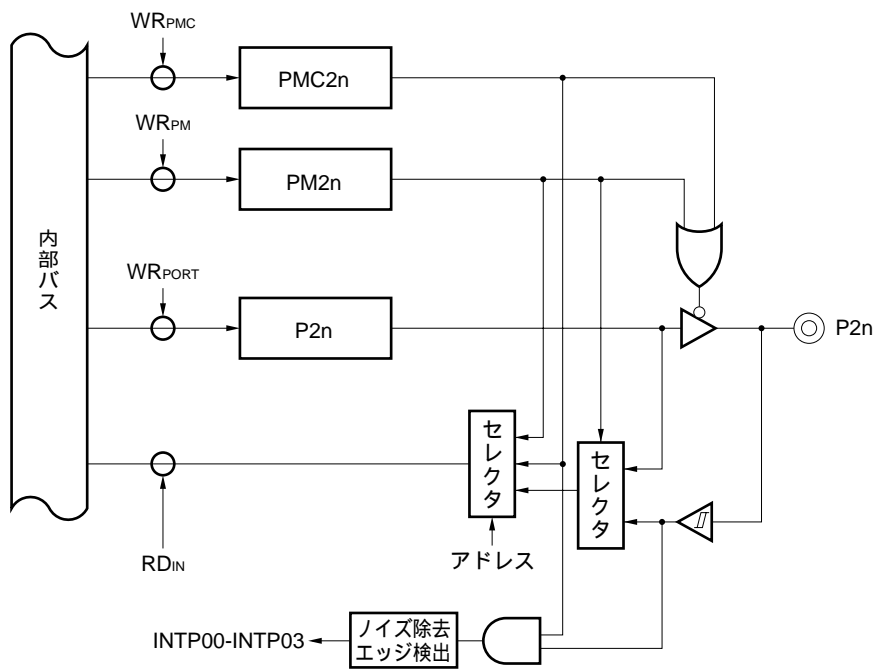


図9 - 5 P21-P24 (ポート2) のブロック図



備考 n=1-4

図9 - 6 P25 (ポート2) のブロック図

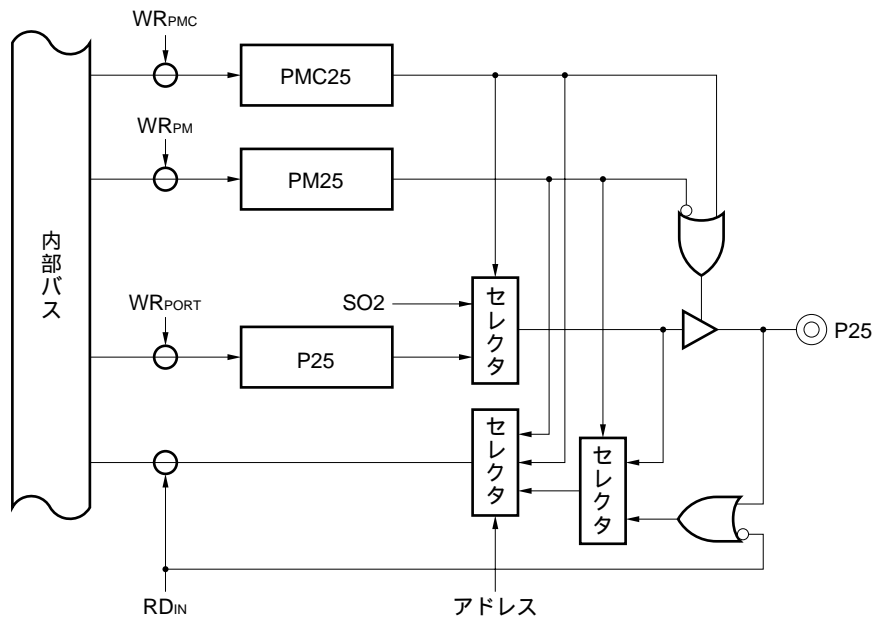


図9 - 7 P26 (ポート2) のブロック図

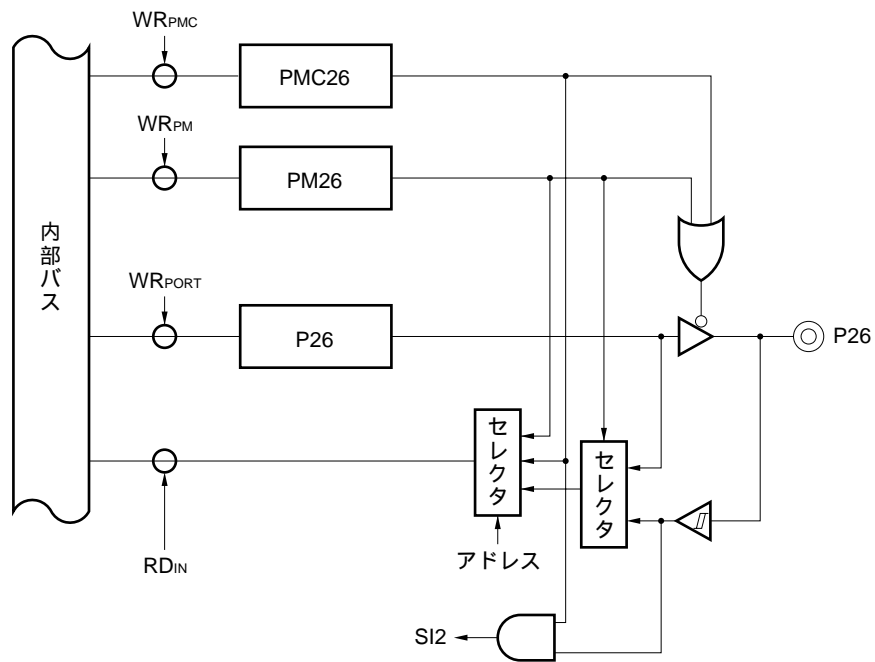
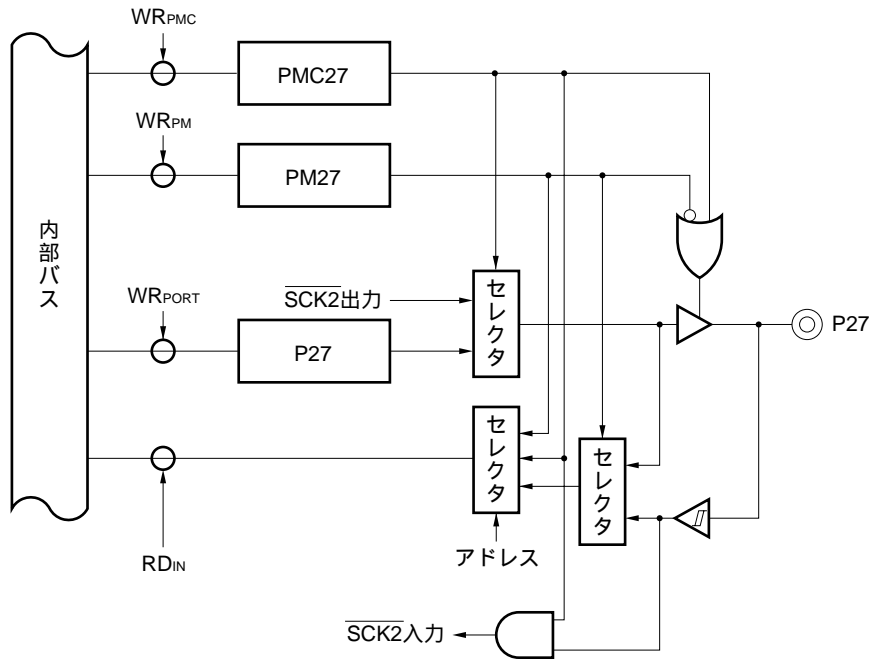


図9 - 8 P27 (ポート2) のブロック図



(2) 入出力モード/コントロール・モードの設定

ポート2の入力/出力モードの設定は、ポート・モード・レジスタ2 (PM2)で行います。また、コントロール・モードの設定は、ポート・モード・コントロール・レジスタ2 (PMC2)で行います。
 なお、P20はNMI入力モードに固定です。

ポート2モード・レジスタ (PM2)

8/1ビット単位でリード/ライト可能です。ただし、ビット0はハードウェアで“1”に固定になっており、“0”を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	1	アドレス FFFFFF024H	リセット時 FFH

ビット位置	ビット名	意味
7-1	PM2n (n=7-1)	Port Mode P2n端子の入力/出力モードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

ポート2モード・コントロール・レジスタ (PMC2)

8/1ビット単位でリード/ライト可能です。ただし、ビット0はハードウェアで“1”に固定になっており、“0”を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PMC2	PMC27	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	1	アドレス FFFFF044H	リセット時 01H

ビット位置	ビット名	意味
7	PMC27	Port Mode Control P27端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SCK2入出力モード
6	PMC26	Port Mode Control P26端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SI2入力モード
5	PMC25	Port Mode Control P25端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SO2出力モード
4	PMC24	Port Mode Control P24端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : INTP03入力モード
3	PMC23	Port Mode Control P23端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : INTP02入力モード
2	PMC22	Port Mode Control P22端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : INTP01入力モード
1	PMC21	Port Mode Control P21端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : INTP00入力モード

9.3.4 ポート3

ポート3は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P3	P37	P36	P35	P34	P33	P32	P31	P30	アドレス FFFFFF06H	リセット時 不定

ビット位置	ビット名	意味
7-0	P3n (n=7-0)	Port 3 入出力ポート

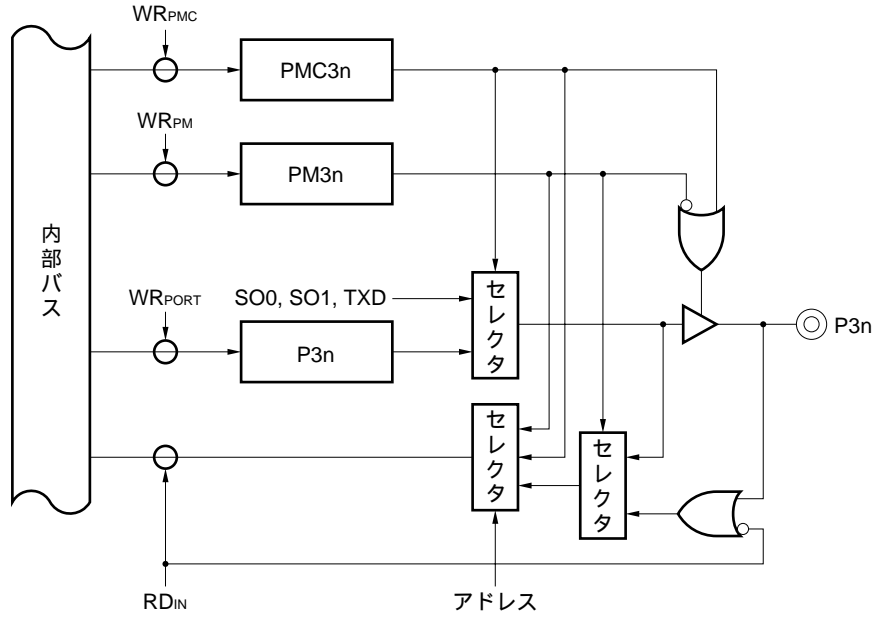
ポートとしての機能のほかに、コントロール・モードではシリアル・インタフェース (UART, CSI) の入出力として動作可能です。

コントロール・モード時の動作

ポート	コントロール・モード	備考	
ポート3	P30	SO0	シリアル・インタフェース (UART, CSI0, CSI1) 用入出力
	P31	SI0	
	P32	$\overline{\text{SCK0}}$	
	P33	TXD	
	P34	RXD	
	P35	SO1	
	P36	SI1	
	P37	$\overline{\text{SCK1}}$	

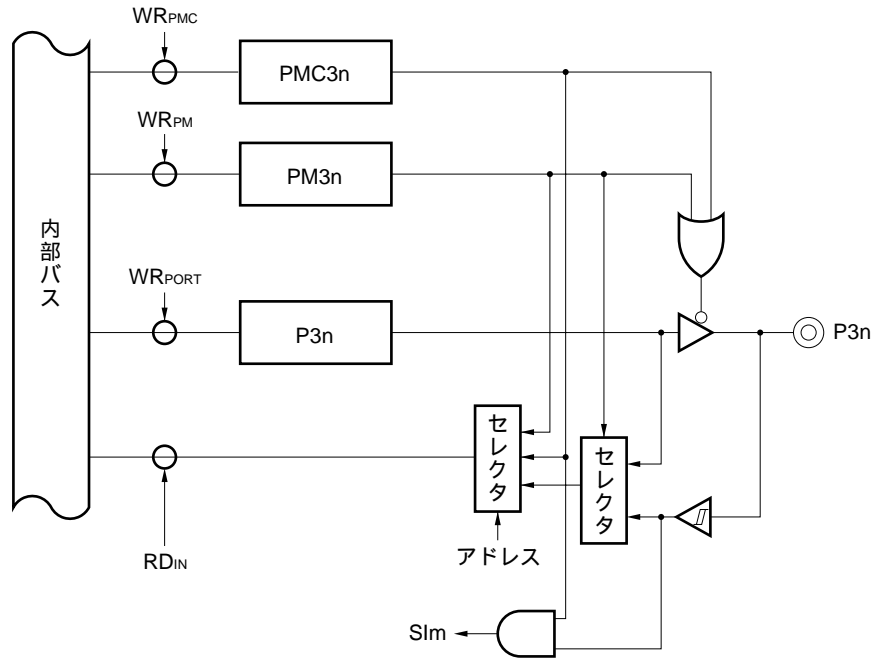
(1) ハードウェア構成

図9-9 P30, P33, P35 (ポート3) のブロック図



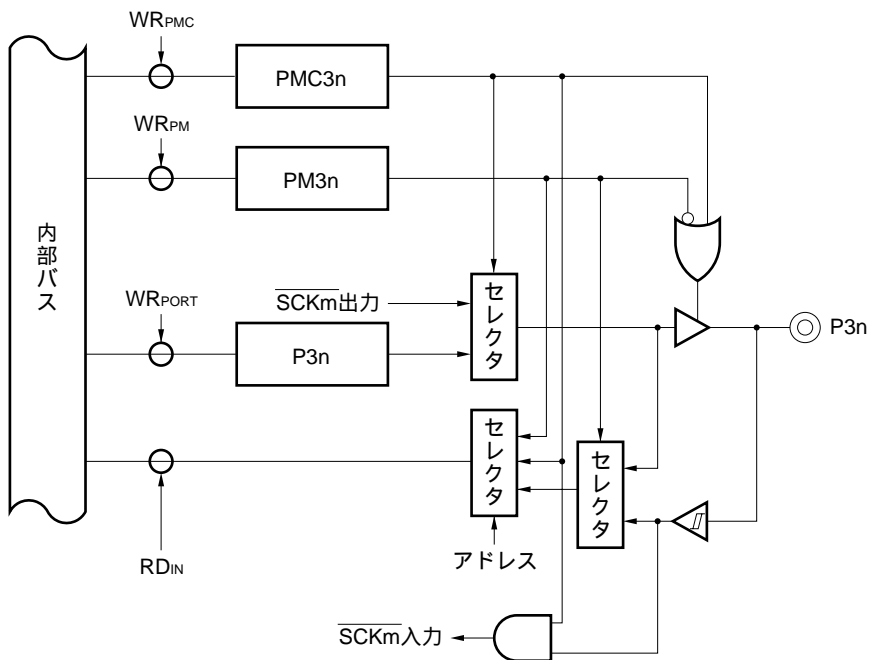
備考 $n=0, 3, 5$

図9-10 P31, P36 (ポート3) のブロック図



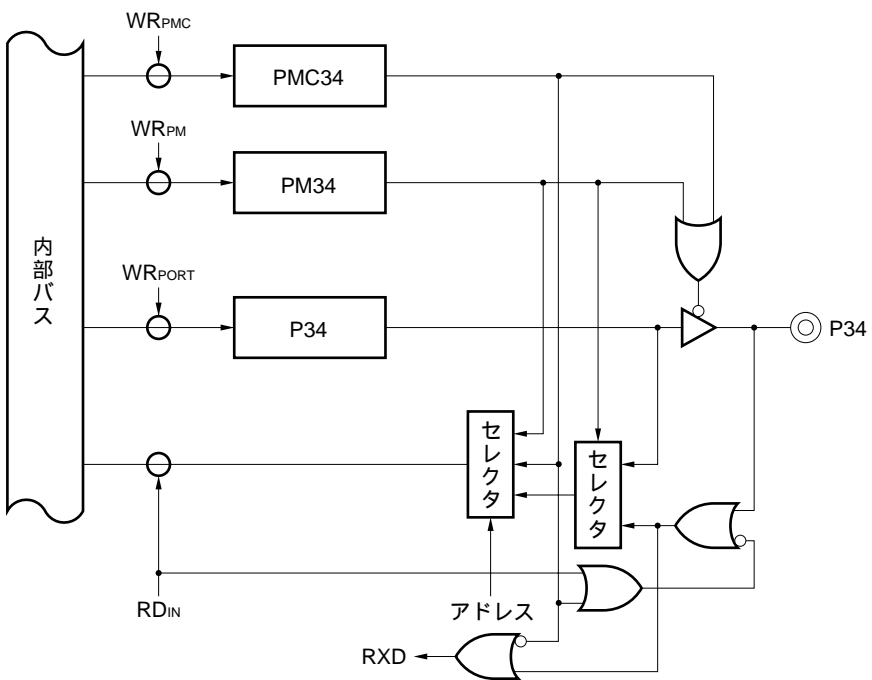
備考 $n=1, 6$
 $m=0, 1$

図9 - 11 P32, P37 (ポート3) のブロック図



備考 n=2, 7
m=0, 1

図9 - 12 P34 (ポート3) のブロック図



(2) 入出力モード/コントロール・モードの設定

ポート3の入力/出力モードの設定は、ポート・モード・レジスタ3 (PM3)で行います。また、コントロール・モードの設定は、ポート・モード・コントロール・レジスタ3 (PMC3)で行います。

ポート3モード・レジスタ (PM3)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	アドレス FFFFFF026H	リセット時 FFH

ビット位置	ビット名	意味
7-0	PM3n (n=7-0)	Port Mode P3n端子の入力/出力モードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

ポート3モード・コントロール・レジスタ (PMC3)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30	アドレス FFFFFF046H	リセット時 00H

ビット位置	ビット名	意味
7	PMC37	Port Mode Control P37端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SCK1入出力モード
6	PMC36	Port Mode Control P36端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SI1入力モード
5	PMC35	Port Mode Control P35端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SO1出力モード
4	PMC34	Port Mode Control P34端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : RXD入力モード
3	PMC33	Port Mode Control P33端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TXD出力モード
2	PMC32	Port Mode Control P32端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SCK0入出力モード
1	PMC31	Port Mode Control P31端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SI0入力モード
0	PMC30	Port Mode Control P30端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SO0出力モード

9.3.5 ポート4

ポート4は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P4	P47	P46	P45	P44	P43	P42	P41	P40	アドレス FFFFFF08H	リセット時 不定

ビット位置	ビット名	意 味
7-0	P4n (n=7-0)	Port 4 入出力ポート

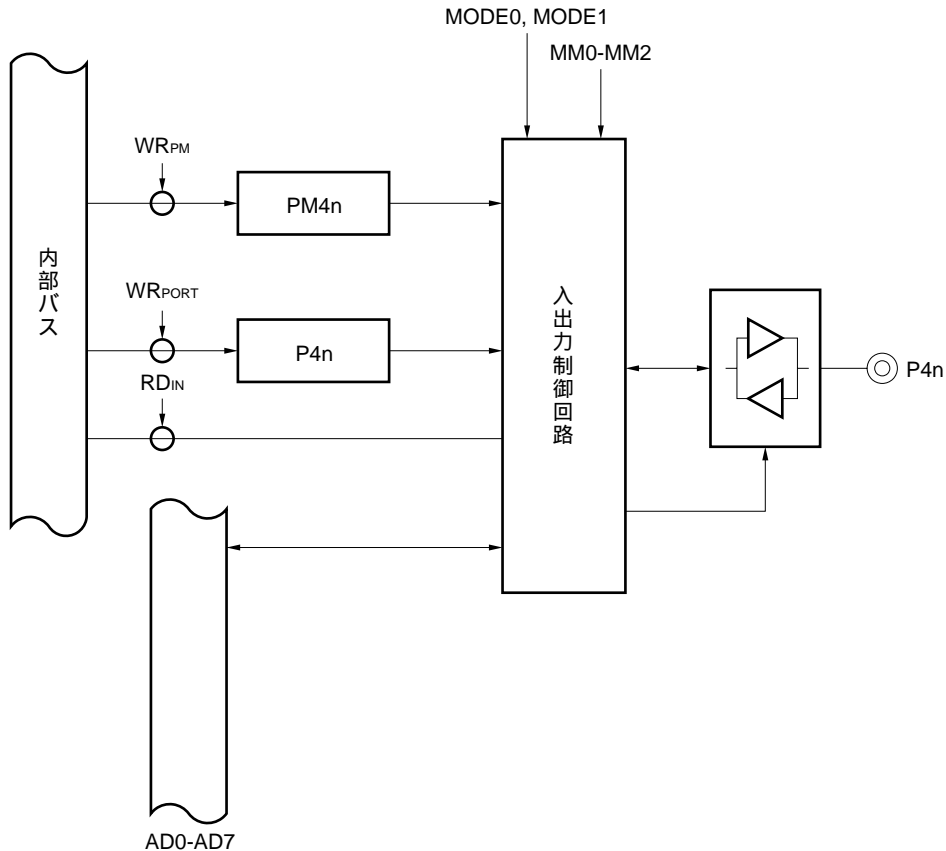
ポートとしての機能のほかに、コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のアドレス/データ・バスとして動作可能です。

コントロール・モード時の動作

ポート	コントロール・モード	備 考
ポート4	P40-P47	メモリ拡張時のアドレス/データ・バス

(1) ハードウェア構成

図9-13 P40-P47（ポート4）のブロック図



備考 n=0-7

(2) 入出力モード/コントロール・モードの設定

ポート4の入力/出力モードの設定は、ポート・モード・レジスタ4 (PM4)で行います。また、コントロール・モード (外部拡張モード)の設定は、モード指定端子MODE0, MODE1とメモリ拡張モード・レジスタ (MM: 3.4.6 (1)参照)で行います。

ポート4モード・レジスタ (PM4)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	アドレス FFFFFF028H	リセット時 FFH

ビット位置	ビット名	意味
7-0	PM4n (n=7-0)	Port Mode P4n端子の入力/出力モードを指定します。 0:出力モード (出力バッファ・オン) 1:入力モード (出力バッファ・オフ)

ポート4の動作モード

MMレジスタのビット			動作モード							
MM2	MM1	MM0	P40	P41	P42	P43	P44	P45	P46	P47
0	0	0	ポート							
0	1	1	アドレス/データ・バス (AD0-AD7)							
1	0	0								
1	0	1								
1	1	0								
1	1	1	RFU (予約)							
その他			RFU (予約)							

MODE0, MODE1端子による動作モード切り替えの詳細については、3.3.2 動作モード指定を参照してください。

MODE0, MODE1=00 (ROMレス・モード)時は、システム・リセットにより、MM0-MM2=111,すなわち外部拡張モード状態に初期化されますが、その後、プログラムによりMM0-MM2にデータ設定することで、ポート・モードに変更可能です。この場合、MM0-MM2=000に設定すると、以降の命令フェッチができなくなるので注意が必要です。

9.3.6 ポート5

ポート5は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P5	P57	P56	P55	P54	P53	P52	P51	P50	アドレス FFFFFF00AH	リセット時 不定

ビット位置	ビット名	意 味
7-0	P5n (n=7-0)	Port 5 入出力ポート

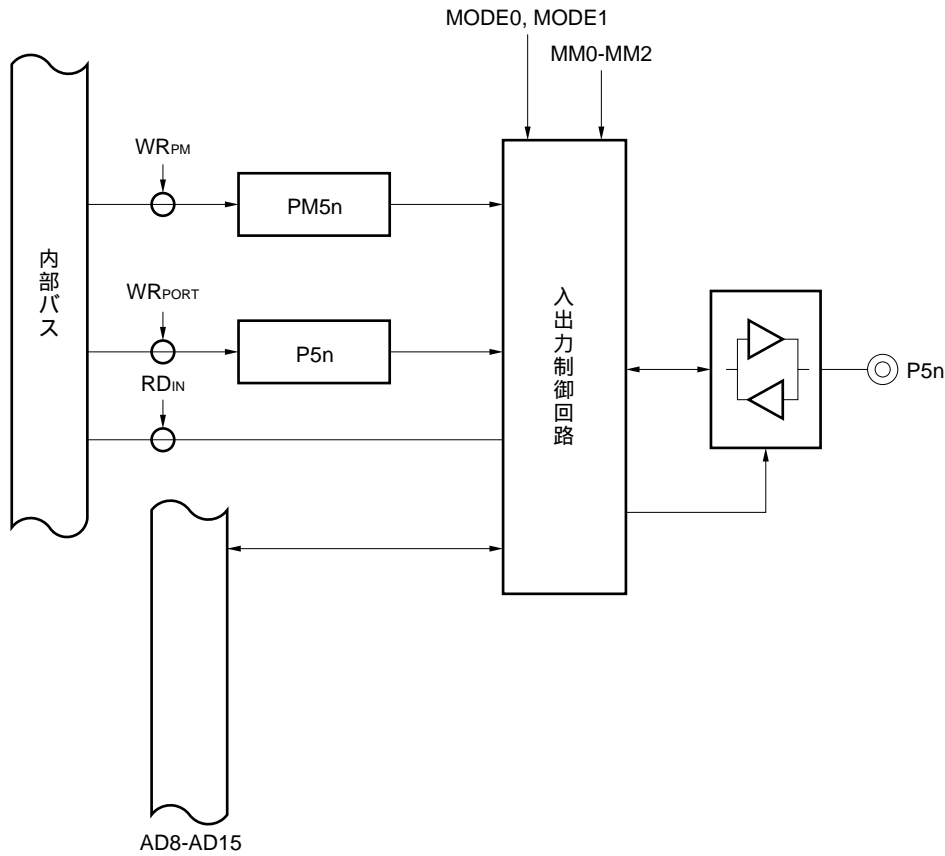
ポートとしての機能のほかに、コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のアドレス/データ・バスとして動作可能です。

コントロール・モード時の動作

ポート	コントロール・モード	備 考	
ポート5	P50-P57	AD8-AD15	メモリ拡張時のアドレス/データ・バス

(1) ハードウェア構成

図9-14 P50-P57（ポート5）のブロック図



備考 n=0-7

(2) 入出力モード/コントロール・モードの設定

ポート5の入力/出力モードの設定は、ポート・モード・レジスタ5 (PM5)で行います。また、コントロール・モード (外部拡張モード)の設定は、モード指定端子MODE0, MODE1とメモリ拡張モード・レジスタ (MM: 3.4.6 (1)参照)で行います。

ポート5モード・レジスタ (PM5)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	アドレス FFFFFF02AH	リセット時 FFH

ビット位置	ビット名	意味
7-0	PM5n (n=7-0)	Port Mode P5n端子の入力/出力モードを指定します。 0:出力モード (出力バッファ・オン) 1:入力モード (出力バッファ・オフ)

ポート5の動作モード

MMレジスタのビット			動作モード							
MM2	MM1	MM0	P50	P51	P52	P53	P54	P55	P56	P57
0	0	0	ポート							
0	1	1	アドレス/データ・バス (AD8-AD15)							
1	0	0								
1	0	1								
1	1	0								
1	1	1	RFU (予約)							
その他			RFU (予約)							

9.3.7 ポート6

ポート6は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P6	P67	P66	P65	P64	P63	P62	P61	P60	アドレス FFFFFF0CH	リセット時 不定

ビット位置	ビット名	意 味
7-0	P6n (n=7-0)	Port 6 入出力ポート

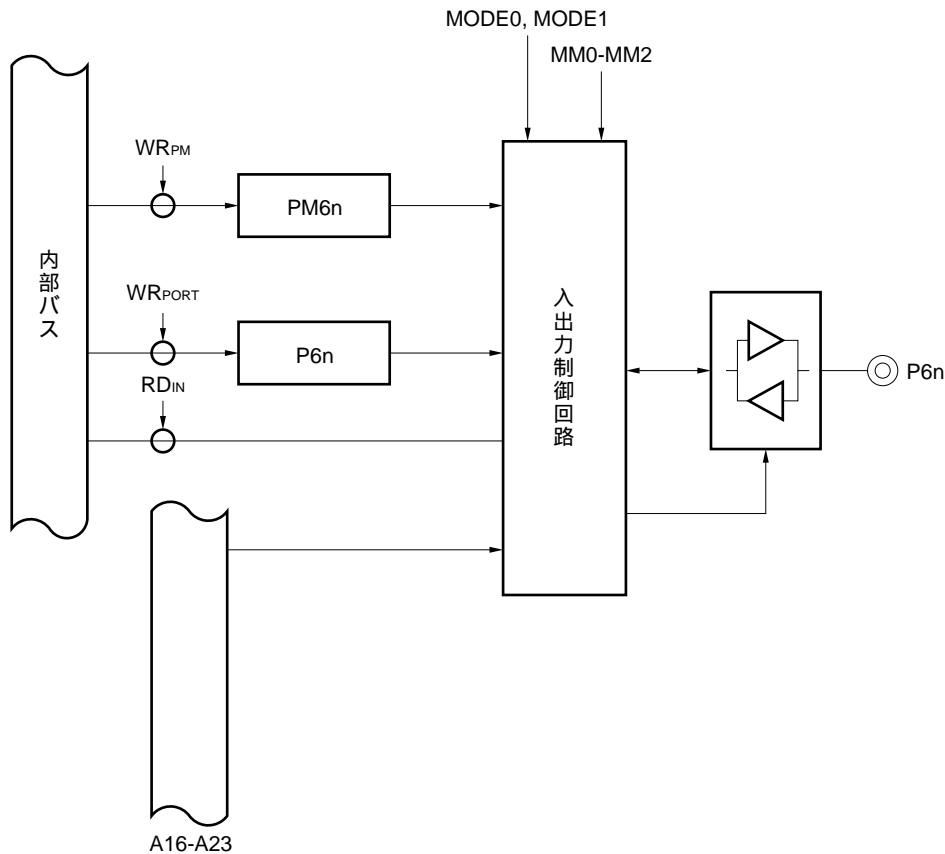
ポートとしての機能のほかに、コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のアドレス・バスとして動作可能です。

コントロール・モード時の動作

ポート	コントロール・モード	備 考	
ポート6	P60-P67	A16-A23	メモリ拡張時のアドレス・バス

(1) ハードウェア構成

図9 - 15 P60-P67（ポート6）のブロック図



備考 n=0-7

(2) 入出力モード/コントロール・モードの設定

ポート6の入力/出力モードの設定は、ポート・モード・レジスタ6 (PM6)で行います。また、コントロール・モード (外部拡張モード) の設定は、モード指定端子MODE0, MODE1とメモリ拡張モード・レジスタ (MM: 3.4.6 (1) 参照)で行います。

ポート6モード・レジスタ (PM6)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	アドレス FFFFFF02CH	リセット時 FFH

ビット位置	ビット名	意味
7-0	PM6n (n=7-0)	Port Mode P6n端子の入力/出力モードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

ポート6の動作モード

MMレジスタのビット			動作モード							
MM2	MM1	MM0	P60	P61	P62	P63	P64	P65	P66	P67
0	0	0	ポート							
0	1	1								
1	0	0	A16	A17	A18	A19	A20	A21	A22	A23
1	0	1								
1	1	0								
1	1	1								
その他			RFU (予約)							

9.3.8 ポート9

ポート9は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P9	P97	P96	P95	P94	P93	P92	P91	P90	アドレス FFFFFF012H	リセット時 不定

ビット位置	ビット名	意味
7-0	P9n (n=7-0)	Port 9 入出力ポート

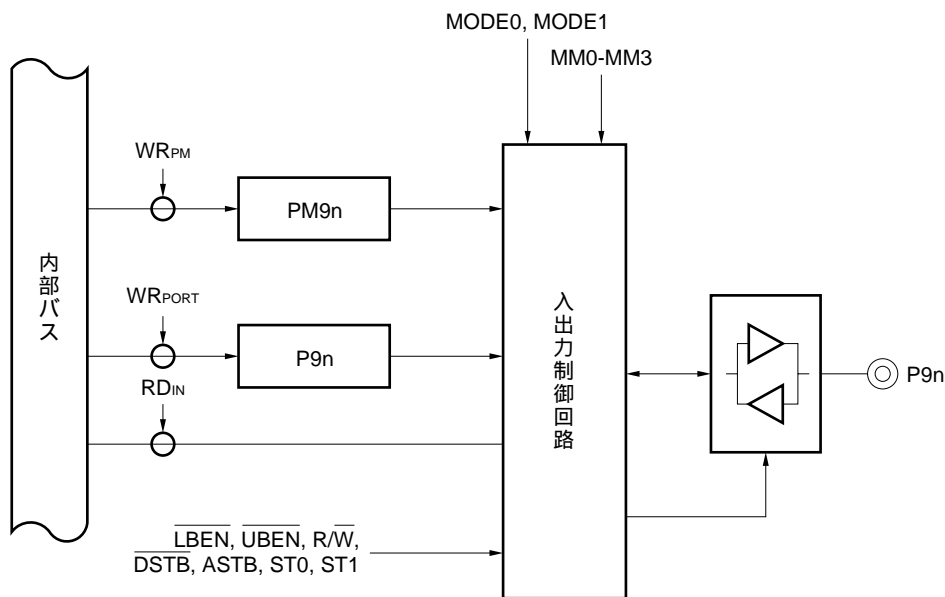
ポートとしての機能のほかに、コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合の制御信号出力として動作可能です。

コントロール・モード時の動作

ポート	コントロール・モード	備考	
ポート 9	P90	$\overline{\text{LBEN}}$	メモリ拡張時の制御信号出力
	P91	$\overline{\text{UBEN}}$	
	P92	$\text{R}/\overline{\text{W}}$	
	P93	$\overline{\text{DSTB}}$	
	P94	ASTB	
	P95	ST0	
	P96	ST1	
P97	-	ポート・モードに固定	

(1) ハードウェア構成

図9 - 16 P90-P97 (ポート9) のブロック図



備考 n=0-7

(2) 入出力モード/コントロール・モードの設定

ポート9の入力/出力モードの設定は、ポート・モード・レジスタ9 (PM9)で行います。また、コントロール・モード (外部拡張モード)の設定は、モード指定端子MODE0, MODE1とメモリ拡張モード・レジスタ (MM: 3.4.6 (1)参照)で行います。

ポート9モード・レジスタ (PM9)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	アドレス FFFFF032H	リセット時 FFH

ビット位置	ビット名	意味
7-0	PM9n (n=7-0)	Port Mode P9n端子の入力/出力モードを指定します。 0:出力モード (出力バッファ・オン) 1:入力モード (出力バッファ・オフ)

ポート9の動作モード

P90-P94

MMレジスタのビット			動作モード				
MM2	MM1	MM0	P90	P91	P92	P93	P94
0	0	0	ポート				
0	1	1	LBEN	UBEN	R/W	DSTB	ASTB
1	0	0					
1	0	1					
1	1	0					
1	1	1					
その他			RFU (予約)				

P95, P96

MM3	動作モード	P95	P96
0	ポート・モード	ポート	
1	外部拡張モード	ST0	ST1

9.3.9 ポート10

ポート10は、1ビット単位で入出力を指定できる4ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P10	-	-	-	-	P103	P102	P101	P100	アドレス FFFFFF014H	リセット時 不定

ビット位置	ビット名	意 味
3-0	P10n (n=3-0)	Port 10 入出力ポート

ポート10に8ビット・アクセスした場合の上位4ビットは、ライト時は無視され、リード時は不定データとなります。

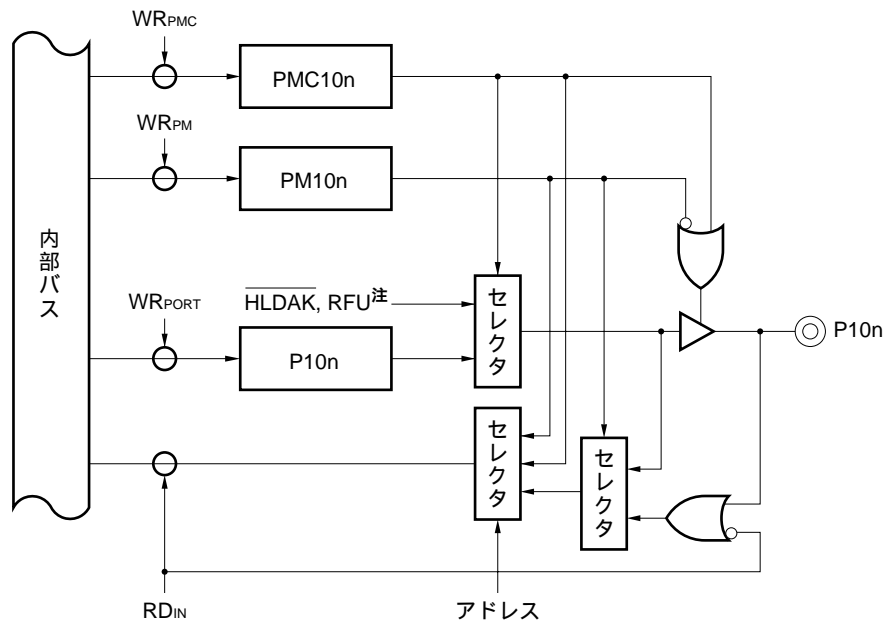
ポートとしての機能のほかに、コントロール・モードでは外部バス・マスタ、ASICなどを外部に拡張する場合の制御信号入出力として動作可能です。

コントロール・モード時の動作

ポート	コントロール・モード	備 考	
ポート10	P100	H $\overline{\text{LDAK}}$	バス・ホールド制御信号入出力
	P101	H $\overline{\text{LDRQ}}$	
	P102, P103	-	ポート・モードに固定

(1) ハードウェア構成

図9-17 P100, P103 (ポート10) のブロック図



注 RFUは不定値

備考 n=0, 3

図9 - 18 P101 (ポート10) のブロック図

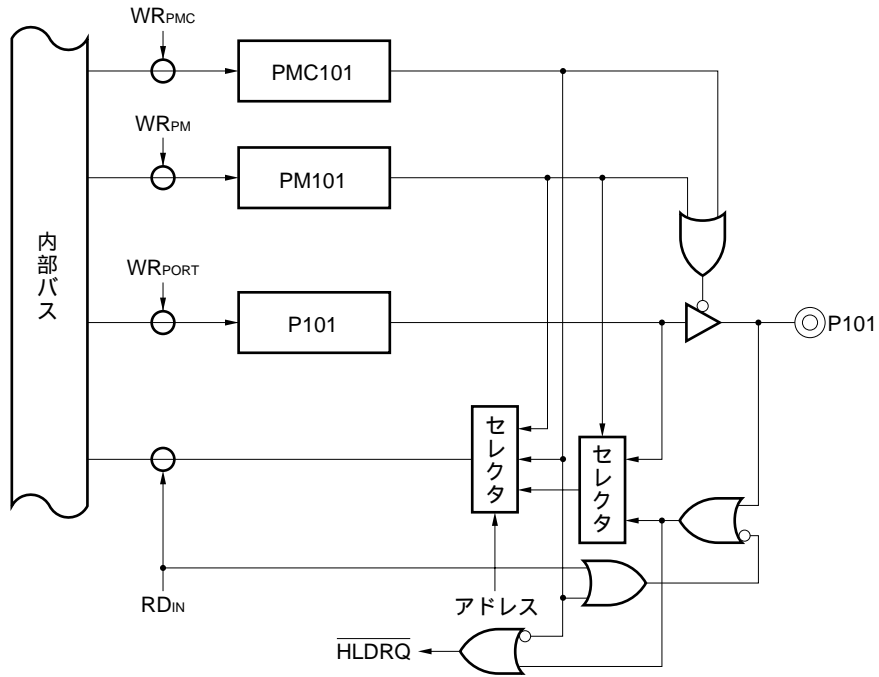
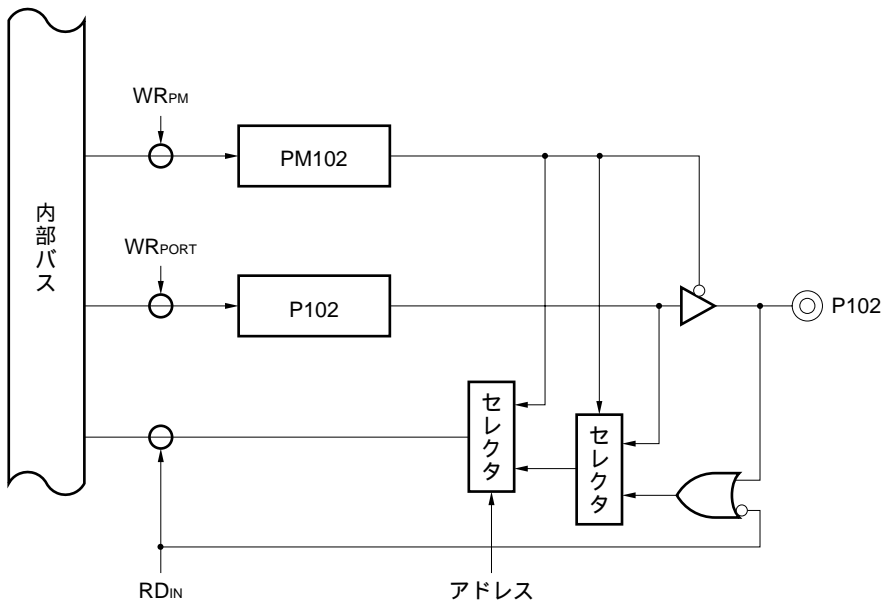


図9 - 19 P102 (ポート10) のブロック図



(2) 入出力モード/コントロール・モードの設定

ポート10の入力/出力モードの設定は、ポート・モード・レジスタ10 (PM10)で行います。また、コントロール・モードの設定は、ポート・モード・コントロール・レジスタ10 (PMC10)で行います。

ポート10モード・レジスタ (PM10)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PM10	1	1	1	1	PM103	PM102	PM101	PM100	アドレス FFFFFF034H	リセット時 FFH

ビット位置	ビット名	意味
3-0	PM10n (n=3-0)	Port Mode P10n端子の入力/出力モードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

ポート10モード・コントロール・レジスタ (PMC10)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PMC10	0	0	0	0	0	0	PMC101	PMC100	アドレス FFFFFF054H	リセット時 00H

ビット位置	ビット名	意味
1	PMC101	Port Mode Control P101端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{\text{HLDRQ}}$ 入力モード
0	PMC100	Port Mode Control P100端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{\text{HLDAK}}$ 出力モード

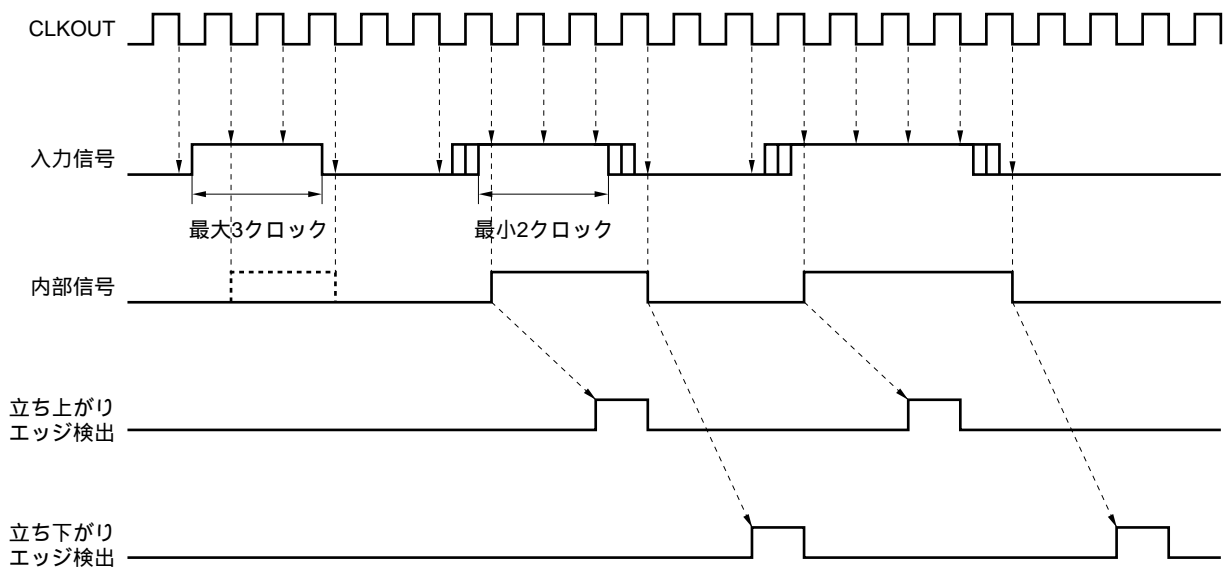
9.4 ノイズ除去回路

コントロール・モードにおいて有効エッジ入力で動作する端子には、以下のノイズ除去時間確保のためのタイミング制御回路が付加されています。これらの除去時間未満で変化する信号入力は、内部で受け付けられません。

端子	ノイズ除去時間
P20/NMI ^注	アナログ・ディレイ (60 ns-220 ns)
P02/TCLR1	2-3システム・クロック
P03/TI1	
P04/INTP10	
P05/INTP11	
P06/INTP12	
P07/INTP13	
P21/INTP00	
P22/INTP01	
P23/INTP02	
P24/INTP03	

注 P20/NMI端子はSTOPモードの解除に使用します。
STOPモードではシステム・クロックは停止しているため、クロック制御のタイミング回路を採用しません。

図9 - 20 ノイズ除去タイミング例



第10章 リセット機能

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとシステム・リセットがかかり、オンチップの各ハードウェアは初期状態にイニシャライズされます。

$\overline{\text{RESET}}$ 端子がロウ・レベルからハイ・レベルになると、リセット状態が解除され、CPUはプログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

10.1 特 徴

リセット端子にアナログ・ディレイ (60 ns-220 ns) によるノイズ除去回路を内蔵

10.2 端子機能

システム・リセット期間中は、ほとんどの端子出力 (CLKOUT, $\overline{\text{RESET}}$, X2, V_{DD}, V_{SS}, CV_{DD}, CV_{SS}端子を除く全端子) がハイ・インピーダンスになります。

したがって、たとえば外部にメモリを接続している場合は、ポート4, 5, 6, 9の各端子にプルアップ (またはプルダウン) 抵抗を付ける必要があります。抵抗を付けていない場合、これらの端子がハイ・インピーダンスになるとメモリを破壊する可能性があります。

同様に、内蔵の周辺I/O機能の信号出力、出力ポートにおいても、影響がないよう、端子の処理を行ってください。

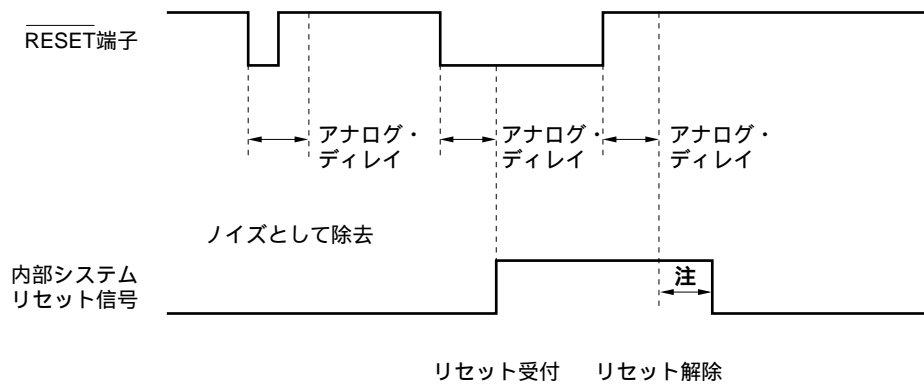
また、リセット期間中でもCLKOUT端子からのクロック出力は行われます。

表10 - 1 にリセット期間中の各端子の動作状態を示します。

表10 - 1 リセット期間中の各端子の動作状態

端子	動作状態	
AD0-AD15	Hi-Z	
A16-A23		
$\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$		
$\overline{\text{R/W}}$		
$\overline{\text{DSTB}}$		
ASTB		
ST0, ST1		
HLD $\overline{\text{RQ}}$		-
HLD $\overline{\text{AK}}$		Hi-Z
$\overline{\text{WAIT}}$		-
CLKOUT	クロック出力	

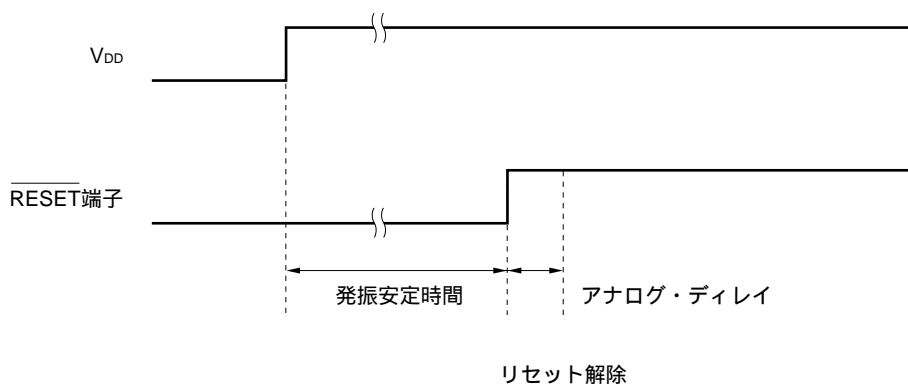
(1) リセット信号の受け付け



注 内部システム・リセット信号は、 $\overline{\text{RESET}}$ 端子によるリセット解除タイミング後、最小4システム・クロック期間、アクティブ状態を継続します。

(2) パワーオン時のリセット

パワーオン（電源投入）時のリセット動作では、 $\overline{\text{RESET}}$ 端子のロウ・レベル幅により、電源の立ち上がりからリセット受け付けまで10 ms以上の発振安定時間を確保する必要があります。



10.3 イニシャライズ

各レジスタのリセット後の初期値を表10 - 2 に示します。

各レジスタの内容はプログラム中で必要に応じてイニシャライズしてください。特に次に示すレジスタはシステム設定に関するレジスタなので必要に応じて設定してください。

パワー・セーブ・コントロール・レジスタ (PSC) ...X1, X2端子機能, CLKOUT端子動作など
データ・ウエイト・コントロール・レジスタ (DWC) ...データ・ウエイト数

表10 - 2 各レジスタのリセット後の初期値 (1/2)

レジスタ		リセット後の初期値
r0		00000000H
r1-r31		不定
PC		00000000H
PSW		00000020H
EIPC		不定
EIPSW		不定
FEPC		不定
FEPSW		不定
ECR		00000000H
内蔵RAM		不定
ポート	入出力ラッチ (P0-P6, P9, P10)	不定
	モード・レジスタ (PM0-6, PM9, PM10)	FFH
	モード・コントロール・レジスタ (PMC0, PMC3, PMC10) (PMC2)	00H 01H
	メモリ拡張モード・レジスタ (MM)	B0H or B7H
クロック・ジェネレータ	システム・ステータス・レジスタ (SYS)	0000000xB
	パワー・セーブ・コントロール・レジスタ (PSC)	00H
リアルタイム・パルス・ユニット	タイマ・ユニット・モード・レジスタ (TUM1)	0000H
	タイマ・コントロール・レジスタ (TMC1, TMC4)	00H
	タイマ出力コントロール・レジスタ1 (TOC1)	00H
	タイマ (TM1, TM4)	0000H
	キャプチャ・コンペア・レジスタ (CC10-CC13)	不定
	コンペア・レジスタ4 (CM4)	不定
	タイマ・オーバフロー・ステータス・レジスタ (TOVS)	00H
シリアル・インタフェース	アシンクロナス・シリアル・インタフェース・モード・レジスタ0 α (ASIM00)	80H
	アシンクロナス・シリアル・インタフェース・モード・レジスタ01 α (ASIM01)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ α (ASIS0)	00H
	受信バッファ (RXB0, RXB0L)	不定
	送信シフト・レジスタ (TXS0, TXS0L)	不定
	クロック同期式シリアル・インタフェース・モード・レジスタ α (CSIMn) ($n=0-2$)	00H
	シリアルI/Oシフト・レジスタ n (SIO n) ($n=0-2$)	不定
	ポー・レート・ジェネレータ・レジスタ0, 1 (BRG0, BRG1)	不定
	ポー・レート・ジェネレータ・プリスケアラ・モード・レジスタ0, 1 (BPRM0, BPRM1)	00H
	割り込み / 例外処理機能	割り込み制御レジスタ (\times xIC n)
	インサービス・プライオリティ・レジスタ (ISPR)	00H
	外部割り込みモード・レジスタ (INTM0, INTM1, INTM2)	00H

表10 - 2 各レジスタのリセット後の初期値 (2/2)

レジスタ		リセット後の初期値
メモリ管理機能	データ・ウエイト・コントロール・レジスタ (DWC)	FFFFH
	バス・サイクル・コントロール・レジスタ (BCC)	AAAAH
パワー・セーブ制御	コマンド・レジスタ (PRCMD)	不定
	パワー・セーブ・コントロール・レジスタ (PSC)	00H

備考 x : 不定

注意 上記の表における“不定”とは、パワーオン・リセット時の不定、または $\overline{\text{RESET}}$ 入力とデータ書き込みタイミングが同期したときのデータ破壊による不定を意味し、これ以外の $\overline{\text{RESET}}$ ではデータは直前の状態に保持されます。

第11章 PROMモード

V852のPROM版は、90 KバイトのワンタイムPROMを内蔵しています。内蔵ROMへの命令フェッチは、マスクROM版と同様に1クロックでアクセスできます。

11.1 PROMモード

MODE0, MODE1端子の設定によりPROMモードに遷移します。

使用しない端子は1.5.2 PROMプログラミング・モードの指示に従って処理してください。

V _{PP}	MODE1	MODE0	動作モード
5.0V	1	1	PROMモード (リード・モード)
12.5V	1	1	PROMモード (プログラミング・モード)

V_{PP} : プログラム電圧

11.2 動作モード

PROMモード時の各動作モードの指定条件を以下に示します。

動作モード		端子	P25/ \overline{CE}	P26/ \overline{OE}	P27/PGM	V _{PP}	V _{DD}	P47/D7-P40/D0
リード・モード	リード		L	L	H	+ 5.0 V	+ 5.0 V	データ出力
	出力ディスエーブル		L	H	x			Hi-Z ^注
	スタンバイ		H	x	x			
プログラミング・モード	ページ・データ・ラッチ		H	L	H	+ 12.5 V	+ 6.5 V	データ入力
	ページ・プログラム		H	H	L			Hi-Z
	バイト・プログラム		L	H	L			データ入力
	プログラム・ベリファイ		L	L	H			データ出力
	プログラム・インヒビット		x	L	L			Hi-Z ^注
			H	H				

V_{PP} : プログラム電圧 (12.5 V)

x : 任意

注 この場合、アドレス入力は無効であり、1/0入力可能です。

(1) リード・モード

$\overline{CE}=L, \overline{OE}=L$ に設定することにより、読み出しモードになります。

(2) 出力ディスエーブル・モード

$\overline{CE}=L, \overline{OE}=H$ にすることにより、データ出力がハイ・インピーダンスになり出力ディスエーブル・モードになります。したがって、データ・バスに複数の $\mu PD70P3002$ を接続した場合、 \overline{OE} 端子を制御することで任意の1個のデバイスよりデータを読み出すことができます。

(3) スタンバイ・モード

$\overline{CE}=H$ にすることによりスタンバイ・モードになります。

このモードでは、 \overline{OE} の状態に関係なくデータ出力がハイ・インピーダンスになります。

(4) ページ・データ・ラッチ・モード

ページ書き込みモードの初期に $\overline{CE}=H, \overline{OE}=L, \overline{PGM}=H$ にすることにより、ページ・データ・ラッチ・モードになります。

このモードでは、1ページ4バイトのデータが内部のアドレス/データ・ラッチ回路にラッチされます。

(5) ページ書き込みモード

ページ・データ・ラッチ・モードにより1ページ4バイトのアドレスとデータをラッチ後、 $\overline{CE}=H, \overline{OE}=H$ の状態では \overline{PGM} 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりページ書き込みが実行されます。その後、 $\overline{CE}=L, \overline{OE}=L$ にすることにより、プログラム・ベリファイを行えます。

1回のプログラム・パルスでプログラムされない場合にはX回(X=10)の書き込みとベリファイを繰り返し実行します。

(6) バイト書き込みモード

$\overline{CE}=L, \overline{OE}=H$ の状態では \overline{PGM} 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりバイト書き込みが実行されます。その後、 $\overline{OE}=L$ にすることにより、プログラム・ベリファイが行えます。

1回のプログラム・パルスでプログラムされない場合にはX回(X=10)の書き込みとベリファイを繰り返し実行します。

(7) プログラム・ベリファイ・モード

$\overline{CE}=L, \overline{PGM}=H, \overline{OE}=L$ にすることにより、プログラム・ベリファイ・モードになります。書き込みを行ったのち、正しく書き込まれたかどうかこのモードで確認してください。

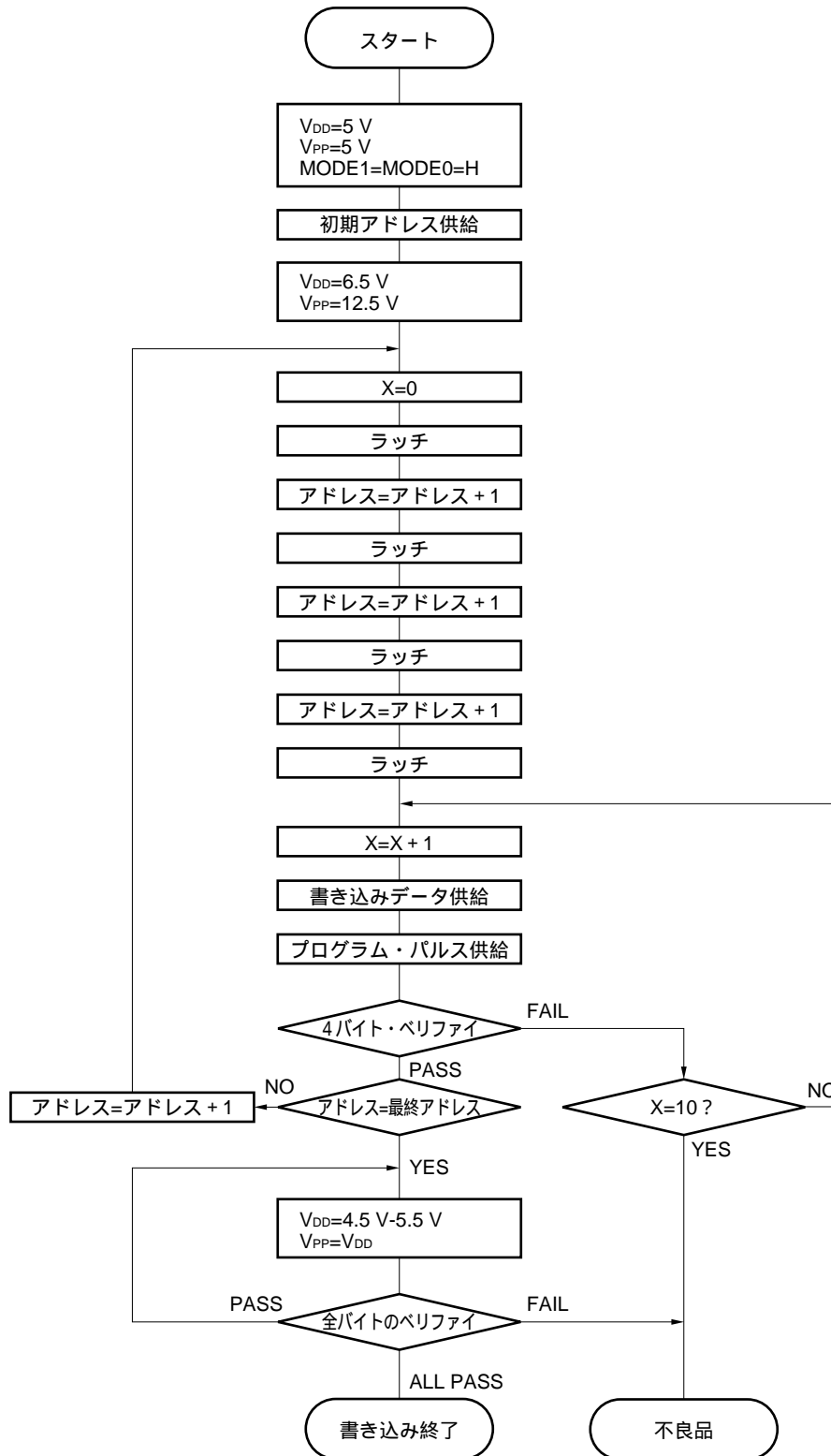
(8) プログラム・インヒビット・モード

プログラム・インヒビット・モードは、複数の $\mu PD70P3002$ の \overline{OE} 端子、 V_{PP} 端子、D0-D7端子がパラレルに接続されている状態でその中の1個のデバイスに書き込みを行う場合に使用します。

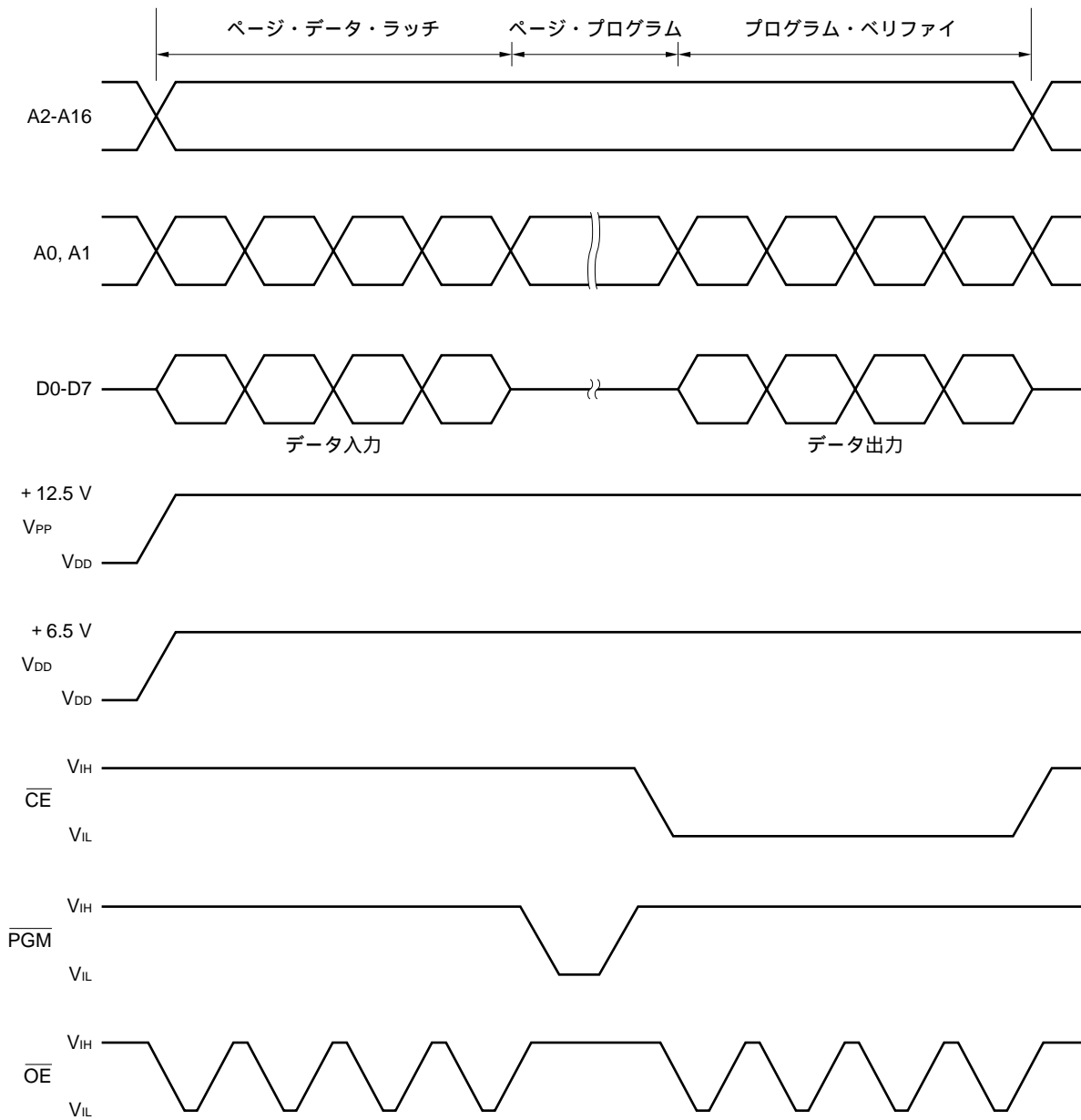
書き込みを行う場合に、上記ページ書き込みモードあるいはバイト書き込みモードを使用します。このとき、 \overline{PGM} 端子をハイ・レベルにしたデバイスには書き込みが行われません。

11.3 PROM書き込み手順

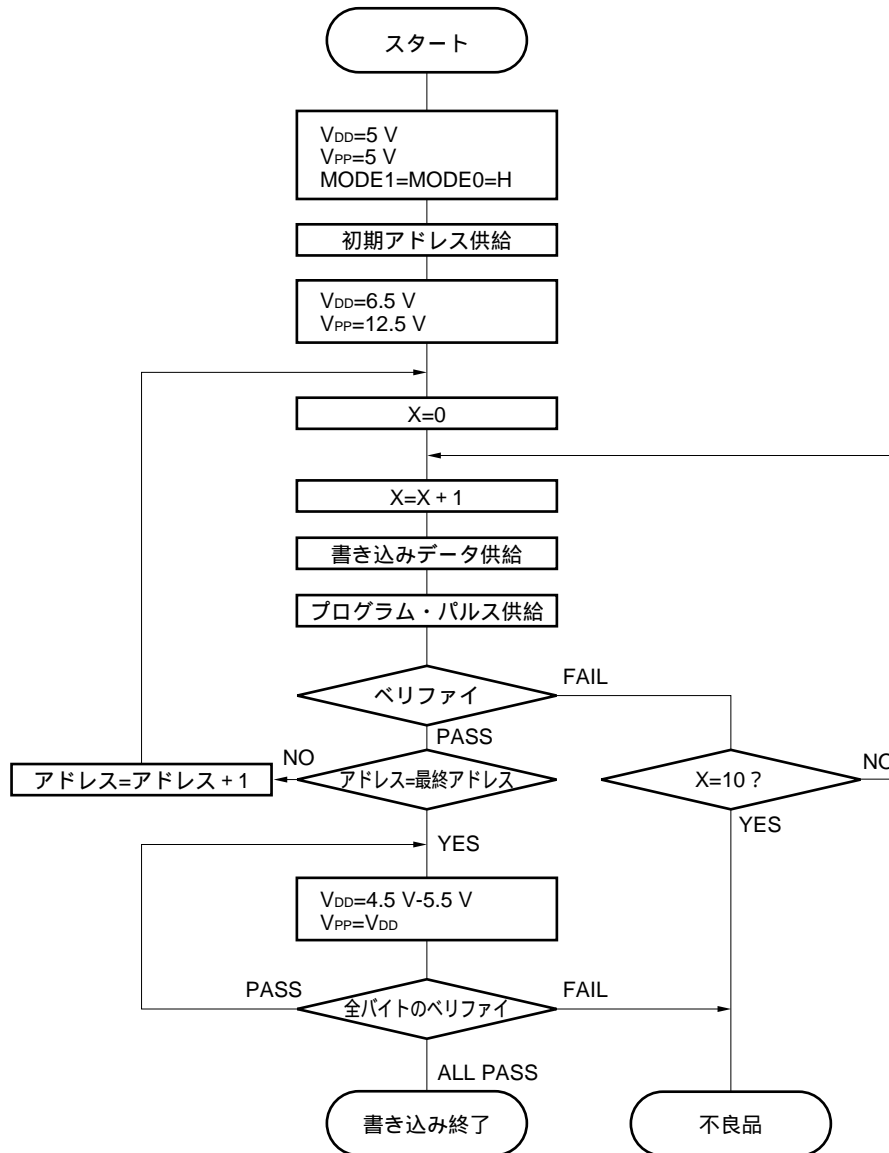
ページ・プログラム・モード・フロー・チャート



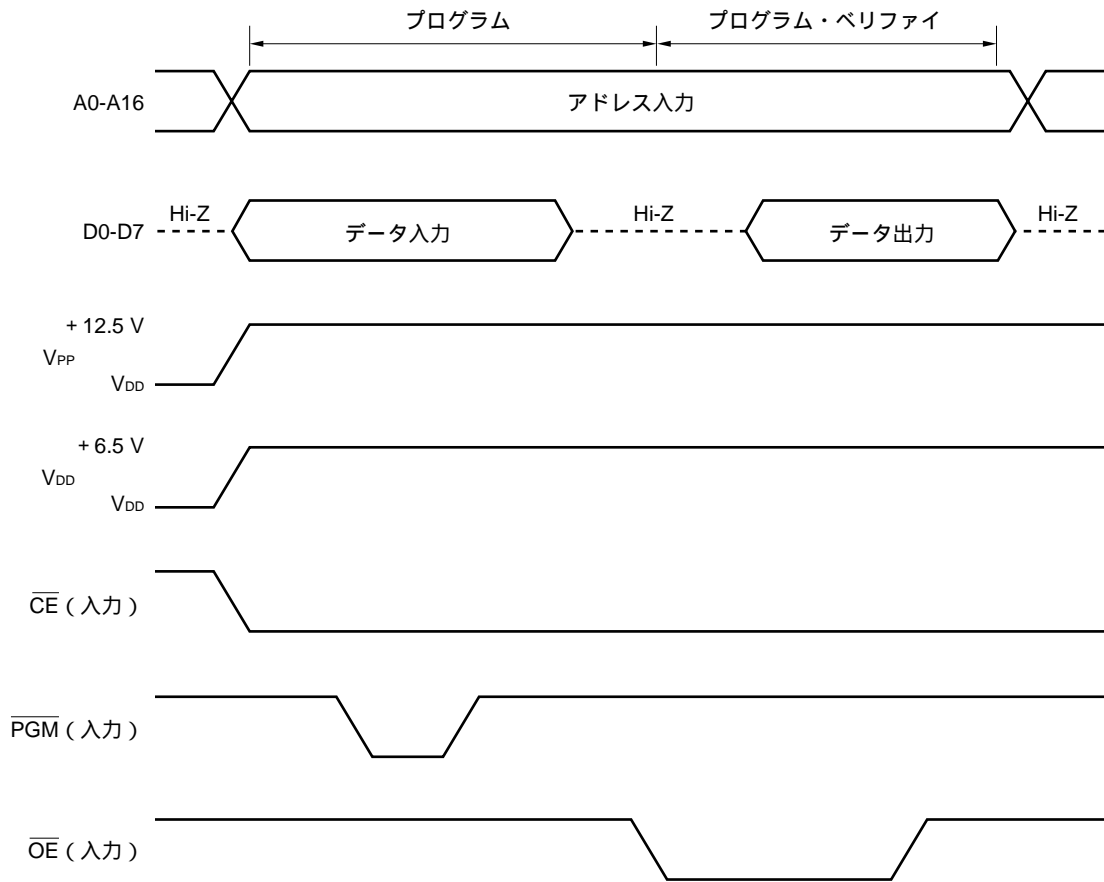
ページ・プログラム・モード・タイミング



バイト・プログラム・モード・フロー・チャート



バイト・プログラム・モード・タイミング



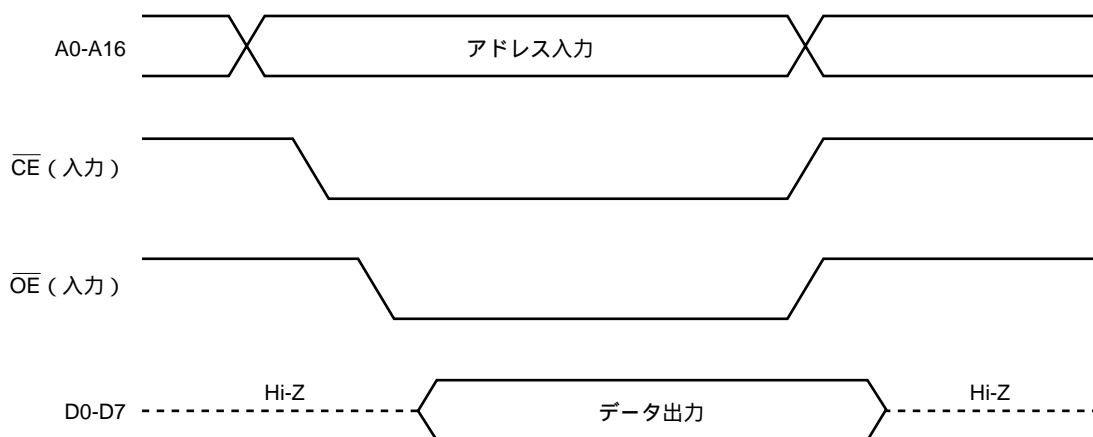
11.4 PROM読み出し手順

PROMの内容を外部データ・バス（D0-D7）に読み出すときの手順は、次のとおりです。

- (1) MODE0=L, MODE1=Lに固定する。未使用端子は1.5.2 PROMプログラミング・モードの指示に従って処理する。
- (2) V_{DD}, V_{PP}端子に+5Vを供給する。
- (3) 読み出すデータのアドレスをA0-A16端子に入力する。
- (4) リード・モード ($\overline{CE}=L, \overline{OE}=L$)
- (5) データがD0-D7端子に出力される。

上述の(2)-(5)のタイミングを図11-1に示します。

図11-1 PROMの読み出しタイミング



11.5 ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品（ μ PD70P3002GC-7EA）は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125	24時間

11.6 外部クロック使用時のSTOPモード解除に関する注意事項

外部クロック使用時、クロック供給は外部システムにより制御されます。

したがって、STOPモードを解除（ $\overline{\text{RESET}}$ またはNMI入力により解除）する場合、PROM安定時間を確保するために、 $\overline{\text{RESET}}$ またはNMI入力を行う150 μs 以上前に、クロック供給を再開してください。

付録A レジスタ索引

(1/3)

略号	名称	ユニット	ページ
ASIM00	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	UART	157
ASIM01	アシンクロナス・シリアル・インタフェース・モード・レジスタ01	UART	159
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	UART	160
BCC	バス・サイクル・コントロール・レジスタ	BCU	60
BPRM0	ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ0	BRG0	183
BPRM1	ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ1	BRG1	183
BRG0	ポー・レート・ジェネレータ・レジスタ0	BRG0	183
BRG1	ポー・レート・ジェネレータ・レジスタ1	BRG1	183
CC10	キャプチャ/コンペア・レジスタ10	RPU	125
CC11	キャプチャ/コンペア・レジスタ11	RPU	125
CC12	キャプチャ/コンペア・レジスタ12	RPU	125
CC13	キャプチャ/コンペア・レジスタ13	RPU	125
CM4	コンペア・レジスタ4	RPU	126
CMIC4	割り込み制御レジスタ	INTC	89
CSIC0	割り込み制御レジスタ	INTC	89
CSIC1	割り込み制御レジスタ	INTC	89
CSIC2	割り込み制御レジスタ	INTC	89
CSIM0	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSI0	170
CSIM1	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSI1	170
CSIM2	クロック同期式シリアル・インタフェース・モード・レジスタ2	CSI2	170
DWC	データ・ウェイト・コントロール・レジスタ	BCU	58
ECR	割り込み要因レジスタ	CPU	34
EIPC	割り込み時状態退避レジスタ	CPU	34
EIPSW	割り込み時状態退避レジスタ	CPU	34
FEPC	NMI時状態退避レジスタ	CPU	34
FEPSW	NMI時状態退避レジスタ	CPU	34
INTM0	外部割り込みモード・レジスタ0	INTC	79
INTM1	外部割り込みモード・レジスタ1	INTC	90
INTM2	外部割り込みモード・レジスタ2	INTC	90
ISPR	インサースビス・プライオリティ・レジスタ	INTC	91
MM	メモリ拡張モード・レジスタ	ポート	50
OVIC1	割り込み制御レジスタ	INTC	89
P0	ポート0	ポート	90
P1	ポート1	ポート	194
P2	ポート2	ポート	195

(2/3)

略号	名称	ユニット	ページ
P3	ポート3	ポート	200
P4	ポート4	ポート	205
P5	ポート5	ポート	207
P6	ポート6	ポート	209
P9	ポート9	ポート	210
P10	ポート10	ポート	213
P0IC0	割り込み制御レジスタ	INTC	89
P0IC1	割り込み制御レジスタ	INTC	89
P0IC2	割り込み制御レジスタ	INTC	89
P0IC3	割り込み制御レジスタ	INTC	89
P1IC0	割り込み制御レジスタ	INTC	89
P1IC1	割り込み制御レジスタ	INTC	89
P1IC2	割り込み制御レジスタ	INTC	89
P1IC3	割り込み制御レジスタ	INTC	89
PM0	ポート0モード・レジスタ	ポート	192
PM1	ポート1モード・レジスタ	ポート	195
PM2	ポート2モード・レジスタ	ポート	198
PM3	ポート3モード・レジスタ	ポート	203
PM4	ポート4モード・レジスタ	ポート	206
PM5	ポート5モード・レジスタ	ポート	208
PM6	ポート6モード・レジスタ	ポート	210
PM9	ポート9モード・レジスタ	ポート	212
PM10	ポート10モード・レジスタ	ポート	215
PMC0	ポート0モード・コントロール・レジスタ	ポート	193
PMC2	ポート2モード・コントロール・レジスタ	ポート	199
PMC3	ポート3モード・コントロール・レジスタ	ポート	204
PMC10	ポート10モード・コントロール・レジスタ	ポート	215
PRCMD	コマンド・レジスタ	CG	109
PSC	パワー・セーブ・コントロール・レジスタ	CG	107
PSW	プログラム・ステータス・ワード	CPU	35, 79, 91, 94
RXB0	受信バッファ0	UART	161
RXB0L	受信バッファ0L	UART	161
SEIC0	割り込み制御レジスタ	INTC	89
SIO0	シリアルI/Oシフト・レジスタ0	CSI0	171
SIO1	シリアルI/Oシフト・レジスタ1	CSI1	171
SIO2	シリアルI/Oシフト・レジスタ2	CSI2	171
SRIC0	割り込み制御レジスタ	INTC	89

(3/3)

略号	名称	ユニット	ページ
STIC0	割り込み制御レジスタ	INTC	89
SYS	システム・ステータス・レジスタ	CG	104, 109
TM1	タイマ1	RPU	124
TM4	タイマ4	RPU	126
TMC1	タイマ・コントロール・レジスタ1	RPU	129
TMC4	タイマ・コントロール・レジスタ4	RPU	130
TOC1	タイマ出力コントロール・レジスタ1	RPU	131
TOVS	タイマ・オーバフロー・ステータス・レジスタ	RPU	132
TUM1	タイマ・ユニット・モード・レジスタ1	RPU	127
TXS0	送信シフト・レジスタ0	UART	162
TXS0L	送信シフト・レジスタ0L	UART	162

〔メ モ〕

付録 B 命令セット一覧

凡 例

(1) オペランド記述に使われる略号

略 号	説 明
reg1	汎用レジスタ (r0-r31) : ソース・レジスタとして使用する。
reg2	汎用レジスタ (r0-r31) : おもにデスティネーション・レジスタとして使用する。
imm x	x ビット・イミューディエト
disp x	x ビット・ディスプレイースメント
regID	システム・レジスタ番号
bit#3	ビット・ナンバ指定用 3 ビット・データ
ep	エレメント・ポインタ (r30)
cccc	条件コード
vector	トラップ・ベクタ (00H-1FH) を指定する 5 ビット・データ

(2) コードに使われる略号

略 号	説 明
R	reg1またはregIDを指定するコードの 1 ビット分データ
r	reg2を指定するコードの 1 ビット分データ
d	ディスプレイースメントの 1 ビット分データ
i	イミューディエトの 1 ビット分データ
cccc	条件コードを示す 4 ビット・データ
bbb	ビット・ナンバ指定 3 ビット・データ

(3) オペレーションに使われる略号 (1/2)

略 号	説 明
	代入
GR []	汎用レジスタ
SR []	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a,b)	アドレスaから、サイズbのデータを読み出す。
store-memory (a,b,c)	アドレスaにデータbをサイズcで書き込む。
load-memory-bit (a,b)	アドレスaのビットbを読み出す。
store-memory-bit (a,b,c)	アドレスaのビットbにcを書き込む。
saturated (n)	nの飽和处理を行う (nは 2 の補数) 。 nが計算の結果、 n 7FFFFFFFHとなった場合、7FFFFFFFHとする。 n 80000000Hとなった場合、80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8 ビット)

(3) オペレーションに使われる略号 (2/2)

略号	説明
Halfword	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略号	説明
i : issue	命令実行直後にほかの命令を実行する場合
r : repeat	命令実行直後に同一命令を実行する場合
l : latency	命令実行結果を直後の命令で引用する場合

(5) フラグの動作に使われる略号

識別子	説明
(ブランク)	変化なし
0	0にクリア
×	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

条件コード

条件名 (cond)	条件コード (cccc)	条件式	説 明
V	0 0 0 0	OV=1	Overflow
NV	1 0 0 0	OV=0	No overflow
C/L	0 0 0 1	CY=1	Carry Lower (Less than)
NC/NL	1 0 0 1	CY=0	No carry No lower (Greater than or equal)
Z/E	0 0 1 0	Z=1	Zero Equal
NZ/NE	1 0 1 0	Z=0	Not zero Not equal
NH	0 0 1 1	(CY OR Z) =1	Not higher (Less than or equal)
H	1 0 1 1	(CY OR Z) =0	Higher (Greater than)
N	0 1 0 0	S=1	Negative
P	1 1 0 0	S=0	Positive
T	0 1 0 1	-	Always (無条件)
SA	1 1 0 1	SAT=1	Saturated
LT	0 1 1 0	(S XOR OV) =1	Less than signed
GE	1 1 1 0	(S XOR OV) =0	Greater than or equal signed
LE	0 1 1 1	((S XOR OV) OR Z) =1	Less than or equal signed
GT	1 1 1 1	((S XOR OV) OR Z) =0	Greater than signed



インストラクション・セット (アルファベット順) (1/4)

ニモニック	オペランド	コード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
ADD	reg1,reg2	rrrrr001110RRRRR	GR [reg2] GR [reg2] + GR [reg1]	1	1	1	x	x	x	x	
	imm5,reg2	rrrrr010010iiii	GR [reg2] GR [reg2] + sign-extend (imm5)	1	1	1	x	x	x	x	
ADDI	imm16,reg1,reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR [reg2] GR [reg1] + sign-extend (imm16)	1	1	1	x	x	x	x	
AND	reg1,reg2	rrrrr001010RRRRR	GR [reg2] GR [reg2] AND GR [reg1]	1	1	1		0	x	x	
ANDI	imm16,reg1,reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR [reg2] GR [reg1] AND zero-extend (imm16)	1	1	1		0	0	x	
Bcond	disp9	dddd1011dddcccc 注1	if conditions are satisfied	条件成立時	3	3	3				
			then PC PC + sign-extend (disp9)	条件不成立時	1	1	1				
CLR1	bit#3,disp16 [reg1]	10bbb111110RRRRR ddddddddddddddd	adr GR [reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr,bit#3)) Store-memory-bit (adr,bit#3,0)	4	4	4					x
CMP	reg1,reg2	rrrrr001111RRRRR	result GR [reg2] - GR [reg1]	1	1	1	x	x	x	x	
	imm5,reg2	rrrrr010011iiii	result GR [reg2] - sign-extend (imm5)	1	1	1	x	x	x	x	
DI		0000011111100000 0000000101100000	PSW.ID 1 (マスカブル割り込みの禁止)	1	1	1					
DIVH	reg1,reg2	rrrrr000010RRRRR	GR [reg2] GR [reg2] ÷ GR [reg1] ^{注2} (符号付き除算)	36	36	36		x	x	x	
EI		1000011111100000 0000000101100000	PSW.ID 0 (マスカブル割り込みの許可)	1	1	1					
HALT		0000011111100000 0000000100100000	停止する	1	1	1					
JARL	disp22,reg2	rrrrr11110dddddd ddddddddddddddd0 注3	GR [reg2] PC + 4 PC PC + sign-extend (disp22)	3	3	3					
JMP	[reg1]	0000000011RRRRR	PC GR [reg1]	3	3	3					
JR	disp22	0000011110dddddd ddddddddddddddd0 注3	PC PC + sign-extend (disp22)	3	3	3					
LD.B	disp16 [reg1],reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR [reg1] + sign-extend (disp16) GR [reg2] sign-extend (Load-memory (adr,Byte))	1	1	2					
LD.H	disp16 [reg1],reg2	rrrrr111001RRRRR ddddddddddddddd0 注4	adr GR [reg1] + sign-extend (disp16) GR [reg2] sign-extend (Load-memory (adr,Halfword))	1	1	2					
LD.W	disp16 [reg1],reg2	rrrrr111001RRRRR ddddddddddddddd1 注4	adr GR [reg1] + sign-extend (disp16) GR [reg2] Load-memory (adr,Word)	1	1	2					

- 注1 . ddddddddはdisp9の上位8ビットです。
- 2 . 下位ハーフワード・データのみ有効
- 3 . ddddddddddddddddddddはdisp22の上位21ビットです。
- 4 . ddddddddddddddddはdisp16の上位15ビットです。

インストラクション・セット (アルファベット順) (2/4)

ニモニック	オペランド	コード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
LDSR	reg2,regID	rrrrr11111RRRRR	SR [regID] GR [reg2] regID=EIPC,FEPC	1	1	3						
		000000000100000					regID=EIPSW,FEPSW	1				
		注1					regID=PSW	1	x	x	x	x
MOV	reg1,reg2	rrrrr00000RRRRR	GR [reg2] GR [reg1]	1	1	1						
	imm5,reg2	rrrrr010000iiii	GR [reg2] sign-extend (imm5)	1	1	1						
MOVEA	imm16,reg1,reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR [reg2] GR [reg1] + sign-extend (imm16)	1	1	1						
MOVHI	imm16,reg1,reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR [reg2] GR [reg1] + (imm16 · 0 ¹⁶)	1	1	1						
MULH	reg1,reg2	rrrrr000111RRRRR	GR [reg2] GR [reg2] ^{注2} × GR [reg1] ^{注2} (符号付き乗算)	1	1	2						
	imm5,reg2	rrrrr010111iiii	GR [reg2] GR [reg2] ^{注2} × sign-extend (imm5) (符号付き乗算)	1	1	2						
MULHI	imm16,reg1,reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR [reg2] GR [reg1] ^{注2} × imm16 (符号付き乗算)	1	1	2						
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1						
NOT	reg1,reg2	rrrrr000001RRRRR	GR [reg2] NOT (GR [reg1])	1	1	1		0	x	x		
NOT1	bit#3,disp16 [reg1]	01bbb111110RRRRR ddddddddddddddd	adr GR [reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr,bit#3)) Store-memory-bit (adr,bit#3,Zフラグ)	4	4	4				x		
OR	reg1,reg2	rrrrr001000RRRRR	GR [reg2] GR [reg2] OR GR [reg1]	1	1	1		0	x	x		
ORI	imm16,reg1,reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR [reg2] GR [reg1] OR zero-extend (imm16)	1	1	1		0	x	x		
RETI		0000011111100000 0000000101000000	if PSW.EP=1 then PC EIPC PSW EIPSW else if PSW.NP=1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	4	4	4	R	R	R	R		
SAR	reg1,reg2	rrrrr11111RRRRR 0000000010100000	GR [reg2] GR [reg2] arithmetically shift right by GR [reg1]	1	1	1	x	0	x	x		
	imm5,reg2	rrrrr010101iiii	GR [reg2] GR [reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x		

注1. この命令では、ニモニックの記述の都合上、ソース・レジスタをreg2としていますが、オペコード上はreg1のフィールドを使用しています。したがって、ニモニック記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。

rrrrr = regID指定

RRRRR = reg2指定

2. 下位ハーフワード・データのみ有効

インストラクション・セット (アルファベット順) (3/4)

二モニック	オペランド	コード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SATADD	reg1,reg2	rrrrr000110RRRRR	GR [reg2] saturated (GR [reg2] + GR [reg1])	1	1	1	x	x	x	x	x
	imm5,reg2	rrrrr010001iiii	GR [reg2] saturated (GR [reg2] + sign-extend (imm5))	1	1	1	x	x	x	x	x
SATSUB	reg1,reg2	rrrrr000101RRRRR	GR [reg2] saturated (GR [reg2] - GR [reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16,reg1,reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR [reg2] saturated (GR [reg1] - sign-extend (imm16))	1	1	1	x	x	x	x	x
SATSUBR	reg1,reg2	rrrrr000100RRRRR	GR [reg2] saturated (GR [reg1] - GR [reg2])	1	1	1	x	x	x	x	x
SETF	cccc,reg2	rrrrr1111110cccc 0000000000000000	if conditions are satisfied then GR [reg2] 00000001H else GR [reg2] 00000000H	1	1	1					
SET1	bit#3,disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR [reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr,bit#3)) Store-memory-bit (adr,bit#3,1)	4	4	4					x
SHL	reg1,reg2	rrrrr111111RRRRR 0000000011000000	GR [reg2] GR [reg2] logically shift left by GR [reg1]	1	1	1	x	0	x	x	
	imm5,reg2	rrrrr010110iiii	GR [reg2] GR [reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1,reg2	rrrrr111111RRRRR 0000000010000000	GR [reg2] GR [reg2] logically shift right by GR [reg1]	1	1	1	x	0	x	x	
	imm5,reg2	rrrrr010100iiii	GR [reg2] GR [reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep],reg2	rrrrr0110dddddd	adr ep + zero-extend (disp7) GR [reg2] sign-extend (Load-memory (adr,Byte))	1	1	2					
SLD.H	disp8 [ep],reg2	rrrrr1000dddddd 注1	adr ep + zero-extend (disp8) GR [reg2] sign-extend (Load-memory (adr,Halfword))	1	1	2					
SLD.W	disp8 [ep],reg2	rrrrr1010dddddd0 注2	adr ep + zero-extend (disp8) GR [reg2] Load-memory (adr,Word)	1	1	2					
SST.B	reg2,disp7 [ep]	rrrrr0111dddddd	adr ep + zero-extend (disp7) Store-memory (adr,GR [reg2],Byte)	1	1	1					
SST.H	reg2,disp8 [ep]	rrrrr1001dddddd 注1	adr ep + zero-extend (disp8) Store-memory (adr,GR [reg2],Halfword)	1	1	1					
SST.W	reg2,disp8 [ep]	rrrrr1010dddddd1 注2	adr ep + zero-extend (disp8) Store-memory (adr,GR [reg2],Word)	1	1	1					
ST.B	reg2,disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR [reg1] + sign-extend (disp16) Store-memory (adr,GR [reg2],Byte)	1	1	1					

注1 . dddddddはdisp8の上位7ビットです。

2 . dddddddはdisp8の上位6ビットです。



インストラクション・セット (アルファベット順) (4/4)

ニモニック	オペランド	コード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
ST.H	reg2,disp16 [reg1]	rrrrr111011RRRRR dddddddddddddd0 注	adr GR [reg1] + sign-extend (disp16) Store-memory (adr,GR [reg2],Halfword)	1	1	1						
ST.W	reg2,disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注	adr GR [reg1] + sign-extend (disp16) Store-memory (adr,GR [reg2],Word)	1	1	1						
STSR	regID,reg2	rrrrr111111RRRRR 0000000001000000	GR [reg2] SR [regID]	1	1	1						
SUB	reg1,reg2	rrrrr001101RRRRR	GR [reg2] GR [reg2] - GR [reg1]	1	1	1	x	x	x	x		
SUBR	reg1,reg2	rrrrr001100RRRRR	GR [reg2] GR [reg1] - GR [reg2]	1	1	1	x	x	x	x		
TRAP	vector	000001111111iiii 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 00000040H (vector=00H-0FH) 00000050H (vector=10H-1FH)	4	4	4						
TST	reg1,reg2	rrrrr001011RRRRR	result GR [reg2] AND GR [reg1]	1	1	1		0	x	x		
TST1	bit#3,disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr GR [reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr,bit#3))	3	3	3					x	
XOR	reg1,reg2	rrrrr001001RRRRR	GR [reg2] GR [reg2] XOR GR [reg1]	1	1	1		0	x	x		
XORI	imm16,reg1,reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR [reg2] GR [reg1] XOR zero-extend (imm16)	1	1	1		0	x	x		

注 ddddddddddddddd はdisp16の上位15ビットです。

〔メ モ〕

付録C 総合索引

C.1 50音で始まる語句の索引

【あ行】

アイドル・ステート挿入機能 ... 60
アクセス・クロック数 ... 56
アシンクロナス・シリアル・インタフェース ... 154
アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 ... 160
アシンクロナス・シリアル・インタフェース・モード・レジスタ00,01 ... 157
アセンブラ予約レジスタ ... 33
アドレス空間 ... 38,39,51
イニシャライズ ... 218
インサース・プライオリティ・レジスタ ... 91
インターバル・タイマ ... 143
ウェイト機能 ... 58
ウェイト挿入例 ... 59
エレメント・ポインタ ... 33
応答時間 ... 99
応用分野 ... 3
オーダ情報 ... 3
オーバフロー（タイマ1） ... 134
オーバフロー（タイマ4） ... 140

【か行】

外部ウェイト機能 ... 59
外部カウント・クロック ... 134
外部拡張モード ... 49
外部メモリ領域 ... 46

外部割り込みモード・レジスタ0 ... 79
外部割り込みモード・レジスタ1 ... 90
外部割り込みモード・レジスタ2 ... 90,131
カウント・クロック選択（タイマ1） ... 133
カウント動作（タイマ1） ... 133
カウント動作（タイマ4） ... 140
機能ブロック構成 ... 8
基本動作（シリアル・インタフェース機能） ... 172
キャプチャ/コンペア・レジスタ10-13 ... 125
キャプチャ動作 ... 136
境界動作条件 ... 70
グローバル・ポインタ ... 33
クロック・ジェネレータ ... 9
クロック出力インヒビット ... 106,119
クロック出力制御 ... 119
クロック同期式シリアル・インタフェース・モード・レジスタ0-2 ... 170
クロック同期式シリアル・インタフェース0-2 ... 168
クロック発生機能 ... 111
コマンド・レジスタ ... 109
コンペア・レジスタ4 ... 126
コンペア動作（タイマ1） ... 138
コンペア動作（タイマ4） ... 141

【さ行】

システム・レジスタ・セット ... 34
周期測定 ... 149
周辺I/O領域 ... 45

周辺I/Oレジスタ ... 53
 出力ディスエーブル・モード ... 222
 受信エラー割り込み ... 163
 受信完了割り込み ... 163
 受信バッファ0,0L ... 161
 状態遷移図 ... 106
 シリアル・インタフェース ... 11,153
 シリアルI/Oシフト・レジスタ0-2 ... 171
 シングルチップ・モード ... 36
 スタック・ポインタ ... 33
 スタンバイ・モード ... 222
 制御レジスタ ... 107
 ゼロ・レジスタ ... 33
 送信完了割り込み ... 163
 送信シフト・レジスタ0,0L ... 162
 ソフトウェアSTOPモード ... 105,114
 ソフトウェア例外 ... 92

【た行】

タイマ・オーバフロー・ステータス・レジスタ
 ... 132
 タイマ・コントロール・レジスタ1 ... 129
 タイマ・コントロール・レジスタ4 ... 130
 タイマ・ユニット・モード・レジスタ1 ...
 127
 タイマ/カウンタ機能 ... 121
 タイマ1 ... 124
 タイマ1動作 ... 133
 タイマ4 ... 126
 タイマ4動作 ... 140
 タイマ出力コントロール・レジスタ1 ... 131
 タイム・ベース・カウンタ ... 117
 ダイレクト・モード ... 103
 多重割り込み ... 97
 端子機能 ... 13,18
 端子状態 ... 17

端子接続図 ... 5
 端子の入出力回路 ... 29
 注意事項(タイマ/カウンタ機能) ... 151
 通常動作モード ... 5,13,18
 データ・ウェイト・コントロール・レジスタ ...
 58
 データ空間 ... 40,51,70
 テキスト・ポインタ ... 33
 動作モード ... 36

【な行】

内蔵RAM領域 ... 44
 内蔵ROM/PROM領域 ... 42
 内蔵周辺I/Oインタフェース ... 71
 内部カウント・クロック ... 133
 内部ブロック図 ... 8
 内部ユニット ... 9
 入カクロック選択(クロック・ジェネレータ)
 ... 102
 入カクロック選択(タイマ4) ... 140
 ノイズ除去回路 ... 216

【は行】

バイト書き込みモード ... 222
 バス・コントロール・ユニット ... 9
 バス・サイクル・コントロール・レジスタ ...
 60
 バス・タイミング ... 63
 バス・ホールド ... 61,69
 バスの優先順位 ... 70
 バス制御機能 ... 55
 バス制御端子 ... 55
 発振安定時間の確保 ... 116
 パルス幅測定 ... 144
 パワー・セーブ・コントロール・レジスタ ...
 107

- パワー・セーブ・モード時の動作 ... 62
 パワー・セーブ制御 ... 105
 汎用レジスタ ... 33
 不正命令コード ... 94
 プログラマブル・ウエイト機能 ... 58
 プログラム・インヒビット・モード ... 222
 プログラム・カウンタ ... 33
 プログラム・ステータス・ワード ... 35
 プログラム・ベリファイ・モード ... 222
 プログラム・レジスタ・セット ... 33
 プログラム空間 ... 40,51,70
 ページ書き込みモード ... 222
 ページ・データ・ラッチ・モード ... 222
 ボー・レート・ジェネレータ・プリスケラ・
 モード・レジスタ0, 1 ... 183
 ボー・レート・ジェネレータ・レジスタ0, 1
 ... 183
 ボー・レート・ジェネレータ0, 1 ... 179
 ポート ... 10,185
 ポート0 ... 190
 ポート0モード・コントロール・レジスタ ...
 193
 ポート0モード・レジスタ ... 192
 ポート1 ... 194
 ポート10 ... 213
 ポート10モード・コントロール・レジスタ ...
 215
 ポート10モード・レジスタ ... 215
 ポート1モード・レジスタ ... 195
 ポート2 ... 195
 ポート2モード・コントロール・レジスタ ...
 199
 ポート2モード・レジスタ ... 195
 ポート3 ... 200
 ポート3モード・コントロール・レジスタ ...
 204
 ポート3モード・レジスタ ... 203
 ポート4 ... 205
 ポート4モード・レジスタ ... 207
 ポート5 ... 207
 ポート5モード・レジスタ ... 207
 ポート6 ... 209
 ポート6モード・レジスタ ... 210
 ポート9 ... 210
 ポート9モード・レジスタ ... 212
- 【ま行】**
- マスカブル割り込み ... 80,84
 マスカブル割り込みステータス・フラグ ... 91
 未使用端子の処理 ... 28
 メモリ・ブロック機能 ... 57
 メモリ・マップ ... 41,52
 メモリ・ライト ... 67
 メモリ・リード ... 63
 メモリ拡張モード・レジスタ ... 50
- 【や行】**
- 優先順位制御 ... 97
- 【ら行】**
- ラップ・アラウンド ... 40,51
 リアルタイム・パルス・ユニット ... 9,121
 リード・モード ... 221
 リセット機能 ... 217
 リンク・ポインタ ... 33
 例外処理機能 ... 73
 例外テーブル ... 42
 例外トラップ ... 94
 レジスタのリセット後の初期値 ... 219

【わ行】

- 割り込み一覧 ... 74
- 割り込みが受け付けられないタイミング ... 100
- 割り込みコントローラ ... 9
- 割り込み時状態退避レジスタ ... 34
- 割り込み処理機能 ... 73
- 割り込みスタック・ポインタ ... 33
- 割り込み制御レジスタ ... 88
- 割り込みテーブル ... 42
- 割り込みと例外の優先順位 ... 97
- 割り込み要因レジスタ ... 34
- 割り込み要求 ... 163
- ワン・タイムPROM製品のスクリーニングについて ... 227

C.2 アルファベットで始まる語句の索引

【A】

A0-A16 ... 27
 A16-A23 ... 22
 AD0-AD7 ... 21
 AD8-AD15 ... 21
 ALV10, ALV11 ... 131
 ASIM00, ASIM01 ... 157
 ASIS0 ... 160
 ASTB ... 23

【B】

BCC ... 60
 BCn1 (n = 0-7) ... 60
 BCU ... 9
 BPRM0, BPRM1 ... 183
 BPRm0-BPRm2 (m = 0, 1) ... 184
 BRCE0, BRCE1 ... 184
 BRG0, BRG1 ... 183
 BRG設定データ ... 181

【C】

CC10-CC13 ... 125
 \overline{CE} ... 27
 CE1 ... 129
 CE4 ... 130
 CES10, CES11 ... 128
 CESEL ... 107
 CG ... 9
 CKSEL ... 25
 CL0 ... 158
 CLKOUT ... 24
 CM4 ... 126

CMIC4 ... 88
 CMIF4 ... 88
 CMMK4 ... 88
 CMPR40-CMPR42 ... 88
 CMS10-CMS13 ... 128
 CPU ... 9
 CPUアドレス空間 ... 38
 CPUレジスタ・セット ... 32
 CPU機能 ... 31
 CRXE0-CRXE2 ... 170
 CSI0-CSI2 ... 168
 CSIC0-CSIC2 ... 88
 CSIF0-CSIF2 ... 88
 CSIM0-CSIM2 ... 170
 CSIのシステム構成例 ... 178
 CSMK0-CSMK2 ... 88
 CSOT0-CSOT2 ... 170
 CSPRn0-CSPRn2 (n = 0-2) ... 88
 CTXE0-CTXE2 ... 170
 CV_{DD} ... 26
 CV_{SS} ... 26
 CY ... 35

【D】

D0-D7 ... 27
 DCLK0, DCLK1 ... 107
 \overline{DSTB} ... 23
 DWC ... 58
 DWn0-DWn1 (n = 0-7) ... 58

【E】

EBS0 ... 159
 ECLR1 ... 127

ECR ... 34
 EICC ... 34
 EIPC ... 34
 EIPSW ... 34
 ENTO10, ENTO11 ... 131
 EP ... 35, 94
 ES0n0, ES0n1 (n=0-3) ... 90
 ES1n0, ES1n1 (n=0-3) ... 90
 ESN0 ... 79
 ETI ... 129

【F】

FE0 ... 161
 FECC ... 34
 FEPC ... 34
 FEPSW ... 34

【H】

HALTモード ... 105, 110
 $\overline{\text{HLD}}\text{AK}$... 24
 $\overline{\text{HLD}}\text{RQ}$... 24

【I】

IC0 ... 26
 ID ... 35, 91
 IDLE ... 107
 IDLEモード ... 105, 112
 ILGOP ... 74
 IMS10-IMS13 ... 128
 INTC ... 9
 INTCM4 ... 74
 INTCSI0-INTCSI2 ... 74
 INTM0 ... 79
 INTM1 ... 90

INTM2 ... 90, 131
 INTOV1 ... 74
 INTP00-INTP03 ... 19, 74
 INTP10-INTP13 ... 18
 INTPn/IINTCCn (n=10-13) ... 74
 INTSER0 ... 74
 INTSR0 ... 74
 INTST0 ... 74
 ISPR ... 91
 ISPR0-ISPR7 ... 91

【L】

$\overline{\text{LBEN}}$... 22

【M】

MM ... 50
 MM0-MM3 ... 50
 MOD0-MOD2 ... 170
 MODE0, MODE1 ... 25

【N】

NMI ... 19, 74
 NMI時状態退避レジスタ ... 34
 NP ... 35, 79

【O】

$\overline{\text{OE}}$... 27
 OST ... 127
 OV ... 35
 OVIC1 ... 89
 OVE0 ... 160
 OVF1, OVF4 ... 132
 OVIF1 ... 89

OVMK1 ... 89	P30-P37 ... 19, 200
OVPR10-OVPR12 ... 89	P31, P36のブロック図 ... 201
	P32, P37のブロック図 ... 202
【P】	P34のブロック図 ... 202
P0 ... 190	P4 ... 205
P00, P01のブロック図 ... 191	P40-P47 ... 20, 205
P00-P07 ... 18, 190	P40-P47のブロック図 ... 205
P02-P07のブロック図 ... 191	P5 ... 207
P0IC0-P0IC3 ... 89	P50-P57 ... 21, 207
P0IF0-P0IF3 ... 89	P50-P57のブロック図 ... 207
P0MK0-P0MK3 ... 89	P6 ... 209
P0PR00-P0PR02 ... 89	P60-P67 ... 21, 209
P0PR10-P0PR12 ... 89	P60-P67のブロック図 ... 209
P0PR20-P0PR22 ... 89	P9 ... 210
P0PR30-P0PR32 ... 89	P90-P97 ... 22, 210
P1 ... 194	P90-P97のブロック図 ... 211
P10 ... 213	PC ... 33
P10-P17 ... 18, 194	PE0 ... 160
P10-P17のブロック図 ... 194	$\overline{\text{PGM}}$... 27
P100, P103のブロック図 ... 213	PLLSEL ... 25
P100-P103 ... 24, 213	PLLモード ... 103
P101のブロック図 ... 214	PLLロックアップ ... 104
P102のブロック図 ... 214	PM0 ... 192
P11C0-P11C3 ... 89	PM00-PM07 ... 192
P11F0-P11F3 ... 89	PM1 ... 195
P1MK0-P1MK3 ... 89	PM10 (レジスタ) ... 215
P1PRn0-P1PRn2 (n = 0-3) ... 89	PM10-PM17 (ビット) ... 195
P2 ... 195	PM100-PM103 ... 215
P20-P27 ... 18, 195	PM2 ... 198
P20のブロック図 ... 196	PM21-PM27 ... 198
P21-P24のブロック図 ... 196	PM3 ... 203
P25のブロック図 ... 197	PM30-PM37 ... 203
P26のブロック図 ... 197	PM4 ... 206
P27のブロック図 ... 198	PM40-PM47 ... 206
P3 ... 200	PM5 ... 208
P30, P33, P35のブロック図 ... 201	PM50-PM57 ... 208
	PM6 ... 210

PM60-PM67 ... 210
 PM9 ... 212
 PM90-PM97 ... 212
 PMC0 ... 193
 PMC00-PMC07 ... 193
 PMC10 ... 215
 PMC100, PM101 ... 215
 PMC2 ... 199
 PMC21-PMC27 ... 199
 PMC3 ... 204
 PMC30-PMC37 ... 204
 PRCMD ... 109
 PRERR ... 109
 PRM11 ... 129
 PRM40, PRM41 ... 130
 PROM ... 9
 PROMプログラミング・モード ... 7, 16, 27,
 36
 PROMモード ... 221
 PROMリード・モード ... 36
 PROM書き込み手順 ... 223
 PROM読み出し手順 ... 227
 PRS10, PRS11 ... 129
 PRS40 ... 130
 PS01, PS00 ... 158
 PSC ... 107
 PSW ... 35, 79, 91, 94
 PWM出力 ... 146

【R】

$\overline{R/W}$... 23
 r0-r31 ... 33
 RAM ... 9
 REG0-REG7 ... 109
 RESET ... 74
 \overline{RESET} ... 26

RET1命令の動作 ... 78, 83, 93, 96
 ROM ... 9
 ROMレス・モード ... 36
 RPU ... 9, 121
 RXB0, RXB0L ... 161
 RXB00-RXB07 ... 161
 RXD ... 20
 RXE0 ... 157
 RXEB0 ... 161

【S】

S ... 35
 SAT ... 35
 $\overline{SCK0}$... 20
 $\overline{SCK1}$... 20
 $\overline{SCK2}$... 19
 SCLS0 ... 159
 SEIC0 ... 89
 SEIF0 ... 89
 SEMK0 ... 89
 SEPR00-SEPR02 ... 89
 SIO ... 20
 SI1 ... 20
 SI2 ... 19
 SIO ... 10
 SIO0-SIO2 ... 171
 SIO_n0-SIO_n7 (n = 0-2) ... 171
 SL0 ... 159
 SO0 ... 20
 SO1 ... 20
 SO2 ... 19
 SOT0 ... 160
 SRIC0 ... 89
 SRIF0 ... 89
 SRMK0 ... 89
 SRPR00-SRPR02 ... 89

ST0, ST1 ... 23

STIC0 ... 89

STIF0 ... 89

STMK0 ... 89

STP ... 107

STPR00-STPR02 ... 89

SYS ... 104, 109

【T】

TBC ... 117

TBCS ... 107

TCLR1 ... 18

TCLR1入力によるタイマのクリア/スタート ...
135

TES10, TES11 ... 127

TI1 ... 18

TM1 ... 124

TM1キャプチャ動作例 ... 136

TM1コンペア動作例 ... 139

TM4 ... 126

TMC1 ... 129

TMC4 ... 130

TO10, TO11 ... 18

TOC1 ... 131

TOVS ... 132

TRAP0n, TRAP1n (n = 0-F) ... 74

TUM1 ... 127

TXD ... 20

TXED0 ... 162

TXS0, TXS0L ... 162

TXS00-TXS07 ... 162

【U】

UART ... 154

 $\overline{\text{UBEN}}$... 22

UNLOCK ... 104

【V】

V851とV852の相違点 ... 11

V_{DD} ... 26, 27V_{PP} ... 27V_{SS} ... 26, 27**【W】** $\overline{\text{WAIT}}$... 25**【X】**

X1, X2 ... 26

【Z】

Z ... 35

【その他】

100ピン・プラスチックQFP ... 3

3線式シリアルI/Oモードのタイミング ... 174,
175, 177

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00 ~ 12:00, 午後 1:00 ~ 5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107,
6108

名古屋 (052)222-2375

大阪 (06)6945-3178, 3200,
3208, 3212

仙台 (022)267-8740

郡山 (024)923-5591

千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111,
6112

立川 (042)526-5981, 6167

松本 (0263)35-1662

静岡 (054)254-4794

金沢 (076)232-7303

松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156

水戸 (029)226-1702

広島 (082)242-5504

高崎 (027)326-1303

鳥取 (0857)27-5313

太田 (0276)46-4014

名古屋 (052)222-2170, 2190

福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] V852 ユーザーズ・マニュアル ハードウェア編
(U10038JJ3V1UMJ1 (第3版))

[お名前など] (さしつかえのない範囲で)
御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価 (各欄に をご記入ください)

項 目	大変良い	良 好	普 通	悪 劣	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ()					
()					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他))
理由 []

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他))
理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは
NEC販売員, 特約店販売員, その他 ()

ご協力ありがとうございました。
下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡ししてください。

キ
コ
ニ
シ
テ