お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1.　本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

V850ES/KG1+

32ビット・シングルチップ・マイクロコンピュータ

ハードウエア編

μPD703313
μPD703313Y
μPD70F3311
μPD70F3311Y
μPD70F3313
μPD70F3313Y

資料番号　U16894JJ2V0UD00（第2版）
発行年月　April 2006 N　CP(K)

© NEC Electronics Corporation 2004

〔メ　モ〕

目次要約

第1章　概　　説　…　20
第2章　端子機能　…　37
第3章　CPU機能　…　51
第4章　ポート機能　…　93
第5章　バス制御機能　…　170
第6章　クロック発生機能　…　197
第7章　16ビット・タイマ／イベント・カウンタP（TMP）　…　208
第8章　16ビット・タイマ／イベント・カウンタ0　…　296
第9章　16ビット・タイマ／イベント・カウンタ5　…　374
第10章　8ビット・タイマH　…　393
第11章　インターバル・タイマ，時計タイマ　…　416
第12章　ウォッチドッグ・タイマ機能　…　428
第13章　リアルタイム出力機能（RTO）　…　438
第14章　A/Dコンバータ　…　447
第15章　D/Aコンバータ　…　476
第16章　アシンクロナス・シリアル・インタフェース（UART）　…　481
第17章　クロック同期式シリアル・インタフェース0（CSI0）　…　520
第18章　自動送受信機能付きクロック同期式シリアル・インタフェースA（CSIA）　…　547
第19章　I^2Cバス　…　582
第20章　DMA機能（DMAコントローラ）　…　657
第21章　割り込み／例外処理機能　…　680
第22章　キー割り込み機能　…　722
第23章　スタンバイ機能　…　724
第24章　リセット機能　…　745
第25章　クロック・モニタ　…　760
第26章　低電圧検出回路　…　770
第27章　パワーオン・クリア回路　…　775
第28章　レギュレータ　…　777
第29章　ROMコレクション機能　…　779
第30章　マスク・オプション／オプション・バイト　…　783
第31章　オンチップ・ディバグ機能　…　785
第32章　フラッシュ・メモリ　…　811
第33章　電気的特性　…　814
第34章　外 形 図　…　866
第35章　半田付け推奨条件　…　868
付録A　開発ツール　…　870
付録B　命令セット一覧　…　880
付録C　レジスタ索引　…　889
付録D　改版履歴　…　898

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域にとどまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時，MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

注意：μPD70F3311, 70F3311Y, 70F3313, 70F3313Yは，Silicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

EEPROM, IECUBE, MINICUBEはNECエレクトロニクス株式会社の登録商標です。

Windows, Windows XP，およびWindows NTは，米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは，米国IBM社の商標です。

SPARCstationは，米国SPARC International, Inc.の商標です。

Solaris, SunOSは，米国サン・マイクロシステムズ社の商標です。

SuperFlashは，米国Silicon Storage Technology, Inc.の米国，日本などの国における登録商標です。

本製品のうち，外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては，日本国外に輸出する際に，同法に基づき日本国政府の輸出許可が必要です。

非該当品　　：μPD70F3311, 70F3311Y, 70F3313, 70F3313Y

ユーザ判定品：μPD703313, 703313Y

- 本資料に記載されている内容は2006年2月現在のもので，今後，予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は，本資料の誤りに関し，一切その責を負いません。
- 当社は，本資料に記載された当社製品の使用に関連し発生した第三者の特許権，著作権その他の知的財産権の侵害等に関し，一切その責を負いません。当社は，本資料に基づき当社または第三者の特許権，著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路，ソフトウエアおよびこれらに関する情報は，半導体製品の動作例，応用例を説明するものです。お客様の機器の設計において，回路，ソフトウエアおよびこれらに関する情報を使用する場合には，お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し，当社は，一切その責を負いません。
- 当社は，当社製品の品質，信頼性の向上に努めておりますが，当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命，身体および財産に対する損害の危険を最小限度にするために，冗長設計，延焼対策設計，誤動作防止設計等安全設計を行ってください。
- 当社は，当社製品の品質水準を「標準水準」，「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また，各品質水準は，以下に示す用途に製品が使われることを意図しておりますので，当社製品の品質水準をご確認ください。

  標準水準：コンピュータ，OA機器，通信機器，計測機器，AV機器，家電，工作機械，パーソナル機器，産業用ロボット

  特別水準：輸送機器（自動車，電車，船舶等），交通用信号機器，防災・防犯装置，各種安全装置，生命維持を目的として設計されていない医療機器

  特定水準：航空機器，航空宇宙機器，海底中継機器，原子力制御システム，生命維持のための医療機器，生命維持のための装置またはシステム等

  当社製品のデータ・シート，データ・ブック等の資料で特に品質水準の表示がない場合は，標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には，事前に当社販売窓口までお問い合わせください。

（注）

（1）本事項において使用されている「当社」とは，NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（2）本事項において使用されている「当社製品」とは，（1）において定義された当社の開発，製造製品をいう。

M8E　02.11

はじめに

対 象 者　このマニュアルは，V850ES/KG1+の機能を理解し，それを用いた応用システムを設計するユーザを対象とします。

目　　的　このマニュアルは，次の構成に示すハードウエア機能をユーザに理解していただくことを目的としています。

構　　成　V850ES/KG1+のユーザーズ・マニュアルは，ハードウエア編（このマニュアル）と，アーキテクチャ編（V850ES　ユーザーズ・マニュアル　アーキテクチャ編）の2冊に分かれています。

ハードウエア編	アーキテクチャ編
・端子機能	・データ・タイプ
・CPU機能	・レジスタ・セット
・内蔵周辺機能	・命令形式と命令セット
・フラッシュ・メモリ・プログラミング	・割り込みと例外
・電気的特性	・パイプラインの動作

読 み 方　このマニュアルの読者には，電気，論理回路，およびマイクロコンピュータに関する一般知識を必要とします。

レジスタ名がわかっていて，レジスタの詳細を確認するとき
　→付録C　レジスタ索引を利用してください。

命令機能の詳細を理解しようとするとき
　→別冊のV850ES　ユーザーズ・マニュアル　アーキテクチャ編を参照してください。

レジスタ・フォーマットの見方
　→ビット番号を○で囲んでいるものは，そのビット名称がデバイス・ファイルで予約語に定義されているものです。

一通りV850ES/KG1+の機能を理解しようとするとき
　→目次に従ってお読みください。

V850ES/KG1+の電気的特性を知りたいとき
　→第33章　電気的特性を参照してください。

このマニュアルでは，「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし，プログラムにそのまま「xxx.yyy」と記述しても，コンパイラ／アセンブラでは正しく認識できませんので，注意してください。

本文欄外の★印は，本版で改訂された主な箇所を示しています。

凡　例　データ表記の重み：左が上位桁，右が下位桁

アクティブ・ロウの表記：$\overline{\text{xxx}}$（端子，信号名称に上線）

メモリ・マップのアドレス：上部－上位，下部－下位

注　：本文中に付けた注の説明

注意：気を付けて読んでいただきたい内容

備考：本文の補足説明

数の表記：2進数　…　xxxxまたはxxxxB

10進数　…　xxxx

16進数　…　xxxxH

2のべき数を示す接頭語（アドレス空間，メモリ容量）：

K（キロ）：$2^{10} = 1024$

M（メガ）：$2^{20} = 1024^2$

G（ギガ）：$2^{30} = 1024^3$

関連資料　関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850ES/KG1+**に関する資料**

資　料　名	資料番号
V850ES　ユーザーズ・マニュアル　アーキテクチャ編	U15943J
V850ES/KG1+　ユーザーズ・マニュアル　ハードウエア編	このマニュアル

開発ツールに関する資料（ユーザーズ・マニュアル）

資　料　名		資料番号
QB-V850MINI（オンチップ・デバッグ・エミュレータ）		U16647J
QB-V850ESKX1H（インサーキット・エミュレータ）		U17214J
CA850　Ver.3.00　Cコンパイラ・パッケージ	操作編	U17293J
	C言語編	U17291J
	アセンブリー言語編	U17292J
	リンク・ディレクティブ編	U17294J
PM+　Ver.6.00　プロジェクト・マネージャ		U17178J
ID850QB　Ver.2.80　統合デバッガ	操作編	U17435J
RX850　Ver.3.20以上　リアルタイムOS	基礎編	U13430J
	インストレーション編	U13410J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro　Ver.3.20　リアルタイムOS	基礎編	U13773J
	インストレーション編	U13774J
	テクニカル編	U13772J
	タスク・デバッガ編	U17422J
AZ850　Ver.3.30　システム・パフォーマンス・アナライザ		U17423J
PG-FP4　フラッシュ・メモリ・プログラマ		U15260J

目　　次

第1章　概　　説 … 20

1. 1　K1**シリーズの製品展開** … 20
　1. 1. 1　V850ES/Kx1+, V850ES/Kx1**の製品展開** … 20
　1. 1. 2　78K0/Kx1+, 78K0/Kx1**の製品展開** … 23
1. 2　**特　　徴** … 26
1. 3　**応用分野** … 28
1. 4　**オーダ情報** … 28
1. 5　**端子接続図**（Top View） … 29
1. 6　**機能ブロック構成** … 32
1. 7　**機能概要** … 36

第2章　端子機能 … 37

2. 1　**端子機能一覧** … 37
2. 2　**端子状態** … 46
2. 3　**端子の入出力回路タイプと未使用時の処理** … 47
2. 4　**端子の入出力回路** … 49

第3章　CPU機能 … 51

3. 1　**特　　徴** … 51
3. 2　CPU**レジスタ・セット** … 52
　3. 2. 1　**プログラム・レジスタ・セット** … 53
　3. 2. 2　**システム・レジスタ・セット** … 54
3. 3　**動作モード** … 60
3. 4　**アドレス空間** … 61
　3. 4. 1　CPU**アドレス空間** … 61
　3. 4. 2　CPU**アドレス空間のラップ・アラウンド** … 62
　3. 4. 3　**メモリ・マップ** … 63
　3. 4. 4　**領　　域** … 65
　3. 4. 5　**アドレス空間の推奨使用方法** … 70
　3. 4. 6　**周辺**I/O**レジスタ** … 73
　3. 4. 7　**特定レジスタ** … 85
　3. 4. 8　**注意事項** … 89

第4章　ポート機能 … 93

4. 1　**特　　徴** … 93
4. 2　**ポートの基本構成** … 93
4. 3　**ポートの構成** … 94
　4. 3. 1　**ポート**0 … 100
　4. 3. 2　**ポート**1 … 103
　4. 3. 3　**ポート**3 … 105

4.3.4 ポート4 … 111
4.3.5 ポート5 … 114
4.3.6 ポート7 … 117
4.3.7 ポート9 … 118
4.3.8 ポートCM … 125
4.3.9 ポートCS … 127
4.3.10 ポートCT … 129
4.3.11 ポートDH … 131
4.3.12 ポートDL … 133
4.4 ブロック図 … 136
4.5 兼用機能使用時のポートのレジスタ設定 … 161
4.6 注意事項 … 168
4.6.1 ポートnレジスタ（Pn）に対するビット操作命令に関する注意事項 … 168
4.6.2 ヒステリシス特性について … 169

第5章 バス制御機能 … 170

5.1 特 徴 … 170
5.2 バス制御端子 … 171
5.2.1 内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態 … 171
5.2.2 各動作モードの端子状態 … 171
5.3 メモリ・ブロック機能 … 172
5.3.1 チップ・セレクト制御機能 … 173
5.4 外部バス・インタフェース・モード制御機能 … 173
5.5 バス・アクセス … 174
5.5.1 アクセス・クロック数 … 174
5.5.2 バス・サイズ設定機能 … 174
5.5.3 バス・サイズによるアクセス … 175
5.6 ウエイト機能 … 182
5.6.1 プログラマブル・ウエイト機能 … 182
5.6.2 外部ウエイト機能 … 183
5.6.3 プログラマブル・ウエイトと外部ウエイトの関係 … 184
5.6.4 プログラマブル・アドレス・ウエイト機能 … 185
5.7 アイドル・ステート挿入機能 … 186
5.8 バス・ホールド機能 … 187
5.8.1 機能概要 … 187
5.8.2 バス・ホールド手順 … 188
5.8.3 パワー・セーブ・モード時の動作 … 188
5.9 バスの優先順位 … 189
5.10 バス・タイミング … 190
5.11 注意事項 … 196

第6章 クロック発生機能 … 197

6.1 概 要 … 197
6.2 構 成 … 198
6.3 レジスタ … 200
6.4 動 作 … 205
6.4.1 各クロックの動作 … 205

6.4.2 クロック出力機能 … 205
6.4.3 外部クロック入力機能 … 205
6.5 PLL機能 … 206
6.5.1 概　　要 … 206
6.5.2 レジスタ … 206
6.5.3 使用方法 … 207

第7章 16ビット・タイマ／イベント・カウンタP（TMP） … 208

7.1 概　　要 … 208
7.2 機　　能 … 208
7.3 構　　成 … 209
7.4 レジスタ … 211
7.5 動　　作 … 222
7.5.1 インターバル・タイマ・モード（TP0MD2-TP0MD0ビット = 000） … 223
7.5.2 外部イベント・カウント・モード（TP0MD2-TP0MD0ビット = 001） … 233
7.5.3 外部トリガ・パルス出力モード（TP0MD2-TP0MD0ビット = 010） … 241
7.5.4 ワンショット・パルス出力モード（TP0MD2-TP0MD0ビット = 011） … 253
7.5.5 PWM出力モード（TP0MD2-TP0MD0ビット = 100） … 260
7.5.6 フリー・ランニング・タイマ・モード（TP0MD2-TP0MD0ビット = 101） … 269
7.5.7 パルス幅測定モード（TP0MD2-TP0MD0ビット = 110） … 286
7.5.8 タイマ出力動作説明 … 292
7.6 キャプチャ・トリガ入力端子（TIP0a）のノイズ除去 … 293
7.7 注意事項 … 295

第8章 16ビット・タイマ／イベント・カウンタ0 … 296

8.1 機　　能 … 296
8.2 構　　成 … 297
8.3 レジスタ … 303
8.4 動　　作 … 311
8.4.1 インターバル・タイマとしての動作 … 311
8.4.2 方形波出力としての動作 … 314
8.4.3 外部イベント・カウンタとしての動作 … 318
8.4.4 TI0n0端子の有効エッジ入力によるクリア＆スタート・モードとしての動作 … 322
8.4.5 フリー・ランニング・タイマとしての動作 … 338
8.4.6 PPG出力としての動作 … 348
8.4.7 ワンショット・パルス出力としての動作 … 352
8.4.8 パルス幅測定としての動作 … 357
8.5 TM0nの特殊な使用方法 … 366
8.5.1 CR0n1レジスタのTM0n動作中の書き換え … 366
8.5.2 LVS0n, LVR0nビットの設定について … 366
8.6 注意事項 … 368

第9章 8ビット・タイマ／イベント・カウンタ5 … 374

9.1 機　　能 … 374
9.2 構　　成 … 375
9.3 レジスタ … 378

9.4 動　　作 … 381
9.4.1 インターバル・タイマとしての動作 … 381
9.4.2 外部イベント・カウンタとしての動作 … 383
9.4.3 方形波出力としての動作 … 384
9.4.4 8ビットPWM出力としての動作 … 385
9.4.5 インターバル・タイマ（16ビット）としての動作 … 388
9.4.6 外部イベント・カウンタ（16ビット）としての動作 … 390
9.4.7 方形波出力（16ビット分解能）としての動作 … 391
9.4.8 注意事項 … 392

第10章 8ビット・タイマH … 393

10.1 機　　能 … 393
10.2 構　　成 … 393
10.3 レジスタ … 396
10.4 動　　作 … 400
10.4.1 インターバル・タイマ／方形波出力としての動作 … 400
10.4.2 PWM出力モードとしての動作 … 403
10.4.3 キャリア・ジェネレータ・モードとしての動作 … 409

第11章 インターバル・タイマ，時計タイマ … 416

11.1 インターバル・タイマBRG … 416
11.1.1 機　　能 … 416
11.1.2 構　　成 … 416
11.1.3 レジスタ … 418
11.1.4 動　　作 … 420
11.2 時計タイマ … 421
11.2.1 機　　能 … 421
11.2.2 構　　成 … 421
11.2.3 レジスタ … 423
11.2.4 動　　作 … 425
11.3 注意事項 … 426

第12章 ウォッチドッグ・タイマ機能 … 428

12.1 ウォッチドッグ・タイマ1 … 428
12.1.1 機　　能 … 428
12.1.2 構　　成 … 430
12.1.3 レジスタ … 430
12.1.4 動　　作 … 432
12.2 ウォッチドッグ・タイマ2 … 434
12.2.1 機　　能 … 434
12.2.2 構　　成 … 435
12.2.3 レジスタ … 435
12.2.4 動　　作 … 437

第13章　リアルタイム出力機能（RTO）　…　438

13. 1　**機　　能**　…　438
13. 2　**構　　成**　…　439
13. 3　**レジスタ**　…　441
13. 4　**動　　作**　…　443
13. 5　**使用方法**　…　444
13. 6　**注意事項**　…　444
13. 7　**セキュリティ機能**　…　445

第14章　A/Dコンバータ　…　447

14. 1　**概　　要**　…　447
14. 2　**機　　能**　…　447
14. 3　**構　　成**　…　448
14. 4　**レジスタ**　…　450
14. 5　**動　　作**　…　458
14. 5. 1　**基本動作**　…　458
14. 5. 2　**トリガ・モード**　…　459
14. 5. 3　**動作モード**　…　460
14. 5. 4　**パワー・フェイル検出機能**　…　463
14. 5. 5　**設定方法**　…　464
14. 6　**注意事項**　…　466
14. 7　A/D**コンバータ特性表の読み方**　…　472

第15章　D/Aコンバータ　…　476

15. 1　**機　　能**　…　476
15. 2　**構　　成**　…　477
15. 3　**レジスタ**　…　478
15. 4　**動　　作**　…　479
15. 4. 1　**通常モード時の動作**　…　479
15. 4. 2　**リアルタイム出力モード時の動作**　…　479
15. 4. 3　**注意事項**　…　480

第16章　アシンクロナス・シリアル・インタフェース（UART）　…　481

16. 1　UART2**と**CSI00**のモード切り替え**　…　481
16. 2　**特　　徴**　…　482
16. 3　**構　　成**　…　483
16. 4　**レジスタ**　…　485
16. 5　**割り込み要求信号**　…　494
16. 6　**動　　作**　…　495
16. 6. 1　**データ・フォーマット**　…　495
16. 6. 2　**送信動作**　…　496
16. 6. 3　**連続送信動作**　…　498
16. 6. 4　**受信動作**　…　502
16. 6. 5　**受信エラー**　…　504
16. 6. 6　**パリティの種類と動作**　…　505

16. 6. 7　受信データのノイズ・フィルタ　…　506
16. 6. 8　SBF送受信（UART0のみ）　…　507
16. 7　専用ボー・レート・ジェネレータn（BRGn）　…　512
16. 7. 1　ボー・レート・ジェネレータn（BRGn）の構成　…　512
16. 7. 2　シリアル・クロックの生成　…　513
16. 7. 3　ボー・レート設定例　…　516
16. 7. 4　受信時の許容ボー・レート範囲　…　517
16. 7. 5　連続送信時の転送レート　…　519
16. 8　注意事項　…　519

第17章　クロック同期式シリアル・インタフェース0（CSI0）　…　520

17. 1　特　　徴　…　520
17. 2　構　　成　…　521
17. 3　レジスタ　…　524
17. 4　動　　作　…　533
17. 4. 1　送受信完了割り込み要求信号（INTCSI0n）　…　533
17. 4. 2　シングル転送モード　…　535
17. 4. 3　連続転送モード　…　538
17. 5　出力端子　…　546

第18章　自動送受信機能付きクロック同期式シリアル・インタフェースA（CSIA）　…　547

18. 1　機　　能　…　547
18. 2　構　　成　…　548
18. 3　レジスタ　…　551
18. 4　動　　作　…　561
18. 4. 1　3線式シリアルI/Oモード　…　561
18. 4. 2　自動送受信機能付き3線式シリアルI/Oモード　…　565

第19章　I²Cバス　…　582

19. 1　特　　徴　…　582
19. 2　構　　成　…　585
19. 3　レジスタ　…　587
19. 4　機　　能　…　600
19. 4. 1　端子構成　…　600
19. 5　I²Cバスの定義および制御方法　…　601
19. 5. 1　スタート・コンディション　…　601
19. 5. 2　アドレス　…　602
19. 5. 3　転送方向指定　…　603
19. 5. 4　アクノリッジ（$\overline{\text{ACK}}$）　…　604
19. 5. 5　ストップ・コンディション　…　605
19. 5. 6　ウエイト　…　606
★　19. 5. 7　ウエイト解除方法　…　608
19. 6　I²C割り込み要求信号（INTIIC0）　…　609
19. 6. 1　マスタ動作　…　610
19. 6. 2　スレーブ動作（スレーブ・アドレス受信時（アドレス一致））　…　613
19. 6. 3　スレーブ動作（拡張コード受信時）　…　617

19. 6. 4　通信不参加の動作　…　621
19. 6. 5　アービトレーション負けの動作（アービトレーション負けのあと，スレーブとして動作）　…　622
19. 6. 6　アービトレーション負けの動作（アービトレーション負けのあと，不参加）　…　624
19. 7　割り込み要求信号（INTIIC0）発生タイミングおよびウエイト制御　…　631
19. 8　アドレスの一致検出方法　…　632
19. 9　エラーの検出　…　632
19. 10　拡張コード　…　633
19. 11　アービトレーション　…　634
19. 12　ウエイク・アップ機能　…　635
19. 13　通信予約　…　636
19. 13. 1　通信予約機能許可の場合（IICF0.IICRSV0ビット = 0）　…　636
19. 13. 2　通信予約機能禁止の場合（IICF0.IICRSV0ビット = 1）　…　639
19. 14　注意事項　…　640
19. 15　通信動作　…　641
19. 15. 1　シングルマスタ・システムでのマスタ動作　…　642
19. 15. 2　マルチマスタ・システムでのマスタ動作　…　643
19. 15. 3　スレーブ動作　…　646
19. 16　データ通信のタイミング　…　650

第20章　DMA機能（DMAコントローラ）　…　657

20. 1　特　　徴　…　657
20. 2　構　　成　…　658
20. 3　レジスタ　…　659
20. 4　転送対象　…　667
20. 5　転送モード　…　667
20. 6　転送タイプ　…　668
20. 7　DMAチャネルの優先順位　…　668
20. 8　DMA転送に関する各種時間　…　669
20. 9　DMA転送起動要因　…　670
20. 10　DMAの中断要因　…　671
20. 11　DMA転送の終了　…　671
20. 12　動作タイミング　…　671
20. 13　注意事項　…　676

第21章　割り込み／例外処理機能　…　680

21. 1　概　　要　…　680
21. 1. 1　特　　徴　…　680
21. 2　ノンマスカブル割り込み　…　684
21. 2. 1　動　　作　…　687
21. 2. 2　復　　帰　…　688
21. 2. 3　NPフラグ　…　689
21. 3　マスカブル割り込み　…　690
21. 3. 1　動　　作　…　690
21. 3. 2　復　　帰　…　692
21. 3. 3　マスカブル割り込みの優先順位　…　693

21. 3. 4　割り込み制御レジスタ（xxICn）　…　697
21. 3. 5　割り込みマスク・レジスタ0-3（IMR0-IMR3）　…　700
21. 3. 6　インサービス・プライオリティ・レジスタ（ISPR）　…　702
21. 3. 7　IDフラグ　…　703
21. 3. 8　ウォッチドッグ・タイマ・モード・レジスタ1（WDTM1）　…　704
21. 4　外部割り込み要求入力端子（NMI, INTP0-INTP7）　…　705
21. 4. 1　ノイズ除去　…　705
21. 4. 2　エッジ検出　…　707
21. 5　ソフトウエア例外　…　711
21. 5. 1　動　　作　…　711
21. 5. 2　復　　帰　…　712
21. 5. 3　EPフラグ　…　713
21. 6　例外トラップ　…　714
21. 6. 1　不正命令コード　…　714
21. 6. 2　ディバグ・トラップ　…　716
21. 7　多重割り込み処理制御　…　718
21. 8　割り込み応答時間　…　720
21. 9　CPUが割り込みを受け付けられない期間　…　721
21. 10　注意事項　…　721

第22章　キー割り込み機能　…　722

22. 1　機　　能　…　722
22. 2　レジスタ　…　723

第23章　スタンバイ機能　…　724

23. 1　概　　要　…　724
23. 2　レジスタ　…　727
23. 3　HALTモード　…　730
23. 3. 1　設定および動作状態　…　730
23. 3. 2　HALTモードの解除　…　730
23. 4　IDLEモード　…　732
23. 4. 1　設定および動作状態　…　732
23. 4. 2　IDLEモードの解除　…　733
23. 5　STOPモード　…　736
23. 5. 1　設定および動作状態　…　736
23. 5. 2　STOPモードの解除　…　736
23. 5. 3　STOPモード解除時の発振安定時間の確保　…　739
23. 6　サブクロック動作モード　…　740
23. 6. 1　設定および動作状態　…　740
23. 6. 2　サブクロック動作モードの解除　…　740
23. 7　サブIDLEモード　…　742
23. 7. 1　設定および動作状態　…　742
23. 7. 2　サブIDLEモードの解除　…　743

第24章　リセット機能　…　745

24. 1　概　　要　…　745

24. 2　構　　成　…　745
24. 3　リセット要因を確認するレジスタ　…　746
24. 4　リセット要因　…　747
24. 4. 1　RESET端子によるリセット動作　…　747
24. 4. 2　WDTRES1信号によるリセット動作　…　752
24. 4. 3　WDTRES2信号によるリセット動作　…　753
24. 4. 4　パワーオン・クリアによるリセット動作　…　754
24. 4. 5　低電圧検出回路によるリセット動作　…　757
24. 4. 6　クロック・モニタによるリセット動作　…　758
24. 5　リセット出力機能　…　759

第25章　クロック・モニタ　…　760

25. 1　機　　能　…　760
25. 2　レジスタ　…　760
25. 3　動　　作　…　762
25. 4　内蔵発振クロック動作モード　…　765
25. 4. 1　設定および動作状態　…　765
25. 4. 2　内蔵発振クロック動作モードの解除　…　766
25. 5　内蔵発振HALTモード　…　768
25. 5. 1　設定および動作状態　…　768
25. 5. 2　内蔵発振HALTモードの解除　…　768

第26章　低電圧検出回路　…　770

26. 1　機　　能　…　770
26. 2　構　　成　…　770
26. 3　レジスタ　…　771
26. 4　動　　作　…　773

第27章　パワーオン・クリア回路　…　775

27. 1　機　　能　…　775
27. 2　構　　成　…　775
27. 3　動　　作　…　776

第28章　レギュレータ　…　777

28. 1　概　　要　…　777
28. 2　動　　作　…　778

第29章　ROMコレクション機能　…　779

29. 1　概　　要　…　779
29. 2　制御レジスタ　…　780
29. 2. 1　コレクション・アドレス・レジスタ0-3（CORAD0-CORAD3）　…　780
29. 2. 2　コレクション・コントロール・レジスタ（CORCN）　…　781
29. 3　ROMコレクションの動作とプログラムの流れ　…　781

第30章　マスク・オプション／オプション・バイト … 783

30. 1　**マスク・オプション（マスクROM製品）** … 783
30. 2　**オプション・バイト（フラッシュ・メモリ製品）** … 784

第31章　フラッシュ・メモリ … 785

31. 1　**特　　徴** … 785
31. 2　**メモリ構成** … 786
31. 3　**機能概要** … 787
31. 4　**専用フラッシュ・ライタでの書き換え** … 791
31. 4. 1　**プログラミング環境** … 791
31. 4. 2　**通信方式** … 792
31. 4. 3　**フラッシュ・メモリ制御** … 799
31. 4. 4　**通信方式の選択** … 800
31. 4. 5　**通信コマンド** … 801
31. 4. 6　**端子処理** … 802
31. 5　**セルフ・プログラミングによる書き換え** … 806
31. 5. 1　**概　　要** … 806
31. 5. 2　**特　　徴** … 807
31. 5. 3　**標準セルフ・プログラミング・フロー** … 808
31. 5. 4　**フラッシュ関数一覧** … 809
31. 5. 5　**端子処理** … 809
31. 5. 6　**使用する内部資源** … 810

★ **第32章　オンチップ・ディバグ機能** … 811

32. 1　ROM**セキュリティ機能** … 811
32. 1. 1　**セキュリティ**ID … 811
32. 1. 2　**設定方法** … 812
32. 2　**注意事項** … 813

第33章　電気的特性 … 814

第34章　外 形 図 … 866

★ **第35章　半田付け推奨条件** … 868

付録A　**開発ツール** … 870

A. 1　**ソフトウエア・パッケージ** … 873
A. 2　**言語処理用ソフトウエア** … 873
A. 3　**制御ソフトウエア** … 873
A. 4　**ディバグ用ツール（ハードウエア）** … 874
A. 4. 1　IECUBE　QB-V850ESKX1H**を使用する場合** … 874
★ A. 4. 2　MINICUBE QB-V850MINI**を使用する場合** … 876
A. 5　**ディバグ用ツール（ソフトウエア）** … 878
A. 6　**組み込み用ソフトウエア** … 879

A. 7　**フラッシュ・メモリ書き込み用ツール**　…　879

付録B　**命令セット一覧**　…　880

B. 1　**凡　　例**　…　880
B. 2　**インストラクション・セット（アルファベット順）**　…　883

付録C　**レジスタ索引**　…　889

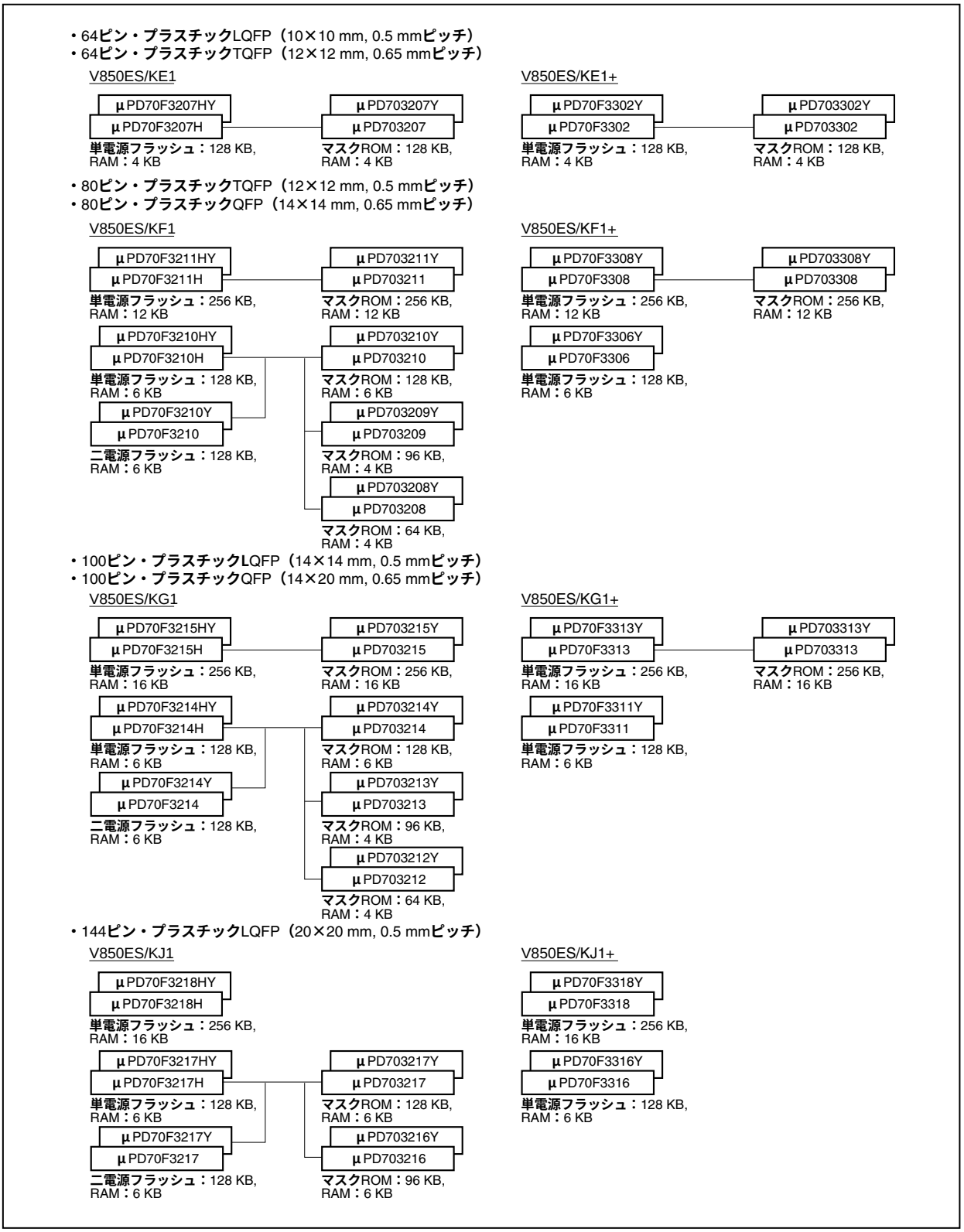
★　**付録**D　**改版履歴**　…　898

D. 1　**本版で改訂した主な箇所**　…　898

第1章　概　　説

1. 1　K1シリーズの製品展開

1. 1. 1　V850ES/Kx1+, V850ES/Kx1の製品展開



V850ES/Kx1+の機能一覧を次に示します。

愛　　称		V850ES/KE1+		V850ES/KF1+			V850ES/KG1+			V850ES/KJ1+	
ピン数		64ピン		80ピン			100ピン			144ピン	
内部メモリ（Kバイト）	マスクROM	128	－	－	256	－	－	256	－	－	－
	フラッシュ・メモリ	－	128	128	－	256	128	－	256	128	256
	RAM	4		6	12		6	16		6	16
電源電圧		2.7～5.5 V									
最小命令実行時間		50 ns@20 MHz									
クロック	X1入力	2～10 MHz									
	サブクロック	32.768 kHz									
	内蔵発振器	240 kHz（TYP.）									
ポート	CMOS入力	8		8			8			16	
	CMOS入出力	41（4）注1		57（6）注1			72（8）注1			106（12）注1	
	N-ch オープン・ドレーン入出力	2		2			4			6	
タイマ	16ビット（TMP）	1 ch		1 ch			1 ch			1 ch	
	16ビット（TM0）	1 ch		2 ch			4 ch			6 ch	
	8ビット（TM5）	2 ch		2 ch			2 ch			2 ch	
	8ビット（TMH）	2 ch		2 ch			2 ch			2 ch	
	インターバル・タイマ	1 ch		1 ch			1 ch			1 ch	
	時計	1 ch		1 ch			1 ch			1 ch	
	WDT1	1 ch		1 ch			1 ch			1 ch	
	WDT2	1 ch		1 ch			1 ch			1 ch	
RTO		6ビット×1 ch		6ビット×1 ch			6ビット×1 ch			6ビット×2 ch	
シリアル・インタフェース	CSI	2 ch		2 ch			2 ch			3 ch	
	自動送受信3線式CSI	－		1 ch			2 ch			2 ch	
	UART	1 ch		1 ch			2 ch			2 ch	
	LIN-bus対応UART	1 ch		1 ch			1 ch			1 ch	
	I^2C注2	1 ch		1 ch			1 ch			2 ch	
外部バス	アドレス空間	－		128 Kバイト			3 Mバイト			15 Mバイト	
	アドレス・バス	－		16ビット			22ビット			24ビット	
	モード	－		マルチプレクスのみ			マルチプレクス／セパレート				
DMAコントローラ		－		－			4 ch			4 ch	
10ビットA/Dコンバータ		8 ch		8 ch			8 ch			16 ch	
8ビットD/Aコンバータ		－		－			2 ch			2 ch	
割り込み	外部	9		9			9			9	
	内部	26/27注2		29/30注2			41/42注2			46/48注2	
キー・リターン入力		8 ch		8 ch			8 ch			8 ch	
リセット	$\overline{\text{RESET}}$端子	あり									
	POC	2.7 V以下固定									
	LVI	3.1 V/3.3 V±0.15 Vまたは3.5 V/3.7 V/3.9 V/4.1 V/4.3 V±0.2 V（ソフトウエアにより選択可能）									
	クロック・モニタ	あり（内蔵発振器によるモニタ）									
	WDT1	あり									
	WDT2	あり									
ROMコレクション		4箇所								なし	
レギュレータ		なし		あり							
スタンバイ		HALT/IDLE/STOP/サブIDLEモード									
動作周囲温度		T_A = －40～＋85 ℃									

注1.　（ ）内のチャネル数はソフトウエアによりN-chオープン・ドレーン出力選択可能な端子数です。

2.　I^2C内蔵品（Y品）のみ。製品名については各ユーザーズ・マニュアルを参照してください。

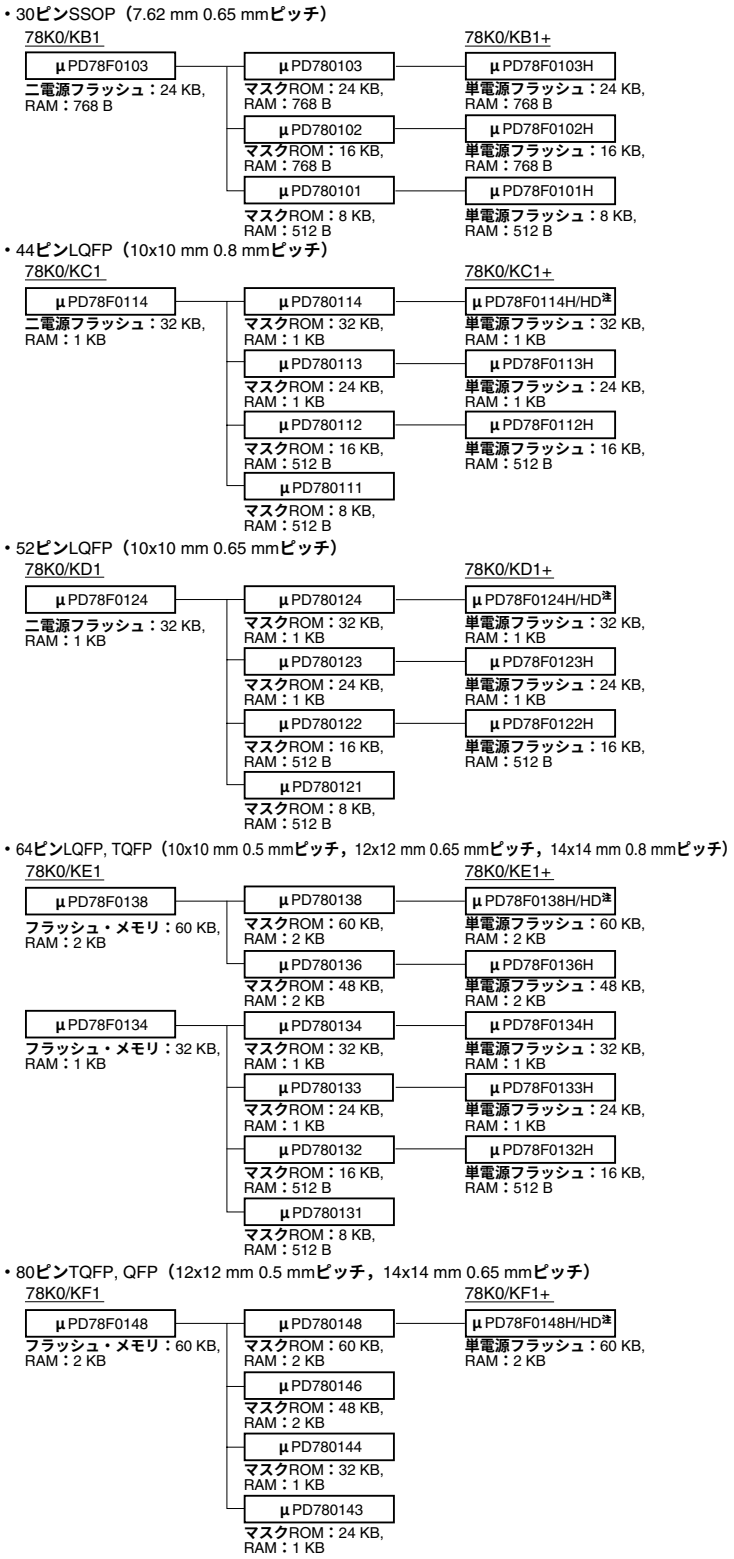
V850ES/Kx1の機能一覧を次に示します。

愛　　称		V850ES/KE1		V850ES/KF1					V850ES/KG1					V850ES/KJ1		
ピン数		64ピン		80ピン					100ピン					144ピン		
内部メモリ（Kバイト）	マスクROM	128	－	64/96	128	－	256	－	64/96	128	－	256	－	96/128	－	－
	フラッシュ・メモリ	－	128	－	－	128	－	256	－	－	128	－	256	－	128	256
	RAM	4		4	6		12		4	6		16		6	16	
電源電圧		2.7～5.5 V														
最小命令実行時間		50 ns@20 MHz														
クロック	X1入力	2～10 MHz														
	サブクロック	32.768 kHz														
	内蔵発振器	－														
ポート	CMOS入力	8		8					8					16		
	CMOS入出力	41（4）注1		57（6）注1					72（8）注1					106（12）注1		
	N-ch オープン・ドレーン入出力	2		2					4					6		
タイマ	16ビット（TMP）	1 ch		－			1 ch		－			1 ch		－		1 ch
	16ビット（TM0）	1 ch		2 ch					4 ch					6 ch		
	8ビット（TM5）	2 ch		2 ch					2 ch					2 ch		
	8ビット（TMH）	2 ch		2 ch					2 ch					2 ch		
	インターバル・タイマ	1 ch		1 ch					1 ch					1 ch		
	時計	1 ch		1 ch					1 ch					1 ch		
	WDT1	1 ch		1 ch					1 ch					1 ch		
	WDT2	1 ch		1 ch					1 ch					1 ch		
RTO		6ビット×1 ch		6ビット×1 ch					6ビット×1 ch					6ビット×2 ch		
シリアル・インタフェース	CSI	2 ch		2 ch					2 ch					3 ch		
	自動送受信3線式CSI	－		1 ch					2 ch					2 ch		
	UART	2 ch		2 ch					2 ch					3 ch		
	LIN-bus対応UART	－		－					－					－		
	I^2C注2	1 ch		1 ch					1 ch					2 ch		
外部バス	アドレス空間	－		128 Kバイト					3 Mバイト					15 Mバイト		
	アドレス・バス	－		16ビット					22ビット					24ビット		
	モード	－		マルチプレクスのみ					マルチプレクス／セパレート							
DMAコントローラ		－		－					－					－		
10ビットA/Dコンバータ		8 ch		8 ch					8 ch					16 ch		
8ビットD/Aコンバータ		－		－					2 ch					2 ch		
割り込み	外部	8		8					8					8		
	内部	25/26注2		25/26注2			28/29注2		30/31注2			33/34注2		38/40注2		41/43注2
キー・リターン入力		8 ch		8 ch					8 ch					8 ch		
リセット	$\overline{\text{RESET}}$端子	あり														
	POC	なし														
	LVI	なし														
	クロック・モニタ	なし														
	WDT1	あり														
	WDT2	あり														
ROMコレクション		4箇所														
レギュレータ		なし		あり												
スタンバイ		HALT/IDLE/STOP/サブIDLEモード														
動作周囲温度		T_A = －40～＋85 ℃														

注1.　（ ）内のチャネル数はソフトウエアによりN-chオープン・ドレーン出力選択可能な端子数です。

2.　I^2C内蔵品（Y品）のみ。製品名については各ユーザーズ・マニュアルを参照してください。

1. 1. 2　78K0/Kx1+, 78K0/Kx1の製品展開



注　オンチップ・ディバグ機能内蔵品です。

78K0/Kx1の機能一覧を次に示します。

愛　称		78K0/KB1			78K0/KC1			78K0/KD1			78K0/KE1					78K0/KF1		
ピン数		30ピン			44ピン			52ピン			64ピン					80ピン		
内部メモリ(Kバイト)	マスクROM	8	16/24	－	8/16	24/32	－	8/16	24/32	－	8/16	24/32	－	48/60	－	24/32	48/60	－
	フラッシュ・メモリ	－		24	－		32	－		32	－		32	－	60	－		60
	RAM	0.5	0.75		0.5	1		0.5	1		0.5	1		2		1	2	
電源電圧		V_{DD} = 2.5～5.5 V注1,2																
最小命令実行時間		0.166 μs（12 MHz, V_{DD} = 4.0～5.5 V時） 0.2 μs（10 MHz, V_{DD} = 3.5～5.5 V時） 0.238 μs（8.38 MHz, V_{DD} = 3.0～5.5 V時） 0.4 μs（5 MHz, V_{DD} = 2.5～5.5 V時）						＜REGC端子をV_{DD}に接続＞ 0.166 μs（12 MHz, V_{DD} = 4.0～5.5 V時） 0.2 μs（10 MHz, V_{DD} = 3.5～5.5 V時） 0.238 μs（8.38 MHz, V_{DD} = 3.0～5.5 V時） 0.4 μs（5 MHz, V_{DD} = 2.5～5.5 V時）										
クロック	X1入力	2～12 MHz																
	サブクロック	－			32.768 kHz													
	内蔵発振器	240 kHz（TYP.）																
ポート	CMOS入出力	17			19			26			38					54		
	CMOS入力	4			8													
	CMOS出力	1																
	N-chオープン・ドレーン入出力	－			4													
タイマ	16ビット（TM0）	1 ch										2 ch				1 ch	2 ch	
	8ビット（TM5）	1 ch			2 ch													
	8ビット（TMH）	2 ch																
	時計用	－			1ch													
	WDT	1 ch																
シリアル・インタフェース	3線式CSI注3	1 ch										2 ch				1 ch	2 ch	
	自動送受信3線式CSI	－														1ch		
	UART注3	－	1ch															
	LIN-bus対応UART	1 ch																
10ビットA/Dコンバータ		4 ch			8 ch													
割り込み	外部	6			7			8			9					9		
	内部	11	12		15						16	19				17	20	
キー・リターン入力		－			4ch			8ch										
リセット	$\overline{\text{RESET}}$端子	あり																
	POC	2.85 V±0.15 V/3.5 V±0.20 V（マスク・オプションにより選択可能）																
	LVI	2.85 V/3.1 V/3.3 V±0.15 V/3.5 V/3.7 V/3.9 V/4.1 V/4.3 V±0.2 V（ソフトウエアにより選択可能）																
	クロック・モニタ	あり																
	WDT	あり																
クロック出力／ブザー出力		－						クロック出力のみ			あり							
乗除算器		－									16ビット×16ビット，32ビット÷16ビット							
ROMコレクション		－												あり		－		
スタンバイ機能		HALT/STOPモード																
動作周囲温度		標準水準品，特別水準（A）品：－40～＋85 ℃ 特別水準（A1）品：－40～＋110 ℃（マスクROM製品），－40～＋105 ℃（フラッシュ・メモリ製品） 特別水準（A2）品：－40～＋125 ℃（マスクROM製品）																

注1.　POC回路の検出電圧（V_{POC}）を2.85 V±0.15 Vで使用する場合は，3.0～5.5 Vの電圧範囲で使用してください。

2.　POC回路の検出電圧（V_{POC}）を3.5 V±0.2 Vで使用する場合は，3.7～5.5 Vの電圧範囲で使用してください。

3.　端子を兼用している場合は，どちらかを選択して使用します。

78K0/Kx1+の機能一覧を次に示します。

愛　称		78K0/KB1+		78K0/KC1+		78K0/KD1+		78K0/KE1+			78K0/KF1+
ピン数		30ピン		44ピン		52ピン		64ピン			80ピン
内部メモリ（Kバイト）	フラッシュ・メモリ	8	16 /24	16	24 /32	16	24/32	16	24 /32	48 /60	60
	RAM	0.5	0.75	0.5	1	0.5	1	0.5	1	2	2
電源電圧		V_{DD} = 2.5～5.5 V（内蔵発振クロックまたはサブクロック使用時：V_{DD} = 2.0～5.5 V[注1]）									
最小命令実行時間		0.125 μs（16 MHz, V_{DD} = 4.0～5.5 V時）／0.2 μs（10 MHz, V_{DD} = 3.5～5.5 V時）／0.238 μs（8.38 MHz, V_{DD} = 3.0～5.5 V時）／0.4 μs（5 MHz, V_{DD} = 2.5～5.5 V時）									
クロック	水晶／セラミック	2～16 MHz									
	RC	3～4 MHz				－					
	サブクロック	－		32.768 kHz							
	内蔵発振器	240 kHz（TYP.）									
ポート	CMOS入出力	17		19		26		38			54
	CMOS入力	4		8							
	CMOS出力	1									
	N-chオープン・ドレーン入出力	－		4							
タイマ	16ビット（TM0）	1 ch							2 ch		
	8ビット（TM5）	1 ch		2 ch							
	8ビット（TMH）	2 ch									
	時計用	－		1 ch							
	WDT	1 ch									
シリアル・インタフェース	3線式CSI[注2]	1 ch							2 ch		
	自動送受信3線式CSI	－									1 ch
	UART[注2]	－	1 ch								
	LIN-bus対応UART	1 ch									
10ビットA/Dコンバータ		4 ch		8 ch							
割り込み	外部	6		7		8		9			9
	内部	11	12	15				16	19		20
キー・リターン入力		－		4 ch		8 ch					
リセット	$\overline{\text{RESET}}$端子	あり									
	POC	2.1 V±0.1 V（検出電圧は固定）									
	LVI	2.35 V/2.6 V/2.85 V/3.1 V/3.3 V±0.15 V/3.5 V/3.7 V/3.9 V/4.1 V/4.3 V±0.2 V（ソフトウエアにより選択可能）									
	クロック・モニタ	あり									
	WDT	あり									
クロック出力／ブザー出力		－				クロック出力のみ		あり			
外部バス・インタフェース		－									あり
乗除算器		－						16ビット×16ビット，32ビット÷16ビット			
ROMコレクション		－								あり	－
セルフ・プログラミング機能		あり									
オンチップ・ディバグ機能搭載品		μPD78F0114HD, 78F0124HD, 78F0138HD, 78F0148HD									
スタンバイ機能		HALT/STOPモード									
動作周囲温度		T_A = －40～＋85 ℃									

注1.　POC回路の検出電圧（V_{POC}）が2.1 V±0.1 Vのため，2.2～5.5 Vの電圧範囲で使用してください。

2.　端子を兼用している場合は，どちらかを選択して使用します。

1.2 特　　徴

○最小命令実行時間　50 ns（メイン・クロック（fxx）= 20 MHz動作時）

○汎用レジスタ　32ビット×32本

○CPUの特徴　符号付き乗算（16×16→32）：1-2クロック

（レジスタ・ハザードが起きない後続の命令を並列に実行可能）

飽和演算（オーバフロー／アンダフロー検出機能付き）

32ビット・シフト命令：1クロック

ビット操作命令

ロング／ショート形式を持つロード／ストア命令

○メモリ空間　64 Mバイト・リニア・アドレス空間

メモリ・ブロック分割機能：2 M, 2 Mバイト／計2ブロック

・内蔵メモリ　μPD703313, 703313Y（マスクROM：256 Kバイト／RAM：16 Kバイト）

μ PD70F3311, 70F3311Y（単電源フラッシュ・メモリ：128 Kバイト／RAM：6 Kバイト）

μPD70F3313, 70F3313Y（単電源フラッシュ・メモリ：256 Kバイト／RAM：16 Kバイト）

・外部バス・インタフェース

セパレート・バス／マルチプレクス・バス出力選択可能

8/16ビット・データ・バス・サイジング機能

ウエイト機能

・プログラマブル・ウエイト機能

・外部ウエイト機能

アイドル・ステート機能

バス・ホールド機能

○割り込み／例外

ノンマスカブル割り込み　：3要因

マスカブル割り込み　：47要因（μPD703313, 70F3311, 70F3313）

48要因（μPD703313Y, 70F3311Y, 70F3313Y）

ソフトウエア例外　：32要因

例外トラップ　：1要因

○I/Oライン　合計：84

○キー割り込み機能

○タイマ機能　16ビット・タイマ／イベント・カウンタP　：1 ch

16ビット・タイマ／イベント・カウンタ0　：4 ch

8ビット・タイマ／イベント・カウンタ5　：2 ch

8ビット・タイマH　：2 ch

8ビット・インターバル・タイマBRG　：1 ch

時計タイマ／インターバル・タイマ　：1 ch

ウォッチドッグ・タイマ

ウォッチドッグ・タイマ1（発振安定用タイマ兼用）：1 ch

ウォッチドッグ・タイマ2　：1 ch

○シリアル・インタフェース

アシンクロナス・シリアル・インタフェース（UART）（LIN対応）：1 ch

アシンクロナス・シリアル・インタフェース（UART）：2 ch

3線式シリアルI/O（CSI0）：2 ch

3線式シリアルI/O（自動送受信機能付き）（CSIA）：2 ch

I^2Cバス・インタフェース（I^2C）：1 ch

（μPD703313Y, 70F3311Y, 70F3313Y）

○A/Dコンバータ：10ビット分解能×8 ch

○D/Aコンバータ：8ビット分解能×2 ch

○DMAコントローラ：4 ch

○リアルタイム出力ポート：6ビット×1 ch

○スタンバイ機能：HALT/IDLE/STOPモード，サブクロック／サブIDLEモード，内蔵発振クロック動作／リングHALTモード

○ROMコレクション：4箇所修正可能

○クロック・ジェネレータ

メイン・クロック発振（f_X）／サブクロック発振（f_{XT}）／内蔵発振クロック（f_R）

CPUクロック（f_{CPU}）7段階（f_{XX}, $f_{XX}/2$, $f_{XX}/4$, $f_{XX}/8$, $f_{XX}/16$, $f_{XX}/32$, f_{XT}）

クロック・スルー・モード／PLLモード選択可

○内蔵発振器：240 kHz（TYP.）

備考　内蔵発振器の周波数特性（誤差）は，第33章　電気的特性を参照してください。

○リセット

・$\overline{\text{RESET}}$端子によるリセット

・ウォッチドッグ・タイマ1のオーバフローによるリセット（WDTRES1）

・ウォッチドッグ・タイマ2のオーバフローによるリセット（WDTRES2）

・低電圧検出回路によるリセット（LVIRES）

・パワーオン・クリアによるリセット（POCRES）

・クロック・モニタによるリセット（CLMRES）

・リセット出力機能（P00/TOH0端子）

○低電圧検出（LVI）回路

○パワーオン・クリア（POC）回路

○クロック・モニタ（CLM）回路

○パッケージ：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

100ピン・プラスチックQFP（14×20）

1.3　応用分野

○自動車実装

・ボディ電装系のシステム制御（パワー・ウインドウ，キーレス・エントリ受信など）

・制御系のサブマイコン

○ホーム・オーディオ，カー・オーディオ

○AV機器

○PC周辺機器（キーボードなど）

○家電製品

・エアコン室外機

・電子レンジ，炊飯器

○産業機器

・ポンプ

・自動販売機

・FA

1.4　オーダ情報

	オーダ名称	パッケージ	品質水準
★	μPD703313GC-xxx-8EA-A	100ピン・プラスチックLQFP（ファインピッチ）（14×14）	標準（一般電子機器用）
★	μPD703313YGC-xxx-8EA-A	〃	〃
★	μPD703313GF-xxx-JBT-A	100ピン・プラスチックQFP（14×20）	〃
★	μPD703313YGF-xxx-JBT-A	〃	〃
★	μPD70F3311GC-8EA-A	100ピン・プラスチックLQFP（ファインピッチ）（14×14）	〃
★	μPD70F3311YGC-8EA-A	〃	〃
★	μPD70F3311GF-JBT-A	100ピン・プラスチックQFP（14×20）	〃
★	μPD70F3311YGF-JBT-A	〃	〃
★	μPD70F3313GC-8EA-A	100ピン・プラスチックLQFP（ファインピッチ）（14×14）	〃
★	μPD70F3313YGC-8EA-A	〃	〃
★	μPD70F3313GF-JBT-A	100ピン・プラスチックQFP（14×20）	〃
★	μPD70F3313YGF-JBT-A	〃	〃

備考1.　xxxはROMコード番号です。

2.　オーダ名称末尾「-A」の製品は，鉛フリー製品です。

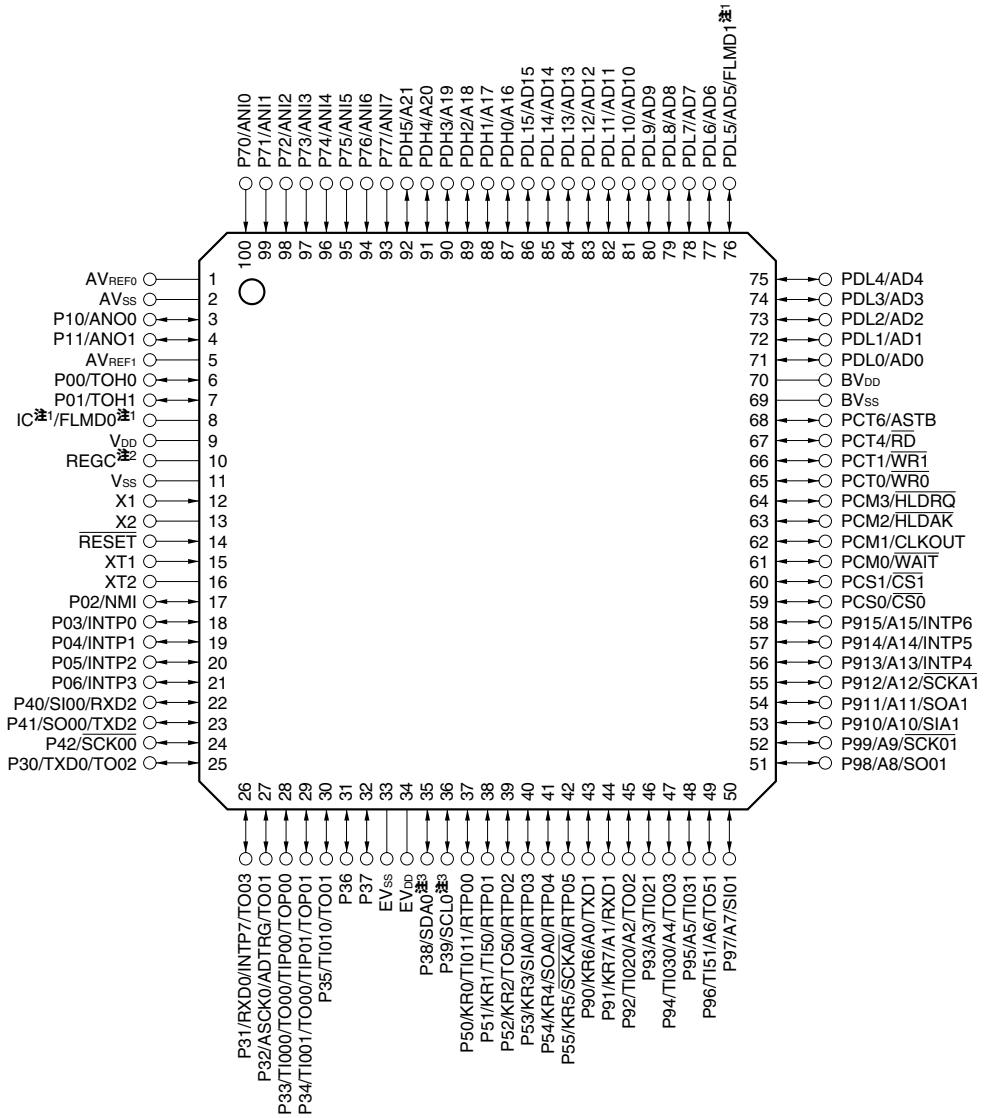
1. 5　端子接続図（Top View）

100ピン・プラスチックLQFP（ファインピッチ）（14×14）

μPD703313GC-xxx-8EA-A　　μPD70F3311YGC-8EA-A

μPD703313YGC-xxx-8EA-A　　μPD70F3313GC-8EA-A

μPD70F3311GC-8EA-A　　μPD70F3313YGC-8EA-A



注1.　IC：VSSに直接接続してください（μPD703313, 703313Y）。

FLMD0：通常モード時はVSSに接続してください（μPD70F3311, 70F3311Y, 70F3313, 70F3313Y）

FLMD1：μPD70F3311, 70F3311Y, 70F3313, 70F3313Yだけに有効です。

2.　レギュレータを使用する場合，REGC端子は10 μFのコンデンサを介して，VSSに接続してください。

レギュレータを使用しない場合，REGC端子はVDDに直接接続してください。

3.　SCL0, SDA0はμPD703313Y, 70F3311Y, 70F3313Yだけに有効です。

注意　EVDDはVDDと同電位にしてください。

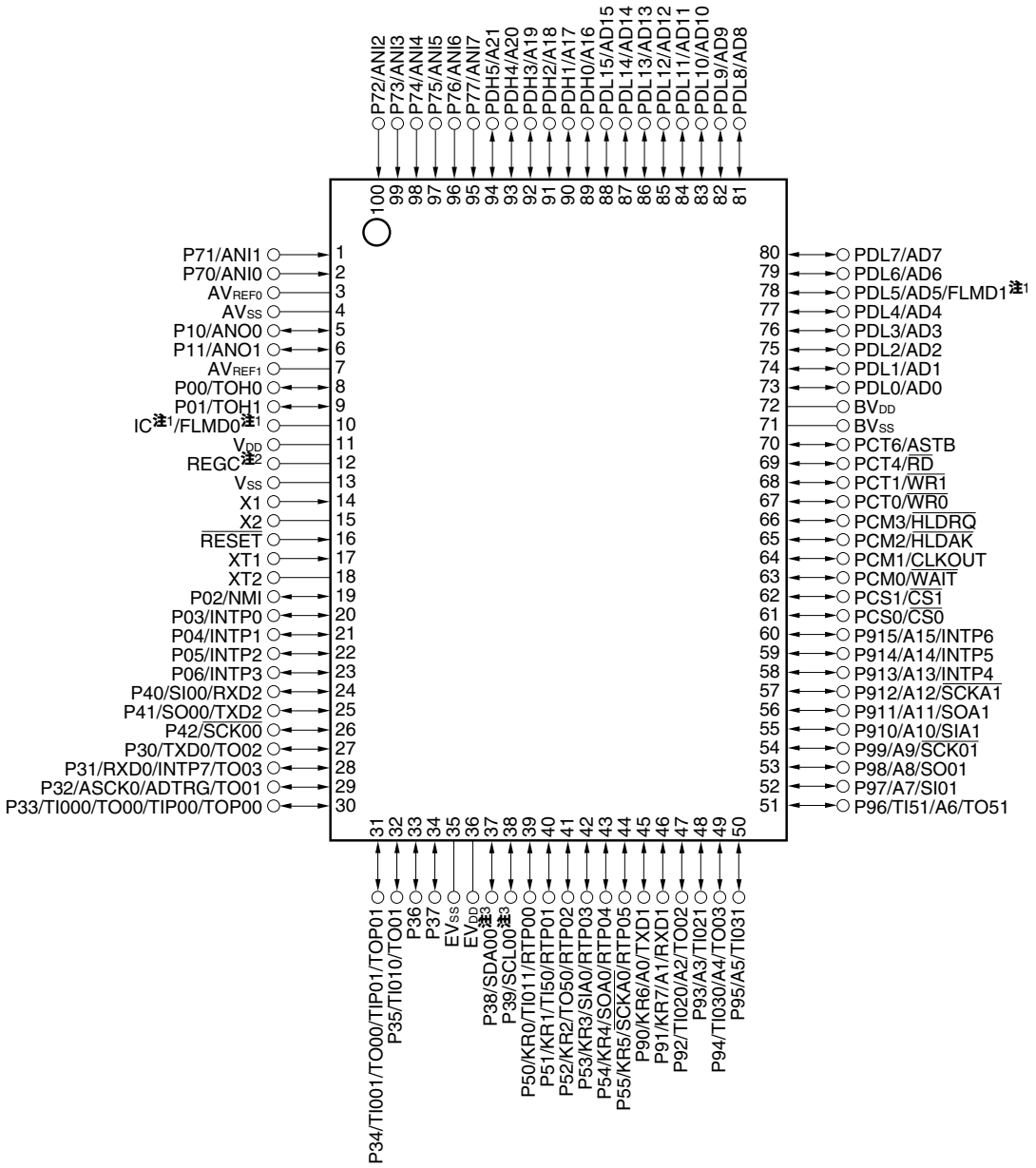
BVDDはVDD = EVDD≧BVDDの条件で使用可能です。

100ピン・プラスチックQFP（14×20）

μPD703313GF-xxx-JBT-A　　μPD70F3311YGF-JBT-A

μPD703313YGF-xxx-JBT-A　　μPD70F3313GF-JBT-A

μPD70F3311GF-JBT-A　　μPD70F3313YGF-JBT-A



注1.　IC：V_{SS}に直接接続してください（μPD703313, 703313Y）。

FLMD0：通常モード時はV_{SS}に接続してください（μPD70F3311, 70F3311Y, 70F3313, 70F3313Y）。

FLMD1：μPD70F3311, 70F3311Y, 70F3313, 70F3313Yだけに有効です。

2.　レギュレータを使用する場合，REGC端子は10 μFのコンデンサを介して，V_{SS}に接続してください。

レギュレータを使用しない場合，REGC端子はV_{DD}に直接接続してください。

3.　SCL0, SDA0はμPD703313Y, 70F3311Y, 70F3313Yだけに有効です。

注意　EV_{DD}はV_{DD}と同電位にしてください。

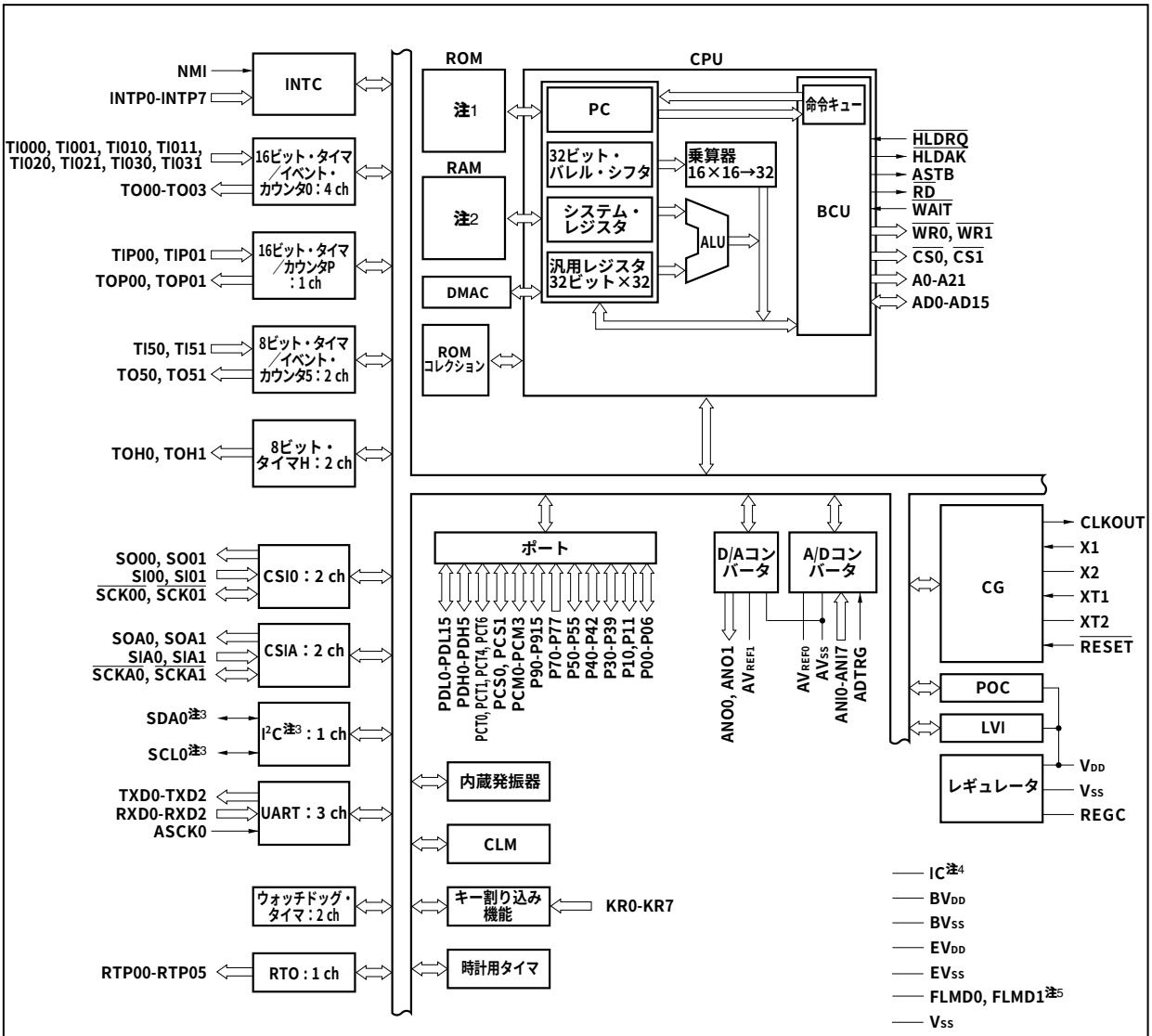
BV_{DD}はV_{DD} = EV_{DD}≧BV_{DD}の条件で使用可能です。

端子名称

A0-A21	：Address Bus
AD0-AD15	：Address/Data Bus
ADTRG	：A/D Trigger Input
ANI0-ANI7	：Analog Input
ANO0, ANO1	：Analog Output
ASCK0	：Asynchronous Serial Clock
ASTB	：Address Strobe
AV_{REF0}, AV_{REF1}	：Analog Reference Voltage
AV_{SS}	：Ground for Analog
BV_{DD}	：Power Supply for Bus Interface
BV_{SS}	：Ground for Bus Interface
CLKOUT	：Clock Output
$\overline{CS0}$, $\overline{CS1}$	：Chip Select
EV_{DD}	：Power Supply for Port
EV_{SS}	：Ground for Port
FLMD0, FLMD1	：Flash Programing Mode
$\overline{HLDAK}$	：Hold Acknowledge
$\overline{HLDRQ}$	：Hold Request
IC	：Internally Connected
INTP0-INTP7	：External Interrupt Input
KR0-KR7	：Key Return
NMI	：Non-maskable Interrupt Request
P00-P06	：Port 0
P10, P11	：Port 1
P30-P39	：Port 3
P40-P42	：Port 4
P50-P55	：Port 5
P70-P77	：Port 7
P90-P915	：Port 9
PCM0-PCM3	：Port CM
PCS0, PCS1	：Port CS
PCT0, PCT1, PCT4, PCT6	：Port CT
PDH0-PDH5	：Port DH
PDL0-PDL15	：Port DL
$\overline{RD}$	：Read Strobe
REGC	：Regulator Control
$\overline{RESET}$	：Reset
RTP00-RTP05	：Real-time Output Port
RXD0-RXD2	：Receive Data
$\overline{SCK00}$, $\overline{SCK01}$, $\overline{SCKA0}$, $\overline{SCKA1}$	：Serial Clock
SCL0	：Serial Clock
SDA0	：Serial Data
SI00, SI01, SIA0, SIA1	：Serial Input
SO00, SO01, SOA0, SOA1	：Serial Output
TI000, TI001, TI010, TI011, TI020, TI021, TI030, TI031 TI50, TI51, TIP00, TIP01	：Timer Input
TO00-TO03, TO50, TO51, TOH0, TOH1, TOP00, TOP01	：Timer Output
TXD0-TXD2	：Transmit Data
V_{DD}	：Power Supply
V_{SS}	：Ground
$\overline{WAIT}$	：Wait
$\overline{WR0}$	：Lower Byte Write Strobe
$\overline{WR1}$	：Upper Byte Write Strobe
X1, X2	：Crystal for Main Clock
XT1, XT2	：Crystal for Subclock

1.6　機能ブロック構成

(1) 内部ブロック図



注1.　μPD703313, 703313Y　：256 K**バイト（マスク**ROM）

μPD70F3311, 70F3311Y　：128 K**バイト（フラッシュ・メモリ）**

μPD70F3313, 70F3313Y　：256 K**バイト（フラッシュ・メモリ）**

2.　μPD70F3311, 70F3311Y　：6 K**バイト**

μPD703313, 703313Y, 70F3313, 70F3313Y　：16 K**バイト**

3.　μPD703313Y, 70F3311Y, 70F3313Y**のみ**

4.　μPD703313, 703313Y**のみ**

5.　μPD70F3311, 70F3311Y, 70F3313, 70F3313Y**のみ**

(2) 内部ユニット

(a) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット→32ビット），バレル・シフタ（32ビット）などの専用ハードウエアを内蔵し，複雑な処理の高速化を図っています。

(b) バス・コントロール・ユニット（BCU）

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは，内部の命令キューに取り込まれます。

(c) ROM

00000000H-003FFFFH/0000000H-001FFFFH番地にマッピングされる256/128 Kバイトのマスク ROMまたはフラッシュ・メモリです。

命令フェッチ時にCPUから1クロックでアクセスできます。

(d) RAM

3FFB000H-3FFEFFFH/3FFD800H-3FFEFFFH番地にマッピングされる16/6 KバイトのRAMです。

データ・アクセス時にCPUから1クロックでアクセスできます。

(e) 割り込みコントローラ（INTC）

内蔵周辺ハードウエア，および外部からのハードウエア割り込み要求（NMI, INTP0-INTP7）を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定でき，多重処理制御ができます。

(f) クロック・ジェネレータ（CG）

メイン・クロック発振回路とサブクロック発振回路があり，メイン・クロック発振周波数（f_X）とサブクロック周波数（f_{XT}）を生成しています。メイン・クロック周波数（f_{XX}）として，f_Xをそのまま使用するクロック・スルー・モードと，f_Xを4逓倍して使用するPLLモードがあります。

CPUクロック周波数（f_{CPU}）としては，f_{XX}, $f_{XX}/2$, $f_{XX}/4$, $f_{XX}/8$, $f_{XX}/16$, $f_{XX}/32$, f_{XT}の7種類から選択できます。

(g) タイマ／カウンタ

16ビット・タイマ／イベント・カウンタ0を4チャネルと，16ビット・タイマ／イベント・カウンタPを1チャネルと，8ビット・タイマ／イベント・カウンタ5を2チャネル内蔵し，パルス間隔や周波数の計測，プログラマブルなパルスの出力ができます。

2チャネルの8ビット・タイマ／イベント・カウンタ5をカスケード接続し，16ビット・タイマとしても使用できます。

また，プログラマブルなパルス出力ができる8ビット・タイマHを2チャネル内蔵しています。

(h) 時計タイマ

サブクロック（32.768 kHz）またはクロック・ジェネレータからのf_{BRG}（32.768 kHz）から時計カウント用の基準時間（0.5秒）をカウントします。インターバル・タイマとしても同時に使用できます。

(i) ウォッチドッグ・タイマ

プログラムの暴走，システム異常などを検出するためのウォッチドッグ・タイマを2チャネル内蔵しています。ウォッチドッグ・タイマ1は，インターバル・タイマとしても使用できます。また，ウォッチドッグ・タイマとして使用する場合は，オーバフローでノンマスカブル割り込み要求信号（INTWDT1），またはシステム・リセット信号（WDTRES1）を発生します。インターバル・タイマとして使用する場合は，オーバフローでマスカブル割り込み要求信号（INTWDTM1）を発生します。

ウォッチドッグ・タイマ2は，リセット解除後にディフォールトで動作します。

オーバフローでノンマスカブル割り込み要求信号（INTWDT2），またはシステム・リセット信号（WDTRES2）を発生します。

(j) シリアル・インタフェース（SIO）

アシンクロナス・シリアル・インタフェース（UARTn）（1チャネル　LIN対応），クロック同期式シリアル・インタフェース（CSI0m），クロック同期式シリアル・インタフェース（自動送受信機能付き）（CSIAm），I^2Cバス・インタフェース（I^2C0）を内蔵しており，最大7チャネルを同時に使用できます。

UARTnは，TXDn, RXDn端子によりデータ転送を行います。

CSI0mは，SO0m, SI0m, $\overline{\text{SCK0m}}$端子によりデータ転送を行います。

CSIAmは，SOAm, SIAm, $\overline{\text{SCKAm}}$端子によりデータ転送を行います。

I^2C0は，SDA0, SCL0端子によりデータ転送を行います。

I^2C0は，μPD703313Y, 70F3311Y, 70F3313Yのみ内蔵しています。

備考　n = 0-2

m = 0, 1

(k) A/Dコンバータ

8本のアナログ入力端子を持つ高速，高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

(l) D/Aコンバータ

8ビット分解能のD/Aコンバータを2チャネル内蔵しています。R-2Rラダー方式です。

(m) DMAコントローラ

4チャネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて，内蔵RAM，内蔵周辺I/O，外部メモリ間でデータを転送します。

(n) ROMコレクション

マスクROM内のプログラムの一部を内蔵RAMのプログラムで置き換えて実行する機能です。4箇所修正可能です。

(o) キー割り込み機能

8チャネルのキー入力端子に立ち下がりエッジを入力することによって，キー割り込み要求信号（INTKR）を発生させることができます。

(p) リアルタイム出力機能

あらかじめ設定しておいた6ビット・データを，タイマのコンペア・レジスタの一致信号により出力ラッチに転送します。

6ビット・データのリアルタイム出力機能を1チャネル内蔵しています。

(q) クロック・モニタ

クロック・モニタは，内蔵発振クロック（f_R）で，メイン・クロック（f_X）のサンプリングを行い，メイン・クロックの発振停止時に，リセット要求信号を発生します。

(r) 低電圧検出（LVI）回路

電源電圧（V_{DD}）と検出電圧（V_{LVI}）を比較し$V_{DD}<V_{LVI}$になったとき，内部割り込み信号もしくは内部リセット信号を発生します。

(s) パワーオン・クリア（POC）回路

電源投入時に内部リセット信号を発生します。

電源電圧（V_{DD}）と検出電圧（V_{POC}）を比較し$V_{DD}<V_{POC}$になったとき，内部リセット信号を発生します。

(t) ポート

次に示すように，汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	兼用機能
P0	7ビット入出力	NMI，外部割り込み，タイマ出力
P1	2ビット入出力	D/Aコンバータ・アナログ出力
P3	10ビット入出力	シリアル・インタフェース，タイマ入出力，外部割り込み，A/Dコンバータ・トリガ
P4	3ビット入出力	シリアル・インタフェース
P5	6ビット入出力	シリアル・インタフェース，タイマ入出力，キー割り込み機能，リアルタイム出力機能
P7	8ビット入力	A/Dコンバータ・アナログ入力
P9	16ビット入出力	外部アドレス・バス，シリアル・インタフェース，タイマ入出力，外部割り込み，キー割り込み機能
PCM	4ビット入出力	外部バス制御信号
PCS	2ビット入出力	チップ・セレクト出力
PCT	4ビット入出力	外部バス制御信号
PDH	6ビット入出力	外部アドレス・バス
PDL	16ビット入出力	外部アドレス／データ・バス

1.7　機能概要

品　　名		μPD703313／μPD703313Y	μPD70F3311／μPD70F3311Y	μPD70F3313／μPD70F3313Y
内部メモリ	ROM	256 Kバイト	128 Kバイト（単電源フラッシュ・メモリ）	256 Kバイト（単電源フラッシュ・メモリ）
	高速RAM	16 Kバイト	6 Kバイト	16 Kバイト
バッファRAM		64バイト		
メモリ空間	論理空間	64 Mバイト		
	外部メモリ領域	3 Mバイト		
外部バス・インタフェース		アドレス・バス：22ビット データ・バス：8/16ビット マルチプレクス・バス・モード／セパレート・バス・モード		
汎用レジスタ		32ビット×32レジスタ		
メイン・クロック（発振周波数）		セラミック／クリスタル／外部クロック		
	PLL未使用時	2～10 MHz：2.7～5.5 V		
	PLL使用時　REGC端子をVDDに直接接続	2～5 MHz：4.5～5.5 V, 2～2.5 MHz：2.7～5.5 V		
	PLL使用時　REGC端子に10 μFのコンデンサを接続	2～4 MHz：4.0～5.5 V		
サブクロック（発振周波数）		クリスタル／外部クロック（32.768 kHz）		
最小命令実行時間		50ns（メイン・クロック（fXX）= 20 MHz動作時）		
DSP機能		32×32 = 64：200-250 ns（20 MHz時） 32×32＋32 = 32：300 ns（20 MHz時） 16×16 = 32：50-100 ns（20 MHz時） 16×16＋32 = 32：150 ns（20 MHz時）		
I/Oポート		84本 ・入力：8本 ・入出力：76本（内 N-ch オープン・ドレーン出力選択可能：8本，N-ch オープン・ドレーン出力固定：4本）		
タイマ		16ビット・タイマ／イベント・カウンタP：1チャネル 16ビット・タイマ／イベント・カウンタ0：4チャネル 8ビット・タイマ／イベント・カウンタ5：2チャネル （16ビット・タイマ／イベント・カウンタ：1チャネルとして使用可能） 8ビット・タイマH：2チャネル ウォッチドッグ・タイマ：2チャネル 時計タイマ：1チャネル 8ビット・インターバル・タイマ：1チャネル		
リアルタイム出力ポート		4ビット×1, 2ビット×1，または6ビット×1		
A/Dコンバータ		10ビット分解能×8チャネル		
D/Aコンバータ		8ビット分解能×2チャネル		
シリアル・インタフェース		CSI：1チャネル CSI/UART：1チャネル CSIA（自動送受信機能付き）：2チャネル UART（LIN対応）：1チャネル	UART：1チャネル I²Cバス：1チャネル注1 専用ボー・レート・ジェネレータ：3チャネル	
割り込み要因		外部：10（10）注2，内部：42/41注1		
パワー・セーブ機能		STOP/IDLE/HALT/サブIDLEモード		
動作電源電圧		4.5～5.5 V（20 MHz時）／2.7～5.5 V（10 MHz時）		
パッケージ		100ピン・プラスチックLQFP（ファインピッチ）（14×14 mm） 100ピン・プラスチックQFP（14×20 mm）		

注1.　μPD703313Y, 70F3311Y, 70F3311Yのみ。

2.　（　）内はSTOPモード解除可能な外部割り込み本数です。

第2章　端子機能

V850ES/KG1+の端子の名称と機能を次に示します。これらの端子は，機能別にポート端子とそれ以外の端子に分けることができます。

端子の入出力バッファ電源には，AV_{REF0}/AV_{REF1}, BV_{DD}, EV_{DD}の3系統があります。それぞれの電源と端子の関係を次に示します。

表2－1　各端子の入出力バッファ電源

電　源	対応する端子
AV_{REF0}	ポート7
AV_{REF1}	ポート1
BV_{DD}	ポートCM, CS, CT, DH, DL
EV_{DD}	$\overline{\text{RESET}}$，ポート0, 3-5, 9

2.1　端子機能一覧

(1) ポート端子

(1/4)

端子名称	ピン番号		入出力	内蔵プルアップ抵抗	機　　能	兼用端子
	GC	GF				
P00	6	8	入出力	あり	ポート0 入出力ポート 1ビット単位で入力／出力の指定が可能	TOH0
P01	7	9				TOH1
P02	17	19				NMI
P03	18	20				INTP0
P04	19	21				INTP1
P05	20	22				INTP2
P06	21	23				INTP3
P10	3	5	入出力	あり	ポート1 入出力ポート 1ビット単位で入力／出力の指定が可能	ANO0
P11	4	6				ANO1

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

GF：100ピン・プラスチックQFP（14×20）

(2/4)

端子名称	ピン番号		入出力	内蔵プルアップ抵抗	機　　能	兼用端子
	GC	GF				
P30	25	27	入出力	あり	ポート3 入出力ポート 1ビット単位で入力／出力の指定が可能 P36-P39はN-chオープン・ドレーン出力固定	TXD0/TO02
P31	26	28				RXD0/INTP7/TO03
P32	27	29				ASCK0/ADTRG/TO01
P33	28	30				TI000/TO00/TIP00/TOP00
P34	29	31				TI001/TO00/TIP01/TOP01
P35	30	32				TI010/TO01
P36	31	33		なし[注1]		－
P37	32	34				－
P38	35	37				SDA0[注2]
P39	36	38				SCL0[注2]
P40	22	24	入出力	あり	ポート4 入出力ポート 1ビット単位で入力／出力の指定が可能 P41, P42は1ビット単位でN-chオープン・ドレーン出力の指定が可能	SI00/RXD2
P41	23	25				SO00/TXD2
P42	24	26				$\overline{\text{SCK00}}$
P50	37	39	入出力	あり	ポート5 入出力ポート 1ビット単位で入力／出力の指定が可能 P54, P55は1ビット単位でN-chオープン・ドレーン出力の指定が可能	TI011/RTP00/KR0
P51	38	40				TI50/RTP01/KR1
P52	39	41				TO50/RTP02/KR2
P53	40	42				SIA0/RTP03/KR3
P54	41	43				SOA0/RTP04/KR4
P55	42	44				$\overline{\text{SCKA0}}$/RTP05/KR5
P70	100	2	入力	なし	ポート7 入力ポート	ANI0
P71	99	1				ANI1
P72	98	100				ANI2
P73	97	99				ANI3
P74	96	98				ANI4
P75	95	97				ANI5
P76	94	96				ANI6
P77	93	95				ANI7

注1.　マスク・オプションでプルアップ抵抗を内蔵できます（μPD703313, 703313Yのみ）。

2.　μPD703313Y, 70F3311Y, 70F3313Yのみ

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

GF：100ピン・プラスチックQFP（14×20）

(3/4)

端子名称	ピン番号		入出力	内蔵プルアップ抵抗	機　　能	兼用端子
	GC	GF				
P90	43	45	入出力	あり	ポート9 入出力ポート 1ビット単位で入力／出力の指定が可能 P98, P99, P911, P912は1ビット単位でN-chオープン・ドレーン出力の指定が可能	A0/TXD1/KR6
P91	44	46				A1/RXD1/KR7
P92	45	47				A2/TI020/TO02
P93	46	48				A3/TI021
P94	47	49				A4/TI030/TO03
P95	48	50				A5/TI031
P96	49	51				A6/TI51/TO51
P97	50	52				A7/SI01
P98	51	53				A8/SO01
P99	52	54				A9/$\overline{\text{SCK01}}$
P910	53	55				A10/SIA1
P911	54	56				A11/SOA1
P912	55	57				A12/$\overline{\text{SCKA1}}$
P913	56	58				A13/INTP4
P914	57	59				A14/INTP5
P915	58	60				A15/INTP6
PCM0	61	63	入出力	あり	ポートCM 入出力ポート 1ビット単位で入力／出力の指定が可能	$\overline{\text{WAIT}}$
PCM1	62	64				CLKOUT
PCM2	63	65				$\overline{\text{HLDAK}}$
PCM3	64	66				$\overline{\text{HLDRQ}}$
PCS0	59	61	入出力	あり	ポートCS 入出力ポート 1ビット単位で入力／出力の指定が可能	$\overline{\text{CS0}}$
PCS1	60	62				$\overline{\text{CS1}}$
PCT0	65	67	入出力	あり	ポートCT 入出力ポート 1ビット単位で入力／出力の指定が可能	$\overline{\text{WR0}}$
PCT1	66	68				$\overline{\text{WR1}}$
PCT4	67	69				$\overline{\text{RD}}$
PCT6	68	70				ASTB
PDH0	87	89	入出力	あり	ポートDH 入出力ポート 1ビット単位で入力／出力の指定が可能	A16
PDH1	88	90				A17
PDH2	89	91				A18
PDH3	90	92				A19
PDH4	91	93				A20
PDH5	92	94				A21

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

GF：100ピン・プラスチックQFP（14×20）

(4/4)

端子名称	ピン番号		入出力	内蔵プルアップ抵抗	機　　能	兼用端子
	GC	GF				
PDL0	71	73	入出力	あり	ポートDL	AD0
PDL1	72	74			入出力ポート	AD1
PDL2	73	75			1ビット単位で入力／出力の指定が可能	AD2
PDL3	74	76				AD3
PDL4	75	77				AD4
PDL5	76	78				AD5/FLMD1注
PDL6	77	79				AD6
PDL7	78	80				AD7
PDL8	79	81				AD8
PDL9	80	82				AD9
PDL10	81	83				AD10
PDL11	82	84				AD11
PDL12	83	85				AD12
PDL13	84	86				AD13
PDL14	85	87				AD14
PDL15	86	88				AD15

注　μPD70F3311, 70F3311Y, 70F3313, 70F3313Yのみ

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）
GF：100ピン・プラスチックQFP（14×20）

(2) ポート以外の端子

(1/5)

端子名	ピン番号		入出力	内蔵プルアップ抵抗	機　　能	兼用端子名
	GC	GF				
A0	43	45	出力	あり	外部メモリに対するアドレス・バス（セパレート・バス使用時）	P90/TXD1/KR6
A1	44	46				P91/RXD1/KR7
A2	45	47				P92/TI020/TO02
A3	46	48				P93/TI021
A4	47	49				P94/TI030/TO03
A5	48	50				P95/TI031
A6	49	51				P96/TI51/TO51
A7	50	52				P97/SI01
A8	51	53				P98/SO01
A9	52	54				P99/$\overline{\text{SCK01}}$
A10	53	55				P910/SIA1
A11	54	56				P911/SOA1
A12	55	57				P912/$\overline{\text{SCKA1}}$
A13	56	58				P913/INTP4
A14	57	59				P914/INTP5
A15	58	60				P915/INTP6
A16	87	89	出力	あり	外部メモリに対するアドレス・バス	PDH0
A17	88	90				PDH1
A18	89	91				PDH2
A19	90	92				PDH3
A20	91	93				PDH4
A21	92	94				PDH5
AD0	71	73	入出力	あり	外部メモリに対するアドレス／データ・バス	PDL0
AD1	72	74				PDL1
AD2	73	75				PDL2
AD3	74	76				PDL3
AD4	75	77				PDL4
AD5	76	78				PDL5/FLMD1[注]
AD6	77	79				PDL6
AD7	78	80				PDL7
AD8	79	81				PDL8
AD9	80	82				PDL9
AD10	81	83				PDL10
AD11	82	84				PDL11
AD12	83	85				PDL12
AD13	84	86				PDL13
AD14	85	87				PDL14
AD15	86	88				PDL15

注　μPD70F3311, 70F3311Y, 70F3313, 70F3313Y**のみ**

備考　GC：100**ピン・プラスチック**LQFP（**ファインピッチ**）（14×14）

GF：100**ピン・プラスチック**QFP（14×20）

(2/5)

端子名	ピン番号		入出力	内蔵プルアップ抵抗	機　　能	兼用端子名
	GC	GF				
ADTRG	27	29	入力	あり	A/Dコンバータ外部トリガ入力	P32/ASCK0/TO01
ANI0	100	2	入力	なし	A/Dコンバータ用アナログ電圧入力	P70
ANI1	99	1				P71
ANI2	98	100				P72
ANI3	97	99				P73
ANI4	96	98				P74
ANI5	95	97				P75
ANI6	94	96				P76
ANI7	93	95				P77
ANO0	3	5	出力	あり	D/Aコンバータ用アナログ電圧出力	P10
ANO1	4	6				P11
ASCK0	27	29	入力	あり	UART0のシリアル・クロック入力	P32/ADTRG/TO01
ASTB	68	70	出力	あり	外部メモリに対するアドレス・ストローブ信号出力	PCT6
AV_{REF0}	1	3	－	－	A/Dコンバータ用基準電圧および兼用ポート用正電源供給	－
AV_{REF1}	5	7	－	－	D/Aコンバータ用基準電圧および兼用ポート用正電源供給	－
AV_{SS}	2	4	－	－	A/D, D/Aコンバータおよび兼用ポート用グランド電位	－
BV_{DD}	70	72	－	－	バス・インタフェースおよび兼用ポート用正電源供給	－
BV_{SS}	69	73	－	－	バス・インタフェースおよび兼用ポート用グランド電位	－
CLKOUT	62	64	出力	あり	内部システム・クロック出力	PCM1
$\overline{CS0}$	59	61	出力	あり	チップ・セレクト出力	PCS0
$\overline{CS1}$	60	62				PCS1
EV_{DD}	34	36	－	－	外部用正電源供給	－
EV_{SS}	33	35	－	－	外部用グランド電位	－
FLMD0[注1]	8	10	入力	なし	フラッシュ・プログラミング・モード引き込み用端子	－
FLMD1[注1]	76	78		あり		PDL5/AD5
$\overline{HLDAK}$	63	65	出力	あり	バス・ホールド・アクノリッジ出力	PCM2
$\overline{HLDRQ}$	64	66	入力	あり	バス・ホールド要求入力	PCM3
IC[注2]	8	10	－	－	内部接続	－
INTP0	18	20	入力	あり	外部割り込み要求入力 （マスカブル，アナログ・ノイズ除去）	P03
INTP1	19	21				P04
INTP2	20	22				P05
INTP3	21	23			外部割り込み要求入力 （マスカブル，ディジタル+アナログ・ノイズ除去）	P06
INTP4	56	58			外部割り込み要求入力 （マスカブル，アナログ・ノイズ除去）	P913/A13
INTP5	57	59				P914/A14
INTP6	58	60				P915/A15
INTP7	26	28				P31/RXD0/TO03

注1.　μPD70F3311, 70F3311Y, 70F3313, 70F3313Yのみ

2.　μPD703313, 703313Yのみ

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

GF：100ピン・プラスチックQFP（14×20）

(3/5)

端子名	ピン番号		入出力	内蔵プルアップ抵抗	機　　能	兼用端子名
	GC	GF				
KR0	37	39	入力	あり	キー・リターン入力	P50/TI011/RTP00
KR1	38	40				P51/TI50/RTP01
KR2	39	41				P52/TO50/RTP02
KR3	40	42				P53/SIA0/RTP03
KR4	41	43				P54/SOA0/RTP04
KR5	42	44				P55/$\overline{\text{SCKA0}}$/RTP05
KR6	43	45				P90/A0/TXD1
KR7	44	46				P91/A1/RXD1
NMI	17	19	入力	あり	外部割り込み入力 (ノンマスカブル，アナログ・ノイズ除去)	P02
$\overline{\text{RD}}$	67	69	出力	あり	外部メモリに対するリード･ストローブ信号出力	PCT4
REGC	10	12	－	－	レギュレータ出力安定容量接続	－
$\overline{\text{RESET}}$	14	16	入力	－	システム・リセット入力	－
RTP00	37	39	出力	あり	リアルタイム出力ポート	P50/TI011/KR0
RTP01	38	40				P51/TI50/KR1
RTP02	39	41				P52/TO50/KR2
RTP03	40	42				P53/SIA0/KR3
RTP04	41	43				P54/SOA0/KR4
RTP05	42	44				P55/$\overline{\text{SCKA0}}$/KR5
RXD0	26	28	入力	あり	シリアル受信データ入力（UART0）	P31/INTP7/TO03
RXD1	44	46			シリアル受信データ入力（UART1）	P91/A1/KR7
RXD2	22	25			シリアル受信データ入力（UART2）	P40/SI00
$\overline{\text{SCK00}}$	24	26	入出力	あり	シリアル・クロック入出力 (CSI00, CSI01, CSIA0, CSIA1) 1ビット単位でN-chオープン・ドレーン出力の指定が可能	P42
$\overline{\text{SCK01}}$	52	54				P99/A9
$\overline{\text{SCKA0}}$	42	44				P55/RTP05/KR5
$\overline{\text{SCKA1}}$	55	57				P912/A12
SCL0[注1]	36	38	入出力	なし[注2]	シリアル・クロック入出力（I^2C0） N-chオープン・ドレーン出力固定	P39
SDA0[注1]	35	37	入出力	なし[注2]	シリアル送受信データ入出力（I^2C0） N-chオープン・ドレーン出力固定	P38
SI00	22	24	入力	あり	シリアル受信データ入力（CSI00）	P40/RXD2
SI01	50	52			シリアル受信データ入力（CSI01）	P97/A7
SIA0	40	42			シリアル受信データ入力（CSIA0）	P53/RTP03/KR3
SIA1	53	55			シリアル受信データ入力（CSIA1）	P910/A10
SO00	23	25	出力	あり	シリアル送信データ出力 (CSI00, CSI01, CSIA0, CSIA1) 1ビット単位でN-chオープン・ドレーン出力の指定が可能	P41/TXD2
SO01	51	53				P98/A8
SOA0	41	43				P54/RTP04/KR4
SOA1	54	56				P911/A11

注1.　μPD703313Y, 70F3311Y, 70F3313Yのみ

2.　マスク・オプションでプルアップ抵抗を内蔵できます（μPD703313, 703313Yのみ）。

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

GF：100ピン・プラスチックQFP（14×20）

(4/5)

端子名	ピン番号		入出力	内蔵プルアップ抵抗	機　　能	兼用端子名
	GC	GF				
TI000	28	30	入力	あり	キャプチャ・トリガ入力／外部イベント入力（TM00）	P33/TO00/TIP00/TOP00
TI001	29	31			キャプチャ・トリガ入力（TM00）	P34/TO00/TIP01/TOP01
TI010	30	32			キャプチャ・トリガ入力／外部イベント入力（TM01）	P35/TO01
TI011	37	39			キャプチャ・トリガ入力（TM01）	P50/RTP00/KR0
TI020	45	47			キャプチャ・トリガ入力／外部イベント入力（TM02）	P92/A2/TO02
TI021	46	48			キャプチャ・トリガ入力（TM02）	P93/A3
TI030	47	49			キャプチャ・トリガ入力／外部イベント入力（TM03）	P94/A4/TO03
TI031	48	50			キャプチャ・トリガ入力（TM03）	P95/A5
TI50	38	40			外部イベント入力（TM50）	P51/RTP01/KR1
TI51	49	51			外部イベント入力（TM51）	P96/A6/TO51
TIP00	28	30			キャプチャ・トリガ入力／外部イベント入力（TMP0）	P33/TI000/TO00/TOP00
TIP01	29	31			キャプチャ・トリガ入力（TMP0）	P34/TI001/TO00/TOP01
TO00	28	30	出力	あり	タイマ出力（TM00）	P33/TI000/TIP00/TOP00
	29	31				P34/TI001/TIP01/TOP01
TO01	27	29			タイマ出力（TM01）	P32/ASCK0/ADTRG
	30	32				P35/TI010
TO02	25	27			タイマ出力（TM02）	P30/TXD0
	45	47				P92/A2/TI020
TO03	26	28			タイマ出力（TM03）	P31/RXD0/INTP7
	47	49				P94/A4/TI030
TO50	39	41			タイマ出力（TM50）	P52/RTP02/KR2
TO51	49	51			タイマ出力（TM51）	P96/A6/TI51
TOH0	6	8			タイマ出力（TMH0）	P00
TOH1	7	9			タイマ出力（TMH1）	P01
TOP00	28	30			タイマ出力（TMP0）	P33/TI000/TO00/TIP00
TOP01	29	31				P34/TI001/TO00/TIP01

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

GF：100ピン・プラスチックQFP（14×20）

(5/5)

端子名	ピン番号		入出力	内蔵プルアップ抵抗	機　　能	兼用端子名
	GC	GF				
TXD0	25	27	出力	あり	シリアル送信データ出力（UART0）	P30/TO02
TXD1	61	45			シリアル送信データ出力（UART1）	P90/A0/KR6
TXD2	23	25			シリアル送信データ出力（UART2）	P41/SO00
V_{DD}	9	11	－	－	内部用正電源供給端子	－
V_{SS}	11	13	－	－	内部用グランド電位	－
$\overline{WAIT}$	61	63	入力	なし	外部ウエイト入力	PCM0
$\overline{WR0}$	65	67	出力	なし	外部メモリ（下位8ビット）に対するライト・ストローブ	PCT0
$\overline{WR1}$	66	68			外部メモリ（上位8ビット）に対するライト・ストローブ	PCT1
X1	12	14	入力	なし	メイン・クロック用発振子接続	－
X2	13	15	－	なし		－
XT1	15	17	入力	なし	サブクロック用発振子接続	－
XT2	16	18	－	なし		－

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

GF：100ピン・プラスチックQFP（14×20）

2.2　端子状態

内蔵ROM，内蔵RAMのアクセス時には、アドレス・バスは不定になります。データ・バスは出力されずハイ・インピーダンス状態になります。外部バスの制御信号は，インアクティブ状態になります。

周辺I/Oアクセス時には，アドレス・バスはアクセスしている内蔵周辺I/Oのアドレスを出力します。データ・バスは出力されずハイ・インピーダンス状態になります。外部バスの制御信号は，インアクティブ状態になります。

表2－2　動作モードによる各端子の動作状態

動作状態 / 端　子	リセット[注1]	HALTモード	IDLEモード／STOPモード	アイドル・ステート[注2]	バス・ホールド
AD0-AD15（PDL0-PDL15）	Hi-Z	注3	Hi-Z	保持	Hi-Z
A0-A15（P90-P915）	Hi-Z	不定[注4]	Hi-Z	保持	Hi-Z
A16-A21（PDH0-PDH5）	Hi-Z	不定	Hi-Z	保持	Hi-Z
$\overline{\text{WAIT}}$（PCM0）	Hi-Z	－	－	－	－
CLKOUT（PCM1）	Hi-Z	動作	L	動作	動作
$\overline{\text{CS0}}$, $\overline{\text{CS1}}$（PCS0, PCS1）	Hi-Z	H	H	保持	Hi-Z
$\overline{\text{WR0}}$, $\overline{\text{WR1}}$（PCT0, PCT1）	Hi-Z	H	H	H	Hi-Z
$\overline{\text{RD}}$（PCT4）	Hi-Z	H	H	H	Hi-Z
ASTB（PCT6）	Hi-Z	H	H	H	Hi-Z
$\overline{\text{HLDAK}}$（PCM2）	Hi-Z	動作	H	H	L
$\overline{\text{HLDRQ}}$（PCM3）	Hi-Z	動作	－	－	動作

注1.　バス制御端子はポート端子と兼用のため，リセット時には，ポート・モード（入力）に初期化されます。

2.　マルチプレクス・バス・モード時T3，セパレート・バス・モード時T2ステート後に挿入されるアイドル・ステート時の端子状態を示します。

3.　セパレート・バス・モード時　　：Hi-Z
　　マルチプレクス・バス・モード時　：不定

4.　セパレート・バス・モード時のみ

備考　Hi-Z　：ハイ・インピーダンス
　　H　　：ハイ・レベル出力
　　L　　：ロウ・レベル出力
　　－　　：入力非サンプリング（入力受け付け不可能）

2.3　端子の入出力回路タイプと未使用時の処理

(1/2)

端　子	兼用端子名	ピン番号		入出力回路タイプ	推奨接続方法
		GC	GF		
P00	TOH0	6	8	5-A	入力時：個別に抵抗を介して，EV_{DD}またはEV_{SS}に接続してください。 出力時：オープンにしてください。
P01	TOH1	7	9		
P02	NMI	17	19	5-W	
P03-P06	INTP0-INTP3	18-21	20-23		
P10	ANO0	3	5	12-B	入力時：個別に抵抗を介して，AV_{REF1}またはAV_{SS}に接続してください。 出力時：オープンにしてください。
P11	ANO1	4	6		
P30	TXD0/TO02	25	27	5-A	入力時：個別に抵抗を介して，EV_{DD}またはEV_{SS}に接続してください。 出力時：オープンにしてください。
P31	RXD0/INTP7/TO03	26	28	5-W	
P32	ASCK0/ADTRG/TO01	27	29		
P33	TI000/TO00/TIP00/TOP00	28	30		
P34	TI001/TO00/TIP01/TOP01	29	31		
P35	TI010/TO01	30	32		
★ P36, P37	－	31, 32	33, 34	13-AH[注2]	
★				13-AB[注3]	
★ P38	SDA0[注1]	35	37	13-AE[注2]	
★				13-AD[注3]	
★ P39	SCL0[注1]	38	39	13-AE[注2]	
★				13-AD[注3]	
P40	SI00/RXD2	22	24	5-W	
P41	SO00/TXD2	23	25	10-E	
P42	$\overline{SCK00}$	24	26	10-F	
P50	TI011/RTP00/KR0	37	39	8-A	
P51	TI50/RTP01/KR1	38	40		
P52	TO50/RTP02/KR2	39	41		
P53	SIA0/RTP03/KR3	40	42		
P54	SOA0/RTP04/KR4	41	43	10-A	
P55	$\overline{SCKA0}$/RTP05/KR5	42	44		
P70-P77	ANI0-ANI7	100-93	2, 1, 100-95	9-C	AV_{REF0}またはAV_{SS}に接続してください。
P90	A0/TXD1/KR6	43	45	8-A	入力時：個別に抵抗を介して，EV_{DD}またはEV_{SS}に接続してください。 出力時：オープンにしてください。
P91	A1/RXD1/KR7	44	46		
P92	A2/TI020/TO02	45	47		
P93	A3/TI021	46	48	5-W	
P94	A4/TI030/TO03	47	49	8-A	
P95	A5/TI031	48	50	5-W	
P96	A6/TI51/TO51	49	51	8-A	
P97	A7/SI01	50	52	5-W	

注1.　μPD703313Y, 70F3311Y, 70F3313Y**のみ**

2.　**マスク**ROM**製品**

3.　**フラッシュ・メモリ製品**

備考　GC：100**ピン・プラスチック**LQFP（**ファインピッチ**）（14×14）

GF：100**ピン・プラスチック**QFP（14×20）

(2/2)

端　子	兼用端子名	ピン番号		入出力回路タイプ	推奨接続方法
		GC	GF		
P98	A8/SO01	51	53	10-E	入力時：個別に抵抗を介して，EV_{DD}またはEV_{SS}に接続してください。 出力時：オープンにしてください。
P99	A9/$\overline{SCK01}$	52	54	10-F	
P910	A10/SIA1	53	55	5-W	
P911	A11/SOA1	54	56	10-E	
P912	A12/$\overline{SCKA1}$	55	57	10-F	
P913-P915	A13/INTP4-A15/INTP6	56-58	58-60	5-W	
PCM0	$\overline{WAIT}$	61	63	5-A	入力時：個別に抵抗を介して，BV_{DD}またはBV_{SS}に接続してください。 出力時：オープンにしてください。
PCM1	CLKOUT	62	64		
PCM2	$\overline{HLDAK}$	63	65		
PCM3	$\overline{HLDRQ}$	64	66		
PCS0, PCS1	$\overline{CS0}$, $\overline{CS1}$	59, 60	61, 62	5-A	
PCT0	$\overline{WR0}$	65	67	5-A	
PCT1	$\overline{WR1}$	66	68		
PCT4	$\overline{RD}$	67	69		
PCT6	ASTB	68	70		
PDL0-PDL4	AD0-AD4	71-75	73-77	5-A	
PDL5	AD5/FLMD1	76	78		
PDL6-PDL15	AD6-AD15	77-86	79-88		
PDH0-PDH7	A16-A23	87-92	89-94	5-A	
AV_{REF0}	－	1	3	－	V_{DD}に直接接続してください。
AV_{REF1}	－	5	7	－	V_{DD}に直接接続してください。
AV_{SS}	－	2	4	－	－
BV_{DD}	－	70	72	－	－
BV_{SS}	－	69	71	－	－
EV_{DD}	－	34	36	－	－
EV_{SS}	－	33	35	－	－
IC[注1]	－	8	10	－	EV_{SS}またはV_{SS}に直接接続してください。もしくは，10 kΩの抵抗でプルダウンしてください。
★ $\overline{RESET}$	－	14	16	2	抵抗を介してEV_{DD}に接続してください。
FLMD0[注2]	－	8	10	－	EV_{SS}またはV_{SS}に直接接続してください。もしくは，10 kΩの抵抗でプルダウンしてください。
V_{DD}	－	9	11	－	－
V_{SS}	－	11	13	－	－
X1	－	12	14	－	－
X2	－	13	15	－	－
XT1	－	15	17	16	V_{SS}に直接接続してください[注3]。
XT2	－	16	18	16	オープンにしてください。

注1.　μPD703313, 703313Yのみ

2.　μPD70F3311, 70F3311Y, 70F3313, 70F3313Yのみ

3.　未使用時には，PSMR.XTSTPビットに必ず1を設定してください。

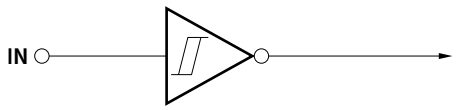
備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

GF：100ピン・プラスチックQFP（14×20）

2.4　端子の入出力回路

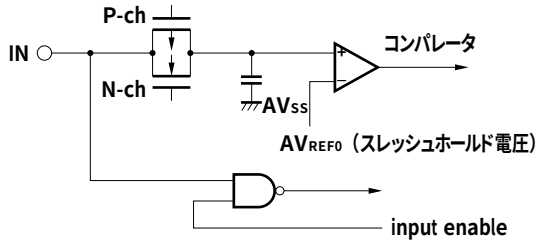
(1/2)

タイプ2

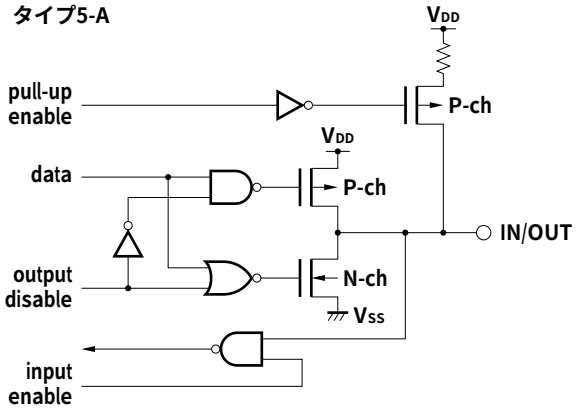


ヒステリシス特性を有するシュミット・トリガ入力となっています。

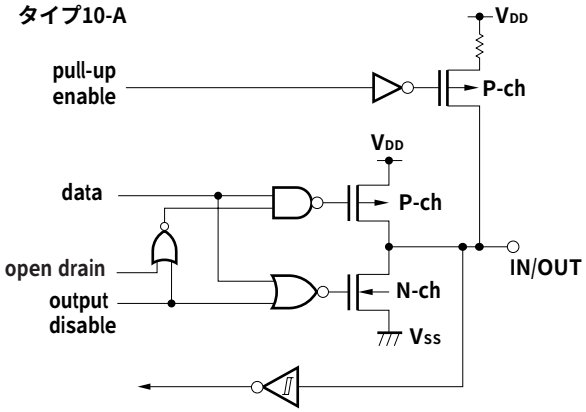
タイプ9-C



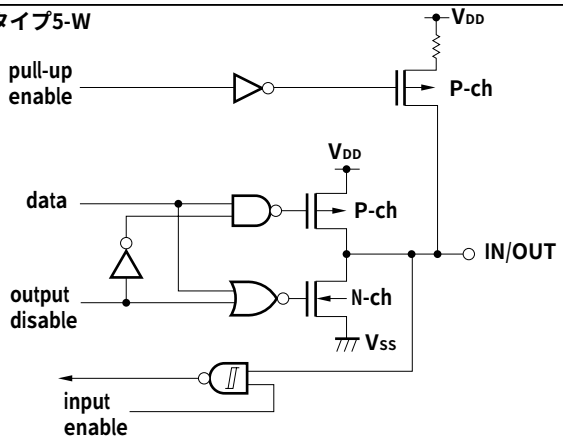
タイプ5-A



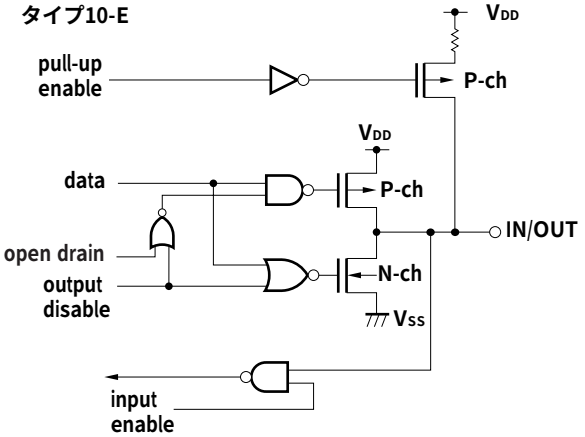
タイプ10-A



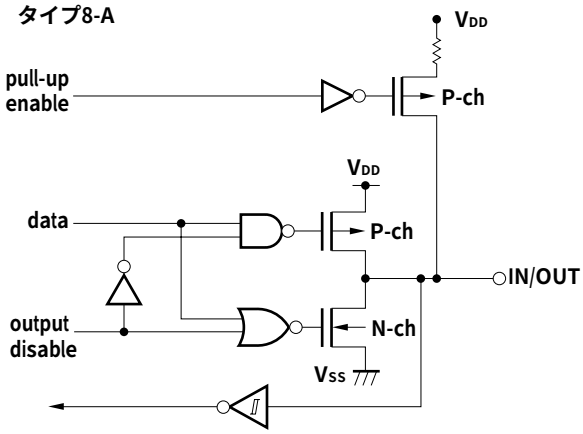
タイプ5-W



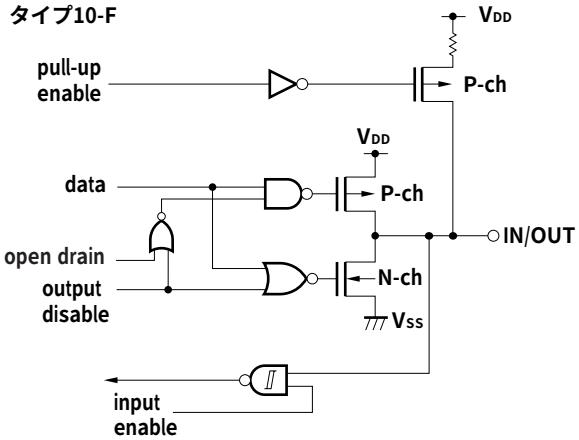
タイプ10-E



タイプ8-A

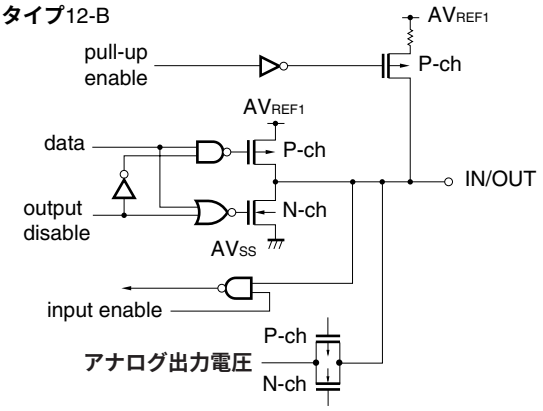


タイプ10-F

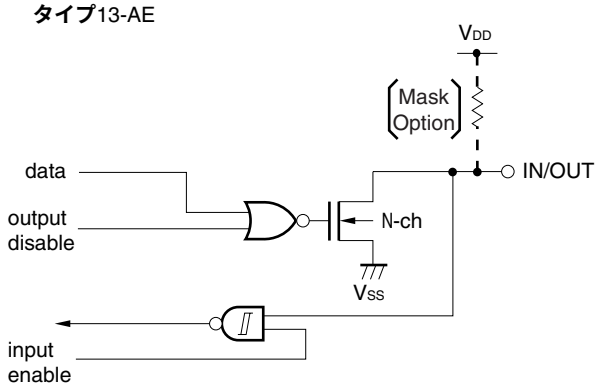


(2/2)

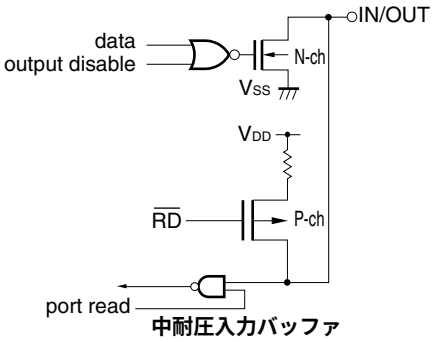
タイプ12-B



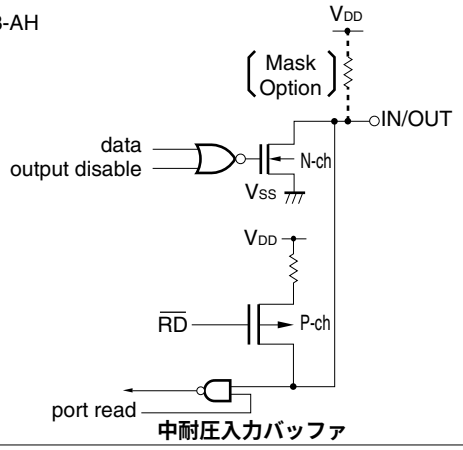
タイプ13-AE



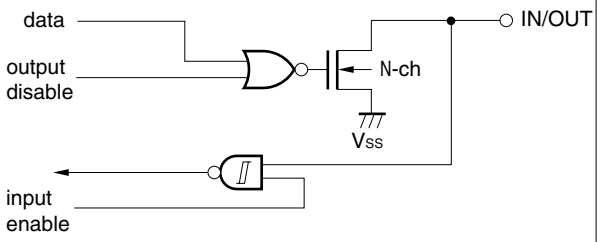
★ タイプ13-AB



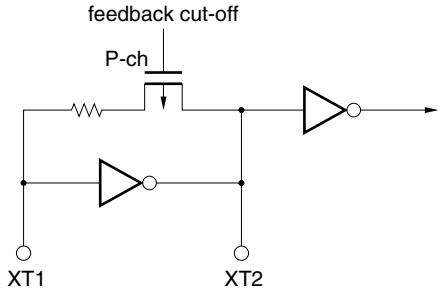
タイプ13-AH



★ タイプ13-AD



タイプ16



備考　V_{DD}は，EV_{DD}またはBV_{DD}に置き換えて参照してください。V_{SS}は，EV_{SS}またはBV_{SS}に置き換えて参照してください。

第3章　CPU機能

V850ES/KG1+のCPUは，RISCアーキテクチャをベースとして，5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3. 1　特　　徴

○命令数　　：83

○最小命令実行時間：50.0 ns（20 MHz動作時 ：4.5～5.5 V，REGC = V_{DD}）

★　62.5 ns（16 MHz動作時：4.0～5.5 V, REGC = 10 μF）

100 ns（10 MHz動作時 ：2.7～5.5 V, REGC = V_{DD}）

○メモリ空間　プログラム（物理アドレス）空間 ：64 Mバイト・リニア

データ（論理アドレス）空間　　：4 Gバイト・リニア

・メモリ・ブロック分割機能　　：2 M, 2 Mバイト／計2ブロック

○汎用レジスタ：32ビット×32本

○内部32ビット・アーキテクチャ

○5段パイプライン制御

○乗除算命令

○飽和演算命令

○32ビット・シフト命令：1クロック

○ロング／ショート形式を持つロード／ストア命令

○ビット操作命令4種

- SET1
- CLR1
- NOT1
- TST1

3. 2　CPUレジスタ・セット

V850ES/KG1+のレジスタは，汎用のプログラム・レジスタ・セットと，専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850ES　ユーザーズ・マニュアル　アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット

31　　0

r0	(ゼロ・レジスタ)
r1	(アセンブラ予約レジスタ)
r2	
r3	(スタック・ポインタ (SP))
r4	(グローバル・ポインタ (GP))
r5	(テキスト・ポインタ (TP))
r6	
r7	
r8	
r9	
r10	
r11	
r12	
r13	
r14	
r15	
r16	
r17	
r18	
r19	
r20	
r21	
r22	
r23	
r24	
r25	
r26	
r27	
r28	
r29	
r30	(エレメント・ポインタ (EP))
r31	(リンク・ポインタ (LP))

31　　0

PC	(プログラム・カウンタ)

(2) システム・レジスタ・セット

31　　0

EIPC	(割り込み時状態退避レジスタ)
EIPSW	(割り込み時状態退避レジスタ)

FEPC	(NMI時状態退避レジスタ)
FEPSW	(NMI時状態退避レジスタ)

ECR	(割り込み要因レジスタ)

PSW	(プログラム・ステータス・ワード)

CTPC	(CALLT実行時状態退避レジスタ)
CTPSW	(CALLT実行時状態退避レジスタ)

DBPC	(例外／ディバグ・トラップ時状態退避レジスタ)
DBPSW	(例外／ディバグ・トラップ時状態退避レジスタ)

CTBP	(CALLTベース・ポインタ)

3. 2. 1　プログラム・レジスタ・セット

プログラム・レジスタには，汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ（r0-r31）

汎用レジスタとして，r0-r31の32本が用意されています。これらのレジスタは，どれでもデータ変数またはアドレス変数として利用できます。

ただし，r0とr30は命令により暗黙的に使用しますので，これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで，0を使用する演算やオフセット0のアドレシングで使用されます。r30はSLD命令とSST命令により，メモリをアクセスするときのベース・ポインタとして使用されます。また，r1, r3-r5, r31は，アセンブラとCコンパイラが暗黙的に使用しますので，これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し，使用後に元に戻す必要があります。r2は，リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は，変数用レジスタとしてr2を使用できます。

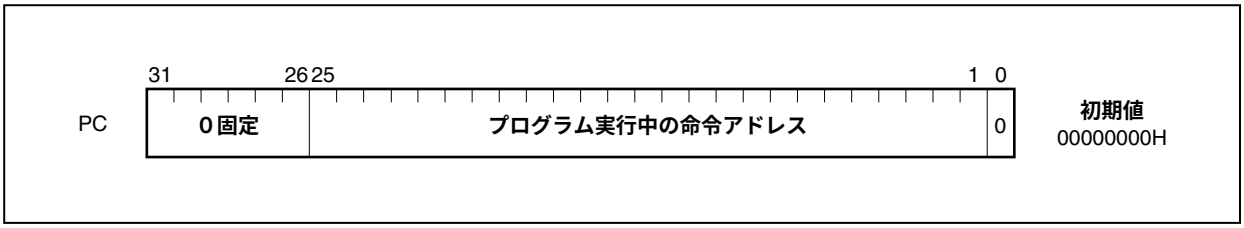
表3－1　プログラム・レジスター覧

名　称	用　　途	動　　作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミーディエト作成用のワーキング・レジスタとして使用
r2	アドレス／データ変数用レジスタ（使用するリアルタイムOSがr2を使用していない場合）	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域（プログラム・コードを配置する領域）の先頭を指すレジスタとして使用
r6-r29	アドレス／データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

(2) プログラム・カウンタ（PC）

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で，ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また，ビット0は0に固定されており，奇数番地への分岐はできません。



3. 2. 2　システム・レジスタ・セット

システム・レジスタは，CPUの状態制御，割り込み情報保持などを行います。

システム・レジスタへのリード／ライトは，システム・レジスタ・ロード／ストア命令（LDSR, STSR命令）により，次に示すシステム・レジスタ番号を設定することで行います。

表3－2　システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ（EIPC）注1	○	○
1	割り込み時状態退避レジスタ（EIPSW）注1	○	○
2	NMI時状態退避レジスタ（FEPC）注1	○	○
3	NMI時状態退避レジスタ（FEPSW）注1	○	○
4	割り込み要因レジスタ（ECR）	×	○
5	プログラム・ステータス・ワード（PSW）	○	○
6-15	将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません）	×	×
16	CALLT実行時状態退避レジスタ（CTPC）	○	○
17	CALLT実行時状態退避レジスタ（CTPSW）	○	○
★ 18	例外／ディバグ・トラップ時状態退避レジスタ（DBPC）	○注2	○注2
★ 19	例外／ディバグ・トラップ時状態退避レジスタ（DBPSW）	○注2	○注2
20	CALLTベース・ポインタ（CTBP）	○	○
21-31	将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません）	×	×

注1.　これらのレジスタは1組しかないため，多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2.　DBTRAP命令または不正命令コードを実行してから，DBRET命令を実行するまでの期間だけアクセス可能です。

注意　LDSR命令によりEIPCかFEPC，またはCTPCのビット0をセット（1）しても，割り込み処理後のRETI命令で復帰するときにビット0は無視されます（PCのビット0を0固定してあるため）。EIPC, FEPC, CTPCに値を設定する場合は，偶数値（ビット0 = 0）を設定してください。

備考　○：アクセス可能
　　×：アクセス禁止

（1）割り込み時状態退避レジスタ（EIPC, EIPSW）

割り込み時状態退避レジスタには，EIPCとEIPSWがあります。

ソフトウエア例外やマスカブル割り込みが発生した場合，プログラム・カウンタ（PC）の内容がEIPCに，プログラム・ステータス・ワード（PSW）の内容がEIPSWに退避されます（ノンマスカブル割り込み（NMI）発生時には，NMI時状態退避レジスタ（FEPC, FEPSW）に退避されます）。

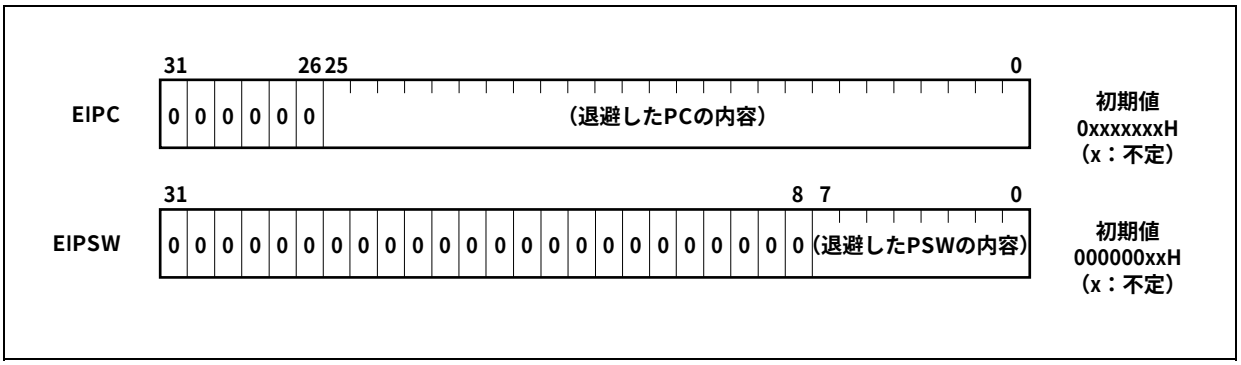
EIPCには，一部の命令（21. 9　CPUが割り込みを受け付けられない期間参照）を除き，ソフトウエア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには，現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないため，多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお，EIPCのビット31-26とEIPSWのビット31-8は，将来の機能拡張のために予約されています（0に固定）。

RETI命令により，EIPCの値はPCへ，EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ（FEPC, FEPSW）

NMI時状態退避レジスタには，FEPCとFEPSWがあります。

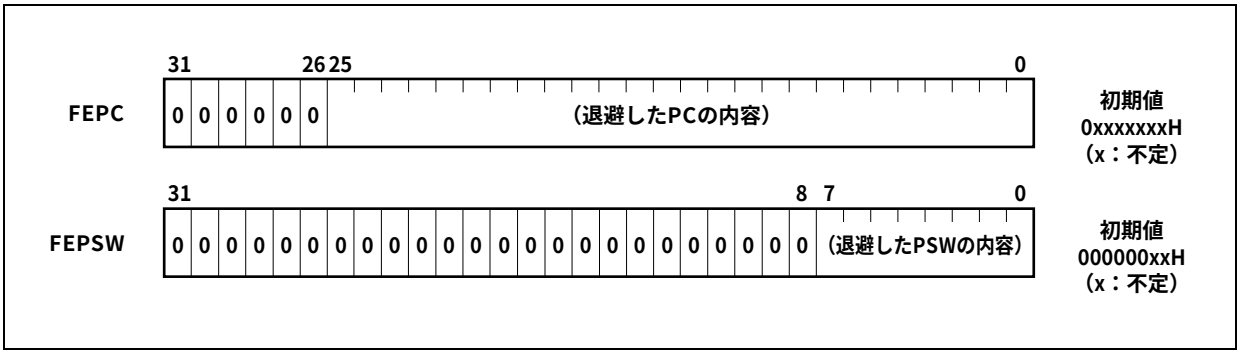
ノンマスカブル割り込み（NMI）が発生した場合，プログラム・カウンタ（PC）の内容がFEPCに，プログラム・ステータス・ワード（PSW）の内容がFEPSW に退避されます。

FEPCには，一部の命令を除き，NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには，現在のPSWの内容が退避されます。

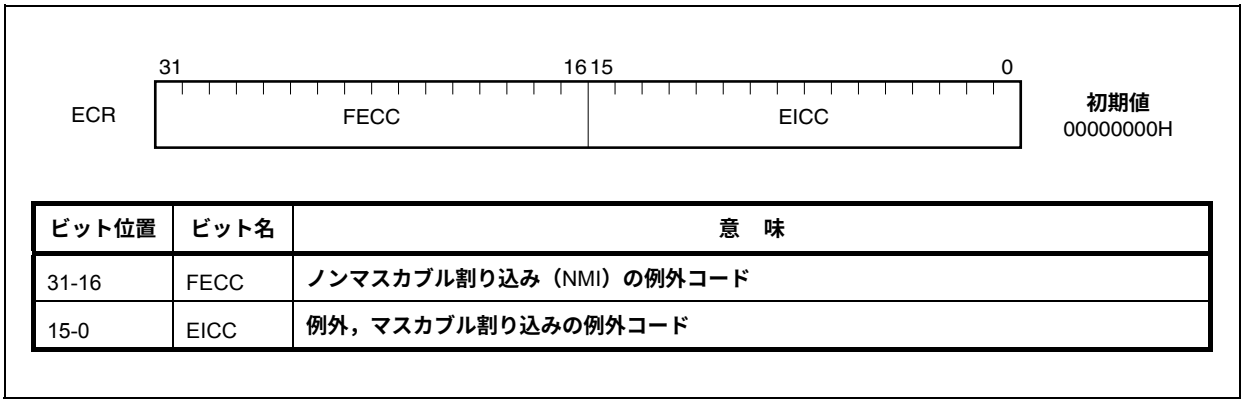
NMI時状態退避レジスタは1組しかないため，多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお，FEPCのビット31-26とFEPSWのビット31-8は，将来の機能拡張のために予約されています（0に固定）。



(3) 割り込み要因レジスタ（ECR）

割り込み要因レジスタ（ECR）は，例外や割り込みが発生した場合に，その要因を保持するレジスタです。ECRが保持する値は，割り込み要因ごとにコード化された例外コードです。なお，このレジスタは読み出し専用のため，LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



ビット位置	ビット名	意　味
31-16	FECC	ノンマスカブル割り込み（NMI）の例外コード
15-0	EICC	例外，マスカブル割り込みの例外コード

(4) プログラム・ステータス・ワード（PSW）

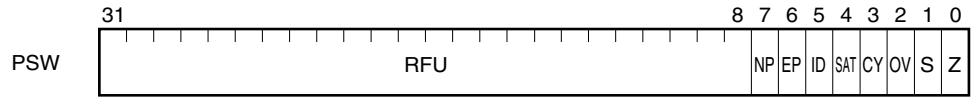
プログラム・ステータス・ワード（PSW）は，プログラムの状態（命令実行の結果）やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は，LDSR命令実行終了直後から変更内容が有効となります。

LDSR命令によるPSWのライト命令実行中は，割り込み要求の受け付けを保留します。

なお，ビット31-8は，将来の機能拡張のために予約されています（0に固定）。

(1/2)



初期値
00000020H

ビット位置	フラグ名	意　味
31-8	RFU	予約フィールドです。“0”に固定されています。
7	NP	ノンマスカブル割り込み（NMI）処理中であることを示します。NMI要求が受け付けられるとセット“1”され，多重割り込みを禁止します。 0：NMI処理中でない。 1：NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお，このビットがセットされても割り込み要求は受け付けます。 0：例外処理中でない。 1：例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0：割り込み可 1：割り込み不可
4	SAT注	飽和演算命令の演算結果がオーバフローし，演算結果が飽和していることを示します。累積フラグのため，飽和演算命令で演算結果が飽和するとセット“1”され，以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は，LDSR命令により行います。なお，算術演算命令の実行では，セット“1”もクリア“0”も行いません。 0：飽和していない。 1：飽和している。
3	CY	演算結果にキャリー，またはボローがあったかどうかを示します。 0：キャリー，またはボローは発生していない。 1：キャリー，またはボローが発生した。
2	OV注	演算中にオーバフローが発生したかどうかを示します。 0：オーバフローは発生していない。 1：オーバフローが発生した。
1	S注	演算の結果が負かどうかを示します。 0：演算の結果は，正または0であった。 1：演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0：演算の結果は0でなかった。 1：演算の結果は0であった。

備考　注の説明は次ページに記載しています。

（2/2）

注　飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また，飽和演算時に OV フラグがセット（1）された場合だけ，SAT フラグはセット（1）されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正（最大値を越えない）	演算前の値を保持	0	0	演算結果そのもの
負（最大値を越えない）			1	

（5）CALLT実行時状態退避レジスタ（CTPC, CTPSW）

CALLT実行時状態退避レジスタには，CTPCとCTPSWがあります。

CALLT命令が実行されると，プログラム・カウンタ（PC）の内容がCTPCに，プログラム・ステータス・ワード（PSW）の内容がCTPSWに退避されます。

CTPCに退避される内容は，CALLT命令の次の命令のアドレスです。

CTPSWには，現在のPSWの内容が退避されます。

なお，CTPCのビット31-26とCTPSWのビット31-8は，将来の機能拡張のために予約されています（“0”に固定）。

(6) 例外／ディバグ・トラップ時状態退避レジスタ（DBPC, DBPSW）

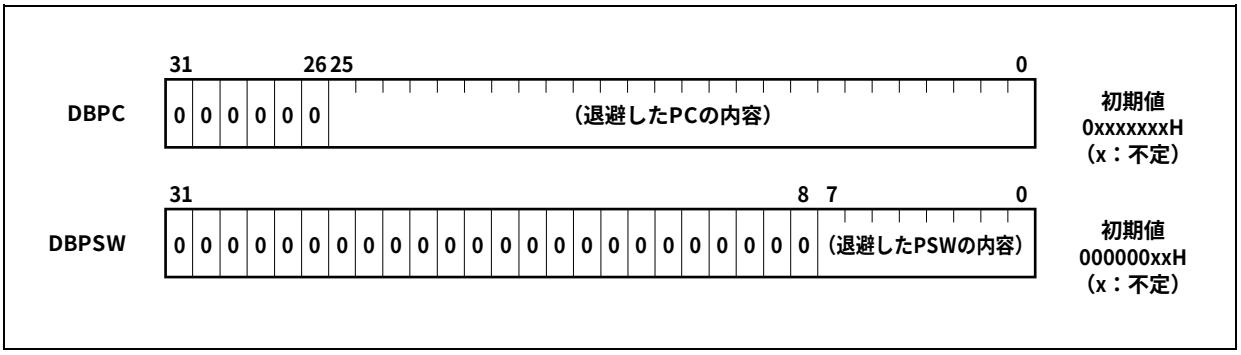
例外／ディバグ・トラップ時状態退避レジスタとして，DBPCとDBPSWがあります。

例外トラップ，またはディバグ・トラップが発生すると，プログラム・カウンタ（PC）の内容がDBPCに，プログラム・ステータス・ワード（PSW）の内容がDBPSWに退避されます。

DBPCに退避される内容は，例外トラップ，またはディバグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには，現在のPSWの内容が退避されます。

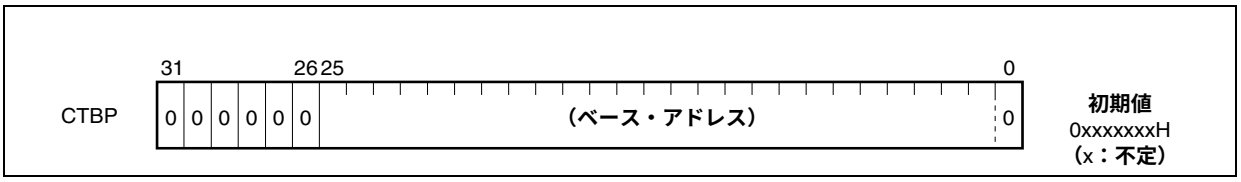
なお，DBPCのビット31-26とDBPSWのビット31-8は，将来の機能拡張のために予約されています（“0”に固定）。



(7) CALLTベース・ポインタ（CTBP）

CALLTベース・ポインタ（CTBP）は，テーブル・アドレスの指定，ターゲット・アドレスの生成に使用されます（ビット0は“0”に固定）。

なお，ビット31-26は，将来の機能拡張のために予約されています（“0”に固定）。



3. 3　動作モード

V850ES/KG1+は次に示す動作モードを備えます。

(1) 通常動作モード

システム・リセット解除後，バス・インタフェース関連の各端子はポート・モードになり，内蔵ROMのリセット・エントリ・アドレスに分岐し，命令処理を開始します。

(2) フラッシュ・メモリ・プログラミング・モード

このモードはフラッシュ・メモリ搭載品（μPD70F3311, 70F3311Y, 70F3313, 70F3313Y）のみ有効です。

このモードを指定すると，フラッシュ・ライタによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

(a) 動作モード指定

FLMD0, FLMD1端子の状態（入力レベル）により，動作モードを指定します。

通常モード時は，リセット時にFLMD0端子がロウ・レベル入力となるようにしてください。

フラッシュ・メモリ・プログラミング・モード時のFLMD0端子へのハイ・レベル入力は，フラッシュ・ライタ接続時はフラッシュ・ライタから行いますが，セルフ・プログラミング時は外部回路で行ってください。

これらの端子の指定は応用システムにおいて固定とし，動作中に変更しないでください。

FLMD0	FLMD1	動作モード
L	×	通常動作モード
H	L	フラッシュ・メモリ・プログラミング・モード
H	H	設定禁止

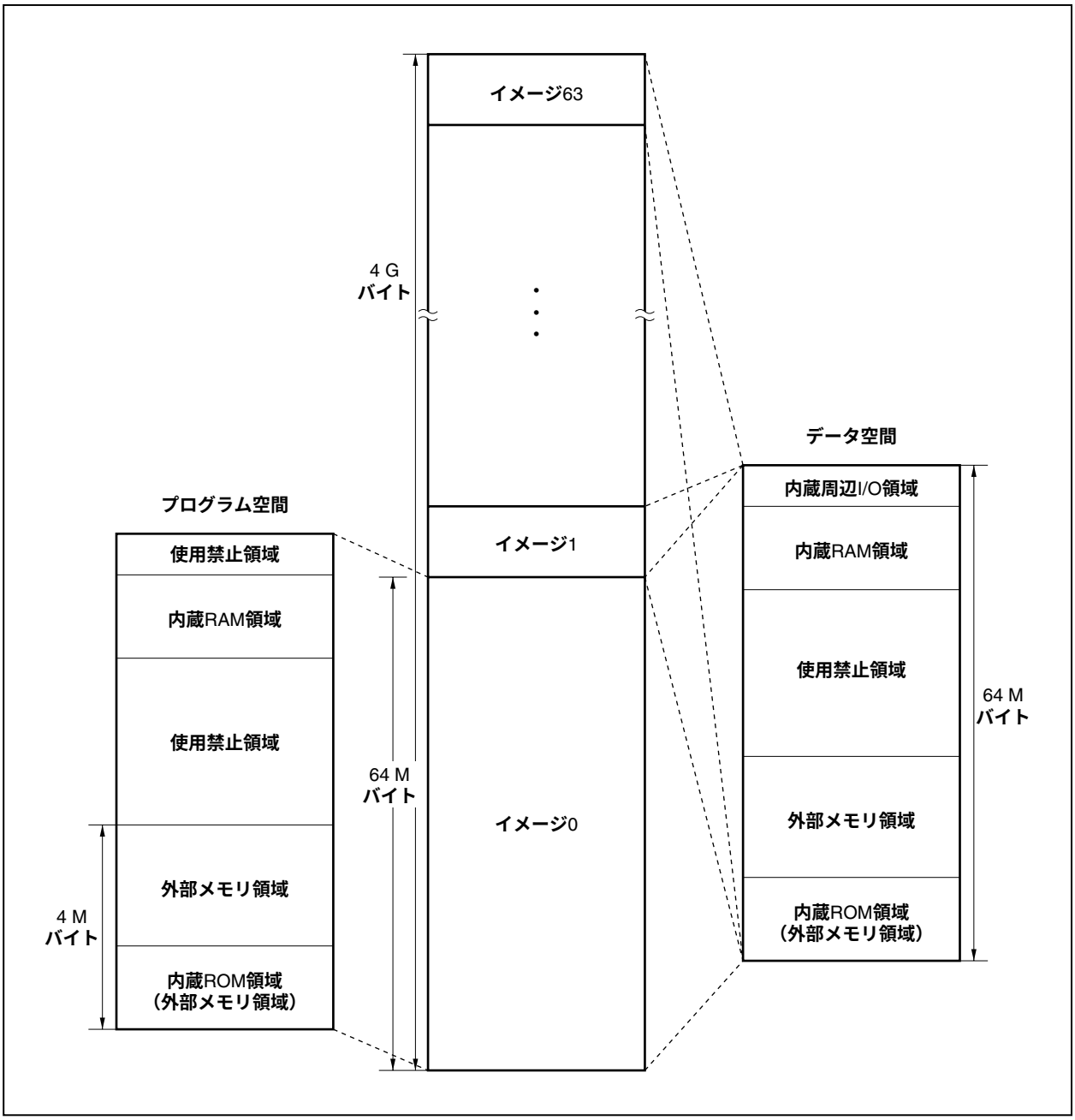
備考　H：ハイ・レベル
L：ロウ・レベル
×：任意

3. 4　アドレス空間

3. 4. 1　CPUアドレス空間

命令アドレスのアドレシングにおいては，最大で64 Mバイトのリニア・アドレス空間（プログラム空間）のうち最大4 Mバイトの外部メモリ領域および内蔵ROM領域と，内蔵RAM領域をサポートしています。オペランド・アドレシング（データ・アクセス）においては，最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。ただし，4 Gバイトのアドレス空間には64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり，ビット31-ビット26がどのような値でも，同じ64 Mバイトの物理アドレス空間をアクセスします。

図3－1　アドレス空間上のイメージ



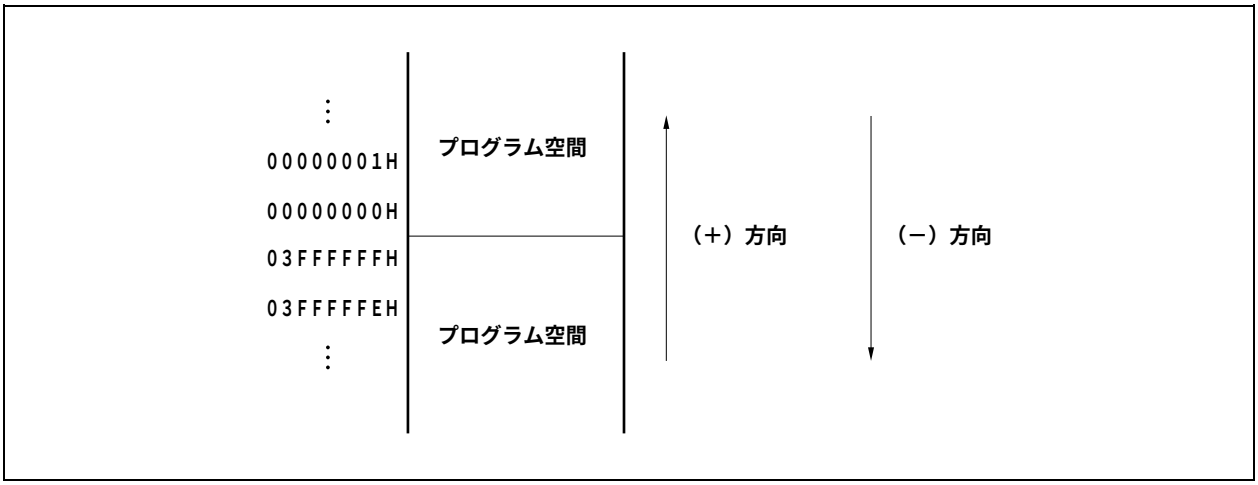
3. 4. 2　CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC（プログラム・カウンタ）は32ビットのうち上位6ビットが0固定で，下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって，プログラム空間の下限である00000000H番地と，上限の03FFFFFFH番地は連続したアドレスとなります。このようにメモリ空間の下限と上限が連続したアドレスになることをラップ・アラウンドといいます。

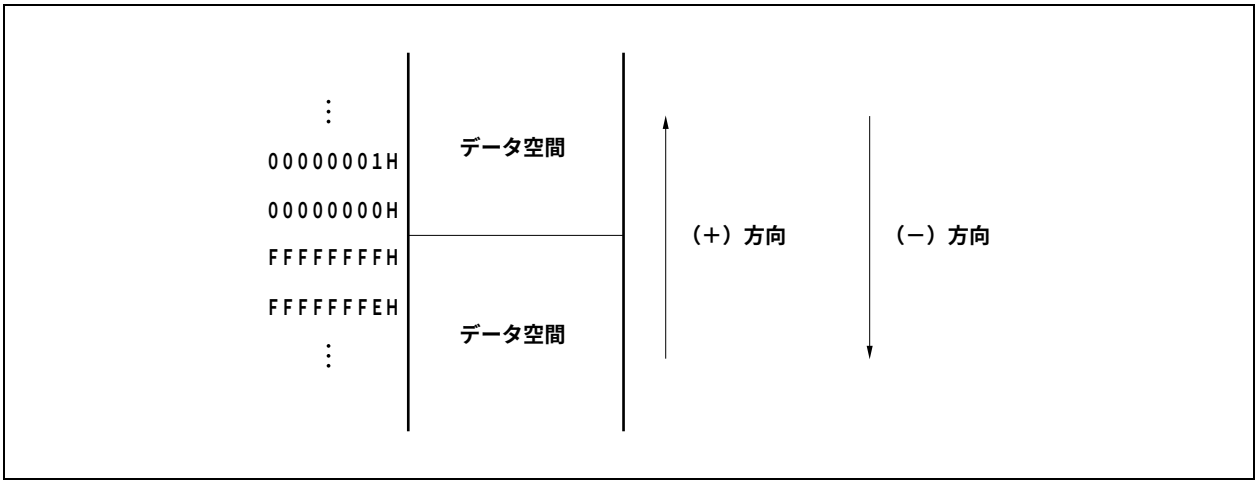
注意　03FFF000H-03FFFFFFHの4 Kバイトの領域は，内蔵周辺I/O領域のため，命令フェッチすることができません。したがって，分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

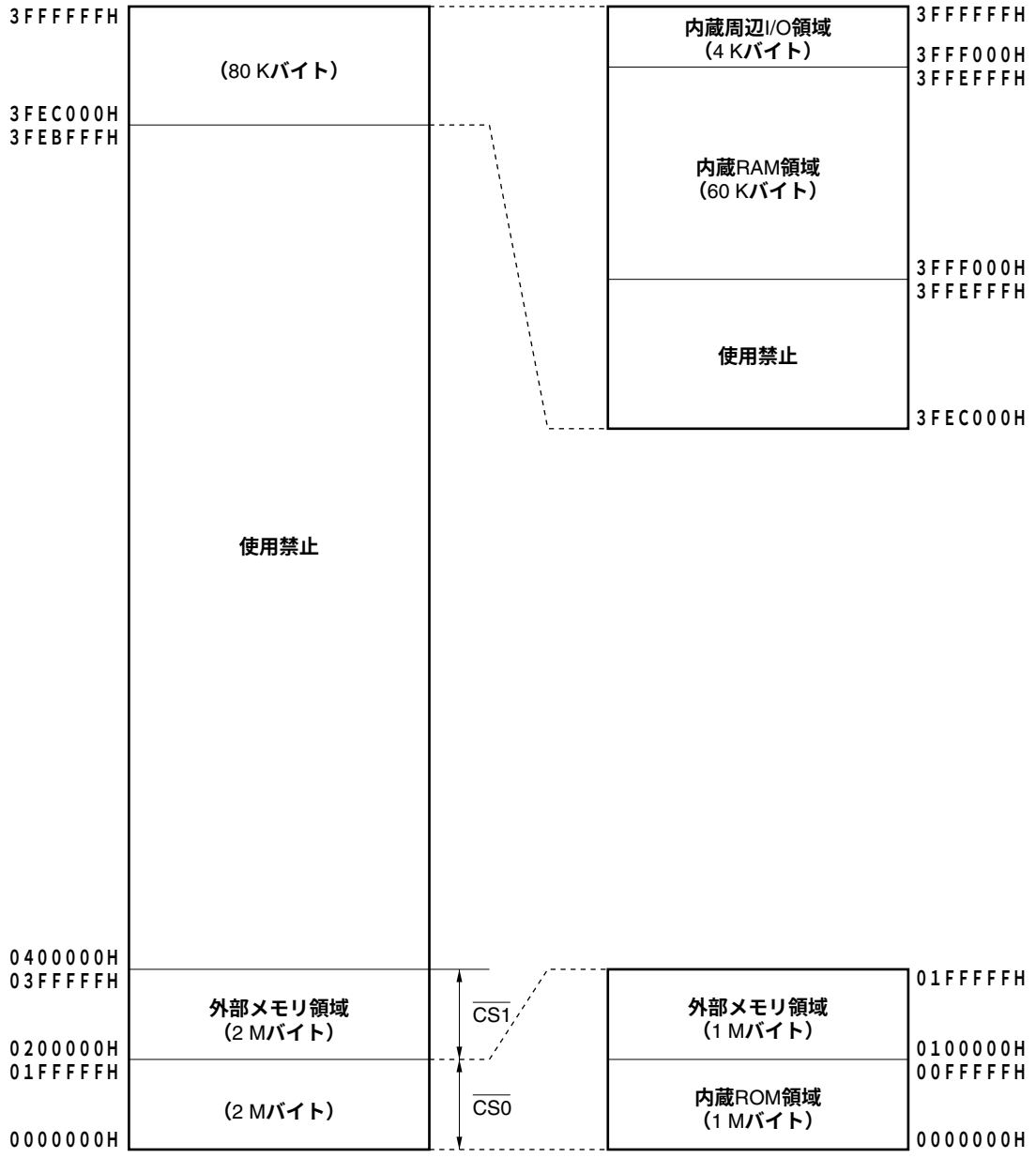
したがって，データ空間の下限である00000000H番地と，上限のFFFFFFFFH番地は連続したアドレスになり，この境界でラップ・アラウンドします。



3.4.3　メモリ・マップ

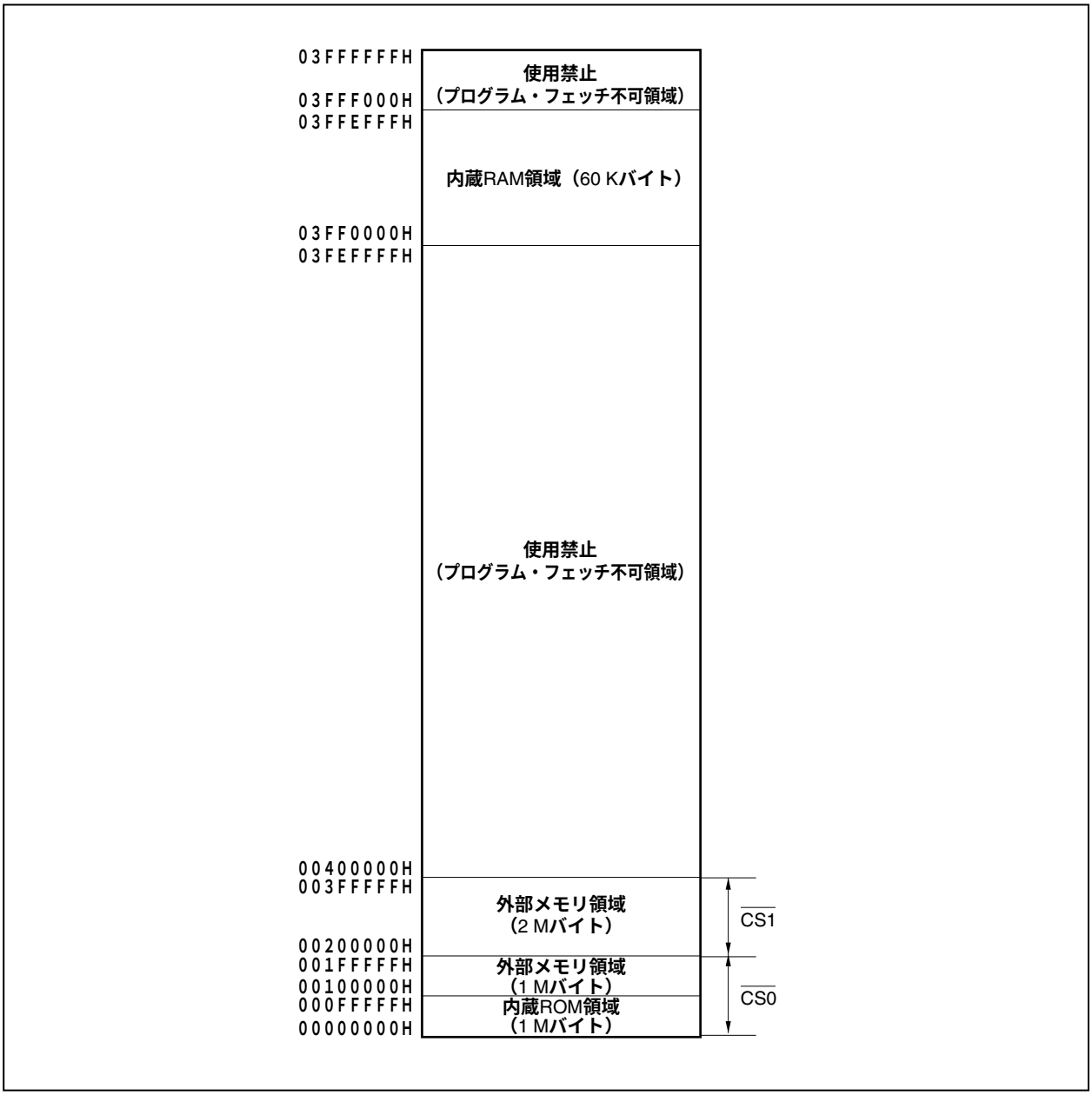
V850ES/KG1+では，次に示すように各領域を予約しています。

図3－2　データ・メモリ・マップ（物理アドレス）



注　0000000H-00FFFFFH番地へのフェッチ・アクセスおよび，リード・アクセスは内蔵ROM領域に対して行われますが，データ・ライト・アクセス時は，外部メモリ領域として行われます。

図3－3　プログラム・メモリ・マップ



3.4.4 領　　域

(1) 内蔵ROM領域

内蔵ROM領域は，0000000H-00FFFFFH番地の1 Mバイトが予約されています。

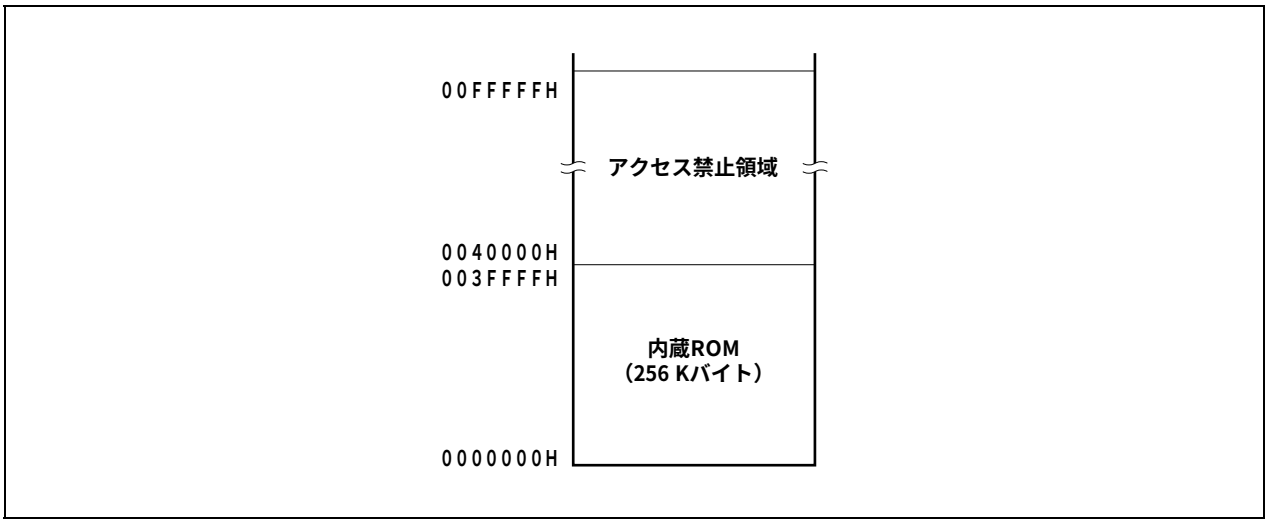
(a) 内蔵ROM（256 Kバイト）

次の製品には，0000000Hから003FFFFH番地に256 Kバイト実装しています。

0040000Hから00FFFFFH番地はアクセス禁止領域です。

・μPD703313, 703313Y, 70F3313, 70F3313Y

図3－4　内蔵ROM（256 Kバイト）



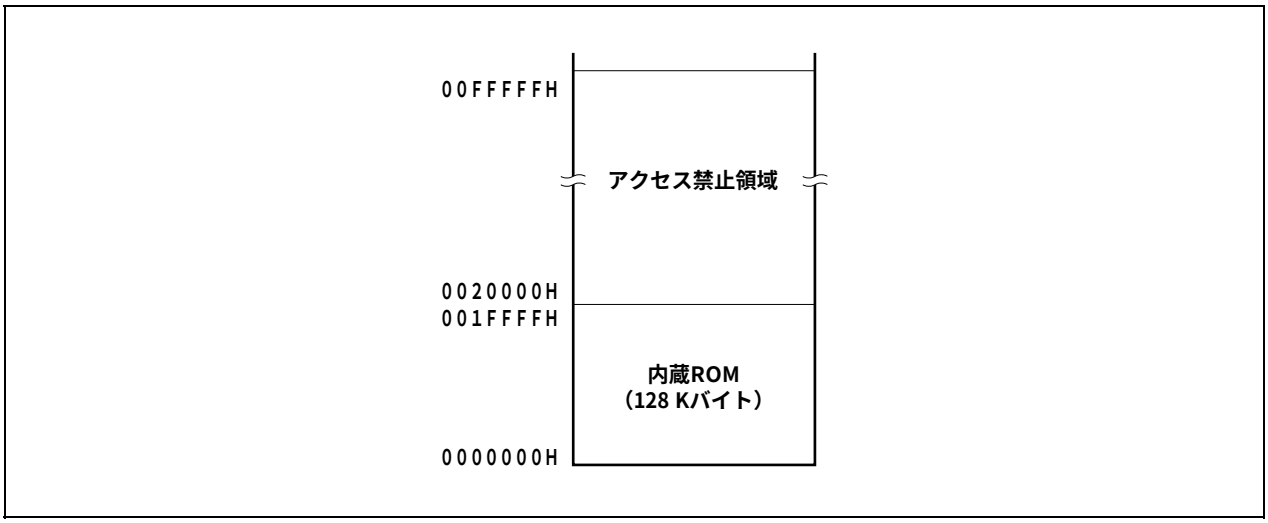
(b) 内蔵ROM（128 Kバイト）

次の製品には，0000000Hから001FFFFH番地に128 Kバイト実装しています。

0020000Hから00FFFFFH番地はアクセス禁止領域です。

・μPD70F3311, 70F3311Y

図3－5　内蔵ROM（128 Kバイト）



(2) 内蔵RAM領域

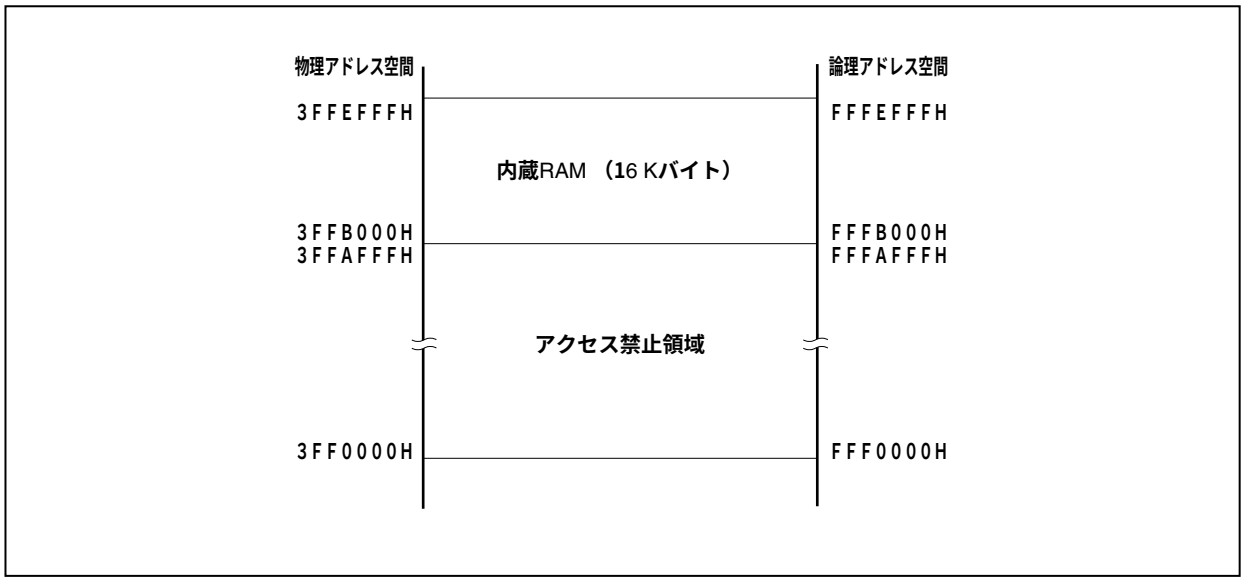
内蔵RAM領域は，3FF0000H-3FFEFFFH番地の最大60 Kバイトが予約されています。

(a) 内蔵RAM（16 Kバイト）

次の製品には，物理内蔵RAMとして3FFB000H-3FFEFFFH番地の16 Kバイトを実装しています。
3FF0000H-3FFAFFFH番地はアクセス禁止領域です。

- μPD703313, 703313Y, 70F3313, 70F3313Y

図3－6　内蔵RAM（16 Kバイト）

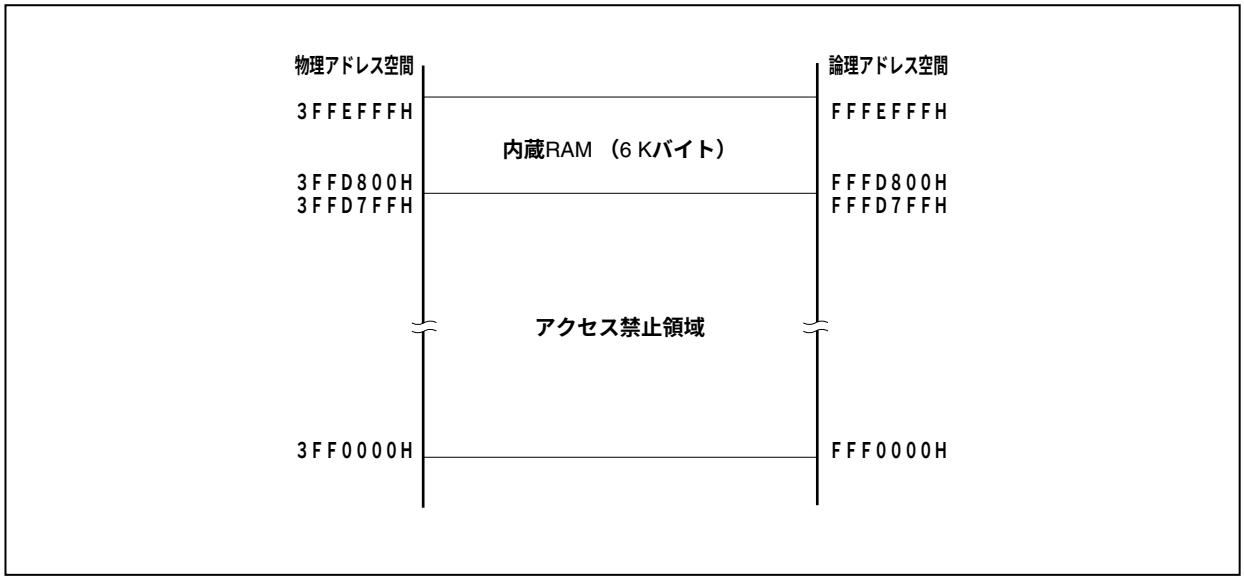


(b) 内蔵RAM（6 Kバイト）

次の製品には，物理内蔵RAMとして3FFD800H-3FFEFFFH番地の6 Kバイトを実装しています。
3FF0000H-3FFD7FFH番地はアクセス禁止領域です。

・μPD70F3311, 70F3311Y

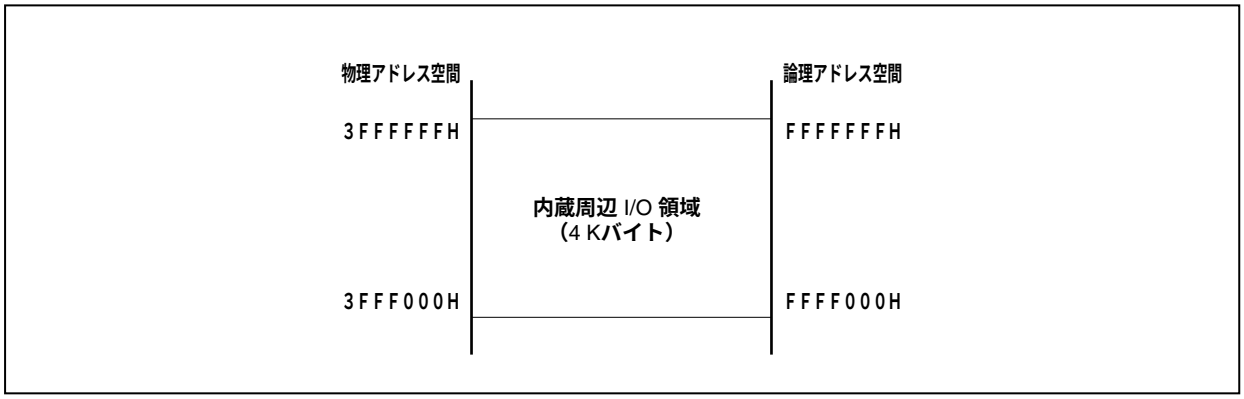
図3－7　内蔵RAM（6 Kバイト）



（3）内蔵周辺I/O領域

内蔵周辺I/O領域として3FFF000H-3FFFFFFH番地の4 Kバイトを予約しています。

図3－8　内蔵周辺I/O領域



内蔵周辺I/O領域には，内蔵周辺I/Oの動作モード指定，状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

注意1.　レジスタにワード・アクセスを行うと，アドレスの下位2ビットを無視したワード領域に対し下位，上位の順番でハーフワード・アクセスを2回行います。

2.　バイト・アクセス可能なレジスタにハーフワード・アクセスした場合，リード時は上位8ビットが不定になり，ライト時は下位8ビット・データがレジスタに書き込まれます。

3.　レジスタとして定義されていないアドレスは，将来の拡張用に予約されており，アクセスした場合の動作は不定であり，保証しません。

（4）外部メモリ領域

外部メモリ領域として3 Mバイト（0100000H-03FFFFFH）あります。詳細は第5章　バス制御機能を参照してください。

3.4.5　アドレス空間の推奨使用方法

V850ES/KG1+のアーキテクチャでは，データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには，命令から直接オペランド・データ・アクセスが行えます。しかし，ポインタ用レジスタとして使う汎用レジスタには限りがあるため，ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで，変数用の汎用レジスタを最大限に確保し，かつプログラム・サイズを抑えることができます。

(1) プログラム空間

PC（プログラム・カウンタ）は，32ビットのうち上位6ビットは0に固定であり，下位26ビットだけ有効となります。したがって，プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

内蔵RAM領域をプログラム空間として使用する場合は，次の番地に対してアクセスしてください。

RAMサイズ	アクセス番地
6 Kバイト	3FFD800H-3FFEFFFH
16 Kバイト	3FFB000H-3FFEFFFH

(2) データ空間

V850ES/KG1+では，4 GバイトのCPUアドレス空間に64 Mバイトの物理アドレス空間が64個のイメージとして見えるため，この26ビット・アドレスの最上位ビット（ビット25）を32ビット長まで符号拡張したアドレスとして割り当てています。

(a) ラップ・アラウンドを利用した応用例

LD/ST disp16 [R] 命令でR = r0（ゼロ・レジスタ）とした場合，符号拡張したdisp16により，00000000H番地±32 Kバイトの範囲がアドレシング可能です。内蔵ハードウエアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ（r0）はハードウエアでゼロ固定のレジスタであり，ポインタ専用に費やすレジスタは実質不要となります。

例　μPD703313, 703313Yの場合

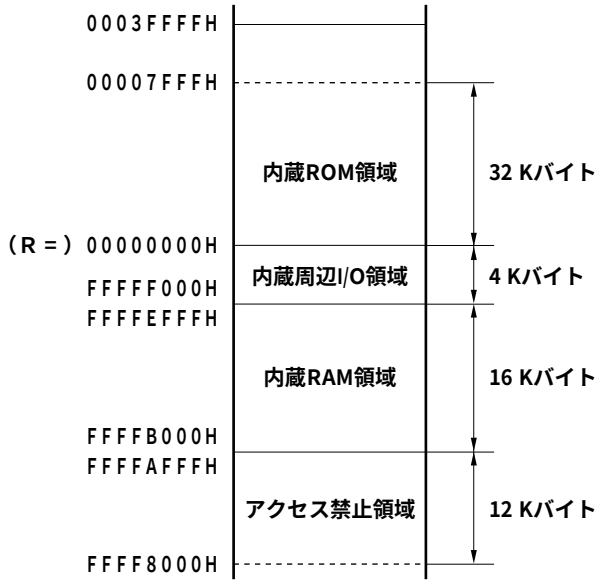
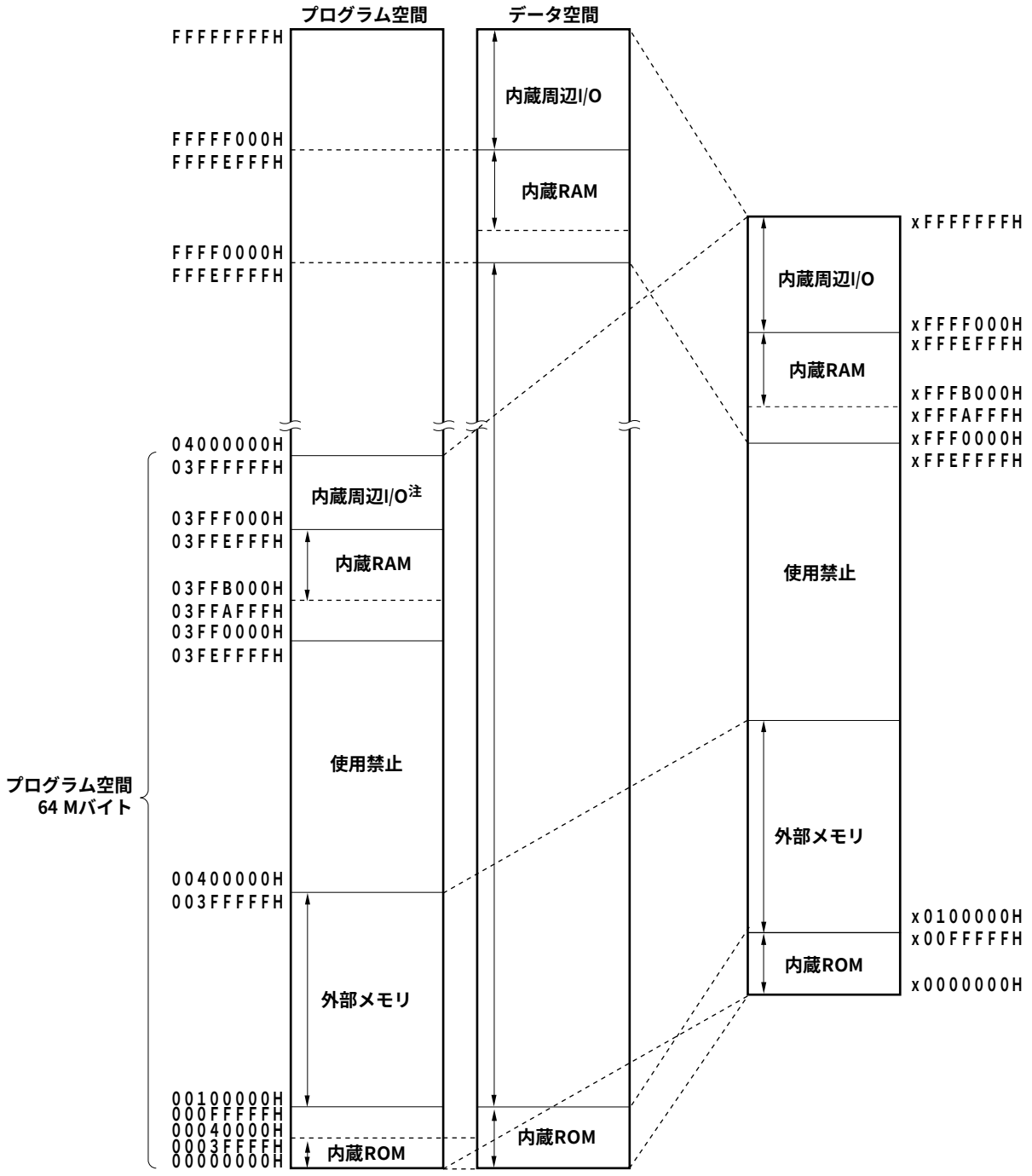


図3－9　推奨メモリ・マップ



注　この領域はアクセス禁止です。この領域の内蔵周辺I/Oをアクセスするときには FFFF000H-FFFFFFFH 番地を指定してください。

備考1.　↕は推奨使用領域です。

2.　この図はμPD703313, 703313Yの場合の推奨メモリ・マップです。

3.4.6　周辺I/Oレジスタ

(1/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF004H	ポートDLレジスタ	PDL	R/W			○	0000H注
FFFFF004H	ポートDLレジスタL	PDLL	R/W	○	○		00H注
FFFFF005H	ポートDLレジスタH	PDLH	R/W	○	○		00H注
FFFFF006H	ポートDHレジスタ	PDH	R/W	○	○		00H注
FFFFF008H	ポートCSレジスタ	PCS	R/W	○	○		00H注
FFFFF00AH	ポートCTレジスタ	PCT	R/W	○	○		00H注
FFFFF00CH	ポートCMレジスタ	PCM	R/W	○	○		00H注
FFFFF024H	ポートDLモード・レジスタ	PMDL	R/W			○	FFFFH
FFFFF024H	ポートDLモード・レジスタL	PMDLL	R/W	○	○		FFH
FFFFF025H	ポートDLモード・レジスタH	PMDLH	R/W	○	○		FFH
FFFFF026H	ポートDHモード・レジスタ	PMDH	R/W	○	○		FFH
FFFFF028H	ポートCSモード・レジスタ	PMCS	R/W	○	○		FFH
FFFFF02AH	ポートCTモード・レジスタ	PMCT	R/W	○	○		FFH
FFFFF02CH	ポートCMモード・レジスタ	PMCM	R/W	○	○		FFH
FFFFF044H	ポートDLモード・コントロール・レジスタ	PMCDL	R/W			○	0000H
FFFFF044H	ポートDLモード・コントロール・レジスタL	PMCDLL	R/W	○	○		00H
FFFFF045H	ポートDLモード・コントロール・レジスタH	PMCDLH	R/W	○	○		00H
FFFFF046H	ポートDHモード・コントロール・レジスタ	PMCDH	R/W	○	○		00H
FFFFF048H	ポートCSモード・コントロール・レジスタ	PMCCS	R/W	○	○		00H
FFFFF04AH	ポートCTモード・コントロール・レジスタ	PMCCT	R/W	○	○		00H
FFFFF04CH	ポートCMモード・コントロール・レジスタ	PMCCM	R/W	○	○		00H
FFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC	R/W			○	5555H
FFFFF06EH	システム・ウエイト・コントロール・レジスタ	VSWC	R/W	○	○		77H
FFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L	R/W			○	不定
FFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H	R/W			○	不定
FFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L	R/W			○	不定
FFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H	R/W			○	不定
FFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L	R/W			○	不定
FFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H	R/W			○	不定
FFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L	R/W			○	不定
FFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H	R/W			○	不定
FFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L	R/W			○	不定
FFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H	R/W			○	不定
FFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L	R/W			○	不定
FFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H	R/W			○	不定
FFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L	R/W			○	不定
FFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H	R/W			○	不定
FFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L	R/W			○	不定
FFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H	R/W			○	不定
FFFFF0C0H	DMA転送カウント・レジスタ0	DBC0	R/W			○	不定

注　出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

(2/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF0C2H	DMA転送カウント・レジスタ1	DBC1	R/W			○	不定
FFFFF0C4H	DMA転送カウント・レジスタ2	DBC2	R/W			○	不定
FFFFF0C6H	DMA転送カウント・レジスタ3	DBC3	R/W			○	不定
FFFFF0D0H	DMAアドレシング・コントロール・レジスタ0	DADC0	R/W			○	0000H
FFFFF0D2H	DMAアドレシング・コントロール・レジスタ1	DADC1	R/W			○	0000H
FFFFF0D4H	DMAアドレシング・コントロール・レジスタ2	DADC2	R/W			○	0000H
FFFFF0D6H	DMAアドレシング・コントロール・レジスタ3	DADC3	R/W			○	0000H
FFFFF0E0H	DMAチャネル・コントロール・レジスタ0	DCHC0	R/W	○	○		00H
FFFFF0E2H	DMAチャネル・コントロール・レジスタ1	DCHC1	R/W	○	○		00H
FFFFF0E4H	DMAチャネル・コントロール・レジスタ2	DCHC2	R/W	○	○		00H
FFFFF0E6H	DMAチャネル・コントロール・レジスタ3	DCHC3	R/W	○	○		00H
FFFFF100H	割り込みマスクレジスタ0	IMR0	R/W			○	FFFFH
FFFFF100H	割り込みマスクレジスタ0L	IMR0L	R/W	○	○		FFH
FFFFF101H	割り込みマスクレジスタ0H	IMR0H	R/W	○	○		FFH
FFFFF102H	割り込みマスクレジスタ1	IMR1	R/W			○	FFFFH
FFFFF102H	割り込みマスクレジスタ1L	IMR1L	R/W	○	○		FFH
FFFFF103H	割り込みマスクレジスタ1H	IMR1H	R/W	○	○		FFH
FFFFF104H	割り込みマスクレジスタ2	IMR2	R/W			○	FFFFH
FFFFF104H	割り込みマスクレジスタ2L	IMR2L	R/W	○	○		FFH
FFFFF105H	割り込みマスクレジスタ2H	IMR2H	R/W	○	○		FFH
FFFFF106H	割り込みマスク・レジスタ3	IMR3	R/W			○	FFFFH
FFFFF106H	割り込みマスク・レジスタ3L	IMR3L	R/W	○	○		FFH
FFFFF107H	割り込みマスク・レジスタ3H	IMR3H	R/W	○	○		FFH
FFFFF110H	割り込み制御レジスタ	WDT1IC	R/W	○	○		47H
FFFFF112H	割り込み制御レジスタ	PIC0	R/W	○	○		47H
FFFFF114H	割り込み制御レジスタ	PIC1	R/W	○	○		47H
FFFFF116H	割り込み制御レジスタ	PIC2	R/W	○	○		47H
FFFFF118H	割り込み制御レジスタ	PIC3	R/W	○	○		47H
FFFFF11AH	割り込み制御レジスタ	PIC4	R/W	○	○		47H
FFFFF11CH	割り込み制御レジスタ	PIC5	R/W	○	○		47H
FFFFF11EH	割り込み制御レジスタ	PIC6	R/W	○	○		47H
FFFFF120H	割り込み制御レジスタ	TM0IC00	R/W	○	○		47H
FFFFF122H	割り込み制御レジスタ	TM0IC01	R/W	○	○		47H
FFFFF124H	割り込み制御レジスタ	TM0IC10	R/W	○	○		47H
FFFFF126H	割り込み制御レジスタ	TM0IC11	R/W	○	○		47H
FFFFF128H	割り込み制御レジスタ	TM5IC0	R/W	○	○		47H
FFFFF12AH	割り込み制御レジスタ	TM5IC1	R/W	○	○		47H
FFFFF12CH	割り込み制御レジスタ	CSI0IC0	R/W	○	○		47H
FFFFF12EH	割り込み制御レジスタ	CSI0IC1	R/W	○	○		47H
FFFFF130H	割り込み制御レジスタ	SREIC0	R/W	○	○		47H
FFFFF132H	割り込み制御レジスタ	SRIC0	R/W	○	○		47H
FFFFF134H	割り込み制御レジスタ	STIC0	R/W	○	○		47H
FFFFF136H	割り込み制御レジスタ	SREIC1	R/W	○	○		47H

(3/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF138H	割り込み制御レジスタ	SRIC1	R/W	○	○		47H
FFFFF13AH	割り込み制御レジスタ	STIC1	R/W	○	○		47H
FFFFF13CH	割り込み制御レジスタ	TMHIC0	R/W	○	○		47H
FFFFF13EH	割り込み制御レジスタ	TMHIC1	R/W	○	○		47H
FFFFF140H	割り込み制御レジスタ	CSIAIC0	R/W	○	○		47H
FFFFF142H	割り込み制御レジスタ	IICIC0注	R/W	○	○		47H
FFFFF144H	割り込み制御レジスタ	ADIC	R/W	○	○		47H
FFFFF146H	割り込み制御レジスタ	KRIC	R/W	○	○		47H
FFFFF148H	割り込み制御レジスタ	WTIIC	R/W	○	○		47H
FFFFF14AH	割り込み制御レジスタ	WTIC	R/W	○	○		47H
FFFFF14CH	割り込み制御レジスタ	BRGIC	R/W	○	○		47H
FFFFF14EH	割り込み制御レジスタ	TM0IC20	R/W	○	○		47H
FFFFF150H	割り込み制御レジスタ	TM0IC21	R/W	○	○		47H
FFFFF152H	割り込み制御レジスタ	TM0IC30	R/W	○	○		47H
FFFFF154H	割り込み制御レジスタ	TM0IC31	R/W	○	○		47H
FFFFF156H	割り込み制御レジスタ	CSIAIC1	R/W	○	○		47H
FFFFF162H	割り込み制御レジスタ	SREIC2	R/W	○	○		47H
FFFFF164H	割り込み制御レジスタ	SRIC2	R/W	○	○		47H
FFFFF166H	割り込み制御レジスタ	STIC2	R/W	○	○		47H
FFFFF170H	割り込み制御レジスタ	LVIIC	R/W	○	○		47H
FFFFF172H	割り込み制御レジスタ	PIC7	R/W	○	○		47H
FFFFF174H	割り込み制御レジスタ	TP0OVIC	R/W	○	○		47H
FFFFF176H	割り込み制御レジスタ	TP0CCIC0	R/W	○	○		47H
FFFFF178H	割り込み制御レジスタ	TP0CCIC1	R/W	○	○		47H
FFFFF17AH	割り込み制御レジスタ	DMAIC0	R/W	○	○		47H
FFFFF17CH	割り込み制御レジスタ	DMAIC1	R/W	○	○		47H
FFFFF17EH	割り込み制御レジスタ	DMAIC2	R/W	○	○		47H
FFFFF180H	割り込み制御レジスタ	DMAIC3	R/W	○	○		47H
FFFFF1FAH	インサービス・プライオリティ・レジスタ	ISPR	R	○	○		00H
FFFFF1FCH	コマンド・レジスタ	PRCMD	W		○		不定
FFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W	○	○		00H
FFFFF200H	A/Dコンバータ・モード・レジスタ	ADM	R/W	○	○		00H
FFFFF201H	アナログ入力チャネル指定レジスタ	ADS	R/W	○	○		00H
FFFFF202H	パワー・フェイル比較モード・レジスタ	PFM	R/W	○	○		00H
FFFFF203H	パワー・フェイル比較しきい値レジスタ	PFT	R/W		○		00H
FFFFF204H	A/D変換結果レジスタ	ADCR	R			○	不定
FFFFF205H	A/D変換結果レジスタH	ADCRH	R		○		不定
FFFFF280H	D/A変換値設定レジスタ0	DACS0	R/W		○		00H
FFFFF282H	D/A変換値設定レジスタ1	DACS1	R/W		○		00H
FFFFF284H	D/Aコンバータ・モード・レジスタ	DAM	R/W	○	○		00H
FFFFF300H	キー・リターン・モード・レジスタ	KRM	R/W	○	○		00H
FFFFF308H	セレクタ動作制御レジスタ0	SELCNT0	R/W	○	○		00H

注　μPD703313Y, 70F3311Y, 70F3313Yのみ

(4/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF30AH	セレクタ動作制御レジスタ1	SELCNT1	R/W	○	○		00H
FFFFF318H	ディジタル・ノイズ除去制御レジスタ	NFC	R/W	○	○		00H
FFFFF400H	ポート0レジスタ	P0	R/W	○	○		00H注
FFFFF402H	ポート1レジスタ	P1	R/W	○	○		00H注
FFFFF406H	ポート3レジスタ	P3	R/W			○	0000H注
FFFFF406H	ポート3レジスタL	P3L	R/W	○	○		00H注
FFFFF407H	ポート3レジスタH	P3H	R/W	○	○		00H注
FFFFF408H	ポート4レジスタ	P4	R/W	○	○		00H注
FFFFF40AH	ポート5レジスタ	P5	R/W	○	○		00H注
FFFFF40EH	ポート7レジスタ	P7	R		○		不定
FFFFF412H	ポート9レジスタ	P9	R/W			○	0000H注
FFFFF412H	ポート9レジスタL	P9L	R/W	○	○		00H注
FFFFF413H	ポート9レジスタH	P9H	R/W	○	○		00H注
FFFFF420H	ポート0モード・レジスタ	PM0	R/W	○	○		FEH
FFFFF422H	ポート1モード・レジスタ	PM1	R/W	○	○		FFH
FFFFF426H	ポート3モード・レジスタ	PM3	R/W			○	FFFFH
FFFFF426H	ポート3モード・レジスタL	PM3L	R/W	○	○		FFH
FFFFF427H	ポート3モード・レジスタH	PM3H	R/W	○	○		FFH
FFFFF428H	ポート4モード・レジスタ	PM4	R/W	○	○		FFH
FFFFF42AH	ポート5モード・レジスタ	PM5	R/W	○	○		FFH
FFFFF432H	ポート9モード・レジスタ	PM9	R/W			○	FFFFH
FFFFF432H	ポート9モード・レジスタL	PM9L	R/W	○	○		FFH
FFFFF433H	ポート9モード・レジスタH	PM9H	R/W	○	○		FFH
FFFFF440H	ポート0モード・コントロール・レジスタ	PMC0	R/W	○	○		00H
FFFFF446H	ポート3モード・コントロール・レジスタ	PMC3	R/W			○	0000H
FFFFF446H	ポート3モード・コントロール・レジスタL	PMC3L	R/W	○	○		00H
FFFFF447H	ポート3モード・コントロール・レジスタH	PMC3H	R/W	○	○		00H
FFFFF448H	ポート4モード・コントロール・レジスタ	PMC4	R/W	○	○		00H
FFFFF44AH	ポート5モード・コントロール・レジスタ	PMC5	R/W	○	○		00H
FFFFF452H	ポート9モード・コントロール・レジスタ	PMC9	R/W			○	0000H
FFFFF452H	ポート9モード・コントロール・レジスタL	PMC9L	R/W	○	○		00H
FFFFF453H	ポート9モード・コントロール・レジスタH	PMC9H	R/W	○	○		00H
FFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3	R/W	○	○		00H
FFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4	R/W	○	○		00H
FFFFF46AH	ポート5ファンクション・コントロール・レジスタ	PFC5	R/W	○	○		00H
FFFFF472H	ポート9ファンクション・コントロール・レジスタ	PFC9	R/W			○	0000H
FFFFF472H	ポート9ファンクション・コントロール・レジスタL	PFC9L	R/W	○	○		00H
FFFFF473H	ポート9ファンクション・コントロール・レジスタH	PFC9H	R/W	○	○		00H
FFFFF484H	データ・ウエイト制御レジスタ0	DWC0	R/W			○	7777H
FFFFF488H	アドレス・ウエイト制御レジスタ	AWC	R/W			○	FFFFH
FFFFF48AH	バス・サイクル制御レジスタ	BCC	R/W			○	AAAAH
FFFFF580H	8ビット・タイマHモード・レジスタ0	TMHMD0	R/W	○	○		00H

注　出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

(5/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF581H	8ビット・タイマHキャリア・コントロール・レジスタ0	TMCYC0	R/W	○	○		00H
FFFFF582H	8ビット・タイマHコンペア・レジスタ00	CMP00	R/W		○		00H
FFFFF583H	8ビット・タイマHコンペア・レジスタ01	CMP01	R/W		○		00H
FFFFF590H	8ビット・タイマHモード・レジスタ1	TMHMD1	R/W	○	○		00H
FFFFF591H	8ビット・タイマHキャリア・コントロール・レジスタ1	TMCYC1	R/W	○	○		00H
FFFFF592H	8ビット・タイマHコンペア・レジスタ10	CMP10	R/W		○		00H
FFFFF593H	8ビット・タイマHコンペア・レジスタ11	CMP11	R/W		○		00H
FFFFF5A0H	TMP0制御レジスタ0	TP0CTL0	R/W	○	○		00H
FFFFF5A1H	TMP0制御レジスタ1	TP0CTL1	R/W	○	○		00H
FFFFF5A2H	TMP0I/O制御レジスタ0	TP0IOC0	R/W	○	○		00H
FFFFF5A3H	TMP0I/O制御レジスタ1	TP0IOC1	R/W	○	○		00H
FFFFF5A4H	TMP0I/O制御レジスタ2	TP0IOC2	R/W	○	○		00H
FFFFF5A5H	TMP0オプション・レジスタ0	TP0OPT0	R/W	○	○		00H
FFFFF5A6H	TMP0キャプチャ／コンペア・レジスタ0	TP0CCR0	R/W			○	0000H
FFFFF5A8H	TMP0キャプチャ／コンペア・レジスタ1	TP0CCR1	R/W			○	0000H
FFFFF5AAH	TMP0カウンタ・リード・バッファ・レジスタ	TP0CNT	R			○	0000H
FFFFF5C0H	16ビット・タイマ・カウンタ5	TM5	R			○	0000H
FFFFF5C0H	8ビット・タイマ・カウンタ50	TM50	R		○		00H
FFFFF5C1H	8ビット・タイマ・カウンタ51	TM51	R		○		00H
FFFFF5C2H	16ビット・タイマ・コンペア・レジスタ5	CR5	R/W			○	0000H
FFFFF5C2H	8ビット・タイマ・コンペア・レジスタ50	CR50	R/W		○		00H
FFFFF5C3H	8ビット・タイマ・コンペア・レジスタ51	CR51	R/W		○		00H
FFFFF5C4H	タイマ・クロック選択レジスタ5	TCL5	R/W			○	0000H
FFFFF5C4H	タイマ・クロック選択レジスタ50	TCL50	R/W		○		00H
FFFFF5C5H	タイマ・クロック選択レジスタ51	TCL51	R/W		○		00H
FFFFF5C6H	16ビット・タイマ・モード・コントロール・レジスタ5	TMC5	R/W			○	0000H
FFFFF5C6H	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50	R/W	○	○		00H
FFFFF5C7H	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51	R/W	○	○		00H
FFFFF600H	16ビット・タイマ・カウンタ00	TM00	R			○	0000H
FFFFF602H	16ビット・タイマ・キャプチャ／コンペア・レジスタ000	CR000	R/W			○	0000H
FFFFF604H	16ビット・タイマ・キャプチャ／コンペア・レジスタ001	CR001	R/W			○	0000H
FFFFF606H	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00	R/W	○	○		00H
FFFFF607H	プリスケーラ・モード・レジスタ00	PRM00	R/W	○	○		00H
FFFFF608H	キャプチャ／コンペア・コントロール・レジスタ00	CRC00	R/W	○	○		00H
FFFFF609H	16ビット・タイマ出力コントロール・レジスタ00	TOC00	R/W	○	○		00H
FFFFF610H	16ビット・タイマ・カウンタ01	TM01	R			○	0000H
FFFFF612H	16ビット・タイマ・キャプチャ／コンペア・レジスタ010	CR010	R/W			○	0000H
FFFFF614H	16ビット・タイマ・キャプチャ／コンペア・レジスタ011	CR011	R/W			○	0000H
FFFFF616H	16ビット・タイマ・モード・コントロール・レジスタ01	TMC01	R/W	○	○		00H
FFFFF617H	プリスケーラ・モード・レジスタ01	PRM01	R/W	○	○		00H
FFFFF618H	キャプチャ／コンペア・コントロール・レジスタ01	CRC01	R/W	○	○		00H
FFFFF619H	16ビット・タイマ出力コントロール・レジスタ01	TOC01	R/W	○	○		00H
FFFFF620H	16ビット・タイマ・カウンタ02	TM02	R			○	0000H

(6/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF622H	16ビット・タイマ・キャプチャ／コンペア・レジスタ020	CR020	R/W			○	0000H
FFFFF624H	16ビット・タイマ・キャプチャ／コンペア・レジスタ021	CR021	R/W			○	0000H
FFFFF626H	16ビット・タイマ・モード・コントロール・レジスタ02	TMC02	R/W	○	○		00H
FFFFF627H	プリスケーラ・モード・レジスタ02	PRM02	R/W	○	○		00H
FFFFF628H	キャプチャ／コンペア・コントロール・レジスタ02	CRC02	R/W	○	○		00H
FFFFF629H	16ビット・タイマ出力コントロール・レジスタ02	TOC02	R/W	○	○		00H
FFFFF630H	16ビット・タイマ・カウンタ03	TM03	R			○	0000H
FFFFF632H	16ビット・タイマ・キャプチャ／コンペア・レジスタ030	CR030	R/W			○	0000H
FFFFF634H	16ビット・タイマ・キャプチャ／コンペア・レジスタ031	CR031	R/W			○	0000H
FFFFF636H	16ビット・タイマ・モード・コントロール・レジスタ03	TMC03	R/W	○	○		00H
FFFFF637H	プリスケーラ・モード・レジスタ03	PRM03	R/W	○	○		00H
FFFFF638H	キャプチャ／コンペア・コントロール・レジスタ03	CRC03	R/W	○	○		00H
FFFFF639H	16ビット・タイマ出力コントロール・レジスタ03	TOC03	R/W	○	○		00H
FFFFF680H	時計タイマ動作モード・レジスタ	WTM	R/W	○	○		00H
FFFFF6C0H	発振安定時間選択レジスタ	OSTS	R/W		○		注
FFFFF6C1H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS	R/W		○		00H
FFFFF6C2H	ウォッチドッグ・タイマ・モード・レジスタ1	WDTM1	R/W	○	○		00H
FFFFF6D0H	ウォッチドッグ・タイマ・モード・レジスタ2	WDTM2	R/W		○		67H
FFFFF6D1H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W		○		9AH
FFFFF6E0H	リアルタイム出力バッファ・レジスタL0	RTBL0	R/W	○	○		00H
FFFFF6E2H	リアルタイム出力バッファ・レジスタH0	RTBH0	R/W	○	○		00H
FFFFF6E4H	リアルタイム出力ポート・モード・レジスタ0	RTPM0	R/W	○	○		00H
FFFFF6E5H	リアルタイム出力ポート・コントロール・レジスタ0	RTPC0	R/W	○	○		00H
FFFFF706H	ポート3ファンクション・コントロール拡張レジスタ	PFCE3	R/W	○	○		00H
FFFFF802H	システム・ステータス・レジスタ	SYS	R/W	○	○		00H
FFFFF806H	PLLコントロール・レジスタ	PLLCTL	R/W	○	○		01H
FFFFF80CH	内蔵発振モード・レジスタ	RCM	R/W	○	○		00H
FFFFF810H	DMAトリガ要因レジスタ0	DTFR0	R/W	○	○		00H
FFFFF812H	DMAトリガ要因レジスタ1	DTFR1	R/W	○	○		00H
FFFFF814H	DMAトリガ要因レジスタ2	DTFR2	R/W	○	○		00H

注　オプション・バイトまたはマスク・オプション設定により00Hまたは，01Hに設定可能です。
詳細は第30章　マスク・オプション／オプション・バイトを参照してください。

(7/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFF816H	DMAトリガ要因レジスタ3	DTFR3	R/W	○	○			00H
FFFFF820H	パワー・セーブ・モード・レジスタ	PSMR	R/W	○	○			00H
FFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W	○	○			03H
FFFFF82EH	CPU動作クロック・ステータス・レジスタ	CCLS	R	○	○			00H
FFFFF840H	コレクション・アドレス・レジスタ0	CORAD0	R/W				○	00000000H
FFFFF840H	コレクション・アドレス・レジスタ0L	CORAD0L	R/W			○		0000H
FFFFF842H	コレクション・アドレス・レジスタ0H	CORAD0H	R/W			○		0000H
FFFFF844H	コレクション・アドレス・レジスタ1	CORAD1	R/W				○	00000000H
FFFFF844H	コレクション・アドレス・レジスタ1L	CORAD1L	R/W			○		0000H
FFFFF846H	コレクション・アドレス・レジスタ1H	CORAD1H	R/W			○		0000H
FFFFF848H	コレクション・アドレス・レジスタ2	CORAD2	R/W				○	00000000H
FFFFF848H	コレクション・アドレス・レジスタ2L	CORAD2L	R/W			○		0000H
FFFFF84AH	コレクション・アドレス・レジスタ2H	CORAD2H	R/W			○		0000H
FFFFF84CH	コレクション・アドレス・レジスタ3	CORAD3	R/W				○	00000000H
FFFFF84CH	コレクション・アドレス・レジスタ3L	CORAD3L	R/W			○		0000H
FFFFF84EH	コレクション・アドレス・レジスタ3H	CORAD3H	R/W			○		0000H
FFFFF860H	リセット・ノイズ除去コントロール・レジスタ	RNZC	R/W		○			00H
FFFFF870H	クロック・モニタ・モード・レジスタ	CLM	R/W	○	○			00H
FFFFF880H	コレクション・コントロール・レジスタ	CORCN	R/W	○	○			00H
FFFFF888H	リセット要因フラグ・レジスタ	RESF	R/W	○	○			注
FFFFF890H	低電圧検出レジスタ	LVIM	R/W	○	○			00H
FFFFF891H	低電圧検出レベル選択レジスタ	LVIS	R/W		○			00H
FFFFF8B0H	インターバル・タイマBRGモード・レジスタ	PRSM	R/W		○			00H
FFFFF8B1H	インターバル・タイマBRGコンペア・レジスタ	PRSCM	R/W		○			00H
FFFFFA00H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0	R/W	○	○			01H
FFFFFA02H	受信バッファ・レジスタ0	RXB0	R		○			FFH
FFFFFA03H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0	R		○			00H
FFFFFA04H	送信バッファ・レジスタ0	TXB0	R/W		○			FFH
FFFFFA05H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0	ASIF0	R	○	○			00H
FFFFFA06H	クロック選択レジスタ0	CKSR0	R/W		○			00H
FFFFFA07H	ボー・レート・ジェネレータ・コントロール・レジスタ0	BRGC0	R/W		○			FFH
FFFFFA08H	LIN動作制御レジスタ0	ASICL0	R/W	○	○			16H
FFFFFA10H	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	ASIM1	R/W	○	○			01H
FFFFFA12H	受信バッファ・レジスタ1	RXB1	R		○			FFH
FFFFFA13H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	ASIS1	R		○			00H
FFFFFA14H	送信バッファ・レジスタ1	TXB1	R/W		○			FFH
FFFFFA15H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ1	ASIF1	R	○	○			00H
FFFFFA16H	クロック選択レジスタ1	CKSR1	R/W		○			00H
FFFFFA17H	ボー・レート・ジェネレータ・コントロール・レジスタ1	BRGC1	R/W		○			FFH
FFFFFA20H	アシンクロナス・シリアル・インタフェース・モード・レジスタ2	ASIM2	R/W	○	○			01H
FFFFFA22H	受信バッファ・レジスタ2	RXB2	R		○			FFH

注　リセット要因により異なります（24. 3（1）リセット要因フラグ・レジスタ（RESF）参照）

(8/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFA23H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	ASIS2	R		○		00H
FFFFFA24H	送信バッファ・レジスタ2	TXB2	R/W		○		FFH
FFFFFA25H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ2	ASIF2	R	○	○		00H
FFFFFA26H	クロック選択レジスタ2	CKSR2	R/W		○		00H
FFFFFA27H	ボー・レート・ジェネレータ・コントロール・レジスタ2	BRGC2	R/W		○		FFH
FFFFFB00H	TIP00ノイズ除去制御レジスタ	P0NFC	R/W	○	○		00H
FFFFFB04H	TIP01ノイズ除去制御レジスタ	P1NFC	R/W	○	○		00H
FFFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0	R/W	○	○		00H
FFFFFC06H	外部割り込み立ち下がりエッジ指定レジスタ3	INTF3	R/W	○	○		00H
FFFFFC13H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTF9H	R/W	○	○		00H
FFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0	R/W	○	○		00H
FFFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3	INTR3	R/W	○	○		00H
FFFFFC33H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTR9H	R/W	○	○		00H
FFFFFC40H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○		00H
FFFFFC42H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○		00H
FFFFFC46H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○		00H
FFFFFC48H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○		00H
FFFFFC4AH	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○		00H
FFFFFC52H	プルアップ抵抗オプション・レジスタ9	PU9	R/W			○	0000H
FFFFFC52H	プルアップ抵抗オプション・レジスタ9L	PU9L	R/W	○	○		00H
FFFFFC53H	プルアップ抵抗オプション・レジスタ9H	PU9H	R/W	○	○		00H
FFFFFC67H	ポート3ファンクション・レジスタH	PF3H	R/W	○	○		00H
FFFFFC68H	ポート4ファンクション・レジスタ	PF4	R/W	○	○		00H
FFFFFC6AH	ポート5ファンクション・レジスタ	PF5	R/W	○	○		00H
FFFFFC73H	ポート9ファンクション・レジスタH	PF9H	R/W	○	○		00H
FFFFFD00H	クロック同期式シリアル・インタフェース・モード・レジスタ00	CSIM00	R/W	○	○		00H
FFFFFD01H	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSIC0	R/W	○	○		00H
FFFFFD02H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ0	SIRB0	R			○	0000H
FFFFFD02H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ0L	SIRB0L	R		○		00H
FFFFFD04H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0	SOTB0	R/W			○	0000H
FFFFFD04H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0L	SOTB0L	R/W		○		00H
FFFFFD06H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0	SIRBE0	R			○	0000H
FFFFFD06H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0L	SIRBE0L	R		○		00H
FFFFFD08H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0	SOTBF0	R/W			○	0000H
FFFFFD08H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0L	SOTBF0L	R/W		○		00H
FFFFFD0AH	シリアルI/Oシフト・レジスタ0	SIO00	R/W			○	00H
FFFFFD0AH	シリアルI/Oシフト・レジスタ0L	SIO00L	R/W		○		0000H
FFFFFD10H	クロック同期式シリアル・インタフェース・モード・レジスタ01	CSIM01	R/W	○	○		00H
FFFFFD11H	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSIC1	R/W	○	○		00H
FFFFFD12H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ1	SIRB1	R			○	0000H
FFFFFD12H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ1L	SIRB1L	R		○		00H
FFFFFD14H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1	SOTB1	R/W			○	0000H
FFFFFD14H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1L	SOTB1L	R/W		○		00H

(9/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFD16H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ1	SIRBE1	R			○	0000H
FFFFFD16H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ1L	SIRBE1L	R		○		00H
FFFFFD18H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ1	SOTBF1	R/W			○	0000H
FFFFFD18H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ1L	SOTBF1L	R/W		○		00H
FFFFFD1AH	シリアルI/Oシフト・レジスタ1	SIO01	R/W			○	00H
FFFFFD1AH	シリアルI/Oシフト・レジスタ1L	SIO01L	R/W		○		0000H
FFFFFD40H	シリアル動作モード指定レジスタ0	CSIMA0	R/W	○	○		00H
FFFFFD41H	シリアル・ステータス・レジスタ0	CSIS0	R/W	○	○		00H
FFFFFD42H	シリアル・トリガ・レジスタ0	CSIT0	R/W	○	○		00H
FFFFFD43H	分周値選択レジスタ0	BRGCA0	R/W		○		03H
FFFFFD44H	自動データ転送アドレス・ポイント指定レジスタ0	ADTP0	R/W		○		00H
FFFFFD45H	自動データ転送間隔指定レジスタ0	ADTI0	R/W	○	○		00H
FFFFFD46H	シリアルI/Oシフト・レジスタA0	SIOA0	R/W		○		00H
FFFFFD47H	自動データ転送アドレス・カウント・レジスタ0	ADTC0	R		○		00H
FFFFFD50H	シリアル動作モード指定レジスタ1	CSIMA1	R/W	○	○		00H
FFFFFD51H	シリアル・ステータス・レジスタ1	CSIS1	R/W	○	○		00H
FFFFFD52H	シリアル・トリガ・レジスタ1	CSIT1	R/W	○	○		00H
FFFFFD53H	分周値選択レジスタ1	BRGCA1	R/W		○		03H
FFFFFD54H	自動データ転送アドレス・ポイント指定レジスタ1	ADTP1	R/W		○		00H
FFFFFD55H	自動データ転送間隔指定レジスタ1	ADTI1	R/W	○	○		00H
FFFFFD56H	シリアルI/Oシフト・レジスタA1	SIOA1	R/W		○		00H
FFFFFD57H	自動データ転送アドレス・カウント・レジスタ1	ADTC1	R		○		00H
FFFFFD80H	IICシフト・レジスタ0	IIC0注	R/W		○		00H
FFFFFD82H	IICコントロール・レジスタ0	IICC0注	R/W	○	○		00H
FFFFFD83H	スレーブ・アドレス・レジスタ0	SVA0注	R/W		○		00H
FFFFFD84H	IICクロック選択レジスタ0	IICCL0注	R/W	○	○		00H
FFFFFD85H	IIC機能拡張レジスタ0	IICX0注	R/W	○	○		00H
FFFFFD86H	IIC状態レジスタ0	IICS0注	R	○	○		00H
FFFFFD8AH	IICフラグ・レジスタ0	IICF0注	R/W	○	○		00H
FFFFFE00H	CSIA0バッファRAM0	CSIA0B0	R/W			○	不定
FFFFFE00H	CSIA0バッファRAM0L	CSIA0B0L	R/W		○		不定
FFFFFE01H	CSIA0バッファRAM0H	CSIA0B0H	R/W		○		不定
FFFFFE02H	CSIA0バッファRAM1	CSIA0B1	R/W			○	不定
FFFFFE02H	CSIA0バッファRAM1L	CSIA0B1L	R/W		○		不定
FFFFFE03H	CSIA0バッファRAM1H	CSIA0B1H	R/W		○		不定
FFFFFE04H	CSIA0バッファRAM2	CSIA0B2	R/W			○	不定
FFFFFE04H	CSIA0バッファRAM2L	CSIA0B2L	R/W		○		不定
FFFFFE05H	CSIA0バッファRAM2H	CSIA0B2H	R/W		○		不定
FFFFFE06H	CSIA0バッファRAM3	CSIA0B3	R/W			○	不定
FFFFFE06H	CSIA0バッファRAM3L	CSIA0B3L	R/W		○		不定
FFFFFE07H	CSIA0バッファRAM3H	CSIA0B3H	R/W		○		不定

注　μPD703313Y, 70F3311Y, 70F3313Yのみ

(10/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFE08H	CSIA0バッファRAM4	CSIA0B4	R/W			○	不定
FFFFFE08H	CSIA0バッファRAM4L	CSIA0B4L	R/W		○		不定
FFFFFE09H	CSIA0バッファRAM4H	CSIA0B4H	R/W		○		不定
FFFFFE0AH	CSIA0バッファRAM5	CSIA0B5	R/W			○	不定
FFFFFE0AH	CSIA0バッファRAM5L	CSIA0B5L	R/W		○		不定
FFFFFE0BH	CSIA0バッファRAM5H	CSIA0B5H	R/W		○		不定
FFFFFE0CH	CSIA0バッファRAM6	CSIA0B6	R/W			○	不定
FFFFFE0CH	CSIA0バッファRAM6L	CSIA0B6L	R/W		○		不定
FFFFFE0DH	CSIA0バッファRAM6H	CSIA0B6H	R/W		○		不定
FFFFFE0EH	CSIA0バッファRAM7	CSIA0B7	R/W			○	不定
FFFFFE0EH	CSIA0バッファRAM7L	CSIA0B7L	R/W		○		不定
FFFFFE0FH	CSIA0バッファRAM7H	CSIA0B7H	R/W		○		不定
FFFFFE10H	CSIA0バッファRAM8	CSIA0B8	R/W			○	不定
FFFFFE10H	CSIA0バッファRAM8L	CSIA0B8L	R/W		○		不定
FFFFFE11H	CSIA0バッファRAM8H	CSIA0B8H	R/W		○		不定
FFFFFE12H	CSIA0バッファRAM9	CSIA0B9	R/W			○	不定
FFFFFE12H	CSIA0バッファRAM9L	CSIA0B9L	R/W		○		不定
FFFFFE13H	CSIA0バッファRAM9H	CSIA0B9H	R/W		○		不定
FFFFFE14H	CSIA0バッファRAMA	CSIA0BA	R/W			○	不定
FFFFFE14H	CSIA0バッファRAMAL	CSIA0BAL	R/W		○		不定
FFFFFE15H	CSIA0バッファRAMAH	CSIA0BAH	R/W		○		不定
FFFFFE16H	CSIA0バッファRAMB	CSIA0BB	R/W			○	不定
FFFFFE16H	CSIA0バッファRAMBL	CSIA0BBL	R/W		○		不定
FFFFFE17H	CSIA0バッファRAMBH	CSIA0BBH	R/W		○		不定
FFFFFE18H	CSIA0バッファRAMC	CSIA0BC	R/W			○	不定
FFFFFE18H	CSIA0バッファRAMCL	CSIA0BCL	R/W		○		不定
FFFFFE19H	CSIA0バッファRAMCH	CSIA0BCH	R/W		○		不定
FFFFFE1AH	CSIA0バッファRAMD	CSIA0BD	R/W			○	不定
FFFFFE1AH	CSIA0バッファRAMDL	CSIA0BDL	R/W		○		不定
FFFFFE1BH	CSIA0バッファRAMDH	CSIA0BDH	R/W		○		不定
FFFFFE1CH	CSIA0バッファRAME	CSIA0BE	R/W			○	不定
FFFFFE1CH	CSIA0バッファRAMEL	CSIA0BEL	R/W		○		不定
FFFFFE1DH	CSIA0バッファRAMEH	CSIA0BEH	R/W		○		不定
FFFFFE1EH	CSIA0バッファRAMF	CSIA0BF	R/W			○	不定
FFFFFE1EH	CSIA0バッファRAMFL	CSIA0BFL	R/W		○		不定
FFFFFE1FH	CSIA0バッファRAMFH	CSIA0BFH	R/W		○		不定
FFFFFE20H	CSIA1バッファRAM0	CSIA1B0	R/W			○	不定
FFFFFE20H	CSIA1バッファRAM0L	CSIA1B0L	R/W		○		不定
FFFFFE21H	CSIA1バッファRAM0H	CSIA1B0H	R/W		○		不定
FFFFFE22H	CSIA1バッファRAM1	CSIA1B1	R/W			○	不定
FFFFFE22H	CSIA1バッファRAM1L	CSIA1B1L	R/W		○		不定
FFFFFE23H	CSIA1バッファRAM1H	CSIA1B1H	R/W		○		不定

(11/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFE24H	CSIA1バッファRAM2	CSIA1B2	R/W			○	不定
FFFFFE24H	CSIA1バッファRAM2L	CSIA1B2L	R/W		○		不定
FFFFFE25H	CSIA1バッファRAM2H	CSIA1B2H	R/W		○		不定
FFFFFE26H	CSIA1バッファRAM3	CSIA1B3	R/W			○	不定
FFFFFE26H	CSIA1バッファRAM3L	CSIA1B3L	R/W		○		不定
FFFFFE27H	CSIA1バッファRAM3H	CSIA1B3H	R/W		○		不定
FFFFFE28H	CSIA1バッファRAM4	CSIA1B4	R/W			○	不定
FFFFFE28H	CSIA1バッファRAM4L	CSIA1B4L	R/W		○		不定
FFFFFE29H	CSIA1バッファRAM4H	CSIA1B4H	R/W		○		不定
FFFFFE2AH	CSIA1バッファRAM5	CSIA1B5	R/W			○	不定
FFFFFE2AH	CSIA1バッファRAM5L	CSIA1B5L	R/W		○		不定
FFFFFE2BH	CSIA1バッファRAM5H	CSIA1B5H	R/W		○		不定
FFFFFE2CH	CSIA1バッファRAM6	CSIA1B6	R/W			○	不定
FFFFFE2CH	CSIA1バッファRAM6L	CSIA1B6L	R/W		○		不定
FFFFFE2DH	CSIA1バッファRAM6H	CSIA1B6H	R/W		○		不定
FFFFFE2EH	CSIA1バッファRAM7	CSIA1B7	R/W			○	不定
FFFFFE2EH	CSIA1バッファRAM7L	CSIA1B7L	R/W		○		不定
FFFFFE2FH	CSIA1バッファRAM7H	CSIA1B7H	R/W		○		不定
FFFFFE30H	CSIA1バッファRAM8	CSIA1B8	R/W			○	不定
FFFFFE30H	CSIA1バッファRAM8L	CSIA1B8L	R/W		○		不定
FFFFFE31H	CSIA1バッファRAM8H	CSIA1B8H	R/W		○		不定
FFFFFE32H	CSIA1バッファRAM9	CSIA1B9	R/W			○	不定
FFFFFE32H	CSIA1バッファRAM9L	CSIA1B9L	R/W		○		不定
FFFFFE33H	CSIA1バッファRAM9H	CSIA1B9H	R/W		○		不定
FFFFFE34H	CSIA1バッファRAMA	CSIA1BA	R/W			○	不定
FFFFFE34H	CSIA1バッファRAMAL	CSIA1BAL	R/W		○		不定
FFFFFE35H	CSIA1バッファRAMAH	CSIA1BAH	R/W		○		不定
FFFFFE36H	CSIA1バッファRAMB	CSIA1BB	R/W			○	不定
FFFFFE36H	CSIA1バッファRAMBL	CSIA1BBL	R/W		○		不定
FFFFFE37H	CSIA1バッファRAMBH	CSIA1BBH	R/W		○		不定
FFFFFE38H	CSIA1バッファRAMC	CSIA1BC	R/W			○	不定
FFFFFE38H	CSIA1バッファRAMCL	CSIA1BCL	R/W		○		不定
FFFFFE39H	CSIA1バッファRAMCH	CSIA1BCH	R/W		○		不定
FFFFFE3AH	CSIA1バッファRAMD	CSIA1BD	R/W			○	不定
FFFFFE3AH	CSIA1バッファRAMDL	CSIA1BDL	R/W		○		不定
FFFFFE3BH	CSIA1バッファRAMDH	CSIA1BDH	R/W		○		不定
FFFFFE3CH	CSIA1バッファRAME	CSIA1BE	R/W			○	不定
FFFFFE3CH	CSIA1バッファRAMEL	CSIA1BEL	R/W		○		不定
FFFFFE3DH	CSIA1バッファRAMEH	CSIA1BEH	R/W		○		不定
FFFFFE3EH	CSIA1バッファRAMF	CSIA1BF	R/W			○	不定
FFFFFE3EH	CSIA1バッファRAMFL	CSIA1BFL	R/W		○		不定
FFFFFE3FH	CSIA1バッファRAMFH	CSIA1BFH	R/W		○		不定

（12/12）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF44H	プルアップ抵抗オプション・レジスタDL	PUDL	R/W			○	0000H
FFFFFF44H	プルアップ抵抗オプション・レジスタDLL	PUDLL	R/W	○	○		00H
FFFFFF45H	プルアップ抵抗オプション・レジスタDLH	PUDLH	R/W	○	○		00H
FFFFFF46H	プルアップ抵抗オプション・レジスタDH	PUDH	R/W	○	○		00H
FFFFFF48H	プルアップ抵抗オプション・レジスタCS	PUCS	R/W	○	○		00H
FFFFFF4AH	プルアップ抵抗オプション・レジスタCT	PUCT	R/W	○	○		00H
FFFFFF4CH	プルアップ抵抗オプション・レジスタCM	PUCM	R/W	○	○		00H
FFFFFFBEH	外部バス・インタフェース・モード・コントロール・レジスタ	EXIMC	R/W	○	○		00H

3.4.7　特定レジスタ

特定レジスタは，プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850ES/KG1+には次の6つの特定レジスタがあります。

- パワー・セーブ・コントロール・レジスタ（PSC）
- プロセッサ・クロック・コントロール・レジスタ（PCC）
- ウォッチドッグ・タイマ・モード・レジスタ（WDTM1）
- クロック・モニタ・モード・レジスタ（CLM）
- リセット要因フラグ・レジスタ（RESF）
- 低電圧検出レジスタ（LVIM）

また，プログラムの暴走により応用システムが不用意に停止しないように，特定レジスタへの書き込み動作に対するプロテクション・レジスタとして，PRCMDレジスタがあり，特定レジスタへのライト・アクセスは特定のシーケンスで行われ，不正なストア動作はSYSレジスタに報告されます。

(1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

① DMA動作を禁止する。
② 任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。
③ PRCMDレジスタに②で用意したデータを書き込む。
④ 特定レジスタに設定データを書き込む（次の命令で行う）。
- ストア命令（ST/SST命令）
- ビット操作命令（SET1/CLR1/NOT1命令）

⑤-⑨ NOP命令を挿入する（5命令）[注]。
⑩ DMA動作が必要な場合，DMA動作を許可する。

注 IDLEモード，STOPモードに移行する場合（PSC.STPビット = 1）には，直後にNOP命令を5命令挿入する必要があります。

注意 特定シーケンス後，DMA動作を禁止する以前の状態でDMA動作を再開するには，DMA動作を禁止する以前に，DCHCnレジスタの状態を格納する必要があります。
DCHCnレジスタの状態を格納後，DMA動作を禁止するまでにDMA転送終了が発生する可能性があるので，DMA動作を再開する前にDCHCn.TCnビットを確認し，TCnビットの状態により処理を次のようにする必要があります。

- TCnビット = 0（DMA転送未終了）のとき，DMA動作を禁止する以前に格納したDCHCnレジスタの内容を，DCHCnレジスタに再度書き込む。
- TCnビット = 1（DMA転送終了）のとき，DMA転送終了処理を行う。

備考 n = 0-3

［記述例］PSCレジスタの場合（スタンバイ・モードの設定）

```
  ST.B r11，PSMR［r0］    ；PSMRレジスタ設定（IDLE，STOPモードの設定）
  LD.B DCHCn［r0］，r12；(a)DMA転送状態の格納
  ANDI 0xfe，r12，r13
①ST.B r13，DCHCn［r0］；(b)DMA動作停止注1
②MOV 0x02，r10
③ST.B r10，PRCMD［r0］；PRCMDレジスタ書き込み
④ST.B r10，PSC［r0］    ；PSCレジスタ設定
⑤NOP注2                 ；ダミー命令
⑥NOP注2                 ；ダミー命令
⑦NOP注2                 ；ダミー命令
⑧NOP注2                 ；ダミー命令
⑨NOP注2                 ；ダミー命令
  TST1 7，DCHCn［r0］    ；(a)と(b)の間にDMA転送が終了していないか
                           （DCHCnレジスタの状態が更新されていないか）を確認
  BNE next               ；更新されていたならば，DMA転送終了処理
                           （nextルーチンへ）
⑩ST.B r12，DCHCn［r0］；更新されていなければ，(a)の状態に戻す（DMA転送許可）
（next instruction）
```

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

注 1.　ビット操作命令を使用しないのは，DMA 転送終了ステータス・フラグ（DCHCn.TCn ビット）がリードされることによりクリア（0）されるのを防ぐためです。また TCn ビットは，0 ライトによるクリア（0）はできません。

2.　IDLE モード，STOP モードに移行する場合（PSC.STP ビット = 1）には，直後に NOP 命令を 5 命令挿入する必要があります。

備考　n = 0-3

注意1.　PRCMDレジスタに対するストア命令では，割り込みを受け付けません。これはプログラムで上記③，④を連続したストア命令で行うことを前提としているためです。③，④の間にほかの命令が置かれていると，その命令で割り込みを受け付けた際，上記シーケンスが成立しなくなる場合があり，誤動作の要因となります

2.　PRCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定（例④）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（例③）でも使用してください。アドレシングに汎用レジスタを使用する場合も同様です。

(2) コマンド・レジスタ（PRCMD）

PRCMDレジスタは，プログラムの暴走などにより，応用システムが不用意に停止しないように，システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ，PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定レジスタへの書き込みのみ有効となります。これにより定められたシーケンスによってだけ，レジスタの値が書き換えられ，不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合，不定データを読み出します）。

リセット時：不定　W　**アドレス：**FFFFF1FCH

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

(3) システム・ステータス・レジスタ（SYS）

システム全体の動作状態を示すステータス・フラグが割り付けられています。

8/1ビット単位でリード／ライト可能です。

リセット時：00H　R/W　アドレス：FFFFF802H

	7	6	5	4	3	2	1	⓪
SYS	0	0	0	0	0	0	0	PRERR

PRERR	プロテクション・エラーの検出
0	プロテクション・エラーは発生していない
1	プロテクション・エラーが発生している

PRERRフラグの動作条件を次に示します。

(a) セット条件（PRERR=1）

(i) PRCMDレジスタへの書き込み動作を行なわず，特定レジスタへの書き込み動作を行ったとき（3. 4. 7（1）**特定レジスタの設定**で示す③を行なわずに④を行なったとき）。

(ii) PRCMDレジスタへの書き込み動作後，特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作（ビット操作命令含む）を行なったとき（3. 4. 7（1）**特定レジスタの設定**で示す④が特定レジスタでなかったとき）。

備考　WDTMレジスタ以外の特定レジスタ（PCC，PSCレジスタ）は，PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に，内蔵周辺I/Oレジスタの読み出し動作（ビット操作命令を除く）など（内蔵RAMへのアクセスなど）を行っても，PRERRフラグはセットされず，特定レジスタに設定データを書き込むことができます。

(b) クリア条件（PRERR=0）

(i) PRERRフラグに0を書き込んだとき。

(ii) システム・リセットしたとき。

注意1. PRCMDレジスタへの書き込み動作直後に，特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合，PRERRビットは“0”になります（ライト優先）。

2. PRCMDレジスタへの書き込み動作直後に，特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合，PRERRビットは“1”になります。

3.4.8　注意事項

(1) レジスタ・アクセス時のウエイト

V850ES/KG1+を使用する際には，必ず最初に次のレジスタを設定してください。

・システム・ウエイト・コントロール・レジスタ（VSWC）

VSWCレジスタを設定したあとに，必要に応じてその他の各レジスタを設定してください。

なお，外部バスを使用する場合は，VSWCレジスタを設定し，次にポート関連のレジスタの設定により，各端子をコントロール・モードに設定してください。

(a) システム・ウエイト・コントロール・レジスタ（VSWC）

VSWCレジスタは，内蔵周辺I/Oレジスタに対するバス・アクセスのウエイトを制御するレジスタです。

内蔵周辺I/Oレジスタへのアクセスは3クロック（ノー・ウエイト時）ですが，V850ES/KG1+では，内部システム・クロック周波数によりウエイトが必要です。使用する内部システム・クロック周波数に応じて，VSWCレジスタには次に示す値を設定してください。

8ビット単位でリード／ライト可能です（アドレス：FFFFF06EH，初期値：77H）。

★

動作条件	内部システム・クロック周波数（f_{CLK}）	VSWCレジスタの設定値	ウエイト数
4.5 V≦REGC = V_{DD}≦5.5 V	32 kHz≦f_{CLK}＜16.6 MHz	00H	0（ノー・ウエイト）
	16.6 MHz≦f_{CLK}≦20 MHz	01H	1
4.0 V≦REGC = V_{DD}＜4.5 V	32 kHz≦f_{CLK}＜16 MHz	00H	0（ノー・ウエイト）
REGC = 10 μF,	32 kHz≦f_{CLK}＜8.3 MHz	00H	0（ノー・ウエイト）
4.0 V≦V_{DD}≦5.5 V	8.3 MHz≦f_{CLK}≦16 MHz	01H	1
2.7 V≦REGC = V_{DD}＜4.0 V	32 kHz≦f_{CLK}＜8.3 MHz	00H	0（ノー・ウエイト）
	8.3 MHz≦f_{CLK}≦10 MHz	01H	1

★ **(b) 特定の内蔵周辺I/Oレジスタへのアクセスについて**

この製品は，内部に2種類のシステム・バスを有しています。

1つはCPU用バスで，もう1つは低速周辺ハードウエアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため，CPUと周辺ハードウエアとのアクセス間に競合が発生した場合は，予期せぬ不正データの受け渡しが行われる可能性があります。したがって，競合の恐れがある周辺ハードウエアへのアクセス時は，CPUは正しいデータの受け渡しが行われるよう，アクセス・サイクル数が変わります。その結果，CPUは次の命令処理に移行せず，CPU処理としてウエイト状態となるため，このウエイトが発生した場合，命令の実行クロック数が次に示すウエイト・クロック数分長くなります。

リアルタイム性が要求される処理を行う場合は，この内容に注意してください。

特定の内蔵周辺I/Oレジスタへのアクセス時に，VSWCレジスタで設定したウエイト以外に，さらにウエイトを要する場合があります。

その際のアクセス条件と，挿入されるウエイト数（CPUクロック数）の算出方法を次に示します。

増加するウエイト数 =（2＋m）×k［**クロック**］

特定の内蔵周辺I/O**レジスタへのアクセス数** = 3＋m＋（2＋m）×k〔**クロック**〕

周辺機能	レジスタ名称	アクセス	k
ウォッチドッグ・タイマ1（WDT1）	WDTM1	**ライト**	1-5
	＜ウエイト回数算出式[注1]**＞** k = ｛（1/f_X）×2／（（2＋m）／f_{CPU}）｝＋**1** f_X**：メイン・クロック発振周波数**		
ウォッチドッグ・タイマ2（WDT2）	WDTM2	**ライト**	3**（固定）**
16**ビット・タイマ／イベント・カウンタ**P0（TMP0）	TP0CCR0, TP0CCR1, TP0CNT	**リード**	1
	＜ウエイト回数算出式[注1]**＞** **k** = ｛（1/f_{XX}）／（（2＋m）／f_{CPU}）｝＋1		
	TP0CCR0, TP0CCR1	**ライト**	0-2
	＜ウエイト回数算出式[注1]**＞** **k** = ｛（1/f_{XX}）×5／（（2＋m）／f_{CPU}）｝ **同一レジスタへの連続書き込みでウエイト発生**		
16**ビット・タイマ／イベント・カウンタ**00-03（TM00-TM03）	TMC00-TMC03	**リード・モディファイ・ライト**	1**（固定）** **ライト時にウエイト発生**
自動送受信機能付きクロック同期式シリアル・インタフェース0, 1（CSIA0, CSIA1）	CSIA0B0-CSIA0BF, CSIA1B0-CSIA1BF	**ライト**[注1]	0-18**（ライト命令による連続ライト時）**
	＜ウエイト回数算出式[注1]**＞** **k** = ｛（1/f_{SCKA}）×5－（4＋m）／f_{CPU}）｝／｛（（2＋m）／f_{CPU}）｝ **ただし，**CSISn**レジスタの**CKSAn1, CKSAn0**ビット** = 0**選択時で**f_{CPU} = f_{XX}**時は**1**回** f_{SCKA}**：**CSIA**選択クロック周波数**		
	CSIA0B0-CSIA0BF, CSIA1B0-CSIA1BF	**ライト**[注1]	0-20**（ライト命令と受信動作によるライトの競合動作時）**
	＜ウエイト回数算出式[注1]**＞** **k** =（1/f_{SCKA}）×5）／（（2＋m）／f_{CPU}）｝ f_{SCKA}**：**CSIA**選択クロック周波数**		
I^2C0[注2]	IICS0	**リード**	1**（固定）**
アシンクロナス・シリアル・インタフェース0-2（UART0-UART2）	ASIS0-ASIS2	**リード**	1**（固定）**
リアルタイム出力機能0（RTO0）	RTBL0, RTBH0	**ライト** （RTPC0.RTPOE0 **ビット** = 0**の時）**	1
A/D**コンバータ**	ADM, ADS, PFM, PFT	**ライト**	1-2
	ADCR, ADCRH	**リード**	1-2
	＜ウエイト回数算出式[注1]**＞** k =（1/f_{XX}）×2／〔（2＋m）／f_{CPU}〕｝＋1		

注1.　ウエイト回数算出式において，その算出結果の小数点以下は，（1/f_{CPU}）をかけて，（1/f_{CPU}）／（2＋m）以下であれば切り捨て，（1/f_{CPU}）／（2＋m）を越える場合には切り上げます。

2.　I^2C0はμPD703313Y, 70F3311Y, 70F3313Yのみ

注意1.　内蔵ROMまたは内蔵RAMからフェッチした場合，上記のようなウエイト回数となります。
外部メモリよりフェッチした場合は，このウエイト回数より減少する場合があります。
外部メモリ・アクセス・サイクルによる影響は，ウエイトの設定などにより変化します。ただし，上記ウエイト数が最大値となり，これより増加することはありません。

2.　次に示す状態において，ウエイト[注1]が発生するレジスタにウエイトが発生するアクセス方法でアクセスしないでください。ウエイトが発生した場合，解除する方法はリセットのみです。
- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

備考1.　ウエイト算出式において

f_{CPU}　：CPUクロック周波数
m　：VSWCレジスタのビット2-0設定値
f_{XX}　：メイン・クロック周波数

VSWCレジスタ = 00H時：m = 0
VSWCレジスタ = 01H時：m = 1

2.　n = 0, 1

(2) sld命令と割り込み競合に関する制限事項

(a) 内　　容

次の命令<1>の事項が完了する前に，後続の sld 命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合，先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ld 命令　　：ld.b, ld.h, ld.w, ld.bu, ld.hu
- sld 命令　　：sld.b, sld.h, sld.w, sld.bu, sld.hu
- 乗算命令　　：mul, mulh, mulhi, mulu

命令<2>

mov　reg1, reg2	not　reg1, reg2	satsubr　reg1, reg2	satsub　reg1, reg2
satadd　reg1, reg2	satadd　imm5, reg2	or　reg1, reg2	xor　reg1, reg2
and　reg1, reg2	tst　reg1, reg2	subr　reg1, reg2	sub　reg1, reg2
add　reg1, reg2	add　imm5, reg2	cmp　reg1, reg2	cmp　imm5, reg2
mulh　reg1, reg2	shr　imm5, reg2	sar　imm5, reg2	shl　imm5, reg2

<例>

```
< i >   ld.w    [r11], r10
          .
          .
          .
< ii >  mov     r10, r28
<iii>   sld.w   0x28, r10
```

< i >の ld 命令の実行が完了する前に，<iii>の sld 命令の直前の mov 命令< ii >のデコード動作と割り込み要求が競合した場合，< i >の ld 命令の実行結果がレジスタに格納されないことがあります。

(b) 回 避 策

★ ① コンパイラ（CA850）使用時

Ver.2.61以降のバージョンを使用してください。該当命令シーケンスの生成を自動的に抑止します。

② アセンブラでの対策

命令< ii >の直後にsld命令を実行する場合は，次のいずれかの方法を用いて，上記動作を回避してください。

- sld命令の直前にnop命令を入れる。
- sld命令のディスティネーション・レジスタと同じレジスタを，sld命令の直前で実行する上記< ii >の命令で使用しない。

第4章　ポート機能

4.1　特　　徴

○入力専用ポート：8本

○入出力ポート：76本

・N-chオープン・ドレーン出力固定：4本（中耐圧：2本）

・N-chオープン・ドレーン出力切り替え可能：8本

○1ビット単位で入力／出力指定可能

4.2　ポートの基本構成

V850ES/KG1+は，ポート0, 1, 3-5, 7, 9, CM, CS, CT, DH, DLの合計84本の入力／出力ポート（うち8本は入力専用ポート）を内蔵しています。ポートの構成を次に示します。

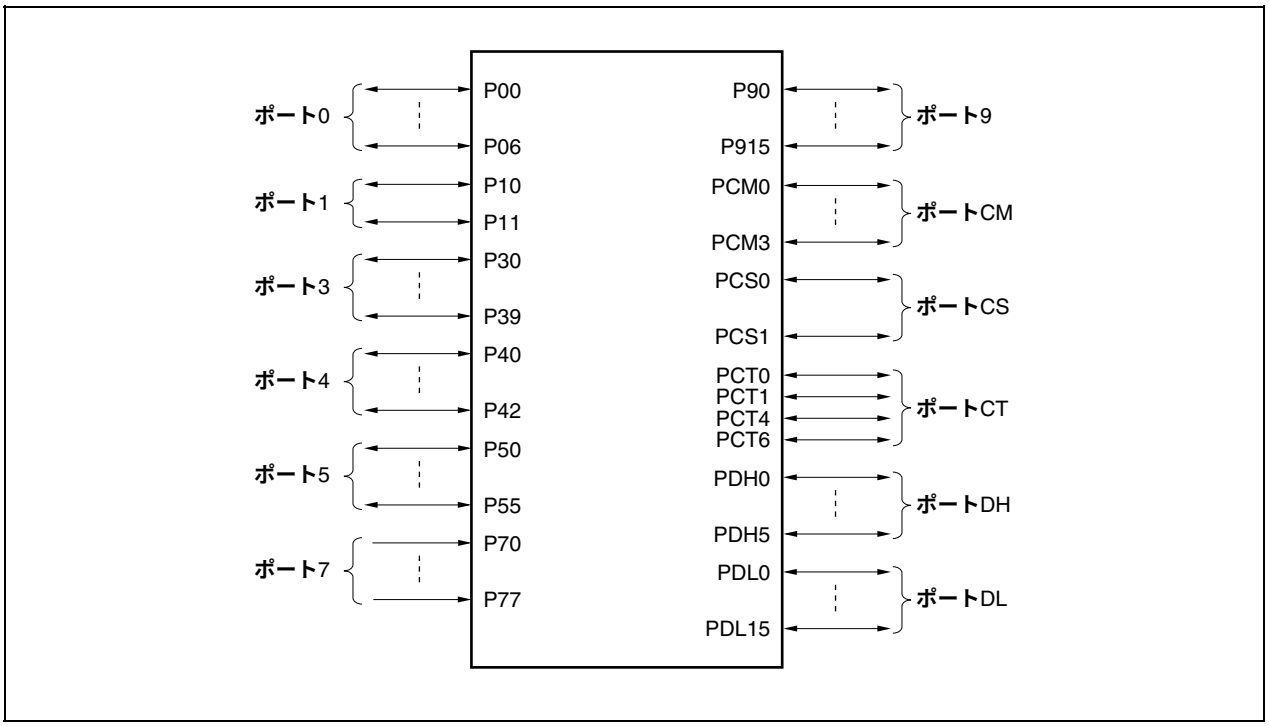


表4－1　V850ES/KG1+の各端子の入出力バッファ電源

電　源	対応する端子
AV_{REF0}	ポート7
AV_{REF1}	ポート1
BV_{DD}	ポートCM, CS, CT, DH, DL
EV_{DD}	$\overline{\text{RESET}}$，ポート0, 3-5, 9

4.3　ポートの構成

表4－2　ポートの構成

項　　目	構　　成
制御レジスタ	ポートnレジスタ（Pn：n = 0, 1, 3-5, 7, 9, CM, CS, CT, DL, DH） ポートnモード・レジスタ（PMn：n = 0, 1, 3-5, 9, CM, CS, CT, DL, DH） ポートnモード・コントロール・レジスタ（PMCn：n = 0, 3-5, 9, CM, CS, CT, DL, DH） ポートnファンクション・コントロール・レジスタ（PFCn：n = 3, 5, 9） ポートnファンクション・レジスタ（PFn：n = 3-5, 9） ポート3ファンクション・コントロール拡張レジスタ（PFCE3） プルアップ抵抗オプション・レジスタ（PUn：n = 0, 1, 3-5, 9, CM, CS, CT, DL, DH）
ポート	入力専用：8本 入出力：76本
プルアップ抵抗	ソフトウエア制御：72本

(1) ポートnレジスタ（Pn）

外部とのデータ入出力は，Pnレジスタへの書き込み，および読み出しによって行います。Pnレジスタは，出力データを保持するポート・ラッチ，および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位でリード／ライト可能です。

リセット時：00H注（出力ラッチ）　R/W

	7	6	5	7	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0

Pnm	出力データの制御（出力モード時）
0	0を出力
1	1を出力

注　入力専用ポートは不定になります。

各レジスタの設定によって，Pnレジスタへの書き込みや読み出しは次のようになります。

★ **表4－3　Pnレジスタへの書き込み／読み出しについて**

PMCnレジスタの設定	PMnレジスタへの設定	Pnレジスタへの書き込み	Pnレジスタの読み出し
ポート・モード （PMCnmビット = 0）	出力モード （PMnmビット = 0）	出力ラッチに対して書き込みます注。 出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します。
	入力モード （PMnmビット = 1）	出力ラッチに対して書き込みます注。 端子の状態には影響ありません。	端子状態を読み出します。
兼用機能モード （PMCnmビット = 1）	出力モード （PMnmビット = 0）	出力ラッチに対して書き込みます注。 端子の状態には影響ありません。 端子は兼用機能として動作します。	・兼用端子が出力の場合 兼用機能の出力の状態を読み出します。 ・兼用端子が入力の場合 出力ラッチの値を読み出します。
	入力モード （PMnmビット = 1）	出力ラッチに対して書き込みます注。 端子の状態には影響ありません。 端子は兼用機能として動作します。	端子状態を読み出します。

注　出力ラッチに書き込まれた値は，再度出力ラッチに値が書き込まれるまで保持されます。

(2) ポートnモード・レジスタ（PMn）

ポートの入力モード／出力モードを指定します。

PMnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：FFH　　R/W

	7	6	5	4	3	2	1	0
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0

PMnm	入出力モードの制御
0	出力モード
1	入力モード

(3) ポートnモード・コントロール・レジスタ（PMCn）

ポート・モード／兼用機能を指定します。

PMCnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H　　R/W

	7	6	5	4	3	2	1	0
PMCn	PMCn7	PMCn6	PMCn5	PMCn4	PMCn3	PMCn2	PMCn1	PMCn0

PMCnm	動作モードの指定
0	ポート・モード
1	兼用機能モード

(4) ポートnファンクション・コントロール・レジスタ（PFCn）

1本の端子に兼用機能が2つ以上存在する場合に，使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H　R/W

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCnm	兼用機能の指定
0	兼用機能1
1	兼用機能2

(5) ポートnファンクション・コントロール拡張レジスタ（PFCEn）

1本の端子に兼用機能が3つ以上存在する場合に，使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H　R/W

	7	6	5	4	3	2	1	0
PFCEn	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCEnm	PFCnm	兼用機能の指定
0	0	兼用機能1
0	1	兼用機能2
1	0	兼用機能3
1	1	兼用機能4

(6) ポートnファンクション・レジスタ（PFn）

通常出力/N-chオープン・ドレーン出力を指定するレジスタです。

PFnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H　R/W

	7	6	5	4	3	2	1	0
PFn	PFn7	PFn6	PFn5	PFn4	PFn3	PFn2	PFn1	PFn0

PFnm注	通常出力/N-chオープン・ドレーン出力の制御
0	通常出力（CMOS出力）
1	N-chオープン・ドレーン出力

注　PMCnレジスタの設定によらず，PFnmビットは，PMn.PMnmビット = 0（出力モード時）のときのみ有効です。PMnmビット = 1（入力モード時）のときは，PFnレジスタの設定値は無効です。

例　①　PFnレジスタの値が有効な場合

PFnmビット = 1 … N-chオープン・ドレーン出力を指定

PMnmビット = 0 … 出力モードを指定

PMCnmビット = 任意

②　PFnレジスタの値が無効な場合

PFnmビット = 0 … N-chオープン・ドレーン出力を指定

PMnmビット = 1 … 入力モードを指定

PMCnmビット = 任意

(7) プルアップ抵抗オプション・レジスタ（PUn）

内蔵プルアップ抵抗の接続を指定するレジスタです。

PUnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H　R/W

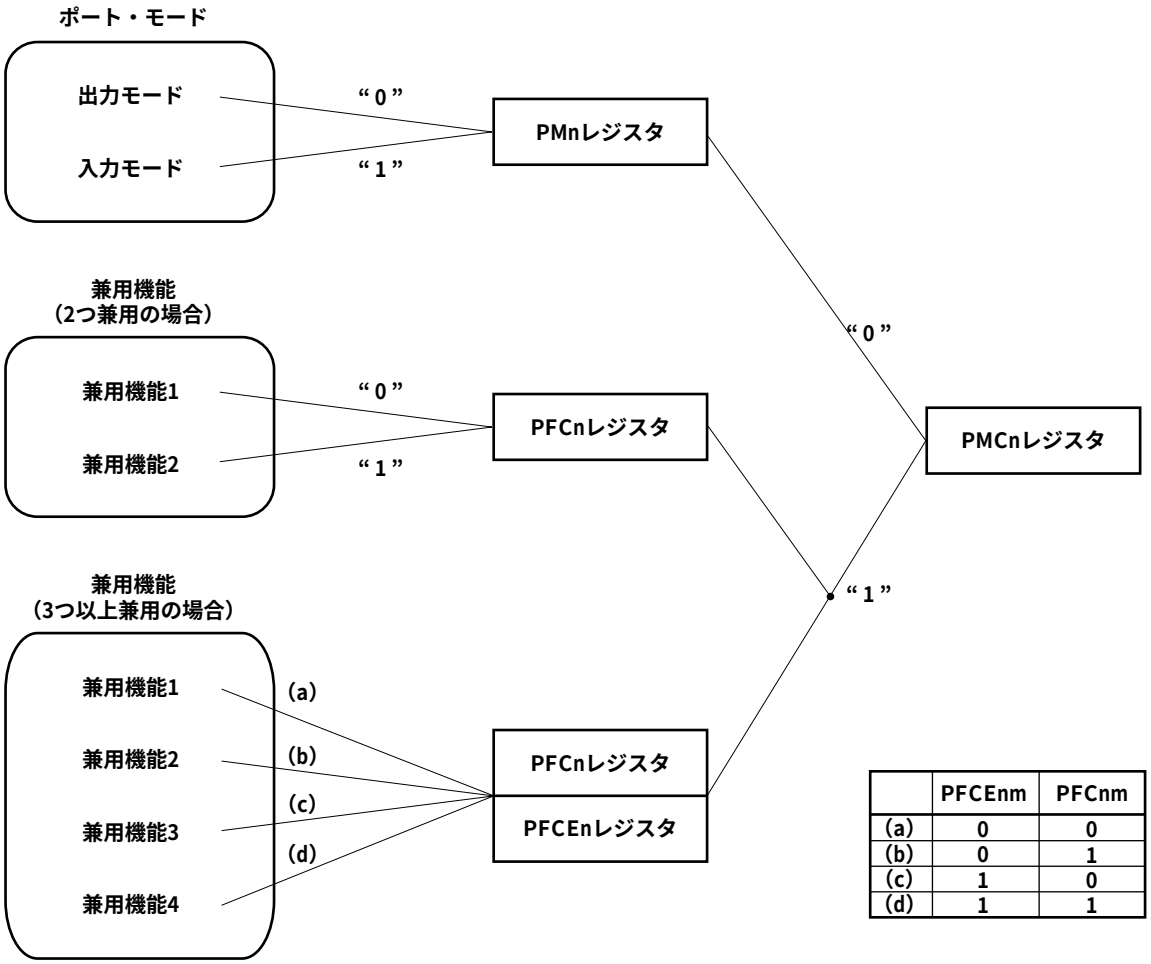
	7	6	5	4	3	2	1	0
PUn	PUn7	PUn6	PUn5	PUn4	PUn3	PUn2	PUn1	PUn0

PUnm	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する

(8) ポートの設定

ポートの設定は，次のように設定してください。

図4－1　各レジスタの設定と端子の機能



	PFCEnm	PFCnm
(a)	0	0
(b)	0	1
(c)	1	0
(d)	1	1

備考　兼用機能に切り替えるには，次の順で行ってください。

① PFCn, PFCEnレジスタを設定
② PMCnレジスタを設定
③ INTRn, INTFnレジスタを設定（外部割り込み端子を設定する場合）

PMCnレジスタを先に設定すると，PFCn, PFCEnレジスタ設定中に意図しない兼用機能に設定されてしまう可能性があります。

4.3.1　ポート0

ポート0は1ビット単位で入出力を制御できる7ビットの入出力ポートです。

ポート0は，次に示す端子と兼用しています。

表4－4　ポート0の兼用端子

ピン番号		端子名	兼用端子名	入出力	PULL[注1]	備　考	ブロック・タイプ
GC	GF						
6	8	P00[注2]	TOH0	出力	あり	－	D0-U
7	9	P01	TOH1	出力			D0-U
17	19	P02	NMI	入力		アナログ・ノイズ除去	D1-SUIL
18	20	P03	INTP0	入力			D1-SUIL
19	21	P04	INTP1	入力			D1-SUIL
20	22	P05	INTP2	入力			D1-SUIL
21	23	P06	INTP3	入力		アナログ／ディジタル・ノイズ除去	D1-SUIL

注1.　ソフトウエア・プルアップ機能

2.　リセット時にP00端子のみロウ・レベルを出力します（他のポートは入力モード）。
したがって，リセット時のP00端子からのロウ・レベル出力を，疑似的にCPUからのリセット信号として使用できます。

注意　P02-P06は，兼用機能の入力時にはヒステリシス特性を持ちますが，ポート・モード時にはヒステリシス特性を持ちません。

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）
GF：100ピン・プラスチックQFP（14×20）

(1) ポート0レジスタ (P0)

リセット時：00H（出力ラッチ）　R/W　アドレス：FFFFF400H

	7	6	5	4	3	2	1	0
P0	0	P06	P05	P04	P03	P02	P01	P00

P0n	出力データの制御（出力モード時）（n = 0-6）
0	0を出力
1	1を出力

(2) ポート0モード・レジスタ (PM0)

リセット時：FEH　R/W　アドレス：FFFFF420H

	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	入出力モードの制御（n = 0-6）
0	出力モード
1	入力モード

(3) ポート0モード・コントロール・レジスタ（PMC0）

リセット時：00H　R/W　アドレス：FFFFF440H

	7	6	5	4	3	2	1	0
PMC0	0	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00

PMC06	P06端子の動作モードの指定
0	入出力ポート
1	INTP3入力

PMC05	P05端子の動作モードの指定
0	入出力ポート
1	INTP2入力

PMC04	P04端子の動作モードの指定
0	入出力ポート
1	INTP1入力

PMC03	P03端子の動作モードの指定
0	入出力ポート
1	INTP0入力

PMC02	P02端子の動作モードの指定
0	入出力ポート
1	NMI入力

PMC01	P01端子の動作モードの指定
0	入出力ポート
1	TOH1出力

PMC00	P00端子の動作モードの指定
0	入出力ポート
1	TOH0出力

(4) プルアップ抵抗オプション・レジスタ0（PU0）

リセット時：00H　R/W　アドレス：FFFFFC40H

	7	6	5	4	3	2	1	0
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00

PU0n	内蔵プルアップ抵抗接続制御（n = 0-6）
0	接続しない
1	接続する

4.3.2　ポート1

ポート1は1ビット単位で入出力を制御できる2ビット入出力ポートです。

ポート1は，次に示す端子と兼用しています。

表4－5　ポート1の兼用端子

ピン番号		端子名	兼用端子名	入出力	PULL[注]	備　考	ブロック・タイプ
GC	GF						
3	5	P10	ANO0	出力	あり	－	C-UA
4	6	P11	ANO1	出力			C-UA

注　ソフトウエア・プルアップ機能

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

GF：100ピン・プラスチックQFP（14×20）

(1) ポート1レジスタ（P1）

リセット時：00H（出力ラッチ）　R/W　アドレス：FFFFF402H

	7	6	5	4	3	2	1	0
P1	0	0	0	0	0	0	P11	P10

P1n	出力データの制御（出力モード時）（n = 0, 1）
0	0を出力
1	1を出力

(2) ポート1モード・レジスタ（PM1）

注意　ANO0, ANO1端子として使用する場合は，一括してFFHに設定してください。

リセット時：FFH　R/W　アドレス：FFFFF422H

	7	6	5	4	3	2	1	0
PM1	1	1	1	1	1	1	PM11	PM10

PM1n	入出力モードの制御（n = 0, 1）
0	出力モード
1	入力モード

(3) プルアップ抵抗オプション・レジスタ1（PU1）

リセット時：00H　R/W　アドレス：FFFFFC42H

	7	6	5	4	3	2	1	0
PU1	0	0	0	0	0	0	PU11	PU10

PU1n	内蔵プルアップ抵抗接続制御（n = 0, 1）
0	接続しない
1	接続する

4.3.3　ポート3

ポート3は1ビット単位で入出力を制御できる10ビット入出力ポートです。

ポート3は，次に示す端子と兼用しています。

表4－6　ポート3の兼用端子

ピン番号		端子名	兼用端子名	入出力	PULL[注1]	備　考	ブロック・タイプ
GC	GF						
25	27	P30	TXD0/TO02	出力	あり	－	E00-U
26	28	P31	RXD0/INTP7/TO03	入出力			E10-SUIHL
27	29	P32	ASCK0/ADTRG/TO01	入出力			E10-SUL
28	30	P33	TI000/TO00/TIP00/TOP00	入出力			G1010-SUL
29	31	P34	TI001/TO00/TIP01/TOP01	入出力			G1010-SUL
30	32	P35	TI010/TO01	入出力			E10-SUL
31	33	P36	－	－	なし[注2]	N-chオープン・ドレーン出力	C-NMU
32	34	P37	－	－			C-NMU
35	37	P38	SDA0[注3]	入出力			D2-SNMUFH
36	38	P39	SCL0[注3]	入出力			D2-SNMUFH

注1.　ソフトウエア・プルアップ機能

2.　マスク・オプションによりプルアップ抵抗を内蔵できます（μPD703313, 703313Yのみ）。

3.　μPD703313Y, 70F3311Y, 70F3313Yのみ

注意　P31-35, P38, P39は，兼用機能の入力時にはヒステリシス特性を持ちますが，ポート・モード時にはヒステリシス特性を持ちません。

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

GF：100ピン・プラスチックQFP（14×20）

(1) ポート3レジスタ（P3）

リセット時：00H（出力ラッチ）　R/W　アドレス：P3 FFFFF406H,
P3L FFFFF406H, P3H FFFFF407H

	15	14	13	12	11	10	9	8
P3　（P3H注）	0	0	0	0	0	0	P39	P38

	7	6	5	4	3	2	1	0
（P3L）	P37	P36	P35	P34	P33	P32	P31	P30

P3n	出力データの制御（出力モード時）（n = 0-9）
0	0を出力
1	1を出力

注　P3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，P3Hレジスタのビット0-7として指定してください。

備考　P3レジスタは，16ビット単位でリード／ライト可能です。
ただし，P3レジスタの上位8ビットをP3Hレジスタ，下位8ビットをP3Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

(2) ポート3モード・レジスタ（PM3）

リセット時：FFFFH　R/W　アドレス：PM3 FFFFF426H,
PM3L FFFFF426H, PM3H FFFFF427H

	15	14	13	12	11	10	9	8
PM3　（PM3H注）	1	1	1	1	1	1	PM39	PM38

	7	6	5	4	3	2	1	0
（PM3L）	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御（n = 0-9）
0	出力モード
1	入力モード

注　PM3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PM3Hレジスタのビット0-7として指定してください。

備考　PM3レジスタは，16ビット単位でリード／ライト可能です。
PM3レジスタの上位8ビットをPM3Hレジスタ，下位8ビットをPM3Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

(3) ポート3モード・コントロール・レジスタ（PMC3）

リセット時：0000H　R/W　アドレス：PMC3 FFFFF446H,
PMC3L FFFFF446H, PMC3H FFFFF447H

	15	14	13	12	11	10	9	8
PMC3　（PMC3H注1）	0	0	0	0	0	0	PMC39注2	PMC38注2

	7	6	5	4	3	2	1	0
（PMC3L）	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

PMC39	P39端子の動作モードの指定
0	入出力ポート
1	SCL0入出力

PMC38	P38端子の動作モードの指定
0	入出力ポート
1	SDA0入出力

PMC35	P35端子の動作モードの指定
0	入出力ポート
1	TI010入力/TO01出力

PMC34	P34端子の動作モードの指定
0	入出力ポート
1	TI001入力/TO00出力/TIP01入力/TOP01出力

PMC33	P33端子の動作モードの指定
0	入出力ポート
1	TI000入力/TO00出力/TIP00入力/TOP00出力

PMC32	P32端子の動作モードの指定
0	入出力ポート
1	ASCK0入力/ADTRG入力/TO01出力

PMC31	P31端子の動作モードの指定
0	入出力ポート
1	RXD0入力/INTP7入力/TO03出力

PMC30	P30端子の動作モードの指定
0	入出力ポート
1	TXD0出力/TO02出力

注1.　PMC3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PMC3Hレジスタのビット0-7として指定してください。

2.　μPD703313Y, 70F3311Y, 70F3313Yのみ有効です。それ以外は0に設定してください。

備考　PMC3レジスタは，16ビット単位でリード／ライト可能です。
ただし，PMC3レジスタの上位8ビットをPMC3Hレジスタ，下位8ビットをPMC3Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

(4) ポート3ファンクション・レジスタH（PF3H）

リセット時：00H　R/W　アドレス：FFFFFC67H

	7	6	5	4	3	2	1	0
PF3H	0	0	0	0	0	0	PF39	PF38

PF3n	通常ポート／兼用機能の指定（n = 8, 9）
0	通常ポートとして使用時（N-chオープン・ドレーン出力）
1	兼用機能として使用時（N-chオープン・ドレーン出力）

注意　P38, P39をN-chオープン・ドレーンで兼用端子として使用する場合は次の順で設定してください。
必ずポート・ラッチに1を設定後，N-chオープン・ドレーンに設定してください。
P3nビット = 1 → PF3nビット = 1 → PMC3nビット = 1

(5) ポート3ファンクション・コントロール・レジスタ（PFC3）

リセット時：00H　R/W　アドレス：FFFFF466H

	7	6	5	4	3	2	1	0
PFC3	0	0	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

備考　兼用端子の指定については4. 3. 3（7）ポート3の兼用端子の指定を参照してください。

(6) ポート3ファンクション・コントロール拡張レジスタ（PFCE3）

リセット時：00H　R/W　アドレス：FFFFF706H

	7	6	5	4	3	2	1	0
PFCE3	0	0	0	PFCE34	PFCE33	0	0	0

備考　兼用端子の指定については4. 3. 3（7）ポート3の兼用端子の指定を参照してください。

(7) ポート3の兼用端子の指定

PFC35	P35端子の兼用端子の指定
0	TI010入力
1	TO01出力

PFCE34	PFC34	P34端子の兼用端子の指定
0	0	TI001入力
0	1	TO00出力
1	0	TIP01入力
1	1	TOP01出力

PFCE33	PFC33	P33端子の兼用端子の指定
0	0	TI000入力
0	1	TO00出力
1	0	TIP00入力
1	1	TOP00出力

PFC32	P32端子の兼用端子の指定
0	ASCK0/ADTRG注1入力
1	TO01出力

PFC31	P31端子の兼用端子の指定
0	RXD0/INTP7注2入力
1	TO03出力

PFC30	P30端子の兼用端子の指定
0	TXD0出力
1	TO02出力

注1. ASCK0端子とADTRG端子は兼用となっています。ASCK0端子として使用する場合は，兼用しているADTRG端子のトリガ入力を無効にしてください（ADS.TRGビット = 0，またはADS.ADTMDビット = 1に設定）。また，ADTRG端子として使用する場合は，UART0の動作クロックを外部入力に設定しないでください（CKSR0.TPS03-TPS00ビット = 1011以外に設定）。

2. INTP7端子とRXD0端子は兼用となっています。RXD0端子として使用する場合は，兼用しているINTP7端子のエッジ検出を無効にしてください（INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定）。また，INTP7端子として使用する場合は，UART0を受信動作停止としてください（ASIM0.RXE0ビット = 0に設定）。

(8) プルアップ抵抗オプション・レジスタ3（PU3）

リセット時：00H　R/W　**アドレス：**FFFFFC46H

	7	6	5	4	3	2	1	0
PU3	0	0	PU35	PU34	PU33	PU32	PU31	PU30

PU3n	内蔵プルアップ抵抗接続制御（n = 0-5）
0	接続しない
1	接続する

注意　P36-P39**はマスク・オプションでプルアップ抵抗を内蔵できます（**μPD703313, 703313Y**のみ）。**

4.3.4　ポート4

ポート4は1ビット単位で入出力を制御できる3ビット入出力ポートです。

ポート4は，次に示す端子と兼用しています。

表4－7　ポート4の兼用端子

ピン番号		端子名	兼用端子名	入出力	PULL[注]	備　考	ブロック・タイプ
GC	GF						
22	24	P40	SI00/RXD2	入力	あり	－	E11-SULH
23	25	P41	SO00/TXD2	出力		N-chオープン・ドレーン出力選択可能	E00-UF
24	26	P42	$\overline{\text{SCK00}}$	入出力			D2-SUFL

注　ソフトウエア・プルアップ機能

注意　P40, P42は，兼用機能の入力時にはヒステリシス特性を持ちますが，ポート・モード時にはヒステリシス特性を持ちません。

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）
GF：100ピン・プラスチックQFP（14×20）

（1）ポート4レジスタ（P4）

リセット時：00H（出力ラッチ）　R/W　アドレス：FFFFF408H

	7	6	5	4	3	2	1	0
P4	0	0	0	0	0	P42	P41	P40

P4n	出力データの制御（出力モード時）（n = 0-2）
0	0を出力
1	1を出力

（2）ポート4モード・レジスタ（PM4）

リセット時：FFH　R/W　アドレス：FFFFF428H

	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	PM42	PM41	PM40

PM4n	入出力モードの制御(n = 0-2)
0	出力モード
1	入力モード

(3) ポート4モード・コントロール・レジスタ（PMC4）

リセット時：00H　R/W　アドレス：FFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

PMC42	P42端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{SCK00}}$入出力

PMC41	P41端子の動作モードの指定
0	入出力ポート
1	SO00出力/TXD2出力

PMC40	P40端子の動作モードの指定
0	入出力ポート
1	SI00入力/RXD2入力

(4) ポート4ファンクション・コントロール・レジスタ（PFC4）

リセット時：00H　R/W　アドレス：FFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	0	PFC41	PFC40

PFC41	P41端子の兼用機能の指定
0	SO00出力
1	TXD2出力

PFC40	P40端子の兼用機能の指定
0	SI00入力
1	RXD2入力

(5) ポート4ファンクション・レジスタ（PF4）

リセット時：00H　R/W　**アドレス：**FFFFFC68H

	7	6	5	4	3	2	1	0
PF4	0	0	0	0	0	PF42	PF41	0

PF4n	通常出力／N-chオープン・ドレーン出力の制御（n = 1, 2）
0	通常出力
1	N-chオープン・ドレーン出力

注意　P41, P42をN-chオープン・ドレーンで兼用端子として使用する場合は次の順で設定してください。
必ずポート・ラッチに1を設定後，N-chオープン・ドレーンに設定してください。
P4nビット = 1 → PF4nビット = 1 → PMC4nビット = 1

(6) プルアップ抵抗オプション・レジスタ4（PU4）

リセット時：00H　R/W　**アドレス：**FFFFFC48H

	7	6	5	4	3	2	1	0
PU4	0	0	0	0	0	PU42	PU41	PU40

PU4n	内蔵プルアップ抵抗接続制御（n = 0-2）
0	接続しない
1	接続する

4.3.5　ポート5

ポート5は1ビット単位で入出力を制御できる6ビット入出力ポートです。

ポート5は，次に示す端子と兼用しています。

表4－8　ポート5の兼用端子

ピン番号		端子名	兼用端子名	入出力	PULL注	備　考	ブロック・タイプ
GC	GF						
37	39	P50	TI011/RTP00/KR0	入出力	あり	－	E10-SULT
38	40	P51	TI50/RTP01/KR1	入出力			E10-SULT
39	41	P52	TO50/RTP02/KR2	入出力			E00-SUT
40	42	P53	SIA0/RTP03/KR3	入出力			E10-SULT
41	43	P54	SOA0/RTP04/KR4	入出力		N-chオープン・ドレーン出力選択可能	E00-SUFT
42	44	P55	$\overline{\text{SCKA0}}$/RTP05/KR5	入出力			E20-SUFLT

注　ソフトウエア・プルアップ機能

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

GF：100ピン・プラスチックQFP（14×20）

(1) ポート5レジスタ（P5）

リセット時：00H（出力ラッチ）　R/W　アドレス：FFFFF40AH

	7	6	5	4	3	2	1	0
P5	0	0	P55	P54	P53	P52	P51	P50

P5n	出力データの制御（出力モード時）（n = 0-5）
0	0を出力
1	1を出力

(2) ポート5モード・レジスタ（PM5）

リセット時：FFH　R/W　アドレス：FFFFF42AH

	7	6	5	4	3	2	1	0
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50

PM5n	入出力モードの制御(n = 0-5)
0	出力モード
1	入力モード

(3) ポート5モード・コントロール・レジスタ（PMC5）

リセット時：00H　R/W　アドレス：FFFFF44AH

	7	6	5	4	3	2	1	0
PMC5	0	0	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50

PMC55	P55端子の動作モードの指定
0	入出力ポート／KR5入力
1	$\overline{\text{SCKA0}}$入出力／RTP05出力

PMC54	P54端子の動作モードの指定
0	入出力ポート／KR4入力
1	SOA0出力／RTP04出力

PMC53	P53端子の動作モードの指定
0	入出力ポート／KR3入力
1	SIA0入力／RTP03出力

PMC52	P52端子の動作モードの指定
0	入出力ポート／KR2入力
1	TO50出力／RTP02出力

PMC51	P51端子の動作モードの指定
0	入出力ポート／KR1入力
1	TI50入力／RTP01出力

PMC50	P50端子の動作モードの指定
0	入出力ポート／KR0入力
1	TI011入力／RTP00出力

(4) ポート5ファンクション・レジスタ5（PF5）

リセット時：00H　R/W　アドレス：FFFFFC6AH

	7	6	5	4	3	2	1	0
PF5	0	0	PF55	PF54	0	0	0	0

PF5n	通常出力／N-chオープン・ドレーン出力の制御（n = 4, 5）
0	通常出力
1	N-chオープン・ドレーン出力

注意1.　PF5レジスタのビット0-3, 6, 7には必ず0を設定してください。

2.　P54, P55をN-chオープン・ドレーンで兼用端子として使用する場合は次の順で設定してください。

必ずポート・ラッチに1を設定後，N-chオープン・ドレーンに設定してください。

P5nビット = 1 → PF5nビット = 1 → PMC5nビット = 1

(5) ポート5ファンクション・コントロール・レジスタ（PFC5）

リセット時：00H　R/W　**アドレス：**FFFFF46AH

	7	6	5	4	3	2	1	0
PFC5	0	0	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50

PFC55	P55端子の兼用端子の指定
0	$\overline{\text{SCKA0}}$入出力
1	RTP05出力

PFC54	P54端子の兼用端子の指定
0	SOA0出力
1	RTP04出力

PFC53	P53端子の兼用端子の指定
0	SIA0入力
1	RTP03出力

PFC52	P52端子の兼用端子の指定
0	TO50出力
1	RTP02出力

PFC51	P51端子の兼用端子の指定
0	TI50入力
1	RTP01出力

PFC50	P50端子の兼用端子の指定
0	TI011入力
1	RTP00出力

(6) プルアップ抵抗オプション・レジスタ5（PU5）

リセット時：00H　R/W　**アドレス：**FFFFFC4AH

	7	6	5	4	3	2	1	0
PU5	0	0	PU55	PU54	PU53	PU52	PU51	PU50

PU5n	内蔵プルアップ抵抗接続制御（n = 0-5）
0	接続しない
1	接続する

4.3.6　ポート7

ポート7は，全端子が入力に固定の8ビット入力専用ポートです。

ポート7は，次に示す端子と兼用しています。

表4－9　ポート7の兼用端子

ピン番号		端子名	兼用端子名	入出力	PULL注	備　考	ブロック・タイプ
GC	GF						
100	2	P70	ANI0	入力	なし	－	A-A
99	1	P71	ANI1	入力			A-A
98	100	P72	ANI2	入力			A-A
97	99	P73	ANI3	入力			A-A
96	98	P74	ANI4	入力			A-A
95	97	P75	ANI5	入力			A-A
94	96	P76	ANI6	入力			A-A
93	95	P77	ANI7	入力			A-A

注　ソフトウエア・プルアップ機能

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

GF：100ピン・プラスチックQFP（14×20）

（1）ポート7レジスタ（P7）

リセット時：不定　　R　　アドレス：FFFFF40EH

	7	6	5	4	3	2	1	0
P7	P77	P76	P75	P74	P73	P72	P71	P70

P7n	入力データの読み出し(n = 0-7)
0	ロウ・レベルを入力
1	ハイ・レベルを入力

4.3.7　ポート9

ポート9は1ビット単位で入出力を制御できる16ビット入出力ポートです。

ポート9は，次に示す端子と兼用しています。

表4－10　ポート9の兼用端子

ピン番号		端子名	兼用端子名	入出力	PULL[注]	備　考	ブロック・タイプ
GC	GF						
43	45	P90	A0/TXD1/KR6	入出力	あり	－	E00-SUTZ
44	46	P91	A1/RXD1/KR7	入出力			E01-SUHTZ
45	47	P92	A2/TI020/TO02	入出力			E00-SUTZ
46	48	P93	A3/TI021	入出力			E01-SULZ
47	49	P94	A4/TI030/TO03	入出力			E00-SUTZ
48	50	P95	A5/TI031	入出力			E01-SULZ
49	51	P96	A6/TI51/TO51	入出力			E00-SUTZ
50	52	P97	A7/SI01	入出力			E01-SUHTZ
51	53	P98	A8/SO01	出力		N-chオープン・ドレーン出力選択可能	E00-UFZ
52	54	P99	A9/$\overline{\text{SCK01}}$	入出力			E02-SUFLZ
53	55	P910	A10/SIA1	入出力		－	E01-SULZ
54	56	P911	A11/SOA1	出力		N-chオープン・ドレーン出力選択可能	E00-UFZ
55	57	P912	A12/$\overline{\text{SCKA1}}$	入出力			E02-SUFLZ
56	58	P913	A13/INTP4	入出力		アナログ・ノイズ除去	E01-SUILZ
57	59	P914	A14/INTP5	入出力			E01-SUILZ
58	60	P915	A15/INTP6	入出力			E01-SUILZ

注　ソフトウエア・プルアップ機能

注意　P93, P95, P97, P99, P910, P912-P915は，兼用機能の入力時にはヒステリシス特性を持ちますが，ポート・モード時にはヒステリシス特性を持ちません。

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

GF：100ピン・プラスチックQFP（14×20）

(1) ポート9レジスタ (P9)

リセット時：00H（出力ラッチ）　R/W　アドレス：P9 FFFFF412H,
P9L FFFFF412H, P9H FFFFF413H

	15	14	13	12	11	10	9	8
P9 (P9H注)	P915	P914	P913	P912	P911	P910	P99	P98

	7	6	5	4	3	2	1	0
(P9L)	P97	P96	P95	P94	P93	P92	P91	P90

P9n	出力データの制御（出力モード時）（n = 0-15）
0	0を出力
1	1を出力

注　P9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，P9Hレジスタのビット0-7として指定してください。

備考　P9レジスタは，16ビット単位でリード／ライト可能です。
ただし，P9レジスタの上位8ビットをP9Hレジスタ，下位8ビットをP9Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

(2) ポート9モード・レジスタ (PM9)

リセット時：FFFFH　R/W　アドレス：PM9 FFFFF432H,
PM9L FFFFF432H, PM9H FFFFF433H

	15	14	13	12	11	10	9	8
PM9 (PM9H注)	PM915	PM914	PM913	PM912	PM911	PM910	PM99	PM98

	7	6	5	4	3	2	1	0
(PM9L)	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90

PM9n	入出力モードの制御（n = 0-15）
0	出力モード
1	入力モード

注　PM9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PM9Hレジスタのビット0-7として指定してください。

備考　PM9レジスタは，16ビット単位でリード／ライト可能です。
ただし，PM9レジスタの上位8ビットをPM9Hレジスタ，下位8ビットをPM9Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

(3) ポート9モード・コントロール・レジスタ（PMC9）

注意　A0-A15端子として使用する場合は，一括してFFFFHと16ビット設定してください。

(1/2)

リセット時：0000H　R/W　アドレス：PMC9 FFFFF452H,
PMC9L FFFFF452H, PMC9H FFFFF453H

	15	14	13	12	11	10	9	8
PMC9　（PMC9H注）	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
	7	6	5	4	3	2	1	0
（PMC9L）	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

PMC915	P915端子の動作モードの指定
0	入出力ポート
1	A15出力/INTP6入力

PMC914	P914端子の動作モードの指定
0	入出力ポート
1	A14出力/INTP5入力

PMC913	P913端子の動作モードの指定
0	入出力ポート
1	A13出力/INTP4入力

PMC912	P912端子の動作モードの指定
0	入出力ポート
1	A12出力/$\overline{\text{SCKA1}}$入出力

PMC911	P911端子の動作モードの指定
0	入出力ポート
1	A11出力/SOA1出力

PMC910	P910端子の動作モードの指定
0	入出力ポート
1	A10出力/SIA1入力

PMC99	P99端子の動作モードの指定
0	入出力ポート
1	A9出力/$\overline{\text{SCK01}}$入出力

PMC98	P98端子の動作モードの指定
0	入出力ポート
1	A8出力/SO01出力

注　PMC9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PMC9Hレジスタのビット0-7として指定してください。

備考　PMC9レジスタは，16ビット単位でリード／ライト可能です。
ただし，PMC9レジスタの上位8ビットをPMC9Hレジスタ，下位8ビットをPMC9Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

(2/2)

PMC97	P97端子の動作モードの指定
0	入出力ポート
1	A7出力/SI01入力

PMC96	P96端子の動作モードの指定
0	入出力ポート/TI51
1	A6出力/TO51出力

PMC95	P95端子の動作モードの指定
0	入出力ポート
1	A5出力/TI031入力

PMC94	P94端子の動作モードの指定
0	入出力ポート/TI030入力
1	A4出力/TO03出力

PMC93	P93端子の動作モードの指定
0	入出力ポート
1	A3出力/TI021入力

PMC92	P92端子の動作モードの指定
0	入出力ポート/TI020入力
1	A2出力/TO02出力

PMC91	P91端子の動作モードの指定
0	入出力ポート/KR7入力
1	A1出力/RXD1入力

PMC90	P90端子の動作モードの指定
0	入出力ポート/KR6入力
1	A0出力/TXD1出力

(4) ポート9ファンクション・レジスタH (PF9H)

リセット時：00H　R/W　アドレス：FFFFFC73H

	7	6	5	4	3	2	1	0
PF9H	0	0	0	PF912	PF911	0	PF99	PF98

PF9n	通常出力/N-chオープン・ドレーン出力の制御 (n = 8, 9, 11, 12)
0	通常出力
1	N-chオープン・ドレーン出力

注意　P98, P99, P911, P912をN-chオープン・ドレーンで兼用端子として使用する場合は次の順で設定してください。

必ずポート・ラッチに1を設定後，N-chオープン・ドレーンに設定してください。

P9nビット = 1 → PFC9nビット = 0/1 → PF9nビット = 1 → PMC9nビット = 1

(5) ポート9ファンクション・コントロール・レジスタ（PFC9）

注意　A0-A15端子として使用する場合は，一括して0000Hと16ビット設定してください。

(1/2)

リセット時：0000H　R/W　アドレス：PFC9 FFFFF472H,
PFC9L FFFFF472H, PFC9H FFFFF473H

	15	14	13	12	11	10	9	8
PFC9　(PFC9H注)	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
(PFC9L)	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

PFC915	P915端子の兼用端子の指定
0	A15出力
1	INTP6入力

PFC914	P914端子の兼用端子の指定
0	A14出力
1	INTP5入力

PFC913	P913端子の兼用端子の指定
0	A13出力
1	INTP4入力

PFC912	P912端子の兼用端子の指定
0	A12出力
1	$\overline{\text{SCKA1}}$入出力

PFC911	P911端子の兼用端子の指定
0	A11出力
1	SOA1出力

PFC910	P910端子の兼用端子の指定
0	A10出力
1	SIA1入力

PFC99	P99端子の兼用端子の指定
0	A9出力
1	$\overline{\text{SCK01}}$入出力

PFC98	P98端子の兼用端子の指定
0	A8出力
1	SO01出力

注　PFC9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PFC9Hレジスタのビット0-7として指定してください。

備考　PFC9レジスタは，16ビット単位でリード／ライト可能です。
ただし，PFC9レジスタの上位8ビットをPFC9Hレジスタ，下位8ビットをPFC9Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

(2/2)

PFC97	P97端子の兼用端子の指定
0	A7出力
1	SI01入力

PFC96	P96端子の兼用端子の指定
0	A6出力
1	TO51出力

PFC95	P95端子の兼用端子の指定
0	A5出力
1	TI031入力

PFC94	P94端子の兼用端子の指定
0	A4出力
1	TO03出力

PFC93	P93端子の兼用端子の指定
0	A3出力
1	TI021入力

PFC92	P92端子の兼用端子の指定
0	A2出力
1	TO02出力

PFC91	P91端子の兼用端子の指定
0	A1出力
1	RXD1入力

PFC90	P90端子の兼用端子の指定
0	A0出力
1	TXD1出力

(6) プルアップ抵抗オプション・レジスタ9 (PU9)

リセット時：0000H　R/W　アドレス：PU9 FFFFFC52H,
PU9L FFFFFC52H, PU9H FFFFFC53H

	15	14	13	12	11	10	9	8
PU9 (PU9H注)	PU915	PU914	PU913	PU912	PU911	PU910	PU99	PU98

	7	6	5	4	3	2	1	0
(PU9L)	PU97	PU96	PU95	PU94	PU93	PU92	PU91	PU90

PU9n	内蔵プルアップ抵抗接続制御 (n = 0-15)
0	接続しない
1	接続する

注　PU9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PU9Hレジスタのビット0-7として指定してください。

備考　PU9レジスタは，16ビット単位でリード／ライト可能です。
ただし，PU9レジスタの上位8ビットをPU9Hレジスタ，下位8ビットをPU9Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

4. 3. 8　ポートCM

ポートCMは1ビット単位で入出力を制御できる6ビット入出力ポートです。

ポートCMは，次に示す端子と兼用しています。

表4－11　ポートCMの兼用端子

ピン番号		端子名	兼用端子名	入出力	PULL[注]	備　考	ブロック・タイプ
GC	GF						
61	63	PCM0	$\overline{\text{WAIT}}$	入力	あり	－	D1-UH
62	64	PCM1	CLKOUT	出力			D0-U
63	65	PCM2	$\overline{\text{HLDAK}}$	出力			D0-U
64	66	PCM3	$\overline{\text{HLDRQ}}$	入力			D1-UH

注　ソフトウエア・プルアップ機能

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

GF：100ピン・プラスチックQFP（14×20）

（1）ポートCMレジスタ（PCM）

リセット時：00H（出力ラッチ）　R/W　アドレス：FFFFF00CH

	7	6	5	4	3	2	1	0
PCM	0	0	0	0	PCM3	PCM2	PCM1	PCM0

PCMn	出力データの制御（出力モード時）（n = 0-3）
0	0を出力
1	1を出力

（2）ポートCMモード・レジスタ（PMCM）

リセット時：FFH　R/W　アドレス：FFFFF02CH

	7	6	5	4	3	2	1	0
PMCM	1	1	1	1	PMCM3	PMCM2	PMCM1	PMCM0

PMCMn	入出力モードの制御（n = 0-3）
0	出力モード
1	入力モード

(3) ポートCMモード・コントロール・レジスタ（PMCCM）

リセット時：00H　R/W　アドレス：FFFFF04CH

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	PMCCM3	PMCCM2	PMCCM1	PMCCM0

PMCCM3	PCM3端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{HLDRQ}}$入力

PMCCM2	PCM2端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{HLDAK}}$出力

PMCCM1	PCM1端子の動作モードの指定
0	入出力ポート
1	CLKOUT出力

PMCCM0	PCM0端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{WAIT}}$入力

(4) プルアップ抵抗オプション・レジスタCM（PUCM）

リセット時：00H　R/W　アドレス：FFFFFF4CH

	7	6	5	4	3	2	1	0
PUCM	0	0	0	0	PUCM3	PUCM2	PUCM1	PUCM0

PUCMn	内蔵プルアップ抵抗接続制御（n = 0-3）
0	接続しない
1	接続する

4.3.9　ポートCS

ポートCSは1ビット単位で入出力を制御できる2ビット入出力ポートです。

ポートCSは，次に示す端子と兼用しています。

表4－12　ポートCSの兼用端子

ピン番号		端子名	兼用端子名	入出力	PULL[注]	備　考	ブロック・タイプ
GC	GF						
59	61	PCS0	$\overline{CS0}$	出力	あり	－	D0-UZ
60	62	PCS1	$\overline{CS1}$	出力			D0-UZ

注　ソフトウエア・プルアップ機能

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

GF：100ピン・プラスチックQFP（14×20）

（1）ポートCSレジスタ（PCS）

リセット時：00H（出力ラッチ）　R/W　アドレス：FFFFF008H

	7	6	5	4	3	2	1	0
PCS	0	0	0	0	0	0	PCS1	PCS0

PCSn	出力データの制御（出力モード時）（n = 0, 1）
0	0を出力
1	1を出力

（2）ポートCSモード・レジスタ（PMCS）

リセット時：FFH　R/W　アドレス：FFFFF028H

	7	6	5	4	3	2	1	0
PMCS	0	0	0	0	0	0	PMCS1	PMCS0

PMCSn	入出力モードの制御（n = 0, 1）
0	出力モード
1	入力モード

(3) ポートCSモード・コントロール・レジスタ（PMCCS）

リセット時：00H　R/W　**アドレス：**FFFFF048H

	7	6	5	4	3	2	1	0
PMCCS	0	0	0	0	0	0	PMCCS1	PMCCS0

PMCCSn	PCSn端子の動作モードの指定（n = 0, 1）
0	**入出力ポート**
1	$\overline{\text{CS}}$n**出力**

(4) プルアップ抵抗オプション・レジスタCS（PUCS）

リセット時：00H　R/W　**アドレス：**FFFFFF48H

	7	6	5	4	3	2	1	0
PUCS	0	0	0	0	0	0	PUCS1	PUCS0

PUCSn	内蔵プルアップ抵抗接続制御（n = 0, 1）
0	**接続しない**
1	**接続する**

4. 3. 10　ポートCT

ポートCTは1ビット単位で入出力を制御できる4ビット入出力ポートです。

表4－13　ポートCTの兼用端子

ピン番号		端子名	兼用端子名	入出力	PULL注	備　考	ブロック・タイプ
GC	GF						
65	67	PCT0	$\overline{WR0}$	出力	あり	－	D0-UZ
66	68	PCT1	$\overline{WR1}$	出力			D0-UZ
67	69	PCT4	$\overline{RD}$	出力			D0-UZ
68	70	PCT6	ASTB	出力			D0-UZ

注　ソフトウエア・プルアップ機能

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）
GF：100ピン・プラスチックQFP（14×20）

（1）ポートCTレジスタ（PCT）

リセット時：00H（出力ラッチ）　R/W　アドレス：FFFFF00AH

	7	6	5	4	3	2	1	0
PCT	0	PCT6	0	PCT4	0	0	PCT1	PCT0

PCTn	出力データの制御（出力モード時）（n = 0, 1, 4, 6）
0	0を出力
1	1を出力

（2）ポートCTモード・レジスタ（PMCT）

リセット時：FFH　R/W　アドレス：FFFFF02AH

	7	6	5	4	3	2	1	0
PMCT	0	PMCT6	0	PMCT4	0	0	PMCT1	PMCT0

PMCTn	入出力モードの制御（n = 0, 1, 4, 6）
0	出力モード
1	入力モード

(3) ポートCTモード・コントロール・レジスタ（PMCCT）

リセット時：00H　R/W　アドレス：FFFFF04AH

	7	6	5	4	3	2	1	0
PMCCT	0	PMCCT6	0	PMCCT4	0	0	PMCCT1	PMCCT0

PMCCT6	PCT6端子の動作モードの指定
0	入出力ポート
1	ASTB出力

PMCCT4	PCT4端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{RD}}$出力

PMCCT1	PCT1端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{WR1}}$出力

PMCCT0	PCT0端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{WR0}}$出力

(4) プルアップ抵抗オプション・レジスタCT（PUCT）

リセット時：00H　R/W　アドレス：FFFFFF4AH

	7	6	5	4	3	2	1	0
PUCT	0	PUCT6	0	PUCT4	0	0	PUCT1	PUCT0

PUCTn	内蔵プルアップ抵抗接続制御（n = 0, 1, 4, 6）
0	接続しない
1	接続する

4. 3. 11　ポートDH

ポートDHは1ビット単位で入出力を制御できる6ビット入出力ポートです。

ポートDHは，次に示す端子と兼用しています。

表4－14　ポートDHの兼用端子

ピン番号		端子名	兼用端子名	入出力	PULL[注]	備　考	ブロック・タイプ
GC	GF						
87	89	PDH0	A16	出力	あり	－	D0-UZ
88	90	PDH1	A17	出力			D0-UZ
89	91	PDH2	A18	出力			D0-UZ
90	92	PDH3	A19	出力			D0-UZ
91	93	PDH4	A20	出力			D0-UZ
92	94	PDH5	A21	出力			D0-UZ

注　ソフトウエア・プルアップ機能

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）
GF：100ピン・プラスチックQFP（14×20）

(1) ポートDHレジスタ（PDH）

リセット時：00H（出力ラッチ）　R/W　アドレス：FFFFF006H

	7	6	5	4	3	2	1	0
PDH	0	0	PDH5	PDH4	PDH3	PDH2	PDH1	PDH0

PDHn	出力データの制御（出力モード時）（n = 0-5）
0	0を出力
1	1を出力

(2) ポートDHモード・レジスタ（PMDH）

リセット時：FFH　R/W　アドレス：FFFFF026H

	7	6	5	4	3	2	1	0
PMDH	1	1	PMDH5	PMDH4	PMDH3	PMDH2	PMDH1	PMDH0

PMDHn	入出力モードの制御（n = 0-5）
0	出力モード
1	入力モード

(3) ポートDHモード・コントロール・レジスタ（PMCDH）

リセット時：00H　R/W　アドレス：FFFFF046H

	7	6	5	4	3	2	1	0
PMCDH	0	0	PMCDH5	PMCDH4	PMCDH3	PMCDH2	PMCDH1	PMCDH0

PMCDHn	PDHn端子の動作モードの指定（n = 0-5）
0	入出力ポート
1	Am出力（アドレス・バス出力）（m = 16-21）

注意　1ビットごとにポート／兼用機能を指定する場合は，兼用機能の動作について十分注意してください。

(4) プルアップ抵抗オプション・レジスタDH（PUDH）

リセット時：00H　R/W　アドレス：FFFFFF46H

	7	6	5	4	3	2	1	0
PUDH	0	0	PUDH5	PUDH4	PUDH3	PUDH2	PUDH1	PUDH0

PUDHn	内蔵プルアップ抵抗接続制御（n = 0-5）
0	接続しない
1	接続する

4. 3. 12　ポートDL

ポートDLは1ビット単位で入出力を制御できる16ビット入出力ポートです。

ポートDLは，次に示す端子と兼用しています。

表4－15　ポートDLの兼用端子

ピン番号		端子名	兼用端子名	入出力	PULL注	備　考	ブロック・タイプ
GC	GF						
71	73	PDL0	AD0	入出力	あり	－	D2-ULZ
72	74	PDL1	AD1	入出力			D2-ULZ
73	75	PDL2	AD2	入出力			D2-ULZ
74	76	PDL3	AD3	入出力			D2-ULZ
75	77	PDL4	AD4	入出力			D2-ULZ
76	78	PDL5	AD5	入出力			D2-ULZ
77	79	PDL6	AD6	入出力			D2-ULZ
78	80	PDL7	AD7	入出力			D2-ULZ
79	81	PDL8	AD8	入出力			D2-ULZ
80	82	PDL9	AD9	入出力			D2-ULZ
81	83	PDL10	AD10	入出力			D2-ULZ
82	84	PDL11	AD11	入出力			D2-ULZ
83	85	PDL12	AD12	入出力			D2-ULZ
84	86	PDL13	AD13	入出力			D2-ULZ
85	87	PDL14	AD14	入出力			D2-ULZ
86	88	PDL15	AD15	入出力			D2-ULZ

注　ソフトウエア・プルアップ機能

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

GF：100ピン・プラスチックQFP（14×20）

(1) ポートDLレジスタ（PDL）

リセット時：00H（出力ラッチ）　R/W　アドレス：PDL FFFFF004H,
PDLL FFFFF004H, PDLH FFFFF005H

	15	14	13	12	11	10	9	8
PDL　（PDLH注）	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8

	7	6	5	4	3	2	1	0
（PDLL）	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0

PDLn	出力データの制御（出力モード時）（n = 0-15）
0	0を出力
1	1を出力

注　PDLレジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PDLHレジスタのビット0-7として指定してください。

備考　PDLレジスタは，16ビット単位でリード／ライト可能です。
ただし，PDLレジスタの上位8ビットをPDLHレジスタ，下位8ビットをPDLLレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

(2) ポートDLモード・レジスタ（PMDL）

リセット時：FFFFH　R/W　アドレス：PMDL FFFFF024H,
PMDLL FFFFF024H, PMDLH FFFFF025H

	15	14	13	12	11	10	9	8
PMDL　（PMDLH注）	PMDL15	PMDL14	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8

	7	6	5	4	3	2	1	0
（PMDLL）	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0

PMDLn	入出力モードの制御（n = 0-15）
0	出力モード
1	入力モード

注　PMDLレジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PMDLHレジスタのビット0-7として指定してください。

備考　PMDLレジスタは，16ビット単位でリード／ライト可能です。
ただし，PMDLレジスタの上位8ビットをPMDLHレジスタ，下位8ビットをPMDLLレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

(3) ポートDLモード・コントロール・レジスタ（PMCDL）

リセット時：0000H　R/W　アドレス：PMCDL FFFFF044H,
PMCDLL FFFFF044H, PMCDLH FFFFF045H

	15	14	13	12	11	10	9	8
PMCDL　（PMCDLH注）	PMCDL15	PMCDL14	PMCDL13	PMCDL12	PMCDL11	PMCDL10	PMCDL9	PMCDL8

	7	6	5	4	3	2	1	0
（PMCDLL）	PMCDL7	PMCDL6	PMCDL5	PMCDL4	PMCDL3	PMCDL2	PMCDL1	PMCDL0

PMCDLn	PDLn端子の動作モードの指定（n = 0-15）
0	入出力ポート
1	ADn入出力（アドレス／データ・バス入出力）

注　PMCDLレジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PMCDLHレジスタのビット0-7として指定してください。

注意　1ビットごとにポート／兼用機能を指定する場合は，兼用機能の動作について十分注意してください。

備考　PMCDLレジスタは，16ビット単位でリード／ライト可能です。
ただし，PMCDLレジスタの上位8ビットをPMCDLHレジスタ，下位8ビットをPMCDLLレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

(4) プルアップ抵抗オプション・レジスタDL（PUDL）

リセット時：0000H　R/W　アドレス：PUDL FFFFFF44H,
PUDLL FFFFFF44H, PUDLH FFFFFF45H

	15	14	13	12	11	10	9	8
PUDL　（PUDLH注）	PUDL15	PUDL14	PUDL13	PUDL12	PUDL11	PUDL10	PUDL9	PUDL8

	7	6	5	4	3	2	1	0
（PUDLL）	PUDL7	PUDL6	PUDL5	PUDL4	PUDL3	PUDL2	PUDL1	PUDL0

PUDLn	内蔵プルアップ抵抗接続制御（n = 0-15）
0	接続しない
1	接続する

注　PUDLレジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PUDLHレジスタのビット0-7として指定してください。

備考　PUDLレジスタは，16ビット単位でリード／ライト可能です。
ただし，PUDLレジスタの上位8ビットをPUDLHレジスタ，下位8ビットをPUDLLレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

4.4　ブロック図

図4－2　タイプA-Aのブロック図

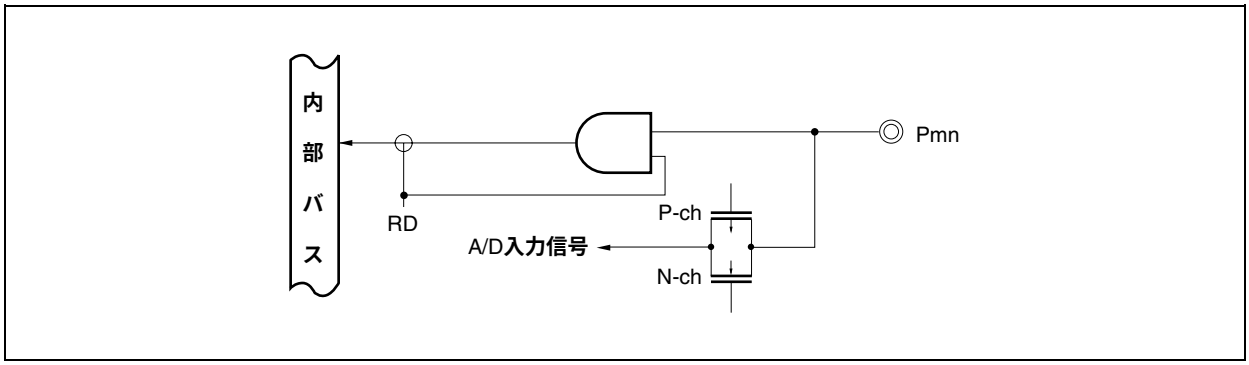


図4－3　タイプC-NMUのブロック図

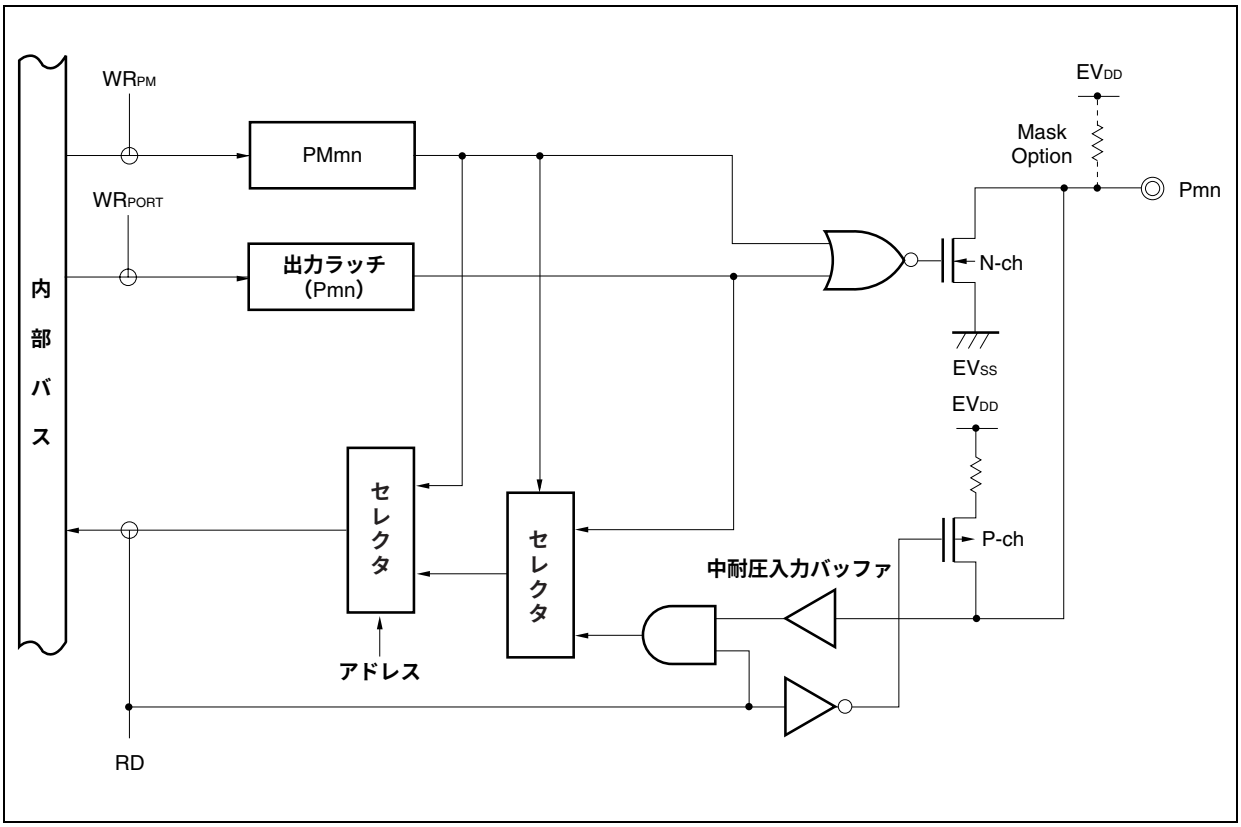


図4ー4　タイプC-UAのブロック図

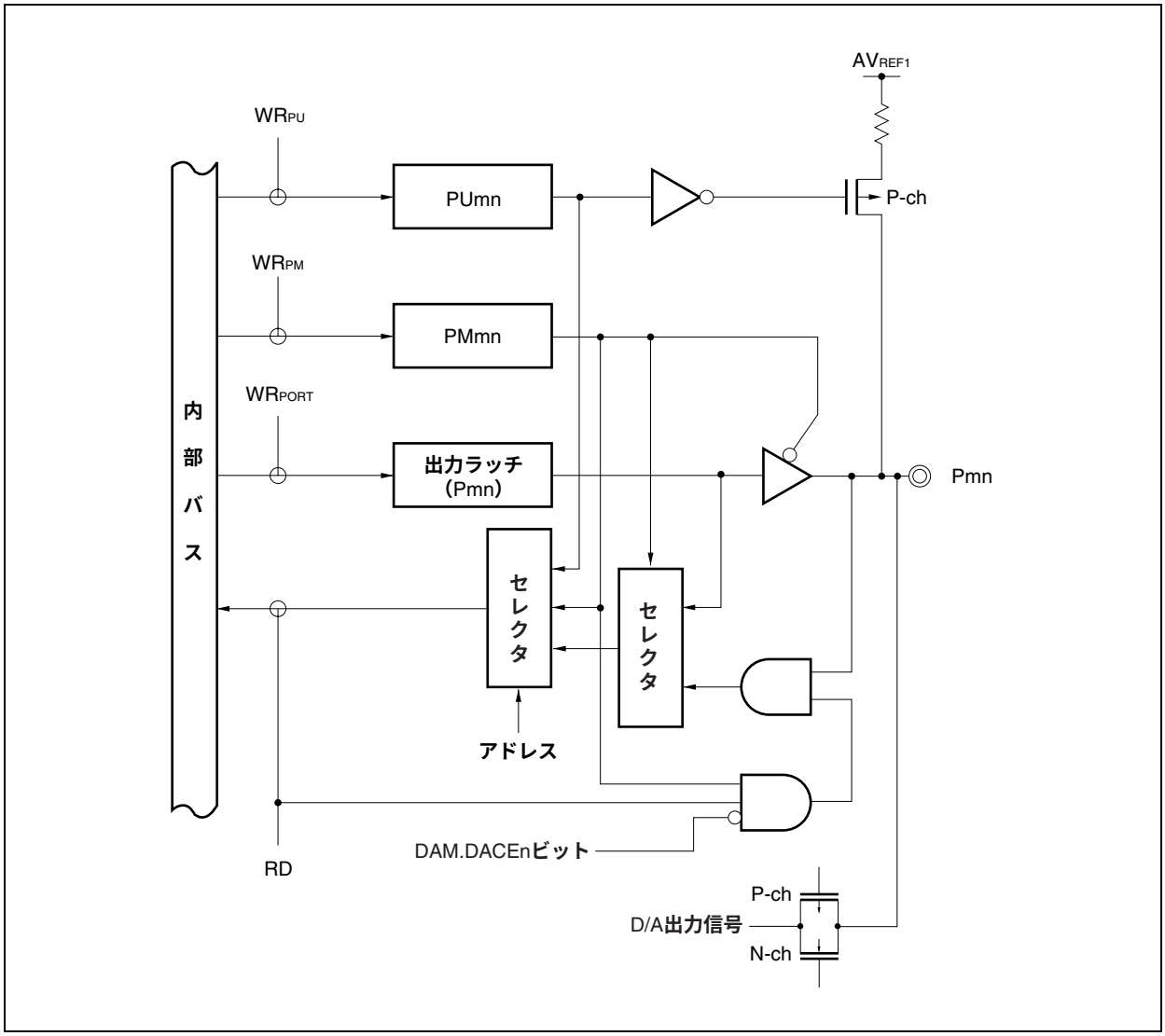
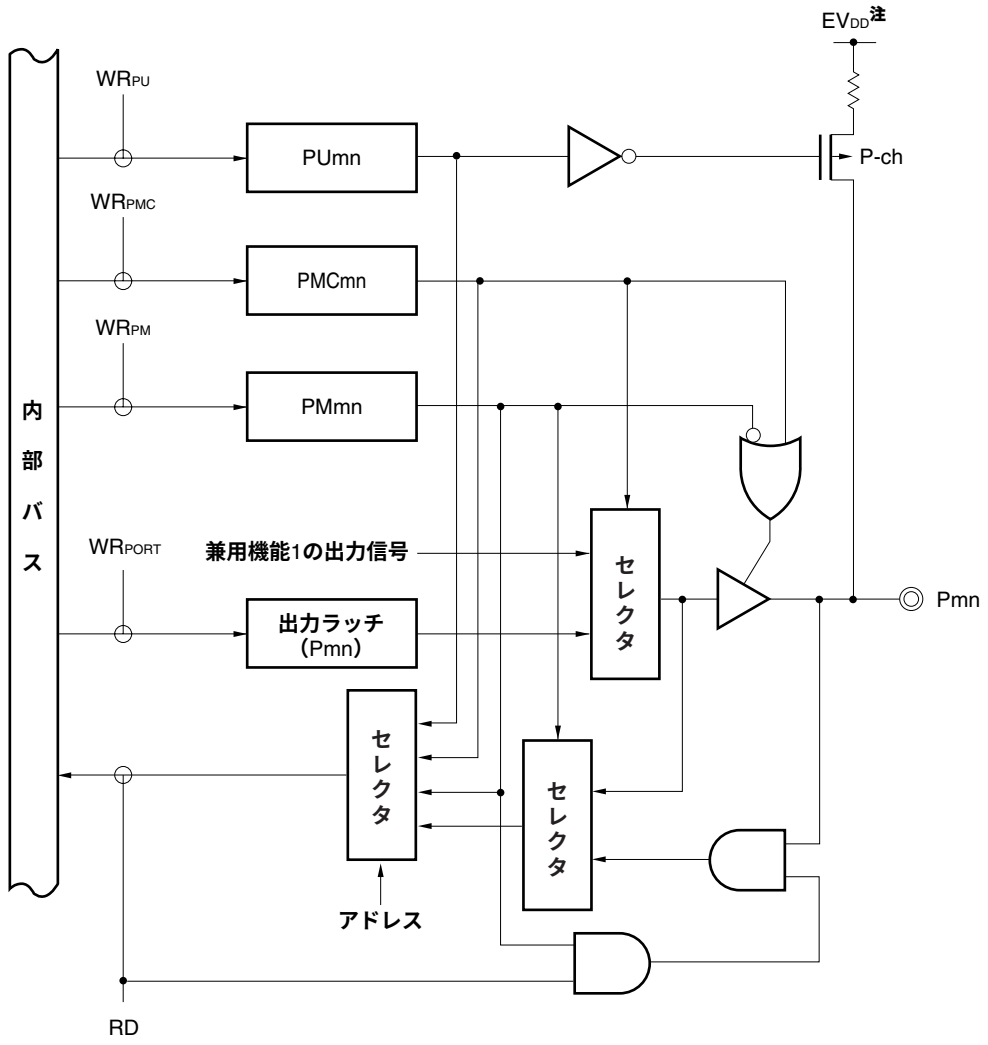
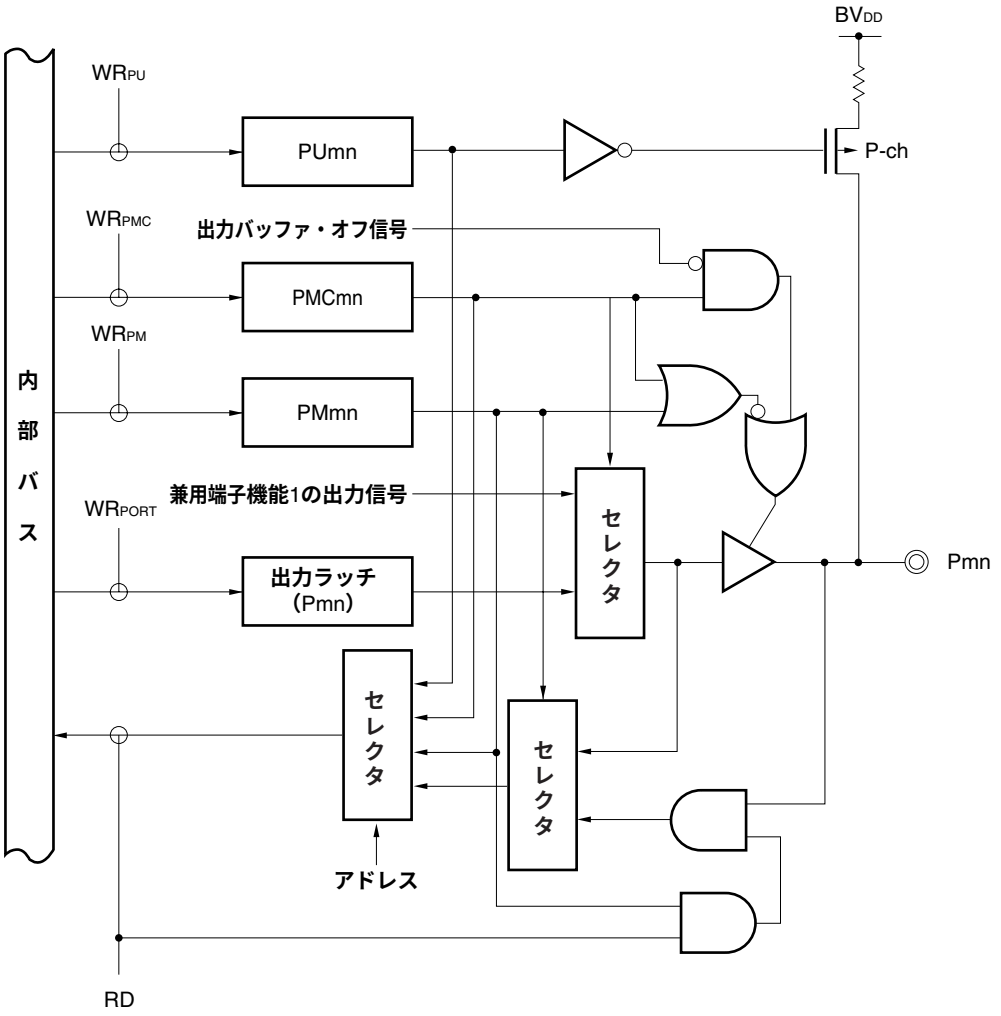


図4－5　タイプD0-Uのブロック図



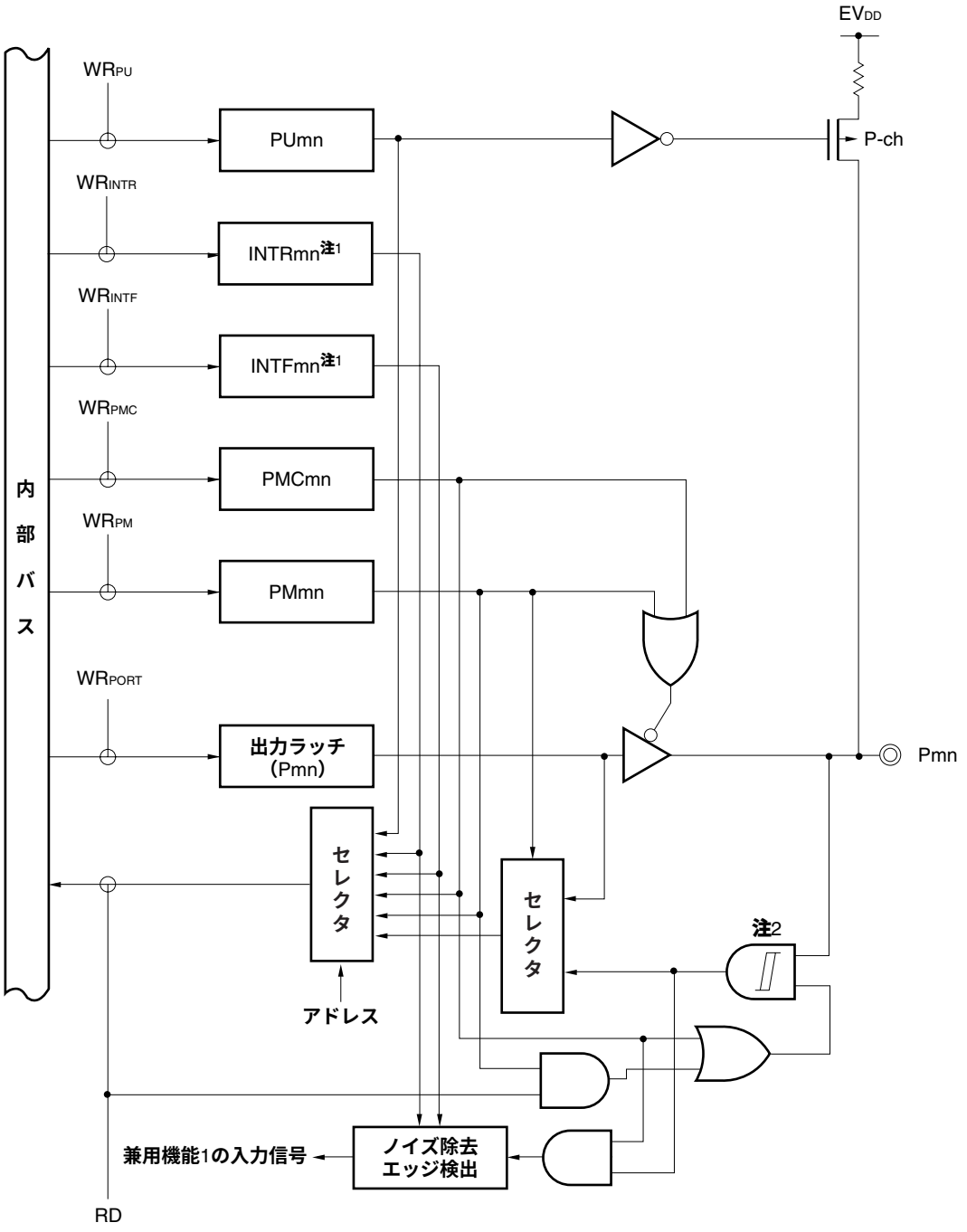
注　PCM1, PCM2はBVDDです。

図4－6　タイプD0-UZのブロック図



備考　出力バッファ・オフ信号：IDLE/STOPモード時，バス・ホールド時にのみアクティブになる信号

図4－7　タイプD1-SUILのブロック図



注1.　21. 4　**外部割り込み要求入力端子（**NMI, INTP0-INTP7**）参照**

2.　**ポート・モード時はヒステリシス特性を持ちません。**

図4－8　タイプD1-UHのブロック図

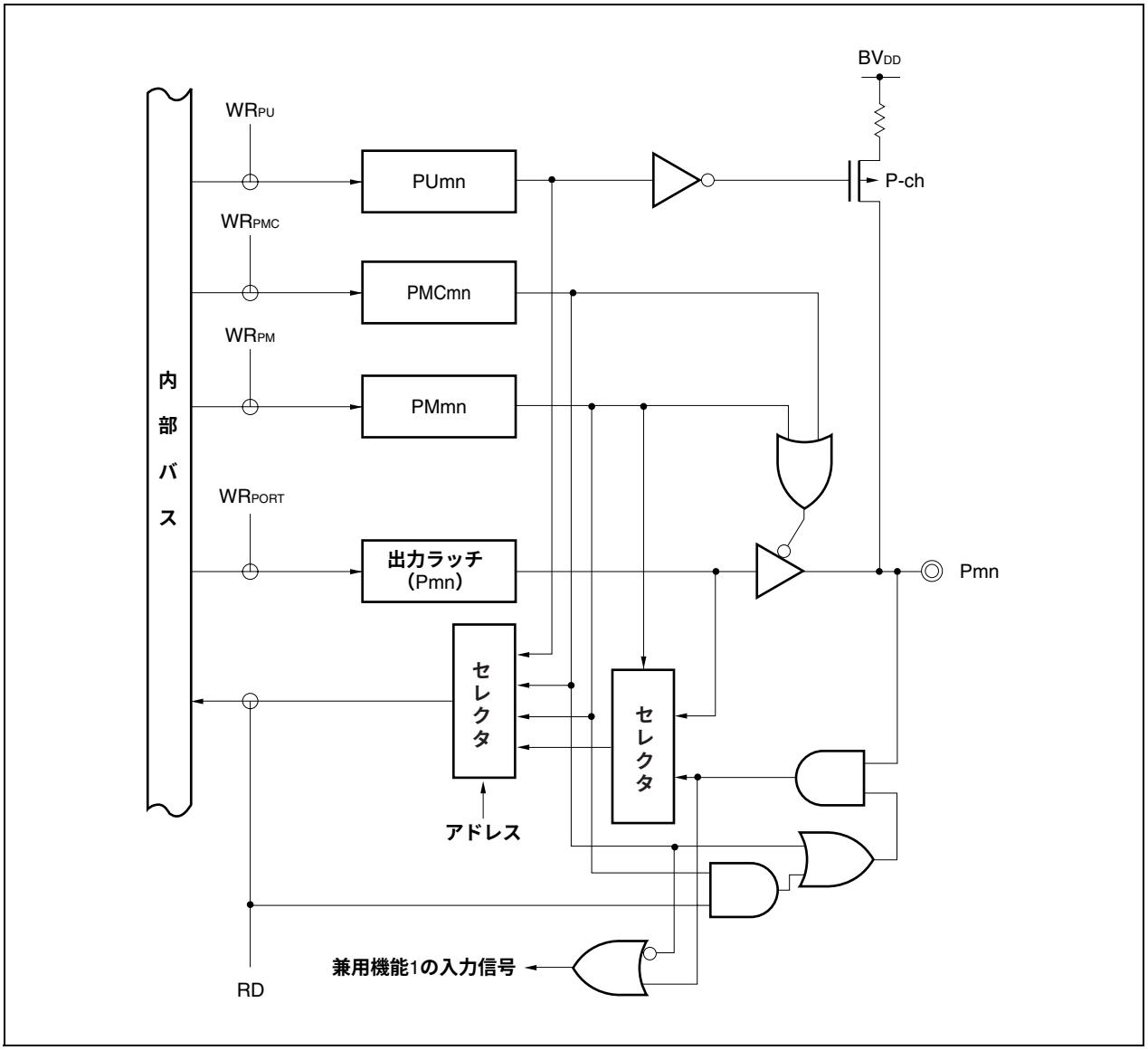
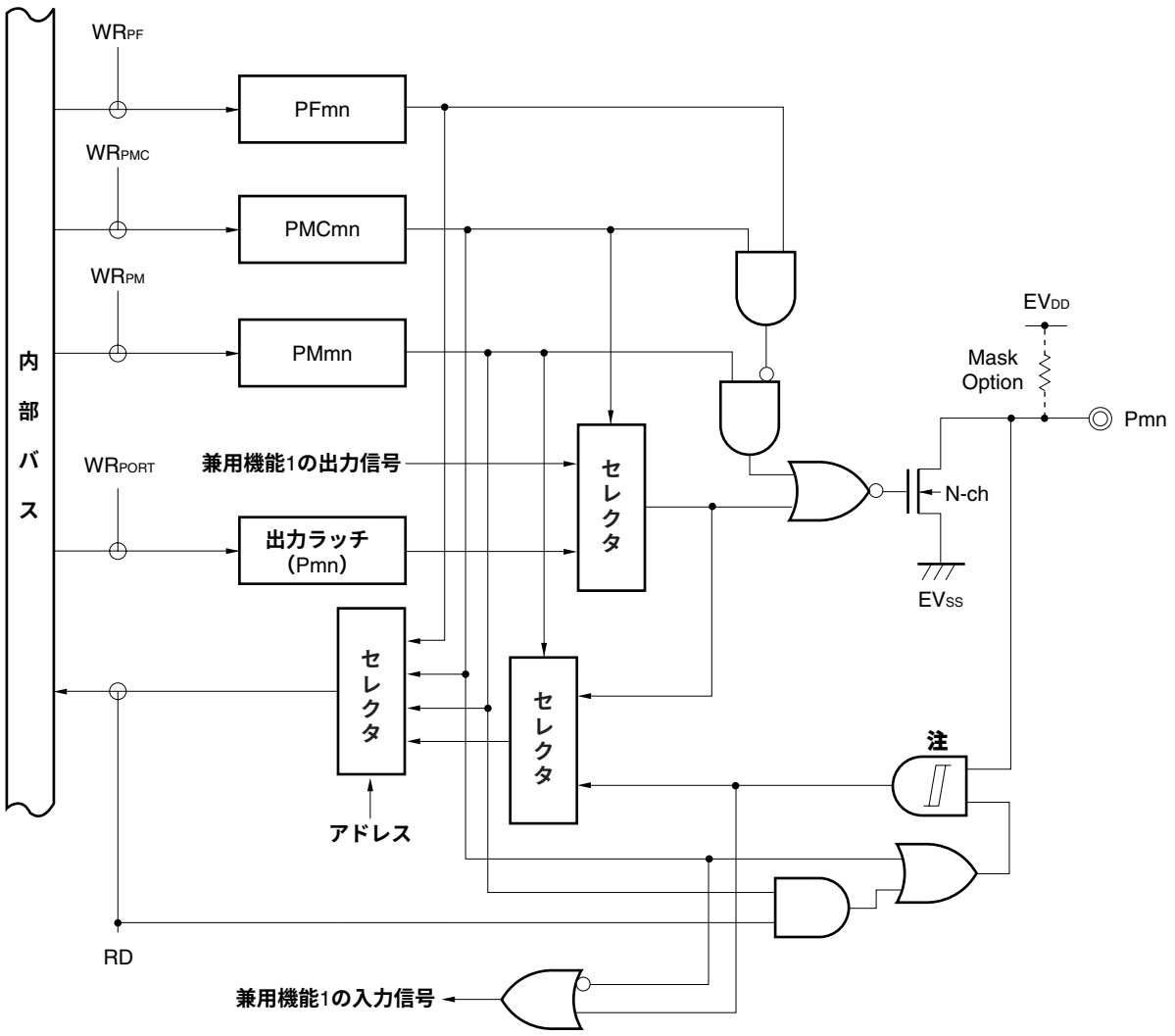
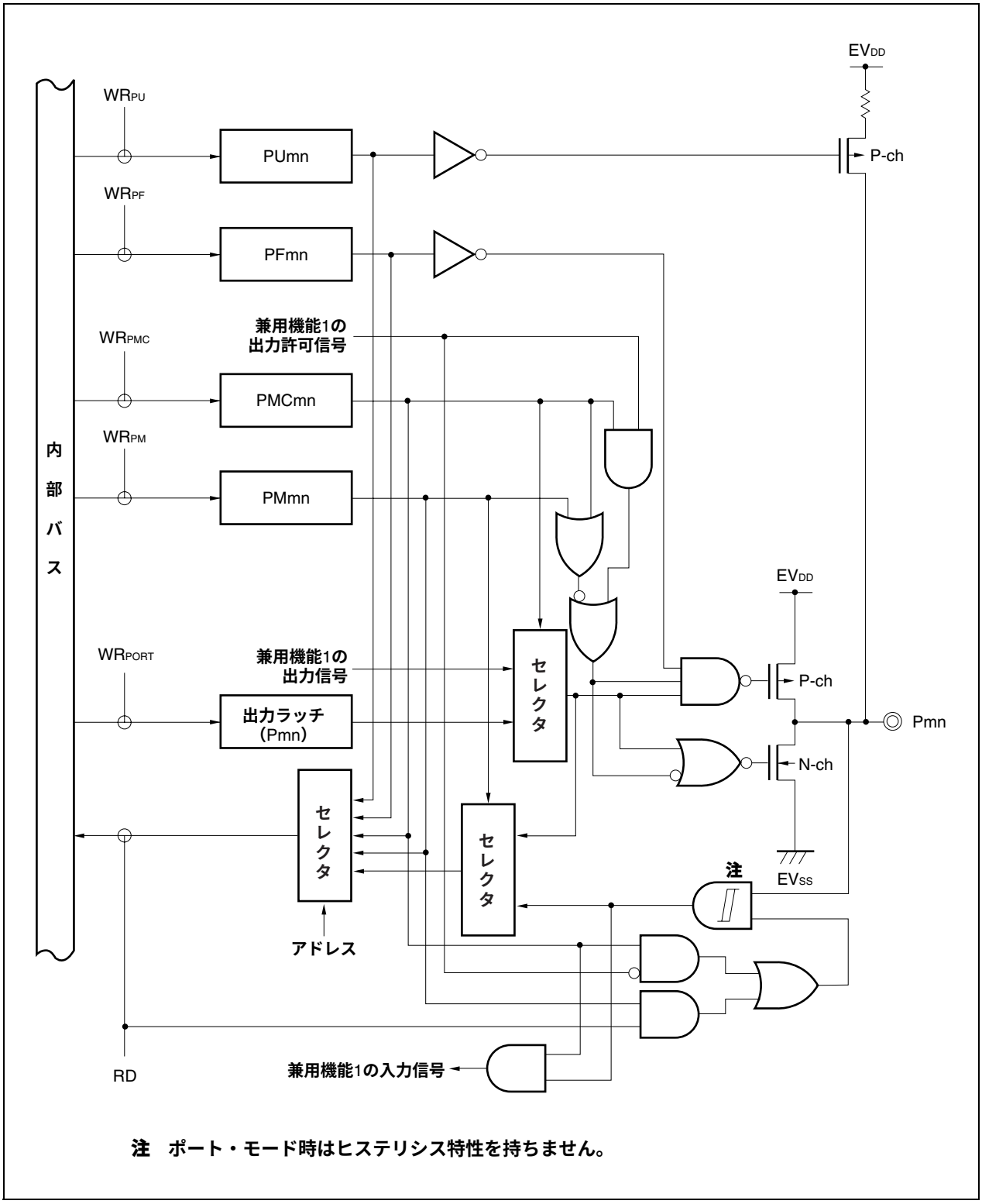


図4ー9　タイプD2-SNMUFHのブロック図



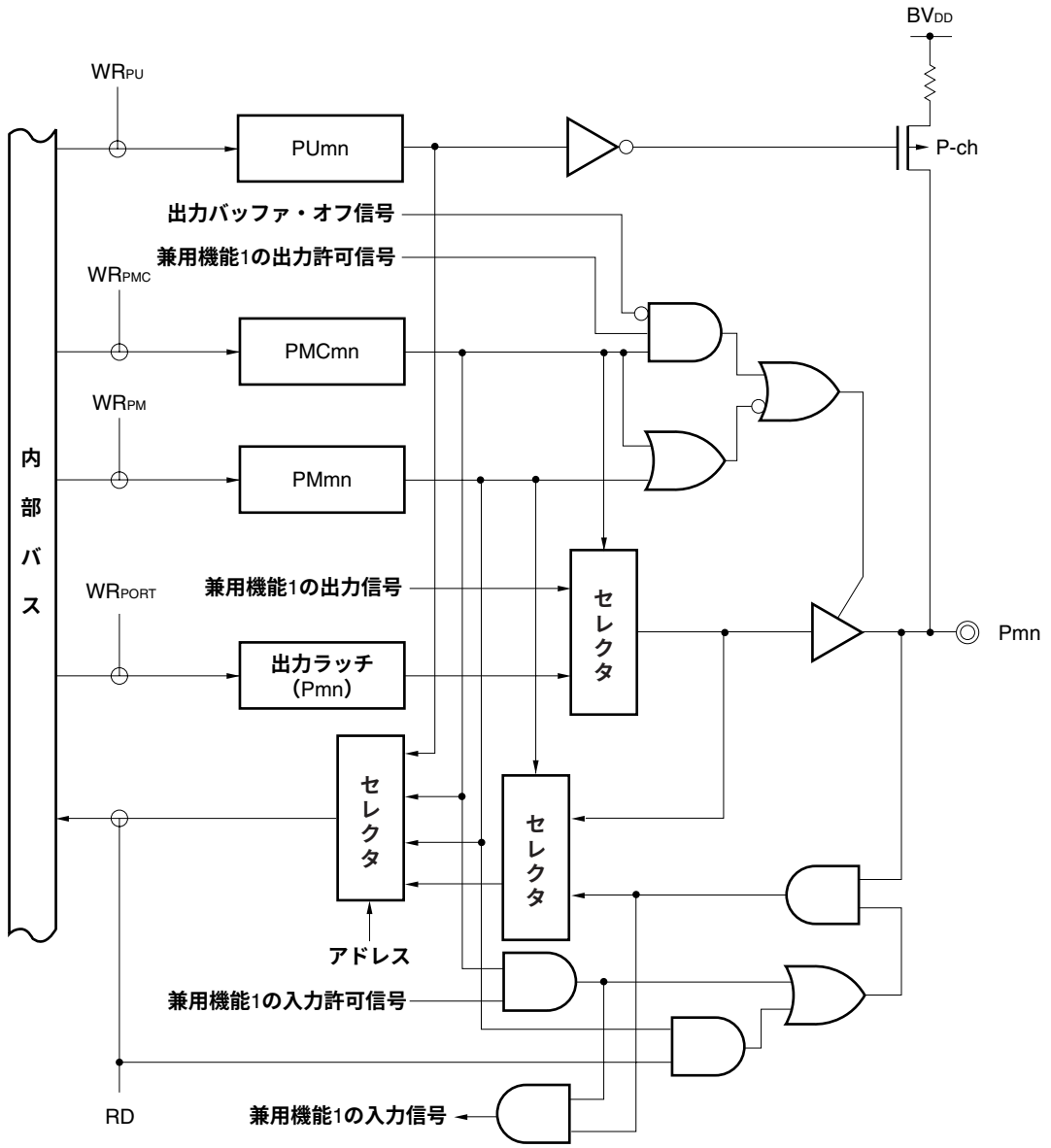
注　ポート・モード時はヒステリシス特性を持ちません。

図4－10　タイプD2-SUFLのブロック図



注　ポート・モード時はヒステリシス特性を持ちません。

図4－11　タイプD2-ULZのブロック図



備考　出力バッファ・オフ信号：IDLE/STOPモード時，バス・ホールド時にのみアクティブになる信号

図4－12　タイプE00-SUFTのブロック図

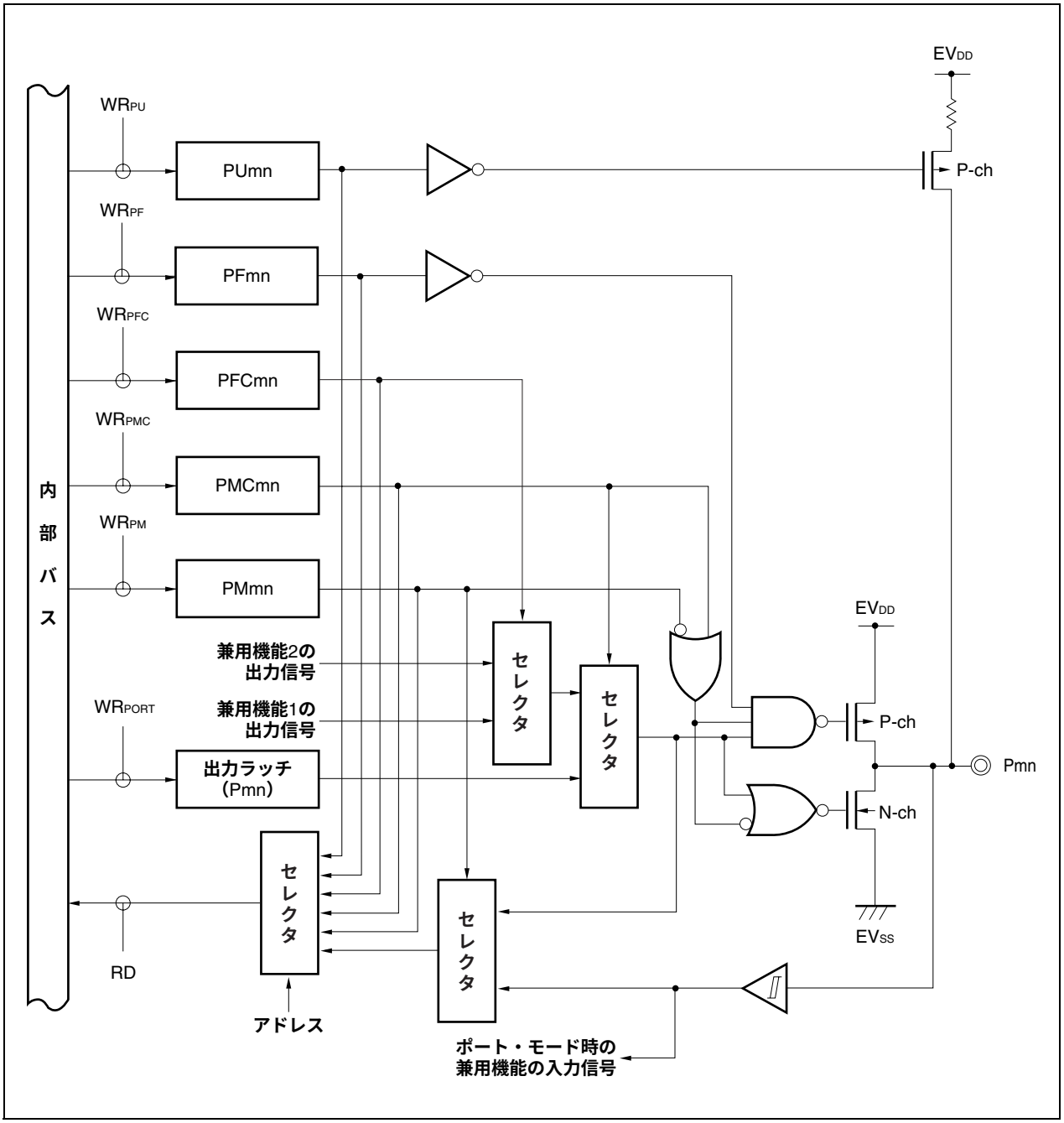


図4－13　タイプE00-SUTのブロック図

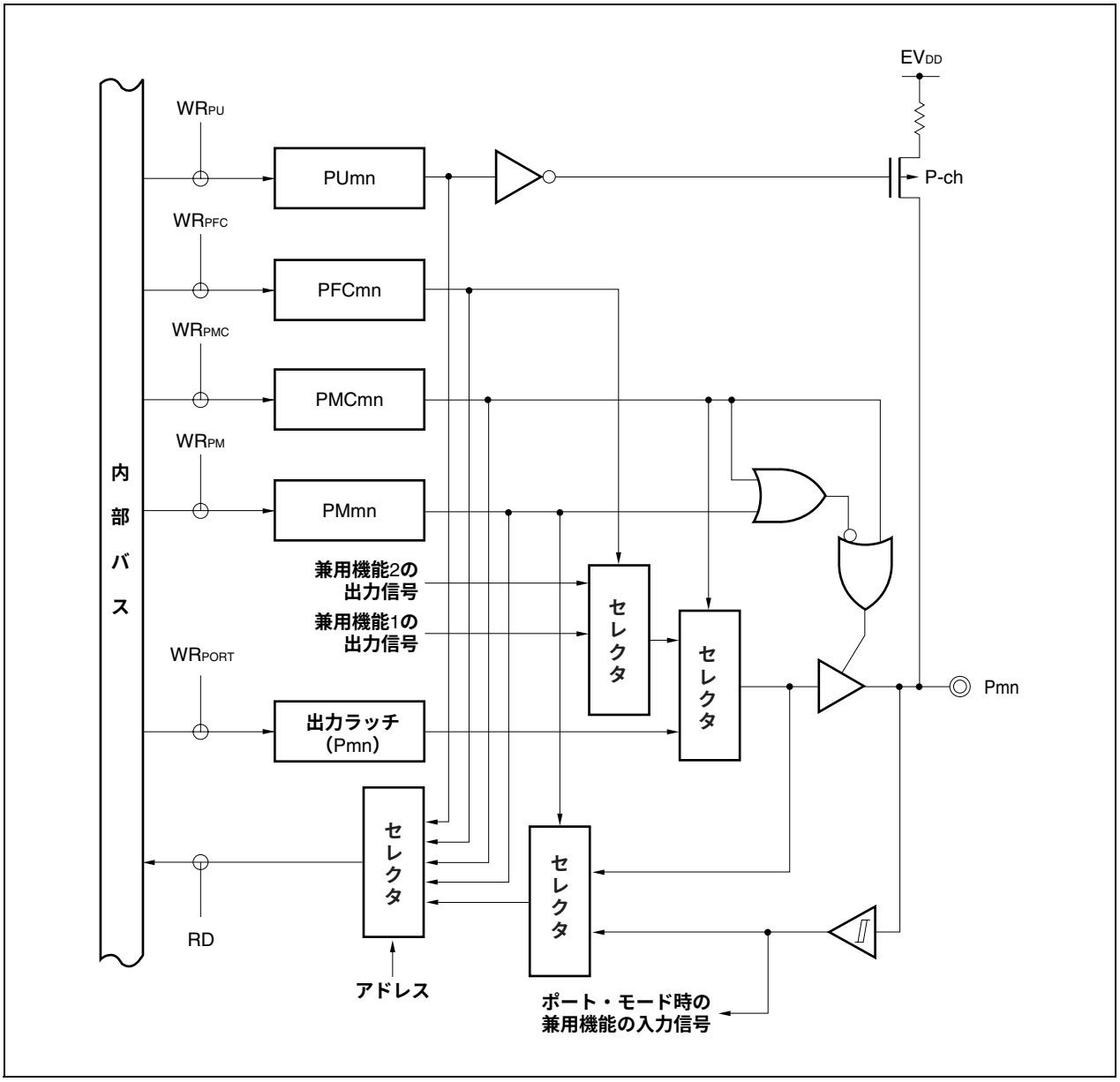
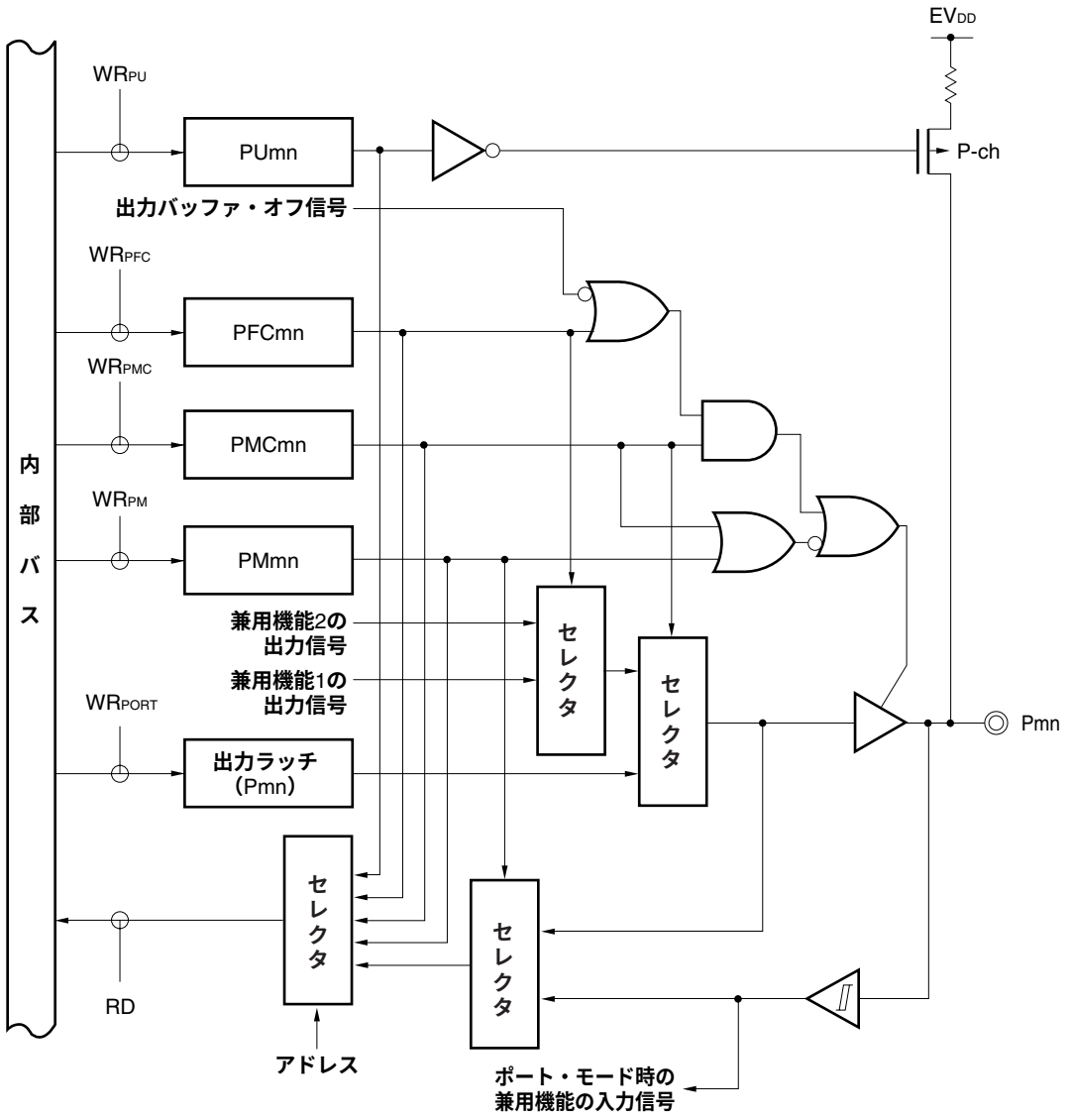


図4－14　タイプE00-SUTZのブロック図



備考　出力バッファ・オフ信号：IDLE/STOPモード時，バス・ホールド時にのみアクティブになる信号

図4－15　タイプE00-Uのブロック図

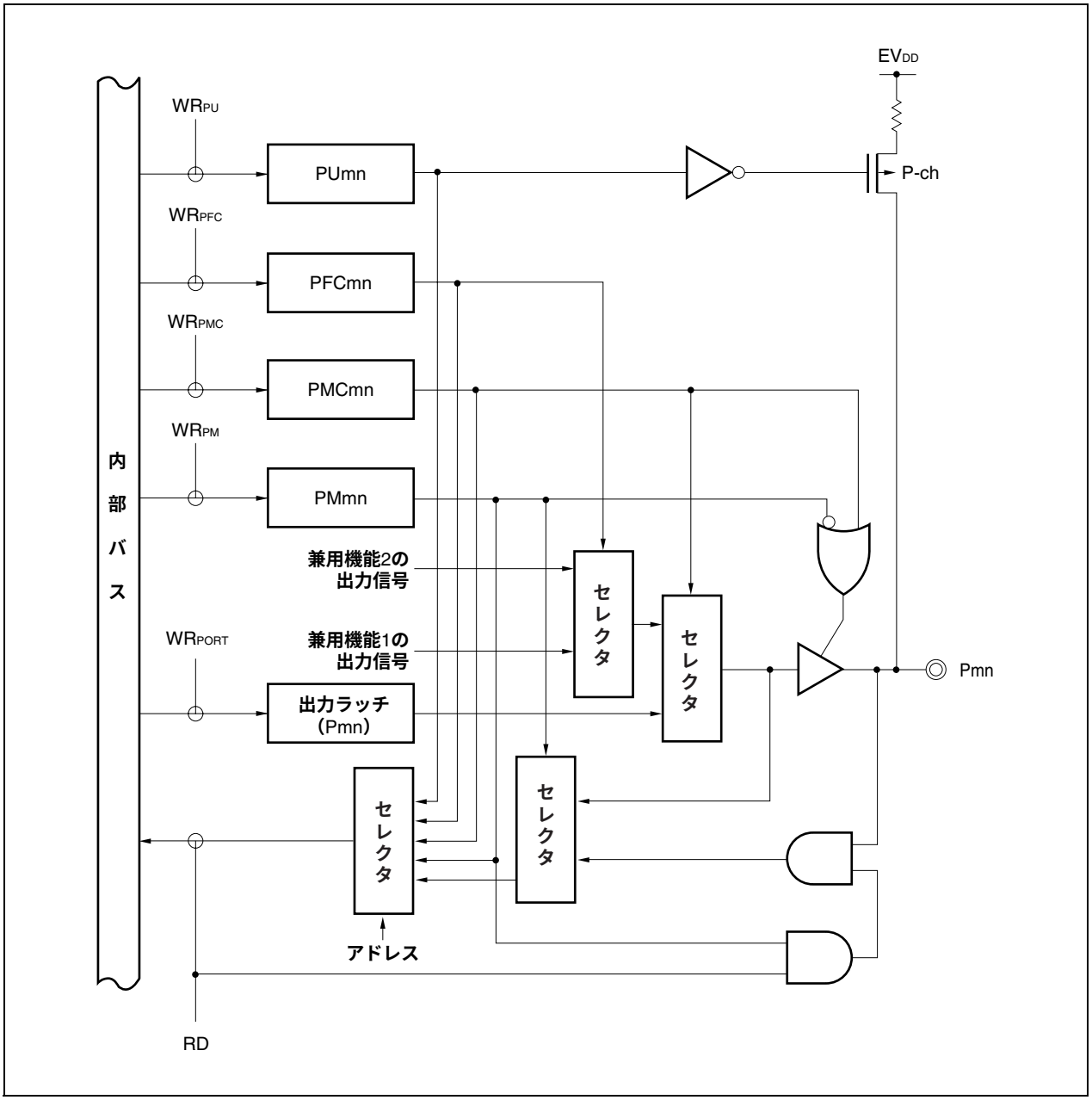


図4－16　タイプE00-UFのブロック図

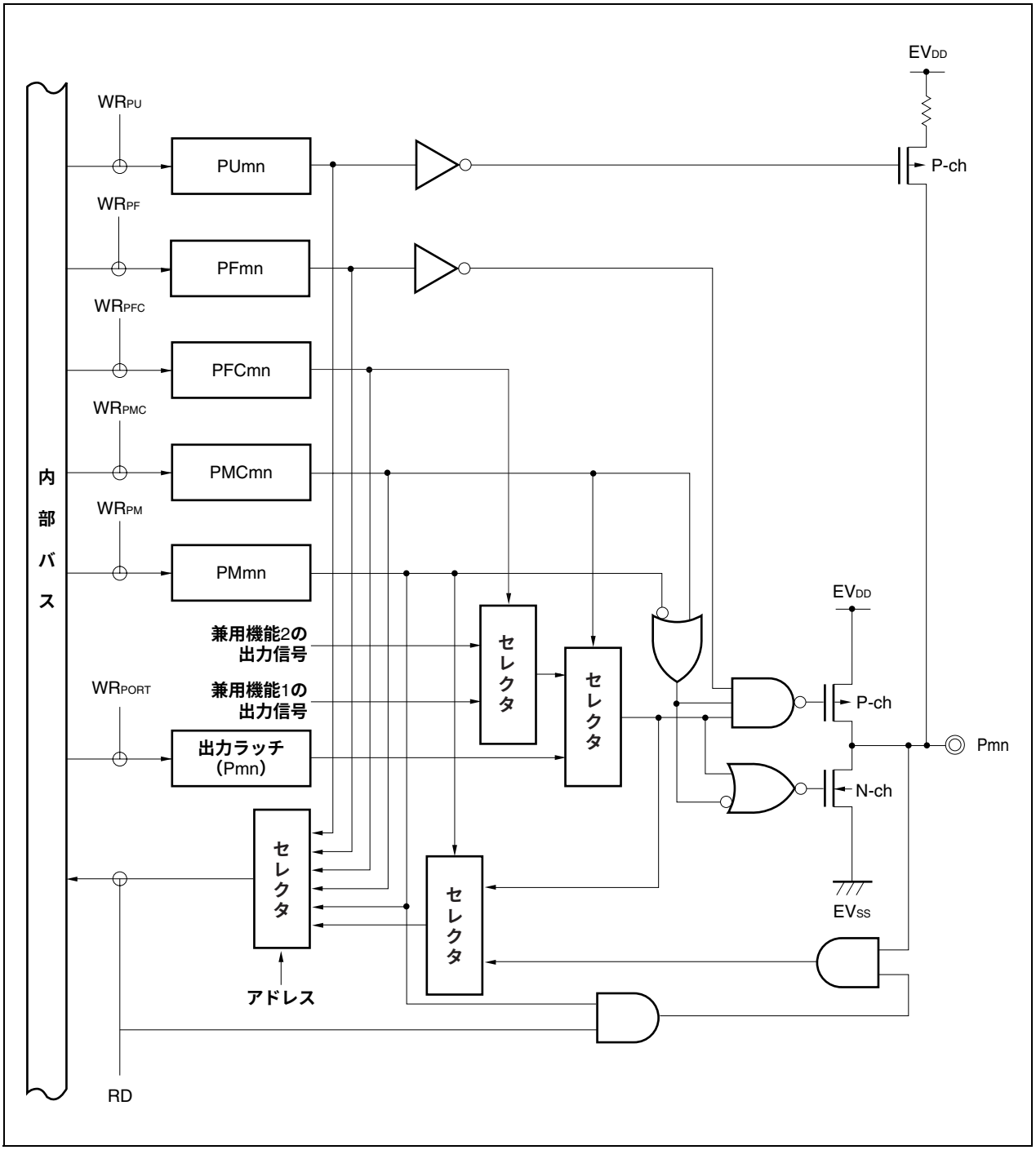
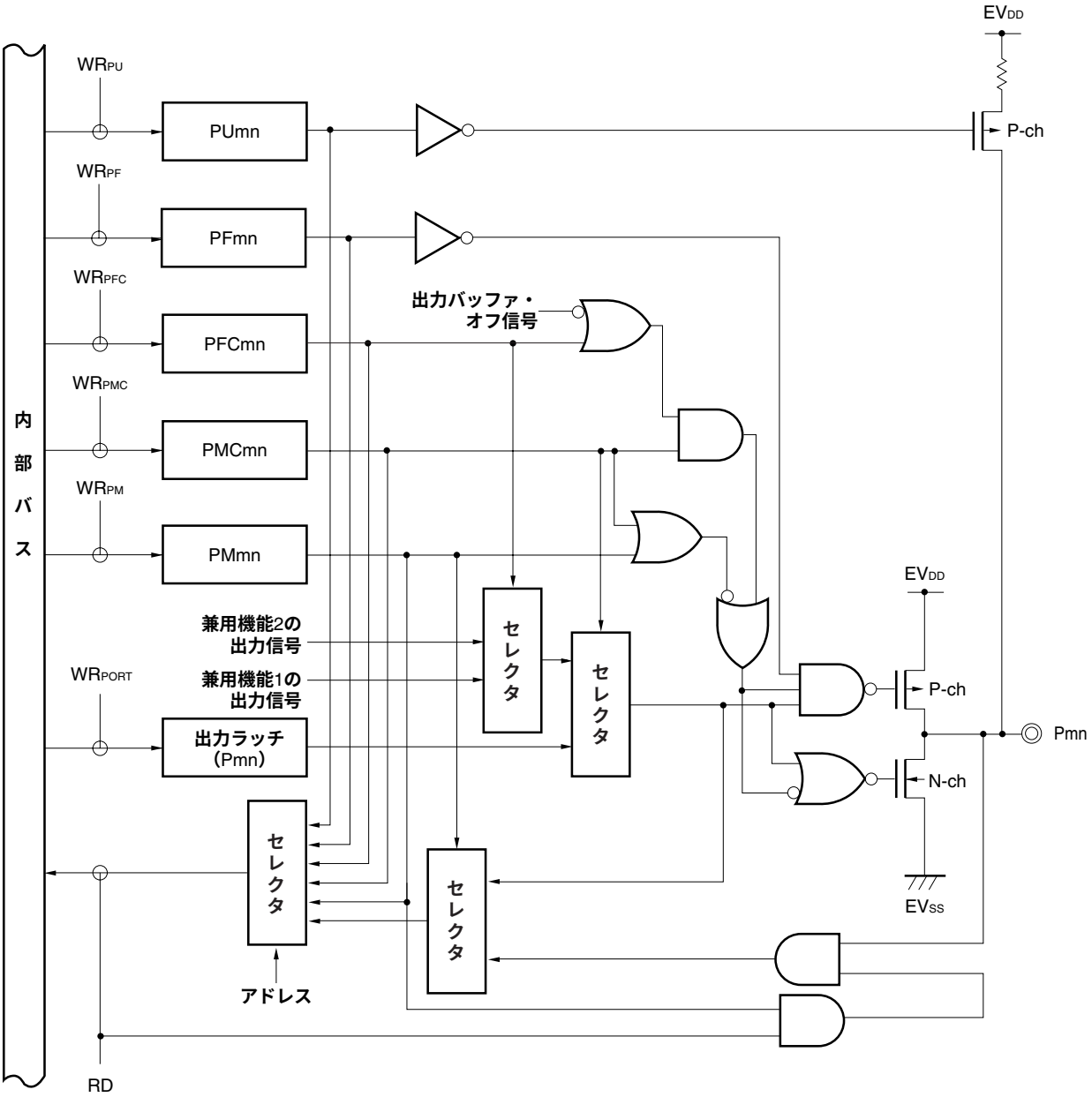
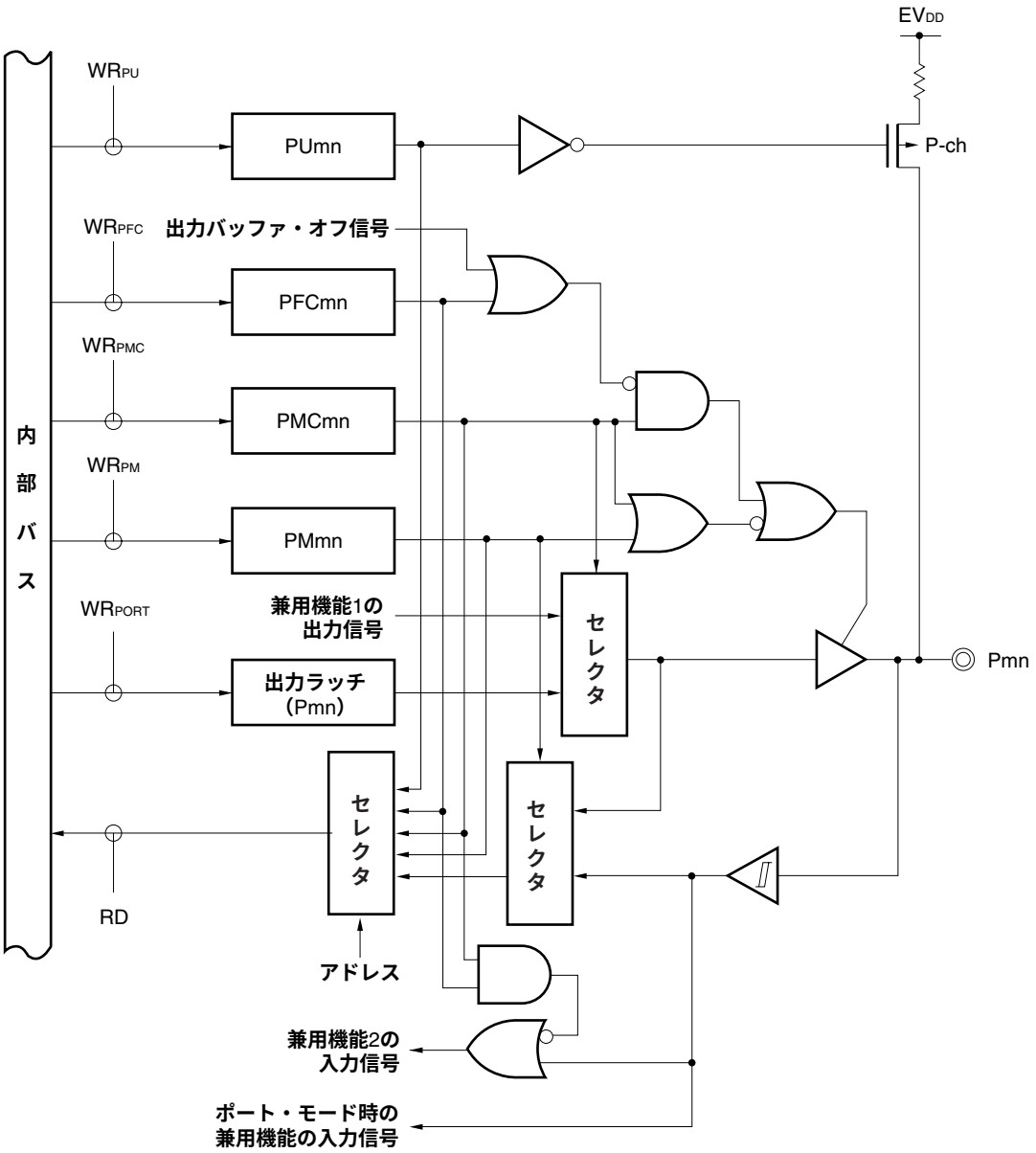


図4－17　タイプE00-UFZのブロック図



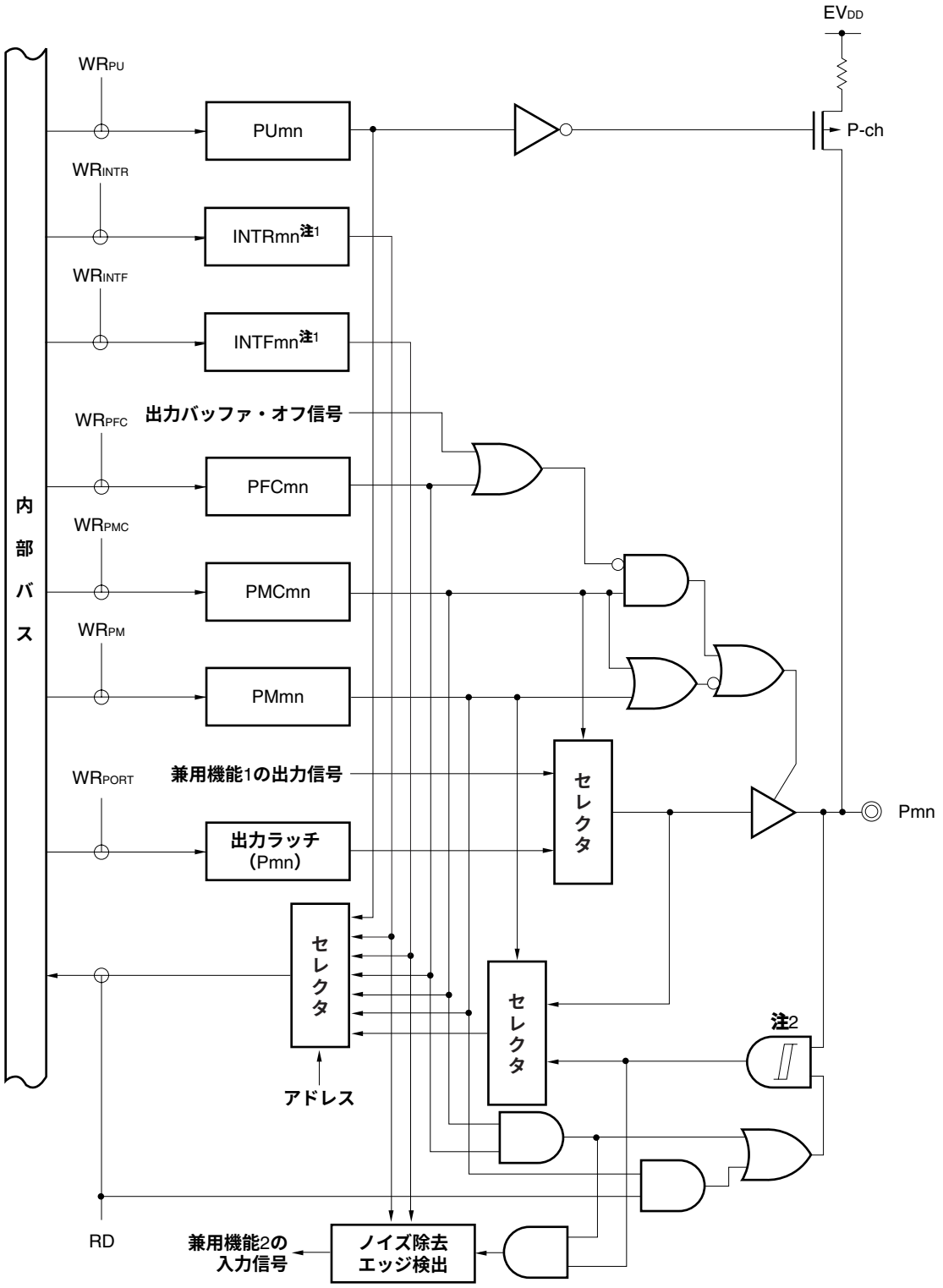
備考　出力バッファ・オフ信号：IDLE/STOPモード時，バス・ホールド時にのみアクティブになる信号

図4－18　タイプE01-SUHTZのブロック図



備考　出力バッファ・オフ信号：IDLE/STOPモード時，バス・ホールド時にのみアクティブになる信号

図4－19　タイプE01-SUILZのブロック図

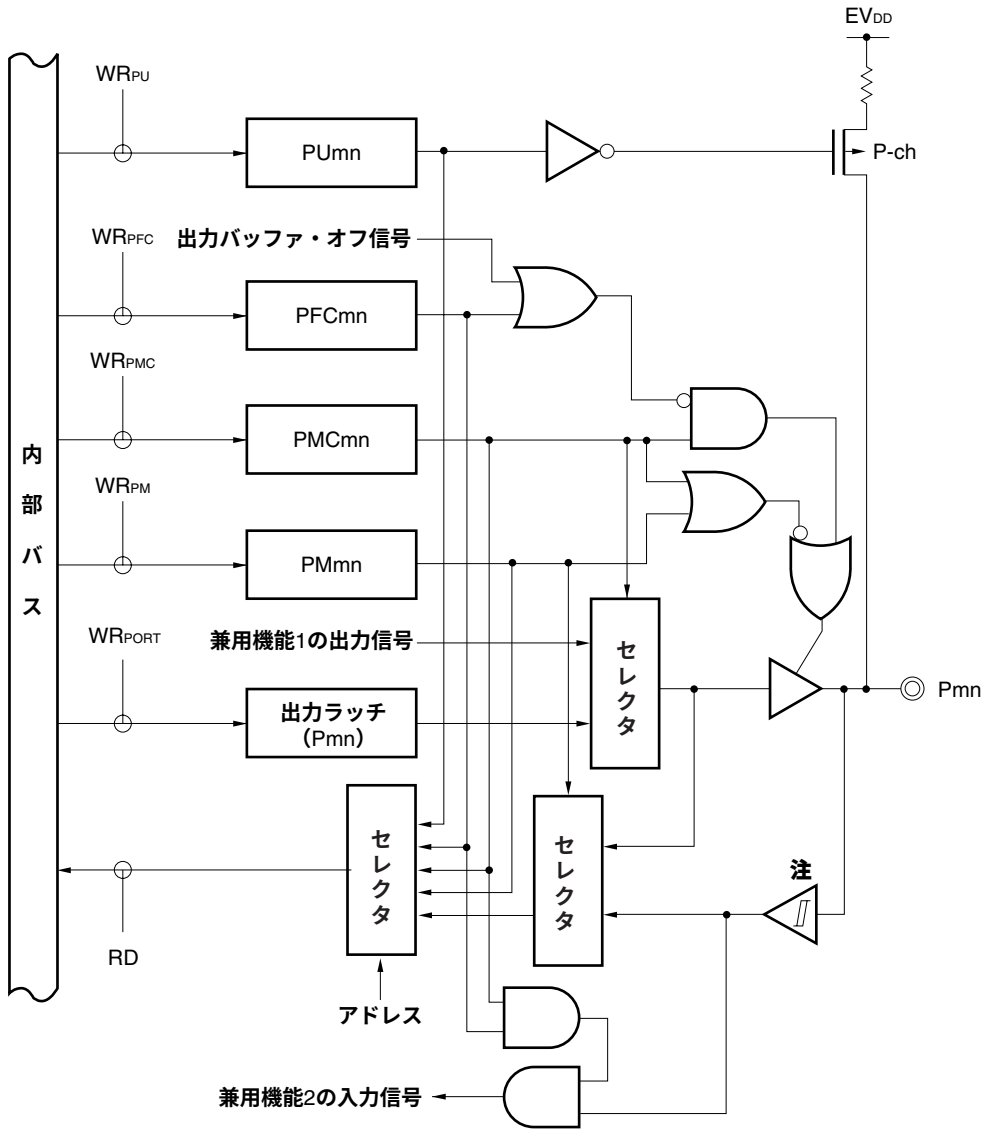


注1.　21. 4　**外部割り込み要求入力端子**（NMI, INTP0-INTP7）参照

2.　**ポート・モード時はヒステリシス特性を持ちません。**

備考　**出力バッファ・オフ信号：**IDLE/STOP**モード時，バス・ホールド時にのみアクティブになる信号**

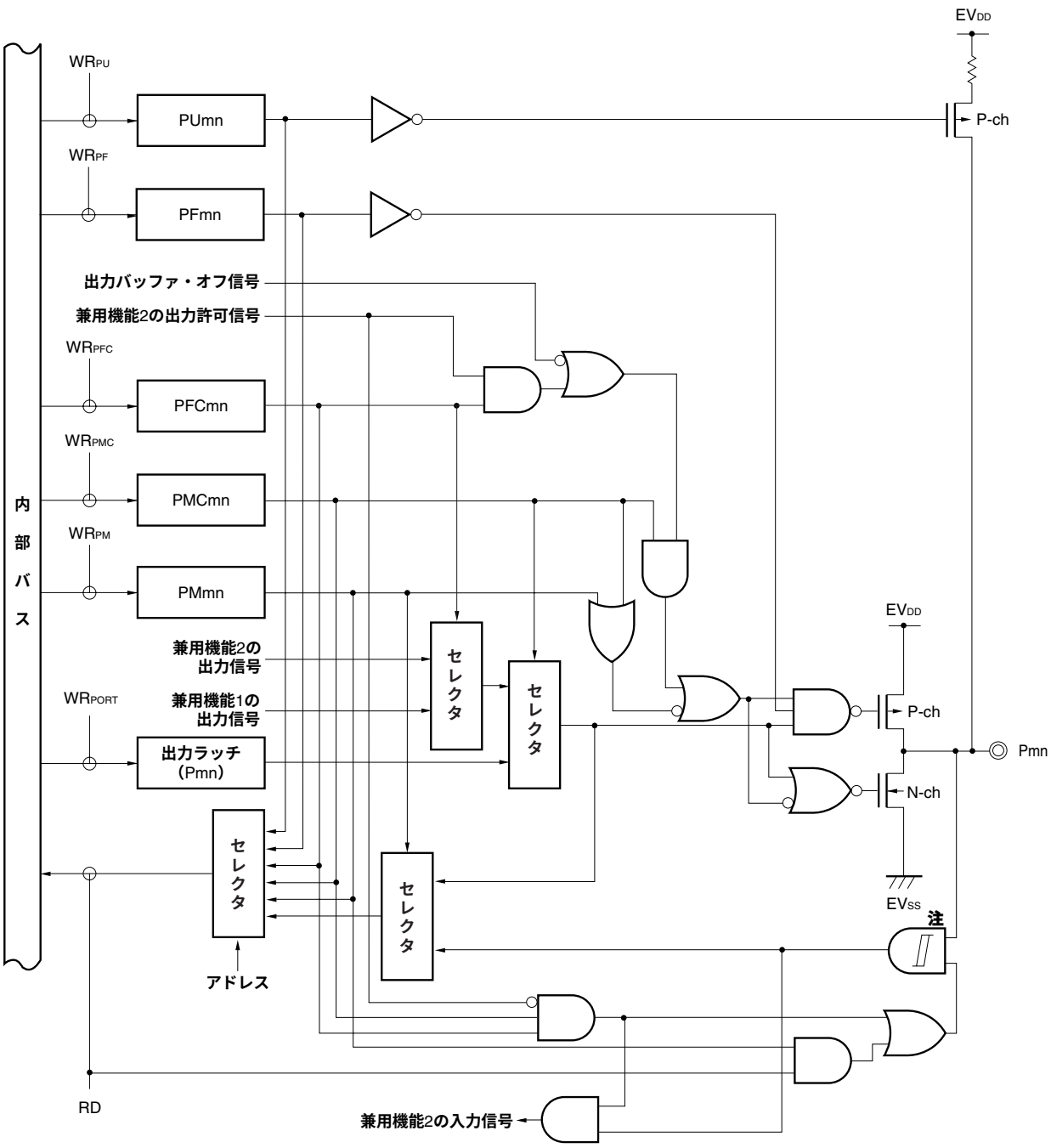
図4－20　タイプE01-SULZのブロック図



注　ポート・モード時はヒステリシス特性を持ちません。

備考　出力バッファ・オフ信号：IDLE/STOPモード時，バス・ホールド時にのみアクティブになる信号

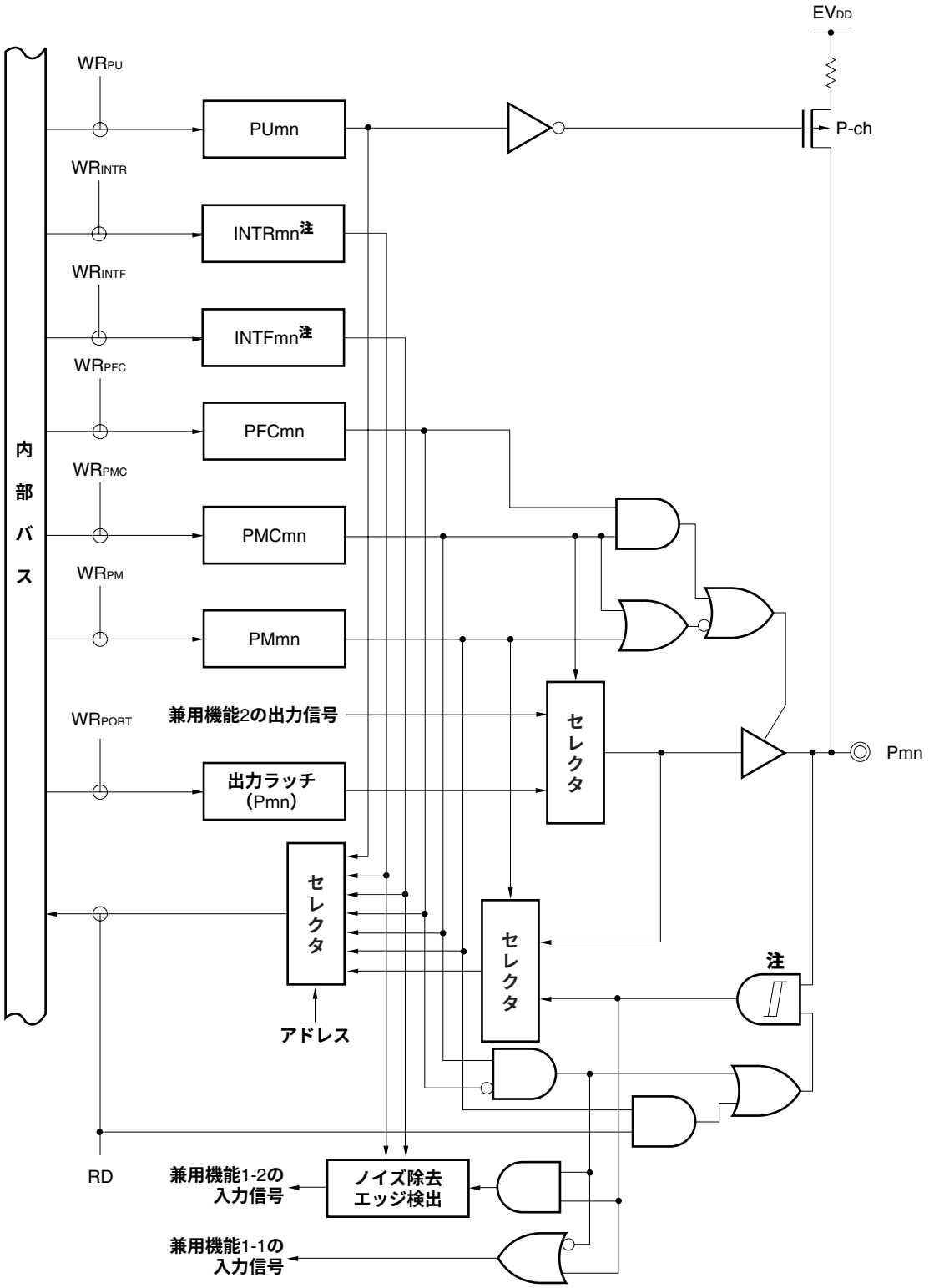
図4－21　タイプE02-SUFLZのブロック図



注　ポート・モード時はヒステリシス特性を持ちません。

備考　出力バッファ・オフ信号：IDLE/STOPモード時，バス・ホールド時にのみアクティブになる信号

図4－22　タイプE10-SUIHLのブロック図

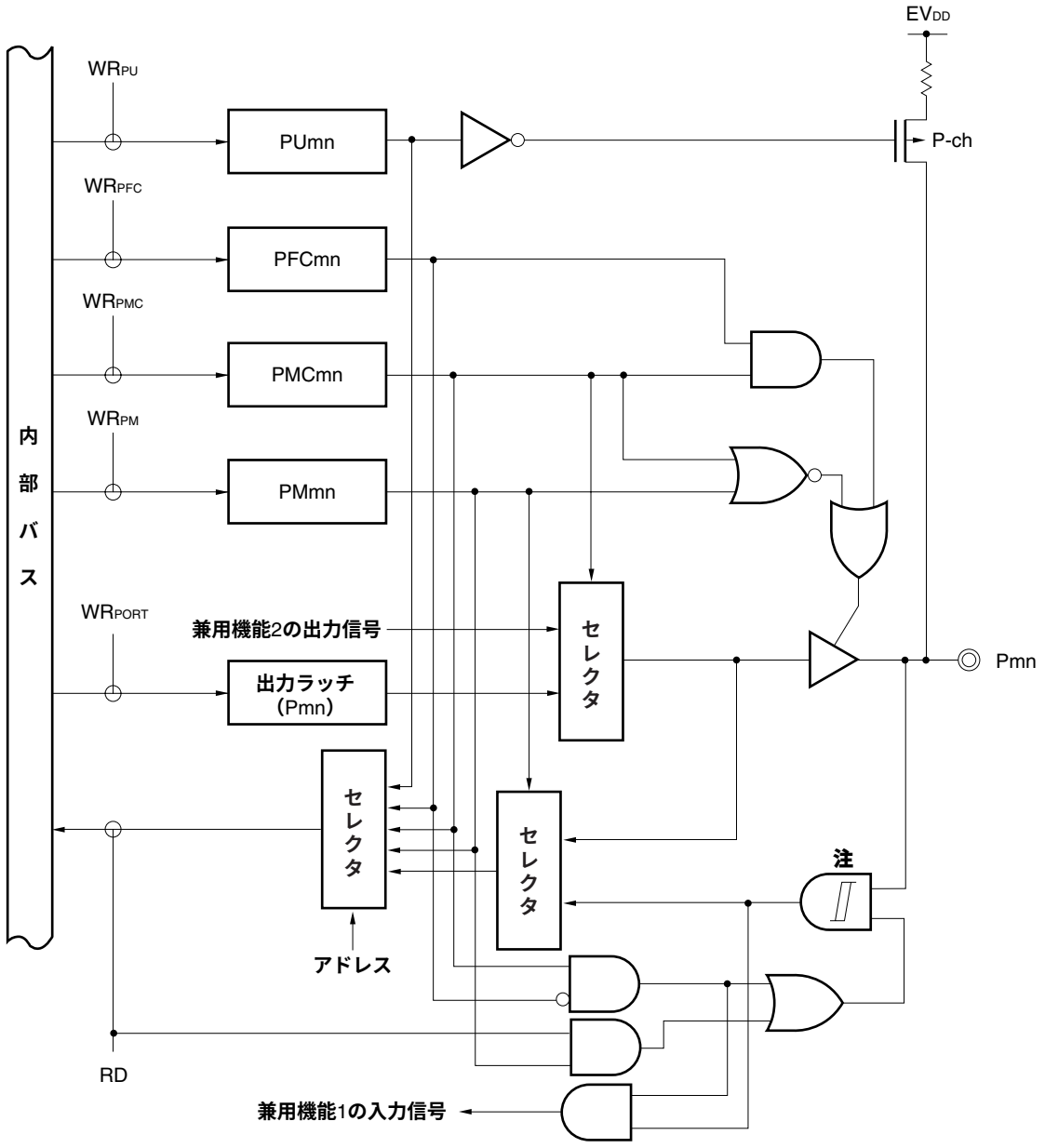


注　ポート・モード時はヒステリシス特性を持ちません。

備考　兼用機能1-1：RXD0端子

兼用機能1-2：INTP7端子

図4－23　タイプE10-SULのブロック図



注　ポート・モード時はヒステリシス特性を持ちません。

図4－24　タイプE10-SULTのブロック図

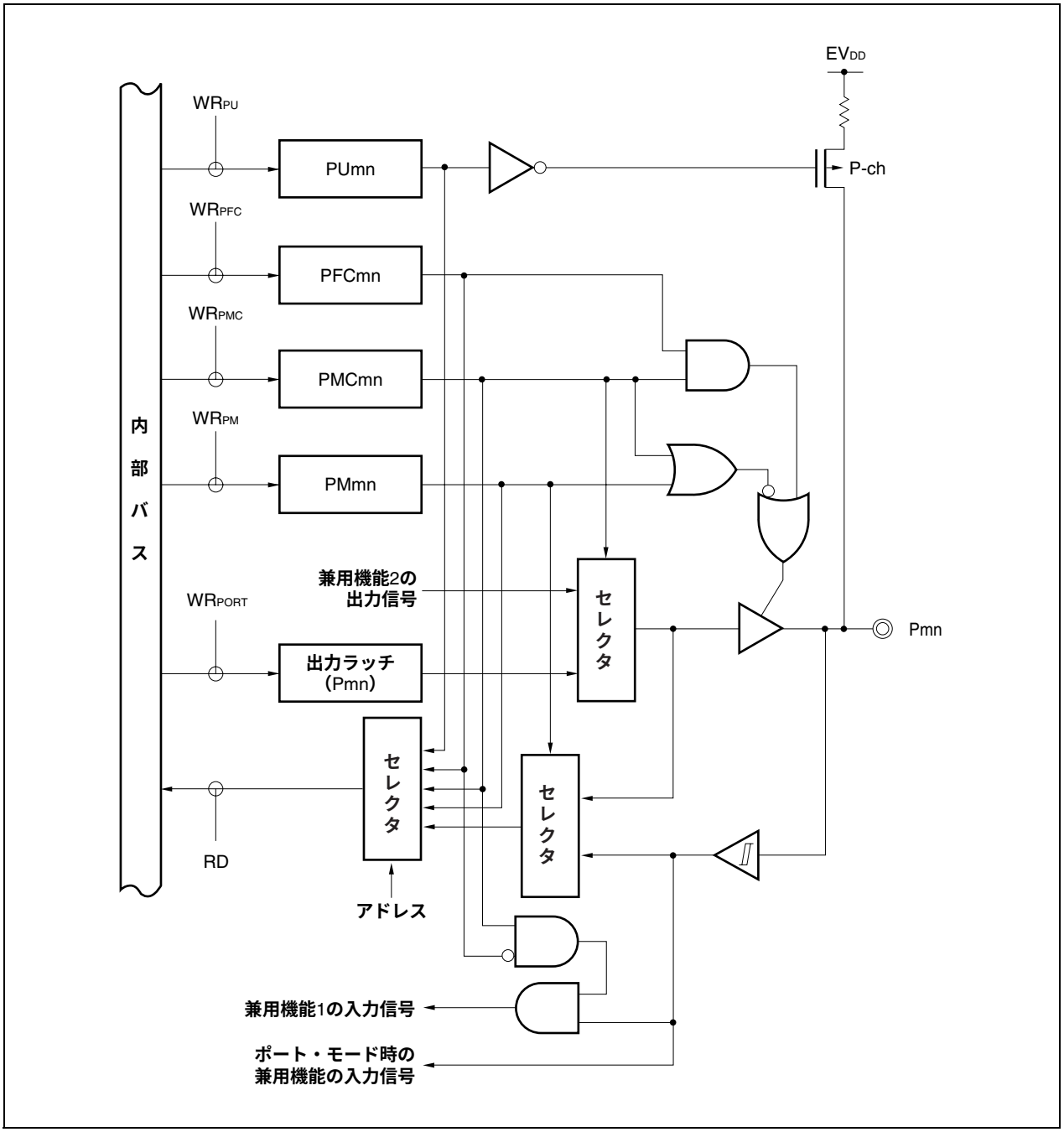
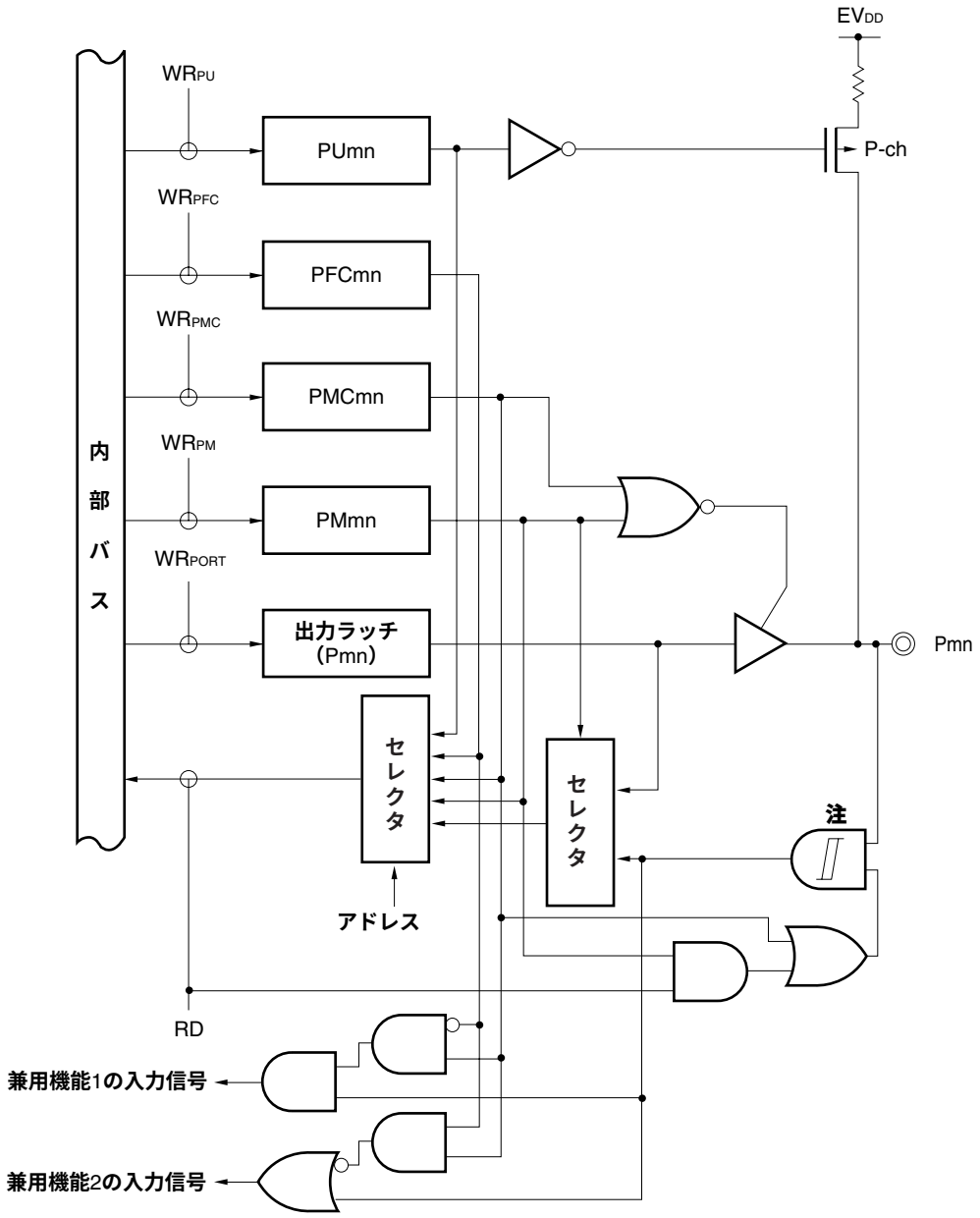


図4－25　タイプE11-SULHのブロック図



注　ポート・モード時はヒステリシス特性を持ちません。

図4ー26　タイプE20-SUFLTのブロック図

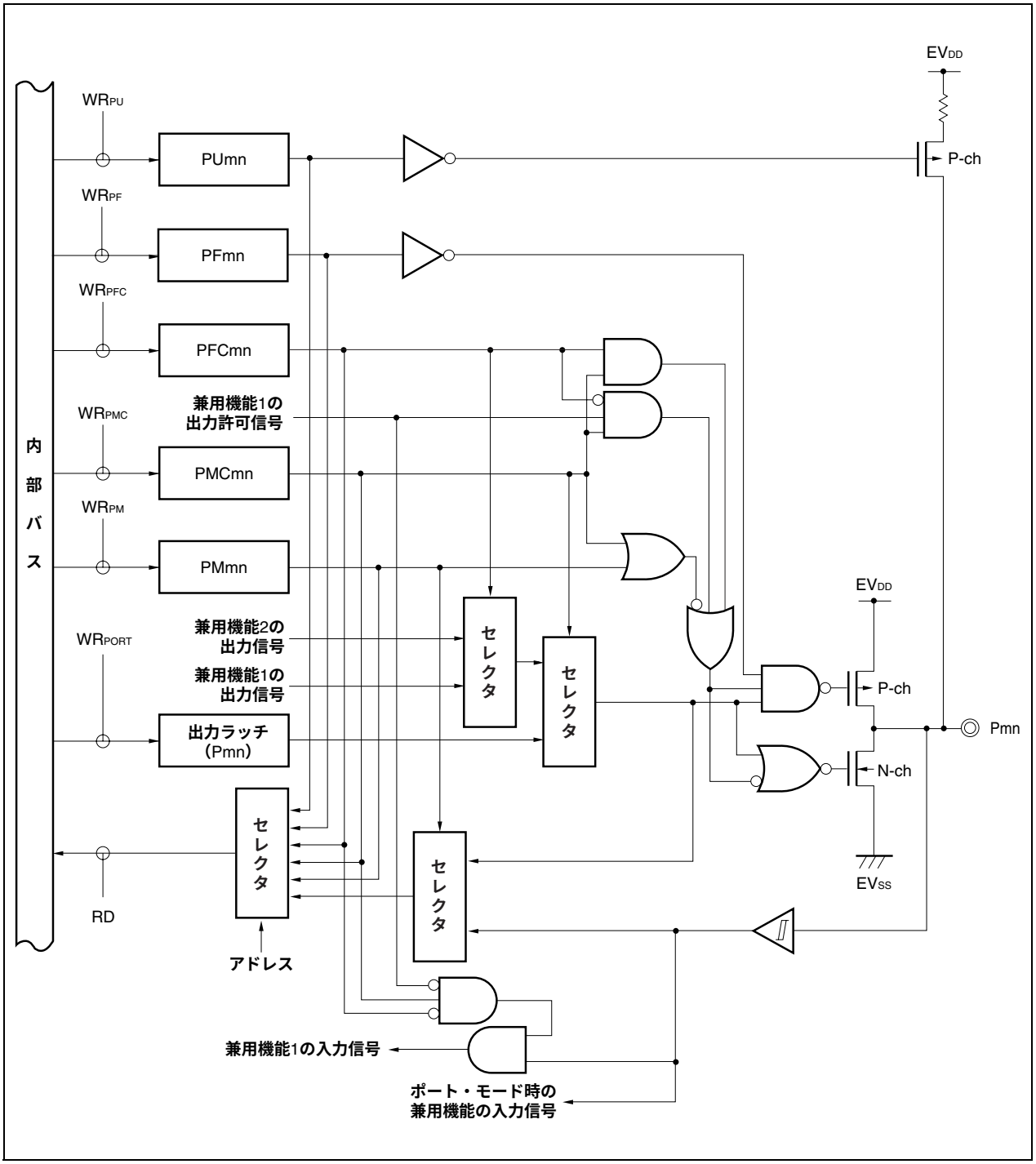
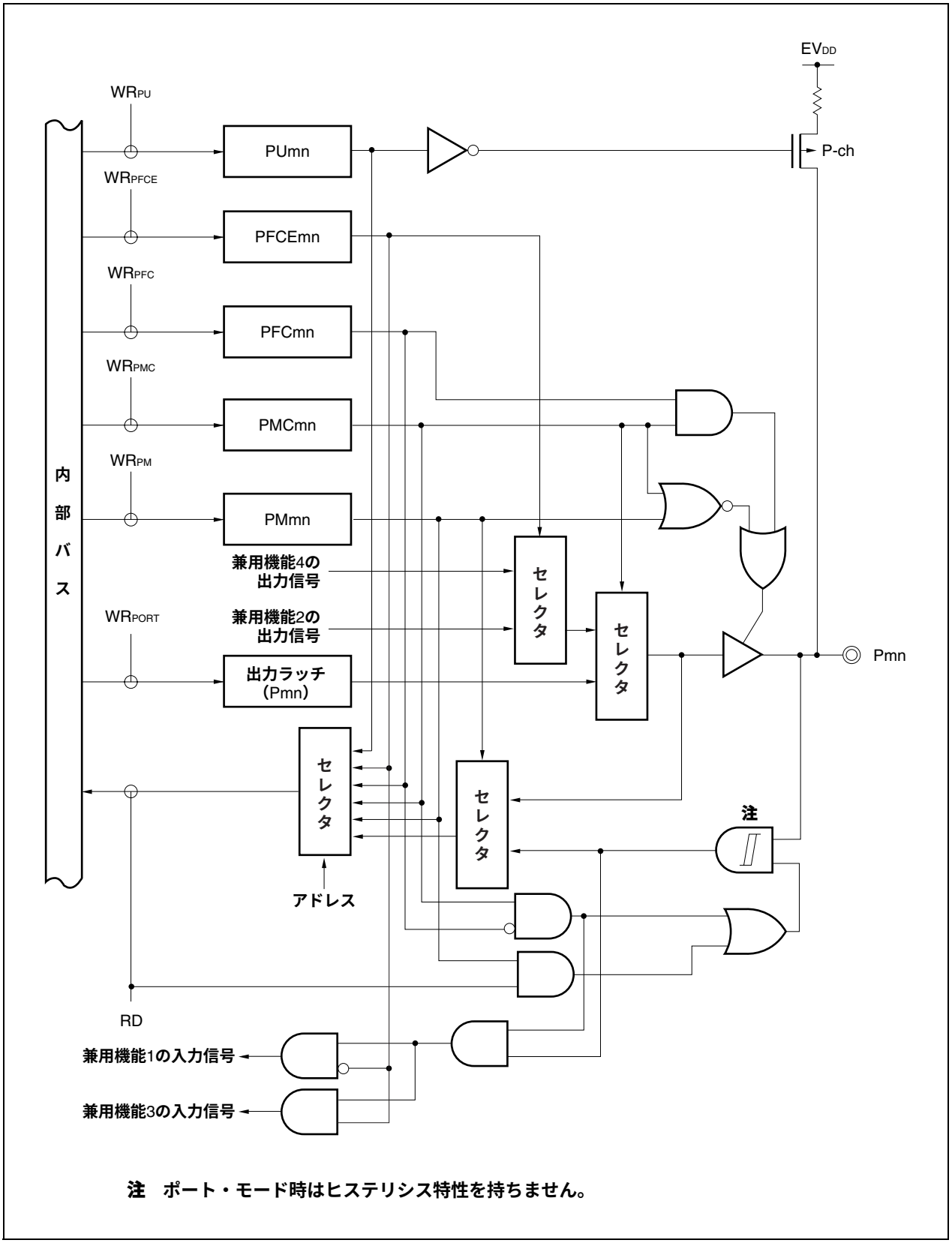


図4－27　タイプG1010-SULのブロック図



注　ポート・モード時はヒステリシス特性を持ちません。

4.5　兼用機能使用時のポートのレジスタ設定

各ポートを兼用端子として使用する場合のポートのレジスタ設定を表4－16に示します。

兼用端子として使用する場合は各機能を参照してください。

表4－16　ポート端子を兼用端子として使用する場合（1/6）

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット（レジスタ）
	名称	入出力						
P00	TOH0	出力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	－	－	－
P01	TOH1	出力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	－	－	－
P02	NMI	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	－	－	－
P03	INTP0	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	－	PFC03 = 0	－
P04	INTP1	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	－	－	－
P05	INTP2	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	－	－	－
P06	INTP3	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	－	－	－
P10	ANO0	出力	P10 = 設定不要	PM1レジスタ = FFH[注1]	－	－	－	－
P11	ANO1	出力	P11 = 設定不要	PM1レジスタ = FFH[注1]	－	－	－	－
P30	TXD0	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	－	PFC30 = 0	－
	TO02	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	－	PFC30 = 1	－
P31	RXD0	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	－	注2, PFC31 = 0	－
	INTP7	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	－	注2, PFC31 = 0	－
	TO03	出力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	－	PFC31 = 1	－
P32	ASCK0	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	－	注3, PFC32 = 0	－
	ADTRG	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	－	注3, PFC32 = 0	－
	TO01	出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	－	PFC32 = 1	－

注1.　P10, P11端子を兼用機能（ANO0, ANO1端子）として使用する場合，一括してPM1レジスタ = FFHに設定してください。

2.　INTP7端子とRXD0端子は兼用となっています。RXD0端子として使用する場合は，兼用しているINTP7端子のエッジ検出を無効にしてください（INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定）。また，INTP7端子として使用する場合は，UART0を受信動作停止としてください（ASIM0.RXE0ビット = 0）。

3.　ASCK0端子とADTRG端子は兼用となっています。ASCK0端子として使用する場合は，兼用しているADTRG端子のトリガ入力を無効にしてください（ADS.TRGビット = 0，またはADS.ADTMDビット = 1に設定）。また，ADTRG端子として使用する場合はUART0の動作クロックを外部入力に設定しないでください（CKSR0.TPS03-TPS00ビット = 1011以外に設定）。

表4－16　ポート端子を兼用端子として使用する場合（2/6）

端子名称	兼用端子		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCEnレジスタの	PFCnレジスタの	その他のビット
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCEnxビット	PFCnxビット	（レジスタ）
P33	TI000	入力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 0	PFC33 = 0	－
	TO00	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 0	PFC33 = 1	－
	TIP00	入力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 1	PFC33 = 0	－
	TOP00	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 1	PFC33 = 1	－
P34	TI001	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 0	－
	TO00	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 1	－
	TIP10	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 1	PFC34 = 0	－
	TOP10	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 1	PFC34 = 1	－
P35	TI010	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	－	PFC35 = 0	－
	TO01	出力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	－	PFC35 = 1	－
P38	SDA0[注]	入出力	P38 = 設定不要	PM38 = 設定不要	PMC38 = 1	－	－	PF38（PF3H）= 1
P39	SCL0[注]	入出力	P39 = 設定不要	PM39 = 設定不要	PMC39 = 1	－	－	PF39（PF3H）= 1
P40	SI00	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	－	PFC40 = 0	－
	RXD2	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	－	PFC40 = 1	－
P41	SO00	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	－	PFC41 = 0	PF41（PF4）= 設定任意
	TXD2	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	－	PFC41 = 1	PF41（PF4）= 0
P42	$\overline{\text{SCK00}}$	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	－	－	PF42（PF4）= 設定任意

注　μPD703313Y, 70F3311Y, 70F3313Y**のみ**

表4－16　ポート端子を兼用端子として使用する場合（3/6）

端子名称	兼用端子		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCnレジスタの	その他のビット（レジスタ）
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCnxビット	
P50	TI011	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFC50 = 0	－
	RTP00	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFC50 = 1	－
	KR0	入力	P50 = 設定不要	PM50 = 1	PMC50 = 0	PFC50 = 設定不要	KRM0（KRM）= 1
P51	TI50	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFC51 = 0	－
	RTP01	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFC51 = 1	－
	KR1	入力	P51 = 設定不要	PM51 = 1	PMC51 = 0	PFC51 = 設定不要	KRM1（KRM）= 1
P52	TO50	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFC52 = 0	－
	RTP02	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFC52 = 1	－
	KR2	入力	P52 = 設定不要	PM52 = 1	PMC52 = 0	PFC52 = 設定不要	KRM2（KRM）= 1
P53	SIA0	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFC53 = 0	－
	RTP03	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFC53 = 1	－
	KR3	入力	P53 = 設定不要	PM53 = 1	PMC53 = 0	PFC53 = 設定不要	KRM3（KRM）= 1
P54	SOA0	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFC54 = 0	PF54（PF5）= 設定任意
	RTP04	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFC54 = 1	PF54（PF5）= 0
	KR4	入力	P54 = 設定不要	PM54 = 1	PMC54 = 0	PFC54 = 設定不要	PF54（PF5）= 0, KRM4（KRM）= 1
P55	$\overline{\text{SCKA0}}$	入出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFC55 = 0	PF55（PF5）= 設定任意
	RTP05	出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFC55 = 1	PF55（PF5）= 0
	KR5	入力	P55 = 設定不要	PM55 = 1	PMC55 = 0	PFC55 = 設定不要	PF55（PF5）= 0, KRM5（KRM）= 1
P70	ANI0	入力	P70 = 設定不要	－	－	－	－
P71	ANI1	入力	P71 = 設定不要	－	－	－	－
P72	ANI2	入力	P72 = 設定不要	－	－	－	－
P73	ANI3	入力	P73 = 設定不要	－	－	－	－
P74	ANI4	入力	P74 = 設定不要	－	－	－	－
P75	ANI5	入力	P75 = 設定不要	－	－	－	－
P76	ANI6	入力	P76 = 設定不要	－	－	－	－
P77	ANI7	入力	P77 = 設定不要	－	－	－	－

表4－16　ポート端子を兼用端子として使用する場合（4/6）

端子名称	兼用端子		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCnレジスタの	その他のビット（レジスタ）
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCnxビット	
P90	A0	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFC90 = 0	注
	TXD1	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFC90 = 1	－
	KR6	入力	P90 = 設定不要	PM90 = 1	PMC90 = 0	PFC90 = 設定不要	KRM6（KRM）= 1
P91	A1	出力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFC91 = 0	注
	RXD1	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFC91 = 1	－
	KR7	入力	P91 = 設定不要	PM91 = 1	PMC91 = 0	PFC91 = 設定不要	KRM7（KRM）= 1
P92	A2	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFC92 = 0	注
	TI020	入力	P92 = 設定不要	PM92 = 1	PMC92 = 0	PFC92 = 設定不要	－
	TO02	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFC92 = 1	－
P93	A3	出力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFC93 = 0	注
	TI021	入力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFC93 = 1	－
P94	A4	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFC94 = 0	注
	TI030	入力	P94 = 設定不要	PM94 = 1	PMC94 = 0	PFC94 = 設定不要	－
	TO03	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFC94 = 1	－
P95	A5	出力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFC95 = 0	注
	TI031	入力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFC95 = 1	－
P96	A6	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFC96 = 0	注
	TI51	入力	P96 = 設定不要	PM96 = 1	PMC96 = 0	PFC96 = 設定不要	－
	TO51	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFC96 = 1	－
P97	A7	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFC97 = 0	注
	SI01	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFC97 = 1	－
P98	A8	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	PFC98 = 0	注，PF98（PF9）= 0
	SO01	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	PFC98 = 1	PF98（PF9）= 設定任意
P99	A9	出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFC99 = 0	注，PF98（PF9）= 0
	$\overline{\text{SCK01}}$	入出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFC99 = 1	PF98（PF9）= 設定任意

注　A0-A15端子に設定する際は，一括してPFC9レジスタ = 0000H, PMC9レジスタ = FFFFHに16ビット設定してください。

表4－16　ポート端子を兼用端子として使用する場合（5/6）

端子名称	兼用端子		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCnレジスタの	その他のビット（レジスタ）
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCnxビット	
P910	A10	出力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	PFC910 = 0	注
	SIA1	入力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	PFC910 = 1	－
P911	A11	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	PFC911 = 0	注，PF911（PF9）= 0
	SOA1	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	PFC911 = 1	PF911（PF9）= 設定任意
P912	A12	出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	PFC912 = 0	注，PF912（PF9）= 0
	$\overline{\text{SCKA1}}$	入出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	PFC912 = 1	PF912（PF9）= 設定任意
P913	A13	出力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	PFC913 = 0	注
	INTP4	入力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	PFC913 = 1	－
P914	A14	出力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFC914 = 0	注
	INTP5	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFC914 = 1	－
P915	A15	出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFC915 = 0	注
	INTP6	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFC915 = 1	－
PCM0	$\overline{\text{WAIT}}$	入力	PCM0 = 設定不要	PMCM0 = 設定不要	PMCCM0 = 1	－	－
PCM1	CLKOUT	出力	PCM1 = 設定不要	PMCM1 = 設定不要	PMCCM1 = 1	－	－
PCM2	$\overline{\text{HLDAK}}$	出力	PCM2 = 設定不要	PMCM2 = 設定不要	PMCCM2 = 1	－	－
PCM3	$\overline{\text{HLDRQ}}$	入力	PCM3 = 設定不要	PMCM3 = 設定不要	PMCCM3 = 1	－	－
PCS0	$\overline{\text{CS0}}$	出力	PCS0 = 設定不要	PMCS0 = 設定不要	PMCCS0 = 1	－	－
PCS1	$\overline{\text{CS1}}$	出力	PCS1 = 設定不要	PMCS1 = 設定不要	PMCCS1 = 1	－	－
PCT0	$\overline{\text{WR0}}$	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCCT0 = 1	－	－
PCT1	$\overline{\text{WR1}}$	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCCT1 = 1	－	－
PCT4	$\overline{\text{RD}}$	出力	PCT4 = 設定不要	PMCT4 = 設定不要	PMCCT4 = 1	－	－
PCT6	ASTB	出力	PCT6 = 設定不要	PMCT6 = 設定不要	PMCCT6 = 1	－	－

注　A0-A15端子に設定する際は，一括してPFC9レジスタ = 0000H, PMC9レジスタ = FFFFHに16ビット設定してください。

表4－16　ポート端子を兼用端子として使用する場合（6/6）

端子名称	兼用端子		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCnレジスタの	その他のビット（レジスタ）
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCnxビット	
PDH0	A16	出力	PDH0 = 設定不要	PMDH0 = 設定不要	PMCDH0 = 1	－	－
PDH1	A17	出力	PDH1 = 設定不要	PMDH1 = 設定不要	PMCDH1 = 1	－	－
PDH2	A18	出力	PDH2 = 設定不要	PMDH2 = 設定不要	PMCDH2 = 1	－	－
PDH3	A19	出力	PDH3 = 設定不要	PMDH3 = 設定不要	PMCDH3 = 1	－	－
PDH4	A20	出力	PDH4 = 設定不要	PMDH4 = 設定不要	PMCDH4 = 1	－	－
PDH5	A21	出力	PDH5 = 設定不要	PMDH5 = 設定不要	PMCDH5 = 1	－	－
PDL0	AD0	入出力	PDL0 = 設定不要	PMDL0 = 設定不要	PMCDL0 = 1	－	－
PDL1	AD1	入出力	PDL1 = 設定不要	PMDL1 = 設定不要	PMCDL1 = 1	－	－
PDL2	AD2	入出力	PDL2 = 設定不要	PMDL2 = 設定不要	PMCDL2 = 1	－	－
PDL3	AD3	入出力	PDL3 = 設定不要	PMDL3 = 設定不要	PMCDL3 = 1	－	－
PDL4	AD4	入出力	PDL4 = 設定不要	PMDL4 = 設定不要	PMCDL4 = 1	－	－
PDL5	AD5	入出力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 1	－	－
PDL6	AD6	入出力	PDL6 = 設定不要	PMDL6 = 設定不要	PMCDL6 = 1	－	－
PDL7	AD7	入出力	PDL7 = 設定不要	PMDL7 = 設定不要	PMCDL7 = 1	－	－
PDL8	AD8	入出力	PDL8 = 設定不要	PMDL8 = 設定不要	PMCDL8 = 1	－	－
PDL9	AD9	入出力	PDL9 = 設定不要	PMDL9 = 設定不要	PMCDL9 = 1	－	－
PDL10	AD10	入出力	PDL10 = 設定不要	PMDL10 = 設定不要	PMCDL10 = 1	－	－
PDL11	AD11	入出力	PDL11 = 設定不要	PMDL11 = 設定不要	PMCDL11 = 1	－	－
PDL12	AD12	入出力	PDL12 = 設定不要	PMDL12 = 設定不要	PMCDL12 = 1	－	－
PDL13	AD13	入出力	PDL13 = 設定不要	PMDL13 = 設定不要	PMCDL13 = 1	－	－
PDL14	AD14	入出力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	－	－
PDL15	AD15	入出力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	－	－

4.6　注意事項

4.6.1　ポートnレジスタ（Pn）に対するビット操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット操作命令を行った場合，操作対象のビットだけでなく，操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため，任意のポートを入力モードから出力モードに切り替える前には，出力ラッチの値を書き直すことを推奨します。

＜例＞ P90は出力ポート，P91-P97は入力ポート（端子状態はすべてハイ・レベル）で，かつポート・ラッチの値が“00H”のとき，出力ポートP90の出力をビット操作命令により“ロウ・レベル”→“ハイ・レベル”とすると，ポート・ラッチの値は，“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み／読み出しの対象はそれぞれ，出力ラッチ／端子状態です。

また，ビット操作命令はV850ES/KG1+内部で，次の順序で行われます。

<1> Pnレジスタを8ビット単位で読み出し

<2> 対象の1ビットを操作

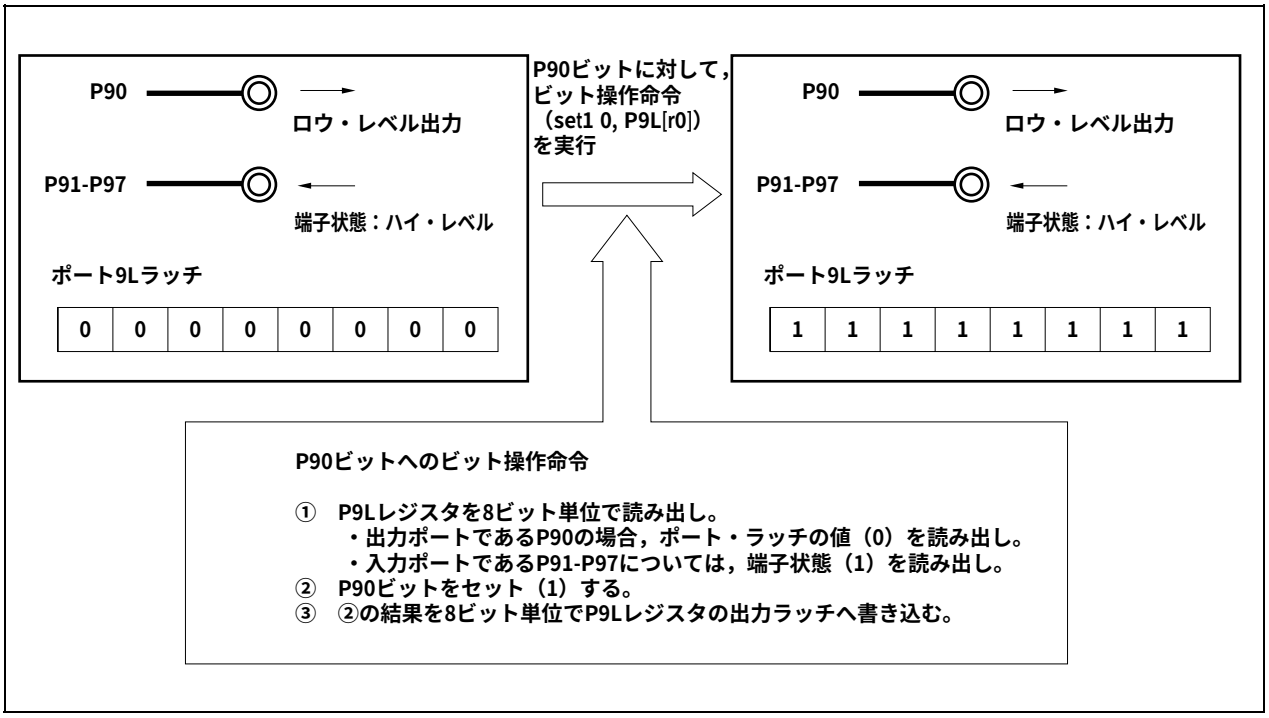
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき，出力ポートであるP90は出力ラッチの値（0）を読み出しますが，入力ポートであるP91-P97は端子状態を読み出します。このときP91-P97の端子状態が“ハイ・レベル”とすると，読み出し値は“FEH”となります。

<2> の操作で，値は“FFH”となります。

<3> の操作で，出力ラッチに“FFH”が書き込まれます。

図4－28　ビット操作命令（P90の場合）



4. 6. 2　ヒステリシス特性について

ポート・モードでは，次のポートはヒステリシス特性を持ちません。

P02-P06

P31-P35, P38, P39

P40, P42

P93, P95, P97, P99, P910, P912-P915

第5章　バス制御機能

V850ES/KG1+は，外部にROM，RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

5.1　特　　徴

○16ビット・データ・バス

○最小で3バス・サイクルのマルチプレクス・バスと，最小で2バス・サイクルのセパレート・バス出力選択可能

○最大2空間のチップ・セレクト機能

○8ビット／16ビット・データ・バス切り替え可能（チップ・セレクトで選択される領域ごとに選択可能）

○ウエイト機能

・最大で7ステートのプログラマブル・ウエイト機能（チップ・セレクトで選択される領域ごとに選択可能）

・$\overline{\text{WAIT}}$端子による外部ウエイト機能

○アイドル・ステート機能

○バス・ホールド機能

○$BV_{DD} \leqq V_{DD} = EV_{DD}$とすることでバスを動作電圧と異なった電圧で制御可能（ただし，マルチプレクス・バス・モードのみ）。

○ポートとの兼用端子で，外部デバイスに接続可能

○ミス・アライン・アクセス可能

5.2　バス制御端子

外部デバイスの接続には，次の端子を使用します。

表5－1　バス制御端子一覧（マルチプレクス・バス選択時）

バス制御端子	兼用端子	入出力	機　　能	ポート・モード／兼用機能の切り替えを行うレジスタ
AD0-AD15	PDL0-PDL15	入出力	アドレス／データ・バス	PMCDLレジスタ
A16-A21	PDH0-PDH5	出力	アドレス・バス	PMCDHレジスタ
$\overline{\text{WAIT}}$	PCM0	入力	外部ウエイト制御	PMCCMレジスタ
CLKOUT	PCM1	出力	内部システム・クロック出力	PMCCMレジスタ
$\overline{\text{CS0}}$, $\overline{\text{CS1}}$	PCS0, PCS1	出力	チップ・セレクト	PMCCSレジスタ
$\overline{\text{WR0}}$, $\overline{\text{WR1}}$	PCT0, PCT1	出力	ライト・ストローブ信号	PMCCTレジスタ
$\overline{\text{RD}}$	PCT4	出力	リード・ストローブ信号	PMCCTレジスタ
ASTB	PCT6	出力	アドレス・ストローブ信号	PMCCTレジスタ
$\overline{\text{HLDRQ}}$	PCM3	入力	バス・ホールド制御	PMCCMレジスタ
$\overline{\text{HLDAK}}$	PCM2	出力		

表5－2　バス制御端子一覧（セパレート・バス選択時）

バス制御端子	兼用端子	入出力	機　　能	ポート・モード／兼用機能の切り替えを行うレジスタ
AD0-AD15	PDL0-PDL15	入出力	データ・バス	PMCDLレジスタ
A0-A15	P90-P915	出力	アドレス・バス	PMC9レジスタ
A16-A21	PDH0-PDH5	出力	アドレス・バス	PMCDHレジスタ
$\overline{\text{WAIT}}$	PCM0	入力	外部ウエイト制御	PMCCMレジスタ
CLKOUT	PCM1	出力	内部システム・クロック出力	PMCCMレジスタ
$\overline{\text{CS0}}$, $\overline{\text{CS1}}$	PCS0, PCS1	出力	チップ・セレクト	PMCCSレジスタ
$\overline{\text{WR0}}$, $\overline{\text{WR1}}$	PCT0, PCT1	出力	ライト・ストローブ信号	PMCCTレジスタ
$\overline{\text{RD}}$	PCT4	出力	リード・ストローブ信号	PMCCTレジスタ
$\overline{\text{HLDRQ}}$	PCM3	入力	バス・ホールド制御	PMCCMレジスタ
$\overline{\text{HLDAK}}$	PCM2	出力		

5.2.1　内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態

内蔵ROM，内蔵RAM，内蔵周辺I/Oへアクセスした場合，各端子状態は次のようになります。

表5－3　内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態一覧

セパレート・バス・モード		マルチプレクス・バス・モード	
アドレス・バス（A21-A0）	不定	アドレス・バス（A21-A16）	不定
データ・バス（AD15-AD0）	Hi-Z	アドレス／データ・バス（AD15-AD0）	不定
制御信号	インアクティブ	制御信号	インアクティブ

注意　内蔵ROM領域へライト・アクセスしたときには，外部メモリ領域へのアクセスと同じくアドレス，データ，制御信号ともに活性化されます。

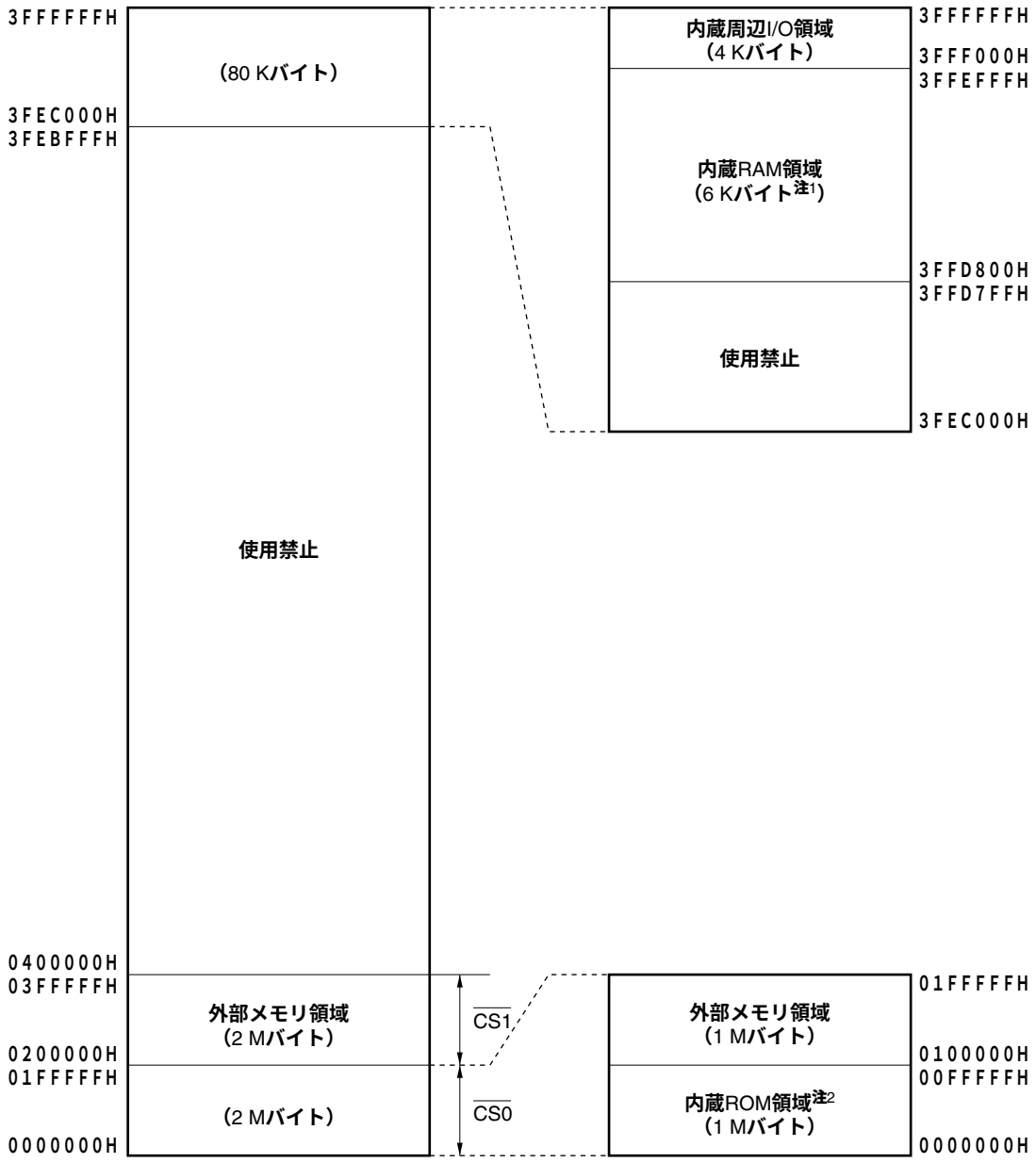
5.2.2　各動作モードの端子状態

V850ES/KG1+の各動作モードの端子状態については，2.2　端子状態を参照してください。

5. 3　メモリ・ブロック機能

64 Mバイトのメモリ空間は下位2M, 2Mバイト単位のチップ・セレクト領域に分割され，各チップ・セレクト領域ごとにプログラマブル・ウエイト機能，バス・サイクル動作モードなどを独立に制御できます。

図5－1　データ・メモリ・マップ：物理アドレス



注1.　μPD703313, 703313Y, 70F3313, 70F3313Y：16 Kバイト（3FFB000H-3FFEFFFH）

2.　データ・ライト・アクセス時は，外部メモリ領域になります。

5. 3. 1　チップ・セレクト制御機能

アドレス空間：64 Mバイト（リニア）のうち，下位4 Mバイト（0000000H-03FFFFFH）は$\overline{CS0}$, $\overline{CS1}$の2本のチップ・セレクト機能を内蔵しています。$\overline{CS0}$, $\overline{CS1}$で選択される領域は固定されています

チップ・セレクト制御機能により，メモリ空間を有効に利用できます。チップ・セレクト領域の割り当てを次に示します。

$\overline{CS0}$	0000000H-01FFFFFH（2 Mバイト）
$\overline{CS1}$	0200000H-03FFFFFH（2 Mバイト）

5. 4　外部バス・インタフェース・モード制御機能

V850ES/KG1+は，外部バス・インタフェースとして次の2つのモードがあります。

・マルチプレクス・バス・モード
・セパレート・バス・モード

2つのモードの切り替えはEXIMCレジスタで設定します。

(1) 外部バス・インタフェース・モード・コントロール・レジスタ（EXIMC）

8/1ビット単位でリード／ライト可能です。
リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFFFBEH

	7	6	5	4	3	2	1	0
EXIMC	0	0	0	0	0	0	0	SMSEL

SMSEL	モード切り替え
0	マルチプレクス・バス・モード
1	セパレート・バス・モード

注意　EXIMCレジスタの設定は，外部アクセスを行う前に，内蔵ROMまたは内蔵RAM領域から行ってください。
また，EXIMCレジスタ設定後には，必ずNOP命令を1つ，挿入してください。

5.5　バス・アクセス

5.5.1　アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

領域（バス幅） バス・サイクル・タイプ	内蔵ROM （32ビット）	内蔵RAM （32ビット）	外部メモリ （16ビット）	内蔵周辺I/O （16ビット）
命令フェッチ（通常アクセス）	1	1注1	3＋n注2	－
命令フェッチ（分岐）	2	2注1	3＋n注2	－
オペランド・データ・アクセス	3	1	3＋n注2	3注3

注1.　データ・アクセスと競合した場合は＋1されます。

2.　マルチプレクス・バス選択時の値です。セパレート・バス選択時は，2＋nクロック（n：ウエイト数）です。

3.　VSWCレジスタの設定によります。

備考　単位はクロック／アクセスです。

5.5.2　バス・サイズ設定機能

外部メモリ領域は，$\overline{\text{CSn}}$で選択される領域ごとにバス・サイズをBSCレジスタで設定できます。ただし，設定可能なバス・サイズは8ビットと16ビットのみです。

V850ES/KG1+の外部メモリ領域は，$\overline{\text{CS0}}$, $\overline{\text{CS1}}$で選択されます。

(1) バス・サイズ・コンフィギュレーション・レジスタ（BSC）

16ビット単位でリード／ライト可能です。

リセットにより5555Hになります。

注意　BSCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，BSCレジスタの初期設定が終わるまでは，外部メモリ領域をアクセスしないでください。

リセット時：5555H　R/W　アドレス：FFFFF066H

	15	14	13	12	11	10	9	8
BSC	0	1	0	1	0	1	0	1
	7	6	5	4	3	2	1	0
	0	0/1注	0	0/1注	0	BS10	0	BS00
$\overline{\text{CSn}}$信号						$\overline{\text{CS1}}$		$\overline{\text{CS0}}$

BSn0	CSn空間のデータ・バス幅（n = 0, 1）
0	8ビット
1	16ビット

注　値を変更しても，動作に影響はありません。

注意　ビット14, 12, 10, 8には必ず1を設定し，ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。

5. 5. 3　バス・サイズによるアクセス

V850ES/KG1+が内蔵周辺I/Oアクセス，外部メモリ・アクセスを行う場合には，8, 16, 32ビット・アクセスがあります。またバス・サイズは次のとおりです。

- 内蔵周辺I/Oのバス・サイズは16ビット固定
- 外部メモリのバス・サイズは8ビット／16ビット選択可能（BSCレジスタにより設定）

次にそれぞれのアクセス時の動作を示します。すべてデータの下位側から順番にアクセスを行います。
V850ES/KG1+は，リトル・エンディアン形式のみ対応しています。

図5－2　ワード内のリトル・エンディアン・アドレス

31　　24 23	16 15	8 7	0
000BH	000AH	0009H	0008H
0007H	0006H	0005H	0004H
0003H	0002H	0001H	0000H

(1) データ空間

V850ES/KG1+はアドレス・ミス・アライン機能を内蔵しています。

この機能により，データの形式（ワード・データ，ハーフワード・データ）にかかわらず，すべてのアドレスに対してデータを配置できます。ただし，ワード・データ，ハーフワード・データの場合，データが境界整列していないと，バス・サイクルが最低2回は発生し，バス効率が低下します。

(a) ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが1のとき，バイト長のバス・サイクルを2回生成します。

(b) ワード長のデータ・アクセスの場合

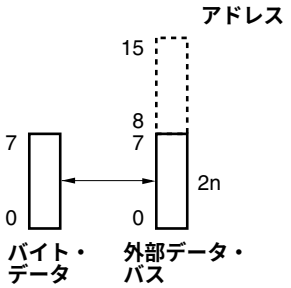
(i) アドレスの最下位ビットが1のとき，バイト長のバス・サイクル，ハーフワード長のバス・サイクル，バイト長のバス・サイクルの順でバス・サイクルを生成します。

(ii) アドレスの下位2ビットが10のとき，ハーフワード長のバス・サイクルを2回生成します。

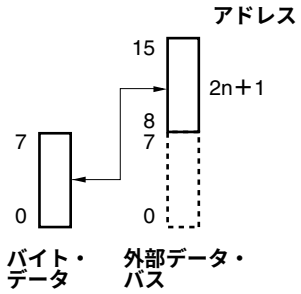
(2) バイト・アクセス（8ビット）

(a) 16ビット・データ・バス幅のとき

① 偶数アドレス（2n）番地へのアクセス

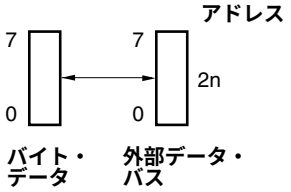


② 奇数アドレス（2n＋1）番地へのアクセス

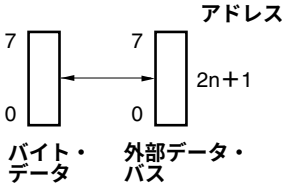


(b) 8ビット・データ・バス幅のとき

① 偶数アドレス（2n）番地へのアクセス

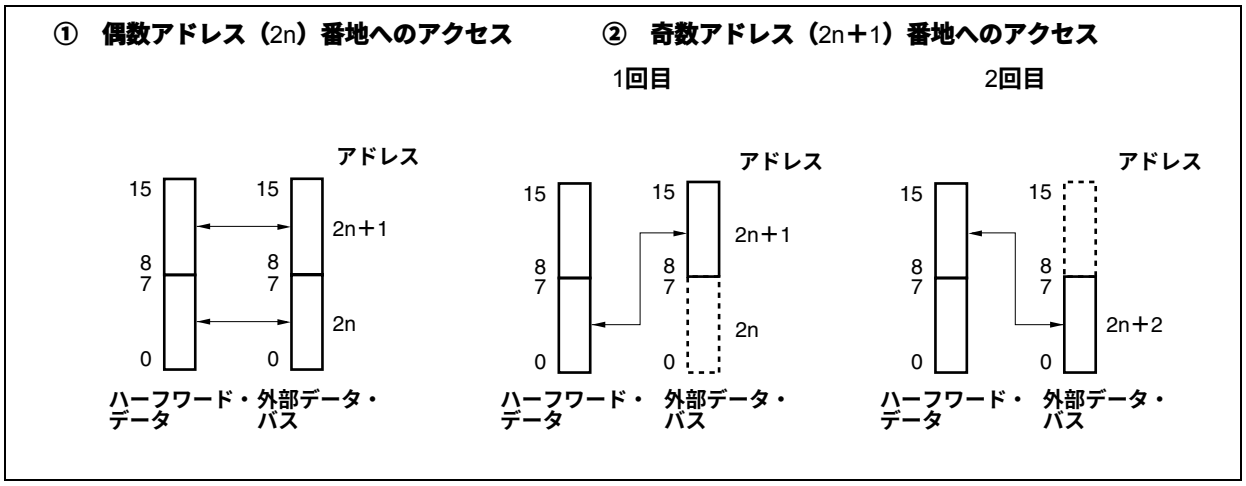


② 奇数アドレス（2n＋1）番地へのアクセス

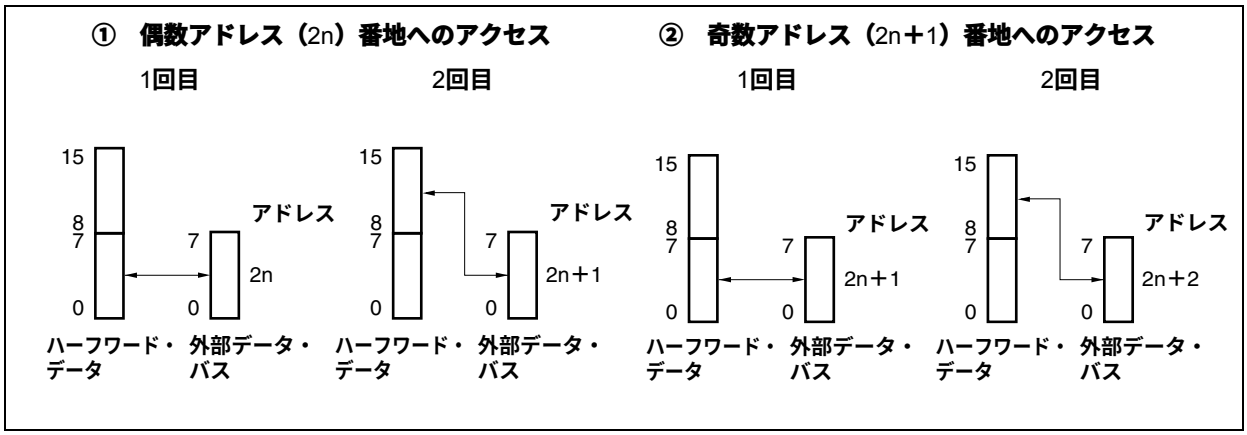


(3) ハーフワード・アクセス（16ビット）

(a) 16ビット・データ・バス幅のとき



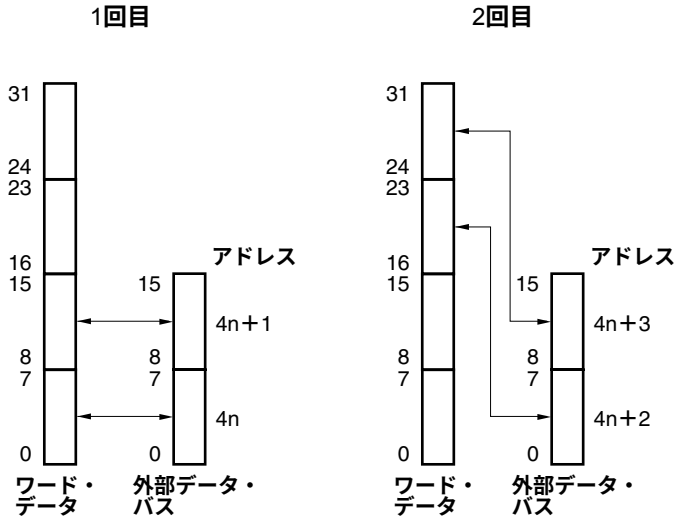
(b) 8ビット・データ・バス幅のとき



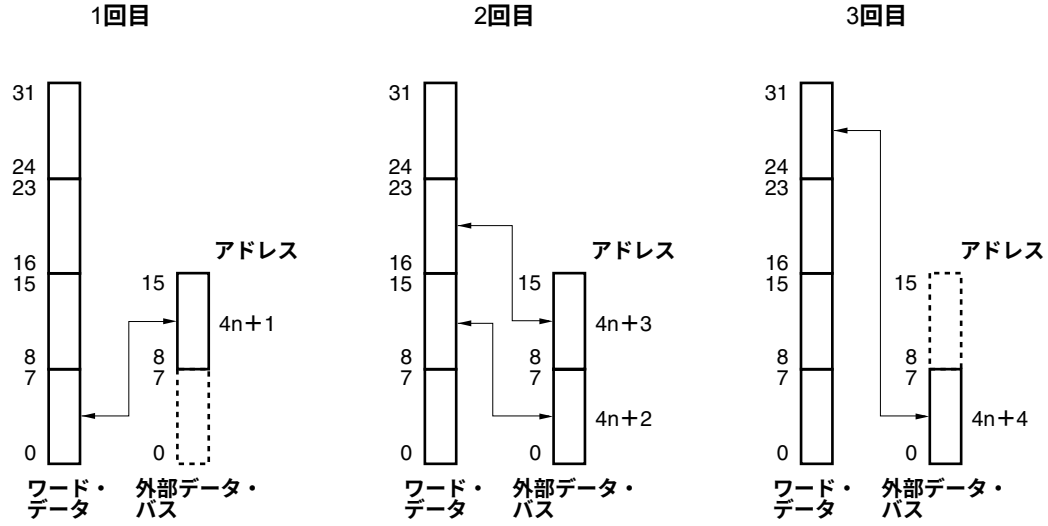
(4) ワード・アクセス（32ビット）

(a) 16ビット・データ・バス幅のとき（1/2）

① アドレス（4n）番地へのアクセス

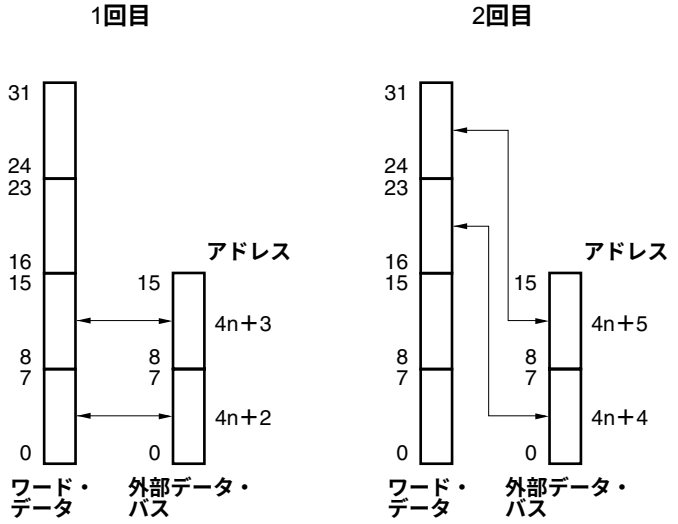


② アドレス（4n＋1）番地へのアクセス

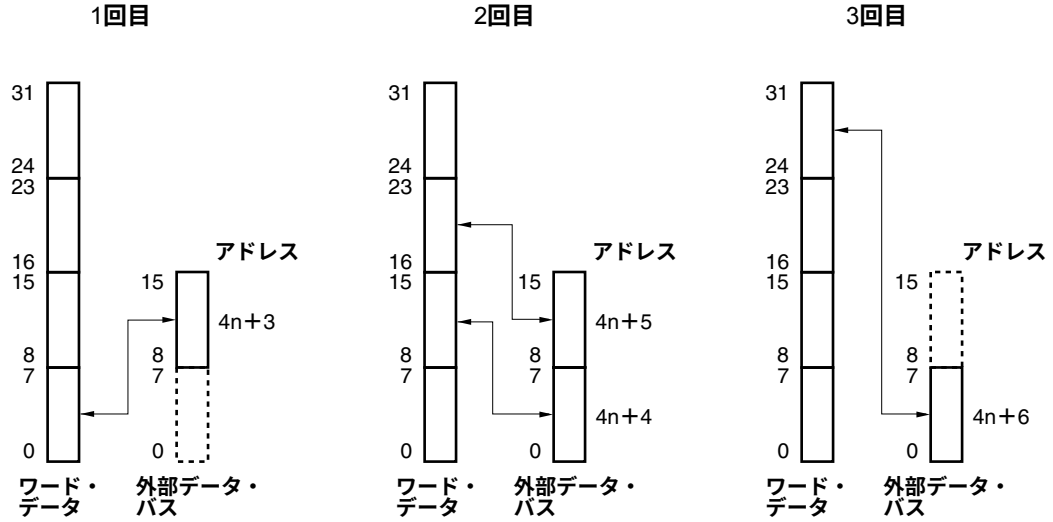


（a）16ビット・データ・バス幅のとき（2/2）

③　アドレス（4n＋2）番地へのアクセス

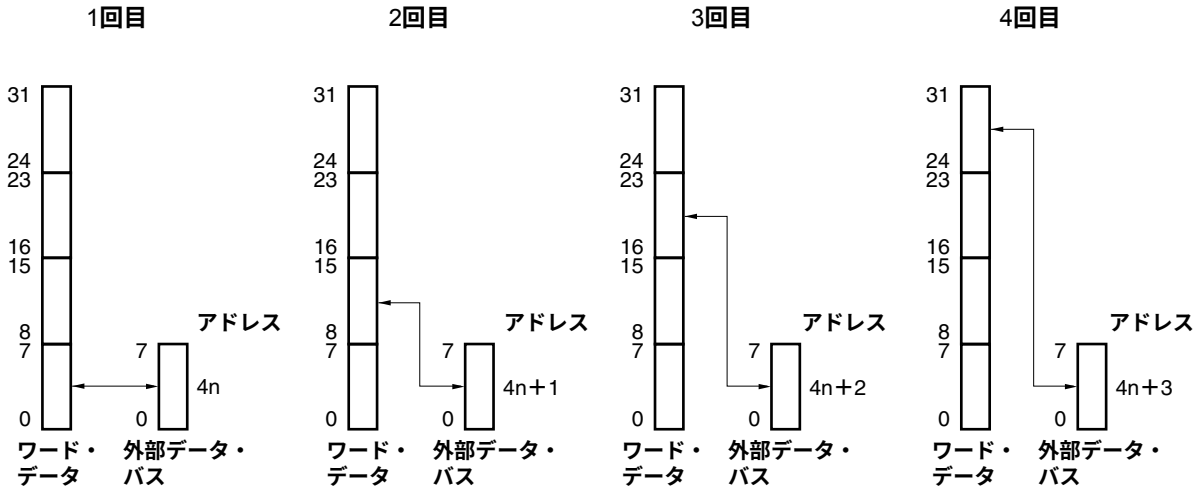


④　アドレス（4n＋3）番地へのアクセス

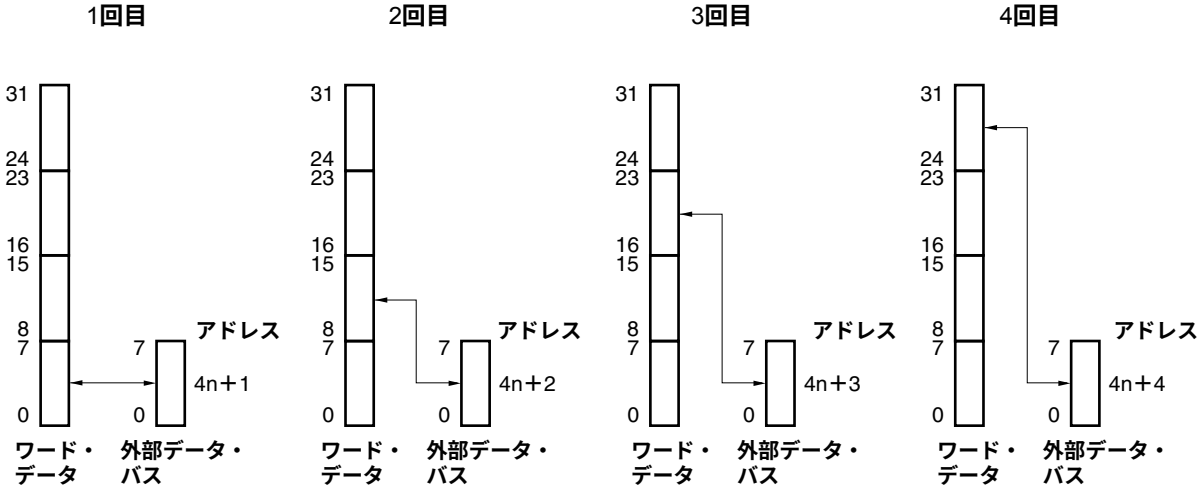


（b）8ビット・データ・バス幅のとき（1/2）

① アドレス（4n）番地へのアクセス

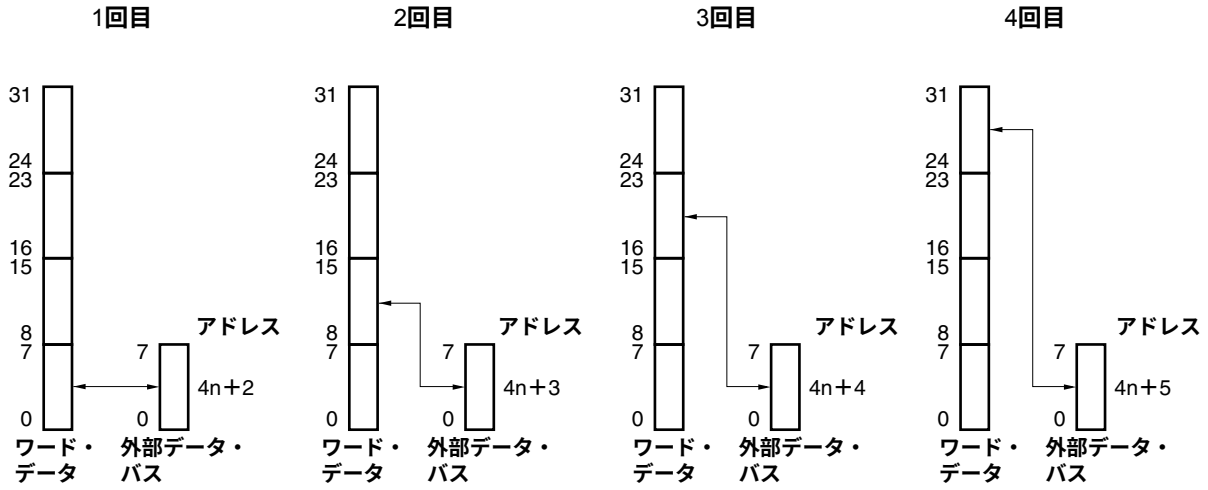


② アドレス（4n＋1）番地へのアクセス

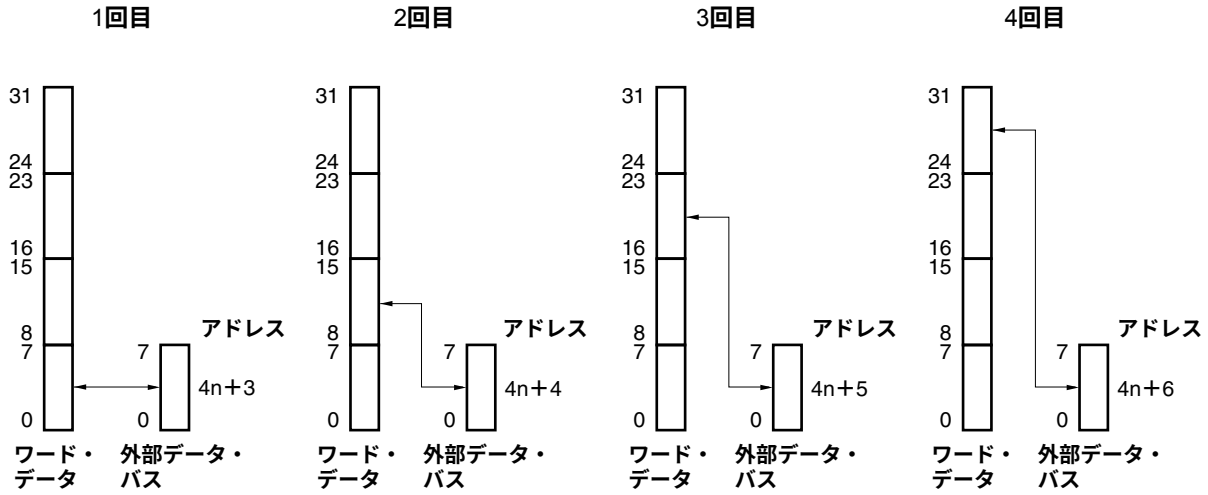


（b）8ビット・データ・バス幅のとき（2/2）

③　アドレス（4n＋2）番地へのアクセス



④　アドレス（4n＋3）番地へのアクセス



5.6　ウエイト機能

5.6.1　プログラマブル・ウエイト機能

(1) データ・ウエイト制御レジスタ0（DWC0）

低速メモリ，I/Oに対するインタフェースを容易に実現させることを目的とし，各CS空間ごとに起動されるバス・サイクルに対し，最大7ステートのデータ・ウエイトを挿入可能です。

ウエイト数は，DWC0レジスタでプログラマブルに指定可能です。システム・リセット直後は，全チップ・セレクト領域に対して7データ・ウエイトの挿入状態になります。

16ビット単位でリード／ライト可能です。

リセットにより7777Hになります。

注意1.　内蔵ROM領域，内蔵RAM領域は，プログラマブル・ウエイトの対象外で，常にノー・ウエイト・アクセスを行います。また，内蔵周辺I/O領域も，プログラマブル・ウエイトの対象外で，各周辺機能からのウエイト制御だけ行われます。

2.　DWC0レジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，DWC0レジスタの初期設定が終わるまでは，外部メモリ領域をアクセスしないでください。

リセット時：7777H　R/W　アドレス：FFFFF484H

	15	14	13	12	11	10	9	8
DWC0	0	0/1注	0/1注	0/1注	0	0/1注	0/1注	0/1注
	7	6	5	4	3	2	1	0
	0	DW12	DW11	DW10	0	DW02	DW01	DW00
$\overline{\text{CSn}}$信号		$\overline{\text{CS1}}$				$\overline{\text{CS0}}$		

DWn2	DWn1	DWn0	CSn空間の挿入ウエイト数（n = 0, 1）
0	0	0	挿入しない
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

注　値を変更しても，動作に影響ありません。

注意　ビット15, 11, 7, 3には必ず0を設定してください。

5. 6. 2　外部ウエイト機能

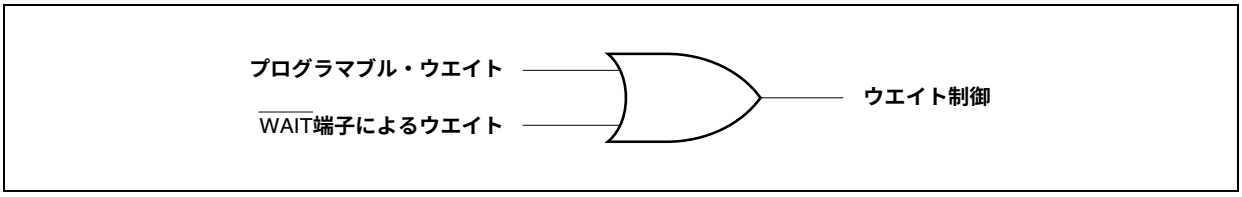
極端に遅いメモリや，I/O，非同期システムに接続する場合など，外部デバイスに同期をとる目的で，外部ウエイト端子（$\overline{\text{WAIT}}$）によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

内蔵ROM，内蔵RAM，内蔵周辺I/Oの各領域へのアクセスに対しては，プログラマブル・ウエイトと同様に，外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$入力は，CLKOUTに対する非同期入力が可能で，マルチプレクス・バス時にはバス・サイクルのT2, TWステートのクロックの立ち下がりでサンプリングされます。セパレート・バス時にはバス・サイクルのT1とTWステート直後のクロックの立ち上がりでサンプリングされます。サンプル・タイミングにおける設定／保持時間を満たさないときは，次のステートでウエイトを挿入するか，挿入しないかのどちらかになります。

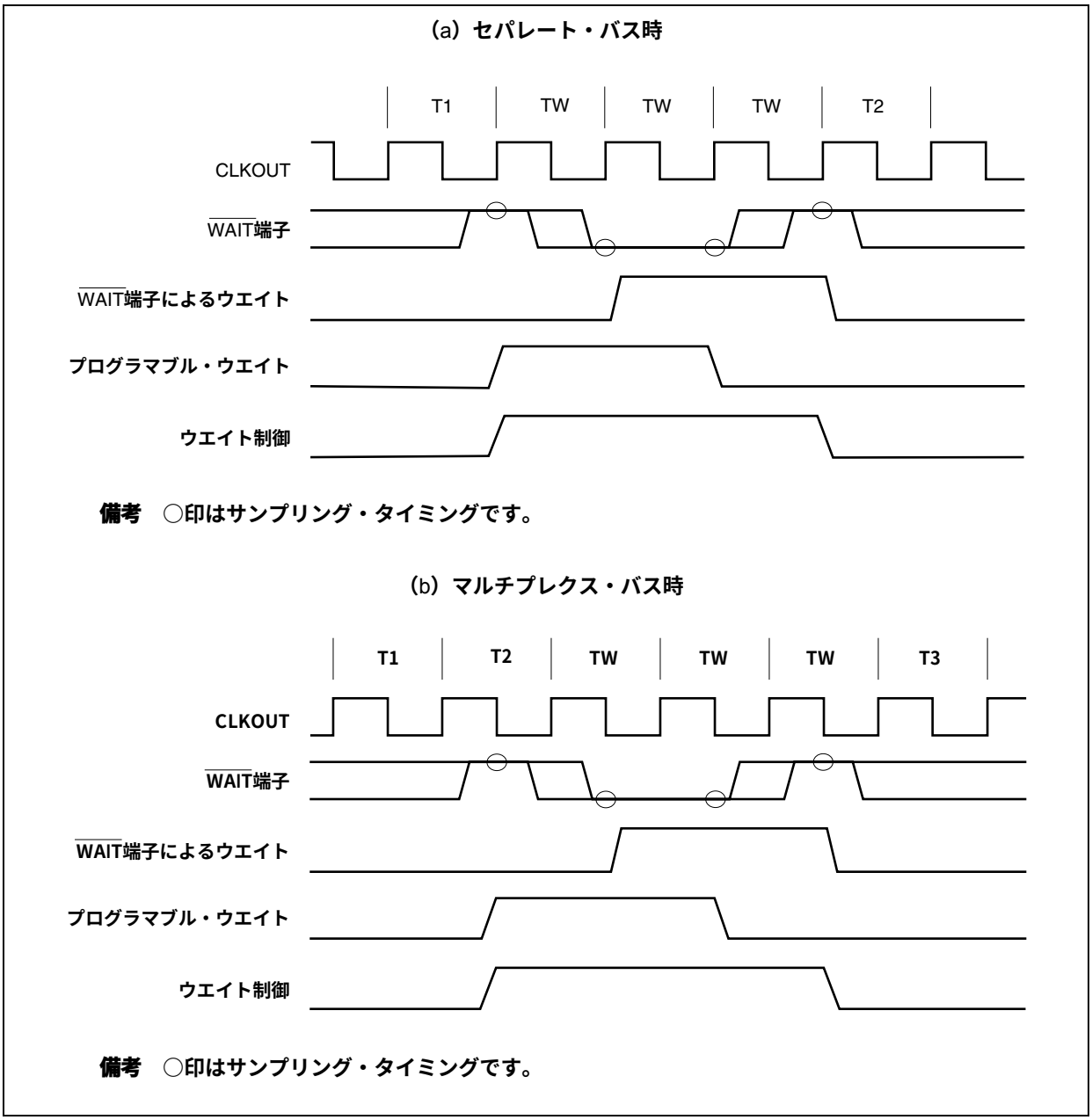
5. 6. 3　プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは，プログラマブル・ウエイトの設定値によるウエイト・サイクルと，$\overline{\text{WAIT}}$端子制御によるウエイト・サイクルの論理和（OR）として挿入されます。



たとえば，プログラマブル・ウエイト，$\overline{\text{WAIT}}$端子が次のようなタイミングのとき，バス・サイクルは，3ウエイトになります。

図5－3　ウエイト挿入例



5. 6. 4　プログラマブル・アドレス・ウエイト機能

AWCレジスタにより，各バス・サイクルに対して挿入するアドレス・セットアップ・ウエイト／アドレス・ホールド・ウエイトを設定できます。アドレス・ウエイト挿入は各チップ・セレクト領域（$\overline{CS0}$, $\overline{CS1}$）ごとに設定します。

アドレス・セットアップ・ウエイトを挿入すると，T1ステートのハイ・クロック期間が1クロック分伸びたイメージになります。また，アドレス・ホールド・ウエイトを挿入すると，T1ステートのロウ・クロック期間が1クロック分伸びたイメージになります。

(1) アドレス・ウエイト制御レジスタ（AWC）

16ビット単位でリード／ライト可能です。

リセットによりFFFFHになります。

注意1.　内蔵ROM領域，内蔵RAM領域，内蔵周辺I/O領域は，アドレス・セットアップ・ウエイト／アドレス・ホールド・ウエイト挿入の対象外になります。

2.　AWCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，AWCレジスタの初期設定が終わるまでは，外部メモリ領域をアクセスしないでください。

リセット時：FFFFH　R/W　アドレス：FFFFF488H

	15	14	13	12	11	10	9	8
AWC	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
	0/1注	0/1注	0/1注	0/1注	AHW1	ASW1	AHW0	ASW0
$\overline{CSn}$信号					$\overline{CS1}$		$\overline{CS0}$	

AHWn	アドレス・ホールド・ウエイト挿入指定（n = 0, 1）
0	挿入しない
1	挿入する

ASWn	アドレス・セットアップ・ウエイト挿入指定（n = 0, 1）
0	挿入しない
1	挿入する

注　値を変更しても，動作に影響ありません。

注意　ビット15-8には必ず1を設定してください。

5.7　アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし，$\overline{\text{CSn}}$で選択される空間ごとに起動されるバス・サイクルに対し，マルチプレクス・アドレス／データ・バス時には，T3ステート後に1ステートのアイドル・ステート（TI）を挿入できます。また，セパレート・バス時には，T2ステート後に1ステートのアイドル・ステート（TI）を挿入できます。アイドル・ステートを挿入することにより，リード・アクセス時のメモリのデータ出力フロート遅延時間を確保することができます（ライト・アクセス時には，アイドル・ステートは挿入できません。）。

アイドル・ステートの挿入指定は，BCCレジスタでプログラマブルに設定できます。

システム・リセット直後は，全領域に対してアイドル・ステートの挿入状態になります。

(1) バス・サイクル制御レジスタ（BCC）

16ビット単位でリード／ライト可能です。

リセットによりAAAAHになります。

注意1.　内蔵ROM領域，内蔵RAM領域，内蔵周辺I/O領域は，アイドル・ステート挿入の対象外になります。

2.　BCCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，BCCレジスタの初期設定が終わるまでは，外部メモリ領域をアクセスしないでください。

リセット時：AAAAH　R/W　アドレス：FFFFF48AH

	15	14	13	12	11	10	9	8
BCC	1	0	1	0	1	0	1	0
	7	6	5	4	3	2	1	0
	0/1注	0	0/1注	0	BC11	0	BC01	0
$\overline{\text{CSn}}$信号					$\overline{\text{CS1}}$		$\overline{\text{CS0}}$	

BCn1	アイドル・ステート挿入指定（n = 0, 1）
0	挿入しない
1	挿入する

注　値を変更しても動作に影響ありません。

注意　ビット15, 13, 11, 9には必ず1を設定し，ビット14, 12, 10, 8, 6, 4, 2, 0には必ず0を設定してください。

5.8　バス・ホールド機能

5.8.1　機能概要

PCM2, PCM3端子が兼用機能に設定されていれば，$\overline{\text{HLDRQ}}$, $\overline{\text{HLDAK}}$機能が有効になります。

ほかのバス・マスタからのバス獲得要求として$\overline{\text{HLDRQ}}$端子がアクティブ（ロウ・レベル）になったことを受け付けると，外部アドレス／データ・バスをハイ・インピーダンス状態にし，解放します（バス・ホールド状態）。$\overline{\text{HLDRQ}}$端子がインアクティブ（ハイ・レベル）になりバス獲得要求が解除されれば，再びこれらの端子の駆動を開始します。

バス・ホールド期間中は，周辺I/Oレジスタ・アクセスあるいは，外部メモリ・アクセスがあるまで，内蔵ROM，内蔵RAMからのプログラムの実行を継続します。

バス・ホールド状態は，$\overline{\text{HLDAK}}$端子がアクティブ（ロウ・レベル）になったことにより知ることができます。マルチプロセッサ構成など，バス・マスタが複数存在するようなシステムを構成できます。

なお，バス・サイジングおよびビット操作命令による複数アクセスのサイクル中は，バス・ホールド要求を受け付けません。

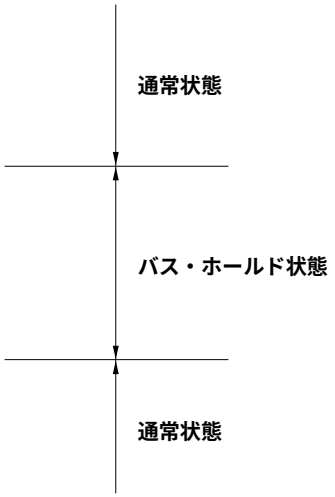
状　態	データ・バス幅	アクセス形態	バス・ホールド要求を受け付けないタイミング
CPUバス・ロック	16ビット	偶数番地へのワード・アクセス	1回目と2回目の間
		奇数番地へのワード・アクセス	1回目と2回目の間
			2回目と3回目の間
		奇数番地へのハーフワード・アクセス	1回目と2回目の間
	8ビット	ワード・アクセス	1回目と2回目の間
			2回目と3回目の間
			3回目と4回目の間
		ハーフワード・アクセス	1回目と2回目の間
ビット操作命令のリード・モディファイ・ライト・アクセス	－	－	リード・アクセスとライト・アクセスの間

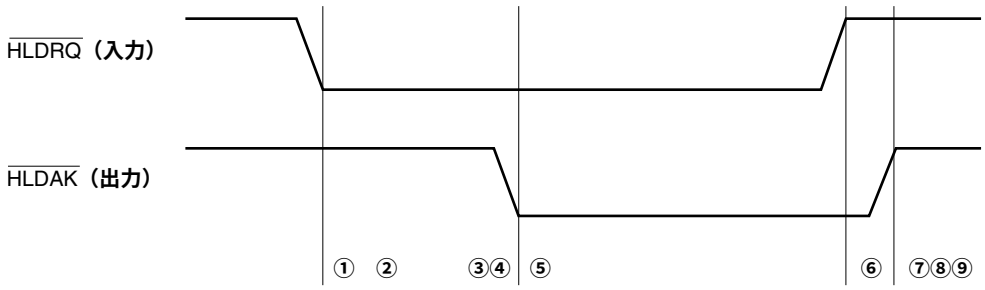
5. 8. 2　バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。

①$\overline{\text{HLDRQ}}$端子へのロウ・レベル入力を受け付け
②すべてのバス・サイクル起動要求を抑える
③カレントのバス・サイクル終了
④バス・アイドル状態に遷移
⑤$\overline{\text{HLDAK}}$端子からロウ・レベルを出力

⑥$\overline{\text{HLDRQ}}$端子へのハイ・レベル入力を受け付け
⑦$\overline{\text{HLDAK}}$端子からハイ・レベルを出力
⑧バス・サイクル起動要求抑止を解除
⑨バス・サイクル開始





5. 8. 3　パワー・セーブ・モード時の動作

STOPモード期間中およびIDLEモード期間中は，内部システム・クロックが停止するため，$\overline{\text{HLDRQ}}$端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは，$\overline{\text{HLDRQ}}$端子がアクティブになると，ただちに$\overline{\text{HLDAK}}$端子がアクティブになり，バス・ホールド状態になります。その後，$\overline{\text{HLDRQ}}$端子がインアクティブになると，$\overline{\text{HLDAK}}$端子もインアクティブになり，バス・ホールド状態は解除されます。

5.9　バスの優先順位

外部バス・サイクルには，バス・ホールド，命令フェッチ（分岐），命令フェッチ（連続），オペランド・データ・アクセス，DMA転送の5つがあります。

優先順位はバス・ホールドが最も高く，オペランド・データ・アクセス，命令フェッチ（分岐），命令フェッチ（連続）の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には，命令フェッチが挿入されることがあります。

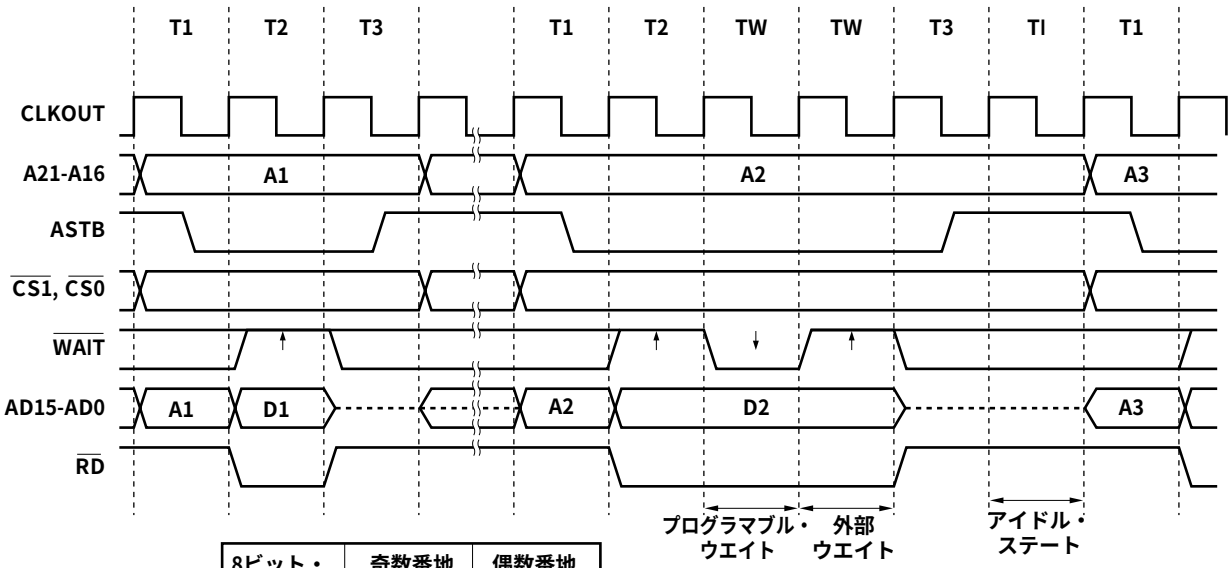
なお，バス・サイズの関係で，数回のアクセスで命令を実行するとき，アクセスとアクセスの間には命令フェッチとバス・ホールドは挿入されません。

表5－4　バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い	バス・ホールド	外部デバイス
↑	DMA転送	DMAC
	オペランド・データ・アクセス	CPU
↓	命令フェッチ（分岐）	CPU
低い	命令フェッチ（連続）	CPU

5. 10　バス・タイミング

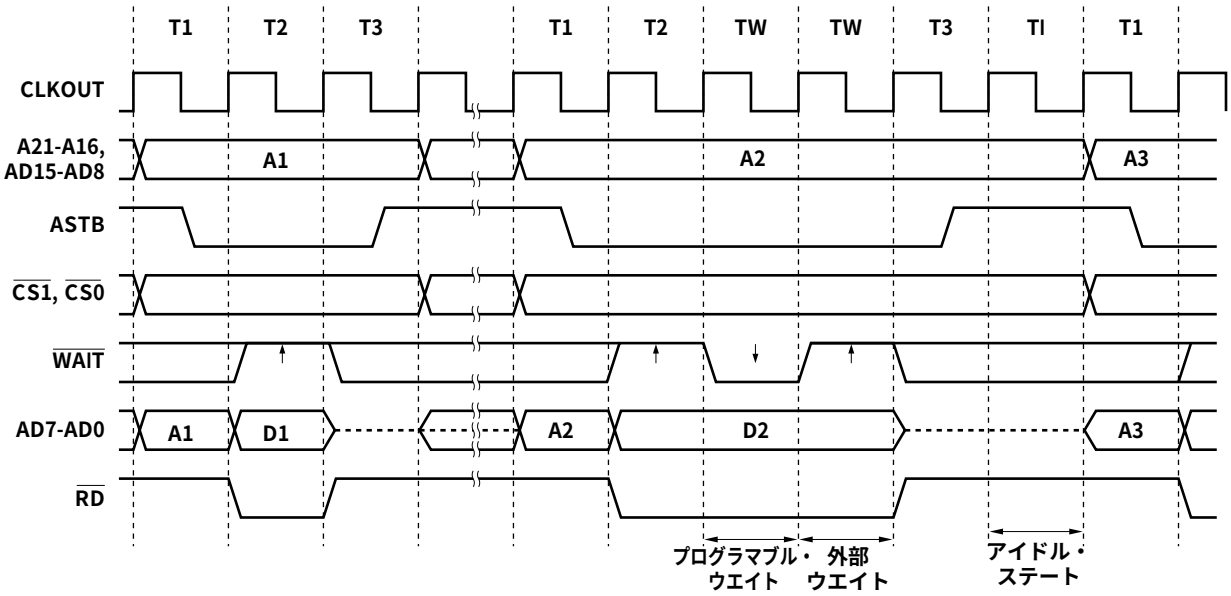
図5－4　マルチプレクス・バス・リード・タイミング（バス・サイズ：16ビット，16ビット・アクセス時）



8ビット・アクセス時	奇数番地	偶数番地
AD15-AD8	アクティブ	Hi-Z
AD7-AD0	Hi-Z	アクティブ

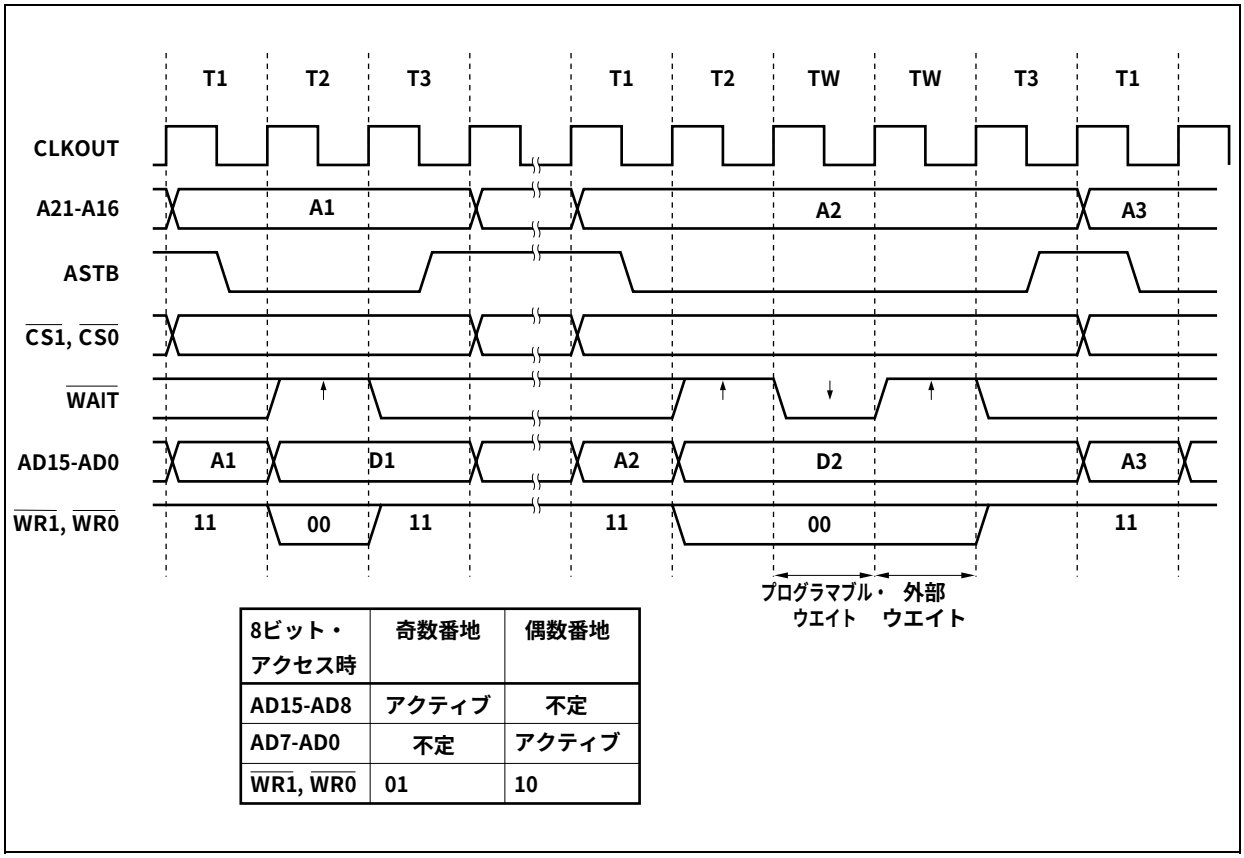
備考　破線はハイ・インピーダンスを示します。

図5－5　マルチプレクス・バス・リード・タイミング（バス・サイズ：8ビット）



備考　破線はハイ・インピーダンスを示します。

図5－6　マルチプレクス・バス・ライト・タイミング（バス・サイズ：16ビット，16ビット・アクセス時）



8ビット・アクセス時	奇数番地	偶数番地
AD15-AD8	アクティブ	不定
AD7-AD0	不定	アクティブ
$\overline{WR1}$, $\overline{WR0}$	01	10

図5－7　マルチプレクス・バス・ライト・タイミング（バス・サイズ：8ビット）

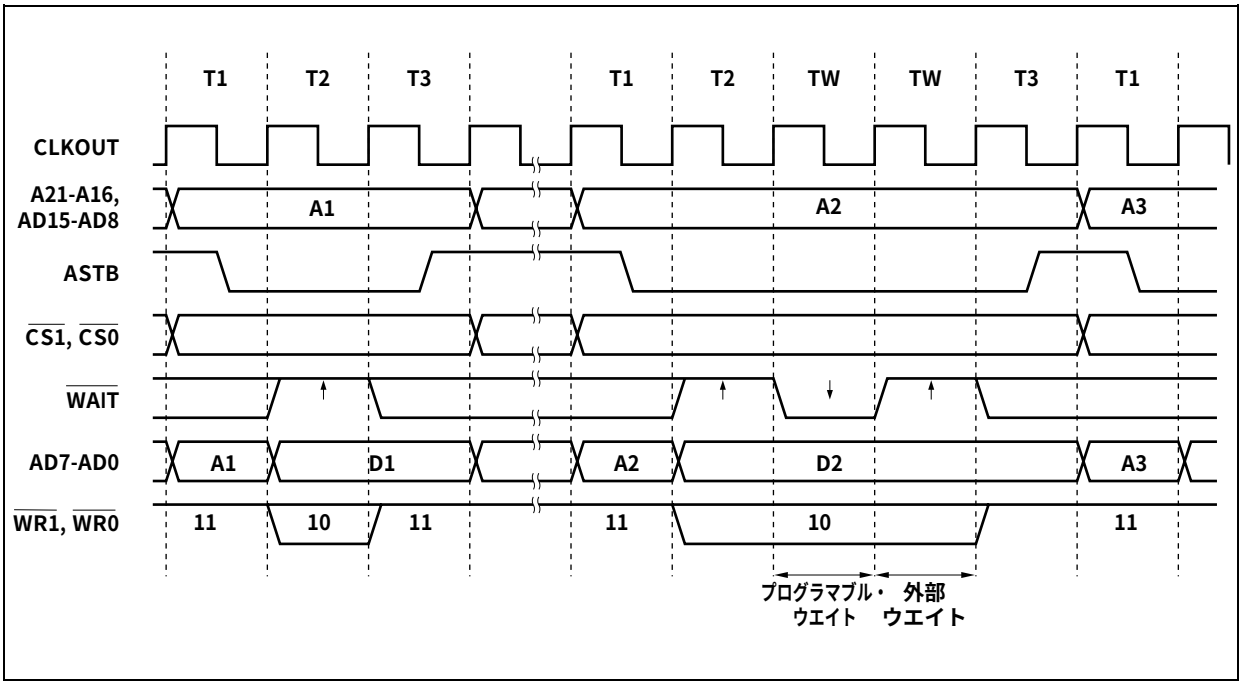
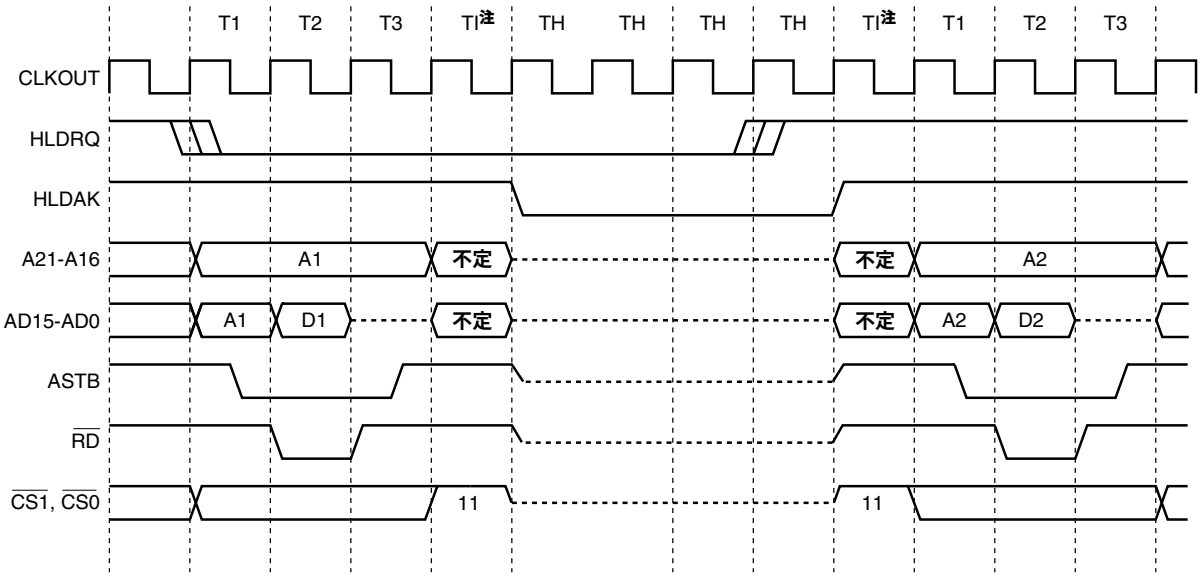


図5－8　マルチプレクス・バス・ホールド・タイミング（バス・サイズ：16ビット，16ビット・アクセス時）

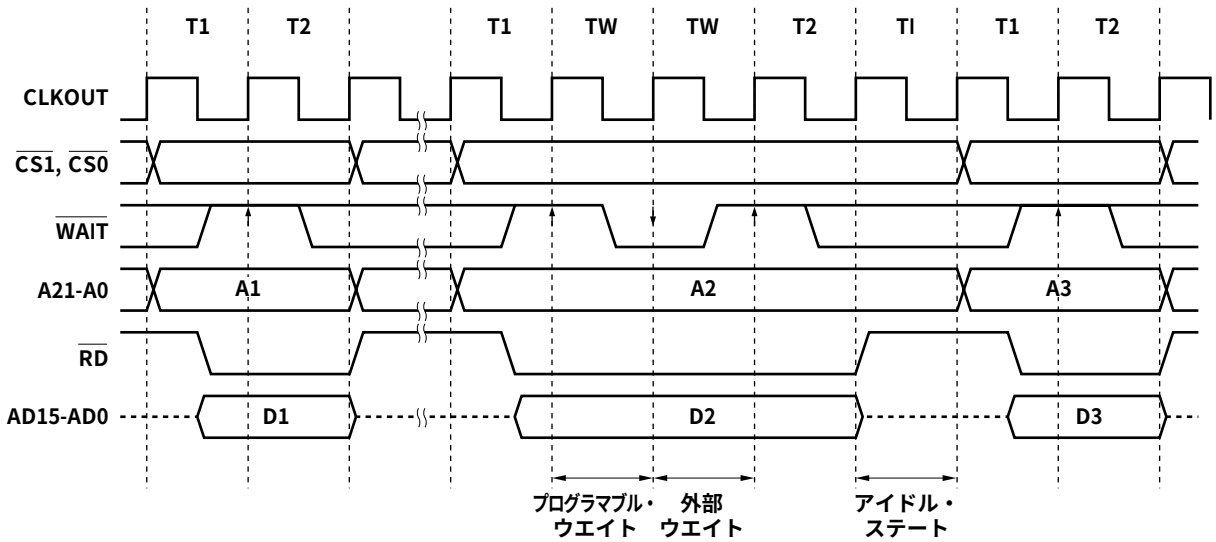


注　BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

備考1.　バス・ホールド時の各端子の状態については表2－2　動作モードによる各端子の動作状態を参照してください。

2.　破線はハイ・インピーダンスを示します。

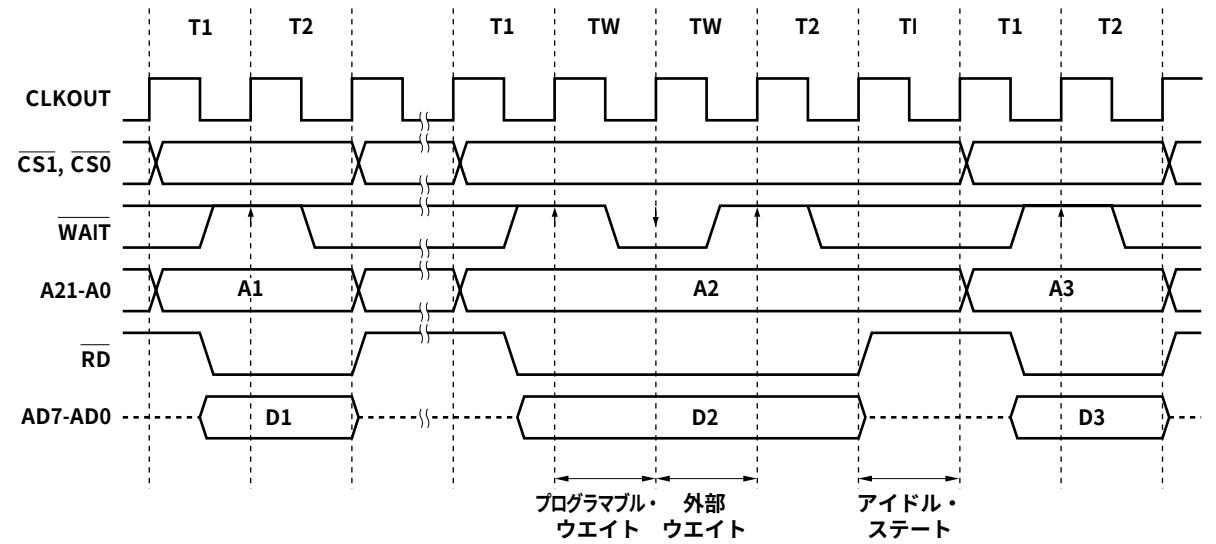
図5－9　セパレート・バス・リード・タイミング（バス・サイズ：16ビット，16ビット・アクセス時）



8ビット・アクセス時	奇数番地	偶数番地
AD15-AD8	アクティブ	Hi-Z
AD7-AD0	Hi-Z	アクティブ

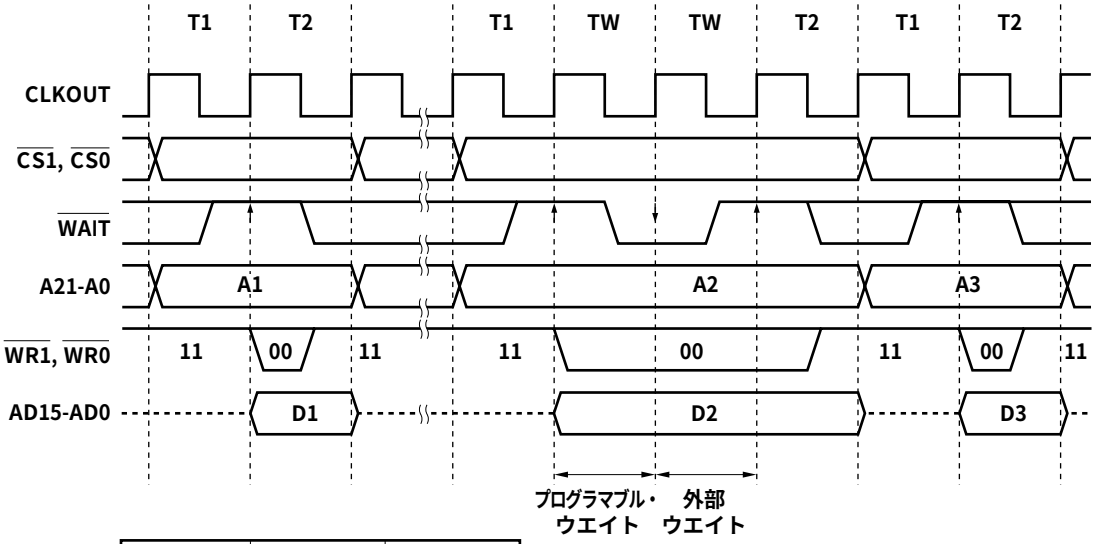
備考　破線はハイ・インピーダンスを示します。

図5－10　セパレート・バス・リード・タイミング（バス・サイズ：8ビット）



備考　破線はハイ・インピーダンスを示します。

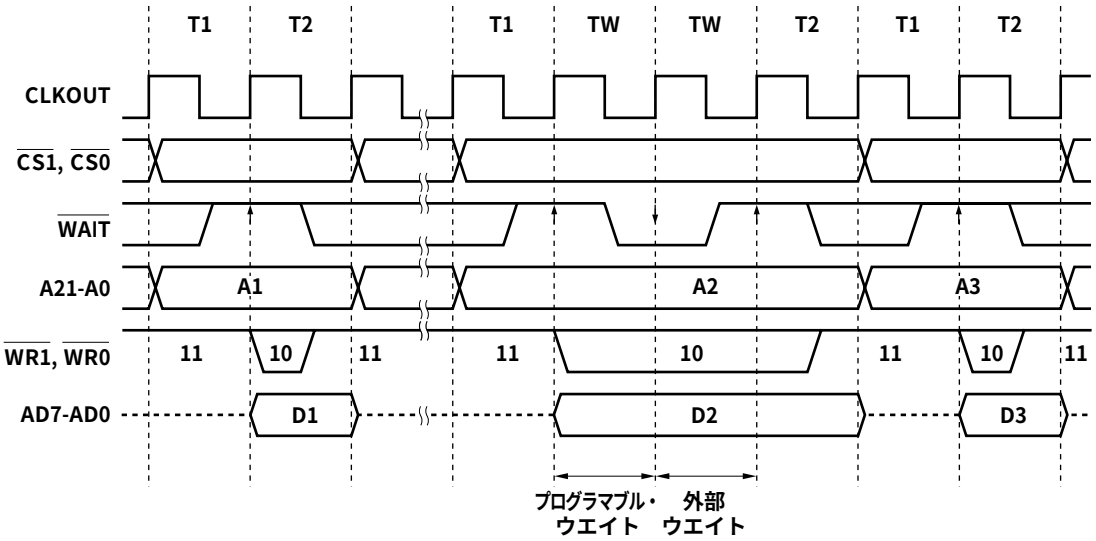
図5－11　セパレート・バス・ライト・タイミング（バス・サイズ：16ビット，16ビット・アクセス時）



8ビット・アクセス時	奇数番地	偶数番地
AD15-AD8	アクティブ	不定
AD7-AD0	不定	アクティブ
$\overline{WR1}$, $\overline{WR0}$	01	10

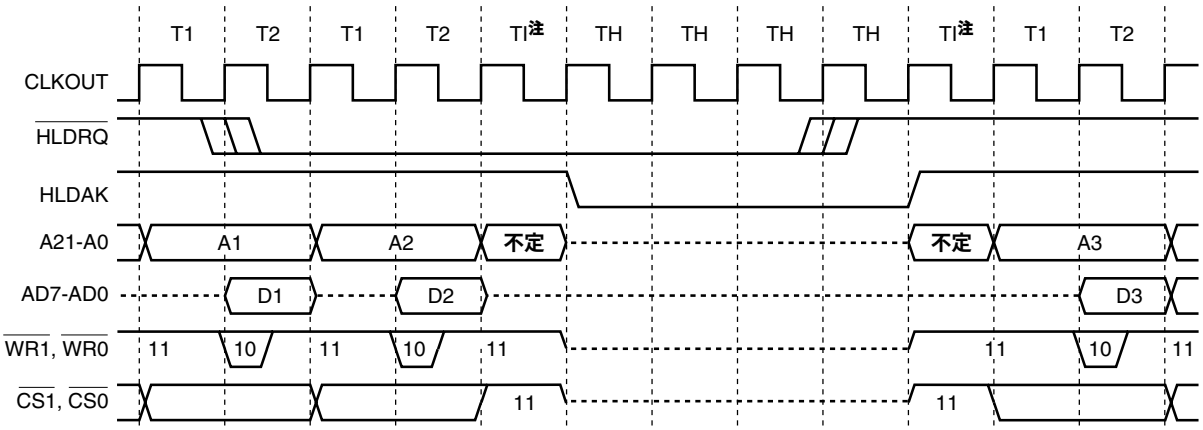
備考　破線はハイ・インピーダンスを示します。

図5－12　セパレート・バス・ライト・タイミング（バス・サイズ：8ビット）



備考　破線はハイ・インピーダンスを示します。

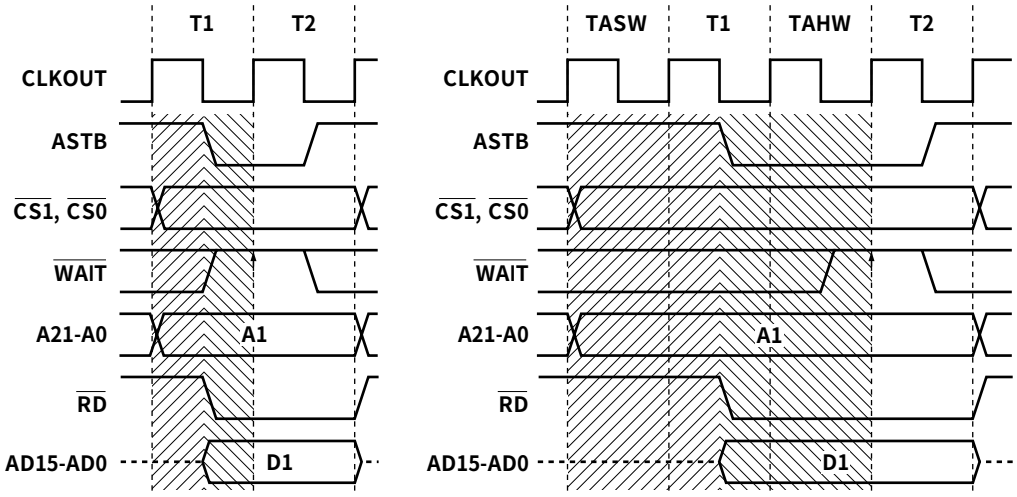
図5－13　セパレート・バス・ホールド・タイミング（バス・サイズ：8ビット，ライト時）



注　BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

備考　破線はハイ・インピーダンスを示します。

図5－14　アドレス・ウエイト・タイミング
（セパレート・バス・リード，バス・サイズ：16ビット，16ビット・アクセス時）



備考1.　TASW（アドレス・セットアップ・ウエイト時）：
　　T1ステートのハイ・レベル幅が伸びたイメージ
　2.　TAHW（アドレス・ホールド・ウエイト時）：
　　T1ステートのロウ・レベル幅が伸びたイメージ
　3.　破線はハイ・インピーダンスを示します。

5. 11　注意事項

外部バス機能において，次の動作条件時には信号が正常なタイミングで出力されない可能性があります。

＜動作条件＞

○ マルチプレクス・バス・モード

①CLKOUT非同期（2.7 V≦V_{DD} = EV_{DD} = AV_{REF0}＜4.0 V, 2.7 V≦BV_{DD}＜4.0 V）

1/f_{CPU}＜84 nsで使用時

○ セパレート・バス・モード

①リード・サイクル，CLKOUT非同期（4.0 V≦V_{DD} = BV_{DD} = EV_{DD} = AV_{REF0}≦5.5 V）

1/f_{CPU}＜100 nsで使用時

②ライト・サイクル，CLKOUT非同期（4.0 V≦V_{DD} = BV_{DD} = EV_{DD} = AV_{REF0}≦5.5 V）

1/f_{CPU}＜60 nsで使用時

③リード・サイクル，CLKOUT非同期（2.7 V≦V_{DD} = BV_{DD} = EV_{DD} = AV_{REF0}＜4.0 V）

1/f_{CPU}＜200 nsで使用時

④ライト・サイクル，CLKOUT非同期（2.7 V≦V_{DD} = BV_{DD} = EV_{DD} = AV_{REF0}＜4.0 V）

1/f_{CPU}＜100 nsで使用時

＜回避策＞

上記条件で使用時には，次のようにAWCレジスタにてアドレス・セットアップ／ホールド・ウエイトを必ず挿入してください（n = 0, 1）。

○マルチプレクス・バス・モード，条件①で使用時

- 70 ns＜1/f_{CPU}＜84 ns時

  アドレス・セットアップ・ウエイト（ASWnビット = 1）を設定

- 62.5 ns＜1/f_{CPU}＜70 ns時

  アドレス・セットアップ・ウエイト（ASWnビット = 1）および，アドレス・ホールド・ウエイト（AHWnビット = 1）を設定

○セパレート・バス・モード条件①～④で使用時

アドレス・セットアップ・ウエイト（ASWnビット = 1）を設定

第6章　クロック発生機能

6.1 概　　要

クロック発生機能の概要を次に示します。

★ ○メイン・クロック発振回路

＜PLL（4逓倍）モード時＞

- f_X = 2〜5 MHz（f_{XX} = 8〜20 MHz：4.5 V≦V_{DD}≦5.5 V, REGC = V_{DD}）
- f_X = 2〜4 MHz（f_{XX} = 8〜16 MHz：4.0 V≦V_{DD}≦5.5 V, REGC = V_{DD}）
- f_X = 2〜4 MHz（f_{XX} = 8〜16 MHz：4.0 V≦V_{DD}≦5.5 V, REGC = 10 μF）
- f_X = 2〜2.5 MHz（f_{XX} = 8〜10 MHz：2.7 V≦V_{DD}≦5.5 V, REGC = V_{DD}）

＜クロック・スルー・モード時＞

- f_X = 2〜10 MHz（f_{XX} = 2〜10 MHz：2.7 V≦V_{DD}≦5.5 V, REGC = V_{DD}）
- f_X = 2〜10 MHz（f_{XX} = 2〜10 MHz：4.0 V≦V_{DD}≦5.5 V, REGC = 10 μF）

○サブクロック発振回路

- 32.768 kHz

○内蔵発振器

- f_R = 120〜480 kHz（240 kHz（TYP.））

○PLL（Phase Locked Loop）による逓倍機能（4逓倍）

- クロック・スルー・モード／PLLモード選択可
- 使用可能電圧：V_{DD} = 2.7〜5.5 V

○内部システム・クロックの生成

- 7段階（f_{XX}, f_{XX}/2, f_{XX}/4, f_{XX}/8, f_{XX}/16, f_{XX}/32, f_{XT}）
- メイン・クロック停止検出によりクロック・モニタのリセット信号発生後，f_Rで動作

○周辺クロックの生成

○クロック出力機能

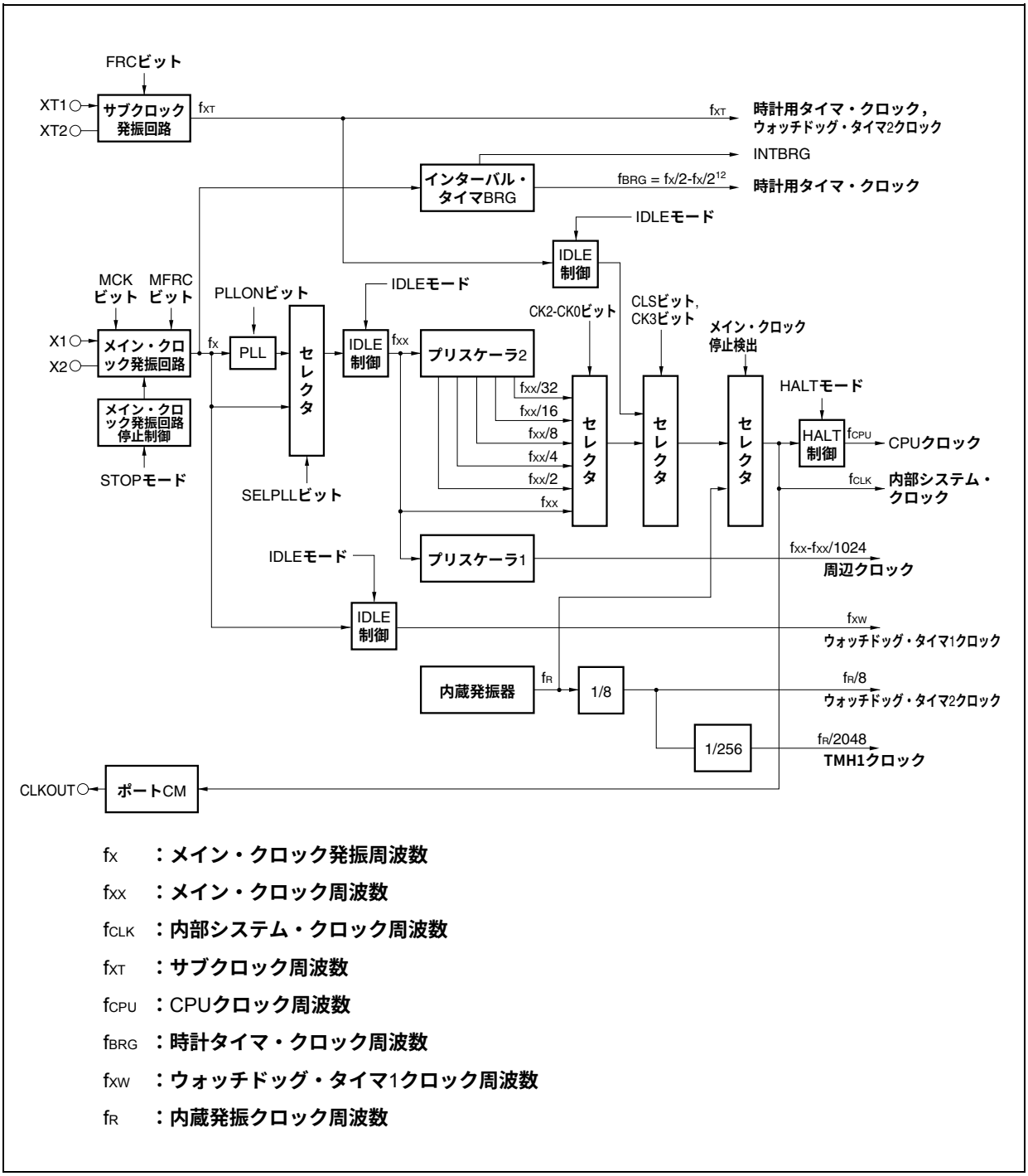
備考　f_X　：メイン・クロック発振周波数

f_{XX}　：メイン・クロック周波数

f_R　：内蔵発振クロック周波数

6.2 構　　成

★ **図6－1　クロック発生回路**



fX　：メイン・クロック発振周波数

fXX　：メイン・クロック周波数

fCLK　：内部システム・クロック周波数

fXT　：サブクロック周波数

fCPU　：CPUクロック周波数

fBRG　：時計タイマ・クロック周波数

fXW　：ウォッチドッグ・タイマ1クロック周波数

fR　：内蔵発振クロック周波数

★ (1) メイン･クロック発振回路

次の周波数（f_X）を発振します。

- f_X = 2〜5 MHz（REGC = V_{DD} = 4.5〜5.5 V 動作時／PLLモード時）
- f_X = 2〜4 MHz（REGC = 10 μF, V_{DD} = 4.0〜5.5 V 動作時／PLLモード時）
- f_X = 2〜4 MHz（REGC = V_{DD} = 4.0〜5.5 V 動作時／PLLモード時）
- f_X = 2〜2.5 MHz（REGC = V_{DD} = 2.7〜5.5 V 動作時／PLLモード時）
- f_X = 2〜10 MHz（REGC = V_{DD} = 2.7〜5.5 V 動作時／クロック・スルー・モード時）
- f_X = 2〜10 MHz（REGC = 10 μF, V_{DD} = 4.0〜5.5 V 動作時／クロック・スルー・モード時）

(2) サブクロック発振回路

32.768 kHzの周波数（f_{XT}）を発振します。

(3) メイン・クロック発振回路停止制御

メイン・クロック発振回路の発振を停止する制御信号を生成します。

STOPモード時，あるいはPCC.MCKビット = 1（PCC.CLSビット = 1のときのみ有効）のとき，メイン・クロック発振回路の発振を停止します。

(4) プリスケーラ1

内蔵周辺機能に供給するクロック（f_{XX}-f_{XX}/1024）を生成します。

クロック供給の対象となるブロックを次に示します。

TMP0, TM00-TM03, TM50, TM51, TMH0, TMH1, CSI00, CSI01, CSIA0, CSIA1, UART0-UART2, I^2C0, ADC, DAC

(5) プリスケーラ2

メイン・クロック（f_{XX}）を分周する回路です。

CPUクロック（f_{CPU}），内部システム・クロック（f_{CLK}）を生成するセレクタに，プリスケーラ2で生成したクロック（f_{XX}-f_{XX}/32）を供給します。

なお，f_{CLK}は，INTC，ROMコレクション，DMAコントローラ，ROM，RAMブロックに供給するクロックで，CLKOUT端子から出力できます。

(6) インターバル・タイマBRG

メイン・クロック発振回路で生成するクロック（f_X）を所定の周波数（32.768 kHz）まで分周する回路で，時計用タイマ・ブロックに供給します。インターバル・タイマとしても使用できます。

詳細は，第11章　インターバル・タイマ，時計タイマを参照してください。

(7) PLL

メイン・クロック発振回路で生成するクロック（f_X）を4逓倍します。

PLLCTL.SELPLLビットによりf_Xをそのまま出力するクロック・スルー・モードと，逓倍クロックを出力するPLLモードを選択します。

また，PLLCTL.PLLONビットによりPLLを動作／停止します。

(8) 内蔵発振器

120〜480 kHz（240 kHz（TYP.））の周波数（f_R）を発振します。

6. 3　レジスタ

(1) プロセッサ・クロック・コントロール・レジスタ（PCC）

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます（3. 4. 7　**特定レジスタ**参照）。

8/1ビット単位でリード／ライト可能です。

リセットにより03Hになります。

(1/2)

リセット時：03H　R/W　アドレス：FFFFF828H

	7	⑥	5	④	③	2	1	0
PCC	FRC	MCK	MFRC	CLS注	CK3	CK2	CK1	CK0

FRC	サブクロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

MCK	メイン・クロック発振回路の制御
0	発振許可
1	発振停止
・CPUクロックがメイン・クロックで動作中にMCKビットを1に設定しても，メイン・クロックの動作は停止しません。CPUクロックをサブクロックに変更した後，停止します。 ・メイン・クロックを停止させ，サブクロックで動作している場合に，再度メイン・クロックに切り替えるときは，MCKビットを“0”に設定し，プログラム中で発振安定時間を確保したあとに切り替えてください。	

MFRC	メイン・クロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

CLS注	CPUクロック（f_{CPU}）の状態
0	メイン・クロック動作
1	サブクロック動作

注　CLSビットはリードのみです。

(2/2)

CK3	CK2	CK1	CK0	クロックの選択（f_{CLK}/f_{CPU}）
0	0	0	0	f_{XX}
0	0	0	1	$f_{XX}/2$
0	0	1	0	$f_{XX}/4$
0	0	1	1	$f_{XX}/8$（初期値）
0	1	0	0	$f_{XX}/16$
0	1	0	1	$f_{XX}/32$
0	1	1	X	設定禁止
1	X	X	X	f_{XT}

注意1.　CLKOUTを出力している間は，CPUクロック（CK3-CK0ビット）を変更しないでください。

2.　CK3ビットを操作する際は，ビット操作命令で行ってください。8ビット操作命令で行う場合は，CK2-CK0ビットの設定値を変更しないでください。

3.　CPUがサブクロックで動作し，かつX1にクロックを入力していないとき，ウエイトが発生するレジスタにウエイトが発生するアクセス方法でアクセスしないでください（アクセス方法については3．4．8（1）（b）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照）。ウエイトが発生した場合，解除する方法はリセットのみです。

備考　X：任意

(a) メイン・クロック動作→サブクロック動作の設定例

① CK3ビット ← 1　　：ビット操作命令推奨。CK2-CK0ビットは変更しないでください。

② サブクロック動作　　：CLSビットをリードしてサブクロック動作に切り替わったかどうかを確認してください。CK3ビットを設定したあと，サブクロック動作に切り替わるまでの時間は次のとおりです。

最大：1/f_{XT}（1/サブクロック周波数）

③ MCKビット ← 1　　：メイン・クロックを停止するときのみ，MCKビットを1に設定します。

注意1. メイン・クロックを停止する場合は，PLLを停止してください。

2. 次の条件を満たしていない場合は，条件を満たすようにCK2-CK0ビットを変更後，サブクロック動作モードに移行してください。

内部システム・クロック（f_{CLK}）＞サブクロック（f_{XT}：32.768 kHz）×4

備考　内部システム・クロック（f_{CLK}）：CK2-CK0ビットの設定によってメイン・クロック（f_{XX}）から生成するクロック

[記述例]

```
① _SET_SUB_RUN :
   st.b      r0, PRCMD[r0]
   set1      3, PCC[r0]              -- CK3ビット ← 1
② _CHECK_CLS :
   tst1      4, PCC[r0]              -- サブクロック動作に切り替わるまでウエイト
   bz        _CHECK_CLS
③ _STOP_MAIN_CLOCK :
   st.b      r0, PRCMD[r0]
   set1      6, PCC[r0]              -- MCKビット ← 1，メイン・クロック停止
```

備考　この記述例はあくまでも一例です。特に②において，閉ループでCLSビットをリードしていますので注意してください。

(b) サブクロック動作→メイン・クロック動作の設定例

① MCKビット ← 0　　：メイン・クロック発振開始

② プログラムによりウエイトを挿入して，メイン・クロックの発振安定時間が経過するまで待ちます。

③ CK3ビット ← 0　　：ビット操作命令を推奨します。CK2-CK0ビットは変更しないでください。

④ メイン・クロック動作　：CK3ビットを設定したあと，メイン・クロック動作に切り替わるまでの時間は次のとおりです。

最大：1/f_{XT}（1/サブクロック周波数）

したがって，CK3ビットを0とした直後にNOP命令を1つ挿入するか，もしくはCLSビットをリードしてメイン・クロック動作に切り替わったかどうかを確認してください。

[記述例]

```
① _START_MAIN_OSC :
   st.b      r0, PRCMD[r0]          -- 特定レジスタ，プロテクション解除
   clr1      6, PCC[r0]             -- メイン・クロック発振開始
② movea      0x55, r0, r11          -- 発振安定時間待ち
  _WAIT_OST :
   nop
   nop
   nop
   addi      -1, r11, r11
   mp        r0, r11
   bne       _PROGRAM_WAIT
③ st.b       r0, PRCMD[r0]
   clr1      3, PCC[r0]             -- CK3 ← 0
④ _CHECK_CLS :
   tst1      4, PCC[r0]             -- メイン・クロック動作に切り替わるまでウエイト
   bnz       _CHECK_CLS
```

備考　この記述例はあくまでも一例です。特に④において，閉ループでCLSビットをリードしていますので注意してください。

(2) 内蔵発振モード・レジスタ（RCM）

RCMレジスタは，内蔵発振器の動作モードの設定を行う8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　RCMレジスタの設定はマスクROM内蔵品とフラッシュ・メモリ内蔵品で異なります。
詳細は第30章　マスク・オプション／オプション・バイトを参照してください。

- マスクROM内蔵品（μPD703313, 703313Y）
  マスク・オプションにより「内蔵発振器をソフトウエアにより停止可能」選択時にのみ有効です。
- フラッシュ・メモリ内蔵品（μPD70F3311, 70F3311Y, 70F3313, 70F3313Y）
  オプション・バイト設定によりRINGSTPビット = 0のとき有効となります。

リセット時：00H　R/W　アドレス：FFFFF80CH

	7	6	5	4	3	2	1	⓪
RCM	0	0	0	0	0	0	0	RSTOP

RSTOP	内蔵発振器の発振／停止
0	内蔵発振器の発振
1	内蔵発振器の停止

(3) CPU動作クロック・ステータス・レジスタ（CCLS）

CCLSレジスタは，CPU動作クロックの状態を示すレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H　R　アドレス：FFFFF82EH

	7	6	5	4	3	2	1	0
CCLS	0	0	0	0	0	0	0	CCLSF

CCLSF	CPU動作クロックの状態
0	メイン・クロック（f_X）またはサブクロック（f_{XT}）で動作
1	内蔵発振クロック（f_R）で動作

6.4 動　　作

6.4.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表6－1　各クロックの動作状態

レジスタの設定および動作状態 ＼ 対象クロック	PCCレジスタ								
	CLSビット = 0, MCKビット = 0					CLSビット = 1, MCKビット = 0		CLSビット = 1, MCKビット = 1	
	リセット中	発振安定時間カウント中	HALTモード	IDLEモード	STOPモード	サブクロック・モード	サブIDLEモード	サブクロック・モード	サブIDLEモード
メイン・クロック発振回路（f_X）	×	○	○	○	×	○	○	×	×
サブクロック発振回路（f_{XT}）	○	○	○	○	○	○	○	○	○
CPUクロック(f_{CPU})	×	×	×	×	×	○	×	○	×
内部システム・クロック（f_{CLK}）	×	×	○	×	×	○	×	○	×
周辺クロック（f_{XX}-f_{XX}/1024）	×	×	○	×	×	○	×	×	×
WTクロック（メイン）	×	○	○	○	×	○	○	×	×
WTクロック（サブ）	○	○	○	○	○	○	○	○	○
WDT1クロック（f_{XW}）	×	○	○	○	×	○	○	×	×
WDT2クロック（内蔵発振）	×	○	○	○	○	○	○	○	○
WDT2クロック（サブ）	○	○	○	○	○	○	○	○	○

備考　○：動作可能

　　×：停止

6.4.2 クロック出力機能

クロック出力機能は，内部システム・クロック（f_{CLK}）をCLKOUT端子から出力します。

内部システム・クロック（f_{CLK}）は，PCC.CK3-CK0ビットで選択します。

CLKOUT端子は，PCM1端子と兼用しており，ポートCMの制御レジスタを操作することにより，クロック出力端子として機能します。

CLKOUT端子の状態は，表6－1の内部システム・クロックと同じ状態になり，○（動作可能）のときにクロックを出力することが可能です。また，×（停止）のときにはロウ・レベルを出力します。ただし，リセット後，CLKOUT端子の出力設定をするまでは，ポート・モード（PCM1：入力モード）となるので，端子の状態はHi-Zになります。

6.4.3 外部クロック入力機能

発振回路には，外部クロックを直接入力することができます。この場合，X1端子からクロック入力，X2端子からその反転を入力し，PCC.MFRCビット = 1（内蔵帰還抵抗を使用しない）としてください。ただし，外部クロック・モード時でも，発振安定時間は挿入されます。また，REGC端子にはV_{DD}を直接接続してください。

6. 5　PLL機能

6. 5. 1　概　　要

PLLはCPUおよび内蔵周辺機能の動作クロックとして発振周波数の4逓倍出力と，クロック・スルー・モードを切り替えます。

PLL機能使用時　　：入力クロック = 2〜5 MHz（fxx：8〜20 MHz）
クロック・スルー・モード ：入力クロック = 2〜10 MHz（fxx：2〜10 MHz）

6. 5. 2　レジスタ

（1）PLLコントロール・レジスタ（PLLCTL）

PLLCTLレジスタは，PLL, RTOのセキュリティ機能を制御する8ビット・レジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより01Hになります。

リセット時：01H　R/W　アドレス：FFFFF806H

	7	6	5	4	3	②	①	⓪
PLLCTL	0	0	0	0	0	RTOST0注	SELPLL	PLLON

PLLON	PLL動作の制御
0	PLL停止
1	PLL動作

SELPLL	PLLクロックの選択
0	クロック・スルー動作
1	PLL動作

注　RTOST0ビットについては，第13章　リアルタイム出力機能（RTO）を参照してください。

注意　ビット4-7には必ず0を設定してください。ビット3は変更しても動作に影響はありません。

6. 5. 3　使用方法

(1) PLLを使用する場合

- リセット解除後は，PLLは動作（PLLCTL.PLLONビット = 1）していますが，初期設定はクロック・スルー・モード（PLLCTL.SELPLLビット = 0）のため，PLLモード（SELPLLビット = 1）に変更してください。
- STOPモードなどのメイン・クロックを停止させる場合または，IDLEモードへの移行時は，まずクロック・スルー・モードに変更し次にPLLを停止させた後，それぞれのモードへ移行してください。IDLEモード，STOPモードからの復帰時は，最初にPLLを動作（PLLONビット = 1）させたあと，PLLモード（SELPLLビット = 1）へ変更してくだい。
- PLLを動作させる場合はPLLONビット = 1として，200 μs待ってからSELPLLビット = 1としてください。PLLを停止させる場合は，最初にクロック・スルー・モード（SELPLLビット = 0）として，8クロック以上後に，PLL停止（PLLONビット = 0）としてください。

(2) PLLを使用しない場合

- リセット解除後は，クロック・スルー・モード（SELPLLビット = 0）ですが，PLLは動作（PLLONビット = 1）しているので，PLLを停止（PLLONビット = 0）してください。

備考　IDLEモードのときPLLは動作可能です。低消費電力を実現する場合は，PLLを停止してください。STOPモードに移行するときは必ずPLLを停止してください。

第7章　16ビット・タイマ／イベント・カウンタP（TMP）

タイマP（TMP）は，16ビットのタイマ／イベント・カウンタです。
V850ES/KG1+は，TMP0を内蔵しています。

7.1　概　　要

TMP0の概要を次に示します。

- クロック選択　：8通り
- キャプチャ・トリガ入力端子　：2本
- 外部イベント・カウント入力端子　：1本
- 外部トリガ入力端子　：1本
- タイマ・カウンタ　：1本
- キャプチャ／コンペア・レジスタ　：2本
- キャプチャ／コンペア一致割り込み要求信号　：2本
- タイマ出力端子　：2本

7.2　機　　能

TMP0の機能を次に示します。

- インターバル・タイマ
- 外部イベント・カウンタ
- 外部トリガ・パルス出力
- ワンショット・パルス出力
- PWM出力
- フリー・ランニング・タイマ
- パルス幅測定

7.3 構　　成

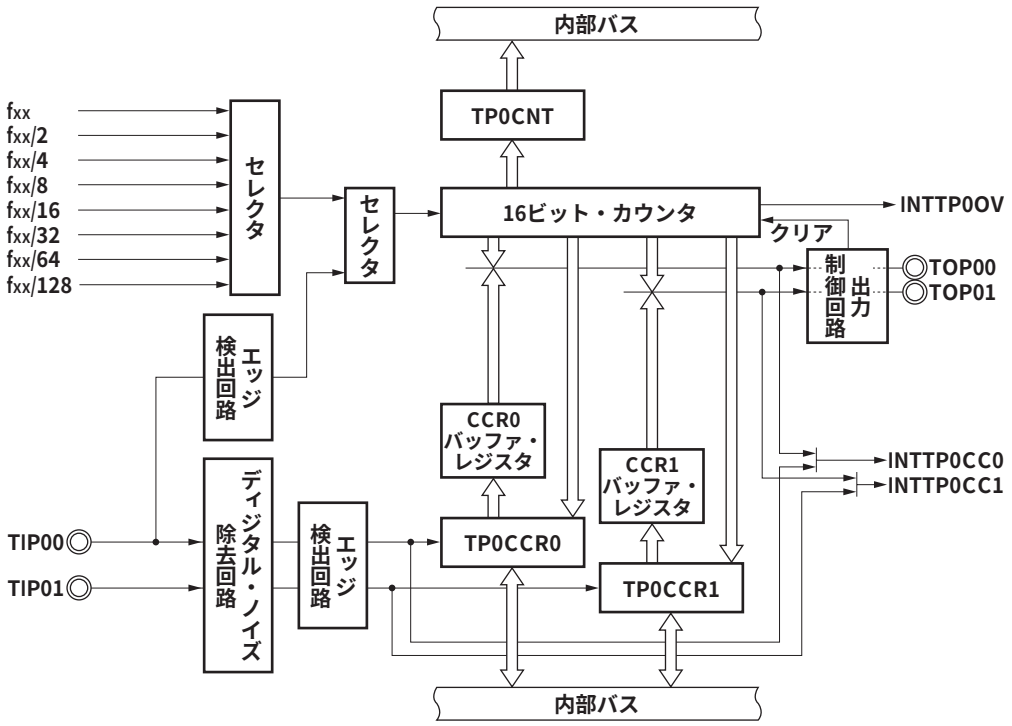
TMP0は，次のハードウエアで構成されています。

表7－1　TMP0の構成

項　　目	構　　成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMP0キャプチャ／コンペア・レジスタ0, 1（TP0CCR0, TP0CCR1） TMP0カウンタ・リード・バッファ・レジスタ（TP0CNT） CCR0, CCR1バッファ・レジスタ
タイマ入力	2本（TIP00注, TIP01端子）
タイマ出力	2本（TOP00, TOP01端子）
制御レジスタ	TMP0制御レジスタ0, 1（TP0CTL0, TP0CTL1） TMP0I/O制御レジスタ0-2（TP0IOC0-TP0IOC2） TMP0オプション・レジスタ0（TP0OPT0）

注　TIP00端子には，キャプチャ・トリガ入力信号，外部イベント・カウント入力信号，外部トリガ入力信号が兼用されています。

図7－1　TMP0のブロック図



備考　fxx：メイン・クロック周波数

(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は，TP0CNTレジスタでリードできます。

TP0CTL0.TP0CEビット = 0のとき，16ビット・カウンタはFFFFHになります。このときTP0CNTレジスタをリードすると，0000Hがリードされます。

リセットによりTP0CEビット = 0になるため，16ビット・カウンタはFFFFHになります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TP0CCR0レジスタをコンペア・レジスタとして使用するとき，TP0CCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると，コンペア一致割り込み要求信号（INTTP0CC0）を発生します。

CCR0バッファ・レジスタは，直接リード／ライトできません。

リセットによりTP0CCR0レジスタが0000Hになるため，CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TP0CCR1レジスタをコンペア・レジスタとして使用するとき，TP0CCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると，コンペア一致割り込み要求信号（INTTP0CC1）を発生します。

CCR1バッファ・レジスタは，直接リード／ライトできません。

リセットによりTP0CCR1レジスタが0000Hになるため，CCR1バッファ・レジスタも0000Hになります。

(4) エッジ検出回路

TIP00, TIP01端子に入力される有効エッジを検出します。有効エッジは，TP0IOC1, TP0IOC2レジスタにより，エッジ検出なし，立ち上がり，立ち下がり，立ち上がり／立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOP00, TOP01端子の出力を制御します。TOP00, TOP01端子の出力は，TP0IOC0レジスタで制御します。

(6) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして，8種類の内部クロックまたは外部イベントから選択できます。

(7) ディジタル・ノイズ除去回路

TIP00, TIP01端子をキャプチャ・トリガ入力として使用した場合だけ有効です。

P0NFC, P1NFCレジスタで制御します。

7.4　レジスタ

（1）TMP0制御レジスタ0（TP0CTL0）

TP0CTL0レジスタは，TMP0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

TP0CTL0レジスタは，常時ソフトウエアでの同値書き込みができます。

リセット時：00H　R/W　アドレス：FFFFF5A0H

	⑦	6	5	4	3	2	1	0
TP0CTL0	TP0CE	0	0	0	0	TP0CKS2	TP0CKS1	TP0CKS0

TP0CE	TMP0の動作の制御
0	TMP0動作禁止（TMP0を非同期にリセット注）
1	TMP0動作許可。TMP0動作開始

TP0CKS2	TP0CKS1	TP0CKS0	内部カウント・クロックの選択
0	0	0	f_{XX}
0	0	1	$f_{XX}/2$
0	1	0	$f_{XX}/4$
0	1	1	$f_{XX}/8$
1	0	0	$f_{XX}/16$
1	0	1	$f_{XX}/32$
1	1	0	$f_{XX}/64$
1	1	1	$f_{XX}/128$

注　TP0OPT0.TP0OVFビット，16ビット・カウンタ，タイマ出力（TOP00, TOP01端子）。

注意1.　TP0CKS2-TP0CKS0ビットは，TP0CEビット = 0のときに設定してください。TP0CEビットを“0”から“1”に設定するときに，同時にTP0CKS2-TP0CKS0ビットを設定できます。

2.　ビット3-6には必ず“0”を設定してください。

備考　f_{XX}：メイン・クロック周波数

（2）TMP0制御レジスタ1（TP0CTL1）

TP0CTL1レジスタは，TMP0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF5A1H

	7	⑥	⑤	4	3	2	1	0
TP0CTL1	0	TP0EST	TP0EEE	0	0	TP0MD2	TP0MD1	TP0MD0

TP0EST	ソフトウエア・トリガ制御
0	–
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時：TP0ESTビットへの“1”ライトをトリガとして，ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時：TP0ESTビットへの“1”ライトをトリガとして，PWM波形を出力

TP0EEE	カウント・クロックの選択
0	外部イベント・カウント入力での動作禁止 （TP0CTL0.TP0CK0-TP0CK2ビットによって選択されたカウント・クロックでカウント動作を行う）
1	外部イベント・カウント入力での動作許可 （外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う）
TP0EEEビットは，内部カウント・クロックか，または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

TP0MD2	TP0MD1	TP0MD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

注意1. TP0ESTビットは，外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは，“1”をライトしても無視されます。

2. 外部イベント・カウント・モードのときは，TP0EEEビットの値にかかわらず外部イベント・カウント入力が選択されます。

3. TP0EEE，TP0MD2-TP0MD0ビットは，TP0CTL0.TP0CEビット = 0のときに設定してください（TP0CEビット = 1のときの同値書き込みは可能）。TP0CEビット = 1のときに書き換えた場合，動作を保証できません。誤って書き換えた場合は，TP0CEビットをクリア（0）してから再設定してください。

4. ビット3, 4, 7には必ず“0”を設定してください。

（3）TMP0I/O制御レジスタ0（TP0IOC0）

TP0IOC0レジスタは，タイマ出力（TOP00, TOP01端子）を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF5A2H

	7	6	5	4	3	②	1	⓪
TP0IOC0	0	0	0	0	TP0OL1	TP0OE1	TP0OL0	TP0OE0

TP0OL1	TOP01端子出力レベルの設定注
0	TOP01端子ハイ・レベル・スタート
1	TOP01端子ロウ・レベル・スタート

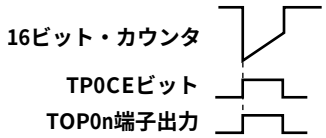
TP0OE1	TOP01端子出力の設定
0	タイマ出力禁止 ・TP0OL1ビット = 0のときTOP01端子からロウ・レベルを出力 ・TP0OL1ビット = 1のときTOP01端子からハイ・レベルを出力
1	タイマ出力許可（TOP01端子から方形波を出力）

TP0OL0	TOP00端子出力レベルの設定注
0	TOP00端子ハイ・レベル・スタート
1	TOP00端子ロウ・レベル・スタート

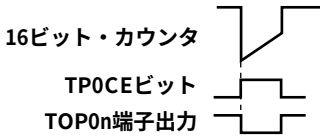
TP0OE0	TOP00端子出力の設定
0	タイマ出力禁止 ・TP0OL0ビット = 0のときTOP00端子からロウ・レベルを出力 ・TP0OL0ビット = 1のときTOP00端子からハイ・レベルを出力
1	タイマ出力許可（TOP00端子から方形波を出力）

注　TP0OLnビットの指定によるタイマ出力端子（TOP0n）の出力レベルを次に示します（n = 0, 1）。

・TP0OLnビット = 0の場合



・TP0OLnビット = 1の場合



注意1.　TP0OL1, TP0OE1, TP0OL0, TP0OE0ビットは，TP0CTL0.TP0CEビット = 0のときに書き換えてください（TP0CEビット = 1のときの同値書き込みは可能）。誤まって書き換えた場合は，TP0CEビットをクリア（0）してから再設定してください。

2.　TP0CEビット = 0, TP0OEaビット = 0の状態において，TP0OLaビットを操作した場合でも，TOP0a端子の出力レベルは変化します（a = 0, 1）。

（4）TMP0I/O制御レジスタ1（TP0IOC1）

TP0IOC1レジスタは，キャプチャ・トリガ入力信号（TIP00，TIP01端子）に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF5A3H

	7	6	5	4	3	2	1	0
TP0IOC1	0	0	0	0	TP0IS3	TP0IS2	TP0IS1	TP0IS0

TP0IS3	TP0IS2	キャプチャ・トリガ入力信号（TIP01端子）の有効エッジの設定
0	0	エッジ検出なし（キャプチャ動作無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TP0IS1	TP0IS0	キャプチャ・トリガ入力信号（TIP00端子）の有効エッジの設定
0	0	エッジ検出なし（キャプチャ動作無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

注意1.　TP0IS3-TP0IS0ビットは，TP0CTL0.TP0CEビット = 0のときに書き換えてください（TP0CEビット = 1のときの同値書き込みは可能）。誤って書き換えた場合は，TP0CEビットをクリア（0）してから再設定してください。

2.　TP0IS3-TP0IS0ビットは，フリー・ランニング・タイマ・モードと，パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

（5）TMP0I/O制御レジスタ2（TP0IOC2）

TP0IOC2レジスタは，外部イベント・カウント入力信号（TIP00端子），外部トリガ入力信号（TIP00端子）に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF5A4H

	7	6	5	4	3	2	1	0
TP0IOC2	0	0	0	0	TP0EES1	TP0EES0	TP0ETS1	TP0ETS0

TP0EES1	TP0EES0	外部イベント・カウント入力信号（TIP00端子）の有効エッジの設定
0	0	エッジ検出なし（外部イベント・カウント無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TP0ETS1	TP0ETS0	外部トリガ入力信号（TIP00端子）の有効エッジの設定
0	0	エッジ検出なし（外部トリガ無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

注意1. TP0EES1, TP0EES0, TP0ETS1, TP0ETS0ビットは，TP0CTL0.TP0CEビット = 0のときに書き換えてください（TP0CEビット = 1のときの同値書き込みは可能）。誤って書き換えた場合は，TP0CEビットをクリア（0）してから再設定してください。

2. TP0EES1, TP0EES0ビットは，TP0CTL1.TP0EEEビット = 1，または外部イベント・カウント・モード（TP0CTL1.TP0MD2-TP0MD0ビット = 001）に設定したときのみ有効です。

★ 3. TP0ETS1, TP0ETS0ビットは，外部トリガ・パルス出力モード（TP0MD2-TP0MD0ビット = 010），ワンショット・パルス出力モード（TP0MD2-TP0MD0ビット = 011）に設定したときのみ有効です。

（6）TMP0オプション・レジスタ0（TP0OPT0）

TP0OPT0レジスタは，キャプチャ／コンペア動作の設定，オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF5A5H

	7	6	5	4	3	2	1	⓪
TP0OPT0	0	0	TP0CCS1	TP0CCS0	0	0	0	TP0OVF

TP0CCS1	TP0CCR1レジスタのキャプチャ／コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TP0CCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TP0CCS0	TP0CCR0レジスタのキャプチャ／コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TP0CCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TP0OVF	TMP0のオーバフロー検出フラグ
セット（1）	オーバフロー発生
リセット（0）	TP0OVFビットへの0ライトまたはTP0CTL0.TP0CEビット = 0
・TP0OVFビットは，フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に，16ビット・カウンタのカウント値がFFFFHから0000Hにオーバフローするときセット（1）されます。 ・TP0OVFビットがセット（1）されると同時に，割り込み要求信号（INTTP0OV）が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では，INTTP0OV信号は発生しません。 ・TP0OVFビット = 1のときにTP0OVFビットまたはTP0OPT0レジスタをリードしても，TP0OVFビットはクリアされません。 ・TP0OVFビットはリード／ライト可能ですが，ソフトウエアでTP0OVFビットをセット（1）することはできません。“1”をライトしてもTMP0の動作に影響はありません。	

注意1.　TP0CCS1, TP0CCS0ビットは，TP0CEビット = 0のときに書き換えてください（TP0CEビット = 1のときの同値書き込みは可能）。誤って書き換えた場合は，TP0CEビットをクリア（0）してから再設定してください。

2.　ビット1-3, 6, 7には必ず“0”を設定してください。

（7）TMP0キャプチャ／コンペア・レジスタ0（TP0CCR0）

TP0CCR0レジスタは，各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TP0CCR0レジスタは，フリー・ランニング・タイマ・モードの場合のみ，TP0OPT0.TP0CCS0ビットの設定により，キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は，キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは，コンペア・レジスタとしてのみ使用します。

TP0CCR0レジスタは，動作中のリード／ライトを許可します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

★　注意　次に示す状態において，TP0CCR0レジスタへのアクセスは禁止です。詳細は3. 4. 8（1）（b）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H　R/W　アドレス：FFFFF5A6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TP0CCR0																

(a) コンペア・レジスタとしての機能

TP0CCR0レジスタは，TP0CTL0.TP0CEビット = 1のときでも書き換えできます。

TP0CCR0レジスタの設定値はCCR0バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号（INTTP0CC0）を発生し，TOP00端子出力を許可している場合，TOP00端子出力を反転します。

インターバル・タイマ・モード，外部イベント・カウント・モード，外部トリガ・パルス出力モード，ワンショット・パルス出力モード，PWM出力モードにおいて，TP0CCR0レジスタを周期レジスタとして使用する場合は，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア（0000H）します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて，TP0CCR0レジスタをキャプチャ・レジスタとして使用する場合，キャプチャ・トリガ入力（TIP00端子）の有効エッジを検出すると，16ビット・カウンタのカウント値をTP0CCR0レジスタに格納します。パルス幅測定モードの場合は，キャプチャ・トリガ入力（TIP00端子）の有効エッジを検出すると，16ビット・カウンタのカウント値をTP0CCR0レジスタに格納し，16ビット・カウンタをクリア（0000H）します。

キャプチャ動作とTP0CCR0レジスタのリードが競合しても，TP0CCR0レジスタは正しい値をリードできます。

各動作モードと，対応するキャプチャ／コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

表7－2　各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	－

（8）TMP0キャプチャ／コンペア・レジスタ1（TP0CCR1）

TP0CCR1レジスタは，各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TP0CCR1レジスタは，フリー・ランニング・タイマ・モードの場合のみ，TP0OPT0.TP0CCS1ビットの設定により，キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は，キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは，コンペア・レジスタとしてのみ使用します。

TP0CCR1レジスタは，動作中のリード／ライトを許可します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

★　注意　次に示す状態において，TP0CCR1レジスタへのアクセスは禁止です。詳細は3. 4. 8（1）（b）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H　R/W　アドレス：FFFFF5A8H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TP0CCR1																

(a) コンペア・レジスタとしての機能

TP0CCR1レジスタは，TP0CTL0.TP0CEビット = 1のときでも書き換えできます。

TP0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号（INTTP0CC1）を発生し，TOP01端子出力を許可している場合，TOP01端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて，TP0CCR1レジスタをキャプチャ・レジスタとして使用する場合，キャプチャ・トリガ入力（TIP01端子）の有効エッジを検出すると，16ビット・カウンタのカウント値をTP0CCR1レジスタに格納します。パルス幅測定モードの場合は，キャプチャ・トリガ入力（TIP01端子）の有効エッジを検出すると，16ビット・カウンタのカウント値をTP0CCR1レジスタに格納し，16ビット・カウンタをクリア（0000H）します。

キャプチャ動作とTP0CCR1レジスタのリードが競合しても，TP0CCR1レジスタは正しい値をリードできます。

各動作モードと，対応するキャプチャ／コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

表7－3　各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	－

（9）TMP0カウンタ・リード・バッファ・レジスタ（TP0CNT）

TP0CNTレジスタは，16ビットのカウント値をリードできるリード・バッファ・レジスタです。

TP0CTL0.TP0CEビット = 1のときにTP0CNTレジスタをリードすると，16ビット・カウンタのカウント値をリードできます。

16ビット単位でリードのみ可能です。

TP0CEビット = 0のとき，TP0CNTレジスタは0000Hになります。このときにTP0CNTレジスタをリードすると，16ビット・カウンタの値（FFFFH）をリードせず，そのまま0000Hをリードします。

リセットによりTP0CEビット = 0になるため，TP0CNTレジスタは0000Hになります。

★　注意　次に示す状態において，TP0CNTレジスタへのアクセスは禁止です。詳細は3. 4. 8（1）（b）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H　R　アドレス：FFFFF5AAH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TP0CNT																

7.5 動　　作

TMP0には次のような動作があります。

動　作	TP0CTL1.TP0ESTビット（ソフトウエア・トリガ・ビット）	TIP00端子（外部トリガ入力）	キャプチャ／コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード注1	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード注2	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード注2	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード注2	無効	無効	キャプチャ専用	対象外

注1.　外部イベント・カウント・モードを使用する場合，TIP00端子のキャプチャ・トリガ入力の有効エッジの設定を，エッジを検出しない（TP0IOC1.TP0IS1, TP0IS0ビットを“00”）に設定してください。

2.　外部トリガ・パルス出力モード，ワンショット・パルス出力モード，パルス幅測定モードを使用する場合，カウント・クロックは内部クロックを選択（TP0CTL1.TP0EEEビット = 0に設定）してください。

7. 5. 1　インターバル・タイマ・モード（TP0MD2-TP0MD0ビット = 000）

インターバル・タイマ・モードは，TP0CTL0.TP0CEビットをセット（1）することで，任意のインターバル間隔にて割り込み要求信号（INTTP0CC0）を発生します。また，TOP00端子から，インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは，通常，TP0CCR1レジスタを使用しません。

図7－2　インターバル・タイマの構成図

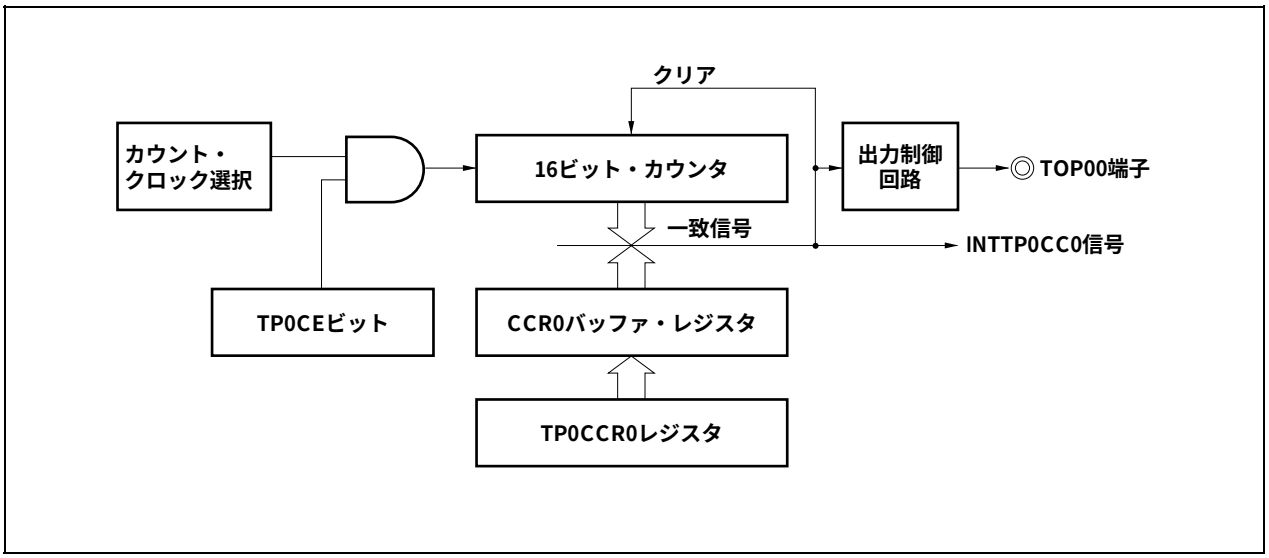
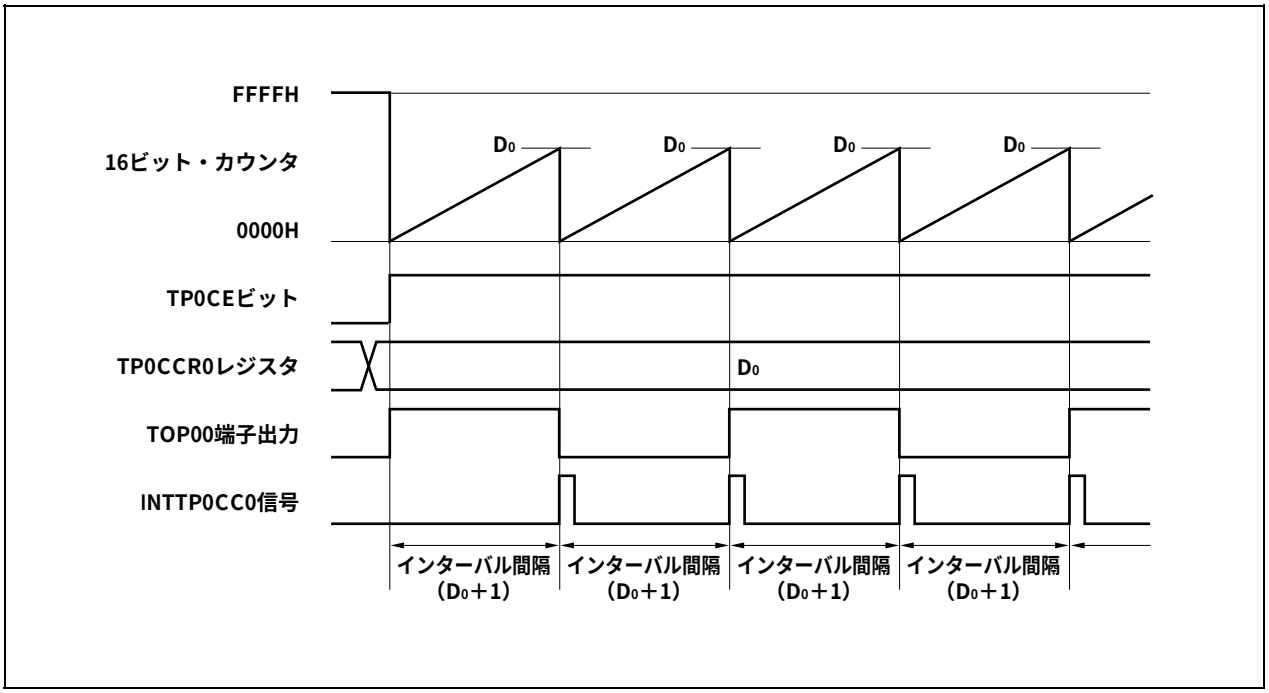


図7－3　インターバル・タイマ・モード動作の基本タイミング



TP0CEビットをセット（1）することで，カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし，カウント動作を開始します。このときTOP00端子出力を反転します。また，TP0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると，16ビット・カウンタを0000Hにクリアし，TOP00端子出力を反転させて，コンペア一致割り込み要求信号（INTTP0CC0）を発生します。

インターバル間隔は次のようになります。

インターバル間隔 ＝ （TP0CCR0レジスタ設定値＋1）×カウント・クロック周期

図7－4　インターバル・タイマ・モード動作時のレジスタ設定内容（1/2）

（a）TMP0制御レジスタ0（TP0CTL0）

	TP0CE					TP0CKS2	TP0CKS1	TP0CKS0
TP0CTL0	0/1	0	0	0	0	0/1	0/1	0/1

カウント・クロックの選択

0：カウント動作停止
1：カウント動作許可

（b）TMP0制御レジスタ1（TP0CTL1）

		TP0EST	TP0EEE			TP0MD2	TP0MD1	TP0MD0
TP0CTL1	0	0	0/1注	0	0	0	0	0

0, 0, 0：
インターバル・タイマ・モード

0：TP0CKS0-TP0CKS2ビットで選択したカウント・クロックで動作
1：外部イベント・カウント入力信号でカウント動作

★　**注**　割り込み信号（INTTP0CC0, INTTP0CC1）の割り込みマスク・フラグ（TP0CCMK0, TP0CCMK1）でマスク設定し，タイマ出力（TOP01）を使用する場合だけ，1に設定することを許可します。ただし，TP0CCR0, TR0CCR1レジスタの設定値は，同値にしてください（7. 5. 1（2）（d）TP0CCR1レジスタの動作参照）。

図7－4　インターバル・タイマ・モード動作時のレジスタ設定内容（2/2）

（c）TMP0I/O制御レジスタ0（TP0IOC0）

					TP0OL1	TP0OE1	TP0OL0	TP0OE0
TP0IOC0	0	0	0	0	0/1	0/1	0/1	0/1

0：TOP00端子出力禁止
1：TOP00端子出力許可

TOP00端子の動作禁止状態での出力レベルの設定
0：ロウ・レベル
1：ハイ・レベル

0：TOP01端子出力禁止
1：TOP01端子出力許可

TOP01端子の動作禁止状態での出力レベルの設定
0：ロウ・レベル
1：ハイ・レベル

（d）TMP0カウンタ・リード・バッファ・レジスタ（TP0CNT）

TP0CNTレジスタをリードすることで，16ビット・カウンタのカウント値をリードできます。

（e）TMP0キャプチャ／コンペア・レジスタ0（TP0CCR0）

TP0CCR0レジスタにD_0を設定した場合，

インターバル間隔 = （D_0＋1）×カウント・クロック周期

となります。

（f）TMP0キャプチャ／コンペア・レジスタ1（TP0CCR1）

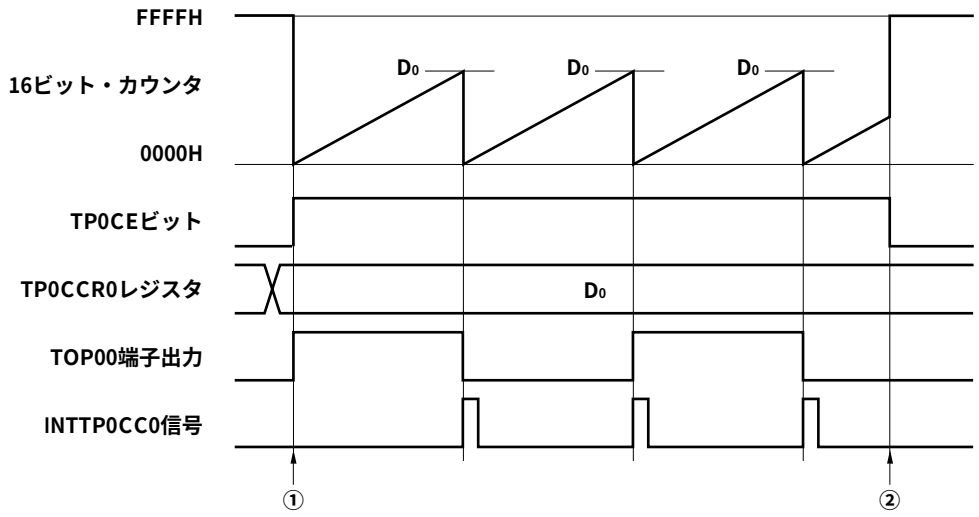
インターバル・タイマ・モードでは，通常，TP0CCR1レジスタを使用しません。しかし，TP0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号（INTTP0CC1）が発生します。

したがって，割り込みマスク・フラグ（TP0CCMK1）でマスク設定しておいてください。

備考　通常，TMP0I/O制御レジスタ1（TP0IOC1），TMP0I/O制御レジスタ2（TP0IOC2），TMP0オプション・レジスタ0（TP0OPT0）は，インターバル・タイマ・モードでは使用しません。
ただし，外部イベント・カウント入力を使用する場合は，TP0IOC2レジスタを設定してください。

（1）インターバル・タイマ・モード動作フロー

図7－5　インターバル・タイマ・モード使用時のソフトウエア処理フロー



① カウント動作開始フロー

TP0CEビット = 1にする前に，
これらのレジスタを初期設定。

カウント動作開始（TP0CEビット = 1）と同時に，
TP0CKS0-TP0CKS2ビットの設定は可能。

② カウント動作停止フロー

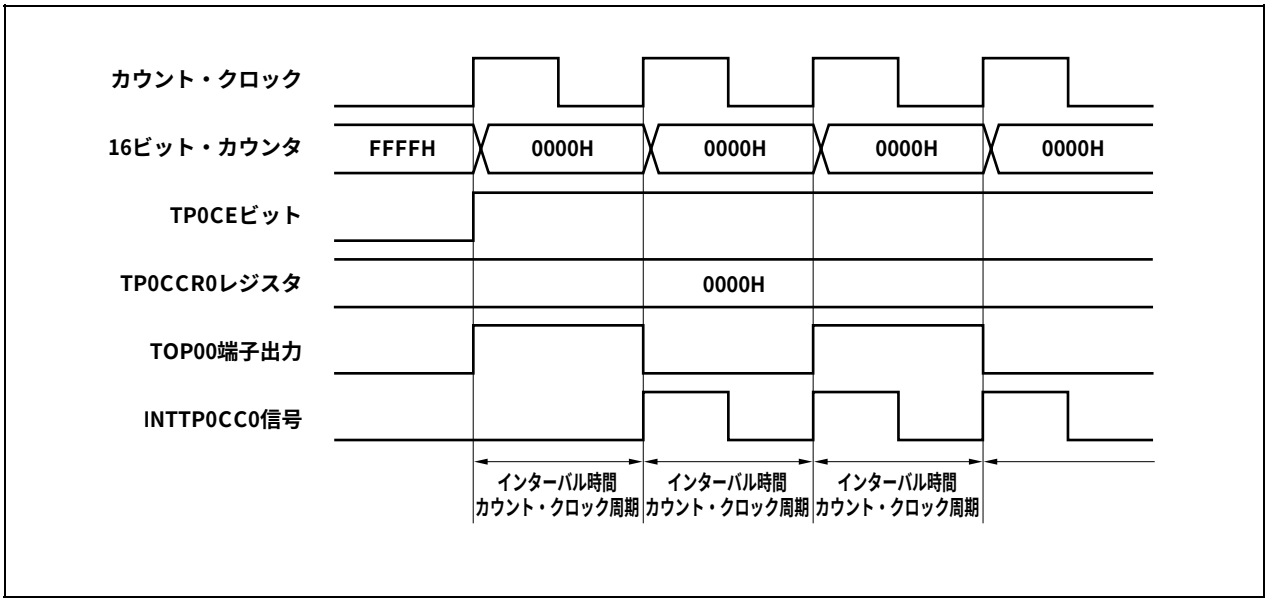
カウント動作停止（TP0CEビット = 0）にすることで，
カウンタを初期化しカウント動作を停止。

(2) インターバル・タイマ・モード動作タイミング

(a) TP0CCR0レジスタに0000Hを設定した場合の動作

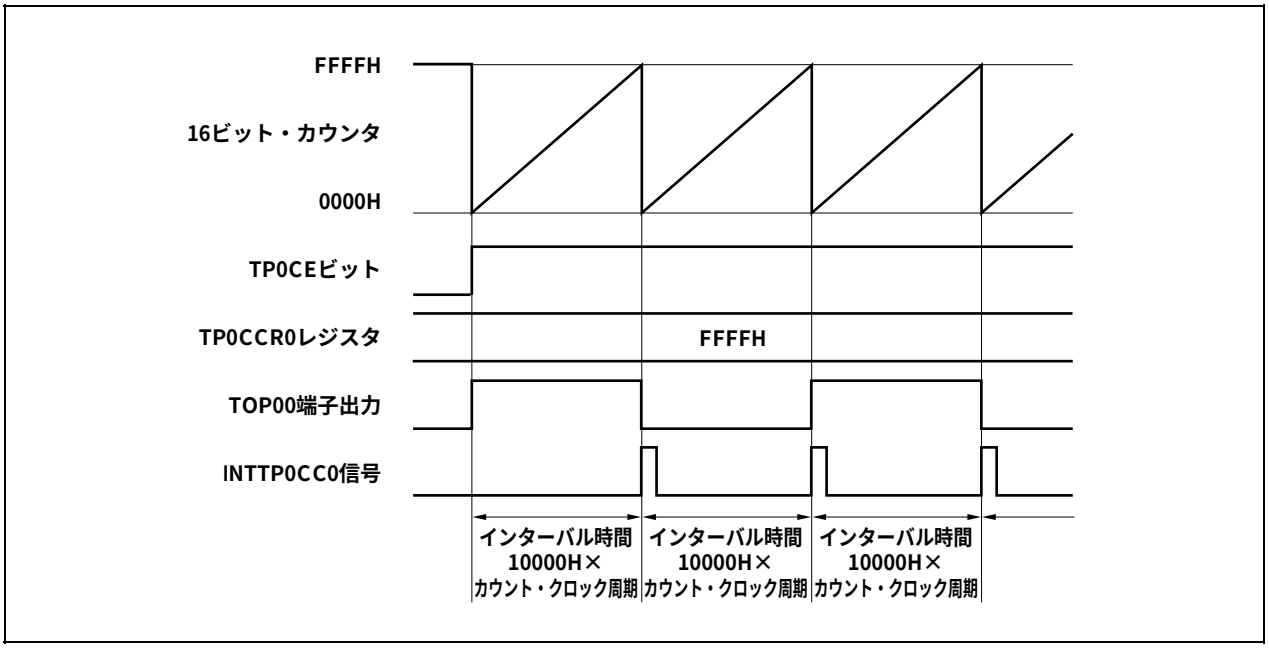
TP0CCR0レジスタに0000Hを設定した場合，カウント・クロックごとにINTTP0CC0信号を発生し，TOP00端子の出力を反転します。

16ビット・カウンタは，常に0000Hとなります。



(b) TP0CCR0レジスタにFFFFHを設定した場合の動作

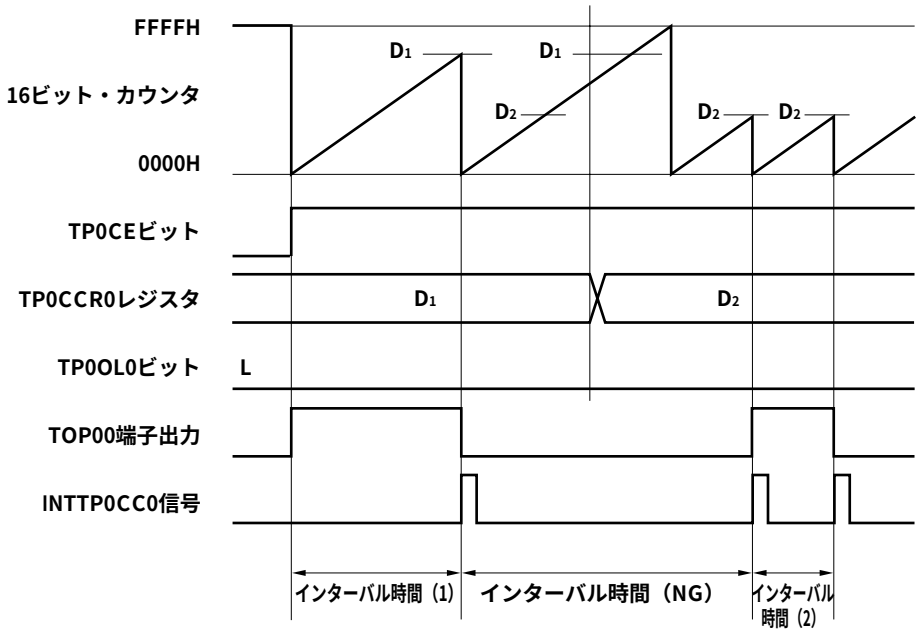
TP0CCR0レジスタにFFFFHを設定した場合，16ビット・カウンタはFFFFHまでカウント動作を行い，次のカウント・アップ・タイミングに同期して，16ビット・カウンタを0000Hにクリアし，INTTP0CC0信号を発生し，TOP00端子の出力を反転します。このとき，オーバフロー割り込み要求信号（INTTP0OV）は発生せず，オーバフロー・フラグ（TP0OPT0.TP0OVFビット）もセット（1）されません。



（c）TP0CCR0レジスタの書き換えに関する注意事項

TP0CCR0レジスタの設定値を小さい値に変更する場合には，一度カウント動作を停止させ，その後，設定値を変更してください。

カウント動作中にTP0CCR0レジスタの値を小さい値に書き換えると，16ビット・カウンタがオーバフローする場合があるので注意してください。



備考　インターバル時間（1）　：（D_1＋1）×カウント・クロック周期
インターバル時間（NG）：（10000H＋D_2＋1）×カウント・クロック周期
インターバル時間（2）　：（D_2＋1）×カウント・クロック周期

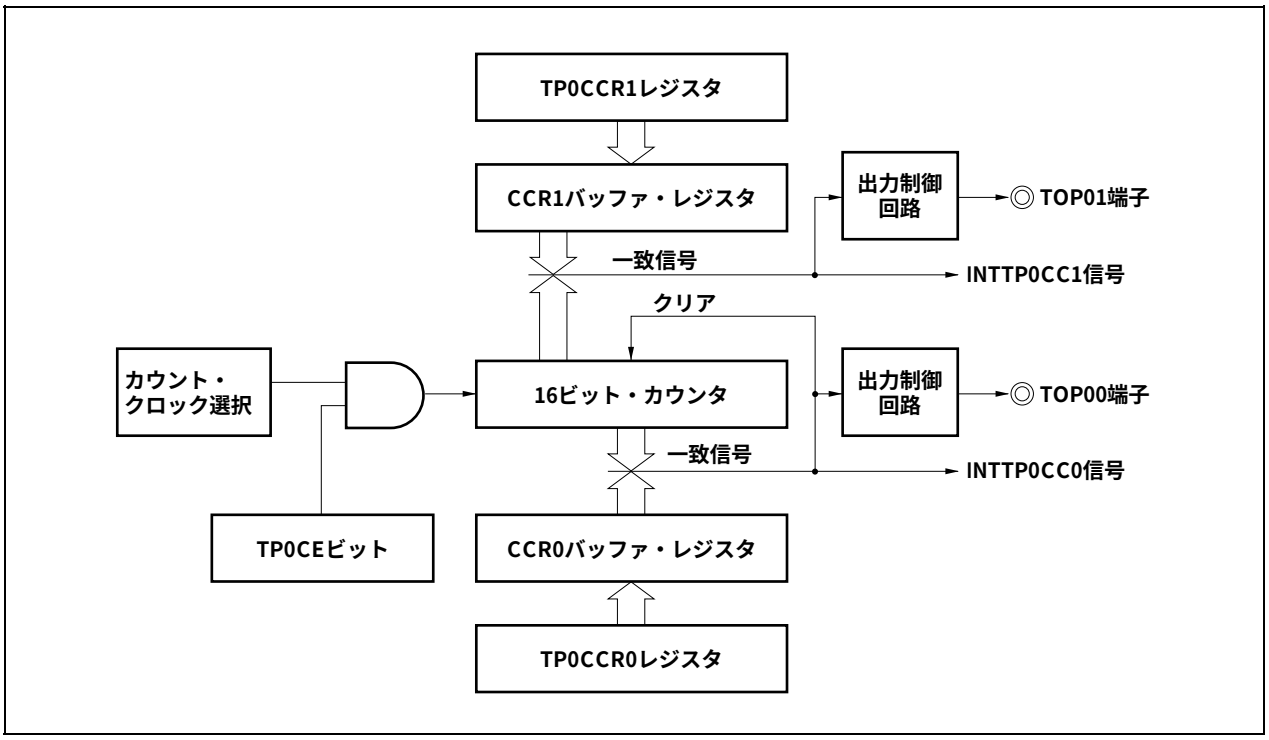
カウント値がD_2よりも大きくD_1よりも小さい状態において，TP0CCR0レジスタをD_1からD_2に書き換えると，書き換えたタイミングでCCR0バッファ・レジスタに転送されるため，16ビット・カウンタとのコンペア値がD_2となります。

しかし，カウント値はすでにD_2を越えているためにFFFFHまでカウントを行い，オーバフロー後，0000Hから再度カウント・アップを行います。そして，D_2との一致でINTTP0CC0信号を発生しTOP00端子出力を反転します。

したがって，本来期待しているインターバル時間である「（D_1＋1）×カウント・クロック周期」または「（D_2＋1）×カウント・クロック周期」でINTTP0CC0信号は発生せずに，「（10000H＋D_2＋1）×カウント・クロック周期」の間隔でINTTP0CC0信号が発生する場合があります。

（d）TP0CCR1レジスタの動作

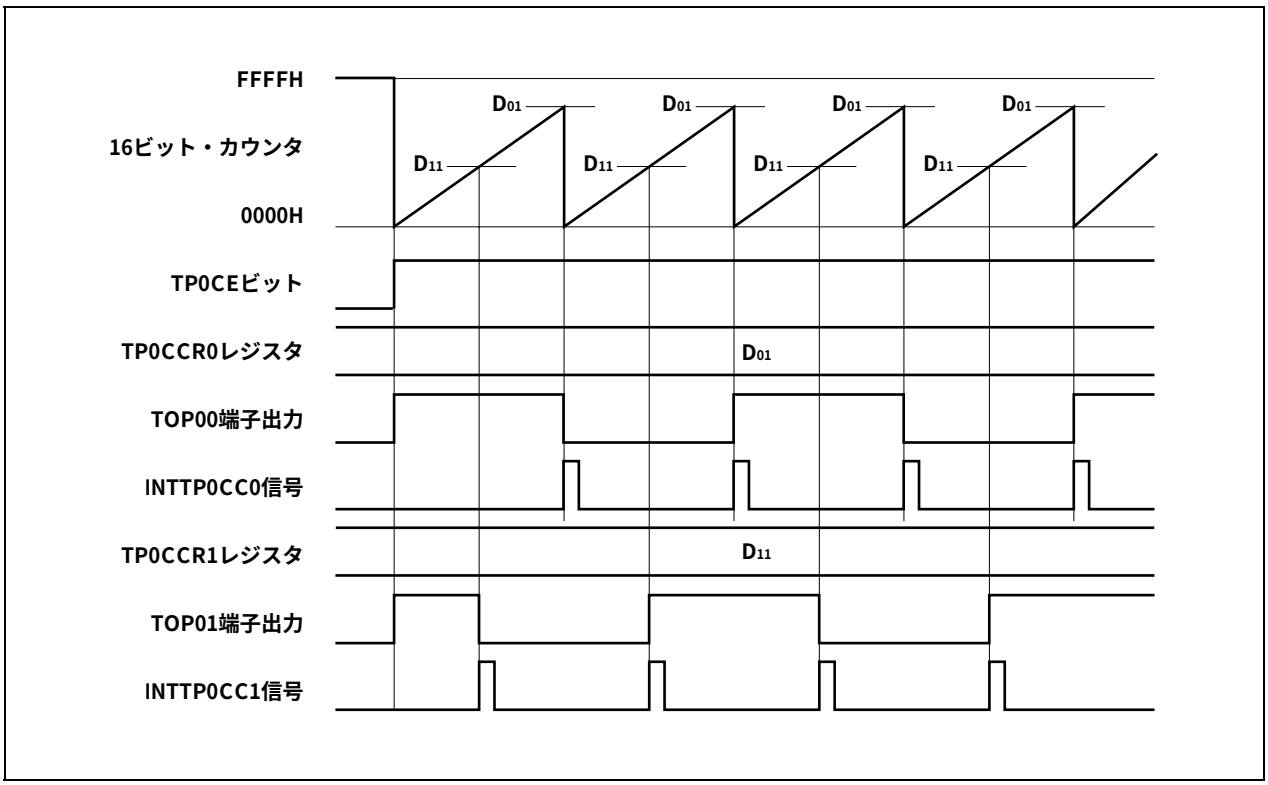
図7－6　TP0CCR1レジスタの構成図



TP0CCR1レジスタの設定値がTP0CCR0レジスタの設定値よりも小さい場合には，1周期に1回のINTTP0CC1信号が発生します。また，同じタイミングでTOP01端子出力は反転します。

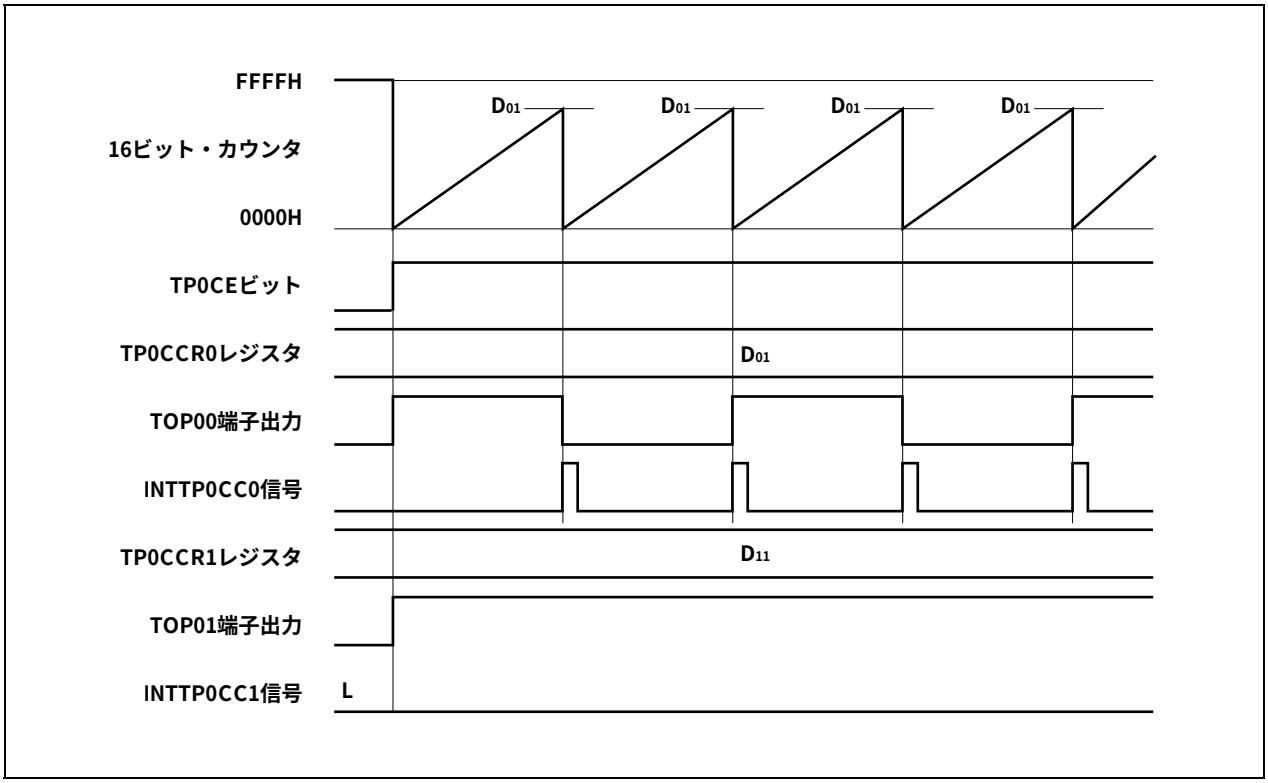
TOP01端子出力は，TOP00端子出力と同じ周期の方形波を出力します。

図7－7　$D_{01} \geqq D_{11}$の場合のタイミング図



TP0CCR1レジスタの設定値がTP0CCR0レジスタの設定値よりも大きい場合には，16ビット・カウンタのカウント値とTP0CCR1レジスタの値が一致しないので，INTTP0CC1信号は発生しません。また，TOP01端子出力も変化しません。

図7－8　D_{01}＜D_{11}の場合のタイミング図

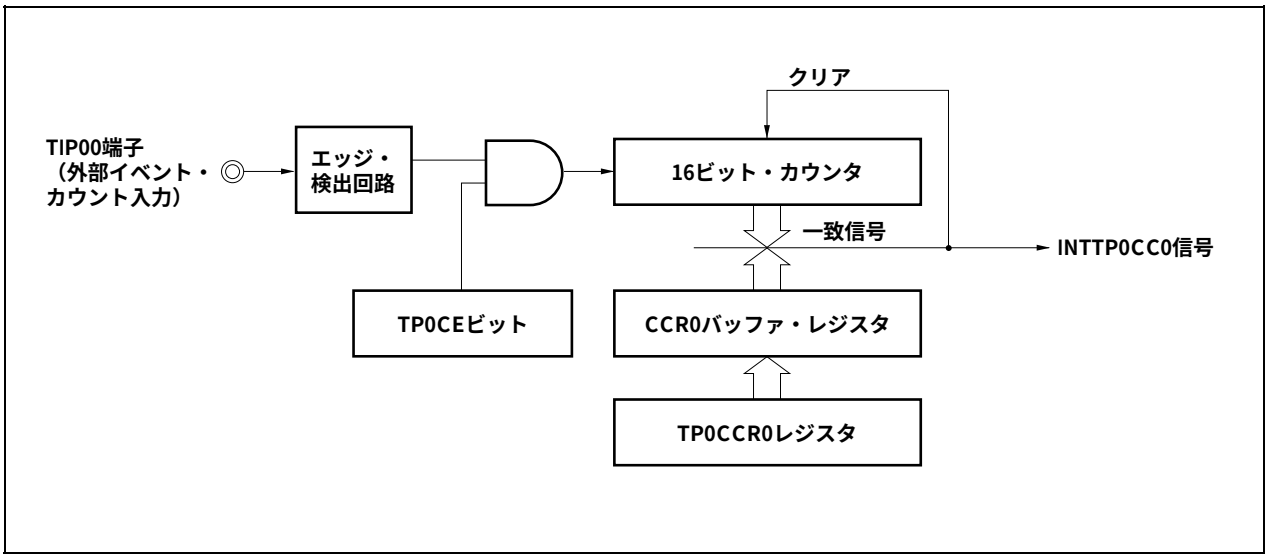


7. 5. 2　外部イベント・カウント・モード（TP0MD2-TP0MD0ビット = 001）

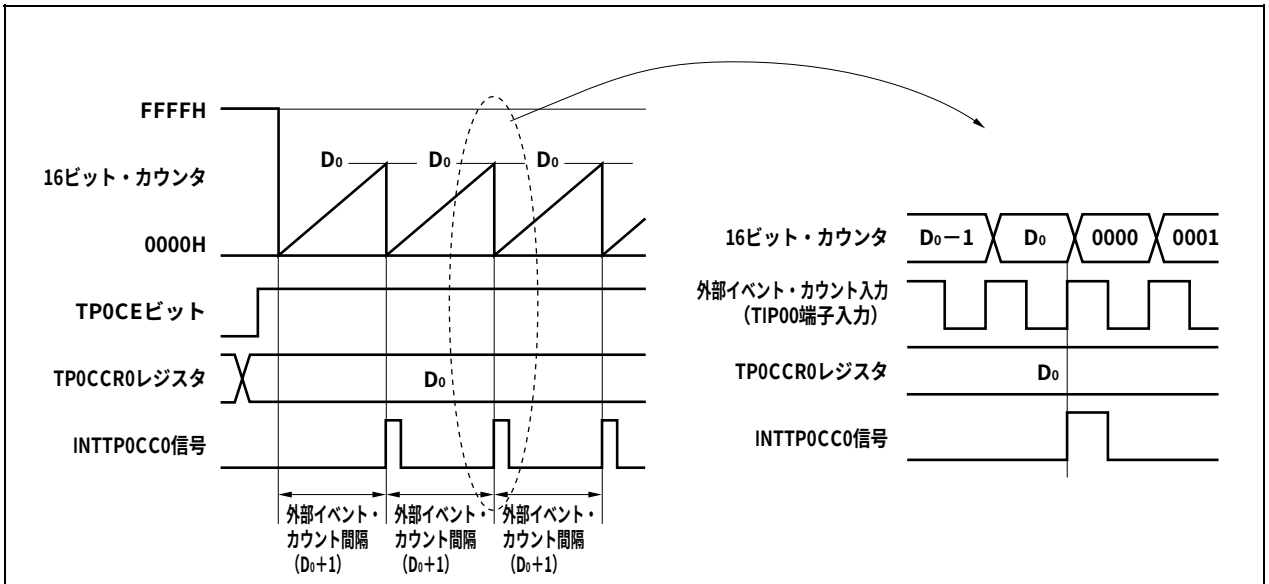
外部イベント・カウント・モードは，TP0CTL0.TP0CEビットをセット（1）することで，外部イベント・カウント入力の有効エッジをカウントし，任意のカウント数をカウントするごとに割り込み要求信号（INTTP0CC0）を発生します。TOP00端子は使用できません。

外部イベント・カウント・モードでは，通常，TP0CCR1レジスタは使用しません。

図7－9　外部イベント・カウント・モードの構成図



★ 図7－10　外部イベント・カウント・モードの基本タイミング



備考　外部イベント・カウント入力の有効エッジを，立ち上がりエッジに指定した場合

TP0CEビットをセット（1）することで，16ビット・カウンタをFFFFHから0000Hにクリアし，外部イベント・カウント入力の有効エッジを検出するごとにカウント動作を行います。また，TP0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると，16ビット・カウンタを0000Hにクリアし，コンペア一致割り込み要求信号（INTTP0CC0）を発生します。

INTTP0CC0信号は，外部イベント・カウント入力の有効エッジを（TP0CCR0レジスタに設定した値＋1）回検出するごとに発生します。

図7－11　外部イベント・カウント・モード動作時のレジスタ設定内容（1/2）

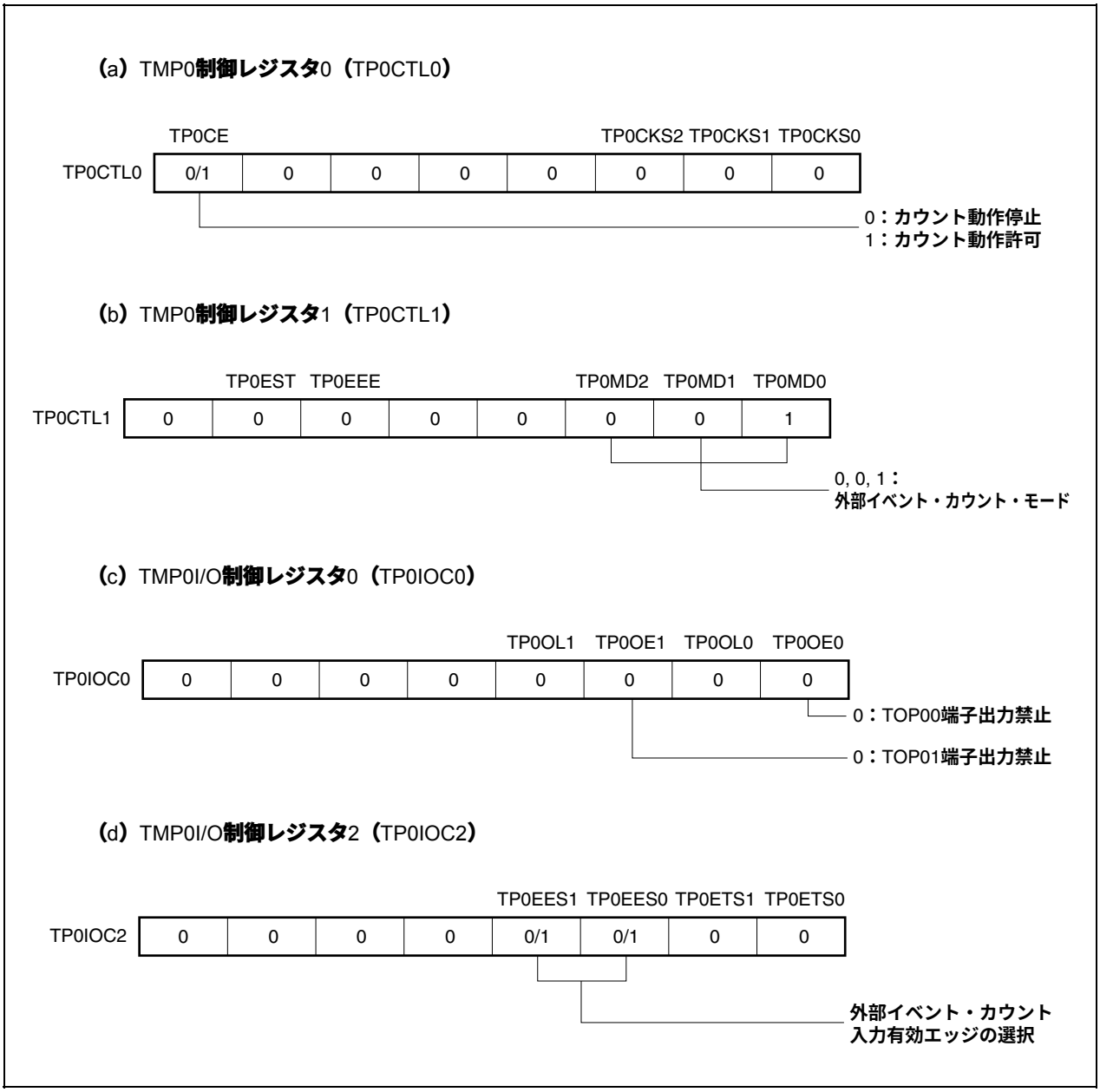


図7－11　外部イベント・カウント・モード動作時のレジスタ設定内容（2/2）

（e）TMP0カウンタ・リード・バッファ・レジスタ（TP0CNT）

TP0CNTレジスタをリードすることで，16ビット・カウンタのカウント値をリードできます。

（f）TMP0キャプチャ／コンペア・レジスタ0（TP0CCR0）

TP0CCR0レジスタにD_0を設定した場合，外部イベント・カウント数が（D_0＋1）回となるとカウントをクリアしコンペア一致割り込み要求信号（INTTP0CC0）を発生します。

（g）TMP0キャプチャ／コンペア・レジスタ1（TP0CCR1）

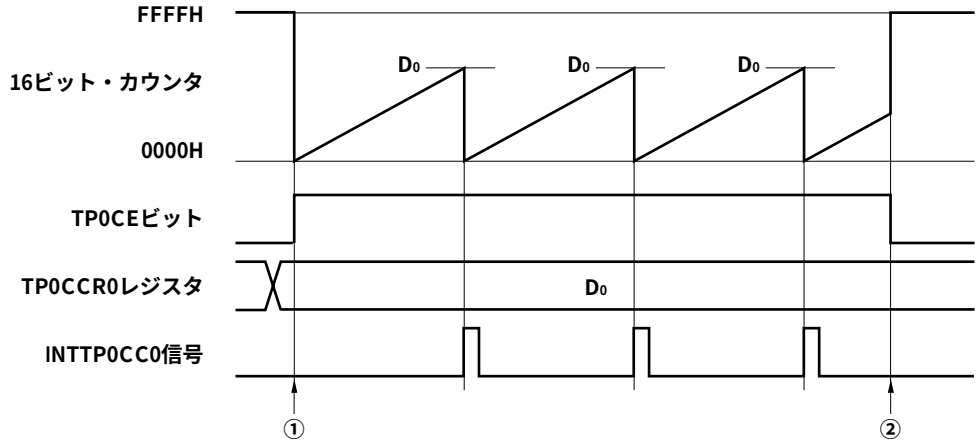
外部イベント・カウント・モードでは，通常，TP0CCR1レジスタは使用しません。しかし，TP0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号（INTTP0CC1）が発生します。

したがって，割り込みマスク・フラグ（TP0CCMK1）でマスク設定しておいてください。

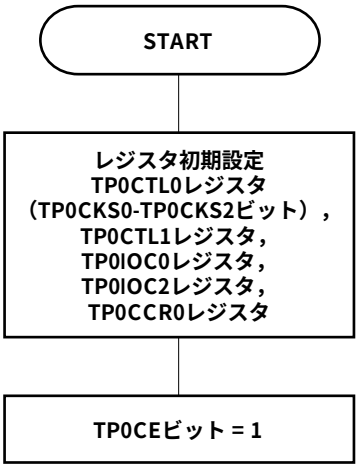
備考　TMP0I/O制御レジスタ1（TP0IOC1），TMP0オプション・レジスタ0（TP0OPT0）は，外部イベント・カウント・モードでは使用しません。

（1）外部イベント・カウント・モード動作フロー

図7－12　外部イベント・カウント・モード使用時のソフトウエア処理フロー



① カウント動作開始フロー



TP0CEビット = 1にする前に，
これらのレジスタを初期設定。

カウント動作開始（TP0CEビット = 1）と同時に，
TP0CKS0-TP0CKS2ビットの設定は可能。

② カウント動作停止フロー

カウント動作停止（TP0CEビット = 0）にすることで，
カウンタを初期化しカウント動作を停止。

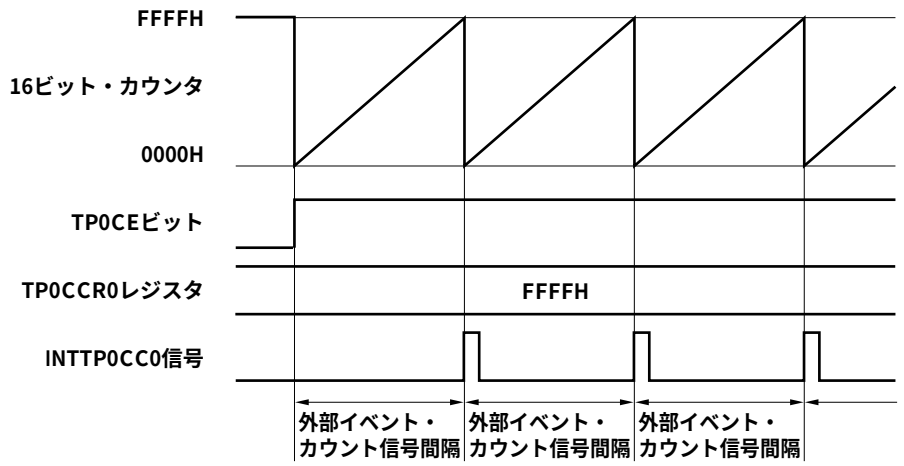
（2）外部イベント・カウント・モード動作タイミング

★　注意1.　外部イベント・カウント・モード時，TP0CCR0レジスタには，0000Hを設定しないでください。

★　2.　外部イベント・カウント・モード時，タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は，インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください。
（TP0CTL1.TP0MD2-TP0MD0ビット = 000, TPCTL1.TP0EEEビット = 1）。

（a）TP0CCR0レジスタにFFFFHを設定した場合の動作

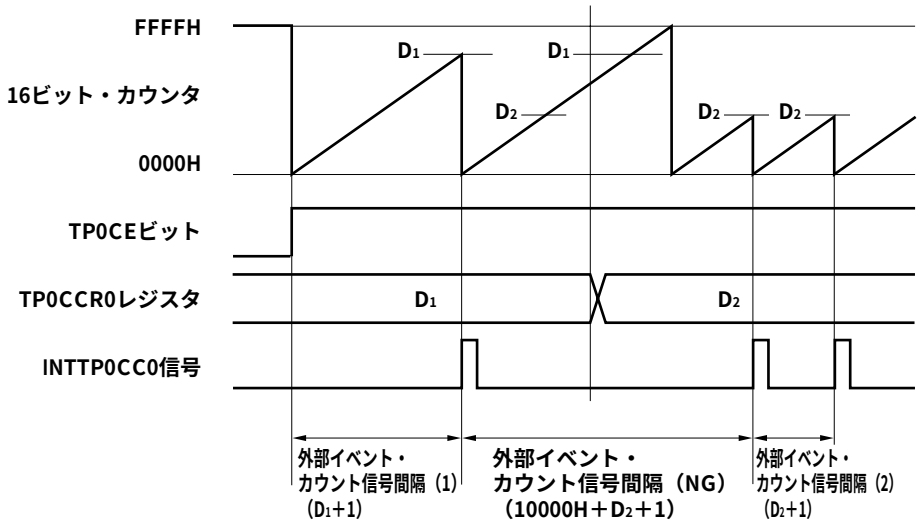
TP0CCR0レジスタにFFFFHを設定した場合，16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い，次のカウント・アップ・タイミングに同期して，16ビット・カウンタを0000Hにクリアし，INTTP0CC0信号を発生します。このとき，TP0OPT0.TP0OVFビットはセットされません



(b) TP0CCR0レジスタの書き換えに関する注意事項

TP0CCR0レジスタの設定値を小さい値に変更する場合には，一度カウント動作を停止させ，その後，設定値を変更してください。

カウント動作中にTP0CCR0レジスタの値を小さい値に書き換えると，16ビット・カウンタがオーバフローする場合があるので注意してください。



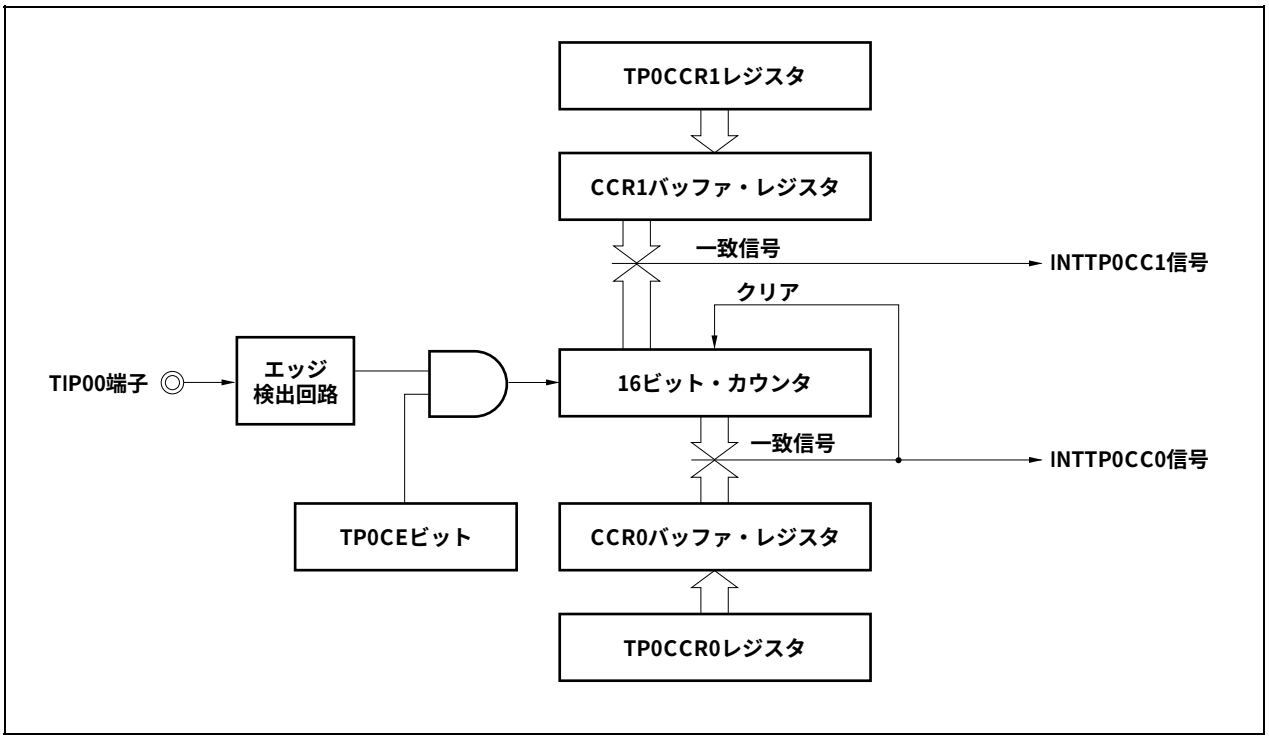
カウント値がD_2よりも大きくD_1よりも小さい状態において，TP0CCR0レジスタをD_1からD_2に書き換えると，書き換えたタイミングでCCR0バッファ・レジスタに転送されるため，16ビット・カウンタとのコンペア値がD_2となります。

しかし，カウント値はすでにD_2を越えているためにFFFFHまでカウントを行い，オーバフロー後，0000Hから再度カウント・アップを行います。そして，D_2との一致でINTTP0CC0信号を発生します。

したがって，本来期待している外部イベント・カウント数である「（D_1＋1）回」または「（D_2＋1）回」の有効エッジ数でINTTP0CC0信号は発生せずに，「（10000H＋D_2＋1）回」の有効エッジ数でINTTP0CC0信号が発生する場合があります。

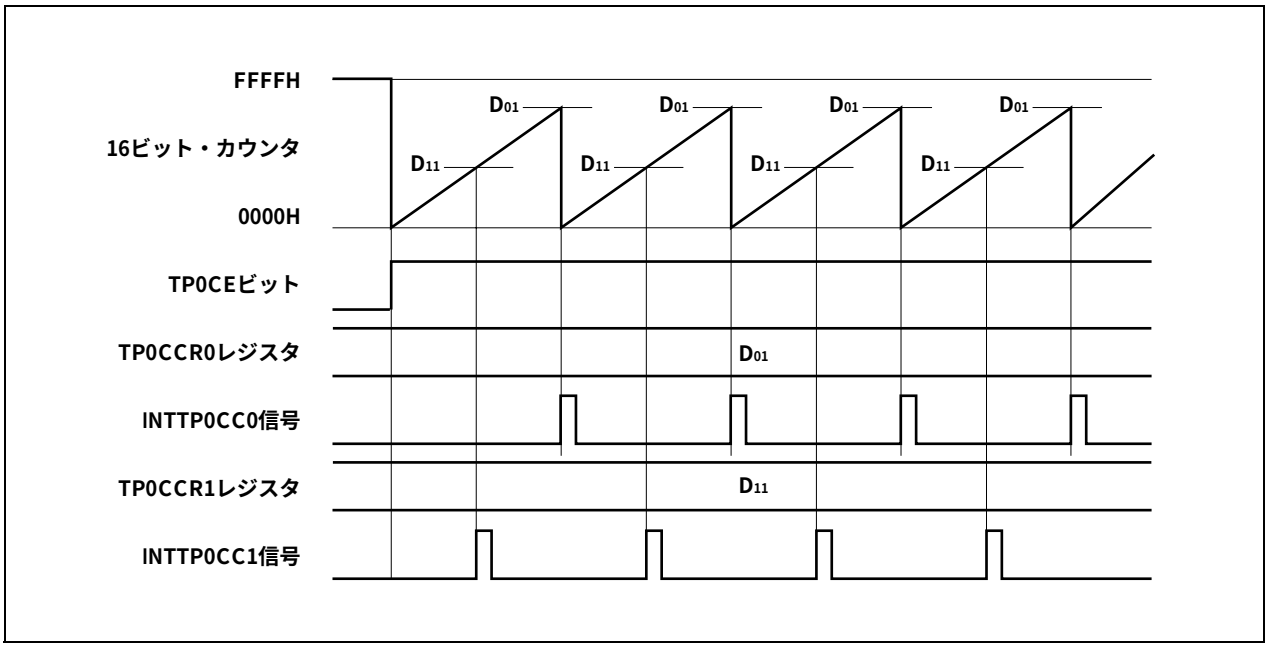
（c）TP0CCR1レジスタの動作

図7－13　TP0CCR1レジスタの構成図



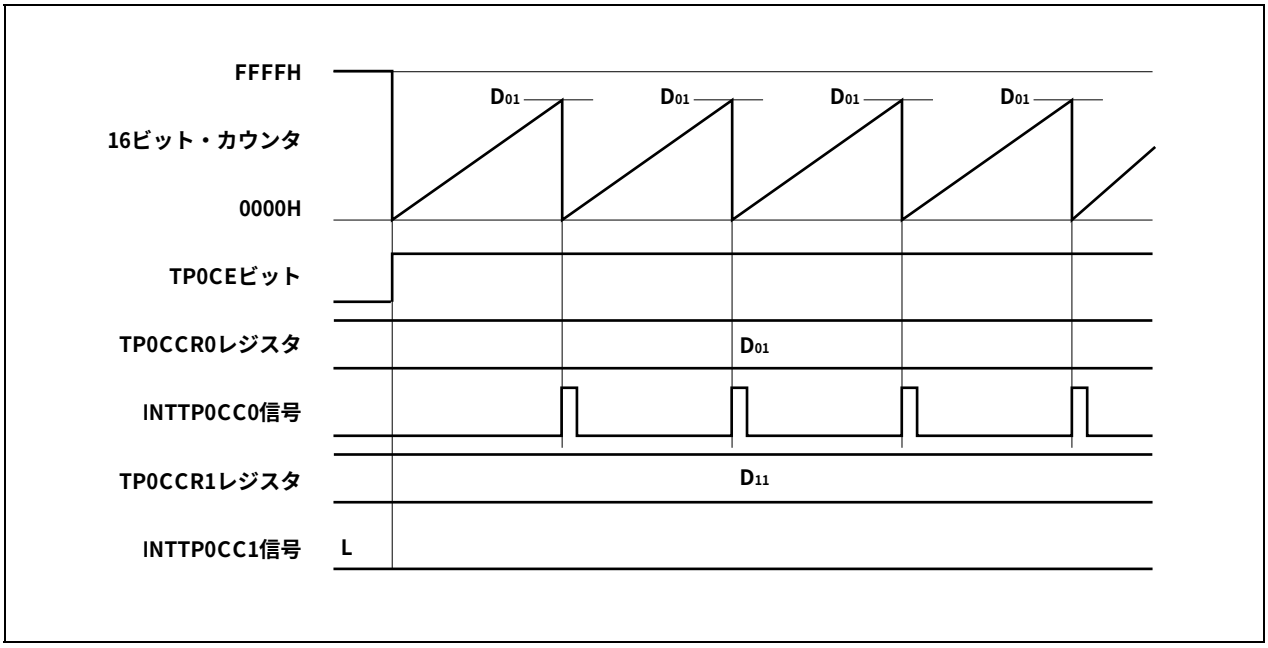
TP0CCR1レジスタの設定値がTP0CCR0レジスタの設定値よりも小さい場合には，1周期に1回のINTTP0CC1信号が発生します。

図7－14　$D_{01} \geqq D_{11}$の場合のタイミング図



TP0CCR1レジスタの設定値がTP0CCR0レジスタの設定値よりも大きい場合には，16ビット・カウンタのカウント値とTP0CCR1レジスタの値が一致しないので，INTTP0CC1信号は発生しません。

図7－15　D_{01}＜D_{11}の場合のタイミング図



7. 5. 3　外部トリガ・パルス出力モード（TP0MD2-TP0MD0ビット = 010）

外部トリガ・パルス出力モードは，TP0CTL0.TP0CEビットをセット（1）することでトリガ待ち状態となり，外部トリガ入力の有効エッジを検出すると，カウント動作を開始し，TOP01端子からPWM波形を出力します。

外部トリガ入力の代わりに，ソフトウエア・トリガを発生させることでもパルスを出力できます。ソフトウエア・トリガを使用する場合，TOP00端子から，PWM波形の1周期を半周期とする方形波を出力できます。

図7－16　外部トリガ・パルス出力モードの構成図

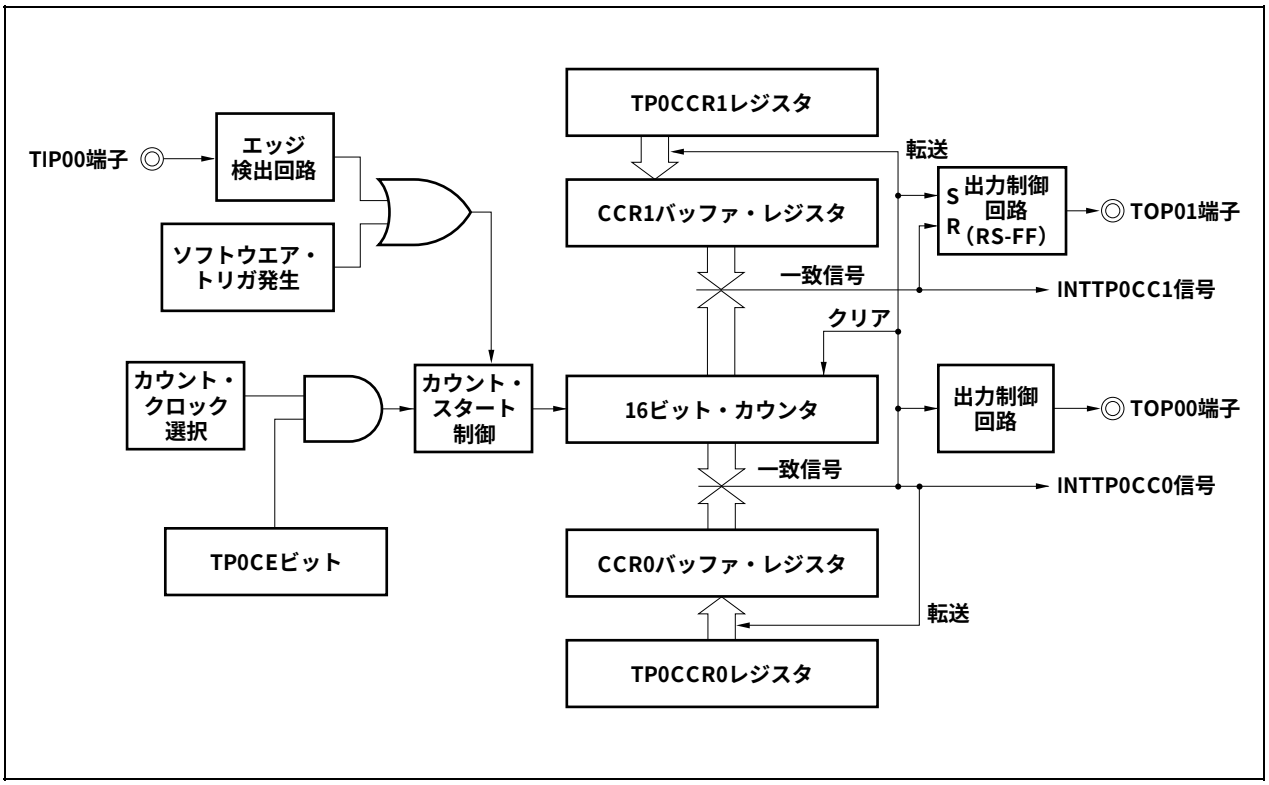
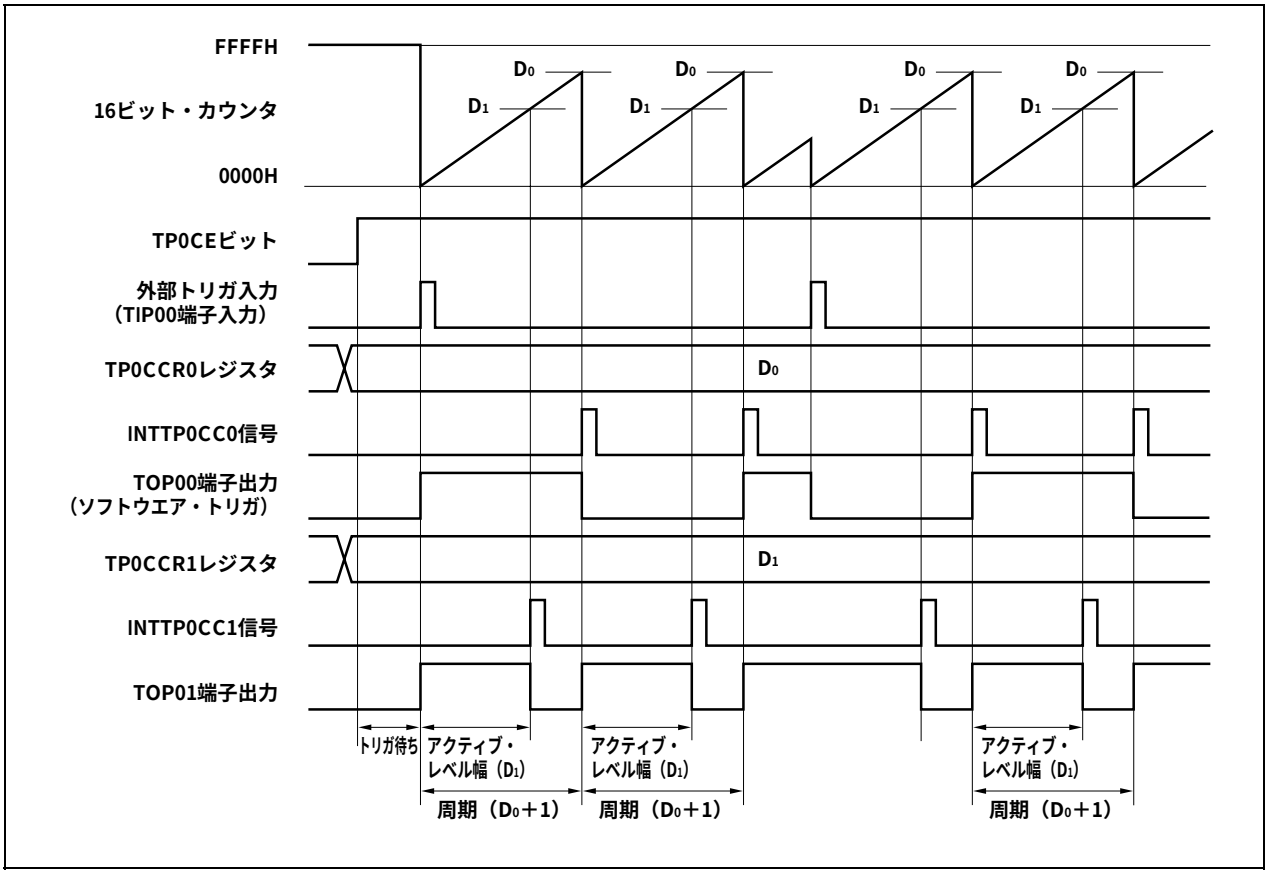


図7－17　外部トリガ・パルス出力モードの基本タイミング



TP0CEビットをセット（1）することで，トリガ待ち状態となります。トリガが発生すると，16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し，TOP01端子からPWM波形を出力します。

★ 動作中に，再度トリガが発生した場合には，カウンタを0000Hにクリアし再スタートします（TOP00端子出力は反転します。TOP01端子出力はトリガが発生したときの状態がロウ・レベル出力，ハイ・レベル出力にかかわらず，ハイ・レベル出力になります）。

PWM波形のアクティブ・レベル幅，周期，およびデューティは次のように求められます。

アクティブ・レベル幅 ＝ （TP0CCR1レジスタの設定値）×カウント・クロック周期
周期 ＝ （TP0CCR0レジスタの設定値＋1）×カウント・クロック周期
デューティ ＝ （TP0CCR1レジスタの設定値）／（TP0CCR0レジスタの設定値＋1）

コンペア一致割り込み要求信号（INTTP0CC0）は，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し，同時に16ビット・カウンタを0000Hにクリアします。コンペア一致割り込み要求信号（INTTP0CC1）は，16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TP0CCRaレジスタに設定した値は，16ビット・カウンタのカウント値とCCRaバッファ・レジスタの値が一致し，16ビット・カウンタを0000Hにクリアするタイミングで CCRaバッファ・レジスタに転送されます。

トリガには，外部トリガ入力の有効エッジ，またはソフトウエア・トリガ（TP0CTL1.TP0ESTビット）のセット（1）があります。

備考　a = 0, 1

図7－18　外部トリガ・パルス出力モード動作時のレジスタ設定内容（1/2）

（a）TMP0制御レジスタ0（TP0CTL0）

	TP0CE					TP0CKS2	TP0CKS1	TP0CKS0
TP0CTL0	0/1	0	0	0	0	0/1	0/1	0/1

カウント・クロックの選択注

0：カウント動作停止
1：カウント動作許可

注　TP0CTL1.TP0EEEビット = 1のときは設定が無効になります。

（b）TMP0制御レジスタ1（TP0CTL1）

		TP0EST	TP0EEE			TP0MD2	TP0MD1	TP0MD0
TP0CTL1	0	0/1	0/1	0	0	0	1	0

0, 1, 0：
外部トリガ・パルス出力モード

0：TP0CKS0-TP0CKS2ビットで選択したカウント・クロックで動作
1：外部イベント入力信号でカウント動作

“1”を書き込むことで，ソフトウエア・トリガを発生

（c）TMP0I/O制御レジスタ0（TP0IOC0）

					TP0OL1	TP0OE1	TP0OL0	TP0OE0
TP0IOC0	0	0	0	0	0/1	0/1	0/1	0/1

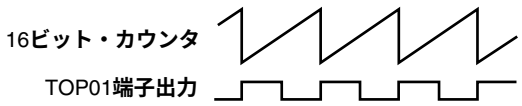
0：TOP00端子出力禁止
1：TOP00端子出力許可

TOP00端子の動作禁止状態での出力レベルの設定
0：ロウ・レベル
1：ハイ・レベル

0：TOP01端子出力禁止
1：TOP01端子出力許可

TOP01端子出力のアクティブ・レベル指定
0：ハイ・アクティブ
1：ロウ・アクティブ

・TP0OL1ビット = 0の場合



・TP0OL1ビット = 1の場合

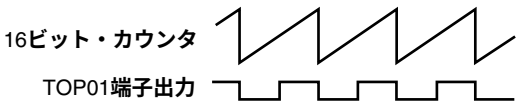
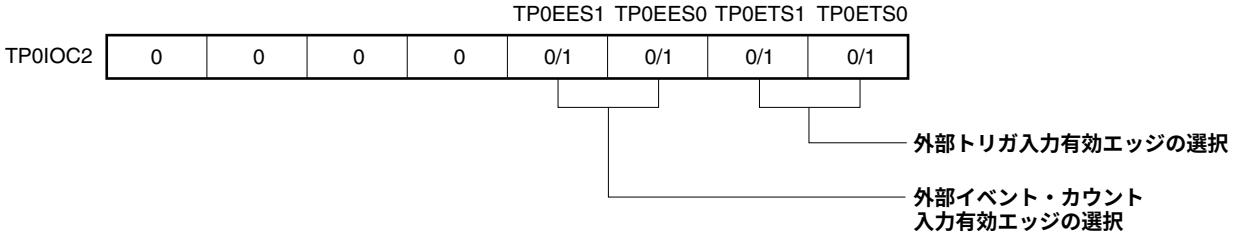


図7－18　外部トリガ・パルス出力モード動作時のレジスタ設定内容（2/2）

（d）TMP0I/O制御レジスタ2（TP0IOC2）



（e）TMP0カウンタ・リード・バッファ・レジスタ（TP0CNT）

TP0CNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

（f）TMP0キャプチャ／コンペア・レジスタ0, 1（TP0CCR0, TP0CCR1）

TP0CCR0レジスタにD_0を設定し，TP0CCR1レジスタにD_1を設定した場合，

PWM波形の周期 = （D_0＋1）×カウント・クロック周期

PWM波形のアクティブ・レベル幅 = D_1×カウント・クロック周期

となります。

備考　TMP0I/O制御レジスタ1（TP0IOC1），TMP0オプション・レジスタ0（TP0OPT0）は，外部トリガ・パルス出力モードでは使用しません。

（1）外部トリガ・パルス出力モード動作フロー

図7－19　外部トリガ・パルス出力モード使用時のソフトウエア処理フロー（1/2）

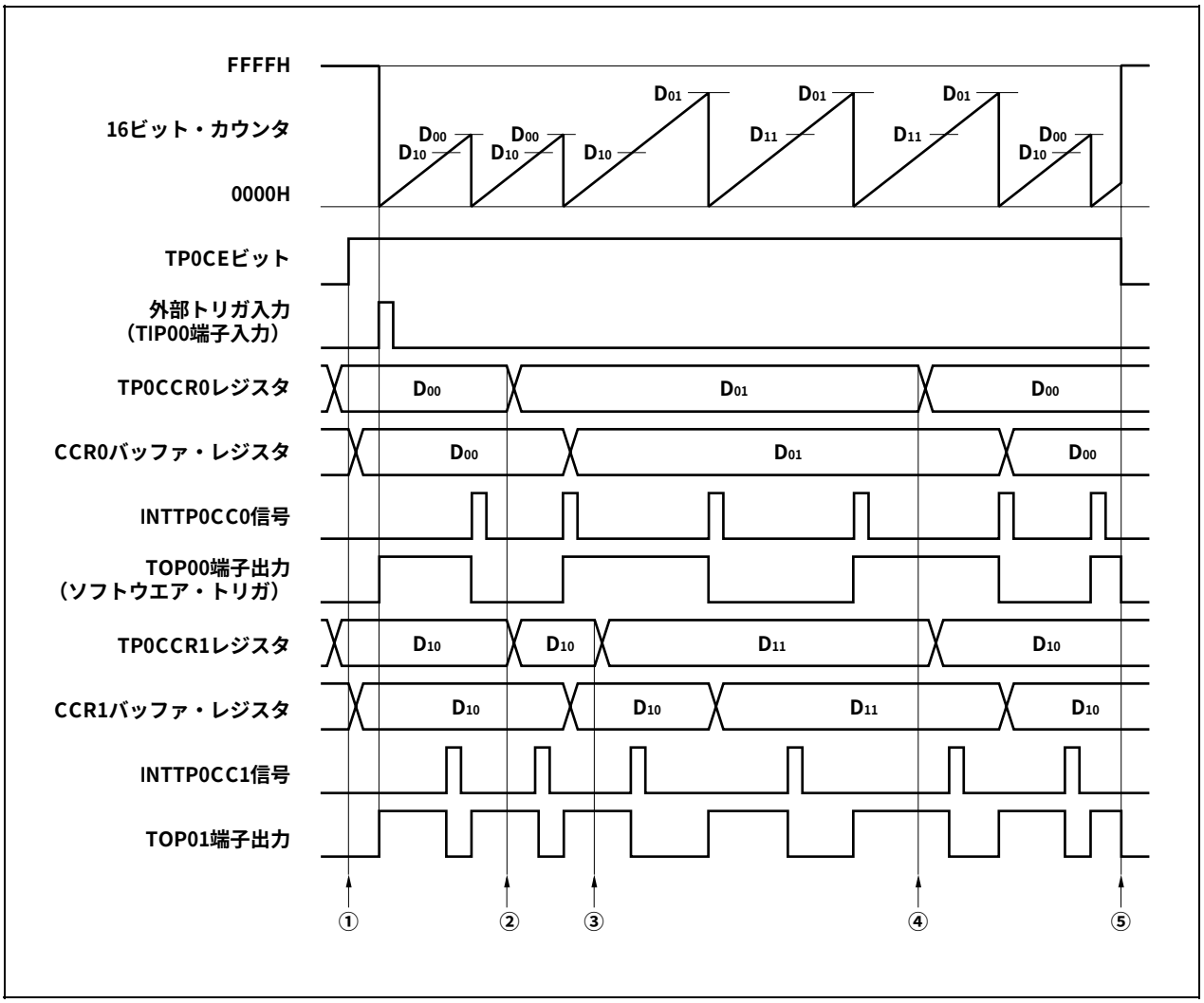
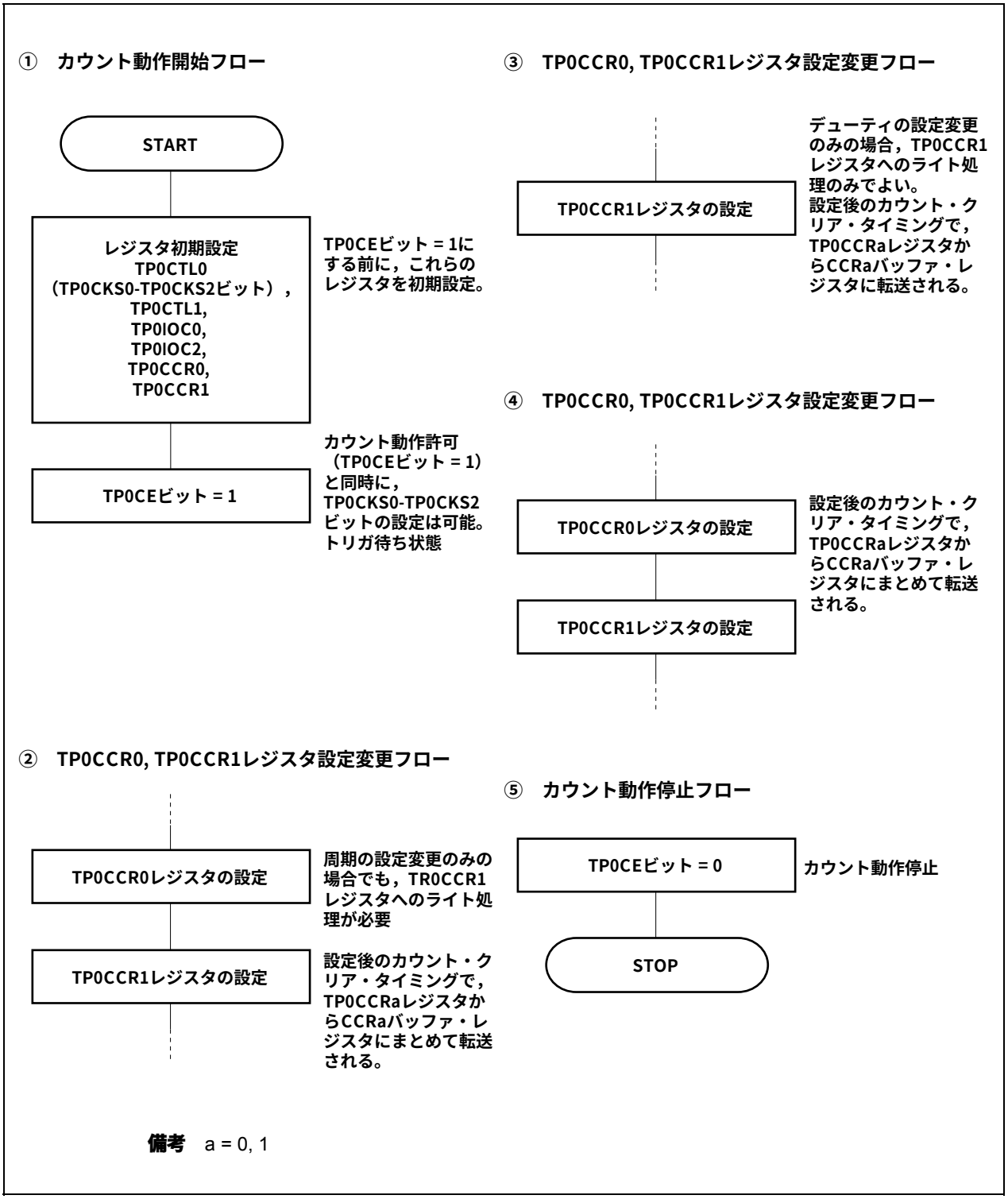


図7－19　外部トリガ・パルス出力モード使用時のソフトウエア処理フロー（2/2）



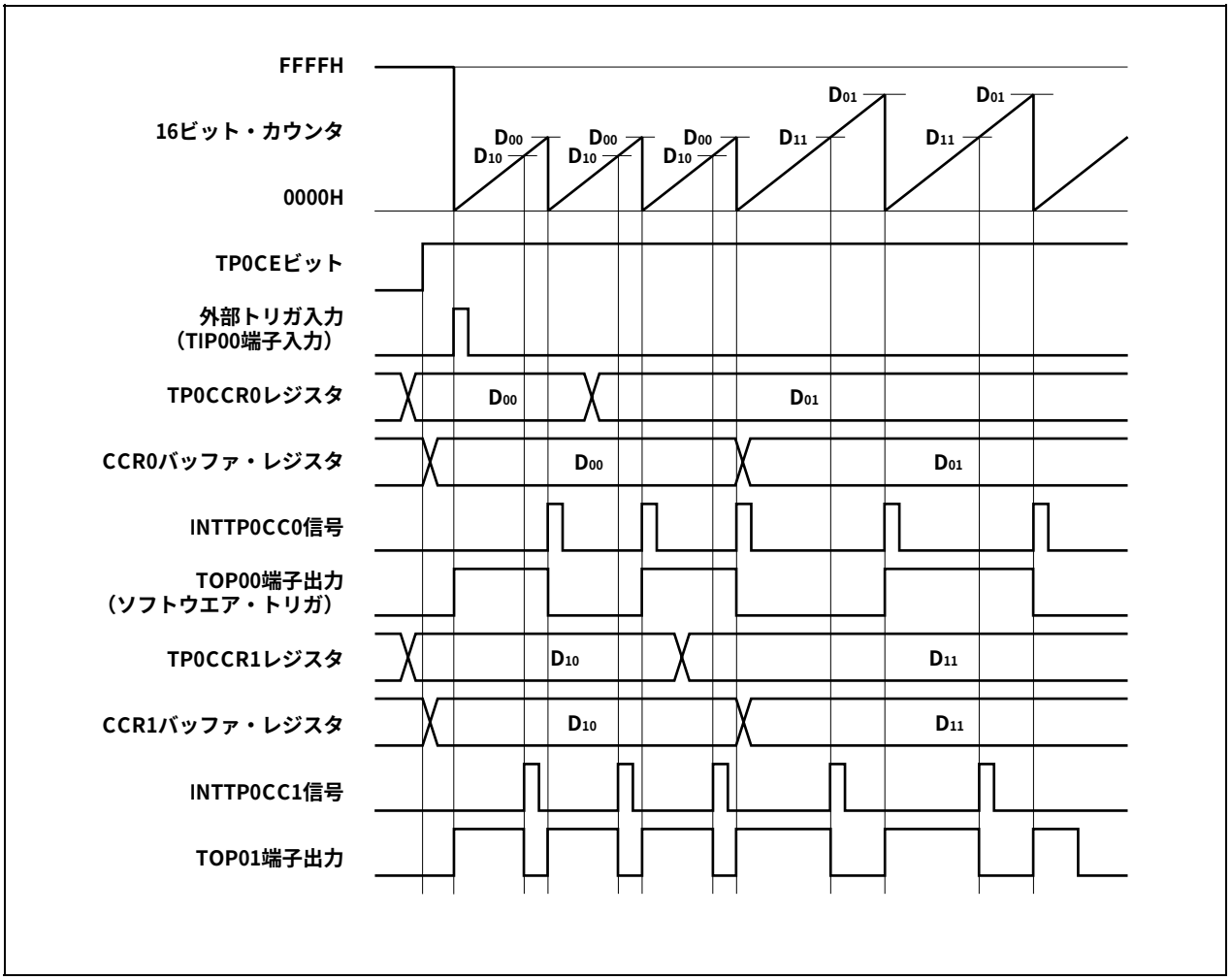
備考　a = 0, 1

(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には，最後にTP0CCR1レジスタにライトしてください。

TP0CCR1レジスタにライト後，再度TP0CCRaレジスタの書き換えを行う場合には，INTTP0CC0信号を検出後に書き換えてください。



TP0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには，TP0CCR1レジスタに対してライトする必要があります。

このとき，PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には，まずTP0CCR0レジスタに周期を設定し，そのあとでTP0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には，まずTP0CCR0レジスタに周期を設定し，そのあとでTP0CCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は，TP0CCR1レジスタのみの設定でかまいません。

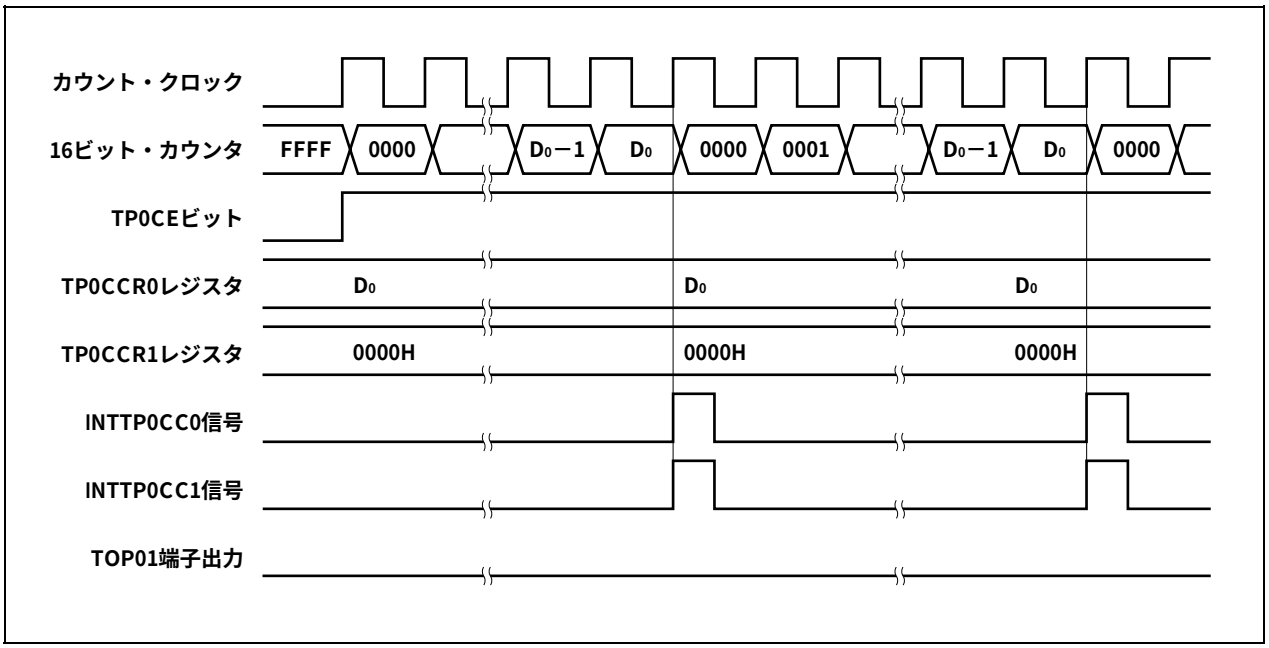
TP0CCR1レジスタにライトしたあと，16ビット・カウンタのクリア・タイミングに同期して，TP0CCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され，16ビット・カウンタとのコンペア値となります。

また，一度TP0CCR1レジスタにライトしたあとで，再度TP0CCR0，またはTP0CCR1レジスタへのライトを行う場合は， INTTP0CC0信号の発生後に行ってください。これを守れない場合には，TP0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと，TP0CCRaレジスタの書き換えの競合により，CCRaバッファ・レジスタの値が不定値になる場合があります。

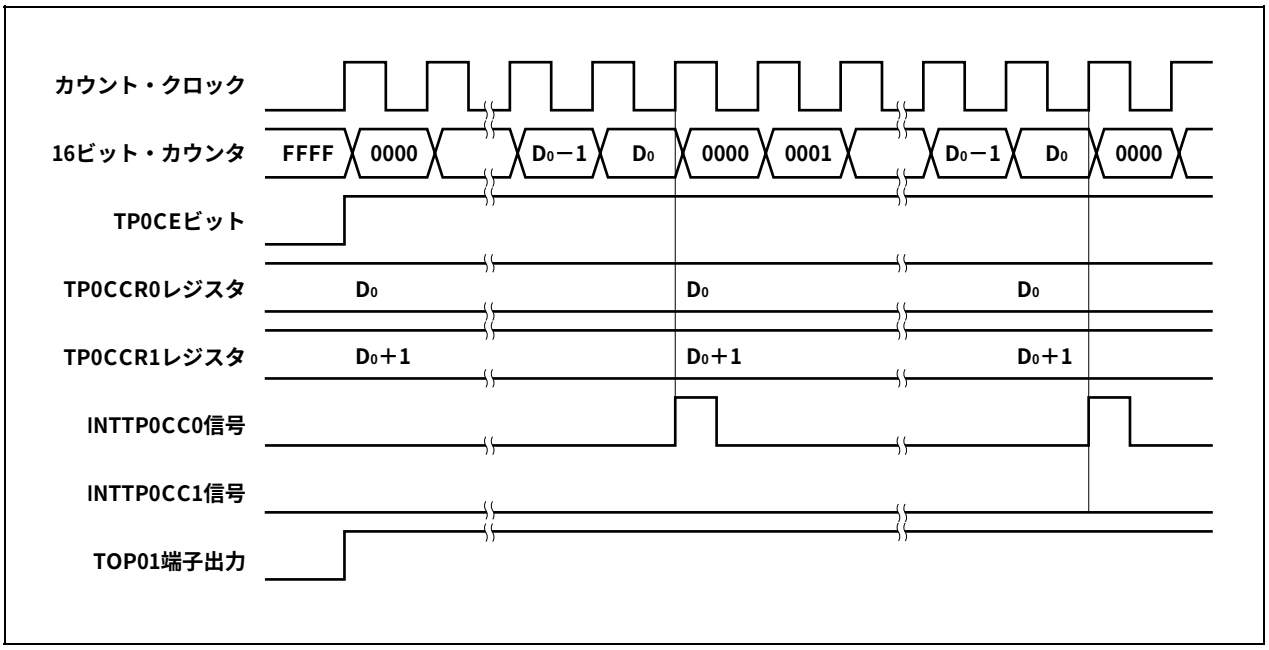
備考　a = 0, 1

（b）PWM波形の0 %／100 %出力

0 %波形を出力するためには，TP0CCR1レジスタに対して0000Hを設定します。ただし，TP0CCR0レジスタの設定値がFFFFHの場合には，INTTP0CC1信号が定期的に発生します。

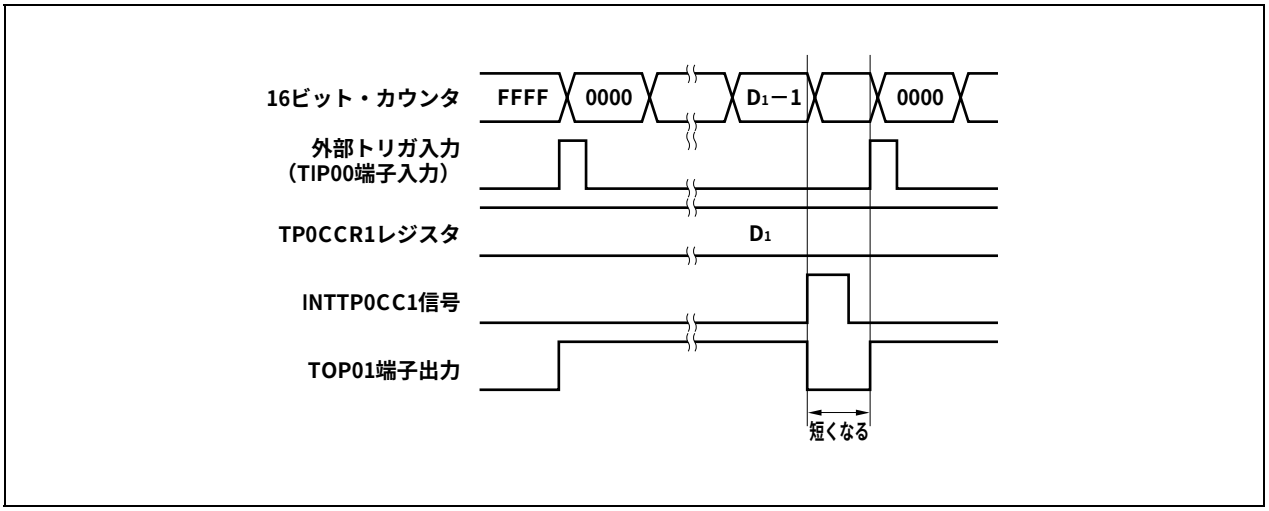


100 %波形を出力するためには，TP0CCR1レジスタに対して（TP0CCR0レジスタの設定値＋1）の値を設定してください。TP0CCR0レジスタの設定値がFFFFHの場合には，100 %出力はできません。

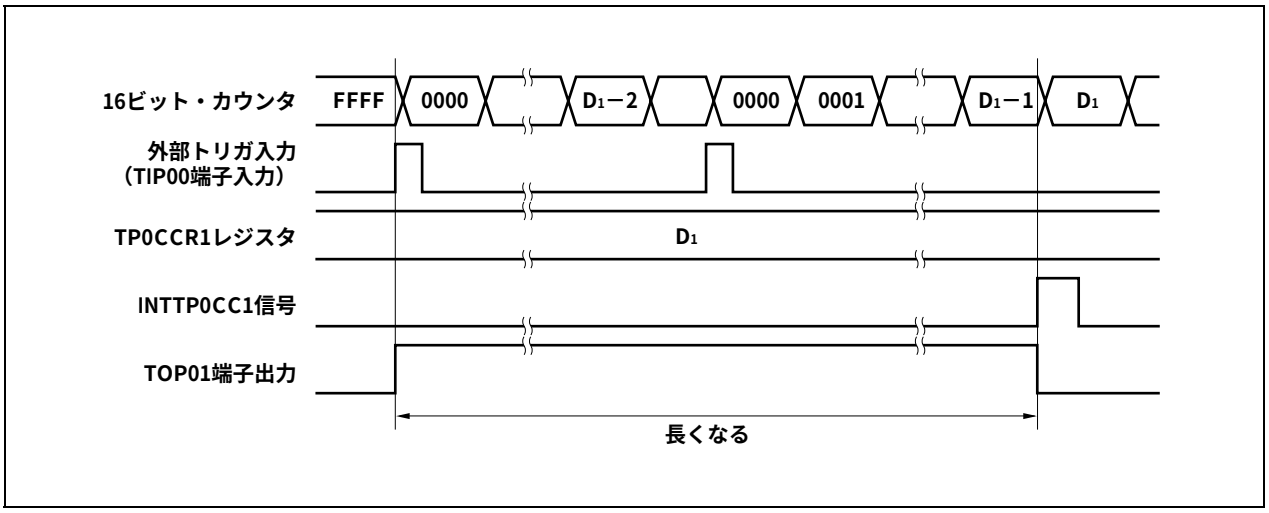


(c) トリガ検出とTP0CCR1レジスタとの一致の競合

INTTP0CC1信号発生直後にトリガが検出された場合には，トリガ検出とともに16ビット・カウンタを0000Hにクリアし，TOP01端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため，PWM波形のインアクティブ期間が短くなります。

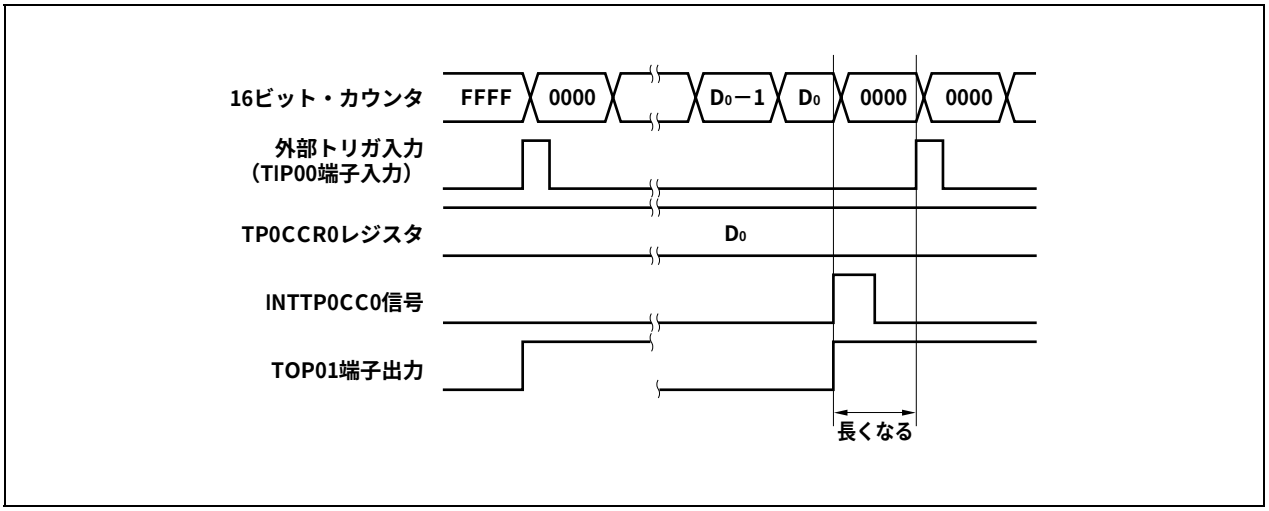


INTTP0CC1信号発生直前にトリガを検出した場合には， INTTP0CC1信号を発生することなく，16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOP01端子出力はアクティブ・レベルのままとなるため，PWM波形のアクティブ期間が長くなります。

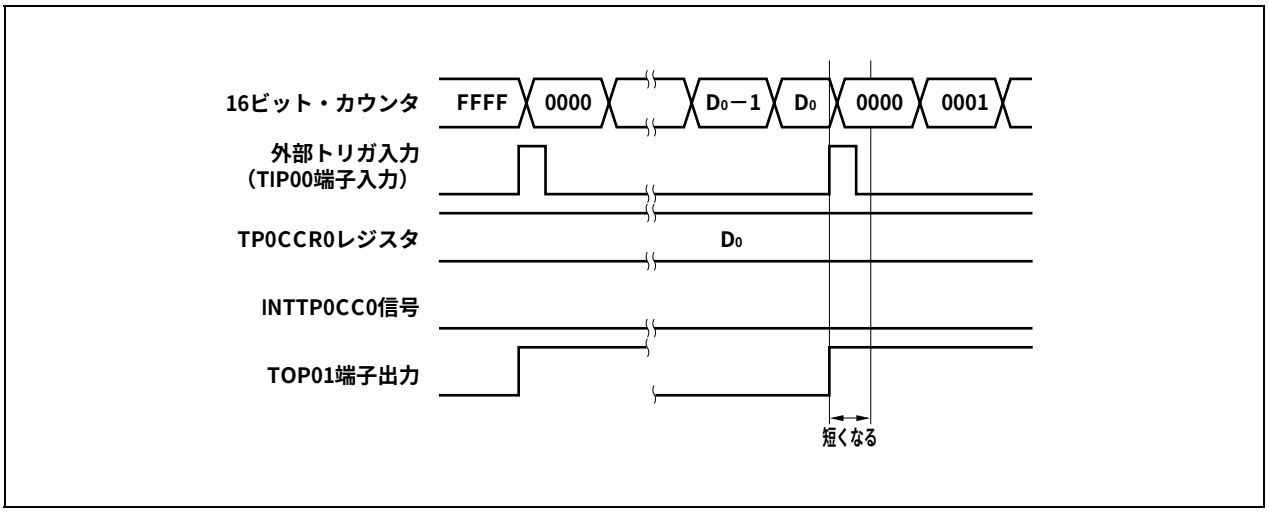


(d) トリガ検出とTP0CCR0レジスタとの一致の競合

INTTP0CC0信号発生直後にトリガを検出した場合，そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって，TOP01端子出力のアクティブ期間が，INTTP0CC0信号発生からトリガ検出までの分だけ長くなります。

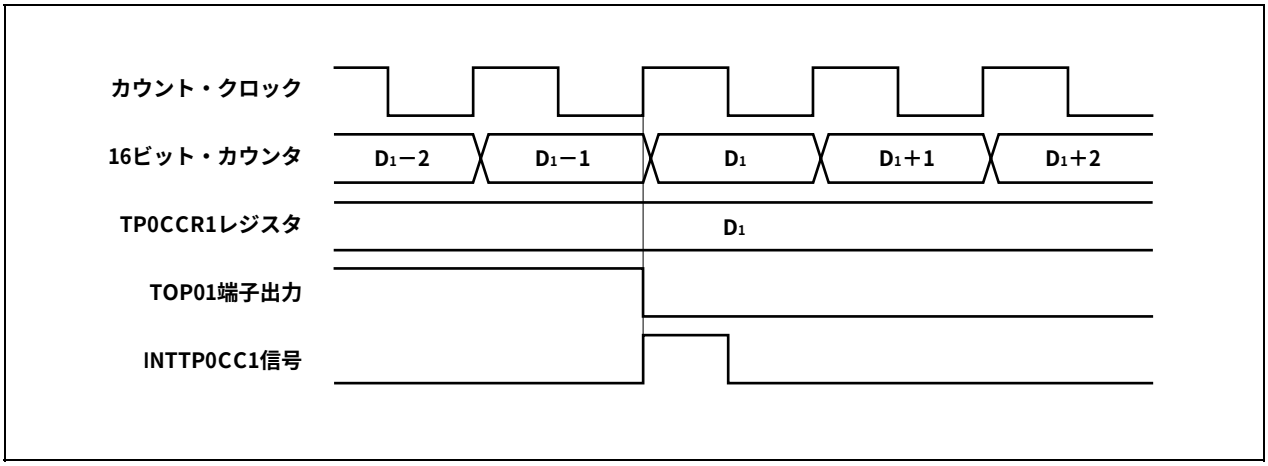


INTTP0CC0信号発生直前にトリガを検出した場合，INTTP0CC0信号を発生することなく，16ビット・カウンタを0000Hにクリアし，TOP01端子出力をアクティブ・レベルにして，カウント動作を継続します。そのため，それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンペア一致割り込み要求信号（INTTP0CC1）の発生タイミング

外部トリガ・パルス出力モードにおけるINTTP0CC1信号の発生タイミングは，ほかのINTTP0CC1信号と異なり，16ビット・カウンタのカウント値とTP0CCR1レジスタの値との一致と同時に発生します。



通常，INTTP0CC1信号は，16ビット・カウンタのカウント値とTP0CCR1レジスタの値との一致後，次のカウント・アップに同期して発生します。

しかし，外部トリガ・パルス出力モードの場合，1クロック早いタイミングで発生します。これは，TOP01端子出力の変化タイミングとあわせるために，タイミングを変更しているからです。

7. 5. 4　ワンショット・パルス出力モード（TP0MD2-TP0MD0ビット = 011）

ワンショット・パルス出力モードは，TP0CTL0.TP0CEビットをセット（1）することでトリガ待ち状態となり，外部トリガ入力の有効エッジを検出すると，カウント動作を開始し，TOP01端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに，ソフトウエア・トリガを発生させることでもパルスを出力できます。ソフトウエア・トリガを使用する場合，TOP00端子から，16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し，カウント停止（トリガ待ち状態）中のときはインアクティブ・レベルを出力できます。

図7－20　ワンショット・パルス出力モードの構成図

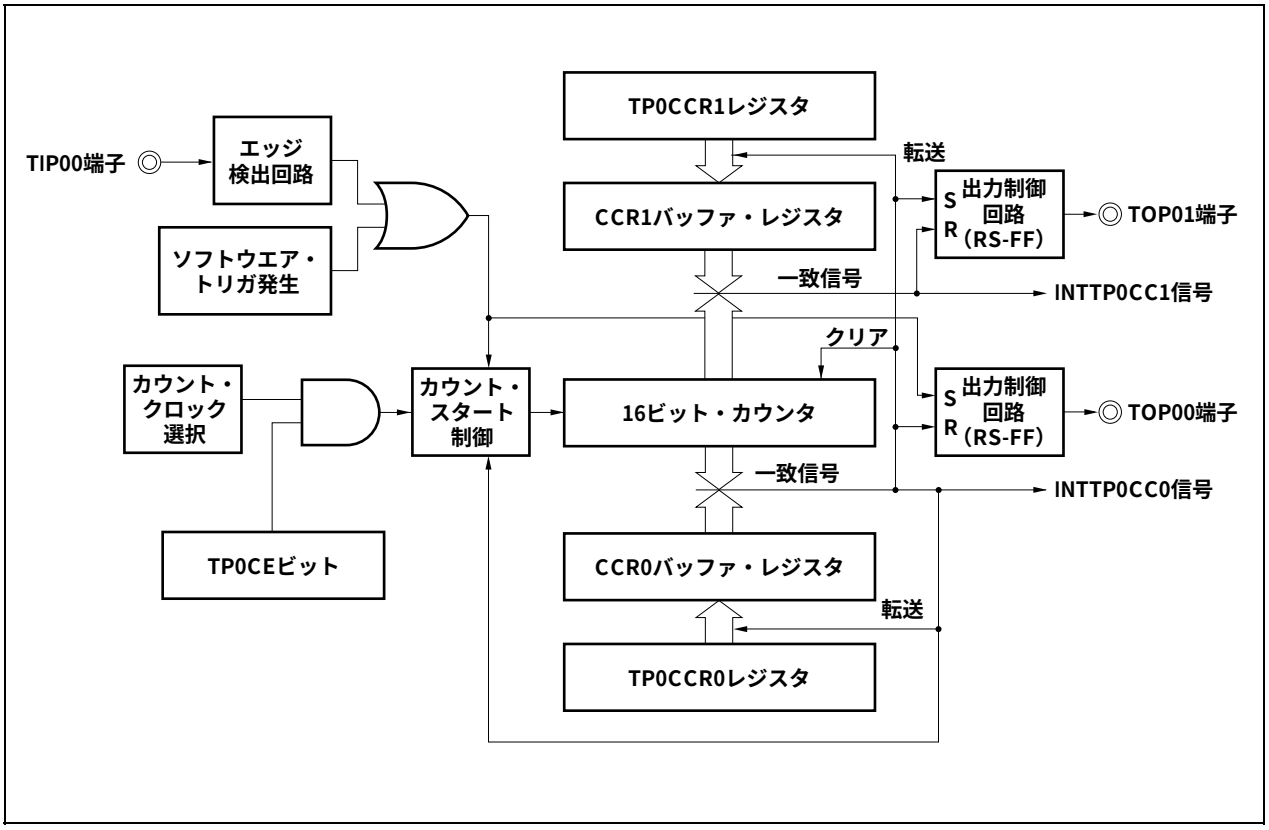
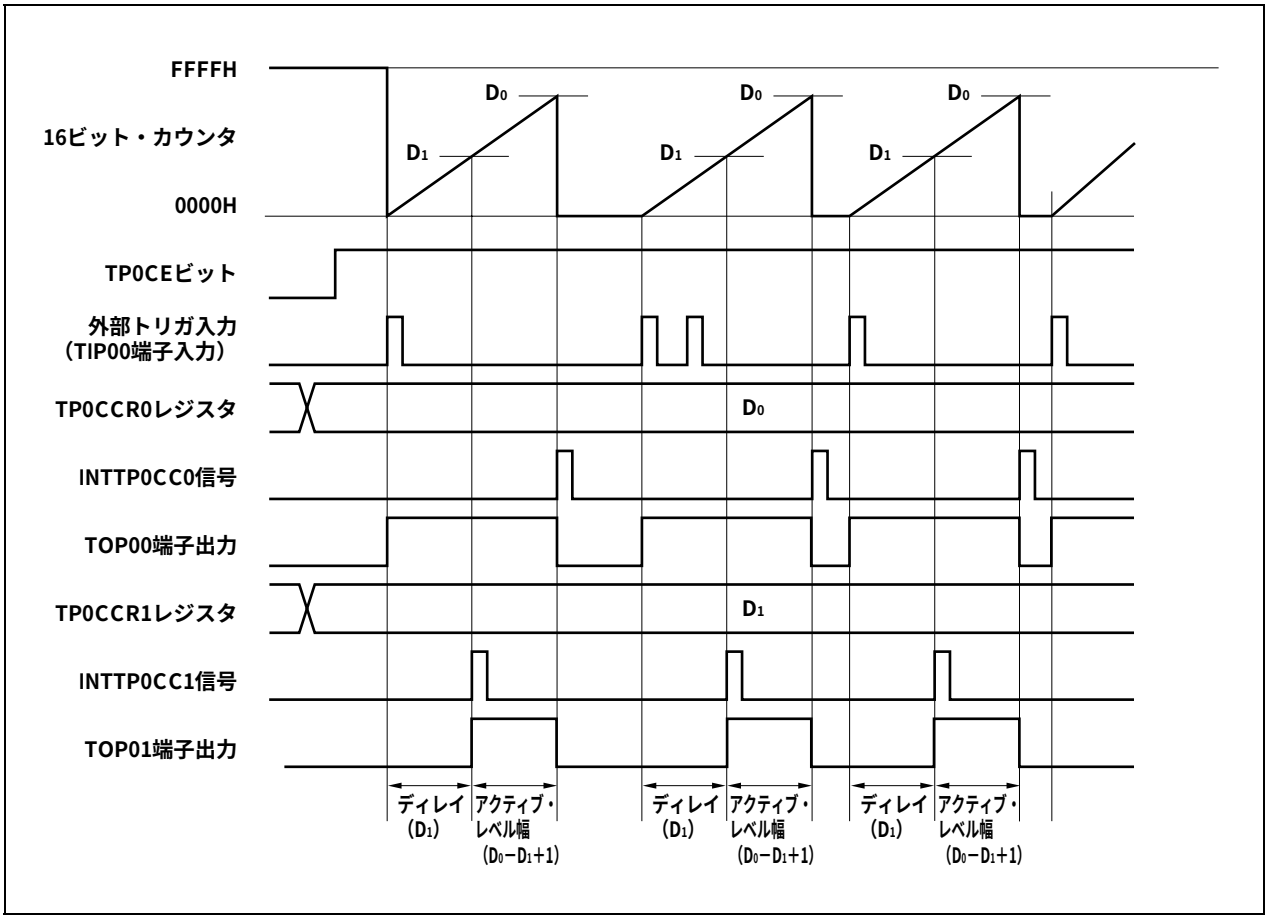


図7－21　ワンショット・パルス出力モードの基本タイミング



TP0CEビットをセット（1）することで，トリガ待ち状態となります。トリガが発生すると，16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し，TOP01端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと，16ビット・カウンタをFFFFHにしてカウント動作を停止し，トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間，およびアクティブ・レベル幅は次のように求められます。

出力ディレイ期間 ＝ （TP0CCR1レジスタの設定値）×カウント・クロック周期

アクティブ・レベル幅 ＝ （TP0CCR0レジスタの設定値－TP0CCR1レジスタの設定値＋1）
×カウント・クロック周期

コンペア一致割り込み要求信号（INTTP0CC0）は，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペア一致割り込み要求信号（INTTP0CC1）は，16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには，外部トリガ入力の有効エッジ，またはソフトウエア・トリガ（TP0CTL1.TP0ESTビット）のセット（1）があります。

図7－22　ワンショット・パルス出力モード動作時のレジスタ設定内容（1/2）

（a）TMP0制御レジスタ0（TP0CTL0）

	TP0CE					TP0CKS2	TP0CKS1	TP0CKS0
TP0CTL0	0/1	0	0	0	0	0/1	0/1	0/1

カウント・クロックの選択注

0：カウント動作停止
1：カウント動作許可

注　TP0CTL1.TP0EEEビット = 1のときは設定が無効になります。

（b）TMP0制御レジスタ1（TP0CTL1）

		TP0EST	TP0EEE			TP0MD2	TP0MD1	TP0MD0
TP0CTL1	0	0/1	0/1	0	0	0	1	1

0, 1, 1：
ワンショット・パルス出力モード

0：TP0CKS0-TP0CKS2ビットで選択したカウント・クロックで動作
1：外部イベント・カウント入力信号でカウント動作

“1”を書き込むことで，ソフトウエア・トリガを発生

（c）TMP0I/O制御レジスタ0（TP0IOC0）

					TP0OL1	TP0OE1	TP0OL0	TP0OE0
TP0IOC0	0	0	0	0	0/1	0/1	0/1	0/1

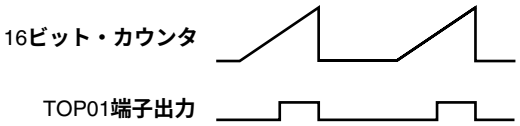
0：TOP00端子出力禁止
1：TOP00端子出力許可

TOP00端子の動作禁止状態での出力レベルの設定
0：ロウ・レベル
1：ハイ・レベル

0：TOP01端子出力禁止
1：TOP01端子出力許可

TOP01端子出力のアクティブ・レベル指定
0：ハイ・アクティブ
1：ロウ・アクティブ

・TP0OL1ビット = 0の場合



・TP0OL1ビット = 1の場合

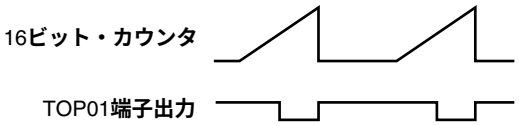
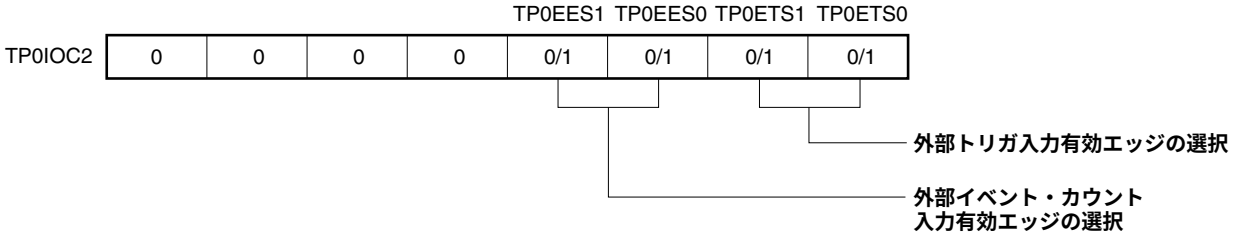


図7－22　ワンショット・パルス出力モード動作時のレジスタ設定内容（2/2）

（d）TMP0I/O制御レジスタ2（TP0IOC2）



（e）TMP0カウンタ・リード・バッファ・レジスタ（TP0CNT）

TP0CNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

（f）TMP0キャプチャ／コンペア・レジスタ0, 1（TP0CCR0, TP0CCR1）

TP0CCR0レジスタにD_0を設定し，TP0CCR1レジスタにD_1を設定した場合，

ワンショット・パルスのアクティブ・レベル幅 = （$D_1 - D_0 + 1$）×カウント・クロック周期

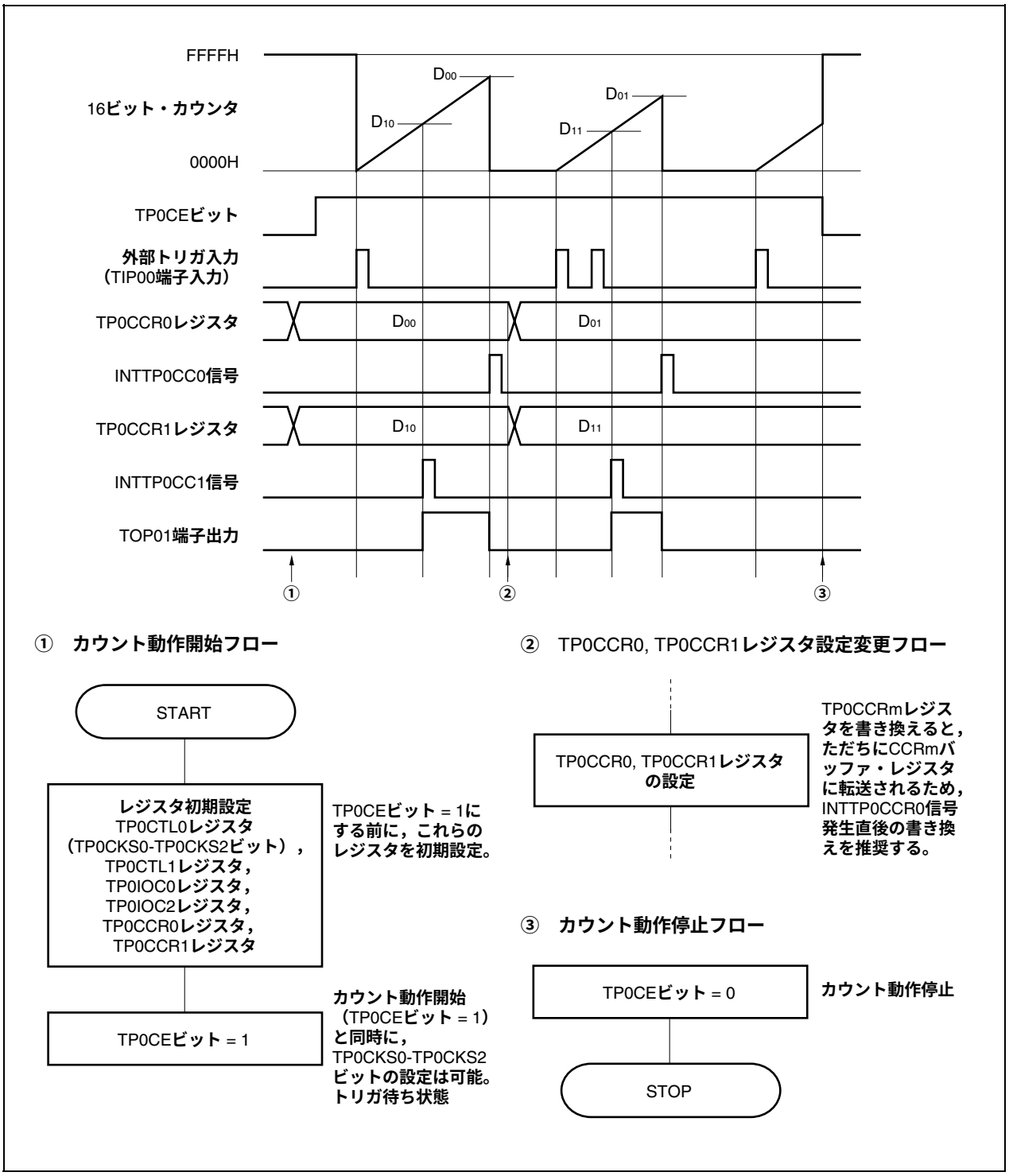
ワンショット・パルスの出力ディレイ期間 = D_1×カウント・クロック周期

となります。

備考　TMP0I/O制御レジスタ1（TP0IOC1），TMP0オプション・レジスタ0（TP0OPT0）は，ワンショット・パルス出力モードでは使用しません。

（1）ワンショット・パルス出力モード動作フロー

★ **図7－23　ワンショット・パルス出力モード使用時のソフトウエア処理フロー**

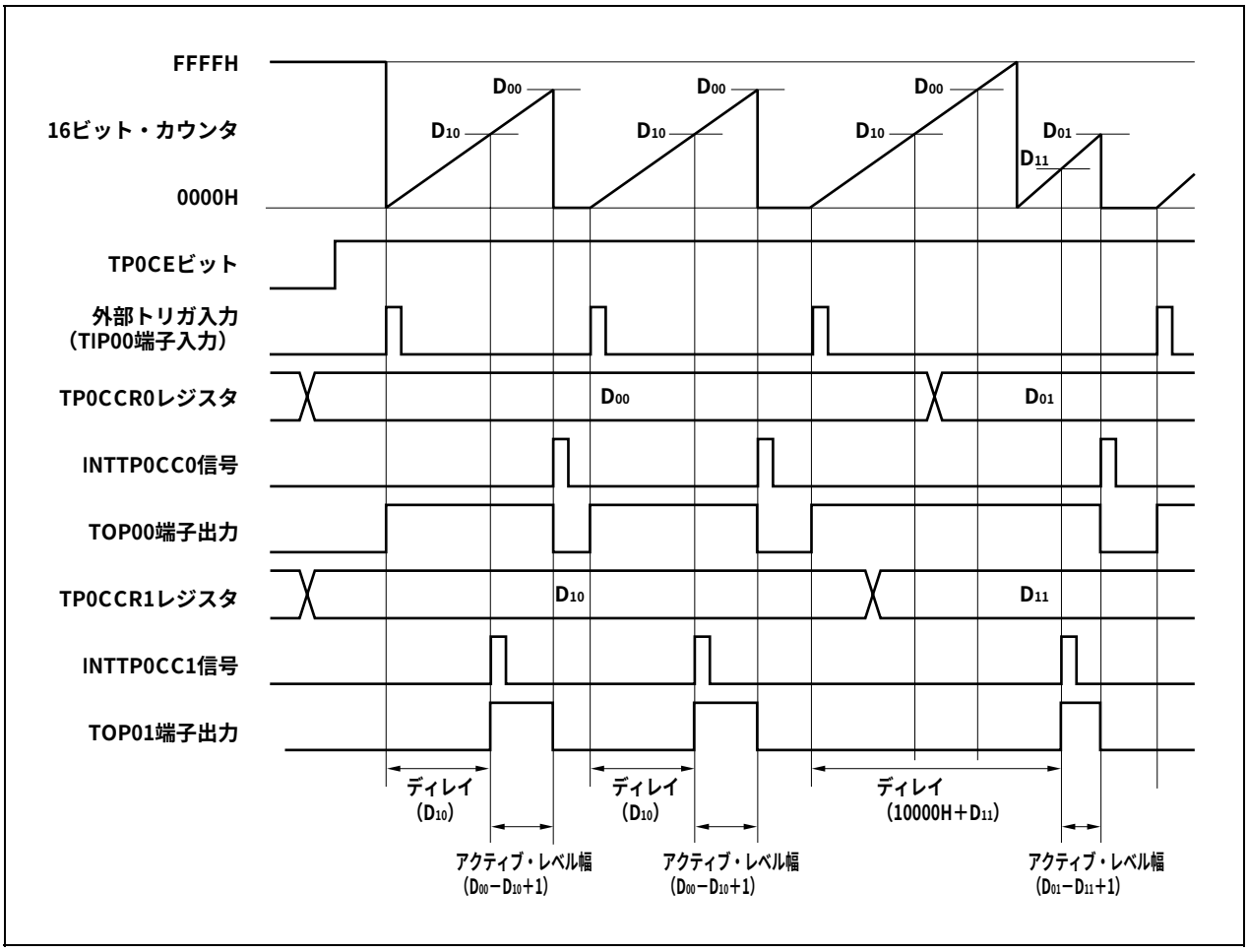


(2) ワンショット・パルス出力モード動作タイミング

(a) TP0CCRaレジスタの書き換えに関する注意事項

TP0CCRaレジスタの設定値を小さい値に変更する場合には，一度カウント動作を停止させ，その後，設定値を変更してください。

カウント動作中にTP0CCRaレジスタの値を小さい値に書き換えると，16ビット・カウンタがオーバフローする場合があるので注意してください。



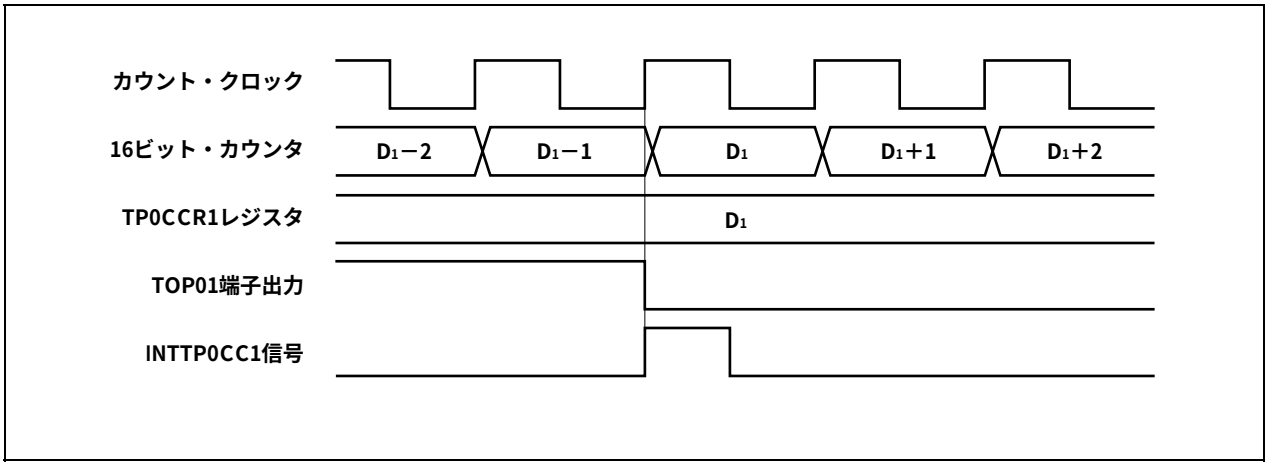
TP0CCR0レジスタをD_{00}からD_{01}に，TP0CCR1レジスタをD_{10}からD_{11}に書き換える場合において，$D_{00}>D_{01}$, $D_{10}>D_{11}$の状態で，16ビット・カウンタのカウント値がD_{11}よりも大きくD_{10}よりも小さい状態のときTP0CCR1レジスタを書き換え，カウント値がD_{01}よりも大きくD_{00}よりも小さい状態でTP0CCR0レジスタを書き換えた場合，書き換えたタイミングで，それぞれの設定値は反映されてカウント値と比較されるために，カウント値はFFFFHまでカウント動作を行い，その後，0000Hから再度カウント・アップを行います。そして，D_{11}との一致でINTTP0CC1信号を発生してTOP01端子出力をアクティブ・レベルにし，D_{01}との一致でINTTP0CC0信号を発生してTOP01端子出力をインアクティブにしてカウント動作を停止します。

したがって，本来期待しているワンショット・パルス出力に対し，ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考　a = 0, 1

（b）コンペア一致割り込み要求信号（INTTP0CC1）の発生タイミング

ワンショット・パルス出力モードにおけるINTTP0CC1信号の発生タイミングは，ほかのINTTP0CC1信号と異なり，16ビット・カウンタのカウント値とTP0CCR1レジスタの値との一致と同時に発生します。



通常，INTTP0CC1信号は，16ビット・カウンタのカウント値とTP0CCR1レジスタの値との一致後，次のカウント・アップに同期して発生します。

しかし，ワンショット・パルス出力モードの場合，1クロック早いタイミングで発生します。これは，TOP01端子出力の変化タイミングとあわせるために，タイミングを変更しているからです。

7. 5. 5　PWM出力モード（TP0MD2-TP0MD0ビット = 100）

PWM出力モードは，TP0CTL0.TP0CEビットをセット（1）することで，TOP01端子からPWM波形を出力します。

また，TOP00端子から，PWM波形の1周期を半周期とするパルスを出力します。

図7－24　PWM出力モードの構成図

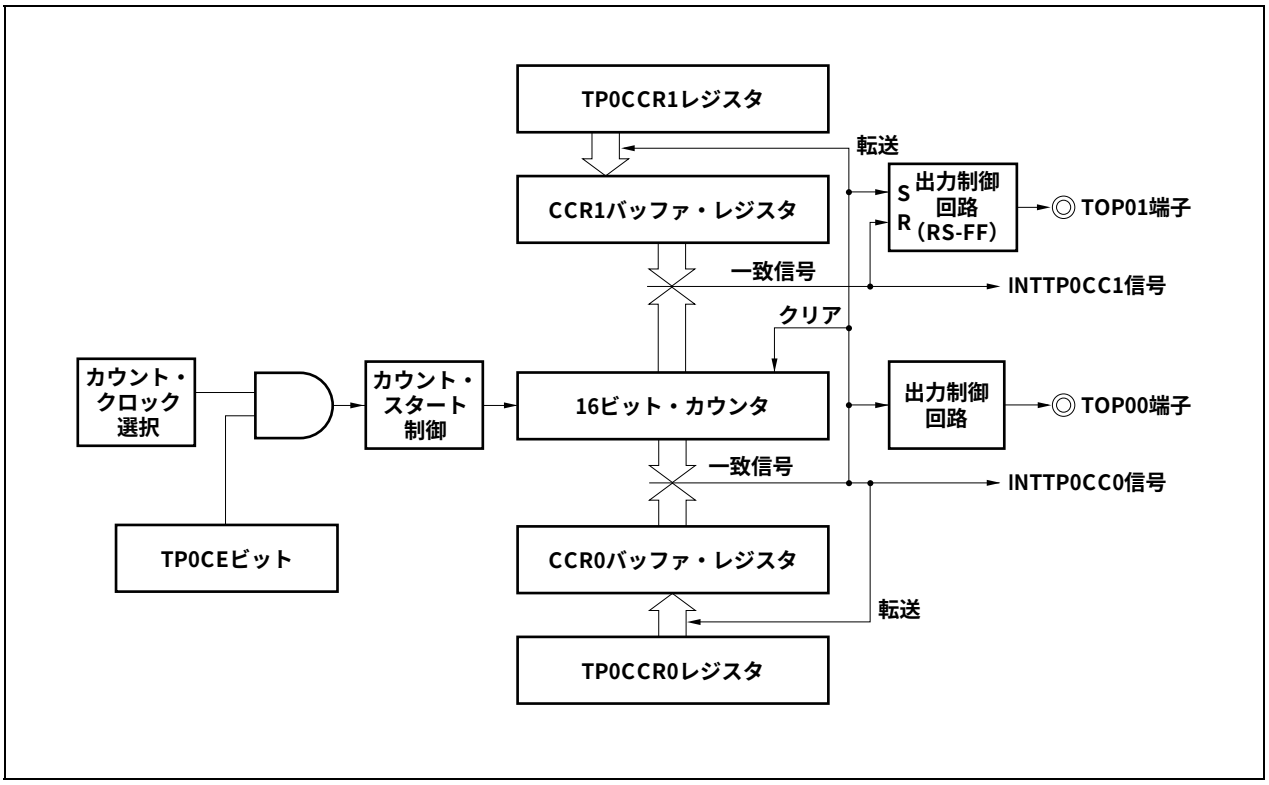
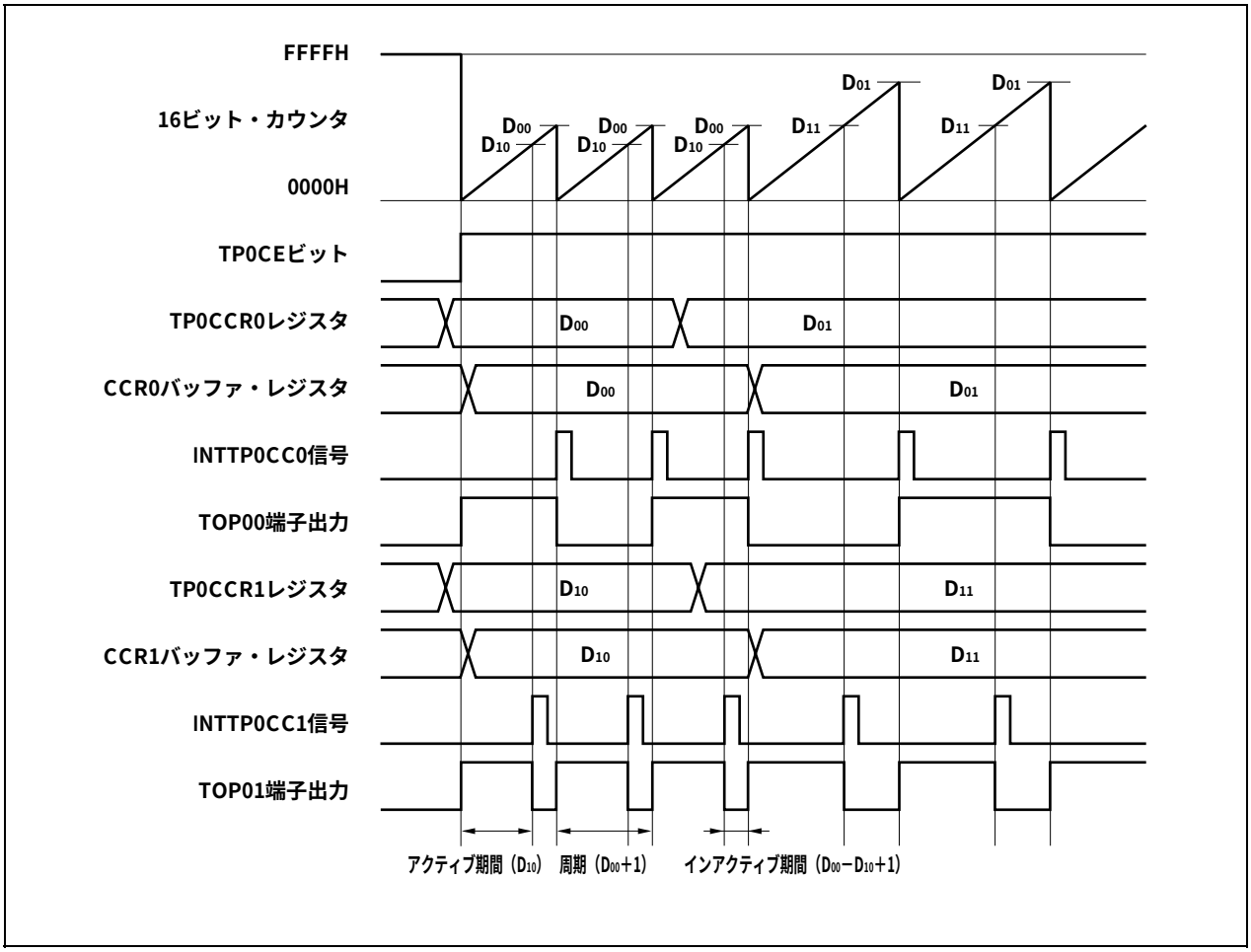


図7－25　PWM出力モードの基本タイミング



TP0CEビットをセット（1）することで，16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し，TOP01端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅，周期，およびデューティは次のように求められます。

アクティブ・レベル幅 ＝ （TP0CCR1レジスタの設定値）×カウント・クロック周期

周期 ＝ （TP0CCR0レジスタの設定値＋1）×カウント・クロック周期

デューティ ＝ （TP0CCR1レジスタの設定値）／（TP0CCR0レジスタの設定値＋1）

動作中にTP0CCRaレジスタを書き換えることにより，PWM波形を変更できます。書き換えた値は，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し，16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

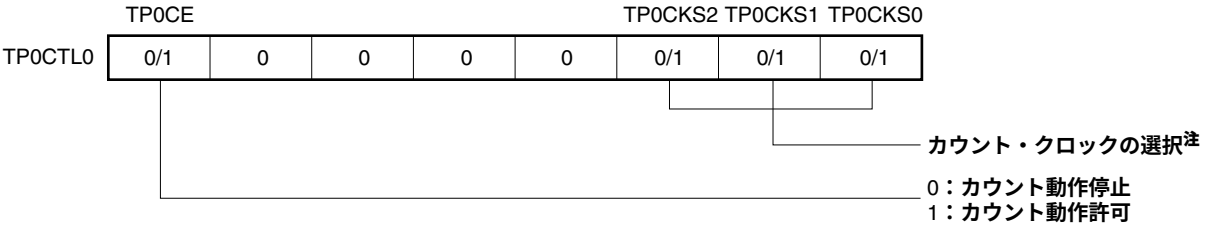
コンペア一致割り込み要求信号（INTTP0CC0）は，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し，同時に16ビット・カウンタを0000Hにクリアします。コンペア一致割り込み要求信号（INTTP0CC1）は，16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TP0CCRaレジスタに設定した値は，16ビット・カウンタのカウント値とCCRaバッファ・レジスタの値が一致し，16ビット・カウンタを0000Hにクリアするタイミングで CCRaバッファ・レジスタに転送されます。

備考　a = 0, 1

図7－26　PWM出力モード動作時のレジスタ設定内容（1/2）

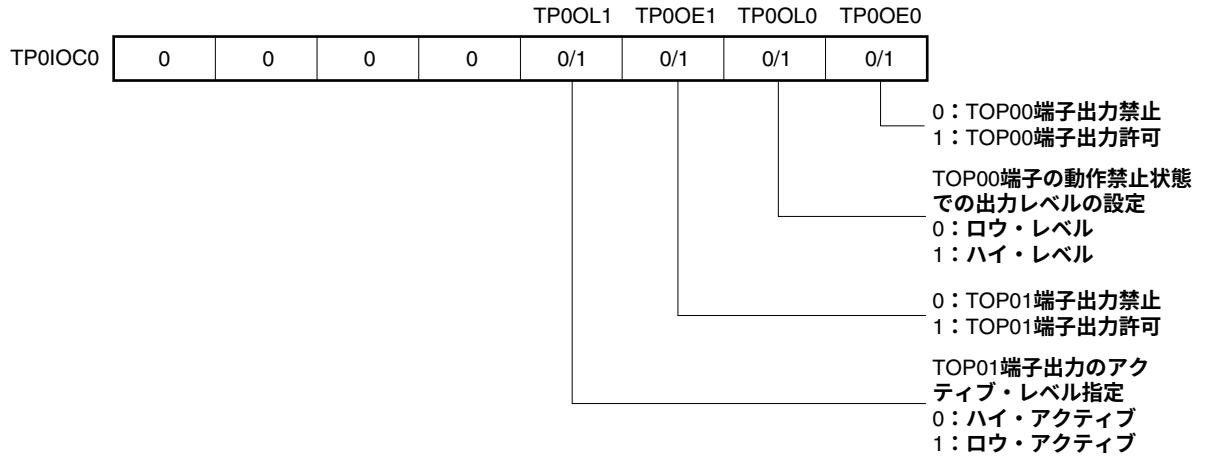
（a）TMP0制御レジスタ0（TP0CTL0）



注　TP0CTL1.TP0EEEビット = 1のときは設定が無効になります。

（b）TMP0制御レジスタ1（TP0CTL1）

（c）TMP0I/O制御レジスタ0（TP0IOC0）



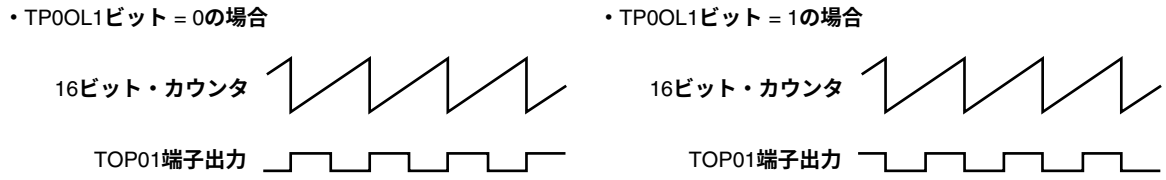


図7－26　PWM出力モード動作時のレジスタ設定内容（2/2）

（d）TMP0I/O制御レジスタ2（TP0IOC2）

					TP0EES1	TP0EES0	TP0ETS1	TP0ETS0
TP0IOC2	0	0	0	0	0/1	0/1	0	0

外部イベント・カウント入力有効エッジの選択

（e）TMP0カウンタ・リード・バッファ・レジスタ（TP0CNT）

TP0CNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

（f）TMP0キャプチャ／コンペア・レジスタ0, 1（TP0CCR0, TP0CCR1）

TP0CCR0レジスタにD_0を設定し，TP0CCR1レジスタにD_1を設定した場合，

PWM波形の周期 = （D_0＋1）×カウント・クロック周期

PWM波形のアクティブ・レベル幅 = D_1×カウント・クロック周期

となります。

備考　TMP0I/O制御レジスタ1（TP0IOC1），TMP0オプション・レジスタ0（TP0OPT0）は，PWM出力モードでは使用しません。

（1）PWM出力モード動作フロー

図7－27　PWM出力モード使用時のソフトウエア処理フロー（1/2）

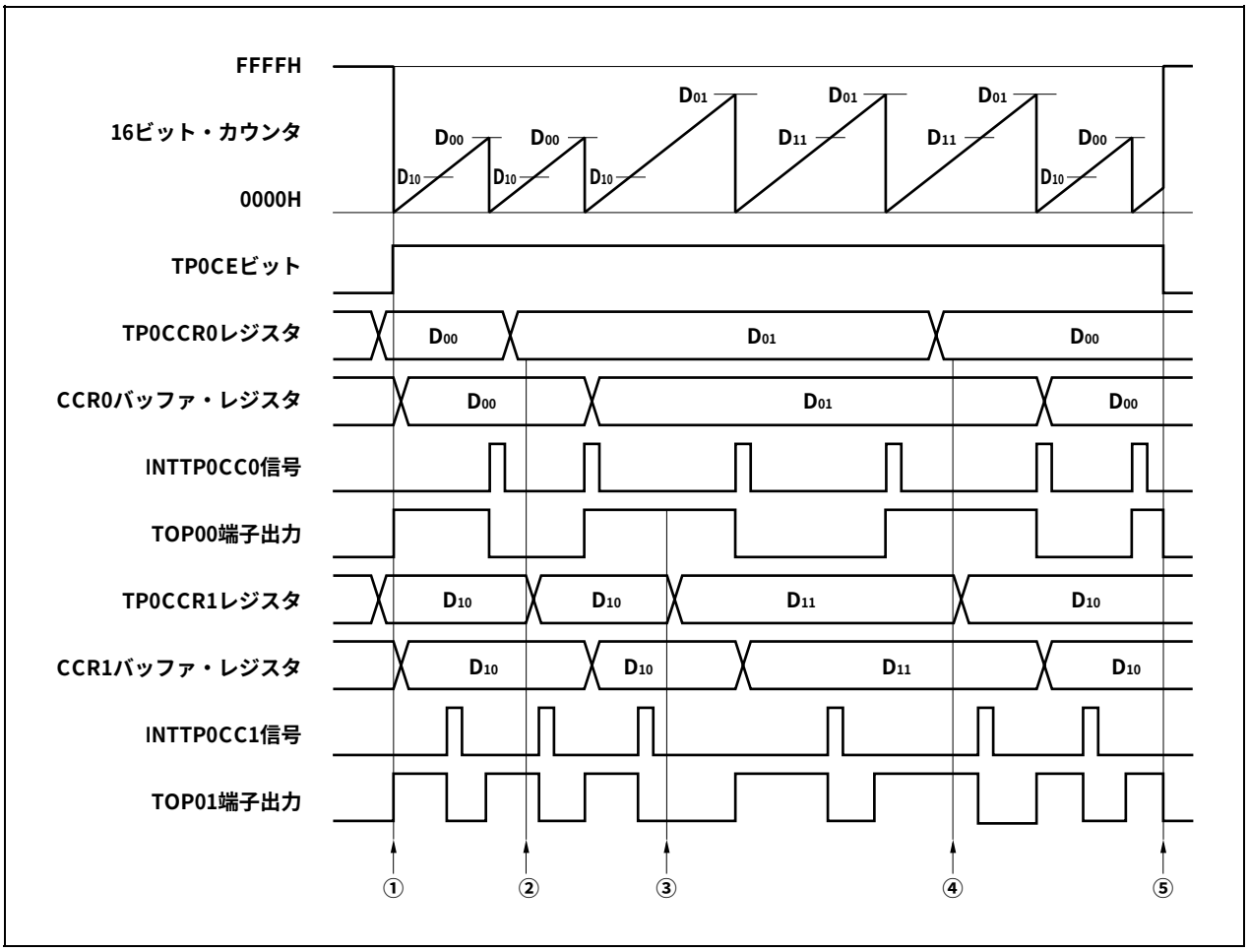
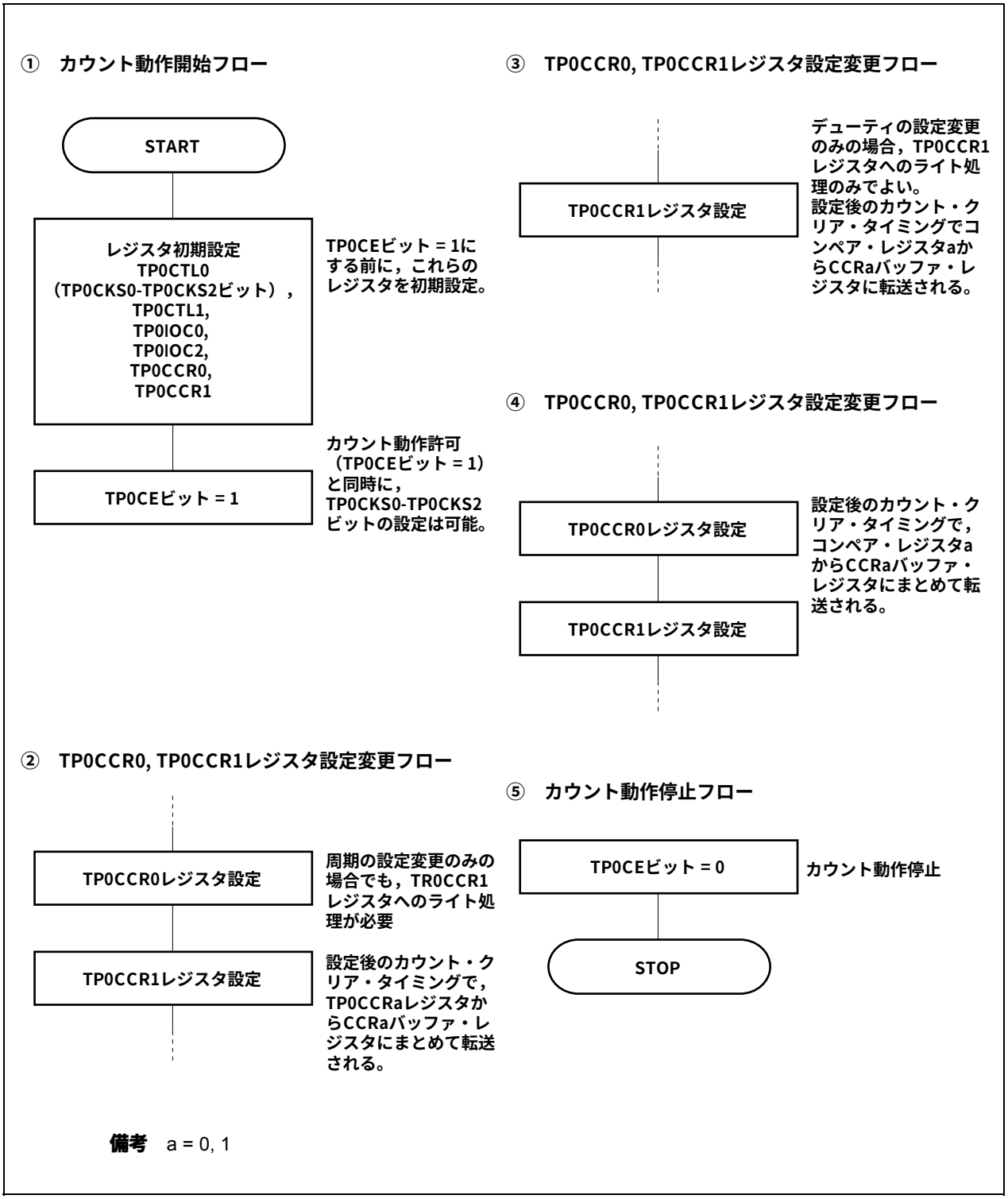


図7－27　PWM出力モード使用時のソフトウエア処理フロー（2/2）



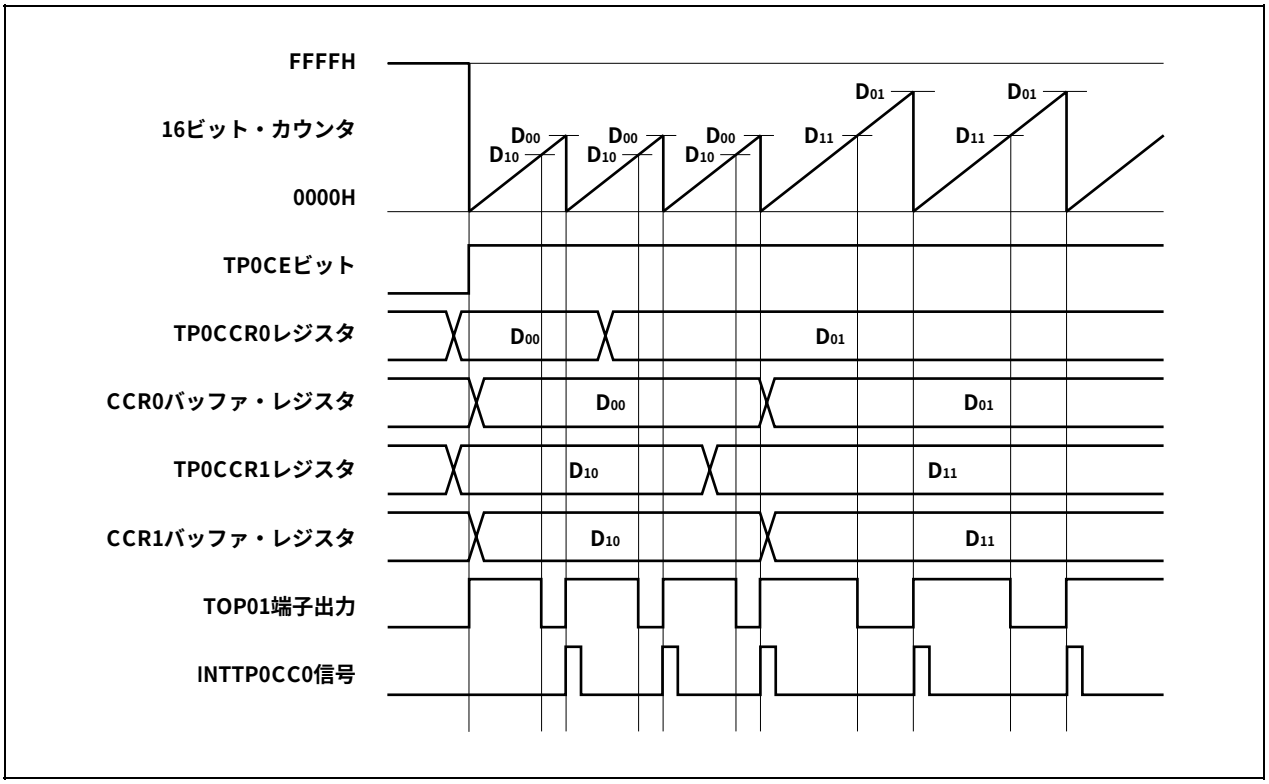
備考　a = 0, 1

(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には，最後にTP0CCR1レジスタにライトしてください。

TP0CCR1レジスタにライト後，再度TP0CCRaレジスタの書き換えを行う場合には，INTTP0CC1信号を検出後に書き換えてください。



TP0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには，TP0CCR1レジスタに対してライトする必要があります。

このとき，PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には，まずTP0CCR0レジスタに周期を設定し，そのあとでTP0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には，まずTP0CCR0レジスタに周期を設定し，そのあとでTP0CCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は，TP0CCR1レジスタのみの設定でかまいません。

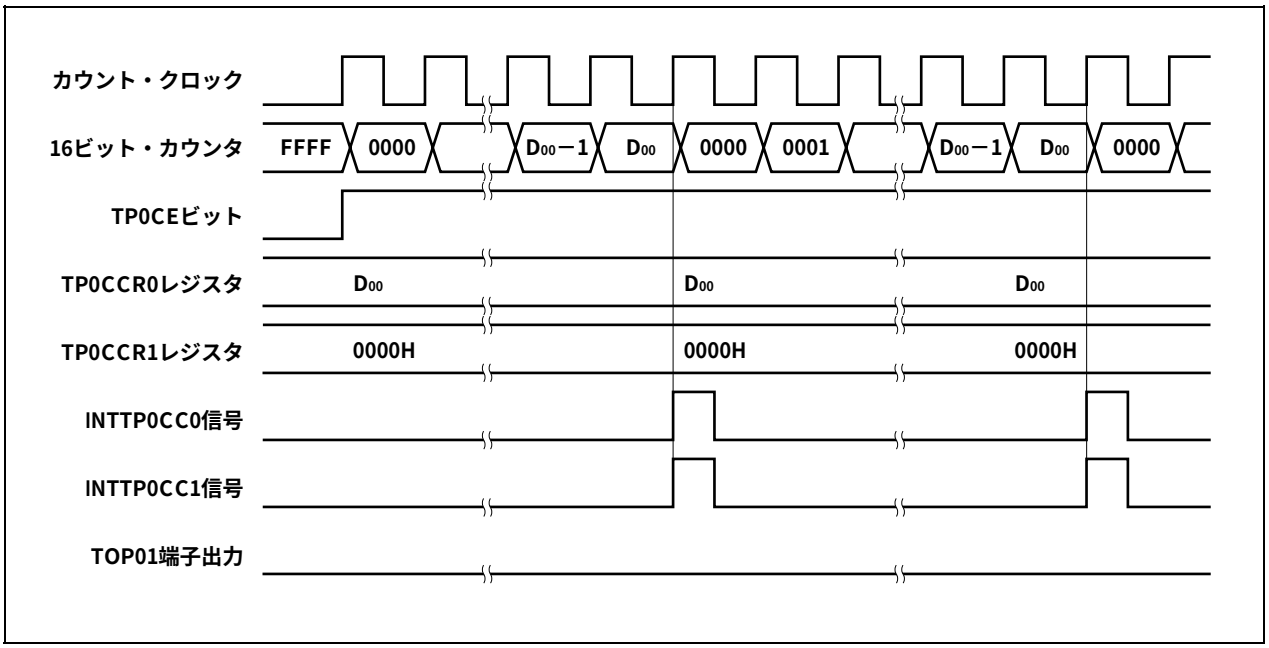
TP0CCR1レジスタにライトしたあと，16ビット・カウンタのクリア・タイミングに同期して，TP0CCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され，16ビット・カウンタとのコンペア値となります。

また，一度TP0CCR1レジスタにライトしたあとで，再度TP0CCR0，またはTP0CCR1レジスタへのライトを行う場合は， INTTP0CC0信号の発生後に行ってください。これを守れない場合には，TP0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと，TP0CCRaレジスタの書き換えの競合により，CCRaバッファ・レジスタの値が不定値になる場合があります。

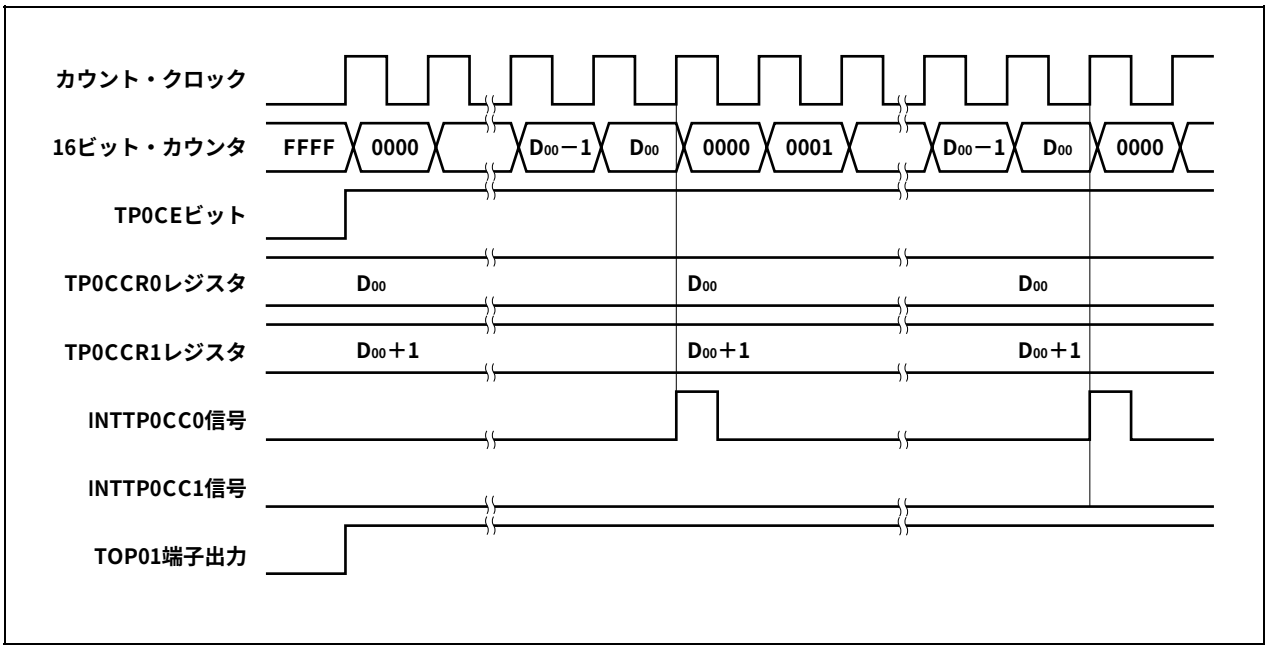
備考　a = 0, 1

（b）PWM波形の0 %／100 %出力

0 %波形を出力するためには，TP0CCR1レジスタに対して0000Hを設定します。ただし，TP0CCR0レジスタの設定値がFFFFHの場合には，INTTP0CC1信号が定期的に発生します。

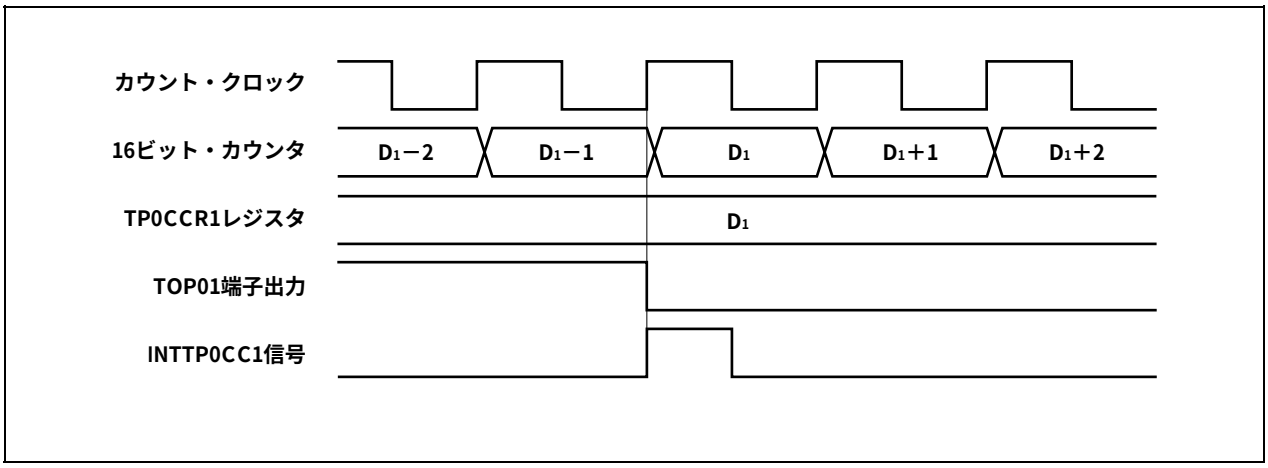


100 %波形を出力するためには，TP0CCR1レジスタに対して（TP0CCR0レジスタの設定値＋1）の値を設定してください。TP0CCR0レジスタの設定値がFFFFHの場合には，100 %出力はできません。



(c) コンペア一致割り込み要求信号（INTTP0CC1）の発生タイミング

PWM出力モードにおけるINTTP0CC1信号の発生タイミングは，ほかのINTTP0CC1信号と異なり，16ビット・カウンタのカウント値とTP0CCR1レジスタの値との一致と同時に発生します。



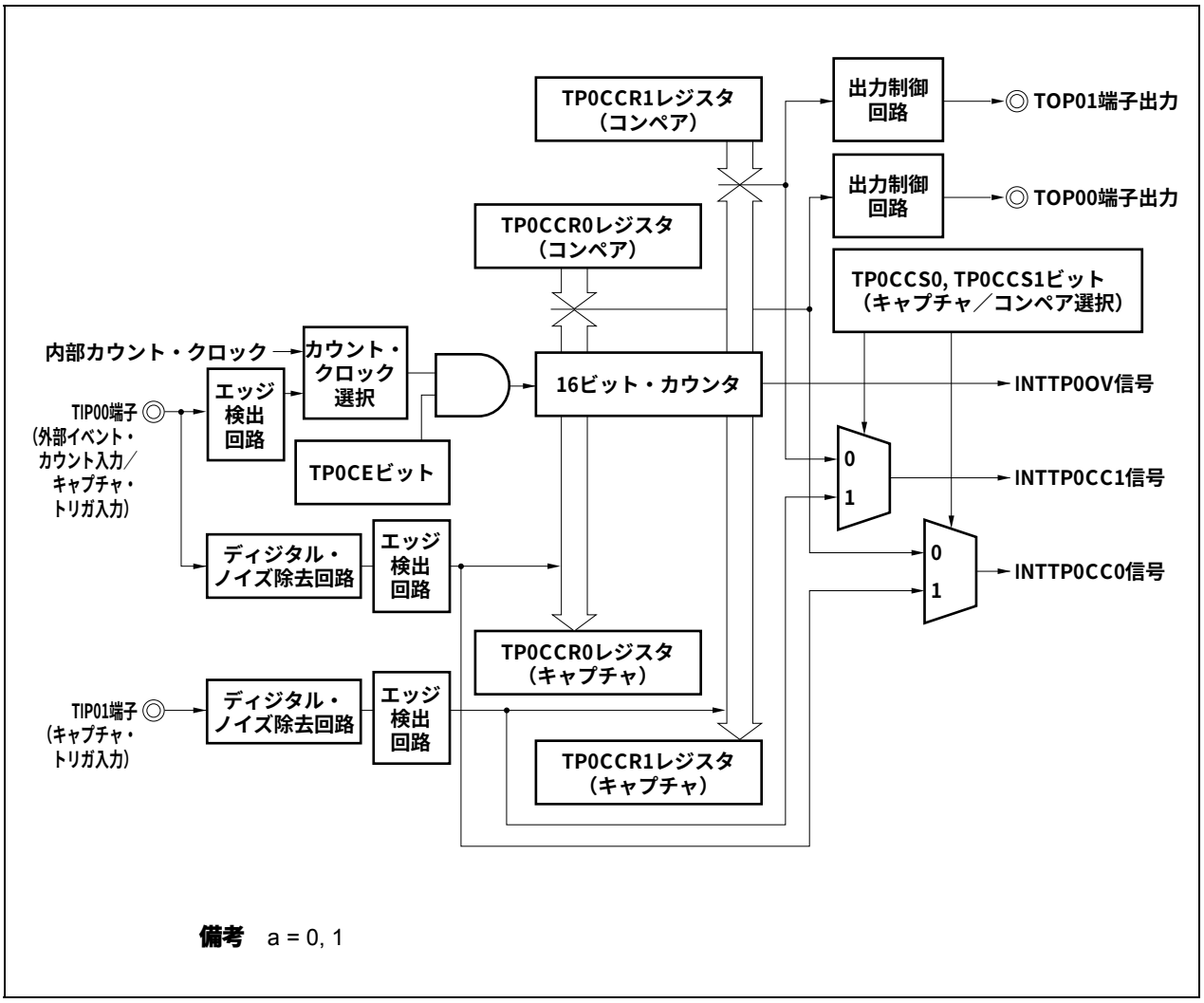
通常，INTTP0CC1信号は，16ビット・カウンタのカウント値とTP0CCR1レジスタの値との一致後，次のカウント・アップに同期して発生します。

しかし，PWM出力モードの場合，1クロック早いタイミングで発生します。これは，TOP01端子出力の変化タイミングとあわせるために，タイミングを変更しているからです。

7. 5. 6　フリー・ランニング・タイマ・モード（TP0MD2-TP0MD0ビット = 101）

フリー・ランニング・タイマ・モードは，TP0CTL0.TP0CEビットをセット（1）することでカウント動作を開始します。このときのTP0CCRaレジスタの動作は，TP0OPT0.TP0CCS0, TP0CCS1ビットの設定により，コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図7－28　フリー・ランニング・タイマ・モードの構成図



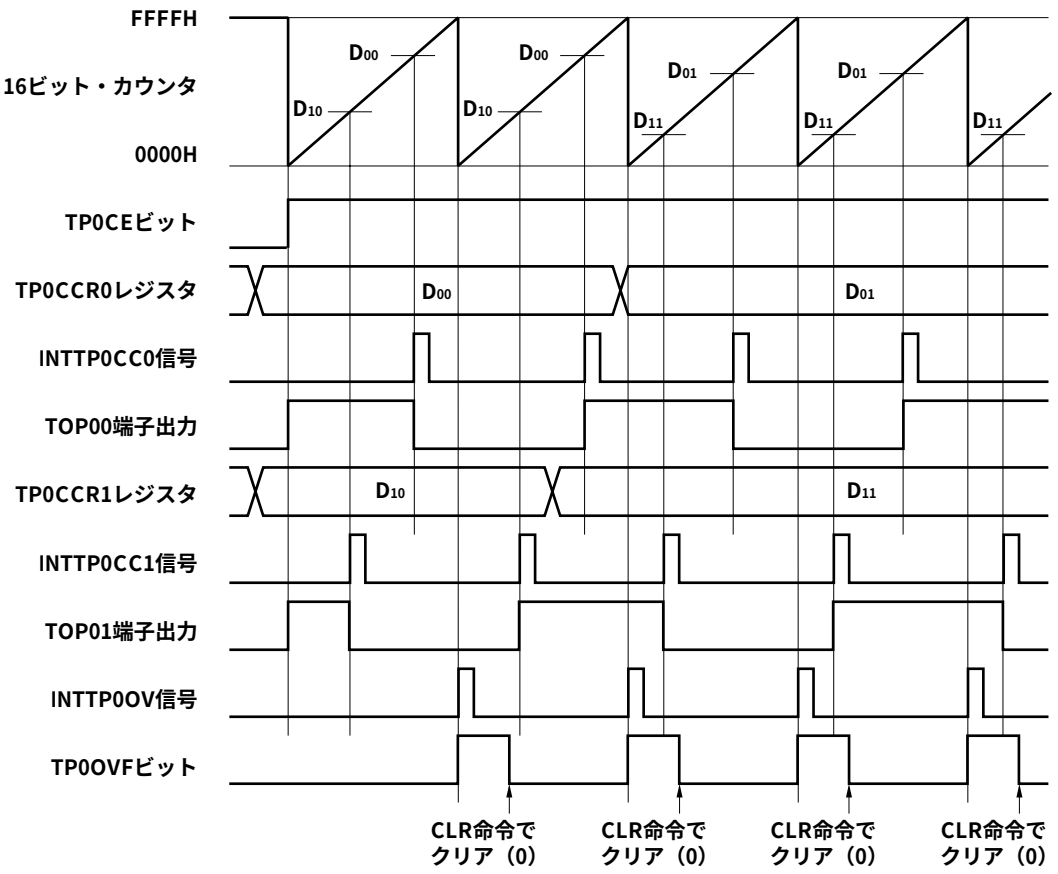
備考　a = 0, 1

TP0CEビットをセット（1）することで，カウント動作を開始し，TOP00, TOP01端子出力を反転します。その後，16ビット・カウンタのカウント値とTP0CCRaレジスタの設定値が一致すると，コンペア一致割り込み要求信号（INTTP0CCa）を発生し，TOP0a端子出力を反転します。

16ビット・カウンタは，カウント・クロックに同期してカウント動作を続け，FFFFHまでカウントすると，次のクロックでオーバフロー割り込み要求信号（INTTP0OV）を発生するとともに，0000Hにクリアしカウント動作を継続します。また，このときオーバフロー・フラグ（TP0OPT0.TP0OVFビット）もセット（1）されます。オーバフロー・フラグは，ソフトウエアでCLR命令を実行してクリア（0）してください。

TP0CCRaレジスタは，カウント動作中の書き換えを許可しています。書き換えた場合，随時書き換えた値が反映され，カウント値と比較されます。

図7－29　フリー・ランニング・タイマ・モードの基本タイミング（コンペア機能）



備考　a = 0, 1

TP0CEビットをセット（1）することで，カウント動作を開始します。その後，TIP0a端子入力の有効エッジを検出することにより，16ビット・カウンタのカウント値をTP0CCRaレジスタに格納し，キャプチャ割り込み要求信号（INTTP0CCa）を発生します。

16ビット・カウンタは，カウント・クロックに同期してカウント動作を続け，FFFFHまでカウントすると，次のクロックでオーバフロー割り込み要求信号（INTTP0OV）を発生するとともに，0000Hにクリアしカウント動作を継続します。また，このときオーバフロー・フラグ（TP0OPT0.TP0OVFビット）もセット（1）されます。オーバフロー・フラグは，ソフトウエアでCLR命令を実行してクリア（0）してください。

図7－30　フリー・ランニング・タイマ・モードの基本タイミング（キャプチャ機能）

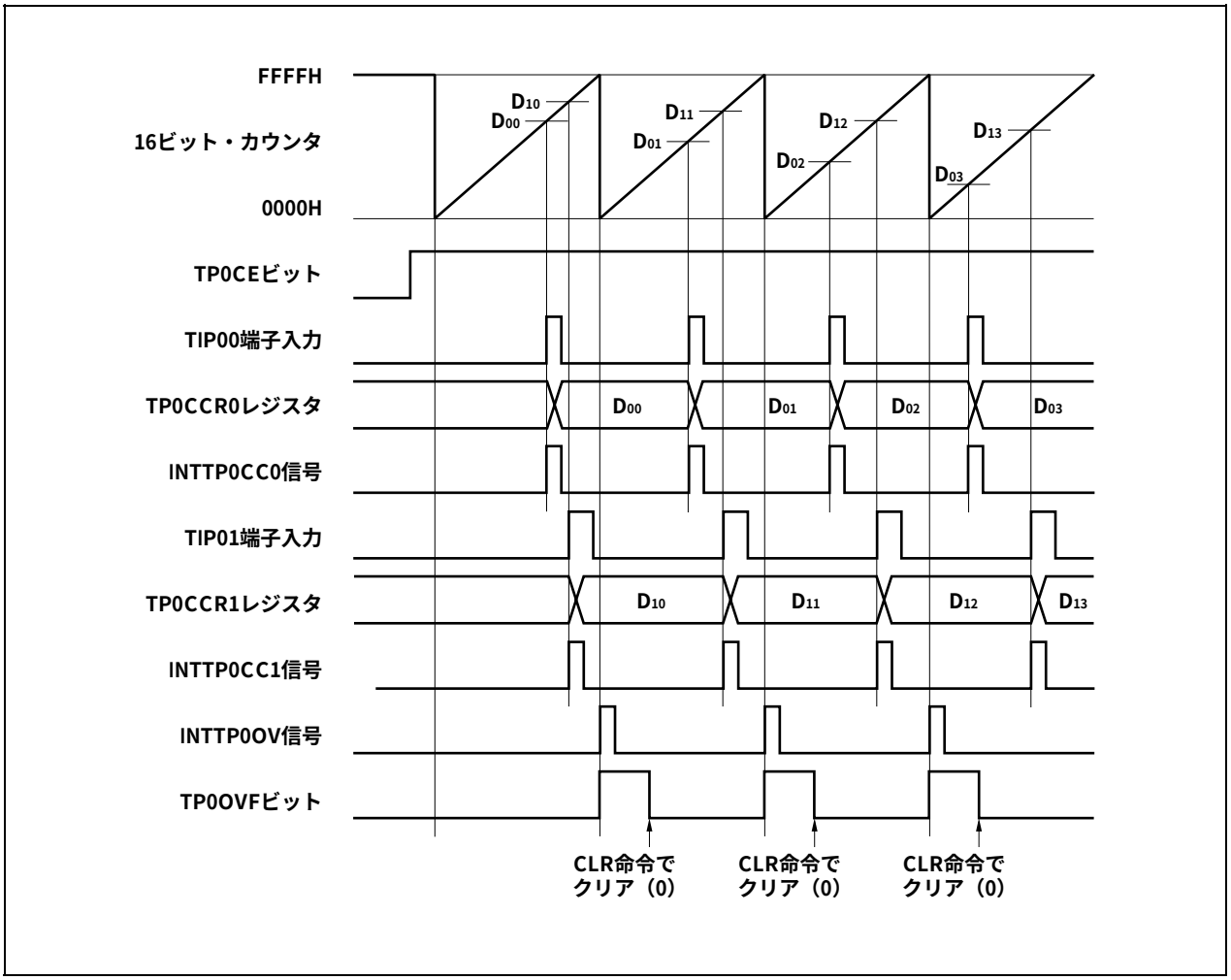


図7－31　フリー・ランニング・タイマモード動作時のレジスタ設定内容（1/2）

（a）TMP0制御レジスタ0（TP0CTL0）

	TP0CE					TP0CKS2	TP0CKS1	TP0CKS0
TP0CTL0	0/1	0	0	0	0	0/1	0/1	0/1

カウント・クロックの選択注

0：カウント動作停止
1：カウント動作許可

注　TP0CTL1.TP0EEEビット = 1のときは設定が無効になります。

（b）TMP0制御レジスタ1（TP0CTL1）

		TP0EST	TP0EEE			TP0MD2	TP0MD1	TP0MD0
TP0CTL1	0	0	0/1	0	0	1	0	1

1, 0, 1：
フリー・ランニング・モード

0：TP0CKS0-TP0CKS2ビットで選択したカウント・クロックで動作
1：外部イベント・カウント入力信号でカウント動作

（c）TMP0I/O制御レジスタ0（TP0IOC0）

					TP0OL1	TP0OE1	TP0OL0	TP0OE0
TP0IOC0	0	0	0	0	0/1	0/1	0/1	0/1

0：TOP00端子出力禁止
1：TOP00端子出力許可

TOP00端子の動作禁止状態での出力レベルの設定
0：ロウ・レベル
1：ハイ・レベル

0：TOP01端子出力禁止
1：TOP01端子出力許可

TOP01端子の動作禁止状態での出力レベルの設定
0：ロウ・レベル
1：ハイ・レベル

図7－31　フリー・ランニング・タイマ・モード動作時のレジスタ設定内容（2/2）

（d）TMP0I/O制御レジスタ1（TP0IOC1）

					TP0IS3	TP0IS2	TP0IS1	TP0IS0
TP0IOC1	0	0	0	0	0/1	0/1	0/1	0/1

TIP00端子入力有効エッジの選択

TIP01端子入力有効エッジの選択

（e）TMP0I/O制御レジスタ2（TP0IOC2）

					TP0EES1	TP0EES0	TP0ETS1	TP0ETS0
TP0IOC2	0	0	0	0	0/1	0/1	0	0

外部イベント・カウント入力有効エッジの選択

（f）TMP0オプション・レジスタ0（TP0OPT0）

			TP0CCS1	TP0CCS0				TP0OVF
TP0OPT0	0	0	0/1	0/1	0	0	0	0/1

オーバフロー・フラグ

TP0CCR0レジスタのキャプチャ／コンペア選択ビット

TP0CCR1レジスタのキャプチャ／コンペア選択ビット

（g）TMP0カウンタ・リード・バッファ・レジスタ（TP0CNT）

TP0CNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

（h）TMP0キャプチャ／コンペア・レジスタ0, 1（TP0CCR0, TP0CCR1）

TP0OPT0.TP0CCSaビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には，TIP0a端子入力の有効エッジ検出により，16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には，TP0CCRaレジスタにD_aを設定した場合，カウンタが（D_a＋1）になるタイミングでINTTP0CCa信号を発生し，TOP0a端子出力を反転します。

備考　a = 0, 1

（1）フリー・ランニング・タイマ・モード動作フロー

（a）キャプチャ／コンペア・レジスタをコンペア・レジスタとして使用した場合

図7－32　フリー・ランニング・タイマ・モード使用時のソフトウエア処理フロー（コンペア機能）（1/2）

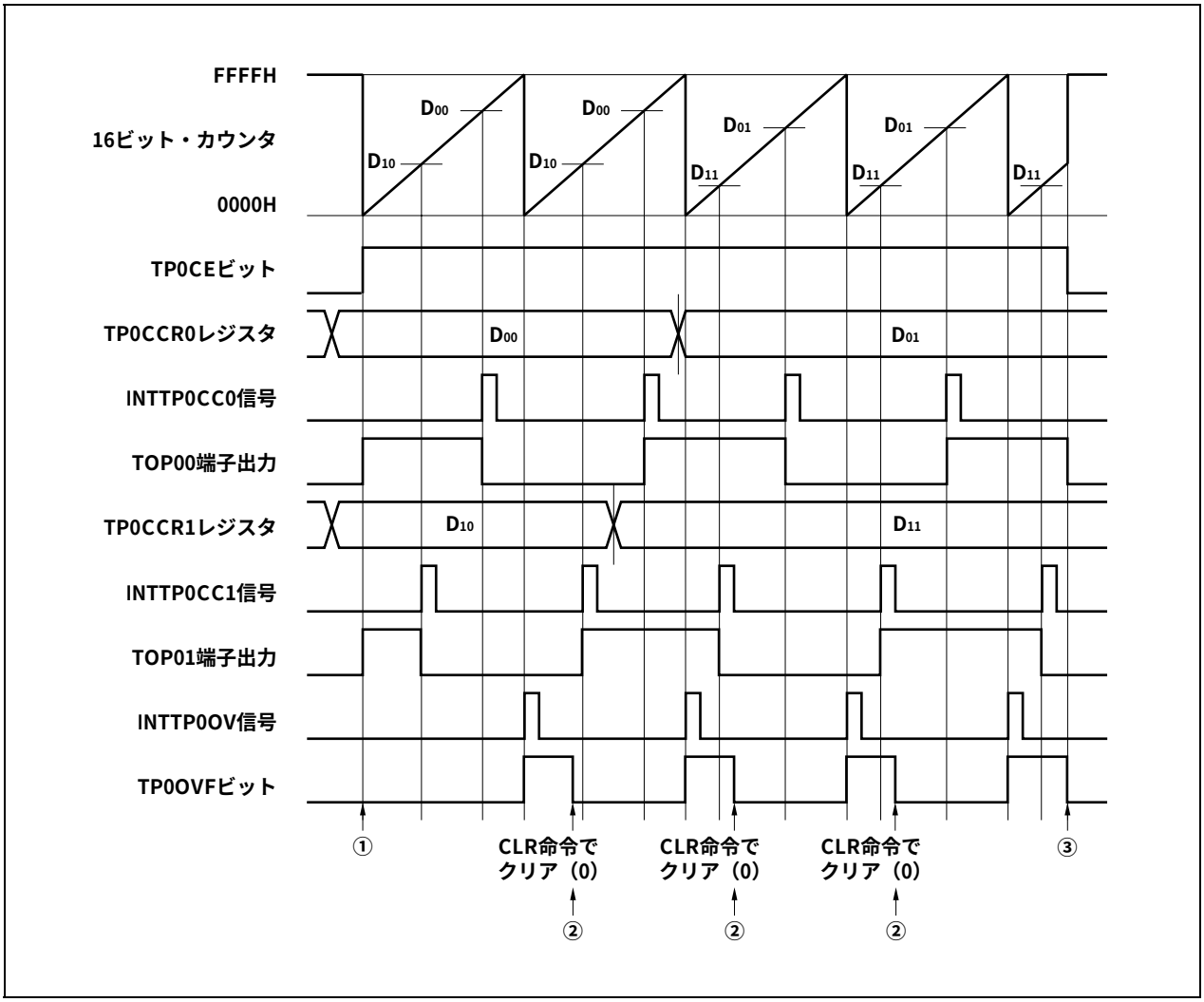
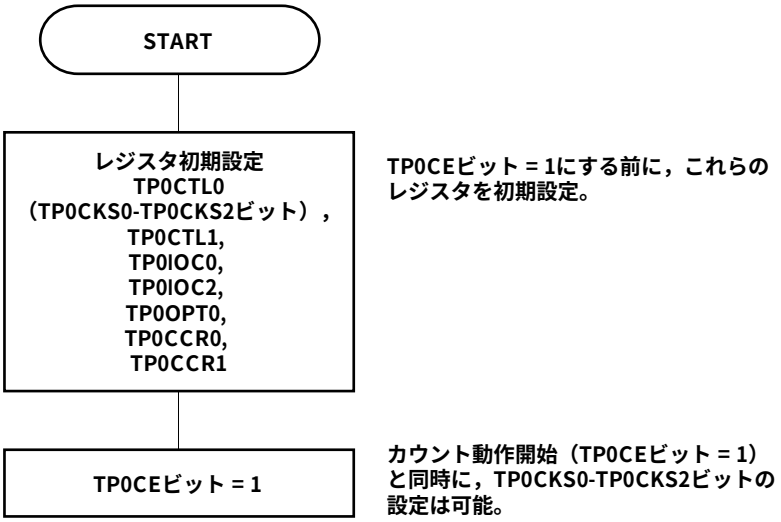
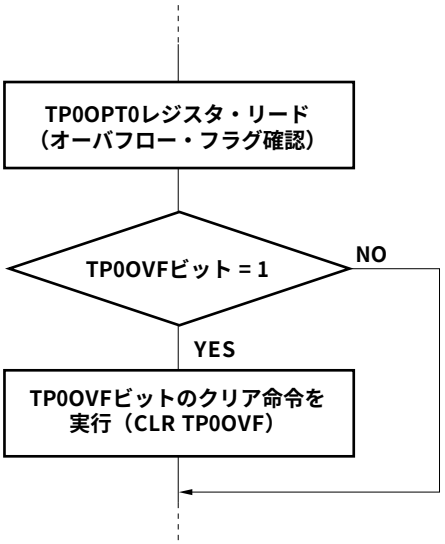


図7－32　フリー・ランニング・タイマ・モード使用時のソフトウエア処理フロー（コンペア機能）（2/2）

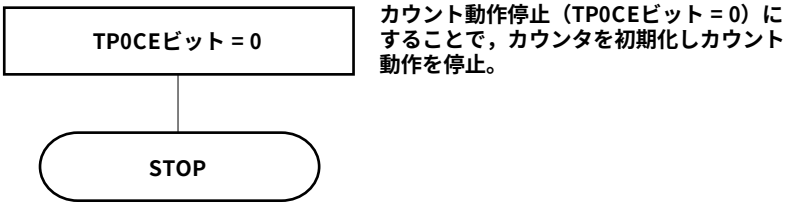
① カウント動作開始フロー



② オーバフロー・フラグ・クリア・フロー



③ カウント動作停止フロー



（b）キャプチャ／コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図7－33　フリー・ランニング・タイマ・モード使用時のソフトウエア処理フロー（キャプチャ機能）（1/2）

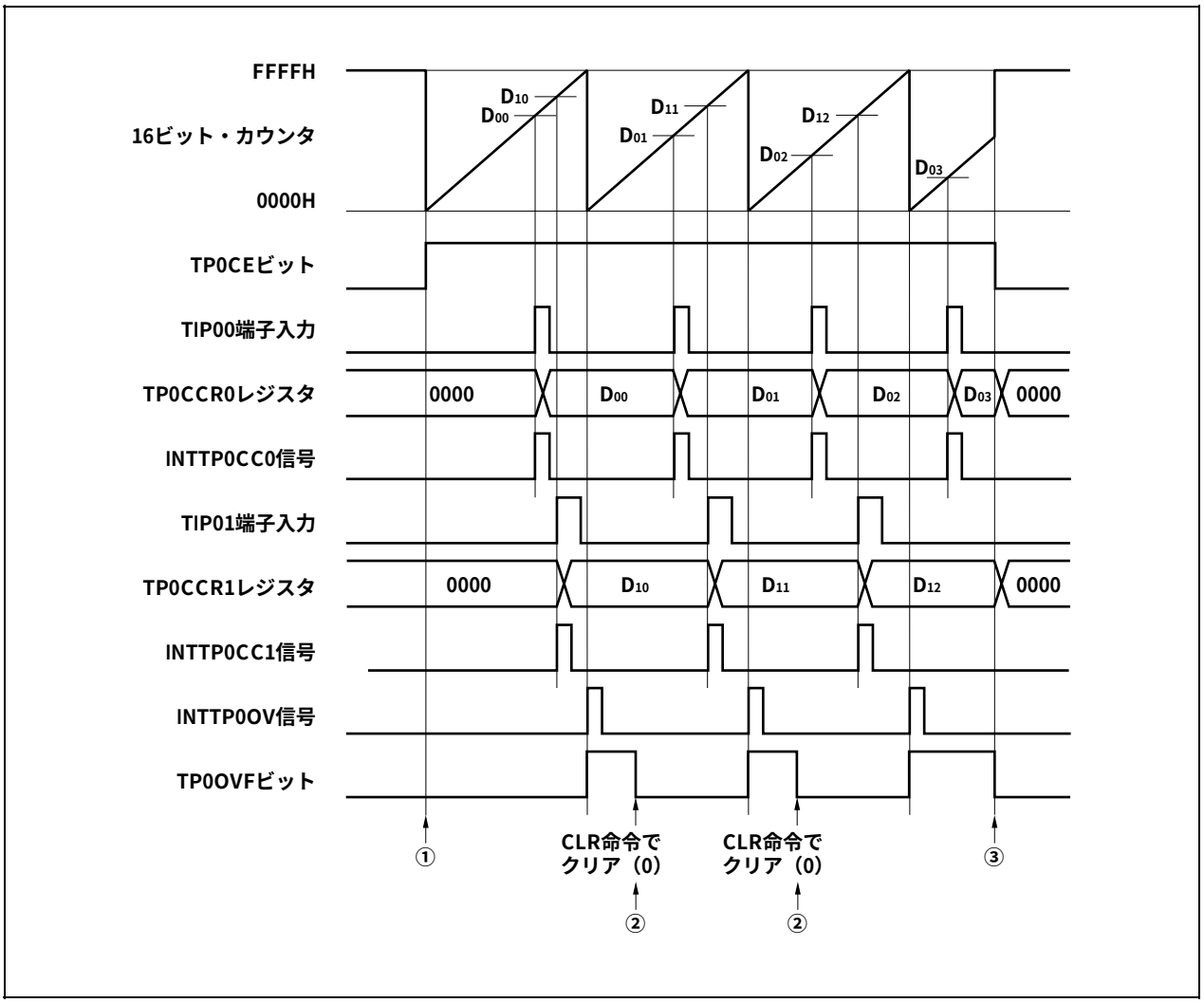
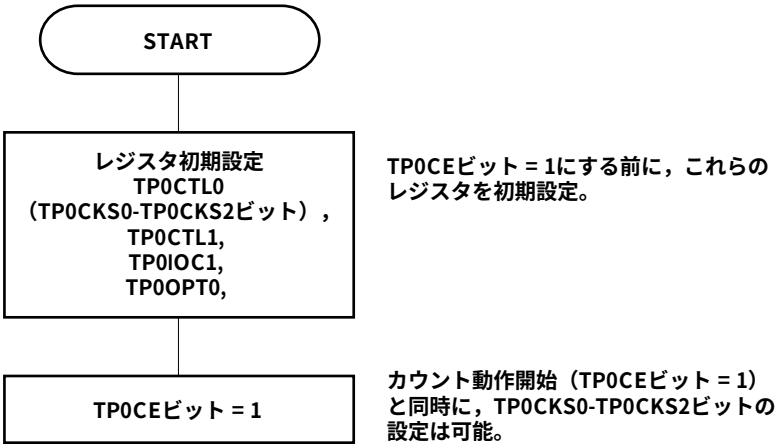
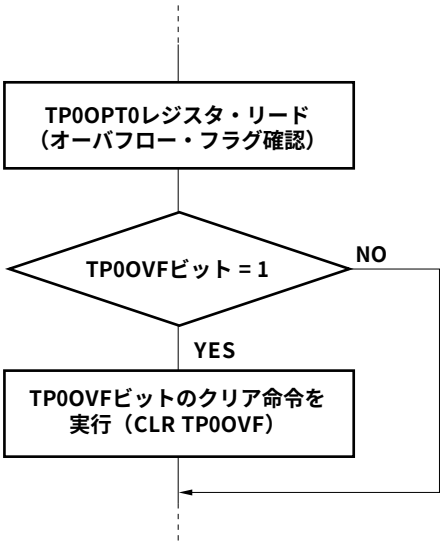


図7－33　フリー・ランニング・タイマ・モード使用時のソフトウエア処理フロー（キャプチャ機能）（2/2）

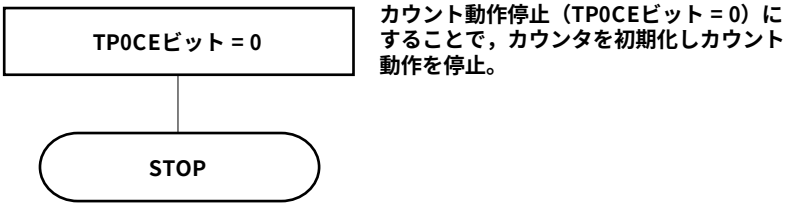
① カウント動作開始フロー



② オーバフロー・フラグ・クリア・フロー



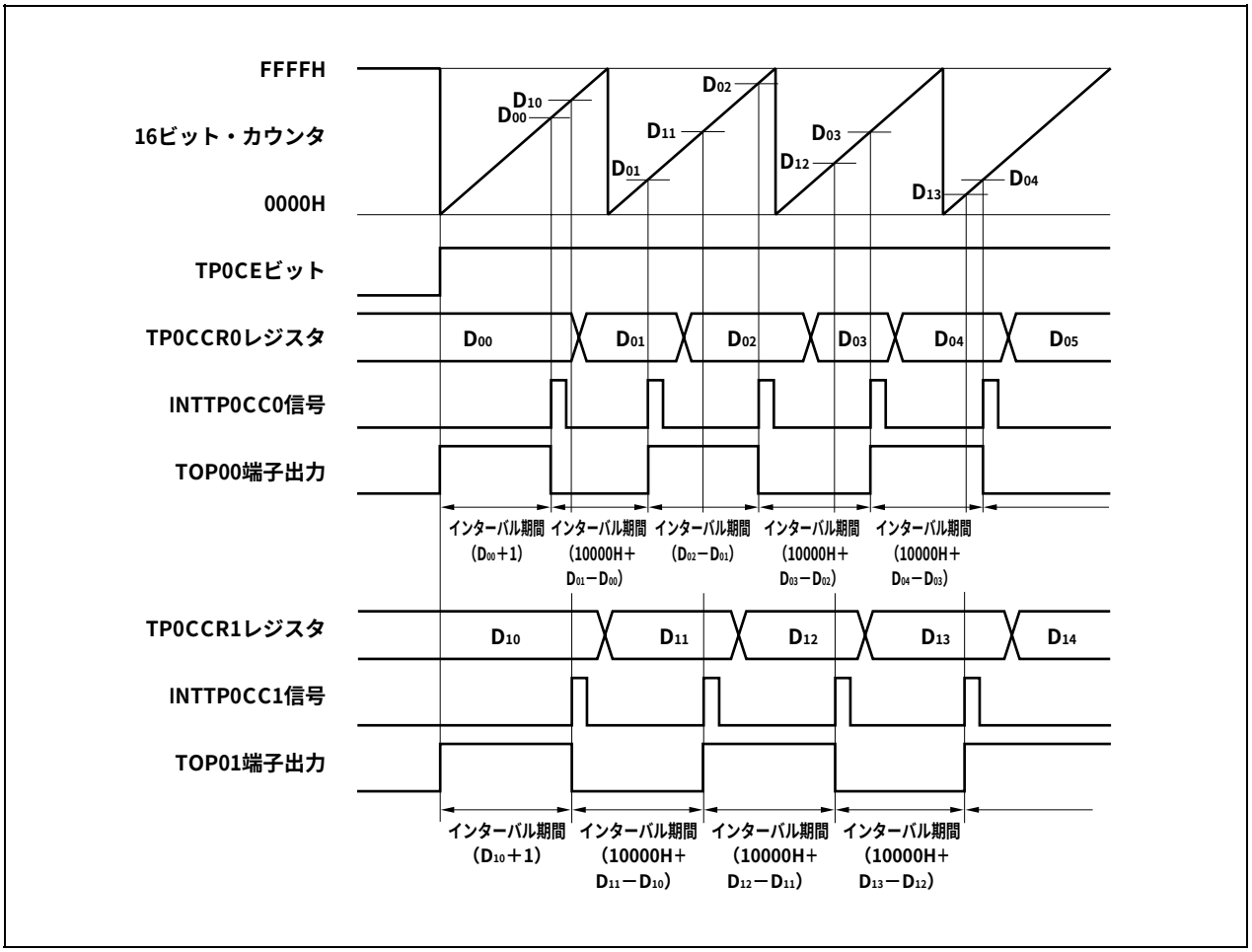
③ カウント動作停止フロー



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し，インターバル動作をさせる場合

TP0CCRaレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合，INTTP0CCa信号を検出するごとに，次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウエア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合，1チャネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合，INTTP0CCa信号を検出したときの割り込み処理中に，対応するTP0CCRaレジスタの値を再設定する必要があります。

再設定する場合の設定値は，インターバル期間を“D_a”とすると，次のように求められます。

コンペア・レジスタ初期値：D_a-1

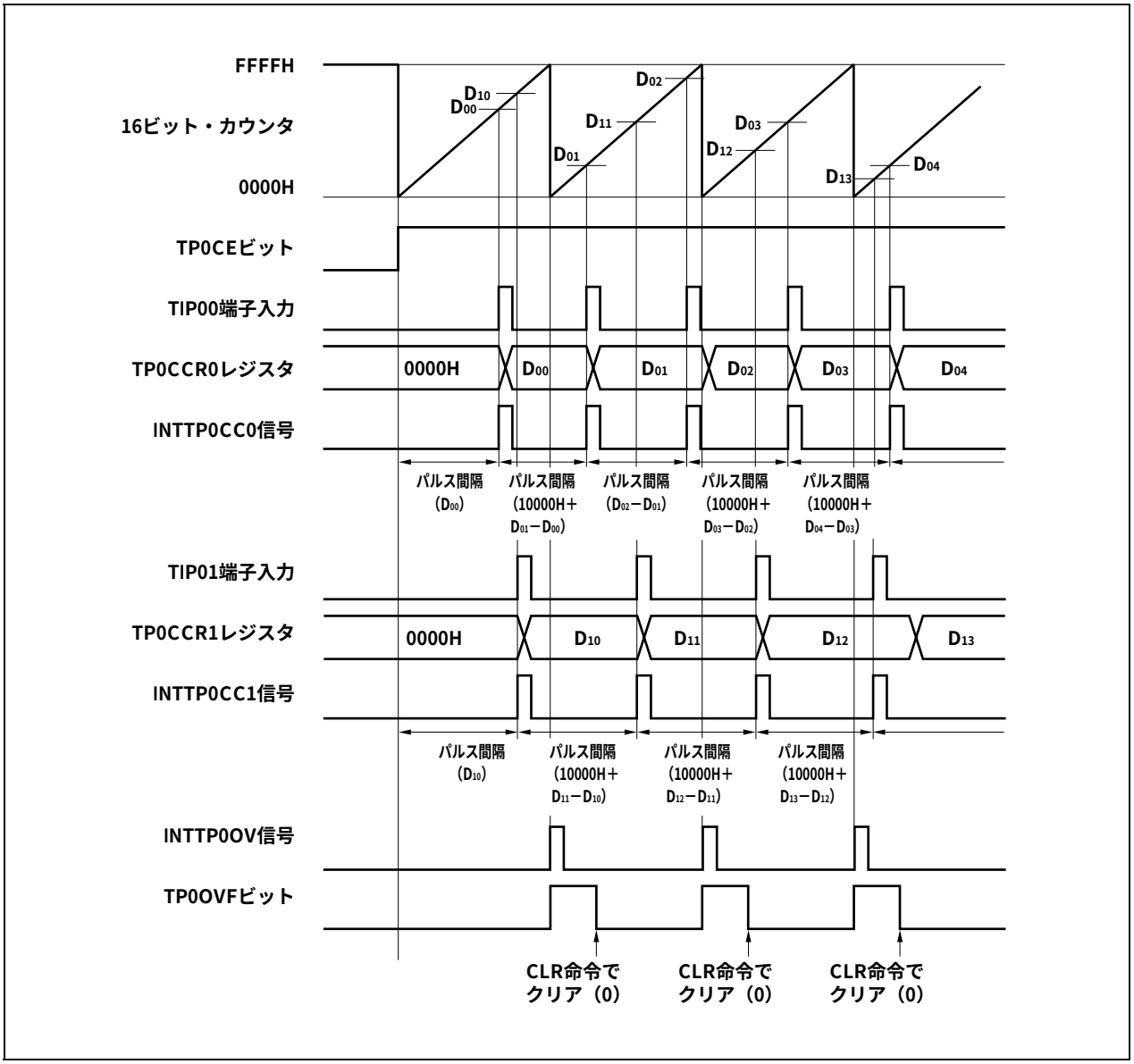
2回目以降のコンペア・レジスタ設定値 ＝ 前回の設定値＋D_a

（演算結果がFFFFHよりも大きい場合には，演算結果から10000Hを引いた値を設定してください）

備考　a = 0, 1

(b) キャプチャ・レジスタとして使用し，パルス幅測定をさせる場合

TP0CCRaレジスタをキャプチャ・レジスタとして使用し，パルス幅測定を行う場合，INTTP0CCa信号を検出するごとに，キャプチャ・レジスタをリードし，間隔を算出するソフトウエア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合，1チャネルで2つのパルス幅測定ができます。

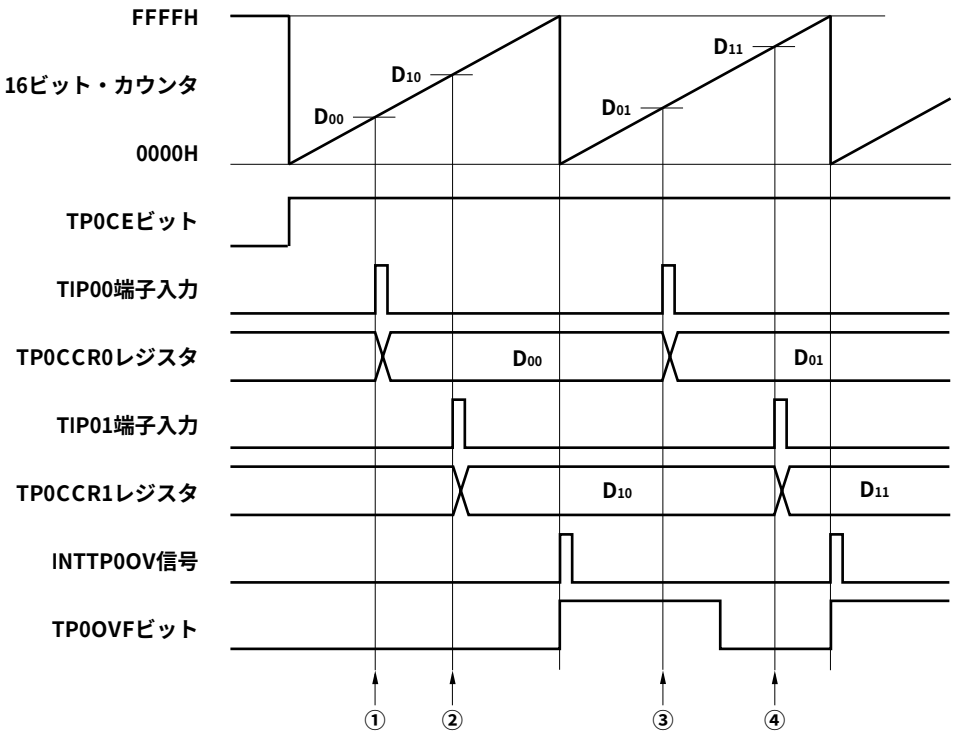
パルス幅測定を行う場合，INTTP0CCa信号に同期してTP0CCRaレジスタの値をリードし，同一キャプチャ・レジスタの前回のリード・データとの差分を求めることでパルス幅を算出できます。

備考　a = 0, 1

（c）2つのキャプチャ・レジスタを使用した場合のオーバフローの処理方法

2つのキャプチャを使用する場合には，オーバフロー・フラグの処理に注意が必要です。まず悪い例を，次に示します。

2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合，次のような問題が起こる場合があります。

① TP0CCR0レジスタをリードする（TIP00端子入力の初期値設定）。

② TP0CCR1レジスタをリードする（TIP01端子入力の初期値設定）。

③ TP0CCR0レジスタをリードする。
オーバフロー・フラグをリードする。→オーバフロー・フラグが“1”だった場合，クリア（0）する。
オーバフロー・フラグが“1”なので，パルス幅は（10000H＋D_{01}－D_{00}）で求められます。

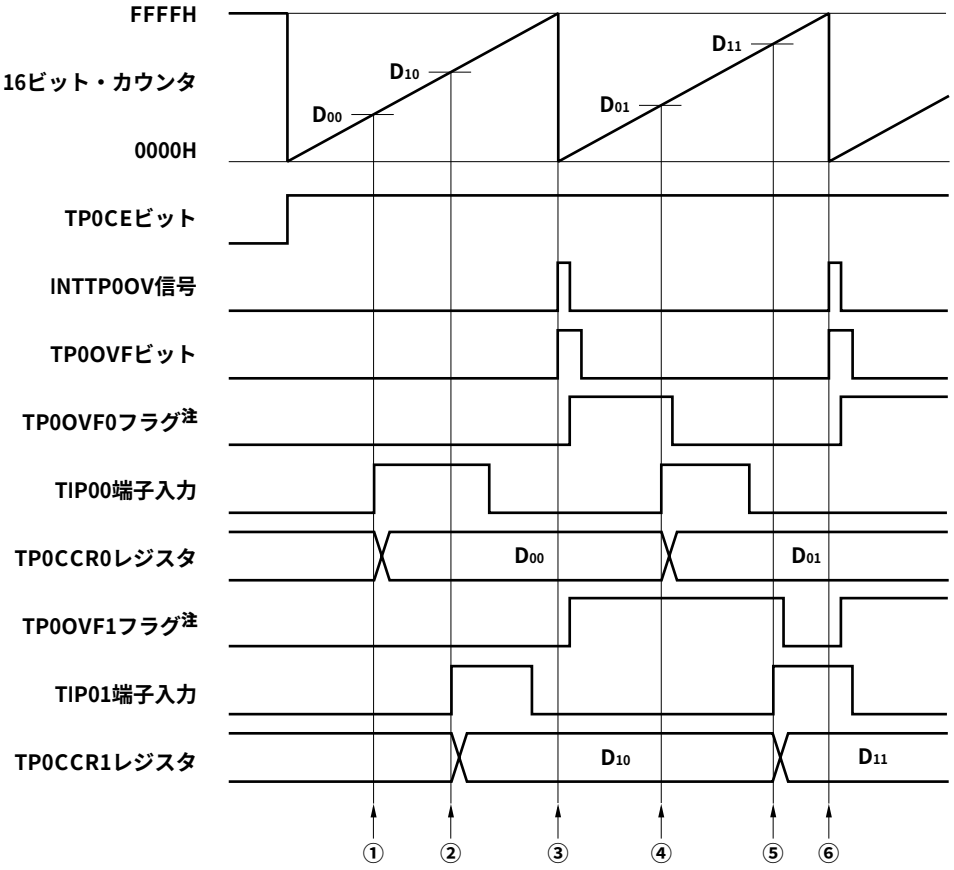
④ TP0CCR1レジスタをリードする。
オーバフロー・フラグをリードする。→③でクリア（0）されているため，0がリードされます。
オーバフロー・フラグが“0”なので，パルス幅は（D_{11}－D_{10}）で求められます（NG）。

このように，2つのキャプチャを使用する場合に，1つのキャプチャでオーバフロー・フラグをクリア（0）してしまうと，もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には，ソフトウエアで対応してください。次に，ソフトウエア対応例を示します。

（1/2）

2つのキャプチャを使用するときの対応例（オーバフロー割り込みを使用）



注　TP0OVF0, TP0OVF1フラグは，ソフトウエアにより，内蔵RAM上に任意に設定したものです。

① TP0CCR0レジスタをリードする（TIP00端子入力の初期値設定）。

② TP0CCR1レジスタをリードする（TIP01端子入力の初期値設定）。

③ オーバフローが発生する。オーバフロー割り込み処理の中で，TP0OVF0, TP0OVF1フラグをセット（1）し，オーバフロー・フラグをクリア（0）する。

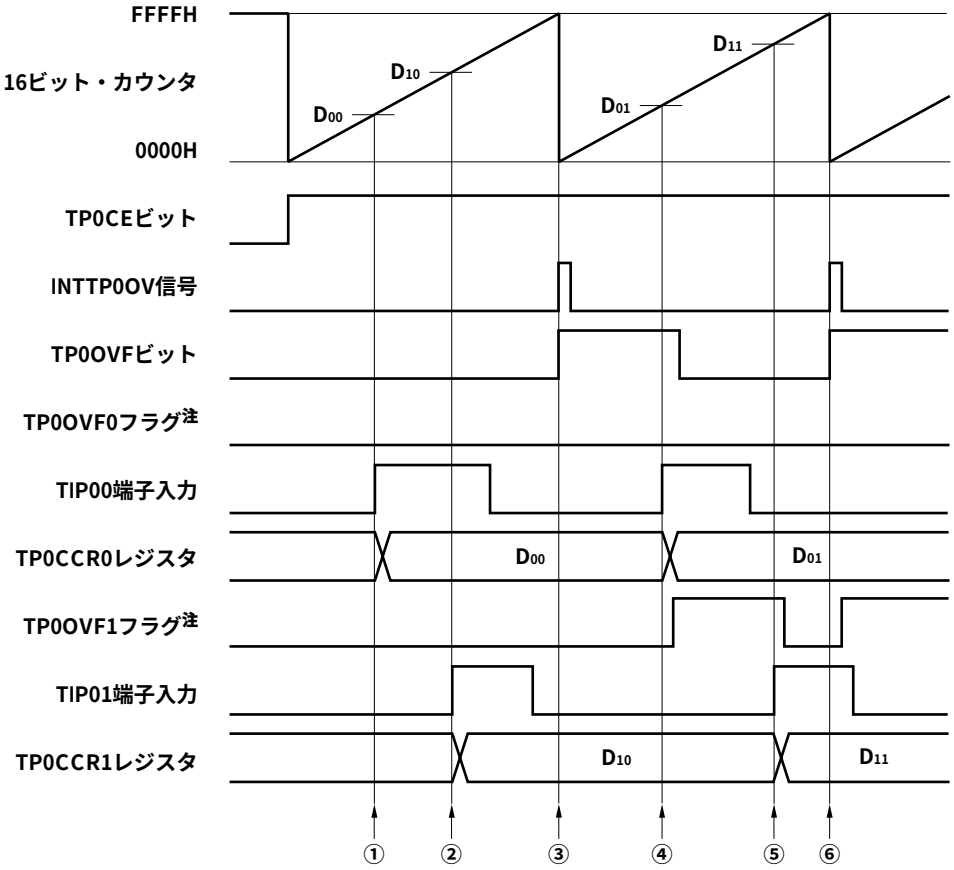
④ TP0CCR0レジスタをリードする。
TP0OVF0フラグをリードする。→TP0OVF0フラグが“1”だった場合，クリア（0）する。
TP0OVF0フラグが“1”なので，パルス幅は（10000H＋D_{01}－D_{00}）で求められます。

⑤ TP0CCR1レジスタをリードする。
TP0OVF1フラグをリードする。→TP0OVF1フラグが“1”だった場合，クリア（0）する（④でクリア（0）されたのはTP0OVF0フラグであり，TP0OVF1フラグは“1”のまま）。
TP0OVF1フラグが“1”なので，パルス幅は（10000H＋D_{11}－D_{10}）で求められます（OK）。

⑥ ③と同じです。

（2/2）

2つのキャプチャを使用するときの対応例（オーバフロー割り込みを使用しない）



注　TP0OVF0, TP0OVF1フラグは，ソフトウエアにより，内蔵RAM上に任意に設定したものです。

① TP0CCR0レジスタをリードする（TIP00端子入力の初期値設定）。

② TP0CCR1レジスタをリードする（TIP01端子入力の初期値設定）。

③ オーバフローが発生する。ソフトウエアでは何もしない。

④ TP0CCR0レジスタをリードする。
オーバフロー・フラグをリードする。→オーバフロー・フラグが“1”だった場合，TP0OVF1フラグのみをセット（1）し，オーバフロー・フラグをクリア（0）する。
オーバフロー・フラグが“1”なので，パルス幅は（10000H＋D_{01}－D_{00}）で求められます。

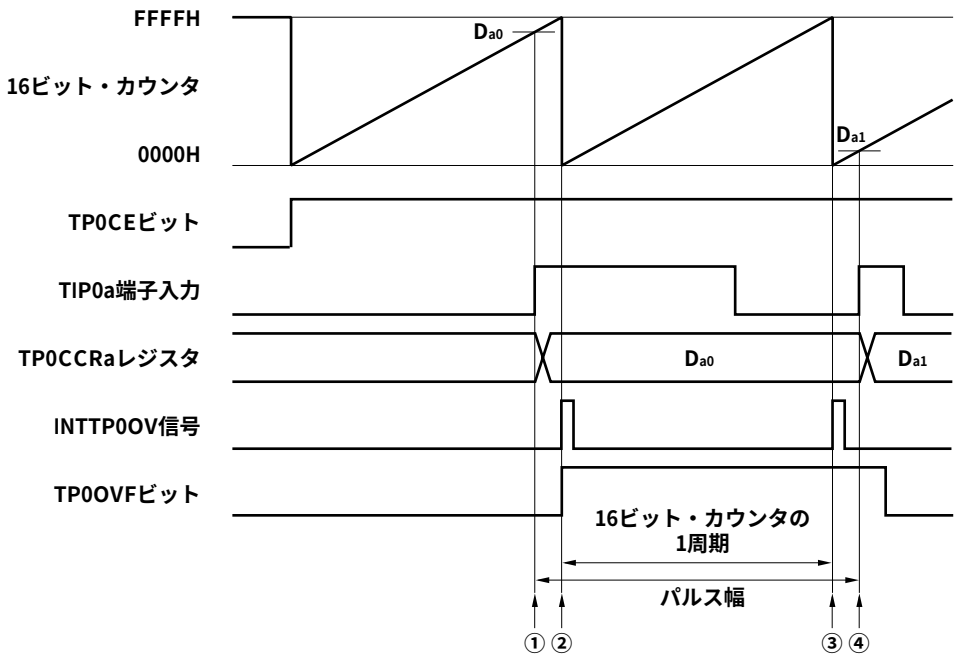
⑤ TP0CCR1レジスタをリードする。
オーバフロー・フラグをリードする。オーバフロー・フラグは④でクリア（0）されているので“0”がリードされる。
TP0OVF1フラグをリードする。→TP0OVF1フラグが“1”だった場合，クリア（0）する。
TP0OVF1フラグが“1”なので，パルス幅は（10000H＋D_{11}－D_{10}）で求められます（OK）。

⑥ ③と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合，キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を，次に示します。

キャプチャ・トリガの間隔が長いときの悪い例



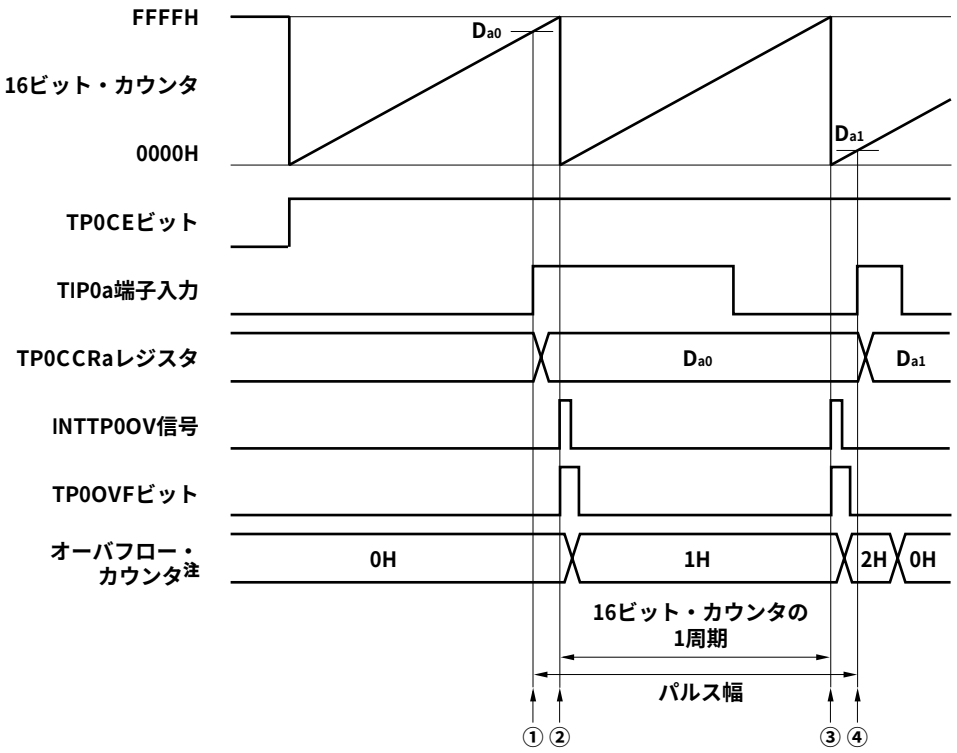
フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合，次のような問題が起こる場合があります。

① TP0CCRaレジスタをリードする（TIP0a端子入力の初期値設定）。
② オーバフローが発生する。ソフトウエアでは何もしない。
③ 2回目のオーバフローが発生する。ソフトウエアでは何もしない。
④ TP0CCRaレジスタをリードする。
オーバフロー・フラグをリードする。→オーバフロー・フラグが“1”だった場合，クリア（0）する。
オーバフロー・フラグが“1”なので，パルス幅は（10000H＋D_{a1}－D_{a0}）で求められます（NG）。
実際には，2回のオーバフローが発生しているので，パルス幅は，（20000H＋D_{a1}－D_{a0}）になるはずです。

このように，キャプチャ・トリガの間隔が長い場合に，2回以上のオーバフローが発生すると，正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には，カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか，ソフトウエアで対応してください。次に，ソフトウエア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注　オーバフロー・カウンタは，ソフトウエアにより，内蔵RAM上に任意に設定したものです。

① TP0CCRaレジスタをリードする（TIP0a端子入力の初期値設定）。

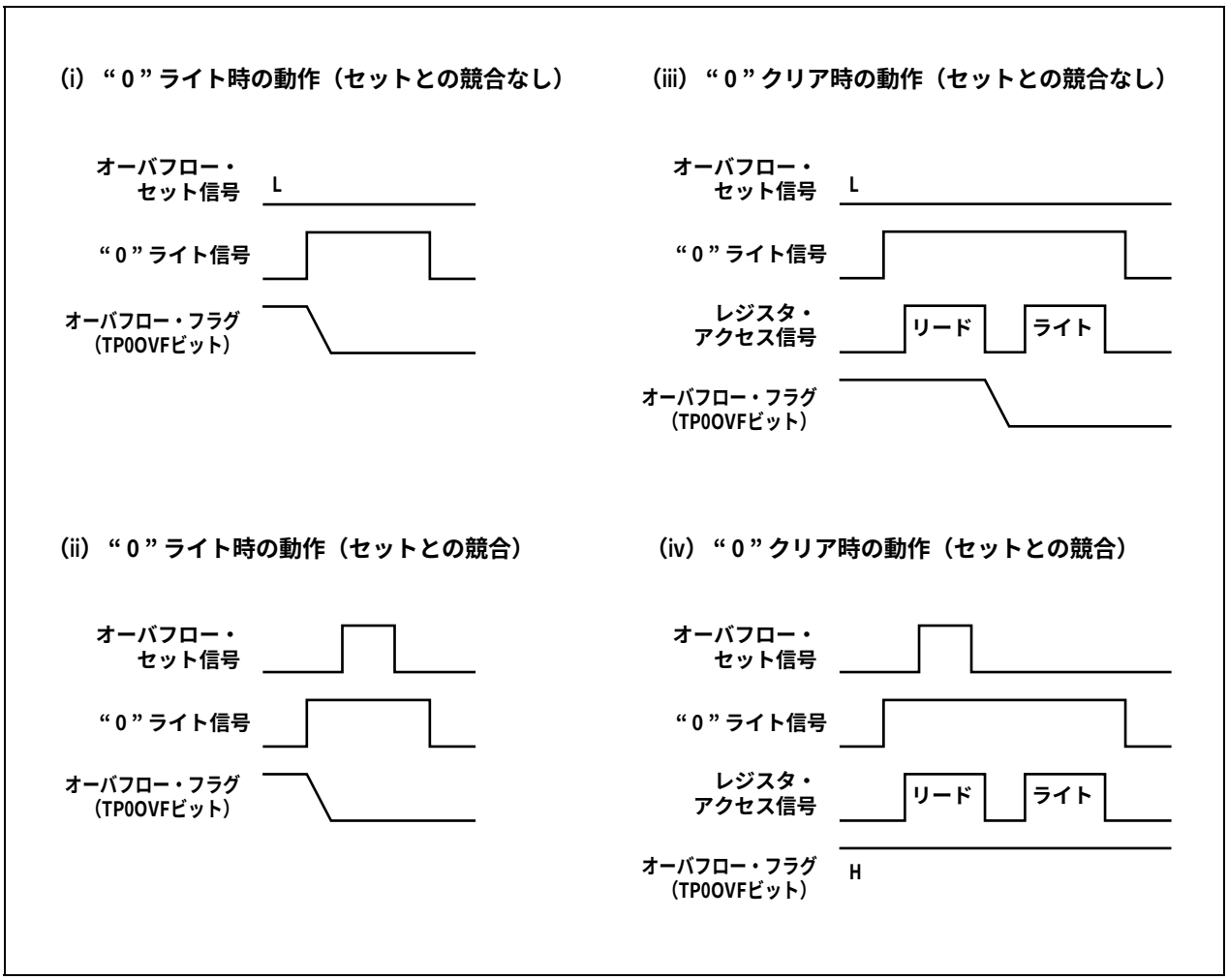
② オーバフローが発生する。オーバフロー割り込み処理の中で，オーバフロー・カウンタをインクリメントし，オーバフロー・フラグをクリア（0）する。

③ 2回目のオーバフローが発生する。オーバフロー割り込み処理の中で，オーバフロー・カウンタをインクリメント（＋1）し，オーバフロー・フラグをクリア（0）する。

④ TP0CCRaレジスタをリードする。
オーバフロー・カウンタをリードする。
→オーバフロー・カウンタが“N”のとき，パルス幅は（N×10000H＋D_{a1}－D_{a0}）で求められる。
この例では，2回のオーバフローが発生しているので，パルス幅は，（20000H＋D_{a1}－D_{a0}）になります。
オーバフロー・カウンタをクリア（0H）する。

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア（0）する方法は，TP0OVFビットをCLR命令でクリア（0）する方法と，TP0OPT0レジスタに8ビット・データ（ビット0は“0”）をライトする方法がありますが，確実にオーバフローを検出するために，TP0OVFビット = 1をリードしたあと，ビット操作命令でクリア（0）してください。



オーバフロー・フラグをクリア（0）する場合には，リードしてオーバフロー・フラグがセット（1）されていることを確認したあと，CLR命令でクリア（0）してください。確認せずに0をライトすると，オーバフローのセット情報を“0”ライトで消してしまう場合があります（上図の（ii））。そのために，実際にはオーバフローが発生したにもかかわらず，ソフトウエアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア（0）するときに，CLR命令の実行とオーバフロー発生のタイミングが競合した場合，クリア命令実行後もオーバフロー・フラグはセット（1）されたままになります。

7. 5. 7　パルス幅測定モード（TP0MD2-TP0MD0ビット = 110）

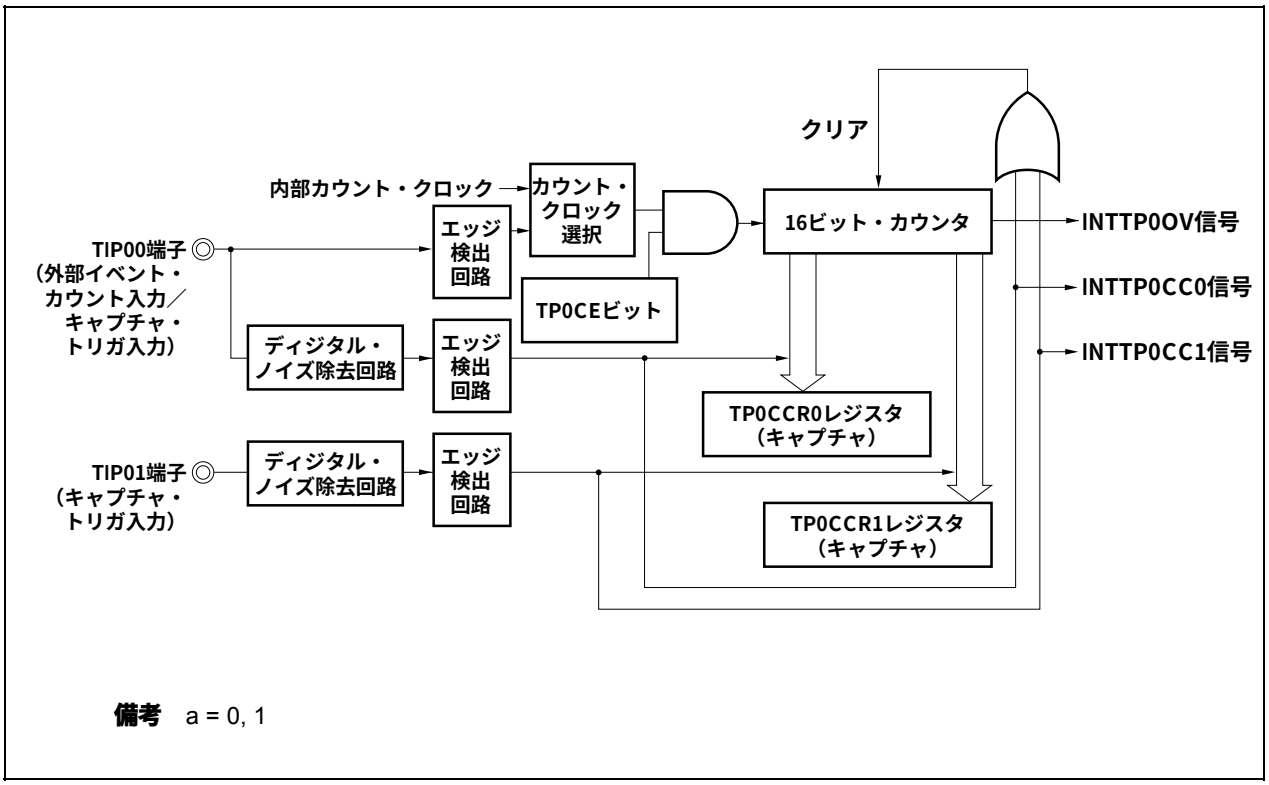
パルス幅測定モードは，TP0CTL0.TP0CEビットをセット（1）することでカウント動作を開始し，TIP0a端子入力の有効エッジを検出するごとに，16ビット・カウンタのカウント値をTP0CCRaレジスタに格納し，16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号（INTTP0CCa）が発生したあと，TP0CCRaレジスタをリードすることにより，有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として，TIP00, TIP01端子のいずれか1本を使用してください。使用しない端子は，TP0IOC1レジスタで“エッジ検出なし”に設定してください。

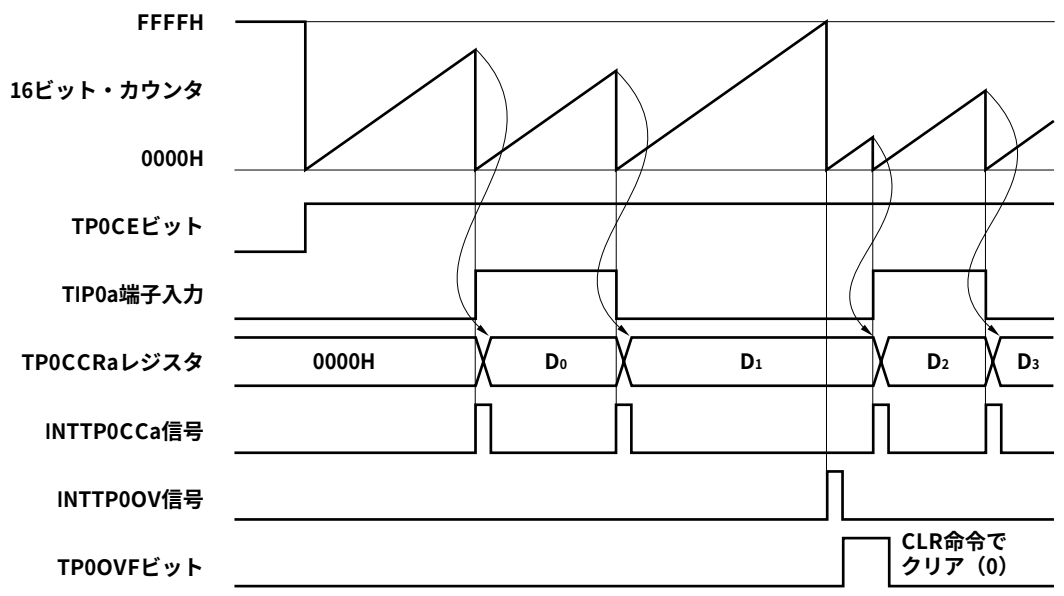
また，カウント・クロックとして外部クロックを使用するときは，外部クロックはTIP00端子固定ですので，TIP01端子のパルス幅を測定してください。このとき，TP0IOC1.TP0IS1, TP0IS0ビット = 00（キャプチャ・トリガ入力（TIP00端子）：エッジ検出なし）に設定してください。

図7－34　パルス幅測定モードの構成図



備考　a = 0, 1

図7－35　パルス幅測定モードの基本タイミング



備考　a = 0, 1

TP0CEビットをセット（1）することで，カウント動作を開始します。その後，TIP0a端子入力の有効エッジを検出することにより，16ビット・カウンタのカウント値をTP0CCRaレジスタに格納し，16ビット・カウンタを0000Hにクリアし，キャプチャ割り込み要求信号（INTTP0CCa）を発生します。

パルス幅は次のように求められます。

★　パルス幅 = キャプチャされた値×カウント・クロック周期

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合，次のクロックでオーバフロー割り込み要求信号（INTTP0OV）を発生するとともに，0000Hにクリアしカウント動作を継続します。また，このときオーバフロー・フラグ（TP0OPT0.TP0OVFビット）もセット（1）されます。オーバフロー・フラグは，ソフトウエアでCLR命令を実行してクリア（0）してください。

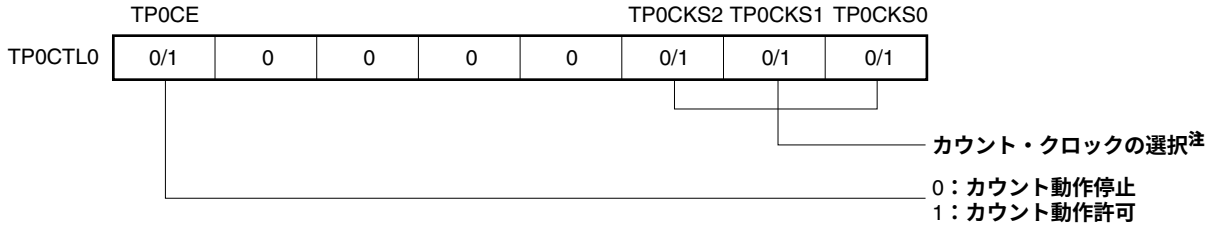
オーバフロー・フラグがセット（1）した場合，パルス幅は次のように求められます。

★　パルス幅 =（10000H×TP0OVFビットがセット（1）された回数＋キャプチャされた値）×カウント・クロック周期

備考　a = 0, 1

図7－36　パルス幅測定モード動作時のレジスタ設定内容（1/2）

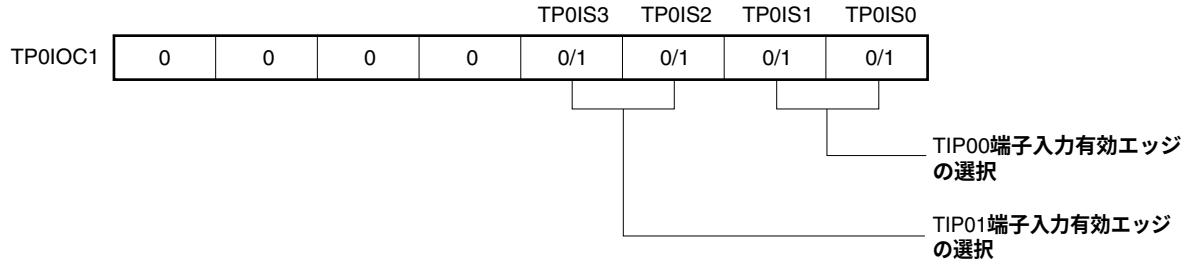
（a）TMP0制御レジスタ0（TP0CTL0）



注　TP0EEEビット = 1のときは設定が無効になります。

（b）TMP0制御レジスタ1（TP0CTL1）

（c）TMP0I/O制御レジスタ1（TP0IOC1）



（d）TMP0I/O制御レジスタ2（TP0IOC2）

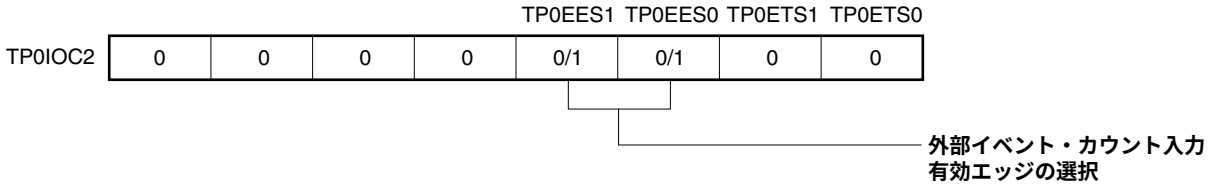


図7－36　パルス幅測定モード動作時のレジスタ設定内容（2/2）

（e）TMP0オプション・レジスタ0（TP0OPT0）

			TP0CCS1	TP0CCS0				TP0OVF
TP0OPT0	0	0	0	0	0	0	0	0/1

オーバフロー・フラグ

（f）TMP0カウンタ・リード・バッファ・レジスタ（TP0CNT）

TP0CNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

（g）TMP0キャプチャ／コンペア・レジスタ0, 1（TP0CCR0, TP0CCR1）

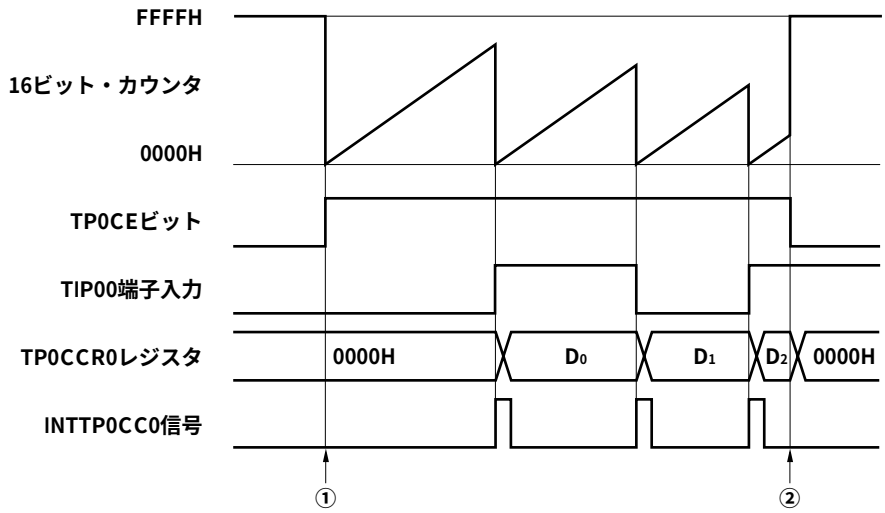
TIP0a端子入力の有効エッジ検出により，16ビット・カウンタのカウント値を格納します。

備考1.　パルス幅測定モードでは，TMP0I/O制御レジスタ0（TP0IOC0）は使用しません。

2.　a = 0, 1

（1）パルス幅測定モード動作フロー

図7－37　パルス幅測定モード使用時のソフトウエア処理フロー



① カウント動作開始フロー

TP0CEビット = 1にする前に，
これらのレジスタを初期設定。

カウント動作開始（TP0CEビット = 1）と同時に，
TP0CKS0-TP0CKS2ビットの設定は可能。

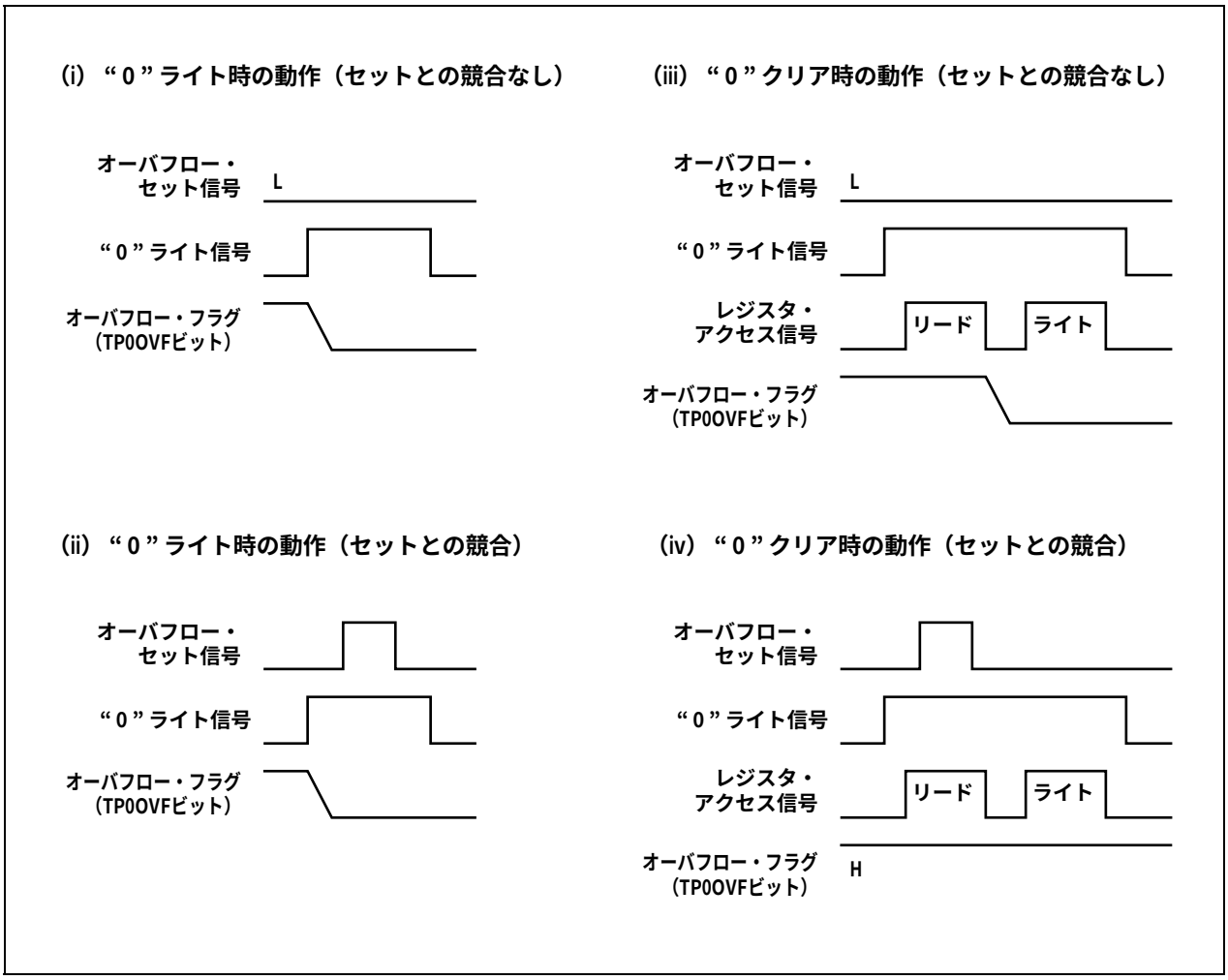
② カウント動作停止フロー

カウント動作停止（TP0CEビット = 0）にすることで，
カウンタを初期化しカウント動作を停止。

(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア（0）する方法は，TP0OVFビットをCLR命令でクリア（0）する方法と，TP0OPT0レジスタに8ビット・データ（ビット0は“0”）をライトする方法がありますが，確実にオーバフローを検出するために，TP0OVFビット = 1をリードしたあと，ビット操作命令でクリア（0）してください。



オーバフロー・フラグをクリア（0）する場合には，リードしてオーバフロー・フラグがセット（1）されていることを確認したあと，CLR命令でクリア（0）してください。確認せずに0をライトすると，オーバフローのセット情報を“0”ライトで消してしまう場合があります（上図の（ii））。そのために，実際にはオーバフローが発生したにもかかわらず，ソフトウエアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア（0）するときに，CLR命令の実行とオーバフロー発生のタイミングが競合した場合，クリア命令実行後もオーバフロー・フラグはセット（1）されたままになります。

7.5.8　タイマ出力動作説明

次にTOP00, TOP01端子の動作，および出力レベルを示します。

表7－4　各モードによるタイマ出力制御

動作モード	TOP01端子	TOP00端子
インターバル・タイマ・モード	方形波出力	
外部イベント・カウント・モード	方形波出力	－
外部トリガ・パルス出力モード	外部トリガ・パルス出力	方形波出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	方形波出力（コンペア機能のときのみ）	
パルス幅測定モード	－	

表7－5　タイマ出力制御ビットによるTOP00, TOP01端子の真理値表

TP0IOC0.TP0OLaビット	TP0IOC0.TP0OEaビット	TP0CTL0.TP0CEビット	TOP0a端子のレベル
0	0	×	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル， カウント開始後はハイ・レベル
1	0	×	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル， カウント開始後はロウ・レベル

備考　a = 0, 1

7. 6　キャプチャ・トリガ入力端子（TIP0a）のノイズ除去

TIP0a端子には，ディジタル・ノイズ除去回路を内蔵しています。

ただし，キャプチャ・トリガ入力として使用する場合のみ有効であり，外部イベント・カウント入力や外部トリガ入力として使用する場合は無効です。

ディジタル・ノイズ除去は，PMC3，PFC3，PFCE3レジスタにより兼用機能（TIP0a端子）に設定することによって行います。

サンプリング回数は，PaNFC.PaNFSTSビットにより3回／2回を選択できます。また，サンプリング・クロックはPaNFC.PaNFC2-PaNFC0ビットによりfxx, fxx/2, fxx/4, fxx/16, fxx/32, fxx/64から選択できます。

（1）TIP0aノイズ除去制御レジスタ（PaNFC）

ディジタル・ノイズ除去のサンプリング・クロックおよびサンプリング回数を選択するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：P0NFC FFFFFB00H, P1NFC FFFFFB04H

	7	6	5	4	3	2	1	0
PaNFC (a = 0, 1)	0	PaNFSTS	0	0	0	PaNFC2	PaNFC1	PaNFC0

PaNFSTS	ディジタル・ノイズ除去のサンプリング回数の設定
0	サンプリング回数 = 3回
1	サンプリング回数 = 2回

PaNFC2	PaNFC1	PaNFC0	サンプリング・クロックの選択
0	0	0	fxx
0	0	1	fxx/2
0	1	0	fxx/4
0	1	1	fxx/16
1	0	0	fxx/32
1	0	1	fxx/64
上記以外			設定禁止

注意1.　サンプリング・クロック周期×サンプリング回数時間経過後TMP0の16ビット・カウンタのスタート許可（TP0CTL.TP0CEビット = 1）をしてください。

2.　ビット7, 5-3には必ず0を設定してください。

＜設定手順＞

① PaNFCレジスタの設定によりサンプリング回数，サンプリング・クロックを選択する。

② PMC3，PFC3，PFCE3レジスタにより，兼用機能（TIP0n端子）に設定する。

③ TMP0の動作モードを設定する（キャプチャ・モード，キャプチャ・トリガの有効エッジなど）。

④ TMP0カウント動作許可。

＜ノイズ除去幅＞

ディジタル・ノイズ除去幅（t_{WTIP0a}）は，サンプリング・クロック周期：T，サンプリング回数：Mとすると，次のようになります。

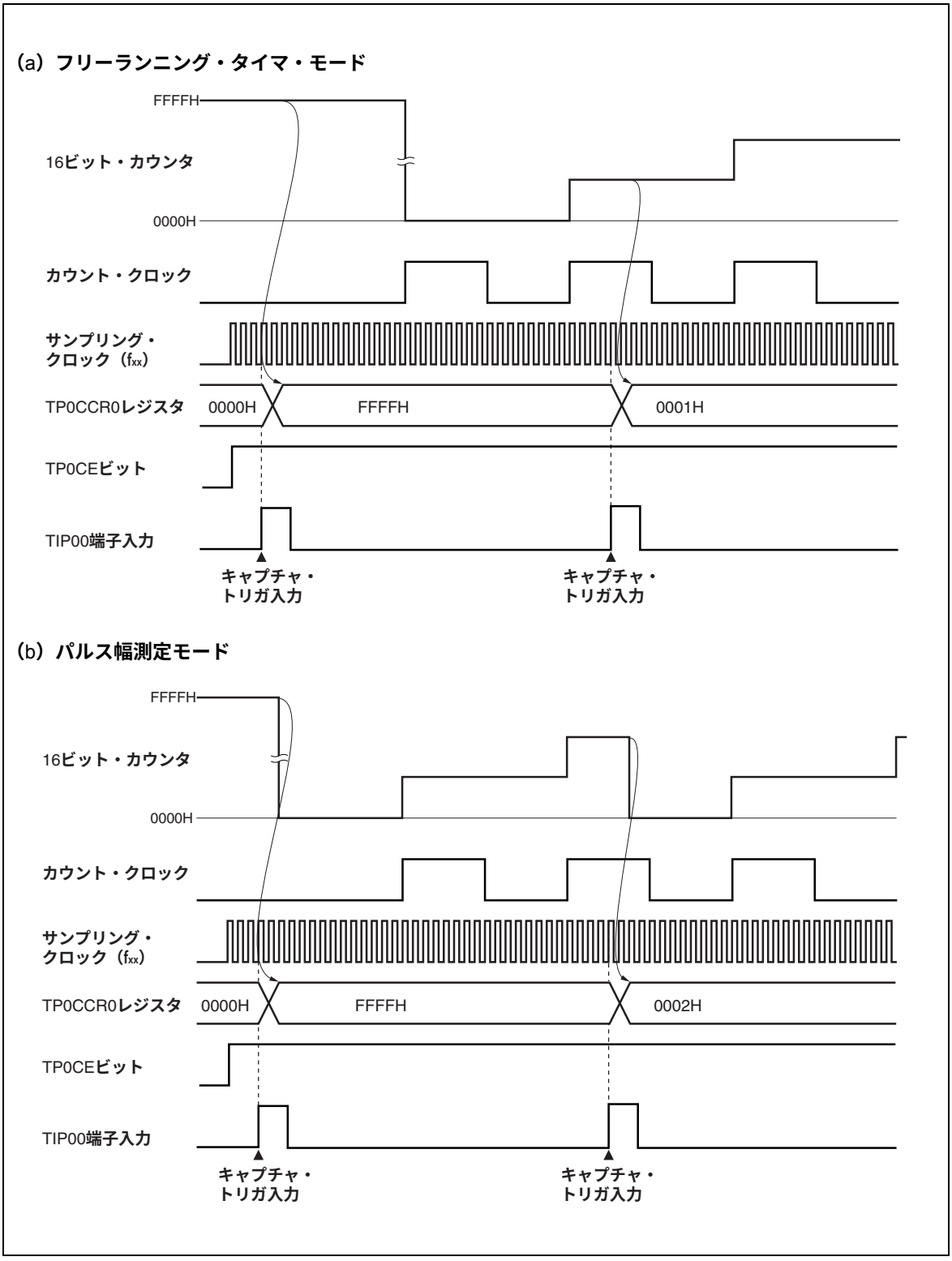
- $t_{WTIP0a} < (M-1)T$　：確実にノイズとして除去
- $(M-1)T \leqq t_{WTIP0a} < MT$　：ノイズとして除去，あるいは有効エッジとして検出
- $t_{WTIP0a} \geqq MT$　：確実に有効エッジとして検出

したがって，キャプチャ・トリガ入力の有効エッジを確実に検出させるためには，MT以上のパルス幅を入力する必要があります。

7.7　注意事項

(1) キャプチャ動作

キャプチャ動作を使用し，かつカウント・クロックとしてfxx/8, fxx/16, fxx/32, fxx/64, fxx/128，外部イベント・カウント（TP0CTL1.TP0EEEビット = 1）を選択した場合，TP0CEビットをセット（1）したすぐあとに，キャプチャ・トリガが入力されると，TP0CCRnレジスタに0000HではなくFFFFHがキャプチャされる場合があります。



★ 第8章　16ビット・タイマ／イベント・カウンタ0

V850ES/KG1+は，16ビット・タイマ／イベント・カウンタ0を4チャネル搭載しています。

8.1　機　　能

16ビット・タイマ／イベント・カウンタ0nには，次のような機能があります（n = 0-3）。

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

(2) 方形波出力

任意の周波数の方形波出力が可能です。

(3) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(4) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

(5) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(6) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

8.2 構　　成

16ビット・タイマ／イベント・カウンタ0nは，次のハードウエアで構成されています。

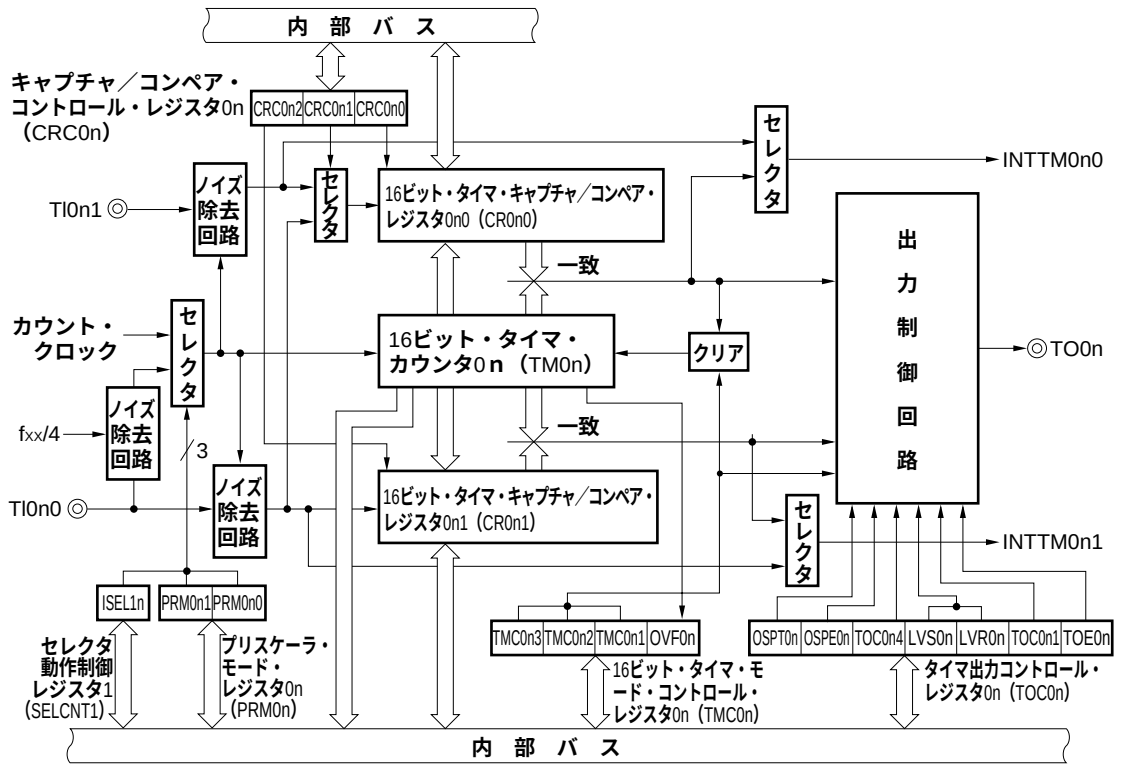
表8－1　16ビット・タイマ／イベント・カウンタ0nの構成

項　　目	構　　成
タイマ／カウンタ	16ビット・タイマ・カウンタ0n×1本（TM0n）
レジスタ	16ビット・タイマ・キャプチャ／コンペア・レジスタ：16ビット×2本（CR0n0, CR0n1）
タイマ入力	2本（TI0n0, TI0n1端子）
タイマ出力	1本（TO0n端子），出力制御回路
制御レジスタ注	16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n） キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n） 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n） プリスケーラ・モード・レジスタ0n（PRM0n） セレクタ動作制御レジスタ1（SELCNT1）

注　TI0n0, TI0n1, TO0n端子の機能を使用する場合は，表4－16　ポート端子を兼用端子として使用する場合を参照してください。

次にブロック図を示します。

図8－1　16ビット・タイマ／イベント・カウンタ0nのブロック図



備考1.　fxx：メイン・クロック周波数

2.　n = 0-3

（1）16ビット・タイマ・カウンタ0n（TM0n）

TM0nレジスタは，カウント・パルスをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して，カウンタをインクリメントします。

リセット時：0000H　R　アドレス：TM00 FFFFF600H, TM01 FFFFF610H,
TM02 FFFFF620H, TM03 FFFFF630H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TM0n (n = 0-3)																

TM0nレジスタをTMC0n.TMC0n3, TMC0n2ビット = 00以外のときにリードすることにより，カウント値をリードできます。TMC0n3, TMC0n2ビット = 00の状態でリードした場合には，0000Hがリードされます。

次の場合，カウント値は0000Hになります。

- リセット時
- TMC0n3, TMC0n2ビットをクリア（00）したとき
- TI0n0端子の有効エッジ入力でクリア＆スタート・モード時，TI0n0端子に有効エッジが入力されたとき
- TM0nレジスタとCR0n0レジスタの一致でクリア＆スタート・モード時，TM0nレジスタとCR0n0レジスタが一致したとき
- ワンショット・パルス出力モードで，TOC0n.OSPT0nビットをセット（1）したとき，またはTI0n0端子に有効エッジが入力されたとき

備考　n = 0-3

(2) 16ビット・タイマ・キャプチャ／コンペア・レジスタ0n0（CR0n0），
16ビット・タイマ・キャプチャ／コンペア・レジスタ0n1（CR0n1）

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能とコンペア機能の切り替えは，CRC0nレジスタで行います。

CR0n0レジスタは動作中（TMC0n.TMC0n3, TMC0n2ビット = 00以外）の書き換えは禁止です。

CR0n1レジスタは，所定の方法で設定した場合，動作中に書き換え可能です。詳細は8. 5. 1　CR0n0レジスタのTM0n動作中の書き換えを参照してください。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

(a) 16ビット・タイマ・キャプチャ／コンペア・レジスタ0n0（CR0n0）

リセット時：0000H　R/W　アドレス：CR000 FFFFF602H, CR010 FFFFF612H,
CR020 FFFFF622H, CR030 FFFFF632H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CR0n0 (n = 0-3)																

(ｉ) CR0n0レジスタをコンペア・レジスタとして使用するとき

CR0n0レジスタに設定した値とTM0nレジスタのカウント値を常に比較し，一致したときに割り込み信号（INTTM0n0）を発生します。書き換えられるまで値を保持します。

(ii) CR0n0レジスタをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により，TM0nレジスタのカウント値をCR0n0レジスタにキャプチャします。

キャプチャ・トリガとして，TI0n0端子の逆相のエッジかTI0n1端子の有効エッジの選択ができます。キャプチャ・トリガの選択は，CRC0n, PRM0nレジスタで設定します。

（b）16ビット・タイマ・キャプチャ／コンペア・レジスタ0n1（CR0n1）

リセット時：0000H　R/W　アドレス：CR001 FFFFF604H, CR011 FFFFF614H,
CR021 FFFFF624H, CR031 FFFFF634H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CR0n1 (n = 0-3)																

（ｉ）CR0n1レジスタをコンペア・レジスタとして使用するとき

CR0n1レジスタに設定した値とTM0nレジスタのカウント値を常に比較し，一致したときに割り込み信号（INTTM0n1）を発生します。

（ii）CR0n1レジスタをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により，TM0nレジスタのカウント値をCR0n1レジスタにキャプチャします。

キャプチャ・トリガとして，TI0n0端子の有効エッジの選択ができます。TI0n0端子の有効エッジは，PRM0nレジスタで設定します。

注意1.　P33, P35, P92, P94端子をTI000, TI010, TI020, TI030有効エッジとして使用し，かつタイマ出力機能を使用するときは，P34, P32, P30, P31端子をタイマ出力端子（TO00-TO03）に設定してください。

2. TMC0n3, TMC0n2ビット = 00に設定したタイミングとキャプチャ・トリガの入力が競合した場合，キャプチャ・データは不定となります。

3. キャプチャ・モードからコンペア・モードに変更する場合は，いったんTMC0n3, TMC0n2ビット = 00にしてから，設定を変更してください。
なお，一度キャプチャした値は，リセットしないかぎりCR0n0, CR0n1レジスタに格納されたままです。コンペア・モードに変更したあとは，必ずコンペア値を設定してください。

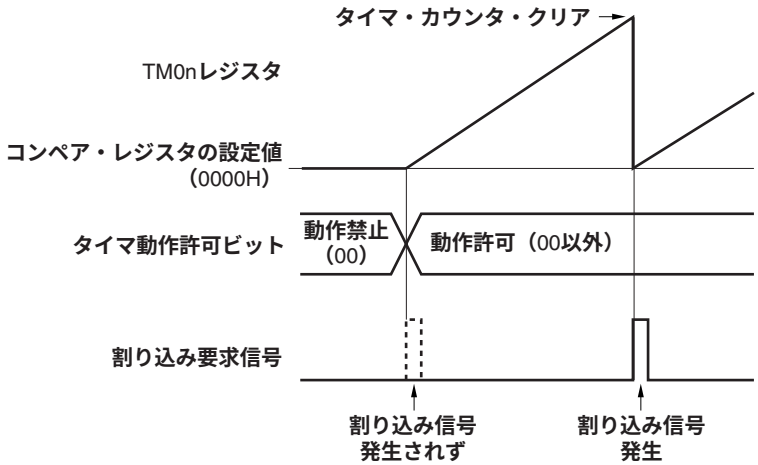
(c) コンペア・レジスタとして使用した場合の設定範囲

CR0n0, CR0n1レジスタをコンペア・レジスタとして使用するときには，次の範囲で値を設定してください。

動　作	CR0n0レジスタ	CR0n1レジスタ
・インターバル・タイマとしての動作 ・方形波出力としての動作 ・外部イベント・カウンタとしての動作	0000H＜N≦FFFFH	0000H[注]≦M≦FFFFH 通常，使用しません。一致割り込み信号（INTTM0n1）をマスクしてください。
・TI0n0端子の有効エッジ入力によるクリア＆スタート・モードとしての動作 ・フリー・ランニング・タイマとしての動作	0000H[注]≦N≦FFFFH	0000H[注]≦M≦FFFFH
・PPG出力としての動作	M＜N≦FFFFH	0000H[注]≦M＜N
・ワンショット・パルス出力としての動作	0000H[注]≦N≦FFFFH（N ≠ M）	0000H[注]≦M≦FFFFH（M ≠ N）

注　0000Hに設定した場合，タイマ動作直後の一致割り込みは発生せず，タイマ出力も変化しません。0000Hに設定した場合，最初の一致タイミングは次のようになります。なお，一致割り込みは，タイマ・カウンタ（TM0nレジスタ）が0000Hから0001Hになるタイミングで発生します。

- オーバフローによるタイマ・カウンタ・クリア時
- TI0n0端子の有効エッジによるタイマ・カウンタ・クリア時
  （TI0n0端子の有効エッジ入力でクリア＆スタート・モードのとき）
- コンペア一致によるタイマ・カウンタ・クリア時
  （TM0nとCR0n0の一致でクリア＆スタート・モード（CR0n0 = 0000H以外，CR0n1 = 0000H）のとき）



備考1.　N：CR0n0レジスタの設定値
　　M：CR0n1レジスタの設定値

2.　動作許可ビット（TMC0n.TMC0n3, TMC0n2ビット）の詳細については8. 3（1）16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）を参照してください。

表8－2　CR0n0, CR0n1レジスタのキャプチャ動作

外部入力信号 ＼ キャプチャ動作	TI0n0端子入力		TI0n1端子入力	
CR0n0 レジスタのキャプチャ動作	CRC0n1ビット = 1 TI0n0端子入力 （逆相）	ESn01, ESn00の設定値 キャプチャするエッジの位置	CRC0n1ビット = 0 TI0n1端子入力	ESn01, ESn00の設定値 キャプチャするエッジの位置
		01：立ち上がり		01：立ち上がり
		00：立ち下がり		00：立ち下がり
		11：両エッジ （キャプチャできません）		11：両エッジ
	割り込み信号	キャプチャしても INTTM0n0信号は発生しない	割り込み信号	キャプチャするごとに INTTM0n0信号が発生
CR0n1 レジスタのキャプチャ動作	TI0n0端子入力[注]	ESn11, ESn10の設定値 キャプチャするエッジの位置		
		01：立ち上がり		
		00：立ち下がり		
		11：両エッジ		
	割り込み信号	キャプチャするごとに INTTM0n1信号が発生		

注　CR0n1レジスタのキャプチャ動作には，CRC0n1ビットの設定による影響はありません。

注意　TI0n0端子入力の逆相でTM0nレジスタのカウント値をCR0n0レジスタにキャプチャする場合，キャプチャ後に割り込み要求信号（INTTM0n0）は発生しません。この動作中に，TI0n1端子から有効エッジが検出された場合，キャプチャ動作は行われませんが，外部割り込み信号としてINTTM0n0信号が発生します。外部割り込みを使用しない場合は，INTTM0n0信号をマスクしてください。

備考1.　CRC0n1：8. 3（2）キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）参照
ESn11, ESn10, ESn01, ESn00：8. 3（4）プリスケーラ・モード・レジスタ0n（PRM0n）参照

2.　n = 0-3

8. 3　レジスタ

16ビット・タイマ／イベント・カウンタ0nを制御するレジスタを次に示します。

- 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）
- キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）
- 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）
- プリスケーラ・モード・レジスタ0n（PRM0n）
- セレクタ動作制御レジスタ1（SELCNT1）

備考　TI0n0, TI0n1, TO0n端子の機能を使用する場合は，表4－16　ポート端子を兼用端子として使用する場合を参照してください。

（1）16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）

TMC0nレジスタは，16ビット・タイマ／イベント・カウンタ0nの動作モード，TM0nレジスタのクリア・モード，出力タイミングの設定およびオーバフローを検出する8ビットのレジスタです。

TMC0nレジスタは，動作中（TMC0n3, TMC0n2ビット = 00以外のとき）の書き換えは禁止です。

ただし，TMC0n3, TMC0n2ビットを00（動作停止）に設定する場合と，OVF0nビットに0を設定する場合は，書き換え可能です。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意1.　16ビット・タイマ／イベント・カウンタ0nは，TMC0n3, TMC0n2ビットに00（動作停止モード）以外の値を設定した時点で動作を開始します。動作を停止させるには，TMC0n3, TMC0n2ビットに00を設定してください。

2.　次に示す状態において，TMC0nレジスタへのアクセスは禁止です。詳細は3. 4. 8（1）（b）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

備考　n = 0-3

リセット時：00H　R/W　**アドレス：** TMC00 FFFFF606H, TMC01 FFFFF616H,
TMC02 FFFFF626H, TMC03 FFFFF636H

	7	6	5	4	3	2	1	⓪
TMC0n (n = 0-3)	0	0	0	0	TMC0n3	TMC0n2	TMC0n1	OVF0n

TMC0n3	TMC0n2	16ビット・タイマ／イベント・カウンタ0nの動作許可
0	0	TM0n動作禁止。動作クロック供給停止。16ビット・タイマ・カウンタ（TM0n）クリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TI0n0端子の有効エッジ入力[注1]でクリア&スタート・モード
1	1	TM0nとCR0n0の一致でクリア&スタート・モード

TMC0n1[注2]	タイマ出力（TO0n）反転条件
0	TM0nとCR0n0の一致，TM0nとCR0n1の一致
1	TM0nとCR0n0の一致，TM0nとCR0n1の一致，TI0n0端子の有効エッジ

OVF0n	TM0nレジスタのオーバフロー・フラグ
クリア（0）	OVF0nビットへの0ライトまたはTMC0n.TMC0n3, TMC0n2 = 00
セット（1）	オーバフロー発生
OVF0nビットは，すべての動作モード（フリー・ランニング・タイマ・モード，TI0n0端子の有効エッジ入力でクリア&スタート・モード，TM0nとCR0n0の一致でクリア&スタート・モード）でTM0nレジスタの値がFFFFHから0000Hになるとき，セット（1）されます。 OVF0nビットに1を書き込むことでもセット（1）できます。	

注1.　TI0n0端子の有効エッジは，PRM0nレジスタで設定します。
2.　TO0n端子とTI0n0端子を兼用する場合，TMC0n1ビットには必ず0を設定してください。

(2) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）

CRC0nレジスタは，CR0n0, CR0n1レジスタの動作を制御するレジスタです。

TMC0nレジスタは，動作中（TMC0n.TMC0n3, TMC0n2ビット = 00以外のとき）の書き換えは禁止です。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：CRC00 FFFFF608H, CRC01 FFFFF618H,
CRC02 FFFFF628H, CRC03 FFFFF638H

	7	6	5	4	3	2	1	0
CRC0n (n = 0-3)	0	0	0	0	0	CRC0n2	CRC0n1	CRC0n0

CRC0n2	CR0n1レジスタの動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC0n1	CR0n0レジスタのキャプチャ・トリガの選択
0	TI0n1端子の有効エッジでキャプチャする
1	TI0n0端子の有効エッジの逆相でキャプチャする注
TI0n1, TI0n0端子の有効エッジはPRM0nレジスタで設定します。 ただし，CRC0n1ビット = 1のときにPRM0n.ESn01, ESn00ビット = 11（両エッジ）に指定すると，TI0n0端子の有効エッジを検出できません。	

CRC0n0	CR0n0レジスタの動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作
TMC0n3, TMC0n2 = 11（TM0nとCR0n0の一致でクリア&スタート・モード）を設定した場合は，CRC0n0ビットには必ず0を設定してください。	

注　TI0n1端子から有効エッジが検出された場合，キャプチャ動作は行われませんが，外部割り込み信号としてINTTM0n0信号が発生します。

注意　キャプチャを確実に行うためのキャプチャ・トリガには，PRM0n, SELCNT1レジスタで選択したカウント・クロックの2周期分より長いパルスが必要です。

(3) 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）

TOC0nレジスタは，TO0n端子出力を制御する8ビットのレジスタです。

TOC0nレジスタは，OSPT0nビットだけが動作中（TMC0n.TMC0n3, TMC0n2ビット = 00以外のとき）に書き換え可能です。それ以外のビットについては，動作中の書き換えは禁止です。

ただし，タイマ動作中にCR0n1レジスタの値を変更する手段としての，TOC0n4ビットの書き換えは可能です（8. 5. 1　CR0n1レジスタのTM0n動作中の書き換えを参照してください）。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　TOC0nレジスタを設定するときは，必ず次の順序で設定してください。

①TOC0n4, TOC0n1ビットのセット（1）

②TOEn0ビットだけを単独でセット（1）

③LVS0nビットまたはLVR0nビットのどちらか片方だけをセット（1）

(1/2)

リセット時：00H　R/W　アドレス：TOC00 FFFFF609H, TOC01 FFFFF619H,
TOC02 FFFFF629H, TOC03 FFFFF639H

	7	⑥	⑤	4	③	②	1	⓪
TOC0n (n = 0-3)	0	OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n

OSPT0n	ソフトウエアによるワンショット・パルス出力トリガ
0	—
1	ワンショット・パルス出力
リード値は常に“0”です。	

OSPE0n	ワンショット・パルス出力動作の制御
0	連続パルス出力
1	ワンショット・パルス出力 セット（1）すると，TM0nはクリア＆スタートします。
ワンショット・パルス出力は，フリー・ランニング・タイマ・モード，またはTI0n0端子の有効エッジ入力でクリア＆スタート・モードのときに，正常に動作します。 TM0nレジスタとCR0n0レジスタの一致でクリア＆スタート・モードでは，ワンショット・パルスを出力できません。	

TOC0n4	CR0n1レジスタとTM0nレジスタの一致によるTO0n端子出力の制御
0	反転動作禁止
1	反転動作許可
TOC0n4ビット = 0でも，割り込み信号（INTTM0n1）は発生します。	

(2/2)

LVS0n	LVR0n	TO0n端子出力の状態の設定
0	0	変化しない
0	1	TO0n端子出力初期値ロウ・レベル（TO0n端子出力をクリア（0））
1	0	TO0n端子出力初期値ハイ・レベル（TO0n端子出力をセット（1））
1	1	設定禁止

- LVS0n, LVR0nビットは，TO0n端子出力レベルの初期値を設定できます。設定が不要な場合は，LVS0n, LVR0nビットを00のままにしてください。
- LVS0n, LVR0nビットは，必ずTOE0nビット = 1のときに設定してください。
  LVS0n, LVR0nビットとTOE0nビットを同時にセット（1）することも禁止です。
- LVS0n, LVR0nビットはトリガ・ビットです。セット（1）することで，TO0n端子出力レベルの初期値を設定します。クリア（0）しても，TO0n端子出力に影響はありません。
- LVS0n, LVR0nビットのリード値は常に“0”です。
- LVS0n, LVR0nビットの設定方法の詳細は，8. 5. 2　LVS0n, LVR0nビットの設定についてを参照してください。

TOC0n1	CR0n0レジスタとTM0nレジスタの一致によるTO0n端子出力の制御
0	反転動作禁止
1	反転動作許可
TOC0n1ビット = 0でも，割り込み信号（INTTM0n0）は発生します。	

TOE0n	TO0n端子出力制御
0	出力禁止（TO0n端子出力はロウ・レベルに固定）
1	出力許可

(4) プリスケーラ・モード・レジスタ0n（PRM0n）

PRM0nレジスタは，TM0nレジスタのカウント・クロック，およびTI0n0, TI0n1端子入力の有効エッジを設定するレジスタです。PRM0n1, PRM0n0ビットの設定は，SELCNT1.ISEL1nビットと組み合わせて設定します。詳細は（6）16ビット・タイマ／イベント・カウンタ0nのカウント・クロック設定を参照してください。

PRM0nレジスタは，動作中（TMC0n.TMC0n3, TMC0n2ビット = 00以外のとき）の書き換えは禁止です。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意1. PRM0n1, PRM0n0ビット =11（カウント・クロックをTI0n0端子の有効エッジに指定）に設定する場合，次の設定は禁止です。

- TI0n0端子の有効エッジでクリア＆スタート・モード
- TI0n0端子をキャプチャ・トリガに設定

2. リセット後，TI0n0端子またはTI0n1端子がハイ・レベルの状態で，TI0n0端子またはTI0n1端子の有効エッジを立ち上がりエッジまたは両エッジに指定して，16ビット・タイマ／イベント・カウンタ0nの動作を許可すると，そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI0n0端子またはTI0n1端子をプルアップしている場合などは注意してください。ただし，いったん動作を停止させたあとの再動作許可時には，立ち上がりエッジは検出されません。

3. P33, P35, P92, P94端子をTI000, TI010, TI020, TI030有効エッジとして使用し，かつタイマ出力機能を使用するときは，P34, P32, P30, P31端子をタイマ出力端子（TO00-TO03）として使用してください。

リセット時：00H　R/W　アドレス：PRM00 FFFFF607H, PRM01 FFFFF617H,
PRM02 FFFFF627H, PRM03 FFFFF637H

	7	6	5	4	3	2	1	0
PRM0n (n = 0-3)	ESn11	ESn10	ESn01	ESn00	0	0	PRM0n1	PRM0n0

ESn11	ESn10	TI0n1端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がりの両エッジ

ESn01	ESn00	TI0n0端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がりの両エッジ

備考　PRM0n1, PRM0n0ビットの設定は，8. 3（6）16ビット・タイマ／イベント・カウンタ0nのカウント・クロック設定を参照してください。

(5) セレクタ動作制御レジスタ1（SELCNT1）

16ビット・タイマ／イベント・カウンタ0nのカウント・クロックを設定するレジスタです。

SELCNT1レジスタは，PRM0n.PRMn01, PRMn00ビットと組み合わせて設定します。詳細は（6）16ビット・タイマ／イベント・カウンタ0nのカウント・クロック設定を参照してください。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF30AH

	7	6	5	4	3	2	1	0
SELCNT1	0	0	0	0	ISEL13	ISEL12	ISEL11	ISEL10

(6) 16ビット・タイマ／イベント・カウンタ0nのカウント・クロック設定

16ビット・タイマ／イベント・カウンタ0nのカウント・クロックは，PRM0n.PRM0n1, PRM0n0ビット，SELCNT1.ISEL1nビットを組み合わせて設定します。

(a) 16ビット・タイマ／イベント・カウンタ00，16ビット・タイマ／イベント・カウンタ02の場合

SELCNT1レジスタ	PRM0nレジスタ		カウント・クロックの選択[注1]			
ISEL1nビット	PRM0n1ビット	PRM0n0ビット	カウント・クロック	f_{XX} = 20 MHz	f_{XX} = 16 MHz	f_{XX} = 10 MHz
0	0	0	$f_{XX}/2$	100 ns	125 ns	200 ns
0	0	1	$f_{XX}/4$	200 ns	250 ns	400 ns
0	1	0	$f_{XX}/8$	400 ns	500 ns	800 ns
0	1	1	TI0n0の有効エッジ[注2]	–	–	–
1	0	0	$f_{XX}/32$	1.6 μs	2.0 μs	3.2 μs
1	0	1	$f_{XX}/64$	3.2 μs	4.0 μs	6.4 μs
1	1	0	$f_{XX}/128$	6.4 μs	8.0 μs	12.8 μs
1	1	1	設定禁止			

注1.　内部クロック選択時は，次の条件を満たすように設定してください。

- V_{DD} = REGC = 4.0～5.5 V：カウント・クロック≦10 MHz
- V_{DD} = 4.0～5.5 V, REGC = 10 μF：カウント・クロック≦5 MHz
- V_{DD} = REGC = 2.7～4.0 V：カウント・クロック≦5 MHz

2.　外部クロックには，内部クロック（$f_{XX}/4$）の2周期分より長いパルスが必要です。

備考　n = 0, 2

(b) 16ビット・タイマ／イベント・カウンタ01の場合

SELCNT1レジスタ	PRM01レジスタ		カウント・クロックの選択[注1]			
ISEL11ビット	PRM011ビット	PRM010ビット	カウント・クロック	f_{XX} = 20 MHz	f_{XX} = 16 MHz	f_{XX} = 10 MHz
0	0	0	f_{XX}	設定禁止	設定禁止	100 ns
0	0	1	$f_{XX}/4$	200 ns	250 ns	400 ns
0	1	0	INTWT	–	–	–
0	1	1	TI010の有効エッジ[注2]	–	–	–
1	0	0	$f_{XX}/2$	100 ns	125 ns	200 ns
1	0	1	$f_{XX}/8$	400 ns	500 ns	800 ns
1	1	0	$f_{XX}/16$	800 ns	1.0 μs	1.6 μs
1	1	1	設定禁止			

注1.　内部クロック選択時は，次の条件を満たすように設定してください。

- V_{DD} = REGC = 4.0～5.5 V：カウント・クロック≦10 MHz
- V_{DD} = 4.0～5.5 V, REGC = 10 μF：カウント・クロック≦5 MHz
- V_{DD} = REGC = 2.7～4.0 V：カウント・クロック≦5 MHz

2.　外部クロックには，内部クロック（$f_{XX}/4$）の2周期分より長いパルスが必要です。

(c) 16ビット・タイマ／イベント・カウンタ03の場合

SELCNT1レジスタ	PRM03レジスタ		カウント・クロックの選択[注1]			
ISEL13ビット	PRM031ビット	PRM030ビット	カウント・クロック	f_{XX} = 20 MHz	f_{XX} = 16 MHz	f_{XX} = 10 MHz
0	0	0	$f_{XX}/4$	200 ns	250 ns	400 ns
0	0	1	$f_{XX}/16$	800 ns	1.0 μs	1.6 μs
0	1	0	$f_{XX}/512$	25.6 μs	32.0 μs	51.2 μs
0	1	1	TI030の有効エッジ[注2]	–	–	–
1	0	0	f_{XX}	設定禁止	設定禁止	100 ns
1	0	1	$f_{XX}/2$	100 ns	125 ns	200 ns
1	1	0	$f_{XX}/8$	400 ns	500 ns	800 ns
1	1	1	設定禁止			

注1.　内部クロック選択時は，次の条件を満たすように設定してください。

- V_{DD} = REGC = 4.0～5.5 V：カウント・クロック≦10 MHz
- V_{DD} = 4.0～5.5 V, REGC = 10 μF：カウント・クロック≦5 MHz
- V_{DD} = REGC = 2.7～4.0 V：カウント・クロック≦5 MHz

2.　外部クロックには，内部クロック（$f_{XX}/4$）の2周期分より長いパルスが必要です。

8.4 動　　作

8.4.1 インターバル・タイマとしての動作

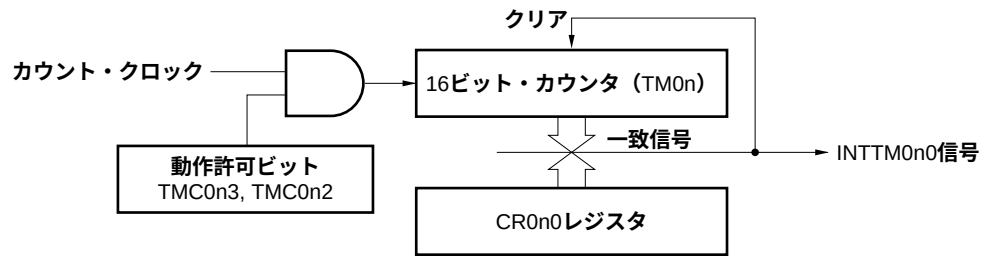
TMC0n.TMC0n3, TMC0n2ビット = 11（TM0nレジスタとCR0n0レジスタの一致でカウント・クリア＆スタート・モード）に設定すると，カウント・クロックに同期してカウント動作を開始します。

そのあと，TM0nレジスタとCR0n0レジスタの値が一致すると，TM0nレジスタを0000Hにクリアし，一致割り込み信号（INTTM0n0）を発生します。この一定間隔で発生するINTTM0n0信号により，インターバル・タイマとして動作します。

備考1.　兼用端子の設定については表4－16　ポート端子を兼用端子として使用する場合を参照してください。

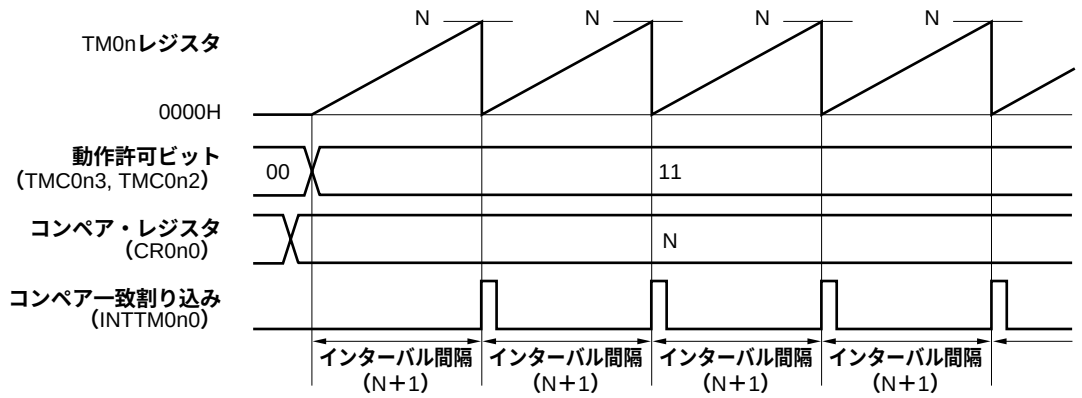
2.　INTTM0n0信号の割り込み許可については，第21章　割り込み／例外処理機能を参照してください。

図8－2　インターバル・タイマ動作のブロック図



備考　n = 0-3

図8－3　インターバル・タイマ動作の基本タイミング例



備考　n = 0-3

図8－4　インターバル・タイマ動作時のレジスタ設定内容例

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	1	1	0	0

TM0nとCR0n0の一致でクリア＆スタート

(b) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）

					CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0	0	0

CR0n0をコンペア・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）

	OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0	0	0	0	0

(d) プリスケーラ・モード・レジスタ0n（PRM0n），セレクタ動作制御レジスタ1（SELCNT1）

	ESn11	ESn10	ESn01	ESn00			PRM0n1	PRM0n0		ISEL1n
PRM0n	0	0	0	0	0	0	0/1	0/1	SELCNT1	0/1

カウント・クロックの選択

(e) 16ビット・タイマ・カウンタ0n（TM0n）

TM0nレジスタをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ／コンペア・レジスタ0n0（CR0n0）

CR0n0レジスタにMを設定した場合，インターバル間隔は次のようになります。

（M＋1）×カウント・クロック周期

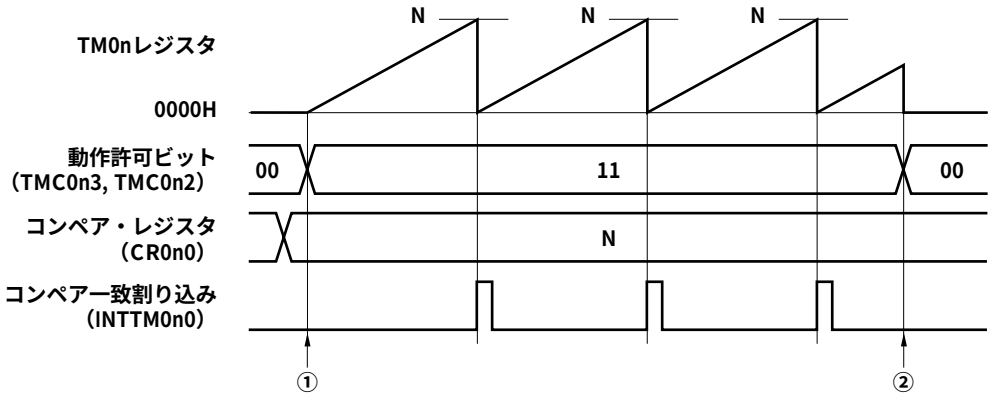
CR0n0レジスタへの0000Hの設定は禁止です。

(g) 16ビット・キャプチャ／コンペア・レジスタ0n1（CR0n1）

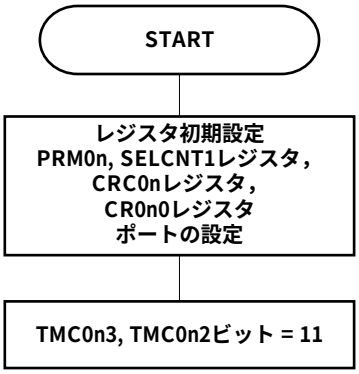
インターバル・タイマ機能では，通常，CR0n1レジスタを使用しません。しかしCR0n1レジスタの設定値と，TM0nレジスタの値が一致するとコンペア一致割り込み（INTTM0n1）が発生します。したがって，割り込みマスク・フラグ（TM0MKn1）でマスク設定をしておいてください。

備考　n = 0-3

図8－5　インターバル・タイマ機能時のソフトウエア処理機能



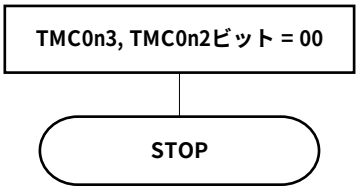
① カウント動作開始フロー



TMC0n3, TMC0n2ビット = 11にする前に，
これらのレジスタを初期設定

カウント動作開始

② カウント動作停止フロー



TMC0n3, TMC0n2ビットを00にすることで，
カウンタを初期化しカウント動作を停止

備考　n = 0-3

8. 4. 2　方形波出力としての動作

インターバル・タイマ（8. 4. 1参照）として動作させたとき，TOC0nレジスタ = 03Hに設定することにより，TO0n端子から方形波を出力できます。

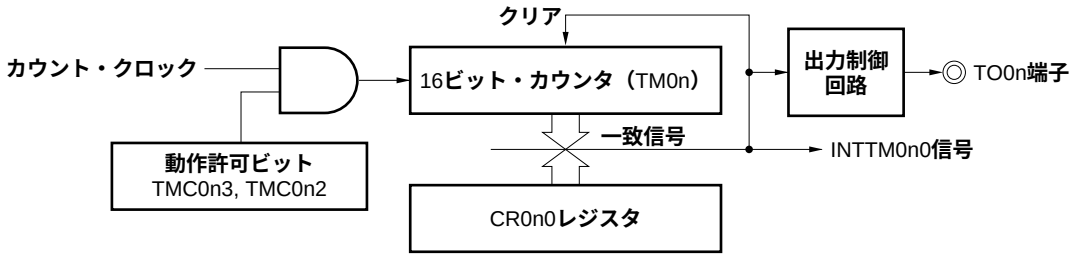
TMC0n.TMC0n3, TMC0n2ビット = 11（TM0nレジスタとCR0n0レジスタの一致でカウント・クリア＆スタート・モード）に設定すると，カウント・クロックに同期してカウント動作を開始します。

そのあと，TM0nレジスタとCR0n0レジスタの値が一致すると，TM0nレジスタを0000Hにクリアし，割り込み信号（INTTM0n0）を発生し，TO0n端子出力を反転します。この一定間隔で反転するTO0n端子出力により，方形波出力として動作します。

備考1.　兼用端子の設定については表4－16　ポート端子を兼用端子として使用する場合を参照してください。

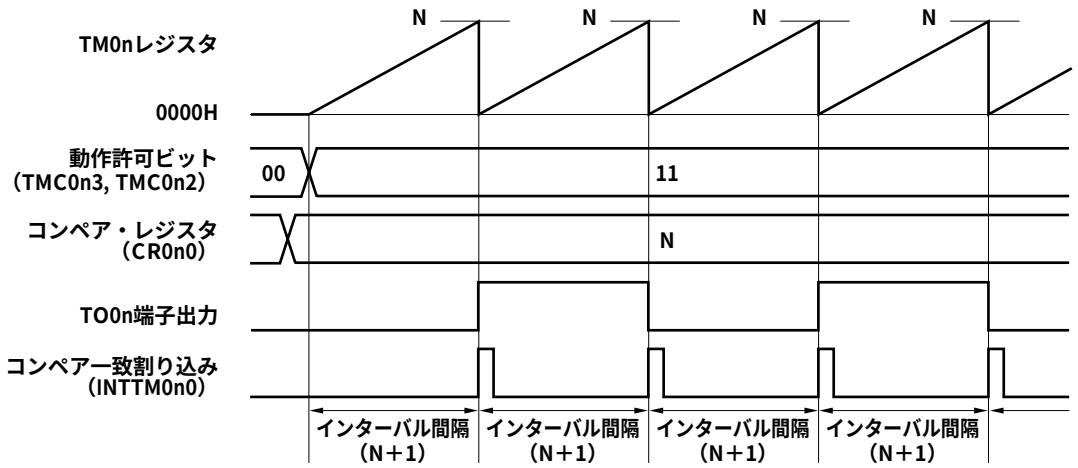
2.　INTTM0n0信号の割り込み許可については，第21章　割り込み／例外処理機能を参照してください。

図8－6　方形波出力動作のブロック図



備考　n = 0-3

図8－7　方形波出力動作の基本タイミング例



備考　n = 0-3

図8－8　方形波出力動作時のレジスタ設定内容例（1/2）

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	1	1	0	0

TM0nとCR0n0の一致でクリア＆スタート

(b) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）

					CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0	0	0

CR0n0をコンペア・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）

	OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0	0/1	0/1	1	1

TO0n端子出力許可

TM0nとCR0n0の一致によりTO0n端子出力を反転

TO0n出力F/Fの初期値を指定

(d) プリスケーラ・モード・レジスタ0n（PRM0n），セレクタ動作制御レジスタ1（SELCNT1）

	ESn11	ESn10	ESn01	ESn00			PRM0n1	PRM0n0		ISEL1n
PRM0n	0	0	0	0	0	0	0/1	0/1	SELCNT1	0/1

カウント・クロックの選択

備考　n = 0-3

図8－8　方形波出力動作時のレジスタ設定内容例（2/2）

（e）16ビット・タイマ・カウンタ0n（TM0n）

TM0nレジスタをリードしてカウンタの値を読み出します。

（f）16ビット・キャプチャ／コンペア・レジスタ0n0（CR0n0）

CR0n0レジスタにMを設定した場合，方形波の周波数は次のようになります。

1÷｛2×（M＋1）×カウント・クロック周期｝

CR0n0レジスタへの0000Hの設定は禁止です。

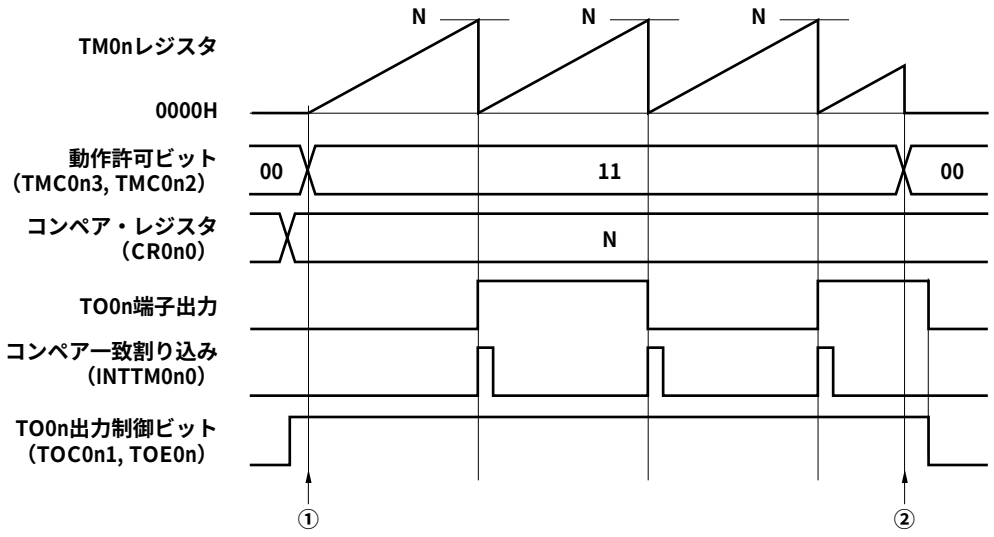
（g）16ビット・キャプチャ／コンペア・レジスタ0n1（CR0n1）

方形波出力機能では，通常，CR0n1レジスタを使用しません。しかしCR0n1レジスタの設定値と，TM0nレジスタの値が一致するとコンペア一致割り込み（INTTM0n1）が発生します。

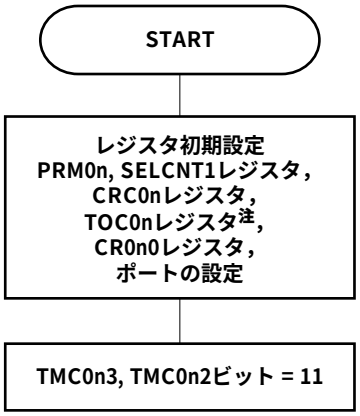
したがって，割り込みマスク・フラグ（TM0MKn1）でマスク設定をしておいてください。

備考　n = 0-3

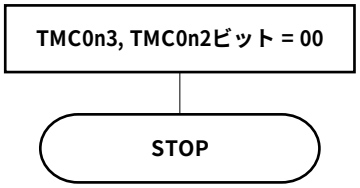
図8－9　方形波出力機能時のソフトウエア処理例



① カウント動作開始フロー



② カウント動作停止フロー



注　TOC0nレジスタの設定は注意が必要です。詳細は8. 3（3）16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）を参照してください。

備考　n = 0-3

8.4.3　外部イベント・カウンタとしての動作

PRM0n.PRM0n1, PRM0n0ビット = 11（TI0n0端子の有効エッジによるカウント・アップ），TMC0n.TMC0n3, TMC0n2ビット = 11に設定すると，外部イベント入力の有効エッジをカウントし，TM0nレジスタとCR0n0レジスタとの一致割り込み信号（INTTM0n0）を発生します。

外部イベント入力の端子にはTI0n0端子を使用します。したがって，TI0n0有効エッジ入力によるクリア＆スタート・モード（TMC0n3, TMC0n2ビット = 10）では，外部イベント・カウンタとして使用できません。

INTTM0n0信号は，次のタイミングごとに発生します。

・外部イベント入力の有効エッジ×（CR0n0レジスタ設定値＋1）

ただし，動作開始直後から初回の一致割り込みだけは，次のタイミングで発生します。

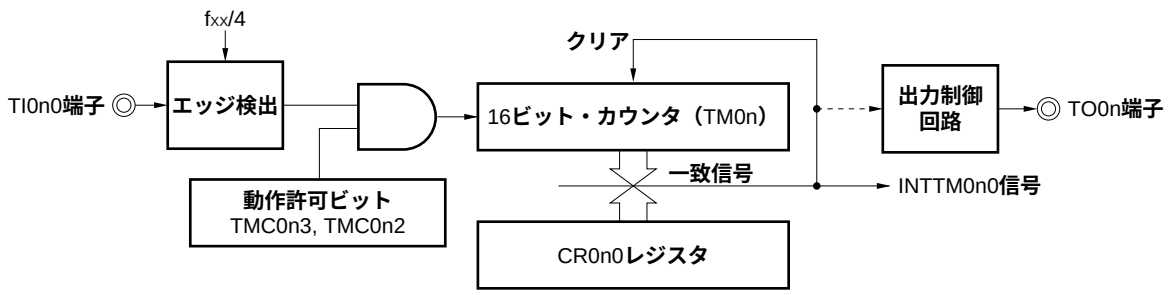
・外部イベント入力の有効エッジ×（CR0n0レジスタ設定値＋2）

有効エッジは，TI0n0端子入力信号をfxx/4のクロック周期でサンプリングを行い，2回連続して有効レベルを検出したときに，はじめて検出されます。したがって，短いパルス幅のノイズを除去できます。

備考1.　兼用端子（TI0n0）の設定については，表4－16　ポート端子を兼用端子として使用する場合を参照してください。

2.　INTTM0n0信号の割り込み許可については，第21章　割り込み／例外処理機能を参照してください。

図8－10　外部イベント・カウンタとしての動作のブロック図



備考　n = 0-3

図8－11　外部イベント・カウンタ・モード時のレジスタ設定内容例（1/2）

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	1	1	0	0

TM0nとCR0n0の一致で
クリア＆スタート

(b) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）

					CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0	0	0

CR0n0をコンペア・レジスタ
にする

(c) 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）

	OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0/1	0/1	0/1	0/1	0/1

0：TO0n出力禁止
1：TO0n出力許可

TO0n出力F/Fの初期値
を指定

00：TM0nとCR0n0/CR0n1が一致
　　してもTO0n出力は反転しない
01：TM0nとCR0n0の一致に
　　よりTO0n出力を反転
10：TM0nとCR0n1の一致に
　　よりTO0n出力を反転
11：TM0nとCR0n0/CR0n1の一致に
　　よりTO0n出力を反転

(d) プリスケーラ・モード・レジスタ0n（PRM0n），セレクタ動作制御レジスタ1（SELCNT1）

	ESn11	ESn10	ESn01	ESn00			PRM0n1	PRM0n0		ISEL1n
PRM0n	0	0	0/1	0/1	0	0	1	1	SELCNT1	0

カウント・クロックの選択
（TI0n0の有効エッジに指定）

00：立ち下がりエッジ検出
01：立ち上がりエッジ検出
10：設定禁止
11：両エッジ検出

備考　n =0-3

図8－11　外部イベント・カウンタ・モード動作時のレジスタ設定内容例（2/2）

（e）16ビット・タイマ・カウンタ0n（TM0n）

TM0nレジスタをリードしてカウンタの値を読み出します。

（f）16ビット・キャプチャ／コンペア・レジスタ0n0（CR0n0）

CR0n0レジスタにMを設定した場合，外部イベントがM＋1回入力されると，割り込み信号（INTTM0n0）が発生します。

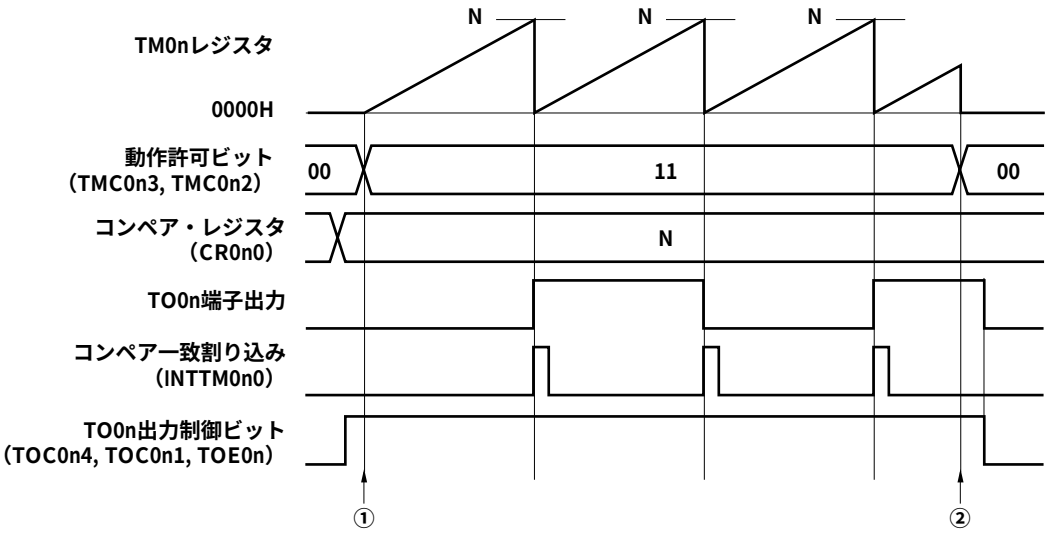
CR0n0レジスタへの0000Hの設定は禁止です。

（g）16ビット・キャプチャ／コンペア・レジスタ0n1（CR0n1）

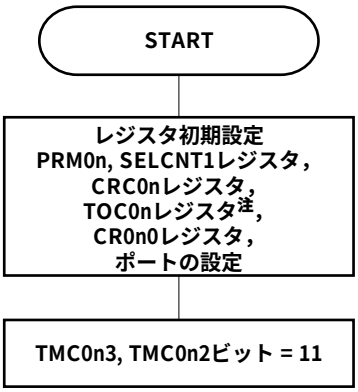
TM0nレジスタとの一致で割り込み信号（INTTM0n1）を発生します。TM0nレジスタのカウント値はクリアされません。

備考　n = 0-3

図8－12　外部イベント・カウント・モード動作時のソフトウエア処理例



① カウント動作開始フロー



TMC0n3, TMC0n2ビット = 11にする前に，
これらのレジスタを初期設定

カウント動作開始

② カウント動作停止フロー

TMC0n3, TMC0n2ビットを00にすることで，
カウンタを初期化しカウント動作を停止

注　TOC0nレジスタの設定は注意が必要です。詳細は8. 3（3）16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）を参照してください。

備考　n = 0-3

8.4.4　TI0n0端子の有効エッジ入力によるクリア＆スタート・モードとしての動作

TMC0n.TMC0n3, TMC0n2ビット = 10（TI0n0端子の有効エッジ入力によるクリア＆スタート・モード）に設定し，カウント・クロック（PRM0n, SELCNT1レジスタにて設定）を供給すると，TM0nレジスタがカウント・アップを開始します。カウント動作中にTI0n0端子の有効エッジを検出すると，TM0nレジスタを0000Hにクリアして，再度カウント・アップします。TI0n0端子の有効エッジがない場合，TM0nレジスタはオーバフローして，カウントを続けます。

TI0n0端子の有効エッジは，TM0nレジスタのクリア要因です。動作開始直後のカウント・スタートの起動制御はしていません。

CR0n0, CR0n1レジスタは，コンペア・レジスタとしてもキャプチャ・レジスタとしても使用できます。

（a）CR0n0, CR0n1レジスタをコンペア・レジスタとして使用した場合

TM0nレジスタとCR0n0, CR0n1レジスタの一致でINTTM0n0, INTTM0n1信号が発生します。

（b）CR0n0, CR0n1レジスタをキャプチャ・レジスタとして使用した場合

TI0n1端子に有効エッジが入力される（またはTI0n0端子に有効エッジの逆相が入力される）と，TM0nレジスタのカウント値をCR0n0レジスタにキャプチャし，INTTM0n0信号が発生します。

TI0n0端子に有効エッジが入力されると，TM0nレジスタのカウント値をCR0n1レジスタにキャプチャし，INTTM0n1信号が発生します。TI0n0端子の有効エッジでキャプチャ動作と同時にカウンタを0000Hにクリアします。

注意　カウント・クロックをTI0n0端子の有効エッジ（PRM0n.PRM0n1, PRM0n0ビット = 11）に設定しないでください。PRM0n1, PRM0n0ビット = 11に設定すると，TM0nレジスタがクリアされてしまいます。

備考1.　兼用端子（TI0n0）の設定については，表4－16　ポート端子を兼用端子として使用する場合を参照してください。

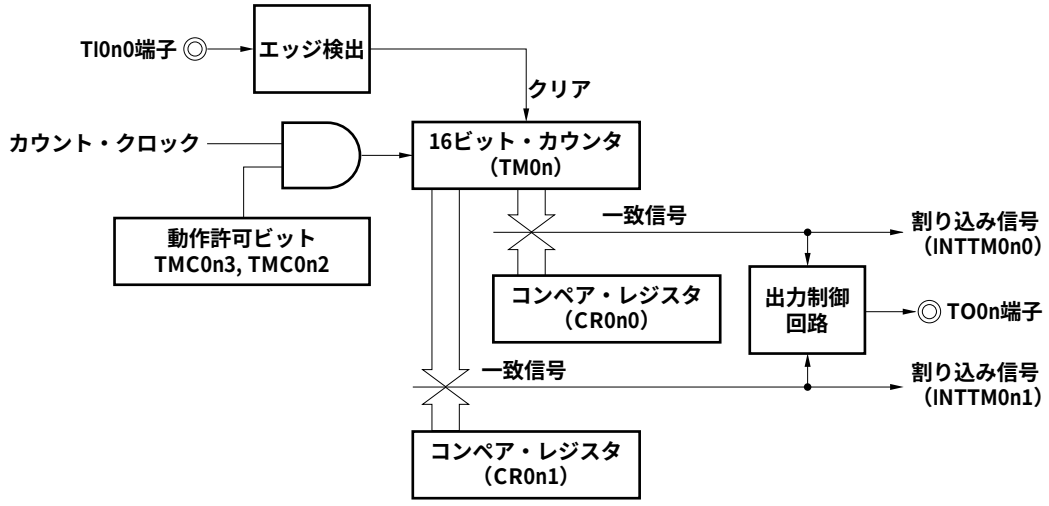
2.　INTTM0n0信号の割り込み許可については，第21章　割り込み／例外処理機能を参照してください。

（1）TI0n0端子の有効エッジ入力によるクリア＆スタート・モード動作

（CR0n0レジスタ：コンペア・レジスタ，CR0n1レジスタ：コンペア・レジスタ設定時）

図8－13　TI0n0端子の有効エッジ入力によるクリア＆スタート・モードのブロック図

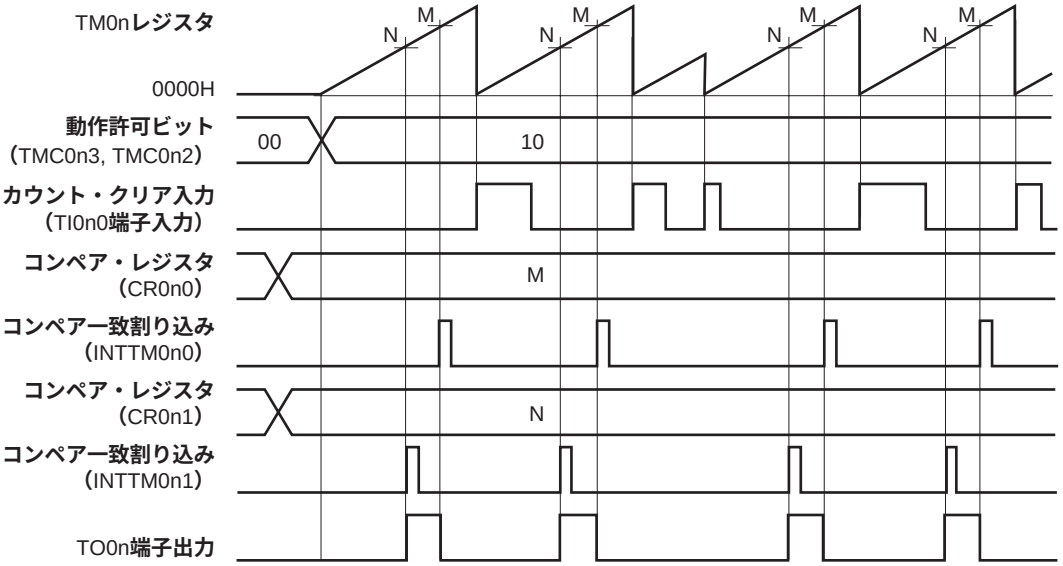
（CR0n0レジスタ：コンペア・レジスタ／CR0n1レジスタ：コンペア・レジスタ）



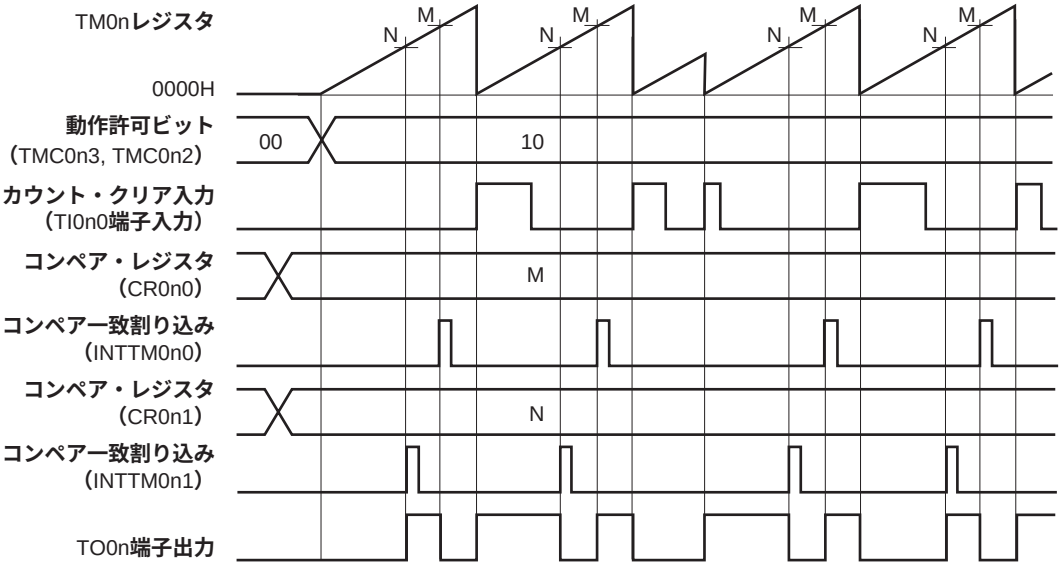
備考　n = 0-3

図8－14　TI0n0端子の有効エッジ入力によるクリア＆スタート・モードのタイミング例
（CR0n0レジスタ：コンペア・レジスタ／CR0n1レジスタ：コンペア・レジスタ）

（a）TOC0n = 13H, PRM0n = 10H, CRC0n = 00H, TMC0n = 08H



（b）TOC0n = 13H, PRM0n = 10H, CRC0n = 00H, TMC0n = 0AH



TMC0nレジスタ（TMC0n1ビット）の設定により，（a）と（b）には次のような違いがあります。

（a）TM0nレジスタとコンペア・レジスタが一致したときに，TO0n端子の出力レベルが反転

（b）TM0nレジスタとコンペア・レジスタが一致したとき，またはTI0n0端子の有効エッジを検出したときに，TO0n端子の出力レベルが反転

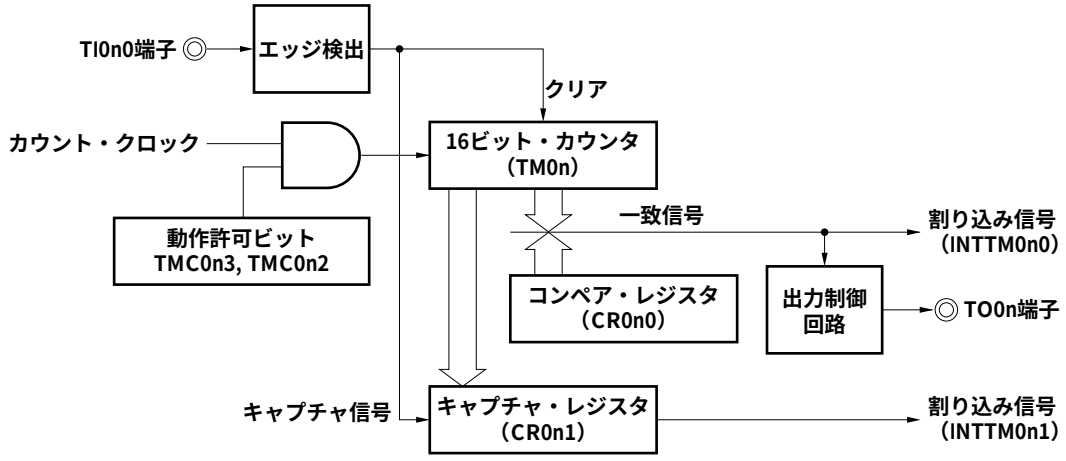
備考　n = 0-3

（2）TI0n0端子の有効エッジ入力によるクリア＆スタート・モード動作

（CR0n0レジスタ：コンペア・レジスタ，CR0n1レジスタ：キャプチャ・レジスタ設定時）

図8－15　TI0n0端子の有効エッジ入力によるクリア＆スタート・モードのブロック図

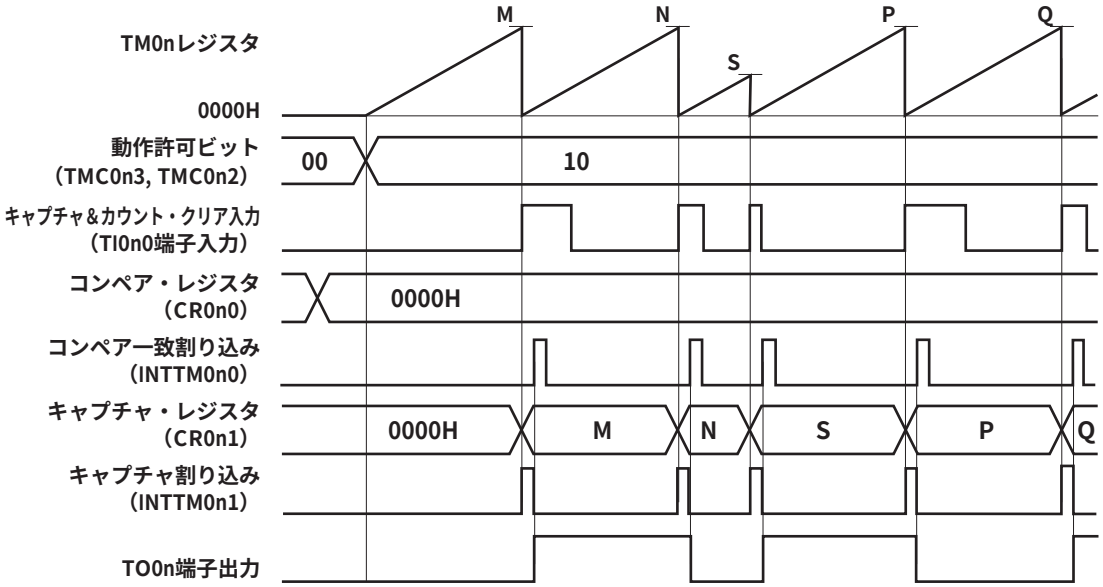
（CR0n0レジスタ：コンペア・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ）



備考　n = 0-3

図8－16　TI0n0端子の有効エッジ入力によるクリア＆スタート・モードのタイミング例
（CR0n0レジスタ：コンペア・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ）（1/2）

（a）TOC0n = 13H, PRM0n = 10H, CRC0n = 03H, TMC0n = 08H, CR0n0 = 0001H



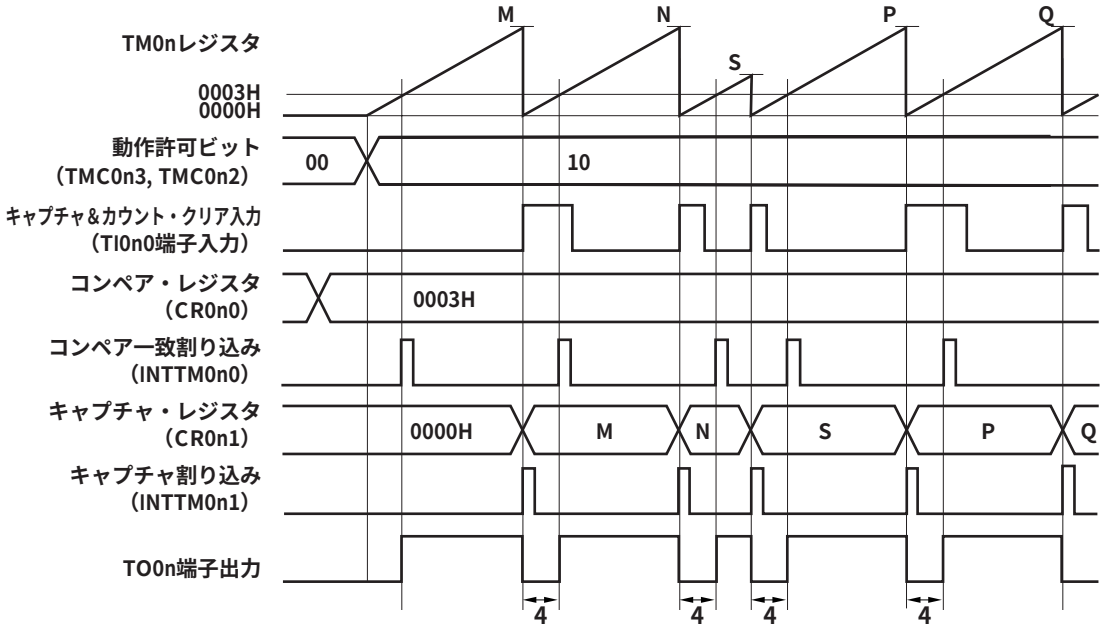
キャプチャ＆クリアによってTO0n端子出力レベルを反転したい場合のアプリケーション例です。

TI0n0端子の有効エッジ検出で，CR0n1レジスタにキャプチャし，TM0nレジスタをクリア（0000H）します。TM0nレジスタのカウント値が0001Hになると，コンペア一致割り込み信号（INTTM0n0）が発生し，TO0n端子出力レベルが反転します。

備考　n = 0-3

図8－16　TI0n0端子の有効エッジ入力によるクリア＆スタート・モードのタイミング例
（CR0n0レジスタ：コンペア・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ）（2/2）

（b）TOC0n = 13H, PRM0n = 10H, CRC0n = 04H, TMC0n = 0AH, CR0n0 = 0003H



キャプチャ＆クリア後に，CR0n0レジスタに設定した幅（ここでは4クロック）をTO0n端子から出力したい場合のアプリケーション例です。

TI0n0端子の有効エッジ検出で，CR0n1レジスタにキャプチャし，キャプチャ割り込み信号（INTTM0n1）が発生し，TM0nレジスタをクリア（0000H）し，TO0n端子出力を反転します。TM0nレジスタのカウント値が0003Hになる（4クロックをカウントする）と，コンペア一致割り込み信号（INTTM0n0）が発生し，TO0n端子出力レベルが反転します。

備考　n = 0-3

（3）TI0n0端子の有効エッジ入力によるクリア＆スタート・モード動作

（CR0n0レジスタ：キャプチャ・レジスタ，CR0n1レジスタ：コンペア・レジスタ設定時）

図8－17　TI0n0端子の有効エッジ入力によるクリア＆スタート・モードのブロック図

（CR0n0レジスタ：キャプチャ・レジスタ／CR0n1レジスタ：コンペア・レジスタ）

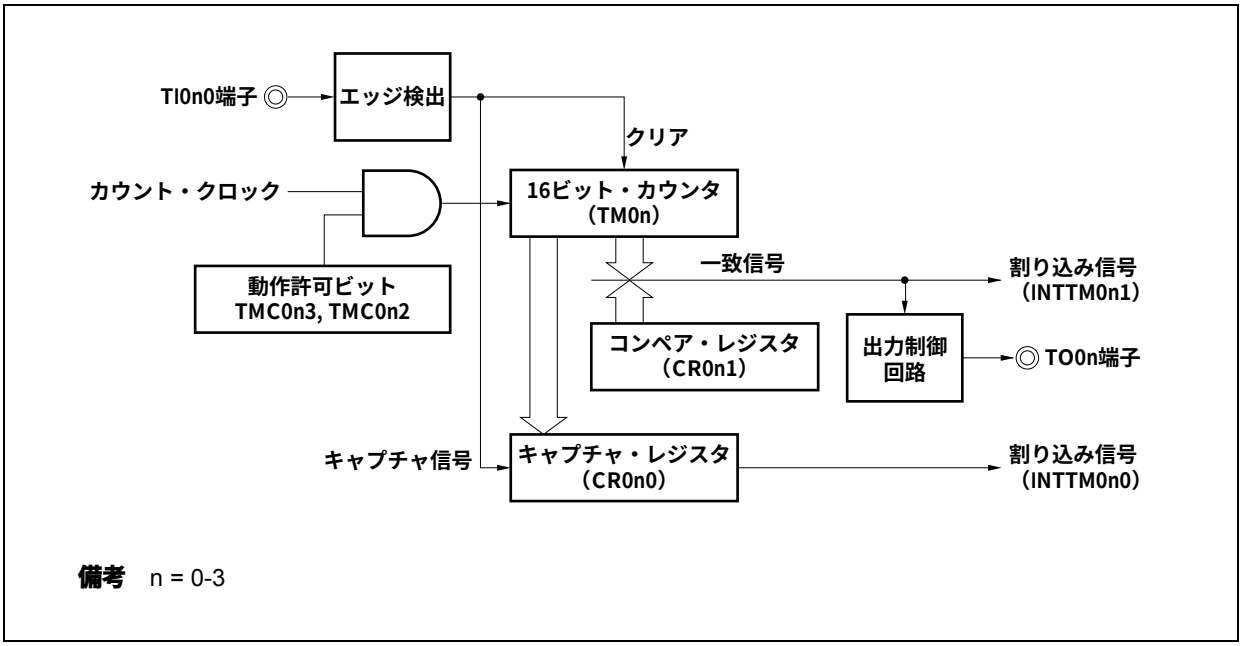
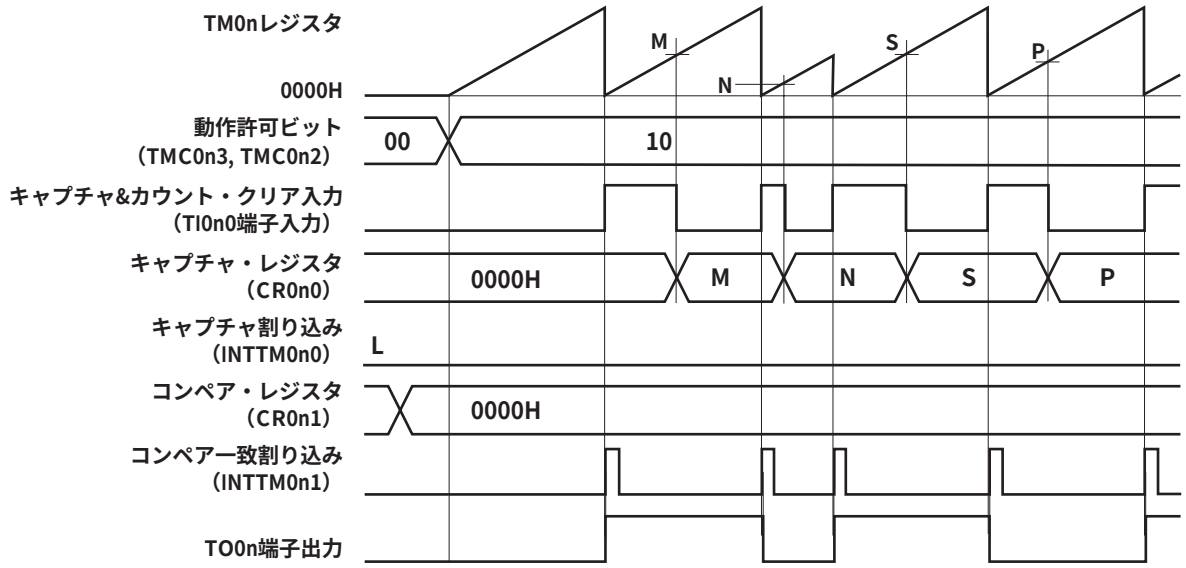


図8－18　TI0n0端子の有効エッジ入力によるクリア＆スタート・モードのタイミング例
（CR0n0レジスタ：キャプチャ・レジスタ／CR0n1レジスタ：コンペア・レジスタ）（1/2）

（a）TOC0n = 13H, PRM0n = 10H, CRC0n = 03H, TMC0n = 08H, CR0n1 = 0000H



キャプチャ＆クリア後にTO0n端子出力レベルを反転したい場合のアプリケーション例です。

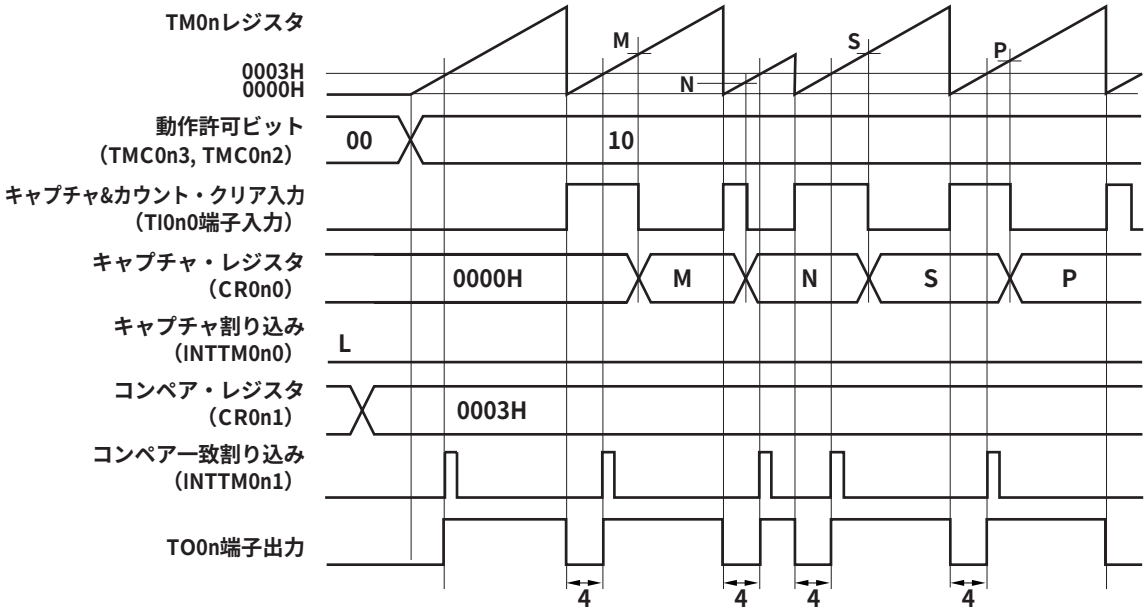
TI0n0端子の立ち上がりエッジ検出で，TM0nレジスタをクリアします。TI0n0端子の立ち下がりエッジ検出で，CR0n0レジスタにキャプチャします。

CRC0n.CRC0n1ビット = 1の設定により，TI0n0端子入力の逆相でTM0nレジスタのカウント値をCR0n0レジスタにキャプチャしますが，キャプチャ割り込み信号（INTTM0n0）は発生しません。しかし，TI0n1端子の有効エッジ検出により，INTTM0n0信号が発生します。INTTM0n0信号を使用しない場合は，INTTM0n0信号をマスクしてください。

備考　n = 0-3

図8－18　TI0n0端子の有効エッジ入力によるクリア＆スタート・モードのタイミング例
（CR0n0レジスタ：キャプチャ・レジスタ／CR0n1レジスタ：コンペア・レジスタ）（2/2）

（b）TOC0n = 13H, PRM0n = 10H, CRC0n = 03H, TMC0n = 0AH, CR0n1 = 0003H



キャプチャ＆クリア後に，CR0n1レジスタに設定した幅（ここでは4クロック）をTO0n端子から出力したい場合のアプリケーション例です。

TI0n0端子の立ち上がりエッジ検出で，TM0nレジスタをクリア（0000H）します。TI0n0端子の立ち下がりエッジ検出で，CR0n0レジスタにキャプチャします。TO0n端子出力は，TI0n0端子の立ち上がりエッジ検出によるTM0nレジスタのクリア（0000H）か，TM0nレジスタとコンペア・レジスタ（CR0n1レジスタ）の一致で反転します。

CRC0n.CRC0n1ビット = 1の設定により，TI0n0端子入力の逆相でTM0nレジスタのカウント値をCR0n0レジスタにキャプチャしますが，キャプチャ割り込み信号（INTTM0n0）は発生しません。しかし，TI0n1端子の有効エッジ検出により，INTTM0n0割り込みが発生します。INTTM0n0信号を使用しない場合はINTTM0n0信号をマスクしてください。

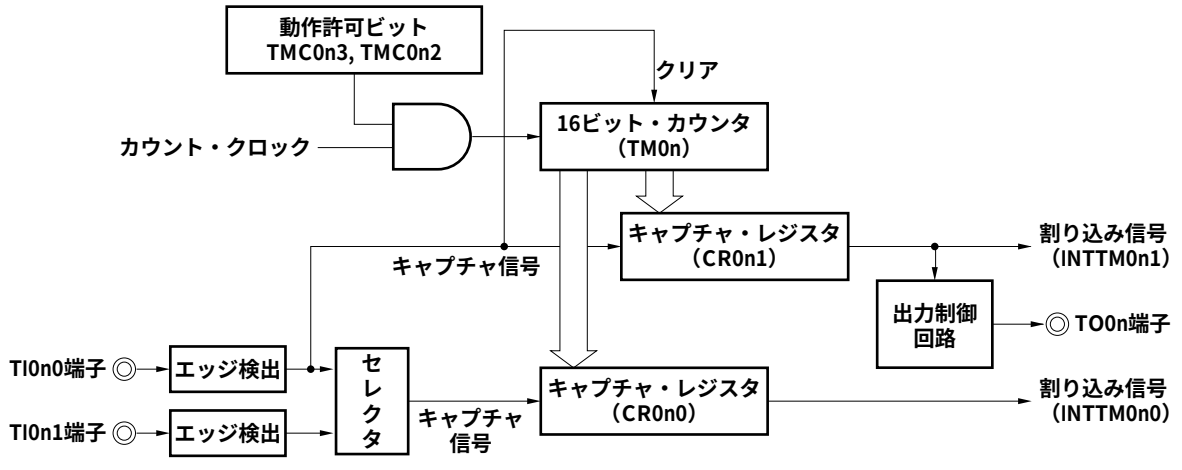
備考　n = 0-3

（4）TI0n0端子の有効エッジ入力によるクリア＆スタート・モード動作

（CR0n0レジスタ：キャプチャ・レジスタ，CR0n1レジスタ：キャプチャ・レジスタ設定時）

図8－19　TI0n0端子の有効エッジ入力によるクリア＆スタート・モードのブロック図

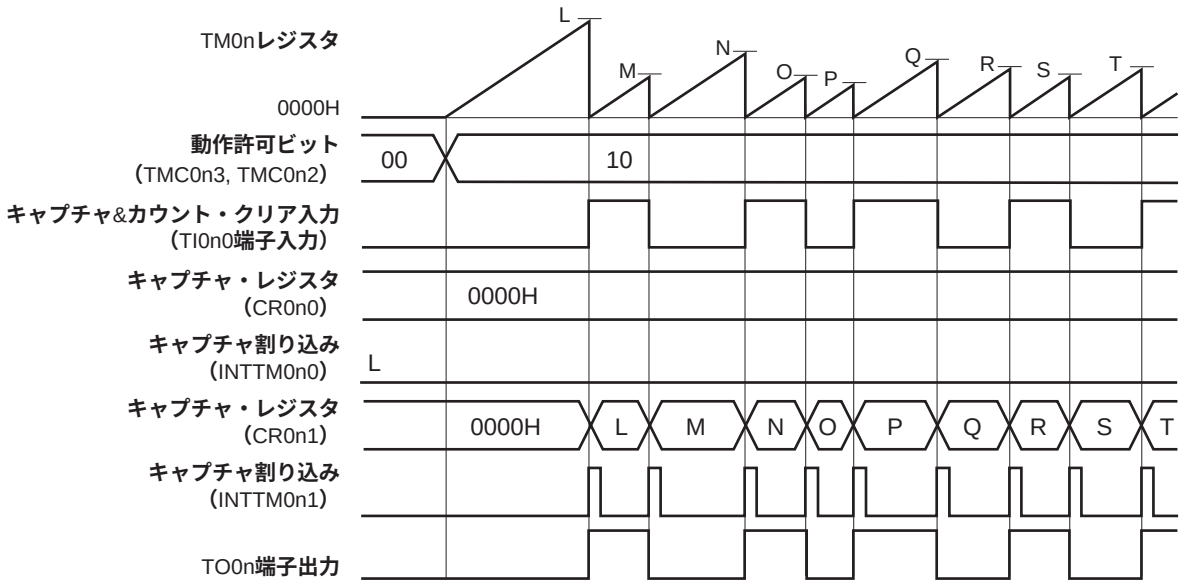
（CR0n0レジスタ：キャプチャ・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ）



備考　n = 0-3

図8－20　TI0n0端子の有効エッジ入力によるクリア＆スタート・モードのタイミング例
（CR0n0レジスタ：キャプチャ・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ）（1/3）

（a）TOC0n = 13H, PRM0n = 30H, CRC0n = 05H, TMC0n = 0AH



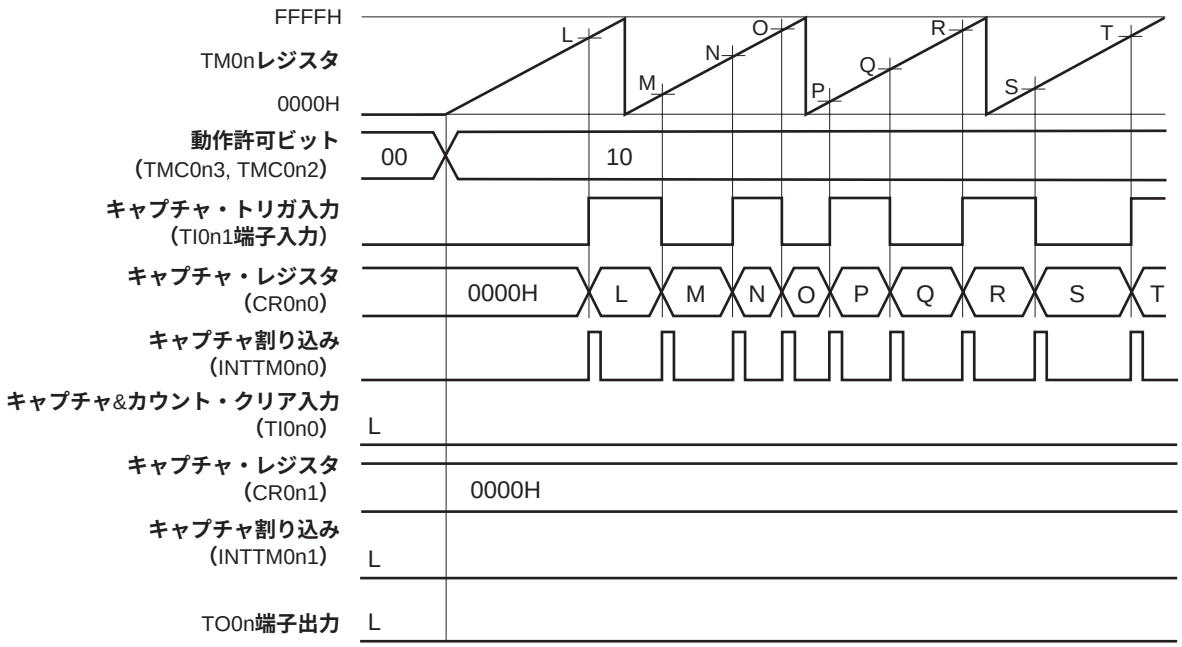
TI0n0端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に，CR0n1レジスタにキャプチャし，TM0nレジスタをクリアし，TO0n端子出力を反転させるアプリケーション例です。

TI0n1端子のエッジ検出により，割り込み信号（INTTM0n0）が発生します。INTTM0n0信号を使用しない場合には，INTTM0n0信号をマスクしてください。

備考　n = 0-3

図8－20　TI0n0端子の有効エッジ入力によるクリア＆スタート・モードのタイミング例
（CR0n0レジスタ：キャプチャ・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ）（2/3）

（b）TOC0n = 13H, PRM0n = C0H, CRC0n = 05H, TMC0n = 0AH



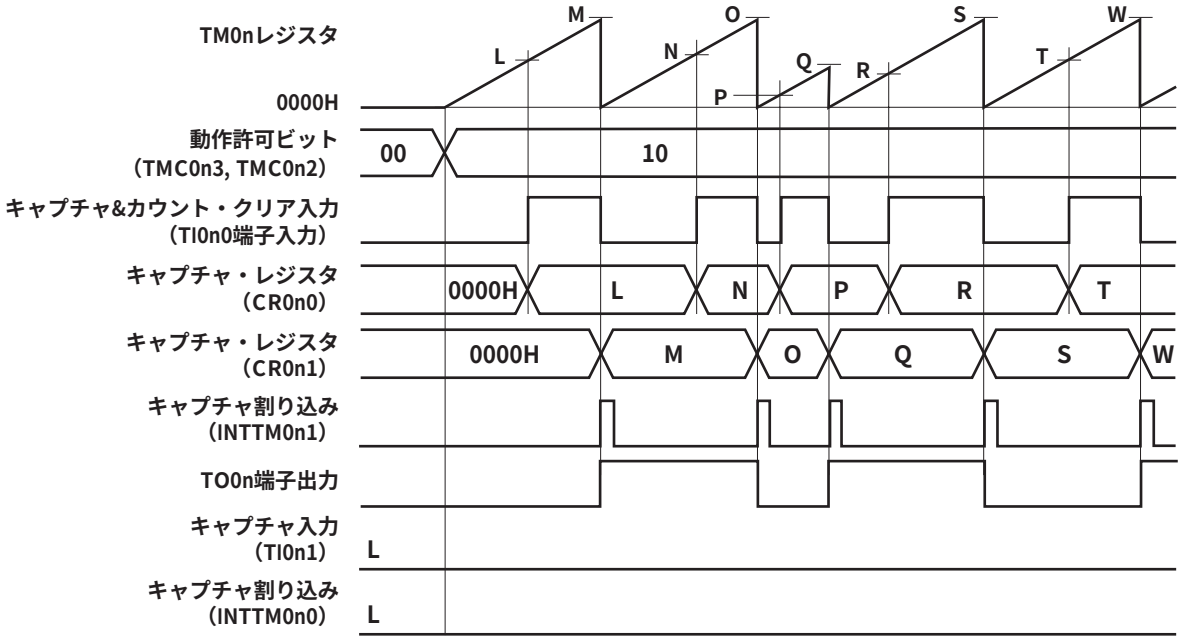
TI0n1端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に，CR0n0レジスタにキャプチャするアプリケーションにおいて，TI0n0端子にエッジが入力されないときのタイミング例です。

TI0n0端子がエッジを検出しないので，TO0n端子出力はロウ・レベルのままで反転しません。

備考　n = 0-3

図8－20　TI0n0端子の有効エッジ入力によるクリア＆スタート・モードのタイミング例
（CR0n0レジスタ：キャプチャ・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ）（3/3）

（c）TOC0n = 13H, PRM0n = 00H, CRC0n = 07H, TMC0n = 0AH



TI0n0端子入力信号のパルス幅を測定する場合のアプリケーション例です。

CRC0nレジスタの設定により，TI0n0端子の立ち下がりエッジの逆相（すなわち立ち上がりエッジ）検出でCR0n0レジスタにキャプチャし，TI0n0端子の立ち下がりエッジ検出でCR0n1レジスタにキャプチャします。

入力パルスのハイ・レベル幅，ロウ・レベル幅は，次の式で算出できます。

- ハイ・レベル幅：［CR0n1レジスタ値］－［CR0n0レジスタ値］×［カウント・クロック周期］
- ロウ・レベル幅：［CR0n0レジスタ値］×［カウント・クロック周期］

CR0n0レジスタへのキャプチャ・トリガとしてTI0n0端子の逆相を選択した場合，INTTM0n0信号は発生しません。パルス幅測定のためのCR0n0, CR0n1レジスタ値のリードは，INTTM0n1信号発生直後に行ってください。

ただし，TI0n1端子にPRM0n.ESn11，ESn10ビットで指定した有効エッジが入力されると，キャプチャ動作はしませんが，INTTM0n0信号は発生します。TI0n0端子のパルス幅を測定する場合，INTTM0n0信号を使用しないときは，INTTM0n0信号をマスクしてください。

備考　n = 0-3

図8－21　TI0n0端子の有効エッジ入力によるクリア＆スタート・モード動作時のレジスタ設定内容例（1/2）

（a）16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	1	0	0/1	0

0：CR0n0, CR0n1との一致でTO0n出力が反転
1：CR0n0, CR0n1との一致およびTI0n0端子の有効エッジでTO0n出力が反転

TI0n0端子の有効エッジ入力によるクリア＆スタート

（b）キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）

					CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0/1	0/1	0/1

0：CR0n0をコンペア・レジスタにする
1：CR0n0をキャプチャ・レジスタにする

0：CR0n0のキャプチャ・トリガはTI0n1端子
1：CR0n0のキャプチャ・トリガはTI0n0端子の逆相

0：CR0n1をコンペア・レジスタにする
1：CR0n1をキャプチャ・レジスタにする

（c）16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）

	OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0/1	0/1	0/1	0/1	0/1

0：TO0n出力禁止
1：TO0n出力許可

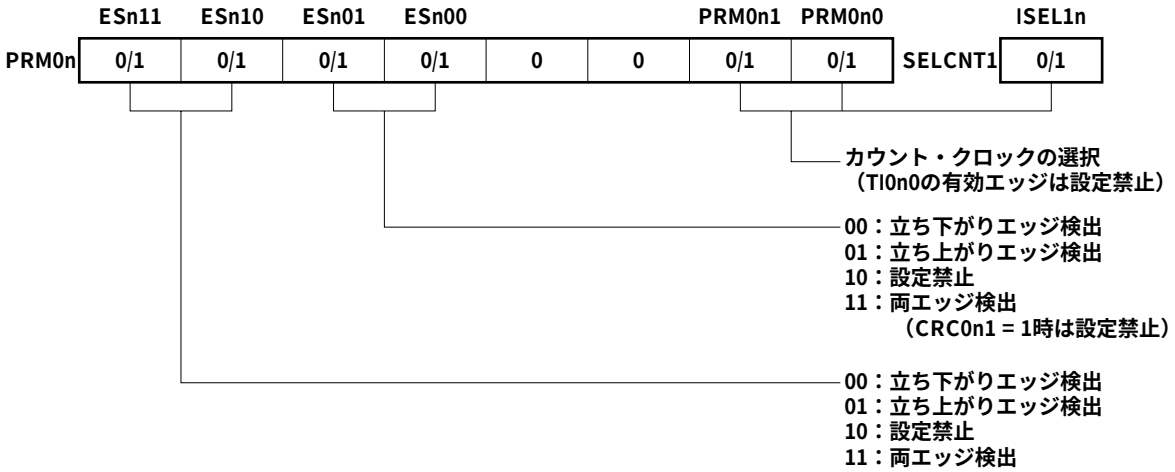
TO0n出力F/Fの初期値を指定

00：TM0nとCR0n0/CR0n1が一致してもTO0n出力は反転しない
01：TM0nとCR0n0の一致によりTO0n出力を反転
10：TM0nとCR0n1の一致によりTO0n出力を反転
11：TM0nとCR0n0/CR0n1の一致によりTO0n出力を反転

備考　n = 0-3

図8－21　TI0n0端子の有効エッジ入力によるクリア＆スタート・モード動作時のレジスタ設定内容例（2/2）

（d）プリスケーラ・モード・レジスタ0n（PRM0n），セレクタ動作制御レジスタ1（SELCNT1）



（e）16ビット・タイマ・カウンタ0n（TM0n）

TM0nレジスタをリードしてカウンタの値を読み出します。

（f）16ビット・キャプチャ／コンペア・レジスタ0n0（CR0n0）

コンペア・レジスタとして使用する場合は，TM0nレジスタとの一致で割り込み信号（INTTM0n0）が発生します。TM0nレジスタのカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は，TI0n0, TI0n1端子入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により，TM0nレジスタのカウント値をCR0n0レジスタに格納します。

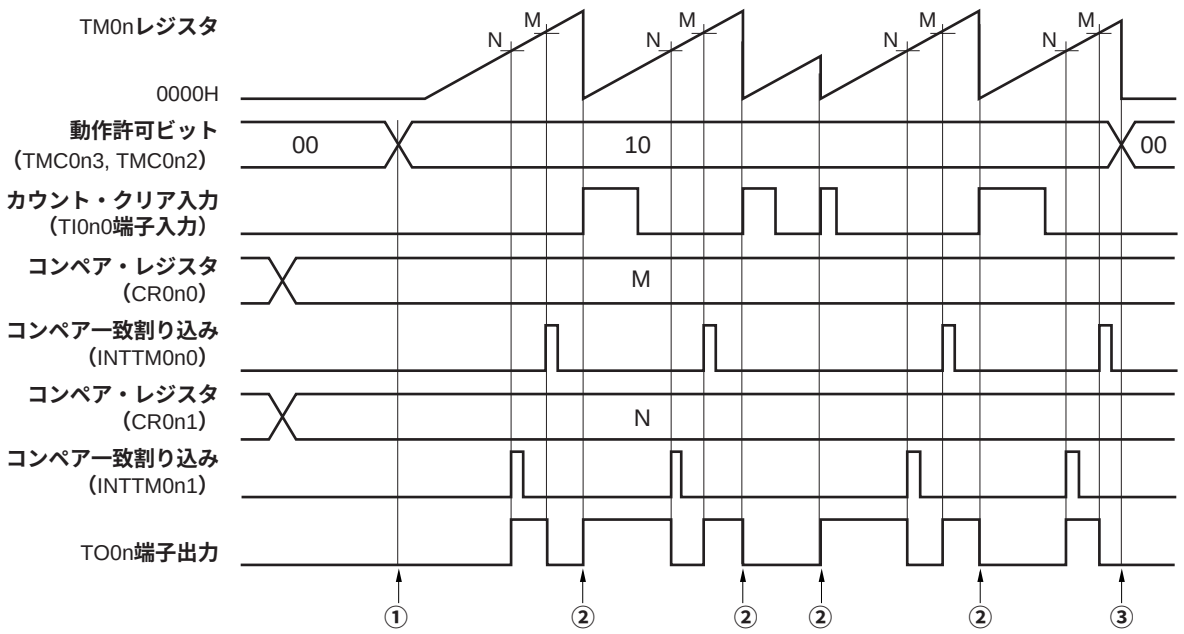
（g）16ビット・キャプチャ／コンペア・レジスタ0n1（CR0n1）

コンペア・レジスタとして使用する場合は，TM0nレジスタとの一致で割り込み信号（INTTM0n1）が発生します。TM0nレジスタのカウント値はクリアされません。

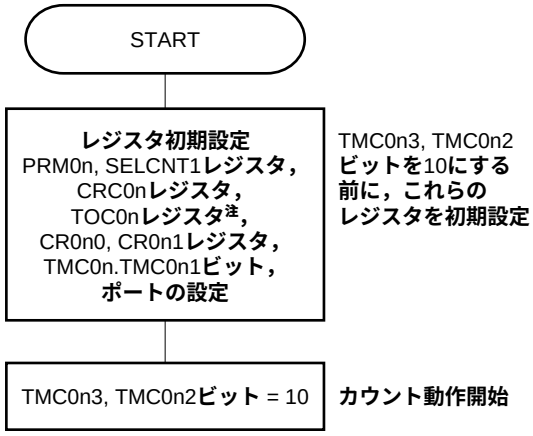
キャプチャ・レジスタとして使用する場合は，TI0n0端子入力がキャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により，TM0nレジスタのカウント値をCR0n1レジスタに格納します。

備考　n = 0-3

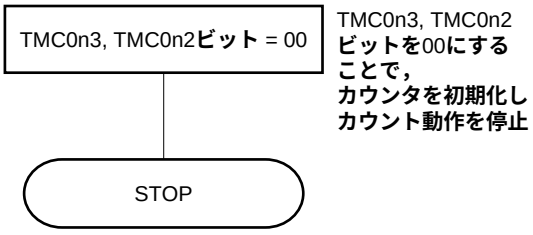
図8－22　TI0n0端子の有効エッジ入力によるクリア＆スタート・モード動作時のソフトウエア処理例



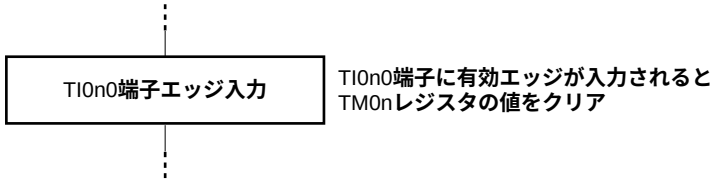
① カウント動作開始フロー



③ カウント動作停止フロー



② TM0nレジスタ・クリア＆スタート･フロー



注　TOC0nレジスタの設定は注意が必要です。詳細は8. 3（3）16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）を参照してください。

備考　n = 0-3

8.4.5　フリー・ランニング・タイマとしての動作

TMC0n.TMC0n3, TMC0n2ビット = 01（フリー・ランニング・タイマ・モード）に設定すると，カウント・クロックに同期してカウント・アップ動作を続けます。FFFFHまでカウントすると，次のクロックでオーバフロー・フラグ（TMC0n.OVF0nビット）がセット（1）されるとともに，TM0nレジスタをクリア（0000H）し，カウント動作を継続します。OVF0nビットは，ソフトウエアでCLR命令を実行してクリア（0）してください。

フリー・ランニング・タイマとしての動作には，次の3種類があります。

- CR0n0, CR0n1レジスタを両方ともコンペア・レジスタとして使用
- CR0n0, CR0n1レジスタの一方をコンペア・レジスタ，もう一方をキャプチャ・レジスタとして使用
- CR0n0, CR0n1レジスタを両方ともキャプチャ・レジスタとして使用

備考1.　兼用端子（TO0n）の設定については，表4－16　ポート端子を兼用端子として使用する場合を参照してください。

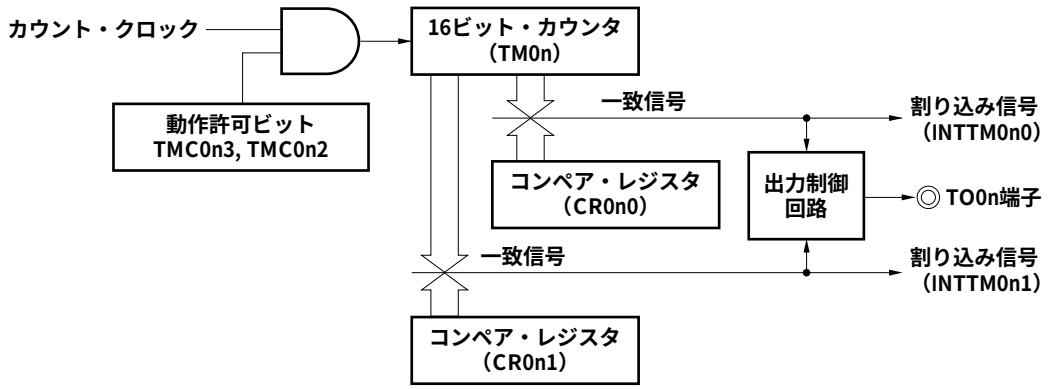
2.　INTTM0n0, INTTM0n1割り込み許可については，第21章　割り込み／例外処理機能を参照してください。

（1）フリー・ランニング・タイマ・モード動作

（CR0n0レジスタ：コンペア・レジスタ，CR0n1レジスタ：コンペア・レジスタ設定時）

図8－23　フリー・ランニング・タイマ・モードのブロック図

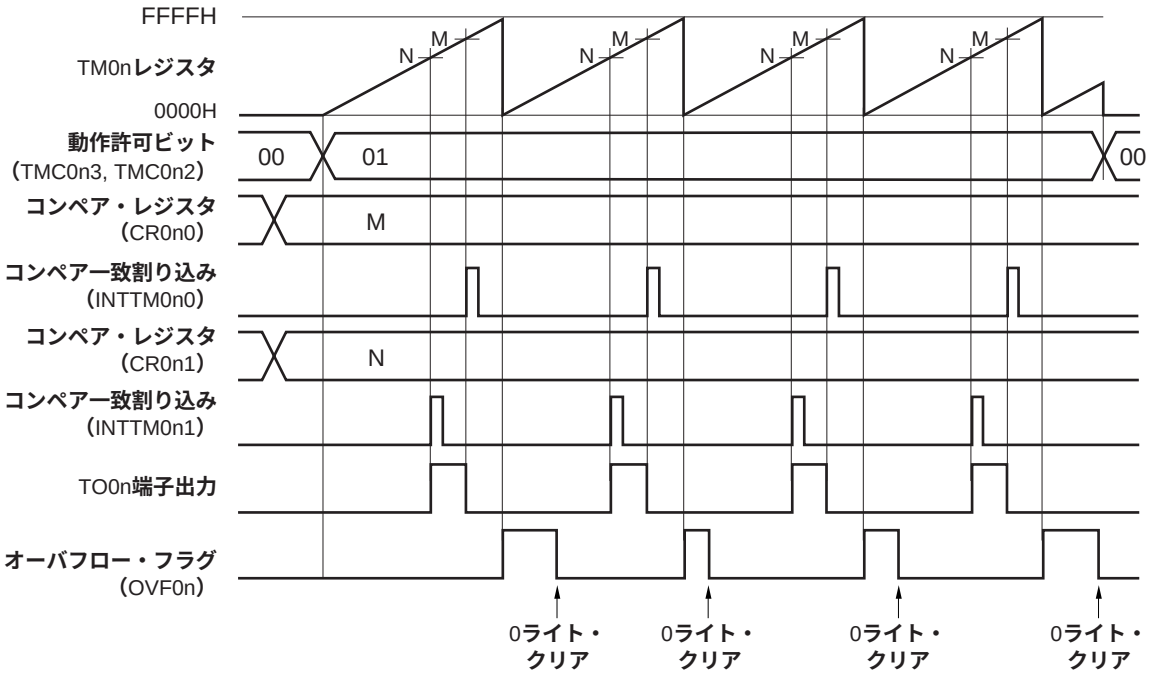
（CR0n0レジスタ：コンペア・レジスタ／CR0n1レジスタ：コンペア・レジスタ）



備考　n = 0-3

図8－24　フリー・ランニング・タイマ・モードのタイミング例
（CR0n0レジスタ：コンペア・レジスタ／CR0n1レジスタ：コンペア・レジスタ）

• TOC0n = 13H, PRM0n = 00H, CRC0n =00H, TMC0n = 04H



フリー・ランニング・タイマ・モードで，2つのコンペア機能を使用したアプリケーション例です。

TO0n端子出力レベルは，CR0n0, CR0n1レジスタの設定値とTM0nレジスタのカウント値が一致するごとに反転します。また，一致するタイミングで，INTTM0n0, INTTM0n1信号がそれぞれ発生します。

備考　n = 0-3

(2) フリー・ランニング・タイマ・モード動作

(CR0n0レジスタ：コンペア，CR0n1レジスタ：キャプチャ設定時)

図8－25　フリー・ランニング・タイマ・モードのブロック図

(CR0n0レジスタ：コンペア・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ)

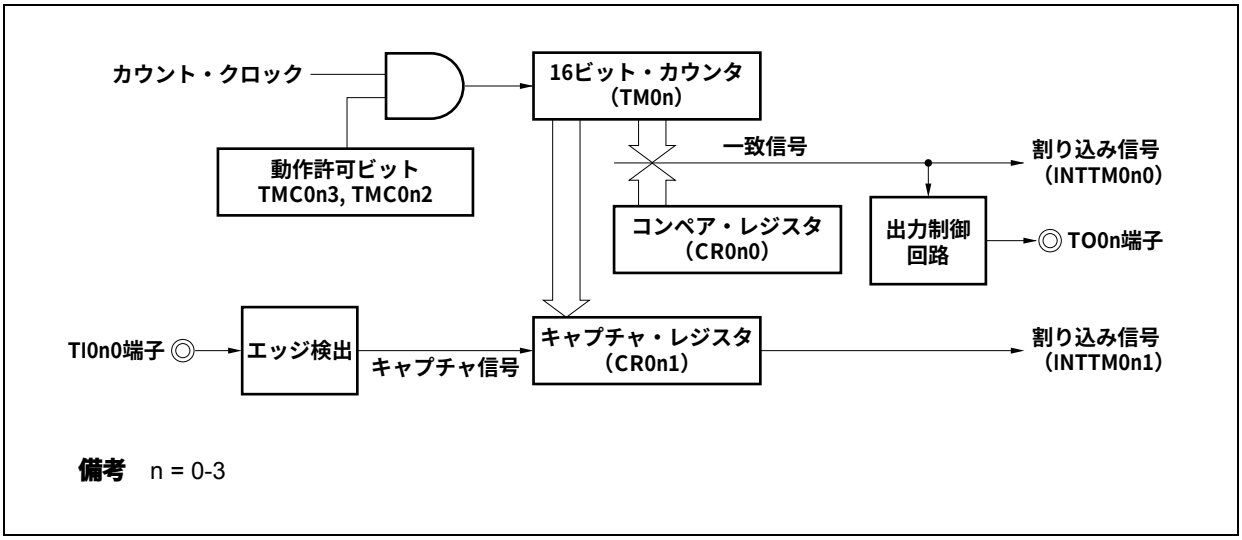
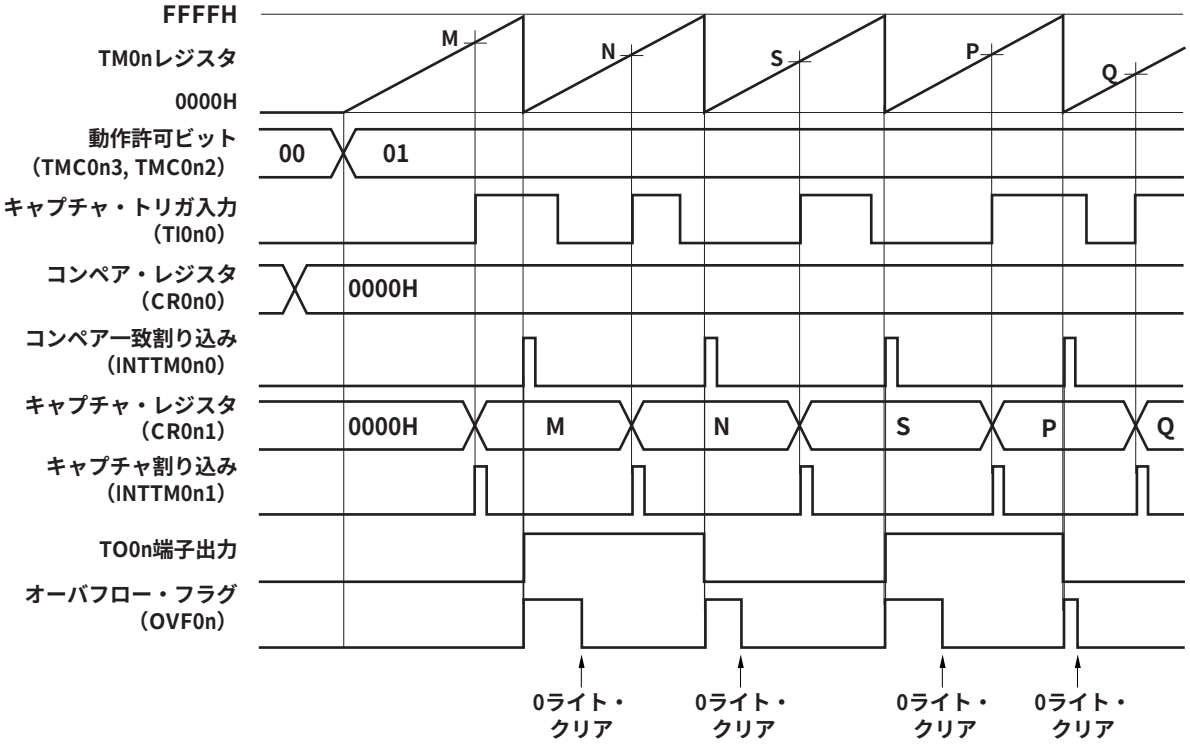


図8－26　フリー・ランニング・タイマ・モードのタイミング例
（CR0n0レジスタ：コンペア・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ）

• TOC0n = 13H, PRM0n = 10H, CRC0n = 06H, TMC0n = 04H



フリー・ランニング・タイマ・モードで，コンペア機能とキャプチャ機能を同時に使用したアプリケーション例です。

この例では，CR0n0（コンペア）レジスタの設定値とTM0nレジスタのカウント値が一致するごとに，INTTM0n0信号を発生し，TO0n端子出力を反転します。また，TI0n0端子の有効エッジを検出するごとに，INTTM0n1信号を発生し，TM0nレジスタのカウント値をCR0n1レジスタにキャプチャします。

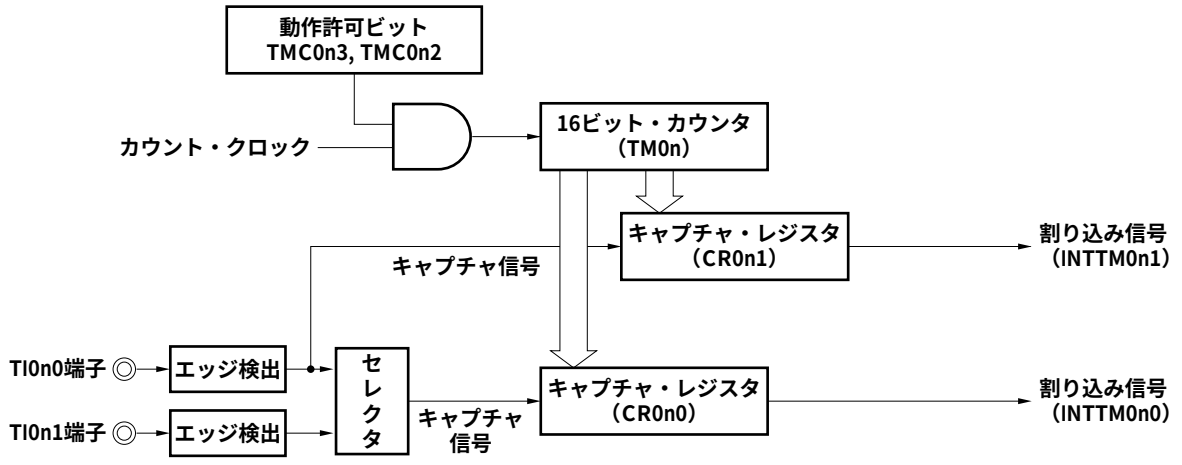
備考　n = 0-3

(3) フリー・ランニング・タイマ・モード動作

(CR0n0レジスタ：キャプチャ・レジスタ，CR0n1レジスタ：キャプチャ・レジスタ設定時)

図8－27　フリー・ランニング・タイマ・モードのブロック図

(CR0n0レジスタ：キャプチャ・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ)

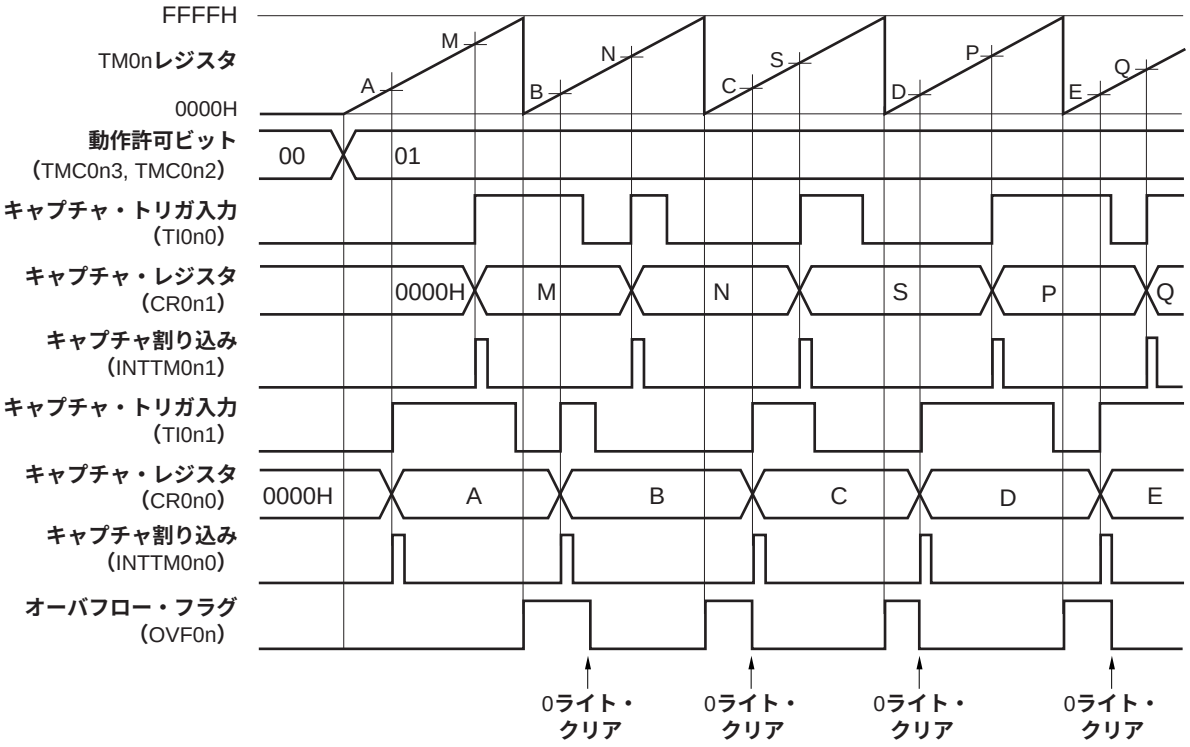


備考1.　フリー・ランニング・タイマ・モードで，CR0n0, CR0n1レジスタを両方ともキャプチャ機能に設定した場合，TO0n端子出力レベルは反転しません。
ただし，TMC0n.TMC0n1ビット = 1に設定することにより，TI0n0端子の有効エッジを検出するごとにTO0n端子出力レベルを反転させることができます。

2.　n = 0-3

図8－28　フリー・ランニング・タイマ・モードのタイミング例
（CR0n0レジスタ：キャプチャ・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ）（1/2）

（a）TOC0n = 13H, PRM0n = 50H, CRC0n = 05H, TMC0n = 04H



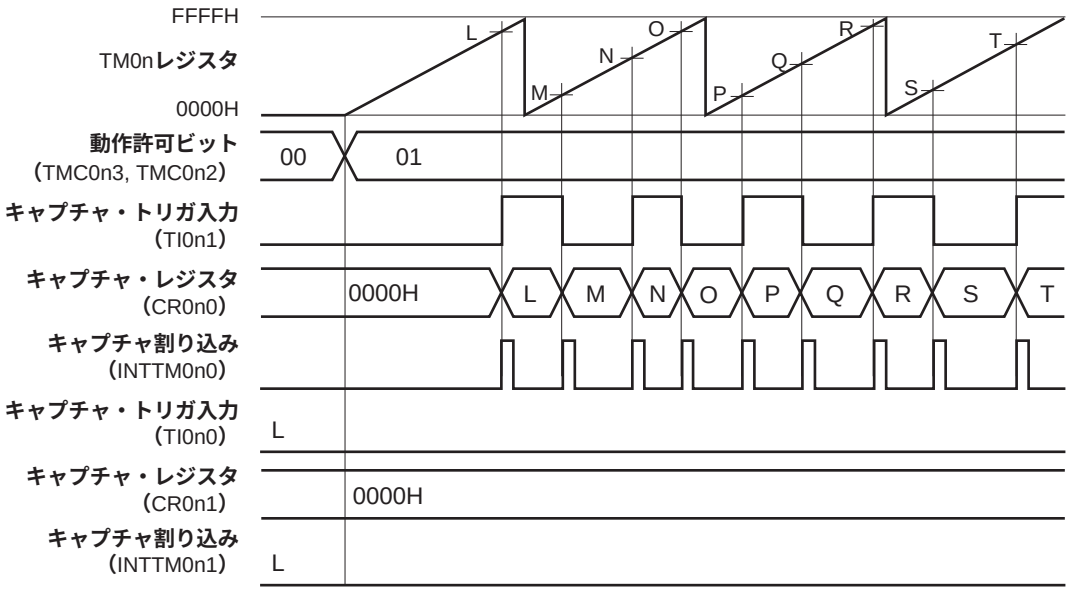
フリー・ランニング・タイマ・モードで，別々のキャプチャ・トリガ入力の有効エッジでキャプチャした値を別々のキャプチャ・レジスタに格納するアプリケーション例です。

TI0n0端子入力の有効エッジ検出でCR0n1レジスタにキャプチャします。TI0n1端子入力の有効エッジ検出でCR0n0レジスタにキャプチャします。

備考　n = 0-3

図8－28　フリー・ランニング・タイマ・モードのタイミング例
（CR0n0レジスタ：キャプチャ・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ）（2/2）

（b）TOC0n = 13H, PRM0n = C0H, CRC0n = 05H, TMC0n = 04H



フリー・ランニング・タイマ・モードで，TI0n1端子の両エッジ検出に設定し，CR0n0レジスタにキャプチャするアプリケーション例です。

CR0n0, CR0n1レジスタを両方ともキャプチャ・レジスタとして使用し，TI0n1端子だけからの有効エッジを検出する場合，CR0n1レジスタにキャプチャすることはできません。

備考　n = 0-3

図8－29　フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例（1/2）

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	0	1	0/1	0

0：CR0n0, CR0n1との一致で
TO0n端子出力が反転
1：CR0n0, CR0n1との一致および
TI0n0端子の有効エッジで
TO0n端子出力が反転

フリー・ランニング・タイマ・モード

(b) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）

					CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0/1	0/1	0/1

0：CR0n0をコンペア・
レジスタにする
1：CR0n0をキャプチャ・
レジスタにする

0：CR0n0のキャプチャ・
トリガはTI0n1端子
1：CR0n0のキャプチャ・
トリガはTI0n0端子の逆相

0：CR0n1をコンペア・
レジスタにする
1：CR0n1をキャプチャ・
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）

	OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0/1	0/1	0/1	0/1	0/1

0：TO0n出力禁止
1：TO0n出力許可

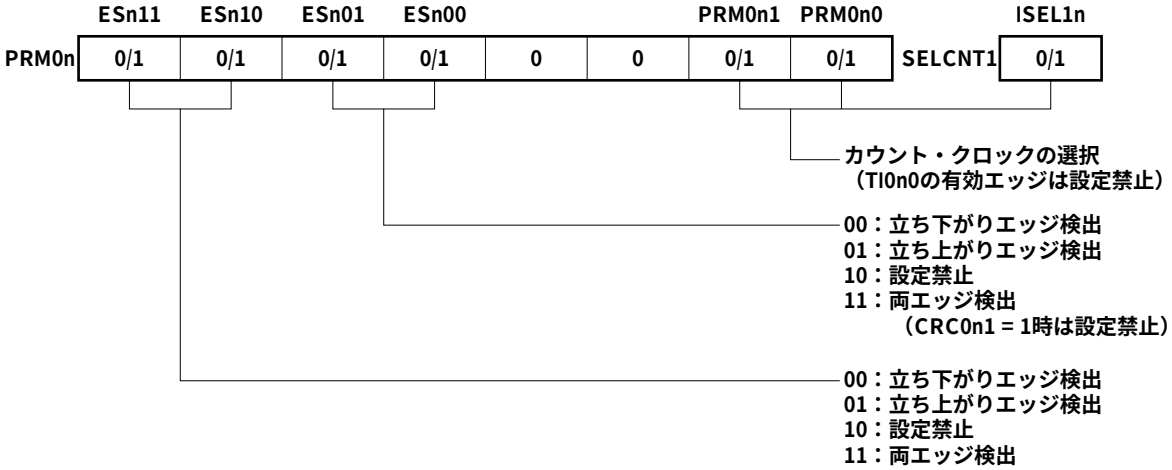
TO0n出力F/Fの初期値
を指定

00：TM0nとCR0n0/CR0n1が一致
してもTO0n出力は反転しない
01：TM0nとCR0n0の一致に
よりTO0n出力を反転
10：TM0nとCR0n1の一致に
よりTO0n出力を反転
11：TM0nとCR0n0/CR0n1の一致に
よりTO0n出力を反転

備考　n = 0-3

図8－29　フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例（2/2）

（d）プリスケーラ・モード・レジスタ0n（PRM0n），セレクタ動作制御レジスタ1（SELCNT1）



（e）16ビット・タイマ・カウンタ0n（TM0n）

TM0nレジスタをリードしてカウンタの値を読み出します。

（f）16ビット・キャプチャ／コンペア・レジスタ0n0（CR0n0）

コンペア・レジスタとして使用する場合は，TM0nレジスタとの一致で割り込み信号（INTTM0n0）が発生します。TM0nレジスタのカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は，TI0n0, TI0n1端子入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により，TM0nレジスタのカウント値をCR0n0レジスタに格納します。

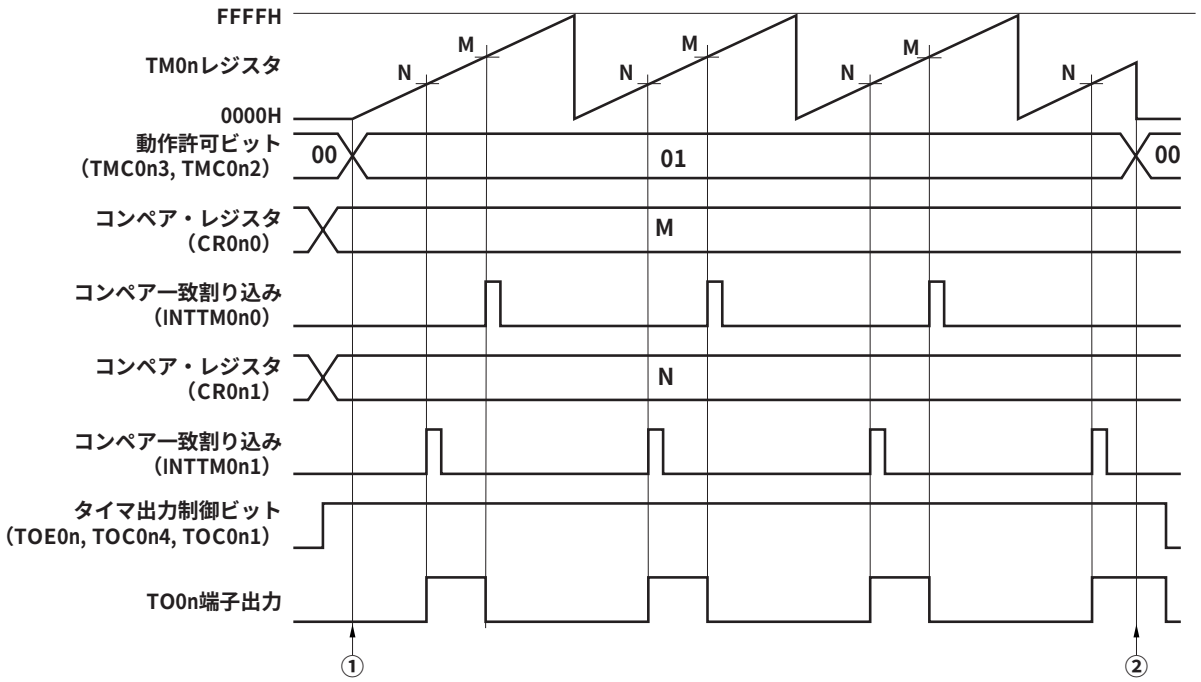
（g）16ビット・キャプチャ／コンペア・レジスタ0n1（CR0n1）

コンペア・レジスタとして使用する場合は，TM0nレジスタとの一致で割り込み信号（INTTM0n1）が発生します。TM0nレジスタのカウント値はクリアされません。

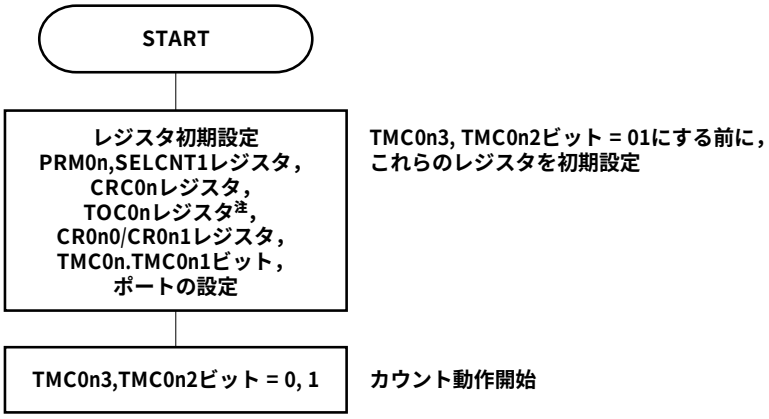
キャプチャ・レジスタとして使用する場合は，TI0n0端子入力がキャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により，TM0nレジスタのカウント値をCR0n1レジスタに格納します。

備考　n = 0-3

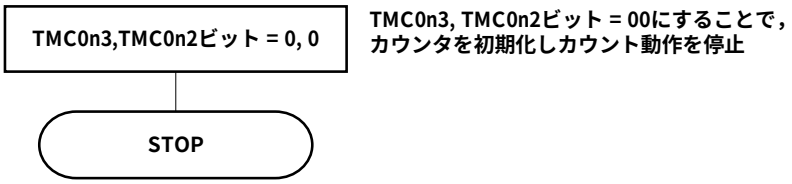
図8－30　フリー・ランニング・タイマ・モード動作時のソフトウエア処理例



① カウント動作開始フロー



② カウント動作停止フロー



注　TOC0nレジスタの設定は注意が必要です。詳細は8. 3（3）16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）を参照してください。

備考　n = 0-3

8. 4. 6　PPG出力としての動作

TMC0n.TMC0n3, TMC0n2ビット = 11（TM0nレジスタとCR0n0レジスタの一致によるクリア＆スタート）に設定し，CR0n0レジスタにあらかじめ設定した値を1周期とし，CR0n1レジスタにあらかじめ設定した値をパルス幅とする矩形波を，TO0n端子からPPG（Programmable Pulse Generator）出力として動作します。

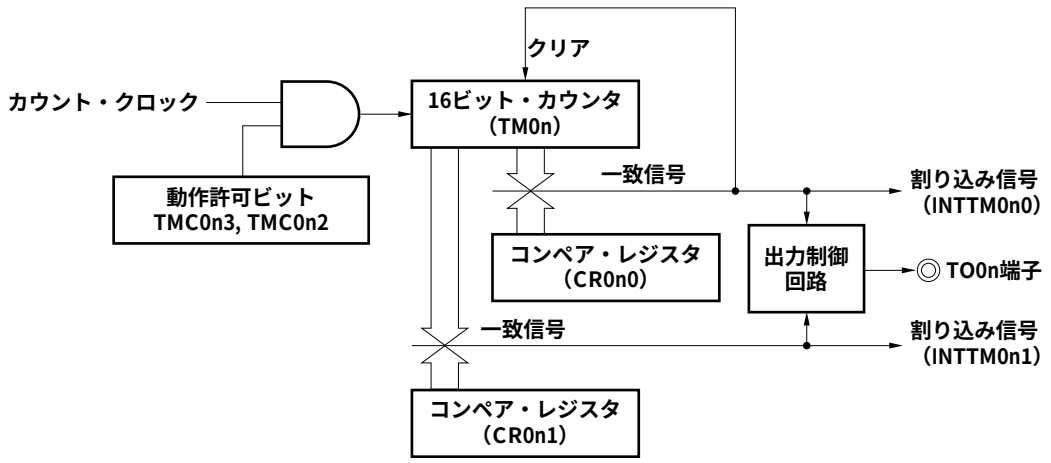
PPG出力によって生成されるパルス周期，デューティは次のようになります。

・パルス周期：（CR0n0レジスタの設定値＋1）×カウント・クロック周期
・デューティ：（CR0n1レジスタの設定値＋1）／（CR0n0レジスタの設定値＋1）

注意　動作中にデューティの値（CR0n1レジスタ）を変更したい場合は，8. 5. 1　CR0n1レジスタのTM0n動作中の書き換えを参照してください。

備考1.　兼用端子（TO0n）の設定については，表4－16　ポート端子を兼用端子として使用する場合を参照してください。
2.　INTTM0n0, INTTM0n1割り込み許可については，第21章　割り込み／例外処理機能を参照してください。

図8－31　PPG出力としての動作のブロック図



備考　n = 0-3

図8－32　PPG出力動作時のレジスタ設定内容例（1/2）

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	1	1	0	0

TM0nとCR0n0の一致でクリア＆スタート

(b) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）

					CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0	0	0

0：CR0n0をコンペア・レジスタにする

0：CR0n1をコンペア・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）

	OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	1	0/1	0/1	1	1

TO0n出力許可

TO0n出力F/Fの初期値を指定

11：TM0nとCR0n0/CR0n1の一致によりTO0n出力を反転

00：ワンショット・パルス出力禁止

(d) プリスケーラ・モード・レジスタ0n（PRM0n），セレクタ動作制御レジスタ1（SELCNT1）

	ESn11	ESn10	ESn01	ESn00			PRM0n1	PRM0n0		ISEL1n
PRM0n	0	0	0	0	0	0	0/1	0/1	SELCNT1	0/1

カウント・クロックの選択

備考　n = 0-3

図8－32　PPG出力動作時のレジスタ設定内容例（2/2）

（e）16ビット・タイマ・カウンタ0n（TM0n）

TM0nレジスタをリードしてカウンタの値を読み出します。

（f）16ビット・キャプチャ／コンペア・レジスタ0n0（CR0n0）

TM0nレジスタとの一致で割り込み信号（INTTM0n0）を発生します。

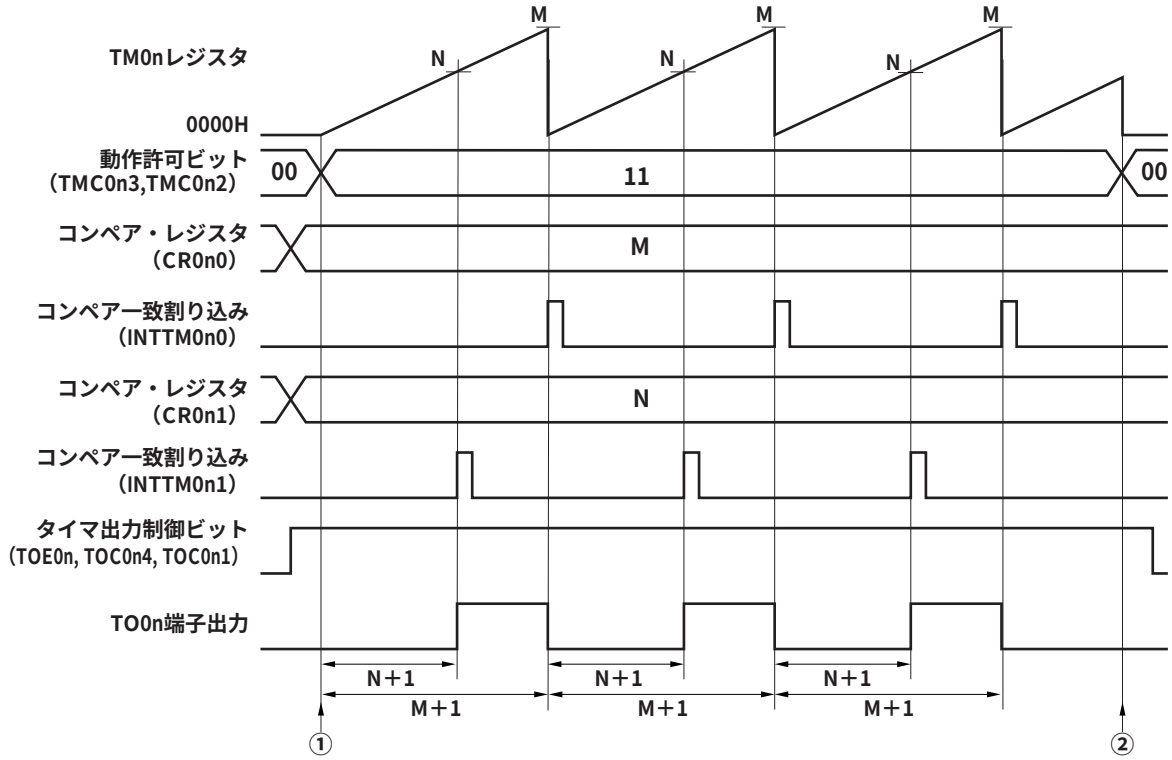
（g）16ビット・キャプチャ／コンペア・レジスタ0n1（CR0n1）

TM0nレジスタとの一致で割り込み信号（INTTM0n1）を発生します。TM0nレジスタのカウント値はクリアされません。

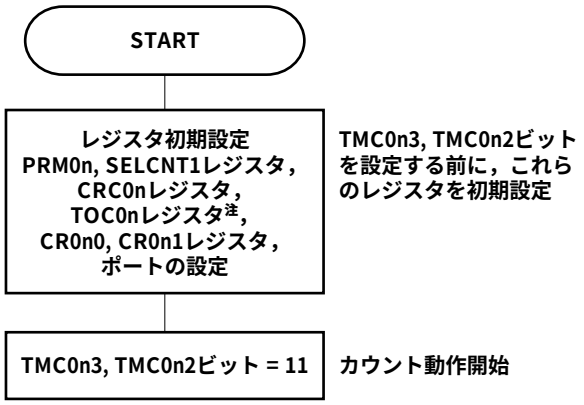
注意　CR0n0, CR0n1レジスタには，0000H≦CR0n1＜CR0n0≦FFFFHの値を設定してください。

備考　n = 0-3

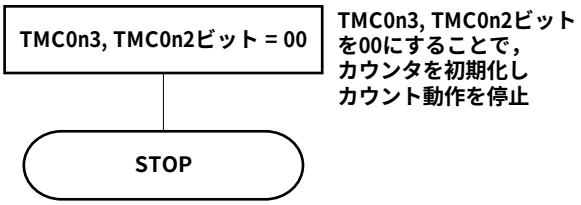
図8－33　PPG出力動作時のソフトウエア処理例



① カウント動作開始フロー



② カウント動作停止フロー



注　TOC0nレジスタの設定は注意が必要です。詳細は8. 3（3）16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）を参照してください。

備考1.　PPGのパルス周期：（M＋1）×カウント・クロック周期

PPGのデューティ：（N＋1）/（M＋1）

2.　n = 0-3

8.4.7　ワンショット・パルス出力としての動作

TMC0n.TMC0n3, TMC0n2ビット = 01（フリー・ランニング・タイマ・モード），またはTMC0n3, TMC0n2ビット = 10（TI0n0端子の有効エッジによるクリア＆スタート・モード）に設定し，TOC0n.OSPE0nビット = 1に設定することにより，ワンショット・パルスを出力できます。

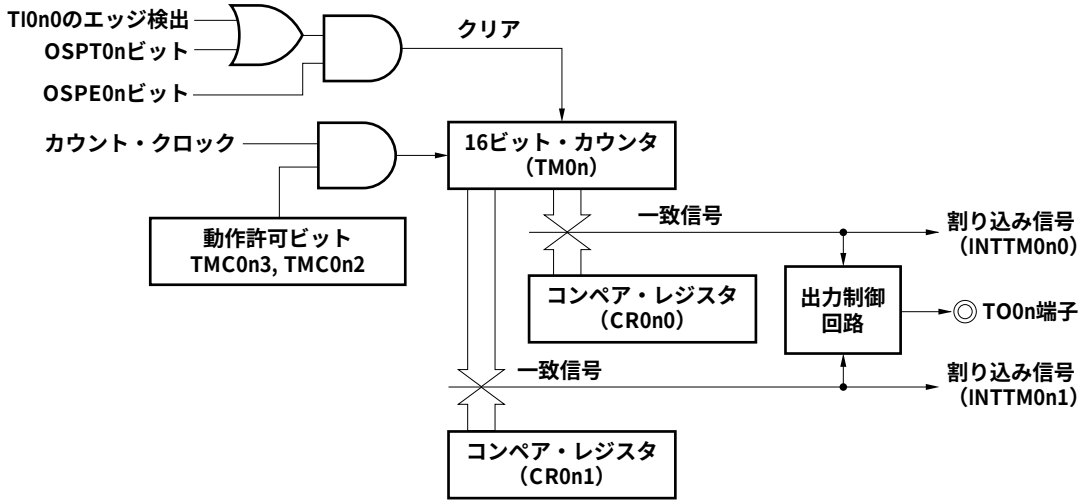
タイマ動作中に，TOC0n.OSPT0nビットをセット（1）するか，またはTI0n0端子に有効エッジが入力されると，それがトリガとなり，TM0nレジスタのクリア＆スタート後，CR0n0, CR0n1レジスタに設定した差分のパルスを1回だけTO0n端子から出力します。

注意　ワンショット・パルスを出力中に，さらにトリガ（OSPT0nビットのセット（1），またはTI0n0端子の有効エッジ検出）を入力しないでください。再度，ワンショット・パルスを出力したいときは，現在のワンショット・パルス出力が終了したあとで，トリガを発生させてください。

備考1.　兼用端子（TO0n）の設定については，表4－16　ポート端子を兼用端子として使用する場合を参照してください。

2.　INTTM0n0, INTTM0n1割り込み許可については，第21章　割り込み／例外処理機能を参照してください。

図8－34　ワンショット・パルス出力としての動作のブロック図



備考　n = 0-3

図8－35　ワンショット・パルス出力動作時のレジスタ設定内容例（1/2）

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	0/1	0/1	0	0

01：フリー・ランニング・タイマ・モード
10：TI0n0端子の有効エッジによるクリア＆スタート・モード

(b) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）

					CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0	0	0

CR0n0をコンペア・レジスタにする
CR0n1をコンペア・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）

	OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0/1	1	1	0/1	0/1	1	1

TO0n端子出力許可
TO0n端子出力の初期値を指定
TM0nとCR0n0/CR0n1の一致によりTO0n出力を反転
ワンショット・パルス出力許可
1をライトすることでソフトウエア・トリガを発生（0をライトしても動作に影響なし）

(d) プリスケーラ・モード・レジスタ0n（PRM0n），セレクタ動作制御レジスタ1（SELCNT1）

	ESn11	ESn10	ESn01	ESn00			PRM0n1	PRM0n0		ISEL1n
PRM0n	0	0	0	0	0	0	0/1	0/1	SELCNT1	0/1

カウント・クロックの選択

備考　n = 0-3

図8－35　ワンショット・パルス出力動作時のレジスタ設定内容例（2/2）

（e）16ビット・タイマ・カウンタ0n（TM0n）

TM0nレジスタをリードしてカウンタの値を読み出します。

（f）16ビット・キャプチャ／コンペア・レジスタ0n0（CR0n0）

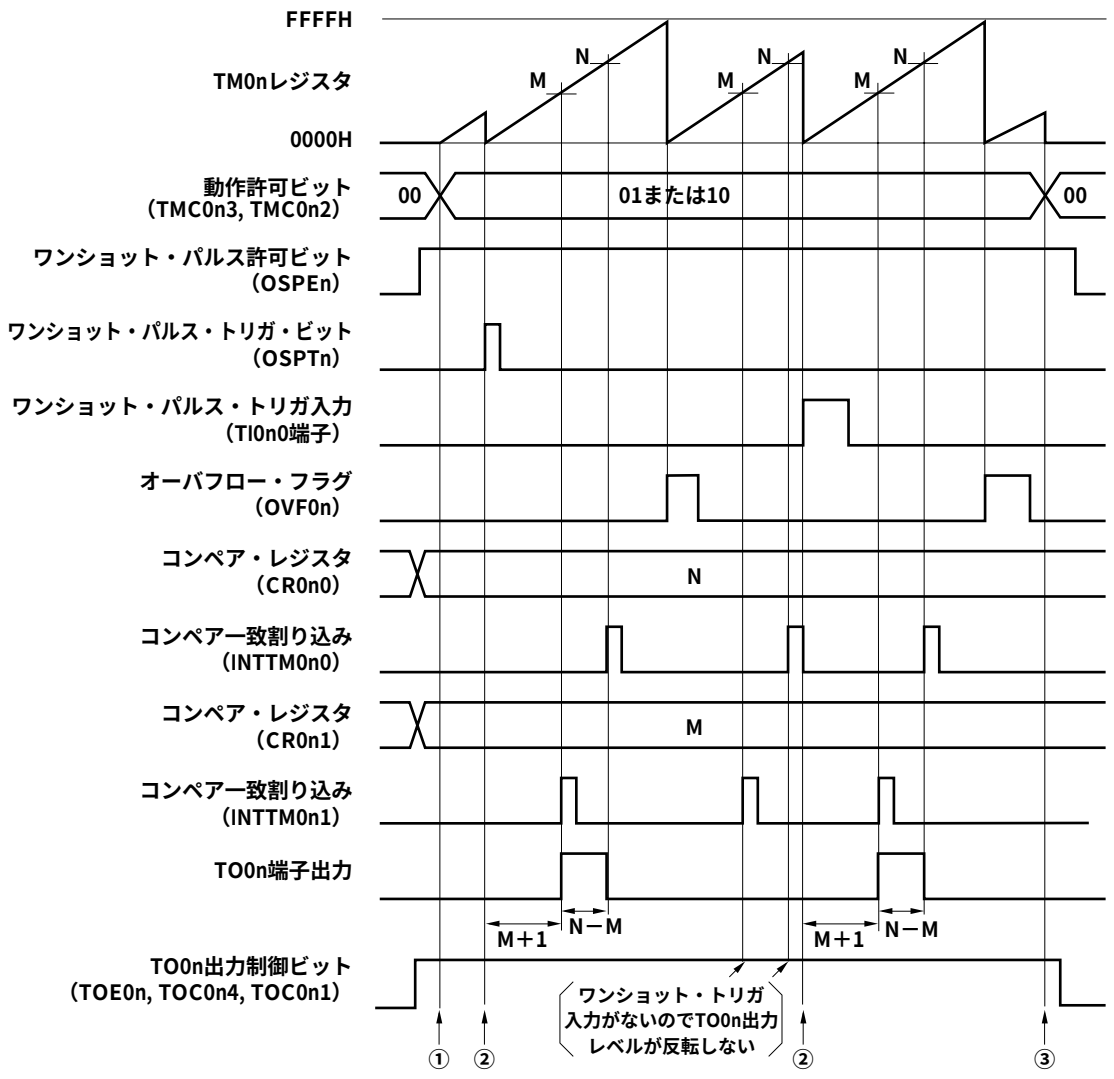
ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM0nレジスタとCR0n0レジスタの値が一致すると，割り込み信号（INTTM0n0）を発生し，TO0n端子出力レベルを反転します。

（g）16ビット・キャプチャ／コンペア・レジスタ0n1（CR0n1）

ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM0nレジスタとCR0n1レジスタの値が一致すると，割り込み信号（INTTM0n1）を発生し，TO0n端子出力レベルを反転します。

備考　n = 0-3

図8－36　ワンショット・パルス出力動作時のソフトウエア処理例（1/2）

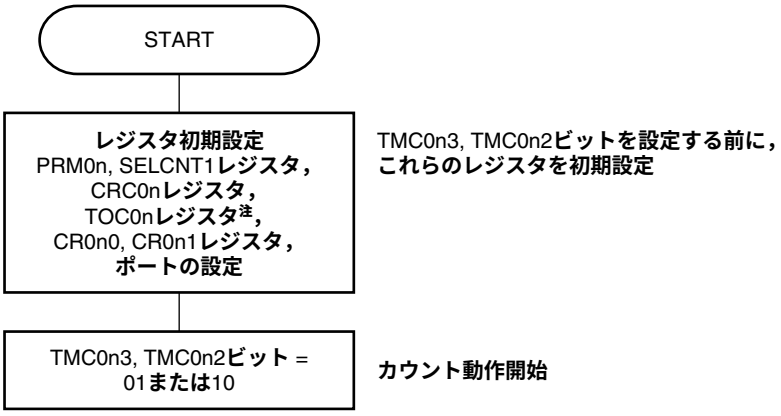


・ワンショット・パルス・トリガが入力されてからワンショット・パルスが出力されるまでの時間
　：（M＋1）×カウント・クロック周期
・ワンショット・パルス出力アクティブ・レベル幅
　：（N－M）×カウント・クロック周期

備考　n = 0-3

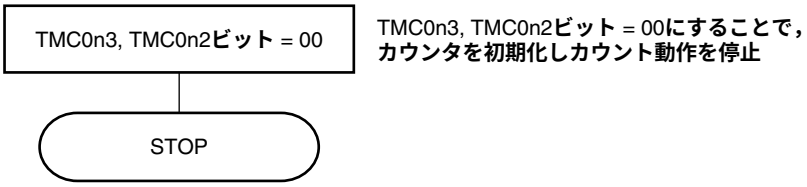
図8－36　ワンショット・パルス出力動作時のソフトウエア処理例（2/2）

① カウント動作開始フロー



② ワンショット・トリガ入力フロー

③ カウント動作停止フロー



注　TOC0nレジスタの設定は注意が必要です。詳細は8. 3（3）16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）を参照してください。

備考　n = 0-3

8.4.8　パルス幅測定としての動作

TM0nレジスタを使用し，TI0n0端子およびTI0n1端子に入力される信号のパルス幅を測定できます。

測定方法には，16ビット・タイマ／イベント・カウンタ0nをフリー・ランニング・タイマ・モードで動作させて測定する方法と，TI0n0端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら，有効なキャプチャ・レジスタの値をリードして，パルス幅の測定をしてください。また，TMC0n.OVF0nフラグを確認して，セット（1）されていたらソフトウエアでクリア（0）してください。

図8－37　パルス幅測定（フリー・ランニング・タイマ・モード）のブロック図

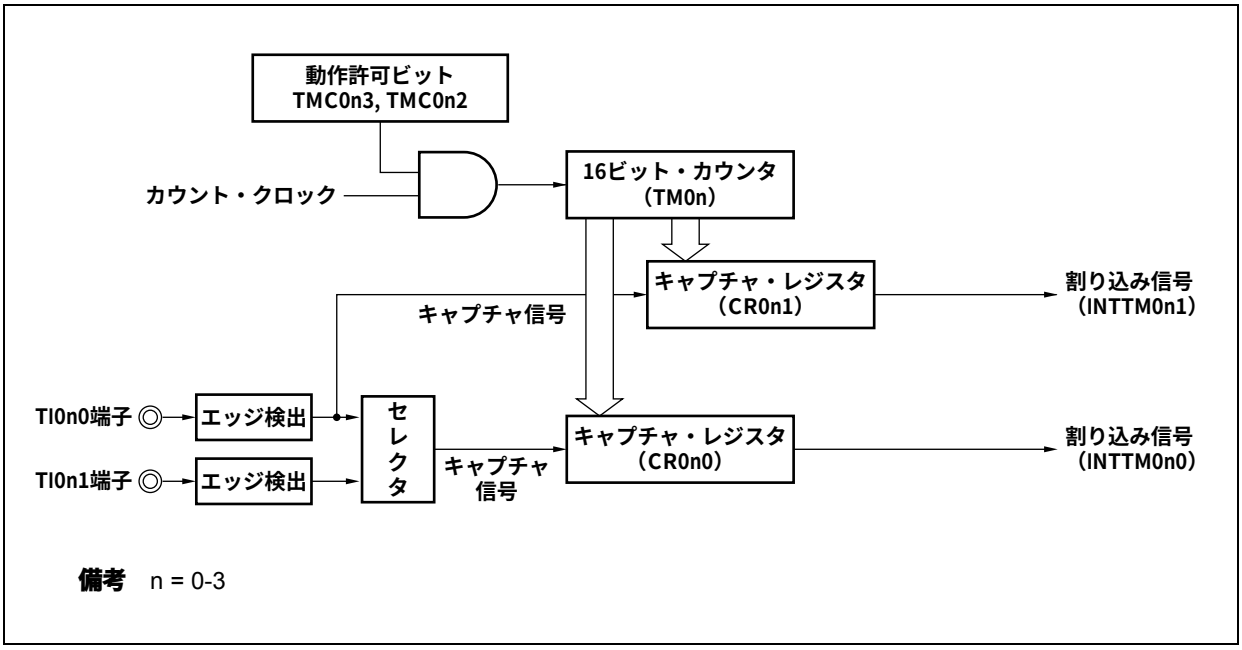
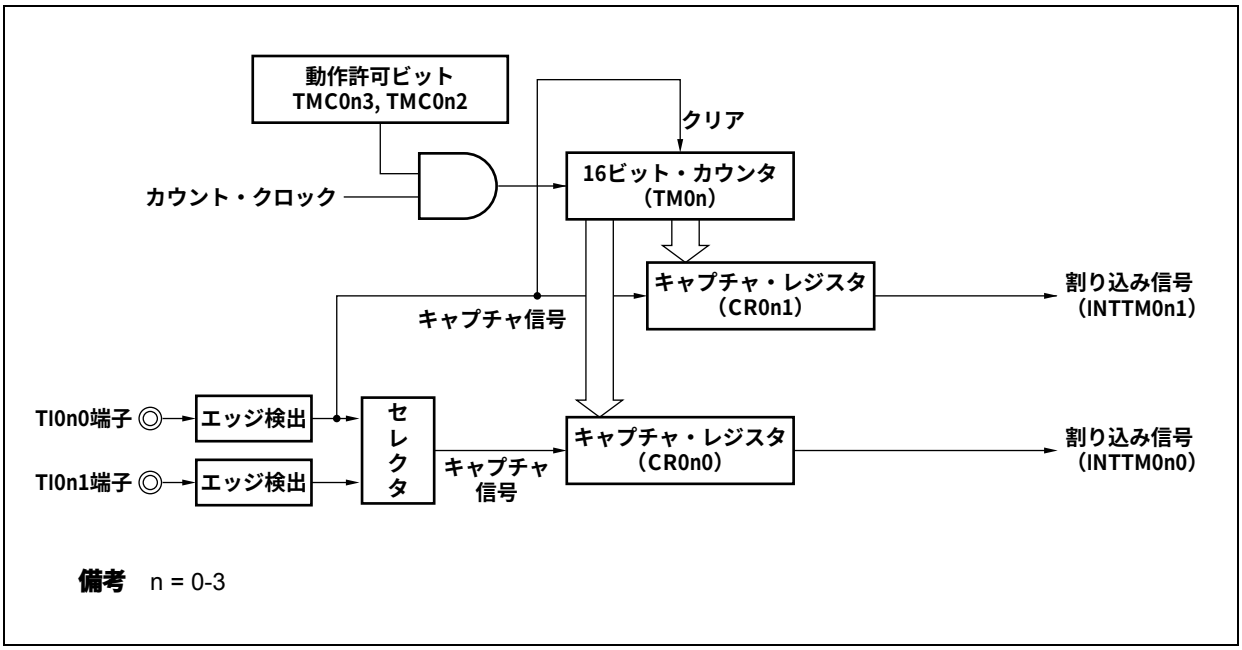


図8－38　パルス幅測定（TI0n0端子の有効エッジ入力によるクリア＆スタート・モード）のブロック図



パルス幅測定をするには，次の3つの方法があります。

- TI0n0端子およびTI0n1端子の2本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- TI0n0端子1本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- TI0n0端子1本の入力信号でパルス幅を測定（TI0n0端子の有効エッジ入力によるクリア＆スタート・モード）

備考1.　兼用端子（TO0n）の設定については，表4－16　ポート端子を兼用端子として使用する場合を参照してください。

2.　INTTM0n0，INTTM0n1割り込み許可については，第21章　割り込み／例外処理機能を参照してください。

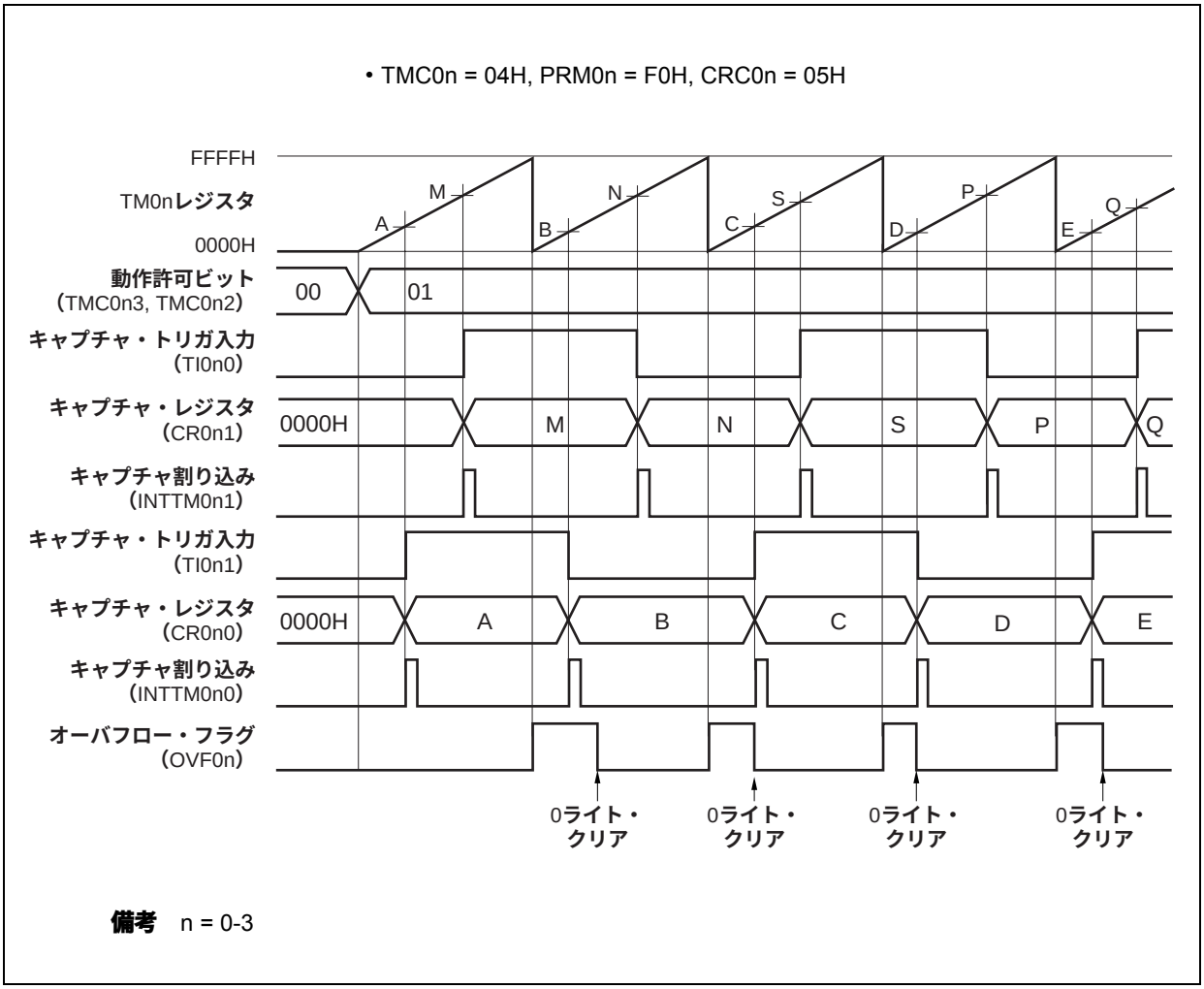
（1）TI0n0端子およびTI0n1端子の2本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）

フリー・ランニング・タイマ・モード（TMC0n.TMC0n3, TMC0n2ビット = 01）に設定します。TI0n0端子の有効エッジ検出により，TM0nレジスタのカウント値をCR0n1レジスタにキャプチャします。TI0n1端子の有効エッジ検出により，TM0nレジスタのカウント値をCR0n0レジスタにキャプチャします。TI0n0端子とTI0n1端子のエッジ検出の設定は，両エッジとしてください。

この測定方法では，それぞれの入力信号のエッジによりキャプチャした値から，前回キャプチャした値を減算します。そのため，前回キャプチャした値を，あらかじめ別レジスタに退避してください。

オーバフローが発生した場合，単純に減算すると値がマイナスになるため，ボローが発生します（PSW.CYビットがセット（1）されます）。このときは，CYビットを無視して，計算値をパルス幅として扱ってください。また，TMC0n.OVF0nビットをクリア（0）してください。

図8－39　パルス幅測定のタイミング例（1）



備考　n = 0-3

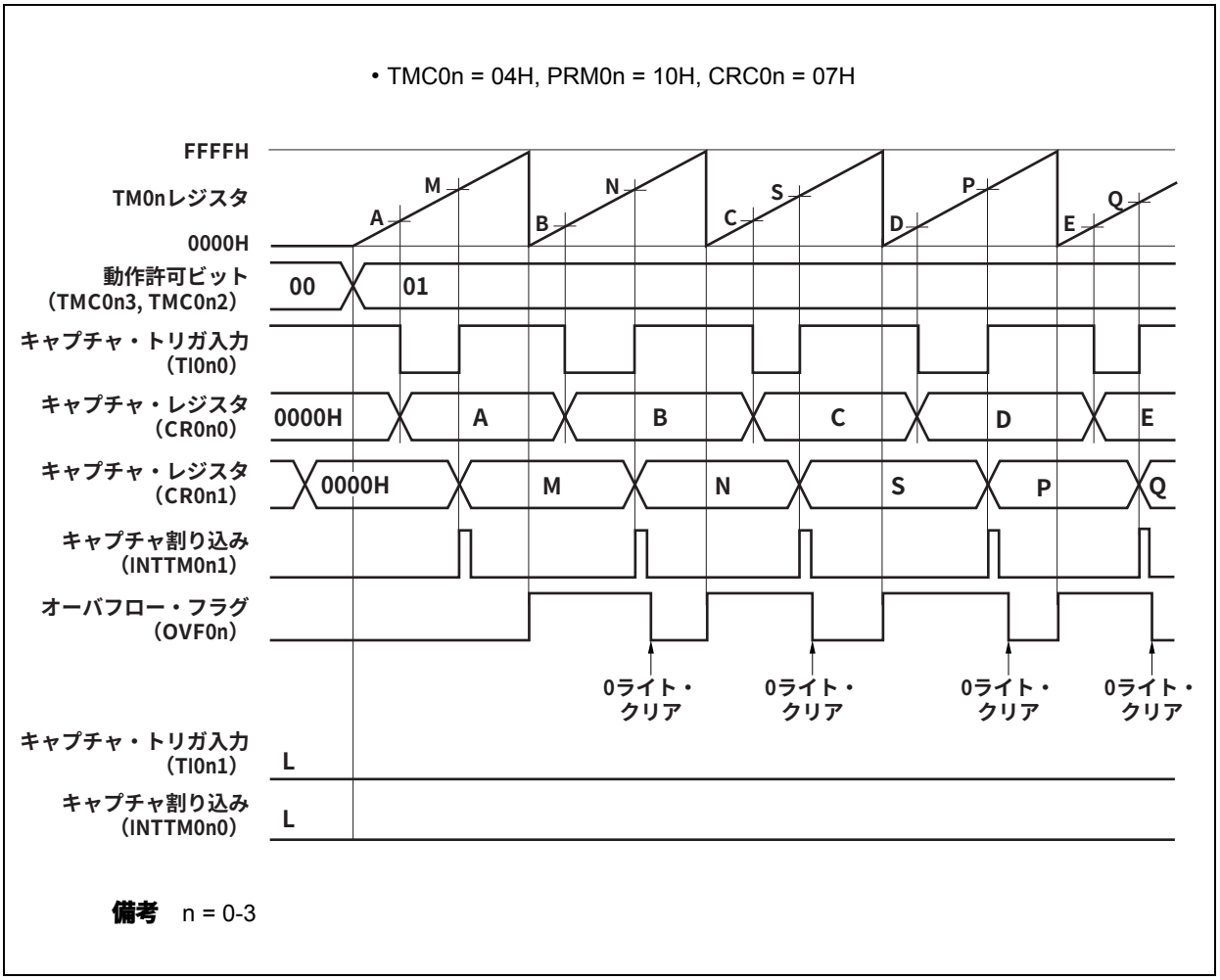
（2）TI0n0端子1本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）

フリー・ランニング・タイマ・モード（TMC0n.TMC0n3, TMC0n2ビット = 01）に設定します。TI0n0端子の有効エッジ検出の逆相で，TM0nレジスタのカウント値をCR0n0レジスタにキャプチャします。TI0n0端子の有効エッジ検出で，TM0nレジスタのカウント値をCR0n1レジスタにキャプチャします。

この測定方法では，エッジからエッジまでの幅を測定する場合に，別々のキャプチャ・レジスタに値を格納するため，キャプチャした値を退避する必要がありません。2つのキャプチャ・レジスタ値を減算することでハイ・レベル幅，ロウ・レベル幅，周期を算出します。

オーバフローが発生した場合，単純に減算すると値がマイナスになるため，ボローが発生します（PSW.CYビットがセット（1）されます）。このときは，CYビットを無視して，計算値をパルス幅として扱ってください。また，TMC0n.OVF0nビットをクリア（0）してください。

図8－40　パルス幅測定のタイミング例（2）



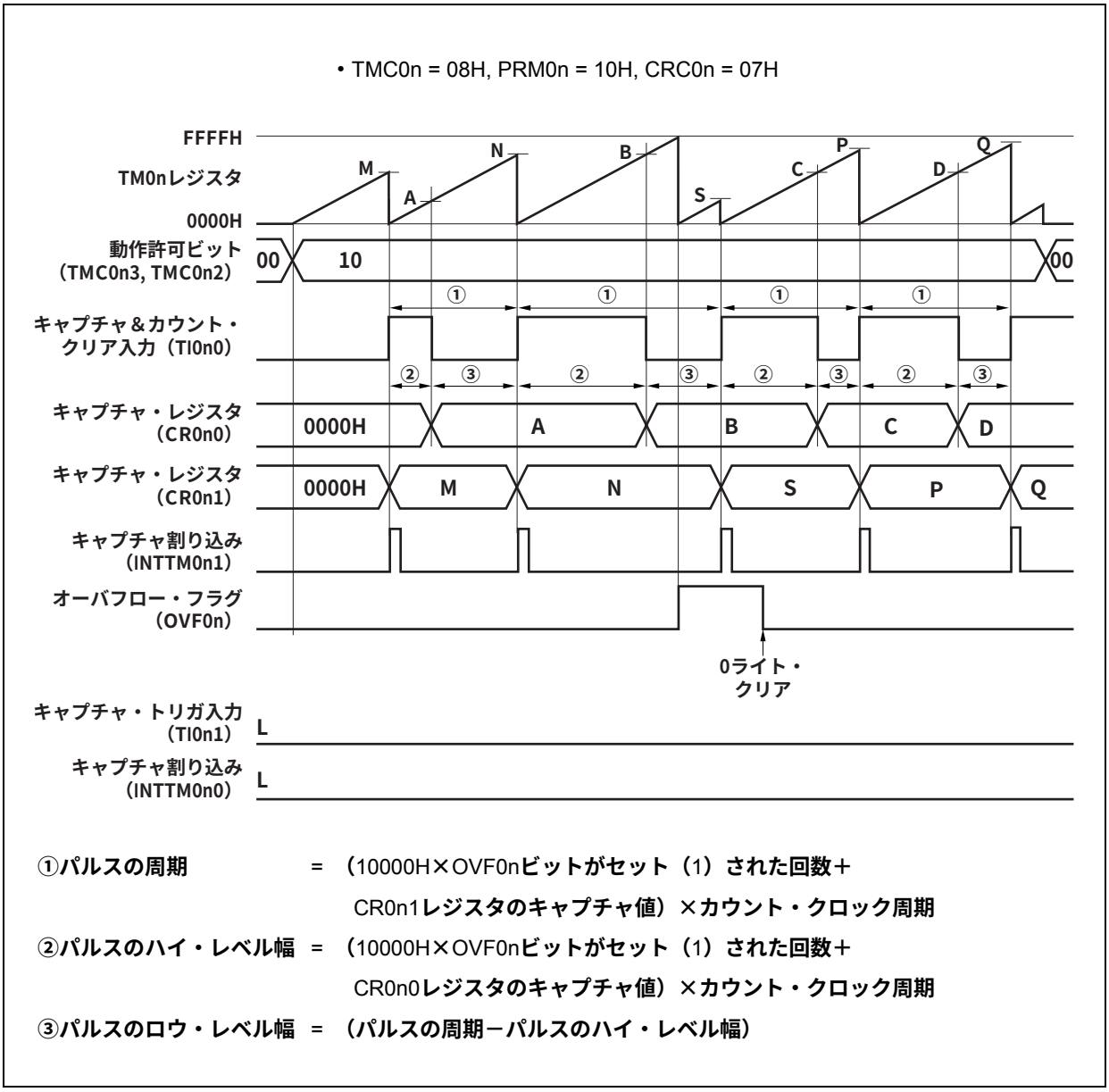
備考　n = 0-3

(3) TI0n0端子1本の入力信号でパルス幅を測定（TI0n0端子の有効エッジ入力によるクリア＆スタート・モード）

TI0n0端子の有効エッジによるクリア＆スタート・モード（TMC0n.TMC0n3, TMC0n2ビット = 10）に設定します。TI0n0端子の有効エッジ検出の逆相で，TM0nレジスタのカウント値をCR0n0レジスタにキャプチャします。TI0n0端子の有効エッジ検出で，TM0nレジスタのカウント値をCR0n1レジスタにキャプチャし，TM0nレジスタをクリア（0000H）します。したがって，TM0nレジスタがオーバフローしなければ，CR0n1レジスタには周期が格納されます。

オーバフローが発生した場合は，CR0n1レジスタに格納した値に10000Hを加算した値を周期として扱ってください。また，TM0n.OVFnビットをクリア（0）してください。

図8－41　パルス幅測定のタイミング例（3）



①パルスの周期　　＝（10000H×OVF0nビットがセット（1）された回数＋CR0n1レジスタのキャプチャ値）×カウント・クロック周期

②パルスのハイ・レベル幅　＝（10000H×OVF0nビットがセット（1）された回数＋CR0n0レジスタのキャプチャ値）×カウント・クロック周期

③パルスのロウ・レベル幅　＝（パルスの周期－パルスのハイ・レベル幅）

図8－42　パルス幅測定時のレジスタ設定内容例（1/2）

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	0/1	0/1	0	0

01：フリー・ランニング・タイマ・モード
10：TI0n0端子の有効エッジによるクリア＆スタート・モード

(b) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）

					CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	1	0/1	1

1：CR0n0をキャプチャ・レジスタにする

0：CR0n0のキャプチャ・トリガはTI0n1端子
1：CR0n0のキャプチャ・トリガはTI0n0端子の逆相

1：CR0n1をキャプチャ・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）

	OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0	0	0	0	0

(d) プリスケーラ・モード・レジスタ0n（PRM0n），セレクタ動作制御レジスタ1（SELCNT1）

	ESn11	ESn10	ESn01	ESn00			PRM0n1	PRM0n0		ISEL1n
PRM0n	0/1	0/1	0/1	0/1	0	0	0/1	0/1	SELCNT1	0/1

カウント・クロックの選択
（TI0n0の有効エッジは設定禁止）

00：立ち下がりエッジ検出
01：立ち上がりエッジ検出
10：設定禁止
11：両エッジ検出
（CRC0n1 = 1時は設定禁止）

00：立ち下がりエッジ検出
01：立ち上がりエッジ検出
10：設定禁止
11：両エッジ検出

備考　n = 0-3

図8－42　パルス幅測定時のレジスタ設定内容例（2/2）

（e）16ビット・タイマ・カウンタ0n（TM0n）

TM0nレジスタをリードしてカウンタの値を読み出します。

（f）16ビット・キャプチャ／コンペア・レジスタ0n0（CR0n0）

キャプチャ・レジスタとして使用します。TI0n0/TI0n1端子入力のどちらかをキャプチャ・トリガとして設定し，キャプチャ・トリガのエッジ検出により，TM0nレジスタのカウント値をCR0n0レジスタに格納します。

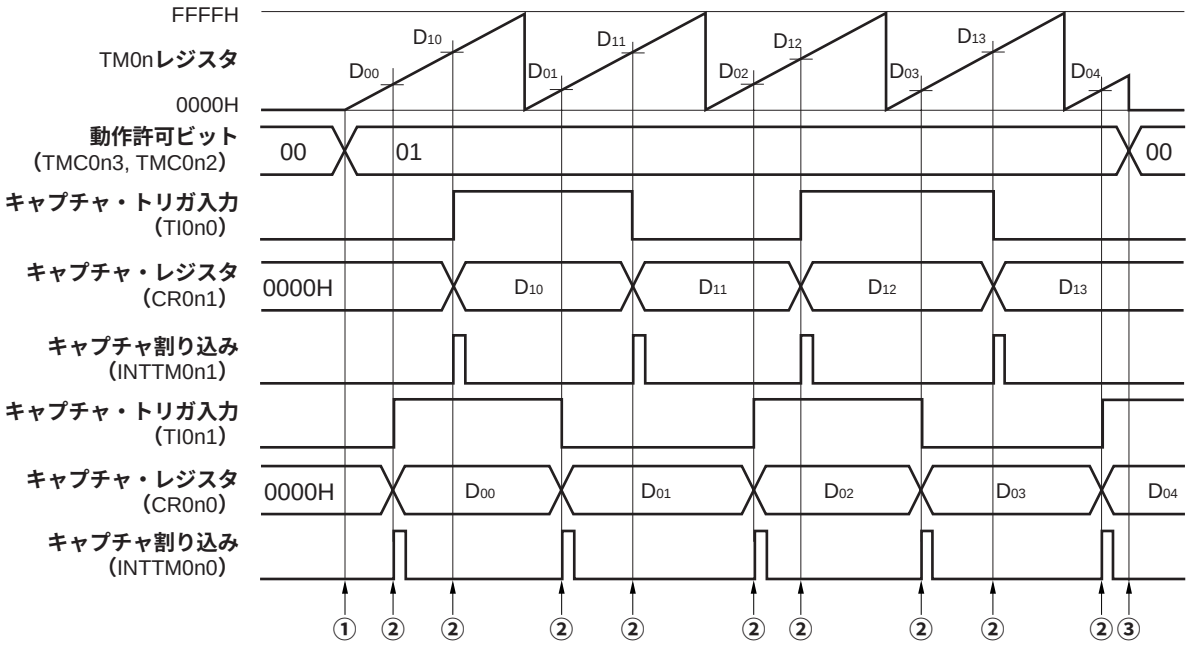
（g）16ビット・キャプチャ／コンペア・レジスタ0n1（CR0n1）

キャプチャ・レジスタとして使用します。TI0n0端子入力がキャプチャ・トリガとなり，キャプチャ・トリガのエッジ検出により，TM0nレジスタのカウント値をCR0n1レジスタに格納します。

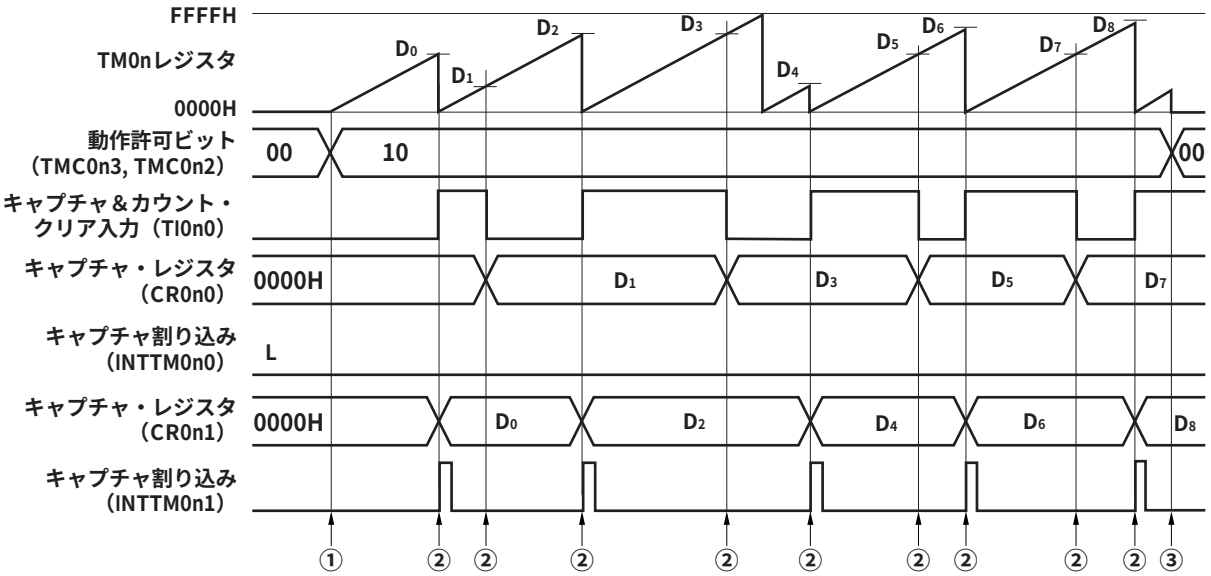
備考　n = 0-3

図8－43　パルス幅測定時のソフトウエア処理例（1/2）

（a）フリー・ランニング・タイマ・モードの例



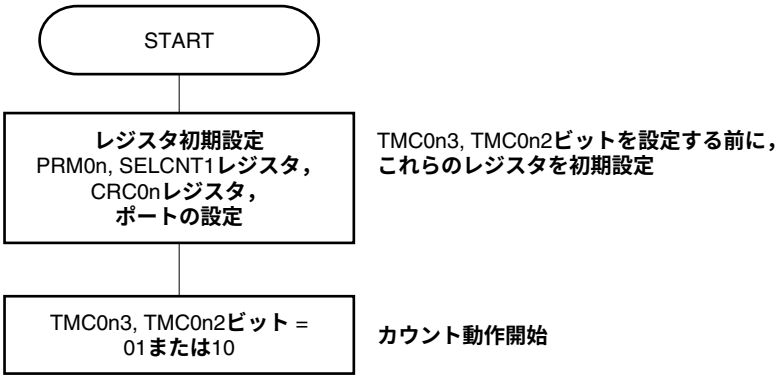
（b）TI0n0端子の有効エッジによるクリア＆スタート・モードの例



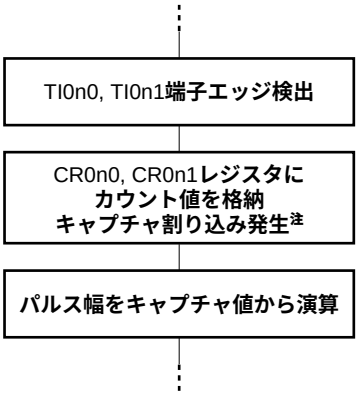
備考　n = 0-3

図8－43　パルス幅測定時のソフトウエア処理例（2/2）

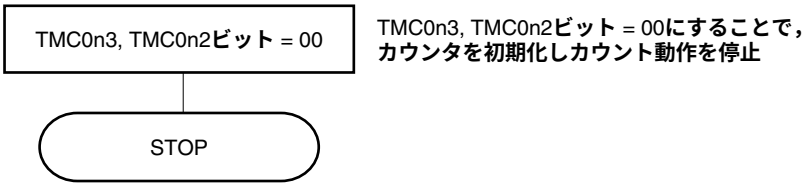
① カウント動作開始フロー



② キャプチャ・トリガ入力フロー



③ カウント動作停止フロー



注　CR0n0レジスタの有効エッジにTI0n0端子入力の逆相を選択した場合，キャプチャ割り込み信号（INTTM0n0）は発生しません。

備考　n = 0-3

8. 5　TM0nの特殊な使用方法

8. 5. 1　CR0n1レジスタのTM0n動作中の書き換え

V850ES/KG1+では，TM0n動作中（TMC0n.TMC0n3, TMC0n2ビット = 00以外）のとき，コンペア・レジスタとして使用するCR0n0レジスタとCR0n1レジスタの書き換えは原則禁止です。

ただし，CR0n1レジスタだけは，PPG出力としてタイマ動作中にデューティを変更する場合，次の手順で設定すればTM0n動作中でも書き換えができます（CR0n1レジスタとTM0nレジスタの一致直後に書き換えてください。CR0n1レジスタとTM0nレジスタの一致直前で書き換えると想定しない動作を起こす場合があります）。

CR0n1レジスタの書き換え手順

① INTTM0n1の割り込みを禁止する（TM0ICn0.TM0MKn1ビット = 1）。
② TM0nレジスタとCR0n1レジスタの一致によるタイマ出力反転動作を禁止する（TOC0n.TOC0n4ビット = 0）。
③ CR0n1レジスタを書き換える。
④ TM0nレジスタのカウント・クロックの1周期分ウエイトする。
⑤ TM0nレジスタとCR0n1レジスタの一致によるタイマ出力反転動作を許可する（TOC0n.TOC0n4ビット = 1）。
⑥ INTTM0n1の割り込みフラグをクリア（0）する（TM0ICn0.TM0IFn1ビット = 0）。
⑦ INTTM0n1の割り込みを許可する（TM0ICn0.TM0MKn1ビット = 0）

備考　TM0ICn0レジスタについては第21章　割り込み／例外処理機能を参照してください。

8. 5. 2　LVS0n, LVR0nビットの設定について

(1) LVS0n, LVR0nビットの使用用途

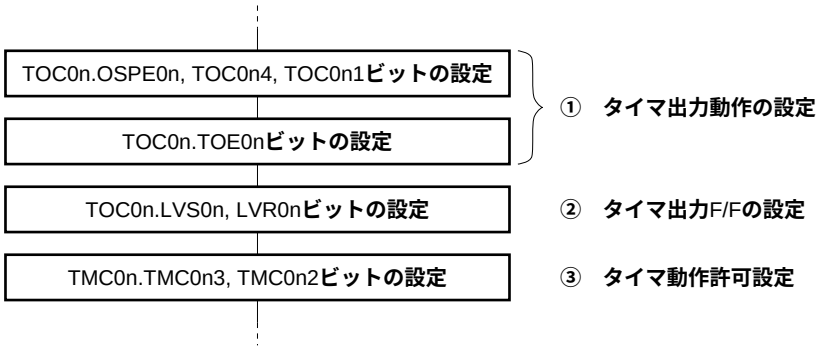
TOC0n.LVS0n, LVR0nビットは，TO0n端子出力の初期値を設定したいときや，タイマを動作許可しない（TMC0n.TMC0n3, TMC0n2ビット = 00）でタイマ出力を反転させたいときに使用します。ソフトウエア制御が不要なときは，LVS0n, LVR0nビットは00（初期値ロウ・レベル出力）に設定してください。

LVS0nビット	LVR0nビット	タイマ出力の状態
0	0	変化しない（ロウ・レベル出力）
0	1	クリア（ロウ・レベル出力）
1	0	セット（ハイ・レベル出力）
1	1	設定禁止

（2）LVS0n, LVR0nビットの設定方法

LVS0n, LVR0nビットは次の手順で設定してください。

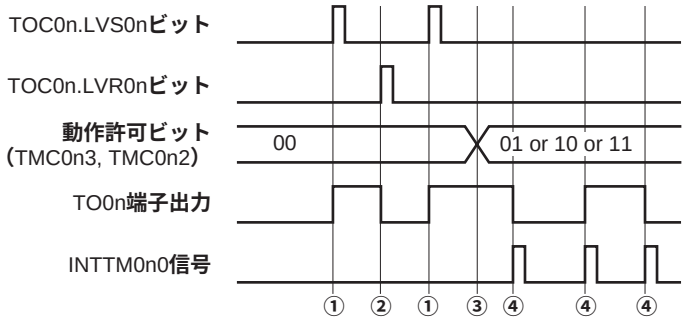
図8－44　LVS0n, LVR0nビットの設定フロー例



注意　LVS0n, LVR0nビットは必ず上記①，②，③の手順で設定してください。
①の設定をしてから，③の設定をするまでの間であれば，②の設定ができます。

備考　n = 0-3

図8－45　LVR0n, LVS0nビットのタイミング例



① LVS0n, LVR0nビット = 10に設定することにより，TO0n端子出力がハイ・レベルになります。

② LVS0n, LVR0nビット = 01に設定することにより，TO0n端子出力がロウ・レベルになります（LVS0n, LVR0nビット = 00に設定しても，ハイ・レベルのまま変化しません）。

③ TMC0n3, TMC0n2ビット = 01, 10, 11のどれかに設定することにより，タイマ動作を開始します。動作開始前のLVS0n, LVR0nビットの設定が10だったので，TO0n端子出力はハイ・レベルから始まります。タイマ動作開始以降は，TMC0n3, TMC0n2ビット = 00（タイマ動作禁止）にするまで，LVS0n, LVR0nビットの設定は禁止です。

④ 割り込み信号（INTTM0n0）が発生するたびに，TO0n端子出力のレベルが反転します。

備考　n = 0-3

8. 6　注意事項

(1) TI0n0/TO0n端子兼用に関して

チャネル	端子	兼用端子	備　考
TM00	TI000	P33/TO00/TIP00/TOP00	TO00端子と兼用しています。
	TI001	P34/TO00/TIP01/TOP01	TO00端子と兼用しています。
	TO00	P33/TI000/TIP00/TOP00	P33端子とP34端子の2つに割り当てています。
		P34/TI001/TIP01/TOP01	
TM01	TI010	P35/TO01	TO01端子と兼用しています。
	TI011	P50/KR0/RTP00	—
	TO01	P32/ASCK0/ADTRG	P32端子とP35端子の2つに割り当てています。
		P35/TI010	
TM02	TI020	P92/A2/TO02	TO02端子と兼用しています。
	TI021	P93/A3	—
	TO02	P30/TXD0	P30端子とP92端子の2つに割り当てています。
		P92/TI020/A2	
TM03	TI030	P94/A4/TO03	TO03端子と兼用しています。
	TI031	P95/A5	—
	TO03	P31/RXD0/INTP7	P31端子とP94端子の2つに割り当てています。
		P94/TI030/A4	

(a) TM00について

- TI000端子の有効エッジ検出をトリガとして，ワンショット・パルスを出力したい場合には，P34端子兼用のTO00端子出力を使用してください。
  P33端子兼用のTO00端子出力を使用すると，同じくP33端子と兼用しているTI000端子が使用できません。
  ソフトウエア・トリガ（TOC00. OSPT00ビットのセット（1））だけをワンショット・パルス出力の起動トリガにする場合は，P33, P34端子のどちらでもTO00端子出力として使用できます。
- TI000端子入力の有効エッジ検出によって，TO00端子出力の反転動作を行いたい場合には，P34端子兼用のTO00端子出力を使用してください。
  P33端子兼用のTO00端子出力を使用すると，同じくP33端子と兼用しているTI000端子が使用できないため，TI000端子入力の有効エッジ検出によるTO00端子出力反転動作ができません。なお，P33端子兼用のTO00端子を使用するときは，TMC00.TMC001ビット = 0にしてください。

(b) TM01について

- TI010端子の有効エッジ検出をトリガとして，ワンショット・パルスを出力したい場合には，P32端子兼用のTO01端子出力を使用してください。
  P35端子兼用のTO01端子出力を使用すると，同じくP35端子と兼用しているTI010端子が使用できません。
  ソフトウエア・トリガ（TOC01. OSPT01ビットのセット（1））だけをワンショット・パルス出力の起動トリガにする場合は，P32, P35端子のどちらでもTO01端子出力として使用できます。
- TI010端子入力の有効エッジ検出によって，TO01端子出力の反転動作を行いたい場合には，P32端子兼用のTO01端子出力を使用してください。
  P35端子兼用のTO01端子出力を使用すると，同じくP35端子と兼用しているTI010端子が使用できないため，TI010端子入力の有効エッジ検出によるTO01端子出力反転動作ができません。なお，P35端子兼用のTO01端子を使用するときは，TMC01.TMC011ビット = 0にしてください。

(c) TM02について

- ワンショット・パルスを出力したい場合には，P30端子兼用のTO02端子出力を使用してください。
  TI020端子の有効エッジ検出によるトリガだけでなく，ソフトウエア・トリガ（TOC02.OSPT02ビットのセット（1））だけを使用する場合でも，P92端子兼用のTO02端子出力を使用してワンショット・パルスを出力することはできません。
- TI020端子入力の有効エッジ検出によって，TO02端子出力の反転動作を行いたい場合には，P30端子兼用のTO02端子出力を使用してください。
  P92端子兼用のTO02端子出力を使用すると，同じくP92端子と兼用しているTI020端子が使用できないため，TI020端子入力の有効エッジ検出によるTO02端子出力反転動作ができません。なお，P92端子兼用のTO02端子を使用するときは，TMC02.TMC021ビット = 0にしてください。

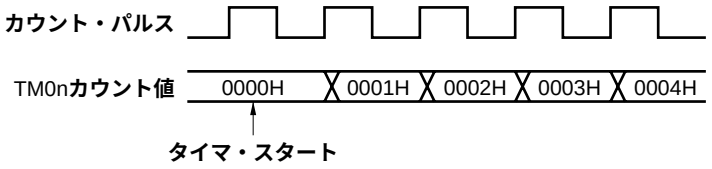
(d) TM03について

- ワンショット・パルスを出力したい場合には，P31端子兼用のTO03端子出力を使用してください。
  TI030端子の有効エッジ検出によるトリガだけでなく，ソフトウエア・トリガ（TOC03.OSPT03ビットのセット（1））だけを使用する場合でも，P94端子兼用のTO03端子出力を使用してワンショット・パルスを出力することはできません。
- TI030端子入力の有効エッジ検出によって，TO03端子出力の反転動作を行いたい場合には，P31端子兼用のTO03端子出力を使用してください。
  P94端子兼用のTO03端子出力を使用すると，同じくP94端子と兼用しているTI030端子が使用できないため，TI030端子入力の有効エッジ検出によるTO03端子出力反転動作ができません。なお，P94端子兼用のTO03端子を使用するときは，TMC03.TMC031ビット = 0にしてください。

（2）タイマ・スタート時の誤差

タイマ・スタート後，一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは，カウント・パルスに対してTM0nレジスタのカウント・スタートが非同期で行われるためです。

図8－46　TM0nレジスタのカウント・スタート・タイミング



備考　n = 0-3

（3）CR0n0, CR0n1レジスタの設定（TM0nレジスタとCR0n0レジスタの一致でクリア＆スタート・モードの場合）

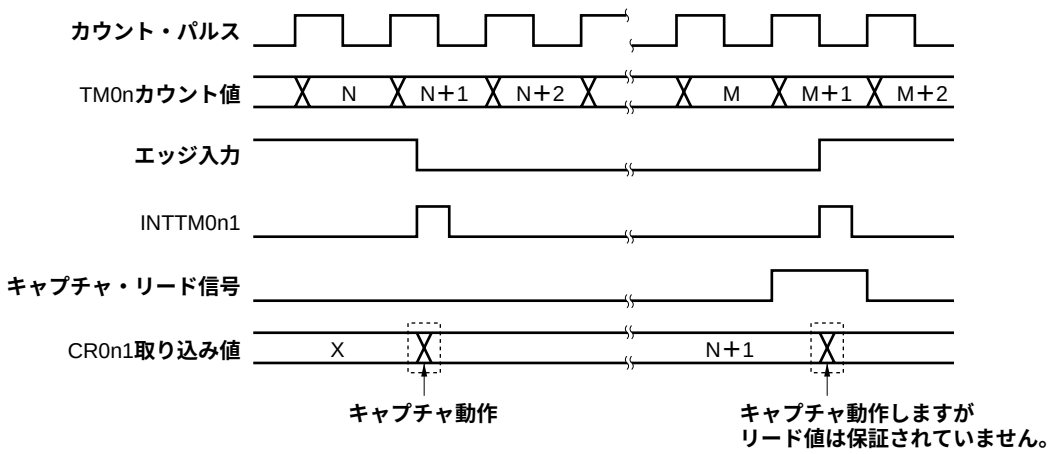
CR0n0, CR0n1レジスタには，0000H以外の値を設定してください（外部イベント・カウンタとして使用する場合，1パルスのカウント動作はできません）。

備考　n = 0-3

(4) キャプチャ・レジスタのデータ保持タイミング

(a) CR0n0/CR0n1レジスタの読み出し中にTI0n1/TI0n0端子の有効エッジ入力を検出したとき，CR0n0/CR0n1レジスタはキャプチャ動作を行いますが，このときのリード値は保証されません。ただし，有効エッジの検出による割り込み信号（INTTM0n0/INTTM0n1）は発生します。

図8－47　キャプチャ・レジスタのデータ保持タイミング



備考　n = 0-3

(b) 16ビット・タイマ／イベント・カウンタ0n停止後のCR0n0, CR0n1レジスタの値は保証されません。

(5) 有効エッジの設定

TI0n0端子の有効エッジの設定は，タイマ動作が停止（TMC0n.TMC0n3, TMC0n2ビット = 00）しているときに行ってください。有効エッジの設定は，PRM0n.ESn00, ESn01ビットで行います。

(6) ワンショット・パルスの再トリガ

ワンショット・パルス出力モードで，アクティブ・レベルを出力中に，トリガが発生しないようにしてください。次のトリガ入力は，必ず現在のアクティブ・レベル出力が終わったあとで発生するようにしてください。

備考　n = 0-3

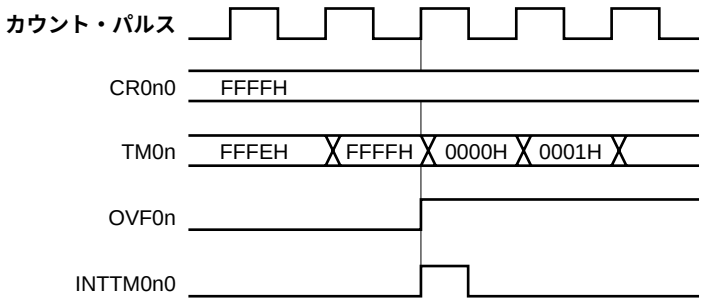
(7) OVF0nフラグの動作

(a) OVF0nフラグのセット（1）

TMC0n.OVF0nフラグは，TM0nレジスタがオーバフローしたとき以外に，次のときにもセット（1）されます。

TM0nレジスタとCR0n0レジスタの一致でクリア＆スタート・モードを選択
↓
CR0n0レジスタをFFFFHに設定
↓
TM0nレジスタがCR0n0レジスタとの一致によりFFFFHから0000Hにクリアされるとき

図8－48　OVF0nフラグの動作タイミング



備考　n = 0-3

(b) OVF0nフラグのクリア

TM0nレジスタがオーバフロー後，次のカウント・クロックがカウントされる（TM0nレジスタが0001Hになる）前にOVF0nフラグをクリア（0）しても，再度セット（1）されクリアは無効となります。

備考　n = 0-3

(8) ワンショット・パルス出力

ワンショット・パルス出力は，フリー・ランニング・タイマ・モードまたはTI0n0端子の有効エッジでクリア＆スタート・モードのときに，正常に動作します。TM0nレジスタとCR0n0レジスタの一致でクリア＆スタート・モードでは，ワンショット・パルスを出力できません。

備考　n = 0-3

(9) キャプチャ動作

(a) カウント・クロックにTI0n0の有効エッジを指定した場合

カウント・クロックにTI0n0の有効エッジを指定した場合，TI0n0をトリガに指定したキャプチャ・レジスタは正常に動作しません。

(b) TI0n1, TI0n0端子入力信号で確実にキャプチャするためのパルス幅

確実にキャプチャするためのキャプチャ・トリガとして，TI0n0, TI0n1端子に入力するパルスには，PRM0n, SELCNT1レジスタで選択したカウント・クロックの2回分より長いパルス幅が必要です。

(c) 割り込み信号の発生

キャプチャ動作はカウント・クロックの立ち下がりで行われますが，割り込み信号（INTTM0n0, INTTM0n1）は次のカウント・クロックの立ち上がりで発生します。

(d) CRC0n.CRC0n1ビット = 1に設定したときの注意

TI0n0端子入力の逆相でTM0nレジスタのカウント値をCR0n0レジスタにキャプチャする場合，キャプチャ後に割り込み要求信号（INTTM0n0）は発生しません。この動作中に，TI0n1端子から有効エッジが検出された場合，キャプチャ動作は行われませんが，外部割り込み信号としてINTTM0n0信号が発生します。外部割り込みを使用しない場合は，INTTM0n0信号をマスクしてください。

備考　n = 0-3

(10) エッジ検出

(a) リセット後の有効エッジ指定

リセット後，TI0n0端子またはTI0n1端子がハイ・レベルの状態で，TI0n0端子またはTI0n1端子の有効エッジを立ち上がりエッジまたは両エッジに指定して，16ビット・タイマ／イベント・カウンタ0nの動作を許可すると，そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI0n0端子またはTI0n1端子をプルアップしている場合などは注意してください。ただし，いったん動作を停止させたあとの再動作許可時には，立ち上がりエッジは検出されません。

(b) ノイズ除去のためのサンプリング・クロック

TI0n0の有効エッジをカウント・クロックで使用する場合と，キャプチャ・トリガとして使用する場合で，ノイズ除去のためのサンプリング・クロックが異なります。前者はfxx/4固定で，後者はPRM0n, SELCNT1レジスタで選択したカウント・クロックでサンプリングします。

TI0n0端子入力信号をサンプリングして，2回連続して有効レベルを検出したときに，はじめて有効エッジと判断します。したがって，短いパルス幅のノイズを除去できます。

備考1.　fxx：メイン・クロック周波数

2.　n = 0-3

第9章　8ビット・タイマ／イベント・カウンタ5

V850ES/KG1+は，8ビット・タイマ／イベント・カウンタ5を2チャネル搭載しています。

9.1　機　　能

8ビット・タイマ／イベント・カウンタ5nには，次の2つのモードがあります（n = 0, 1）。

- 8ビット・タイマ／イベント・カウンタを単体で使用するモード（単体モード）
- カスケード接続して使用するモード（16ビット分解能：カスケード接続モード）

次に，これら2つのモードについて説明します。

(1) 8ビット・タイマ／イベント・カウンタを単体で使用するモード（単体モード）

8ビットのタイマ／イベント・カウンタとして動作します。
次のような機能として使用できます。

- インターバル・タイマ
- 外部イベント・カウンタ
- 方形波出力
- PWM出力

(2) カスケード接続して使用するモード（16ビット分解能：カスケード接続モード）

TM50, TM51レジスタをカスケード接続することにより，16ビットのタイマ／イベント・カウンタとして動作します。次のような機能として使用できます。

- 16ビット分解能のインターバル・タイマ
- 16ビット分解能の外部イベント・カウンタ
- 16ビット分解能の方形波出力

9.2 構　　成

8ビット・タイマ／イベント・カウンタ5nは，次のハードウエアで構成されています。

表9－1　8ビット・タイマ／イベント・カウンタ5nの構成

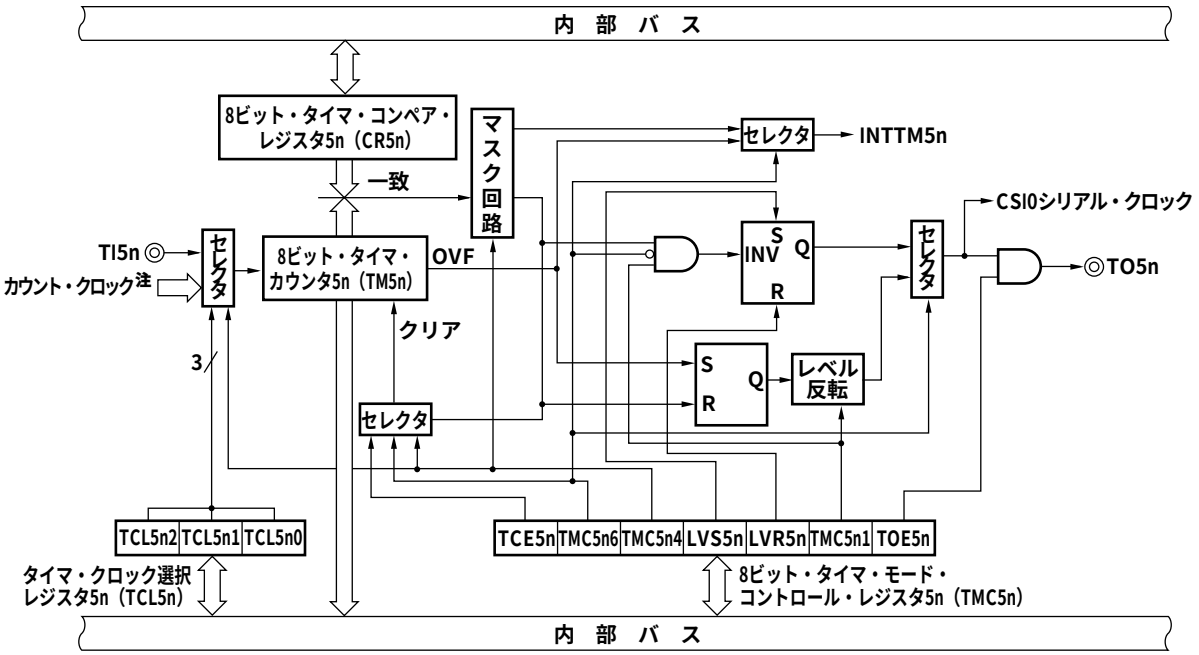
項　　目	構　　成
タイマ・レジスタ	8ビット・タイマ・カウンタ50, 51（TM50, TM51） 16ビット・タイマ・カウンタ5（TM5）：カスケード接続時のみ
レジスタ	8ビット・タイマ・コンペア・レジスタ50, 51（CR50, CR51） 16ビット・タイマ・コンペア・レジスタ5（CR5）：カスケード接続時のみ
タイマ出力	TO50, TO51
制御レジスタ注	タイマ・クロック選択レジスタ50, 51（TCL50, TCL51） 8ビット・タイマ・モード・コントロール・レジスタ50, 51（TMC50, TMC51） 16ビット・タイマ・モード・コントロール・レジスタ5（TMC5）：カスケード接続時のみ

注　TI5n, TO5n端子の機能を使用する場合は，表4－16　ポート端子を兼用端子として使用する場合を参照してください。

備考　n = 0, 1

次に，8ビット・タイマ／イベント・カウンタ5nのブロック図を示します。

図9－1　8ビット・タイマ／イベント・カウンタ5nのブロック図



注　TCL5nレジスタで設定します。

備考　n = 0, 1

（1）8ビット・タイマ・カウンタ5n（TM5n）

TM5nレジスタは，カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して，カウンタをインクリメントします。

TM5nレジスタは，それぞれカスケード接続し，16ビット・タイマとして使用できます。

TM50レジスタとTM51レジスタをカスケード接続し16ビット・タイマとして使用した場合，16ビット単位でリードのみ可能です。したがって，カウント変化中の読み出しを考慮し，2回読むことにより比較してください。

リセット時：00H　R　アドレス：TM50 FFFFF5C0H, TM51 FFFFF5C1H

	7	6	5	4	3	2	1	0
TM5n （n = 0, 1）								

次の場合，カウント値は00Hになります。

① リセット時

② TMC5n.TCE5nビットをクリア（0）したとき

③ TM5nレジスタとCR5nレジスタの一致でクリア＆スタート・モード時にTM5nレジスタとCR5nレジスタの値が一致したとき

注意　カスケード接続時は，最下位タイマ（TM50）のTCE50ビットをクリアしても0000Hとなります。

備考　n = 0, 1

(2) 8ビット・タイマ・コンペア・レジスタ5n（CR5n）

8ビット単位でリード／ライト可能です。

PWMモード以外では，CR5nレジスタに設定した値と，TM5nレジスタのカウント値を常に比較し，その2つの値が一致したときに，割り込み要求信号（INTTM5n）が発生します。

PWMモード時は，TM5nレジスタのオーバフローによりTO5n端子出力がアクティブ・レベルになり，TM5nレジスタとCR5nレジスタの値が一致するとTO5n端子出力がインアクティブ・レベルになります。

CR5nレジスタの値は00H-FFHの範囲で設定できます。

TM50レジスタとTM51レジスタをカスケード接続し，16ビット・タイマとして使用した場合，CR50レジスタとCR51レジスタは，16ビット・タイマ・コンペア・レジスタ5（CR5）として動作します。16ビット長でカウンタ値とレジスタ値を比較し，一致すると割り込み要求信号（INTTM50）を発生します。

リセット時：00H　R/W　アドレス：CR50 FFFFF5C2H, CR51 FFFFF5C3H

	7	6	5	4	3	2	1	0
CR5n （n = 0, 1）								

注意1. TM5nレジスタとCR5nレジスタの一致でクリア&スタート・モード時（TMC5n.TMC5n6ビット = 0）は，カウント動作中にCR5nレジスタに異なる値を書き込まないでください。

2. PWMモード時は，CR5nレジスタの書き換え間隔を3カウント・クロック（TCL5nレジスタで選択したクロック）以上にしてください。

3. カスケード接続時にCR5nレジスタの値を変更するときは，必ずタイマ動作を停止させてから行ってください。

備考　n = 0, 1

9.3　レジスタ

8ビット・タイマ／イベント・カウンタ5nを制御するレジスタには，次の2種類があります。

・タイマ・クロック選択レジスタ5n（TCL5n）
・8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）

備考　TI5n，TO5n端子の機能を使用する場合は，表4－16　ポート端子を兼用端子として使用する場合を参照してください。

(1) タイマ・クロック選択レジスタ5n（TCL5n）

TCL5nレジスタは，8ビット・タイマ／イベント・カウンタ5nのカウント・クロックおよびTI5n端子入力の有効エッジを設定するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：TCL50 FFFFF5C4H, TCL51 FFFFF5C5H

	7	6	5	4	3	2	1	0
TCL5n	0	0	0	0	0	TCL5n2	TCL5n1	TCL5n0

(n = 0, 1)

TCL5n2	TCL5n1	TCL5n0	カウント・クロックの選択注		
			クロック	fxx	
				20 MHz	10 MHz
0	0	0	TI5nの立ち下がりエッジ	－	－
0	0	1	TI5nの立ち上がりエッジ	－	－
0	1	0	fxx	設定禁止	100 ns
0	1	1	fxx/2	100 ns	200 ns
1	0	0	fxx/4	200 ns	0.4 μs
1	0	1	fxx/64	3.2 μs	6.4 μs
1	1	0	fxx/256	12.8 μs	25.6 μs
1	1	1	INTTM010	－	－

注　内部クロック選択時は，次の条件を満たすように設定してください。

REGC = V_{DD} = 4.0～5.5 V：カウント・クロック≦10 MHz

REGC = 10 μF, V_{DD} = 4.0～5.5 V：カウント・クロック≦5 MHz

REGC = V_{DD} = 2.7～4.0 V：カウント・クロック≦5 MHz

注意　TCL5nレジスタを同一データ以外に書き換える場合は，いったんタイマ動作を停止させてから行ってください。

備考　カスケード接続時，TCL51レジスタの設定は無効になります。

(2) 8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）

TMC5nレジスタは，次の6種類の設定を行うレジスタです。

- TM5nレジスタのカウント動作制御
- TM5nレジスタの動作モードの選択
- 単体モード／カスケード接続モードの選択
- タイマ出力F/F（フリップフロップ）の状態設定
- タイマ出力F/Fの制御またはPWM（フリー・ランニング・タイマ）モード時のアクティブ・レベルの選択
- タイマ出力の制御

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　　R/W　　アドレス：TMC50 FFFFF5C6H, TMC51 FFFFF5C7H

	⑦	6	5	4	3	2	1	⓪
TMC5n	TCE5n	TMC5n6	0	TMC514注	LVS5n	LVR5n	TMC5n1	TOE5n

（n = 0,1）

TCE5n	8ビット・タイマ／イベント・カウンタ5nのカウント動作制御
0	カウンタを0にクリア後，カウント動作禁止（カウンタ禁止）
1	カウント動作開始

TMC5n6	8ビット・タイマ／イベント・カウンタ5nの動作モード選択
0	TM5nレジスタとCR5nレジスタの一致でクリア＆スタート・モード
1	PWM（フリー・ランニング・タイマ）モード

TMC514	8ビット・タイマ／イベント・カウンタ51の単体モード／カスケード接続モードの選択
0	単体モード
1	カスケード接続モード（8ビット・タイマ／イベント・カウンタ50と接続）

LVS5n	LVR5n	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット（0）
1	0	タイマ出力F/Fをセット（1）
1	1	設定禁止

TMC5n1	PWM（フリー・ランニング・タイマ）モード以外（TMC5n6ビット = 0）	PWM（フリー・ランニング・タイマ）モード（TMC5n6ビット = 1）
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE5n	タイマ出力の制御
0	出力禁止（TO5n端子はロウ・レベル）
1	出力許可

注　TMC50レジスタのビット4は0固定です。

注意1.　TO51端子とTI51端子は兼用しているため，どちらか一方の機能しか使用できません。

2.　LVS5n, LVR5nビットの設定は，PWMモード時以外で有効になります。

3.　次の①～④の設定は同時に行わないでください。また設定は次の手順で行ってください。

①TMC5n1,TMC5n6,TMC514注ビットを設定　：動作モードの設定

②出力を許可する場合，TOE5nビットを設定　：タイマ出力許可

③LVS5n, LVR5nビットを設定（注意2）　：タイマ出力F/Fの設定

④TCE5nビットを設定

備考1.　PWMモード時は，TCE5nビット = 0により，PWM出力がインアクティブ・レベルになります。

2.　LVS5n, LVR5nビットをリードすると常に0が読み出されます。

3.　TMC5n6, LVS5n,LVR5n, TMC5n1, TOE5nの各ビットの値は，TCE5nビットの値に関係なくTO5n出力に反映されます。

9.4 動　　作

9.4.1 インターバル・タイマとしての動作

CR5nレジスタにあらかじめ設定したカウント値をインターバルとし，繰り返し割り込みを発生するインターバル・タイマとして動作します。

TM5nレジスタのカウント値がCR5nレジスタに設定した値と一致したとき，TM5nレジスタの値を00Hにクリアしてカウントを継続すると同時に，割り込み要求信号（INTTM5n）が発生します。

設定方法

① 各レジスタの設定を行います。
- TCL5nレジスタ　：カウント・クロック（t）の選択
- CR5nレジスタ　：コンペア値（N）
- TMC5nレジスタ：カウント動作停止，TM5nレジスタとCR5nレジスタの一致でクリア＆スタート・モードを選択（TMC5nレジスタ = 0000xx00B　x：don't care）

② TMC5n.TCE5nビット = 1を設定すると，カウント動作を開始します。

③ TM5nレジスタとCR5nレジスタの値が一致すると，INTTM5n信号が発生します（TM5nレジスタは00Hにクリアされます）。

④ 以後，同一間隔でINTTM5n信号が繰り返し発生します。カウント動作を停止するときは，TCE5nビット = 0にしてください。

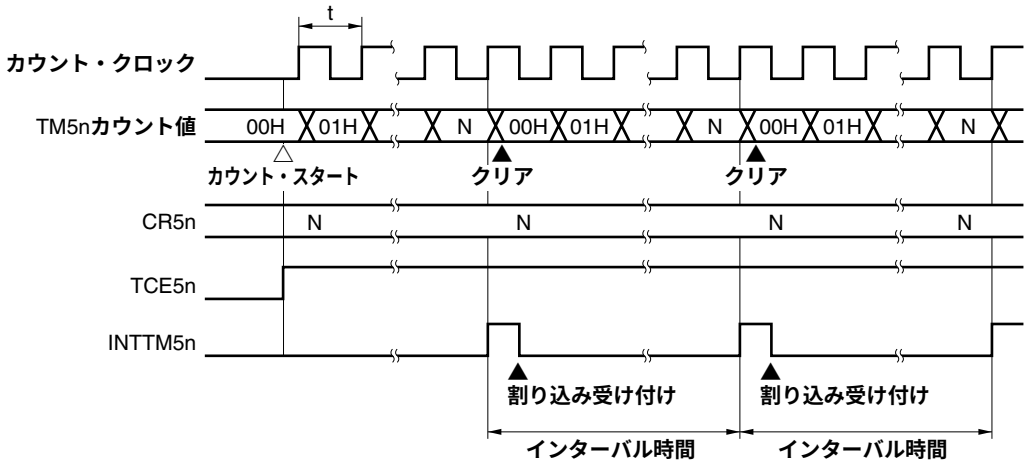
インターバル時間 = （N＋1）×t：N = 00H-FFH

注意　インターバル・タイマ動作中にCR5nレジスタの値を書き換えないでください。

備考　n = 0, 1

図9－2　インターバル・タイマ動作のタイミング（1/2）

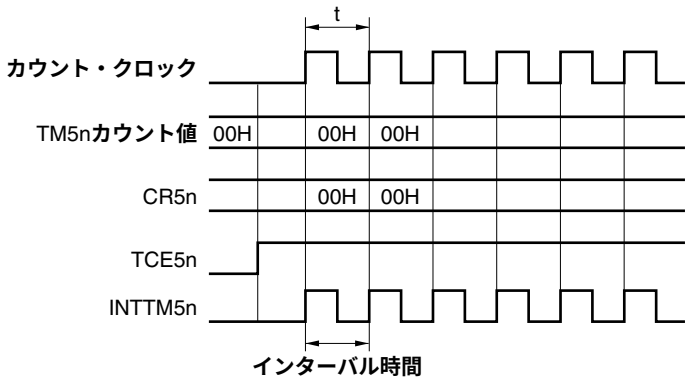
基本動作



備考　n = 0, 1

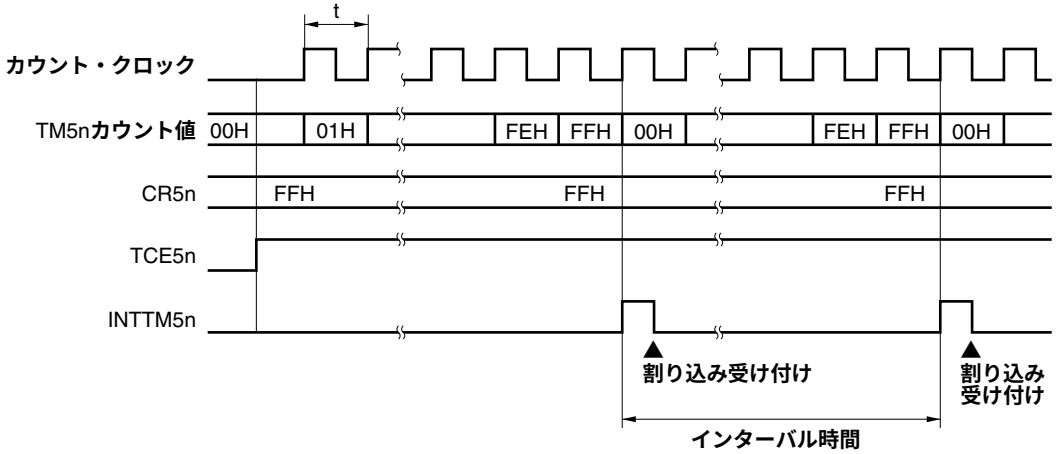
図9－2　インターバル・タイマ動作のタイミング（2/2）

CR5nレジスタ = 00Hの場合



備考　n = 0, 1

CR5nレジスタ = FFHの場合



備考　n = 0, 1

9.4.2　外部イベント・カウンタとしての動作

外部イベント・カウンタは，TI5n端子に入力される外部からのクロック・パルス数をTM5nレジスタでカウントします。

TI5n端子にTCL5nレジスタで指定した有効エッジが入力されるごとに，TM5nレジスタがインクリメントされます。エッジ指定は，立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5nレジスタのカウント値がCR5nレジスタの値と一致すると，TM5nレジスタは0にクリアされ，割り込み要求信号（INTTM5n）が発生します。

設定方法

① 各レジスタの設定を行います。

・TCL5nレジスタ　：TI5n端子入力のエッジ選択

TI5n端子の立ち下がりエッジ→TCL5nレジスタ = 00H

TI5n端子の立ち上がりエッジ→TCL5nレジスタ = 01H

・CR5nレジスタ　：コンペア値（N）

・TMC5nレジスタ：カウント動作停止，TM5nレジスタとCR5nレジスタの一致でクリア＆スタート・モードを選択，タイマ出力F/F反転動作禁止，タイマ出力禁止

（TMC5nレジスタ = 0000xx00B　x：don't care）

・兼用端子の設定については表4－16　ポート端子を兼用端子として使用する場合を参照してください。

② TMC5n.TCE5nビット = 1を設定すると，TI5n端子から入力されるパルス数をカウントします。

③ TM5nレジスタとCR5nレジスタの値が一致すると，INTTM5n信号が発生します（TM5nレジスタは00Hにクリアされます）。

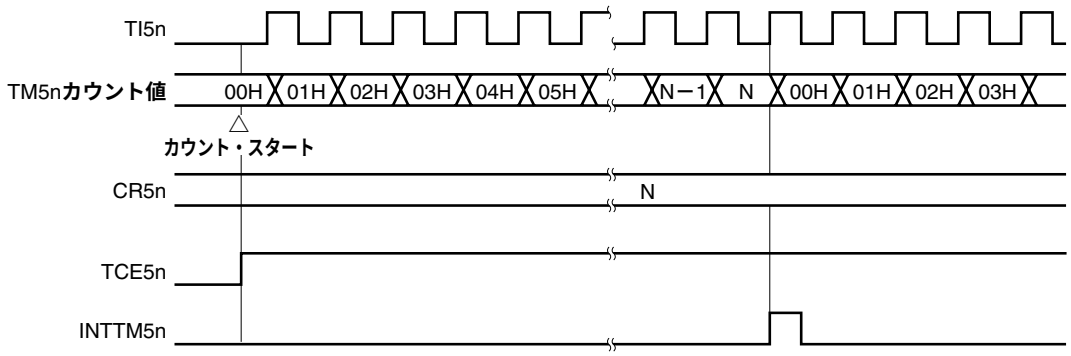
④ 以後，TM5nレジスタとCR5nレジスタの値が一致するごとにINTTM5n信号が発生します。

TI5n端子に有効エッジがN＋1回入力されるとINTTM5n信号が発生：N = 00H-FFH

注意　外部イベント・カウンタ動作中にCR5nレジスタの値を書き換えないでください。

備考　n = 0, 1

図9－3　外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）



備考　n = 0, 1

9.4.3　方形波出力としての動作

CR5nレジスタにあらかじめ設定した値で決まるインターバルの，任意の周波数の方形波出力として動作します。

TMC5n.TOE5nビットに1を設定することにより，CR5nレジスタにあらかじめ設定したカウント値で決まるインターバルでTO5n端子の出力状態が反転します。これにより，任意の周波数の方形波出力（デューティ = 50 %）が可能です（n = 0, 1）。

設定方法

① 各レジスタの設定を行います。

- TCL5nレジスタ　：カウント・クロック（t）の選択
- CR5nレジスタ　：コンペア値（N）
- TMC5nレジスタ：カウント動作停止，TM5nレジスタとCR5nレジスタの一致でクリア＆スタート・モード選択，タイマ出力の初期値設定，タイマ出力F/Fの反転許可，タイマ出力許可（TMC5nレジスタ = 00001011Bまたは00000111B）

・兼用端子の設定については表4－16　ポート端子を兼用端子として使用する場合を参照してください。

② TMC5n.TCE5nビット = 1を設定すると，カウント動作を開始します。

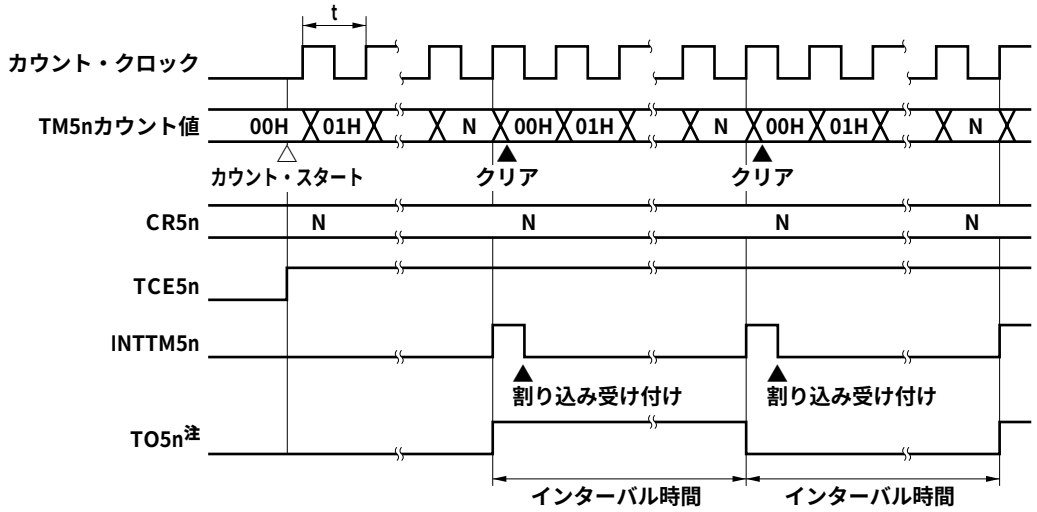
③ TM5nレジスタとCR5nレジスタの値が一致すると，タイマ出力F/Fが反転します。
また，INTTM5n信号が発生し，TM5nレジスタは00Hにクリアされます。

④ 以後，同一間隔でタイマ出力F/Fが反転し，TO5n端子から方形波が出力されます。

周波数 = 1/2t（N＋1）：N = 00H-FFH

注意　方形波出力中にCR5nレジスタの値を書き換えないでください。

図9－4　方形波出力動作のタイミング



注　TO5n出力の初期値は，TMC5n.LVS5n, LVR5nビットで設定できます。

備考　n = 0, 1

9.4.4　8ビットPWM出力としての動作

TMC5n.TMC5n6ビットに1を設定することにより，PWM出力として動作します。

CR5nレジスタに設定した値で決まるデューティのパルスを，TO5n端子から出力します。

PWMパルスのアクティブ・レベルの幅は，CR5nレジスタに設定してください。また，アクティブ・レベルは，TMC5nレジスタのTMC5n1ビットにより選択できます。

カウント・クロックは，TCL5nレジスタで選択できます。

TMC5n.TOE5nビットにより，PWM出力の許可／禁止が選択できます。

注意　CR5nレジスタの書き換え間隔は，動作クロック（TCL5nレジスタで設定）の3クロック以上必要です。

使用方法

① 各レジスタの設定を行います。

- TCL5nレジスタ　：カウント・クロック（t）の選択
- CR5nレジスタ　：コンペア値（N）
- TMC5nレジスタ：カウント動作停止，PWMモード選択，タイマ出力F/F変化なし，アクティブ・レベル設定，タイマ出力許可（TMC5nレジスタ = 01000001Bまたは01000011B）
- 兼用端子の設定については表4－16　ポート端子を兼用端子として使用する場合を参照してください。

② TMC5n.TCE5nビット = 1を設定すると，カウント動作を開始します。

PWM出力の動作

① カウント動作を開始すると，PWM出力（TO5n端子からの出力）はオーバフローが発生するまでインアクティブ・レベルを出力します。

② オーバフローが発生すると，設定方法①で設定したアクティブ・レベルを出力します。アクティブ・レベルは，CR5nレジスタとTM5nレジスタのカウント値が一致するまで出力されます。また，割り込み要求信号（INTTM5n）が発生します。

③ CR5nレジスタとTM5nレジスタのカウント値が一致すると，インアクティブ・レベルを出力し，再度オーバフローが発生するまでインアクティブ・レベルを出力します。

④ 以後，カウント動作が停止されるまで②，③を繰り返します。

⑤ TCE5nビット = 0によりカウント動作を停止すると，PWM出力はインアクティブ・レベルになります。

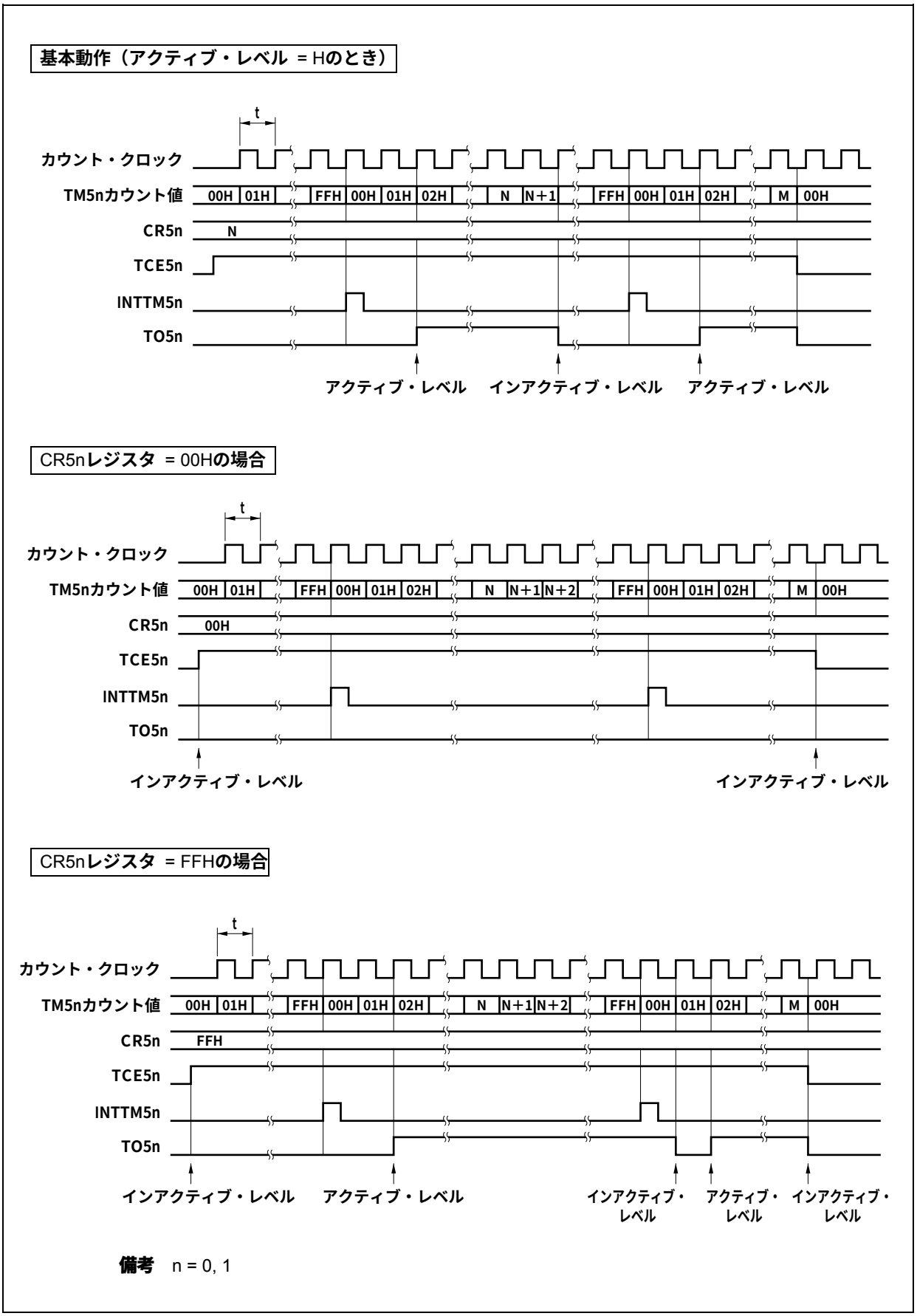
周期 = 256t，アクティブ・レベル幅 = Nt，デューティ = N/256：N = 00H-FFH

備考1.　n = 0, 1

2.　詳細なタイミングについては，図9－5　PWM出力の動作タイミング，図9－6　CR5nレジスタ変更による動作タイミングを参照してください。

(a) PWM出力の基本動作

図9－5　PWM出力の動作タイミング



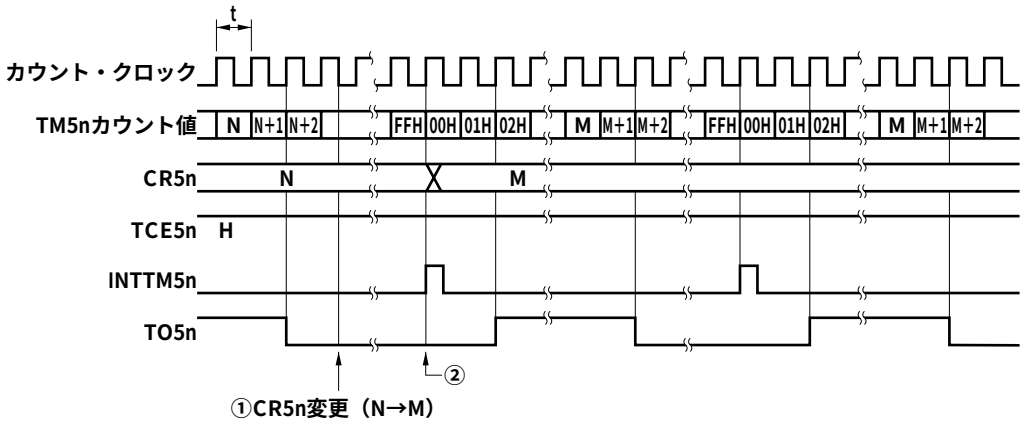
備考　n = 0, 1

(b) CR5nレジスタ変更による動作について

図9－6　CR5nレジスタ変更による動作のタイミング

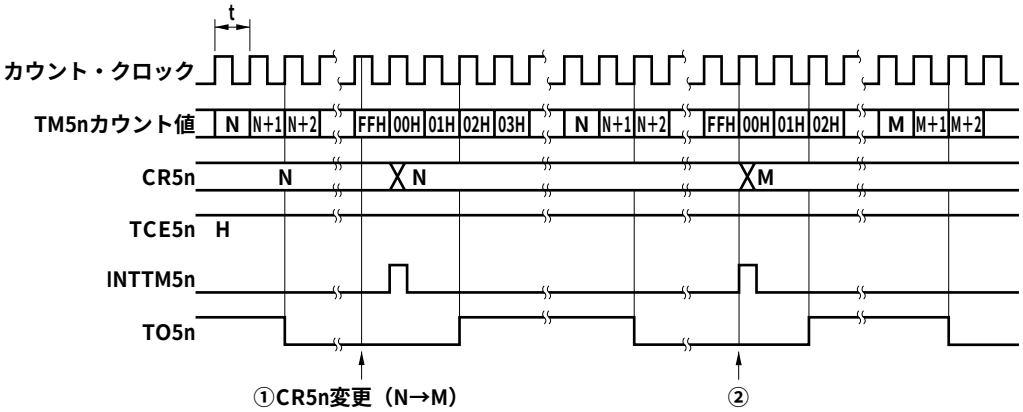
CR5nレジスタの値をFFHのクロック立ち上がりエッジよりも手前にN→Mに変更した場合

→直後のオーバフローでCR5nレジスタに値が転送されます。



CR5nレジスタの値をFFHのクロックの立ち上がりエッジよりもあとにN→Mに変更した場合

→2回目のオーバフローでCR5nレジスタに値が転送されます。



注意　①から②の間でCR5nレジスタからリードする場合，実際に動作する値と異なります（リード値：M，実際のCR5nレジスタの値：N）。

備考　n = 0, 1

9.4.5　インターバル・タイマ（16ビット）としての動作

TMC51.TMC514ビットに“1”を設定することにより，16ビット分解能のタイマ／イベント・カウンタ・モードになります。

16ビット・タイマ・コンペア・レジスタ5（CR5）にあらかじめ設定したカウント値をインターバルとし，繰り返し割り込みを発生するインターバル・タイマとして動作します。

設定方法

① 各レジスタの設定を行います。

- TCL50レジスタ　：カウント・クロック（t）の選択
  （カスケード接続するTCL51レジスタは設定不要）
- CR50レジスタ　：コンペア値（N）…下位8ビット（00H-FFHの設定が可能）
- CR51レジスタ　：コンペア値（N）…上位8ビット（00H-FFHの設定が可能）
- TMC50, TMC51レジスタ　：TM5レジスタとCR5レジスタの一致でクリア＆スタート・モードを選択（x：don't care）

  TMC50レジスタ = 0000xx00B
  TMC51レジスタ = 0001xx00B

② TMC51.TCE51ビット = 1に設定します。そのあとにTMC50.TCE50ビット = 1に設定し，カウント動作を開始します。

③ カスケード接続されたTM5レジスタとCR5レジスタの値が一致すると，INTTM50信号が発生します（TM5レジスタは0000Hにクリアされます）。

④ 以後，同一間隔でINTTM50信号が繰り返し発生します。

インターバル時間 =（N＋1）×t：N = 0000H-FFFFH

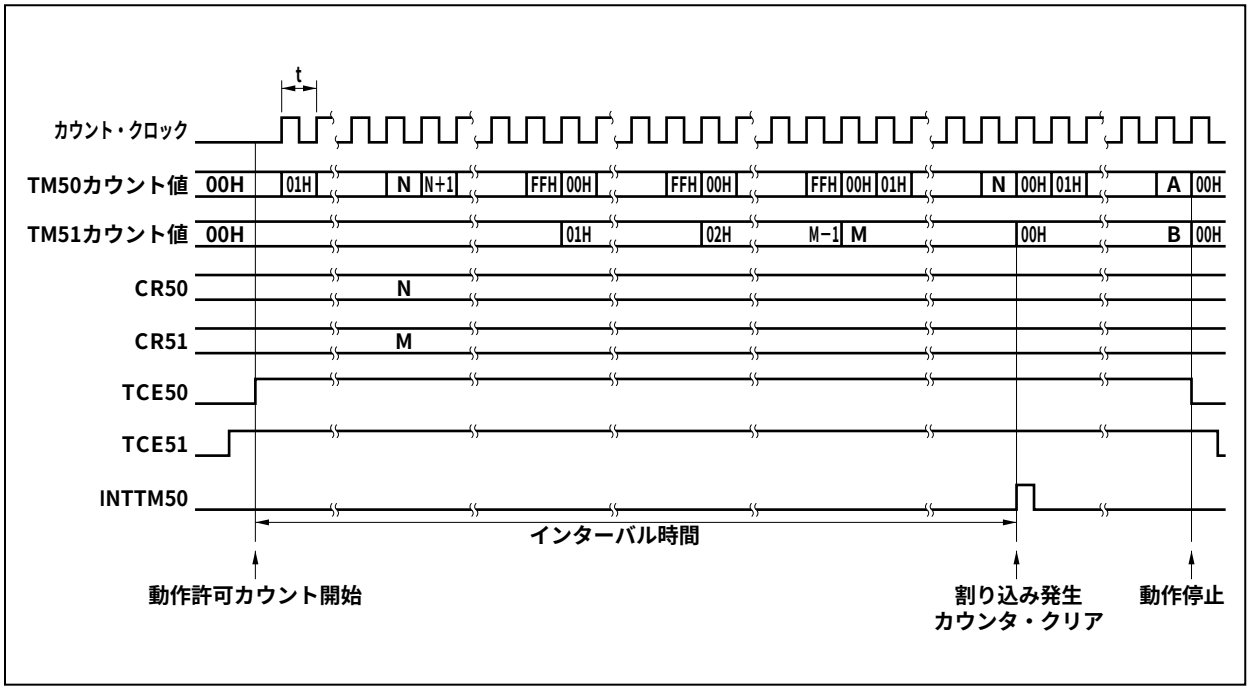
注意1. カスケード接続時に8ビット・アクセスでライトする場合，TCE5nビットの操作は，動作開始時はTCE51ビットをセット（1）してからTCE50ビットをセット（1）してください。動作停止時はTCE50ビットをクリア（0）してからTCE51ビットをクリア（0）してください。

2. カスケード接続時はTI50端子入力，TO50端子出力，INTTM50信号は使用し，TI51端子入力，TO51端子出力，INTTM51信号は使用しないでマスクしてください（詳細は第21章　割り込み／例外処理機能を参照してください）。LVS51, LVR51, TMC511, TOE51ビットは0に設定してください。

3. タイマ動作中はCR5レジスタの値を変更しないでください。

16ビット分解能カスケード接続モードのタイミング例を次に示します。

図9－7　16ビット分解能カスケード接続モード



9.4.6　外部イベント・カウンタ（16ビット）としての動作

TMC51.TMC514ビットに“1”を設定することにより，16ビット分解能のタイマ／イベント・カウンタ・モードになります。

外部イベント・カウンタは，TI50端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ5（TM5）でカウントします。

設定方法

① 各レジスタの設定を行います。

・TCL50レジスタ　：TI50端子入力のエッジ選択
（カスケード接続するTCL51レジスタは設定不要）
TI50端子の立ち下がり→TCL50レジスタ = 00H
TI50端子の立ち上がり→TCL50レジスタ = 01H

・CR50レジスタ　：コンペア値（N）…下位8ビット（00H-FFHの設定が可能）

・CR51レジスタ　：コンペア値（N）…上位8ビット（00H-FFHの設定が可能）

・TMC50, TMC51レジスタ　：カウント動作停止，TM5レジスタとCR5レジスタの一致でクリア＆スタート・モード，タイマ出力F/Fの反転禁止，タイマ出力禁止
（x：don't care）
TMC50レジスタ = 0000xx00B
TMC51レジスタ = 0001xx00B

・兼用端子の設定については表4－16　ポート端子を兼用端子として使用する場合を参照してください。

② TMC51.TCE51ビット = 1に設定します。そのあとにTMC50.TCE50ビット = 1に設定し，TI50端子から入力されるパルス数をカウントします。

③ カスケード接続されたTM5レジスタとCR5レジスタの値が一致すると，INTTM50信号が発生します（TM5レジスタは0000Hにクリアされます）。

④ 以後，TM5レジスタとCR5レジスタの値が一致するたびにINTTM50信号が発生します。

TI50端子に有効エッジがN＋1回入力されるとINTTM50信号が発生：N = 0000H-FFFFH

注意1. 外部イベント・カウンタ動作中にCR5nレジスタの値を書き換えないでください。

2. カスケード接続時に8ビット・アクセスでライトする場合，TCE5nビットの操作は，動作開始時はTCE51ビットをセット（1）してからTCE50ビットをセット（1）してください。動作停止時はTCE50ビットをクリア（0）してからTCE51ビットをクリア（0）してください（n = 0, 1）。

3. カスケード接続時はTI50端子入力，INTTM50信号は使用し，TI51端子入力，TO51端子出力，INTTM51信号は使用しないでマスクしてください（詳細は第21章　割り込み／例外処理機能を参照してください）。LVS51, LVR51, TMC511, TOE51ビットは0に設定してください。

4. 外部イベント・カウンタ動作中はCR5レジスタの値を変更しないでください。

9.4.7　方形波出力（16ビット分解能）としての動作

TMC51.TMC514ビットに“1”を設定することにより，16ビット分解能のタイマ／イベント・カウンタ・モードになります。

16ビット・タイマ・コンペア・レジスタ5（CR5）にあらかじめ設定した値をインターバルとする，任意の周波数の方形波出力として動作します。

設定方法

① 各レジスタの設定を行います。

・TCL50レジスタ　：カウント・クロック（t）の選択
（カスケード接続するTCL51レジスタは設定不要）

・CR50レジスタ　：コンペア値（N）…下位8ビット（00H-FFHの設定が可能）

・CR51レジスタ　：コンペア値（N）…上位8ビット（00H-FFHの設定が可能）

・TMC50, TMC51レジスタ　：カウント動作停止，
TM5レジスタとCR5レジスタの一致でクリア＆スタート・モード，

LVS50	LVR50	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可，タイマ出力許可

TMC50レジスタ = 00001011Bまたは00000111B
TMC51レジスタ = 00010000B

・兼用端子の設定については表4－16　ポート端子を兼用端子として使用する場合を参照してください。

② TMC51.TCE51ビット = 1に設定します。そのあとにTMC50.TCE50ビット = 1に設定し，カウント動作を開始します。

③ カスケード接続されたTM5レジスタとCR5レジスタの値が一致すると，TO50タイマ出力F/Fが反転します。また，INTTM50信号が発生し，TM5レジスタは0000Hにクリアされます。

④ 以後，同一間隔でタイマ出力F/Fが反転し，TO50端子から方形波が出力されます。

周波数 = 1/2t（N＋1）：N = 0000H-FFFFH

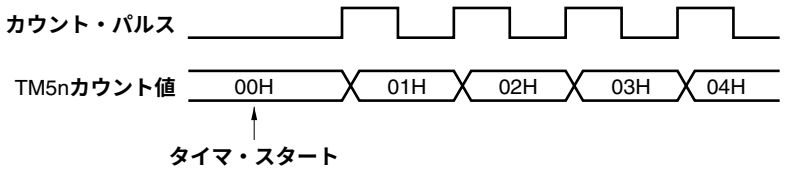
注意　動作中にCR5レジスタに異なる値を書き込まないでください。

9.4.8　注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後，一致信号が発生するまでの時間は，最大で1クロック分の誤差が生じます。これは，カウント・パルスに対してTM5nレジスタのスタートが非同期で行われるためです。

図9－8　TM5nレジスタのカウント・スタート・タイミング



備考　n = 0, 1

第10章　8ビット・タイマH

V850ES/KG1+は，8ビット・タイマHを2チャネル搭載しています。

10.1　機　　能

8ビット・タイマHnには，次のような機能があります。

- インターバル・タイマ
- 方形波出力
- PWM出力
- キャリア・ジェネレータ

備考　n = 0, 1

10.2　構　　成

8ビット・タイマHnは，次のハードウエアで構成されています。

表10－1　8ビット・タイマHnの構成

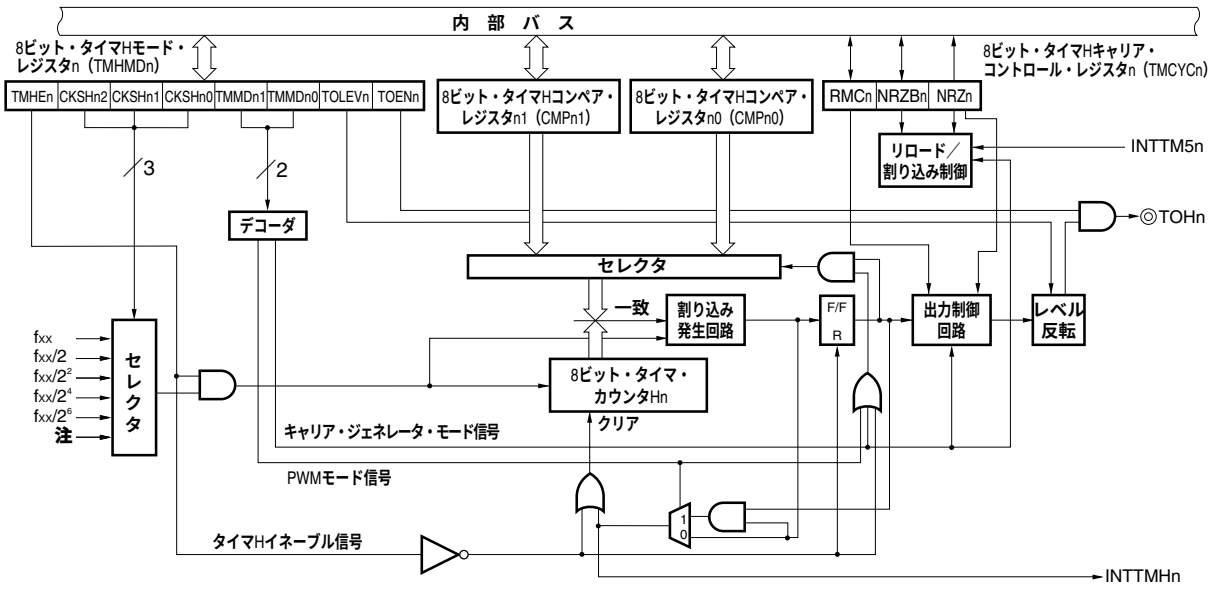
項　　目	構　　成
タイマ・レジスタ	8ビット・タイマ・カウンタHn：各1本
レジスタ	8ビット・タイマHコンペア・レジスタn0（CMPn0）：各1本 8ビット・タイマHコンペア・レジスタn1（CMPn1）：各1本
タイマ出力	TOHn，出力制御回路
制御レジスタ注	8ビット・タイマHモード・レジスタn（TMHMDn） 8ビット・タイマHキャリア・コントロール・レジスタn（TMCYCn）

注　TOHn端子の機能を使用する場合は，表4－16　ポート端子を兼用端子として使用する場合を参照してください。

備考　n = 0, 1

次に8ビット・タイマHnのブロック図を示します。

図10－1　8ビット・タイマHnのブロック図



注　n = 0のときfxx/2^{10}, n = 1のときfR/2^{11}

備考　n = 0, 1

(1) 8ビット・タイマHコンペア・レジスタn0（CMPn0）

★　8ビット単位でリード／ライト可能です。すべてのタイマ動作モードで使用します。

CMPn0レジスタに設定した値と8ビット・タイマ・カウンタHnのカウント値を常に比較し，その2つの値が一致したときに，割り込み要求信号（INTTMHn）を発生し，TOHn端子の出力レベルを反転させます。

CMPn0レジスタは，タイマ停止中（TMHMDn.TMHEnビット = 0）に書き換えを行ってください。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：CMP00 FFFFF582H, CMP10 FFFFF592H

	7	6	5	4	3	2	1	0
CMPn0								

（n = 0, 1）

注意　CMPn0レジスタは，タイマ・カウント動作中に値を書き換えることは禁止です。

(2)　8ビット・タイマHコンペア・レジスタn1（CMPn1）

★　8ビット単位でリード／ライト可能です。

PWM出力モードとキャリア・ジェネレータ・モードで使用します。

PWM出力モードでは，CMPn1レジスタに設定した値と，8ビット・タイマ・カウンタHnのカウント値を常に比較し，その2つの値が一致したときに，TOHn端子の出力レベルを反転させます。割り込み要求信号は発生されません。

キャリア・ジェネレータ・モードでは，CMPn1レジスタに設定した値と，8ビット・タイマ・カウンタHnのカウント値を常に比較し，その2つの値が一致したときに，割り込み要求信号（INTTMHn）を発生します。同じタイミングで，カウント値はクリアされます。

CMPn1レジスタは，タイマ・カウント動作中に値の書き換えが可能です。

タイマ動作中にCMPn1レジスタを書き換える場合，その値はラッチされ，カウント値と変更前のCMPn1レジスタの値が一致するタイミングでCMPn1レジスタに転送され，CMPn1レジスタの値が変更されます。カウント値とCMPn1レジスタの値が一致するタイミングとCMPn1レジスタへの値の書き込みが競合した場合，CMPn1レジスタの値は変更されません。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：CMP01 FFFFF583H, CMP11 FFFFF593H

	7	6	5	4	3	2	1	0
CMPn1								

（n = 0, 1）

CMPn1レジスタは，タイマ・カウント動作中に値の書き換えが可能です。

キャリア・ジェネレータ・モード時ではCMPn1レジスタを設定したあと，8ビット・タイマ・カウンタHnのカウント値とCMPn1レジスタの設定値が一致すると割り込み要求信号（INTTMHn）が発生します。同時に8ビット・タイマ・カウンタHnの値は00Hにクリアされます。

タイマ動作中にCMPn1レジスタの値を書き換えた場合，リロード・タイミングは8ビット・タイマ・カウンタHnのカウント値とCMPn1レジスタの設定値が一致したタイミングで行います。転送タイミングとソフトウエアによるCMPn1レジスタへの書き込みが競合した場合，転送はされません。

注意　PWM出力モードおよびキャリア・ジェネレータ・モードでは，タイマ・カウント動作停止（TMHMDn.TMHEnビット = 0）設定後，タイマ・カウント動作を開始する（TMHEnビット = 1）場合，必ずCMPn1レジスタを設定してください（CMPn1レジスタへの設定値が同値の場合でも，必ず再設定してください）。

10. 3　レジスタ

8ビット・タイマHnを制御するレジスタには，次の2種類があります。

・8ビット・タイマHモード・レジスタn（TMHMDn）
・8ビット・タイマHキャリア・コントロール・レジスタn（TMCYCn）

備考1.　TOHn端子の機能を使用する場合は，表4－16　ポート端子を兼用端子として使用する場合を参照してください。
2.　n = 0, 1

（1）8ビット・タイマHモード・レジスタn（TMHMDn）

TMHMDnレジスタは，8ビット・タイマHnのモードを制御するレジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより00Hになります。

備考　n = 0, 1

(a) 8ビット・タイマHモード・レジスタ0（TMHMD0）

リセット時：00H　R/W　アドレス：FFFFF580H

	⑦	6	5	4	3	2	①	⓪
TMHMD0	TMHE0	CKSH02	CKSH01	CKSH00	TMMD01	TMMD00	TOLEV0	TOEN0

TMHE0	8ビット・タイマH0動作許可
0	タイマ・カウント動作停止（8ビット・タイマ・カウンタH0 = 00H）
1	タイマ・カウント動作許可（クロックを入力することでカウント動作開始）

CKSH02	CKSH01	CKSH00	カウント・クロックの選択			
			カウント・クロック注	f_{XX} = 20 MHz	f_{XX} = 16.0 MHz	f_{XX} = 10.0 MHz
0	0	0	f_{XX}	設定禁止	設定禁止	100 ns
0	0	1	$f_{XX}/2$	100 ns	125 ns	200 ns
0	1	0	$f_{XX}/4$	200 ns	250 ns	400 ns
0	1	1	$f_{XX}/16$	800 ns	1 μs	1.6 μs
1	0	0	$f_{XX}/64$	3.2 μs	4 μs	6.4 μs
1	0	1	$f_{XX}/1024$	51.2 μs	64 μs	102.4 μs
上記以外			設定禁止			

TMMD01	TMMD00	8ビット・タイマH0動作モード
0	0	インターバル・タイマ・モード
0	1	キャリア・ジェネレータ・モード
1	0	PWMパルス・ジェネレータ・モード
1	1	設定禁止

TOLEV0	タイマ出力レベル制御（ディフォールト時）
0	ロウ・レベル
1	ハイ・レベル

TOEN0	タイマ出力制御
0	出力禁止
1	出力許可

注　次の条件を満たすように設定してください。

V_{DD} = REGC = 4.0～5.5 V：カウント・クロック≦10 MHz

V_{DD} = 4.0～5.5 V, REGC = 10 μF：カウント・クロック≦5 MHz

V_{DD} = REGC = 2.7～4.0 V：カウント・クロック≦5 MHz

注意1.　TMHE0ビット = 1のとき，TMHMD0レジスタのほかのビットを設定することは禁止です。

2.　PWMパルス・ジェネレータ・モードおよびキャリア・ジェネレータ・モードでは，タイマ・カウント動作停止（TMHE0ビット = 0）設定後，タイマ・カウント動作を開始する（TMHE0ビット = 1）場合，必ずCMP01レジスタを設定してください（CMP01レジスタへの設定値が同値の場合でも，必ず再設定してください）。

3.　キャリア・ジェネレータ・モードを使用する場合，8ビット・タイマH0のカウント・クロック周波数を8ビット・タイマ／イベント・カウンタ50のカウント・クロック周波数の6倍以上になるように設定してください。

(b) 8ビット・タイマHモード・レジスタ1（TMHMD1）

リセット時：00H　R/W　アドレス：FFFFF590H

	⑦	6	5	4	3	2	①	⓪
TMHMD1	TMHE1	CKSH12	CKSH11	CKSH10	TMMD11	TMMD10	TOLEV1	TOEN1

TMHE1	8ビット・タイマH1動作許可
0	タイマ・カウント動作停止（8ビット・タイマ・カウンタH1 = 00H）
1	タイマ・カウント動作許可（クロックを入力することでカウント動作開始）

CKSH12	CKSH11	CKSH10	カウント・クロックの選択			
			カウント・クロック注	f_{XX} = 20.0 MHz	f_{XX} = 16.0 MHz	f_{XX} = 10.0 MHz
0	0	0	f_{XX}	設定禁止	設定禁止	100 ns
0	0	1	$f_{XX}/2$	100 ns	125 ns	200 ns
0	1	0	$f_{XX}/4$	200 ns	250 ns	400 ns
0	1	1	$f_{XX}/16$	800 ns	1 μs	1.6 μs
1	0	0	$f_{XX}/64$	3.2 μs	4 μs	6.4 μs
1	0	1	$f_R/2048$			
上記以外			設定禁止			

TMMD11	TMMD10	8ビット・タイマH1動作モード
0	0	インターバル・タイマ・モード
0	1	キャリア・ジェネレータ・モード
1	0	PWMパルス・ジェネレータ・モード
1	1	設定禁止

TOLEV1	タイマ出力レベル制御（ディフォールト時）
0	ロウ・レベル
1	ハイ・レベル

TOEN1	タイマ出力制御
0	出力禁止
1	出力許可

注　次の条件を満たすように設定してください。

V_{DD} = REGC = 4.0～5.5 V：カウント・クロック≦10 MHz

V_{DD} = 4.0～5.5 V, REGC = 10 μF：カウント・クロック≦5 MHz

V_{DD} = REGC = 2.7～4.0 V：カウント・クロック≦5 MHz

注意1.　TMHE1ビット = 1のとき，TMHMD1レジスタのほかのビットを設定することは禁止です。

2.　PWMパルス・ジェネレータ・モードおよびキャリア・ジェネレータ・モードでは，タイマ・カウント動作停止（TMHE1ビット = 0）設定後，タイマ・カウント動作を開始する（TMHE1ビット = 1）場合，必ずCMP11レジスタを設定してください（CMP11レジスタへの設定値が同値の場合でも，必ず再設定してください）。

3.　キャリア・ジェネレータ・モードを使用する場合，8ビット・タイマH1のカウント・クロック周波数を8ビット・タイマ／イベント・カウンタ51のカウント・クロック周波数の6倍以上になるように設定してください。

(2) 8ビット・タイマHキャリア・コントロール・レジスタn（TMCYCn）

TMCYCnレジスタは，8ビット・タイマHnのリモコン出力およびキャリア・パルス出力の状態を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。ただし，NRZnビットは，リードのみです。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：TMCYC0 FFFFF581H, TMCYC1 FFFFF591H

	7	6	5	4	3	2	1	⓪
TMCYCn	0	0	0	0	0	RMCn	NRZBn	NRZn

(n = 0, 1)

RMCn	NRZBn	リモコン出力
0	0	ロウ・レベル出力
0	1	ハイ・レベル出力
1	0	ロウ・レベル出力
1	1	キャリア・パルス出力

NRZn	キャリア・パルス出力状態フラグ
0	キャリア出力禁止状態（ロウ・レベル状態）
1	キャリア出力許可状態

10.4　動　　作

10.4.1　インターバル・タイマ／方形波出力としての動作

8ビット・タイマ・カウンタHnのカウント値とCMPn0レジスタの設定値が一致した場合，割り込み要求信号（INTTMHn）が発生し，8ビット・タイマ・カウンタHnを“00H”にクリアします。

インターバル・タイマ・モードでCMPn1レジスタは使用しません。CMPn1レジスタを設定しても，8ビット・タイマ・カウンタHnとCMPn1レジスタの一致検出をしないため，タイマ出力に影響しません。

また，TMHMDn.TOENnビットをセット（1）することにより，TOHn端子から任意の周波数の方形波（デューティ = 50 %）を出力できます。

備考1.　兼用端子（TOHn）の設定については，表4－16　ポート端子を兼用端子として使用する場合を参照してください。

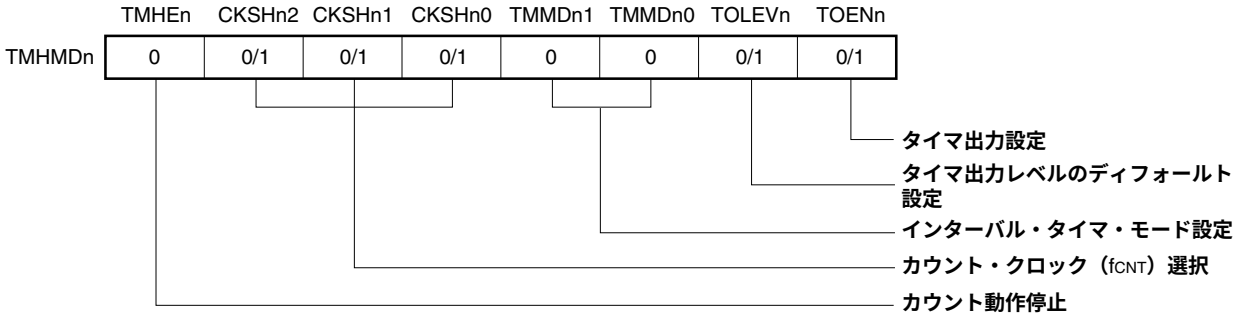
2.　INTTMHn信号の割り込み許可については，第21章　割り込み／例外処理機能を参照してください。

設定方法

①　各レジスタの設定を行います。

図10－2　インターバル・タイマ・モード時のレジスタの設定

(i) 8ビット・タイマHモード・レジスタn（TMHMDn）の設定



(ii) CMPn0レジスタの設定

コンペア値にNを設定した場合，インターバル時間は次のようになります。

・インターバル時間 =（N＋1）／f_{CNT}

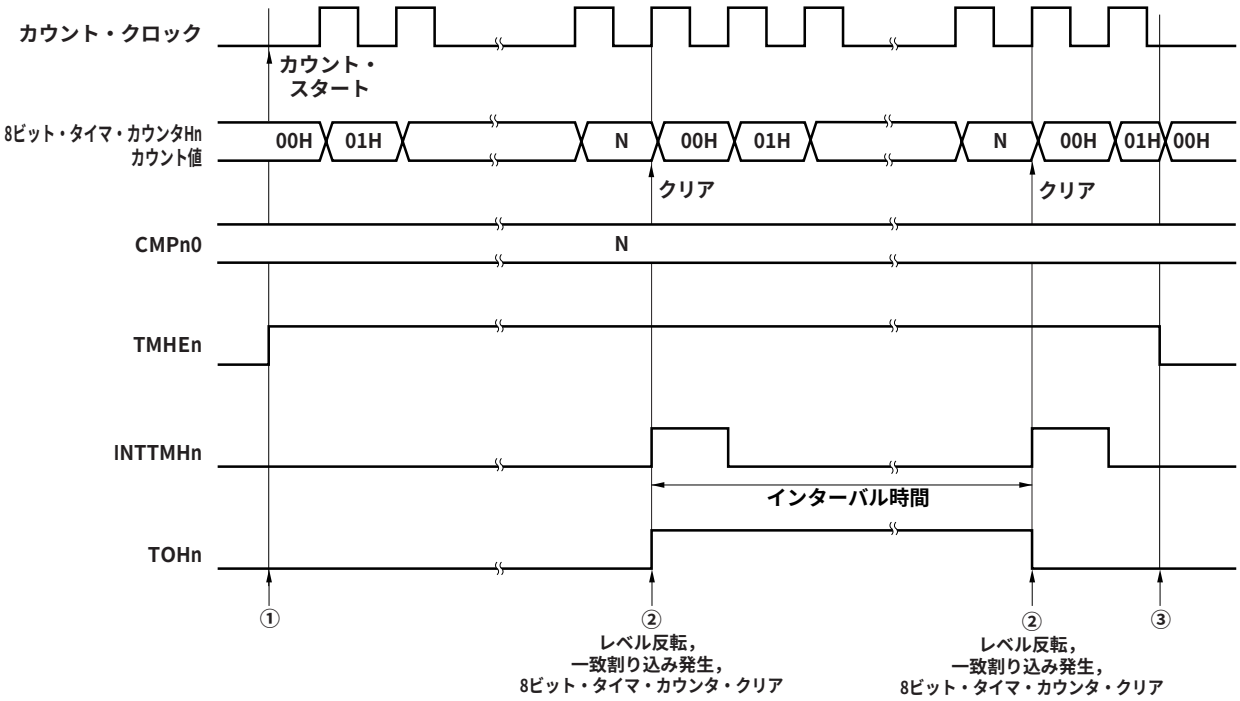
②　TMHEnビットをセット（1）すると，カウント動作を開始します。

③　8ビット・タイマ・カウンタHnのカウント値とCMPn0レジスタの設定値が一致すると，INTTMHn信号が発生し，8ビット・タイマ・カウンタHnは“00H”にクリアされます。

④　以後，同一間隔でINTTMHn信号が発生します。カウント動作を停止するときは，TMHEnビットをクリア（0）します。

図10－3　インターバル・タイマ／方形波出力動作のタイミング（1/2）

基本動作（01H≦CMPn0≦FEH時の動作）



①　TMHEnビットをセット（1）することにより，カウント動作許可状態になります。カウント・クロックは，動作許可後，最大1クロック遅れてカウント・スタートします。

②　8ビット・タイマ・カウンタHnのカウント値とCMPn0レジスタの設定値が一致すると，8ビット・タイマ・カウンタHnの値をクリアし，TOHn出力のレベルを反転します。また，カウント・クロックの立ち上がりタイミングでINTTMHn信号を出力します。

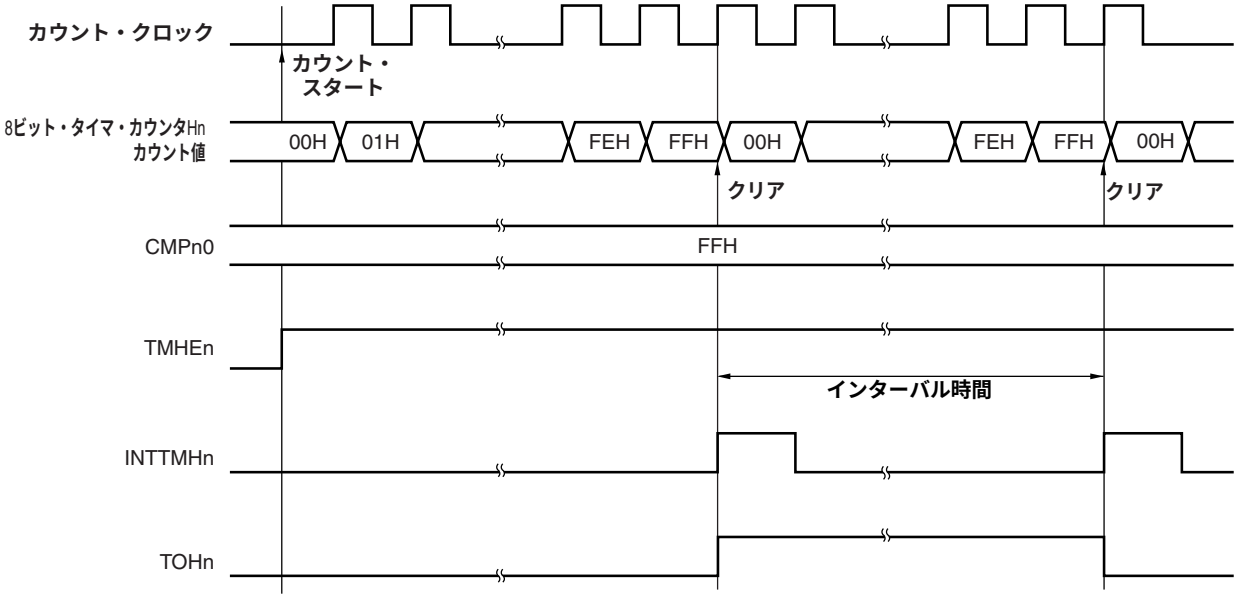
③　8ビット・タイマHn動作中にTMHEnビットをクリア（0）すると，INTTMHn信号およびTOHn出力がディフォールト状態になります。TMHMDn.TMHEnビットを0にする前から，ディフォールトと同じ状態の場合はレベルを保持します。

備考1.　n = 0, 1

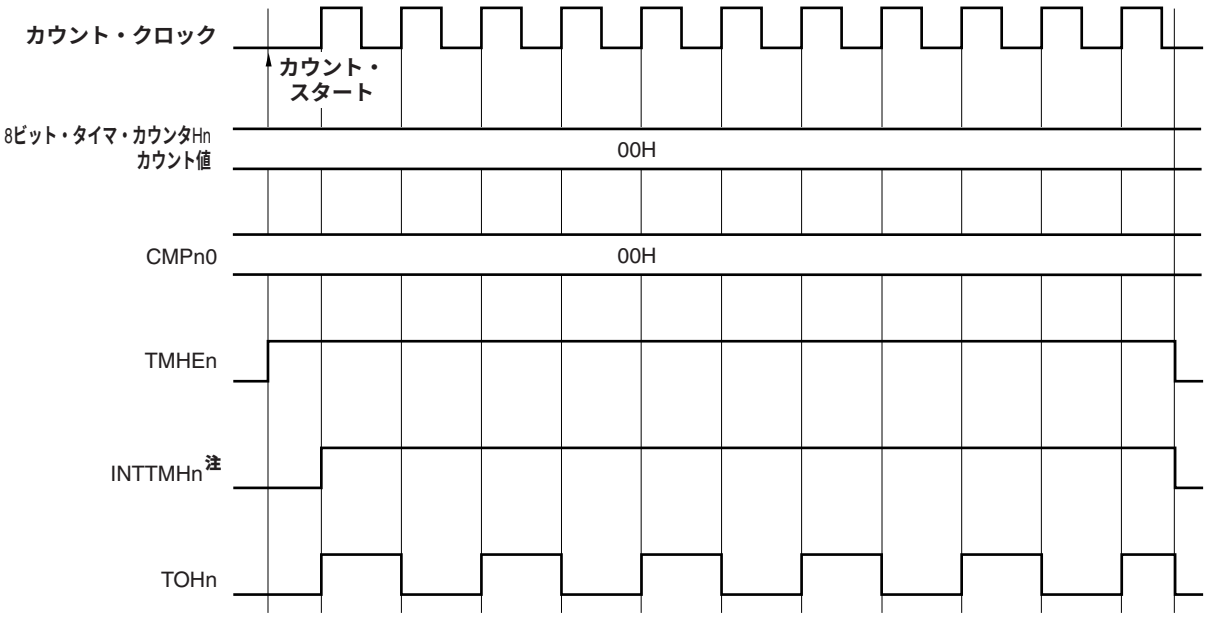
2.　01H≦N≦FEH

図10－3　インターバル・タイマ／方形波出力動作のタイミング（2/2）

CMPn0レジスタ = FFH時の動作



CMPn0レジスタ = 00H時の動作



★ **注**　INTTMHn割り込みは1回だけ発生します。

備考　n = 0, 1

10. 4. 2　PWM出力モードとしての動作

PWM出力モードでは，任意のデューティおよび周期のパルスを出力できます。

CMPn0レジスタはタイマ出力（TOHn）の周期を制御します。タイマ動作中のCMPn0レジスタに対する書き換えは禁止です。

CMPn1レジスタはタイマ出力（TOHn）のデューティを制御するレジスタです。タイマ動作中のCMPn1レジスタに対する書き換えが可能です。

PWM出力モードでの動作は次のようになります。

タイマ・カウント・スタート後，8ビット・タイマ・カウンタHnのカウント値とCMPn0レジスタの設定値が一致するとTOHn出力のレベルは反転し，8ビット・タイマ・カウンタHnは“00H”にクリアされます。また，8ビット・タイマ・カウンタHnのカウント値とCMPn1レジスタの設定値が一致するとTOHn出力のレベルは反転します。

備考1.　兼用端子（TOHn）の設定については，表4－16　ポート端子を兼用端子として使用する場合を参照してください。

2.　INTTMHn信号の割り込み許可については，第21章　割り込み／例外処理機能を参照してください。

設定方法

①　各レジスタの設定を行います。

図10－4　PWM出力モード時のレジスタの設定

（i）8ビット・タイマHモード・レジスタn（TMHMDn）の設定

	TMHEn	CKSHn2	CKSHn1	CKSHn0	TMMDn1	TMMDn0	TOLEVn	TOENn
TMHMDn	0	0/1	0/1	0/1	1	0	0/1	1

- TOENn：タイマ出力許可
- TOLEVn：タイマ出力レベルのディフォールト設定
- TMMDn0：PWM出力モード選択
- CKSHn0：カウント・クロック（f_{CNT}）選択
- TMHEn：カウント動作停止

（ii）CMPn0レジスタの設定

・コンペア値（N）：周期の設定

（iii）CMPn1レジスタの設定

・コンペア値（M）：デューティの設定

備考1.　n = 0, 1

2.　00H≦CMPn1（M）＜CMPn0（N）≦FFH

② TMHEnビットをセット（1）すると，カウント動作を開始します。

③ カウント動作を許可したあと，最初の比較対象コンペア・レジスタはCMPn0レジスタです。8ビット・タイマ・カウンタHnのカウント値とCMPn0レジスタの設定値が一致すると，8ビット・タイマ・カウンタHnはクリアされ，割り込み要求信号（INTTMHn）が発生し，TOHn出力が反転します。同時に，8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMPn0レジスタからCMPn1レジスタへ切り替えます。

④ 8ビット・タイマ・カウンタHnのカウント値とCMPn1レジスタの設定値が一致すると，TOHn出力が反転し，同時に，8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMPn1レジスタからCMPn0レジスタへ切り替えます。このとき8ビット・タイマ・カウンタHnはクリアされず，INTTMHn信号も発生しません。

⑤ 以上③と④を繰り返し，任意のデューティのパルスを得ることができます。

⑥ カウント動作を停止するときは，TMHEnビットをクリア（0）します。

CMPn0レジスタの設定値を（N），CMPn1レジスタを（M），カウント・クロックの周波数をf_{CNT}とすると，PWMパルス出力周期およびデューティは次のとおりになります。

PWMパルス出力周期 ＝（N＋1）／f_{CNT}
デューティ ＝ インアクティブ幅：アクティブ幅 ＝（M＋1）：（N＋1）

注意1. タイマ・カウント動作中に，CMPn1レジスタの設定値を変更することができます。ただし，CMPn1レジスタの値を変更してからレジスタに値が転送されるまでに，動作クロック（TMHMDnレジスタのCKSHn2-CKSHn0ビットで選択された信号）の3クロック分以上かかります。

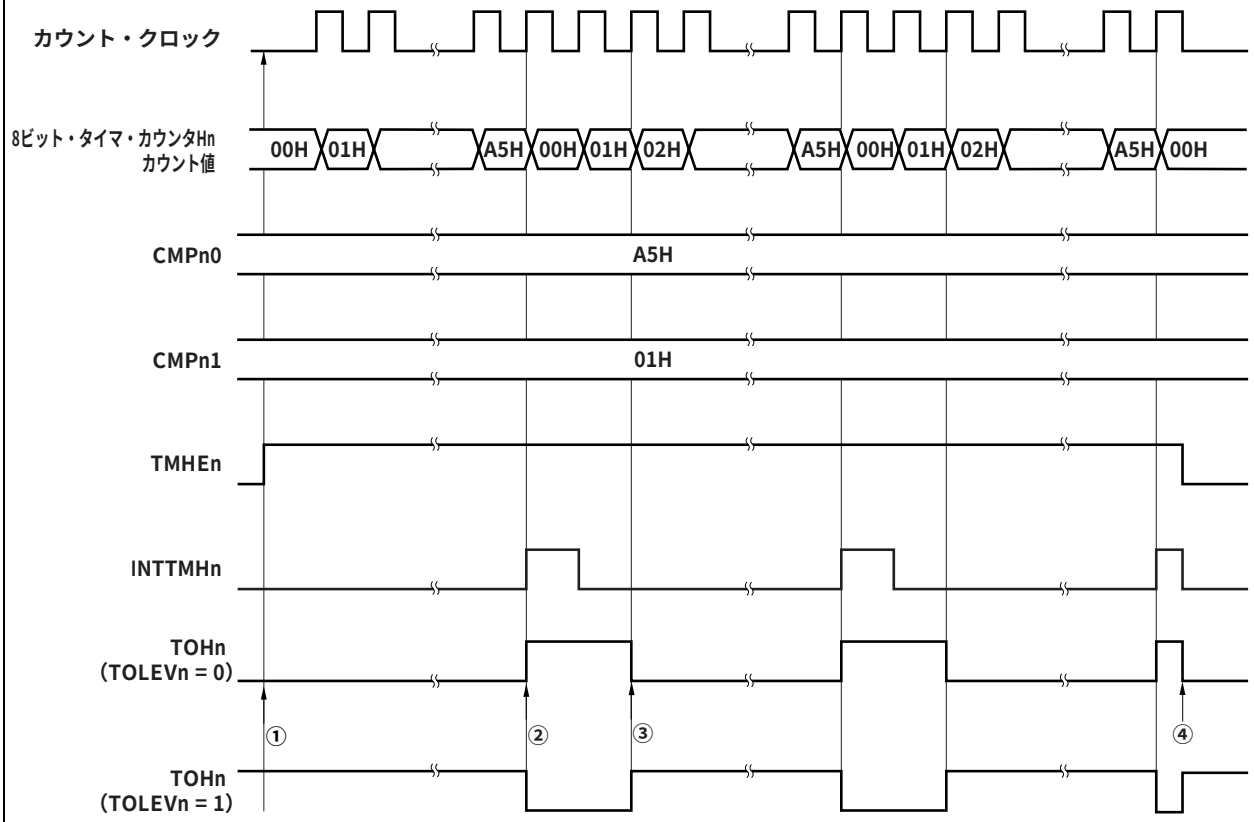
2. タイマ・カウント動作停止（TMHEnビット ＝ 0）設定後，タイマ・カウント動作を開始する（TMHEnビット ＝ 1）場合，必ずCMPn1レジスタを設定してください（CMPn1レジスタへの設定値が同値の場合でも，必ず再設定してください）。

3. CMPn1レジスタの設定値（M），CMPn0レジスタの設定値（N）は，必ず次の範囲内にしてください。

   00H≦CMPn1（M）＜CMPn0（N）≦FFH

図10－5　PWM出力モード動作のタイミング（1/4）

基本動作



① TMHEnビットをセット（1）すると，カウント動作を開始します。そのときTOHn出力はディフォールトを保持します。

② 8ビット・タイマ・カウンタHnのカウント値がCMPn0レジスタの設定値と一致したときに，TOHn出力のレベルが反転し，8ビット・タイマ・カウンタHnをクリアし，INTTMHn信号を出力します。

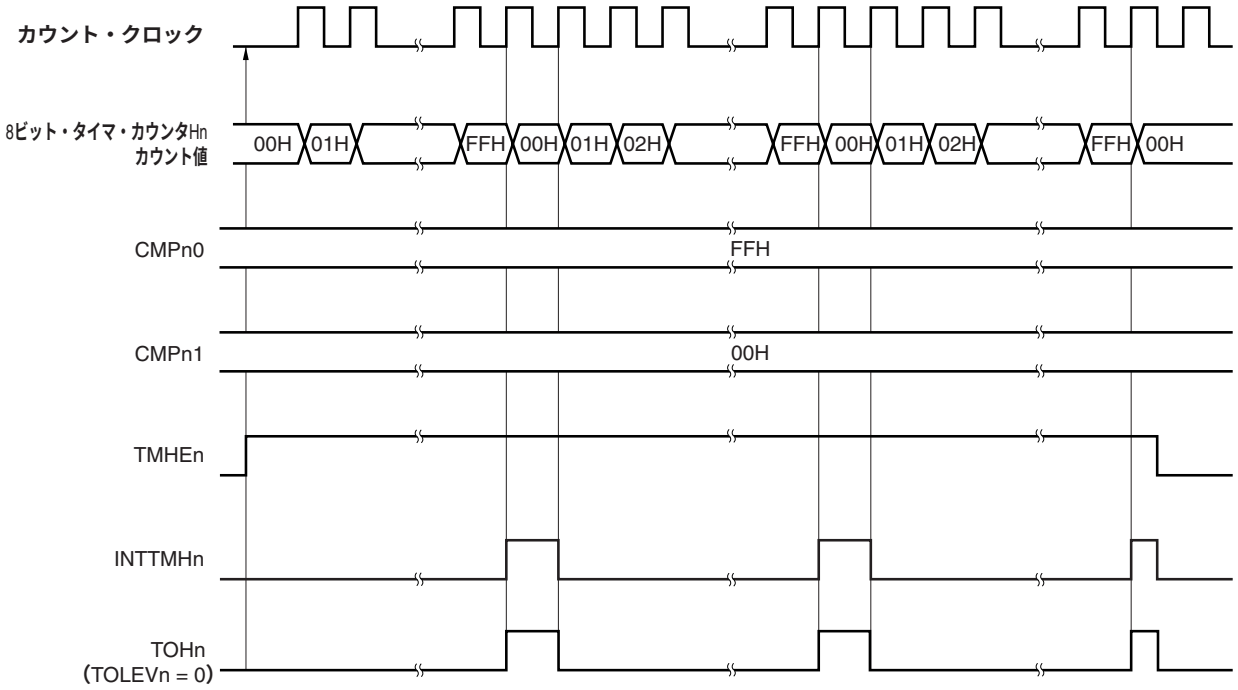
③ 8ビット・タイマ・カウンタHnのカウント値がCMPn1レジスタの設定値と一致したときに，TOHn出力のレベルが反転します。そのとき8ビット・タイマ・カウンタHnの値はクリアされず，INTTMHn信号は出力しません。

④ 8ビット・タイマHn動作中にTMHEnビットをクリア（0）することで，INTTMHn信号およびTOHn出力がディフォールトになります。

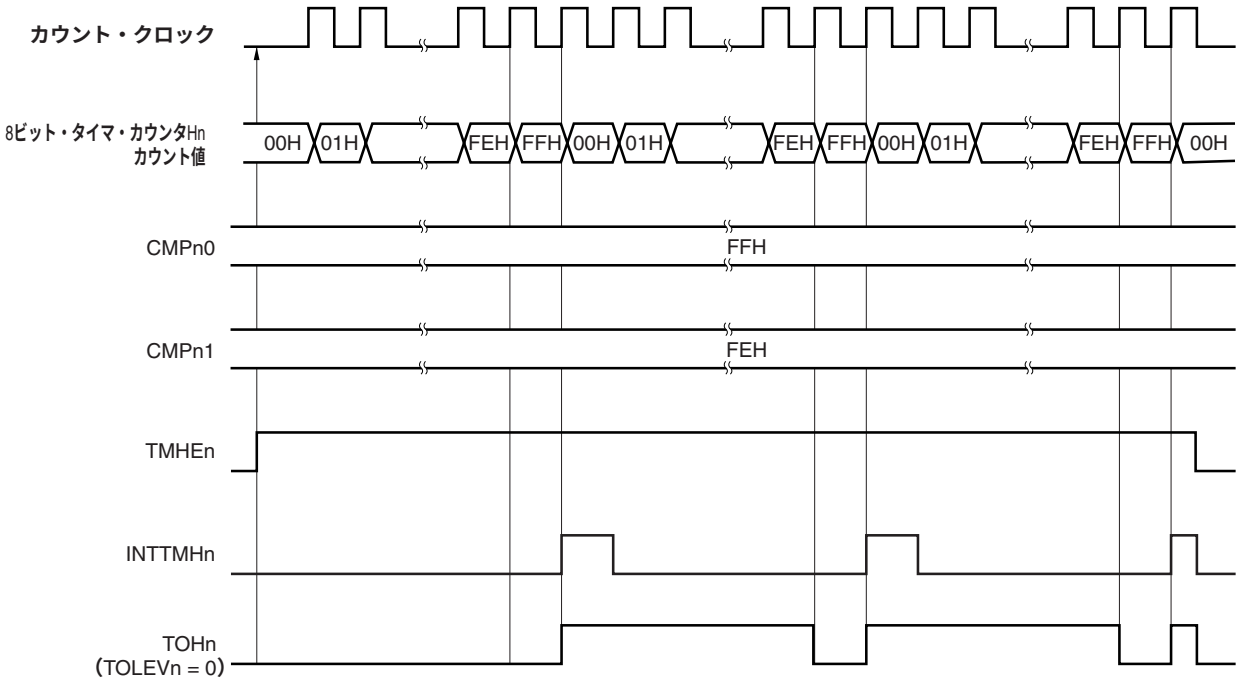
備考　n = 0, 1

図10－5　PWM出力モード動作のタイミング（2/4）

CMPn0レジスタ = FFH, CMPn1レジスタ = 00H時の動作



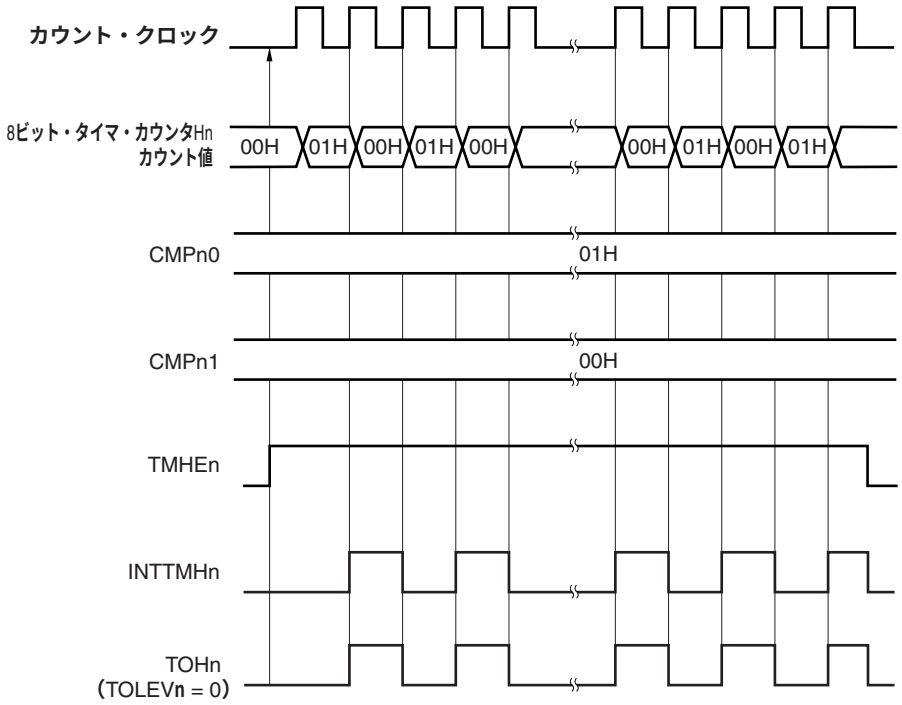
CMPn0レジスタ = FFH, CMPn1レジスタ = FEH時の動作



備考　n = 0, 1

図10ー5　PWM出力モード動作のタイミング（3/4）

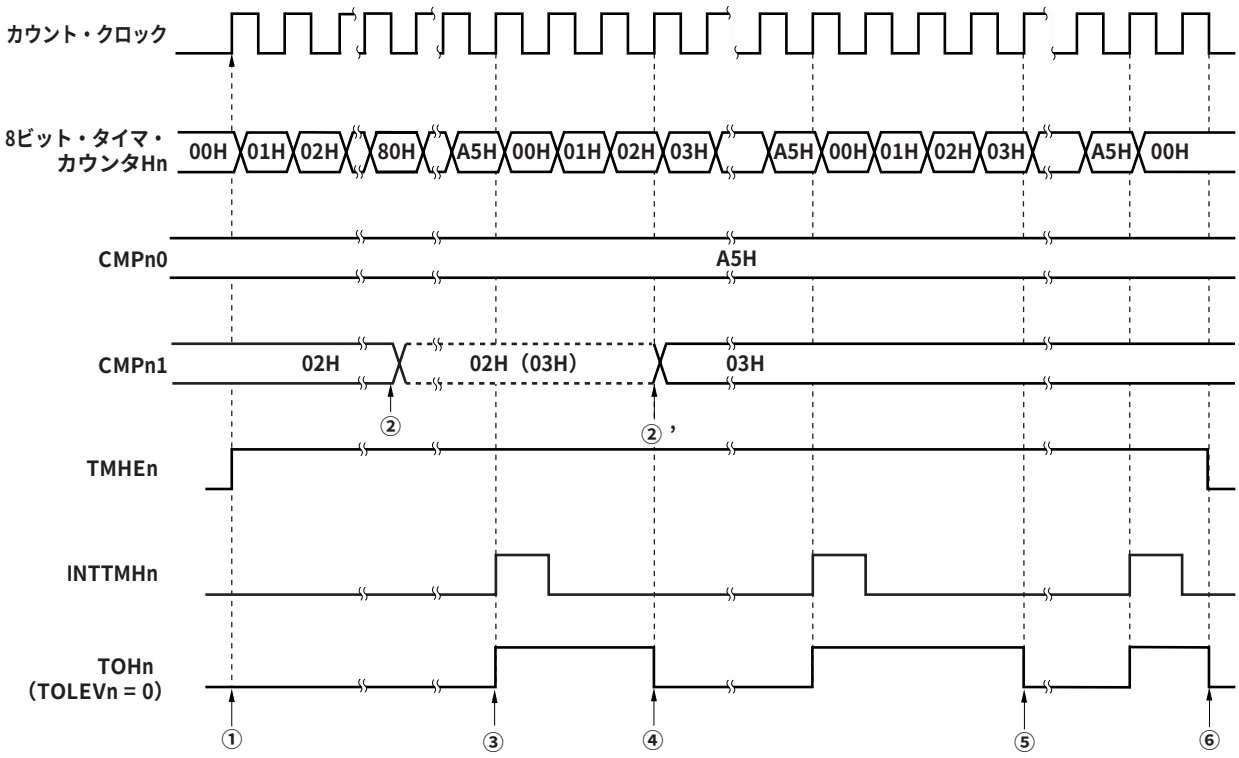
CMPn0レジスタ = 01H, CMPn1レジスタ = 00H時の動作



備考　n = 0, 1

図10－5　PWM出力モード動作のタイミング（4/4）

CMPn1レジスタ変更による動作（CMPn1レジスタ = 02H→03H, CMPn0レジスタ = A5H）



① TMHEnビットをセット（1）すると，カウント動作を開始します。そのとき，TOHn出力はディフォールトを保持します。

② カウント動作中にCMPn1レジスタの設定値を変更することができます。この動作はカウント・クロックとは非同期です。

③ 8ビット・タイマ・カウンタHnのカウント値がCMPn0レジスタの設定値と一致すると，8ビット・タイマ・カウンタHnはクリアされ，TOHn出力のレベルが反転し，INTTMHn信号が発生します。

④ CMPn1レジスタの値を変更しても，その値はラッチされ，レジスタには転送されません。8ビット・タイマ・カウンタHnのカウント値とCMPn1レジスタの変更前の設定値が一致すると，CMPn1レジスタに転送されCMPn1レジスタの値が変更されます（②’）。
ただし，CMPn1レジスタの値を変更してからレジスタに転送されるまでに，3カウント・クロック以上かかります。3カウント・クロックまでに一致信号を発生しても，変更値のレジスタへの転送はできません。

⑤ 8ビット・タイマ・カウンタHnのカウント値が変更後のCMPn1レジスタの設定値と一致すると，TOHn出力のレベルが反転します。8ビット・タイマ・カウンタHnはクリアされず，INTTMHn信号も発生しません。

⑥ 8ビット・タイマHn動作中にTMHEnビットをクリア（0）することで，INTTMHn信号およびTOHn出力がディフォールトになります。

10. 4. 3　キャリア・ジェネレータ・モードとしての動作

8ビット・タイマHnで生成されるキャリア・クロックは，8ビット・タイマ／イベント・カウンタ5nで設定した周期で出力されます。

キャリア・ジェネレータ・モードでは，8ビット・タイマ／イベント・カウンタ5nで8ビット・タイマHnのキャリア・パルスをどの程度出力するか制御し，TOHn出力からキャリア・パルスを出力します。

備考1.　兼用端子（TOHn）の設定については，表4－16　ポート端子を兼用端子として使用する場合を参照してください。

2.　INTTMHn信号の割り込み許可については，第21章　割り込み／例外処理機能を参照してください。

(1) キャリアの生成

キャリア・ジェネレータ・モードのとき，CMPn0レジスタはキャリア・パルスのロウ・レベル幅の波形を生成し，CMPn1レジスタはキャリア・パルスのハイ・レベル幅の波形を生成します。

8ビット・タイマHn動作中に，CMPn1レジスタを書き換えることはできますが，CMPn0レジスタを書き換えることは禁止です。

(2) キャリアの出力制御

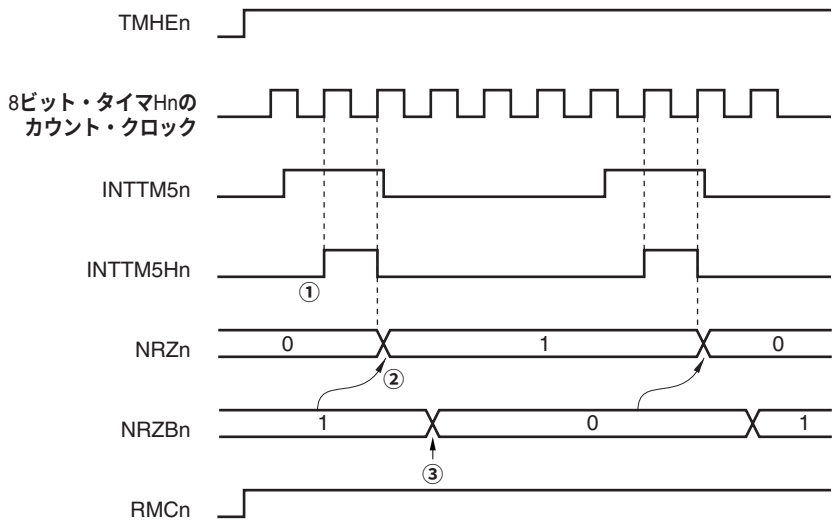
キャリアの出力制御は8ビット・タイマ／イベント・カウンタ5nの割り込み要求信号（INTTM5n）とTMCYCn.NRZBn, RMCnビットにより行われます。出力の関係を次に示します。

RMCnビット	NRZBnビット	出　力
0	0	ロウ・レベル出力
0	1	ハイ・レベル出力
1	0	ロウ・レベル出力
1	1	キャリア・パルス出力

備考　n = 0, 1

キャリア・パルス出力をカウント動作中に制御するために，TMCYCn.NRZn, NRZBnビットは，マスタとスレーブのビット構成になっています。NRZnビットはリードのみですが，NRZBnビットはリード／ライト可能です。INTTM5n信号は8ビット・タイマHnのクロックで同期化され，INTTM5Hn信号として出力されます。INTTM5Hn信号がNRZnビットのデータ転送信号となり，NRZBnビットの値がNRZnビットへ転送されます。NRZBnビットからNRZnビットへの転送タイミングは，次のとおりです。

★ **図10－6　転送タイミング**



① INTTM5n信号は8ビット・タイマHnのカウント・クロックで同期化され，INTTM5Hn信号として出力されます。

② INTTM5Hn信号の立ち上がりから2クロック目で，NRZBnビットの値がNRZnビットに転送されます。

③ INTTM5Hn割り込みにより起動された割り込み処理プログラミングの中で，または割り込み要求フラグをポーリングしてタイミングを確認後に，NRZBnビットに次の値を書き込みます。またCR5nレジスタに次の時間をカウントするためのデータを書き込みます。

注意1. NRZBnビットの値を書き換えてから2クロック目までに，再びNRZBnビットの値を書き換えないでください。書き換えた場合のNRZBnビットからNRZnビットへの転送動作の保証はできません。

2. 8ビット・タイマ／イベント・カウンタ5nをキャリア・ジェネレータ・モードで使用する場合，①のタイミングで割り込みが発生します。8ビット・タイマ／イベント・カウンタ5nをキャリア・ジェネレータ・モード以外で使用する場合とは，割り込み発生のタイミングが異なります。

備考　n = 0, 1

設定方法

① 各レジスタの設定を行います。

図10－7　キャリア・ジェネレータ・モード時のレジスタの設定

・8ビット・タイマHモード・レジスタn（TMHMDn）

	TMHEn	CKSHn2	CKSHn1	CKSHn0	TMMDn1	TMMDn0	TOLEVn	TOENn
TMHMDn	0	0/1	0/1	0/1	0	1	0/1	1

- TOENn：タイマ出力許可
- TOLEVn：タイマ出力レベルのディフォールト設定
- TMMDn1：キャリア・ジェネレータ・モード選択
- CKSHn0, CKSHn1, CKSHn2：カウント・クロック（f_{CNT}）選択
- TMHEn：カウント動作停止

・CMPn0レジスタ　：コンペア値

・CMPn1レジスタ　：コンペア値

・TMCYCnレジスタ　：RMCn = 1　… リモコン出力許可ビット

NRZBn = 0/1　… キャリア出力許可ビット

・TCL5n, TMC5nレジスタ：9. 3　レジスタ参照

備考　n = 0, 1

② TMHEnビットをセット（1）すると，8ビット・タイマHnのカウント動作を開始します。

③ TMC5n.TCE5nビットをセット（1）すると，8ビット・タイマ／イベント・カウンタ5nのカウント動作を開始します。

④ カウント動作を許可したあと，最初の比較対象コンペア・レジスタはCMPn0レジスタです。8ビット・タイマ・カウンタHnのカウント値とCMPn0レジスタの設定値が一致すると，INTTMHn信号が発生し，8ビット・タイマ・カウンタHnはクリアされます。同時に，8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタはCMPn0レジスタからCMPn1レジスタへ切り替わります。

⑤ 8ビット・タイマ・カウンタHnのカウント値とCMPn1レジスタの設定値が一致すると，INTTMHn信号が発生し，8ビット・タイマ・カウンタHnはクリアされます。同時に，8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタはCMPn1レジスタからCMPn0レジスタへ切り替わります。

⑥ 以上④と⑤の繰り返しによって，キャリア・クロックが生成されます。

⑦ INTTM5n信号が8ビット・タイマHnで同期され，INTTM5Hn信号として出力されます。その信号がNRZBnビットのデータ転送信号となり，NRZBnビットの値がNRZnビットへ転送されます。

★ ⑧ INTTM5Hn割り込みにより起動された割り込み処理プログラミングの中で，または割り込み要求フラグをポーリングしてタイミングを確認後に，NRZBnビットに次の値を書き込みます。またCR5nレジスタに次の時間をカウントするためのデータを書き込みます。

⑨　NRZnビットがハイ・レベルのとき，キャリア・クロックがTOHn端子より出力されます。

⑩　以上を繰り返し，任意のキャリア・クロックを得ることができます。カウント動作を停止するときはTMHEnビットをクリア（0）します。

CMPn0レジスタの設定値を（N），CMPn1レジスタの設定値を（M），カウント・クロックの周波数をf_{CNT}とすると，キャリア・クロック出力周期およびデューティは次のとおりになります。

キャリア・クロック出力周期 ＝（N＋M＋2）／f_{CNT}
デューティ ＝ ハイ・レベル幅：キャリア・クロック出力幅＝（M＋1）：（N＋M＋2）

注意1.　タイマ・カウント動作停止（TMHEnビット ＝ 0）設定後，タイマ・カウント動作を開始する（TMHEnビット ＝ 1）場合，必ずCMPn1レジスタを設定してください（CMPn1レジスタへの設定値が同値の場合でも，必ず再設定してください）。

2.　CMPn0, CMPn1レジスタの値は，01H-FFHの範囲で設定してください。

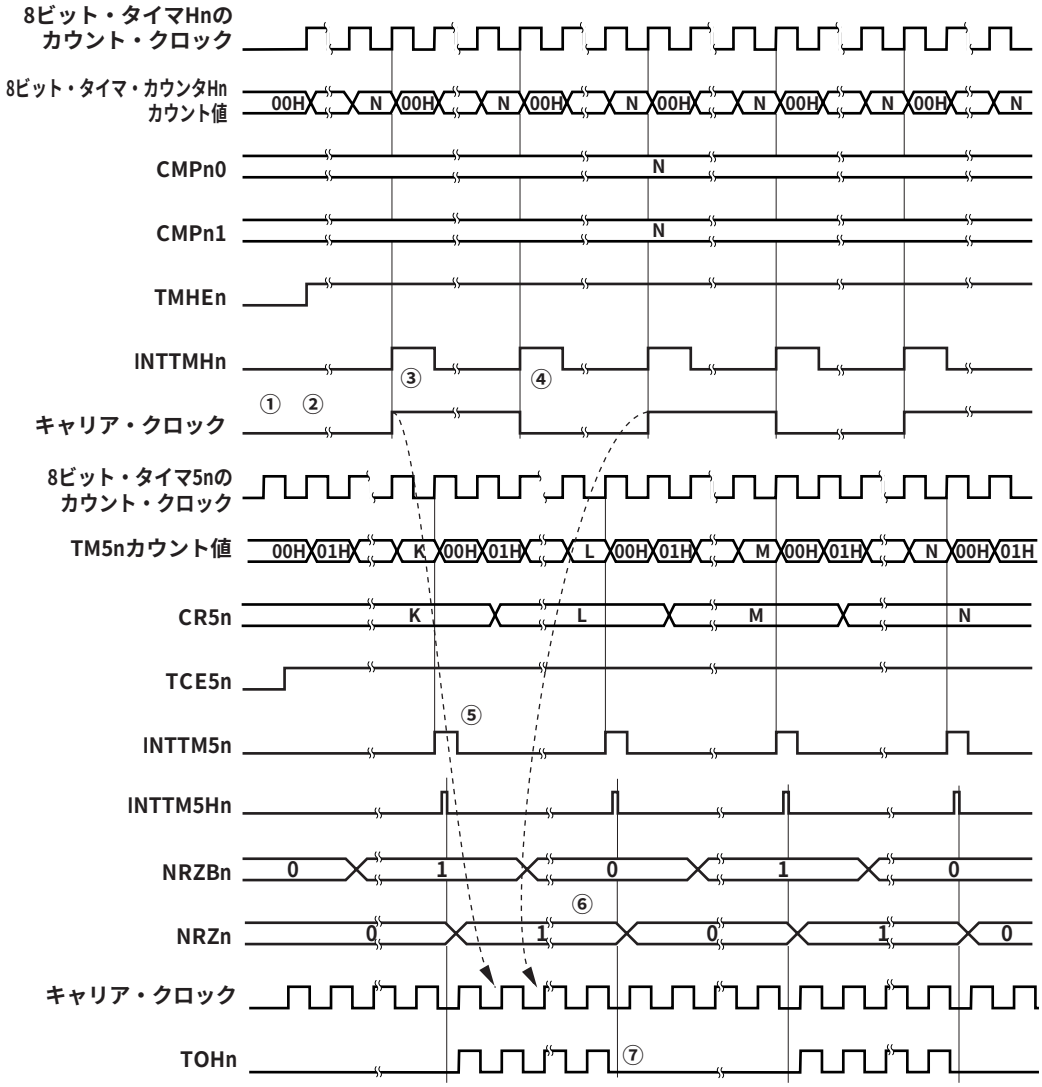
3.　キャリア・ジェネレータ・モード時は，CMPn1レジスタを書き換えてから，実際にレジスタに転送するのに動作クロック（TMHMDn.CKSHn2-CKSHn0ビットで選択された信号）の3クロック分を必要とします。

4.　TMCYCn.RMCnビットの設定はカウント動作開始前に必ず設定してください。

5.　キャリア・ジェネレータ・モードを使用する場合，8ビット・タイマHnのカウント・クロック周波数を8ビット・タイマ／イベント・カウンタ5nのカウント・クロック周波数の6倍以上になるように設定してください。

図10－8　キャリア・ジェネレータ・モード（1/3）

CMPn0 = N，CMPn1 = Nに設定したときの動作



① TMHEnビット = 0およびTCE5nビット = 0のとき，8ビット・タイマHnの動作は停止状態です。

② TMHEnビットをセット（1）すると，8ビット・タイマHnはカウント動作を開始します。そのときキャリア・クロックはディフォールトを保持します。

③ 8ビット・タイマ・カウンタHnのカウント値がCMPn0レジスタの設定値と一致したときに，最初のINTTMHn信号を発生し，キャリア・クロック信号を反転し，8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタはCMPn0レジスタからCMPn1レジスタに切り替わります。8ビット・タイマ・カウンタHnは00Hにクリアされます。

④ 8ビット・タイマ・カウンタHnのカウント値がCMPn1レジスタの設定値と一致したときに，INTTMHn信号を発生し，キャリア・クロック信号を反転し，8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタはCMPn1レジスタからCMPn0レジスタに切り替わります。8ビット・タイマ・カウンタHnは00Hにクリアされます。③と④を繰り返し，デューティ50 %固定のキャリア・クロックを生成します。

⑤ INTTM5n信号は8ビット・タイマHnで同期化され，INTTM5Hn信号として出力します。

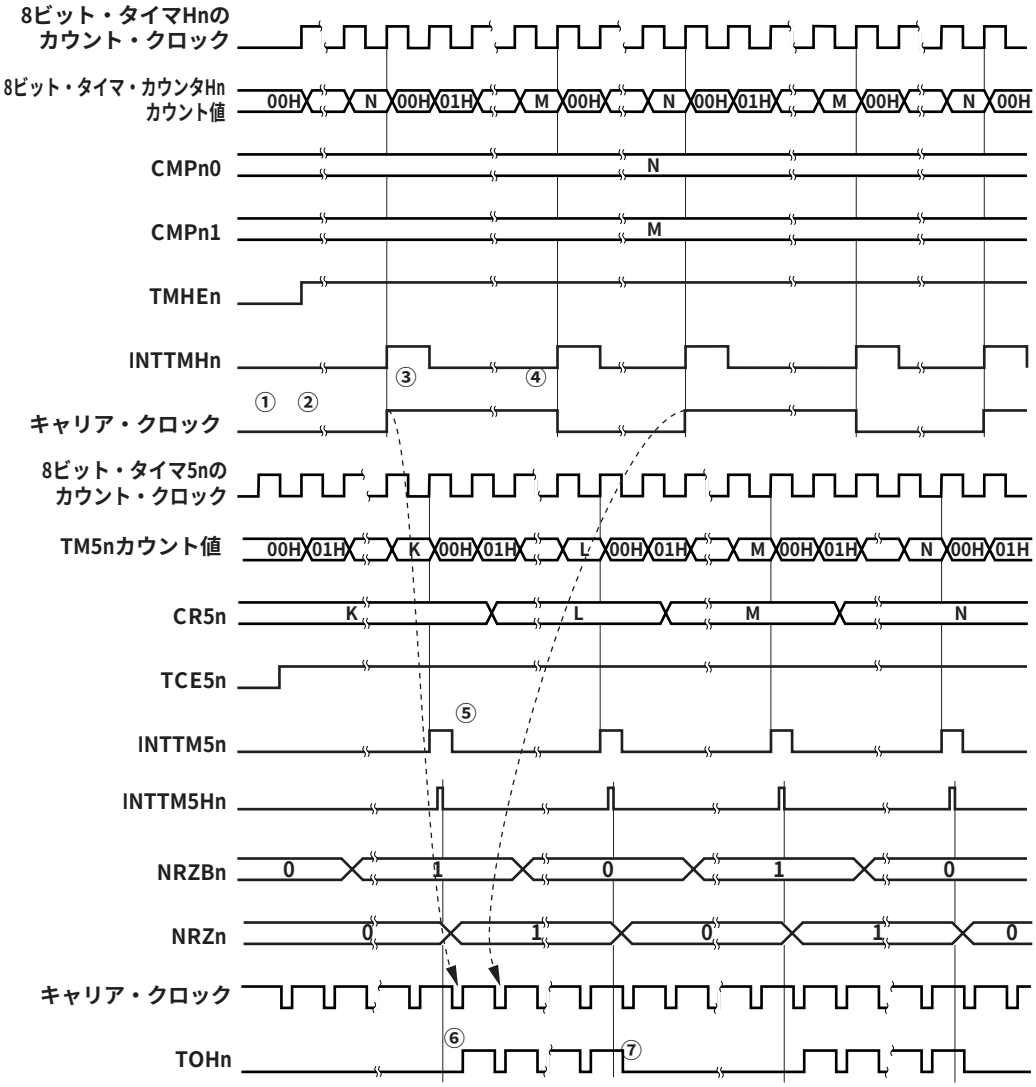
⑥ INTTM5Hn信号がNRZBnビットのデータ転送信号となり，NRZBnビットの値がNRZnビットへ転送されます。

⑦ NRZnビット = 0により，TOHn出力はロウ・レベルになります。

備考　n = 0, 1

図10－8　キャリア・ジェネレータ・モード（2/3）

CMPn0レジスタ = N，CMPn1レジスタ = Mに設定したときの動作



① TMHEnビット = 0およびTCE5nビット = 0のとき，8ビット・タイマHnの動作は停止状態です。

② TMHEnビットをセット（1）すると，8ビット・タイマHnはカウント動作を開始します。そのときキャリア・クロックはディフォールトを保持します。

③ 8ビット・タイマ・カウンタHnのカウント値がCMPn0レジスタの設定値と一致したときに，最初のINTTMHn信号を発生し，キャリア・クロック信号を反転し，8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタはCMPn0レジスタからCMPn1レジスタに切り替わります。8ビット・タイマ・カウンタHnは00Hにクリアされます。

④ 8ビット・タイマ・カウンタHnのカウント値がCMPn1レジスタの設定値と一致したときに，INTTMHn信号を発生し，キャリア・クロック信号を反転し，8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタはCMPn1レジスタからCMPn0レジスタに切り替わります。8ビット・タイマ・カウンタHnは00Hにクリアされます。③と④を繰り返し，デューティ固定（50 %以外）のキャリア・クロックを生成します。

⑤ INTTM5n信号を発生します。その信号は8ビット・タイマHnで同期化され，INTTM5Hn信号として出力します。

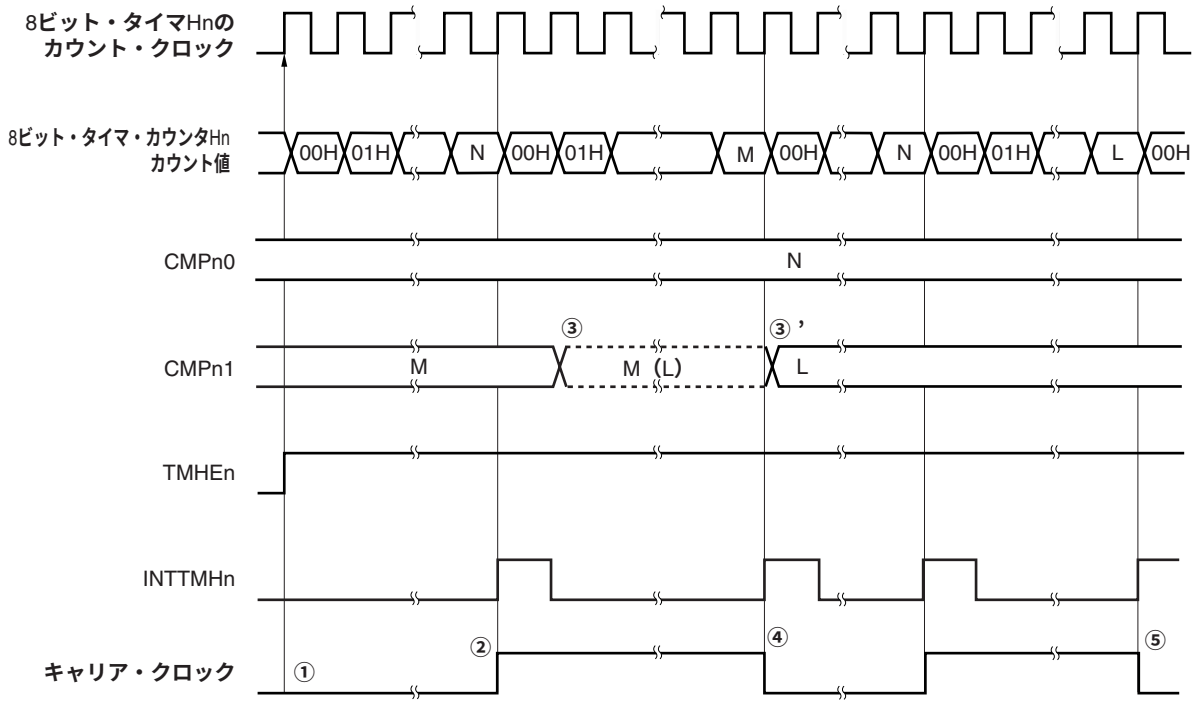
⑥ NRZnビット = 1により，最初のキャリア・クロックの立ち上がりから，キャリアを出力します。

⑦ NRZnビット = 0により，キャリア・クロックのハイ・レベル期間は，TOHn出力もハイ・レベルを保持しロウ・レベルに変化しません（⑥，⑦よりキャリア波形のハイ・レベル幅が保証できます）。

備考　n = 0, 1

図10－8　キャリア・ジェネレータ・モード（3/3）

CMPn1レジスタ変更による動作



① TMHEnビットをセット（1）すると，カウント動作を開始します。そのときキャリア・クロックはディフォールトを保持します。

② 8ビット・タイマ・カウンタHnのカウント値がCMPn0レジスタと一致すると，INTTMHn信号を出力し，キャリア信号を反転させ，8ビット・タイマ・カウンタHnを00Hにクリアします。同時に8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタは，CMPn0レジスタからCMPn1レジスタへ切り替わります。

③ CMPn1レジスタはカウント・クロックとは非同期で，8ビット・タイマHn動作中に値を書き換えることができますが，変更した値（L）はラッチされます。8ビット・タイマ・カウンタHnのカウント値とCMPn1レジスタの変更前の値（M）が一致したタイミングで，CMPn1レジスタが変更されます（③’）。
ただし，CMPn1レジスタの値を変更してからレジスタに転送されるまでに，3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても，変更値のレジスタへの転送はできません。

④ 8ビット・タイマ・カウンタHnのカウント値と変更前のCMPn1レジスタの値（M）が一致すると，INTTMHn信号を出力し，キャリア信号を反転させ，8ビット・タイマ・カウンタHnを00Hにクリアします。同時に8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタは，CMPn1レジスタからCMPn0レジスタへ切り替わります。

⑤ 再度8ビット・タイマ・カウンタHnのカウント値とCMPn1レジスタが一致するタイミングは変更後の値（L）です。

備考　n = 0, 1

第11章　インターバル・タイマ，時計タイマ

V850ES/KG1+は，インターバル・タイマBRGと時計タイマを内蔵しています。インターバル・タイマBRGは，時計タイマのソース・クロックとしても使用できます。時計タイマは，インターバル・タイマWTとしても使用できます。

同時に，インターバル・タイマを2チャネルと時計タイマを1チャネル使用することもできます。

11. 1　インターバル・タイマBRG

11. 1. 1　機　　能

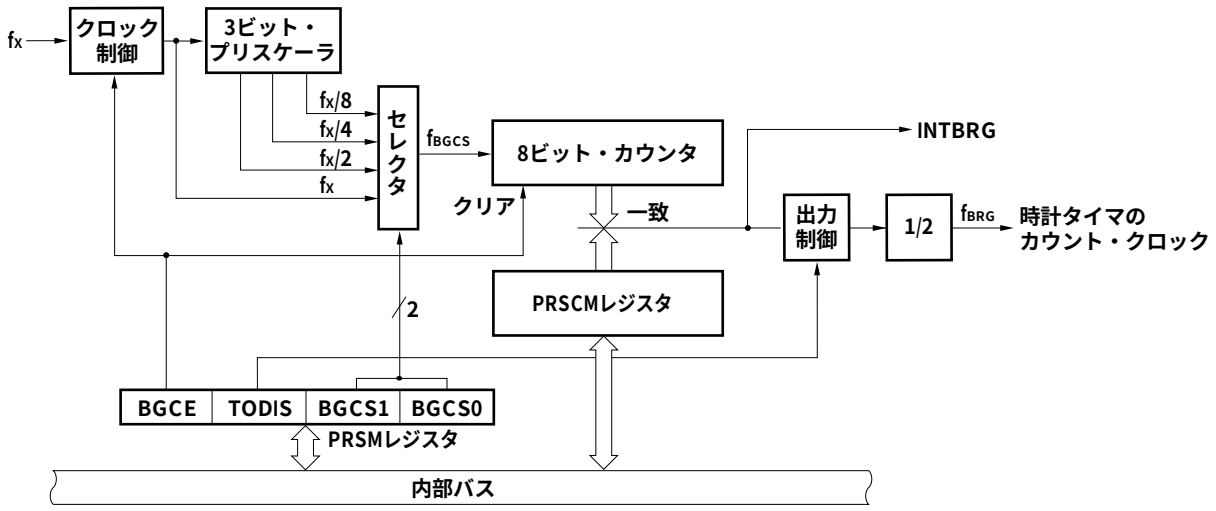
インターバル・タイマBRGには，次のような機能があります。

- インターバル・タイマBRG　　：一定時間ごとに割り込み要求信号（INTBRG）が発生します。
- 時計タイマのカウント・クロック生成：時計タイマのカウント・クロックとしてメイン・クロックを使用する場合，カウント・クロック（f_{BRG}）を生成します。

11. 1. 2　構　　成

次にインターバル・タイマBRGのブロック図を示します。

図11－1　インターバル・タイマBRGのブロック図



備考　fx　　：メイン・クロック発振周波数

f_{BGCS}　：インターバル・タイマBRGカウント・クロック周波数

f_{BRG}　：時計タイマ・カウント・クロック周波数

INTBRG：インターバル・タイマBRG割り込み要求信号

(1) クロック制御

インターバル・タイマBRGの動作クロック（f_X）の供給／停止を制御します。

(2) 3 ビット・プリスケーラ

f_Xを分周して，$f_X/2$, $f_X/4$, $f_X/8$を生成します。

(3) セレクタ

f_X, $f_X/2$, $f_X/4$, $f_X/8$から，インターバル・タイマBRGのカウント・クロック（f_{BGCS}）を選択します。

(4) 8 ビット・カウンタ

カウント・クロック（f_{BGCS}）をカウントする8ビットのカウンタです。

(5) 出力制御

時計タイマのカウント・クロック（f_{BRG}）供給を制御します。

(6) PRSCM レジスタ

インターバル時間を設定する8ビットのコンペア・レジスタです。

(7) PRSM レジスタ

インターバル・タイマBRGの動作，セレクタ，時計タイマへのクロック供給を制御するレジスタです。

11. 1. 3　レジスタ

インターバル・タイマBRGには，次のレジスタがあります。

(1) インターバル・タイマ BRG **モード・レジスタ（**PRSM**）**

インターバル・タイマBRGの動作，カウント・クロックの選択，時計タイマへのクロック供給を制御します。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF8B0H

	7	6	5	④	3	2	1	0
PRSM	0	0	0	BGCE	0	TODIS	BGCS1	BGCS0

BGCE	インターバル・タイマの動作制御
0	動作停止，8ビット・カウンタを01Hにクリア
1	動作

★

TODIS	時計用タイマへのクロック供給の制御
0	時計用タイマにクロックを供給する
1	時計用タイマにクロックを供給しない

BGCS1	BGCS0	入力クロックの選択（f_{BGCS}）注			
			10 MHz	5 MHz	4 MHz
0	0	fx	100 ns	200 ns	250 ns
0	1	fx/2	200 ns	400 ns	500 ns
1	0	fx/4	400 ns	800 ns	1 μs
1	1	fx/8	800 ns	1.6 μs	2 μs

注　次の条件を満たすように設定してください。

V_{DD} = 4.0～5.5 V：f_{BGCS}≦10 MHz

V_{DD} = 2.7～4.0 V：f_{BGCS}≦5 MHz

注意1.　**インターバル・タイマ**BRG**動作中（**BGCE**ビット** = 1**）に，**TODIS, BGCS1, BGCS0**ビットの値を変更しないでください。**TODIS, BGCS1, BGCS0**ビットの設定は，**BGCE**ビットをセット（**1**）する前に行ってください。**

2.　BGCE**ビットをクリア（**0**）することにより，**8**ビット・カウンタはクリアされます。**

(2) インターバル・タイマ BRG **コンペア・レジスタ（**PRSCM**）**

8**ビットのコンペア・レジスタです。**

8**ビット単位でリード／ライト可能です。**

リセットにより00H**になります。**

リセット時：00H　R/W　**アドレス：**FFFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM	PRSCM7	PRSCM6	PRSCM5	PRSCM4	PRSCM3	PRSCM2	PRSCM1	PRSCM0

注意　インターバル・タイマBRG**動作中（**PRSM.BGCE**ビット** = 1**）に，**PRSCM**レジスタを書き換えないでください。**PRSCM**レジスタの設定は，**BGCE**ビットをセット（**1**）する前に行ってください。**

11. 1. 4　動　　作

(1) インターバル・タイマ BRG **の動作**

PRSM.BGCS1, BGCS0ビットでカウント・クロックを，PRSCMレジスタで8ビットのコンペア値を設定してください。

PRSM.BGCEビットをセット（1）すると，インターバル・タイマBRGは動作を開始します。

8ビット・カウンタのカウント値とPRSCMレジスタの設定値が一致するごとに，割り込み要求信号
★ （INTBRG）が発生します。同時に，8ビット・カウンタは01Hにクリアされ，カウントを継続します。

インターバル時間は，次の式で求められます。

インターバル時間 = $2^m \times N/fx$

備考　m：分周値（BGCS1, BGCS0ビット設定値）= 0-3
N：PRSCMレジスタ設定値[注] = 1-256（PRSCMレジスタ設定値 = 00Hの場合，N = 256）
fx：メイン・クロック発振周波数

★ 注　PRSCMレジスタの設定値 = 01Hのときの INTBRG割り込みは１回だけ発生します。

(2) 時計タイマへのカウント・クロック供給

PRSM.BGCS1, BGCS0ビットでカウント・クロックを，PRSCMレジスタで8ビットのコンペア値を設定し，時計タイマのカウント・クロック周波数（f_{BRG}）が32.768 kHzになるようにしてください。同時にPRSM.TODISビットをクリア（0）してください。

PRSM.BGCEビットをセット（1）すると，時計タイマにf_{BRG}を供給します。

f_{BRG}は，次の式で求められます。

$f_{BRG} = fx/(2^{m+1} \times N)$

f_{BRG}を32.768 kHzにするには，次のように計算してBGCS1, BGCS0ビット，PRSCMレジスタを設定してください。

① N = fx/65,536（小数点第一位を四捨五入）とし，m = 0としてください。
② Nが偶数のとき，N = N/2とし，m = m＋1としてください。
③ Nが奇数になるか，またはm = 3になるまで，②を繰り返します。
④ NをPRSCMレジスタに，mをBGCS1, BGCS0ビットに設定してください。

例：fx = 4.00 MHzの場合
① N = 4,000,000/65,536 = 61（小数点第一位を四捨五入），m = 0
②，③　Nは奇数なので，N = 61, m = 0のまま
④ PRSCMレジスタ設定値：3DH（61），BGCS1, BGCS0ビット設定値：00

備考　m：分周値（BGCS1, BGCS0ビット設定値） = 0-3
N：PRSCMレジスタ設定値 = 1-256（PRSCMレジスタ設定値 = 00Hの場合，N = 256）
fx：メイン・クロック発振周波数

11. 2　時計タイマ

11. 2. 1　機　　能

時計タイマには，次のような機能があります。

・時計タイマ　　：メイン・クロックまたはサブクロックを使用することで，0.5秒または0.25秒の時間間隔で割り込み要求信号（INTWT）を発生します。

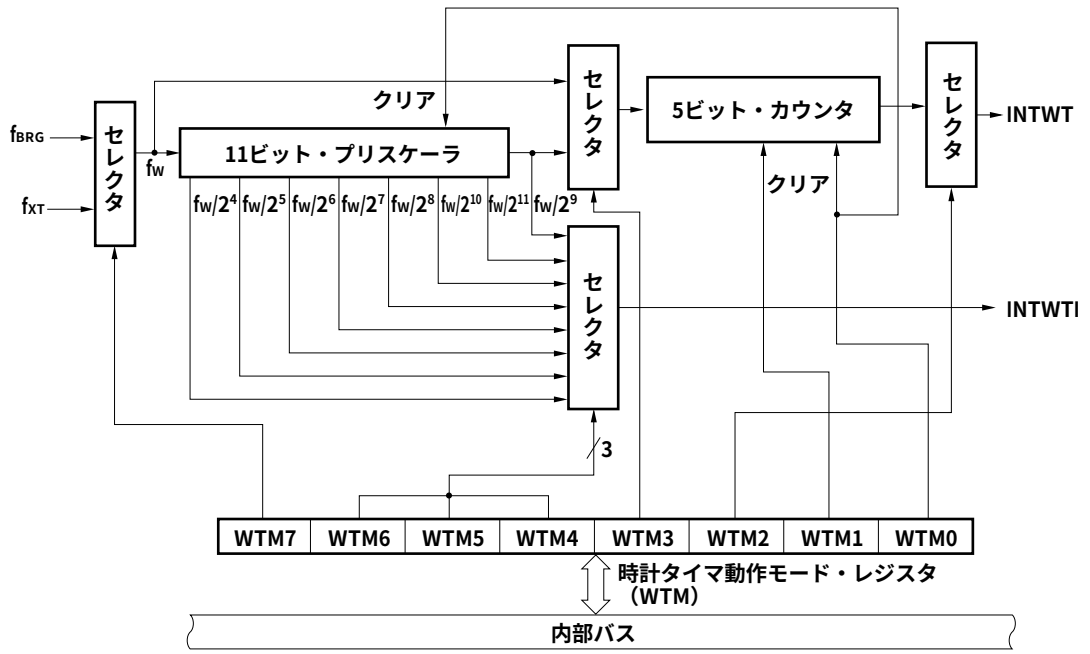
・インターバル・タイマ：あらかじめ設定した時間間隔で，割り込み要求信号（INTWTI）を発生します。

時計タイマとインターバル・タイマは，同時に使用できます。

11. 2. 2　構　　成

次に時計タイマのブロック図を示します。

図11－2　時計タイマのブロック図



備考　f_{BRG}　：インターバル・タイマBRGからのカウント・クロック周波数

f_{XT}　：サブクロック周波数

f_W　：時計タイマ・クロック周波数

INTWT：時計タイマ割り込み要求信号

INTWTI　：インターバル・タイマ割り込み要求信号

(1) 11ビット・プリスケーラ

fwを分周して，$fw/2^4$-$fw/2^{11}$のクロックを生成します。

(2) 5ビット・カウンタ

fwまたは$fw/2^9$をカウントして，$2^4/fw$，$2^5/fw$，$2^{13}/fw$または$2^{14}/fw$ごとに時計タイマ割り込み要求信号（INTWT）を発生します。

(3) セレクタ

時計タイマには，次の4つのセレクタがあります。

- 時計タイマのクロックとして，メイン・クロック（インターバル・タイマBRGからのクロック（f_{BRG}）かサブクロック（f_{XT}））かを選択します。
- 5ビット・カウンタのカウント・クロック周波数として，fwか$fw/2^9$かを選択します。
- INTWT信号発生時間間隔として，$2^4/fw$または$2^{13}/fw$か，$2^5/fw$または$2^{14}/fw$かを選択します。
- インターバル・タイマWT割り込み要求信号（INTWTI）発生時間間隔として，$2^4/fw$-$2^{11}/fw$から選択します。

(4) 8ビット・カウンタ

カウント・クロック（f_{BGCS}）をカウントする8ビットのカウンタです。

(5) WTMレジスタ

時計タイマ／インターバル・タイマWTの動作制御や割り込み要求信号発生間隔を設定する8ビットのレジスタです。

11. 2. 3　レジスタ

時計タイマには，次のレジスタがあります。

（1）時計タイマ動作モード・レジスタ（WTM）

時計タイマのカウント・クロックおよび動作の許可／禁止，11ビット・プリスケーラのインターバル時間，5ビット・カウンタの動作制御および時計タイマ割り込み要求信号（INTWT）発生時間を設定するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　　R/W　　アドレス：FFFFF680H

	7	6	5	4	3	2	①	⓪
WTM	WTM7	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0

WTM7	WTM6	WTM5	WTM4	インターバル・タイマ割り込み（INTWTI）時間の選択
0	0	0	0	2^4/fw（488 μs：fw = f_{XT}）
0	0	0	1	2^5/fw（977 μs：fw = f_{XT}）
0	0	1	0	2^6/fw（1.95 ms：fw = f_{XT}）
0	0	1	1	2^7/fw（3.91 ms：fw = f_{XT}）
0	1	0	0	2^8/fw（7.81 ms：fw = f_{XT}）
0	1	0	1	2^9/fw（15.6 ms：fw = f_{XT}）
0	1	1	0	2^{10}/fw（31.3 ms：fw = f_{XT}）
0	1	1	1	2^{11}/fw（62.5 ms：fw = f_{XT}）
1	0	0	0	2^4/fw（488 μs：fw = f_{BRG}）
1	0	0	1	2^5/fw（977 μs：fw = f_{BRG}）
1	0	1	0	2^6/fw（1.95 ms：fw = f_{BRG}）
1	0	1	1	2^7/fw（3.91 ms：fw = f_{BRG}）
1	1	0	0	2^8/fw（7.81 ms：fw = f_{BRG}）
1	1	0	1	2^9/fw（15.6 ms：fw = f_{BRG}）
1	1	1	0	2^{10}/fw（31.3 ms：fw = f_{BRG}）
1	1	1	1	2^{11}/fw（62.5 ms：fw = f_{BRG}）

WTM7	WTM3	WTM2	時計タイマ割り込み（INTWT）時間の選択
0	0	0	2^{14}/fw（0.5 s：fw = f_{XT}）
0	0	1	2^{13}/fw（0.25 s：fw = f_{XT}）
0	1	0	2^5/fw（977 μs：fw = f_{XT}）
0	1	1	2^4/fw（488 μs：fw = f_{XT}）
1	0	0	2^{14}/fw（0.5 s：fw = f_{BRG}）
1	0	1	2^{13}/fw（0.25 s：fw = f_{BRG}）
1	1	0	2^5/fw（977 μs：fw = f_{BRG}）
1	1	1	2^4/fw（488 μs：fw = f_{BRG}）

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止（プリスケーラ，5ビット・カウンタともにクリア）
1	動作許可

注意　WTM2-WTM7ビットを書き換える場合は，WTM0, WTM1ビットがともに0の状態で行ってください。

備考1.　fw：時計タイマ・クロック周波数

2.　（　）内は，fw = 32.768 kHz動作時

11. 2. 4　動　　作

(1) 時計タイマとしての動作

時計タイマは，一定の時間間隔ごとに割り込み要求を発生します。

サブクロック（32.768 kHz）を使用すると，0.25秒または0.5秒の時間間隔の時計タイマとして動作します。

WTM.WTM0, WTM1ビットに11を設定するとカウント動作がスタートします。00を設定すると11ビット・プリスケーラと5ビット・カウンタがクリアされ，カウント動作が停止します。

時計タイマをインターバル・タイマWTと同時に動作させているとき，WTM1ビットを0にすることにより5ビット・カウンタをクリアし，時刻合わせができます。このとき，インターバル・タイマWTには影響はありませんが，時計タイマは最大で15.6 msの誤差が発生することがあります。

(2) インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし，繰り返し割り込み要求信号（INTWTI）を発生するインターバル・タイマとして動作します。

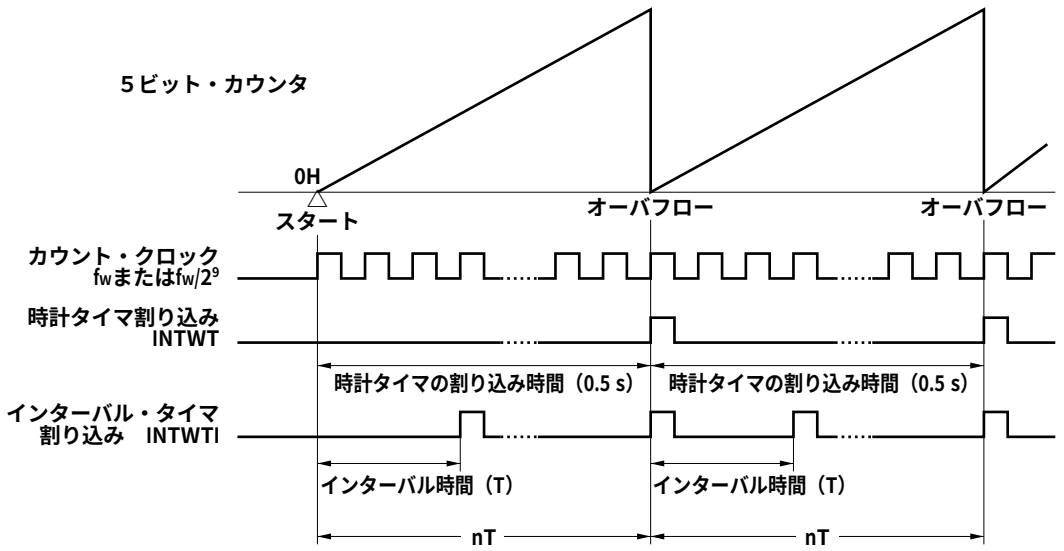
WTM.WTM4-WTM7ビットにより，インターバル時間を選択できます。

表11－1　インターバル・タイマのインターバル時間

WTM7	WTM6	WTM5	WTM4	インターバル時間	
0	0	0	0	2^4×1/fw	488 μs（f_W = f_{XT} = 32.768 kHz動作時）
0	0	0	1	2^5×1/fw	977 μs（f_W = f_{XT} = 32.768 kHz動作時）
0	0	1	0	2^6×1/fw	1.95 ms（f_W = f_{XT} = 32.768 kHz動作時）
0	0	1	1	2^7×1/fw	3.91 ms（f_W = f_{XT} = 32.768 kHz動作時）
0	1	0	0	2^8×1/fw	7.81 ms（f_W = f_{XT} = 32.768 kHz動作時）
0	1	0	1	2^9×1/fw	15.6 ms（f_W = f_{XT} = 32.768 kHz動作時）
0	1	1	0	2^{10}×1/fw	31.3 ms（f_W = f_{XT} = 32.768 kHz動作時）
0	1	1	1	2^{11}×1/fw	62.5 ms（f_W = f_{XT} = 32.768 kHz動作時）
1	0	0	0	2^4×1/fw	488 μs（f_W = f_{BRG} = 32.768 kHz動作時）
1	0	0	1	2^5×1/fw	977 μs（f_W = f_{BRG} = 32.768 kHz動作時）
1	0	1	0	2^6×1/fw	1.95 ms（f_W = f_{BRG} = 32.768 kHz動作時）
1	0	1	1	2^7×1/fw	3.91 ms（f_W = f_{BRG} = 32.768 kHz動作時）
1	1	0	0	2^8×1/fw	7.81 ms（f_W = f_{BRG} = 32.768 kHz動作時）
1	1	0	1	2^9×1/fw	15.6 ms（f_W = f_{BRG} = 32.768 kHz動作時）
1	1	1	0	2^{10}×1/fw	31.3 ms（f_W = f_{BRG} = 32.768 kHz動作時）
1	1	1	1	2^{11}×1/fw	62.5 ms（f_W = f_{BRG} = 32.768 kHz動作時）

備考　f_W：時計タイマ・クロック周波数

図11－3　時計タイマ／インターバル・タイマの動作タイミング



備考1.　時計タイマの割り込み時間として，0.5秒を設定した場合

2.　fw：時計タイマ・クロック周波数

（　）内は，カウント・クロックfw = 32.768 kHz動作時

n：インターバル・タイマWT動作の回数

11. 3　注意事項

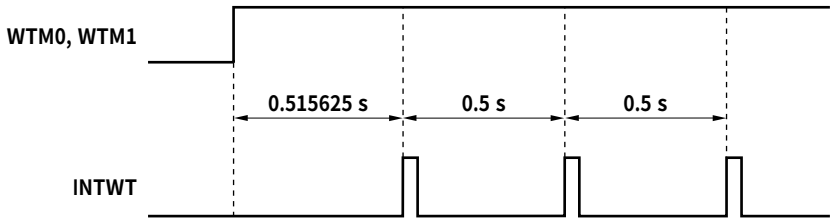
（1）時計タイマとしての動作

動作許可（WTM.WTM1, WTM0ビット = 11）してから，1回目の時計タイマ割り込み要求信号（INTWT）が発生するまで多少時間がかかります。

図11－4　時計タイマ割り込み要求信号（INTWT）の発生例（割り込み周期 = 0.5 sの場合）

1回目のINTWT信号が発生するまでに，最大0.515625 sかかります（最大2^9×1/32768 = 0.015625 s長くかかります）。

そのあとは0.5 sごとにINTWT信号が発生します。



(2) 時計タイマとインターバル・タイマ BRG を同時に動作させる場合

時計タイマのカウント・クロックとしてサブクロックを使用するときは，インターバル・タイマBRGのインターバル時間を任意に設定できます。また，インターバル時間を変更しても時計タイマには影響しません（変更するときは動作を停止してから変更してください）。

時計タイマのカウント・クロックとしてメイン・クロックを使用するときは，インターバル・タイマBRGのインターバル時間は約65.536 kHzにしてください。インターバル時間は変更しないでください。

(3) インターバル・タイマ BRG とインターバル・タイマ WT を同時に動作させる場合

インターバル・タイマWTのカウント・クロックとしてサブクロックを使用するときは，インターバル・タイマBRG, WTのインターバル時間をそれぞれ任意に設定できます。また，途中で変更もできます（変更するときは動作を停止してから変更してください）。

インターバル・タイマWTのカウント・クロックとしてメイン・クロックを使用するときは，インターバル・タイマBRGのインターバル時間を任意に設定できますが，途中で変更できません（インターバル・タイマWT動作停止時のみ変更できます）。インターバル・タイマWTのインターバル時間はインターバル・タイマBRGの2^5-2^{12}倍の時間を設定できます。また，途中で変更できます。

(4) 時計タイマとインターバル・タイマ WT を同時に動作させる場合

インターバル・タイマWTのインターバル時間は488 μs-62.5 msの時間を設定できます。途中で変更できません。

時計タイマ動作中に，インターバル・タイマWTを停止（WTM.WTM0ビットをクリア（0））しないでください。WTM0ビットをクリア（0）して再度セット（1）すると，時計タイマが最大0.5秒または0.25秒ずれてしまいます。

(5) 時計タイマとインターバル・タイマ BRG とインターバル・タイマ WT を同時に動作させる場合

時計タイマのカウント・クロックとしてサブクロックを使用するときは，インターバル・タイマBRG, WTのインターバル時間を任意に設定できます。また，インターバル・タイマBRGのインターバル時間を途中で変更できます（変更するときは動作を停止してから変更してください）。

時計タイマのカウント・クロックとしてメイン・クロックを使用するときは，インターバル・タイマBRGのインターバル時間は約65.536 kHzにしてください。途中で変更できません。インターバル・タイマWTのインターバル時間は488 μs-62.5 msの時間を設定できます。途中で変更できません。

時計タイマ動作中に，インターバル・タイマBRGを停止（PRSM.BGCEビットをクリア（0））しないでください。また，インターバル・タイマWTを停止（WTM.WTM0ビットをクリア（0））しないでください。

第12章　ウォッチドッグ・タイマ機能

12. 1　ウォッチドッグ・タイマ1

12. 1. 1　機　　能

ウォッチドッグ・タイマ1には，次の動作モードがあります。

- ウォッチドッグ・タイマ
- インターバル・タイマ

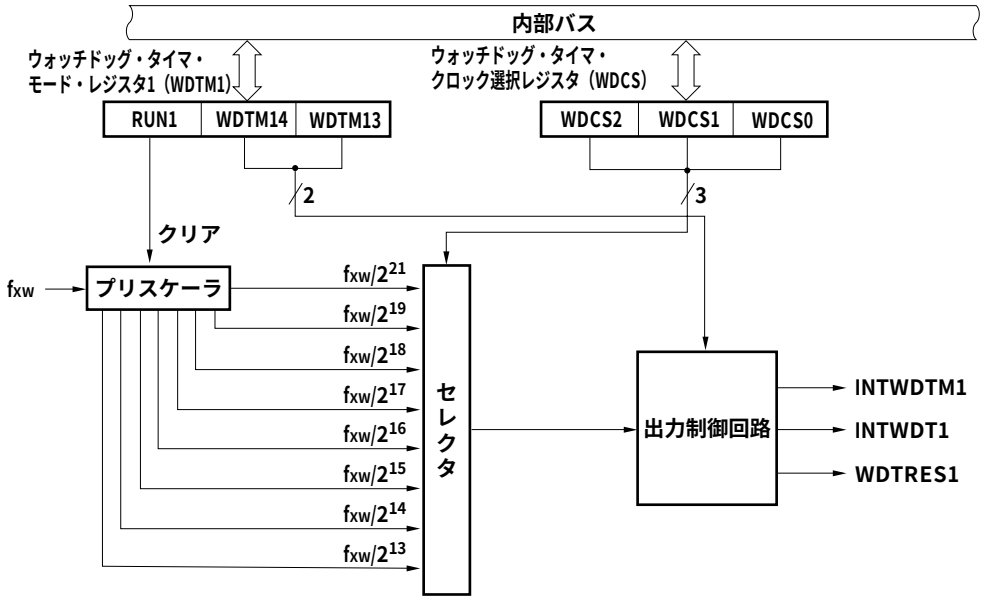
上記動作モードにより，次の機能を実現します。

- ウォッチドッグ・タイマ1のオーバフローによる，ノンマスカブル割り込み要求信号（INTWDT1）を発生する[注]。
- ウォッチドッグ・タイマ1のオーバフローによる，システム・リセット信号（WDTRES1）を発生する。
- インターバル・タイマのオーバフローによる，マスカブル割り込み要求信号（INTWDTM1）を発生する。

注　ノンマスカブル割り込み要求信号（INTWDT1, INTWDT2）によるノンマスカブル割り込み処理については，21. 10　**注意事項**を参照してください。

備考　ウォッチドッグ・タイマ1モードとして使用するか，インターバル・タイマ・モードとして使用するかは，WDTM1レジスタで選択してください。

図12ー1　ウォッチドッグ・タイマ1のブロック図



備考　INTWDTM1　：ウォッチドッグ・タイマ1のオーバフローによるマスカブル割り込み要求信号

INTWDT1　：ウォッチドッグ・タイマ1のオーバフローによるノンマスカブル割り込み要求信号

WDTRES1　：ウォッチドッグ・タイマ1のオーバフローによるリセット信号

fxw = fx　：ウォッチドッグ・タイマ1クロック周波数

12. 1. 2　構　　成

ウォッチドッグ・タイマ1は，次のハードウエアで構成されています。

表12ー1　ウォッチドッグ・タイマ1の構成

項　　目	構　　成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ（WDCS） ウォッチドッグ・タイマ・モード・レジスタ1（WDTM1）

12. 1. 3　レジスタ

ウォッチドッグ・タイマ1を制御するレジスタを次に示します。

・ウォッチドッグ・タイマ・クロック選択レジスタ（WDCS）
・ウォッチドッグ・タイマ・モード・レジスタ1（WDTM1）

（1）ウォッチドッグ・タイマ・クロック選択レジスタ（WDCS）

ウォッチドッグ・タイマ1およびインターバル・タイマのオーバフロー時間を設定するレジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF6C1H

	7	6	5	4	3	2	1	0
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ1／インターバル・タイマのオーバフロー時間			
				fxw		
				4 MHz	5 MHz	10 MHz
0	0	0	$2^{13}/f_{xw}$	2.048 ms	1.638 ms	0.819 ms
0	0	1	$2^{14}/f_{xw}$	4.096 ms	3.277 ms	1.638 ms
0	1	0	$2^{15}/f_{xw}$	8.192 ms	6.554 ms	3.277 ms
0	1	1	$2^{16}/f_{xw}$	16.38 ms	13.11 ms	6.554 ms
1	0	0	$2^{17}/f_{xw}$	32.77 ms	26.21 ms	13.11 ms
1	0	1	$2^{18}/f_{xw}$	65.54 ms	52.43 ms	26.2 ms
1	1	0	$2^{19}/f_{xw}$	131.1 ms	104.9 ms	52.43 ms
1	1	1	$2^{21}/f_{xw}$	524.3 ms	419.4 ms	209.7 ms

備考　$f_{xw} = f_x$：ウォッチドッグ・タイマ1クロック周波数

(2) ウォッチドッグ・タイマ・モード・レジスタ1（WDTM1）

ウォッチドッグ・タイマ1の動作モード，カウント許可／禁止を設定するレジスタです。

このレジスタは特定レジスタです。特定のシーケンスによってだけ書き込みができます（3. 4. 7　特定レジスタ参照）。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

★　注意　次に示す状態において，WDTM1レジスタへのアクセスは禁止です。詳細は3. 4. 8（1）（b）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：00H　R/W　アドレス：FFFFF6C2H

	⑦	6	5	4	3	2	1	0
WDTM1	RUN1	0	0	WDTM14	WDTM13	0	0	0

RUN1	ウォッチドッグ・タイマ1の動作モードの選択注1
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM14	WDTM13	ウォッチドッグ・タイマ1の動作モードの選択注2
0	0	インターバル・タイマ・モード （オーバフロー発生時，マスカブル割り込みINTWDTM1発生）
0	1	
1	0	ウォッチドッグ・タイマ・モード1注3 （オーバフロー発生時，ノンマスカブル割り込みINTWDT1発生）
1	1	ウォッチドッグ・タイマ・モード2 （オーバフロー発生時，リセット動作WDTRES1を起動）

注1. RUN1ビットは，一度セット（1）されると，ソフトウエアでクリア（0）することはできません。
したがって，カウントを開始すると，リセット以外で停止させることはできません。

2. WDTM14，WDTM13ビットは，一度セット（1）されると，ソフトウエアでクリア（0）することはできません。これらのビットをクリアするには，リセットだけが有効です。

3. ノンマスカブル割り込み要求信号（INTWDT1）による，ノンマスカブル割り込み処理については，21. 10　注意事項を参照してください。

12. 1. 4　動　　作

(1) ウォッチドッグ・タイマ1としての動作

WDTM1.WDTM14ビットに“1”を設定することにより，プログラムの暴走を検出するウォッチドッグ・タイマ1として動作します。

WDCS.WDCS2-WDCS0ビットでウォッチドッグ・タイマ1のカウント・クロック（暴走検出時間間隔）を選択できます。WDTM1.RUN1ビットに“1”を設定することにより，カウント動作を開始します。カウント動作を開始したあと，設定した暴走検出時間間隔内にRUN1ビットに再度“1”を設定すると，ウォッチドッグ・タイマ1はクリアされ，再度カウント動作を開始します。

RUN1ビットに“1”がセットされず，暴走検出時間を越えてしまった場合は，WDTM1レジスタのWDTM13ビットの値によりリセット信号（WDTRES1）もしくはノンマスカブル割り込み要求信号（INTWDT1）が発生します。

ウォッチドッグ・タイマ1は，STOPモード時とIDLEモード時は動作を停止します。STOPモードやIDLEモードに入る前にRUN1ビットを“1”に設定し，ウォッチドッグ・タイマ1をクリアしてください。

また，HALTモード時はウォッチドッグ・タイマ1は動作するため，HALT中にオーバフローが発生しないように注意してください。

注意1. CPUクロックにサブクロックを選択しているとき，ウォッチドッグ・タイマ1のカウント動作を停止（保持）します。

2. INTWDT1信号による，ノンマスカブル割り込み処理については，21. 10　注意事項を参照してください。

表12－2　ウォッチドッグ・タイマ1の暴走検出時間

クロック	暴走検出時間		
	f_{XW} = 4 MHz	f_{XW} = 5 MHz	f_{XW} = 10 MHz
$2^{13}/f_{XW}$	2.048 ms	1.638 ms	0.819 ms
$2^{14}/f_{XW}$	4.096 ms	3.277 ms	1.683 ms
$2^{15}/f_{XW}$	8.192 ms	6.554 ms	3.277 ms
$2^{16}/f_{XW}$	16.38 ms	13.11 ms	6.554 ms
$2^{17}/f_{XW}$	32.77 ms	26.21 ms	13.11 ms
$2^{18}/f_{XW}$	65.54 ms	52.43 ms	26.21 ms
$2^{19}/f_{XW}$	131.1 ms	104.9 ms	52.43 ms
$2^{21}/f_{XW}$	524.3 ms	419.4 ms	209.7 ms

備考　$f_{XW} = f_X$：ウォッチドッグ・タイマ1クロック周波数

(2) インターバル・タイマとしての動作

WDTM1.WDTM14ビットに“0”を設定することにより，あらかじめ設定したカウント値をインターバルとし，繰り返し割り込みを発生するインターバル・タイマとして動作します。

インターバル・タイマとして動作しているとき，WDTICレジスタの割り込みマスク・フラグ（WDTMK）と優先順位指定フラグ（WDTPR0-WDTPR2）が有効となり，マスカブル割り込み要求信号（INTWDTM1）を発生させることができます。INTWDTM1信号のディフォールト優先順位は，マスカブル割り込み要求信号の中で最も高く設定されています。

インターバル・タイマは，HALTモード時では動作を継続しますが，STOPモード時とIDLEモード時は動作を停止します。

注意1.　一度WDTM14ビットに“1”を設定する（ウォッチドッグ・タイマ1モードを選択する）と，リセットがかからないかぎり，インターバル・タイマ・モードにはなりません。

2.　CPUクロックにサブクロックを選択しているとき，ウォッチドッグ・タイマ1のカウント動作を停止（保持）します。

表12－3　インターバル・タイマのインターバル時間

クロック	インターバル時間		
	f_{XW} = 4 MHz	f_{XW} = 5 MHz	f_{XW} = 10 MHz
$2^{13}/f_{XW}$	2.048 ms	1.638 ms	0.819 ms
$2^{14}/f_{XW}$	4.096 ms	3.277 ms	1.638 ms
$2^{15}/f_{XW}$	8.192 ms	6.554 ms	3.277 ms
$2^{16}/f_{XW}$	16.38 ms	13.11 ms	6.554 ms
$2^{17}/f_{XW}$	32.77 ms	26.21 ms	13.11 ms
$2^{18}/f_{XW}$	65.54 ms	52.43 ms	26.21 ms
$2^{19}/f_{XW}$	131.1 ms	104.9 ms	52.43 ms
$2^{21}/f_{XW}$	524.3 ms	419.4 ms	209.7 ms

備考　$f_{XW} = f_X$：ウォッチドッグ・タイマ1クロック周波数

12. 2　ウォッチドッグ・タイマ2

12. 2. 1　機　　能

ウォッチドッグ・タイマ2には，次のような機能があります。

・ディフォールト・スタート・ウォッチドッグ・タイマ[注1]

→リセット・モード：ウォッチドッグ・タイマ2のオーバフローによるリセット動作（WDTRES2信号を発生）

→ノンマスカブル割り込み要求モード：ウォッチドッグ・タイマ2のオーバフローによるNMI動作（INTWDT2信号を発生）[注2]

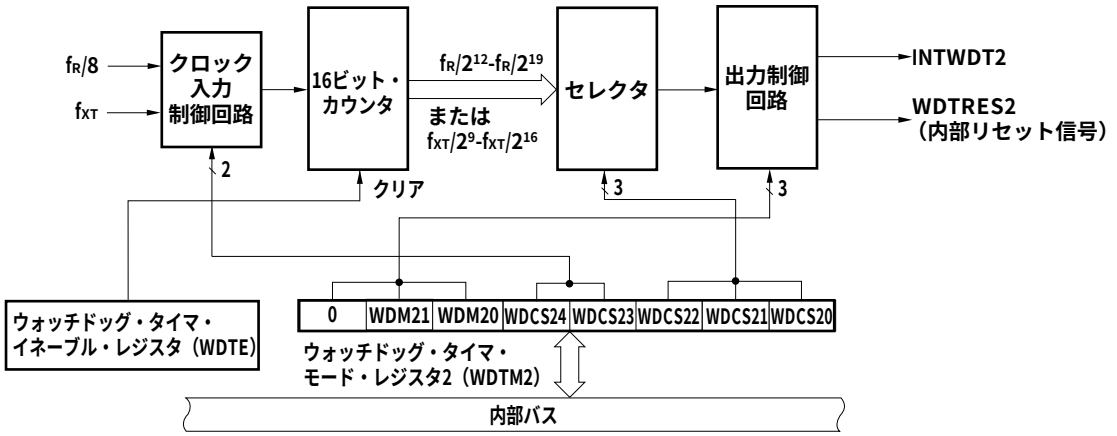
・ソース・クロックとして内蔵発振クロックとサブクロックからの入力を選択可能

注1.　ウォッチドッグ・タイマ2は，リセット解除後に自動的にリセット・モードでスタートします。ウォッチドッグ・タイマ2を使用しない場合は，この機能によるリセットが発生する前に停止するか，一度ウォッチドッグ・タイマ2をクリアし，次のインターバル時間内で停止してください。

また，ディフォールトの設定（リセット・モード，インターバル時間：$f_{XX}/2^{25}$）で変更する必要がない場合も，動作を確定するために，1回だけWDTM2レジスタへの書き込みを行ってください。

2.　ノンマスカブル割り込み要求信号（INTWDT2）によるノンマスカブル割り込み処理については21. 10　注意事項を参照してください。

図12－2　ウォッチドッグ・タイマ2のブロック図



備考　f_R　：内蔵発振クロック周波数

f_{XT}　：サブクロック周波数

INTWDT2　：ウォッチドッグ・タイマ2によるノンマスカブル割り込み要求信号

WDTRES2：ウォッチドッグ・タイマ2リセット信号

12. 2. 2　構　　成

ウォッチドッグ・タイマ2は，次のハードウエアで構成されています。

表12－4　ウォッチドッグ・タイマ2の構成

項　　目	構　　成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ2（WDTM2） ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

12. 2. 3　レジスタ

（1）ウォッチドッグ・タイマ・モード・レジスタ2（WDTM2）

ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

8ビット単位でリード／ライト可能です。読み出しは何回でもできますが，書き込みはリセット解除後に1回だけできます。

リセットにより67Hになります。

★　注意　次に示す状態において，WDTM2レジスタへのアクセスは禁止です。詳細は3. 4. 8（1）（b）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：67H　R/W　アドレス：FFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	WDCS24	WDCS23	WDCS22	WDCS21	WDCS20

WDM21	WDM20	ウォッチドッグ・タイマ2の動作モードの選択
0	0	動作停止
0	1	ノンマスカブル割り込み要求モード（INTWDT2を発生）
1	－	リセット・モード（WDTRES2を発生）

注意1.　ウォッチドッグ・タイマ2の動作を停止する場合は，WDTM2レジスタに“1FH”を書き込んでください

2.　WDCS4-WDCS0ビットについては表12－5　ウォッチドッグ・タイマ2のクロック選択を参照してください。

3.　リセット後，WDTM2レジスタに2回書き込んだ場合，強制的にオーバフロー信号を発生します。

★　4.　意図的にオーバフロー信号を発生させたい場合は，WDTMレジスタに2回だけ書き込むか，WDTEレジスタに“ACH”以外の値を1回だけ書き込んでください。

表12－5　ウォッチドッグ・タイマ2のクロック選択

WDCS24	WDCS23	WDCS22	WDCS21	WDCS20	選択クロック	暴走検出時間
0	0	0	0	0	$2^{12}/f_R$	17.1 ms（f_R = 240 kHz（TYP.））注
0	0	0	0	1	$2^{13}/f_R$	34.1 ms（f_R = 240 kHz（TYP.））注
0	0	0	1	0	$2^{14}/f_R$	68.2 ms（f_R = 240 kHz（TYP.））注
0	0	0	1	1	$2^{15}/f_R$	136.5 ms（f_R = 240 kHz（TYP.））注
0	0	1	0	0	$2^{16}/f_R$	273.1 ms（f_R = 240 kHz（TYP.））注
0	0	1	0	1	$2^{17}/f_R$	546.1 ms（f_R = 240 kHz（TYP.））注
0	0	1	1	0	$2^{18}/f_R$	1092.3 ms（f_R = 240 kHz（TYP.））注
0	0	1	1	1	$2^{19}/f_R$	2184.5 ms（f_R = 240 kHz（TYP.））注
0	1	0	0	0	$2^{9}/f_{XT}$	15.625 ms（f_{XT} = 32.768 kHz）
0	1	0	0	1	$2^{10}/f_{XT}$	31.25 ms（f_{XT} = 32.768 kHz）
0	1	0	1	0	$2^{11}/f_{XT}$	62.5 ms（f_{XT} = 32.768 kHz）
0	1	0	1	1	$2^{12}/f_{XT}$	125 ms（f_{XT} = 32.768 kHz）
0	1	1	0	0	$2^{13}/f_{XT}$	250 ms（f_{XT} = 32.768 kHz）
0	1	1	0	1	$2^{14}/f_{XT}$	500 ms（f_{XT} = 32.768 kHz）
0	1	1	1	0	$2^{15}/f_{XT}$	1000 ms（f_{XT} = 32.768 kHz）
0	1	1	1	1	$2^{16}/f_{XT}$	2000 ms（f_{XT} = 32.768 kHz）
1	×	×	×	×	動作停止	

注　内蔵発振クロック（f_R）の周波数特性（誤差）は第33章　電気的特性を参照してください。

(2) ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTEレジスタに“ACH”を書き込むことにより，ウォッチドッグ・タイマ2のカウンタをクリアし，再びカウントを開始します。

8ビット単位でリード／ライト可能です。

リセットにより9AHになります。

リセット時：9AH　R/W　アドレス：FFFFF6D1H

	7	6	5	4	3	2	1	0
WDTE								

注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合，強制的にオーバフロー信号を発生します。

2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合，強制的にオーバフロー信号を発生します。

3. WDTEレジスタのリード値は，常に“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

★ 4. 意図的にオーバフロー信号を発生させたい場合は，WDTMレジスタに2回だけ書き込むか，WDTEレジスタに“ACH”以外の値を1回だけ書き込んでください。

12. 2. 4　動　　作

ウォッチドッグ・タイマ2はリセット解除後に自動的にリセット・モードでスタートします。

WDTM2レジスタへの書き込みはバイト・アクセスのみリセット後に一度だけ可能です。ウォッチドッグ・タイマ2を使用する場合は，動作モードとインターバル時間を8ビット・メモリ操作でWDTM2レジスタに書き込んでください。この操作後，動作停止することはできません。

WDTM2.WDCS24-WDCS20ビットで，ウォッチドッグ・タイマ2の暴走検出時間間隔を選択できます。WDTEレジスタにACHを書き込むことにより，ウォッチドッグ・タイマ2のカウンタをクリアし，再度カウント動作を開始します。カウント動作を開始したあと，設定した暴走検出時間間隔内にWDTEレジスタにACHを書き込んでください。

WDTEレジスタにACHが書き込まれず，暴走検出時間を越えてしまった場合は，WDTM2.WDM21，WDM20ビットの設定値により，リセット信号（WDTRES2）またはノンマスカブル割り込み要求信号（INTWDT2）が発生します。

ウォッチドッグ・タイマ2を使用しない場合は，WDTM2レジスタに1FHを書き込んでください。

また，ノンマスカブル割り込み要求モードに設定した場合，ノンマスカブル割り込み処理については，21. 10 注意事項を参照してください。

また，HALT/IDLE/STOPモード時はウォッチドッグ・タイマ2は動作するため，HALT/IDLE/STOP中にオーバフローが発生しないように注意してください。

第13章　リアルタイム出力機能（RTO）

13. 1　機　　能

RTBL0, RTBH0レジスタにあらかじめ設定したデータを，タイマ割り込みの発生と同時にハードウエアでリアルタイム出力ラッチに転送して，外部に出力することをリアルタイム出力機能（RTO）といいます。また，外部へ出力する端子をリアルタイム出力ポートと呼びます。

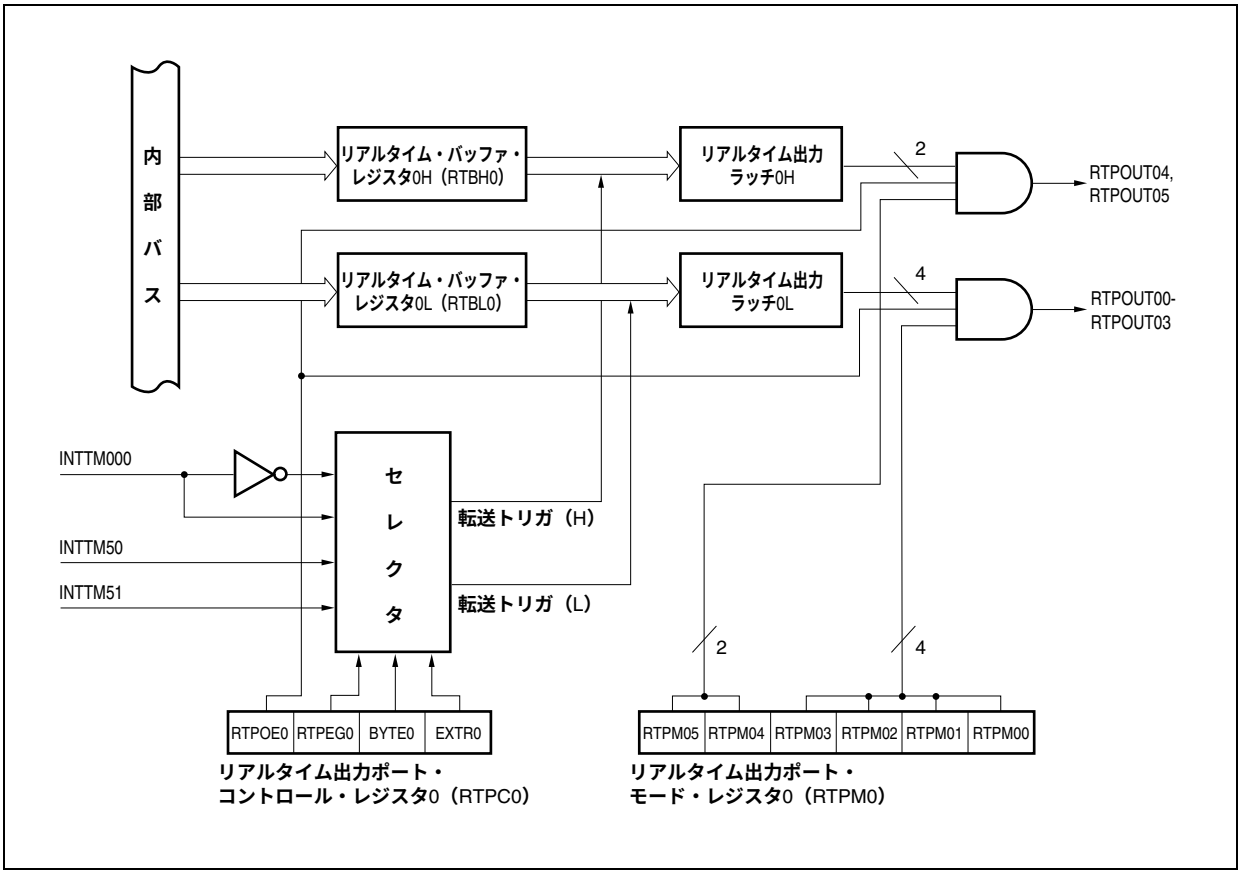
RTOを使用することにより，ジッタのない信号が出力できますので，ステッピング・モータなどの制御に最適です。

V850ES/KG1+では，6ビット・リアルタイム出力ポートを1チャネル搭載しています。

1ビット単位でポート・モード／リアルタイム出力ポート・モードの指定ができます。

次にRTOのブロック図を示します。

図13ー1　RTOのブロック図



13. 2　構　　成

RTOは，次のハードウエアで構成しています。

表13ー1　RTOの構成

項　　目	構　　成
レジスタ	リアルタイム出力バッファ・レジスタ0（RTBL0, RTBH0）
制御レジスタ	リアルタイム出力ポート・モード・レジスタ0（RTPM0） リアルタイム出力ポート・コントロール・レジスタ0（RTPC0）

（1）リアルタイム出力バッファ・レジスタ0（RTBL0, RTBH0）

出力データをあらかじめ保持しておく4ビットのレジスタです。

RTBL0, RTBH0レジスタは，周辺I/Oレジスタ領域内でそれぞれ独立したアドレスにマッピングされています。

1ビット／8ビット命令でリード／ライト可能です。

4ビット×1チャネル，2ビット×1チャネルの動作モードを指定したとき（RTPC0.BYTE0ビット = 0）は，RTBL0, RTBH0レジスタはそれぞれ独立にデータを設定できます。また，RTBL0, RTBH0レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

6ビット×1チャネルの動作モードを指定したとき（BYTE0ビット = 1）は，RTBL0, RTBH0レジスタのどちらか一方に8ビット・データを書き込むことにより，RTBL0, RTBH0レジスタそれぞれにデータを設定できます。また，RTBL0, RTBH0レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

表13－2にRTBL0, RTBH0レジスタに対する操作時の動作を示します。

リセット時：00H　R/W　アドレス：　RTBL0 FFFFF6E0H, RTBH0 FFFFF6E2H

	7	6	5	4	3	2	1	0
RTBL0					RTBL03	RTBL02	RTBL01	RTBL00
RTBH0	0	0	RTBH05	RTBH04				

注意1.　RTBH0レジスタのビット6, 7への書き込み時は，必ず“0”を書き込んでください。

★　2.　次に示す状態において，RTBL0, RTBH0レジスタへのアクセスは禁止です。詳細は3. 4. 8（1）（b）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

表13－2　RTBL0, RTBH0レジスタに対する操作時の動作

動作モード	操作対象レジスタ	リード時		ライト時注	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×1チャネル，2ビット×1チャネル	RTBL0	RTBH0	RTBL0	無効	RTBL0
	RTBH0	RTBH0	RTBL0	RTBH0	無効
6ビット×1チャネル	RTBL0	RTBH0	RTBL0	RTBH0	RTBL0
	RTBH0	RTBH0	RTBL0	RTBH0	RTBL0

注　リアルタイム出力ポートに設定後，リアルタイム出力トリガが発生されるまでにRTBL0, RTBH0レジスタに出力データを設定してください。

13. 3　レジスタ

RTOは，次の2種類のレジスタで制御します。

・リアルタイム出力ポート・モード・レジスタ0（RTPM0）
・リアルタイム出力ポート・コントロール・レジスタ0（RTPC0）

（1）リアルタイム出力ポート・モード・レジスタ0（RTPM0）

リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で設定するレジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF6E4H

	7	6	5	4	3	2	1	0
RTPM0	0	0	RTPM05	RTPM04	RTPM03	RTPM02	RTPM01	RTPM00

RTPM0m	リアルタイム出力ポートの制御（m = 0-5）
0	リアルタイム出力禁止
1	リアルタイム出力許可

注意1. リアルタイム出力信号（RTPOUT00-RTPOUT05）を端子（RTP00-RTP05）に反映するには，PMC5, PFC5レジスタでリアルタイム出力ポートに設定してください。
2. リアルタイム出力動作を許可（RTPC0.RTPOE0ビット = 1）することにより，リアルタイム出力を許可されたビットはリアルタイム出力を行い，リアルタイム出力動作禁止に指定されたビットは“0”を出力します。
3. リアルタイム出力動作を禁止（RTPOE0ビット = 0）の場合は，RTPM0レジスタの設定にかかわらず，リアルタイム出力信号（RTPOUT00-RTPOUT05）は全ビット“0”を出力します。

(2) リアルタイム出力ポート・コントロール・レジスタ0（RTPC0）

リアルタイム出力ポートの動作モード，および出力トリガを設定するレジスタです。

リアルタイム出力ポートの動作モードと出力トリガについては表13－3に示すような関係があります。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF6E5H

	⑦	6	5	4	3	2	1	0
RTPC0	RTPOE0	RTPEG0	BYTE0	EXTR0注1	0	0	0	0

RTPOE0	リアルタイム出力の動作制御
0	動作禁止注2
1	動作許可

RTPEG0	INTTM000信号の有効エッジ
0	立ち下がりエッジ注3
1	立ち上がりエッジ

BYTE0	リアルタイム出力のチャネル構成指定
0	4ビット×1チャネル，2ビット×1チャネル
1	6ビット×1チャネル

注1. EXTR0ビットについては，表13－3を参照してください。

2. リアルタイム出力動作禁止（RTPOE0ビット = 0）の場合，リアルタイム出力信号（RTPOUT00-RTPOUT05）は全ビット“0”を出力します。

3. INTTM000信号は，16ビット・タイマ／イベント・カウンタ00で選択しているカウント・クロックの1クロック分出力されます。

注意　RTPEG0, BYTE0, EXTR0ビットの設定は，必ずRTPOE0ビット = 0のときに行ってください。

表13－3　リアルタイム出力ポートの動作モードと出力トリガ

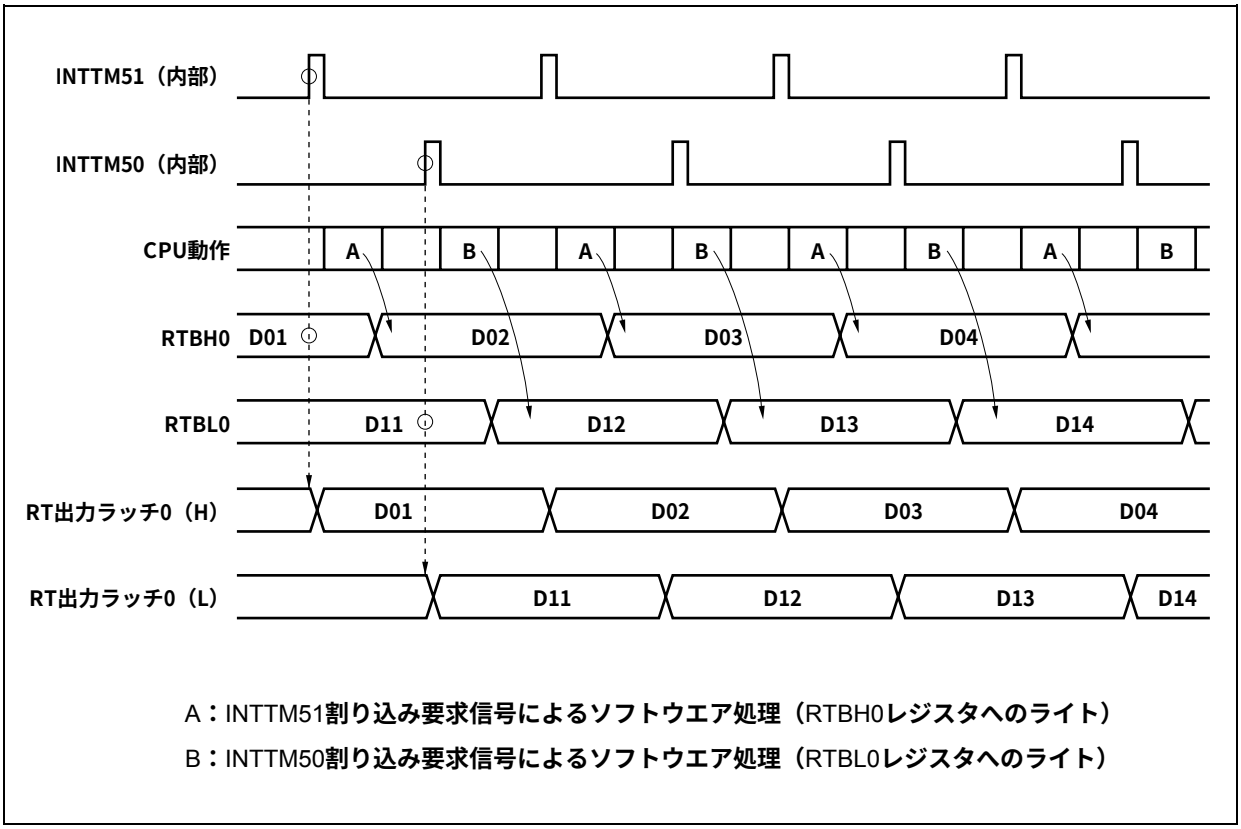
BYTE0	EXTR0	動作モード	RTBH0（RTP04, RTP05）	RTBL0（RTP00-RTP03）
0	0	4ビット×1チャネル，2ビット×1チャネル	INTTM51	INTTM50
	1		INTTM50	INTTM000
1	0	6ビット×1チャネル	INTTM50	
	1		INTTM000	

13. 4　動　　作

RTPC0.RTPOE0ビット= 1でリアルタイム出力動作を許可した場合，選択された転送トリガ（RTPC0.EXTR0, BYTE0ビットで設定）の発生に同期して，RTBH0, RTBL0レジスタのデータをリアルタイム出力ラッチに転送します。転送されたデータのうちRTPM0レジスタの設定により，リアルタイム出力許可されたビットのデータのみをRTPOUT00-RTPOUT05のそれぞれのビットから出力します。RTPM0レジスタでリアルタイム出力動作禁止に指定されたビットは0を出力します。

RTPOE0ビット = 0でリアルタイム出力動作を禁止した場合は，RTPM0レジスタの設定に関係なくRTPOUT00-RTPOUT05信号は0を出力します。

図13ー2　RTO0の動作タイミング例（EXTR0, BYTE0ビット = 00の場合）



備考　スタンバイ時の動作については，第23章　スタンバイ機能を参照してください。

13. 5　使用方法

（1）リアルタイム出力動作を禁止する。

RTPC0.RTPOE0ビット = 0に設定。

（2）初期設定

・ビット単位でリアルタイム出力ポート・モード／ポート・モードを指定する。

RTPM0レジスタを設定。

・チャネル構成，トリガおよび有効エッジを選択する。

RTPC0.EXTR0, BYTE0, RTPEG0ビットを設定。

・初期値をRTBH0, RTBL0レジスタに設定する[注1]。

（3）リアルタイム出力動作を許可する。

RTPOE0ビットをセット（1）。

（4）選択した転送トリガが発生するまでに，次の出力値をRTBH0, RTBL0レジスタに設定する[注2]。

（5）選択したトリガに対応する割り込み処理により，順次，次のリアルタイム出力値をRTBH0, RTBL0レジスタに設定する。

注1. RTPOE0ビット = 0のとき，RTBH0, RTBL0レジスタに対してライトを行うと，その値がそれぞれリアルタイム出力ラッチ0H，リアルタイム出力ラッチ0Lに転送されます。

2. RTPOE0ビット = 1のとき，RTBH0, RTBL0レジスタに対してライトを行っても，リアルタイム出力ラッチ0H，リアルタイム出力ラッチ0Lにデータ転送はされません。

注意　リアルタイム出力信号（RTPOUT00-RTPOUT05）を端子に反映するには，PMC5, PFC5レジスタでリアルタイム出力ポート（RTP00-RTP05）に設定してください。

13. 6　注意事項

（1）ソフトウエアにより，次の競合を回避してください。

・リアルタイム出力動作の禁止／許可の切り替え（RTPOE0ビット）と選択したリアルタイム出力トリガとの競合

・リアルタイム出力動作許可状態におけるRTBH0, RTBL0レジスタのライトと選択したリアルタイム出力トリガとの競合

（2）初期設定は，リアルタイム出力動作を禁止（RTPOE0ビット = 0）にしてから行ってください。

（3）一度リアルタイム出力動作を禁止（RTPOE0ビット = 0）した場合は，リアルタイム出力動作を許可（RTPOE0ビット = 0→1）する前に，必ずRTBH0, RTBL0レジスタに初期値を設定してください。

13. 7　セキュリティ機能

RTOで制御するステッピング・モータなどが誤動作した場合のセキュリティ機能として，端子出力をハイ・インピーダンスとする回路を内蔵しています。外部割り込みINTP0端子のエッジ検出により，RTP00-RTP05に割り当てられている端子を強制的にリセット状態にしハイ・インピーダンスとします。

INTP0[注1]端子によりハイ・インピーダンスとなったあとのポート（P50-P55端子）は，初期化[注2]されているので，再設定する必要があります。

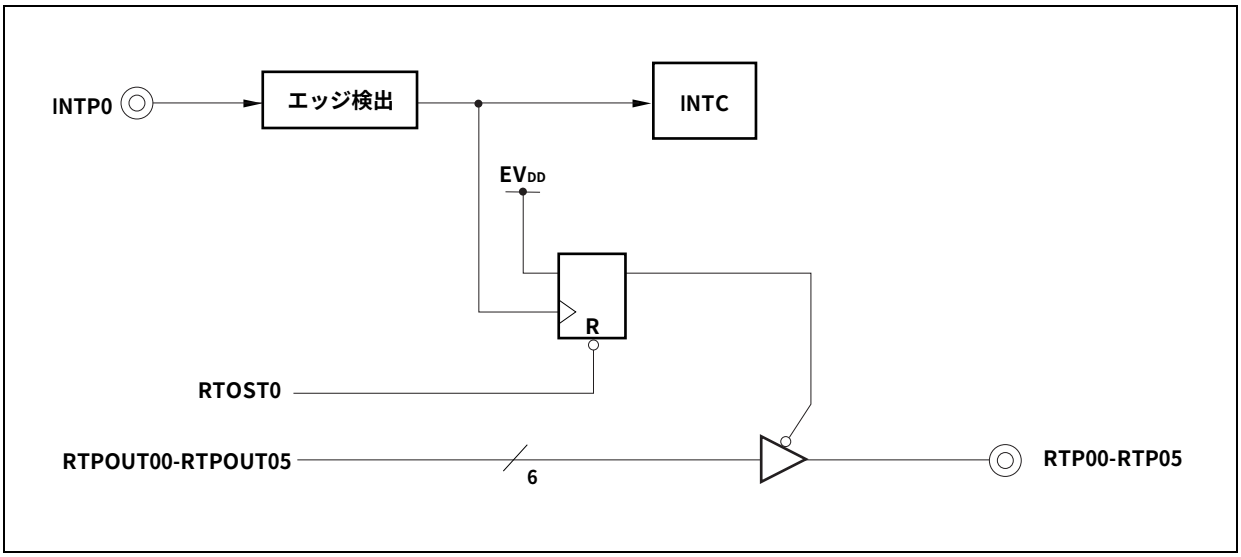
注1.　INTP0端子により，ポートの設定にかかわらずP50-P55端子のすべてのポートがハイ・インピーダンスとなります。

2.　初期化されるのは次のレジスタのP50-P55端子に対応するすべてのビットです。

- P5レジスタ
- PM5レジスタ
- PMC5レジスタ
- PU5レジスタ
- PFC5レジスタ
- PF5レジスタ

次にセキュリティ機能のブロック図を示します。

図13－3　セキュリティ機能のブロック図



この機能はPLLCTL.RTOST0ビットにより設定します。

（1）PLLコントロール・レジスタ（PLLCTL）

PLLCTLレジスタは，RTOのセキュリティ機能，PLLを制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより01Hになります。

リセット時：01H　R/W　アドレス：FFFFF806H

	7	6	5	4	3	②	①	⓪
PLLCTL	0	0	0	0	0	RTOST0	SELPLL注	PLLON注

RTOST0	RTP00-RTP05のセキュリティ機能制御
0	INTP0をセキュリティ機能のトリガとして使用しない
1	INTP0をセキュリティ機能のトリガとして使用する

注　SELPLLビット，PLLONビットについては，第6章　クロック発生機能を参照してください。

注意1.　リアルタイム出力ポート（RTP00-RTP05）に値を出力する前に，INTP0の割り込みエッジ検出を選択し，その後にRTOST0ビットをセットしてください。

2.　INTP0にてハイ・インピーダンスにした後のポート（P50-P55）を，リアルタイム出力ポートとして再設定するには，まずセキュリティ機能の解除を行ってください。

[再設定手順]

①RTOST0 = 0にしてセキュリティ機能を解除し，ポート設定可能にする。

②RTOST0 = 1（必要な場合のみ）

③RTP端子として再設定

3.　ビット4-7には必ず0を設定してください。ビット3は変更しても動作に影響はありません。

第14章　A/Dコンバータ

14.1　概　　要

A/Dコンバータは，アナログ入力をディジタル値に変換するコンバータで，8チャネル（ANI0-ANI7）の構成になっています。

A/Dコンバータには次のような機能があります。

○動作電圧（AV_{REF0}）：2.7～5.5 V
○逐次比較方式10ビットA/Dコンバータ
○アナログ入力端子：8本
○トリガ・モード：
　・ソフトウエア・トリガ・モード
　・タイマ・トリガ・モード（INTTM010）
　・外部トリガ・モード（ADTRG端子）
○動作モード
　・セレクト・モード
　・スキャン・モード
○A/D変換速度：
　・通常モード：
　　14～100 μs@4.0 V≦AV_{REF0}≦5.5 V
　　17～100 μs@2.7 V≦AV_{REF0}＜4.0 V
　・高速モード：
　　3～100 μs@4.5 V≦AV_{REF0}≦5.5 V
　　4.8～100 μs@4.0 V≦AV_{REF0}＜4.5 V
　　6～100 μs@2.85 V≦AV_{REF0}＜4.0 V
　　14～100 μs@2.7 V≦AV_{REF0}＜2.85 V
○パワー・フェイル検出機能

★　**注意**　A/Dコンバータ使用時は，AV_{REF0}はV_{DD}, EV_{DD}と同電位で動作させてください。

14.2　機　　能

（1）10ビット分解能A/D変換

アナログ入力をANI0-ANI7端子から1チャネル選択し，10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに，割り込み要求信号（INTAD）を発生します。

（2）パワー・フェイル検出機能

バッテリ電圧低下を検出するための機能です。A/D変換結果（ADCRHレジスタ値）とPFTレジスタの値との大小比較を行い，比較条件に合致した場合のみINTAD信号を発生します。

14. 3　構　　成

A/Dコンバータは，次のハードウエアで構成しています。

図14－1　A/Dコンバータのブロック図

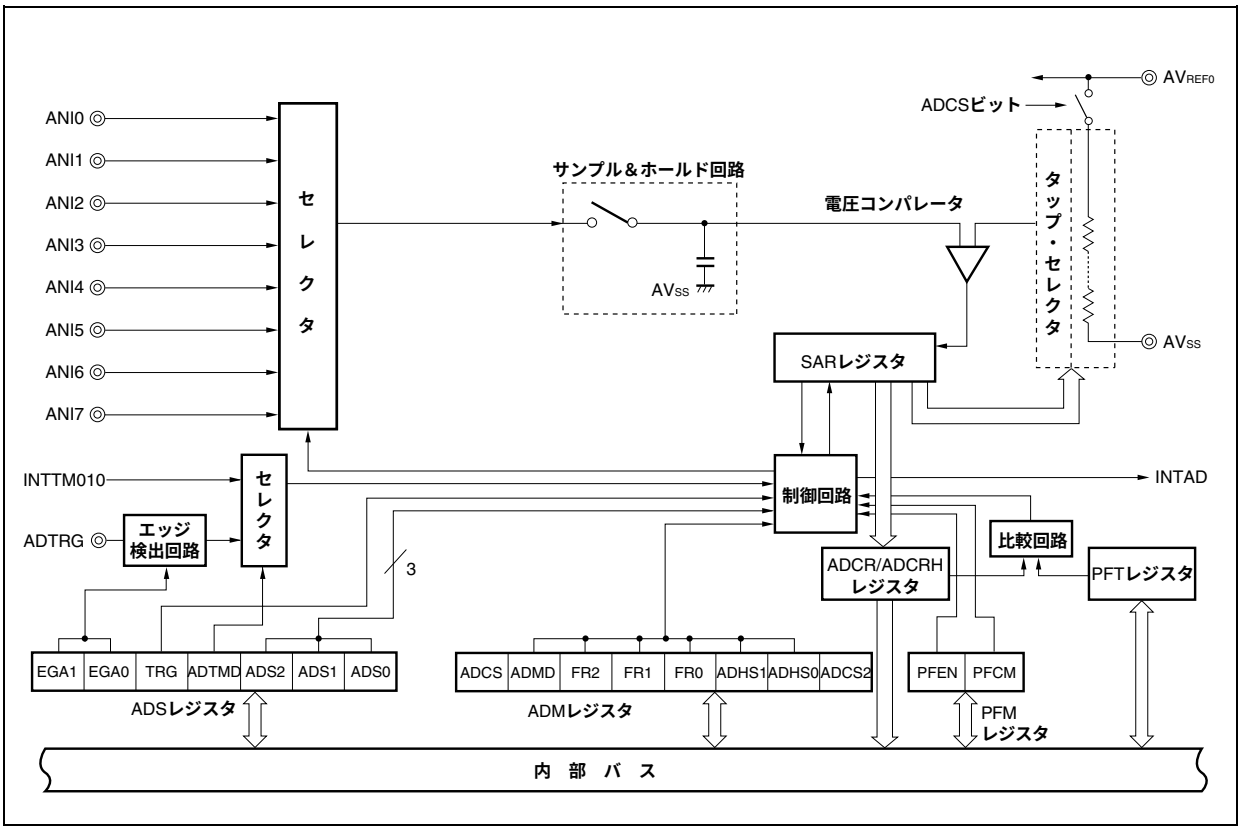


表14－1　ソフトウエア上で使用するA/Dコンバータのレジスタ

項　　目	構　　成
レジスタ	A/D変換結果レジスタ（ADCR） A/D変換結果レジスタH（ADCRH）：上位8ビットだけ読み出し可能 パワー・フェイル比較しきい値レジスタ（PFT） A/Dコンバータ・モード・レジスタ（ADM） アナログ入力チャネル指定レジスタ（ADS） パワー・フェイル比較モード・レジスタ（PFM）

(1) ANI0-ANI7端子

A/Dコンバータへの8チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ADSレジスタでアナログ入力として選択した端子以外は，入力ポートとして使用できます。

(2) サンプル＆ホールド回路

サンプル＆ホールド回路は，入力回路で選択されたアナログ入力信号をサンプリングし，電圧コンパレータに送ります。また，そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(3) 直列抵抗ストリング

直列抵抗ストリングはAV_{REF0}-AV_{SS}間に接続されており，アナログ入力と比較する電圧を発生します。

(4) 電圧コンパレータ

電圧コンパレータは，サンプリングされ保持された値と直列抵抗ストリングの出力電圧を比較します。

(5) 逐次変換レジスタ（SAR）

サンプリングされたアナログ電圧値と直列抵抗ストリングからの電圧値を比較し，その結果を最上位ビット（MSB）から変換するレジスタです。

最下位ビット（LSB）までディジタル値に変換すると（A/D変換終了），SARレジスタの内容はADCRレジスタに転送されます。

SARレジスタは，直接リード／ライトできません。

(6) A/D変換結果レジスタ（ADCR），A/D変換結果レジスタH（ADCRH）

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

(7) 制御回路

A/D変換が終了するか，パワーフェイル検出機能使用時，A/D変換結果（ADCRHレジスタ値）とPFTレジスタの値との大小比較を行い，比較条件に合致した場合のみINTAD信号を発生します。

(8) AV_{REF0}端子

A/Dコンバータのアナログ電源端子／基準電圧を入力する端子です。A/Dコンバータを使用しないときでも，常にV_{DD}端子と同電位で使用してください。

AV_{REF0}, AV_{SS}間にかかる電圧に基づいて，ANI0-ANI7端子に入力される信号をディジタル信号に変換します。

(9) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも，常にV_{SS}端子と同電位で使用してください。

（10）A/Dコンバータ・モード・レジスタ（ADM）

A/D変換するアナログ入力の変換時間，変換動作の開始／停止を設定するレジスタです。

（11）アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

（12）パワー・フェイル比較モード・レジスタ（PFM）

パワー・フェイル検出モードを設定するレジスタです。

（13）パワー・フェイル比較しきい値レジスタ（PFT）

ADCRレジスタと大小比較する場合のしきい値を設定するレジスタです。

14.4　レジスタ

A/Dコンバータは，次に示すレジスタで制御します。

- A/Dコンバータ・モード・レジスタ（ADM）
- アナログ入力チャネル指定レジスタ（ADS）
- パワー・フェイル比較モードレジスタ（PFM）
- パワー・フェイルしきい値レジスタ（PFT）
- A/D変換結果レジスタ，A/D変換結果レジスタH（ADCR, ADCRH）

（1）A/Dコンバータ・モード・レジスタ（ADM）

A/D変換するアナログ入力の変換時間，変換動作の開始／停止を設定するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　**アドレス：**FFFFF200H

	⑦	6	5	4	3	2	1	⓪
ADM	ADCS	ADMD	FR2注1	FR1注1	FR0注1	ADHS1注1	ADHS0注1	ADCS2

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADMD	動作モードの制御
0	セレクト･モード
1	スキャン･モード

ADHS1	5 V系A/D変換速度モードの選択（AV_{REF0}≧4.5 V）
0	通常モード
1	高速モード（AV_{REF0}≧4.5 V時のみ有効）

ADHS0	3 V系A/D変換速度モードの選択（AV_{REF0}≧2.7 Vまたは2.85 V）
0	通常モード
1	高速モード（AV_{REF0}≧2.7 Vまたは2.85 V時のみ有効）

ADCS2	昇圧基準電圧生成回路の動作制御注2
0	基準電圧生成回路の動作停止
1	基準電圧生成回路の動作許可

注1.　FR2-FR0ビットおよびA/D変換に関する詳細は表14－2　A/D変換時間を参照してください。

2.　昇圧用基準電圧生成回路はADCS2ビットで動作制御され，動作開始から安定するまで1 μs（高速モード）または14 μs（通常モード）かかります。このためADCS2ビット = 1（昇圧用基準電圧生成回路オン）としてから1 μs（高速モード）または14 μs（通常モード）以上経過したあと，ADCSビット = 1（A/D変換動作を開始）とした場合は，最初の変換結果より有効となります。

★ **注意**1.　通常モード（ADHS1, ADHS0ビット = 00）でA/D変換動作中（ADCSビット = 1）の場合，ADMレジスタの書き込みは禁止です。
高速モード（ADHS1, ADHS0ビット = 10または01）でA/D変換動作中に同値書き込みをした場合，変換は中断され，再度最初から変換動作を開始します。またA/D変換動作中にFR2-FR0, ADHS1, ADHS0ビットの書き込みは禁止です。

2.　ADHS1, ADHS0ビット = 11の設定は禁止です。

★ 3.　次に示す状態において，ADMレジスタへのアクセスは禁止です。詳細は3. 4. 8（1）（b）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。
- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

備考　fxx：メイン・クロック周波数

表14－2　A/D変換時間

ADHS1	ADHS0	FR2	FR1	FR0	A/D変換時間〔μs〕					変換速度モード
						20 MHz@ AV_{REF0}≧4.5 V	16 MHz@ AV_{REF0}≧4.0 V	8 MHz@ AV_{REF0}≧2.85 V	8 MHz@ AV_{REF0}≧2.7 V	
0	0	0	0	0	288/fxx	14.4	18.0	36.0	36.0	通常モード AV_{REF0}≧2.7 V
0	0	0	0	1	240/fxx	設定禁止	15.0	30.0	30.0	
0	0	0	1	0	192/fxx	設定禁止	設定禁止	24.0	24.0	
0	0	0	1	1	設定禁止					
0	0	1	0	0	144/fxx	設定禁止	設定禁止	18.0	18.0	通常モード AV_{REF0}≧2.7 V
0	0	1	0	1	120/fxx	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1	1	0	96/fxx	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1	1	1	設定禁止					
0	1	0	0	0	96/fxx	4.8	6.0	12.0	設定禁止	高速モード AV_{REF0}≧2.85 V
0	1	0	0	1	72/fxx	設定禁止	設定禁止	9.0	設定禁止	
0	1	0	1	0	48/fxx	設定禁止	設定禁止	6.0	設定禁止	
0	1	0	1	1	24/fxx	設定禁止	設定禁止	設定禁止	設定禁止	
0	1	1	0	0	224/fxx	11.2	14.0	28.0	28.0	高速モード AV_{REF0}≧2.7 V
0	1	1	0	1	168/fxx	設定禁止	10.5	21.0	21.0	
0	1	1	1	0	112/fxx	設定禁止	設定禁止	設定禁止	設定禁止	
0	1	1	1	1	56/fxx	設定禁止	設定禁止	設定禁止	設定禁止	
1	0	0	0	0	72/fxx	3.6	設定禁止	設定禁止	設定禁止	高速モード AV_{REF0}≧4.5 V
1	0	0	0	1	54/fxx	設定禁止	設定禁止	設定禁止	設定禁止	
1	0	0	1	0	36/fxx	設定禁止	設定禁止	設定禁止	設定禁止	
1	0	0	1	1	18/fxx	設定禁止	設定禁止	設定禁止	設定禁止	
1	0	1	×	×	設定禁止					
1	1	×	×	×	設定禁止					

(a) 昇圧基準電圧生成回路の制御

ADCS2ビット = 0のとき，A/Dコンバータはパワーダウン状態となります。ADCS2ビット= 0→1設定後，1 μs（高速モード），または14 μs（通常モード）以上のセットアップ時間が必要です。

このため，ADCS2ビット = 0→1にして，14 μsまたは1 μs以上経過したあとにADCSビット = 0→1にすることで，最初のA/D変換結果から有効となります。

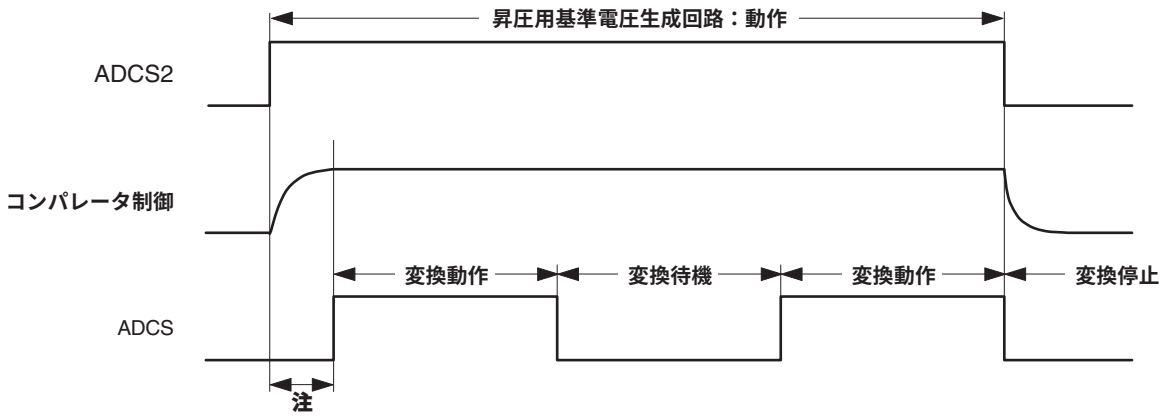
表14－3　ADCSビットとADCS2ビットの設定

ADCS	ADCS2	A/D変換動作
0	0	停止状態（DC電力消費パスは存在しません）
0	1	変換待機モード（昇圧用基準電圧生成回路のみ電力を消費）
1	0	変換モード（基準電圧生成回路動作停止[注1]）
1	1	変換モード（基準電圧生成回路動作[注2]）

注1.　ADCS, ADCS2ビット = 00B→10Bに設定した場合，昇圧用基準電圧生成回路は自動的にオンになります。また，ADCS2ビット = 0のまま，ADCSビット = 1→0に設定した場合，昇圧用基準電圧生成回路は自動的にオフになります。なお，ソフトウエア・トリガ・モード（ADS.TRGビット = 0）の場合，1回目のA/D変換結果は使用禁止です。
また，ハードウエア・トリガ・モード（TRGビット = 1）の場合，昇圧用基準電圧生成回路の安定時間経過後にA/D変換スタートしたA/D変換結果のみを使用してください。

2.　ADCS, ADCS2ビット = 00B→11Bに設定した場合，昇圧用基準電圧生成回路は自動的にオンになります。また，ADCS2 ビット = 1のまま，ADCSビット = 1→0に設定した場合，昇圧用基準電圧生成回路はオンのままとなります。なお，ソフトウエア・トリガ・モード（TRGビット = 0）の場合，1回目のA/D変換結果は使用禁止です。
また，ハードウエア・トリガ・モード（TRGビット = 1）の場合，昇圧用基準電圧生成回路の安定時間経過後にA/D変換スタートしたA/D変換結果のみを使用してください。

図14－2　動作シーケンス



注　ADCS2ビットのセット（1）から，ADCSビットのセット（1）までの時間は昇圧用基準電圧生成回路動作のため1 μs（高速モード）または14 μs（通常モード）以上必要です。

(2) アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF201H

	7	6	5	4	3	2	1	0
ADS	EGA1注1	EGA0注1	TRG	ADTMD注2	0	ADS2	ADS1	ADS0

EGA1注1	EGA0注1	外部トリガ信号（ADTRG）エッジ指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	両エッジ

TRG	トリガ・モードの選択
0	ソフトウエア・トリガ・モード
1	ハードウエア・トリガ・モード

ADTMD注2	ハードウエア・トリガ・モードの指定
0	外部トリガ（ADTRG端子入力）
1	タイマ・トリガ（INTTM010信号発生）

ADS2	ADS1	ADS0	アナログ入力チャネルの指定	
			セレクト・モード	スキャン・モード
0	0	0	ANI0	ANI0
0	0	1	ANI1	ANI0-ANI1
0	1	0	ANI2	ANI0-ANI2
0	1	1	ANI3	ANI0-ANI3
1	0	0	ANI4	ANI0-ANI4
1	0	1	ANI5	ANI0-ANI5
1	1	0	ANI6	ANI0-ANI6
1	1	1	ANI7	ANI0-ANI7

注1. EGA1, EGA0ビットはハードウエア・トリガ・モード（TRGビット = 1），かつ外部トリガ・モード（ADTRG端子入力：ADTMDビット = 1）を選択した場合のみ有効です。

2. ADTMDビットはハードウエア・トリガ・モード（TRGビット = 1）を選択した場合のみ有効です。

★ 注意1. 通常モード（ADM.ADHS1, ADHS0ビット = 00）でA/D変換動作中（ADM.ADCSビット = 1）の場合，ADSレジスタの書き込みは禁止です。

★ 2. 通常モード（ADHS1, ADHS0ビット = 00）でA/D変換動作中（ADCSビット = 1）に，再度ソフトウエア／ハードウエア・トリガを入れることは禁止です。

★ 3. 次に示す状態において，ADSレジスタへのアクセスは禁止です。詳細は3. 4. 8（1）（b）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

4. ビット3には必ず0を設定してください。

（3）A/D変換結果レジスタ，A/D変換結果レジスタH（ADCR, ADCRH）

ADCR, ADCRHレジスタは，A/D変換結果を格納するレジスタです。

16/8ビット単位でリードのみ可能です。ただし，16ビット・アクセス時はADCRレジスタを指定，8ビット・アクセス時はADCRHレジスタを指定します。ADCRレジスタは上位10ビットに変換結果の10ビットが読み出され，下位6ビットは0が読み出されます。ADCRHレジスタには変換結果の上位8ビットが読み出されます。

リセットにより不定になります。

リセット時：不定　　R　　アドレス：FFFFF204H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCR	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

リセット時：不定　　R　　アドレス：FFFFF205H

	7	6	5	4	3	2	1	0
ADCRH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

★　注意　次に示す状態において，ADCR, ADCRHレジスタへのアクセスは禁止です。詳細は3. 4. 8（1）（b）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

アナログ入力端子（ANI0-ANI7）に入力されたアナログ入力電圧とA/D変換結果（ADCRレジスタ）には次式に示す関係があります。

$$SAR = INT\left(\frac{V_{IN}}{AV_{REF0}} \times 1024 + 0.5\right)$$

$$ADCR^{注} = SAR \times 64$$

または，

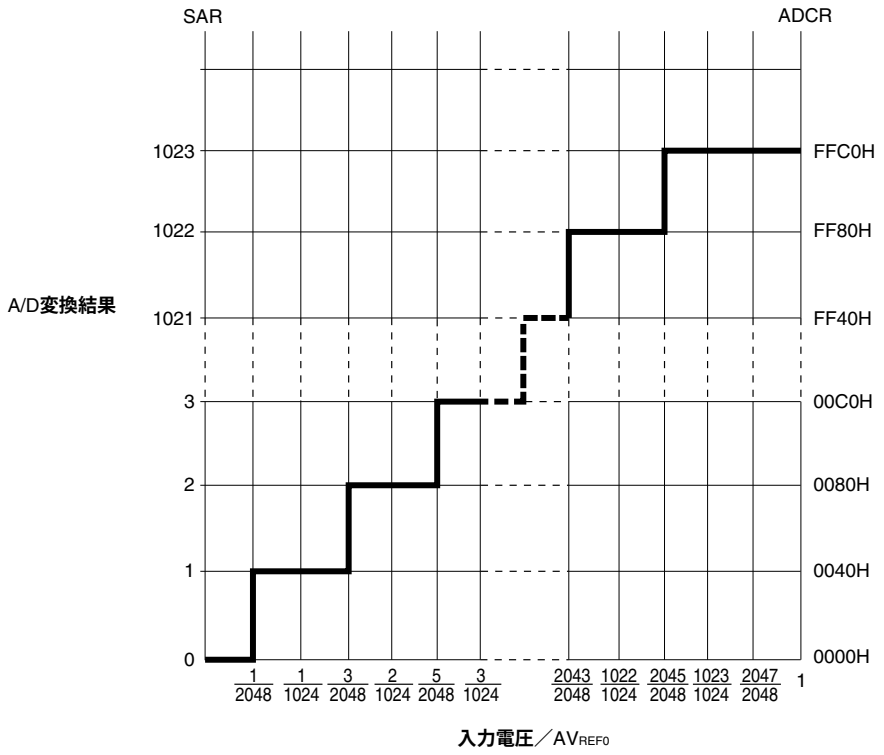
$$(SAR - 0.5) \times \frac{AV_{REF0}}{1024} \leqq V_{IN} < (SAR + 0.5) \times \frac{AV_{REF0}}{1024}$$

INT（　）：（　）内の値の整数部を返す関数
V_{IN}　：アナログ入力電圧
AV_{REF0}　：AV_{REF0}端子電圧
ADCR　：ADCRレジスタの値

注　ADCRレジスタの下位6ビットは0固定です。

次にアナログ入力電圧とA/D変換結果の関係を示します。

図14－3　アナログ入力電圧とA/D変換結果の関係



(4) パワー・フェイル比較モード・レジスタ（PFM）

パワー・フェイル検出モードを設定するレジスタです。

PFTレジスタの値とADCRHレジスタの値を比較します。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF202H

	⑦	⑥	5	4	3	2	1	0
PFM	PFEN	PFCM	0	0	0	0	0	0

PFEN	パワー・フェイル比較許可／禁止の選択
0	パワー・フェイル比較禁止
1	パワー・フェイル比較許可

PFCM	パワー・フェイル比較モードの選択
0	ADCR≧PFTで割り込み要求信号（INTAD）を発生
1	ADCR＜PFTで割り込み要求信号（INTAD）を発生

★ 注意1. 通常モード（ADM.ADHS1, ADHS0ビット = 00）でA/D変換動作中（ADM.ADCSビット = 1）の場合，PFMレジスタの書き込みは禁止です。

★ 2. 次に示す状態において，PFMレジスタへのアクセスは禁止です。詳細は3. 4. 8 (1) (b) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

(5) パワー・フェイル比較しきい値レジスタ（PFT）

PFTレジスタは，パワー・フェイル検出モード時の比較値を設定するレジスタです。

PFTレジスタに設定した8ビット・データとADCRHレジスタの値が比較されます。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF203H

	7	6	5	4	3	2	1	0
PFT								

★ 注意1. 通常モード（ADM.ADHS1, ADHS0ビット = 00）でA/D変換動作中（ADM.ADCSビット = 1）の場合，PFTレジスタの書き込みは禁止です。

★ 2. 次に示す状態において，PFTレジスタへのアクセスは禁止です。詳細は3. 4. 8 (1) (b) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

14.5 動　　作

14.5.1 基本動作

<1>　A/D変換するチャネルをADSレジスタで1チャネル選択してください。
ADM.ADHS1ビットまたはADHS0ビットを設定してください。

<2>　ADM.ADCS2ビットをセット（1）し1 μs（高速モード）または14 μs（通常モード時）以上ウエイトしてください。

<3>　ADM.ADCSビットをセット（1）してください。A/D変換を開始します。
（<4>～<10>までハードウエアでの動作）

<4>　選択されたアナログ入力チャネルに入力されている電圧を，サンプル＆ホールド回路でサンプリングします。

<5>　一定時間サンプリングを行うとサンプル＆ホールド回路はホールド状態となり，入力されたアナログ電圧をA/D変換が終了するまで保持します。

<6>　逐次変換レジスタ（SAR）のビット9をセット（1）し，タップ・セレクタは直列抵抗ストリングの電圧タップを（1/2）×AV_{REF0}にします。

<7>　直列抵抗ストリングの電圧タップとアナログ入力との電圧差を，電圧コンパレータで比較します。もし，アナログ入力が（1/2）×AV_{REF0}よりも大きければ，SARレジスタのMSBをセット（1）したままです。
また，（1/2）×AV_{REF0}よりも小さければMSBをクリア（0）します。

<8>　次にSARレジスタのビット8が自動的にセット（1）され，次の比較に移ります。ここではすでに決定しているビット9の値によって，次に示すように直列抵抗ストリングの電圧タップが選択されます。
・ビット9 = 1：（3/4）×AV_{REF0}
・ビット9 = 0：（1/4）×AV_{REF0}
この電圧タップとアナログ入力電圧を比較し，その結果でSARレジスタのビット8を次のように操作します。
アナログ入力電圧≧電圧タップ：ビット8 = 1
アナログ入力電圧≦電圧タップ：ビット8 = 0

<9>　このような比較をSARレジスタのビット0まで続けます。

<10>　10ビットの比較が終了したとき，SARレジスタには有効なディジタルの結果が残り，その値がADCRレジスタに転送され，ラッチされます。
同時に，A/D変換終了割り込み要求信号（INTAD）を発生します。

<11>　以降<4>～<10>の動作を，ADCSビットをクリア（0）するまで繰り返します。
再度A/D変換するときは<3>から開始してください。ただし，ADCS2ビット = 0の状態から再度A/Dコンバータを動作させる場合は<2>から開始してください。

14. 5. 2　トリガ・モード

A/D変換の開始タイミングを設定するトリガ・モードには，次の3つのモードがあります。これらのトリガ・モードは，ADSレジスタで設定します。

・ソフトウエア・トリガ・モード
・外部トリガ・モード（ハードウエア・トリガ・モード）
・タイマ・トリガ・モード（ハードウエア・トリガ・モード）

(1) ソフトウエア・トリガ・モード

ADS.TRGビット = 0に設定した状態で，ADM.ADCSビットをセット（1）することによりA/D変換を開始するモードです。

A/D変換終了後は，ADCSビットをクリア（0）しないかぎり，次のA/D変換を繰り返し行います。

★ 高速モード（ADM.ADHS1, ADHS0ビット = 01または10）で，変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合，A/D変換は中断され，再度最初からA/D変換を行います。通常モード（ADHS1, ADHS0ビット = 00）で，変換動作中のADM, ADS, PFM, PFTレジスタの書き込みは禁止です。

(2) 外部トリガ・モード（ハードウエア・トリガ・モード）

★ 高速モード（ADHS1, ADHS0ビット = 10または01）に設定して使用してください。通常モード（ADHS1, ADHS0ビット = 00）で，A/D変換中にADTRG端子に有効エッジが入力することは禁止です。

TRGビット = 1，ADS.ADTMDビット = 0に設定した状態で，ADCSビットをセット（1）したあと，外部トリガ（ADTRG）検出によりA/D変換を開始するモードです。

ADCSビットをセット（1）したあと，外部トリガ（ADTRG）待機状態になります。

ADTRG端子入力の有効エッジは，ADS.EGA1, EGA0ビットにより設定します。有効エッジを検出すると，A/D変換を開始します。

A/D変換終了後は，再び外部トリガ（ADTRG）待機状態になります。

なお，高速モード（ADHS1, ADHS0ビット = 01または10）で，A/D変換中にADTRG端子に有効エッジが入力された場合，A/D変換は中断され，再度最初からA/D変換を行います。

また，高速モード（ADHS1, ADHS0ビット = 01または10）で，変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合，A/D変換は中断され，外部トリガ（ADTRG）待機状態になります。

(3) タイマ・トリガ・モード（ハードウエア・トリガ・モード）

★ 高速モード（ADHS1, ADHS0ビット = 10または01）に設定して使用してください。通常モード（ADHS1, ADHS0ビット = 00）で，A/D変換中にADTRG端子に有効エッジが入力することは禁止です。

TRGビット = 1，ADTMDビット = 1に設定した状態で，ADCSビットをセット（1）したあと，タイマ・トリガ（INTTM010）検出によりA/D変換を開始するモードです。

ADCSビットをセット（1）したあと，タイマ・トリガ（INTTM010）待機状態になります。

INTTM010信号が発生すると，A/D変換を開始します。

A/D変換終了後は，再びタイマ・トリガ（INTTM010）待機状態になります。

なお，高速モード（ADHS1, ADHS0ビット = 01または10）で，A/D変換中にINTTM010信号が発生した場合，A/D変換は中断され，再度最初からA/D変換を行います。

また，高速モード（ADHS1, ADHS0ビット = 01または10）で，変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合，A/D変換は中断され，タイマ・トリガ（INTTM010）待機状態になります。

14. 5. 3　動作モード

動作モードには，次の2つのモードがあります。これらの動作モードは，ADMレジスタで設定します。

・セレクト・モード
・スキャン・モード

(1) セレクト・モード

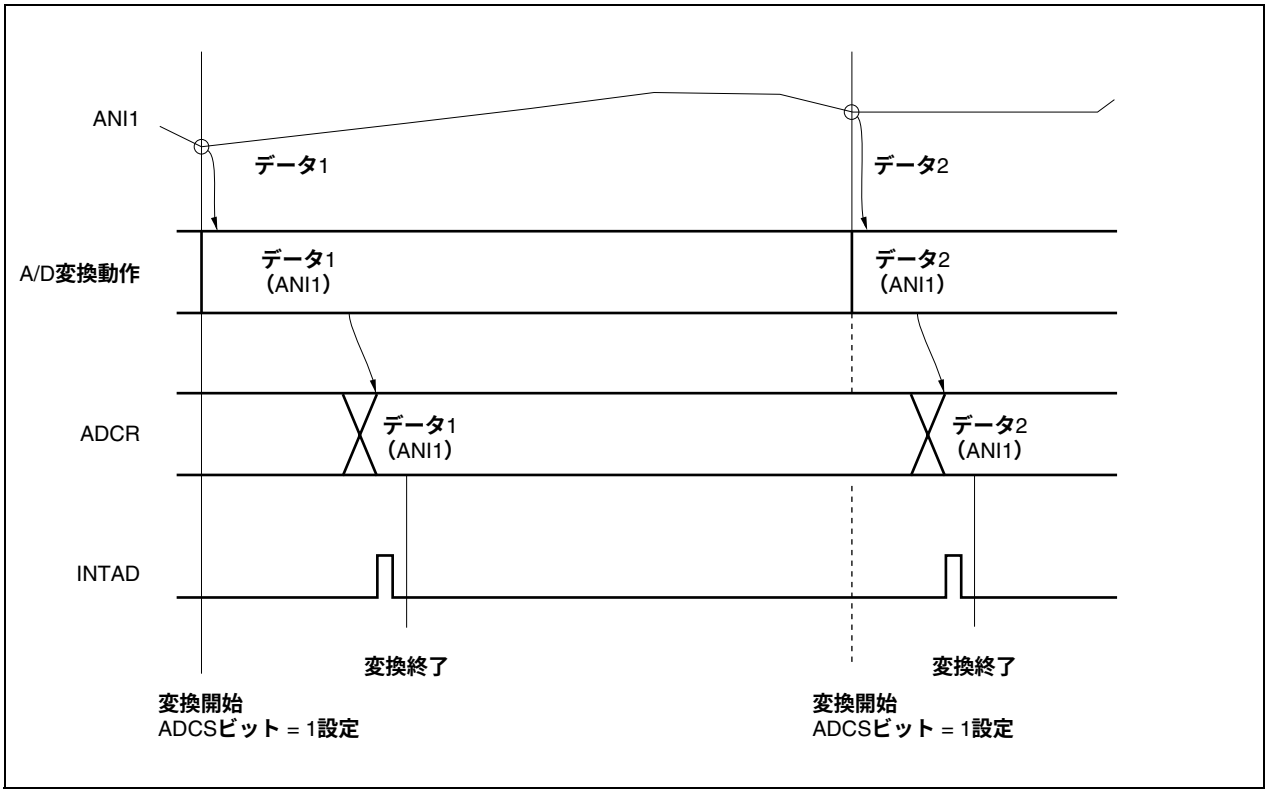
ADM.ADMDビット = 0の状態で，ADSレジスタで指定された1つのアナログ入力のA/D変換を行います。A/D変換が終了すると，変換結果をADCRレジスタに格納します。

また，同時にA/D変換終了割り込み要求信号（INTAD）を発生します。ただし，INTAD信号の発生は，PFM, PFTレジスタの設定に依存します。詳細は，14. 5. 4　パワー・フェイル検出機能を参照してください。

★ 高速モード（ADM.ADHS1, ADHS0ビット = 00）で変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合，A/D変換は中断され，ソフトウエア・トリガ・モードのときは再度最初からA/D変換を行い，ハードウエア・トリガ・モードのときはトリガ待機状態になります。通常モード（ADHS1, ADHS0ビット = 00）で，変換動作中のADM, ADS, PFM, PFTレジスタの書き込みは禁止です。

★ また，高速モード（ADHS1, ADHS0ビット = 01または10）で，ハードウエア・トリガ・モード時の変換動作中にトリガを検出した場合，A/D変換は中断され，再度最初からA/D変換を行います。通常モード（ADHS1, ADHS0ビット = 00）で，A/D変換中に再度トリガを入力することは禁止です。

図14－4　セレクト・モード動作タイミング例（ADS.ADS2-ADS0ビット = 0001B）



(2) スキャン・モード

ADM.ADMDビット = 1の状態で，ANI0端子からADSレジスタで指定されたアナログ入力を順に選択し，A/D変換を行います。

1つのアナログ入力のA/D変換が終了すると，変換結果をADCRレジスタに格納します。

また，同時にA/D変換終了割り込み要求信号（INTAD）を発生します。

なお，すべてのアナログ入力のA/D変換結果は，ADCRレジスタに格納されるので，1つのアナログ入力のA/D変換が終了したら，ADCRレジスタの内容をRAMなどに転送することで退避することを推奨します。

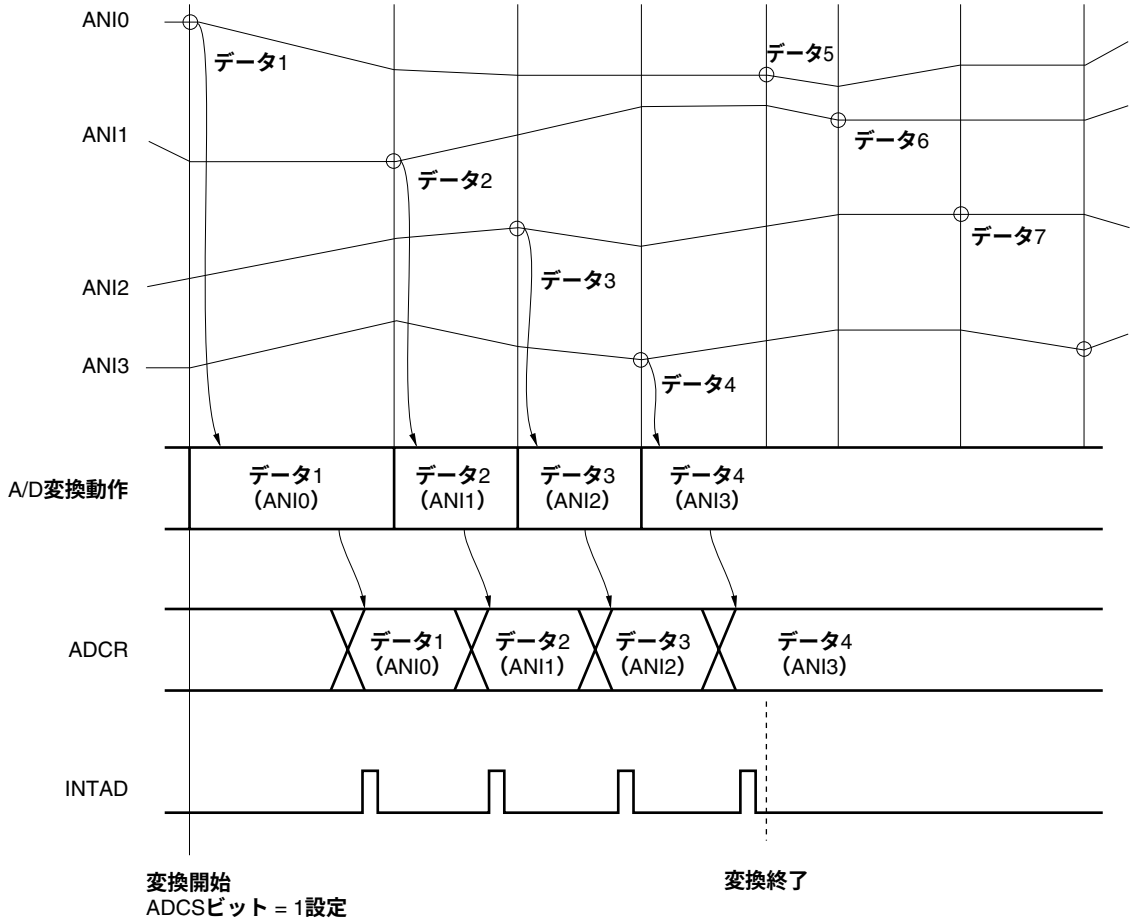
ハードウエア・トリガ・モード（ADS.TRGビット = 1）の場合，ANI0端子からADSレジスタで指定されたアナログ入力までのA/D変換が終了すると，トリガ待機状態になります。

高速モード（ADM.ADHS1, ADHS0ビット = 01または10）で，変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合，A/D変換は中断され，ソフトウエア・トリガ・モードのときは再度最初からA/D変換を行い，ハードウエア・トリガ・モードのときはトリガ待機状態になります。なお，再変換する場
★ 合は，ANI0端子からになります。通常モード（ADHS1, ADHS0ビット = 00）で，A/D変換中にADTRG端子に有効エッジを入力することは禁止です。

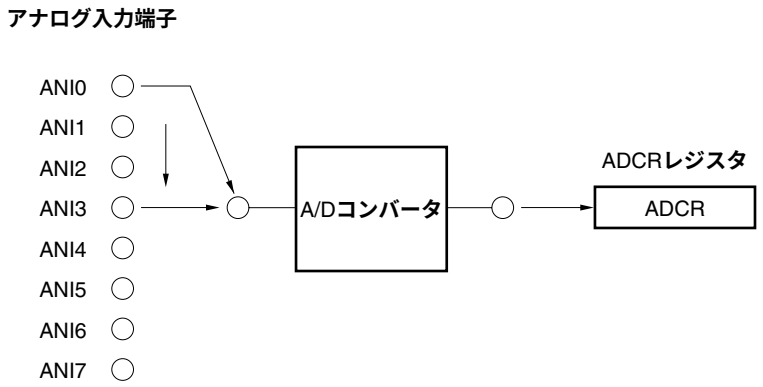
また，高速モード（ADHS1, ADHS0ビット = 01または10）でハードウエア・トリガ・モード時の変換動
★ 作中にトリガを検出した場合，A/D変換は中断され，再度最初（ANI0端子）からA/D変換を行います。通常モード（ADHS1, ADHS0ビット = 00）で，変換動作中のADM, ADS, PFM, PFTレジスタの書き込みは禁止です。

図14－5　スキャン・モード動作のタイミング例（ADS.ADS2-ADS0ビット = 0011B）

(a) タイミング例



(b) ブロック図

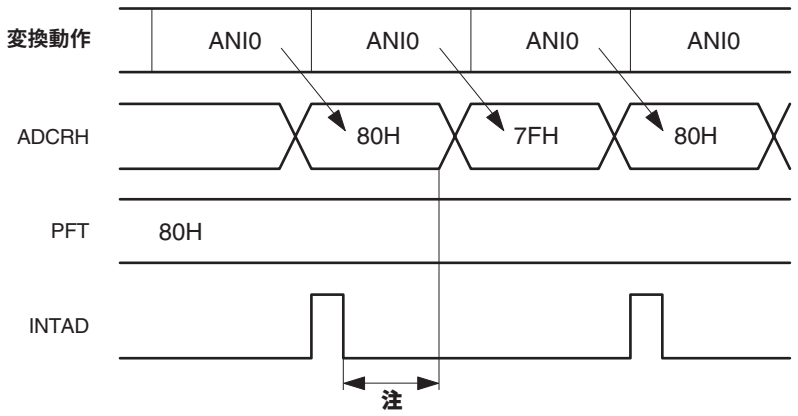


14. 5. 4　パワー・フェイル検出機能

PFM, PFTレジスタにより変換終了割り込み要求信号（INTAD）を次のように制御可能です。

- PFM.PFENビット = 0の場合，変換終了ごとにINTAD信号が発生します。
- PFENビット = 1かつPFM.PFCMビット = 0の場合，変換終了タイミングで変換結果（ADCRHレジスタ）とPFTレジスタの値を比較し，ADCRH≧PFTの場合のみ，INTAD信号が発生します。
- PFENビット = 1かつPFCMビット = 1の場合，変換終了タイミングで変換結果とPFTレジスタの値を比較し，ADCRH＜PFTの場合のみINTAD信号が発生します。
- PFENビット = 1の状態では，INTAD信号が発生した後，次の変換終了までの間に変換結果を読み出さないと変換結果が書き換わるため，見かけ上，上記の動作記述と矛盾する場合があります（図14－6参照）。

図14－6　パワー・フェイル検出機能（PFCMビット = 0）



注　この期間内に読み出さないと次の変換結果に変わってしまいます。

14. 5. 5　設定方法

次に設定方法を説明します。

（1）A/D変換動作として使用する場合

<1> ADM.ADCS2ビットをセット（1）

<2> ADS.ADS2-ADS0ビットとADM.ADHS1, ADHS0, FR2-FR0ビットで，チャネルと変換時間を選択

<3> ADM.ADCSビットをセット（1）

<4> A/D変換データをADCRレジスタに転送

<5> 割り込み要求信号（INTAD）発生

＜チャネルを変更する＞

<6> ADS2-ADS0ビットで，チャネルを変更

<7> A/D変換データをADCRレジスタに転送

<8> INTAD信号発生

＜A/D変換を終了する＞

<9> ADCSビットをクリア（0）

<10> ADCS2ビットをクリア（0）

注意1. <1>から<3>までの間は，1 μs（高速モード）または14 μs（通常モード）以上空けてください。

2. <1>と<2>の順番が逆でも問題ありません。

3. <1>は省略可能です。ただし，この場合には<3>のあとの1回目のA/D変換結果は使用しないでください。

4. <4>から<7>までの時間は，ADHS1, ADHS0, FR2-FR0ビットで設定した変換時間とは異なります。
<6>から<7>までの時間が，ADHS1, ADHS0, FR2-FR0ビットで設定した変換時間となります。

(2) パワー・フェイル検出機能として使用する場合

<1> PFM.PFENビットをセット（1）

<2> PFM.PFCMビットでパワー・フェイル比較条件を設定

<3> ADM.ADCS2ビットをセット（1）

<4> ADS.ADS2-ADS0ビットとADM.ADHS1, ADHS0, FR2-FR0ビットで，チャネルと変換時間を選択

<5> PFTレジスタにしきい値を設定

<6> ADM.ADCSビットをセット（1）

<7> A/D変換データをADCRレジスタに転送

<8> ADCRHレジスタとPFTレジスタとの大小比較を行い，条件が一致した場合に割り込み要求信号（INTAD）発生

＜チャネルを変更する＞

<9> ADS2-ADS0ビットで，チャネルを変更

<10> A/D変換データをADCRレジスタに転送

<11> ADCRHレジスタとPFTレジスタとの大小比較を行い，条件が一致した場合にINTAD信号発生

＜A/D変換を終了する＞

<12> ADCSビットをクリア（0）

<13> ADCS2ビットをクリア（0）

備考　セレクト・モード，スキャン・モードにかかわらず，パワー・フェイル検出機能の動作を許可していれば，すべてのA/D変換結果に対して比較動作を行います。

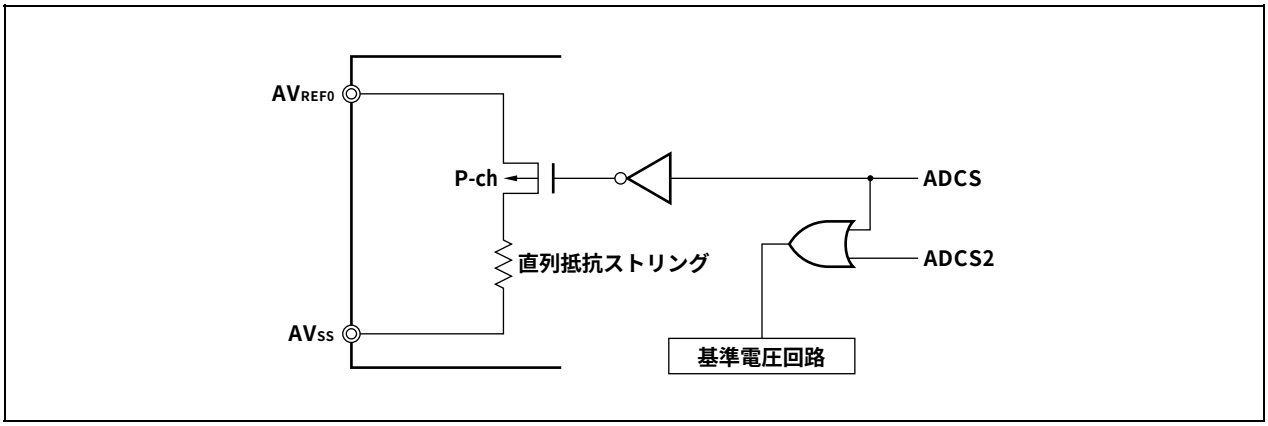
14. 6　注意事項

(1) スタンバイ・モード時の消費電力について

A/Dコンバータは，スタンバイ・モード時には動作が停止します。このとき変換動作停止（ADM.ADCSビット = 0）にすることにより，消費電力を低減させることができます。

スタンバイ・モード時の消費電力を低減させる方法例を図14－7に示します。

★ **図14－7　スタンバイ・モード時の消費電力を低減させる方法例**



(2) ANI0-ANI7端子入力範囲について

ANI0-ANI7端子入力電圧は規格の範囲内でご使用ください。特にAVREF0以上，AVSS以下（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャネルの変換値が不定となります。また，ほかのチャネルの変換値にも影響を与えることがあります。

(3) 競合動作について

(a) 変換終了時のADCRレジスタ・ライトと命令によるADCRレジスタ・リードとの競合

ADCRレジスタのリードが優先されます。リードしたあと，新しい変換結果がADCRレジスタにライトされます。

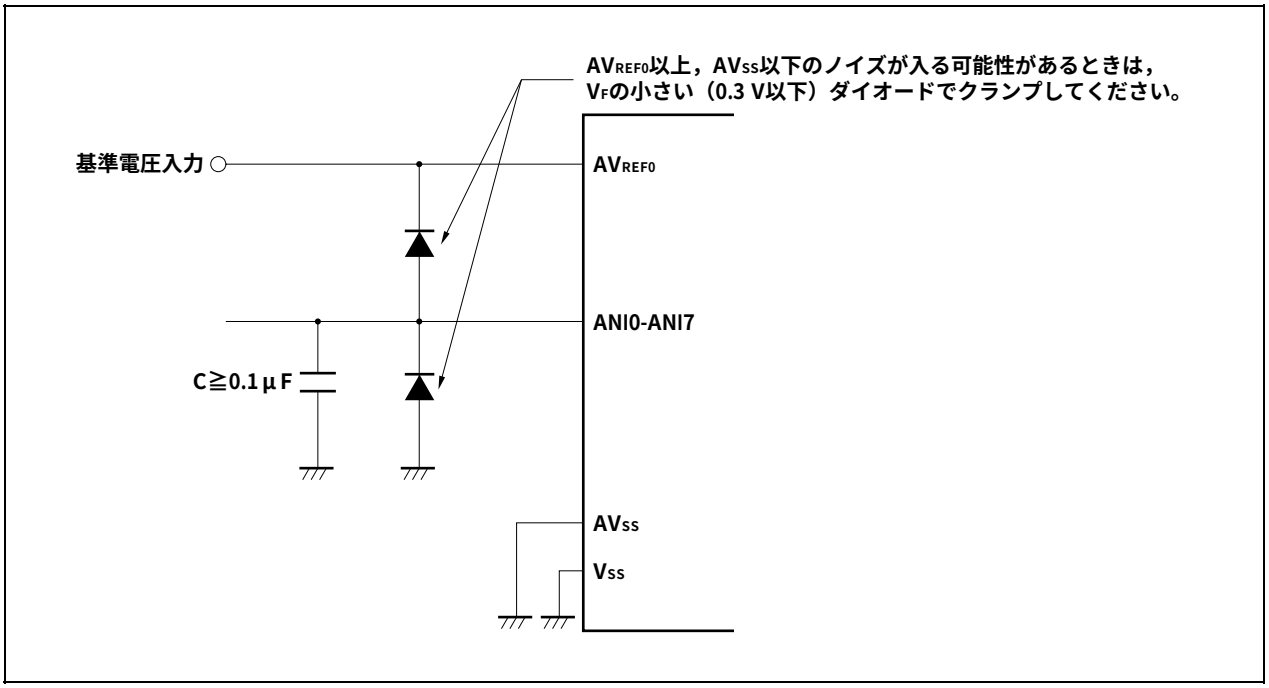
(b) 変換終了時のADCRレジスタ・ライトとADMレジスタ・ライト，またはADSレジスタ・ライトの競合

ADMレジスタまたはADSレジスタへのライトが優先されます。ADCRレジスタへのライトはされません。また，変換終了割り込み要求信号（INTAD）も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには，AV_{REF0}, ANI0-ANI7端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので，ノイズを低減するために図14－8のようにコンデンサを外付けすることを推奨します。

図14－8　アナログ入力端子の処理



(5) ANI0/P70-ANI7/P77端子

アナログ入力（ANI0-ANI7）端子は入力ポート（P70-P77）端子と兼用になっています。

ANI0-ANI7端子のいずれかを選択してA/D変換をする場合，変換中にポート7に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また，A/D変換中の端子に隣接する端子へディジタル・パルスを印加すると，カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって，A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) AV_{REF0}端子の入力インピーダンスについて

AV_{REF0}端子とAV_{SS}端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって，基準電圧源の出力インピーダンスが高い場合，AV_{REF0}端子とAV_{SS}端子の間の直列抵抗ストリングと直列接続することになり，基準電圧の誤差が大きくなります。

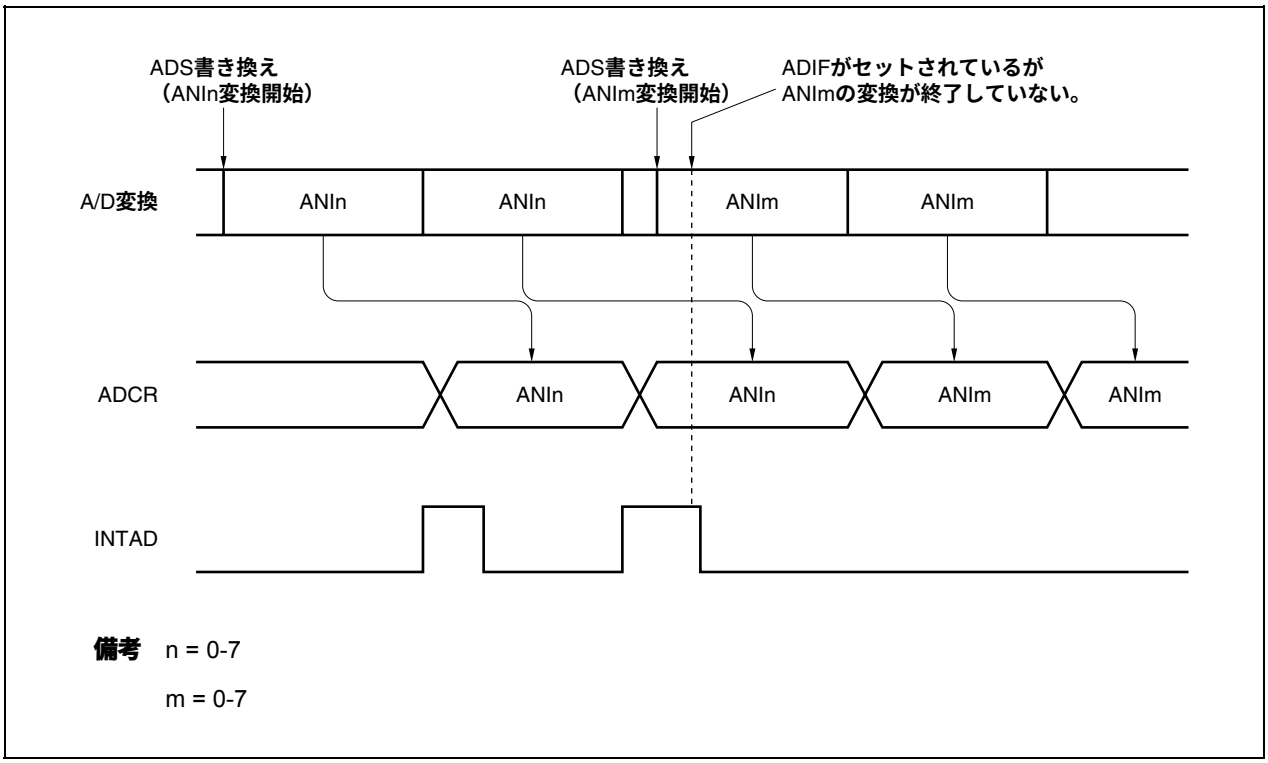
(7) 割り込み要求フラグ（ADIC.ADIFビット）について

ADSレジスタを変更してもADIFビットはクリア（0）されません。

したがって，A/D変換中にアナログ入力端子の変更を行った場合，ADSレジスタ書き換え直前に，変更前のアナログ入力端子に対するA/D変換が終了しADIFビットがセット（1）されている場合があります。ADSレジスタ書き換え直後にADIFビットを読み出すと，変更後のアナログ入力端子に対するA/D変換が終了していないにもかかわらず，ADIFビットがセット（1）されていることになりますので注意してください。

また，A/D変換を一度停止させて再開する場合は，再開する前にADIFビットをクリア（0）してください。

図14－9　A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ADM.ADCS2ビットをセット（1）してから，1 μs（高速モード）または14 μs（通常モード）以内でADM.ADCSビットをセット（1）した場合，またはADCS2ビット = 0の状態で，ADCSビットをセット（1）した場合は，A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求信号（INTAD）をポーリングし，最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ（ADCR）の読み出しについて

ADM, ADSレジスタに対して書き込み動作を行ったとき，ADCRレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM, ADSレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

また，次に示す状態において，ADCR, ADCRHレジスタへのアクセスは禁止です。詳細は3. 4. 8 (1) (b) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

（10）A/Dコンバータのサンプリング時間とA/D変換開始遅延時間について

A/Dコンバータのサンプリング時間は，ADMレジスタの設定値によって異なります。また，A/Dコンバータを動作許可してから実際にサンプリングが行われるまで遅延時間が存在します。

A/D変換時間を厳密に必要とするセットの場合，図14－10と表14－3に示す内容に注意してください。

図14－10　A/Dコンバータのサンプリングと A/D変換開始遅延のタイミング

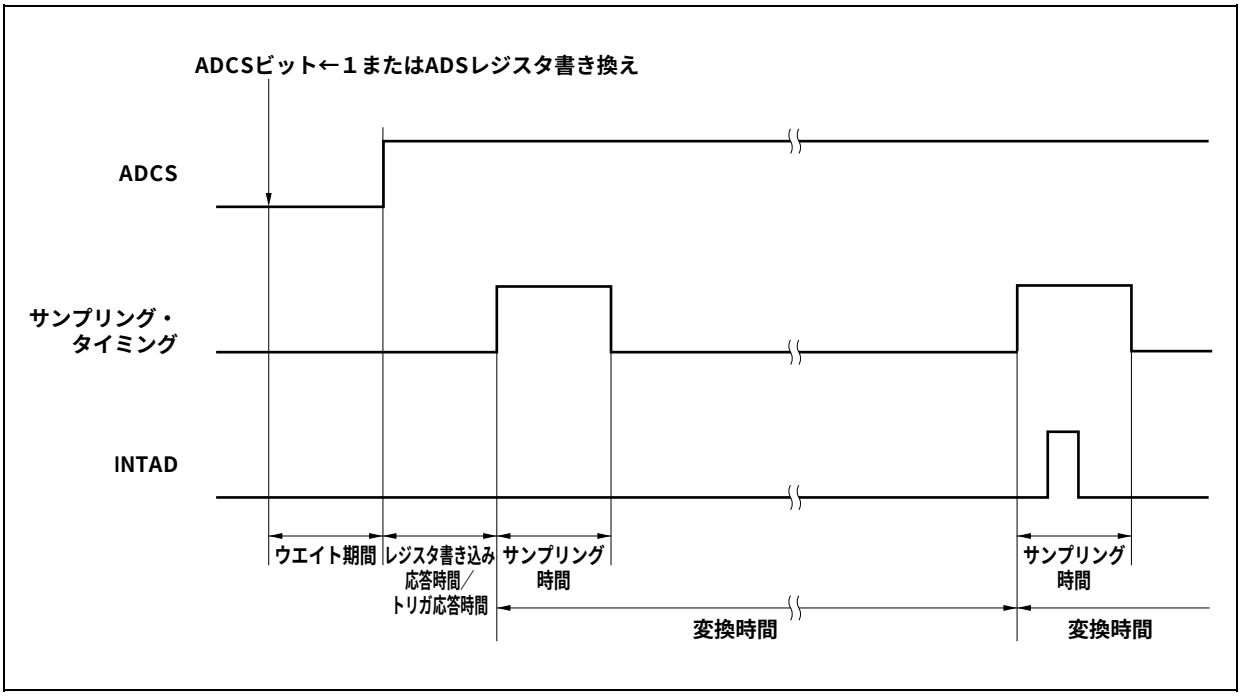


表14－3　A/Dコンバータの変換時間

ADHS1	ADHS0	FR2	FR1	FR0	変換時間	サンプリング時間	レジスタ書き込み応答時間注		トリガ応答時間注	
							MIN.	MAX.	MIN.	MAX.
0	0	0	0	0	288/fxx	176/fxx	11/fxx	12/fxx	7/fxx	8/fxx
0	0	0	0	1	240/fxx	176/fxx	11/fxx	12/fxx	7/fxx	8/fxx
0	0	0	1	0	192/fxx	132/fxx	10/fxx	11/fxx	6/fxx	7/fxx
0	0	1	0	0	144/fxx	88/fxx	9/fxx	10/fxx	5/fxx	6/fxx
0	0	1	0	1	120/fxx	88/fxx	9/fxx	10/fxx	5/fxx	6/fxx
0	0	1	1	0	96/fxx	48/fxx	11/fxx	12/fxx	7/fxx	8/fxx
0	1	0	0	0	96/fxx	48/fxx	11/fxx	12/fxx	7/fxx	8/fxx
0	1	0	0	1	72/fxx	36/fxx	10/fxx	11/fxx	6/fxx	7/fxx
0	1	0	1	0	48/fxx	24/fxx	9/fxx	10/fxx	5/fxx	6/fxx
0	1	0	1	1	24/fxx	12/fxx	8/fxx	9/fxx	4/fxx	5/fxx
0	1	1	0	0	224/fxx	176/fxx	11/fxx	12/fxx	7/fxx	8/fxx
0	1	1	0	1	168/fxx	132/fxx	10/fxx	11/fxx	6/fxx	7/fxx
0	1	1	1	0	112/fxx	88/fxx	9/fxx	10/fxx	5/fxx	6/fxx
0	1	1	1	1	56/fxx	44/fxx	8/fxx	9/fxx	4/fxx	5/fxx
1	0	0	0	0	72/fxx	24/fxx	11/fxx	12/fxx	7/fxx	8/fxx
1	0	0	0	1	54/fxx	18/fxx	10/fxx	11/fxx	6/fxx	7/fxx
1	0	0	1	0	36/fxx	12/fxx	9/fxx	10/fxx	5/fxx	6/fxx
1	0	0	1	1	18/fxx	6/fxx	8/fxx	9/fxx	4/fxx	5/fxx
上記以外					設定禁止	－	－	－	－	－

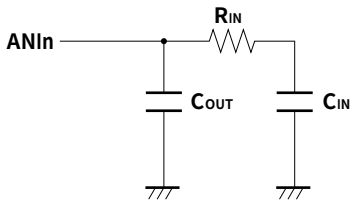
注　各応答時間は，ウエイト期間後の時間になります。ウエイトについては3. 4. 8（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

備考　fxx：メイン・クロック周波数

（11）内部等価回路について

アナログ入力部の等価回路を次に示します。

図14－11　ANIn端子内部等価回路



AVREF0	RIN	COUT	CIN
4.5 V	3 kΩ	8 pF	15 pF
2.7 V	60 kΩ	8 pF	15 pF

備考1.　値は参考値です。

2.　n = 0-7

★　（12）A/D変換結果のばらつきについて

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は，A/D変換結果の平均値をとるなど，プログラムで対策してください。

★　（13）A/D変換のヒステリシス特性について

逐次比較型A/Dコンバータは，内部のサンプル＆ホールド用コンデンサにアナログ入力電圧を保持し，そのあと，A/D変換を行います。A/D変換が終了したあとも，内部のサンプル＆ホールド用コンデンサには，アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

- 同一チャネルでA/D変換を実行する場合，以前のA/D変換時よりも高い電圧，または低い電圧に変化していると，変換結果が以前の値に影響されるヒステリシス特性が現れ，同じ電位でも変換結果が異なる場合があります。
- アナログ入力チャネルを切り替える場合，1つのA/Dコンバータを用いてA/D変換を行っているため，変換結果が以前のチャネルの値に影響されるヒステリシス特性が現れ，同じ電位でも変換結果が異なる場合があります。

このため，より正確な変換結果を得たい場合は，同一チャネルで2回連続A/D変換を行い，1回目の変換結果を廃棄してください。

★　（14）通常モード時のA/D変換動作について

- ソフトウエア・トリガ・モード時：
  通常モード（ADM.ADHS1, ADHS0ビット = 00）で，変換動作中のADM, ADS, PFM, PFTレジスタの書き込みは禁止です。
- ハードウエア・トリガ（外部トリガ／タイマ・トリガ）・モード時：
  通常モード（ADHS1, ADHS0ビット = 00）では，使用できません。高速モード（ADHS1, ADHS0ビット = 10または01）を使用してください。

14. 7　A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分 解 能

識別可能な最小アナログ入力電圧，つまり，ディジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB（Least Significant Bit）といいます。1 LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次の式になります。

1 %FSR =（変換可能なアナログ入力電圧の最大値－変換可能なアナログ入力電圧の最小値）/100

= （AV_{REF0}－0）/100

= AV_{REF0}/100

1 LSBは分解能10ビットのとき，次のようになります。

1 LSB = $1/2^{10}$ = 1/1024

= 0.098 %FSR

精度は分解能とは関係なく，総合誤差によって決まります。

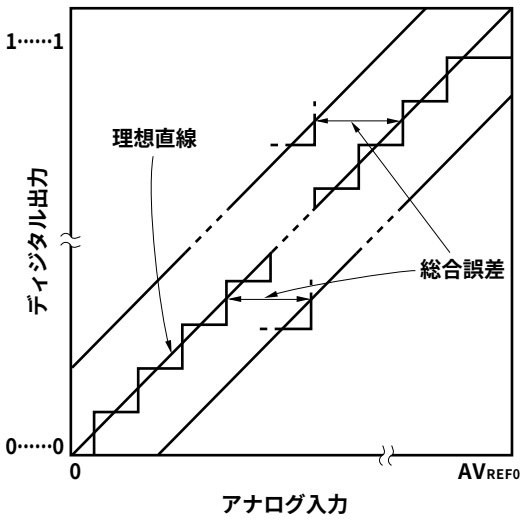
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，直線性誤差，およびそれらの組み合わせから生じる誤差を総合したものです。

なお，特性表の総合誤差には量子化誤差は含まれていません。

図14－12　総合誤差

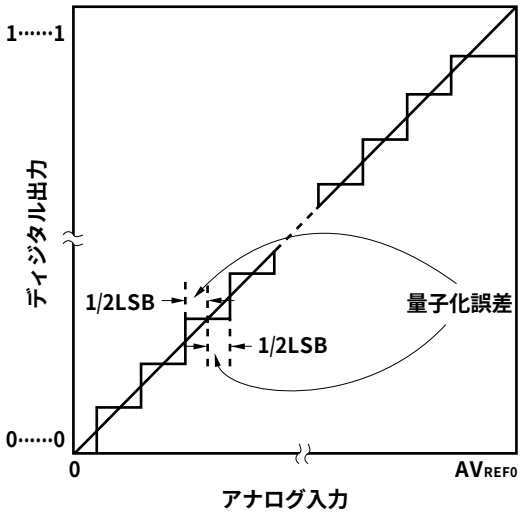


(3) 量子化誤差

アナログ値をディジタル値に変換するとき，必然的に生じる±1/2 LSBの誤差です。A/Dコンバータでは，±1/2 LSBの範囲にあるアナログ入力電圧は，同じディジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

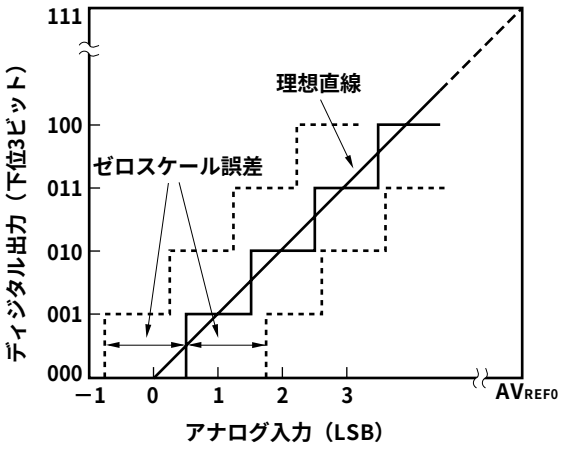
図14－13　量子化誤差



(4) ゼロスケール誤差

ディジタル出力が0……000から0……001に変化するときの，アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。

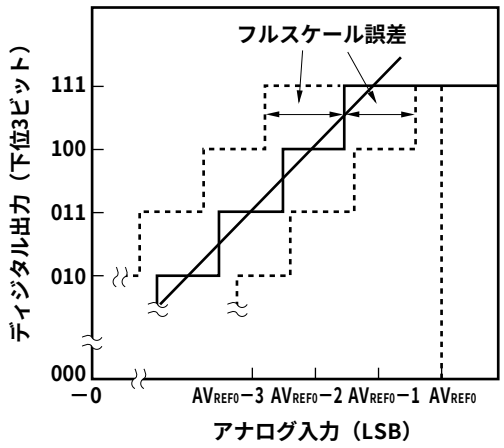
図14－14　ゼロスケール誤差



(5) フルスケール誤差

ディジタル出力が1……110から1……111に変化するときの，アナログ入力電圧の実測値と理論値（フルスケール－3/2 LSB）との差を表します。

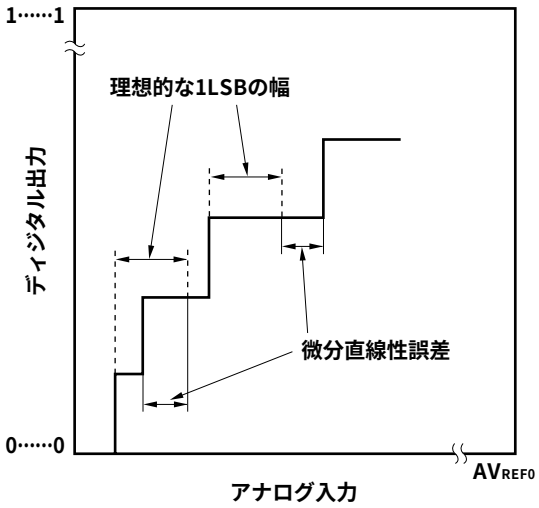
図14－15　フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。同一チャネルのアナログ入力端子に印加する電圧をAVSSからAVREF0まで少しずつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャネルを使用する場合は，14. 7 (2) 総合誤差を参照してください。

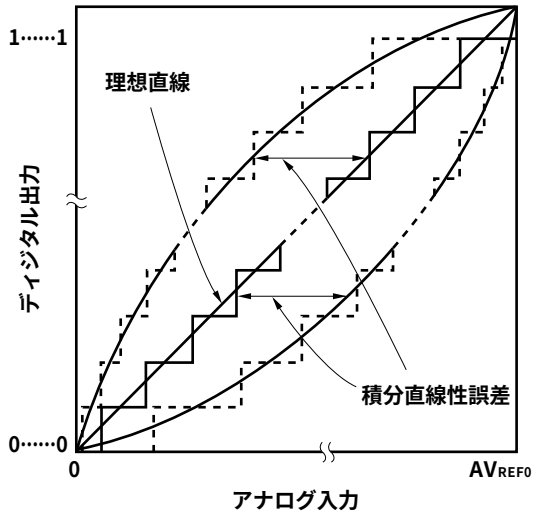
図14－16　微分直線性誤差



(7) 積分直線性誤差

変換特性が，理想的な直線関係から外れている程度を指します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

図14－17　積分直線性誤差



(8) 変換時間

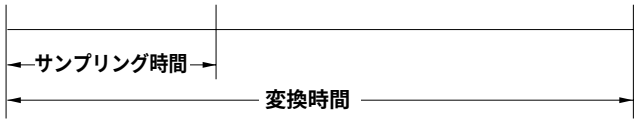
アナログ入力電圧が与えられてから，ディジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。

図14－18　サンプリング時間



第15章　D/Aコンバータ

15. 1　機　　能

V850ES/KG1+は，D/Aコンバータを2チャネル搭載しています（DAC0, DAC1）。
D/Aコンバータには，次のような機能があります。

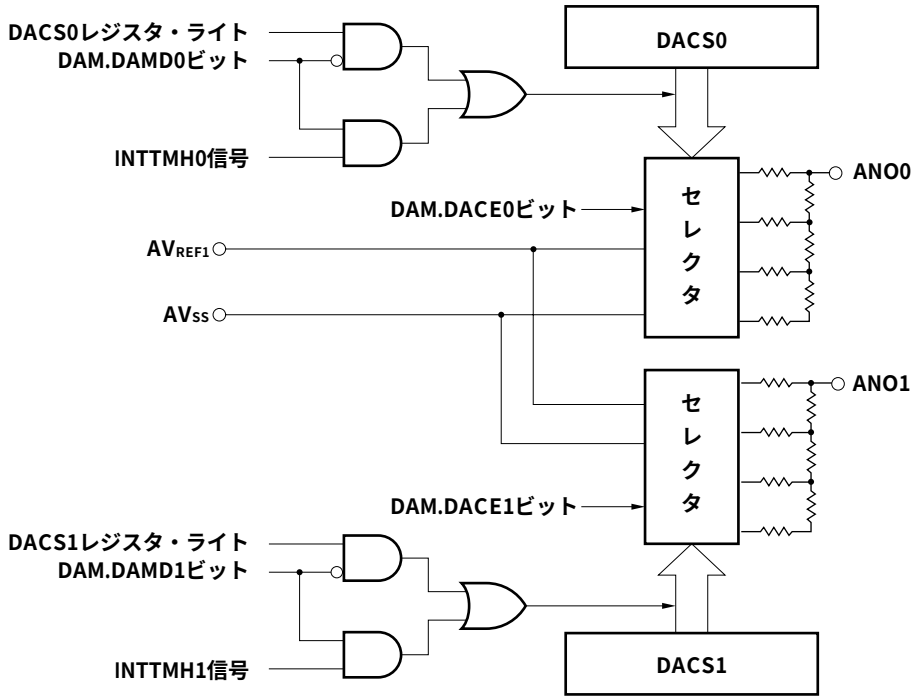
○8ビット分解能×2 ch
○R-2Rラダー方式
○変換時間：20 μs（MAX.）（AV_{REF1} = 2.7～5.5 V）
○アナログ出力電圧：AV_{REF1}×m/256（m = 0-255；DACSnレジスタに設定した値）
○動作モード：通常モード／リアルタイム出力モード

備考　n = 0, 1

15. 2　構　　成

次にD/Aコンバータの構成について示します。

図15ー1　D/Aコンバータのブロック図



注意　DAC0, DAC1は，AVREF1, AVSS端子を共用しています。また，AVSS端子はA/Dコンバータとも共用しています。

D/Aコンバータは，次のハードウエアで構成されています。

表15ー1　D/Aコンバータの構成

項　　目	構　　成
制御レジスタ	D/Aコンバータ・モード・レジスタ（DAM） D/A変換値設定レジスタ0, 1（DACS0, DACS1）

15. 3　レジスタ

D/Aコンバータを制御するレジスタを次に示します。

- D/Aコンバータ・モード・レジスタ（DAM）
- D/A変換値設定レジスタ0, 1（DACS0, DACS1）

(1) D/Aコンバータ・モード・レジスタ（DAM）

D/Aコンバータの動作を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF284H

	7	6	5	4	3	②	1	⓪
DAM	0	0	0	0	DAMD1	DACE1	DAMD0	DACE0

DAMDn	D/Aコンバータの動作モードの選択（n = 0, 1）
0	通常モード
1	リアルタイム出力モード注

DACEn	D/Aコンバータの動作許可／禁止制御（n = 0, 1 ）
0	動作禁止
1	動作許可

注　リアルタイム出力モード（DAMDnビット = 1）時の出力トリガは，次のとおりです。

- n = 0のとき：INTTMH0信号（第10章　8ビット・タイマH参照）
- n = 1のとき：INTTMH1信号（第10章　8ビット・タイマH参照）

(2) D/A変換値設定レジスタn（DACSn）

ANOn端子に出力するアナログ電圧値を設定するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：DACS0 FFFFF280H, DACS1 FFFFF282H

	7	6	5	4	3	2	1	0
DACSn	DAn7	DAn6	DAn5	DAn4	DAn3	DAn2	DAn1	DAn0

（n = 0, 1）

注意　リアルタイム出力モード（DAM.DAMDnビット = 1）のとき，INTTMHn信号が発生する前に，DACSnレジスタを設定してください。INTTMHn信号発生でD/A変換を開始します。

15.4　動　　作

15.4.1　通常モード時の動作

DACSnレジスタへのライト動作を起動トリガとして，D/A変換を行います。
次に，その設定方法を示します。

① DAM.DAMDnビット = 0（通常モード）に設定してください。
② DACSnレジスタに，ANOn端子に出力するアナログ電圧値を設定してください。
以上①，②を初期設定として行います。
③ DAM.DACEnビットをセット（1）（D/A変換動作許可）してください。
これによりD/A変換したアナログ電圧値をANOn端子から出力します。
④ 以降，アナログ電圧値を変更する場合は，DACSnレジスタへのライト動作を行ってください。
なお，次のライト動作を行うまでは，直前に設定したアナログ電圧値を保持します。

備考1.　兼用端子の設定は表4－16　ポート端子を兼用端子として使用する場合を参照してください。
2.　n = 0, 1

15.4.2　リアルタイム出力モード時の動作

8ビット・タイマHnの割り込み要求信号（INTTMHn）を起動トリガとして，D/A変換を行います。
次に，その設定方法を示します。

① DAM.DAMDnビット = 1（リアルタイム出力モード）に設定してください。
② DACSnレジスタに，ANOn端子に出力するアナログ電圧値を設定します。
③ DAM.DACEnビットをセット（1）（D/A変換動作許可）してください。
以上①～③を初期設定として行います。
④ 8ビット･タイマHnを動作させます。
⑤ INTTMHn信号が発生すると，D/A変換したアナログ電圧値をANOn端子から出力します。
次のINTTMHn信号が発生する前に，次に出力するアナログ電圧値をDACSnレジスタに設定してください。
⑥ 以降，DACSnレジスタに設定した値が，INTTMHn信号発生のタイミングでANOn端子から出力されます。

備考1.　⑤までのANOn端子の出力値は不定です。
2.　HALT, IDLE, STOPモード時のANOn端子の出力値については，第23章　スタンバイ機能を参照してください。

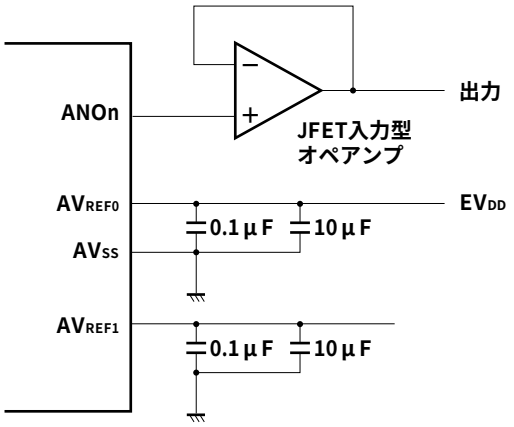
15. 4. 3　注意事項

D/Aコンバータを使用する際の注意事項を次に示します。

- D/A使用時は，ポート端子を入力モード（PM1.PM10, PM11ビット = 11）に設定してください。
- D/A使用時は，ポート・リードは禁止です。
- D/A使用時は，P10, P11両方ともD/A出力として使用してください。
  ポート1の片側をD/A出力，片側をポートとして使用することは禁止です。
- リアルタイム出力モード時，トリガ信号が出ている間にDACSnレジスタの設定値を変更しないでください。
- $AV_{REF1} \leqq V_{DD}$, AV_{REF1} = 2.7～5.5 Vの範囲で使用してください。それ以外の場合の動作は保証できません。
- D/Aコンバータの出力インピーダンスが高いため，ANOn端子から電流を取り出すことはできません。
  2 MΩ以下の抵抗を接続する場合には，抵抗とANOn端子の間にJFET入力型オペアンプを挿入するなどの対策をしてください。

備考　n = 0, 1

図15－2　外部端子の接続例



注意　ここに示した図はあくまで参考であり，使用する場合は十分に評価したうえでご使用ください。

第16章　アシンクロナス・シリアル・インタフェース（UART）

V850ES/KG1+では，アシンクロナス・シリアル・インタフェース（UART）を3チャネル搭載しています。そのうち，UART0はLIN-busに対応しています。

16. 1　UART2とCSI00のモード切り替え

μPD703313Y, 70F3311Y, 70F3313Yでは，UART2とCSI00は端子が兼用になっており，同時には使用できません。UART2とCSI00の切り替えは，あらかじめPMC4, PFC4レジスタで設定する必要があります（4. 3. 4　ポート4参照）。

注意　UART2またはCSI00において，送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証しません。使用しないユニットは必ず動作禁止にしてください。

図16－1　UART2とCSI00のモード切り替え設定

リセット時：00H　R/W　アドレス：FFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

リセット時：00H　R/W　アドレス：FFFFF478H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	PFC42	PFC41	PFC40

PFC4n	PMC4n	動作モード
0	0	ポート入出力モード
0	1	CSI00モード
1	0	ポート入出力モード
1	1	UART2モード

備考　n = 0, 1

16.2 特　　徴

○最大転送速度　　312.5 kbps

○全二重通信　RXBnレジスタ内蔵

　　TXBnレジスタ内蔵

○2端子構成[注]　TXDn：送信データの出力端子

　　RXDn：受信データの入力端子

○受信エラー検出機能

・パリティ・エラー

・フレーミング・エラー

・オーバラン・エラー

○割り込みソース：3種類

・受信エラー割り込み要求信号（INTSREn）　：3種類の受信エラーの論理和で割り込みを発生

・受信完了割り込み要求信号（INTSRn）　：受信許可状態において，シリアル転送完了後，受信シフト・レジスタからRXBnレジスタへ受信データを転送すると発生

・送信完了割り込み要求信号（INTSTn）　：シリアル送信を行って送信シフト・レジスタから送信データ（8/7ビット）をシリアル送信し終えると発生

○キャラクタ長：7, 8ビット

○パリティ機能：奇数，偶数，0，なし

○送信ストップ・ビット：1, 2ビット

○転送データのMSB/LSB先頭切り替え可能（UART0のみ）

○送信データの出力レベル反転機能（UART0のみ）

○Sync Break Field送信は13-20ビット選択可能（UART0のみ）

○Sync Break Field受信は11ビット以上識別可能（SBF受信フラグあり（UART0のみ））

○専用ボー・レート・ジェネレータ内蔵

注　UART0のみASCK0端子（外部クロック入力）を持っています。

備考　n = 0-2

16.3 構　　成

表16－1　UARTの構成

項　　目	構　　成
レジスタ	受信バッファ・レジスタn（RXBn） 送信バッファ・レジスタn（TXBn） 受信シフト・レジスタ 送信シフト・レジスタ アシンクロナス・シリアル・インタフェース・モード・レジスタn（ASIMn） アシンクロナス・シリアル・インタフェース・ステータス・レジスタn（ASISn） アシンクロナス・シリアル・インタフェース送信ステータス・レジスタn（ASIFn） LIN動作制御レジスタ0（ASICL0）
その他	受信制御パリティ・チェック 送信制御パリティ付加

備考　n = 0-2

UARTnは，図16－2のように構成されています。

(1) アシンクロナス・シリアル・インタフェース・モード・レジスタn（ASIMn）

ASIMnレジスタは，UARTnの動作を指定する8ビット・レジスタです。

(2) アシンクロナス・シリアル・インタフェース・ステータス・レジスタn（ASISn）

ASISnレジスタは，受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット（1）され，ASISnレジスタの読み出しによってクリア（0）されます。

(3) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタn（ASIFn）

ASIFnレジスタは，送信時のステータスを示す8ビット・レジスタです。

TXBnレジスタのデータ保持状態を示す送信バッファ・データ・フラグと送信中であることを示す送信シフト・レジスタ・データ・フラグから構成されます。

(4) LIN動作制御レジスタ0（ASICL0）

ASICL0レジスタは，SBF送受信および送信時の出力方式を制御する8ビット・レジスタです。

ASICL0レジスタは，UART0だけに有効です。

(5) 受信制御パリティ・チェック

ASIMnレジスタに設定された内容に従って，受信動作を制御します。また，受信動作時にパリティ・エラーなどのチェックも行い，エラーが検出された場合は，エラー内容に応じた値をASISnレジスタにセットします。

(6) 受信シフト・レジスタ

RXDn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信し，ストップ・ビットを検出すると，受信データをRXBnレジスタへ転送します。

このレジスタは直接操作することはできません。

(7) 受信バッファ・レジスタn（RXBn）

RXBnレジスタは，受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます。

受信許可状態中は，受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタからRXBnレジスタに転送されます。

また，RXBnレジスタへの転送により，受信完了割り込み要求信号（INTSRn）が発生します。

(8) 送信シフト・レジスタ

送信シフト・レジスタは，TXBnレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

TXBnレジスタから1バイト分のデータが転送されると，シフト・レジスタのデータをTXDn端子から出力します。

1フレームの送出終了時に同期して送信完了割り込み要求信号（INTSTn）を発生します。

このレジスタは直接操作することはできません。

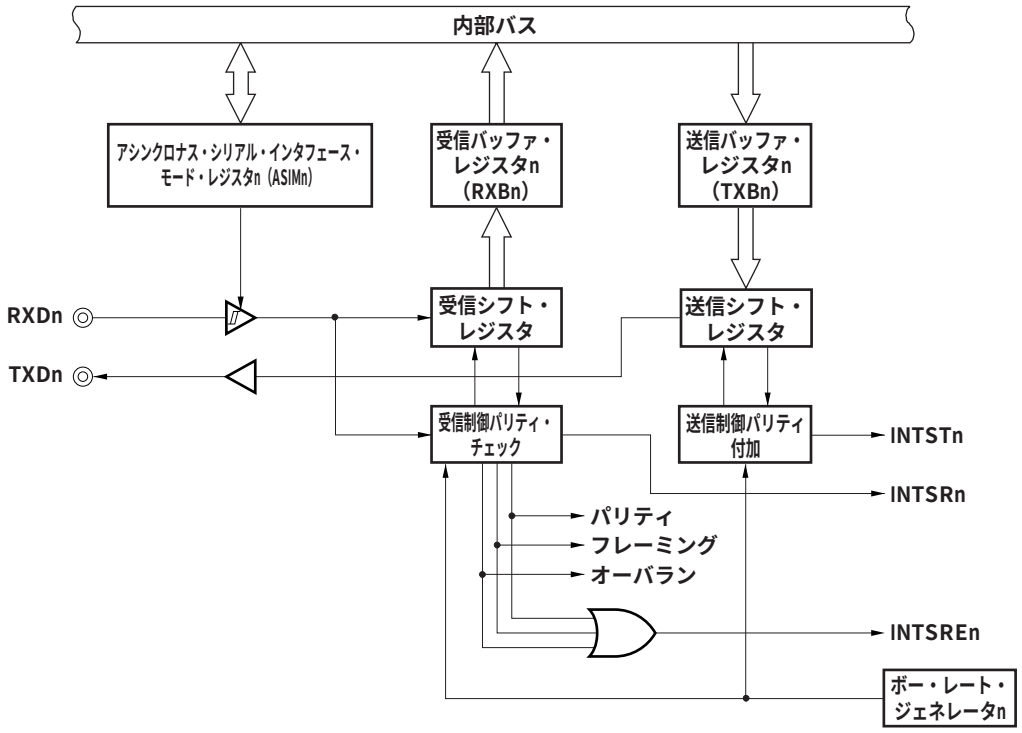
(9) 送信バッファ・レジスタn（TXBn）

TXBnレジスタは，8ビットの送信データ用バッファです。TXBnレジスタへ送信データを書き込むことにより，送信動作が開始されます。

(10) 送信制御パリティ付加

ASIMnレジスタに設定された内容に従って，TXBnレジスタに書き込まれたデータにスタート・ビット，パリティ・ビット，ストップ・ビットを付加するなどして，送信動作の制御を行います。

図16－2　UARTnのブロック図



備考　ボー・レート・ジェネレータnの構成は図16－17を参照してください。

16. 4　レジスタ

（1）アシンクロナス・シリアル・インタフェース・モード・レジスタn（ASIMn）

ASIMnレジスタは，UARTnの転送動作を制御する8ビットのレジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより01Hになります。

注意1.　UARTnを使用する場合には，必ずUARTn機能に関連する外部端子をコントロール・モードに設定したあと，CKSRn, BRGCnレジスタの設定を行ってから，UARTEnビットをセット（1）してください。そのあとに，ほかのビットの設定を行ってください。

2.　RXDn端子にハイ・レベルが入力された状態で，UARTEnビット = 1, RXEnビット = 1と設定してください。ロウ・レベルのときにUARTEnビット = 1, RXEnビット = 1と設定すると，受信を開始してしまいます。

（1/2）

リセット時：01H　R/W　アドレス：ASIM0 FFFFFA00H, ASIM1 FFFFFA10H, ASIM2 FFFFFA20H

	⑦	⑥	⑤	4	3	2	1	0
ASIMn	UARTEn	TXEn	RXEn	PSn1	PSn0	CLn	SLn	ISRMn

（n = 0-2）

UARTEn	動作クロックを制御
0	UARTnへのクロック供給を停止
1	UARTnへクロックを供給

・UARTEnビットをクリア（0）すると，UARTnを非同期にリセット注します。
・UARTEnビット = 0の場合は，UARTnはリセット状態なので，UARTnを動作させる場合には，まずUARTEnビットをセット（1）してください。
・UARTEnビットを1から0にクリアした場合は，UARTnのすべてのレジスタが初期化されます。再度UARTEnビットをセット（1）する場合には，必ずUARTnのレジスタを再設定してください。

TXDn端子の出力は，送信禁止状態の場合，UARTEnビットの設定にかかわらずハイ・レベルになります。

TXEn	送信許可／禁止を指定
0	送信禁止
1	送信許可

・起動時はUARTEnビットをセット（1）してから，TXEnビットをセット（1）してください。また，停止時はTXEnビットをクリア（0）してから，UARTEnビットをクリア（0）してください。
・送信ユニットを初期化する場合は，TXEnビットをクリア（0）して，Clock（基本クロック）の2周期分の時間を経過してから，再びTXEnビットをセット（1）しなければ，状態の初期化ができない場合があります（基本クロックについては16. 7. 1（1）基本クロック（Clock）参照）。

注　リセットされるのはASISn, ASIFn, RXBnレジスタです。

（2/2）

RXEn	受信許可／禁止を指定
0	受信禁止[注]
1	受信許可
・起動時はUARTEnビットをセット（1）してから，RXEnビットをセット（1）してください。また，停止時は，RXEnビットをクリア（0）してから，UARTEnビットをクリア（0）してください。 ・受信ユニットの状態を初期化する場合は，RXEnビットをクリア（0）して，Clock（基本クロック）の2周期分の時間を経過してから，再びRXEnビットをセット（1）しなければ，状態の初期化ができない場合があります（基本クロックについては16. 7. 1（1）基本クロック（Clock）参照）。	

PSn1	PSn0	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う
・PSn1, PSn0ビットを書き換えるときは，TXEn, RXEnビットをクリア（0）してから行ってください。 ・受信時に「0パリティ」を選択した場合，パリティ判定を行いません。したがって，ASISnレジスタのPEnビットはセットされないため，エラー割り込みも発生しません。			

CLn	送受信データ1フレームのキャラクタ長指定
0	7ビット
1	8ビット
・CLnビットを書き換えるときは，TXEn, RXEnビットをクリア（0）してから行ってください。	

SLn	送信データのストップ・ビット長指定
0	1ビット
1	2ビット
・SLnビットを書き換えるときは，TXEnビットをクリア（0）してから行ってください。 ・受信は常に「ストップ・ビット長 = 1」として動作するので，SLnビットの設定は受信動作に影響を与えません。	

ISRMn	エラー発生時の受信完了割り込み要求信号発生許可／禁止を指定
0	エラー発生時の割り込みとして，受信エラー割り込み要求信号（INTSREn）を発生する。 この場合，受信完了割り込み要求信号（INTSRn）は発生しません。
1	エラー発生時の割り込みとして，受信完了割り込み要求信号（INTSRn）を発生する。 この場合，受信エラー割り込み要求信号（INTSREn）は発生しません。
・ISRMnビットを書き換えるときは，RXEnビットをクリア（0）してから行ってください。	

注　受信禁止時は，受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理，RXBnレジスタへの転送処理は行わず，RXBnレジスタの内容は保持されます。
受信許可状態中は，スタート・ビットの検出に同期して受信シフト動作を開始し，1フレーム分の受信を終了すると受信シフト・レジスタの内容をRXBnレジスタに転送します。
また，RXBnレジスタへの転送に同期して，受信完了割り込み要求信号（INTSRn）を発生します。

(2) アシンクロナス・シリアル・インタフェース・ステータス・レジスタn（ASISn）

ASISnレジスタは，UARTnの受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ（PEn, FEn, OVEn）で構成されてます。

ASISnレジスタは，読み出しにより00Hにクリアされます。受信エラーが発生した場合は，ASISnレジスタを読み出したあと，RXBnレジスタを読み出し，エラー・フラグをクリアしてください。

8ビット単位でリードだけ可能です。

リセットにより00Hになります。

注意1. ASIMn.UARTEn, RXEnビットを0に設定したとき，またはASISnレジスタを読み出したとき，PEn, FEn, OVEnビットはクリア（0）されます。

2. ビット操作命令による操作は禁止です。

★ 3. 次に示す状態において，ASISnレジスタへのアクセスは禁止です。詳細は3. 4. 8（1）（b）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：00H　R　アドレス：ASIS0 FFFFFA03H, ASIS1 FFFFFA13H, ASIS2 FFFFFA23H

	7	6	5	4	3	2	1	0
ASISn	0	0	0	0	0	PEn	FEn	OVEn

（n = 0-2）

PEn	パリティ・エラーを示すステータス・フラグ
0	UARTEnビット = 0またはRXEnビット = 0に設定したとき，または，ASISnレジスタをリードしたあと
1	受信完了時，受信データのパリティとパリティ・ビットが一致しないとき
・PEnビットの動作は，ASIMn.PSn1, PSn0ビットの設定値により異なります。	

FEn	フレーミング・エラーを示すステータス・フラグ
0	UARTEnビット = 0またはRXEnビット = 0に設定したとき，または，ASISnレジスタをリードしたあと
1	受信完了時，ストップ・ビットが検出されないとき
・受信データのストップ・ビットは，ストップ・ビット長に関係なく最初の1ビットだけをチェックします。	

OVEn	オーバラン・エラーを示すステータス・フラグ
0	UARTEnビット = 0またはRXEnビット = 0に設定したとき，または，ASISnレジスタをリードしたあと
1	RXBnレジスタの受信データを読み出す前に，UARTnが次の受信動作を完了したとき
・オーバラン・エラーが発生した場合，次の受信データはRXBnレジスタに書き込まれず，データは破棄されます。	

(3) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタn（ASIFn）

ASIFnレジスタは，送信時のステータスを示すレジスタです。2ビットのステータス・フラグで構成されています。

TXBnレジスタから送信シフト・レジスタへデータが転送されたあとに，次のデータをTXBnレジスタに書き込むことで，割り込み期間中も途切れることなく送信を続けることができます。連続して送信を行う場合には，TXBnレジスタへの誤った書き込みを防止するために，TXBFnビットを参照してから書き込みを行ってください。

8/1ビット単位でリードだけ可能です。

リセットにより00Hになります。

リセット時：00H　R　**アドレス：**ASIF0 FFFFFA05H, ASIF1 FFFFFA15H, ASIF2 FFFFFA25H

	7	6	5	4	3	2	①	⓪
ASIFn	0	0	0	0	0	0	TXBFn	TXSFn

（n = 0-2）

TXBFn	送信バッファ・データ・フラグ
0	TXBnレジスタに次に転送すべきデータが存在しない（ASIMn.UARTEnビット = 0またはTXEnビット = 0に設定したとき，または送信シフト・レジスタにデータを転送したとき）
1	TXBnレジスタに次に転送すべきデータが存在する（TXBnレジスタにデータを書き込んだとき）
・連続送信を行う場合は，必ずこのフラグが“0”であることを確認してからTXBnレジスタに書き込んでください。このフラグが“1”のときにTXBnレジスタにデータを書き込んだ場合の送信データは保証できません。	

TXSFn	送信シフト・レジスタ・データ・フラグ（UARTnの送信状態を示します。）
0	初期状態または送信待ち（UARTEnビット = 0またはTXEnビット = 0に設定したとき，または送信完了後にTXBnレジスタから次のデータ転送がなかったとき）
1	送信中（TXBnレジスタからデータ転送されたとき）
・送信ユニットを初期化する場合は，送信完了割り込み要求信号（INTSTn）発生後に，必ずこのフラグが“0”であることを確認してから初期化を実行してください。このフラグが“1”のときに初期化を実行した場合の送信データは保証できません。	

（4）受信バッファ・レジスタn（RXBn）

RXBnレジスタは，受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

受信許可状態のとき（ASIMn.RXEnビット = 1），受信データは1フレーム分のシフト・イン処理終了時に同期して，受信シフト・レジスタからRXBnレジスタに転送されます。また，RXBnレジスタへの転送により，受信完了割り込み要求信号（INTSRn）が発生します。発生するタイミングについては16. 6. 4　受信動作を参照してください。

受信禁止状態のとき（ASIMn.RXEnビット = 0），1フレーム分のシフト・イン処理が終了してもRXBnレジスタへの転送は処理されず，RXBnレジスタの内容は保持されます。また，INTSRn信号も発生しません。

データ長を7ビットに指定した場合，受信データはRXBnレジスタのビット6-0に転送され，MSB（ビット7）は必ず0になります。また，オーバラン・エラー（ASISn.OVEnビット = 1）が発生した場合，そのときの受信データはRXBnレジスタに転送されません。

リセットおよびASIMn.UARTEnビット = 0によっても，RXBnレジスタはFFHになります。

8ビット単位でリードだけ可能です。

リセット時：FFH　R　アドレス：RXB0 FFFFFA02H, RXB1 FFFFFA12H, RXB2 FFFFFA22H

	7	6	5	4	3	2	1	0
RXBn	RXBn7	RXBn6	RXBn5	RXBn4	RXBn3	RXBn2	RXBn1	RXBn0

（n = 0-2）

（5）送信バッファ・レジスタn（TXBn）

TXBnレジスタは，送信データを設定するための8ビット・バッファ・レジスタです。

送信許可状態のとき（ASIMn.TXEnビット = 1），TXBnレジスタにデータを書き込むことで送信動作が開始されます。

送信禁止状態のとき（TXEnビット = 0），TXBnレジスタにデータを書き込んでも値は無視されます。

TXBnレジスタのデータが送信シフト・レジスタに転送され，送信シフト・レジスタから1フレーム分の送信終了に同期して送信完了割り込み要求信号（INTSTn）を発生します。発生するタイミングについては16. 6. 2　送信動作を参照してください。

ASIFn.TXBFnビット = 1のときは，TXBnレジスタへの書き込みは行わないでください。

8ビット単位でリード／ライト可能です。

リセットによりFFHになります。

リセット時：FFH　R/W　アドレス：TXB0 FFFFFA04H, TXB1 FFFFFA14H, TXB2 FFFFFA24H

	7	6	5	4	3	2	1	0
TXBn	TXBn7	TXBn6	TXBn5	TXBn4	TXBn3	TXBn2	TXBn1	TXBn0

（n = 0-2）

（6）LIN動作制御レジスタ0（ASICL0）

ASICL0レジスタは，SBF送受信および送信時の出力方式を制御をする8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより16Hになります。

注意1.　ASICL0レジスタはUART0のみ有効です。UART1, UART2にはありません。

★　2.　通信動作中（ASIM0.UARTE0ビット = 1，かつASIM0.TXE0ビット = 1または，ASIM0.UARTE0ビット = 1，かつASIM0.RXE0ビット = 1）に，ソフトウエアでASICL0への同値書き込みは可能です。ただし，SBF受信中（ASICL0.SBRF0ビット = 1）またはSBF送信中（ASICL0.SBTT0ビットをセット（1）後からINTST0割り込み信号発生までの間）に，同値書き込み動作でASICL0.SBRT0ビット = 1または，ASICL0.SBTT0ビット = 1に設定すると，SBF受信，SBF送信の再トリガ要因となるため，同値書き込みをしないでください。

（1/2）

リセット時：16H　R/W　アドレス：FFFFFA08H

	⑦	⑥	5	4	3	2	①	0
ASICL0	SBRF0注	SBRT0	SBTT0	SBL02	SBL01	SBL00	UDIR0	TXDLV0

SBRF0注	SBF受信状態フラグ
0	ASIM0.UARTE0ビット = 0およびASIM0.RXE0ビット = 0に設定したとき，またはSBF受信が正常終了したとき
1	SBF受信中

SBRT0	SBF受信トリガ
0	－
1	受信トリガ

SBTT0	SBF送信トリガ
0	－
1	送信トリガ

注　SBRF0ビットはリード・オンリーです。

（2/2）

SBL02	SBL01	SBL00	SBF送信出力幅制御
1	0	1	SBFは13ビット長で出力（ディフォールト）
1	1	0	SBFは14ビット長で出力
1	1	1	SBFは15ビット長で出力
0	0	0	SBFは16ビット長で出力
0	0	1	SBFは17ビット長で出力
0	1	0	SBFは18ビット長で出力
0	1	1	SBFは19ビット長で出力
1	0	0	SBFは20ビット長で出力

UDIR0	先頭ビットの指定
0	MSB
1	LSB

TXDLV0	TXD0端子出力反転許可／禁止
0	TXD0端子通常出力
1	TXD0端子反転出力

★ **注意**1.　SBF受信エラー時は，再びSBF受信モードに戻ります。ASICL0.SBRF0ビットの状態は保持（1）されます。

★ 2.　ASICL0.SBRT0ビットは，ASIM0.UARTE0ビット = 1，かつASIM0.RXE0ビット = 1としてからセット（1）にしてください。また，セット（1）後，SBF受信が終了（割り込み要求信号が発生）する前に，ASICL0.SBRT0ビットをクリア（0）しないでください。

★ 3.　ASICL0.SBRT0ビットのリード値は常に0です。SBF受信正常終了後，ASICL0.SBRT0ビットは自動的にクリア（0）されます。

★ 4.　ASICL0.SBTT0ビットは，ASIM0.UARTE0ビット = 1，かつASIM0.TXE0ビット = 1としてからセット（1）にしてください。また，セット（1）後，SBF送信が終了（割り込み要求信号が発生）する前に，ASICL0.SBTT0ビットをクリア（0）しないでください。

★ 5.　ASICL0.SBTT0ビットのリード値は常に0です。SBF送信終了後，ASICL0.SBTT0ビットは自動的にクリア（0）されます。

★ 6.　ASICL0.UDIR0, ASICL0.TXDLV0ビットを書き換えるときは，ASIM0.TXE0, ASIM0.RXE0ビットをクリア（0）にしてから行ってください。

（7）セレクタ動作制御レジスタ 0（SELCNT0）

SELCNT0**レジスタは，**TM01**のキャプチャ・トリガを選択する**8**ビットのレジスタです。**

LIN**使用時に**SELCNT0.ISEL00 = 1（RXD0**端子を選択）を設定すると，ボー・レート誤差を計算するための転送レートを**TM01**にて調べられます。**

8/1**ビット単位でリード／ライト可能です。**

リセットにより00H**になります。**

リセット時：00H　R/W　**アドレス：**FFFFF308H

	7	6	5	4	3	2	1	0
SELCNT0	0	0	0	0	0	0	0	ISEL00

ISEL00	TM01**のキャプチャ・トリガ（**TM010**）の選択**
0	TI010（P35）**端子を選択**
1	RXD0（P31）**端子を選択**

16. 5　割り込み要求信号

UARTnからは次の3種類の割り込み要求信号を発生します。

・受信エラー割り込み要求信号（INTSREn）
・受信完了割り込み要求信号（INTSRn）
・送信完了割り込み要求信号（INTSTn）

これら3種類の割り込み要求信号のディフォールト優先順位は受信エラー割り込みが最も高く，受信完了割り込み，送信完了割り込みの順に低くなります。

表16－2　発生する割り込み要求信号とディフォールト優先順位

割り込み要求信号	優先順位
受信エラー割り込み要求信号（INTSREn）	1
受信完了割り込み要求信号（INTSRn）	2
送信完了割り込み要求信号（INTSTn）	3

(1) 受信エラー割り込み要求信号（INTSREn）

受信許可状態中で，ASISnレジスタで説明した3種類の受信エラーの論理和（OR）でINTSREn信号を発生します。ASIMn.ISRMnビットにより，エラー発生時にINTSREn信号を発生させるか，INTSRn信号を発生させるかを指定できます。

受信禁止状態中は，INTSREn信号は発生しません。

(2) 受信完了割り込み要求信号（INTSRn）

受信許可状態中で，受信シフト・レジスタにデータがシフト・インされRXBnレジスタに転送されると，INTSRn信号が発生します。

INTSRn信号は，ISRMnビットにより，受信エラーが起こった場合にも，INTSREn信号の代わりとして発生させることができます。

受信禁止状態中は，INTSRn信号は発生しません。

(3) 送信完了割り込み要求信号（INTSTn）

送信シフト・レジスタから7ビット／8ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされると，INTSTn信号を発生します。

16. 6　動　　作

16. 6. 1　データ・フォーマット

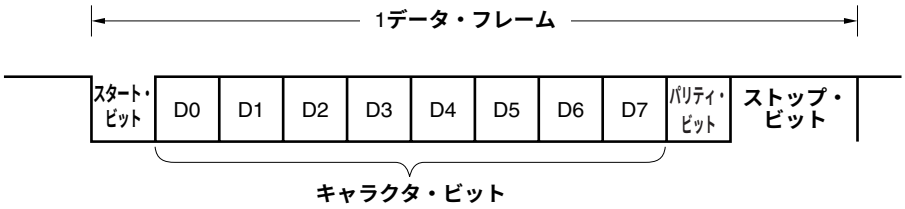
全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図16－3に示すとおり，スタート・ビット，キャラクタ・ビット，パリティ・ビット，ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定，パリティ選択，ストップ・ビット長の指定は，ASIMnレジスタによって行います。

また，データはLSBファーストで転送します。

図16－3　UARTnの送受信データのフォーマット



・スタート・ビット　……　1ビット
・キャラクタ・ビット　…　7ビット／8ビット
・パリティ・ビット　……　偶数パリティ／奇数パリティ／0パリティ／パリティなし
・ストップ・ビット　……　1ビット／2ビット

16. 6. 2　送信動作

ASIMn.UARTEnビットをセット（1）することにより，TXDn端子はハイ・レベルを出力します。

次にASIMn.TXEnビットをセット（1）すると送信許可状態になり，TXBnレジスタに送信データを書き込むと送信動作が起動します。

（1）送信許可状態

TXEnビットで設定します。

- TXEnビット = 1：送信許可状態
- TXEnビット = 0：送信禁止状態

なお，UARTnにはCTS（送信許可信号）入力端子がないので，相手側が受信許可状態かを確認するときはポートを使用してください。

（2）送信動作の起動

送信許可状態では，TXBnレジスタに送信データを書き込むと送信動作が起動します。送信動作の開始により，TXBnレジスタ内のデータが送信シフト・レジスタに転送されます。そのあと，送信シフト・レジスタはTXDn端子にデータを出力します（スタート・ビットから順に送信されます）。スタート・ビット，パリティ・ビット，ストップ・ビットは自動的に付加されます。

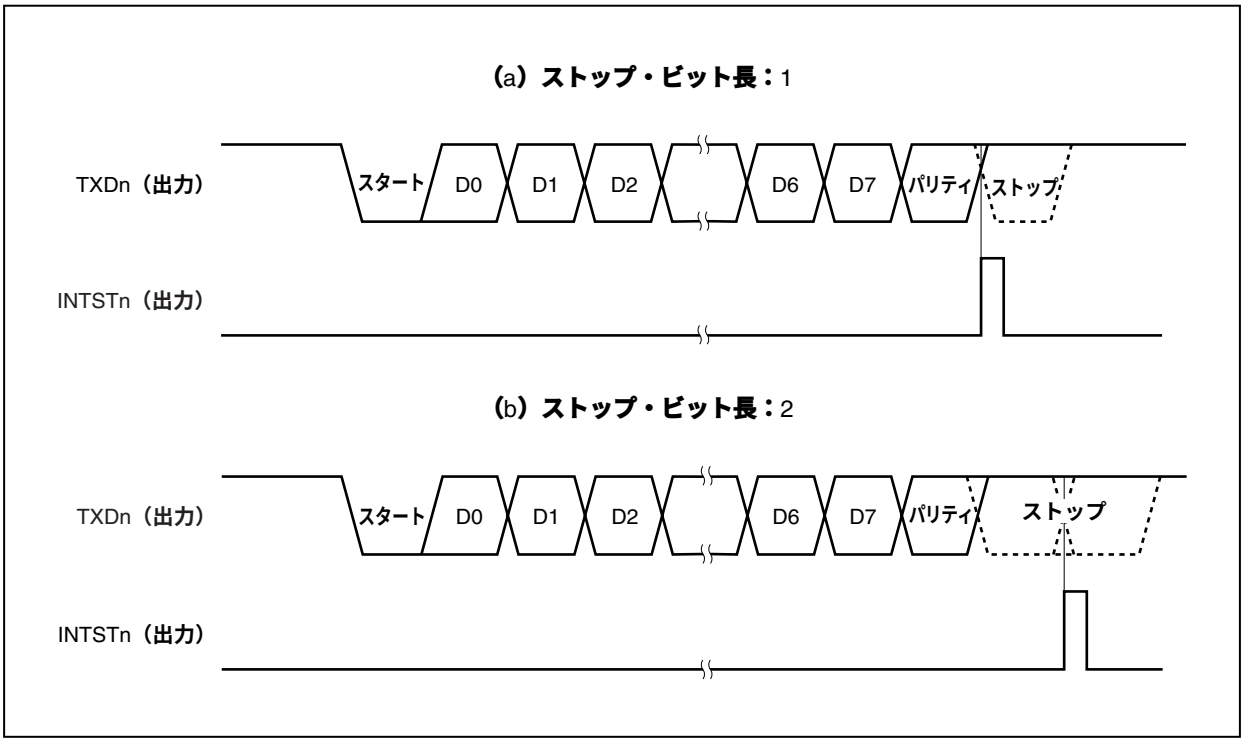
（3）送信割り込み

送信シフト・レジスタが空になると送信完了割り込み要求信号（INTSTn）が発生します。ストップ・ビット長の指定により，INTSTn信号の発生タイミングが異なります。INTSTn信号は，最後のストップ・ビット出力と同時に発生します。

次に送信するデータをTXBnレジスタに書き込まなければ，送信動作は中断されます。

注意　通常，送信シフト・レジスタが空になったときにINTSTn信号が発生します。しかし，リセットにより送信シフト・レジスタが空になった場合，INTSTn信号は発生しません。

図16ー4　UARTn送信完了割り込みタイミング



16. 6. 3　連続送信動作

UARTnは，送信シフト・レジスタがシフト動作を開始した時点で，次の送信データをTXBnレジスタへ書き込むことができます。これにより，1データ・フレーム送信後の送信完了割り込み処理時でも連続送信することができ，効率的な通信レートを実現できます。また，送信完了割り込み要求信号（INTSTn）発生後にASIFn.TXSFnビットを読み出すことにより，1データ・フレームの送信時間を待つことなく効率的に2回（2バイト）のTXBnレジスタへの書き込みができます。

連続送信する場合は，必ずASIFnレジスタを参照し，送信状態とTXBnレジスタへの書き込み可否を確認してから，データの書き込みを行ってください。

注意　連続送信でASIFn.TXBFn, TXSFnビットは，「10」→「11」→「01」と変化します。そのため，ステータスを確認する場合は，TXBFn, TXSFnビットの組み合わせで判断しないでください。
連続送信を行う場合はTXBFnビットのみを読み出してください。

TXBFn	TXBnレジスタへの書き込み可否
0	書き込み可
1	書き込み不可

注意　連続送信を行う場合は，最初の送信データ（1バイト目）をTXBnレジスタに書き込んだあと，必ずTXBFnビットが“0”であることを確認してから次の送信データ（2バイト目）をTXBnレジスタに書き込んでください。TXBFnビットが“1”のときにTXBnレジスタにデータを書き込んだ場合の送信データは保証できません。

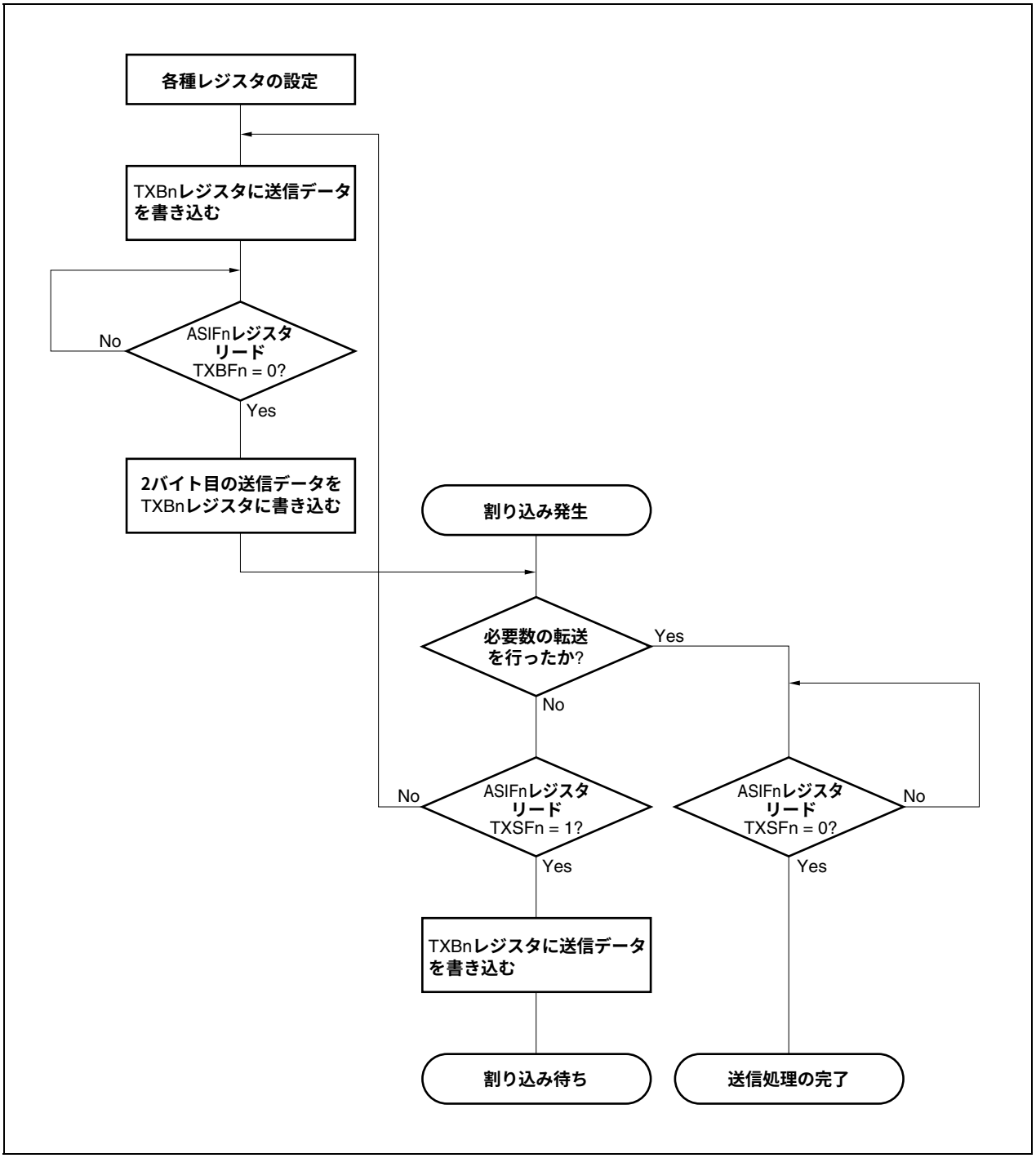
TXSFnビットで，通信状態を確認することができます。

TXSFn	送信状態
0	送信が終了しています。
1	送信中です。

注意1.　連続送信完了時に送信ユニットを初期化する場合は，送信完了割り込み発生後に，必ずTXSFnビットが“0”であることを確認してから初期化を実行してください。TXSFnビットが“1”のときに初期化を実行した場合の送信データは保証できません。

2.　連続送信時には，1データ・フレーム送信後のINTSTn割り込み処理を実行する前に次の送信が完了してしまうオーバラン・エラーが発生する可能性があります。オーバラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSFnビットを参照することで検出できます。

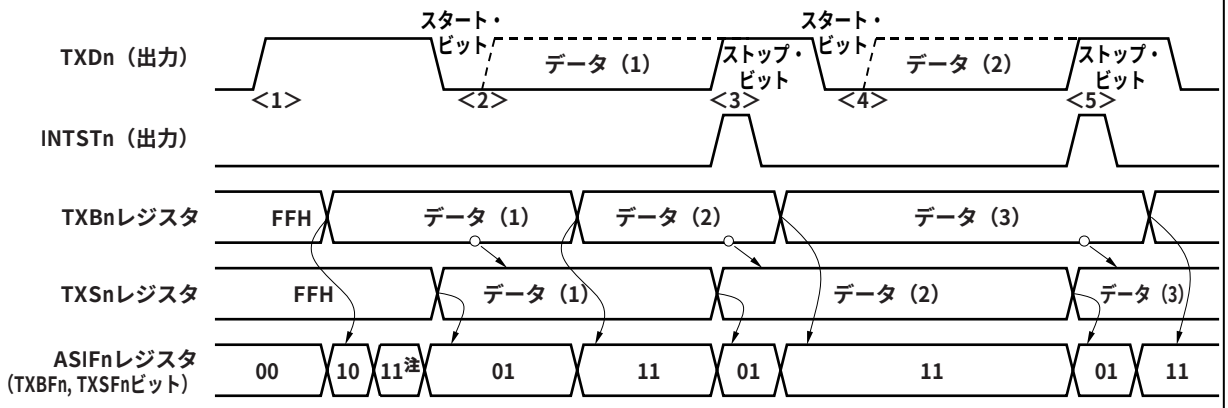
図16－5　連続送信の処理フロー



（1）開始手順

連続送信を開始する手順を次に示します。

図16－6　連続送信の開始手順



注　16. 8　注意事項（2）を参照してください。

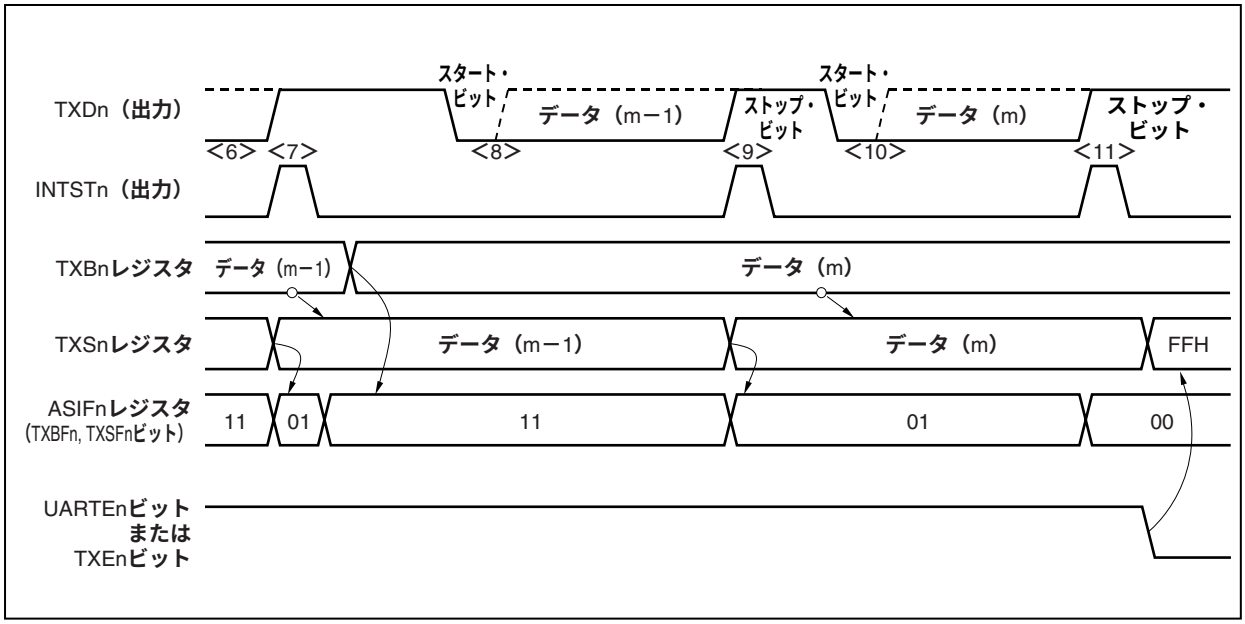
送信開始手順	内部動作	ASIFnレジスタ	
		TXBFn	TXSFn
●送信モード設定	<1> 送信ユニットの起動	0	0
●データ（1）の書き込み →	→	1	0
	<2> スタート・ビットの生成	1	1注
		0	1
	データ（1）送信スタート →	0	1
●ASIFnレジスタのリード（TXBFnビット = 0を確認する）←	←	0	1
●データ（2）の書き込み →	→	1	1
	<<送信中>>		
	<3> INTSTn割り込み発生 →	0	1
●ASIFnレジスタのリード（TXBFnビット = 0を確認する）←	←	0	1
●データ（3）の書き込み →	→	1	1
	<4> スタート・ビットの生成		
	データ（2）送信スタート		
	<<送信中>>		
	<5> INTSTn割り込み発生 →	0	1
●ASIFnレジスタのリード（TXBFnビット = 0を確認する）←	←	0	1
●データ（4）の書き込み →	→	1	1

注　16. 8　注意事項（2）を参照してください。

(2) 終了手順

連続送信を終了する手順を次に示します。

図16－7　連続送信の終了手順



送信終了手順	内部動作	ASIFnレジスタ	
		TXBFn	TXSFn
	<6> データ（m－2）の送信中	1	1
	<7> INTSTn割り込み発生 →	0	1
●ASIFnレジスタのリード（TXBFnビット = 0を確認する）←		0	1
●データ（m）の書き込み →		1	1
	<8> スタート・ビットの生成 データ（m－1）送信スタート <<送信中>>		
	<9> INTSTn割り込み発生 →	0	1
●ASIFnレジスタのリード（TXSFnビット = 1を確認する）←		0	1
書き込みデータはなし			
	<10> スタート・ビットの生成 データ（m）送信スタート <<送信中>>		
	<11> INTSTn割り込み発生 →	0	0
●ASIFnレジスタのリード（TXSFnビット = 0を確認する）←		0	0
●UARTEnビットまたはTXEnビットをクリア（0）	内部回路の初期化		

16. 6. 4　受信動作

ASIMn.UARTEnビットをセット（1）し，次にASIMn.RXEnビッをセット（1）することにより，受信待ち状態になります。受信動作を開始するには，まず，RXDn端子の立ち下がりを検出すると立ち下がりエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDn端子がロウ・レベルであれば，スタート・ビットと認識します。受信動作を開始すると，設定されたボー・レートにあわせて，シリアル・データを順に受信シフト・レジスタに格納していきます。1フレームのデータ受信が終了するごとに受信完了割り込み要求信号（INTSRn）が発生します。通常，この割り込み処理でRXBnレジスタからメモリに受信データを転送します。

(1) 受信許可状態

受信動作はRXEnビットをセット（1）することにより，受信許可状態となります。

- RXEnビット = 1：受信許可状態
- RXEnビット = 0：受信禁止状態

なお，受信禁止状態では受信ハードウエアは初期状態で待機します。このとき，受信完了割り込み／受信エラー割り込みは発生せず，RXBnレジスタの内容は保持されます。

(2) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

ボー・レート・ジェネレータn（BRGn）からのシリアル・クロックでRXDn端子をサンプリングします。

(3) 受信完了割り込み

RXEnビット = 1のとき，1フレーム分のデータの受信が完了（ストップ・ビットの検出）すると，INTSRn信号が発生すると同時に，受信シフト・レジスタ内の受信データをRXBnレジスタに転送します。

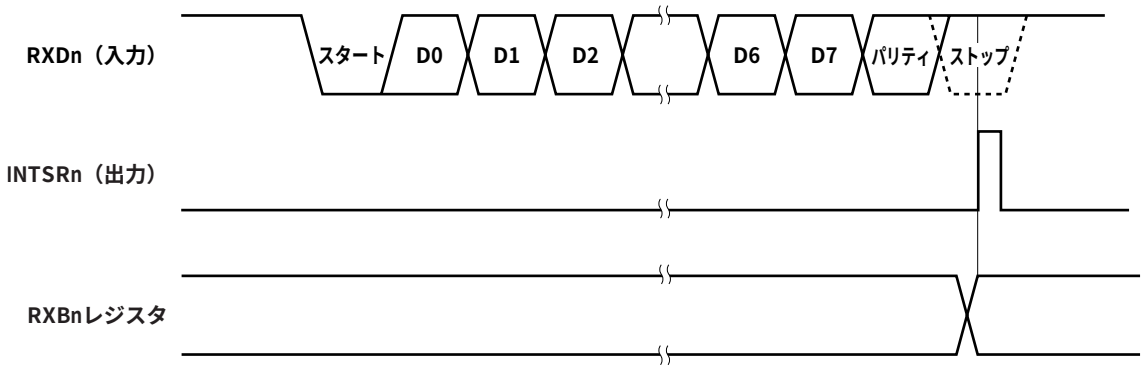
また，オーバラン・エラー（ASISn.OVEnビット = 1）が発生した場合，そのときの受信データは，RXBnレジスタに転送されず，ASIMn.ISRMnビットの設定に従って，INTSRn信号，または受信エラー割り込み要求信号（INTSREn）が発生します。

なお，受信動作中にパリティ・エラー（ASISn.PEnビット = 1），またはフレーミング・エラー（ASISn.FEnビット = 1）が発生した場合でも，ストップ・ビットの受信位置までは受信動作を継続し，受信完了後にISRMnビットの設定に従って，INTSRn信号またはINTSREn信号が発生します（受信シフト・レジスタ内の受信データはRXBnレジスタに転送されます）。

また，受信動作中にRXEnビットをクリア（0）すると，すぐに受信動作を停止します。このときRXBnレジスタとASISnレジスタの内容は変化せず，INTSRn信号またはINTSREn信号は発生しません。

RXEnビット = 0（受信禁止）では，INTSRn信号またはINTSREn信号は発生しません。

図16ー8　UARTn受信完了割り込みタイミング



注意1.　**受信エラー発生時にも**RXBn**レジスタは必ず読み出してください。**
RXBn**レジスタを読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。**

2.　**受信では，常にストップ・ビット長** = 1**として動作します。**
2**ビット目のストップ・ビットは，無視されます。**

16. 6. 5　受信エラー

受信動作時のエラーは，パリティ・エラー，フレーミング・エラー，オーバラン・エラーの3種類があります。データ受信の結果，ASISnレジスタの各フラグがセット（1）されると同時に，受信エラー割り込み要求信号（INTSREn），または受信完了割り込み要求信号（INTSRn）が発生します。INTSREn信号またはINTSRn信号のどちらかを発生させるかは，ASIMn.ISRMnビットで指定します。

INTSREn/INTSRn割り込み処理内で，ASISnレジスタの内容を読み出すことによって，受信時に発生したエラーの内容を検出することができます。

ASISnレジスタの内容は，ASISnレジスタの読み出しによってクリア（0）されます。

表16－3　受信エラーの要因

エラー・フラグ	受信エラー	要　　因
PEn	パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
FEn	フレーミング・エラー	ストップ・ビットが検出されない
OVEn	オーバラン・エラー	RXBnレジスタからデータを読み出す前に次のデータ受信が完了

（1）受信エラー割り込み要求信号の分離

ISRMnビットをクリア（0）することにより，受信エラー割り込み要求信号をINTSRn信号から分離し，INTSREn信号として発生させることができます。

図16－9　受信エラー割り込み要求信号をINTSRn信号から分離する場合（ISRMnビット = 0）

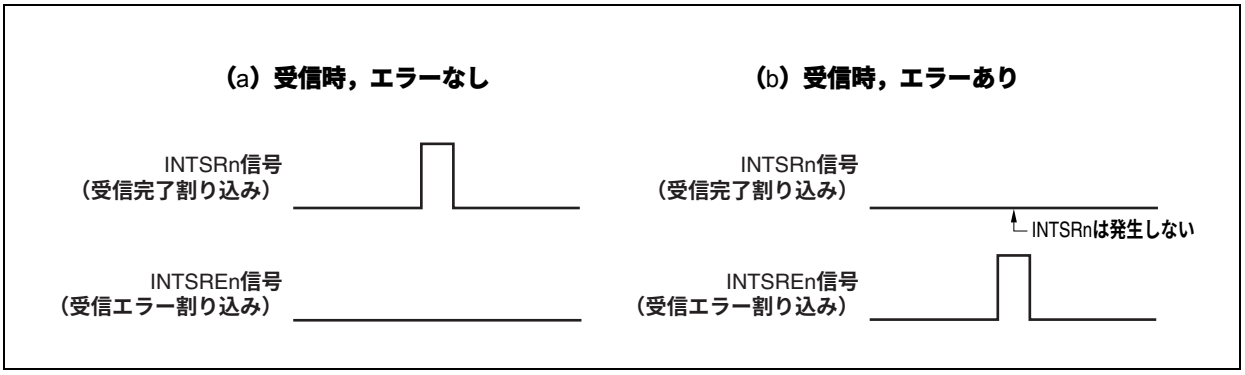
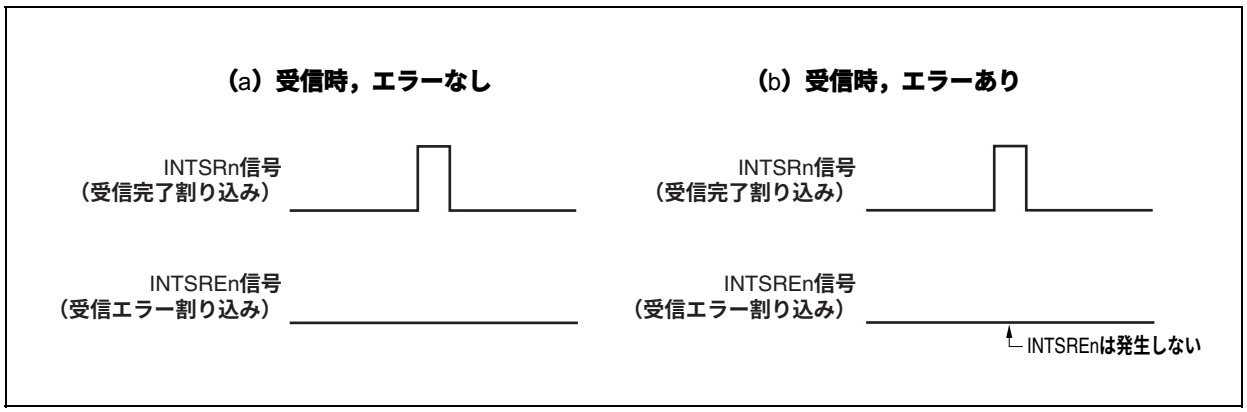


図16－10　受信エラー割り込み要求信号もINTSRn信号に含める場合（ISRMnビット = 1）



16. 6. 6　パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は，送信側と受信側のパリティ・ビットは同一の種類のものを使用します。

(1) 偶数パリティ

(i) 送信時

パリティ・ビットを含めた送信データ中の，値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

・送信データ中に，値が“1”のビット数が奇数個：1
・送信データ中に，値が“1”のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の，値が“1”のビット数をカウントし，奇数個であった場合にパリティ・エラーを発生します。

(2) 奇数パリティ

(i) 送信時

偶数パリティとは逆に，パリティ・ビットを含めた送信データ中の，値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

・送信データ中に，値が“1”のビット数が奇数個：0
・送信データ中に，値が“1”のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の，値が“1”のビット数をカウントし，偶数個であった場合にパリティ・エラーを発生します。

(3) 0パリティ

送信時には，送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって，パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(4) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。

16. 6. 7　受信データのノイズ・フィルタ

プリスケーラ部出力の基本クロック（f_{UCLK}）の立ち上がりでRXDn信号をサンプリングします。サンプリング値が同じ値を2回取ると，一致検出器の出力が変化し，入力データとしてサンプリングされます。したがって，1クロック幅以下のデータはノイズとして判断され，内部回路には伝わりません（図16－12参照）。基本クロックについては16. 7. 1（1）基本クロックを参照してください。

また，回路は図16－11のようになっているため，受信動作の内部での処理は，外部の信号状態により最大2クロック分遅れて動作することになります。

図16－11　ノイズ・フィルタ回路

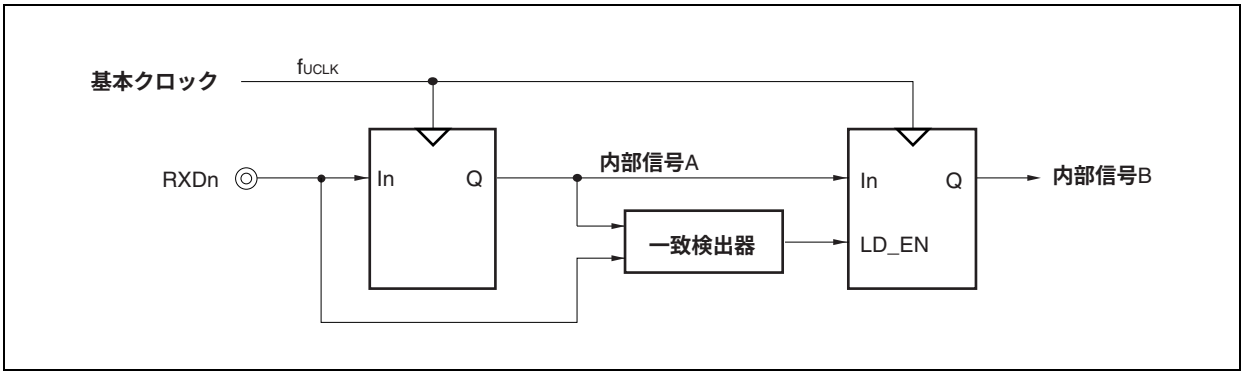
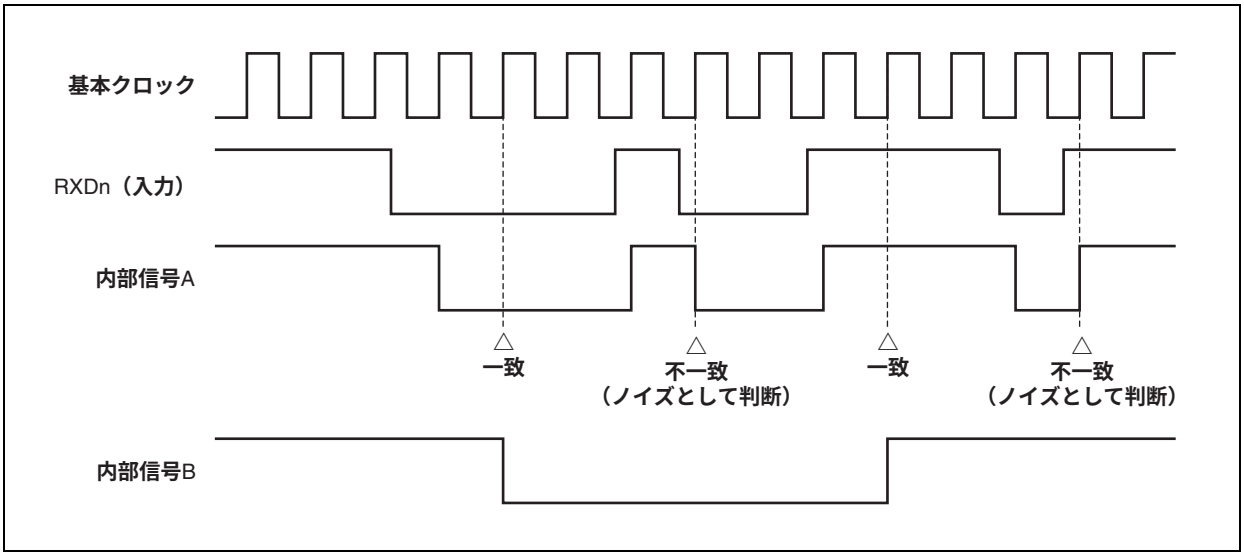


図16－12　ノイズとして判断されるRXDn信号のタイミング



16. 6. 8　SBF送受信（UART0のみ）

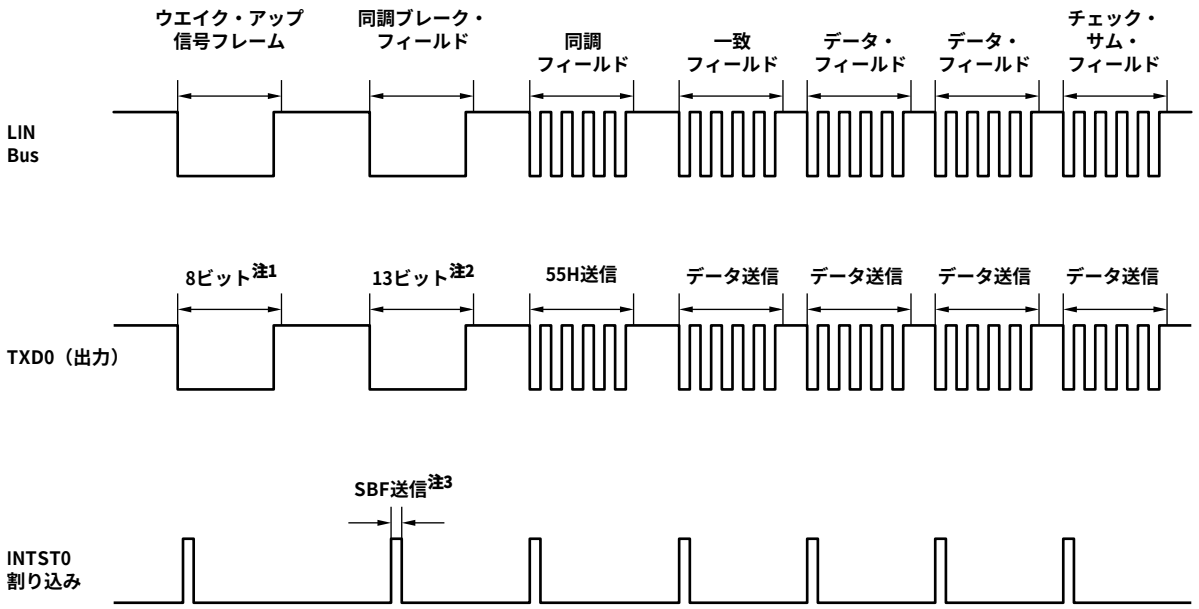
V850ES/KG1+のUART0には，LIN機能として使用するために，SBF（Sync Break Field）送信／受信制御機能があります。

備考　LINとは，Local Interconnect Networkの略称で，車載ネットワークのコストダウンを目的とする低速（1〜20 kbps）のシリアル通信プロトコルです。
LINの通信はシングル・マスタ通信で，1つのマスタに対し最大15のスレーブが接続可能です。
LINのスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらがLINのネットワークを介してLINのマスタに接続されます。
LINのマスタは通常，CAN（Controller Area Network）などのネットワークに接続されます。
また，LINバスはシングル・ワイヤ方式で，ISO9141に準拠したトランシーバを介して各ノードが接続されます。
LINのプロトコルでは，マスタはフレームにボー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため，スレーブのボー・レート誤差が±15 %以下であれば，通信可能です。

（1）SBF送信／受信フォーマット

LINの送信操作と受信操作の概略を，図16－13，図16－14に示します。

図16－13　LINの送信操作概略



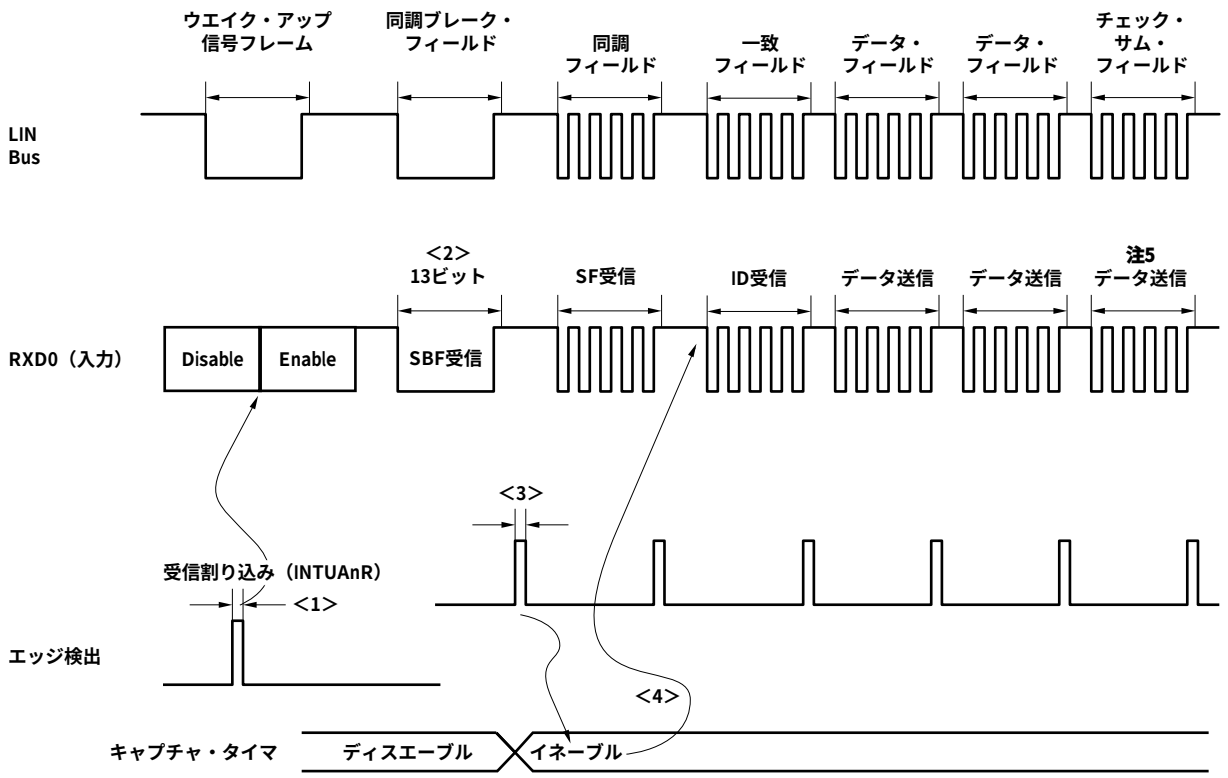
注1.　ウエイク・アップ信号フレームは，8ビット・モードの80H転送で代用します。

2.　SBFの出力はハードウエアで行います。出力幅はASICL0.SBL02-SBL00ビットで設定したビット長になります。さらに細かい出力幅調整が必要な場合は，BRG（16. 7　専用ボー・レート・ジェネレータn（BRGn）参照）の値で調整します。

3.　各送信開始時には送信完了割り込み要求信号（INTST0）を出力します。SBF送信開始時もINTST0信号を出力します。

備考　各フィールド間の間隔はソフトウエアで制御します。

図16－14　LINの受信操作概略



<1>ウエイク・アップ信号は，端子のエッジ検出器で行います。ウエイク・アップ信号によりUART0をイネーブルし，SBF受信モードに設定します。

<2>STOPビットの検出まで受信動作を行います。11ビット以上のSBF受信を検出したら，正常SBF受信終了と判断し，割り込み信号を出力します。11ビット以下のSBF受信を検出したら，SBF受信エラーと判断し，割り込み信号を出力せず，SBF受信モードに戻ります。

<3>正常にSBF受信を終了した場合，割り込み要求信号を出力します。SBF受信完了割り込みでタイマをイネーブルにします。また，ASIS0.PE0, FE0, OVE0ビットの各エラー検出は抑制され，UART通信のエラー検出処理，および受信シフト・レジスタとRXB0レジスタのデータ転送も行われません。受信シフト・レジスタは初期値のFFHを保持します。

<4>RXD0端子をタイマのTI（キャプチャ入力：16. 4（7）セレクタ動作制御レジスタ0（SELCNT0）参照）に接続し転送レートを計算し，ボー・レート誤差を算出します，SF受信後にUART0のイネーブルを落としてからボー・レート誤差を補正したBRG（16. 7　専用ボー・レート・ジェネレータn（BRGn）参照）の値を再セットし，受信状態にします。

<5>チェック・サム・フィールドの区別はソフトウエアで行います。CSF受信後にUART0を初期化し，再びSBF受信モードに設定する処理もソフトウエアにて行います。

★　(2) SBF送信

LINに搭載する場合，送信ではSBF（Sync Break Field）送信制御機能を使用します。LINの送信操作については図16－3　LINの送信操作概略を参照してください。

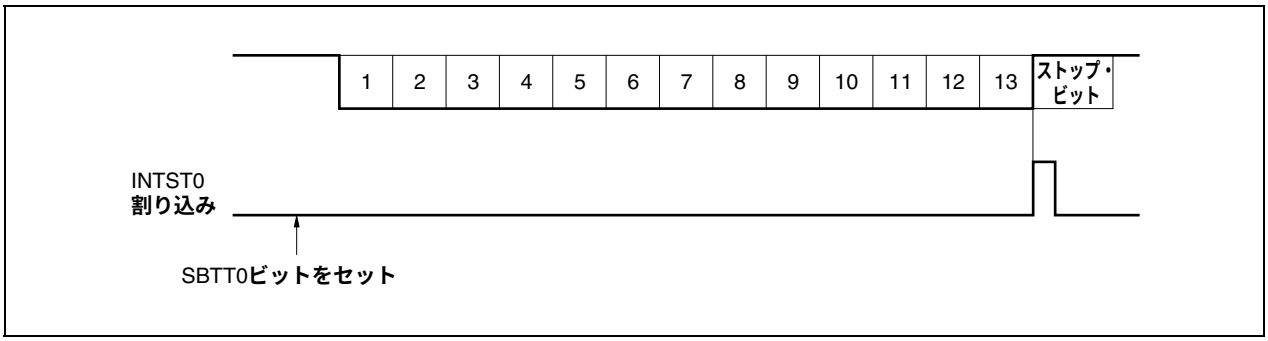
ASIM0.UARTE0ビットをセット（1）すると，TXD0端子からハイ・レベル出力されます。次にASIM0.TXE0ビットをセット（1）すると送信許可状態になり，ASICL0.SBTT0ビットをセット（1）することによりSBF送信動作は起動します。

起動後，13ビットから20ビットまでのロウ・レベル（ASICL0.SBL02-SBL00で設定）を出力します。SBF送信が完了すると，送信完了割り込み要求信号（INTST0）を発生し，ASICL0.SBTT0は自動的にクリアされます。SBF送信を終了後，通常送信モードに戻ります。

次に送信するデータをTXB0レジスタに書き込む，あるいはASICL0.SBTT0ビットをセット（1）するまで，送信動作は中断します。

図16－15　SBF送信

★



（3）SBF受信

ASIM0.UARTE0ビット = 1にして，次に，ASIM0.RXE0ビット = 1にすることにより，受信待ち状態になります。

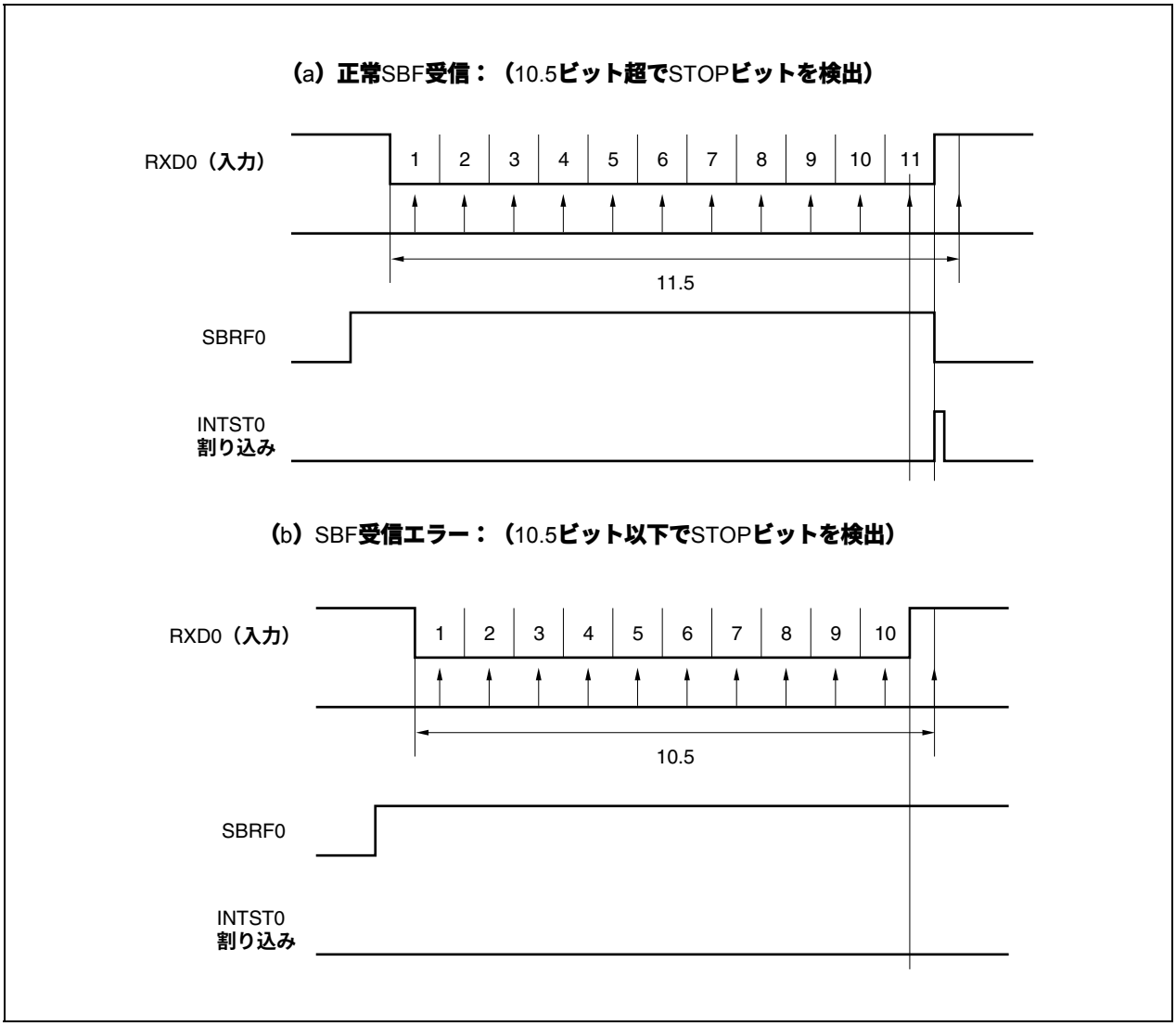
SBF受信トリガ（ASICL0.SBRT0ビット）をセット（1）することで，SBF受信待ち状態になります。

SBF受信待ち状態はUARTの受信待ち状態と同じくRXD0端子をモニタし，スタート・ビットの検出を行います。

スタート・ビットを検出したら，受信動作を開始し，設定されたボー・レートにあわせて，内蔵カウンタをカウント・アップします。

ストップ・ビットを受信したら，SBFの幅が11ビット長以上の場合，正常処理として，受信完了割り込み要求信号（INTSR0）を発生します。 ASICL0.SBRF0ビットは自動的にクリアされ，SBF受信を終了します。ASIS0.PE0, FE0, OVE0ビットの各エラー検出は抑制されUART通信のエラー検出処理は行われません。また，受信シフト・レジスタとRXB0レジスタのデータの転送も行われず，初期値のFFHを保持します。SBFの幅が10ビット長以下の場合，エラー処理として，割り込みを出さずに受信を終了し，再びSBF受信モードに戻ります。その際ASICL0.SBRF0ビットはクリアされません。

図16－16　SBF受信



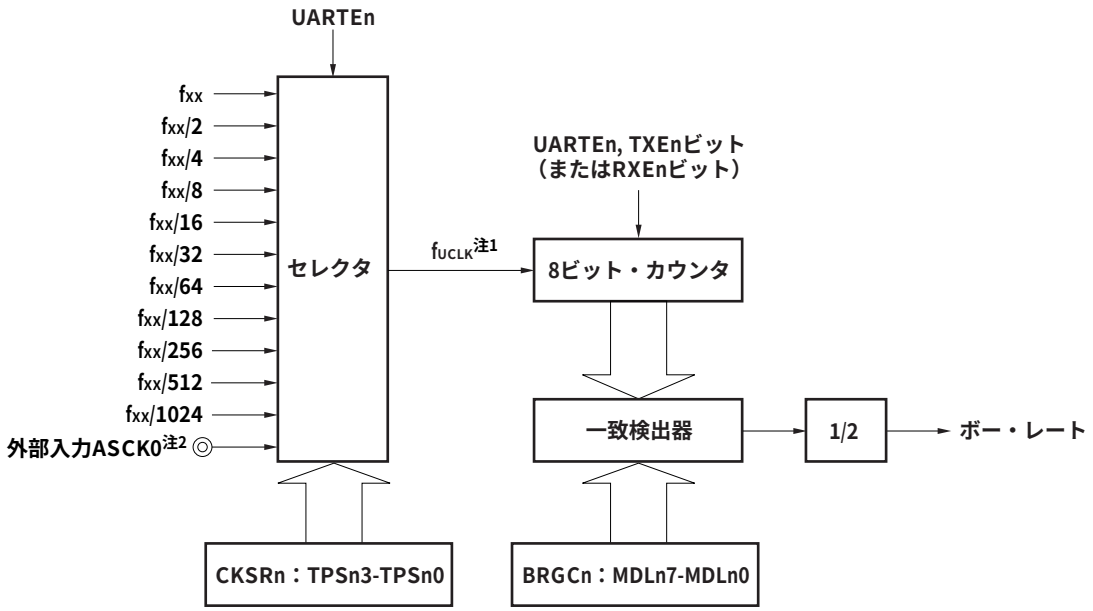
16. 7　専用ボー・レート・ジェネレータn（BRGn）

専用ボー・レート・ジェネレータは，ソース・クロック・セレクタ部と8ビットのプログラマブル・カウンタにより構成され，UARTnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは，チャネルごとに専用ボー・レート・ジェネレータ出力を選択できます。

なお，8ビット・カウンタは送信用と受信用が別々に存在します。

16. 7. 1　ボー・レート・ジェネレータn（BRGn）の構成

図16－17　ボー・レート・ジェネレータn（BRGn）の構成



★　注1.　次の条件を満たすようにfUCLKを設定してください。

- V_{DD} = REGC = 4.5～5.5 V：f_{UCLK}≦12 MHz
- V_{DD} = 4.0～5.5 V, REGC = 10 μF：f_{UCLK}≦6 MHz
- V_{DD} = REGC = 2.7～4.5 V：f_{UCLK}≦6 MHz

2.　UART0のみASCK0端子入力が使用可能

備考　f_{XX}　：メイン・クロック

f_{UCLK}　：基本クロック

(1) 基本クロック

ASIMn.UARTEnビット = 1のとき，CKSRn.TPSn3-TPSn0ビットで選択したクロックを送信／受信ユニットに供給します。このクロックを基本クロック（f_{UCLK}）と呼びます。UARTEnビット = 0のときは，f_{UCLK}はロウ・レベルに固定となります。

16. 7. 2　シリアル・クロックの生成

CKSRnレジスタとBRGCnレジスタの設定により，シリアル・クロックを生成できます。

CKSRn.TPSn3-TPSn0ビットにより，8ビット・カウンタへの基本クロックを選択します。

BRGCn.MDLn7-MDLn0ビットにより，8ビット・カウンタの分周値を設定できます。

（1）クロック選択レジスタn（CKSRn）

CKSRnレジスタは，TPSn3-TPSn0ビットにより，基本クロックを選択するための8ビット・レジスタです。TPSn3-TPSn0ビットで選択されたクロックが，送受信モジュールの基本クロック（f_{UCLK}）になります。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　TPSn3-TPSn0ビットを書き換える場合は，ASIMn.UARTEnビット = 0にしてから行ってください。

リセット時：00H　R/W　アドレス：CKSR0 FFFFFA06H, CKSR1 FFFFFA16H, CKSR2 FFFFFA26H

	7	6	5	4	3	2	1	0
CKSRn	0	0	0	0	TPSn3	TPSn2	TPSn1	TPSn0

（n = 0-2）

TPSn3	TPSn2	TPSn1	TPSn0	基本クロック（f_{UCLK}）注1
0	0	0	0	f_{XX}
0	0	0	1	$f_{XX}/2$
0	0	1	0	$f_{XX}/4$
0	0	1	1	$f_{XX}/8$
0	1	0	0	$f_{XX}/16$
0	1	0	1	$f_{XX}/32$
0	1	1	0	$f_{XX}/64$
0	1	1	1	$f_{XX}/128$
1	0	0	0	$f_{XX}/256$
1	0	0	1	$f_{XX}/512$
1	0	1	0	$f_{XX}/1024$
1	0	1	1	外部クロック注2（ASCK0端子）
上記以外				設定禁止

★ **注1.**　次の条件を満たすようにf_{UCLK}を設定してください。

- V_{DD} = REGC = 4.5～5.5 V　：f_{UCLK}≦12 MHz
- V_{DD} = 4.0～5.5 V, REGC = 10 μF　：f_{UCLK}≦6 MHz
- V_{DD} = REGC = 2.7～4.5 V　：f_{UCLK}≦6 MHz

2.　UART0のみASCK0端子入力クロックを使用可能

UART1, UART2は設定禁止

備考　f_{XX}：メイン・クロック周波数

(2) ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCn）

BRGCnレジスタは，UARTnのボー・レート（シリアル転送スピード）を制御する8ビット・レジスタです。

8ビット単位でリード／ライト可能です。

リセットによりFFHになります。

注意　MDLn7-MDLn0ビットを書き換える場合は，ASIMn.TXEnビット = 0, RXEnビット = 0にしてから行ってください。

リセット時：FFH　R/W　アドレス：BRGC0 FFFFFA07H, BRGC1 FFFFFA17H, BRGC2 FFFFFA27H

	7	6	5	4	3	2	1	0
BRGCn (n = 0-2)	MDLn7	MDLn6	MDLn5	MDLn4	MDLn3	MDLn2	MDLn1	MDLn0

MD Ln7	MD Ln6	MD Ln5	MD Ln4	MD Ln3	MD Ln2	MD Ln1	MD Ln0	設定値 (k)	シリアル・クロック
0	0	0	0	0	x	x	x	ー	設定禁止
0	0	0	0	1	0	0	0	8	$f_{UCLK}/8$
0	0	0	0	1	0	0	1	9	$f_{UCLK}/9$
0	0	0	0	1	0	1	0	10	$f_{UCLK}/10$
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	0	1	0	250	$f_{UCLK}/250$
1	1	1	1	1	0	1	1	251	$f_{UCLK}/251$
1	1	1	1	1	1	0	0	252	$f_{UCLK}/252$
1	1	1	1	1	1	0	1	253	$f_{UCLK}/253$
1	1	1	1	1	1	1	0	254	$f_{UCLK}/254$
1	1	1	1	1	1	1	1	255	$f_{UCLK}/255$

備考1.　f_{UCLK}：CKSR0.TPSn3-TPSn0ビットで選択した基本クロック周波数［Hz］

2.　k：MDLn7-MDLn0ビットで設定した値（k = 8, 9, 10, … , 255）

3.　8ビット・カウンタの出力クロックを2分周したものがボー・レートとなります。

4.　x：任意

(3) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート [bps]} = \frac{f_{UCLK}}{2 \times k}$$

f_{UCLK}：CKSRn.TPSn3-TPSn0ビットで選択した基本クロック周波数［Hz］

k：BRGCn.MDLn7-MDLn0ビットで設定した値（k = 8, 9, 10, … , 255）

(4) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差（\%）} = \left(\frac{\text{実際のボー・レート（誤差のあるボー・レート）}}{\text{目標ボー・レート（正常なボー・レート）}} - 1 \right) \times 100$$

注意1.　**送信時のボー・レート誤差は，受信先の許容誤差以内にしてください。**

2.　**受信時のボー・レート誤差は，**16. 7. 4　**受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。**

例　**基本クロックの周波数** = 10 MHz = 10,000,000 Hz

BRGCn.MDL7-MDL0**ビットの設定値** = 00100001B（k = 33）

目標ボー・レート = 153,600 bps

ボー・レート = 10,000,000/（2×33）

= 151,515［bps］

誤差 =（151,515/153,600－1）×100

= －1.357［%］

16. 7. 3　ボー・レート設定例

表16－4　ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	f_{XX} = 20 MHz			f_{XX} = 16 MHz			f_{XX} = 10 MHz		
	f_{UCLK}	k	ERR	f_{UCLK}	k	ERR	f_{UCLK}	k	ERR
300	f_{XX}/512	41H（65）	0.16	f_{XX}/1024	1AH（26）	0.16	f_{XX}/256	41H（65）	0.16
600	f_{XX}/256	41H（65）	0.16	f_{XX}/1024	0DH（13）	0.16	f_{XX}/128	41H（65）	0.16
1200	f_{XX}/128	41H（65）	0.16	f_{XX}/512	0DH（13）	0.16	f_{XX}/64	41H（65）	0.16
2400	f_{XX}/64	41H（65）	0.16	f_{XX}/256	0DH（13）	0.16	f_{XX}/32	41H（65）	0.16
4800	f_{XX}/32	41H（65）	0.16	f_{XX}/128	0DH（13）	0.16	f_{XX}/16	41H（65）	0.16
9600	f_{XX}/16	41H（65）	0.16	f_{XX}/64	0DH（13）	0.16	f_{XX}/8	41H（65）	0.16
10400	f_{XX}/64	0FH（15）	0.16	f_{XX}/64	0CH（12）	0.16	f_{XX}/32	0FH（15）	0.16
19200	f_{XX}/8	41H（65）	0.16	f_{XX}/32	0DH（13）	0.16	f_{XX}/4	41H（65）	0.16
24000	f_{XX}/32	0DH（13）	0.16	f_{XX}/2	A7H（167）	－0.20	f_{XX}/16	0DH（13）	0.16
31250	f_{XX}/32	0AH（10）	0.00	f_{XX}/32	08H（8）	0.00	f_{XX}/16	0AH（10）	0
33600	f_{XX}/2	95H（149）	－0.13	f_{XX}/2	77H（119）	0.04	f_{XX}	95H（149）	－0.13
38400	f_{XX}/4	41H（65）	0.16	f_{XX}/16	0DH（13）	0.16	f_{XX}/2	41H（65）	0.16
48000	f_{XX}/16	0DH（13）	0.16	f_{XX}/2	53H（83）	0.40	f_{XX}/8	0DH（13）	0.16
56000	f_{XX}/2	59H（89）	0.32	f_{XX}/2	47H（71）	0.60	f_{XX}	59H（89）	0.32
62500	f_{XX}/16	0AH（10）	0.00	f_{XX}/16	08H（8）	0.00	f_{XX}/8	0AH（10）	0.00
76800	f_{XX}/2	41H（65）	0.16	f_{XX}/8	0DH（13）	0.16	f_{XX}	41H（65）	0.16
115200	f_{XX}/2	2BH（43）	0.94	f_{XX}/2	23H（35）	－0.79	f_{XX}	2BH（43）	0.94
153600	f_{XX}/2	21H（33）	－1.36	f_{XX}/4	0DH（13）	0.16	f_{XX}	21H（33）	－1.36
312500	f_{XX}/4	08H（8）	0	f_{XX}/2	0DH（13）	－1.54	f_{XX}/2	08H（8）	0.00

注意　基本クロック（f_{UCLK}）の許容周波数は次のとおりです。

- V_{DD} = REGC = 4.5～5.5 V　：f_{UCLK}≦12 MHz
- V_{DD} = 4.0～5.5 V, REGC = 10 μF　：f_{UCLK}≦6 MHz
- V_{DD} = REGC = 2.7～4.5 V　：f_{UCLK}≦6 MHz

備考　f_{XX}　：**メイン・クロック周波数**

f_{UCLK}　：**基本クロック周波数**

k　：BRGCn.MDLn7-MDLn0**ビットの設定値**

ERR　：**ボー・レート誤差**［%］

n = 0-2

16. 7. 4　受信時の許容ボー・レート範囲

受信の際に，送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意　受信時のボー・レート誤差は，下記に示す算出式を使用して，必ず許容誤差範囲内になるように設定してください。

図16－18　受信時の許容ボー・レート範囲

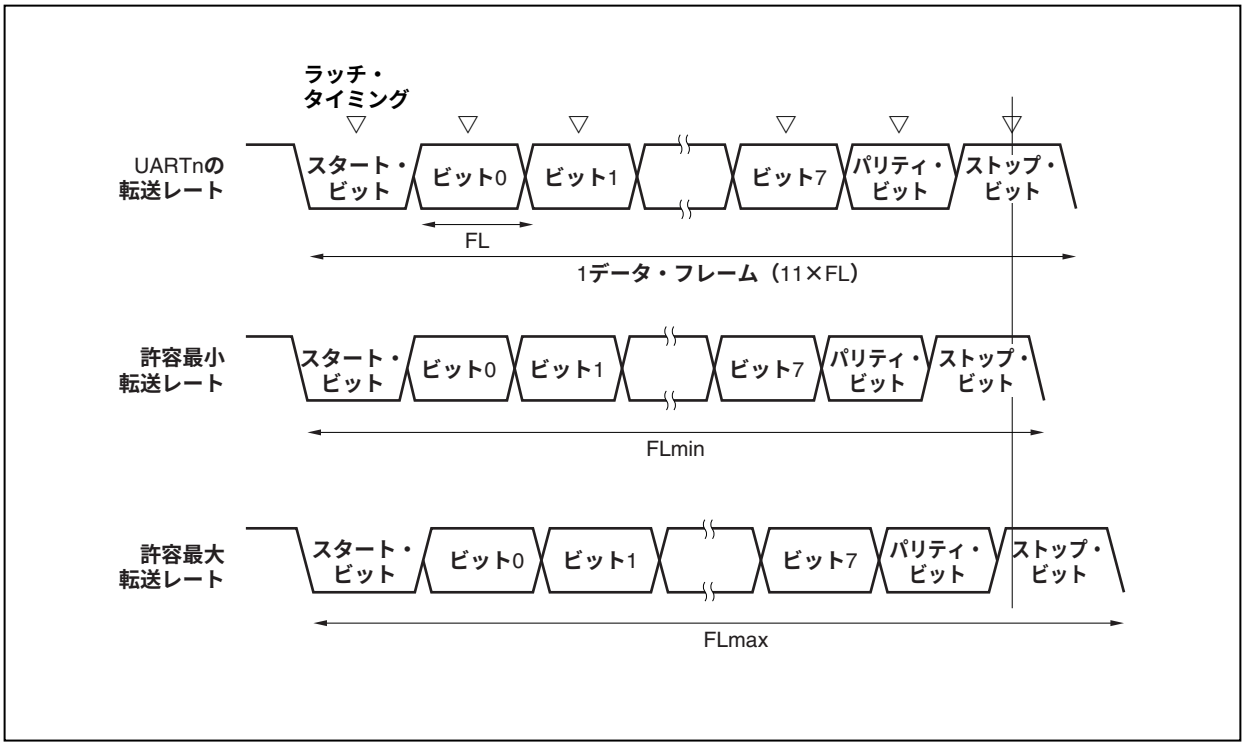


図16－18に示すように，スタート・ビット検出後はBRGCnレジスタで設定したカウンタにより，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上，次のようになります。

$$FL = (Brate)^{-1}$$

Brate　：UARTnのボー・レート

k　　：BRGCnレジスタの設定値

FL　　：1ビット・データ長

ラッチ・タイミングのマージンを基本クロックの2クロック分とすると，許容最小転送レート（FLmin）は次のようになります。

$$FLmin = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって，受信可能な送信先の最大ボー・レート（BRmax）は次のようになります。

$$BRmax = (FLmin/11)^{-1} = \frac{22k}{21k+2} Brate$$

同様に，許容最大転送レート（FLmax）を求めると，次のようになります。

$$\frac{10}{11} \times FLmax = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FLmax = \frac{21k-2}{20k} FL \times 11$$

したがって，受信可能な送信先の最小ボー・レート（BRmin）は次のようになります。

$$BRmin = (FLmax/11)^{-1} = \frac{20k}{21k-2} Brate$$

前述の最小／最大ボー・レート値の算出式から，UARTnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表16－5　許容最大／最小ボー・レート誤差

分周比（k）	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	＋3.53 %	－3.61 %
20	＋4.26 %	－4.31 %
50	＋4.56 %	－4.58 %
100	＋4.66 %	－4.67 %
255	＋4.72 %	－4.73 %

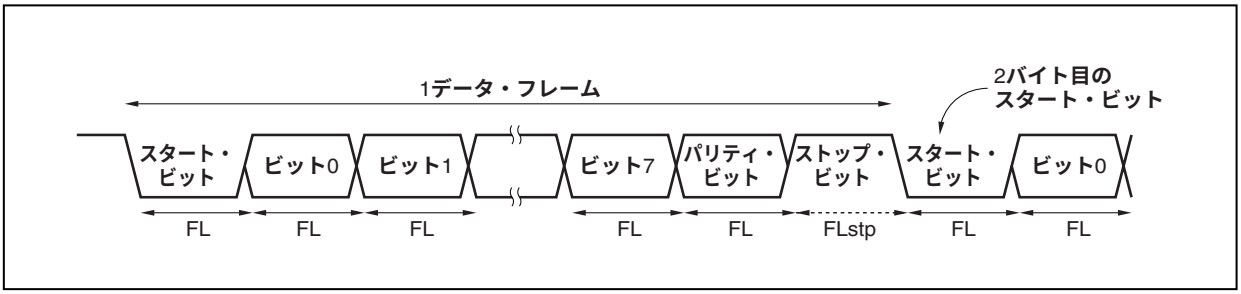
備考1.　受信の精度は，1フレーム・ビット数，基本クロック周波数，分周比（k）に依存します。基本クロック周波数が高く，分周比（k）が大きくなるほど精度は高くなります。

2.　k：BRGCnレジスタの設定値

16. 7. 5　連続送信時の転送レート

連続送信する場合，ストップ・ビットから次のスタート･ビットまでの転送レートが通常より基本クロックの2クロック分延びます。ただし，受信側はスタート・ビットの検出により，タイミングの初期化が行われるので転送結果には影響しません。

図16－19　連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：f_{UCLK}とすると次の式が成り立ちます。

$$FLstp = FL + 2 / f_{UCLK}$$

したがって，連続送信での転送レートは次のようになります（ストップ・ビット長 = 1の場合）。

$$転送レート = 11 \times FL + (2/f_{UCLK})$$

16. 8　注意事項

UARTnについての注意事項を次に示します。

(1) UARTnへの供給クロックが停止する場合（例：IDLE, STOPモード）は，各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDn端子出力も停止直前の値を保持，出力します。ただし，クロック供給の再開後の動作は保証しません。したがって，再開後はASIMn.UARTEn, RXEn, TXEnビット = 000とし，回路を初期化してください。

(2) UARTnは，TXBnレジスタ，送信シフト・レジスタの2段バッファ構成になっており，それぞれのバッファの状態を示すステータス・フラグ（ASIFn.TXBFn, TXSFnビット）があります。連続送信でTXBFn, TXSFnビットを同時に読み出した場合，「10」→「11」→「01」と変化します。連続送信を行う場合は，次のデータをTXBnレジスタへ書き込むタイミングについて，TXBFnビットのみを読み出して判断してください。

第17章　クロック同期式シリアル・インタフェース0（CSI0）

V850ES/KG1+はクロック同期式シリアル・インタフェース0（CSI0）を2チャネル搭載しております。

17. 1　特　　徴

○最大転送速度：5 Mbps

○マスタ・モードとスレーブ・モ―ドを選択可能

○送信データ長：8ビット／16ビットに設定可能

○転送データ方向をMSB先頭／LSB先頭切り替え可能

○8本のクロック信号を選択可能（7本のマスタ・クロックと1本のスレーブ・クロック）

○3線式　SO0n　：シリアル送信データ出力

　　SI0n　：シリアル受信データ入力

　　$\overline{\text{SCK0n}}$　：シリアル・クロック入出力

○割り込みソース1種

・送受信完了割り込み要求信号（INTCSI0n）

○送受信モードと受信専用モードを指定可能

○2つの送信バッファ・レジスタ（SOTBFn/SOTBFLn，SOTBn/SOTBLn）と2つの受信バッファ・レジスタ（SIRBn/SIRBLn, SIRBEn/SIRBELn）を内蔵

○シングル転送モードと連続転送モードを指定可能

備考　n = 0, 1

17.2 構　　成

CSIM0nレジスタによって，CSI0nを制御します。

(1) クロック同期式シリアル・インタフェース・モード・レジスタ0n（CSIM0n）

CSIM0nレジスタは，CSI0nの動作を指定する8ビット・レジスタです。

(2) クロック同期式シリアル・インタフェース・クロック選択レジスタn（CSICn）

CSICnレジスタは，CSI0nのシリアル転送動作を制御する8ビット・レジスタです。

(3) シリアルI/Oシフト・レジスタ0n（SIO0n）

SIO0nレジスタは，パラレル・データをシリアル・データに変換する16ビット・シフト・レジスタです。

SIO0nレジスタは送信および受信の両方に使用されます。

データは，MSB側またはLSB側からシフト・イン（受信）またはシフト・アウト（送信）されます。

バッファ・レジスタへのアクセスで実際の送受信動作が起動されます。

(4) シリアルI/Oシフト・レジスタ0nL（SIO0nL）

SIO0nLレジスタは，パラレル・データをシリアル・データに変換する8ビット・シフト・レジスタです。

SIO0nLレジスタは送信および受信の両方に使用されます。

データは，MSB側またはLSB側からシフト・イン（受信）またはシフト・アウト（送信）されます。

バッファ・レジスタへのアクセスで実際の送受信動作が起動されます。

(5) クロック同期式シリアル・インタフェース受信バッファ・レジスタn（SIRBn）

SIRBnレジスタは，受信データを格納する16ビット・バッファ・レジスタです。

(6) クロック同期式シリアル・インタフェース受信バッファ・レジスタnL（SIRBnL）

SIRBnLレジスタは，受信データを格納する8ビット・バッファ・レジスタです。

(7) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタn（SIRBEn）

SIRBEnレジスタは，受信データを格納する16ビット・バッファ・レジスタです。

SIRBEnレジスタは,SIRBnレジスタと同じものです。SIRBnレジスタの内容を読み出す場合に使用します。

(8) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタnL（SIRBEnL）

SIRBEnLレジスタは，受信データを格納する8ビット・バッファ・レジスタです。

SIRBEnLレジスタは，SIRBnLレジスタと同じものです。SIRBnLレジスタの内容を読み出す場合に使用します。

(9) クロック同期式シリアル・インタフェース送信バッファ・レジスタn（SOTBn）

SOTBnレジスタは，送信データを格納する16ビット・バッファ・レジスタです。

(10) クロック同期式シリアル・インタフェース送信バッファ・レジスタnL（SOTBnL）

SOTBnLレジスタは，送信データを格納する8ビット・バッファ・レジスタです。

（11）クロック同期式シリアル・インタフェース初段送信バッファ・レジスタn（SOTBFn）

SOTBFnレジスタは，連続転送モードでの初段送信データを格納する16ビット・バッファ・レジスタです。

（12）クロック同期式シリアル・インタフェース初段送信バッファ・レジスタnL（SOTBFnL）

SOTBFnLレジスタは，連続転送モードでの初段送信データを格納する8ビット・バッファ・レジスタです。

（13）セレクタ

使用するシリアル・クロックを選択します。

（14）シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給を制御します。また，内部クロック使用時には$\overline{\text{SCK0n}}$端子へ出力するクロックの制御も行います。

（15）シリアル・クロック・カウンタ

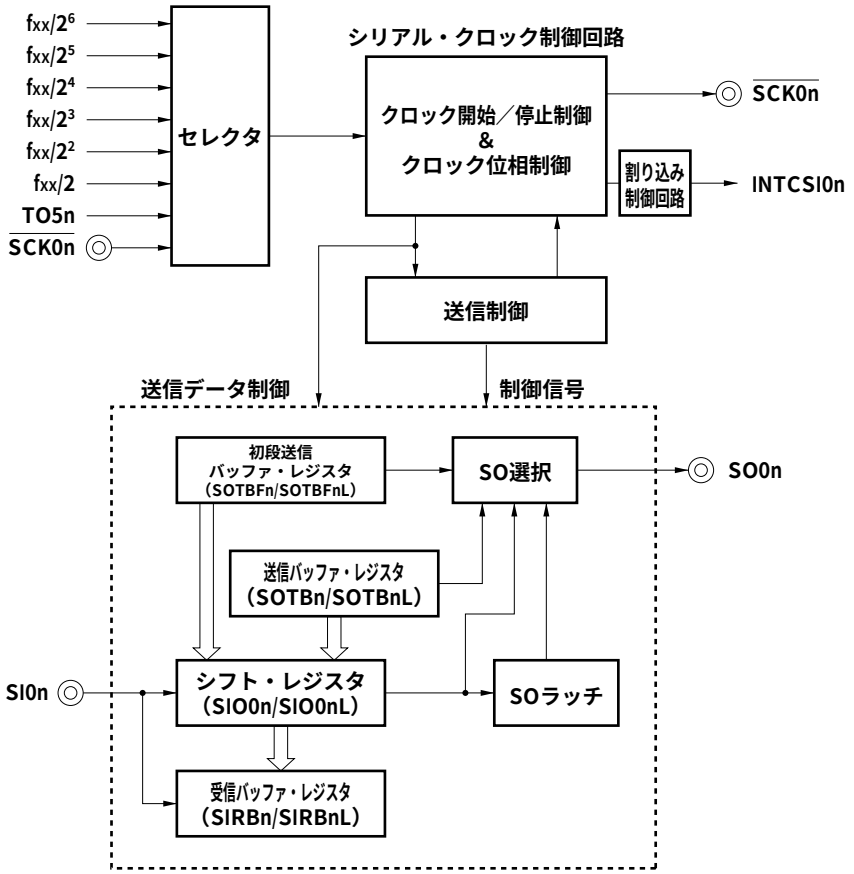
送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8/16ビット・データの送受信が行われたことを調べます。

（16）割り込み制御回路

割り込み要求タイミングを制御します。

備考　n = 0, 1

図17－1　クロック同期式シリアル・インタフェースのブロック図



備考1.　n = 0, 1

2.　fxx：**メイン・クロック周波数**

17. 3　レジスタ

(1) クロック同期式シリアル・インタフェース・モード・レジスタ0n（CSIM0n）

CSIM0nレジスタは，CSI0nの動作を制御するレジスタです。

8/1ビット単位でリード／ライト可能です（ただし，CSOTnビットはリードだけ可能です）。

リセットにより00Hになります。

注意　TRMDn, CCLn, DIRn, CSITn, AUTOnビットの書き換えは，CSOTnビット = 0のときだけ可能です。CSOTnビット = 1のときにこれらのビットを書き換えた場合の動作は保証しません。

(1/2)

リセット時：00H　R/W　アドレス：CSIM00 FFFFFD00H, CSIM01 FFFFFD10H

	⑦	⑥	5	④	3	2	1	⓪
CSIM0n	CSI0En	TRMDn	CCLn	DIRn	CSITn	AUTOn	0	CSOTn

(n = 0, 1)

CSI0En	CSI0n動作許可／禁止を指定
0	CSIn動作禁止
1	CSIn動作許可
CSI0Enビットをクリア（0）することで，CSI0nの内部回路を非同期にリセット[注]することができます。 CSI0Enビット = 0のときの$\overline{\text{SCK0n}}$, SO0n端子出力状態については17. 5　出力端子を参照してください。	

TRMDn	送受信モードを指定
0	受信専用モード
1	送受信モード
TRMDnビット = 0の場合，受信モードになり，SO0nはロウ・レベルを出力します。SIRBnレジスタの読み出しにより，データ受信を開始します。 TRMDnビット = 1の場合，SOTBnレジスタへのデータ書き込みにより送受信が開始されます。	

CCLn	データ長を指定
0	8ビット
1	16ビット

DIRn	転送方向モード（MSB/LSB）を指定
0	転送データ先頭ビットはMSB
1	転送データ先頭ビットはLSB

注　リセットされるのは，CSOTnビット，SIRBn, SIRBnL, SIRBE, SIRBEnL, SIOn, SIOnLレジスタです。

（2/2）

CSITn	割り込み要求信号の遅延制御を行う
0	遅延なし
1	遅延モード（割り込み要求信号がシリアル・クロックに対して半サイクル遅れる）
遅延モード（CSITnビット = 1）は，マスタ・モード（CSICn.CKS0n2-CKS0n0ビット = 111Bでない）のときだけ有効です。スレーブ・モード（CKS0n2-CKS0n0ビット = 111B）時は，遅延モードに設定しないでください。	

AUTOn	シングル転送／連続転送モードを指定
0	シングル転送モード
1	連続転送モード

CSOTn	通信状態フラグ
0	通信停止
1	通信中
CSOTnビットは，CSI0Enビット = 0でクリア（0）されます。	

備考　n = 0, 1

(2) クロック同期式シリアル・インタフェース・クロック選択レジスタn（CSICn）

CSICnレジスタは，CSI0nの転送動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　CSICnレジスタはCSIM0n.CSI0Enビット = 0のときだけ書き換えられます。

リセット時：00H　R/W　アドレス：CSIC0 FFFFFD01H, CSIC1 FFFFFD11H

	7	6	5	4	3	2	1	0
CSICn	0	0	0	CKPn	DAPn	CKS0n2	CKS0n1	CKS0n0

(n = 0, 1)

CKPn	DAPn	$\overline{\text{SCK0n}}$に対するデータの送受信タイミングの指定
0	0	(タイプ1) $\overline{\text{SCK0n}}$（入出力） SO0n（出力）：DO7 DO6 DO5 DO4 DO3 DO2 DO1 DO0 SI0n（入力）：DI7 DI6 DI5 DI4 DI3 DI2 DI1 DI0
0	1	(タイプ2) $\overline{\text{SCK0n}}$（入出力） SO0n（出力）：DO7 DO6 DO5 DO4 DO3 DO2 DO1 DO0 SI0n（入力）：DI7 DI6 DI5 DI4 DI3 DI2 DI1 DI0
1	0	(タイプ3) $\overline{\text{SCK0n}}$（入出力） SO0n（出力）：DO7 DO6 DO5 DO4 DO3 DO2 DO1 DO0 SI0n（入力）：DI7 DI6 DI5 DI4 DI3 DI2 DI1 DI0
1	1	(タイプ4) $\overline{\text{SCK0n}}$（入出力） SO0n（出力）：DO7 DO6 DO5 DO4 DO3 DO2 DO1 DO0 SI0n（入力）：DI7 DI6 DI5 DI4 DI3 DI2 DI1 DI0

CKS0n2	CKS0n1	CKS0n0	シリアル・クロック[注]	モード
0	0	0	$f_{XX}/2$	マスタ・モード
0	0	1	$f_{XX}/2^2$	マスタ・モード
0	1	0	$f_{XX}/2^3$	マスタ・モード
0	1	1	$f_{XX}/2^4$	マスタ・モード
1	0	0	$f_{XX}/2^5$	マスタ・モード
1	0	1	$f_{XX}/2^6$	マスタ・モード
1	1	0	TO5nで生成されるクロック	マスタ・モード
1	1	1	外部クロック（$\overline{\text{SCK0n}}$端子）	スレーブ・モード

注　次の条件を満たすようにシリアル・クロックを設定してください。

- V_{DD} = REGC = 4.0～5.5 V　：シリアル・クロック≦5 MHz
- V_{DD} = 4.0～5.5 V, REGC = 10 μF　：シリアル・クロック≦2.5 MHz
- V_{DD} = REGC = 2.7～4.0 V　：シリアル・クロック≦2.5 MHz

備考　f_{XX}：メイン・クロック周波数

（3）クロック同期式シリアル・インタフェース受信バッファ・レジスタn, nL（SIRBn, SIRBnL）

SIRBnレジスタは，受信データを格納する16ビット・バッファ・レジスタです。

受信専用モード（CSIM0n.TRMDnビット = 0）に設定したとき，SIRBnレジスタからデータを読み出すことにより，受信動作を開始します。

16ビット単位でリードだけ可能です。ただし下位8ビットをSIRBnLレジスタとして使用する場合は，8ビット単位でリードだけ可能です。

リセット入力以外に，CSIM0n.CSI0Enビットをクリア（0）した場合も0000Hになります。

注意1. SIRBnレジスタは，16ビット・データ長（CSIM0n.CCLnビット = 1）に設定したときだけリードしてください。
SIRBnLレジスタは，8ビット・データ長（CCLnビット = 0）に設定したときだけリードしてください。

2. シングル転送モード（CSIM0n.AUTOnビット = 0）に設定したときには，アイドル状態中（CSIM0n.CSOTnビット = 0）だけリードしてください。データ転送中にSIRBn, SIRBnLレジスタをリードした場合のデータは保証しません。

（a）SIRBnレジスタ

リセット時：0000H　R　アドレス：SIRB0 FFFFFD02H, SIRB1 FFFFFD12H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn
（n = 0, 1）	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

（b）SIRBnLレジスタ

リセット時：00H　R　アドレス：SIRB0L FFFFFD02H, SIRB1L FFFFFD12H

	7	6	5	4	3	2	1	0
SIRBnL	SIRBn7	SIRBn6	SIRBn5	SIRBn4	SIRBn3	SIRBn2	SIRBn1	SIRBn0
（n = 0, 1）								

（4）**クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ**n, nL（SIRBEn, SIRBEnL）

SIRBEn**レジスタは，受信データを格納する**16**ビット・バッファ・レジスタです。**

SIRBEn**レジスタは，**SIRBn**レジスタと同じものですが，**SIRBEn**レジスタを読み出しても次の動作は開始しません。シリアル受信を継続しないときの**SIRBn**レジスタの内容を読み出す場合に使用します。**

16**ビット単位でリードだけ可能です。ただし下位**8**ビットを**SIRBEnL**レジスタとして使用する場合は，**8**ビット単位でリードだけ可能です。**

リセット入力以外に，CSIM0n.CSI0En**ビットをクリア（**0**）した場合も**0000H**になります。**

注意1. SIRBEn, SIRBEnL**レジスタからデータを読み出しても，受信動作は開始しません。**

2. SIRBEn**レジスタは，**16**ビット・データ長（**CSIM0n.CCLn**ビット** = 1**）に設定したときだけリードしてください。**

SIRBEnL**レジスタは，**8**ビット・データ長（**CCLn**ビット** = 0**）に設定したときだけリードしてください。**

（a）SIRBEn**レジスタ**

リセット時：0000H　R　アドレス：SIRBE0 FFFFFD06H, SIRBE1 FFFFFD16H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRBEn（n = 0, 1）	SIRBEn 15	SIRBEn 14	SIRBEn 13	SIRBEn 12	SIRBEn 11	SIRBEn 10	SIRBEn 9	SIRBEn 8	SIRBEn 7	SIRBEn 6	SIRBEn 5	SIRBEn 4	SIRBEn 3	SIRBEn 2	SIRBEn 1	SIRBEn 0

（b）SIRBEnL**レジスタ**

リセット時：00H　R　アドレス：SIRBE0L FFFFFD06H, SIRBE1L FFFFFD16H

	7	6	5	4	3	2	1	0
SIRBEnL（n = 0, 1）	SIRBEn7	SIRBEn6	SIRBEn5	SIRBEn4	SIRBEn3	SIRBEn2	SIRBEn1	SIRBEn0

(5) クロック同期式シリアル・インタフェース送信バッファ・レジスタn, nL（SOTBn, SOTBnL）

SOTBnレジスタは，送信データを格納する16ビット・バッファ・レジスタです。

送受信モード（CSIM0n.TRMDnビット = 1）に設定したとき，SOTBnレジスタへのデータ書き込みにより，送信動作を開始します。

16ビット単位でリード／ライト可能です。ただし下位8ビットをSOTBnLレジスタとして使用する場合は，8ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意1. SOTBnレジスタは，16ビット・データ長（CSIM0n.CCLnビット = 1）に設定したときだけアクセスしてください。
SOTBnLレジスタは，8ビット・データ長（CCLnビット = 0）に設定したときだけアクセスしてください。

2. シングル転送モード（CSIM0n.AUTOnビット = 0）に設定したときには，アイドル状態中（CSIM0n.CSOTnビット = 0）だけアクセスしてください。データ転送中にSOTBn, SOTBnLレジスタをアクセスした場合のデータは保証しません。

(a) SOTBnレジスタ

リセット時：0000H　R/W　アドレス：SOTB0 FFFFFD04H, SOTB1 FFFFFD14H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOTBn	SOTBn	SOTBn	SOTBn	SOTBn	SOTBn	SOTBn	SOTBn	SOTBn	SOTBn	SOTBn	SOTBn	SOTBn	SOTBn	SOTBn	SOTBn	SOTBn
(n = 0, 1)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

(b) SOTBnLレジスタ

リセット時：00H　R/W　アドレス：SOTB0L FFFFFD04H, SOTB1L FFFFFD14H

	7	6	5	4	3	2	1	0
SOTBnL	SOTBn7	SOTBn6	SOTBn5	SOTBn4	SOTBn3	SOTBn2	SOTBn1	SOTBn0
(n = 0, 1)								

（6）クロック同期式シリアル・インタフェース初段送信バッファ・レジスタn, nL（SOTBFn, SOTBFnL）

SOTBFnレジスタは，連続転送モードでの初段送信データを格納する16ビット・バッファ・レジスタです。

SOTBFnレジスタにデータを書き込んでも，送信動作は開始されません。

16ビット単位でリード／ライト可能です。ただし下位8ビットをSOTBFnLレジスタとして使用する場合は，8ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意　SOTBFnレジスタは，16ビット・データ長（CSIM0n.CCLnビット = 1），SOTBFnLレジスタは，8ビット・データ長（CCLnビット = 0）で，アイドル状態中（CSIM0n.CSOTnビット = 0）のときだけアクセスしてください。データ転送中にSOTBFn, SOTBFnLレジスタをアクセスした場合のデータは保証しません。

（a）SOTBFnレジスタ

リセット時：0000H　R/W　アドレス：SOTBF0 FFFFFD08H, SOTBF1 FFFFFD18H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOTBFn（n = 0, 1）	SOTBFn 15	SOTBFn 14	SOTBFn 13	SOTBFn 12	SOTBFn 11	SOTBFn 10	SOTBFn 9	SOTBFn 8	SOTBFn 7	SOTBFn 6	SOTBFn 5	SOTBFn 4	SOTBFn 3	SOTBFn 2	SOTBFn 1	SOTBFn 0

（b）SOTBFnLレジスタ

リセット時：00H　R/W　アドレス：SOTBF0L FFFFFD08H, SOTBF1L FFFFFD18H

	7	6	5	4	3	2	1	0
SOTBFnL（n = 0, 1）	SOTBFn7	SOTBFn6	SOTBFn5	SOTBFn4	SOTBFn3	SOTBFn2	SOTBFn1	SOTBFn0

（7）シリアルI/Oシフト・レジスタn, nL（SIO0n, SIO0nL）

SIO0nレジスタは，パラレル・データをシリアル・データに変換する16ビット・シフト・レジスタです。

SIO0nレジスタを読み出しても，転送は開始されません。

16ビット単位でリードだけ可能です。ただし下位8ビットをSIO0nLレジスタとして使用する場合は，8ビット単位でリードだけ可能です。

リセット入力以外に，CSIM0n.CSI0Enビットをクリア（0）した場合も0000Hになります。

注意　SIO0nレジスタは，16ビット・データ長（CSIM0n.CCLnビット = 1），SIO0nLレジスタは，8ビット・データ長（CCLnビット = 0）で，アイドル状態中（CSIM0n.CSOTnビット = 0）のときだけリードしてください。データ転送中にSIO0n, SIO0nLレジスタをリードした場合のデータは保証しません。

（a）SIO0nレジスタ

リセット時：0000H　R　アドレス：SIO00 FFFFFD0AH, SIO01 FFFFFD1AH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIO0n	SIOn15	SIOn14	SIOn13	SIOn12	SIOn11	SIOn10	SIOn9	SIOn8	SIOn7	SIOn6	SIOn5	SIOn4	SIOn3	SIOn2	SIOn1	SIOn0

（n = 0, 1）

（b）SIO0nLレジスタ

リセット時：00H　R　アドレス：SIO00L FFFFFD0AH, SIO01L FFFFFD1AH

	7	6	5	4	3	2	1	0
SIO0nL	SIOn7	SIOn6	SIOn5	SIOn4	SIOn3	SIOn2	SIOn1	SIOn0

（n = 0, 1）

表17－1　各バッファ・レジスタの使用方法

レジスタ名	R/W		シングル転送		連続転送[注1]	
			送受信モード	受信専用モード	送受信モード	受信専用モード
SIRBn (SIRBnL)	Read	機能	受信データの格納[注2]	・リードで受信を開始 ・受信データの格納	N－1番目までの（最後以外の）受信データの格納[注2]	・リードで受信を開始させる ・N－2番目まで（最後の2データ以外）のデータの格納
		使用方法	送受信完了後，このレジスタから受信データをリードする。	・最初にダミー・データのリードを行い転送開始する。 ・受信完了後，次のデータ受信を行う場合に，このレジスタから受信データをリードする。	受信完了後，このレジスタから受信データをリードする。この動作をN－1番目のデータ受信完了まで繰り返す。	受信完了後，このレジスタの受信データをリードする。この動作をN－2番目のデータ受信完了まで繰り返す。 （補足） N－1番目のデータはこのレジスタから読み出さない。読み出すと受信動作が開始されてしまい，繰り返し転送を終了できない。
SIRBEn (SIRBEnL)	Read	機能	—	最終受信データの格納[注2]	—	N－1番目の受信データの格納[注2]
		使用方法	使用しない	受信完了後，次のデータ受信を行わない場合に，このレジスタから受信データをリードする。	使用しない	N－1番目のもしくはN番目（最後）のデータ受信完了後，このレジスタからN－1番目の受信データをリードする。
SIO0**n** (SIO0nL)	Read	機能	—	—	N番目（最後）の受信データの格納[注2]	N番目（最後）の受信データの格納[注2]
		使用方法	使用しない	使用しない	N番目（最後）の送受信完了後，N番目（最後）のデータをリードする。	N番目（最後）の受信完了後，N番目（最後）のデータをリードする。
SOTBn (SOTBnL)	Write	機能	・ライトで送受信を開始 ・送信データの格納	—	・ライトで送受信を開始 ・2番目以降の送信データの格納	—
		使用方法	・送受信完了後，このレジスタへ次の送信データをライトする。	使用しない	送受信完了後，このレジスタへ次の送信データをライトし，次の送受信を開始する。	使用しない
SOTBFn (SOTBFnL)	Write	機能	—	—	1番目（最初）の送信データの格納[注2]	—
		使用方法	使用しない	使用しない	送受信開始前（SOTBnへ書き込む前）に，1番目（最初）の送信データをライトする。	使用しない

注1.　N個のデータを転送する場合を示します。

2.　リードもしくはライトを行っても通信を開始しません。

備考　16ビット・モードでは，（）外のレジスタを使用します。8ビット・モードでは，（）内のレジスタを使用します。

17.4　動　　作

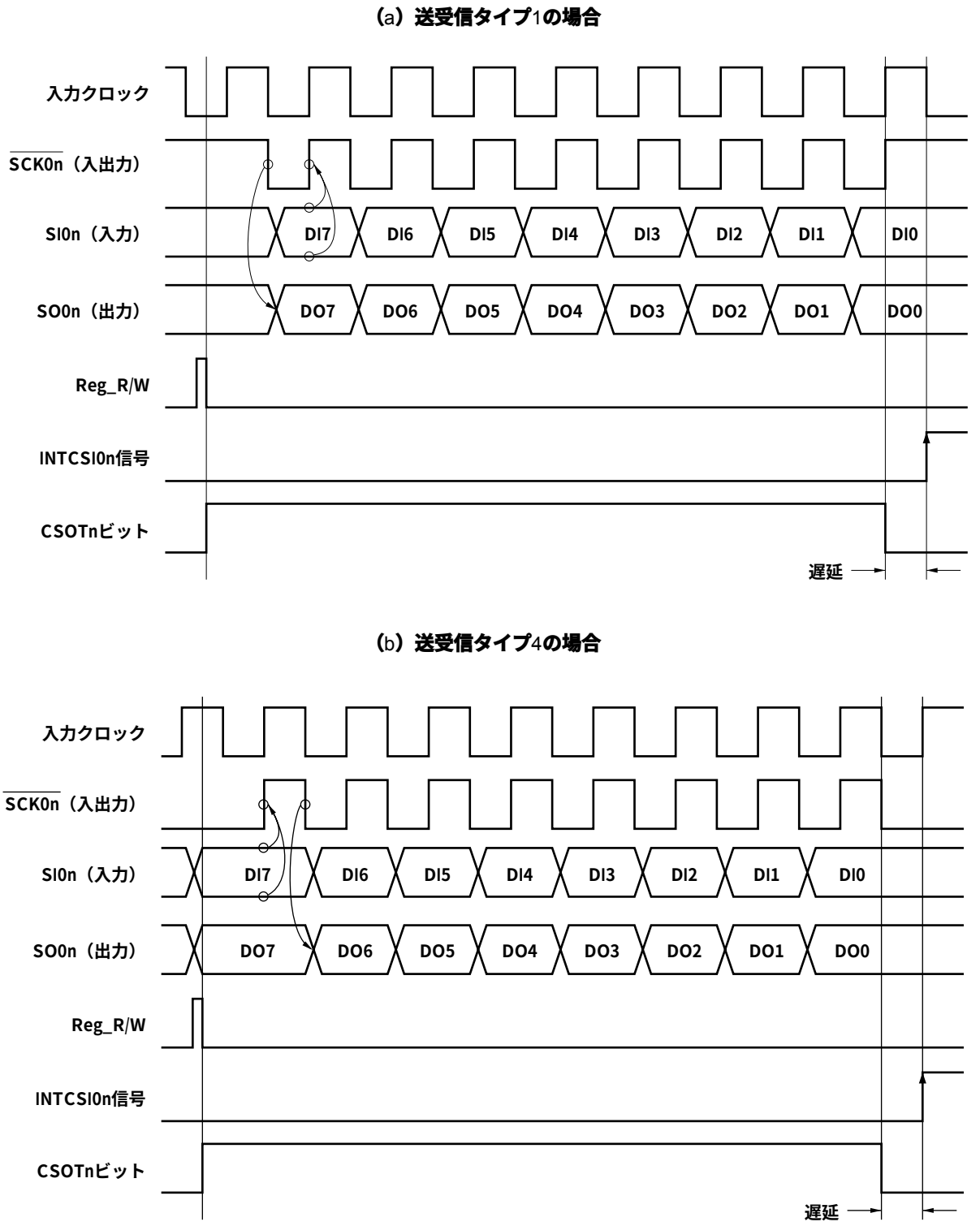
17.4.1　送受信完了割り込み要求信号（INTCSI0n）

INTCSI0n信号は，データの送受信終了時にセット（1）されます。

CSIM0nレジスタのライトによってクリア（0）されます。

注意　遅延モード（CSIM0n.CSITnビット = 1）は，マスタ・モード（CSICn.CKS0n2-CKS0n0ビット = 111B以外）のときだけ有効です。スレーブ・モード（CKS0n2-CKS0n0ビット = 111B）時は，遅延モードに設定しないでください。

図17－2　遅延モード時のINTCSI0n信号出力タイミング・チャート



備考1.　Reg_R/W：内部信号。SIRBn/SIRBnLレジスタのリード，またはSOTBn/SOTBnLレジスタへのライトを行ったことを示す信号です。

2.　n = 0, 1

17. 4. 2　シングル転送モード

（1）使用方法

受信専用モード（CSIM0n.TRMDnビット = 0）の場合，SIRBn/SIRBnLレジスタのリードで通信を開始します。

送受信モード（TRMDnビット = 1）の場合，SOTBn/SOTBnLレジスタへのライトで通信を開始します。

また，スレーブ・モードの場合，前もって動作許可（CSIM0n.CSI0Enビット = 1）になっている必要があります。

通信が開始されているときには，CSIM0n.CSOTnビット = 1（送信実行状態）になります。

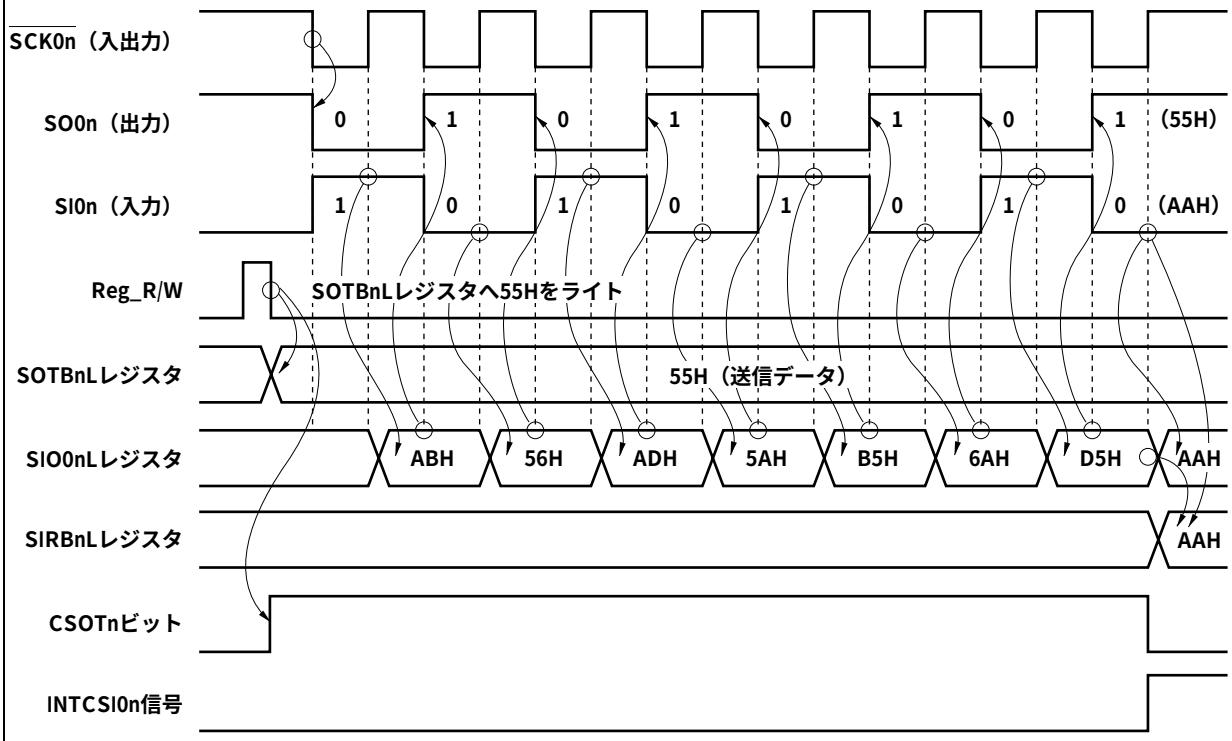
通信が終了すると，送受信完了割り込み要求信号（INTCSI0n）が発生し，CSOTnビットはクリア（0）されます。そして，次のデータ通信要求の待ち状態になります。

注意　CSOTnビット = 1のときに，CSI0nのレジスタは操作しないでください。

備考　n = 0, 1

図17－3　シングル転送モードでのタイミング・チャート（1/2）

（a）送受信モード，データ長：8ビット，転送方向：MSB先頭，割り込み遅延なし，シングル転送モード，AAH受信，55H送信時，送受信タイプ1の場合



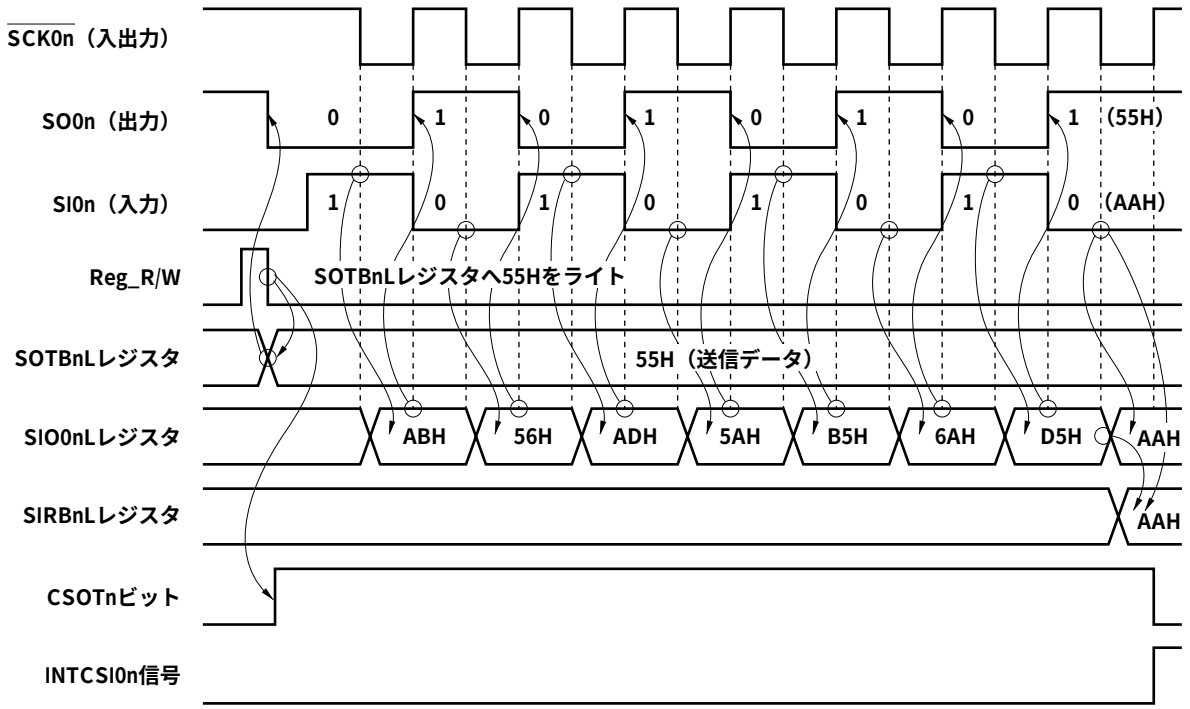
備考1.　Reg_R/W：内部信号。SIRBn/SIRBnLレジスタのリード，またはSOTBn/SOTBnLレジスタへのライトを行ったことを示す信号です。

2.　送受信タイプは17. 3（2）クロック同期式シリアル・インタフェース・クロック選択レジスタn（CSICn）を参照してください。

3.　n = 0, 1

図17－3　シングル転送モードでのタイミング・チャート（2/2）

（b）送受信モード，データ長：8ビット，転送方向：MSB先頭，割り込み遅延なし，シングル転送モード，AAH受信，55H送信時，送受信タイプ2の場合



備考1.　Reg_R/W：内部信号。SIRBn/SIRBnLレジスタのリード，またはSOTBn/SOTBnLレジスタへのライトを行ったことを示す信号です。

2.　送受信タイプは17. 3（2）クロック同期式シリアル・インタフェース・クロック選択レジスタn（CSICn）を参照してください。

3.　n = 0, 1

17. 4. 3　連続転送モード

（1）使用方法（受信専用：8ビット・データ長）

<1> 連続転送モード（CSIM0n.AUTOnビット = 1），受信専用モード（CSIM0n.TRMDnビット = 0）に設定する。

<2> SIRBnLレジスタをリードする（ダミー・リードで転送を開始させる）。

<3> 送受信完了割り込み要求信号（INTCSI0n）が発生したら，SIRBnLレジスタをリードする[注]（次の転送を予約する）。

<4> （N－2）回，<3>を繰り返す（N：転送データ数）。

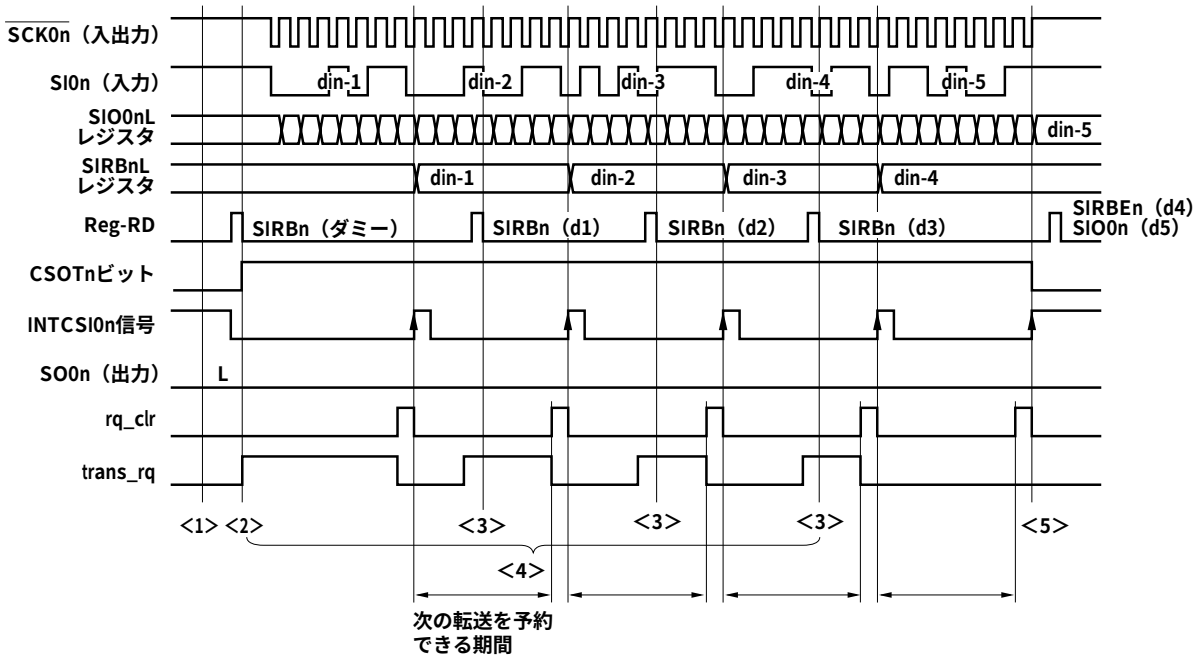
N－1回目のデータ受信による割り込みを無視する（ここでSIRBEnLレジスタをリードしてもよい）。

<5> 最後のINTCSI0n信号発生のあと，SIRBEnLレジスタとSIO0nLレジスタをリードする[注]。

注　N個のデータを転送する場合，最初のデータから（N－2）番目のデータまではSIRBnLレジスタをリードすることで受信データを取り込みます。（N－1）番目のデータはSIRBEnLレジスタのリード，N番目（最後）のデータはSIO0nLレジスタのリードにより受信データを取り込みます（表17－1　各バッファ・レジスタの使用方法を参照してください）。

図17－4　連続転送（受信専用）タイミング・チャート

・送受信タイプ1, 8ビット・データ長の場合



備考1.　Reg-RD　：内部信号。SIRBnLレジスタをリードしたことを示す信号です。

rq_clr：内部信号。転送要求クリア信号です。

trans_rq：内部信号。転送要求信号です。

2.　n = 0, 1

連続転送モードの場合，2回の転送要求が最初の転送開始で設定されます。INTCSI0n信号のあと，次の転送の予約期間内でSIRBnLレジスタをリードできれば，転送は続けられます。SIRBnLレジスタのリードができなければ，転送は終了し，SIRBnLレジスタはSIO0nLレジスタの新しい値を受け取りません。

最後のデータは，転送終了後のSIO0nLレジスタをリードしてください。

(2) 使用方法（送受信：8ビット・データ長）

<1> 連続転送モード（CSIM0n.AUTOnビット = 1），送受信モード（CSIM0n.TRMDnビット = 1）に設定する。

<2> 最初のデータをSOTBFnLレジスタにライトする。

<3> 2番目のデータをSOTBnLレジスタにライトする（転送を開始させる）。

<4> 送受信完了割り込み要求信号（INTCSI0n）が発生したら，SOTBnLレジスタに次のデータをライトする（次の転送を予約する）。SIRBnLレジスタをリードして受信データを取り込む。

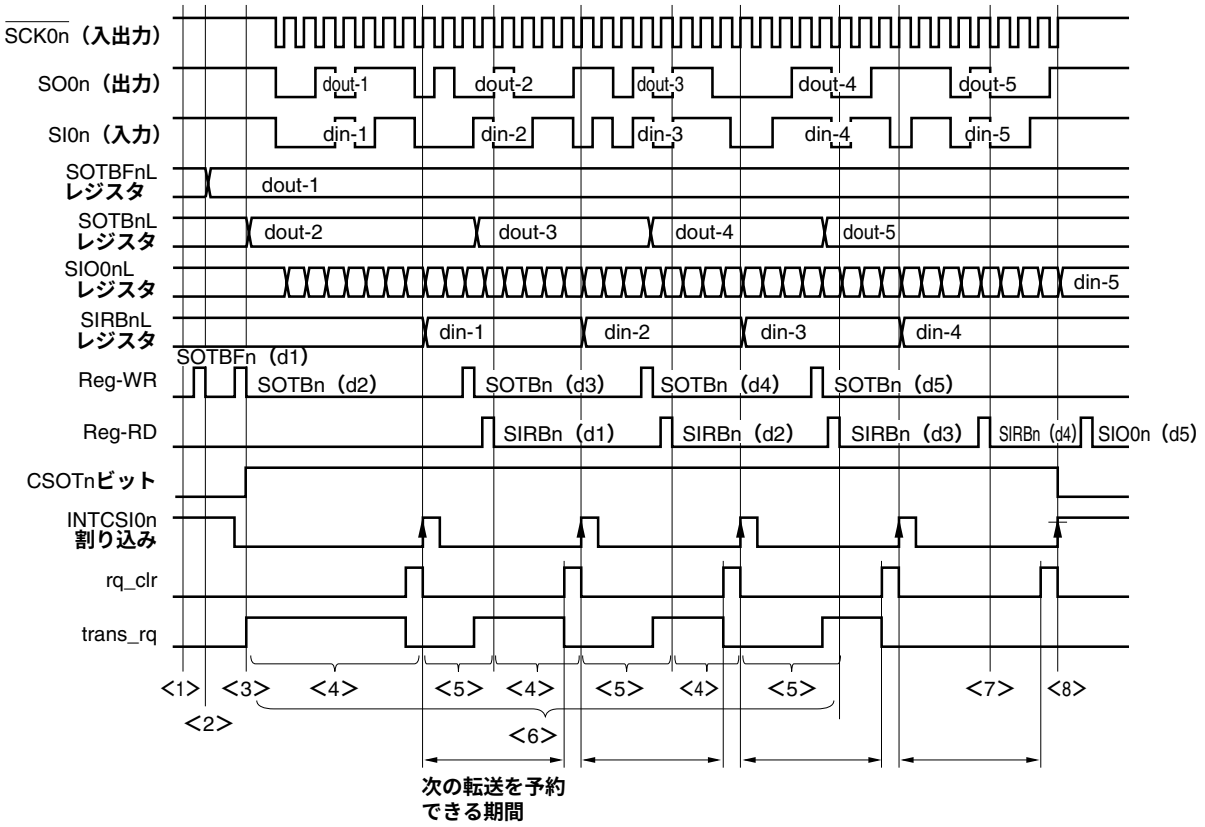
<5> 送りたいデータがある間，<4>を繰り返す。

<6> INTCSI0n信号が発生したら，SIRBnLレジスタをリードして（N－1）番目の受信データを取り込む（N：転送データ数）。

<7> 最後のINTCSI0n信号のあと，SIO0nLレジスタをリードしてN番目（最後）の受信データを取り込む。

図17－5　連続転送（送受信）タイミング・チャート

・送受信タイプ1, 8ビット・データ長の場合



備考1.　Reg-WR：内部信号。SOTBnLレジスタへライトしたことを示す信号です。

Reg-RD：内部信号。SIRBnLレジスタをリードしたことを示す信号です。

rq_clr：内部信号。転送要求クリア信号です。

trans_rq：内部信号。転送要求信号です。

2.　n = 0, 1

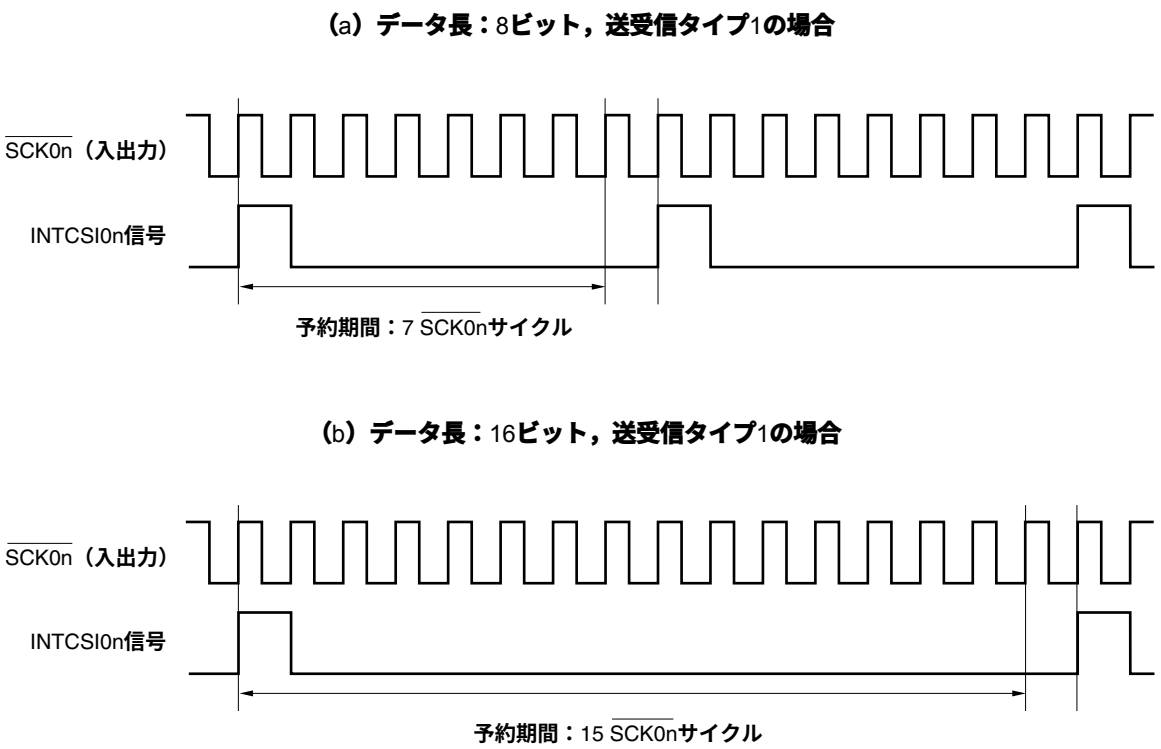
連続転送モードの場合，2回の転送要求が最初の転送開始で設定されます。INTCSI0n信号発生のあと，次の転送の予約期間内でSOTBnLレジスタに次のデータをライトできれば，転送は続けられます。SOTBnLレジスタへのライトができなければ，転送は終了し，SIRBnLレジスタはSIO0nLレジスタの新しい値を受け取りません。

最後の受信データは，転送終了後のSIO0nLレジスタをリードしてください。

（3）次転送予約期間

連続転送モードでは，図17－6に示す期間中に次の転送の準備をする必要があります。

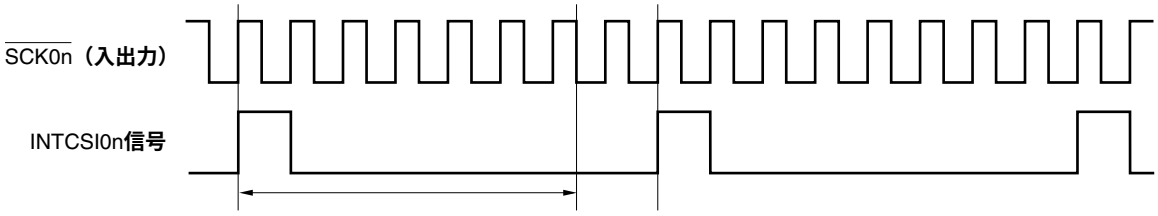
図17－6　次転送予約期間タイミング・チャート（1/2）



備考　n = 0, 1

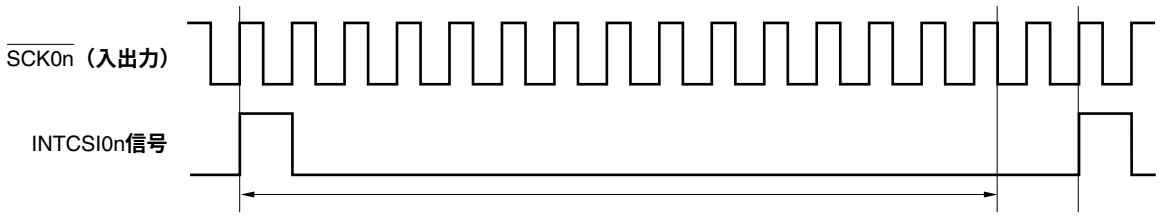
図17－6　次転送予約期間タイミング・チャート（2/2）

（c）データ長：8ビット，送受信タイプ2の場合



予約期間：6.5 $\overline{\text{SCK0n}}$**サイクル**

（d）データ長：16ビット，送受信タイプ2の場合



予約期間：14.5 $\overline{\text{SCK0n}}$**サイクル**

備考　n = 0, 1

（4）注意事項

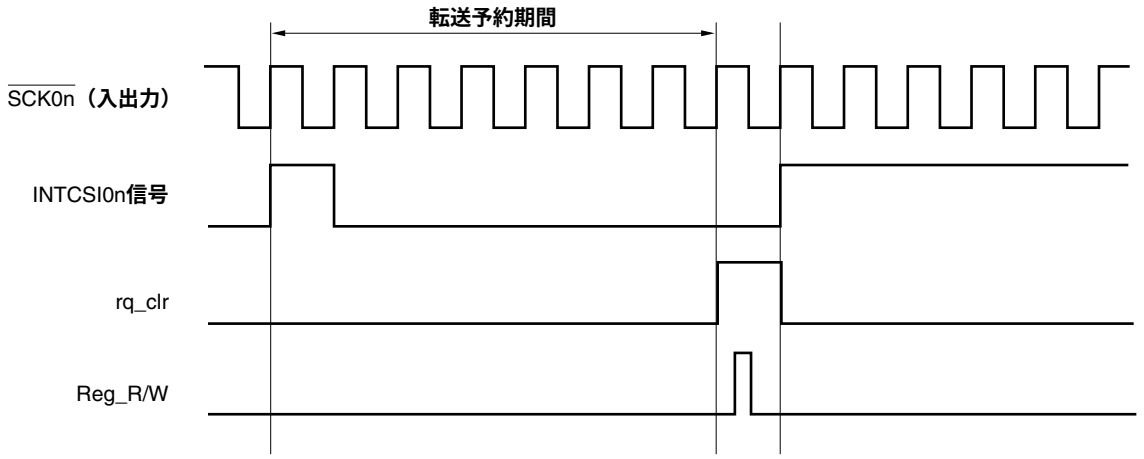
連続転送を継続させるため，転送予約期間中にSIRBnレジスタのリード，またはSOTBnレジスタへのライトを必ず行ってください。

転送予約期間を過ぎてSIRBnレジスタやSOTBnレジスタをアクセスしたときには次のようになります。

(i) 転送要求クリアとレジスタ・アクセスが競合した場合

転送要求のクリアは高い優先順位を持つため，次の転送要求は無視されます。そのため，転送は中断することになり，正常なデータ転送が行えなかったことになります。

図17－7　転送要求クリアとレジスタ・アクセスの競合



備考1.　rq_clr：内部信号。転送要求クリア信号です。

Reg_R/W：内部信号。SIRBn/SIRBnLレジスタのリード，またはSOTBn/SOTBnLレジスタへのライトを行ったことを示す信号です。

2.　n = 0, 1

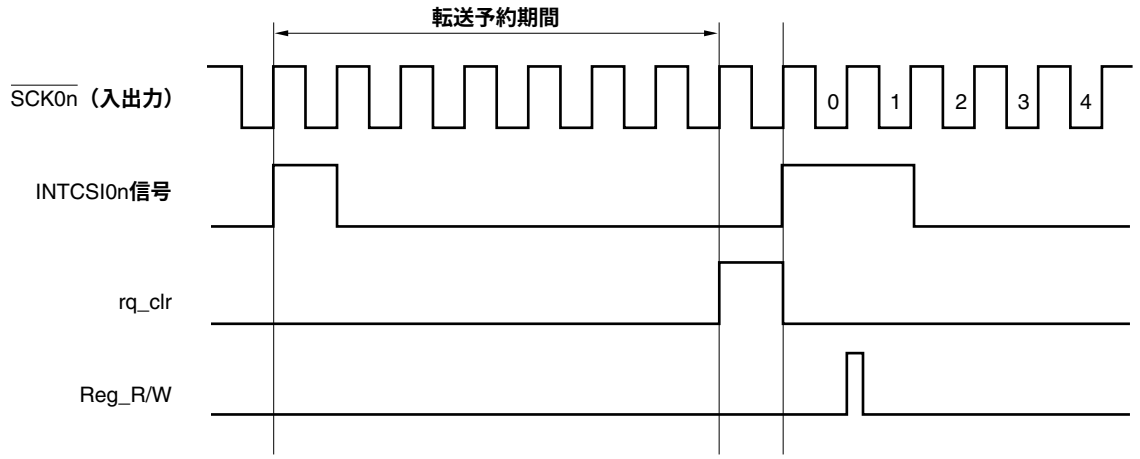
（ii）送受信完了割り込み要求信号（INTCSI0n）発生とレジスタ・アクセスが競合した場合

連続転送がいったん停止するため，新しい連続転送開始として実行します。

スレーブ・モードの場合には，ビット相違の転送エラーとなります（図17－8参照）。

送受信モードの場合には，SOTBFnレジスタの値を再転送し，不正データを送ります。

図17－8　割り込み要求とレジスタ・アクセスの競合



備考1.　rq_clr：内部信号。転送要求クリア信号です。

Reg_R/W：内部信号。SIRBn/SIRBnLレジスタのリード，またはSOTBn/SOTBnLレジスタへのライトを行ったことを示す信号です。

2.　n = 0, 1

17. 5　出力端子

各出力端子について説明します。各端子の設定については表4－16　ポート端子を兼用端子として使用する場合を参照してください。

（1）$\overline{\text{SCK0n}}$端子

CSI0n動作禁止（CSIM0n.CSI0Enビット = 0）のとき，$\overline{\text{SCK0n}}$端子出力状態は次のようになります。

表17－2　$\overline{\text{SCK0n}}$端子出力状態

CKPn	CKS0n2	CKS0n1	CKS0n0	$\overline{\text{SCK0n}}$端子出力
0	任意	任意	任意	ハイ・レベル固定
1	1	1	1	ハイ・インピーダンス
	上記以外			ロウ・レベル固定

備考　n = 0, 1

（2）SO0n端子

CSI0n動作禁止（CSI0Enビット = 0）のとき，SO0n端子出力状態は次のようになります。

表17－3　SO0n端子出力状態

TRMDn	DAPn	AUTOn	CCLn	DIRn	SO0n端子出力
0	任意	任意	任意	任意	ロウ・レベル固定
1	0	任意	任意	任意	SOラッチの値（ロウ・レベル）
	1	0	0	0	SOTBn7ビットの値
				1	SOTBn0ビットの値
			1	0	SOTBn15ビットの値
				1	SOTBn0ビットの値
		1	0	0	SOTBFn7ビットの値
				1	SOTBFn0ビットの値
			1	0	SOTBFn15ビットの値
				1	SOTBFn0ビットの値

備考　n = 0, 1

第18章　自動送受信機能付きクロック同期式シリアル・インタフェースA（CSIA）

V850ES/KG1+はCSIAを2チャネル搭載しています。

18. 1　機　　能

CSIAnには，次の2種類のモードがあります。

- 3線式シリアルI/Oモード
- 自動送受信機能付き3線式シリアルI/Oモード

（1）3線式シリアルI/Oモード

シリアル・クロック端子（$\overline{\text{SCKAn}}$）とシリアル・データ端子（SIAn，SOAn）の3本のラインにより，8ビット・データ転送を行うモードです。

シリアル転送する8ビット・データの先頭ビットをMSBか，またはLSBかに切り替えることができますので，いずれの先頭ビットのデバイスとも接続できます。

（2）自動送受信機能付き3線式シリアルI/Oモード

シリアル・クロック端子（$\overline{\text{SCKAn}}$）とシリアル・データ端子（SIAn, SOAn）の3本のラインにより，8ビット・データ転送を行うモードです。

シリアル転送する8ビット・データの先頭ビットをMSBか，またはLSBかに切り替えることができますので，いずれの先頭ビットのデバイスとも接続できます。

自動転送用バッファRAMを32バイト内蔵しているので，ソフトウエアを介さずに表示ドライバなどとデータ転送可能です。

○最大転送速度：2 Mbps（マスタ・モード時）
○マスタ・モードとスレーブ・モードを選択可能
○転送データ長：8ビット
○転送データのMSB/LSB先頭を切り替え可能
○自動送受信機能：
　1-32バイトまで転送バイト数を指定可能
　転送間隔指定可能（0-63クロック）
　単発転送／繰り返し転送を指定可能
○専用ボー・レート・ジェネレータ（6/8/16/32分周）内蔵
○3線式　SOAn　：シリアル・データ出力
　　SIAn　：シリアル・データ入力
　　$\overline{\text{SCKAn}}$　：シリアル・クロック入出力
○送受信完了割り込み要求信号：INTCSIAn
○32バイトのバッファRAMを内蔵

備考　n = 0, 1

18. 2　構　　成

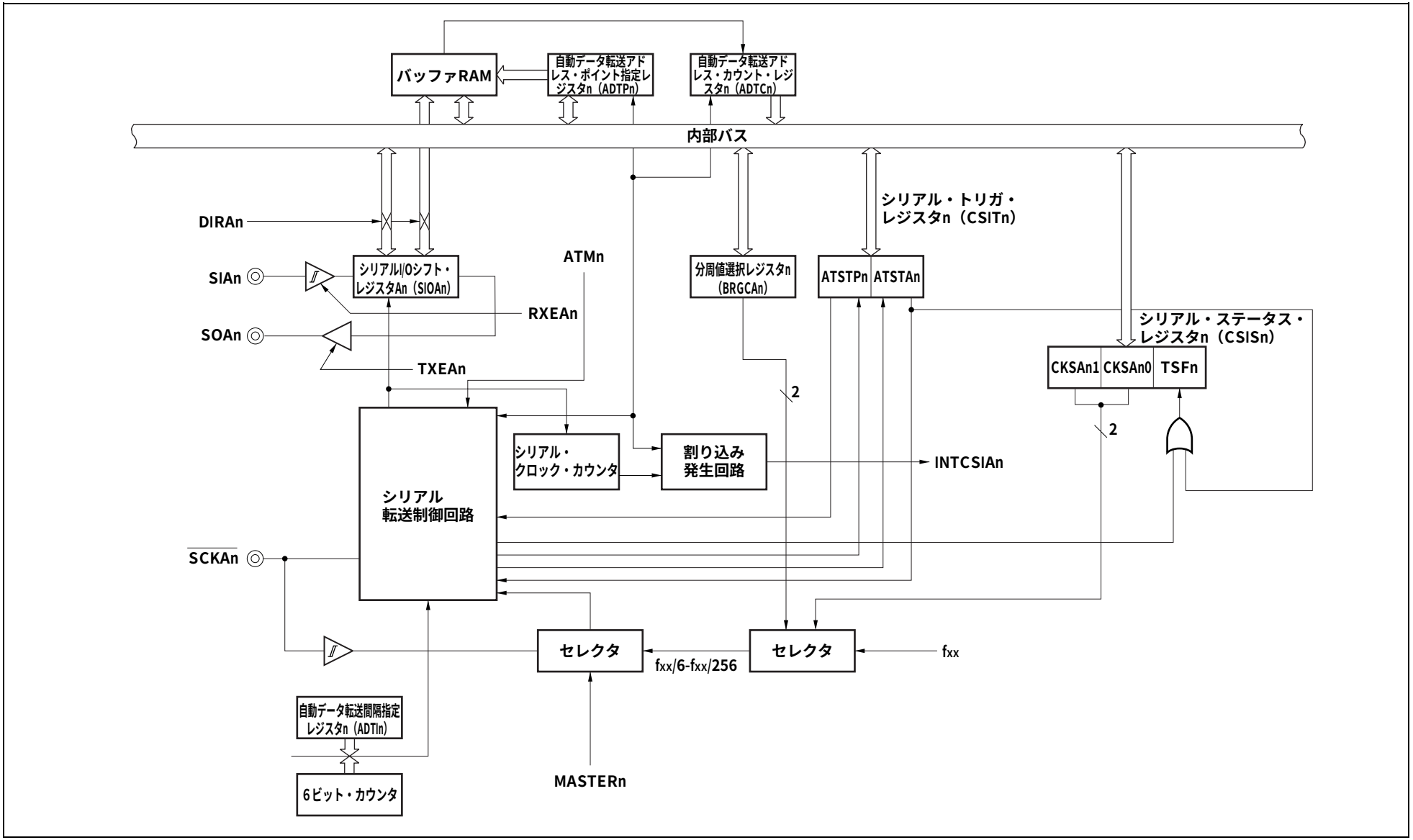
CSIAnは，次のハードウエアで構成しています。

表18－1　CSIAnの構成

項　　目	構　　成
レジスタ	シリアルI/Oシフト・レジスタAn（SIOAn） 自動データ転送アドレス・カウント・レジスタn（ADTCn） CSIAnバッファRAM（CSIAnBm, CSIAnBmL, CSIAnBmH）（m = 0-F）
制御レジスタ	シリアル動作モード指定レジスタn（CSIMAn） シリアル・ステータス・レジスタn（CSISn） シリアル・トリガ・レジスタn（CSITn） 分周値選択レジスタn（BRGCAn） 自動データ転送アドレス・ポイント指定レジスタn（ADTPn） 自動データ転送間隔指定レジスタn（ADTIn）

備考　ポートの兼用機能の設定については，表4－16　ポート端子を兼用端子として使用する場合を参照してください。

図18－1　CSIAnのブロック図



(1) シリアルI/O**シフト・レジスタ**An（SIOAn）

1**バイト転送モード**（CSIMAn.ATEn**ビット** = 0）**時の送信データおよび受信データを格納する**8**ビットのレジスタです。**SIOAn**レジスタに送信データを書き込むことにより，転送が開始されます。また転送完了割り込み要求信号**（INTCSIAn）**の発生後**（CSISn.TSFn**ビット** = 0），SIOAn**レジスタからデータを読み出すことにより，受信データを受け取ることができます。**

8**ビット単位でリード／ライト可能です。ただし，**TSFn**ビット** = 1**のとき，**SIOAn**レジスタへの書き込みは禁止です。**

リセットにより00H**になります。**

注意1.　**転送動作の起動は，**SIOAn**レジスタへの書き込みで行われるため，送信禁止（**CSIMAn.TXEAn**ビット** = 0）**のときも，ダミー・データを**SIOAn**レジスタに書き込み，転送動作を起動してから受信動作を行ってください。**

2.　**自動送受信機能が動作しているとき，**SIOAn**レジスタにデータを書き込まないでください。**

リセット時：00H　R/W　**アドレス：**SIOA0 FFFFFD46H, SIOA1 FFFFFD56H

	7	6	5	4	3	2	1	0
SIOAn	SIOAn7	SIOAn6	SIOAn5	SIOAn4	SIOAn3	SIOAn2	SIOAn1	SIOAn0

（n = 0, 1）

(2) 自動データ転送アドレス・カウント・レジスタn（ADTCn）

自動転送時におけるバッファRAM**のアドレスを示すレジスタです。自動転送を中断した場合に，**ADTCn**レジスタのレジスタ値を読み出すことによって，中断したデータ位置を知ることができます。**

8**ビット単位でリードのみ可能です。**

リセットにより00H**になります。ただし，**CSISn.TSFn**ビット** = 1**のときは，**ADTCn**レジスタからの読み出しは禁止です。**

リセット時：00H　R　**アドレス：**ADTC0 FFFFFD47H, ADTC1 FFFFD57H

	7	6	5	4	3	2	1	0
ADTCn	ADTCn7	ADTCn6	ADTCn5	ADTCn4	ADTCn3	ADTCn2	ADTCn1	ADTCn0

（n = 0, 1）

18. 3　レジスタ

シリアル・インタフェースCSIAnは，次の6種類のレジスタで制御します。

- シリアル動作モード指定レジスタn（CSIMAn）
- シリアル・ステータス・レジスタn（CSISn）
- シリアル・トリガ・レジスタn（CSITn）
- 分周値選択レジスタn（BRGCAn）
- 自動データ転送アドレス・ポイント指定レジスタn（ADTPn）
- 自動データ転送間隔指定レジスタn（ADTIn）

（1）シリアル動作モード指定レジスタn（CSIMAn）

シリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：CSIMA0 FFFFFD40H, CSIMA1 FFFFD50H

	⑦	6	5	4	③	②	①	0
CSIMAn （n = 0, 1）	CSIAEn	ATEn	ATMn	MASTERn	TXEAn	RXEAn	DIRAn	0

CSIAEn	CSIAnの動作許可／禁止の制御
0	CSIAn動作禁止（SOAn：ロウ・レベル，$\overline{\text{SCKAn}}$：ハイ・レベル）
1	CSIAn動作許可

- CSIAEnビットをクリア（0）すると，CSIAnユニットを非同期にリセット注します。
- CSIAEnビット = 0の場合は，CSIAnユニットはリセット状態なので，CSIAnを動作させる場合には，まずCSIAEnビットをセット（1）してください。
- CSIAEnビットを1から0にクリアした場合は，CSIAnユニットのすべてのレジスタが初期化されます。再度CSIAEnビットをセット（1）する前に，必ずCSIAnユニットのレジスタを再設定してください。
- CSIAEnビットを1から0にクリアした場合は，バッファRAMの値は保持されません。また，CSIAEnビット = 0のとき，バッファRAMへのアクセスはできません。

ATEn	自動転送動作の許可／禁止の制御
0	1バイト転送モード
1	自動転送モード

ATMn	自動転送モードの指定
0	単発モード（ADTPnレジスタで指定したアドレスで停止）
1	繰り返しモード（転送終了後，ADTCnレジスタを00Hにクリアし転送を再開）

MASTERn	CSIAnのマスタ／スレーブ・モードの指定
0	スレーブ・モード（$\overline{\text{SCKAn}}$入力のクロックに同期）
1	マスタ・モード（内部クロックに同期）

TXEAn	送信動作の許可／禁止の制御
0	送信動作禁止（SOAn：ロウ・レベル）
1	送信動作許可

RXEAn	受信動作の許可／禁止の制御
0	受信動作禁止
1	受信動作許可

DIRAn	転送データの方向の指定
0	MSBファースト
1	LSBファースト

注　リセットされるのは，ADTCn, CSITn, SIOAnレジスタとCSISn.TSFnビットです。

(2) シリアル・ステータス・レジスタn（CSISn）

CSIAnのシリアル・クロック選択，CSIAnの状態を示す8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。ただし，TSFnビット = 1の場合，CSISnレジスタの書き換えは禁止です。

リセット時：00H　R/W　アドレス：CSIS0 FFFFFD41H, CSIS1 FFFFD51H

	7	6	5	4	3	2	1	0
CSISn	CKSAn1	CKSAn0	0	0	0	0	0	TSFn

（n = 0, 1）

CKSAn1	CKSAn0	シリアル・クロック（fSCKA）の選択注			
			20 MHz	16 MHz	10 MHz
0	0	fxx	設定禁止	設定禁止	100 ns
0	1	fxx/2	100 ns	125 ns	200 ns
1	0	fxx/4	200 ns	250 ns	400 ns
1	1	fxx/8	400 ns	500 ns	800 ns
CSIMAn.CSIAEnビット = 1のときの書き換えは禁止です。					

TSFn	転送状態
0	CSIAEnビット = 0 リセット入力時 指定された転送終了時 CSITn.ATSTPnビット = 1により転送を中断したとき
1	転送スタートから指定された転送が終了するまで

注　次の条件を満たすようにfSCKAを設定してください。

- V_{DD} = REGC = 4.0～5.5 V：f_{SCKA}≦12 MHz
- V_{DD} = 4.0～5.5 V, REGC =10 μF：f_{SCKA}≦6 MHz
- V_{DD} = REGC = 2.7～4.0 V：f_{SCKA}≦6 MHz

注意1.　TSFnビットはリードのみ可能です。

2.　TSFnビット= 1のとき，CSIMAn, CSISn, BRGCAn, ADTPn, ADTIn, SIOAnレジスタの書き換えは禁止です。
また転送バッファRAMへの書き換えは可能です。

3.　ビット1-5には，必ず0を設定してください。

(3) シリアル・トリガ・レジスタn（CSITn）

バッファRAMとシフト・レジスタ間のCSITnレジスタは，自動データ転送の実行／中断を制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。ただし，CSIMAn.ATEnビット = 1の場合のみ操作してください（ATEnビット = 0の場合は操作禁止）。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：CSIT0 FFFFFD42H, CSIT1 FFFFD52H

	7	6	5	4	3	2	①	⓪
CSITn （n = 0, 1）	0	0	0	0	0	0	ATSTPn	ATSTAn

ATSTPn	自動データ転送の中断
0	—
1	自動データ転送を中断

ATSTPnビットをセット（1）しても，1バイトの転送が終了するまでは停止しません。
送受信完了割り込み要求信号（INTCSIAn）が発生する直前まで1が保持し，その後自動的に“0”になります。
自動データ転送中断後，ADTCnレジスタには中断したときのデータ・アドレスが格納されています。ただし，自動データ転送の再開機能を有していないため，ATSTPnビット転送を中断した場合は，各レジスタを再設定後，ATSTAnビットをセット（1）して自動データ転送をスタートしてください。

ATSTAn	自動データ転送の開始
0	—
1	自動データ転送を開始

ATSTAnビットをセット（1）しても，1バイトの転送が終了するまでは開始しません。
INTCSIAn信号が発生する直前まで1が保持し，その後自動的に“0”になります。

（4）分周値選択レジスタn（BRGCAn）

シリアル転送スピード（CSIAクロックの分周値）を制御する8ビットのレジスタです。

8ビット単位でリード／ライト可能です。ただし，CSISn.TSFnビット = 1のときはBRGCAnレジスタへの書き換えは禁止です。

リセットにより03Hになります。

リセット時：03H　R/W　アドレス：BRGCA0 FFFFFD43H, BRGCA1 FFFFD53H

	7	6	5	4	3	2	1	0
BRGCAn	0	0	0	0	0	0	BRGCn1	BRGCn0

（n = 0, 1）

BRGCn1	BRGCn0	CSIAnシリアル・クロック（f_{SCKA}の分周比）の選択
0	0	6分周（f_{SCKA}/6）
0	1	8分周（f_{SCKA}/8）
1	0	16分周（f_{SCKA}/16）
1	1	32分周（f_{SCKA}/32）

（5）自動データ転送アドレス・ポイント指定レジスタn（ADTPn）

自動データ転送時（CSIMAn.ATEnビット = 1）の転送を終了するバッファRAMのアドレスを指定する8ビットのレジスタです。

8ビット単位でリード／ライト可能です。ただし，CSISn.TSFnビット = 1のときは，ADTPnレジスタへの書き換えは禁止です。

リセットにより00Hになります。

V850ES/KG1+では，バッファRAMを32バイト内蔵しているので，00H-1FHまで指定可能です。

例　ADTP0レジスタに07Hを設定した場合
FFFFFE00H-FFFFFE07Hまでの8バイトを転送します

繰り返しモード（CSIMAn.ATMnビット = 1）の場合は，ADTPnレジスタで指定したアドレス値まで繰り返し転送します。

例　ADTP0レジスタに07Hを設定した場合（繰り返しモード）
FFFFFE00H-FFFFFE07H…と繰り返し転送します

リセット時：00H　R/W　アドレス：ADTP0 FFFFFD44H, ADTP1 FFFFD54H

	7	6	5	4	3	2	1	0
ADTPn	0	0	0	ADTPn4	ADTPn3	ADTPn2	ADTPn1	ADTPn0

（n = 0, 1）

注意　ビット7-5には，必ず0を設定してください。

バッファRAMのアドレス値とADTPnレジスタの設定値の関係を次に示します。

表18－2　バッファRAMのアドレス値とADTP0レジスタの設定値の関係

バッファRAMのアドレス値	ADTP0レジスタの設定値	バッファRAMのアドレス値	ADTP0レジスタの設定値
FFFFFE00H	00H	FFFFFE10H	10H
FFFFFE01H	01H	FFFFFE11H	11H
FFFFFE02H	02H	FFFFFE12H	12H
FFFFFE03H	03H	FFFFFE13H	13H
FFFFFE04H	04H	FFFFFE14H	14H
FFFFFE05H	05H	FFFFFE15H	15H
FFFFFE06H	06H	FFFFFE16H	16H
FFFFFE07H	07H	FFFFFE17H	17H
FFFFFE08H	08H	FFFFFE18H	18H
FFFFFE09H	09H	FFFFFE19H	19H
FFFFFE0AH	0AH	FFFFFE1AH	1AH
FFFFFE0BH	0BH	FFFFFE1BH	1BH
FFFFFE0CH	0CH	FFFFFE1CH	1CH
FFFFFE0DH	0DH	FFFFFE1DH	1DH
FFFFFE0EH	0EH	FFFFFE1EH	1EH
FFFFFE0FH	0FH	FFFFFE1FH	1FH

表18－3　バッファRAMのアドレス値とADTP1レジスタの設定値の関係

バッファRAMのアドレス値	ADTP1レジスタの設定値	バッファRAMのアドレス値	ADTP1レジスタの設定値
FFFFFE20H	00H	FFFFFE30H	10H
FFFFFE21H	01H	FFFFFE31H	11H
FFFFFE22H	02H	FFFFFE32H	12H
FFFFFE23H	03H	FFFFFE33H	13H
FFFFFE24H	04H	FFFFFE34H	14H
FFFFFE25H	05H	FFFFFE35H	15H
FFFFFE26H	06H	FFFFFE36H	16H
FFFFFE27H	07H	FFFFFE37H	17H
FFFFFE28H	08H	FFFFFE38H	18H
FFFFFE29H	09H	FFFFFE39H	19H
FFFFFE2AH	0AH	FFFFFE3AH	1AH
FFFFFE2BH	0BH	FFFFFE3BH	1BH
FFFFFE2CH	0CH	FFFFFE3CH	1CH
FFFFFE2DH	0DH	FFFFFE3DH	1DH
FFFFFE2EH	0EH	FFFFFE3EH	1EH
FFFFFE2FH	0FH	FFFFFE3FH	1FH

（6）自動データ転送間隔指定レジスタn（ADTIn）

自動データ転送時（CSIMAn.ATEnビット = 1）の1バイト転送間におけるインターバル期間（間隔）を指定する8ビットのレジスタです。

ADTInレジスタは，マスタ・モード（CSIMAn.MASTERnビット = 1）時に設定してください（スレーブ・モード時は設定不要）。また1バイト転送モード（ATEnビット = 0）時の設定は有効です。1バイト転送終了後ADTInレジスタで指定したインターバル時間を経て，送受信完了割り込み要求信号（INTCSIAn）が出力されます。インターバルのクロック数は0-63クロックまで設定できます。

8ビット単位でリード／ライト可能です。ただし，CSISn.TSFnビット = 1のときは，ADTInレジスタへの書き換えは禁止です。

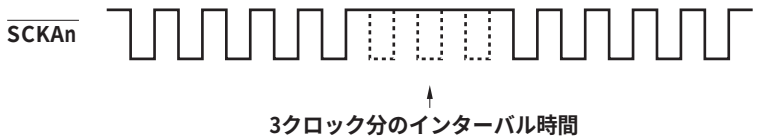
リセットにより00Hになります。

リセット時：00H　R/W　アドレス：ADTI0 FFFFFD45H, ADTI1 FFFFD55H

	7	6	5	4	3	2	1	0
ADTIn（n = 0, 1）	0	0	ADTIn5	ADTIn4	ADTIn3	ADTIn2	ADTIn1	ADTIn0

指定したインターバル時間は，転送クロック（BRGCAnレジスタで指定）の整数倍の時間となります。

例　ADTInレジスタ = 03Hの場合



（7）CSIAnバッファRAM（CSIAnBm）

自動転送モードにおける送受信データ（最大32バイト）を1バイト単位で保持する領域です。

CSIAnBmレジスタは，16ビット単位でリード／ライト可能です。ただし，CSIAnBmレジスタの上位8ビットをCSIAnBmHレジスタ，下位8ビットをCSIAnBmLレジスタとして使用する場合は，8ビット単位でリード／ライト可能です。

自動転送を開始させると，CSIAnB0Lレジスタから順次，ADTPnレジスタに設定された値＋1バイト送受信されます。

注意1.　CSIAnBmレジスタへデータを書き込んだあと，その値を読み出す場合は，f_{SCKA}（CSISn.CKSAn1, CKSAn0ビットで設定したシリアル・クロック）の6クロック分以上空けたあと，または別のアドレスのバッファRAMへの書き込みを行ったあとに読み出してください。

★　2.　次に示す状態において，CSIAnBmレジスタへのアクセスは禁止です。詳細は3. 4. 8（1）（b）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

備考　n = 0, 1

m = 0-F

表18－4　CSIA0バッファRAM

アドレス	略号	R/W	操作可能ビット		初期値
			8	16	
FFFFFE00H	CSIA0B0	R/W		○	不定
FFFFFE00H	CSIA0B0L	R/W	○		不定
FFFFFE01H	CSIA0B0H	R/W	○		不定
FFFFFE02H	CSIA0B1	R/W		○	不定
FFFFFE02H	CSIA0B1L	R/W	○		不定
FFFFFE03H	CSIA0B1H	R/W	○		不定
FFFFFE04H	CSIA0B2	R/W		○	不定
FFFFFE04H	CSIA0B2L	R/W	○		不定
FFFFFE05H	CSIA0B2H	R/W	○		不定
FFFFFE06H	CSIA0B3	R/W		○	不定
FFFFFE06H	CSIA0B3L	R/W	○		不定
FFFFFE07H	CSIA0B3H	R/W	○		不定
FFFFFE08H	CSIA0B4	R/W		○	不定
FFFFFE08H	CSIA0B4L	R/W	○		不定
FFFFFE09H	CSIA0B4H	R/W	○		不定
FFFFFE0AH	CSIA0B5	R/W		○	不定
FFFFFE0AH	CSIA0B5L	R/W	○		不定
FFFFFE0BH	CSIA0B5H	R/W	○		不定
FFFFFE0CH	CSIA0B6	R/W		○	不定
FFFFFE0CH	CSIA0B6L	R/W	○		不定
FFFFFE0DH	CSIA0B6H	R/W	○		不定
FFFFFE0EH	CSIA0B7	R/W		○	不定
FFFFFE0EH	CSIA0B7L	R/W	○		不定
FFFFFE0FH	CSIA0B7H	R/W	○		不定
FFFFFE10H	CSIA0B8	R/W		○	不定
FFFFFE10H	CSIA0B8L	R/W	○		不定
FFFFFE11H	CSIA0B8H	R/W	○		不定
FFFFFE12H	CSIA0B9	R/W		○	不定
FFFFFE12H	CSIA0B9L	R/W	○		不定
FFFFFE13H	CSIA0B9H	R/W	○		不定
FFFFFE14H	CSIA0BA	R/W		○	不定
FFFFFE14H	CSIA0BAL	R/W	○		不定
FFFFFE15H	CSIA0BAH	R/W	○		不定
FFFFFE16H	CSIA0BB	R/W		○	不定
FFFFFE16H	CSIA0BBL	R/W	○		不定
FFFFFE17H	CSIA0BBH	R/W	○		不定
FFFFFE18H	CSIA0BC	R/W		○	不定
FFFFFE18H	CSIA0BCL	R/W	○		不定
FFFFFE19H	CSIA0BCH	R/W	○		不定
FFFFFE1AH	CSIA0BD	R/W		○	不定
FFFFFE1AH	CSIA0BDL	R/W	○		不定
FFFFFE1BH	CSIA0BDH	R/W	○		不定
FFFFFE1CH	CSIA0BE	R/W		○	不定
FFFFFE1CH	CSIA0BEL	R/W	○		不定
FFFFFE1DH	CSIA0BEH	R/W	○		不定
FFFFFE1EH	CSIA0BF	R/W		○	不定
FFFFFE1EH	CSIA0BFL	R/W	○		不定
FFFFFE1FH	CSIA0BFH	R/W	○		不定

表18－5　CSIA1バッファRAM

アドレス	略号	R/W	操作可能ビット		初期値
			8	16	
FFFFFE20H	CSIA1B0	R/W		○	不定
FFFFFE20H	CSIA1B0L	R/W	○		不定
FFFFFE21H	CSIA1B0H	R/W	○		不定
FFFFFE22H	CSIA1B1	R/W		○	不定
FFFFFE22H	CSIA1B1L	R/W	○		不定
FFFFFE23H	CSIA1B1H	R/W	○		不定
FFFFFE24H	CSIA1B2	R/W		○	不定
FFFFFE24H	CSIA1B2L	R/W	○		不定
FFFFFE25H	CSIA1B2H	R/W	○		不定
FFFFFE26H	CSIA1B3	R/W		○	不定
FFFFFE26H	CSIA1B3L	R/W	○		不定
FFFFFE27H	CSIA1B3H	R/W	○		不定
FFFFFE28H	CSIA1B4	R/W		○	不定
FFFFFE28H	CSIA1B4L	R/W	○		不定
FFFFFE29H	CSIA1B4H	R/W	○		不定
FFFFFE2AH	CSIA1B5	R/W		○	不定
FFFFFE2AH	CSIA1B5L	R/W	○		不定
FFFFFE2BH	CSIA1B5H	R/W	○		不定
FFFFFE2CH	CSIA1B6	R/W		○	不定
FFFFFE2CH	CSIA1B6L	R/W	○		不定
FFFFFE2DH	CSIA1B6H	R/W	○		不定
FFFFFE2EH	CSIA1B7	R/W		○	不定
FFFFFE2EH	CSIA1B7L	R/W	○		不定
FFFFFE2FH	CSIA1B7H	R/W	○		不定
FFFFFE30H	CSIA1B8	R/W		○	不定
FFFFFE30H	CSIA1B8L	R/W	○		不定
FFFFFE31H	CSIA1B8H	R/W	○		不定
FFFFFE32H	CSIA1B9	R/W		○	不定
FFFFFE32H	CSIA1B9L	R/W	○		不定
FFFFFE33H	CSIA1B9H	R/W	○		不定
FFFFFE34H	CSIA1BA	R/W		○	不定
FFFFFE34H	CSIA1BAL	R/W	○		不定
FFFFFE35H	CSIA1BAH	R/W	○		不定
FFFFFE36H	CSIA1BB	R/W		○	不定
FFFFFE36H	CSIA1BBL	R/W	○		不定
FFFFFE37H	CSIA1BBH	R/W	○		不定
FFFFFE38H	CSIA1BC	R/W		○	不定
FFFFFE38H	CSIA1BCL	R/W	○		不定
FFFFFE39H	CSIA1BCH	R/W	○		不定
FFFFFE3AH	CSIA1BD	R/W		○	不定
FFFFFE3AH	CSIA1BDL	R/W	○		不定
FFFFFE3BH	CSIA1BDH	R/W	○		不定
FFFFFE3CH	CSIA1BE	R/W		○	不定
FFFFFE3CH	CSIA1BEL	R/W	○		不定
FFFFFE3DH	CSIA1BEH	R/W	○		不定
FFFFFE3EH	CSIA1BF	R/W		○	不定
FFFFFE3EH	CSIA1BFL	R/W	○		不定
FFFFFE3FH	CSIA1BFH	R/W	○		不定

18.4　動　　作

CSIAnには，次の2種類のモードがあります。

・3線式シリアルI/Oモード

・自動送受信機能付き3線式シリアルI/Oモード

18.4.1　3線式シリアルI/Oモード

CSIMAn.ATEnビットを0に設定したときのモードで，1バイトごとのデータ送受信を行います。

シリアル・クロック端子（$\overline{\text{SCKAn}}$），シリアル・データ出力端子（SOAn），シリアル・データ入力端子（SIAn）の3本のライン通信を行います。

3線式シリアルI/Oモードは次の3種類のレジスタで制御します。

・シリアル動作モード指定レジスタn（CSIMAn）

・シリアル・ステータス・レジスタn（CSISn）

・分周値選択レジスタn（BRGCAn）

備考1.　兼用端子の設定は表4－16　ポート端子を兼用端子として使用する場合を参照してください。

2.　n = 0, 1

（1）1バイト送受信の通信動作

（a）1バイト送受信

CSIMAn.CSIAEnビット = 1，ATEnビット = 0のときにSIOAnレジスタに転送データを書き込むと，そのデータを$\overline{\text{SCKAn}}$端子の立ち下がりに同期してSOAn端子から出力します。また，$\overline{\text{SCKAn}}$端子の立ち下がりに同期してSIAn端子から入力し，1クロック後の立ち上がりに同期して受信データをSIOAnレジスタに格納します。

データ送信，およびデータ受信を同時に行うことができます。

受信のみを行う際には，SIOAnレジスタにダミーの値を書き込まなければ転送を開始することができません。

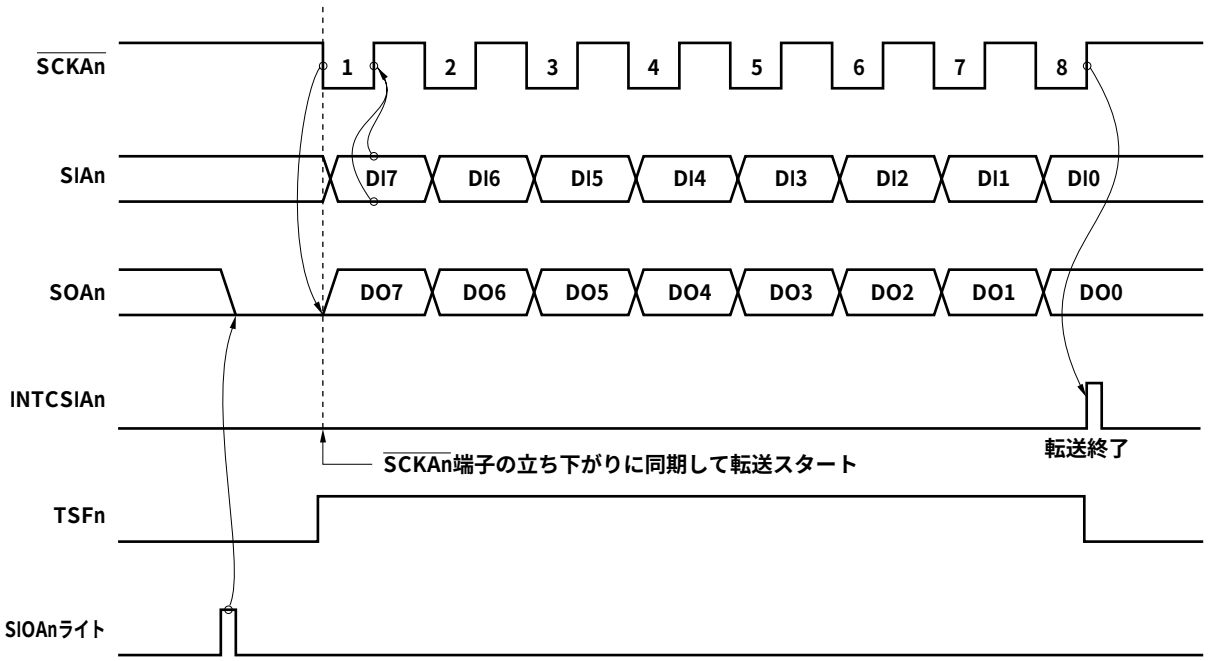
1バイトの転送が終了すると，送受信完了割り込み要求信号（INTCSIAn）を発生します。

1バイト送受信の場合，CSIMAn.ATMnビットの設定は無効になります。

データの読み出しはCSISn.TSFnビット = 0であることを確認してから行ってください。

注意　兼用端子の設定手順は通信相手との関係によって考慮してください。

図18－2　3線式シリアルI/Oモードのタイミング



注意　SIOAn**レジスタ・ライトにより，**SOAn**端子はロウ・レベルになります。**

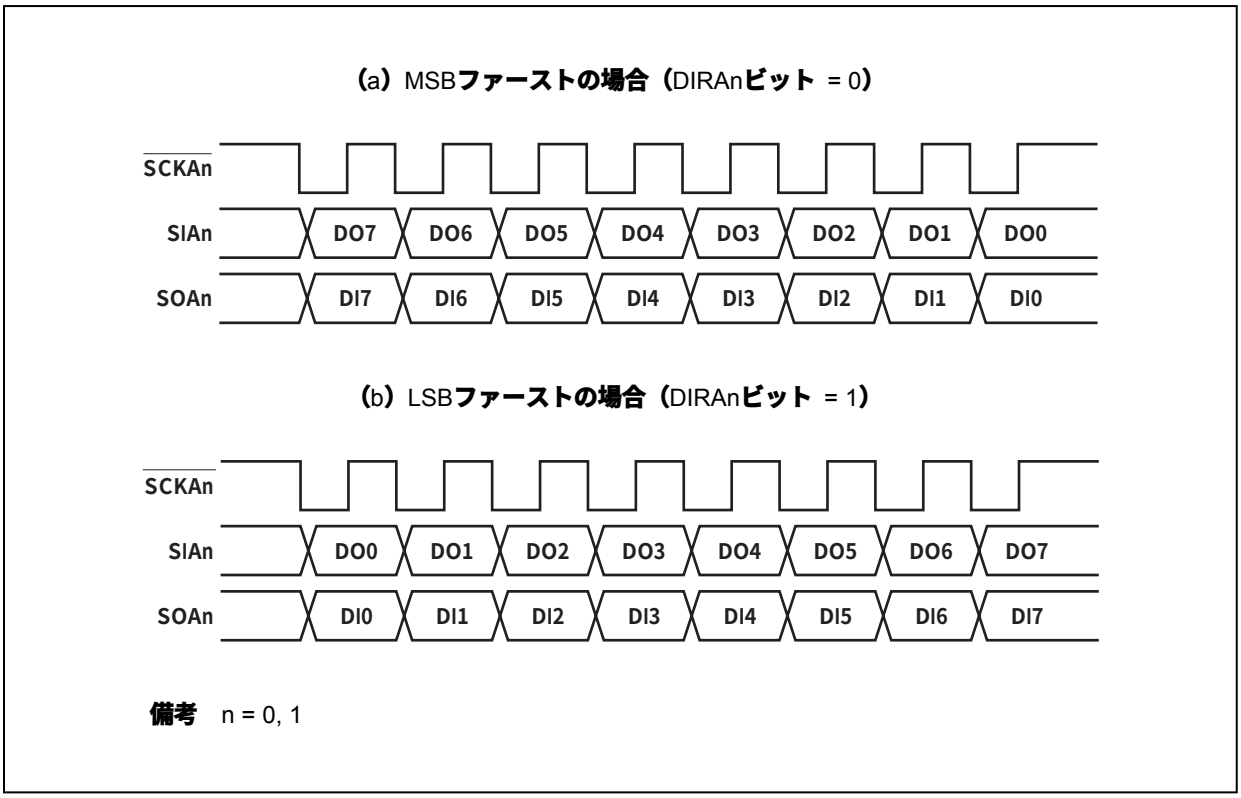
備考　n = 0, 1

(b) データ・フォーマット

データ・フォーマットは，図18－3に示すように，$\overline{\text{SCKAn}}$端子の立ち下がりに同期してデータが変化します。

データ長は8ビット固定であり，データ転送方向は，CSIMAn.DIRAnビットの指定により切り替えることができます。

図18－3　送受信データのフォーマット



(c) MSB/LSB先頭の切り替え

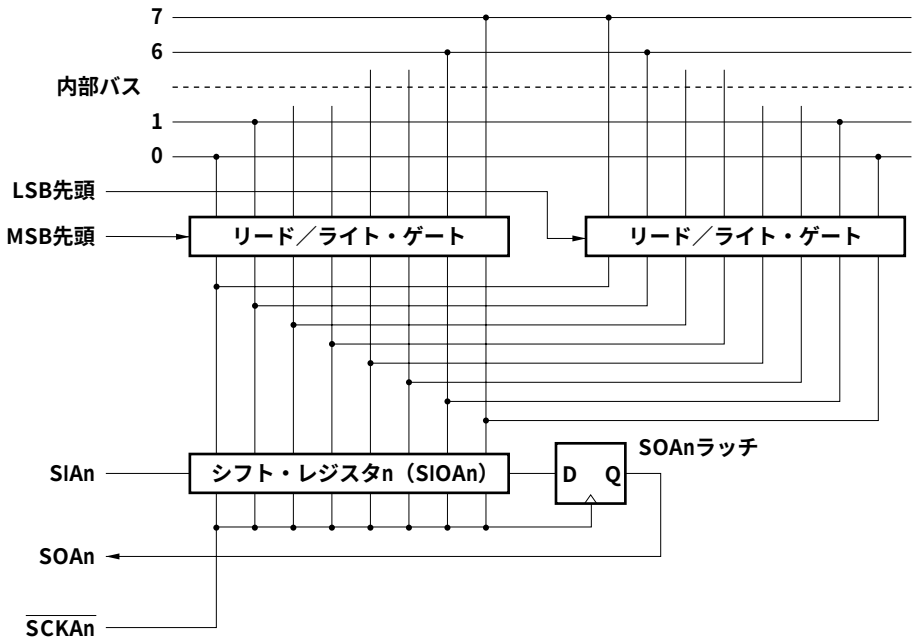
図18－4にSIOAnレジスタ，および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し／書き込みができます。

MSB/LSB先頭切り替えは，CSIMAn.DIRAnビットにより指定できます。

先頭ビットの切り替えは，SIOAnレジスタへのデータ書き込みのビット順を切り替えることによって実現させています。SIOAnレジスタのシフト順は常に同じです。

したがって，MSB/LSBの先頭ビットは，SIOAnレジスタにデータを書き込む前に切り替えてください。

図18ー4　転送ビット順切り替え回路



備考　n = 0, 1

（d）転送スタート

シリアル転送は，次の2つの条件を満たしたとき，SIOAnレジスタに転送データをセットすることで開始します。

- CSIAnの動作の制御ビット（CSIMAn.CSIAEn）　=1
- シリアル通信中でないとき

注意　SIOAnレジスタにデータを書き込んだあと，CSIAEnビットをセット（1）しても，通信はスタートしません。

8ビット通信終了により，シリアル通信は自動的に停止し，送受信完了割り込み要求信号（INTCSIAn）を発生します。

備考　n = 0, 1

18. 4. 2　自動送受信機能付き3線式シリアルI/Oモード

CSIMAn.ATEnビットを1に設定したときのモードで，最大32バイトのデータを，ソフトウエアの介在なしに送受信を行います。通信を開始させると，あらかじめRAMに格納しておいたデータを設定したバイト数だけ送信させたり，設定したバイト数だけデータを受信しRAMに格納させることができます。

自動送受信機能付き3線式シリアルI/Oモードでは次の6種類のレジスタで制御します。

- シリアル動作モード指定レジスタn（CSIMAn）
- シリアル・ステータス・レジスタn（CSISn）
- シリアル・トリガ・レジスタn（CSITn）
- 分周値選択レジスタn（BRGCAn）
- 自動データ転送アドレス・ポイント指定レジスタn（ADTPn）
- 自動データ転送間隔指定レジスタn（ADTIn）

備考1.　兼用端子の設定は表4－16　ポート端子を兼用端子として使用する場合を参照してください。

2.　n = 0, 1

（1）自動送受信データの設定

（a）送信データの設定

① バッファRAMの最下位アドレスFFFFFE00H/FFFFFE20Hから送信データを書き込む（最大FFFFFE1FH/FFFFFE3FHまで）。送信データ順は，下位アドレスから上位アドレスです。
② ADTPnレジスタに，送信データ・バイト数から1を引いた値を設定する。

（b）自動送受信モードの設定

① CSIMAn.CSIAEn, ATEnビットに11を設定する。
② CSIMAn.RXEAn, TXEAnビットに11を設定する。
③ ADTInレジスタにデータ送受信の転送間隔を設定する。
④ CSITn.ATSTAnビットに1を設定する。

（a），（b）を行うことによって，次の動作が自動的に行われます。

- ADTCnレジスタで示された（初期値：00H）バッファRAMのデータをSIOAnレジスタに転送後，送信を行います（自動送受信動作の開始）。
- 受信したデータは，ADTCnレジスタで示されたバッファRAMのアドレスへ書き込まれます。
- ADTCnレジスタがインクリメントされ，次のデータの送受信を行います。データの送受信は，ADTCnレジスタのインクリメンタ出力がADTPnレジスタの設定値と一致するところまで行われます（自動送受信動作の終了）。ただし，CSIMAn.ATMnビットに1を設定（連続転送モード）した場合は，ADTPnレジスタとADTCnレジスタが一致したあと，ADTCnレジスタがクリアされ，繰り返し送受信動作が行われます。
- 自動送受信動作が終了するとCSISn.TSFnビットがクリア（0）されます。

注意　兼用端子の設定手順は通信相手との関係によって考慮してください。

備考　n = 0, 1

(2) 自動送受信の通信動作

(a) 自動送受信モード

バッファRAMを用いることにより自動送受信を行うことができます。

(1) 自動送受信データの設定の（a），（b）を行うことによって，バッファRAMに格納したデータをSIOAnレジスタを介して$\overline{\text{SCKAn}}$端子の立ち下がりに同期してSOAn端子より出力します。

また，SIOAnレジスタを介して$\overline{\text{SCKAn}}$端子の立ち下がりに同期してSIAn端子から入力し，１クロック後の立ち上がりに同期して受信データをバッファRAMに格納します。

データ転送は，次のいずれかを満たしたときにCSISn.TSFnビット = 0となり，転送が終了します。

- CSIMAn.CSIAEnビット = 0でリセット
- CSITn.ATSTPnビット = 1と指定して1バイト分転送が完了
- ADTPnレジスタで指定した範囲の転送が完了

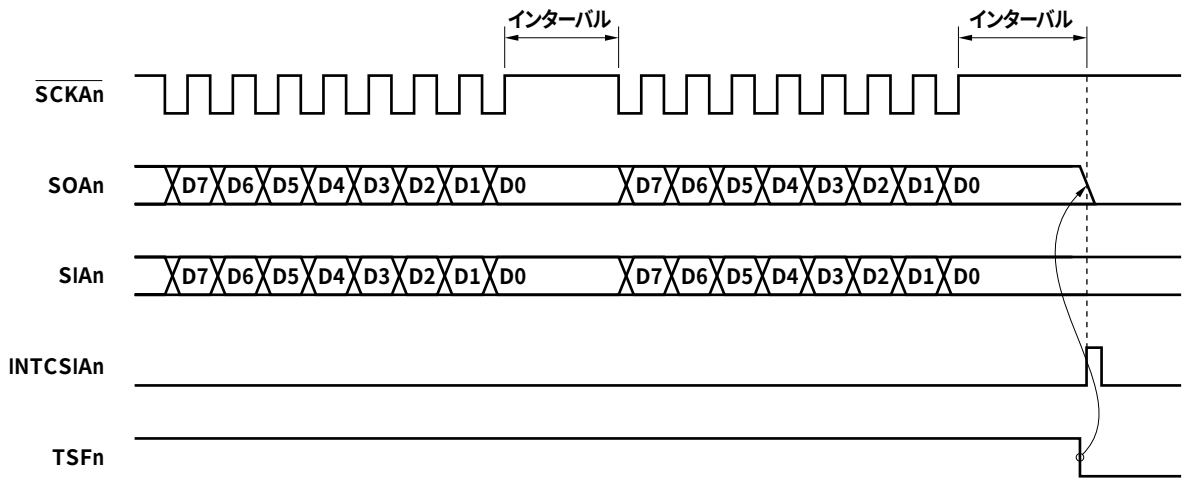
このとき，CSIAEnビット = 0の場合を除き，送受信完了割り込み要求信号（INTCSIAn）を発生します。

一度転送を終了させると，その続きから転送することができません。ADTCnレジスタを読み出し，どこまで転送が完了したかを確認し，自動送受信データの設定（a），（b）を行ってください。

自動送受信モードの動作タイミングを図18－5に，動作フロー・チャートを図18－6に示します。また，6バイト分送受信するときの内部バッファRAMの動作を図18－7に示します。

備考　n = 0, 1

図18－5　自動送受信モードの動作タイミング



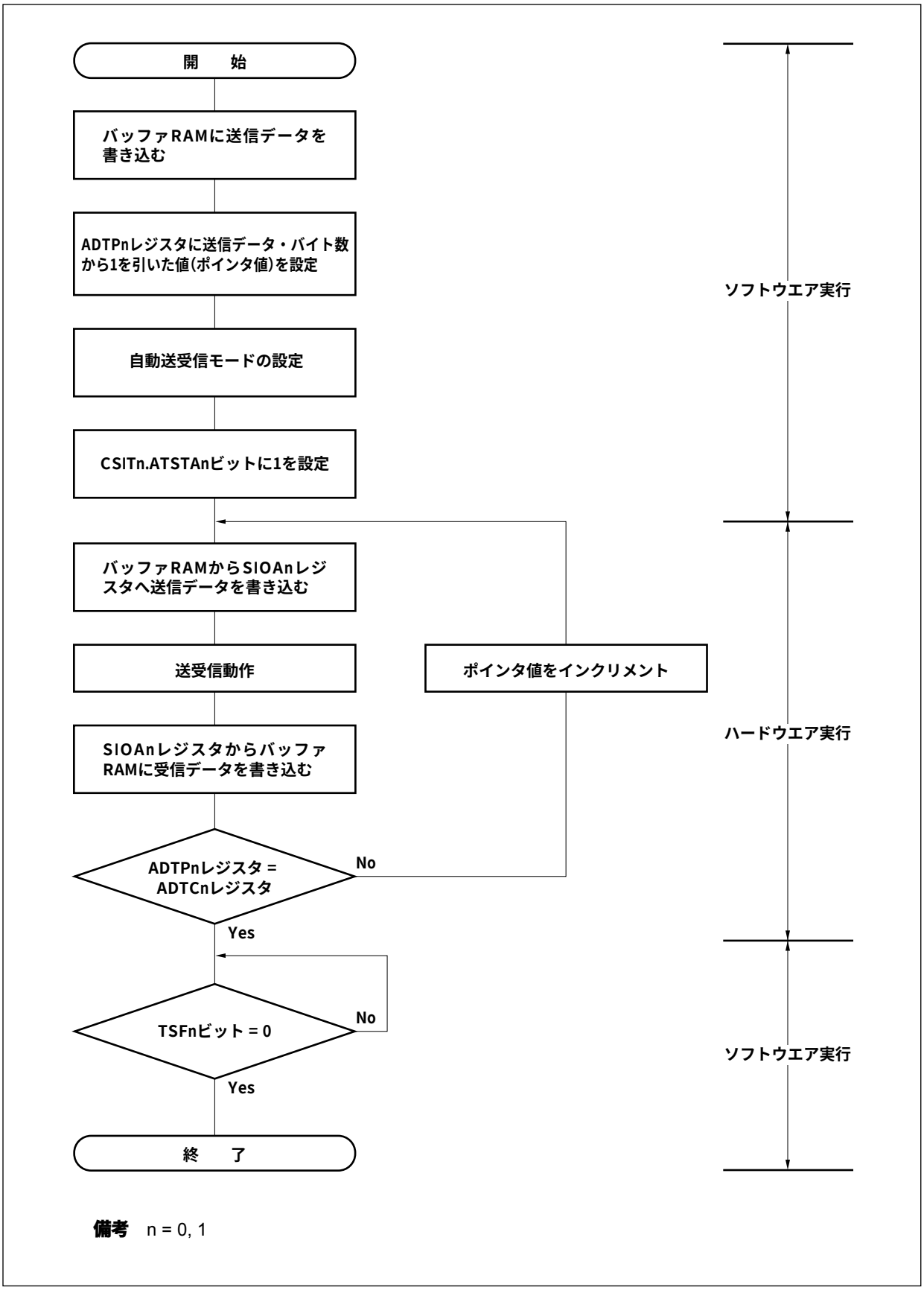
注意1.　**自動送受信モードでは，**1**バイト送受信後，バッファ**RAM**への書き込み／読み出しを行うため，次の送受信までの期間にインターバル時間が入ります。**CPU**処理と同時にバッファ**RAM**へのリード／ライトを行っていますので，インターバル時間は**ADTIn**レジスタの設定値に依存します。**

2.　TSFn**ビットがクリアされると，**SOAn**端子はロウ・レベルになります。**

3.　**インターバル時間内に**CPU**のバッファ**RAM**へのアクセスと**CSIAn**のリード／ライトが競合すると，インターバル時間がのびます。**

備考　n = 0, 1

図18－6　自動送受信モードのフロー・チャート



備考　n = 0, 1

自動送受信モードで6バイト分送受信するとき（CSIMAn.ATMnビット = 0, RXEAnビット = 1, TXEAnビット = 1），バッファRAMは次のような動作をします。

(i) 送受信動作開始（図18－7（a）参照）

CSITn.ATSTAnビットをセット（1）すると，バッファRAMから送信データ1（T1）がSIOAnレジスタへ転送されます。1バイト目の送信が完了すると，SIOAnレジスタからバッファRAMへ受信データ1（R1）が転送され，ADTCnレジスタの値がインクリメントされます。続いてバッファRAMから送信データ2（T2）がSIOAnレジスタへ転送されます。

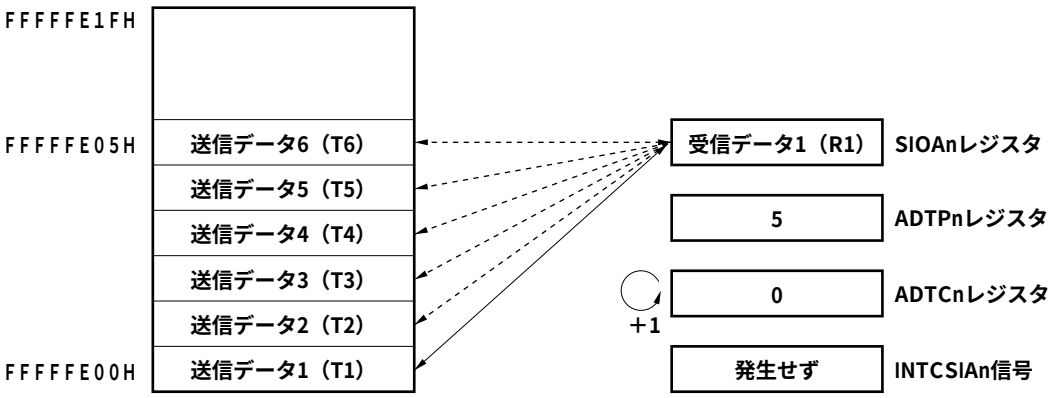
(ii) 4バイト目送受信動作時点（図18－7（b）参照）

3バイト目の送受信が完了し，バッファRAMから送信データ4（T4）がSIOAnレジスタへ転送されます。4バイト目の送信が完了すると，SIOAnレジスタからバッファRAMへ受信データ4（R4）が転送され，ADTCnレジスタの値がインクリメントされます。

(iii) 送受信完了（図18－7（c）参照）

6バイト目の送信が完了すると，SIOAnレジスタからバッファRAMへ受信データ6（R6）が転送され，送受信完了割り込み要求信号（INTCSIAn）が発生します。

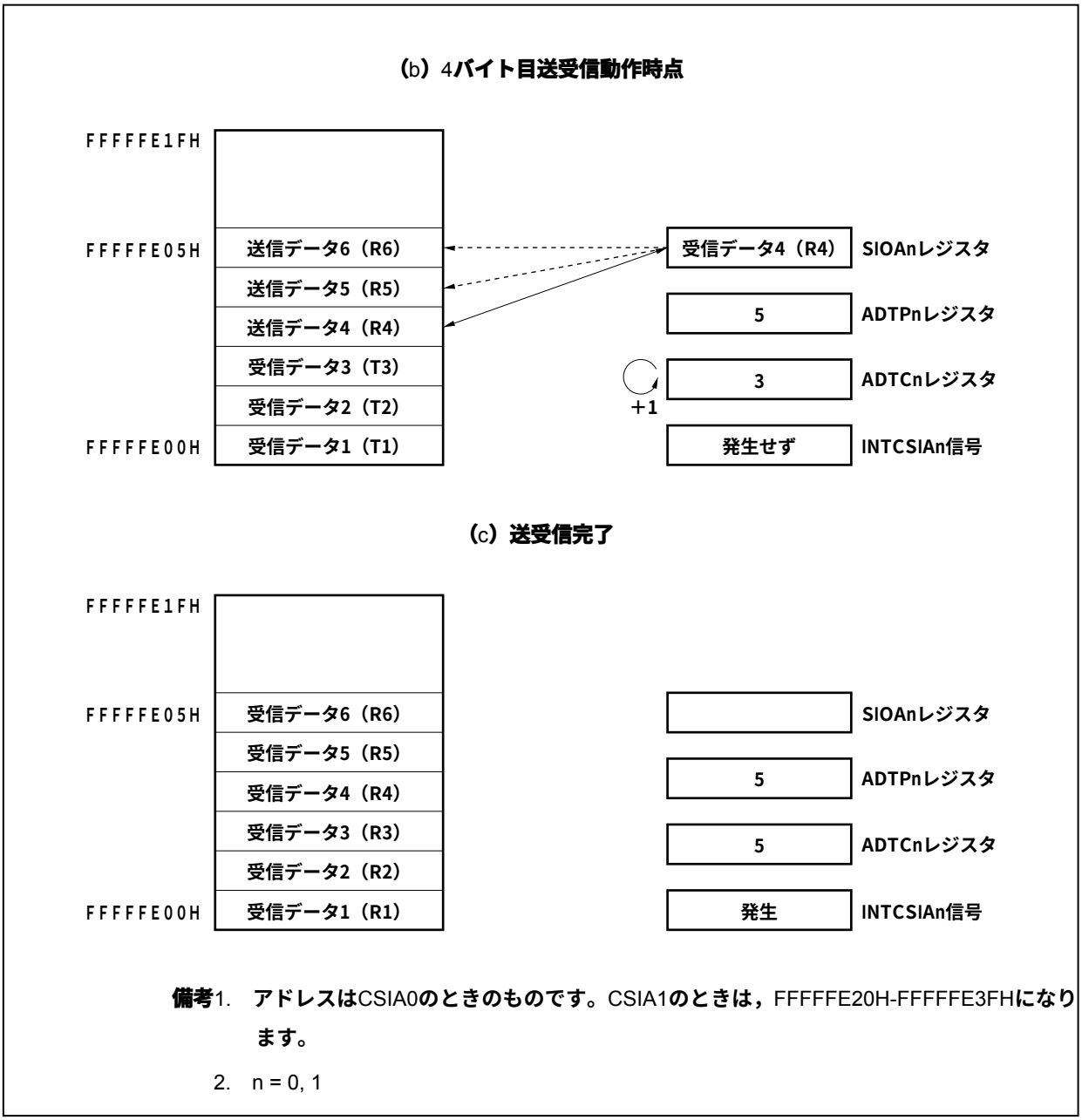
図18－7　6バイト分送受信するときのバッファRAMの動作（自動送受信モード時）（1/2）



備考1.　アドレスはCSIA0のときのものです。CSIA1のときは，FFFFFE20H-FFFFFE3FHになります。

2.　n = 0, 1

図18－7　6バイト分送受信するときのバッファRAMの動作（自動送受信モード時）（2/2）



備考1.　アドレスはCSIA0のときのものです。CSIA1のときは，FFFFFE20H-FFFFFE3FHになります。

2.　n = 0, 1

(b) 自動送信モード

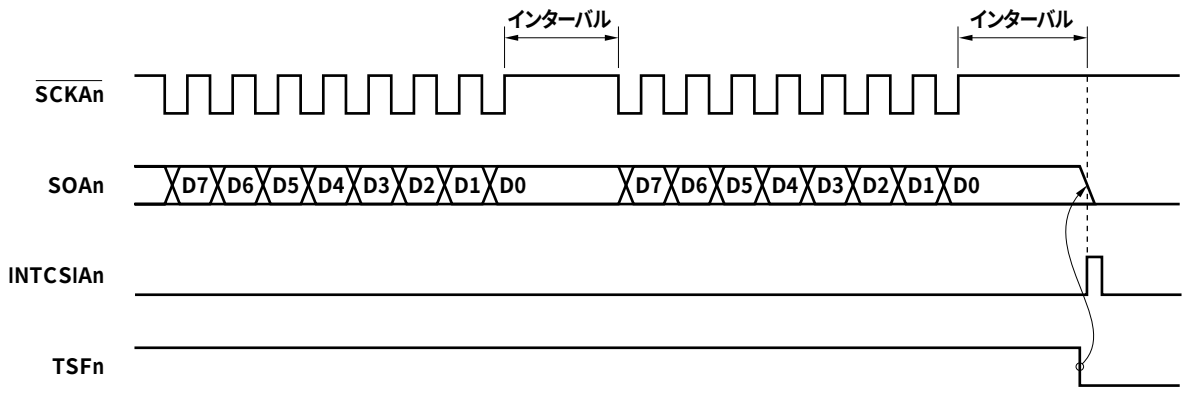
8ビット単位のデータ送信を指定回数だけ実行する送信モードです。

シリアル転送は，CSIMAn.CSIAEnビット = 1，ATEnビット = 1，TXEAnビット = 1のとき，CSITn.ATSTAnビットをセット（1）することによって開始します。

最終バイト送信完了時には割り込み要求信号（INTCSIAn）が発生します。

自動送信モードの動作タイミングを図18－8に，動作フロー・チャートを図18－9に示します。また，6バイト分送信するときのバッファRAMの動作を図18－10に示します。

図18－8　自動送信モードの動作タイミング



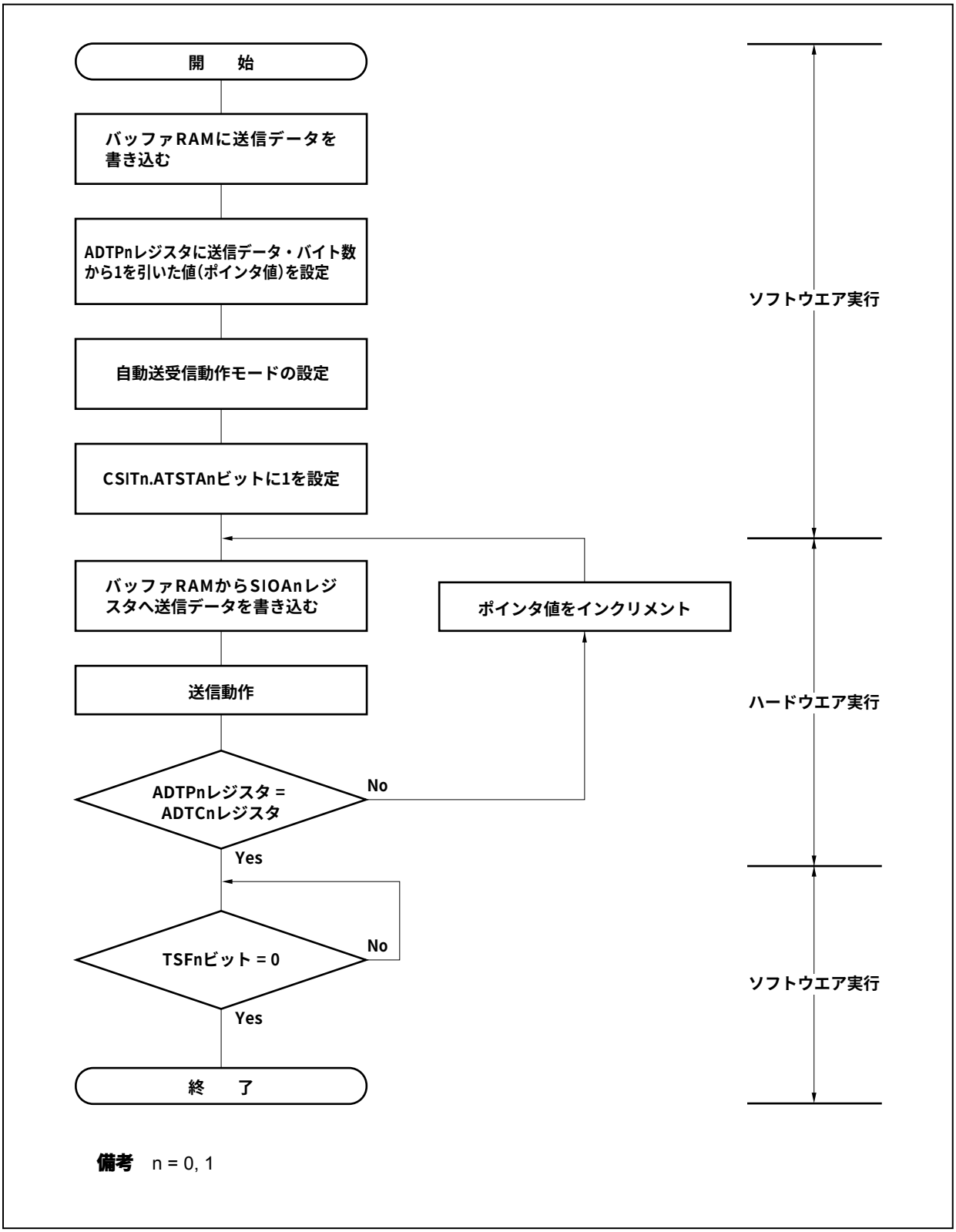
注意1.　自動送信モードでは，1バイト送信後，内部バッファRAMからの読み出しを行うため，次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので，インターバル時間はADTInレジスタの設定値に依存します。

2.　TSFnビットがクリアされると，SOAn端子はロウ・レベルになります。

3.　インターバル時間内にCPUのバッファRAMへのアクセスとCSIAnのリード／ライトが競合すると，インターバル時間がのびます。

備考　n = 0, 1

図18－9　自動送信モードのフロー・チャート



備考　n = 0, 1

自動送信モードで6バイト分送信するとき（CSIMAn.ATMnビット = 0, RXEAnビット = 0, TXEAnビット = 1, ATEnビット = 1），バッファRAMは次のような動作をします。

（ｉ）送信動作開始（図18－10（a）参照）

CSITn.ATSTAnビットをセット（1）すると，バッファRAMから送信データ1（T1）がSIOAnレジスタへ転送されます。1バイト目の送信が完了すると，ADTCnレジスタの値がインクリメントされます。続いてバッファRAMから送信データ2（T2）がSIOAnレジスタへ転送されます。

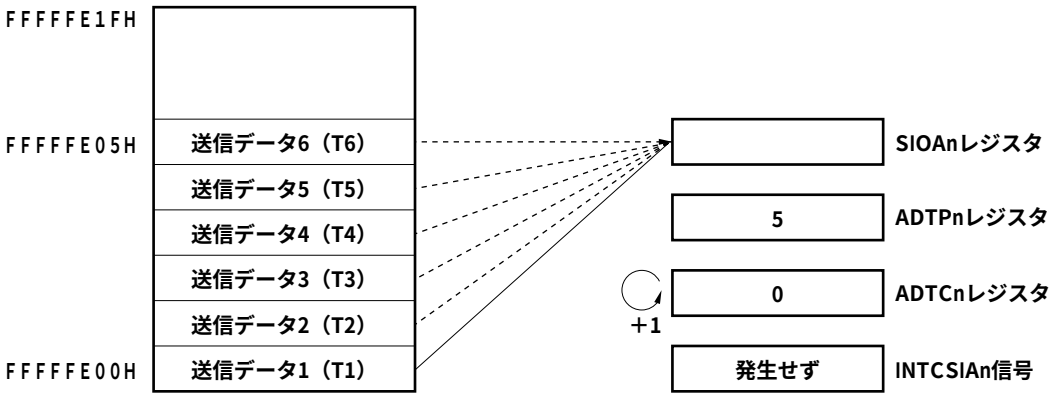
（ii）4バイト目送信動作時点（図18－10（b）参照）

3バイト目の送信が完了し，バッファRAMから送信データ4（T4）がSIOAnレジスタへ転送されます。4バイト目の送信が完了すると，ADTCnレジスタの値がインクリメントされます。

（iii）送信完了（図18－10（c）参照）

6バイト目の送信が完了すると，割り込み要求信号（INTCSIAn）が発生し，TFSnフラグがクリア（0）されます。

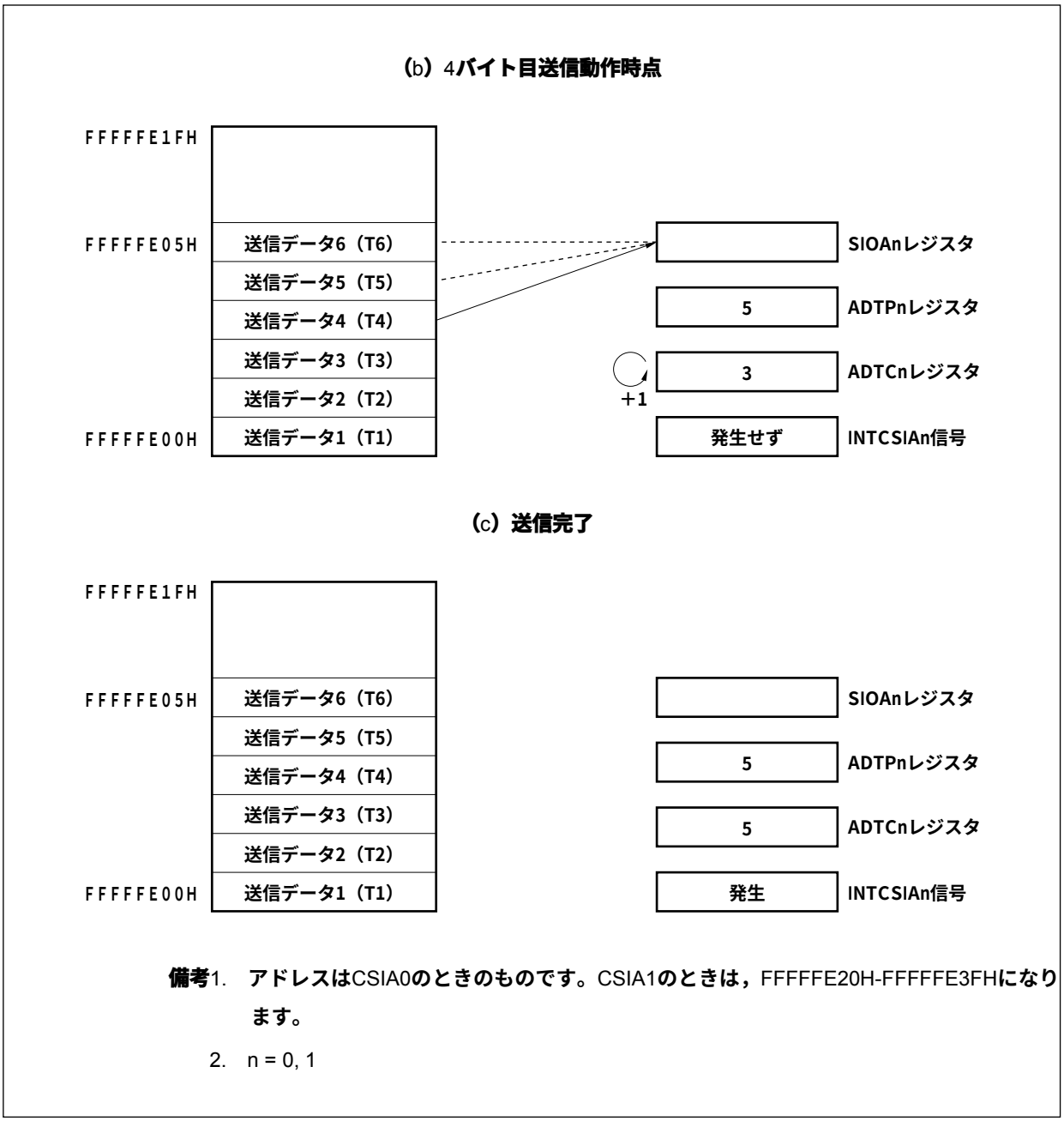
図18－10　6バイト分送信するときのバッファRAMの動作（自動送信モード時）（1/2）



備考1.　アドレスはCSIA0のときのものです。CSIA1のときは，FFFFFE20H-FFFFFE3FHになります。

2.　n = 0, 1

図18－10　6バイト分送信するときのバッファRAMの動作（自動送信モード時）（2/2）



備考1.　アドレスはCSIA0のときのものです。CSIA1のときは，FFFFFE20H-FFFFFE3FHになります。

2.　n = 0, 1

(c) 繰り返し送信モード

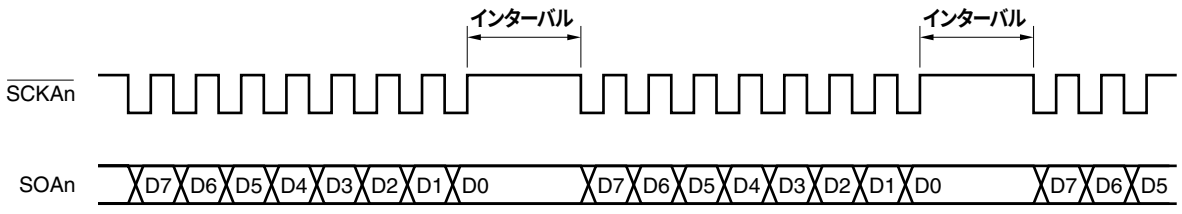
バッファRAMに格納したデータを繰り返し送信するモードです。

シリアル転送は，CSIMAn.CSIAEnビット = 1, ATEnビット = 1, ATMnビット = 1, TXEAnビット = 1のとき，CSITn.ATSTAnビットをセット（1）することによって開始します。

基本送信モードの場合とは異なり，指定バイト数を送信したあと，送受信完了割り込み要求信号（INTCSIAn）は発生せず，ADTCnレジスタがリセット（0）され，バッファRAMの内容が再送信されます。

繰り返し送信モードの動作タイミングを図18－11に，動作フロー・チャートを図18－12に示します。また，繰り返し送信モードで6バイト分送信するときのバッファRAMの動作を図18－13に示します。

図18－11　繰り返し送信モードの動作タイミング

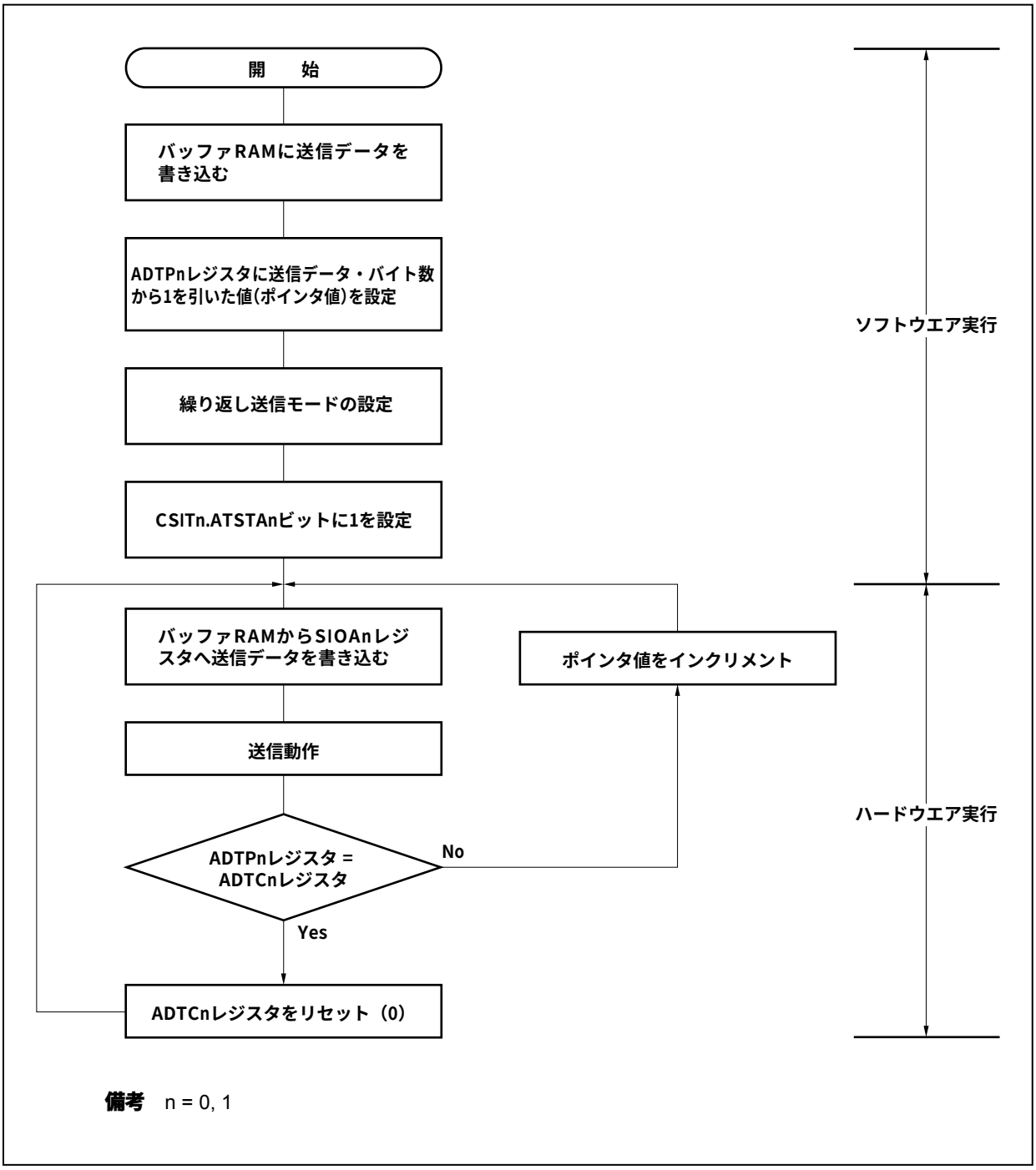


注意1.　繰り返し送信モードでは，1バイト送信後，バッファRAMからの読み出しを行うため，次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので，インターバル時間はADTInレジスタの設定値に依存します。

2.　インターバル時間内にCPUのバッファRAMへのアクセスとCSIAnのリード／ライトが競合すると，インターバル時間がのびます。

備考　n = 0, 1

図18－12　繰り返し送信モードのフロー・チャート



備考　n = 0, 1

繰り返し送信モードで6バイト分送信するとき（CSIMAn.ATMnビット = 1, RXEAnビット = 0, TXEAnビット = 1, ATEnビット = 1），バッファRAMは次のような動作をします。

(i) 送信動作開始（図18－13（a）参照）

CSITn.ATSTAnビットをセット（1）すると，バッファRAMから送信データ1（T1）がSIOAnレジスタへ転送されます。1バイト目の送信が完了すると，ADTCnレジスタの値がインクリメントされます。続いてバッファRAMから送信データ2（T2）がSIOAnレジスタへ転送されます。

(ii) 6バイト分送信完了時点（図18－13（b）参照）

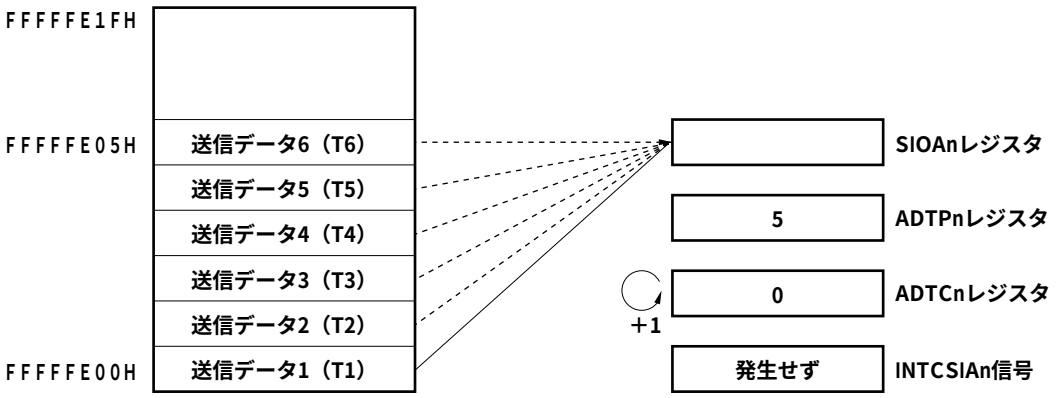
6バイト目の送信が完了しても，割り込み要求信号（INTCSIAn）は発生しません。

ADTCnレジスタがリセット（0）されます。

(iii) 7バイト目送信動作時点（図18－13（c）参照）

再びバッファRAMから送信データ1（T1）がSIOAnレジスタへ転送されます。1バイト目の送信が完了すると，ADTCnレジスタの値がインクリメントされます。続いてバッファRAMから送信データ2（T2）がSIOAnレジスタへ転送されます。

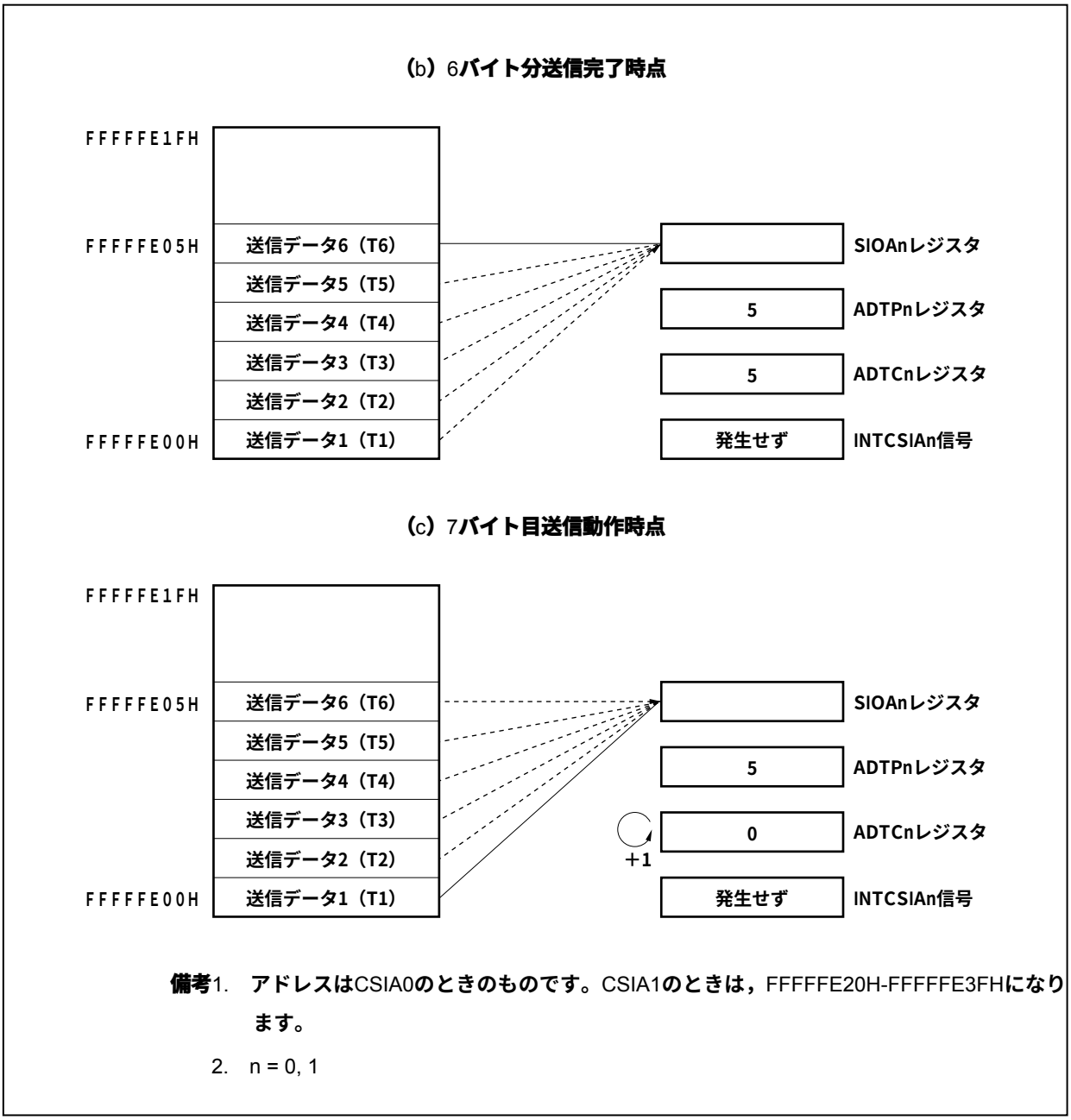
図18－13　6バイト分送信するときのバッファRAMの動作（繰り返し送信モード時）（1/2）



備考1.　アドレスはCSIA0のときのものです。CSIA1のときは，FFFFFE20H-FFFFFE3FHになります。

2.　n = 0, 1

図18－13　6バイト分送信するときのバッファRAMの動作（繰り返し送信モード時）（2/2）



備考1.　アドレスはCSIA0のときのものです。CSIA1のときは，FFFFFE20H-FFFFFE3FHになります。

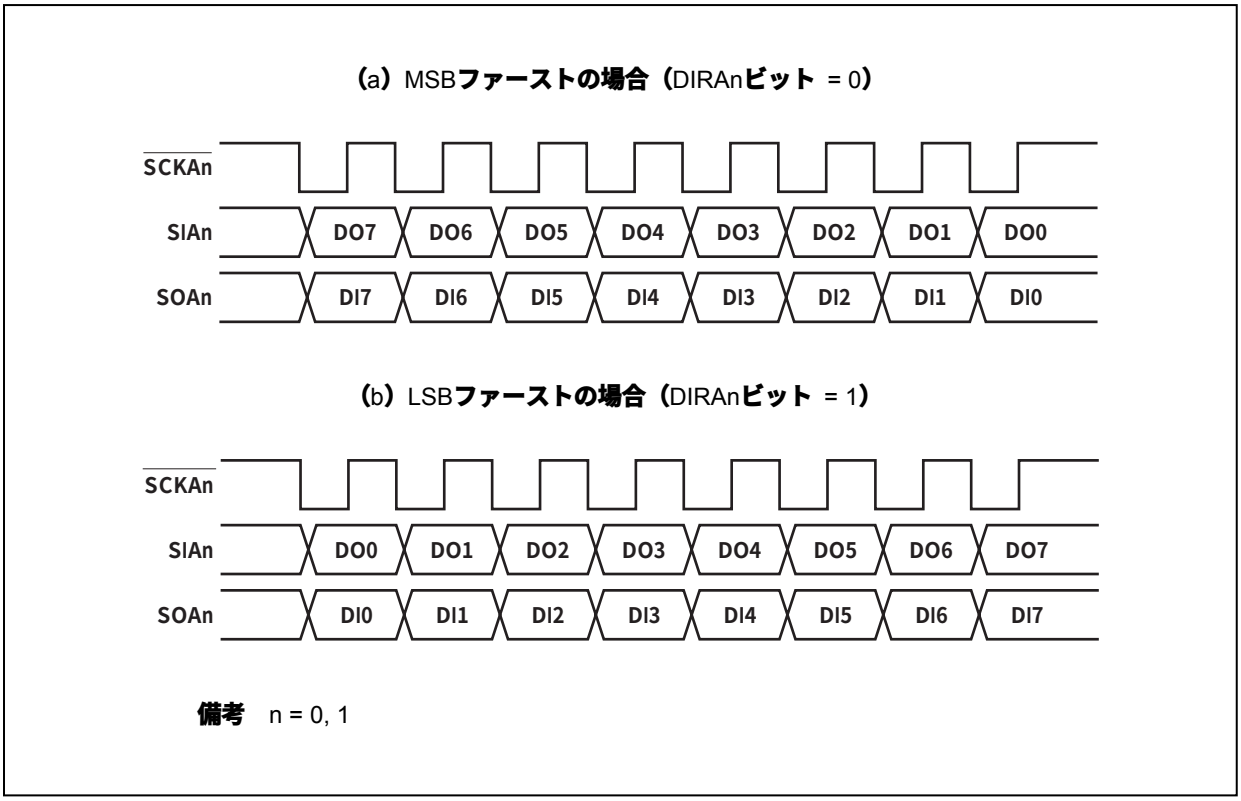
2.　n = 0, 1

（d）データ・フォーマット

データ・フォーマットは，図18－14に示すように，$\overline{\text{SCKAn}}$端子の立ち下がりに同期してデータが変化します。

データ長は8ビット固定であり，データ転送方向は，CSIMAn.DIRAnビットの指定により切り替えることができます。

図18－14　CSIAnの送受信データのフォーマット



(e) 自動送受信の中断と再開

自動送受信中に送受信動作を一時的に中断したい場合，CSITn.ATSTPnビットをセット（1）することにより動作の中断ができます。

このとき，8ビット・データ転送の途中では中断せず，必ず8ビット・データ転送が完了した時点で中断します。

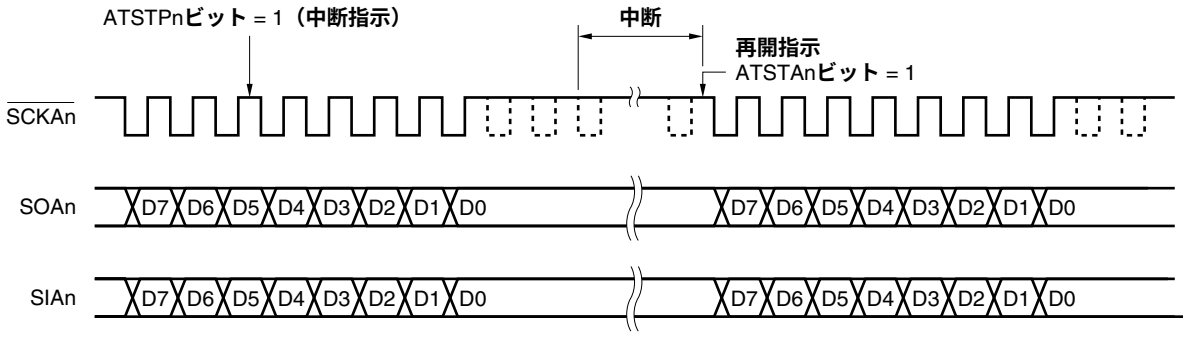
中断時には，8ビット目のデータを転送したあと，CSISn.TSFnビットがクリア（0）されます。

自動送受信を再開するには，CSITn.ATSTAnビットをセット（1）することにより残りのデータを転送できます。

注意1. **自動送受信中に**IDLE**命令を実行すると，**8**ビット・データ転送の途中でも転送を中断し，**IDLE**モードになります。また，**IDLE**モードを解除すると，自動送受信動作を中断箇所より再開します。**

2. **自動送受信動作を中断したとき，**TSFn**ビット** = 1**の間は動作モードを**3**線式シリアル**I/O**モードに変更しないでください。**

図18－15　**自動送受信の中断と再開**



備考　n = 0, 1

第19章　I²Cバス

この機能を使用する場合は，P38/SDA0, P39/SCL0**端子を兼用端子として使用し，**N-ch**オープン・ドレーン出力に設定してください。**

V850ES/KG1+**は，**I²C**バスを**1**チャネル搭載しています。**
I²C**バスを内蔵している製品を次に示します。**

μPD703313Y, 70F3311Y, 70F3313Y

19. 1　特　　徴

I²C0**には，次の**2**種類のモードがあります。**

- **動作停止モード**
- I²C（Inter IC）**バス・モード（マルチマスタ対応）**

(1**) 動作停止モード**

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

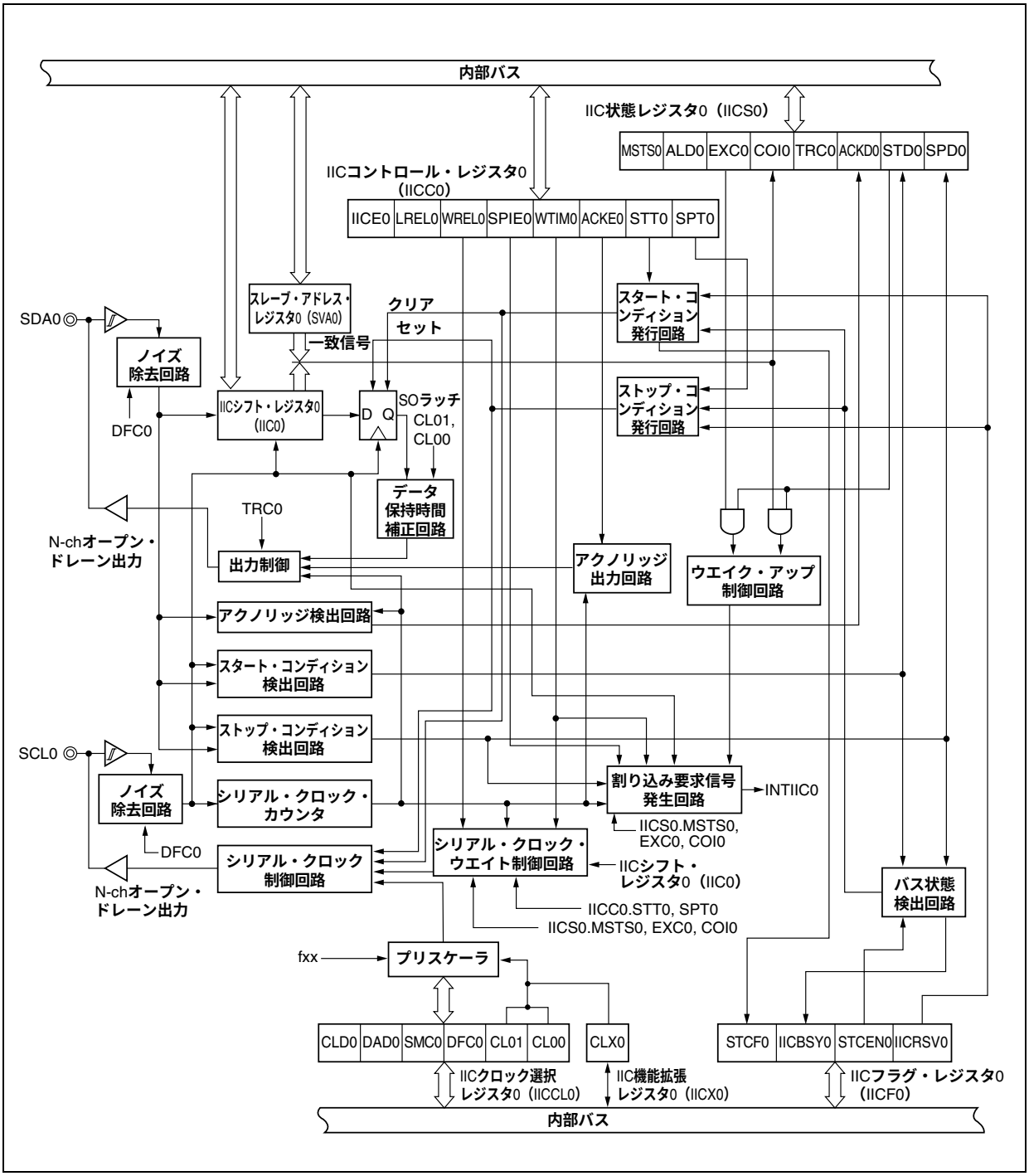
(2**)** I²C**バス・モード（マルチマスタ対応）**

シリアル・クロック（SCL0**）とシリアル・データ・バス（**SDA0**）の**2**本のラインにより，複数のデバイスと**8**ビット・データ転送を行うモードです。**

I²C**バス・フォーマットに準拠しており，マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”を出力できます。スレーブは，受信したこれらの状態およびデータをハードウエアにより自動的に検出します。この機能により応用プログラムの**I²C**バス制御部分を簡単にすることができます。**

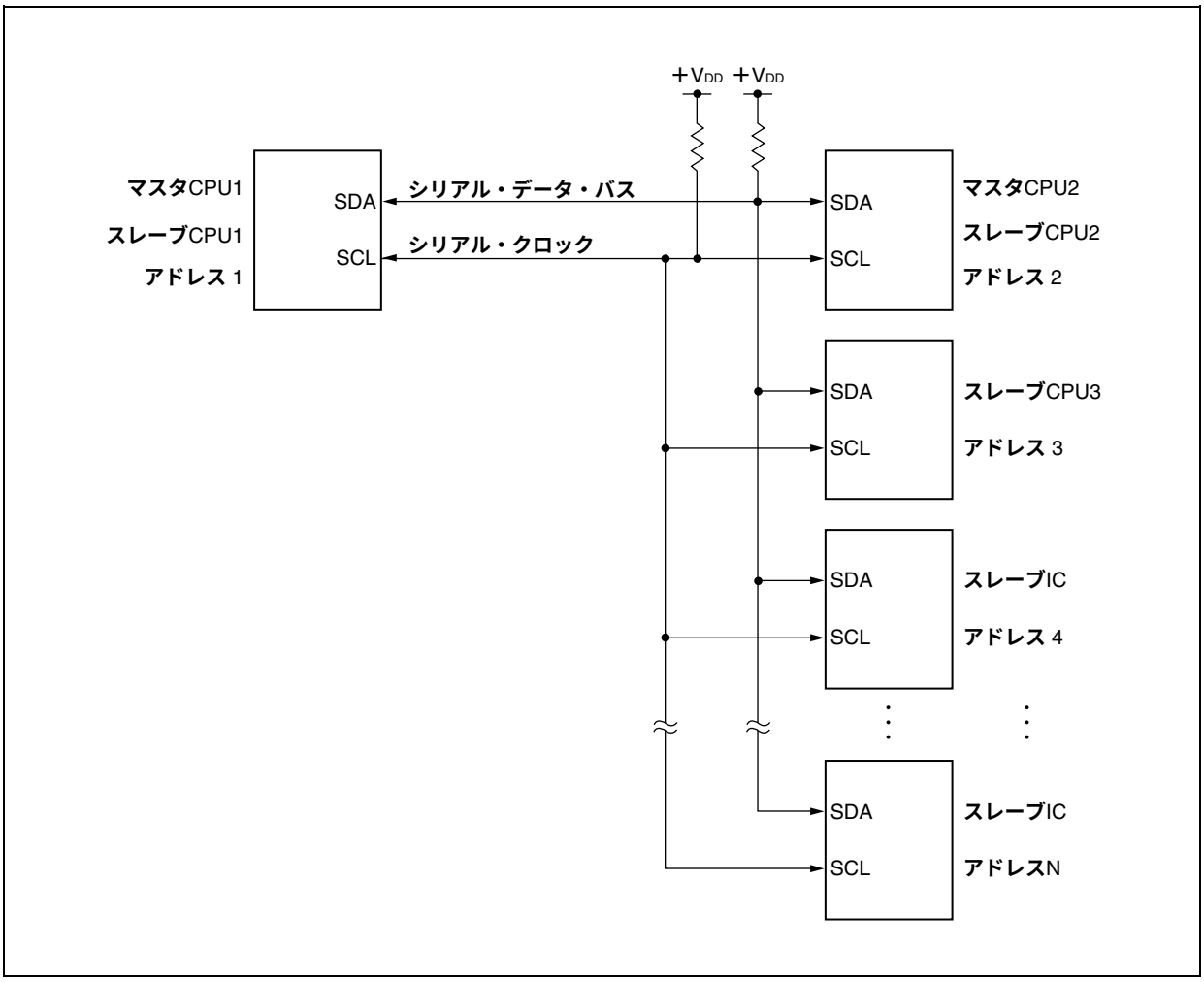
I²C0**では，**SCL0**端子と**SDA0**端子は**N-ch**オープン・ドレーン出力で使用するため，シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。**

★ **図19－1　I²C0のブロック図**



次にシリアル・バス構成例を示します。

図19－2　I²Cバスによるシリアル・バス構成例



19.2 構　　成

I²C0は，次のハードウエアで構成されています。

表19－1　I²C0の構成

項　　目	構　　成
レジスタ	IICシフト・レジスタ0（IIC0） スレーブ・アドレス・レジスタ0（SVA0）
制御レジスタ	IICコントロール・レジスタ0（IICC0） IIC状態レジスタ0（IICS0） IICフラグ・レジスタ0（IICCF0） IICクロック選択レジスタ0（IICCL0） IIC機能拡張レジスタ0（IICX0）

(1) IICシフト・レジスタ0（IIC0）

IIC0レジスタは，8ビットのシリアル・データを8ビットのパラレル・データに，8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。IIC0レジスタは送信および受信の両方に使用されます。

IIC0レジスタに対する書き込み／読み出しにより，実際の送受信動作が制御されます。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

(2) スレーブ・アドレス・レジスタ0（SVA0）

スレーブとして使用する場合に，自局アドレスを設定するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

(3) SOラッチ

SOラッチは，SDA0端子出力レベルを保持するラッチです。

(4) ウエイク・アップ制御回路

SVA0レジスタに設定したアドレス値と受信アドレスが一致した場合，または拡張コードを受信した場合に，割り込み要求信号（INTIIC0）を発生させる回路です。

(5) プリスケーラ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号（INTIIC0）の発生を制御します。

I²C割り込みは，次の2つのトリガで発生します。

- シリアル・クロックの8クロック目または9クロック目の立ち下がり（IICC0.WTIM0ビットで設定）
- ストップ・コンディション検出による割り込み発生（IICC0.SPIE0ビットで設定）

(8) シリアル・クロック制御回路

マスタ・モード時に，SCL0端子に出力するクロックをサンプリング・クロックから生成します。

(9) シリアル・クロック・ウエイト制御回路

ウエイト・タイミングを制御します。

(10) アクノリッジ出力回路，ストップ・コンディション検出回路，スタート・コンディション検出回路，アクノリッジ検出回路

各種制御信号の出力および検出を行います。

(11) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(12) スタート・コンディション発行回路

IICC0.STT0ビットがセットされるとスタート・コンディションを発行します。

ただし通信予約禁止状態（IICF0.IICRSV0ビット = 1）で，かつバスが解放されていない（IICF0.IICBSY0ビット = 1）場合には，スタート・コンディション要求は無視し，IICF0.STCF0ビットをセット（1）します。

(13) ストップ・コンディション発行回路

IICC0.SPT0ビットがセット（1）されるとストップ・コンディションを発行します。

(14) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により，バスが解放されているか，解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため，IICF0.STCEN0ビットにより，バス状態検出回路の初期状態を設定してください。

19. 3　レジスタ

I²C0は，次のレジスタで制御します。

- IICコントロール・レジスタ0（IICC0）
- IIC状態レジスタ0（IICS0）
- IICフラグ・レジスタ0（IICF0）
- IICクロック選択レジスタ0（IICCL0）
- IIC機能拡張レジスタ0（IICX0）

また，次のレジスタも使用します。

- IICシフト・レジスタ0（IIC0）
- スレーブ・アドレス・レジスタ0（SVA0）

備考　兼用端子の設定は表4－16　ポート端子を兼用端子として使用する場合を参照してください。

（1）IICコントロール・レジスタ0（IICC0）

I²C0の動作許可／停止，ウエイト・タイミングの設定，その他I²C動作の設定を行うレジスタです。

★　8/1ビット単位でリード／ライト可能です。ただし，SPIE0, WTIM0, ACKE0ビットは，IICE0ビット = 0のとき，またはウエイト期間中に設定してください。IICE0ビットを“0”から“1”に設定するときに，同時にこれらのビットを設定できます。

リセットにより00Hになります。

（1/4）

リセット時：00H　R/W　アドレス：FFFFFD82H

	⑦	⑥	⑤	④	③	②	①	⓪
IICC0	IICE0	LREL0	WREL0	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I²C0動作許可／禁止の指定
0	動作停止。IICS0レジスタをリセット注。内部動作も停止。
1	動作許可。
★ このビットのセット（1）は，必ずSCL0, SDA0ラインがハイ・レベルの状態で行ってください。	
クリアされる条件（IICE0ビット = 0）	セットされる条件（IICE0ビット = 1）
・命令によるクリア ・リセット時	・命令によるセット

注　リセットされるのはIICS0レジスタ，IICF0.STCF0, IICBSY0ビット，IICCL0.CLD0, DAD0ビットです。

★　注意　SCL0ラインがハイ・レベル，SDA0ラインがロウ・レベルの状態で，I²C0を動作許可（IICE0ビット = 1）した場合，直後にスタート・コンディションを検出してしまいます。I²C0を動作許可（IICE0ビット = 1）したあと，連続してビット操作命令によりLREL0ビットをセット（1）してください。

(2/4)

LREL0注	通信退避
0	通常動作。
1	現在行っている通信から退避し，待機状態。実行後自動的にクリア（0）される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0, SDA0ラインはハイ・インピーダンス状態になる。 STT0, SPT0ビット，IICS0.MSTS0, EXC0, COI0, TRC0, ACKD0, STD0ビットがクリア（0）される。

次の通信参加条件が満たされるまでは，通信から退避した待機状態となる。
ストップ・コンディション検出後，マスタとしての起動
スタート・コンディション後のアドレス一致または拡張コード受信

クリアされる条件（LREL0ビット = 0）	セットされる条件（LREL0ビット = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

WREL0注	ウエイト解除の制御
0	ウエイトを解除しない。
1	ウエイト解除する。ウエイト解除後，自動的にクリア（0）される。

クリアされる条件（WREL0ビット = 0）	セットされる条件（WREL0ビット = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

SPIE0注	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可

クリアされる条件（SPIE0ビット = 0）	セットされる条件（SPIE0ビット = 1）
・命令によるクリア ・リセット時	・命令によるセット

WTIM0注	ウエイトおよび割り込み要求発生の制御
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：8クロック出力後，クロック出力をロウ・レベルにしたままウエイト スレーブの場合：8クロック入力後，クロックをロウ・レベルにしてマスタをウエイト
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：9クロック出力後，クロック出力をロウ・レベルにしたままウエイト スレーブの場合：9クロック入力後，クロックをロウ・レベルにしてマスタをウエイト

アドレス転送中はこのビットの設定にかかわらず，9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時，アドレス転送中は9クロックの立ち下がりにウエイトが入ります。自局アドレスを受信したスレーブは，アクノリッジ（$\overline{\text{ACK}}$）発生後の9クロック目の立ち下がりでウエイトに入ります。ただし拡張コードを受信したスレーブは，8クロック目の立ち下がりでウエイトに入ります。

クリアされる条件（WTIM0ビット = 0）	セットされる条件（WTIM0ビット = 1）
・命令によるクリア ・リセット時	・命令によるセット

注　IICE0ビット = 0により，このフラグの信号を無効にします。

(3/4)

★

ACKE0注	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDA0ラインをロウ・レベルにする。

アドレス受信のときは，ACKE0ビットの設定は無効です。この場合，アドレスが一致したときはアクノリッジを生成します。
ただし，拡張コードのアドレス受信のときは，ACKE0ビットの設定は有効になります。

クリアされる条件（ACKE0ビット = 0）	セットされる条件（ACKE0ビット = 1）
・命令によるクリア ・リセット時	・命令によるセット

STT0	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	バスが解放されているとき（ストップ状態）： スタート・コンディションを生成する（マスタとしての起動）。SCL0ラインがハイ・レベルの状態でSDA0ラインをハイ・レベルからロウ・レベルに変化させ，スタート・コンディションを生成する。そのあと，規格の時間を確保し，SCL0ラインをロウ・レベル（ウエイト状態）にする。 第三者が通信中のとき： ・通信予約機能許可の場合（IICF0.IICRSV0ビット = 0） スタート・コンディション予約フラグとして機能。セット（1）されると，バスが解放されたあと，自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSV0ビット = 1） IICF0.STCF0ビットがセット（1）し，STT0ビットにセット（1）した情報をクリアする。スタート・コンディションは生成しない。 ウエイト状態（マスタ時）： ウエイトを解除してリスタート・コンディションを生成する。

セット・タイミングに関する注意
マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0ビット = 0に設定し，受信の最後であることをスレーブに伝えたあとにだけセット（1）可能です。
マスタ送信の場合：アクノリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。
・SPT0ビットと同時にセット（1）することは禁止です。
★ ・STT0ビットをセット（1）後，クリア（0）される前に再度セット（1）することは禁止です。

クリアされる条件（STT0ビット = 0）	セットされる条件（STT0ビット = 1）
・通信予約禁止状態でのSTT0ビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成によるクリア ・LREL0ビット = 1（通信退避）によるクリア ・IICE0ビット = 1→0（動作停止）のとき ・リセット時	・命令によるセット

注　IICE0ビット = 0により，このフラグの信号を無効にします。

(4/4)

SPT0	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDA0ラインをロウ・レベルにしたあと，SCL0ラインをハイ・レベルにするか，またはSCL0端子がハイ・レベルになるのを待つ。そのあと，規格の時間を確保し，SDA0ラインをロウ・レベルからハイ・レベルに変化させ，ストップ・コンディションを生成する。

セット・タイミングに関する注意

マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0ビット = 0に設定し，受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。

マスタ送信の場合：アクノリッジ期間中は，正常にストップ・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。

- STT0ビットと同時にセット（1）することは禁止です。
- SPT0ビットのセット（1）は，マスタのときのみ行ってください。注
- WTIM0ビット = 0設定時に，8クロック出力後のウエイト期間中にSPT0ビットをセット（1）すると，ウエイト解除後，9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIM0 = 0→1に設定し，9クロック目出力後のウエイト期間中にSPT0ビットをセット（1）してください。
- ★ SPT0ビットをセット（1）後，クリア（0）される前に再度セット（1）することは禁止です。

クリアされる条件（SPT0ビット = 0）	セットされる条件（SPT0ビット = 1）
・アービトレーションに負けたとき ・ストップ・コンディション検出後，自動的にクリア ・LREL0ビット = 1（通信退避）によるクリア ・IICE0ビット = 1→0（動作停止）のとき ・リセット時	・命令によるセット

注　SPT0ビットのセット（1）は，マスタのときのみ行ってください。ただし，動作許可後最初のストップ･コンディションを検出する前にマスタ動作を行うには，一度SPT0ビットをセット（1）してストップ・コンディションを生成する必要があります。詳細は，19. 14　注意事項を参照してください。

注意　IICS0.TRC0ビット = 1のとき，9クロック目にWREL0ビットをセット（1）してウエイト解除すると，TRC0ビットをクリア（0）してSDA0ラインをハイ・インピーダンスにします。

備考　SPT0ビットは，データ設定後に読み出すと0になっています。

(2) IIC状態レジスタ0（IICS0）

I²C0のステータスを表すレジスタです。

8/1ビット単位でリードだけ可能です。

★　ただしIICS0レジスタは，IICC0.STT0ビット = 1およびウエイト期間中だけリード可能です。

リセットにより00Hになります。

★　注意　次に示す状態において，IICS0レジスタへのアクセスは禁止です。詳細は3. 4. 8（1）（b）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

(1/3)

リセット時：00H　R　アドレス：FFFFFD86H

	⑦	⑥	⑤	④	③	②	①	⓪
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタの状態
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。

クリアされる条件（MSTS0ビット = 0）	セットされる条件（MSTS0ビット = 1）
・ストップ・コンディション検出時 ・ALD0ビット = 1（アービトレーション負け）のとき ・IICC0.LREL0ビット = 1（通信退避）によるクリア ・IICC0.IICE0ビット = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション生成時

ALD0	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTS0ビットがクリアされる。

クリアされる条件（ALD0ビット = 0）	セットされる条件（ALD0ビット = 1）
・IICS0レジスタ読み出し後，自動的にクリア注 ・IICE0ビット = 1→0（動作停止）のとき ・リセット時	・アービトレーションに負けたとき

注　IICS0のほかのビットに対しビット操作命令を実行した場合もクリアされます。

(2/3)

EXC0	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信している。

クリアされる条件（EXC0ビット = 0）	セットされる条件（EXC0ビット = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0ビット = 1（通信退避）によるクリア ・IICE0ビット = 1→0（動作停止）のとき ・リセット時	受信したアドレス・データの上位4ビットが“0000”または“1111”のとき（8クロック目の立ち上がりでセット）

COI0	アドレス一致検出
0	アドレスが一致していない。
1	アドレスが一致している。

クリアされる条件（COI0ビット = 0）	セットされる条件（COI0ビット = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0ビット = 1（通信退避）によるクリア ・IICE0ビット = 1→0（動作停止）のとき ・リセット時	受信アドレスが自局アドレス（SVA0レジスタ）と一致したとき（8クロック目の立ち上がりでセット）

TRC0	送信／受信状態検出
0	受信状態（送信状態以外）。SDA0ラインをハイ・インピーダンスにする。
1	送信状態。SDA0ラインにSOラッチの値が出力できるようにする（1バイト目の9クロック目の立ち上がり以降有効）

クリアされる条件（TRC0ビット = 0）	セットされる条件（TRC0ビット = 1）
・ストップ・コンディション検出時 ・LREL0ビット = 1（通信退避）によるクリア ★ ・IICE0ビット = 1→0（動作停止）のとき ・IICC0.WREL0ビット = 1（ウエイト解除）によるクリア注 ・ALD0ビット = 0→1（アービトレーション負け）のとき ・リセット時 マスタの場合 ・1バイト目のLSB（転送方向指定ビット）に“1”を出力したとき スレーブの場合 ・スタート・コンディション検出時 通信不参加の場合	マスタの場合 ・スタート・コンディション生成時 ・1バイト目のLSB（転送方向指定ビット）に“0”を出力したとき スレーブの場合 ・1バイト目のLSB（転送方向指定ビット）に“1”を入力したとき

注　TRC0ビット = 1のとき，9クロック目にWREL0ビットをセット（1）してウエイトを解除すると，TRC0ビットをクリア（0）してSDA0ラインをハイ・インピーダンスにします。

(3/3)

ACKD0	アクノリッジ（$\overline{\text{ACK}}$）検出
0	アクノリッジを検出していない。
1	アクノリッジを検出している。
クリアされる条件（ACKD0ビット = 0）	セットされる条件（ACKD0ビット = 1）
・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL0ビット = 1（通信退避）によるクリア ・IICE0ビット = 1→0（動作停止）のとき ・リセット時	SCL0端子の9クロック目の立ち上がり時にSDA0端子がロウ・レベルであったとき

STD0	スタート・コンディション検出
0	スタート・コンディションを検出していない。
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。
クリアされる条件（STD0ビット = 0）	セットされる条件（STD0ビット = 1）
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL0ビット = 1（通信退避）によるクリア ・IICE0ビット = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション検出時

SPD0	ストップ・コンディション検出
0	ストップ・コンディションを検出していない。
1	ストップ・コンディションを検出している。マスタでの通信が終了し，バスが解放される。
クリアされる条件（SPD0ビット = 0）	セットされる条件（SPD0ビット = 1）
・このビットのセット後で，スタート・コンディション検出後の，アドレス転送バイトの1クロック目の立ち上がり時 ・IICE0ビット = 1→0（動作停止）のとき ・リセット時	・ストップ・コンディション検出時

（3）IICフラグ・レジスタ0（IICF0）

I²C0の動作モードの設定と，I²Cバスの状態を表すレジスタです。

8/1ビット単位でリード／ライト可能です。ただし，STCF0, IICBSY0ビットはリードのみ可能です。

IICRSV0ビットにより通信予約機能の禁止／許可を設定します（19. 13　通信予約参照）。

また，STCEN0ビットにより，IICBSY0ビットの初期値を設定します（19. 14　注意事項参照）。

IICRSV0, STCEN0ビットは，I²C0が動作禁止（IICC0.IICE0ビット = 0）のときのみ書き込み可能です。動作許可後，IICF0レジスタは読み出し可能となります。

リセットにより00Hになります。

リセット時：00H　R/W注　**アドレス：**FFFFFD8AH

	⑦	⑥	5	4	3	2	①	⓪
IICF0	STCF0	IICBSY0	0	0	0	0	STCEN0	IICRSV0

STCF0	STT0クリア・フラグ
0	スタート・コンディション発行
1	スタート・コンディション発行できずSTT0フラグ・クリア

クリアされる条件（STCF0ビット = 0）	セットされる条件（STCF0ビット = 1）
・STT0ビット = 1によるクリア ★ ・IICE0ビット = 1→0（動作停止）のとき ・リセット時	・通信予約禁止（IICRSV0ビット = 1）設定時にスタート・コンディション発行できず，STT0ビットがクリア（0）されたとき

IICBSY0	I²C0バス状態フラグ
0	バス解放状態（STCEN0ビット = 1時の通信初期状態）
1	バス通信状態（STCEN0ビット = 0時の通信初期状態）

クリアされる条件（IICBSY0ビット = 0）	セットされる条件（IICBSY0ビット = 1）
・ストップ・コンディション検出時 ★ ・IICE0ビット = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション検出時 ・STCEN0ビット = 0時のIICE0ビットのセット

STCEN0	初期スタート許可トリガ
0	動作許可（IICE0ビット = 1）後，ストップ・コンディションの検出により，スタート・コンディションを生成許可。
1	動作許可（IICE0ビット = 1）後，ストップ・コンディションを検出せずに，スタート・コンディションを生成許可。

クリアされる条件（STCEN0ビット = 0）	セットされる条件（STCEN0ビット = 1）
・スタート・コンディション検出時 ・リセット時	・命令によるセット

IICRSV0	通信予約機能禁止ビット
0	通信予約許可
1	通信予約禁止

クリアされる条件（IICRSV0ビット = 0）	セットされる条件（IICRSV0ビット = 1）
・命令によるクリア ・リセット時	・命令によるセット

注　ビット6, 7はリード・オンリーです。

注意1.　STCEN0ビットへの書き込みは動作停止（IICE0ビット = 0）時のみ行ってください。

2.　STCEN0ビット = 1とした場合，実際のバス状態にかかわらずバス解放状態（IICBSYビット = 0）と認識しますので，1回目のスタート・コンディションを発行（STT0ビット = 1）する場合は他の通信を破壊しないように第3者の通信が行われていないことを確認する必要があります。

3.　IICRSV0ビットへの書き込みは動作停止（IICE0ビット = 0）時のみ行ってください。

(4) IICクロック選択レジスタ0（IICCL0）

I²C0の転送クロックを設定するレジスタです。

8/1ビット単位でリード／ライト可能です。ただし，CLD0, DAD0ビットはリードだけ可能です。SMC0, CL01, CL00ビットの設定は，IICX0.CLX0ビットと組み合わせて設定します（19. 3（6）I²C0の転送クロックの設定方法参照）。

★ IICCL0レジスタはIICC0.IICE0ビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時：00H　R/W注　アドレス：FFFFFD84H

	7	6	⑤	④	3	2	1	0
IICCL0	0	0	CLD0	DAD0	SMC0	DFC0	CL01	CL00

CLD0	SCL0端子のレベル検出（IICC0.IICE0ビット = 1のときのみ有効）
0	SCL0端子がロウ・レベルであることを検出
1	SCL0端子がハイ・レベルであることを検出

クリアされる条件（CLD0ビット = 0）	セットされる条件（CLD0ビット = 1）
・SCL0端子がロウ・レベルのとき ・IICE0ビット = 1→0（動作停止）のとき ・リセット時	・SCL0端子がハイ・レベルのとき

DAD0	SDA0端子のレベル検出（IICE0ビット = 1のときのみ有効）
0	SDA0端子がロウ・レベルであることを検出
1	SDA0端子がハイ・レベルであることを検出

クリアされる条件（DAD0ビット = 0）	セットされる条件（DAD0ビット = 1）
・SDA0端子がロウ・レベルのとき ・IICE0ビット = 1→0（動作停止）のとき ・リセット時	・SDA0端子がハイ・レベルのとき

SMC0	動作モードの切り替え
0	標準モードで動作
1	高速モードで動作

DFC0	ディジタル・フィルタの動作制御
0	ディジタル・フィルタ・オフ
1	ディジタル・フィルタ・オン

ディジタル・フィルタは，高速モード時にのみ使用できます。
高速モード時はDFC0ビットのセット／クリアにより，転送クロックが変化することはありません。
ディジタル・フィルタは，高速モード時にノイズ除去のために使用します。

注　ビット4, 5はリード・オンリーです。

(5) IIC機能拡張レジスタ0（IICX0）

I²C0の機能拡張を設定するレジスタです（高速モード時のみ有効）。

8/1ビット単位でリード／ライト可能です。CLX0ビットの設定は，IICCL0.SMC0, CL01, CL00ビットと組み合わせて設定します（19. 3（6）I²C0の転送クロックの設定方法参照）。

★ IICX0レジスタはIICC0.IICE0ビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFFD85H

	7	6	5	4	3	2	1	⓪
IICX0	0	0	0	0	0	0	0	CLX0

(6) I²C0の転送クロックの設定方法

I²C0の転送クロック周波数（f_{SCL}）は，次の計算式により求められます。

f_{SCL} = 1/（m×T＋t_R＋t_F）

m = 12, 24, 48, 54, 86, 88, 172, 198（表19ー2　選択クロックの設定参照）

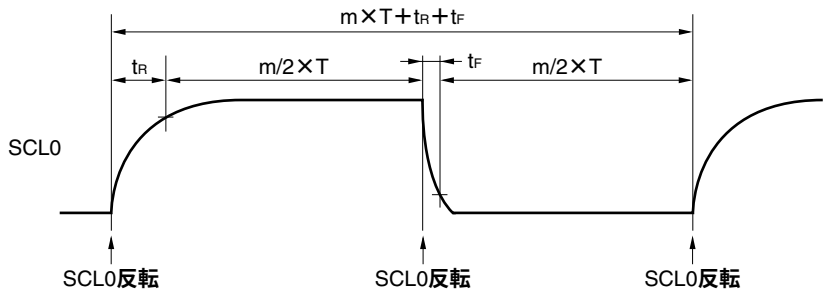
T：1/f_{XX}

t_R：SCL0立ち上がり時間

t_F：SCL0立ち下がり時間

たとえば，f_{XX} = 20 MHz, m = 54, t_R = 200 ns, t_F = 50 nsの場合のI²C0の転送クロック周波数（f_{SCL}）は，次の計算式により求められます。

f_{SCL} = 1/（54×50 ns＋200 ns＋50 ns）　339 kHz



選択クロックは，IICCL0.SMC0, CL01, CL00ビット，IICX0.CLX0ビットを組み合わせて設定します。

表19－2　選択クロックの設定

IICX0	IICCL0			選択クロック	転送クロック（fxx/m）	設定可能な内部システム・クロック周波数（fxx）の範囲	動作モード
ビット0	ビット3	ビット1	ビット0				
CLX0	SMC0	CL01	CL00				
0	0	0	0	fxx/2	fxx/88	4.0 MHz～8.38 MHz	標準モード（SMC0ビット = 0）
0	0	0	1	fxx/2	fxx/172	8.38 MHz～16.76 MHz	
0	0	1	0	fxx	fxx/86	4.19 MHz～8.38 MHz	
0	0	1	1	fxx/3	fxx/198	16.0 MHz～19.8 MHz	
0	1	0	x	fxx/2	fxx/48	8 MHz～16.76 MHz	高速モード（SMC0ビット = 1）
0	1	1	0	fxx	fxx/24	4 MHz～8.38 MHz	
0	1	1	1	fxx/3	fxx/54	16 MHz～20 MHz	
1	0	x	x	設定禁止			
1	1	0	x	fxx/2	fxx/24	8.00 MHz～8.38 MHz	高速モード（SMC0ビット = 1）
1	1	1	0	fxx	fxx/12	4.00 MHz～4.19 MHz	
1	1	1	1	設定禁止			

備考　x：Don't care

（7）IICシフト・レジスタ0（IIC0）

このレジスタは，シリアル・クロックに同期してシリアル送受信（シフト動作）を行うためのものです。

8ビット単位でリード／ライト可能ですが，データ転送中にIIC0レジスタへデータを書き込まないでください。

★ IIC0レジスタには，ウエイト期間中だけアクセス（リード／ライト）してください。ウエイト期間中を除く通信状態でのIIC0レジスタのアクセスは禁止です。ただし，マスタになる場合は，送信トリガ・ビット（IICC0.STT0）をセット（1）したあと，1回ライトできます。

ウエイト期間中のIIC0レジスタへの書き込みにより，ウエイトを解除しデータ転送を開始します。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFFD80H

	7	6	5	4	3	2	1	0
IIC0								

(8) スレーブ・アドレス・レジスタ0（SVA0）

このレジスタには，I²Cバスのスレーブ・アドレスを格納します。

★ ただし，IICS0.STD0ビット = 1（スタート・コンディション検出）のときの書き換えは禁止です。

8ビット単位でリード／ライト可能ですが，ビット0は0に固定されています。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFFD83H

	7	6	5	4	3	2	1	0
SVA0								0

19.4　機　　能

19.4.1　端子構成

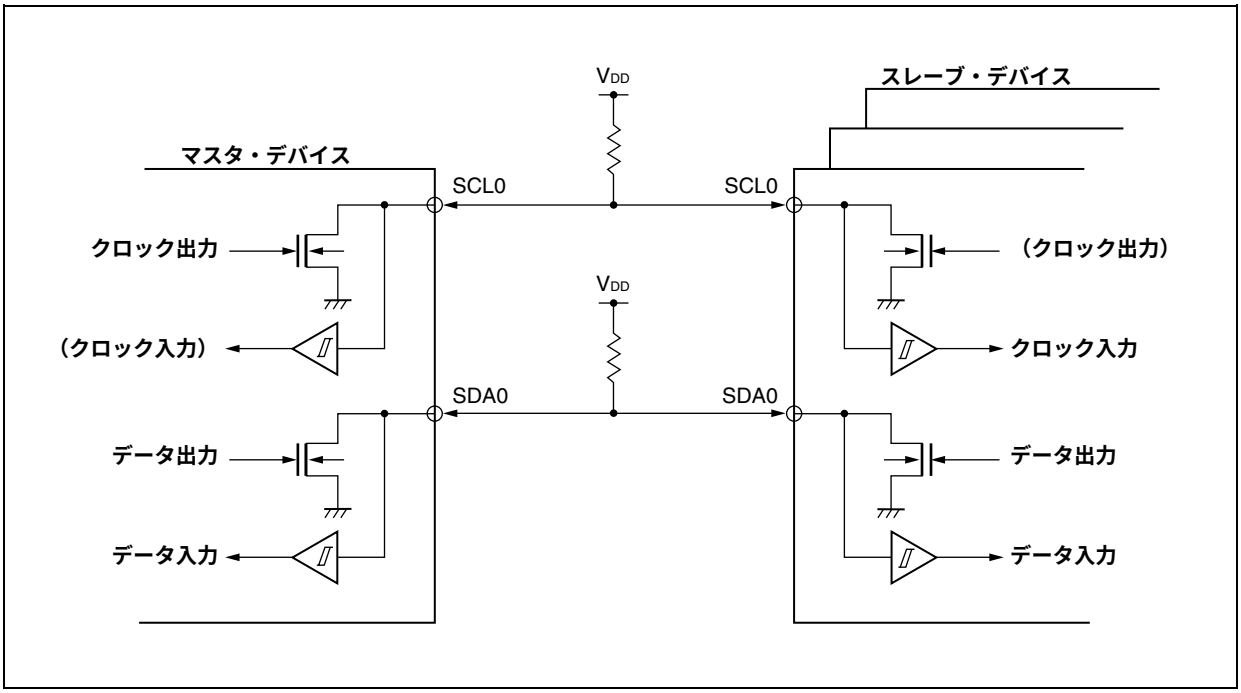
シリアル・クロック端子（SCL0）と，シリアル・データ・バス端子（SDA0）の構成は，次のようになっています。

SCL0　…　シリアル・クロックを入出力するための端子。
マスタ，スレーブともに，出力はN-chオープン・ドレーン。入力はシュミット入力。

SDA0　…　シリアル・データの入出力兼用端子。
マスタ，スレーブともに，出力はN-chオープン・ドレーン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは，出力がN-chオープン・ドレーンのため，外部にプルアップ抵抗が必要となります。

図19－3　端子構成図

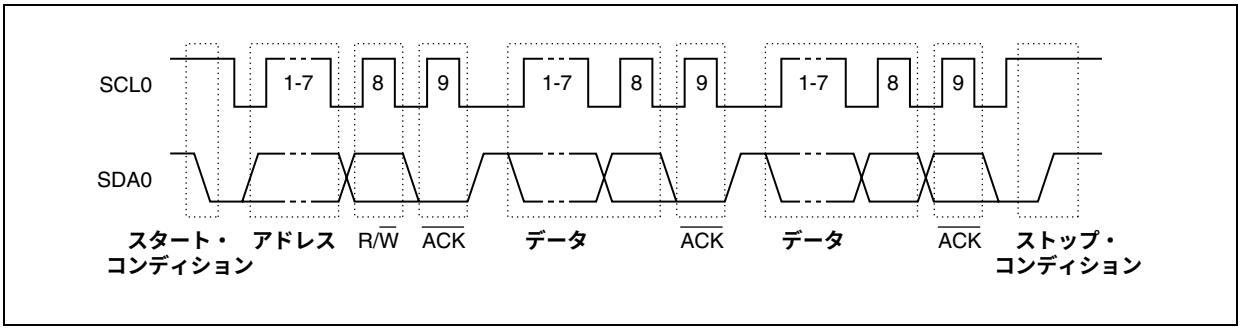


19. 5　I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび，生成される状態の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に出力されている“スタート・コンディション”，“アドレス”，“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図19－4　I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが出力します。

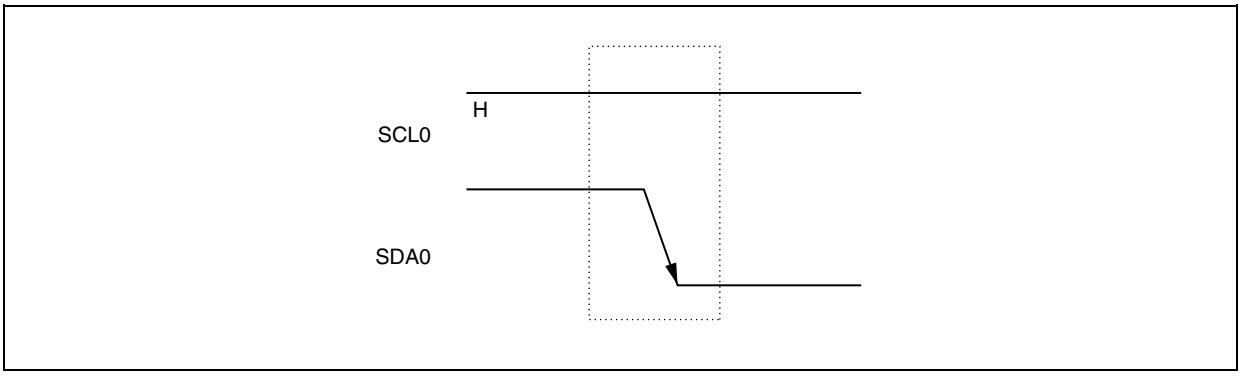
アクノリッジ（$\overline{\text{ACK}}$）は，マスタ，スレーブのどちらでも出力できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCL0）は，マスタが出力し続けます。ただし，スレーブはSCL0端子のロウ・レベル期間を延長し，ウエイトを挿入できます。

19. 5. 1　スタート・コンディション

SCL0端子がハイ・レベルのときに，SDA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0端子，SDA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成されます。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図19－5　スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（IICS0.SPD0ビット = 1）のときにIICC0.STT0ビットをセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICS0.STD0ビットがセット（1）されます。

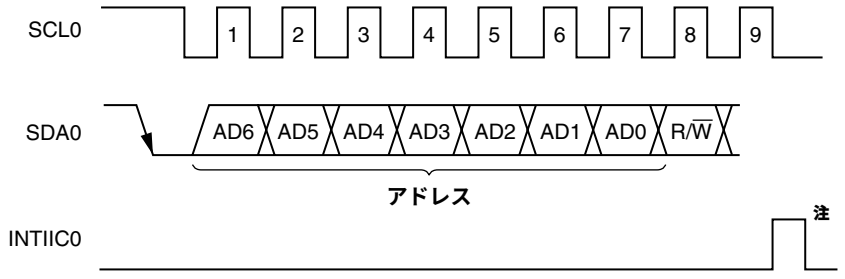
19. 5. 2　アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは，マスタがバス・ラインに接続されている複数のスレーブの中から，特定のスレーブを選択するために出力する7ビット・データです。したがって，バス・ライン上のスレーブは，すべて異なるアドレスにしておく必要があります。

スレーブは，ハードウエアでこの条件を検出し，さらに，7ビット・データがSVA0レジスタと一致しているかを調べます。このとき，7ビット・データとSVA0レジスタの値が一致すると，そのスレーブが選択されたことになり，以後，マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います。

図19－6　アドレス



注　スレーブ動作時に自局アドレスまたは拡張コードを受信すると，割り込み要求信号（INTIIC0）が発生します。

アドレスは，スレーブのアドレスと19. 5. 3　**転送方向指定**に説明する転送方向をあわせて8ビットとしてIIC0レジスタに書き込むと出力します。また，受信したアドレスはIIC0レジスタに書き込まれます。

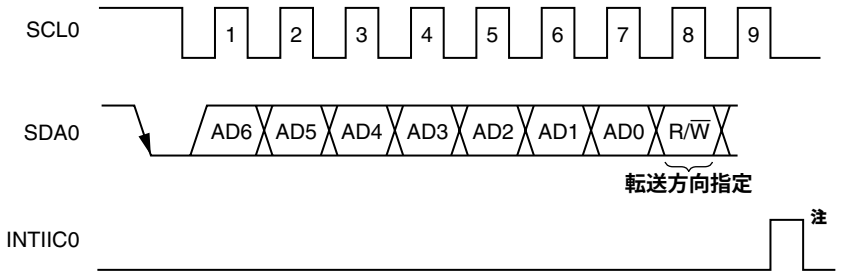
なお，スレーブのアドレスは，IIC0レジスタの上位7ビットに割り当てられます。

19. 5. 3　転送方向指定

マスタは，7ビットのアドレスに続いて，転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき，マスタがスレーブにデータを送信することを示します。また，転送方向指定ビットが1のとき，マスタがスレーブからデータを受信することを示します。

図19－7　転送方向指定



注　スレーブ動作時に自局アドレスまたは拡張コードを受信すると，割り込み要求信号（INTIIC0）が発生します。

★　19. 5. 4　アクノリッジ（$\overline{\text{ACK}}$）

アクノリッジ（$\overline{\text{ACK}}$）によって，送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は，8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常，8ビット・データ送信後，アクノリッジを受信します。受信側からアクノリッジが返されたとき，受信が正しく行われたものとして処理を続けます。アクノリッジの検出は，IICS0.ACKD0ビットで確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず，ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき，マスタはストップ・コンディションまたはリスタート・コンディションを生成し，送信を中止します。アクノリッジが返らない場合，次の要因が考えられます。

① 受信が正しく行われていない。
② 最終データの受信が終わっている。
③ アドレス指定した受信側が存在しない。

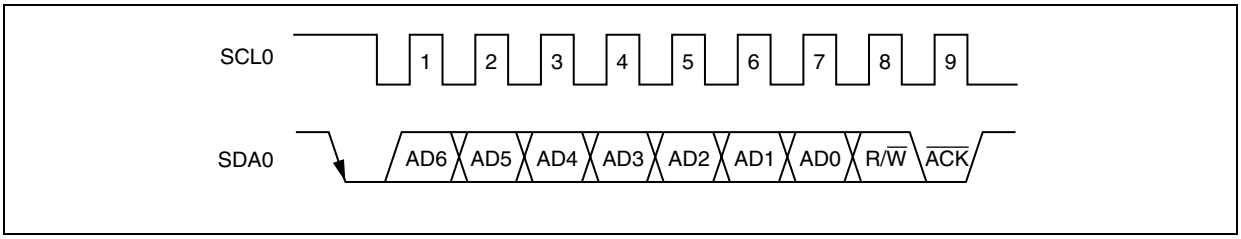
アクノリッジ生成は，受信側が9クロック目にSDA0ラインをロウ・レベルにすることによって行われます（正常受信）。

IICC0.ACKE0ビットをセット（1）することによって，アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICS0.TRC0ビットが設定されます。受信（TRC0ビット = 0）の場合は，通常，ACKE0ビットをセット（1）してください。

スレーブ受信動作時（TRC0ビット = 0）にデータを受信できなくなったときは，ACKE0ビットをクリア（0）し，マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRC0ビット = 0）に，次のデータを必要としない場合，アクノリッジを生成しないようにACKE0ビットをクリア（0）してください。これによって，スレーブ送信側にデータの終わりを知らせます（送信停止）。

図19－8　アクノリッジ（$\overline{\text{ACK}}$）



自局アドレス受信時は，ACKE0ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は，アクノリッジを生成しません（NACK）。

拡張コード受信時は，あらかじめACKE0ビットをセット（1）しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は，ウエイト・タイミングの設定により次のように異なります。

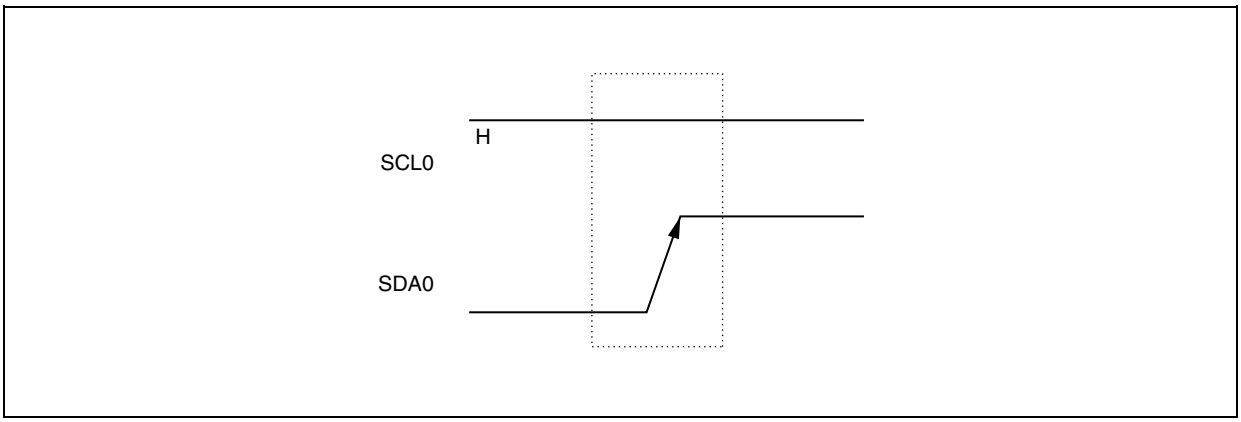
- 8クロック・ウエイト選択時（IICC0.WTIM0ビット = 0）：
  ウエイト解除を行う前にACKE0ビットをセット（1）することによって，SCL0端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- 9クロック・ウエイト選択時（WTIM0ビット = 1）：
  あらかじめACKE0ビットをセット（1）することによって，アクノリッジを生成します。

19. 5. 5　ストップ・コンディション

SCL0端子がハイ・レベルのときに，SDA0端子がロウ・レベルからハイ・レベルに変化すると，ストップ・コンディションとなります。

ストップ・コンディションは，マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は，ストップ・コンディションを検出できます。

図19－9　ストップ・コンディション



ストップ・コンディションは，IICC0.SPT0ビットをセット（1）すると発生します。また，ストップ・コンディションを検出するとIICS0.SPD0ビットがセット（1）され，IICC0.SPIE0ビットがセット（1）されている場合には割り込み要求信号（INTIIC0）が発生します。

19. 5. 6　ウエイト

ウエイトによって，マスタまたはスレーブがデータの送受信が準備中（ウエイト状態）であることを相手に知らせます。

SCL0端子をロウ・レベルにすることにより，相手にウエイト状態を知らせます。マスタ，スレーブ両方のウエイト状態が解除されると，次の転送を開始できます。

図19－10　ウエイト（1/2）

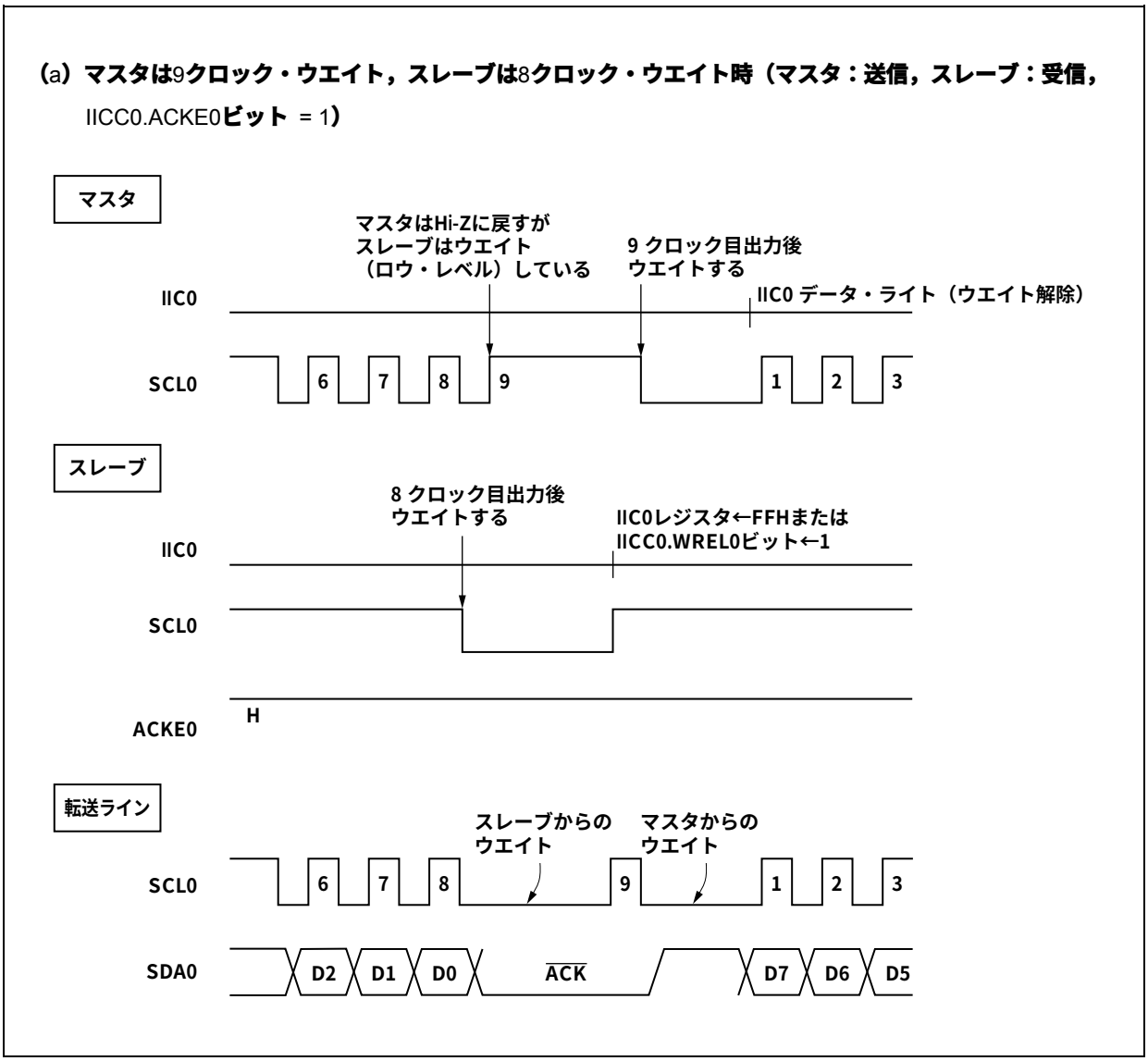
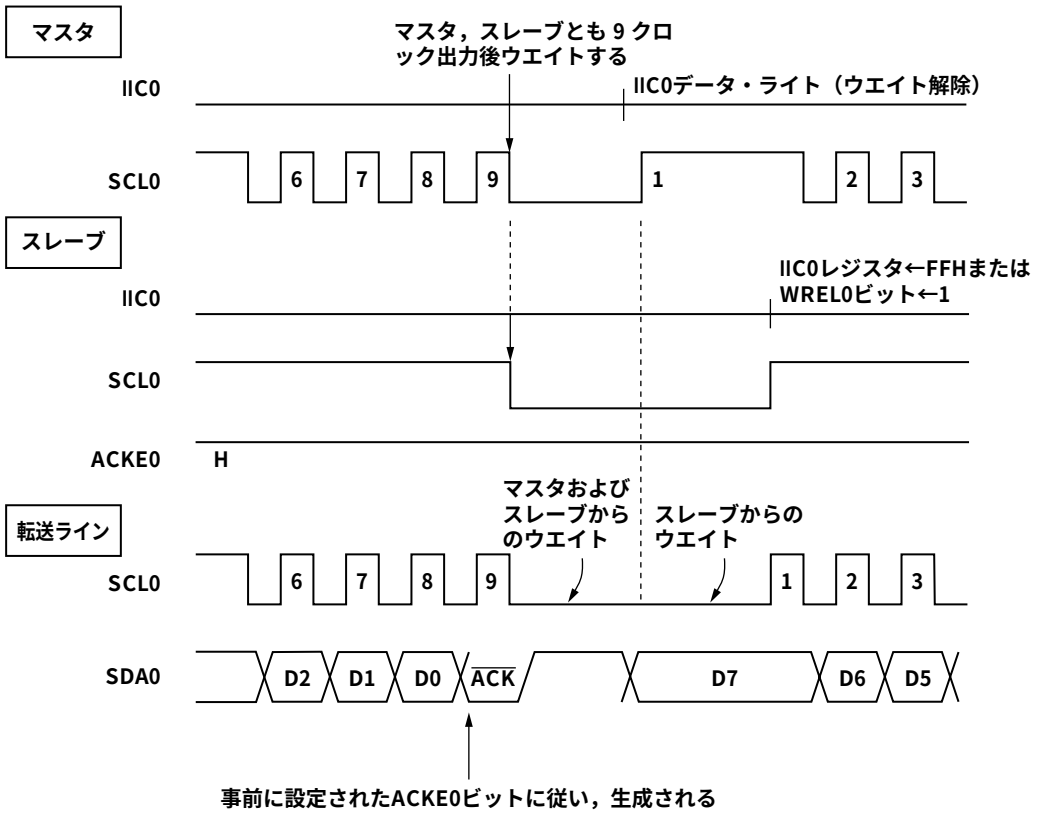


図19－10　ウエイト（2/2）

(b) マスタ，スレーブとも9クロック・ウエイト時（マスタ：送信，スレーブ：受信，ACKE0ビット = 1）



スタート・コンディション生成後，自動的にウエイト状態になります。また，IICC0.WTIM0ビットの設定により自動的にウエイト状態になります。

通常，受信側はWREL0ビット = 1またはIIC0レジスタ←FFHライトにするとウエイトを解除し，送信側はIIC0レジスタにデータを書き込むとウエイトを解除します。

マスタの場合は，次の方法でもウエイトを解除できます。

- IICC0.STT0ビット = 1
- IICC0.SPT0ビット = 1

★　19. 5. 7　ウエイト解除方法

I²C0では，通常，次のような処理でウエイトを解除できます。

- IIC0レジスタへのデータ書き込み
- IICC0.WREL0ビットのセット（ウエイト解除）
- IICC0.STT0ビットのセット（スタート・コンディションの生成）注
- IICC0.SPT0ビットのセット（ストップ・コンディションの生成）注

注　マスタのみ

これらのウエイト解除処理を実行した場合，I²C0はウエイトを解除し通信が再開されます。

ウエイトを解除してデータ（アドレスを含む）を送信する場合には，IIC0レジスタにデータを書き込んでください。

ウエイト解除後にデータを受信する場合，またはデータ送信を完了する場合には，WREL0ビットをセット（1）してください。

ウエイト解除後にリスタート・コンディションを生成する場合には，STT0ビットをセット（1）してください。

ウエイト解除後にストップ・コンディションを生成する場合には，SPT0ビットをセット（1）してください。

1回のウエイト状態に対して，1回だけ解除処理を実行してください。

たとえば，WREL0ビットにセット（1）によるウエイト解除後，IIC0レジスタへのデータ書き込みを実施した場合には，SDA0ラインの変化タイミングとIIC0レジスタへの書き込みタイミングの競合により，SDA0ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも，通信を途中で中止した場合には，IICC0.IICE0ビットをクリア（0）すると通信を停止するので，ウエイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には，IICC0.LREL0ビットをセット（1）すると通信から退避するので，ウエイトを解除できます。

19. 6　I²C割り込み要求信号（INTIIC0）

次に，INTIIC0割り込み要求信号発生タイミングと，INTIIC0信号タイミングでのIICS0レジスタの値を示します。

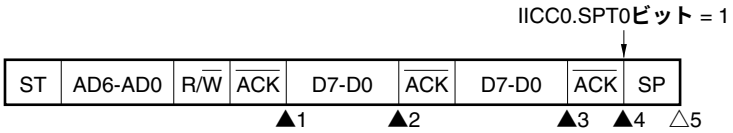
備考

ST	：スタート・コンディション
AD6-AD0	：アドレス
R/$\overline{W}$	：転送方向指定
$\overline{ACK}$	：アクノリッジ
D7-D0	：データ
SP	：ストップ・コンディション

19. 6. 1　マスタ動作

（1）Start〜Address〜Data〜Data〜Stop（通常送受信）

① IICC0.WTIM0ビット = 0のとき



★ ▲1：IICS0レジスタ = 1000X110B

★ ▲2：IICS0レジスタ = 1000X000B

★ ▲3：IICS0レジスタ = 1000X000B（WTIM0ビット = 1[注]）

★ ▲4：IICS0レジスタ = 1000XX00B

△5：IICS0レジスタ = 00000001B

注　ストップ・コンディションを生成するためにWTIM0ビットをセット（1）し，割り込み要求信号（INTIIC0）の発生タイミングを変更してください。

備考　▲　必ず発生

△　IICC0.SPIE0ビット = 1のときだけ発生

X　任意

② WTIM0ビット = 1のとき

★ ▲1：IICS0レジスタ = 1000X110B

★ ▲2：IICS0レジスタ = 1000X100B

★ ▲3：IICS0レジスタ = 1000XX00B

△4：IICS0レジスタ = 00000001B

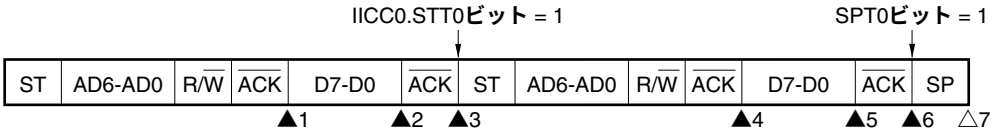
備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

（2）Start〜Address〜Data〜Start〜Address〜Data〜Stop（リスタート）

① WTIM0ビット = 0のとき



★ ▲1：IICS0レジスタ = 1000X110B

★ ▲2：IICS0レジスタ = 1000X000B（WTIM0ビット = 1[注1]）

★ ▲3：IICS0レジスタ = 1000XX00B（WTIM0ビット = 0[注2]）

★ ▲4：IICS0レジスタ = 1000X110B

★ ▲5：IICS0レジスタ = 1000X000B（WTIM0ビット = 1[注3]）

★ ▲6：IICS0レジスタ = 1000XX00B

△7：IICS0レジスタ = 00000001B

注1. スタート・コンディションを生成するためにWTIM0ビットをセット（1）し，割り込み要求信号（INTIIC0）の発生タイミングを変更してください。

2. 設定を元に戻すためにWTIM0ビットをクリア（0）します。

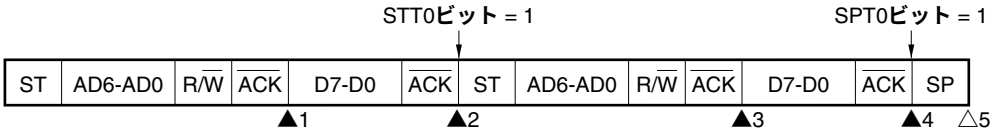
3. ストップ・コンディションを生成するためにWTIM0ビットをセット（1）し，割り込み要求信号（INTIIC0）の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIE0ビット = 1のときだけ発生

X 任意

② WTIM0ビット = 1のとき



★ ▲1：IICS0レジスタ = 1000X110B

★ ▲2：IICS0レジスタ = 1000XX00B

★ ▲3：IICS0レジスタ = 1000X110B

★ ▲4：IICS0レジスタ = 1000XX00B

△5：IICS0レジスタ = 00000001B

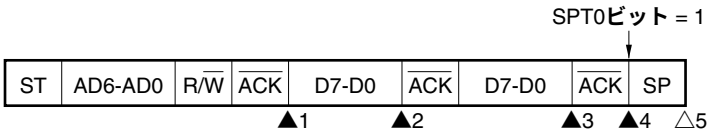
備考 ▲ 必ず発生

△ SPIE0ビット = 1のときだけ発生

X 任意

（3）Start〜Code〜Data〜Data〜Stop（拡張コード送信）

① WTIM0ビット = 0のとき



▲1：IICS0レジスタ = 1010X110B

▲2：IICS0レジスタ = 1010X000B

▲3：IICS0レジスタ = 1010X000B（WTIM0ビット = 1[注]）

▲4：IICS0レジスタ = 1010XX00B

△5：IICS0レジスタ = 00000001B

注　ストップ・コンディションを生成するためにWTIM0ビットをセット（1）し，割り込み要求信号（INTIIC0）の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

② WTIM0ビット = 1のとき

▲1：IICS0レジスタ = 1010X110B

▲2：IICS0レジスタ = 1010X100B

▲3：IICS0レジスタ = 1010XX00B

△4：IICS0レジスタ = 00000001B

備考　▲　必ず発生

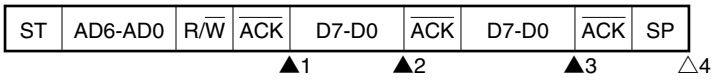
△　SPIE0ビット = 1のときだけ発生

X　任意

19. 6. 2　スレーブ動作（スレーブ・アドレス受信時（アドレス一致））

（1）Start〜Address〜Data〜Data〜Stop

① IICC0.WTIM0ビット = 0のとき



▲1：IICS0レジスタ = 0001X110B

▲2：IICS0レジスタ = 0001X000B

▲3：IICS0レジスタ = 0001X000B

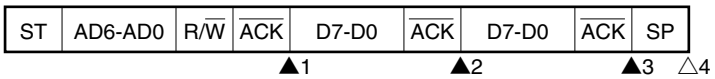
△4：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　IICC0.SPIE0ビット = 1のときだけ発生

X　任意

② WTIM0ビット = 1のとき



▲1：IICS0レジスタ = 0001X110B

▲2：IICS0レジスタ = 0001X100B

▲3：IICS0レジスタ = 0001XX00B

△4：IICS0レジスタ = 00000001B

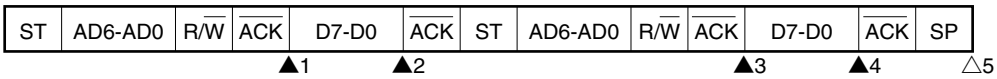
備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

（2）Start〜Address〜Data〜Start〜Address〜Data〜Stop

① WTIM0ビット = 0のとき（リスタート後，アドレス一致）



▲1：IICS0レジスタ = 0001X110B

▲2：IICS0レジスタ = 0001X000B

▲3：IICS0レジスタ = 0001X110B

▲4：IICS0レジスタ = 0001X000B

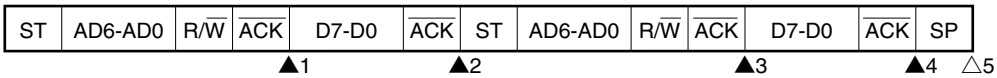
△5：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

② WTIM0ビット = 1のとき（リスタート後，アドレス一致）



▲1：IICS0レジスタ = 0001X110B

▲2：IICS0レジスタ = 0001XX00B

▲3：IICS0レジスタ = 0001X110B

▲4：IICS0レジスタ = 0001XX00B

△5：IICS0レジスタ = 00000001B

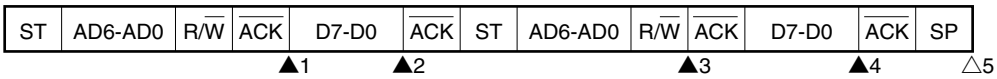
備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

(3) Start〜Address〜Data〜Start〜Code〜Data〜Stop

① WTIM0ビット = 0のとき（リスタート後，アドレス不一致（拡張コード））



▲1：IICS0レジスタ = 0001X110B

▲2：IICS0レジスタ = 0001X000B

▲3：IICS0レジスタ = 0010X010B

▲4：IICS0レジスタ = 0010X000B

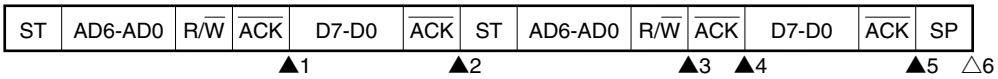
△5：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

② WTIM0ビット = 1のとき（リスタート後，アドレス不一致（拡張コード））



▲1：IICS0レジスタ = 0001X110B

▲2：IICS0レジスタ = 0001XX00B

▲3：IICS0レジスタ = 0010X010B

▲4：IICS0レジスタ = 0010X110B

▲5：IICS0レジスタ = 0010XX00B

△6：IICS0レジスタ = 00000001B

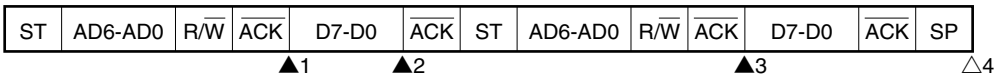
備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

（4）Start〜Address〜Data〜Start〜Address〜Data〜Stop

① WTIM0ビット = 0のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1：IICS0レジスタ = 0001X110B

▲2：IICS0レジスタ = 0001X000B

▲3：IICS0レジスタ = 00000110B

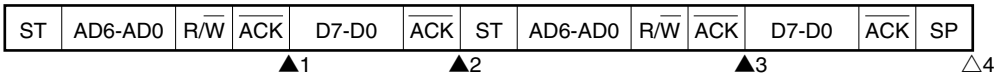
△4：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

② WTIM0ビット = 1のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1：IICS0レジスタ = 0001X110B

▲2：IICS0レジスタ = 0001XX00B

▲3：IICS0レジスタ = 00000110B

△4：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

19. 6. 3　スレーブ動作（拡張コード受信時）

拡張コード受信時は常に通信に参加しています。

（1）Start〜Code〜Data〜Data〜Stop

① IICC0.WTIM0**ビット** = 0**のとき**

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2		▲3	△4

▲1：IICS0**レジスタ** = 0010X010B

▲2：IICS0**レジスタ** = 0010X000B

▲3：IICS0**レジスタ** = 0010X000B

△4：IICS0**レジスタ** = 00000001B

備考　▲　**必ず発生**

△　IICC0.SPIE0**ビット** = 1**のときだけ発生**

X　**任意**

② WTIM0**ビット** = 1**のとき**

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1	▲2		▲3	▲4	△5

▲1：IICS0**レジスタ** = 0010X010B

▲2：IICS0**レジスタ** = 0010X110B

▲3：IICS0**レジスタ** = 0010X100B

▲4：IICS0**レジスタ** = 0010XX00B

△5：IICS0**レジスタ** = 00000001B

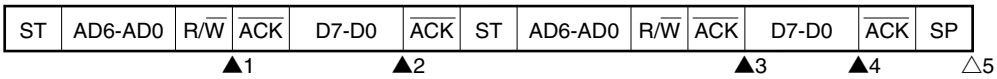
備考　▲　**必ず発生**

△　SPIE0**ビット** = 1**のときだけ発生**

X　**任意**

(2) Start〜Code〜Data〜Start〜Address〜Data〜Stop

① WTIM0ビット = 0のとき（リスタート後，アドレス一致）



▲1：IICS0レジスタ = 0010X010B

▲2：IICS0レジスタ = 0010X000B

▲3：IICS0レジスタ = 0001X110B

▲4：IICS0レジスタ = 0001X000B

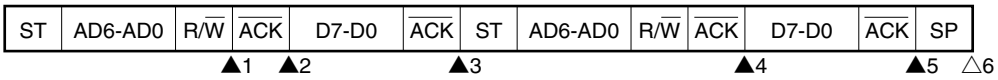
△5：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

② WTIM0ビット = 1のとき（リスタート後，アドレス一致）



▲1：IICS0レジスタ = 0010X010B

▲2：IICS0レジスタ = 0010X110B

▲3：IICS0レジスタ = 0010XX00B

▲4：IICS0レジスタ = 0001X110B

▲5：IICS0レジスタ = 0001XX00B

△6：IICS0レジスタ = 00000001B

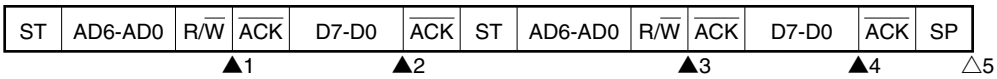
備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

(3) Start〜Code〜Data〜Start〜Code〜Data〜Stop

① WTIM0ビット = 0のとき（リスタート後，拡張コード受信）



▲1：IICS0レジスタ = 0010X010B

▲2：IICS0レジスタ = 0010X000B

▲3：IICS0レジスタ = 0010X010B

▲4：IICS0レジスタ = 0010X000B

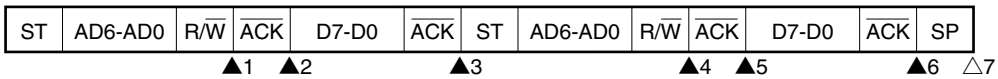
△5：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

② WTIM0ビット = 1のとき（リスタート後，拡張コード受信）



▲1：IICS0レジスタ = 0010X010B

▲2：IICS0レジスタ = 0010X110B

▲3：IICS0レジスタ = 0010XX00B

▲4：IICS0レジスタ = 0010X010B

▲5：IICS0レジスタ = 0010X110B

▲6：IICS0レジスタ = 0010XX00B

△7：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

(4) Start〜Code〜Data〜Start〜Address〜Data〜Stop

① WTIM0ビット = 0のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2					▲3		△4

▲1：IICS0レジスタ = 0010X010B

▲2：IICS0レジスタ = 0010X000B

▲3：IICS0レジスタ = 00000110B

△4：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

② WTIM0ビット = 1のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1	▲2		▲3				▲4		△5

▲1：IICS0レジスタ = 0010X010B

▲2：IICS0レジスタ = 0010X110B

▲3：IICS0レジスタ = 0010XX00B

▲4：IICS0レジスタ = 00000110B

△5：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

19. 6. 4　通信不参加の動作

（1）Start〜Code〜Data〜Data〜Stop

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP

△1

△1：IICS0レジスタ = 00000001B

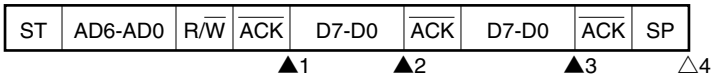
備考　△　IICC0.SPIE0ビット = 1のときだけ発生

19. 6. 5　アービトレーション負けの動作（アービトレーション負けのあと，スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合はINTIIC0割り込み発生ごとにアービトレーション結果を確認するためのIICS0.MSTS0ビットをリードし，アービトレーション結果を確認してください。

（1）スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

① IICC0.WTIM0ビット = 0のとき



▲1：IICS0レジスタ = 0101X110B

▲2：IICS0レジスタ = 0001X000B

▲3：IICS0レジスタ = 0001X000B

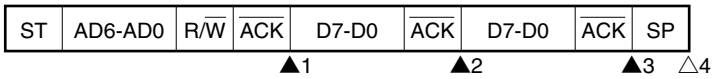
△4：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　IICC0.SPIE0ビット = 1のときだけ発生

X　任意

② WTIM0ビット = 1のとき



▲1：IICS0レジスタ = 0101X110B

▲2：IICS0レジスタ = 0001X100B

▲3：IICS0レジスタ = 0001XX00B

△4：IICS0レジスタ = 00000001B

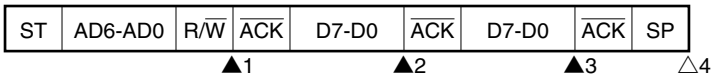
備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

(2) 拡張コード送信中にアービトレーションに負けた場合

① WTIM0ビット = 0のとき



▲1：IICS0レジスタ = 0110X010B

▲2：IICS0レジスタ = 0010X000B

▲3：IICS0レジスタ = 0010X000B

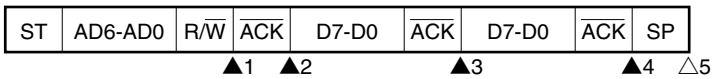
△4：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

② WTIM0ビット = 1のとき



▲1：IICS0レジスタ = 0110X010B

▲2：IICS0レジスタ = 0010X110B

▲3：IICS0レジスタ = 0010X100B

▲4：IICS0レジスタ = 0010XX00B

△5：IICS0レジスタ = 00000001B

備考　▲　必ず発生

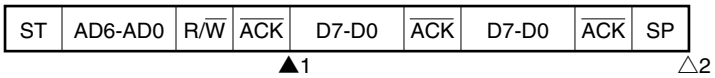
△　SPIE0ビット = 1のときだけ発生

X　任意

19. 6. 6　アービトレーション負けの動作（アービトレーション負けのあと，不参加）

マルチマスタ・システムでマスタとして使用する場合はINTIIC0割り込み発生ごとにアービトレーション結果を確認するためのIICS0.MSTS0ビットをリードし，アービトレーション結果を確認してください。

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合



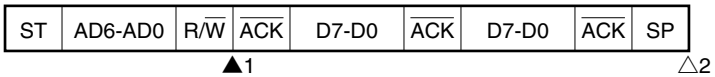
▲1：IICS0レジスタ = 01000110B

△2：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　IICC0.SPIE0ビット = 1のときだけ発生

(2) 拡張コード送信中にアービトレーションに負けた場合



▲1：IICS0レジスタ = 0110X010B

ソフトウエアでIICC0.LREL0ビット = 1を設定

△2：IICS0レジスタ = 00000001B

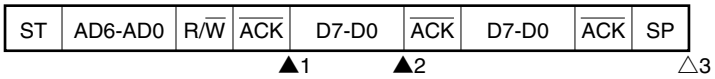
備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

(3) データ転送時にアービトレーションに負けた場合

① IICC0.WTIM0ビット = 0のとき



▲1：IICS0レジスタ = 10001110B

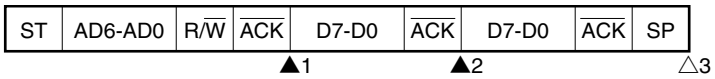
▲2：IICS0レジスタ = 01000000B

△3：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

② WTIM0ビット = 1のとき



▲1：IICS0レジスタ = 10001110B

▲2：IICS0レジスタ = 01000100B

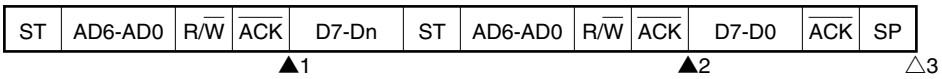
△3：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

(4) データ転送時にリスタート・コンディションで負けた場合

① 拡張コード以外（例　アドレス不一致）



▲1：IICS0レジスタ = 1000X110B

▲2：IICS0レジスタ = 01000110B

△3：IICS0レジスタ = 00000001B

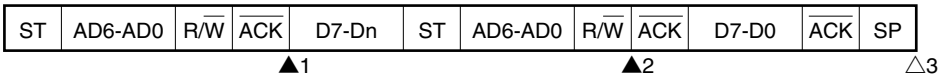
備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

Dn = D6-D0

② 拡張コード



▲1：IICS0レジスタ = 1000X110B

▲2：IICS0レジスタ = 0110X010B

ソフトウエアでLREL0ビット = 1を設定

△3：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

Dn = D6-D0

(5) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-Dn	SP

▲1　　△2

▲1：IICS0レジスタ = 1000X110B

△2：IICS0レジスタ = 01000001B

備考　▲　必ず発生

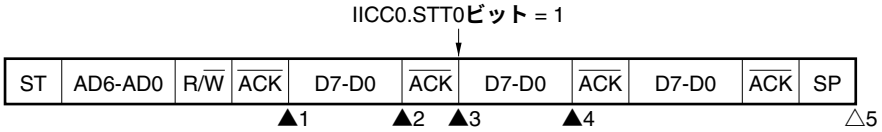
△　SPIE0ビット = 1のときだけ発生

X　任意

Dn = D6-D0

(6) リスタート・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

★ **①WTIM0ビット = 0のとき**



▲1：IICS0レジスタ = 1000X110B

▲2：IICS0レジスタ = 1000X000B（WTIM0ビット = 1）

▲3：IICS0レジスタ = 1000X100B（WTIM0ビット = 0）

▲4：IICS0レジスタ = 01000000B

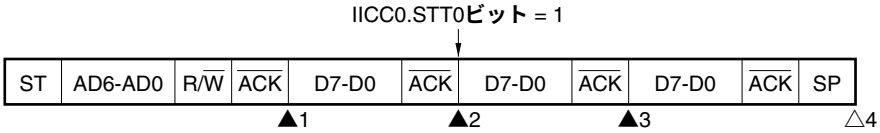
△5：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

②WTIM0ビット = 1のとき



▲1：IICS0レジスタ = 1000X110B

▲2：IICS0レジスタ = 1000X100B

▲3：IICS0レジスタ = 01000100B

△4：IICS0レジスタ = 00000001B

備考　▲　必ず発生

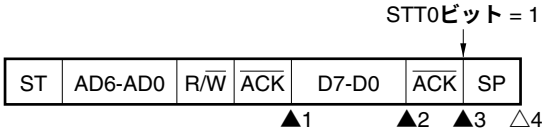
△　SPIE0ビット = 1のときだけ発生

X　任意

(7) リスタート・コンディションを発生しようとして，ストップ・コンディションでアービトレーションに負けた場合

★

①WTIM0ビット = 0のとき



▲1：IICS0レジスタ = 1000X110B

▲2：IICS0レジスタ = 1000X000B（WITM0ビット = 1）

▲3：IICS0レジスタ = 1000XX00B

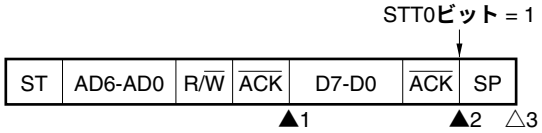
△4：IICS0レジスタ = 01000001B

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

②WTIM0ビット = 1のとき



▲1：IICS0レジスタ = 1000X110B

▲2：IICS0レジスタ = 1000XX00B

△3：IICS0レジスタ = 01000001B

備考　▲　必ず発生

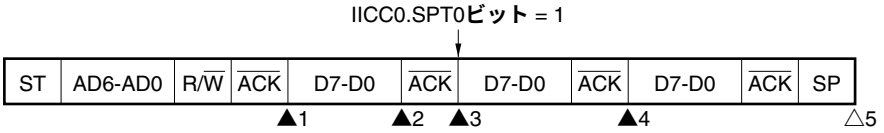
△　SPIE0ビット = 1のときだけ発生

X　任意

(8) ストップ・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

★

①WTIM0ビット = 0のとき



▲1：IICS0レジスタ = 1000X110B

▲2：IICS0レジスタ = 1000X000B（WTIM0ビット = 1）

▲3：IICS0レジスタ = 1000X100B（WTIM0ビット = 0）

▲4：IICS0レジスタ = 01000100B

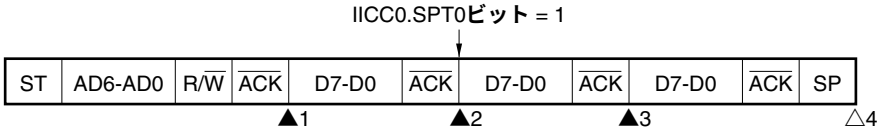
△5：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

②WTIM0ビット = 1のとき



▲1：IICS0レジスタ = 1000X110B

▲2：IICS0レジスタ = 1000X100B

▲3：IICS0レジスタ = 01000100B

△4：IICS0レジスタ = 00000001B

備考　▲　必ず発生

△　SPIE0ビット = 1のときだけ発生

X　任意

19. 7　割り込み要求信号（INTIIC0）発生タイミングおよびウエイト制御

IICC0.WTIM0ビットの設定で，次に示すタイミングでINTIIC0信号が発生して，ウエイト制御を行います。

表19ー3　INTIIC0信号発生タイミングおよびウエイト制御

WTIM0ビット	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9注1, 2	8注2	8注2	9	8	8
1	9注1, 2	9注2	9注2	9	9	9

注1.　スレーブのINTIIC0信号およびウエイトは，SVA0レジスタに設定しているアドレスと一致したときにのみ，9クロック目の立ち下がりで発生します。
また，このとき，IICC0.ACKE0ビットの設定にかかわらず，アクノリッジが出力されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIIC0信号を発生します。
ただし，リスタート後にアドレス不一致になった場合には，9クロック目の立ち下がりでINTIIC0信号を発生しますが，ウエイトは発生しません。

2.　SVA0レジスタと受信したアドレスが一致せず，かつ拡張コードを受信していない場合は，INTIIC0信号もウエイトも発生しません。

備考　表中の数字は，シリアル・クロックのクロック数を示しています。また，割り込み要求，ウエイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

・スレーブ動作時：WTIM0ビットにかかわらず，上記の注1, 2の条件により，割り込みおよびウエイト・タイミングが決まります。

・マスタ動作時　：WTIM0ビットにかかわらず，割り込みおよびウエイト・タイミングは，9クロック目の立ち下がりで発生します。

(2) データ受信時

マスタ／スレーブ動作時：WTIM0ビットにより，割り込みおよびウエイト・タイミングが決まります。

(3) データ送信時

マスタ／スレーブ動作時：WTIM0ビットにより，割り込みおよびウエイト･タイミングが決まります。

(4) ウエイト解除方法

ウエイトの解除方法には次の4つがあります。

- IIC0レジスタへのデータ書き込み
- IICC0.WREL0ビットのセット（ウエイト解除）
- IICC0.STT0ビットのセット（スタート・コンディションの生成）注
- IICC0.SPT0ビットのセット（ストップ・コンディションの生成）注

注　マスタのみ

8クロック・ウエイト選択（WTIM0ビット = 0）時は，ウエイト解除前に$\overline{\text{ACK}}$信号の出力レベルを決定する必要があります。

(5) ストップ・コンディション検出

ストップ・コンディションを検出すると，INTIIC0信号を発生します。

19.8　アドレスの一致検出方法

I²Cバス・モードでは，マスタがスレーブ・アドレスを送信することにより，特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は，ハードウエアで自動的に行えます。SVA0レジスタに自局アドレスを設定した場合，マスタから送信されたスレーブ・アドレスとSVA0レジスタに設定したアドレスが一致したとき，または拡張コードを受信した場合だけ，INTIIC0割り込み要求信号が発生します。

19.9　エラーの検出

I²Cバス・モードでは，送信中のシリアル・バス（SDA0）の状態が，送信しているデバイスのIIC0レジスタにも取り込まれるため，送信開始前と送信終了後のIIC0レジスタのデータを比較することにより，送信エラーを検出できます。この場合，2つのデータが異なっていれば送信エラーが発生したものと判断します。

19. 10　拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として，拡張コード受信フラグ（EXC0）をセットし，8クロック目の立ち下がりで割り込み要求信号（INTIIC0）を発生します。
SVA0レジスタに格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で，SVA0レジスタに“11110xx0”を設定し，マスタから“11110xx0”が転送されてきた場合は，次のようになります。ただしINTIIC0信号は，8クロック目の立ち下がりで発生します。

上位4ビット・データの一致　：IICS0.EXC0ビット = 1
7ビット・データの一致　：IICS0.COI0ビット = 1

(3) INTIIC0信号発生後の処理は，拡張コードに続くデータによって異なるため，ソフトウエアが行います。
★ スレーブ動作中に拡張コードを受信した場合は，アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後，スレーブとして動作したくない場合は，IICC0.LREL0ビット = 1に設定してください。次の通信待機状態となります。

表19－4　拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説　明
0000　000	0	ジェネラル・コール・アドレス
0000　000	1	スタート・バイト
0000　001	×	CBUSアドレス
0000　010	×	異なるバス・フォーマット用に予約されているアドレス
1111　0xx	×	10ビット・スレーブ・アドレス指定

19. 11　アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（IICS0.STD0ビット = 1になる前にIICS0.STT0ビット = 1にしたとき），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，アービトレーション負けフラグ（IICS0.ALD0ビット）をセット（1）し，SCL0, SDA0ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは，次の割り込み要求信号（INTIIC0）発生タイミング（8または9クロック目，ストップ・コンディション検出など）で，ソフトウエアでALD0ビット = 1になっていることで検出します。

割り込み発生タイミングについては，19. 6　I²C割り込み要求信号（INTIIC0）を参照してください。

図19－11　アービトレーション・タイミング例

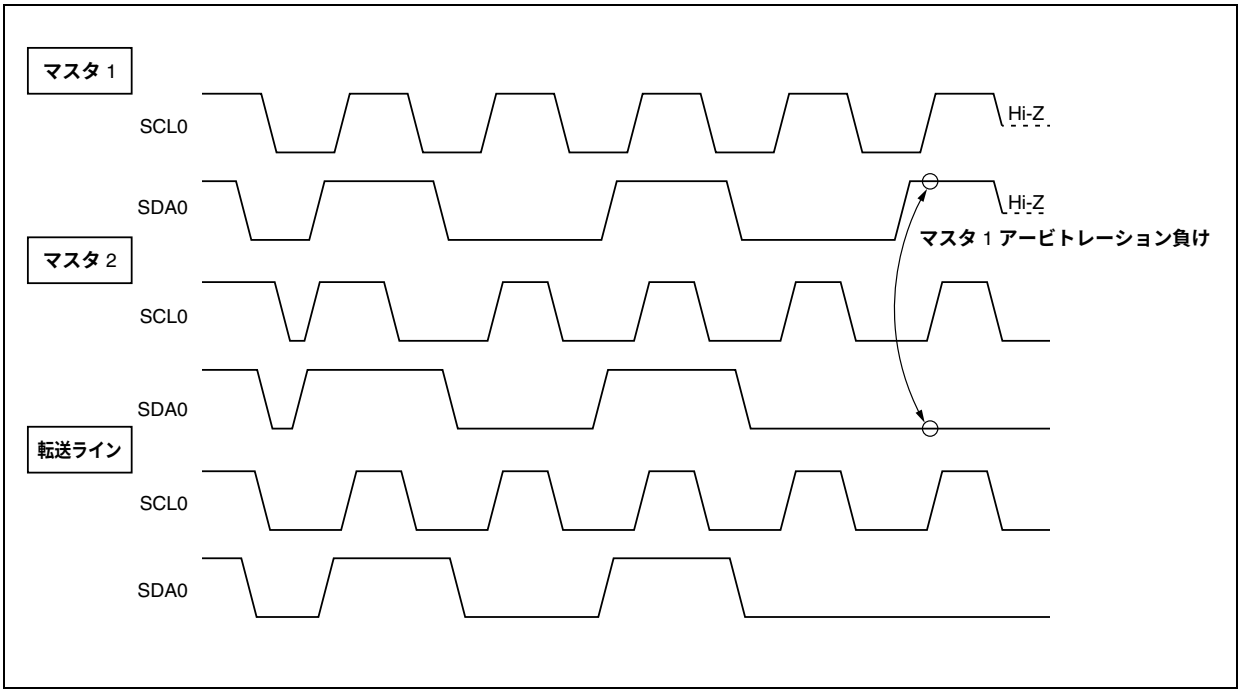


表19－5　アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり[注1]
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ受信後のアクノリッジ転送期間中	
データ転送中，リスタート・コンディション検出	
データ転送中，ストップ・コンディション検出	ストップ・コンディション生成時（IICC0.SPIE0ビット = 1時）[注2]
リスタート・コンディションを生成しようとしたがSDA0端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり[注1]
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時（SPIE0ビット = 1時）[注2]
ストップ・コンディションを生成しようとしたがSDA0端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり[注1]
リスタート・コンディションを生成しようとしたがSCL0端子がロウ・レベル	

注1.　IICC0.WTIM0ビット = 1の場合には，9クロック目の立ち下がりタイミングでINTIIC0信号を発生します。WTIM0ビット = 0および拡張コードのスレーブ・アドレス受信時には，8クロック目の立ち下がりタイミングでINTIIC0信号を発生します。

2.　アービトレーションが起こる可能性がある場合，マスタ動作ではSPIE0ビット = 1にしてください。

19. 12　ウエイク・アップ機能

I²Cバスのスレーブ機能で，自局アドレスまたは拡張コードを受信したときに割り込み要求信号（INTIIC0）が発生する機能です。アドレスが一致しないときは不要なINTIIC0信号を発生せず，効率よく処理できます。

スタート・コンディションを検出すると，ウエイク・アップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも，アービトレーション負けでスレーブになる可能性があるため，アドレスを送信しながらウエイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると，ウエイク・アップ機能に関係なく，IICC0.SPIE0ビットの設定によって，INTIIC0信号の発生許可／禁止が決定します。

19. 13　通信予約

19. 13. 1　通信予約機能許可の場合（IICF0.IICRSV0ビット = 0）

バスに不参加の状態で，次にマスタ通信を行いたい場合は，通信予約を行うことにより，バス解放時にスタート･コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

・アービトレーションでマスタにもスレーブにもなれなかった場合
・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICC0.LREL0ビット = 1でバスを解放した）とき。

バスに不参加の状態で，IICC0.STT0ビットをセット（1）すると，バスが解放されたあと（ストップ・コンディション検出後）に，自動的にスタート・コンディションを生成し，ウエイト状態になります。

★　IICC0.SPIE0ビットをセット（1）し，割り込み要求（INTIIC0）発生でバスの解放を検出（ストップ・コンディション検出）したあと，IIC0レジスタにアドレスを書き込むと，自動的にマスタとして通信を開始します。ストップ・コンディションを検出する前に，IIC0レジスタに書き込んだデータは無効となります。

STT0ビットをセット（1）したときスタート･コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

バスが解放されているとき　･････････････　スタート･コンディション生成
バスが解放されていないとき（待機状態）　･･　通信予約

通信予約として動作するのかどうかを確認するには，STT0ビットをセット（1）し，ウエイト時間をとったあと，IICS0.MSTS0ビットを確認することで行います。

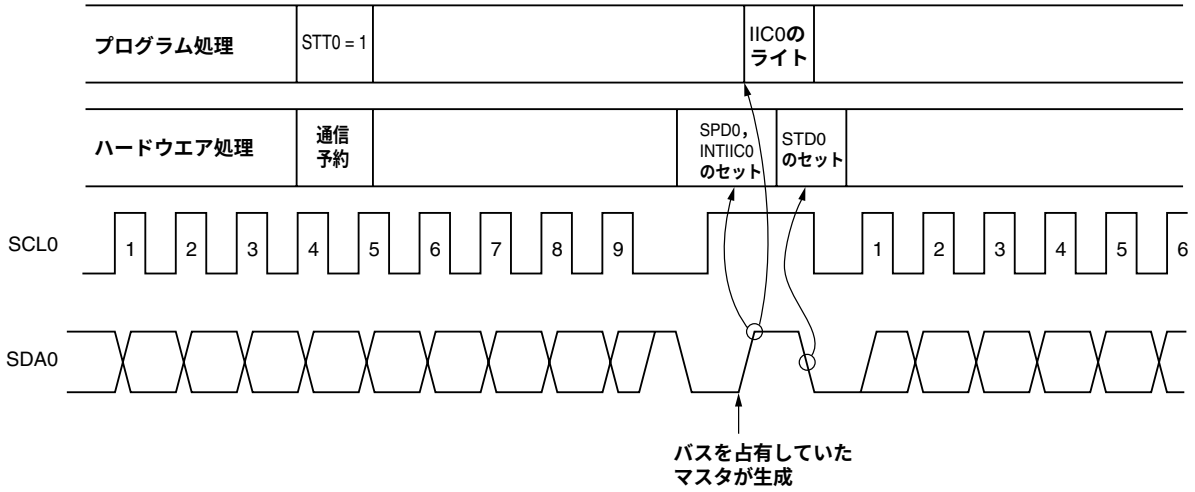
ウエイト時間は，表19－6に示す時間をソフトウエアにより確保してください。なお，ウエイト時間はIICX0.CLX0, IICCL0.SMC0, CL01, CL00ビットにより設定できます。

★　**表19－6　ウエイト時間**

CLX0	SMC0	CL01	CL00	選択クロック	ウエイト時間
0	0	0	0	fxx/2	46クロック
0	0	0	1	fxx/2	86クロック
0	0	1	0	fxx	43クロック
0	0	1	1	fxx/3	102クロック
0	1	0	1/0	fxx/2	30クロック
0	1	1	0	fxx	15クロック
0	1	1	1	fxx/3	36クロック
1	1	0	1/0	fxx/2	18クロック
1	1	1	0	fxx	9クロック

通信予約のタイミングを次に示します。

図19－12　通信予約のタイミング



IIC0　：IICシフト・レジスタ0

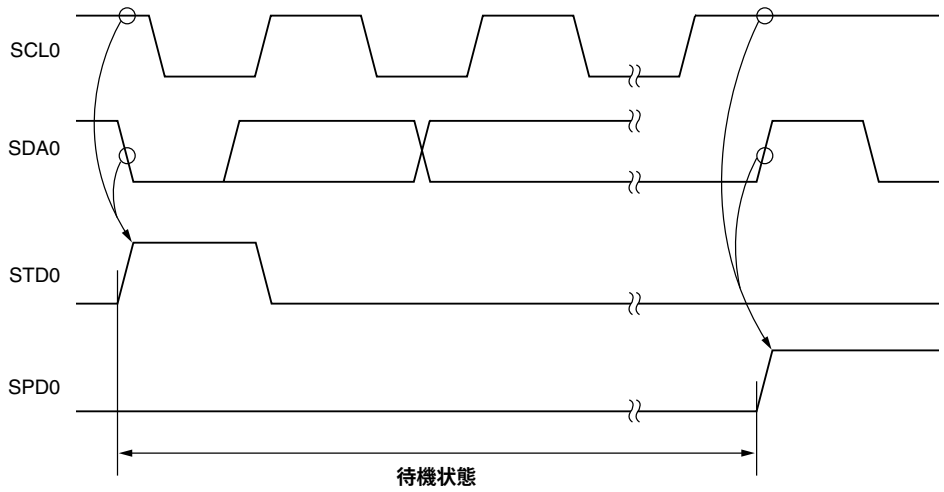
STT0　：IICコントロール・レジスタ0（IICC0）のビット1

STD0　：IIC状態レジスタ0（IICS0）のビット1

SPD0　：　　〃　　のビット0

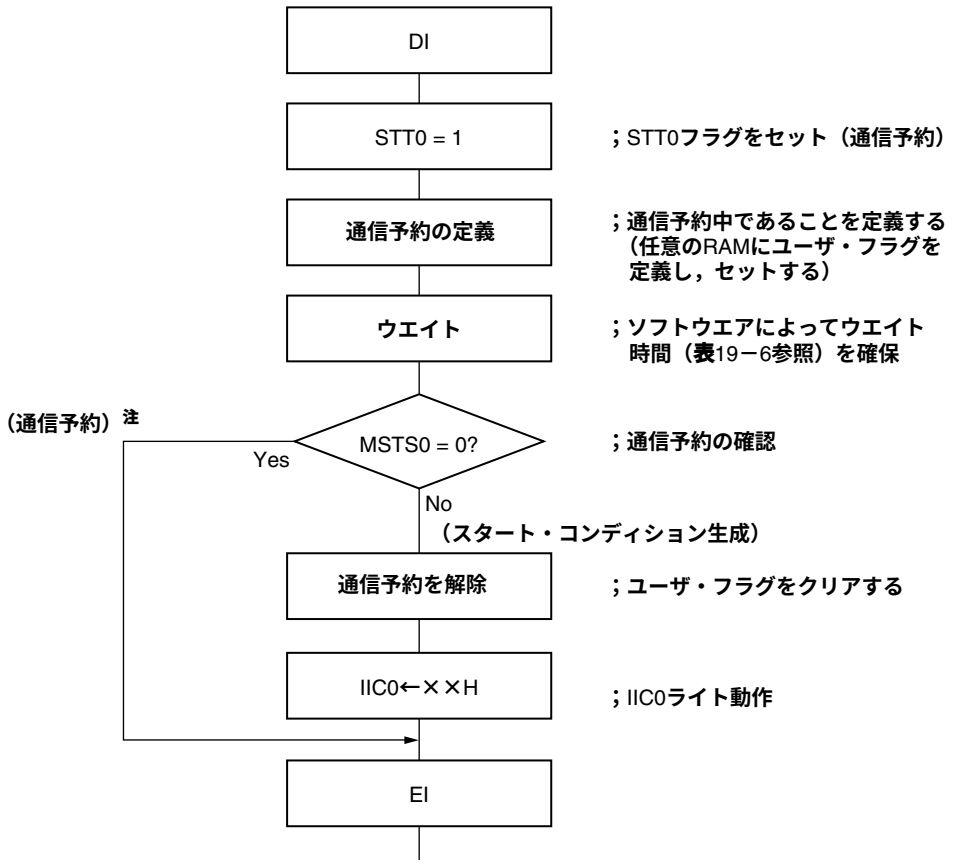
通信予約は次のタイミングで受け付けられます。IICS0.STD0ビット = 1になったあと，ストップ・コンディション検出までにIICC0.STT0ビット = 1で通信予約をします。

図19－13　通信予約受け付けタイミング



次に通信予約の手順を示します。

図19－14　通信予約の手順



注　通信予約動作時は，ストップ・コンディション割り込みでIIC0レジスタへの書き込みを実行します。

19. 13. 2　通信予約機能禁止の場合（IICF0.IICRSV0ビット = 1）

バスが通信中で，この通信に不参加の状態でIICC0.STT0ビットをセットすると，この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 拡張コードを受信してスレーブとして動作しない（$\overline{\text{ACK}}$信号を返さず，IICC0.LREL0ビット = 1でバスを解放した）とき。

スタート・コンディションが生成されたか拒絶されたを確認するには，IICF0.STCF0フラグを確認することにより行います。STT0ビット = 1としてからSTCF0フラグがセットされるまで表19－7に示す時間がかかりますので，ソフトウエアによりこの時間を確保してください。

★ 表19－7　ウエイト時間

CL01	CL00	選択クロック	ウエイト時間
0	0	fxx/2	6クロック
0	1	fxx/2	6クロック
1	0	fxx	3クロック
1	1	fxx/3	9クロック

19. 14　注意事項

（1）IICF0.STCEN0ビット = 0の場合

I²C0動作許可直後，実際のバス状態にかかわらず通信状態（IICF0.IICBSY0ビット = 1）と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は，まずストップ・コンディションを生成し，バスを解放してからマスタ通信を行ってください。

ストップ・コンディションの生成は次の順番で行ってください。

① IICCL0レジスタの設定
② IICC0.IICE0ビットのセット
③ IICC0.SPT0ビットのセット

（2）IICF0.STCEN0ビット = 1の場合

I²C0動作許可直後，実際のバス状態にかかわらず解放状態（IICBSY0ビット = 0）と認識しますので，1回目のスタート・コンディションを生成（IICC0.STT0ビット = 1）する場合は，ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

★ （3）ほかのデバイス同士の通信中にV850ES/KG1+のIICC0.IICE0ビットをセット（1）した場合，通信ラインの状態によってスタート・コンディションを検出することがあります。IICC0.IICE0ビットのセット（1）は，必ずSCL0, SDA0ラインがハイ・レベルの状態で行ってください。

★ （4）動作許可（IICC0.IICE0ビット = 1）する前にIICCL0, IICX0レジスタで動作クロック周波数を決定してください。動作クロック周波数を変更する場合は，一度IICC0.IICE0ビットをクリア（0）してください。

★ （5）IICC0.STT0, SPT0ビットをセット（1）したあと，クリア（0）される前の再セットは禁止します。

★ （6）送信予約をした場合には，IICC0.SPIE0ビットをセット（1）してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後にI²C0に通信データをライトすることによってウエイトが解除され転送が開始します。ストップ・コンディション検出で割り込みを発生させないと，スタート時には割り込み要求が発生しないため，ウエイト状態で停止します。ただし，ソフトウエアでIICS0.MSTS0ビットを検出する場合には，SPIE0ビットをセット（1）する必要はありません。

★ 19. 15　通信動作

ここでは，次の 3 つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで，マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し，スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I^2C0 バスのマルチマスタ・システムでは，通信に参加した段階ではバスが解放状態にあるか使用状態にあるかが I^2C バスの仕様だけでは判断できません。ここでは，一定（1 フレーム）期間，データとクロックがハイ・レベルであれば，バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」，「通信待ち」，「通信処理」に分かれています。ここでは，アービトレーションで負けてスレーブに指定された場合の処理は省略し，マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で，マスタとしての通信要求，またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で，スレーブとのデータ送受信以外に，ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

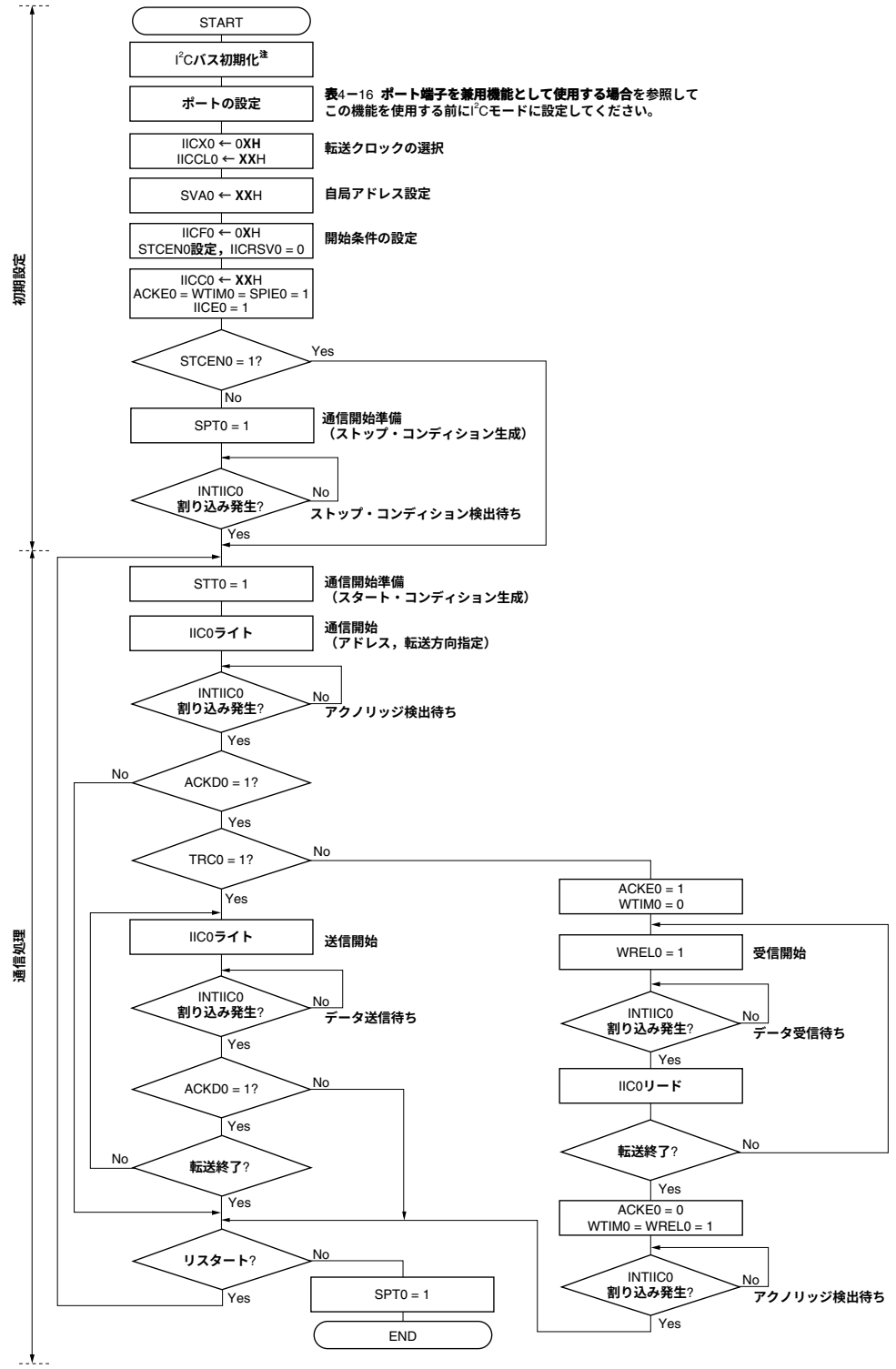
I^2C0 バスのスレーブとして使用する場合の例を示します。

スレーブの場合には，割り込みによって動作を開始します。起動時に「初期設定」部分を実行し，そのあとは通信待ちで INTIIC0 割り込みの発生を待ちます。INTIIC0 割り込みが発生すると，通信状態を判定し，フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより，必要な「通信処理」を行います。

19. 15. 1　シングルマスタ・システムでのマスタ動作

図19－15　シングルマスタ・システムでのマスタ動作

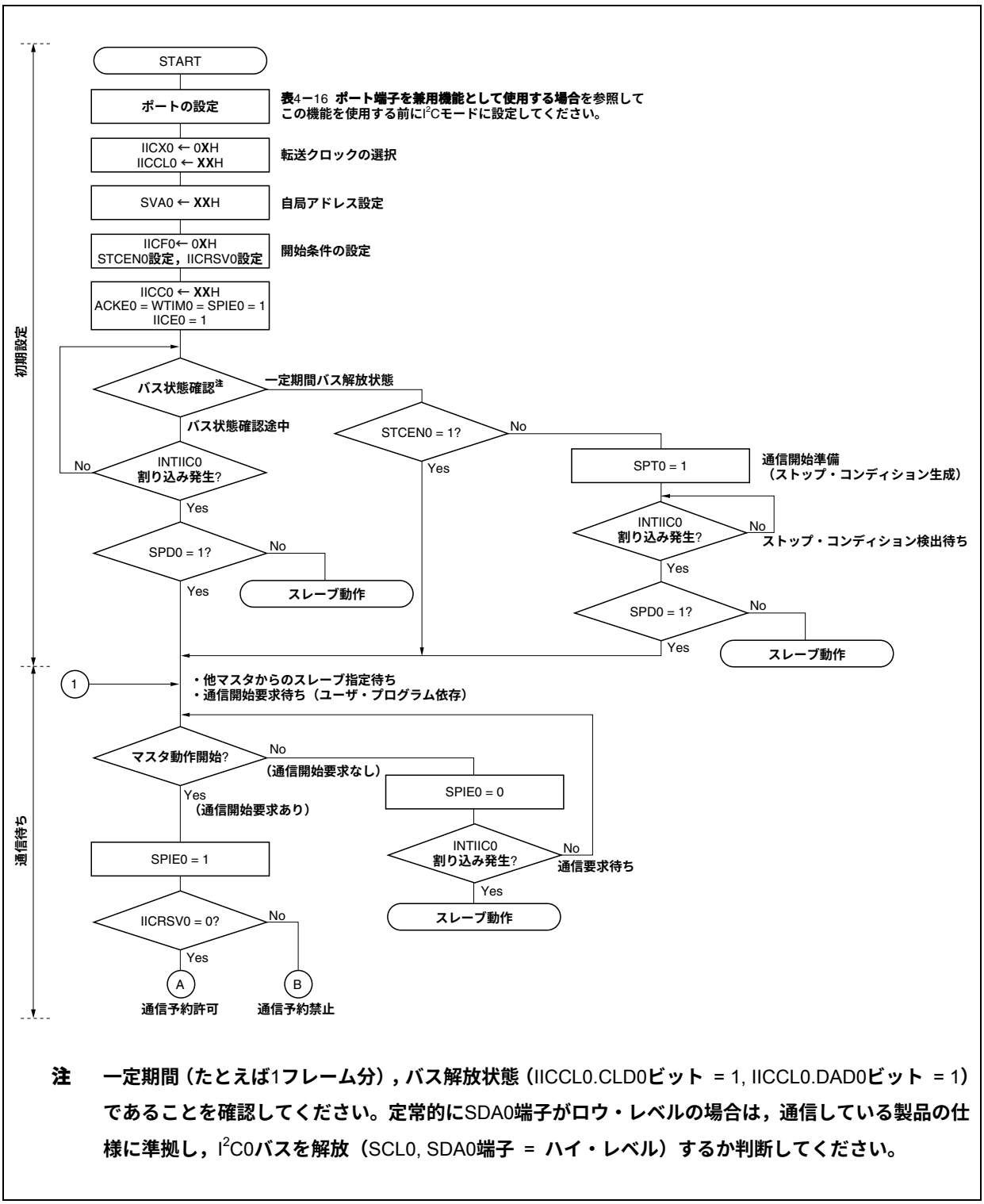


注　通信している製品の仕様に準拠し，I²C0バスを解放（SCL0, SDA0端子 = ハイ・レベル）してください。たとえば，EEPROM®がSDA0端子にロウ・レベルを出力した状態であれば，SCL0端子を出力ポートに設定し，SDA0端子が定常的にハイ・レベルになるまで，出力ポートからクロック・パルスを出力してください。

備考　送信および受信フォーマットは通信している製品の仕様に準拠してください。

19. 15. 2　マルチマスタ・システムでのマスタ動作

図19－16　マルチマスタ・システムでのマスタ動作（1/3）



注　一定期間（たとえば1フレーム分），バス解放状態（IICCL0.CLD0ビット = 1, IICCL0.DAD0ビット = 1）であることを確認してください。定常的にSDA0端子がロウ・レベルの場合は，通信している製品の仕様に準拠し，I²C0バスを解放（SCL0, SDA0端子 = ハイ・レベル）するか判断してください。

図19ー16　マルチマスタ・システムでのマスタ動作（2/3）

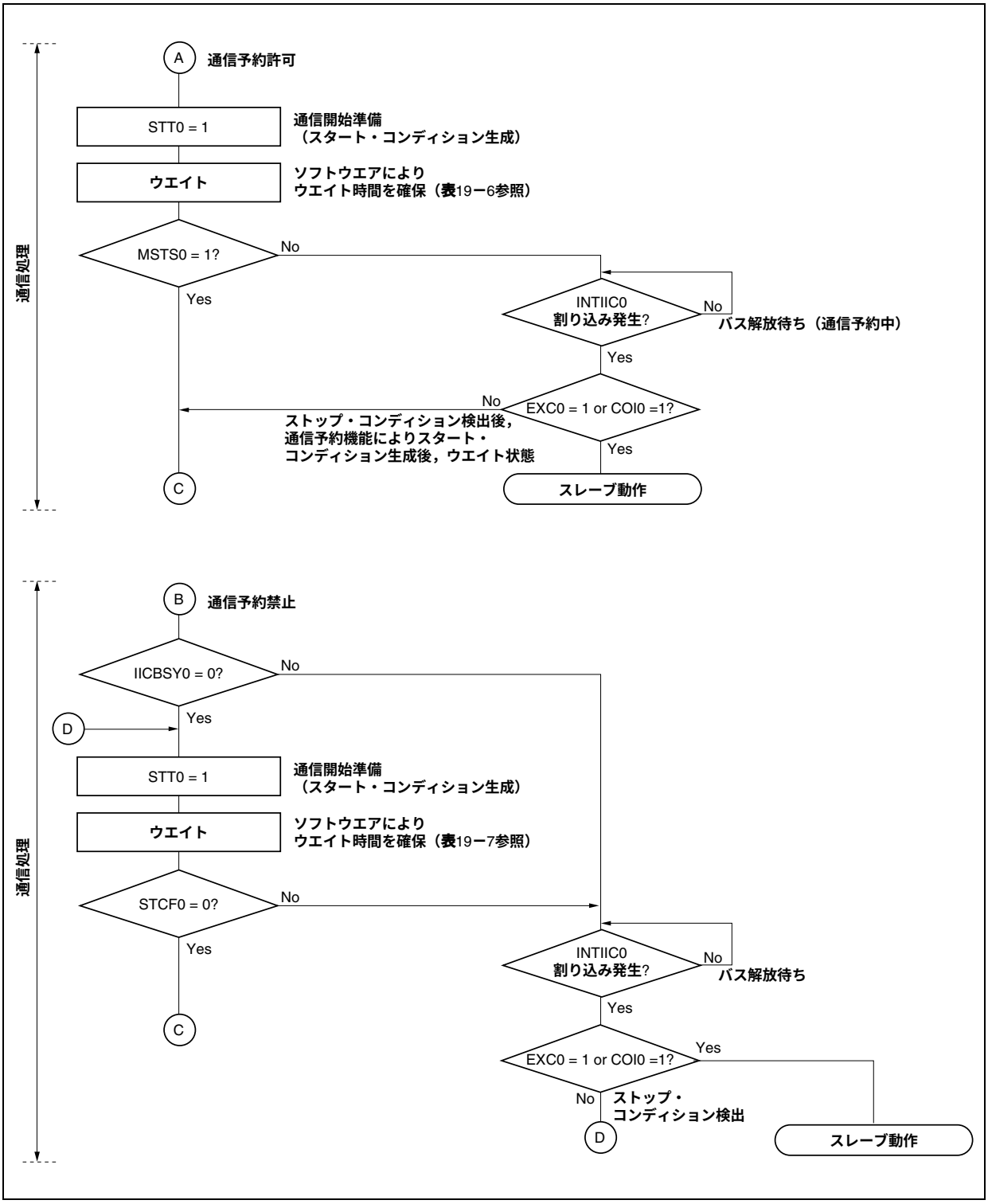
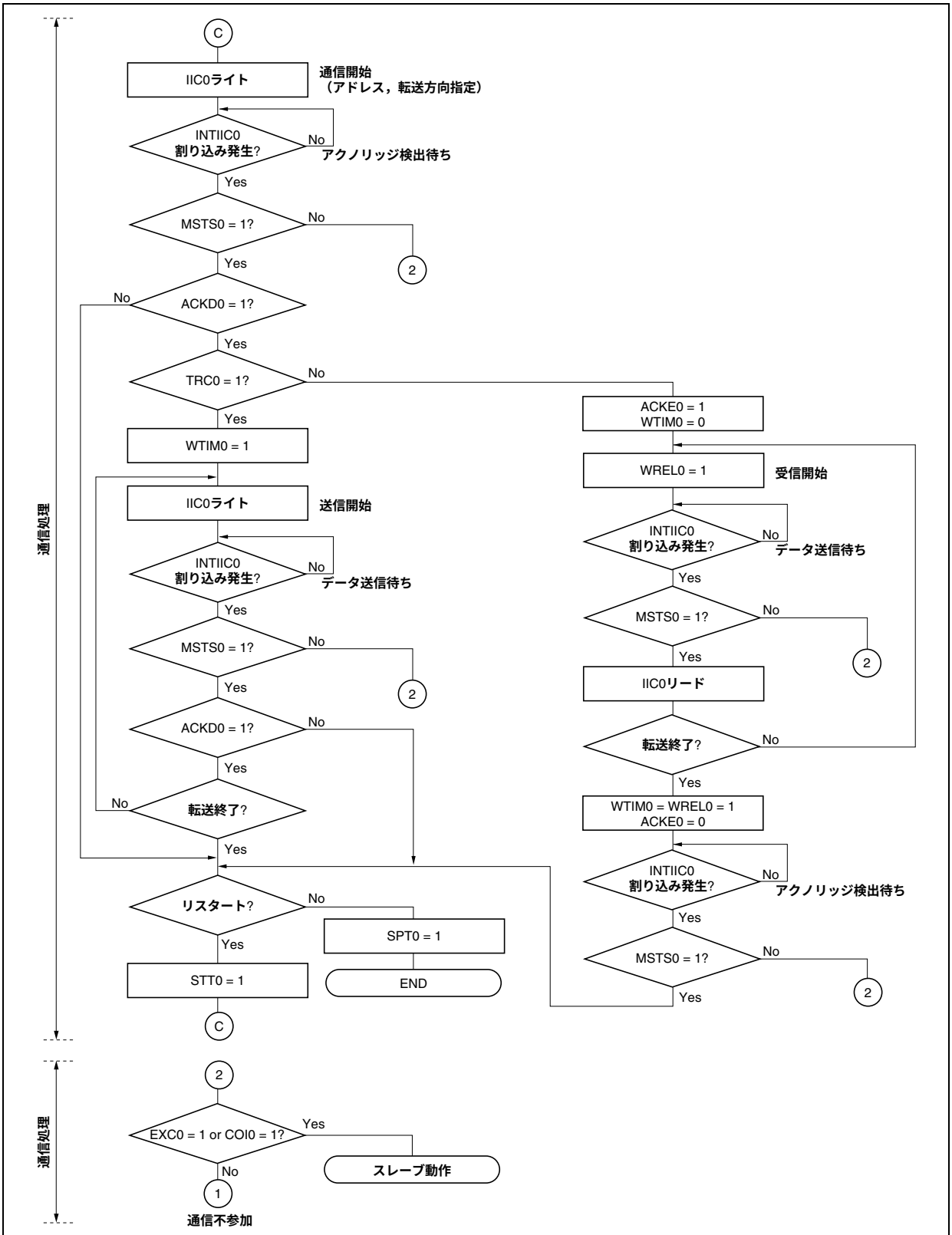


図19－16　マルチマスタ・システムでのマスタ動作（3/3）



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

2. マルチマスタ・システムでマスタとして使用する場合は，INTIIC0割り込み発生ごとにIICS0.MSTS0ビットをリードし，アービトレーション結果を確認してください。

3. マルチマスタ・システムでスレーブとして使用する場合は，INTIIC0割り込み発生ごとにIICS0，IICF0レジスタでステータスを確認して次に行う処理を決定してください。

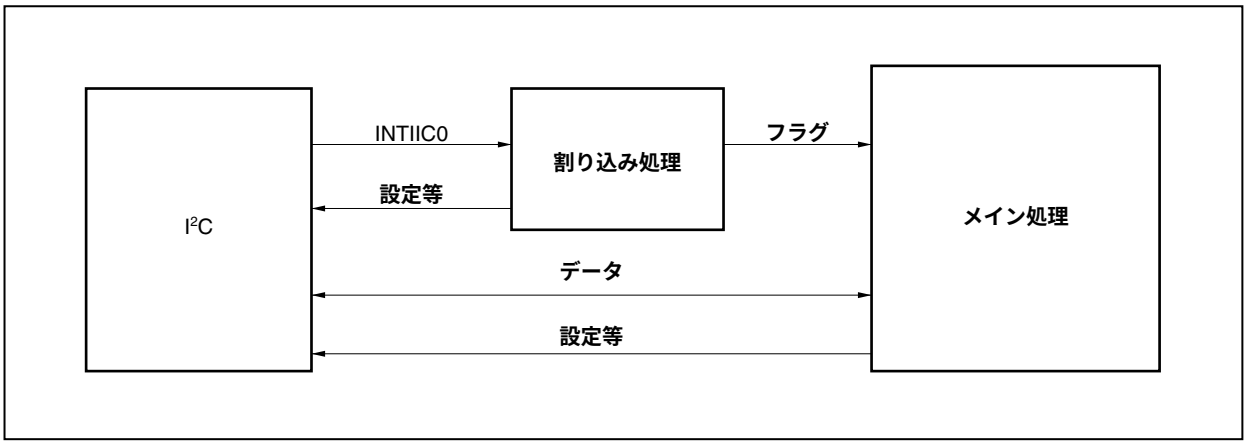
19. 15. 3　スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には，イベント・ドリブンでの動作となります。このためINTIIC0割り込みによる処理（通信中のストップ・コンディション検出など，動作状態を大きく変更する必要がある処理）が必要となります。

この説明では，データ通信は拡張コードには対応しないものとします。またINTIIC0割り込み処理では状態遷移の処理だけを行い，実際のデータ通信はメイン処理で行うものとします。

図19－17　スレーブ動作時のソフトウエア概要



このため，3つのフラグを準備し，これをINTIIC0信号の代わりにメイン処理に渡すことでデータ転送処理を行います。

(1) 通信モード・フラグ

次の2つの通信状態を示します。

クリア・モード　：データ通信を行っていない状態

通信モード　　：データの通信を行っている状態（有効アドレス検出～ストップ・コンディション検出，マスタからのアクノリッジ未検出，アドレス不一致）

(2) レディ・フラグ

データ通信が可能になったことを示します。通常のデータ転送ではINTIIC0割り込みと同じです。割り込み処理部でセットし，メイン処理部でクリアします。通信の開始時には，割り込み処理部でクリアしておきます。ただし，送信の最初のデータについては，レディ・フラグは割り込み処理部でセットされませんので，クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

(3) 通信方向フラグ

通信の方向を示すフラグで，IICS0.TRC0ビットの値と同じです。

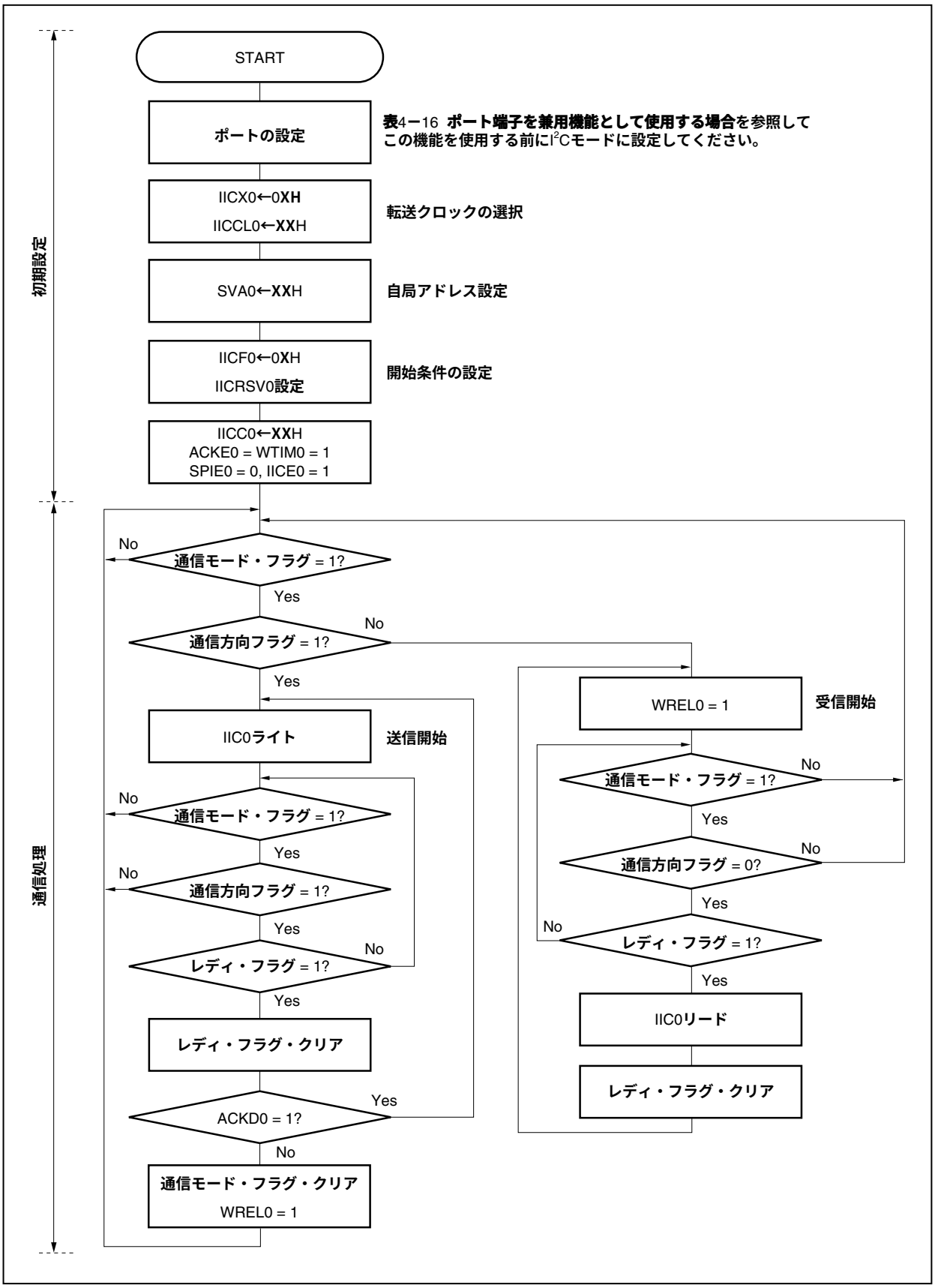
次にスレーブ動作でのメイン処理部の動作を示します。

I²C0を起動し，通信可能状態になるのを待ちます。通信可能状態になったら，通信モード・フラグとレディ・フラグを使って転送を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので，ここではフラグで確認します）。

送信ではマスタからアクノリッジが来なくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら転送を完了します。

受信では必要な数のデータ受信し，転送完了したら次のデータでアクノリッジを戻さないようにします。その後，マスタはストップ・コンディションまたはリスタート・コンディションを発行します。これにより，通信状態から抜け出します。

★ **図19－18　スレーブ動作手順（1）**



スレーブのINTIIC0割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIIC0割り込みではステータスを確認して，次のように行います。

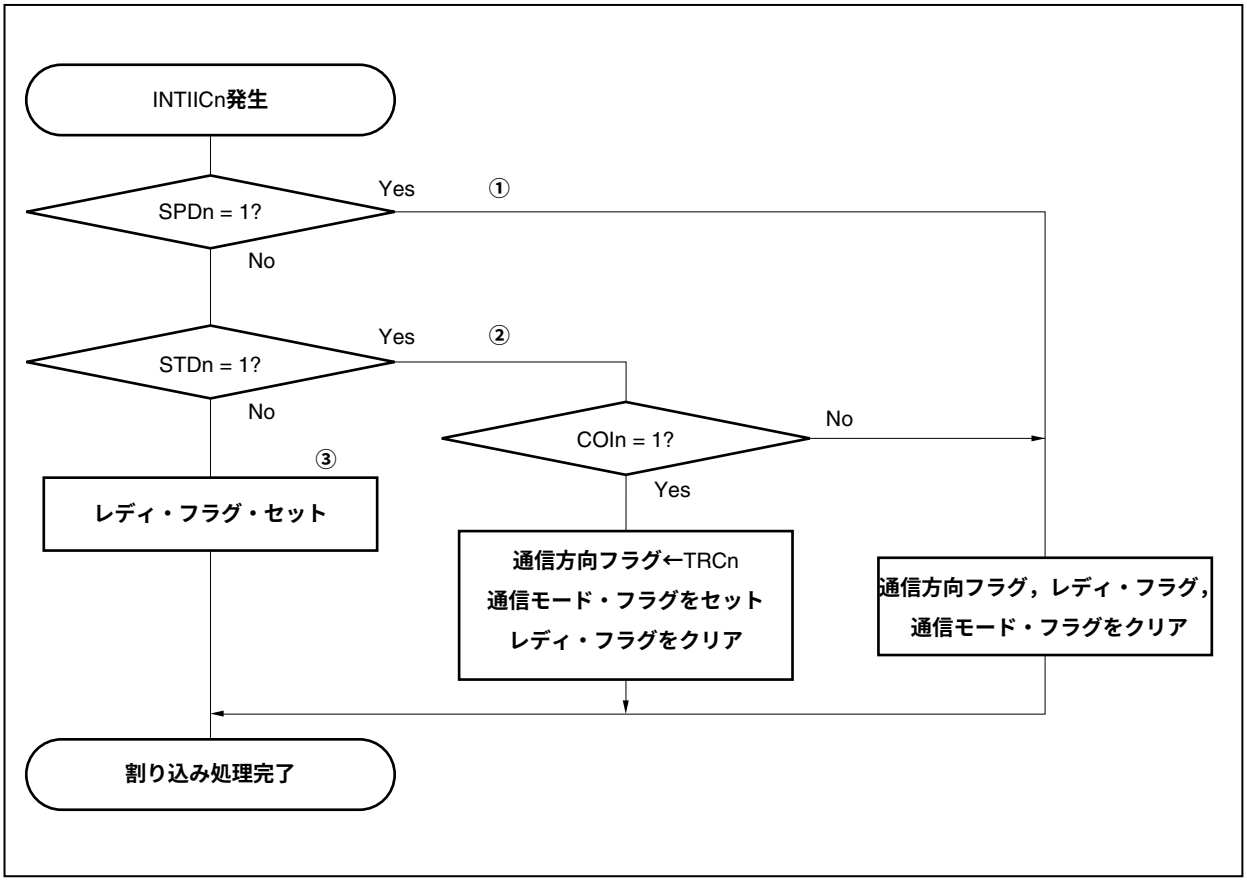
① ストップ・コンディションの場合，通信を終了します。

② スタート・コンディションの場合，アドレスを確認し，一致していなければ通信を終了します。アドレスが一致していれば，モードを通信モードに設定し，ウエイトを解除して，割り込みから戻ります（レディ・フラグはクリアする）。

③ データ送受信の場合，レディ・フラグをセットするだけで，I²C0バスはウエイト状態のまま，割り込みから戻ります。

備考　上述の①～③は，図19－19　スレーブ動作手順（2）の①～③と対応しています。

★ **図19－19　スレーブ動作手順（2）**



19. 16　データ通信のタイミング

I²Cバス・モードでは，マスタがシリアル・バス上にアドレスを生成することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

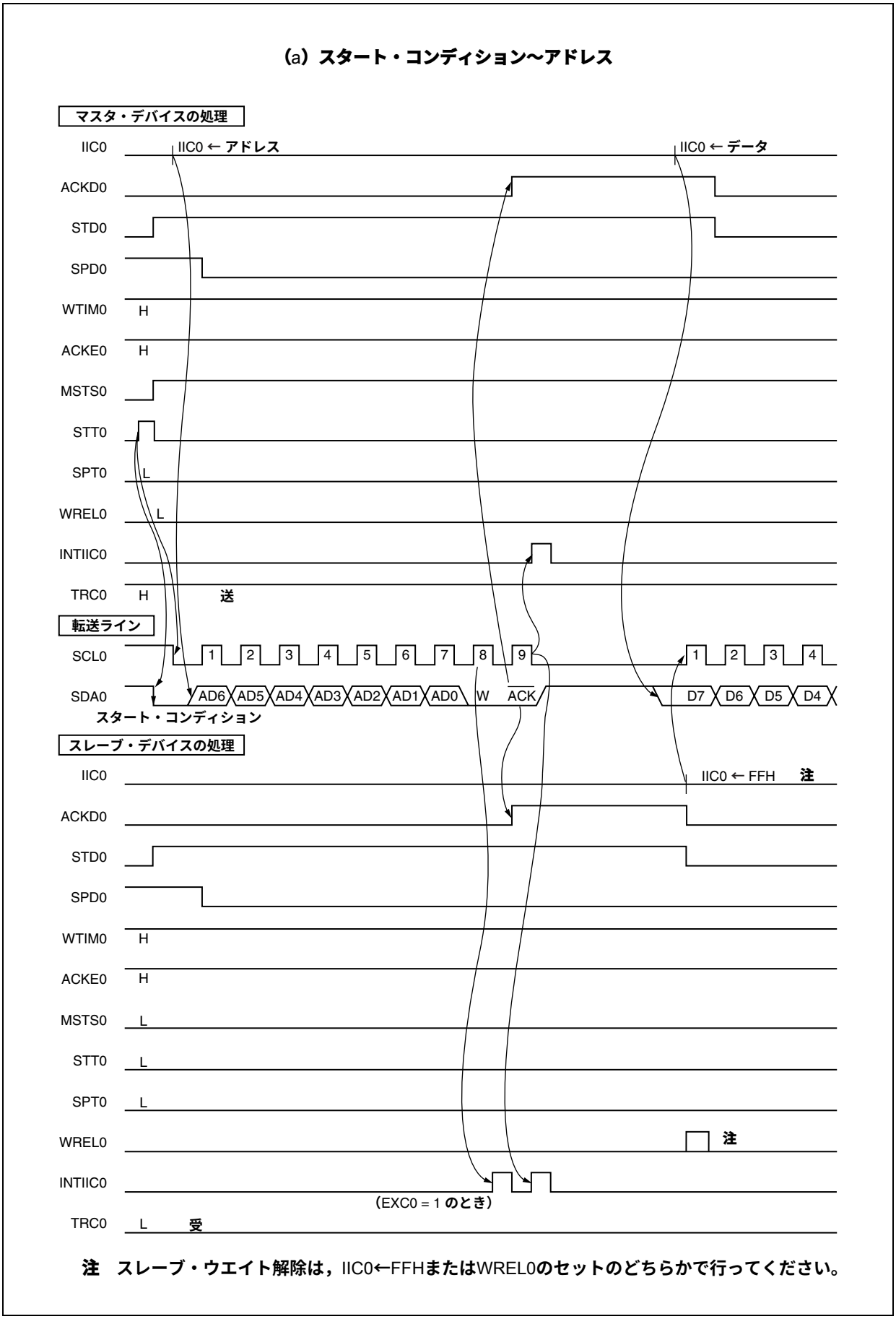
マスタは，スレーブ・アドレスの次にデータの転送方向を示す。IICS0.TRC0ビットを送信し，スレーブとのシリアル通信を開始します。

シリアル・クロック（SCL0端子）の立ち下がりに同期してIIC0レジスタのシフト動作が行われ，送信データがSOラッチに転送され，SDA0端子からMSBファーストで出力されます。

また，SCL0端子の立ち上がりでSDA0端子に入力されたデータがIIC0レジスタに取り込まれます。

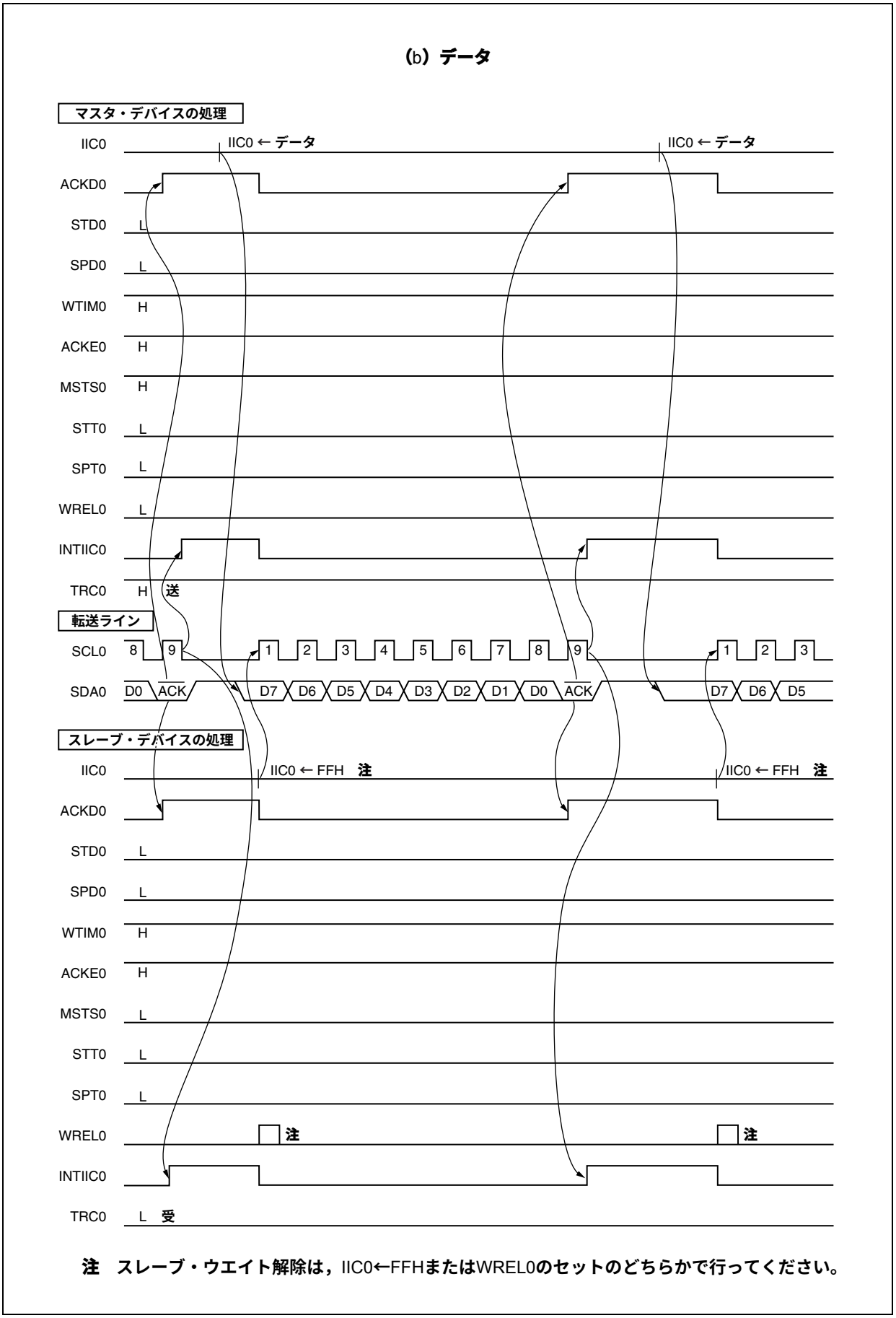
データ通信のタイミングを次に示します。

★　図19－20　マスタ→スレーブ通信例（マスタ，スレーブとも9クロックでウエイト選択時）（1/3）



注　スレーブ・ウエイト解除は，IIC0←FFHまたはWREL0のセットのどちらかで行ってください。

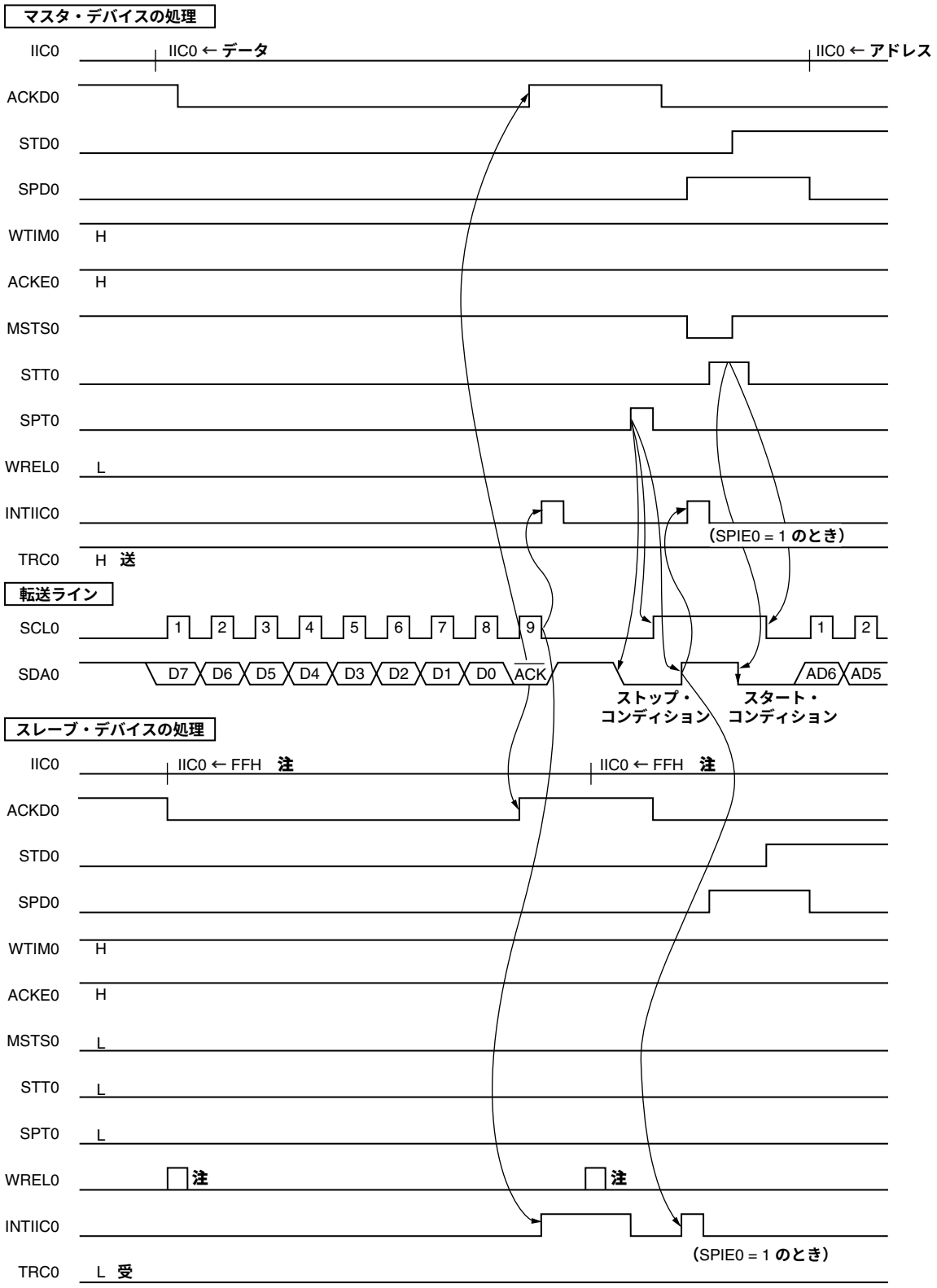
★　図19－20　マスタ→スレーブ通信例（マスタ，スレーブとも9クロックでウエイト選択時）（2/3）



注　スレーブ・ウエイト解除は，IIC0←FFHまたはWREL0のセットのどちらかで行ってください。

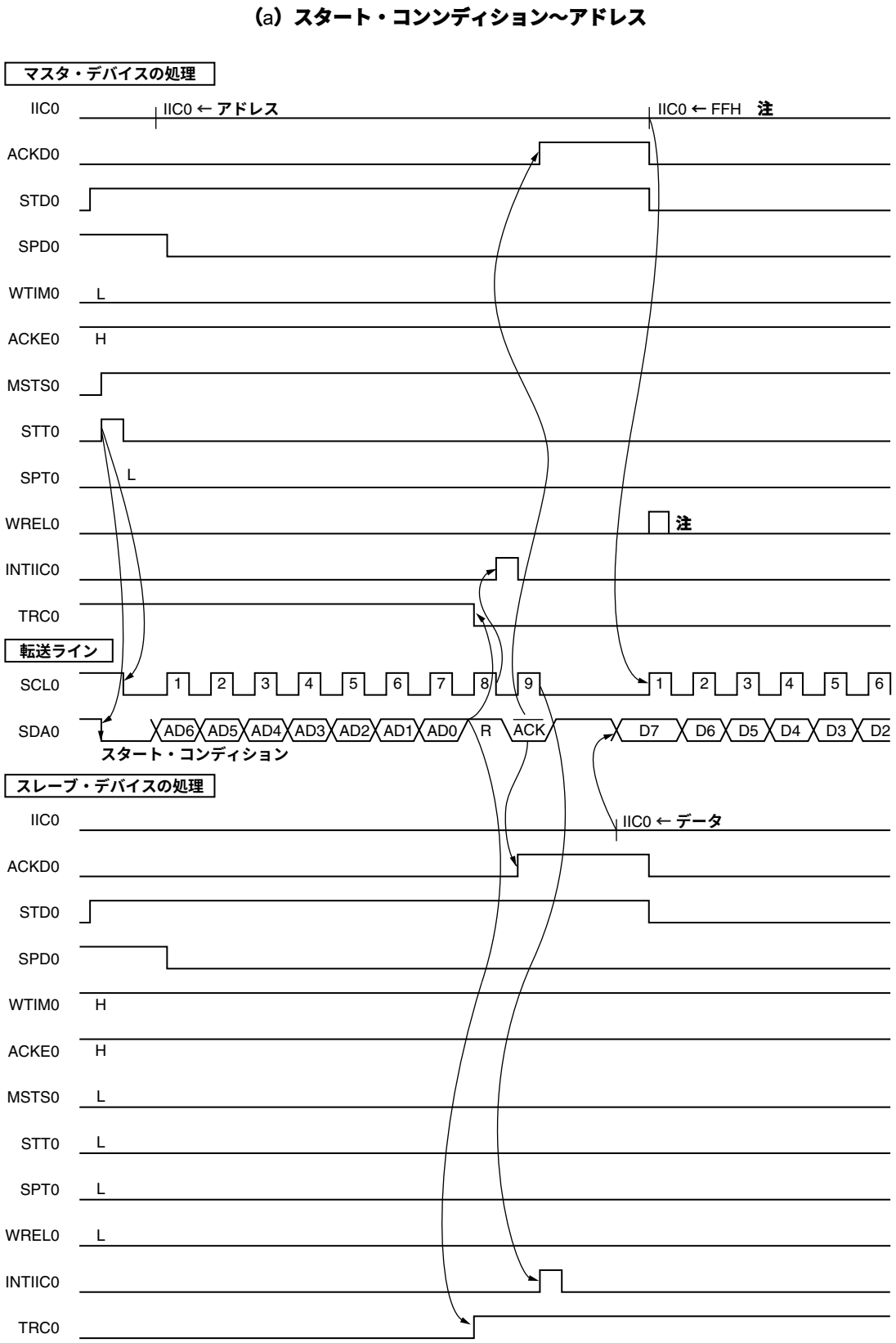
★ **図19－20　マスタ→スレーブ通信例（マスタ，スレーブとも9クロックでウエイト選択時）（3/3）**

（c）ストップ・コンディション



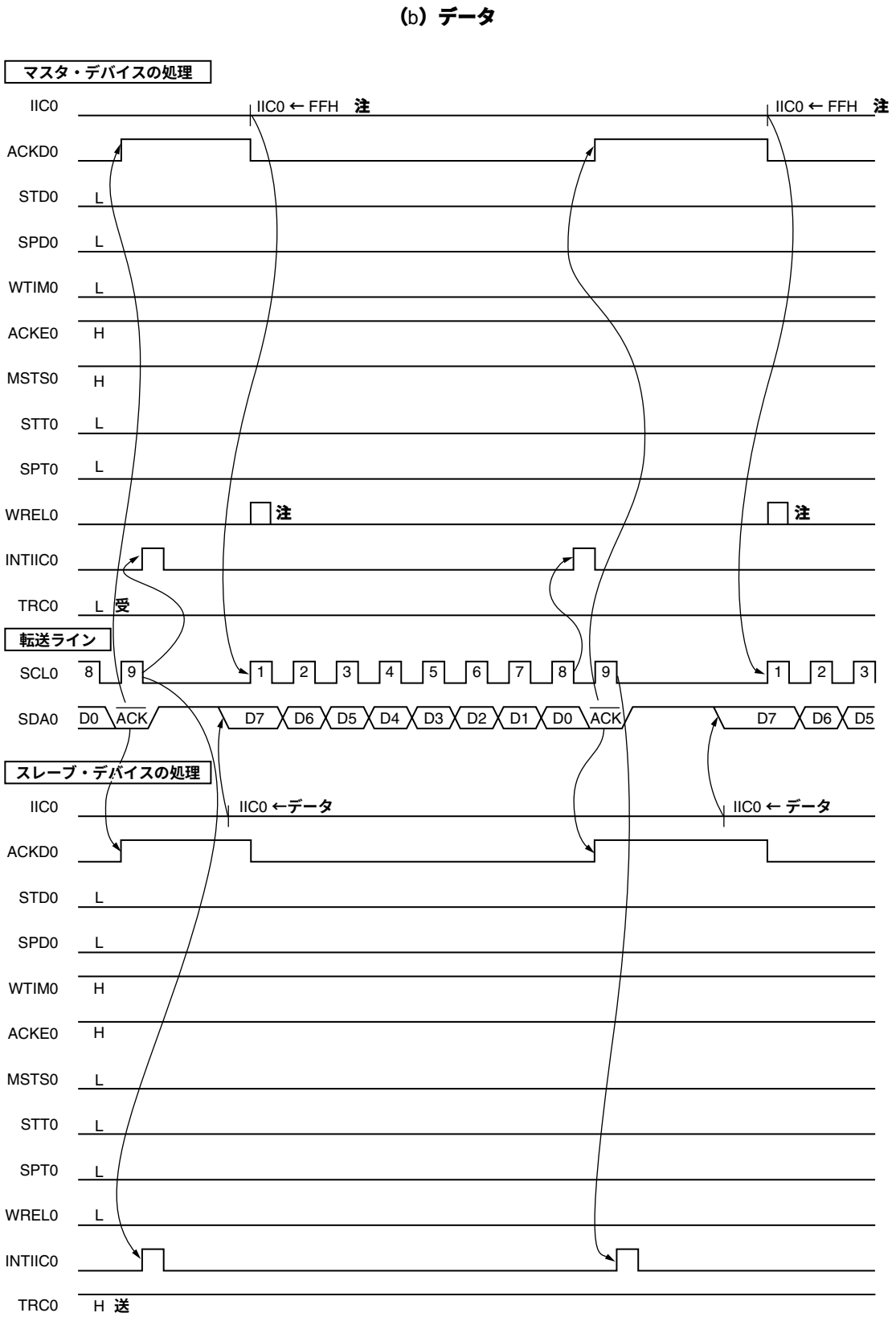
注　スレーブ・ウエイト解除は，IIC0←FFHまたはWREL0のセットのどちらかで行ってください。

★　図19－21　スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでウエイト選択時）（1/3）



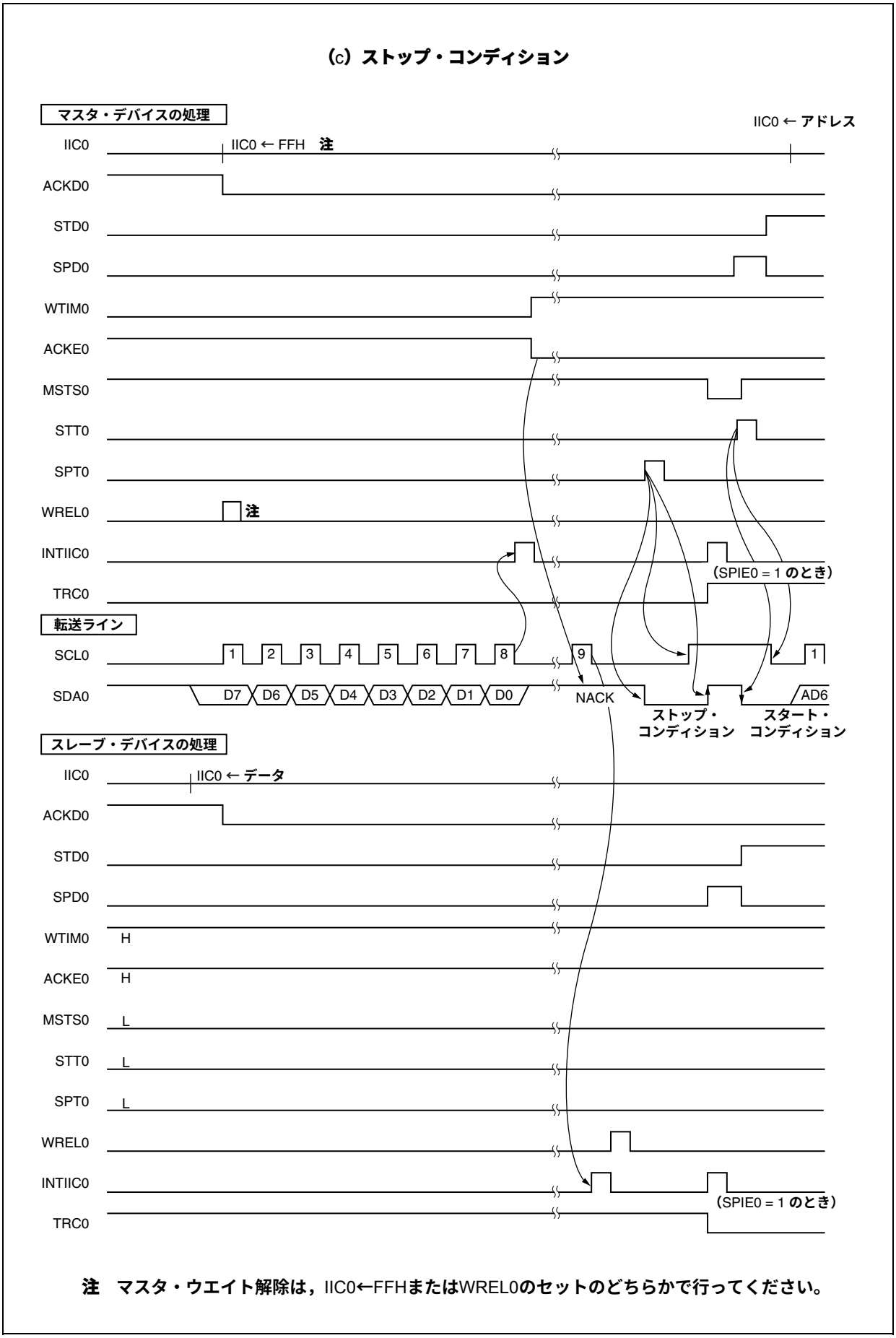
注　マスタ・ウエイト解除は，IIC0←FFHまたはWREL0のセットのどちらかで行ってください。

★　図19－21　スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでウエイト選択時）（2/3）



注　マスタ・ウエイト解除は，IIC0←FFHまたはWREL0のセットのどちらかで行ってください。

★　図19－21　スレーブ→マスタ通信例（マスタ：8→9クロック，スレーブ：9クロックでウエイト選択時）（3/3）



注　マスタ・ウエイト解除は，IIC0←FFHまたはWREL0のセットのどちらかで行ってください。

第20章　DMA機能（DMAコントローラ）

V850ES/KG1+は，DMA転送を実行制御するDMA（Direct Memory Access）コントローラ（DMAC）を備えています。

DMACは，内蔵周辺I/O（シリアル・インタフェース，タイマ／カウンタ，A/Dコンバータ），外部入力端子からの割り込みによる要求，またはソフトウエア・トリガによるDMA要求に基づいて，メモリ⇔I/O間，メモリ⇔メモリ間，I/O⇔I/O間でのデータ転送を制御します（メモリは内蔵RAM，または外部メモリを意味します）。

20.1　特　　徴

○4つの独立なDMAチャネル

○転送単位：8ビット/16ビット

○最大転送回数：65536（2^{16}）回

○転送タイプ：2サイクル転送

○転送モード：シングル転送モード

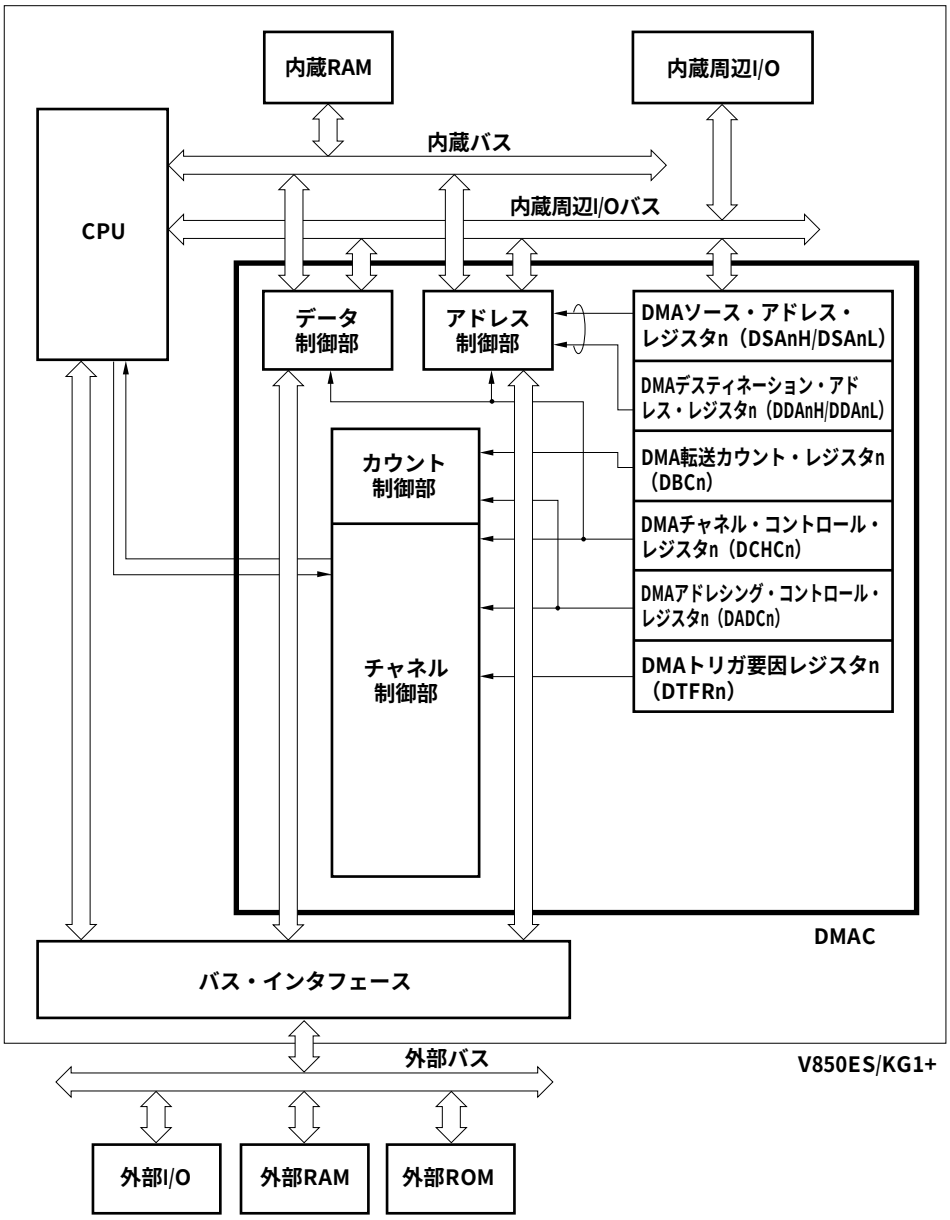
○転送要求

- 内蔵周辺I/O（シリアル・インタフェース，タイマ／カウンタ，A/Dコンバータ），外部入力端子からの割り込みによる要求
- ソフトウエア・トリガによる要求

○転送対象

- 内蔵RAM⇔周辺I/O
- 周辺I/O⇔周辺I/O
- 内蔵RAM⇔外部メモリ
- 外部メモリ⇔周辺I/O
- 外部メモリ⇔外部メモリ

20.2 構　　成


内蔵RAM
内蔵周辺I/O
内蔵バス
内蔵周辺I/Oバス
CPU
データ
制御部
アドレス
制御部
DMAソース・アドレス・
レジスタn（DSAnH/DSAnL）
DMAデスティネーション・アド
レス・レジスタn（DDAnH/DDAnL）
DMA転送カウント・レジスタn
（DBCn）
DMAチャネル・コントロール・
レジスタn（DCHCn）
DMAアドレシング・コントロール・
レジスタn（DADCn）
DMAトリガ要因レジスタn
（DTFRn）
カウント
制御部
チャネル
制御部
DMAC
バス・インタフェース
外部バス
V850ES/KG1+
外部I/O
外部RAM
外部ROM

備考　n = 0-3

20. 3　レジスタ

★　（1）DMAソース・アドレス・レジスタ0-3（DSA0-DSA3）

DMAチャネルnのDMA転送元アドレス（26ビット）を設定します（n = 0-3）。

このレジスタは，DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。

16ビット単位でリード／ライト可能です。

リセット時：不定　R/W　アドレス：DSA0H FFFFF082H, DSA1H FFFFF08AH,
DSA2H FFFFF092H, DSA3H FFFFF09AH,
DSA0L FFFFF080H, DSA1L FFFFF088H,
DSA2L FFFFF090H, DSA3L FFFFF098H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAnH (n = 0-3)	IRn	0	0	0	0	0	SAn25	SAn24	SAn23	SAn22	SAn21	SAn20	SAn19	SAn18	SAn17	SAn16
DSAnL (n = 0-3)	SAn15	SAn14	SAn13	SAn12	SAn11	SAn10	SAn9	SAn8	SAn7	SAn6	SAn5	SAn4	SAn3	SAn2	SAn1	SAn0

IRn	DMA転送元の指定
0	外部メモリ，内蔵周辺I/O
1	内蔵RAM

SAn25-SAn16	DMA転送元のアドレス（A25-A16）を設定してください（初期値不定）。 DMA転送中は，次のDMA転送元アドレスを保持します。 DMA転送が完了すると，最初に設定されたDMAアドレスが保持されます。

SAn15-SAn0	DMA転送元のアドレス（A15-A0）を設定してください（初期値不定）。 DMA転送中は，次のDMA転送元アドレスを保持します。 DMA転送が完了すると，最初に設定されたDMAアドレスが保持されます。

注意1.　DSAnHレジスタのビット14-10には，必ず“0”を設定してください。

2.　DSAnH, DSAnLレジスタの設定は，DMA動作中でない次のいずれかのタイミングで行ってください。

- リセット後から最初のDMA転送起動までの期間
- DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
- DMA転送完了後（DCHCn.TCnビット = 1の状態）から次のDMA転送起動までの期間

3.　DSAnレジスタの値を読み出す際，DSAnHレジスタとDSAnLレジスタの2つの16ビット・レジスタごとに読み出すため，読み出しと更新のタイミングが競合した場合，更新途中の値が読み出されることがあります（20. 13　注意事項参照）。

★ （2）DMAデスティネーション・アドレス・レジスタ0-3（DDA0-DDA3）

DMAチャネルnのDMA転送先アドレス（26ビット）を設定します（n = 0-3）。

このレジスタは，DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。

16ビット単位でリード／ライト可能です。

リセット時：不定　R/W　アドレス：DDA0H FFFFF086H, DDA1H FFFFF08EH,
DDA2H FFFFF096H, DDA3H FFFFF09EH,
DDA0L FFFFF084H, DDA1L FFFFF08CH,
DDA2L FFFFF094H, DDA3L FFFFF09CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnH (n = 0-3)	IRn	0	0	0	0	0	DAn25	DAn24	DAn23	DAn22	DAn21	DAn20	DAn19	DAn18	DAn17	DAn16
DDAnL (n = 0-3)	DAn15	DAn14	DAn13	DAn12	DAn11	DAn10	DAn9	DAn8	DAn7	DAn6	DAn5	DAn4	DAn3	DAn2	DAn1	DAn0

IRn	DMA転送先の指定
0	外部メモリ，内蔵周辺I/O
1	内蔵RAM

DAn25-DAn16	DMA転送先のアドレス（A25-A16）を設定してください（初期値不定）。 DMA転送中は，次のDMA転送先アドレスを保持します。 DMA転送が終了すると，最初に設定されたDMA転送元アドレスを保持します。

DAn15-DAn0	DMA転送先のアドレス（A15-A0）を設定してください（初期値不定）。 DMA転送中は，次のDMA転送先アドレスを保持します。 DMA転送が終了すると，最初に設定されたDMA転送元アドレスを保持します。

注意1. DDAnHレジスタのビット14-10には，必ず“0”を設定してください。

2. DDAnH, DDAnLレジスタの設定は，DMA動作中でない次のいずれかのタイミングで行ってください。
   - リセット後から最初のDMA転送起動までの期間
   - DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
   - DMA転送完了後（DCHCn.TCnビット = 1の状態）から次のDMA転送起動までの期間

3. DDAnレジスタの値を読み出す際，DDAnHレジスタとDDAnLレジスタの2つの16ビット・レジスタごとに読み出すため，読み出しと更新のタイミングが競合した場合，更新途中の値が読み出されることがあります（20. 13　注意事項参照）。

★　（3）DMA転送カウント・レジスタ0-3（DBC0-DBC3）

DMAチャネルnの転送数を設定する16ビット・レジスタです（n = 0-3）。

DMA転送中は，残りの転送数を保持します。

転送データ単位（8/16ビット）にかかわらず，1回の転送につき1ずつデクリメントされ，ボローが発生すると転送を終了します。

16ビット単位でリード／ライト可能です。

リセット時：不定　R/W　アドレス：DBC0 FFFFF0C0H, DBC1 FFFFF0C2H,
DBC2 FFFFF0C4H, DBC3 FFFFF0C6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBCn (n = 0-3)	BCn15	BCn14	BCn13	BCn12	BCn11	BCn10	BCn9	BCn8	BCn7	BCn6	BCn5	BCn4	BCn3	BCn2	BCn1	BCn0

BCn15-BCn0	転送数の設定，またはDMA転送中の残りの転送数
0000H	1回の転送，または残り転送数
0001H	2回の転送，または残り転送数
:	:
FFFFH	65536（2^{16}）回の転送，または残り転送数
DMA転送が完了すると，最初に設定された転送データ数を保持します。	

注意　DBCnレジスタの設定は，DMA動作中でない次のいずれかのタイミングで行ってください。

- リセット後から最初のDMA転送起動までの期間
- DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
- DMA転送完了後（DCHCn.TCnビット = 1の状態）から次のDMA転送起動までの期間

★　（4）DMAアドレシング・コントロール・レジスタ0-3（DADC0-DADC3）

DMAチャネルnのDMA転送モードを制御する16ビット・レジスタです（n = 0-3）。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

リセット時：0000H　R/W　アドレス：DADC0 FFFFF0D0H, DADC1 FFFFF0D2H,
DADC2 FFFFF0D4H, DADC3 FFFFF0D6H

DADCn（n = 0-3）

15	14	13	12	11	10	9	8
0	DSn0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
SADn1	SADn0	DADn1	DADn0	0	0	0	0

DSn0	転送データ・サイズの設定
0	8ビット
1	16ビット

SADn1	SADn0	転送元アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DADn1	DADn0	転送先アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

注意1.　DADCnレジスタのビット15, 13-8, 3-0には，必ず“0”を設定してください。

2.　DADCnレジスタの設定は，DMA動作中でない次のいずれかのタイミングで行ってください。

- リセット後から最初のDMA転送起動までの期間
- DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
- DMA転送完了後（DCHCn.TCnビット = 1の状態）から次のDMA転送起動までの期間

3.　DSn0ビットは転送データ・サイズを設定するものであり，バス・サイジングを制御するものではありません。したがって，8ビット・データ（DSn0ビット = 0）を設定した場合でも，必ずしも下位データ・バスを使用するわけではありません。

4.　転送データ・サイズを16ビットに設定した場合（DSn0ビット = 1），奇数アドレスから始まる転送はできません。下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。

5.　内蔵周辺I/Oレジスタを対象（転送元／転送先）とするDMA転送の場合，必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば，8ビットのレジスタに対するDMA転送の場合は，必ず（8ビット）転送を指定してください。

（5）DMAチャネル・コントロール・レジスタ0-3（DCHC0-DCHC3）

DMAチャネルnのDMA転送動作モードを指定する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です（ただし，ビット7はリードだけ，ビット1, 2はライトだけ可能です。ビット1, 2をリードした場合は0が読み出されます）。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：DCHC0 FFFFF0E0H, DCHC1 FFFFF0E2H, DCHC2 FFFFF0E4H, DCHC3 FFFFF0E6H

	⑦	6	5	4	3	②	①	⓪
DCHCn	TCn注1	0	0	0	0	INITn注2	STGn注2	Enn

（n = 0-3）

TCn注1	DMAチャネルnのDMA転送の完了／未完了を示すステータス・フラグ
0	DMA転送未完了
1	DMA転送完了
DMA転送の最後の転送時にセット（1）され，読み出しによってクリア（0）されます。	

INITn注2	DMA転送が禁止された状態で（Ennビット = 0），INITnビットをセット（1）するとDMA転送のステータスを初期化できます。 DMA転送が完了する前に（TCnビットがセット（1）される前），DMA転送ステータスの再設定（DDAnH, DDAnL, DSAnH, DSAnL, DBCn, DADCnレジスタの再設定）を行う場合は，必ずDMAチャネルの初期化後に行ってください。 ただし，DMAコントローラの初期化は，必ず20. 13　注意事項に示す手順にしたがって行ってください。

STGn注2	DMA転送のソフトウエア起動トリガです。 DMA転送が許可の状態（TCnビット = 0, Ennビット = 1）でこのビットをセット（1）するとDMA転送を開始します。

Enn	DMAチャネルnのDMA転送の許可／禁止の設定
0	DMA転送の禁止
1	DMA転送の許可
Ennビットをセット（1）するとDMA転送が許可されます。 DMA転送が完了（ターミナル・カウント発生）すると，自動的にクリア（0）されます。 なお，DMA転送を中断するには，ソフトウエアでEnnビットをクリア（0）してください。再開するには，再度Ennビットをセット（1）してください。 ただし，DMA転送の中断／再開は，必ず20. 13　注意事項に示す手順にしたがって行ってください。	

注1.　TCnビットはリードのみ可能です。

2.　INITn, STGnビットはライトのみ可能です。

注意1.　DCHCnレジスタのビット6-3には，必ず“0”を設定してください。

2.　DMA転送完了時（ターミナル・カウント時）は，Ennビットのクリア（0）→TCnビットのセット（1）の順で各ビットの更新が行われます。そのため，DCHCnレジスタの各ビットの更新途中にDCHCnレジスタを読み出した場合，「転送未完了，かつ転送禁止」の状態を示す値（TCnビット = 0，かつEnnビット = 0）が読み出されることがあります。

（6）DMAトリガ要因レジスタ0-3（DTFR0-DTFR3）

内蔵周辺I/Oからの割り込み要求信号によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求信号が，DMA転送の起動要因になります。

8ビット単位でリード／ライト可能です。ただし，DFnビットのみ1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

（1/2）

リセット時：00H　R/W　アドレス：DTFR0 FFFFF810H, DTFR1 FFFFF812H,
DTFR2 FFFFF814H, DTFR3 FFFFF816H

	⑦	6	5	4	3	2	1	0
DTFRn	DFn	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0

（n = 0-3）

DFn注	DMA転送要求フラグ
0	DMA転送要求なし
1	DMA転送要求あり

注　DFnビットは0のみライト可能です。DMA転送を禁止している間にDMA転送の起動要因に設定している割り込みが発生し，DMA転送要求をクリアする必要がある場合に0をライトします。

注意1.　IFCn5-IFCn0ビットの設定は，DMA動作中でない次のいずれかのタイミングで行ってください。

- リセット後から最初のDMA転送起動までの期間
- DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
- DMA転送完了後（DCHCn.TCnビット = 1の状態）から次のDMA転送起動までの期間

（2/2）

★ 注意2.　DTFRnレジスタの設定を変更する場合は必ず次の手順で行ってください。

- IFCn5-IFCn0ビットに設定する値が他チャネルのIFCm5-IFCm0ビットに設定されていない場合（n = 0-3，m = 0-3，n ≠ m）
  - ①書き換え対象となるチャネルのDMAn動作を停止（DCHCn.Ennビット = 0）する。
  - ②DTFRnレジスタの設定を変更する（必ずDFnビット = 0とし，かつ8ビット操作で行ってください）。
  - ③DMA転送要求をクリアする必要がある場合には，DMA転送要求フラグをクリア（DTFRn.DFn = 0）する。
  - ④DMAn動作を許可（Ennビット = 1）する。
- IFCn5-IFCn0ビットに設定する値がすでに他チャネルのIFCm5-IFCm0ビットに設定されている場合（n = 0-3，m = 0-3，n ≠ m）
  - ①書き換え対象となるチャネルのDMAn動作を停止（DCHCn.Ennビット = 0）する。
  - ②IFCn5-IFCn0ビットに書き換える値と同じ値がIFCm5-IFCm0ビットに設定されているチャネルのDMAm転送を停止（DCHCm.Emmビット = 0）する。
  - ③DTFRnレジスタの設定を変更する（必ずDFnビット = 0とし，かつ8ビット操作で行ってください）。
  - ④DMA転送要求をクリアする必要がある場合には，DMA転送要求フラグをクリア（DTFRn.DFn = 0）する。
  - ⑤DMAn動作を許可（Ennビット = 1およびEmmビット = 1）する。

3. スタンバイ・モード（IDLE，STOP，サブIDLEモード）中に発生した割り込み要求は，DMA転送サイクルの起動要因にはなりません（DFnビットもセット（1）されません）。
4. IFCn5-IFCn0ビットで任意のDMA起動要因を選択したあとは，DMA転送の許可／禁止にかかわらず，選択した内蔵周辺I/Oからの割り込みが発生するとDFnビットはセット（1）されます。この状態でDMA許可とした場合，ただちにDMA転送が起動されます。

備考　IFCn5-IFCn0ビットについては表20ー1　DMA起動要因を参照してください。

表20－1　DMA起動要因

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	割り込みによるDMA要求禁止
0	0	0	0	0	1	INTWDTM1
0	0	0	0	1	0	INTP0
0	0	0	0	1	1	INTP1
0	0	0	1	0	0	INTP2
0	0	0	1	0	1	INTP3
0	0	0	1	1	0	INTP4
0	0	0	1	1	1	INTP5
0	0	1	0	0	0	INTP6
0	0	1	0	0	1	INTTM000
0	0	1	0	1	0	INTTM001
0	0	1	0	1	1	INTTM010
0	0	1	1	0	0	INTTM011
0	0	1	1	0	1	INTTM50
0	0	1	1	1	0	INTTM51
0	0	1	1	1	1	INTCSI00
0	1	0	0	0	0	INTCSI01
0	1	0	0	0	1	INTSRE0
0	1	0	0	1	0	INTSR0
0	1	0	0	1	1	INTST0
0	1	0	1	0	0	INTSRE1
0	1	0	1	0	1	INTSR1
0	1	0	1	1	0	INTST1
0	1	0	1	1	1	INTTMH0
0	1	1	0	0	0	INTTMH1
0	1	1	0	0	1	INTCSIA0
0	1	1	0	1	0	INTIIC0[注]
0	1	1	0	1	1	INTAD
0	1	1	1	0	0	INTKR
0	1	1	1	0	1	INTWTI
0	1	1	1	1	0	INTWT
0	1	1	1	1	1	INTBRG
1	0	0	0	0	0	INTTM020
1	0	0	0	0	1	INTTM021
1	0	0	0	1	0	INTTM030
1	0	0	0	1	1	INTTM031
1	0	0	1	0	0	INTCSIA1
1	0	1	0	1	0	INTSRE2
1	0	1	0	1	1	INTSR2
1	0	1	1	0	0	INTST2
1	0	1	1	1	0	INTLVI
1	0	1	1	1	1	INTP7
1	1	0	0	0	0	INTTP0OV
1	1	0	0	0	1	INTTP0CC0
1	1	0	0	1	0	INTTP0CC1
上記以外						設定禁止

注　μPD703313Y, 70F3311Y, 70F3313Yのみ

備考　n = 0-3

20. 4　転送対象

転送対象の関係を次に示します（○：転送可，×：転送不可）。

表20－2　転送対象の関係

		転送先			
		内蔵ROM	内蔵周辺I/O	内蔵RAM	外部メモリ
転送元	内蔵周辺I/O	×	○	○	○
	内蔵RAM	×	○	×	○
	外部メモリ	×	○	○	○
	内蔵ROM	×	×	×	×

注意　表20－2に示す転送先と転送元で，「×」が表記されている組み合わせで転送を行った場合の動作は保証できません。

20. 5　転送モード

転送モードとして，シングル転送をサポートしています。

シングル転送では，1回のバイト／ハーフワード転送ごとにバスを解放します。その後，DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合，常に優先順位が高いDMA要求を優先させます。

ただし，転送サイクル中に同一チャネルの新たな転送要求と，他の優先順位が低いチャネルの転送要求が発生した場合，CPUにバスを解放した次の転送は，新たに要求のあった優先順位の低いチャネルのDMA転送となります（転送サイクル中は，同一チャネルの新たな転送要求は無視されます）。

20.6　転送タイプ

転送タイプとして，2サイクル転送をサポートしています。

2サイクル転送は，リード・サイクル，ライト・サイクルと2回のサイクルでデータを転送します。

リード・サイクルでは，転送元のアドレスを出力し転送元からDMACへのリードを行い，ライト・サイクルでは，転送先のアドレスを出力しDMACから転送先への書き込みを行います。

リード・サイクルとライト・サイクルの間には，必ず1クロック分のアイドル・サイクルが挿入されます。

2サイクルのDMA転送で，転送元と転送先のデータ・バス幅が異なる場合，次のような動作になります。

＜16ビット・データ転送の場合＞

① 32ビット・バス→16ビット・バスへの転送
リード・サイクル（上位16ビットはハイ･インピーダンス）が発生し，そのあとライト・サイクル（16ビット）が発生します。

② 16/32ビット・バス→8ビット・バスへの転送の場合
16ビットのリード・サイクルが1回発生し，その後8ビットのライト・サイクルが2回発生します。

③ 8ビット・バス→16/32ビット・バスへの転送の場合
8ビットのリード・サイクルが2回発生し，その後16ビットのライト・サイクルが1回発生します。

④ 16ビット・バス⇔32ビット・バスへの転送の場合
16ビットのリード・サイクルが1回発生し，その後16ビットのライト・サイクルが1回発生します。

なお，内蔵周辺I/Oレジスタを対象（転送元／転送先）とするDMA転送の場合，必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば，8ビットのレジスタに対するDMA転送の場合は，必ずバイト（8ビット）転送を指定してください。

備考　各転送対象（転送元／転送先）のバス幅は次のとおりです。

- 内蔵周辺I/O　：16ビット・バス幅
- 内蔵RAM　：32ビット・バス幅
- 外部メモリ　：8もしくは16ビット・バス幅

20.7　DMAチャネルの優先順位

DMAチャネルの優先順位は固定で，次のようになります。

DMAチャネル0＞DMAチャネル1＞DMAチャネル2＞DMAチャネル3

1回の転送サイクルの度に優先順位がチェックされます。

★　**注意**　同じ起動要因で複数のDMAチャネルを起動した場合，優先順位の低いDMAチャネルが優先順位の高いDMAチャネルより先に受け付けられる場合があります。

20. 8　DMA転送に関する各種時間

DMA要求に対する応答時間，DMA転送にかかる最小クロック数を次に示します。

シングル転送：DMA応答時間（①）＋転送元メモリ・アクセス（②）＋1[注1]＋転送先メモリ・アクセス（②）

DMAサイクル		最小実行クロック数
①　DMA要求に対する応答時間		4クロック（MIN.）＋ノイズ除去時間[注2]
②　メモリ・アクセス	外部メモリ・アクセス	接続するメモリで異なります
	内蔵RAMアクセス	2クロック[注3]
	周辺I/Oレジスタ・アクセス	3クロック＋VSWCレジスタによるウエイト数[注4]

注1.　DMA転送のリード・サイクルとライト・サイクルの間には，必ず1クロック挿入されます。

2.　外部割り込み（INTPn）をDMA転送の起動要因に指定した場合，ノイズ除去時間が加算されます（n = 0-7）。

3.　DMAサイクルの場合は，2クロックかかります。

4.　3. 4. 8（1）（b）にあるレジスタへのアクセスについては，さらにウエイト数が増える場合があります。

20. 9　DMA転送起動要因

DMA転送の起動要因には，次の2種類があります。

（1）ソフトウエアによる要求

DCHCn.TCnビット = 0，かつDCHCn.Ennビット = 1（DMA転送許可）の状態で，DCHCn.STGnビットをセット（1）すると，DMA転送を起動します。

続けて次のDMA転送サイクルを要求するには，DBCnレジスタにて，先のDMA転送サイクルが完了したことを確認してから，再度STGnビットをセット（1）してください（n = 0-3）。

TCnビット = 0，Ennビット = 1
↓
STGnビット = 1 … 1回目のDMA転送開始
↓
DBCnレジスタの内容が更新されたことを確認
STGnビット = 1 … 2回目のDMA転送開始
↓
：
↓
ターミナル・カウント発生…Ennビット = 0, TCnビット = 1かつINTDMAn信号発生

（2）内蔵周辺I/Oによる要求

TCnビット = 0，かつEnnビット = 1（DMA転送許可）の状態で，DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると，DMA転送を起動します。

注意1. 同一のDMAチャネルに対して，2つの起動要因（ソフトウエア・トリガ，ハードウエア・トリガ）を併用できません。1つのDMAチャネルに対して，２つの起動要因が同時に発生した場合，どちらか一方だけが有効となります。有効となった起動要因の特定はできません。

2. 先のDMA転送要求が発生してから，または先のDMA転送サイクル中に新たな転送要求が発生しても，その要求は無視（クリア）されます。

3. 同一のDMAチャネルに対する転送要求間隔は，DMA転送サイクル中のバス・ウエイトの設定や他のチャネルの起動状況，または外部バス・ホールド要求により変化します。特に注意2のとおり，DMA転送サイクル前，または転送サイクル中に同一チャネルの新たな転送要求が発生しても，その要求は無視されてしまいます。したがって，同一のDMAチャネルに対する転送要求間隔は，システム上で十分な間隔を確保してください。ソフトウエア・トリガ時は，DBCnレジスタの更新により，先に発生したDMA転送サイクルの完了を確認できます。

20. 10　DMAの中断要因

DMA転送は，バス・ホールドが発生すると中断されます。

内部メモリ／内蔵周辺IO⇔内部メモリ／内蔵周辺I/O時も同様です。

バス・ホールドが解除されると，引き続きDMA転送を開始します。

20. 11　DMA転送の終了

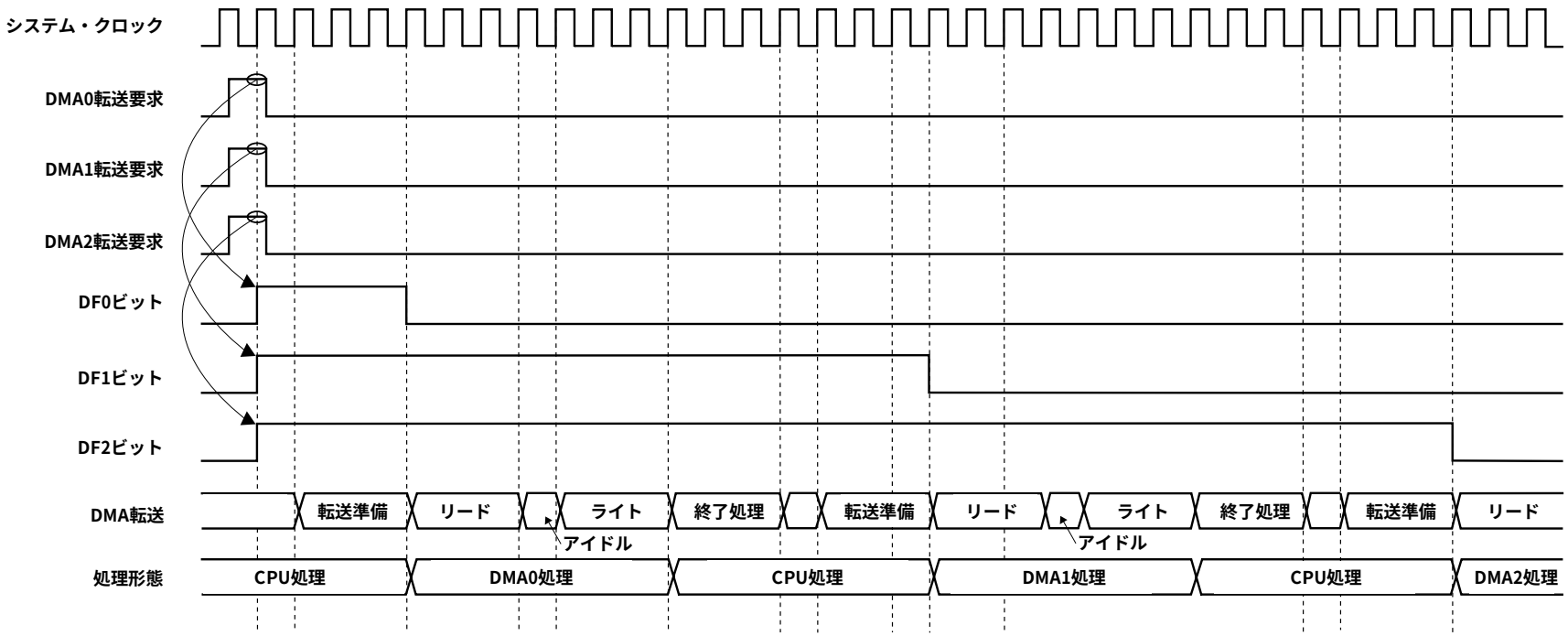
DBCnレジスタに設定した回数分DMA転送が終了し，DCHCn.Ennビットがクリア（0），TCnビットがセット（1）されると，割り込みコントローラ（INTC）に対して，DMA転送終了割り込み要求信号（INTDMAn）を発生します（n = 0-3）。

V850ES/KG1+では，ターミナル・カウント信号を外部に出力していませんので，DMA転送終了割り込み，またはTCnビットのポーリングによりDMA転送の完了を確認してください。

20. 12　動作タイミング

次にDMAの動作タイミングを示します。

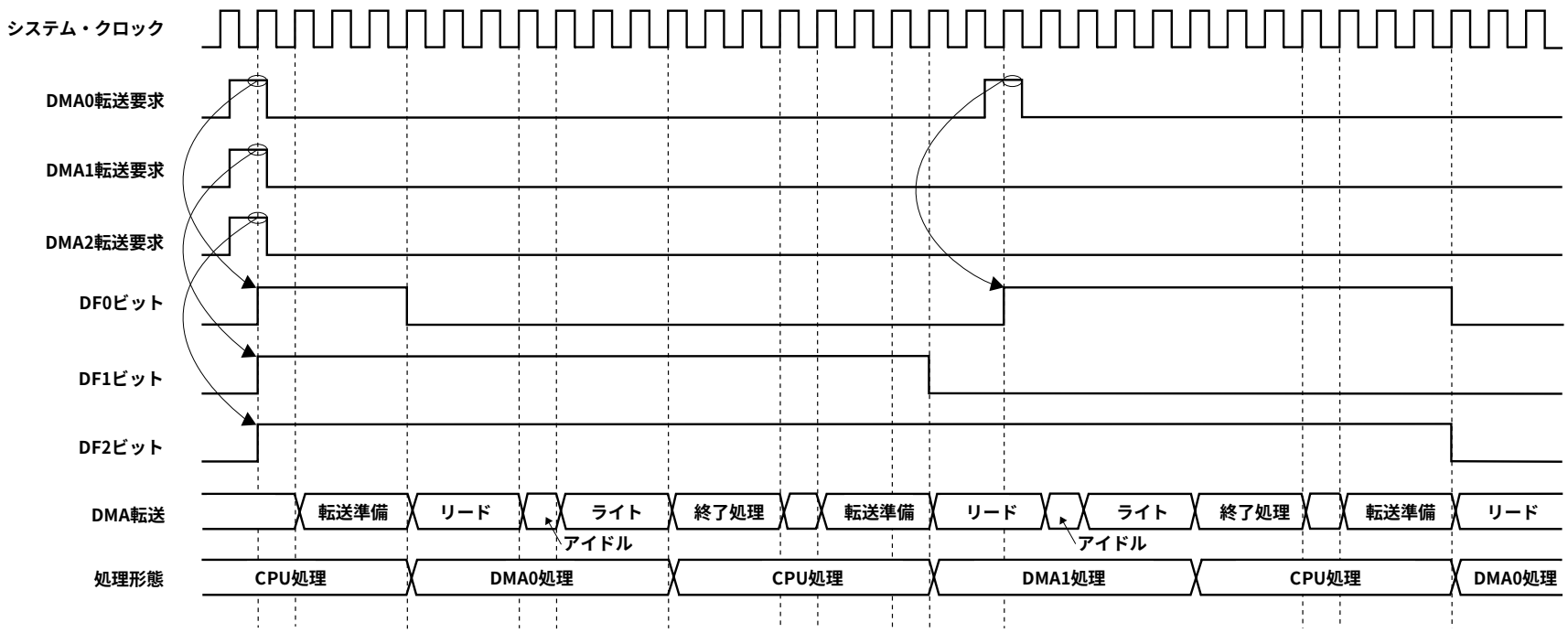
図20－1　DMAの優先順位（1）



備考1.　DMA0→DMA1→DMA2の順で転送。

2.　外部メモリ空間↔外部メモリ空間の場合（マルチプレクス・バス，ウエイトなし）。

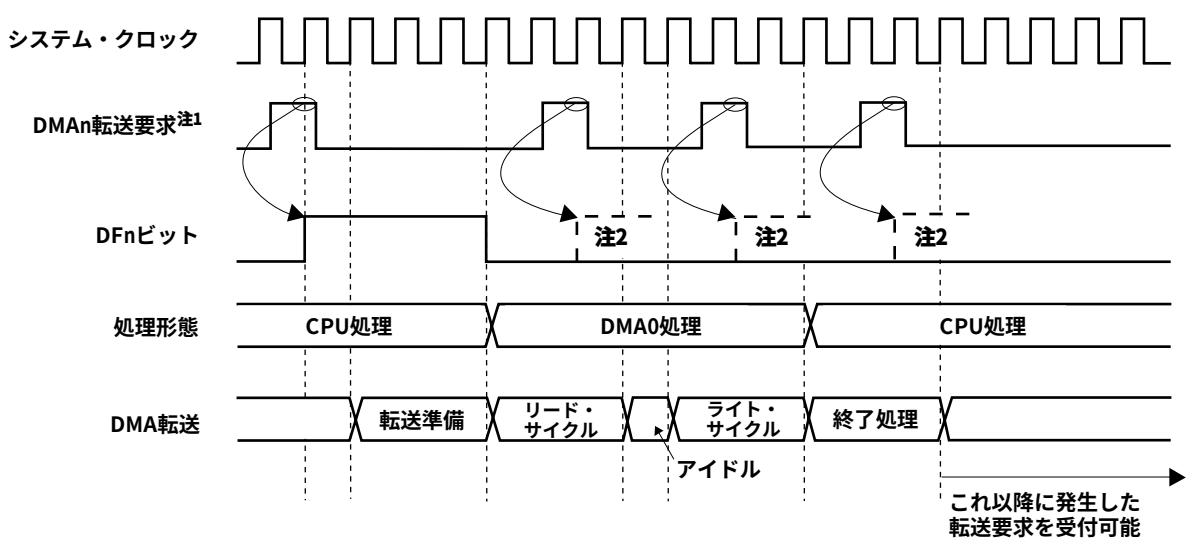
図20－2　DMAの優先順位（2）



備考1.　DMA0→DMA1→DMA0の順で転送（DMA2は保留されたまま）。

2.　外部メモリ空間↔外部メモリ空間の場合（マルチプレクス・バス，ウエイトなし）。

図20ー3　DMAの転送要求が無視される期間（1）

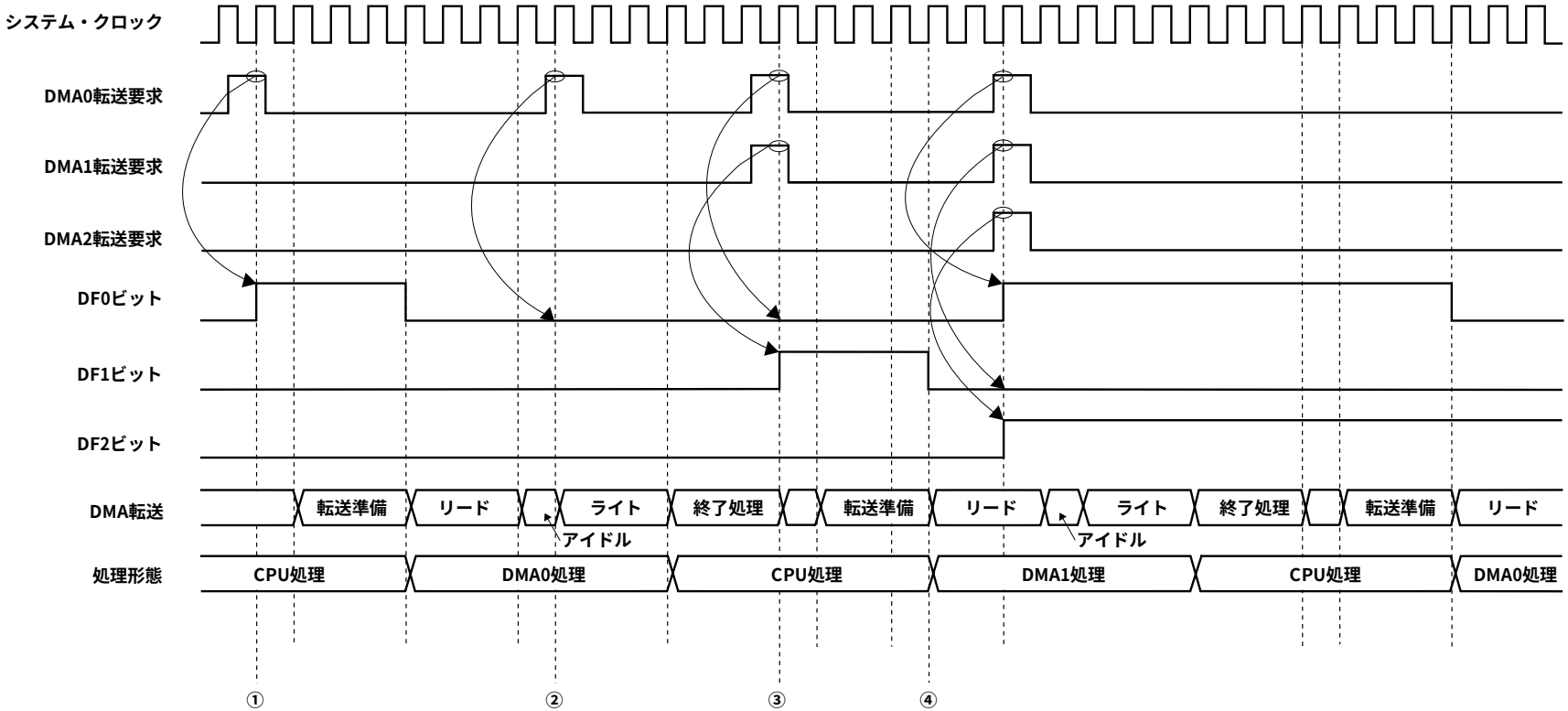


注1.　内蔵周辺I/Oからの割り込み，またはソフトウエア・トリガ（DCHCn.STGnビット）

2.　転送要求から終了処理までの間，同一チャネルに対する新たなDMA要求は無視されます。

備考　外部メモリ空間↔外部メモリ空間の場合（マルチプレクス・バス，ウエイトなし）。

図20ー4　DMAの転送要求が無視される期間（2）



① DMA0転送要求

② DMA0転送中に新たなDMA0転送要求が発生
　→DMA転送中の同一チャネルのDMA要求は無視される

③ DMA0とDMA1の要求が同時発生
　→DMA0の要求は無視される（転送中の同一チャネルのDMA要求は無視される）
　→DMA1の要求が受け付けられる

④ DMA0とDMA1とDMA2の要求が同時に発生
　→DMA1の要求は無視される（転送中の同一チャネルのDMA要求は無視される）
　→優先順位によりDMA0の要求が受け付けられる。DMA2の要求は保留（次はDMA2の転送が発生）

20. 13　注意事項

（1）VSWCレジスタに関する注意

DMACを使用する際は，必ずVSWCレジスタに，動作周波数に応じた最適な値を設定してください。

VSWCレジスタの初期値（77H），または最適な値以外で使用した場合は正常に動作できません（VSWCレジスタの詳細については，3. 4. 8（1）（a）システム・ウエイト・コントロール・レジスタ（VSWC）を参照してください）。

（2）内蔵RAMを転送対象とするDMA転送時の注意

内蔵RAMに配置された次の命令を実行する場合は，内蔵RAMを対象（転送先／転送元）とするDMA転送を行わないでください。その後CPUが正常に動作しない可能性があります。

★　・内蔵RAMに配置されたミス・アライン・アドレスに対するデータ・アクセス命令

逆に，内蔵RAMを対象（転送先／転送元）としたDMA転送を行う場合は，上記の命令を実行しないでください。

（3）DCHCn.TCnビットのリードに関する注意事項（n = 0-3）

TCnビットは，読み出しによりクリア（0）されますが，ある特定タイミングにおいてTCnビットをリードしても，自動的にクリア（0）されません。TCnビットのクリアを確実に実行するために次の処理を追加してください。

（a）TCnビットをポーリングしてDMA転送完了の待ち合わせを行う場合

TCnビットがセット（1）されたことを確認したあと（TCnビット = 1が読み出されたあと），さらに3回のTCnビットのリードを行ってください。

（b）割り込み処理ルーチンでTCnビットのリードを行う場合

TCnビットのリードを3回実行してください。

（4）DMA転送の初期化手順について（DCHCn.INITnビットのセット（1））

DMA転送中のチャネルを初期化するときに，INITnビットをセット（1）しても，チャネルの初期化が行われない場合があります。初期化を確実に実行するために，次に示す2つの手順のいずれかを実行させてください。

（a）一時的にすべてのDMAチャネルの転送を停止させる方法

次に示す①～⑦の手順で初期化を実行してください。

ただし，次の⑤に示す処理の実行により，TCnビットがクリア（0）されてしまいます。他の処理において，TCnビット = 1となっていることを期待したプログラムになっていないことを確認してください。

① 割り込み禁止状態（DI）にする。

② 強制終了したいチャネル以外に使用しているDMAチャネルのDCHCn.Ennビットを読み出し，汎用レジスタに転送する。

③ 使用しているDMAチャネル（強制終了するチャネルを含む）のEnnビットをクリア（0）する。最終のDMAチャネルの場合にはEnnビットのクリア命令を2回実行する。このとき，転送対象（転送元／転送先）が内蔵RAMの場合は，3回実行する。

例　チャネル0，1，2を使用している場合には，次の順で命令を実行する（転送対象が内蔵RAMでない場合）。

- DCHC0.E00ビットをクリア（0）
- DCHC1.E11ビットをクリア（0）
- DCHC2.E22ビットをクリア（0）
- 再度，DCHC2.E22ビットをクリア（0）

④ 強制終了するチャネルのINITnビットをセット（1）する。

⑤ 強制終了しない各チャネルのTCnビットを読み出し，TCnビットと②で読み出したEnnビットが，ともに1（論理積（AND）が1）の場合は退避していたEnnビットをクリア（0）する。

⑥ ⑤で操作後のEnnビットをDCHCnレジスタに書き込む。

⑦ 割り込み許可状態（EI）にする。

注意　上記⑤は，②，③の間に正常終了したチャネルに対して，再度Ennビットを不正にセットすることを防ぐため，必ず行ってください。

（b）正常に強制終了するまでINITnビットのセットを繰り返し実行する方法

① 強制終了したいチャネルのDMA要求元からのリクエストが発生しないようにする（内蔵周辺I/Oの動作停止）。
② DTFRn.DFnビットにより，強制終了するチャネルのDMA転送要求が保留されていないかを確認。保留されている場合は，保留されているDMA転送要求の実行が完了するまで待つ。
③ 強制終了するチャネルのDMA要求が保留されていないことが確認できたら，Ennビットをクリア（0）する。
④ 再度，強制終了するチャネルのEnnビットをクリア（0）する。
ただし，強制終了するチャネルの転送対象（転送元／転送先）が内蔵RAMの場合は，この操作をさらにもう一度実行する。
⑤ 強制終了するチャネルの初期転送回数を汎用レジスタにコピーする。
⑥ 強制終了するチャネルのINITnビットをセット（1）する。
⑦ 強制終了するチャネルのDBCnレジスタの値を読み出し，⑤でコピーした値と比較する。比較した結果，一致しない場合は⑥から⑦の操作を繰り返す。

備考1. ⑦でDBCnレジスタの値を読み出すと，正常に強制終了を完了した場合は初期転送回数が読み出されます。未完了の場合は残りの転送回数が読み出されます。
2. （b）の方法は，強制終了の対象となっているDMAチャネル以外のDMA転送が頻繁に行われるようなアプリケーションの場合，強制終了されるまでに時間を要する可能性があるので注意してください。

（5）DMA転送の一時中断手順について(Ennビットのクリア)

実行中のDMA転送を中断し，再開するには次の手順にしたがってください。

① DMA要求元からの転送要求が発生しないようにする（内蔵周辺I/Oの動作を停止）。
② DFnビットにより，DMA転送要求が保留されていないかを確認する（DFnビット = 0であることを確認）。保留されている場合は，保留されているDMA転送要求の実行が完了するまで待つ。
③ DMA転送要求が保留されていないことを確認できたら，Ennビットをクリア（0）する（この操作により，DMA転送が中断される）。
④ DMA転送を再開させるためにEnnビットをセット（1）する。
⑤ 停止しているDMA要求元の動作を再開する（内蔵周辺I/Oの動作を開始）。

（6）メモリ境界

DMA転送中に，転送元，または転送先のアドレスがDMA対象（外部メモリ，内蔵RAM，内蔵周辺I/O）の領域を越えた場合の動作は保証できません。

（7）ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元，または転送先に指定した場合，アドレスの最下位ビットは強制的に0として扱われます。

（8）CPUへのバス・アービトレーション

バス使用権の優先順位はCPUよりDMAコントローラが高いため，DMA転送中に発生したCPUのアクセスは，DMA転送サイクルが完了しCPUにバスが開放されるまで待たされます。

ただし，CPUはDMA転送を行っていない外部メモリ，内蔵周辺I/O，内蔵RAMとのアクセスが可能です。

- 外部メモリ⇔内蔵周辺I/Oとの間でDMA転送が行われているとき，CPUは内蔵RAMにアクセスできます。
- 外部メモリ⇔外部メモリでDMA転送が行われているときは，CPUは内蔵RAM，内蔵周辺I/Oにアクセスできます。

（9）DMA動作中の書き換え禁止レジスタ／ビット

次のレジスタの設定は，DMA動作中でない次のいずれかのタイミングで行ってください。

【対象レジスタ】

- DSAnH, DSAnL, DDAnH, DDAnL, DBCn, DADCnレジスタ
- DTFRn.IFCn5-IFCn0ビット

【設定可能タイミング】

- リセット後から最初のDMA転送開始までの期間
- チャネル初期化後からDMA転送開始までの時間
- DMA転送完了後（TCnビット = 1の状態）から次のDMA転送開始までの期間

（10）次のレジスタの各ビットには，必ず“0”を設定してください。

- DSAnHレジスタのビット14-10
- DDAnHレジスタのビット14-10
- DADCnレジスタのビット15, 13-8, 3-0
- DCHCnレジスタのビット6-3

（11）DSAn, DDAnレジスタの読み出し値

DMA転送中にDSAn，DDAnレジスタの値を読み出した場合，更新途中の値が読み出されることがあります（n = 0-3）。

たとえば，DMA転送元アドレス（DSAnレジスタ）が0000FFFFH，カウント方向がインクリメント（DADCn.SAD1, SAD0ビット = 00）の場合，DSAnHレジスタ→DSAnLレジスタの順に読み出しを行うと，DSAnHレジスタ読み出し直後のDMA転送の有無によって，DSAnLレジスタの値が次のように異なります。

（a）DSAnレジスタの読み出し中にDMA転送が発生しない場合

① DSAnHレジスタの読み出し：DSAnHレジスタ = 0000H
② DSAnLレジスタの読み出し：DSAnLレジスタ = FFFFH

（b）DSAnレジスタの読み出し中にDMA転送が発生する場合

① DSAnHレジスタの読み出し：DSAnHレジスタ = 0000H
② DMA転送の発生
③ DSAnレジスタのインクリメント：DSAnレジスタ = 00100000H
④ DSAnLレジスタの読み出し：DSAnLレジスタ = 0000H

第21章　割り込み／例外処理機能

21.1　概　　要

V850ES/KG1+は，割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し，合計50または51要因の割り込み要求を処理できる割り込み機能を実現しています。

なお，割り込みをプログラムの実行とは別に独立して発生する事象とし，例外をプログラムの実行に依存して発生する事象とします。

V850ES/KG1+では，内蔵している周辺ハードウエアと外部からの各種割り込み要求を処理できます。さらに，TRAP命令による例外処理の起動（ソフトウエア例外）や，例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

21.1.1　特　　徴

割り込み要因				V850ES/KG1+
割り込み機能	ノンマスカブル割り込み	外部		1チャネル（NMI端子）
		内部		2チャネル（WDT1, WDT2）
	マスカブル割り込み	外部		8チャネル（すべてエッジ検出割り込み）
		内部	WDT1	1チャネル
			TMP	3チャネル
			TM0	8チャネル
			TMH	2チャネル
			TM5	2チャネル
			WT	2チャネル
			BRG	1チャネル
			UART	9チャネル
			CSI0	2チャネル
			CSIA	2チャネル
			IIC	1チャネル注
			KR	1チャネル
			AD	1チャネル
			DMA	4チャネル
			LVI	1チャネル
			合計	40チャネル
例外機能	ソフトウエア例外			16チャネル（TRAP00H-TRAP0FH）
				16チャネル（TRAP10H-TRAP1FH）
	例外トラップ			2チャネル（ILGOP/DBG0）

注　μPD703313Y, 70F3311Y, 70F3313Yのみ

割り込み／例外要因を表21－1に示します。

表21－1　割り込み要因一覧（1/2）

種　類	分　類	ディフォールト・プライオリティ	名　称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	復帰PC	割り込み制御レジスタ
リセット	割り込み	－	RESET	$\overline{\text{RESET}}$端子入力	端子	0000H	00000000H	不定	－
				WDT1, WDT2からの内部リセット入力	WDT1 WDT2				
ノンマスカブル	割り込み	－	NMI	NMI端子有効エッジ入力	端子	0010H	00000010H	nextPC	－
		－	INTWDT1	WDT1オーバフロー（ノンマスカブル割り込み選択時）	WDT1	0020H	00000020H	注1	－
		－	INTWDT2	WDT2オーバフロー（ノンマスカブル割り込み選択時）	WDT2	0030H	00000030H	注1	－
ソフトウエア例外	例外	－	TRAP0n注2	TRAP命令	－	004nH注2	00000040H	nextPC	－
		－	TRAP1n注2	TRAP命令	－	005nH注2	00000050H	nextPC	－
例外トラップ	例外	－	ILGOP/DBG0	不正命令コード／DBTRAP命令	－	0060H	00000060H	nextPC	－
マスカブル	割り込み	0	INTWDTM1	WDT1オーバフロー（インターバル・タイマ選択時）	WDT1	0080H	00000080H	nextPC	WDT1IC
		1	INTP0	INTP0端子有効エッジ入力	端子	0090H	00000090H	nextPC	PIC0
		2	INTP1	INTP1端子有効エッジ入力	端子	00A0H	000000A0H	nextPC	PIC1
		3	INTP2	INTP2端子有効エッジ入力	端子	00B0H	000000B0H	nextPC	PIC2
		4	INTP3	INTP3端子有効エッジ入力	端子	00C0H	000000C0H	nextPC	PIC3
		5	INTP4	INTP4端子有効エッジ入力	端子	00D0H	000000D0H	nextPC	PIC4
		6	INTP5	INTP5端子有効エッジ入力	端子	00E0H	000000E0H	nextPC	PIC5
		7	INTP6	INTP6端子有効エッジ入力	端子	00F0H	000000F0H	nextPC	PIC6
		8	INTTM000	TM00とCR000の一致	TM00	0100H	00000100H	nextPC	TM0IC00
		9	INTTM001	TM00とCR001の一致	TM00	0110H	00000110H	nextPC	TM0IC01
		10	INTTM010	TM01とCR010の一致	TM01	0120H	00000120H	nextPC	TM0IC10
		11	INTTM011	TM01とCR011の一致	TM01	0130H	00000130H	nextPC	TM0IC11
		12	INTTM50	TM50とCR50の一致	TM50	0140H	00000140H	nextPC	TM5IC0
		13	INTTM51	TM51とCR51の一致	TM51	0150H	00000150H	nextPC	TM5IC1
		14	INTCSI00	CSI00の転送終了	CSI00	0160H	00000160H	nextPC	CSI0IC0
		15	INTCSI01	CSI01の転送終了	CSI01	0170H	00000170H	nextPC	CSI0IC1
		16	INTSRE0	UART0の受信エラー発生	UART0	0180H	00000180H	nextPC	SREIC0
		17	INTSR0	UART0の受信完了	UART0	0190H	00000190H	nextPC	SRIC0
		18	INTST0	UART0の送信完了	UART0	01A0H	000001AH	nextPC	STIC0
		19	INTSRE1	UART1の受信エラー発生	UART1	01B0H	000001B0H	nextPC	SREIC1
		20	INTSR1	UART1の受信完了	UART1	01C0H	000001C0H	nextPC	SRIC1
		21	INTST1	UART1の送信完了	UART1	01D0H	000001D0H	nextPC	STIC1
		22	INTTMH0	TMH0とCMP00/CMP01の一致	TMH0	01E0H	000001E0H	nextPC	TMHIC0

注1.　INTWDT1, INTWDT2の場合の復帰については，21. 10　注意事項を参照してください。

2.　nは0-FHの値

表21－1　割り込み要因一覧（2/2）

種　類	分　類	ディフォールト・プライオリティ	名　称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	復帰PC	割り込み制御レジスタ
マスカブル	割り込み	23	INTTMH1	TMH1とCMP10/CMP11の一致	TMH1	01F0H	000001F0H	nextPC	TMHIC1
		24	INTCSIA0	CSIA0の転送終了	CSIA0	0200H	00000200H	nextPC	CSIAIC0
		25	INTIIC0注	I^2C0の転送完了	I^2C0	0210H	00000210H	nextPC	IICIC0
		26	INTAD	A/D変換終了	A/D	0220H	00000220H	nextPC	ADIC
		27	INTKR	キー・リターン割り込み	KR	0230H	00000230H	nextPC	KRIC
		28	INTWTI	時計用タイマのインターバル	WT	0240H	00000240H	nextPC	WTIIC
		29	INTWT	時計用タイマの基準時間	WT	0250H	00000250H	nextPC	WTIC
		30	INTBRG	プリスケーラ3の8ビット・カウンタとPRSCMの一致	プリスケーラ3	0260H	00000260H	nextPC	BRGIC
		31	INTTM020	TM02とCR020の一致	TM02	0270H	00000270H	nextPC	TM0IC20
		32	INTTM021	TM02とCR021の一致	TM02	0280H	00000280H	nextPC	TM0IC21
		33	INTTM030	TM03とCR030の一致	TM03	0290H	00000290H	nextPC	TM0IC30
		34	INTTM031	TM03とCR031の一致	TM03	02A0H	000002A0H	nextPC	TM0IC31
		35	INTCSIA1	CSIA1の転送終了	CSIA1	02B0H	000002B0H	nextPC	CSIAIC1
		41	INTSRE2	UART2の受信エラー発生	UART2	0310H	00000310H	nextPC	SREIC2
		42	INTSR2	UART2の受信完了	UART2	0320H	00000320H	nextPC	SRIC2
		43	INTST2	UART2の送信完了	UART2	0330H	00000330H	nextPC	STIC2
		45	INTLVI	低電圧検出	LVI	0380H	00000380H	nextPC	LVIIC
		46	INTP7	INTP7端子有効エッジ入力	端子	0390H	00000390H	nextPC	PIC7
		47	INTTP0OV	TMP0オーバフロー	TMP	03A0H	000003A0H	nextPC	TPOVIC
		48	INTTP0CC0	TMP0キャプチャ0／コンペア0一致	TMP	03B0H	000003B0H	nextPC	TPCCIC0
		49	INTTP0CC1	TMP0キャプチャ1／コンペア1一致	TMP	03C0H	000003C0H	nextPC	TPCCIC1
		50	INTDMA0	DMA0転送終了	DMAC	03D0H	000003D0H	nextPC	DMAIC0
		51	INTDMA1	DMA1転送終了	DMAC	03E0H	000003E0H	nextPC	DMAIC1
		52	INTDMA2	DMA2転送終了	DMAC	03F0H	000003F0H	nextPC	DMAIC2
		53	INTDMA3	DMA3転送終了	DMAC	0400H	00000400H	nextPC	DMAIC3

注　μPD703313Y, 70F3311Y, 70F3313Yのみ

備考1.　ディフォールト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求が同時に発生している場合に優先される順位です。0が最高優先順位です。
ノンマスカブル割り込みの優先順位は次のとおりです。
INTWDT2＞INTWDT1＞NMI

復帰PC：割り込み処理起動時に，CPUのEIPC, FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお，次の命令実行中にノンマスカブル／マスカブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません（命令実行中に割り込みを受け付けると実行を中止し，割り込み処理完了後に再実行されます）。

・ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
・除算命令（DIV, DIVH, DIVU, DIVHU）
・PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み／例外処理後に処理を開始するPC値です。

2.　不正命令コード例外時の不正命令の実行アドレスは，（復帰PC－4）で求められます。

21. 2　ノンマスカブル割り込み

ノンマスカブル割り込み要求信号は，CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また，割り込み優先順位の対象にならず，すべての割り込み要求信号に対して最優先されます。

この製品のノンマスカブル割り込み要求信号には，次の3つがあります。

- NMI端子入力（NMI）
- ウォッチドッグ・タイマ1のオーバフローによるノンマスカブル割り込み要求信号（INTWDT1）
- ウォッチドッグ・タイマ2のオーバフローによるノンマスカブル割り込み要求信号（INTWDT2）

NMI端子の有効エッジは，“立ち上がりエッジ”，“立ち下がりエッジ”，“両エッジ”，“エッジ検出なし”の4種類から選択できます。

ウォッチドッグ・タイマ1のオーバフローによるノンマスカブル割り込み要求信号（INTWDT1）は，WDTM1.WDTM14, WDTM13ビットを“10”と設定することで機能します。

ウォッチドッグ・タイマ2のオーバフローによるノンマスカブル割り込み要求信号（INTWDT2）は，WDTM2.WDM21, WDM20ビットを“01”と設定することで機能します。

複数のノンマスカブル割り込みが重なって発生した場合は，次の優先順位に従って順位の高い処理が実行されます（優先順位の低い割り込み要求信号は無視されます）。

INTWDT2＞INTWDT1＞NMI

なお，NMI 処理中に，新たに NMI, INTWDT1, INTWDT2 要求信号が発生した場合は次のような処理を行います。

（1）NMI 処理中に，新たに NMI 要求信号が発生した場合

PSW.NP ビットの値によらず，新たな NMI 要求信号は保留されます。保留された NMI 要求信号は，現在実行中の NMI 処理終了後（RETI 命令実行後）に受け付けられます。

（2）NMI 処理中に，新たに INTWDT1 要求信号が発生した場合

NMI 処理中に NP ビットがセット（1）されたままであれば，新たな INTWDT1 要求信号は保留されます。保留された INTWDT1 要求信号は，現在実行中の NMI 処理終了後（RETI 命令実行後）に受け付けられます。

NMI 処理中に NP ビットをクリア（0）すれば，新たに発生した INTWDT1 要求信号が実行されます（NMI 処理は中断されます）。

（3）NMI 処理中に，新たに INTWDT2 要求信号が発生した場合

NP ビットの値によらず，新たに発生した INTWDT2 要求信号が実行されます（NMI 処理は中断されます）。

注意　ノンマスカブル割り込み要求信号（INTWDT1, INTWDT2）によるノンマスカブル割り込み処理については，21. 10　注意事項を参照してください。

図21－1　ノンマスカブル割り込み要求信号の受け付け動作（1/2）

（a）複数のNMI要求信号が同時に発生する場合

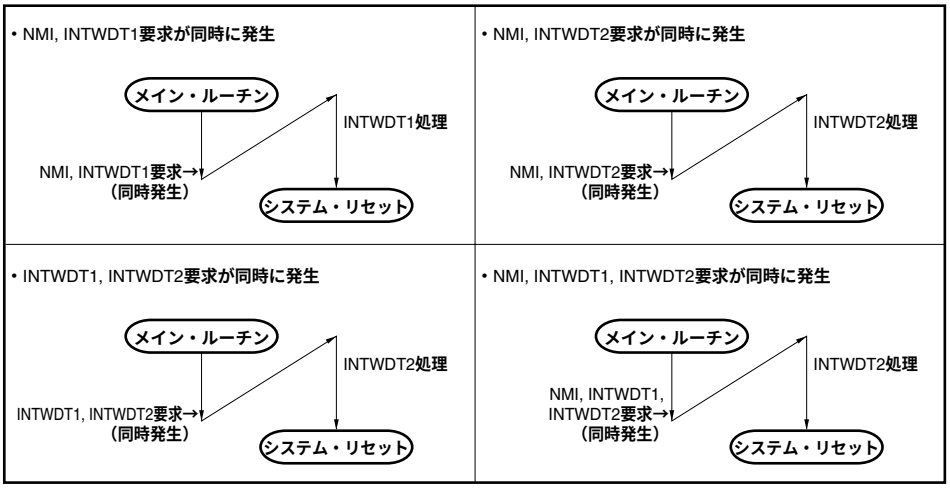


図21－1　ノンマスカブル割り込み要求信号の受け付け動作（2/2）

（b）ノンマスカブル割り込み処理中に新たにノンマスカブル割り込み要求信号が発生する場合

処理中のノンマスカブル割り込み	ノンマスカブル割り込み処理中に新たに発生するノンマスカブル割り込み要求		
	NMI	INTWDT1	INTWDT2
NMI	・NMI処理中にNMI要求が発生 メイン・ルーチン NMI処理 NMI要求→ NMI要求→（保留） （保留された）NMI処理	・NMI処理中にINTWDT1要求が発生 （INTWDT1要求前にNP = 1のまま） メイン・ルーチン NMI処理 NMI要求→ INTWDT1要求→（保留） INTWDT1処理 システム・リセット ・NMI処理中にINTWDT1要求が発生 （INTWDT1要求前にNP = 0にする） メイン・ルーチン NMI処理 INTWDT1処理 NP = 0→ NMI要求→ INTWDT1要求→ システム・リセット ・NMI処理中にINTWDT1要求が発生 （INTWDT1要求後にNP = 0にする） メイン・ルーチン NMI処理 INTWDT1処理 INTWDT1要求→（保留） NMI要求→ NP = 0→ システム・リセット	・NMI処理中にINTWDT2要求が発生 メイン・ルーチン NMI処理 INTWDT2処理 NMI要求→ INTWDT2要求→ システム・リセット
INTWDT1	・INTWDT1処理中にNMI要求が発生 メイン・ルーチン INTWDT1処理 INTWDT1要求→ NMI要求→（無効） システム・リセット	・INTWDT1処理中にINTWDT1要求が発生 メイン・ルーチン INTWDT1処理 INTWDT1要求→ INTWDT1要求→（無効） システム・リセット	・INTWDT1処理中にINTWDT2要求が発生 メイン・ルーチン INTWDT1処理 INTWDT2処理 INTWDT1要求→ INTWDT2要求→ システム・リセット
INTWDT2	・INTWDT2処理中にNMI要求が発生 メイン・ルーチン INTWDT2処理 INTWDT2要求→ NMI要求→（無効） システム・リセット	・INTWDT2処理中にINTWDT1要求が発生 メイン・ルーチン INTWDT2処理 INTWDT2要求→ INTWDT1要求→（無効） システム・リセット	・INTWDT2処理中にINTWDT2要求が発生 メイン・ルーチン INTWDT2処理 INTWDT2要求→ INTWDT2要求→（無効） システム・リセット

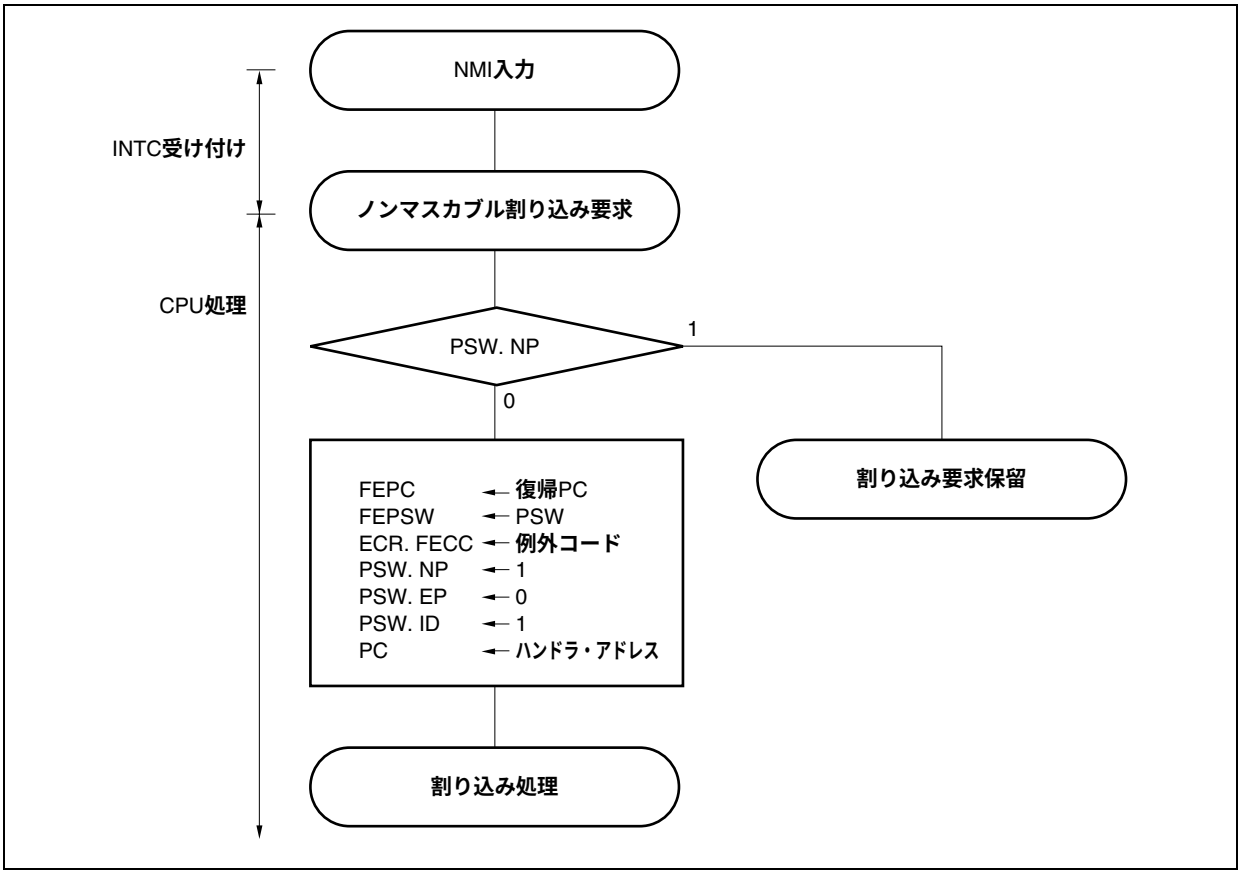
21. 2. 1　動　　作

ノンマスカブル割り込み要求信号が発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンに制御を移します。

① 復帰PCをFEPCに退避します。
② 現在のPSWをFEPSWに退避します。
③ ECRの上位ハーフワード（FECC）に例外コード（0010H, 0020H, 0030H）を書き込みます。
④ PSWのNP, IDビットをセット（1）し，EPビットをクリア（0）します。
⑤ PCにノンマスカブル割り込みに対するハンドラ・アドレス（00000010H, 00000020H, 00000030H）をセットし，制御を移します。

ノンマスカブル割り込みの処理形態を次に示します。

図21－2　ノンマスカブル割り込みの処理形態



21. 2. 2　復　　帰

ノンマスカブル割り込み処理からは，RETI命令で復帰します。

（1）NMIの場合

NMI処理からの復帰は，RETI命令により行います。

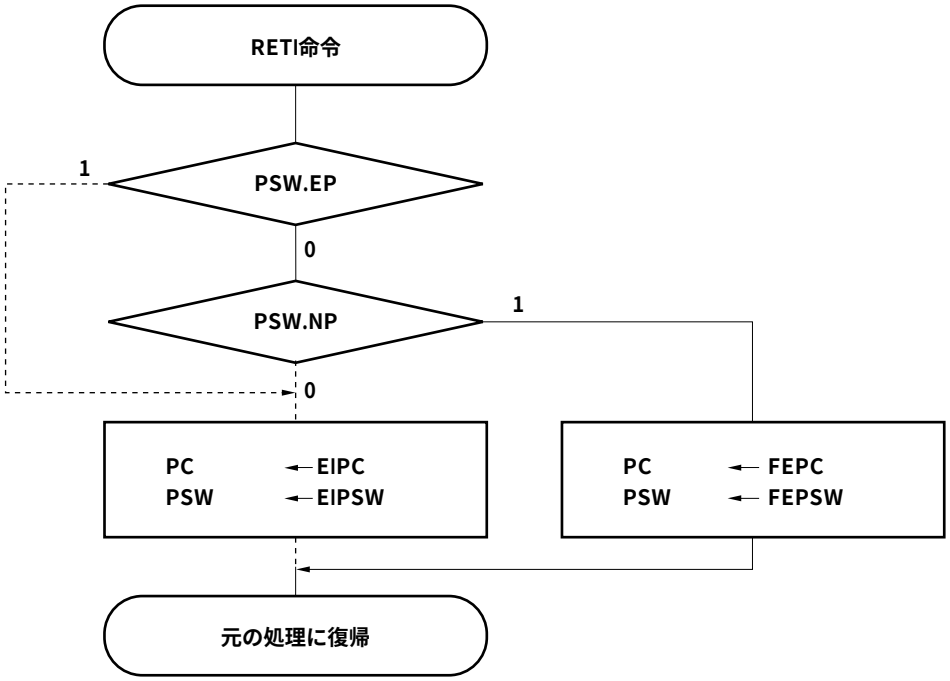
RETI命令の実行により，CPUは次の処理を行い，復帰PCのアドレスへ制御を移します。

（ｉ）PSW.EPビット = 0かつPSW.NPビット = 1なので，FEPC, FEPSWから復帰PC, PSWを取り出します。

（ii）取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を次に示します。

図21－3　RETI命令の処理形態



注意　ノンマスカブル割り込み処理中にLDSR命令によりEP, NPビットを変更した場合には，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前で，LDSR命令を使用してEPビット = 0かつNPビット = 1に戻しておいてください。

備考　CPUは実線のフローで処理します。

（2）INTWDT1, INTWDT2信号の場合

ノンマスカブル割り込み要求信号（INTWDT1, INTWDT2）によるノンマスカブル割り込み処理については，21. 10　注意事項を参照してください。

21. 2. 3　NPフラグ

NPフラグは，ノンマスカブル割り込みの処理中であることを示すステータス・フラグです。

ノンマスカブル割り込み要求を受け付けるとセットされ，ノンマスカブル要求をマスクして多重割り込みを禁止します。

リセット時：00000020H

	31	8	7	6	5	4	3	2	1	0
PSW	0		NP	EP	ID	SAT	CY	OV	S	Z

NP	NMI処理状態
0	ノンマスカブル割り込み処理中でない
1	ノンマスカブル割り込み処理中

21. 3　マスカブル割り込み

マスカブル割り込み要求信号は，割り込み制御レジスタにより，割り込み受け付けをマスクできる割り込み要求信号です。V850ES/KG1+には48種類のマスカブル割り込み要因があります（21. 1. 1　特徴参照）。

複数のマスカブル割り込み要求信号が同時に発生した場合は，ディフォールト優先順位により，その優先順位が決定します。またディフォールト優先順位とは別に，割り込み制御レジスタによって，8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり，以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり，受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし，多重割り込みを許可するときは，EI命令を実行する前にEIPC, EIPSWをメモリ，またはレジスタに退避し，RETI命令を実行する前にDI命令を実行して，EIPC, EIPSWを元の値に復帰してください。

WDTM1.WDTM14ビットを“0”に設定すると，ウォッチドッグ・タイマ1オーバフロー割り込みは，マスカブル割り込み（INTWDTM1）として機能します。

21. 3. 1　動　　作

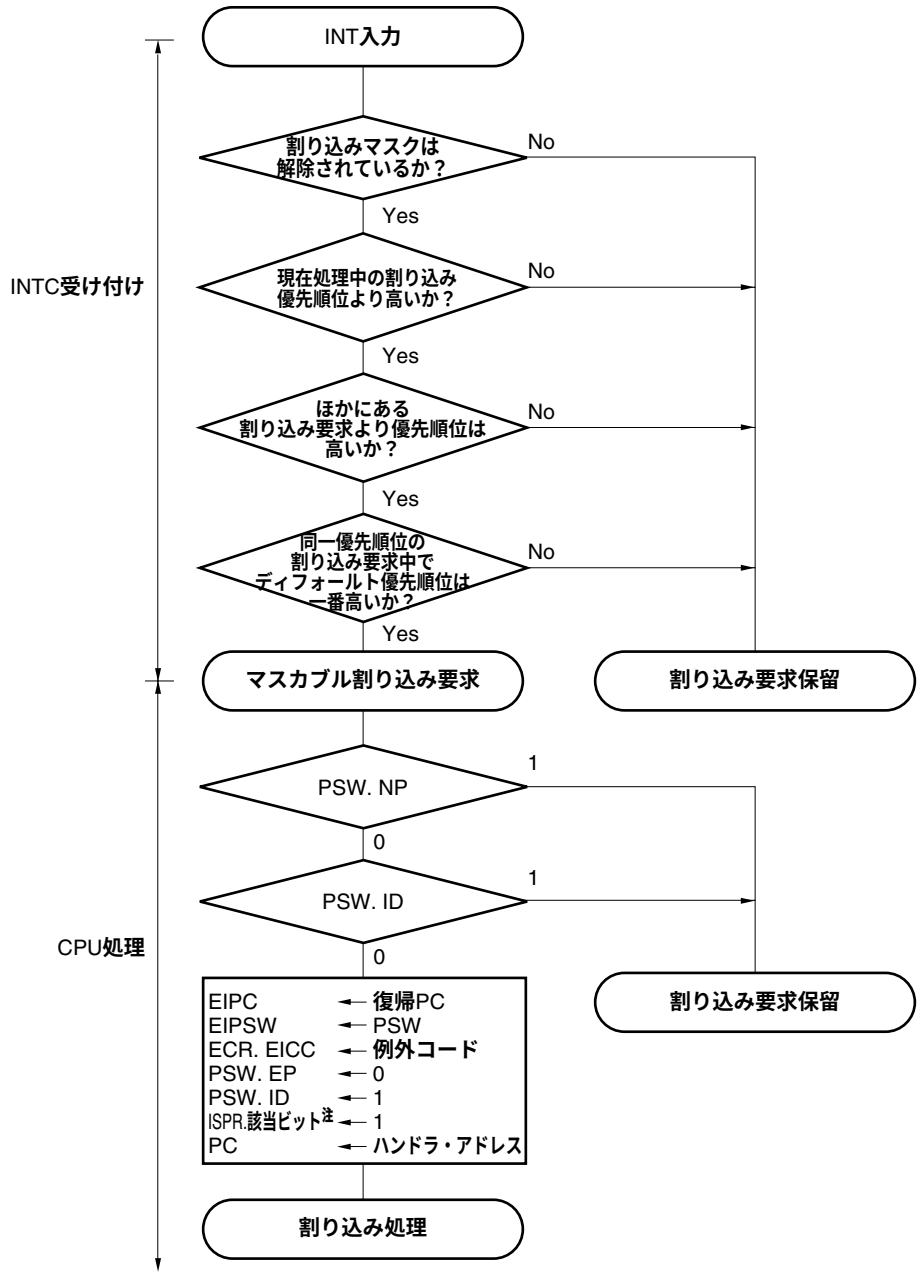
マスカブル割り込み要求が発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンに制御を移します。

① 復帰PCをEIPCに退避します。
② 現在のPSWをEIPSWに退避します。
③ ECRの下位ハーフワード（EICC）に例外コードを書き込みます。
④ PSW.IDビットをセット（1）し，PSW.EPビットをクリア（0）します。
⑤ PCに各割り込みに対するハンドラ・アドレスをセットし，制御を移します。

なお，INTCでマスクされているマスカブル割り込み要求信号と，ほかの割り込み処理中（PSW.NPビット = 1またはIDビット = 1）に発生したマスカブル割り込み要求信号は，INTC内部で保留されます。この場合，マスクを解除するか，またはRETI命令，LDSR命令を使用してNPビット = 0かつIDビット = 0にすると，保留していたマスカブル割り込み要求信号の優先順位に従い，新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図21－4　マスカブル割り込みの処理形態



注　ISPRレジスタについては，21. 3. 6　**インサービス・プライオリティ・レジスタ**（ISPR）を参照してください。

21. 3. 2　復　　帰

マスカブル割り込み処理からは，RETI命令で復帰します。

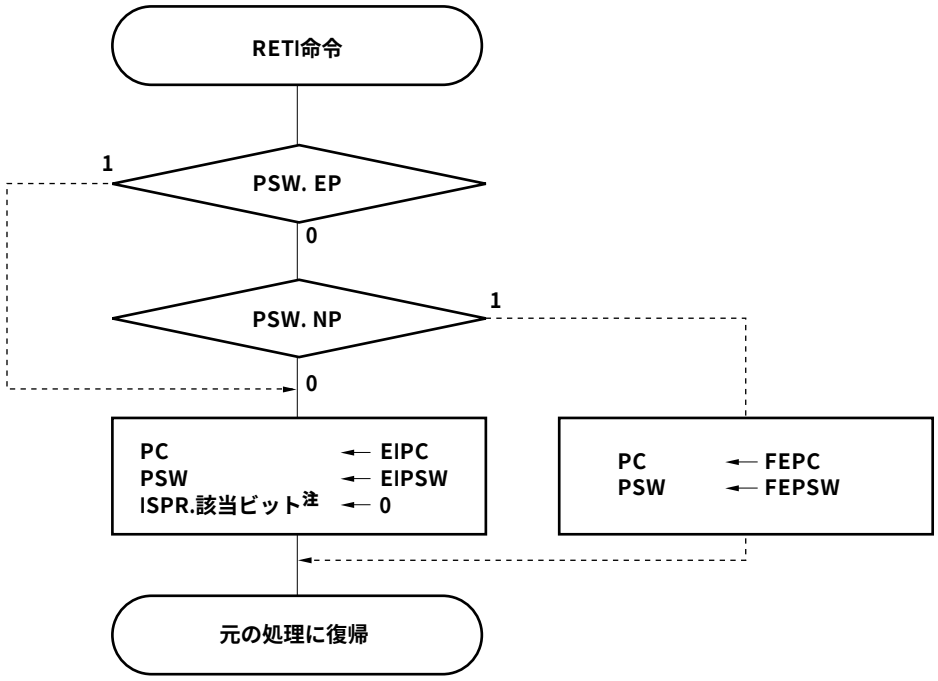
RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

(1) PSW.EPビット = 0かつPSW.NPビット = 0なので，EIPC, EIPSWから復帰PC, PSWを取り出します。

(2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を次に示します。

図21－5　RETI命令の処理形態



注　ISPRレジスタについては，21. 3. 6　インサービス・プライオリティ・レジスタ（ISPR）を参照してください。

注意　マスカブル割り込み処理中にLDSR命令によりEP, NPビットを変更した場合は，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前で，LDSR命令を使用してEPビット = 0かつNPビット = 0に戻しておいてください。

備考　CPUは実線のフローで処理します。

21. 3. 3　マスカブル割り込みの優先順位

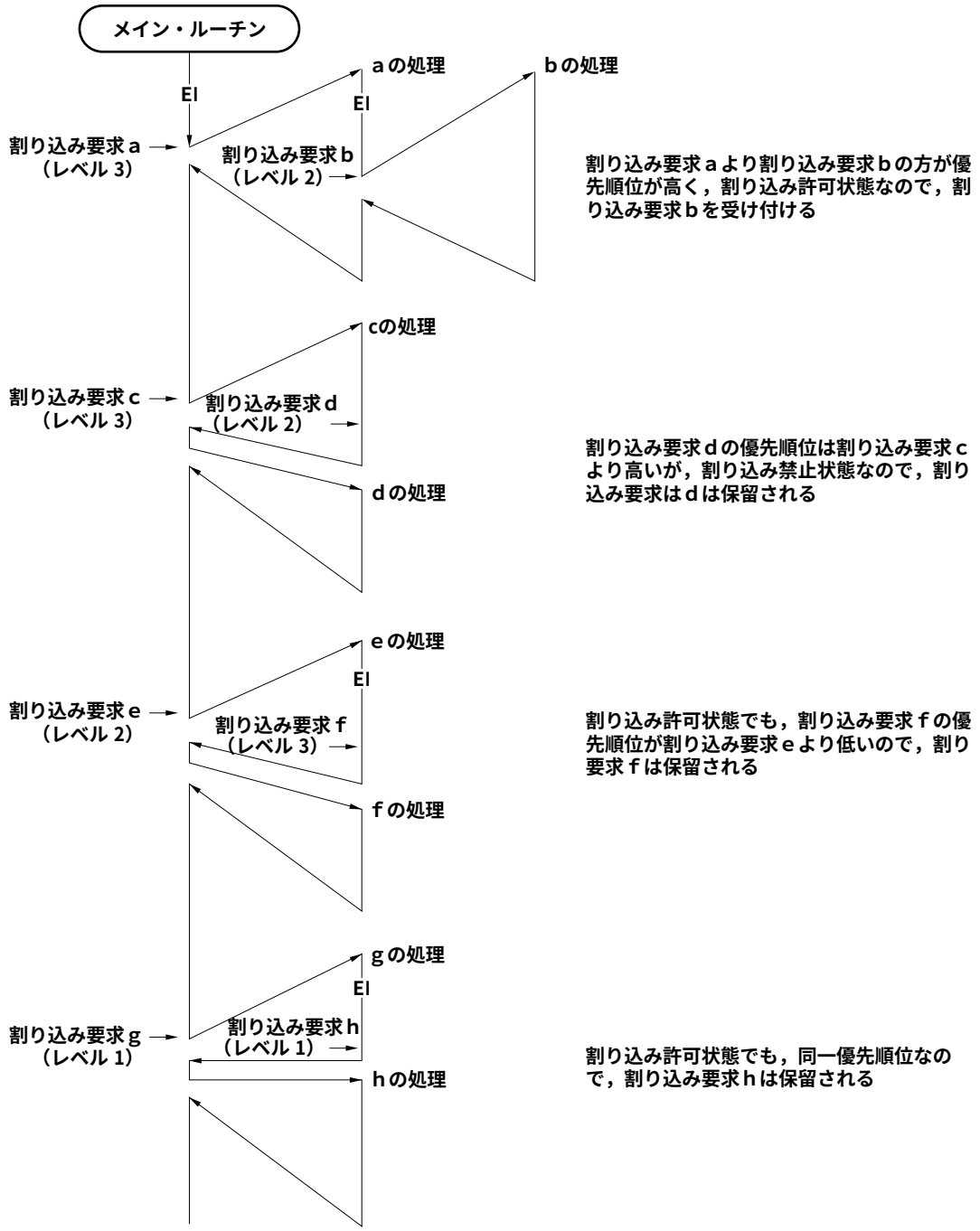
INTCは，割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは，優先順位によって制御できます。

優先順位制御には，ディフォールト優先順位による制御と，割り込み優先順位指定ビット（xxICn.xxPRnビット）によるプログラマブル優先順位制御があります。ディフォールト優先順位による制御は，xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合，各割り込み要求にあらかじめ割り付けてある優先順位（ディフォールト優先順位）に従って割り込みを処理します（表21－1　割り込み要因一覧参照）。プログラマブル優先順位制御は，各割り込み要求を優先順位指定フラグの設定によって8レベルに分けます。

なお，割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット（1）されるので，多重割り込みを使用する場合は，割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア（0）し，割り込み許可状態にしてください。

備考　xx ：各周辺ユニット識別名称（表21－2　割り込み制御レジスタ（xxICn）参照）
　　n　：周辺ユニット番号（表21－2　割り込み制御レジスタ（xxICn）参照）

図21－6　割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（1/2）

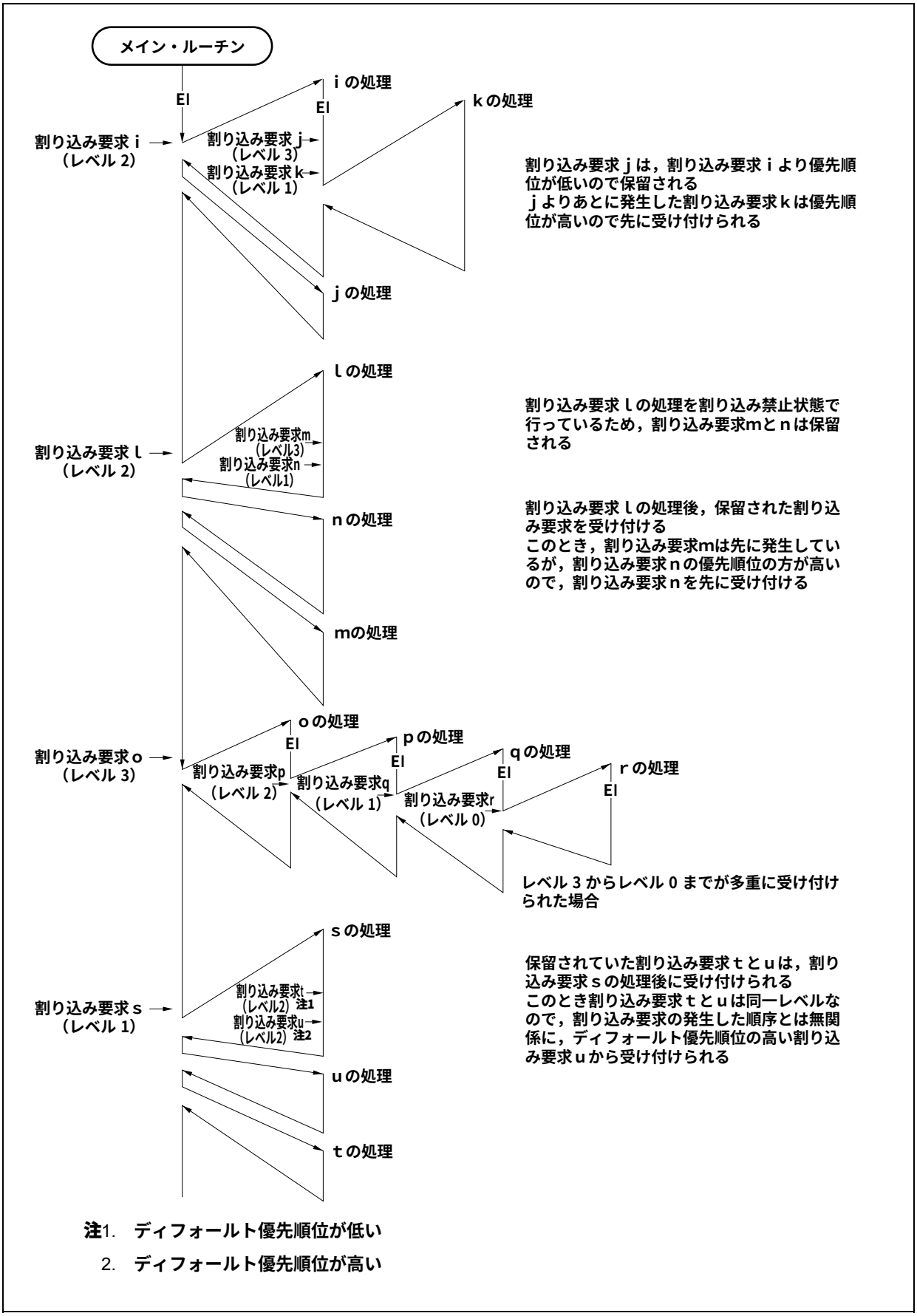


注意　多重割り込みを行うときはEIPC, EIPSWを退避してください。

備考1.　図中のa-uは，割り込み要求信号を区別するために付けた仮の名称です。

2.　図中のディフォールト優先順位の高い／低いは，2つの割り込み要求信号間の相対的な優先順位の高さを示します。

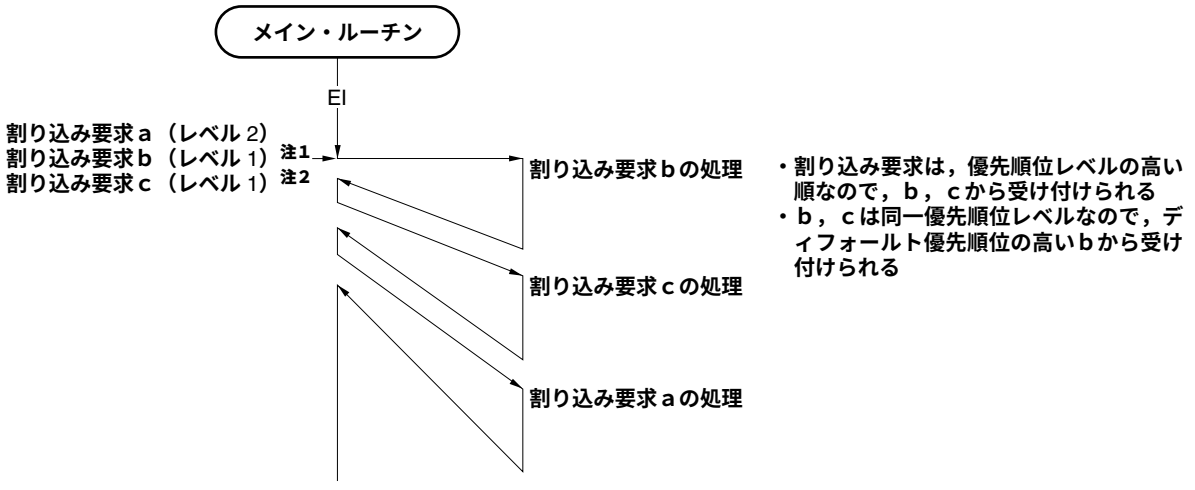
図21－6　割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（2/2）



注1.　ディフォールト優先順位が低い

2.　ディフォールト優先順位が高い

図21－7　同時発生した割り込み要求信号の処理例



注1.　ディフォールト優先順位が高い

2.　ディフォールト優先順位が低い

21. 3. 4　割り込み制御レジスタ（xxICn）

割り込み要求（マスカブル割り込み）ごとに割り当てられ，各割り込みに対する制御条件を設定します。

8/1ビット単位でリード／ライト可能です。

リセットにより47Hになります。

注意　xxICn.xxIFn ビットを読み出す場合は，割り込み禁止（DI）状態で行ってください。割り込み許可（EI）状態で xxIFn ビットを読み出すと，割り込みの受け付けとビットの読み出しのタイミングが競合した場合に，正常な値が読み出せないことがあります。

リセット時：47H　R/W　**アドレス：**FFFFF110H-FFFFF168H

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ注
0	割り込み要求なし
1	割り込み要求あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止（保留）

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル０（最高位）を指定
0	0	1	レベル１を指定
0	1	0	レベル２を指定
0	1	1	レベル３を指定
1	0	0	レベル４を指定
1	0	1	レベル５を指定
1	1	0	レベル６を指定
1	1	1	レベル７（最低位）を指定

注　割り込み要求が受け付けられるとハードウエアにより自動的にリセットされます。

備考　xx ：各周辺ユニット識別名称（表21－2　割り込み制御レジスタ（xxICn）参照）

n ：周辺ユニット番号（表21－2　割り込み制御レジスタ（xxICn）参照）

各割り込み制御レジスタのアドレスとビットを次に示します。

表21－2　割り込み制御レジスタ（xxICn）（1/2）

アドレス	レジスタ	ビット							
		⑦	⑥	5	4	3	2	1	0
FFFFF110H	WDT1IC	WDT1IF	WDT1MK	0	0	0	WDT1PR2	WDT1PR1	WDT1PR0
FFFFF112H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFF114H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFF116H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFF118H	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFF11AH	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFF11CH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFF11EH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFF120H	TM0IC00	TM0IF00	TM0MK00	0	0	0	TM0PR002	TM0PR001	TM0PR000
FFFFF122H	TM0IC01	TM0IF01	TM0MK01	0	0	0	TM0PR012	TM0PR011	TM0PR010
FFFFF124H	TM0IC10	TM0IF10	TM0MK10	0	0	0	TM0PR102	TM0PR101	TM0PR100
FFFFF126H	TM0IC11	TM0IF11	TM0MK11	0	0	0	TM0PR112	TM0PR111	TM0PR110
FFFFF128H	TM5IC0	TM5IF0	TM5MK0	0	0	0	TM5PR02	TM5PR01	TM5PR00
FFFFF12AH	TM5IC1	TM5IF1	TM5MK1	0	0	0	TM5PR12	TM5PR11	TM5PR10
FFFFF12CH	CSI0IC0	CSI0IF0	CSI0MK0	0	0	0	CSI0PR02	CSI0PR01	CSI0PR00
FFFFF12EH	CSI0IC1	CSI0IF1	CSI0MK1	0	0	0	CSI0PR12	CSI0PR11	CSI0PR10
FFFFF130H	SREIC0	SREIF0	SREMK0	0	0	0	SREPR02	SREPR01	SREPR00
FFFFF132H	SRIC0	SRIF0	SRMK0	0	0	0	SRPR02	SRPR01	SRPR00
FFFFF134H	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFF136H	SREIC1	SREIF1	SREMK1	0	0	0	SREPR12	SREPR11	SREPR10
FFFFF138H	SRIC1	SRIF1	SRMK1	0	0	0	SRPR12	SRPR11	SRPR10
FFFFF13AH	STIC1	STIF1	STMK1	0	0	0	STPR12	STPR11	STPR10
FFFFF13CH	TMHIC0	TMHIF0	TMHMK0	0	0	0	TMHPR02	TMHPR01	TMHPR00
FFFFF13EH	TMHIC1	TMHIF1	TMHMK1	0	0	0	TMHPR12	TMHPR11	TMHPR10
FFFFF140H	CSIAIC0	CSIAIF0	CSIAMK0	0	0	0	CSIAPR02	CSIAPR01	CSIAPR00
FFFFF142H	IICIC0[注]	IICIF0	IICMK0	0	0	0	IICPR02	IICPR01	IICPR00
FFFFF144H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0
FFFFF146H	KRIC	KRIF	KRMK	0	0	0	KRPR2	KRPR1	KRPR0
FFFFF148H	WTIIC	WTIIF	WTIMK	0	0	0	WTIPR2	WTIPR1	WTIPR0
FFFFF14AH	WTIC	WTIF	WTMK	0	0	0	WTPR2	WTPR1	WTPR0
FFFFF14CH	BRGIC	BRGIF	BRGMK	0	0	0	BRGPR2	BRGPR1	BRGPR0
FFFFF14EH	TM0IC20	TM0IF20	TM0MK20	0	0	0	TM0PR202	TM0PR201	TM0PR200
FFFFF150H	TM0IC21	TM0IF21	TM0MK21	0	0	0	TM0PR212	TM0PR211	TM0PR210
FFFFF152H	TM0IC30	TM0IF30	TM0MK30	0	0	0	TM0PR302	TM0PR301	TM0PR300
FFFFF154H	TM0IC31	TM0IF31	TM0MK31	0	0	0	TM0PR312	TM0PR311	TM0PR310
FFFFF156H	CSIAIC1	CSIAIF1	CSIAMK1	0	0	0	CSIAPR12	CSIAPR11	CSIAPR10
FFFFF162H	SREIC2	SREIF2	SREMK2	0	0	0	SREPR22	SREPR21	SREPR20
FFFFF164H	SRIC2	SRIF2	SRMK2	0	0	0	SRPR22	SRPR21	SRPR20
FFFFF166H	STIC2	STIF2	STMK2	0	0	0	STPR22	STPR21	STPR20
FFFFF170H	LVIIC	LVIIF	LVIMK	0	0	0	LVIPR2	LVIPR1	LVIPR0
FFFFF172H	PIC7	PIF7	PMK7	0	0	0	PPR72	PPR71	PPR70

注　μPD703313Y, 70F3311Y, 70F3313Y**のみ**

表21－2　割り込み制御レジスタ（xxICn）（2/2）

アドレス	レジスタ	ビット							
		⑦	⑥	5	4	3	2	1	0
FFFFF174H	TP0OVIC	TP0OVIF	TP0OVMK	0	0	0	TP0OVPR2	TP0OVPR1	TP0OVPR0
FFFFF176H	TP0CCIC0	TP0CCIF0	TP0CCMK0	0	0	0	TP0CCPR02	TP0CCPR01	TP0CCPR00
FFFFF178H	TP0CCIC1	TP0CCIF1	TP0CCMK1	0	0	0	TP0CCPR12	TP0CCPR11	TP0CCPR10
FFFFF17AH	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMARP01	DMAPR00
FFFFF17CH	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMARP11	DMAPR10
FFFFF17EH	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMARP21	DMAPR20
FFFFF180H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMARP31	DMAPR30

21. 3. 5　割り込みマスク・レジスタ0-3（IMR0-IMR3）

マスカブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR3レジスタのxxMKnビットとxxICnレジスタのxxMKnビットは，それぞれ連結しています。

IMRmレジスタは，16ビット単位でリード／ライト可能です。

IMRmレジスタの上位8ビットをIMRmHレジスタ，下位8ビットをIMRmLレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です（m = 0-3）。

注意　デバイス・ファイルでは，xxICnレジスタのxxMKnビットを予約語として定義しています。したがって，xxMKnビットの名称でビット操作を行うと，IMRmレジスタではなくxxICnレジスタを書き換えます（結果としてIMRmレジスタも書き換わります）。

リセット時：FFFFH　R/W　**アドレス：**IMR0 FFFFF100H,
IMP0L FFFFF100H, IMR0H FFFFF101H

		15	14	13	12	11	10	9	8
IMR0	(IMR0H注)	CSI0MK1	CSI0MK0	TM5MK1	TM5MK0	TM0MK11	TM0MK10	TM0MK01	TM0MK00
		7	6	5	4	3	2	1	0
	(IMR0L)	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	WDT1MK

リセット時：FFFFH　R/W　**アドレス：**IMR1 FFFFF102H
IMR1L FFFFF102H, IMR1H FFFFF103H

		15	14	13	12	11	10	9	8
IMR1	(IMR1H注)	TM0MK20	BRGMK	WTMK	WTIMK	KRMK	ADMK	IICMK0	CSIAMK0
		7	6	5	4	3	2	1	0
	(IMR1L)	TMHMK1	TMHMK0	STMK1	SRMK1	SREMK1	STMK0	SRMK0	SREMK0

リセット時：FFFFH　R/W　**アドレス：**IMR2 FFFFF104H
IMR2L FFFFF104H, IMR2H FFFFF105H

		15	14	13	12	11	10	9	8
IMR2	(IMR2H注)	1	1	1	1	STMK2	SRMK2	SREMK2	1
		7	6	5	4	3	2	1	0
	(IMR2L)	1	1	1	1	CSIAMK1	TM0MK31	TM0MK30	TM0MK21

リセット時：FFFFH　R/W　**アドレス：**IMR3 FFFFF106H
IMR3L FFFFF106H, IMR3H FFFFF107H

		15	14	13	12	11	10	9	8
IMR3	(IMR3H注)	1	1	1	1	1	1	1	DMAMK3
		7	6	5	4	3	2	1	0
	(IMR3L)	DMAMK2	DMAMK1	DMAMK0	TP0CCMK1	TP0CCMK2	TP0OVFMK	PMK7	LVIMK

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

注　IMR0-IMR3のビット8-15を8/1ビット単位でリード／ライトする場合は，IMR0H-IMR3Hのビット0-7として指定してください。

注意　IMR2レジスタのビット15-12, 8-4, IMR3レジスタのビット15-9には，必ず1を設定してください。変更した場合の動作は保証できません。

備考　xx：各周辺ユニット識別名称（表21－2　割り込み制御レジスタ（xxICn）参照）
n　：周辺ユニット番号（表21－2　割り込み制御レジスタ（xxICn）参照）

21. 3. 6　インサービス・プライオリティ・レジスタ（ISPR）

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると，その割り込み要求信号の優先順位レベルに対応するビットがセット（1）され，サービス中保持されます。

RETI命令の実行時，ISPRレジスタ内でセット（1）されているビットのうち，最も優先順位の高い割り込み要求信号に対応するビットがハードウエアにより自動的にクリア（0）されます。ただし，ノンマスカブルの割り込み処理や例外処理からの復帰の場合はクリア（0）されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

注意　割り込み許可（EI）状態において，ISPR レジスタをリード中に割り込みを受け付けた場合，その割り込み受け付けによるビットがセット（1）されたあとの ISPR レジスタ値がリードされることがあります。割り込み受け付け前の ISPR レジスタの値を確実にリードしたい場合は，割り込み禁止（DI）状態でリードしてください。

リセット時：00H　　R　　アドレス：FFFFF1FAH

	⑦	⑥	⑤	④	③	②	①	⓪
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求を受け付けていない
1	優先順位nの割り込み要求を受け付け中

備考　n：0-7（優先順位のレベル）

21. 3. 7　ID**フラグ**

マスカブル割り込みの動作状態を制御し，割り込み要求信号受け付けの許可／禁止制御情報を記憶します。割り込み禁止フラグ（ID）は，PSWに割り付けられています。

リセットにより00000020Hになります。

リセット時：00000020H

	31	8	7	6	5	4	3	2	1	0
PSW	0		NP	EP	ID	SAT	CY	OV	S	Z

ID	マスカブル割り込み処理の指定[注]
0	マスカブル割り込み要求信号の受け付けを許可
1	マスカブル割り込み要求信号の受け付けを禁止

注　割り込み禁止フラグ（ID）の機能

DI命令でセット（1），EI命令でクリア（0）されます。また，RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスカブル割り込み要求信号および例外は，このフラグの状態に関係なく受け付けられます。

また，マスカブル割り込み要求信号を受け付けると，IDフラグはハードウエアで自動的にセット（1）されます。

受け付け禁止期間中（IDフラグ = 1）に発生した割り込み要求信号は，xxICn.xxIFnビットがセット（1）され，IDフラグがクリア（0）されると受け付けられます。

21. 3. 8　ウォッチドッグ・タイマ・モード・レジスタ1（WDTM1）

このレジスタは，特定レジスタです。特定のシーケンスによってのみ書き込みができます。マスカブル割り込み（INTWDT1）を発生させるには，WDTM14ビットを0に設定してください。

8/1ビット単位でリード／ライト可能です（詳細は第12章　ウォッチドッグ・タイマ機能参照）。

リセット時：00H　R/W　アドレス：FFFFF6C2H

	⑦	6	5	4	3	2	1	0
WDTM1	RUN1	0	0	WDTM14	WDTM13	0	0	0

RUN1	ウォッチドッグ・タイマの動作モードの選択注1
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM14	WDTM13	ウォッチドッグ・タイマの動作モードの選択注2
0	0	インターバル・タイマ・モード
0	1	（オーバフロー発生時，マスカブル割り込みINTWDTM1発生）
1	0	ウォッチドッグ・タイマ・モード1注3 （オーバフロー発生時，ノンマスカブル割り込みINTWDT1発生）
1	1	ウォッチドッグ・タイマ・モード2 （オーバフロー発生時，リセット動作WDTRES2を起動）

注1. RUN1ビットは，一度セット（1）されると，ソフトウエアでクリア（0）することはできません。
したがって，カウントを開始すると，リセット以外で停止させることはできません。

2. WDTM14，WDTM13ビットは，一度セット（1）されると，ソフトウエアでクリア（0）することはできません。これらのビットをクリアするには，リセットだけが有効です。

3. ノンマスカブル割り込み要求信号（INTWDT1）による，ノンマスカブル割り込み処理については，21. 10　注意事項を参照してください。

21. 4　外部割り込み要求入力端子（NMI, INTP0-INTP7）

21. 4. 1　ノイズ除去

(1) NMI端子のノイズ除去

NMI端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって，NMI端子への入力レベルを一定時間以上維持しなければ，エッジとして検出できません。また，エッジの検出は一定時間後になります。

なお，NMI端子はSTOPモードの解除に使用します。STOPモードでは，内部システム・クロックは停止しているため，システム・クロックを使用したノイズ除去を行っていません。

(2) INTP0-INTP2, INTP4-INTP7端子のノイズ除去

INTP0-INTP2, INTP4-INTP7端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって，各端子への入力レベルを一定時間以上維持しなければ，エッジとして検出できません。また，エッジの検出は一定時間後になります。

(3) INTP3端子のノイズ除去

INTP3端子はディジタル／アナログ・ノイズ除去回路を内蔵しており，NFC.NFENビットにより選択できます。

ディジタル・ノイズ除去回路のサンプリング回数は，NFC.NFSTSビットにより3回または2回を選択できます。サンプリング・クロックは，NFC.NFC2-NFC0ビットによりf_{XX}/64, f_{XX}/128, f_{XX}/256, f_{XX}/512, f_{XX}/1024, f_{XT}の中から選択できます。なお，サンプリング・クロックをf_{XX}/64, f_{XX}/128, f_{XX}/256, f_{XX}/512, f_{XX}/1024に設定した場合，IDLE/STOPモード時にサンプリング・クロックが停止するので，スタンバイ解除要因として使用できません。この場合，サンプリング・クロックをf_{XT}とするか，またはアナログ・ノイズ除去回路を選択することで，スタンバイ解除要因として使用できます。

(a) ディジタル・ノイズ除去制御レジスタ（NFC）

NFCレジスタは，INTP3端子のノイズ除去の制御をします。ノイズ除去クロックにf_{XT}を使用すると，IDLE/STOPモード時にもINTP3端子による外部割り込み機能を使用できます。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　**アドレス：**FFFFF318H

	7	6	5	4	3	2	1	0
NFC	NFEN	NFSTS	0	0	0	NFC2	NFC1	NFC0

NFEN	INTP3端子のノイズ除去の設定
0	アナログ・ノイズ除去
1	ディジタル・ノイズ除去

NFSTS	ディジタル・ノイズ除去のサンプリング回数の設定
0	サンプリング回数 = 3回
1	サンプリング回数 = 2回

NFC2	NFC1	NFC0	サンプリング・クロックの選択
0	0	0	f_{XX}/64
0	0	1	f_{XX}/128
0	1	0	f_{XX}/256
0	1	1	f_{XX}/512
1	0	0	f_{XX}/1024
1	0	1	f_{XT}
上記以外			設定禁止

備考　f_{XX}：メイン・クロック周波数

f_{XT}：サブクロック周波数

＜ノイズ除去幅＞

ディジタル・ノイズ除去幅（t_{WIT3}）は，サンプリング・クロック周期：T，サンプリング回数：Mとすると，次のようになります。

- t_{WIT3}＜（M－1）T　　：確実にノイズとして除去
- （M－1）T≦t_{WIT3}＜MT　　：ノイズとして除去，あるいは有効エッジとして検出
- t_{WIT3}≧MT　　：確実に有効エッジとして検出

したがって，INTP3端子入力の有効エッジを確実に検出するためには，MT以上のパルス幅を入力する必要があります。

NFSTS	NFC2	NFC1	NFC0	サンプリング・クロック	除去できる最小ノイズ幅		
					f_{XX} = 20 MHz	f_{XX} = 10 MHz	f_{XX} = 8 MHz
0	0	0	0	f_{XX}/64	6.4 μs	12.8 μs	16 μs
0	0	0	1	f_{XX}/128	12.8 μs	25.6 μs	32 μs
0	0	1	0	f_{XX}/256	25.6 μs	51.2 μs	64 μs
0	0	1	1	f_{XX}/512	51.2 μs	102.4 μs	128 μs
0	1	0	0	f_{XX}/1024	102.4 μs	204.8 μs	256 μs
0	1	0	1	f_{XT}（32.768 kHz）	61.04 μs		
1	0	0	0	f_{XX}/64	3.2 μs	6.4 μs	8 μs
1	0	0	1	f_{XX}/128	6.4 μs	12.8 μs	16 μs
1	0	1	0	f_{XX}/256	12.8 μs	25.6 μs	32 μs
1	0	1	1	f_{XX}/512	25.6 μs	51.2 μs	64 μs
1	1	0	0	f_{XX}/1024	51.2 μs	102.4 μs	128 μs
1	1	0	1	f_{XT}（32.768 kHz）	30.52 μs		
上記以外				設定禁止			

21. 4. 2　エッジ検出

NMI, INTP0-INTP7端子の有効エッジは，次の4種類から端子ごとに選択できます。

- 立ち上がりエッジ
- 立ち下がりエッジ
- 両エッジ
- エッジ検出なし

リセット後のNMI端子は“エッジ検出なし”になっていますので，INTF0, INTR0レジスタで有効エッジを許可しないと，割り込み要求を受け付けません（通常ポートとして機能します）。

P02を出力ポートとして使用する場合は，NMI端子の有効エッジを“エッジ検出なし”に設定してください。

（1）外部割り込み立ち上がり，立ち下がりエッジ指定レジスタ0（INTR0, INTF0）

NMI, INTP0-INTP3端子の立ち上がり，立ち下がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hなります。

注意　外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF0n, INTR0nビット = 00に設定したあとにポート・モードに設定してください。

リセット時：00H　R/W　アドレス：INTR0 FFFFFC20H, INTF0 FFFFFC00H

	7	6	5	4	3	2	1	0
INTR0	0	INTR06	INTR05	INTR04	INTR03	INTR02	0	0
		INTP3	INTP2	INTP1	INTP0	NMI		

	7	6	5	4	3	2	1	0
INTF0	0	INTF06	INTF05	INTF04	INTF03	INTF02	0	0
		INTP3	INTP2	INTP1	INTP0	NMI		

備考　有効エッジの指定については表21－3を参照してください。

表21－3　NMI, INTP0-INTP3端子の有効エッジの指定

INTF0n	INTR0n	有効エッジの指定（n = 2-6）
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

備考　n = 2：NMI端子の制御

n = 3-6：INTP0-INTP3端子の制御

(2) 外部割り込み立ち上がり，立ち下がりエッジ指定レジスタ3（INTR3, INTF3）

INTP7端子の立ち上がり，立ち下がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF31, INTR31ビット = 00に設定したあとにポート・モードに設定してください。

リセット時：00H　R/W　アドレス：INTR3 FFFFFC26H, INTF3 FFFFFC06H

	7	6	5	4	3	2	1	0
INTR3	0	0	0	0	0	0	INTR31	0
							INTP7	

	7	6	5	4	3	2	1	0
INTF3	0	0	0	0	0	0	INTF31	0
							INTP7	

備考　有効エッジの指定については表21－4を参照してください。

表21－4　INTP7端子の有効エッジの指定

INTF31	INTR31	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

（3）外部割り込み立ち上がり，立ち下がりエッジ指定レジスタ9H（INTR9H, INTF9H）

INTP4-INTP6端子の立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF9n, INTR9nビット = 00に設定したあとにポート・モードに設定してください。

リセット時：00H　R/W　アドレス：INTR9H FFFFFC33H, INTF9H FFFFFC13H

	7	6	5	4	3	2	1	0
INTR9H	INTR915	INTR914	INTR913	0	0	0	0	0
	INTP6	INTP5	INTP4					

	7	6	5	4	3	2	1	0
INTF9H	INTF915	INTF914	INTF913	0	0	0	0	0
	INTP6	INTP5	INTP4					

備考　有効エッジの指定については表21－5を参照してください。

表21－5　INTP4-INTP6端子の有効エッジの指定

INTF9n	INTR9n	有効エッジの指定（n = 13-15）
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

備考　n = 13-15：INTP4-INTP6端子の制御

21. 5　ソフトウエア例外

ソフトウエア例外は，CPUのTRAP命令の実行により発生する例外で，常に受け付け可能です。

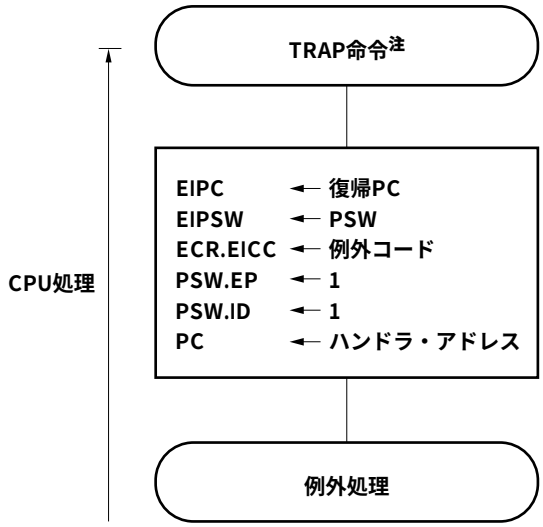
21. 5. 1　動　　作

ソフトウエア例外が発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

① 復帰PCをEIPCに退避します。
② 現在のPSWをEIPSWに退避します。
③ ECR（割り込み要因）の下位16ビット（EICC）に例外コードを書き込みます。
④ PSW.EP, IDビットをセット（1）します。
⑤ PCにソフトウエア例外に対するハンドラ・アドレス（00000040Hまたは00000050H）をセットし，制御を移します。

ソフトウエア例外の処理形態を，次に示します。

図21－8　ソフトウエア例外の処理形態



注　TRAP命令フォーマット：TRAP vector（ただし，vectorは00H-1FHの値）

ハンドラ・アドレスは，TRAP命令のオペランド（vector）によって決まります。vectorが00H-1FHの場合は00000040Hとなり，10H-1FHの場合は00000050Hとなります。

21. 5. 2　復　　帰

ソフトウエア例外処理からの復帰は，RETI命令により行います。

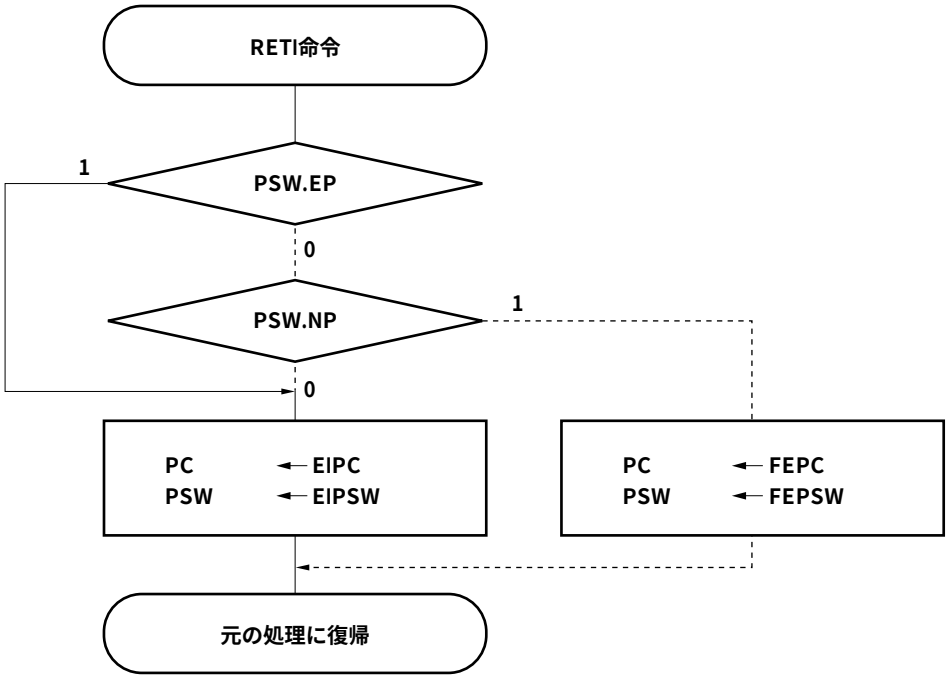
RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

① PSW.EPビット = 1なので，EIPC, EIPSWから復帰PC, PSWを取り出します。

② 取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図21－9　RETI命令の処理形態



注意　ソフトウエア例外処理中にLDSR命令によりEP, NPビットを変更した場合には，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前で，LDSR命令を使用してEPビット = 1に戻しておく必要があります。

備考　CPUは実線のフローで処理します。

21. 5. 3　EPフラグ

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

リセット時：00000020H

	31	8	7	6	5	4	3	2	1	0
PSW	0		NP	EP	ID	SAT	CY	OV	S	Z

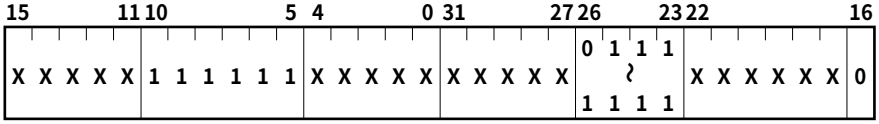
EP	例外処理状態
0	例外処理中でない
1	例外処理中

21.6　例外トラップ

例外トラップは，命令の不正実行が発生した場合に要求される割り込みです。V850ES/KG1+では，不正命令コード・トラップ（ILGOP：Illegal Opcode Trap）が例外トラップに当たります。

21.6.1　不正命令コード

不正命令は，命令のオペコード（ビット10-5）が111111Bで，サブオペコード（ビット26-23）が0111B-1111B，サブオペコード（ビット16）が0Bであるものです。この不正命令に当てはまる命令を実行したときに，例外トラップが発生します。



X：任意

注意　不正命令コードには，将来，新規に命令を割り当てる可能性があるため，使用しないことを推奨します。

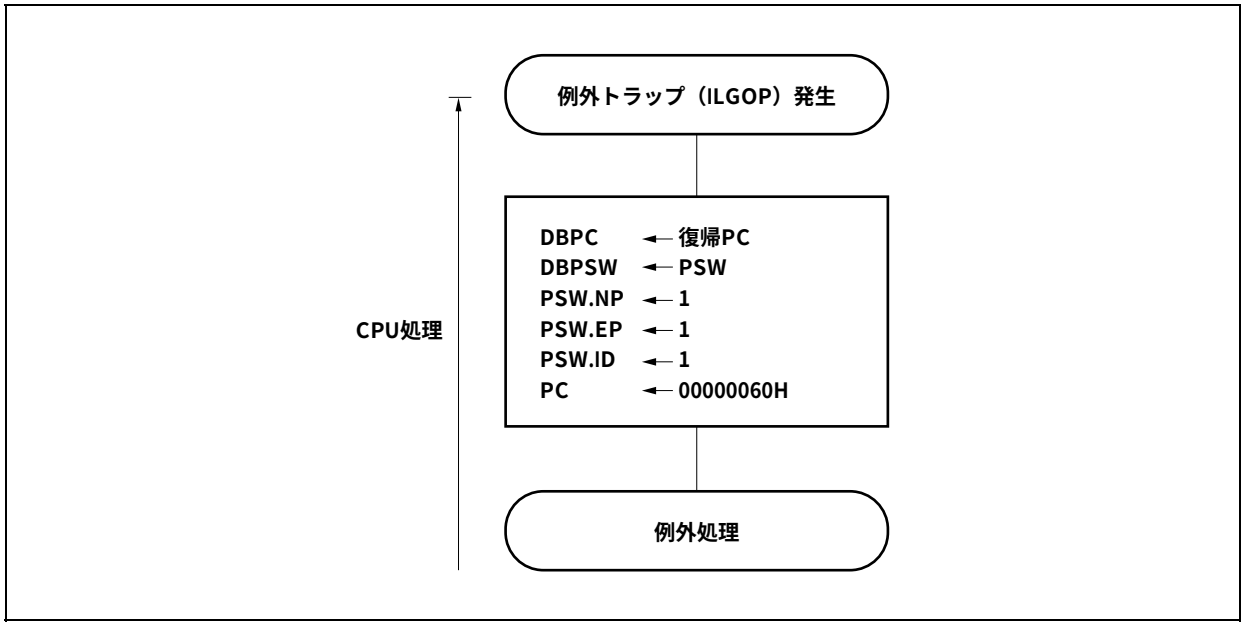
（1）動　　作

例外トラップが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

① 復帰PCをDBPCに退避します。
② 現在のPSWをDBPSWに退避します。
③ PSW.NP, EP, IDビットをセットします。
④ PCに例外トラップに対するハンドラ・アドレス（00000060H）をセットし，制御を移します。

例外トラップの処理形態を次に示します。

図21－10　例外トラップの処理形態



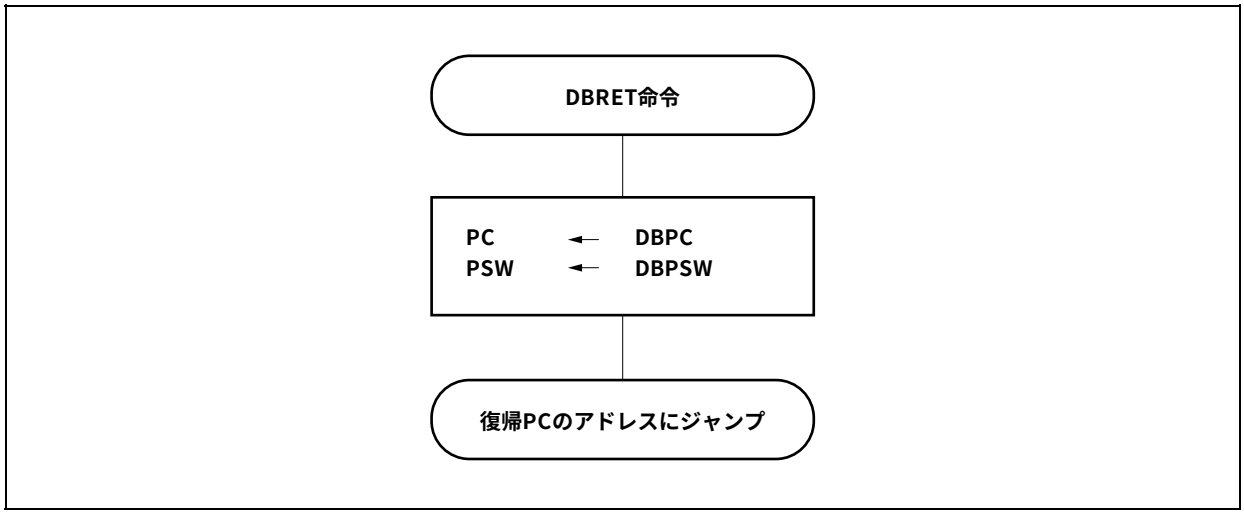
(2) 復　　帰

例外トラップからの復帰は，DBRET命令により行われます。DBRET命令の実行により，CPUは次の処理を行い復帰PCのアドレスを制御します。

① DBPC, DBPSWから復帰PC, PSWを取り出します。
② 取り出した復帰PC, PSWのアドレスに制御を移します。

例外トラップからの復帰の処理形態を次に示します。

図21－11　例外トラップからの復帰の処理形態



21. 6. 2　ディバグ・トラップ

ディバグ・トラップは，DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

ディバグ・トラップが発生した場合，CPUは次の処理を行います。

(1) 動　　作

① 復帰PCをDBPCに退避します。

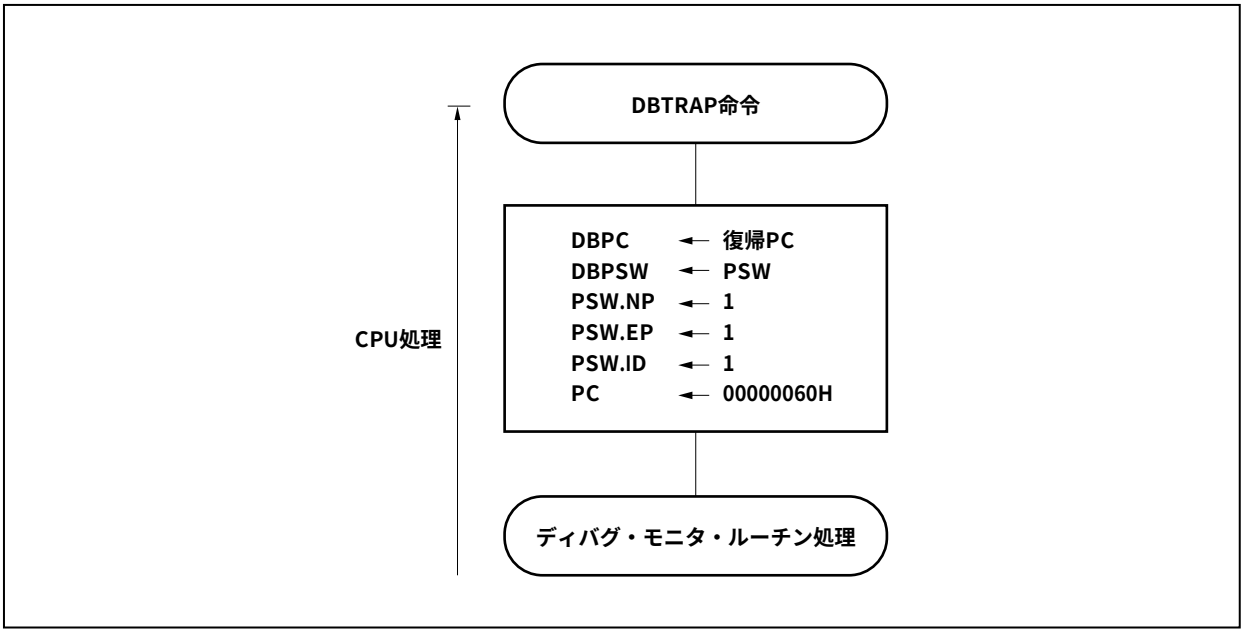
② 現在のPSWをDBPSWに退避します。

③ PSW.NP, EP, IDビットをセットします。

④ PCにディバグ・トラップに対するハンドラ・アドレス（00000060H）をセットし，制御を移します。

ディバグ・トラップの処理形態を次に示します。

図21－12　ディバグ・トラップの処理形態



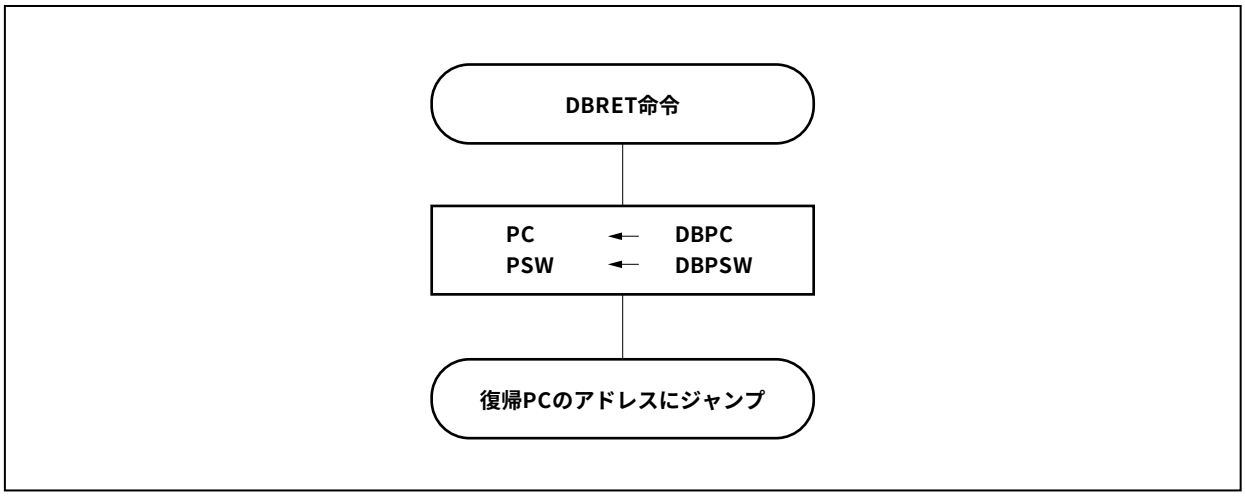
(2) 復　　帰

ディバグ・トラップからの復帰は，DBRET命令により行われます。DBRET命令の実行により，CPUは次の処理を行い復帰PCのアドレスを制御します。

① DBPC, DBPSWから復帰PC, PSWを取り出します。
② 取り出した復帰PC, PSWのアドレスに制御を移します。

ディバグ・トラップからの復帰の処理形態を次に示します。

図21－13　ディバグ・トラップからの復帰の処理形態



21.7　多重割り込み処理制御

多重割り込み処理制御は，現在処理中の割り込みより優先順位レベルの高い割り込み要求信号があった場合，現在処理中の割り込みを中断して，優先順位の高い割り込み要求信号の受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求信号だった場合は，その割り込み要求信号は保留されます。

マスカブル割り込みの多重処理制御は，割り込み許可状態（PSW.IDビット = 0）のときに行われます。したがって，多重割り込みを行う場合は割り込み処理ルーチンでも割り込み許可状態（IDビット = 0）にする必要があります。

マスカブル割り込みまたはソフトウエア例外のサービス・プログラム中に，マスカブル割り込みの許可またはソフトウエア例外を発生させる場合は，EIPC, EIPSWを退避する必要があります。

次のような手順で行います。

（1）サービス・プログラム中にマスカブル割り込み要求信号を受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

```
  …
  …
• EIPCをメモリまたはレジスタへ退避
• EIPSWをメモリまたはレジスタへ退避
• EI命令（割り込み受け付け許可）
  …
  …                          ←マスカブル割り込み受け付け
  …
  …
• DI命令（割り込み受け付け禁止）
• 退避していた値をEIPSWに復帰
• 退避していた値をEIPCに復帰
• RETI命令
```

(2) サービス・プログラム中に例外を発生させる場合

マスカブル割り込みまたは例外のサービス・プログラム

```
…
…
・EIPCをメモリまたはレジスタへ退避
・EIPSWをメモリまたはレジスタへ退避
…
・TRAP命令                          ←TRAP命令などの例外受け付け
…
・退避していた値をEIPSWに復帰
・退避していた値をEIPCに復帰
・RETI命令
```

多重割り込み処理制御のための優先順位は，各マスカブル割り込み要求ごとに0-7までの8レベル（0が最優先）が，ソフトウエアにより任意に設定可能です。優先順位レベルの設定は，マスカブル割り込み要求ごとに用意されているxxICn.xxPRn0-xxPRn2ビットで行います。システム・リセット時には，xxICn.xxMKnビットにより割り込み要求はマスクされ，xxPRn0-xxPRn2ビットにより優先順位はレベル7に設定されます。

マスカブル割り込みの優先順位は次のようになります。

（高）　レベル0＞レベル1＞レベル2＞レベル3＞レベル4＞レベル5＞レベル6＞レベル7　（低）

多重処理制御により中断された割り込み処理は，優先順位レベルの高い割り込み処理が終了し，RETI命令が実行されたあと，再開します。

保留された割り込み要求信号は，実行中の割り込み処理が終了したあと，RETI命令の実行後に受け付けられます。

注意　ノンマスカブル割り込み処理ルーチン内（RETI命令を実行するまでの期間）では，マスカブル割り込みを受け付けず，保留します。

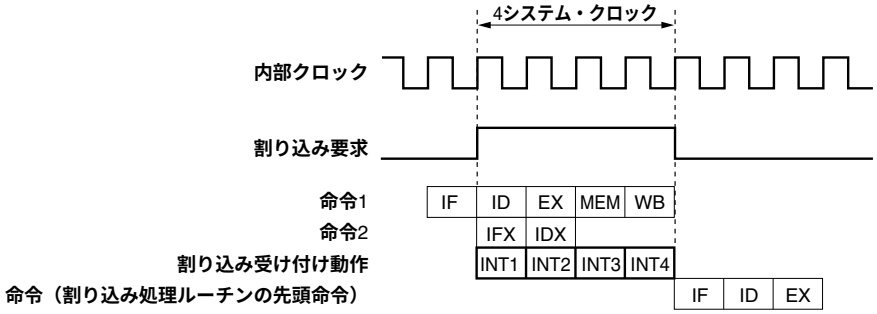
21. 8　割り込み応答時間

次の場合を除き，CPUの割り込み応答時間は，最小4クロックとなります。連続して割り込み要求信号を入力する場合には，最低でも4クロック以上間をあけて次の割り込み要求信号を入力する必要があります。

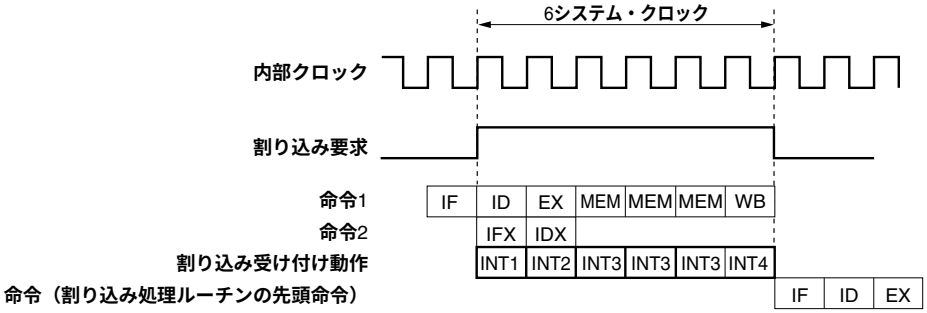
- IDLE/STOPモード時
- 外部バス・アクセス時
- 割り込み要求非サンプル命令（21. 9　CPUが割り込みを受け付けられない期間参照）が連続しているとき
- 割り込み制御レジスタへのアクセス時
- 周辺I/Oレジスタへのアクセス時

図21－14　割り込み要求信号受け付け時のパイプライン動作（概略）

（1）最小割り込み応答時間



（2）最大割り込み応答時間



備考　INT1-INT4：割り込み受け付け処理
IFX：無効となる命令フェッチ
IDX：無効となる命令デコード

	割り込み応答時間（内部システム・クロック）		条　件
	内部割り込み	外部割り込み	
最小	4	4＋アナログ・ディレイ	次の場合は除きます。 ・IDLE/STOPモード時 ・外部バス・アクセス時 ・割り込み要求非サンプル命令が連続しているとき ・割り込み制御レジスタへのアクセス時 ・周辺I/Oレジスタへのアクセス時
最大	6	6＋アナログ・ディレイ	

★ 21. 9　CPUが割り込みを受け付けられない期間

CPUの割り込み受け付けは，命令の実行中に行います。ただし，割り込み要求非サンプル命令とその次の命令の間では，割り込みを受け付けません（割り込みは保留されます）。

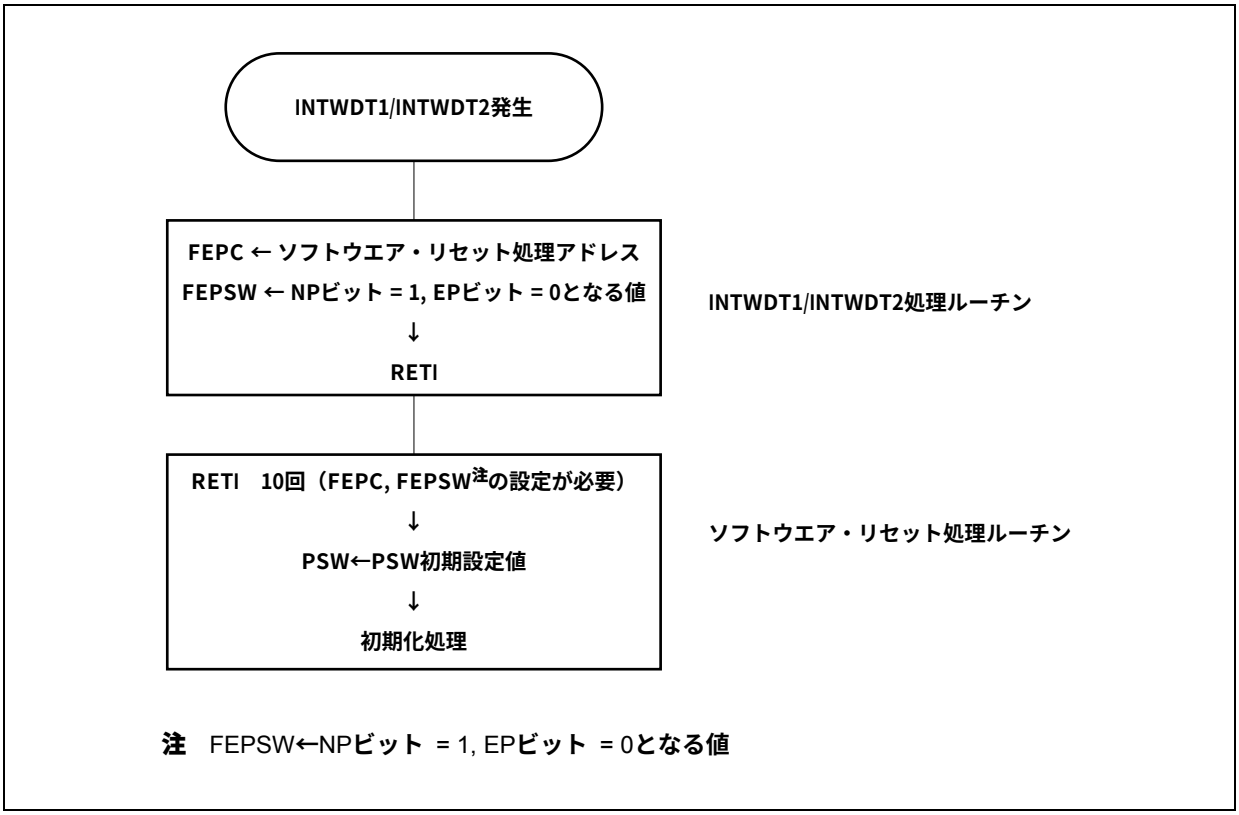
割り込み要求非サンプル命令は次のとおりです。

- EI命令
- DI命令
- LDSR　reg2, 0x5命令（対PSW）
- PRCMDレジスタに対するストア命令
- 次のレジスタに対するストア命令およびSET1, NOT1, CLR1操作命令
  - 割り込み関連のレジスタ：
    割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ0-3（IMR0-IMR3）
  - パワー・セーブ・コントロール・レジスタ（PSC）

21. 10　注意事項

ノンマスカブル割り込み要求信号（INTWDT1/INTWDT2）によるノンマスカブル割り込み処理後のRETI命令による復帰は次のようにしてください。

図21－15　RETI命令による復帰



第22章　キー割り込み機能

22. 1　機　　能

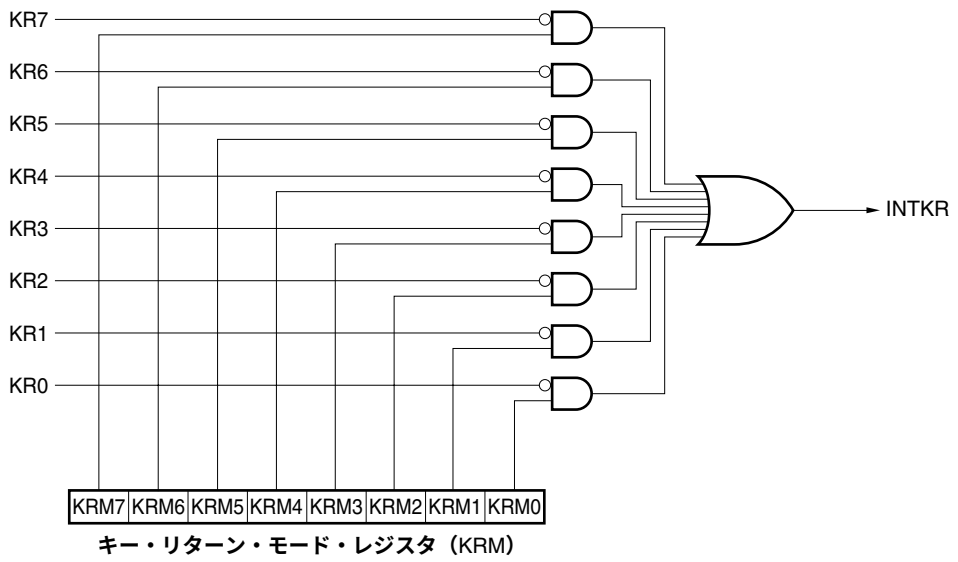
KRMレジスタの設定により，キー入力端子（KR0-KR7）に立ち下がりエッジを入力することによって，キー割り込み要求信号（INTKR）を発生させることができます。

注意　KR0-KR7端子のうち1つでもロウ・レベルが入力されていると，別の端子で立ち下がりエッジを入力してもINTKR信号が発生しません。

表22－1　キー・リターン検出端子の割り当て

フラグ	設定される端子
KRM0	KR0信号を1ビット単位で制御
KRM1	KR1信号を1ビット単位で制御
KRM2	KR2信号を1ビット単位で制御
KRM3	KR3信号を1ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

図22－1　キー・リターンのブロック図



22. 2　レジスタ

(1) キー・リターン・モード・レジスタ（KRM）

KRMレジスタは，KRM0-KRM7ビットをそれぞれKR0-KR7信号を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF300H

	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー・リターン・モードの制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

注意　KRMレジスタを変更すると，割り込み要求信号（INTKR）が発生する場合があります。したがって，あらかじめ割り込みを禁止（DI）してからKRMレジスタを変更し，割り込み要求フラグ（KRIC.KRIFビット）をクリア（0）してから，割り込みを許可（EI）してください。

備考　兼用端子の設定は表4－16　ポート端子を兼用端子として使用する場合を参照してください。

第23章　スタンバイ機能

23.1　概　　要

各モードを組み合わせ，用途によって切り替えて使用すると，効果的な低消費電力システムを実現できます。スタンバイ機能には，次に示すものがあります。

表23－1　スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックのみを停止させるモード
IDLEモード	発振回路以外の内部回路の動作をすべて停止させるモード注1
STOPモード	サブクロック発振回路以外の内部回路の動作をすべて停止させるモード注2
サブクロック動作モード	内部システム・クロックをサブクロックで動作させるモード
サブIDLEモード	サブクロック動作モード時，発振回路以外の内部回路の動作をすべて停止させるモード
内蔵発振クロック動作モード注3	クロック・モニタ機能により，内部システム・クロック（f_{CLK}）が内蔵発振クロックで動作するモード
内蔵発振HALTモード注3	内蔵発振クロック動作モード時，CPUの動作クロック（f_{CPU}）のみを停止させるモード

注1.　PLLは停止しません。低消費電力を実現する場合PLLを停止してからIDLEモードへ移行してください。

2.　クロック・スルー・モードに変更し，次にPLLを停止させたあと，STOPモードに移行してください。詳細は第6章　クロック発生機能を参照してください。

3.　内蔵発振クロック動作モード，内蔵発振HALTモードの詳細は第25章　クロック・モニタを参照してください。

図23－1　状態遷移図（1/2）

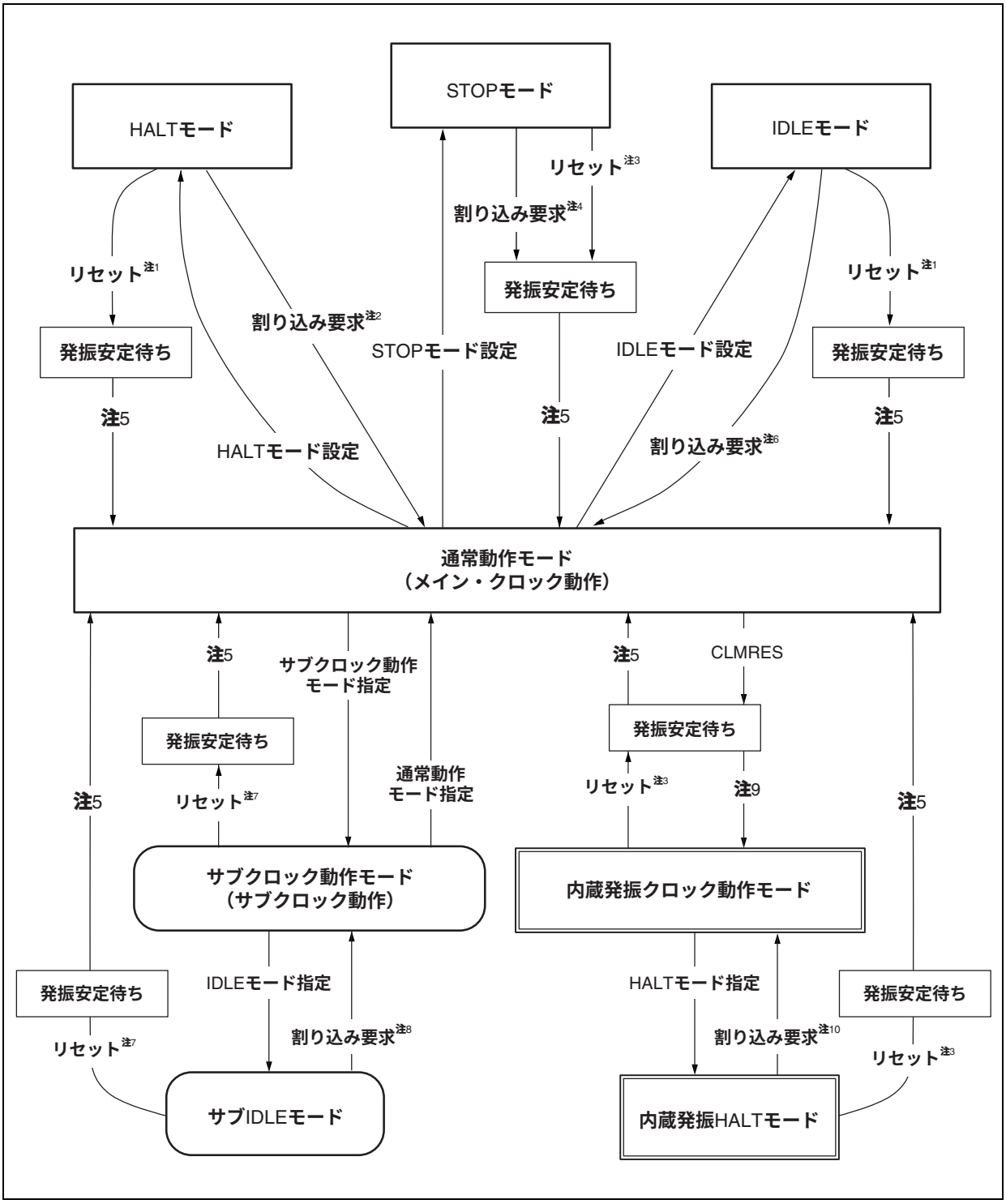


図23－1　状態遷移図（2/2）

注1. $\overline{\text{RESET}}$**端子入力，**WDTRES2, POCRES, LVIRES, CLMRES**信号。**
なお，WDTRES1**信号の場合，発振安定時間を確保しません。**

2. **ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号。**
3. $\overline{\text{RESET}}$**端子入力，**WDTRES2, POCRES, LVIRES**信号。**
4. **ノンマスカブル割り込み要求信号（**NMI**端子入力，**INTWDT2**信号），**STOP**モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号。**
5. **メイン・クロック（**fx**）が発振を開始し，発振安定時間をカウント後，通常動作モードに移行します。発振安定時間確保中にメイン・クロック発振（**fx**）の異常（停止）によりウォッチドッグ・タイマ**2**がオーバフローすると，内蔵発振クロック動作モードに移行します。**
6. **ノンマスカブル割り込み要求信号（**NMI**端子入力，**INTWDT2**信号），**IDLE**モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号。**
7. $\overline{\text{RESET}}$**端子入力，**WDTRES2, POCRES, LVIRES**信号。**
ただしメイン・クロック発振（fx**）が動作している場合は，**CLMRES**信号による解除が可能です（注**9**参照）。**
8. **ノンマスカブル割り込み要求信号（**NMI**端子入力，**INTWDT2**信号），サブ**IDLE**モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号。**
9. **メイン・クロック発振（**fx**）の異常（停止）のため，ウォッチドッグ・タイマ**1**による発振安定時間のカウント動作は行われず，内蔵発振クロックによるウォッチドッグ・タイマ**2**のカウント動作により，オーバフローすることで内蔵発振クロック動作モードに移行します。**
10. **ノンマスカブル割り込み要求信号（**NMI**端子入力，**INTWDT2**信号），内蔵発振**HALT**モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号。**

備考1. WDTRES1**信号　：ウォッチドッグ・タイマ**1**によるオーバフローによるリセット信号**
2. WDTRES2**信号　：ウォッチドッグ・タイマ**2**によるオーバフローによるリセット信号**
3. POCRES**信号　：パワーオン・クリア回路によるリセット信号**
4. LVIRES**信号　：低電圧検出回路によるリセット信号**
5. CLMRES**信号　：クロック・モニタによるリセット信号**

23. 2　レジスタ

(1) パワー・セーブ・コントロール・レジスタ（PSC）

スタンバイ機能を制御する8ビットのレジスタです。STPビットの設定によりスタンバイ・モードを指定します。PSCレジスタは特定レジスタです。特定のシーケンスによってだけ書き込みができます（3. 4. 7　特定レジスタ参照）。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hなります。

リセット時：00H　R/W　アドレス：FFFFF1FEH

	⑦	6	⑤	④	3	2	①	0
PSC	NMI2M	0	NMI0M	INTM	0	0	STP	0

NMI2M	INTWDT2信号によるスタンバイ・モード注解除の制御
0	INTWDT2信号によるスタンバイ・モード注解除許可
1	INTWDT2信号によるスタンバイ・モード注解除禁止

NMI0M	NMI端子入力によるスタンバイ・モード注解除の制御
0	NMI端子入力によるスタンバイ・モード注解除許可
1	NMI端子入力によるスタンバイ・モード注解除禁止

INTM	マスカブル割り込み要求信号によるスタンバイ・モード注解除の制御
0	マスカブル割り込み要求信号によるスタンバイ・モード注解除許可
1	マスカブル割り込み要求信号によるスタンバイ・モード注解除禁止

STP	スタンバイ・モード注の設定
0	通常モード
1	スタンバイ・モード注

注　スタンバイ・モードとは，ここではIDLE/STOPモードのことです。HALTモードは含みません。

注意1.　NMI2M, NMI0M, INTMビットと，STPビットを同時にセット（1）した場合，NMI2M, NMI0M, INTMビットの設定は無効になります。したがって，STOPモードに移行する際にマスクされていない保留中の割り込み要求がある場合は，その割り込み要求に対するビット（NMI2M, NMI0M, INTM）をセット（1）したあとにSTPビットをセット（1）してください。

2.　IDLE/STOPモードに設定するときは，PSMR.PSMビットを設定してから，STPビットをセット（1）してください。

(2) パワー・セーブ・モード・レジスタ（PSMR）

パワー・セーブ・モードの動作状態やクロックの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF820H

	7	6	5	4	3	2	1	⓪
PSMR	XTSTP	0	0	0	0	0	0	PSM

XTSTP	サブクロック発振回路使用／未使用の指定
0	サブクロック発振回路使用
1	サブクロック発振回路未使用

PSM	スタンバイ・モード時の動作指定
0	IDLEモード
1	STOPモード

注意1. サブクロック発振子を接続しているときは，XTSTPビットには必ず0を設定してください。

2. PSMRレジスタのビット1-6には，必ず0を設定してください。

3. PSMビットは，PSC.STPビット = 1のときのみ有効です。

(3) 発振安定時間選択レジスタ（OSTS）

STOPモードを解除してから発振が安定するまでのウエイト時間は，OSTSレジスタで制御します。

OSTSレジスタは，8ビット単位でリード／ライト可能です。

リセットにより01Hになります。

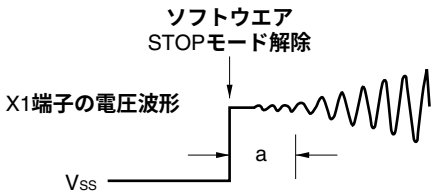
リセット時：注　R/W　アドレス：FFFFF6C0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択			
				fx		
				4 MHz	5 MHz	10 MHz
0	0	0	$2^{13}/f_x$	2.048 ms	1.638 ms	0.819 ms
0	0	1	$2^{15}/f_x$	8.192 ms	6.554 ms	3.277 ms
0	1	0	$2^{16}/f_x$	16.38 ms	13.11 ms	6.554 ms
0	1	1	$2^{17}/f_x$	32.77 ms	26.21 ms	13.11 ms
1	0	0	$2^{18}/f_x$	65.54 ms	52.43 ms	26.21 ms
1	0	1	$2^{19}/f_x$	131.1 ms	104.9 ms	52.43 ms
1	1	0	$2^{20}/f_x$	262.1 ms	209.7 ms	104.9 ms
1	1	1	$2^{21}/f_x$	524.3 ms	419.4 ms	209.7 ms

注　マスク・オプション／オプション・バイトの設定により00H/01Hと異なります。
詳細は第30章　マスク・オプション／オプション・バイトを参照してください。

注意1.　STOPモード解除時のウエイト時間は，リセット入力による場合も，割り込み要求信号発生による場合も，STOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



2.　ビット7-3には必ず“0”を設定してください。

3.　外部クロック入力時においても発振安定時間は挿入されます。

備考　fx = メイン・クロック発振周波数

23. 3　HALTモード

23. 3. 1　設定および動作状態

通常動作モード時，専用命令（HALT命令）を実行することにより，HALTモードに設定されます。

HALTモードに設定すると，クロック発振回路は動作を継続しますが，CPUへのクロック供給のみが停止し，そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより，プログラムの実行が停止し，内蔵RAMの内容は，HALTモード設定前の状態を保持します。また，CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表23－3にHALTモード時の動作状態を示します。

HALTモードは，通常動作モードとの間欠動作により，システム全体の平均消費電力を低減できます。

注意1.　HALT命令のあとには，NOP命令を5命令以上挿入してください。

2.　マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合，HALTモードに移行するが，保留されている割り込み要求によりHALTモードはすぐに解除されます。

23. 3. 2　HALTモードの解除

HALTモードは，ノンマスカブル割り込み要求信号（NMI端子入力，INTWDT1, NTWDT2信号），マスクされていないマスカブル割り込み要求信号，リセット（$\overline{\text{RESET}}$端子入力，WDTRES1, WDTRES2, POCRES, LVIRES, CLMRES信号）により解除されます。

HALTモードの解除により，通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとHALTモードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，HALTモードの解除とともにこの割り込み要求信号を受け付けます。

表23－2　割り込み要求信号によるHALTモードの解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	ハンドラ・アドレスに分岐， または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表23－3　HALTモード時の動作状態

項　目 ＼ HALTモードの設定		CPUがメイン・クロックで動作中	
		サブクロックがない場合	サブクロックがある場合
CPU		動作停止	
ROMコレクション		動作停止	
メイン・クロック発振回路		発振可能	
サブクロック発振回路		－	発振可能
内蔵発振器（f_R）		動作可能	
割り込みコントローラ		動作可能	
16ビット・タイマ（TMP0）		動作可能	
16ビット・タイマ（TM00-TM03）		動作可能	
8ビット・タイマ（TM50, TM51）		動作可能	
タイマH（TMH0, TMH1）		動作可能	
時計用タイマ		カウント・クロックにメイン・クロックを選択時に動作可能	動作可能
ウォッチドッグ・タイマ1		動作可能	
ウォッチドッグ・タイマ2		カウント・クロックにf_R/8を選択時に動作可能	動作可能
シリアル・インタフェース	CSI00, CSI01	動作可能	
	CSIA0, CSIA1	動作可能	
	I^2C0注	動作可能	
	UART0-UART2	動作可能	
キー割り込み機能		動作可能	
A/Dコンバータ		動作可能	
D/Aコンバータ		リアルタイム出力モードを選択時に動作可能	
リアルタイム出力		動作可能	
DMA		動作可能	
クロック・モニタ（CLM）		動作可能	
パワーオン・クリア（POC）		動作可能	
低電圧検出（LVI）		動作可能	
レギュレータ		動作可能	
ポート機能		HALTモード設定前の状態を保持	
外部バス・インタフェース		2. 2　端子状態参照	
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMなどの内部データは，すべてHALTモード設定前の状態を保持	

注　μPD703313Y, 70F3311Y, 70F3313Yのみ

23. 4　IDLEモード

23. 4. 1　設定および動作状態

通常動作モード時，PSMR.PSMビットを“0”に設定し，PSC.STPビットを“1”に設定することにより，IDLEモードに設定されます。

IDLEモードに設定すると，クロック発振回路は動作を継続しますが，CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMの内容はIDLEモード設定前の状態を保持します。また，CPUやそのほかの内蔵周辺機能は動作を停止します。ただし，サブクロックや内蔵発振クロック，あるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

表23－5にIDLEモード時の動作状態を示します。

IDLEモードは，内蔵周辺機能の動作が停止するので，HALTモードよりさらに低消費電力を実現できます。また，メイン・クロック発振回路は停止しないので，IDLEモード解除時，HALTモードと同様に発振安定時間を確保することなく，通常動作モードに復帰できます。

注意　IDLEモードに設定するためのPSCレジスタに対するストア命令の後には，NOP命令を5命令以上挿入してください。

23. 4. 2　IDLEモードの解除

IDLEモードは，ノンマスカブル割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力），IDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット（WDTRES1信号を除く）により解除されます。

IDLEモードの解除により，通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でIDLEモードに設定した場合は次のようになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLEモードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，IDLEモードの解除とともにこの割り込み要求信号を受け付けます。

表23－4　割り込み要求信号によるIDLEモードの解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	ハンドラ・アドレスに分岐， または次の命令を実行	次の命令を実行

注意　PSC.NMI2M, NMI0M, INTMビット = 1（割り込み禁止）になっている割り込み要求信号は無効となり，IDLEモードは解除されません。

(2) リセットによる解除

通常のリセット動作と同じです。

表23－5　IDLEモード時の動作状態（1/2）

項　目 ＼ IDLEモードの設定		CPUがメイン・クロックで動作中	
		サブクロックがない場合	サブクロックがある場合
CPU		動作停止	
ROMコレクション		動作停止	
メイン・クロック発振回路		発振可能	
サブクロック発振回路		－	発振可能
内蔵発振器（f_R）		動作可能	
割り込みコントローラ		動作停止	
16ビット・タイマ（TMP0）		動作停止	
16ビット・タイマ （TM00-TM03）		TM00, TM02, TM03：動作停止 TM01：カウント・クロックにINTWTを選択し，WTのカウント・クロックにf_{BRG}を選択時に動作可能	TM00, TM02, TM03：動作停止 TM01：カウント・クロックにINTWTを選択時に動作可能
8ビット・タイマ （TM50, TM51）		・カウント・クロックにTI5mを選択時に動作可能 ・カウント・クロックにINTTM010を選択し，TM01をIDLEモード時の動作可能条件に設定時に動作可能	
タイマH（TMH0）		動作停止	
★ タイマH（TMH1）		カウント・クロックにf_R/8を選択時に動作可能	
時計用タイマ		カウント・クロックにメイン・クロックを選択時に動作可能	動作可能
ウォッチドッグ・タイマ1		動作停止	
★ ウォッチドッグ・タイマ2		カウント・クロックにf_R/8を選択時に動作可能	動作可能
シリアル・インタフェース	CSI00, CSI01	動作クロックに$\overline{SCK0m}$入力クロックを選択時に動作可能	
	CSIA0, CSIA1	動作停止	
	I^2C0注1	動作停止	
	UART0	カウント・クロックにASCK0を選択時に動作可能	
	UART1, UART2	動作停止	
キー割り込み機能		動作可能	
A/Dコンバータ		動作停止注2	
★ D/Aコンバータ		動作可能 ただし，CPUが停止しているため，DACSnレジスタを更新できません。	
リアルタイム出力		リアルタイム出力トリガとしてINTTM5mを選択し，TM5mをIDLEモード時の動作可能条件に設定時に動作可能。ただし，CPUが停止しているためRTBH0, RTBL0レジスタは更新できません。	

注1.　μPD703313Y, 70F3311Y, 70F3313Yのみ

★　2.　ADM.ADCS, ADCS2ビット = 00Bに設定してください。

備考　m = 0, 1

表23－5　IDLEモード時の動作状態（2/2）

IDLEモードの設定 / 項　目	CPUがメイン・クロックで動作中	
	サブクロックがない場合	サブクロックがある場合
DMA	動作停止	
クロック・モニタ（CLM）	動作可能	
パワーオン・クリア（POC）	動作可能	
低電圧検出（LVI）	動作可能	
レギュレータ	動作継続	
ポート機能	IDLEモード設定前の状態を保持	
外部バス・インタフェース	2. 2　端子状態参照	
内部データ	CPUのレジスタ，ステータス，データ，内蔵RAMなどの内部データは，すべてIDLEモード設定前の状態を保持	

23. 5　STOPモード

23. 5. 1　設定および動作状態

通常動作モード時，PSMR.PSMビットを“1”に設定し，PSC.STPビットを“1”に設定することにより，STOPモードに設定されます。

STOPモードに設定すると，サブクロック発振回路は動作を継続しますが，メイン・クロック発振回路は動作を停止します。また，CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMの内容はSTOPモード設定前の状態を保持します。また，CPUやそのほかの内蔵周辺機能は動作を停止します。ただし，サブクロック発振回路や内蔵発振器，あるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

表23－7にSTOPモード時の動作状態を示します。

STOPモードは，メイン・クロック発振回路の動作が停止するので，IDLEモードよりさらに低消費電力を実現できます。また，サブクロック発振回路，内蔵発振器，かつ外部クロックを使用しない場合は，リーク電流のみの超低消費電力を実現できます

注意　STOPモードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。

23. 5. 2　STOPモードの解除

STOPモードは，ノンマスカブル割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力），STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット（WDTRES1信号を除く）により解除されます。

STOPモードの解除により，発振安定時間を確保したあと，通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとSTOPモードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，STOPモードの解除とともにこの割り込み要求信号を受け付けます。

表23－6　割り込み要求信号によるSTOPモードの解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	ハンドラ・アドレスに分岐， または次の命令を実行	次の命令を実行

注意　PSC.NMI2M, NMI0M, INTMビット = 1（割り込み禁止）になっている割り込み要求信号は無効となり，STOPモードは解除されません。

(2) リセットによる解除

通常のリセット動作と同じです。

表23－7　STOPモード時の動作状態

STOPモードの設定 / 項　目		CPUがメイン・クロックで動作中	
		サブクロックがない場合	サブクロックがある場合
CPU		動作停止	
ROMコレクション		動作停止	
メイン・クロック発振回路		発振停止	
サブクロック発振回路		－	発振可能
内蔵発振器（f_R）		動作可能	
割り込みコントローラ		動作停止	
16ビット・タイマ（TMP0）		動作停止	
16ビット・タイマ（TM00-TM03）		動作停止	TM00, TM02, TM03：動作停止 TM01：カウント・クロックにINTWTを選択し，WTのカウント・クロックにf_{XT}を選択時に動作可能
8ビット・タイマ（TM50, TM51）		カウント・クロックにTI5mを選択時に動作可能	カウント・クロックにTI5mを選択時，またはカウント・クロックにINTTM010を選択し，TM01をSTOPモード時の動作可能条件に設定時に動作可能
タイマH（TMH0）		動作停止	
★ タイマH（TMH1）		カウント・クロックにf_R/2048を選択時に動作可能	カウント・クロックにf_{XT}を選択時に動作可能
時計用タイマ		動作停止	カウント・クロックにf_{XT}を選択時に動作可能
ウォッチドッグ・タイマ1		動作停止	
★ ウォッチドッグ・タイマ2		カウント・クロックにf_R/8を選択時に動作可能	動作可能
シリアル・インタフェース	CSI00, CSI01	動作クロックに$\overline{\text{SCK0m}}$入力クロックを選択時に動作可能	
	CSIA0, CSIA1	動作停止	
	I^2C0[注1]	動作停止	
	UART0	カウント・クロックにASCK0を選択時に動作可能	
	UART1, UART2	動作停止	
キー割り込み機能		動作可能	
A/Dコンバータ		動作停止[注2]	
★ D/Aコンバータ		動作可能 ただし，CPUが停止しているため，DACSnレジスタを更新できません。	
リアルタイム出力		リアルタイム出力トリガとしてINTTM5mを選択し，TM5mをSTOPモード時の動作可能条件に設定時に動作可能。ただし，CPUが停止しているためRTBH0, RTBL0レジスタを更新できません。	
DMA		動作停止	
クロック・モニタ（CLM）		動作停止	
パワーオン・クリア（POC）		動作可能	
低電圧検出（LVI）		動作可能	
レギュレータ		動作停止	
ポート機能		STOPモード設定前の状態を保持	
外部バス・インタフェース		2. 2　端子状態参照	
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMなどの内部データは，すべてSTOPモード設定前の状態を保持	

注1.　μPD703313Y, 70F3311Y, 70F3313Yのみ

★　2.　ADM.ADCS, ADCS2ビット = 00Bに設定してください。

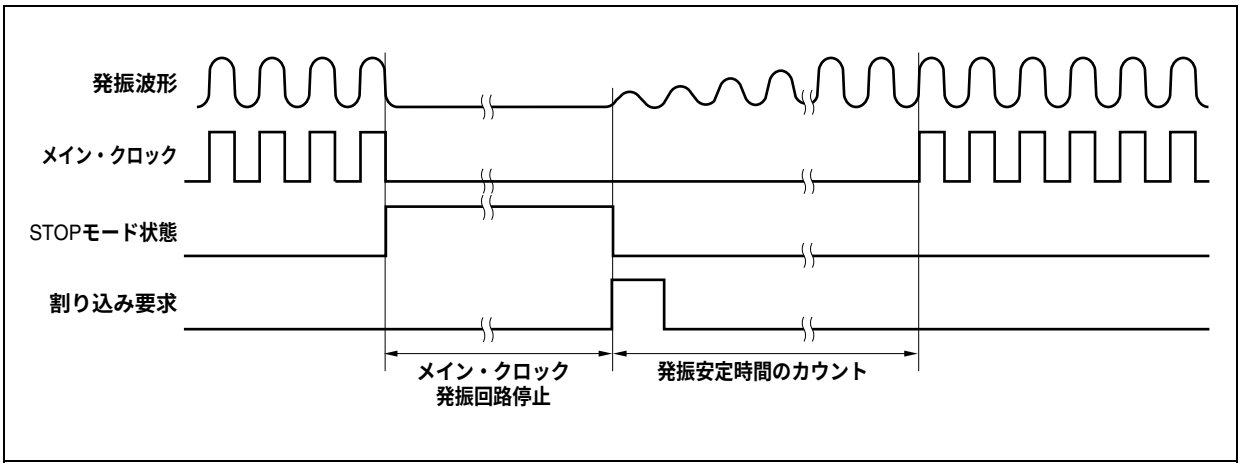
備考　m = 0, 1

23. 5. 3　STOPモード解除時の発振安定時間の確保

STOPモードを解除すると，OSTSレジスタで設定していた時間だけ発振安定時間を確保します。ただし，リセットによる解除時は，OSTSレジスタのリセット値注となります。

STOPモードを割り込み要求信号で解除した場合の動作を次に示します。

図23－2　発振安定時間



注　OSTSレジスタのリセット値はマスク・オプション／オプション・バイトの設定により異なります。詳細は第30章　マスク・オプション／オプション・バイトを参照してください。

注意　OSTSレジスタの詳細は，23. 2（3）発振安定時間選択レジスタ（OSTS）を参照してください。

23. 6　サブクロック動作モード

23. 6. 1　設定および動作状態

通常動作モード時，PCC.CK3ビットを“1”に設定することにより，サブクロック動作モードに設定されます。

サブクロック動作モードに設定すると，内部システム・クロックがメイン・クロック→サブクロックに切り替わります。

さらに，PCC.MCKビットを“1”に設定することにより，メイン・クロック発振回路の動作を停止します。これにより，システム全体がサブクロックでのみ動作します。

表23－8にサブクロック動作モード時の動作状態を示します。

サブクロック動作モードは，内部システム・クロックがサブクロックとなるので，通常動作モードよりも消費電力を低減できます。さらに，メイン・クロック発振回路の動作を停止させることにより，STOPモードに近い低消費電力を実現できます。

注意1.　CK3ビットを操作する場合，PCC.CK2-CK0ビットの設定値は変更しないでください（ビット操作命令を推奨）。詳細は，6. 3（1）プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。

2.　次の条件を満たしていない場合は，条件を満たすようにCK2-CK0ビットを変更後，サブクロック動作モードに移行してください。

内部システム・クロック（f_{CLK}）＞サブクロック（f_{XT}：32.768 kHz）×4

備考　内部システム・クロック（f_{CLK}）：CK2-CK0ビットの設定によってメイン・クロック（f_{XX}）から生成するクロック

23. 6. 2　サブクロック動作モードの解除

サブクロック動作モードは，CK3ビットを“0”に設定するか，リセットにより解除されます。なお，メイン・クロックを停止（MCKビット = 1）していた場合は，MCKビットを“1”に設定し，メイン・クロックの発振安定時間をソフトウエアにより確保してから，CK3ビットを“0”に設定します。

サブクロック動作モードの解除により，通常動作モードに移行します。

注意　CK3ビットを操作する場合，CK2-CK0ビットの設定値は変更しないでください（ビット操作命令を推奨）。詳細は，6. 3（1）　プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。

表23－8　サブクロック動作モード時の動作状態

項　目 ＼ サブクロック動作モードの設定		動作状態	
		メイン・クロック発振時	メイン・クロック停止時
CPU		動作可能	
ROMコレクション		動作可能	
サブクロック発振回路		発振可能	
内蔵発振器（f_R）		動作可能	
割り込みコントローラ		動作可能	
16ビット・タイマ（TMP0）		動作可能	動作停止
16ビット・タイマ（TM00-TM03）		動作可能	TM00, TM02, TM03：動作停止 TM01：カウント・クロックにINTWTを選択し，WTのカウント・クロックにf_{XT}を選択時に動作可能
8ビット・タイマ（TM50, TM51）		動作可能	・カウント・クロックにTI5mを選択時に動作可能 ・カウント・クロックにINTTM010を選択し，TM01をサブクロック動作モード時の動作可能条件に設定時に動作可能
タイマH（TMH0）		動作可能	動作停止
★ タイマH（TMH1）		動作可能	カウント・クロックにf_R/2048を選択時に動作可能
時計用タイマ		動作可能	カウント・クロックにf_{XT}を選択時に動作可能
★ ウォッチドッグ・タイマ1		動作停止	
★ ウォッチドッグ・タイマ2		動作可能	
シリアル・インタフェース	CSI00, CSI01	動作可能	動作クロックに$\overline{\text{SCK0m}}$入力クロックを選択時に動作可能
	CSIA0, CSIA1	動作可能	動作停止
	I^2C0注	動作可能	動作停止
	UART0	動作可能	カウント・クロックにASCK0を選択時に動作可能
	UART1, UART2	動作可能	動作停止
キー割り込み機能		動作可能	
A/Dコンバータ		動作可能	動作停止
★ D/Aコンバータ		動作可能	
リアルタイム出力		動作可能	リアルタイム出力トリガとしてINTTM5mを選択し，TM5mをサブクロック動作モード時の動作可能条件に設定時に動作可能
DMA		動作可能	
クロック・モニタ（CLM）		動作可能	動作停止
パワーオン・クリア（POC）		動作可能	
低電圧検出（LVI）		動作可能	
レギュレータ		動作継続	
ポート機能		設定可能	
外部バス・インタフェース		動作可能	
内部データ		設定可能	

注　μPD703313Y, 70F3311Y, 70F3313Yのみ

備考　m = 0, 1

23. 7　サブIDLEモード

23. 7. 1　設定および動作状態

サブクロック動作モード時，PSMR.PSMビットを“0”に設定し，PSC.STPビットを“1”に設定することにより，サブIDLEモードに設定されます。

サブIDLEモードに設定すると，クロック発振回路は動作を継続しますが，CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMの内容はサブIDLEモード設定前の状態を保持します。また，CPUやそのほかの内蔵周辺機能は動作を停止します。ただし，サブクロックや内蔵発振クロック，あるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

表23－10にサブIDLEモード時の動作状態を示します。

サブIDLEモードは，CPUやその他内蔵周辺機能の動作が停止するので，サブクロック動作モードよりさらに低消費電力を実現できます。また，メイン・クロックを停止してからサブIDLEモードに設定した場合は，STOPモードに近い低消費電力を実現できます。

★　注意　サブIDLEモードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。

23. 7. 2　サブIDLEモードの解除

サブIDLEモードは，ノンマスカブル割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力），サブIDLEモード中動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット（WDTRES1除く）により解除されます。

サブIDLEモードの割り込み要求信号による解除により，サブクロック動作モードに移行します。また，リセットによる解除により，通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でサブIDLEモードに設定した場合は次のようになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとサブIDLEモードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，サブIDLEモードの解除とともにこの割り込み要求信号を受け付けます。

表23－9　割り込み要求信号によるサブIDLEモードの解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	ハンドラ・アドレスに分岐， または次の命令を実行	次の命令を実行

注意　PSC.NMI2M, NMI0M, INTMビット = 1（割り込み禁止）になっている割り込み要求信号は無効となり，サブIDLEモードは解除されません。

(2) リセットによる解除

通常のリセット動作と同じです。

表23－10　サブIDLEモード時の動作状態

項　目 ＼ サブIDLEモードの設定		動作状態	
		メイン・クロック発振時	メイン・クロック停止時
CPU		動作停止	
ROMコレクション		動作停止	
サブクロック発振回路		発振可能	
内蔵発振器（f_R）		発振可能	
割り込みコントローラ		動作停止	
16ビット・タイマ（TMP0）		動作停止	
16ビット・タイマ （TM00-TM03）		TM00, TM02, TM03：動作停止 TM01：カウント・クロックにINTWTを選択時に動作可能	TM00, TM02, TM03：動作停止 TM01：カウント・クロックにINTWTを選択し，WTのカウント・クロックにf_{XT}を選択時に動作可能
★ 8ビット・タイマ （TM50, TM51）		・カウント・クロックにTI5mを選択時に動作可能 ・カウント・クロックにINTTM010を選択し，TM01をサブIDLEモード時の動作可能条件に設定時に動作可能	
タイマH（TMH0）		動作停止	
★ タイマH（TMH1）		カウント・クロックにf_R/2048を選択時に動作可能	
★ 時計用タイマ		動作可能	カウント・クロックにf_{XT}を選択時に動作可能
★ ウォッチドッグ・タイマ1		動作停止	
ウォッチドッグ・タイマ2		動作可能	
★ シリアル・インタフェース	CSI00, CSI01	動作クロックに$\overline{\text{SCK0m}}$入力クロックを選択時に動作可能	
	CSIA0, CSIA1	動作停止	
	I^2C0注1	動作停止	
	UART0	カウント・クロックにASCK0を選択時に動作可能	
	UART1, UART2	動作停止	
キー割り込み機能		動作可能	
A/Dコンバータ		動作停止注2	
★ D/Aコンバータ		動作可能 ただし，CPUが停止しているため，DACSnレジスタを更新できません。	
リアルタイム出力		リアルタイム出力トリガとしてINTTM5mを選択し，TM5mをサブIDLEモード時の動作可能条件に設定時に動作可能	
DMA		動作停止	
クロック・モニタ（CLM）		動作可能	動作停止
パワーオン・クリア（POC）		動作可能	
低電圧検出（LVI）		動作可能	
レギュレータ		動作停止	
ポート機能		サブIDLEモード設定前の状態を保持	
外部バス・インタフェース		2. 2　端子状態参照	
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMなどの内部データは，すべてサブIDLEモード設定前の状態を保持	

注1.　μPD703313Y, 70F3311Y, 70F3313Yのみ

★　2.　ADM.ADCS, ADCS2ビット = 00Bに設定してください。

備考　m = 0, 1

第24章　リセット機能

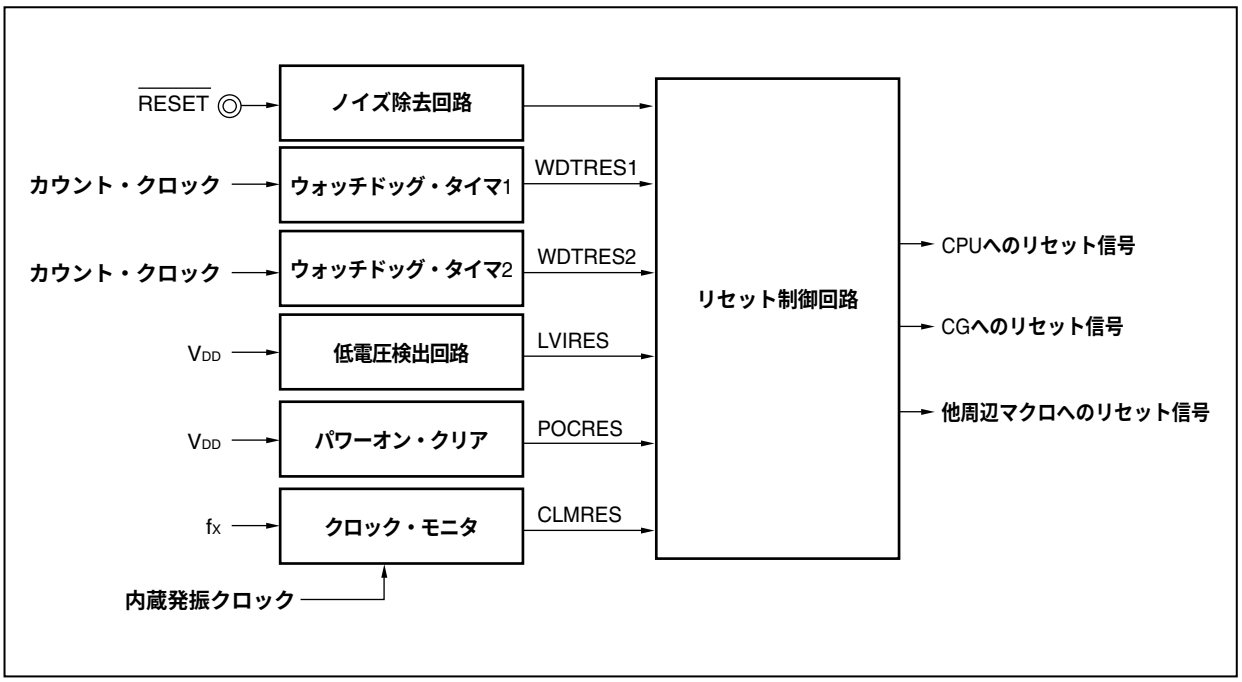
24.1　概　　要

リセット機能の概要を次に示します。

- $\overline{\text{RESET}}$端子入力によるリセット
- ウォッチドッグ・タイマ1のオーバフローによるリセット（WDTRES1）
- ウォッチドッグ・タイマ2のオーバフローによるリセット（WDTRES2）
- 低電圧検出回路（LVI）によるシステム・リセット（LVIRES）
- クロック・モニタ（CLM）によるシステム・リセット（CLMRES）
- パワーオン・クリア（POC）によるシステム・リセット（POCRES）
- $\overline{\text{RESET}}$端子のアナログ／ディジタル＋アナログ・ノイズ除去回路の選択可能
- リセット出力機能（P00/TOH0端子）

24.2　構　　成

図24－1　リセットのブロック図



24. 3　リセット要因を確認するレジスタ

(1) リセット要因フラグ・レジスタ（RESF）

RESFレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます（3. 4. 7　特定レジスタ参照）。

RESFレジスタは，どの要因から発生したリセット信号かを格納するレジスタです。

8/1ビット単位でリード／ライト可能です（ただし，ライト時は“0”のみ書き込み可能です）。

$\overline{\text{RESET}}$端子入力，またはPOC回路によるリセット（POCRES）により00Hになります。$\overline{\text{RESET}}$端子以外の要因のリセットにより初期値は異なります。

リセット時：00H[注]　R/W　アドレス：FFFFF888H

	7	6	5	4	3	2	1	0
RESF	WDT1RF	0	0	WDT2RF	0	0	CLMRF	LVIRF

WDT1RF	ウォッチドッグ・タイマ1からのリセット信号（WDTRES1）発生有無
0	発生なし
1	発生あり

WDT2RF	ウォッチドッグ・タイマ2からのリセット信号（WDTRES2）発生有無
0	発生なし
1	発生あり

CLMRF	クロック・モニタからのリセット信号（CLMRES）発生有無
0	発生なし
1	発生あり

LVIRF	低電圧検出回路からのリセット信号（LVIRES）発生有無
0	発生なし
1	発生あり

注　$\overline{\text{RESET}}$端子，またはPOC回路によるリセット時は00Hになります。
WDTRES1, WDT2RES信号，低電圧検出回路（LVI），クロック・モニタ（CLM）によるリセット時は，自身のリセット・フラグ（WDT1RF, WDT2RF, CLMRF, LVIRFビット）をセット（他の要因は保持）します。

注意　各ビットへの書き込みは“0”ライトのみ可能で，“0”ライト書き込みとフラグ・セット（リセットの発生）が競合した場合，フラグ・セットが優先されます。

24. 4　リセット要因

リセット要因には，次の6種類があります。

- $\overline{\text{RESET}}$端子入力によるリセット
- ウォッチドッグ・タイマ1のオーバフローによるリセット（WDTRES1）
- ウォッチドッグ・タイマ2のオーバフローによるリセット（WDTRES2）
- 低電圧検出回路（LVI）によるシステム・リセット（LVIRES）
- クロック・モニタ（CLM）によるシステム・リセット（CLMRES）
- パワーオン・クリア（POC）によるシステム・リセット（POCRES）

24. 4. 1　$\overline{\text{RESET}}$端子によるリセット動作

$\overline{\text{RESET}}$端子にロウ・レベルを入力，システム・リセットがかかり，各ハードウエアを初期化します。

$\overline{\text{RESET}}$端子には，ノイズ除去回路が内蔵されており，RNZCレジスタの設定によりアナログ／ディジタル＋アナログ・ノイズ除去回路の選択ができます。

$\overline{\text{RESET}}$端子にロウ・レベルを入力期間中は，メイン・クロック発振回路は停止するので，システム全体の消費電力を低減することができます。

$\overline{\text{RESET}}$端子入力をロウ・レベルからハイ・レベルに変化すると，リセット状態を解除します。

$\overline{\text{RESET}}$端子入力よるリセット解除の場合，発振安定時間を確保したあと，CPUはプログラムの実行を開始します（発振安定時間については，23. 2（3）発振安定時間選択レジスタ（OSTS），第30章　マスク・オプション／オプション・バイトを参照してください）。

表24－1　$\overline{\text{RESET}}$端子入力の各ハードウエアの状態

項　　目	リセット中	リセット後
メイン・クロック発振回路（f_X）	発振停止	発振開始
サブクロック発振回路（f_{XT}）	発振継続	
内蔵発振器（f_R）	発振停止	発振開始
周辺クロック（f_{XX}-f_{XX}/1024）	動作停止	発振安定時間確保後，動作開始
内部システム・クロック（f_{CLK}）	動作停止	発振安定時間確保後，動作開始（f_{XX}/8に初期化）
CPUクロック（f_{CPU}）	動作停止	発振安定時間確保後，動作開始（f_{XX}/8に初期化）
ウォッチドッグ・タイマ1クロック（f_{XW}）	動作停止	動作開始
CPU	初期化	発振安定時間確保後，プログラムの実行開始
内蔵RAM	パワーオン時のリセット，またはRAMへのデータ書き込み（CPUやDMAによる）とリセットが競合（データ破壊）した場合，不定。 それ以外は，リセット入力直前の値を保持。	
I/Oライン（P00）	ロウ・レベル出力	
I/Oライン（P00以外のポート）	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化。	
ウォッチドッグ・タイマ2	動作停止	動作開始（f_R/8）
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後，動作開始可能

図24－2　$\overline{\text{RESET}}$端子入力時の各ハードウエアの状態

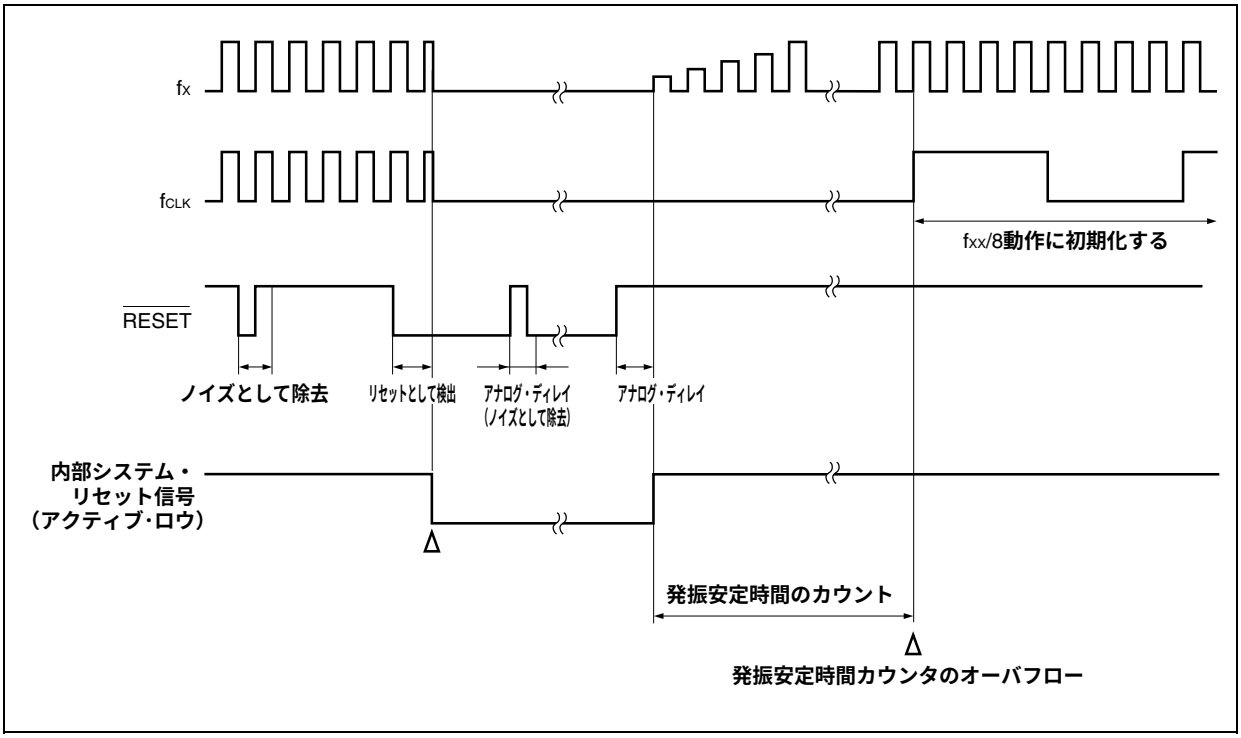
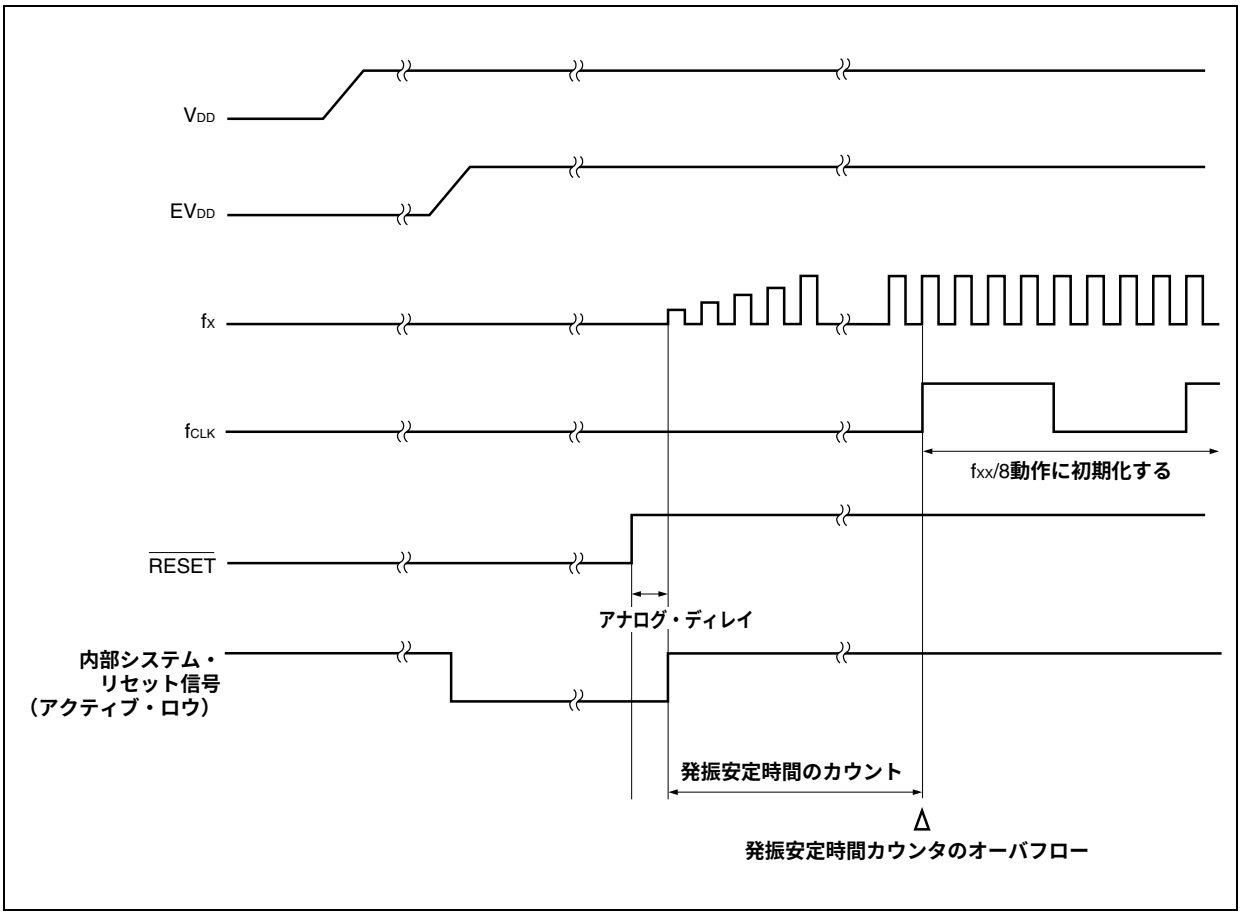


図24－3　パワーオン時の動作



(1) $\overline{\text{RESET}}$端子のディジタル・ノイズ除去

V850ES/KG1+の$\overline{\text{RESET}}$端子は，アナログ／ディジタル＋アナログ・ノイズ除去回路の選択が可能です。

ディジタル・ノイズ除去回路は，RNZC.RNZSELビット = 1に設定することにより選択します。メイン・クロック（fx）によりサンプリングを行い，RNZC.SMPSELビットによりサンプリング回数を10回／20回と選択できます。

(a) リセット・ノイズ除去コントロール・レジスタ（RNZC）

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF860H

	7	6	5	4	3	2	1	0
RNZC	0	0	0	0	0	0	SMPSEL	RNZSEL注

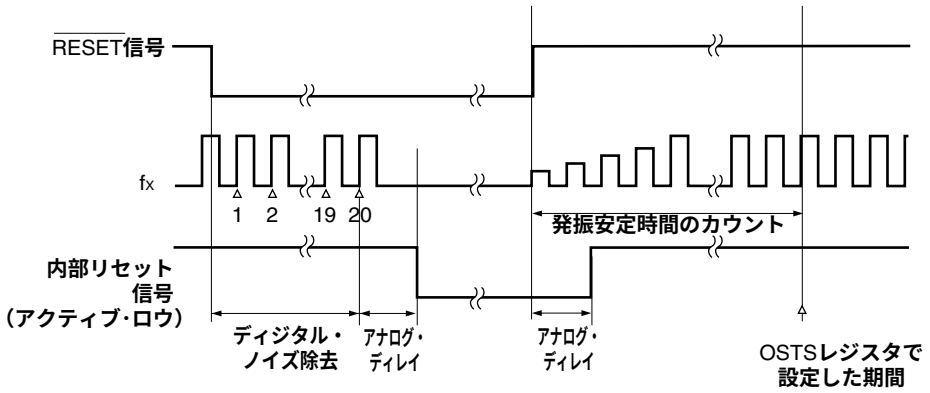
SMPSEL	サンプリング回数の選択
0	20回
1	10回

RNZSEL注	$\overline{\text{RESET}}$端子のノイズ除去回路の選択
0	アナログ・ノイズ除去のみ
1	ディジタル＋アナログ・ノイズ除去

注　サンプリング・クロックが停止する場合は，RNZSELビットの設定にかかわらず自動的にアナログ除去回路のみになります

注意　RNZCレジスタの設定（書き込み）は，リセット解除後1回のみ可能で，2回以上の書き込みを行っても1回目に設定した値から更新されません。設定を変更したい場合は，リセット入力してください。

図24－4　サンプリング動作タイミング（20回）



<1> RNZC.RNZSELビット = 1に設定することで，ディジタル・ノイズ除去を行います。

<2> $\overline{\text{RESET}}$端子は，サンプリング・クロック（fx）の立ち上がりエッジにより，常にサンプリングされています。

<3> $\overline{\text{RESET}}$端子がロウ・レベルになり，サンプリング・タイミングですべてロウ・レベルを検出すれば，内部リセット信号として検出されます。ただし，ディジタル・ノイズ除去後にアナログ・ノイズ除去回路が存在するので，アナログ・ディレイ後に内部リセット信号として検出されます。

<4> 内部リセット信号が検出されると，RNZCレジスタが初期化されるので，アナログ・ノイズ除去回路のみが選択されます。

(b) サンプリング・クロック停止時の動作

ディジタル＋アナログ・ノイズ除去回路を選択していた時にサンプリング・クロック（fx）が停止すると，$\overline{\text{RESET}}$端子入力が受け付けられないので，自動的にアナログ・ノイズ除去回路のみを選択します。

次の期間アナログ・ノイズ除去回路のみを自動的に選択します。

- STOPモード時：

  STOPモード設定→STOPモード解除（リセット以外）によるOSTSレジスタで設定した時間までの期間

- サブクロック動作モード時：

  サブクロック動作モード設定（PCC.CLS ビット = 0→1）→メイン・クロック動作モード復帰（CLSビット = 1→0）　までの期間

(c) ディジタル・ノイズ除去幅

ディジタル・ノイズ除去幅（t_{WRSL}）は，サンプリング・クロック周期：T，サンプリング回数：Nとすると，次のようになります。

表24－2　$\overline{\text{RESET}}$端子のディジタル・ノイズ除去幅

ディジタル・ノイズ除去幅（t_{WRSL}）			動　作
	T = 10 MHz，N = 20	T = 5 MHz，N = 10	
t_{WRSL}＜（N－1）T	t_{WRSL}＜1.9 μs	t_{WRSL}＜1.8 μs	ノイズとして除去
（N－1）T＜t_{WRSL}＜NT	1.9 μs≦t_{WRSL}＜2.0 μs	1.8 μs≦t_{WRSL}＜2.0 μs	ノイズとして除去，あるいはリセットとして検出
NT≦t_{WRSL}	2.0 μs≦t_{WRSL}	2.0 μs≦t_{WRSL}	リセットとして検出

備考　この表に示した数値にアナログ・ディレイ値を考慮した数値が，$\overline{\text{RESET}}$端子のノイズ除去幅になります。

24. 4. 2　WDTRES1信号によるリセット動作

ウォッチドッグ・タイマ1をオーバフローによるリセット動作モードに設定したとき，ウォッチドッグ・タイマ1がオーバフロー（WDTRES1信号発生）すると，システム・リセットがかかり，各ハードウエアを所定の状態に初期化します。

ウォッチドッグ・タイマ1のオーバフロー後，所定の時間（f_{CLK}：12クロック分）リセット状態となり，その後リセット状態を自動的に解除します。リセット解除後，CPUはプログラムの実行を開始します。

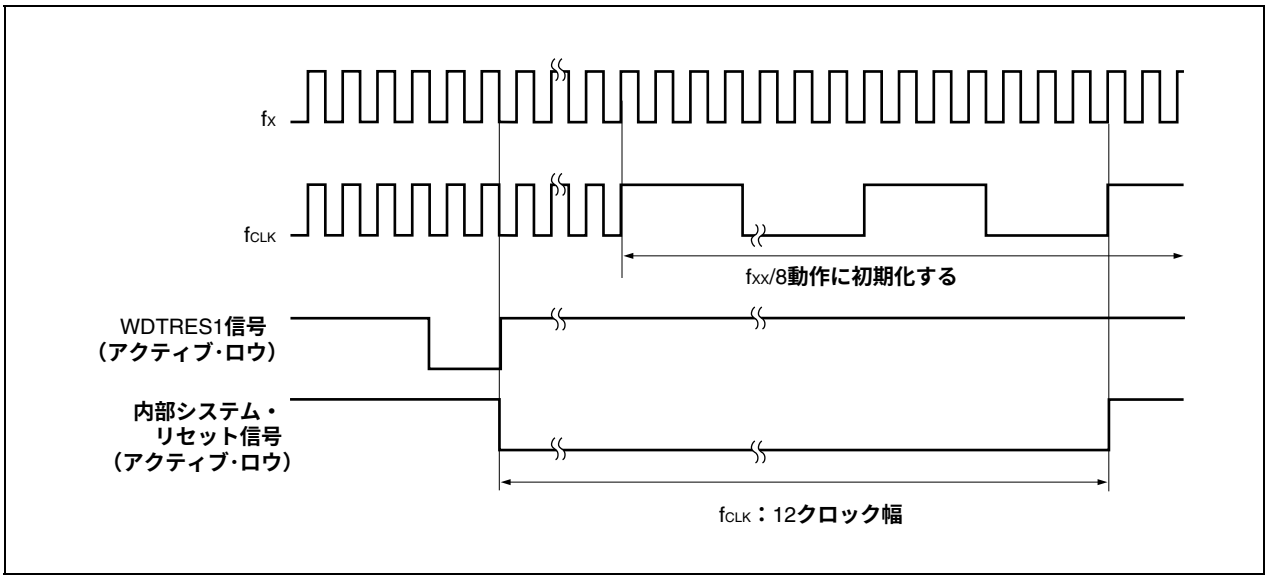
なお，リセット期間中もメイン・クロック発振回路動作を継続するので，発振安定時間を確保しません。

WDTRES1信号によるリセット期間中とリセット解除後の各ハードウエア状態を次に示します。

表24－3　WDTRES1信号時の各ハードウエアの状態

項　　目	リセット中	リセット後
メイン・クロック発振回路（f_X）	発振継続	
サブクロック発振回路（f_{XT}）	発振継続	
内蔵発振器（f_R）	発振継続	
周辺クロック（f_{XX}-f_{XX}/1024）	動作停止	動作開始
内部システム・クロック（f_{CLK}）	発振継続（f_{XX}/8に初期化）	
CPUクロック（f_{CPU}）	発振継続（f_{XX}/8に初期化）	
ウォッチドッグ・タイマ1クロック（f_{XW}）	動作継続	
内蔵RAM	RAMへのデータ書き込み（CPUやDMAによる）とリセットが競合（データ破壊）した場合，不定。 それ以外は，リセット直前の値を保持。	
I/Oライン（P00）	ロウ・レベル出力	
I/Oライン（P00以外のポート）	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化。	
ウォッチドッグ・タイマ2	動作停止	動作開始（f_R/8）
上記以外の内蔵周辺機能	動作停止	動作開始可能

図24－5　ウォッチドッグ・タイマ1によるリセット動作のタイミング



24. 4. 3　WDTRES2信号によるリセット動作

ウォッチドッグ・タイマ2をオーバフローによるリセット動作モードに設定したとき，ウォッチドッグ・タイマ2がオーバフロー（WDTRES2信号発生）すると，システム・リセットがかかり，各ハードウエアを所定の状態に初期化します。

ウォッチドッグ・タイマ2のオーバフロー後，所定の時間（アナログ・ディレイ分）リセット状態となり，その後リセット状態を自動的に解除します。リセット解除後，メイン・クロック発振回路の発振安定時間を確保したあと，CPUはプログラムの実行を開始します。

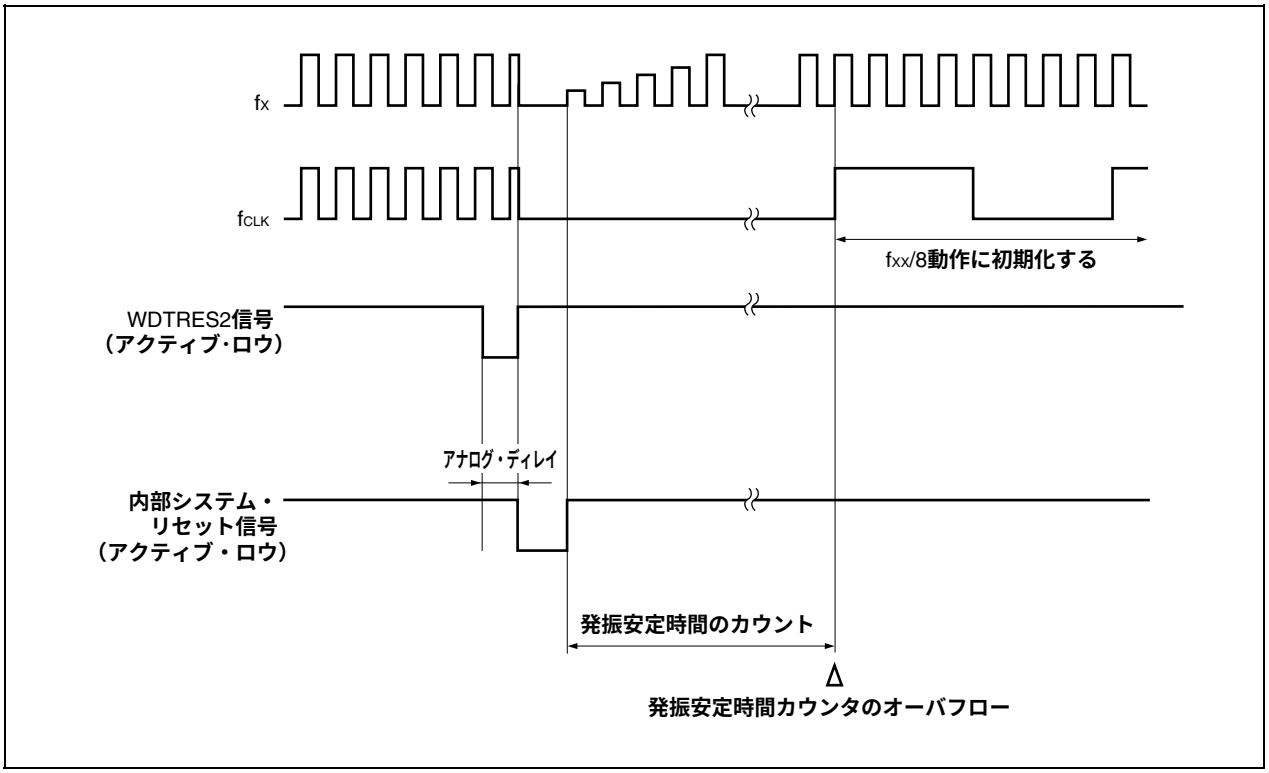
なお，リセット期間中はメイン・クロック発振回路が停止するので，発振安定時間を確保する必要があります。発振安定時間は，OSTSレジスタの初期値によって決まります（発振安定時間については，23. 2（3）発振安定時間選択レジスタ（OSTS），第30章　マスク・オプション／オプション・バイトを参照してください）。

WDTRES2信号によるリセット期間中とリセット解除後の各ハードウエア状態は，$\overline{\text{RESET}}$端子入力によるリセット時と同じです。

詳細は，表24－1　$\overline{\text{RESET}}$端子入力の各ハードウエアの状態を参照してください。

WDTRES2信号によるリセット動作のタイミングを次に示します。

図24－6　ウォッチドッグ・タイマ2によるリセット動作のタイミング



24. 4. 4　パワーオン・クリアによるリセット動作

電源電圧（V_{DD}）と検出電圧（V_{POC}）を比較し，V_{DD}＜V_{POC}になるとシステム・リセットがかかり，各ハードウエアを所定の状態に初期化します。

検出電圧（V_{POC}）は2.6 V±0.1 Vです。

V_{DD}＜V_{POC}の期間リセット状態となり，V_{DD}≧V_{POC}によりリセットを解除します。リセット解除後，メイン・クロック発振回路の発振安定時間を確保したあと，CPUはプログラムの実行を開始します。

なお，リセット期間中はメイン・クロック発振回路が停止するので，発振安定時間を確保する必要があります。発振安定時間は，OSTSレジスタの初期値によって決まります（発振安定時間については，23. 2（3）発振安定時間選択レジスタ（OSTS），第30章　マスク・オプション／オプション・バイトを参照してください）。

POCRES信号によるリセット期間中とリセット解除後の各ハードウエア状態を次に示します。

表24－4　パワーオン・クリアによるリセット動作時の各ハードウエアの状態

項　　目	リセット中	リセット後
メイン・クロック発振回路（f_X）	発振停止	発振開始
サブクロック発振回路（f_{XT}）	発振継続	
内蔵発振器（f_R）	発振停止	発振開始
周辺クロック（f_{XX}-f_{XX}/1024）	動作停止	発振安定時間確保後，動作開始
内部システム・クロック（f_{CLK}）	動作停止	発振安定時間確保後，動作開始（f_{XX}/8に初期化）
CPUクロック（f_{CPU}）	動作停止	発振安定時間確保後，動作開始（f_{XX}/8に初期化）
ウォッチドッグ・タイマ1クロック（f_{XW}）	動作停止	動作開始
CPU	初期化	発振安定時間確保後，プログラムの実行開始
内蔵RAM	パワーオン時のリセット，またはRAMへのデータ書き込み（CPUやDMAによる）とリセットが競合（データ破壊）した場合，不定。 それ以外は，リセット入力直前の値を保持。	
I/Oライン（P00）	ロウ・レベル出力	
I/Oライン（P00以外のポート）	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化。	
ウォッチドッグ・タイマ2	動作停止	動作開始（f_R/8）
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後，動作開始可能

図24－7　パワーオン・クリア回路によるリセット・タイミング

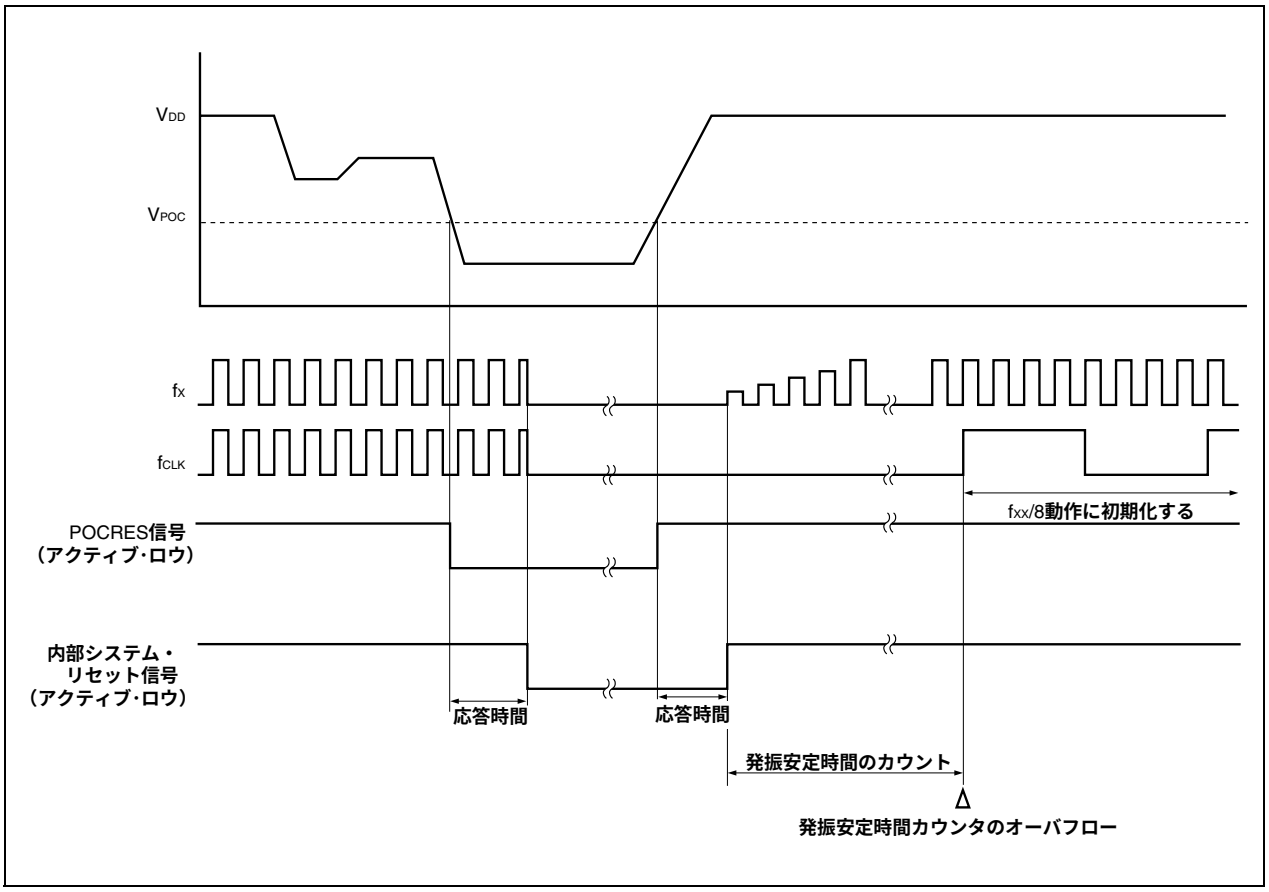
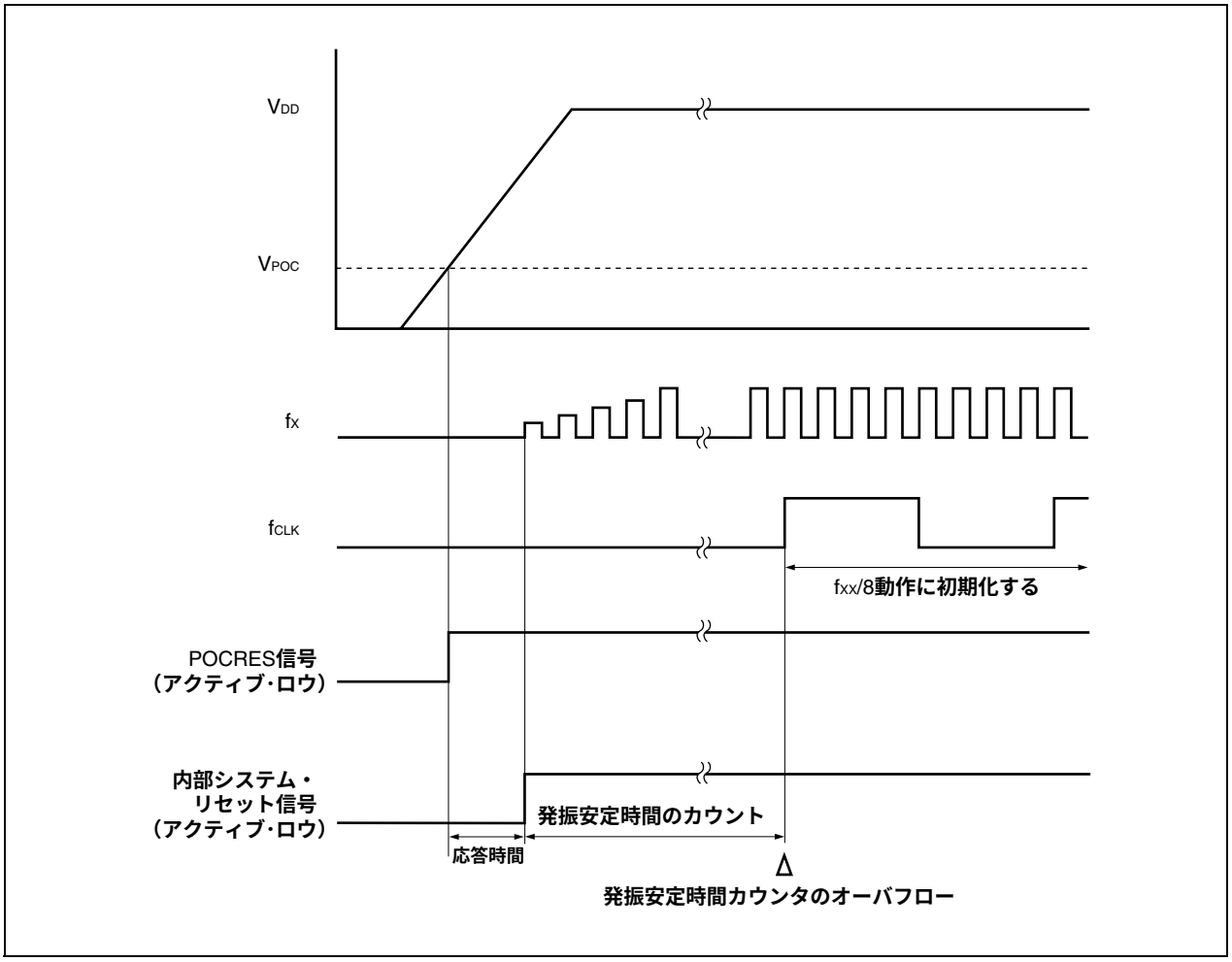


図24－8　電源投入時のリセット・タイミング



24. 4. 5　低電圧検出回路によるリセット動作

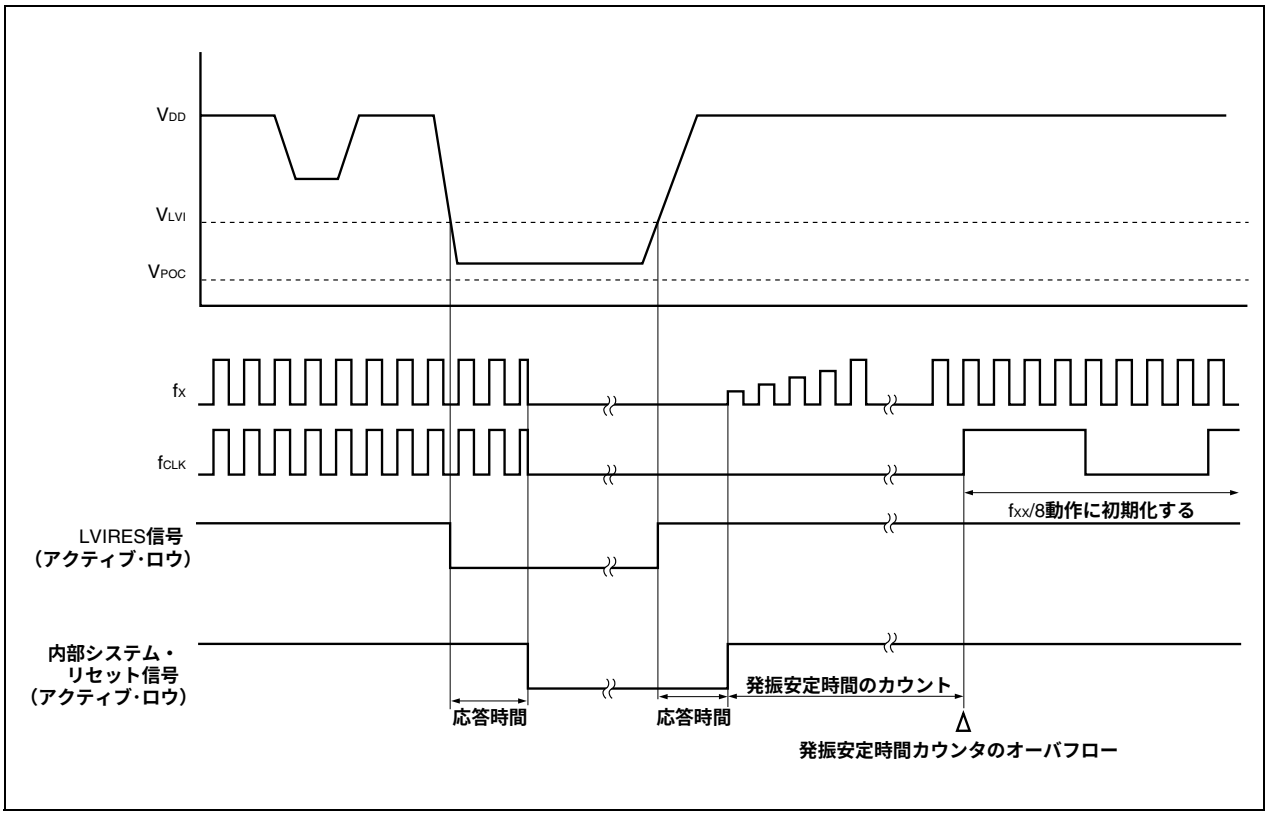
低電圧検出回路を内部リセット信号（LVIRES）発生モードに設定時，電源電圧（V_{DD}）と検出電圧（V_{LVI}）を比較し，V_{DD}＜V_{LVI} になるとシステム・リセットがかかり，各ハードウエアを所定の状態に初期化します。

V_{DD}＜V_{LVI}の期間リセット状態となり，V_{DD}≧V_{LVI}によりリセットを解除します。リセット解除後，メイン・クロック発振回路の発振安定時間を確保したあと，CPUはプログラムの実行を開始します。

なお，リセット期間中はメイン・クロック発振回路が停止するので，発振安定時間を確保する必要があります。発振安定時間は，OSTSレジスタの初期値によって決まります（発振安定時間については，23. 2（3）**発振安定時間選択レジスタ**（OSTS），**第30章　マスク・オプション／オプション・バイト**を参照してください）。

LVIRES信号によるリセット期間中とリセット解除後の各ハードウエア状態は，POCRES信号によるリセット時と同じです。

図24－9　低電圧検出回路によるリセット・タイミング



24. 4. 6　クロック・モニタによるリセット動作

クロック・モニタ動作許可時，サンプリング・クロック（内蔵発振クロック：f_R）にてメイン・クロックの監視を行い，メイン・クロックの停止を検出するとシステム・リセットがかかり，各ハードウエアを所定の状態に初期化します。

メイン・クロックの停止検出後，所定の時間（アナログ・ディレイ分）リセット状態となり，その後リセット状態を自動的に解除します。リセット解除後，メイン・クロックが停止しているため発振安定用タイマのカウント動作が行われず，ディフォールト・スタートのウォッチドッグ・タイマ2がオーバフローすると，CPUは内蔵発振クロック（f_R）でプログラム実行を開始します。

CLMRES信号によるリセット期間中とリセット解除後の各ハードウエア状態を次に示します。

クロック・モニタによるリセット・タイミングについては図25－4を参照してください。

表24－5　クロック・モニタによるリセット動作時の各ハードウエアの状態

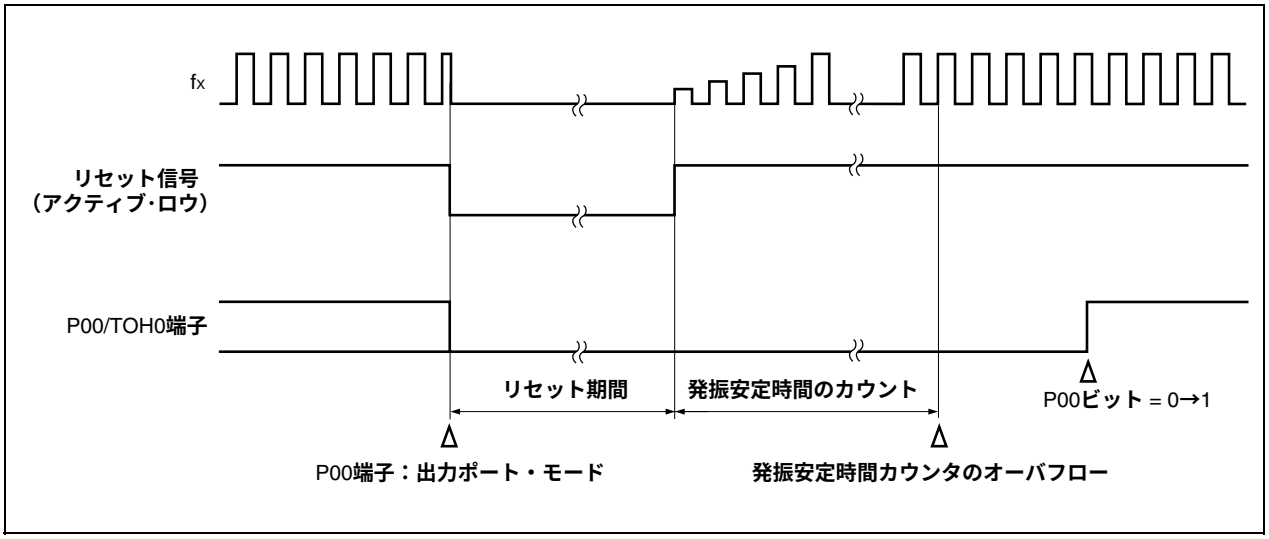
項　　目	リセット中	リセット後
メイン・クロック発振回路（f_X）	発振停止	発振停止のまま
サブクロック発振回路（f_{XT}）	発振継続	
内蔵発振器（f_R）	発振停止	発振開始
周辺クロック（f_{XX}-f_{XX}/1024）	動作停止	f_X停止のため，動作停止のまま
内部システム・クロック（f_{CLK}）	動作停止	ウォッチドッグ・タイマ2オーバフロー後，動作開始（f_R）
CPUクロック（f_{CPU}）	動作停止	ウォッチドッグ・タイマ2オーバフロー後，動作開始（f_R）
ウォッチドッグ・タイマ1クロック（f_{XW}）	動作停止	f_X停止のため，動作停止のまま
CPU	初期化	ウォッチドッグ・タイマ2オーバフロー後，プログラムの実行開始
内蔵RAM	RAMへのデータ書き込み（CPUやDMAによる）とリセットが競合（データ破壊）した場合，不定。 それ以外は，リセット入力直前の値を保持。	
I/Oライン（P00）	ロウ・レベル出力	
I/Oライン（P00以外のポート）	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化。	
ウォッチドッグ・タイマ2	動作停止	動作開始（f_R/8のみ）。ただしCPU実行前のウォッチドッグ・タイマ2オーバフロー時のみは，WDTRES2が発生しません。
上記以外の内蔵周辺機能	動作停止	f_X停止のため，動作開始不可能 ただし，f_{XT}やf_R，外部クロックで動作する周辺機能は動作可能（詳細は表25－2参照）

24. 5　リセット出力機能

V850ES/KG1+のP00/TOH0端子は，リセット出力端子として疑似的に使用できます。

P00端子は，リセットが発生すると出力ポート・モード（PM0.PM00ビット = 0）になり，かつロウ・レベル（P0.P00ビット = 0）を出力します。リセット出力を解除（ロウ・レベル出力→ハイ・レベル出力）するには，ソフトウエアによりP00ビットをセット（1）します。

図24－10　リセット出力機能



第25章　クロック・モニタ

25. 1　機　能

クロック・モニタは，内蔵発振クロックで，メイン・クロックのサンプリングを行い，メイン・クロックの発振停止時に，リセット信号（CLMRES）を発生します。

リセット解除後は，CPUは内蔵発振クロックで動作します。

CLM.CLMEビットにより一度動作許可にすると，リセットでしか停止できません。

次の条件のとき，クロック・モニタは自動的に停止します。

- STOPモード～発振安定時間カウント時
- メイン・クロック停止時（サブクロック動作時にPCC.MCKビット = 1，メイン・クロック動作時にPCC.CLSビット = 0）
- サンプリング・クロック（内蔵発振クロック）停止時
- CPUが内蔵発振クロック動作時

25. 2　レジスタ

(1) クロック・モニタ・モード・レジスタ（CLM）

CLMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます（3. 4. 7　特定レジスタ参照）。

クロック・モニタの動作モードの設定を行うレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF870H

	7	6	5	4	3	2	1	⓪
CLM	0	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作許可／禁止
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

注意　一度CLMEビット = 1に設定した場合，リセット以外ではクリア（0）できません。

(2) 内蔵発振モード・レジスタ（RCM）

RCMレジスタは，内蔵発振器の動作モードの設定を行う8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF80CH

	7	6	5	4	3	2	1	⓪
RCM	0	0	0	0	0	0	0	RSTOP

RSTOP	内蔵発振器の発振／停止
0	内蔵発振器発振
1	内蔵発振器停止

注意　RCMレジスタの設定は，マスク・オプション／オプション・バイトにてソフトウエアによる停止許可に設定した場合のみ有効です。詳細は第30章　マスク・オプション／オプション・バイトを参照してください。

25. 3　動　作

クロック・モニタ開始条件，モニタ停止条件は次のようになります。

＜モニタ開始条件＞

CLM.CLMEビット = 1に設定

＜モニタ停止条件＞

- STOPモード～発振安定時間カウント時
- メイン・クロック停止時（サブクロック動作時にPCC.MCKビット = 1，メイン・クロック動作時にPCC.CLSビット = 0）
- サンプリング・クロック（内蔵発振クロック）停止時
- CPUが内蔵発振クロック動作時

表25－1　クロック・モニタの動作状態（CLMEビット = 1設定時，内蔵発振クロック動作時）

動作モード		メイン・クロックの状態	内蔵発振クロックの状態	クロック・モニタの状態
通常動作モード		発振	発振注1	動作注2
HALTモード		発振	発振注1	動作注2
IDLEモード		発振	発振注1	動作注2
STOPモード		停止	発振注1	停止
サブクロック動作モード	MCKビット = 0	発振	発振注1	動作注2
サブIDLEモード		発振	発振注1	動作注2
サブクロック動作モード	MCKビット = 1	停止	発振注1	停止
サブIDLEモード		停止	発振注1	停止
内蔵発振クロック動作モード		停止	発振注1	停止
リセット中		停止	停止	停止

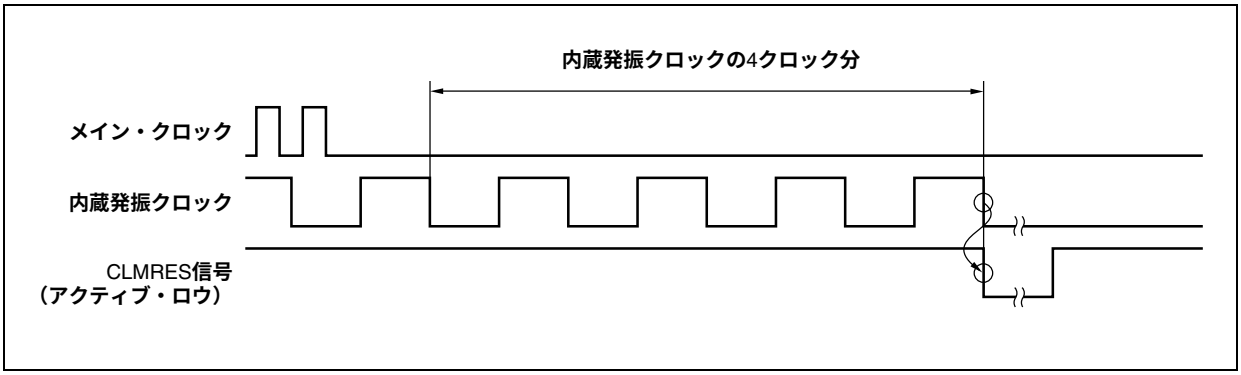
注1.　RCM.RSTOPビット = 1にすることで，内蔵発振器を停止できます。
（マスク・オプション／オプション・バイトにて設定した場合のみ有効です。詳細は第30章　マスク・オプション／オプション・バイトを参照してください）

2.　内蔵発振器が停止している場合，クロック・モニタは停止します。

(a) メイン・クロック発振停止時の動作

CLMEビット = 1の場合，メイン・クロックの発振が停止したとき，図25－1のタイミングでCLMRES信号が発生します。

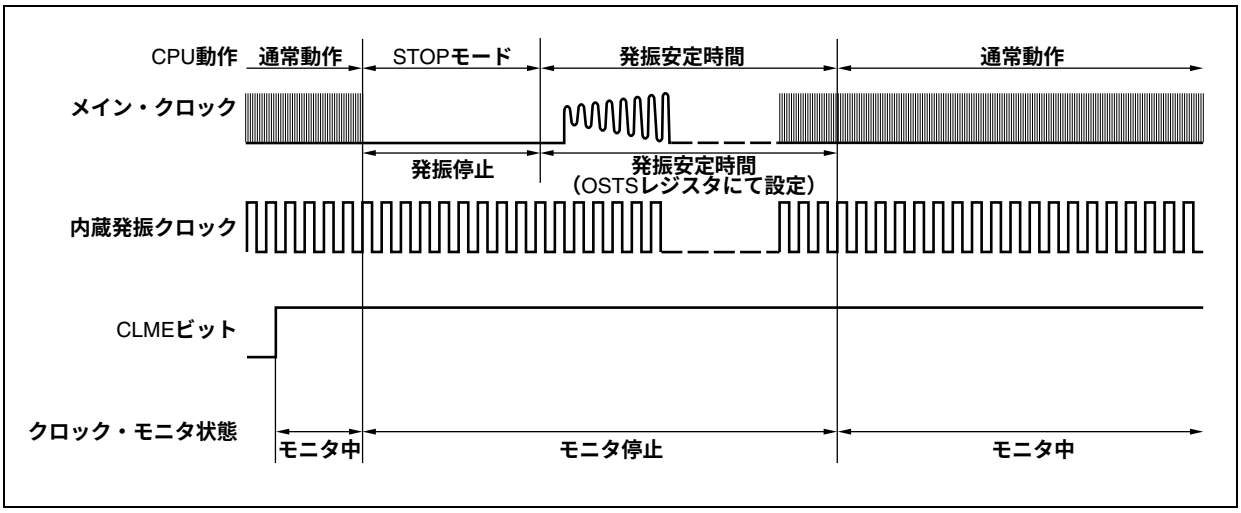
図25－1　メイン・クロックの発振停止時



(b) STOPモード中およびSTOPモード解除後の動作

CLMEビット = 1の状態でSTOPモードに移行した場合，STOPモード中および発振安定時間カウント中はモニタ動作を停止します。発振安定時間カウント終了後に自動的にモニタ動作を開始します。

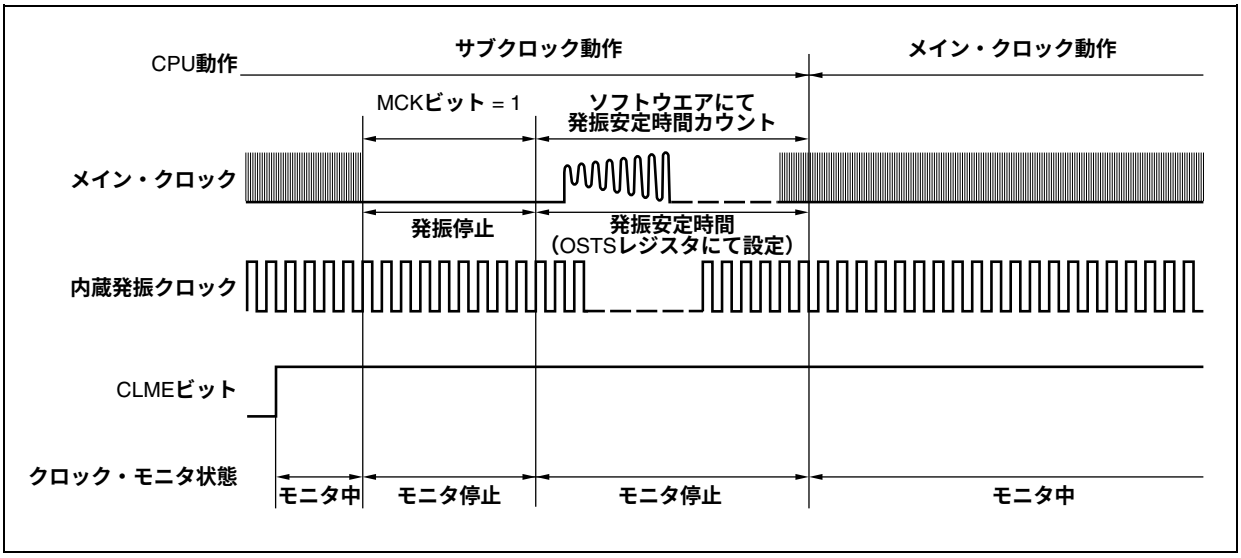
図25－2　STOPモード中およびSTOPモード解除後の動作



(c) メイン・クロック停止時（任意）の動作

サブクロック動作時（PCC.CLSビット = 1），PCC.MCKビット = 1に設定することによりメイン・クロックを停止した場合，メイン・クロック動作（CLSビット = 0）に移行するまでモニタ動作を停止し，メイン・クロック動作移行後に自動的にモニタ動作を開始します。

図25－3　メイン・クロック停止時（任意）の動作



(d) CPUが内蔵発振クロックで動作時（CCLS.CCLSFビット = 1）の動作

CCLSFビット = 1のとき，CLMEビット = 1に設定してもモニタ動作を開始しません。

25. 4　内蔵発振クロック動作モード

★　25. 4. 1　設定および動作状態

リセット解除またはSTOPモード解除時の発振安定時間確保期間（OSTSレジスタの設定によるカウンタのオーバフロー）にウォッチドッグ・タイマ2がオーバフローすると，内蔵発振クロック動作モードに移行します。

詳細は，図23－1　**状態遷移図**を参照してください。

メイン・クロック発振（fx）の停止（異常）検出は次のときに行われます。

・通常動作時：内蔵発振クロックによるメイン・クロック監視（クロック・モニタ）

・発振安定時間確保期間：WDT2オーバフロー

内蔵発振クロック動作モード時の動作状態を表25－3に示します。

表25－2　OSTSレジスタとウォッチドッグ・タイマ2のオーバフロー時間

	オーバフロー時間		
OSTSレジスタの設定によるカウンタのオーバフロー時間	リセット解除時	オプション注：$2^{13}/f_X$	0.819 ms@10 MHz，1.638 ms@5 MHz
		オプション注：$2^{15}/f_X$	3.277 ms@10 MHz，6.554 ms@5 MHz
	割り込みによるSTOPモード解除時（OSTS = $2^{13}/f_X$-$2^{21}/f_X$）		0.819 ms@10 MHz，1.638 ms@5 MHz（MIN.） 209.7 ms@10 MHz，419.4 ms@5 MHz（MAX.）
ウォッチドッグ・タイマ2のオーバフロー時間	リセット解除時（$2^{19}/f_R$）		1092 ms～4369 ms
	割り込みによるSTOP モード解除時（WDTM2 = $2^{12}/f_R$～$2^{19}/f_R$）		8.5 ms～34.1 ms（MIN.） 1092 ms～4369 ms（MAX.）

注　マスク・オプション／オプション・バイトの設定により発振安定時間を変更できます。詳細は第30章　マスク・オプション／オプション・バイトを参照してください。

注意1.　ウォッチドッグ・タイマ2オーバフロー時間＞発振安定時間時間（OSTSレジスタ設定）となるように設定してください。ウォッチドッグ・タイマ2オーバフロー時間＜発振安定時間時間（OSTSレジスタ設定）とした場合，割り込みによりSTOPモードを解除するとメイン・クロック発振が正常に動作するにもかかわらず発振停止（異常）と判断され，内蔵発振クロック動作モードに移行してしまいます。

2.　内蔵発振クロック動作モード移行時，CPU動作開始後，内蔵発振クロック（f_R）の1024クロック以内にWDTMレジスタ，WDTEレジスタを書き換えないでください。

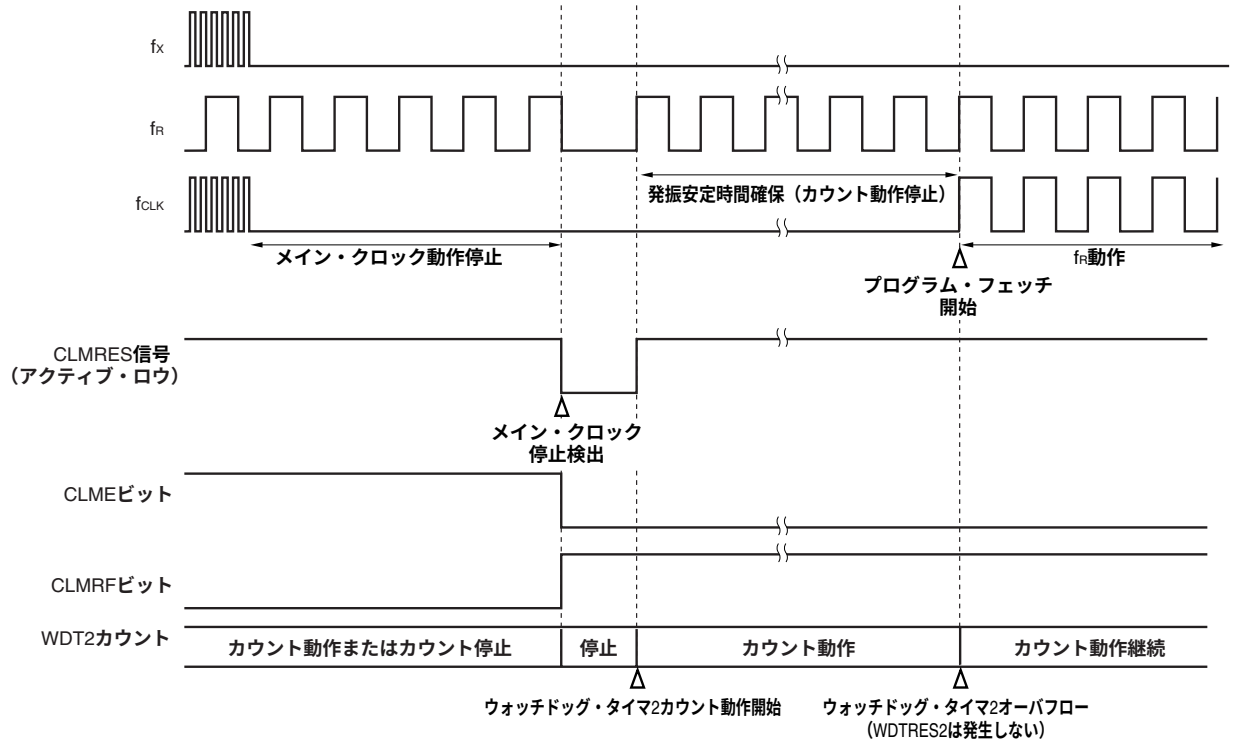
★ 25. 4. 2　内蔵発振クロック動作モードの解除

内蔵発振クロック動作モードを解除するには，リセット入力してください。

リセット解除後の発振安定時間確保中に，ウォッチドッグ・タイマ2がオーバフローする前にOSTSレジスタがオーバフローすると，メイン・クロック発振（fx）が安定したと判断し，通常動作モードに移行します。

詳細は，図23－1　状態遷移図を参照してください。

図25－4　クロック・モニタによるリセット・タイミング



備考　内蔵発振クロック動作モードから通常動作モードに復帰するには，ソフトウエアではできません。
リセット（$\overline{\text{RESET}}$, WDTRES2, POCRES, LVIRES信号発生）後，メイン・クロック発振（fx）が正常に動作した場合にのみ復帰可能です。

表25－3　内蔵発振クロック動作モード時の動作状態

項　目 ＼ 内蔵発振クロック動作モードの設定		動作状態	
		サブクロックがない場合	サブクロックがある場合
ROMコレクション		動作可能	
割り込みコントローラ		動作可能	
16ビット・タイマ（TMP0）		動作停止	
16ビット・タイマ（TM00-TM03）		動作停止	TM00, TM02, TM03：動作停止 TM01：カウント・クロックにINTWTを選択し，WTのカウント・クロックにf_{XT}を選択時に動作可能
8ビット・タイマ（TM50, TM51）		カウント・クロックをTI5m選択時のみ動作可能	カウント・クロックをTI5m選択時，またはカウント・クロックにINTTM010を選択し，TM01を内蔵発振クロック動作モードの動作可能条件に設定時に動作可能
タイマH（TMH0）		動作停止	
タイマH（TMH1）		カウント・クロックにf_R/2048を選択時に動作可能	
時計用タイマ		動作停止	カウント・クロックにf_{XT}を選択時に動作可能
ウォッチドッグ・タイマ1		動作停止	
ウォッチドッグ・タイマ2		カウント・クロックにf_R/8を選択時に動作可能	動作可能
シリアル・インタフェース	CSI00, CSI01	動作クロックに$\overline{\text{SCK0m}}$入力クロックを選択時に動作可能	
	CSIA0, CSIA1	動作停止	
	I^2C0注	動作停止	
	UART0	カウント・クロックにASCK0を選択時に動作可能	
	UART1, UART2	動作停止	
キー割り込み機能		動作可能	
A/Dコンバータ		動作停止	
D/Aコンバータ		動作可能	
リアルタイム出力		リアルタイム出力トリガとしてINTTM5mを選択し，TM5mを内蔵発振クロック動作モードの動作可能条件に設定時に動作可能	
DMA機能		動作可能	
クロック・モニタ		動作停止	
パワーオン・クリア		動作可能	
低電圧検出回路		動作可能	
レギュレータ		動作可能	
ポート機能		動作可能	
外部バス・インタフェース		動作可能	

注　μPD703313Y, 70F3311Y, 70F3313Yのみ

備考　m = 0, 1

25. 5　内蔵発振HALTモード

25. 5. 1　設定および動作状態

内蔵発振クロック動作モード時，専用命令（HALT命令）を実行することにより，内蔵発振HALTモードに移行します。

内蔵発振HALTモードに設定すると，内蔵発振器の動作は継続しますが，CPUへのクロック供給だけが停止し，その他の内蔵周辺機能へのクロック供給は継続します。

これによりプログラムの実行が停止し，内蔵RAMの内容は内蔵発振HALTモード設定前の状態を保持します。また，CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。ただし，メイン・クロック発振回路（f_X）が停止していますが，サブクロック（f_{XT}）や内蔵発振クロック（f_R），あるいは外部クロックで動作可能な内蔵周辺機能は，動作を継続します。

表25－5に内蔵発振HALTモード時の動作状態を示します。

注意1.　HALT命令のあとには，NOP命令を5命令以上挿入してください。

2.　マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合，内蔵発振HALTモードに移行するが，保留されている割り込み要求により内蔵発振HALTモードはすぐに解除されます。

25. 5. 2　内蔵発振HALTモードの解除

割り込み要求信号による内蔵発振HALTモードの解除により，内蔵発振クロック動作モードに移行します。また，リセットによる内蔵発振HALTモードの解除により，メイン・クロック発振（f_X）が正常に動作した場合，通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号が発生すると，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内で内蔵発振HALTモードに設定した場合は次のようになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生すると内蔵発振HALTモードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，内蔵発振HALTモードの解除とともにこの割り込み要求信号を受け付けます。

表25－4　割り込み要求信号による内蔵発振HALTモードの解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	ハンドラ・アドレスに分岐， または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表25－5　内蔵発振HALTモード時の動作状態

内蔵発振HALTモードの設定 ／ 項　目		動作状態	
		サブクロックがない場合	サブクロックがある場合
CPU		動作停止	
ROMコレクション		動作停止	
メイン・クロック発振回路		動作停止	
サブクロック発振回路		－	動作継続
割り込みコントローラ		動作可能	
16ビット・タイマ (TMP0)		動作停止	
16ビット・タイマ (TM00-TM03)		動作停止	TM00, TM02, TM03：動作停止 TM01：カウント・クロックにINTWTを選択し，WTのカウント・クロックにf_{XT}を選択時に動作可能
8ビット・タイマ (TM50, TM51)		カウント・クロックをTI5m選択時だけ動作可能	カウント・クロックをTI5m選択時，またはカウント・クロックにINTTM010を選択し，TM01を内蔵発振HALTモードの動作可能条件に設定時に動作可能
タイマH（TMH0）		動作停止	
タイマH（TMH1）		カウント・クロックにf_R/2048を選択時に動作可能	
★ 時計用タイマ		動作停止	カウント・クロックにf_{XT}を選択時に動作可能
ウォッチドッグ・タイマ1		動作停止	
★ ウォッチドッグ・タイマ2		動作停止	動作可能
シリアル・インタフェース	CSI00, CSI01	動作クロックに$\overline{\text{SCK0m}}$入力クロックを選択時に動作可能	
	CSIA0, CSIA1	動作停止	
	I^2C0注	動作停止	
	UART0	カウント・クロックにASCK0を選択時に動作可能	
	UART1, UART2	動作停止	
キー割り込み機能		動作可能	
A/Dコンバータ		動作停止	
D/Aコンバータ		動作可能。ただし，CPUが停止しているため，DACSmレジスタを更新できません。	
リアルタイム出力		リアルタイム出力トリガとしてINTTM5mを選択し，TM5mを内蔵発振HALTモードの動作可能条件に設定時に動作可能	
DMA機能		動作可能	
クロック・モニタ		動作停止	
パワーオン・クリア		動作可能	
低電圧検出回路		動作可能	
レギュレータ		動作継続	
ポート機能		内蔵発振HALTモード設定前の状態を保持	
外部バス・インタフェース		2. 2　端子状態参照	

注　μPD703313Y, 70F3311Y, 70F3313Yのみ

第26章　低電圧検出回路

26. 1　機　　能

低電圧検出（LVI）回路には次のような機能があります。

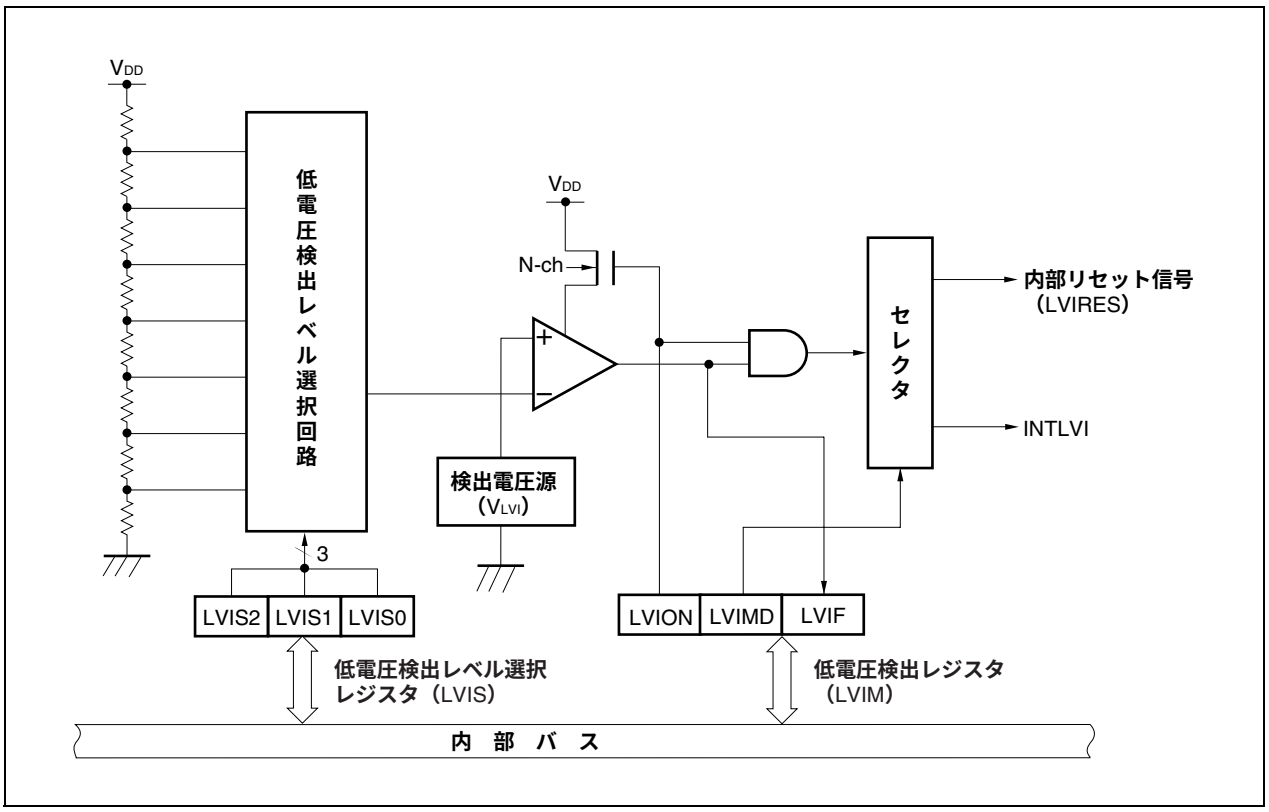
- 電源電圧（V_{DD}）と検出電圧（V_{LVI}）を比較しV_{DD}＜V_{LVI}になったとき，割り込み要求信号（INTLVI）またはリセット信号（LVIRES）を発生します。
- 電源電圧の検出レベル（7段階）をソフトウエアにて変更できます。
- 割り込み／リセットをソフトウエアにて選択できます。
- STOPモード時において動作可能です。

低電圧検出回路をリセットととして使用した場合に，LVIRES信号が発生するとRESF.LVIRFビットがセット（1）されます。RESFレジスタについての詳細は24. 3（1）リセット要因フラグ・レジスタ（RESF）を参照してください。

26. 2　構　　成

低電圧検出回路のブロック図を次に示します。

図26－1　低電圧検出回路のブロック図



26. 3　レジスタ

低電圧制御回路は次の2つのレジスタで制御します。

・低電圧検出レジスタ（LVIM）
・低電圧検出レベル選択レジスタ（LVIS）

（1）低電圧検出レジスタ（LVIM）

LVIMレジスタは，低電圧検出回路の動作モードを設定する8ビット・レジスタです。

LVIMレジスタは特定レジスタです。特定シーケンスの組み合わせによってだけ書き込みができます（3. 4. 7　特定レジスタ参照）。

8/1ビット単位でリード／ライト可能です。ただし，LVION, LVIMDビット = 11に設定した場合，リセット信号（LVIRES）が発生するまでLVIMレジスタの書き換えはできません。

LVIMレジスタは，低電圧検出回路以外のリセット要因でリセットされ，00Hになります。低電圧検出回路によるリセット時は，値を保持します。

リセット時：00H注1　R/W　アドレス：FFFFF890H

	⑦	6	5	4	3	2	①	⓪
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF注2

LVION	低電圧検出動作の許可／禁止
0	動作禁止
1	動作許可

LVIMD	低電圧検出の動作モード選択
0	電源電圧（V_{DD}）＜検出電圧時に割り込み要求信号（INTLVI）を発生
1	電源電圧（V_{DD}）＜検出電圧時に内部リセット信号（LVIRES）を発生

LVIF注2	低電圧検出フラグ
0	電源電圧（V_{DD}）＞検出電圧（V_{LVI}），または動作禁止時
1	電源電圧（V_{DD}）＜検出電圧（V_{LVI}）

注1.　低電圧検出回路によるリセット時は，値を保持します。
　2.　LVIFビットはリード・オンリーです。

注意　ビット6-2は必ず0を設定してください。

備考　LVIFビットの値は，LVIONビット = 1かつLVIMDビット = 0の場合に，割り込み要求信号（INTLVI）として出力されます。

(2) 低電圧検出レベル選択レジスタ（LVIS）

LVISレジスタは，低電圧検出レベルを選択する8ビット・レジスタです。

8ビット単位でリード／ライト可能です。ただし，LVIM.LVION, LVIMDビット = 11に設定した場合，リセット信号（LVIRES）が発生するまでLVISレジスタの書き換えはできません。

LVISレジスタは，低電圧検出回路以外のリセット要因でリセットされ，00Hになります。低電圧検出回路によるリセット時は，値を保持します。

リセット時：00H注　R/W　アドレス：FFFFF891H

	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	0	LVIS2	LVIS1	LVIS0

LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	4.3 V±0.2 V
0	0	1	4.1 V±0.2 V
0	1	0	3.9 V±0.2 V
0	1	1	3.7 V±0.2 V
1	0	0	3.5 V±0.2 V
1	0	1	3.3 V±0.15 V
1	1	0	3.1 V±0.15 V
上記以外			設定禁止

注　低電圧検出回路によるリセット時は，値を保持します。

注意　ビット7-3は必ず0を設定してください。

26.4 動　　作

低電圧検出回路は，次の2種類の動作モードがあります。

- リセット動作（LVIRES）：電源電圧（V_{DD}）と検出電圧（V_{LVI}）を比較し，V_{DD}＜V_{LVI}になるとリセット信号（LVIRES）を発生
- 割り込み動作（INTLVI）：電源電圧（V_{DD}）と検出電圧（V_{LVI}）を比較し，V_{DD}＜V_{LVI}になると割り込み要求信号（INTLVI）を発生

(1) リセット動作（LVIRES）

＜動作開始時＞

① INTLVI割り込みをマスク（LVIMKビット = 1）

② LVIS.LVIS2-LVIS0ビットで検出電圧（V_{LVI}）を設定する。

③ LVIM.LVIONビット = 1（低電圧検出回路動作許可）に設定

④ 0.2 ms以上，ソフトウエアでウエイト

⑤ LVIM.LVIFビット = 0（電源電圧（V_{DD}）＞検出電圧（V_{LVI}））であることを確認
LVIFビット = 1の場合は，LVIFビット = 0になるまでソフトウエアでウエイト

⑥ LVIM.LVIMDビット = 1（電源電圧（V_{DD}）＜検出電圧（V_{LVI}）時に内部リセット信号（LVIRES）発生）に設定。

注意　①のLVIMKビット = 0のまま設定すると，③の時点で割り込み（INTLVI）が発生する場合があります。

＜動作停止時＞

リセット信号（LVIRES）以外のリセット信号が発生するまで，低電圧検出動作は停止できません。

(2) 割り込み動作（INTLVI）

＜動作開始時＞

① INTLVI割り込みをマスク（LVIMKビット = 1）

② LVIS.LVIS2-LVIS0ビットで検出電圧（V_{LVI}）を設定

③ LVIM.LVIONビット = 1（低電圧検出回路動作許可）に設定

④ 0.2 ms以上，ソフトウエアでウエイト

⑤ LVIM.LVIFビット = 0（電源電圧（V_{DD}）＞検出電圧（V_{LVI}））であることを確認
LVIFビット = 1の場合は，LVIFビット = 0になるまでソフトウエアでウエイト

⑥ INTLVI割り込み要求フラグ（LVIIFビット）をクリア（0）

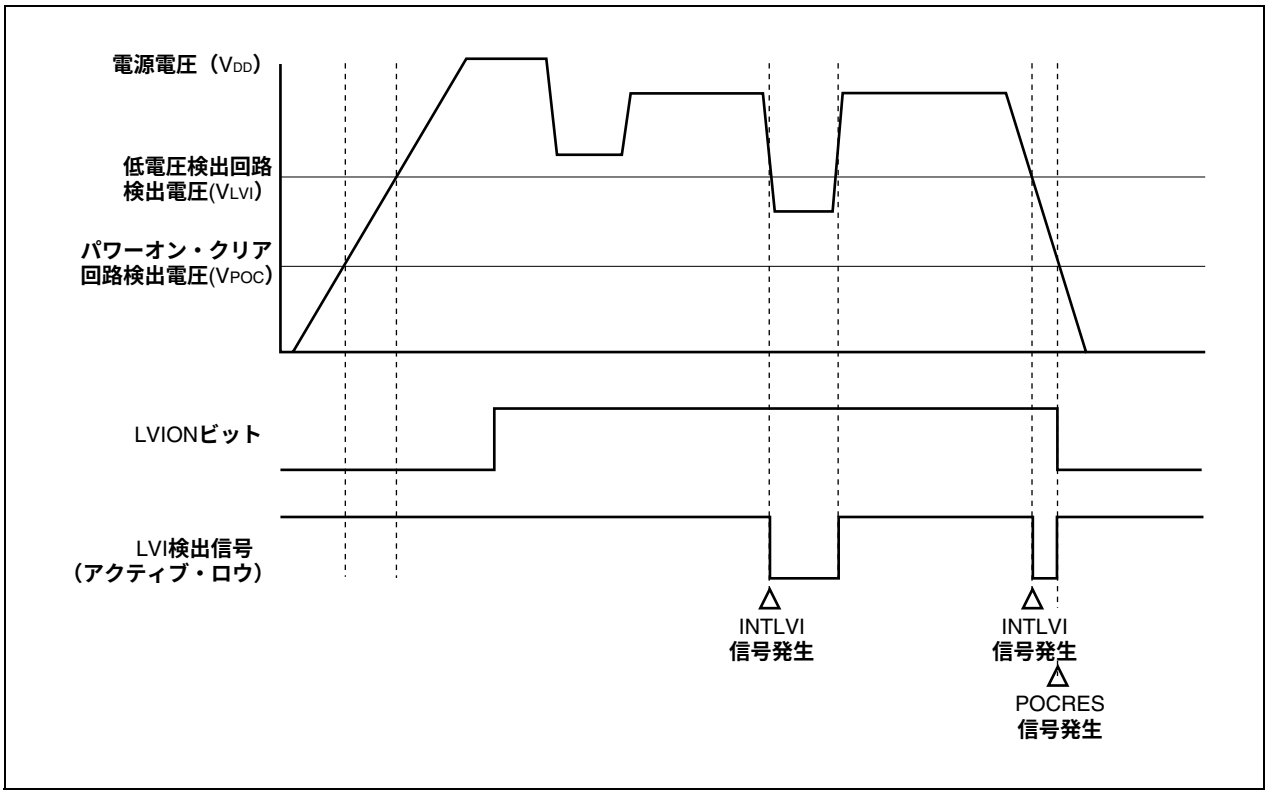
⑦ INTLVI割り込みのマスク状態を解除（LVIMKビット = 0）

注意　①のLVIMKビット = 0のまま設定すると，③の時点で割り込み（INTLVI）が発生する場合があります。

＜動作停止時＞

LVIONビット = 0 に設定。

図26－2　低電圧検出回路によるINTLVI割り込み発生タイミング



第27章　パワーオン・クリア回路

27.1　機　　能

パワーオン・クリア（POC）回路には次のような機能があります。

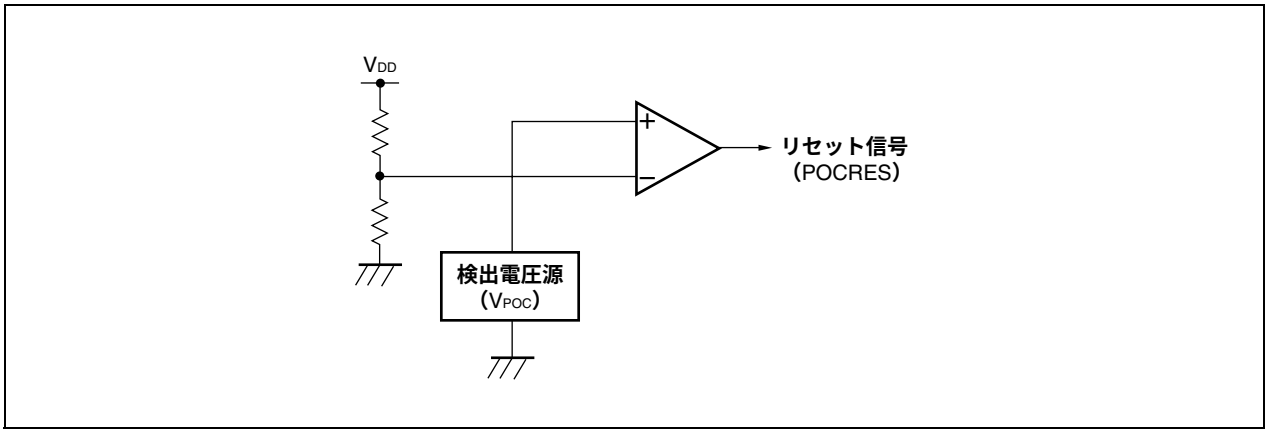
- 電源投入時にリセット信号（POCRES）を発生します。
- 電源電圧（V_{DD}）と検出電圧（V_{POC}）を比較しV_{DD}＜V_{POC}になったとき，リセット信号（POCRES）を発生します。（検出電圧（V_{POC}）：2.6 V±0.1 V）

注意　POC回路でPOCRES信号が発生した場合，RESFレジスタがクリア（00H）されます。

27.2　構　　成

パワーオン・クリア回路のブロック図を次に示します。

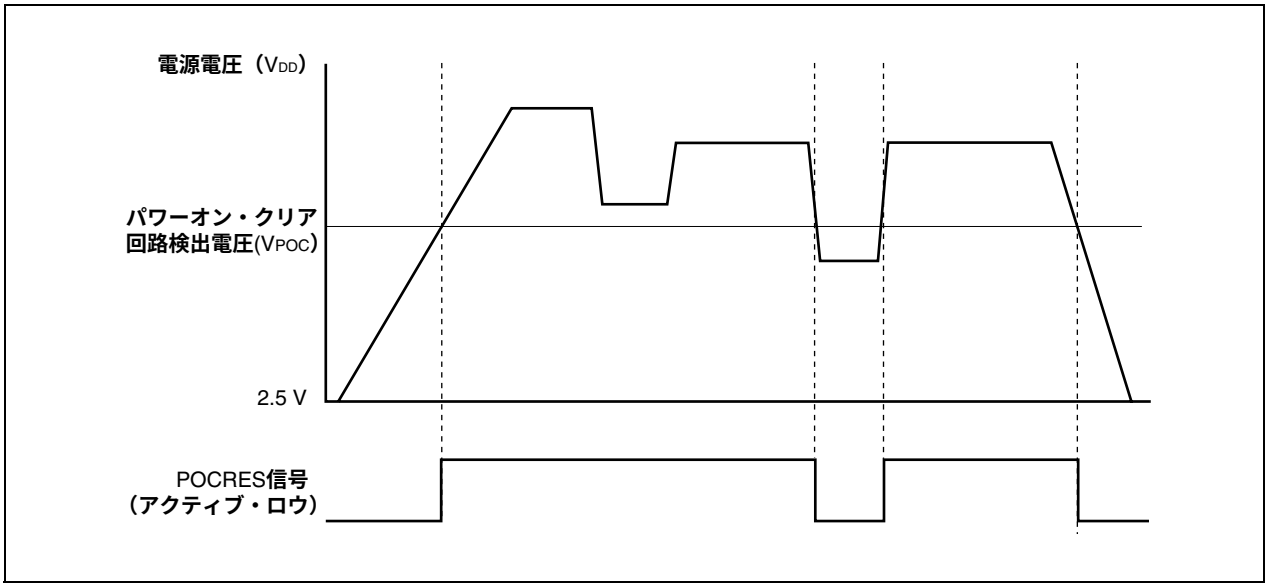
図27－1　パワーオン・クリア回路のブロック図



27.3 動　　作

パワーオン・クリア回路では，電源電圧（V_{DD}）と検出電圧（V_{POC}）を比較し，V_{DD}＜V_{POC}になったとき，リセット信号（POCRES）を発生します。

図27－2　パワーオン・クリア回路の動作



第28章　レギュレータ

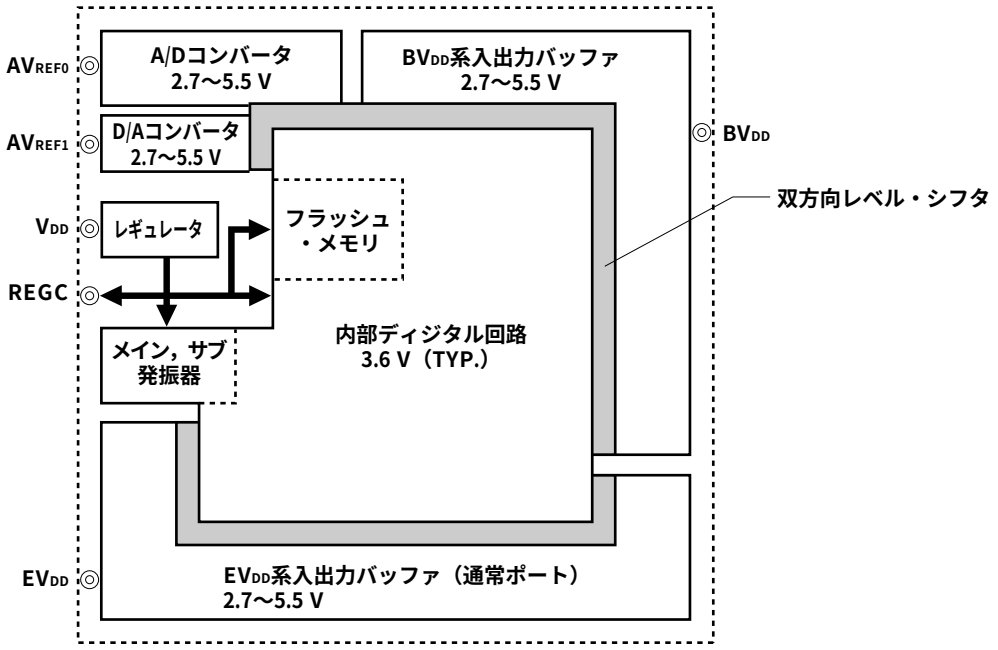
28. 1　概　　要

この製品では，低消費電力／低ノイズを実現するために，レギュレータを内蔵しています。

このレギュレータは，発振器ブロックと内部ロジック回路（A/Dコンバータ，D/Aコンバータ，出力バッファは除く）に，V_{DD}電源電圧を降圧した電圧を供給します。レギュレータ出力電圧は，3.6 V（TYP.）に設定しています。

★　注意　レギュレータ使用時（REGC = 10 μF）は，メイン・クロック発振回路およびサブクロック発振回路に外部クロックを入力できません。

図28－1　レギュレータ



注意　V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}≧BV_{DD}で使用してください。

28. 2　動　　作

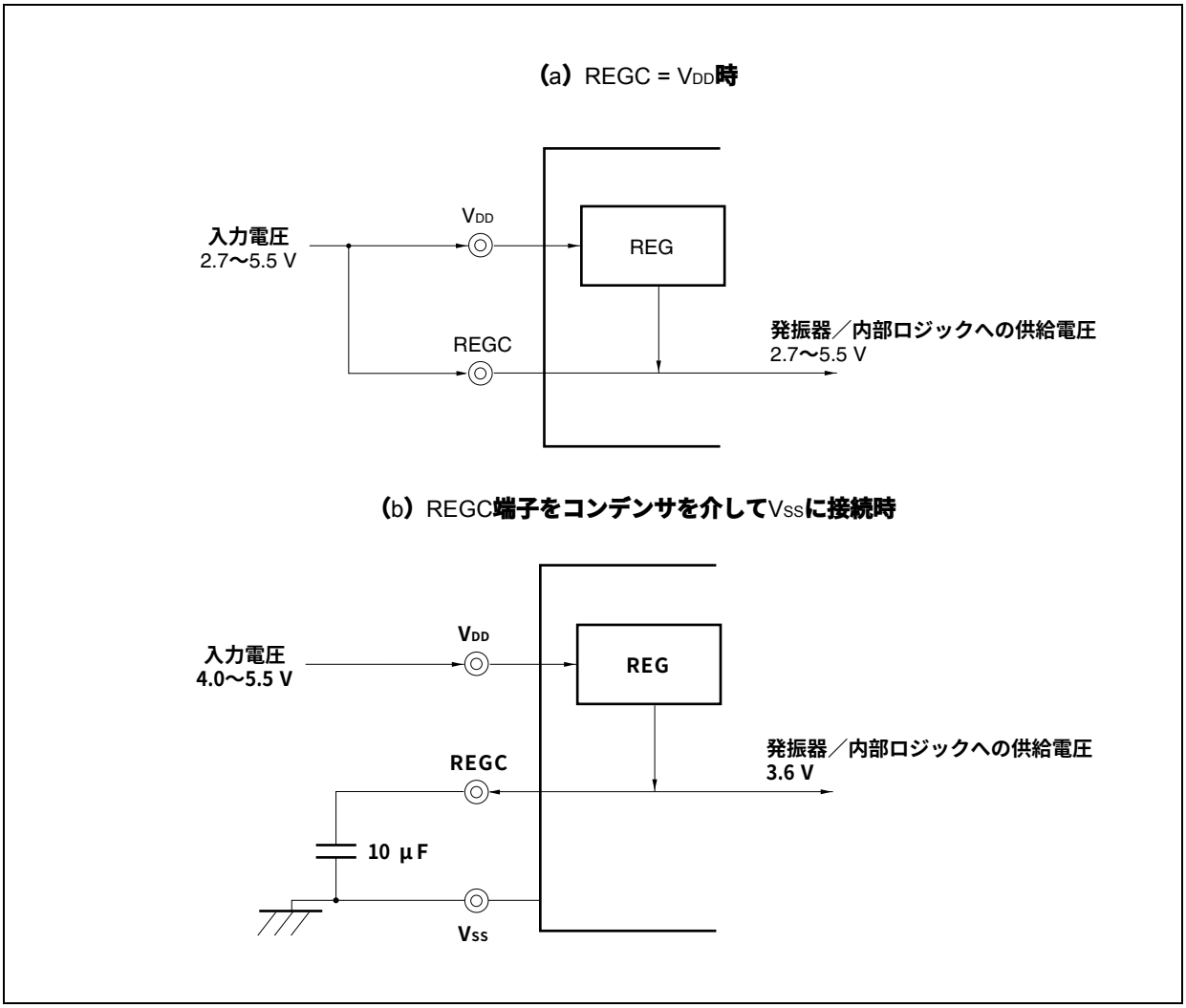
この製品のレギュレータは，次のモードのとき停止し，発振器への供給電圧はV_{DD}になります（REGC = 10 μF時のみ）。

- リセット時（WDTRES1，発振安定時間中除く）
- STOPモード
- サブIDLEモード

レギュレータを使用する場合，レギュレータの出力を安定させるためにREGC端子にコンデンサ（10 μF）を接続してください。

次に端子の接続の方法を示します。

図28－2　REGC端子の接続



第29章　ROMコレクション機能

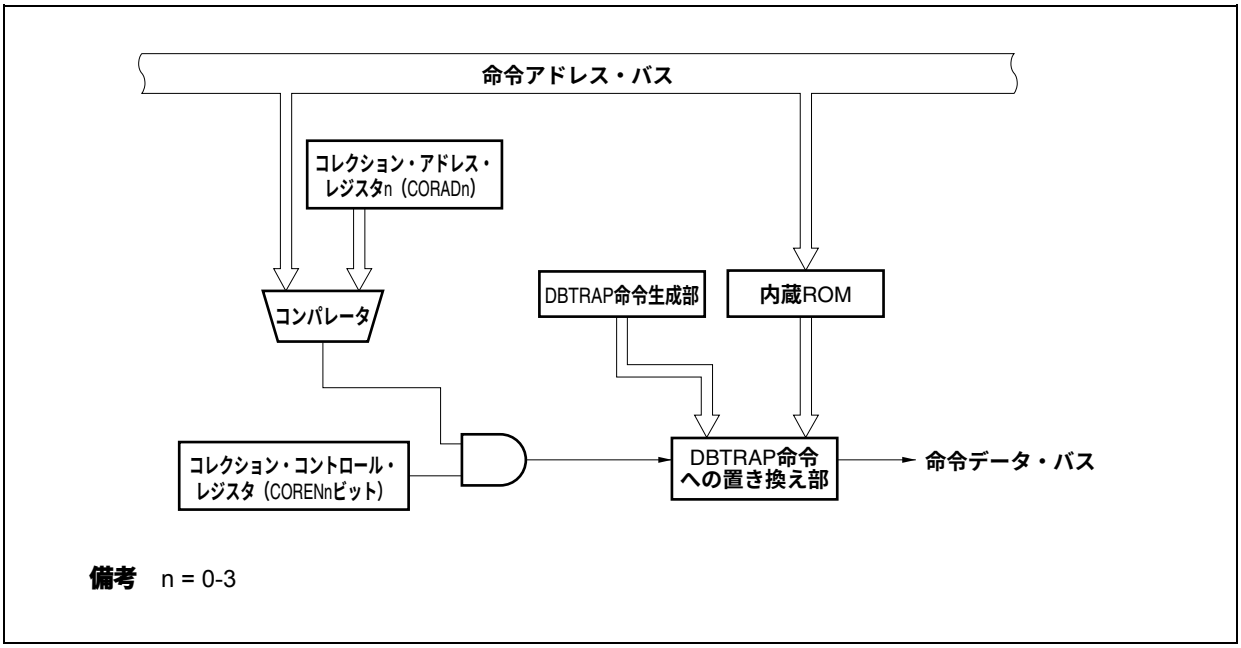
29. 1　概　　要

ROMコレクション機能とは，内蔵ROM内のプログラムの一部を，外部メモリまたは内蔵RAMのプログラムで置き換えて実行する機能です。

ROMコレクション機能を使用することにより，内蔵ROMで発見されたプログラム・バグの修正が可能です。

修正アドレスは最大4箇所指定できます。

図29ー1　ROMコレクションのブロック図



29. 2　制御レジスタ

29. 2. 1　コレクション・アドレス・レジスタ0-3（CORAD0-CORAD3）

修正するプログラムの先頭アドレスを設定するレジスタです。

CORADnレジスタは4つあるため，プログラムを最大4箇所修正できます。

32ビット単位でリード／ライト可能です。ただし，CORADnレジスタの上位16ビットをCORADnHレジスタ，下位16ビットをCORADnLレジスタとして使用する場合は，16ビット単位でリード／ライト可能です。

リセットにより00000000Hになります。

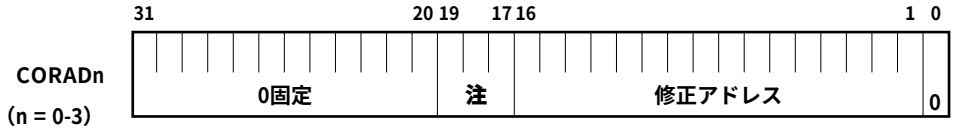
次に示す範囲で修正アドレスを設定してください。

μPD70F3311, 70F3311Y（128 Kバイト）：0000000H-001FFFEH

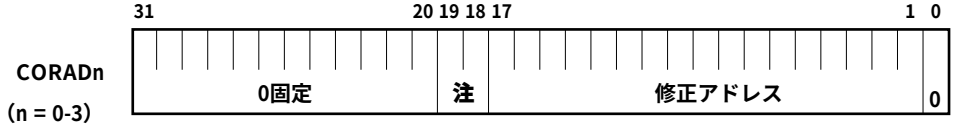
μPD703313, 703313Y, 70F3313, 70F3313Y（256 Kバイト）：0000000H-003FFFEH

リセット時：00000000H　R/W　アドレス：表29－1参照

（a）128 Kバイトの場合



（b）256 Kバイトの場合



注　必ず0を設定してください。

表29－1　CORADnのアドレス

アドレス	レジスタ名称	アドレス	レジスタ名称
FFFFF840H	CORAD0	FFFFF848H	CORAD2
FFFFF840H	CORAD0L	FFFFF848H	CORAD2L
FFFFF842H	CORAD0H	FFFFF84AH	CORAD2H
FFFFF844H	CORAD1	FFFFF84CH	CORAD3
FFFFF844H	CORAD1L	FFFFF84CH	CORAD3L
FFFFF846H	CORAD1H	FFFFF84EH	CORAD3H

29. 2. 2　コレクション・コントロール・レジスタ（CORCN）

各CORADnレジスタに設定したアドレスにおけるコレクション動作の禁止／許可を制御するレジスタです。

各チャネルごとに，有効／無効を設定できます。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　　R/W　　アドレス：FFFFF880H

	7	6	5	4	③	②	①	⓪
CORCN	0	0	0	0	COREN3	COREN2	COREN1	COREN0

CORENn	コレクション動作の禁止／許可
0	禁止
1	許可

備考　n = 0-3

表29ー2　CORCNレジスタのビットとCORADnレジスタの対応

CORCNレジスタのビット名称	対応するCORADnレジスタ
COREN3	CORAD3
COREN2	CORAD2
COREN1	CORAD1
COREN0	CORAD0

29. 3　ROMコレクションの動作とプログラムの流れ

① 修正したいアドレスと内蔵ROMのフェッチ・アドレスが一致すると，フェッチ・コードをDBTRAP命令で置き換えます。

② 置き換えられたDBTRAP命令が実行されると，00000060H番地に分岐します。

③ 分岐後のソフトウエア処理により，ROMコレクション判定（フェッチ・アドレスとROMコレクション動作許可の確認）と修正ソフトウエアへの分岐を行います。

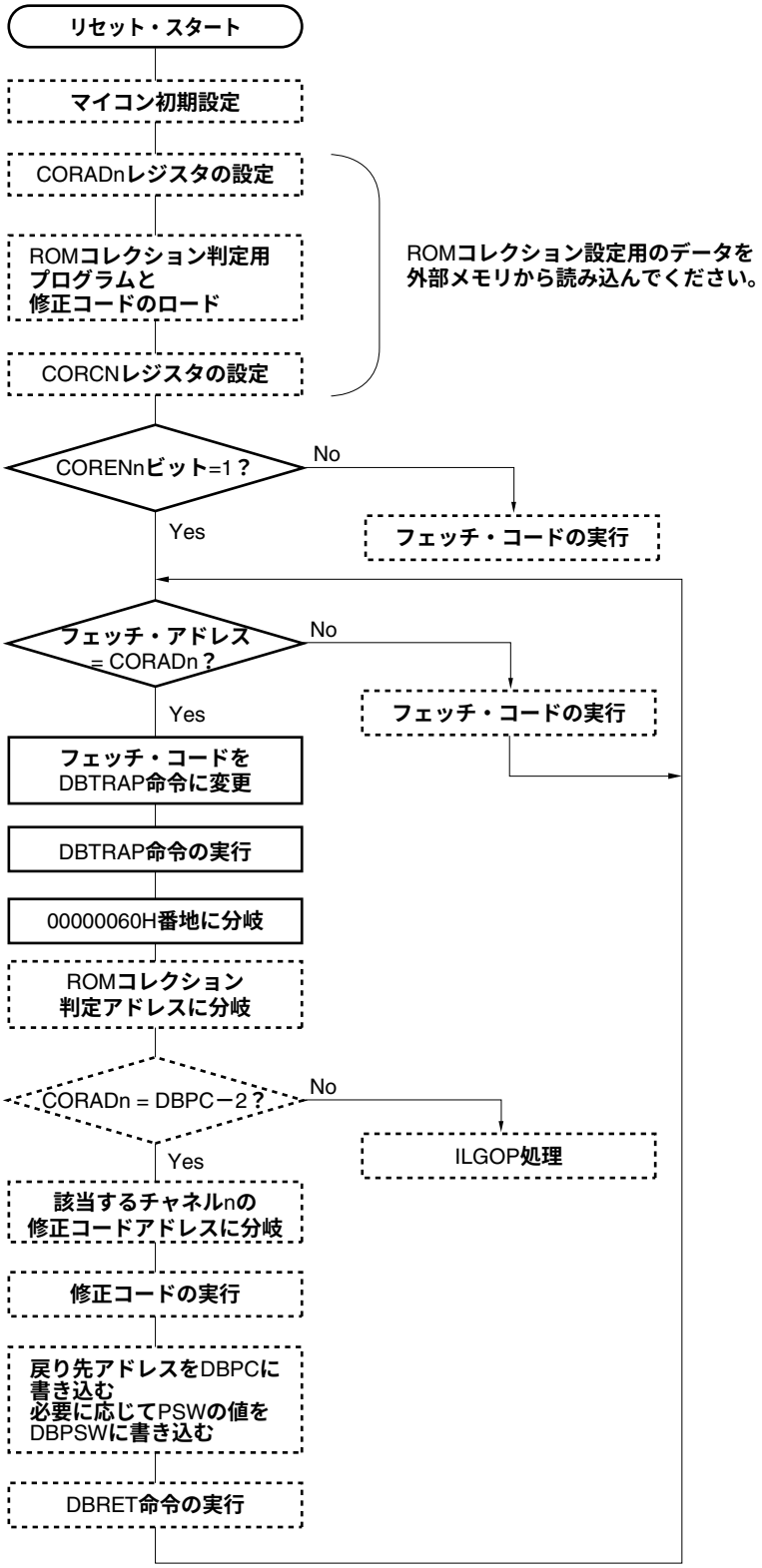
④ 修正ソフトウエア実行後，戻るアドレスのセットなどを行い，DBRET命令で復帰処理をします。

注意1.　上記③，④を実現するソフトウエアは，外部メモリ／内蔵RAM内で実行する必要があります。

2.　CORADnレジスタに修正したいアドレスを設定する際，内蔵ROMの容量に応じて，上位ビットに0を設定してください。

3.　ROMコレクション機能は内蔵ROMのデータに対しては使用できません。命令コードに対してのみ行うことができます。データに対してROMコレクションを行うと，そのデータがDBTRAP命令コードに入れ替わります。

図29－2　ROMコレクションの動作とプログラムの流れ



備考1.　：ユーザ・プログラム（ソフトウエア）による処理

：ROM内コレクション（ハードウエア）による処理

2.　n = 0-3

第30章　マスク・オプション／オプション・バイト

30. 1　マスク・オプション（マスクROM製品）

マスクROM製品（μPD703313, 703313Y）には，次のマスク・オプションがあります。

- P36-P39端子のプルアップ抵抗接続
- 内蔵発振器のソフトウエアによる停止許可／禁止
- リセット解除後のメイン・クロック発振の発振安定時間短縮

(1) P36-P39端子のプルアップ抵抗接続

PUmn	ポートmnのプルアップ抵抗接続オプション
0	接続しない
1	接続する

備考　mn = 36-39

(2) 内蔵発振器のソフトウエアによる停止許可／禁止

RSTP	内蔵発振器のソフトウエアによる停止制御
0	ソフトウエアにより停止可能
1	ソフトウエアによる設定無効

内蔵発振器のソフトウエアによる停止許可／無効オプションを設定することで，次のように動作が異なります。

表30－1　内蔵発振器のソフトウエアによる停止許可／禁止オプション

		RINGSTP = 0（停止可能）	RINGSTP = 1（設定無効）
内蔵発振器		内蔵発振器：停止可能 RCM.RSTOPビットの設定可能	内蔵発振器：停止不可 RSTOPビットの設定無効
WDT2	カウント動作	WDTM2.WDCS24ビットにより動作停止可能	動作停止不可
	入力クロック	WDTM2レジスタにより，次のクロックを選択可能 ・内蔵発振クロック：$f_R/8$ ・サブクロック：f_{XT}	内蔵発振クロック（$f_R/8$）に固定 （オーバフロー時間は設定可能）
	動作モード	WDTM2レジスタにより，次のモードを選択可能 ・NMI割り込みモード（INTWDT2） ・リセット・モード（WDTRES2）	リセット・モード（WDTRES2）固定

（3）リセット解除後のメイン・クロック発振の発振安定時間短縮

OSTS0	リセット解除後のメイン・クロック発振の発振安定時間短縮オプション		
		（OSTSレジスタの初期値）	発振安定時間
0	発振安定時間を短縮する	00H	2^{13}/fx
1	発振安定時間を短縮しない	01H	2^{15}/fx

30. 2　オプション・バイト（フラッシュ・メモリ製品）

フラッシュ・メモリ製品（μPD70F3311, 70F3311Y, 70F3313, 70F3313Y）では，マスクROM製品のマスク・オプションをオプション・バイトで実現できます（プルアップ抵抗オプション以外）。

オプション・バイトは，内蔵フラッシュ・メモリの000007AH番地（内蔵ROM領域）に8ビット・データとして格納しています。

アドレス：0000007AH

7	6	5	4	3	2	1	0
－	－	－	OSTS0	－	－	－	RSTP

OSTS0注1	リセット解除後のメイン・クロック発振の発振安定時間短縮オプション
0	発振安定時間を短縮する（OSTSレジスタの初期値 = 00H）
1	発振安定時間を短縮しない（OSTSレジスタの初期値 = 01H）

RSTP注2	内蔵発振器のソフトウエアによる停止許可／禁止オプション
0	ソフトウエアによる停止を許可
1	ソフトウエアによる停止を禁止

注1.　オプションの詳細は30. 1（3）リセット解除後のメイン・クロック発振の発振安定時間短縮を参照してください。

2.　オプションの詳細は表30－1　内蔵発振器のソフトウエアによる停止許可／禁止オプションを参照してください。

第31章　フラッシュ・メモリ

次に示す製品はV850ES/KG1+のフラッシュ・メモリ内蔵品です。

注意　フラッシュ・メモリ製品とマスクROM製品では，ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は，マスクROM製品のCS製品（ES製品ではなく）で十分に評価してください。
また，フラッシュ・メモリの書き換えに関するスペックについては，第33章　電気的特性を参照してください。

・μPD70F3311, 70F3311Y：128 Kバイトのフラッシュ・メモリ内蔵
・μPD70F3313, 70F3313Y：256 Kバイトのフラッシュ・メモリ内蔵

フラッシュ・メモリ内蔵品を使用した開発用途および量産用途として，次のような利点があります。

○ターゲット・システムにV850ES/KG1+を半田実装後，ソフトウエアの変更可能
○量産立ち上げ時のデータ調整が容易
○規格ごとにソフトウエアを区別することで少量多品種生産が容易
○在庫管理が容易
○出荷後のソフトウエアのアップデートが容易

31.1　特　　徴

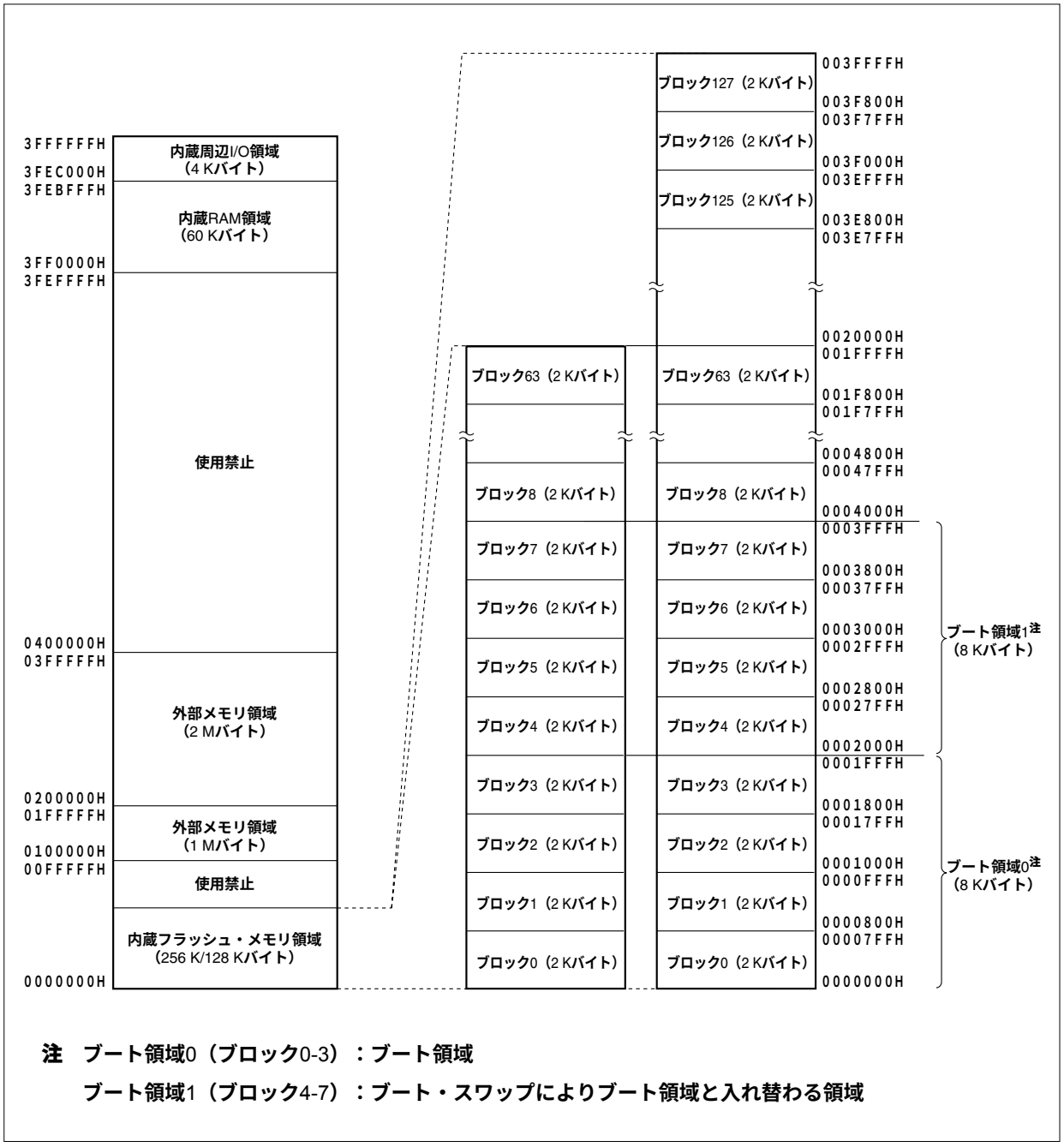
○4バイト/1クロック・アクセス（命令フェッチ時）
○容量：128 Kバイト／256 Kバイト
○書き換え電圧：単電源による消去／書き込みが可能
○書き換え方式
　・専用フラッシュ・ライタとのシリアル・インタフェースを介しての通信による書き換え（オンボード／オフボード・プログラミング）
　・ユーザ・プログラムによるフラッシュ・メモリの書き換え（セルフ・プログラミング）
○フラッシュ・メモリの書き換え禁止機能をサポート（セキュリティ機能）
○ブート・スワップ機能により，セルフ・プログラミングによる全フラッシュ・メモリ領域の安全な書き換えが可能
○セルフ・プログラミング中の割り込み受け付け可能

31. 2　メモリ構成

128 K/256 Kバイトの内蔵フラッシュ・メモリの領域は64/128個のブロックに分割されており，各ブロック単位にてプログラム／消去可能となっています。全ブロックの一括消去も可能です。

また，ブート・スワップ機能を用いた場合，ブート領域0のアドレスに配置された物理メモリ（ブロック0-3）と，ブート領域1のアドレスに配置された物理メモリ（ブロック4-7）が入れ替わります。ブート・スワップ機能詳細については，31. 5　**セルフ・プログラミングによる書き換え**を参照してください。

図31－1　フラッシュ・メモリ・マッピング



注　ブート領域0（ブロック0-3）：ブート領域
　　ブート領域1（ブロック4-7）：ブート・スワップによりブート領域と入れ替わる領域

31.3　機能概要

V850ES/KG1+の内蔵フラッシュ・メモリは，専用フラッシュ・ライタによる書き換え機能により，ターゲット・システムへの実装前，実装後にかかわらず書き換えが可能です（オンボード／オフボート・プログラミング）。

また，内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており，第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）は，ターゲット・システムの製造／出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。全フラッシュ・メモリ領域を安全に書き換えるためのブート・スワップ機能もサポートしています。また，セルフ・プログラミング中の割り込み処理のサポートにより，外部との通信処理を行いながら書き換えを行うなど，さまざまな条件での書き換えが可能です。

表31－1　書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・ライタを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・ライタと専用プログラム・アダプタ・ボード（FAシリーズ）を用いることにより，ターゲット・システムに実装する前に，フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オンボード／オフボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により，フラッシュ・メモリの書き換えが可能です。（セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので，内蔵RAMもしくは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。）	通常動作モード

備考　FAシリーズは，（株）内藤電誠町田製作所の製品です。

表31－2　基本機能一覧

機　能	機能概要	サポートの有無（○：サポート，×：未サポート）	
		オンボード／オフボード・プログラミング	セルフ・プログラミング
ブロック消去	指定したブロックのメモリの内容の消去を行います。	○	○
チップ消去	全メモリの内容の一括消去を行います。	○	×
書き込み	指定したアドレスの書き込みおよび書き込みレベルが確保されているかどうかのベリファイ・チェックを行います。	○	○
ベリファイ／チェック・サム	フラッシュ・メモリから読み出したデータと，フラッシュ・ライタから転送されたデータの比較を行います。	○	×（ユーザ・プログラムにて読み出しは可能）
ブランク・チェック	全メモリの消去状態の確認を行います。	○	○
★ セキュリティ設定	ブロック消去コマンド／チップ消去コマンド／プログラム・コマンド／リード・コマンドの使用禁止設定，およびブート領域の書き換え禁止設定を行います。	○	×（設定を許可から禁止にする場合のみ可能）

次にセキュリティ機能の一覧を示します。ブロック消去コマンド禁止／チップ消去コマンド禁止／プログラム・コマンド禁止機能は，出荷後の初期状態はすべて許可になっており，オンボード／オフボート・プログラミングによる書き換えでのみセキュリティ設定が可能です。各セキュリティ設定に関しては，同時に組み合わせて使用できます。

★ 表31－3　セキュリティ機能一覧

機　能	機能概要
ブロック消去コマンド禁止	全ブロックに対してのブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって，禁止設定の初期化が可能です。
チップ消去コマンド禁止	全ブロックに対してのブロック消去および，チップ消去コマンドの実行を禁止します。一度禁止設定するとチップ消去コマンドが実行できないため，すべての禁止設定の初期化ができなくなります。
プログラム・コマンド禁止	全ブロックに対してのプログラム・コマンドとブロック消去コマンドを禁止します。チップ消去コマンドの実行によって，禁止設定の初期化が可能です。
リード・コマンド禁止	全ブロックに対してのリード・コマンドを禁止します。チップ消去コマンドの実行によって，禁止設定の初期化が可能です。
ブート領域の書き換え禁止設定	ブロック0から指定した最終ブロックまで，ブート領域を保護することが可能です。ブート領域を保護すると，それ以降保護されたブート領域の書き換え（消去および書き込み）はできません。チップ消去コマンドを実行しても，禁止設定の初期化はできません。

★ **表31－4　セキュリティ設定**

機　　能	各セキュリティ設定時の消去／書き込み/読み出し動作（○：実行可能，×：実行不可，－：未サポート）		セキュリティ設定注意事項	
	オンボード／オフボード・プログラミング	セルフ・プログラミング	オンボード／オフボード・プログラミング	セルフ・プログラミング
ブロック消去コマンド禁止	ブロック消去コマンド：× チップ消去コマンド：○ プログラム・コマンド：○ リード・コマンド：○	ブロック消去（FlashBlockErase）：○ チップ消去：－ 書き込み（FlashWordWrite）：○ 読み出し（FlashWordRead）：○	チップ消去コマンドによる禁止設定の初期化が可能	設定を許可から禁止にする場合のみ可能
チップ消去コマンド禁止	ブロック消去コマンド：× チップ消去コマンド：× プログラム・コマンド：○ リード・コマンド：○	ブロック消去（FlashBlockErase）：○ チップ消去：－ 書き込み（FlashWordWrite）：○ 読み出し（FlashWordRead）：○	禁止設定の初期化が不可能	
プログラム・コマンド禁止	ブロック消去コマンド：× チップ消去コマンド：○[注1] プログラム・コマンド：× リード・コマンド：○	ブロック消去（FlashBlockErase）：○ チップ消去：－ 書き込み（FlashWordWrite）：○ 読み出し（FlashWordRead）：○	チップ消去コマンドによる禁止設定の初期化が可能	
リード・コマンド禁止	ブロック消去コマンド：○ チップ消去コマンド：○ プログラム・コマンド：○ リード・コマンド：×	ブロック消去（FlashBlockErase）：○ チップ消去：－ 書き込み（FlashWordWrite）：○ 読み出し（FlashWordRead）：○	チップ消去コマンドによる禁止設定の初期化が可能	
ブート領域の書き換え禁止	ブロック消去コマンド：○[注2] チップ消去コマンド：× プログラム・コマンド：○[注2] リード・コマンド：○	ブロック消去（FlashBlockErase）：○ チップ消去：－ 書き込み（FlashWordWrite）：○ 読み出し（FlashWordRead）：○	禁止設定の初期化が不可能	

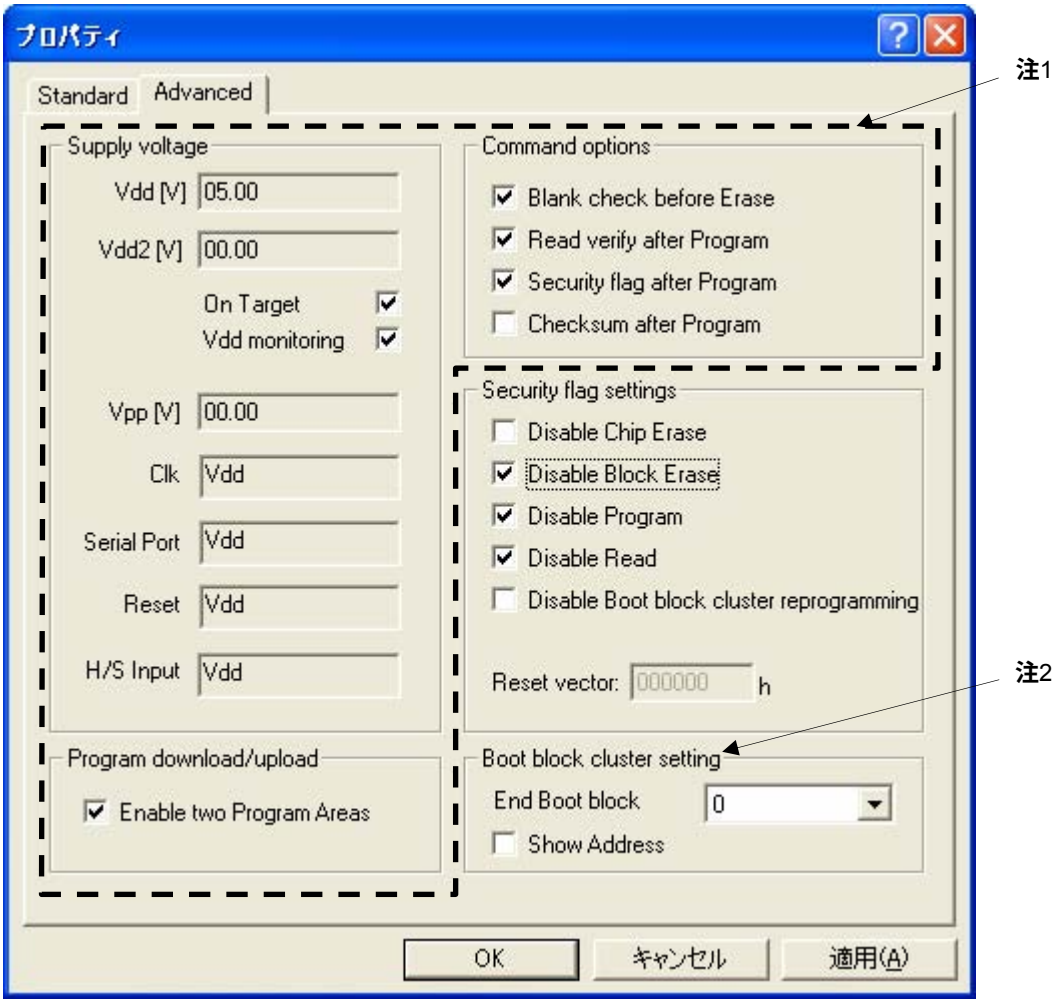
注1.　消去コマンドは無効となるため，すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできません。

2.　書き換えが禁止されたブート領域は無効です。

★　(1) PG-FP4でのセキュリティ設定（Security flag settings）

リード・コマンド禁止（Disable Read）に設定する場合，セキュリティを高めるために，ブロック消去コマンド禁止（Disable Block Erase）とプログラム・コマンド禁止（Disable Program）にすることを推奨します。

さらに，マスクROM製品と同様にプログラムを書き換える必要がない場合は，チップ消去コマンド禁止（Disable Chip Erase）を追加してください。



注1．破線内のSupply voltage, Program download/upload, Command optionsに関しては使用条件に応じて設定してください。

2. ブート領域（Boot block cluster setting）の書き換えを禁止する場合は，Security flag settingのDisable Boot block cluster reprogrammingを選択し，書き換えを禁止するブート領域の最終ブロックを選択してください。

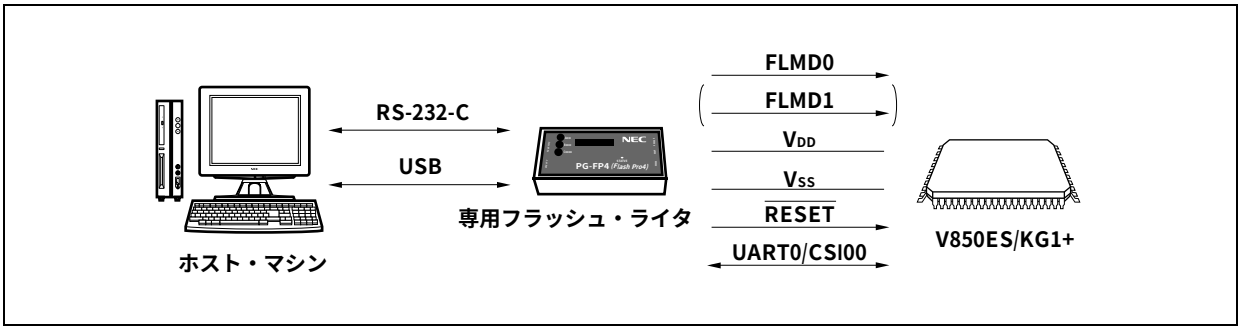
31. 4　専用フラッシュ・ライタでの書き換え

専用フラッシュ・ライタにて，ターゲット・システム上にV850ES/KG1+を実装後のフラッシュ・メモリの書き換えが可能です（オンボード・プログラミング）。また，専用プログラム・アダプタ（FAシリーズ）を使用すれば，ターゲット・システムに実装する前でのフラッシュ・メモリの書き換えが可能です（オフボード・プログラミング）。

31. 4. 1　プログラミング環境

V850ES/KG1+のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図31－2　フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・ライタには，これを制御するホスト・マシンが必要です。

また，専用フラッシュ・ライタとV850ES/KG1+とのインタフェースはUART0またはCSI00を使用して，書き込み，消去等の操作を行います。オフボードで書き込む場合は，専用プログラム・アダプタ（FAシリーズ）が必要です。

備考　FAシリーズは，㈱内藤電誠町田製作所の製品です。

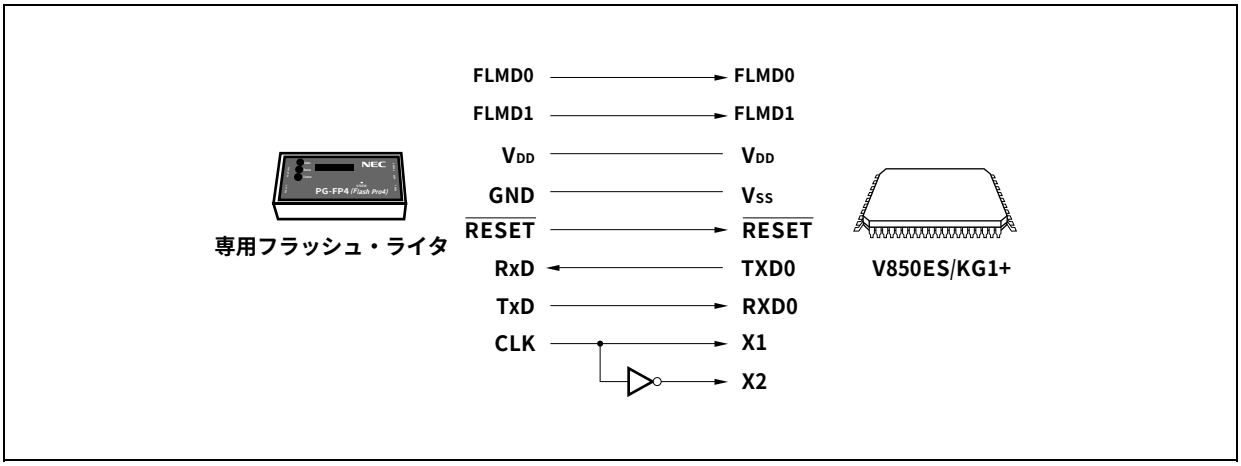
31. 4. 2　通信方式

専用フラッシュ・ライタとV850ES/KG1+との通信は，V850ES/KG1+のUART0またはCSI00によるシリアル通信で行います。

（1）UART0

転送レート：9600〜153600 bps

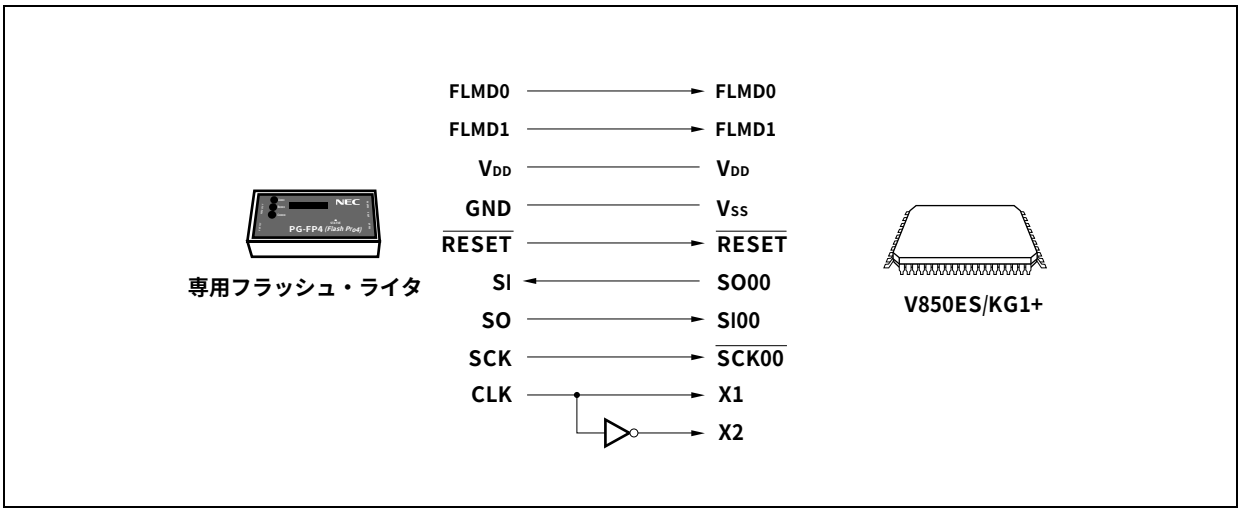
図31ー3　専用フラッシュ・ライタとの通信（UART0）



（2）CSI00

シリアル・クロック：2.4 kHz〜2.5 MHz（MSBファースト）

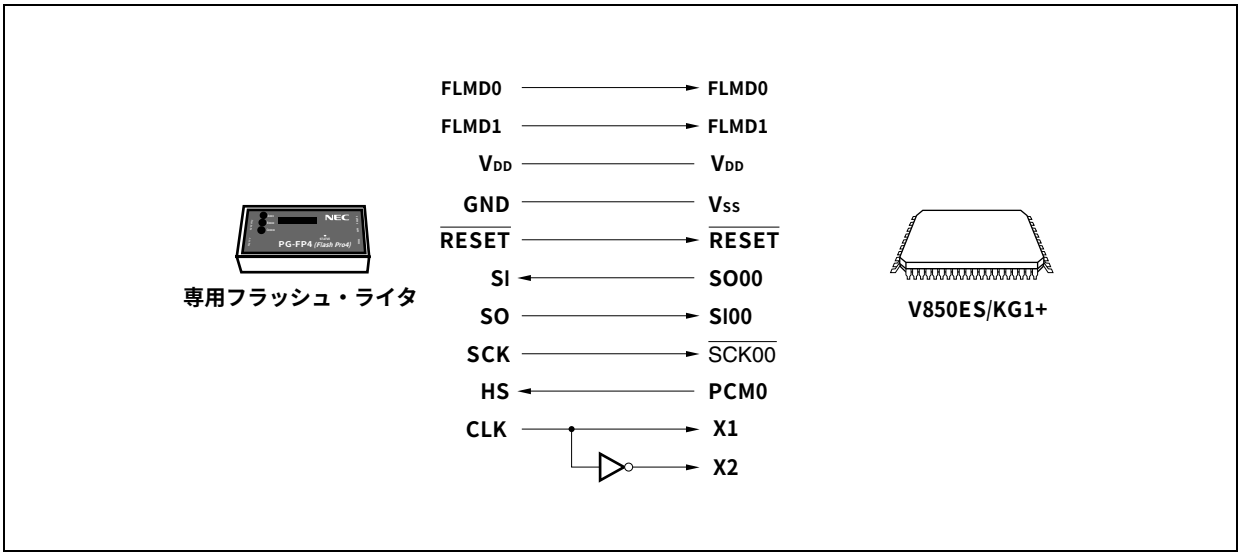
図31ー4　専用フラッシュ・ライタとの通信（CSI00）



(3) CSI00＋HS

シリアル・クロック：2.4 kHz～2.5 MHz（MSBファースト）

図31－5　専用フラッシュ・ライタとの通信（CSI00＋HS）



専用フラッシュ・ライタが転送クロックを出力し，V850ES/KG1+はスレーブとして動作します。

専用フラッシュ・ライタとしてPG-FP4を使用した場合，PG-FP4はV850ES/KG1+に対して次の信号を生成します。詳細はPG-FP4　ユーザーズ・マニュアル（U15260J）を参照してください。

表31－5　専用フラッシュ・ライタ（PG-FP4）の信号接続一覧

PG-FP4			V850ES/KG1+	接続時の処置		
信号名	入出力	端子機能	端子名	UARTA0	CSI00	CSI00＋HS
FLMD0	出力	書き込み許可／禁止	FLMD0	◎	◎	◎
FLMD1	出力	書き込み許可／禁止	FLMD1	◎注1	◎注1	◎注1
VDD	－	VDD電圧生成／電圧監視	VDD	◎	◎	◎
GND	－	グランド	VSS	◎	◎	◎
CLK	出力	V850ES/KG1+へのクロック出力	X1, X2	×注2	×注2	×注2
$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$	◎	◎	◎
SI/RxD	入力	受信信号	SO00, TXD0	◎	◎	◎
SO/TxD	出力	送信信号	SI00, RXD0	◎	◎	◎
SCK	出力	転送クロック	$\overline{\text{SCK00}}$	×	◎	◎
HS	入力	CSI00＋HS通信のハンドシェーク信号	PCM0	×	×	◎

注1.　図31－6，図31－7のように配線するか，もしくはボード上でプルダウン抵抗を介してGNDに接続してください。

2.　PG-FP4からクロック供給を行う場合は接続してください（図31－6，図31－7のように配線するか，ボード上に発振回路を作成してクロックを供給してください。）。

備考　◎：必ず接続してください。

×：接続の必要はありません。

表31－6　μPD70F3311, 70F3311Y, 70F3313, 70F3313Yと PG-FP4の配線表

フラッシュ・ライタ（PG-FP4）接続端子図			FAボードの端子名	CSI00-HS使用時			CSI00使用時			UART0使用時		
信号名	入出力	端子機能		端子名	ピン番号		端子名	ピン番号		端子名	ピン番号	
					GC	GF		GC	GF		GC	GF
SI/RxD	入力	受信信号	SI	P41/SO00/TXD2	23	25	P41/SO00/TXD2	23	25	P30/TXD0/TO02	25	27
SO/TxD	出力	送信信号	SO	P40/SI00/RXD2	22	24	P40/SI00/RXD2	22	24	P31/RXD0/INTP7/TO03	26	28
SCK	出力	転送クロック	SCK	P42/$\overline{\text{SCK00}}$	24	26	P42/$\overline{\text{SCK00}}$	24	26	必要なし	必要なし	
CLK	出力	V850ES/KG1+へのクロック	X1	X1	12	14	X1	12	14	X1	12	14
			X2	X2[注]	13	15	X2[注]	13	15	X2[注]	13	15
/RESET	出力	リセット信号	/RESET	$\overline{\text{RESET}}$	14	16	$\overline{\text{RESET}}$	14	16	$\overline{\text{RESET}}$	14	16
FLMD0	入力	書き込み電圧	FLMD0	FLMD0	8	10	FLMD0	8	10	FLMD0	8	10
FLMD1	入力	書き込み電圧	FLMD1	PDL5/AD5/FLMD1	76	78	PDL5/AD5/FLMD1	76	78	PDL5/AD5/FLMD1	76	78
HS	入力	CSI00＋HS通信のハンドシェーク信号	RESERVE/HS	PCM0/$\overline{\text{WAIT}}$	61	63	必要なし	必要なし		必要なし	必要なし	
VDD	－	V_{DD}電圧生成／電圧監視	VDD	V_{DD}	9	11	V_{DD}	9	11	V_{DD}	9	11
				BV_{DD}	70	72	BV_{DD}	70	72	BV_{DD}	70	72
				EV_{DD}	34	36	EV_{DD}	34	36	EV_{DD}	34	36
				AV_{REF0}	1	3	AV_{REF0}	1	3	AV_{REF0}	1	3
				AV_{REF1}	5	7	AV_{REF1}	5	7	AV_{REF1}	5	7
GND	－	グランド	GND	V_{SS}	11	13	V_{SS}	11	13	V_{SS}	11	13
				AV_{SS}	2	4	AV_{SS}	2	4	AV_{SS}	2	4
				BV_{SS}	69	71	BV_{SS}	69	71	BV_{SS}	69	71
				EV_{SS}	33	35	EV_{SS}	33	35	EV_{SS}	33	35

注　フラッシュ・ライタのクロック・アウトを使用する際は，ライタのCLKとX1を接続し，X2にはその反転信号を接続してください。

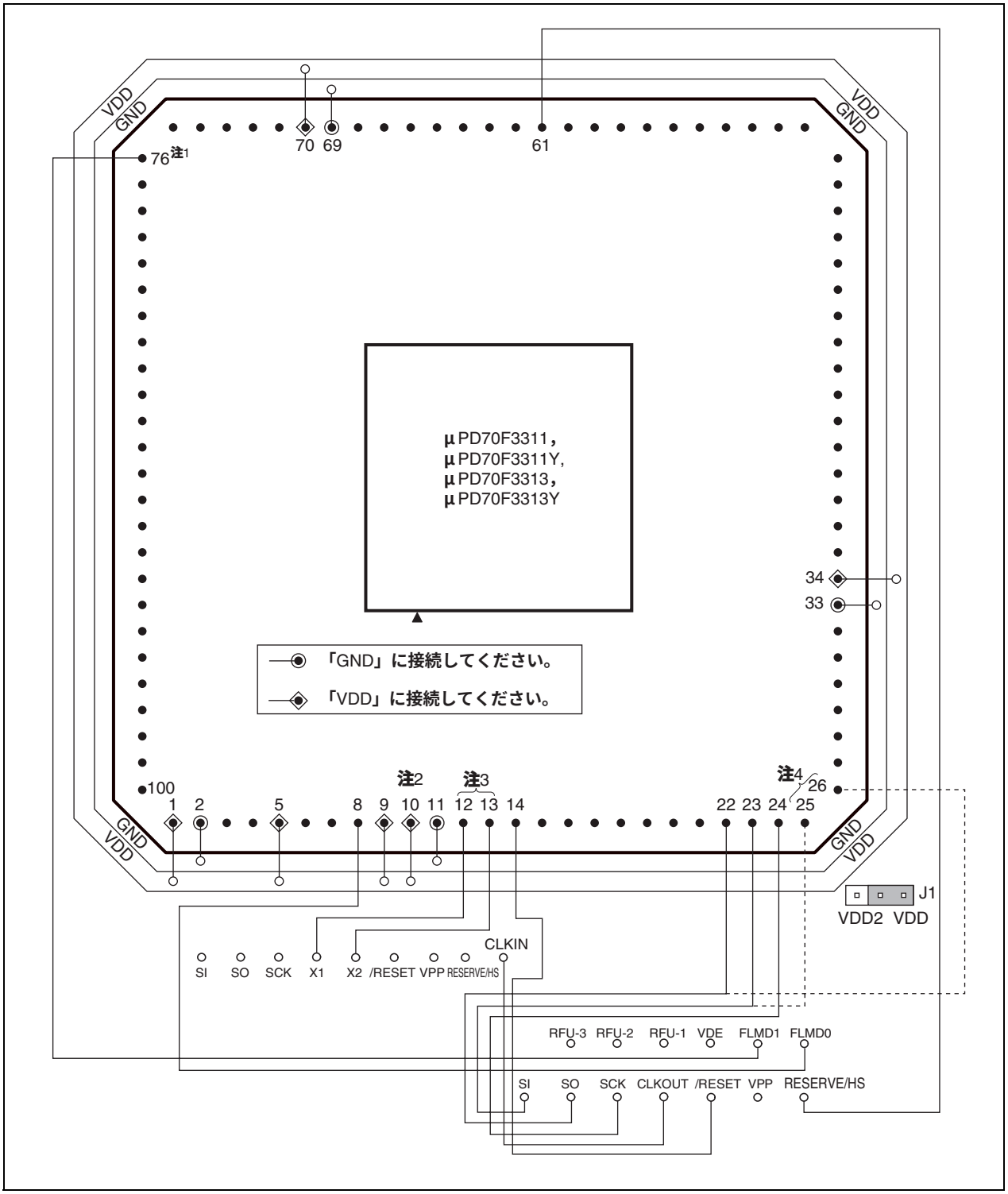
注意1.　REGC端子は，必ず次に示すどちらかの方法で接続してください。

- 10 μFのコンデンサを介してGNDに接続
- V_{DD}に直接接続

2.　REGC端子を10 μFのコンデンサを介してGNDに接続する場合，フラッシュ・ライタのCLK端子からのクロック供給はできません。
ボード上に発振回路を作成してクロックを供給してください。

備考　GC：100ピン・プラスチックLQFP（ファインピッチ）（14×14）
GF：100ピン・プラスチックQFP（14×20）

★ **図31ー6　V850ES/KG1+フラッシュ書き込み用アダプタ（FA-100GC-8EU-A）の配線例（1/2）**



★　**図31ー6　V850ES/KG1+フラッシュ書き込み用アダプタ（FA-100GC-8EU-A）の配線例（2/2）**

注1.　FLMD1端子は図のように配線するか,もしくはボード上でプルダウン抵抗を介してGNDに接続してください。

2.　REGC端子は，必ず次に示すどちらかの方法で接続してください。

- 10 μFのコンデンサを介してGNDに接続
- V_{DD}に直接接続

REGC端子を10 μFのコンデンサを介してGNDに接続する場合，フラッシュ・ライタのCLK端子からのクロック供給はできません。

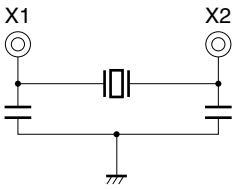
ボード上に発振回路を作成してクロックを供給してください。

3.　この図はPG-FP4からクロック供給をする場合の配線例です。

PG-FP4からクロック供給をする場合は必ず次のように設定，接続してください。

- フラッシュ・アダプタ（FA）のJ1をVDD側に設定
- FAのCLKOUTをFAのCLKINに接続
- FAのX1をデバイスのX1に接続
- FAのX2をデバイスのX2に接続

フラッシュ・アダプタ上に発振回路を作成してクロックを供給する場合は上記の設定・接続の必要はありません。次に回路例を示します。



4.　UART0使用時の該当端子

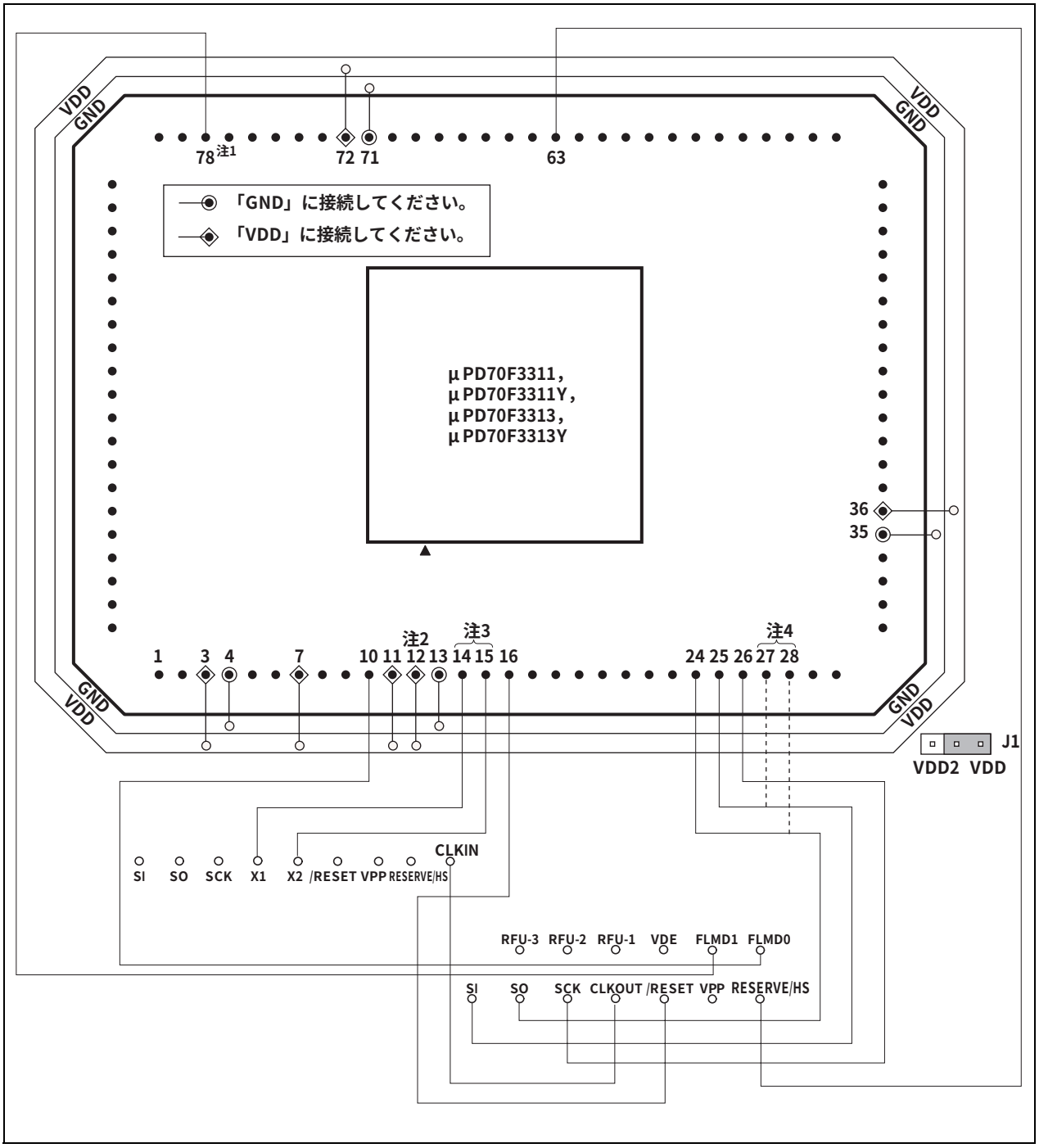
備考 1.　記述していない端子は，未使用時の端子処理に従って処理してください（2. 3　**端子の入出力回路タイプと未使用時の処理**参照）。

抵抗を介して V_{DD} に接続する場合，1 k～10 kΩの抵抗を接続することを推奨します。

2.　このアダプタは 100 ピン・プラスチック LQFP（ファインピッチ）パッケージ用です。

3.　この図はハンドシェーク対応 CSI 時の結線です。

★　**図31ー7　V850ES/KG1+フラッシュ書き込み用アダプタ（FA-100GF-3BA-A）の配線例（1/2）**



★ **図31ー7　V850ES/KG1+フラッシュ書き込み用アダプタ（FA-100GF-3BA-A）の配線例（2/2）**

注1.　FLMD1端子は図のように配線するか,もしくはボード上でプルダウン抵抗を介してGNDに接続してください。

2.　REGC端子は，必ず次に示すどちらかの方法で接続してください。

- 10 μFのコンデンサを介してGNDに接続
- V_{DD}に直接接続

REGC端子を10 μFのコンデンサを介してGNDに接続する場合，フラッシュ・ライタのCLK端子からのクロック供給はできません。

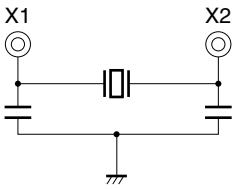
ボード上に発振回路を作成してクロックを供給してください。

3.　この図はPG-FP4からクロック供給をする場合の配線例です。

PG-FP4からクロック供給をする場合は必ず次のように設定，接続してください。

- フラッシュ・アダプタ（FA）のJ1をVDD側に設定
- FAのCLKOUTをFAのCLKINに接続
- FAのX1をデバイスのX1に接続
- FAのX2をデバイスのX2に接続

フラッシュ・アダプタ上に発振回路を作成してクロックを供給する場合は上記の設定・接続の必要はありません。次に回路例を示します。



4.　UART0使用時の該当端子

備考 1.　記述していない端子は，未使用時の端子処理に従って処理してください（2. 3　**端子の入出力回路タイプと未使用時の処理**参照）。

抵抗を介して V_{DD} に接続する場合，1 k～10 kΩの抵抗を接続することを推奨します。

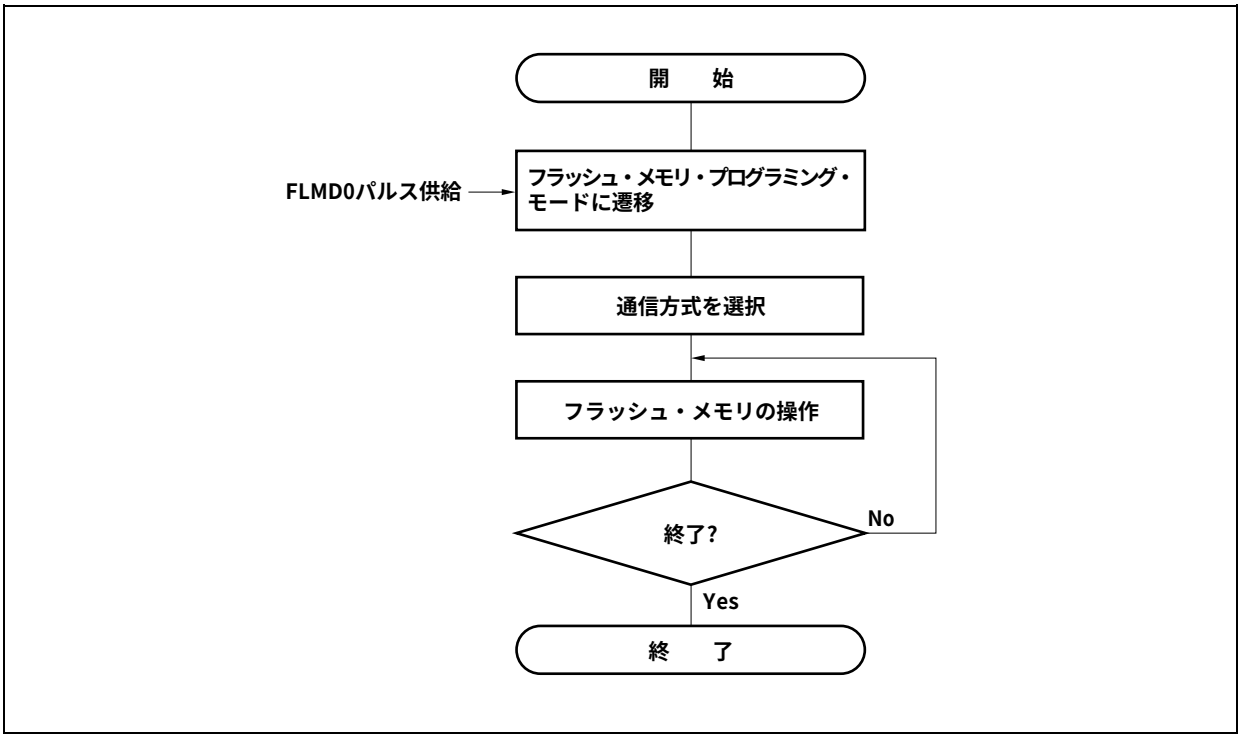
2.　このアダプタは 100 ピン・プラスチック QFP パッケージ用です。

3.　この図はハンドシェーク対応 CSI 時の結線です。

31. 4. 3　フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図31－8　フラッシュ・メモリの操作手順

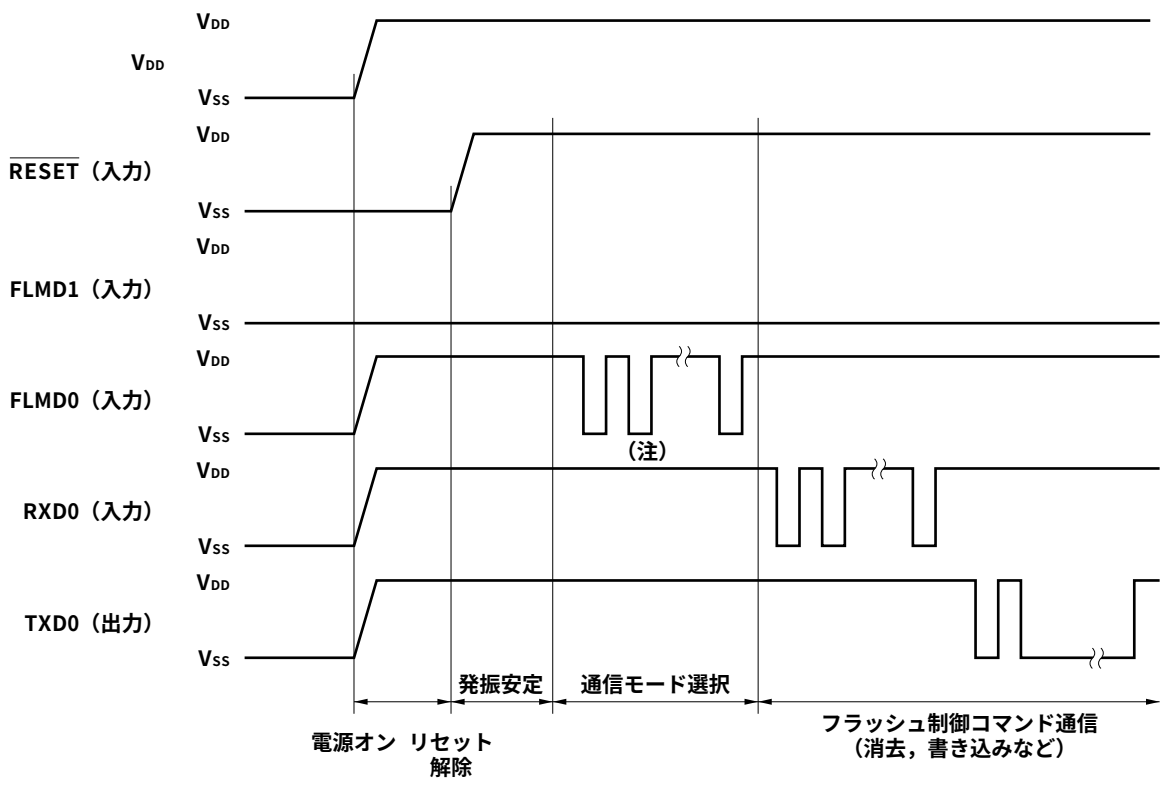


31. 4. 4　通信方式の選択

V850ES/KG1+では，フラッシュ・メモリ・プログラミング・モードに遷移後，FLMD0端子にパルス（最大12パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・ライタが生成します。

パルス数と通信方式の関係を次に示します。

図31－9　通信方式の選択



注　挿入されるクロック数は通信方式によって，次のようになります。

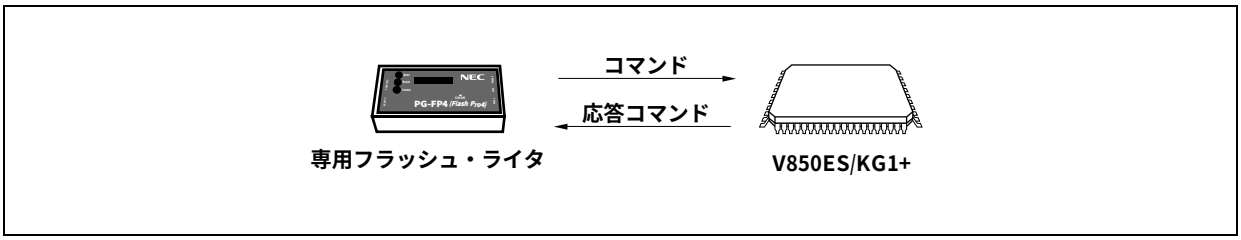
FLMD0パルス	通信方式	備　　考
0	UART0	通信レート：9600 bps（リセット時），LSBファースト
8	CSI00	V850ES/KG1+はスレーブ動作，MSBファースト
11	CSI00＋HS	V850ES/KG1+はスレーブ動作，MSBファースト
その他	RFU	設定禁止

注意　UART0選択時，受信クロックは，FLMD0パルス受信後に専用フラッシュ・ライタから送られてくるリセット・コマンドを基準に計算します。

31. 4. 5　通信コマンド

V850ES/KG1+と専用フラッシュ・ライタは，コマンドを介して通信します。専用フラッシュ・ライタからV850ES/KG1+へ送られる信号を「コマンド」と呼び，V850ES/KG1+から専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。

図31－10　通信コマンド



V850ES/KG1+のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され，V850ES/KG1+がコマンドに対応した各処理を行います。

表31－7　フラッシュ・メモリ制御用コマンド

分　類	コマンド名称	対応			機　　能
		CSI00	CSI00+HS	UART0	
ブランク・チェック	ブロック・ブランク・チェック・コマンド	○	○	○	指定したブロックのメモリの消去状態を確認
消去	チップ消去コマンド	○	○	○	全メモリの内容を消去
	ブロック消去コマンド	○	○	○	指定したブロックのメモリの内容を消去
書き込み	プログラム・コマンド	○	○	○	指定したアドレス範囲の書き込み，内容ベリファイ・チェックを実行
ベリファイ	ベリファイ・コマンド	○	○	○	指定したアドレス範囲のメモリの内容と，フラッシュ・ライタから転送されたデータを比較
	チェック・サム・コマンド	○	○	○	指定したアドレス範囲のチェック・サムを読み出す。
システム設定，制御	シリコン・シグネチャ・コマンド	○	○	○	シリコン・シグネチャ情報を読み出す
★	セキュリティ設定コマンド	○	○	○	チップ消去コマンド，ブロック消去コマンド，プログラム・コマンド，リード・コマンドの禁止設定およびブート領域の書き換え禁止設定

31. 4. 6　端子処理

オンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。また，オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

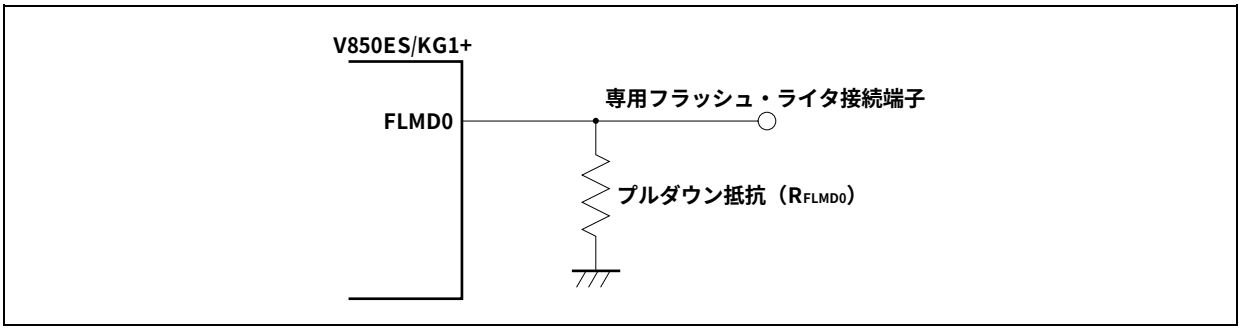
フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

(1) FLMD0端子

通常動作モード時は，FLMD0端子にV_{SS}レベルの電圧を入力します。また，フラッシュ・メモリ・プログラミング・モード時は，FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。

また，FLMD0端子はセルフ・プログラミング・モード時には書き換え保護用の端子となるため，書き換え前にポート制御などによって，FLMD0端子にV_{DD}レベルの電圧を供給する必要があります。詳細は，31. 5. 5 (1) FLMD0端子を参照してください。

図31－11　FLMD0端子の接続例



(2) FLMD1端子

FLMD0端子に0 Vを入力された場合，FLMD1端子は機能しません。FLMD0端子にV_{DD}が供給された場合，フラッシュ・メモリ・プログラミング・モードに引き込むため，FLMD1端子に0 Vを入力する必要があります。FLMD1端子の接続例を次に示します。

図31－12　FLMD1端子の接続例

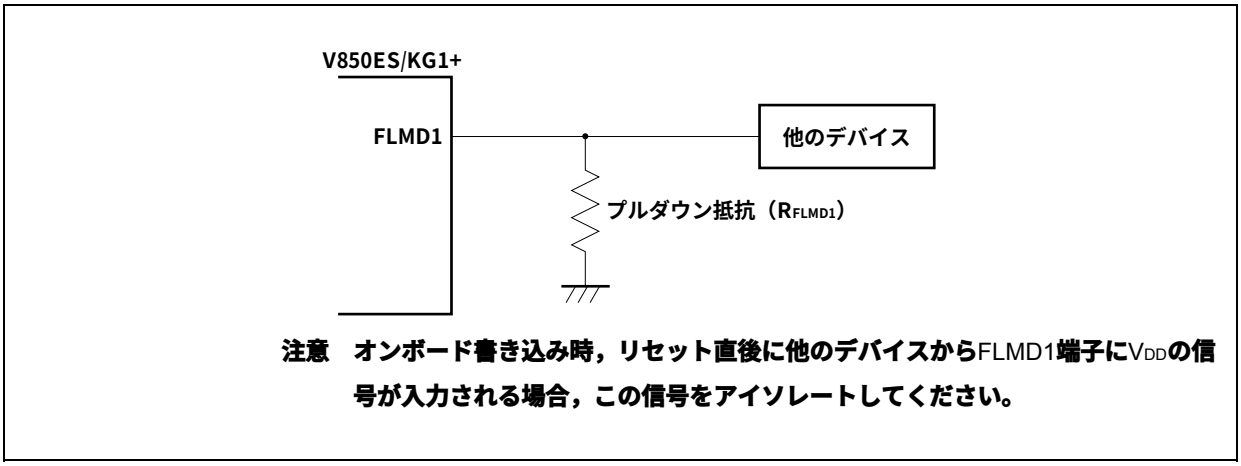


表31－8　リセット解除時のFLMD0, FLMD1端子の動作モードとの関係

FLMD0	FLMD1	動作モード
0	任意	通常動作モード
V_{DD}	0	フラッシュ・メモリ・プログラミング・モード
V_{DD}	V_{DD}	設定禁止

(3) シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表31－9　各シリアル・インタフェースが使用する端子

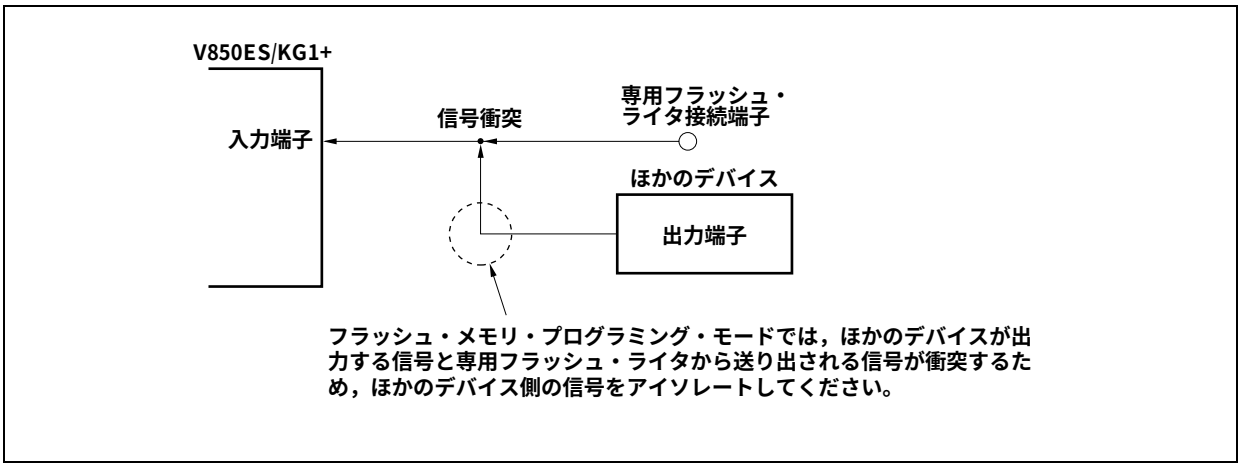
シリアル・インタフェース	使用端子
UART0	TXD0, RXD0
CSI00	SO00, SI00, $\overline{\text{SCK00}}$
CSI00＋HS	SO00, SI00, $\overline{\text{SCK00}}$, PCM0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に，専用フラッシュ・ライタを接続する場合，信号の衝突，ほかのデバイスの異常動作などに注意してください。

(a) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に，専用フラッシュ・ライタ（出力）を接続すると，信号の衝突が発生します。この信号の衝突を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

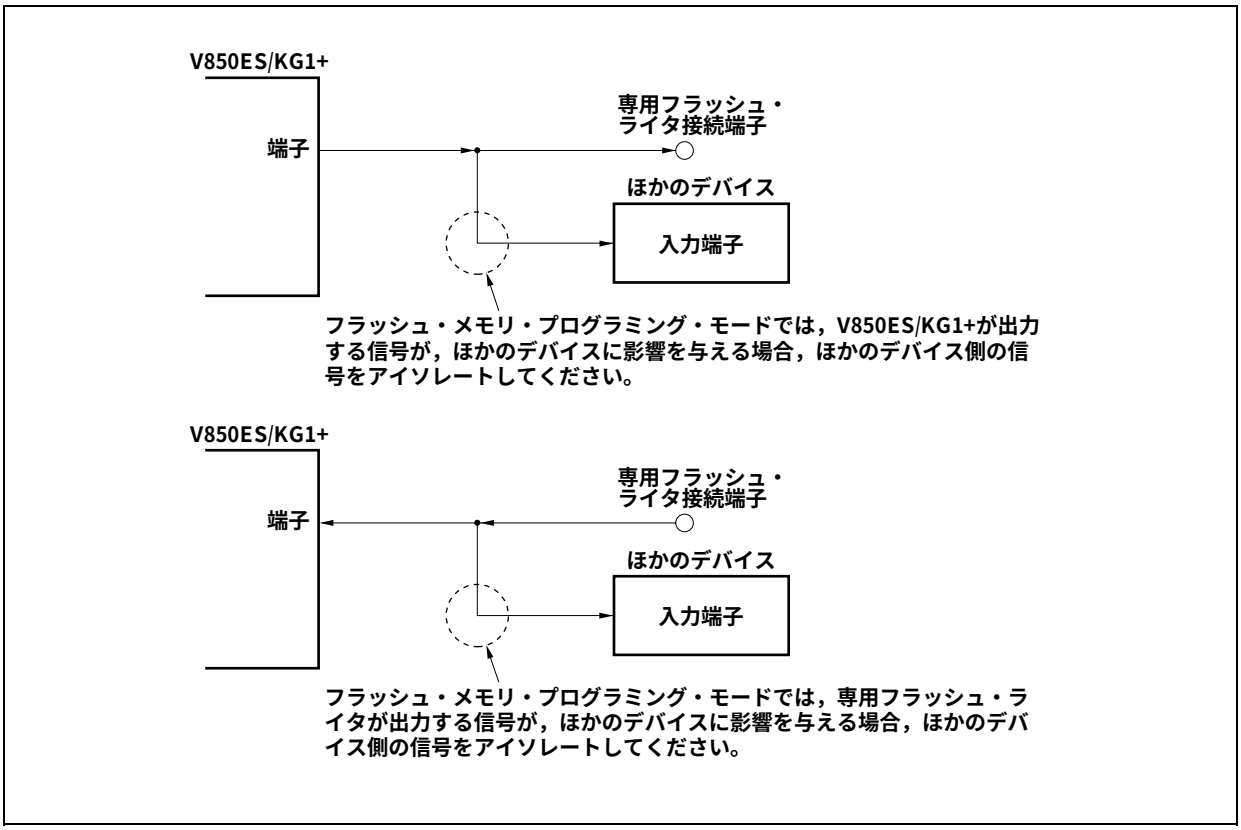
図31－13　信号の衝突（シリアル・インタフェースの入力端子）



(b) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・ライタ（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートしてください。

図31－14　ほかのデバイスの異常動作

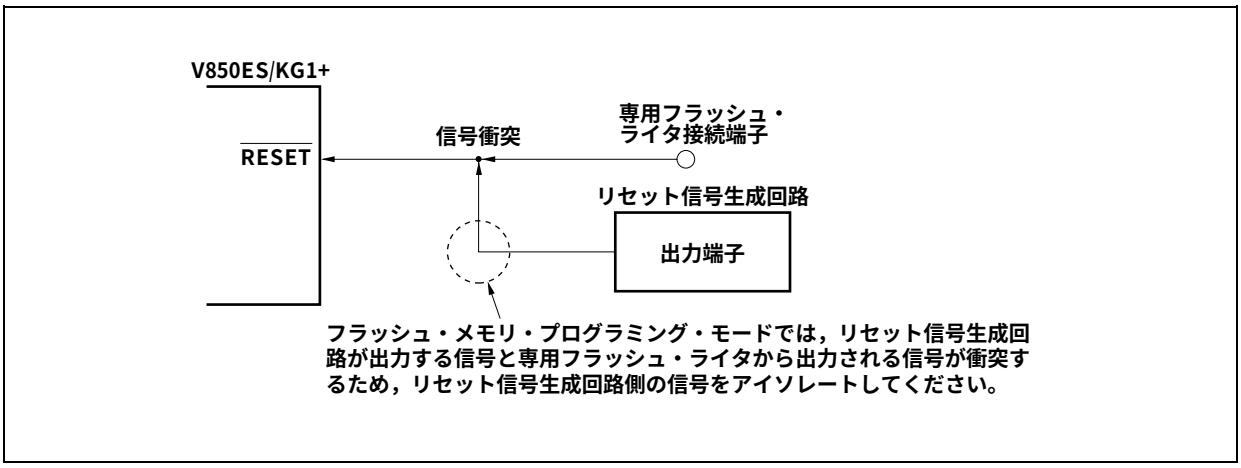


(4) $\overline{\text{RESET}}$端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$端子に，専用フラッシュ・ライタのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図31－15　信号の衝突（$\overline{\text{RESET}}$端子）



(5) ポート端子（NMIを含む）

フラッシュ・メモリ・プログラミング・モードに設定すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，各ポートに接続された外部デバイスが，リセット直後のポート状態を認めない場合は，抵抗を介してV_{DD}に接続するか，または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

(6) その他の信号端子

X1, X2, XT1, XT2, REGCは，通常動作モード時と同じ状態に接続してください。

(7) 電　　源

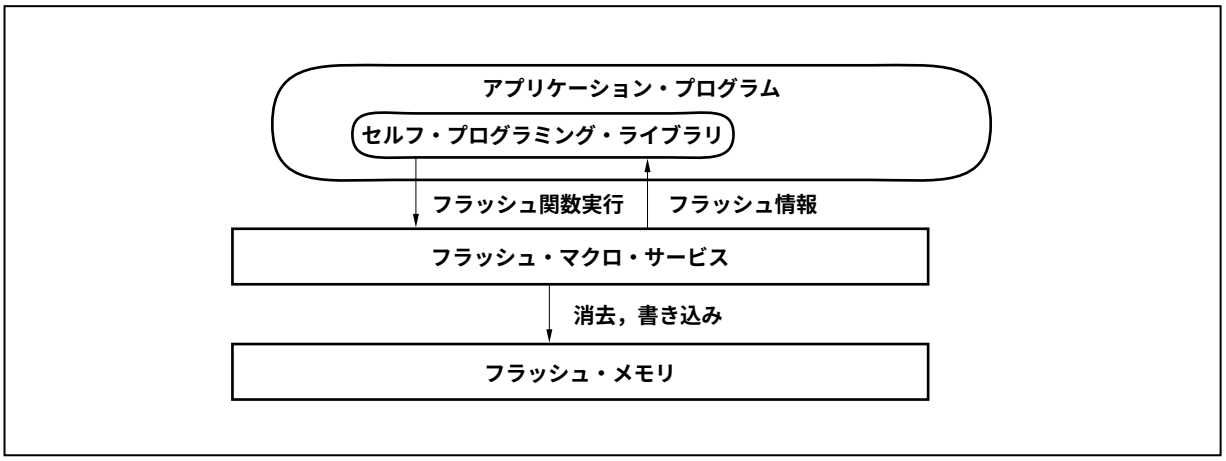
電源（V_{DD}, V_{SS}, EV_{DD}, EV_{SS}, AV_{SS}, BV_{DD}, BV_{SS}, AV_{REF0}, AV_{REF1}）は，通常動作モード時と同じ電源を供給してください。

31. 5　セルフ・プログラミングによる書き換え

31. 5. 1　概　　要

V850ES/KG1+は，ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための，フラッシュ・マクロ・サービスをサポートしています。このインタフェースおよび，フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより，内蔵RAMもしくは，外部メモリへあらかじめ転送しておいたユーザ・アプリケーションから，フラッシュ・メモリの書き換えが可能になり，フィールドでのユーザ・プログラムのアップグレードや，定数データ書き換えを行うことができます。

図31－16　セルフ・プログラミングの概念図

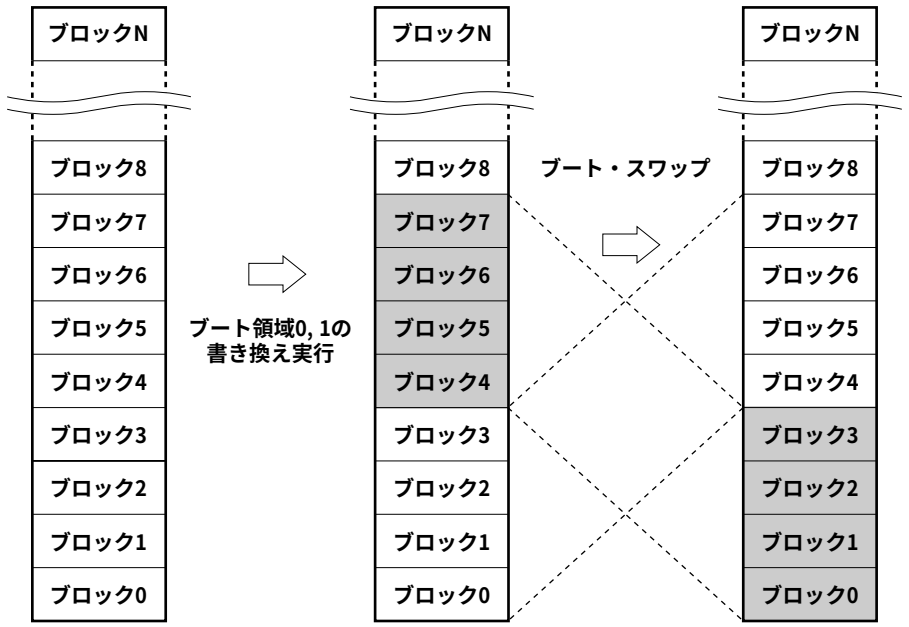


31. 5. 2　特　　徴

(1) セキュア・セルフ・プログラミング（ブート・スワップ機能）

V850ES/KG1+は，ブート領域0の物理メモリ（ブロック0-3）と，ブート領域1の物理メモリ（ブロック4-7）を入れ替えることができるブート・スワップ機能をサポートしているため，あらかじめ書き換えたい起動用のプログラムをブート領域1に書いておき，物理メモリをスワップさせることにより，書き換え中に電源遮断が発生しても常にブート領域0には正常なユーザ・プログラムが存在する状態となるため，全領域の書き換えが安全に実行可能となります。

図31－17　全メモリ領域の書き換え（ブート・スワップ対応）



備考　μPD70F3311, 70F3311Y：N = 63
μPD70F3313, 70F3313Y：N = 127

(2) 割り込み対応

セルフ・プログラミング中は，フラッシュ・メモリからの命令フェッチが不可能であるため，従来は割り込みが発生してもフラッシュ・メモリに書き込まれているユーザ・ハンドラは使用できませんでした。

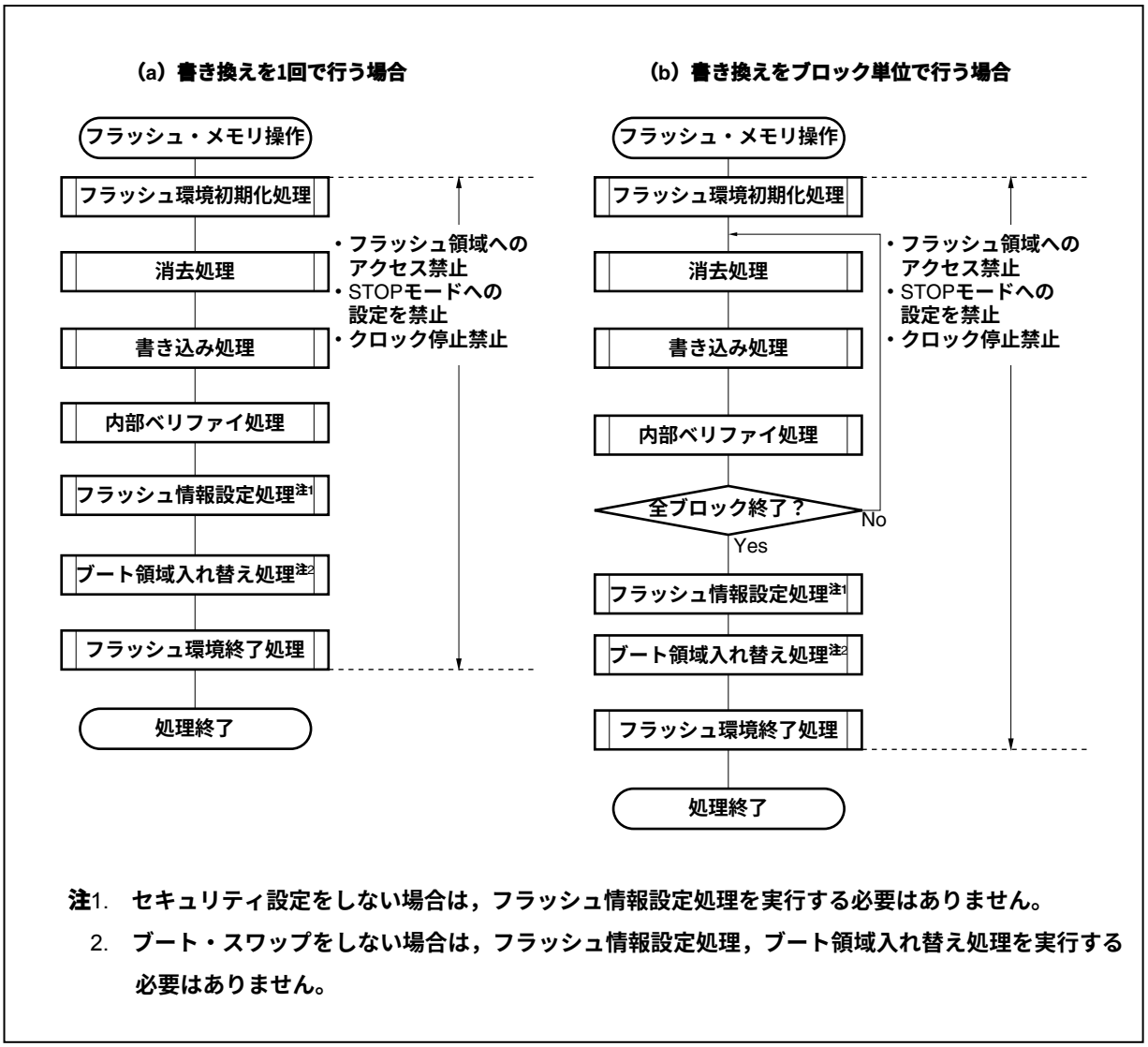
★ そのため，V850ES/KG1+ではセルフ・プログラミング中に割り込みを利用する場合，内蔵RAMの特定番地[注]にユーザ割り込み処理へ遷移するjump命令を用意してください。

注　NMI割り込み　　：内蔵RAMの先頭番地
マスカブル割り込み：内蔵RAMの先頭＋4番地

31. 5. 3　標準セルフ・プログラミング・フロー

フラッシュ・セルフ・プログラミングにて，フラッシュ・メモリへの書き換えを行う際の全体処理を次に示します。

★ 図31－18　標準セルフ・プログラミング・フロー



注1.　セキュリティ設定をしない場合は，フラッシュ情報設定処理を実行する必要はありません。

2.　ブート・スワップをしない場合は，フラッシュ情報設定処理，ブート領域入れ替え処理を実行する必要はありません。

31. 5. 4　フラッシュ関数一覧

表31－10　主なフラッシュ関数一覧

関数名	概　要	対応
FlashEnv	フラッシュ制御マクロの初期化	○
FlashBlockErase	指定した1ブロックの消去	○
FlashWordRead	指定したアドレスからのデータ読み出し	○
FlashWordWrite	指定したアドレスからの書き込み	○
FlashBlockIVerify	指定した1ブロックの内部ベリファイ	○
FlashBlockBlankCheck	指定した1ブロックのブランク・チェック	○
FlashFLMDCheck	FLMD端子のチェック	○
FlashGetInfo	フラッシュ情報の読み出し	○
FlashSetInfo	フラッシュ情報の設定	○
FlashBootSwap	ブート領域入れ替え	○

備考　詳細は，V850シリーズ　フラッシュ・メモリ・セルフ・プログラミング（単電源フラッシュ・メモリ編）　ユーザーズ・マニュアルを参照してください。
なお，このマニュアルについては，当社販売員にお問い合わせください。

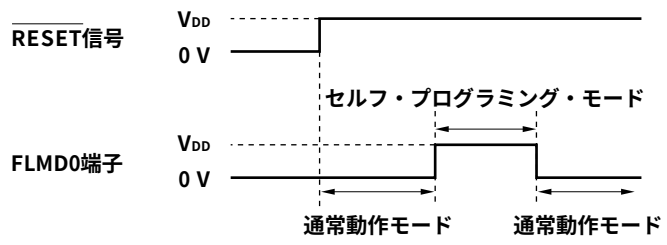
31. 5. 5　端子処理

(1) FLMD0端子

FLMD0端子は，リセット解除時の動作モード設定と，セルフ書き換え時の書き換え保護機能の兼用端子となっているため，リセット解除～通常動作実行時は，FLMD0端子へ印加される電圧を0 Vに保持し，セルフ・プログラミング・モードの期間は，書き換え前にポート制御などによって，FLMD0端子にV_{DD}レベルの電圧を印加する必要があります。

また，セルフ・プログラミングが終了したあとは，FLMD0端子の電圧を0 Vに戻す必要があります。

図31－19　モード切り替わりタイミング



注意　リセット解除には，必ずFLMD0端子を0 Vにしてください。

★ 31. 5. 6　使用する内部資源

セルフ・プログラミングにて使用する内部資源を次に示します。なお，セルフ・プログラミング以外では，次の内部資源については自由に使用できます。

表31－11　使用する内部資源

リソース名	説　明
エントリRAM領域 （内部RAM／外部RAMサイズ：136バイト）	フラッシュ・マクロ・サービスへの遷移のためのルーチンとパラメータを配置。 ライブラリ初期化関数の呼び出しによりエントリ・プログラムとディフォールトのパラメータがコピーされます。
スタック領域 （スタック・サイズ：600バイト）	ユーザの使用しているスタックの延長をライブラリが使用。 （内部RAM／外部RAMのどちらでも使用可）
ライブラリ・コード （コード・サイズ：約1600バイト）	ライブラリのプログラム本体。 （操作対象のフラッシュ・メモリ・ブロック以外ならどこでも使用可）
アプリケーション・プログラム	ユーザ・アプリケーションとしての実行 フラッシュ関数の呼び出し
マスカブル割り込み	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合，内部RAMの先頭＋4番地[注1]に処理が移りますので，あらかじめ内蔵RAMの先頭＋4番地[注1]にユーザ割り込み処理へ遷移するjump命令を用意してください。
NMI割り込み	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合，内部RAMの先頭番地[注2]に処理が移りますので，あらかじめ内蔵RAMの先頭番地[注2]にユーザ割り込み処理へ遷移するjump命令を用意してください。
TM50, TM51	フラッシュ・マクロ・サービスで使用しますので，セルフ・プログラミング状態では使用しないでください。 セルフ・プログラミング後にTM50, TM51を使用する場合は，再度設定してください。

注1.　μPD70F3313, 70F3313Y　：3FFD804H
　　μPD70F3311, 70F3311Y　：3FFB004H
　2.　μPD70F3313, 70F3313Y　：3FFD800H
　　μPD70F3311, 70F3311Y　：3FFB000H

備考　詳細は，V850シリーズ フラッシュ・メモリ・セルフ・プログラミング（単電源フラッシュ・メモリ編）ユーザーズ・マニュアルを参照してください。
なお，このマニュアルについては，当社販売員にお問い合わせください。

★ 第32章　オンチップ・ディバグ機能

オンチップ・ディバグ機能は，V850ES/KG1+には搭載されていません。しかし，オンチップ・ディバグ・エミュレータ（MINICUBE®）およびディバグ・アダプタ（QB-V850ESKX1H-DA）などを使用して疑似的にオンチップ・ディバグ機能を再現することが可能です。

接続例についてはA. 4. 2　MINICUBE QB-V850MINIを使用する場合を参照してください。

32. 1　ROMセキュリティ機能

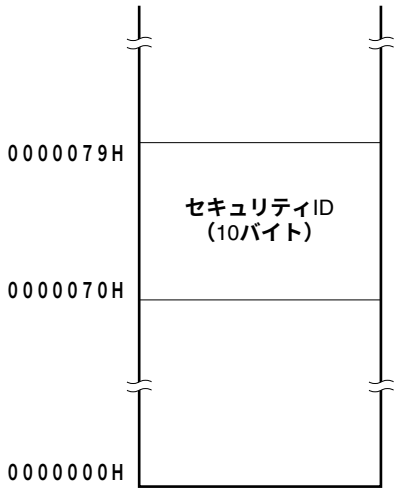
32. 1. 1　セキュリティID

オンチップ・ディバグ・エミュレータによるオンチップ・ディバグ時，ディバグ・アダプタ内のフラッシュ・メモリの内容を第三者に読み出されることを防ぐために，10バイトのIDコードによる認証を行います。

IDコードは，あらかじめ内蔵フラッシュ・メモリ領域の0000070H-0000079Hの10バイト分に設定し，ディバッガがID認証を行います。

このID照合が一致していれば，セキュリティが解除されフラッシュ・メモリ読み出し許可，オンチップ・ディバグ・エミュレータ使用許可となります。

- 10バイトのIDコードは，0000070H-0000079Hに設定します。
- 0000079Hのビット7はオンチップ・ディバグ・エミュレータ使用許可フラグです（0：使用禁止，1：使用許可）。
- オンチップ・ディバグ・エミュレータを起動すると，ディバッガがID入力を要求します。ディバッガ上で入力したIDコードと，0000070H-0000079Hに埋め込んだIDコードが一致すればディバッガが起動します。
- IDコードが一致しても，オンチップ・ディバグ・エミュレータ使用許可フラグが“0”である場合は，ディバグを行うことはできません。



注意　フラッシュ・メモリのデータは消去状態では，すべて“1”となります。

32. 1. 2　設定方法

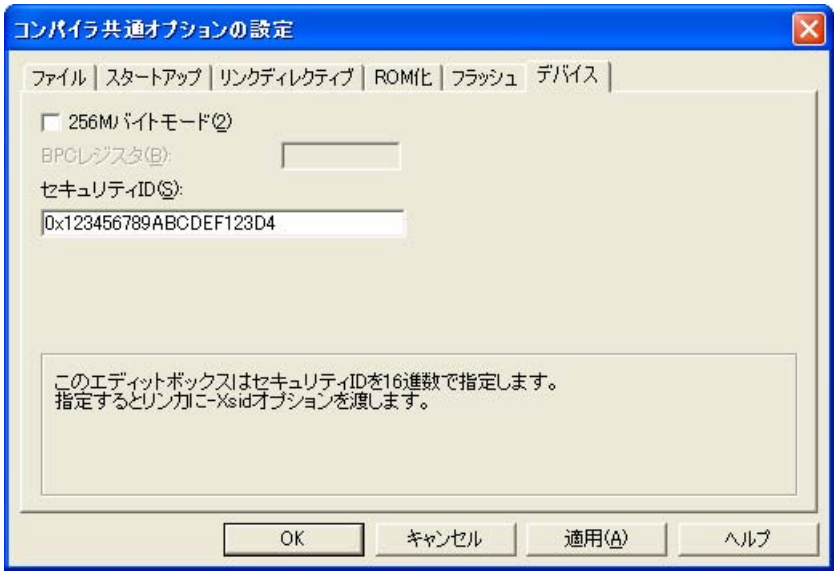
IDコードを表32－1のように設定する方法を次に示します。

表32－1のようにIDコードを設定した場合，ID850QBのコンフィギュレーション・ダイアログ上で入力するIDコードは「123456789ABCDEF123D4」となります（英数字は大文字でも小文字でも同じIDコードとして認識します）。

表32－1　IDコード

番地	値
0x70	0x12
0x71	0x34
0x72	0x56
0x73	0x78
0x74	0x9A
0x75	0xBC
0x76	0xDE
0x77	0xF1
0x78	0x23
0x79	0xD4

CA850　Ver. 2.60以上とセキュリティIDに対応したデバイス・ファイルであれば，PM+のリンカ・オプション設定でIDコードを指定することができます。



［プログラム例（CA850 V2.60以上　使用時）］

```
#-----------------------------------------------------------------------------
#    SECURITYID
#-----------------------------------------------------------------------------
    .section    "SECURITY_ID"    -- Interrupt handler address 0x70
    .word       0x78563412       -- 0 - 3 byte code
    .word       0xF1DEBC9A       -- 4 - 7 byte code
    .hword      0xD423           -- 8 - 9 byte code
```

備考　上記プログラム例はスタートアップ・ファイルに追加してください

32. 2　注意事項

- RUN中（プログラム実行中）にリセット入力（ターゲット・システムからのリセット入力や内部リセット要因によるリセット）があった場合，ブレーク機能が誤動作することがあります。

- リセットをマスク機能でマスクしていても，端子からのリセットが入力された際に入出力バッファ（ポート端子）がリセット状態になる場合があります。

- 内蔵フラッシュ・メモリに設定したソフトウエア・ブレークポイントは，ROMコレクション機能で実現しているため，ターゲット・リセットまたはウォッチドッグ・タイマ2により発生する内部リセットによって一時的に無効になります。ハードウエア・ブレークまたは強制ブレークによりいったんブレークしたあとには再度有効になりますが，それまではソフトウエア・ブレークは発生しません。

- ブレーク中の端子リセットはマスクされ，CPUや周辺I/Oはリセットされません。また，ユーザ・プログラム実行中に，DMAで書き換える瞬間やRAMモニタ機能で読み出す瞬間に，端子リセットや内部リセットが発生した場合，CPUや周辺I/Oが正しくリセットされない場合があります。

- ROMコレクションのエミュレーションはできません。

★

第33章　電気的特性

絶対最大定格（T_A = 25 ℃）（1/2）

項　　目	略　号	条　　件	定　　格	単　位
電源電圧	V_{DD}	$V_{DD} = EV_{DD} = AV_{REF0}$	−0.3〜+6.5	V
	AV_{REF0}	$V_{DD} = EV_{DD} = AV_{REF0}$	−0.3〜+6.5	V
	AV_{REF1}	$AV_{REF1} \leqq V_{DD}$（D/A出力モード） $AV_{REF1} = AV_{REF0} = V_{DD}$（ポート・モード）	−0.3〜V_{DD}+0.3 注1	V
	BV_{DD}	$BV_{DD} \leqq V_{DD}$	−0.3〜V_{DD}+0.3 注1	V
	EV_{DD}	$V_{DD} = EV_{DD} = AV_{REF0}$	−0.3〜+6.5	V
	V_{SS}	$V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$	−0.3〜+0.3	V
	AV_{SS}	$V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$	−0.3〜+0.3	V
	BV_{SS}	$V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$	−0.3〜+0.3	V
	EV_{SS}	$V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$	−0.3〜+0.3	V
入力電圧	V_{I1}	P00-P06, P30-P35, P38, P39, P40-P42, P50-P55, P90-P915, $\overline{\text{RESET}}$, FLMD0	−0.3〜EV_{DD}+0.3 注1	V
	V_{I2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL15, PDH0-PDH5	−0.3〜BV_{DD}+0.3 注1	V
	V_{I3}	P10, P11	−0.3〜AV_{REF1}+0.3 注1	V
	V_{I4}	P36, P37	−0.3〜+13 注2	V
	V_{I5}	X1, X2, XT1, XT2	−0.3〜V_{DD}+0.3 注1	V
アナログ入力電圧	V_{IAN}	P70-P77	−0.3〜AV_{REF0}+0.3 注1	V

注1.　それぞれの電源電圧の絶対最大定格（MAX.値）を越えないようにしてください。

2.　マスク・オプション指定によるプルアップ指定なし時。プルアップ指定時はV_{I1}と同様です。

注意1.　IC製品の出力（または入出力）端子同士を直結したり，V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし，オープン・ドレーン端子やオープン・コレクタ端子同士は直結できます。また，ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2.　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。
つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で，製品をご使用ください。
DC特性とAC特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

絶対最大定格（T_A = 25 ℃）（2/2）

項　目	略　号	条　件		定　格	単　位
ロウ・レベル出力電流	I_{OL}	注	1端子	20	mA
		P36-P39		30	mA
		P00-P06, P30-P39, P40-P42	全端子合計 70 mA	35	mA
		P50-P55 P90-P915		35	
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6	全端子合計 70 mA	35	mA
		PDL0-PDL15, PDH0-PDH5		35	mA
ハイ・レベル出力電流	I_{OH}	注	1端子	−10	mA
		P00-P06, P30-P35, P40-P42	全端子合計 −60 mA	−30	
		P50-P55, P90-P915		−30	mA
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6	全端子合計 −60 mA	−30	mA
		PDL0-PDL15, PDH0-PDH5		−30	mA
動作周囲温度	T_A	通常動作モード		−40〜+85	℃
		フラッシュ・メモリ・プログラミング・モード		−40〜+85	℃
保存温度	T_{stg}	μPD703313, 703313Y		−65〜+150	℃
		μPD70F3311, 70F3311Y, 70F3313, 70F3313Y		−40〜+125	℃

注　P00-P06, P10, P11, P30-P35, P40-P42, P50-P55, P90-P915, PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL15, PDH0-PDH5の中の1端子

注意1.　IC製品の出力（または入出力）端子同士を直結したり，V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし，オープン・ドレーン端子やオープン・コレクタ端子同士は直結できます。また，ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2.　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。
つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で，製品をご使用ください。
DC特性とAC特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

容量（T_A = 25 °C，V_{DD} = EV_{DD} = AV_{REF0} = BV_{DD} = AV_{REF1} = V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
入力容量	C_I	f_X = 1 MHz	P70-P77			15	pF
入出力容量	C_{IO}	被測定ピン以外は0 V	注			15	pF
			P36-P39			20	pF

注　P00-P06, P10, P11, P30-P35, P40-P42, P50-P55, P90-P915, PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL15, PDH0-PDH5

備考　f_X：メイン・クロック発振周波数

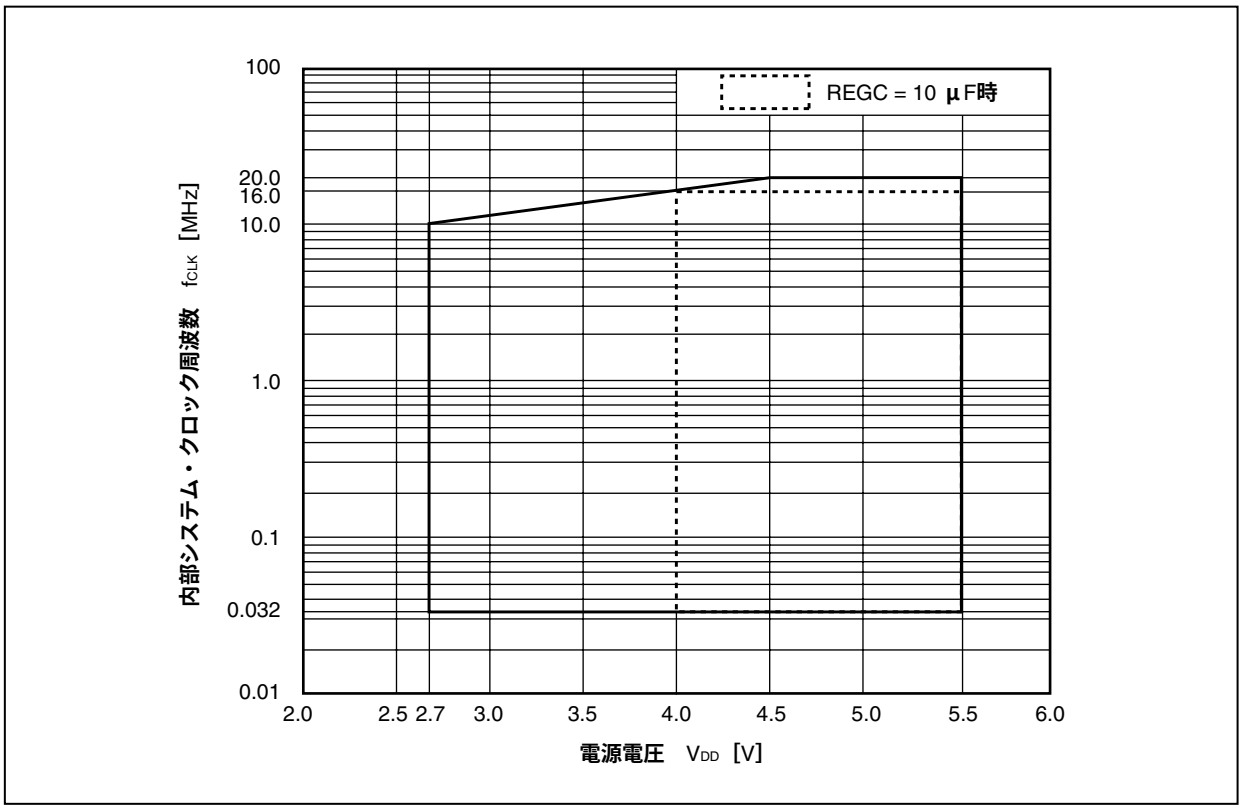
動作条件

（T_A = －40～＋85 °C，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, CL = 50 pF）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
内部システム・クロック周波数	f_{CLK}	PLLモード時	REGC = V_{DD} = 4.5～5.5 V	0.25		20	MHz
			REGC = V_{DD} = 4.0～5.5 V	0.25		16	MHz
			REGC = 10 μF, V_{DD} = 4.0～5.5 V	0.25		16	MHz
			REGC = V_{DD} = 2.7～5.5 V	0.25		10	MHz
		クロック・スルー・モード時	REGC = 10 μF, V_{DD} = 4.0～5.5 V	0.0625		10	MHz
			REGC = V_{DD} = 2.7～5.5 V	0.0625		10	MHz
		サブクロック動作時	注		32.768		kHz
		内蔵発振クロック動作時	注	120	240	480	kHz

注　REGC = V_{DD} = 2.7～5.5 Vまたは REGC = 10 μF, V_{DD} = 4.0～5.5 V

内部システム・クロック周波数 vs. **電源電圧**



EEPROMエミュレーション時の動作条件

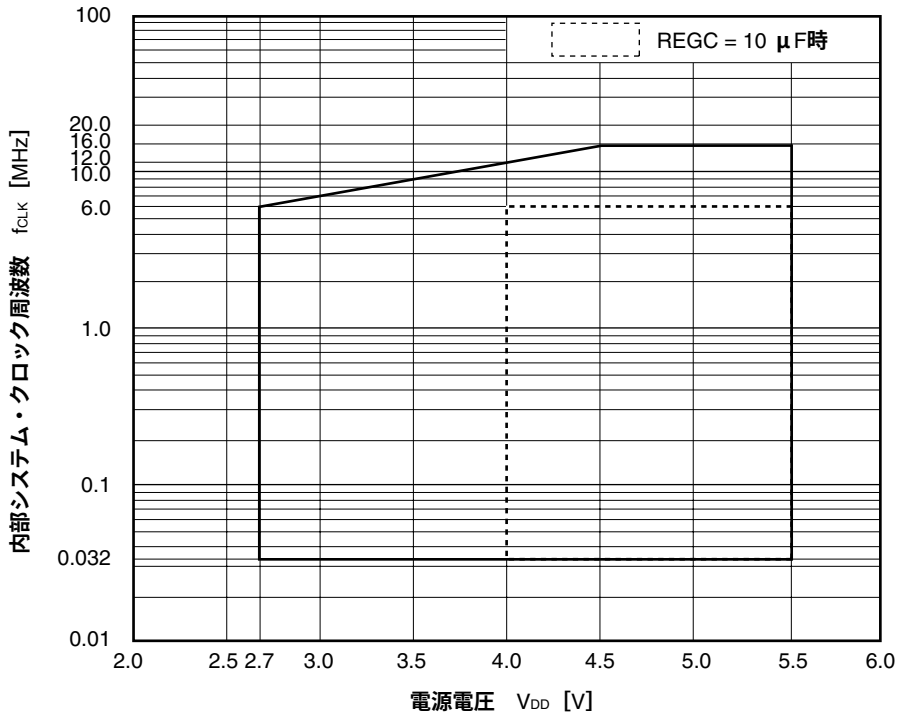
（T_A = －40～＋85 °C，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, CL = 50 pF）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
内部システム・クロック周波数	f_{CLK}	PLLモード時	REGC = V_{DD} = 4.5～5.5 V	0.25		16	MHz
			REGC = V_{DD} = 4.0～5.5 V	0.25		12	MHz
			REGC = 10 μF, V_{DD} = 4.0～5.5 V	0.25		6	MHz
			REGC = V_{DD} = 2.7～5.5 V	0.25		6	MHz
		クロック・スルー・モード時	REGC = V_{DD} = 4.0～5.5 V	0.0625		10	MHz
			REGC = 10 μF, V_{DD} = 4.0～5.5 V	0.0625		6	MHz
			REGC = V_{DD} = 2.7～5.5 V	0.0625		6	MHz
		サブクロック動作時	注1, 2		32.768		kHz

注1.　REGC = V_{DD} = 2.7～5.5 Vまたは REGC = 10 μF, V_{DD} = 4.0～5.5 V

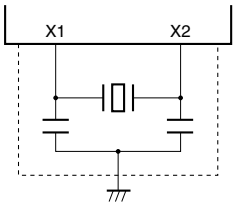
2.　メイン・クロックを停止しないでください。

内部システム・クロック周波数 vs. 電源電圧



メイン・クロック発振回路特性

(1) 水晶振動子，セラミック発振子（T_A = －40～＋85 ℃，V_{DD} = 2.7～5.5 V, V_{SS} = 0 V）

推奨回路	項　目	条　件		MIN.	TYP.	MAX.	単　位
	発振周波数 (f_X) 注1	PLLモード	REGC = V_{DD} = 4.5～5.5 V	2		5	MHz
			REGC = V_{DD} = 4.0～5.5 V	2		4	MHz
			REGC = 10 μF, V_{DD} = 4.0～5.5 V	2		4	MHz
			REGC = V_{DD} = 2.7～5.5 V	2		2.5	MHz
		クロック・スルー・モード	REGC = V_{DD} =2.7～5.5 V	2		10	MHz
			REGC = 10 μF, V_{DD} = 4.0～5.5 V	2		10	MHz
	発振安定時間注2	リセット解除後	OSTS0注3 = 0設定時		$2^{13}/f_X$		s
			OSTS0注3 = 1設定時		$2^{15}/f_X$		s
		STOPモード解除後			注4		s

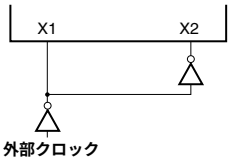
注1.　発振回路の特性だけを示すものです。

2.　リセットまたはSTOPモード解除後，発振子が安定するまでの時間です。

3.　マスク・オプション／オプション・バイトにて設定します（第30章参照）。

4.　OSTSレジスタの設定によって値が異なります。

(2) 外部クロック（T_A = －40～＋85 ℃，REGC = V_{DD} = 2.7～5.5 V, V_{SS} = 0 V）

推奨回路	項　目	条　件		MIN.	TYP.	MAX.	単　位
	入力周波数 (f_X) 注	PLLモード	REGC = V_{DD} = 4.5～5.5 V	2		5	MHz
			REGC = V_{DD} = 4.0～5.5 V	2		4	MHz
			REGC = V_{DD} = 2.7～5.5 V	2		2.5	MHz
		クロック・スルー・モード	REGC = V_{DD} =2.7～5.5 V	2		10	MHz

注　入力波形のデューティ比は50 %±5 %以内にしてください。

注意1.　メイン・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は，常にV_{SS}と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

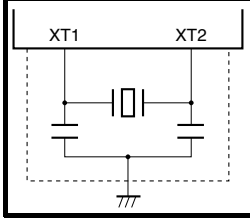
2.　メイン・クロックを停止させサブクロックで動作させているときに，再度メイン・クロックに切り替える場合には，プログラムで発振安定時間を確保したあとに切り替えてください。

3.　REGC = 10 μFのとき，発振回路の電源電圧は内蔵レギュレータ出力3.6 V（TYP.）になります。ただし，次のモードのときは発振回路の電源電圧はV_{DD}になります。

- リセット時（WDTRES1，発振安定時間中除く）
- STOPモード
- サブIDLEモード

サブクロック発振回路特性

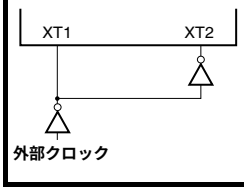
(1) 水晶振動子（T_A = －40～＋85 ℃，V_{DD} = 2.7～5.5 V, V_{SS} = 0 V）

推奨回路	項　目	条　件	MIN.	TYP.	MAX.	単　位
	発振周波数 (f_{XT}) 注1		32	32.768	35	kHz
	発振安定時間注2			10		s

注1.　発振回路の特性だけを示すものです。

2.　V_{DD}が発振電圧範囲（2.7 V（MIN.））に達してから水晶振動子が安定するまでの時間です。

(2) 外部クロック（T_A = －40～＋85 ℃，REGC = V_{DD} = 2.7～5.5 V, V_{SS} = 0 V）

推奨回路	項　目	条　件	MIN.	TYP.	MAX.	単　位
	入力周波数 (f_{XT}) 注	REGC = V_{DD} = 2.7～5.5 V	32		35	kHz

注　入力波形のデューティ比は50 %±5 %以内にしてください。

注意1.　サブクロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は，常にV_{SS}と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2.　サブクロック発振回路は，低消費電力にするため増幅度の低い回路になっており，ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって，サブクロックを使用する場合は，配線方法について特に注意してください。

3.　REGC = 10 μFのとき，発振回路の電源電圧は内蔵レギュレータ出力3.6 V（TYP.）になります。ただし，次のモードのときは発振回路の電源電圧はV_{DD}になります。

- リセット時（WDTRES1，発振安定時間中除く）
- STOPモード
- サブIDLEモード

内蔵発振器特性（T_A = －40～＋85 ℃，V_{DD} = 2.7～5.5 V, V_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
内蔵発振周波数	f_R		120	240	480	kHz

PLL**特性**（T_A = －40～＋85 ℃，V_{DD} = 2.7～5.5 V, V_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
入力周波数	f_X		2		5	MHz
出力周波数	f_{XX}		8		20	MHz
ロック時間	t_{PLL}	V_{DD}が2.7 V（MIN.）に達したあと			200	μs

DC特性

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）（1/6）

項　目	略　号	条　件		MAX.	単　位
ハイ・レベル出力電流	I_{OH1}	P00-P06, P10, P11, P30-P35, P40-P42, P50-P55, P90-P915の各1端子		－5.0	mA
		P00-P06, P30-P35, P40-P42端子合計	EV_{DD} = 4.0～5.5 V	－30	mA
			EV_{DD} = 2.7～5.5 V	－15	mA
		P50-P55, P90-P915端子合計	EV_{DD} = 4.0～5.5 V	－30	mA
			EV_{DD} = 2.7～5.5 V	－15	mA
	I_{OH2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDH0-PDH5, PDL0-PDL15の各1端子		－5.0	mA
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6端子合計	BV_{DD} = 4.0～5.5 V	－30	mA
			BV_{DD} = 2.7～5.5 V	－15	mA
		PDL0-PDL15, PDH0-PDH5端子合計	BV_{DD} = 4.0～5.5 V	－30	mA
			BV_{DD} = 2.7～5.5 V	－15	mA
ロウ・レベル出力電流	I_{OL1}	P00-P06, P10, P11, P30-P35, P40-P42, P50-P55, P90-P915の各1端子		10	mA
		P36-P39の各1端子	EV_{DD} = 4.0～5.5 V	15	mA
			EV_{DD} = 2.7～5.5 V	8	mA
		P00-P06, P30-P37, P40-P42端子合計		30	mA
		P38, P39, P50-P55, P90-P915端子合計		30	mA
	I_{OL2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDH0-PDH5, PDL0-PDL15の各1端子		10	mA
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6端子合計		30	mA
		PDL0-PDL15, PDH0-PDH5端子合計		30	mA

DC特性

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）（2/6）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
ハイ・レベル入力電圧	V_{IH1}	注1	0.7 EV_{DD}		EV_{DD}	V
	V_{IH2}	注2	0.8 EV_{DD}		EV_{DD}	V
	V_{IH3}	注3	0.7 BV_{DD}		BV_{DD}	V
	V_{IH4}	P70-P77	0.7 AV_{REF0}		AV_{REF0}	V
	V_{IH5}	P10, P11注4	0.7 AV_{REF1}		AV_{REF1}	V
	V_{IH6}	P36, P37	0.7 EV_{DD}		12注5	V
	V_{IH7}注6	X1, X2, XT1, XT2	V_{DD}－0.5		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	注1	EV_{SS}		0.3 EV_{DD}	V
	V_{IL2}	注2	EV_{SS}		0.2 EV_{DD}	V
	V_{IL3}	注3	BV_{SS}		0.3 BV_{DD}	V
	V_{IL4}	P70-P77	AV_{SS}		0.3 AV_{REF0}	V
	V_{IL5}	P10, P11注4	AV_{SS}		0.3 AV_{REF1}	V
	V_{IL6}	P36, P37	EV_{SS}		0.3 EV_{DD}	V
	V_{IL7}注6	X1, X2, XT1, XT2	V_{SS}		0.4	V

注1. P00, P01, P30, P41, P98, P911（兼用端子を含みます）

2. $\overline{\text{RESET}}$, FLMD0, P02-P06, P31-P35, P38, P39, P40, P42, P50-P55, P90-P97, P99, P910, P912-P915（兼用端子を含みます）

3. PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL15, PDH0-PDH5（兼用端子を含みます）

4. ポートとして使用する場合はAV_{REF1} = AV_{REF0} = V_{DD}としてください。

5. マスク・オプション指定によるプルアップ指定なし時。プルアップ指定時はEV_{DD}

6. 外部クロックを使用したとき

DC特性

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）（3/6）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電圧	V_{OH1}	注1	I_{OH} = －2.0 mA, EV_{DD} = 4.0～5.5 V	EV_{DD}－1.0		EV_{DD}	V
		注2	I_{OH} = －0.1 mA, EV_{DD} = 2.7～5.5 V	EV_{DD}－0.5		EV_{DD}	V
	V_{OH2}	注3	I_{OH} = －2.0 mA, BV_{DD} = 4.0～5.5 V	BV_{DD}－1.0		BV_{DD}	V
		注4	I_{OH} = －0.1 mA, BV_{DD} = 2.7～5.5 V	BV_{DD}－0.5		BV_{DD}	V
	V_{OH3}	P10, P11[注5]	I_{OH} = －2.0 mA	AV_{REF1}－1.0		AV_{REF1}	V
			I_{OH} = －0.1 mA	AV_{REF1}－0.5		AV_{REF1}	V
ロウ・レベル出力電圧	V_{OL1}	注6	I_{OL} = 2.0 mA[注7]	0		0.8	V
	V_{OL2}	注8	I_{OL} = 2.0 mA[注7]	0		0.8	V
	V_{OL3}	P10, P11[注5]	I_{OL} = 2.0 mA	0		0.8	V
	V_{OL4}	P36-P39	I_{OL} = 15 mA, EV_{DD} = 4.0～5.5 V	0		2.0	V
			I_{OL} = 8 mA, EV_{DD} = 3.0～5.5 V	0		1.0	V
			I_{OL} = 5 mA, EV_{DD} = 2.7～5.5 V	0		1.0	V
ハイ・レベル入力リーク電流	I_{LIH}	V_{IN} = V_{DD}				3.0	μA
ロウ・レベル入力リーク電流	I_{LIL}	V_{IN} = 0 V				－3.0	μA
ハイ・レベル出力リーク電流	I_{LOH}	V_O = V_{DD}				3.0	μA
ロウ・レベル出力リーク電流	I_{LOL}	V_O = 0 V				－3.0	μA
プルアップ抵抗	R_L	V_{IN} = 0 V		10	30	100	kΩ

注1. P00-P06, P30-P35, P40-P42の端子合計I_{OH} = －30 mA（兼用端子を含みます），
P50-P55, P90-P915の端子合計I_{OH} = －30 mA（兼用端子を含みます）

2. P00-P06, P30-P35, P40-P42の端子合計I_{OH} = －15 mA（兼用端子を含みます），
P50-P55, P90-P915の端子合計I_{OH} = －15 mA（兼用端子を含みます）

3. PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6の端子合計I_{OH} = －30 mA
PDH0-PDH5, PDL0-PDL15の端子合計I_{OH} = －30 mA（兼用端子を含みます）

4. PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6の端子合計I_{OH} = －15 mA
PDH0-PDH5, PDL0-PDL15の端子合計I_{OH} = －15 mA（兼用端子を含みます）

5. ポートとして使用する場合はAV_{REF1} = AV_{REF0} = V_{DD}としてください。

6. P00-P06, P30-P37, P40-P42の端子合計I_{OL} = 30 mA（兼用端子を含みます），
P38, P39, P50-P55, P90-P915の端子合計I_{OL} = 30 mA（兼用端子を含みます）

7. P36-P39のI_{OL}はI_{OL1}に従ってください。

8. PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6の端子合計I_{OL} = 30 mA（兼用端子を含みます），
PDH0-PDH5, PDL0-PDL15の端子合計I_{OL} = 30 mA（兼用端子を含みます）

DC特性

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）（4/6）

項　目	略　号	条　件	MIN.	TYP.注2	MAX.	単　位
電源電流注1	I_{DD1}	通常動作モード（全周辺機能動作）				
（μPD70F3313 μPD70F3313Y）		f_{XX} = 20 MHz（f_X = 5 MHz）（PLLモード時） REGC = V_{DD} = 5 V ± 10 %		55	75	mA
		f_{XX} = 16 MHz（f_X = 4 MHz）（PLLモード時） V_{DD} = 5 V ± 10 %, REGC = 10 μF		34	50	mA
		f_{XX} = 10 MHz（クロック・スルー・モード時） REGC = V_{DD} = 3 V ± 10 %		18	37	mA
	I_{DD2}	HALTモード（全周辺機能動作）				
		f_{XX} = 20 MHz（f_X = 5 MHz）（PLLモード時） REGC = V_{DD} = 5 V ± 10 %		29	43	mA
		f_{XX} = 16 MHz（f_X = 4 MHz）（PLLモード時） V_{DD} = 5 V ± 10 %, REGC = 10 μF		17	31	mA
		f_{XX} = 10 MHz（クロック・スルー・モード時） REGC = V_{DD} = 3 V ± 10 %		10	17	mA
	I_{DD3}	IDLEモード（時計タイマ動作，内蔵発振器停止）				
		f_X = 5 MHz（PLLモード・オフ時） REGC = V_{DD} = 5 V ± 10 %		2.1	3.3	mA
		f_X = 4 MHz（PLLモード・オフ時） V_{DD} = 5 V ± 10 %, REGC = 10 μF		1.5	2.7	mA
		f_X = 10 MHz（クロック・スルー・モード時） REGC = V_{DD} = 3 V ± 10 %		1.5	2.7	mA
	I_{DD4}	サブクロック動作モード（f_{XT} = 32.768 kHz） メイン発振停止，内蔵発振器停止		250	420	μA
	I_{DD5}	サブIDLEモード（f_{XT} = 32.768 kHz） 時計タイマ動作，メイン発振停止，内蔵発振器停止		20	75	μA
	I_{DD6}	STOPモード				
		サブ発振動作，内蔵発振器動作		34	103	μA
		サブ発振停止（XT1 = V_{SS}, PSMR.XTSTPビット=1），内蔵発振器動作		17.5	63.5	μA
		サブ発振停止（XT1 = V_{SS}），内蔵発振器停止		3.5	35.5	μA
	I_{DD7}	フラッシュ・メモリ消去／書き込み時（T_A = －40～＋85 ℃）				
		f_{XX} = 20 MHz（f_X = 5 MHz）（PLLモード時） REGC = V_{DD} = 5 V ± 10 %		55	75	mA
		f_{XX} = 16 MHz（f_X = 4 MHz）（PLLモード時） V_{DD} = 5 V ± 10 %, REGC = 10 μF		34	50	mA
		f_{XX} = 10 MHz（クロック・スルー・モード時） REGC = V_{DD} = 3 V ± 10 %		18	37	mA

注1.　V_{DD}, EV_{DD}, BV_{DD}合計の電流です（全ポート停止時）。AV_{REF0}, AV_{REF1}は含みません。

2.　TYP.値のV_{DD}は次に示すとおりです。

V_{DD} = 5 V±10%時，V_{DD} = 5.0 V

V_{DD} = 3 V±10%時，V_{DD} = 3.0 V

備考　f_{XX}：メイン・クロック周波数，f_X：メイン・クロック発振周波数，f_{XT}：サブクロック周波数

DC特性

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）（5/6）

項　目	略　号	条　件	MIN.	TYP.注2	MAX.	単　位
電源電流注1 （μPD70F3311 μPD70F3311Y）	I_{DD1}	通常動作モード（全周辺機能動作）				
		f_{XX} = 20 MHz（f_X = 5 MHz）（PLLモード時） REGC = V_{DD} = 5 V ± 10 %		51	70	mA
		f_{XX} = 16 MHz（f_X = 4 MHz）（PLLモード時） V_{DD} = 5 V ± 10 %, REGC = 10 μF		32	47	mA
		f_{XX} = 10 MHz（クロック・スルー・モード時） REGC = V_{DD} = 3 V ± 10 %		17	34	mA
	I_{DD2}	HALTモード（全周辺機能動作）				
		f_{XX} = 20 MHz（f_X = 5 MHz）（PLLモード時） REGC = V_{DD} = 5 V ± 10 %		25	38	mA
		f_{XX} = 16 MHz（f_X = 4 MHz）（PLLモード時） V_{DD} = 5 V ± 10 %, REGC = 10 μF		15	28	mA
		f_{XX} = 10 MHz（クロック・スルー・モード時） REGC = V_{DD} = 3 V ± 10 %		9	15	mA
	I_{DD3}	IDLEモード（時計タイマ動作，内蔵発振器停止）				
		f_X = 5 MHz（PLLモード・オフ時） REGC = V_{DD} = 5 V ± 10 %		1.8	2.9	mA
		f_X = 4 MHz（PLLモード・オフ時） V_{DD} = 5 V ± 10 %, REGC = 10 μF		1.4	2.4	mA
		f_X = 10 MHz（クロック・スルー・モード時） REGC = V_{DD} = 3 V ± 10 %		1.4	2.4	mA
	I_{DD4}	サブクロック動作モード（f_{XT} = 32.768 kHz） メイン発振停止，内蔵発振器停止		240	400	μA
	I_{DD5}	サブIDLEモード（f_{XT} = 32.768 kHz） 時計タイマ動作，メイン発振停止，内蔵発振器停止		20	75	μA
	I_{DD6}	STOPモード				
		サブ発振動作，内蔵発振器動作		34	103	μA
		サブ発振停止（XT1 = V_{SS}, PSMR.XTSTPビット=1），内蔵発振器動作		17.5	63.5	μA
		サブ発振停止（XT1 = V_{SS}），内蔵発振器停止		3.5	35.5	μA
	I_{DD7}	フラッシュ・メモリ消去／書き込み時（T_A = －40～＋85 ℃）				
		f_{XX} = 20 MHz（f_X = 5 MHz）（PLLモード時） REGC = V_{DD} = 5 V ± 10 %		51	70	mA
		f_{XX} = 16 MHz（f_X = 4 MHz）（PLLモード時） V_{DD} = 5 V ± 10 %, REGC = 10 μF		32	47	mA
		f_{XX} = 10 MHz（クロック・スルー・モード時） REGC = V_{DD} = 3 V ± 10 %		17	34	mA

注1.　V_{DD}, EV_{DD}, BV_{DD}合計の電流です（全ポート停止時）。AV_{REF0}, AV_{REF1}は含みません。

2.　TYP.値のV_{DD}は次に示すとおりです。

V_{DD} = 5 V±10%時，V_{DD} = 5.0 V

V_{DD} = 3 V±10%時，V_{DD} = 3.0 V

備考　f_{XX}：メイン・クロック周波数，f_X：メイン・クロック発振周波数，f_{XT}：サブクロック周波数

DC特性

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）（6/6）

項　目	略　号	条　件	MIN.	TYP.注2	MAX.	単　位
電源電流注1 （μPD703313 μPD703313Y）	I_{DD1}	通常動作モード（全周辺機能動作）				
		f_{XX} = 20 MHz（f_X = 5 MHz）（PLLモード時） REGC = V_{DD} = 5 V ± 10 %		44	65	mA
		f_{XX} = 16 MHz（f_X = 4 MHz）（PLLモード時） V_{DD} = 5 V ± 10 %, REGC = 10 μF		26	44	mA
		f_{XX} = 10 MHz（クロック・スルー・モード時） REGC = V_{DD} = 3 V ± 10 %		13	26	mA
	I_{DD2}	HALTモード（全周辺機能動作）				
		f_{XX} = 20 MHz（f_X = 5 MHz）（PLLモード時） REGC = V_{DD} = 5 V ± 10 %		29	40	mA
		f_{XX} = 16 MHz（f_X = 4 MHz）（PLLモード時） V_{DD} = 5 V ± 10 %, REGC = 10 μF		16	29	mA
		f_{XX} = 10 MHz（クロック・スルー・モード時） REGC = V_{DD} = 3 V ± 10 %		8	16	mA
	I_{DD3}	IDLEモード（時計タイマ動作，内蔵発振器停止）				
		f_X = 5 MHz（PLLモード・オフ時） REGC = V_{DD} = 5 V ± 10 %		1.7	2.7	mA
		f_X = 4 MHz（PLLモード・オフ時） V_{DD} = 5 V ± 10 %, REGC = 10 μF		1.2	2.0	mA
		f_X = 10 MHz（クロック・スルー・モード時） REGC = V_{DD} = 3 V ± 10 %		1.2	2.0	mA
	I_{DD4}	サブクロック動作モード（f_{XT} = 32.768 kHz） メイン発振停止，内蔵発振器停止		100	220	μA
	I_{DD5}	サブIDLEモード（f_{XT} = 32.768 kHz） 時計タイマ動作，メイン発振停止，内蔵発振器停止		20	75	μA
	I_{DD6}	STOPモード				
		サブ発振動作，内蔵発振器動作		34	103	μA
		サブ発振停止（XT1 = V_{SS}, PSMR.XTSTPビット=1），内蔵発振器動作		17.5	63.5	μA
		サブ発振停止（XT1 = V_{SS}），内蔵発振器停止		3.5	35.5	μA

注1.　V_{DD}, EV_{DD}, BV_{DD}合計の電流です（全ポート停止時）。AV_{REF0}, AV_{REF1}は含みません。

2.　TYP.値のV_{DD}は次に示すとおりです。

V_{DD} = 5 V±10%時，V_{DD} = 5.0 V

V_{DD} = 3 V±10%時，V_{DD} = 3.0 V

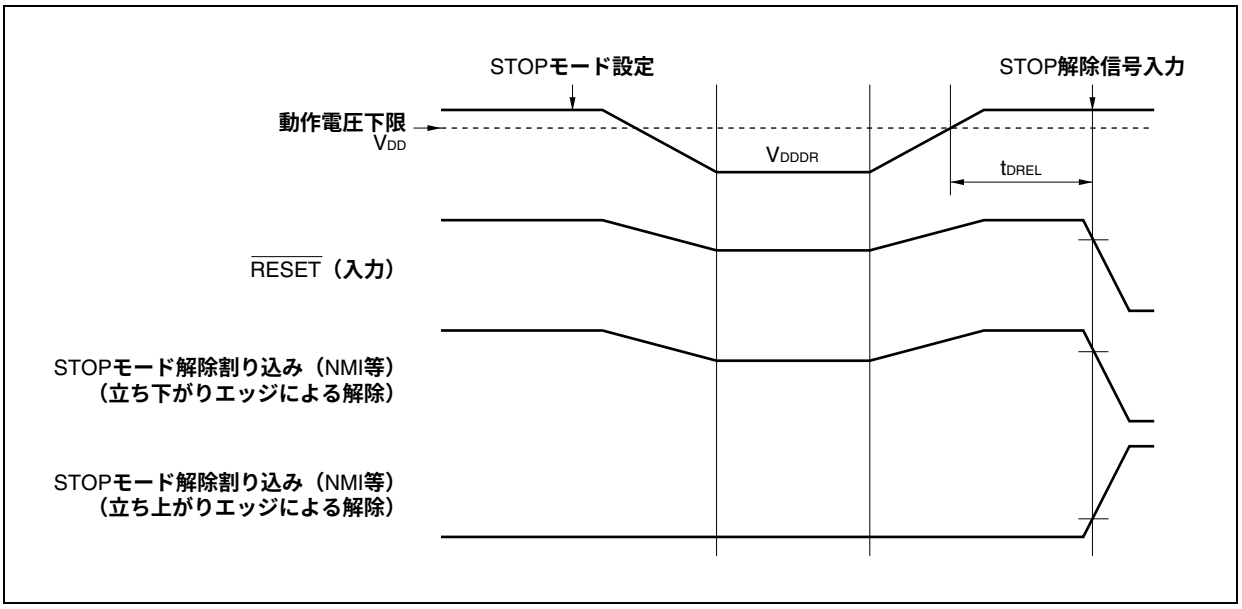
備考　f_{XX}：メイン・クロック周波数，f_X：メイン・クロック発振周波数，f_{XT}：サブクロック周波数

データ保持特性

STOPモード時（T_A = －40～＋85 ℃）

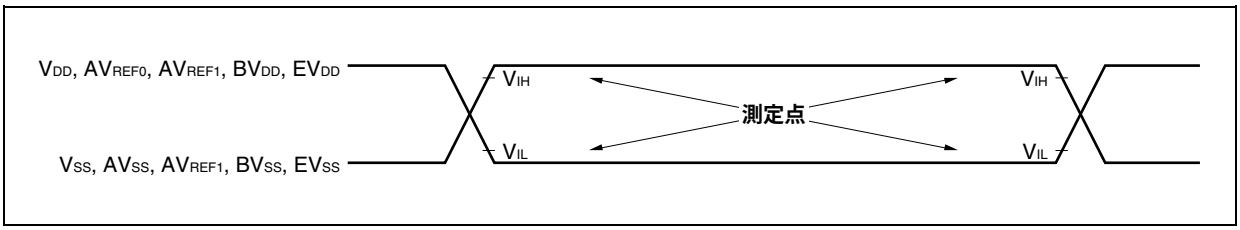
項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード	2.0		5.5	V
STOP解除信号入力時間	t_{DREL}		0			μs

注意　STOPモードへの移行，およびSTOPモードからの復帰は，動作範囲内で行ってください。

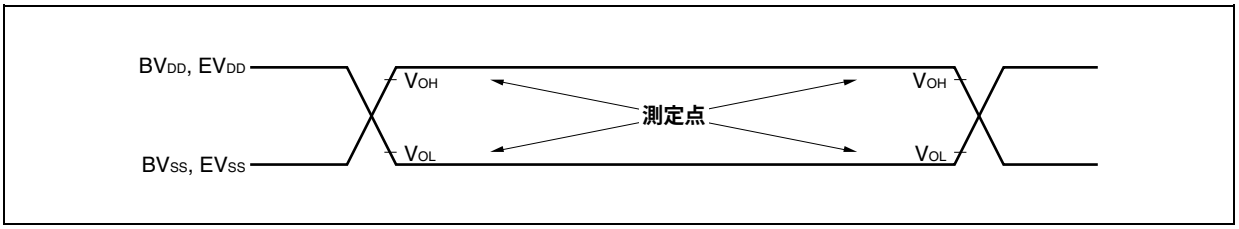


AC特性

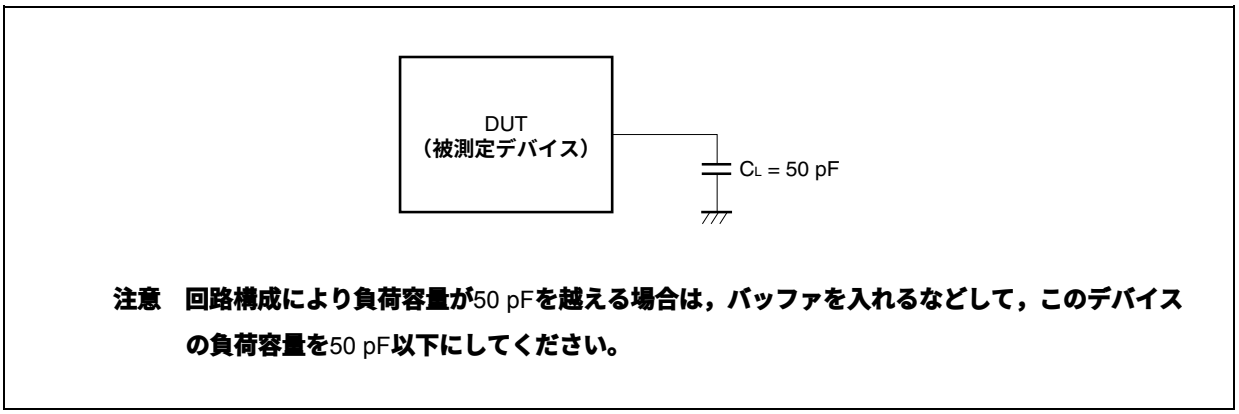
ACテスト入力測定点



ACテスト出力測定点



負荷条件

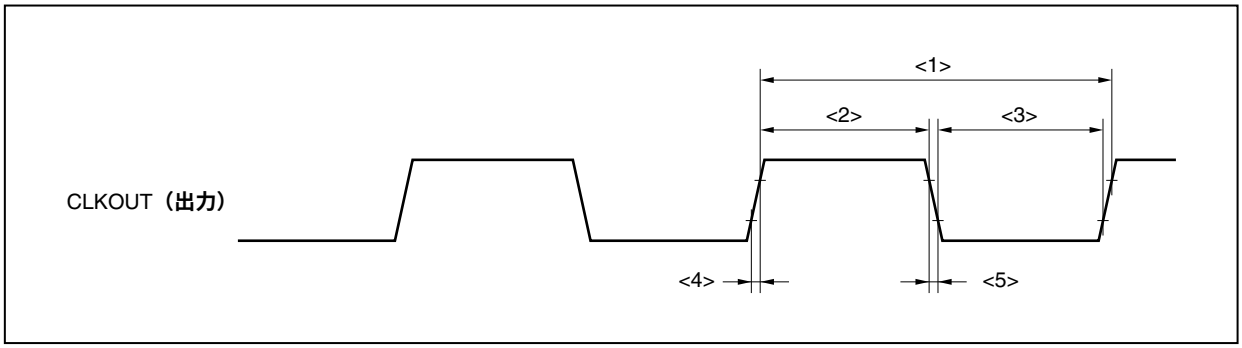


CLKOUT出力タイミング

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）

項　目	略　号		条　件	MIN.	MAX.	単　位
出力周期	t_{CYK}	<1>		50 ns	30.6 μs	
ハイ・レベル幅	t_{WKH}	<2>	V_{DD} = 4.0～5.5 V	t_{CYK}/2-17		ns
			V_{DD} = 2.7～5.5 V	t_{CYK}/2-26		ns
ロウ・レベル幅	t_{WKL}	<3>	V_{DD} = 4.0～5.5 V	t_{CYK}/2-17		ns
			V_{DD} = 2.7～5.5 V	t_{CYK}/2-26		ns
立ち上がり時間	t_{KR}	<4>	V_{DD} = 4.0～5.5 V		17	ns
			V_{DD} = 2.7～5.5 V		26	ns
立ち下がり時間	t_{KF}	<5>	V_{DD} = 4.0～5.5 V		17	ns
			V_{DD} = 2.7～5.5 V		26	ns

クロック・タイミング



バス・タイミング

(1) マルチプレクス・バス・モード時

(a) リード／ライト・サイクル（CLKOUT非同期）

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 4.0～5.5 V, 4.0 V≦BV_{DD}≦V_{DD}, 4.0 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）（1/2）

項　目	略　号		条　件	MIN.	MAX.	単　位
アドレス設定時間（対ASTB↓）	t_{SAST}	<6>		(0.5＋t_{ASW}) T－23		ns
アドレス保持時間（対ASTB↓）	t_{HSTA}	<7>		(0.5＋t_{AHW}) T－15		ns
$\overline{RD}$↓→アドレス・フロート遅延時間	t_{FRDA}	<8>			16	ns
アドレス→データ入力設定時間	t_{SAID}	<9>			(2+n＋t_{ASW}＋t_{AHW}) T－40	ns
$\overline{RD}$↓→データ入力設定時間	t_{SRID}	<10>			(1+n) T－25	ns
ASTB↓→$\overline{RD}$, $\overline{WRm}$↓遅延時間	$t_{DSTRDWR}$	<11>		(0.5＋t_{AHW}) T－20		ns
データ入力保持時間（対$\overline{RD}$↑）	t_{HRDID}	<12>		0		ns
$\overline{RD}$↑→アドレス出力時間	t_{DRDA}	<13>		(1+i) T－16		ns
$\overline{RD}$, $\overline{WRm}$↑→ASTB↑遅延時間	$t_{DRDWRST}$	<14>		0.5T－10		ns
$\overline{RD}$↑→ASTB↓遅延時間	t_{DRDST}	<15>		(1.5+i＋t_{ASW}) T－10		ns
$\overline{RD}$, $\overline{WRm}$ロウ・レベル幅	t_{WRDWRL}	<16>		(1+n) T－10		ns
ASTB ハイ・レベル幅	t_{WSTH}	<17>		(1+i＋t_{ASW}) T－25		ns
$\overline{WRm}$↓→データ出力時間	t_{DWROD}	<18>			20	ns
データ出力設定時間（対$\overline{WRm}$↑）	t_{SODWR}	<19>		(1+n) T－25		ns
データ出力保持時間（対$\overline{WRm}$↑）	t_{HWROD}	<20>		T－15		ns
$\overline{WAIT}$設定時間（対アドレス）	t_{SAWT1}	<21>	n≧1		(1.5＋t_{ASW}＋t_{AHW}) T－45	ns
	t_{SAWT2}	<22>			(1.5+n＋t_{ASW}＋t_{AHW}) T－45	ns
$\overline{WAIT}$保持時間（対アドレス）	t_{HAWT1}	<23>	n≧1	(0.5+n＋t_{ASW}＋t_{AHW}) T		ns
	t_{HAWT2}	<24>		(1.5+n＋t_{ASW}＋t_{AHW}) T		ns
$\overline{WAIT}$設定時間（対ASTB↓）	t_{SSTWT1}	<25>	n≧1		(1＋t_{AHW}) T－32	ns
	t_{SSTWT2}	<26>			(1+n＋t_{AHW}) T－32	ns
$\overline{WAIT}$保持時間（対ASTB↓）	t_{HSTWT1}	<27>	n≧1	(n＋t_{AHW}) T		ns
	t_{HSTWT2}	<28>		(1+n＋t_{AHW}) T		ns

備考1. t_{ASW}：アドレス・セットアップ・ウエイト・クロック数（0または1）

t_{AHW}：アドレス・ホールド・ウエイト・クロック数（0または1）

2. T = 1/f_{CPU}（f_{CPU}：CPU動作クロック周波数）

3. n：バス・サイクルに挿入されるウエイト・クロック数

プログラマブル・ウエイト挿入時は，サンプル・タイミングが変わります。

4. m = 0, 1

5. i：リード・サイクル後に挿入されるアイドル・ステート数（0または1）

6. 上記スペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）（2/2）

項　目	略　号		条　件	MIN.	MAX.	単　位
アドレス設定時間（対ASTB↓）	t_{SAST}	<6>		（0.5＋t_{ASW}）T－42		ns
アドレス保持時間（対ASTB↓）	t_{HSTA}	<7>		（0.5＋t_{AHW}）T－30		ns
$\overline{RD}$↓→アドレス・フロート遅延時間	t_{FRDA}	<8>			32	ns
アドレス→データ入力設定時間	t_{SAID}	<9>			（2＋n＋t_{ASW}＋t_{AHW}）T－72	ns
$\overline{RD}$↓→データ入力設定時間	t_{SRID}	<10>			（1＋n）T－40	ns
ASTB↓→$\overline{RD}$, $\overline{WRm}$↓遅延時間	$t_{DSTRDWR}$	<11>		（0.5＋t_{AHW}）T－35		ns
データ入力保持時間（対$\overline{RD}$↑）	t_{HRDID}	<12>		0		ns
$\overline{RD}$↑→アドレス出力時間	t_{DRDA}	<13>		（1＋i）T－32		ns
$\overline{RD}$, $\overline{WRm}$↑→ASTB↑遅延時間	$t_{DRDWRST}$	<14>		0.5T－20		ns
$\overline{RD}$↑→ASTB↓遅延時間	t_{DRDST}	<15>		（1.5+i＋t_{ASW}）T－20		ns
$\overline{RD}$, $\overline{WRm}$ロウ・レベル幅	t_{WRDWRL}	<16>		（1＋n）T－20		ns
ASTB ハイ・レベル幅	t_{WSTH}	<17>		（1＋i＋t_{ASW}）T－50		ns
$\overline{WRm}$↓→データ出力時間	t_{DWROD}	<18>			35	ns
データ出力設定時間（対$\overline{WRm}$↑）	t_{SODWR}	<19>		（1＋n）T－40		ns
データ出力保持時間（対$\overline{WRm}$↑）	t_{HWROD}	<20>		T－30		ns
$\overline{WAIT}$設定時間（対アドレス）	t_{SAWT1}	<21>	n≧1		（1.5＋t_{ASW}＋t_{AHW}）T－80	ns
	t_{SAWT2}	<22>			（1.5＋n＋t_{ASW}＋t_{AHW}）T－80	ns
$\overline{WAIT}$保持時間（対アドレス）	t_{HAWT1}	<23>	n≧1	（0.5＋n＋t_{ASW}＋t_{AHW}）T		ns
	t_{HAWT2}	<24>		（1.5＋n＋t_{ASW}＋t_{AHW}）T		ns
$\overline{WAIT}$設定時間（対ASTB↓）	t_{SSTWT1}	<25>	n≧1		（1＋t_{AHW}）T－60	ns
	t_{SSTWT2}	<26>			（1＋n＋t_{AHW}）T－60	ns
$\overline{WAIT}$保持時間（対ASTB↓）	t_{HSTWT1}	<27>	n≧1	（n＋t_{AHW}）T		ns
	t_{HSTWT2}	<28>		（1＋n＋t_{AHW}）T		ns

注意　CPU動作クロック周波数の使用条件によっては，次の設定を行ってください（k = 0, 1）。

- 70 ns＜1/f_{CPU}＜84 ns時
  アドレス・セットアップ・ウエイト（AWC.ASWkビット = 1）を設定
- 62.5 ns＜1/f_{CPU}＜70 ns時
  アドレス・セットアップ・ウエイト（ASWkビット = 1），およびアドレス・ホールド・ウエイト（AWC.AHWkビット = 1）を設定

備考1.　t_{ASW}：アドレス・セットアップ・ウエイト・クロック数（0または1）
　　t_{AHW}：アドレス・ホールド・ウエイト・クロック数（0または1）

2.　T = 1/f_{CPU}（f_{CPU}：CPU動作クロック周波数）

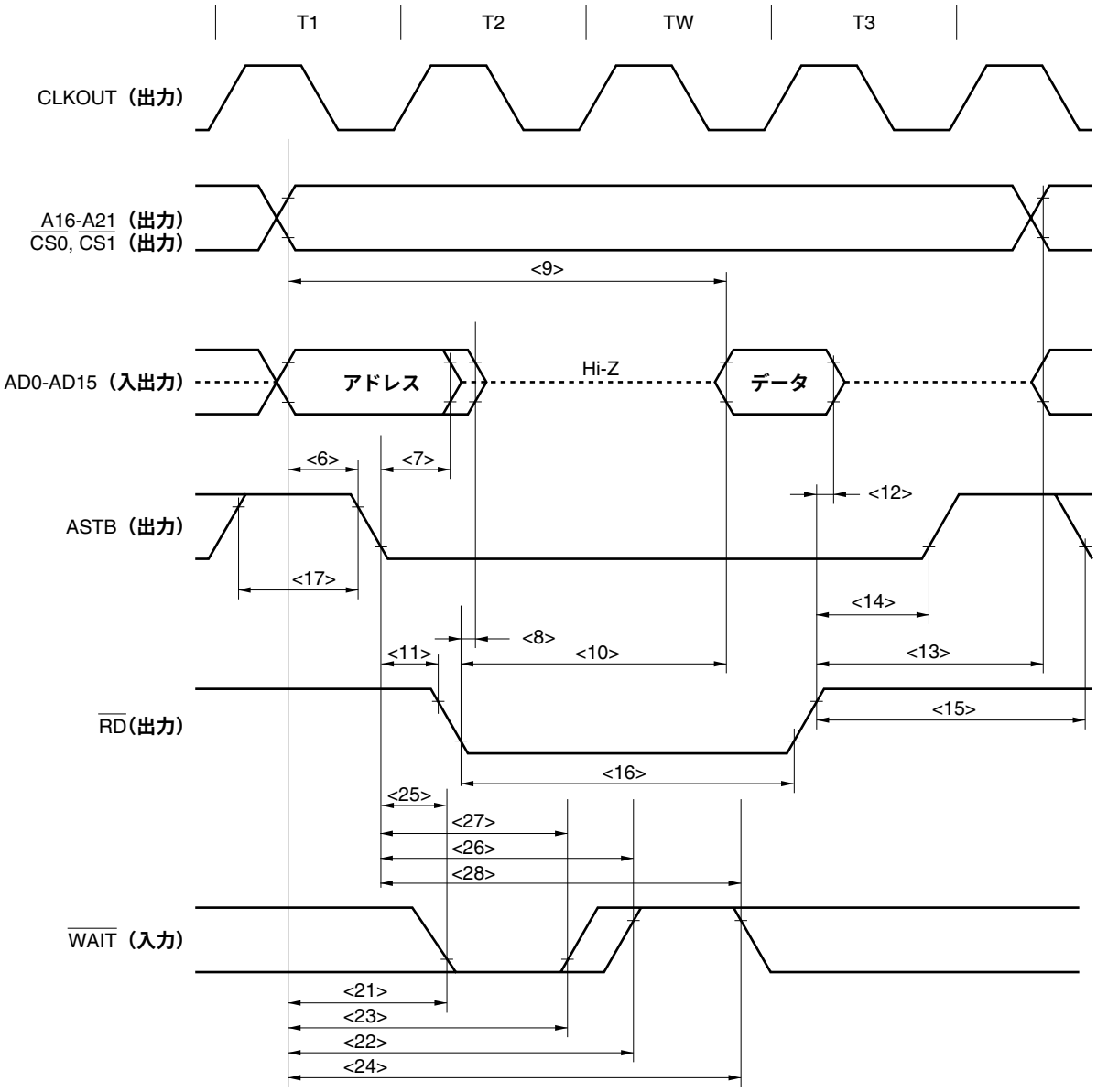
3.　n：バス・サイクルに挿入されるウエイト・クロック数
　　プログラマブル・ウエイト挿入時は，サンプル・タイミングが変わります。

4.　m = 0, 1

5.　i：リード・サイクル後に挿入されるアイドル・ステート数（0または1）

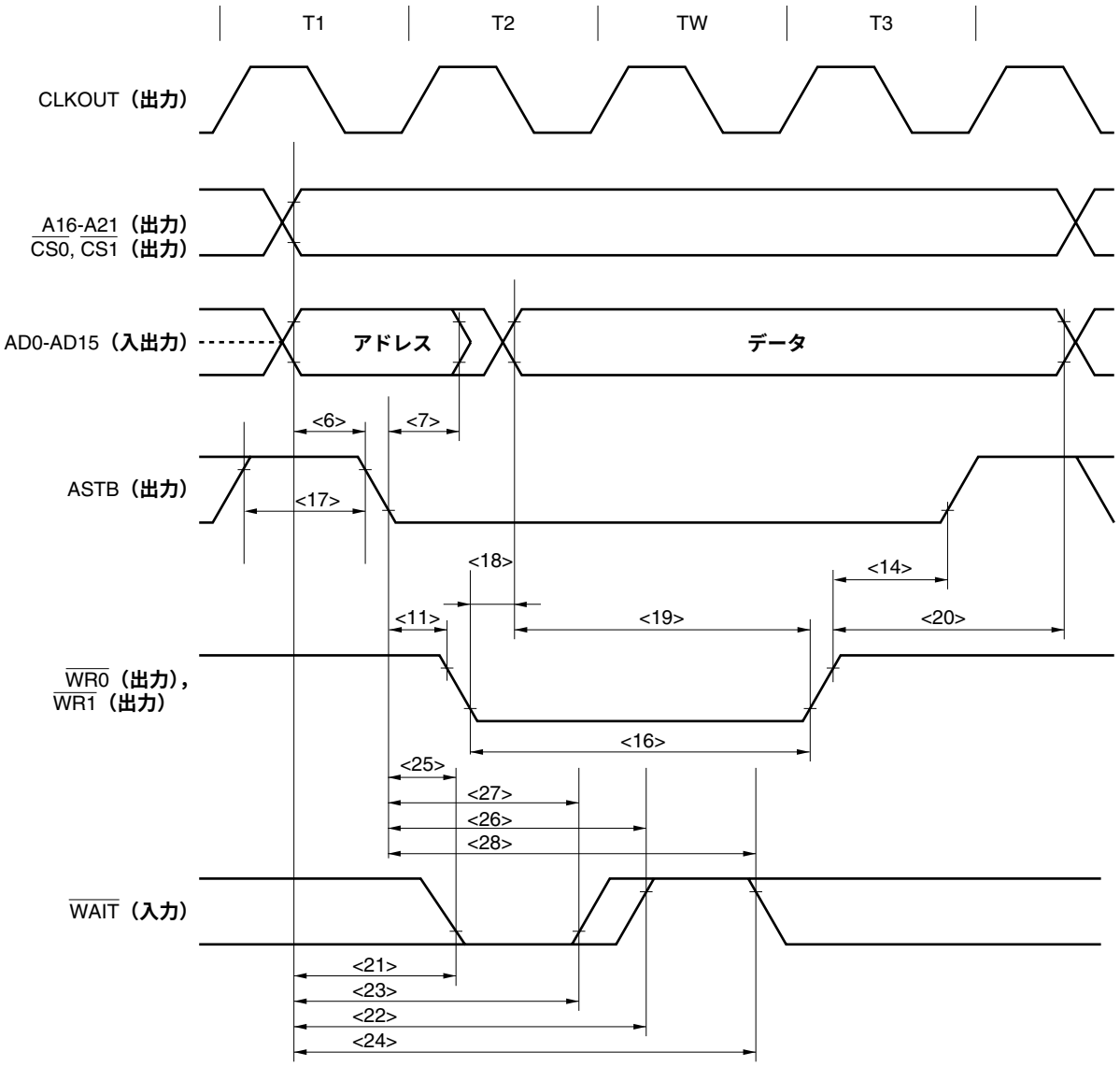
6.　上記スペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

リード・サイクル（CLKOUT非同期）：マルチプレクス・バス・モード時



備考　WR0, WR1はハイ・レベル

ライト・サイクル（CLKOUT非同期）：マルチプレクス・バス・モード時



備考　WR0, WR1はハイ・レベル

(b) リード／ライト・サイクル（CLKOUT同期）：マルチプレクス・バス・モード時

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 4.0～5.5 V, 4.0 V≦BV_{DD}≦V_{DD}, 4.0 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）（1/2）

項　目	略　号		条　件	MIN.	MAX.	単　位
CLKOUT↑→アドレス遅延時間	t_{DKA}	<29>		0	19	ns
CLKOUT↑→アドレス･フロート遅延時	t_{FKA}	<30>		0	14	ns
CLKOUT↓→ASTB遅延時間	t_{DKST}	<31>		0	23	ns
CLKOUT↑→$\overline{RD}$, $\overline{WRm}$遅延時間	t_{DKRDWR}	<32>		－22	0	ns
データ入力設定時間（対CLKOUT↑）	t_{SIDK}	<33>		15		ns
データ入力保持時間（対CLKOUT↑）	t_{HKID}	<34>		0		ns
CLKOUT↑→データ出力遅延時間	t_{DKOD}	<35>			19	ns
$\overline{WAIT}$設定時間（対CLKOUT↓）	t_{SWTK}	<36>		15		ns
$\overline{WAIT}$保持時間（対CLKOUT↓）	t_{HKWT}	<37>		0		ns

備考1.　m = 0, 1

2.　上記スペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

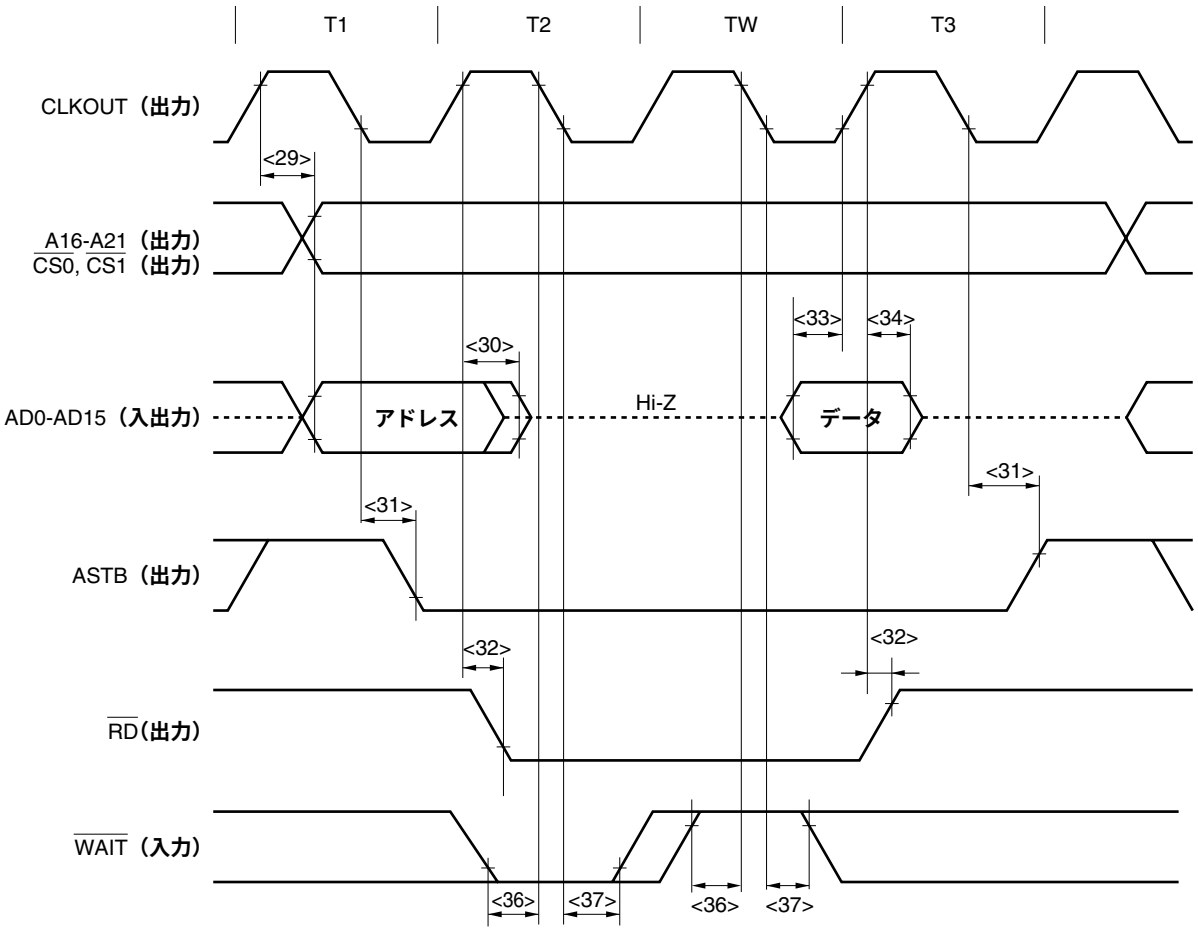
（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）（2/2）

項　目	略　号		条　件	MIN.	MAX.	単　位
CLKOUT↑→アドレス遅延時間	t_{DKA}	<29>		0	19	ns
CLKOUT↑→アドレス･フロート遅延時	t_{FKA}	<30>		0	18	ns
CLKOUT↓→ASTB遅延時間	t_{DKST}	<31>		0	55	ns
CLKOUT↑→$\overline{RD}$, $\overline{WRm}$遅延時間	t_{DKRDWR}	<32>		－22	0	ns
データ入力設定時間（対CLKOUT↑）	t_{SIDK}	<33>		30		ns
データ入力保持時間（対CLKOUT↑）	t_{HKID}	<34>		0		ns
CLKOUT↑→データ出力遅延時間	t_{DKOD}	<35>			19	ns
$\overline{WAIT}$設定時間（対CLKOUT↓）	t_{SWTK}	<36>		25		ns
$\overline{WAIT}$保持時間（対CLKOUT↓）	t_{HKWT}	<37>		0		ns

備考1.　m = 0, 1

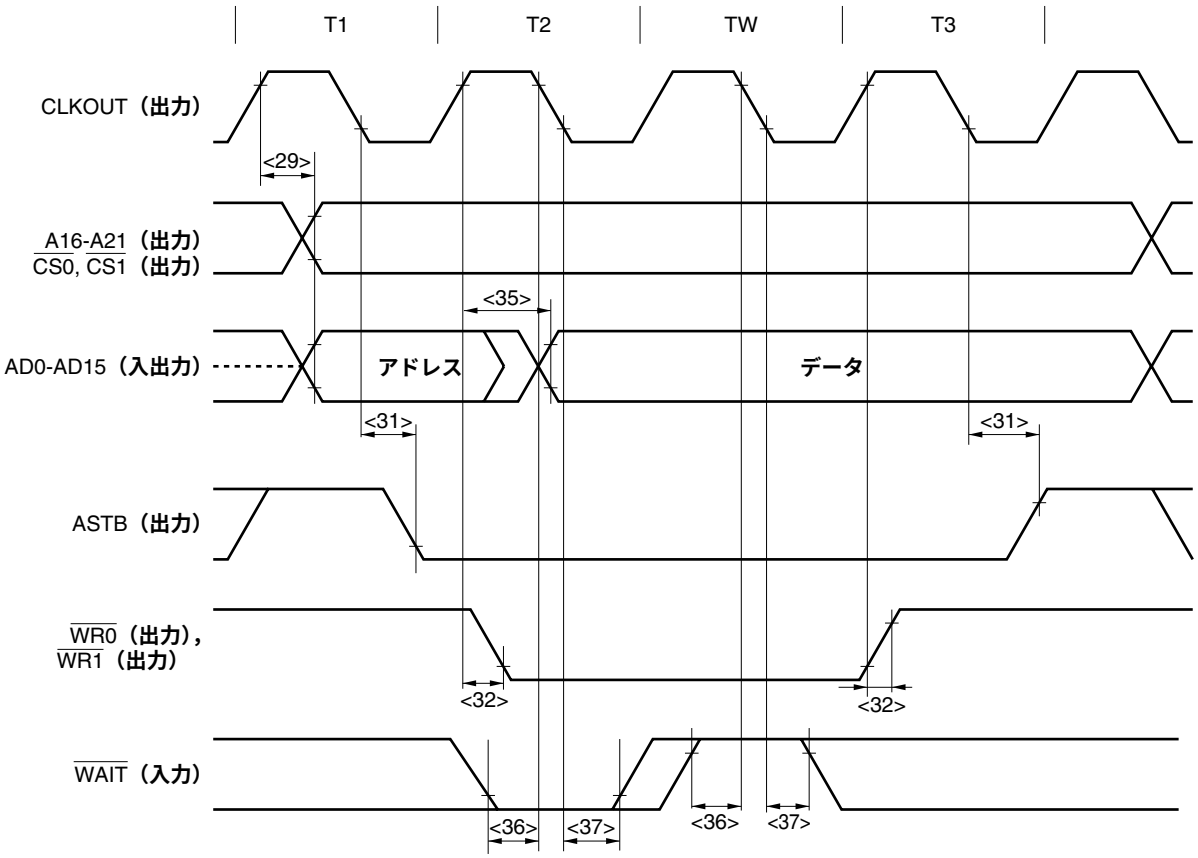
2.　上記スペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

リード・サイクル（CLKOUT同期）：マルチプレクス・バス・モード時



備考　WR1, WR0はハイ・レベル

ライト・サイクル（CLKOUT同期）：マルチプレクス・バス・モード時



(2) セパレート・バス・モード時

(a) リード・サイクル（CLKOUT非同期）：セパレート・バス・モード時

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 4.0～5.5 V, 4.0 V≦BV_{DD}≦V_{DD}, 4.0 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）（1/2）

項　目	略　号		条件	MIN.	MAX.	単　位
アドレス設定時間（対$\overline{RD}$↓）	t_{SARD}	<38>		(0.5＋t_{ASW}) T－50		ns
アドレス保持時間（対$\overline{RD}$↑）	t_{HARD}	<39>		iT－13		ns
$\overline{RD}$ロウ・レベル幅	t_{WRDL}	<40>		(1.5＋n＋t_{AHW}) T－15		ns
データ設定時間（対$\overline{RD}$↑）	t_{SISD}	<41>		30		ns
データ保持時間（対$\overline{RD}$↑）	t_{HISD}	<42>		0		ns
データ設定時間（対アドレス）	t_{SAID}	<43>			(2＋n＋t_{ASW}＋t_{AHW}) T－65	ns
$\overline{WAIT}$設定時間（対$\overline{RD}$↓）	t_{SRDWT1}	<44>	n≧1		(0.5＋t_{AHW}) T－32	ns
	t_{SRDWT2}	<45>			(0.5＋n＋t_{AHW}) T－32	ns
$\overline{WAIT}$保持時間（対$\overline{RD}$↓）	t_{HRDWT1}	<46>	n≧1	(n－0.5＋t_{AHW}) T		ns
	t_{HRDWT2}	<47>		(n＋0.5＋t_{AHW}) T		ns
$\overline{WAIT}$設定時間（対アドレス）	t_{SAWT1}	<48>	n≧1		(1＋t_{ASW}＋t_{AHW}) T－65	ns
	t_{SAWT2}	<49>			(1＋n＋t_{ASW}＋t_{AHW}) T－65	ns
$\overline{WAIT}$保持時間（対アドレス）	t_{HAWT1}	<50>	n≧1	(n＋t_{ASW}＋t_{AHW}) T		ns
	t_{HAWT2}	<51>		(1＋n＋t_{ASW}＋t_{AHW}) T		ns

注意　CPU動作クロック周波数の使用条件によっては，次の設定を行ってください（k = 0, 1）。

- 1/f_{CPU}＜100 ns時

  アドレス・セットアップ・ウエイト（ASWkビット = 1）を設定

備考1.　t_{ASW}：アドレス・セットアップ・ウエイト・クロック数（0または1）

　　t_{AHW}：アドレス・ホールド・ウエイト・クロック数（0または1）

2.　T = 1/f_{CPU}（f_{CPU}：CPU動作クロック周波数）

3.　n：バス・サイクルに挿入されるウエイト・クロック数

　　プログラマブル・ウエイト挿入時は，サンプリング・タイミングが変わります。

4.　i：リード・サイクル後に挿入されるアイドル・ステート数（0または1）

5.　上記のスペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）（2/2）

項　　目	略　号		条件	MIN.	MAX.	単　位
アドレス設定時間（対$\overline{RD}$↓）	t_{SARD}	<38>		（0.5＋t_{ASW}）T－100		ns
アドレス保持時間（対$\overline{RD}$↑）	t_{HARD}	<39>		iT－26		ns
$\overline{RD}$ロウ・レベル幅	t_{WRDL}	<40>		（1.5＋n＋t_{AHW}）T－30		ns
データ設定時間（対$\overline{RD}$↑）	t_{SISD}	<41>		60		ns
データ保持時間（対$\overline{RD}$↑）	t_{HISD}	<42>		0		ns
データ設定時間（対アドレス）	t_{SAID}	<43>			(2＋n＋t_{ASW}＋t_{AHW}) T－120	ns
$\overline{WAIT}$設定時間（対$\overline{RD}$↓）	t_{SRDWT1}	<44>	n≧1		（0.5＋t_{AHW}）T－50	ns
	t_{SRDWT2}	<45>			（0.5＋n＋t_{AHW}）T－50	ns
$\overline{WAIT}$保持時間（対$\overline{RD}$↓）	t_{HRDWT1}	<46>	n≧1	（n－0.5＋t_{AHW}）T		ns
	t_{HRDWT2}	<47>		（n＋0.5＋t_{AHW}）T		ns
$\overline{WAIT}$設定時間（対アドレス）	t_{SAWT1}	<48>	n≧1		(1＋t_{ASW}＋t_{AHW}) T－130	ns
	t_{SAWT2}	<49>			(1＋n＋t_{ASW}＋t_{AHW}) T－130	ns
$\overline{WAIT}$保持時間（対アドレス）	t_{HAWT1}	<50>	n≧1	（n＋t_{ASW}＋t_{AHW}）T		ns
	t_{HAWT2}	<51>		（1＋n＋t_{ASW}＋t_{AHW}）T		ns

注意　CPU動作クロック周波数の使用条件によっては，次の設定を行ってください（k = 0, 1）。

- 1/f_{CPU}＜200 ns時

  アドレス・セットアップ・ウエイト（ASWkビット = 1）を設定

備考1.　t_{ASW}：アドレス・セットアップ・ウエイト・クロック数（0または1）

t_{AHW}：アドレス・ホールド・ウエイト・クロック数（0または1）

2.　T = 1/f_{CPU}（f_{CPU}：CPU動作クロック周波数）

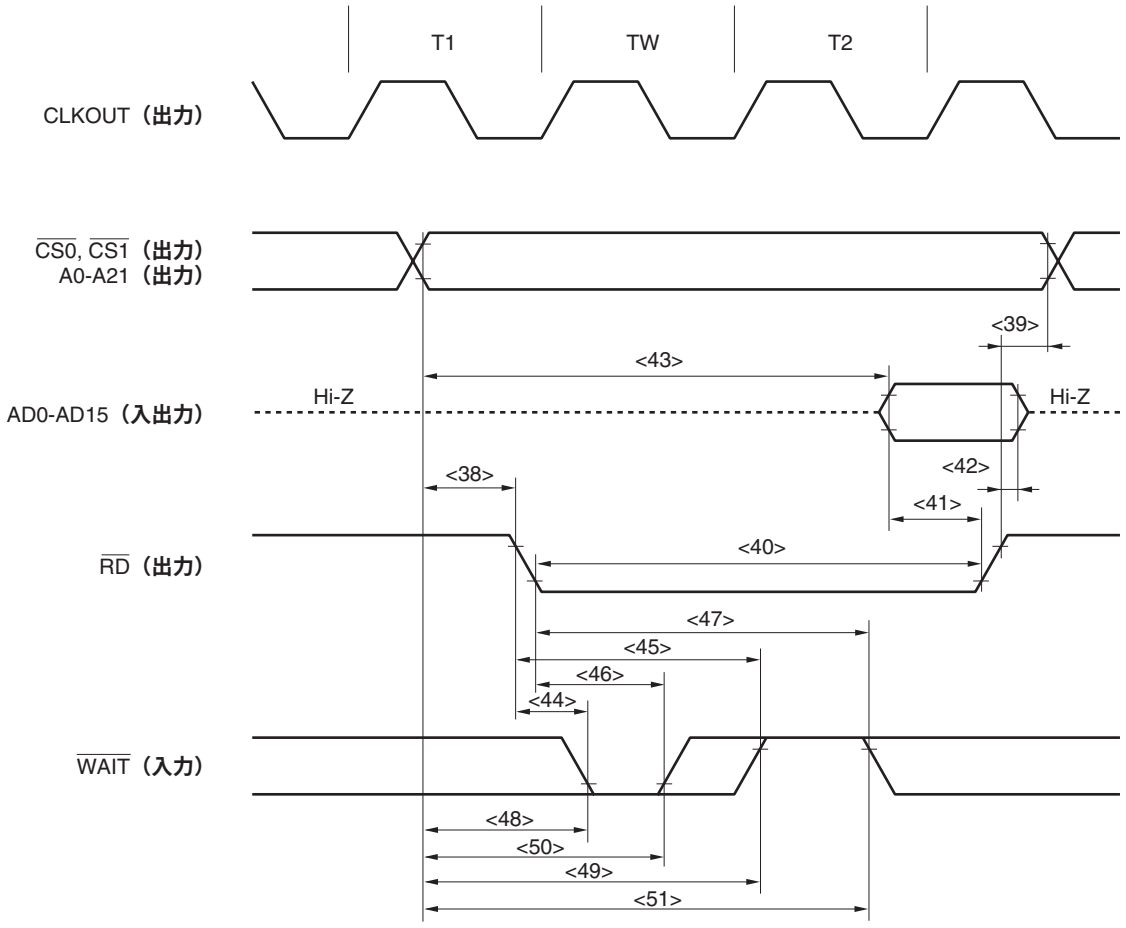
3.　n：バス・サイクルに挿入されるウエイト・クロック数

プログラマブル・ウエイト挿入時は，サンプリング・タイミングが変わります。

4.　i：リード・サイクル後に挿入されるアイドル・ステート数（0または1）

5.　上記のスペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

リード・サイクル（CLKOUT非同期）：セパレート・バス・モード時



備考　$\overline{\text{WR0}}$, $\overline{\text{WR1}}$はハイ・レベル

(b) ライト・サイクル（CLKOUT非同期）：セパレート・バス・モード時

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 4.0～5.5 V, 4.0 V≦BV_{DD}≦V_{DD}, 4.0 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）（1/2）

項　目	略　号		条件	MIN.	MAX.	単　位
アドレス設定時間（対$\overline{WRm}$↓）	t_{SAWR}	<52>		(1＋t_{ASW}＋t_{AHW}) T－60		ns
アドレス保持時間（対$\overline{WRm}$↑）	t_{HAWR}	<53>		0.5T－10		ns
$\overline{WRm}$ロウ・レベル幅	t_{WWRL}	<54>		(0.5＋n) T－10		ns
$\overline{WRm}$↓→データ出力遅延時間	t_{DOSDW}	<55>		－5		ns
データ設定時間（対$\overline{WRm}$↑）	t_{SOSDW}	<56>		(0.5＋n) T－20		ns
データ保持時間（対$\overline{WRm}$↑）	t_{HOSDW}	<57>		0.5T－20		ns
データ設定時間（対アドレス）	t_{SAOD}	<58>		(1＋t_{ASW}＋t_{AHW}) T－30		ns
$\overline{WAIT}$設定時間（対$\overline{WRm}$↓）	t_{SWRWT1}	<59>	n≧1	30		ns
	t_{SWRWT2}	<60>			nT－30	ns
$\overline{WAIT}$保持時間（対$\overline{WRm}$↓）	t_{HWRWT1}	<61>	n≧1	0		ns
	t_{HWRWT2}	<62>		nT		ns
$\overline{WAIT}$設定時間（対アドレス）	t_{SAWT1}	<63>	n≧1		(1＋t_{ASW}＋t_{AHW}) T－45	ns
	t_{SAWT2}	<64>			(1＋n＋t_{ASW}＋t_{AHW}) T－45	ns
$\overline{WAIT}$保持時間（対アドレス）	t_{HAWT1}	<65>	n≧1	(n＋t_{ASW}＋t_{AHW}) T		ns
	t_{HAWT2}	<66>		(1＋n＋t_{ASW}＋t_{AHW}) T		ns

注意　CPU動作クロック周波数の使用条件によっては，次の設定を行ってください（k = 0, 1）。

- 1/f_{CPU}＜60 ns時

  アドレス・セットアップ・ウエイト（ASWkビット = 1）を設定

備考1.　m = 0, 1

2.　t_{ASW}：アドレス・セットアップ・ウエイト・クロック数（0または1）

　t_{AHW}：アドレス・ホールド・ウエイト・クロック数（0または1）

3.　T = 1/f_{CPU}（f_{CPU}：CPU動作クロック周波数）

4.　n：バス・サイクルに挿入されるウエイト・クロック数

　プログラマブル・ウエイト挿入時は，サンプリング・タイミングが変わります。

5.　上記のスペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）（2/2）

項　　目	略　号		条件	MIN.	MAX.	単　位
アドレス設定時間（対$\overline{WRm}$↓）	t_{SAWR}	<52>		（1＋t_{ASW}＋t_{AHW}）T－100		ns
アドレス保持時間（対$\overline{WRm}$↑）	t_{HAWR}	<53>		0.5T－10		ns
$\overline{WRm}$ロウ・レベル幅	t_{WWRL}	<54>		（0.5＋n）T－10		ns
$\overline{WRm}$↓→データ出力遅延時間	t_{DOSDW}	<55>		－5		ns
データ設定時間（対$\overline{WRm}$↑）	t_{SOSDW}	<56>		（0.5＋n）T－35		ns
データ保持時間（対$\overline{WRm}$↑）	t_{HOSDW}	<57>		0.5T－35		ns
データ設定時間（対アドレス）	t_{SAOD}	<58>		（1＋t_{ASW}＋t_{AHW}）T－55		ns
$\overline{WAIT}$設定時間（対$\overline{WRm}$↓）	t_{SWRWT1}	<59>	n≧1	50		ns
	t_{SWRWT2}	<60>			nT－50	ns
$\overline{WAIT}$保持時間（対$\overline{WRm}$↓）	t_{HWRWT1}	<61>	n≧1	0		ns
	t_{HWRWT2}	<62>		nT		ns
$\overline{WAIT}$設定時間（対アドレス）	t_{SAWT1}	<63>	n≧1		（1＋t_{ASW}＋t_{AHW}）T－100	ns
	t_{SAWT2}	<64>			（1＋n＋t_{ASW}＋t_{AHW}）T－100	ns
$\overline{WAIT}$保持時間（対アドレス）	t_{HAWT1}	<65>	n≧1	（n＋t_{ASW}＋t_{AHW}）T		ns
	t_{HAWT2}	<66>		（1＋n＋t_{ASW}＋t_{AHW}）T		ns

注意　CPU動作クロック周波数の使用条件によっては，次の設定を行ってください（k = 0, 1）。

- 1/f_{CPU}＜100 ns時

  アドレス・セットアップ・ウエイト（ASWkビット = 1）を設定

備考1.　m = 0, 1

2.　t_{ASW}：アドレス・セットアップ・ウエイト・クロック数（0または1）

　　t_{AHW}：アドレス・ホールド・ウエイト・クロック数（0または1）

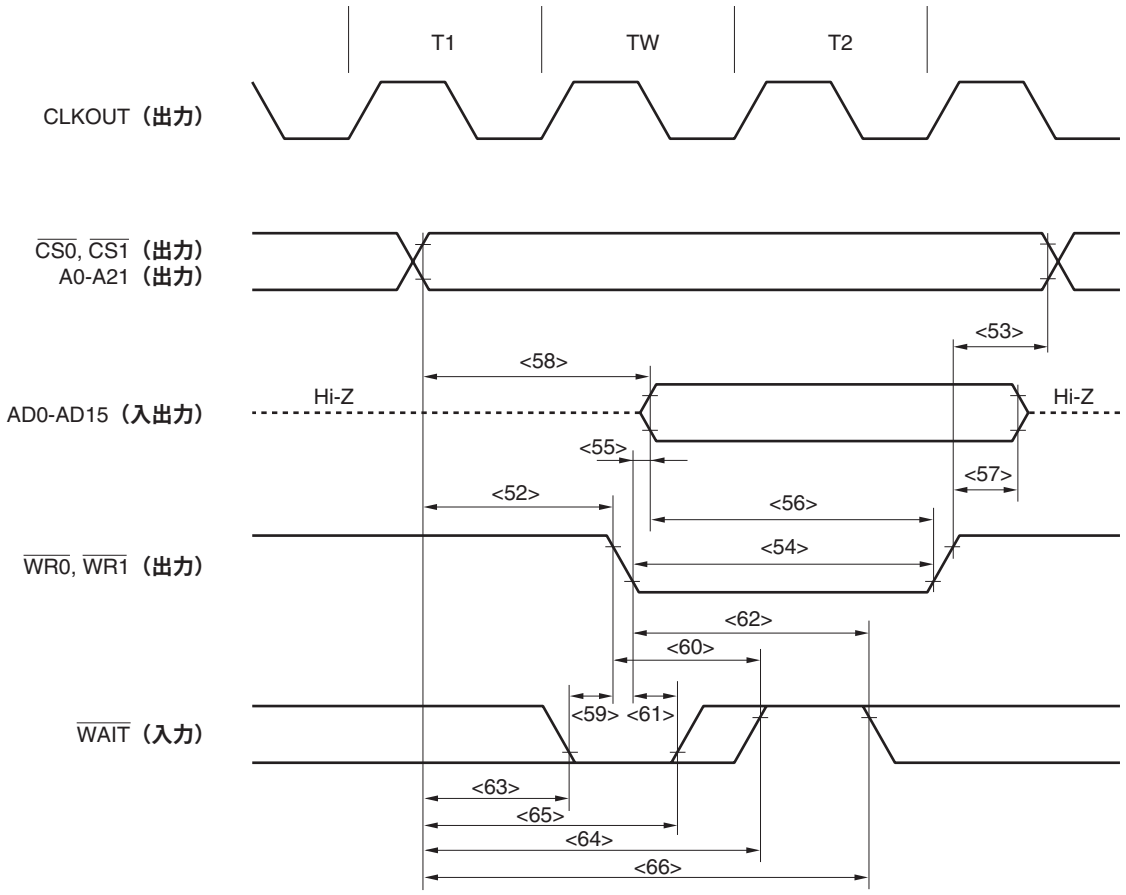
3.　T = 1/f_{CPU}（f_{CPU}：CPU動作クロック周波数）

4.　n：バス・サイクルに挿入されるウエイト・クロック数

　　プログラマブル・ウエイト挿入時は，サンプリング・タイミングが変わります。

5.　上記のスペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

ライト・サイクル（CLKOUT非同期）：セパレート・バス・モード時



備考　$\overline{\text{RD}}$はハイ・レベル

(c) リード・サイクル（CLKOUT同期）：セパレート・バス・モード時

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 4.0～5.5 V, 4.0 V≦BV_{DD}≦V_{DD}, 4.0 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）（1/2）

項　目	略　号		条　件	MIN.	MAX.	単　位
CLKOUT↑→アドレス，CS遅延時間	t_{DKSA}	<67>		0	35	ns
データ入力設定時間（対CLKOUT↑）	t_{SISDK}	<68>		15		ns
データ入力保持時間（対CLKOUT↑）	t_{HKISD}	<69>		0		ns
CLKOUT↓↑→$\overline{RD}$遅延時間	t_{DKSR}	<70>		0	6	ns
$\overline{WAIT}$設定時間（対CLKOUT↑）	t_{SWTK}	<71>		20		ns
$\overline{WAIT}$保持時間（対CLKOUT↑）	t_{HKWT}	<72>		0		ns

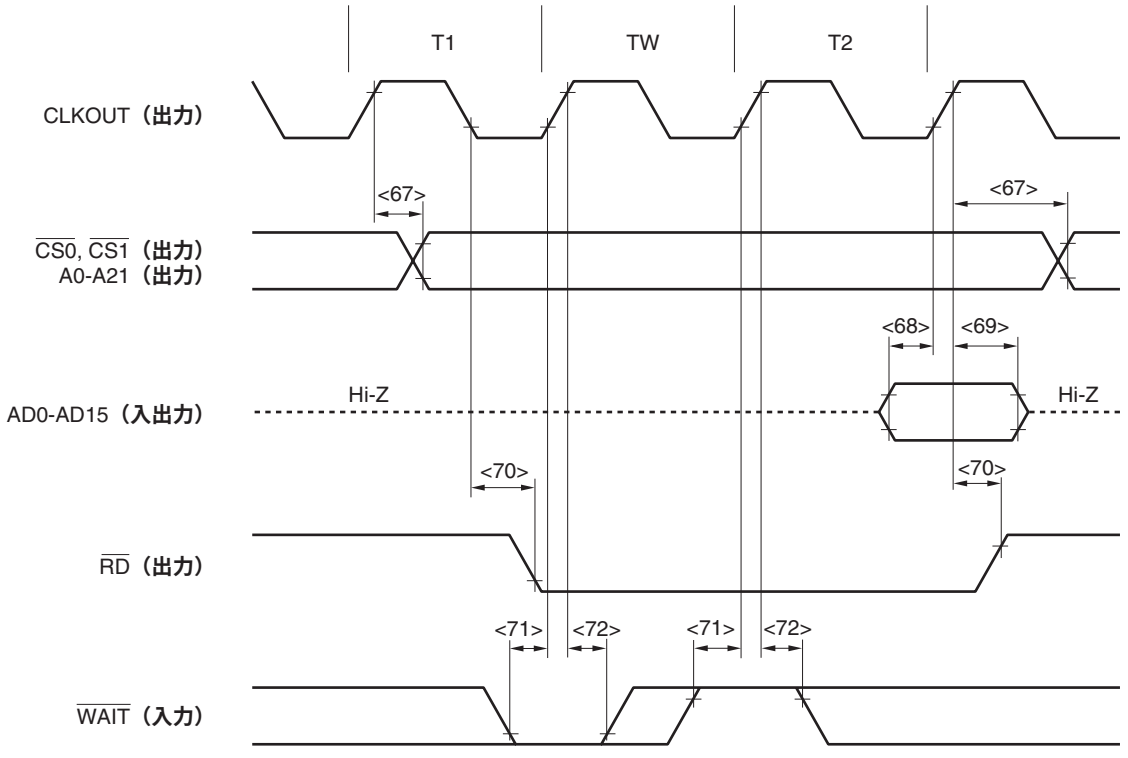
備考　上記のスペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）（2/2）

項　目	略　号		条　件	MIN.	MAX.	単　位
CLKOUT↑→アドレス，CS遅延時間	t_{DKSA}	<67>		0	65	ns
データ入力設定時間（対CLKOUT↑）	t_{SISDK}	<68>		30		ns
データ入力保持時間（対CLKOUT↑）	t_{HKISD}	<69>		0		ns
CLKOUT↓↑→$\overline{RD}$遅延時間	t_{DKSR}	<70>		0	10	ns
$\overline{WAIT}$設定時間（対CLKOUT↑）	t_{SWTK}	<71>		40		ns
$\overline{WAIT}$保持時間（対CLKOUT↑）	t_{HKWT}	<72>		0		ns

備考　上記のスペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

リード・サイクル（CLKOUT同期，1ウエイト）：セパレート・バス・モード時



備考　WR0, WR1**はハイ・レベル**

(d) ライト・サイクル（CLKOUT同期）：セパレート・バス・モード時

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 4.0～5.5 V, 4.0 V≦BV_{DD}≦V_{DD}, 4.0 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）（1/2）

項　目	略　号		条　件	MIN.	MAX.	単　位
CLKOUT↑→アドレス，CS遅延時間	t_{DKSA}	<73>		0	35	ns
CLKOUT↑→データ出力遅延時間	t_{DKSD}	<74>		0	10	ns
CLKOUT↑↓→$\overline{WRm}$遅延時間	t_{DKSW}	<75>		0	10	ns
$\overline{WAIT}$設定時間（対CLKOUT↑）	t_{SWTK}	<76>		20		ns
$\overline{WAIT}$保持時間（対CLKOUT↑）	t_{HKWT}	<77>		0		ns

備考1.　m = 0, 1

2.　**上記のスペックは，**X1**からデューティ比**1：1**のクロックを入力した場合の値です。**

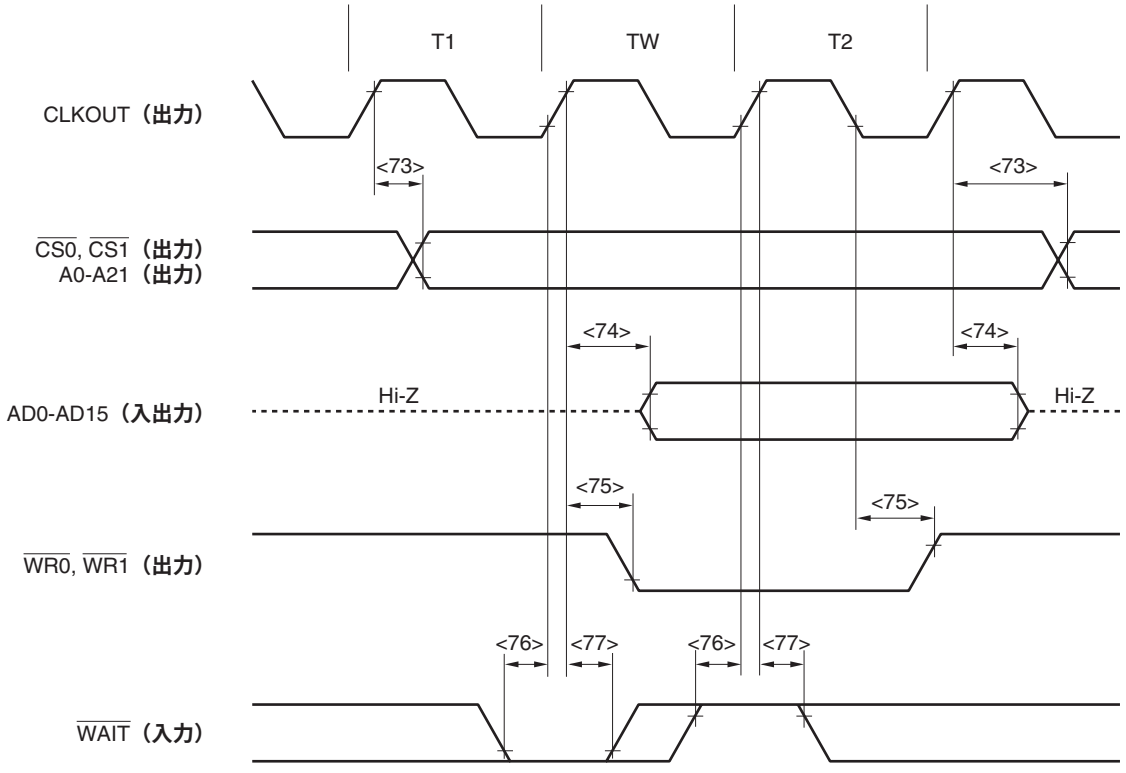
（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）（2/2）

項　目	略　号		条　件	MIN.	MAX.	単　位
CLKOUT↑→アドレス，CS遅延時間	t_{DKSA}	<73>		0	65	ns
CLKOUT↑→データ出力遅延時間	t_{DKSD}	<74>		0	15	ns
CLKOUT↑↓→$\overline{WRm}$遅延時間	t_{DKSW}	<75>		0	15	ns
$\overline{WAIT}$設定時間（対CLKOUT↑）	t_{SWTK}	<76>		40		ns
$\overline{WAIT}$保持時間（対CLKOUT↑）	t_{HKWT}	<77>		0		ns

備考1.　m = 0, 1

2.　**上記のスペックは，**X1**からデューティ比**1：1**のクロックを入力した場合の値です。**

ライト・サイクル（CLKOUT同期）：セパレート・バス・モード時



備考　RDはハイ・レベル

(3) バス・ホールド時

(a) CLKOUT非同期

(TA = －40～＋85 ℃，VDD = EVDD = AVREF0 = 4.0～5.5 V, 4.0 V≦BVDD≦VDD, 4.0 V≦AVREF1≦VDD, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)　(1/2)

項　　目	略　号		条　　件	MIN.	MAX.	単　位
$\overline{\text{HLDRQ}}$ハイ・レベル幅	t_{WHQH}	<78>		T+10		ns
$\overline{\text{HLDAK}}$ロウ・レベル幅	t_{WHAL}	<79>		T－15		ns
$\overline{\text{HLDAK}}$↑→バス出力遅延時間	t_{DHAC}	<80>		－40		ns
$\overline{\text{HLDRQ}}$↓→$\overline{\text{HLDAK}}$↓遅延時間	t_{DHQHA1}	<81>			(2n+7.5) T+40	ns
$\overline{\text{HLDRQ}}$↑→$\overline{\text{HLDAK}}$↑遅延時間	t_{DHQHA2}	<82>		0.5T	1.5T+40	ns

備考1.　T = 1/fCPU (fCPU：CPU動作クロック周波数)

2.　n：バス・サイクルに挿入されるウエイト・クロック数

プログラマブル・ウエイト挿入時は，サンプル・タイミングが変わります。

3.　上記のスペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

(TA = －40～＋85 ℃，VDD = EVDD = AVREF0 = 2.7～5.5 V, 2.7 V≦BVDD≦VDD, 2.7 V≦AVREF1≦VDD, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)　(2/2)

項　　目	略　号		条　　件	MIN.	MAX.	単　位
$\overline{\text{HLDRQ}}$ハイ・レベル幅	t_{WHQH}	<78>		T+10		ns
$\overline{\text{HLDAK}}$ロウ・レベル幅	t_{WHAL}	<79>		T－15		ns
$\overline{\text{HLDAK}}$↑→バス出力遅延時間	t_{DHAC}	<80>		－80		ns
$\overline{\text{HLDRQ}}$↓→$\overline{\text{HLDAK}}$↓遅延時間	t_{DHQHA1}	<81>			(2n+7.5) T+70	ns
$\overline{\text{HLDRQ}}$↑→$\overline{\text{HLDAK}}$↑遅延時間	t_{DHQHA2}	<82>		0.5T	1.5T+70	ns

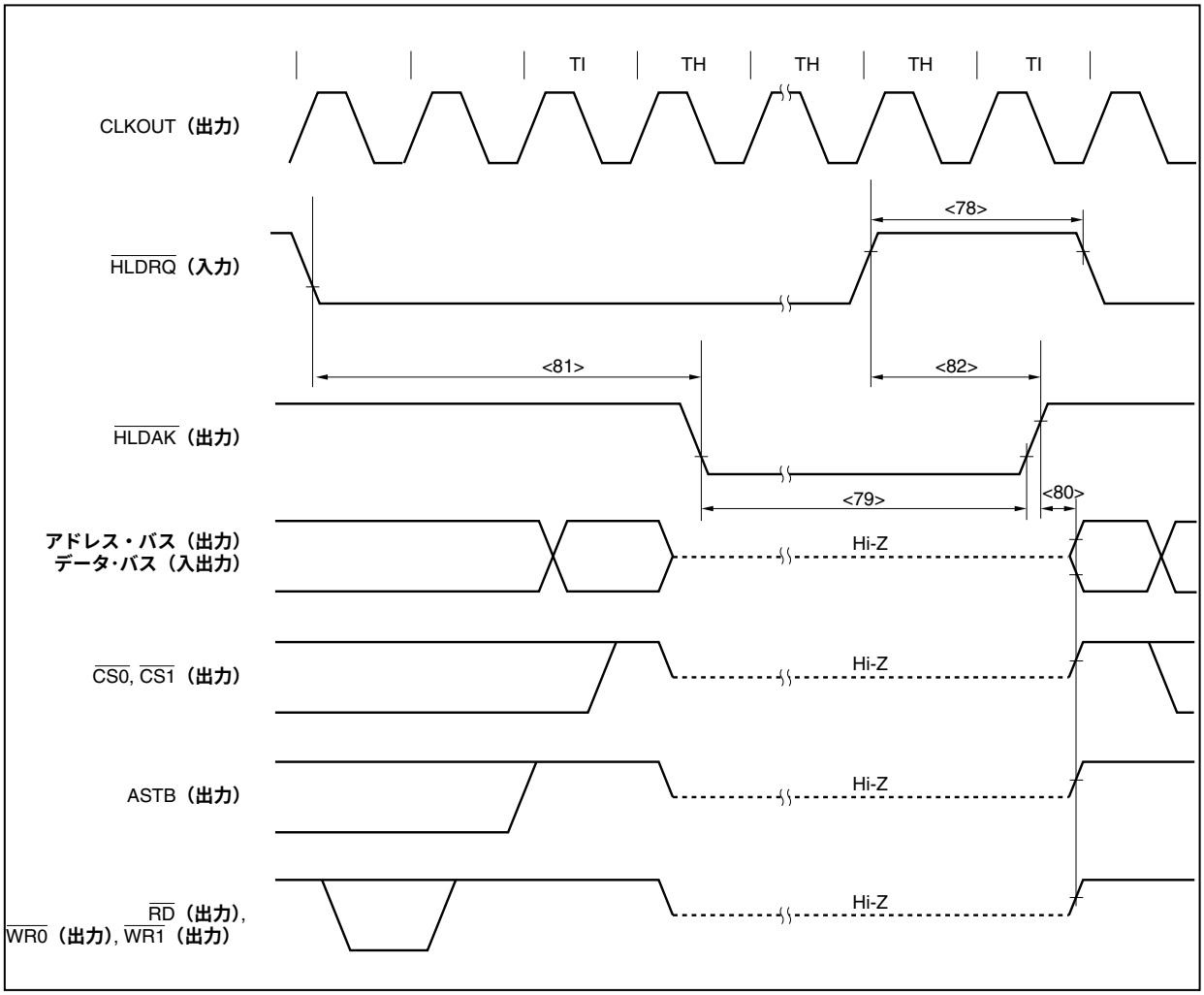
備考1.　T = 1/fCPU (fCPU：CPU動作クロック周波数)

2.　n：バス・サイクルに挿入されるウエイト・クロック数

プログラマブル・ウエイト挿入時は，サンプル・タイミングが変わります。

3.　上記のスペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

バス・ホールド（CLKOUT非同期）



（b）CLKOUT同期

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 4.0～5.5 V, 4.0 V≦BV_{DD}≦V_{DD}, 4.0 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）（1/2）

項　　目	略　号		条　　件	MIN.	MAX.	単　位
$\overline{\text{HLDRQ}}$設定時間（対CLKOUT↓）	t_{SHQK}	<83>		15		ns
$\overline{\text{HLDRQ}}$保持時間（対CLKOUT↓）	t_{HKHQ}	<84>		0		ns
CLKOUT↑→バス・フロート遅延時間	t_{DKF}	<85>			20	ns
CLKOUT↑→$\overline{\text{HLDAK}}$遅延時間	t_{DKHA}	<86>			20	ns

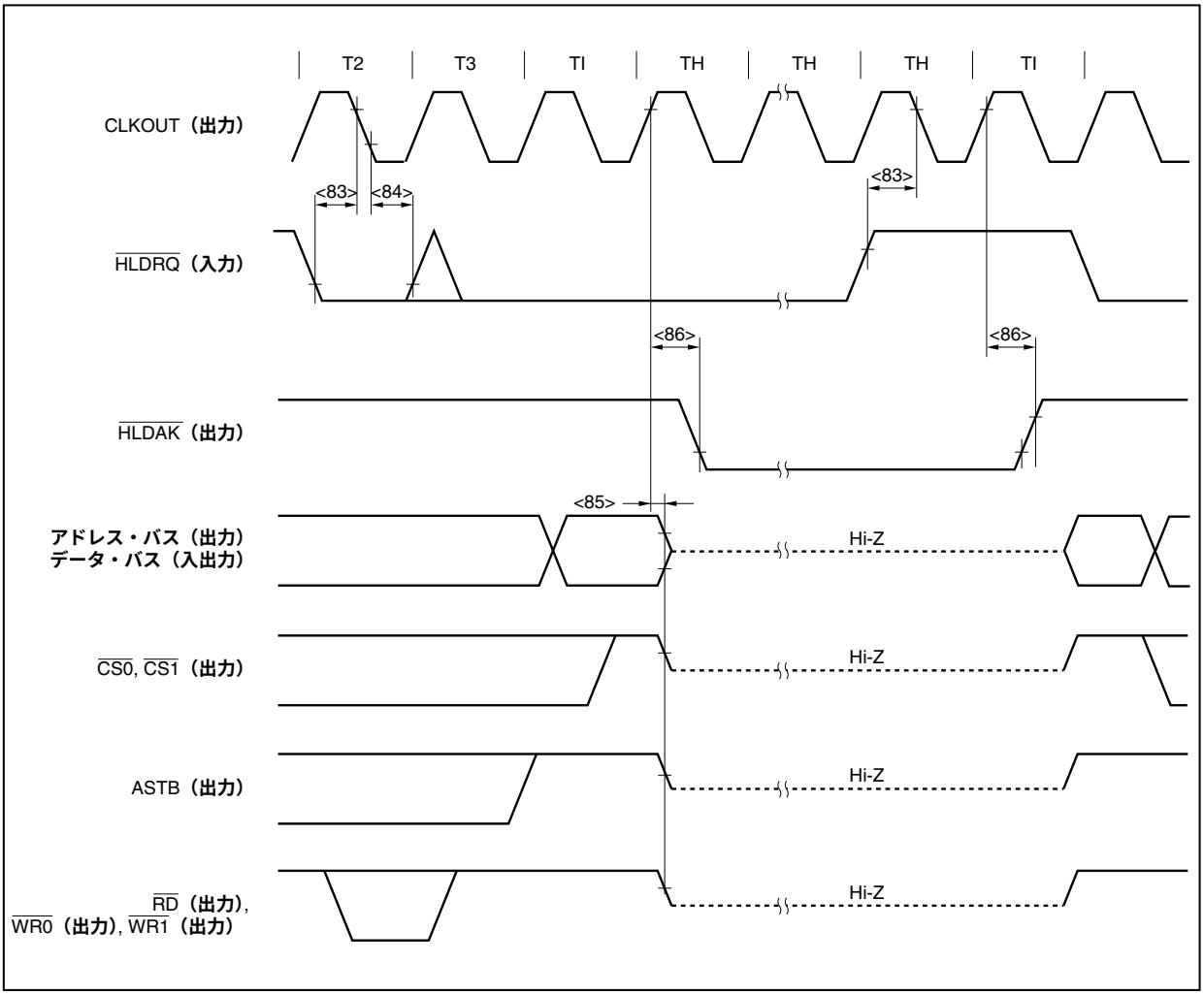
備考　上記のスペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）（2/2）

項　　目	略　号		条　　件	MIN.	MAX.	単　位
$\overline{\text{HLDRQ}}$設定時間（対CLKOUT↓）	t_{SHQK}	<83>		25		ns
$\overline{\text{HLDRQ}}$保持時間（対CLKOUT↓）	t_{HKHQ}	<84>		0		ns
CLKOUT↑→バス・フロート遅延時間	t_{DKF}	<85>			40	ns
CLKOUT↑→$\overline{\text{HLDAK}}$遅延時間	t_{DKHA}	<86>			40	ns

備考　上記のスペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

バス・ホールド（CLKOUT同期）



基本動作

(1) リセット／外部割り込みタイミング

(T_A = −40〜+85 ℃, V_{DD} = EV_{DD} = AV_{REF0} = 2.7〜5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号		条　件		MIN.	MAX.	単　位
$\overline{\text{RESET}}$ロウ・レベル幅[注]	t_{WRSL1}	<87>	パワーオン状態でのリセット	ディジタル・ノイズ除去非選択時	2		μs
				ディジタル・ノイズ除去選択時	Nr×t_{RSMP}+2		μs
	t_{WRSL2}	<88>	パワーオン・リセット		3		ms
NMIハイ・レベル幅	t_{WNIH}	<89>	アナログ・ノイズ除去		1		μs
NMIロウ・レベル幅	t_{WNIL}	<90>	アナログ・ノイズ除去		1		μs
INTPnハイ・レベル幅	t_{WITH}	<91>	n = 0-7（アナログ・ノイズ除去）		600		ns
			n = 3（ディジタル・ノイズ除去選択時）		Ni×t_{ISMP}+200		ns
INTPnロウ・レベル幅	t_{WITL}	<92>	n = 0-7（アナログ・ノイズ除去）		600		ns
			n = 3（ディジタル・ノイズ除去選択時）		Ni×t_{ISMP}+200		ns
ADTRGハイ・レベル幅	t_{WADH}	<93>	REGC = V_{DD} = 4.0〜5.5 V		T+50		ns
			V_{DD} = 4.0〜5.5 V, REGC = 10 μF		T+100		ns
			REGC = V_{DD} = 2.7〜5.5 V		T+100		ns
ADTRGロウ・レベル幅	t_{WADL}	<94>	REGC = V_{DD} = 4.0〜5.5 V		T+50		ns
			V_{DD} = 4.0〜5.5 V, REGC = 10 μF		T+100		ns
			REGC = V_{DD} = 2.7〜5.5 V		T+100		ns

注　$\overline{\text{RESET}}$ロウ・レベル幅は，$\overline{\text{RESET}}$端子入力を有効にする（POCRESを無効にする）場合です。

備考1.　Nr：RNZC.SMPSELビットで設定したサンプリング回数

t_{RSMP}：$\overline{\text{RESET}}$端子のディジタル･ノイズ除去サンプリング･クロック周期

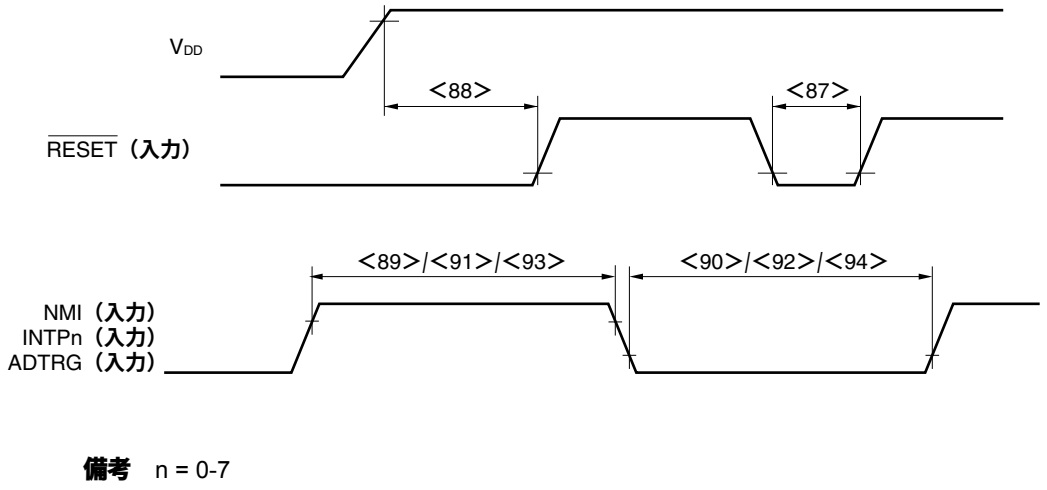
Ni　：NFC.NFSTSビットで設定したサンプリング回数

t_{ISMP}：INTP3端子のディジタル･ノイズ除去サンプリング･クロック周期

T　：A/D基本クロック周期（f_{AD}）

2.　上記スペックは，確実に有効エッジとして検出されるパルス幅を示しており，上記スペック以下のパルス幅を入力しても有効エッジとして検出される可能性があります。

リセット／割り込み



備考　n = 0-7

タイマ・タイミング

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）

項　目	略　号		条　件	MIN.	MAX.	単　位
TI0nハイ・レベル幅	t_{TI0H}	<95>	REGC = V_{DD} = 4.5～5.5 V	$2T_{smp0}$＋100 注1		ns
			REGC = 10 μF, V_{DD} = 4.0～5.5 V, REGC = V_{DD} = 2.7～5.5 V	$2T_{smp0}$＋200 注1		ns
TI0nロウ・レベル幅	t_{TI0L}	<96>	REGC = V_{DD} = 4.5～5.5 V	$2T_{smp0}$＋100 注1		ns
			REGC = 10 μF, V_{DD} = 4.0～5.5 V, REGC = V_{DD} = 2.7～5.5 V	$2T_{smp0}$＋200 注1		ns
TI5mハイ・レベル幅	t_{TI5H}	<97>	REGC = V_{DD} = 4.5～5.5 V	50		ns
			REGC = 10 μF, V_{DD} = 4.0～5.5 V, REGC = V_{DD} = 2.7～5.5 V	100		ns
TI5mロウ・レベル幅	t_{TI5L}	<98>	REGC = V_{DD} = 4.5～5.5 V	50		ns
			REGC = 10 μF, V_{DD} = 4.0～5.5 V, REGC = V_{DD} = 2.7～5.5 V	100		ns
TIP0mハイ・レベル幅	t_{TIPH}	<99>	REGC = V_{DD} = 4.5～5.5 V	np×T_{smpp}＋100 注2		ns
			REGC = 10 μF, V_{DD} = 4.0～5.5 V, REGC = V_{DD} = 2.7～5.5 V	np×T_{smpp}＋200 注2		ns
TIP0mロウ・レベル幅	t_{TIPL}	<100>	REGC = V_{DD} = 4.5～5.5 V	np×T_{smpp}＋100 注2		ns
			REGC = 10 μF, V_{DD} = 4.0～5.5 V, REGC = V_{DD} = 2.7～5.5 V	np×T_{smpp}＋200 注2		ns

注1.　T_{smp0}：タイマ0カウント・クロック周期

ただし，TI0nを外部イベント・カウント入力として使用する場合はT_{smp0} = 4/f_{XX}となります。

2.　T_{smpp}：np：PmNFC.PmNFSTSビットで設定したサンプリング・クロック数

TIP0m端子のディジタル・ノイズ除去サンプリング・クロック周期

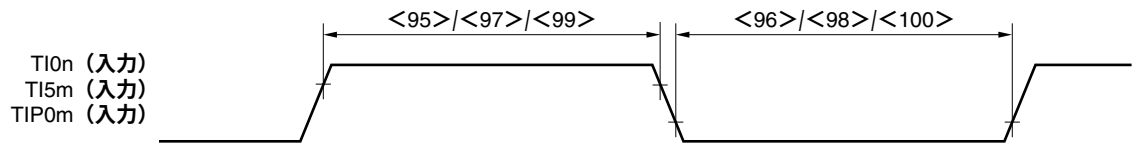
ただし，TIP00を外部イベント・カウント入力または外部トリガ入力として使用する場合はT_{smpp} = 0となります（ディジタル・ノイズ除去しません）。

備考1.　n = 00, 01, 10, 11, 20, 21, 30, 31

m = 0, 1

2.　上記スペックは，確実に有効エッジとして検出されるパルス幅を示しており，上記スペック以下のパルス幅を入力しても有効エッジとして検出される可能性があります。

タイマ入力タイミング



備考　n = 00, 01, 10, 11, 20, 21, 30, 31

m = 0, 1

UART**タイミング**

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）

項　　目	略　号	条　　件	MIN.	MAX.	単　位
送信レート				312.5	kbps
ASCK0**周波数**		REGC = V_{DD} = 4.5～5.5 V		12	MHz
		REGC = 10 μF, V_{DD} = 4.0～5.5 V, REGC = V_{DD} = 2.7～5.5 V		6	MHz

CSI0タイミング

(1) マスタ・モード

(TA = －40～＋85 ℃，VDD = EVDD = AVREF0 = 2.7～5.5 V, 2.7 V≦BVDD≦VDD, 2.7 V≦AVREF1≦VDD, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{SCK0n}}$サイクル・タイム	t_{KCY1}	<101>	REGC = VDD = 4.0～5.5 V	200		ns
			REGC = 10 μF, VDD = 4.0～5.5 V, REGC = VDD = 2.7～5.5 V	400		ns
$\overline{\text{SCK0n}}$ハイ／ロウ・レベル幅	t_{KH1}, t_{KL1}	<102>		t_{KCY1}/2－30		ns
SI0nセットアップ時間（対$\overline{\text{SCK0n}}$）	t_{SIK1}	<103>	REGC = VDD = 4.0～5.5 V	30		ns
			REGC = 10 μF, VDD = 4.0～5.5 V, REGC = VDD = 2.7～5.5 V	50		ns
SI0nホールド時間（対$\overline{\text{SCK0n}}$）	t_{KSI1}	<104>	REGC = VDD = 4.0～5.5 V	30		ns
			REGC = 10 μF, VDD = 4.0～5.5 V, REGC = VDD = 2.7～5.5 V	50		ns
$\overline{\text{SCK0n}}$→SO0n出力遅延時間	t_{KSO1}	<105>	REGC = VDD = 4.0～5.5 V		30	ns
			REGC = 10 μF，VDD = 4.0～5.5 V, REGC = VDD = 2.7～5.5 V		60	ns

備考　n = 0, 1

(2) スレーブ・モード

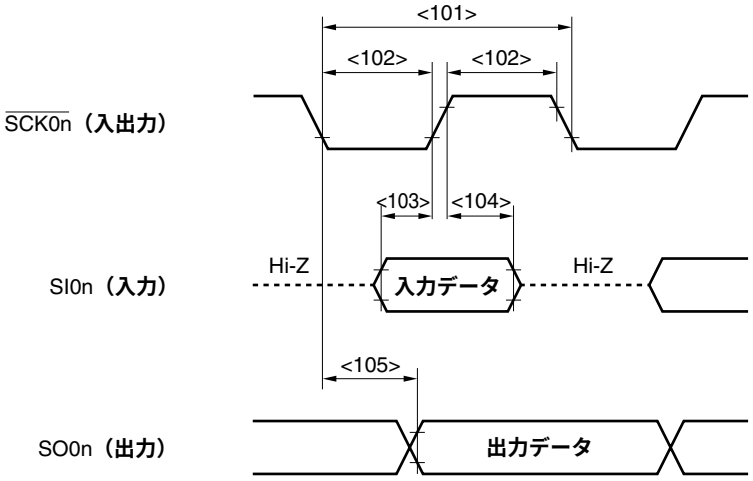
(TA = －40～＋85 ℃，VDD = EVDD = AVREF0 = 2.7～5.5 V, 2.7 V≦BVDD≦VDD, 2.7 V≦AVREF1≦VDD, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{SCK0n}}$サイクル・タイム	t_{KCY2}	<101>	REGC = VDD = 4.0～5.5 V	200		ns
			REGC = 10 μF, VDD = 4.0～5.5 V, REGC = VDD = 2.7～5.5 V	400		ns
$\overline{\text{SCK0n}}$ハイ／ロウ・レベル幅	t_{KH2}, t_{KL2}	<102>	REGC = VDD = 4.0～5.5 V	45		ns
			REGC = 10 μF, VDD = 4.0～5.5 V, REGC = VDD = 2.7～5.5 V	90		ns
SI0nセットアップ時間（対$\overline{\text{SCK0n}}$）	t_{SIK2}	<103>	REGC = VDD = 4.0～5.5 V	30		ns
			REGC = 10 μF, VDD = 4.0～5.5 V, REGC = VDD = 2.7～5.5 V	60		ns
SI0nホールド時間（対$\overline{\text{SCK0n}}$）	t_{KSI2}	<104>	REGC = VDD = 4.0～5.5 V	30		ns
			REGC = 10 μF, VDD = 4.0～5.5 V, REGC = VDD = 2.7～5.5 V	60		ns
$\overline{\text{SCK0n}}$→SO0n出力遅延時間	t_{KSO2}	<105>	REGC = VDD = 4.0～5.5 V		50	ns
			REGC = 10 μF, VDD = 4.0～5.5 V, REGC = VDD = 2.7～5.5 V		100	ns

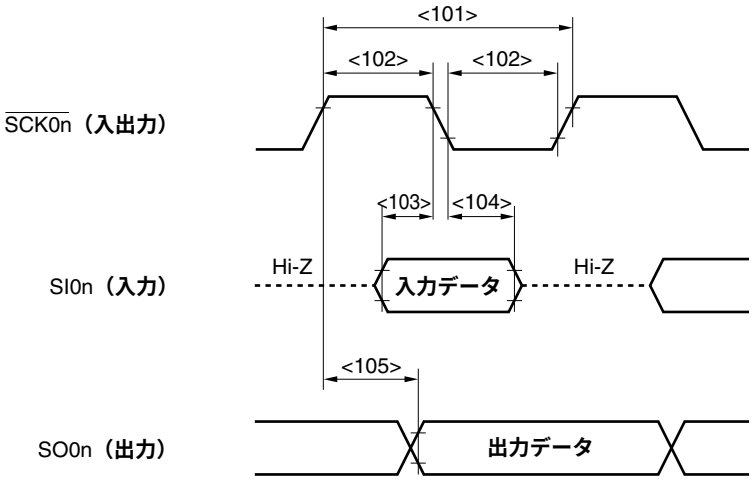
備考　n = 0, 1

CSI0タイミング

(a) CSICn.CKPn, DAPnビット = 00または11



(b) CSICn.CKPn, DAPnビット = 01または10



備考　n = 0, 1

CSIAタイミング

(1) マスタ・モード

(TA = −40〜+85 ℃, VDD = EVDD = AVREF0 = 2.7〜5.5 V, 2.7 V≦BVDD≦VDD, 2.7 V≦AVREF1≦VDD, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{SCKAn}}$サイクル・タイム	t_{KCY3}	<106>	REGC = VDD = 4.0〜5.5 V	500		ns
			REGC = 10 μF, VDD = 4.0〜5.5 V, REGC = VDD = 2.7〜5.5 V	1000		ns
$\overline{\text{SCKAn}}$ハイ／ロウ・レベル幅	t_{KH3}, t_{KL3}	<107>		t_{KCY3}/2−30		ns
SIAnセットアップ時間（対$\overline{\text{SCKAn}}$↑）	t_{SIK3}	<108>	REGC = VDD = 4.0〜5.5 V	30		ns
			REGC = 10 μF, VDD = 4.0〜5.5 V, REGC = VDD = 2.7〜5.5 V	60		ns
SIAnホールド時間（対$\overline{\text{SCKAn}}$↑）	t_{KSI3}	<109>	REGC = VDD = 4.0〜5.5 V	30		ns
			REGC = 10 μF, VDD = 4.0〜5.5 V, REGC = VDD = 2.7〜5.5 V	60		ns
$\overline{\text{SCKAn}}$↓→ SOAn出力遅延時間	t_{KSO3}	<110>	REGC = VDD = 4.0〜5.5 V		30	ns
			REGC = 10 μF, VDD = 4.0〜5.5 V, REGC = VDD = 2.7〜5.5 V		60	ns

備考　n = 0, 1

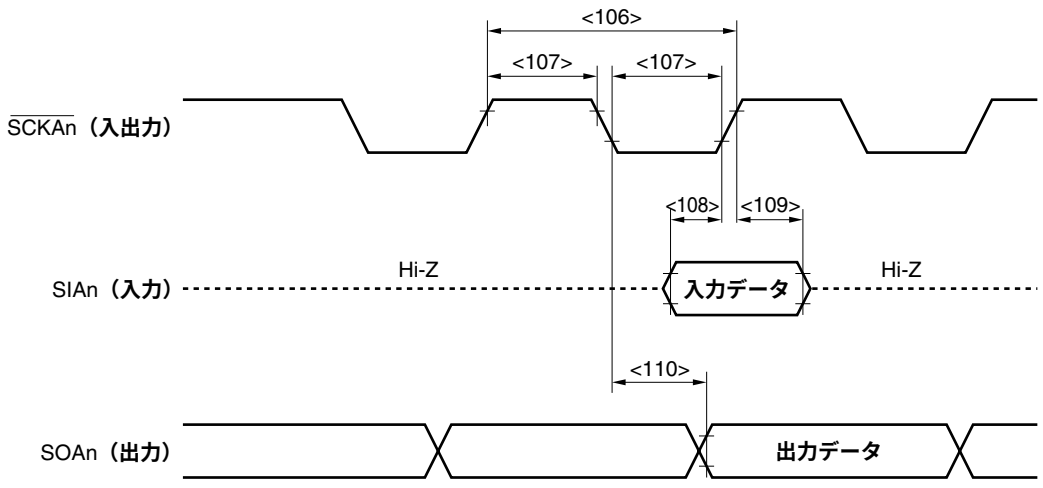
(2) スレーブ・モード

(TA =−40〜+85 ℃, VDD = EVDD = AVREF0 = 2.7〜5.5 V, 2.7 V≦BVDD≦VDD, 2.7 V≦AVREF1≦VDD, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{SCKAn}}$サイクル・タイム	t_{KCY4}	<106>	REGC = VDD = 4.0〜5.5 V	840		ns
			REGC = 10 μF, VDD = 4.0〜5.5 V, REGC = VDD = 2.7〜5.5 V	1700		ns
$\overline{\text{SCKAn}}$ハイ／ロウ・レベル幅	t_{KH4}, t_{KL4}	<107>		t_{KCY4}/2−30		ns
SIAnセットアップ時間（対$\overline{\text{SCKAn}}$↑）	t_{SIK4}	<108>	REGC = VDD = 4.0〜5.5 V	50		ns
			REGC = 10 μF, VDD = 4.0〜5.5 V, REGC = VDD = 2.7〜5.5 V	100		ns
SIAnホールド時間（対$\overline{\text{SCKAn}}$↑）	t_{KSI4}	<109>	REGC = VDD = 4.0〜5.5 V	t_{CY}×2+15注		ns
			REGC = 10 μF, VDD = 4.0〜5.5 V, REGC = VDD = 2.7〜5.5 V	t_{CY}×2+30注		ns
$\overline{\text{SCKAn}}$↓→SOAn出力遅延時間	t_{KSO4}	<110>	REGC = VDD = 4.0〜5.5 V		t_{CY}×2+30注	ns
			REGC = 10 μF, VDD = 4.0〜5.5 V, REGC = VDD = 2.7〜5.5 V		t_{CY}×2+60注	ns

注　t_{CY}：f_{SCKA}の周期

備考　n = 0, 1


<106>
<107>
<107>
SCKAn（入出力）
<108>
<109>
Hi-Z
SIAn（入力）
入力データ
Hi-Z
<110>
SOAn（出力）
出力データ

備考　n = 0, 1

I²Cバス・モード（μPD703313Y, 70F3311Y, 70F3313Yのみ）

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）

項　目		略　号		標準モード		高速モード		単　位
				MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数		f_{CLK}		0	100	0	400	kHz
バス・フリー・タイム（ストップ-スタート・コンディション間）		t_{BUF}	<111>	4.7	－	1.3	－	μs
ホールド時間[注1]		$t_{HD:STA}$	<112>	4.0	－	0.6	－	μs
SCL0クロックのロウ・レベル幅		t_{LOW}	<113>	4.7	－	1.3	－	μs
SCL0クロックのハイ・レベル幅		t_{HIGH}	<114>	4.0	－	0.6	－	μs
スタート／リスタート・コンディションのセットアップ時間		$t_{SU:STA}$	<115>	4.7	－	0.6	－	μs
データ・ホールド時間	CBUS互換マスタの場合	$t_{HD:DAT}$	<116>	5.0	－	－	－	μs
	I²Cモードの場合			0[注2]	－	0[注2]	0.9[注3]	μs
データ・セットアップ時間		$t_{SU:DAT}$	<117>	250	－	100[注4]	－	ns
SDA0およびSCL0信号の立ち上がり時間		t_R	<118>	－	1000	20＋0.1Cb[注5]	300	ns
SDA0およびSCL0信号の立ち下がり時間		t_F	<119>	－	300	20＋0.1Cb[注5]	300	ns
ストップ・コンディションのセットアップ時間		$t_{SU:STO}$	<120>	4.0	－	0.6	－	μs
入力フィルタによって抑制されるスパイクのパルス幅		t_{SP}	<121>	－	－	0	50	ns
各バス・ラインの容量性負荷		Cb		－	400	－	400	pF

注1. スタート・コンディション時に，最初のクロック・パルスは，ホールド時間のあとに生成されます。

2. 装置は，SCL0の立ち下がり端の未定義領域を埋めるために（SCL0信号の$V_{IHmin.}$での）SDA0信号用に最低300 nsのホールド時間を内部的に提供する必要があります。

3. 装置がSCL0信号のロウ・ホールド時間（t_{LOW}）を延長しない場合は，最大データ・ホールド時間（$t_{HD:DAT}$）のみ満たすことが必要です。

4. 高速モードI²Cバスは，標準モードI²Cバス・システム内で利用できます。この場合，次の条件を満たすようにしてください。

   - 装置がSCL0信号のロウ状態ホールド時間を延長しない場合

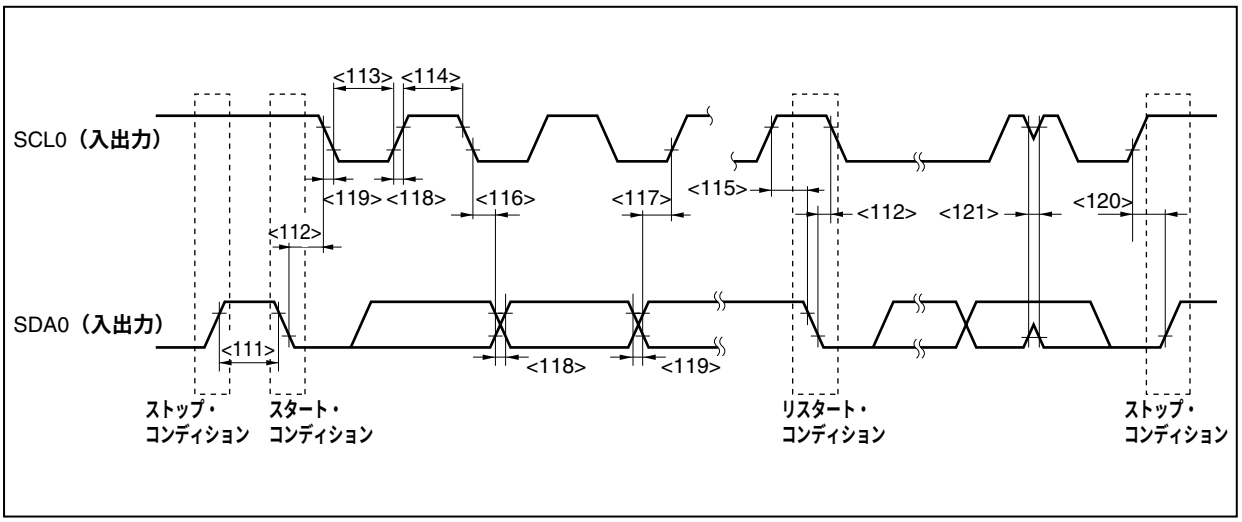
     $t_{SU:DAT}$≧250 ns

   - 装置がSCL0信号のロウ状態ホールド時間を延長する場合

     SCL0ラインが解放される（$t_{Rmax.}$＋$t_{SU:DAT}$ = 1000＋250 = 1250 ns：標準モードI²Cバス仕様）前に，次のデータ・ビットをSDAnラインに送出してください。

5. Cb：1つのバス・ラインの合計キャパシタンス（単位：pF）

I²Cバス・モード（μPD703313Y, 70F3311Y, 70F3313Yのみ）



A/Dコンバータ

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能				10	10	10	bit
総合誤差[注1]	AINL	4.0≦AV_{REF0}≦5.5 V			±0.2	±0.4	%FSR
		2.7≦AV_{REF0}≦4.0 V			±0.3	±0.6	%FSR
変換時間	t_{CONV}	4.5≦AV_{REF0}≦5.5 V	高速モード	3.0		100	μs
			通常モード	14.0		100	μs
		4.0≦AV_{REF0}≦4.5 V	高速モード	4.8		100	μs
			通常モード	14.0		100	μs
		2.85 ≦AV_{REF0}≦4.0 V	高速モード	6.0		100	μs
			通常モード	17.0		100	μs
		2.7≦AV_{REF0}≦2.85 V	高速モード	14.0		100	μs
			通常モード	17.0		100	μs
ゼロスケール誤差[注1]	Ezs	4.0≦AV_{REF0}≦5.5 V				±0.4	%FSR
		2.7≦AV_{REF0}≦4.0 V				±0.6	%FSR
フルスケール誤差[注1]	Efs	4.0≦AV_{REF0}≦5.5 V				±0.4	%FSR
		2.7≦AV_{REF0}≦4.0 V				±0.6	%FSR
非直線性誤差[注2]	ILE	4.0≦AV_{REF0}≦5.5 V				±2.5	LSB
		2.7≦AV_{REF0}≦4.0 V				±4.5	LSB
微分直線性誤差[注2]	DLE	4.0≦AV_{REF0}≦5.5 V				±1.5	LSB
		2.7≦AV_{REF0}≦4.0 V				±2.0	LSB
アナログ入力電圧	V_{IAN}			0		AV_{REF0}	V
AV_{REF0}電流	IA_{REF0}	A/Dコンバータ使用時			1.3	2.5	mA
		A/Dコンバータ未使用時[注3]			1.0	10	μA

注1.　量子化誤差（±0.05 %FSR）は含みません。

2.　量子化誤差（±0.5 LSB）は含みません。

3.　ADM.ADCSビット = 0, ADM.ADCS2ビット = 0

備考　LSB：Least Significant Bit

FSR：Full Scale Range

D/Aコンバータ

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能						8	bit
総合誤差[注1, 2]		負荷条件 = 2 MΩ				1.2	%FSR
		負荷条件 = 4 MΩ				0.8	%FSR
		負荷条件 = 10 MΩ				0.6	%FSR
セットリング・タイム[注2]		C = 30 pF	V_{DD} = 4.5～5.5 V			10	μs
			V_{DD} = 2.7～4.5 V			15	μs
出力抵抗[注3]	R_O	出力データ：DACSnレジスタ = 55H			8		kΩ
AV_{REF1}電流[注4]	IAV_{REF1}	D/A変換動作時			1.5	3.0	mA
		D/A変換停止時			1.0	10	μA

注1.　量子化誤差（±0.2 %FSR）は含みません。

2.　Rは出力端子の負荷抵抗，Cは出力端子の負荷容量です。

3.　D/Aコンバータ1チャネル分の値

4.　D/Aコンバータ2チャネル分の値

備考　n = 0, 1

パワーオン・クリア回路特性

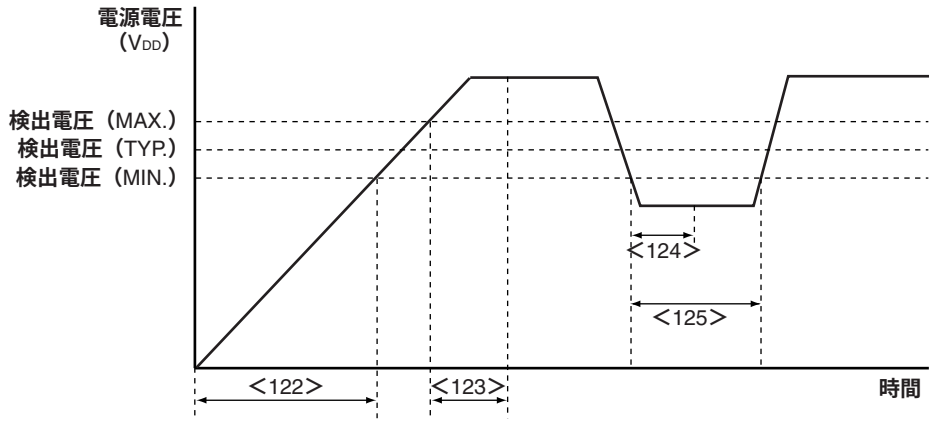
（T_A = −40〜+85 ℃, V_{DD} = AV_{REF0} = EV_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, 2.7 V≦BV_{DD}≦V_{DD}, V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 V, C_L = 50 pF）

項　目	略　号		条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{POC}			2.5	2.6	2.7	V
電源立ち上げ時間	t_{PTH}	<122>	V_{DD} = 0→2.5 V	3			μs
応答時間1[注1]	t_{PTHD}	<123>	電源立ち上げ時，検出電圧（MAX.）に達したあと			3.0	ms
応答時間2[注2]	t_{PD}	<124>	電源降下時			1.0	ms
最小パルス幅	t_{PW}	<125>		0.2			ms

注1.　検出電圧（V_{POC}）を検出してから，リセット信号（POCRES）を解除するまでの時間

2.　検出電圧（V_{POC}）を検出してから，リセット信号（POCRES）が発生するまでの時間

パワーオン・クリア回路タイミング



低電圧検出回路特性

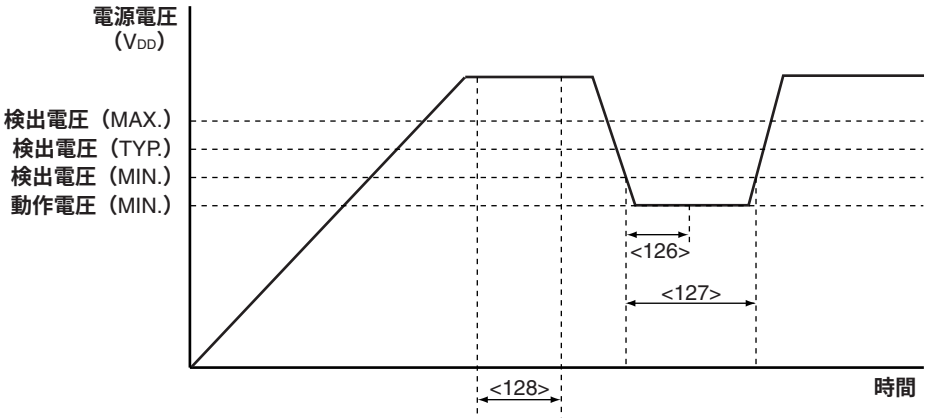
(T_A = －40～＋85 ℃, V_{DD} = AV_{REF0} = EV_{DD}, 2.7～5.5 V, 2.7 V≦AV_{REF1}≦V_{DD}, 2.7 V≦BV_{DD}≦V_{DD}, V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号		条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{LVI}		LVIS.LVIS2-LVIS0ビット = 000	4.1	4.3	4.5	V
			LVIS.LVIS2-LVIS0ビット = 001	3.9	4.1	4.3	V
			LVIS.LVIS2-LVIS0ビット = 010	3.7	3.9	4.1	V
			LVIS.LVIS2-LVIS0ビット = 011	3.5	3.7	3.9	V
			LVIS.LVIS2-LVIS0ビット = 100	3.3	3.5	3.7	V
			LVIS.LVIS2-LVIS0ビット = 101	3.15	3.3	3.45	V
			LVIS.LVIS2-LVIS0ビット = 110	2.95	3.1	3.25	V
応答時間[注1]	t_{LD}	<126>			0.2	2.0	ms
最小パルス幅	t_{LW}	<127>		0.2			ms
動作安定待ち時間[注2]	t_{WAIT1}	<128>			0.1	0.2	ms

注1.　検出電圧（V_{LVI}）を検出してから，割り込み要求信号（INTLVI）またはリセット信号（LVIRES）が発生するまでの時間

2.　LVIM.LVIONビット = 1に設定してから動作が安定するまでの時間

低電圧検出回路タイミング



フラッシュ・メモリ・プログラミング特性

（T_A = －40～＋85 ℃，V_{DD} = EV_{DD} = AV_{REF0} = 2.7～5.5 V, 2.7 V≦BV_{DD}≦V_{DD}, 2.7 V≦AV_{REF1}≦V_{DD}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V）

（1）基本特性

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
プログラミング動作周波数	f_{CPU}	REGC = V_{DD} = 4.5～5.5 V	2		20	MHz
		REGC = V_{DD} = 4.0～5.5 V	2		16	MHz
		REGC = 10 μF, V_{DD} = 4.0～5.5 V	2		16	MHz
		REGC = V_{DD} = 2.7～5.5 V	2		10	MHz
電源電圧	V_{DD}		2.7		5.5	V
書き換え回数	C_{ERWR}	注		100		回
プログラミング温度	t_{PRG}		－40		85	℃

注　出荷品に対する初回書き込み時には，「書き込みだけ」の場合も，書き換え回数は1回となります。

例　（P：書き込み，E：消去）

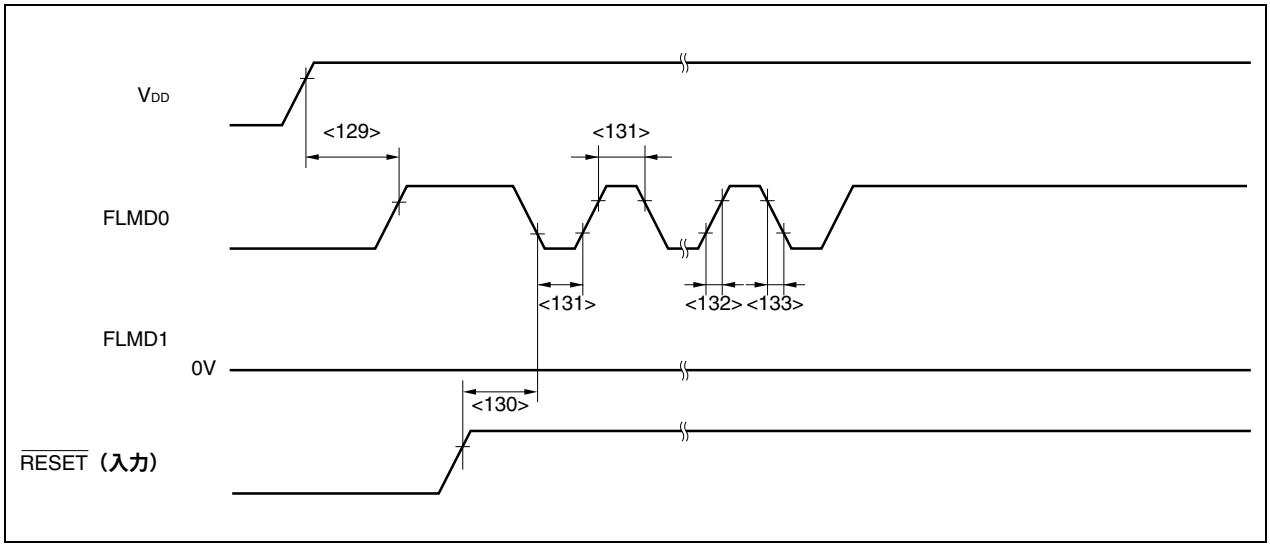
出荷品──→P→E→P→E→P　　：書き換え回数3回

出荷品→E→P→E→P→E→P　　：書き換え回数3回

（2）シリアル書き込みオペレーション特性

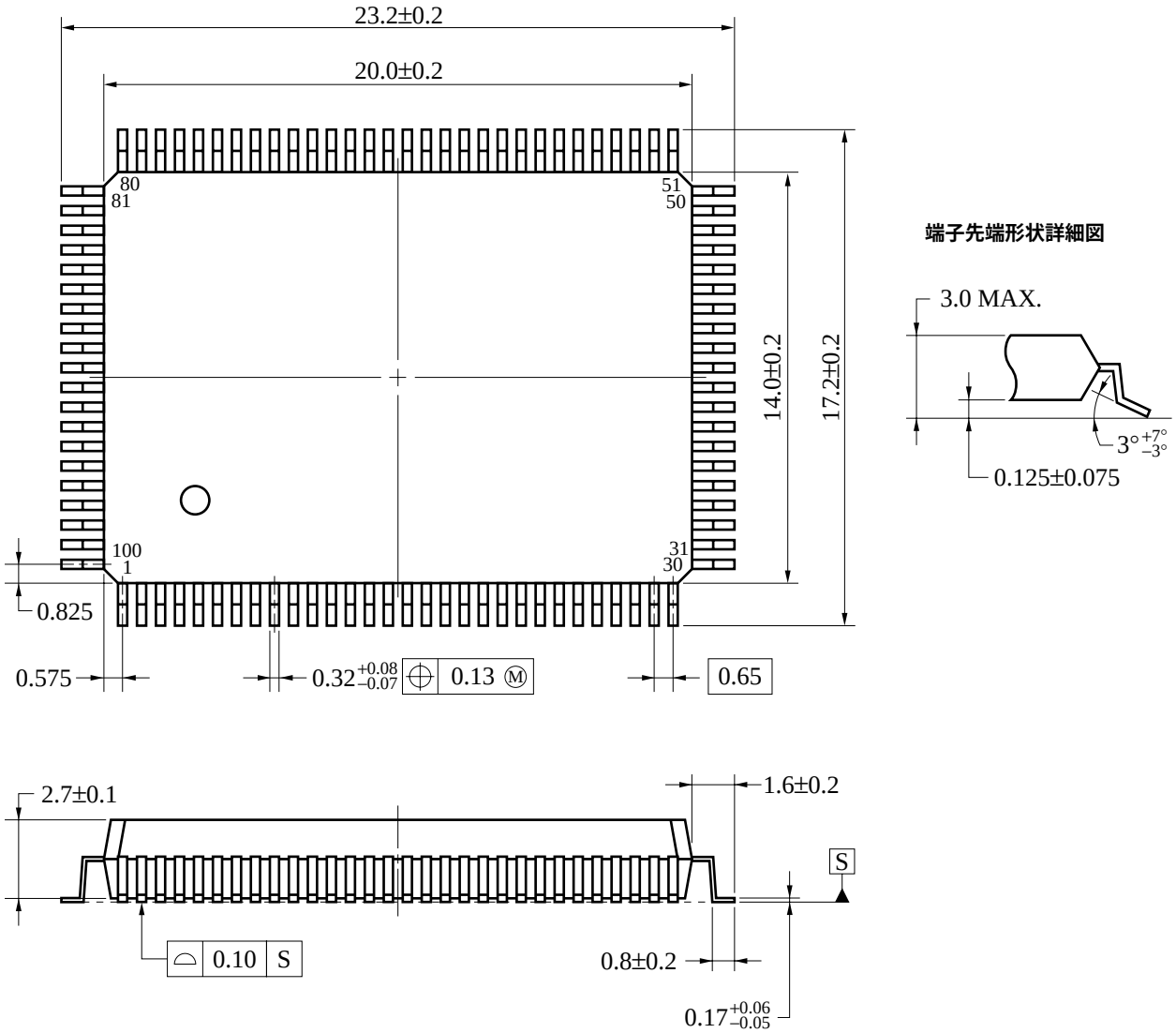
項　目	略　号		条　件	MIN.	TYP.	MAX.	単　位
V_{DD}↑→FLMD0↑セットアップ時間	t_{DP}	<129>		10 ms		3 s	
$\overline{RESET}$↑（発振安定時間確保後）→FLMD0パルス入力開始時間	t_{RP}	<130>		66611.2/fx			s
FLMD0パルス・ハイ／ロウ・レベル幅	t_{PW}	<131>		10		100	μs
FLMD0パルス立ち上がり幅	t_R	<132>				50	ns
FLMD0パルス立ち下がり幅	t_F	<133>				50	ns

シリアル書き込みオペレーション・タイミング



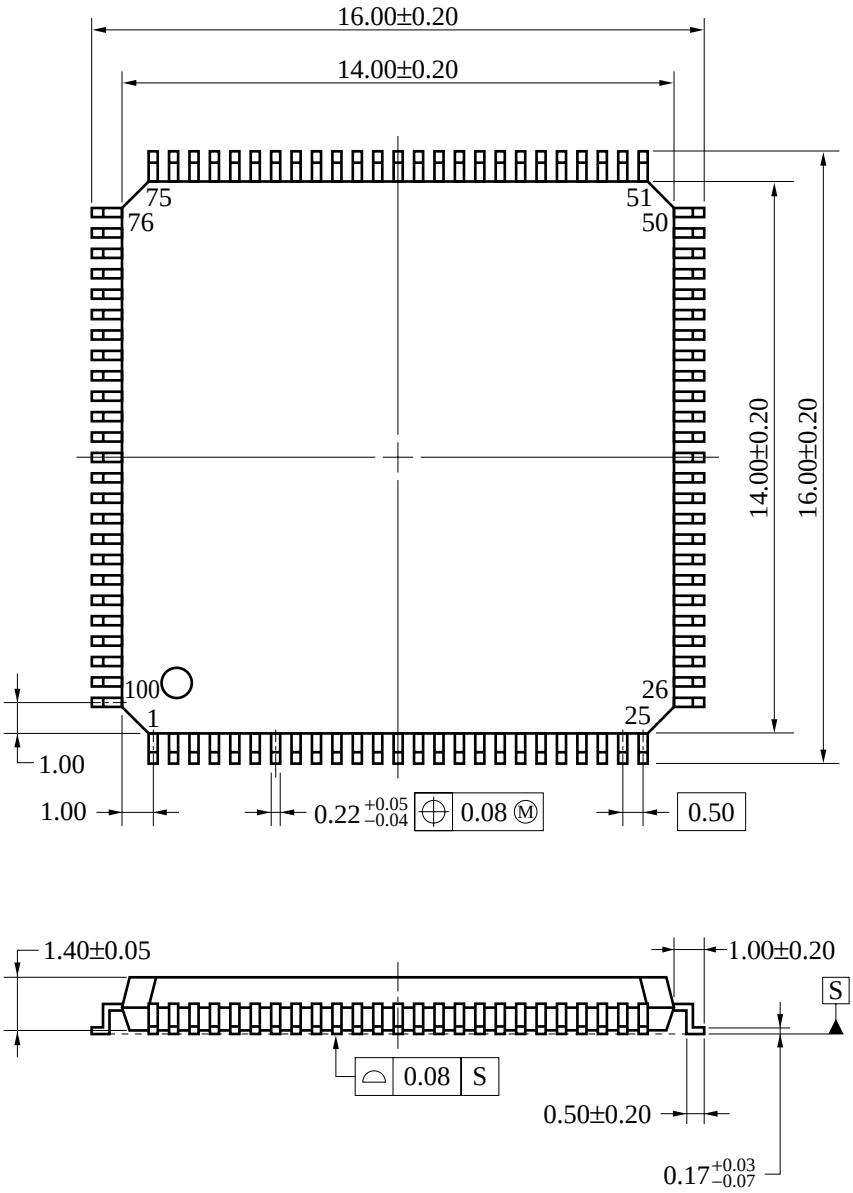
第34章　外　形　図

100ピン・プラスチック QFP（14x20）外形図（単位：mm）

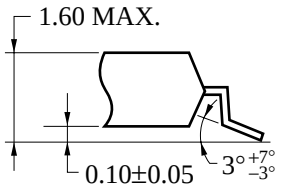


S100GF-65-JBT-2

100ピン・プラスチック LQFP（ファインピッチ）（14x14）外形図（単位：mm）



端子先端形状詳細図



S100GC-50-8EU, 8EA-2

★

第35章　半田付け推奨条件

この製品の半田付け実装は，次の推奨条件で実施してください。
半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」（http://www.necel.com/pkg/ja/jissou/index.html）

表35－1　表面実装タイプの半田付け条件（1/2）

（1）μPD703313GC-xxx-8EA-A　：100ピン・プラスチックLQFP（ファインピッチ）（14×14）
μPD703313YGC-xxx-8EA-A　：　〃
μPD70F3311GC-8EA-A　：　〃
μPD70F3311YGC-8EA-A　：　〃
μPD70F3313GC-8EA-A　：　〃
μPD70F3313YGC-8EA-A　：　〃

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ℃，時間：60秒以内（220 ℃以上），回数：3回以内 制限日数：7日間[注]（以降は125 ℃プリベーク20～72時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
端子部分加熱	端子温度：350 ℃以下，時間：3秒以内（デバイスの一辺当たり）	－

注　ドライパック開封後の保管日数で，保管条件は25 ℃，65 %RH以下。

注意　半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1.　オーダ名称末尾「-A」の製品は，鉛フリー製品です。
2.　推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

表35－1　表面実装タイプの半田付け条件（2/2）

（2）μPD703313GF-xxx-JBT-A　：100ピン・プラスチックQFP（14×20）
μPD703313YGF-xxx-JBT-A　：　〃
μPD70F3311GF-JBT-A　：　〃
μPD70F3311YGF-JBT-A　：　〃
μPD70F3313GF-JBT-A　：　〃
μPD70F3313YGF-JBT-A　：　〃

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ℃，時間：60秒以内（220 ℃以上），回数：3回以内 制限日数：7日間[注]（以降は125 ℃プリベーク20～72時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウエーブ・ソルダリング	対応可能です。詳細については，当社販売員にお問い合わせください。	－
端子部分加熱	端子温度：350 ℃以下，時間：3秒以内（デバイスの一辺当たり）	－

注　ドライパック開封後の保管日数で，保管条件は25 ℃，65 %RH以下。

注意　半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1.　オーダ名称末尾「-A」の製品は，鉛フリー製品です。
2.　推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

付録A　開発ツール

V850ES/KG1+を使用するシステム開発のために，次のような開発ツールを用意しています。
図A－1に開発ツール構成を示します。

●PC98-NXシリーズへの対応について

特に断りのないかぎり，IBM PC/AT™互換機でサポートされている製品については，PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は，IBM PC/AT互換機の説明を参照してください。

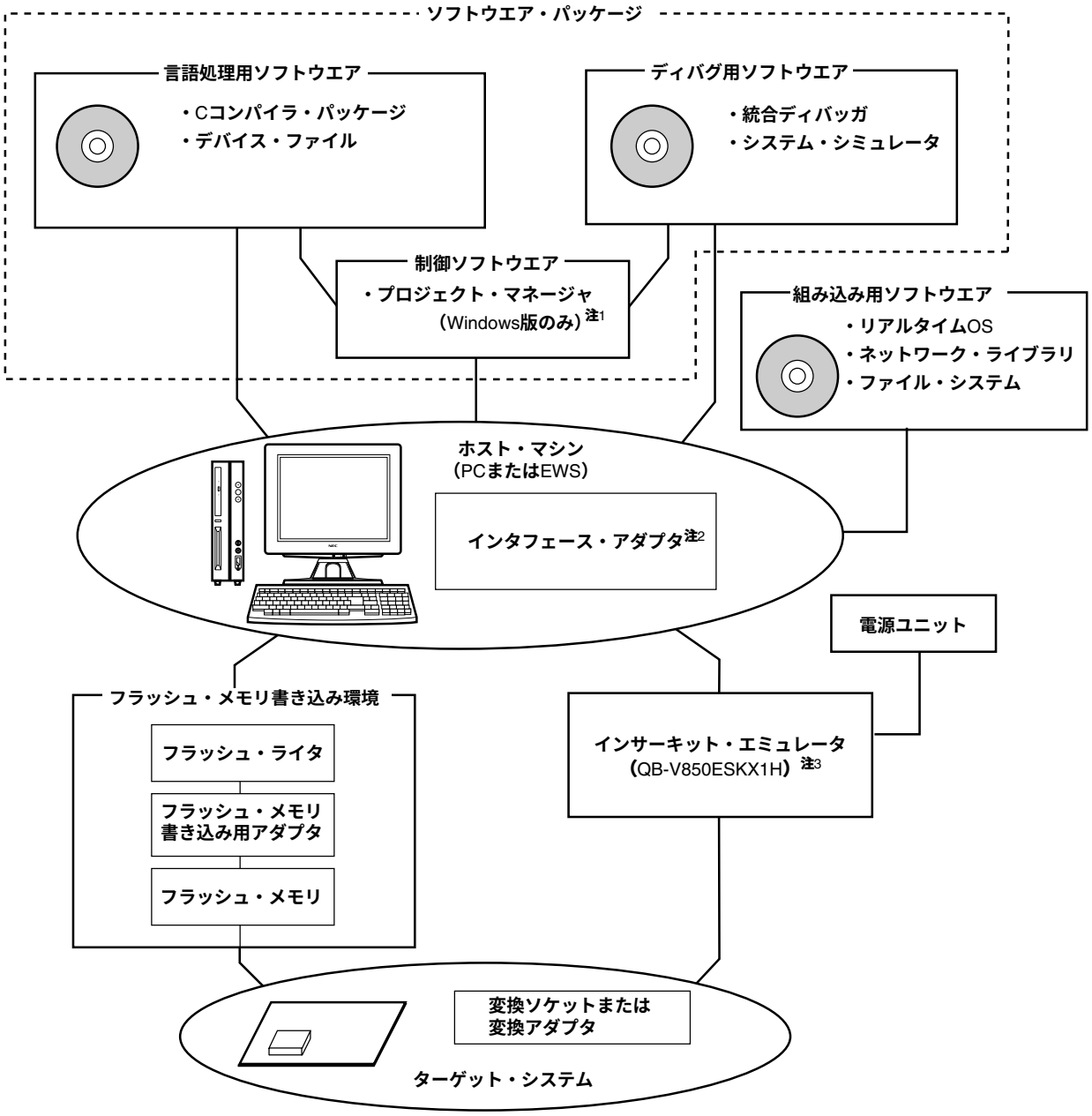
●Windows®について

特に断りのないかぎり，「Windows」は次のOSを示しています。

- Windows 98, 2000
- Windows Me
- Windows XP®
- Windows NT® Ver. 4.0

図A－1　開発ツール構成（1/2）

（1）IECUBE®（QB-V850ESKX1H）を使用する場合



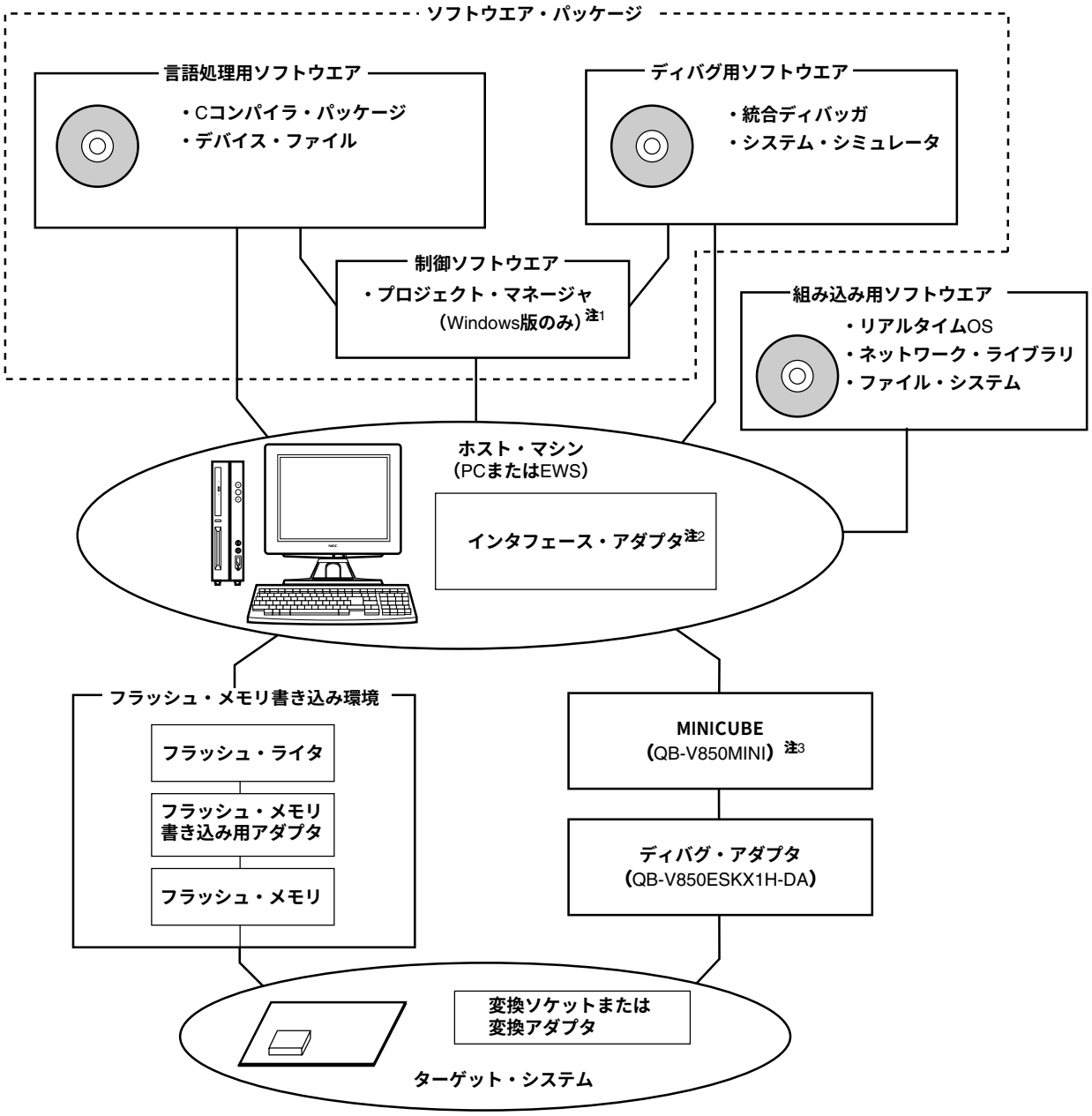
注1．プロジェクト・マネージャ PM+は，Cコンパイラ・パッケージに入っています。
　　また，Windows以外ではPM+は使用できません。

2．QB-V850ESKX1HはUSBのみ対応です。

3．QB-V850ESKX1Hは，ID850QB，フラッシュ・メモリ・プログラマ（PG-FPL），電源ユニットとUSBインタフェース・アダプタを添付しています。それ以外の製品は，すべてオプションです。

★ 図A－1　開発ツール構成（2/2）

（2）MINICUBE（QB-V850MINI）を使用する場合



注1．プロジェクト・マネージャ PM+は，Cコンパイラ・パッケージに入っています。
　　また，Windows以外ではPM+は使用できません。

2．QB-V850MINIはUSBインタフェースのみ対応です。

3．QB-V850ESKX1Hは，ID850QB, USBインタフェース・ケーブル，OCDケーブル，セルフチェック・ボード，KELアダプタ，KELコネクタを添付しています。それ以外の製品は，すべてオプションです。

A. 1　ソフトウエア・パッケージ

SP850 V850シリーズ・ソフトウエア・パッケージ	V850シリーズ共通の開発ツール（ソフトウエア）を1つのパッケージにした製品です。
	オーダ名称：μS××××SP850

備考　オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××SP850

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	

A. 2　言語処理用ソフトウエア

CA850 Cコンパイラ・パッケージ	C言語で書かれたプログラムを，マイコンの実行可能なオブジェクト・コードに変換するプログラムです。プロジェクト・マネージャ PM+から起動されます。
	オーダ名称：μS××××CA703000
DF703318 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 各ツール（CA850, ID850QB）と組み合わせて使用します。 対応OS，ホスト・マシンは組み合わされる各ツールに依存します。

備考　オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××CA703000

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	
3K17	SPARCstation™	SunOS™（Rel. 4.1.4）， Solaris™（Rel. 2.5.1）	

A. 3　制御ソフトウエア

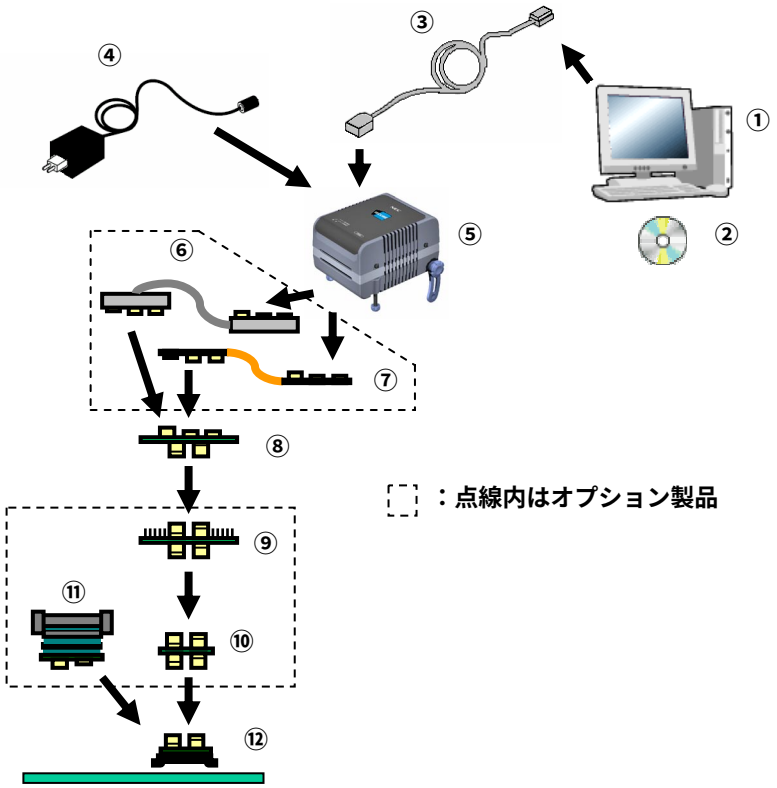
PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウエアです。PM+上から，エディタの起動，ビルド，ディバッガの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 ＜注意＞ PM+はCコンパイラ・パッケージ CA850の中に入っています。 Windows以外の環境では使用できません。

★ A. 4　ディバグ用ツール（ハードウエア）

A. 4. 1　IECUBE　QB-V850ESKX1Hを使用する場合

QB-V850ESKX1Hとホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。オプション製品がない場合でも接続は可能です。

図A－2　システム構成（QB-V850ESKX1Hを使用する場合）（1/2）



① ホスト・マシン（PC-9821シリーズ，IBM-PC/AT互換機）
② ディバッガ，USBドライバ，マニュアルなど（ID850QB Disk, Accessory Disk[注1]）
③ USBインタフェース・ケーブル
④ ACアダプタ
⑤ インサーキット・エミュレータ（QB-V850ESKX1H）
⑥ 延長プローブ同軸タイプ（QB-144-EP-01S）（オプション）
⑦ 延長プローブ・フレキシブル・タイプ[注2]（QB-144-EP-02S）（オプション）
⑧ エクスチェンジ・アダプタ[注3]（QB-100GF-EA-01S（GFパッケージ用），QB-100GC-EA-01S（GCパッケージ用））
⑨ チェックピン・アダプタ[注4]（QB-100-CA-01S）（オプション）
⑩ スペース・アダプタ[注4]（QB-100-SA-01S）（オプション）
⑪ マウント・アダプタ（QB-100GF-MA-01S（GFパッケージ用），QB-100GC-MA-01S（GCパッケージ用））（オプション）
⑫ ターゲット・コネクタ[注3]（QB-100GF-TC-01S（GFパッケージ用），QB-100GC-TC-01S（GCパッケージ用））
⑬ ターゲット・システム

図A－2　システム構成（QB-V850ESKX1Hを使用する場合）（2/2）

注1. デバイス・ファイルはNECエレクトロニクスのホームページから入手してください。

http://www.necel.com/micro/ods/jpn/index.html

2. 開発中

3. オーダ品名によっては，添付品となります。

・QB-V850ESKX1H-ZZZでオーダした場合

エクスチェンジ・アダプタ，ターゲット・コネクタは添付されていません。

・QB-V850ESKX1H-S100GFでオーダした場合

QB-100GF-EA-01S, QB-100GF-TC-01Sが添付されています。

・QB-V850ESKX1H-S100GCでオーダした場合

QB-100GC-EA-01S, QB-100GC-TC-01Sが添付されています。

4. ⑨と⑩の両方を使用する場合，⑨と⑩の接続順序が逆でも接続できます。

⑤ QB-V850ESKX1H[注] インサーキット・エミュレータ	V850ES/KG1+を使用する応用システムを開発する際に，ハードウエア，ソフトウエアをディバグするためのインサーキット・エミュレータです。統合ディバッガ ID850QBに対応しています。電源ユニット，エミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は，USBを使用します。
③ USBインタフェース・ケーブル	ホスト・マシンとQB-V850ESKX1Hを接続するケーブルです。
④ ACアダプタ	ACプラグ差し替えで100～240 Vに対応可能です。
⑧ QB-100GF-EA-01S, QB-100GC-EA-01S エクスチェンジ・アダプタ	ピン変換を行うアダプタです。 ・QB-100GF-EA-01S：100ピン・プラスチックQFP（GF-JBTタイプ）用 ・QB-100GC-EA-01S：100ピン・プラスチックLQFP（GC-8EAタイプ）用
⑨ QB-100-CA-01S チェックピン・アダプタ	オシロスコープなどで波形観測を行うときに使用するアダプタです。
⑩ QB-100-SA-01S スペース・アダプタ	高さ調節用アダプタです。
⑪ QB-100GF-MA-01S, QB-100GC-MA-01S マウント・アダプタ	V850ES/KG1+をソケット実装するためのアダプタです。 ・QB-100GF-MA-01S：100ピン・プラスチックQFP（GF-JBTタイプ）用 ・QB-100GC-MA-01S：100ピン・プラスチックLQFP（GC-8EAタイプ）用
⑫ QB-100GF-TC-01S, QB-100GC-TC-01S ターゲット・コネクタ	ターゲット・システム上へ半田付けするコネクタです。 ・QB-100GF-TC-01S：100ピン・プラスチックQFP（GF-JBTタイプ）用 ・QB-100GC-TC-01S：100ピン・プラスチックLQFP（GC-8EAタイプ）用

注　QB-V850ESKX1Hは，電源ユニット，USBインタフェース・ケーブルとフラッシュ・メモリ・プログラマ（PG-FPL）を添付しています。また，コントロール・ソフトウエアとして，統合ディバッガ ID850QBを添付しています。

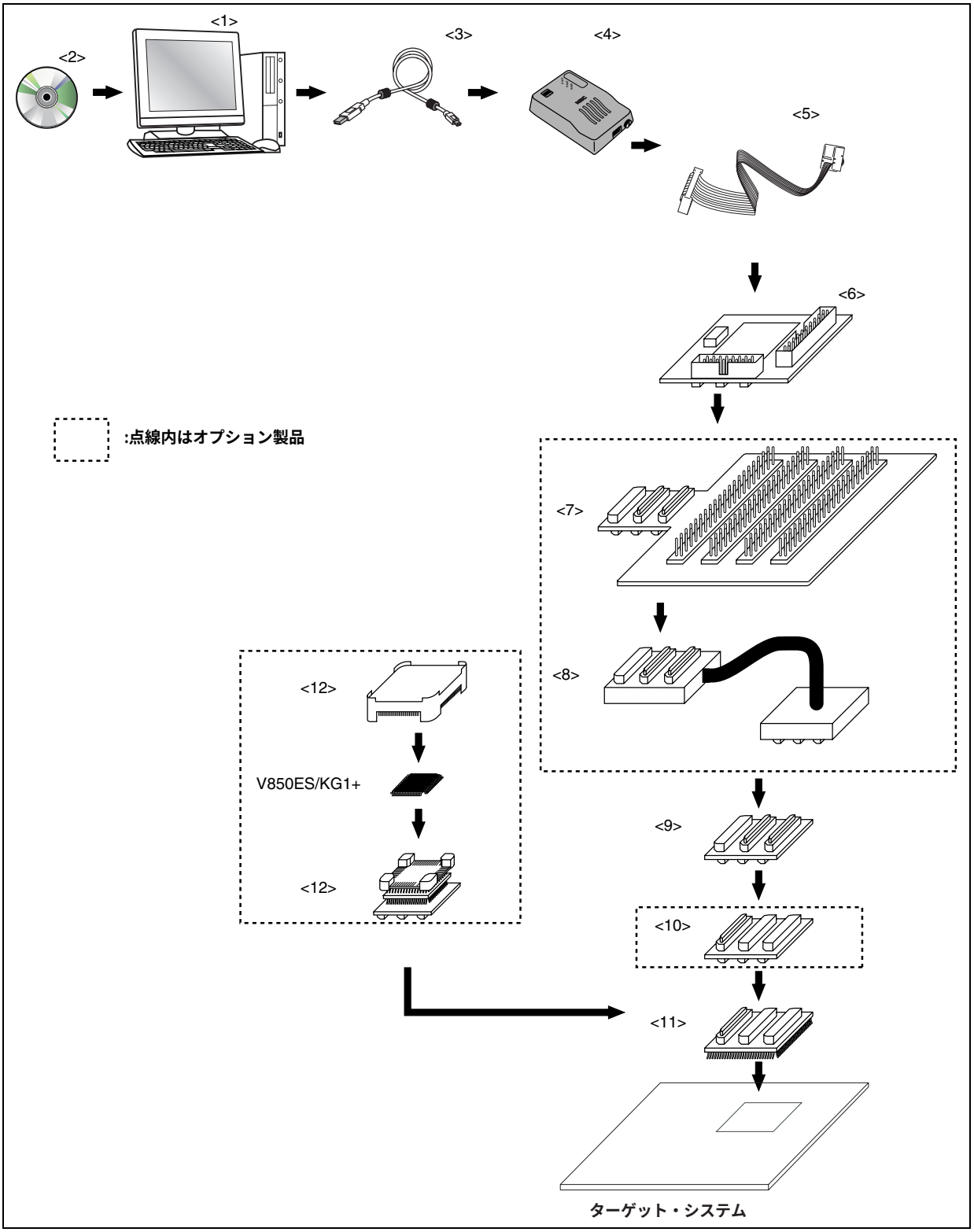
備考　表内の番号は図A－2の番号に対応しています。

A. 4. 2　MINICUBE　QB-V850MINIを使用する場合

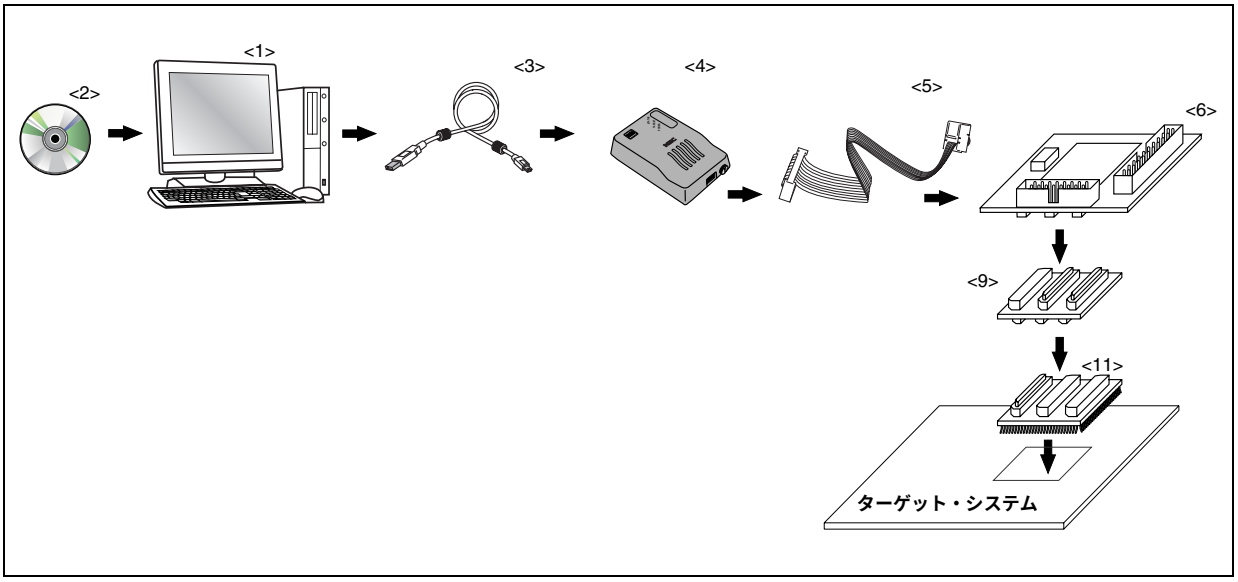
(1) MINICUBEとQB-V850ESKX1H-DAを使用してのディバグ・エミュレーション

MINICUBEとディバグ・アダプタQB-V850ESKX1H-DAとホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。オプション製品がない場合でも接続は可能です。

図A－3　QB-V850ESKX1H-DAを使用したシステム構成（オプション製品を使用する場合）



図A－4　QB-V850ESKX1H-DAを使用したシステム構成（オプション製品を使用しない場合）



<1> ホスト・マシン	USBポート搭載品。
<2> CD-ROM[注1]	CD-ROM形式で統合ディバッガ ID850QB, N-Wire Checker，デバイス・ドライバ，ドキュメントなどが含まれています。MINICUBEに添付されています。
<3>USBインタフェース・ケーブル	ホスト・マシンとMINICUBEを接続するUSB対応のケーブルです。MINICUBEに添付しています。ケーブルの長さは約2 mです。
<4> MINICUBE オンチップ・ディバグ・エミュレータ	V850ES/KG1+を使用する応用システムを開発する際に，ハードウエア，ソフトウエアをディバグするためのオンチップ・エミュレータです。統合ディバッガ ID850QBに対応しています。
<5> OCDケーブル	MINICUBEとターゲット・システムを接続するケーブルです。 MINICUBEに添付されています。ケーブルの長さは約20 cmです。
<6> QB-V850ESKX1H-DA ディバグ・アダプタ	MINICUBEと組み合わせることでインサーキット・エミュレータとして動作します。 MINICUBEに添付されています。
<7> QB-100-CA-01S（オプション） チェックピン・アダプタ	オシロスコープなどで波形を観測するときに使用するアダプタです。
<8> QB-144-EP-01S（オプション） 延長プローブ同軸タイプ	QB-V850ESKX1H-DAとエクスチェンジ・アダプタを接続するためのプローブです。ケーブルの長さは約40 cmです。
<9> QB-100GC-EA-01S QB-100GF-EA-01S エクスチェンジ・アダプタ	ピン変換を行うアダプタです。 ・QB-100GC-EA-01S：100ピン・プラスチックLQFP（GC-8EAタイプ） ・QB-100GF-EA-01S：100ピン・プラスチックQFP（GF-JBTタイプ）
<10> QB-100-SA-01S（オプション） スペース・アダプタ	高さ調節用アダプタです。
<11> QB-100GC-TC-01S QB-100GF-TC-01S ターゲット・コネクタ	ターゲット・システム上へ半田付けするコネクタです。 ・QB-100GC-TC-01S：100ピン・プラスチックLQFP（GC-8EAタイプ） ・QB-100GF-TC-01S：100ピン・プラスチックQFP（GF-JBTタイプ）
<12> QB-100GC-MA-01S（オプション） QB-100GF-MA-01S（オプション） マウント・アダプタ	V850ES/KG1+をソケット実装するためのアダプタです。 ・QB-100GC-MA-01S：100ピン・プラスチックLQFP（GC-8EAタイプ） ・QB-100GF-MA-01S：100ピン・プラスチックQFP（GF-JBTタイプ）

注　デバイス・ファイルはNECエレクトロニクスのホームページから入手してください。

http://www.necel.com/micro/ods/jpn/index.html

備考　表内の番号は図A－3，図A－4の番号に対応しています。

A. 5　ディバグ用ツール（ソフトウエア）

ID850QB 統合ディバッガ	V850シリーズ用のインサーキット・エミュレータに対応したディバッガです。ID850QBは，Windowsベースのソフトウエアです。 C言語対応のディバグ機能を強化しており，ソース・プログラムや逆アセンブル表示，メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより，トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイルと組み合わせて使用します。

注　開発中

備考　オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××ID703000-QB

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	

A. 6　組み込み用ソフトウエア

RX850, RX850 Pro リアルタイムOS	μITRON3.0仕様に準拠したリアルタイムOSです。 複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。 RX850よりRX850 Proの方が多機能になっています。
	オーダ名称：μS××××RX703000-△△△△（RX850） μS××××RX703100-△△△△（RX850 Pro）
V850mini-NET注（仮称） （ネットワーク・ライブラリ）	RFC準拠のネットワーク・ライブラリです。 コンパクトな設計をしており，使用メモリを小さく抑えた軽量TCP/IPです。 TCP/IP基準セットに加え，HTTPサーバ，SMTPクライアント，POPクライアントもサポートしています。
RX-FS850 （ファイル・システム）	FATファイル・システム機能です。 CD-ROMファイル・システム機能をサポートしたファイル・システムです。 リアルタイムOS RX850 Proと共に使用します。

注　開発中

注意　RX850, RX850 Proを購入する際，事前に購入申込書にご記入のうえ，使用許諾契約書を締結してください。

備考　オーダ名称の××××および△△△△は，使用するホスト・マシン，OSなどにより異なります。

μS×××× RX703000-△△△△

μS×××× RX703100-△△△△

△△△△	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	
3K17	SPARCstation	Solaris（Rel. 2.5.1）	

A. 7　フラッシュ・メモリ書き込み用ツール

Flashpro IV（型番　PG-FP4） フラッシュ・ライタ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライタです。
FA-100GC-8EU-A フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro IVに接続して使用します。 ・FA-100GC-8EU-A：100ピン・プラスチックLQFP（GC-8EAタイプ）用
FA-100GF-3BA-A フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro IVに接続して使用します。 ・FA-100GF-3BA-A：100ピン・プラスチックQFP（GF-JBTタイプ）用

備考　FA-100GC-8EU-A, FA-100GF-3BA-Aは，株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（045）475-4191）

付録B　命令セット一覧

B. 1　凡　　例

(1) オペランド記述に使われる略号

略　号	説　　明
reg1	汎用レジスタ（ソース・レジスタとして使用）
reg2	汎用レジスタ（おもにデスティネーション・レジスタとして使用。一部の命令で，ソース・レジスタとしても使用。）
reg3	汎用レジスタ（おもに除算結果の余り，乗算結果の上位32ビットを格納）
bit#3	ビット・ナンバ指定用3ビット・データ
imm×	×ビット・イミーディエト・データ
disp×	×ビット・ディスプレースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ（00H-1FH）を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ（r3）
ep	エレメント・ポインタ（r30）
list×	×個のレジスタ・リスト

(2) オペランドに使われる略号

略　号	説　　明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレースメントの1ビット分データ
I	イミーディエトの1ビット分データ（イミーディエトの上位ビットを示す）
i	イミーディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略　号	説　　明
←	代入
GR [　]	汎用レジスタ
SR [　]	システム・レジスタ
zero-extend（n）	nをワード長までゼロ拡張する。
sign-extend（n）	nをワード長まで符号拡張する。
load-memory（a, b）	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory（a, b, c）	アドレス「a」に，データ「b」をサイズ「c」で書き込む。
load-memory-bit（a, b）	アドレス「a」のビット「b」を読み出す。
store-memory-bit（a, b, c）	アドレス「a」のビット「b」に「c」を書き込む。
saturated（n）	nの飽和処理を行う（nは2の補数）。 nが計算の結果，n≧7FFFFFFFHとなった場合，n = 7FFFFFFFHとする。 nが計算の結果，n≦80000000Hとなった場合，n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト（8ビット）
Half-word	ハーフワード（16ビット）
Word	ワード（32ビット）
＋	加算
－	減算
‖	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略　号	説　　明
i	命令実行直後にほかの命令を実行する場合（issue）
r	命令実行直後に同一命令を繰り返す場合（repeat）
l	命令実行結果を命令実行直後の命令で利用する場合（latency）

(5) フラグの動作に使われる略号

略　号	説　明
（ブランク）	変化なし
0	0にクリア
×	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件コード (cccc)	条件式	説　　明
0000	OV = 1	Overflow
1000	OV = 0	No overflow
0001	CY = 1	Carry Lower（Less than）
1001	CY = 0	No carry No lower（Greater than or equal）
0010	Z = 1	Zero
1010	Z = 0	Not zero
0011	（CY or Z）= 1	Not higher（Less than or equal）
1011	（CY or Z）= 0	Higher（Greater than）
0100	S = 1	Negative
1100	S = 0	Positive
0101	－	Always（無条件）
1101	SAT = 1	Saturated
0110	（S xor OV）= 1	Less than signed
1110	（S xor OV）= 0	Greater than or equal signed
0111	（（S xor OV）or Z）= 1	Less than or equal signed
1111	（（S xor OV）or Z）= 0	Greater than signed

B. 2　インストラクション・セット（アルファベット順）

（1/5）

ニモニック	オペランド	オペコード	オペレーション		実行クロック			フラグ				
					i	r	l	CY	OV	S	Z	SAT
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2]←GR[reg2]＋GR[reg1]		1	1	1	×	×	×	×	
	imm5, reg2	rrrrr010010iiiii	GR[reg2]←GR[reg2]＋sign-extend (imm5)		1	1	1	×	×	×	×	
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋sign-extend (imm16)		1	1	1	×	×	×	×	
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2]←GR[reg2] AND GR[reg1]		1	1	1		0	×	×	
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] AND zero-extend (imm16)		1	1	1		0	×	×	
Bcond	disp9	ddddd1011dddcccc 注1	if conditions are satisfied then PC←PC＋sign-extend (disp9)	条件成立時	2 注2	2 注2	2 注2					
				条件不成立時	1	1	1					
BSH	reg2, reg3	rrrrr11111100000 WWWWW01101000010	GR[reg3]←GR[reg2] (23:16)‖GR[reg2] (31:24)‖GR [reg2] (7:0)‖GR[reg2] (15:8)		1	1	1	×	0	×	×	
BSW	reg2, reg3	rrrrr11111100000 WWWWW01101000000	GR[reg3]←GR[reg2] (7:0)‖GR[reg2] (15:8)‖GR[reg2] (23:16)‖GR[reg2] (31:24)		1	1	1	×	0	×	×	
CALLT	imm6	0000001000iiiiii	CTPC←PC＋2 (return PC) CTPSW←PSW adr←CTBP＋zero-extend (imm6 logically shift left by 1) PC←CTBP＋zero-extend(Load-memory (adr,Half-word))		4	4	4					
CLR1	bit#3,disp16[reg1]	10bbb111110RRRRR dddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)		3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100100	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)		3 注3	3 注3	3 注3				×	
CMOV	cccc, imm5, reg2, reg3	rrrrr111111iiiii WWWWW011000cccc0	if conditions are satisfied then GR[reg3]←sign-extend (imm5) else GR[reg3]←GR[reg2]		1	1	1					
	cccc, reg1, reg2, reg3	rrrrr111111RRRRR WWWWW011001cccc0	if conditions are satisfied then GR[reg3]←GR[reg1] else GR[reg3]←GR[reg2]		1	1	1					
CMP	reg1, reg2	rrrrr001111RRRRR	result←GR[reg2]－GR[reg1]		1	1	1	×	×	×	×	
	imm5, reg2	rrrrr010011iiiii	result←GR[reg2]－sign-extend (imm5)		1	1	1	×	×	×	×	
CTRET		0000011111100000 0000000101000100	PC←CTPC PSW←CTPSW		3	3	3	R	R	R	R	R
DBRET		0000011111100000 0000000101000110	PC←DBPC PSW←DBPSW		3	3	3	R	R	R	R	R
DBTRAP		1111100001000000	DBPC ← PC＋2 (復帰PC) DBPSW ← PSW PSW.NP← 1 PSW.EP← 1 PSW.ID ← 1 PC ← 00000060H		3	3	3					
DI		0000011111100000 0000000101100000	PSW.ID←1		1	1	1					

(2/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
DISPOSE	imm5, list12	0000011001iiiiiL LLLLLLLLLL00000	sp←sp＋zero-extend (imm5 logically shift left by 2) GR[reg in list12]←Load-memory (sp, Word) sp←sp＋4 repeat 2 steps above until all regs in list12 is loaded	n＋1 注4	n＋1 注4	n＋1 注4					
	imm5, list12 [reg1]	0000011001iiiiiL LLLLLLLLLLRRRRR 注5	sp←sp＋zero-extend (imm5 logically shift left by 2) GR[reg in list12]←Load-memory (sp, Word) sp←sp＋4 repeat 2 steps above until all regs in list12 is loaded PC←GR[reg1]	n＋3 注4	n＋3 注4	n＋3 注4					
DIV	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01011000000	GR[reg2]←GR[reg2]÷GR[reg1] GR[reg3]←GR[reg2]%GR[reg1]	35	35	35		×	×	×	
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2]←GR[reg2]÷GR[reg1]注6	35	35	35		×	×	×	
	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01010000000	GR[reg2]←GR[reg2]÷GR[reg1]注6 GR[reg3]←GR[reg2]%GR[reg1]	35	35	35		×	×	×	
DIVHU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01010000010	GR[reg2]←GR[reg2]÷GR[reg1]注6 GR[reg3]←GR[reg2]%GR[reg1]	34	34	34		×	×	×	
DIVU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01011000010	GR[reg2]←GR[reg2]÷GR[reg1] GR[reg3]←GR[reg2]%GR[reg1]	34	34	34		×	×	×	
EI		1000011111100000 0000000101100000	PSW.ID←0	1	1	1					
HALT		0000011111100000 0000000100100000	停止する	1	1	1					
HSW	reg2, reg3	rrrrr11111100000 WWWWW01101000100	GR[reg3]←GR[reg2] (15:0)‖GR[reg2] (31:16)	1	1	1	×	0	×	×	
JARL	disp22, reg2	rrrrr11110ddddd dddddddddddddd0 注7	GR[reg2]←PC＋4 PC←PC＋sign-extend(disp22)	2	2	2					
JMP	[reg1]	00000000011RRRRR	PC←GR[reg1]	3	3	3					
JR	disp22	0000011110ddddd dddddddddddddd0 注7	PC←PC＋sign-extend(disp22)	2	2	2					
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←sign-extend (Load-memory (adr, Byte))	1	1	注11					
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←zero-extend (Load-memory (adr, Byte))	1	1	注11					
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←sign-extend (Load-memory (adr, Halfword))	1	1	注11					
LDSR	reg2, regID	rrrrr111111RRRRR 0000000000100000 注12	SR[regID]←GR[reg2] regID = PSW以外	1	1	1					
			regID = PSW	1	1	1	×	×	×	×	×
LD.HU	disp16[reg1], reg2	rrrrr111111RRRRR ddddddddddddddd1 注8	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←zero-extend (Load-memory (adr, Halfword))	1	1	注11					

(3/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注8	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←Load-memory (adr, Word)	1	1	注11					
MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2]←GR[reg1]	1	1	1					
	imm5, reg2	rrrrr010000iiiii	GR[reg2]←sign-extend (imm5)	1	1	1					
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1]←imm32	2	2	2					
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋sign-extend (imm16)	1	1	1					
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋(imm16 ‖ 0^{16})	1	1	1					
MUL	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100000	GR[reg3] ‖ GR[reg2]←GR[reg2]×GR[reg1] 注14	1	4	5					
	imm9, reg2, reg3	rrrrr111111iiiii WWWWW01001IIII00 注13	GR[reg3] ‖ GR[reg2]←GR[reg2]×sign-extend (imm9)	1	4	5					
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2]←GR[reg2]注6×GR[reg1]注6	1	1	2					
	imm5, reg2	rrrrr010111iiiii	GR[reg2]←GR[reg2]注6×sign-extend (imm5)	1	1	2					
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]注6×imm16	1	1	2					
MULU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100010	GR[reg3] ‖ GR[reg2]←GR[reg2]×GR[reg1] 注14	1	4	5					
	imm9, reg2, reg3	rrrrr111111iiiii WWWWW01001IIII10 注13	GR[reg3] ‖ GR[reg2]←GR[reg2]×zero-extend (imm9)	1	4	5					
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1					
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2]←NOT (GR[reg1])	1	1	1		0	×	×	
NOT1	bit#3, disp16[reg1]	01bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100010	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3 注3	3 注3	3 注3				×	
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2]←GR[reg2] OR GR[reg1]	1	1	1		0	×	×	
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] OR zero-extend (imm16)	1	1	1		0	×	×	
PREPARE	list12, imm5	0000011110iiiiiL LLLLLLLLLL00001	Store-memory (sp－4, GR[reg in list12], Word) sp←sp－4 repeat 1 steps above until all regs in list12 is stored sp←sp-zero-extend (imm5)	n＋1 注4	n＋1 注4	n＋1 注4					
	list12, imm5, sp/imm注15	0000011110iiiiiL LLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp－4, GR[reg in list12], Word) sp←sp－4 repeat 1 steps above until all regs in list12 is stored sp←sp－zero-extend (imm5) ep←sp/imm	n＋2 注4 注17	n＋2 注4 注17	n＋2 注4 注17					

(4/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC ← EIPC PSW ← EIPSW else if PSW.NP = 1 then PC ← FEPC PSW ← FEPSW else PC ← EIPC PSW ← EIPSW	3	3	3	R	R	R	R	R
SAR	reg1, reg2	rrrrr111111RRRRR 0000000010100000	GR[reg2]←GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010101iiiii	GR[reg2]←GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	×	0	×	×	
SASF	cccc, reg2	rrrrr1111110cccc 0000001000000000	if conditions are satisfied then GR[reg2]←(GR[reg2] Logically shift left by 1) OR 00000001H else GR[reg2]←(GR[reg2] Logically shift left by 1) OR 00000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2]←saturated (GR[reg2]＋GR[reg1])	1	1	1	×	×	×	×	×
	imm5, reg2	rrrrr010001iiiii	GR[reg2]←saturated (GR[reg2]＋sign-extend (imm5))	1	1	1	×	×	×	×	×
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2]←saturated (GR[reg2]－GR[reg1])	1	1	1	×	×	×	×	×
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2]←saturated (GR[reg1]－sign-extend (imm16))	1	1	1	×	×	×	×	×
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2]←saturated (GR[reg1]－GR[reg2])	1	1	1	×	×	×	×	×
SETF	cccc, reg2	rrrrr1111110cccc 0000000000000000	if conditions are satisfied then GR[reg2]← 00000001H else GR[reg2]← 00000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100000	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3 注3	3 注3	3 注3				×	
SHL	reg1, reg2	rrrrr111111RRRRR 0000000011000000	GR[reg2]←GR[reg2] logically shift left by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010110iiiii	GR[reg2]←GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	×	0	×	×	
SHR	reg1, reg2	rrrrr111111RRRRR 0000000010000000	GR[reg2]←GR[reg2] logically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010100iiiii	GR[reg2]←GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	×	0	×	×	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr←ep＋zero-extend (disp7) GR[reg2]←sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110dddd 注18	adr←ep＋zero-extend (disp4) GR[reg2]←zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr←ep＋zero-extend (disp8) GR[reg2]←sign-extend (Load-memory (adr, Halfword))	1	1	注9					

(5/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111dddd 注18, 20	adr←ep＋zero-extend (disp5) GR[reg2]←zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr←ep＋zero-extend (disp8) GR[reg2]←Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr←ep＋zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr←ep＋zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010dddddd1 注21	adr←ep＋zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR dddddddddddddddd0 注8	adr←GR[reg1]＋sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR dddddddddddddddd1 注8	adr←GR[reg1]＋sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr111111RRRRR 0000000001000000	GR[reg2]←SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2]←GR[reg2]－GR[reg1]	1	1	1	×	×	×	×	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2]←GR[reg1]－GR[reg2]	1	1	1	×	×	×	×	
SWITCH	reg1	00000000010RRRRR	adr←(PC＋2)＋(GR[reg1] logically shift left by 1) PC←(PC＋2)＋(sign-extend (Load-memory (adr, Halfward))) logically shift left by 1	5	5	5					
SXB	reg1	00000000101RRRRR	GR[reg1]←sign-extend (GR[reg1] (7：0))	1	1	1					
SXH	reg1	00000000111RRRRR	GR[reg1]←sign-extend (GR[reg1] (15：0))	1	1	1					
TRAP	vector	00000111111iiiii 0000000100000000	EIPC ← PC＋4 (復帰PC) EIPSW ← PSW ECR.EICC ← 割り込みコード PSW.EP ← 1 PSW.ID ← 1 PC ← 00000040H (vectorが00H-0FHのとき) 00000050H (vectorが10H-1FHのとき)	3	3	3					
TST	reg1, reg2	rrrrr001011RRRRR	result←GR[reg2] AND GR[reg1]	1	1	1		0	×	×	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3))	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100110	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2))	3 注3	3 注3	3 注3				×	
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2]←GR[reg2] XOR GR[reg1]	1	1	1		0	×	×	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] XOR zero-extend (imm16)	1	1	1		0	×	×	
ZXB	reg1	00000000100RRRRR	GR[reg1]←zero-extend (GR[reg1] (7：0))	1	1	1					
ZXH	reg1	00000000110RRRRR	GR[reg1]←zero-extend (GR[reg1] (15：0))	1	1	1					

注1. dddddddd**は**disp9**の上位**8**ビットです。

2. **直前に**PSW**の内容を書き換える命令がある場合は**3**。**

3. **ウエイト・ステートがない場合（**3**＋リード・アクセス・ウエイト・ステート数）**

4. n**は**list12**のロード・レジスタの合計数（ウエイト・ステート数による。ウエイト・ステートがない場合，**n**は**list12**のレジスタ数。**n = 0**の場合，**n = 1**と同じ動作）**

5. RRRRR**：**00000**以外**

6. **下位ハーフワード・データだけ有効**

7. dddddddddddddddddddddd**は**disp22**の上位**21**ビットです。**

8. ddddddddddddddd**は**disp16**の上位**15**ビットです。**

9. **ウエイト・ステート数による（ウエイト・ステートがない場合は**1**）**

10. b**：**disp16**のビット**0

11. **ウエイト・ステート数による（ウエイト・ステートがない場合は**2**）**

12. **この命令ではニモニックの記述の都合上，ソース・レジスタを**reg2**としていますが，オペコード上は**reg1**のフィールドを使用しています。したがって，ニモニック記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。**

    rrrrr = regID**指定**

    RRRRR = reg2**指定**

13. iiiii**：**imm9**の下位**5**ビット**

    IIII**：**imm9**の上位**4**ビット**

14. **汎用レジスタ**reg1**と汎用レジスタ**reg3**に，同じレジスタを指定しないでください。**

15. sp/imm**：サブオペコードのビット**19, 20**で指定**

16. ff = 00**：**sp**を**ep**にロード**

    01**：符号拡張した**16**ビット・イミーディエト・データ（ビット**47-32**）を**ep**にロード**

    10**：**16**ビット論理左シフトした**16**ビット・イミーディエト・データ（ビット**47-32**）を**ep**にロード**

    11**：**32**ビット・イミーディエト・データ（ビット**63-32**）を**ep**にロード**

17. imm = imm32**の場合は**n**＋**3**クロック**

18. rrrrr**：**00000**以外**

19. ddddddd**は**disp8**の上位**7**ビットです。**

20. dddd**は**disp5**の上位**4**ビットです。**

21. dddddd**は**disp8**の上位**6**ビットです。**

付録C　レジスタ索引

(1/9)

略　号	名　　称	ユニット	ページ
ADCR	A/D変換結果レジスタ	ADC	455
ADCRH	A/D変換結果レジスタH	ADC	455
ADIC	割り込み制御レジスタ	INTC	697
ADM	A/Dコンバータ・モード・レジスタ	ADC	450
ADS	アナログ入力チャネル指定レジスタ	ADC	454
ADTC0	自動データ転送アドレス・カウント・レジスタ0	CSIA	550
ADTC1	自動データ転送アドレス・カウント・レジスタ1	CSIA	550
ADTI0	自動データ転送間隔指定レジスタ0	CSIA	557
ADTI1	自動データ転送間隔指定レジスタ1	CSIA	557
ADTP0	自動データ転送アドレス・ポイント指定レジスタ0	CSIA	555
ADTP1	自動データ転送アドレス・ポイント指定レジスタ1	CSIA	555
ASICL0	LIN動作コントロール・レジスタ0	UART	491
ASIF0	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0	UART	488
ASIF1	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ1	UART	488
ASIF2	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ2	UART	488
ASIM0	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	UART	485
ASIM1	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	UART	485
ASIM2	アシンクロナス・シリアル・インタフェース・モード・レジスタ2	UART	485
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	UART	487
ASIS1	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	UART	487
ASIS2	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	UART	487
AWC	アドレス・ウエイト制御レジスタ	BCU	185
BCC	バス・サイクル制御レジスタ	BCU	186
BRGC0	ボー・レート・ジェネレータ・コントロール・レジスタ0	UART	514
BRGC1	ボー・レート・ジェネレータ・コントロール・レジスタ1	UART	514
BRGC2	ボー・レート・ジェネレータ・コントロール・レジスタ2	UART	514
BRGCA0	分周値選択レジスタ0	CSIA	555
BRGCA1	分周値選択レジスタ1	CSIA	555
BRGIC	割り込み制御レジスタ	INTC	697
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	174
CCLS	CPU動作クロック・ステータス・レジスタ	CG	204
CKSR0	クロック選択レジスタ0	UART	513
CKSR1	クロック選択レジスタ1	UART	513
CKSR2	クロック選択レジスタ2	UART	513
CLM	クロック・モニタ・モード・レジスタ	CLM	760
CMP00	8ビット・タイマHコンペア・レジスタ00	TMH	394
CMP01	8ビット・タイマHコンペア・レジスタ01	TMH	395
CMP10	8ビット・タイマHコンペア・レジスタ10	TMH	394

(2/9)

略　号	名　　称	ユニット	ページ
CMP11	8ビット・タイマHコンペア・レジスタ11	TMH	395
CORAD0	コレクション・アドレス・レジスタ0	ROMC	780
CORAD0H	コレクション・アドレス・レジスタ0H	ROMC	780
CORAD0L	コレクション・アドレス・レジスタ0L	ROMC	780
CORAD1	コレクション・アドレス・レジスタ1	ROMC	780
CORAD1H	コレクション・アドレス・レジスタ1H	ROMC	780
CORAD1L	コレクション・アドレス・レジスタ1L	ROMC	780
CORAD2	コレクション・アドレス・レジスタ2	ROMC	780
CORAD2H	コレクション・アドレス・レジスタ2H	ROMC	780
CORAD2L	コレクション・アドレス・レジスタ2L	ROMC	780
CORAD3	コレクション・アドレス・レジスタ3	ROMC	780
CORAD3H	コレクション・アドレス・レジスタ3H	ROMC	780
CORAD3L	コレクション・アドレス・レジスタ3L	ROMC	780
CORCN	コレクション・コントロール・レジスタ	ROMC	781
CR000	16ビット・タイマ・キャプチャ／コンペア・レジスタ000	TM0	299
CR001	16ビット・タイマ・キャプチャ／コンペア・レジスタ001	TM0	300
CR010	16ビット・タイマ・キャプチャ／コンペア・レジスタ010	TM0	299
CR011	16ビット・タイマ・キャプチャ／コンペア・レジスタ011	TM0	300
CR020	16ビット・タイマ・キャプチャ／コンペア・レジスタ020	TM0	299
CR021	16ビット・タイマ・キャプチャ／コンペア・レジスタ021	TM0	300
CR030	16ビット・タイマ・キャプチャ／コンペア・レジスタ030	TM0	299
CR031	16ビット・タイマ・キャプチャ／コンペア・レジスタ031	TM0	300
CR5	16ビット・タイマ・コンペア・レジスタ5	TM5	377
CR50	8ビット・タイマ・コンペア・レジスタ50	TM5	377
CR51	8ビット・タイマ・コンペア・レジスタ51	TM5	377
CRC00	キャプチャ／コンペア・コントロール・レジスタ00	TM0	305
CRC01	キャプチャ／コンペア・コントロール・レジスタ01	TM0	305
CRC02	キャプチャ／コンペア・コントロール・レジスタ02	TM0	305
CRC03	キャプチャ／コンペア・コントロール・レジスタ03	TM0	305
CSI0IC0	割り込み制御レジスタ	INTC	697
CSI0IC1	割り込み制御レジスタ	INTC	697
CSIA0B0	CSIA0バッファRAMn（n = 0-F）	CSIA	558
CSIA0B0H	CSIA0バッファRAMnH（n = 0-F）	CSIA	558
CSIA0B0L	CSIA0バッファRAMnL（n = 0-F）	CSIA	558
CSIA1B0	CSIA1バッファRAMn（n = 0-F）	CSIA	558
CSIA1B0H	CSIA1バッファRAMnH（n = 0-F）	CSIA	558
CSIA1B0L	CSIA1バッファRAMnL（n = 0-F）	CSIA	558
CSIAIC0	割り込み制御レジスタ	INTC	697
CSIAIC1	割り込み制御レジスタ	INTC	697
CSIC0	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSI0	526
CSIC1	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSI0	526
CSIM00	クロック同期式シリアル・インタフェース・モード・レジスタ00	CSI0	524
CSIM01	クロック同期式シリアル・インタフェース・モード・レジスタ01	CSI0	524
CSIMA0	シリアル動作モード指定レジスタ0	CSIA	552

(3/9)

略　号	名　　称	ユニット	ページ
CSIMA1	シリアル動作モード指定レジスタ1	CSIA	552
CSIS0	シリアル・ステータス・レジスタ0	CSIA	553
CSIS1	シリアル・ステータス・レジスタ1	CSIA	553
CSIT0	シリアル・トリガ・レジスタ0	CSIA	554
CSIT1	シリアル・トリガ・レジスタ1	CSIA	554
CTBP	CALLTベース・ポインタ	CPU	59
CTPC	CALLT実行時状態退避レジスタ	CPU	58
CTPSW	CALLT実行時状態退避レジスタ	CPU	58
DACS0	D/A変換値設定レジスタ0	DAC	478
DACS1	D/A変換値設定レジスタ1	DAC	478
DADC0	DMAアドレシング・コントロール・レジスタ0	DMA	662
DADC1	DMAアドレシング・コントロール・レジスタ1	DMA	662
DADC2	DMAアドレシング・コントロール・レジスタ2	DMA	662
DADC3	DMAアドレシング・コントロール・レジスタ3	DMA	662
DAM	D/Aコンバータ・モード・レジスタ	DAC	478
DBC0	DMA転送カウント・レジスタ0	DMA	661
DBC1	DMA転送カウント・レジスタ1	DMA	661
DBC2	DMA転送カウント・レジスタ2	DMA	661
DBC3	DMA転送カウント・レジスタ3	DMA	661
DBPC	例外／ディバグ・トラップ時状態退避レジスタ	CPU	59
DBPSW	例外／ディバグ・トラップ時状態退避レジスタ	CPU	59
DCHC0	DMAチャネル・コントロール・レジスタ0	DMA	663
DCHC1	DMAチャネル・コントロール・レジスタ1	DMA	663
DCHC2	DMAチャネル・コントロール・レジスタ2	DMA	663
DCHC3	DMAチャネル・コントロール・レジスタ3	DMA	663
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMA	660
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMA	660
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMA	660
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMA	660
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMA	660
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMA	660
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMA	660
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMA	660
DMAIC0	割り込み制御レジスタ	INTC	697
DMAIC1	割り込み制御レジスタ	INTC	697
DMAIC2	割り込み制御レジスタ	INTC	697
DMAIC3	割り込み制御レジスタ	INTC	697
DSA0H	DMAソース・アドレス・レジスタ0H	DMA	659
DSA0L	DMAソース・アドレス・レジスタ0L	DMA	659
DSA1H	DMAソース・アドレス・レジスタ1H	DMA	659
DSA1L	DMAソース・アドレス・レジスタ1L	DMA	659
DSA2H	DMAソース・アドレス・レジスタ2H	DMA	659
DSA2L	DMAソース・アドレス・レジスタ2L	DMA	659
DSA3H	DMAソース・アドレス・レジスタ3H	DMA	659

(4/9)

略　号	名　　称	ユニット	ページ
DSA3L	DMAソース・アドレス・レジスタ3L	DMA	659
DTFR0	DMAトリガ要因レジスタ0	DMA	664
DTFR1	DMAトリガ要因レジスタ1	DMA	664
DTFR2	DMAトリガ要因レジスタ2	DMA	664
DTFR3	DMAトリガ要因レジスタ3	DMA	664
DWC0	データ・ウエイト制御レジスタ0	BCU	182
ECR	割り込み要因レジスタ	CPU	56
EIPC	割り込み時状態退避レジスタ	CPU	55
EIPSW	割り込み時状態退避レジスタ	CPU	55
EXIMC	外部バス・インタフェース・モード・コントロール・レジスタ	BCU	173
FEPC	NMI時状態退避レジスタ	CPU	56
FEPSW	NMI時状態退避レジスタ	CPU	56
IIC0	IICシフト・レジスタ0	I^2C	598
IICC0	IICコントロール・レジスタ0	I^2C	587
IICCL0	IICクロック選択レジスタ0	I^2C	596
IICF0	IICフラグ・レジスタ0	I^2C	594
IICIC0	割り込み制御レジスタ	INTC	697
IICS0	IIC状態レジスタ0	I^2C	591
IICX0	IIC機能拡張レジスタ0	I^2C	597
IMR0	割り込みマスク・レジスタ0	INTC	700
IMR0H	割り込みマスク・レジスタ0H	INTC	700
IMR0L	割り込みマスク・レジスタ0L	INTC	700
IMR1	割り込みマスク・レジスタ1	INTC	700
IMR1H	割り込みマスク・レジスタ1H	INTC	700
IMR1L	割り込みマスク・レジスタ1L	INTC	700
IMR2	割り込みマスク・レジスタ2	INTC	700
IMR2H	割り込みマスク・レジスタ2H	INTC	700
IMR2L	割り込みマスク・レジスタ2L	INTC	700
IMR3	割り込みマスク・レジスタ3	INTC	700
IMR3H	割り込みマスク・レジスタ3H	INTC	700
IMR3L	割り込みマスク・レジスタ3L	INTC	700
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	708
INTF3	外部割り込み立ち下がりエッジ指定レジスタ3	INTC	709
INTF9H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTC	710
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	708
INTR3	外部割り込み立ち上がりエッジ指定レジスタ3	INTC	709
INTR9H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTC	710
ISPR	インサービス・プライオリティ・レジスタ	INTC	702
KRIC	割り込み制御レジスタ	INTC	697
KRM	キー・リターン・モード・レジスタ	KR	723
LVIIC	割り込み制御レジスタ	INTC	697
LVIM	低電圧検出レジスタ	LVI	771
LVIS	低電圧検出レベル選択レジスタ	LVI	772
NFC	ディジタル・ノイズ除去制御レジスタ	INTC	706

(5/9)

略　号	名　　称	ユニット	ページ
OSTS	発振安定時間選択レジスタ	スタンバイ	729
P0	ポート0レジスタ	ポート	101
P0NFC	TIP00ノイズ除去制御レジスタ	TMP	293
P1	ポート1レジスタ	ポート	104
P1NFC	TIP01ノイズ除去制御レジスタ	TMP	293
P3	ポート3レジスタ	ポート	106
P3H	ポート3レジスタH	ポート	106
P3L	ポート3レジスタL	ポート	106
P4	ポート4レジスタ	ポート	111
P5	ポート5レジスタ	ポート	114
P7	ポート7レジスタ	ポート	117
P9	ポート9レジスタ	ポート	119
P9H	ポート9レジスタH	ポート	119
P9L	ポート9レジスタL	ポート	119
PC	プログラム・カウンタ	CPU	53
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	200
PCM	ポートCMレジスタ	ポート	125
PCS	ポートCSレジスタ	ポート	127
PCT	ポートCTレジスタ	ポート	129
PDH	ポートDHレジスタ	ポート	131
PDL	ポートDLレジスタ	ポート	134
PDLH	ポートDLレジスタH	ポート	134
PDLL	ポートDLレジスタL	ポート	134
PF3H	ポート3ファンクション・レジスタH	ポート	108
PF4	ポート4ファンクション・レジスタ	ポート	113
PF5	ポート5ファンクション・レジスタ	ポート	115
PF9H	ポート9ファンクション・レジスタH	ポート	121
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	108
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	112
PFC5	ポート5ファンクション・コントロール・レジスタ	ポート	116
PFC9	ポート9ファンクション・コントロール・レジスタ	ポート	122
PFC9H	ポート9ファンクション・コントロール・レジスタH	ポート	122
PFC9L	ポート9ファンクション・コントロール・レジスタL	ポート	122
PFCE3	ポート3ファンクション・コントロール拡張レジスタ	ポート	108
PFM	パワー・フェイル比較モード・レジスタ	ADC	457
PFT	パワー・フェイル比較しきい値レジスタ	ADC	457
PIC0	割り込み制御レジスタ	INTC	697
PIC1	割り込み制御レジスタ	INTC	697
PIC2	割り込み制御レジスタ	INTC	697
PIC3	割り込み制御レジスタ	INTC	697
PIC4	割り込み制御レジスタ	INTC	697
PIC5	割り込み制御レジスタ	INTC	697
PIC6	割り込み制御レジスタ	INTC	697

(6/9)

略　号	名　　称	ユニット	ページ
PIC7	割り込み制御レジスタ	INTC	697
PLLCTL	PLLコントロール・レジスタ	CG	206, 446
PM0	ポート0モード・レジスタ	ポート	101
PM1	ポート1モード・レジスタ	ポート	104
PM3	ポート3モード・レジスタ	ポート	106
PM3H	ポート3モード・レジスタH	ポート	106
PM3L	ポート3モード・レジスタL	ポート	106
PM4	ポート4モード・レジスタ	ポート	111
PM5	ポート5モード・レジスタ	ポート	114
PM9	ポート9モード・レジスタ	ポート	119
PM9H	ポート9モード・レジスタH	ポート	119
PM9L	ポート9モード・レジスタL	ポート	119
PMC0	ポート0モード・コントロール・レジスタ	ポート	102
PMC3	ポート3モード・コントロール・レジスタ	ポート	107
PMC3H	ポート3モード・コントロール・レジスタH	ポート	107
PMC3L	ポート3モード・コントロール・レジスタL	ポート	107
PMC4	ポート4モード・コントロール・レジスタ	ポート	112
PMC5	ポート5モード・コントロール・レジスタ	ポート	115
PMC9	ポート9モード・コントロール・レジスタ	ポート	120
PMC9H	ポート9モード・コントロール・レジスタH	ポート	120
PMC9L	ポート9モード・コントロール・レジスタL	ポート	120
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	126
PMCCS	ポートCSモード・コントロール・レジスタ	ポート	128
PMCCT	ポートCTモード・コントロール・レジスタ	ポート	130
PMCDH	ポートDHモード・コントロール・レジスタ	ポート	132
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	135
PMCDLH	ポートDLモード・コントロール・レジスタH	ポート	135
PMCDLL	ポートDLモード・コントロール・レジスタL	ポート	135
PMCM	ポートCMモード・レジスタ	ポート	125
PMCS	ポートCSモード・レジスタ	ポート	127
PMCT	ポートCTモード・レジスタ	ポート	129
PMDH	ポートDHモード・レジスタ	ポート	131
PMDL	ポートDLモード・レジスタ	ポート	134
PMDLH	ポートDLモード・レジスタH	ポート	134
PMDLL	ポートDLモード・レジスタL	ポート	134
PRCMD	コマンド・レジスタ	CPU	87
PRM00	プリスケーラ・モード・レジスタ00	TM0	308
PRM01	プリスケーラ・モード・レジスタ01	TM0	308
PRM02	プリスケーラ・モード・レジスタ02	TM0	308
PRM03	プリスケーラ・モード・レジスタ03	TM0	308
PRSCM	インターバル・タイマBRGコンペア・レジスタ	CG	419
PRSM	インターバル・タイマBRGモード・レジスタ	CG	418
PSC	パワー・セーブ・コントロール・レジスタ	スタンバイ	727
PSMR	パワー・セーブ・モード・レジスタ	スタンバイ	728

(7/9)

略　号	名　　称	ユニット	ページ
PSW	プログラム・ステータス・ワード	CPU	57
PU0	プルアップ抵抗オプション・レジスタ0	ポート	102
PU1	プルアップ抵抗オプション・レジスタ1	ポート	104
PU3	プルアップ抵抗オプション・レジスタ3	ポート	110
PU4	プルアップ抵抗オプション・レジスタ4	ポート	113
PU5	プルアップ抵抗オプション・レジスタ5	ポート	116
PU9	プルアップ抵抗オプション・レジスタ9	ポート	124
PU9H	プルアップ抵抗オプション・レジスタ9H	ポート	124
PU9L	プルアップ抵抗オプション・レジスタ9L	ポート	124
PUCM	プルアップ抵抗オプション・レジスタCM	ポート	126
PUCS	プルアップ抵抗オプション・レジスタCS	ポート	128
PUCT	プルアップ抵抗オプション・レジスタCT	ポート	130
PUDH	プルアップ抵抗オプション・レジスタDH	ポート	132
PUDL	プルアップ抵抗オプション・レジスタDL	ポート	135
PUDLL	プルアップ抵抗オプション・レジスタDLL	ポート	135
PUDLH	プルアップ抵抗オプション・レジスタDLH	ポート	135
RCM	内蔵発振モード・レジスタ	CG	204, 761
r0-r31	汎用レジスタ	CPU	53
RESF	リセット要因フラグ・レジスタ	リセット	746
RNZC	リセット・ノイズ除去コントロール・レジスタ	リセット	749
RTBH0	リアルタイム出力バッファ・レジスタH0	RTP	440
RTBL0	リアルタイム出力バッファ・レジスタL0	RTP	440
RTPC0	リアルタイム出力ポート・コントロール・レジスタ0	RTP	442
RTPM0	リアルタイム出力ポート・モード・レジスタ0	RTP	441
RXB0	受信バッファ・レジスタ0	UART	489
RXB1	受信バッファ・レジスタ1	UART	489
RXB2	受信バッファ・レジスタ2	UART	489
SELCNT0	セレクタ動作制御レジスタ0	UART	493
SELCNT1	セレクタ動作制御レジスタ1	TM0	309
SIO00	シリアルI/Oシフト・レジスタ0	CSI0	531
SIO00L	シリアルI/Oシフト・レジスタ0L	CSI0	531
SIO01	シリアルI/Oシフト・レジスタ1	CSI0	531
SIO01L	シリアルI/Oシフト・レジスタ1L	CSI0	531
SIOA0	シリアルI/OシフトA0	CSIA	550
SIOA1	シリアルI/OシフトA1	CSIA	550
SIRB0	クロック同期式シリアル・インタフェース受信バッファ・レジスタ0	CSI0	527
SIRB0L	クロック同期式シリアル・インタフェース受信バッファ・レジスタ0L	CSI0	527
SIRB1	クロック同期式シリアル・インタフェース受信バッファ・レジスタ1	CSI0	527
SIRB1L	クロック同期式シリアル・インタフェース受信バッファ・レジスタ1L	CSI0	527
SIRBE0	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0	CSI0	528
SIRBE0L	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0L	CSI0	528
SIRBE1	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ1	CSI0	528
SIRBE1L	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ1L	CSI0	528
SOTB0	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0	CSI0	529

(8/9)

略　号	名　　称	ユニット	ページ
SOTB0L	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0L	CSI0	529
SOTB1	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1	CSI0	529
SOTB1L	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1L	CSI0	529
SOTBF0	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0	CSI0	530
SOTBF0L	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0L	CSI0	530
SOTBF1	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ1	CSI0	530
SOTBF1L	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ1L	CSI0	530
SREIC0	割り込み制御レジスタ	INTC	697
SREIC1	割り込み制御レジスタ	INTC	697
SREIC2	割り込み制御レジスタ	INTC	697
SRIC0	割り込み制御レジスタ	INTC	697
SRIC1	割り込み制御レジスタ	INTC	697
SRIC2	割り込み制御レジスタ	INTC	697
STIC0	割り込み制御レジスタ	INTC	697
STIC1	割り込み制御レジスタ	INTC	697
STIC2	割り込み制御レジスタ	INTC	697
SVA0	スレーブ・アドレス・レジスタ0	I^2C	599
SYS	システム・ステータス・レジスタ	CPU	88
TCL50	タイマ・クロック選択レジスタ50	TM5	378
TCL51	タイマ・クロック選択レジスタ51	TM5	378
TM00	16ビット・タイマ・カウンタ00	TM0	298
TM01	16ビット・タイマ・カウンタ01	TM0	298
TM02	16ビット・タイマ・カウンタ02	TM0	298
TM03	16ビット・タイマ・カウンタ03	TM0	298
TM0IC00	割り込み制御レジスタ	INTC	697
TM0IC01	割り込み制御レジスタ	INTC	697
TM0IC10	割り込み制御レジスタ	INTC	697
TM0IC11	割り込み制御レジスタ	INTC	697
TM0IC20	割り込み制御レジスタ	INTC	697
TM0IC21	割り込み制御レジスタ	INTC	697
TM0IC30	割り込み制御レジスタ	INTC	697
TM0IC31	割り込み制御レジスタ	INTC	697
TM5	16ビット・タイマ・カウンタ5	TM5	388, 390, 391
TM50	8ビット・タイマ・カウンタ50	TM5	376
TM51	8ビット・タイマ・カウンタ51	TM5	376
TM5IC0	割り込み制御レジスタ	INTC	697
TM5IC1	割り込み制御レジスタ	INTC	697
TMC00	16ビット・タイマ・モード・コントロール・レジスタ00	TM0	303
TMC01	16ビット・タイマ・モード・コントロール・レジスタ01	TM0	303
TMC02	16ビット・タイマ・モード・コントロール・レジスタ02	TM0	303
TMC03	16ビット・タイマ・モード・コントロール・レジスタ03	TM0	303
TMC50	8ビット・タイマ・モード・コントロール・レジスタ50	TM5	379
TMC51	8ビット・タイマ・モード・コントロール・レジスタ51	TM5	379
TMCYC0	8ビット・タイマHキャリア・コントロール・レジスタ0	TMH	399

(9/9)

略　号	名　　称	ユニット	ページ
TMCYC1	8ビット・タイマHキャリア・コントロール・レジスタ1	TMH	399
TMHIC0	割り込み制御レジスタ	INTC	697
TMHIC1	割り込み制御レジスタ	INTC	697
TMHMD0	8ビット・タイマHモード・レジスタ0	TMH	396
TMHMD1	8ビット・タイマHモード・レジスタ1	TMH	396
TOC00	16ビット・タイマ出力コントロール・レジスタ00	TM0	306
TOC01	16ビット・タイマ出力コントロール・レジスタ01	TM0	306
TOC02	16ビット・タイマ出力コントロール・レジスタ02	TM0	306
TOC03	16ビット・タイマ出力コントロール・レジスタ03	TM0	306
TP0CCIC0	割り込み制御レジスタ	INTC	697
TP0CCIC1	割り込み制御レジスタ	INTC	697
TP0CCR0	TMP0キャプチャ／コンペア・レジスタ0	TMP	217
TP0CCR1	TMP0キャプチャ／コンペア・レジスタ1	TMP	219
TP0CNT	TMP0カウンタ・リード・バッファ・レジスタ	TMP	221
TP0CTL0	TMP0制御レジスタ0	TMP	211
TP0CTL1	TMP0制御レジスタ1	TMP	212
TP0IOC0	TMP0I/O制御レジスタ0	TMP	213
TP0IOC1	TMP0I/O制御レジスタ1	TMP	214
TP0IOC2	TMP0I/O制御レジスタ2	TMP	215
TP0OPT0	TMP0オプション・レジスタ0	TMP	216
TP0OVIC	割り込み制御レジスタ	INTC	697
TXB0	送信バッファ・レジスタ0	UART	490
TXB1	送信バッファ・レジスタ1	UART	490
TXB2	送信バッファ・レジスタ2	UART	490
VSWC	システム・ウエイト・コントロール・レジスタ	CPU	89
WDCS	ウォッチドッグ・タイマ・クロック選択レジスタ	WDT	430
WDT1IC	割り込み制御レジスタ	INTC	697
WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	436
WDTM1	ウォッチドッグ・タイマ・モード・レジスタ1	WDT	431, 704
WDTM2	ウォッチドッグ・タイマ・モード・レジスタ2	WDT	435
WTIC	割り込み制御レジスタ	INTC	697
WTIIC	割り込み制御レジスタ	INTC	697
WTM	時計タイマ動作モード・レジスタ	WT	423

★

付録D　改版履歴

D. 1　本版で改訂された主な箇所

(1/3)

箇　所	内　　容
全般	発振周波数を変更
p.28	1. 4　オーダ情報　変更
p.47, 48	2. 3　端子の入出力回路タイプと未使用時の処理　変更
p.50	2. 4　端子の入出力回路　変更
p.54	表3ー2　システム・レジスタ番号　変更
p.89	3. 4. 8（1）（a）システム・ウエイト・コントロール・レジスタ（VSWC）　変更
p.89-91	3. 4. 8（1）（b）特定の内蔵周辺I/Oレジスタへのアクセスについて　変更
p.92	3. 4. 8（2）sld命令と割り込み競合に関する制限事項　変更
p.95	表4ー3　Pnレジスタへの書き込み／読み出しについて　変更
p.198	図6ー1　クロック発生回路　変更
p.215	7. 4（5）TMP0I/O制御レジスタ2（TP0IOC2）　注意追加
p.217	7. 4（7）TMP0キャプチャ／コンペア・レジスタ0（TP0CCR0）　注意変更
p.219	7. 4（8）TMP0キャプチャ／コンペア・レジスタ1（TP0CCR1）　注意変更
p.221	7. 4（9）TMP0カウンタ・リード・バッファ・レジスタ（TP0CNT）　注意変更
p.224	図7ー4　インターバル・タイマ・モード動作時のレジスタ設定内容　変更
p.233	図7ー10　外部イベント・カウント・モードの基本タイミング　変更
p.237	7. 5. 2（2）外部イベント・カウント・モード動作のタイミング　注意追加
p.242	図7ー17　外部トリガ・パルス出力モードの基本タイミング　変更
p.242	7. 5. 3　外部トリガ・パルス出力モード　説明追加
p.249	7. 5. 3（2）（b）PWM波形の0%／100%出力の図　変更
p.257	図7ー23　ワンショット・パルス出力モード使用時のソフトウエア処理フロー　変更
p.267	7. 5. 5（b）PWM波形の0%／100%出力の図　変更
p.287	7. 5. 7　パルス幅測定モード　変更
p.296-p.373	第8章　16ビット・タイマ／イベント・カウンタ0　表現変更
p.394	10. 2（1）8ビット・タイマHコンペア・レジスタn0（CMPn0）　変更
p.395	10. 2（2）8ビット・タイマHコンペア・レジスタn1（CMPn1）　変更
p.402	図10ー3　インターバル・タイマ／方形波出力動作のタイミング　注追加
p.410	図10ー6　転送タイミング　変更
p.411	10. 4. 3（2）設定方法　変更
p.418	11. 1. 3（1）インターバル・タイマBRGモード・レジスタ（PRSM）　変更
p.420	11. 1. 4（1）インターバル・タイマBRGの動作　変更
p.431	12. 1. 3（2）ウォッチドッグ・タイマ・モード・レジスタ1（WDTM1）　注意変更
p.435	12. 2. 3（1）ウォッチドッグ・タイマ・モード・レジスタ2（WDTM2）　注意変更／追加
p.436	12. 2. 3（2）ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）　注意追加
p.440	13. 2（1）リアルタイム出力バッファ・レジスタ0（RTBL0, RTBH0）　注意変更
p.447	14. 1　概　要　注意追加

（2/3）

箇　所	内　　容
p.451	14. 4（1）A/Dコンバータ・モード・レジスタ（ADM）　注意変更
p.454	14. 4（2）アナログ入力チャネル指定レジスタ（ADS）　注意追加
p.455	14. 4（3）A/D変換結果レジスタ，A/D変換結果レジスタH（ADCR, ADCRH）　注意変更
p.457	14. 4（4）パワー・フェイル比較モード・レジスタ（PFM）　注意追加
p.457	14. 4（5）パワー・フェイル比較しきい値レジスタ（PFT）　注意追加
p.459	14. 5. 2　トリガ・モード　変更
p.460	14. 5. 3（1）セレクト・モード　変更
p.461	14. 5. 3（2）スキャン・モード　変更
p.466	図14－7　スタンバイ・モード時の消費電力を低減させる方法例　変更
p.471	14. 6（12）A/D変換結果のばらつきについて　追加
p.471	14. 6（13）A/D変換のヒステリシス特性について　追加
p.471	14. 6（14）通常モード時のA/D変換動作について　追加
p.487	16. 4（2）アシンクロナス・シリアル・インタフェース・ステータス・レジスタn（ASISn）　注意変更
p.491, 492	16. 4（6）LIN動作制御レジスタ0（ASICI0）　注意追加
p.510	16. 6. 8（2）SBF送信　変更
p.510	図16－15　SBF送信　変更
p.512	図16－17　ボー・レート・ジェネレータn（BRGn）の構成　注変更
p.513	16. 7. 2（1）クロック選択レジスタn（CKSRn）　注変更
p.558	18. 3（7）CSIAnバッファRAM（CSIAnBm）　注意変更
p.583	図19－1　I^2C0のブロック図　変更
p.587, 589, 590	19. 3（1）IICコントロール・レジスタ0（IICC0）　変更
p.591, 592	19. 3（2）IIC状態レジスタ0（IICS0）　変更
p.595	19. 3（3）IICフラグ・レジスタ0（IICF0）　変更
p.596	19. 3（4）IICクロック選択レジスタ0（IICCL0）　変更
p.597	19. 3（5）IIC機能拡張レジスタ0（IICX0）　変更
p.598	19. 3（7）IICシフト・レジスタ0（IIC0）　変更
p.599	19. 3（8）スレーブ・アドレス・レジスタ0（SVA0）　変更
p.604	19. 5. 4　アクノリッジ（$\overline{ACK}$）　変更
p.608	19. 5. 7　ウエイト解除方法　追加
p.609-630	19. 6　I^2C割り込み要求信号（INTIIC0）　変更
p.633	19. 10　拡張コード　変更
p.636	19. 13. 1　通信予約機能許可の場合（IICF0.IICRSV0ビット = 0）　変更
p.636	表19－6　ウエイト時間　変更
p.639	表19－7　ウエイト時間　変更
p.640	19. 14　注意事項　追加
p.641-645	19. 15　通信動作　変更
p.648, 649	図19－18，図19－19　スレーブ動作手順　変更
p.651-653	図19－20　マスタ→スレーブ通信例　変更
p.654-656	図19－21　スレーブ→マスタ通信例　変更
p.659	20. 3（1）DMAソース・アドレス・レジスタ0-3（DSA0-DSA3）　変更
p.660	20. 3（2）DMAデスティネーション・アドレス・レジスタ0-3（DDA0-DDA3）　変更
p.661	20. 3（3）DMA転送カウント・レジスタ0-3（DBC0-DBC3）　変更
p.662	20. 3（4）DMA転送カウント・レジスタ0-3（DBC0-DBC3）　変更

（3/3）

箇　所	内　　容
p.665	20. 3（6）DMAトリガ要因レジスタ0-3（DTFR0-DTFR3）　注意変更
p.668	20. 7　DMA転送チャネルの優先順位　注意追加
p.676	20. 13（2）内蔵RAMを転送対象とするDMA転送時の注意
p.721	21. 9　CPUが割り込みを受け付けられない期間　変更
p.735	表23－5　IDLEモード時の動作状態　変更
p.738, 739	表23－7　STOPモード時の動作状態　変更
p.741	表23－8　サブクロック動作モード時の動作状態　変更
p.742	23. 7. 1　設定および動作状態　注意追加
p.744	表23－10　サブIDLEモード時の動作状態　変更
p.765	25. 4. 1　設定および動作状態　変更
p.766	25. 4. 2　内蔵発振クロック動作モードの解除　変更
p.769	表25－2　内蔵発振HALTモード時の動作状態　変更
p.777	28. 1　概　要　注意追加
p.788	表31－2　基本機能一覧　変更
p.788	表31－3　セキュリティ機能一覧　変更
p.789	表31－4　セキュリティ設定　追加
p.790	31. 3（1）PG-FP4でのセキュリティ設定（Security flag settings）　追加
p.795, 796	図31－6　V850ES/KG1+フラッシュ書き込みアダプタ（FA-100GC-8EU-A）の配線例　変更
p.797, 798	図31－7　V850ES/KG1+フラッシュ書き込みアダプタ（FA-100GF-8BA-A）の配線例　変更
p.801	表31－7　フラッシュ・メモリ制御用コマンド　変更
p.807	31. 5. 2（2）割り込み対応　変更
p.808	図31－18　標準セルフ・プログラミング・フロー　変更
p.810	31. 5. 6　使用する内部資源　変更
p.811-813	第32章　オンチップ・ディバグ機能　追加
p.814-865	第33章　電気的特性　変更
p.868, 869	第35章　半田付け推奨条件　追加
p.872	図A－1　開発ツール構成　変更
p.874	A. 4　ディバグ用ツール（ハードウエア）　変更
p.898	付録D　改版履歴　追加

〔メ　モ〕

【発　行】
NECエレクトロニクス株式会社
〒211-8668　神奈川県川崎市中原区下沼部1753
電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。
URL（アドレス）　http://www.necel.co.jp/

【営業関係，技術関係お問い合わせ先】

半導体ホットライン
（電話：午前 9:00〜12:00，午後 1:00〜5:00）
電　話　：044−435−9494
E-mail　：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。

C04.2T