User's Manual

32

V850E/ME2

ユーザーズマニュアル　ハードウェア編

ルネサスマイクロコンピュータ
V850E/ME2 **マイクロコントローラ**

μPD703111B

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.8.00　2011.05

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域にとどまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時，MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

このマニュアルの使い方

対 象 者　このマニュアルは，V850E/ME2（μPD703111B）の機能を理解し，それを用いた応用システムを設計するユーザを対象とします。

目　　的　このマニュアルは，次の構成に示すV850E/ME2のハードウエア機能をユーザに理解していただくことを目的としています。

構　　成　V850E/ME2のユーザーズ・マニュアルは，ハードウエア編（このマニュアル）と，アーキテクチャ編（V850E1　ユーザーズ・マニュアル　アーキテクチャ編）の2冊に分かれています。

ハードウエア編	アーキテクチャ編
・端子機能	・データ・タイプ
・CPU機能	・レジスタ・セット
・内蔵周辺機能	・命令形式と命令セット
・電気的特性	・割り込みと例外
	・パイプラインの動作

読 み 方　このマニュアルの読者には，電気，論理回路，およびマイクロコントローラに関する一般知識を必要とします。

一通りV850E/ME2の機能を理解しようとするとき
　→目次に従ってお読みください。

レジスタ名が分かっていて，レジスタの詳細を確認するとき
　→付録A　レジスタ索引を利用してください。

機能名などが分かっていて，その詳細を確認するとき
　→付録C　総合索引を利用してください。

レジスタ・フォーマットの見方
　→ビット番号を○で囲んでいるビットは，そのビット名称がデバイス・ファイルで予約語として定義されています。

命令機能の詳細を理解しようとするとき
　→別冊のV850E1　ユーザーズ・マニュアル　アーキテクチャ編を参照してください。

V850E/ME2の電気的特性を知りたいとき
　→第17章　電気的特性を参照してください。

本文欄外の★印は，本版で改訂された主な箇所を示しています。
この“★”をPDF上でコピーして「検索する文字列」に指定することによって，改版箇所を容易に検索できます。

凡　例

データ表記の重み：左が上位桁，右が下位桁

アクティブ・ロウの表記：$\overline{\text{xxx}}$（端子，信号名称に上線）

メモリ・マップのアドレス：上部－上位，下部－下位

注　：本文中に付けた注の説明

注意：気を付けて読んでいただきたい内容

備考：本文の補足説明

数の表記：2進数 … xxxxまたはxxxxB

10進数 … xxxx

16進数 … xxxxH

2のべき数を示す接頭語（アドレス空間，メモリ容量）：

K（キロ）… $2^{10} = 1024$

M（メガ）… $2^{20} = 1024^2$

G（ギガ）… $2^{30} = 1024^3$

データ・タイプ：ワード … 32ビット

ハーフワード … 16ビット

バイト … 8ビット

関連資料　関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850E/ME2**に関する資料**

資　料　名	資料番号
V850E1　**ユーザーズ・マニュアル　アーキテクチャ編**	U14559J
V850E/ME2　**ユーザーズ・マニュアル　ハードウエア編**	**このマニュアル**
V850E/ME2　**アプリケーション・ノート　ハードウエア編**	U16794J
V850E/ME2　**アプリケーション・ノート**　USB**ファンクション・ドライバ編**	U17069J
V850E/MA1, V850E/MA2, V850E/MA3, V850E/ME2　**アプリケーション・ノート** PCI**ホスト・ブリッジ・マクロ編**	U17121J
V850E/ME2, V850E2/ME3　**アプリケーション・ノート　ハードウエア編**	U16794J

開発ツールに関する資料（ユーザーズ・マニュアル）

資　料　名		資料番号
CA850　Ver.3.20　C**コンパイラ・パッケージ**	**操作編**	U18512J
	C**言語編**	U18513J
	アセンブリー言語編	U18514J
	リンク・ディレクティブ編	U18515J
PM+ Ver.6.30		U18416J
ID850　Ver.3.00　**統合デバッガ**		U17358J
ID850NW　Ver.3.00, 3.10　**統合デバッガ**		U17369J
RX850　Ver.3.20　**リアルタイム**OS	**基礎編**	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro　Ver.3.21　**リアルタイム**OS	**基礎編**	U18165J
	内部構造編	U18164J
	タスク・デバッガ編	U17422J
RX-NET　TCP/IP**ライブラリ**		U15083J
TW850　Ver.2.00　**性能解析チューニング・ツール**		U17241J

目　　次

第1章　イントロダクション　…　18

1. 1　概　　説　…　18
1. 2　特　　徴　…　19
1. 3　応用分野　…　21
1. 4　オーダ情報　…　21
1. 5　端子接続図　…　22
1. 6　機能ブロック構成　…　25
　1. 6. 1　内部ブロック図　…　25
　1. 6. 2　内部ユニット　…　26

第2章　端子機能　…　29

2. 1　端子機能一覧　…　29
2. 2　端子状態　…　39
2. 3　端子機能の説明　…　41
2. 4　端子の入出力回路タイプと未使用時の処理　…　57
2. 5　端子の入出力回路　…　62

第3章　CPU機能　…　63

3. 1　特　　徴　…　63
3. 2　CPUレジスタ・セット　…　64
　3. 2. 1　プログラム・レジスタ・セット　…　65
　3. 2. 2　システム・レジスタ・セット　…　66
3. 3　動作モード　…　72
　3. 3. 1　動作モード　…　72
　3. 3. 2　動作モード指定　…　72
3. 4　アドレス空間　…　73
　3. 4. 1　CPUアドレス空間　…　73
　3. 4. 2　イメージ　…　74
　3. 4. 3　CPUアドレス空間のラップ・アラウンド　…　75
　3. 4. 4　メモリ・マップ　…　76
　3. 4. 5　領　　域　…　77
　3. 4. 6　アドレス空間の推奨使用方法　…　81

3. 4. 7　内蔵周辺I/Oレジスタ　…　83
3. 4. 8　特定レジスタ　…　108
3. 4. 9　システム・ウエイト・コントロール・レジスタ（VSWC）　…　108
3. 4. 10　初期化シーケンス　…　109
3. 4. 11　sld命令と割り込み競合に関する制限事項　…　112
3. 5　注意事項　…　113

第4章　バス制御機能　…　114

4. 1　特　　徴　…　114
4. 2　バス制御端子　…　114
4. 2. 1　内蔵命令RAM，内蔵データRAM，内蔵周辺I/Oアクセス時の端子状態　…　115
4. 3　メモリ・ブロック機能　…　116
4. 3. 1　チップ・セレクト制御機能　…　117
4. 4　バス・サイクル・タイプ制御機能　…　120
4. 5　バス・アクセス　…　121
4. 5. 1　アクセス・クロック数　…　121
4. 5. 2　バス・サイジング機能　…　122
4. 5. 3　エンディアン制御機能　…　123
4. 5. 4　ルネサスエレクトロニクス製開発ツールにおけるビッグ・エンディアン形式の使用制限　…　124
4. 5. 5　バ ス 幅　…　126
4. 5. 6　データ・リード制御機能　…　147
4. 6　バス・クロック制御機能　…　152
4. 7　ウエイト機能　…　154
4. 7. 1　プログラマブル・ウエイト機能　…　154
4. 7. 2　外部ウエイト機能　…　159
4. 7. 3　プログラマブル・ウエイトと外部ウエイトの関係　…　159
4. 7. 4　ウエイト機能が有効なバス・サイクル　…　160
4. 8　アイドル・ステート挿入機能　…　161
4. 9　命令キャッシュ機能　…　163
4. 9. 1　キャッシュ・コンフィギュレーション・レジスタ（BHC）　…　164
4. 9. 2　8 Kバイト2ウエイ・セット・アソシアティブ・キャッシュ　…　166
4. 9. 3　LRUアルゴリズム　…　166
4. 9. 4　命令キャッシュ・コントロール機能　…　167
4. 9. 5　タグ・クリア機能　…　170
4. 9. 6　オートフィル機能（ウエイ0のみ）　…　171
4. 9. 7　注意事項　…　171
4. 10　内蔵命令RAM制御機能　…　172
4. 10. 1　内蔵命令RAMモード・レジスタ（IRAMM）　…　172
4. 10. 2　動　　作　…　173

4. 10. 3　注意事項　…　174
4. 11　バス・ホールド機能　…　175
4. 11. 1　機能概要　…　175
4. 11. 2　バス・ホールド手順　…　176
4. 11. 3　パワー・セーブ・モード時の動作　…　176
4. 11. 4　バス・ホールド・タイミング　…　177
4. 11. 5　バス・ホールド・タイミング（SRAM）　…　178
4. 11. 6　バス・ホールド・タイミング（SDRAM）　…　181
4. 12　バスの優先順位　…　185
4. 13　境界動作条件　…　185
4. 13. 1　プログラム空間　…　185
4. 13. 2　データ空間　…　185
4. 14　T0ステートが挿入されないタイミング　…　186
4. 15　注意事項　…　187

第5章　メモリ・アクセス制御機能　…　190

5. 1　SRAM，外部ROM，外部I/Oインタフェース　…　190
5. 1. 1　特　　徴　…　190
5. 1. 2　SRAMの接続　…　191
5. 1. 3　SRAM，外部ROM，外部I/Oアクセス　…　192
5. 2　ページROMコントローラ（ROMC）　…　202
5. 2. 1　特　　徴　…　202
5. 2. 2　ページROMの接続　…　203
5. 2. 3　オンページ／オフページの判断　…　204
5. 2. 4　ページROMコンフィギュレーション・レジスタ（PRC）　…　205
5. 2. 5　ページROMアクセス　…　206
5. 3　SDRAMコントローラ（SDRAMC）　…　212
5. 3. 1　特　　徴　…　212
5. 3. 2　SDRAMの接続　…　212
5. 3. 3　アドレス・マルチプレクス機能　…　213
5. 3. 4　SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6（SCR1, SCR3, SCR4, SCR6）　…　219
5. 3. 5　SDRAMアクセス　…　222
5. 3. 6　リフレッシュ制御機能　…　246
5. 3. 7　セルフ・リフレッシュ制御機能　…　251
5. 3. 8　SDRAM初期化シーケンス　…　253
5. 4　注意事項　…　255

第6章　DMA機能（DMAコントローラ）　…　256

6. 1　特　　徴　…　256

6. 2　構　　成　…　257

6. 3　制御レジスタ　…　258

6. 3. 1　DMAソース・アドレス・レジスタ0-3（DSA0-DSA3）　…　258

6. 3. 2　DMAデスティネーション・アドレス・レジスタ0-3（DDA0-DDA3）　…　260

6. 3. 3　DMA転送カウント・レジスタ0-3（DBC0-DBC3）　…　262

6. 3. 4　DMAアドレシング・コントロール・レジスタ0-3（DADC0-DADC3）　…　263

6. 3. 5　DMAチャネル・コントロール・レジスタ0-3（DCHC0-DCHC3）　…　266

6. 3. 6　DMAターミナル・カウント出力コントロール・レジスタ（DTOC）　…　270

6. 3. 7　DMAトリガ要因レジスタ0-3（DTFR0-DTFR3）　…　271

6. 3. 8　DMAインタフェース・コントロール・レジスタ（DIFC）　…　276

6. 4　転送モード　…　277

6. 4. 1　シングル転送モード　…　277

6. 4. 2　シングルステップ転送モード　…　279

6. 4. 3　ブロック転送モード　…　280

6. 5　転送タイプ　…　281

6. 5. 1　2サイクル転送　…　281

6. 5. 2　フライバイ転送　…　292

6. 6　転送対象　…　304

6. 6. 1　転送の種類と転送対象　…　304

6. 6. 2　DMA転送時の外部バス・サイクル　…　307

6. 7　DMAチャネルの優先順位　…　307

6. 8　ネクスト・アドレス設定機能　…　308

6. 9　DMA転送起動要因　…　310

6. 10　DMA転送完了時のターミナル・カウント出力　…　312

6. 11　強制中断　…　313

6. 12　強制終了　…　314

6. 13　DMA転送に関する各種時間　…　315

6. 14　DMA要求に対する応答時間の最大値　…　316

6. 15　注意事項　…　317

6. 15. 1　中断要因　…　320

6. 16　DMA転送の終了　…　320

第7章　割り込み／例外処理機能　…　321

7.1　特　　徴　…　321

7.2　ノンマスカブル割り込み　…　325

7.2.1　動　　作　…　326

7.2.2　復　　帰　…　328

7.2.3　ノンマスカブル割り込みステータス・フラグ（NP）　…　329

7.2.4　エッジ検出機能　…　329

7.3　マスカブル割り込み　…　330

7.3.1　動　　作　…　330

7.3.2　復　　帰　…　332

7.3.3　マスカブル割り込みの優先順位　…　333

7.3.4　割り込み制御レジスタ（xxICn）　…　337

7.3.5　割り込みマスク・レジスタ0-5（IMR0-IMR5）　…　340

7.3.6　NMIリセット・ステータス・レジスタ（NRS）　…　342

7.3.7　インサービス・プライオリティ・レジスタ（ISPR）　…　343

7.3.8　マスカブル割り込みステータス・フラグ（ID）　…　343

7.3.9　割り込みトリガ・モードの選択　…　344

7.4　ソフトウエア例外　…　359

7.4.1　動　　作　…　359

7.4.2　復　　帰　…　360

7.4.3　例外ステータス・フラグ（EP）　…　361

7.5　例外トラップ　…　362

7.5.1　不正命令コード　…　362

7.5.2　デバッグ・トラップ　…　364

7.6　多重割り込み処理制御　…　366

7.7　割り込み応答時間　…　368

7.8　CPUが割り込みを受け付けない期間　…　369

7.9　注意事項　…　369

第8章　クロック発生機能　…　370

8.1　特　　徴　…　370

8.2　構　　成　…　371

8.3　制御レジスタ　…　371

8.3.1　クロック・コントロール・レジスタ（CKC）　…　371

8.3.2　クロック・ソース選択レジスタ（CKS）　…　376

8.3.3　SSCGコントロール・レジスタ（SSCGC）　…　378

8.3.4　USBクロック・コントロール・レジスタ（UCKC）　…　380

8.3.5　ロック・レジスタ（LOCKR）　…　381

8. 3. 6　発振安定時間選択レジスタ（OSTS）　…　382
8. 4　動　　作　…　383
8. 4. 1　各クロックの動作状態　…　383
8. 4. 2　入力クロック（Fx）の設定一覧　…　383
8. 5　動作クロックの規定　…　384
8. 5. 1　BUSCLK周波数の算出　…　385
8. 5. 2　各内蔵周辺機能の動作クロック周波数の算出　…　385
8. 6　パワー・セーブ制御　…　388
8. 6. 1　概　　要　…　388
8. 6. 2　制御レジスタ　…　390
8. 6. 3　HALTモード　…　393
8. 6. 4　IDLEモード　…　397
8. 6. 5　ソフトウエアSTOPモード　…　401
8. 7　発振安定時間の確保　…　407
8. 7. 1　発振安定時間の確保指定　…　407
8. 7. 2　タイム・ベース・カウンタ（TBC）　…　407
8. 8　注意事項　…　408

第9章　タイマ／カウンタ機能　…　409

9. 1　タイマC　…　409
9. 1. 1　特　　徴　…　409
9. 1. 2　機能概要　…　409
9. 1. 3　基本構成　…　410
9. 1. 4　タイマC　…　412
9. 1. 5　制御レジスタ　…　416
9. 1. 6　動　　作　…　424
9. 1. 7　使用例　…　431
9. 1. 8　注意事項　…　438
9. 2　タイマD　…　440
9. 2. 1　特　　徴　…　440
9. 2. 2　機能概要　…　440
9. 2. 3　基本構成　…　440
9. 2. 4　タイマD　…　441
9. 2. 5　制御レジスタ　…　444
9. 2. 6　動　　作　…　446
9. 2. 7　使用例　…　448
9. 2. 8　注意事項　…　449
9. 3　16ビット2相エンコーダ入力用アップ/ダウン・カウンタ／汎用タイマ（タイマENC1）
…　450

9. 3. 1　機　　能　…　450
9. 3. 2　特　　徴　…　450
9. 3. 3　基本構成　…　451
9. 3. 4　タイマENC1　…　453
9. 3. 5　制御レジスタ　…　455
9. 3. 6　動　　作　…　470
9. 3. 7　内部動作補足説明　…　480
9. 3. 8　注意事項　…　484

第10章　シリアル・インタフェース機能　…　485

10. 1　特　　徴　…　485
10. 1. 1　UART0とCSI30のモード切り替え　…　485
10. 2　アシンクロナス・シリアル・インタフェースB0, B1（UART0, UART1）　…　486
10. 2. 1　特　　徴　…　486
10. 2. 2　構　　成　…　487
10. 2. 3　制御レジスタ　…　491
10. 2. 4　割り込み要求　…　508
10. 2. 5　制御方法　…　511
10. 2. 6　動　　作　…　514
10. 2. 7　専用ボー・レート・ジェネレータ0, 1（BRG0, BRG1）　…　525
10. 2. 8　制御フロー　…　531
10. 2. 9　注意事項　…　542
10. 3　クロック同期式シリアル・インタフェース30, 31（CSI30, CSI31）　…　544
10. 3. 1　特　　徴　…　544
10. 3. 2　構　　成　…　545
10. 3. 3　制御レジスタ　…　547
10. 3. 4　専用ボー・レート・ジェネレータ0, 1（BRG0, BRG1）　…　559
10. 3. 5　動　　作　…　561
10. 3. 6　使用方法　…　582
10. 3. 7　注意事項　…　589

第11章　USBファンクション・コントローラ（USBF）　…　590

11. 1　概　　要　…　590
11. 2　構　　成　…　591
11. 3　リクエスト　…　592
11. 3. 1　自動リクエスト　…　592
11. 3. 2　その他のリクエスト　…　600
11. 4　レジスタ構成　…　601

11. 4. 1　制御レジスタ　…　601
11. 4. 2　データ保持レジスタ　…　661
11. 4. 3　リクエスト・データ・レジスタ　…　686
11. 4. 4　周辺制御レジスタ　…　702
11. 5　STALLハンドシェークまたはノー・ハンドシェーク　…　706
11. 6　特定状態でのレジスタ値　…　707
11. 7　FW処理　…　709
11. 7. 1　初期化処理　…　711
11. 7. 2　割り込み処理　…　714
11. 7. 3　USBメイン処理　…　715
11. 7. 4　Suspend/Resume処理　…　743
11. 7. 5　電源投入後の処理　…　746
11. 7. 6　DMAモードによるバルク転送（OUT）のデータ受信方法　…　749
11. 7. 7　DMAモードによるバルク転送（IN）のデータ送信方法　…　753
11. 7. 8　USB接続例　…　758

第12章　A/Dコンバータ　…　759

12. 1　特　　徴　…　759
12. 2　構　　成　…　760
12. 3　制御レジスタ　…　762
12. 4　動　　作　…　769
12. 4. 1　基本動作　…　769
12. 4. 2　動作モードとトリガ・モード　…　769
12. 5　A/Dトリガ・モード時の動作　…　775
12. 5. 1　セレクト・モードの動作　…　775
12. 5. 2　スキャン・モードの動作　…　777
12. 6　タイマ・トリガ・モード時の動作　…　778
12. 6. 1　セレクト・モードの動作　…　778
12. 6. 2　スキャン・モードの動作　…　781
12. 7　外部トリガ・モード時の動作　…　782
12. 7. 1　セレクト・モードの動作　…　782
12. 7. 2　スキャン・モードの動作　…　785
12. 8　注意事項　…　786
12. 9　A/Dコンバータ特性表の読み方　…　789

第13章　PWMユニット　…　794

13. 1　特　　徴　…　794
13. 2　構　　成　…　794
13. 3　制御レジスタ　…　796
13. 4　動　　作　…　799
13. 4. 1　PWM基本動作　…　799
13. 4. 2　PWM動作の開始／停止　…　802
13. 4. 3　PWMパルスのアクティブ・レベルの設定　…　804
13. 4. 4　PWMパルス幅書き換え周期の指定　…　805
13. 4. 5　繰り返し周期　…　806

第14章　ポート機能　…　807

14. 1　特　　徴　…　807
14. 2　ポートの基本構成　…　807
14. 3　各ポートの端子機能　…　837
14. 3. 1　ポート1　…　837
14. 3. 2　ポート2　…　842
14. 3. 3　ポート5　…　847
14. 3. 4　ポート6　…　853
14. 3. 5　ポート7　…　858
14. 3. 6　ポートAL　…　863
14. 3. 7　ポートAH　…　868
14. 3. 8　ポートDH　…　870
14. 3. 9　ポートCS　…　880
14. 3. 10　ポートCT　…　885
14. 3. 11　ポートCM　…　889
14. 3. 12　ポートCD　…　891
14. 4　$\overline{\text{RESET}}$, A2-A15, D0-D15端子の構成　…　893
14. 5　ポート機能の動作　…　895
14. 5. 1　入出力ポートへの書き込み　…　895
14. 5. 2　入出力ポートからの読み出し　…　895
14. 5. 3　コントロール・モード時の兼用機能の出力状態　…　895
14. 6　ノイズ除去回路　…　896
14. 6. 1　割り込み入力端子　…　896
14. 6. 2　A/Dコンバータ入力端子　…　897
14. 6. 3　タイマC，タイマENC1入力端子　…　897
14. 7　注意事項　…　901
14. 7. 1　ポート端子設定上の注意事項　…　901

14. 7. 2　ポートnレジスタ（Pn）に対するビット操作命令に関する注意事項　…　902

第15章　リセット機能　…　903

15. 1　概　　要　…　903
15. 2　構　　成　…　903
15. 3　動　　作　…　904
15. 4　イニシャライズ　…　909

第16章　デバッグ機能（DCU）　…　915

16. 1　機能概要　…　915
16. 1. 1　デバッグ機能　…　915
16. 1. 2　トレース機能　…　916
16. 1. 3　イベント機能　…　917
16. 2　オンチップ・デバッグ・エミュレータとの接続　…　918
16. 2. 1　エミュレータ接続コネクタ　…　919
16. 2. 2　推奨回路例　…　920

第17章　電気的特性　…　921

第18章　外 形 図　…　967

第19章　半田付け推奨条件　…　968

付録A　レジスタ索引　…　969

付録B　命令セット一覧　…　981

B. 1　凡　　例　…　981
B. 2　インストラクション・セット（アルファベット順）　…　984

付録C　総合索引　…　990

C. 1　50音で始まる語句の索引　…　990
C. 2　数字，アルファベットで始まる語句の索引　…　997

付録D　改版履歴　…　1006

D. 1　**本版で改訂された主な箇所**　…　1006

D. 2　**前版までの改版履歴**　…　1007

第1章　イントロダクション

V850E/ME2は，ルネサス エレクトロニクスのシングルチップ・マイクロコントローラ「V850マイコン」の1製品です。この章では，V850E/ME2の概要を簡単に説明します。

1.1　概　　説

V850E/ME2は，システム・オン・チップ時代のシステムLSIの核となるASIC用32ビットRISC型CPUコア「V850E1 CPU」を搭載した32ビット・シングルチップ・マイクロコントローラです。キャッシュ，データRAM，命令RAM，および，各種メモリ・コントローラ，DMAコントローラ，タイマ／カウンタ，シリアル・インタフェース，USBファンクション・コントローラ（USBF），A/Dコンバータなどの周辺機能を内蔵し，大容量データ処理と高度なリアルタイム制御を実現します。

(1)　「V850E1 CPU」搭載

「V850E1 CPU」は，V850マイコン搭載のCPUコア「V850 CPU」に対し，外部バス・インタフェースの性能を強化し，C言語のswitch文処理，テーブル・ルックアップの分岐，スタック・フレームの生成／削除，データ変換など，主に高級言語に対応した命令などを追加することにより，制御系だけではなく，データ処理系にも対応したCPUコアです。

なお，命令コードは，V850 CPUに対して，オブジェクト・コード・レベルでの上位互換性を持たせているため，V850 CPU搭載システムのソフトウエア資産をそのまま使用できます。

(2)　外部メモリ・インタフェース機能

外部メモリ・インタフェースとして，セパレート構成のアドレス・バス（26ビット），データ・バス（32ビット）とSDRAM，ROM用インタフェースのほか，ページROMなどに直結できる各種メモリ・コントローラを内蔵しているので，システム性能を上げるとともにアプリケーション・システムの部品点数を削減できます。

また，DMAコントローラにより，外部メモリ間の転送と並行してCPU内部の演算やデータ転送を行えるため，画像データや音声データなどの大容量データ処理が可能となるうえ，内蔵のデータRAM，命令RAMを使用した高速な命令実行により，モータ制御，通信制御などのリアルタイム制御も同時に実現できます。

(3)　命令RAM内蔵

命令RAMは，1クロックでの高速アクセスが可能であり、リアルタイム性を必要とする，アプリケーション・プログラムの実行が可能です。

(4)　充実したミドルウエア，開発環境製品群

V850E/ME2はJPEG, JBIG, MH/MR/MMR, TCP/IPなどのミドルウエアを高速実行できます。また，音声認識，音声合成などの処理を実現するミドルウエアも用意されているので，これらのミドルウエアと組み合わせることにより，マルチメディア・システムを容易に実現できます。

また，最適化Cコンパイラ，デバッガ，インサーキット・エミュレータなどの統合された開発環境も用意しています。

1.2 特　　徴

○命令数　80

○最小命令実行時間　15 ns/10 ns/7.5 ns/6.7 ns（内部66 MHz/100 MHz /133 MHz/150 MHz動作時）

○汎用レジスタ　32ビット×32本

○命令セット　V850E1 CPU
符号付き乗算（16ビット×16ビット→32ビット，または32ビット×32ビット→64ビット）：1-2クロック
飽和演算命令（オーバフロー／アンダフロー検出機能付き）
32ビット・シフト命令：1クロック
ビット操作命令
ロング／ショート形式を持つロード／ストア命令
符号付きロード命令

○メモリ空間　256 Mバイト・リニア・アドレス空間（プログラム／データ共有）
チップ・セレクト出力機能：8空間
メモリ・ブロック分割機能：2 M, 4 M, 6 M, 8 M, 64 Mバイト／ブロック
プログラマブル・ウエイト機能
アイドル・ステート挿入機能

○外部バス・インタフェース
32ビット・データ・バス（アドレス／データ分離型バス）
32/16/8ビット・バス・サイジング機能
外部バス分周機能：1/1,1/2,1/3,1/4（66 MHz MAX.）
バス・ホールド機能
外部ウエイト機能
アドレス・セットアップ・ウエイト機能
エンディアン制御機能

○内蔵メモリ　命令RAM：128 KB
データRAM：16 KB

○命令キャッシュ　8 Kバイト2ウエイ・セット・アソシアティブ

○割り込み／例外　外部割り込み　：40本（NMI含む）
内部割り込み　：59要因
例外　：2要因
8レベルの優先順位指定可能

○メモリ・アクセス制御

DRAMコントローラ（SDRAMに対応）

ページROMコントローラ

先読み／ライト・バッファ機能

○DMAコントローラ

4チャネル構成

転送単位　：8ビット／16ビット／32ビット

最大転送回数：65,536（2^{16}）回

転送タイプ　：フライバイ（1サイクル）転送／2サイクル転送

転送モード　：シングル転送／シングルステップ転送／ブロック転送

転送対象　：メモリ←→メモリ，メモリ←→I/O

転送要求　：外部要求／内蔵周辺I/O／ソフトウエア

DMA転送終了（ターミナル・カウント）出力信号

ネクスト・アドレス設定機能

○I/Oライン　入力ポート　：1

入出力ポート：77

○タイマ／カウンタ機能

16ビット・タイマ／イベント・カウンタ：6ch（2chはキャプチャ動作なし）

16ビット・タイマ：6本

16ビット・キャプチャ／コンペア・レジスタ：12本

16ビット・インターバル・タイマ：4ch

16ビット2相エンコーダ入力用アップ/ダウン・カウンタ／汎用タイマ：2ch

16ビット・キャプチャ／コンペア・レジスタ：4本

16ビット・コンペア・レジスタ：4本

○シリアル・インタフェース

アシンクロナス・シリアル・インタフェースB（UARTB）

クロック同期式シリアル・インタフェース3（CSI3）

CSI3/UARTB　：1ch

UARTB　：1ch

CSI3　：1ch

USBファンクション・コントローラ（USBF）：1ch

フルスピード（12 Mbps）

エンドポイント　コントロール転送：64バイト×2本

インタラプト転送：8バイト×2本

バルク転送（IN）：64バイト×2バンク×2本

バルク転送（OUT）：64バイト×2バンク×2本

○A/Dコンバータ　10ビット分解能A/Dコンバータ：8ch

○PWM（Pulse Width Modulation）

16ビット分解能PWM：2ch

○クロック・ジェネレータ

SSCGによる8逓倍機能

○パワー・セーブ機能

HALT／IDLE／ソフトウエアSTOPモード

○パッケージ　176ピン・プラスチックLQFP（ファインピッチ）（24×24）

○CMOS構造　完全スタティック回路

1.3　応用分野

サーボ制御，NC工作機，インクジェット・プリンタ，ファクシミリ，DVDプレーヤ，ビデオ・プリンタ，PPC，情報家電など

1.4　オーダ情報

品　名	パッケージ	最高動作周波数
μPD703111BGM-06-UEU-A	176ピン・プラスチックLQFP（ファインピッチ）（24×24）	66 MHz
μPD703111BGM-10-UEU-A	〃	100 MHz
μPD703111BGM-13-UEU-A	〃	133 MHz
μPD703111BGM-15-UEU-A	〃	150 MHz

備考　V850E/ME2は，鉛フリー製品です。

1. 5　端子接続図

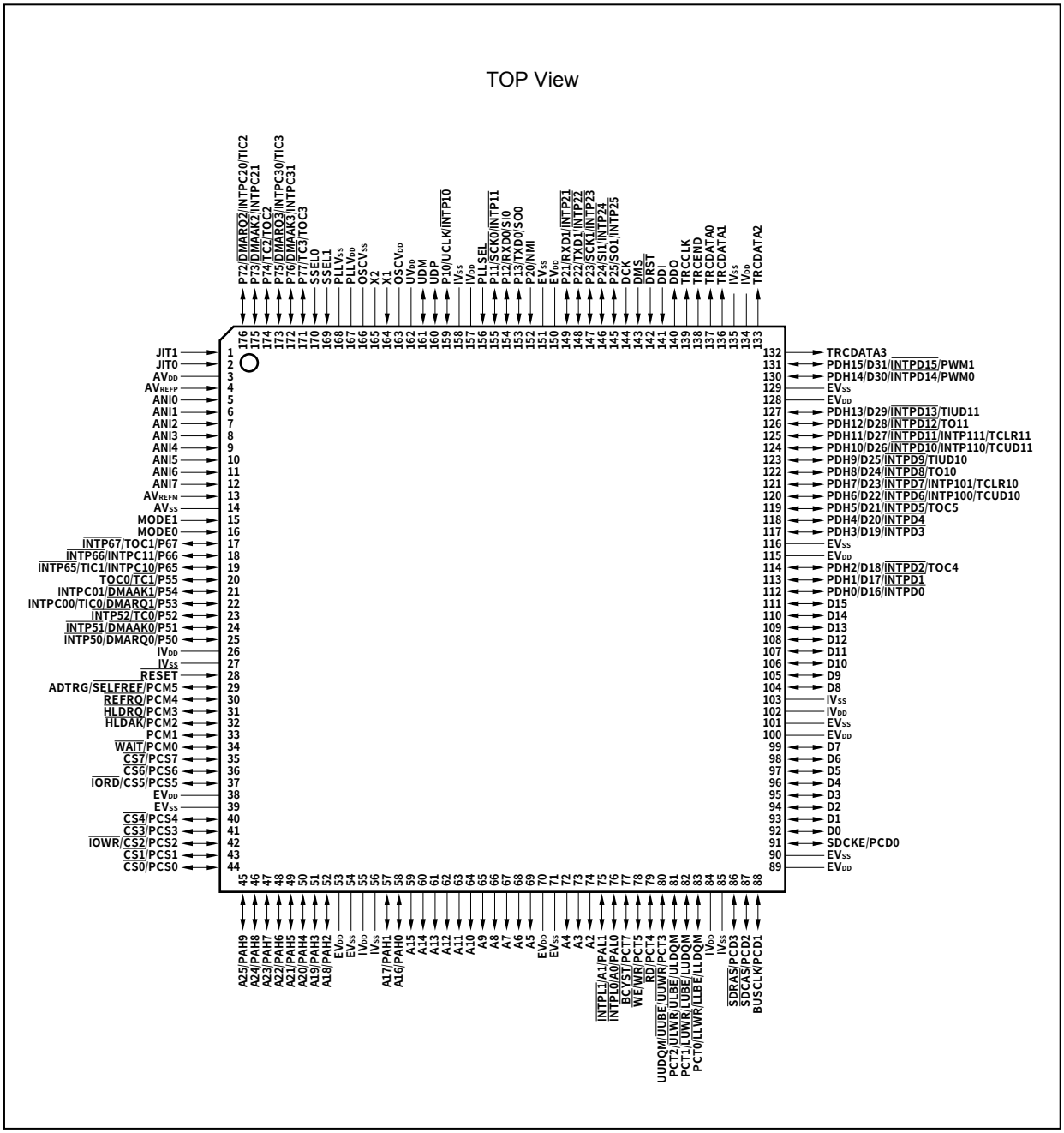
・176ピン・プラスチックLQFP（ファインピッチ）（24×24）

μPD703111BGM-06-UEU-A

μPD703111BGM-10-UEU-A

μPD703111BGM-13-UEU-A

μPD703111BGM-15-UEU-A



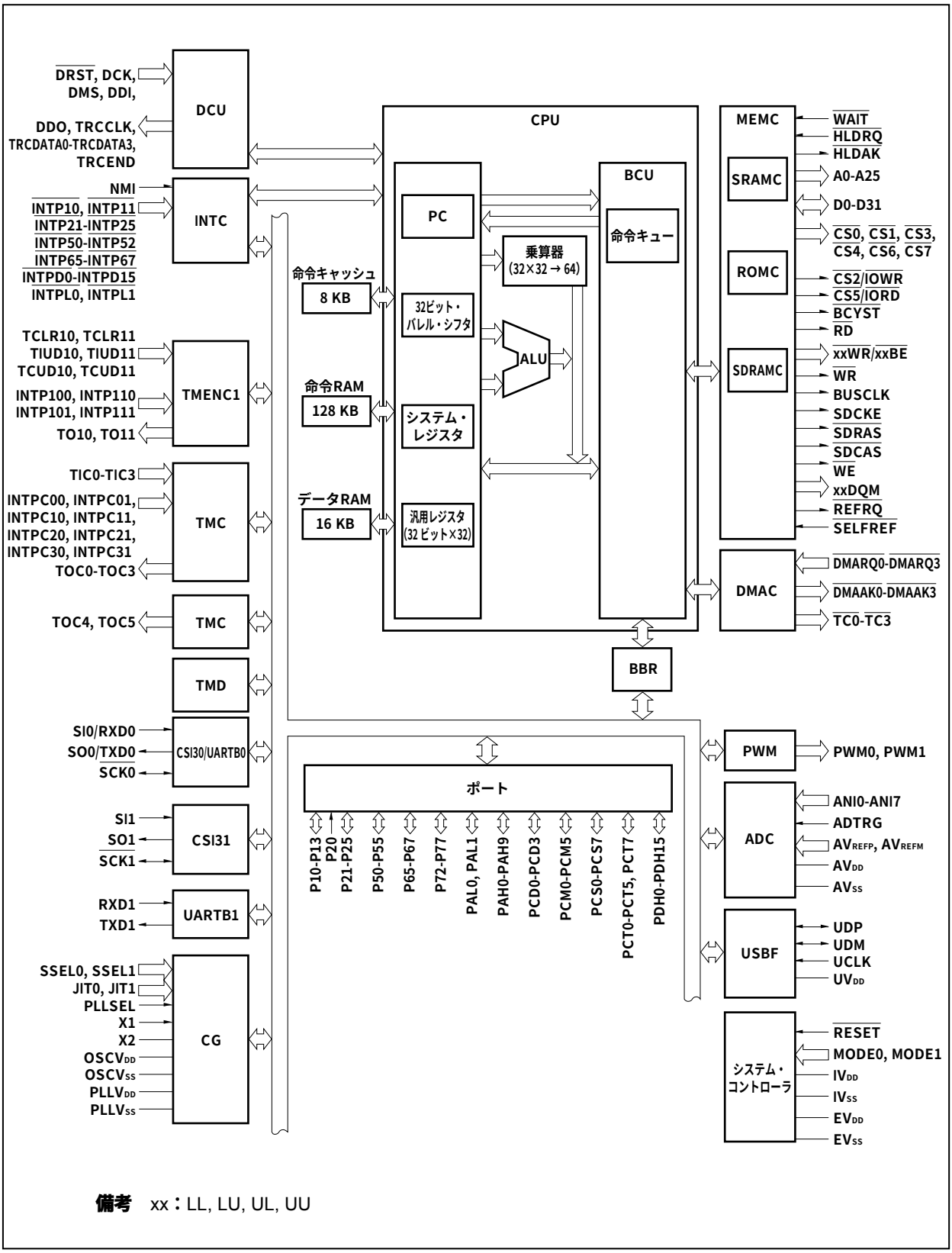
端子名称

A0-A25	：Address Bus
ADTRG	：A/D Trigger Input
ANI0-ANI7	：Analog Input
AV_{DD}	：Analog Power Supply
AV_{REFM}	：Analog Reference Voltage
AV_{REFP}	：Analog Reference Voltage
AV_{SS}	：Analog Ground
$\overline{BCYST}$	：Bus Cycle Start Timing
BUSCLK	：Bus Clock Output
$\overline{CS0}$-$\overline{CS7}$	：Chip Select
D0-D31	：Data Bus
DCK	：Debug Clock Input
DDI	：Debug Data Input
DDO	：Debug Data Output
$\overline{DRST}$	：Debug Reset
DMS	：Debug Mode Select
$\overline{DMAAK0}$-$\overline{DMAAK3}$	：DMA Acknowledge
$\overline{DMARQ0}$-$\overline{DMARQ3}$	：DMA Request
EV_{DD}	：Port Power Supply
EV_{SS}	：Port Ground
$\overline{HLDAK}$	：Hold Acknowledge
$\overline{HLDRQ}$	：Hold Request
$\overline{INTP10}$, $\overline{INTP11}$, $\overline{INTP21}$-$\overline{INTP25}$, $\overline{INTP50}$-$\overline{INTP52}$, $\overline{INTP65}$-$\overline{INTP67}$,	：External Interrupt Input
INTP100, INTP101, INTP110, INTP111	：Timer Capture Trigger Input
INTPC00, INTPC01, INTPC10, INTPC11, INTPC20, INTPC21, INTPC30, INTPC31, $\overline{INTPD0}$-$\overline{INTPD15}$, $\overline{INTPL0}$, $\overline{INTPL1}$	：External Interrupt Input
$\overline{IORD}$	：I/O Read Strobe
$\overline{IOWR}$	：I/O Write Strobe
IV_{DD}	：Internal Unit Power Supply
IV_{SS}	：Internal Unit Ground
JIT0, JIT1	：SSCG Jitter Select
$\overline{LLBE}$	：Lower Lower Byte Enable(D0-D7)
LLDQM	：Lower Lower DQ Mask Enable(D0-D7)
$\overline{LLWR}$	：Lower Lower Write Strobe(D0-D7)
$\overline{LUBE}$	：Lower Upper Byte Enable(D8-D15)
LUDQM	：Lower Upper DQ Mask Enable(D8-D15)
$\overline{LUWR}$	：Lower Upper Write Strobe(D8-D15)
MODE0, MODE1	：Mode
NMI	：Non-maskable Interrupt Request
$OSCV_{DD}$	：Clock Generator Power Supply
$OSCV_{SS}$	：Clock Generator Ground
P10-P13	：Port 1
P20-P25	：Port 2
P50-P55	：Port 5
P65-P67	：Port 6
P72-P77	：Port 7
PAH0-PAH9	：Port AH
PAL0, PAL1	：Port AL
PCD0-PCD3	：Port CD
PCM0-PCM5	：Port CM
PCS0-PCS7	：Port CS
PCT0-PCT5, PCT7	：Port CT
PDH0-PDH15	：Port DH
PLLSEL	：PLL Operating Mode Select
$PLLV_{DD}$	：PLL Power Supply
$PLLV_{SS}$	：PLL Ground
PWM0, PWM1	：Pulse Width Modulation
$\overline{RD}$	：Read Strobe
$\overline{REFRQ}$	：Refresh Reqest
$\overline{RESET}$	：Reset
RXD0, RXD1	：Receive Data
$\overline{SCK0}$, $\overline{SCK1}$	：Serial Clock
$\overline{SDCAS}$	：SDRAM Column Adress Strobe
SDCKE	：SDRAM Clock Enable
$\overline{SDRAS}$	：SDRAM Row Adress Strobe
$\overline{SELFREF}$	：Self-refresh Request
SI0, SI1	：Serial Input
SO0, SO1	：Serial Output
SSEL0, SSEL1	：Clock Generator Operating Mode Select
$\overline{TC0}$-$\overline{TC3}$	：Terminal Count
TCLR10, TCLR11	：Timer Clear
TCUD10, TCUD11	：Timer Control Pulse Input
TIC0-TIC3	：Timer Input

TIUD10, TIUD11	：Timer Count Pulse Input
TO10, TO11, TOC0-TOC5	：Timer Output
TRCCLK	：Trace Clock
TRCDATA0-TRCDATA3	：Trace Data Output
TRCEND	：Trace End Status Output
TXD0, TXD1	：Transmit Data
UCLK	：USB External Clock Input
UDM	：USB Data Input & Output(-)
UDP	：USB Data Input & Output(+)
$\overline{\text{ULBE}}$	：Upper Lower Byte Enable(D16-D23)
ULDQM	：Upper Lower DQ Mask Enable(D16-D23)
$\overline{\text{ULWR}}$	：Upper Lower Write Strobe(D16-D23)
$\overline{\text{UUBE}}$	：Upper Upper Byte Enable(D24-D31)
UUDQM	：Upper Upper DQ Mask Enable(D24-D31)
$\overline{\text{UUWR}}$	：Upper Upper Write Strobe(D24-D31)
UV_{DD}	：USB Power Supply
$\overline{\text{WAIT}}$	：Wait
$\overline{\text{WE}}$	：Write Enable
$\overline{\text{WR}}$	：Write Strobe
X1, X2	：Crystal

1. 6　機能ブロック構成

1. 6. 1　内部ブロック図



備考　xx：LL, LU, UL, UU

1. 6. 2　内部ユニット

(1) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット→32ビット，または32ビット×32ビット→64ビット），バレル・シフタ（32ビット）などの専用ハードウエアを内蔵し，複雑な処理の高速化を図っています。

(2) バス・コントロール・ユニット（BCU）

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは，CPU内部の命令キューに取り込まれます。

BCUは，SDRAMコントローラ（SDRAMC），SRAMコントローラ（SRAMC），ページROMコントローラ（ROMC），DMAコントローラ（DMAC）を制御し，外部メモリへのアクセスやDMA転送を行います。

(a) SDRAMコントローラ（SDRAMC）

$\overline{\text{SDRAS}}$, $\overline{\text{SDCAS}}$, UUDQM, ULDQM LUDQM, LLDQM信号の生成とSDRAMへのアクセス制御を行います。

CASレーテンシ1（フライバイDMA転送時を除く）2, 3に対応しており，バースト長は1固定です。

また，CBR（オート）リフレッシュ・サイクルに対応したリフレッシュ機能および外部入力によるダイナミックなセルフ・リフレッシュ機能があります。

(b) ページROMコントローラ（ROMC）

ページ・アクセス機能付きROMへのアクセスに対応します。

直前のバス・サイクルとの比較を行い，通常アクセス（オフページ）／ページ・アクセス（オンページ）のウエイト制御を行います。

(c) DMAコントローラ（DMAC）

CPUの代わりにメモリ，I/O間でのデータの転送を行います。

アドレス・モードには，フライバイ（1サイクル転送），2サイクル転送があります。バス・モードには，シングル転送，シングルステップ転送，ブロック転送の3種類があります。

(3) RAM

命令RAM（128 Kバイト），データRAM（16 Kバイト）を内蔵しています。

命令RAMは，命令フェッチ時にCPUから1クロックでアクセスできます。また，ライト・アクセス時間は，CS0空間へのBUSCLK周波数およびウエイト数に依存します。00000000H番地からマッピングされます。

データRAMは，データ・リード／ライト・アクセス時にCPUから1クロックでアクセスできます。FFFF8000H番地からマッピングされています。

(4) キャッシュ

2ウェイ・セット・アソシアティブ方式の命令キャッシュ（8Kバイト）を内蔵しています。

(5) 割り込みコントローラ（INTC）

内蔵周辺ハードウエア，および外部からのハードウエア割り込み要求（NMI, INTPn）を処理します。これらの割り込み要求は，8レベルの割り込み優先順位が指定でき，多重処理制御ができます（n = 10, 11, 21-25, 50-52, 65-67, D0-D15, L0, L1, C00, C01, C10, C11, C20, C21, C30, C31）。

(6) クロック・ジェネレータ（CG）

入力クロック（F_X）の8倍（内蔵PLL使用）の周波数を内部システム・クロック（f_{CLK}）として供給します。入力クロックとして外部発振子をX1, X2端子から入力します。

(7) タイマ／カウンタ機能

16ビット・タイマ／イベント・カウンタC（TMC）を6チャネルと，16ビット・インターバル・タイマD（TMD）を4チャネル，16ビット2相エンコーダ入力用アップ/ダウン・カウンタ／汎用タイマ（TMENC1）を2チャネル内蔵しています。パルス間隔や周波数の計測，プログラマブルなパルスの出力ができます。

(8) シリアル・インタフェース

シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースB（UARTB），クロック同期式シリアル・インタフェース3（CSI3）をあわせて3チャネル備えています。このうち1チャネルはUARTBとCSI3が兼用になっており，1チャネルはCSI3に固定，1チャネルはUARTBに固定です。

UARTBは，TXDn, RXDn端子によりデータ転送を行います（n = 0, 1）。

CSI3は，SOn, SIn, $\overline{\text{SCKn}}$端子によりデータ転送を行います（n = 0, 1）。

また，USBファンクション・コントローラ（USBF）を備えています。

(9) A/Dコンバータ（ADC）

8本のアナログ入力端子を持つ高速，高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

(10) PWM

16ビット分解能のPWM信号出力を2チャネル備えています。PWM出力は，外部ロウ・パス・フィルタを接続することによって，ディジタル－アナログ変換出力として使用することができます。モータなどのアクチュエータ制御信号に最適です。

(11) オンチップ・デバッグ機能（DCU）

オンチップ・デバッグ・エミュレータを介したオンチップ・デバッグ機能を内蔵しています。

（12）ポート

次に示すように，汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	制御機能
ポート1	4ビット入出力	シリアル・インタフェース入出力，USBクロック信号入力，外部割り込み入力
ポート2	1ビット入力， 5ビット入出力	NMI入力， シリアル・インタフェース入出力，外部割り込み入力
ポート5	6ビット入出力	DMAコントローラ入出力，外部割り込み入力，タイマ／カウンタ入出力
ポート6	3ビット入出力	タイマ／カウンタ入出力，外部割り込み入力
ポート7	6ビット入出力	DMAコントローラ入出力，タイマ／カウンタ入出力，外部割り込み入力
ポートAL	2ビット入出力	外部アドレス・バス，外部割り込み入力
ポートAH	10ビット入出力	外部アドレス・バス
ポートDH	16ビット入出力	外部データ・バス，外部割り込み入力，PWM出力，タイマ／カウンタ入出力
ポートCS	8ビット入出力	外部バス・インタフェース制御信号出力
ポートCT	7ビット入出力	外部バス・インタフェース制御信号出力
ポートCM	6ビット入出力	ウエイト挿入信号入力，外部バス・インタフェース制御信号入出力，セルフ・リフレッシュ要求信号入力，A/Dコンバータ外部トリガ入力
ポートCD	4ビット入出力	外部バス・インタフェース制御信号出力，バス・クロック出力

第2章　端子機能

V850E/ME2の端子の名称と機能を次に示します。これらの端子は，機能別にポート端子とそれ以外の端子に分けることができます。

2. 1　端子機能一覧

(1) ポート端子

(1/3)

端子名称	ピン番号	入出力	機　　能	兼用端子
P10	159	入出力	ポート1 4ビット入出力ポート 1ビット単位で入力データのリード／出力データのライトが可能	$\overline{\text{INTP10}}$/UCLK
P11	155			$\overline{\text{INTP11}}$/$\overline{\text{SCK0}}$
P12	154			SI0/RXD0
P13	153			SO0/TXD0
P20	152	入力	ポート2 P20はNMIの入力状態確認専用の入力ポート 有効エッジが入力されると,NMI入力として動作します。 P21-P25は5ビット入出力ポート 1ビット単位で入力データのリード／出力データのライトが可能	NMI
P21	149	入出力		$\overline{\text{INTP21}}$/RXD1
P22	148			$\overline{\text{INTP22}}$/TXD1
P23	147			$\overline{\text{INTP23}}$/$\overline{\text{SCK1}}$
P24	146			$\overline{\text{INTP24}}$/SI1
P25	145			$\overline{\text{INTP25}}$/SO1
P50	25	入出力	ポート5 6ビット入出力ポート 1ビット単位で入力データのリード／出力データのライトが可能	$\overline{\text{INTP50}}$/$\overline{\text{DMARQ0}}$
P51	24			$\overline{\text{INTP51}}$/$\overline{\text{DMAAK0}}$
P52	23			$\overline{\text{INTP52}}$/$\overline{\text{TC0}}$
P53	22			INTPC00/TIC0/$\overline{\text{DMARQ1}}$
P54	21			INTPC01/$\overline{\text{DMAAK1}}$
P55	20			TOC0/$\overline{\text{TC1}}$
P65	19	入出力	ポート6 3ビット入出力ポート 1ビット単位で入力データのリード／出力データのライトが可能	$\overline{\text{INTP65}}$/INTPC10/TIC1
P66	18			$\overline{\text{INTP66}}$/INTPC11
P67	17			$\overline{\text{INTP67}}$/TOC1
P72	176	入出力	ポート7 6ビット入出力ポート 1ビット単位で入力データのリード／出力データのライトが可能	INTPC20/TIC2/$\overline{\text{DMARQ2}}$
P73	175			INTPC21/$\overline{\text{DMAAK2}}$
P74	174			TOC2/$\overline{\text{TC2}}$
P75	173			INTPC30/TIC3/$\overline{\text{DMARQ3}}$
P76	172			INTPC31/$\overline{\text{DMAAK3}}$
P77	171			TOC3/$\overline{\text{TC3}}$

(2/3)

端子名称	ピン番号	入出力	機　　能	兼用端子
PAH0	58	入出力	ポートAH 8/10ビット入出力ポート 1ビット単位で入力データのリード／出力データのライトが可能	A16
PAH1	57			A17
PAH2	52			A18
PAH3	51			A19
PAH4	50			A20
PAH5	49			A21
PAH6	48			A22
PAH7	47			A23
PAH8	46			A24
PAH9	45			A25
PAL0	76	入出力	ポートAL 2ビット入出力ポート 1ビット単位で入力データのリード／出力データのライトが可能	$\overline{\text{INTPL0}}$/A0
PAL1	75			$\overline{\text{INTPL1}}$/A1
PDH0	112	入出力	ポートDH 8/16ビット入出力ポート 1ビット単位で入力データのリード／出力データのライトが可能	D16/$\overline{\text{INTPD0}}$
PDH1	113			D17/$\overline{\text{INTPD1}}$
PDH2	114			D18/$\overline{\text{INTPD2}}$/TOC4
PDH3	117			D19/$\overline{\text{INTPD3}}$
PDH4	118			D20/$\overline{\text{INTPD4}}$
PDH5	119			D21/$\overline{\text{INTPD5}}$/TOC5
PDH6	120			D22/$\overline{\text{INTPD6}}$/INTP100/TCUD10
PDH7	121			D23/$\overline{\text{INTPD7}}$/INTP101/TCLR10
PDH8	122			D24/$\overline{\text{INTPD8}}$/TO10
PDH9	123			D25/$\overline{\text{INTPD9}}$/TIUD10
PDH10	124			D26/$\overline{\text{INTPD10}}$/INTP110/TCUD11
PDH11	125			D27/$\overline{\text{INTPD11}}$/INTP111/TCLR11
PDH12	126			D28/$\overline{\text{INTPD12}}$/TO11
PDH13	127			D29/$\overline{\text{INTPD13}}$/TIUD11
PDH14	130			D30/$\overline{\text{INTPD14}}$/PWM0
PDH15	131			D31/$\overline{\text{INTPD15}}$/PWM1
PCD0	91	入出力	ポートCD 4ビット入出力ポート 1ビット単位で入力データのリード／出力データのライトが可能	SDCKE
PCD1	88			BUSCLK
PCD2	87			$\overline{\text{SDCAS}}$
PCD3	86			$\overline{\text{SDRAS}}$
PCM0	34	入出力	ポートCM 6ビット入出力ポート 1ビット単位で入力データのリード／出力データのライトが可能	$\overline{\text{WAIT}}$
PCM1	33			–
PCM2	32			$\overline{\text{HLDAK}}$
PCM3	31			$\overline{\text{HLDRQ}}$
PCM4	30			$\overline{\text{REFRQ}}$
PCM5	29			ADTRG/$\overline{\text{SELFREF}}$

(3/3)

端子名称	ピン番号	入出力	機　　能	兼用端子
PCS0	44	入出力	ポートCS 8ビット入出力ポート 1ビット単位で入力データのリード／出力データのライトが可能	$\overline{CS0}$
PCS1	43			$\overline{CS1}$
PCS2	42			$\overline{CS2}$/$\overline{IOWR}$
PCS3	41			$\overline{CS3}$
PCS4	40			$\overline{CS4}$
PCS5	37			$\overline{CS5}$/$\overline{IORD}$
PCS6	36			$\overline{CS6}$
PCS7	35			$\overline{CS7}$
PCT0	83	入出力	ポートCT 7ビット入出力ポート 1ビット単位で入力データのリード／出力データのライトが可能	LL$\overline{WR}$/LL$\overline{BE}$/LL$\overline{DQM}$
PCT1	82			LU$\overline{WR}$/LU$\overline{BE}$/LU$\overline{DQM}$
PCT2	81			UL$\overline{WR}$/UL$\overline{BE}$/UL$\overline{DQM}$
PCT3	80			UU$\overline{WR}$/UU$\overline{BE}$/UU$\overline{DQM}$
PCT4	79			$\overline{RD}$
PCT5	78			$\overline{WE}$/$\overline{WR}$
PCT7	77			$\overline{BCYST}$

(2) ポート以外の端子

(1/7)

端子名称	ピン番号	入出力	機　　能	兼用端子
A0	76	出力	外部メモリに対する26ビット・アドレス・バス	PAL0/$\overline{\text{INTPL0}}$
A1	75			PAL1/$\overline{\text{INTPL1}}$
A2	74			–
A3	73			–
A4	72			–
A5	69			–
A6	68			–
A7	67			–
A8	66			–
A9	65			–
A10	64			–
A11	63			–
A12	62			–
A13	61			–
A14	60			–
A15	59			–
A16	58			PAH0
A17	57			PAH1
A18	52			PAH2
A19	51			PAH3
A20	50			PAH4
A21	49			PAH5
A22	48			PAH6
A23	47			PAH7
A24	46			PAH8
A25	45			PAH9
ADTRG	29	入力	A/Dコンバータ外部トリガ入力	PCM5/$\overline{\text{SELFREF}}$
ANI0	5	入力	A/Dコンバータへのアナログ入力	–
ANI1	6			–
ANI2	7			–
ANI3	8			–
ANI4	9			–
ANI5	10			–
ANI6	11			–
ANI7	12			–
AV_{DD}	3	–	A/Dコンバータ用3.3 V正電源供給	–
AV_{REFM}	13	入力	A/Dコンバータ用基準電圧入力	–
AV_{REFP}	4			–
AV_{SS}	14	–	A/Dコンバータ用グランド電位	–

(2/7)

端子名称	ピン番号	入出力	機　　能	兼用端子
$\overline{\text{BCYST}}$	77	出力	バス・サイクルの開始を示すストローブ信号出力	PCT7
BUSCLK	88	出力	SDRAM用クロック出力	PCD1
$\overline{\text{CS0}}$	44	出力	チップ・セレクト信号出力	PCS0
$\overline{\text{CS1}}$	43			PCS1
$\overline{\text{CS2}}$	42			PCS2/$\overline{\text{IOWR}}$
$\overline{\text{CS3}}$	41			PCS3
$\overline{\text{CS4}}$	40			PCS4
$\overline{\text{CS5}}$	37			PCS5/$\overline{\text{IORD}}$
$\overline{\text{CS6}}$	36			PCS6
$\overline{\text{CS7}}$	35			PCS7
D0	92	入出力	外部メモリに対する32ビット・データ・バス	–
D1	93			–
D2	94			–
D3	95			–
D4	96			–
D5	97			–
D6	98			–
D7	99			–
D8	104			–
D9	105			–
D10	106			–
D11	107			–
D12	108			–
D13	109			–
D14	110			–
D15	111			–
D16	112			PDH0/$\overline{\text{INTPD0}}$
D17	113			PDH1/$\overline{\text{INTPD1}}$
D18	114			PDH2/$\overline{\text{INTPD2}}$/TOC4
D19	117			PDH3/$\overline{\text{INTPD3}}$
D20	118			PDH4/$\overline{\text{INTPD4}}$
D21	119			PDH5/$\overline{\text{INTPD5}}$/TOC5
D22	120			PDH6/$\overline{\text{INTPD6}}$/INTP100/TCUD10
D23	121			PDH7/$\overline{\text{INTPD7}}$/INTP101/TCLR10
D24	122			PDH8/$\overline{\text{INTPD8}}$/TO10
D25	123			PDH9/$\overline{\text{INTPD9}}$/TIUD10
D26	124			PDH10/$\overline{\text{INTPD10}}$/INTP110/TCUD11
D27	125			PDH11/$\overline{\text{INTPD11}}$/INTP111/TCLR11
D28	126			PDH12/$\overline{\text{INTPD12}}$/TO11
D29	127			PDH13/$\overline{\text{INTPD13}}$/TIUD11

(3/7)

端子名称	ピン番号	入出力	機　　能	兼用端子
D30	130	入出力	外部メモリに対する32ビット・データ・バス	PDH14/$\overline{\text{INTPD14}}$/PWM0
D31	131			PDH15/$\overline{\text{INTPD15}}$/PWM1
DCK	144	入力	デバッグ・クロック入力	–
DDI	141	入力	デバッグ・データ入力	–
DDO	140	出力	デバッグ・データ出力	–
$\overline{\text{DMAAK0}}$	24	出力	DMAアクノリッジ信号出力	P51/$\overline{\text{INTP51}}$
$\overline{\text{DMAAK1}}$	21			P54/INTPC01
$\overline{\text{DMAAK2}}$	175			P73/INTPC21
$\overline{\text{DMAAK3}}$	172			P76/INTPC31
$\overline{\text{DMARQ0}}$	25	入力	DMA要求信号入力	P50/$\overline{\text{INTP50}}$
$\overline{\text{DMARQ1}}$	22			P53/INTPC00/TIC0
$\overline{\text{DMARQ2}}$	176			P72/INTPC20/TIC2
$\overline{\text{DMARQ3}}$	173			P75/INTPC30/TIC3
DMS	143	入力	デバッグ・モード・セレクト	–
$\overline{\text{DRST}}$	142	入力	デバッグ用リセット入力	–
EV_{DD}	注1	–	外部端子用3.3 V正電源供給	–
EV_{SS}	注2	–	外部端子用グランド電位	–
$\overline{\text{HLDAK}}$	32	出力	バス・ホールド・アクノリッジ出力	PCM2
$\overline{\text{HLDRQ}}$	31	入力	バス・ホールド要求入力	PCM3
$\overline{\text{INTP10}}$	159	入力	外部マスカブル割り込み要求入力	P10/UCLK
$\overline{\text{INTP11}}$	155			P11/$\overline{\text{SCK0}}$
$\overline{\text{INTP21}}$	149			P21/RXD1
$\overline{\text{INTP22}}$	148			P22/TXD1
$\overline{\text{INTP23}}$	147			P23/$\overline{\text{SCK1}}$
$\overline{\text{INTP24}}$	146			P24/SI1
$\overline{\text{INTP25}}$	145			P25/SO1
$\overline{\text{INTP50}}$	25			P50/$\overline{\text{DMARQ0}}$
$\overline{\text{INTP51}}$	24			P51/$\overline{\text{DMAAK0}}$
$\overline{\text{INTP52}}$	23			P52/$\overline{\text{TC0}}$
$\overline{\text{INTP65}}$	19			P65/TIC1/INTPC10
$\overline{\text{INTP66}}$	18			P66/INTPC11
$\overline{\text{INTP67}}$	17			P67/TOC1
$\overline{\text{INTPD0}}$	112			PDH0/D16
$\overline{\text{INTPD1}}$	113			PDH1/D17
$\overline{\text{INTPD2}}$	114			PDH2/TOC4/D18
$\overline{\text{INTPD3}}$	117			PDH3/D19

注1.　38, 53, 70, 89, 100, 115, 128, 150

2.　39, 54, 71, 90, 101, 116, 129, 151

(4/7)

端子名称	ピン番号	入出力	機　　能	兼用端子
$\overline{\text{INTPD4}}$	118	入力	外部マスカブル割り込み要求入力	PDH4/D20
$\overline{\text{INTPD5}}$	119			PDH5/TOC5/D21
$\overline{\text{INTPD6}}$	120			PDH6/INTP100/TCUD10/D22
$\overline{\text{INTPD7}}$	121			PDH7/INTP101/TCLR10/D23
$\overline{\text{INTPD8}}$	122			PDH8/TO10/D24
$\overline{\text{INTPD9}}$	123			PDH9/TIUD10/D25
$\overline{\text{INTPD10}}$	124			PDH10/INTP110/TCUD11/D26
$\overline{\text{INTPD11}}$	125			PDH11/INTP111/TCLR11/D27
$\overline{\text{INTPD12}}$	126			PDH12/TO11/D28
$\overline{\text{INTPD13}}$	127			PDH13/TIUD11/D29
$\overline{\text{INTPD14}}$	130			PDH14/PWM0/D30
$\overline{\text{INTPD15}}$	131			PDH15/PWM1/D31
$\overline{\text{INTPL0}}$	76			PAL0/A0
$\overline{\text{INTPL1}}$	75			PAL1/A1
INTP100	120	入力	タイマENC10の外部キャプチャ・トリガ入力	PDH6/TCUD10/D22/$\overline{\text{INTPD6}}$
INTP101	121			PDH7/TCLR10/D23/$\overline{\text{INTPD7}}$
INTP110	124	入力	タイマENC11の外部キャプチャ・トリガ入力	PDH10/TCUD11/D26/$\overline{\text{INTPD10}}$
INTP111	125			PDH11/TCLR11/D27/$\overline{\text{INTPD11}}$
INTPC00	22	入力	外部マスカブル割り込み要求入力／タイマC0の外部キャプチャ・トリガ入力	P53/TIC0/$\overline{\text{DMARQ1}}$
INTPC01	21			P54/$\overline{\text{DMAAK1}}$
INTPC10	19		外部マスカブル割り込み要求入力／タイマC1の外部キャプチャ・トリガ入力	P65/$\overline{\text{INTP65}}$/TIC1
INTPC11	18			P66/$\overline{\text{INTP66}}$
INTPC20	176		外部マスカブル割り込み要求入力／タイマC2の外部キャプチャ・トリガ入力	P72/TIC2/$\overline{\text{DMARQ2}}$
INTPC21	175			P73/$\overline{\text{DMAAK2}}$
INTPC30	173		外部マスカブル割り込み要求入力／タイマC3の外部キャプチャ・トリガ入力	P75/TIC3/$\overline{\text{DMARQ3}}$
INTPC31	172			P76/$\overline{\text{DMAAK3}}$
$\overline{\text{IORD}}$	37	出力	DMAリード・ストローブ信号出力	PCS5/$\overline{\text{CS5}}$
$\overline{\text{IOWR}}$	42	出力	DMAライト・ストローブ信号出力	PCS2/$\overline{\text{CS2}}$
IV_{DD}	注1	－	内部ユニット用1.5 V正電源供給	－
IV_{SS}	注2		内部ユニット用グランド電位	－
JIT0	2	入力	SSCGの動作モード指定	－
JIT1	1			－
$\overline{\text{LLBE}}$	83	出力	外部データ・バスのバイト・イネーブル信号出力（最下位バイト（D0-D7））	PCT0/LLDQM/$\overline{\text{LLWR}}$
LLDQM	83	出力	SDRAM用アウトプット・ディスエーブル／ライト・マスク信号出力（最下位バイト（D0-D7））	PCT0/$\overline{\text{LLWR}}$/$\overline{\text{LLBE}}$

注1.　26, 55, 84, 102, 134, 157

2.　27, 56, 85, 103, 135, 158

(5/7)

端子名称	ピン番号	入出力	機　　能	兼用端子
$\overline{\text{LLWR}}$	83	出力	外部データ・バスのライト・ストローブ信号出力（最下位バイト（D0-D7））	PCT0/$\overline{\text{LLBE}}$/LLDQM
$\overline{\text{LUBE}}$	82	出力	外部データ・バスのバイト・イネーブル信号出力（第3バイト（D8-D15））	PCT1/LUDQM/$\overline{\text{LUWR}}$
LUDQM	82	出力	SDRAM用アウトプット・ディスエーブル／ライト・マスク信号出力（第3バイト（D8-D15））	PCT1/$\overline{\text{LUWR}}$/$\overline{\text{LUBE}}$
$\overline{\text{LUWR}}$	82	出力	外部データ・バスのライト・ストローブ信号出力（第3バイト（D8-D15））	PCT1/$\overline{\text{LUBE}}$/LUDQM
MODE0	16	入力	V850E/ME2の動作モードを指定	－
MODE1	15			－
NMI	152	入力	ノンマスカブル割り込み要求信号入力	P20
OSCV_{DD}	163	－	発振器用3.3 V正電源供給	－
OSCV_{SS}	166		発振器用グランド電位	－
PLLSEL	156	入力	PLLの動作モードを指定する入力	－
PLLV_{DD}	167	－	PLLシンセサイザ用1.5 V用正電源供給	－
PLLV_{SS}	168		PLLシンセサイザ用グランド電位	－
PWM0	130	出力	PWMのパルス信号出力	PDH14/D30/$\overline{\text{INTPD14}}$
PWM1	131			PDH15/D31/$\overline{\text{INTPD15}}$
$\overline{\text{RD}}$	79	出力	外部データ・バスのリード・ストローブ信号出力	PCT4
$\overline{\text{REFRQ}}$	30	出力	SDRAMに対するリフレッシュ要求信号出力	PCM4
$\overline{\text{RESET}}$	28	入力	システム・リセット入力	－
RXD0	154	入力	UARTB0, UARTB1のシリアル受信データ入力	P12/SI0
RXD1	149			P21/$\overline{\text{INTP21}}$
$\overline{\text{SCK0}}$	155	入出力	CSI30, CSI31のシリアル・クロック入出力（3線式）	P11/$\overline{\text{INTP11}}$
$\overline{\text{SCK1}}$	147			P23/$\overline{\text{INTP23}}$
$\overline{\text{SDCAS}}$	87	出力	SDRAMに対するカラム・アドレス・ストローブ信号出力	PCD2
SDCKE	91	出力	SDRAMクロック・イネーブル信号出力	PCD0
$\overline{\text{SDRAS}}$	86	出力	SDRAMに対するロウ・アドレス・ストローブ信号出力	PCD3
$\overline{\text{SELFREF}}$	29	入力	SDRAMに対するセルフ・リフレッシュ要求入力	PCM5/ADTRG
SI0	154	入力	CSI30, CSI31のシリアル受信データ入力（3線式）	P12/RXD0
SI1	146			P24/$\overline{\text{INTP24}}$
SO0	153	出力	CSI30, CSI31のシリアル送信データ出力（3線式）	P13/TXD0
SO1	145			P25/$\overline{\text{INTP25}}$
SSEL0	170	入力	クロック・ジェネレータの動作モード指定	－
SSEL1	169			－
$\overline{\text{TC0}}$	23	出力	DMA転送終了（ターミナル・カウント）信号出力	P52/$\overline{\text{INTP52}}$
$\overline{\text{TC1}}$	20			P55/TOC0
$\overline{\text{TC2}}$	174			P74/TOC2
$\overline{\text{TC3}}$	171			P77/TOC3

(6/7)

端子名称	ピン番号	入出力	機　　能	兼用端子
TCLR10	121	入力	タイマENC10, ENC11へのクリア信号入力	PDH7/D23/$\overline{\text{INTPD7}}$/INTP101
TCLR11	125			PDH11/D27/$\overline{\text{INTPD11}}$/INTP111
TCUD10	120	入力	タイマENC10, ENC11へのカウント動作切り替え信号入力	PDH6/D22/$\overline{\text{INTPD6}}$/INTP100
TCUD11	124			PDH10/D26/$\overline{\text{INTPD10}}$/INTP110
TIC0	22	入力	タイマC0-C3の外部カウント・クロック入力	P53/$\overline{\text{DMARQ1}}$/INTPC00
TIC1	19			P65/$\overline{\text{INTP65}}$/INTPC10
TIC2	176			P72/INTPC20/$\overline{\text{DMARQ2}}$
TIC3	173			P75/INTPC30/$\overline{\text{DMARQ3}}$
TIUD10	123	入力	タイマENC10, ENC11への外部カウント・クロック入力	PDH9/D25/$\overline{\text{INTPD9}}$
TIUD11	127			PDH13/D29/$\overline{\text{INTPD13}}$
TO10	122	出力	タイマENC10, ENC11のパルス信号出力	PDH8/D24/$\overline{\text{INTPD8}}$
TO11	126			PDH12/D28/$\overline{\text{INTPD12}}$
TOC0	20	出力	タイマC0-C5のパルス信号出力	P55/$\overline{\text{TC1}}$
TOC1	17			P67/$\overline{\text{INTP67}}$
TOC2	174			P74/$\overline{\text{TC2}}$
TOC3	171			P77/$\overline{\text{TC3}}$
TOC4	114			PDH2/D18/$\overline{\text{INTPD2}}$
TOC5	119			PDH5/D21/$\overline{\text{INTPD5}}$
TRCCLK	139	出力	トレース・クロック出力	–
TRCDATA0	137	出力	トレース・データ出力（D0-D3）	–
TRCDATA1	136			–
TRCDATA2	133			–
TRCDATA3	132			–
TRCEND	138	出力	トレース・エンド・ステータス出力	–
TXD0	153	出力	UARTB0, UARTB1のシリアル送信データ出力	P13/SO0
TXD1	148			P22/$\overline{\text{INTP22}}$
UCLK[注]	159	入力	USBクロック信号入力	P10/$\overline{\text{INTP10}}$
UDM	161	入出力	USBデータ入出力（−）	–
UDP	160	入出力	USBデータ入出力（+）	–
$\overline{\text{ULBE}}$	81	出力	外部データ・バスのバイト・イネーブル信号出力（第2バイト（D16-D23））	PCT2/ULDQM/$\overline{\text{ULWR}}$
ULDQM	81	出力	SDRAM用アウトプット・ディスエーブル／ライト・マスク信号出力（第2バイト（D16-D23））	PCT2/$\overline{\text{ULWR}}$/$\overline{\text{ULBE}}$
$\overline{\text{ULWR}}$	81	出力	外部データ・バスのライト・ストローブ信号出力（第2バイト（D16-D23））	PCT2/$\overline{\text{ULBE}}$/ULDQM
$\overline{\text{UUBE}}$	80	出力	外部データ・バスのバイト・イネーブル信号出力（最上位バイト（D24-D31））	PCT3/$\overline{\text{UUWR}}$/UUDQM
UUDQM	80	出力	SDRAM用アウトプット・ディスエーブル／ライト・マスク信号出力（最上位バイト（D24-D31））	PCT3/$\overline{\text{UUWR}}$/$\overline{\text{UUBE}}$

注　UCLK端子として使用する場合は，反射などによる階段波形やノイズが入力されないように注意してください。

(7/7)

端子名称	ピン番号	入出力	機　　能	兼用端子
$\overline{\text{UUWR}}$	80	出力	外部データ・バスのライト・ストローブ信号出力（最上位バイト（D24-D31））	PCT3/UUDQM/$\overline{\text{UUBE}}$
UV_{DD}	162	－	USB用3.3 V正電源供給	－
$\overline{\text{WAIT}}$	34	入力	バス・サイクルにウエイトを挿入する制御信号入力	PCM0
$\overline{\text{WE}}$	78	出力	SDRAM用ライト・イネーブル信号出力	PCT5/$\overline{\text{WR}}$
$\overline{\text{WR}}$	78	出力	SDRAM用ライト・ストローブ信号出力	PCT5/$\overline{\text{WE}}$
X1	164	入力	システム・クロック発振用クリスタル接続端子	－
X2	165	－		－

2. 2　端子状態

リセット時，パワー・セーブ・モード（ソフトウエアSTOPモード，IDLE, HALT）時，DMA転送時，リフレッシュ時，バス・ホールド（TH）時での各端子の状態を次に示します。

動作状態 / 端　子	リセット	IDLEモード／ソフトウエアSTOPモード	HALTモード／DMA転送中／リフレッシュ	バス・ホールド（TH）注1
A0-A1（PAL0-PAL1）	Hi-Z	Hi-Z	動作	Hi-Z
A2-A15	Hi-Z	Hi-Z	動作	Hi-Z
A16-A25（PAH0-PAH9）	Hi-Z	Hi-Z	動作	Hi-Z
D0-D15	Hi-Z	Hi-Z	動作	Hi-Z
D16-D31（PDH-PDH15）	Hi-Z	Hi-Z	動作	Hi-Z
$\overline{CS0}$-$\overline{CS7}$（PCS0-PCS7）	Hi-Z	SELF注2	動作	Hi-Z
$\overline{IOWR}$（PCS2）	×	H	動作	Hi-Z
$\overline{IORD}$（PCS5）	×	H	動作	Hi-Z
$\overline{LLWR}$, $\overline{LUWR}$, $\overline{ULWR}$, $\overline{UUWR}$（PCT0-PCT3）	Hi-Z	H	動作	Hi-Z
$\overline{LLBE}$, $\overline{LUBE}$, $\overline{ULBE}$, $\overline{UUBE}$（PCT0-PCT3）	×	H	動作	Hi-Z
LLDQM, LUDQM, ULDQM, UUDQM (PCT0-PCT3)	×	H	動作	Hi-Z
$\overline{RD}$（PCT4）	Hi-Z	H	動作	Hi-Z
$\overline{WR}$（PCT5）	Hi-Z	H	動作	Hi-Z
$\overline{WE}$（PCT5）	×	H	動作	Hi-Z
$\overline{BCYST}$（PCT7）	Hi-Z	H	動作	Hi-Z
$\overline{WAIT}$（PCM0）	Hi-Z	－	動作	－
$\overline{HLDAK}$（PCM2）	Hi-Z	H	動作	L
$\overline{HLDRQ}$（PCM3）	Hi-Z	－	動作	動作
$\overline{REFRQ}$（PCM4）	Hi-Z	動作注2	動作	動作
SELFREF（PCM5）	Hi-Z	－	動作	動作
SDCKE（PCD0）	Hi-Z	SELF注2	動作	動作
BUSCLK（PCD1）	動作	SELF注3	動作	動作
$\overline{SDCAS}$（PCD2）	Hi-Z	SELF	動作	Hi-Z
$\overline{SDRAS}$（PCD3）	Hi-Z	SELF	動作	Hi-Z
$\overline{DMAAK0}$（P51）	×	H	動作	H
$\overline{DMAAK1}$（P54）	×	H	動作	H
$\overline{DMAAK2}$（P73）	×	H	動作	H
$\overline{DMAAK3}$（P76）	×	H	動作	H
MODE0, MODE1	MODE0, MODE1入力			
DDI, DMS, DCK	DDI, DMS, DCK入力			
NMI（P20）	NMI入力			
SSEL0, SSEL1	SSEL0, SSEL1入力			
PLLSEL	PLLSEL入力			
上記以外の周辺機能入力端子	×	－	動作	動作
上記以外の周辺機能出力端子	×	保持	動作	動作
上記以外のポート入力端子	Hi-Z	－	－	動作
上記以外のポート出力端子	×	保持	保持	動作

備考　注および備考の説明は次ページに記載しています。

注1. ポート・モードに指定した端子は，直前の状態を保持します。
2. SDRAMコントローラ未使用時はハイ・レベル出力
3. SDRAMコントローラ未使用時はロウ・レベル出力

備考 Hi-Z ：ハイ・インピーダンス
H ：ハイ・レベル出力
L ：ロウ・レベル出力
－ ：入力非サンプリング
× ：リセット時非選択機能
SELF：SDRAMに接続している場合は，セルフ・リフレッシュ状態

電源投入／遮断時の注意事項

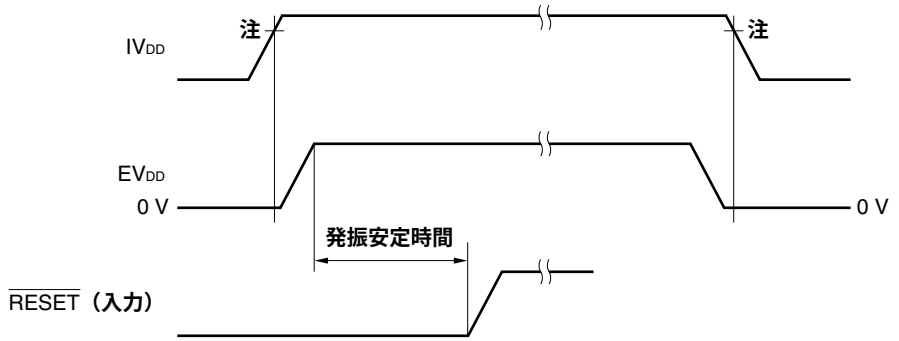
V850E/ME2は，内部ユニット用電源端子（IV_{DD}）と外部端子用電源端子（EV_{DD}）の2電源端子構成になっています。動作保証範囲以外では，入出力兼用端子の入出力状態が不定になる場合があります。この入出力不定状態がシステムに影響を与える場合は，次に示す処置を行うことにより，端子状態をハイ・インピーダンス状態にすることができます。

- **電源投入時**

  IV_{DD}端子の電圧が動作保証範囲内（66 MHz品，100 MHz品，133 MHz品の場合：1.35～1.65 V, 150 MHz品の場合：1.40～1.65 V）になるまで，EV_{DD}端子の電圧を0 Vにしてください。

- **電源遮断時**

  EV_{DD}端子の電圧が0 Vになるまで，IV_{DD}端子の電圧を動作保証範囲内（66 MHz品，100 MHz品，133 MHz品の場合：1.35～1.65 V, 150 MHz品の場合：1.40～1.65 V）にしてください。



注 66 MHz品，100 MHz品，133 MHz品の場合：1.35 V
150 MHz品の場合 ：1.40 V

2. 3　端子機能の説明

（1）P10-P13（Port 1）…　3ステート入出力

ポート1は，1ビット単位で入力データのリード／出力データのライトができる4ビットの入出力ポートです。

P10-P13は入出力ポートとして機能するほか，コントロール・モードではシリアル・インタフェース（UARTB0, CSI30）の入出力，USBクロック信号入力，外部割り込み要求入力として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，PMC1レジスタで指定します。

（a）ポート・モード

P10-P13はPM1レジスタにより，ビット単位に入力または出力を設定できます。

（b）コントロール・モード

P10-P13はPMC1レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（i）$\overline{\text{INTP10}}$, $\overline{\text{INTP11}}$（External interrupt input）…　入力

外部割り込み要求入力端子です。

（ii）SO0（Serial output）…　出力

CSI30のシリアル送信データ出力端子です。

（iii）SI0（Serial input）…　入力

CSI30のシリアル受信データ入力端子です。

（iv）$\overline{\text{SCK0}}$（Serial clock）…　3ステート入出力

CSI30のシリアル・クロック入出力端子です。

（v）TXD0（Transmit data）…　出力

UARTB0のシリアル送信データ出力端子です。

（vi）RXD0（Receive data）…　入力

UARTB0のシリアル受信データ入力端子です。

（vii）UCLK（USB external clock input）…　入力

USBへのクロック入力端子です。

UCLK端子として使用する場合は，反射などによる階段波形やノイズが入力されないように注意してください。

(2) P20-P25（Port 2）…　3ステート入出力

ポート2は，NMIの入力状態確認専用の入力端子であるP20を除き，1ビット単位で入力データのリード／出力データのライトができる5ビットの入出力ポートです。

P21-P25は入出力ポートとして機能するほか，コントロール・モードではシリアル・インタフェース（UARTB1/CSI31）の入出力，外部割り込み入力として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，PMC2レジスタで指定します。

(a) ポート・モード

P21-P25はPM2レジスタにより，ビット単位に入力または出力を設定できます。P20はNMIの入力状態確認専用の入力ポートで，有効エッジが入力されるとNMI入力として動作します。

(b) コントロール・モード

P21-P25はPMC2レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

(i) NMI（Non-maskable interrupt request）…　入力

ノンマスカブル割り込み要求入力端子です。

(ii) $\overline{\text{INTP21}}$-$\overline{\text{INTP25}}$（External interrupt input）…　入力

外部割り込み要求入力端子です。

(iii) SO1（Serial output）…　出力

CSI31のシリアル送信データ出力端子です。

(iv) SI1（Serial input）…　入力

CSI31のシリアル受信データ入力端子です。

(v) $\overline{\text{SCK1}}$（Serial clock）…　3ステート入出力

CSI31のシリアル・クロック入出力端子です。

(vi) TXD1（Transmit data）…　出力

UARTB1のシリアル送信データ出力端子です。

(vii) RXD1（Receive data）…　入力

UARTB1のシリアル受信データ入力端子です。

(3) P50-P55（Port 5）…　3ステート入出力

ポート5は，1ビット単位で入力データのリード／出力データのライトができる6ビットの入出力ポートです。

P50-P55は入出力ポートとして機能するほか，コントロール・モードではDMA要求入力，DMAアクノリッジ出力，DMA転送終了出力（ターミナル・カウント），タイマ／カウンタ入出力，外部割り込み要求入力として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，PMC5レジスタで指定します。

(a) ポート・モード

P50-P55はPM5レジスタにより，ビット単位に入力または出力を設定できます。

(b) コントロール・モード

P50-P55はPMC5レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

(i) $\overline{\text{DMARQ0}}$, $\overline{\text{DMARQ1}}$（DMA request）…　入力

DMAサービスの要求信号入力端子です。それぞれDMAチャネル0, 1に対応し互いに独立して動作します。優先順位は固定で$\overline{\text{DMARQ0}}$＞$\overline{\text{DMARQ1}}$＞$\overline{\text{DMARQ2}}$＞$\overline{\text{DMARQ3}}$です。

この信号は，BUSCLKの立ち上がりでサンプリングされます。DMA要求が受け付けられるまでアクティブ・レベルを保持してください。

(ii) $\overline{\text{DMAAK0}}$, $\overline{\text{DMAAK1}}$（DMA acknowledge）…　出力

DMAサービス要求が許可されたことを示すアクノリッジ信号出力端子です。それぞれDMAチャネル0, 1に対応し互いに独立して動作します。

フライバイ転送時は，外部メモリにアクセスしているとき，および内蔵命令RAM（ライト・モード時）にアクセスしているときにアクティブになります。内蔵データRAM, 内蔵命令RAM（リード・モード時）と内蔵周辺I/O間でDMA転送が実行されているときには，アクティブになりません。

2サイクル転送時は，$\overline{\text{DMARQ0}}$, $\overline{\text{DMARQ1}}$信号の制御信号として使用します。

(iii) $\overline{\text{TC0}}$, $\overline{\text{TC1}}$（Terminal count）…　出力

DMAコントローラによるDMA転送が終了したことを示すターミナル・カウント信号出力端子です。$\overline{\text{TC0}}$, $\overline{\text{TC1}}$端子は，それぞれDMAチャネル0, 1に対応し互いに独立して動作します。$\overline{\text{TC0}}$端子からは，DMAチャネル0-3のターミナル・カウント信号を共通化して出力できます。

(iv) INTPC00, INTPC01（External interrupt input）…　入力

外部割り込み要求入力端子およびタイマC0の外部キャプチャ・トリガ入力端子です。

(v) TIC0（Timer input）…　入力

タイマC0の外部カウント・クロック入力端子です。

（vi）TOC0（Timer output）…　**出力**

タイマC0**のパルス信号出力端子です。**

（vii）$\overline{\text{INTP50}}$-$\overline{\text{INTP52}}$（External interrupt input）…　**入力**

外部割り込み要求入力端子です。

（4）P65-P67（Port 6）…　3**ステート入出力**

ポート6**は，**1**ビット単位で入力データのリード／出力データのライトができる**3**ビットの入出力ポートです。**

P65-P67**は入出力ポートとして機能するほか，コントロール・モードではタイマ／カウンタ入出力，外部割り込み要求入力として動作します。**

動作モードは，1**ビットごとにポート／コントロール・モードの選択が可能で，**PMC6**レジスタで指定します。**

（a）**ポート・モード**

P65-P67**は**PM6**レジスタにより，ビット単位に入力または出力を設定できます。**

（b）**コントロール・モード**

P65-P67**は**PMC6**レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。**

（i）TIC1（Timer input）…　**入力**

タイマC1**の外部カウント・クロック入力端子です。**

（ii）TOC1（Timer output）…　**出力**

タイマC1**のパルス信号出力端子です。**

（iii）$\overline{\text{INTP65}}$-$\overline{\text{INTP67}}$（External interrupt input）…　**入力**

外部割り込み要求入力端子です。

（iv）INTPC10, INTPC11（External interrupt input）…　**入力**

外部割り込み要求入力端子およびタイマC1**の外部キャプチャ・トリガ入力端子です。**

(5) P72-P77（Port 7）…　3ステート入出力

ポート7は，1ビット単位で入力データのリード／出力データのライトができる6ビットの入出力ポートです。

P72-P77は入出力ポートとして機能するほか，コントロール・モードではDMA要求入力，DMAアクノリッジ出力，DMA転送終了出力（ターミナル・カウント），タイマ／カウンタ入出力，外部割り込み要求入力として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，PMC7レジスタで指定します。

(a) ポート・モード

P72-P77はPM7レジスタにより，ビット単位に入力または出力を設定できます。

(b) コントロール・モード

P72-P77はPMC7レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

(i) $\overline{\text{DMARQ2}}$, $\overline{\text{DMARQ3}}$（DMA request）…　入力

DMAサービスの要求信号入力端子です。それぞれDMAチャネル2, 3に対応し互いに独立して動作します。優先順位は固定で$\overline{\text{DMARQ0}}$＞$\overline{\text{DMARQ1}}$＞$\overline{\text{DMARQ2}}$＞$\overline{\text{DMARQ3}}$です。

この信号は，BUSCLKの立ち上がりでサンプリングされます。DMA要求が受け付けられるまでアクティブ・レベルを保持してください。

(ii) $\overline{\text{DMAAK2}}$, $\overline{\text{DMAAK3}}$（DMA acknowledge）…　出力

DMAサービス要求が許可されたことを示すアクノリッジ信号出力端子です。それぞれDMAチャネル2, 3に対応し互いに独立して動作します。

フライバイ転送時は，外部メモリにアクセスしているとき，および内蔵命令RAM（ライト・モード時）にアクセスしているときにアクティブになります。内蔵データRAM, 内蔵命令RAM（リード・モード時）と内蔵周辺I/O間でDMA転送が実行されているときには，アクティブになりません。

2サイクル転送時は，$\overline{\text{DMARQ2}}$, $\overline{\text{DMARQ3}}$信号の制御信号として使用します。

(iii) $\overline{\text{TC2}}$, $\overline{\text{TC3}}$（Terminal count）…　出力

DMAコントローラによるDMA転送が終了したことを示すターミナル・カウント信号出力端子です。$\overline{\text{TC2}}$, $\overline{\text{TC3}}$端子は，それぞれDMAチャネル2, 3に対応し互いに独立して動作します。$\overline{\text{TC0}}$端子からは，DMAチャネル0-3のターミナル・カウント信号を共通化して出力できます。

(iv) INTPC20, INTPC21, INTPC30, INTPC31（External interrupt input）…　入力

外部割り込み要求入力端子およびタイマC2，タイマC3の外部キャプチャ・トリガ入力端子です。

(v) TIC2, TIC3（Timer input）…　入力

タイマC2，タイマC3の外部カウント・クロック入力端子です。

（vi）TOC2, TOC3（Timer output）…　出力

タイマC2，タイマC3のパルス信号出力端子です。

（6）PCM0-PCM5（Port CM）…　3ステート入出力

ポートCMは，1ビット単位で入力データのリード／出力データのライトができる6ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードではウエイト挿入信号入力，バス・ホールド制御信号，SDRAMに対するリフレッシュ要求信号出力，セルフ・リフレッシュ要求信号入力，A/Dコンバータの外部トリガ入力として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，PMCCMレジスタで指定します。

（a）ポート・モード

PCM0-PCM5はPMCMレジスタにより，ビット単位に入力または出力を設定できます。

（b）コントロール・モード

PCM0-PCM5はPMCCMレジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（i）$\overline{\text{WAIT}}$（Wait）…　入力

バス・サイクルにデータ・ウエイトを挿入する制御信号入力端子で，BUSCLK信号に対する非同期入力が可能です。BUSCLK信号の立ち下がりでサンプリングします。サンプリング・タイミングにおける設定／保持時間を満たさないときはウエイト挿入が行われないことがあります。

注意　リセット解除後から$\overline{\text{WAIT}}$端子への入力は有効になります。このため，外付けプルダウン抵抗などにより$\overline{\text{WAIT}}$端子にロウ・レベルが入力されると，外部バスがウエイト状態になりますので，注意してください。

（ii）$\overline{\text{HLDAK}}$（Hold acknowledge）…　出力

V850E/ME2がバス・ホールド要求を受けて，アドレス・バス，データ・バス，制御バスをハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間，アドレス・バス，データ・バス，制御バスはハイ・インピーダンス状態になり，外部バス・マスタにバスの使用権を渡します。

(iii) $\overline{\text{HLDRQ}}$（Hold request）…　入力

外部デバイスがV850E/ME2に対し，アドレス・バス，データ・バス，制御バスの解放を要求する入力端子です。この端子は，BUSCLKに対して非同期入力が可能です。この端子がアクティブになると，V850E/ME2は実行中のバス・サイクルがあればその終了後に，なければすぐにアドレス・バス，データ・バス，制御バスをハイ・インピーダンス状態にし，$\overline{\text{HLDAK}}$信号をアクティブにしてバスを解放します。

確実にバス・ホールド状態にするためには，$\overline{\text{HLDAK}}$信号が出力されるまで，$\overline{\text{HLDRQ}}$信号をアクティブに保ってください。

注意　リセット解除後から$\overline{\text{HLDRQ}}$端子への入力は有効になります。このため，外付けプルダウン抵抗などにより$\overline{\text{HLDRQ}}$端子にロウ・レベルが入力されると，外部バスがバス・ホールド状態になりますので，注意してください。

(iv) $\overline{\text{REFRQ}}$（Refresh request）…　出力

SDRAMに対するリフレッシュ要求信号出力端子です。

この信号は，リフレッシュ・サイクル期間中，アクティブになります。また，バス・ホールド時は，リフレッシュ要求が発生するとアクティブになり，外部バス・マスタに対し，リフレッシュ要求が発生したことを通知します。

(v) $\overline{\text{SELFREF}}$（Self-refresh request）…　入力

SDRAMに対するセルフ・リフレッシュ要求信号入力端子です。

セルフ・リフレッシュに移行した場合でも内蔵データRAM，内蔵命令RAM（リード・モード時）にアクセスできます。ただし，内蔵周辺I/Oレジスタ，または外部デバイスへのアクセスはセルフ・リフレッシュを解除するまで保留されます。

注意　リセット解除直後から$\overline{\text{SELFREF}}$端子への入力は有効になります。このため，外付けプルダウン抵抗などにより$\overline{\text{SELFREF}}$端子にロウ・レベルが入力されると，セルフ・リフレッシュに移行します。このとき，通常の命令フェッチ・サイクルは発生しませんので，注意してください。

(vi) ADTRG（A/D trigger input）…　入力

A/Dコンバータの外部トリガ入力端子です。

(7) PCT0-PCT5, PCT7（Port CT）…　3ステート入出力

ポートCTは，1ビット単位で入力データのリード／出力データのライトができる7ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードではメモリを外部に拡張する場合の制御信号出力として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，PMCCTレジスタで指定します。

(a) ポート・モード

PCT0-PCT5, PCT7はPMCTレジスタにより，ビット単位に入力または出力を設定できます。

(b) コントロール・モード

PCT0-PCT5, PCT7はPMCCTレジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

(i) $\overline{\text{LLWR}}$（Lower lower byte write strobe）… 3ステート出力

実行中のバス・サイクルが，SRAM，外部ROM，外部周辺I/O領域に対するライト・サイクルであることを示すストローブ信号出力端子です。

データ・バスは最下位バイト（D0-D7）が有効になります。バス・サイクルが最下位のメモリ・ライトならば，T1ステートのBUSCLK信号の立ち下がりでアクティブになり，T2ステートのBUSCLK信号の立ち下がりでインアクティブになります。

(ii) $\overline{\text{LUWR}}$（Lower upper byte write strobe）… 3ステート出力

実行中のバス・サイクルが，SRAM，外部ROM，外部周辺I/O領域に対するライト・サイクルであることを示すストローブ信号出力端子です。

データ・バスは第3バイト（D8-D15）が有効になります。バス・サイクルが第3バイトのメモリ・ライトならば，T1ステートのBUSCLK信号の立ち下がりでアクティブになり，T2ステートのBUSCLK信号の立ち下がりでインアクティブになります。

(iii) $\overline{\text{ULWR}}$（Upper lower byte write strobe）… 3ステート出力

実行中のバス・サイクルが，SRAM，外部ROM，外部周辺I/O領域に対するライト・サイクルであることを示すストローブ出力端子信号です。

データ・バスは第2バイト（D16-D23）が有効になります。バス・サイクルが第2バイトのメモリ・ライトならば，T1ステートのBUSCLK信号の立ち下がりでアクティブになり，T2ステートのBUSCLK信号の立ち下がりでインアクティブになります。

(iv) $\overline{\text{UUWR}}$（Upper upper byte write strobe）… 3ステート出力

実行中のバス・サイクルが，SRAM，外部ROM，外部周辺I/O領域に対するライト・サイクルであることを示すストローブ信号出力端子です。

データ・バスは最上位バイト（D24-D31）が有効になります。バス・サイクルが最上位のメモリ・ライトならば，T1ステートのBUSCLK信号の立ち下がりでアクティブになり，T2ステートのBUSCLK信号の立ち下がりでインアクティブになります。

(v) $\overline{\text{LLBE}}$（Lower lower byte enable）… 3ステート出力

外部データ・バスの最下位バイト（D0-D7）のイネーブル信号出力端子です。

(vi) $\overline{\text{LUBE}}$（Lower upper byte enable）… 3ステート出力

外部データ・バスの第3バイト（D8-D15）のイネーブル信号出力端子です。

(vii) $\overline{\text{ULBE}}$（Upper lower byte enable）… 3ステート出力

外部データ・バスの第2バイト（D16-D23）のイネーブル信号出力端子です。

（viii）$\overline{\text{UUBE}}$（Upper upper byte enable）…　3ステート出力

外部データ・バスの最上位バイト（D24-D31）のイネーブル信号出力端子です。

（ix）LLDQM（Lower lower DQ mask enable）…　3ステート出力

SDRAMに対するデータ・バスの制御信号出力端子です。データ・バスは最下位バイト（D0-D7）が有効になります。リード時はSDRAMの出力ディスエーブル制御を行い，ライト時はSDRAMのバイト・マスク制御を行います。

（x）LUDQM（Lower upper DQ mask enable）…　3ステート出力

SDRAMに対するデータ・バスの制御信号出力端子です。データ・バスは第3バイト（D8-D15）が有効になります。リード時はSDRAMの出力ディスエーブル制御を行い，ライト時はSDRAMのバイト・マスク制御を行います。

（xi）ULDQM（Upper lower DQ mask enable）…　3ステート出力

SDRAMに対するデータ・バスの制御信号出力端子です。データ・バスは第2バイト（D16-D23）が有効になります。リード時はSDRAMの出力ディスエーブル制御を行い，ライト時はSDRAMのバイト・マスク制御を行います。

（xii）UUDQM（Upper upper DQ mask enable）…　3ステート出力

SDRAMに対するデータ・バスの制御信号出力端子です。データ・バスは最上位バイト（D24-D31）が有効になります。リード時はSDRAMの出力ディスエーブル制御を行い，ライト時はSDRAMのバイト・マスク制御を行います。

（xiii）$\overline{\text{RD}}$（Read strobe）…　3ステート出力

実行中のバス・サイクルが，SRAM，外部ROM，外部周辺I/O，ページROM領域に対するリード・サイクルであることを示すストローブ信号出力端子です。アイドル・ステート（TI）では，インアクティブになります。

（xiv）$\overline{\text{WR}}$（Write strobe）…　3ステート出力

実行中のバス・サイクルが，SRAM，外部ROM，外部周辺I/O領域に対するライト・サイクルであることを示すストローブ信号出力端子です。

T1ステートのBUSCLK信号の立ち下がりでアクティブになり，T2ステートのBUSCLK信号の立ち下がりでインアクティブになります。

（xv）$\overline{\text{WE}}$（Write enable）…　3ステート出力

実行中のバス・サイクルが，SDRAM領域に対するライト・サイクルであることを示すイネーブル信号出力端子です。アイドル・ステート（TI）では，インアクティブになります。

（xvi）$\overline{\text{BCYST}}$（Bus cycle start timing）…　3ステート出力

バス・サイクルの開始を示すステータス信号出力端子です。各サイクルの開始から1クロック間，アクティブになります。

(8) PCS0-PCS7（Port CS）…　3ステート入出力

ポートCSは，1ビット単位で入力データのリード／出力データのライトができる8ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードではメモリ，周辺I/Oを外部に拡張する場合の制御信号出力として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，PMCCSレジスタで指定します。

(a) ポート・モード

PCS0-PCS7はPMCSレジスタにより，ビット単位に入力または出力を設定できます。

(b) コントロール・モード

PCS0-PCS7はPMCCSレジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

(i) $\overline{\text{CS0}}$-$\overline{\text{CS7}}$（Chip select）…　3ステート出力

SRAM，外部ROM，外部周辺I/O，ページROM領域に対するチップ・セレクト信号出力端子です。

メモリ・ブロックnに対して$\overline{\text{CSn}}$信号が割り当てられています（n = 0-7）。

対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。

アイドル・ステート（TI）では，インアクティブになります。

(ii) $\overline{\text{IOWR}}$（I/O write strobe）…　3ステート出力

DMAフライバイ転送時の外部I/O用ライト・ストローブ信号出力端子です。実行中のバス・サイクルが，DMAフライバイ転送時の外部I/Oに対するライト・サイクルか，SRAM領域に対するライト・サイクルであることを示します。

なお，この信号はバス・サイクル・ピリオド・コントロール・レジスタ（BCP）のIOENビットをセット（1）することにより，通常のSRAM，外部ROM，外部I/Oサイクルの場合でも出力することができます。

(iii) $\overline{\text{IORD}}$（I/O read strobe）…　3ステート出力

DMAフライバイ転送時の外部I/O用リード・ストローブ信号出力端子です。実行中のバス・サイクルが，DMAフライバイ転送時の外部I/Oに対するリード・サイクルか，SRAM領域に対するリード・サイクルであることを示します。

なお，この信号はBCPレジスタのIOENビットをセット（1）することにより，通常のSRAM，外部ROM，外部I/Oサイクルの場合でも出力することができます。

(9) PCD0-PCD3（Port CD）… 3ステート入出力

ポートCDは，1ビット単位で入力データのリード／出力データのライトができる4ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードではメモリ，周辺I/Oを外部に拡張する場合の制御信号出力として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，PMCCDレジスタで指定します。

(a) ポート・モード

PCD0-PCD3はPMCDレジスタにより，ビット単位に入力または出力を設定できます。

(b) コントロール・モード

PCD0-PCD3はPMCCDレジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

(i) SDCKE（SDRAM clock enable）… 出力

SDRAMのクロック・イネーブル出力信号です。セルフ・リフレッシュ，スタンバイ・モード時は，インアクティブになります。

(ii) BUSCLK（Bus clock output）… 出力

SDRAM用クロック出力端子です。

(iii) $\overline{\text{SDCAS}}$（SDRAM column address strobe）… 3ステート出力

SDRAMに対するコマンド出力信号です。

(iv) $\overline{\text{SDRAS}}$（SDRAM row address strobe）… 3ステート出力

SDRAMに対するコマンド出力信号です。

（10）PAH0-PAH9（Port AH）…　3ステート入出力

ポートAHは，1ビット単位で入力データのリード／出力データのライトができる8/10ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードでは，メモリを外部に拡張する場合のアドレス・バス（A16-A25）として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，PMCAHレジスタで指定します。

（a）ポート・モード

PAH0-PAH9はPMAHレジスタにより，ビット単位に入力または出力を設定できます。

（b）コントロール・モード

PAH0-PAH9はPMCAHレジスタにより，A16-A25として使用できます。

（i）A16-A25（Address bus）…　3ステート出力

外部アドレス時のアドレス・バスで，26ビット・アドレスの上位10ビット・アドレス出力端子です。

出力は，バス・サイクルのT1ステートのBUSCLK信号の立ち下がりに同期して変化します。アイドル・ステート（TI）では直前のバス・サイクルのアドレスを保持しています。

（11）PAL0, PAL1（Port AL）…　3ステート入出力

ポートALは，1ビット単位で入力データのリード／出力データのライトができる2ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードでは，メモリを外部に拡張する場合のアドレス・バス（A0, A1）として動作するほか，外部割り込み要求入力として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，PMCALレジスタで指定します。

（a）ポート・モード

PAL0, PAL1はPMALレジスタにより，ビット単位に入力または出力を設定できます。

（b）コントロール・モード

PAL0, PAL1はPMCALレジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（i）A0, A1（Address bus）…　3ステート出力

外部アドレス時のアドレス・バスで，26ビット・アドレスの下位2ビット・アドレス出力端子です。

出力は，バス・サイクルのT1ステートのBUSCLK信号の立ち下がりに同期して変化します。アイドル・ステート（TI）では直前のバス・サイクルのアドレスを保持しています。

（ii）$\overline{\text{INTPL0}}$, $\overline{\text{INTPL1}}$（External interrupt input）…　入力

外部割り込み要求入力端子です。

（12）PDH0-PDH15（Port DL）…　3ステート入出力

ポートDHは，1ビット単位で入力データのリード／出力データのライトができる8/16ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードでは，タイマ／カウンタ入出力，PWMの出力，データ・バス（D16-D31），外部割り込み要求入力として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，PMCDHレジスタで指定します。

（a）ポート・モード

PDH0-PDH15はPMDHレジスタにより，ビット単位に入力または出力を設定できます。

（b）コントロール・モード

PDH0-PDH15はPMCDHレジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（i）$\overline{\text{INTPD0}}$-$\overline{\text{INTPD15}}$（External interrupt input）…　入力

外部割り込み要求入力端子です。

（ii）TOC4, TOC5（Timer output）…　出力

タイマC4，タイマC5のパルス信号出力端子です。

（iii）INTP100, INTP101, INTP110, INTP111（Timer capture trigger input）…　入力

タイマENC10，タイマENC11の外部キャプチャ・トリガ入力端子です。

（iv）TIUD10, TIUD11（Timer count pulse input）…　入力

タイマENC10，タイマENC11の外部カウント・クロック入力端子です。

（v）TCUD10, TCUD11（Timer control pulse input）…　入力

タイマENC10，タイマENC11の外部カウント・クロック入力端子です。

（vi）TCLR10, TCLR11（Timer clear）…　入力

タイマENC10，タイマENC11のクリア信号入力端子です。

（vii）TO10, TO11（Timer output）…　出力

タイマENC10，タイマENC11のパルス信号出力端子です。

（viii）PWM0, PWM1（Pulse width modulation）…　出力

PWMのパルス信号を出力します。

（ix）D16-D31（Data bus）… 3ステート入出力

外部アクセス時のデータ・バスです。32ビット・データの上位16ビット入出力バス端子となります。

出力は，バス・サイクルのT1ステートのBUSCLK信号の立ち上がりに同期して変化します。

（13）PLLSEL（PLL operating mode select）… 入力

PLLの動作モードを指定する入力端子です。抵抗を介し，動作モードを固定してください。

（14）PLLV_{DD}（PLL power supply）

PLLシンセサイザ用の1.5 V正電源供給端子です。

（15）PLLV_{SS}（PLL ground）

PLLシンセサイザ用のグランド端子です。

（16）SSEL0, SSEL1（Clock generator operating mode select）… 入力

クロック・ジェネレータの動作モードを指定する入力端子です。抵抗を介し，動作モードを固定してください。

（17）JIT0, JIT1（SSCG(Spread Spectrum Frequency Synthesizer Phase Locked Loop) Clock Generator operating mode select）… 入力

SSCGの動作モードを指定する入力端子です。抵抗を介し，動作モードを固定してください。

（18）DCK（Debug clock input）… 入力

デバッグ・クロック入力端子です。DCK信号の立ち上がりに同期してDMS信号，DDI信号がサンプリングされ，DCK信号の立ち下がりに同期してDDO端子からデータが出力されます。デバッグ機能を使用しない場合は，ハイ・レベルにしてください。

（19）DDI（Debug data input）… 入力

デバッグ・データ入力端子です。デバッグ・シリアル・インタフェースがシフト・ステートのときに，DCK信号の立ち上がりに同期してサンプリングされます。データはLSBファーストです。デバッグ機能を使用しない場合は，ハイ・レベルにしてください。

（20）DDO（Debug data output）… 3ステート出力

デバッグ・データ出力端子です。デバッグ・シリアル・インタフェースがシフト・ステートのときに，DCK信号の立ち下がりに同期してデータが出力されます。データはLSBファーストです。

（21）DMS（Debug mode select）… 入力

デバッグ・モード・セレクト入力端子です。DMS信号のレベルにより，デバッグ・シリアル・インタフェースのステート・マシンが変化します。DCK信号の立ち上がりに同期してサンプリングされます。デバッグ機能を使用しない場合は，ハイ・レベルにしてください。

(22) $\overline{\text{DRST}}$（Debug reset）…　入力

デバッグ・リセット入力端子です。DCUを非同期に初期化する負論理の信号です。ロウ・レベルにすると，DCUをリセット／無効にします。デバッグ機能を使用しない場合は，ロウ・レベルにしてください。

(23) MODE0, MODE1（Mode）…　入力

動作モードを指定する入力端子です。抵抗を介し，動作モードを固定してください。

(24) $\overline{\text{RESET}}$（Reset）…　入力

$\overline{\text{RESET}}$入力は非同期入力であり，動作クロックと無関係に一定のロウ・レベル幅を持つ信号が入力されると，すべての動作に優先してシステム・リセットがかかります。

通常のイニシャライズ／スタートのほかに，スタンバイ・モード（HALT，IDLE，ソフトウエアSTOP）の解除にも使用します。

(25) X1, X2（Crystal）

システム・クロック発生用の発振子接続端子です。

(26) ANI0-ANI7（Analog Input）…　入力

A/Dコンバータへのアナログ入力端子です。

ノイズによる誤動作を防ぐため，AV_{SS}との間にコンデンサを接続してください。また，A/Dコンバータへの入力に使用している端子には，AV_{SS}-AV_{DD}の範囲外の電圧が加わらないようにしてください。AV_{DD}以上，AV_{SS}以下のノイズが入る可能性がある場合は，V_Fの小さいダイオードでクランプしてください。

(27) AV_{REFM}, AV_{REFP}（Analog reference voltage）…　入力

A/Dコンバータ用の基準電圧供給端子です。

(28) AV_{DD}（Analog power supply）

A/Dコンバータ用の3.3 V正電源供給端子です。

(29) AV_{SS}（Analog ground）

A/Dコンバータ用のグランド端子です。

(30) EV_{DD}（Port power supply）

ポート用の3.3 V正電源供給端子です。

(31) EV_{SS}（Port ground）

ポート用のグランド端子です。

(32) $OSCV_{DD}$（Clock generator power supply）

クロック・ジェネレータ用の3.3 V正電源供給端子です。

(33) $OSCV_{SS}$（Clock generator ground）

クロック・ジェネレータ用のグランド端子です。

（34）UV_{DD}（USB power supply）

USB用の3.3 V正電源供給端子です。

（35）UDP（USB data input & output (+)）…　入出力

USBのデータ入出力（＋）端子です。

（36）UDM（USB data input & output (-)）…　入出力

USBのデータ入出力（－）端子です。

（37）IV_{DD}（Internal unit power supply）

各内部ユニット用の1.5 V正電源供給端子です。すべてのIV_{DD}端子を正電源に接続してください。

（38）IV_{SS}（Internal unit ground）

グランド端子です。すべてのIV_{SS}端子をグランドに接続してください。

（39）A2-A15（Address bus）…　出力

外部アドレス時のアドレス・バスで，26ビット・アドレスの下位14ビット・アドレス出力端子です。

（40）D0-D15（Data bus）…　3ステート入出力

外部アクセス時のデータ・バスです。32ビット・データの下位16ビット入出力バス端子となります。

出力は，バス・サイクルのT1ステートのBUSCLK信号の立ち上がりに同期して変化します。

（41）TRCCLK（Trace clock）…　出力

トレース・クロック出力端子です。

（42）TRCDATA0-TRCDATA3（Trace data output）…　出力

トレース・データ出力（D0-D3）端子です。

（43）TRCEND（Trace end status output）…　出力

トレース・エンド・ステータス出力端子です。

2. 4　端子の入出力回路タイプと未使用時の処理

抵抗を介してV_{DD}またはV_{SS}に接続する場合，1～10 kΩの抵抗を接続することを推奨します。

(1/5)

端　子	兼用端子	ピン番号	入出力回路タイプ	推奨接続方法
P10	$\overline{\text{INTP10}}$/UCLK	159	5	入力状態：個別に抵抗を介してEV_{DD}またはEV_{SS}に接続してください。 出力状態：オープンにしてください。
P11	$\overline{\text{INTP11}}$/$\overline{\text{SCK0}}$	155	8-J	
P12	SI0/RXD0	154		
P13	SO0/TXD0	153	5	
P20	NMI	152	2	V_{SS}に直接接続してください。
P21	$\overline{\text{INTP21}}$/RXD1	149	8-J	入力状態：個別に抵抗を介してEV_{DD}またはEV_{SS}に接続してください。 出力状態：オープンにしてください。
P22	$\overline{\text{INTP22}}$/TXD1	148	5	
P23	$\overline{\text{INTP23}}$/$\overline{\text{SCK1}}$	147	8-J	
P24	$\overline{\text{INTP24}}$/SI1	146		
P25	$\overline{\text{INTP25}}$/SO1	145	5	
P50	$\overline{\text{INTP50}}$/$\overline{\text{DMARQ0}}$	25		入力状態：個別に抵抗を介してEV_{DD}に接続してください。 出力状態：オープンにしてください。
P51	$\overline{\text{INTP51}}$/$\overline{\text{DMAAK0}}$	24		入力状態：個別に抵抗を介してEV_{DD}またはEV_{SS}に接続してください。 出力状態：オープンにしてください。
P52	$\overline{\text{INTP52}}$/$\overline{\text{TC0}}$	23		
P53	INTPC00/TIC0/$\overline{\text{DMARQ1}}$	22		入力状態：個別に抵抗を介してEV_{DD}に接続してください。 出力状態：オープンにしてください。
P54	INTPC01/$\overline{\text{DMAAK1}}$	21		入力状態：個別に抵抗を介してEV_{DD}またはEV_{SS}に接続してください。 出力状態：オープンにしてください。
P55	TOC0/$\overline{\text{TC1}}$	20		
P65	$\overline{\text{INTP65}}$/INTPC10/TIC1	19		
P66	$\overline{\text{INTP66}}$/INTPC11	18		
P67	$\overline{\text{INTP67}}$/TOC1	17		
P72	INTPC20/TIC2/$\overline{\text{DMARQ2}}$	176		入力状態：個別に抵抗を介してEV_{DD}に接続してください。 出力状態：オープンにしてください。
P73	INTPC21/$\overline{\text{DMAAK2}}$	175		入力状態：個別に抵抗を介してEV_{DD}またはEV_{SS}に接続してください。 出力状態：オープンにしてください。
P74	TOC2/$\overline{\text{TC2}}$	174		
P75	INTPC30/TIC3/$\overline{\text{DMARQ3}}$	173		入力状態：個別に抵抗を介してEV_{DD}に接続してください。 出力状態：オープンにしてください。
P76	INTPC31/$\overline{\text{DMAAK3}}$	172		入力状態：個別に抵抗を介してEV_{DD}またはEV_{SS}に接続してください。 出力状態：オープンにしてください。
P77	TOC3/$\overline{\text{TC3}}$	171		

(2/5)

端　　子	兼用端子	ピン番号	入出力回路タイプ	推奨接続方法
PAH0	A16	58	5	入力状態：個別に抵抗を介してEV_{DD}またはEV_{SS}に接続してください。 出力状態：オープンにしてください。
PAH1	A17	57		
PAH2	A18	52		
PAH3	A19	51		
PAH4	A20	50		
PAH5	A21	49		
PAH6	A22	48		
PAH7	A23	47		
PAH8	A24	46		
PAH9	A25	45		
PAL0	$\overline{\text{INTPL0}}$/A0	76		
PAL1	$\overline{\text{INTPL1}}$/A1	75		
PDH0	D16/$\overline{\text{INTPD0}}$	112		
PDH1	D17/$\overline{\text{INTPD1}}$	113		
PDH2	D18/$\overline{\text{INTPD2}}$/TOC4	114		
PDH3	D19/$\overline{\text{INTPD3}}$	117		
PDH4	D20/$\overline{\text{INTPD4}}$	118		
PDH5	D21/$\overline{\text{INTPD5}}$/TOC5	119		
PDH6	D22/$\overline{\text{INTPD6}}$/INTP100/ TCUD10	120		
PDH7	D23/$\overline{\text{INTPD7}}$/INTP101/ TCLR10	121		
PDH8	D24/$\overline{\text{INTPD8}}$/TO10	122		
PDH9	D25/$\overline{\text{INTPD9}}$/TIUD10	123		
PDH10	D26/$\overline{\text{INTPD10}}$/INTP110/ TCUD11	124		
PDH11	D27/$\overline{\text{INTPD11}}$/INTP111/ TCLR11	125		
PDH12	D28/$\overline{\text{INTPD12}}$/TO11	126		
PDH13	D29/$\overline{\text{INTPD13}}$/TIUD11	127		
PDH14	D30/$\overline{\text{INTPD14}}$/PWM0	130		
PDH15	D31/$\overline{\text{INTPD15}}$/PWM1	131		
PCS0	$\overline{\text{CS0}}$	44		
PCS1	$\overline{\text{CS1}}$	43		
PCS2	$\overline{\text{CS2}}$/$\overline{\text{IOWR}}$	42		
PCS3	$\overline{\text{CS3}}$	41		
PCS4	$\overline{\text{CS4}}$	40		
PCS5	$\overline{\text{CS5}}$/$\overline{\text{IORD}}$	37		
PCS6	$\overline{\text{CS6}}$	36		
PCS7	$\overline{\text{CS7}}$	35		

(3/5)

端　　子	兼用端子	ピン番号	入出力回路タイプ	推奨接続方法
PCT0	$\overline{\text{LLWR}}$/$\overline{\text{LLBE}}$/LLDQM	83	5	入力状態：個別に抵抗を介してEV_{DD}またはEV_{SS}に接続してください。 出力状態：オープンにしてください。
PCT1	$\overline{\text{LUWR}}$/$\overline{\text{LUBE}}$/LUDQM	82		
PCT2	$\overline{\text{ULWR}}$/$\overline{\text{ULBE}}$/ULDQM	81		
PCT3	$\overline{\text{UUWR}}$/$\overline{\text{UUBE}}$/UUDQM	80		
PCT4	$\overline{\text{RD}}$	79		
PCT5	$\overline{\text{WE}}$/$\overline{\text{WR}}$	78		
PCT7	$\overline{\text{BCYST}}$	77		
PCM0	$\overline{\text{WAIT}}$	34		入力状態：個別に抵抗を介してEV_{DD}に接続してください。 出力状態：オープンにしてください。
PCM1	－	33	8-J	入力状態：個別に抵抗を介してEV_{DD}またはEV_{SS}に接続してください。 出力状態：オープンにしてください。
PCM2	$\overline{\text{HLDAK}}$	32	5	
PCM3	$\overline{\text{HLDRQ}}$	31		入力状態：個別に抵抗を介してEV_{DD}に接続してください。 出力状態：オープンにしてください。
PCM4	$\overline{\text{REFRQ}}$	30		入力状態：個別に抵抗を介してEV_{DD}またはEV_{SS}に接続してください。 出力状態：オープンにしてください。
PCM5	ADTRG/$\overline{\text{SELFREF}}$	29		入力状態：個別に抵抗を介してEV_{DD}に接続してください。 出力状態：オープンにしてください。
PCD0	SDCKE	91		入力状態：個別に抵抗を介してEV_{DD}またはEV_{SS}に接続してください。 出力状態：オープンにしてください。
PCD1	BUSCLK	88		
PCD2	$\overline{\text{SDCAS}}$	87		
PCD3	$\overline{\text{SDRAS}}$	86		
A2	－	74		
A3	－	73		
A4	－	72		
A5	－	69		
A6	－	68		
A7	－	67		
A8	－	66		
A9	－	65		
A10	－	64		
A11	－	63		
A12	－	62		
A13	－	61		
A14	－	60		
A15	－	59		

(4/5)

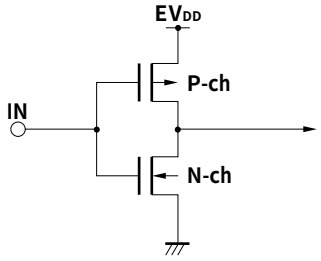
端　　子	兼用端子	ピン番号	入出力回路タイプ	推奨接続方法
D0	－	92	5	入力状態：個別に抵抗を介してEV_{DD}またはEV_{SS}に接続してください。 出力状態：オープンにしてください。
D1	－	93		
D2	－	94		
D3	－	95		
D4	－	96		
D5	－	97		
D6	－	98		
D7	－	99		
D8	－	104		
D9	－	105		
D10	－	106		
D11	－	107		
D12	－	108		
D13	－	109		
D14	－	110		
D15	－	111		

(5/5)

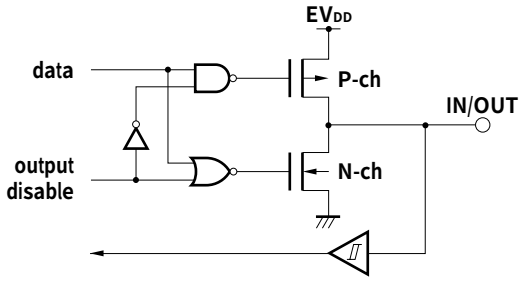
端　　子	兼用端子	ピン番号	入出力回路タイプ	推奨接続方法
AV_{DD}	－	3	－	EV_{DD}に接続してください。
AV_{SS}	－	14	－	EV_{SS}に接続してください。
DCK	－	144	1	抵抗を介してEV_{DD}に接続してください。
DDI	－	141		
DMS	－	143		
DDO	－	140		オープンにしてください。
$\overline{DRST}$	－	142		EV_{SS}に接続してください。
TRCCLK	－	139		オープンにしてください。
TRCDATA0	－	137		
TRCDATA1	－	136		
TRCDATA2	－	133		
TRCDATA3	－	132		
TRCEND	－	138		
UV_{DD}	－	162	－	EV_{DD}に接続してください。
UDM	－	161	24-A	EV_{SS}に接続してください。
UDP	－	160		
ANI0	－	5	9-E	
ANI1	－	6		
ANI2	－	7		
ANI3	－	8		
ANI4	－	9		
ANI5	－	10		
ANI6	－	11		
ANI7	－	12		
AV_{REFM}	－	13	－	
AV_{REFP}	－	4	－	EV_{DD}に接続してください。

2. 5　端子の入出力回路

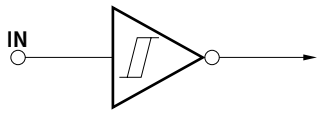
タイプ1



タイプ8-J

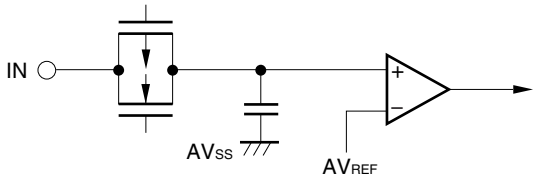


タイプ2

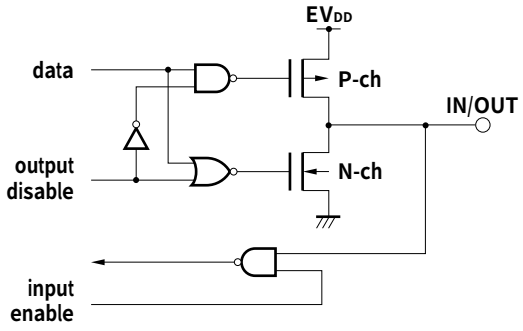


ヒステリシス特性を有するシュミット・トリガ入力となっています。

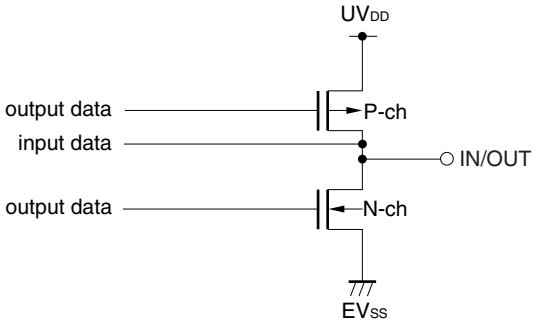
タイプ9-E



タイプ5



タイプ24-A



第3章　CPU機能

V850E/ME2のCPUは，RISCアーキテクチャをベースとして，5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3. 1　特　　徴

○ 最小命令実行時間：15 ns/10 ns/ 7.5 ns/6.7 ns（内部66 MHz/100 MHz/ 133 MHz/150 MHz動作時）

○ メモリ空間　　プログラム空間：64 Mバイト・リニア
　　データ空間　　：4 Gバイト・リニア

○ 汎用レジスタ：32ビット×32本

○ 内部32ビット・アーキテクチャ

○ 5段パイプライン制御

○ 乗除算命令

○ 飽和演算命令

○ 32ビット・シフト命令：1クロック

○ ロング／ショート形式を持つロード／ストア命令

○ ビット操作命令4種

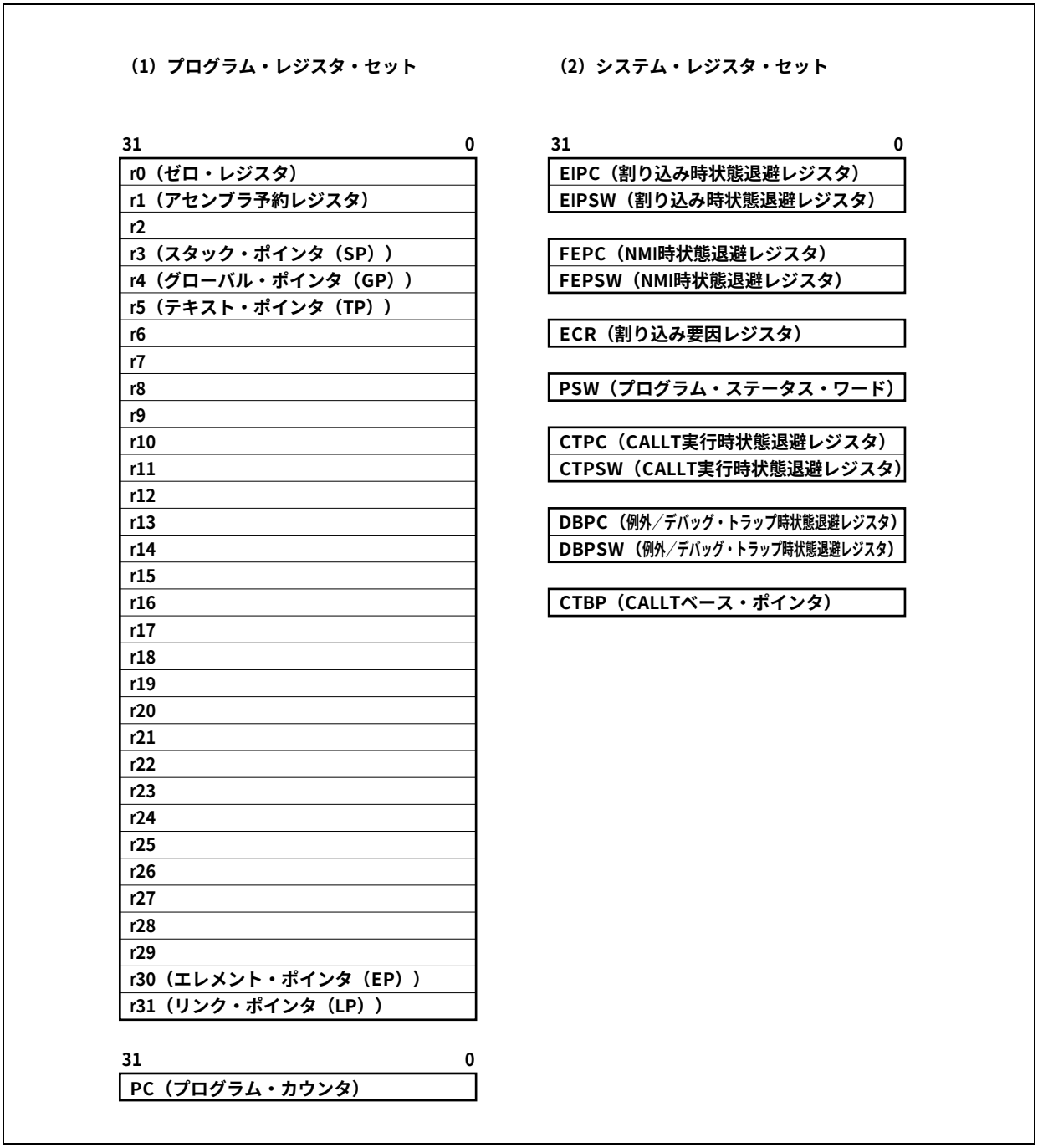
- SET1
- CLR1
- NOT1
- TST1

3. 2　CPUレジスタ・セット

V850E/ME2のレジスタは，一般のプログラム･レジスタ・セットと，専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850E1　ユーザーズ・マニュアル　アーキテクチャ編を参照してください。

図3－1　CPUレジスタ・セット



3. 2. 1　プログラム・レジスタ・セット

プログラム・レジスタには，汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ（r0-r31）

汎用レジスタとして，r0-r31 の 32 本が用意されています。これらのレジスタは，すべてデータ変数用またはアドレス変数用として利用できます。

ただし，r0-r5, r30, r31 を使用する際には次のような注意が必要です。

(a) r0, r30

命令により暗黙的に使用されます。

r0は常に0を保持しているレジスタであり，0を使用する演算やオフセット0のアドレシングで使用されます。

r30はSLD命令とSST命令により，メモリをアクセスするときのベース・ポインタとして使用されます。

(b) r1, r3-r5, r31

アセンブラとCコンパイラにより暗黙的に使用されます。

これらのレジスタを使用する際には，レジスタの内容を破壊しないように退避してから使用し，使用後に元に戻す必要があります。

(c) r2

リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は，アドレス変数用またはデータ変数用レジスタとして利用できます。

表3－1　汎用レジスター覧

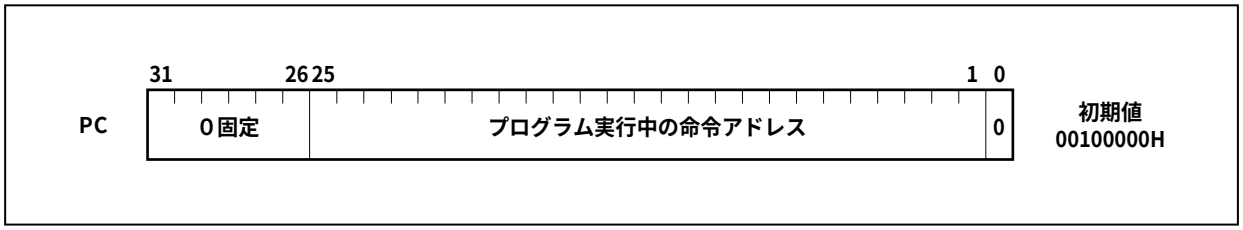
名 称	用　　途	動　　作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミーディエト作成用のワーキング・レジスタとして使用
r2	アドレス／データ変数用レジスタ（使用するリアルタイムOSがr2を使用していない場合）	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域（プログラム・コードを配置する領域）の先頭を指すレジスタとして使用
r6-r29	アドレス／データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用

備考　アセンブラやCコンパイラで使用されるr1, r3-r5, r31の詳細な説明は，CA850（Cコンパイラ・パッケージ）　ユーザーズ・マニュアル　アセンブリー言語編を参照してください。

(2) プログラム・カウンタ（PC）

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で，ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また，ビット0は0に固定されており，奇数番地への分岐はできません。



3. 2. 2 システム・レジスタ・セット

システム・レジスタは，CPUの状態制御，割り込み情報保持などを行います。

システム・レジスタへのリード／ライトは，システム・レジスタ・ロード／ストア命令（LDSR, STSR命令）により，次に示すシステム・レジスタ番号を設定することで行います。

表3－2 システム・レジスタ番号

レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ（EIPC）注1	○	○
1	割り込み時状態退避レジスタ（EIPSW）注1	○	○
2	NMI時状態退避レジスタ（FEPC）	○	○
3	NMI時状態退避レジスタ（FEPSW）	○	○
4	割り込み要因レジスタ（ECR）	×	○
5	プログラム・ステータス・ワード（PSW）	○	○
6-15	将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません）	×	×
16	CALLT実行時状態退避レジスタ（CTPC）	○	○
17	CALLT実行時状態退避レジスタ（CTPSW）	○	○
18	例外／デバッグ・トラップ時状態退避レジスタ（DBPC）	○注2	○注2
19	例外／デバッグ・トラップ時状態退避レジスタ（DBPSW）	○注2	○注2
20	CALLTベース・ポインタ（CTBP）	○	○
21-31	将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません）	×	×

注1. このレジスタは1組しかないため，多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

注意 LDSR命令によりEIPCかFEPC，またはCTPCのビット0をセット（1）しても，割り込み処理後のRETI命令で復帰するときにビット0は無視されます（PCのビット0を0固定してあるため）。EIPC，FEPC，CTPCに値を設定する場合は，偶数値（ビット0 = 0）を設定してください。

備考 ○：アクセス可能

×：アクセス禁止

（1）割り込み時状態退避レジスタ（EIPC, EIPSW）

割り込み時状態退避レジスタには，EIPCとEIPSWがあります。

ソフトウエア例外やマスカブル割り込みが発生した場合，プログラム・カウンタ（PC）の内容がEIPCに，プログラム・ステータス・ワード（PSW）の内容がEIPSWに退避されます（ノンマスカブル割り込み（NMI）発生時には，NMI時状態退避レジスタ（FEPC, FEPSW）に退避されます）。

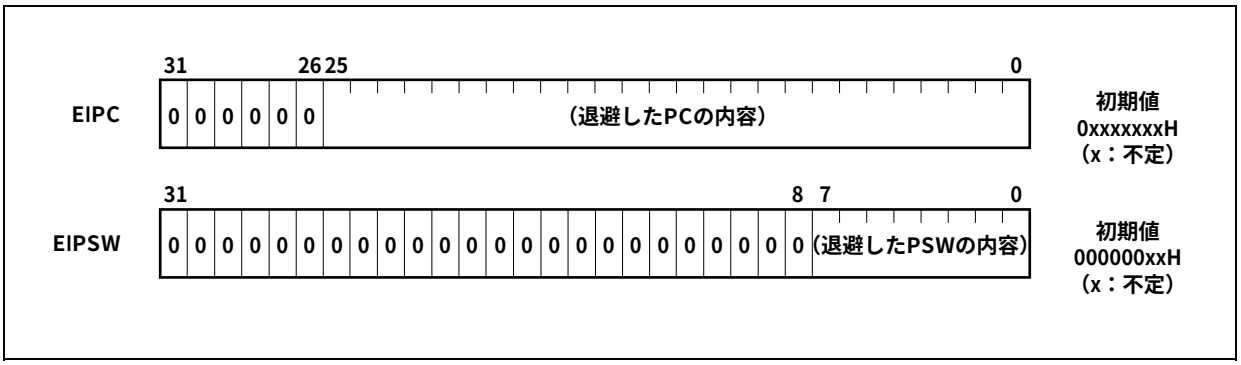
EIPCには，一部の命令（7. 8　CPUが割り込みを受け付けない期間参照）を除き，ソフトウエア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには，現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないため，多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお，EIPCのビット31-26とEIPSWのビット31-8は，将来の機能拡張のために予約されています（0に固定）。

RETI命令により，EIPCの値はPCへ，EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ（FEPC, FEPSW）

NMI時状態退避レジスタには，FEPCとFEPSWがあります。

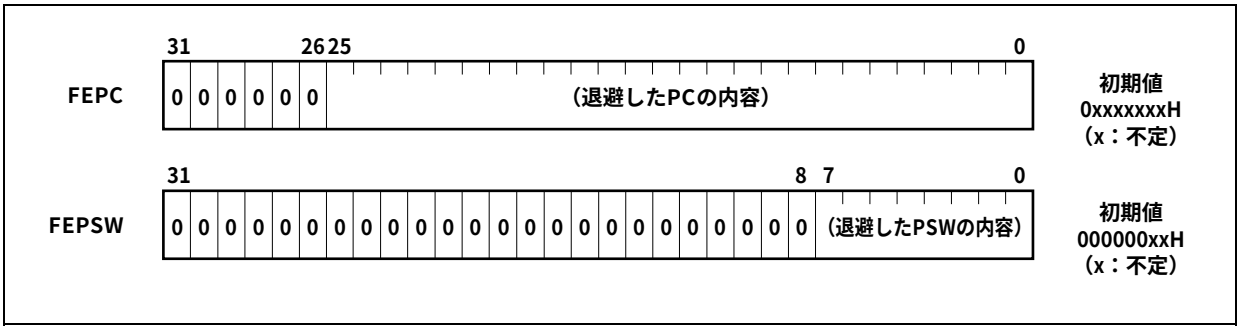
ノンマスカブル割り込み（NMI）が発生した場合，プログラム・カウンタ（PC）の内容がFEPCに，プログラム・ステータス・ワード（PSW）の内容がFEPSW に退避されます。

FEPCには，一部の命令を除き，NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには，現在のPSWの内容が退避されます。

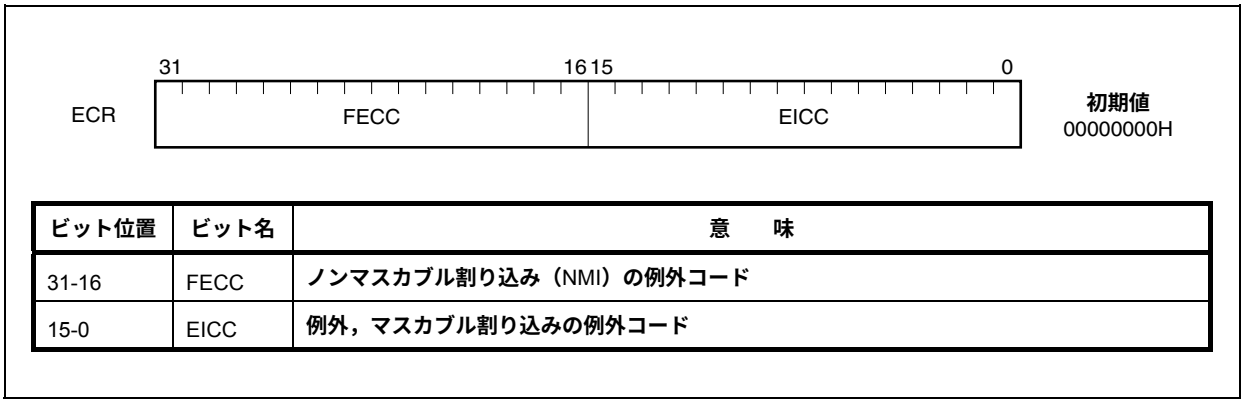
なお，FEPCのビット31-26とFEPSWのビット31-8は，将来の機能拡張のために予約されています（0に固定）。

RETI命令により，FEPCの値はPCへ，FEPSWの値はPSWへ復帰します。



(3) 割り込み要因レジスタ（ECR）

割り込み要因レジスタ（ECR）は，例外や割り込みが発生した場合に，その要因を保持するレジスタです。ECRが保持する値は，割り込み要因ごとにコード化された例外コードです。なお，このレジスタは読み出し専用のため，LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



ビット位置	ビット名	意　味
31-16	FECC	ノンマスカブル割り込み（NMI）の例外コード
15-0	EICC	例外，マスカブル割り込みの例外コード

(4) プログラム・ステータス・ワード（PSW）

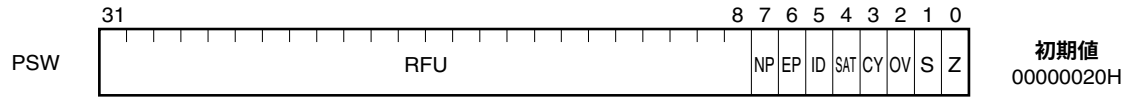
プログラム・ステータス・ワード（PSW）は，プログラムの状態（命令実行の結果）やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は，LDSR命令実行終了直後から変更内容が有効となります。

LDSR命令によるPSWのライト命令実行中は，割り込み要求の受け付けを保留します。

なお，ビット31-8は，将来の機能拡張のために予約されています（0に固定）。

(1/2)



ビット位置	フラグ名	意　　味
31-8	RFU	予約フィールドです。“0”に固定されています。
7	NP	ノンマスカブル割り込み（NMI）処理中であることを示します。NMI要求が受け付けられるとセット“1”され，多重割り込みを禁止します。 0：NMI処理中でない。 1：NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお，このビットがセットされても割り込み要求は受け付けます。 0：例外処理中でない。 1：例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0：割り込み許可（EI） 1：割り込み禁止（DI）
4	SAT注	飽和演算命令の演算結果がオーバフローし，演算結果が飽和していることを示します。累積フラグのため，飽和演算命令で演算結果が飽和するとセット“1”され，以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は，LDSR命令により行います。なお，算術演算命令の実行では，セット“1”もクリア“0”も行いません。 0：飽和していない。 1：飽和している。
3	CY	演算結果にキャリー，またはボローがあったかどうかを示します。 0：キャリー，またはボローは発生していない。 1：キャリー，またはボローが発生した。
2	OV注	演算中にオーバフローが発生したかどうかを示します。 0：オーバフローは発生していない。 1：オーバフローが発生した。
1	S注	演算の結果が負かどうかを示します。 0：演算の結果は，正または0であった。 1：演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0：演算の結果は0でなかった。 1：演算の結果は0であった。

備考　注の説明は次ページに記載しています。

(2/2)

注　飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また，飽和演算時に OV フラグがセット（1）された場合だけ，SAT フラグはセット（1）されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正（最大値を越えない）	演算前の値を保持	0	0	演算結果そのもの
負（最大値を越えない）			1	

(5) CALLT実行時状態退避レジスタ（CTPC, CTPSW）

CALLT実行時状態退避レジスタには，CTPCとCTPSWがあります。

CALLT命令が実行されると，プログラム・カウンタ（PC）の内容がCTPCに，プログラム・ステータス・ワード（PSW）の内容がCTPSWに退避されます。

CTPCに退避される内容は，CALLT命令の次の命令のアドレスです。

CTPSWには，現在のPSWの内容が退避されます。

なお，CTPCのビット31-26とCTPSWのビット31-8は，将来の機能拡張のために予約されています（“0”に固定）。

(6) 例外／デバッグ・トラップ時状態退避レジスタ（DBPC, DBPSW）

例外／デバッグ・トラップ時状態退避レジスタとして，DBPCとDBPSWがあります。

例外トラップ，またはデバッグ・トラップが発生すると，プログラム・カウンタ（PC）の内容がDBPC に，プログラム・ステータス・ワード（PSW）の内容がDBPSWに退避されます。

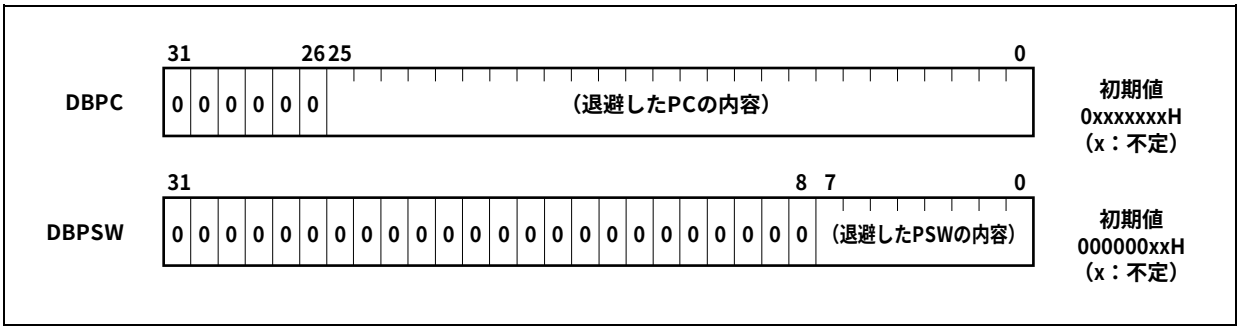
DBPCに退避される内容は，例外トラップ，またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには，現在のPSWの内容が退避されます。

このレジスタへのリード／ライトはDBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけ可能です。

なお，DBPCのビット31-26とDBPSWのビット31-8は，将来の機能拡張のために予約されています（“0”に固定）。

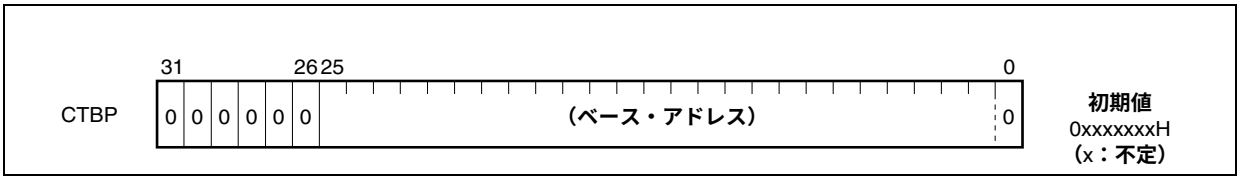
DBRET命令により，DBPCの値はPCへ，DBPSWの値はPSWへ復帰します。



(7) CALLTベース・ポインタ（CTBP）

CALLTベース・ポインタ（CTBP）は，テーブル・アドレスの指定，ターゲット・アドレスの生成に使用されます（ビット0は“0”に固定）。

なお，ビット31-26は，将来の機能拡張のために予約されています（“0”に固定）。



3. 3　動作モード

3. 3. 1　動作モード

V850E/ME2は次に示す動作モードを備えます。モードの指定はMODE0, MODE1端子により行います。

(1) 通常動作モード

32ビット・モード，16ビット・モード

システム・リセット解除後，バス・インタフェース関連の各端子はコントロール・モードになり，外部デバイス（メモリ）の0100000H（リセット・エントリ・アドレス）にSRAMサイクルで分岐し，命令処理を開始します。

32ビット・モードでは32ビット・データ・バスに，16ビット・モードでは16ビット・データ・バスになります。

注意　正しく動作させるため，0100000H番地には必ず外部メモリを配置してください。

3. 3. 2　動作モード指定

MODE0, MODE1端子の状態により，動作モードを指定します。これらの端子の指定は応用システムにおいて固定とし，動作中に変更した場合の動作は保証しません。

MODE1	MODE0	動作モード		備　考
L	L	通常動作モード	32ビット・モード	32ビット・データ・バス
L	H		16ビット・モード	16ビット・データ・バス
上記以外		設定禁止		

備考　L：ロウ・レベル入力
　　H：ハイ・レベル入力

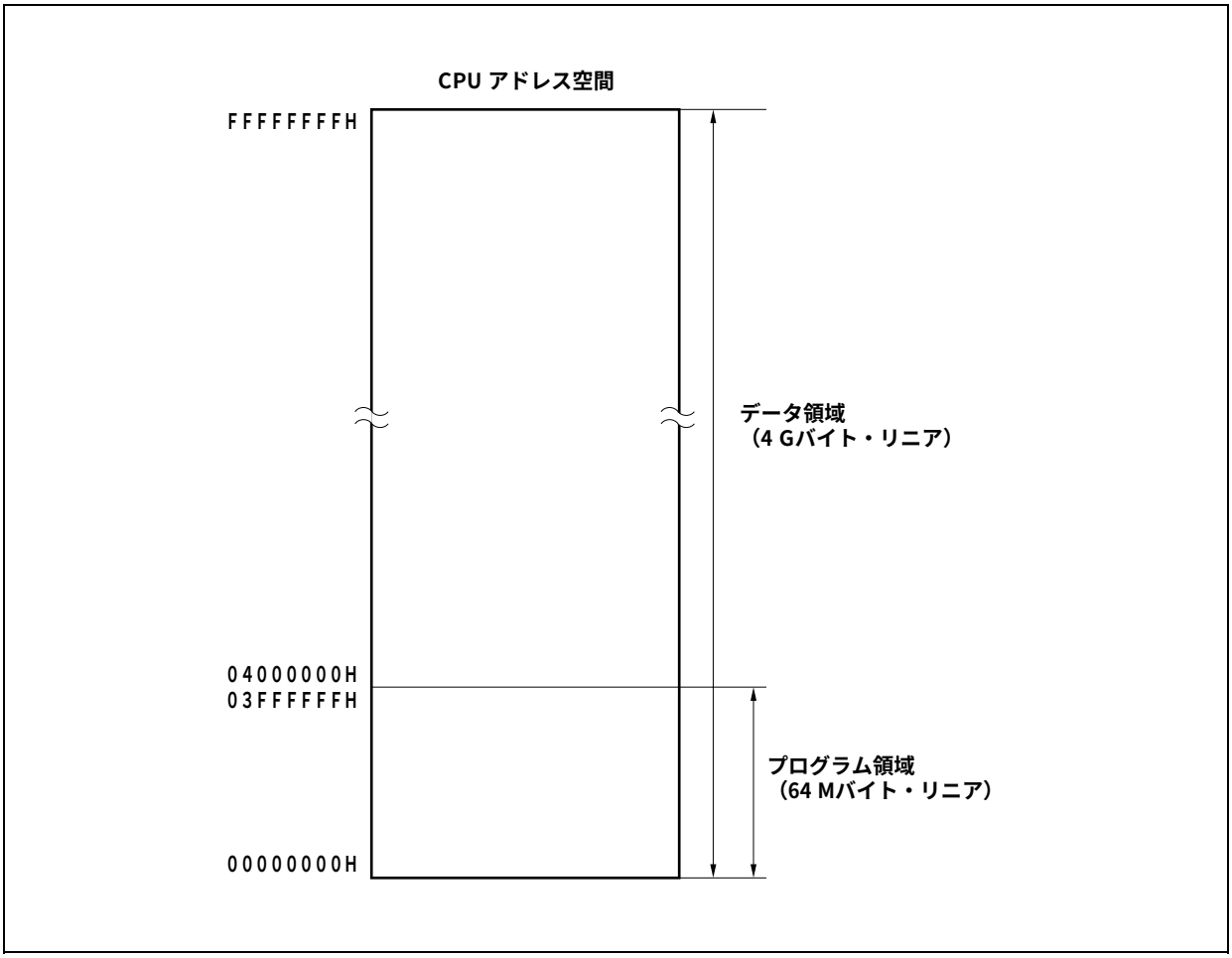
3. 4　アドレス空間

3. 4. 1　CPUアドレス空間

V850E/ME2のCPUは，32ビット・アーキテクチャであり，オペランド・アドレシング（データ・アクセス）においては，最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。また，命令アドレスのアドレシングにおいては，最大64 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。

次にCPUアドレス空間を示します。

図3ー2　CPUアドレス空間

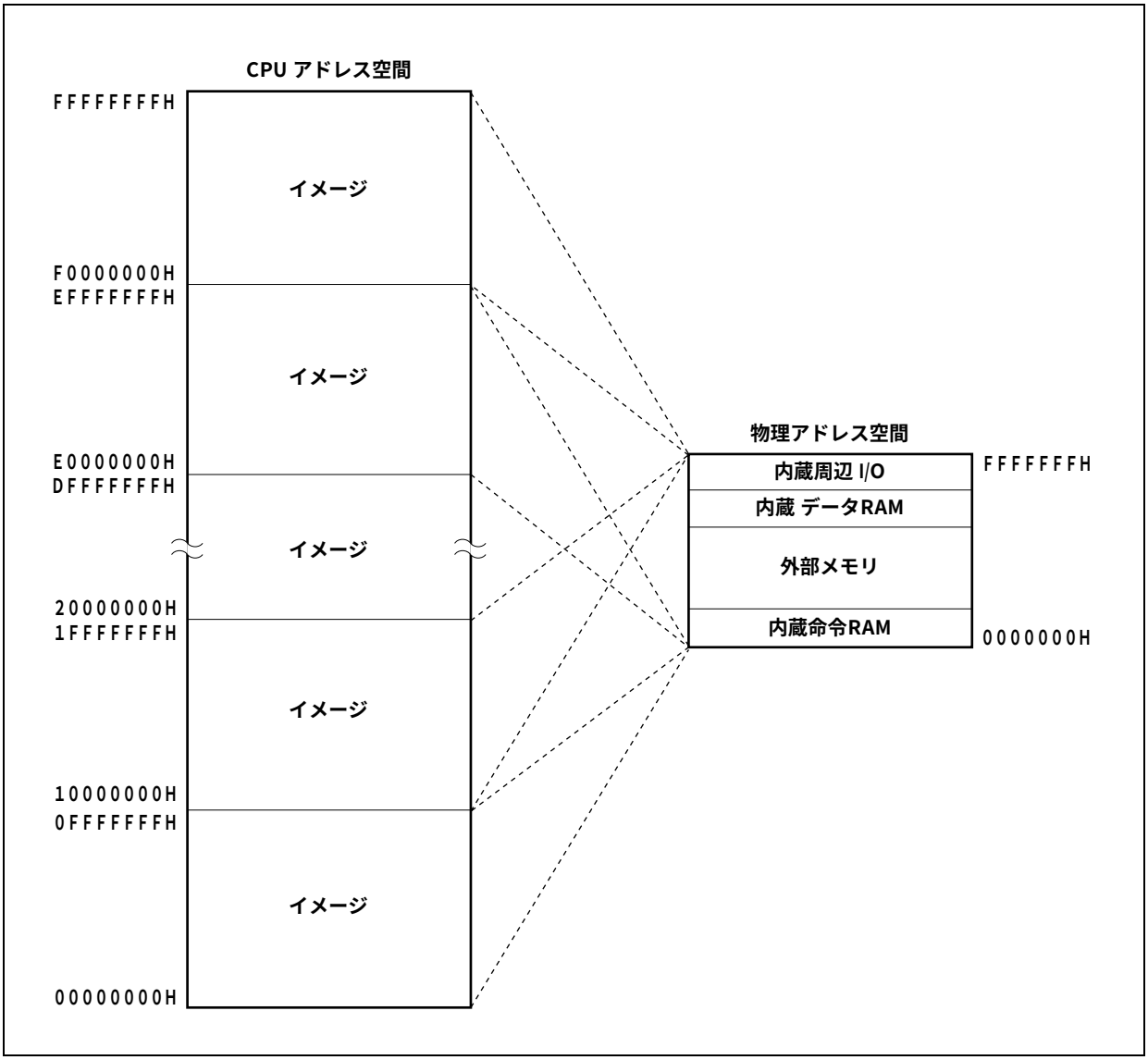


3. 4. 2　イメージ

4 Gバイトの CPUアドレス空間には，256 Mバイトの物理アドレス空間が16個のイメージとして見えます。つまり，CPUアドレスのビット31-ビット28がどのような値でも，同じ256 Mバイトの物理アドレス空間をアクセスします。図3－3にアドレス空間上のイメージを示します。

物理アドレスのx0000000H番地が，CPUアドレスの00000000H番地のほかに，10000000H番地，20000000H番地，…，E0000000H番地，F0000000H番地に見えます。

図3－3　アドレス空間上のイメージ



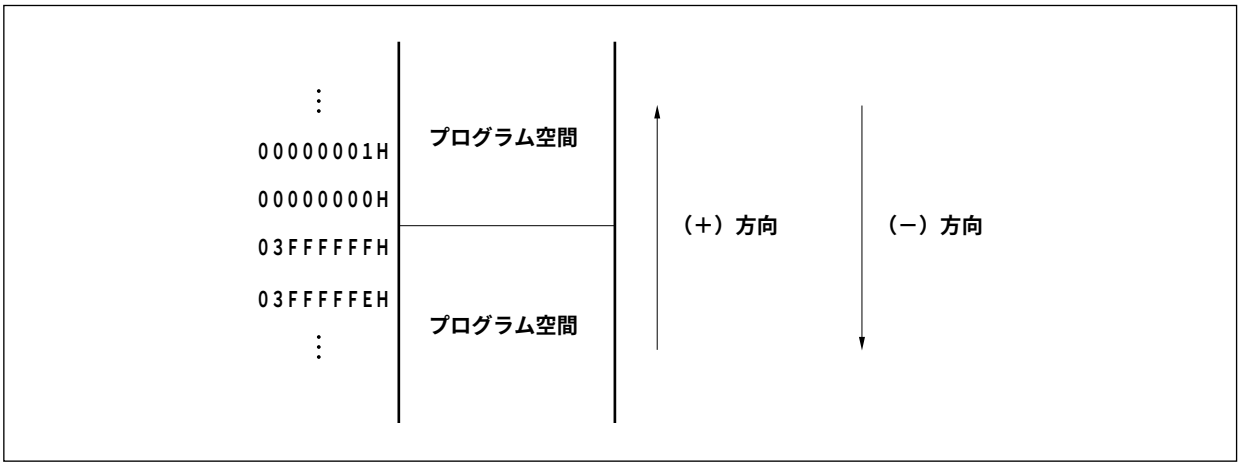
3. 4. 3　CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC（プログラム・カウンタ）は32ビットのうち上位6ビットが0固定で，下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって，プログラム空間の上限である03FFFFFFH番地と，下限の00000000H番地は連続したアドレスとなります。このようにメモリ空間の上限と下限が連続したアドレスになることをラップ・アラウンドといいます。

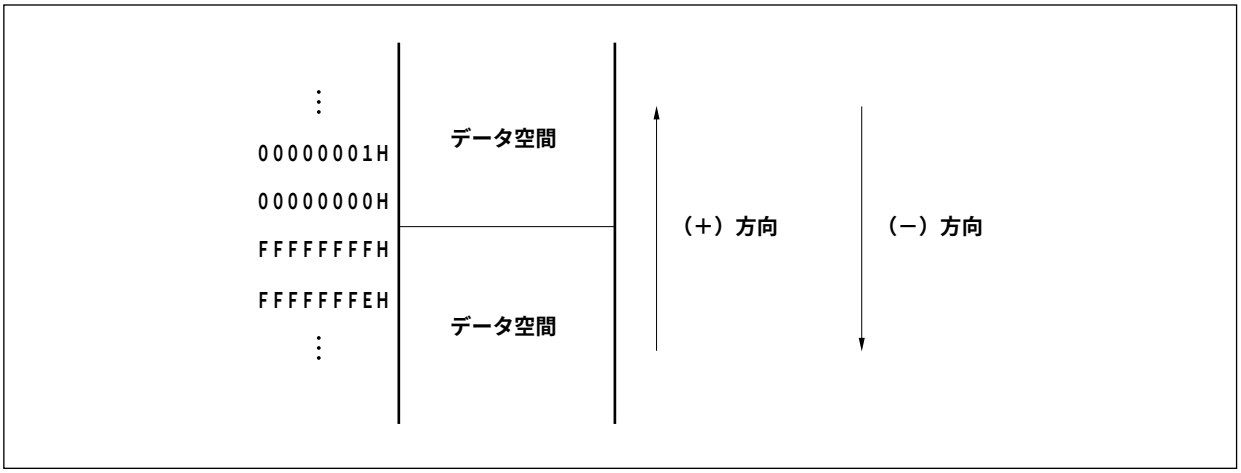
注意　03FFF800H-03FFFFFFHの32 Kバイトの領域は，0FFFF800H-0FFFFFFFHのイメージが見えます。この領域は内蔵周辺I/O領域，内蔵データRAM領域，アクセス禁止領域のため命令フェッチすることができません。したがって，分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド･アドレス計算で32ビットを越える演算結果は無視します。

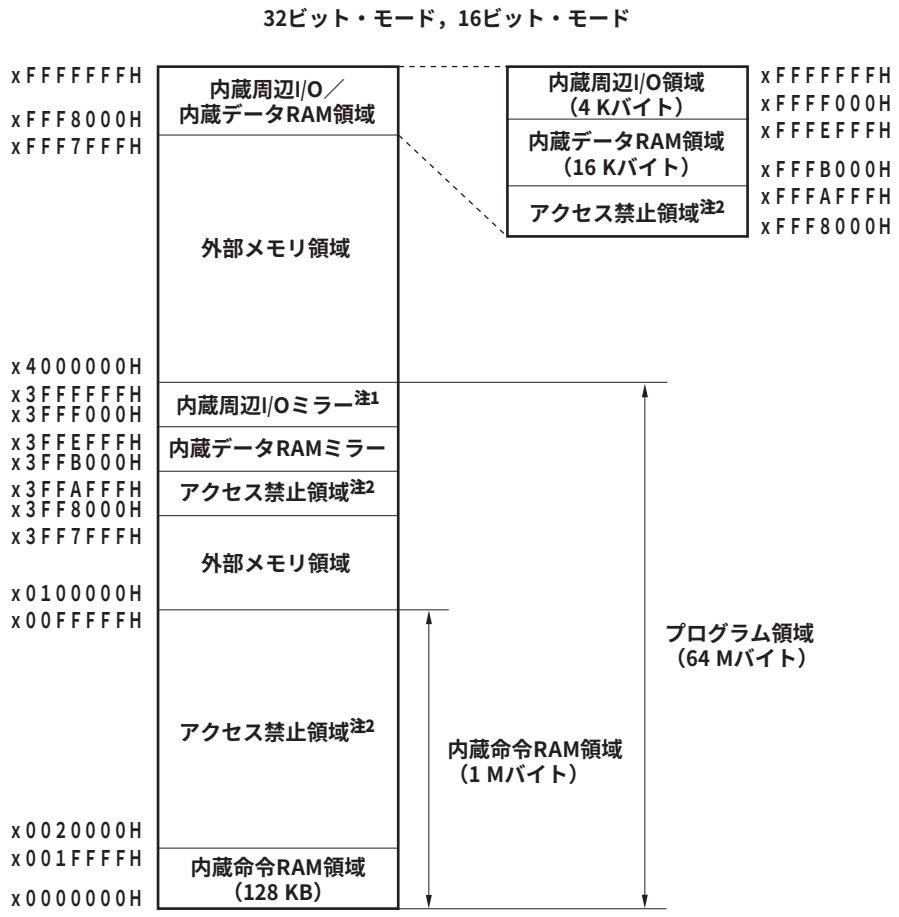
したがって，データ空間の上限であるFFFFFFFFH番地と，下限の00000000H番地は連続したアドレスになり，この境界でラップ・アラウンドします。



3. 4. 4 メモリ・マップ

V850E/ME2では，図3－4に示すように各領域を予約しています。

図3－4 メモリ・マップ



注1. 3FFF000H-3FFFFFFH番地はアクセス禁止です。内蔵周辺I/Oをアクセスするときには FFFF000H-FFFFFFFH番地を指定してください。

2. アクセス禁止領域にアクセスした場合の動作は保証しません。

注意 内蔵データRAM，内蔵命令RAM，内蔵周辺I/O領域に対して，外部メモリ・アクセスはできません。

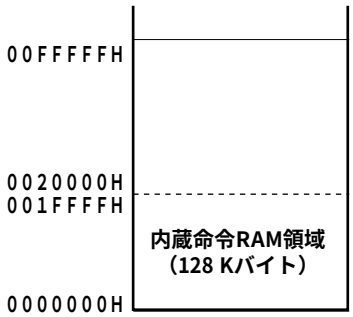
3.4.5 領　　域

(1) 内蔵命令RAM領域

(a) メモリ・マップ

命令RAM領域は，0000000H-00FFFFFH番地の1 Mバイトが予約されています。物理命令RAMとして0000000H-001FFFFH番地に128 Kバイトを実装しています。

注意 0020000H-0FFFFFH番地への外部メモリ・アクセスはできません。この領域をアクセスした場合，アドレス・バス（A0-A25）は，ロウ・レベルを出力します。データ・バス（D0-D31）は，出力されずハイ・インピーダンス状態になります。外部バス制御信号は，インアクティブ状態になります。



(b) 割り込み／例外テーブル

V850E/ME2は，割り込み／例外に対応したハンドラ・アドレスを固定化することにより，割り込み応答性を高速化しています。

このハンドラ・アドレスの集合を割り込み／例外テーブルと呼び，内蔵命令RAM領域に置かれています。割り込み／例外要求が受け付けられると，ハンドラ・アドレスにジャンプし，そのメモリに置かれているプログラムを実行します。表3－3に割り込み／例外要因と，対応するアドレスを示します。

表3－3 割り込み／例外テーブル（1/2）

割り込み／例外テーブルの先頭アドレス	割り込み／例外要因	割り込み／例外テーブルの先頭アドレス	割り込み／例外要因
00100000H	RESET	00000260H	INTPL1
00000010H	NMI0	00000270H	INTOVC0
00000040H	TRAP0n（n = 0-F）	00000280H	INTOVC1
00000050H	TRAP1n（n = 0-F）	00000290H	INTOVC2
00000060H	ILGOP/DBG0	000002A0H	INTOVC3
00000080H	INTP10	000002B0H	INTOVC4
00000090H	INTP11	000002C0H	INTOVC5
000000A0H	INTP21	000002D0H	INTPC00/INTCCC00
000000B0H	INTP22	000002E0H	INTPC01/INTCCC01
000000C0H	INTP23	000002F0H	INTPC10/INTCCC10
000000D0H	INTP24	00000300H	INTPC11/INTCCC11
000000E0H	INTP25	00000310H	INTPC20/INTCCC20
000000F0H	INTP50	00000320H	INTPC21/INTCCC21
00000100H	INTP51	00000330H	INTPC30/INTCCC30
00000110H	INTP52	00000340H	INTPC31/INTCCC31
00000120H	INTP65	00000350H	INTCCC40
00000130H	INTP66	00000360H	INTCCC41
00000140H	INTP67	00000370H	INTCCC50
00000150H	INTPD0	00000380H	INTCCC51
00000160H	INTPD1	00000390H	INTCMD0
00000170H	INTPD2	000003A0H	INTCMD1
00000180H	INTPD3	000003B0H	INTCMD2
00000190H	INTPD4	000003C0H	INTCMD3
000001A0H	INTPD5	000003D0H	INTCC100
000001B0H	INTPD6	000003E0H	INTCC101
000001C0H	INTPD7	000003F0H	INTCM100
000001D0H	INTPD8	00000400H	INTCM101
000001E0H	INTPD9	00000410H	INTOV10
000001F0H	INTPD10	00000420H	INTUD10
00000200H	INTPD11	00000430H	INTCC110
00000210H	INTPD12	00000440H	INTCC111
00000220H	INTPD13	00000450H	INTCM110
00000230H	INTPD14	00000460H	INTCM111
00000240H	INTPD15	00000470H	INTOV11
00000250H	INTPL0	00000480H	INTUD11

表3－3　割り込み／例外テーブル（2/2）

割り込み／例外テーブルの先頭アドレス	割り込み／例外要因	割り込み／例外テーブルの先頭アドレス	割り込み／例外要因
00000490H	INTDMA0	00000560H	UBTIRE1
000004A0H	INTDMA1	00000570H	UBTIR1
000004B0H	INTDMA2	00000580H	UBTIT1
000004C0H	INTDMA3	00000590H	UBTIF1
000004D0H	INTCSI30	000005A0H	UBTITO1
000004E0H	INTCOVF30	000005B0H	INTAD
000004F0H	INTCSI31	000005C0H	INTUSB0B
00000500H	INTCOVF31	000005D0H	INTUSB1B
00000510H	UBTIRE0	000005E0H	INTUSB2B
00000520H	UBTIR0	000005F0H	USBSP2B
00000530H	UBTIT0	00000600H	USBSP4B
00000540H	UBTIF0	00000610H	INTRSUM
00000550H	UBTITO0		

（2）内蔵データRAM領域

内蔵データRAM領域は，FFFB000H-FFFEFFFH番地の16 Kバイトの領域に実装されています。3FFB000H-3FFEFFFH番地の16 Kバイトには，FFFB000H-FFFEFFFH番地のイメージが見えます。

注意1. xFFF8000H-xFFFAFFFH番地，x3FF8000H-x3FFAFFFH番地への外部メモリ・アクセスはできません。外部メモリ・アクセスを行った場合の動作は保証しません。

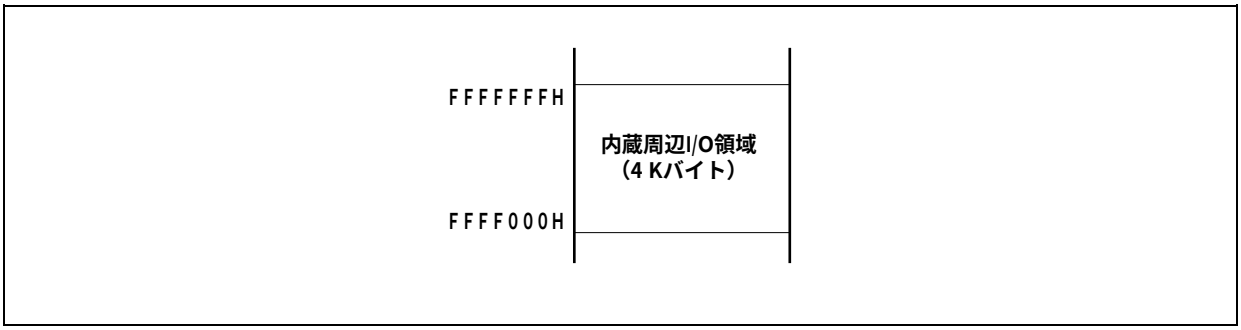
2. 内蔵データRAM領域でのプログラム実行はしないでください。

(3) 内蔵周辺I/O領域

内蔵周辺I/O領域としてFFFF000H-FFFFFFFH番地の4 Kバイトを実装しています。

3FFF000H-3FFFFFFH番地[注]には，FFFF000H-FFFFFFFH番地のイメージが見えます。

注 3FFF000H-3FFFFFFH番地はアクセス禁止です。内蔵周辺I/Oをアクセスするときには FFFF000H-FFFFFFFH番地を指定してください。



内蔵周辺I/O領域には，内蔵周辺I/Oの動作モード指定，状態モニタリングなどの機能を割り付けた内蔵周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

注意1. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合，リード時は上位8ビットが不定になり，ライト時は下位8ビット・データがレジスタに書き込まれます。
なお，8ビット・レジスタに対して，ハーフワード・アクセスは行わないでください。

2. レジスタとして定義されていないアドレスは，将来の拡張用に予約されており，アクセスした場合の動作は不定であり，保証しません。
DMA転送の転送元，転送先のアドレスに3FFF000H-3FFFFFFHを指定することができません。
転送元，転送先のアドレスには，必ずFFFF000H-FFFFFFFHのアドレスを指定してください。

(4) 外部メモリ領域

外部メモリ領域として256 Mバイトあります。下位64 Mバイトはプログラム／データ領域として使用できます。上位192 Mバイトはデータ領域として使用できます。外部メモリ領域はx0100000H-x3FF7FFFH番地およびx4000000H-FFF7FFFH番地です。

外部メモリ領域へのアクセスは，各メモリ・ブロックごとに割り当てられたチップ・セレクト信号を使用します（CSC0, CSC1レジスタで設定したCS単位で行います）。

なお，内蔵命令RAM，内蔵データRAM，内蔵周辺I/Oの各領域を外部メモリ領域として使用することはできません。

3.4.6 アドレス空間の推奨使用方法

V850E/ME2のアーキテクチャでは，データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトの領域には，命令から直接オペランド・データ・アクセスが行えます。しかし，ポインタ用レジスタとして使う汎用レジスタには限りがあるため，ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで，変数用の汎用レジスタを最大限に確保し，かつプログラム・サイズを抑えることができます。

V850E/ME2のメモリ・マップに関連して，ポインタ運用の効率化を目的として，次の使用方法を推奨します。

(1) プログラム空間

プログラム・カウンタ（PC）は，32ビットのうち上位6ビットは0に固定であり，下位26ビットだけ有効となります。したがって，プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

(2) データ空間

データ空間のラップ・アラウンドを利用したリソースを効率的に運用するため，4 GバイトのCPUアドレス空間の00000000H-00FFFFFFH番地およびFF000000H-FFFFFFFFH番地のそれぞれ連続した16 Mバイトをデータ空間として使用します。V850E/ME2では，4 GバイトのCPUアドレス空間に256 Mバイトの物理アドレス空間が16個のイメージとして見えるため，この26ビット・アドレスの最上位ビット（ビット25）を32ビット長まで符号拡張したアドレスとして割り当てています。

(a) ラップ・アラウンドを利用した応用例

LD/ST disp16[R]命令でR = r0（ゼロ・レジスタ）とした場合，符号拡張したdisp16により，00000000H番地±32 Kバイトの範囲がアドレシング可能です。

ゼロ・レジスタ（r0）はハードウエアでゼロ固定のレジスタであり，ポインタ専用に費やすレジスタは実質不要となります。

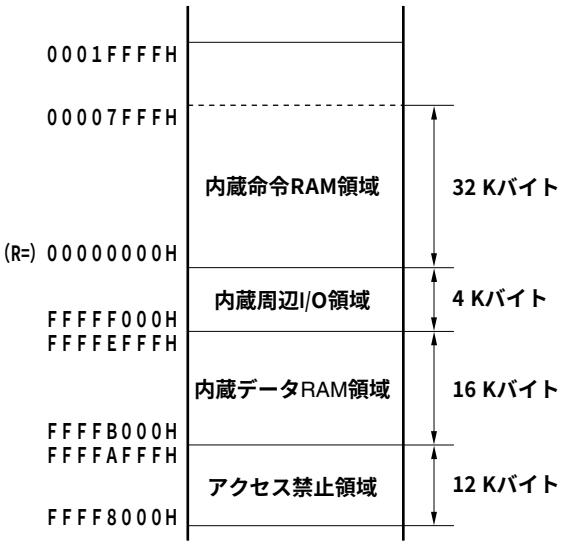
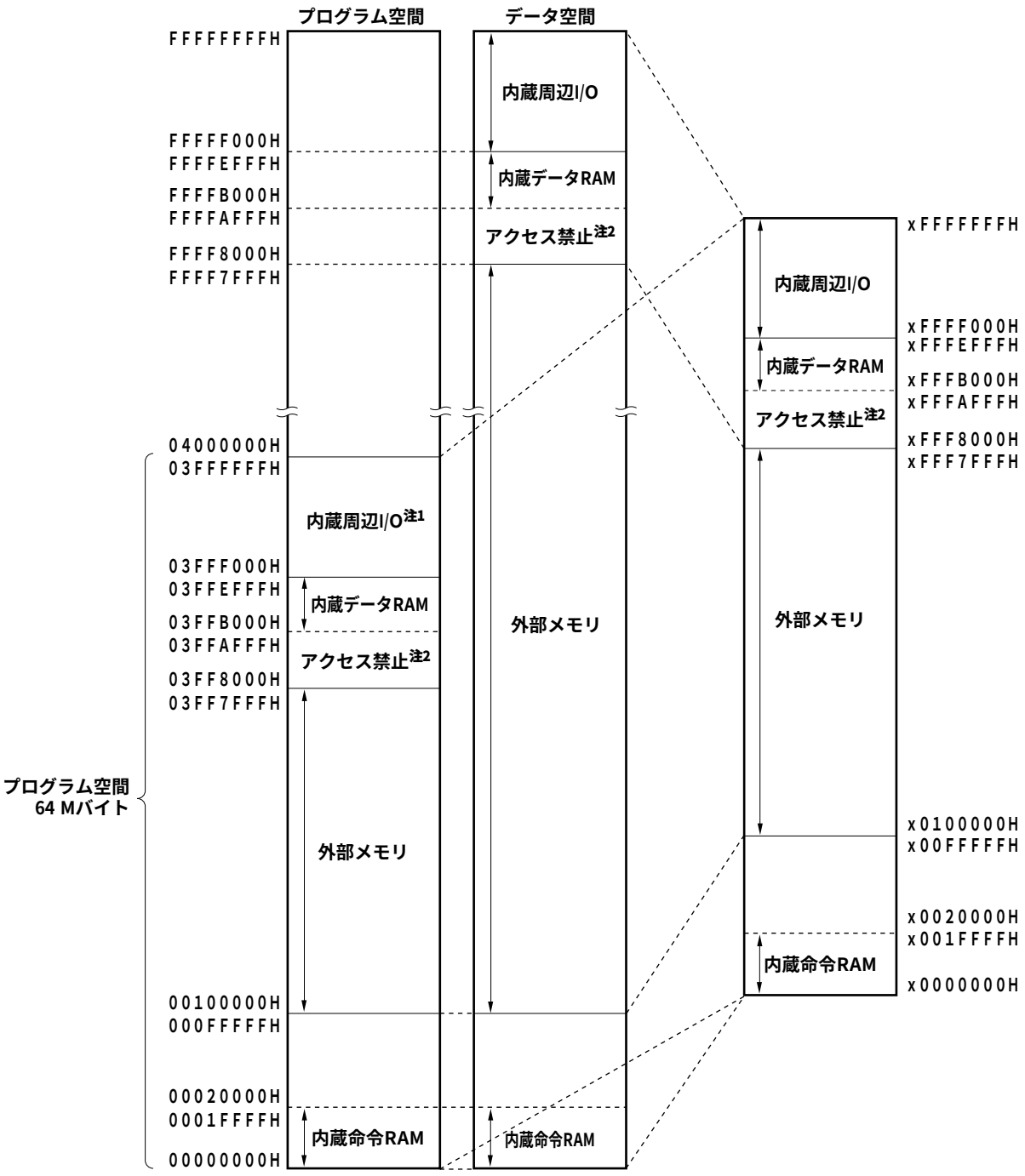


図3－5 推奨メモリ・マップ



注1. この領域はアクセス禁止です。内蔵周辺I/Oをアクセスするときには FFFF000H-FFFFFFFH番地を指定してください。

2. アクセス禁止領域にアクセスした場合の動作は保証しません。

備考 ↕ は推奨使用領域です。

3. 4. 7 内蔵周辺I/Oレジスタ

(1/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF000H	ポートAL	PAL	R/W			○	不定
FFFFF000H	ポートALL	PALL	R/W	○	○		不定
FFFFF001H	ポートALH	PALH	R	○	○		00H
FFFFF002H	ポートAH	PAH	R/W			○	不定
FFFFF002H	ポートAHL	PAHL	R/W	○	○		不定
FFFFF003H	ポートAHH	PAHH	R/W	○	○		不定
FFFFF006H	ポートDH	PDH	R/W			○	不定
FFFFF006H	ポートDHL	PDHL	R/W	○	○		不定
FFFFF007H	ポートDHH	PDHH	R/W	○	○		不定
FFFFF008H	ポートCS	PCS	R/W	○	○		不定
FFFFF00AH	ポートCT	PCT	R/W	○	○		不定
FFFFF00CH	ポートCM	PCM	R/W	○	○		不定
FFFFF00EH	ポートCD	PCD	R/W	○	○		不定
FFFFF020H	ポートALモード・レジスタ	PMAL	R/W			○	FFFFH
FFFFF020H	ポートALモード・レジスタL	PMALL	R/W	○	○		FFH
FFFFF021H	ポートALモード・レジスタH	PMALH	R	○	○		FFH
FFFFF022H	ポートAHモード・レジスタ	PMAH	R/W			○	FFFFH
FFFFF022H	ポートAHモード・レジスタL	PMAHL	R/W	○	○		FFH
FFFFF023H	ポートAHモード・レジスタH	PMAHH	R/W	○	○		FFH
FFFFF026H	ポートDHモード・レジスタ	PMDH	R/W			○	FFFFH
FFFFF026H	ポートDHモード・レジスタL	PMDHL	R/W	○	○		FFH
FFFFF027H	ポートDHモード・レジスタH	PMDHH	R/W	○	○		FFH
FFFFF028H	ポートCSモード・レジスタ	PMCS	R/W	○	○		FFH
FFFFF02AH	ポートCTモード・レジスタ	PMCT	R/W	○	○		FFH
FFFFF02CH	ポートCMモード・レジスタ	PMCM	R/W	○	○		FFH
FFFFF02EH	ポートCDモード・レジスタ	PMCD	R/W	○	○		FFH
FFFFF040H	ポートALモード・コントロール・レジスタ	PMCAL	R/W			○	0002H
FFFFF040H	ポートALモード・コントロール・レジスタL	PMCALL	R/W	○	○		02H
FFFFF041H	ポートALモード・コントロール・レジスタH	PMCALH	R	○	○		00H
FFFFF042H	ポートAHモード・コントロール・レジスタ	PMCAH	R/W			○	03FFH
FFFFF042H	ポートAHモード・コントロール・レジスタL	PMCAHL	R/W	○	○		FFH
FFFFF043H	ポートAHモード・コントロール・レジスタH	PMCAHH	R/W	○	○		03H
FFFFF046H	ポートDHモード・コントロール・レジスタ	PMCDH	R/W			○	0000H
FFFFF046H	ポートDHモード・コントロール・レジスタL	PMCDHL	R/W	○	○		00H
FFFFF047H	ポートDHモード・コントロール・レジスタH	PMCDHH	R/W	○	○		00H
FFFFF048H	ポートCSモード・コントロール・レジスタ	PMCCS	R/W	○	○		FFH
FFFFF049H	ポートCSファンクション・コントロール・レジスタ	PFCCS	R/W	○	○		00H
FFFFF04AH	ポートCTモード・コントロール・レジスタ	PMCCT	R/W	○	○		BFH
FFFFF04BH	ポートCTファンクション・コントロール・レジスタ	PFCCT	R/W	○	○		00H
FFFFF04CH	ポートCMモード・コントロール・レジスタ	PMCCM	R/W	○	○		3DH

(2/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF04DH	ポートCMファンクション･コントロール･レジスタ	PFCCM	R/W	○	○		00H
FFFFF04EH	ポートCDモード･コントロール･レジスタ	PMCCD	R/W	○	○		0FH
FFFFF056H	ポートDHファンクション･コントロール･レジスタ	PFCDH	R/W			○	0000H
FFFFF056H	ポートDHファンクション･コントロール･レジスタL	PFCDHL	R/W	○	○		00H
FFFFF057H	ポートDHファンクション･コントロール･レジスタH	PFCDHH	R/W	○	○		00H
FFFFF058H	ポートALファンクション･コントロール･レジスタL	PFCALL	R/W	○	○		03H
FFFFF060H	チップ・エリア選択コントロール・レジスタ0	CSC0	R/W			○	2C11H
FFFFF062H	チップ・エリア選択コントロール・レジスタ1	CSC1	R/W			○	2C11H
FFFFF068H	エンディアン･コンフィギュレーション･レジスタ	BEC	R/W			○	0000H
FFFFF06AH	キャッシュ･コンフィギュレーション･レジスタ	BHC	R/W			○	0000H
FFFFF06EH	システム・ウエイト・コントロール・レジスタ	VSWC	R/W	○	○		77H
FFFFF070H	命令キャッシュ・コントロール・レジスタ	ICC	R/W			○	0003H注1
FFFFF070H	命令キャッシュ・コントロール・レジスタL	ICCL	R/W	○	○		03H注2
FFFFF071H	命令キャッシュ・コントロール・レジスタH	ICCH	R/W	○	○		00H
FFFFF074H	命令キャッシュ・データ・コンフィギュレーション・レジスタ	ICD	R/W			○	不定
FFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L	R/W			○	不定
FFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H	R/W			○	不定
FFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L	R/W			○	不定
FFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H	R/W			○	不定
FFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L	R/W			○	不定
FFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H	R/W			○	不定
FFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L	R/W			○	不定
FFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H	R/W			○	不定
FFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L	R/W			○	不定
FFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H	R/W			○	不定
FFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L	R/W			○	不定
FFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H	R/W			○	不定
FFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L	R/W			○	不定
FFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H	R/W			○	不定
FFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L	R/W			○	不定
FFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H	R/W			○	不定
FFFFF0C0H	DMA転送カウント・レジスタ0	DBC0	R/W			○	不定
FFFFF0C2H	DMA転送カウント・レジスタ1	DBC1	R/W			○	不定
FFFFF0C4H	DMA転送カウント・レジスタ2	DBC2	R/W			○	不定
FFFFF0C6H	DMA転送カウント・レジスタ3	DBC3	R/W			○	不定
FFFFF0D0H	DMAアドレシング・コントロール・レジスタ0	DADC0	R/W			○	0000H
FFFFF0D2H	DMAアドレシング・コントロール・レジスタ1	DADC1	R/W			○	0000H
FFFFF0D4H	DMAアドレシング・コントロール・レジスタ2	DADC2	R/W			○	0000H

注1. リセット・アクティブ時は0003Hになり，自動的にタグの初期化をします。タグの初期化が完了すると0000Hになります。

2. リセット・アクティブ時は03Hになり，自動的にタグの初期化をします。タグの初期化が完了すると00Hになります。

(3/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF0D6H	DMAアドレシング・コントロール・レジスタ3	DADC3	R/W			○	0000H
FFFFF0E0H	DMAチャネル・コントロール・レジスタ0	DCHC0	R/W	○	○		00H
FFFFF0E2H	DMAチャネル・コントロール・レジスタ1	DCHC1	R/W	○	○		00H
FFFFF0E4H	DMAチャネル・コントロール・レジスタ2	DCHC2	R/W	○	○		00H
FFFFF0E6H	DMAチャネル・コントロール・レジスタ3	DCHC3	R/W	○	○		00H
FFFFF100H	割り込みマスク・レジスタ0	IMR0	R/W			○	FFFFH
FFFFF100H	割り込みマスク・レジスタ0L	IMR0L	R/W	○	○		FFH
FFFFF101H	割り込みマスク・レジスタ0H	IMR0H	R/W	○	○		FFH
FFFFF102H	割り込みマスク・レジスタ1	IMR1	R/W			○	FFFFH
FFFFF102H	割り込みマスク・レジスタ1L	IMR1L	R/W	○	○		FFH
FFFFF103H	割り込みマスク・レジスタ1H	IMR1H	R/W	○	○		FFH
FFFFF104H	割り込みマスク・レジスタ2	IMR2	R/W			○	FFFFH
FFFFF104H	割り込みマスク・レジスタ2L	IMR2L	R/W	○	○		FFH
FFFFF105H	割り込みマスク・レジスタ2H	IMR2H	R/W	○	○		FFH
FFFFF106H	割り込みマスク・レジスタ3	IMR3	R/W			○	FFFFH
FFFFF106H	割り込みマスク・レジスタ3L	IMR3L	R/W	○	○		FFH
FFFFF107H	割り込みマスク・レジスタ3H	IMR3H	R/W	○	○		FFH
FFFFF108H	割り込みマスク・レジスタ4	IMR4	R/W			○	FFFFH
FFFFF108H	割り込みマスク・レジスタ4L	IMR4L	R/W	○	○		FFH
FFFFF109H	割り込みマスク・レジスタ4H	IMR4H	R/W	○	○		FFH
FFFFF10AH	割り込みマスク・レジスタ5	IMR5	R/W			○	FFFFH
FFFFF10AH	割り込みマスク・レジスタ5L	IMR5L	R/W	○	○		FFH
FFFFF10BH	割り込みマスク・レジスタ5H	IMR5H	R/W	○	○		FFH
FFFFF110H	割り込み制御レジスタ0	P1IC0	R/W	○	○		47H
FFFFF112H	割り込み制御レジスタ1	P1IC1	R/W	○	○		47H
FFFFF114H	割り込み制御レジスタ2	P2IC1	R/W	○	○		47H
FFFFF116H	割り込み制御レジスタ3	P2IC2	R/W	○	○		47H
FFFFF118H	割り込み制御レジスタ4	P2IC3	R/W	○	○		47H
FFFFF11AH	割り込み制御レジスタ5	P2IC4	R/W	○	○		47H
FFFFF11CH	割り込み制御レジスタ6	P2IC5	R/W	○	○		47H
FFFFF11EH	割り込み制御レジスタ7	P5IC0	R/W	○	○		47H
FFFFF120H	割り込み制御レジスタ8	P5IC1	R/W	○	○		47H
FFFFF122H	割り込み制御レジスタ9	P5IC2	R/W	○	○		47H
FFFFF124H	割り込み制御レジスタ10	P6IC5	R/W	○	○		47H
FFFFF126H	割り込み制御レジスタ11	P6IC6	R/W	○	○		47H
FFFFF128H	割り込み制御レジスタ12	P6IC7	R/W	○	○		47H
FFFFF12AH	割り込み制御レジスタ13	PDIC0	R/W	○	○		47H
FFFFF12CH	割り込み制御レジスタ14	PDIC1	R/W	○	○		47H
FFFFF12EH	割り込み制御レジスタ15	PDIC2	R/W	○	○		47H
FFFFF130H	割り込み制御レジスタ16	PDIC3	R/W	○	○		47H
FFFFF132H	割り込み制御レジスタ17	PDIC4	R/W	○	○		47H
FFFFF134H	割り込み制御レジスタ18	PDIC5	R/W	○	○		47H

(4/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF136H	割り込み制御レジスタ19	PDIC6	R/W	○	○		47H
FFFFF138H	割り込み制御レジスタ20	PDIC7	R/W	○	○		47H
FFFFF13AH	割り込み制御レジスタ21	PDIC8	R/W	○	○		47H
FFFFF13CH	割り込み制御レジスタ22	PDIC9	R/W	○	○		47H
FFFFF13EH	割り込み制御レジスタ23	PDIC10	R/W	○	○		47H
FFFFF140H	割り込み制御レジスタ24	PDIC11	R/W	○	○		47H
FFFFF142H	割り込み制御レジスタ25	PDIC12	R/W	○	○		47H
FFFFF144H	割り込み制御レジスタ26	PDIC13	R/W	○	○		47H
FFFFF146H	割り込み制御レジスタ27	PDIC14	R/W	○	○		47H
FFFFF148H	割り込み制御レジスタ28	PDIC15	R/W	○	○		47H
FFFFF14AH	割り込み制御レジスタ29	PLIC0	R/W	○	○		47H
FFFFF14CH	割り込み制御レジスタ30	PLIC1	R/W	○	○		47H
FFFFF14EH	割り込み制御レジスタ31	OVCIC0	R/W	○	○		47H
FFFFF150H	割り込み制御レジスタ32	OVCIC1	R/W	○	○		47H
FFFFF152H	割り込み制御レジスタ33	OVCIC2	R/W	○	○		47H
FFFFF154H	割り込み制御レジスタ34	OVCIC3	R/W	○	○		47H
FFFFF156H	割り込み制御レジスタ35	OVCIC4	R/W	○	○		47H
FFFFF158H	割り込み制御レジスタ36	OVCIC5	R/W	○	○		47H
FFFFF15AH	割り込み制御レジスタ37	CCC0IC0	R/W	○	○		47H
FFFFF15CH	割り込み制御レジスタ38	CCC0IC1	R/W	○	○		47H
FFFFF15EH	割り込み制御レジスタ39	CCC1IC0	R/W	○	○		47H
FFFFF160H	割り込み制御レジスタ40	CCC1IC1	R/W	○	○		47H
FFFFF162H	割り込み制御レジスタ41	CCC2IC0	R/W	○	○		47H
FFFFF164H	割り込み制御レジスタ42	CCC2IC1	R/W	○	○		47H
FFFFF166H	割り込み制御レジスタ43	CCC3IC0	R/W	○	○		47H
FFFFF168H	割り込み制御レジスタ44	CCC3IC1	R/W	○	○		47H
FFFFF16AH	割り込み制御レジスタ45	CCC4IC0	R/W	○	○		47H
FFFFF16CH	割り込み制御レジスタ46	CCC4IC1	R/W	○	○		47H
FFFFF16EH	割り込み制御レジスタ47	CCC5IC0	R/W	○	○		47H
FFFFF170H	割り込み制御レジスタ48	CCC5IC1	R/W	○	○		47H
FFFFF172H	割り込み制御レジスタ49	CMDIC0	R/W	○	○		47H
FFFFF174H	割り込み制御レジスタ50	CMDIC1	R/W	○	○		47H
FFFFF176H	割り込み制御レジスタ51	CMDIC2	R/W	○	○		47H
FFFFF178H	割り込み制御レジスタ52	CMDIC3	R/W	○	○		47H
FFFFF17AH	割り込み制御レジスタ53	CC10IC0	R/W	○	○		47H
FFFFF17CH	割り込み制御レジスタ54	CC10IC1	R/W	○	○		47H
FFFFF17EH	割り込み制御レジスタ55	CM10IC0	R/W	○	○		47H
FFFFF180H	割り込み制御レジスタ56	CM10IC1	R/W	○	○		47H
FFFFF182H	割り込み制御レジスタ57	OV1IC0	R/W	○	○		47H
FFFFF184H	割り込み制御レジスタ58	UD1IC0	R/W	○	○		47H
FFFFF186H	割り込み制御レジスタ59	CC11IC0	R/W	○	○		47H
FFFFF188H	割り込み制御レジスタ60	CC11IC1	R/W	○	○		47H

(5/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF18AH	割り込み制御レジスタ61	CM11IC0	R/W	○	○		47H
FFFFF18CH	割り込み制御レジスタ62	CM11IC1	R/W	○	○		47H
FFFFF18EH	割り込み制御レジスタ63	OV1IC1	R/W	○	○		47H
FFFFF190H	割り込み制御レジスタ64	UD1IC1	R/W	○	○		47H
FFFFF192H	割り込み制御レジスタ65	DMAIC0	R/W	○	○		47H
FFFFF194H	割り込み制御レジスタ66	DMAIC1	R/W	○	○		47H
FFFFF196H	割り込み制御レジスタ67	DMAIC2	R/W	○	○		47H
FFFFF198H	割り込み制御レジスタ68	DMAIC3	R/W	○	○		47H
FFFFF19AH	割り込み制御レジスタ69	CSI3IC0	R/W	○	○		47H
FFFFF19CH	割り込み制御レジスタ70	COVF3IC0	R/W	○	○		47H
FFFFF19EH	割り込み制御レジスタ71	CSI3IC1	R/W	○	○		47H
FFFFF1A0H	割り込み制御レジスタ72	COVF3IC1	R/W	○	○		47H
FFFFF1A2H	割り込み制御レジスタ73	UREIC0	R/W	○	○		47H
FFFFF1A4H	割り込み制御レジスタ74	URIC0	R/W	○	○		47H
FFFFF1A6H	割り込み制御レジスタ75	UTIC0	R/W	○	○		47H
FFFFF1A8H	割り込み制御レジスタ76	UIFIC0	R/W	○	○		47H
FFFFF1AAH	割り込み制御レジスタ77	UTOIC0	R/W	○	○		47H
FFFFF1ACH	割り込み制御レジスタ78	UREIC1	R/W	○	○		47H
FFFFF1AEH	割り込み制御レジスタ79	URIC1	R/W	○	○		47H
FFFFF1B0H	割り込み制御レジスタ80	UTIC1	R/W	○	○		47H
FFFFF1B2H	割り込み制御レジスタ81	UIFIC1	R/W	○	○		47H
FFFFF1B4H	割り込み制御レジスタ82	UTOIC1	R/W	○	○		47H
FFFFF1B6H	割り込み制御レジスタ83	ADIC	R/W	○	○		47H
FFFFF1B8H	割り込み制御レジスタ84	US0BIC	R/W	○	○		47H
FFFFF1BAH	割り込み制御レジスタ85	US1BIC	R/W	○	○		47H
FFFFF1BCH	割り込み制御レジスタ86	US2BIC	R/W	○	○		47H
FFFFF1BEH	割り込み制御レジスタ87	USP2IC	R/W	○	○		47H
FFFFF1C0H	割り込み制御レジスタ88	USP4IC	R/W	○	○		47H
FFFFF1C2H	割り込み制御レジスタ89	RSUMIC	R/W	○	○		47H
FFFFF1FAH	インサービス･プライオリティ･レジスタ	ISPR	R	○	○		00H
FFFFF1FCH	コマンド･レジスタ	PRCMD	W		○		不定
FFFFF1FEH	パワー･セーブ･コントロール･レジスタ	PSC	R/W	○	○		00H
FFFFF200H	A/Dコンバータ・モード･レジスタ0	ADM0	R/W	○	○		00H
FFFFF201H	A/Dコンバータ・モード･レジスタ1	ADM1	R/W	○	○		00H
FFFFF202H	A/Dコンバータ・モード･レジスタ2	ADM2	R/W	○	○		00H
FFFFF210H	A/D変換結果レジスタ0	ADCR0	R			○	不定
FFFFF211H	A/D変換結果レジスタ0H	ADCR0H	R		○		不定
FFFFF212H	A/D変換結果レジスタ1	ADCR1	R			○	不定
FFFFF213H	A/D変換結果レジスタ1H	ADCR1H	R		○		不定
FFFFF214H	A/D変換結果レジスタ2	ADCR2	R			○	不定
FFFFF215H	A/D変換結果レジスタ2H	ADCR2H	R		○		不定
FFFFF216H	A/D変換結果レジスタ3	ADCR3	R			○	不定

(6/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF217H	A/D変換結果レジスタ3H	ADCR3H	R		○		不定
FFFFF218H	A/D変換結果レジスタ4	ADCR4	R			○	不定
FFFFF219H	A/D変換結果レジスタ4H	ADCR4H	R		○		不定
FFFFF21AH	A/D変換結果レジスタ5	ADCR5	R			○	不定
FFFFF21BH	A/D変換結果レジスタ5H	ADCR5H	R		○		不定
FFFFF21CH	A/D変換結果レジスタ6	ADCR6	R			○	不定
FFFFF21DH	A/D変換結果レジスタ6H	ADCR6H	R		○		不定
FFFFF21EH	A/D変換結果レジスタ7	ADCR7	R			○	不定
FFFFF21FH	A/D変換結果レジスタ7H	ADCR7H	R		○		不定
FFFFF220H	ADCトリガ選択レジスタ	ADTS	R/W		○		00H
FFFFF402H	ポート1	P1	R/W	○	○		不定
FFFFF404H	ポート2	P2	R/W	○	○		不定
FFFFF40AH	ポート5	P5	R/W	○	○		不定
FFFFF40CH	ポート6	P6	R/W	○	○		不定
FFFFF40EH	ポート7	P7	R/W	○	○		不定
FFFFF422H	ポート1モード・レジスタ	PM1	R/W	○	○		FFH
FFFFF424H	ポート2モード・レジスタ	PM2	R/W	○	○		FFH
FFFFF42AH	ポート5モード・レジスタ	PM5	R/W	○	○		FFH
FFFFF42CH	ポート6モード・レジスタ	PM6	R/W	○	○		FFH
FFFFF42EH	ポート7モード・レジスタ	PM7	R/W	○	○		FFH
FFFFF442H	ポート1モード・コントロール・レジスタ	PMC1	R/W	○	○		00H
FFFFF444H	ポート2モード・コントロール・レジスタ	PMC2	R/W	○	○		01H
FFFFF44AH	ポート5モード・コントロール・レジスタ	PMC5	R/W	○	○		00H
FFFFF44CH	ポート6モード・コントロール・レジスタ	PMC6	R/W	○	○		00H
FFFFF44EH	ポート7モード・コントロール・レジスタ	PMC7	R/W	○	○		00H
FFFFF462H	ポート1ファンクション・コントロール・レジスタ	PFC1	R/W	○	○		00H
FFFFF464H	ポート2ファンクション・コントロール・レジスタ	PFC2	R/W	○	○		00H
FFFFF46AH	ポート5ファンクション・コントロール・レジスタ	PFC5	R/W	○	○		00H
FFFFF46CH	ポート6ファンクション・コントロール・レジスタ	PFC6	R/W	○	○		00H
FFFFF46EH	ポート7ファンクション・コントロール・レジスタ	PFC7	R/W	○	○		00H
FFFFF480H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCT0	R/W			○	8888H
FFFFF482H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ1	BCT1	R/W			○	8888H
FFFFF484H	データ・ウエイト・コントロール・レジスタ0	DWC0	R/W			○	7777H
FFFFF486H	データ・ウエイト・コントロール・レジスタ1	DWC1	R/W			○	7777H
FFFFF488H	バス・サイクル・コントロール・レジスタ	BCC	R/W			○	FFFFH
FFFFF48AH	アドレス・セットアップ・ウエイト・コントロール・レジスタ	ASC	R/W			○	FFFFH
FFFFF48CH	バス・サイクル・ピリオド・コントロール・レジスタ	BCP	R/W	○	○		00H
FFFFF48EH	ローカル・バス・サイジング・コントロール・レジスタ	LBS	R/W			○	5555H/AAAAH注
FFFFF490H	ライン・バッファ・コントロール・レジスタ0	LBC0	R/W			○	0000H

注 32ビット・モードのとき：AAAAH

16ビット・モードのとき：5555H

なお，32ビット・モード，16ビット・モードについては，3. 3. 1 **動作モード**を参照してください。

(7/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF492H	ライン･バッファ･コントロール･レジスタ1	LBC1	R/W			○	0000H
FFFFF494H	DMAフライバイ転送ウエイト･コントロール･レジスタ	FWC	R/W			○	7777H
FFFFF496H	DMAフライバイ転送アイドル･コントロール･レジスタ	FIC	R/W			○	3333H
FFFFF498H	バス･モード･コントロール･レジスタ	BMC	R/W		○		00H
FFFFF49AH	ページROMコンフィギュレーション･レジスタ	PRC	R/W			○	7000H
FFFFF49CH	ライト・アクセス同期制御レジスタ	WAS	W		○		不定
FFFFF4A4H	SDRAMコンフィギュレーション･レジスタ1	SCR1	R/W			○	30C0H
FFFFF4A6H	SDRAMリフレッシュ･コントロール･レジスタ1	RFS1	R/W			○	0000H
FFFFF4ACH	SDRAMコンフィギュレーション･レジスタ3	SCR3	R/W			○	30C0H
FFFFF4AEH	SDRAMリフレッシュ･コントロール･レジスタ3	RFS3	R/W			○	0000H
FFFFF4B0H	SDRAMコンフィギュレーション･レジスタ4	SCR4	R/W			○	30C0H
FFFFF4B2H	SDRAMリフレッシュ･コントロール･レジスタ4	RFS4	R/W			○	0000H
FFFFF4B8H	SDRAMコンフィギュレーション･レジスタ6	SCR6	R/W			○	30C0H
FFFFF4BAH	SDRAMリフレッシュ･コントロール･レジスタ6	RFS6	R/W			○	0000H
FFFFF540H	タイマD0	TMD0	R			○	0000H
FFFFF542H	コンペア・レジスタD0	CMD0	R/W			○	0000H
FFFFF544H	タイマ・モード・コントロール・レジスタD0	TMCD0	R/W	○	○		00H
FFFFF550H	タイマD1	TMD1	R			○	0000H
FFFFF552H	コンペア・レジスタD1	CMD1	R/W			○	0000H
FFFFF554H	タイマ・モード・コントロール・レジスタD1	TMCD1	R/W	○	○		00H
FFFFF560H	タイマD2	TMD2	R			○	0000H
FFFFF562H	コンペア・レジスタD2	CMD2	R/W			○	0000H
FFFFF564H	タイマ・モード・コントロール・レジスタD2	TMCD2	R/W	○	○		00H
FFFFF570H	タイマD3	TMD3	R			○	0000H
FFFFF572H	コンペア・レジスタD3	CMD3	R/W			○	0000H
FFFFF574H	タイマ・モード・コントロール・レジスタD3	TMCD3	R/W	○	○		00H
FFFFF5A0H	タイマENC10	TMENC10	R/W			○	0000H
FFFFF5A2H	コンペア･レジスタ100	CM100	R/W			○	0000H
FFFFF5A4H	コンペア･レジスタ101	CM101	R/W			○	0000H
FFFFF5A6H	キャプチャ／コンペア･レジスタ100	CC100	R/W			○	0000H
FFFFF5A8H	キャプチャ／コンペア･レジスタ101	CC101	R/W			○	0000H
FFFFF5AAH	キャプチャ／コンペア・コントロール・レジスタ10	CCR10	R/W	○	○		00H
FFFFF5ABH	タイマ・ユニット･モード･レジスタ10	TUM10	R/W	○	○		00H
FFFFF5ACH	タイマ・コントロール･レジスタ10	TMC10	R/W	○	○		00H
FFFFF5ADH	有効エッジ選択レジスタ10	SESA10	R/W	○	○		00H
FFFFF5AEH	プリスケーラ･モード･レジスタ10	PRM10	R/W	○	○		07H
FFFFF5AFH	ステータス･レジスタ10	STATUS10	R	○	○		00H
FFFFF5C0H	ノイズ除去幅設定レジスタ10	NCW10	R/W		○		02H
FFFFF5D0H	タイマENC11	TMENC11	R/W			○	0000H
FFFFF5D2H	コンペア･レジスタ110	CM110	R/W			○	0000H
FFFFF5D4H	コンペア･レジスタ111	CM111	R/W			○	0000H
FFFFF5D6H	キャプチャ／コンペア･レジスタ110	CC110	R/W			○	0000H

(8/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF5D8H	キャプチャ／コンペア･レジスタ111	CC111	R/W			○	0000H
FFFFF5DAH	キャプチャ／コンペア・コントロール・レジスタ11	CCR11	R/W	○	○		00H
FFFFF5DBH	タイマ・ユニット･モード･レジスタ11	TUM11	R/W	○	○		00H
FFFFF5DCH	タイマ・コントロール･レジスタ11	TMC11	R/W	○	○		00H
FFFFF5DDH	有効エッジ選択レジスタ11	SESA11	R/W	○	○		00H
FFFFF5DEH	プリスケーラ･モード･レジスタ11	PRM11	R/W	○	○		07H
FFFFF5DFH	ステータス･レジスタ11	STATUS11	R	○	○		00H
FFFFF5F0H	ノイズ除去幅設定レジスタ11	NCW11	R/W		○		02H
FFFFF600H	タイマC0	TMC0	R			○	0000H
FFFFF602H	キャプチャ／コンペア･レジスタC00	CCC00	R/W			○	0000H
FFFFF604H	キャプチャ／コンペア･レジスタC01	CCC01	R/W			○	0000H
FFFFF606H	タイマ・モード・コントロール･レジスタC00	TMCC00	R/W	○	○		00H
FFFFF608H	タイマ・モード・コントロール･レジスタC01	TMCC01	R/W		○		20H
FFFFF609H	有効エッジ選択レジスタC0	SESC0	R/W		○		00H
FFFFF610H	ノイズ除去幅設定レジスタC0	NCWC0	R/W		○		02H
FFFFF620H	タイマC1	TMC1	R			○	0000H
FFFFF622H	キャプチャ／コンペア･レジスタC10	CCC10	R/W			○	0000H
FFFFF624H	キャプチャ／コンペア･レジスタC11	CCC11	R/W			○	0000H
FFFFF626H	タイマ・モード・コントロール･レジスタC10	TMCC10	R/W	○	○		00H
FFFFF628H	タイマ・モード・コントロール･レジスタC11	TMCC11	R/W		○		20H
FFFFF629H	有効エッジ選択レジスタC1	SESC1	R/W		○		00H
FFFFF630H	ノイズ除去幅設定レジスタC1	NCWC1	R/W		○		02H
FFFFF640H	タイマC2	TMC2	R			○	0000H
FFFFF642H	キャプチャ／コンペア･レジスタC20	CCC20	R/W			○	0000H
FFFFF644H	キャプチャ／コンペア･レジスタC21	CCC21	R/W			○	0000H
FFFFF646H	タイマ・モード・コントロール･レジスタC20	TMCC20	R/W	○	○		00H
FFFFF648H	タイマ・モード・コントロール･レジスタC21	TMCC21	R/W		○		20H
FFFFF649H	有効エッジ選択レジスタC2	SESC2	R/W		○		00H
FFFFF650H	ノイズ除去幅設定レジスタC2	NCWC2	R/W		○		02H
FFFFF660H	タイマC3	TMC3	R			○	0000H
FFFFF662H	キャプチャ／コンペア･レジスタC30	CCC30	R/W			○	0000H
FFFFF664H	キャプチャ／コンペア･レジスタC31	CCC31	R/W			○	0000H
FFFFF666H	タイマ・モード・コントロール･レジスタC30	TMCC30	R/W	○	○		00H
FFFFF668H	タイマ・モード・コントロール･レジスタC31	TMCC31	R/W		○		20H
FFFFF669H	有効エッジ選択レジスタC3	SESC3	R/W		○		00H
FFFFF670H	ノイズ除去幅設定レジスタC3	NCWC3	R/W		○		02H
FFFFF680H	タイマC4	TMC4	R			○	0000H
FFFFF682H	キャプチャ／コンペア･レジスタC40	CCC40	R/W			○	0000H
FFFFF684H	キャプチャ／コンペア･レジスタC41	CCC41	R/W			○	0000H
FFFFF686H	タイマ・モード・コントロール･レジスタC40	TMCC40	R/W	○	○		00H
FFFFF688H	タイマ・モード・コントロール･レジスタC41	TMCC41	R/W		○		20H
FFFFF6A0H	タイマC5	TMC5	R			○	0000H

(9/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF6A2H	キャプチャ／コンペア・レジスタC50	CCC50	R/W			○	0000H
FFFFF6A4H	キャプチャ／コンペア・レジスタC51	CCC51	R/W			○	0000H
FFFFF6A6H	タイマ・モード・コントロール・レジスタC50	TMCC50	R/W	○	○		00H
FFFFF6A8H	タイマ・モード・コントロール・レジスタC51	TMCC51	R/W		○		20H
FFFFF6C0H	発振安定時間選択レジスタ	OSTS	R/W		○		04H
FFFFF80AH	内蔵命令RAMモード・レジスタ	IRAMM	R/W	○	○		03H
FFFFF80CH	NMIリセット・ステータス・レジスタ	NRS	R	○	○		00H
FFFFF810H	DMAトリガ要因レジスタ0	DTFR0	R/W	○	○		00H
FFFFF812H	DMAトリガ要因レジスタ1	DTFR1	R/W	○	○		00H
FFFFF814H	DMAトリガ要因レジスタ2	DTFR2	R/W	○	○		00H
FFFFF816H	DMAトリガ要因レジスタ3	DTFR3	R/W	○	○		00H
FFFFF820H	パワー・セーブ・モード・レジスタ	PSMR	R/W	○	○		00H
FFFFF822H	クロック・コントロール・レジスタ	CKC	R/W		○		03H
FFFFF824H	ロック・レジスタ	LOCKR	R	○	○		01H
FFFFF82CH	クロック・ソース選択レジスタ	CKS	R/W	○	○		00H
FFFFF82EH	USBクロック・コントロール・レジスタ	UCKC	R/W	○	○		00H
FFFFF836H	SSCGコントロール・レジスタ	SSCGC	R/W		○		注1
FFFFF8A0H	DMAターミナル・カウント出力コントロール・レジスタ	DTOC	R/W	○	○		01H
FFFFF8A8H	DMAインタフェース・コントロール・レジスタ	DIFC	R/W	○	○		00H
FFFFFA00H	UARTB0制御レジスタ0	UB0CTL0	R/W	○	○		10H
FFFFFA02H	UARTB0制御レジスタ2	UB0CTL2	R/W			○	FFFFH
FFFFFA04H	UARTB0状態レジスタ	UB0STR	R/W	○	○		00H
FFFFFA06H	UARTB0受信データ・レジスタAP注2	UB0RXAP	R			○	00FFH
FFFFFA06H	UARTB0受信データ・レジスタ	UB0RX	R		○		FFH
FFFFFA08H	UARTB0送信データ・レジスタ	UB0TX	W		○		FFH
FFFFFA0AH	UARTB0 FIFO制御レジスタ0	UB0FIC0	R/W	○	○		00H
FFFFFA0BH	UARTB0 FIFO制御レジスタ1	UB0FIC1	R/W	○	○		00H
FFFFFA0CH	UARTB0 FIFO制御レジスタ2	UB0FIC2	R/W			○	0000H
FFFFFA0CH	UARTB0 FIFO制御レジスタ2L	UB0FIC2L	R/W		○		00H
FFFFFA0DH	UARTB0 FIFO制御レジスタ2H	UB0FIC2H	R/W		○		00H
FFFFFA0EH	UARTB0 FIFO状態レジスタ0	UB0FIS0	R		○		00H
FFFFFA0FH	UARTB0 FIFO状態レジスタ1	UB0FIS1	R		○		00H
FFFFFA20H	UARTB1制御レジスタ0	UB1CTL0	R/W	○	○		10H
FFFFFA22H	UARTB1制御レジスタ2	UB1CTL2	R/W			○	FFFFH
FFFFFA24H	UARTB1状態レジスタ	UB1STR	R/W	○	○		00H
FFFFFA26H	UARTB1受信データ・レジスタAP注2	UB1RXAP	R			○	00FFH
FFFFFA26H	UARTB1受信データ・レジスタ	UB1RX	R		○		FFH
FFFFFA28H	UARTB1送信データ・レジスタ	UB1TX	W		○		FFH
FFFFFA2AH	UARTB1 FIFO制御レジスタ0	UB1FIC0	R/W	○	○		00H
FFFFFA2BH	UARTB1 FIFO制御レジスタ1	UB1FIC1	R/W	○	○		00H

注1. 8. 3. 3 SSCGコントロール・レジスタ（SSCGC）を参照してください。

2. FIFOモード時のみ使用可

(10/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFA2CH	UARTB1 FIFO制御レジスタ2	UB1FIC2	R/W			○	0000H
FFFFFA2CH	UARTB1 FIFO制御レジスタ2L	UB1FIC2L	R/W		○		00H
FFFFFA2DH	UARTB1 FIFO制御レジスタ2H	UB1FIC2H	R/W		○		00H
FFFFFA2EH	UARTB1 FIFO状態レジスタ0	UB1FIS0	R		○		00H
FFFFFA2FH	UARTB1 FIFO状態レジスタ1	UB1FIS1	R		○		00H
FFFFFB00H	PWMコントロール・レジスタ0	PWMC0	R/W	○	○		08H
FFFFFB02H	PWMモジュロ・レジスタ0	PWM0	R/W			○	0000H
FFFFFB02H	PWMモジュロ・レジスタL0	PWML0	R/W		○		00H
FFFFFB03H	PWMモジュロ・レジスタH0	PWMH0	R/W		○		00H
FFFFFB10H	PWMコントロール・レジスタ1	PWMC1	R/W	○	○		08H
FFFFFB12H	PWMモジュロ・レジスタ1	PWM1	R/W			○	0000H
FFFFFB12H	PWMモジュロ・レジスタL1	PWML1	R/W		○		00H
FFFFFB13H	PWMモジュロ・レジスタH1	PWMH1	R/W		○		00H
FFFFFC02H	外部割り込み立ち下がりエッジ指定レジスタ1	INTF1	R/W	○	○		00H
FFFFFC04H	外部割り込み立ち下がりエッジ指定レジスタ2	INTF2	R/W	○	○		00H
FFFFFC0AH	外部割り込み立ち下がりエッジ指定レジスタ5	INTF5	R/W	○	○		00H
FFFFFC0CH	外部割り込み立ち下がりエッジ指定レジスタ6	INTF6	R/W	○	○		00H
FFFFFC10H	外部割り込み立ち下がりエッジ指定レジスタAL	INTFAL	R/W	○	○		00H
FFFFFC16H	外部割り込み立ち下がりエッジ指定レジスタDH	INTFDH	R/W			○	0000H
FFFFFC16H	外部割り込み立ち下がりエッジ指定レジスタDHL	INTFDHL	R/W	○	○		00H
FFFFFC17H	外部割り込み立ち下がりエッジ指定レジスタDHH	INTFDHH	R/W	○	○		00H
FFFFFC22H	外部割り込み立ち上がりエッジ指定レジスタ1	INTR1	R/W	○	○		03H
FFFFFC24H	外部割り込み立ち上がりエッジ指定レジスタ2	INTR2	R/W	○	○		3FH
FFFFFC2AH	外部割り込み立ち上がりエッジ指定レジスタ5	INTR5	R/W	○	○		07H
FFFFFC2CH	外部割り込み立ち上がりエッジ指定レジスタ6	INTR6	R/W	○	○		E0H
FFFFFC30H	外部割り込み立ち上がりエッジ指定レジスタAL	INTRAL	R/W	○	○		03H
FFFFFC36H	外部割り込み立ち上がりエッジ指定レジスタDH	INTRDH	R/W			○	FFFFH
FFFFFC36H	外部割り込み立ち上がりエッジ指定レジスタDHL	INTRDHL	R/W	○	○		FFH
FFFFFC37H	外部割り込み立ち上がりエッジ指定レジスタDHH	INTRDHH	R/W	○	○		FFH
FFFFFD00H	クロック同期式シリアル・インタフェース・モード・レジスタ30	CSIM30	R/W	○	○		00H
FFFFFD01H	クロック同期式シリアル・インタフェース・クロック選択レジスタ30	CSIC30	R/W	○	○		07H
FFFFFD02H	受信データ・バッファ・レジスタ30	SIRB30	R			○	0000H
FFFFFD02H	受信データ・バッファ・レジスタ30L	SIRB30L	R		○		00H
FFFFFD03H	受信データ・バッファ・レジスタ30H	SIRB30H	R		○		00H
FFFFFD06H	送信データCSIバッファ・レジスタ30	SFDB30	R/W			○	0000H
FFFFFD06H	送信データCSIバッファ・レジスタ30L	SFDB30L	R/W		○		00H
FFFFFD07H	送信データCSIバッファ・レジスタ30H	SFDB30H	R/W		○		00H
FFFFFD08H	CSIBUF状態レジスタ30	SFA30	R/W	○	○		20H
FFFFFD09H	転送データ長選択レジスタ30	CSIL30	R/W	○	○		00H
FFFFFD0CH	転送データ数指定レジスタ30	SFN30	R/W	○	○		00H
FFFFFD20H	クロック同期式シリアル・インタフェース・モード・レジスタ31	CSIM31	R/W	○	○		00H
FFFFFD21H	クロック同期式シリアル・インタフェース・クロック選択レジスタ31	CSIC31	R/W	○	○		07H

(11/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFD22H	受信データ・バッファ・レジスタ31	SIRB31	R			○	0000H
FFFFFD22H	受信データ・バッファ・レジスタ31L	SIRB31L	R		○		00H
FFFFFD23H	受信データ・バッファ・レジスタ31H	SIRB31H	R		○		00H
FFFFFD26H	送信データCSIバッファ・レジスタ31	SFDB31	R/W			○	0000H
FFFFFD26H	送信データCSIバッファ・レジスタ31L	SFDB31L	R/W		○		00H
FFFFFD27H	送信データCSIバッファ・レジスタ31H	SFDB31H	R/W		○		00H
FFFFFD28H	CSIBUF状態レジスタ31	SFA31	R/W	○	○		20H
FFFFFD29H	転送データ長選択レジスタ31	CSIL31	R/W	○	○		00H
FFFFFD2CH	転送データ数指定レジスタ31	SFN31	R/W	○	○		00H
FFFFFDF0H	USBファンクション0 DMAチャネル・セレクト・レジスタ	UF0CS	R/W			○	0000H
FFFFFDF2H	USBファンクション0バッファ・コントロール・レジスタ	UF0BC	R/W	○	○		00H
FFFFFE00H	UF0 EP0NAKレジスタ	UF0E0N	R/W		○		00H
FFFFFE01H	UF0 EP0NAKALLレジスタ	UF0E0NA	R/W		○		00H
FFFFFE02H	UF0 EPNAKレジスタ	UF0EN	R/W		○		00H
FFFFFE03H	UF0 EPNAKマスク・レジスタ	UF0ENM	R/W		○		00H
FFFFFE04H	UF0 SNDSIE レジスタ	UF0SDS	R/W		○		00H
FFFFFE05H	UF0 CLRリクエスト・レジスタ	UF0CLR	R		○		00H
FFFFFE06H	UF0 SETリクエスト・レジスタ	UF0SET	R		○		00H
FFFFFE07H	UF0 EPステータス0レジスタ	UF0EPS0	R		○		00H
FFFFFE08H	UF0 EPステータス1レジスタ	UF0EPS1	R		○		00H
FFFFFE09H	UF0 EPステータス2レジスタ	UF0EPS2	R		○		00H
FFFFFE10H	UF0 INTステータス0レジスタ	UF0IS0	R		○		00H
FFFFFE11H	UF0 INTステータス1レジスタ	UF0IS1	R		○		00H
FFFFFE12H	UF0 INTステータス2レジスタ	UF0IS2	R		○		00H
FFFFFE13H	UF0 INTステータス3レジスタ	UF0IS3	R		○		00H
FFFFFE14H	UF0 INTステータス4レジスタ	UF0IS4	R		○		00H
FFFFFE17H	UF0 INTマスク0レジスタ	UF0IM0	R/W		○		00H
FFFFFE18H	UF0 INTマスク1レジスタ	UF0IM1	R/W		○		00H
FFFFFE19H	UF0 INTマスク2レジスタ	UF0IM2	R/W		○		00H
FFFFFE1AH	UF0 INTマスク3レジスタ	UF0IM3	R/W		○		00H
FFFFFE1BH	UF0 INTマスク4レジスタ	UF0IM4	R/W		○		00H
FFFFFE1EH	UF0 INTクリア0レジスタ	UF0IC0	W		○		FFH
FFFFFE1FH	UF0 INTクリア1レジスタ	UF0IC1	W		○		FFH
FFFFFE20H	UF0 INTクリア2レジスタ	UF0IC2	W		○		FFH
FFFFFE21H	UF0 INTクリア3レジスタ	UF0IC3	W		○		FFH
FFFFFE22H	UF0 INTクリア4レジスタ	UF0IC4	W		○		FFH
FFFFFE26H	UF0 INT＆DMARQレジスタ	UF0IDR	R/W		○		00H
FFFFFE27H	UF0 DMAステータス0レジスタ	UF0DMS0	R		○		00H
FFFFFE28H	UF0 DMAステータス1レジスタ	UF0DMS1	R		○		00H
FFFFFE30H	UF0 FIFOクリア0レジスタ	UF0FIC0	W		○		00H
FFFFFE31H	UF0 FIFOクリア1レジスタ	UF0FIC1	W		○		00H
FFFFFE35H	UF0データ・エンド・レジスタ	UF0DEND	R/W		○		00H

(12/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFE37H	UF0 GPRレジスタ	UF0GPR	W		○		00H
FFFFFE3AH	UF0モード・コントロール・レジスタ	UF0MODC	R/W		○		00H
FFFFFE3CH	UF0モード・ステータス・レジスタ	UF0MODS	R		○		00H
FFFFFE40H	UF0アクティブ・インタフェース・ナンバー・レジスタ	UF0AIFN	R/W		○		00H
FFFFFE41H	UF0アクティブ・オルタナティブ・セッティング・レジスタ	UF0AAS	R/W		○		00H
FFFFFE42H	UF0 オルタナティブ・セッティング・ステータス・レジスタ	UF0ASS	R		○		00H
FFFFFE43H	UF0エンドポイント1インタフェース・マッピング・レジスタ	UF0E1IM	R/W		○		00H
FFFFFE44H	UF0エンドポイント2インタフェース・マッピング・レジスタ	UF0E2IM	R/W		○		00H
FFFFFE45H	UF0エンドポイント3インタフェース・マッピング・レジスタ	UF0E3IM	R/W		○		00H
FFFFFE46H	UF0エンドポイント4インタフェース・マッピング・レジスタ	UF0E4IM	R/W		○		00H
FFFFFE49H	UF0エンドポイント7インタフェース・マッピング・レジスタ	UF0E7IM	R/W		○		00H
FFFFFE4AH	UF0エンドポイント8インタフェース・マッピング・レジスタ	UF0E8IM	R/W		○		00H
FFFFFE80H	UF0 EP0リード・レジスタ	UF0E0R	R		○		不定
FFFFFE81H	UF0 EP0レングス・レジスタ	UF0E0L	R		○		00H
FFFFFE82H	UF0 EP0セットアップ・レジスタ	UF0E0ST	R		○		00H
FFFFFE83H	UF0 EP0ライト・レジスタ	UF0E0W	W		○		不定
FFFFFE84H	UF0バルク・アウト1レジスタ	UF0BO1	R		○		不定
FFFFFE85H	UF0バルク・アウト1レングス・レジスタ	UF0BO1L	R		○		00H
FFFFFE86H	UF0バルク・アウト2レジスタ	UF0BO2	R		○		不定
FFFFFE87H	UF0バルク・アウト2レングス・レジスタ	UF0BO2L	R		○		00H
FFFFFE88H	UF0バルク・イン1レジスタ	UF0BI1	W		○		不定
FFFFFE89H	UF0バルク・イン2レジスタ	UF0BI2	W		○		不定
FFFFFE8AH	UF0インタラプト1レジスタ	UF0INT1	W		○		不定
FFFFFE8BH	UF0インタラプト2レジスタ	UF0INT2	W		○		不定
FFFFFEA2H	UF0デバイス・ステータス・レジスタL	UF0DSTL	R/W		○		00H
FFFFFEA6H	UF0 EP0ステータス・レジスタL	UF0E0SL	R/W		○		00H
FFFFFEA8H	UF0 EP1ステータス・レジスタL	UF0E1SL	R/W		○		00H
FFFFFEAAH	UF0 EP2ステータス・レジスタL	UF0E2SL	R/W		○		00H
FFFFFEACH	UF0 EP3ステータス・レジスタL	UF0E3SL	R/W		○		00H
FFFFFEAEH	UF0 EP4ステータス・レジスタL	UF0E4SL	R/W		○		00H
FFFFFEB4H	UF0 EP7ステータス・レジスタL	UF0E7SL	R/W		○		00H
FFFFFEB6H	UF0 EP8ステータス・レジスタL	UF0E8SL	R/W		○		00H
FFFFFEC0H	UF0アドレス・レジスタ	UF0ADRS	R		○		00H
FFFFFEC1H	UF0コンフィギュレーション・レジスタ	UF0CNF	R		○		00H
FFFFFEC2H	UF0インタフェース0レジスタ	UF0IF0	R		○		00H

(13/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFEC3H	UF0インタフェース1レジスタ	UF0IF1	R		○		00H
FFFFFEC4H	UF0インタフェース2レジスタ	UF0IF2	R		○		00H
FFFFFEC5H	UF0インタフェース3レジスタ	UF0IF3	R		○		00H
FFFFFEC6H	UF0インタフェース4レジスタ	UF0IF4	R		○		00H
FFFFFED0H	UF0ディスクリプタ・レングス・レジスタ	UF0DSCL	R/W		○		00H
FFFFFED1H	UF0デバイス・ディスクリプタ・レジスタ0	UF0DD0	R/W		○		不定
FFFFFED2H	UF0デバイス・ディスクリプタ・レジスタ1	UF0DD1	R/W		○		不定
FFFFFED3H	UF0デバイス・ディスクリプタ・レジスタ2	UF0DD2	R/W		○		不定
FFFFFED4H	UF0デバイス・ディスクリプタ・レジスタ3	UF0DD3	R/W		○		不定
FFFFFED5H	UF0デバイス・ディスクリプタ・レジスタ4	UF0DD4	R/W		○		不定
FFFFFED6H	UF0デバイス・ディスクリプタ・レジスタ5	UF0DD5	R/W		○		不定
FFFFFED7H	UF0デバイス・ディスクリプタ・レジスタ6	UF0DD6	R/W		○		不定
FFFFFED8H	UF0デバイス・ディスクリプタ・レジスタ7	UF0DD7	R/W		○		不定
FFFFFED9H	UF0デバイス・ディスクリプタ・レジスタ8	UF0DD8	R/W		○		不定
FFFFFEDAH	UF0デバイス・ディスクリプタ・レジスタ9	UF0DD9	R/W		○		不定
FFFFFEDBH	UF0デバイス・ディスクリプタ・レジスタ10	UF0DD10	R/W		○		不定
FFFFFEDCH	UF0デバイス・ディスクリプタ・レジスタ11	UF0DD11	R/W		○		不定
FFFFFEDDH	UF0デバイス・ディスクリプタ・レジスタ12	UF0DD12	R/W		○		不定
FFFFFEDEH	UF0デバイス・ディスクリプタ・レジスタ13	UF0DD13	R/W		○		不定
FFFFFEDFH	UF0デバイス・ディスクリプタ・レジスタ14	UF0DD14	R/W		○		不定
FFFFFEE0H	UF0デバイス・ディスクリプタ・レジスタ15	UF0DD15	R/W		○		不定
FFFFFEE1H	UF0デバイス・ディスクリプタ・レジスタ16	UF0DD16	R/W		○		不定
FFFFFEE2H	UF0デバイス・ディスクリプタ・レジスタ17	UF0DD17	R/W		○		不定
FFFFFEE3H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ0	UF0CIE0	R/W		○		不定
FFFFFEE4H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ1	UF0CIE1	R/W		○		不定
FFFFFEE5H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ2	UF0CIE2	R/W		○		不定
FFFFFEE6H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ3	UF0CIE3	R/W		○		不定
FFFFFEE7H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ4	UF0CIE4	R/W		○		不定
FFFFFEE8H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ5	UF0CIE5	R/W		○		不定
FFFFFEE9H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ6	UF0CIE6	R/W		○		不定
FFFFFEEAH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ7	UF0CIE7	R/W		○		不定
FFFFFEEBH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ8	UF0CIE8	R/W		○		不定

(14/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFEECH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ9	UF0CIE9	R/W		○		不定
FFFFFEEDH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ10	UF0CIE10	R/W		○		不定
FFFFFEEEH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ11	UF0CIE11	R/W		○		不定
FFFFFEEFH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ12	UF0CIE12	R/W		○		不定
FFFFFEF0H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ13	UF0CIE13	R/W		○		不定
FFFFFEF1H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ14	UF0CIE14	R/W		○		不定
FFFFFEF2H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ15	UF0CIE15	R/W		○		不定
FFFFFEF3H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ16	UF0CIE16	R/W		○		不定
FFFFFEF4H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ17	UF0CIE17	R/W		○		不定
FFFFFEF5H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ18	UF0CIE18	R/W		○		不定
FFFFFEF6H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ19	UF0CIE19	R/W		○		不定
FFFFFEF7H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ20	UF0CIE20	R/W		○		不定
FFFFFEF8H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ21	UF0CIE21	R/W		○		不定
FFFFFEF9H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ22	UF0CIE22	R/W		○		不定
FFFFFEFAH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ23	UF0CIE23	R/W		○		不定
FFFFFEFBH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ24	UF0CIE24	R/W		○		不定
FFFFFEFCH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ25	UF0CIE25	R/W		○		不定
FFFFFEFDH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ26	UF0CIE26	R/W		○		不定
FFFFFEFEH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ27	UF0CIE27	R/W		○		不定
FFFFFEFFH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ28	UF0CIE28	R/W		○		不定
FFFFFF00H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ29	UF0CIE29	R/W		○		不定

(15/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF01H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ30	UF0CIE30	R/W		○		不定
FFFFFF02H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ31	UF0CIE31	R/W		○		不定
FFFFFF03H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ32	UF0CIE32	R/W		○		不定
FFFFFF04H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ33	UF0CIE33	R/W		○		不定
FFFFFF05H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ34	UF0CIE34	R/W		○		不定
FFFFFF06H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ35	UF0CIE35	R/W		○		不定
FFFFFF07H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ36	UF0CIE36	R/W		○		不定
FFFFFF08H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ37	UF0CIE37	R/W		○		不定
FFFFFF09H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ38	UF0CIE38	R/W		○		不定
FFFFFF0AH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ39	UF0CIE39	R/W		○		不定
FFFFFF0BH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ40	UF0CIE40	R/W		○		不定
FFFFFF0CH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ41	UF0CIE41	R/W		○		不定
FFFFFF0DH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ42	UF0CIE42	R/W		○		不定
FFFFFF0EH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ43	UF0CIE43	R/W		○		不定
FFFFFF0FH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ44	UF0CIE44	R/W		○		不定
FFFFFF10H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ45	UF0CIE45	R/W		○		不定
FFFFFF11H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ46	UF0CIE46	R/W		○		不定
FFFFFF12H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ47	UF0CIE47	R/W		○		不定
FFFFFF13H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ48	UF0CIE48	R/W		○		不定
FFFFFF14H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ49	UF0CIE49	R/W		○		不定
FFFFFF15H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ50	UF0CIE50	R/W		○		不定

(16/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF16H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ51	UF0CIE51	R/W		○		不定
FFFFFF17H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ52	UF0CIE52	R/W		○		不定
FFFFFF18H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ53	UF0CIE53	R/W		○		不定
FFFFFF19H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ54	UF0CIE54	R/W		○		不定
FFFFFF1AH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ55	UF0CIE55	R/W		○		不定
FFFFFF1BH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ56	UF0CIE56	R/W		○		不定
FFFFFF1CH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ57	UF0CIE57	R/W		○		不定
FFFFFF1DH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ58	UF0CIE58	R/W		○		不定
FFFFFF1EH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ59	UF0CIE59	R/W		○		不定
FFFFFF1FH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ60	UF0CIE60	R/W		○		不定
FFFFFF20H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ61	UF0CIE61	R/W		○		不定
FFFFFF21H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ62	UF0CIE62	R/W		○		不定
FFFFFF22H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ63	UF0CIE63	R/W		○		不定
FFFFFF23H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ64	UF0CIE64	R/W		○		不定
FFFFFF24H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ65	UF0CIE65	R/W		○		不定
FFFFFF25H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ66	UF0CIE66	R/W		○		不定
FFFFFF26H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ67	UF0CIE67	R/W		○		不定
FFFFFF27H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ68	UF0CIE68	R/W		○		不定
FFFFFF28H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ69	UF0CIE69	R/W		○		不定
FFFFFF29H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ70	UF0CIE70	R/W		○		不定
FFFFFF2AH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ71	UF0CIE71	R/W		○		不定

(17/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF2BH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ72	UF0CIE72	R/W		○		不定
FFFFFF2CH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ73	UF0CIE73	R/W		○		不定
FFFFFF2DH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ74	UF0CIE74	R/W		○		不定
FFFFFF2EH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ75	UF0CIE75	R/W		○		不定
FFFFFF2FH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ76	UF0CIE76	R/W		○		不定
FFFFFF30H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ77	UF0CIE77	R/W		○		不定
FFFFFF31H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ78	UF0CIE78	R/W		○		不定
FFFFFF32H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ79	UF0CIE79	R/W		○		不定
FFFFFF33H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ80	UF0CIE80	R/W		○		不定
FFFFFF34H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ81	UF0CIE81	R/W		○		不定
FFFFFF35H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ82	UF0CIE82	R/W		○		不定
FFFFFF36H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ83	UF0CIE83	R/W		○		不定
FFFFFF37H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ84	UF0CIE84	R/W		○		不定
FFFFFF38H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ85	UF0CIE85	R/W		○		不定
FFFFFF39H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ86	UF0CIE86	R/W		○		不定
FFFFFF3AH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ87	UF0CIE87	R/W		○		不定
FFFFFF3BH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ88	UF0CIE88	R/W		○		不定
FFFFFF3CH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ89	UF0CIE89	R/W		○		不定
FFFFFF3DH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ90	UF0CIE90	R/W		○		不定
FFFFFF3EH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ91	UF0CIE91	R/W		○		不定
FFFFFF3FH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ92	UF0CIE92	R/W		○		不定

(18/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF40H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ93	UF0CIE93	R/W		○		不定
FFFFFF41H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ94	UF0CIE94	R/W		○		不定
FFFFFF42H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ95	UF0CIE95	R/W		○		不定
FFFFFF43H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ96	UF0CIE96	R/W		○		不定
FFFFFF44H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ97	UF0CIE97	R/W		○		不定
FFFFFF45H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ98	UF0CIE98	R/W		○		不定
FFFFFF46H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ99	UF0CIE99	R/W		○		不定
FFFFFF47H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ100	UF0CIE100	R/W		○		不定
FFFFFF48H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ101	UF0CIE101	R/W		○		不定
FFFFFF49H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ102	UF0CIE102	R/W		○		不定
FFFFFF4AH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ103	UF0CIE103	R/W		○		不定
FFFFFF4BH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ104	UF0CIE104	R/W		○		不定
FFFFFF4CH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ105	UF0CIE105	R/W		○		不定
FFFFFF4DH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ106	UF0CIE106	R/W		○		不定
FFFFFF4EH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ107	UF0CIE107	R/W		○		不定
FFFFFF4FH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ108	UF0CIE108	R/W		○		不定
FFFFFF50H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ109	UF0CIE109	R/W		○		不定
FFFFFF51H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ110	UF0CIE110	R/W		○		不定
FFFFFF52H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ111	UF0CIE111	R/W		○		不定
FFFFFF53H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ112	UF0CIE112	R/W		○		不定
FFFFFF54H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ113	UF0CIE113	R/W		○		不定

(19/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF55H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ114	UF0CIE114	R/W		○		不定
FFFFFF56H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ115	UF0CIE115	R/W		○		不定
FFFFFF57H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ116	UF0CIE116	R/W		○		不定
FFFFFF58H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ117	UF0CIE117	R/W		○		不定
FFFFFF59H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ118	UF0CIE118	R/W		○		不定
FFFFFF5AH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ119	UF0CIE119	R/W		○		不定
FFFFFF5BH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ120	UF0CIE120	R/W		○		不定
FFFFFF5CH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ121	UF0CIE121	R/W		○		不定
FFFFFF5DH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ122	UF0CIE122	R/W		○		不定
FFFFFF5EH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ123	UF0CIE123	R/W		○		不定
FFFFFF5FH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ124	UF0CIE124	R/W		○		不定
FFFFFF60H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ125	UF0CIE125	R/W		○		不定
FFFFFF61H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ126	UF0CIE126	R/W		○		不定
FFFFFF62H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ127	UF0CIE127	R/W		○		不定
FFFFFF63H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ128	UF0CIE128	R/W		○		不定
FFFFFF64H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ129	UF0CIE129	R/W		○		不定
FFFFFF65H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ130	UF0CIE130	R/W		○		不定
FFFFFF66H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ131	UF0CIE131	R/W		○		不定
FFFFFF67H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ132	UF0CIE132	R/W		○		不定
FFFFFF68H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ133	UF0CIE133	R/W		○		不定
FFFFFF69H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ134	UF0CIE134	R/W		○		不定

(20/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF6AH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ135	UF0CIE135	R/W		○		不定
FFFFFF6BH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ136	UF0CIE136	R/W		○		不定
FFFFFF6CH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ137	UF0CIE137	R/W		○		不定
FFFFFF6DH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ138	UF0CIE138	R/W		○		不定
FFFFFF6EH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ139	UF0CIE139	R/W		○		不定
FFFFFF6FH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ140	UF0CIE140	R/W		○		不定
FFFFFF70H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ141	UF0CIE141	R/W		○		不定
FFFFFF71H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ142	UF0CIE142	R/W		○		不定
FFFFFF72H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ143	UF0CIE143	R/W		○		不定
FFFFFF73H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ144	UF0CIE144	R/W		○		不定
FFFFFF74H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ145	UF0CIE145	R/W		○		不定
FFFFFF75H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ146	UF0CIE146	R/W		○		不定
FFFFFF76H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ147	UF0CIE147	R/W		○		不定
FFFFFF77H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ148	UF0CIE148	R/W		○		不定
FFFFFF78H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ149	UF0CIE149	R/W		○		不定
FFFFFF79H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ150	UF0CIE150	R/W		○		不定
FFFFFF7AH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ151	UF0CIE151	R/W		○		不定
FFFFFF7BH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ152	UF0CIE152	R/W		○		不定
FFFFFF7CH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ153	UF0CIE153	R/W		○		不定
FFFFFF7DH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ154	UF0CIE154	R/W		○		不定
FFFFFF7EH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ155	UF0CIE155	R/W		○		不定

(21/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF7FH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ156	UF0CIE156	R/W		○		不定
FFFFFF80H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ157	UF0CIE157	R/W		○		不定
FFFFFF81H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ158	UF0CIE158	R/W		○		不定
FFFFFF82H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ159	UF0CIE159	R/W		○		不定
FFFFFF83H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ160	UF0CIE160	R/W		○		不定
FFFFFF84H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ161	UF0CIE161	R/W		○		不定
FFFFFF85H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ162	UF0CIE162	R/W		○		不定
FFFFFF86H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ163	UF0CIE163	R/W		○		不定
FFFFFF87H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ164	UF0CIE164	R/W		○		不定
FFFFFF88H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ165	UF0CIE165	R/W		○		不定
FFFFFF89H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ166	UF0CIE166	R/W		○		不定
FFFFFF8AH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ167	UF0CIE167	R/W		○		不定
FFFFFF8BH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ168	UF0CIE168	R/W		○		不定
FFFFFF8CH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ169	UF0CIE169	R/W		○		不定
FFFFFF8DH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ170	UF0CIE170	R/W		○		不定
FFFFFF8EH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ171	UF0CIE171	R/W		○		不定
FFFFFF8FH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ172	UF0CIE172	R/W		○		不定
FFFFFF90H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ173	UF0CIE173	R/W		○		不定
FFFFFF91H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ174	UF0CIE174	R/W		○		不定
FFFFFF92H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ175	UF0CIE175	R/W		○		不定
FFFFFF93H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ176	UF0CIE176	R/W		○		不定

(22/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF94H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ177	UF0CIE177	R/W		○		不定
FFFFFF95H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ178	UF0CIE178	R/W		○		不定
FFFFFF96H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ179	UF0CIE179	R/W		○		不定
FFFFFF97H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ180	UF0CIE180	R/W		○		不定
FFFFFF98H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ181	UF0CIE181	R/W		○		不定
FFFFFF99H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ182	UF0CIE182	R/W		○		不定
FFFFFF9AH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ183	UF0CIE183	R/W		○		不定
FFFFFF9BH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ184	UF0CIE184	R/W		○		不定
FFFFFF9CH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ185	UF0CIE185	R/W		○		不定
FFFFFF9DH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ186	UF0CIE186	R/W		○		不定
FFFFFF9EH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ187	UF0CIE187	R/W		○		不定
FFFFFF9FH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ188	UF0CIE188	R/W		○		不定
FFFFFFA0H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ189	UF0CIE189	R/W		○		不定
FFFFFFA1H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ190	UF0CIE190	R/W		○		不定
FFFFFFA2H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ191	UF0CIE191	R/W		○		不定
FFFFFFA3H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ192	UF0CIE192	R/W		○		不定
FFFFFFA4H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ193	UF0CIE193	R/W		○		不定
FFFFFFA5H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ194	UF0CIE194	R/W		○		不定
FFFFFFA6H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ195	UF0CIE195	R/W		○		不定
FFFFFFA7H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ196	UF0CIE196	R/W		○		不定
FFFFFFA8H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ197	UF0CIE197	R/W		○		不定

(23/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFA9H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ198	UF0CIE198	R/W		○		不定
FFFFFFAAH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ199	UF0CIE199	R/W		○		不定
FFFFFFABH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ200	UF0CIE200	R/W		○		不定
FFFFFFACH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ201	UF0CIE201	R/W		○		不定
FFFFFFADH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ202	UF0CIE202	R/W		○		不定
FFFFFFAEH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ203	UF0CIE203	R/W		○		不定
FFFFFFAFH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ204	UF0CIE204	R/W		○		不定
FFFFFFB0H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ205	UF0CIE205	R/W		○		不定
FFFFFFB1H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ206	UF0CIE206	R/W		○		不定
FFFFFFB2H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ207	UF0CIE207	R/W		○		不定
FFFFFFB3H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ208	UF0CIE208	R/W		○		不定
FFFFFFB4H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ209	UF0CIE209	R/W		○		不定
FFFFFFB5H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ210	UF0CIE210	R/W		○		不定
FFFFFFB6H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ211	UF0CIE211	R/W		○		不定
FFFFFFB7H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ212	UF0CIE212	R/W		○		不定
FFFFFFB8H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ213	UF0CIE213	R/W		○		不定
FFFFFFB9H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ214	UF0CIE214	R/W		○		不定
FFFFFFBAH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ215	UF0CIE215	R/W		○		不定
FFFFFFBBH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ216	UF0CIE216	R/W		○		不定
FFFFFFBCH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ217	UF0CIE217	R/W		○		不定
FFFFFFBDH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ218	UF0CIE218	R/W		○		不定

(24/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFBEH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ219	UF0CIE219	R/W		○		不定
FFFFFFBFH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ220	UF0CIE220	R/W		○		不定
FFFFFFC0H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ221	UF0CIE221	R/W		○		不定
FFFFFFC1H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ222	UF0CIE222	R/W		○		不定
FFFFFFC2H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ223	UF0CIE223	R/W		○		不定
FFFFFFC3H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ224	UF0CIE224	R/W		○		不定
FFFFFFC4H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ225	UF0CIE225	R/W		○		不定
FFFFFFC5H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ226	UF0CIE226	R/W		○		不定
FFFFFFC6H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ227	UF0CIE227	R/W		○		不定
FFFFFFC7H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ228	UF0CIE228	R/W		○		不定
FFFFFFC8H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ229	UF0CIE229	R/W		○		不定
FFFFFFC9H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ230	UF0CIE230	R/W		○		不定
FFFFFFCAH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ231	UF0CIE231	R/W		○		不定
FFFFFFCBH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ232	UF0CIE232	R/W		○		不定
FFFFFFCCH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ233	UF0CIE233	R/W		○		不定
FFFFFFCDH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ234	UF0CIE234	R/W		○		不定
FFFFFFCEH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ235	UF0CIE235	R/W		○		不定
FFFFFFCFH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ236	UF0CIE236	R/W		○		不定
FFFFFFD0H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ237	UF0CIE237	R/W		○		不定
FFFFFFD1H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ238	UF0CIE238	R/W		○		不定
FFFFFFD2H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ239	UF0CIE239	R/W		○		不定

(25/25)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFD3H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ240	UF0CIE240	R/W		○		不定
FFFFFFD4H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ241	UF0CIE241	R/W		○		不定
FFFFFFD5H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ242	UF0CIE242	R/W		○		不定
FFFFFFD6H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ243	UF0CIE243	R/W		○		不定
FFFFFFD7H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ244	UF0CIE244	R/W		○		不定
FFFFFFD8H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ245	UF0CIE245	R/W		○		不定
FFFFFFD9H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ246	UF0CIE246	R/W		○		不定
FFFFFFDAH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ247	UF0CIE247	R/W		○		不定
FFFFFFDBH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ248	UF0CIE248	R/W		○		不定
FFFFFFDCH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ249	UF0CIE249	R/W		○		不定
FFFFFFDDH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ250	UF0CIE250	R/W		○		不定
FFFFFFDEH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ251	UF0CIE251	R/W		○		不定
FFFFFFDFH	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ252	UF0CIE252	R/W		○		不定
FFFFFFE0H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ253	UF0CIE253	R/W		○		不定
FFFFFFE1H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ254	UF0CIE254	R/W		○		不定
FFFFFFE2H	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ255	UF0CIE255	R/W		○		不定

3. 4. 8 特定レジスタ

特定レジスタは，プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850E/ME2にはパワー・セーブ・コントロール・レジスタ（PSC）（8. 6. 2（3）パワー・セーブ・コントロール・レジスタ（PSC）参照），クロック・コントロール・レジスタ（CKC）（8. 3. 1 クロック・コントロール・レジスタ（CKC）参照），クロック・ソース選択レジスタ（CKS）（8. 3. 2 クロック・ソース選択レジスタ（CKS）参照），SSCGコントロール・レジスタ（SSCGC）（8. 3. 3 SSCGコントロール・レジスタ（SSCGC）参照）の4つの特定レジスタがあります。特定レジスタへのライト時には，DMA転送は禁止してください。

また，プログラムの暴走により応用システムが不用意に停止しないように，特定レジスタへの書き込み動作に対するプロテクション・レジスタとして，コマンド・レジスタ（PRCMD）があります（8. 6. 2（2）コマンド・レジスタ（PRCMD）参照）。

3. 4. 9 システム・ウエイト・コントロール・レジスタ（VSWC）

VSWCレジスタは，内蔵周辺I/Oレジスタに対するバス・アクセスのウエイトを制御するレジスタです。

V850E1 CPUコアの内蔵周辺I/Oレジスタへのアクセスは基本的に3クロックですが，V850E/ME2ではその3クロックに加えてウエイトが必要です。使用する動作周波数に応じて，VSWCには次に示す値を設定してください。

8/1ビット単位でリード／ライト可能です（アドレス：FFFFF06EH，初期値：77H）。

動作周波数（fx）	ウエイト数	VSWCの設定値
10.00 MHz≦fx≦25.00 MHz	0	00H
25.00 MHz＜fx≦34.00 MHz	1	10H
34.00 MHz＜fx≦68.00 MHz	2	11H
68.00 MHz＜fx≦75.00 MHz	3	12H
75.00 MHz＜fx≦103.00 MHz	4	22H
103.00 MHz＜fx≦125.00 MHz	5	23H
125.00 MHz＜fx≦150.00 MHz	6	33H

備考 内蔵周辺機能の状態を示すステータス・フラグを含んだレジスタ（UBnSTRなど）やタイマのカウント値を示すレジスタ（TMCnなど）へのアクセスにおいて，フラグやカウント値の変化タイミングとレジスタ・アクセス・タイミングが重なった場合，レジスタ・アクセスへのリトライ動作が発生します。このため，通常より内蔵周辺I/Oレジスタへのアクセスに時間がかかる場合があります。

3. 4. 10　初期化シーケンス

V850E/ME2の初期化は次に示すシーケンスで行ってください。

①リセット解除後，自動的に100000H番地に分岐

100000H番地に配置されたプログラムにより，まずは外部バス・アクセス性能に影響する次に示すレジスタの設定を行ってください。なお，パワーオン状態でのリセット入力によっても，100000H番地に自動的に分岐します。

・システム・ウエイト・コントロール・レジスタ（VSWC）
　内蔵周辺I/Oアクセスのウエイト設定
・データ・ウエイト・コントロール・レジスタ0, 1（DWC0, DWC1）
　外部バスのデータ・ウエイト設定
・アドレス・セットアップ・ウエイト・コントロール・レジスタ（ASC）
　外部バスのアドレス・セットアップ・ウエイト設定
・バス・サイクル・コントロール・レジスタ（BCC）
　外部バスのアイドル・ステート設定

また，必要に応じてチップ・エリア選択コントロール・レジスタ0, 1（CSC0, CSC1），バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1（BCT0, BCT1），ローカル・バス・サイジング・コントロール・レジスタ（LBS），エンディアン・コンフィギュレーション・レジスタ（BEC），ライン・バッファ・コントロール・レジスタ0, 1（LBC0, LBC1），ページROMコンフィギュレーション・レジスタ（PRC），ポートDHファンクション・コントロール・レジスタ（PFCDH），ポートCSファンクション・コントロール・レジスタ（PFCCS）などの設定を行ってください。

注意1.　リセット解除後から内蔵命令RAMにプログラム・コードを転送し終わるまでの間（初期化シーケンス①-③の処理中）は，すべての割り込みを禁止してください。なお，マスカブル割り込みは，デフォールトでマスクされていますので，特に禁止設定をする必要はありません。

2.　SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6（SCR1, SCR3, SCR4, SCR6）の設定は②処理以降で行ってください。

②ロック・レジスタ（LOCKR）のLOCKビットの確認

上記①のレジスタ設定後，LOCKRレジスタのLOCKビットがクリア（0）されている（PLLがロックされている）ことを確認したあと，次に示す手順により，レジスタの設定を行ってください。

(i) システム・ウエイト・コントロール・レジスタ（VSWC）
x7Hに設定（x：①で設定した値を設定）
たとえば，①で11Hを設定した場合，ここでは，17Hを設定してください。

(ii) バス・モード・コントロール・レジスタ（BMC）
外部バスの周波数分周値設定

(iii) システム・ウエイト・コントロール・レジスタ（VSWC）
①で設定した値に再設定

(iv) クロック・コントロール・レジスタ（CKC）
内部システム・クロック周波数（f_{CLK}）分周値設定

(v) クロック・ソース選択レジスタ（CKS）
OSC出力からSSCG出力に切り替え（CPUへのクロック供給をX1，X2端子への入力周波数からPLLにより8逓倍された周波数に切り替え）

注意　66 MHz品の場合，f_{CLK} = fx（f_{CLK}が66 MHz以上になる設定）にはしないでください。

備考　CKC, CKSレジスタは，特定レジスタであるため，専用の書き換えシーケンスが必要です。

③内蔵命令RAMにプログラム・コードを転送

プログラム処理，またはDMA機能により，内蔵命令RAMにプログラム・コードを転送してください。DMA機能を使用する場合は，DMA転送終了割り込み（INTDMAn）は使用せず，DMAの割り込み制御レジスタ（DMAICn）のビット7（DMAIFn）ビットをポーリングすることで，DMA転送の完了を確認してください（n = 0-3）。プログラム・コード転送後，次に示す手順により，内蔵命令RAMをリード・モードに切り替えてください。

(i) 内蔵命令RAMモード・レジスタ（IRAMM）のIRAMM0ビット をリード・モードに設定（クリア（0））します。なお，IRAMM0ビットは，ここでのクリアを行うまでの間，設定を変更しないでください。

(ii) IRAMMレジスタのIRAMM0ビットをクリア（0）したあと，クリア（0）したIRAMM0ビットをリードし，リード・モードになっていることを確認します（パイプライン動作による先行命令実行防止のため）。

(iii) 分岐命令により内蔵命令RAM領域に分岐します。

注意1.　リセット解除後，NMI入力はハードウエア的にマスクされます。初期化シーケンス③のIRAMMレジスタのIRAMM0ビットのクリア（0）と同時にNMIのマスクは解除されます。

注意2. リセット解除直後から，内蔵命令RAMをリード・モードに切り替えるまでの間に，NMIが入力されたことを確認する必要がある場合は，NMIリセット・ステータス・レジスタ（NRS）のNMIRSビットをリードしてください。セット（1）されていれば，NMIの有効エッジ入力があったことを示していますので，必要に応じてNMIの割り込み処理ルーチンを実行してください。なお，NRSレジスタはリセット解除後から内蔵命令RAMをリード・モードに設定する間のNMI入力確認のみに使用され，リセット解除後にクリア（0）されません。

3. ソフトウエア例外，例外トラップはマスクできませんので，内蔵命令RAMへのプログラム・コード転送が完了するまでは，TRAP命令，DBTRAP命令を実行しないでください。

備考1. NRSレジスタのNMIRSビットは，内蔵命令RAMをリード・モードに設定した以降にNMI入力が発生した場合にもセット（1）されますが，その場合は自動的にNMI処理ルーチンに分岐しますので，NMIRSビットの状態を確認する必要はありません。

2. NMI入力のマスク機能は，リセット解除後から内蔵命令RAMをリード・モードに切り替えるまでの間のみ有効です。

3. プログラムの実行途中に，内蔵命令RAMの命令RAMバンク0への書き込みを行う場合は，PSWのNPビットをセット（1）することで，NMIおよびマスカブル割り込みを禁止するとともに，ソフトウエア例外，例外トラップが発生しないようにしてください。また，NPビットは，プログラムの書き換え終了後，IRAMMレジスタのIRAMM0ビットをセット（1）し，リード・モードにセットされたことを確認後，クリア（0）してください。

4. PSWのNPビットをセット（1）している間に発生したNMI要求およびマスカブル割り込み要求は，保留されています。NMI要求の場合，NPビットをクリア（0）した直後に受け付けられます。マスカブル割り込みの場合，NPビットをクリア（0）する以前に，割り込み要求をクリア（割り込み制御レジスタ（xxICn）のxxIFnビットをクリア（0））していない，割り込み禁止状態（DI状態）でない，および割り込み制御レジスタのxxMKnビットがセット（1）されていなければ，NPビットをクリア（0）した直後に受け付けられます。ただし，NMI要求およびマスカブル割り込みともに保留される割り込み要求は，同一の割り込み要因に対し1つだけであり，同一の割り込み要求が2回以上発生していても，受け付けられるのは1回のみです。

3. 4. 11 sld命令と割り込み競合に関する制限事項

(a) 内 容

次の命令<1>の事項が完了する前に，後続のsld命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合，先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ld命令 ：ld.b, ld.h, ld.w, ld.bu, ld.hu
- sld命令 ：sld.b, sld.h, sld.w, sld.bu, sld.hu
- 乗算命令 ：mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

```
< i >   ld.w    [r11], r10
                 •
                 •
                 •
< ii >  mov     r10, r28
<iii>   sld.w   0x28, r10
```

< i >のld命令の実行が完了する前に，<iii>のsld命令の直前のmov命令< ii >のデコード動作と割り込み要求が競合した場合，< i >のld命令の実行結果がレジスタに格納されないことがあります。

(b) 回 避 策

① **コンパイラ（CA850）使用時**

CA850はVer.2.61以降を使用してください。該当命令シーケンスの生成を自動的に抑止します。

② **アセンブラでの対策**

命令< ii >の直後にsld命令を実行する場合は，次のいずれかの方法を用いて，上記動作を回避してください。

- sld命令の直前にnop命令を入れる。
- sld命令のディスティネーション・レジスタと同じレジスタを，sld命令の直前で実行する上記< ii >の命令で使用しない。

3. 5　注意事項

CPU機能についての注意事項を次に示します。

(1) 0100000H番地への配置

正しく動作させるため，0100000H番地には必ず外部メモリを配置してください。

(2) 内蔵データRAM領域でのプログラム実行

内蔵データRAM領域でのプログラム実行はしないでください。

(3) 転送対象が内蔵周辺I/OのDMA転送の転送元，転送先のアドレス

内蔵周辺I/OをDMA転送の転送元，転送先として指定する場合，アドレスには必ずFFFF000H-FFFFFFFHのアドレスを指定してください。

(4) 初期化シーケンス

リセット解除後から内蔵命令RAMにプログラム・コードを転送し終わるまでの間は，すべての割り込みを禁止してください。

(5) 内蔵命令RAMへのプログラム・コード転送

内蔵命令RAMへのプログラム・コード転送が完了するまでは，TRAP命令，DBTRAP命令を実行しないでください。

(6) 66 MHz品のレジスタ設定

66 MHz品の場合，CKCレジスタは内部システム・クロック周波数（f_{CLK}） = メイン・クロック（f_X）に設定しないでください。CKCレジスタは必ず入力周波数（F_X）に応じて，f_{CLK}を$f_X/2$, $f_X/4$, $f_X/8$から選択して設定してください。

また，CKCレジスタを設定したあと，CKSレジスタでOSC出力からSSCG出力に切り替えてください。

第4章　バス制御機能

V850E/ME2は，外部にROM，RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

4.1 特　　徴

○32ビット／16ビット／8ビット・データ・バス・サイジング機能
○8空間のチップ・セレクト機能
○ウエイト機能
・各メモリ・ブロックごとに最大7ステートのプログラマブル・ウエイト機能
・$\overline{\text{WAIT}}$端子による外部ウエイト機能
○アイドル・ステート挿入機能
○バス使用権調停機能
○バス・ホールド機能
○ポートとの兼用端子で，外部デバイスに接続可能

4.2 バス制御端子

外部デバイスの接続には，次の端子を使用します。

バス制御端子（コントロール・モード時の機能）	ポート・モード時の機能	ポート／コントロール・モードの切り替えを行うレジスタ
データ・バス（D0-D15）	–	–
データ・バス（D16-D31）	PDH0-PDH15（ポートDH）	PMCDH
アドレス・バス（A0, A1）	PAL0, PAL1（ポートAL）	PMCAL
アドレス・バス（A16-A25）	PAH0-PAH9（ポートAH）	PMCAH
チップ・セレクト（$\overline{\text{CS0}}$-$\overline{\text{CS7}}$, $\overline{\text{IOWR}}$, $\overline{\text{IORD}}$）	PCS0-PCS7（ポートCS）	PMCCS
SDRAM同期コントロール（SDCKE）	PCD0（ポートCD）	PMCCD
バス・クロック（BUSCLK）	PCD1（ポートCD）	
SDRAMコントロール（$\overline{\text{SDCAS}}$, $\overline{\text{SDRAS}}$）	PCD2, PCD3（ポートCD）	
リード／ライト制御（$\overline{\text{LLWR}}$/$\overline{\text{LLBE}}$/LLDQM, $\overline{\text{LUWR}}$/$\overline{\text{LUBE}}$/LUDQM, $\overline{\text{ULWR}}$/$\overline{\text{ULBE}}$/ULDQM, UUDQM/$\overline{\text{UUBE}}$/$\overline{\text{UUWR}}$, $\overline{\text{RD}}$, $\overline{\text{WE}}$/$\overline{\text{WR}}$）	PCT0-PCT5（ポートCT）	PMCCT
バス・サイクル・スタート（$\overline{\text{BCYST}}$）	PCT7（ポートCT）	
外部ウエイト制御（$\overline{\text{WAIT}}$）	PCM0（ポートCM）	PMCCM
バス・ホールド制御（$\overline{\text{HLDRQ}}$, $\overline{\text{HLDAK}}$）	PCM2, PCM3（ポートCM）	
SDRAMリフレッシュ制御（$\overline{\text{REFRQ}}$）	PCM4（ポートCM）	
セルフ・リフレッシュ制御（$\overline{\text{SELFREF}}$）	PCM5（ポートCM）	

備考　システム・リセットにより各バス制御端子は無条件に有効になります（ただし，D16-D31, $\overline{\text{ULWR}}$/$\overline{\text{ULBE}}$/ULDQM, $\overline{\text{UUWR}}$/$\overline{\text{UUBE}}$/UUDQMは32ビット・モードのときだけ有効）。

4. 2. 1　内蔵命令RAM，内蔵データRAM，内蔵周辺I/Oアクセス時の端子状態

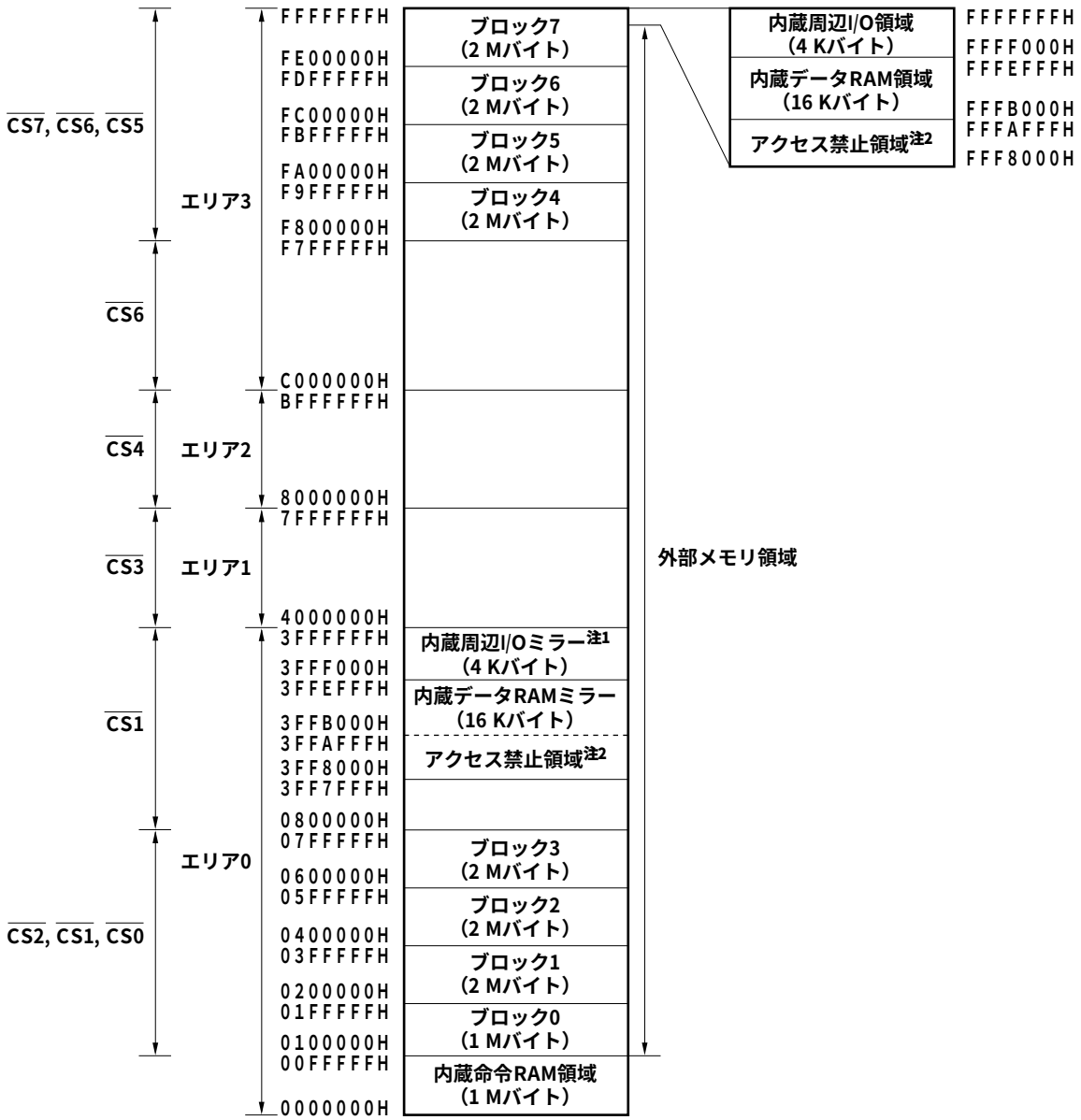
内蔵命令RAM（リード・モード時），内蔵データRAM，内蔵周辺I/Oのアクセス時には，アドレス・バスはロウ・レベルを出力します。データ・バスは，出力されずハイ・インピーダンス状態になります。外部バス制御信号は，インアクティブ状態になります。

内蔵命令RAM（ライト・モード時）のアクセス時には，アドレス・バス，データ・バスは出力されます。外部バス制御信号は，$\overline{\text{UUWR}}$, $\overline{\text{ULWR}}$, $\overline{\text{LUWR}}$, $\overline{\text{LLWR}}$，および$\overline{\text{WR}}$信号以外はアクティブ状態になります。また，バス・サイクル・ピリオド・コントロール・レジスタ（BCP）のIOENビットをセット（1）することにより，$\overline{\text{IOWR}}$信号を出力許可設定にしている場合，$\overline{\text{IOWR}}$信号はインアクティブ状態になります。

4. 3　メモリ・ブロック機能

256 Mバイトのメモリ空間は，2 Mバイト単位のメモリ・ブロック7つ，1 Mバイトのメモリ・ブロック1つを含む4つのエリアに分割されます。

ただし，プログラム領域として使用できる領域は，0000000H-3FFFFFFHの64 Mバイトの空間です。



注1.　3FFF000H-3FFFFFFH番地はアクセス禁止です。内蔵周辺I/Oをアクセスするときには FFFF000H-FFFFFFFH番地を指定してください。

2.　アクセス禁止領域にアクセスした場合の動作は保証しません。

4. 3. 1　チップ・セレクト制御機能

CSC0, CSC1レジスタにより，各メモリ・ブロックを分割し，チップ・セレクト信号を制御することができます。

チップ・セレクト制御機能により，メモリ・ブロックを分割することで，メモリ空間を有効に利用できます。優先順位を次に示します。

（1）チップ・エリア選択コントロール・レジスタ0, 1（CSC0, CSC1）

16ビット単位でリード／ライトできます。各ビットをセット（1）すると有効になります。

同じブロックに別々のチップ・セレクト信号出力を設定した場合，次のように優先順位が制御されます。

CSC0：$\overline{CS0}$＞$\overline{CS2}$＞$\overline{CS1}$

CSC1：$\overline{CS7}$＞$\overline{CS5}$＞$\overline{CS6}$

CSC0レジスタのCS0n, CS2nビット = 00に設定した場合，該当するブロックには$\overline{CS1}$が出力されます（n = 0-3）。

同様にCSC1レジスタのCS5n, CS7nビット = 00に設定した場合，該当するブロックには$\overline{CS6}$が出力されます（n = 0-3）。

注意1. CSC0, CSC1レジスタへの書き込みはリセット後に行ってください。書き込み後は，値を変更しないでください。

2. リセット解除後は，100000H番地に対して$\overline{CS0}$信号が有効になります。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CSC0	CS33	CS32	CS31	CS30	CS23	CS22	CS21	CS20	CS13	CS12	CS11	CS10	CS03	CS02	CS01	CS00	FFFFF060H	2C11H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CSC1	CS43	CS42	CS41	CS40	CS53	CS52	CS51	CS50	CS63	CS62	CS61	CS60	CS73	CS72	CS71	CS70	FFFFF062H	2C11H

ビット位置	ビット名	意　味
15-0	CSnm (n = 0-7) (m = 0-3)	CSnmビットをセット（1）することにより，チップ・セレクトを有効にします。

CSnm	CS動作
CS00	ブロック0アクセス時，$\overline{CS0}$出力
CS01	ブロック1アクセス時，$\overline{CS0}$出力
CS02	ブロック2アクセス時，$\overline{CS0}$出力
CS03	ブロック3アクセス時，$\overline{CS0}$出力
CS10-CS13	設定は意味を持ちません。
CS20	ブロック0アクセス時，$\overline{CS2}$出力
CS21	ブロック1アクセス時，$\overline{CS2}$出力
CS22	ブロック2アクセス時，$\overline{CS2}$出力
CS23	ブロック3アクセス時，$\overline{CS2}$出力
CS30-CS33	設定は意味を持ちません。
CS40-CS43	設定は意味を持ちません。
CS50	ブロック7アクセス時，$\overline{CS5}$出力
CS51	ブロック6アクセス時，$\overline{CS5}$出力
CS52	ブロック5アクセス時，$\overline{CS5}$出力
CS53	ブロック4アクセス時，$\overline{CS5}$出力
CS60-CS63	設定は意味を持ちません。
CS70	ブロック7アクセス時，$\overline{CS7}$出力
CS71	ブロック6アクセス時，$\overline{CS7}$出力
CS72	ブロック5アクセス時，$\overline{CS7}$出力
CS73	ブロック4アクセス時，$\overline{CS7}$出力

次にCSC0レジスタに0F03Hを設定した場合のエリア0に対して有効になる$\overline{CS}$信号を示します。

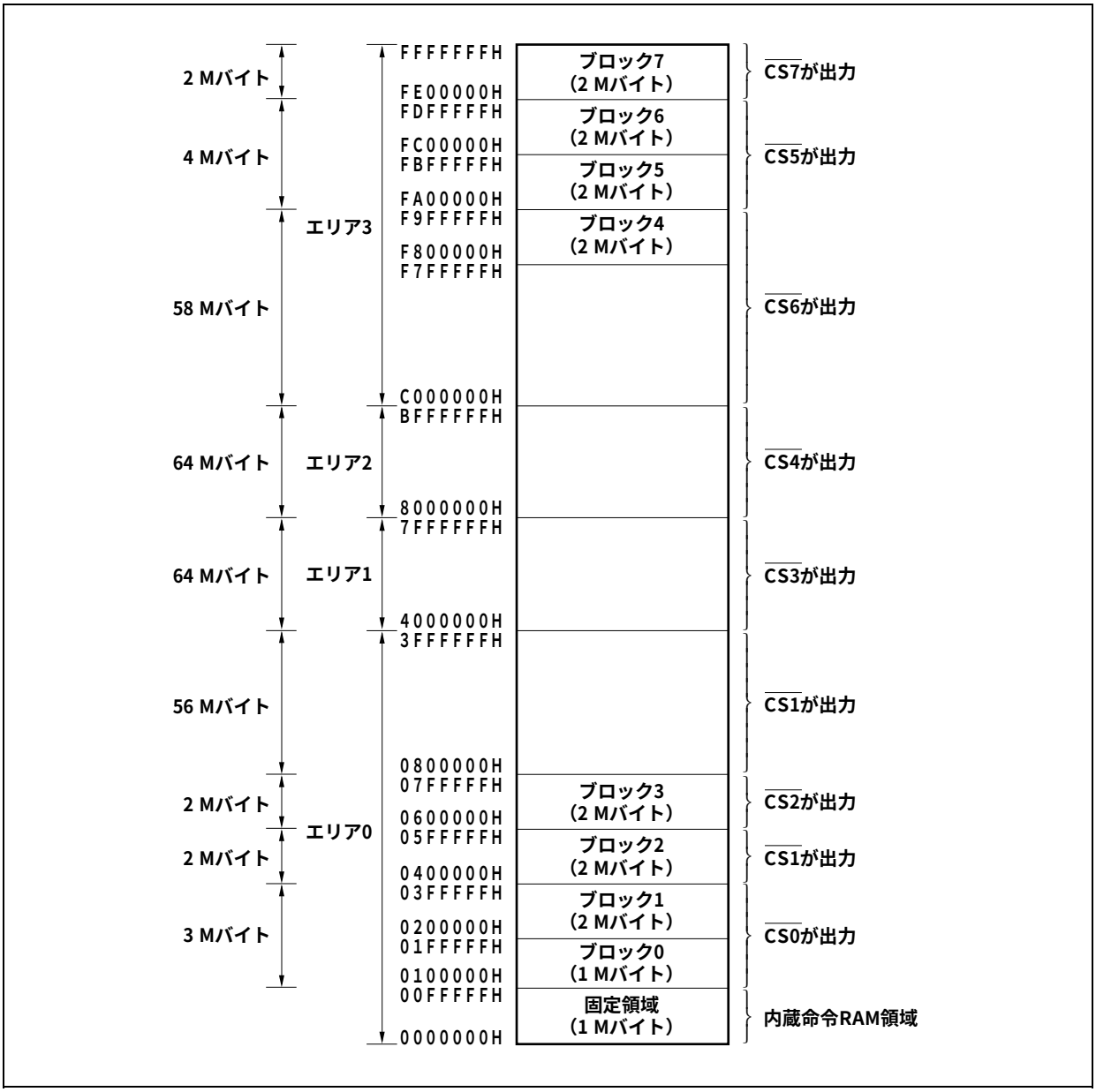
CSC0レジスタに0F03Hを設定した場合，ブロック0，ブロック1ともに$\overline{CS0}$, $\overline{CS2}$出力になっていますが，$\overline{CS2}$より$\overline{CS0}$の方が優先順位が高いため，ブロック0，ブロック1のアドレスをアクセスした場合は$\overline{CS0}$が出力されます。

ブロック2，ブロック3のアドレスをアクセスした場合は，$\overline{CS2}$が出力されます。

ブロック0-3以外のエリア0のアドレスをアクセスした場合は，$\overline{CS1}$が出力されます。

次にCSC0レジスタに0803Hを，CSC1レジスタに0601Hを設定した場合の例を示します。

図4ー1　CSC0レジスタに0803H，CSC1レジスタに0601Hを設定した場合の例



4. 4　バス・サイクル・タイプ制御機能

V850E/ME2は，次のような外部デバイスを各メモリ・ブロックごとに直結できます。

○ SRAM，外部ROM，外部I/O
○ ページROM
○ SDRAM

接続する外部デバイスは，BCT0, BCT1レジスタで指定します。

(1) バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1（BCT0, BCT1）

16ビット単位でリード／ライト可能です。

ビット14, 10, 6, 2には，必ず0を設定してください。1を設定した場合の動作は保証できません。

注意　BCT0, BCT1レジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください（ただし，MEnビットの値は変更できます）。また，BCT0, BCT1レジスタの初期設定が終わるまでは，その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域のアクセスは可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BCT0	ME3	0	BT31	BT30	ME2	0	BT21	BT20	ME1	0	BT11	BT10	ME0	0	BT01	BT00	FFFFF480H	8888H
$\overline{\text{CS}}$n信号			$\overline{\text{CS3}}$				$\overline{\text{CS2}}$				$\overline{\text{CS1}}$				$\overline{\text{CS0}}$			

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BCT1	ME7	0	BT71	BT70	ME6	0	BT61	BT60	ME5	0	BT51	BT50	ME4	0	BT41	BT40	FFFFF482H	8888H
$\overline{\text{CS}}$n信号			$\overline{\text{CS7}}$				$\overline{\text{CS6}}$				$\overline{\text{CS5}}$				$\overline{\text{CS4}}$			

ビット位置	ビット名	意　味
15, 11, 7, 3	MEn	メモリ・コントローラの動作許可をチップ・セレクトごとに設定します。 0：動作禁止 1：動作許可
13, 12, 9, 8, 5, 4, 1, 0	BTn1, BTn0	$\overline{\text{CS}}$n信号に接続するデバイスを指定します。

BTn1	BTn0	$\overline{\text{CS}}$n信号に直結する外部デバイス
0	0	SRAM，外部I/O
0	1	ページROM
1	0	設定禁止
1	1	n = 1, 3, 4, 6の場合：SDRAM n = 0, 2, 5, 7の場合：設定禁止

備考　n = 0-7

4. 5　バス・アクセス

4. 5. 1　アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

バス・サイクル形態 / リソース（バス幅）	命令フェッチ	オペランド・データ・アクセス	
		リード時	ライト時
内蔵命令RAM（32ビット）	1	1	2注
内蔵データRAM（32ビット）	－	1	

注　内蔵命令RAM（ライト・モード時）へのアクセスは，BUSCLKで動作するため（内蔵命令RAM（リード・モード時）の場合は内部システム・クロック（f_{CLK}）），CS0空間に対するプログラマブル・ウエイト，アドレス・セットアップ・ウエイト，アイドル・ステートの挿入が有効になります。

備考　単位はクロック／アクセスです。

4. 5. 2　バス・サイジング機能

バス・サイジング機能により，各CS空間ごとのデータ・バス幅を制御できます。データ・バス幅は，LBSレジスタで設定します。

(1) ローカル・バス・サイジング・コントロール・レジスタ（LBS）

16ビット単位でリード／ライト可能です。

注意1. LBSレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，LBSレジスタの初期設定が終わるまでは，その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域のアクセスは可能です。

2. 8ビット・バス幅の場合，次に示す信号のみアクティブになります。
   $\overline{\text{LLWR}}$　：SRAM，外部ROM，外部I/Oアクセス（ライト・サイクル）の場合
3. 16ビット・バス幅の場合，次に示す信号のみアクティブになります。
   $\overline{\text{LLWR}}$, $\overline{\text{LUWR}}$　：SRAM，外部ROM，外部I/Oアクセス（ライト・サイクル）の場合
4. 16ビット・モードで起動し32ビット・バス幅で使用する場合は，LBSレジスタのほかにPFCDHレジスタのBMODCNビット = 1に設定してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値[注]
LBS	LB71	LB70	LB61	LB60	LB51	LB50	LB41	LB40	LB31	LB30	LB21	LB20	LB11	LB10	LB01	LB00	FFFFF48EH	5555H/AAAAH
$\overline{\text{CS}}$n信号	$\overline{\text{CS7}}$		$\overline{\text{CS6}}$		$\overline{\text{CS5}}$		$\overline{\text{CS4}}$		$\overline{\text{CS3}}$		$\overline{\text{CS2}}$		$\overline{\text{CS1}}$		$\overline{\text{CS0}}$			

注　32ビット・モードのとき：AAAAH
16ビット・モードのとき：5555H
なお，32ビット・モード，16ビット・モードについては，3. 3. 1　**動作モード**を参照してください。

ビット位置	ビット名	意　味
15-0	LBn1, LBn0	CSn空間のデータ・バス幅を設定します。

LBn1	LBn0	CSn空間のデータ・バス幅
0	0	8ビット
0	1	16ビット
1	0	32ビット
1	1	

備考　n = 0-7

4. 5. 3　エンディアン制御機能

エンディアン制御機能により，チップ・セレクト信号（$\overline{CS0}$-$\overline{CS7}$）で選択されるCS空間ごとにメモリ内のワード・データをビッグ・エンディアン形式，リトル・エンディアン形式のどちらで処理するかを設定できます。エンディアン形式の切り替えは，BECレジスタで設定します。

注意　次に示す領域についてはリトル・エンディアン形式固定になるので，BECレジスタの設定は無効になります。

- 内蔵周辺I/O領域
- 内蔵命令RAM領域
- 内蔵データRAM領域
- 3FF8000H-3FFBFFFH番地の内蔵データRAM領域と同一の領域
- 外部メモリのプログラム・フェッチ領域

(1) エンディアン・コンフィギュレーション・レジスタ（BEC）

16ビット単位でリード／ライト可能です。

ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意　BECレジスタへの書き込みはリセット後に行ってください。書き込み後は，値を変更しないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BEC	0	BE70	0	BE60	0	BE50	0	BE40	0	BE30	0	BE20	0	BE10	0	BE00	FFFFF068H	0000H
$\overline{CS}$n信号		$\overline{CS7}$		$\overline{CS6}$		$\overline{CS5}$		$\overline{CS4}$		$\overline{CS3}$		$\overline{CS2}$		$\overline{CS1}$		$\overline{CS0}$		

ビット位置	ビット名	意　味
14, 12, 10, 8, 6, 4, 2, 0	BEn0	エンディアン形式を設定します。 0：リトル・エンディアン形式 1：ビッグ・エンディアン形式

備考　n = 0-7

図4－2　ワード内のビッグ・エンディアン・アドレス

31　　24 23	16 15	8 7	0
0008H	0009H	000AH	000BH
0004H	0005H	0006H	0007H
0000H	0001H	0002H	0003H

図4－3　ワード内のリトル・エンディアン・アドレス

31　24 23	16 15	8 7	0
000BH	000AH	0009H	0008H
0007H	0006H	0005H	0004H
0003H	0002H	0001H	0000H

4. 5. 4　ルネサス エレクトロニクス製開発ツールにおけるビッグ・エンディアン形式の使用制限

（1）デバッガ（ID850）使用時

メモリ・ウインドウの表示だけビッグ・エンディアン形式に対応します。

（2）コンパイラ（CA850）使用時

（a）C言語上の制限

（i）ビッグ・エンディアン空間に配置する（される）変数には次に示す制限があります。

- unionが使えない。
- bitfieldが使えない。
- キャストによる（アクセス・サイズを変更）アクセスが使えない。
- 初期値あり変数が使えない。

（ii）最適化によりアクセス・サイズの変更が起こる可能性があるので，次に示す最適化抑止オプションを指定する必要があります。

- 広域最適化部（opt850）用　……　-Wo, -XTb
- 機種依存最適化部（impr850）用 ……　-Wi, +arg_reg_opt = OFF, +stld_trans_opt = OFF

ただし，キャストとしてアクセス，またはマスク／シフトしてアクセスという使い方をしていない場合[注]は，上記の最適化抑止オプションの指定は不要になります。

注　次に示す最適化が起こるようなパターンの使い方がないことが条件となります。ただし，おのおの（特に機種依存最適化部）のパターンが組み合わさった状態など，ユーザ側での完璧なチェックは非常に困難になります。したがって，上記の最適化抑止オプションの指定を推奨します。

【広域最適化部関連】

- bit orを使用した1ビット・セット

  int i;

  i ^ = 1;

- bit andを使用した1ビット・クリア

  i & = ~1;

- bit xorを使用した1ビット・ノット

  i ^ = 1;

- bit andを使用した1ビット・テスト

  if(i & 1);

【機種依存最適化部関連】

同一の変数を異なるサイズでアクセスするような使い方

- キャスト
- マスク
- シフト

例
```
int i, *ip;
char c;
  ⋮
c =*((char*)ip);
  ⋮
c = 0xff & i;
  ⋮
i = (i<<24) >>24;
```

(b) アセンブリ言語上の制限

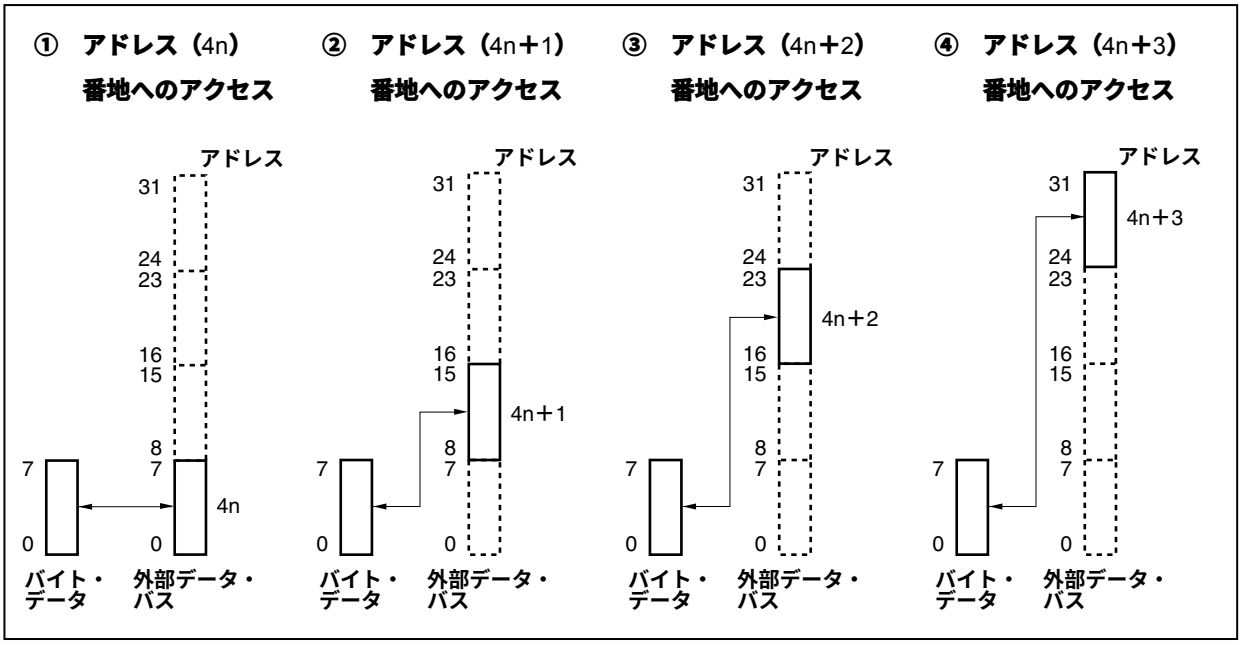
ビッグ・エンディアン空間に配置する変数にはバイト・サイズ以外の領域確保疑似命令（.hword, .word, .float, .shword）が使用できません。

4.5.5 バス幅

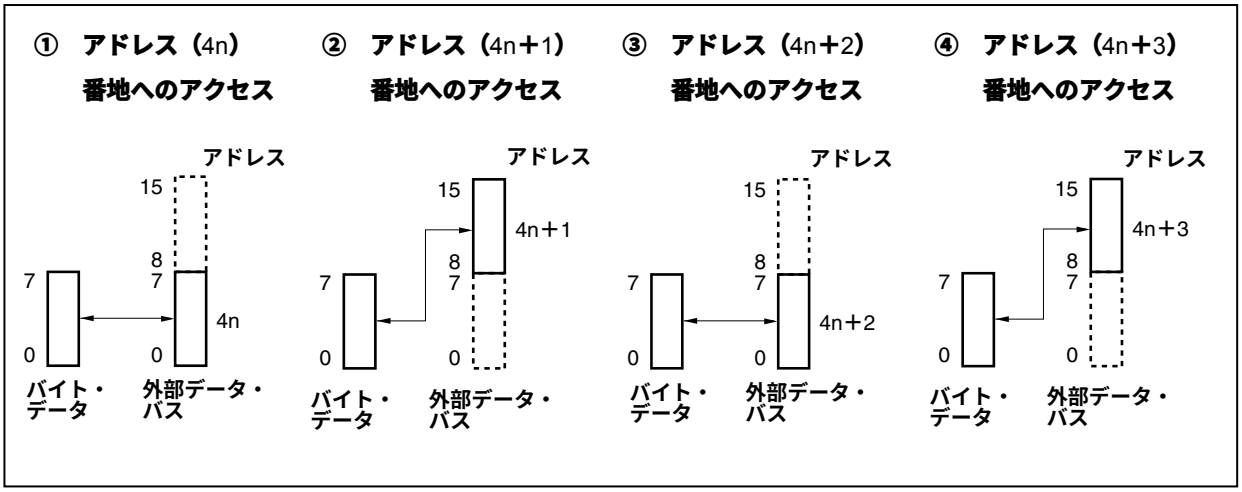
V850E/ME2が内蔵周辺I/Oアクセス，外部メモリ・アクセスを行う場合には，8, 16, 32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。すべてデータの下位側から順番にアクセスを行います。

(1) バイト・アクセス（8ビット）

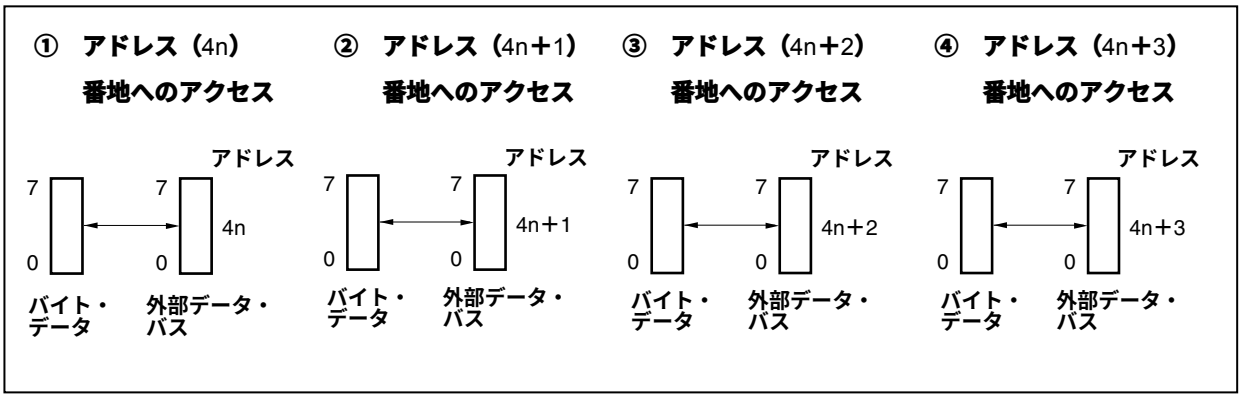
(a) 32ビット・データ・バス幅のとき（リトル・エンディアン）



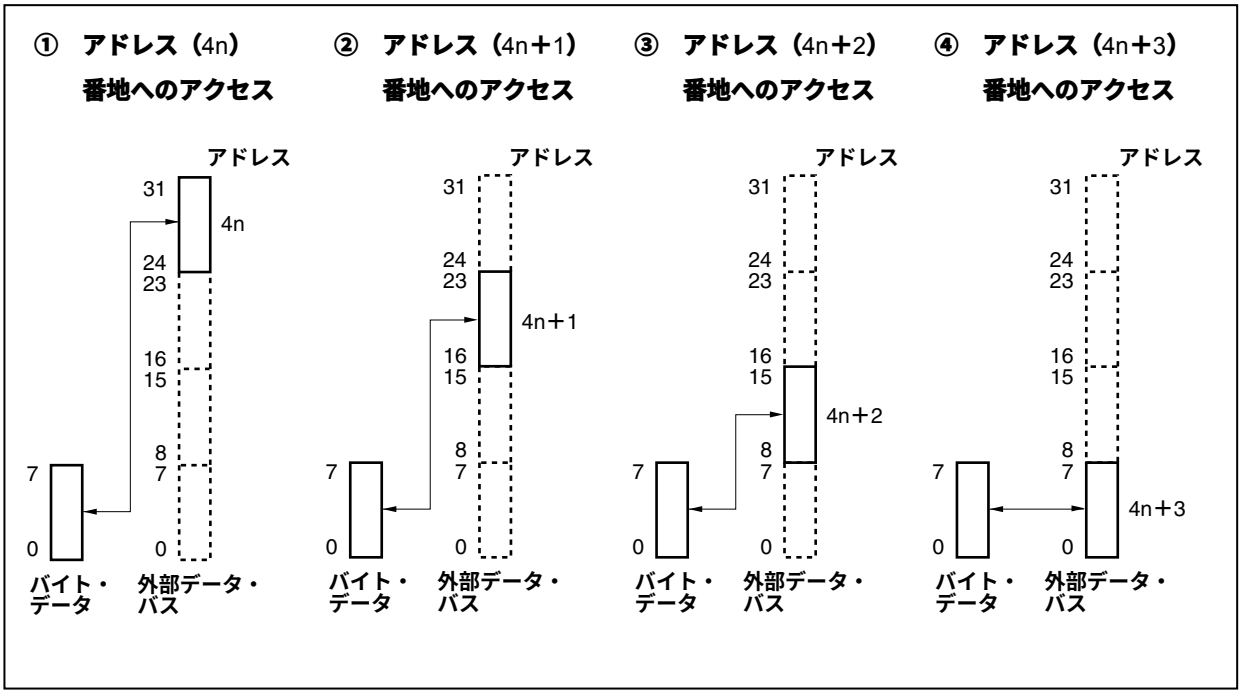
(b) 16ビット・データ・バス幅のとき（リトル・エンディアン）



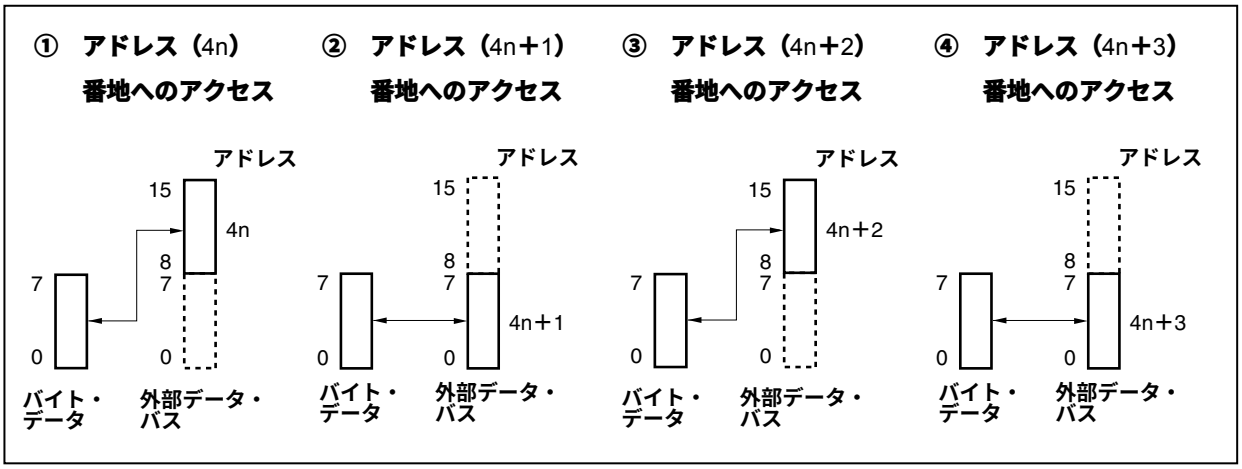
(c) 8ビット・データ・バス幅のとき（リトル・エンディアン）



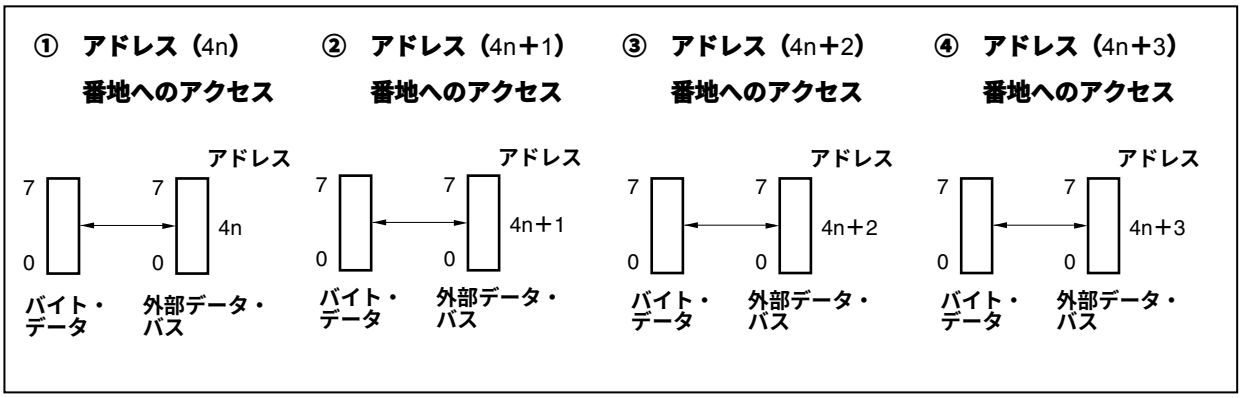
(d) 32ビット・データ・バス幅のとき（ビッグ・エンディアン）



(e) 16ビット・データ・バス幅のとき（ビッグ・エンディアン）

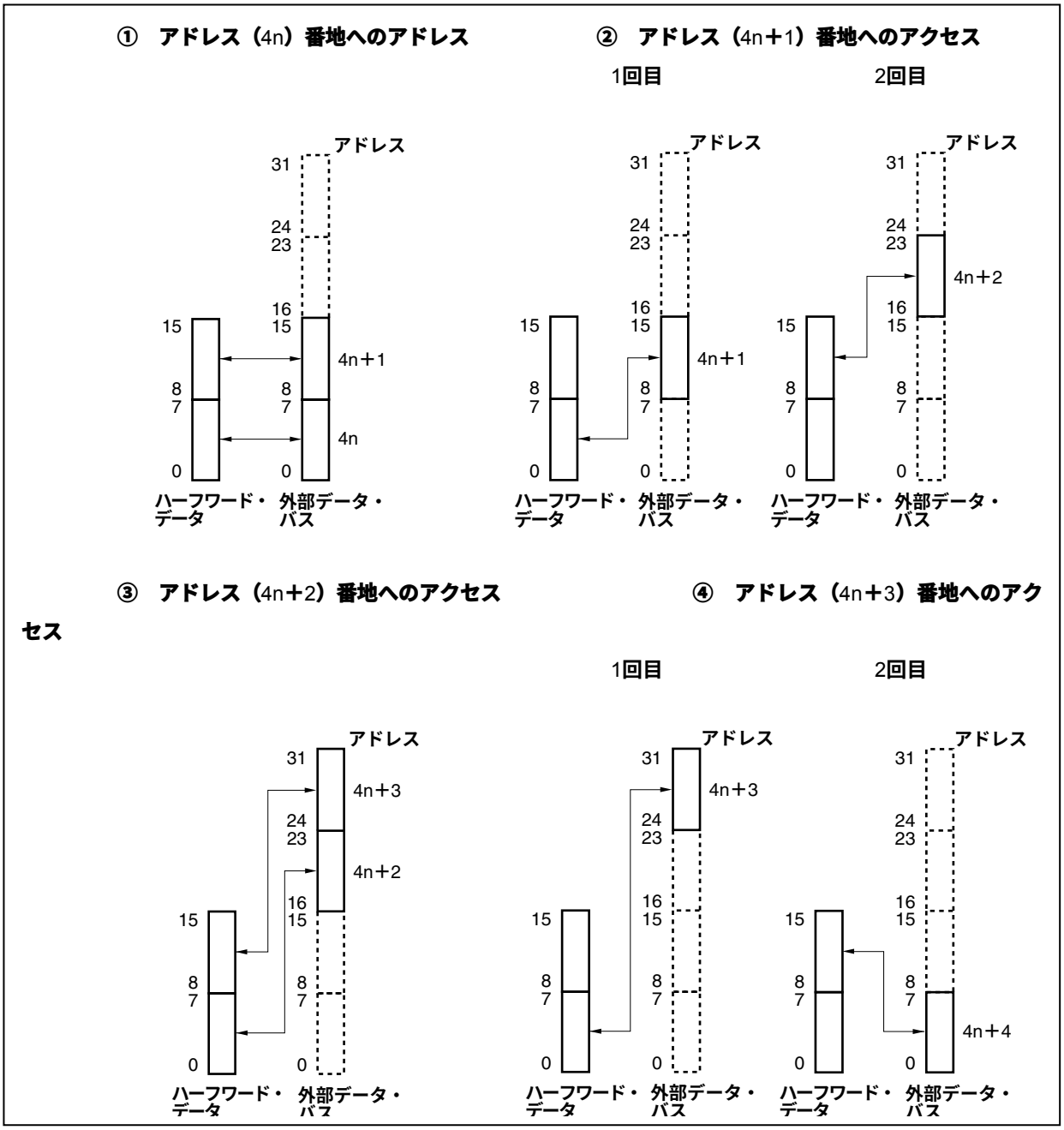


(f) 8ビット・データ・バス幅のとき（ビッグ・エンディアン）

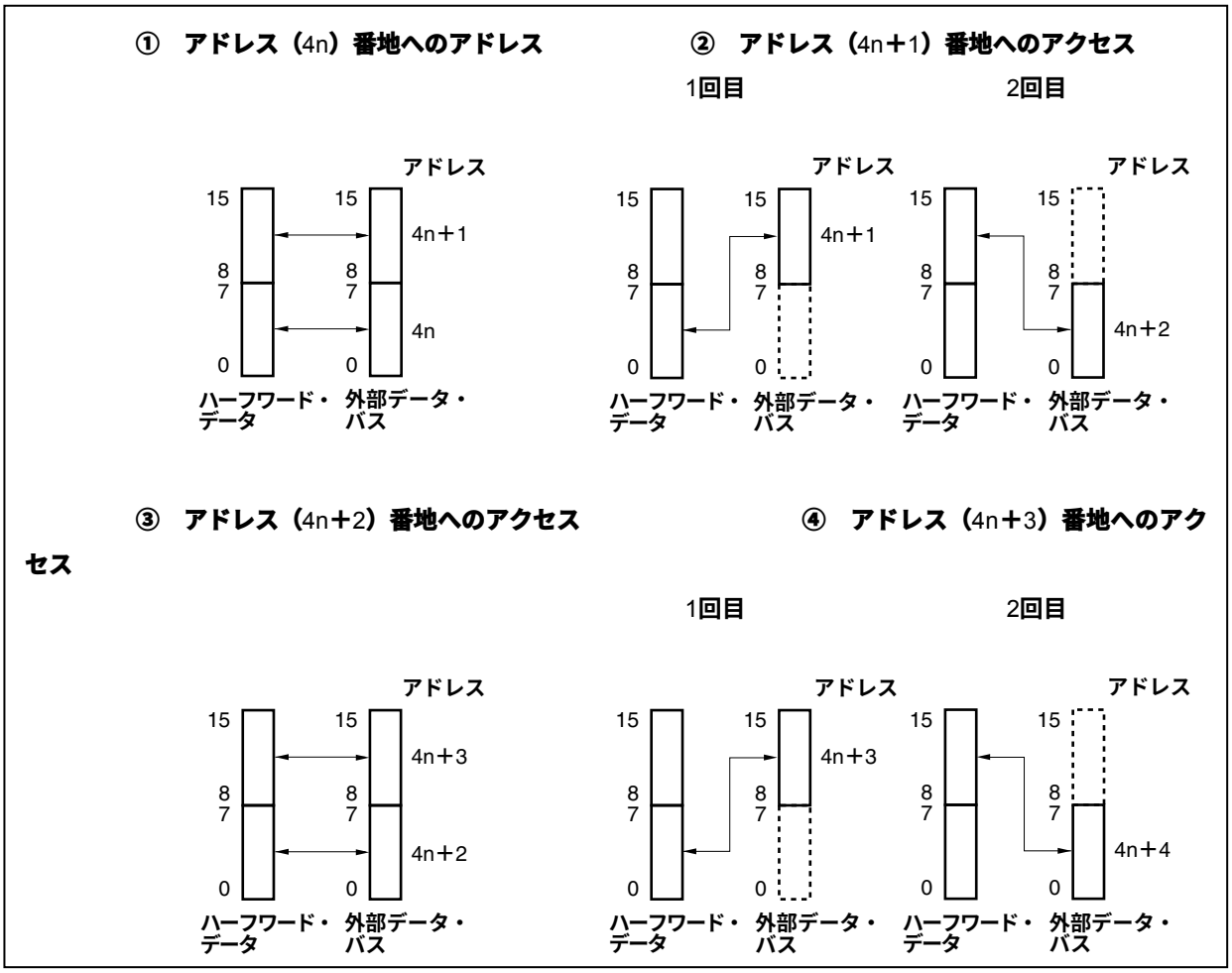


(2) ハーフワード・アクセス（16ビット）

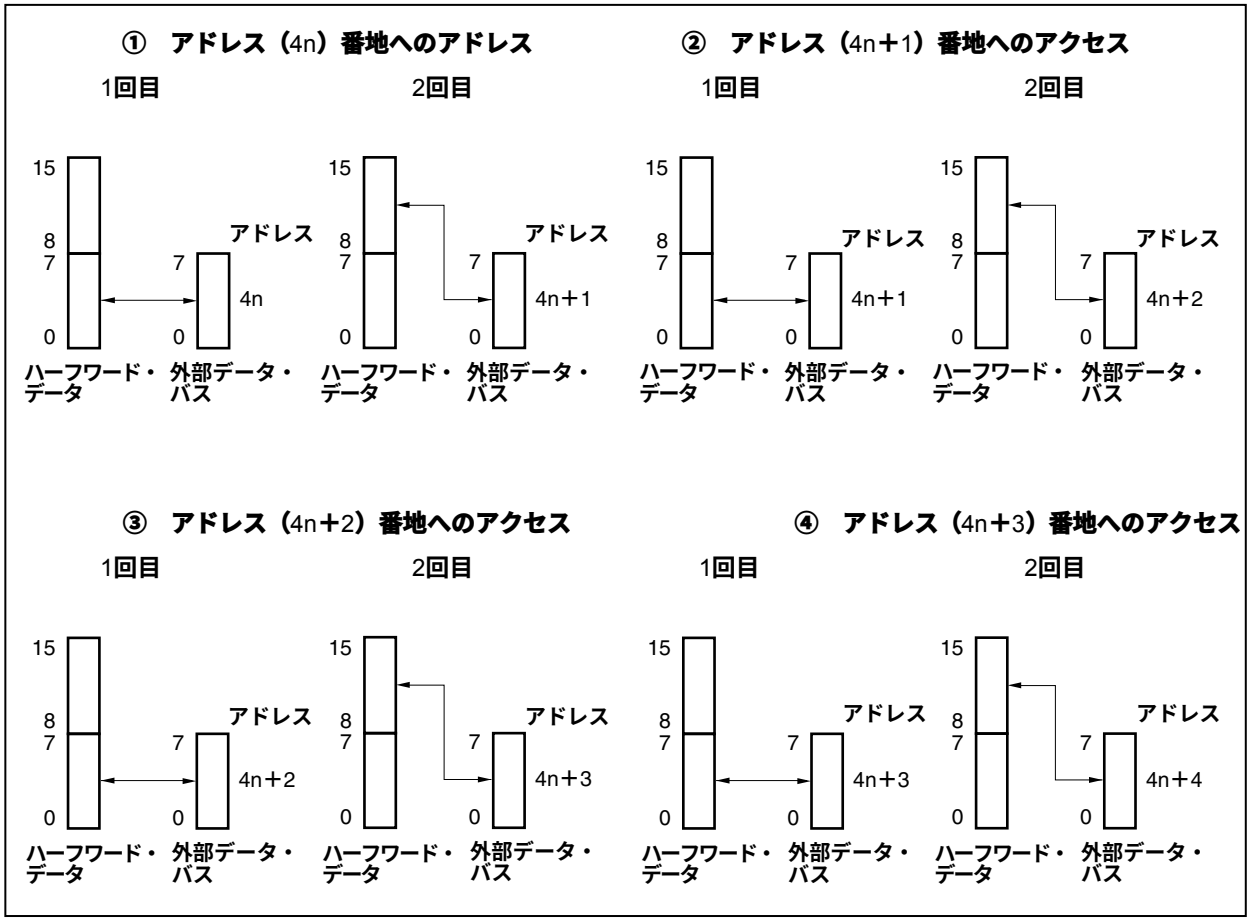
(a) 32ビット・データ・バス幅のとき（リトル・エンディアン）



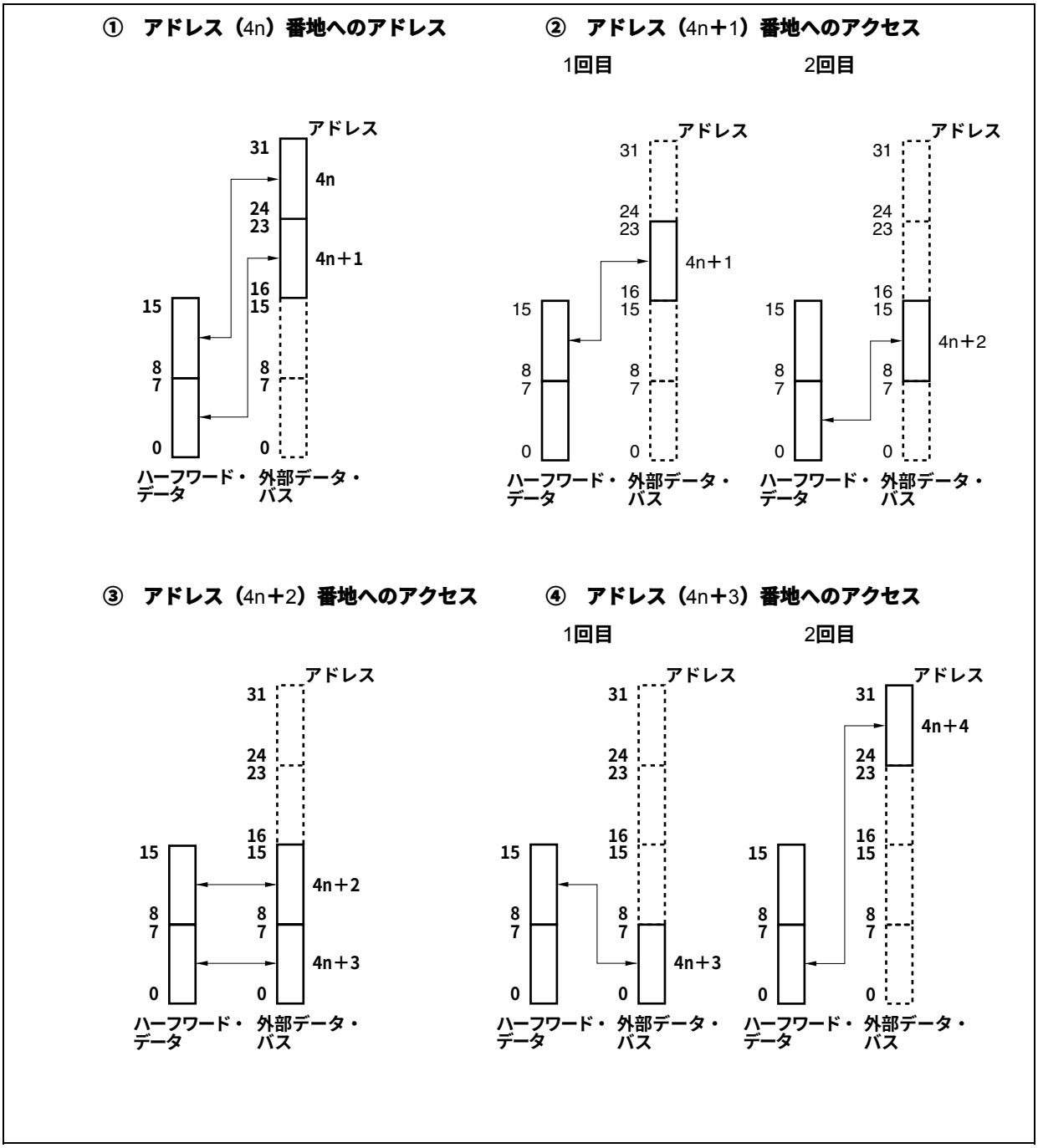
（b）16ビット・データ・バス幅のとき（リトル・エンディアン）



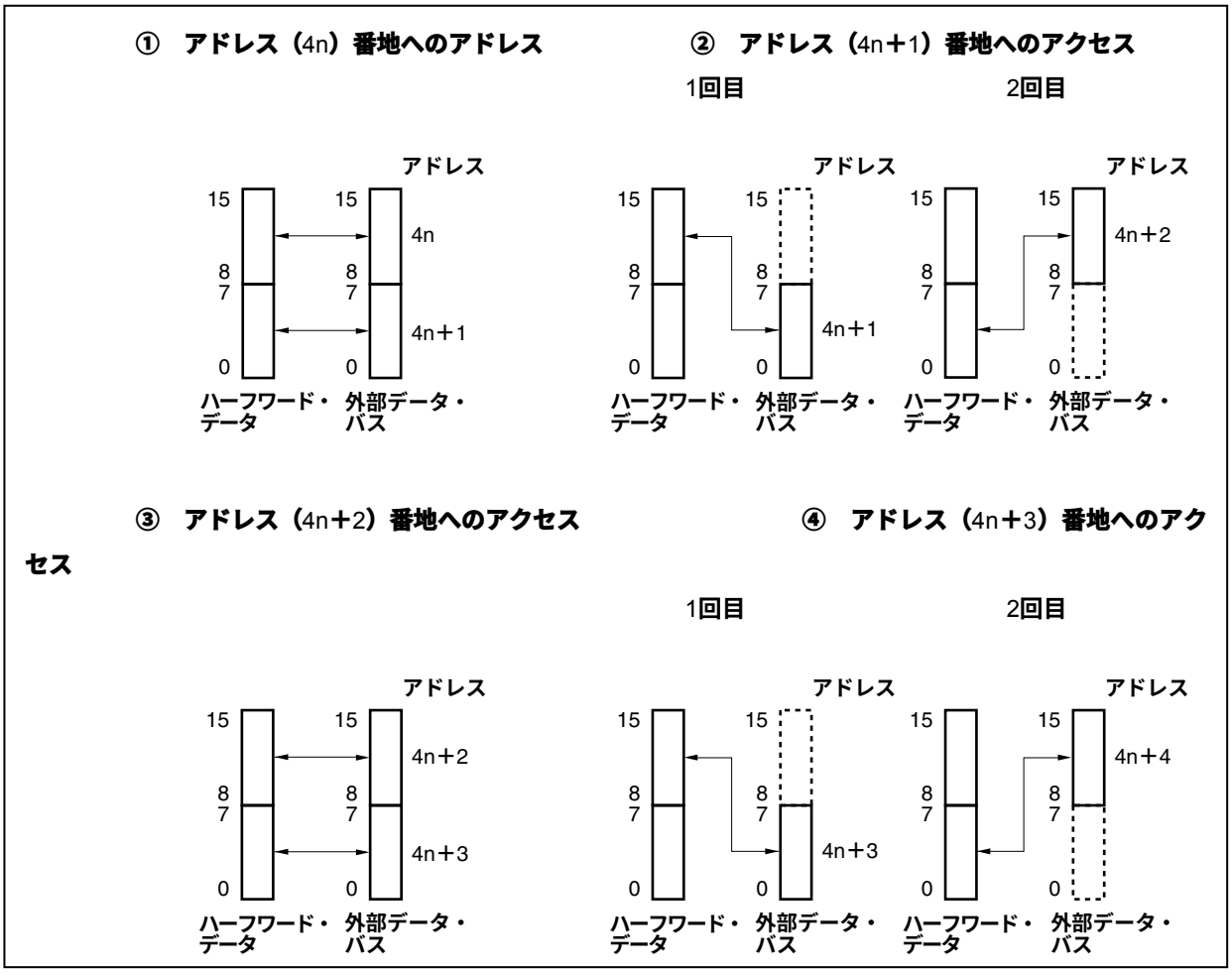
（c）8ビット・データ・バス幅のとき（リトル・エンディアン）



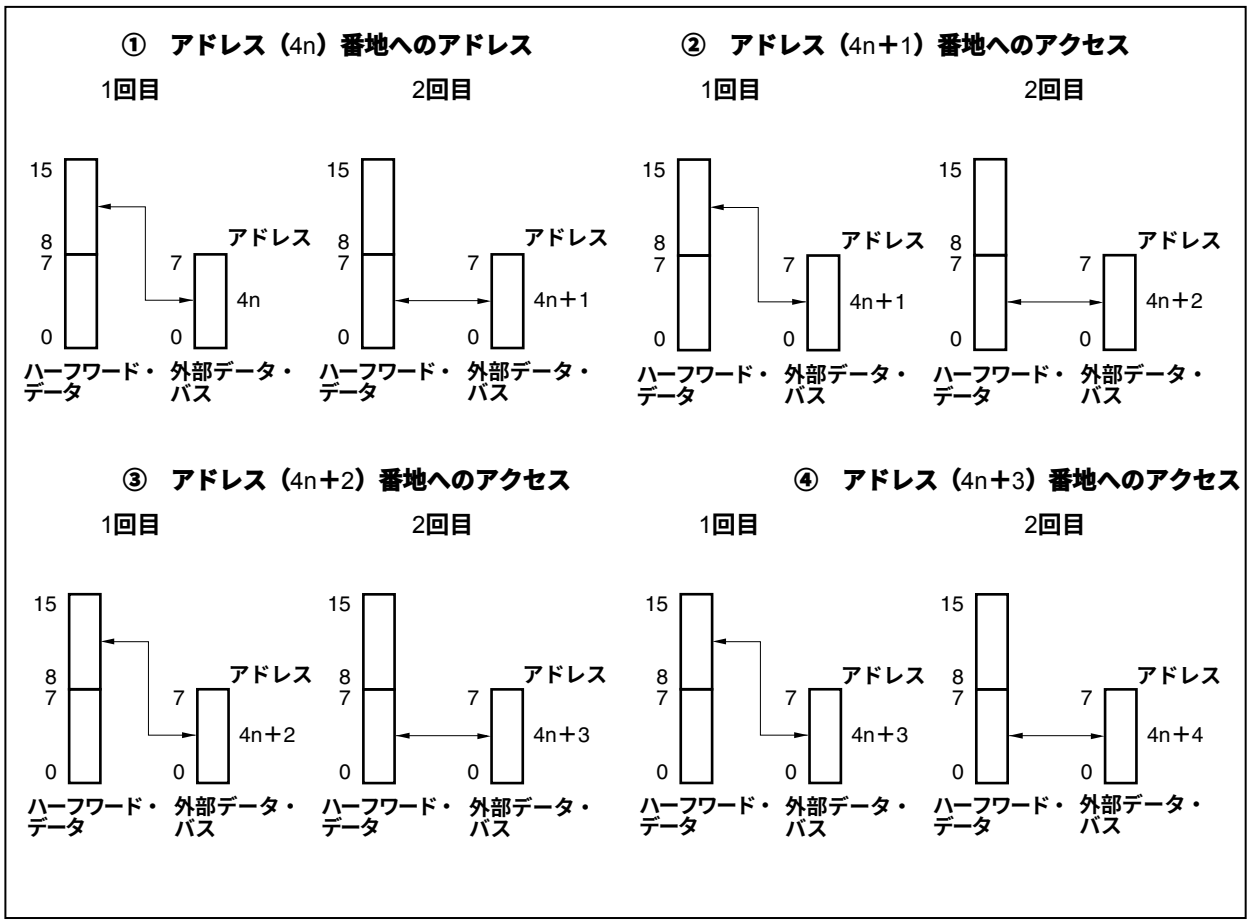
（d）32ビット・データ・バス幅のとき（ビッグ・エンディアン）



（e）16ビット・データ・バス幅のとき（ビッグ・エンディアン）



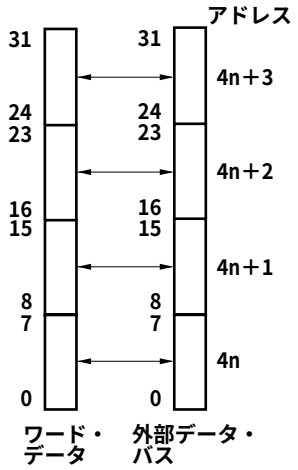
(f) 8ビット・データ・バス幅のとき（ビッグ・エンディアン）



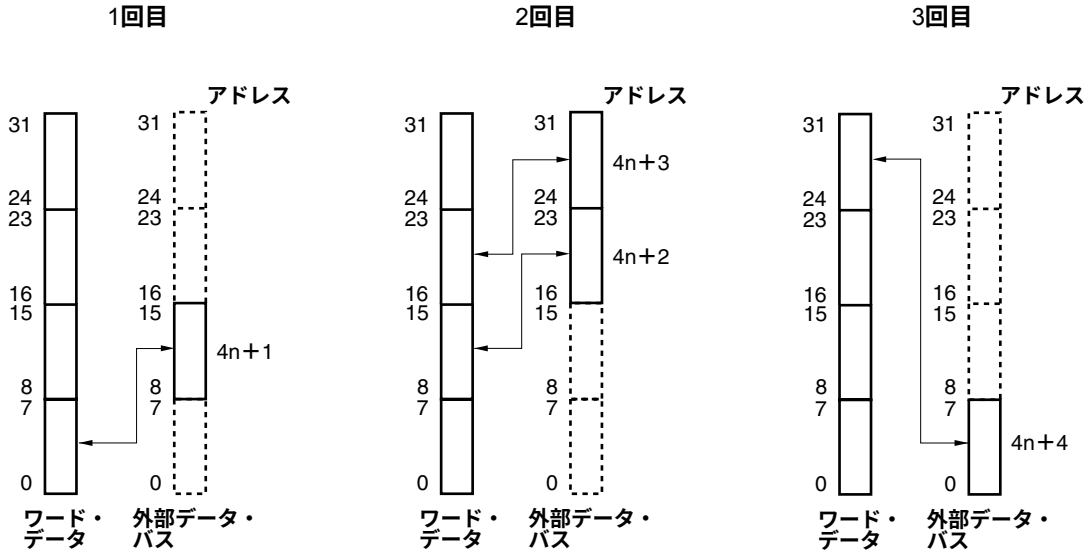
(3) ワード・アクセス（32ビット）

(a) 32ビット・データ・バス幅のとき（リトル・エンディアン）（1/2）

① アドレス（4n）番地へのアドレス

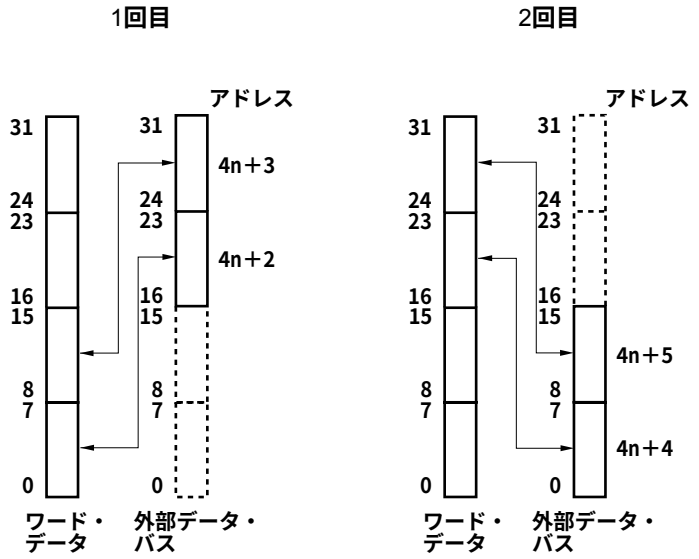


② アドレス（4n＋1）番地へのアクセス

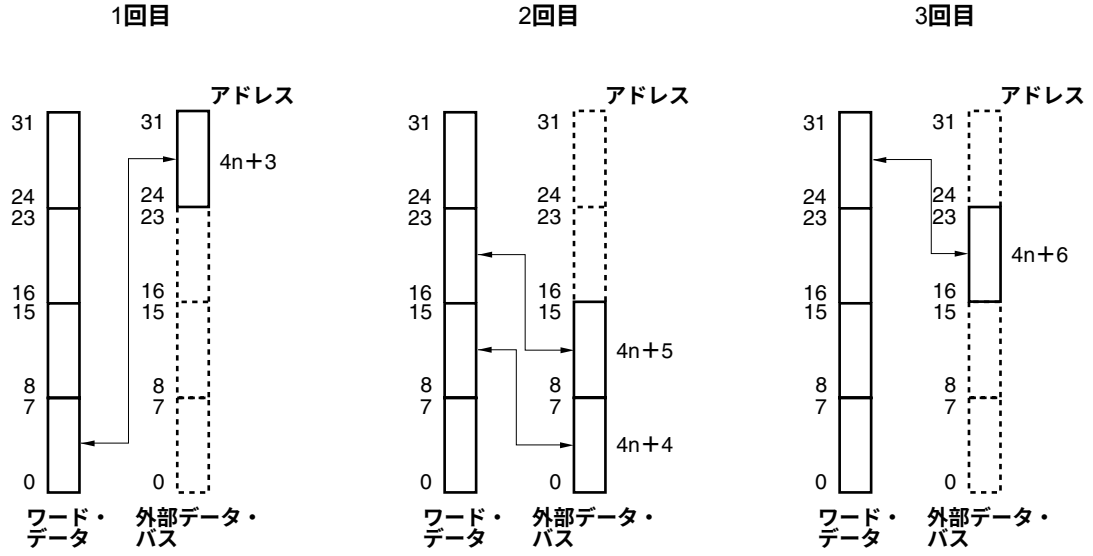


（a）32ビット・データ・バス幅のとき（リトル・エンディアン）（2/2）

③　アドレス（4n＋2）番地へのアクセス

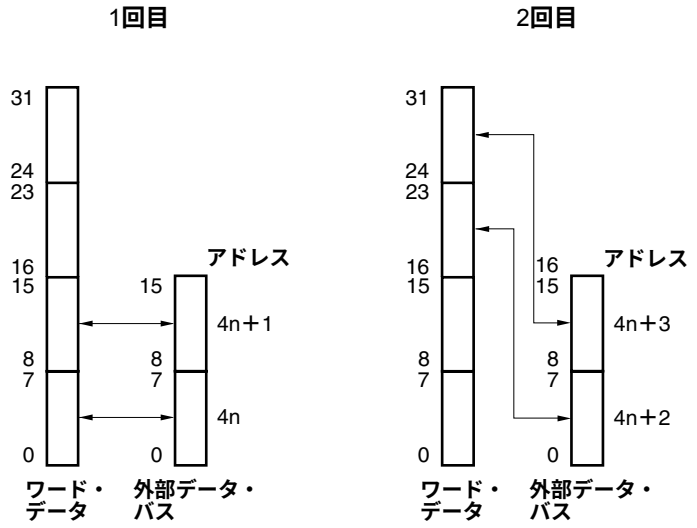


④　アドレス（4n＋3）番地へのアクセス

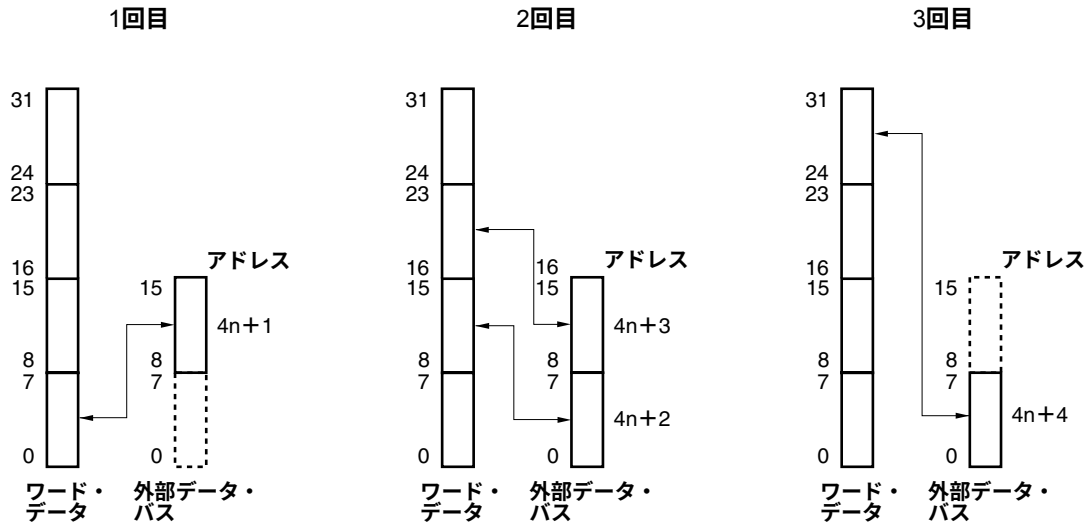


（b）16ビット・データ・バス幅のとき（リトル・エンディアン）（1/2）

① アドレス（4n）番地へのアクセス

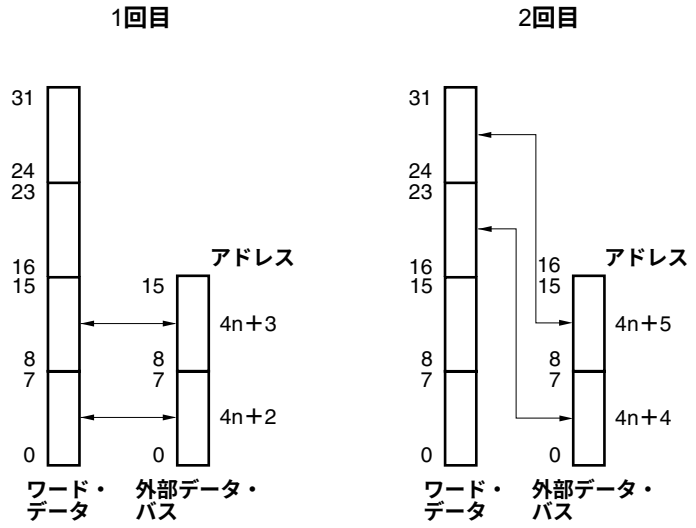


② アドレス（4n＋1）番地へのアクセス

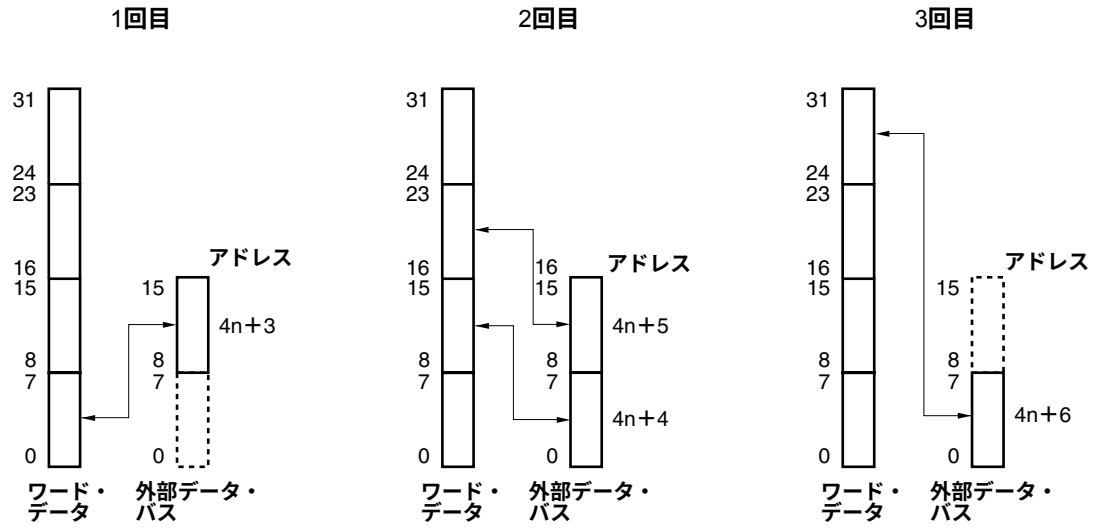


（b）16ビット・データ・バス幅のとき（リトル・エンディアン）（2/2）

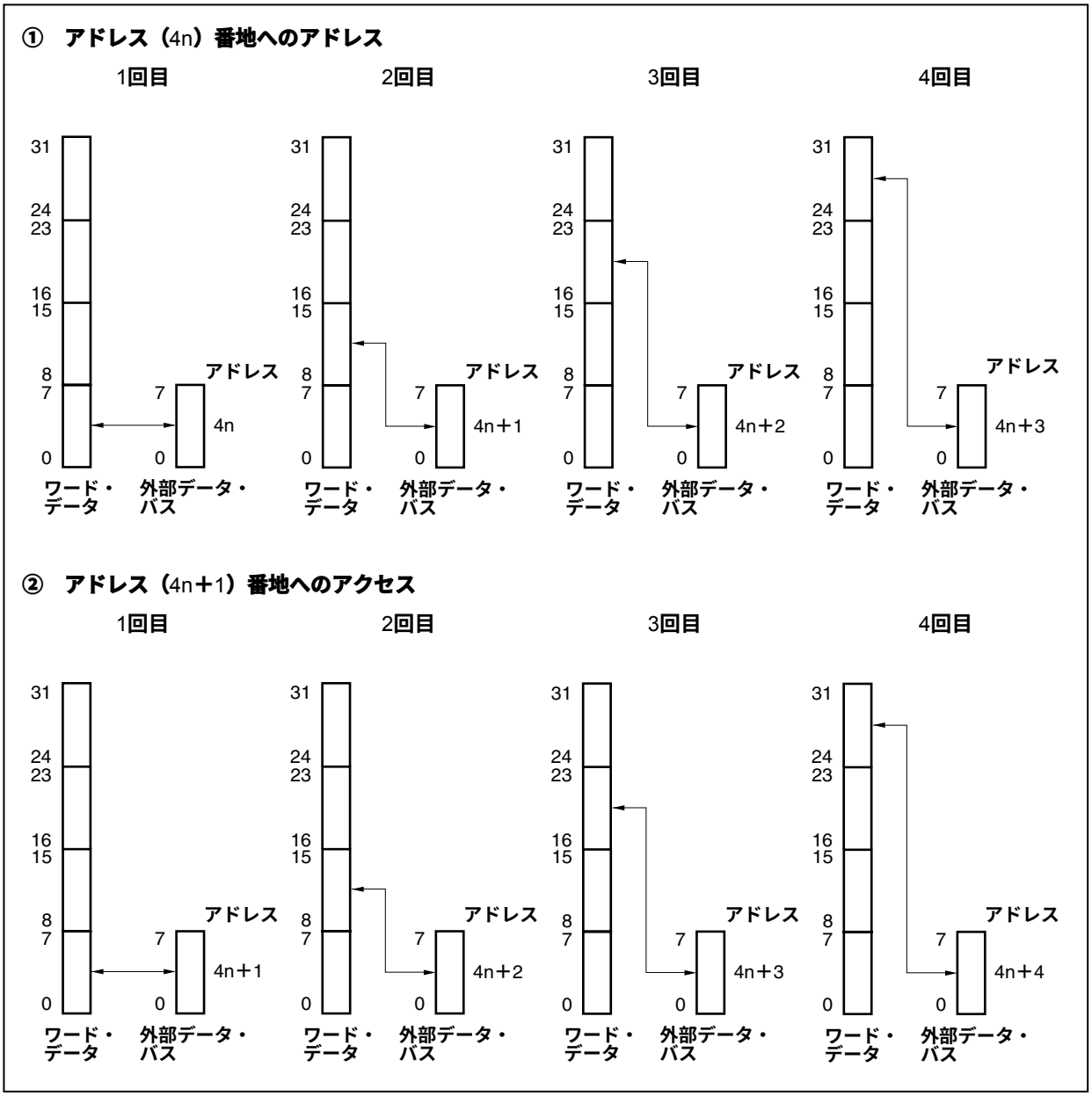
③　アドレス（4n＋2）番地へのアクセス



④　アドレス（4n＋3）番地へのアクセス

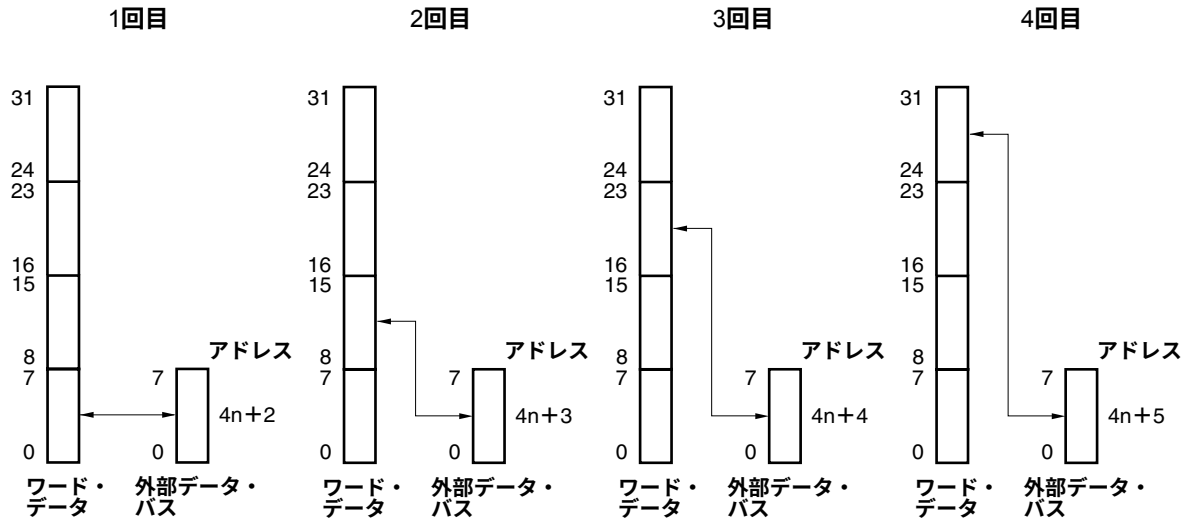


（c）8ビット・データ・バス幅のとき（リトル・エンディアン）（1/2）

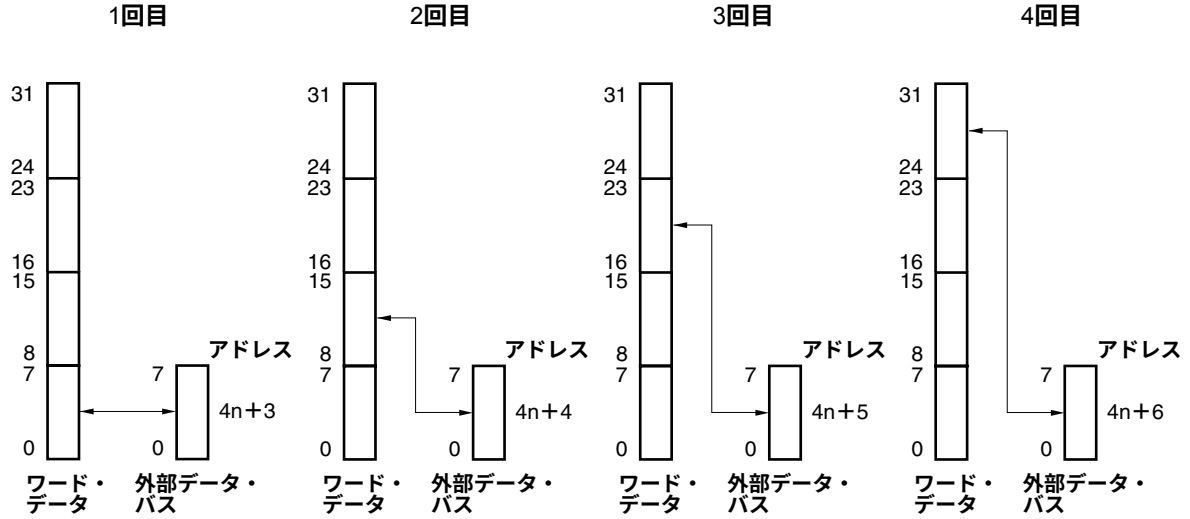


（c）8ビット・データ・バス幅のとき（リトル・エンディアン）（2/2）

③　アドレス（4n＋2）番地へのアドレス

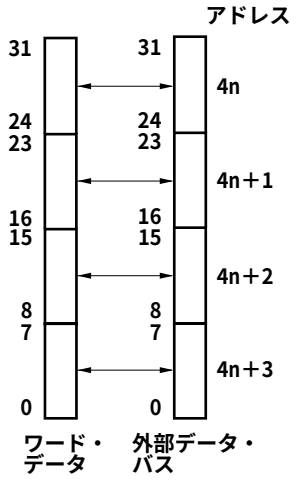


④　アドレス（4n＋3）番地へのアクセス

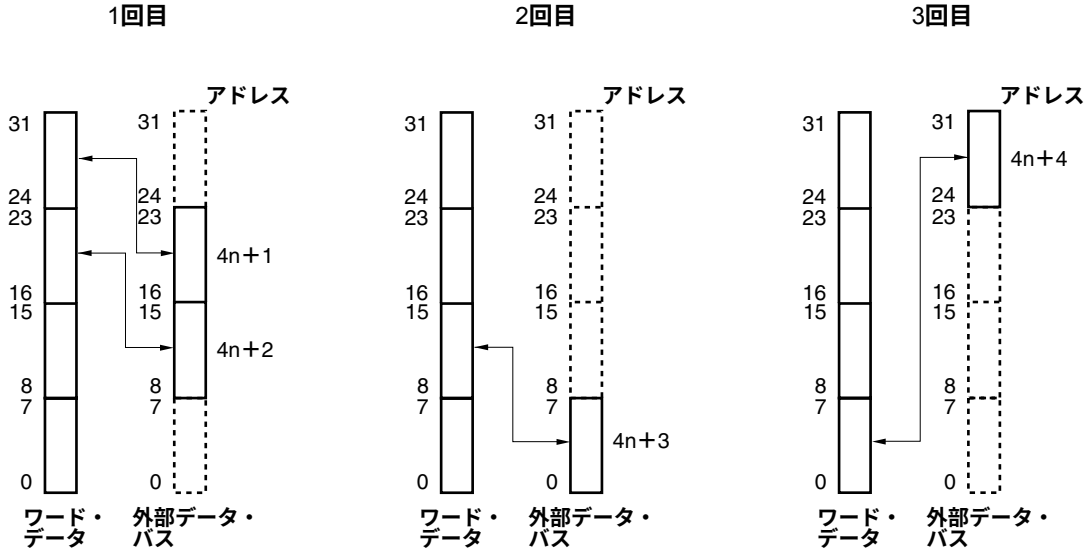


（d）32ビット・データ・バス幅のとき（ビッグ・エンディアン）（1/2）

① アドレス（4n）番地へのアドレス

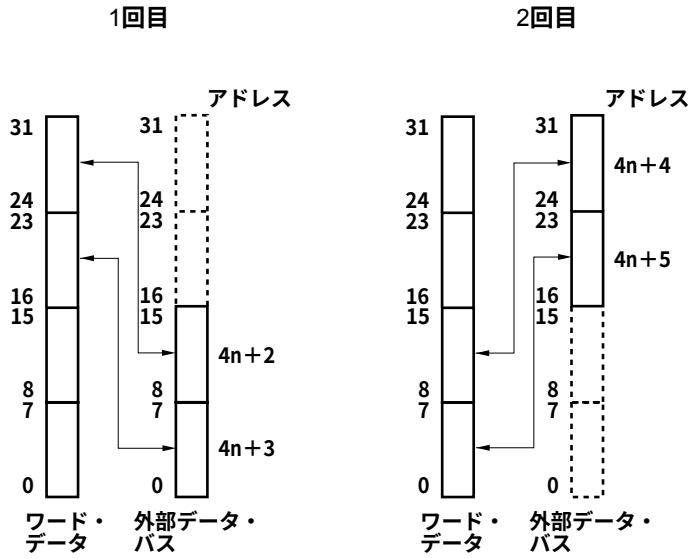


② アドレス（4n＋1）番地へのアクセス

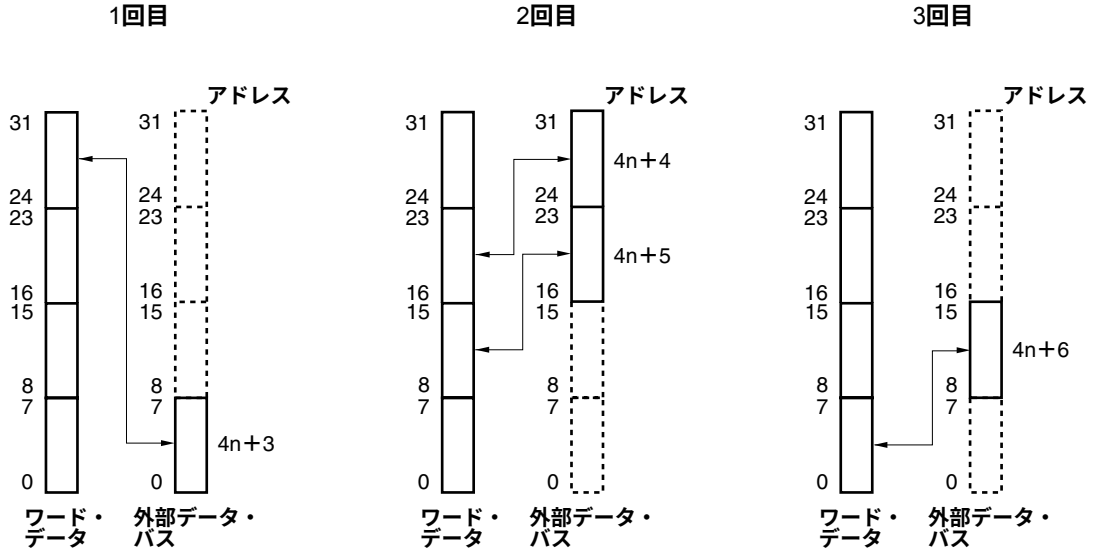


（d）32ビット・データ・バス幅のとき（ビッグ・エンディアン）（2/2）

③　アドレス（4n＋2）番地へのアクセス

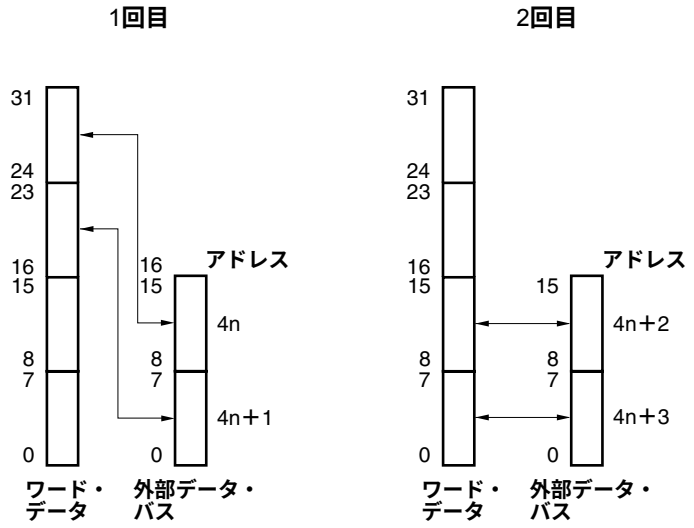


④　アドレス（4n＋3）番地へのアクセス

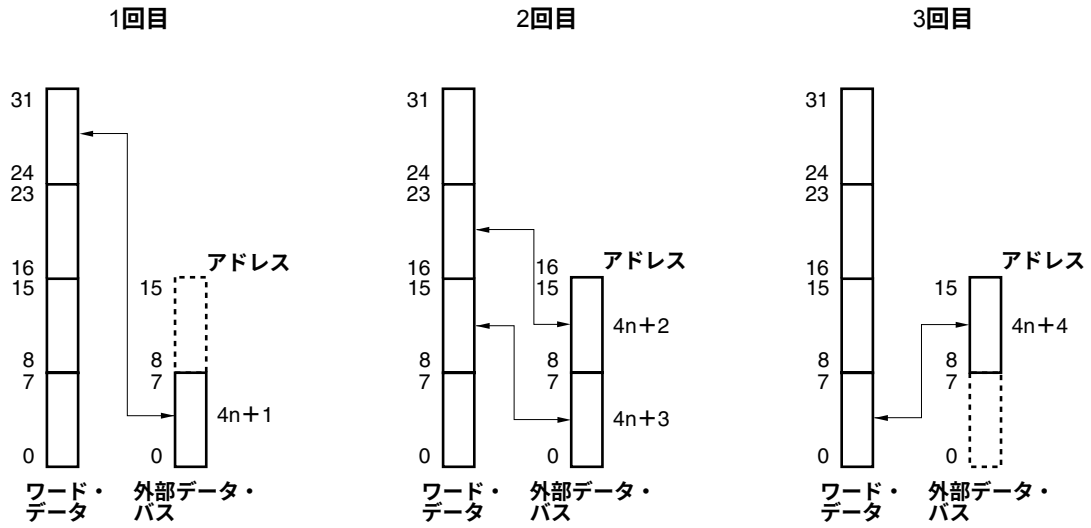


（e）16ビット・データ・バス幅のとき（ビッグ・エンディアン）（1/2）

① アドレス（4n）番地へのアクセス

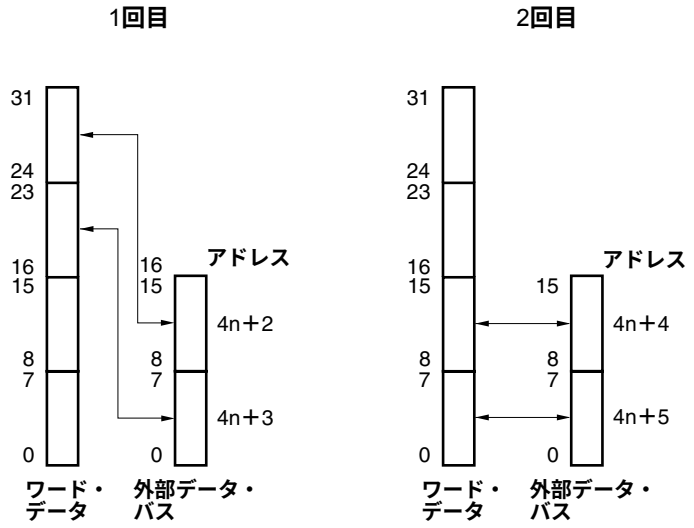


② アドレス（4n＋1）番地へのアクセス

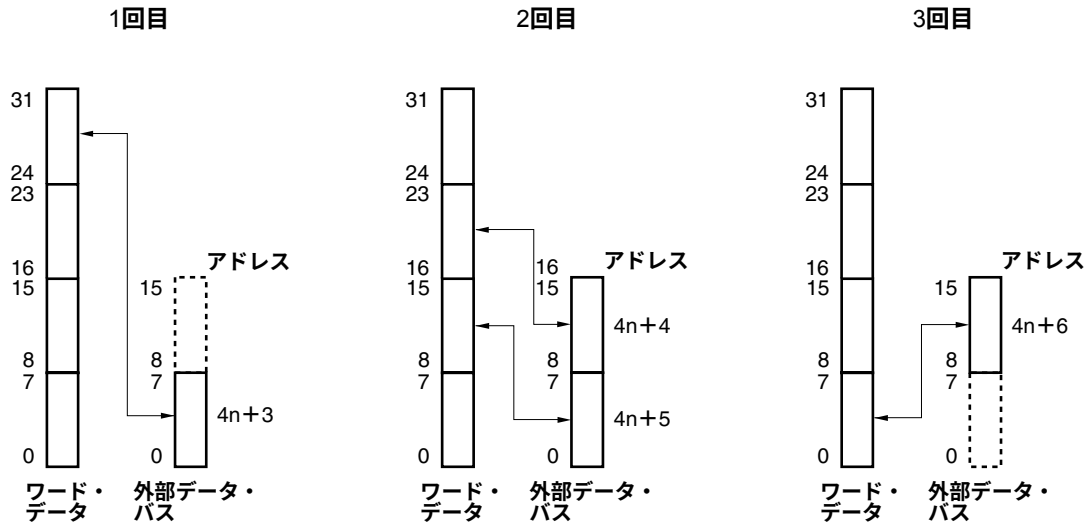


（e）16ビット・データ・バス幅のとき（ビッグ・エンディアン）（2/2）

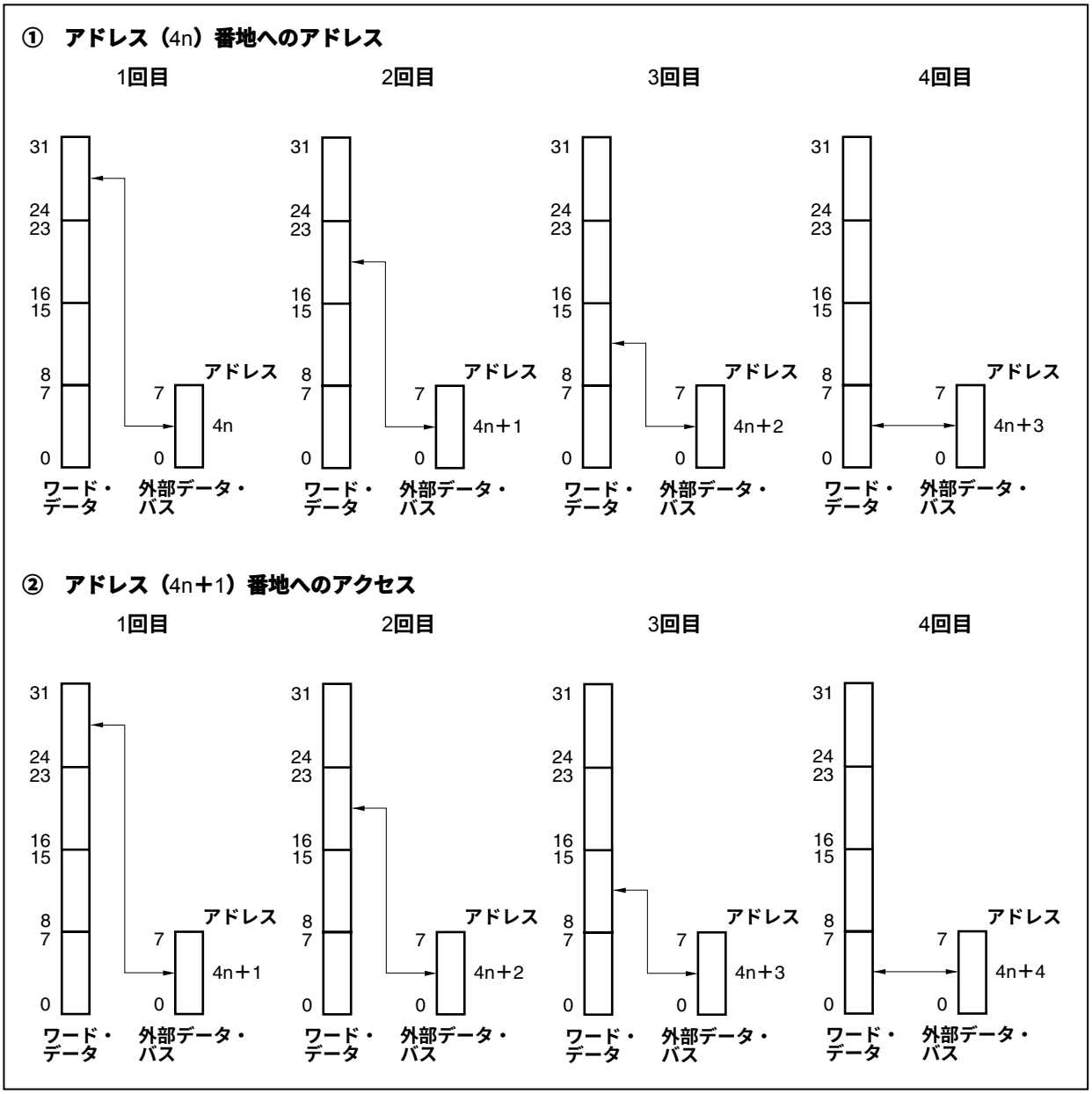
③　アドレス（4n＋2）番地へのアクセス



④　アドレス（4n＋3）番地へのアクセス

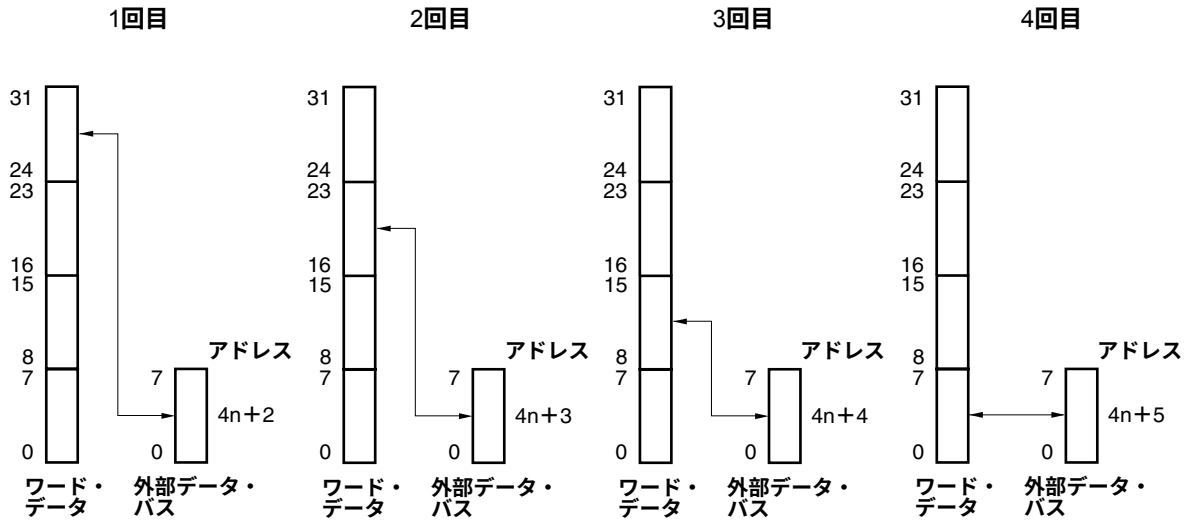


(f) 8ビット・データ・バス幅のとき（ビッグ・エンディアン）（1/2）

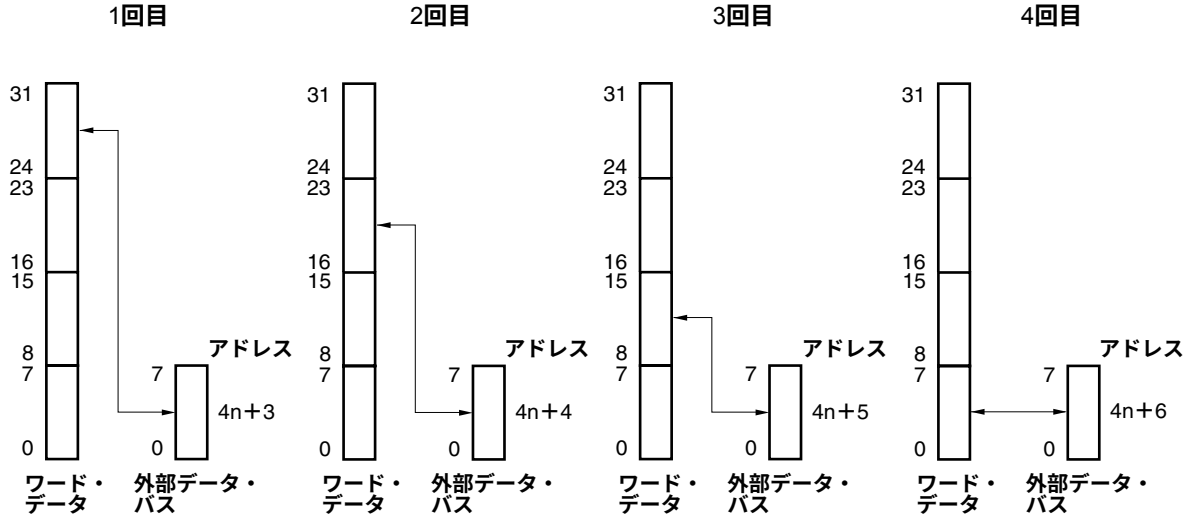


(f) 8ビット・データ・バス幅のとき（ビッグ・エンディアン）（2/2）

③ アドレス（4n＋2）番地へのアドレス



④ アドレス（4n＋3）番地へのアクセス



4.5.6 データ・リード制御機能

(1) ライン・バッファ・コントロール・レジスタ0, 1（LBC0, LBC1）

V850E/ME2は，リード・バッファを内蔵しています。

LBC0, LBC1レジスタは，リード・バッファの動作条件を各CS空間ごとに設定します。

16ビット単位でリード／ライト可能です。

ビット15, 14, 11, 10, 7, 6, 3, 2には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. LBC0, LBC1レジスタへの書き込みはリセット後に行ってください。書き込み後は，値を変更しないでください。

2. CSn空間ごとに先読み機能を設定する場合には，先読み機能を有効にするCSn空間に対して，BCCレジスタによるアイドル・ステートの挿入をしないでください（n = 0-7）。先読み機能を有効にするCSn空間に対して，アイドル・ステートの挿入が必要な場合には，全CS空間に対して，先読み機能を有効にする（LBC0, LBC1レジスタをともに3333Hに設定）か，先読み機能を無効（LBC0, LBC1レジスタをともに0000Hに設定）するかしてください。

3. 32ビット・バス幅でアクセスするSDRAMに対しては，先読み機能を無効にしてください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
LBC0	0	0	RB31	RB30	0	0	RB21	RB20	0	0	RB11	RB10	0	0	RB01	RB00	FFFFF490H	0000H
$\overline{\text{CS}}$n信号			$\overline{\text{CS3}}$				$\overline{\text{CS2}}$				$\overline{\text{CS1}}$				$\overline{\text{CS0}}$			

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
LBC1	0	0	RB71	RB70	0	0	RB61	RB60	0	0	RB51	RB50	0	0	RB41	RB40	FFFFF492H	0000H
$\overline{\text{CS}}$n信号			$\overline{\text{CS7}}$				$\overline{\text{CS6}}$				$\overline{\text{CS5}}$				$\overline{\text{CS4}}$			

ビット位置	ビット名	意　味
13, 12, 9, 8, 5, 4, 1, 0	RBn1, RBn0	リード・バッファの動作条件（先読みを行うタイミング）を，CSn空間ごとに設定します。

RBn1	RBn0	先読みを行うタイミング
0	0	先読みなし（リード・バッファの動作禁止）
0	1	
1	0	設定禁止
1	1	すべてのサイクル（データ・アクセスを含む）

備考1. n = 0-7

2. RBn1, RBn0ビットの設定を変更した場合は，変更した時点でリード・バッファに保持しているデータが無効になります。

(a) 先読み機能（リード・バッファ機能）

V850E/ME2は4ワード分（128ビット）の先読み機能用リード・バッファを内蔵しています。CSn空間ごとにCPUまたはDMAコントローラからのリード要求に対し，LBC0レジスタまたはLBC1レジスタで設定した動作条件が発生した場合には,要求されたアドレスのリードを行ったあと,CPUまたはDMAコントローラからの要求の有無にかかわらず，残りの3ワード分のデータをリード・バッファへ読み出し（先読み）します。リード・バッファへの読み出し順序は，クリティカル・ファースト・アクセスとなります。

転送例：32ビットで先読みを行う場合

(i) xxxxx00H → xxxxx04H → xxxxx08H → xxxxx0CH
(ii) xxxxx04H → xxxxx08H → xxxxx0CH → xxxxx00H
(iii) xxxxx01H → xxxxx05H → xxxxx09H → xxxxx0DH[注]

注　32ビット・モードで，アドレス下位2ビットが未使用の場合は，(i) と同じ動作となります。

リードした4ワード分のデータは次に示す破棄条件が発生するまでリード・バッファに保持されます。

- 先読みミス・ヒット（リード・バッファに格納されていない外部メモリ領域へのリード要求）
- BCT0レジスタまたはBCT1レジスタへの書き込み
- LBSレジスタへの書き込み
- LBC0またはLBC1レジスタへの書き込み
- バス・ホールドの発生
- DMAフライバイ・サイクルの発生（CS空間に依存しません）
- 先読みしたライン・アドレスに対してのメモリ・ライト・アクセス

保持しているデータに対するリードがCPUまたはDMAコントローラから要求されると，外部メモリ・サイクルを発生させずに，リード・バッファ内のデータをCPUまたはDMAコントローラへ転送します。

備考　たとえば,32ビット・モード（32ビット・データ・バス幅）時に先読み機能を許可し,xxxxx0DH番地へのLD.W命令を実行した場合，次に示すバス・サイクルが連続して発生します。

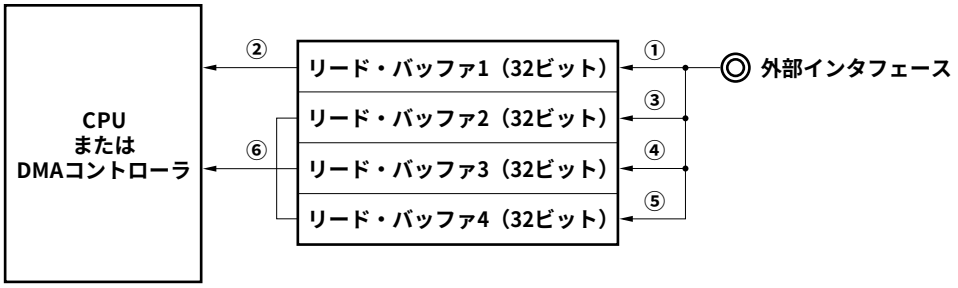
xxxxx0CH → $\underbrace{\text{xxxxx00H → xxxxx04H → xxxxx08H}}_{\text{先読みによるペナルティ・サイクル}}$ →
xxxxx10H → $\underbrace{\text{xxxxx14H → xxxxx18H → xxxxx1CH}}_{\text{先読みによるペナルティ・サイクル}}$

リード・バッファに格納後，CPUは，次に示すデータを読み出します。

xxxxx0DH（8ビット） → xxxxx0EH（16ビット） → xxxxx10H（8ビット）

次に先読み動作概要を示します。

図4－4　先読み動作概要



（A）CPUまたはDMAコントローラから要求されたアドレスに対するリード・サイクルを実行します（①）。

（B）リード・バッファ1に取り込んだデータをCPUまたはDMAコントローラがリードします（②）。

（C）リード・バッファ2-4に対して先読みを実行し，残り3ワード分のリード・サイクルを実行します（③-⑤）。

（D）CPUまたはDMAコントローラから先読み済みのアドレスに対してリード要求が発生した場合，対象のリード・バッファ2-4からデータをリードします（外部メモリへのリードは発生しません）（⑥）。

備考1.　（B）と（C）は，並列に動作を実行します（（D）も対象のデータがリード・バッファに格納されると，並列に動作を実行します）。

2.　（D）のサイクルで，CPUまたはDMAコントローラから（C）で先読みされないアドレスに対してリード要求が発生した場合，（C）の動作が完了するまで動作待ち状態となります。（C）の動作完了後，リード・バッファ内のデータをすべて破棄し，次のアドレス要求に対する動作を（A）から実行します（先読み機能のミス・ヒット動作）。

(b) ライト・バッファ機能

V850E/ME2は4ワード分（128ビット）のライト・バッファを内蔵しています。ライト・バッファは，外部バスが占有されている状態[注]で，ライト・サイクルが実行できない場合に，ライト・バッファにデータを格納する機能であり，ライト・バッファがフルになるまでは次の命令を先行的に実行します。ライト・バッファは，すべての外部メモリ領域に対して有効であり，ライト・バッファがフルの状態でライト要求が発生した場合は，ライト・バッファに空きができるまで次の命令実行を保留します。

ライト・バッファにデータを格納中（外部メモリに対してのライト動作が完了していないとき）は，DMAフライバイ要求およびバス・ホールド要求は，受け付けられません（ライト・バッファのデータをすべて外部メモリに書き込んだあと，DMAフライバイ要求およびバス・ホールド要求を受け付け，許可信号を発生します）。

注　外部バスが占有されている状態とは，現在実行中のバス・サイクルのことです。命令フェッチ・サイクルが連続するような場合，現在実行中のバス・サイクル（命令フェッチ・サイクル）が終了後，必ずライト・バッファに格納されたライト・データに対するすべてのライト・サイクルが発生します。

注意1. ライト・バッファは4段構成のため，バイト・ライト実行の場合，4バイト（32ビット）でライト・バッファがフルになります（外部へのライト動作が待機中の場合）。同様に，アドレス・ミス・アライン・アクセス等でもライト・バッファがフルになる条件は変わりますので，注意してください。

2. 外部デバイスへのライト動作を行うとき，ライト・バッファにより，CPUライト動作が完了しても外部デバイスへのライト動作が実行されていない場合があります。また，CPU動作としては，ライト動作完了後，ライト・バッファにデータが存在しても内蔵周辺I/Oレジスタへのアクセスができます。このため，外部メモリ・サイクルを実行後，その外部メモリ・サイクルの完了を待ってから内蔵周辺I/Oレジスタ値を変更する必要がある場合には，LBC0レジスタまたはLBC1レジスタに初期設定値と同一の値を書き込んだあと，またはWASレジスタに00Hを書き込んだあとに，値を変更すべき内蔵周辺I/Oレジスタへの書き込みを行ってください。LBC0レジスタまたはLBC1レジスタへの初期設定値の同値書き込みを行わずにLBC0レジスタまたはLBC1レジスタ以外の内蔵周辺I/Oレジスタへの書き込みを行う場合，またはWASレジスタの00Hのライト動作を行わずにWASレジスタ以外の内蔵周辺I/Oレジスタへの書き込みを行う場合には，外部メモリ・サイクル終了前にレジスタ値が変更される可能性があります。なお，LBC0, LBC1レジスタは再書き込み禁止ですが，この場合の同値書き込みについてのみ再書き込み可能です。ただし，LBC0レジスタまたはLBC1レジスタへの初期設定値と違う値を書き込んだ場合の動作は保証しません。

3. ライト・バッファにデータが存在するときに外部デバイスへのリード・アクセスが発生した場合には，ライト・バッファ内のすべてのデータに対する外部デバイスへのライト動作を実行したあとに外部デバイスへのリード動作が実行されます。

4. 外部デバイスへのライト動作を行う2サイクル転送時には，ライト・バッファにより，DCHCnレジスタのTCnビット = 1（DMA転送完了）が読み出されても，外部デバイスへのライト動作が完了していない場合があります（n = 0-3）。DMA転送の完了（外部デバイスへのライト動作の完了）を待ってから，内蔵周辺I/Oレジスタの値を変更する必要がある場合には，次のいずれかの動作を行ってください。

- $\overline{\text{TCn}}$信号をモニタしてください（$\overline{\text{TCn}}$信号は外部デバイスへのライト動作に同期してアクティブになります）。
- TCnビットのセット（1）を検出後，WASレジスタに00Hを書き込むか，LBC0レジスタまたはLBC1レジスタへの初期設定値の同値書き込みを行ったあとで，内蔵周辺I/Oレジスタの値を変更してください。LBC0またはLBC1レジスタへの同値書き込みを行わずにLBC0またはLBC1レジスタ以外の内蔵周辺I/Oレジスタの値を変更した場合，またはWASレジスタの00Hのライト動作を行わずにWASレジスタ以外の内蔵周辺I/Oレジスタの値を変更した場合には，DMA転送が完了する前に内蔵周辺I/Oレジスタの値が変更されることがあります。
  なお，LBC0, LBC1レジスタは再書き込み禁止ですが，この場合の同値書き込みについてのみ再書き込み可能です。ただし，LBC0レジスタまたはLBC1レジスタへの初期設定値と違う値を書き込んだ場合の動作は保証しません。

(2) ライト・アクセス同期制御レジスタ（WAS）

外部デバイスへのライト動作を行うとき，ライト・バッファにより，CPUのライト動作が完了しても外部デバイスへのライト動作が実行されていない場合があります。WASレジスタは，このライト・バッファ内のすべてのデータに対する外部デバイスへのライト実行を完了させるレジスタです。詳細は4. 5. 6（1）(b) ライト・バッファ機能を参照してください。

8ビット単位でライトのみ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
WAS	0	0	0	0	0	0	0	0	FFFFF49CH	不定

注意　WASレジスタには必ず00Hを書き込んでください。00H以外の値を書き込んだ場合の動作は保証できません。

4. 6　バス・クロック制御機能

(1) バス・モード・コントロール・レジスタ（BMC）

BMCレジスタは，バス・クロック（BUSCLK）の周波数（f_{BUSCLK}）を設定します。

BMCレジスタへの書き込み時は，一度BUSCLKがロウ・レベルで停止します。BUSCLKは，停止したあとに設定した分周クロックで動作を再開します。BUSCLK停止時は，SDRAMのSDRAMリフレッシュ・コントロール・レジスタ（RFSn）の動作も停止します（n = 1, 3, 4, 6）。

8ビット単位でリード／ライト可能です。

ビット7-2には，必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. BMCレジスタへの書き込みはリセット後に行ってください。書き込み後は，値を変更しないでください。

2. BMCレジスタ設定値への書き込みは,必ずVSWCレジスタをx7Hに設定したあとで行ってください（x：BMCレジスタ設定値変更前のVSWCレジスタの値）。BMCレジスタ設定値変更前のVSWCレジスタの値がx7Hであっても，必ずVSWCレジスタをx7Hに再設定してください。BMCレジスタ設定値変更後，再びVSWCレジスタ値をBMCレジスタ設定値変更前の値に再設定してください（3. 4. 10　初期化シーケンス参照）。

3. 内部システム・クロック（f_{CLK}）　=　バス・クロック（CKM1, CKM0ビット　= 00）で使用，かつ先読み機能を有効（LBCmレジスタのRBk1, RBk0ビット　= 11）にする場合は，SRAMまたはページROMのサイクルを起動するすべてのCS空間のウエイト設定（DWCmレジスタのDWk2-DWk0ビット），またはアドレス・セットアップ・ウエイト設定（ASCレジスタのACk1, ACk0ビット）を1以上に設定してください（m = 0, 1，k = 0-7）。

4. BUSCLKの最大動作周波数は66 MHzです。66 MHzを越えないようにBMCレジスタを設定してください。

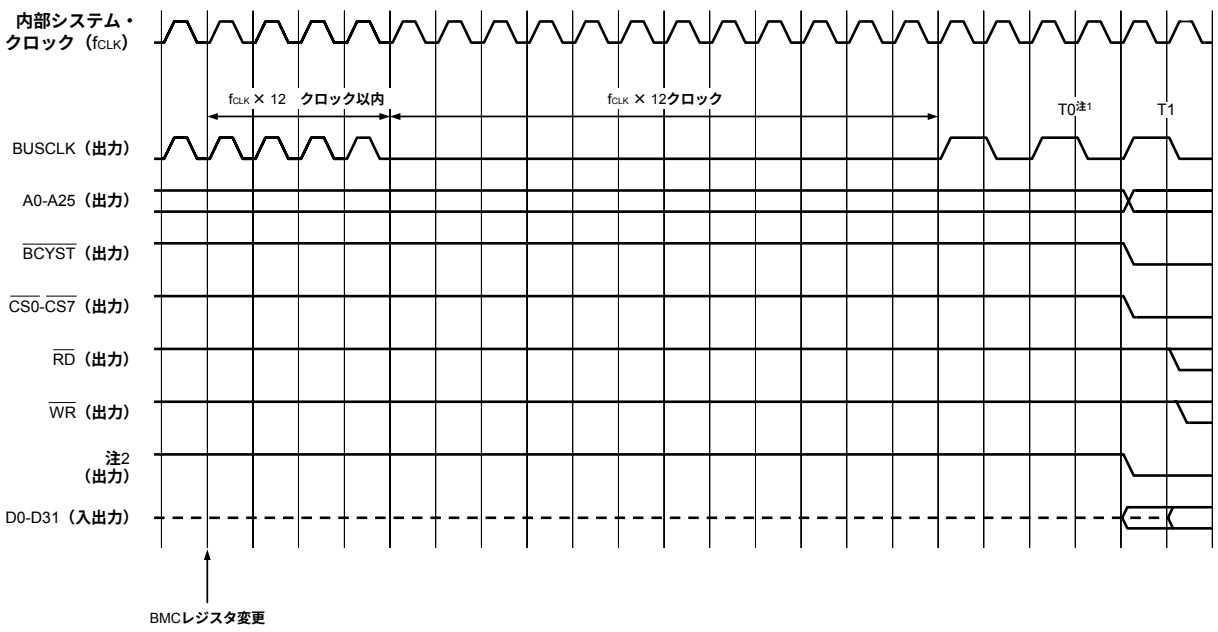
	7	6	5	4	3	2	1	0	アドレス	初期値
BMC	0	0	0	0	0	0	CKM1	CKM0	FFFFF498H	00H

ビット位置	ビット名	意　味
1, 0	CKM1, CKM0	バス・クロック（BUSCLK）の周波数（f_{BUSCLK}）を設定します。

CKM1	CKM0	バス・クロック（BUSCLK）の周波数（f_{BUSCLK}）
0	0	f_{CLK}
0	1	f_{CLK} /2
1	0	f_{CLK} /3
1	1	f_{CLK} /4

備考　f_{CLK}：内部システム・クロック

図4－5　BMCレジスタ切り替えタイミング



注1.　**バス・サイクル間に挿入されるステート**（T0）**です。**

2.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考　**破線はハイ・インピーダンスを示します。**

4. 7　ウエイト機能

4. 7. 1　プログラマブル・ウエイト機能

（1）データ・ウエイト・コントロール・レジスタ0, 1（DWC0, DWC1）

低速メモリ，I/Oに対するインタフェースを容易に実現させることを目的とし，各CS空間ごとに起動されるバス・サイクルに対し，最大7ステートのデータ・ウエイトを挿入可能です。

ウエイト数は，DWC0, DWC1レジスタでプログラマブルに指定可能です。システム・リセット直後は，全ブロックに対して7データ・ウエイトの挿入状態になります。

16ビット単位でリード／ライト可能です。

注意1. 内蔵命令RAM領域（リード・モード時），内蔵データRAM領域は，プログラマブル・ウエイトの対象外で，常にノー・ウエイト・アクセスを行います。
内蔵命令RAM領域（ライト・モード時）にアクセスしたときは，CS0空間に対するプログラマブル・ウエイト設定値が有効になります。
内蔵周辺I/O領域は，プログラマブル・ウエイトの対象外で，各周辺機能からのウエイト制御だけ行われます。

2. 次の場合，DWC0, DWC1レジスタの設定は無効となります（ウエイト制御は各メモリ・コントローラごとに行います）。
・ページROMのオンページ・アクセス
・SDRAMアクセス

3. DWC0, DWC1レジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，DWC0, DWC1レジスタの初期設定が終わるまでは，その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域のアクセスは可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DWC0	0	DW32	DW31	DW30	0	DW22	DW21	DW20	0	DW12	DW11	DW10	0	DW02	DW01	DW00	FFFFF484H	7777H
$\overline{\text{CS}}$n信号		$\overline{\text{CS3}}$				$\overline{\text{CS2}}$				$\overline{\text{CS1}}$				$\overline{\text{CS0}}$				

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DWC1	0	DW72	DW71	DW70	0	DW62	DW61	DW60	0	DW52	DW51	DW50	0	DW42	DW41	DW40	FFFFF486H	7777H
$\overline{\text{CS}}$n信号		$\overline{\text{CS7}}$				$\overline{\text{CS6}}$				$\overline{\text{CS5}}$				$\overline{\text{CS4}}$				

ビット位置	ビット名	意　味
14-12, 10-8, 6-4, 2-0	DWn2-DWn0	CSn空間に挿入するウエイトのステート数を指定します。

DWn2	DWn1	DWn0	CSn空間の挿入ウエイト・ステート数
0	0	0	挿入しない
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

備考　n = 0-7

(2) アドレス・セットアップ・ウエイト・コントロール・レジスタ（ASC）

V850E/ME2は，SRAM／ページROMサイクルの始めにアドレス・セットアップ・ウエイト・ステートを挿入できます（SDRAMサイクルではASCレジスタの設定は無効です）。

アドレス・セットアップ・ウエイト・ステート数は，ASCレジスタでCS空間ごとに設定できます。

16ビット単位でリード／ライト可能です。

注意1. 内蔵命令RAM領域（リード・モード時），内蔵データRAM領域，内蔵周辺I/O領域は，アドレス・セットアップ・ウエイト挿入の対象外になります。
内蔵命令RAM領域（ライト・モード時）にアクセスしたときは，CS0空間に対するアドレス・セットアップ・ウエイト設定値が有効になります。

2. アドレス・セットアップ・ウエイトでは，$\overline{\text{WAIT}}$端子による外部ウエイト機能は無効です。
3. ASCレジスタへの書き込みはリセット後に行ってください。書き込み後は，値を変更しないでください。
4. PFCCSレジスタで$\overline{\text{CSn}}$信号の遅延を行った場合は，必ず1以上に設定してください。
5. DMAフライバイ転送時にはアドレス・セットアップ・ウエイト設定値は有効です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ASC	AC71	AC70	AC61	AC60	AC51	AC50	AC41	AC40	AC31	AC30	AC21	AC20	AC11	AC10	AC01	AC00	FFFFF48AH	FFFFH
$\overline{\text{CSn}}$信号	CS7		CS6		CS5		CS4		CS3		CS2		CS1		CS0			

ビット位置	ビット名	意　味
15-0	ACn1, ACn0	SRAM／ページROMサイクルの前に挿入するアドレス・セットアップ・ウエイト・ステート数をCSn空間ごとに設定します。

ACn1	ACn0	ウエイト・ステート数
0	0	挿入しない
0	1	1
1	0	2
1	1	3

備考　n = 0-7

(3) バス・サイクル・ピリオド・コントロール・レジスタ（BCP）

V850E/ME2は，SRAM，外部ROM，外部I/Oサイクルにおける$\overline{\text{IORD}}$, $\overline{\text{IOWR}}$の動作の許可／禁止を設定できます。

8/1ビット単位でリード／ライト可能です。

ビット7-4, 2-0には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. SRAM，外部ROM，外部I/Oを対象としたフライバイのDMA転送時には，IOENビットの設定にかかわらず$\overline{\text{IORD}}$，$\overline{\text{IOWR}}$信号が出力されます。

外部I/O→外部メモリへのフライバイ転送時：$\overline{\text{IORD}}$, $\overline{\text{WR}}$信号がアクティブ
外部メモリ→外部I/Oへのフライバイ転送時：$\overline{\text{IOWR}}$, $\overline{\text{RD}}$信号がアクティブ

ページROMサイクルでは，IOENビットの設定は意味を持ちません。

2. BCPレジスタへの書き込みはリセット後に行ってください。書き込み後は，値を変更しないでください。
3. IOENビットをセット（1）した状態で内蔵命令RAM（ライト・モード時）にアクセスした場合，$\overline{\text{IOWR}}$信号はインアクティブ状態になります。

	7	6	5	4	3	2	1	0	アドレス	初期値
BCP	0	0	0	0	IOEN	0	0	0	FFFFF48CH	00H

ビット位置	ビット名	意　味
3	IOEN	SRAM，外部ROM，外部I/Oサイクルにおける$\overline{\text{IORD}}$，$\overline{\text{IOWR}}$の動作の許可／禁止を設定します。 IOEN：$\overline{\text{IORD}}$，$\overline{\text{IOWR}}$の動作の許可／禁止 0：SRAM，外部ROM，外部I/Oサイクル時の$\overline{\text{IORD}}$，$\overline{\text{IOWR}}$の動作の禁止 1：SRAM，外部ROM，外部I/Oサイクル時の$\overline{\text{IORD}}$，$\overline{\text{IOWR}}$の動作の許可

(4) DMAフライバイ転送ウエイト・コントロール・レジスタ（FWC）

FWCレジスタは，DMAフライバイ転送時のデータ・ウエイト数をチャネルnごとに設定します（6. 5. 2　フライバイ転送のタイミング・チャート参照）（n = 0-3）。

DMAフライバイ転送時は，このレジスタの設定値が有効となり，DWC0, DWC1, PRCレジスタの設定値は無効となります。

16ビット単位でリード／ライト可能です。

注意1.　内蔵命令RAM領域，内蔵データRAM領域は，プログラマブル・ウエイトの対象外で，常にノー・ウエイト・アクセスを行います。また，内蔵周辺I/O領域も，プログラマブル・ウエイトの対象外で，各周辺機能からのウエイト制御だけ行われます。

2.　FWCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
FWC	0	FW32	FW31	FW30	0	FW22	FW21	FW20	0	FW12	FW11	FW10	0	FW02	FW01	FW00	FFFFF494H	7777H

ビット位置	ビット名	意　味
14-12, 10-8, 6-4, 2-0	FWn2-FWn0	DMAフライバイ転送時のデータ・ウエイト数をチャネルnごとに設定します。

FWn2	FWn1	FWn0	データ・ウエイト数	
			SDRAMを対象としない場合	SDRAMを対象とする場合
0	0	0	挿入しない	1
0	0	1	1	2
0	1	0	2	3
0	1	1	3	4
1	0	0	4	5
1	0	1	5	6
1	1	0	6	7
1	1	1	7	8

備考　n = 0-3

4.7.2　外部ウエイト機能

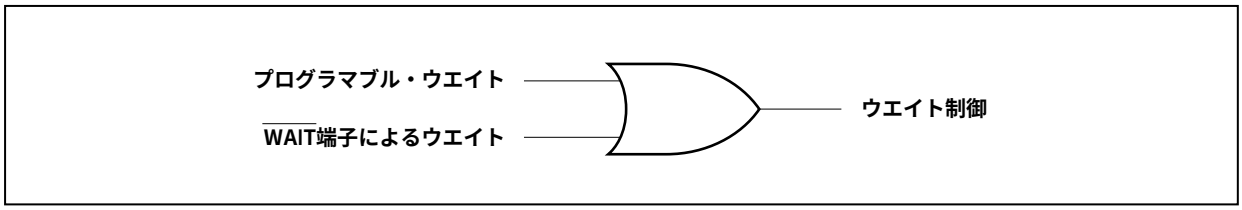
極端に遅いメモリや，I/O，非同期システムに接続する場合など，外部デバイスに同期をとる目的で，外部ウエイト端子（$\overline{\text{WAIT}}$）によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

内蔵命令RAM（リード・モード時），内蔵データRAM，内蔵周辺I/Oの各領域へのアクセスに対しては，プログラマブル・ウエイトと同様に，外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$入力は，BUSCLKに対する非同期入力が可能で，バス・サイクルのT1, TWステート直後のBUSCLKの立ち上がりでサンプリングします。サンプル・タイミングにおける設定／保持時間を満たさないときは，次のステートでウエイトを挿入するか，挿入しないかのどちらかになります。

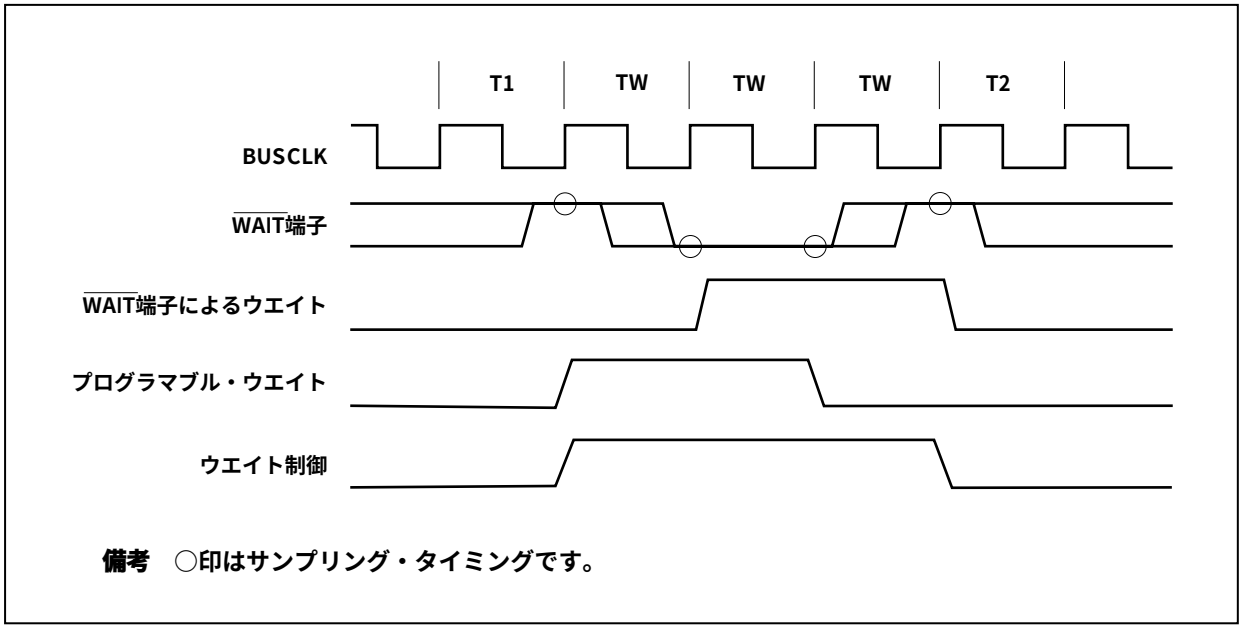
4.7.3　プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは，プログラマブル・ウエイトの設定値によるウエイト・サイクルと，$\overline{\text{WAIT}}$端子制御によるウエイト・サイクルの論理和（OR）として挿入されます。



たとえば，プログラマブル・ウエイト，$\overline{\text{WAIT}}$端子が次のようなタイミングのとき，バス・サイクルは，3ウエイトになります。

図4－6　ウエイト挿入例



4.7.4　ウエイト機能が有効なバス・サイクル

V850E/ME2は，各メモリ・ブロックごとに指定した各種のメモリのタイプに応じて，ウエイト数を指定できます。ウエイト機能が有効なバス・サイクルとウエイト設定を行うレジスタを次に示します。

表4－1　ウエイト機能が有効なバス・サイクル

バス・サイクル			ウエイトの種類	プログラマブル・ウエイトの設定			$\overline{\text{WAIT}}$端子によるウエイト
				レジスタ	ビット	ウエイト数	
SRAM，外部ROM，外部I/Oサイクル			アドレス・セットアップ・ウエイト	ASC	ACn1, ACn0	0-3	×（無効）
			データ・アクセス・ウエイト	DWC0, DWC1	DWn2-DWn0	0-7	○（有効）
ページROMサイクル			アドレス・セットアップ・ウエイト	ASC	ACn1, ACn0	0-3	×（無効）
		オフページ	データ・アクセス・ウエイト	DWC0, DWC1	DWn2-DWn0	0-7	○（有効）
		オンページ	データ・アクセス・ウエイト	PRC	PRW2-PRW0	0-7	○（有効）
SDRAMサイクル			ロウ・アドレス・プリチャージ	SCRm	BCWm1, BCWm0	1-3	×（無効）
DMAフライバイ転送サイクル	外部I/O↔SRAM		フライバイ転送ウエイト	FWC	FWa2-FWa0	0-7	○（有効）
			アドレス・セットアップ・ウエイト	ASC	ACn1, ACn0	0-3	×（無効）
	外部I/O→SDRAM	オフページ	ロウ・アドレス・プリチャージ	SCRm	BCWm1, BCWm0	1-3	×（無効）
			フライバイ転送ウエイト	FWC	FWa2-FWa0	1-8	×（無効）
		オンページ	ロウ・アドレス・プリチャージ	SCRm	BCWm1, BCWm0	1-3	×（無効）
			フライバイ転送ウエイト	FWC	FWa2-FWa0	1-8	×（無効）

備考　n = 0-7, m = 1, 3, 4, 6, a = 0-3

4. 8 アイドル・ステート挿入機能

(1) バス・サイクル・コントロール・レジスタ（BCC）

低速メモリに対するインタフェースを容易に実現させることを目的とし，各CS空間ごとにリード・アクセス時のメモリのデータ出力フロート遅延時間を確保するために，起動されるバス・サイクルに対し，T2ステート後に設定された数のアイドル・ステート（TI）を挿入可能です。T2ステートの次のバス・サイクルは，挿入されたアイドル・ステートのあとから開始します。

アイドル・ステートは次に示すタイミングで挿入されます。

- SRAM，外部I/O，外部ROMに対するリード・サイクル後，ライト・サイクル後
- ページROMに対するリード・サイクル後
- SDRAMに対するリード・サイクル後

アイドル・ステートの挿入指定は，BCCレジスタでプログラマブルに指定可能です。システム・リセット直後は，全ブロックに対してアイドル・ステートの挿入状態になります。アイドル・ステート挿入時のタイミングは第5章の各メモリのアクセス・タイミングを参照してください。

16ビット単位でリード／ライト可能です。

注意1. 内蔵命令RAM領域（リード・モード時），内蔵データRAM領域，内蔵周辺I/O領域は，アイドル・ステート挿入の対象外になります。
内蔵命令RAM領域（ライト・モード時）にアクセスしたときは，CS0空間に対するアイドル・ステート設定値が有効になります。

2. BCCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，BCCレジスタの初期設定が終わるまでは，その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域のアクセスは可能です。

3. アイドル・ステート時にチップ・セレクト信号（$\overline{\text{CSn}}$）はアクティブにはなりません（n = 0-7）。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BCC	BC71	BC70	BC61	BC60	BC51	BC50	BC41	BC40	BC31	BC30	BC21	BC20	BC11	BC10	BC01	BC00	FFFFF488H	FFFFH
$\overline{\text{CSn}}$信号	CS7		CS6		CS5		CS4		CS3		CS2		CS1		CS0			

ビット位置	ビット名	意　味
15-0	BCn1, BCn0	CSn空間に対するアイドル・ステートの挿入を指定します。

BCn1	BCn0	CSn空間に対するアイドル・ステート
0	0	挿入しない
0	1	1
1	0	2
1	1	3

備考 n = 0-7

(2) DMAフライバイ転送アイドル・コントロール・レジスタ（FIC）

FICレジスタは，DMAフライバイ転送時のアイドル・ステート数をDMAチャネルnごとに設定します（6. 5. 2　フライバイ転送のタイミング・チャート参照）（n = 0-3）。アイドル・ステートはDMAフライバイ転送の最後で挿入されます。DMAフライバイ転送時は，このレジスタの設定値が有効となり，BCCレジスタの設定値は無効となります。

16ビット単位でリード／ライト可能です。

注意1.　内蔵命令RAM領域，内蔵データRAM領域，内蔵周辺I/O領域は，アイドル・ステート挿入の対象外になります。

2.　FICレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
FIC	0	0	FI31	FI30	0	0	FI21	FI20	0	0	FI11	FI10	0	0	FI01	FI00	FFFFF496H	3333H

ビット位置	ビット名	意　味
13, 12, 9, 8, 5, 4, 1, 0	FIn1, FIn0	DMAフライバイ転送時のアイドル・ステートをチャネルnごとに指定します。 FIn1 / FIn0 / DMAフライバイ転送時のアイドル・ステート 0 / 0 / 挿入しない 0 / 1 / 1 1 / 0 / 2 1 / 1 / 3

備考　n = 0-3

4. 9　命令キャッシュ機能

V850E/ME2は，8 Kバイトの2ウエイ・セット・アソシアティブ命令キャッシュを搭載しています。

この命令キャッシュは，LRU（Least Recently Used）アルゴリズムを使用しています。このキャッシュでは，2つのウエイがキャッシュとして使用され，内部のLRUビットによってミス・ヒット時にリプレースされるウエイが決定されます。キャッシャブル領域に指定した場合は，4ワード・バースト・リード（外部32ビット・バス動作時）のシーケンシャル・リード・サイクルを発行します（外部16ビット・バス時は，8ハーフワード・バースト・リード・サイクルを発行）。

命令キャッシュの設定は，システム・リセット後に，次の手順で行ってください。

＜1＞ICCレジスタの値が“ 0000H ”になるまで（タグの初期化が完了するまで）待機します。

＜2＞BHCレジスタで命令キャッシュの設定をキャッシュ可能にします。

注意　BHCレジスタの設定は，必ずキャッシュ不可領域で行ってください（キャッシュ可能領域から行った場合は正常に命令フェッチができません）。

4. 9. 1　キャッシュ・コンフィギュレーション・レジスタ（BHC）

（1）キャッシュ・コンフィギュレーション・レジスタ（BHC）

チップ・セレクト信号（CS0-CS2）で選択されるCS空間ごとにキャッシュ・メモリの構成を設定できます。キャッシャブル領域の設定は，BHCレジスタを設定した直後から有効になります。

16ビット単位でリード／ライト可能です。

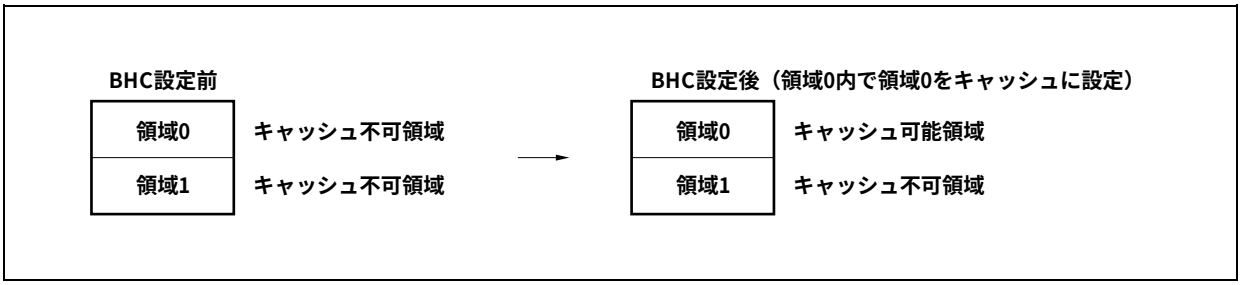
ビット15-5には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. BHCレジスタへの書き込みはリセット後に行ってください。書き込み後は，値を変更しないでください。

2. BHCレジスタの設定を行う命令自身が存在する領域をキャッシュ不可領域→キャッシュ可能領域，またはキャッシュ可能領域→キャッシュ不可領域にすることはできません（変更した場合の動作は保証しません）。この場合，領域1に分岐してから領域1内の命令で領域0をキャッシュ可能領域に設定し，必要に応じて，再度，領域0に分岐してください。
なお，内蔵命令RAM領域上であれば，いずれのCS空間に対してもキャッシュ不可，キャッシュ可能の設定ができます。

（設定禁止例）

・領域0にBHCレジスタを設定する命令が存在する場合

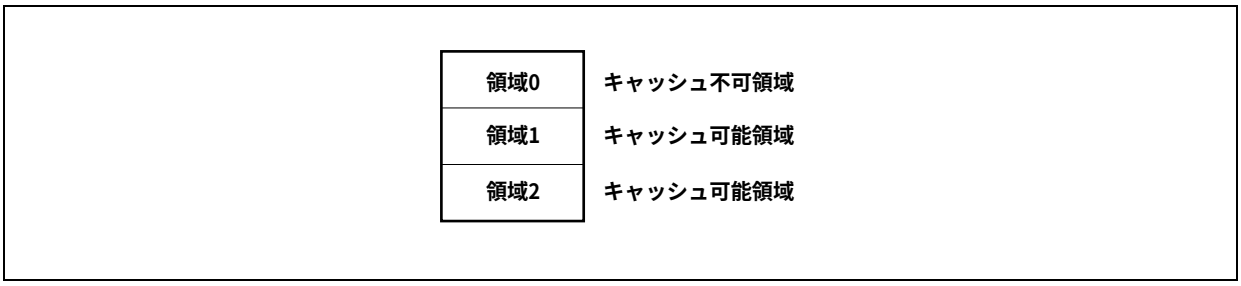


3. 隣接するメモリ領域がキャッシュ可能領域とキャッシュ不可領域であった場合,このメモリ境界間を連続的にアクセスする場合は，分岐命令によってのみ可能です。分岐命令以外の命令で，このメモリ境界を連続的にアクセスした場合の動作は保証しません。

（動作例）

・領域0から領域1へは分岐命令のみアクセス可能

・領域1から領域2へは連続的にアクセス可能



	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BHC	0	0	0	0	0	0	0	0	0	0	0	BH20	0	BH10	0	BH00	FFFFF06AH	0000H
$\overline{\text{CS}}$n信号												$\overline{\text{CS2}}$		$\overline{\text{CS1}}$		$\overline{\text{CS0}}$		

ビット位置	ビット名	意　味
4, 2, 0	BHn0	CSn空間に配置された命令キャッシュの設定を行います。 0：キャッシュ不可 1：キャッシュ可能

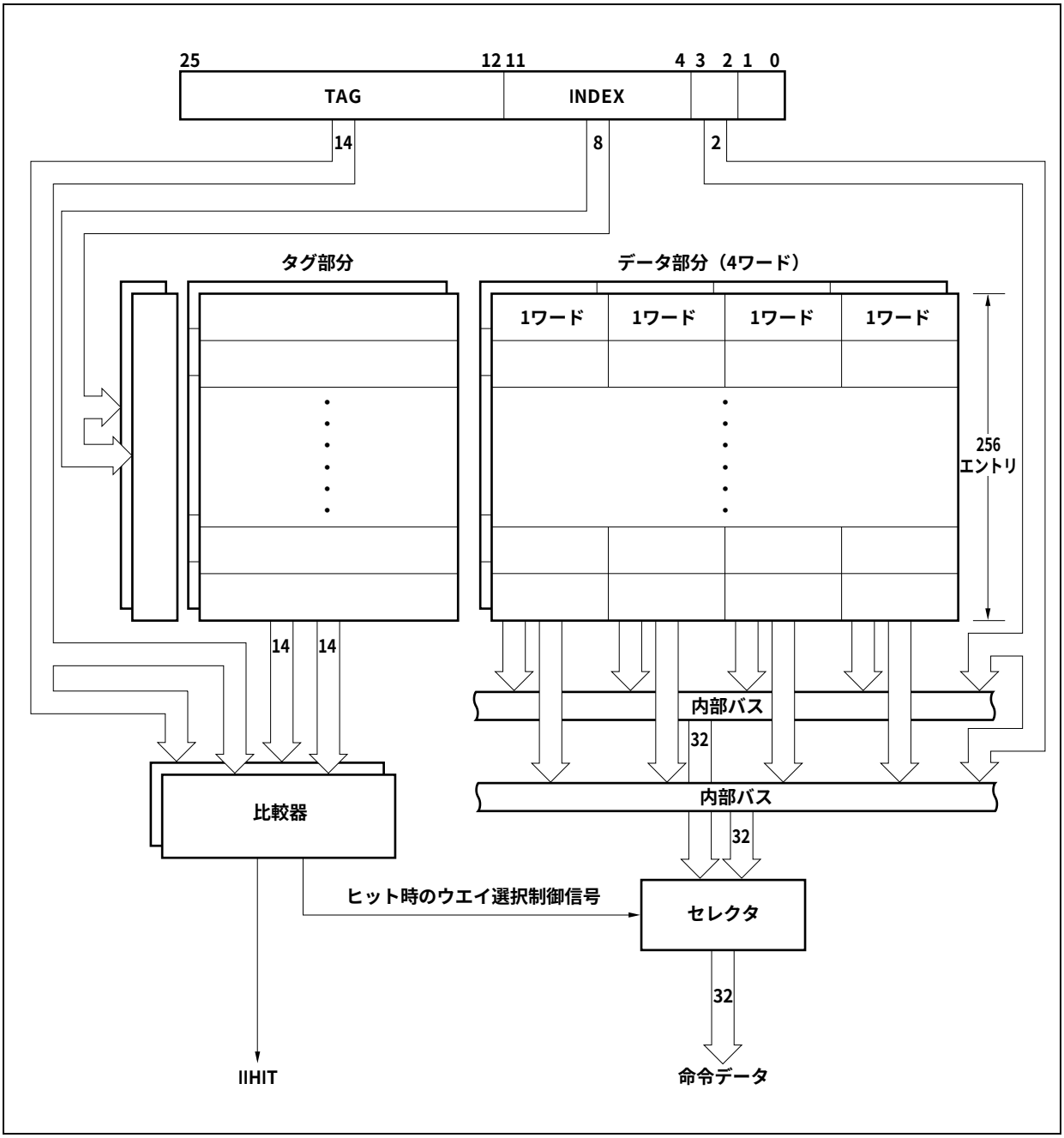
備考　n = 0-2

4. 9. 2　8 Kバイト2ウエイ・セット・アソシアティブ・キャッシュ

8 Kバイト2ウエイ・セット・アソシアティブ・キャッシュのデータ・メモリは，1ラインが4ワードの256エントリのブロックで構成されたウエイが2枚で，合計8 Kバイトの容量です。キャッシュ・ミスが発生した場合は，1ライン単位のリフィルを行います。

なお，命令キャッシュにキャッシングされる命令は，キャッシャブル領域へのデータ・アクセスに関連するラインのデータに限ります。

図4－7　8 Kバイト2ウエイ・セット・アソシアティブ命令キャッシュの構成



4. 9. 3　LRUアルゴリズム

すぐに必要となる情報を捨ててしまわないように，ブロックへのアクセスを記録し，最も長時間使用されなかったブロックを置き換えの対象とするアルゴリズムです。

4.9.4　命令キャッシュ・コントロール機能

（1）命令キャッシュ・コントロール・レジスタ（ICC）

タグ・クリア，オートフィルの2種類の機能を設定します。

16ビット単位でリード／ライト可能です。

ICCレジスタの上位8ビットをICCHレジスタ，下位8ビットをICCLレジスタとした場合は，8/1ビット単位でリード／ライト可能です。

ビット12は，リードおよびクリア（0）のみ可能です。

ビット15-13, 11-5, 3, 2には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. ビット0, 1, 4の任意のビットがセット（1）されているときに，そのビットを強制的にクリア（0）しないでください。

2. ビット4はほかのビットと同時にセット（1）しないでください。

3. ビット12をセット（1）しないでください。ビット12はクリア（0）だけ可能です。

4. ICCレジスタの設定は，必ずキャッシュ不可領域で行ってください（ただし，ビット4の設定は除く）。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ICC	0	0	0	LOCKI0	0	0	0	0	0	0	0	FILL0	0	0	TCLR1	TCLR0	FFFFF070H	0003H注

注　リセット・アクティブ時は0003Hになり，自動的にタグの初期化を開始します。タグの初期化が完了すると0000Hになります。

ビット位置	ビット名	意　味
12	LOCKI0	ウエイ0のキャッシュ・ロック状態を示します。 ウエイ0にフィルするとキャッシュはロックされ，このビットは自動的にセット（1）されます。このビットをクリア（0）すると，ウエイ0のキャッシュ・ロックは解除されます。 0：ウエイ0はロックされていない 1：ウエイ0はロックされている
4	FILL0	ウエイ0のオートフィルを設定します。 このビットをセット（1）すると，ウエイ0をオートフィルします。オートフィルが完了すると，このビットは自動的にクリア（0）されます。 0：ウエイ0のフィル完了 1：ウエイ0のフィル動作中
1	TCLR1	ウエイ1のタグ・クリアを設定します。 このビットをセット（1）すると，ウエイ1のタグをクリア（無効に）します。タグ・クリアが完了すると，このビットは自動的にクリア（0）されます。 0：ウエイ1のタグ・クリア完了 1：ウエイ1のタグ・クリア動作中
0	TCLR0	ウエイ0のタグ・クリアを設定します。 このビットをセット（1）すると，ウエイ0のタグをクリア（無効に）します。タグ・クリアが完了すると，このビットは自動的にクリア（0）されます。 0：ウエイ0のタグ・クリア完了 1：ウエイ0のタグ・クリア動作中

(2) 命令キャッシュ・データ・コンフィギュレーション・レジスタ（ICD）

オートフィル機能使用時にオートフィルを行うメモリ領域のアドレスを設定します。

16ビット単位でリード／ライト可能です。

ビット0には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. オートフィル動作中にICDレジスタを書き換えないでください。書き換えた場合の動作は保証できません。

2. ICDレジスタの初期値は不定のため，オートフィル機能使用時は必ずICDレジスタに値を設定してから，ICCレジスタのFILL0ビットをセット（1）してください。ICDレジスタに値を設定しないでICCレジスタのFILL0ビットをセット（1）した場合の動作は保証しません。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ICD	0	ICD 14	ICD 13	ICD 12	ICD 11	ICD 10	ICD 9	ICD 8	ICD 7	ICD 6	ICD 5	ICD 4	ICD 3	ICD 2	ICD 1	0	FFFFF074H	不定

ビット位置	ビット名	意　味
14-1	ICD14-ICD1	タグ情報の上位14ビット（オートフィルを行うメモリ領域の先頭アドレスのビット25-12）を設定します。

4.9.5 タグ・クリア機能

1ウエイ分のタグをクリア（無効に）します。

また，リセット時には，自動的に，すべてのウエイのタグとLRUをクリア（無効に）します。

命令キャッシュ・タグ・クリアは，次の手順で行います。

<1>ICCレジスタをリードして，TCLR0, TCLR1ビットがすべてクリア（0）されていることを確認します。

<2>ICCレジスタをリードして，LOCKI0ビットがクリア（0）されていることを確認します。なお，ICCレジスタのビット13は常にクリア（0）されています。

<3>次に示すようにICCレジスタのTCLR0, TCLR1ビットの設定を行います。

注意1. 上記<1>-<3>の操作（タグ・クリア）は，すべてキャッシュ不可領域で行ってください（キャッシュ可能領域から行っても，タグ・クリアは行われません。）

・ウエイ0，ウエイ1を同時にクリアするとき
（a）TCLR0, TCLR1ビットをセット（1）します。
（b）TCLR0, TCLR1ビットをリードし，これらのビットがクリア（0）されていることを確認します。

・ウエイ0，ウエイ1を別々にクリアするとき注
（a）TCLR0ビットをセット（1）します。
（b）TCLR0ビットをリードし，クリア（0）されていることを確認します。
（c）TCLR1ビットをセット（1）します。
（d）TCLR1ビットをリードし，クリア（0）されていることを確認します。

注　（c）-（d）-（a）-（b）の順でも設定可能です。

2. ウエイ0とウエイ1のタグ・クリア用のカウンタは共用されています。
したがって，タグ・クリアの実行（ICCレジスタのTCLR0ビット，またはTCLR1ビットのセット（1）は，タグ・クリア用のカウンタ停止時（TCLR0 = TCLR1 = 0）に行ってください。ウエイ0とウエイ1のタグ・クリアを別々に行う場合，片方のウエイのタグ・クリア実行中（TCLR0またはTCLR1 = 1）に，もう一方のタグ・クリアを実行すると，タグ・クリアの途中でカウンタが止まります。そのため，カウンタが途中の値を示したまま，もう一方のウエイのタグ・クリア動作に移行してしまうため，正常なタグ・クリアが行えません。必ず一方のウエイのタグ・クリアが完了したことを確認してから（TCLR0またはTCLR1 = 0），もう一方のウエイのタグ・クリアを行うようにしてください。
なお，次のような方法で両方のビットを同時にセットする場合は問題ありません。

```
        mov   0x3, r2
LOP0:
        ld.h  ICC[r0], r1
        cmp   r0, r1
        bnz   LOP0
        st.h  r2, ICC[r0]
LOP1:
        ld.h  ICC[r0], r1
        cmp   r0, r1
        bnz   LOP1
```

3. ICCレジスタのTCLR0, TCLR1ビットをリードして，クリア（0）されたことを確認できるまでは，タグ・クリアと並列してほかの処理を行わないでください。

4.9.6　オートフィル機能（ウエイ0のみ）

1ウエイ分の命令を自動的にフィルします。

一度オートフィルしたウエイは，自動的にロックされ書き込み禁止になり，1サイクルでアクセス可能なROMと同じ動作をします。ロックを解除すれば，再び命令キャッシュとして動作します。

命令キャッシュ・オートフィルは，次の手順で行います。

＜1＞ウエイ0のタグをクリア（無効に）します（4.9.5　タグ・クリア機能参照）。

＜2＞ICDレジスタに，オートフィルしたいメモリ領域に対応するタグの情報を設定します。

＜3＞ICDレジスタに設定したタグ情報に対応したキャッシュ可能領域へ分岐します。

＜4＞ICCレジスタのFILL0ビットをセット（1）します。

＜5＞オートフィルが完了すると，ICCレジスタのLOCKI0ビットが自動的にセット（1）され，ウエイ0がロックされます。このとき同時に，ICCレジスタのFILL0ビットをリードして，このビットがクリア（0）されていることを確認します。

注意　上記の操作は次に示す領域で行ってください。

＜1＞，＜2＞，＜3＞ … キャッシュ不可領域

＜4＞ …… キャッシュ可能領域
ICCレジスタのFILL0ビットのセット（1）をキャッシュ不可領域から行った場合，オートフィルはできません（無効になります）。

＜5＞ …… キャッシュ不可領域でもキャッシュ可能領域でもどちらでも問題ありません。

備考　ロックを解除するには，ICCレジスタのLOCKI0ビットをクリア（0）します。

4.9.7　注意事項

キャッシュ・ミス発生に伴うリフィル・リード・サイクル起動時に，そのバス・サイクルで読み込まれた命令が，命令キャッシュに登録されずに破棄される場合があります。たとえば，プログラム・ループ部分の条件分岐命令でこの動作が発生すると，ループするごとに毎回後続のキャッシュ・ラインの無効なリフィル・リード・サイクルが発生するため，システムの性能が低下します。特にループが小さい場合には，無効なバス・サイクルによる性能の低下の影響が大きくなります。ただし，この現象が発生しても，プログラムの実行自体は正常に行われ，実行結果は論理的に正しいものになります。

V850E/ME2は，命令キャッシュによるこのような不確実な動作に伴う性能の低下を補うため，命令RAMを搭載し，1クロック・ピッチでの確実な命令実行を可能にしています。このような現象により，システム性能に影響を及ぼす危険性のあるルーチンについては，命令RAM上で実行させるようにしてください。

4. 10　内蔵命令RAM制御機能

V850E/ME2は，128 Kバイト（16 Kバイト×32ビット×2バンク）の命令RAMを内蔵しています。
一方のバンクのリード・サイクル中に，他方のバンクのライトを並行して実行できます。

4. 10. 1　内蔵命令RAMモード・レジスタ（IRAMM）

（1）内蔵命令RAMモード・レジスタ（IRAMM）

命令RAMに対するアクセス・モードを指定します。
8/1ビット単位でリード／ライト可能です。

注意1. CPUのパイプライン動作により，モード設定の変更が実行されることで，次の内蔵命令RAMへのアクセス（コード・フェッチなど）が先に実行されてしまう可能性があります。そのため，IRAMMレジスタ設定を変更した場合は，必ずIRAMMレジスタをリードして書き込みが実行されたことを確認してから，内蔵命令RAMへのアクセスを実行してください。

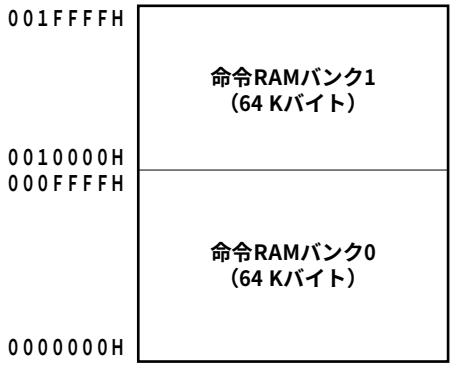
2. 内蔵命令RAMへの書き込みは，ワード・アクセスのみ可能です。

3. 内蔵命令RAMに対するアドレス・ミス・アライン・アクセスは禁止です。

	7	6	5	4	3	2	1	0	アドレス	初期値
IRAMM	0	0	0	0	0	0	IRAMM1	IRAMM0	FFFFF80AH	03H

ビット位置	ビット名	意　味
1	IRAMM1	命令RAMバンク1のアクセス・モードを指定します。 0：リード・モード 1：ライト・モード
0	IRAMM0	命令RAMバンク0のアクセス・モードを指定します。 0：リード・モード 1：ライト・モード

図4－8　内蔵命令RAMのメモリ・マップ



4. 10. 2 動　　作

(1) リード動作

内蔵命令RAMは，IRAMMレジスタでリード・モードを選択していれば，バンクを意識する必要はなく，通常のRAMアクセスでリード可能となります。

注意1. ライト・モードを選択しているバンクは，リードできません。

2. 内蔵命令RAM（リード・モード時）にアクセスしたときは，内部システム・クロック（f_{CLK}）×1クロックでアクセスします。

(2) ライト動作

内蔵命令RAMは，IRAMMレジスタでライト・モードを選択していれば，バンクを意識する必要はなく，通常のRAMアクセスでライト可能となります。

注意1. リード・モードを選択しているバンクは，ライトできません。

2. 内蔵命令RAMバンク0領域は，割り込み／例外テーブルに割り当てられます。内蔵命令RAMバンク0領域に対しての命令コードの書き込みが完了するまでは，割り込み禁止としてください。また，同様に内蔵命令RAMバンク0領域をライト・モードに指定している場合も，割り込み禁止としてください。
なお，マスカブル割り込みに対する割り込み禁止については，割り込みマスク・レジスタ0-5（IMR0-IMR5）（7. 3. 5　割り込みマスク・レジスタ0-5（IMR0-IMR5））を参照してください。
ノンマスカブル割り込みに対する割り込み禁止については，PSWのNPビットをセット（1）して，多重割り込み禁止の状態にしてください（3. 2. 2（4）プログラム・ステータス・ワード（PSW）参照）。リセット解除時のNMIマスク動作については，NMIリセット・ステータス・レジスタ（NRS）（7. 3. 6　NMIリセット・ステータス・レジスタ（NRS））を参照してください。

3. 内蔵命令RAM（ライト・モード時）へのアクセスは，BUSCLKで動作するため（内蔵命令RAM（リード・モード時）の場合は内部システム・クロック（f_{CLK}）），CS0空間に対するプログラマブル・ウエイト，アドレス・セットアップ・ウエイト，アイドル・ステートの挿入が有効になります。

4. 10. 3　注意事項

(1) リセット解除後から内蔵命令RAMにプログラム・コードを転送し終わるまでの間は，すべての割り込みを禁止してください。なお，マスカブル割り込みは，デフォールトでマスクされていますので，特に禁止設定をする必要はありません。ソフトウエア例外，例外トラップはマスクできませんので，内蔵命令RAMへのプログラム・コード転送が完了するまでは，TRAP命令，DBTRAP命令を実行しないでください。

(2) リセット解除後，NMI入力はハードウエア的にマスクされます。IRAMMレジスタのIRAMM0ビットのクリア（0）と同時にNMIのマスクは解除されます。

(3) プログラムの実行途中に，内蔵命令RAMの命令RAMバンク0への書き込みを行う場合は，PSWのNPビットをセット（1）することで，NMIおよびマスカブル割り込みを禁止するとともに，ソフトウエア例外，例外トラップが発生しないようにしてください。また，NPビットは，プログラムの書き換え終了後，IRAMMレジスタのIRAMM0ビットをセット（1）し，リード・モードにセットされたことを確認後，クリア（0）してください。

(4) PSWのNPビットをセット（1）している間に発生したNMI要求およびマスカブル割り込み要求は，保留されています。NMI要求の場合，NPビットをクリア（0）した直後に受け付けられます。マスカブル割り込みの場合,NPビットをクリア(0)する以前に,割り込み要求をクリア(割り込み制御レジスタ(xxICn)のxxIFnビットをクリア（0））していない，割り込み禁止状態（DI状態）でない，および割り込み制御レジスタのxxMKnビットがセット（1）されていなければ，NPビットをクリア（0）した直後に受け付けられます。ただし，NMI要求およびマスカブル割り込みともに保留される割り込み要求は，同一の割り込み要因に対し1つだけであり，同一の割り込み要求が2回以上発生していても，受け付けられるのは1回のみです（xx：各周辺ユニット識別名称（表7－2参照），n：周辺ユニット番号（表7－2参照）。

(5) 内蔵命令RAM（ライト・モード時）のアクセス時には，$\overline{\text{CS0}}$信号，アドレス・バス，データ・バスは出力されます。外部バス制御信号は，$\overline{\text{UUWR}}$, $\overline{\text{ULWR}}$, $\overline{\text{LUWR}}$, $\overline{\text{LLWR}}$, $\overline{\text{WR}}$，および$\overline{\text{RD}}$信号以外はアクティブ状態になります。また，BCPレジスタのIOENビットをセット（1）することにより，$\overline{\text{IOWR}}$信号を出力許可設定にしている場合，$\overline{\text{IOWR}}$信号はインアクティブ状態になります。

4. 11　バス・ホールド機能

4. 11. 1　機能概要

PCM2, PCM3端子がコントロール・モードに設定されていれば，$\overline{\text{HLDAK}}$，$\overline{\text{HLDRQ}}$機能が有効になります。

ほかのバス・マスタからのバス獲得要求として$\overline{\text{HLDRQ}}$端子がアクティブ（ロウ・レベル）になったことを受け付けると，外部アドレス／データ・バス，各種ストローブ端子をハイ・インピーダンス状態にし，解放します（バス・ホールド状態）。$\overline{\text{HLDRQ}}$端子がインアクティブ（ハイ・レベル）になりバス獲得要求が解除されれば，再びこれらの端子の駆動を開始します。

バス・ホールド期間中は，外部メモリ・アクセスまたは内蔵周辺I/Oレジスタへのアクセスがあるまで，V850E/ME2の内部動作を継続します。

バス・ホールド状態は，$\overline{\text{HLDAK}}$端子がアクティブ（ロウ・レベル）になったことにより知ることができます。$\overline{\text{HLDRQ}}$端子がアクティブ（ロウ・レベル）になってから，$\overline{\text{HLDAK}}$端子がアクティブ（ロウ・レベル）になるまでの時間は最短で2クロックです。

マルチプロセッサ構成など，バス・マスタが複数存在するようなシステムを構成できます。

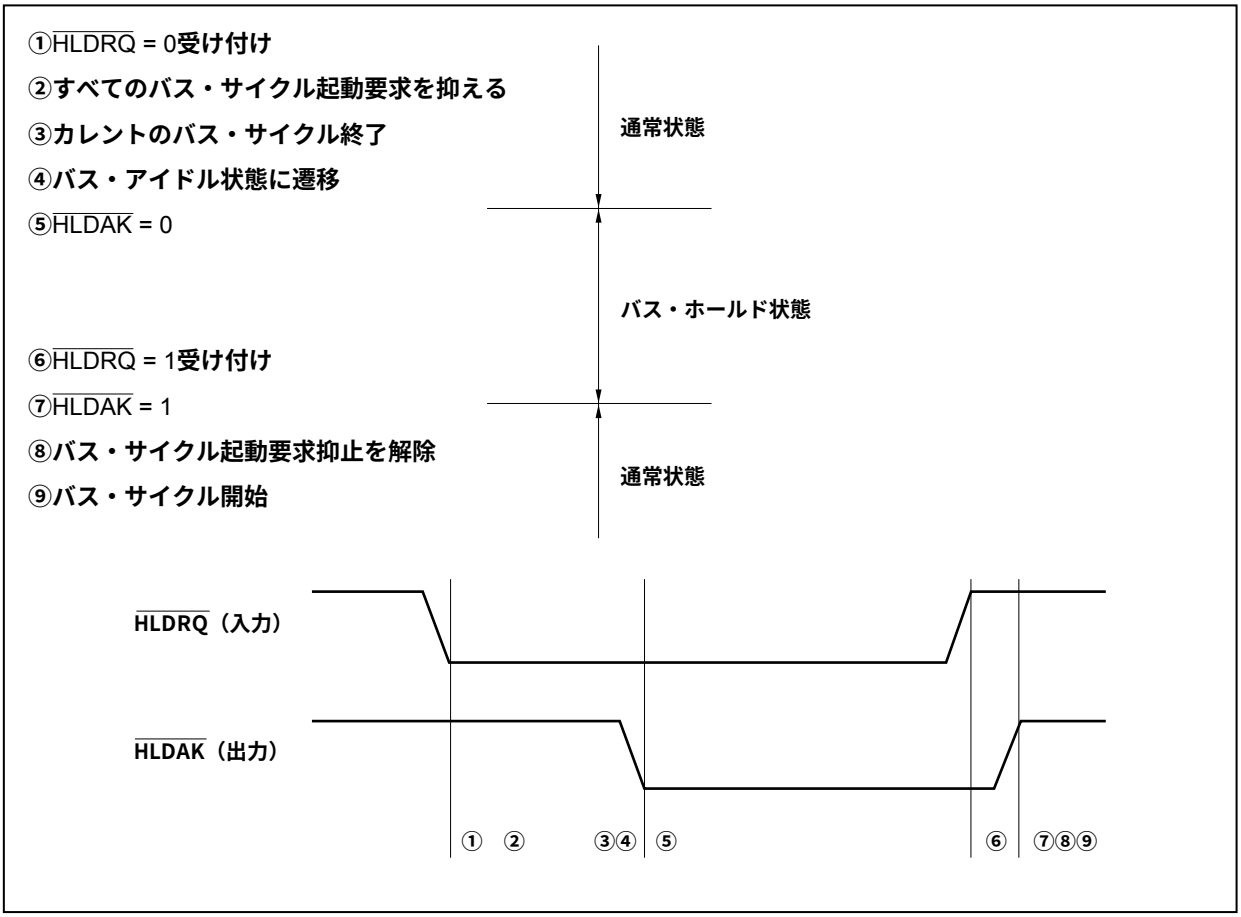
状　態	データ・バス幅	アクセス形態	バス・ホールド要求を受け付けないタイミング
CPUバス・ロック	32ビット	4n＋1番地へのワード・アクセス	1回目と2回目の間
			2回目と3回目の間
		4n＋2番地へのワード・アクセス	1回目と2回目の間
		4n＋3番地へのワード・アクセス	1回目と2回目の間
			2回目と3回目の間
		奇数番地へのハーフワード・アクセス	1回目と2回目の間
	16ビット	偶数番地へのワード・アクセス	1回目と2回目の間
		奇数番地へのワード・アクセス	1回目と2回目の間
			2回目と3回目の間
		奇数番地へのハーフワード・アクセス	1回目と2回目の間
	8ビット	ワード・アクセス	1回目と2回目の間
			2回目と3回目の間
			3回目と4回目の間
		ハーフワード・アクセス	1回目と2回目の間
ビット操作命令のリード・モディファイ・ライト・アクセス	－	－	リード・アクセスとライト・アクセスの間

注意1.　バス・ホールド中に外部のバス・マスタがSDRAMをアクセスする場合
必ず外部のバス・マスタがオール・バンク・プリチャージ・コマンドを実行するようにしてください。
バス・ホールド状態を解除する場合は，CPUが必ずオール・バンク・プリチャージ・コマンドを実行します。また，バス・ホールド中に外部のバス・マスタはSDRAMのコマンド・レジスタの値を変更しないでください。

2.　リセット期間中の$\overline{\text{HLDRQ}}$機能は無効です。$\overline{\text{RESET}}$端子と$\overline{\text{HLDRQ}}$端子を同時にアクティブにしたあと$\overline{\text{RESET}}$端子をインアクティブにした直後に，$\overline{\text{HLDAK}}$端子がアクティブになるか，または1クロック・アドレス・サイクルが挿入されてから$\overline{\text{HLDAK}}$端子がアクティブになります。V850E/ME2以外のバス・マスタが外部接続されているときには，パワーオン時のアービトレーションを$\overline{\text{RESET}}$信号にて行ってください。

4. 11. 2　バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。



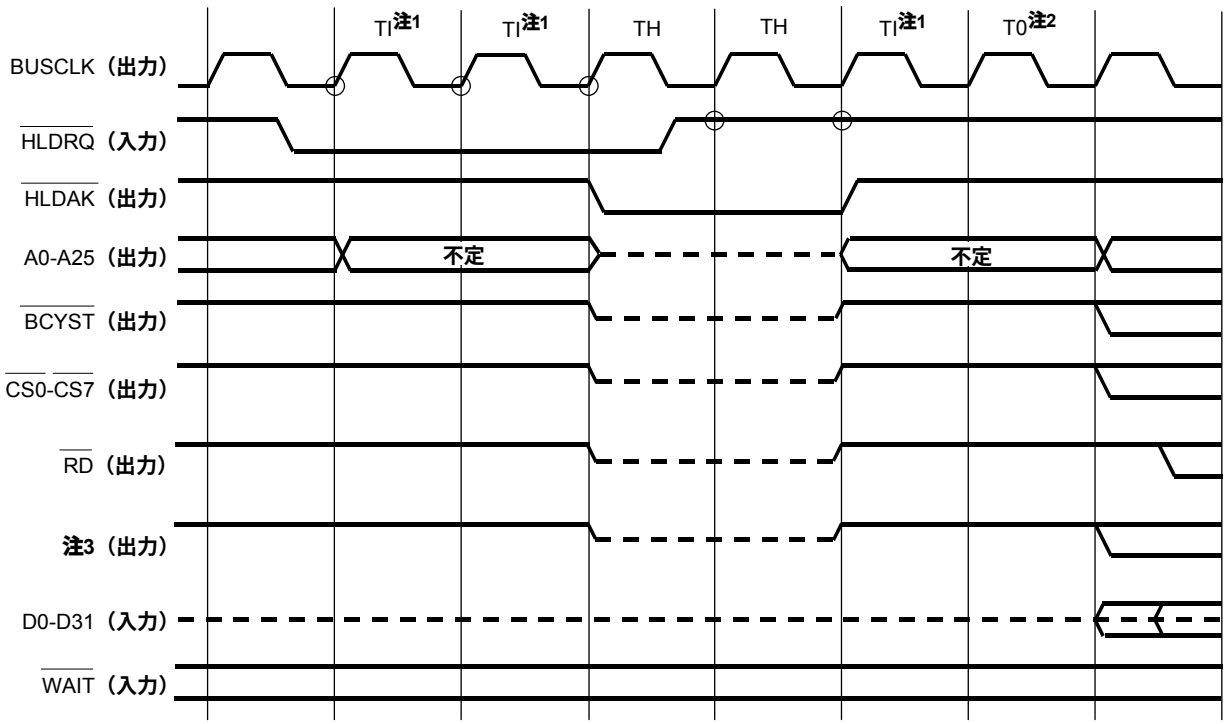
4. 11. 3　パワー・セーブ・モード時の動作

ソフトウエアSTOPモード期間中およびIDLEモード期間中は，内部システム・クロック（f_{CLK}）が停止するため，HLDRQ端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは，HLDRQ端子がアクティブになると，ただちにHLDAK端子がアクティブになり，バス・ホールド状態になります。その後，HLDRQ端子がインアクティブになると，HLDAK端子もインアクティブになり，バス・ホールド状態は解除され，再びHALTモードに戻ります。

4. 11. 4　バス・ホールド・タイミング

(1) バス・サイクルが発生していない状態でバス・ホールド要求があった場合



注1.　BCC**レジスタの設定に依存しないアイドル・ステート**（TI）**です。**

2.　**バス・サイクル間に挿入されるステート**（T0）**です。**

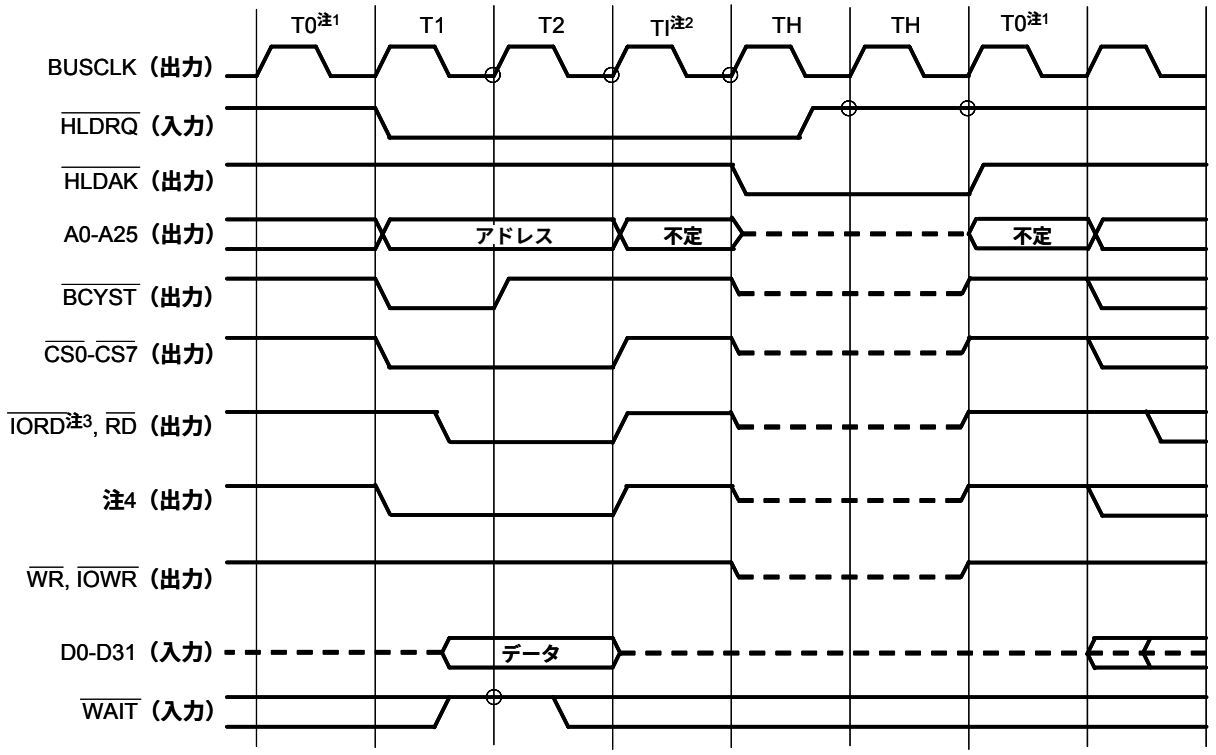
3.　LLWR/LLBE/LLDQM, UUWR/ UUBE/UUDQM, LUWR/LUBE/LUDQM, ULWR/ULBE/ULDQM, WE/WR, IORD, IOWR, SDRAS, SDCAS

備考1.　**○印はサンプリング・タイミングです。**

2.　**破線はハイ・インピーダンスを示します。**

4. 11. 5　バス・ホールド・タイミング（SRAM）

（1）SRAM（リード時，先読みなし，アイドル・ステート挿入なし，BUSCLK = fCLK/2設定時）



注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

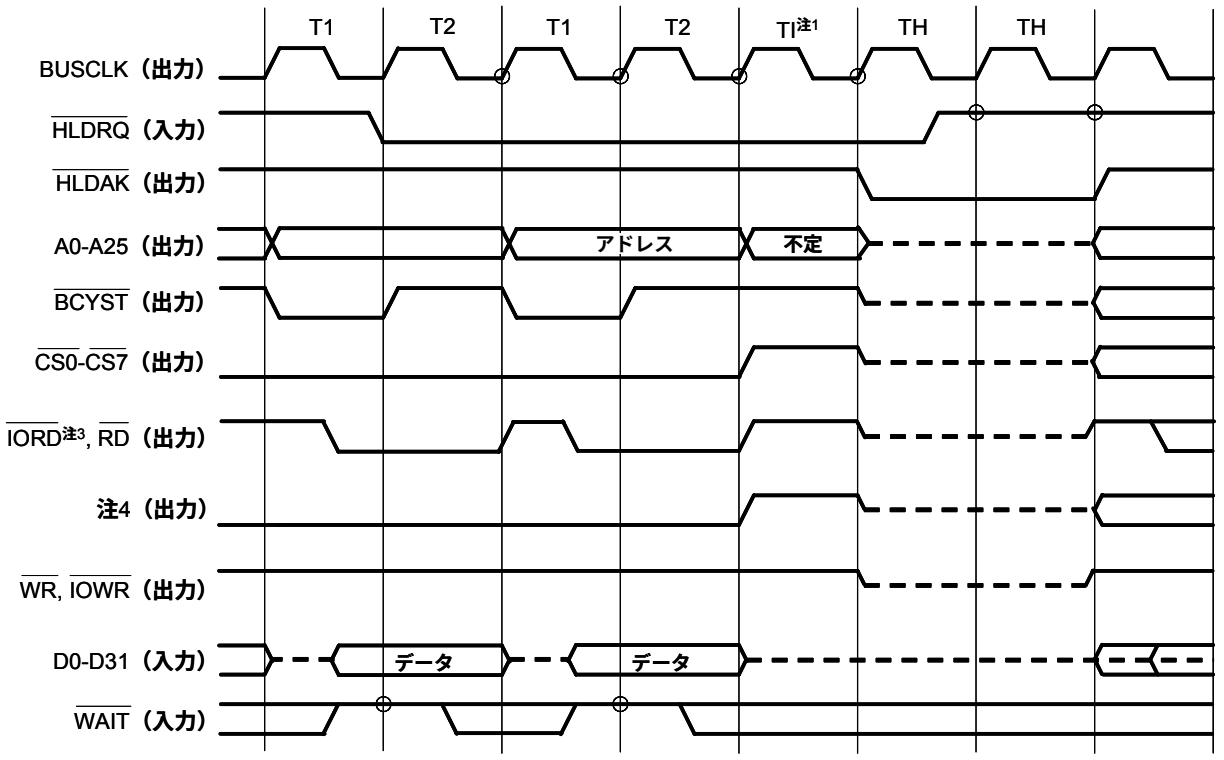
3.　BCPレジスタのIOENビットをセット（1）した場合

4.　UUBE, ULBE, LUBE, LLBE

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

（2）SRAM（リード時，先読みあり，アイドル・ステート挿入なし，BUSCLK = fCLK/2設定時）



注1. BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

2. バス・サイクル間に挿入されるステート（T0）です。

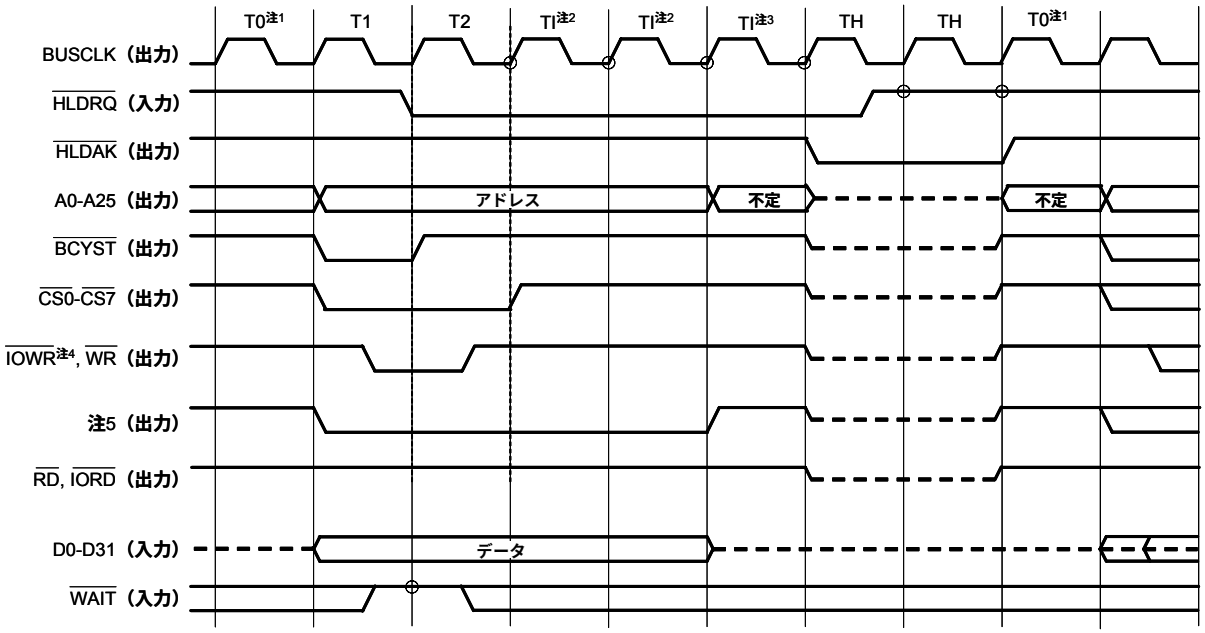
3. BCPレジスタのIOENビットをセット（1）した場合

4. UUBE, ULBE, LUBE, LLBE

備考1. ○印はサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

（3）SRAM（ライト時，アイドル・ステートを2ステート挿入した場合，BUSCLK = fCLK/2設定時）



注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　BCCレジスタの設定により挿入されるアイドル・ステート（TI）です。

3.　BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

4.　BCPレジスタのIOENビットをセット(1)した場合

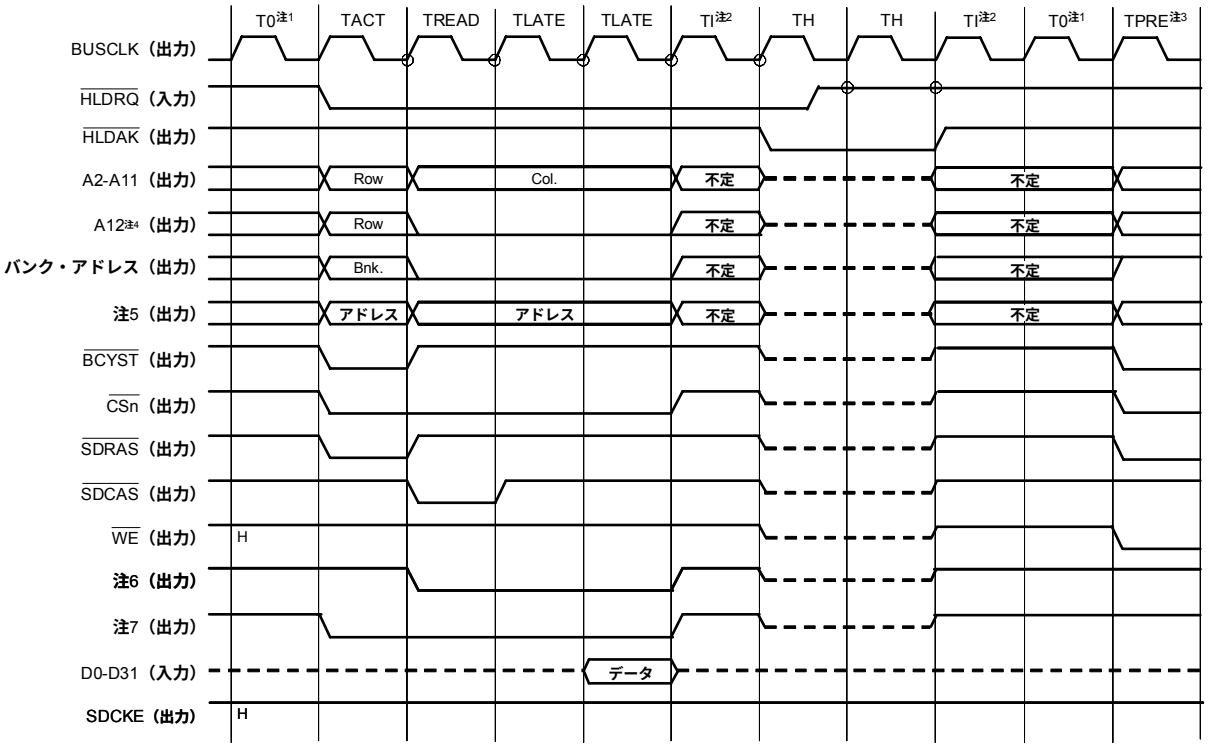
5.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

4. 11. 6　バス・ホールド・タイミング（SDRAM）

（1）SDRAM（リード時，レーテンシ = 2の場合，アイドル・ステート挿入なし）



★

注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

3.　必ずオール・バンク・プリチャージ・コマンドが実行されます。

4.　外部バスが32ビット・バス幅の場合です。また，16ビット・バス幅の場合はA11，8ビット・バス幅の場合はA10に読み替えてください。

5.　バンク・アドレス，A12, A2-A11以外のアドレス

6.　$\overline{\text{xx}}$WR出力モード/xxDQM出力モード設定時（PFCCTレジスタのPFCCTmビット = 0）

7.　$\overline{\text{xx}}$BE出力モード/xxDQM出力モード設定時（PFCCTレジスタのPFCCTmビット = 1）

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

3.　n = 1, 3, 4, 6

m = 0-3

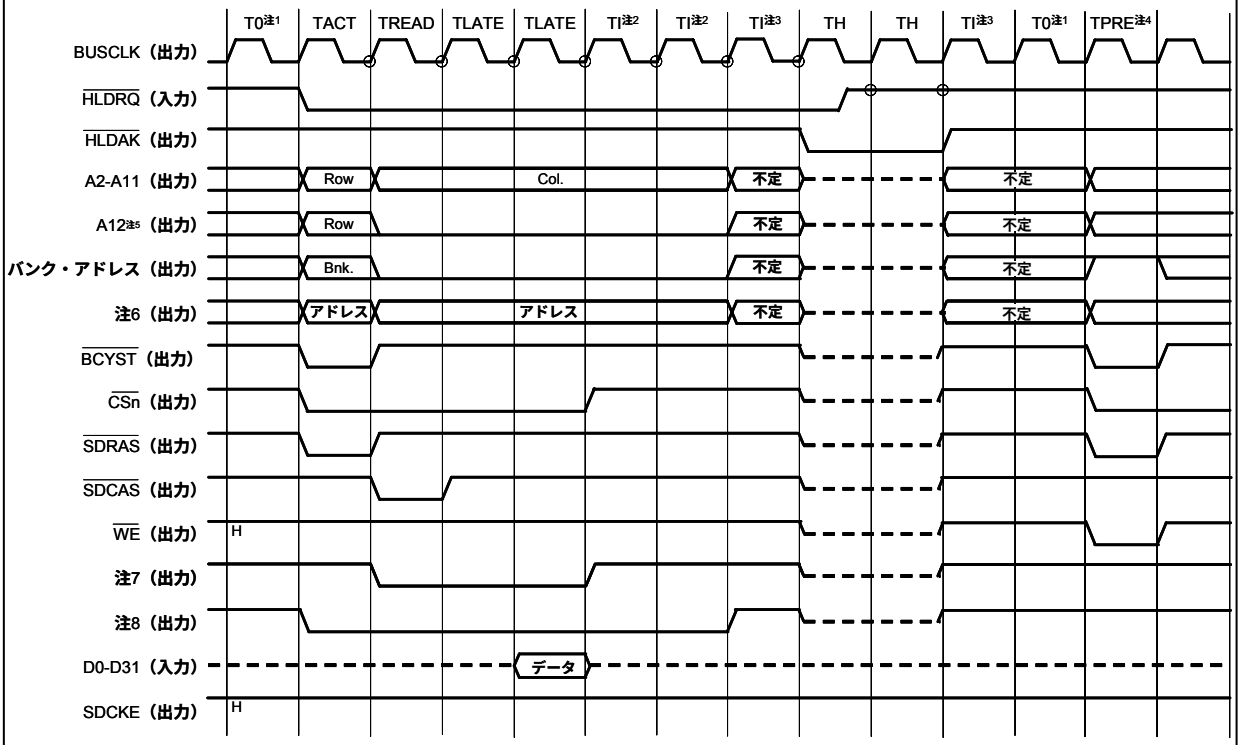
xx = UU, UL, LU, LL

4.　Bnk.　：バンク・アドレス

Col.　：カラム・アドレス

Row　：ロウ・アドレス

（2）SDRAM（リード時，レーテンシ = 2の場合，アイドル・ステートを2ステート挿入，32ビット・バス幅）



注1. バス・サイクル間に挿入されるステート（T0）です。

2. BCCレジスタの設定により挿入されるアイドル・ステート（TI）です。

3. BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

4. 必ずオール・バンク・プリチャージ・コマンドが実行されます。

5. 外部バスが32ビット・バス幅の場合です。また，16ビット・バス幅の場合はA11，8ビット・バス幅の場合はA10に読み替えてください。

6. バンク・アドレス，A12, A2-A11以外のアドレス

7. $\overline{\text{xxWR}}$出力モード/xxDQM出力モード設定時（PFCCTレジスタのPFCCTmビット = 0）

8. $\overline{\text{xxBE}}$出力モード/xxDQM出力モード設定時（PFCCTレジスタのPFCCTmビット = 1）

備考1. ○印はサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

3. n = 1, 3, 4, 6

m = 0-3

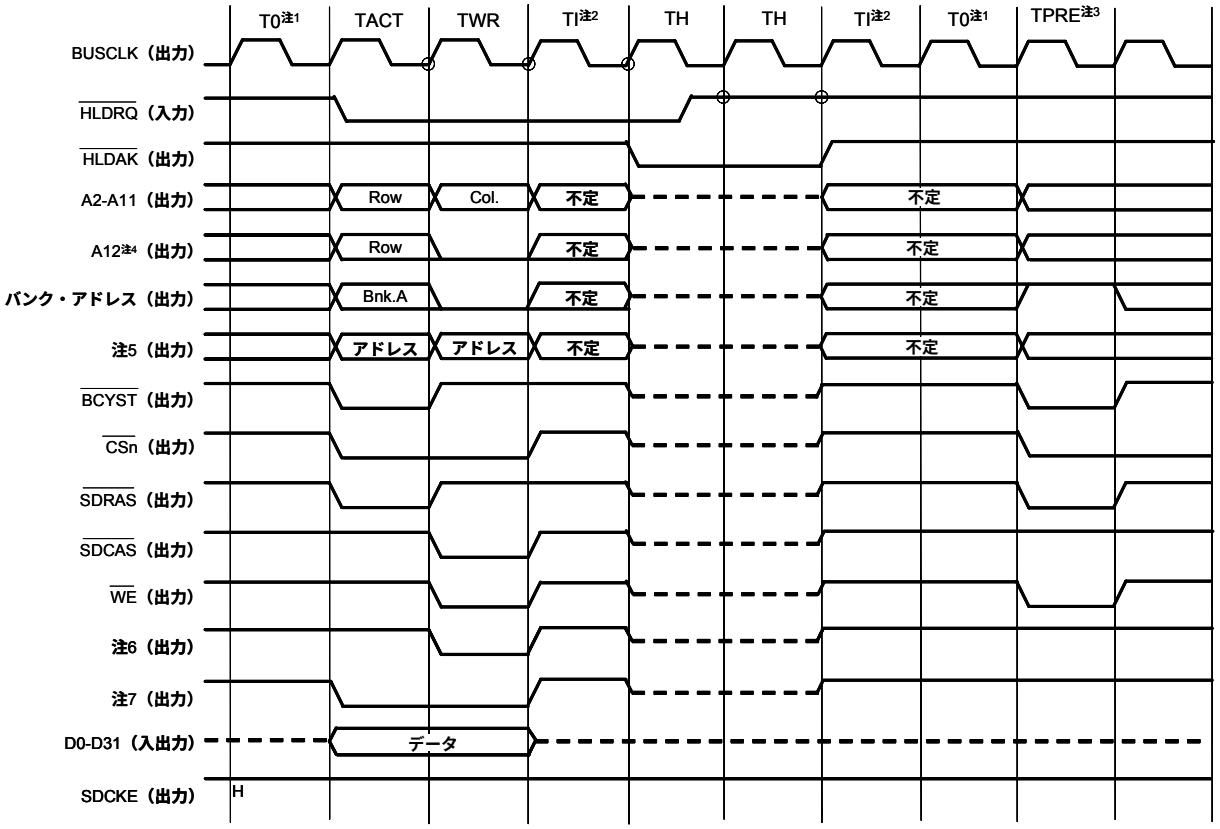
xx = UU, UL, LU, LL

4. Bnk. ：バンク・アドレス

Col. ：カラム・アドレス

Row ：ロウ・アドレス

(3) SDRAM（ライト時）



注1. バス・サイクル間に挿入されるステート（T0）です。

2. BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

3. 必ずオール・バンク・プリチャージ・コマンドが実行されます。

4. 外部バスが32ビット・バス幅の場合です。また，16ビット・バス幅の場合はA11，8ビット・バス幅の場合はA10に読み替えてください。

5. バンク・アドレス，A12, A2-A11以外のアドレス

6. $\overline{\text{xxWR}}$出力モード/xxDQM出力モード設定時（PFCCTレジスタのPFCCTmビット = 0）

7. $\overline{\text{xxBE}}$出力モード/xxDQM出力モード設定時（PFCCTレジスタのPFCCTmビット = 1）

備考1. ○印はサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

3. n = 1, 3, 4, 6

m = 0-3

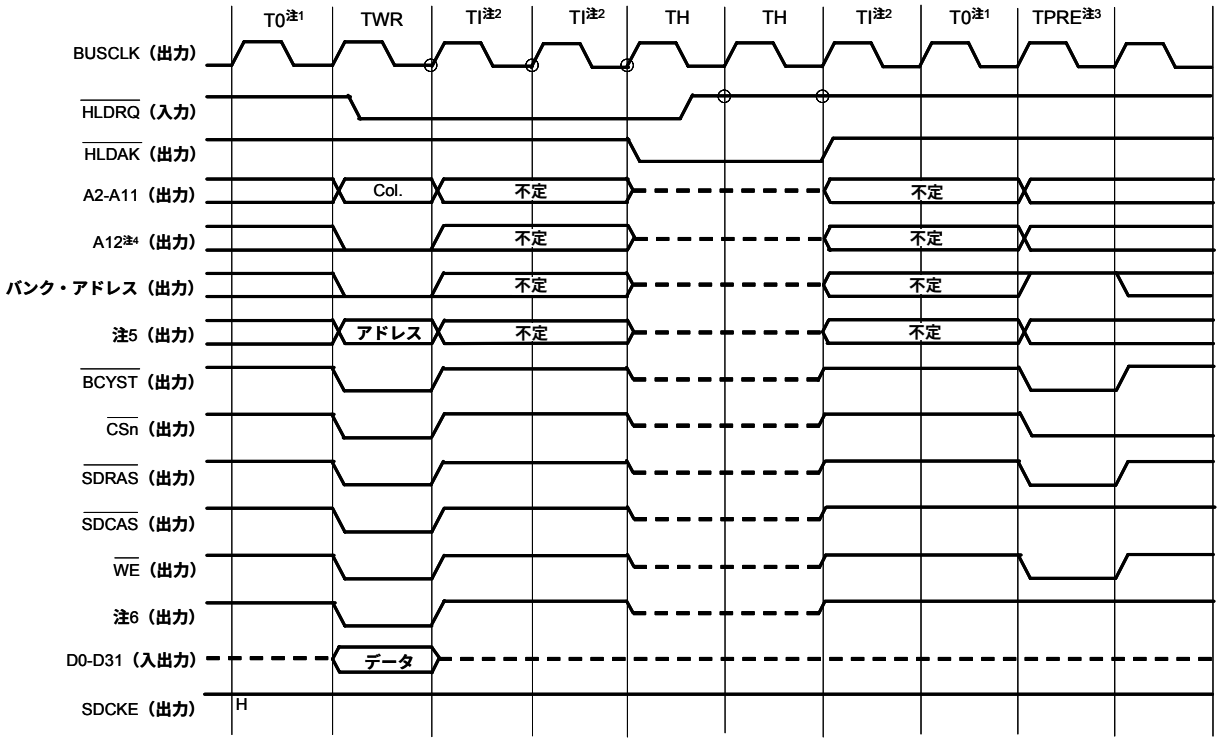
xx = UU, UL, LU, LL

4. Bnk. ：バンク・アドレス

Col. ：カラム・アドレス

Row ：ロウ・アドレス

（4）SDRAM（ライト時，オンページ・アクセス中にバス・ホールド要求が受け付けられた場合）



注1. バス・サイクル間に挿入されるステート（T0）です。

2. BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

3. 必ずオール・バンク・プリチャージ・コマンドが実行されます。

4. 外部バスが32ビット・バス幅の場合です。また，16ビット・バス幅の場合はA11，8ビット・バス幅の場合はA10に読み替えてください。

5. バンク・アドレス，A12, A2-A11以外のアドレス

6. UUDQM, ULDQM, LUDQM, LLDQM

備考1. ○印はサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

3. n = 1, 3, 4, 6

4. Col. ：カラム・アドレス

4. 12　バスの優先順位

外部バス・サイクルには，バス・ホールド，命令フェッチ，オペランド・データ・アクセス，DMAサイクル，リフレッシュ・サイクルの5つがあります。

優先順位はバス・ホールドが最も高く，リフレッシュ・サイクル，DMAサイクル，オペランド・データ・アクセス，命令フェッチの順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には，命令フェッチが挿入されることがあります。

また，CPUバス・ロック時のバス・アクセスとバス・アクセスの間にも，命令フェッチが挿入されることがあります。

表4－2　バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い	バス・ホールド	外部デバイス
↑	リフレッシュ・サイクル	SDRAMコントローラ
	DMAサイクル	DMAコントローラ
↓	オペランド・データ・アクセス	CPU
低い	命令フェッチ	CPU

4. 13　境界動作条件

4. 13. 1　プログラム空間

内蔵周辺I/O領域への分岐は行わないでください。分岐を行った場合，不定データをフェッチし，外部メモリからのフェッチなどは行いません。

4. 13. 2　データ空間

V850E/ME2はアドレス・ミス・アライン機能を内蔵しています。

この機能により，データの形式（ワード・データ，ハーフワード・データ）にかかわらず，すべてのアドレスに対してデータを配置できます。ただし，ワード・データ，ハーフワード・データの場合，データが境界整列していないと，バス・サイクルが最低2回は発生し，バス効率が低下します。

(1) 外部バス幅：16ビット

(a) ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが1のとき，バイト長のバス・サイクルを2回生成します。

(b) ワード長のデータ・アクセスの場合

(i) アドレスの最下位ビットが1のとき，バイト長のバス・サイクル，ハーフワード長のバス・サイクル，バイト長のバス・サイクルの順でバス・サイクルを生成します。

(ii) アドレスの下位2ビットが10のとき，ハーフワード長のバス・サイクルを2回生成します。

(2) 外部バス幅：32ビット

(a) ハーフワード長のデータ・アクセスの場合

アドレスの下位2ビットが11のとき，バイト長のバス・サイクルを2回生成します。

(b) ワード長のデータ・アクセスの場合

アドレスの下位2ビットが10のとき，ハーフワード長のバス・サイクルを2回生成します。

4. 14　T0ステートが挿入されないタイミング

次にT0ステートが挿入されないタイミングを示します。

(1) リード時

○命令キャッシュ使用時のリフィル動作時（2回目のサイクル以降）
○先読み動作時（2回目のサイクル以降）
○ライト動作直後にリード動作が発生する場合などで，外部デバイスへのライト動作が完了する前に，リード要求（命令フェッチやDMAによるリード要求を含む）が発生した場合
○外部デバイスのバス幅より大きいリード要求（命令フェッチやDMAによるリード要求を含む）が発生した場合（2回目のサイクル以降）

[例]

・外部16ビット・バス幅時の32ビット・リード・アクセス
・外部8ビット・バス幅時の32ビット・リード・アクセスまたは16ビット・リード・アクセス

(2) ライト時

○ライト動作直後にライト動作が発生する場合などで，外部デバイスへのライト動作が完了する前に，ライト要求（DMAによるライト要求を含む）が発生し，ライト・バッファにデータが格納された場合（ライト・バッファに格納されたデータを外部デバイスにライトするサイクル）
○先読み動作中にライト要求（DMAによるライト要求を含む）が発生した（ライト・バッファに格納された）場合
○外部デバイスのバス幅より大きいライト要求（DMAによるライト要求を含む）が発生した場合（2回目のサイクル以降）

[例]

・外部16ビット・バス幅時の32ビット・ライト・アクセス
・外部8ビット・バス幅時の32ビット・ライト・アクセスまたは16ビット・ライト・アクセス

4. 15　注意事項

バス制御機能についての注意事項を次に示します。

(1) 内蔵命令RAM（ライト・モード時）へのアクセス

内蔵命令RAM（ライト・モード時）へのアクセスは，BUSCLKで動作するため（内蔵命令RAM（リード・モード時）の場合は内部システム・クロック（f_{CLK}）），CS0空間に対するプログラマブル・ウエイト，アドレス・セットアップ・ウエイト，アイドル・ステートの挿入が有効になります。

(2) LBCnレジスタ設定時の注意

- CSn空間ごとに先読み機能を設定する場合には，先読み機能を有効にするCSn空間に対してBCCレジスタによるアイドル・ステートの挿入をしないでください（n = 0-7）。先読み機能を有効にするCSn空間に対して，アイドル・ステートの挿入が必要な場合には，全CS空間に対して，先読み機能を有効にする（LBC0, LBC1レジスタをともに3333Hに設定）か，先読み機能を無効（LBC0, LBC1レジスタをともに0000Hに設定）するかしてください。
- 32ビット・バス幅でアクセスするSDRAMに対しては，先読み機能を無効にしてください。

(3) 外部デバイスへのライト動作

外部デバイスへのライト動作を行うとき，ライト・バッファにより，CPUライト動作が完了しても外部デバイスへのライト動作が実行されていない場合があります。また，CPU動作としては，ライト動作完了後，ライト・バッファにデータが存在しても内蔵周辺I/Oレジスタへのアクセスができます。このため，外部メモリ・サイクルを実行後，その外部メモリ・サイクルの完了を待ってから内蔵周辺I/Oレジスタ値を変更する必要がある場合には，LBC0レジスタまたはLBC1レジスタに初期設定値と同一の値を書き込んだあと，またはWASレジスタに00Hを書き込んだあとに，値を変更すべき内蔵周辺I/Oレジスタへの書き込みを行ってください。LBC0レジスタまたはLBC1レジスタへの初期設定値の同値書き込みを行わずにLBC0レジスタまたはLBC1レジスタ以外の内蔵周辺I/Oレジスタへの書き込みを行う場合，またはWASレジスタの00Hのライト動作を行わずにWASレジスタ以外の内蔵周辺I/Oレジスタへの書き込みを行う場合には，外部メモリ・サイクル終了前にレジスタ値が変更される可能性があります。

(4) 外部デバイスへのライト動作を行う2サイクル転送

外部デバイスへのライト動作を行う2サイクル転送時には，ライト・バッファにより，DCHCnレジスタのTCnビット= 1（DMA転送完了）が読み出されても，外部デバイスへのライト動作が完了していない場合があります（n = 0-3）。DMA転送の完了（外部デバイスへのライト動作の完了）を待ってから，内蔵周辺I/Oレジスタの値を変更する必要がある場合には，次のいずれかの動作を行ってください。

- $\overline{\text{TCn}}$信号をモニタしてください（$\overline{\text{TCn}}$信号は外部デバイスへのライト動作に同期してアクティブになります）。
- TCnビットのセット（1）を検出後，WASレジスタに00Hを書き込むか，LBC0レジスタまたはLBC1レジスタへの初期設定値の同値書き込みを行ったあとで，内蔵周辺I/Oレジスタの値を変更してください。LBC0またはLBC1レジスタへの同値書き込みを行わずにLBC0またはLBC1レジスタ以外の内蔵周辺I/Oレジスタの値を変更した場合，またはWASレジスタの00Hのライト動作を行わずにWASレジスタ以外の内蔵周辺I/Oレジスタの値を変更した場合には，DMA転送が完了する前に内蔵周辺I/Oレジスタの値が変更されることがあります。

(5) BMCレジスタ設定時の注意

内部システム・クロック = バス・クロック（BMCレジスタのCKM1, CKM0ビット = 00）で使用，かつ先読み機能を有効（LBCmレジスタのRBk1, RBk0ビット = 11）にする場合は，SRAMまたはページROMのサイクルを起動するすべてのCS空間のウエイト設定（DWCmレジスタのDWk2-DWk0ビット），またはアドレス・セットアップ・ウエイト設定（ASCレジスタのACk1, ACk0ビット）を1以上に設定してください（m = 0, 1，k = 0-7）。

(6) DWCnレジスタ設定時の注意

内蔵命令RAM領域（ライト・モード時）にアクセスしたときは，CS0空間に対するプログラマブル・ウエイト設定値が有効になります。

(7) ASCレジスタ設定時の注意

PFCCSレジスタで$\overline{\text{CSn}}$信号の遅延を行った場合は，必ずアドレス・セットアップ・ウエイト・ステート数を1以上に設定してください（n = 0-7）。

(8) BCPレジスタ設定時の注意

BCPレジスタのIOENビットをセット（1）した状態で内蔵命令RAM（ライト・モード時）にアクセスした場合，$\overline{\text{IOWR}}$信号はインアクティブ状態になります。

(9) BCCレジスタ設定時の注意

アイドル・ステート時に$\overline{\text{CSn}}$信号はアクティブにはなりません（n = 0-7）。

（10）BHCレジスタ設定時の注意

- BHCレジスタの設定は，必ずキャッシュ不可領域で行ってください（キャッシュ可能領域から行った場合は正常に命令フェッチができません）。
- BHCレジスタの設定を行う命令自身が存在する領域をキャッシュ不可領域→キャッシュ可能領域，またはキャッシュ可能領域→キャッシュ不可領域にすることはできません（変更した場合の動作は保証しません）。この場合，領域1に分岐してから領域1内の命令で領域0をキャッシュ可能領域に設定し，必要に応じて，再度，領域0に分岐してください。
  なお，内蔵命令RAM領域上であれば，いずれのCS空間に対してもキャッシュ不可，キャッシュ可能の設定ができます。
- 隣接するメモリ領域がキャッシュ可能領域とキャッシュ不可領域であった場合，このメモリ境界間を連続的にアクセスする場合は，分岐命令によってのみ可能です。分岐命令以外の命令で，このメモリ境界を連続的にアクセスした場合の動作は保証しません。

（11）IRAMMレジスタ設定時の注意

- 内蔵命令RAMへの書き込みは，ワード・アクセスのみ可能です。
- 内蔵命令RAMに対するアドレス・ミス・アライン・アクセスは禁止です。

（12）内蔵命令RAM領域へのライト動作

内蔵命令RAMバンク0領域は，割り込み／例外テーブルに割り当てられます。内蔵命令RAMバンク0領域に対しての命令コードの書き込みが完了するまでは，割り込み禁止としてください。また，同様に内蔵命令RAMバンク0領域をライト・モードに指定している場合も，割り込み禁止としてください。

第5章　メモリ・アクセス制御機能

5. 1　SRAM，外部ROM，外部I/Oインタフェース

5. 1. 1　特　　徴

○SRAMへのアクセスは最小2ステート

○DWC0, DWC1レジスタ（DMAフライバイ転送時：FWCレジスタ）の設定により，最大7ステートのプログラマブルなデータ・ウエイトを挿入可能

○$\overline{\text{WAIT}}$端子の入力により，データ・ウエイトを制御可能

○BCCレジスタ（DMAフライバイ転送時：FICレジスタ）の設定により，リード／ライト・サイクルのあとに最大3ステートのアイドルを挿入可能

○ASCレジスタの設定により，最大3ステートのアドレス・セットアップ・ウエイトを挿入可能

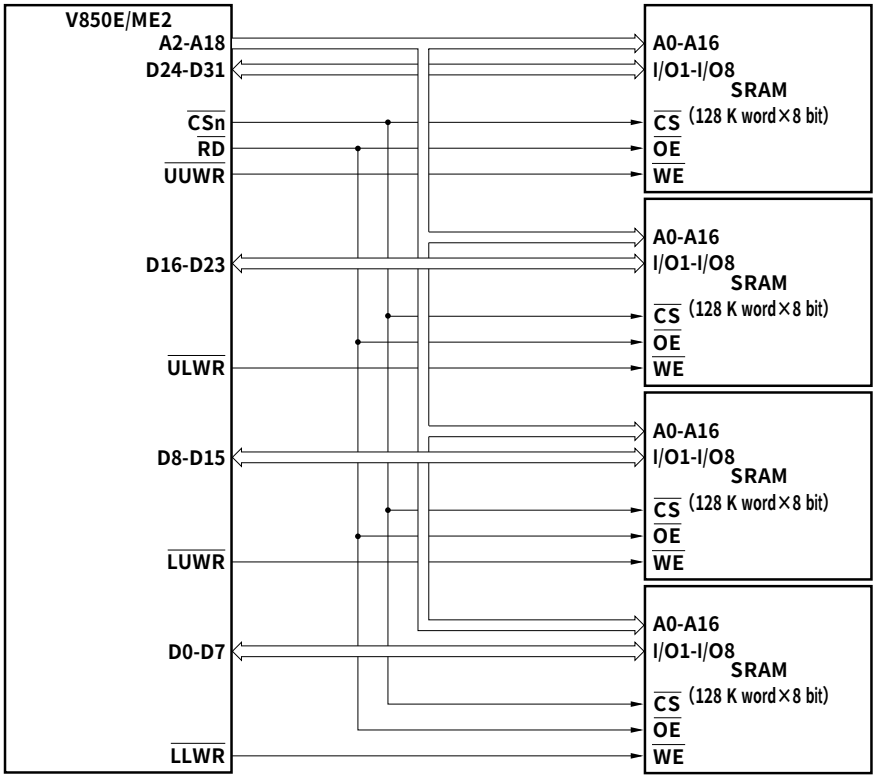
○DMAフライバイ転送を起動可能（SRAM→外部I/O，外部I/O→SRAM）

5. 1. 2　SRAMの接続

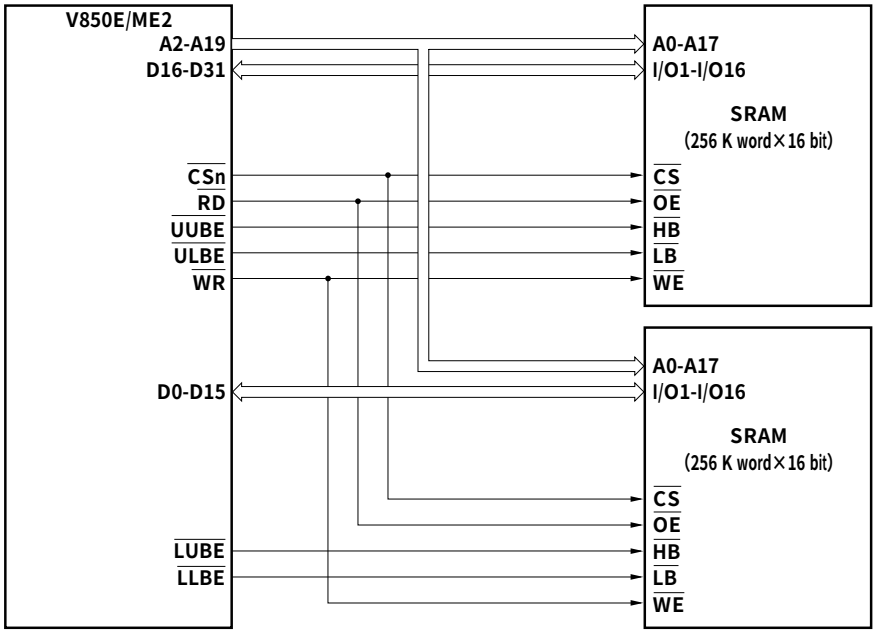
SRAMとの接続例は次のようになります。

図5ー1　SRAMとの接続例

(a) 8ビット・データ・バス幅の場合



(b) 16ビット・データ・バス幅の場合

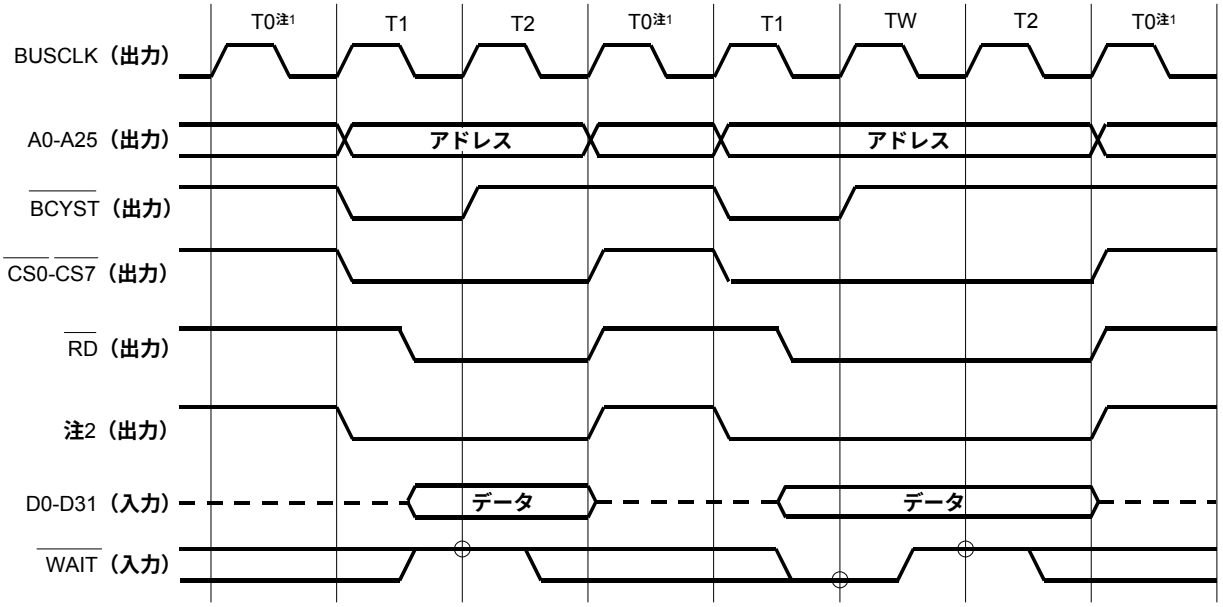


備考　n = 0-7

5. 1. 3　SRAM，外部ROM，外部I/Oアクセス

図5ー2　SRAM，外部ROM，外部I/Oアクセス・タイミング（1/10）

（a）リード時（先読みなし）



注1.　バス・サイクル間に挿入されるステート（T0）です。

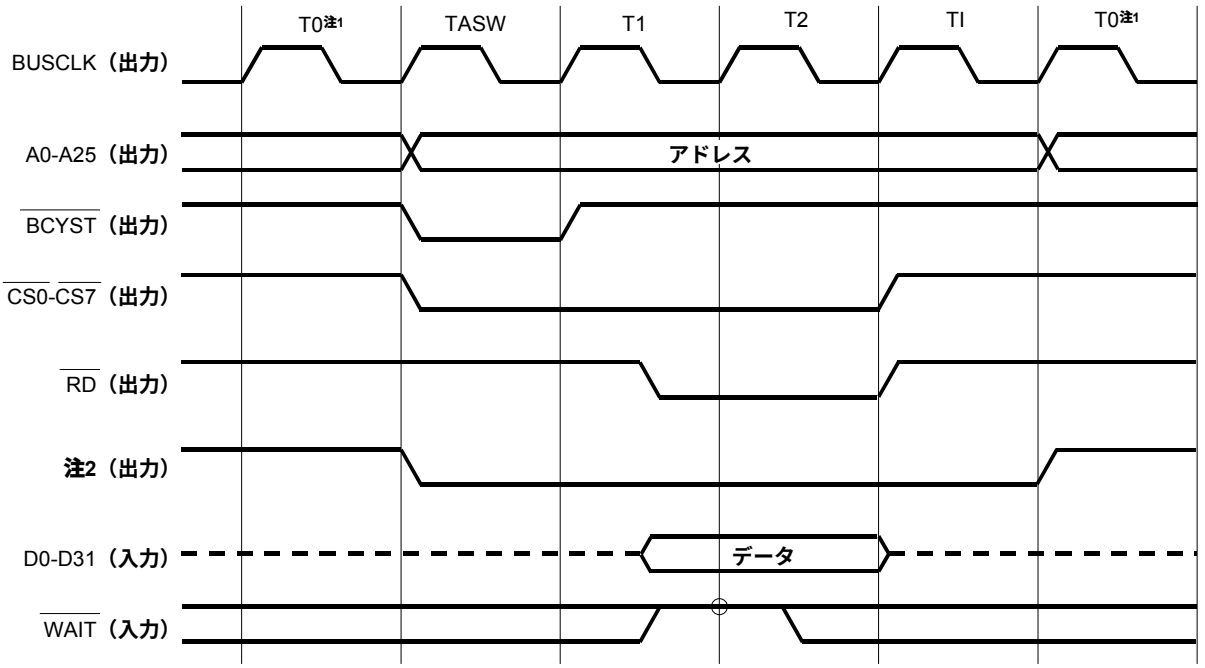
2.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

図5ー2　SRAM，外部ROM，外部I/Oアクセス・タイミング（2/10）

（b）リード時（先読みなし，アドレス・セットアップ・ウエイト，アイドル・ステート挿入）



注1.　**バス・サイクル間に挿入されるステート（T0）です。**

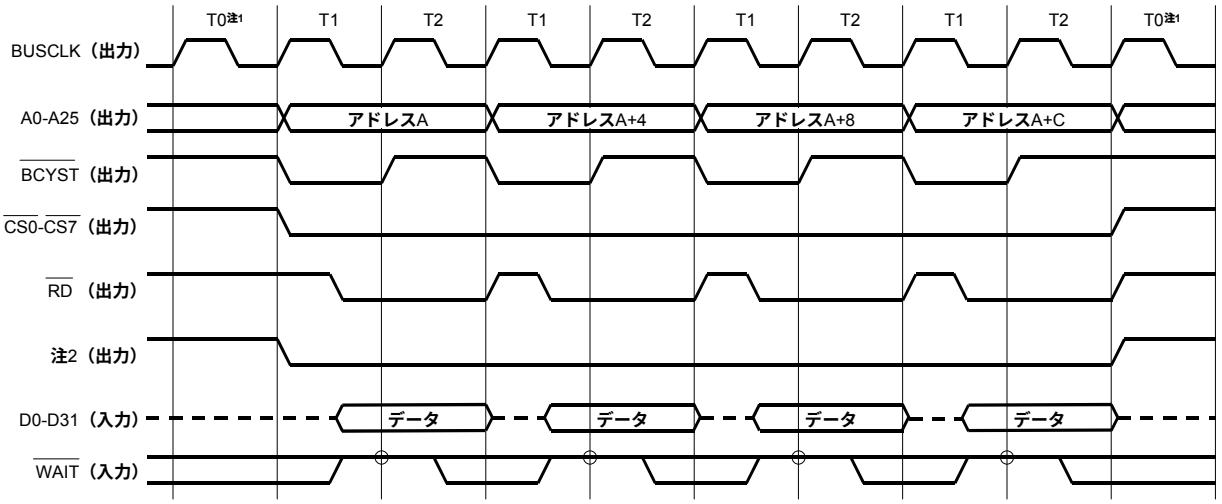
2.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　**○印はサンプリング・タイミングです。**

2.　**破線はハイ・インピーダンスを示します。**

図5ー2　SRAM，外部ROM，外部I/Oアクセス・タイミング（3/10）

（c）リード時（先読みあり，32ビット・バス幅）



注1.　**バス・サイクル間に挿入されるステート（T0）です。**

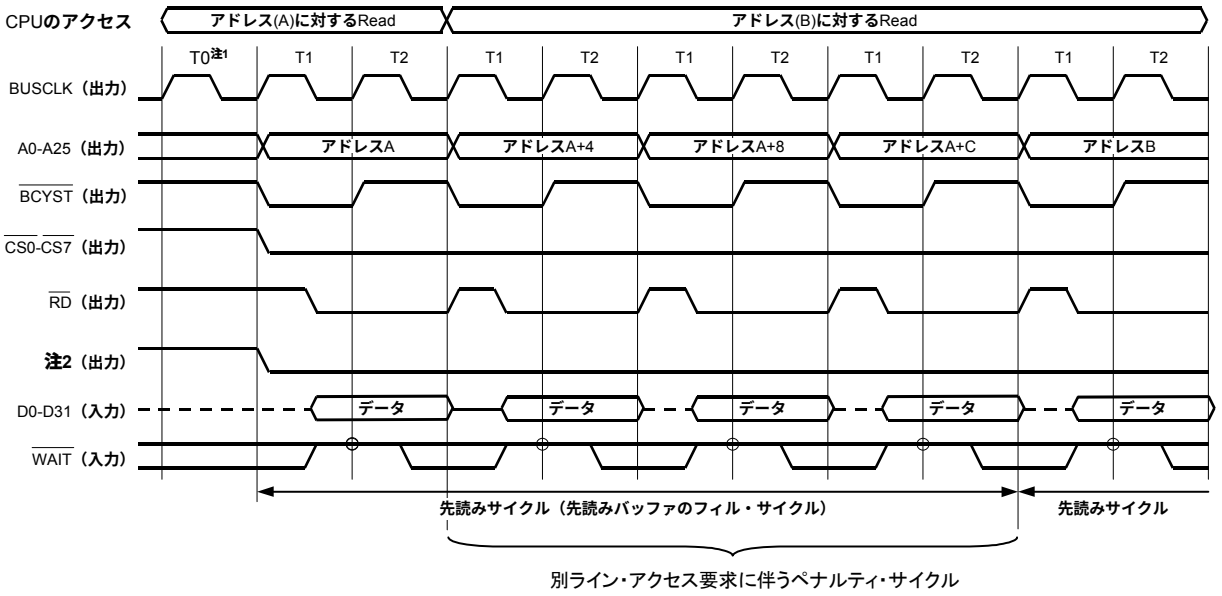
2.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　**○印はサンプリング・タイミングです。**

2.　**破線はハイ・インピーダンスを示します。**

図5ー2　SRAM，外部ROM，外部I/Oアクセス・タイミング（4/10）

（d）リード時（先読みあり，別ライン上へのアクセス）



注1.　**バス・サイクル間に挿入されるステート（**T0**）です。**

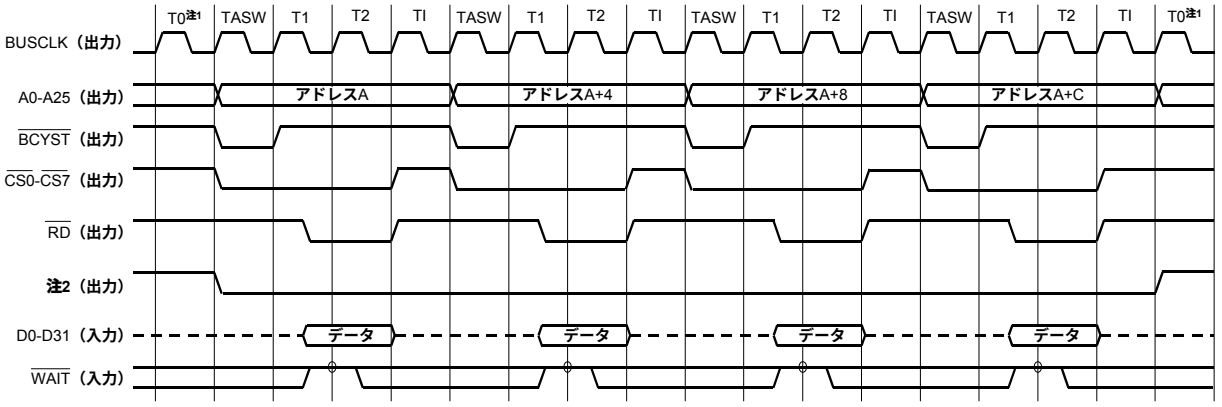
2.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　**○印はサンプリング・タイミングです。**

2.　**破線はハイ・インピーダンスを示します。**

図5ー2　SRAM，外部ROM，外部I/Oアクセス・タイミング（5/10）

(e) リード時（先読みあり，32ビット・バス幅，アドレス・セットアップ・ウエイト，アイドル・ステート挿入）



注1.　**バス・サイクル間に挿入されるステート（T0）です。**

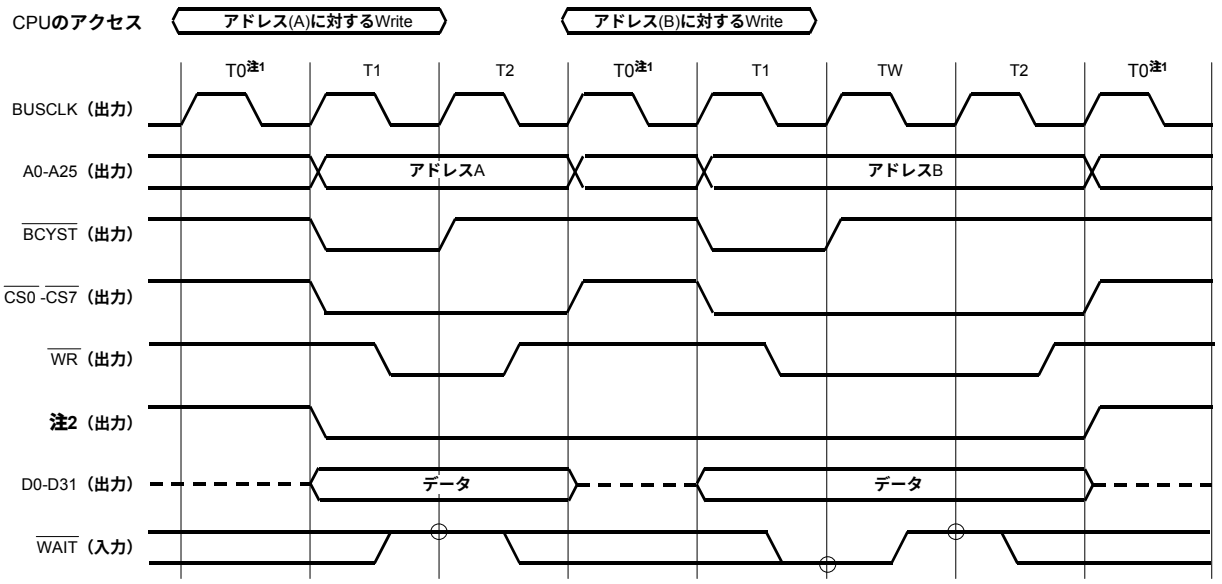
2.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　**○印はサンプリング・タイミングです。**

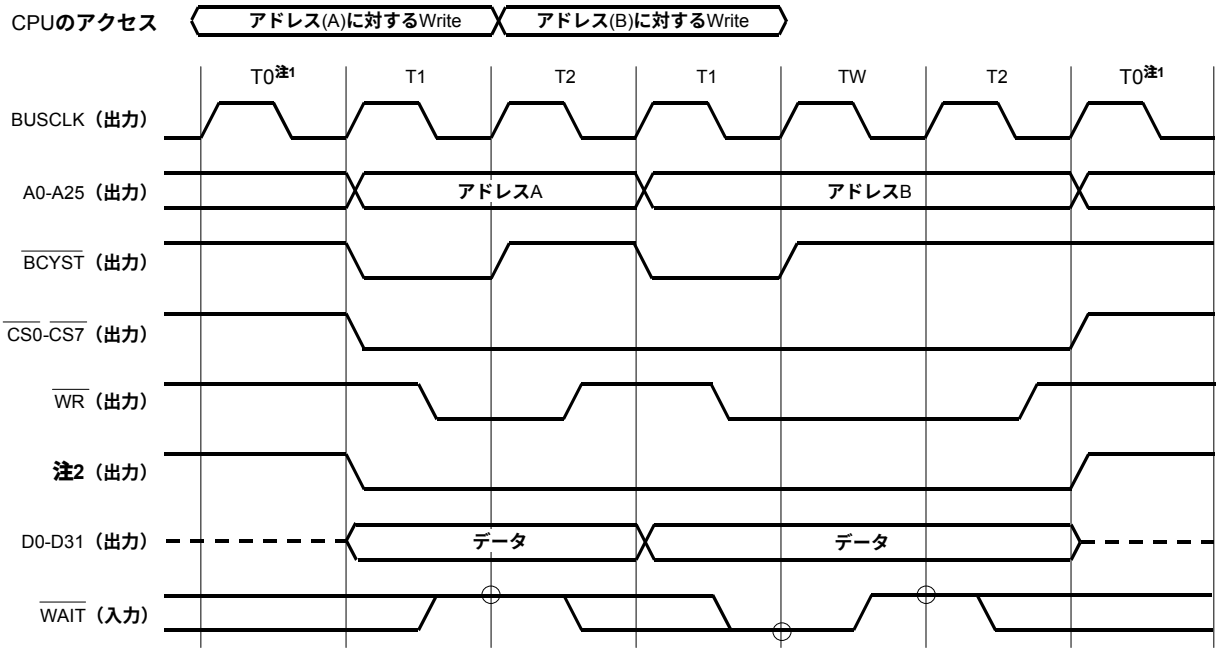
2.　**破線はハイ・インピーダンスを示します。**

図5ー2　SRAM，外部ROM，外部I/Oアクセス・タイミング（6/10）

(f) ライト時（1/2）



(f) ライト時（2/2）



注1.　バス・サイクル間に挿入されるステート（T0）です。

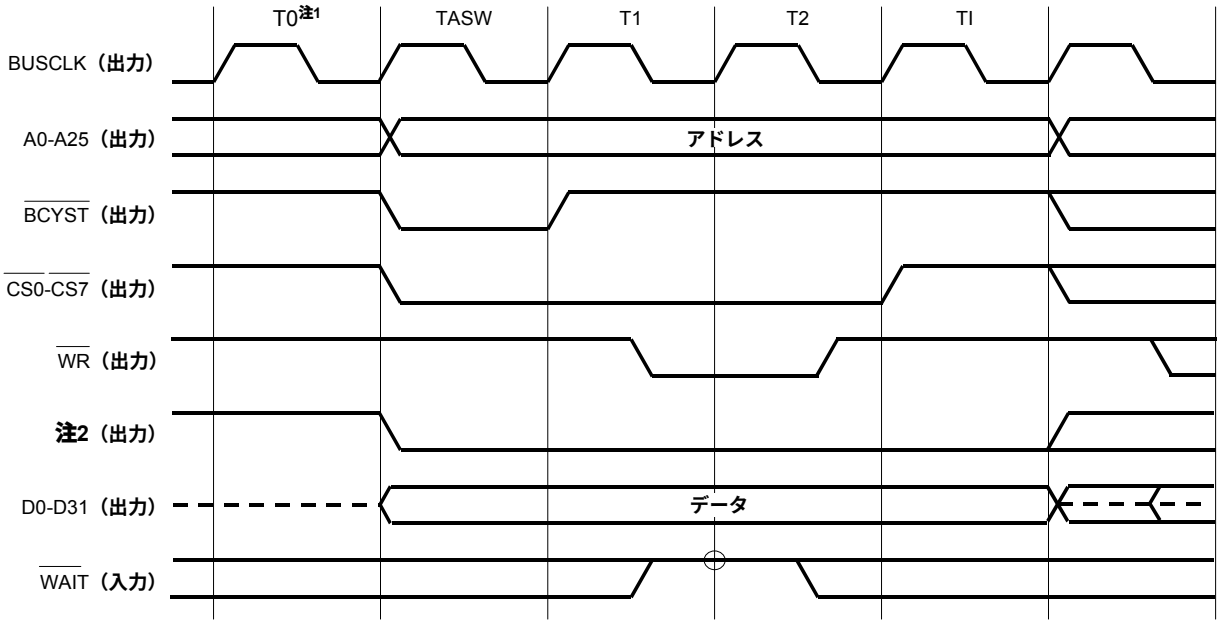
2.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

図5ー2　SRAM，外部ROM，外部I/Oアクセス・タイミング（7/10）

（g）ライト時（アドレス・セットアップ・ウエイト，アイドル・ステート挿入）



注1.　**バス・サイクル間に挿入されるステート（T0）です。**

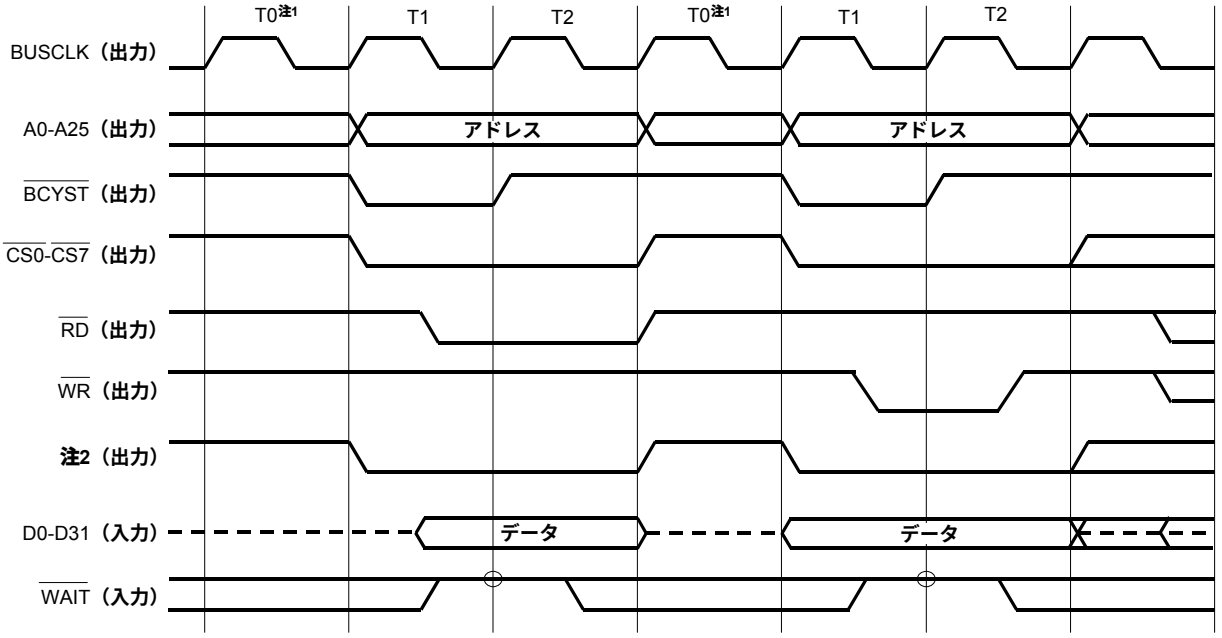
2.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　**○印はサンプリング・タイミングです。**

2.　**破線はハイ・インピーダンスを示します。**

図5ー2　SRAM，外部ROM，外部I/Oアクセス・タイミング（8/10）

（h）リード（先読みなし）→ライト時



注1.　**バス・サイクル間に挿入されるステート（T0）です。**

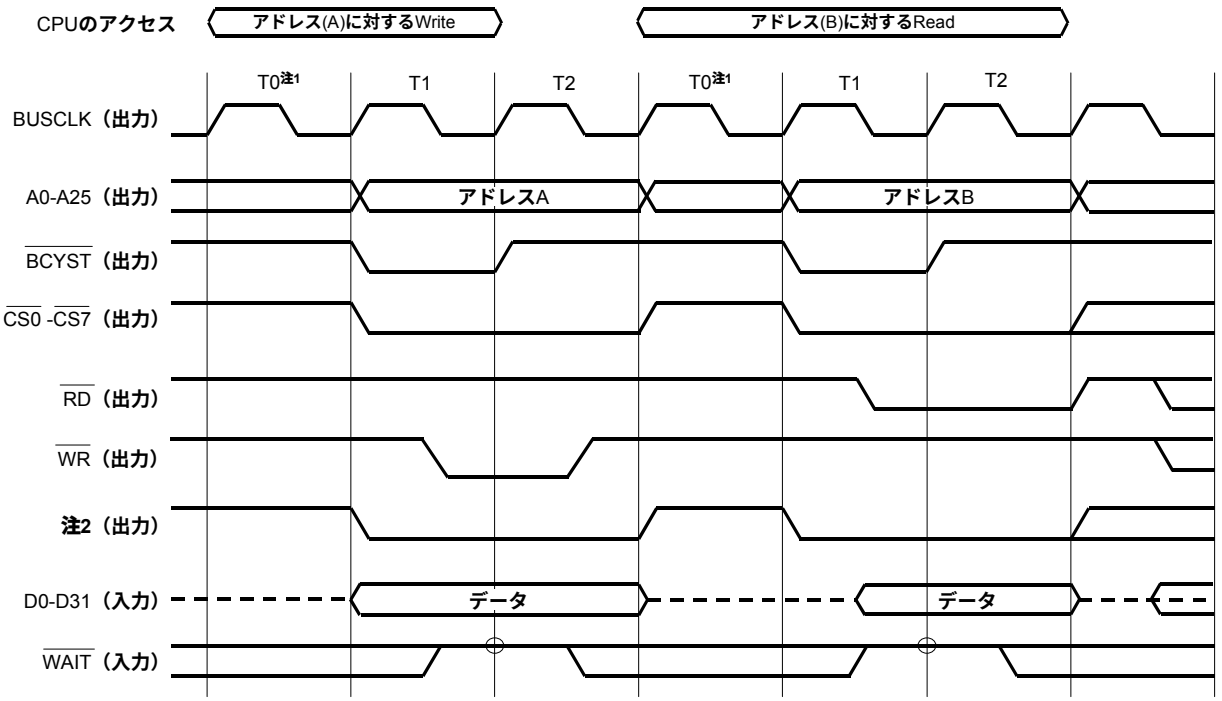
2.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　**○印はサンプリング・タイミングです。**

2.　**破線はハイ・インピーダンスを示します。**

図5ー2　SRAM，外部ROM，外部I/Oアクセス・タイミング（9/10）

（i）ライト→リード時（1/2）



注1.　バス・サイクル間に挿入されるステート（T0）です。

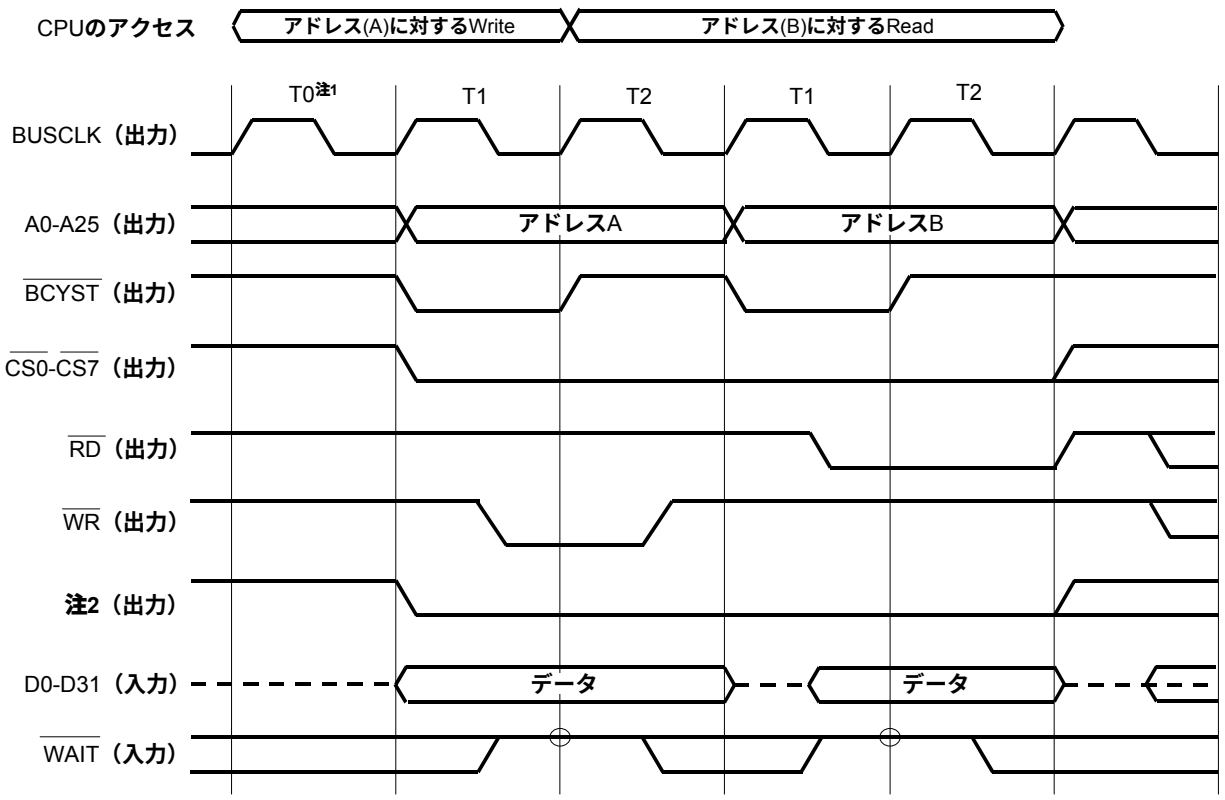
2.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

図5ー2　SRAM，外部ROM，外部I/Oアクセス・タイミング（10/10）

(i) ライト→リード時（2/2）



注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　UUBE, ULBE, LUBE, LLBE

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

5. 2　ページROMコントローラ（ROMC）

ページROMコントローラ（ROMC）は，ページ・アクセス機能付きROM（ページROM）へのアクセスに対応しています。

直前のバス・サイクルとのアドレス比較を行い，通常アクセス（オフページ）とページ・アクセス（オンページ）のウエイト制御を行います。8-128バイトのページ幅に対応できます。

5. 2. 1　特　　徴

○ 8ビット／16ビット／32ビット・ページROMと直接接続可能

○ 32ビット・バス幅時：2/4/8/16/32ワード・ページ・アクセスに対応
　16ビット・バス幅時：4/8/16/32/64ワード・ページ・アクセスに対応
　8ビット・バス幅時　：8/16/32/64/128ワード・ページ・アクセスに対応

○ ページROMへのアクセスは最小2ステート

○ オンページ判断機能

○ PRCレジスタの設定により，比較するアドレスを変更可能

○ 次に示すレジスタの設定により，最大7ステートのプログラマブルなデータ・ウエイトを挿入可能
　　オンページ・サイクル時　　：PRCレジスタ
　　オフページ・サイクル時　　：DWC0, DWC1レジスタ
　　DMAフライバイ・サイクル時：FWCレジスタ

○ $\overline{\text{WAIT}}$端子の入力により，ウエイトを制御可能

○ DMAフライバイ・サイクルを起動可能（ページROM→外部I/O）

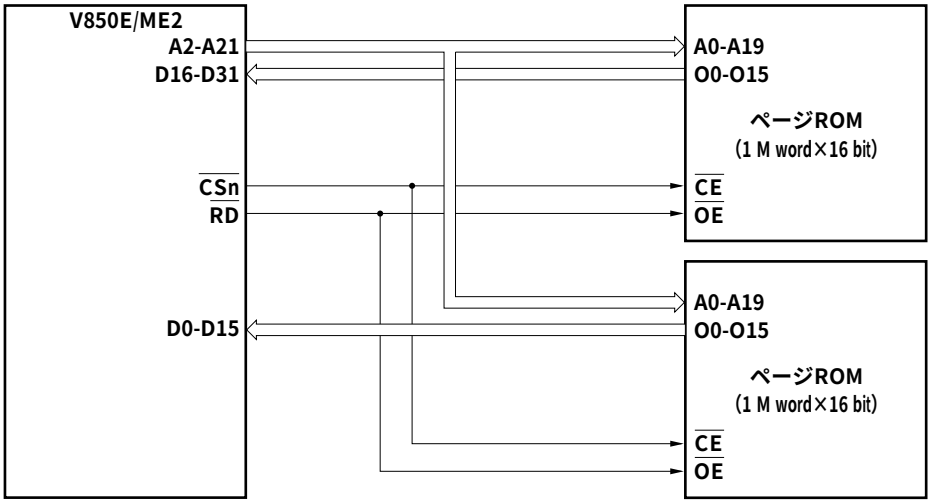
○ ページROMが配置されたCSn空間にライト・サイクルの要求があった場合は，SRAMライト・サイクルを起動（n = 0-7）

5. 2. 2　ページROMの接続

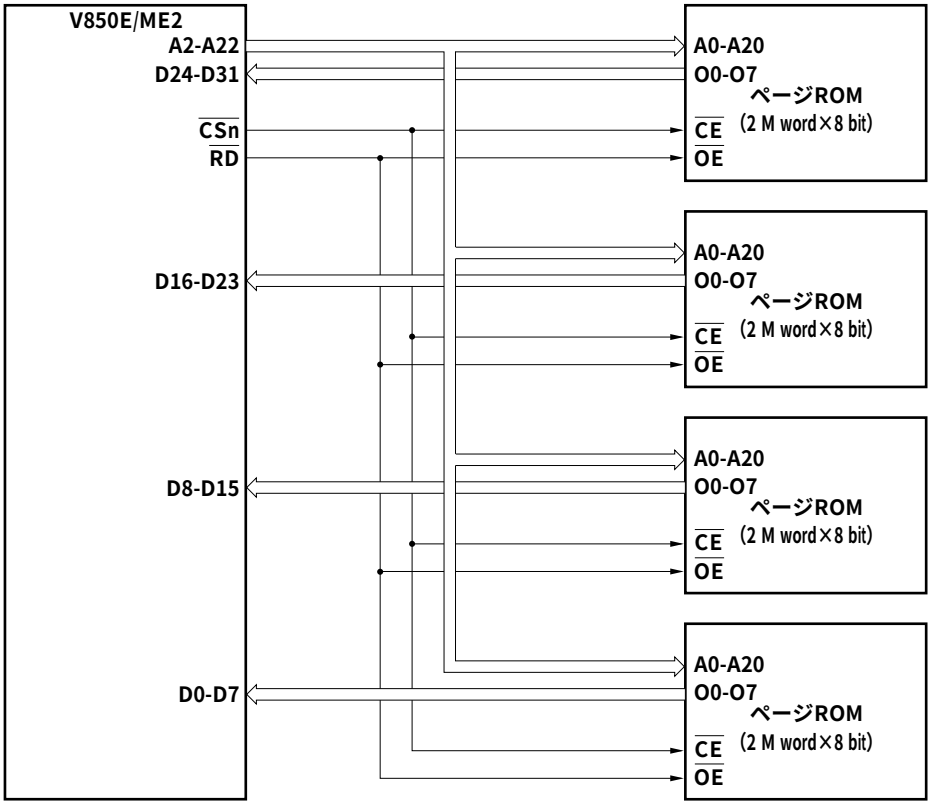
ページROMとの接続例は次のようになります。

図5－3　ページROMとの接続例

(a) 16ビット・データ・バス幅の場合



(b) 8ビット・データ・バス幅の場合



備考　n = 0-7

5. 2. 3　オンページ／オフページの判断

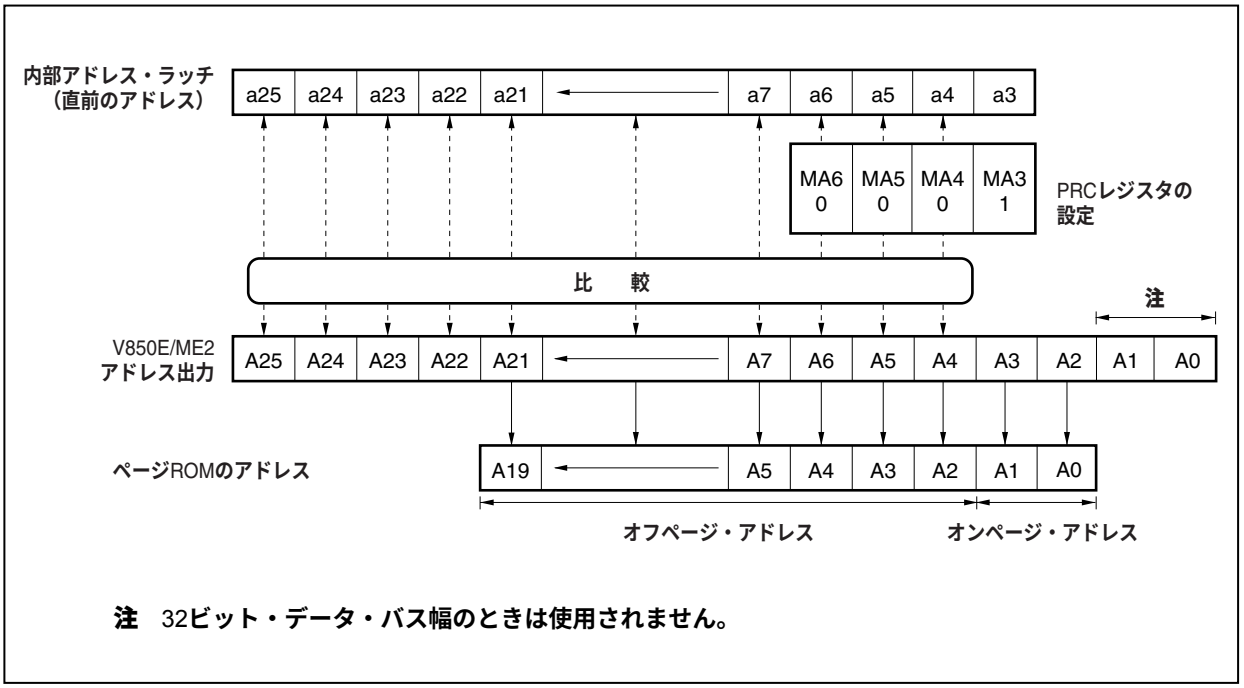
ページROMサイクルのオンページ／オフページは，前回のサイクルのアドレスをラッチして，現在のサイクルのアドレスと比較することにより判断します。なお，先読みなし（LBCmレジスタのRBn1, RBn0ビット = 00または01）または命令キャッシュ非使用に設定した場合には，次の場合を除き，オフページ・サイクルになります（m = 0, 1, n = 0-7）。

・8ビット・バス幅に対する16/32ビット・アクセス時
・16ビット・バス幅に対する32ビット・アクセス時

PRCレジスタにより接続するページROMの構成，連続する読み出し可能なビット数に応じて，アドレス（A3-A6）のうちマスクする（比較しない）アドレスを設定します。

次に，1 Mワード×8ビットのページROMを4つ接続した場合の，アドレス・マスク制御の例を示します。

図5ー4　PRCレジスタのMA6-MA3ビットによる制御例



注　32ビット・データ・バス幅のときは使用されません。

5. 2. 4　ページROMコンフィギュレーション・レジスタ（PRC）

接続するページROMの構成，連続読み出し可能なビット数に応じて，アドレス（A3-A6）のうちマスクする（比較しない）アドレスやf_{BUSCLK}に応じたウエイト数を設定します。

16ビット単位でリード／ライト可能です。

注意　PRCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，PRCレジスタの初期設定が終わるまでは，その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域のアクセスは可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
PRC	0	PRW2	PRW1	PRW0	0	0	0	0	0	0	0	0	MA6	MA5	MA4	MA3	FFFFF49AH	7000H

ビット位置	ビット名	意　味
14-12	PRW2-PRW0	f_{BUSCLK}に応じたウエイトを設定します。 オンページ時にだけ，このビットで設定するウエイトが挿入されます。オフページ時には，DWC0, DWC1レジスタで設定するウエイトが挿入されます。
3-0	MA6-MA3	MA6-MA3に対応してそれぞれアドレス（A6-A3）をマスクします（1でマスク）。 マスクされたアドレスは，オン／オフページ判断の際の比較対象になりません。 連続読み出し可能なビット数に応じて設定します。

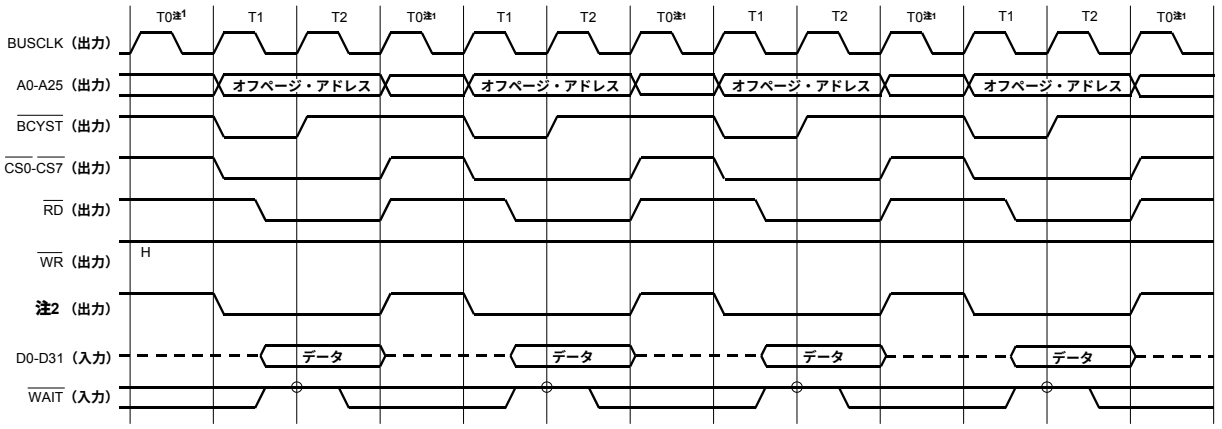
PRW2	PRW1	PRW0	挿入されるウエイト・サイクル数
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

MA6	MA5	MA4	MA3	連続読み出し可能なビット数
0	0	0	0	2×32ビット, 4×16ビット, 8×8ビット
0	0	0	1	4×32ビット, 8×16ビット, 16×8ビット
0	0	1	1	8×32ビット, 16×16ビット, 32×8ビット
0	1	1	1	16×32ビット, 32×16ビット, 64×8ビット
1	1	1	1	32×32ビット, 64×16ビット, 128×8ビット
その他				設定禁止 （設定した場合の動作は保証できません。）

5. 2. 5　ページROMアクセス

図5－5　ページROMアクセス・タイミング（1/6）

（a）リード時（先読みなし，32ビット・バス幅，キャッシュ・フィル動作以外）



注1.　バス・サイクル間に挿入されるステート（T0）です。

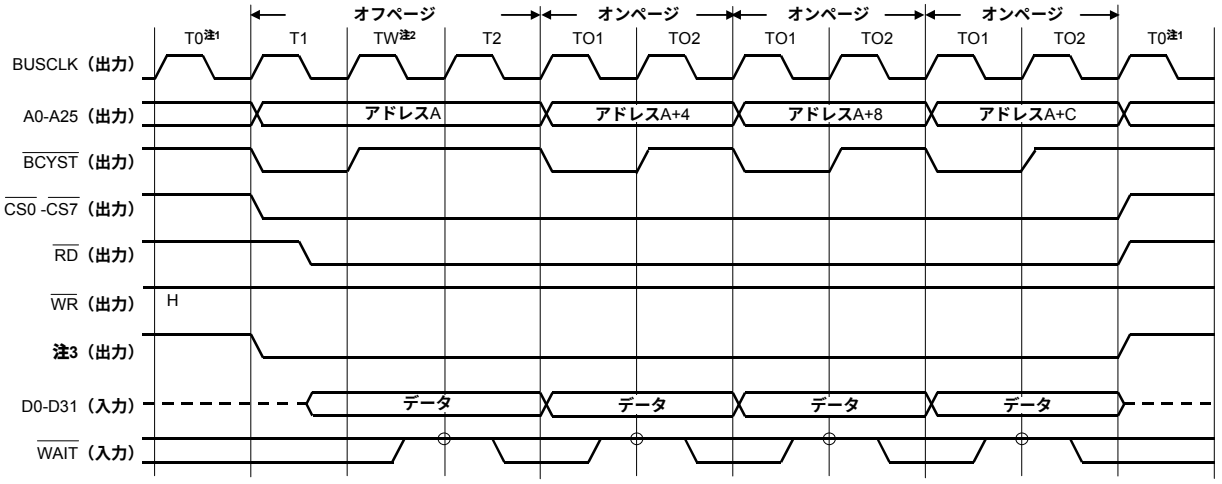
2.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

図5ー5　ページROMアクセス・タイミング（2/6）

（b）リード時（先読みなし，32ビット・バス幅，キャッシュ・フィル動作）



注1.　**バス・サイクル間に挿入されるステート（T0）です。**

2.　**プログラマブル・ウエイト** = 1**ウエイト挿入**

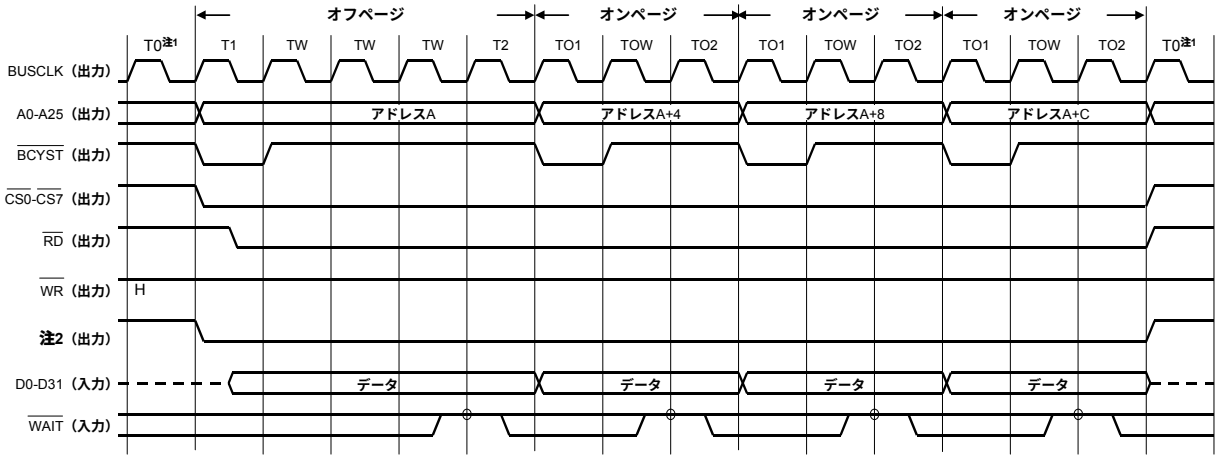
3.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　**○印はサンプリング・タイミングです。**

2.　**破線はハイ・インピーダンスを示します。**

図5ー5　ページROMアクセス・タイミング（3/6）

（c）リード時（先読みあり，32ビット・バス幅）



注1.　**バス・サイクル間に挿入されるステート（T0）です。**

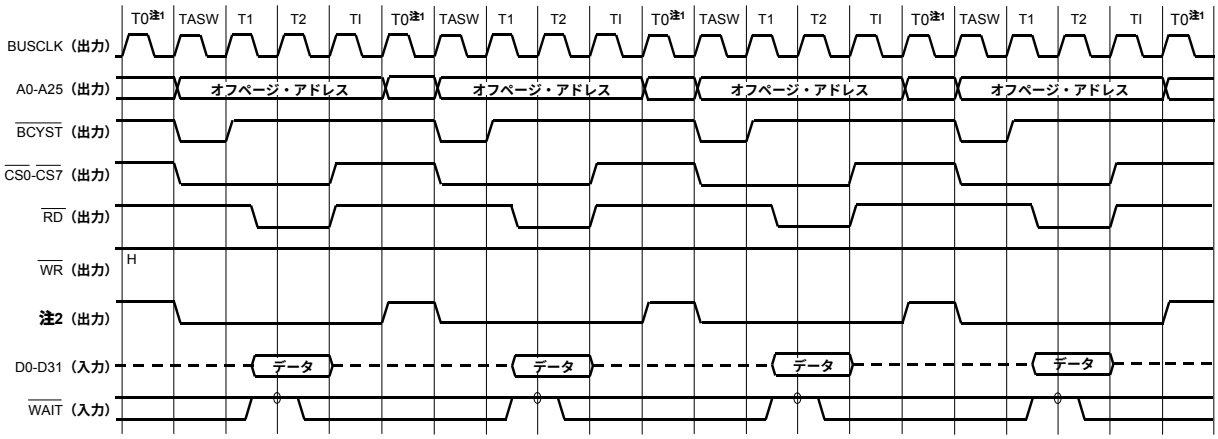
2.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　**○印はサンプリング・タイミングです。**

2.　**破線はハイ・インピーダンスを示します。**

図5ー5　ページROMアクセス・タイミング（4/6）

（d）リード時（先読みなし，アドレス・セットアップ・ウエイト，アイドル・ステート挿入，32ビット・バス幅，キャッシュ・フィル動作以外）



注1.　バス・サイクル間に挿入されるステート（T0）です。

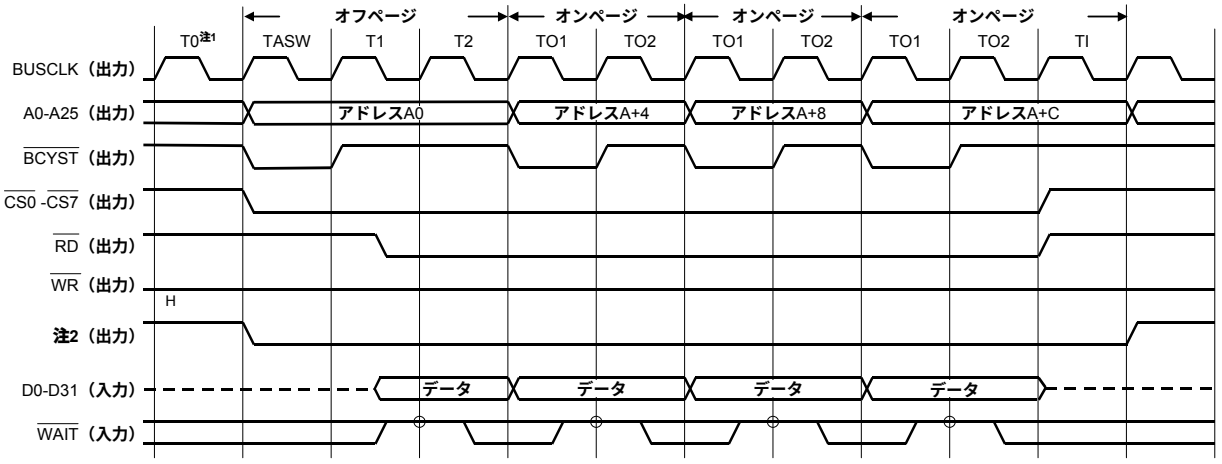
2.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

図5－5　ページROMアクセス・タイミング（5/6）

（e）リード時（先読みなし，アドレス・セットアップ・ウエイト，アイドル・ステート挿入，32ビット・バス幅，キャッシュ・フィル動作）



注1.　バス・サイクル間に挿入されるステート（T0）です。

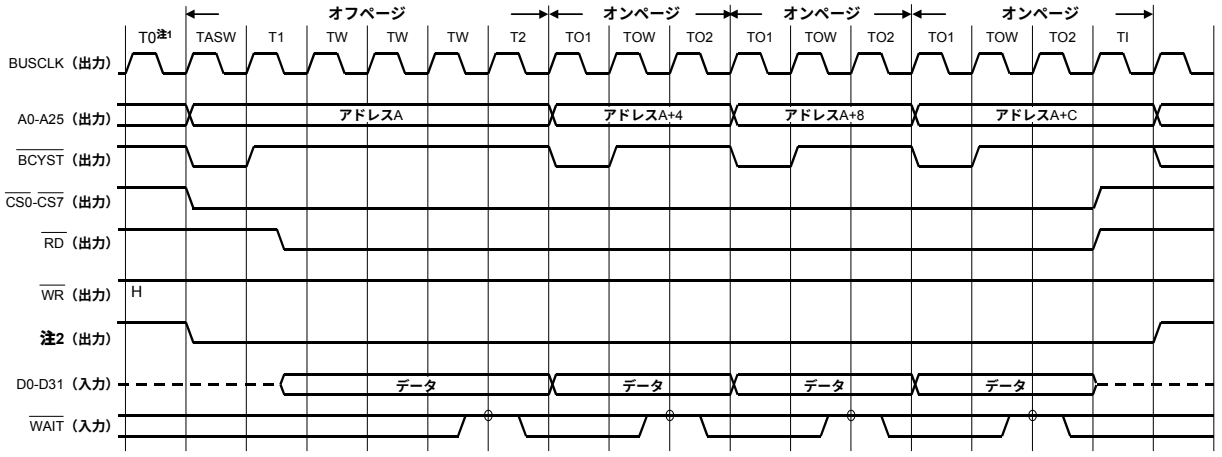
2.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

図5ー5　ページROMアクセス・タイミング（6/6）

(f) リード時（先読みあり，アドレス・セットアップ・ウエイト，アイドル・ステート挿入，32ビット・バス幅）



注1.　**バス・サイクル間に挿入されるステート（T0）です。**

2.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　**○印はサンプリング・タイミングです。**

2.　**破線はハイ・インピーダンスを示します。**

5. 3　SDRAMコントローラ（SDRAMC）

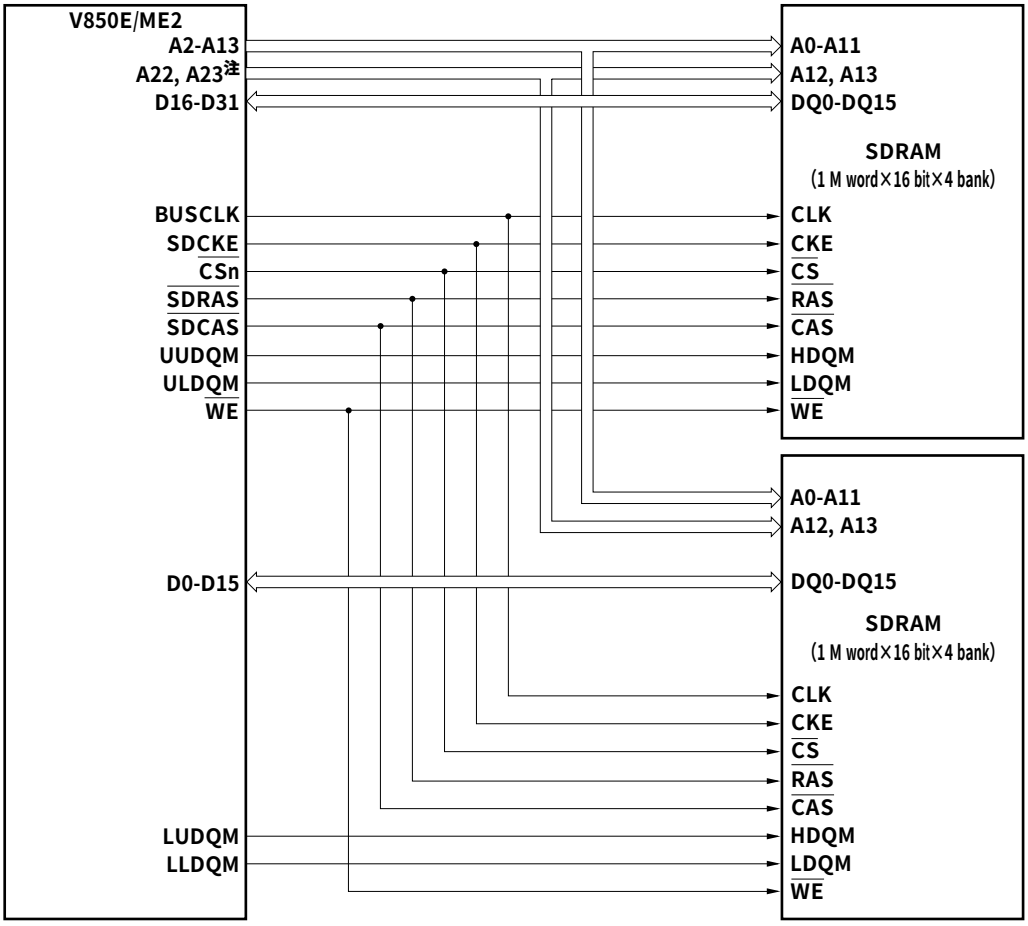
5. 3. 1　特　　徴

○ バースト長：1
○ ラップ・タイプ：シーケンシャル
○ CASレーテンシ：1, 2, 3をサポート（DMAフライバイ転送時は2, 3のみサポート）
○ 4種類のSDRAMを4つのメモリ・ブロック空間に割り当て可能
○ ロウ／カラム・アドレスのマルチプレクス幅の切り替え可能
○ バンク・アクティブ・コマンドとリード／ライト・コマンド間でウエイト（0-3ウエイト）挿入可能
○ CBR（オート）リフレッシュ，セルフ・リフレッシュをサポート
○ DMAフライバイ・サイクルを起動可能（外部I/O→SDRAM）

5. 3. 2　SDRAMの接続

SDRAMとの接続例を次に示します。

図5ー6　SDRAMとの接続例



注　使用するアドレス信号は，SDRAMの製品により異なります。

備考　n = 1, 3, 4, 6

5. 3. 3　アドレス・マルチプレクス機能

SCRnレジスタのSAWn0, SAWn1ビットの値によりSDRAMサイクルでのロウ・アドレスの出力は，図5－7（a）のようにアドレスがマルチプレクスします（n = 1, 3, 4, 6）。SCRnレジスタのSSOn0, SSOn1ビットの値によりSDRAMサイクルでのカラム・アドレス出力は，図5－7（b）のようにアドレスがマルチプレクスします（n = 1, 3, 4, 6）。図5－7（a），（b）で，a0-a25はCPUから出力されたアドレスを，A0-A25はV850E/ME2のアドレス端子を示しています。

図5－7　ロウ・アドレス，カラム・アドレスの出力（1/2）

（a）ロウ・アドレスの出力

アドレス端子	A25-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
ロウ・アドレス（SAWn1, SAWn0ビット = 11）	a25-a18	a17	a16	a15	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11
ロウ・アドレス（SAWn1, SAWn0ビット = 10）	a25-a18	a17	a16	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10
ロウ・アドレス（SAWn1, SAWn0ビット = 01）	a25-a18	a17	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9
ロウ・アドレス（SAWn1, SAWn0ビット = 00）	a25-a18	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9	a8

備考　n = 1, 3, 4, 6

（b）カラム・アドレスの出力（オール・バンク・プリチャージ・コマンド時）

アドレス端子	A25-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
カラム・アドレス（SSOn1, SSOn0ビット = 00）	a25-a18	a17	a16	a15	a14	a13	a12	a11	1	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0
カラム・アドレス（SSOn1, SSOn0ビット = 01）	a25-a18	a17	a16	a15	a14	a13	a12	1	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0
カラム・アドレス（SSOn1, SSOn0ビット = 10）	a25-a18	a17	a16	a15	a14	a13	1	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0

備考　n = 1, 3, 4, 6

（c）カラム・アドレスの出力（レジスタ・ライト・コマンド時）

アドレス端子	A25-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
カラム・アドレス（SSOn1, SSOn0ビット = 00）	0	0	0	0	0	0	0	0	0	0	0	0	LTM2	LTM1	LTM0	0	0	0	0
カラム・アドレス（SSOn1, SSOn0ビット = 01）	0	0	0	0	0	0	0	0	0	0	0	LTM2	LTM1	LTM0	0	0	0	0	0
カラム・アドレス（SSOn1, SSOn0ビット = 10）	0	0	0	0	0	0	0	0	0	0	LTM2	LTM1	LTM0	0	0	0	0	0	0

備考　n = 1, 3, 4, 6

図5－7　ロウ・アドレス，カラム・アドレスの出力（2/2）

（d）カラム・アドレスの出力（リード／ライト・コマンド時）

アドレス端子	A25-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
カラム・アドレス（SSOn1, SSOn0ビット = 00）	a25-a18	a17	a16	a15	a14	a12	a11	a10	0	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0
カラム・アドレス（SSOn1, SSOn0ビット = 01）	a25-a18	a17	a16	a15	a14	a12	a11	0	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0
カラム・アドレス（SSOn1, SSOn0ビット = 10）	a25-a18	a17	a16	a15	a14	a12	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0

備考　n = 1, 3, 4, 6

(1) 各アドレスの出力，およびSDRAMの接続

データ・バス幅（8ビット，16ビット）ごとに，SCRnレジスタの設定内容，物理アドレス，V850E/ME2からのアドレス出力，V850E/ME2とSDRAMの接続を次に示します。

(a) 8ビット・データ・バス幅時

8ビット・データ・バス幅時に64 MビットSDRAM（2 Mワード×8ビット×4バンク）を接続する例を次に示します。

- SCRnレジスタ設定内容

SSOn1, SSOn0ビット = 00 ：データ・バス幅 = 8ビット
RAWn1, RAWn0ビット = 01 ：ロウ・アドレス幅 = 12ビット
SAWn1, SAWn0ビット = 01 ：カラム・アドレス幅 = 9ビット

- 物理アドレス

A22, A21 ：バンク・アドレス
A20-A9 ：ロウ・アドレス
A8-A0 ：カラム・アドレス

- V850E/ME2からのアドレス出力

A22, A21 ：バンク・アドレス
A11-A0 ：ロウ・アドレス（12ビット），カラム・アドレス（9ビット）

(i) ロウ・アドレス，バンク・アドレス出力（アクティブ・コマンド時）

アドレス端子	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
	a25	a24	a23	a22	a21	a20	a19	a18	a17	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9

バンク・アドレス　　ロウ・アドレス

(ii) カラム・アドレス出力（リード／ライト・コマンド時）

アドレス端子	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a12	a11	a10	0	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0

カラム・アドレス

- V850E/ME2とSDRAMの接続

A22, A21（V850E/ME2） →BA0（A13），BA1（A12）（SDRAM）
A11-A0（V850E/ME2） →A11-A0（SDRAM）

(b) 16ビット・データ・バス幅時

16ビット・データ・バス幅時に512 MビットSDRAM（8 Mワード×16ビット×4バンク）を接続する例を次に示します。

- SCRnレジスタ設定内容

  SSOn1, SSOn0ビット = 01 ：データ・バス幅 = 16ビット

  RAWn1, RAWn0ビット = 10 ：ロウ・アドレス幅 = 13ビット

  SAWn1, SAWn0ビット = 10 ：カラム・アドレス幅 = 10ビット

- 物理アドレス

  A25, A24 ：バンク・アドレス

  A23-A11 ：ロウ・アドレス

  A10-A1 ：カラム・アドレス

- V850E/ME2からのアドレス出力

  A25, A24 ：バンク・アドレス

  A13-A1 ：ロウ・アドレス（13ビット），カラム・アドレス（10ビット）

(i) ロウ・アドレス，バンク・アドレス出力（アクティブ・コマンド時）

アドレス端子	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10
	バンク・アドレス												ロウ・アドレス													

(ii) カラム・アドレス出力（リード／ライト・コマンド時）

アドレス端子	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a12	a11	0	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0
																カラム・アドレス										

- V850E/ME2とSDRAMの接続

  A25, A24（V850E/ME2） →BA0（A14），BA1（A13）（SDRAM）

  A13-A1（V850E/ME2） →A12-A0（SDRAM）

(c) 32ビット・データ・バス幅時

32ビット・データ・バス幅時に512 MビットSDRAM（256 MビットSDRAM（4 Mワード×16ビット×4バンク）×2）を接続する例を次に示します。

- SCRnレジスタ設定内容

SSOn1, SSOn0ビット = 10 ：データ・バス幅 = 32ビット

RAWn1, RAWn0ビット = 10：ロウ・アドレス幅 = 13ビット

SAWn1, SAWn0ビット = 01 ：カラム・アドレス幅 = 9ビット

- 物理アドレス

A25, A24 ：バンク・アドレス

A23-A11 ：ロウ・アドレス

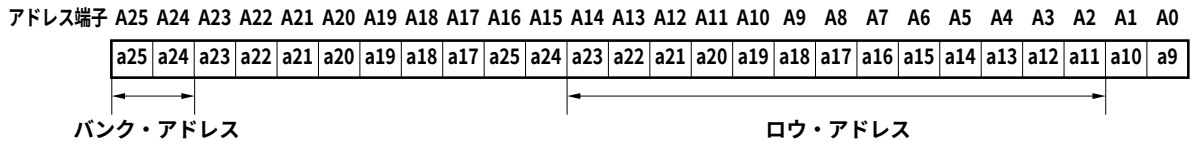
A10-A2 ：カラム・アドレス

- V850E/ME2からのアドレス出力

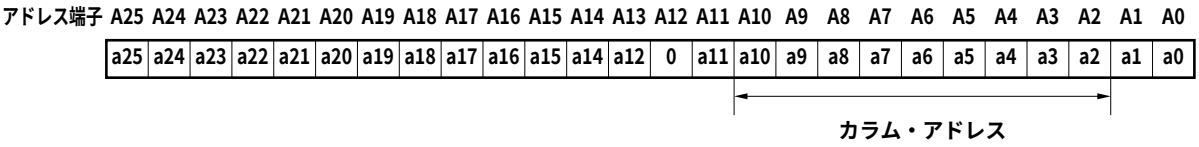
A25, A24 ：バンク・アドレス

A14-A2 ：ロウ・アドレス（13ビット），カラム・アドレス（9ビット）

(i) ロウ・アドレス，バンク・アドレス出力（アクティブ・コマンド時）



(ii) カラム・アドレス出力（リード／ライト・コマンド時）



- V850E/ME2とSDRAMの接続

A25, A24（V850E/ME2） →BA0（A14），BA1（A13）（SDRAM）

A14-A2（V850E/ME2） →A12-A0（SDRAM）

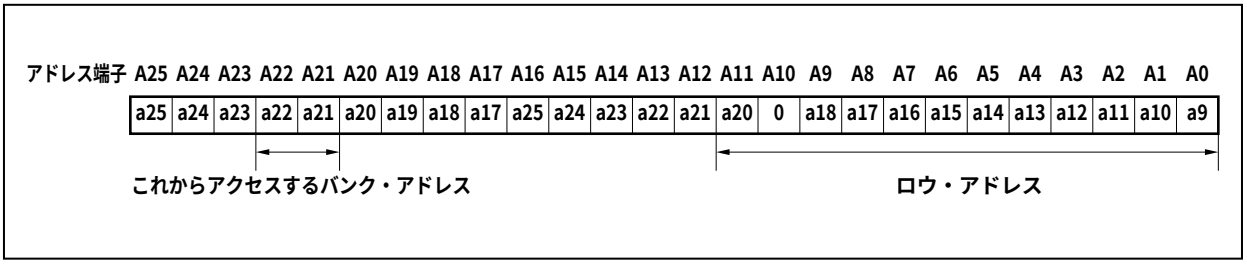
(2) バンク・アドレス出力

V850E/ME2はバンク・プリチャージ・コマンドとして，ページ・チェンジ直後のロウ・アドレス出力時にこれからアクセスを行うバンクに対してプリチャージを行います。また，バンク・チェンジ後はカラム・アドレス出力時に前回アクセスしたバンクに対してプリチャージを行います。したがって，ロウ・アドレス出力時も，カラム・アドレス出力時もバンク・プリチャージが行われるため，5. 3. 3（1）（a）8ビット・データ・バス幅時で示す内容で接続を行う場合，常にV850E/ME2のバンク・アドレスを出力する端子（A22, A21）をSDRAMのバンク・アドレス端子（A13, A12）に接続してください。

5. 3. 3（1）（a）8ビット・データ・バス幅時で示す内容で接続を行う場合のページ・チェンジおよびバンク・チェンジ時のバンク・プリチャージ・コマンドのアドレス出力例を次に示します。

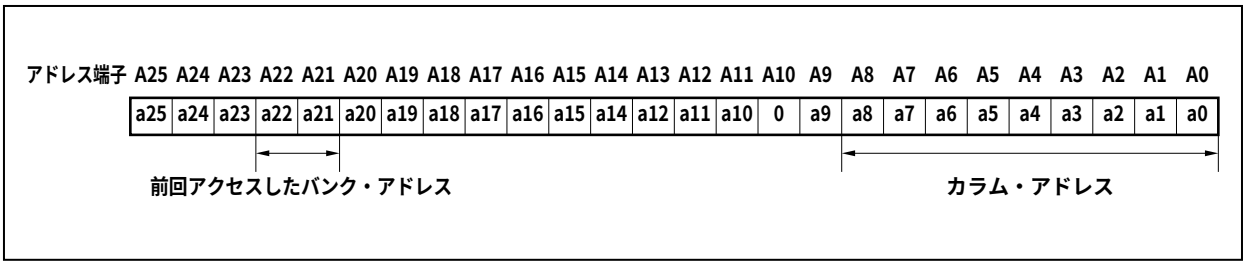
(a) ページ・チェンジ時（8ビット・データ・バス幅時）

ページ・チェンジ時のバンク・プリチャージ・コマンドのアドレス出力は，A11, A9-A0端子にこれからアクセスする物理アドレス（a20, a18-a9），A10端子に0（ロウ・レベル出力），A22, A21端子にこれからアクセスするバンク・アドレス（a22, a21）を出力します。



(b) バンク・チェンジ時（8ビット・データ・バス幅時）

バンク・チェンジ時のバンク・プリチャージ・コマンドのアドレス出力は，A8-A0端子にこれからアクセスする物理アドレス（a8-a0），A22, A21端子に前回アクセスしたバンク・アドレス（a22, a21）を出力します。



プリチャージ・モードを決定するビット（A10：8ビット・データ・バス幅，A11：16ビット・データ・バス幅，A12：32ビット・データ・バス幅）は，オール・バンク・プリチャージ・コマンド時はハイ・レベル，それ以外のプリチャージではロウ・レベルを出力します。

5. 3. 4　SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6（SCR1, SCR3, SCR4, SCR6）

ウエイト数やアドレス・マルチプレクス幅を設定します。SCRnレジスタは$\overline{\text{CSn}}$に対応しています（n = 1, 3, 4, 6）。たとえば，$\overline{\text{CS1}}$にSDRAMを接続する場合はSCR1レジスタを設定してください。16ビット単位でリード／ライト可能です。

注意1. レジスタ・ライト・オペレーションの実行前は，SDRAMリード／ライト・サイクルは発生しません。SCRnレジスタの値をリードし，WCFnビットがセット（1）されていることを確認してから，SDRAMにアクセスしてください（n = 1, 3, 4, 6）。

2. SDRAMにアクセスしたあとに再度SCRnレジスタに書き込みを行う場合には，BCT0, BCT1レジスタのMEnビットを一度クリア（0）し，次に再びセット（1）したあとアクセスしてください（n = 1, 3, 4, 6）。

3. SCRnレジスタに書き込む命令を連続して実行しないでください。SCRnレジスタに書き込む命令と命令の間には，必ずほかの命令を入れて実行してください。

4. SDRAMアクセスは，すべてのSCRnレジスタの設定が終わってから開始してください。また，SCRnレジスタを設定する前にRFSnレジスタを設定してください（n = 1, 3, 4, 6）。

（1/3）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SCR1	0	LTM12	LTM11	LTM10	0	0	0	WCF1	BCW11	BCW10	SSO11	SSO10	RAW11	RAW10	SAW11	SAW10	FFFFF4A4H	30C0H
SCR3	0	LTM32	LTM31	LTM30	0	0	0	WCF3	BCW31	BCW30	SSO31	SSO30	RAW31	RAW30	SAW31	SAW30	FFFFF4ACH	30C0H
SCR4	0	LTM42	LTM41	LTM40	0	0	0	WCF4	BCW41	BCW40	SSO41	SSO40	RAW41	RAW40	SAW41	SAW40	FFFFF4B0H	30C0H
SCR6	0	LTM62	LTM61	LTM60	0	0	0	WCF6	BCW61	BCW60	SSO61	SSO60	RAW61	RAW60	SAW61	SAW60	FFFFF4B8H	30C0H

ビット位置	ビット名	意　味
14-12	LTMn2-LTMn0	リード時のCASレーテンシの値を設定します。 LTMn2 / LTMn1 / LTMn0 / レーテンシ 0 / 0 / 1 / 1（DMAフライバイ転送時は設定禁止） 0 / 1 / 0 / 2 0 / 1 / 1 / 3 その他 / 設定禁止
8	WCFn	SCRnレジスタを設定したあと，SDRAMに対してレジスタ・ライト・コマンドが完了したことを示します。レジスタ・ライト・コマンドが発生すると，セット（1）されます。このビットはリードのみ可能です。 0：設定未完了 1：設定完了

備考　n = 1, 3, 4, 6

(2/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　　味</th></tr>
<tr><td>7, 6</td><td>BCWn1, BCWn0</td><td>バンク・アクティブ・コマンドからリード／ライト・コマンド，またはプリチャージ・コマンドからバンク・アクティブ・コマンドまでのウエイト・ステート数を指定します。
<table>
<tr><th>BCW1n</th><th>BCW0n</th><th>挿入ウエイト・ステート数</th></tr>
<tr><td>0</td><td>0</td><td>設定禁止</td></tr>
<tr><td>0</td><td>1</td><td>1</td></tr>
<tr><td>1</td><td>0</td><td>2</td></tr>
<tr><td>1</td><td>1</td><td>3</td></tr>
</table></td></tr>
<tr><td>5, 4</td><td>SSOn1, SSOn0</td><td>オンページ判断時のアドレスのシフト幅を指定します。
外部データ・バス幅が16ビットまたは32ビットに設定されている場合は，システムは下位アドレス（A0またはA1, A0）を使用しません。$\overline{\text{CSn}}$に対応したLBSレジスタの内容に合わせて設定してください。
<table>
<tr><th>SSOn1</th><th>SSOn0</th><th>アドレス・シフト幅</th></tr>
<tr><td>0</td><td>0</td><td>0ビット（外部データ・バス幅：8ビット）</td></tr>
<tr><td>0</td><td>1</td><td>1ビット（外部データ・バス幅：16ビット）注</td></tr>
<tr><td>1</td><td>0</td><td>2ビット（外部データ・バス幅：32ビット）注</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>3, 2</td><td>RAWn1, RAWn0</td><td>ロウ・アドレス幅を指定します。
<table>
<tr><th>RAWn1</th><th>RAWn0</th><th>ロウ・アドレス幅</th></tr>
<tr><td>0</td><td>0</td><td>11ビット</td></tr>
<tr><td>0</td><td>1</td><td>12ビット注</td></tr>
<tr><td>1</td><td>0</td><td>13ビット注</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>1, 0</td><td>SAWn1, SAWn0</td><td>SDRAMアクセス時のアドレス・マルチプレクス幅（カラム・アドレス幅）を指定します。
<table>
<tr><th>SAW1n</th><th>SAW0n</th><th>アドレス・マルチプレクス幅（カラム・アドレス幅）</th></tr>
<tr><td>0</td><td>0</td><td>8ビット</td></tr>
<tr><td>0</td><td>1</td><td>9ビット</td></tr>
<tr><td>1</td><td>0</td><td>10ビット注</td></tr>
<tr><td>1</td><td>1</td><td>11ビット注</td></tr>
</table></td></tr>
</table>

備考1.　注の説明は次ページに記載しています。

2.　n = 1, 3, 4, 6

(3/3)

注　次に示す設定は，アドレスの上限を超えるので設定禁止です。

SSOn1	SSOn0	RAWn1	RAWn0	SAWn1	SAWn0	設定内容
0	1	1	0	1	1	データ・バス幅　：16ビット ロウ・アドレス幅　：13ビット カラム・アドレス幅：11ビット
1	0	0	1	1	1	データ・バス幅　：32ビット ロウ・アドレス幅　：12ビット カラム・アドレス幅：11ビット
1	0	1	0	1	0	データ・バス幅　：32ビット ロウ・アドレス幅　：13ビット カラム・アドレス幅：10ビット
					1	データ・バス幅　：32ビット ロウ・アドレス幅　：13ビット カラム・アドレス幅：11ビット

備考　n = 1, 3, 4, 6

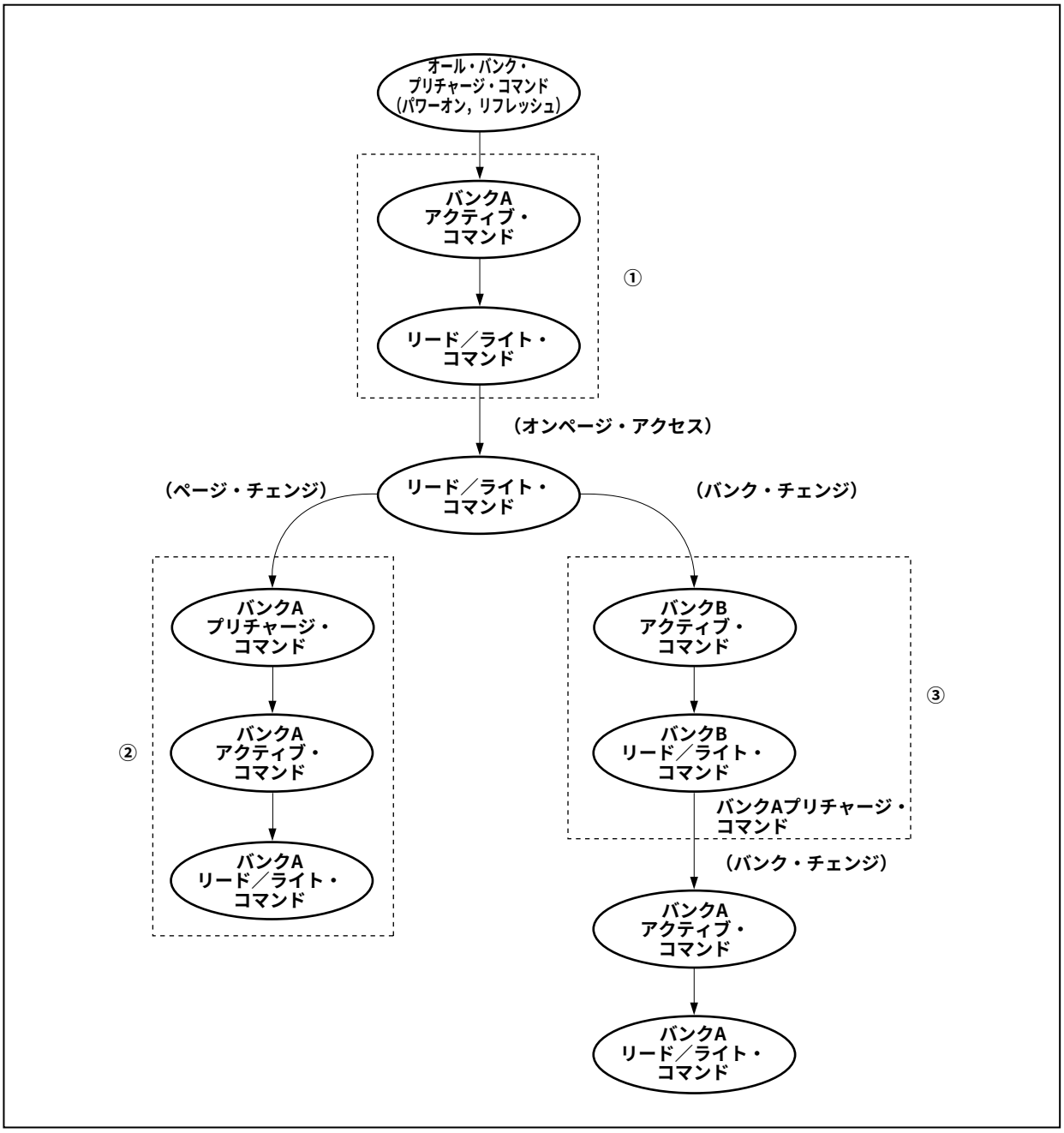
5. 3. 5　SDRAMアクセス

パワーオン時やリフレッシュ時は，SDRAMに対して必ずオール・バンク・プリチャージ・コマンドが発行されます。したがって，このあとにSDRAMをアクセスする場合は，アクティブ・コマンド，リード／ライト・コマンドが順に発行されます（図5－8の①）。

次にページ・チェンジが発生した場合は，プリチャージ・コマンド，アクティブ・コマンド，リード／ライト・コマンドが順に発行されます（図5－8の②）。

また，バンク・チェンジが発生した場合は，次にアクセスするバンクに対するアクティブ・コマンド，リード／ライト・コマンドが順に発行され，リード／ライト・コマンドの直後に現在アクセスしているバンクの直前にアクセスしていたバンクに対するプリチャージ・コマンドが発行されます（図5－8の③）。

図5－8　SDRAMアクセスの状態遷移



(1) SDRAMシングル・リード・サイクル

SDRAMシングル・リード・サイクルは，SDRAM領域へのロード命令（LD）実行または，命令フェッチ，2サイクルDMA転送でSDRAMをリードするサイクルです。

SDRAMシングル・リード・サイクルでは，SDRAMに対してアクティブ・コマンド（ACT），リード・コマンド（RD）が順に発行されます。ただし，オンページ・アクセス時は，リード・コマンドのみが発行され，プリチャージ・コマンド，アクティブ・コマンドは発行されません。また，同一のバンクでページ・チェンジした場合は，アクティブ・コマンドの前にプリチャージ・コマンド（PRE）が発行されます。

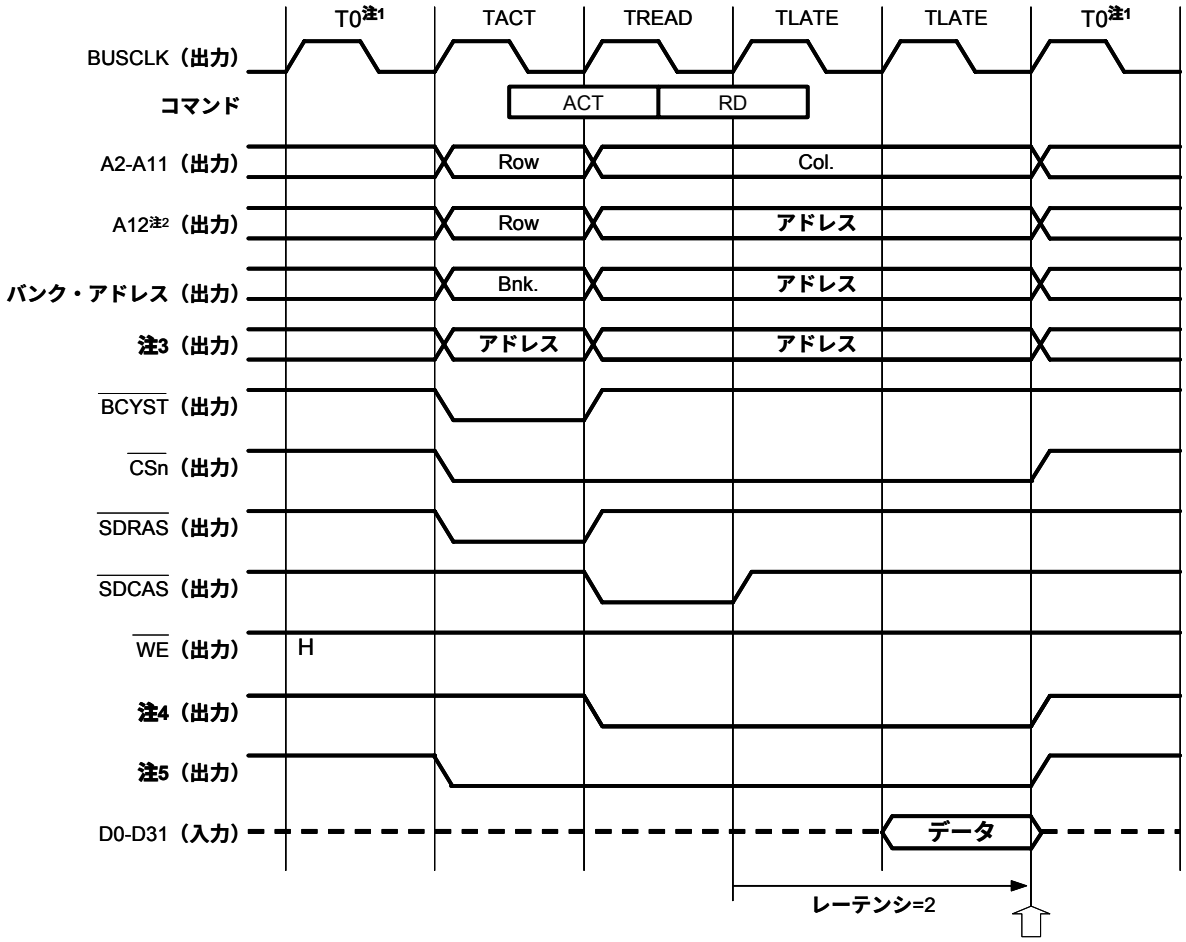
CPUから起動されたすべてのリード・コマンドの直前には，必ず1ステートのT0サイクルが挿入されます。

リード・サイクルのあとには，BCCレジスタで設定されたアイドル・ステート数（TI）が挿入されます（BCn1, BCn0 = 00の場合は挿入されません）（n = 1, 3, 4, 6）。次にSDRAMシングル・リード・サイクルのタイミングを示します。

注意 SDRAMに対するリード・アクセス後にSRAM，外部I/Oに対するライト・アクセスを行う場合，SDRAMのデータ出力フロート遅延時間によってはデータが衝突する可能性があります。このような場合には，BCCレジスタの設定によりSDRAM空間にアイドル・ステートを挿入してデータの衝突を回避してください。

図5－9　SDRAMシングル・リード・サイクル（1/5）

(a) オフページ・アクセス時（レーテンシ = 2，BCW = 1）



注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　外部バスが32ビット・バス幅の場合です。また，16ビット・バス幅の場合はA11，8ビット・バス幅の場合はA10に読み替えてください。

3.　バンク・アドレス，A12, A2-A11以外のアドレス

4.　$\overline{\text{xxWR}}$出力モード/xxDQM出力モード設定時（PFCCTレジスタのPFCCTmビット = 0）

5.　$\overline{\text{xxBE}}$出力モード/xxDQM出力モード設定時（PFCCTレジスタのPFCCTmビット = 1）

備考1.　破線はハイ・インピーダンスを示します。

2.　n = 1, 3, 4, 6

m = 0-3

xx = UU, UL, LU, LL

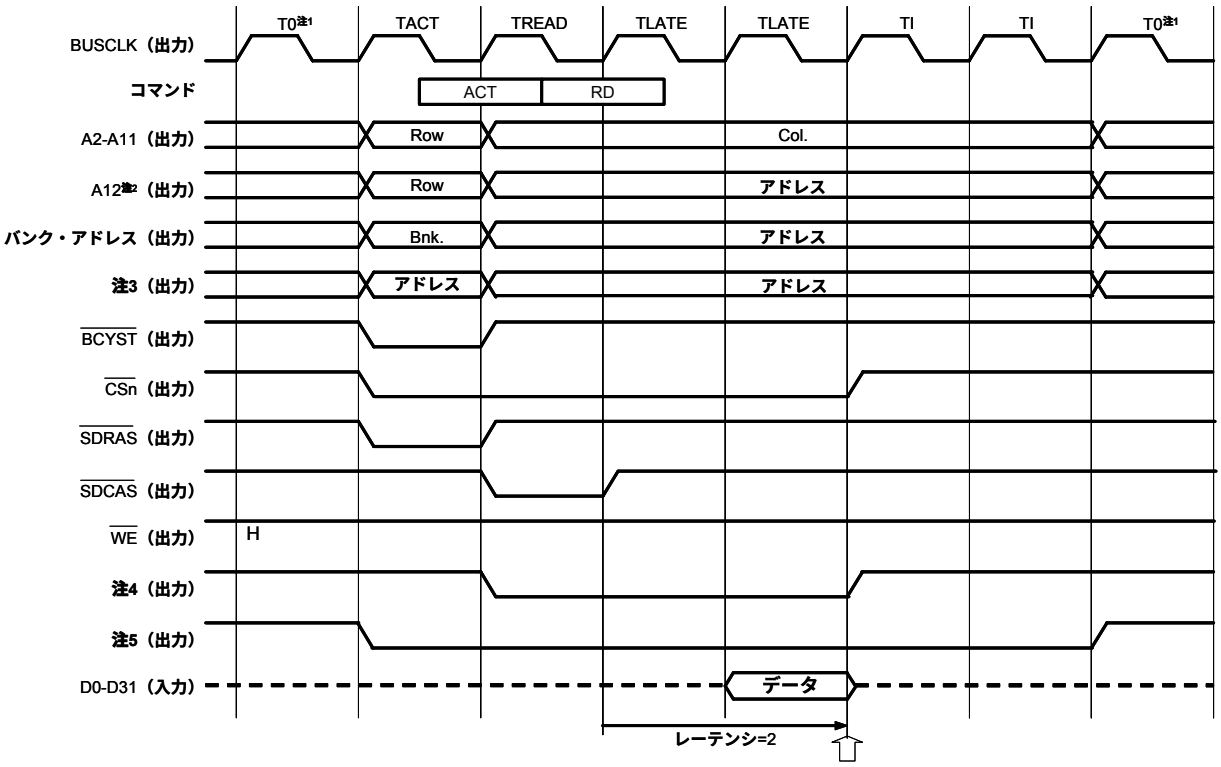
3.　Bnk.　：バンク・アドレス

Col.　：カラム・アドレス

Row　：ロウ・アドレス

図5－9　SDRAMシングル・リード・サイクル（2/5）

（b）オフページ・アクセス時（レーテンシ = 2，アイドル・ステート2挿入）



注1.　**バス・サイクル間に挿入されるステート（**T0**）です。**

2.　**外部バスが**32**ビット・バス幅の場合です。また，**16**ビット・バス幅の場合は**A11, 8**ビット・バス幅の場合は**A10**に読み替えてください。**

3.　**バンク・アドレス，**A12, A2-A11**以外のアドレス**

4.　$\overline{\text{xxWR}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 0**）**

5.　$\overline{\text{xxBE}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 1**）**

備考1.　**破線はハイ・インピーダンスを示します。**

2.　n = 1, 3, 4, 6

m = 0-3

xx = UU, UL, LU, LL

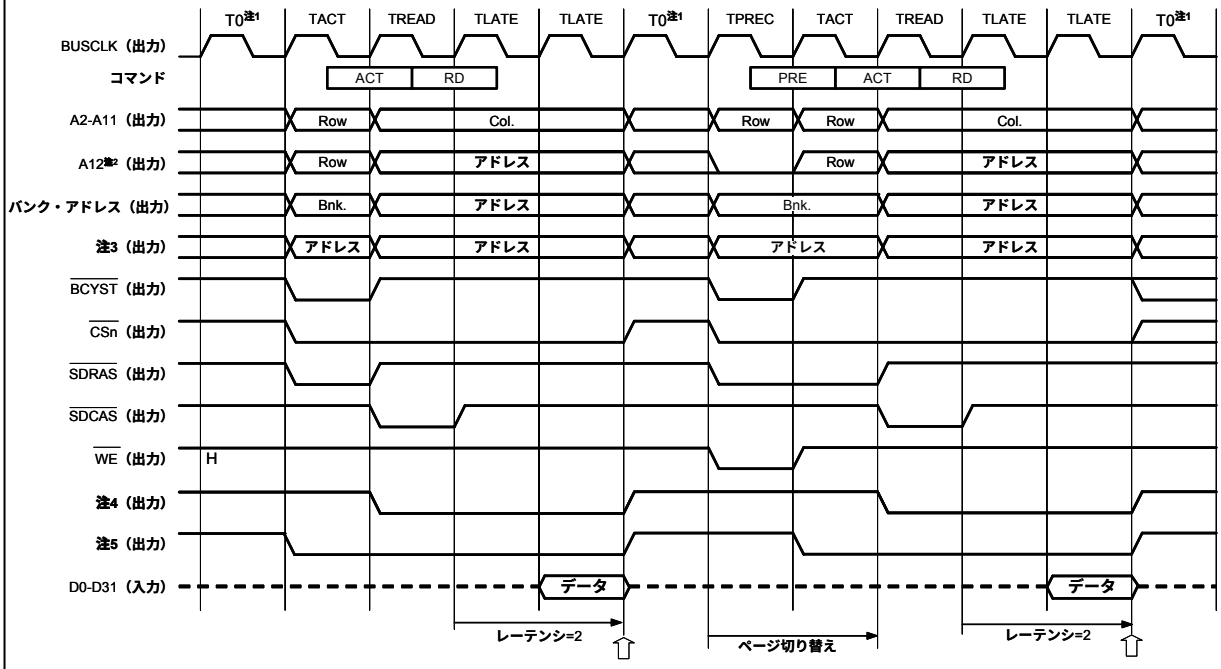
3.　Bnk.　**：バンク・アドレス**

Col.　**：カラム・アドレス**

Row　**：ロウ・アドレス**

図5－9　SDRAMシングル・リード・サイクル（3/5）

（c）オフページ・アクセス時（レーテンシ = 2，ページ・チェンジ，BCW = 1）



注1.　**バス・サイクル間に挿入されるステート（T0）です。**

2.　**外部バスが**32**ビット・バス幅の場合です。また，**16**ビット・バス幅の場合は**A11, 8**ビット・バス幅の場合は**A10**に読み替えてください。**

3.　**バンク・アドレス，**A12, A2-A11**以外のアドレス**

4.　$\overline{\text{xxWR}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 0）

5.　$\overline{\text{xxBE}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 1）

備考1.　**破線はハイ・インピーダンスを示します。**

2.　n = 1, 3, 4, 6

m = 0-3

xx = UU, UL, LU, LL

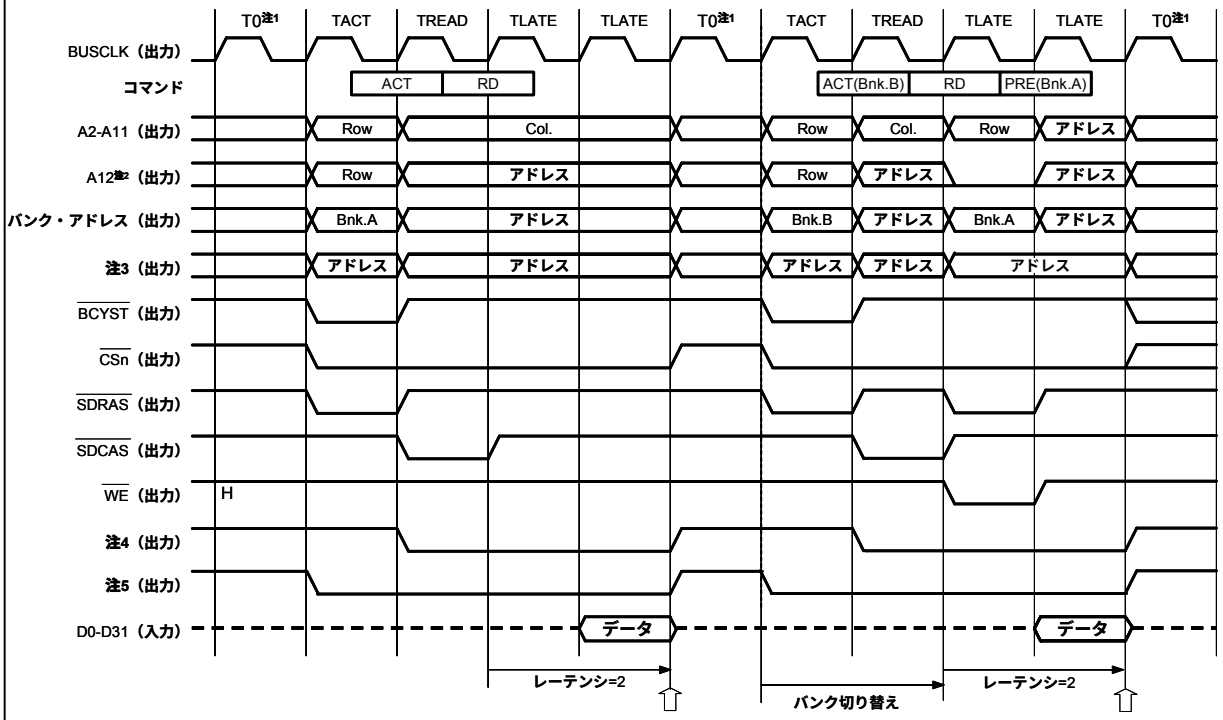
3.　Bnk.　**：バンク・アドレス**

Col.　**：カラム・アドレス**

Row　**：ロウ・アドレス**

図5－9　SDRAMシングル・リード・サイクル（4/5）

（d）オフページ・アクセス時（レーテンシ = 2，バンク・チェンジ）



注1.　**バス・サイクル間に挿入されるステート（T0）です。**

2.　**外部バスが**32**ビット・バス幅の場合です。また，**16**ビット・バス幅の場合は**A11, 8**ビット・バス幅の場合は**A10**に読み替えてください。**

3.　**バンク・アドレス，**A12, A2-A11**以外のアドレス**

4.　$\overline{\text{xxWR}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 0）

5.　$\overline{\text{xxBE}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 1）

備考1.　**破線はハイ・インピーダンスを示します。**

2.　n = 1, 3, 4, 6

m = 0-3

xx = UU, UL, LU, LL

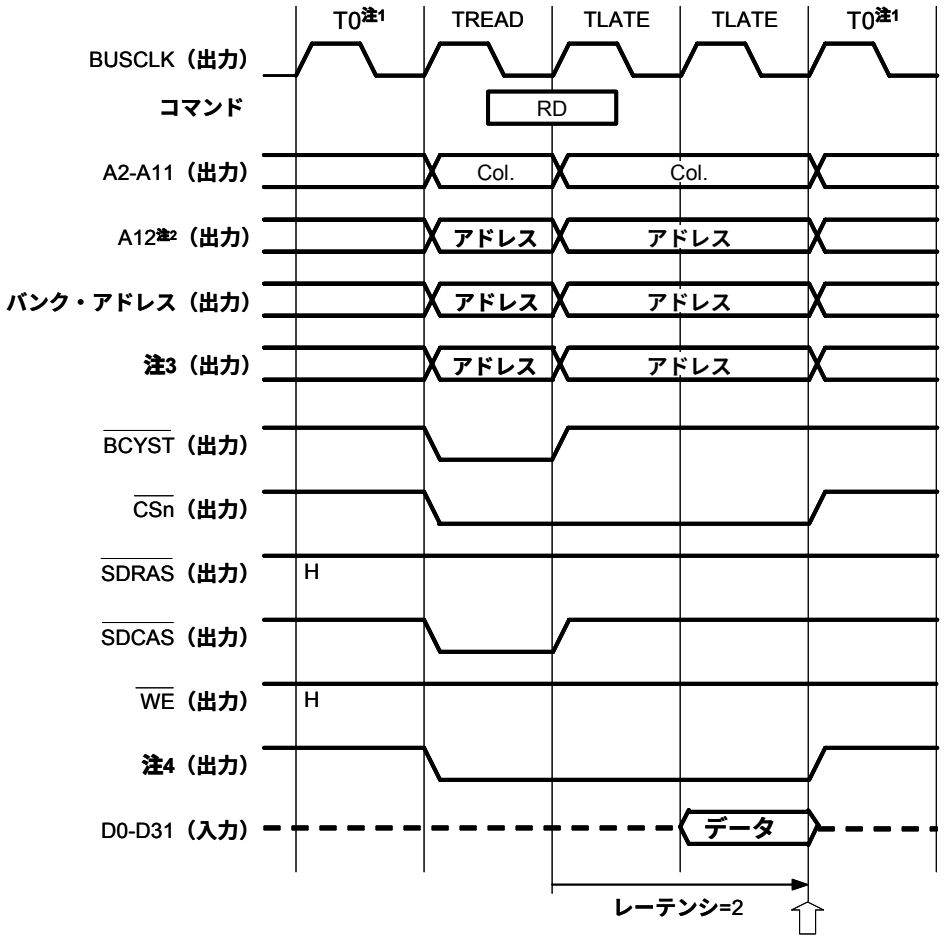
3.　Bnk.　**：バンク・アドレス**

Col.　**：カラム・アドレス**

Row　**：ロウ・アドレス**

図5－9　SDRAMシングル・リード・サイクル（5/5）

（e）オンページ・アクセス時（レーテンシ = 2，32ビット・バス幅）



注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　外部バスが32ビット・バス幅の場合です。また，16ビット・バス幅の場合はA11, 8ビット・バス幅の場合はA10に読み替えてください。

3.　バンク・アドレス，A12, A2-A11以外のアドレス

4.　UUDQM, ULDQM, LUDQM, LLDQM

備考1.　破線はハイ・インピーダンスを示します。

2.　n = 1, 3, 4, 6

3.　Col.　　：カラム・アドレス

(2) SDRAMシングル・ライト・サイクル

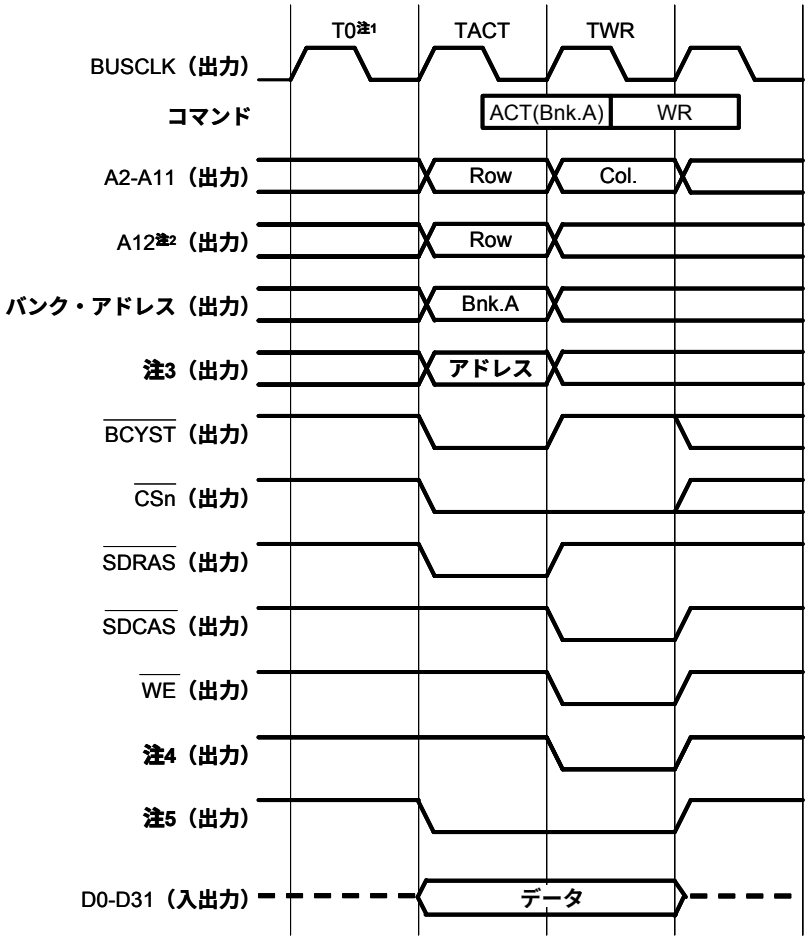
SDRAMシングル・ライト・サイクルは，SDRAM領域へのライト命令（ST）実行または，2サイクルDMA転送でSDRAMへライトするサイクルです。

SDRAMシングル・ライト・サイクルでは，SDRAMに対してアクティブ・コマンド（ACT），ライト・コマンド（WR）が順に発行されます。ただし，オンページ・アクセス時は，ライト・コマンドのみが発行され，プリチャージ・コマンド，アクティブ・コマンドは発行されません。また，同一のバンクでページ・チェンジした場合は，アクティブ・コマンドの前にプリチャージ・コマンド（PRE）が発行されます。

次にSDRAMシングル・ライト・サイクルのタイミングを示します。

図5ー10　SDRAMシングル・ライト・サイクル（1/6）

（a）オフページ・アクセス時



注1.　**バス・サイクル間に挿入されるステート（T0）です。**

2.　**外部バスが**32**ビット・バス幅の場合です。また，**16**ビット・バス幅の場合は**A11, 8**ビット・バス幅の場合は**A10**に読み替えてください。**

3.　**バンク・アドレス，**A12, A2-A11**以外のアドレス**

4.　$\overline{\text{xxWR}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 0）

5.　$\overline{\text{xxBE}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 1）

備考1.　**破線はハイ・インピーダンスを示します。**

2.　n = 1, 3, 4, 6

m = 0-3

xx = UU, UL, LU, LL

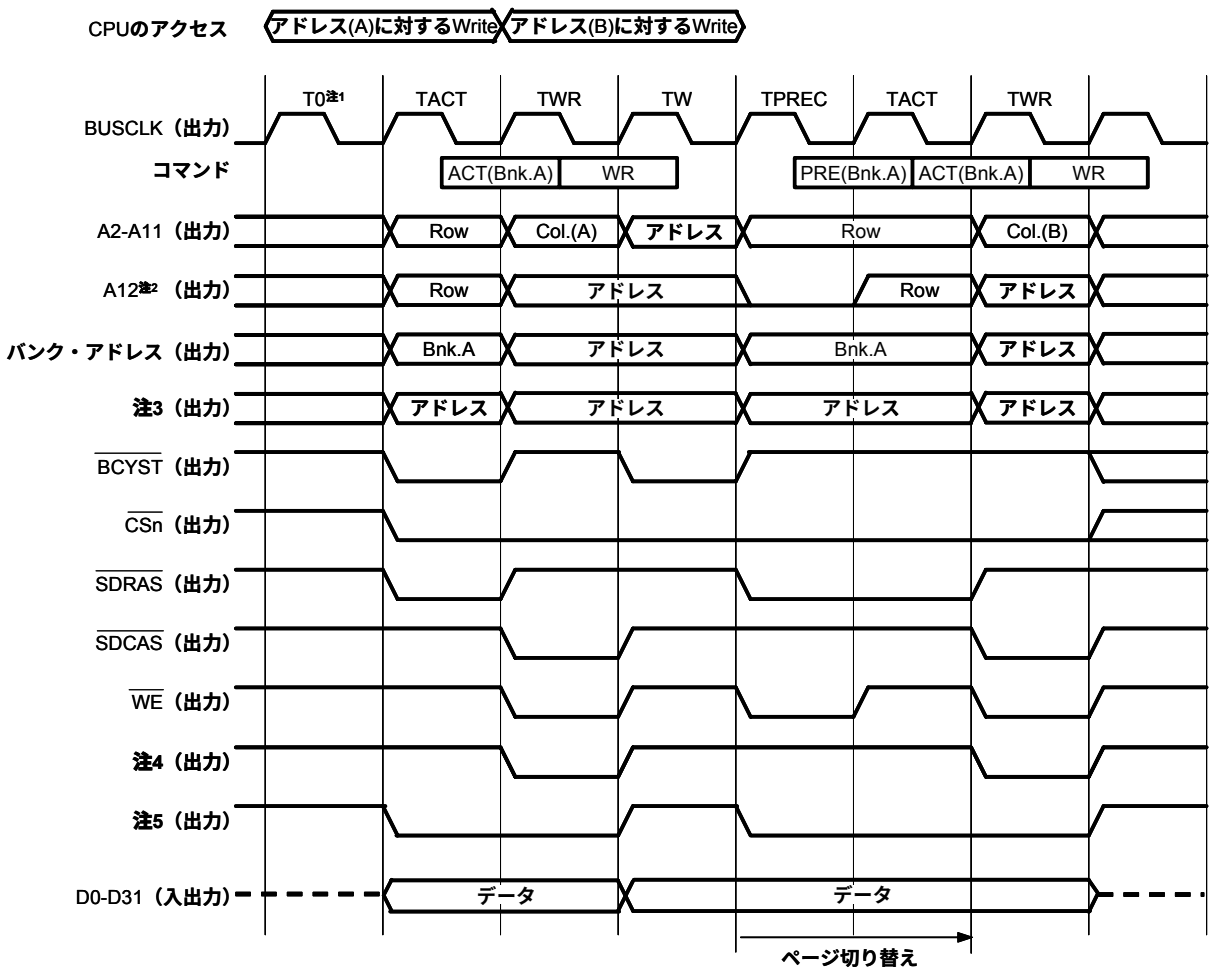
3.　Bnk.　**：バンク・アドレス**

Col.　**：カラム・アドレス**

Row　**：ロウ・アドレス**

図5ー10　SDRAMシングル・ライト・サイクル（2/6）

（b）ページ・チェンジの場合（1/2）



注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　外部バスが32ビット・バス幅の場合です。また，16ビット・バス幅の場合はA11, 8ビット・バス幅の場合はA10に読み替えてください。

3.　バンク・アドレス，A12, A2-A11以外のアドレス

4.　$\overline{\text{xxWR}}$出力モード/xxDQM出力モード設定時（PFCCTレジスタのPFCCTmビット = 0）

5.　$\overline{\text{xxBE}}$出力モード/xxDQM出力モード設定時（PFCCTレジスタのPFCCTmビット = 1）

備考1.　破線はハイ・インピーダンスを示します。

2.　n = 1, 3, 4, 6

m = 0-3

xx = UU, UL, LU, LL

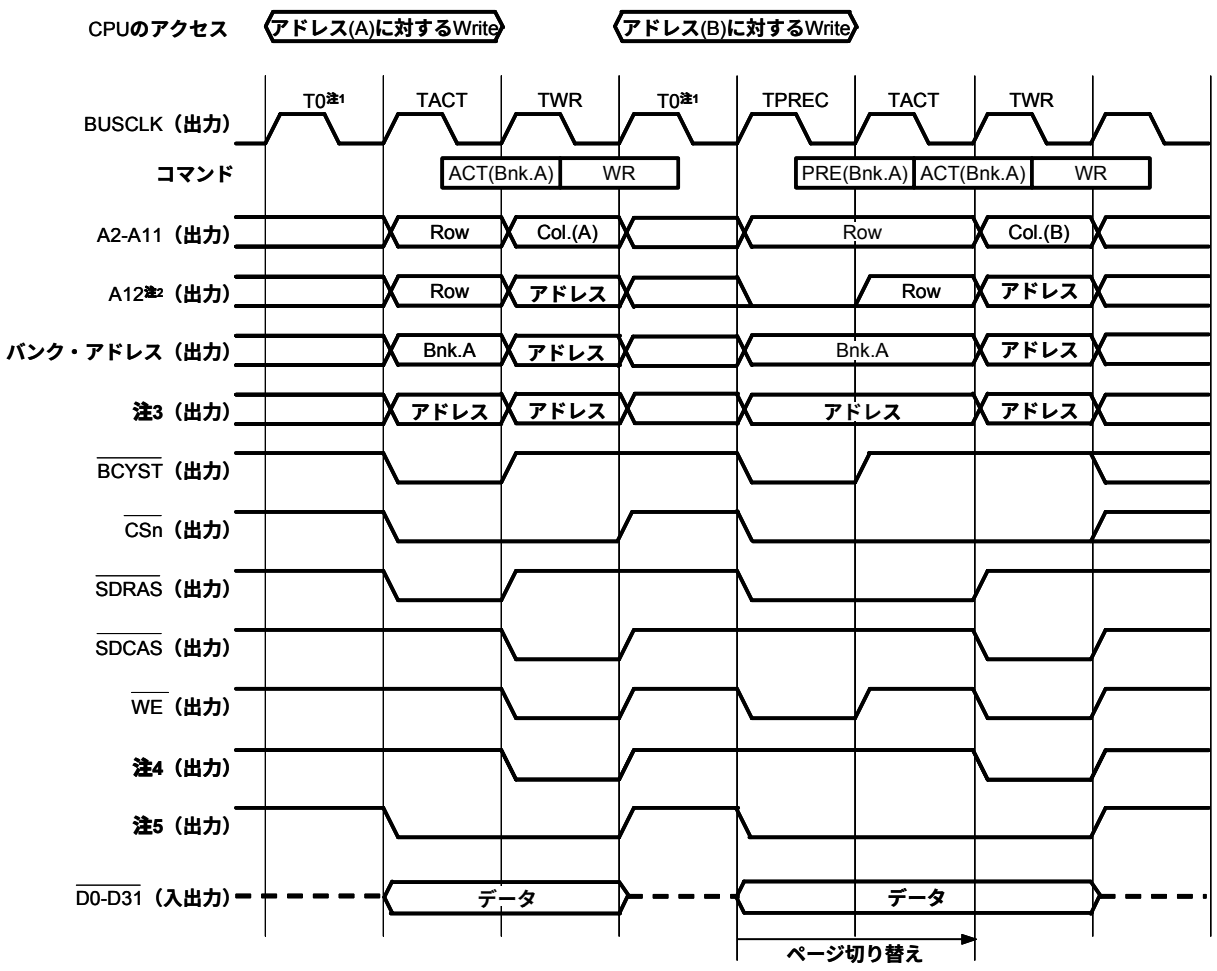
3.　Bnk.　：バンク・アドレス

Col.　：カラム・アドレス

Row　：ロウ・アドレス

図5ー10　SDRAMシングル・ライト・サイクル（3/6）

（b）ページ・チェンジの場合（2/2）



注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　外部バスが32ビット・バス幅の場合です。また，16ビット・バス幅の場合はA11, 8ビット・バス幅の場合はA10に読み替えてください。

3.　バンク・アドレス，A12, A2-A11以外のアドレス

4.　$\overline{\text{xxWR}}$出力モード/xxDQM出力モード設定時（PFCCTレジスタのPFCCTmビット = 0）

5.　$\overline{\text{xxBE}}$出力モード/xxDQM出力モード設定時（PFCCTレジスタのPFCCTmビット = 1）

備考1.　破線はハイ・インピーダンスを示します。

2.　n = 1, 3, 4, 6

m = 0-3

xx = UU, UL, LU, LL

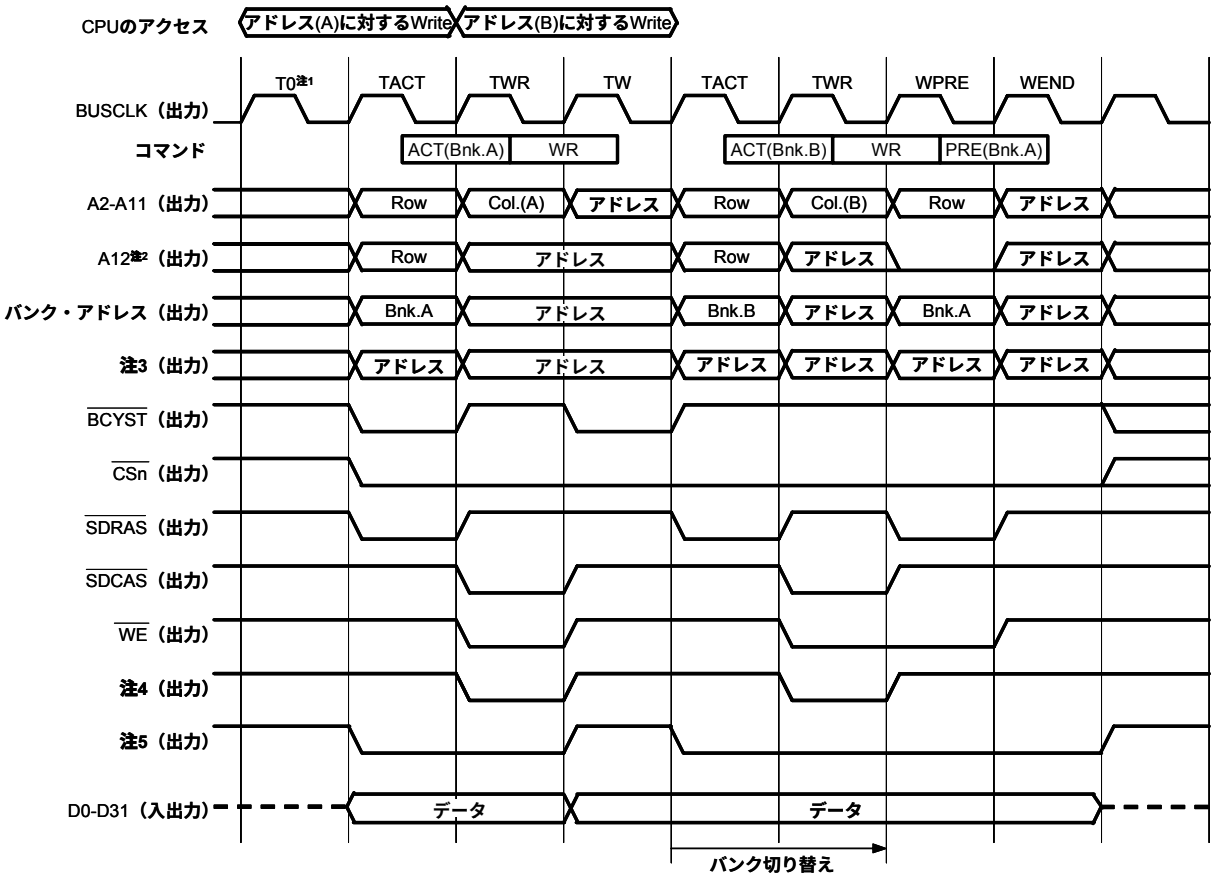
3.　Bnk.　：バンク・アドレス

Col.　：カラム・アドレス

Row　：ロウ・アドレス

図5ー10　SDRAMシングル・ライト・サイクル（4/6）

（c）バンク・チェンジの場合（1/2）



注1.　**バス・サイクル間に挿入されるステート（T0）です。**

2.　**外部バスが**32**ビット・バス幅の場合です。また，**16**ビット・バス幅の場合は**A11, 8**ビット・バス幅の場合は**A10**に読み替えてください。**

3.　**バンク・アドレス，**A12, A2-A11**以外のアドレス**

4.　xxWR**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 0）

5.　xxBE**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 1）

備考1.　**破線はハイ・インピーダンスを示します。**

2.　n = 1, 3, 4, 6

m = 0-3

xx = UU, UL, LU, LL

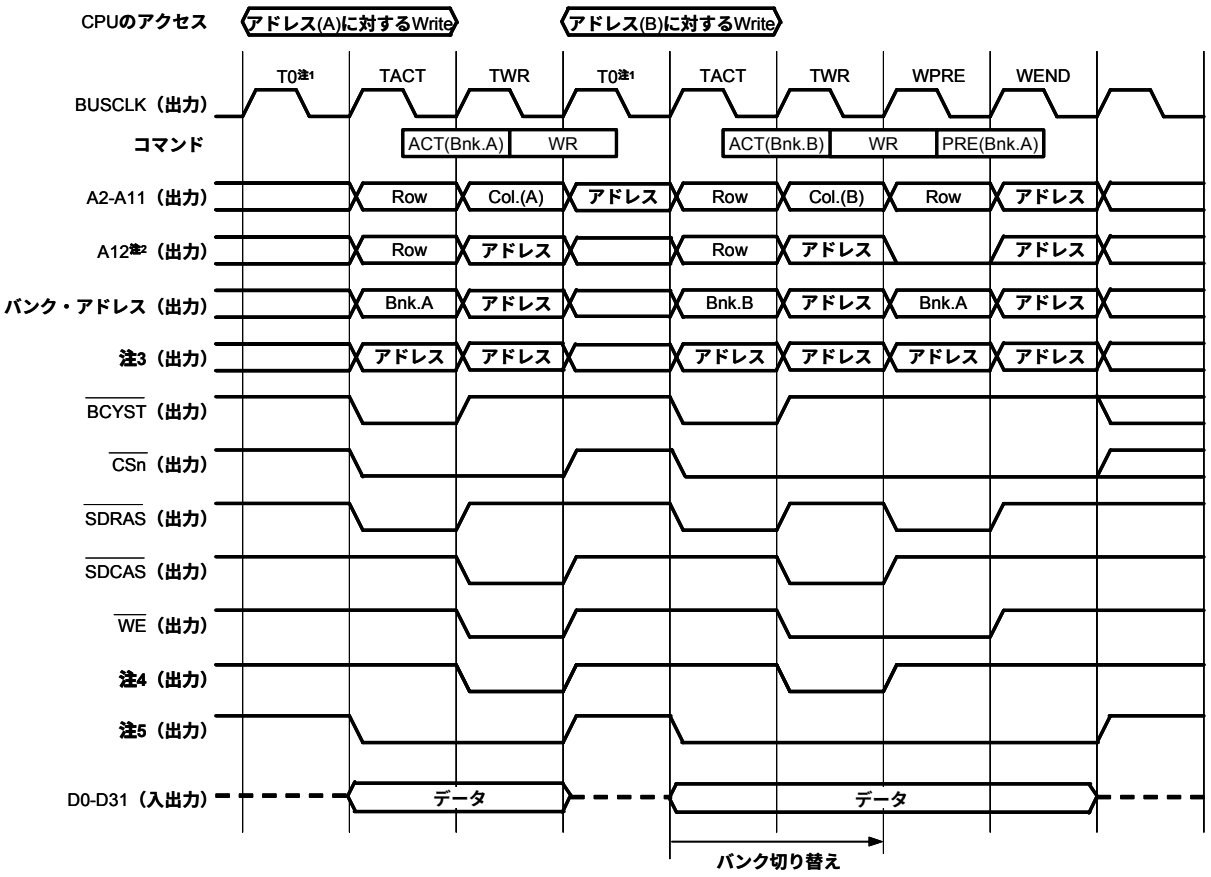
3.　Bnk.　**：バンク・アドレス**

Col.　**：カラム・アドレス**

Row　**：ロウ・アドレス**

図5ー10　SDRAMシングル・ライト・サイクル（5/6）

（c）バンク・チェンジの場合（2/2）



注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　外部バスが32ビット・バス幅の場合です。また，16ビット・バス幅の場合はA11, 8ビット・バス幅の場合はA10に読み替えてください。

3.　バンク・アドレス，A12, A2-A11以外のアドレス

4.　$\overline{\text{xxWR}}$出力モード/xxDQM出力モード設定時（PFCCTレジスタのPFCCTmビット = 0）

5.　$\overline{\text{xxBE}}$出力モード/xxDQM出力モード設定時（PFCCTレジスタのPFCCTmビット = 1）

備考1.　破線はハイ・インピーダンスを示します。

2.　n = 1, 3, 4, 6

m = 0-3

xx = UU, UL, LU, LL

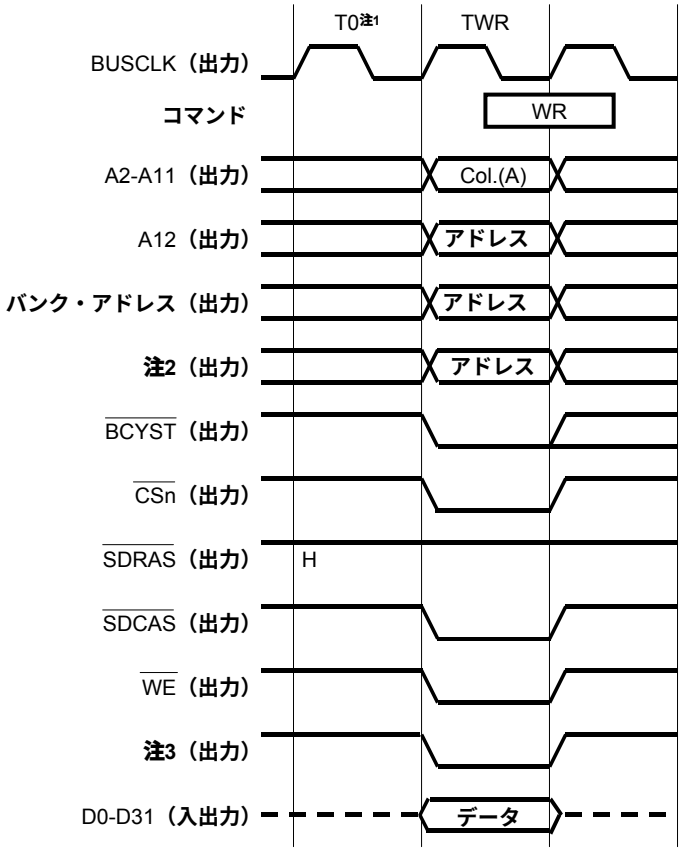
3.　Bnk.　：バンク・アドレス

Col.　：カラム・アドレス

Row　：ロウ・アドレス

図5ー10　SDRAMシングル・ライト・サイクル（6/6）

（d）オンページ・アクセス時（32ビット・バス幅）



注1.　**バス・サイクル間に挿入されるステート（**T0**）です。**

2.　**バンク・アドレス，**A12, A2-A11**以外のアドレス**

3.　UUDQM, ULDQM, LUDQM, LLDQM

備考1.　**破線はハイ・インピーダンスを示します。**

2.　n = 1, 3, 4, 6

3.　Col.　**：カラム・アドレス**

(3) SDRAMアクセス・タイミングの制御

SDRAMアクセス・タイミングは，SCRnレジスタで制御することができます（n = 1, 3, 4, 6）。

詳細は5. 3. 4　SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6（SCR1, SCR3, SCR4, SCR6）を参照してください。

注意　SDRAMアクセス時は，$\overline{\text{WAIT}}$端子によるウエイト制御はできません。

(a) バンク・アクティブ・コマンドからリード／ライト・コマンドのウエイト数

SCRnレジスタのBCWn1, BCWn0ビットで，バンク・アクティブ・コマンドを発行してから，リード／ライト・コマンドを発行するまでのウエイト・ステート数を設定できます。

BCWn1, BCWn0ビット = 01　：1ウエイト
BCWn1, BCWn0ビット = 10　：2ウエイト
BCWn1, BCWn0ビット = 11　：3ウエイト

(b) プリチャージ・コマンドからバンク・アクティブ・コマンドのウエイト数

SCRnレジスタのBCWn1, BCWn0ビットで，プリチャージ・コマンドを発行してから，バンク・アクティブ・コマンドを発行するまでのウエイト・ステート数を設定できます。

BCWn1, BCWn0ビット = 01　：1ウエイト
BCWn1, BCWn0ビット = 10　：2ウエイト
BCWn1, BCWn0ビット = 11　：3ウエイト

(c) リード時のCASレーテンシの設定

SCRnレジスタのLTMn2-LTMn0ビットで，リード時のCASレーテンシを設定できます。

LTMn2-LTMn0ビット = 001　：レーテンシ = 1（DMAフライバイ転送時は設定禁止）
LTMn2-LTMn0ビット = 010　：レーテンシ = 2
LTMn2-LTMn0ビット = 011　：レーテンシ = 3

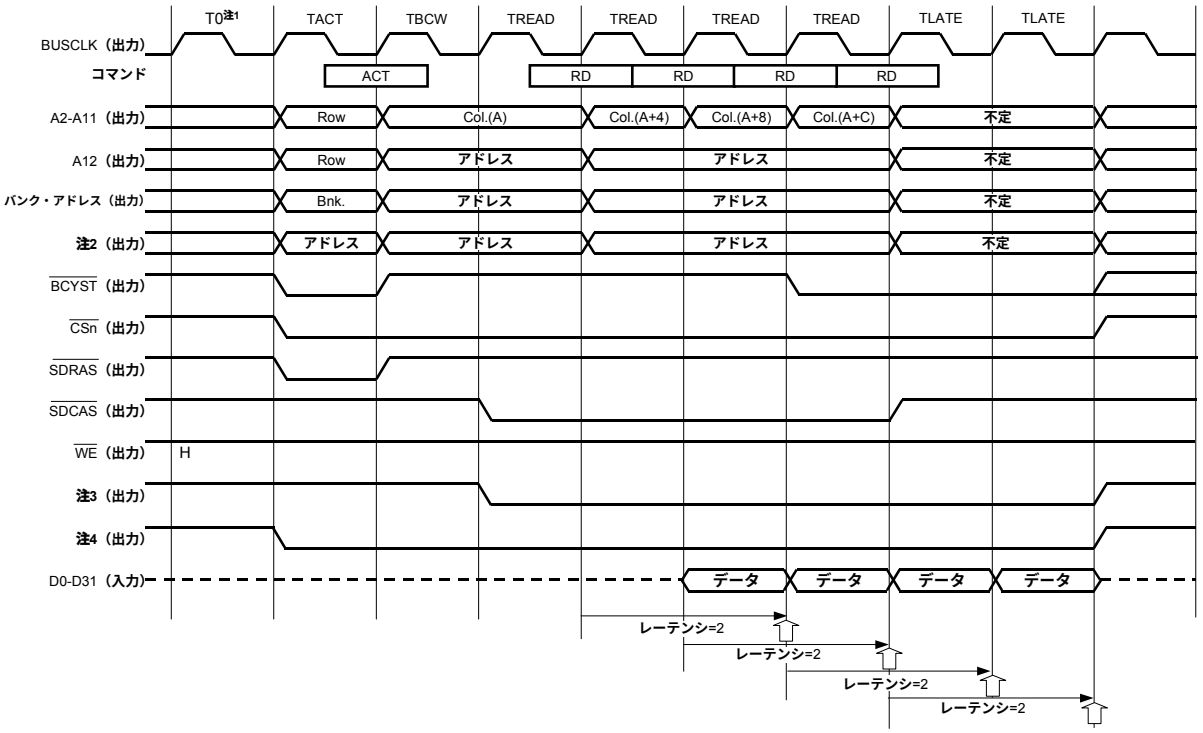
(d) リフレッシュ・コマンドから次のコマンドのウエイト数

SCRnレジスタのBCWn1, BCWn0ビットで，リフレッシュ・コマンドを発行してから，次のコマンドを発行するまでのウエイト・ステート数を設定できます。リフレッシュ・コマンドから次のコマンドを発行するまでのウエイト・ステート数は，BCWn1, BCWn0ビットの設定値の4倍になります。

BCWn1, BCWn0ビット = 01　：4ウエイト
BCWn1, BCWn0ビット = 10　：8ウエイト
BCWn1, BCWn0ビット = 11　：12ウエイト

図5ー11　SDRAMアクセス・タイミング（1/9）

（a）リード時（先読みあり，32ビット・バス幅，BCW = 2，レーテンシ = 2）



注1.　**バス・サイクル間に挿入されるステート（T0）です。**

2.　**バンク・アドレス，**A12, A2-A11**以外のアドレス**

3.　$\overline{\text{xxWR}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 0）

4.　$\overline{\text{xxBE}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 1）

備考1.　**破線はハイ・インピーダンスを示します。**

2.　n = 1, 3, 4, 6

m = 0-3

xx = UU, UL, LU, LL

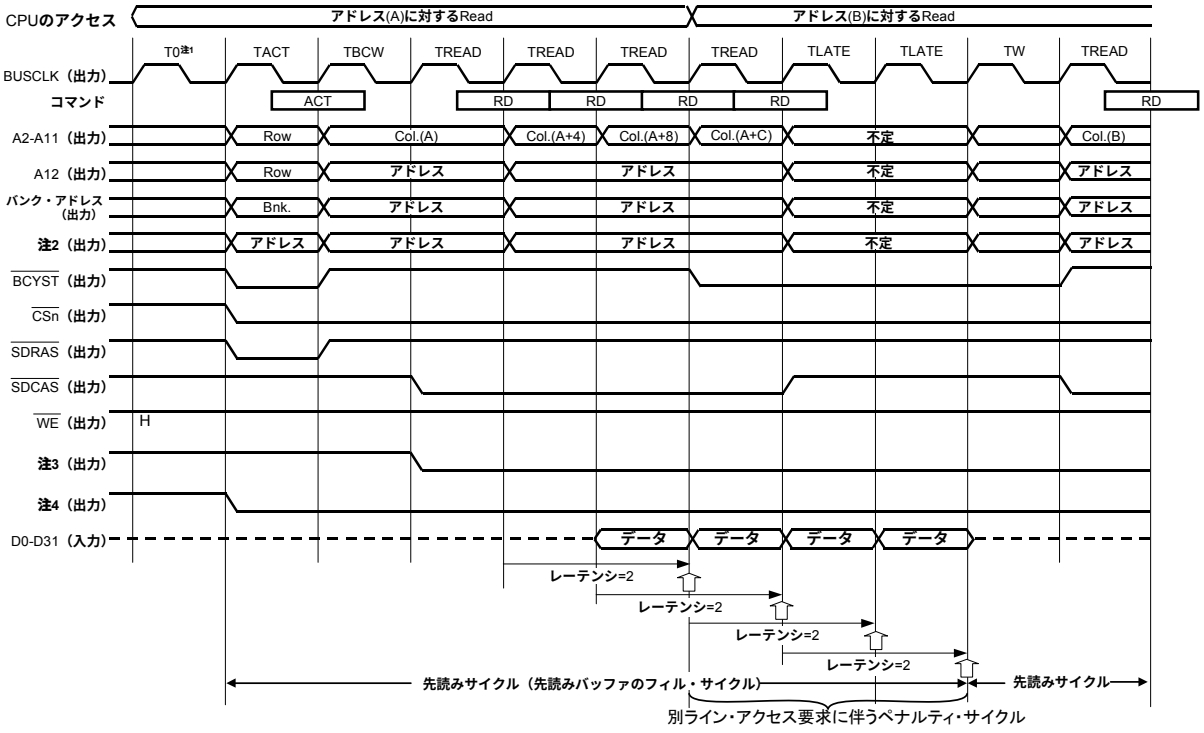
3.　Bnk.　**：バンク・アドレス**

Col.　**：カラム・アドレス**

Row　**：ロウ・アドレス**

図5－11　SDRAMアクセス・タイミング（2/9）

（b）リード時（先読みあり，別ライン上へのアクセス，32ビット・バス幅，BCW = 2，レーテンシ = 2）



注1.　**バス・サイクル間に挿入されるステート（**T0**）です。**

2.　**バンク・アドレス，**A12, A2-A11**以外のアドレス**

3.　$\overline{\text{xxWR}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 0**）**

4.　$\overline{\text{xxBE}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 1**）**

備考1.　**破線はハイ・インピーダンスを示します。**

2.　n = 1, 3, 4, 6

m = 0-3

xx = UU, UL, LU, LL

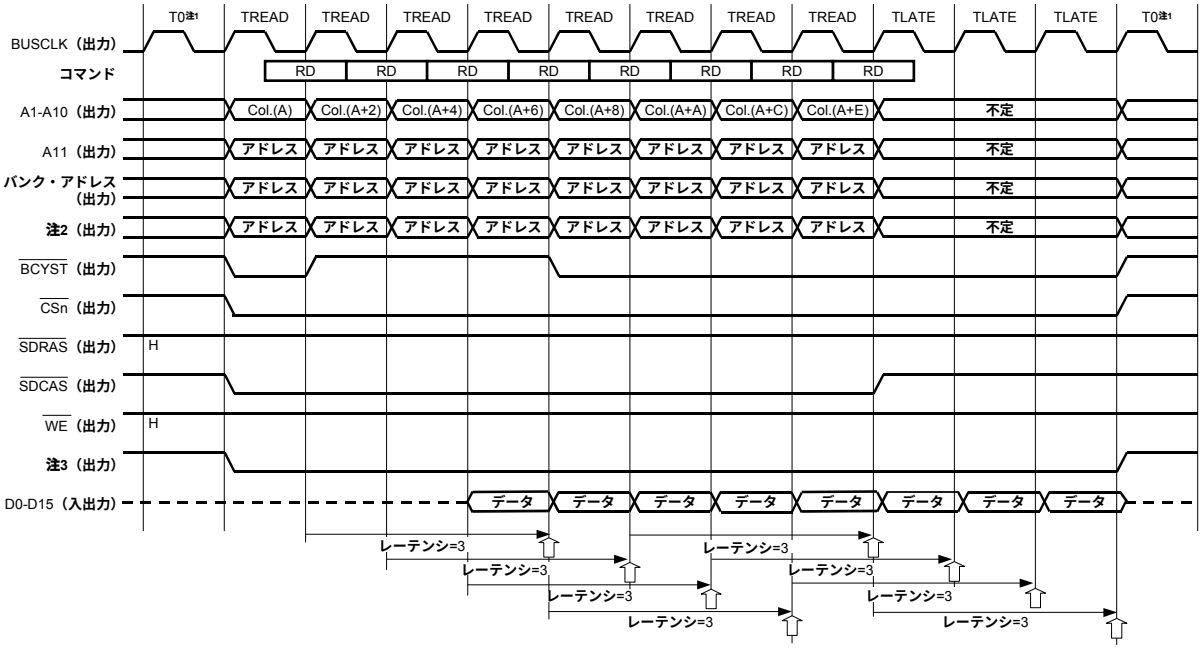
3.　Bnk.　**：バンク・アドレス**

Col.　**：カラム・アドレス**

Row　**：ロウ・アドレス**

図5ー11　SDRAMアクセス・タイミング（3/9）

（c）リード時（16ビット・バス幅，キャッシュ・フィル動作，レーテンシ = 3）



注1.　**バス・サイクル間に挿入されるステート（**T0**）です。**

2.　**バンク・アドレス，**A11, A1-A10**以外のアドレス**

3.　UUDQM, ULDQM, LUDQM, LLDQM

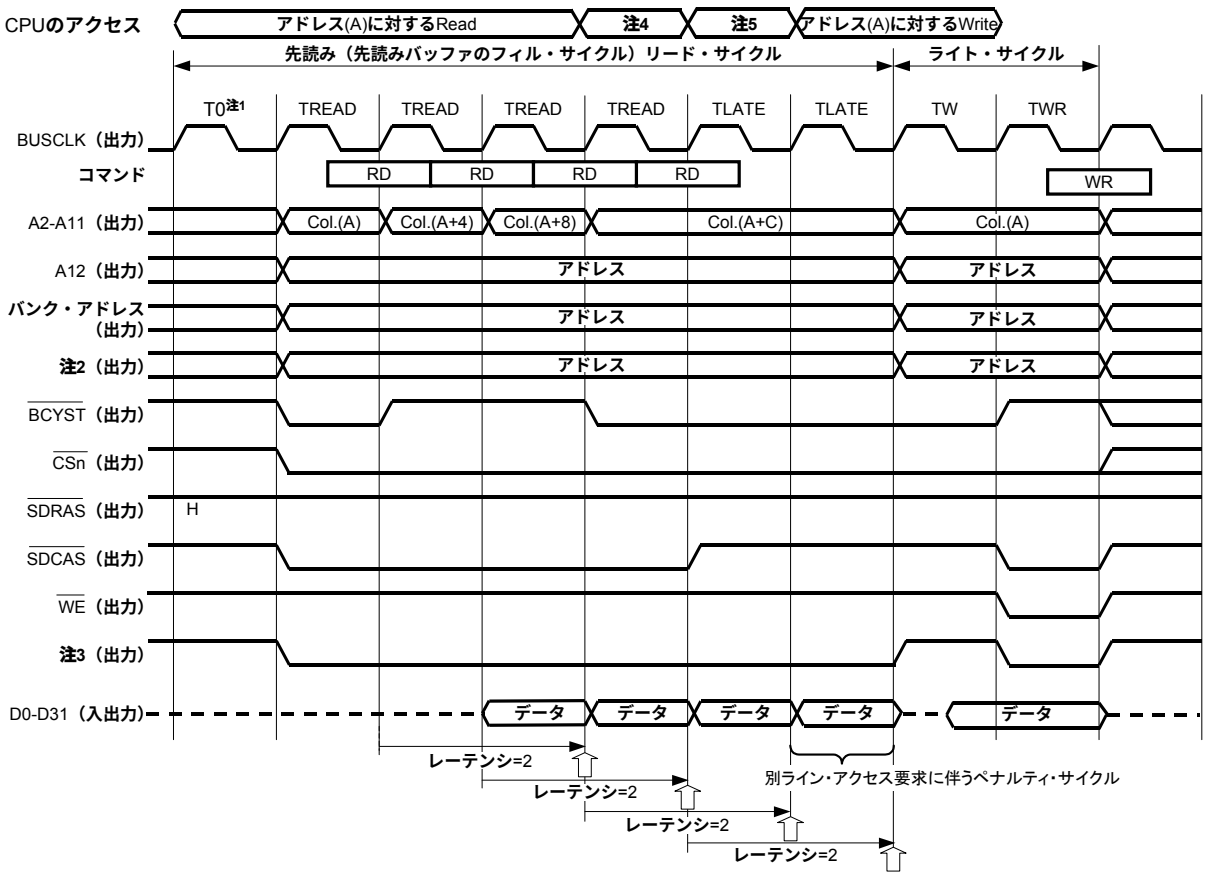
備考1.　**破線はハイ・インピーダンスを示します。**

2.　n = 1, 3, 4, 6

3.　Col.　**：カラム・アドレス**

図5ー11　SDRAMアクセス・タイミング（4/9）

（d）リード→ライト時（先読みあり，レーテンシ = 2，32ビット・バス幅）（1/2）



注1.　**バス・サイクル間に挿入されるステート（T0）です。**

2.　**バンク・アドレス，**A12, A2-A11**以外のアドレス**

3.　UUDQM, ULDQM, LUDQM, LLDQM

4.　**アドレス（A+4）に対するリード**

5.　**アドレス（A+8）に対するリード**

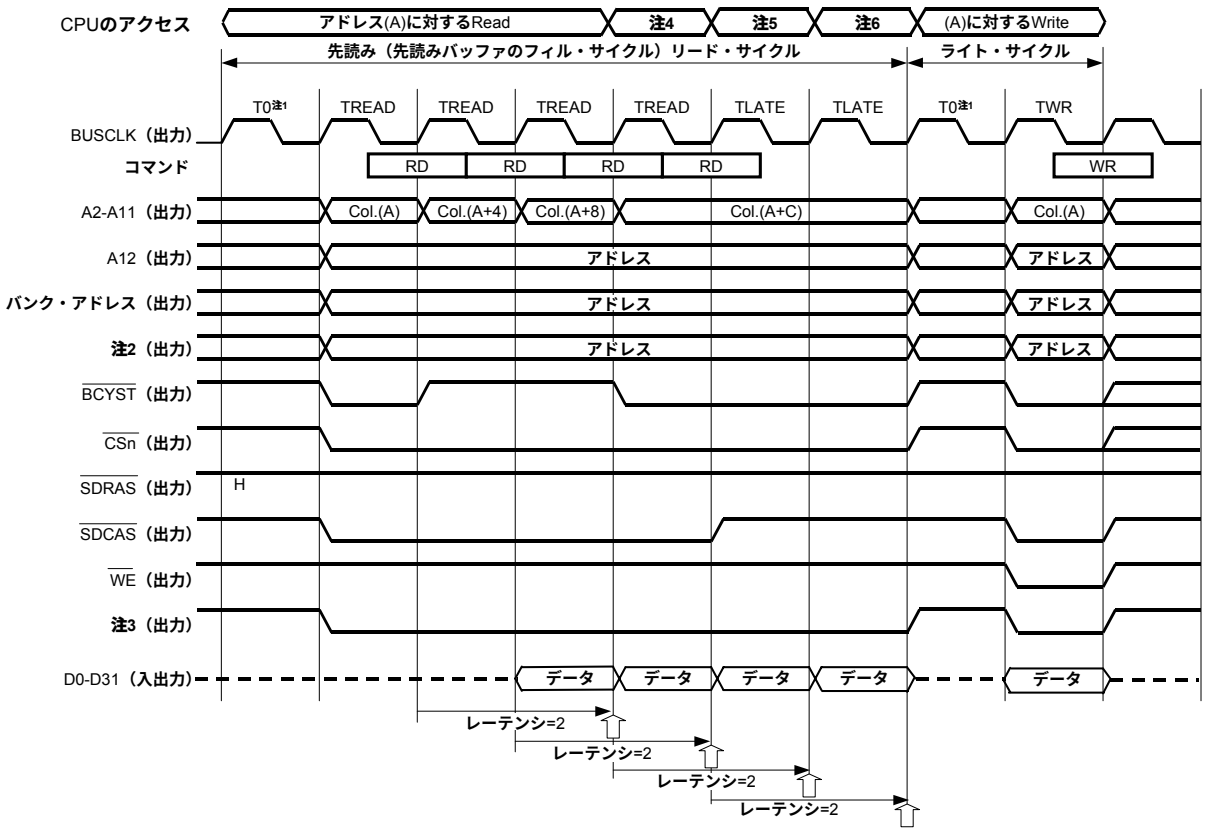
備考1.　**破線はハイ・インピーダンスを示します。**

2.　n = 1, 3, 4, 6

3.　Col.　**：カラム・アドレス**

図5ー11　SDRAMアクセス・タイミング（5/9）

（d）リード→ライト時（先読みあり，レーテンシ = 2，32ビット・バス幅）（2/2）



注1.　**バス・サイクル間に挿入されるステート（**T0**）です。**

2.　**バンク・アドレス，**A12, A2-A11**以外のアドレス**

3.　UUDQM, ULDQM, LUDQM, LLDQM

4.　**アドレス（**A+4**）に対するリード**

5.　**アドレス（**A+8**）に対するリード**

6.　**アドレス（**A+C**）に対するリード**

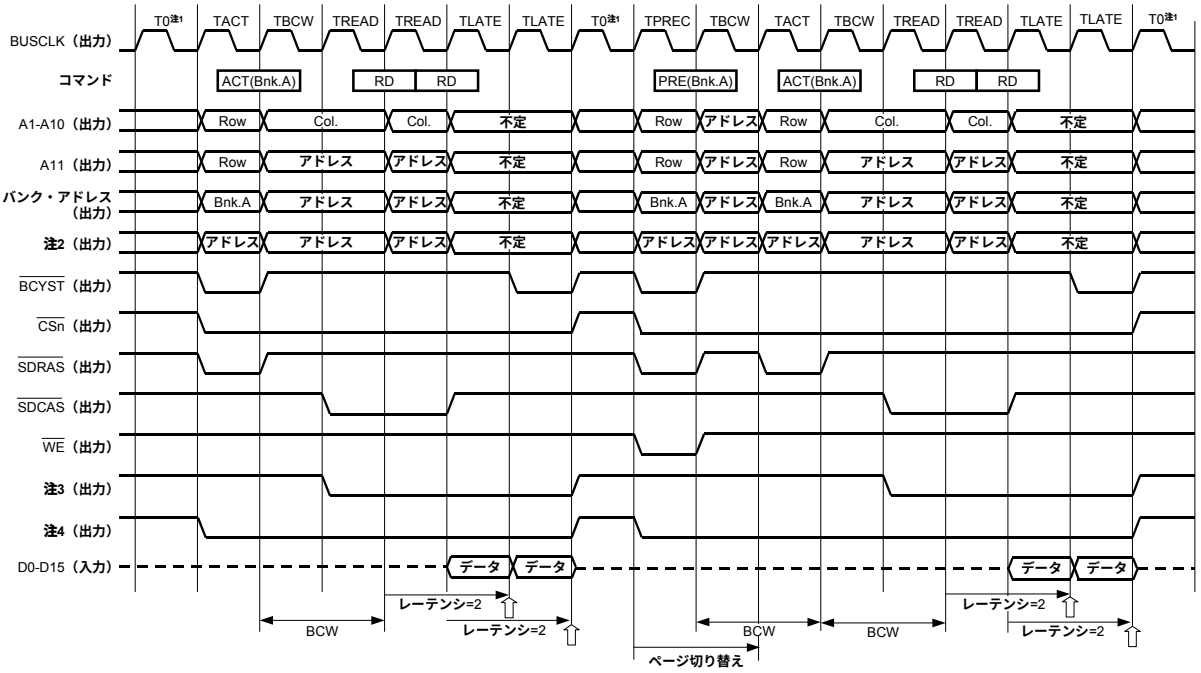
備考1.　**破線はハイ・インピーダンスを示します。**

2.　n = 1, 3, 4, 6

3.　Col.　　**：カラム・アドレス**

図5ー11　SDRAMアクセス・タイミング（6/9）

（e）リード時（先読みなし，16ビット・バス幅ワード・アクセス時，ページ・チェンジ，BCW = 2，レーテンシ = 2）



注1.　**バス・サイクル間に挿入されるステート（**T0**）です。**

2.　**バンク・アドレス，**A11, A1-A10**以外のアドレス**

3.　$\overline{\text{xxWR}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 0**）**

4.　$\overline{\text{xxBE}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 1**）**

備考1.　**破線はハイ・インピーダンスを示します。**

2.　n = 1, 3, 4, 6

m = 0-3

xx = UU, UL, LU, LL

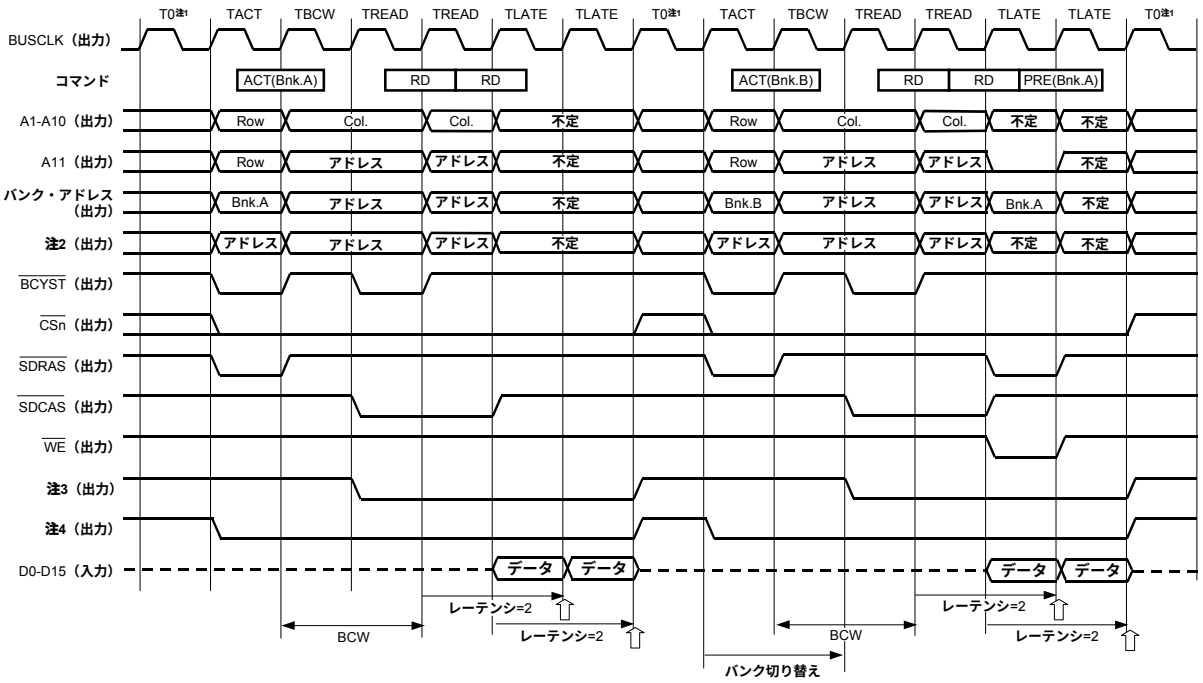
3.　Bnk.　**：バンク・アドレス**

Col.　**：カラム・アドレス**

Row　**：ロウ・アドレス**

図5－11　SDRAMアクセス・タイミング（7/9）

（f）リード時（先読みなし，16ビット・バス幅ワード・アクセス時，バンク・チェンジ，BCW = 2，レーテンシ = 2）



注1.　**バス・サイクル間に挿入されるステート（T0）です。**

2.　**バンク・アドレス，**A12, A2-A11**以外のアドレス**

3.　$\overline{\text{xxWR}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 0）

4.　$\overline{\text{xxBE}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 1）

備考1.　**破線はハイ・インピーダンスを示します。**

2.　n = 1, 3, 4, 6

m = 0-3

xx = UU, UL, LU, LL

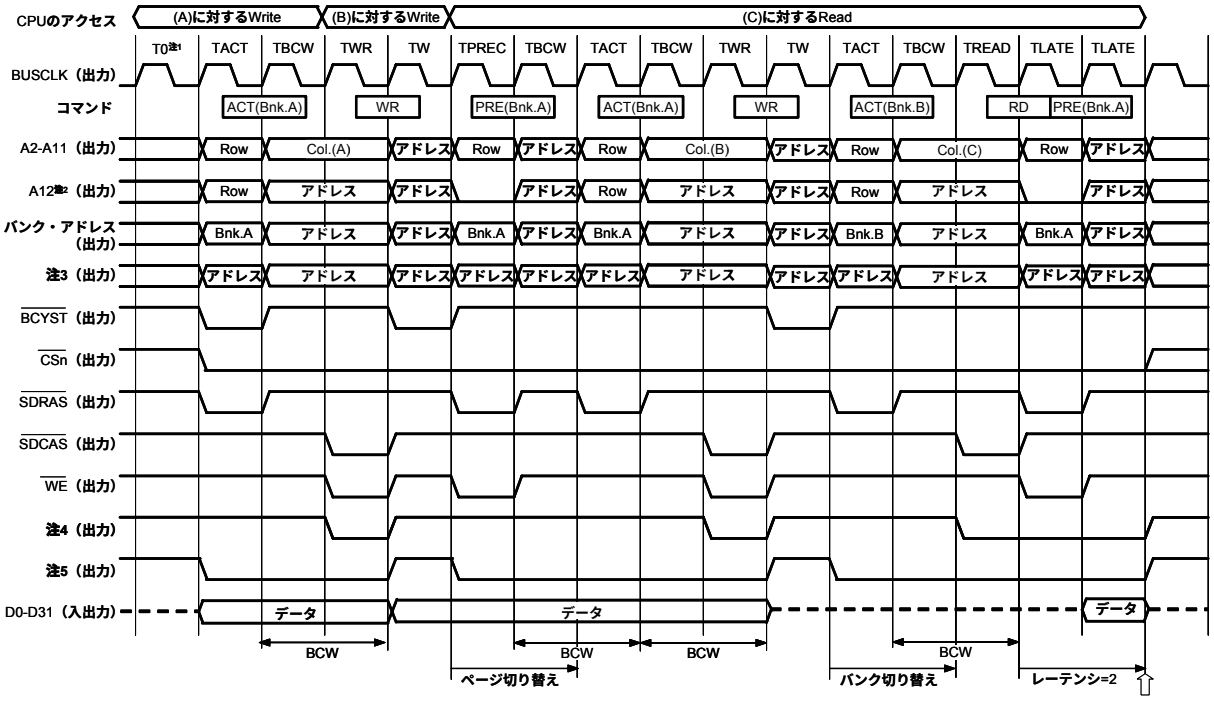
3.　Bnk.　**：バンク・アドレス**

Col.　**：カラム・アドレス**

Row　**：ロウ・アドレス**

図5ー11　SDRAMアクセス・タイミング（8/9）

（g）ライト→リード時



注1.　**バス・サイクル間に挿入されるステート（**T0**）です。**

2.　**外部バスが**32**ビット・バス幅の場合です。また，**16**ビット・バス幅の場合は**A11, 8**ビット・バス幅の場合は**A10**に読み替えてください。**

3.　**バンク・アドレス，**A12, A2-A11**以外のアドレス**

4.　$\overline{\text{xxWR}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 0）

5.　$\overline{\text{xxBE}}$**出力モード**/xxDQM**出力モード設定時（**PFCCT**レジスタの**PFCCTm**ビット** = 1）

備考1.　**破線はハイ・インピーダンスを示します。**

2.　n = 1, 3, 4, 6

m = 0-3

xx = UU, UL, LU, LL

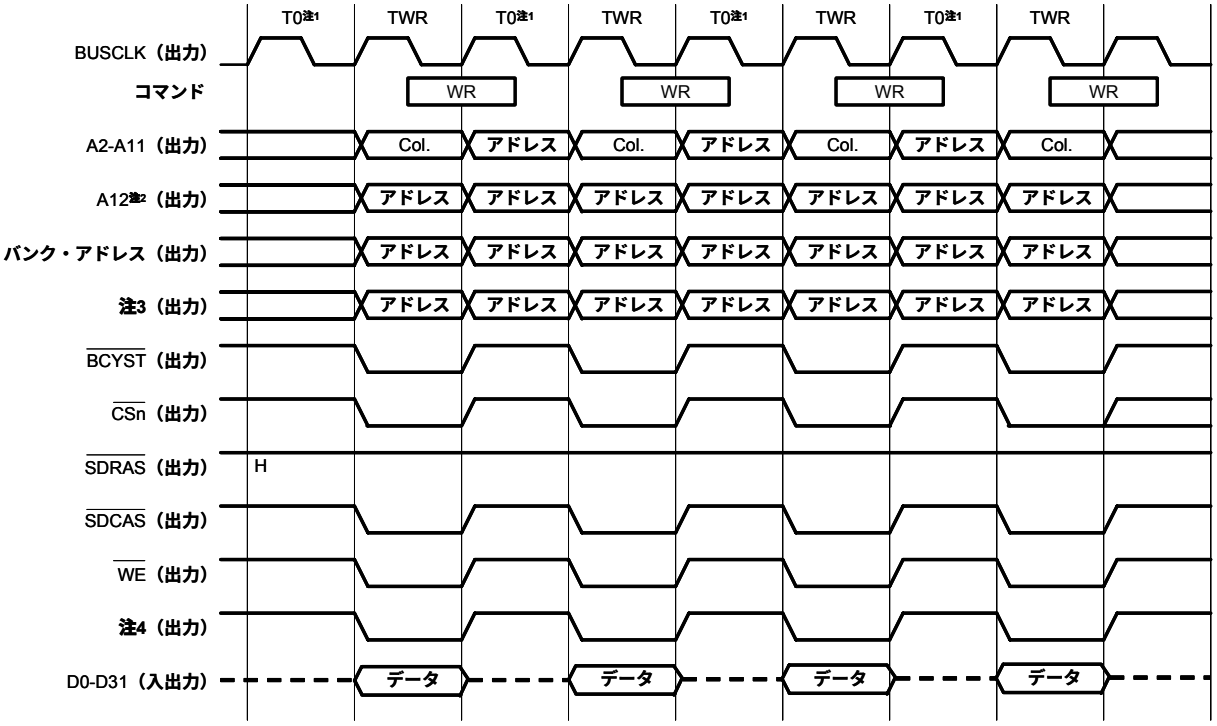
3.　Bnk.　**：バンク・アドレス**

Col.　**：カラム・アドレス**

Row　**：ロウ・アドレス**

図5ー11　SDRAMアクセス・タイミング（9/9）

（h）ライト時（オンページ連続アクセス時）



注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　外部バスが32ビット・バス幅の場合です。また，16ビット・バス幅の場合はA11, 8ビット・バス幅の場合はA10に読み替えてください。

3.　バンク・アドレス，A12, A2-A11以外のアドレス

4.　UUDQM, ULDQM, LUDQM, LLDQM

備考1.　破線はハイ・インピーダンスを示します。

2.　n = 1, 3, 4, 6

3.　Col.　　：カラム・アドレス

5. 3. 6　リフレッシュ制御機能

V850E/ME2は，リフレッシュ・サイクルを生成できます。リフレッシュ・サイクルの設定は，RFSnレジスタで行います（n = 1, 3, 4, 6）。RFSnレジスタは$\overline{\text{CSn}}$に対応しています。たとえば，$\overline{\text{CS1}}$にSDRAMを接続する場合はRFS1レジスタを設定してください。

ほかのバス・マスタが外部バスを占有している場合は，SDRAMコントローラは，外部バスを占有できません。その場合，SDRAMコントローラは，$\overline{\text{REFRQ}}$信号をアクティブ（ロウ・レベル）にして，バス・マスタにリフレッシュ要求を行います。

リフレッシュ期間中，アドレス・バスは，リフレッシュ・サイクルの直前の状態を保持します。

(1) SDRAMリフレッシュ・コントロール・レジスタ1, 3, 4, 6（RFS1, RFS3, RFS4, RFS6）

リフレッシュの許可／禁止，リフレッシュ間隔を設定します。リフレッシュ間隔は次の計算式により求められます。

リフレッシュ間隔（μs）= リフレッシュ・カウント・クロック（T_{RCY}）×インターバル・ファクタ

リフレッシュ・カウント・クロック，インターバル・ファクタは，それぞれRCCn1, RCCn0ビット，RIN5n-RIN0nビットにより求めます。

なお，nはSCR1, SCR3, SCR4, SCR6レジスタのレジスタ番号（1, 3, 4, 6）に対応します。

16ビット単位でリード／ライト可能です。

注意1. RFS1, RFS3, RFS4, RFS6レジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。ただし，CKCレジスタの設定値（内部システム・クロック（f_{CLK}））を変更することで，SDRAMのリフレッシュ間隔も変更する必要がある場合のみ，RFS1, RFS3, RFS4, RFS6レジスタの設定値を変更できます。詳細は8. 3. 1　クロック・コントロール・レジスタ（CKC）の注意2を参照してください。また，RFS1, RFS3, RFS4, RFS6レジスタの初期設定が終わるまでは，その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域のアクセスは可能です。

2. リフレッシュ間隔を切り替える場合，切り替えの間でもリフレッシュが十分間に合うような値を考慮して設定してください。詳細については，8. 3. 1（1）リフレッシュ間隔変更時の注意点を参照してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
RFS1	REN1	0	0	0	0	0	RCC11	RCC10	0	0	RIN15	RIN14	RIN13	RIN12	RIN11	RIN10	FFFFF4A6H	0000H
RFS3	REN3	0	0	0	0	0	RCC31	RCC30	0	0	RIN35	RIN34	RIN33	RIN32	RIN31	RIN30	FFFFF4AEH	0000H
RFS4	REN4	0	0	0	0	0	RCC41	RCC40	0	0	RIN45	RIN44	RIN43	RIN42	RIN41	RIN40	FFFFF4B2H	0000H
RFS6	REN6	0	0	0	0	0	RCC61	RCC60	0	0	RIN65	RIN64	RIN63	RIN62	RIN61	RIN60	FFFFF4BAH	0000H

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>15</td><td>RENn</td><td>CBR（オート）リフレッシュの許可／禁止を指定します。
0：リフレッシュ禁止
1：リフレッシュ許可</td></tr>
<tr><td>9, 8</td><td>RCCn1,
RCCn0</td><td>リフレッシュ・カウント・クロック（T_{RCY}）を指定します。
<table>
<tr><th>RCCn1</th><th>RCCn0</th><th>リフレッシュ・カウント・クロック（T_{RCY}）</th></tr>
<tr><td>0</td><td>0</td><td>32/BUSCLK</td></tr>
<tr><td>0</td><td>1</td><td>128/BUSCLK</td></tr>
<tr><td>1</td><td>0</td><td>256/BUSCLK</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>5-0</td><td>RINn5-RINn0</td><td>リフレッシュ・タイミング生成用インターバル・タイマのインターバル・ファクタを設定します。
<table>
<tr><th>RINn5</th><th>RINn4</th><th>RINn3</th><th>RINn2</th><th>RINn1</th><th>RINn0</th><th>インターバル・ファクタ</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>2</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>3</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>4</td></tr>
<tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>64</td></tr>
</table></td></tr>
</table>

備考　n = 1, 3, 4, 6

表5－1　インターバル・ファクタの設定例

リフレッシュ間隔の規定値（μs）	リフレッシュ・カウント・クロック（T_{RCY}）	インターバル・ファクタの値注1, 2	
		BUSCLK = 66 MHz	BUSCLK = 50 MHz
15.6	32/BUSCLK	32（15.5）	24（15.4）
	128/BUSCLK	8（15.5）	6（15.4）
	256/BUSCLK	4（15.5）	3（15.4）

注1.　インターバル・ファクタは，RINn0-RINn5ビットで設定します（n = 1, 3, 4, 6）。

2.　かっこ内はリフレッシュ間隔の計算値（μs）です。

リフレッシュ間隔（μs）= リフレッシュ・カウント・クロック（T_{RCY}）×インターバル・ファクタ

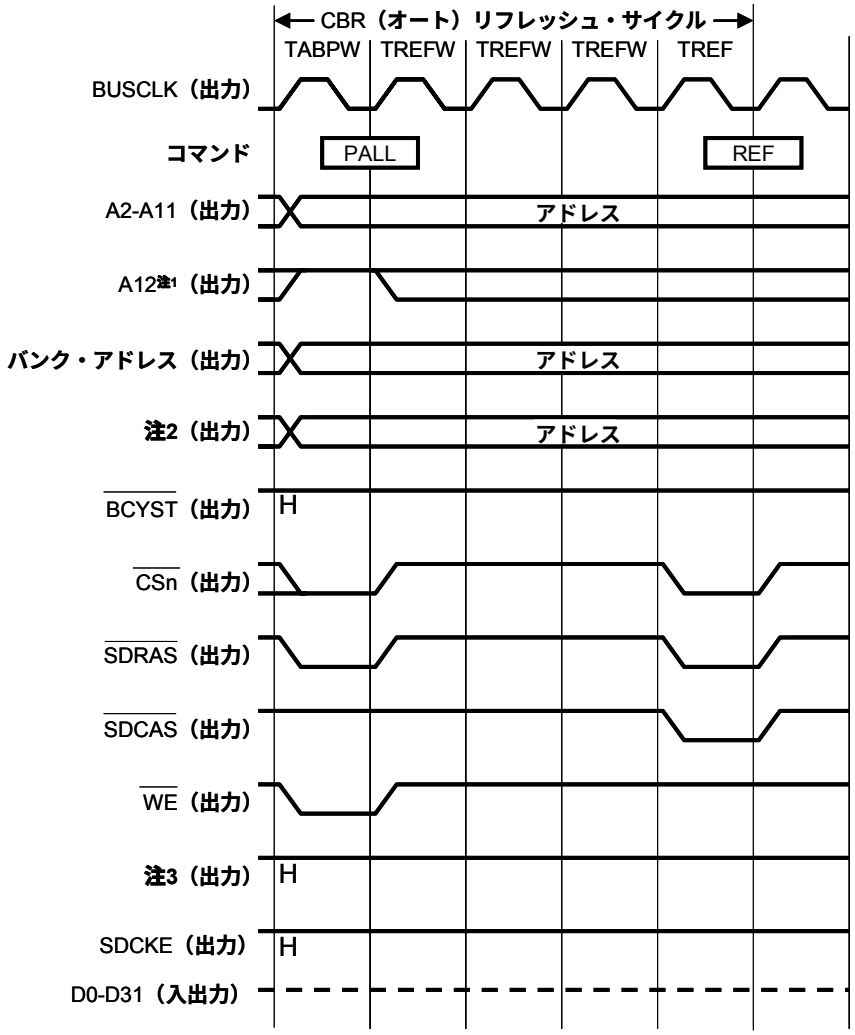
注意　リフレッシュ要求は，RFSnレジスタで設定されたリフレッシュ間隔で発生しますが，実際のリフレッシュ・サイクルは外部バスの状態（バス・サイクル実行中，またはバス・ホールド中）により待たされることがあります。

V850E/ME2は，CBR（オート）リフレッシュ・サイクル，セルフ・リフレッシュ・サイクルを自動的に発生することができます。

(2) CBR（オート）リフレッシュ・サイクル

CBR（オート）リフレッシュ・サイクルは，全バンクのプリチャージ・コマンド（PALL）を発行したあと，4クロック後にCBR（オート）リフレッシュ・コマンド（REF）が発行されます。

図5－12　CBR（オート）リフレッシュ・サイクル



注1.　外部バスが32ビット・バス幅の場合です。また，16ビット・バス幅の場合はA11, 8ビット・バス幅の場合はA10に読み替えてください。

2.　バンク・アドレス，A12, A2-A11以外のアドレス

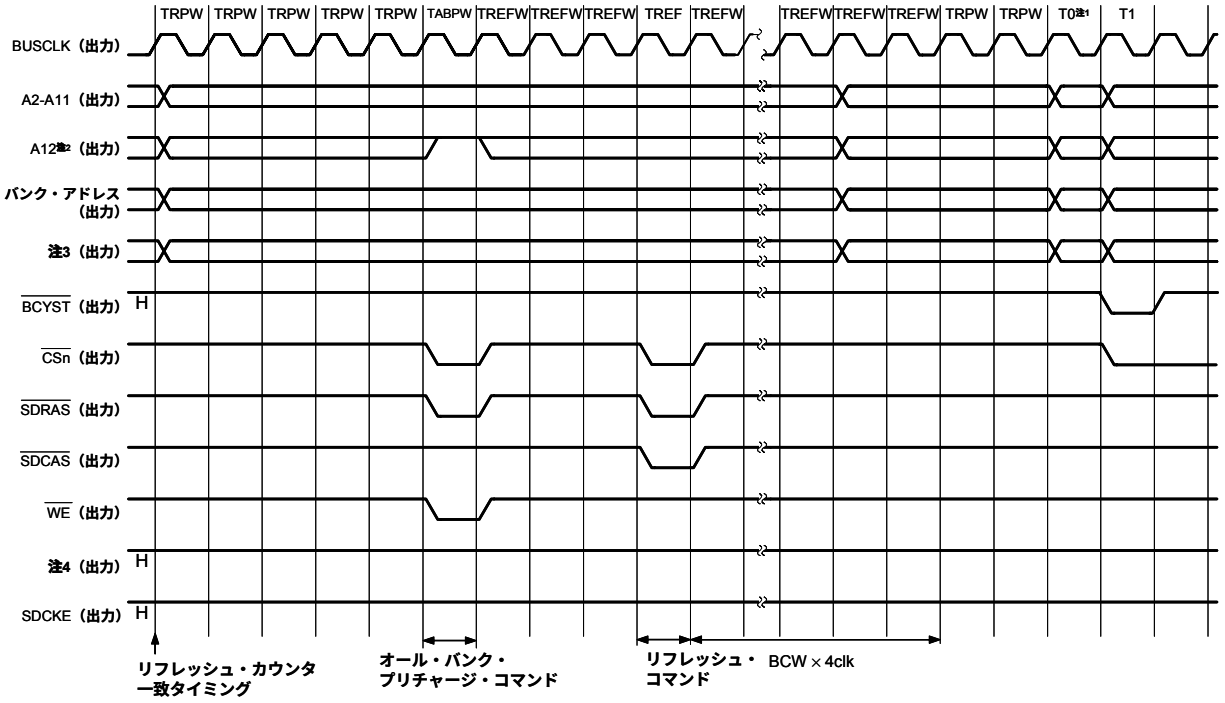
3.　UUDQM, ULDQM, LUDQM, LLDQM

備考1.　破線はハイ・インピーダンスを示します。

2.　n = 1, 3, 4, 6

(3) CBR（オート）リフレッシュ・タイミング

図5－13　CBR（オート）リフレッシュ・タイミング（SDRAM）



注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　外部バスが32ビット・バス幅の場合です。また，16ビット・バス幅の場合はA11, 8ビット・バス幅の場合はA10に読み替えてください。

3.　バンク・アドレス，A12, A2-A11以外のアドレス

4.　UUDQM, ULDQM, LUDQM, LLDQM

備考1.　BCW×4clk = SCRnレジスタのBCWn1, BCWn0ビットで設定したウエイト・ステート数×4clk分のウエイトが挿入されます。

2.　n = 1, 3, 4, 6

5. 3. 7　セルフ・リフレッシュ制御機能

IDLEモード，ソフトウエアSTOPモードに移行した場合や$\overline{\text{SELFREF}}$信号がアクティブになった場合，DRAMコントローラは，セルフ・リフレッシュ・サイクルを生成します。

注意1. $\overline{\text{SELFREF}}$信号入力により，セルフ・リフレッシュ・サイクルに移行した場合は，$\overline{\text{SELFREF}}$端子にインアクティブ・レベルを入力することでのみ，セルフ・リフレッシュ・サイクルを解除できます。

2. セルフ・リフレッシュに移行した場合でも内蔵命令RAM（リード・モード時のみ），内蔵データRAMにアクセスできます。ただし，内蔵周辺I/Oレジスタ，または外部デバイスへのアクセスはセルフ・リフレッシュが解除されるまで保留されます。

セルフ・リフレッシュ・サイクルの解除は，次の方法で行います。

（1）NMI入力による解除

（a）IDLEモードでのセルフ・リフレッシュ・サイクルの場合

ただちに$\overline{\text{SDRAS}}$, $\overline{\text{SDCAS}}$信号をインアクティブにし，セルフ・リフレッシュ・サイクルを解除します。

（b）ソフトウエアSTOPモードでのセルフ・リフレッシュ・サイクルの場合

発振が安定してから$\overline{\text{SDRAS}}$, $\overline{\text{SDCAS}}$信号をインアクティブにし，セルフ・リフレッシュ・サイクルを解除します。

（2）INTPn入力による解除（n = 10, 11, 21-25, 50-52, 65-67, D0-D15, L0, L1）

（a）IDLEモードでのセルフ・リフレッシュ・サイクルの場合

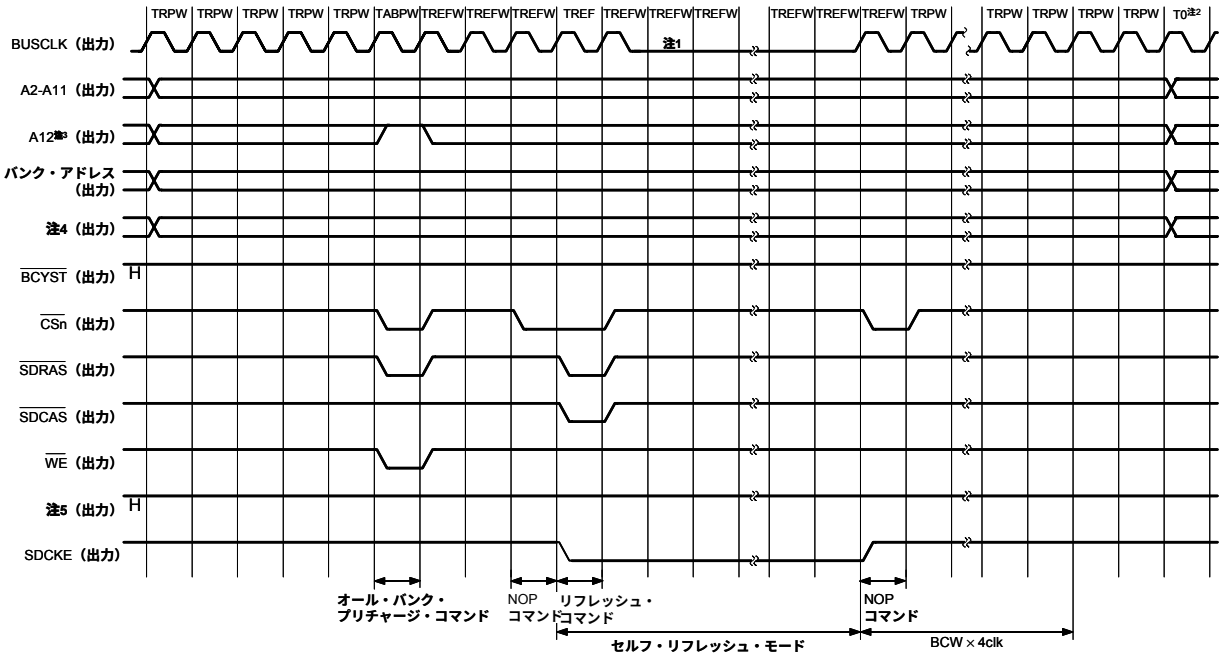
ただちに$\overline{\text{SDRAS}}$, $\overline{\text{SDCAS}}$信号をインアクティブにし，セルフ・リフレッシュ・サイクルを解除します。

（b）ソフトウエアSTOPモードでのセルフ・リフレッシュ・サイクルの場合

発振が安定してから$\overline{\text{SDRAS}}$, $\overline{\text{SDCAS}}$信号をインアクティブにし，セルフ・リフレッシュ・サイクルを解除します。

（3）$\overline{\text{RESET}}$入力による解除

図5ー14　セルフ・リフレッシュ・タイミング（SDRAM）



注1.　IDLEモード，ソフトウエアSTOPモードによりセルフ・リフレッシュ・サイクルに移行した場合です。$\overline{\text{SELFREF}}$信号のアクティブ・レベル入力によりセルフ・リフレッシュ・サイクルに移行した場合，BUSCLKは停止しません（SDCKEはロウ・レベルになります）。

2. バス・サイクル間に挿入されるステート（T0）です。

3. 外部バスが32ビット・バス幅の場合です。また，16ビット・バス幅の場合はA11, 8ビット・バス幅の場合はA10に読み替えてください。

4. バンク・アドレス，A12, A2-A11以外のアドレス

5. UUDQM, ULDQM, LUDQM, LLDQM

備考1.　BCW×4clk = SCRnレジスタのBCWn1, BCWn0ビットで設定したウエイト・ステート数×4clk分のウエイトが挿入されます。

2. n = 1, 3, 4, 6

5. 3. 8　SDRAM初期化シーケンス

電源投入時にはSDRAMを初期化してください。SDRAMの初期化は次の手順で行ってください。

(1) SDRAMのレジスタを設定してください（SDRAMコンフィギュレーション・レジスタn（SCRn），SDRAMリフレッシュ・コントロール・レジスタn（RFSn）以外）。

- バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1（BCT0, BCT1）
- バス・サイクル・コントロール・レジスタ（BCC）

(2) SDRAMリフレッシュ・コントロール・レジスタ1, 3, 4, 6（RFS1, RFS3, RFS4, RFS6）のRENnビット以外を設定してください。RENnビットには0を設定してください。

(3) SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6（SCR1, SCR3, SCR4, SCR6）を設定してください。SCRnレジスタに書き込みを行うと，SDRAMに対して次のコマンドが順に発行されます。

- 全バンク・プリチャージ・コマンド
- リフレッシュ・コマンド×8回
- モード・レジスタを設定するコマンド

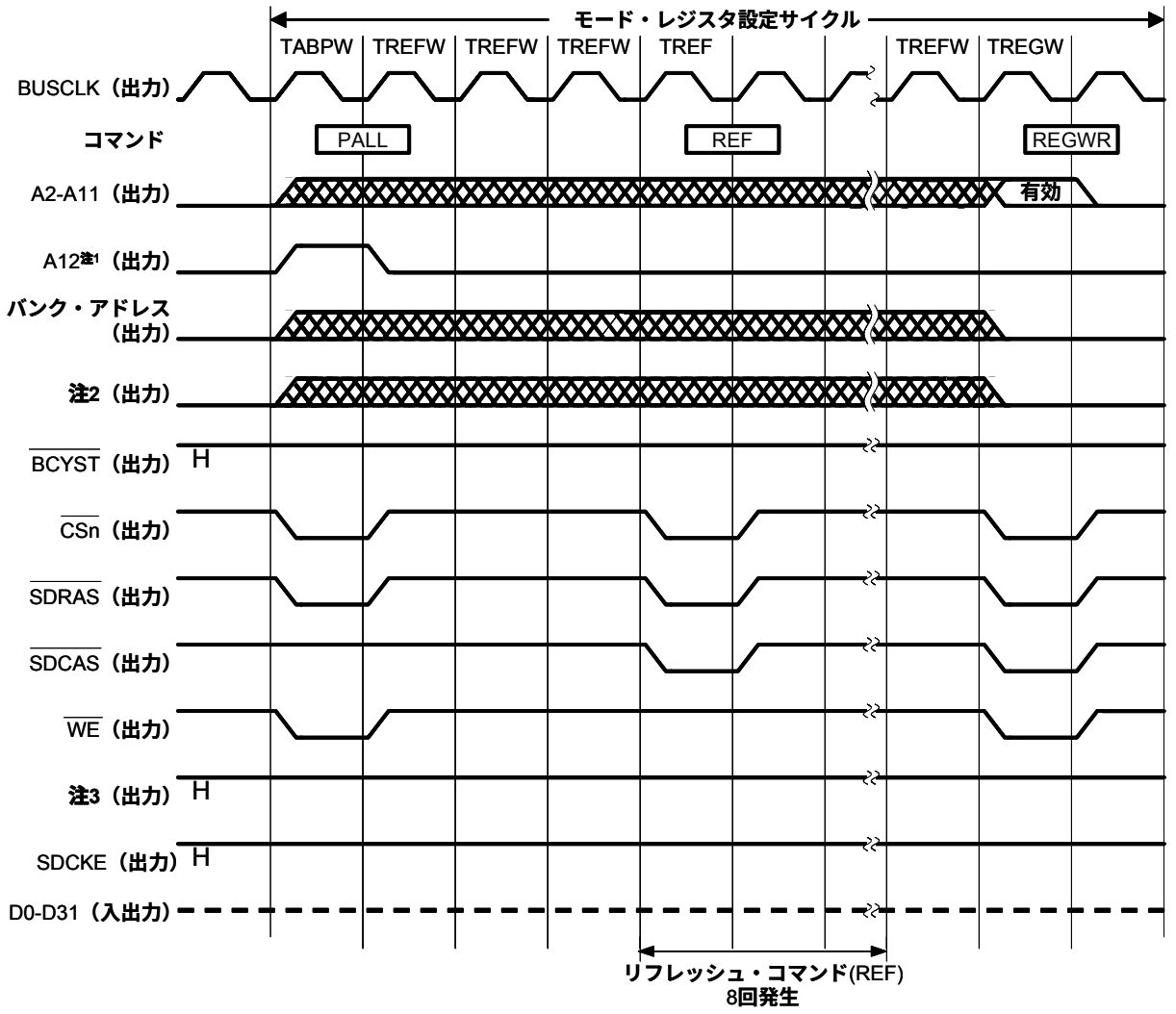
(4) すべてのSDRAM初期化完了をSCRnレジスタのWCFnビットで確認したあと，RFSnレジスタのRENnビットに1を設定してください。RENnビット以外のビットには，(2) で設定した値をそのまま設定してください。

注意1. SCR1, SCR3, SCR4, SCR6レジスタの設定は，LOCKRレジスタのLOCKビットがセット（1）されていることを確認し，CKSレジスタのCKSSELビットをセット（1）し，CPUへのクロック供給をSSCG出力に切り替えたあとで行ってください（3. 4. 10　初期化シーケンス参照）。

2. SDRAMの初期化が完了するまで，UUDQM, ULDQM, LUDQM, LLDQM端子への入力レベルをハイ・レベルにする必要がある場合には，SDRAMの初期化が完了するまでは，PFCCTレジスタのPFCCT3-PFCCT0ビットの設定値の変更および外部デバイスへのライト動作を行わないでください。

図5－15，図5－16にSDRAMモード・レジスタ設定のタイミングの例を示します。

図5－15　SDRAMモード・レジスタ設定サイクル



注1.　外部バスが32ビット・バス幅の場合です。また，16ビット・バス幅の場合はA11, 8ビット・バス幅の場合はA10に読み替えてください。

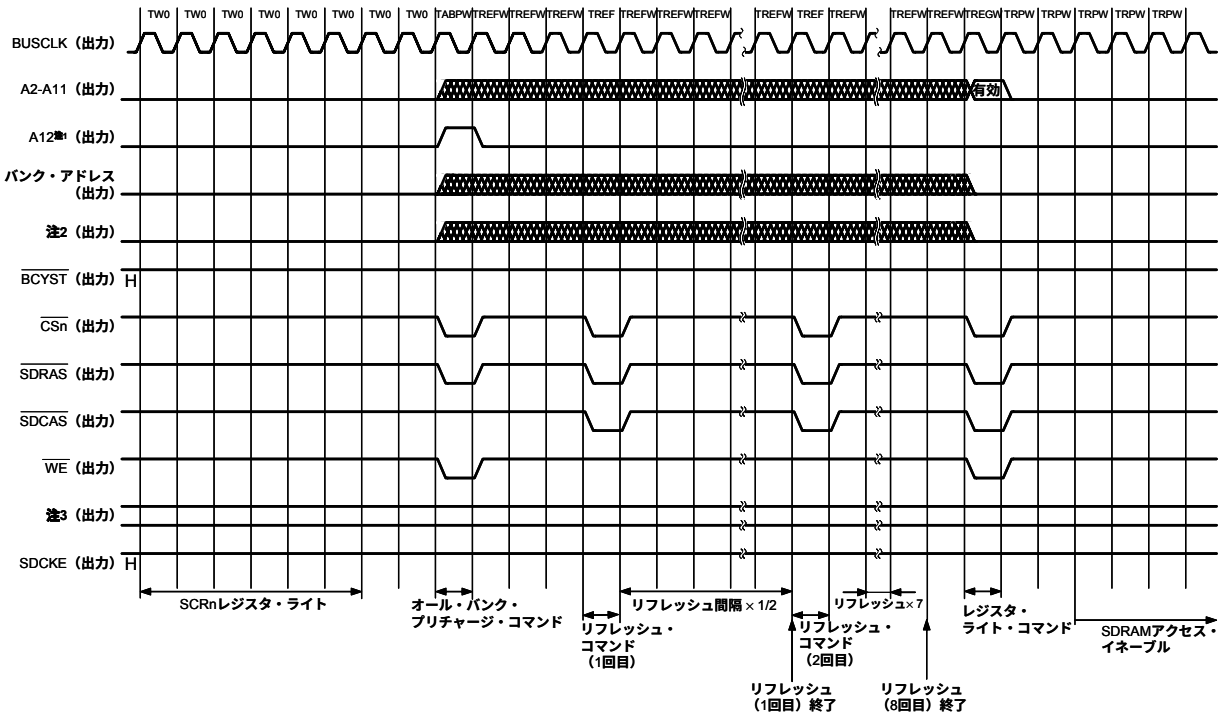
2.　バンク・アドレス，A12, A2-A11以外のアドレス

3.　UUDQM, ULDQM, LUDQM, LLDQM

備考1.　破線はハイ・インピーダンスを示します。

2.　n = 1, 3, 4, 6

図5－16　SDRAMレジスタ・ライト動作タイミング



注1.　外部バスが32ビット・バス幅の場合です。また，16ビット・バス幅の場合はA11, 8ビット・バス幅の場合はA10に読み替えてください。

2.　バンク・アドレス，A12, A2-A11以外のアドレス

3.　UUDQM, ULDQM, LUDQM, LLDQM

備考　n = 1, 3, 4, 6

5. 4　注意事項

メモリ・アクセス制御機能についての注意事項を次に示します。

(1) SDRAMに対するリード・アクセス後のSRAM，外部I/Oに対するライト・アクセス

SDRAMに対するリード・アクセス後にSRAM，外部I/Oに対するライト・アクセスを行う場合，SDRAMのデータ出力フロート遅延時間によってはデータが衝突する可能性があります。このような場合には，BCCレジスタの設定によりSDRAM空間にアイドル・ステートを挿入してデータの衝突を回避してください。

(2) セルフ・リフレッシュ制御機能の注意

セルフ・リフレッシュに移行した場合でも内蔵命令RAM（リード・モード時のみ），内蔵データRAMにアクセスできます。ただし，内蔵周辺I/Oレジスタ，または外部デバイスへのアクセスはセルフ・リフレッシュが解除されるまで保留されます。

第6章　DMA機能（DMAコントローラ）

V850E/ME2は，DMA転送を実行制御するDMA（Direct Memory Access）コントローラ（DMAC）を備えています。

DMACは，内蔵周辺I/O（シリアル・インタフェース，タイマ／カウンタ，A/Dコンバータ）からの割り込みによる要求，$\overline{\text{DMARQ0}}$-$\overline{\text{DMARQ3}}$端子，ソフトウエア・トリガ，またはUSBによるDMA要求に基づいて，メモリ←→I/O間またはメモリ←→メモリ間でのデータ転送を制御します。メモリは，内蔵命令RAM，内蔵データRAM，または外部メモリを意味します。ただし，内蔵命令RAMは，転送先としてのみ使用できます。

6.1　特　　徴

○4つの独立なDMAチャネル

○転送単位：8ビット/16ビット/32ビット

○最大転送回数：65536（2^{16}）回

○2種類の転送タイプ

- フライバイ（1サイクル）転送
- 2サイクル転送

○3種類の転送モード

- シングル転送モード
- シングルステップ転送モード
- ブロック転送モード

○転送要求

- 内蔵周辺I/O（シリアル・インタフェース，タイマ／カウンタ，A/Dコンバータ）からの割り込みによる要求
- $\overline{\text{DMARQ0}}$-$\overline{\text{DMARQ3}}$端子入力による要求
- ソフトウエア・トリガによる要求
- USBによる要求（シングル転送モード，シングルステップ転送モード時のみ）

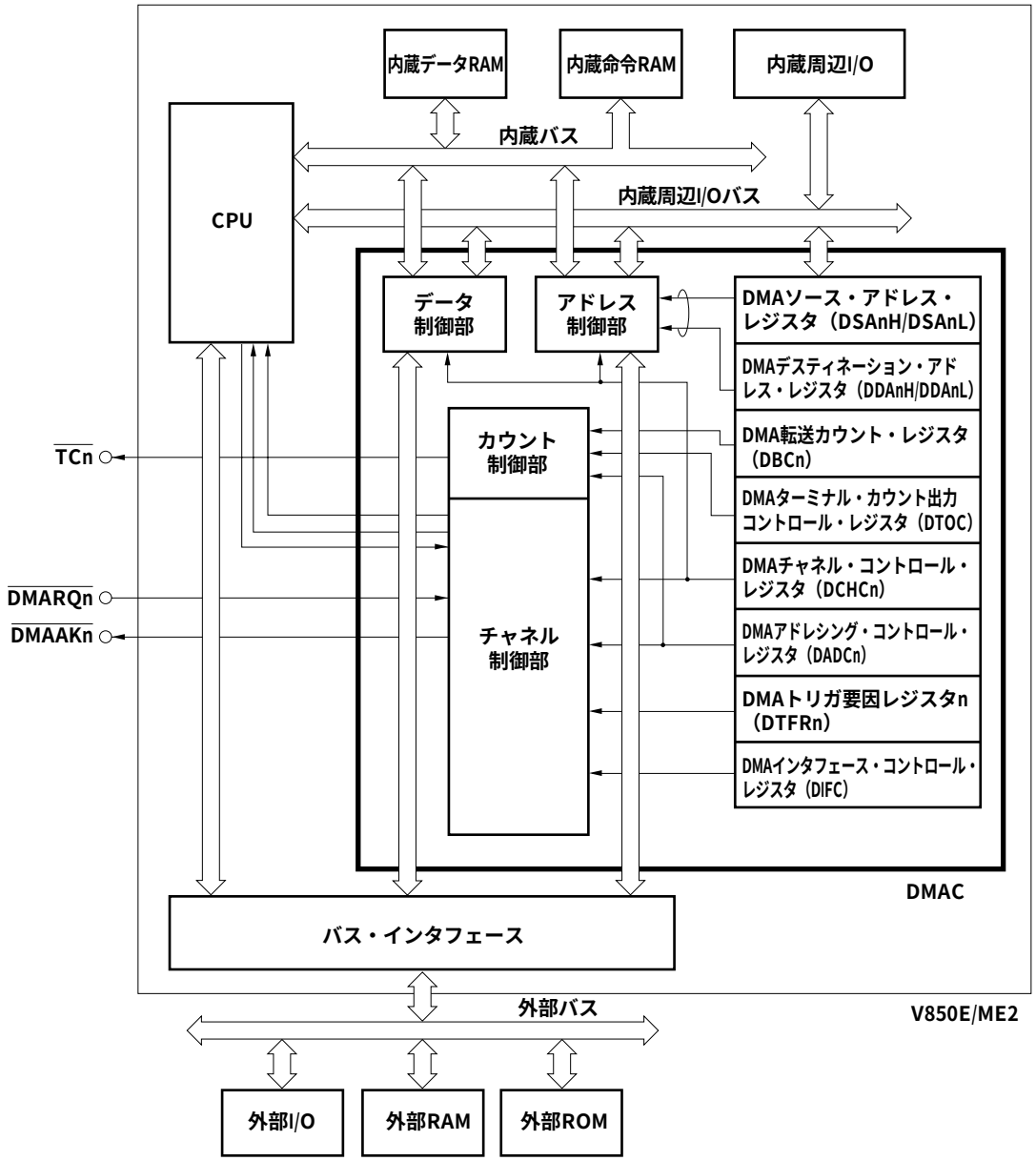
○転送対象

- メモリ←→I/O
- メモリ←→メモリ

○DMA転送終了出力信号（$\overline{\text{TC0}}$-$\overline{\text{TC3}}$）

○ネクスト・アドレス設定機能

6.2 構　　成


内蔵データRAM
内蔵命令RAM
内蔵周辺I/O
内蔵バス
内蔵周辺I/Oバス
CPU
データ
制御部
アドレス
制御部
DMAソース・アドレス・
レジスタ（DSAnH/DSAnL）
DMAデスティネーション・アド
レス・レジスタ（DDAnH/DDAnL）
DMA転送カウント・レジスタ
（DBCn）
DMAターミナル・カウント出力
コントロール・レジスタ（DTOC）
DMAチャネル・コントロール・
レジスタ（DCHCn）
DMAアドレシング・コントロール・
レジスタ（DADCn）
DMAトリガ要因レジスタn
（DTFRn）
DMAインタフェース・コントロール・
レジスタ（DIFC）
カウント
制御部
チャネル
制御部
TCn
DMARQn
DMAAKn
DMAC
バス・インタフェース
外部バス
V850E/ME2
外部I/O
外部RAM
外部ROM

備考　n = 0-3

6. 3 制御レジスタ

6. 3. 1 DMAソース・アドレス・レジスタ0-3（DSA0-DSA3）

DMAチャネルnのDMA転送元アドレス（28ビット）を設定します（n = 0-3）。このレジスタは，DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。

また，このレジスタは，マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタなので，DMA転送中に新たなDMA転送の転送元アドレスが設定できます（6. 8 ネクスト・アドレス設定機能参照）。この場合，新たなDSAnレジスタの設定は，DMA転送が正常に終了し，DCHCnレジスタのTCnビットがセット（1）されたとき，またはDCHCnレジスタのINITnビットをセット（1）したときのみ，その設定値はスレーブ・レジスタに転送され，有効となります（n = 0-3）。ただし，DCHCnレジスタのEnnビットをクリア（0）して，DMA転送を禁止状態にし，DSAnレジスタを設定しても，その設定値は無効となりますので注意してください。

DMAアドレシング・コントロール・レジスタn（DADCn）のTTYPnビットで，フライバイ転送に設定した場合，転送方向にかかわらず外部メモリのアドレスはDSAnレジスタで設定します。このとき，DMAデスティネーション・アドレス・レジスタn（DDAn）の設定は無視されます（n = 0-3）。

（1）DMAソース・アドレス・レジスタ0H-3H（DSA0H-DSA3H）

16ビット単位でリード／ライト可能です。

ビット14-12には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. ソース・アドレスに内蔵周辺I/Oレジスタのアドレスを設定する場合は，必ずFFFF000H-FFFFFFFHのアドレスを指定してください。内蔵周辺I/Oレジスタのイメージ（3FFF000H-3FFFFFFH）のアドレスは指定できません。

2. DSAnHレジスタの設定は，DMA中断中には行わないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSA0H	IRS0	0	0	0	SA027	SA026	SA025	SA024	SA023	SA022	SA021	SA020	SA019	SA018	SA017	SA016	FFFFF082H	不定
DSA1H	IRS1	0	0	0	SA127	SA126	SA125	SA124	SA123	SA122	SA121	SA120	SA119	SA118	SA117	SA116	FFFFF08AH	不定
DSA2H	IRS2	0	0	0	SA227	SA226	SA225	SA224	SA223	SA222	SA221	SA220	SA219	SA218	SA217	SA216	FFFFF092H	不定
DSA3H	IRS3	0	0	0	SA327	SA326	SA325	SA324	SA323	SA322	SA321	SA320	SA319	SA318	SA317	SA316	FFFFF09AH	不定

ビット位置	ビット名	意　味
15	IRSn	DMA転送元を指定します。 0：外部メモリ，内蔵周辺I/O 1：内蔵データRAM
11-0	SAn27-SAn16	DMA転送元のアドレス（A27-A16）を設定します。DMA転送中は，次のDMA転送元アドレスを保持します。フライバイ転送時は，外部メモリのアドレスを保持します。

備考 n = 0-3

（2）DMAソース・アドレス・レジスタ0L-3L（DSA0L-DSA3L）

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSA0L	SA015	SA014	SA013	SA012	SA011	SA010	SA09	SA08	SA07	SA06	SA05	SA04	SA03	SA02	SA01	SA00	FFFFF080H	不定
DSA1L	SA115	SA114	SA113	SA112	SA111	SA110	SA19	SA18	SA17	SA16	SA15	SA14	SA13	SA12	SA11	SA10	FFFFF088H	不定
DSA2L	SA215	SA214	SA213	SA212	SA211	SA210	SA29	SA28	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	FFFFF090H	不定
DSA3L	SA315	SA314	SA313	SA312	SA311	SA310	SA39	SA38	SA37	SA36	SA35	SA34	SA33	SA32	SA31	SA30	FFFFF098H	不定

ビット位置	ビット名	意　味
15-0	SAn15-SAn0	DMA転送元のアドレス（A15-A0）を設定します。DMA転送中は，次のDMA転送元アドレスを保持します。フライバイ転送時は，外部メモリのアドレスを保持します。

備考　n = 0-3

6. 3. 2　DMAデスティネーション・アドレス・レジスタ0-3（DDA0-DDA3）

DMAチャネルnのDMA転送先アドレス（28ビット）を設定します（n = 0-3）。このレジスタは，DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。

また，このレジスタは，マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタなので，DMA転送中に新たなDMA転送の転送先アドレスが設定できます（6. 8　ネクスト・アドレス設定機能参照）。この場合，新たなDDAnレジスタの設定は，DMA転送が正常に終了し，DCHCnレジスタのTCnビットがセット（1）されたとき，またはDCHCnレジスタのINITnビットをセット（1）したときのみ，その設定値はスレーブ・レジスタに転送され，有効となります（n = 0-3）。ただし，DCHCnレジスタのEnnビットをクリア（0）して，DMA転送を禁止状態にし，DDAnレジスタを設定しても，その設定値は無効となりますので注意してください。

DMAアドレシング・コントロール・レジスタn（DADCn）のTTYPnビットで，フライバイ転送に設定した場合，転送方向にかかわらずこのレジスタの設定は無視されます。

（1）DMAデスティネーション・アドレス・レジスタ0H-3H（DDA0H-DDA3H）

16ビット単位でリード／ライト可能です。

ビット14-12には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1.　デスティネーション・アドレスに内蔵周辺I/Oレジスタのアドレスを設定する場合は，必ずFFFF000H-FFFFFFFHのアドレスを指定してください。内蔵周辺I/Oレジスタのイメージ（3FFF000H-3FFFFFFH）のアドレスは指定できません。

2. DDAnHレジスタの設定は，DMA中断中には行わないでください。

3. DMA転送先のCS空間に対し先読み機能を有効にする場合は，先読みを実行するアドレスと最終DMA転送データのライト・アドレスが，同一ライン・アドレス（同一CS空間内でA25-A4が同じアドレス）にならないようにしてください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA0H	IRD0	0	0	0	DA027	DA026	DA025	DA024	DA023	DA022	DA021	DA020	DA019	DA018	DA017	DA016	FFFFF086H	不定
DDA1H	IRD1	0	0	0	DA127	DA126	DA125	DA124	DA123	DA122	DA121	DA120	DA119	DA118	DA117	DA116	FFFFF08EH	不定
DDA2H	IRD2	0	0	0	DA227	DA226	DA225	DA224	DA223	DA222	DA221	DA220	DA219	DA218	DA217	DA216	FFFFF096H	不定
DDA3H	IRD3	0	0	0	DA327	DA326	DA325	DA324	DA323	DA322	DA321	DA320	DA319	DA318	DA317	DA316	FFFFF09EH	不定

ビット位置	ビット名	意　味
15	IRDn	DMA転送先を指定します。 0：外部メモリ，内蔵周辺I/O，内蔵命令RAM 1：内蔵データRAM
11-0	DAn27- DAn16	DMA転送先のアドレス（A27-A16）を設定します。DMA転送中は，次のDMA転送先アドレスを保持します。フライバイ転送時は無視されます。

備考　n = 0-3

（2）DMAデスティネーション・アドレス・レジスタ0L-3L（DDA0L-DDA3L）

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA0L	DA015	DA014	DA013	DA012	DA011	DA010	DA09	DA08	DA07	DA06	DA05	DA04	DA03	DA02	DA01	DA00	FFFFF084H	不定
DDA1L	DA115	DA114	DA113	DA112	DA111	DA110	DA19	DA18	DA17	DA16	DA15	DA14	DA13	DA12	DA11	DA10	FFFFF08CH	不定
DDA2L	DA215	DA214	DA213	DA212	DA211	DA210	DA29	DA28	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	FFFFF094H	不定
DDA3L	DA315	DA314	DA313	DA312	DA311	DA310	DA39	DA38	DA37	DA36	DA35	DA34	DA33	DA32	DA31	DA30	FFFFF09CH	不定

ビット位置	ビット名	意　味
15-0	DAn15-DAn0	DMA転送先のアドレス（A15-A0）を設定します。DMA転送中は，次のDMA転送先アドレスを保持します。フライバイ転送時は無視されます。

備考　n = 0-3

6. 3. 3　DMA転送カウント・レジスタ0-3（DBC0-DBC3）

DMAチャネルnの転送数を設定する16ビット・レジスタです（n = 0-3）。DMA転送中は，残りの転送数を保持します。

また，このレジスタは，マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ･レジスタなので，DMA転送中に新たなDMA転送の転送回数が設定できます（6. 8　ネクスト･アドレス設定機能参照）。この場合，新たなDBCnレジスタの設定は，DMA転送が正常に終了し，DCHCnレジスタのTCnビットがセット（1）されたとき，またはDCHCnレジスタのINITnビットをセット（1）したときのみ，その設定値はスレーブ・レジスタに転送され，有効となります（n = 0-3）。ただし，DCHCnレジスタのEnnビットをクリア（0）して，DMA転送を禁止状態にし，DBCnレジスタを設定しても，その設定値は無効となりますので注意してください。

1回の転送につき1ずつデクリメントされ，ボローが発生すると転送を終了します。

16ビット単位でリード／ライト可能です。

注意1.　DMA転送中にDBCnレジスタを書き換えることなくターミナル・カウントが発生したあと，DBCnレジスタを読み出した場合は，DMA転送の直前に設定された値が読み出されます（転送終了後でも0000Hは読み出されません）。

2.　DBCnレジスタの設定は，DMA中断中には行わないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DBC0	BC015	BC014	BC013	BC012	BC011	BC010	BC09	BC08	BC07	BC06	BC05	BC04	BC03	BC02	BC01	BC00	FFFFF0C0H	不定
DBC1	BC115	BC114	BC113	BC112	BC111	BC110	BC19	BC18	BC17	BC16	BC15	BC14	BC13	BC12	BC11	BC10	FFFFF0C2H	不定
DBC2	BC215	BC214	BC213	BC212	BC211	BC210	BC29	BC28	BC27	BC26	BC25	BC24	BC23	BC22	BC21	BC20	FFFFF0C4H	不定
DBC3	BC315	BC314	BC313	BC312	BC311	BC310	BC39	BC38	BC37	BC36	BC35	BC34	BC33	BC32	BC31	BC30	FFFFF0C6H	不定

ビット位置	ビット名	意　味
15-0	BCn15-BCn0	転送数を設定します。DMA転送中は残りの転送数を保持します。 DBCn ／ 状　態 0000H ／ 1回の転送，または残り転送数 0001H ／ 2回の転送，または残り転送数 ⋮ ／ ⋮ FFFFH ／ 65536（2^{16}）回の転送，または残り転送数

備考　n = 0-3

6. 3. 4 DMAアドレシング・コントロール・レジスタ0-3（DADC0-DADC3）

DMAチャネルnのDMA転送モードを制御する16ビット・レジスタです（n = 0-3）。DMA動作中はアクセスできません。

16ビット単位でリード／ライト可能です。

ビット13-8には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. DSn1, DSn0ビットは何ビットのデータを転送するかを設定するレジスタです。
8ビット・データ（DSn1, DSn0ビット = 00）を設定した場合でも，必ずしも下位データ・バス（D0-D7）を使用するわけではありません。
また，転送データ・サイズを16ビットに設定した場合は下位アドレスの1ビットを“0”に，32ビットに設定した場合は下位アドレスの2ビットを“0”にアラインしたアドレスから必ず転送を開始します。この場合は奇数アドレスから始まる転送はできません。

2. DADCnレジスタの設定は，対象となるDMAチャネルが動作中，または中断中ではない次のいずれかのタイミングで行ってください（これらのタイミング以外で設定を行った場合の動作は保証しません）。

- システム・リセットから最初のDMA転送要求の発生までの期間
- DMA転送の完了後（ターミナル・カウント発生後）から次のDMA転送要求の発生までの期間
- DMA転送の強制終了後（DCHCnレジスタのINITnビットをセット（1）後）から次のDMA転送要求の発生までの期間

3. 次に示す条件にすべて該当する場合には，TTYPnビットでフライバイ転送の設定は行わないでください（n = 0-3）。

- BMCレジスタ = 00H
- FWCレジスタのFWn2-FWn0ビット = 000
- FICレジスタのFIn1-FIn0ビット = 00
- ASCレジスタでフライバイ転送の対象となるCSn空間のACn1, ACn0ビット = 00（SRAMを対象とする転送時）

4. TTYPnビットをセット（1）し，フライバイ転送に設定した場合，外部メモリのアドレス・カウント方向は転送方向にかかわらず，SADn1, SADn0ビットで設定します（DADn1, DADn0ビットの設定は無視されます）。

(1/2)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DADC0	DS01	DS00	0	0	0	0	0	0	SAD01	SAD00	DAD01	DAD00	TM01	TM00	TTYP0	TDIR0	FFFFF0D0H	0000H
DADC1	DS11	DS10	0	0	0	0	0	0	SAD11	SAD10	DAD11	DAD10	TM11	TM10	TTYP1	TDIR1	FFFFF0D2H	0000H
DADC2	DS21	DS20	0	0	0	0	0	0	SAD21	SAD20	DAD21	DAD20	TM21	TM20	TTYP2	TDIR2	FFFFF0D4H	0000H
DADC3	DS31	DS30	0	0	0	0	0	0	SAD31	SAD30	DAD31	DAD30	TM31	TM30	TTYP3	TDIR3	FFFFF0D6H	0000H

ビット位置	ビット名	意　味
15, 14	DSn1, DSn0	DMA転送での転送データ・サイズを設定します。 DSn1 / DSn0 / 転送データ・サイズ 0 / 0 / 8ビット 0 / 1 / 16ビット 1 / 0 / 32ビット 1 / 1 / 設定禁止
7, 6	SADn1, SADn0	DMAチャネルnの転送元アドレスのカウント方向を設定します。 SADn1 / SADn0 / カウント方向 0 / 0 / インクリメント 0 / 1 / デクリメント 1 / 0 / 固定 1 / 1 / 設定禁止
5, 4	DADn1, DADn0	DMAチャネルnの転送先アドレスのカウント方向を設定します。 DADn1 / DADn0 / カウント方向 0 / 0 / インクリメント 0 / 1 / デクリメント 1 / 0 / 固定 1 / 1 / 設定禁止

備考　n = 0-3

（2/2）

ビット位置	ビット名	意　味
3, 2	TMn1, TMn0	DMA転送時の転送モードを設定します。 TMn1 / TMn0 / 転送モード 0 / 0 / シングル転送モード 0 / 1 / シングルステップ転送モード 1 / 0 / 設定禁止 1 / 1 / ブロック転送モード
1	TTYPn	DMA転送タイプを設定します。 0：2サイクル転送 1：フライバイ転送
0	TDIRn	I/O←→メモリ転送時の転送方向を設定します。設定はフライバイ転送時だけ有効で，2サイクル転送時は無視されます。 0：メモリ→I/O（リード） 1：I/O→メモリ（ライト）

備考　n = 0-3

6. 3. 5 DMAチャネル・コントロール・レジスタ0-3（DCHC0-DCHC3）

DMAチャネルnのDMA転送動作モードを制御する8ビット・レジスタです（n = 0-3）。

8/1ビット単位でリード／ライト可能です（ただし，ビット7はリードのみ，ビット2，ビット1はライトのみ可能です。ビット2，ビット1をリードした場合は0が読み出されます）。

ビット6-4には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. 外部デバイスへのライト動作を行う2サイクル転送時には，ライト・バッファ機能により，DCHCnレジスタのTCnビットがセット（1）（DMA転送完了）となっても外部デバイスへのライト動作が完了していない場合があります。外部デバイスへのライト動作の完了を認識する必要がある場合には，次のいずれかを行ってください。

- $\overline{\text{TCn}}$端子の信号をモニタします（$\overline{\text{TCn}}$端子は外部デバイスへのライト動作に同期してアクティブになります）。
- DCHCnレジスタのTCnビットがセット（1）されているのを検出後，WASレジスタに00Hを書き込むか，LBC0レジスタまたはLBC1レジスタに設定されている値と同じ値を書き込んでください。このライトが完了することで，ライト・バッファから外部デバイスへのアクセスが完了したことを認識できます。LBC0レジスタまたはLBC1レジスタに対するダミー・ライトを実行する場合は，LBC0レジスタまたはLBC1レジスタの設定値を書き換えた場合の動作は保証できません。

2. MLEnビットのセット（1）が有効となるのは，$\overline{\text{DMARQn}}$端子入力，または内蔵周辺I/Oからの割り込みで起動するDMA転送（ハードウエアDMA）の場合だけです。STGnビットのセット（1）により起動するDMA転送（ソフトウエアDMA）の場合にはTCnビットを読み出し，セット（1）されていることを確認してから，STGnビットをセット（1）してDMAを起動してください。
3. MLEnビットの設定は，対象となるDMAチャネルが動作中，または中断中ではない次のいずれかのタイミングで行ってください（これらのタイミング以外で設定を行った場合の動作は保証しません）。

- システム・リセットから最初のDMA転送要求の発生までの期間
- DMA転送の完了後（ターミナル・カウント発生後）から次のDMA転送要求の発生までの期間
- DMA転送の強制終了後（INITnビットがセット（1）後）から次のDMA転送要求の発生までの期間

4. MLEnビットをセット（1）した状態で，DMA転送の最後の転送サイクル時に強制終了を行ったときは，転送完了時と同様の動作（TCnビットのセット（1））を行います（Ennビットは，MLEnビットの値にかかわらず，強制終了時にクリア（0）されます）。
   この場合，次のDMA転送要求時は，Ennビットのセット（1）に加え，TCnビットの読み出し（クリア（0））も必要です。
5. STGnビットのセット（1）は，DMA中断中には行わないでください。

注意6. DMA転送完了時（ターミナル・カウント時）は，Ennビットのクリア（0）→TCnビットのセット（1）の順で各ビットの更新が行われます。そのため，TCnビットとEnnビットの状態をポーリングしているような場合，DCHCnレジスタの読み出しタイミングが上記の各ビットの更新途中であると，「転送未完了，かつ転送禁止」の状態を示す値（TCnビット= 0，かつEnnビット= 0）が読み出されることがあります。

7. DMA転送完了後（ターミナル・カウント発生後）にTCnビットの読み出し（クリア（0））の必要がないのは，次の2つの条件を満たす場合だけです。どちらか一方でも条件を満たしていない場合には，必ず，次のDMA転送要求の発生時までにTCnビットの読み出し（クリア（0））を行ってください。

- DMA転送完了時（ターミナル・カウント時）にMLEnビットがセット（1）されている。
- 次のDMA転送起動要因が内蔵周辺I/Oからの割り込みまたは$\overline{\text{DMARQn}}$端子

上記の2つの条件を満たさない場合，TCnビットがセット（1）された状態で次のDMA転送要求を発生させたときの動作は保証しません。

備考　DMA転送の状態とレジスタ値の関係は次のようになります。

- DMA転送動作中　：TCnビット = 0, Ennビット = 1
- DMA転送中断中　：TCnビット = 0, Ennビット = 0
- DMA転送停止中（完了中）：TCnビット = 1

（1/2）

	⑦	6	5	4	③	②	①	⓪	アドレス	初期値
DCHC0	TC0	0	0	0	MLE0	INIT0	STG0	E00	FFFFF0E0H	00H
DCHC1	TC1	0	0	0	MLE1	INIT1	STG1	E11	FFFFF0E2H	00H
DCHC2	TC2	0	0	0	MLE2	INIT2	STG2	E22	FFFFF0E4H	00H
DCHC3	TC3	0	0	0	MLE3	INIT3	STG3	E33	FFFFF0E6H	00H

ビット位置	ビット名	意　味
7	TCn	DMAチャネルnのDMA転送の完了／未完了を示すステータス・ビットです。 読み出しだけできます。DMA転送の最後の転送時にセット（1）され，読み出しによりクリア（0）されます。 0：DMA転送未完了 1：DMA転送完了 **注意　内蔵データRAMを対象（転送元／転送先）とするDMA転送を行うとき，DMA転送完了後にTCnビットを読み出す場合には，まず，TCnビットがセット（1）された状態を読み出したあと，続けて2回連続でDCHCnレジスタを空読みしてください。**
3	MLEn	DMA転送完了時（ターミナル・カウント出力時）に，このビットがセット（1）されていると，Ennビットはクリア（0）されず，DMA転送許可状態のままになります。 次のDMA転送起動要因が$\overline{\text{DMARQn}}$端子入力，または内蔵周辺I/Oからの割り込みの場合（ハードウエアDMA）は，TCnビットを読み出さなくてもDMA転送要求が受け付けられます。 次のDMA転送起動要因がSTGnビットのセット（1）の場合（ソフトウエアDMA）は，TCnビットを読み出してクリア（0）すれば，DMA転送要求が受け付けられます。 DMA転送完了時（ターミナル・カウント出力時）に，このビットがクリア（0）されていると，Ennビットはクリア（0）され，DMA転送禁止状態になります。 次のDMA転送要求時は，TCnビットの読み出しとEnnビットのセット（1）が必要です。
2	INITn	DMA転送中，またはNMI入力による強制中断後にこのビットをセット（1）すると，DMA転送を強制終了します。
1	STGn	DMA転送が許可の状態（TCnビット = 0，Ennビット = 1）で，このビットをセット（1）するとDMA転送を開始します。

備考　n = 0-3

(2/2)

ビット位置	ビット名	意　　味
0	Enn	DMAチャネルnのDMA転送の許可／禁止を設定します。DMA転送が完了するとクリア（0）されます。また，NMI入力や，INITnビットのセット（1）による強制中断，強制終了時にもクリア（0）されます。 0：DMA転送の禁止（DMA転送の中断） 1：DMA転送の許可 **注意**　Ennビットをセット（1）した場合，DBCnレジスタで設定した転送回数分のDMA転送が完了するか，またはEnnビットをクリア（0）したあと，INITnビットでDMA転送を強制終了させてください（DMA転送中にEnnビットをクリア（0）したあと，再びEnnビットをセット（1）しないでください）。

備考　n = 0-3

6. 3. 6　DMAターミナル・カウント出力コントロール・レジスタ（DTOC）

各DMAチャネルのターミナル･カウント出力およびNMI入力時のDMA転送を制御する8ビットのレジスタです。各DMAチャネルのターミナル・カウント信号を共通化し，$\overline{\text{TC0}}$端子から出力することができます。

8/1ビット単位でリード／ライト可能です。

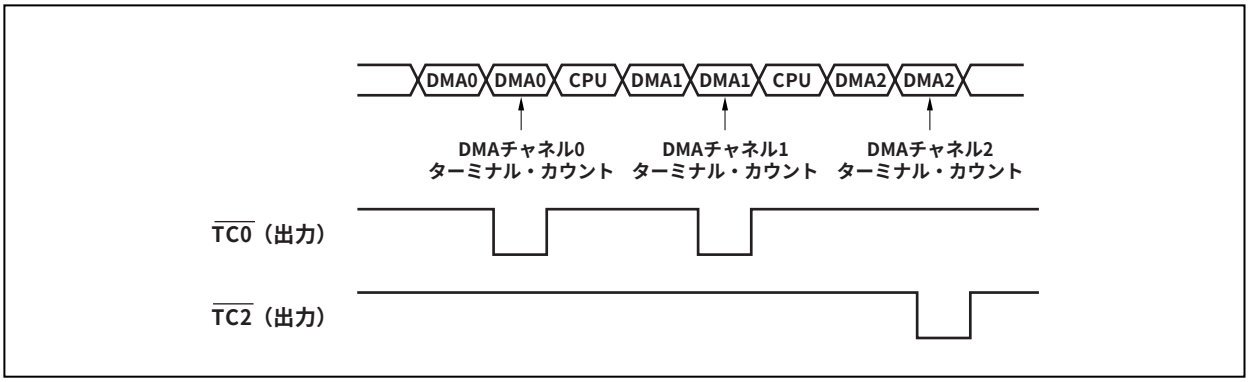
ビット5, 4には必ず0を，ビット0には必ず1を設定してください。それ以外の値を設定した場合の動作は保証できません。

	7	6	5	4	③	②	①	0	アドレス	初期値
DTOC	DMSTPM	DAKEBC	0	0	TCO3	TCO2	TCO1	1	FFFFF8A0H	01H

ビット位置	ビット名	意　味
7	DMSTPM	NMI入力時のDMA転送を制御します。 0：NMI入力により，DMA動作を強制中断させる。 1：NMI入力により，DMA動作を中断させない。 注意1.　DMSTPMビット = 0の場合，現在実行中のDMAサイクル完了後，すぐにNMIの処理を実行できます。ただし，強制中断されたDMA転送は，再度初期化してから実行してください。 2.　DMSTPMビット = 1の場合，ブロック転送モードでは，あらかじめ設定されたDMA転送回数が終了するまでNMI処理を保留します。シングル転送モードおよびシングルステップ転送モードでは，現在実行中のDMAサイクル完了後，NMI処理を実行します。必要に応じてDCHCnレジスタのINITnビットをセット（1）し，DMA転送を強制終了させてください（n = 0-3）。 3.　DMSTPMビットの切り替えは，必ずDMA未使用時に行ってください。DMAC関連レジスタの設定後やDMA動作中にDMSTPMビットの切り替えを行った場合の動作は保証しません。
6	DAKEBC	DIFCレジスタのDAKEnビット = 1設定時に，$\overline{\text{DMAAKn}}$信号のアクティブ幅の拡張設定を指定します。 0：4×f_{CLK}分拡張する 1：6～7×f_{CLK}分拡張する 備考　$\overline{\text{DMAAKn}}$信号のアクティブ幅拡張機能については，6. 3. 8　DMAインタフェース・コントロール・レジスタ（DIFC），6. 5. 1（2）$\overline{\text{DMAAKn}}$信号のアクティブ幅拡張機能を参照してください。
3-1	TCO3-TCO1	$\overline{\text{TC0}}$端子の状態を示します。 0：$\overline{\text{TC0}}$端子からチャネルnのターミナル・カウント信号を出力しない。 1：$\overline{\text{TC0}}$端子からチャネルnのターミナル・カウント信号を出力する。

備考　f_{CLK}：内部システム・クロック

DTOCレジスタを03Hに設定した場合の例を次に示します。



6. 3. 7 DMAトリガ要因レジスタ0-3（DTFR0-DTFR3）

内蔵周辺I/Oから割り込み要求によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求が，DMA転送の起動要因になります。

8/1ビット単位でリード／ライト可能です。ただし，ビット7（DFn）のみ1ビット単位でリード／ライト可能です。

注意1. DTFRnレジスタの設定を変更する場合は，必ず全チャネルのDMA動作を停止してから行ってください。

2. スタンバイ・モード（IDLE，ソフトウエアSTOPモード）中に入力された内蔵周辺I/Oからの割り込み要求は，DMA転送の起動要因として保留されます。保留されたDMA起動要因は通常動作モードへ復帰後に実行されます。

3. IFCn6-IFCn0ビットにより，DMA転送の起動要因を変更した場合は，必ず，直後の命令で全チャネルのDFnビットのクリア（0）も行ってください。

4. UARTBの送信完了割り込み要求信号（UBTIT0，UBTIT1）をDMA転送の起動要因とする場合，最後の送信が完了した時点で発生した割り込み要求信号によるDMA転送の起動要因は保持されたままとなります。この場合は，DFnビットをクリア（0）し，DMA転送要求をクリアしてください。

5. 同じ起動要因で複数のDMAチャネルを起動しないでください。起動した場合，優先順位の低いDMAチャネルが優先順位の高いDMAチャネルより先に受け付けられる場合があります。

（1/3）

	⑦	6	5	4	3	2	1	0	アドレス	初期値
DTFR0	DF0	IFC06	IFC05	IFC04	IFC03	IFC02	IFC01	IFC00	FFFFF810H	00H
DTFR1	DF1	IFC16	IFC15	IFC14	IFC13	IFC12	IFC11	IFC10	FFFFF812H	00H
DTFR2	DF2	IFC26	IFC25	IFC24	IFC23	IFC22	IFC21	IFC20	FFFFF814H	00H
DTFR3	DF3	IFC36	IFC35	IFC34	IFC33	IFC32	IFC31	IFC30	FFFFF816H	00H

ビット位置	ビット名	意　味
7	DFn	DMA転送要求フラグです。 DFnビットはソフトウエアにより1を設定しないでください。 0：DMA転送要求なし 1：DMA転送要求あり DMA転送を禁止（NMIによる中断，ソフトウエアによる強制終了を含む）している間に，DMA転送の起動要因に設定している割り込みが発生し，DMA転送要求をクリアする必要がある場合には，割り込み発生要因の動作を停止したあとに，DFnビットをクリア（0）してください（例　シリアル受信の場合，受信を禁止）。なお，次にDMA転送を再開するまでに再度割り込みが発生しないことがアプリケーション上で明確な場合は，割り込み発生要因の動作を停止する必要はありません。
6-0	IFCn6-IFCn0	DMA転送の起動要因になる割り込み要因を設定します。

IFCn6	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	0	~~DMARQ~~n端子入力のレベル検出モード（内蔵周辺I/Oからの DMA要求禁止）
0	0	0	0	0	0	1	~~DMARQ~~n端子入力のエッジ検出モード（内蔵周辺I/Oからの DMA要求禁止）
0	0	0	0	0	1	0	INTP10
0	0	0	0	0	1	1	INTP11
0	0	0	0	1	0	0	INTP21
0	0	0	0	1	0	1	INTP22
0	0	0	0	1	1	0	INTP23
0	0	0	0	1	1	1	INTP24
0	0	0	1	0	0	0	INTP25
0	0	0	1	0	0	1	INTP50
0	0	0	1	0	1	0	INTP51
0	0	0	1	0	1	1	INTP52

備考　n = 0-3

(2/3)

ビット位置	ビット名	意　味
6-0	IFCn6-IFCn0	

IFCn6	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	1	1	0	0	INTP65
0	0	0	1	1	0	1	INTP66
0	0	0	1	1	1	0	INTP67
0	0	0	1	1	1	1	INTPD0
0	0	1	0	0	0	0	INTPD1
0	0	1	0	0	0	1	INTPD2
0	0	1	0	0	1	0	INTPD3
0	0	1	0	0	1	1	INTPD4
0	0	1	0	1	0	0	INTPD5
0	0	1	0	1	0	1	INTPD6
0	0	1	0	1	1	0	INTPD7
0	0	1	0	1	1	1	INTPD8
0	0	1	1	0	0	0	INTPD9
0	0	1	1	0	0	1	INTPD10
0	0	1	1	0	1	0	INTPD11
0	0	1	1	0	1	1	INTPD12
0	0	1	1	1	0	0	INTPD13
0	0	1	1	1	0	1	INTPD14
0	0	1	1	1	1	0	INTPD15
0	0	1	1	1	1	1	INTPL0
0	1	0	0	0	0	0	INTPL1
0	1	0	0	0	0	1	INTPC00/INTCCC00
0	1	0	0	0	1	0	INTPC01/INTCCC01
0	1	0	0	0	1	1	INTPC10/INTCCC10
0	1	0	0	1	0	0	INTPC11/INTCCC11
0	1	0	0	1	0	1	INTPC20/INTCCC20
0	1	0	0	1	1	0	INTPC21/INTCCC21
0	1	0	0	1	1	1	INTPC30/INTCCC30
0	1	0	1	0	0	0	INTPC31/INTCCC31
0	1	0	1	0	0	1	INTCCC40
0	1	0	1	0	1	0	INTCCC41
0	1	0	1	0	1	1	INTCCC50
0	1	0	1	1	0	0	INTCCC51
0	1	0	1	1	0	1	INTCMD0
0	1	0	1	1	1	0	INTCMD1
0	1	0	1	1	1	1	INTCMD2
0	1	1	0	0	0	0	INTCMD3
0	1	1	0	0	0	1	INTCC100

備考　n = 0-3

（3/3）

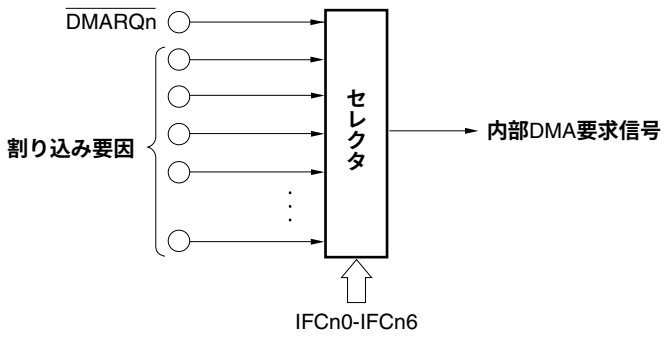
ビット位置	ビット名	意　味
6-0	IFCn6-IFCn0	

IFCn6	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	1	1	0	0	1	0	INTCC101
0	1	1	0	0	1	1	INTCM100
0	1	1	0	1	0	0	INTCM101
0	1	1	0	1	0	1	INTCC110
0	1	1	0	1	1	0	INTCC111
0	1	1	0	1	1	1	INTCM110
0	1	1	1	0	0	0	INTCM111
0	1	1	1	0	0	1	INTCSI30
0	1	1	1	0	1	0	INTCSI31
0	1	1	1	0	1	1	UBTIR0
0	1	1	1	1	0	0	UBTIT0
0	1	1	1	1	0	1	UBTIR1
0	1	1	1	1	1	0	UBTIT1
0	1	1	1	1	1	1	INTAD
1	1	1	1	1	1	1	UFDRQn
その他							設定禁止

注意　外部割り込み（IFCn6-IFCn0ビット = 0000010Bから0100000Bまでを選択した場合）をDMAトリガ要因とする場合は，必ずエッジを指定してください（レベル検出の設定は行わないでください）。

備考　n = 0-3

$\overline{\text{DMARQn}}$信号とDMA転送トリガとなる割り込み要因の関係を次に示します（n = 0-3）。



備考　IFCn6-IFCn0ビットで設定した割り込み要因によりDMAが起動します。割り込み処理を実行したくない場合は，割り込み制御レジスタで割り込みをマスクしてください。割り込みをマスクしてもDMAは起動されます。

$\overline{\text{DMARQn}}$端子入力のレベル検出モード（IFCn6-IFCn0ビット = 0000000），エッジ検出モード（IFCn6-IFCn0ビット = 0000001）については，図6－8から図6－10までを参照してください（n = 0-3）。

（1）DMA要求検出機能

V850E/ME2では，$\overline{\text{DMARQn}}$端子をサンプリングする機能として，レベル検出モードとエッジ検出モードがあります（n = 0-3）。また，レベル検出モードには，DMA要求のサンプリングをマスクするマスク・モードがあります。

（a）レベル検出モード（IFCn6-IFCn0ビット = 0000000設定時）

$\overline{\text{DMARQn}}$信号と$\overline{\text{DMAAKn}}$信号のハンドシェークを高速で実行できるモードです。シングル転送モードの場合，現在実行中のDMA転送の次のDMA転送サイクルを起動させないためには，$\overline{\text{DMAAKn}}$信号の立ち上がりから2×f_{CLK}までに，$\overline{\text{DMARQn}}$信号をインアクティブにしてください。2×f_{CLK}以上，$\overline{\text{DMARQn}}$信号がアクティブになっていた場合には，次のDMA要求と認識します。ただし，2サイクル転送の場合，転送元と転送先の組み合わせによっては，$\overline{\text{DMAAKn}}$信号のアクティブ期間が短くなることがあります（最短で2×f_{CLK}）。このため，仮に$\overline{\text{DMAAKn}}$信号の立ち下がりから，$\overline{\text{DMARQn}}$信号のインアクティブ・タイミングを生成した場合でも，最短で4×f_{CLK}となることがあるので注意してください。

なお，2サイクル転送時の$\overline{\text{DMAAKn}}$信号のアクティブ幅については，表6－4　2サイクル転送時における$\overline{\text{DMAAKn}}$信号のアクティブ幅の最小値を参照してください。

備考　f_{CLK}：内部システム・クロック

①マスク・モード（IFCn6-IFCn0ビット = 0000000およびDIFCレジスタのDRMKnビット = 1設定時）

レベル検出モードにおいて，$\overline{\text{DMARQn}}$信号と$\overline{\text{DMAAKn}}$信号のハンドシェークを，BUSCLK同期で構成できるようにするモードです。シングル転送モードの場合，現在実行中のDMA転送の次のDMA転送サイクルを起動させないためには，$\overline{\text{DMAAKn}}$信号の立ち上がりをBUSCLKでサンプリングしてから3×BUSCLKまでに，$\overline{\text{DMARQn}}$信号をインアクティブにしてください。マスク・モードに設定した場合，BUSCLKの分周比（BMCレジスタの設定）に関係なく，常に$\overline{\text{DMARQn}}$信号の立ち上がりから，3×BUSCLK期間，DMA要求のサンプリングがマスクされます。

（b）エッジ検出モード（IFCn6-IFCn0ビット = 0000001設定時）

$\overline{\text{DMARQn}}$信号の立ち下がりエッジ入力をDMA要求とするモードです。マスク・モードを使用した場合より，さらに低速で$\overline{\text{DMARQn}}$信号と$\overline{\text{DMAAKn}}$信号のハンドシェークが実現できます。ただし，$\overline{\text{DMAAKn}}$信号のアクティブ期間中に$\overline{\text{DMARQn}}$信号の立ち下がりエッジが入力された場合には，無視されます。

なお，各モードの詳細タイミングについては，第17章　電気的特性を参照してください。

6. 3. 8　DMAインタフェース・コントロール・レジスタ（DIFC）

各DMAチャネルの$\overline{\text{DMAAKn}}$信号のアクティブ拡張幅，$\overline{\text{DMARQn}}$信号のマスク機能（DMAマスク・モード）を制御する8ビット・レジスタです（n = 0-3）。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
DIFC	DAKE3	DAKE2	DAKE1	DAKE0	DRMK3	DRMK2	DRMK1	DRMK0	FFFFF8A8H	00H

ビット位置	ビット名	意　味
7-4	DAKEn	$\overline{\text{DMAAKn}}$信号のアクティブ拡張幅を指定します。 0：DMACから出力される$\overline{\text{DMAAKn}}$信号のアクティブ幅 1：DMACから出力される$\overline{\text{DMAAKn}}$信号のアクティブ幅＋アクティブ拡張幅[注] 注　DAKEnビットで付加されるアクティブ拡張幅は次のようになります。 ・DTOCレジスタのDAKEBCビット = 0時，4×f_{CLK} ・DTOCレジスタのDAKEBCビット = 1時，6-7×f_{CLK} なお，$\overline{\text{DMAAKn}}$信号のアクティブ幅拡張機能については，6. 3. 8　DMAインタフェース・コントロール・レジスタ（DIFC），6. 5. 1（2）$\overline{\text{DMAAKn}}$信号のアクティブ幅拡張機能を参照してください。 注意1.　フライバイ転送時，DAKEnビットは1に設定しないでください。 2.　$\overline{\text{DMAAKn}}$信号のアクティブ幅拡張機能使用時に，次に示す条件が1つでも該当する場合には，$\overline{\text{DMAAKn}}$信号のアクティブ拡張幅を付加中に次の$\overline{\text{DMAAKn}}$信号がアクティブになり，複数の$\overline{\text{DMAAKn}}$信号のアクティブ・サイクルが1つの$\overline{\text{DMAAKn}}$信号となるため，実際のDMAサイクル数に対し，$\overline{\text{DMAAKn}}$信号のアクティブ回数が少なくなることがあります。 ・ブロック転送，シングルステップ転送の場合 ・$\overline{\text{DMARQn}}$信号をアクティブ状態にし続ける場合（UARTBの保留モード時など，次のDMA要求が$\overline{\text{DMAAKn}}$信号のアクティブ期間中やインアクティブ直後に発生する場合も含む）
3-0	DRMKn	$\overline{\text{DMARQn}}$信号のマスク・ビットです。DMAマスク・モードを指定します。 0：$\overline{\text{DMARQn}}$信号をマスクしない。 1：$\overline{\text{DMAAKn}}$信号の立ち上がりから3バス・クロック間$\overline{\text{DMARQn}}$信号の入力をマスクする。 注意　DRMKnビットでマスクされる期間は，$\overline{\text{DMAAKn}}$信号の立ち上がりから3バス・クロック（BUSCLK）間です。DRMKnビット = 1により，$\overline{\text{DMAAKn}}$信号の立ち上がりをBUSCLKでサンプリングした場合，BUSCLKで$\overline{\text{DMAAKn}}$信号の立ち上がり（ハイ・レベル）をサンプリング後，3バス・クロック（BUSCLK）後までに$\overline{\text{DMARQn}}$信号をインアクティブにすれば，DMAコントローラは次のDMA転送要求として認識しません。

備考1.　n = 0-3

2.　f_{CLK}：内部システム・クロック

6. 4　転送モード

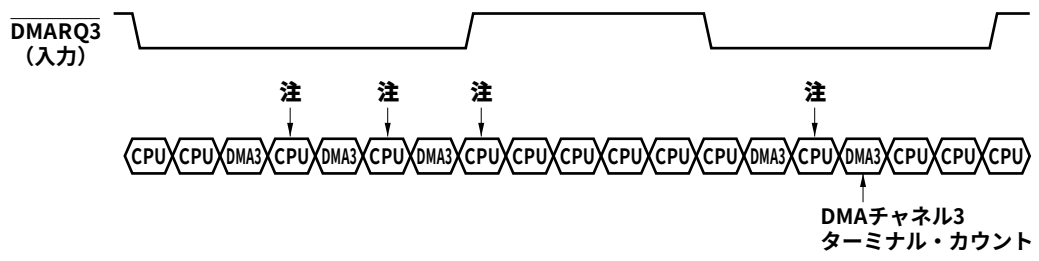
6. 4. 1　シングル転送モード

シングル転送では，DMACは1回のバイト／ハーフワード／ワード転送ごとにバスを解放します。その後，DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合，常に優先順位が高いDMA要求を優先されます。ただし，シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合は，前回の優先順位が高いDMA転送要求信号がアクティブのままでもこの要求は優先されず，CPUにバスを解放した次の転送は新たに要求のあった優先順位の低い方のDMA転送となります。

図6－1から図6－4にシングル転送の例を示します。

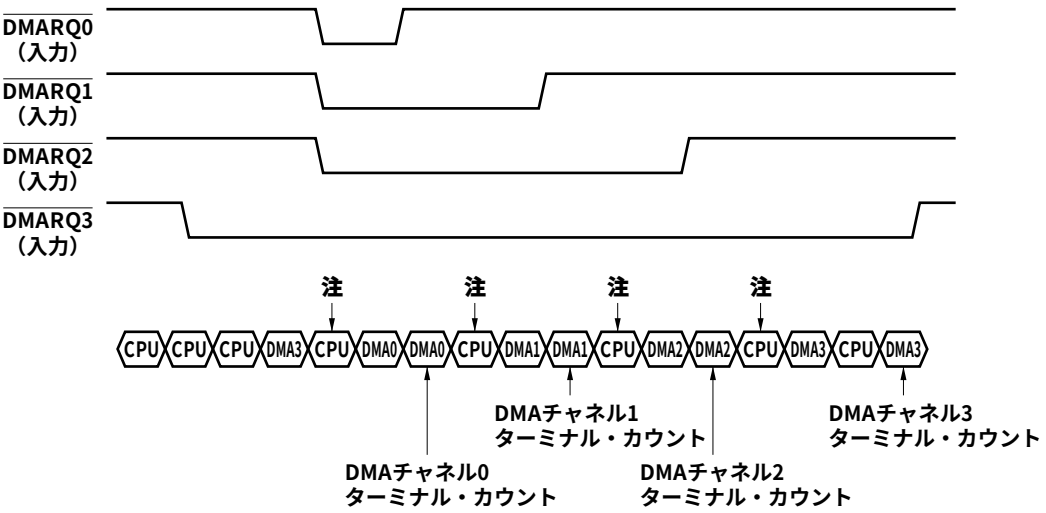
図6－1　シングル転送例1



注　必ずバスを解放します。

図6－2は，優先順位の高いDMA要求が発生した場合のシングル転送の例で，DMAチャネル0-2はブロック転送，チャネル3はシングル転送です。

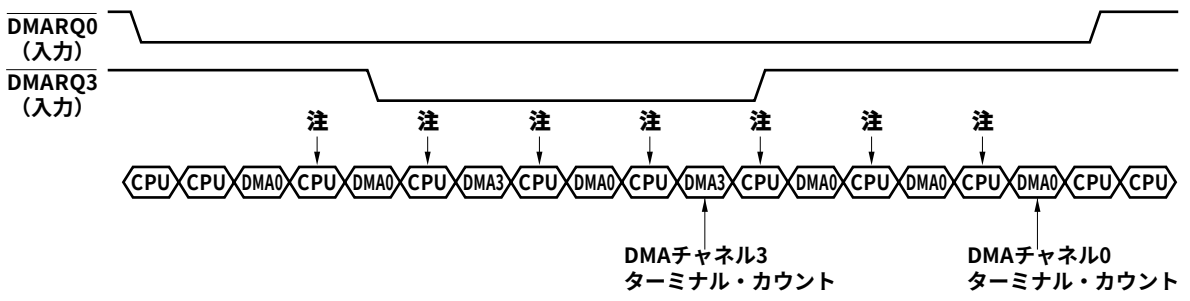
図6－2　シングル転送例2



注　必ずバスを解放します。

図6－3は，シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合のシングル転送の例で，DMAチャネル0, 3はシングル転送です。2つのDMA転送要求信号が同時にアクティブになっているときは，2つのDMA転送を交互に行います。

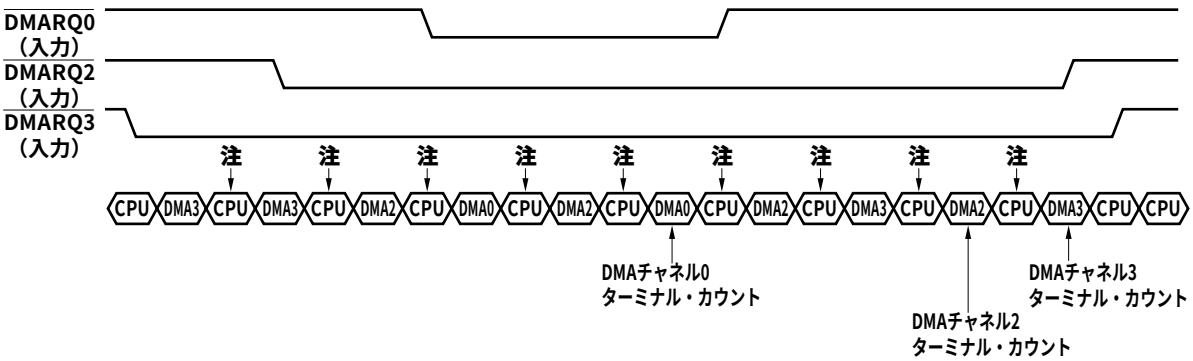
図6－3　シングル転送例3



注　必ずバスを解放します。

図6－4は，シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求の発生が複数あった場合のシングル転送の例で，DMAチャネル0, 2, 3はシングル転送です。3つ以上のDMA転送要求信号が同時にアクティブになっているときは，常に優先順位が高い順から2つのDMA転送を交互に行います。

図6－4　シングル転送例4



注　必ずバスを解放します。

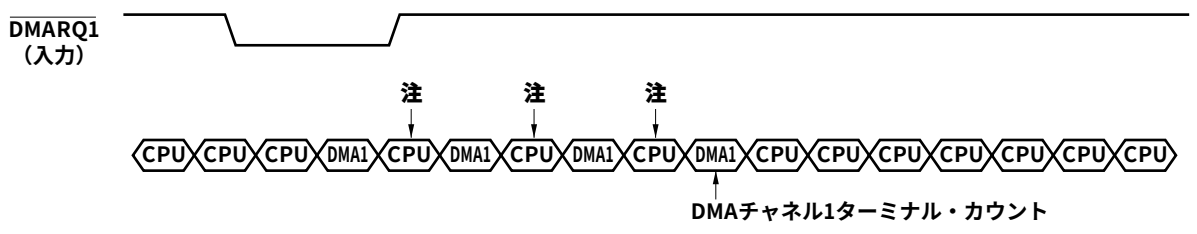
6. 4. 2　シングルステップ転送モード

シングルステップ転送では，DMACは1回のバイト／ハーフワード／ワード転送ごとにバスを解放します。一度，DMA転送要求信号（$\overline{\text{DMARQ0}}$-$\overline{\text{DMARQ3}}$）を受けると，ターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合，常に優先順位が高いDMA要求を優先させます。

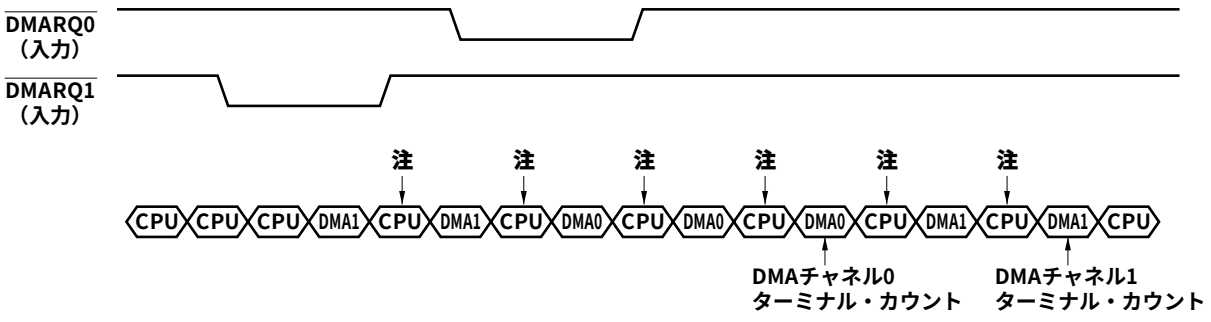
次にシングルステップ転送の例を示します。図6－6は，優先順位が高いDMA転送要求が発生した場合のシングルステップ転送モードの例で，DMAチャネル0, 1ともにシングルステップ転送です。

図6－5　シングルステップ転送例1



注　必ずバスを解放します。

図6－6　シングルステップ転送例2



注　必ずバスを解放します。

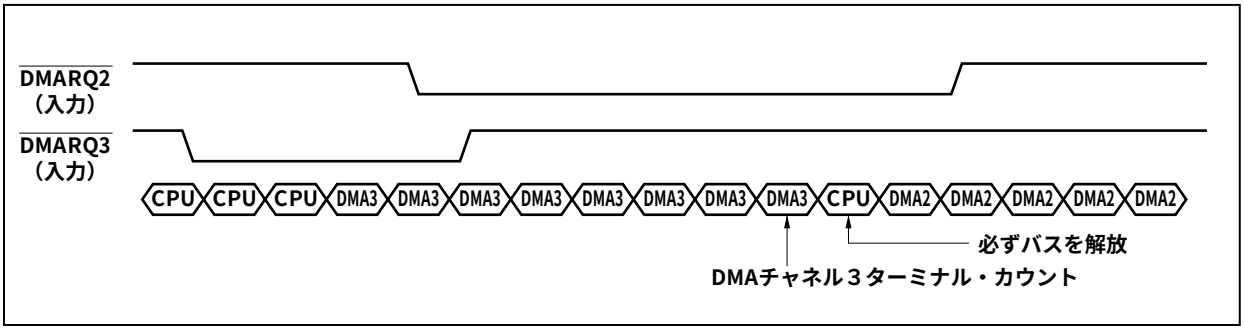
6. 4. 3　ブロック転送モード

ブロック転送では，転送が開始されると，ターミナル・カウントが発生するまでバスを解放せず転送を続けます。ブロック転送中は，ほかのDMA要求は受け付けません。

ブロック転送が終了しDMACがバスを解放したあとに，ほかのDMA転送を受け付けます。なお，ブロック転送中はCPUのバス・サイクルが挿入されることはありませんが，バス・ホールドおよびリフレッシュ・サイクルは，ブロック転送中でもDMA転送間に挿入されます。

次にブロック転送の例を示します。優先順位の高いDMA要求が発生した場合のブロック転送の例で，DMAチャネル2, 3はブロック転送です。

図6－7　ブロック転送例



6. 5　転送タイプ

6. 5. 1　2サイクル転送

2サイクル転送は，リード・サイクル（転送元→DMAC），ライト･サイクル（DMAC→転送先）と2回のサイクルでデータを転送します。

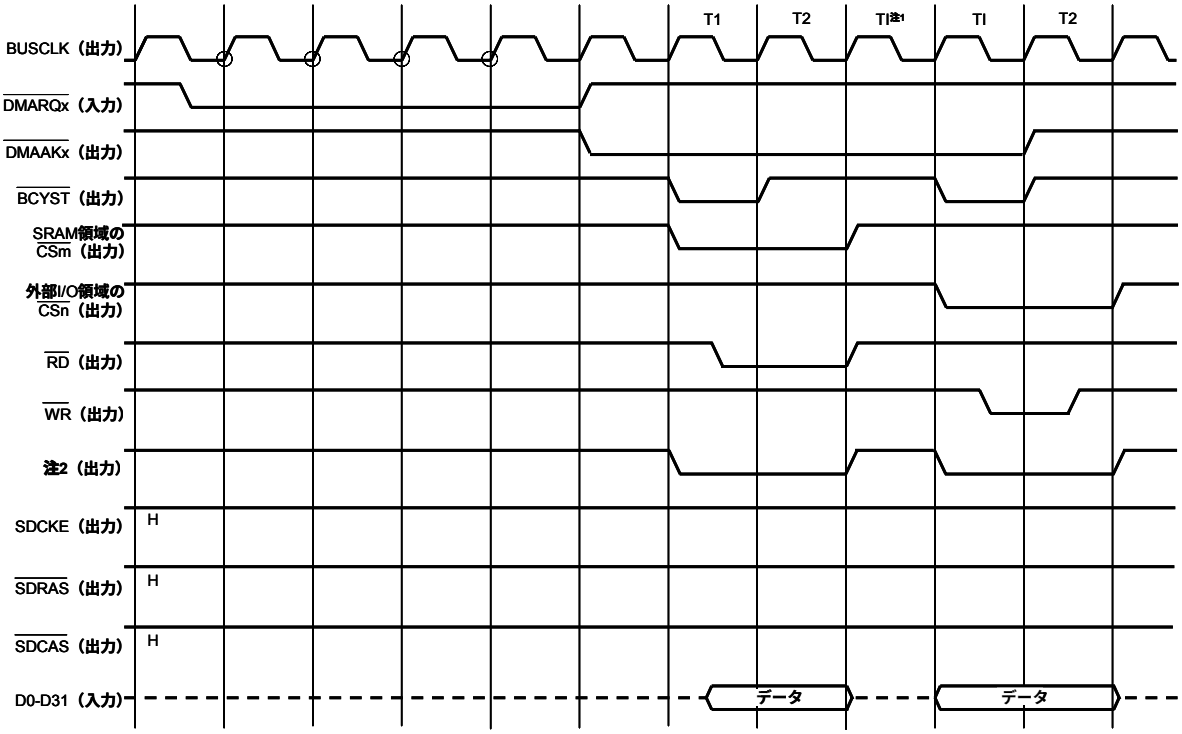
1回目のサイクルでは，転送元のアドレスを出力し転送元からDMACへのリードを行い，2回目のサイクルでは，転送先のアドレスを出力しDMACから転送先への書き込みを行います。

注意1.　リード・サイクルとライト・サイクルの間に，必ず1～2クロック分のアイドル・サイクルが挿入されます。

2.　2サイクルDMA転送に関する制限事項については，6. 15（8）2サイクルDMA転送に関する制限事項を参照してください。

図6－8　2サイクルDMA転送時のタイミング（SRAM→外部I/O）（1/2）

（a）シングル転送モード時（0ウエイト，BMCレジスタ = 00H，レベル検出モード）



注1.　BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

2.　$\overline{\text{UUBE}}$/UUDQM, $\overline{\text{ULBE}}$/ULDQM, $\overline{\text{LLBE}}$/LLDQM, $\overline{\text{LUBE}}$/LUDQM

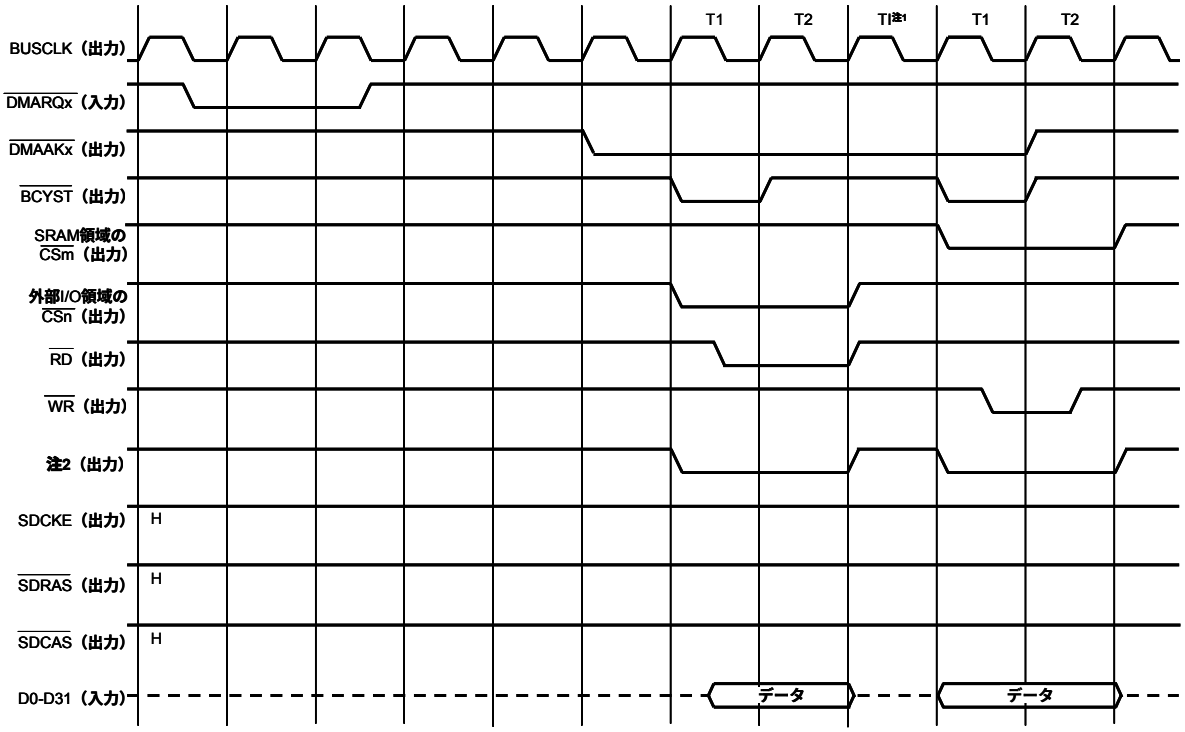
備考1.　破線はハイ・インピーダンスを示します。

2.　n = 0-7, m = 0-7（n ≠ m）

x = 0-3

図6－8 2サイクルDMA転送時のタイミング（SRAM→外部I/O）（2/2）

（b）シングル転送モード時（0ウエイト，BMCレジスタ = 00H，エッジ検出モード）



注1. BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

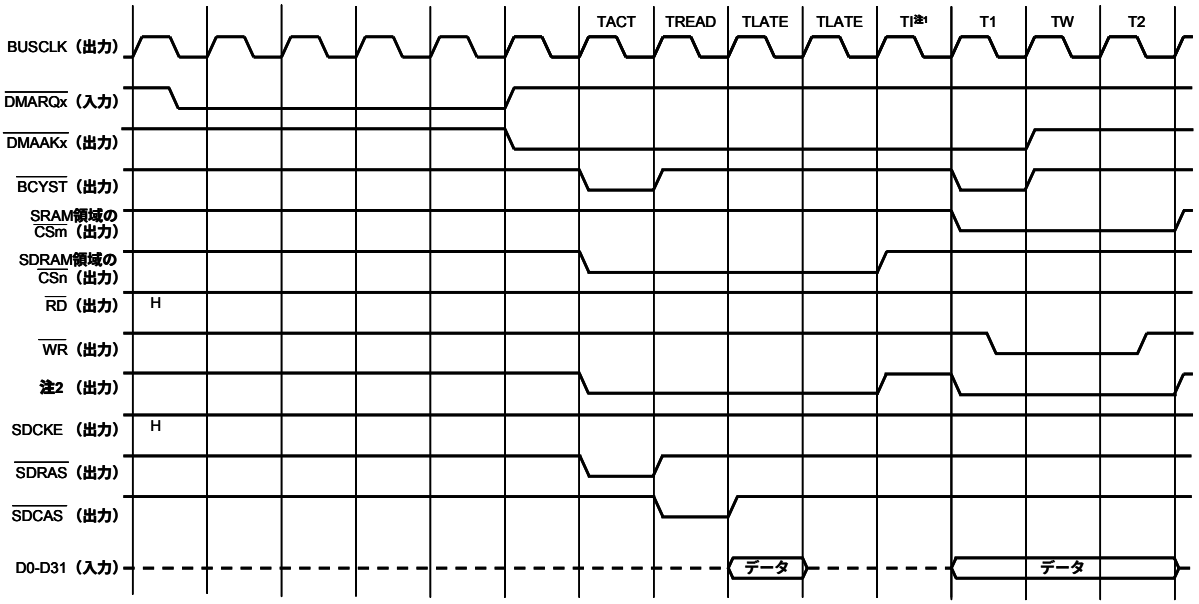
2. $\overline{\text{UUBE}}$/UUDQM, $\overline{\text{ULBE}}$/ULDQM, $\overline{\text{LLBE}}$/LLDQM, $\overline{\text{LUBE}}$/LUDQM

備考1. 破線はハイ・インピーダンスを示します。

2. n = 0-7, m = 0-7（n ≠ m）

x = 0-3

図6－9　2**サイクル**DMA**転送時のタイミング**（SDRAM→SRAM）
：シングル転送モード時（SRAM**データ**1**ウエイト**，SDRAM**レーテンシ** = 2，
BMC**レジスタ** = 00H，**レベル検出モード**）



注1.　BCC**レジスタの設定に依存しないアイドル・ステート**（TI）**です。**

2.　$\overline{\text{UUBE}}$/UUDQM, $\overline{\text{ULBE}}$/ULDQM, $\overline{\text{LLBE}}$/LLDQM, $\overline{\text{LUBE}}$/LUDQM

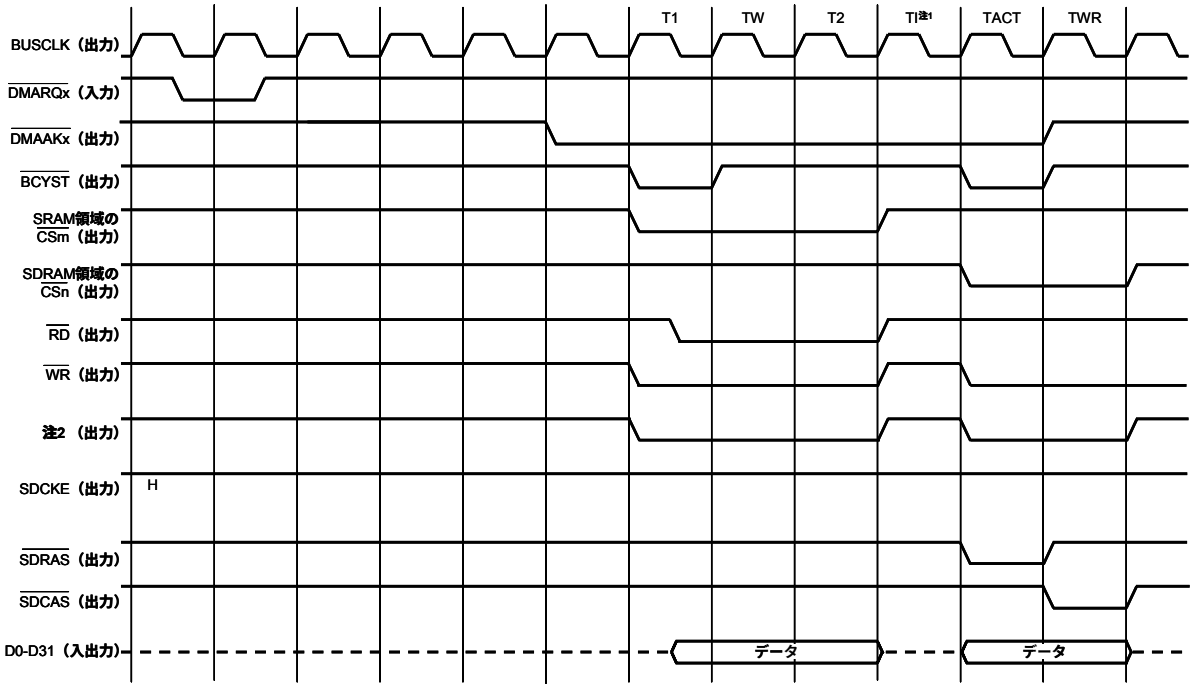
備考1.　**破線はハイ・インピーダンスを示します。**

2.　m = 0-7

n = 1, 3, 4, 6

x = 0-3

図6－10　2**サイクル**DMA**転送時のタイミング**（SRAM→SDRAM）
：シングル転送モード時（SRAM**データ**1**ウエイト，** BMC**レジスタ** = 00H，
エッジ検出モード）



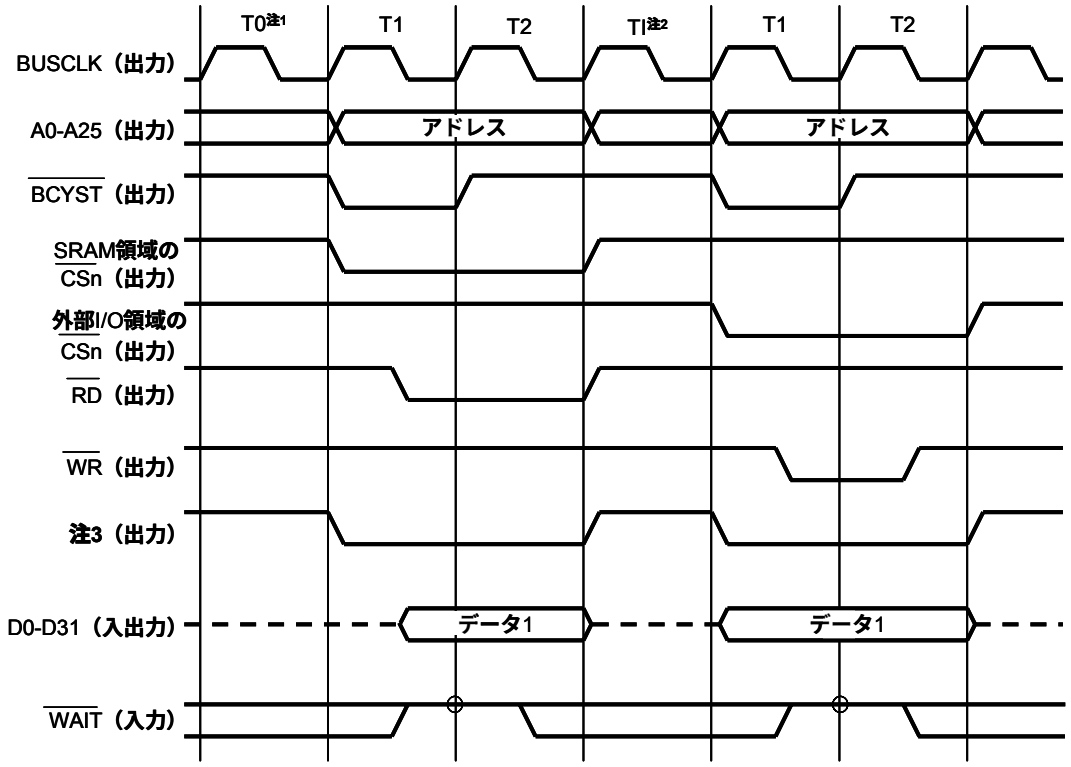
注1.　BCC**レジスタの設定に依存しないアイドル・ステート**（TI）**です。**

2.　$\overline{\text{UUBE}}$/UUDQM, $\overline{\text{ULBE}}$/ULDQM, $\overline{\text{LLBE}}$/LLDQM, $\overline{\text{LUBE}}$/LUDQM

備考1.　**破線はハイ・インピーダンスを示します。**

2.　m = 0-7
n = 1, 3, 4, 6
x = 0-3

図6－11　2サイクルDMA転送時のタイミング（SRAM→外部I/O）：先読みなし時



注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

3.　UUBE, ULBE, LUBE, LLBE,

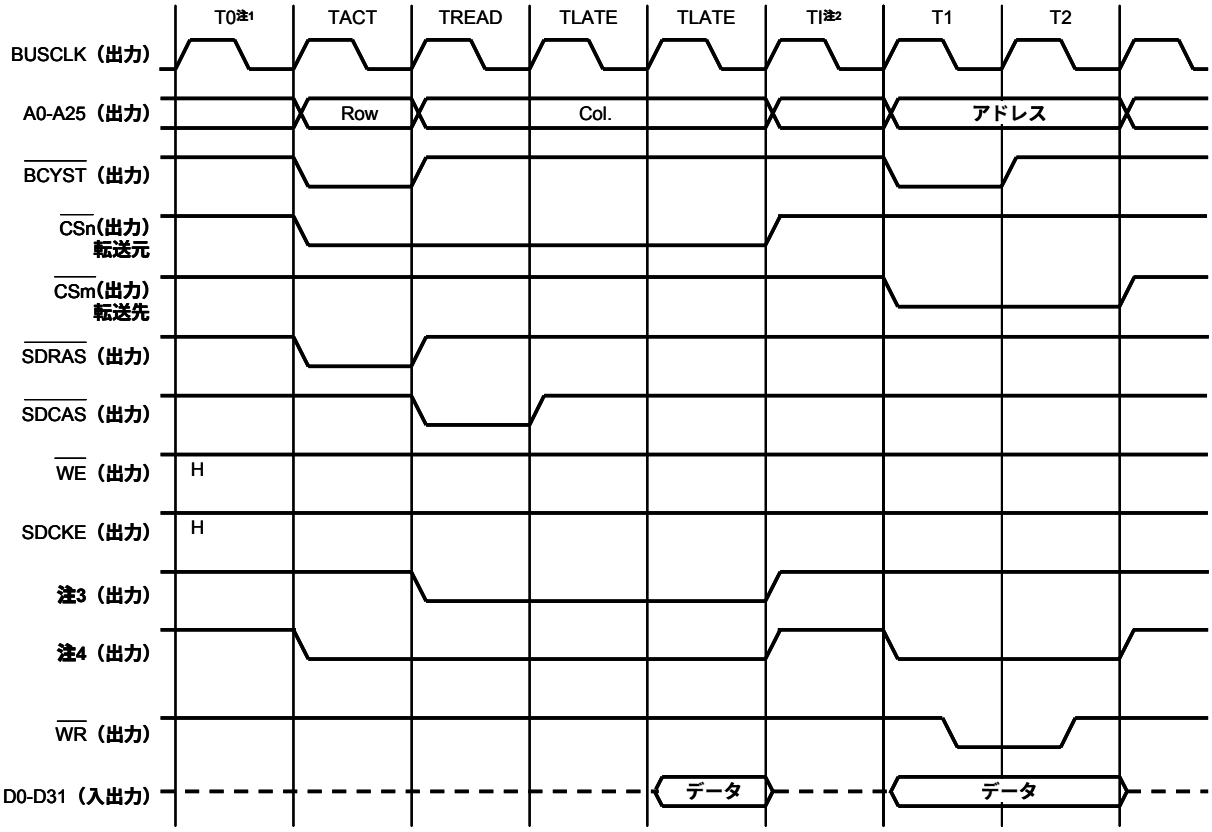
備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

3.　n = 0-7

図6－12 2サイクルDMA転送時のタイミング（SDRAM→SRAM）（1/2）

（a）先読みなし時



注1. バス・サイクル間に挿入されるステート（T0）です。

2. BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

3. $\overline{\text{xxWR}}$出力モード/xxDQM出力モード設定時（PFCCTレジスタのPFCCTaビット = 0）

4. $\overline{\text{xxBE}}$出力モード/xxDQM出力モード設定時（PFCCTレジスタのPFCCTaビット = 1）

備考1. 破線はハイ・インピーダンスを示します。

2. n = 1, 3, 4, 6

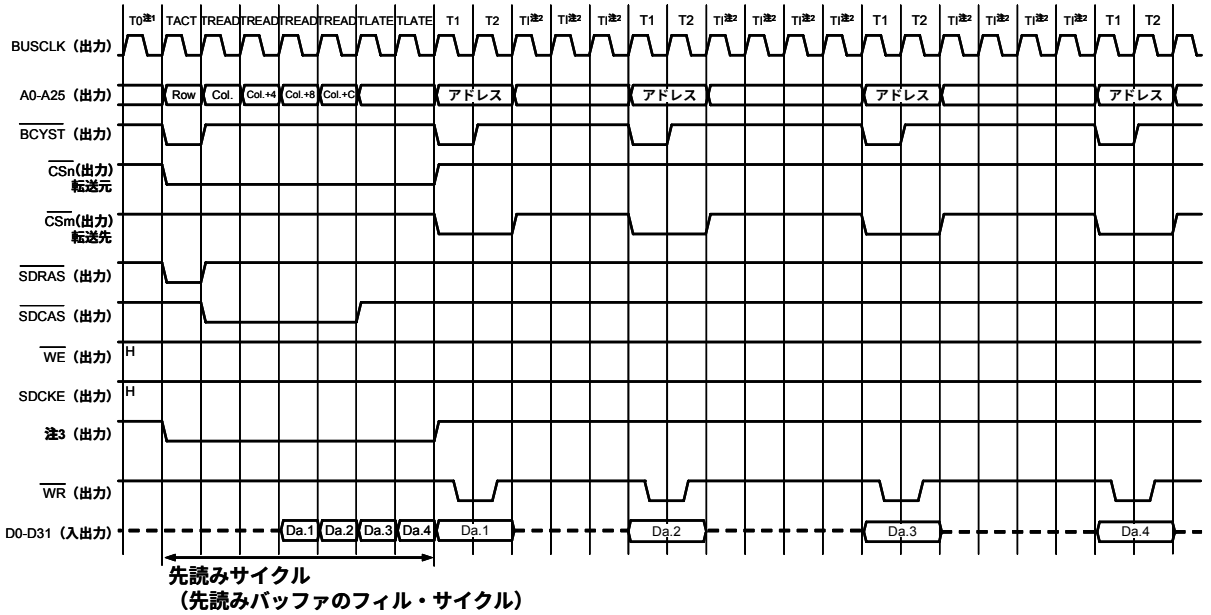
m = 0-7

a = 0-3

xx = UU, UL, LU, LL

図6－12 2サイクルDMA転送時のタイミング（SDRAM→SRAM）（2/2）

（b）先読みあり，先読みヒット時



注1. **バス・サイクル間に挿入されるステート**（T0）**です。**

2. BCC**レジスタの設定に依存しないアイドル・ステート**（TI）**です。**

3. UUDQM, ULDQM, LUDQM, LLDQM

備考1. **破線はハイ・インピーダンスを示します。**

2. n = 1, 3, 4, 6

m = 0-7

3. Da.： **データ**

（1）2サイクル転送時の$\overline{\text{DMARQn}}$と$\overline{\text{DMAAKn}}$信号のタイミング

2サイクル転送の転送対象は，次のようになります。

表6－1　2サイクル転送の転送対象

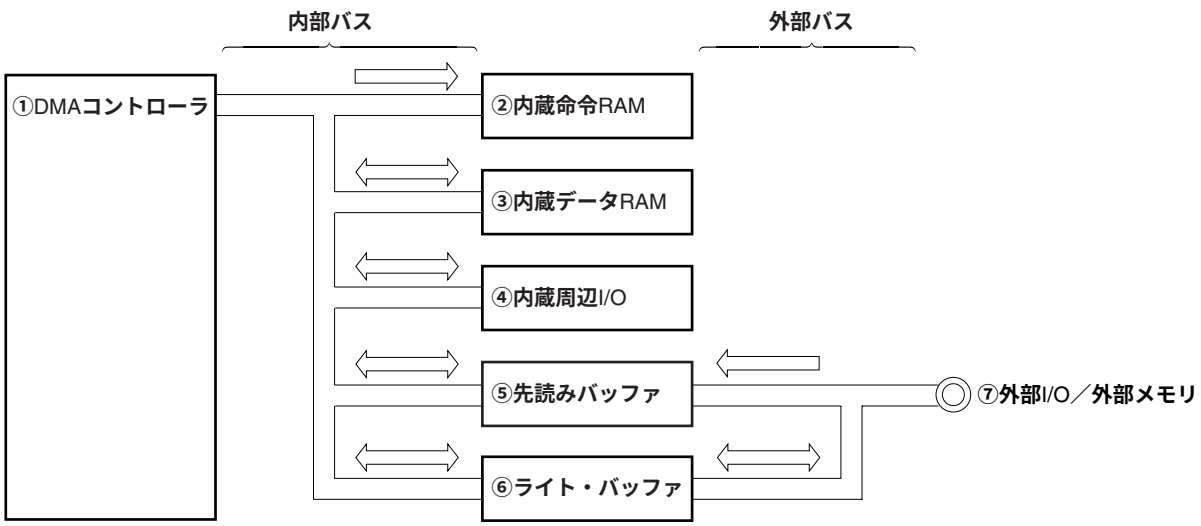
		転　送　先			
		外部I/O／外部メモリ	内蔵周辺I/O	内蔵データRAM	内蔵命令RAM
転送元	外部I/O／外部メモリ	○	○	○	○
	内蔵周辺I/O	○	○	○	○
	内蔵データRAM	○	○	×	○

備考1.　○：転送可，×：転送不可

2.　詳細は表6－4　2サイクル転送時における$\overline{\text{DMAAKn}}$信号のアクティブ幅の最小値を参照してください。

また，バス構成は，次のようになります。

図6－13　バス構成



注意　内部バスはCPUクロック同期，外部バスはバス・クロック（BUSCLK）同期で動作します。

DMAコントローラから出力される$\overline{\text{DMAAKn}}$信号のアクティブ幅は，DMAコントローラからのリード動作開始からライト動作完了までです（n = 0-3）。ただし，内蔵データRAMへのライト／リード・サイクルに対しては，$\overline{\text{DMAAKn}}$信号はアクティブになりません。

各DMA転送の$\overline{\text{DMAAKn}}$信号のアクティブ幅を次に示します。

表6－2　2サイクル転送の$\overline{\text{DMAAKn}}$信号のアクティブ幅

		転　送　先			
		外部I/O／外部メモリ	内蔵周辺I/O	内蔵データRAM	内蔵命令RAM
転送元	外部I/O／外部メモリ	⑤（⑦）→①→⑥	⑤（⑦）→①→④	⑤（⑦）→①	⑤（⑦）→①→②
	内蔵周辺I/O	④→①→⑥	④→①→④	④→①	④→①→②
	内蔵データRAM	①→⑥	①→④	－	①→②

備考　（）：先読み機能なしの場合，または先読みミス・ヒット時のサイクル

したがって，2サイクル転送時の外部アクセス（外部I/O／外部メモリへの実行）と$\overline{\text{DMAAKn}}$信号のアクティブ幅の相関関係は次のようになります。

表6－3　外部アクセス（外部I/O／外部メモリへの実行）と$\overline{\text{DMAAKn}}$信号のアクティブ幅の相関関係

		先読み機能	転　送　先			
			外部I/O／外部メモリ	内蔵周辺I/O	内蔵データRAM	内蔵命令RAM
転送元	外部I/O／外部メモリ	なし	○	○	○	○
	内蔵周辺I/O		×（a）	－	－	－
	内蔵データRAM		×（a）	－	－	－
	外部I/O／外部メモリ	あり	×（b）	×（c）	×（c）	×（c）
	内蔵周辺I/O		×（a）	－	－	－
	内蔵データRAM		×（a）	－	－	－

備考　○　：外部I/O／外部メモリへの実行（DMAアクセス）中に対象の$\overline{\text{DMAAKn}}$信号がアクティブになる。

×　：外部I/O／外部メモリへの実行（DMAアクセス）中に対象の$\overline{\text{DMAAKn}}$信号がアクティブにならない場合がある。

（a）：ライト・バッファにデータが転送された時点（④→①→⑥または①→⑥）で，$\overline{\text{DMAAKn}}$信号のアクティブが終了します。このため，外部I/O／外部メモリへのライトが実行される前に，$\overline{\text{DMARQn}}$/$\overline{\text{DMAAKn}}$信号とのハンドシェークが完了する場合があります。たとえば，すでにライト・バッファに3バッファ分別のデータが格納されている場合，このDMA転送によるデータは4段目に格納され，$\overline{\text{DMAAKn}}$信号がインアクティブになります。その後，格納されているデータのライト動作が3回発生したあと，最後の（すでにインアクティブになっている）$\overline{\text{DMAAKn}}$信号の対象となる外部I/O／外部メモリへの転送（⑥→⑦）が実行されます。

(b) ：$\overline{\text{DMARQn}}$/$\overline{\text{DMAAKn}}$信号とのハンドシェークが完了する前に，外部I/O／外部メモリからのリード実行（DMAアクセス）が完了している場合や，外部I/O／外部メモリへのライトが実行される前に，$\overline{\text{DMARQn}}$/$\overline{\text{DMAAKn}}$信号とのハンドシェークが完了する場合があります。

ライト・バッファにデータが転送された時点（⑤→①→⑥）で，$\overline{\text{DMAAKn}}$信号のアクティブが終了します。先読みがヒットした場合は，先読みを実行した時点で，対象の外部I/O／外部メモリからリードされるため，外部I/O／外部メモリからのリード動作（⑦→⑤）は，$\overline{\text{DMAAKn}}$信号より前に実行されます。その後，先読みバッファからライト・バッファへ転送（⑤→①→⑥）される期間中，$\overline{\text{DMAAKn}}$信号がアクティブになります。たとえば，すでにライト・バッファに3バッファ分別のデータが格納されている場合，このDMA転送によるデータは，4段目に格納されます。その後，格納されているデータのライト動作が3回発生したあと，最後の$\overline{\text{DMAAKn}}$信号の対象となる外部I/O／外部メモリへの転送（⑥→⑦）が実行されます。

(c) ：$\overline{\text{DMARQn}}$/$\overline{\text{DMAAKn}}$信号とのハンドシェークが完了する前に，外部I/O／外部メモリからのリード実行（DMAアクセス）が完了する場合があります。

先読みがヒットした場合は，対象のデータはすでに外部I/O／外部メモリから先読みバッファに転送（⑦→⑤）されているため，$\overline{\text{DMAAKn}}$信号がアクティブになる期間（⑤→①→（②，③または④））には，すでに外部I/O／外部メモリへの実行（DMAアクセス）は完了しています。

(2) $\overline{\text{DMAAKn}}$信号のアクティブ幅拡張機能

2サイクル転送時の$\overline{\text{DMAAKn}}$信号出力は，内部バス・サイクルに同期して出力され，外部バス・サイクルとは同期しません（n = 0-3）。また，DMAサイクルは，DMA転送対象となる構成により異なります（6. 5. 1.（1）2サイクル転送時の$\overline{\text{DMARQn}}$と$\overline{\text{DMAAKn}}$信号のタイミング参照）。

また，DMA転送対象によっては，$\overline{\text{DMAAKn}}$信号が最短で2×f_{CLK}分だけしかアクティブにならない構成があります。この場合，内部システム・クロック（f_{CLK}）を分周してバス・クロック（BUSCLK）を使用（例：BMCレジスタ = 02H：3分周を設定）していると，$\overline{\text{DMAAKn}}$信号のアクティブをBUSCLKでサンプリングできないことがあります。

この場合は，DTOCレジスタのDAKEBCビット，DIFCレジスタのDAKEnビットにより，$\overline{\text{DMAAKn}}$信号のアクティブ幅を拡張すると，$\overline{\text{DMAAKn}}$信号のアクティブをBUSCLKでサンプリングできます。

なお，2サイクル転送時における$\overline{\text{DMAAKn}}$信号のアクティブ幅の最小値を次に示します。

表6－4　2サイクル転送時における$\overline{\text{DMAAKn}}$信号のアクティブ幅の最小値

		先読み機能	転送先			
			外部I/O／外部メモリ	内蔵周辺I/O	内蔵データRAM	内蔵命令RAM
転送元	外部I/O／外部メモリ	なし	リード・サイクル＋3×f_{CLK}	リード・サイクル＋（4＋i）×f_{CLK}	リード・サイクル	リード・サイクル＋内蔵命令RAMライト・サイクル＋1×f_{CLK}
	内蔵周辺I/O		（6＋i）×f_{CLK}	（7＋2i）×f_{CLK}	（3＋i）×f_{CLK}	内蔵命令RAMライト・サイクル＋（4＋i）×f_{CLK}
	内蔵データRAM		2×f_{CLK}	（3＋i）×f_{CLK}	－	内蔵命令RAMライト・サイクル
	外部I/O／外部メモリ	あり	5×f_{CLK}	（6＋i）×f_{CLK}	2×f_{CLK}	内蔵命令RAMライト・サイクル＋3×f_{CLK}
	内蔵周辺I/O		（6＋i）×f_{CLK}	（7＋2i）×f_{CLK}	（3＋i）×f_{CLK}	内蔵命令RAMライト・サイクル＋（4＋i）×f_{CLK}
	内蔵データRAM		2×f_{CLK}	（3＋i）×f_{CLK}	－	内蔵命令RAMライト・サイクル

注意　$\overline{\text{DMAAKn}}$信号のアクティブ幅拡張機能は，2サイクル転送時のみ使用できます（n = 0-3）。フライバイ転送時には使用できません。フライバイ転送時に使用した場合の動作は保証しません。なお，フライバイ転送時は，バス・サイクルと同期した$\overline{\text{DMAAKn}}$信号が出力されます。

備考　i　：VSWCレジスタで設定したウエイト数

f_{CLK}：内部システム・クロック

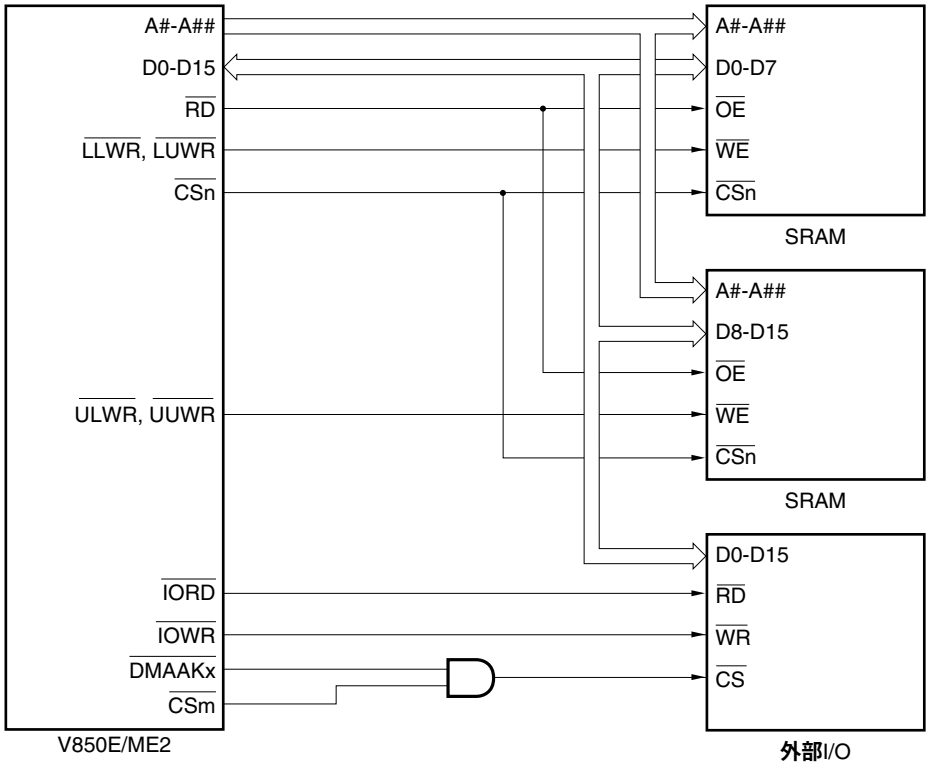
6. 5. 2 フライバイ転送

フライバイ転送は，1サイクルで転送を行うため，転送先，転送元にかかわらず，常にメモリのアドレスを出力し，メモリ，外部I/Oのリード／ライト信号を同時にアクティブにします。このため，外部I/Oは，$\overline{\text{DMAAK0}}$-$\overline{\text{DMAAK3}}$信号で選択します。

外部I/Oに対してDMA転送以外に通常アクセスを行う場合は，$\overline{\text{CSm}}$信号と$\overline{\text{DMAAKx}}$信号を外部で論理積（AND）し，外部I/Oのチップ・セレクト信号に接続してください（m = 0-7, x = 0-3）。外部I/Oに対してDMA転送以外に通常アクセスを行う場合の回路例を次に示します。

注意 SDRAMを対象とする場合は，外部I/O→SDRAMのみ可能です。

図6－14 外部I/O-SRAM間のフライバイ転送を行う場合の回路例

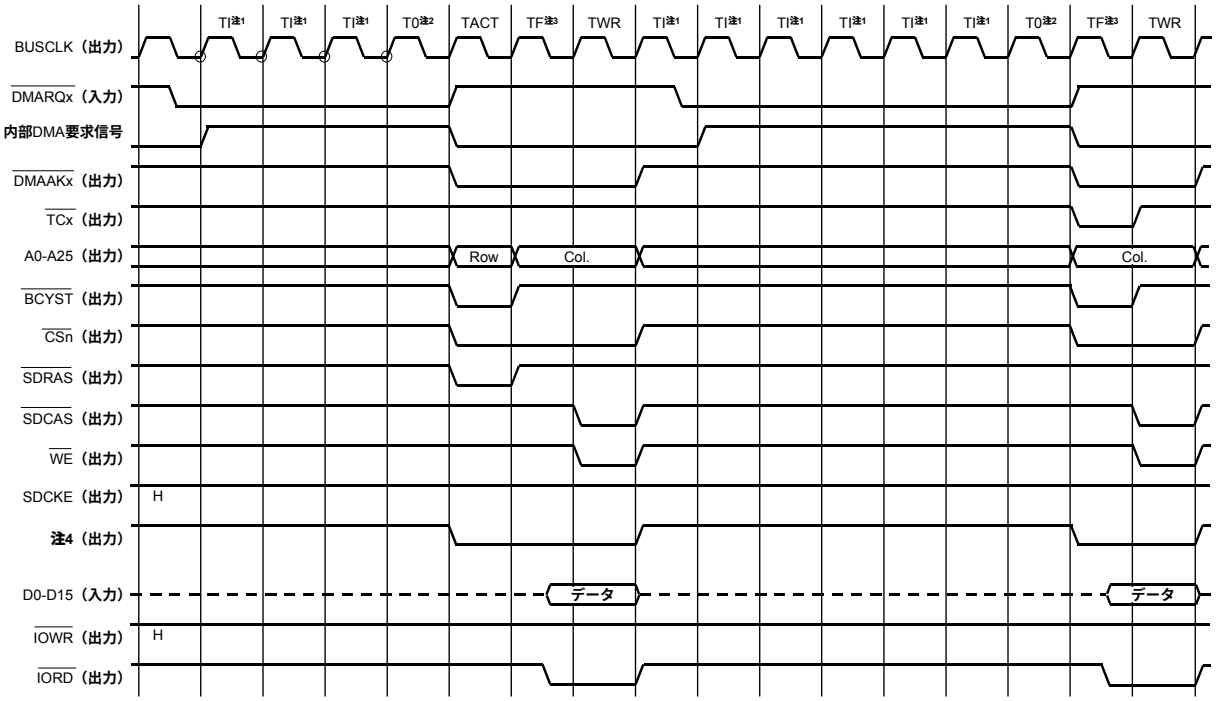


備考 n = 0-7, m = 0-7（n≠m）

x = 0-3

図6－15　DMAフライバイ転送時のタイミング（外部I/O→SDRAM）（1/3）

（a）シングル転送モード時



注1.　BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

2.　バス・サイクル間に挿入されるステート（T0）です。

3.　FWCレジスタの設定により挿入されたウエイト（TF）です。

4.　UUDQM, ULDQM, LUDQM, LLDQM

注意　SDRAMフライバイ転送時のTFステートは，FWCレジスタの設定値＋1のウエイトが挿入されます（設定値0の場合は1ウエイト挿入（上図は設定値0の場合））

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

3.　x = 0-3

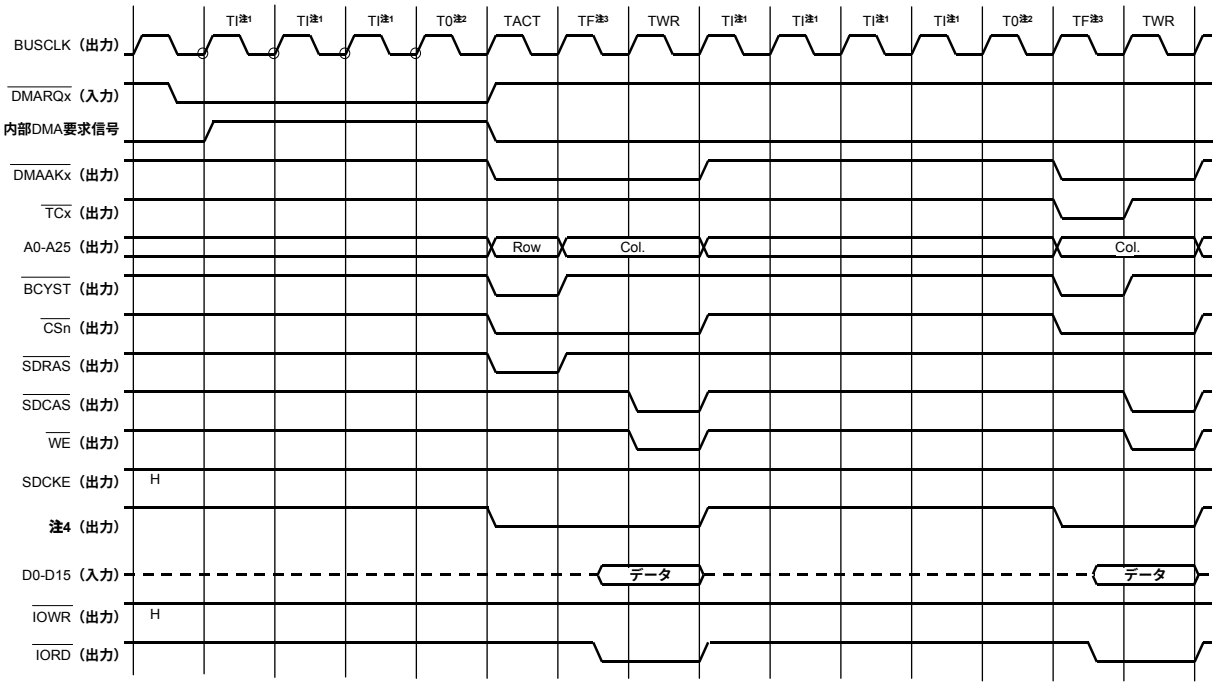
n = 1, 3, 4, 6

4.　Col.　：カラム・アドレス

Row　：ロウ・アドレス

図6－15　DMAフライバイ転送時のタイミング（外部I/O→SDRAM）（2/3）

（b）シングルステップ転送モード時



注1.　BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

2.　バス・サイクル間に挿入されるステート（T0）です。

3.　FWCレジスタの設定により挿入されたウエイト（TF）です。

4.　UUDQM, ULDQM, LUDQM, LLDQM

注意　SDRAMフライバイ転送時のTFステートは，FWCレジスタの設定値＋1のウエイトが挿入されます（設定値0の場合は1ウエイト挿入（上図は設定値0の場合））

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

3.　x = 0-3

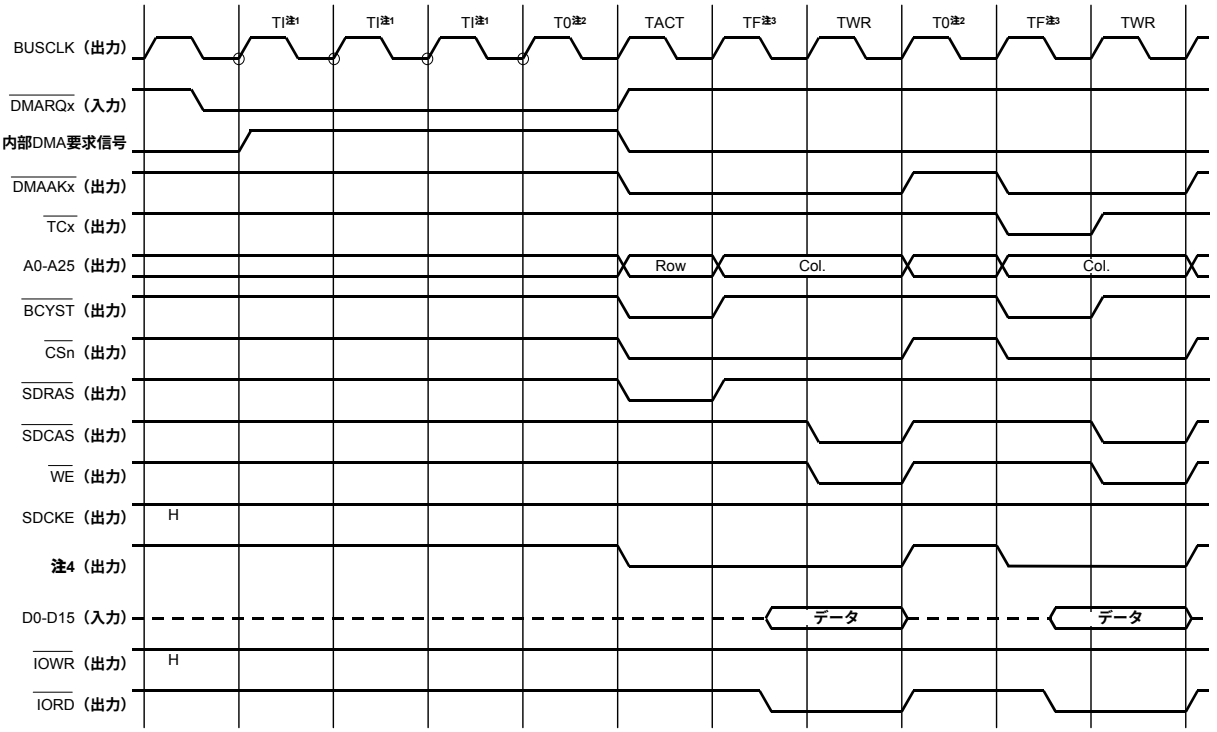
n = 1, 3, 4, 6

4.　Col.　：カラム・アドレス

Row　：ロウ・アドレス

図6－15　DMAフライバイ転送時のタイミング（外部I/O→SDRAM）（3/3）

（c）ブロック転送モード時



注1.　BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

2.　バス・サイクル間に挿入されるステート（T0）です。

3.　FWCレジスタの設定により挿入されたウエイト（TF）です。

4.　UUDQM, ULDQM, LUDQM, LLDQM

注意　SDRAMフライバイ時のTFステートは，FWCレジスタの設定値＋1のウエイトが挿入されます（設定値0の場合は1ウエイト挿入（上図は設定値0の場合））

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

3.　x = 0-3

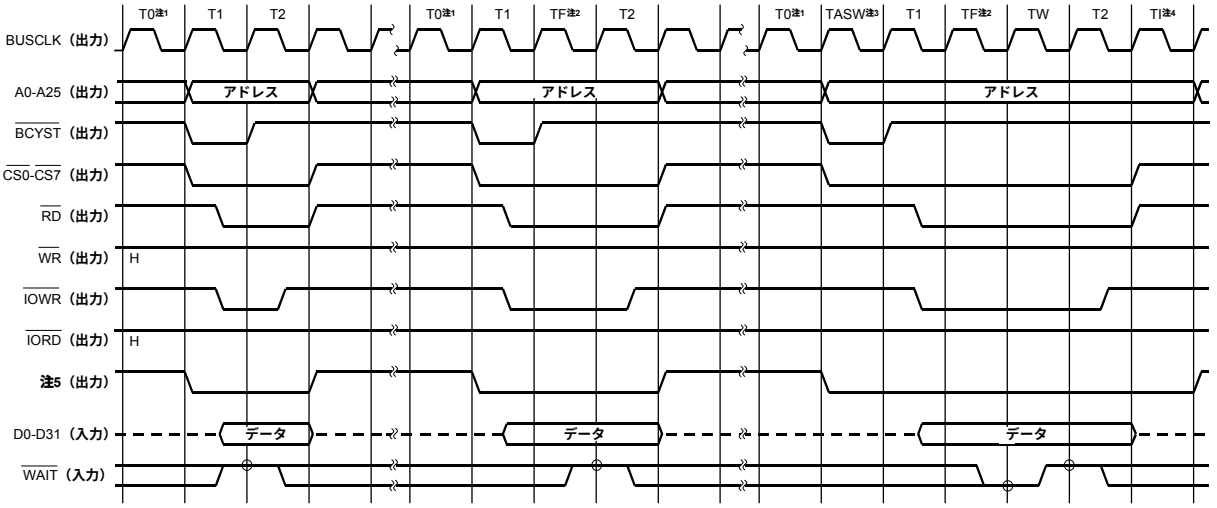
n = 1, 3, 4, 6

4.　Col.　：カラム・アドレス

Row　：ロウ・アドレス

図6－16　DMAフライバイ転送時のタイミング（SRAM→外部I/O）（1/2）

（a）先読みあり／先読みなし，32ビット・バス幅時



注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　FWCレジスタの設定により挿入されたウエイト（TF）です。

3.　ASCレジスタの設定により挿入されたアドレス・セットアップ・ウエイト（TASW）です。

4.　FICレジスタの設定により挿入されたアイドル・ステート（TI）です。

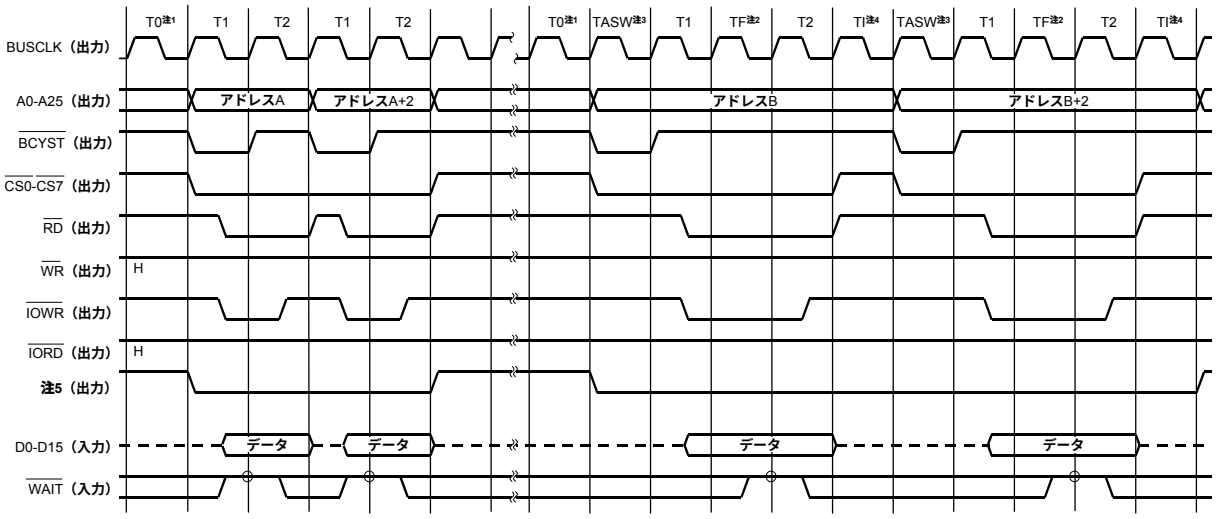
5.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

図6－16 DMAフライバイ転送時のタイミング（SRAM→外部I/O）（2/2）

（b）先読みあり／先読みなし，16ビット・バス幅，32ビット・データ転送時



注1. バス・サイクル間に挿入されるステート（T0）です。

2. FWCレジスタの設定により挿入されたウエイト（TF）です。

3. ASCレジスタの設定により挿入されたアドレス・セットアップ・ウエイト（TASW）です。

4. FICレジスタの設定により挿入されたアイドル・ステート（TI）です。

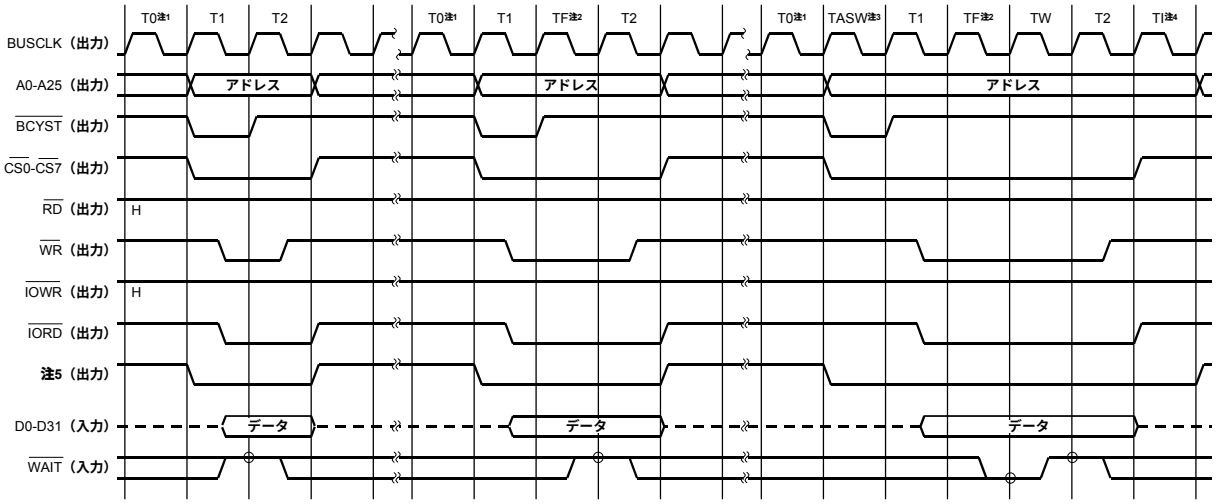
5. $\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1. ○印はサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

図6－17　DMAフライバイ転送時のタイミング（外部I/O→SRAM）（1/2）

（a）先読みあり／先読みなし，32ビット・バス幅時



注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　FWCレジスタの設定により挿入されたウエイト（TF）です。

3.　ASCレジスタの設定により挿入されたアドレス・セットアップ・ウエイト（TASW）です。

4.　FICレジスタの設定により挿入されたアイドル・ステート（TI）です。

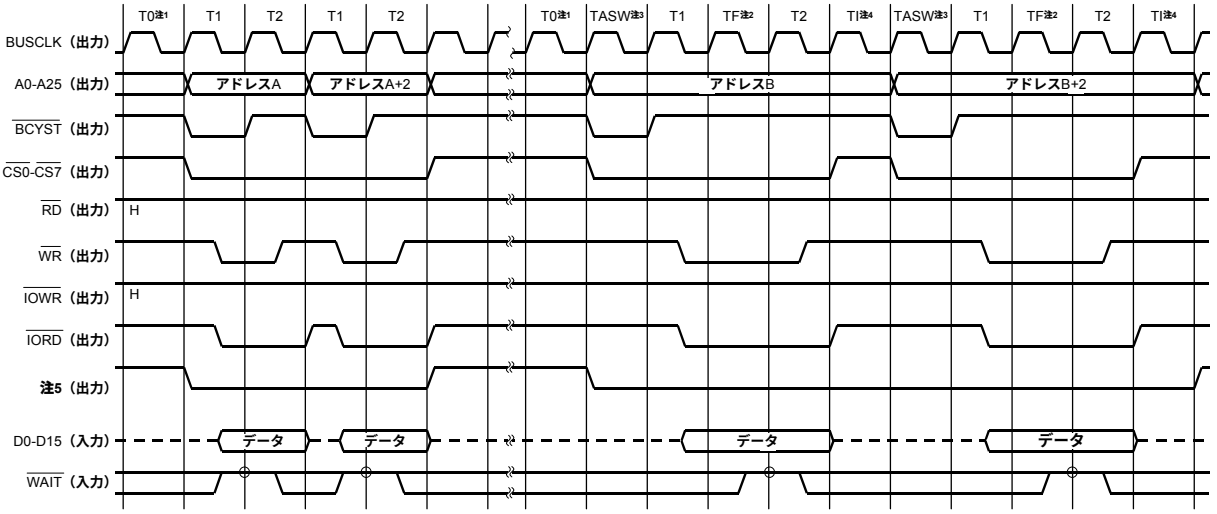
5.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

図6－17　DMAフライバイ転送時のタイミング（外部I/O→SRAM）（2/2）

（b）先読みあり／先読みなし，16ビット・バス幅，32ビット・データ転送時



注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　FWCレジスタの設定により挿入されたウエイト（TF）です。

3.　ASCレジスタの設定により挿入されたアドレス・セットアップ・ウエイト（TASW）です。

4.　FICレジスタの設定により挿入されたアイドル・ステート（TI）です。

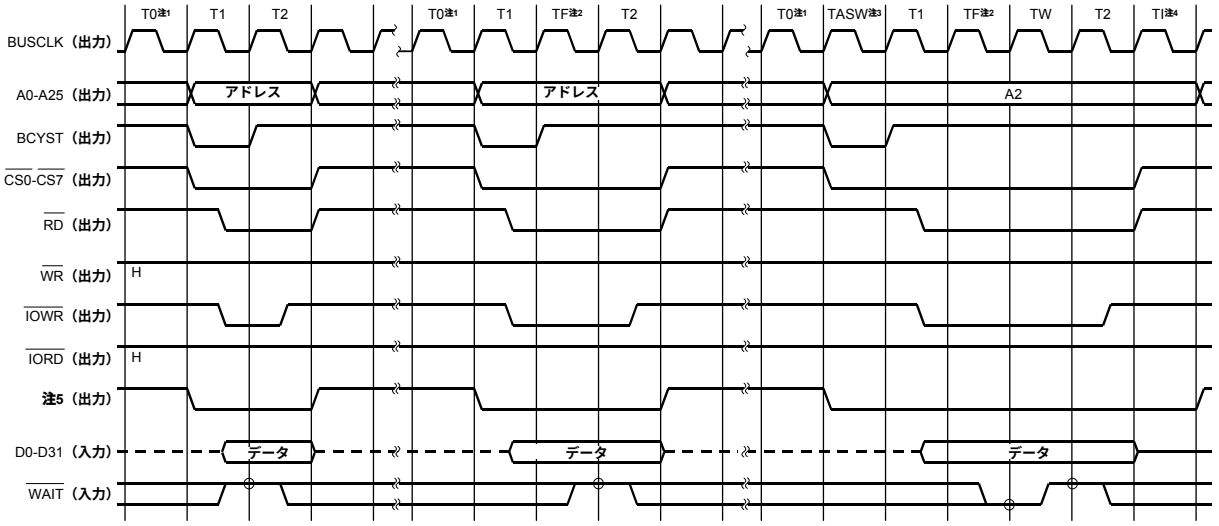
5.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

図6－18　DMAフライバイ転送時のタイミング（ページROM→外部I/O）（1/2）

（a）先読みあり／先読みなし，32ビット・バス幅時



注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　FWCレジスタの設定により挿入されたウエイト（TF）です。

3.　ASCレジスタの設定により挿入されたアドレス・セットアップ・ウエイト（TASW）です。

4.　FICレジスタの設定により挿入されたアイドル・ステート（TI）です。

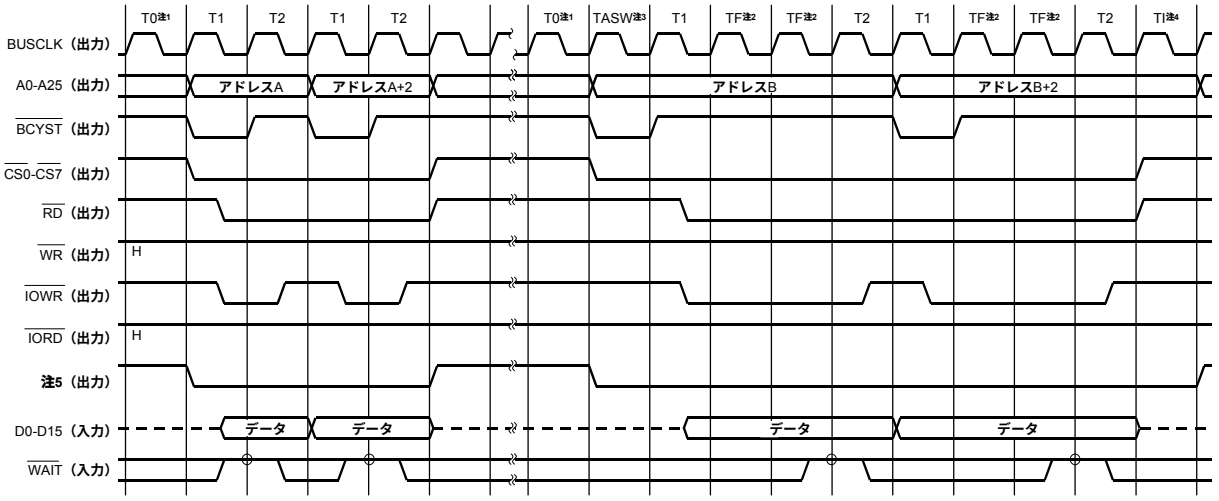
5.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

図6－18　DMAフライバイ転送時のタイミング（ページROM→外部I/O）（2/2）

（b）先読みあり／先読みなし，16ビット・バス幅，32ビット・データ転送時



注1.　**バス・サイクル間に挿入されるステート（T0）です。**

2.　FWC**レジスタの設定により挿入されたウエイト（TF）です。**

3.　ASC**レジスタの設定により挿入されたアドレス・セットアップ・ウエイト（TASW）です。**

4.　FIC**レジスタの設定により挿入されたアイドル・ステート（TI）です。**

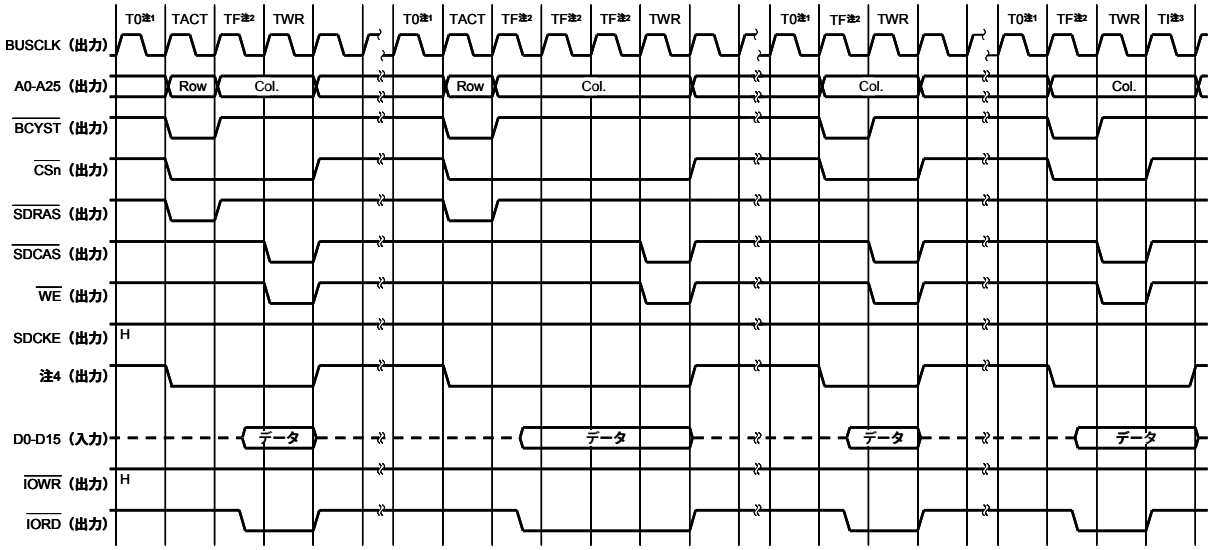
5.　$\overline{\text{UUBE}}$, $\overline{\text{ULBE}}$, $\overline{\text{LUBE}}$, $\overline{\text{LLBE}}$

備考1.　**○印はサンプリング・タイミングです。**

2.　**破線はハイ・インピーダンスを示します。**

図6－19　DMAフライバイ転送時のタイミング（外部I/O→SDRAM）（1/2）

（a）先読みあり／先読みなし，32ビット・バス幅，CASレーテンシ = 2時



注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　FWCレジスタの設定により挿入されたウエイト（TF）です。

3.　FICレジスタの設定により挿入されたアイドル・ステート（TI）です。

4.　UUDQM, ULDQM, LUDQM, LLDQM

注意　SDRAMフライバイ転送時のTFステートは，FWCレジスタの設定値＋1のウエイトが挿入されます（設定値0の場合は1ウエイト挿入）

備考1.　破線はハイ・インピーダンスを示します。

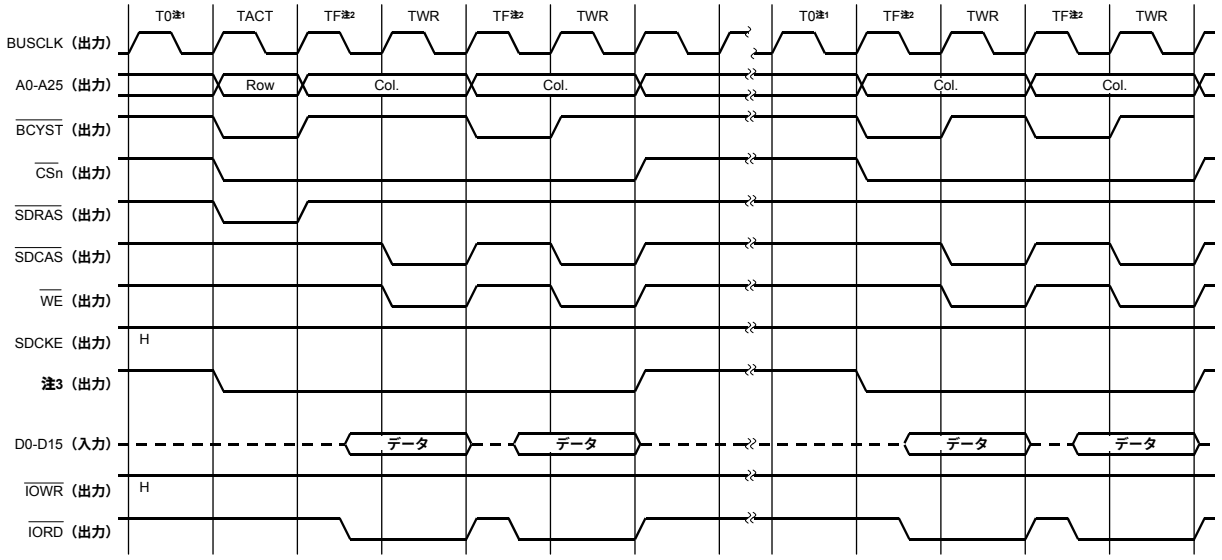
2.　n = 1, 3, 4, 6

3.　Col.　：カラム・アドレス

Row　：ロウ・アドレス

図6－19　DMAフライバイ転送時のタイミング（外部I/O→SDRAM）（2/2）

（b）先読みあり／先読みなし，16ビット・バス幅，32ビット・データ転送，CASレーテンシ = 2時



注1.　バス・サイクル間に挿入されるステート（T0）です。

2.　FWCレジスタの設定により挿入されたウエイト（TF）です。

3.　UUDQM, ULDQM, LUDQM, LLDQM

注意　SDRAMフライバイ転送時のTFステートは，FWCレジスタの設定値＋1のウエイトが挿入されます（設定値0の場合は1ウエイト挿入）

備考1.　破線はハイ・インピーダンスを示します。

2.　n = 1, 3, 4, 6

3.　Col.　：カラム・アドレス

Row　：ロウ・アドレス

6. 6　転送対象

6. 6. 1　転送の種類と転送対象

転送の種類と転送対象の関係を次に示します（○：転送可，×：転送不可）。

表6－5　転送の種類と転送対象の関係

		転　送　先									
		2サイクル転送の場合					フライバイ転送の場合				
		内蔵周辺I/O注1	外部I/O	内蔵データRAM	内蔵命令RAM	外部メモリ	内蔵周辺I/O	外部I/O	内蔵データRAM	内蔵命令RAM	外部メモリ
転送元	内蔵周辺I/O注1	○	○	○注3	○注4	○注2	×	×	×	×	×
	外部I/O	○	○	○	○注4	○	×	×	×	×	○
	内蔵データRAM	○	○	×	○注4	○	×	×	×	×	×
	外部メモリ	○注2	○	○注3	○注4	○注2	×	○注5	×	×	×

注1. 転送対象が内蔵周辺I/Oの場合はシングル転送モードのみ使用が可能です。ただし，転送の起動要因がUSBによる要求の場合は，シングル転送モード，シングルステップ転送モードの使用が可能です。

2. リトル・エンディアン領域←→ビッグ・エンディアン領域の転送もできます。

3. 2サイクルDMA転送に関する制限事項については，6. 15（8）2サイクルDMA転送に関する制限事項を参照してください。

4. 内蔵命令RAMをライト・モード指定時（IRAMMレジスタのIRAMMnビット = 1）は，転送先としてのみ使用可能です。

5. SDRAMを対象とする場合は，外部I/O→SDRAMのみ可能です。SDRAM→外部I/Oの転送はできません。

注意1. 表6－5に示す転送先と転送元で，「×」が表記されている組み合わせで転送を行った場合の動作は保証しません。

2. フライバイ転送の場合は，転送元と転送先のデータ・バス幅は同じにしてください。

3. DMA転送の転送元，転送先のアドレスに3FFF000H-3FFFFFFHを指定することができません。
転送元，転送先のアドレスには，必ずFFFF000H-FFFFFFFHのアドレスを指定してください。

4. DMA転送による内蔵周辺I/Oレジスタの設定および設定値の読み出しは行わないでください。

備考1. 2サイクルのDMA転送で転送元と転送先のデータ・バス幅が異なる場合，次のような動作になります。
なお，内蔵周辺I/Oレジスタを対象（転送元／転送先）とするDMA転送の場合，必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば，8ビットのレジスタに対するDMA転送の場合は，必ずバイト（8ビット）転送を指定してください。

〈32ビット転送の場合〉

・32ビット・バス→16ビット・バスへの転送
リード・サイクル（32ビット）が発生し，そのあとライト・サイクル（16ビット）が連続して2回発生します。

・32ビット・バス→8ビット・バスへの転送
リード・サイクル（32ビット）が発生し，そのあとライト・サイクル（8ビット）が連続して4回発生します。

- 16ビット・バス→8ビット・バスへの転送
  リード・サイクル（16ビット）が連続して2回発生し，そのあとライト・サイクル（8ビット）が連続して4回発生します。
- 16ビット・バス→32ビット・バスへの転送
  リード・サイクル（16ビット）が連続して2回発生し，そのあとライト・サイクル（32ビット）が発生します。転送先への書き込み方法については備考2を参照してください。
- 8ビット・バス→32ビット・バスへの転送
  リード・サイクル（8ビット）が連続して4回発生し，そのあとライト・サイクル（32ビット）が発生します。転送先への書き込み方法については備考2を参照してください。
- 8ビット・バス→16ビット・バスへの転送
  リード・サイクル（8ビット）が連続して4回発生し，そのあとライト・サイクル（16ビット）が連続して2回発生します。転送先への書き込み方法については備考2を参照してください。

〈16ビット転送の場合〉

- 32ビット・バス→16ビット・バスへの転送
  リード・サイクル（上位16ビットはハイ・インピーダンス）が発生し，そのあとライト・サイクル（16ビット）が発生します。
- 32ビット・バス→8ビット・バスへの転送
  リード・サイクル（上位16ビットはハイ・インピーダンス）が発生し，そのあとライト・サイクル（8ビット）が連続して2回発生します。
- 16ビット・バス→8ビット・バスへの転送
  リード・サイクル（16ビット）が発生し，そのあとライト・サイクル（8ビット）が連続して2回発生します。
- 16ビット・バス→32ビット・バスへの転送
  リード・サイクル（16ビット）が発生し，そのあとライト・サイクル（上位16ビットはハイ・インピーダンス）が発生します。転送先への書き込み方法については備考2を参照してください。
- 8ビット・バス→32ビット・バスへの転送
  リード・サイクル（8ビット）が連続して2回発生し，そのあとライト・サイクル（上位16ビットはハイ・インピーダンス）が発生します。転送先への書き込み方法については備考2を参照してください。
- 8ビット・バス→16ビット・バスへの転送
  リード・サイクル（8ビット）が連続して2回発生し，そのあとライト・サイクル（16ビット）が発生します。転送先への書き込み方法については備考2を参照してください。

〈8ビット転送の場合〉

- 32ビット・バス→16ビット・バスへの転送
  リード・サイクル（上位24ビットはハイ・インピーダンス）が発生し，そのあとライト・サイクル（上位8ビットはハイ・インピーダンス）が発生します。
- 32ビット・バス→8ビット・バスへの転送
  リード・サイクル（上位24ビットはハイ・インピーダンス）が発生し，そのあとライト・サイクル（8ビット）が発生します。
- 16ビット・バス→8ビット・バスへの転送
  リード・サイクル（上位8ビットはハイ・インピーダンス）が発生し，そのあとライト・サイクル（8ビット）が発生します。

- 16ビット・バス→32ビット・バスへの転送
  リード・サイクル（上位8ビットはハイ・インピーダンス）が発生し，そのあとライト・サイクル（上位24ビットはハイ・インピーダンス）が発生します。転送先への書き込み方法については備考2を参照してください。
- 8ビット・バス→32ビット・バスへの転送
  リード・サイクル（8ビット）が発生し，そのあとライト・サイクル（上位24ビットはハイ・インピーダンス）が発生します。転送先への書き込み方法については備考2を参照してください。
- 8ビット・バス→16ビット・バスへの転送
  リード・サイクル（8ビット）が発生し，そのあとライト・サイクル（上位8ビットはハイ・インピーダンス）が発生します。転送先への書き込み方法については備考2を参照してください。

備考2.　次の条件の場合，転送先に対しては，リトル・エンディアン時は下位，上位の順で，ビッグ・エンディアン時は上位，下位の順で書き込まれます。

- 16ビット・バス→32ビット・バスへの転送
- 8ビット・バス→32ビット・バスへの転送
- 8ビット・バス→16ビット・バスへの転送

6. 6. 2　DMA転送時の外部バス・サイクル

DMA転送時の外部バス・サイクルを次に示します。

表6－6　DMA転送時の外部バス・サイクル

転送の種類	転送対象	外部バス・サイクル	
2サイクル転送	内蔵周辺I/O，内蔵データRAM，内蔵命令RAM	なし	－
	外部I/O	あり	SRAMサイクル
	外部メモリ	あり	BCTレジスタで設定したメモリ・アクセス・サイクル
フライバイ転送	外部メモリ-外部I/O	あり	外部メモリとしてBCTレジスタで設定したメモリ・アクセスのDMAフライバイ転送サイクル

6. 7　DMAチャネルの優先順位

DMAチャネルの優先順位は固定で，次のようになります。

DMAチャネル0＞DMAチャネル1＞DMAチャネル2＞DMAチャネル3

ブロック転送中は転送するチャネルが入れ替わることはありません。

シングルステップ転送中でバスを解放している期間中に，ほかの優先順位が高いDMA転送要求が発生した場合は，優先順位が高いDMA転送を行います。

注意　同じ信号を複数の$\overline{\text{DMARQn}}$端子に入力してDMAを起動した場合，優先順位の低いDMAチャネルが優先順位の高いDMAチャネルより先に受け付けられる場合があります（n = 0-3）。

6. 8　ネクスト・アドレス設定機能

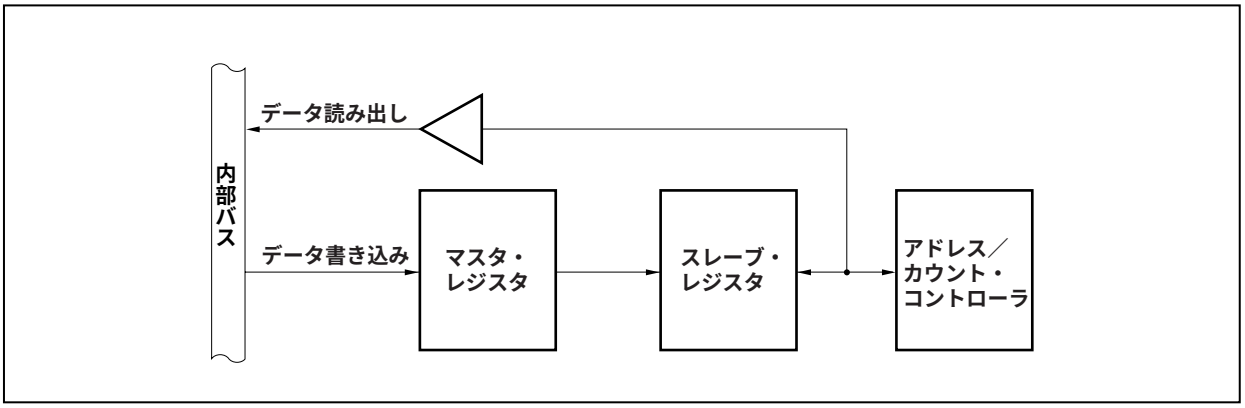
DSAnH, DSAnLレジスタ，DDAnH, DDAnLレジスタ，DBCnレジスタは2段FIFO形式のバッファ・レジスタです（n = 0-3）。

ターミナル・カウントが発生すると，これらのレジスタは直前に設定された値に自動的に書き換えられます。

したがって，DMA転送中に，これらのレジスタに対して新たなDMA転送の設定を行い，DCHCnレジスタのEnnビットをセット（1）し，MLEnビットがセット（1）されていれば，転送が自動的に開始します（ただし，自動的にDMA転送が開始される場合でもDMA転送終了割り込みは発生します）。

次にバッファ・レジスタの構成を示します。

図6－20　バッファ・レジスタの構成



実際のDMA転送は，スレーブ・レジスタの内容に基づいて行われます。

マスタ・レジスタ，スレーブ・レジスタに反映される設定値は，設定を行うタイミング（期間）により，次のように異なります。

（1）システム・リセットから最初のDMA転送開始までの期間

設定値は，マスタ・レジスタ，スレーブ・レジスタの両方に反映されます。

（2）DMA転送中（DMA転送開始からDMA転送終了までの期間）

設定値は，マスタ・レジスタだけに反映されます。スレーブ・レジスタへは反映されません（スレーブ・レジスタは，次のDMA転送の設定値を保持します）。

ただし，DMA転送終了後，マスタ・レジスタの内容がスレーブ・レジスタに自動的に上書きされます。

なお，この期間に各レジスタの値を読み出すと，スレーブ・レジスタの値が読み出されます。

（3）DMA転送終了から次のDMA転送開始までの期間

設定値は，マスタ・レジスタ，スレーブ・レジスタの両方に反映されます。

備考　「DMA転送終了」とは，次のどちらかの場合を示します。

- DMA転送の完了（ターミナル・カウント）
- DMA転送の強制終了（DMAチャネル・コントロール・レジスタ（DCHCn）のINITnビットのセット（1））

したがって，DMA転送中にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタに対して新たなDMA転送の設定を行えば，転送終了後に，自動的に新たな設定値に更新されます[注]。

注　さらに新たなDMA転送の設定を行う場合は，DMA転送が開始されたことを確認してから行ってください。DMA転送の開始前に新たな設定を行うと，マスタ・レジスタ，スレーブ・レジスタの両方に設定値が上書きされてしまい，結果として直前の設定値に基づいたDMA転送は行われません。

6. 9　DMA転送起動要因

DMA転送の起動要因には，次の4種類があります。

注意1. 同一のチャネルに対して，各起動要因（（1）-（4））を併用しないでください（各起動要因が同時に発生した場合，どちらか一方だけが有効となりますが，有効となった起動要因の特定はできません）。併用した場合の動作は保証しません。

2. ソフトウエアDMAで転送を起動する場合，DCHCnレジスタのSTGnビット操作（STGnビットのセット（1））によって，期待しているDMA転送動作が完了したかどうかをソフトウエア上で適切に検出しない場合，次に（2回目に）行われるSTGnビット操作が「ソフトウエアの期待する次のDMA転送」の起動に対応しているかどうかは，保証できません（n = 0-3）。
たとえば，STGnビット操作によってシングル転送を起動した場合，そのシングル転送が実際に実行されたかどうかをソフトウエア上で確認しないで，次の（2回目の）STGnビット操作を行っても，次の（2回目の）DMA転送が実行されるとはかぎりません。これは，1回目のSTGnビット操作を行ったときに，優先順位がさらに高いDMA転送が起動していた場合など，1回目の起動対象のDMA転送が起動または完了しないまま，次の（2回目の）STGnビット操作が行われてしまう可能性があるためです。
したがって，STGnビット操作による対象のDMA転送が完了したかどうかを確認してから，次の（2回目の）STGnビット操作を行う必要があります。
DMA転送完了の確認例として，次のような方法があります。

- アクノリッジ信号（$\overline{\text{DMAAKn}}$）やターミナル・カウント信号（$\overline{\text{TCn}}$）を周辺ポートや割り込みを利用して，ソフトウエアで検出する。
- DBCnレジスタの内容を確認する。

(1) 外部端子（$\overline{\text{DMARQn}}$）による要求

$\overline{\text{DMARQn}}$端子からの要求は，BUSCLK信号の立ち上がりごとにサンプリングされます（n = 0-3）。

$\overline{\text{DMARQn}}$端子からの要求は，対応する$\overline{\text{DMAAKn}}$信号がアクティブになるまで保持してください。

DCHCnレジスタのEnnビット = 1, TCnビット = 0の状態に設定すると，$\overline{\text{DMARQn}}$信号が有効となります。この状態でDTFRnレジスタに設定している$\overline{\text{DMARQn}}$信号がアクティブになると，DMA転送を開始します。

(2) ソフトウエアによる要求

DCHCnレジスタのSTGn，Enn，TCnビットが次のように設定されると，DMA転送を開始します（n = 0-3）。

- STGnビット = 1
- Ennビット = 1
- TCnビット = 0

(3) 内蔵周辺I/Oによる要求

DCHCnレジスタのEnn，TCnビットが次のように設定されている状態で，DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると，DMA転送要求を開始します（n = 0-3）。

- Ennビット = 1
- TCnビット = 0

(4) USBによる要求（シングル転送モード，シングルステップ転送モード時のみ可能）

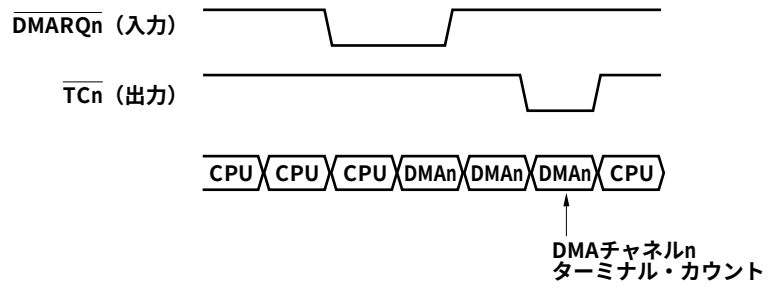
DCHCnレジスタのEnn，TCnビットが次のように設定されている状態で，DTFRnレジスタに設定しているUSBからの要求が発生すると，DMA転送を開始します（n = 0-3）。

- Ennビット = 1
- TCnビット = 0

6. 10　DMA転送完了時のターミナル・カウント出力

最終DMA転送サイクル中，ターミナル・カウント信号（$\overline{\text{TCn}}$）がBUSCLKの1クロック分アクティブになります（n = 3-0）。

図6－21　ターミナル・カウント信号（$\overline{\text{TCn}}$）タイミング例（1）

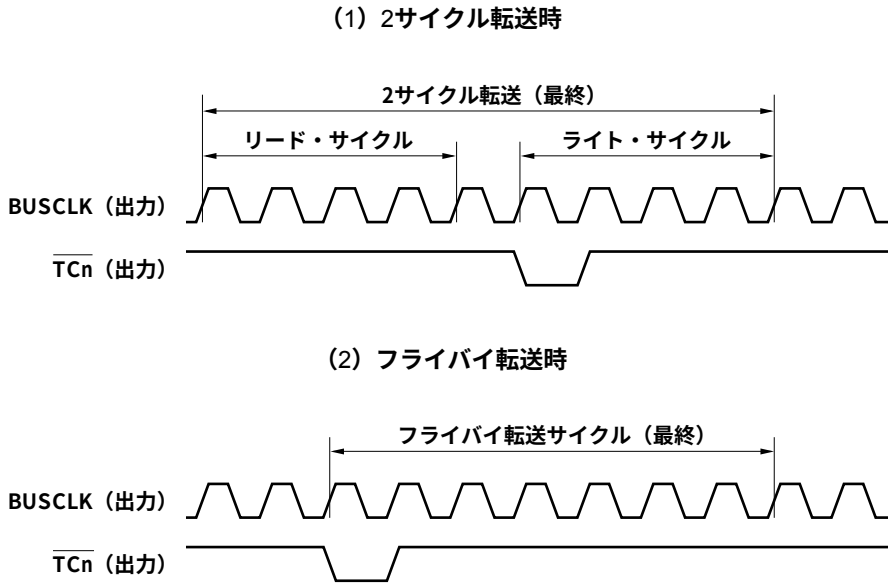


備考　n = 0-3

2サイクル転送の場合の$\overline{\text{TCn}}$信号は，最終DMA転送の$\overline{\text{DMAAKn}}$信号が出力されているいずれかのクロックで1クロック分アクティブになります。ただし，転送先が内蔵データRAMの場合，$\overline{\text{TCn}}$信号は出力されません。

フライバイ転送の場合の$\overline{\text{TCn}}$信号は，最終DMA転送サイクルの$\overline{\text{BCYST}}$信号がアクティブになるクロックで1クロック分アクティブになります。

図6－22　ターミナル・カウント信号（$\overline{\text{TCn}}$）タイミング例（2）



備考　n = 0-3

6. 11　強制中断

DMA転送中のNMI入力により，DMA転送を強制的に中断できます。

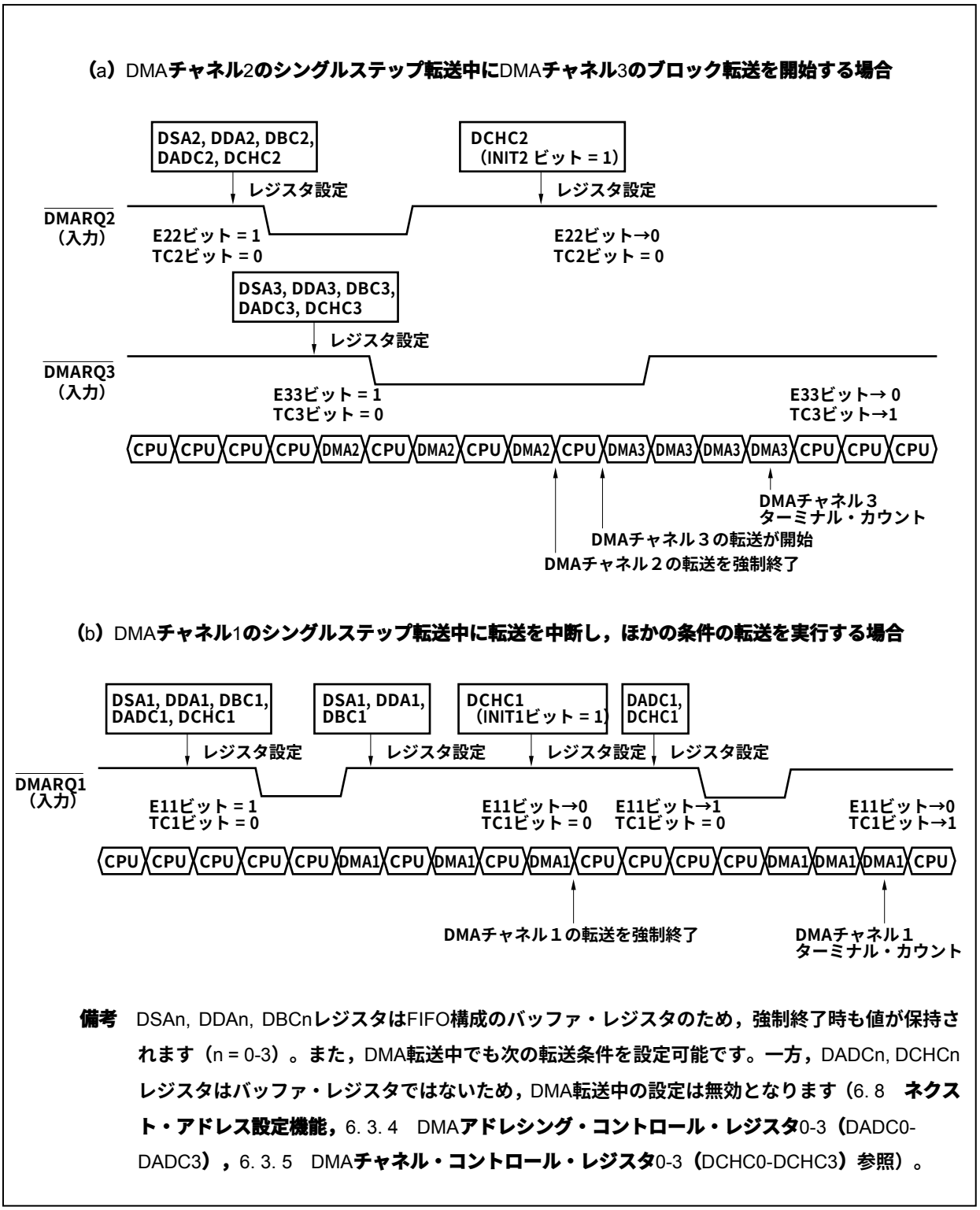
このときDMACは，すべてのチャネルのDCHCnレジスタのEnnビットをクリア（0）して，DMA転送禁止状態にし，NMI入力時に実行していたDMA転送を完了してから，NMI要求を受け付けます（n = 0-3）。

6. 12　強制終了

DMA転送は，NMI入力による強制中断のほかに，DCHCnレジスタのINITnビットによって強制終了することができます（n = 0-3）。

DCHCnレジスタのINITnビットによる強制終了動作の例を次に示します（n = 0-3）。

図6－23　DMA転送の強制終了例



備考　DSAn, DDAn, DBCnレジスタはFIFO構成のバッファ・レジスタのため，強制終了時も値が保持されます（n = 0-3）。また，DMA転送中でも次の転送条件を設定可能です。一方，DADCn, DCHCnレジスタはバッファ・レジスタではないため，DMA転送中の設定は無効となります（6. 8　**ネクスト・アドレス設定機能**，6. 3. 4　DMA**アドレシング・コントロール・レジスタ**0-3（DADC0-DADC3），6. 3. 5　DMA**チャネル・コントロール・レジスタ**0-3（DCHC0-DCHC3）参照）。

6. 13 DMA転送に関する各種時間

DMA転送前後のオーバヘッド部分，DMA転送にかかる最小クロック数を次に示します。外部メモリ・アクセスの場合は，接続する外部メモリに依存します。

表6－7 DMAサイクル中の最小実行クロック数

DMAサイクル		最小実行クロック数
①DMA要求に対する応答時間		4クロック注1
②メモリ・アクセス	外部メモリ・アクセス	接続するメモリにより異なります。
	内蔵データRAM，内蔵命令RAM（リード・モード時）アクセス	2クロック注2
	内蔵周辺I/Oレジスタ・アクセス	3クロック＋VSWCレジスタによるウエイト数

注1. 外部割り込み（INTPn）をDMA転送の起動要因に指定した場合，ノイズ除去時間が加算されます（n = 10, 11, 21-25, 50-52, 65-67, D0-D15, L0, L1）。

2. DMAサイクルの場合は，2クロックかかります。

また，各転送モードにおけるDMAサイクル中の最小実行クロックを次に示します。

2サイクル転送

- シングル転送：DMA応答時間（①）＋転送元メモリ・アクセス（②）＋1注＋転送先メモリ・アクセス（②）
- ブロック転送：DMA応答時間（①）＋（転送元メモリ・アクセス（②）＋1注＋転送先メモリ・アクセス（②））×転送回数

注 DMA転送のリード・サイクルとライト・サイクルの間には，必ず1クロック挿入されます。ただし，外部バス・クロックを1分周で使用している場合には，2クロック挿入されます。

フライバイ転送：DMA応答時間（①）＋外部メモリ・アクセス（②）

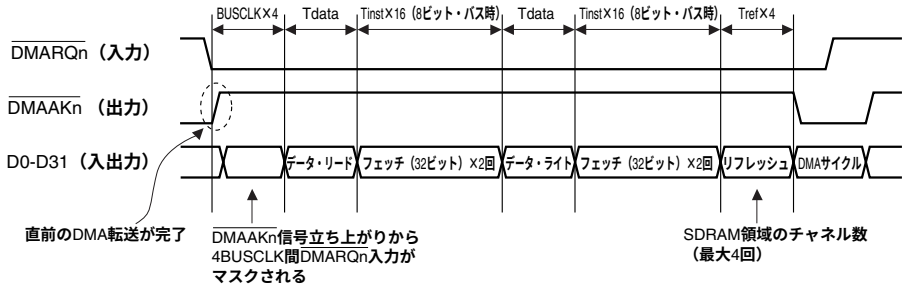
6. 14　DMA要求に対する応答時間の最大値

DMA要求に対する応答時間は，次に示す条件のとき最も長くなります（すべてのSDRAMに対するリフレッシュ・サイクルが許可されている状態です）。

注意　次の条件による待ち時間は除きます。

- **優先順位が高い**DMA**発生**
- $\overline{\text{DMARQn}}$**入力端子以外の要因で起動する**DMA**発生**
- **外部バス・ホールド**
- **先読みバッファ**
- **キャッシュのミス・ヒット**

条件	8**ビット・データ・バス幅での外部メモリからの命令フェッチ** **ビット操作命令**（SET1, CLR1, NOT1）**の実行** **ビット操作命令の次命令が分岐命令**（JR, JARL, JMP, Bcond） DMA**の転送元または転送先が内蔵**RAM DIFC**レジスタ**の**DRMKn**ビットがセット**（1）**状態** SDRAM**を**4**チャネル使用**
応答時間	Tinst×16＋Tdata×2＋Tref×4＋BUSCLK×4



備考1.　Tinst　　：**命令フェッチ時の**1**バス・サイクル当たりのクロック数**

Tdata　　：**データ・アクセス時の**1**バス・サイクル当たりのクロック数**

Tref　　：1**リフレッシュ・サイクル当たりのクロック数**

BUSCLK×4：$\overline{\text{DMARQn}}$**入力のマスク時間**

2.　n = 0-3

6. 15　注意事項

DMA機能についての注意事項を次に示します。

(1) メモリ境界

DMA転送中に，転送元，または転送先のアドレスがDMA対象（外部メモリ，内蔵データRAM，内蔵命令RAM，内蔵周辺I/O）の領域を越えた場合の動作は保証しません。

(2) ミス・アライン・データの転送

32/16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元，または転送先に指定した場合，アドレスの最下位ビットは強制的に0として扱われます。

(3) CPUへのバス・アービトレーション

外部デバイスを対象とするDMA転送の場合，CPUは，DMA転送を行っていない内蔵データRAM，内蔵命令RAM[注]へのアクセスが可能です。

バス使用権の優先順位はCPUよりDMAコントローラが高いため，DMA転送中に発生したCPUのアクセスは，DMA転送が終了し，CPUにバスが解放されるまで待たされます。ただし，外部メモリ，内蔵周辺I/Oとの間でDMA転送が行われているときは，CPUは内蔵データRAM，内蔵命令RAM[注]にアクセスできます。

注　IRAMMレジスタのIRAMMnビット = 0の場合（n = 0, 1）

(4) $\overline{\text{DMARQn}}$信号の保持

$\overline{\text{DMARQn}}$信号は，$\overline{\text{DMAAKn}}$信号がアクティブになるまで必ずアクティブ・レベルを保持してください（n = 0-3）。

(5) $\overline{\text{DMAAKn}}$信号出力

転送対象が内蔵データRAMの場合，内蔵データRAMに対するDMAサイクル中は$\overline{\text{DMAAKn}}$信号が出力されません（たとえば，内蔵データRAMから外部メモリへの2サイクル転送を行った場合，$\overline{\text{DMAAKn}}$信号は外部メモリに対するDMAのライト・サイクル時のみ出力されます）。

また，転送対象が内蔵周辺I/O，内蔵命令RAMの場合は，内蔵周辺I/O，内蔵命令RAMに対するDMAサイクル中でも$\overline{\text{DMAAKn}}$信号は出力されます。

フライバイ転送のTIステートでは，$\overline{\text{DMAAKn}}$信号はアクティブ状態を保持します。

(6) DMAの起動要因

同じ起動要因で複数のDMAチャネルを起動しないでください。起動した場合，優先順位の低いDMAチャネルが優先順位の高いDMAチャネルより先に受け付けられる場合があります。

（7）DSAn, DDAnレジスタの読み出し値

DMA転送中に，DSAn，DDAnレジスタの値を読み出した場合，更新途中の値が読み出されることがあります（n = 0-3）。

たとえば，DMA転送元アドレス（DSAnレジスタ）が「0000FFFFH」，カウント方向がインクリメント（DADCnレジスタのSADn1, SADn0ビット = 00）の場合，DSAnHレジスタ→DSAnLレジスタの順に読み出しを行うと，DSAnHレジスタ読み出し直後のDMA転送の有無によって，DSAnLレジスタの値が次のように異なります。

（a）DSAnレジスタの読み出し中にDMA転送が発生しない場合

<1>DSAnHレジスタの読み出し：DSAnH = 0000H
<2>DSAnLレジスタの読み出し：DSAnL = FFFFH

（b）DSAnレジスタの読み出し中にDMA転送が発生する場合

<1>DSAnHレジスタの読み出し：DSAnH = 0000H
<2>DMA転送の発生
<3>DSAnレジスタのインクリメント：DSAn = 00010000H
<4>DSAnLレジスタの読み出し：DSAnL = 0000H

（8）2サイクルDMA転送に関する制限事項

次の2サイクルDMA転送実行時，最終データ転送終了後のTC信号出力が1回アクティブになるべきところが2回アクティブになり，かつDMA転送終了割り込みも2回発生することがあります。ただし，DMA転送自体は正常に終了します。なお，フライバイ転送時は問題ありません。

- いずれかのCS空間に対し，先読み機能が有効になっている状態（LBC0，LBC1レジスタで設定）で，かつ外部メモリから内蔵データRAMへ2サイクルDMA転送を実行
- 内蔵周辺I/Oから内蔵データRAMへの2サイクルDMA転送を実行（先読み機能の設定は無関係）

【回 避 策】

- 外部メモリから内蔵データRAMへの2サイクル転送の場合
  DMA転送の転送元（リード側）となるCS空間に対して，先読み機能を無効にしてください。
- 内蔵周辺I/Oから内蔵データRAMへの2サイクル転送の場合
  TC信号は使用しないでください。また，余分なDMA転送終了割り込みに対しては，DMA転送終了割り込み処理ルーチン内で，次の<1>，<2>の順に処理を実行してください。<2>の処理実行後，本来実行すべきアプリケーション処理を実行し，割り込みから復帰することにより，2回目のDMA転送終了割り込み発生を抑えることができます。

  <1>WASレジスタに00Hを書き込む。
  <2>現在処理中のDMA転送終了割り込みと同じチャネルの割り込み制御レジスタ（DMAICn）のビット7（DMAIFn）をクリア（0）する（n = 0-3）。

（9）DSAnHレジスタ設定時の注意

ソース・アドレスに内蔵周辺I/Oレジスタのアドレスを設定する場合は，必ずFFFF000H-FFFFFFFHのアドレスを指定してください。内蔵周辺I/Oレジスタのイメージ（3FFF000H-3FFFFFFH）のアドレスは指定できません。

（10）DDAnHレジスタ設定時の注意

- デスティネーション・アドレスに内蔵周辺I/Oレジスタのアドレスを設定する場合は，必ずFFFF000H-FFFFFFFHのアドレスを指定してください。内蔵周辺I/Oレジスタのイメージ（3FFF000H-3FFFFFFH）のアドレスは指定できません。
- DMA転送先のCS空間に対し先読み機能を有効にする場合は，先読みを実行するアドレスと最終DMA転送データのライト・アドレスが，同一ライン・アドレス（同一CS空間内でA25-A4が同じアドレス）にならないようにしてください。

（11）DADCnレジスタ設定時の注意

次に示す条件にすべて該当する場合には，DADCnレジスタのTTYPnビットでフライバイ転送に設定しないでください（n = 0-3）。

- BMCレジスタ = 00H
- FWCレジスタのFWn2-FWn0ビット = 000
- FICレジスタのFIn1, FIn0ビット = 00
- ASCレジスタでフライバイ転送の対象となるCSn空間のACn1, ACn0ビット = 00（SRAMを対象とする転送時）

（12）DCHCnレジスタ設定時の注意

- 外部デバイスへのライト動作を行う2サイクル転送時には，ライト・バッファ機能により，DCHCnレジスタのTCnビットがセット（1）（DMA転送完了）されても外部デバイスへのライト動作が完了していない場合があります。外部デバイスへのライト動作の完了を認識する必要がある場合には，次のいずれかを行ってください。
  - (a) $\overline{\text{TCn}}$端子の信号をモニタします（$\overline{\text{TCn}}$端子は外部デバイスへのライト動作に同期してアクティブになります）。
  - (b) DCHCnレジスタのTCnビットがセット（1）されているのを検出後，WASレジスタに00Hを書き込むか，LBC0レジスタまたはLBC1レジスタに設定されている値と同じ値を書き込んでください。このライトが完了することで，ライト・バッファから外部デバイスへのアクセスが完了したことを認識できます。LBC0レジスタまたはLBC1レジスタに対するダミー・ライトを実行する場合は，LBC0レジスタまたはLBC1レジスタの設定値を書き換えた場合の動作は保証できません。

・DMA転送完了後（ターミナル・カウント発生後）にTCnビットの読み出し（クリア（0））の必要がないのは，次の2つの条件を満たす場合だけです。どちらか一方でも条件を満たしていない場合には，必ず，次のDMA転送要求の発生時までにTCnビットの読み出し（クリア（0））を行ってください。

（a）DMA転送完了時（ターミナル・カウント時）にDCHCn.MLEnビットがセット（1）されている。

（b）次のDMA転送起動要因が外部端子（$\overline{\text{DMARQn}}$）

上記の2つの条件を満たさない場合，TCnビットがセット（1）された状態で次のDMA転送要求を発生させたときの動作は保証しません。

（13）DTFRnレジスタ設定時の注意

スタンバイ・モード（IDLE，ソフトウエアSTOPモード）中に入力された内蔵周辺I/Oからの割り込み要求は，DMA転送の起動要因として保留されます。保留されたDMA起動要因は通常動作モードへ復帰後に実行されます。

（14）$\overline{\text{DMAAKn}}$信号のアクティブ幅拡張機能

$\overline{\text{DMAAKn}}$信号のアクティブ幅拡張機能は，2サイクル転送時のみ使用できます（n = 0-3）。フライバイ転送時には使用できません。フライバイ転送時に使用した場合の動作は保証しません。

（15）SDRAMを対象とするフライバイ転送

SDRAMを対象とするフライバイ転送の場合は，外部I/O→SDRAMだけが可能です。

6. 15. 1 中断要因

DMA転送は，次の要因が発生すると中断されます。

○ バス・ホールド
○ リフレッシュ・サイクル

DMA転送を中断する要因がなくなると，引き続きDMA転送を再開します。

6. 16 DMA転送の終了

DMA転送が終了し，DCHCnレジスタのTCnビットがセット（1）されると，割り込みコントローラ（INTC）に対して，DMA転送終了割り込み（INTDMAn）を発生します（n = 0-3）。

第7章　割り込み／例外処理機能

V850E/ME2は，割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し，合計91要因の割り込み要求を処理できる割り込み機能を実現しています。

なお，割り込みをプログラムの実行とは別に独立して発生する事象とし，例外をプログラムの実行に依存して発生する事象とします。

V850E/ME2では，内蔵している周辺ハードウエアおよび外部からの各種割り込み要求を処理できます。さらに，TRAP命令による例外処理の起動（ソフトウエア例外）や，例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

7. 1　特　　徴

○割り込み

・ノンマスカブル割り込み　　：1要因

注意　P20はNMI入力に固定です。PM2，PMC2レジスタの値にかかわらず，P2レジスタのP20ビットをリードすると，NMI端子のレベルを読み出します。
また，NMI端子の有効エッジの設定は，INTR2レジスタのNMIR0ビット，INTF2レジスタのNMIF0ビットで行ってください（初期値：立ち上がり／立ち下がり両エッジ検出）。

・マスカブル割り込み
外部：39要因，内部：59要因
・8レベルのプログラマブル優先順位制御（マスカブル割り込み）
・優先順位に従った割り込み多重処理制御
・個々のマスカブル割り込み要求に対するマスク指定
・外部割り込み要求のノイズ除去[注]とエッジ検出および有効エッジ指定

注　ノイズ除去回路については，14. 6　ノイズ除去回路を参照してください。

○例外

・ソフトウエア例外　：32要因
・例外トラップ　　：2要因（不正命令コード例外，デバッグ・トラップ）

これらの割り込み要因を表7－1に示します。

表7－1　割り込み要因一覧（1/3）

種　類	分類	割り込み／例外要因				ディフォールト・プライオリティ	例外コード	ハンドラ・アドレス	復帰PC
		名　称	制御レジスタ	発生要因	発生ユニット				
リセット	割り込み	RESET	－	リセット入力	－	－	0000H	00100000H	不定
ノンマスカブル	割り込み	NMI0	－	NMI入力	－	－	0010H	00000010H	nextPC
ソフトウエア例外	例外	TRAP0n[注]	－	TRAP命令	－	－	004nH[注]	00000040H	nextPC
	例外	TRAP1n[注]	－	TRAP命令	－	－	005nH[注]	00000050H	nextPC
例外トラップ	例外	ILGOP/DBG0	－	不正命令コード／DBTRAP命令	－	－	0060H	00000060H	nextPC
マスカブル	割り込み	INTP10	P1IC0	$\overline{\text{INTP10}}$端子	端子	0	0080H	00000080H	nextPC
	割り込み	INTP11	P1IC1	$\overline{\text{INTP11}}$端子	端子	1	0090H	00000090H	nextPC
	割り込み	INTP21	P2IC1	$\overline{\text{INTP21}}$端子	端子	2	00A0H	000000A0H	nextPC
	割り込み	INTP22	P2IC2	$\overline{\text{INTP22}}$端子	端子	3	00B0H	000000B0H	nextPC
	割り込み	INTP23	P2IC3	$\overline{\text{INTP23}}$端子	端子	4	00C0H	000000C0H	nextPC
	割り込み	INTP24	P2IC4	$\overline{\text{INTP24}}$端子	端子	5	00D0H	000000D0H	nextPC
	割り込み	INTP25	P2IC5	$\overline{\text{INTP25}}$端子	端子	6	00E0H	000000E0H	nextPC
	割り込み	INTP50	P5IC0	$\overline{\text{INTP50}}$端子	端子	7	00F0H	000000F0H	nextPC
	割り込み	INTP51	P5IC1	$\overline{\text{INTP51}}$端子	端子	8	0100H	00000100H	nextPC
	割り込み	INTP52	P5IC2	$\overline{\text{INTP52}}$端子	端子	9	0110H	00000110H	nextPC
	割り込み	INTP65	P6IC5	$\overline{\text{INTP65}}$端子	端子	10	0120H	00000120H	nextPC
	割り込み	INTP66	P6IC6	$\overline{\text{INTP66}}$端子	端子	11	0130H	00000130H	nextPC
	割り込み	INTP67	P6IC7	$\overline{\text{INTP67}}$端子	端子	12	0140H	00000140H	nextPC
	割り込み	INTPD0	PDIC0	$\overline{\text{INTPD0}}$端子	端子	13	0150H	00000150H	nextPC
	割り込み	INTPD1	PDIC1	$\overline{\text{INTPD1}}$端子	端子	14	0160H	00000160H	nextPC
	割り込み	INTPD2	PDIC2	$\overline{\text{INTPD2}}$端子	端子	15	0170H	00000170H	nextPC
	割り込み	INTPD3	PDIC3	$\overline{\text{INTPD3}}$端子	端子	16	0180H	00000180H	nextPC
	割り込み	INTPD4	PDIC4	$\overline{\text{INTPD4}}$端子	端子	17	0190H	00000190H	nextPC
	割り込み	INTPD5	PDIC5	$\overline{\text{INTPD5}}$端子	端子	18	01A0H	000001A0H	nextPC
	割り込み	INTPD6	PDIC6	$\overline{\text{INTPD6}}$端子	端子	19	01B0H	000001B0H	nextPC
	割り込み	INTPD7	PDIC7	$\overline{\text{INTPD7}}$端子	端子	20	01C0H	000001C0H	nextPC
	割り込み	INTPD8	PDIC8	$\overline{\text{INTPD8}}$端子	端子	21	01D0H	000001D0H	nextPC
	割り込み	INTPD9	PDIC9	$\overline{\text{INTPD9}}$端子	端子	22	01E0H	000001E0H	nextPC
	割り込み	INTPD10	PDIC10	$\overline{\text{INTPD10}}$端子	端子	23	01F0H	000001F0H	nextPC
	割り込み	INTPD11	PDIC11	$\overline{\text{INTPD11}}$端子	端子	24	0200H	00000200H	nextPC
	割り込み	INTPD12	PDIC12	$\overline{\text{INTPD12}}$端子	端子	25	0210H	00000210H	nextPC
	割り込み	INTPD13	PDIC13	$\overline{\text{INTPD13}}$端子	端子	26	0220H	00000220H	nextPC
	割り込み	INTPD14	PDIC14	$\overline{\text{INTPD14}}$端子	端子	27	0230H	00000230H	nextPC
	割り込み	INTPD15	PDIC15	$\overline{\text{INTPD15}}$端子	端子	28	0240H	00000240H	nextPC
	割り込み	INTPL0	PLIC0	$\overline{\text{INTPL0}}$端子	端子	29	0250H	00000250H	nextPC
	割り込み	INTPL1	PLIC1	$\overline{\text{INTPL1}}$端子	端子	30	0260H	00000260H	nextPC
	割り込み	INTOVC0	OVCIC0	タイマC0オーバフロー	TMC0	31	0270H	00000270H	nextPC
	割り込み	INTOVC1	OVCIC1	タイマC1オーバフロー	TMC1	32	0280H	00000280H	nextPC

注　nは0H-FHの値

表7－1　割り込み要因一覧（2/3）

種　類	分類	割り込み／例外要因				ディフォールト・プライオリティ	例外コード	ハンドラ・アドレス	復帰PC
		名　称	制御レジスタ	発生要因	発生ユニット				
マスカブル	割り込み	INTOVC2	OVCIC2	タイマC2オーバフロー	TMC2	33	0290H	00000290H	nextPC
	割り込み	INTOVC3	OVCIC3	タイマC3オーバフロー	TMC3	34	02A0H	000002A0H	nextPC
	割り込み	INTOVC4	OVCIC4	タイマC4オーバフロー	TMC4	35	02B0H	000002B0H	nextPC
	割り込み	INTOVC5	OVCIC5	タイマC5オーバフロー	TMC5	36	02C0H	000002C0H	nextPC
	割り込み	INTPC00/ INTCCC00	CCC0IC0	INTPC00端子／ CCC00一致	端子／ TMC0	37	02D0H	000002D0H	nextPC
	割り込み	INTPC01/ INTCCC01	CCC0IC1	INTPC01端子／CCC01一致	端子／ TMC0	38	02E0H	000002E0H	nextPC
	割り込み	INTPC10/ INTCCC10	CCC1IC0	INTPC10端子／CCC10一致	端子／ TMC1	39	02F0H	000002F0H	nextPC
	割り込み	INTPC11/ INTCCC11	CCC1IC1	INTPC11端子／CCC11一致	端子／ TMC1	40	0300H	00000300H	nextPC
	割り込み	INTPC20/ INTCCC20	CCC2IC0	INTPC20端子／CCC20一致	端子／ TMC2	41	0310H	00000310H	nextPC
	割り込み	INTPC21/ INTCCC21	CCC2IC1	INTPC21端子／ CCC21一致	端子／ TMC2	42	0320H	00000320H	nextPC
	割り込み	INTPC30/ INTCCC30	CCC3IC0	INTPC30端子／ CCC30一致	端子／ TMC3	43	0330H	00000330H	nextPC
	割り込み	INTPC31/ INTCCC31	CCC3IC1	INTPC31端子／ CCC31一致	端子／ TMC3	44	0340H	00000340H	nextPC
	割り込み	INTCCC40	CCC4IC0	CCC40一致	TMC4	45	0350H	00000350H	nextPC
	割り込み	INTCCC41	CCC4IC1	CCC41一致	TMC4	46	0360H	00000360H	nextPC
	割り込み	INTCCC50	CCC5IC0	CCC50一致	TMC5	47	0370H	00000370H	nextPC
	割り込み	INTCCC51	CCC5IC1	CCC51一致	TMC5	48	0380H	00000380H	nextPC
	割り込み	INTCMD0	CMDIC0	CMD0一致	TMD0	49	0390H	00000390H	nextPC
	割り込み	INTCMD1	CMDIC1	CMD1一致	TMD1	50	03A0H	000003A0H	nextPC
	割り込み	INTCMD2	CMDIC2	CMD2一致	TMD2	51	03B0H	000003B0H	nextPC
	割り込み	INTCMD3	CMDIC3	CMD3一致	TMD3	52	03C0H	000003C0H	nextPC
	割り込み	INTCC100	CC10IC0	CC100一致	TMENC10	53	03D0H	000003D0H	nextPC
	割り込み	INTCC101	CC10IC1	CC101一致	TMENC10	54	03E0H	000003E0H	nextPC
	割り込み	INTCM100	CM10IC0	CM100一致	TMENC10	55	03F0H	000003F0H	nextPC
	割り込み	INTCM101	CM10IC1	CM101一致	TMENC10	56	0400H	00000400H	nextPC
	割り込み	INTOV10	OV1IC0	タイマENC10オーバフロー	TMENC10	57	0410H	00000410H	nextPC
	割り込み	INTUD10	UD1IC0	タイマENC10アンダフロー	TMENC10	58	0420H	00000420H	nextPC
	割り込み	INTCC110	CC11IC0	CC110一致	TMENC11	59	0430H	00000430H	nextPC
	割り込み	INTCC111	CC11IC1	CC111一致	TMENC11	60	0440H	00000440H	nextPC
	割り込み	INTCM110	CM11IC0	CM110一致	TMENC11	61	0450H	00000450H	nextPC
	割り込み	INTCM111	CM11IC1	CM111一致	TMENC11	62	0460H	00000460H	nextPC
	割り込み	INTOV11	OV1IC1	タイマENC11オーバフロー	TMENC11	63	0470H	00000470H	nextPC
	割り込み	INTUD11	UD1IC1	タイマENC11アンダフロー	TMENC11	64	0480H	00000480H	nextPC
	割り込み	INTDMA0	DMAIC0	DMA0転送終了	DMA	65	0490H	00000490H	nextPC

表7－1　割り込み要因一覧（3/3）

種　類	分類	割り込み／例外要因				ディフォールト・プライオリティ	例外コード	ハンドラ・アドレス	復帰PC
		名　称	制御レジスタ	発生要因	発生ユニット				
マスカブル	割り込み	INTDMA1	DMAIC1	DMA1転送終了	DMA	66	04A0H	000004A0H	nextPC
	割り込み	INTDMA2	DMAIC2	DMA2転送終了	DMA	67	04B0H	000004B0H	nextPC
	割り込み	INTDMA3	DMAIC3	DMA3転送終了	DMA	68	04C0H	000004C0H	nextPC
	割り込み	INTCSI30	CSI3IC0	CSI30送受信完了	CSI30	69	04D0H	000004D0H	nextPC
	割り込み	INTCOVF30	COVF3IC0	CSI30BUFオーバフロー	CSI30	70	04E0H	000004E0H	nextPC
	割り込み	INTCSI31	CSI3IC1	CSI31送受信完了	CSI31	71	04F0H	000004F0H	nextPC
	割り込み	INTCOVF31	COVF3IC1	CSI31BUFオーバフロー	CSI31	72	0500H	00000500H	nextPC
	割り込み	UBTIRE0	UREIC0	UARTB0受信エラー	UARTB0	73	0510H	00000510H	nextPC
	割り込み	UBTIR0	URIC0	UARTB0受信完了	UARTB0	74	0520H	00000520H	nextPC
	割り込み	UBTIT0	UTIC0	UARTB0送信完了	UARTB0	75	0530H	00000530H	nextPC
	割り込み	UBTIF0	UIFIC0	UARTB0 FIFO送信完了	UARTB0	76	0540H	00000540H	nextPC
	割り込み	UBTITO0	UTOIC0	UARTB0受信タイムアウト	UARTB0	77	0550H	00000550H	nextPC
	割り込み	UBTIRE1	UREIC1	UARTB1受信エラー	UARTB1	78	0560H	00000560H	nextPC
	割り込み	UBTIR1	URIC1	UARTB1受信完了	UARTB1	79	0570H	00000570H	nextPC
	割り込み	UBTIT1	UTIC1	UARTB1送信完了	UARTB1	80	0580H	00000580H	nextPC
	割り込み	UBTIF1	UIFIC1	UARTB1 FIFO送信完了	UARTB1	81	0590H	00000590H	nextPC
	割り込み	UBTITO1	UTOIC1	UARTB1受信タイムアウト	UARTB1	82	05A0H	000005A0H	nextPC
	割り込み	INTAD	ADIC	A/D変換終了	ADC	83	05B0H	000005B0H	nextPC
	割り込み	INTUSB0B	US0BIC	USBファンクション・ステータス0	USBF	84	05C0H	000005C0H	nextPC
	割り込み	INTUSB1B	US1BIC	USBファンクション・ステータス1	USBF	85	05D0H	000005D0H	nextPC
	割り込み	INTUSB2B	US2BIC	USBファンクション・ステータス2	USBF	86	05E0H	000005E0H	nextPC
	割り込み	USBSP2B	USP2IC	USB ファンクション EP2 DMA強制終了	USBF	87	05F0H	000005F0H	nextPC
	割り込み	USBSP4B	USP4IC	USB ファンクション EP4 DMA強制終了	USBF	88	0600H	00000600H	nextPC
	割り込み	INTRSUM	RSUMIC	USB Resume信号検出	SIE	89	0610H	00000610H	nextPC

備考1.　ディフォールト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC：割り込み処理起動時に，CPUのEIPC, FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお，次の命令実行中にノンマスカブル／マスカブル割り込みを受け付けた場合の復帰PCはnext PCとはなりません（命令実行中に割り込みを受け付けると実行を中止し，割り込み処理完了後に再実行されます。この場合，中断された命令のアドレスが復帰PCとなります）。

- ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- 除算命令（DIV, DIVH, DIVU, DIVHU）
- PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み／例外処理後に処理を開始するPC値です。

2.　不正命令コード例外時の不正命令の実行アドレスは，（復帰PC－4）で求められます。

7. 2　ノンマスカブル割り込み

ノンマスカブル割り込み要求信号は，割り込み禁止（DI）状態であっても無条件に受け付けられます。また，割り込み優先順位の対象にならず，すべての割り込み要求信号に対して最優先の割り込み要求信号です。

ノンマスカブル割り込み要求信号は，NMI端子によって行います。NMI端子入力に外部割り込み立ち上がりエッジ指定レジスタ2（INTR2）のビット0（NMIR0），外部割り込み立ち下がりエッジ指定レジスタ2（INTF2）のビット0（NMIF0）で指定した有効エッジが検出されたとき，割り込みは発生します。

ノンマスカブル割り込みのサービス・プログラムを実行している場合は，ノンマスカブル割り込み要求信号は，保留されます。保留されたノンマスカブル割り込みは，現在実行中のノンマスカブル割り込みサービス・プログラムの終了後（RETI命令実行後）受け付けられます。ただし，ノンマスカブル割り込みサービス・プログラム実行中に，ノンマスカブル割り込み要求信号が2回以上発生しても，RETI命令実行後に受け付けられるノンマスカブル割り込みは1回だけになります。

7. 2. 1　動　　作

NMI入力によりノンマスカブル割り込み要求信号が発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

① 復帰PCをFEPCに退避します。
② 現在のPSWをFEPSWに退避します。
③ ECRの上位ハーフワード（FECC）に例外コード（0010H）を書き込みます。
④ PSWのNP, IDビットをセット（1）し，PSWのEPビットをクリア（0）します。
⑤ PCにノンマスカブル割り込みに対するハンドラ・アドレス（00000010H）をセットし，制御を移します。

ノンマスカブル割り込みの処理形態を図7－1に示します。

図7－1　ノンマスカブル割り込みの処理形態

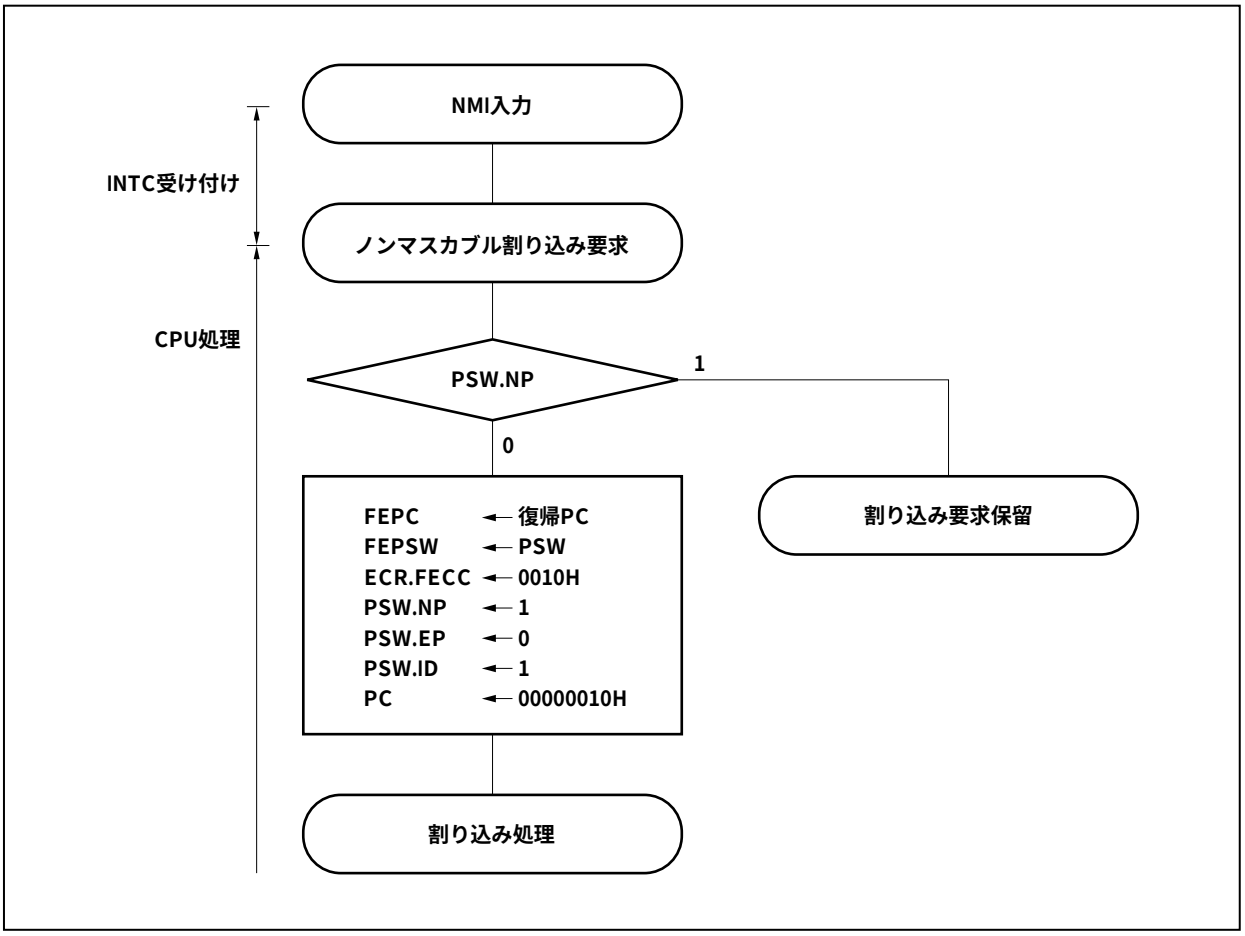
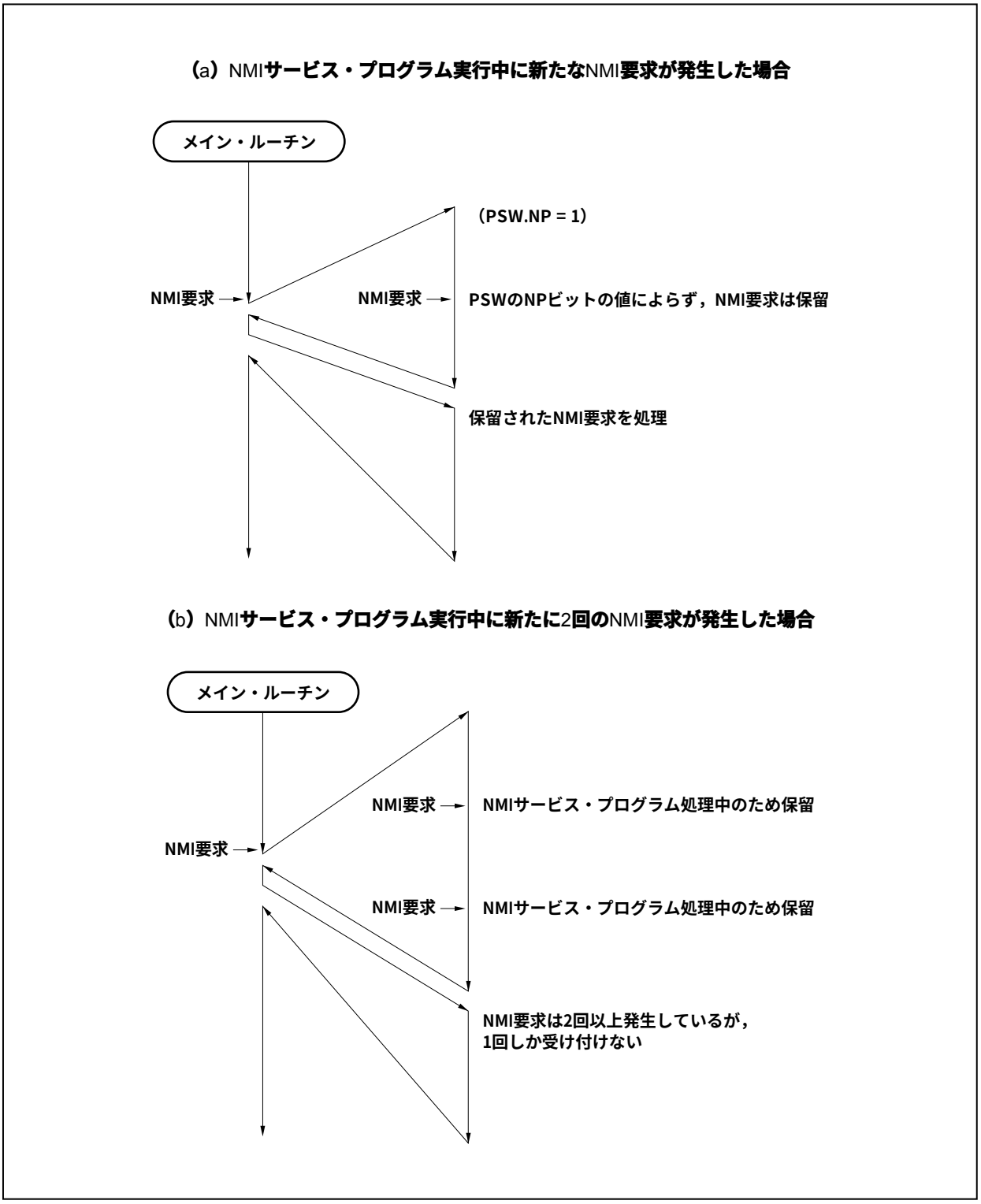


図7－2　ノンマスカブル割り込み要求の受け付け動作



7.2.2 復　　帰

ノンマスカブル割り込み処理からの復帰は，RETI命令により行います。

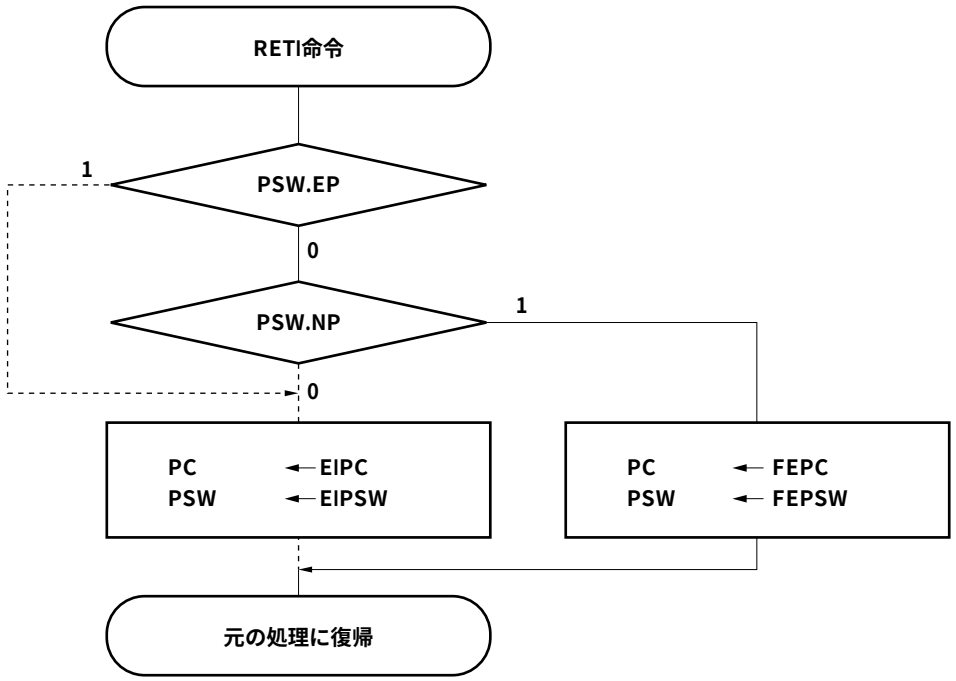
RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

① PSWのEPビットが0かつPSWのNPビットが1なので，FEPC, FEPSWから復帰PC, PSWを取り出します。

② 取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を図7－3に示します。

図7－3　RETI命令の処理形態



注意　ノンマスカブル割り込み処理中にLDSR命令によりPSW.EPビット，PSW.NPビットを変更した場合には，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前で，LDSR命令を使用してPSW.EPビット = 0かつPSW.NPビット = 1に戻しておく必要があります。

備考　CPUは実線のフローで処理します。

7. 2. 3　ノンマスカブル割り込みステータス・フラグ（NP）

NPフラグは，ノンマスカブル割り込み（NMI）の処理中であることを示すステータス・フラグです。

NMI割り込み要求信号を受け付けるとセット（1）され，NMI割り込み要求をマスクして多重割り込みを禁止します。

	31 … 8	7	6	5	4	3	2	1	0	
PSW	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	NP	EP	ID	SAT	CY	OV	S	Z	初期値 00000020H

ビット位置	ビット名	意　味
7	NP	NMI Pending NMI処理中であることを示します。 0：NMI割り込み処理中でない。 1：NMI割り込み処理中。

7. 2. 4　エッジ検出機能

（1）外部割り込み立ち上がりエッジ指定レジスタ2（INTR2），外部割り込み立ち下がりエッジ指定レジスタ2（INTF2）

ノンマスカブル割り込み（NMI）の有効エッジを指定するレジスタです。INTR2レジスタのNMIR0ビット，INTF2レジスタのNMIF0ビットによって，NMIの有効エッジを，立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジのいずれかに指定できます。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
INTR2	0	0	INTR25	INTR24	INTR23	INTR22	INTR21	NMIR0	FFFFFC24H	3FH
INTF2	0	0	INTF25	INTF24	INTF23	INTF22	INTF21	NMIF0	FFFFFC04H	00H

ビット位置	ビット名	意　味
0	NMIR0 （INTR2レジスタ）， NMIF0 （INTF2レジスタ）	NMI端子の有効エッジを指定します。

NMIF0	NMIR0	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり両エッジ

備考　ビット5-1については，7. 3. 9（2）外部割り込み立ち上がりエッジ指定レジスタ2（INTR2），外部割り込み立ち下がりエッジ指定レジスタ2（INTF2）を参照してください。

7. 3　マスカブル割り込み

マスカブル割り込み要求信号は，割り込み制御レジスタにより，割り込み受け付けをマスクできる割り込み要求で，90種類の割り込み要因があります。

複数のマスカブル割り込み要求信号が同時に発生した場合は，ディフォールト優先順位により，その優先順位が決定します。また，ディフォールト優先順位とは別に，割り込み制御レジスタによって，8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり，以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり，受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし，多重割り込みを許可するときは，EI命令を実行する前にEIPC, EIPSWをメモリ，またはレジスタに退避しRETI命令を実行する前にDI命令を実行して，EIPC, EIPSWを元の値に復帰してください。

7. 3. 1　動　　作

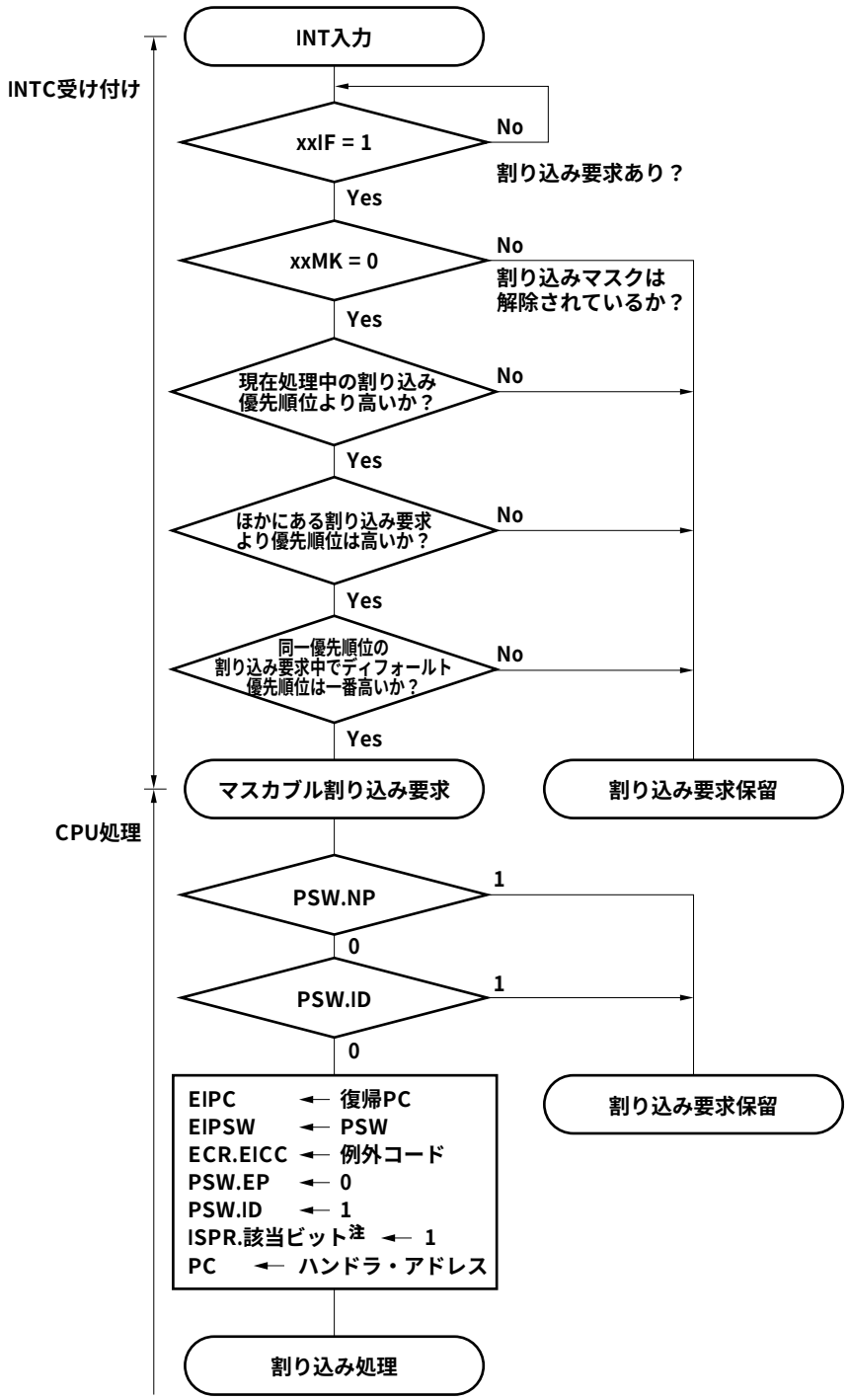
マスカブル割り込みが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

① 復帰PCをEIPCに退避します。
② 現在のPSWをEIPSWに退避します。
③ ECRの下位ハーフワード（EICC）に例外コードを書き込みます。
④ PSWのIDビットをセット（1）し，PSWのEPビットをクリア（0）します。
⑤ PCに各割り込みに対するハンドラ・アドレスをセットし，制御を移します。

なお，割り込みコントローラ（INTC）でマスクされているマスカブル割り込み要求信号と，ほかの割り込み処理中（PSW.NPビット = 1またはPSW.IDビット = 1）に発生したマスカブル割り込み要求信号は，INTC内部で保留されます。この場合，マスクを解除するか，またはRETI命令，LDSR命令を使用して，NPビット = 0かつIDビット = 0にすると，保留していたマスカブル割り込み要求信号の優先順位に従い，新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を図7－4に示します。

図7－4　マスカブル割り込みの処理形態



注　ISPRレジスタについては，7. 3. 7　**インサービス・プライオリティ・レジスタ**（ISPR）を参照してください。

7. 3. 2　復　　帰

マスカブル割り込み処理からの復帰は，RETI命令により行います。

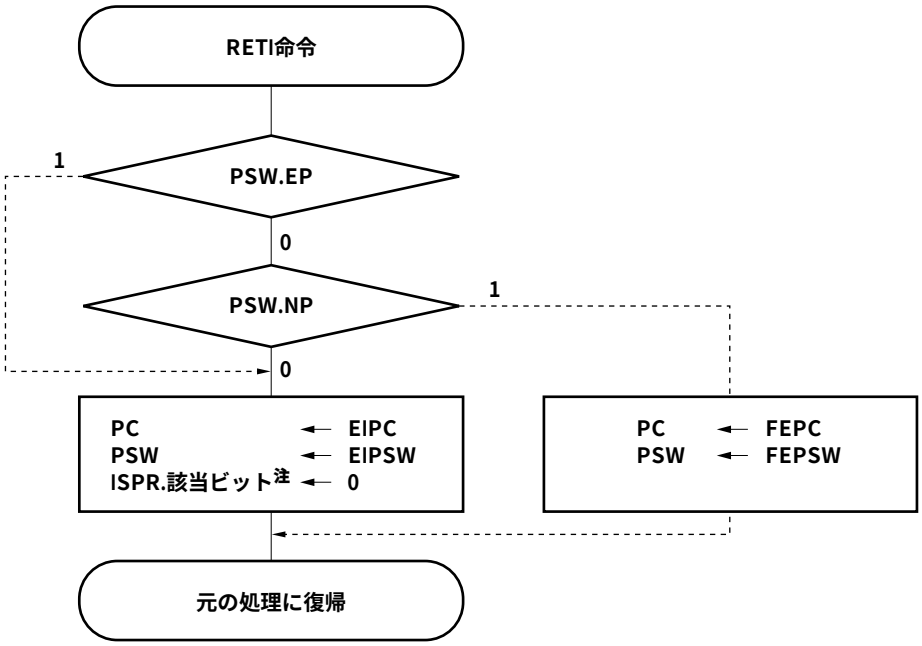
RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

① PSWのEPビットが0かつPSWのNPビットが0なので，EIPC, EIPSWから復帰PC, PSWを取り出します。

② 取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を図7－5に示します。

図7－5　RETI命令の処理形態



注　ISPRレジスタについては，7. 3. 7　インサービス・プライオリティ・レジスタ（ISPR）を参照してください。

注意　マスカブル割り込み処理中にLDSR命令によりPSW.EPビット，PSW.NPビットを変更した場合は，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前で，LDSR命令を使用してEPビット = 0かつNPビット = 0に戻しておく必要があります。

備考　CPUは実線のフローで処理します。

7. 3. 3　マスカブル割り込みの優先順位

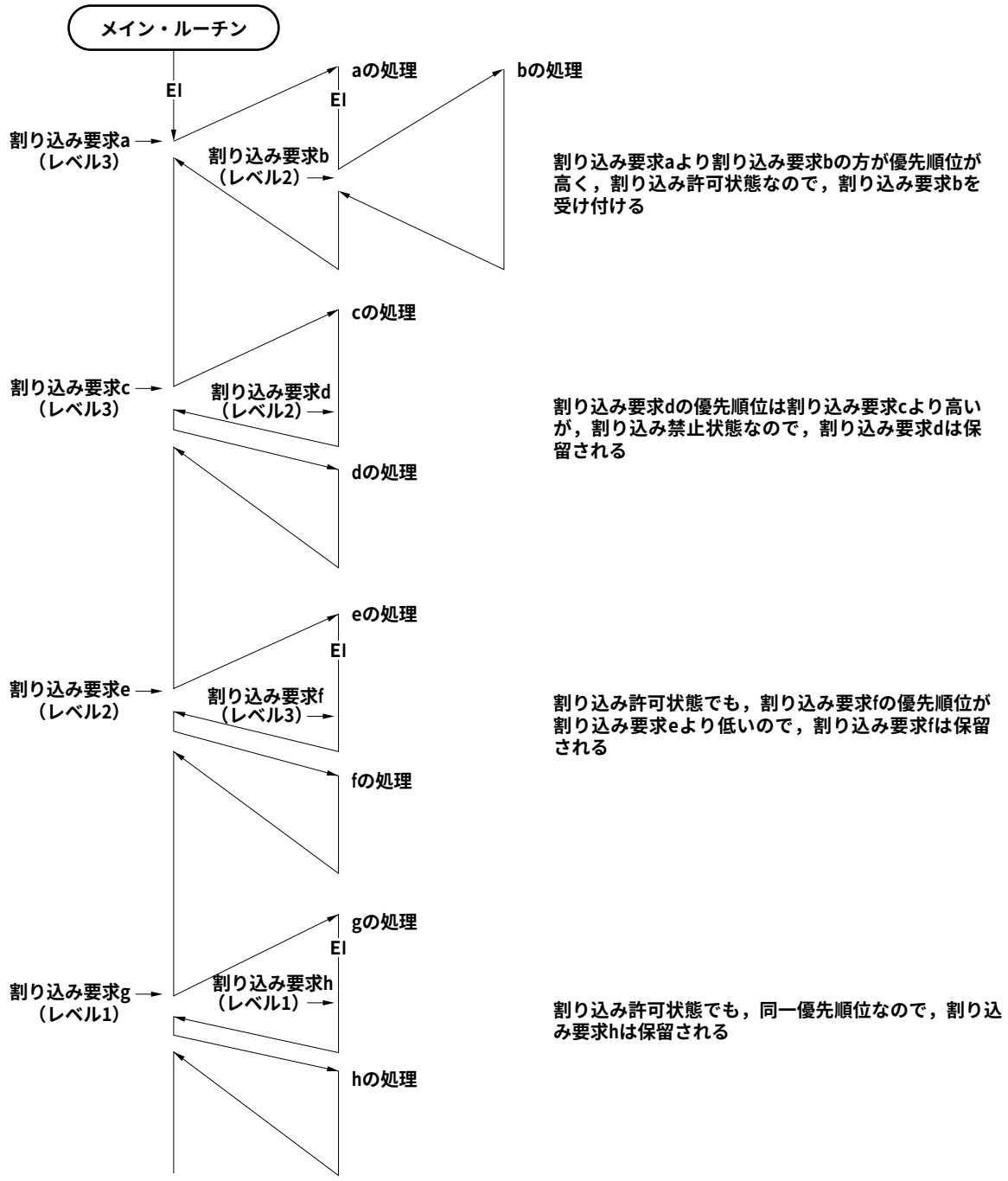
INTCは，割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは，優先順位によって制御できます。

優先順位制御には，ディフォールト優先順位による制御と，割り込み制御レジスタ（xxICn）の割り込み優先順位指定ビット（xxPRn）によるプログラマブル優先順位制御があります。ディフォールト優先順位制御は，xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合，各割り込み要求信号にあらかじめ割り付けてある優先順位（ディフォールト優先順位）に従って割り込みを処理します（表7ー1　割り込み要因一覧参照）。プログラマブル優先順位制御は，各割り込み要求信号を優先順位指定フラグの設定によって8レベルに分けます。

なお，割り込み要求信号を受け付けるとPSWのIDフラグが自動的にセット（1）されるので，多重割り込みを使用する場合は，割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア（0）し，割り込み許可状態にしてください。

備考　xx　：各周辺ユニット識別名称（表7ー2参照）
　　n　：周辺ユニット番号（表7ー2参照）

図7－6　割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（1/2）

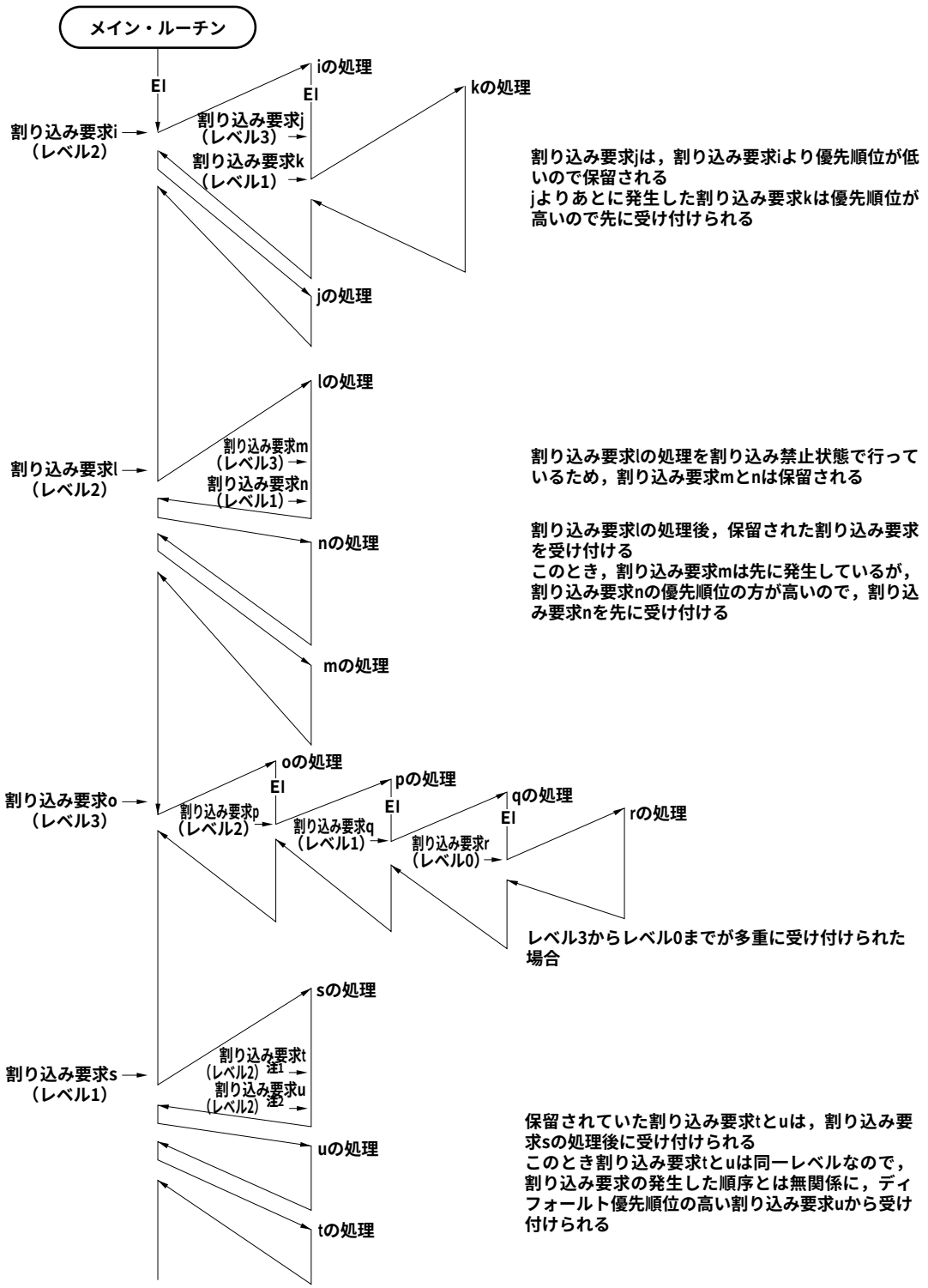


注意　多重割り込みを行うときはEI命令を実行する前に，EIPC，EIPSWの内容を退避する必要があります。また，多重割り込みから復帰する際は，DI命令を実行したあとに，EIPC，EIPSWの内容を復帰してください。

備考1.　図中のa-uは，各割り込み要求信号を区別するために付けた仮の名称です。

2.　図中のディフォールト優先順位の高い／低いは，2つの割り込み要求信号間の相対的な優先順位の高さを示します。

図7－6　割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（2/2）

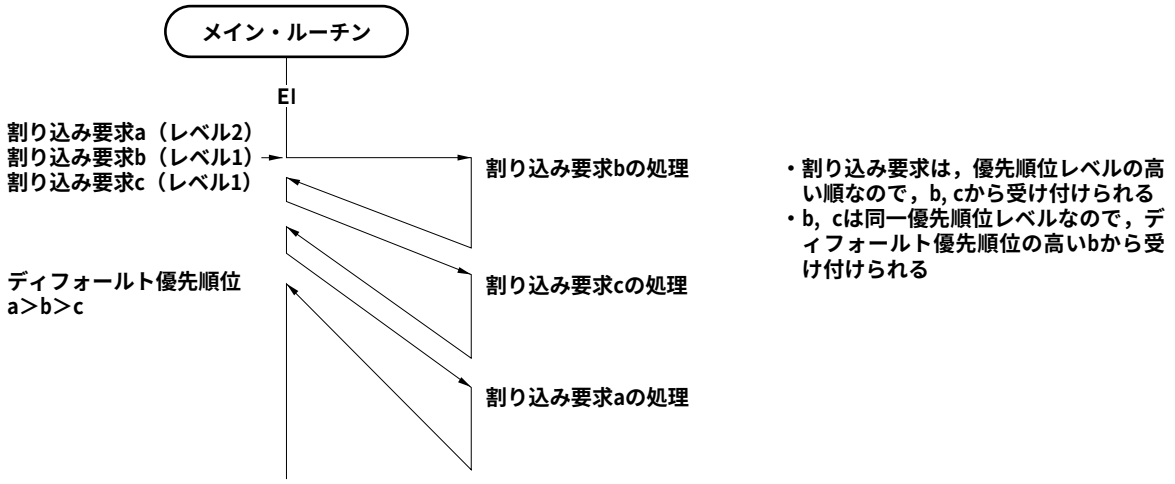


注意　**多重割り込みを行うときはEI命令を実行する前に，EIPC，EIPSWの内容を退避する必要があります。また，多重割り込みから復帰する際は，DI命令を実行したあとに，EIPC，EIPSWの内容を復帰してください。**

注1.　ディフォールト優先順位が低い

2.　ディフォールト優先順位が高い

図7－7　同時発生した割り込み要求信号の処理例



注意　多重割り込みを行うときはEI命令を実行する前に，EIPC，EIPSWの内容を退避する必要があります。また，多重割り込みから復帰する際は，DI命令を実行したあとに，EIPC，EIPSWの内容を復帰してください。

備考1.　図中のa-cは，各割り込み要求信号を区別するために付けた仮の名称です。

2.　図中のディフォールト優先順位の高い／低いは，2つの割り込み要求信号間の相対的な優先順位の高さを示します。

7. 3. 4　割り込み制御レジスタ（xxICn）

割り込み要求信号（マスカブル割り込み）ごとに割り当てられ，各割り込みに対する制御条件を設定します。8/1ビット単位でリード／ライト可能です。

注意1. xxICnレジスタのxxIFnビットを読み出す場合は，割り込み禁止（DI）状態で行ってください。割り込み許可（EI）状態でxxIFnビットを読み出すと，割り込みの受け付けとビットの読み出しのタイミングが競合した場合に，正常な値が読み出せないことがあります。

2. 割り込み要求が発生する状態（割り込み禁止（DI）状態を含む）でxxICn.xxMKnビットを操作する場合は，必ずビット操作命令で操作するか，またはIMRm.xxMKnビットで操作してください（m = 0-5）。

	⑦	⑥	5	4	3	2	1	0	アドレス	初期値
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0	FFFFF110H-FFFFF1C2H	47H

ビット位置	ビット名	意　味
7	xxIFn	割り込み要求フラグです。 0：割り込み要求信号なし 1：割り込み要求信号あり xxIFnフラグは，割り込み要求信号が受け付けられるとハードウエアにより自動的にリセットされます。
6	xxMKn	割り込みマスク・フラグです。 0：割り込み処理を許可 1：割り込み処理を禁止（保留）
2-0	xxPRn2- xxPRn0	各割り込みごとに8レベルの優先順位を指定します。

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0（最高位）を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7（最低位）を指定

備考　xx：各周辺ユニット識別名称（表7－2参照）
n：周辺ユニット番号（表7－2参照）

各割り込み制御レジスタのアドレスとビットを次に示します。

表7－2　割り込み制御レジスタのアドレスとビット（1/3）

アドレス	レジスタ	ビット							
		⑦	⑥	5	4	3	2	1	0
FFFFF110H	P1IC0	P1IF0	P1MK0	0	0	0	P1PR02	P1PR01	P1PR00
FFFFF112H	P1IC1	P1IF1	P1MK1	0	0	0	P1PR12	P1PR11	P1PR10
FFFFF114H	P2IC1	P2IF1	P2MK1	0	0	0	P2PR12	P2PR11	P2PR10
FFFFF116H	P2IC2	P2IF2	P2MK2	0	0	0	P2PR22	P2PR21	P2PR20
FFFFF118H	P2IC3	P2IF3	P2MK3	0	0	0	P2PR32	P2PR31	P2PR30
FFFFF11AH	P2IC4	P2IF4	P2MK4	0	0	0	P2PR42	P2PR41	P2PR40
FFFFF11CH	P2IC5	P2IF5	P2MK5	0	0	0	P2PR52	P2PR51	P2PR50
FFFFF11EH	P5IC0	P5IF0	P5MK0	0	0	0	P5PR02	P5PR01	P5PR00
FFFFF120H	P5IC1	P5IF1	P5MK1	0	0	0	P5PR12	P5PR11	P5PR10
FFFFF122H	P5IC2	P5IF2	P5MK2	0	0	0	P5PR22	P5PR21	P5PR20
FFFFF124H	P6IC5	P6IF5	P6MK5	0	0	0	P6PR52	P6PR51	P6PR50
FFFFF126H	P6IC6	P6IF6	P6MK6	0	0	0	P6PR62	P6PR61	P6PR60
FFFFF128H	P6IC7	P6IF7	P6MK7	0	0	0	P6PR72	P6PR71	P6PR70
FFFFF12AH	PDIC0	PDIF0	PDMK0	0	0	0	PDPR02	PDPR01	PDPR00
FFFFF12CH	PDIC1	PDIF1	PDMK1	0	0	0	PDPR12	PDPR11	PDPR10
FFFFF12EH	PDIC2	PDIF2	PDMK2	0	0	0	PDPR22	PDPR21	PDPR20
FFFFF130H	PDIC3	PDIF3	PDMK3	0	0	0	PDPR32	PDPR31	PDPR30
FFFFF132H	PDIC4	PDIF4	PDMK4	0	0	0	PDPR42	PDPR41	PDPR40
FFFFF134H	PDIC5	PDIF5	PDMK5	0	0	0	PDPR52	PDPR51	PDPR50
FFFFF136H	PDIC6	PDIF6	PDMK6	0	0	0	PDPR62	PDPR61	PDPR60
FFFFF138H	PDIC7	PDIF7	PDMK7	0	0	0	PDPR72	PDPR71	PDPR70
FFFFF13AH	PDIC8	PDIF8	PDMK8	0	0	0	PDPR82	PDPR81	PDPR80
FFFFF13CH	PDIC9	PDIF9	PDMK9	0	0	0	PDPR92	PDPR91	PDPR90
FFFFF13EH	PDIC10	PDIF10	PDMK10	0	0	0	PDPR102	PDPR101	PDPR100
FFFFF140H	PDIC11	PDIF11	PDMK11	0	0	0	PDPR112	PDPR111	PDPR110
FFFFF142H	PDIC12	PDIF12	PDMK12	0	0	0	PDPR122	PDPR121	PDPR120
FFFFF144H	PDIC13	PDIF13	PDMK13	0	0	0	PDPR132	PDPR131	PDPR130
FFFFF146H	PDIC14	PDIF14	PDMK14	0	0	0	PDPR142	PDPR141	PDPR140
FFFFF148H	PDIC15	PDIF15	PDMK15	0	0	0	PDPR152	PDPR151	PDPR150
FFFFF14AH	PLIC0	PLIF0	PLMK0	0	0	0	PLPR02	PLPR01	PLPR00
FFFFF14CH	PLIC1	PLIF1	PLMK1	0	0	0	PLPR12	PLPR11	PLPR10
FFFFF14EH	OVCIC0	OVCIF0	OVCMK0	0	0	0	OVCPR02	OVCPR01	OVCPR00
FFFFF150H	OVCIC1	OVCIF1	OVCMK1	0	0	0	OVCPR12	OVCPR11	OVCPR10
FFFFF152H	OVCIC2	OVCIF2	OVCMK2	0	0	0	OVCPR22	OVCPR21	OVCPR20
FFFFF154H	OVCIC3	OVCIF3	OVCMK3	0	0	0	OVCPR32	OVCPR31	OVCPR30
FFFFF156H	OVCIC4	OVCIF4	OVCMK4	0	0	0	OVCPR42	OVCPR41	OVCPR40
FFFFF158H	OVCIC5	OVCIF5	OVCMK5	0	0	0	OVCPR52	OVCPR51	OVCPR50
FFFFF15AH	CCC0IC0	CCC0IF0	CCC0MK0	0	0	0	CCC0PR02	CCC0PR01	CCC0PR00
FFFFF15CH	CCC0IC1	CCC0IF1	CCC0MK1	0	0	0	CCC0PR12	CCC0PR11	CCC0PR10
FFFFF15EH	CCC1IC0	CCC1IF0	CCC1MK0	0	0	0	CCC1PR02	CCC1PR01	CCC1PR00
FFFFF160H	CCC1IC1	CCC1IF1	CCC1MK1	0	0	0	CCC1PR12	CCC1PR11	CCC1PR10

表7－2　割り込み制御レジスタのアドレスとビット（2/3）

アドレス	レジスタ	ビット							
		⑦	⑥	5	4	3	2	1	0
FFFFF162H	CCC2IC0	CCC2IF0	CCC2MK0	0	0	0	CCC2PR02	CCC2PR01	CCC2PR00
FFFFF164H	CCC2IC1	CCC2IF1	CCC2MK1	0	0	0	CCC2PR12	CCC2PR11	CCC2PR10
FFFFF166H	CCC3IC0	CCC3IF0	CCC3MK0	0	0	0	CCC3PR02	CCC3PR01	CCC3PR00
FFFFF168H	CCC3IC1	CCC3IF1	CCC3MK1	0	0	0	CCC3PR12	CCC3PR11	CCC3PR10
FFFFF16AH	CCC4IC0	CCC4IF0	CCC4MK0	0	0	0	CCC4PR02	CCC4PR01	CCC4PR00
FFFFF16CH	CCC4IC1	CCC4IF1	CCC4MK1	0	0	0	CCC4PR12	CCC4PR11	CCC4PR10
FFFFF16EH	CCC5IC0	CCC5IF0	CCC5MK0	0	0	0	CCC5PR02	CCC5PR01	CCC5PR00
FFFFF170H	CCC5IC1	CCC5IF1	CCC5MK1	0	0	0	CCC5PR12	CCC5PR11	CCC5PR10
FFFFF172H	CMDIC0	CMDIF0	CMDMK0	0	0	0	CMDPR02	CMDPR01	CMDPR00
FFFFF174H	CMDIC1	CMDIF1	CMDMK1	0	0	0	CMDPR12	CMDPR11	CMDPR10
FFFFF176H	CMDIC2	CMDIF2	CMDMK2	0	0	0	CMDPR22	CMDPR21	CMDPR20
FFFFF178H	CMDIC3	CMDIF3	CMDMK3	0	0	0	CMDPR32	CMDPR31	CMDPR30
FFFFF17AH	CC10IC0	CC10IF0	CC10MK0	0	0	0	CC10PR02	CC10PR01	CC10PR00
FFFFF17CH	CC10IC1	CC10IF1	CC10MK1	0	0	0	CC10PR12	CC10PR11	CC10PR10
FFFFF17EH	CM10IC0	CM10IF0	CM10MK0	0	0	0	CM10PR02	CM10PR01	CM10PR00
FFFFF180H	CM10IC1	CM10IF1	CM10MK1	0	0	0	CM10PR12	CM10PR11	CM10PR10
FFFFF182H	OV1IC0	OV1IF0	OV1MK0	0	0	0	OV1PR02	OV1PR01	OV1PR00
FFFFF184H	UD1IC0	UD1IF0	UD1MK0	0	0	0	UD1PR02	UD1PR01	UD1PR00
FFFFF186H	CC11IC0	CC11IF0	CC11MK0	0	0	0	CC11PR02	CC11PR01	CC11PR00
FFFFF188H	CC11IC1	CC11IF1	CC11MK1	0	0	0	CC11PR12	CC11PR11	CC11PR10
FFFFF18AH	CM11IC0	CM11IF0	CM11MK0	0	0	0	CM11PR02	CM11PR01	CM11PR00
FFFFF18CH	CM11IC1	CM11IF1	CM11MK1	0	0	0	CM11PR12	CM11PR11	CM11PR10
FFFFF18EH	OV1IC1	OV1IF1	OV1MK1	0	0	0	OV1PR12	OV1PR11	OV1PR10
FFFFF190H	UD1IC1	UD1IF1	UD1MK1	0	0	0	UD1PR12	UD1PR11	UD1PR10
FFFFF192H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFF194H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFF196H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFF198H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFF19AH	CSI3IC0	CSI3IF0	CSI3MK0	0	0	0	CSI3PR02	CSI3PR01	CSI3PR00
FFFFF19CH	COVF3IC0	COVF3IF0	COVF3MK0	0	0	0	COVF3PR02	COVF3PR01	COVF3PR00
FFFFF19EH	CSI3IC1	CSI3IF1	CSI3MK1	0	0	0	CSI3PR12	CSI3PR11	CSI3PR10
FFFFF1A0H	COVF3IC1	COVF3IF1	COVF3MK1	0	0	0	COVF3PR12	COVF3PR11	COVF3PR10
FFFFF1A2H	UREIC0	UREIF0	UREMK0	0	0	0	UREPR02	UREPR01	UREPR00
FFFFF1A4H	URIC0	URIF0	URMK0	0	0	0	URPR02	URPR01	URPR00
FFFFF1A6H	UTIC0	UTIF0	UTMK0	0	0	0	UTPR02	UTPR01	UTPR00
FFFFF1A8H	UIFIC0	UIFIF0	UIFMK0	0	0	0	UIFPR02	UIFPR01	UIFPR00
FFFFF1AAH	UTOIC0	UTOIF0	UTOMK0	0	0	0	UTOPR02	UTOPR01	UTOPR00
FFFFF1ACH	UREIC1	UREIF1	UREMK1	0	0	0	UREPR12	UREPR11	UREPR10
FFFFF1AEH	URIC1	URIF1	URMK1	0	0	0	URPR12	URPR11	URPR10
FFFFF1B0H	UTIC1	UTIF1	UTMK1	0	0	0	UTPR12	UTPR11	UTPR10
FFFFF1B2H	UIFIC1	UIFIF1	UIFMK1	0	0	0	UIFPR12	UIFPR11	UIFPR10

表7－2　割り込み制御レジスタのアドレスとビット（3/3）

アドレス	レジスタ	ビット							
		⑦	⑥	5	4	3	2	1	0
FFFFF1B4H	UTOIC1	UTOIF1	UTOMK1	0	0	0	UTOPR12	UTOPR11	UTOPR10
FFFFF1B6H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0
FFFFF1B8H	US0BIC	US0BIF	US0BMK	0	0	0	US0BPR2	US0BPR1	US0BPR0
FFFFF1BAH	US1BIC	US1BIF	US1BMK	0	0	0	US1BPR2	US1BPR1	US1BPR0
FFFFF1BCH	US2BIC	US2BIF	US2BMK	0	0	0	US2BPR2	US2BPR1	US2BPR0
FFFFF1BEH	USP2IC	USP2IF	USP2MK	0	0	0	USP2PR2	USP2PR1	USP2PR0
FFFFF1C0H	USP4IC	USP4IF	USP4MK	0	0	0	USP4PR2	USP4PR1	USP4PR0
FFFFF1C2H	RSUMIC	RSUMIF	RSUMMK	0	0	0	RSUMPR2	RSUMPR1	RSUMPR0

7. 3. 5　割り込みマスク・レジスタ0-5（IMR0-IMR5）

マスカブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR5レジスタのxxMKnビットとxxICnレジスタのxxMKnビットは，それぞれ連動しています。

IMRmレジスタは，16ビット単位でリード／ライト可能です（m = 0-5）。

IMRmレジスタの上位8ビットをIMRmHレジスタ，下位8ビットをIMRmLレジスタとした場合は，8/1ビット単位でリード／ライト可能です。

IMR5レジスタのビット15-10（IMR5Hレジスタのビット7-2）には1を設定してください。変更した場合の動作は保証できません。

注意　デバイス・ファイルでは，xxICnレジスタのxxMKnビットを予約語として定義しています。したがって，xxMKnビットの名称でビット操作を行うと，IMRmレジスタではなくxxICnレジスタを書き換えます（結果としてIMRmレジスタも書き換わります）。

	15	14	13	12	11	10	9	8	アドレス	初期値
IMR0	PDMK2	PDMK1	PDMK0	P6MK7	P6MK6	P6MK5	P5MK2	P5MK1	FFFFF100H	FFFFH
	7	6	5	4	3	2	1	0		
	P5MK0	P2MK5	P2MK4	P2MK3	P2MK2	P2MK1	P1MK1	P1MK0		

	15	14	13	12	11	10	9	8	アドレス	初期値
IMR1	OVCMK0	PLMK1	PLMK0	PDMK15	PDMK14	PDMK13	PDMK12	PDMK11	FFFFF102H	FFFFH
	7	6	5	4	3	2	1	0		
	PDMK10	PDMK9	PDMK8	PDMK7	PDMK6	PDMK5	PDMK4	PDMK3		

	15	14	13	12	11	10	9	8	アドレス	初期値
IMR2	CCC5MK0	CCC4MK1	CCC4MK0	CCC3MK1	CCC3MK0	CCC2MK1	CCC2MK0	CCC1MK1	FFFFF104H	FFFFH
	7	6	5	4	3	2	1	0		
	CCC1MK0	CCC0MK1	CCC0MK0	OVCMK5	OVCMK4	OVCMK3	OVCMK2	OVCMK1		

	15	14	13	12	11	10	9	8	アドレス	初期値
IMR3	OV1MK1	CM11MK1	CM11MK0	CC11MK1	CC11MK0	UD1MK0	OV1MK0	CM10MK1	FFFFF106H	FFFFH
	7	6	5	4	3	2	1	0		
	CM10MK0	CC10MK1	CC10MK0	CMDMK3	CMDMK2	CMDMK1	CMDMK0	CCC5MK1		

	15	14	13	12	11	10	9	8	アドレス	初期値
IMR4	URMK1	UREMK1	UTOMK0	UIFMK0	UTMK0	URMK0	UREMK0	COVF3MK1	FFFFF108H	FFFFH
	7	6	5	4	3	2	1	0		
	CSI3MK1	COVF3MK0	CSI3MK0	DMAMK3	DMAMK2	DMAMK1	DMAMK0	UD1MK1		

	15	14	13	12	11	10	9	8	アドレス	初期値
IMR5	1	1	1	1	1	1	RSUMMK	USP4MK	FFFFF10AH	FFFFH
	7	6	5	4	3	2	1	0		
	USP2MK	US2BMK	US1BMK	US0BMK	ADMK	UTOMK1	UIFMK1	UTMK1		

ビット位置	ビット名	意　味
15-0	xxMKn	割り込みマスク・フラグです。 0：割り込み処理を許可 1：割り込み処理を禁止（保留）

備考　xx：各周辺ユニット識別名称（表7ー2参照）

n：周辺ユニット番号（表7ー2参照）

7. 3. 6　NMIリセット・ステータス・レジスタ（NRS）

リセット解除後のNMIの有効エッジ入力状態を保持します。

8/1ビット単位でリードのみ可能です。

注意1. NRSレジスタのNMIRSビットは，内蔵命令RAMをリード・モード（IRAMMレジスタのIRAMM0ビット = 0）に設定した以降にNMI入力が発生した場合にもセット（1）されますが，その場合は自動的にNMI処理ルーチンに分岐するので，NMIRSビットの状態を確認する必要はありません。

2. NMI入力のマスク機能は，リセット解除後から内蔵命令RAMをリード・モード（IRAMMレジスタのIRAMM0ビット = 0）に切り替えるまでの間のみ有効です。

	7	6	5	4	3	2	1	0	アドレス	初期値
NRS	0	0	0	0	0	0	0	NMIRS	FFFFF80CH	00H

ビット位置	ビット名	意　味
0	NMIRS	NMIの有効エッジ入力状態を示します。 0：NMI入力なし 1：NMI入力あり

V850E/ME2では，リセット解除後NMIはマスク状態になり，内蔵命令RAMバンク0にプログラムをダウンロード後にライト・モード（IRAMMレジスタのIRAMM0ビット= 1）からリード・モード（IRAMMレジスタのIRAMM0ビット= 0）に変更することで，NMIのマスク状態が解除されます（NRSレジスタ制御は，割り込みベクタ・テーブルへのプログラム格納前に，割り込みベクタへのジャンプを禁止するためのものです）。

上記NMIマスク期間にNMIの有効エッジが入力された場合，NRSレジスタをリードすることで，NMIが入力されたことを認識できます。

7. 3. 7　インサービス・プライオリティ・レジスタ（ISPR）

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると，その割り込み要求信号の優先順位レベルに対応するビットがセット（1）され，サービス中保持されます。

RETI命令の実行時，ISPRレジスタ内でセット（1）されているビットのうち，最も優先順位の高い割り込み要求信号に対応するビットがハードウエアにより自動的にクリア（0）されます。ただし，ノンマスカブルの割り込み処理や例外処理からの復帰の場合はクリア（0）されません。

8/1ビット単位でリードのみ可能です。

注意　割り込み許可（EI）状態において，ISPRレジスタをリード中に割り込みを受け付けた場合，その割り込み受け付けによるビットがセット（1）されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は，割り込み禁止（DI）状態でリードしてください。

	⑦	⑥	⑤	④	③	②	①	⑩	アドレス	初期値
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0	FFFFF1FAH	00H

ビット位置	ビット名	意　味
7-0	ISPR7-ISPR0	受け付け中の割り込みの優先順位を示します。 0：優先順位nの割り込み要求信号を受け付けていない 1：優先順位nの割り込み要求信号を受け付け中

備考　n = 0-7（優先順位のレベル）

7. 3. 8　マスカブル割り込みステータス・フラグ（ID）

マスカブル割り込みの動作状態を制御し，割り込み要求受け付けの許可／禁止制御情報を記憶します。IDフラグは，PSWに割り付けられます。

	31																						8	7	6	5	4	3	2	1	0	
PSW	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z	初期値 00000020H

ビット位置	ビット名	意　味
5	ID	マスカブル割り込み処理の許可／禁止を示します。 0：マスカブル割り込み要求信号の受け付け許可 1：マスカブル割り込み要求信号の受け付け禁止（保留） DI命令でセット（1），EI命令でクリア（0）されます。また，RETI命令およびPSWへのLDSR命令により値が書き換えられます。 ノンマスカブル割り込み要求信号および例外は，このフラグの状態に関係なく受け付けられます。また，マスカブル割り込み要求信号を受け付けると，IDフラグはハードウエアで自動的にセット（1）されます。 受け付け禁止期間中（IDフラグ = 1）に発生した割り込み要求信号は，xxICnのxxIFnビットがセット（1）され，IDフラグがクリア（0）されると受け付けられます。

7. 3. 9　割り込みトリガ・モードの選択

$\overline{\text{INTPn}}$, INTPCm, TIC0-TIC3, INTPx, TIUD10, TIUD11, TCUD10, TCUD11, TCLR10, TCLR11端子は，有効エッジをプログラマブルに選択できます（n = 10, 11, 21-25, 50-52, 65-67, L0, L1, D0-D15, m = 00, 01, 10, 11, 20, 21, 30, 31, x = 100, 101, 110, 111）。また，$\overline{\text{INTPn}}$端子はレベル・トリガも選択できます。選択できる有効エッジについて次に示します。

- 立ち上がりエッジ
- 立ち下がりエッジ
- 立ち上がり／立ち下がり両エッジ

エッジ検出されたINTPn, INTPCm, TIC0-TIC3, INTPx, TIUD10, TIUD11, TCUD10, TCUD11, TCLR10, TCLR11信号は，割り込み要因やキャプチャ・トリガ入力，タイマの外部カウント入力になります。

有効エッジは，外部割り込み立ち上がりエッジ指定レジスタ1, 2, 5, 6, AL, DH（INTR1, INTR2, INTR5, INTR6, INTRAL, INTRDH），外部割り込み立ち下がりエッジ指定レジスタ1, 2, 5, 6, AL, DH（INTF1, INTF2, INTF5, INTF6, INTFAL, INTFDH），有効エッジ選択レジスタC0-C3（SESC0-SESC3），有効エッジ選択レジスタ10, 11（SESA10, SESA11）で指定します。また，レベル・トリガは，外部割り込み立ち上がりエッジ指定レジスタ1, 2, 5, 6, AL, DH（INTR1, INTR2, INTR5, INTR6, INTRAL, INTRDH），外部割り込み立ち下がりエッジ指定レジスタ1, 2, 5, 6, AL, DH（INTF1, INTF2, INTF5, INTF6, INTFAL, INTFDH）で指定します。

(1) 外部割り込み立ち上がりエッジ指定レジスタ1（INTR1），外部割り込み立ち下がりエッジ指定レジスタ1（INTF1）

外部端子による外部割り込み要求（INTP10, INTP11）のトリガ・モードを指定するレジスタです。各ビットと，そのビットが制御する外部割り込み要求との対応を次に示します。

- INTF10, INTR10ビット：INTP10
- INTF11, INTR11ビット：INTP11

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード／ライト可能です。

注意　$\overline{\text{INTP10}}$, $\overline{\text{INTP11}}$端子のトリガ・モードを設定する場合は，PMC1レジスタを設定したあとで行ってください。
INTR1, INTF1レジスタを設定したあとでPMC1レジスタの設定を行うと，PMC1レジスタの設定タイミングで不正な割り込みが発生することがあります。

	7	6	5	4	3	2	1	0	アドレス	初期値
INTR1	0	0	0	0	0	0	INTR11	INTR10	FFFFFC22H	03H
INTF1	0	0	0	0	0	0	INTF11	INTF10	FFFFFC02H	00H

ビット位置	ビット名	意　味
1, 0	INTF1n, INTR1n (n = 0, 1)	$\overline{\text{INTP10}}$, $\overline{\text{INTP11}}$端子のトリガ・モードを指定します。

INTF1n	INTR1n	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	レベル検出（ロウ・レベル検出）注1, 2
1	1	立ち上がり／立ち下がり両エッジ

注1. $\overline{\text{INTP1n}}$端子のレベルは，メイン・クロック（fx）を4分周したタイミングごとにサンプリングされ，ロウ・レベルを検出するとP1IFnビットとして割り込み要求がラッチされます（n = 0, 1）。このため，CPUが割り込みを受け付けて，割り込み制御レジスタ（P1ICn）のP1IFnビットが自動的にクリア（0）されても，すぐにP1IFnビットがセット（1）され，連続的に割り込みが発生します。この状態を回避するためには，割り込み処理ルーチン内で，外部デバイスに対して$\overline{\text{INTP1n}}$端子をインアクティブにする処理を行ったあと，P1IFnビットを強制的にクリア（0）してください。

2. ある割り込み処理中に，より優先順位の低いレベル検出割り込み要求（INTP1n）が発生し，現在の割り込み処理が終了する前に，新たに発生したレベル検出割り込み（INTP1n）がインアクティブになった場合，新たに発生した割り込み（INTP1n）の割り込み要求は保留されます（n = 0, 1）。このINTP1nの割り込み要求を受け付けたくない場合は，割り込み制御レジスタのP1IFnビットをクリアしてください。

(2) 外部割り込み立ち上がりエッジ指定レジスタ2（INTR2），外部割り込み立ち下がりエッジ指定レジスタ2（INTF2）

外部端子による外部割り込み要求（INTP2n）とノンマスカブル割り込み（NMI）のトリガ・モードを指定するレジスタです（n = 1-5）。なお，NMIのトリガ・モードについては，7. 2. 4（1）外部割り込み立ち上がりエッジ指定レジスタ2（INTR2），外部割り込み立ち下がりエッジ指定レジスタ2（INTF2）を参照してください。

各ビットと，そのビットが制御する外部割り込み要求，ノンマスカブル割り込みとの対応を次に示します。

- INTF21, INTR21ビット　：INTP21
- INTF22, INTR22ビット　：INTP22
- INTF23, INTR23ビット　：INTP23
- INTF24, INTR24ビット　：INTP24
- INTF25, INTR25ビット　：INTP25

$\overline{\text{INTP2n}}$端子の有効エッジは，立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード／ライト可能です。

注意　$\overline{\text{INTP2n}}$端子のトリガ・モードを設定する場合は，PMC2レジスタを設定したあとで行ってください（n = 1-5）。
INTR2, INTF2レジスタを設定したあとでPMC2レジスタの設定を行うと，PMC2レジスタの設定タイミングで不正な割り込みが発生することがあります。

	7	6	5	4	3	2	1	0	アドレス	初期値
INTR2	0	0	INTR25	INTR24	INTR23	INTR22	INTR21	NMIR0	FFFFFC24H	3FH
INTF2	0	0	INTF25	INTF24	INTF23	INTF22	INTF21	NMIF0	FFFFFC04H	00H

ビット位置	ビット名	意　味
5-1	INTF2n, INTR2n (n = 1-5)	$\overline{\text{INTP2n}}$端子のトリガ・モードを指定します。

INTF2n	INTR2n	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	レベル検出（ロウ・レベル検出）注1, 2
1	1	立ち上がり／立ち下がり両エッジ

注1. $\overline{\text{INTP2n}}$端子のレベルは，メイン・クロック（fx）を4分周したタイミングごとにサンプリングされ，ロウ・レベルを検出するとP2IFnビットとして割り込み要求がラッチされます（n = 1-5）。このため，CPUが割り込みを受け付けて，割り込み制御レジスタ（P2ICn）のP2IFnビットが自動的にクリア（0）されても，すぐにP2IFnビットがセット（1）され，連続的に割り込みが発生します。この状態を回避するためには，割り込み処理ルーチン内で，外部デバイスに対して$\overline{\text{INTP2n}}$端子をインアクティブにする処理を行ったあと，P2IFnビットを強制的にクリア（0）してください。

2. ある割り込み処理中に，より優先順位の低いレベル検出割り込み要求（INTP2n）が発生し，現在の割り込み処理が終了する前に，新たに発生したレベル検出割り込み（INTP2n）がインアクティブになった場合，新たに発生した割り込み（INTP2n）の割り込み要求は保留されます（n = 1-5）。このINTP2nの割り込み要求を受け付けたくない場合は，割り込み制御レジスタのP2IFnビットをクリアしてください。

備考　INTR2レジスタのビット0（NMIR0），INTF2レジスタのビット0（NMIF0）については，7. 2. 4（1）外部割り込み立ち上がりエッジ指定レジスタ2（INTR2），外部割り込み立ち下がりエッジ指定レジスタ2（INTF2）を参照してください。

(3) 外部割り込み立ち上がりエッジ指定レジスタ5（INTR5），外部割り込み立ち下がりエッジ指定レジスタ5（INTF5）

外部端子による外部割り込み要求（INTP5n）のトリガ・モードを指定するレジスタです（n = 0-2）。各ビットと，そのビットが制御する外部割り込み要求との対応を次に示します。

- INTF50, INTR50ビット　：INTP50
- INTF51, INTR51ビット　：INTP51
- INTF52, INTR52ビット　：INTP52

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード／ライト可能です。

注意　トリガ・モードを設定する場合は，PMC5レジスタを設定したあとで行ってください。
INTR5, INTF5レジスタを設定したあとでPMC5レジスタの設定を行うと，PMC5レジスタの設定タイミングで不正な割り込みが発生することがあります。

	7	6	5	4	3	2	1	0	アドレス	初期値
INTR5	0	0	0	0	0	INTR52	INTR51	INTR50	FFFFFC2AH	07H
INTF5	0	0	0	0	0	INTF52	INTF51	INTF50	FFFFFC0AH	00H

ビット位置	ビット名	意　味
2-0	INTF5n, INTR5n (n = 0-2)	$\overline{\text{INTP5n}}$端子のトリガ・モードを指定します。

INTF5n	INTR5n	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	レベル検出（ロウ・レベル検出）注1, 2
1	1	立ち上がり／立ち下がり両エッジ

注1. $\overline{\text{INTP5n}}$端子のレベルは，メイン・クロック（fx）を4分周したタイミングごとにサンプリングされ，ロウ・レベルを検出するとP5IFnビットとして割り込み要求がラッチされます（n = 0-2）。このため，CPUが割り込みを受け付けて，割り込み制御レジスタ（P5ICn）のP5IFnビットが自動的にクリア（0）されても，すぐにP5IFnビットがセット（1）され，連続的に割り込みが発生します。この状態を回避するためには，割り込み処理ルーチン内で，外部デバイスに対して$\overline{\text{INTP5n}}$端子をインアクティブにする処理を行ったあと，P5IFnビットを強制的にクリア（0）してください。

2. ある割り込み処理中に，より優先順位の低いレベル検出割り込み要求（INTP5n）が発生し，現在の割り込み処理が終了する前に，新たに発生したレベル検出割り込み（INTP5n）がインアクティブになった場合，新たに発生した割り込み（INTP5n）の割り込み要求は保留されます（n = 0-2）。このINTP5nの割り込み要求を受け付けたくない場合は，割り込み制御レジスタのP5IFnビットをクリアしてください。

(4) 外部割り込み立ち上がりエッジ指定レジスタ6（INTR6），外部割り込み立ち下がりエッジ指定レジスタ6（INTF6）

外部端子による外部割り込み要求（INTP6n）のトリガ・モードを指定するレジスタです（n = 5-7）。各ビットと，そのビットが制御する外部割り込み要求との対応を次に示します。

- INTF65, INTR65ビット　：INTP65
- INTF66, INTR66ビット　：INTP66
- INTF67, INTR67ビット　：INTP67

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード／ライト可能です。

注意　トリガ・モードを設定する場合は，PMC6レジスタを設定したあとで行ってください。
INTR6, INTF6レジスタを設定したあとでPMC6レジスタの設定を行うと，PMC6レジスタの設定タイミングで不正な割り込みが発生することがあります。

	7	6	5	4	3	2	1	0	アドレス	初期値
INTR6	INTR67	INTR66	INTR65	0	0	0	0	0	FFFFFC2CH	E0H
INTF6	INTF67	INTF66	INTF65	0	0	0	0	0	FFFFFC0CH	00H

ビット位置	ビット名	意　味
7-5	INTF6n, INTR6n (n = 7-5)	$\overline{\text{INTP6n}}$端子のトリガ・モードを指定します。

INTF6n	INTR6n	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	レベル検出（ロウ・レベル検出）注1, 2
1	1	立ち上がり／立ち下がり両エッジ

注1. $\overline{\text{INTP6n}}$端子のレベルは，メイン・クロック（fx）の4分周したタイミングごとにサンプリングされ，ロウ・レベルを検出するとP6IFnビットとして割り込み要求がラッチされます（n = 5-7）。このため，CPUが割り込みを受け付けて，割り込み制御レジスタ（P6ICn）のP6IFnビットが自動的にクリア（0）されても，すぐにP6IFnビットがセット（1）され，連続的に割り込みが発生します。この状態を回避するためには，割り込み処理ルーチン内で，外部デバイスに対して$\overline{\text{INTP6n}}$端子をインアクティブにする処理を行ったあと，P6IFnビットを強制的にクリア（0）してください。

2. ある割り込み処理中に，より優先順位の低いレベル検出割り込み要求（INTP6n）が発生し，現在の割り込み処理が終了する前に，新たに発生したレベル検出割り込み（INTP6n）がインアクティブになった場合，新たに発生した割り込み（INTP6n）の割り込み要求は保留されます（n = 5-7）。このINTP6nの割り込み要求を受け付けたくない場合は，割り込み制御レジスタのP6IFnビットをクリアしてください。

(5) 外部割り込み立ち上がりエッジ指定レジスタAL（INTRAL），外部割り込み立ち下がりエッジ指定レジスタAL（INTFAL）

外部端子による外部割り込み要求（INTPLn）のトリガ・モードを指定するレジスタです（n = 0, 1）。各ビットと，そのビットが制御する外部割り込み要求との対応を次に示します。

- INTFAL0, INTRAL0ビット：INTPL0
- INTFAL1, INTRAL1ビット：INTPL1

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード／ライト可能です。

注意　トリガ・モードを設定する場合は，PMCALレジスタを設定したあとで行ってください。
INTRAL, INTFALレジスタを設定したあとでPMCALレジスタの設定を行うと，PMCALレジスタの設定タイミングで不正な割り込みが発生することがあります。

	7	6	5	4	3	2	1	0	アドレス	初期値
INTRAL	0	0	0	0	0	0	INTRAL1	INTRAL0	FFFFFC30H	03H
INTFAL	0	0	0	0	0	0	INTFAL1	INTFAL0	FFFFFC10H	00H

ビット位置	ビット名	意　味
1, 0	INTFALn, INTRALn (n = 0, 1)	$\overline{\text{INTPLn}}$端子のトリガ・モードを指定します。

INTFALn	INTRALn	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	レベル検出（ロウ・レベル検出）注1, 2
1	1	立ち上がり／立ち下がり両エッジ

注1. $\overline{\text{INTPLn}}$端子のレベルは，メイン・クロック（fx）を4分周したタイミングごとにサンプリングされ，ロウ・レベルを検出するとPLIFnビットとして割り込み要求がラッチされます（n = 0, 1）。このため，CPUが割り込みを受け付けて，割り込み制御レジスタ（PLICn）のPLIFnビットが自動的にクリア（0）されても，すぐにPLIFnビットがセット（1）され，連続的に割り込みが発生します。この状態を回避するためには，割り込み処理ルーチン内で，外部デバイスに対して$\overline{\text{INTPLn}}$端子をインアクティブにする処理を行ったあと，PLIFnビットを強制的にクリア（0）してください。

2. ある割り込み処理中に，より優先順位の低いレベル検出割り込み要求（INTPLn）が発生し，現在の割り込み処理が終了する前に，新たに発生したレベル検出割り込み（INTPLn）がインアクティブになった場合，新たに発生した割り込み（INTPLn）の割り込み要求は保留されます（n = 0, 1）。このINTPLnの割り込み要求を受け付けたくない場合は，割り込み制御レジスタのPLIFnビットをクリアしてください。

(6) 外部割り込み立ち上がりエッジ指定レジスタDH（INTRDH），外部割り込み立ち下がりエッジ指定レジスタDH（INTFDH）

外部端子による外部割り込み要求（INTPDn）のトリガ・モードを指定するレジスタです（n = 0-15）。各ビットと，そのビットが制御する外部割り込み要求との対応を次に示します。

- INTFDH0, INTRDH0ビット：INTPD0
- INTFDH1, INTRDH1ビット：INTPD1
- INTFDH2, INTRDH2ビット：INTPD2
- INTFDH3, INTRDH3ビット：INTPD3
- INTFDH4, INTRDH4ビット：INTPD4
- INTFDH5, INTRDH5ビット：INTPD5
- INTFDH6, INTRDH6ビット：INTPD6
- INTFDH7, INTRDH7ビット：INTPD7
- INTFDH8, INTRDH8ビット　：INTPD8
- INTFDH9, INTRDH9ビット　：INTPD9
- INTFDH10, INTRDH10ビット：INTPD10
- INTFDH11, INTRDH11ビット：INTPD11
- INTFDH12, INTRDH12ビット：INTPD12
- INTFDH13, INTRDH13ビット：INTPD13
- INTFDH14, INTRDH14ビット：INTPD14
- INTFDH15, INTRDH15ビット：INTPD15

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

INTRDH, INTFDHレジスタは，16ビット単位でリード／ライト可能です。

INTRDH, INTFDHレジスタの上位8ビットをINTRDHH, INTFDHHレジスタ，下位8ビットをINTRDHL, INTFDHLレジスタとして使用した場合は，8/1ビット単位でリード／ライト可能です。

注意　トリガ・モードを設定する場合は，PMCDHレジスタを設定したあとで行ってください。
INTRDH, INTFDHレジスタを設定したあとでPMCDHレジスタの設定を行うと，PMCDHレジスタの設定タイミングで不正な割り込みが発生することがあります。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
INTRDH	INTR DH15	INTR DH14	INTR DH13	INTR DH12	INTR DH11	INTR DH10	INTR DH9	INTR DH8	INTR DH7	INTR DH6	INTR DH5	INTR DH4	INTR DH3	INTR DH2	INTR DH1	INTR DH0	FFFFFC36H	FFFFH
INTFDH	INTF DH15	INTF DH14	INTF DH13	INTF DH12	INTF DH11	INTF DH10	INTF DH9	INTF DH8	INTF DH7	INTF DH6	INTF DH5	INTF DH4	INTF DH3	INTF DH2	INTF DH1	INTF DH0	FFFFFC16H	0000H

ビット位置	ビット名	意　味
15-0	INTFDHn, INTRDHn (n = 0-15)	$\overline{\text{INTPDn}}$端子のトリガ・モードを指定します。

INTFDHn	INTRDHn	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	レベル検出（ロウ・レベル検出）注1, 2
1	1	立ち上がり／立ち下がり両エッジ

注1. $\overline{\text{INTPDn}}$端子のレベルは，メイン・クロック（fx）を4分周したタイミングごとにサンプリングされ，ロウ・レベルを検出するとPDIFnビットとして割り込み要求がラッチされます（n = 0-15）。このため，CPUが割り込みを受け付けて，割り込み制御レジスタ（PDICn）のPDIFnビットが自動的にクリア（0）されても，すぐにPDIFnビットがセット（1）され，連続的に割り込みが発生します。この状態を回避するためには，割り込み処理ルーチン内で，外部デバイスに対して$\overline{\text{INTPDn}}$端子をインアクティブにする処理を行ったあと，PDIFnビットを強制的にクリア（0）してください。

2. ある割り込み処理中に，より優先順位の低いレベル検出割り込み要求（INTPDn）が発生し，現在の割り込み処理が終了する前に，新たに発生したレベル検出割り込み（INTPDn）がインアクティブになった場合，新たに発生した割り込み（INTPDn）の割り込み要求は保留されます（n = 0-15）。このINTPDnの割り込み要求を受け付けたくない場合は，割り込み制御レジスタのPDIFnビットをクリアしてください。

（7）有効エッジ選択レジスタC0-C3（SESC0-SESC3）

TMCnの外部端子による外部割り込み要求（INTPC00, INTPC01, INTPC10, INTPC11, INTPC20, INTPC21, INTPC30, INTPC31,TIC0-TIC3）の有効エッジを指定するレジスタです（n = 0-3）。

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，または立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8ビット単位でリード／ライト可能です。

ビット5, 4には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. タイマ動作中に，SESCnレジスタの各ビットを変更しないでください（n = 0-3）。変更する場合は，TMCCn0レジスタのCECnビットを0にしてから行ってください。タイマ動作中にSESCnレジスタを書き換えた場合の動作は保証できません。

2. タイマCを使用しないでINTPC00/TIC0, INTPC10/TIC1, INTPC20/TIC2, INTPC30/TIC3端子をそれぞれINTPC00, INTPC10, INTPC20, INTPC30として使用する場合でもタイマ・モード・コントロール・レジスタC00-C03（TMCC00-TMCC30）のCAECn, CECnビットを必ずセット（1）してから使用してください。

3. INTPC00, INTPC01, INTPC10, INTPC11, INTPC20, INTPC21, INTPC30, INTPC31, TIC0-TIC3端子のトリガ・モードを設定する場合は，PMCxレジスタの設定をし（x = 5-7），その後，TMCCn0レジスタのCAECn, CECnビットをセット（1）したあと（n = 0-3），SESCnレジスタの設定をしてください。

SESCnレジスタの設定をしたあとでPMCxレジスタの設定を行うと，PMCxレジスタの設定タイミングで不正な割り込みや誤カウント，誤クリアが発生することがあります（n = 0-3, x = 5-7）。

	7	6	5	4	3	2	1	0	アドレス	初期値
SESC0	TESC01	TESC00	0	0	IESC101	IESC100	IESC001	IESC000	FFFFF609H	00H
	TIC0				INTPC01		INTPC00			

	7	6	5	4	3	2	1	0	アドレス	初期値
SESC1	TESC11	TESC10	0	0	IESC111	IESC110	IESC011	IESC010	FFFFF629H	00H
	TIC1				INTPC11		INTPC10			

	7	6	5	4	3	2	1	0	アドレス	初期値
SESC2	TESC21	TESC20	0	0	IESC121	IESC120	IESC021	IESC020	FFFFF649H	00H
	TIC2				INTPC21		INTPC20			

	7	6	5	4	3	2	1	0	アドレス	初期値
SESC3	TESC31	TESC30	0	0	IESC131	IESC130	IESC031	IESC030	FFFFF669H	00H
	TIC3				INTPC31		INTPC30			

ビット位置	ビット名	意　味
7, 6	TESCn1, TESCn0 (n = 0-3)	INTPCm0端子，INTPCm1端子，TICm端子の有効エッジを指定します（m = 0-3）。
3, 2	IESCn1, IESCn0 (n = 10-13)	
1, 0	IESCn1, IESCn0 (n = 00-03)	

xESCn1	xESCn0	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり両エッジ

(8) 有効エッジ選択レジスタ10, 11（SESA10, SESA11）

SESA1n**レジスタは，外部端子による外部割り込み要求**（TIUD10, TIUD11, TCUD10, TCUD11, TCLR10, TCLR11），**タイマ**ENC1**の外部キャプチャ・トリガ入力**（INTP100, INTP101, INTP110, INTP111）**の有効エッジを指定するレジスタです。**

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，または立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1**ビット単位でリード／ライト可能です。**

注意1. TMENC1n**動作中**（CE1n1**ビット** = 1）**に**SESA1n**レジスタの各ビットを変更することは禁止します。**

2. INTP100, INTP101, INTP110, INTP111, TIUD10, TIUD11, TCUD10, TCUD11, TCLR10, TCLR11**端子のトリガ・モードを設定する場合は**PMCDH**レジスタを設定したあとで行ってください。**SESA1n**レジスタを設定したあとで**PMCDH**レジスタの設定を行うと，**PMCDH**レジスタの設定タイミングで不正な割り込みや誤カウント，誤クリアが発生することがあります。**

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
SESA10	TESUD01	TESUD00	CESUD01	CESUD00	IES101	IES100	IES001	IES000	FFFFF5ADH	00H
	TIUD10, TCUD10		TCLR10		INTP101		INTP100			

	7	6	5	4	3	2	1	0	アドレス	初期値
SESA11	TESUD11	TESUD10	CESUD11	CESUD10	IES111	IES110	IES011	IES010	FFFFF5DDH	00H
	TIUD11, TCUD11		TCLR11		INTP111		INTP110			

ビット位置	ビット名	意　味
7, 6	TESUDn1, TESUDn0	TIUD1n, TCUD1n**端子の有効エッジを指定します。** TESUDn1 / TESUDn0 / **有効エッジ** 0 / 0 / **立ち下がりエッジ** 0 / 1 / **立ち上がりエッジ** 1 / 0 / **設定禁止** 1 / 1 / **立ち上がり／立ち下がり両エッジ** **注意**1. TESUDn1, TESUDn0**ビットは，**UDC**モード**A, UDC**モード**B**時のみ設定値が有効です。** 2. TMENC1n**の動作がモード**4**に指定されている場合**（PRM1n**レジスタの**PRM1n2-PRM1n0**ビットで指定）には，**TIUD1n, TCUD1n**端子に対する有効エッジの指定**（TESUDn1, TESUDn0**ビット）は無効です。**

備考　n = 0, 1

(2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　　味</th></tr>
<tr><td>5, 4</td><td>CESUDn1,
CESUDn0</td><td>TCLR1n端子の有効エッジを指定します。

<table>
<tr><th>CESUDn1</th><th>CESUDn0</th><th>有効エッジ</th></tr>
<tr><td>0</td><td>0</td><td>立ち下がりエッジ</td></tr>
<tr><td>0</td><td>1</td><td>立ち上がりエッジ</td></tr>
<tr><td>1</td><td>0</td><td>ロウ・レベル</td></tr>
<tr><td>1</td><td>1</td><td>ハイ・レベル</td></tr>
</table>

CESUDn1, CESUDn0ビット設定値とTMENC1nの動作は次のようになります。
00：TCLR1nの立ち上がりエッジ検出後，TMENC1nをクリア
01：TCLR1nの立ち下がりエッジ検出後，TMENC1nをクリア
10：TCLR1n入力がロウ・レベル期間中は，TMENC1nはクリアを保持
11：TCLR1n入力がハイ・レベル期間中は，TMENC1nはクリアを保持

注意　CESUDn1, CESUDn0ビットは，UDCモードA時のみ，設定値が有効です。</td></tr>
<tr><td>3, 2</td><td>IES1n1,
IES1n0</td><td>INTP1n1端子の有効エッジを指定します。

<table>
<tr><th>IES1n1</th><th>IES1n0</th><th>有効エッジ</th></tr>
<tr><td>0</td><td>0</td><td>立ち下がりエッジ</td></tr>
<tr><td>0</td><td>1</td><td>立ち上がりエッジ</td></tr>
<tr><td>1</td><td>0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>1</td><td>立ち上がり／立ち下がり両エッジ</td></tr>
</table></td></tr>
<tr><td>1, 0</td><td>IES0n1,
IES0n0</td><td>INTP1n0端子の有効エッジを指定します。

<table>
<tr><th>IES0n1</th><th>IES0n0</th><th>有効エッジ</th></tr>
<tr><td>0</td><td>0</td><td>立ち下がりエッジ</td></tr>
<tr><td>0</td><td>1</td><td>立ち上がりエッジ</td></tr>
<tr><td>1</td><td>0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>1</td><td>立ち上がり／立ち下がり両エッジ</td></tr>
</table></td></tr>
</table>

備考　n = 0, 1

7. 4　ソフトウエア例外

ソフトウエア例外は，CPUのTRAP命令の実行により発生する例外で，常に受け付け可能です。

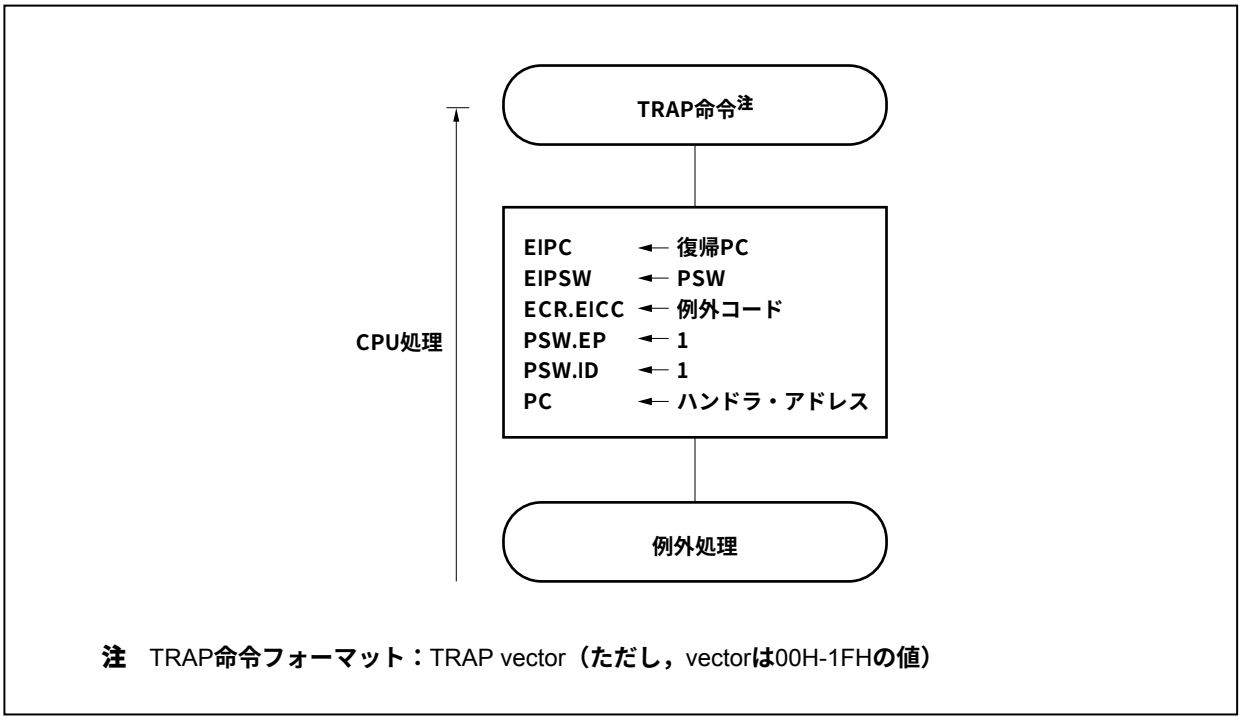
7. 4. 1　動　　作

ソフトウエア例外が発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

① 復帰PCをEIPCに退避します。
② 現在のPSWをEIPSWに退避します。
③ ECR（割り込み要因）の下位16ビット（EICC）に例外コードを書き込みます。
④ PSWのEP, IDビットをセット（1）します。
⑤ PCにソフトウエア例外に対するハンドラ・アドレス（00000040Hまたは00000050H）をセットし，制御を移します。

ソフトウエア例外の処理形態を，図7－8に示します。

図7－8　ソフトウエア例外の処理形態



ハンドラ・アドレスは，TRAP命令のオペランド（vector）によって決まります。vectorが00H-0FHの場合は00000040Hとなり，10H-1FHの場合は00000050Hとなります。

7.4.2 復　　帰

ソフトウエア例外処理からの復帰は，RETI命令により行います。

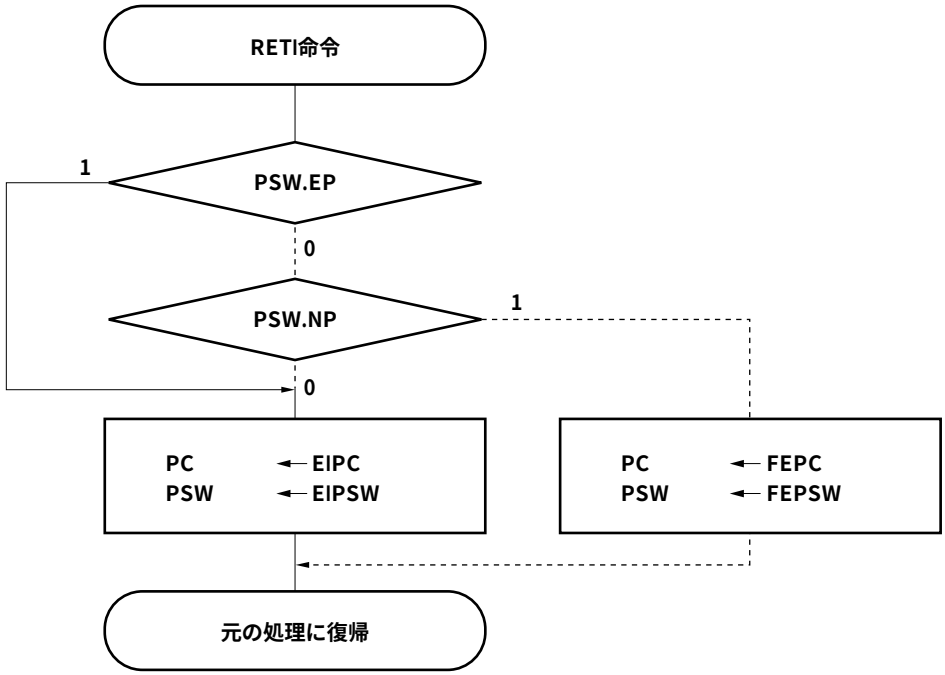
RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

① PSWのEPビットは1なので，EIPC, EIPSWから復帰PC, PSWを取り出します。

② 取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を図7－9に示します。

図7－9　RETI命令の処理形態



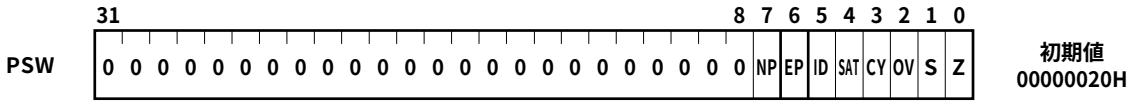
注意　ソフトウエア例外処理中にLDSR命令によりPSW.EPビット，PSW.NPビットを変更した場合には，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前で，LDSR命令を使用してEPビット = 1かつNPビット = 0に戻しておく必要があります。

備考　CPUは実線のフローで処理します。

7. 4. 3　例外ステータス・フラグ（EP）

EPフラグは，例外処理中であることを示すステータス・フラグです。例外の発生でセット（1）されます。

EPフラグは，PSWに割り付けられています。



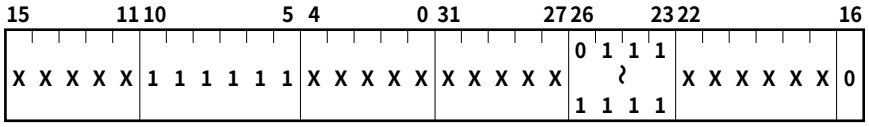
ビット位置	ビット名	意　味
6	EP	例外処理中であることを示します。 0：例外処理中でない。 1：例外処理中。

7. 5　例外トラップ

例外トラップは，命令の不正実行が発生した場合に要求される割り込みです。V850E/ME2では，不正命令コード・トラップ（ILGOP：Illegal Opcode Trap）が例外トラップに当たります。

7. 5. 1　不正命令コード

不正命令は，命令のオペコード（ビット10-5）が111111Bで，サブオペコード（ビット26-23）が0111B-1111B，サブオペコード（ビット16）が0Bであるものです。この不正命令に当てはまる命令を実行したときに，例外トラップが発生します。



X：任意

注意　不正命令コードには，将来，新規に命令を割り当てる可能性があるため，使用しないことを推奨します。

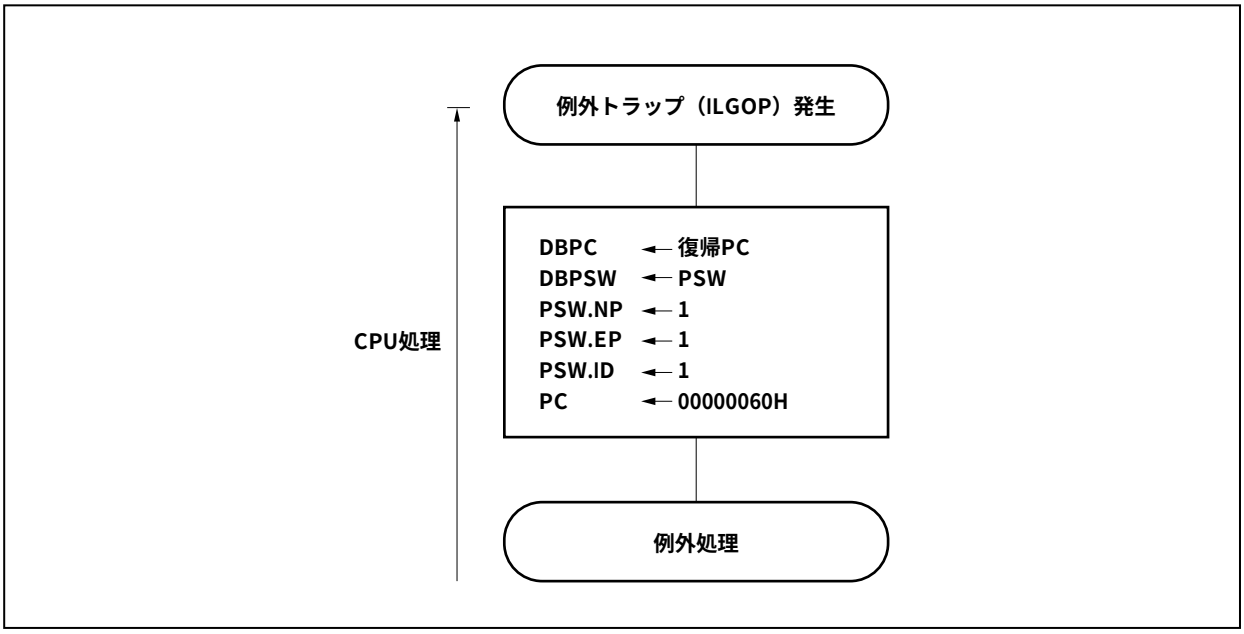
（1）動　　作

例外トラップが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

① 復帰PCをDBPCに退避します。
② 現在のPSWをDBPSWに退避します。
③ PSWのNP, EP, IDビットをセット（1）します。
④ PCに例外トラップに対するハンドラ・アドレス（00000060H）をセットし，制御を移します。

例外トラップの処理形態を図7－10に示します。

図7－10　例外トラップの処理形態



(2) 復　　帰

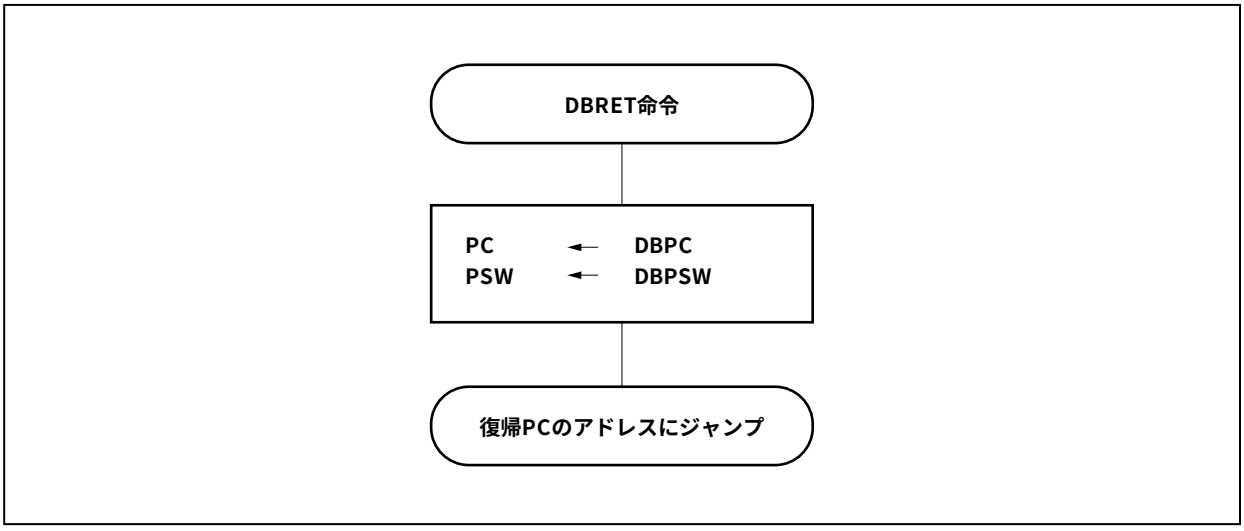
例外トラップからの復帰は，DBRET命令により行われます。DBRET命令の実行により，CPUは次の処理を行い復帰PCのアドレスを制御します。

① DBPC, DBPSWから復帰PC, PSWを取り出します。
② 取り出した復帰PC, PSWのアドレスに制御を移します。

注意　DBPCとDBPSWには，不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

例外トラップからの復帰の処理形態を図7－11に示します。

図7－11　例外トラップからの復帰の処理形態



7. 5. 2　デバッグ・トラップ

デバッグ・トラップは，DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

デバッグ・トラップが発生した場合，CPUは次の処理を行います。

(1) 動　　作

① 復帰PCをDBPCに退避します。

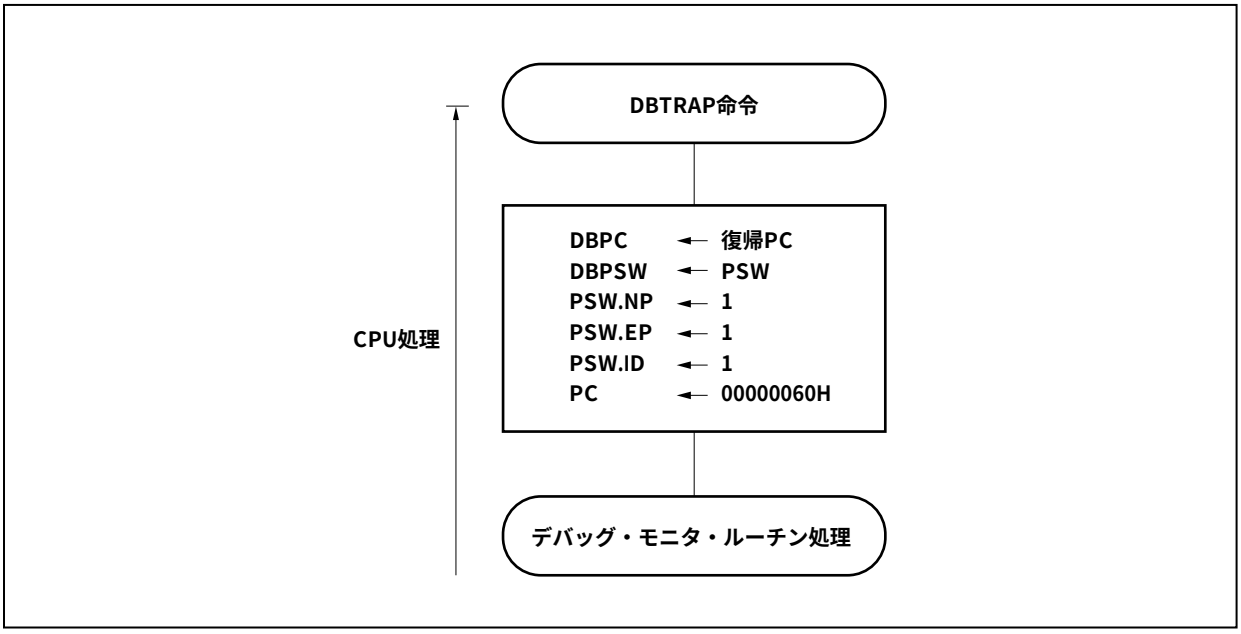
② 現在のPSWをDBPSWに退避します。

③ PSWのNP, EP, IDビットをセット（1）します。

④ PCにデバッグ・トラップに対するハンドラ・アドレス（00000060H）をセットし，制御を移します。

デバッグ・トラップの処理形態を図7－12に示します。

図7－12　デバッグ・トラップの処理形態



(2) 復　　帰

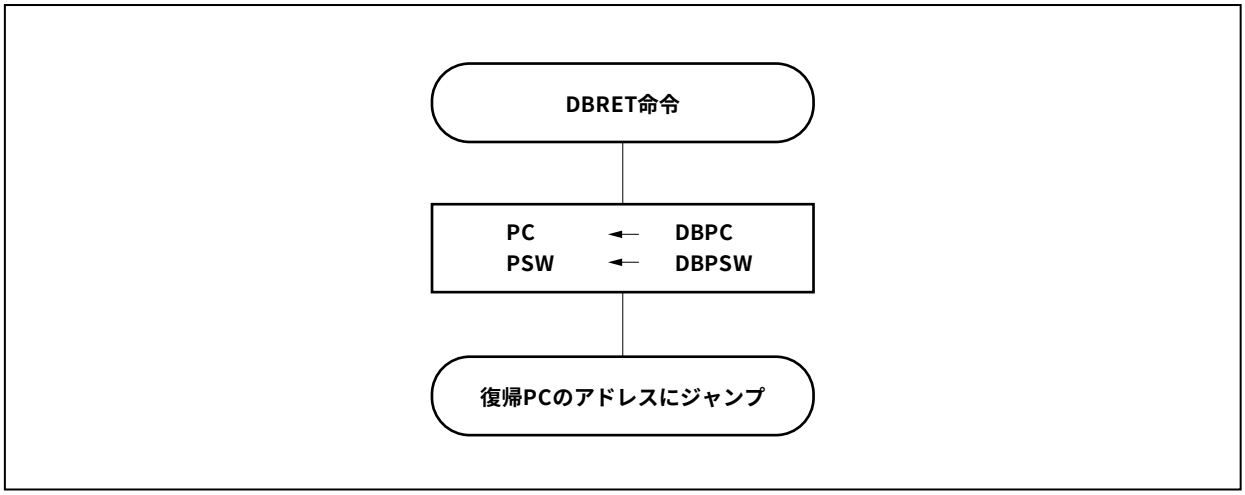
デバッグ・トラップからの復帰は，DBRET命令により行われます。DBRET命令の実行により，CPUは次の処理を行い復帰PCのアドレスを制御します。

① DBPC, DBPSWから復帰PC, PSWを取り出します。
② 取り出した復帰PC, PSWのアドレスに制御を移します。

注意　DBPCとDBPSWには，DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

デバッグ・トラップからの復帰の処理形態を図7－13に示します。

図7－13　デバッグ・トラップからの復帰の処理形態



7. 6　多重割り込み処理制御

多重割り込み処理制御は，現在処理中の割り込みより優先順位レベルの高い割り込み要求信号があった場合，現在処理中の割り込みを中断して，優先順位の高い割り込み要求信号の受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求信号だった場合は，その割り込み要求信号は保留されます。

マスカブル割り込みの多重処理制御は，割り込み許可状態（PSWのIDビット = 0）のときに行われます。したがって，多重割り込みを行う場合は割り込み処理ルーチンでも割り込み許可状態（IDビット = 0）にする必要があります。

マスカブル割り込みまたはソフトウエア例外のサービス・プログラム中に，マスカブル割り込みの許可またはソフトウエア例外を発生させる場合は，EIPC, EIPSWを退避する必要があります。

次のような手順で行います。

（1）サービス・プログラム中にマスカブル割り込み要求信号を受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

```
  …
  …
• EIPCをメモリまたはレジスタへ退避
• EIPSWをメモリまたはレジスタへ退避
• EI命令（割り込み受け付け許可）
  …
  …                          ←マスカブル割り込み受け付け
  …
  …
• DI命令（割り込み受け付け禁止）
• 退避していた値をEIPSWに復帰
• 退避していた値をEIPCに復帰
• RETI命令
```

(2) サービス・プログラム中に例外を発生させる場合

マスカブル割り込みまたは例外のサービス・プログラム

…
…
・EIPCをメモリまたはレジスタへ退避
・EIPSWをメモリまたはレジスタへ退避
…
・TRAP命令　←TRAP命令などの例外受け付け
…
・退避していた値をEIPSWに復帰
・退避していた値をEIPCに復帰
・RETI命令

多重割り込み処理制御のための優先順位は，各マスカブル割り込み要求信号ごとに0-7までの8レベル（0が最優先）が，ソフトウエアにより任意に設定可能です。優先順位レベルの設定は，マスカブル割り込み要求信号ごとに用意されている割り込み要求制御レジスタ（xxICn）のxxPRn0-xxPRn2ビットで行います。システム・リセット時には，xxMKnビットにより割り込み要求信号はマスクされ，xxPRn0-xxPRn2ビットにより優先順位はレベル7に設定されます。

マスカブル割り込みの優先順位は次のようになります。

（高）　レベル0＞レベル1＞レベル2＞レベル3＞レベル4＞レベル5＞レベル6＞レベル7　（低）

多重処理制御により中断された割り込み処理は，優先順位レベルの高い割り込み処理が終了し，RETI命令が実行されたあと，再開します。

保留された割り込み要求信号は，実行中の割り込み処理が終了したあと，RETI命令の実行後に受け付けられます。

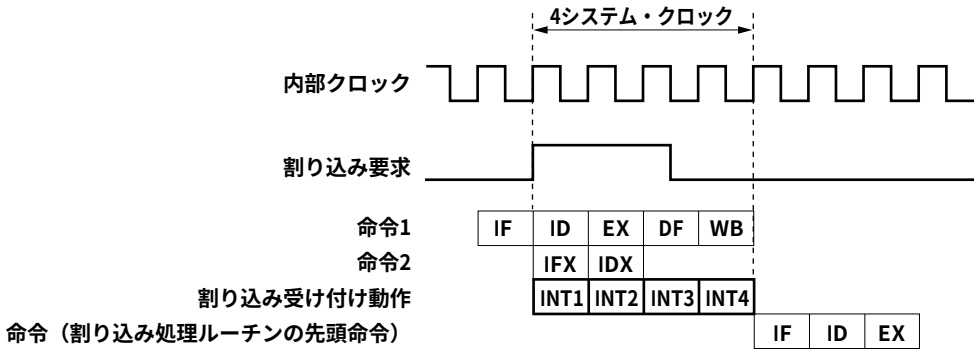
注意　ノンマスカブル割り込み処理ルーチン内（RETI命令を実行するまでの期間）では，マスカブル割り込みを受け付けず，保留します。

備考　xx：各周辺ユニット識別名称（表7－2参照）
n：周辺ユニット番号（表7－2参照）

7. 7　割り込み応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間を次に示します。

図7－14　割り込み要求受け付け時のパイプライン動作（概略）



備考　INT1-INT4：割り込み受け付け処理

IFX：無効となる命令フェッチ

IDX：無効となる命令デコード

割り込み応答時間（内部システム・クロック（f_{CLK}）） 内部割り込み	外部割り込み INTPm	外部割り込み INTPn	条　件
最小　4	7＋ディジタル・ディレイ時間	4＋アナログ・ディレイ時間	次の場合は除きます。 ・IDLE／ソフトウエアSTOPモード時 ・外部バス・アクセス時 ・割り込み要求非サンプル命令が連続しているとき ・内蔵周辺I/Oレジスタへのアクセス時
最大　6[注]	9＋ディジタル・ディレイ時間	6＋アナログ・ディレイ時間	

注　割り込み応答時間が最大となる場合は，次の命令実行時となります。

DIV命令，PREPARE命令，DISPOSE命令，SWITCH命令，SET1命令，CLR1命令，NOT1命令，内蔵命令RAMに対するLD命令，ミス・アライン・アクセス

備考　m = C00, C01, C10, C11, C20, C21, C30, C31

n = 10, 11, 21-25, 50-52, 65-67, L0, L1, D0-D15

7. 8　CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは，命令の実行中に行います。ただし，割り込み要求非サンプル命令とその次の命令の間では，割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- EI命令
- DI命令
- LDSR　reg2, 0x5命令（対PSW）
- コマンド・レジスタ（PRCMD）に対するストア命令
- 次のレジスタに対するストア命令およびSET1, NOT1, CLR1のビット操作命令
  - 割り込み関連のレジスタ：
    割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ0-5（IMR0-IMR5）
  - パワー・セーブ・コントロール・レジスタ（PSC）

備考　xx　：各周辺ユニット識別名称（表7ー2参照）
　　n　：周辺ユニット番号（表7ー2参照）

7. 9　注意事項

割り込み／例外処理機能についての注意事項を次に示します。

(1) $\overline{\text{INTP}}$n端子のトリガ・モードの設定

$\overline{\text{INTP}}$n端子のトリガ・モードを設定する場合は，PMCmレジスタを設定したあとで行ってください。

INTRm, INTFmレジスタを設定したあとでPMCmレジスタの設定を行うと，PMCmレジスタの設定タイミングで不正な割り込みが発生することがあります（n = 10, 11, 21-25, 50-52, 65-67, L0, L1, D0-D15, m = 1, 2, 5, 6, AL, DH）。

(2) 多重割り込み処理制御

ノンマスカブル割り込み処理ルーチン内（RETI命令を実行するまでの期間）では，マスカブル割り込みを受け付けず，保留します。

第8章　クロック発生機能

クロック・ジェネレータ（CG）は，SSCG（Spread Spectrum Frequency Synthesizer Phase Locked Loop）および分周回路で構成され，CPUをはじめとする内蔵の各ユニットに供給されるクロックを発生，制御します。

SSCGは，ノイズ対策用スペクトラム拡散クロック・ジェネレータで，EMI（Electromagnetic Interference）ノイズのピーク値を低減する効果があります。

8.1 特　　徴

○SSCG出力を8逓倍固定で使用します。

○PLLSEL端子によるSSCG出力の切り替え

X1, X2端子への入力周波数（Fx）×8 = fxの値に応じて，PLLSEL端子を次のように設定してください。

★

PLLSEL端子	入力周波数（MHz）
0	12.00 MHz ～ 18.75 MHz
1	10.00 MHz ～ 11.99 MHz

○SSCG出力の周波数変調率（f_{DIT}）切り替え

設定方法は次に示す2通り

・JIT0, JIT1端子により選択（変調なし（周波数固定），－1%，－3%，－5%）

・SSCGCレジスタにより選択（変調なし（周波数固定），－0.5%，－1%，－2%，－3%,－4%，－5%）

○MDL-Selector Table（変調周期）

SSCGCレジスタにより選択（13～27 kHz, 23～37 kHz, 32～48 kHz）

○レジスタ設定による分周機能（1/1, 1/2, 1/4, 1/8）

○クロック・ソース

発振子接続による発振

○レジスタ設定による動作モードの切り替え

レジスタの設定により，各ユニットに供給するクロックを次に示すものから選択

・SSCG出力のクロック

・SSCGを介さず，OSCからのクロック

○USB専用クロック入力

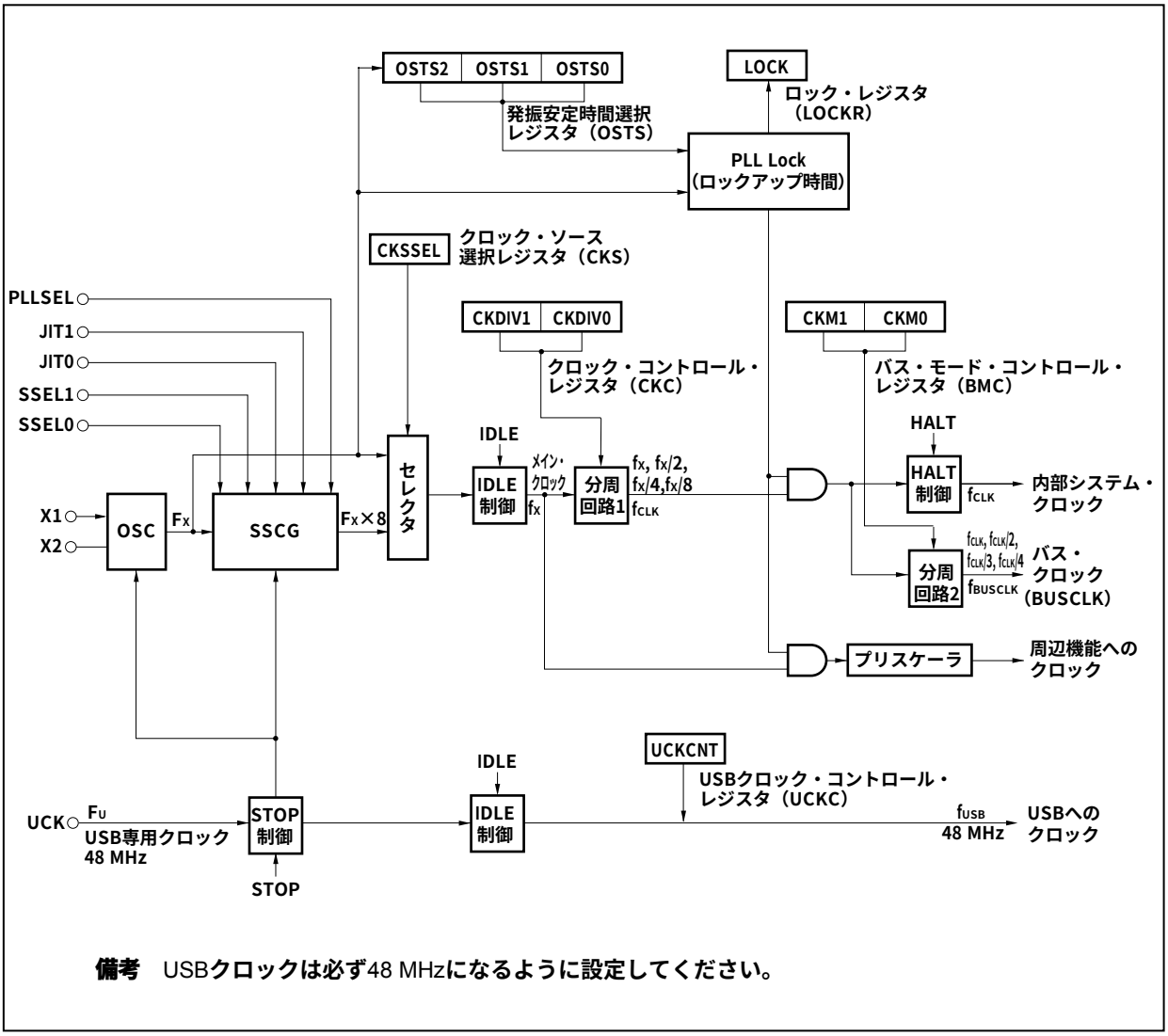
○パワー・セーブ制御

・HALTモード

・IDLEモード

・ソフトウエアSTOPモード

8. 2　構　　成



備考　USBクロックは必ず48 MHzになるように設定してください。

8. 3　制御レジスタ

8. 3. 1　クロック・コントロール・レジスタ（CKC）

PLLモード時に，内部システム・クロック（f_{CLK}）を制御する8ビットのレジスタです。プログラムの暴走などによって誤って容易に書き換えられないように，特定のシーケンスによってのみ書き込みができます。

8ビット単位でリード／ライト可能です。

ビット7-2には必ず0を設定してください。1を設定した場合の動作は保証できません。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
CKC	0	0	0	0	0	0	CKDIV1	CKDIV0	FFFFF822H	03H

ビット位置	ビット名	意　味
1, 0	CKDIV1, CKDIV0	PLLモード時の内部システム・クロック（f_{CLK}）を設定します。 CKDIV1 / CKDIV0 / 内部システム・クロック（f_{CLK}） 0 / 0 / $f_X/8$ 0 / 1 / $f_X/4$ 1 / 0 / $f_X/2$ 1 / 1 / f_X 動作途中で内部システム・クロックを変更する場合は，必ずf_Xの設定にしたあと変更する内部システム・クロックに設定してください。

備考　f_X：メイン・クロック

注意1.　内部システム・クロック（f_{CLK}）を変更した場合，バス・クロック（BUSCLK）の周波数も変更されますので注意してください。

2.　内部システム・クロック（f_{CLK}）の変更により，SDRAMのリフレッシュ間隔を変更する必要がある場合は，次の手順で行ってください。

①すべての割り込みをマスクする。DMA動作を禁止する。
マスカブル割り込みに対する割り込み禁止については，割り込みマスク・レジスタ0-5（IMR0-IMR5）（7. 3. 5 割り込みマスク・レジスタ0-5（IMR0-IMR5））を参照してください。ノンマスカブル割り込みに対する割り込み禁止については，PSWのNPビットをセット（1）して，多重割り込み禁止の状態にしてください（3. 2. 2（4）プログラム・ステータス・ワード（PSW）参照）。

②BCTmレジスタのMEaビットをクリア（0）する。

③RFSnレジスタのRENnビットをクリア（0）する（n = 1, 3, 4, 6）。

④CKCレジスタのCKDIV1, CKDIV0ビットを変更する。CKCレジスタの変更手順は8. 3. 1（2）クロック・コントロール・レジスタ（CKC）へのデータ設定を参照してください。

⑤BCTmレジスタのMEaビットをセット（1）する。

⑥RFSnレジスタに新たなリフレッシュ間隔を設定するとともに，RENnビットには“0”を設定する（n = 1, 3, 4, 6）。

⑦SCRnレジスタに，現在SCRnレジスタに設定されている値と同じ値を書き込む（n = 1, 3, 4, 6）。

⑧SCRnレジスタのWCFnビットがセット（1）状態であることを確認後にRFSnレジスタのRENnビットに“1”を設定する。RENnビット以外は変更しない（n = 1, 3, 4, 6）。

⑨DMA動作を行う必要がある場合は，DMA動作を許可する。

⑩SDRAMアクセスを行う。

備考1.　f_X：メイン・クロック

2.　m = 0のとき，a = 0-3

m = 1のとき，a = 4-7

(2/2)

なお，リフレッシュ間隔を切り替える場合，切り替えの間でもリフレッシュが十分間に合うような値を考慮して設定してください（8. 3. 1（1）**リフレッシュ間隔変更時の注意点**参照）。割り込み処理時間を考慮しても，リフレッシュ間隔が確実に確保される場合には，上記①の処理を削除できます。また，RFSn, BCTmレジスタは，再書き込み禁止ですが，CKCレジスタの変更によるリフレッシュ間隔の再設定の場合だけ再書き込み可能です。

また，SCRnレジスタの再書き込みにより（上記⑥の処理），SDRAMのレジスタ・ライト・サイクルが発生しますが，SDRAM上のデータは，RFSn, SCRnレジスタの再設定を行う前の値が保持されます。

(1) リフレッシュ間隔変更時の注意点

図8－1はCS1領域とCS3領域にSDRAMが接続されている場合の，リフレッシュ間隔変更時の内部状態と外部バス状態を示します。この場合，CS1のSDRAMは①および③の期間，CS3のSDRAMは②の期間リフレッシュが行われません。

①の時間は，内部システム・バスの使用状況や外部からのバス・ホールド要求などの要因により，増減することがあります。また，②，③の時間は，RFSnレジスタの設定値により増減します。

したがって，リフレッシュ間隔を変更する際は，①から③のリフレッシュが実行されない時間を考慮した値を設定する必要があります。

1つのCS領域にだけSDRAMを接続する場合においても，①の期間を考慮して，リフレッシュ間隔値を変更する必要があります。

注意1. **レジスタ・ライト・サイクルでは，**RFSn**レジスタの**RENn**ビットの設定にかかわらず，リフレッシュ・コマンドが**8**回発行されます。**

2. RENn**ビットに“**0**”が設定されている期間は，**$\overline{\text{REFRQ}}$**信号は動作しないため，外部バス・マスタが**$\overline{\text{REFRQ}}$**信号を参照している場合は注意が必要です。**

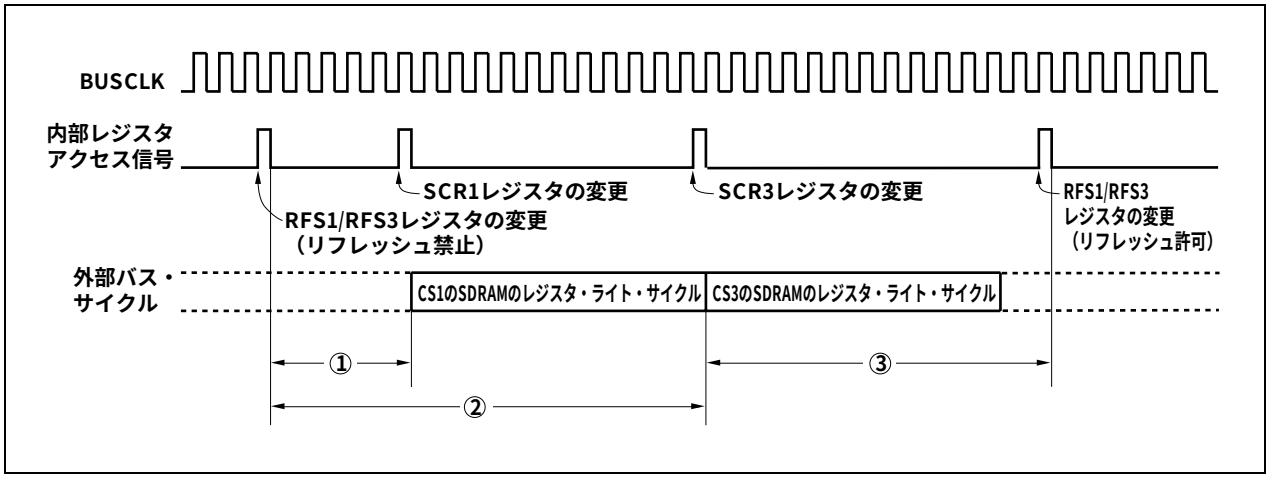
3. BCTm**レジスタの**MEa**ビットに“**0**”が設定されている期間は，**$\overline{\text{SELFREF}}$**信号への入力は無視され，セルフ・リフレッシュ状態へは移行しません。**

備考1. n = 1, 3, 4, 6

2. m = 0**のとき，**a = 0-3

m = 1**のとき，**a = 4-7

図8－1　**リフレッシュ間隔変更時の内部状態と外部バス状態**



(2) クロック・コントロール・レジスタ（CKC）へのデータ設定

CKCレジスタへのデータ設定は，次のシーケンスで行います。

① 任意の汎用レジスタに特定レジスタへ設定するためのデータを用意します。
② コマンド・レジスタ（PRCMD）にデータを書き込みます。
③ クロック・コントロール・レジスタ（CKC）を設定します（次の命令で行います）。
・ストア命令（ST/SST命令）
④ NOP命令を挿入する（5命令（④-⑧））

[記述例]

```
① MOV0x02, r10
② ST.B     r10, PRCMD[r0]
③ ST.B     r10, CKC[r0]
④ NOP
⑤ NOP
⑥ NOP
⑦ NOP
⑧ NOP
```

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

注意1. PRCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定（上記例③）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（上記例②）でも使用してください。アドレシングに汎用レジスタを使用する場合も同様です。

2. この処理を行う前にすべてのDMA転送を終了させてください。

8. 3. 2　クロック・ソース選択レジスタ（CKS）

メイン・クロック（fx）供給を制御する8ビットのレジスタです。プログラムの暴走などによって誤って容易に書き換えられないように，特定のシーケンスによってのみ書き込みができます。

8/1ビット単位でリード／ライト可能です。

ビット7-1には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. V850E/ME2では，メイン・クロック供給を常時OSC出力（CKSSELビット = 0）の状態でCPUを動作させることは想定していません。このため，必ず初期化シーケンスにおいて，LOCKRレジスタのLOCKビット = 0であることを確認してからメイン・クロック供給をSSCG出力（CKSSELビット = 1）に切り替えてください。この制御以外で設定した場合の動作は保証しません。

2. ソフトウエアSTOPモードをノンマスカブル割り込み要求（NMI）またはマスクされていないマスカブル割り込み要求で解除した場合，タイム・ベース・カウンタ（TBC）のカウント時間（OSTSレジスタで設定した発振安定時間）後，PLL周波数の安定時間（約2 ms）を経過したあとに，SSCG出力クロックで動作するため，CKSレジスタを再設定する必要はありません。$\overline{\text{RESET}}$端子入力で解除した場合は，初期化シーケンス（3. 4. 10　初期化シーケンス参照）に従って，設定してください。

	7	6	5	4	3	2	1	⓪	アドレス	初期値
CKS	0	0	0	0	0	0	0	CKSSEL	FFFFF82CH	00H

ビット位置	ビット名	意　味
0	CKSSEL	メイン・クロック（fx）供給を制御します。 0：OSC出力クロック（Fx） 1：SSCG出力クロック（Fx×8）

クロック・ソース選択レジスタ（CKS）へのデータ設定は，次のシーケンスで行います。

① 任意の汎用レジスタに特定レジスタへ設定するためのデータを用意します。
② コマンド・レジスタ（PRCMD）にデータを書き込みます。
③ クロック・ソース選択レジスタ（CKS）を設定します（次の命令で行います）。
　・ストア命令（ST/SST命令）
④ NOP命令を挿入する（5命令（④-⑧））

［記述例］

```
① MOV   0x01, r10
② ST.B  r10, PRCMD[r0]
③ ST.B  r10, CKS[r0]
④ NOP
⑤ NOP
⑥ NOP
⑦ NOP
⑧ NOP
```

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

注意1. PRCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定（上記例③）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（上記例②）でも使用してください。アドレシングに汎用レジスタを使用する場合も同様です。
2. この処理を行う前にすべてのDMA転送を終了させてください。

8. 3. 3　SSCGコントロール・レジスタ（SSCGC）

SSCG出力の周波数変調率，変調周期を制御する8ビットのレジスタです。SMDLnビットで設定した変調周期内に，ADJ2-ADJ0ビットで設定した周波数変調率分（Down Spread）で周波数を変調します。EMIノイズのピーク値を低減する効果があります。プログラムの暴走などによって誤って容易に書き換えられないように，特定のシーケンスによってのみ書き込みができます。

8ビット単位でリード／ライト可能です。

注意　SSCGCレジスタは，メイン・クロック供給がOSC出力（CKSレジスタのCKSSELビット = 0）のときのみ設定できます。また，SSCGCレジスタを変更した場合，SSCGはアンロック状態（LOCKRレジスタのLOCKビット = 1）になりますので，必ずLOCKビット = 0であることを確認してからメイン・クロック供給をSSCG出力（CKSSELビット = 1）に切り替えてください。この制御以外で設定した場合の動作は保証しません。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
SSCGC	0	0	SMDL1	SMDL0	ADJON	ADJ2	ADJ1	ADJ0	FFFFF836H	注

注　初期値は次のようになります

SMDL1ビット = 0，SMDL0ビット = 1となります。

ADJON, ADJ2-ADJ0ビットはJIT1端子，JIT0端子の設定で以下のようになります。

JIT1端子	JIT0端子	リセット値			
		ADJONビット	ADJ2ビット	ADJ1ビット	ADJ0ビット
0	0	0	0	0	0
0	1	1	0	0	1
1	0	1	0	1	1
1	1	1	1	0	1

ビット位置	ビット名	意　味
5, 4	SMDL1, SMDL0	SSCG出力の変調周期を設定します。 SMDL1 / SMDL0 / SSCG出力の変調周期 0 / 0 / 13～27 kHz 0 / 1 / 23～37 kHz 1 / 0 / 32～48 kHz 1 / 1 / 設定禁止

(2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>3-0</td><td>ADJON,
ADJ2-ADJ0</td><td>SSCG出力の周波数変調率を設定します。
<table>
<tr><th rowspan="2">ADJON</th><th rowspan="2">ADJ2</th><th rowspan="2">ADJ1</th><th rowspan="2">ADJ0</th><th colspan="3">SSCG出力の周波数変調率</th></tr>
<tr><th>Min.</th><th>Typ.</th><th>Max.</th></tr>
<tr><td>0</td><td>×</td><td>×</td><td>×</td><td colspan="3">変調なし（周波数固定）</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>−0.31 %</td><td>−0.50 %</td><td>−1.28 %</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td>−0.67 %</td><td>−1.00 %</td><td>−1.75 %</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>0</td><td>−1.23 %</td><td>−2.00 %</td><td>−3.10 %</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>1</td><td>−1.74 %</td><td>−3.00 %</td><td>−4.33 %</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>0</td><td>−2.48 %</td><td>−4.00 %</td><td>−5.83 %</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>−3.27 %</td><td>−5.00 %</td><td>−7.28 %</td></tr>
<tr><td colspan="4">その他</td><td colspan="3">設定禁止</td></tr>
</table>
注意1. SSCG出力の周波数変調率を変調なし（周波数固定）（ADJONビット = 0）以外に設定した場合，内部システム・クロック（f_{CLK}），バス・クロック（BUSCLK），内蔵周辺機能への供給クロックは，いずれもADJ2-ADJ0ビットで設定された周波数変調率に応じた周波数で動作します（8. 5　動作クロックの規定参照）。このため，十分なシステム評価や確認を行ってください。
2. 周波数変調率に対して，オーバシュート／アンダシュートが発生します。</td></tr>
</table>

SSCGコントロール・レジスタ（SSCGC）へのデータ設定は，次のシーケンスで行います。

① 任意の汎用レジスタに特定レジスタへ設定するためのデータを用意します。
② コマンド・レジスタ（PRCMD）にデータを書き込みます。
③ SSCGコントロール・レジスタ（SSCGC）を設定します（次の命令で行います）。
　・ストア命令（ST/SST命令）
④ NOP命令を挿入する（5命令（④-⑧））

[記述例]

```
① MOV   0x08, r10
② ST.B  r10, PRCMD[r0]
③ ST.B  r10, SSCGC[r0]
④ NOP
⑤ NOP
⑥ NOP
⑦ NOP
⑧ NOP
```

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

注意1. PRCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定（上記例③）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（上記例②）でも使用してください。アドレシングに汎用レジスタを使用する場合も同様です。

2. この処理を行う前にすべてのDMA転送を終了させてください。

8. 3. 4　USBクロック・コントロール・レジスタ（UCKC）

USBクロックのクロック・ソースを選択します。f_{USB}は必ず48 MHzになるように入力してください。

8/1ビット単位でリード／ライト可能です。

ビット7以外には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意　USB機能を使用する場合には，必ずUCKCNTビットをセット（1）してください。

UCKCNTビットが0の状態でUSB機能関連のレジスタを読み出した場合には，0が読み出されます。

	⑦	6	5	4	3	2	1	0	アドレス	初期値
UCKC	UCKCNT	0	0	0	0	0	0	0	FFFFF82EH	00H

ビット位置	ビット名	意　味
7	UCKCNT	USBへのクロック供給を制御します。 0：USBへのクロック供給停止 1：USBへのクロック供給

8. 3. 5　ロック・レジスタ（LOCKR）

電源投入後，またはソフトウエアSTOPモード解除直後から所定の周波数でフェーズ・ロックし，安定するまでの時間がロックアップ時間（周波数安定時間：約2 ms）です。この安定するまでの時間をロックアップ状態と呼び，安定した状態をロック状態と呼びます。

ロック・レジスタ（LOCKR）には，PLLがロック待ち状態であることを示すLOCKフラグがあります。

8/1ビット単位でリードのみ可能です。

注意　ロックするとLOCKフラグは0になります。そのあとにスタンバイ状態，SSCGCレジスタへの書き込み，$\overline{\text{RESET}}$端子入力によりアンロック状態になった場合，LOCKフラグは1になります。しかし，それ以外の原因でアンロック状態になった場合は，LOCKフラグは変化しません（LOCK = 0の状態）。

	7	6	5	4	3	2	1	⓪	アドレス	初期値
LOCKR	0	0	0	0	0	0	0	LOCK	FFFFF824H	01H

ビット位置	ビット名	意　味
0	LOCK	読み出し専用フラグで，PLLのロック待ち状態であることを示します。 ロックアップ状態を維持しているかぎり0を保持します。 0：ロック状態であることを示します。 1：ロック待ち（アンロック）状態を示します。

いったんアンロック状態を発生させる要因が働いた場合に，リアルタイム処理などのソフトウエアの実行速度に依存する制御の処理においては，動作開始直後にソフトウエアで必ずLOCKフラグを判定し，ロック状態になってから処理を開始してください。

一方，内蔵の各ハードウエアの設定やレジスタ・データ，メモリ・データの初期化等の静的処理はLOCKフラグが0になるのを待たずに実行可能です。

8. 3. 6　発振安定時間選択レジスタ（OSTS）

発振安定時間を指定する8ビットのレジスタです。

OSTSレジスタは，ソフトウエアSTOPモード解除時に，発振回路の発振安定時間の確保に使用します。ソフトウエアSTOPモード解除後，タイム・ベース・カウンタ（TBC）で発振安定時間をカウントし，約2 ms経過後にプログラム実行を開始します。

8ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFFF6C0H	04H

ビット位置	ビット名	意　味
2-0	OSTS2- OSTS0	発振安定時間を指定します。

OSTS2	OSTS1	OSTS0	発振安定時間
0	0	0	$F_X/2^{13}$
0	0	1	$F_X/2^{15}$
0	1	0	$F_X/2^{16}$
0	1	1	$F_X/2^{17}$
1	0	0	$F_X/2^{18}$
1	0	1	$F_X/2^{19}$
1	1	0	$F_X/2^{20}$
1	1	1	$F_X/2^{21}$

注意　$\overline{\text{RESET}}$端子入力によりソフトウエアSTOPモードを解除する場合は，発振安定時間は確保されないため，発振安定時間を$\overline{\text{RESET}}$端子入力のロウ・レベル幅で確保してください。

備考　F_X：OSC出力クロック

8.4 動　　作

8.4.1 各クロックの動作状態

各クロックの動作状態を次に示します。

表8－1　各クロックの動作状態

クロック・ソース		OSC	PLL	メイン・クロック（fx）		USBクロック（fUSB）	BUSCLK（fBUSCLK）
				内蔵周辺機能へのクロック供給	内部システム・クロック（fCLK）		
PLLモード	通常動作時	○	○	○	○	○	○
	HALTモード	○	○	○	×	○	○
	IDLEモード	○	○	×	×	×	×
	ソフトウエアSTOPモード	×	×	×	×	×	×
	発振安定期間	○	○	×	○注1	×	○注1
	リセット期間	○	×	×	○注2	×	○注2

備考　○：動作
　　×：停止

注1.　パワーオン時はOSC出力クロックで動作します。ソフトウエアSTOPモード時から割り込みによる動作復帰の場合は，停止します。
2.　OSC出力クロックで動作します。

8.4.2 入力クロック（FX）の設定一覧

V850E/ME2へ供給する周波数構成一覧を次に示します。

表8－2　周波数一覧

逓倍数	PLLSEL端子	SSEL1端子	SSEL0端子	入力周波数（MHz）（目標値）	メイン・クロック（fx）周波数（MHz）
8	1	0	1	設定禁止	設定禁止
		1	0	10.00～10.19	80.00～81.59
		1	1	10.20～11.99	81.60～95.99
	0	0	0	12.00～14.39	96.00～115.19
		0	1	14.40～17.39	115.20～139.19
		1	0	17.40～18.75	139.20～150.00
		1	1	設定禁止	設定禁止

★　注意　fCLKのMAX.値は、100 MHz品の場合は100 MHz，133 MHz品の場合は133 MHz，150 MHz品の場合は150 MHzです。66 MHz品の場合は，fCLK = 66 MHz，fx = fCLK（MAX.）　= 133 MHzで使用してください。
100/133/150 MHz品の場合，fCLK（MAX.）＜fxとなる構成で使用した場合の動作は保証しません。fCLK（MAX.）は，fxを分周する前の周波数です。
ただし，66MHz品で，12.00～18.75 MHzを入力する場合，PLLSEL端子は必ず0に設定してください。また，fxについては，3. 5（6）66 MHz品のレジスタ設定を参照のうえ，設定してください。

8. 5　動作クロックの規定

SSCGは，OSCクロックを8逓倍する逓倍回路と周波数拡散のための変調回路から構成されています。8逓倍する逓倍回路は，回路特性により出力周期に最大で±150 psの出力誤差を発生します。

また，変調回路は，設定した変調率に対し，変調率に依存して値が変化する変調誤差が加算されます。

したがって，SSCGを介してクロックを出力するBUSCLKの出力周波数（f_{CLK}）や内部周辺I/Oの動作周波数（タイマC，タイマD，タイマENC1，PWMユニット，CSI3, UARTB, A/Dコンバータなどのメイン・クロック（f_X））はこれらの誤差の影響を受けます。そのため，各信号の周波数の算出については，必ず，これらの誤差を考慮して使用してください。

各変調率に対する出力周期および出力周波数の算出方法を次に示します。

(1) 動作周波数の最小値（f_{MIN}）

SSCG出力の変調率（%）	パラメータ	出力周期：T_{MAX}（ns）	出力周波数（MHz）
変調なし	1.00000	$(1/f_X)\times10^3+0.15$	$(1/T_{MAX})\times10^3$
−0.50	0.99110	$\{1/(0.99110\times f_X)\}\times10^3+0.15$	$(1/T_{MAX})\times10^3$
−1.00	0.98625	$\{1/(0.98625\times f_X)\}\times10^3+0.15$	$(1/T_{MAX})\times10^3$
−2.00	0.97450	$\{1/(0.97450\times f_X)\}\times10^3+0.15$	$(1/T_{MAX})\times10^3$
−3.00	0.96335	$\{1/(0.96335\times f_X)\}\times10^3+0.15$	$(1/T_{MAX})\times10^3$
−4.00	0.95085	$\{1/(0.95085\times f_X)\}\times10^3+0.15$	$(1/T_{MAX})\times10^3$
−5.00	0.93860	$\{1/(0.93860\times f_X)\}\times10^3+0.15$	$(1/T_{MAX})\times10^3$

(2) 動作周波数の最大値（f_{MAX}）

SSCG出力の変調率（%）	パラメータ	出力周期：T_{MIN}（ns）	出力周波数（MHz）
変調なし	1.00000	$(1/f_X)\times10^3-0.15$	$(1/T_{MIN})\times10^3$
−0.50	1.00390	$\{1/(1.00390\times f_X)\}\times10^3-0.15$	$(1/T_{MIN})\times10^3$
−1.00	1.00375	$\{1/(1.00375\times f_X)\}\times10^3-0.15$	$(1/T_{MIN})\times10^3$
−2.00	1.00550	$\{1/(1.00550\times f_X)\}\times10^3-0.15$	$(1/T_{MIN})\times10^3$
−3.00	1.00665	$\{1/(1.00665\times f_X)\}\times10^3-0.15$	$(1/T_{MIN})\times10^3$
−4.00	1.00915	$\{1/(1.00915\times f_X)\}\times10^3-0.15$	$(1/T_{MIN})\times10^3$
−5.00	1.01140	$\{1/(1.01140\times f_X)\}\times10^3-0.15$	$(1/T_{MIN})\times10^3$

(3) 平均動作周波数（f_{AVE}）

平均動作周波数は，次の計算式により算出できます。

$$\text{平均動作周波数}(f_{AVE}) = (f_{MIN}+f_{MAX})/2$$

なお，平均動作周波数は，SSCGCレジスタのSMDL1, SMDL0ビットで設定した変調周期の1周期に対する平均値です。変調周期に対して短い期間での動作周波数は，上記計算式の算出結果に対して誤差が大きくなる可能性が高いので注意してください。

8. 5. 1　BUSCLK周波数の算出

SSCGによる変調機能を使用した場合，BUSCLKを生成する内部システム・クロック周波数（f_{CLK}）は変動します。BUSCLKの周波数（f_{BUSCLK}）を算出する場合には注意してください。

BUSCLKの周波数変動を次に示します。

表8－3　BUSCLKの周波数変動

BMCレジスタ		BUSCLK周波数（f_{BUSCLK}）（MHz）		
CKM1	CKM1	Min.	Typ.	Max.
0	0	f_{MIN}	f_{AVE}	f_{MAX}
0	1	$f_{MIN}/2$	$f_{AVE}/2$	$f_{MAX}/2$
1	0	$f_{MIN}/3$	$f_{AVE}/3$	$f_{MAX}/3$
1	1	$f_{MIN}/4$	$f_{AVE}/4$	$f_{MAX}/4$

8. 5. 2　各内蔵周辺機能の動作クロック周波数の算出

SSCGによる変調機能を使用した場合，各内蔵周辺機能の動作クロックを生成するメイン・クロック（f_X）は変動します。（1）-（8）の内容について注意してください。

（1）タイマCのカウント周期

：入力クロック指定（TMCCn1レジスタのETICnビット = 0）時のカウント・クロック周波数（TMCCn0レジスタのCSCn2-CSCn0ビットで設定）の周期（n = 0-5）

カウント周期は，平均動作周波数から算出できます。

ただし，平均動作周波数は，SSCGCレジスタのSMDL1, SMDL0ビットで設定した変調周期の1周期に対する平均値となります。変調周期に対して短い期間のカウント動作時には，平均動作周波数は，算出結果に対して誤差が大きくなる可能性が高いので注意してください。

カウント動作として絶対値の保証が必要な場合には，一定時間以内のときはf_{MIN}動作時，一定時間以上のときはf_{MAX}動作時での最適なカウント数の設定を推奨します。なお，PWM出力時のデューティ設定についてはハイ・レベル出力，またはロウ・レベル出力のどちらか一方の保証しかできません。

また，精度の高いカウント動作が必要な場合には，SSCGによる変調機能を使用しないでください。

（2）タイマDのカウント周期

：カウント・クロック周波数（TMCDnレジスタのCSDn2-CSDn0ビットで設定）の周期（n = 0-3）

カウント周期は，平均動作周波数から算出できます。

ただし，平均動作周波数は，SSCGCレジスタのSMDL1, SMDL0ビットで設定した変調周期の1周期に対する平均値となります。変調周期に対して短い期間のカウント動作時には，平均動作周波数は，算出結果に対して誤差が大きくなる可能性が高いので注意してください。

カウント動作として絶対値の保証が必要な場合には，一定時間以内のときはf_{MIN}動作時，一定時間以上のときはf_{MAX}動作時での最適なカウント数の設定を推奨します。

また，精度の高いカウント動作が必要な場合には，SSCGによる変調機能を使用しないでください。

(3) タイマENC1のカウント周期

：汎用タイマ・モード指定（TUM1nレジスタのT1CMDnビット = 0）時のカウント・クロック周波数（PRM1nレジスタのPRM1n2-PRM1n0ビットで設定）の周期（n = 0, 1）

カウント周期は，平均動作周波数から算出できます。

ただし，平均動作周波数は，SSCGCレジスタのSMDL1, SMDL0ビットで設定した変調周期の1周期に対する平均値となります。変調周期に対して短い期間のカウント動作時には，平均動作周波数は，算出結果に対して誤差が大きくなる可能性が高いので注意してください。

カウント動作として絶対値の保証が必要な場合には，一定時間以内のときはf_{MIN}動作時，一定時間以上のときはf_{MAX}動作時での最適なカウント数の設定を推奨します。なお，タイマ出力時のデューティ設定についてはハイ・レベル出力，またはロウ・レベル出力のどちらか一方の保証しかできません。

また，精度の高いカウント動作が必要な場合には，SSCGによる変調機能を使用しないでください。

(4) PWMユニットのパルス出力周期

：動作クロック周波数（PWMCnレジスタのCKSPn1, CKSPn0ビットで設定）の周期（n = 0, 1）

パルス出力周期は，平均動作周波数から算出できます。

ただし，平均動作周波数は，SSCGCレジスタのSMDL1, SMDL0ビットで設定した変調周期の1周期に対する平均値となります。変調周期に対して短い期間のパルス出力時には，平均動作周波数は，算出結果に対して誤差が大きくなる可能性が高いので注意してください。

パルス出力として絶対値の保証が必要な場合には，一定時間以内のときはf_{MIN}動作時，一定時間以上のときはf_{MAX}動作時での最適なパルス出力の設定を推奨します。なお，PWM出力時のデューティ設定についてはハイ・レベル出力，またはロウ・レベル出力のどちらか一方の保証しかできません。

また，精度の高いパルス出力が必要な場合には，SSCGによる変調機能を使用しないでください。

(5) CSI3のシリアル通信（送信／受信／送受信）転送レート

：マスタ・モード指定時の基本クロック周波数（CSIC3nレジスタのCKS3n2-CKS3n0 = 111以外）の周期（n = 0, 1）

転送レートは，平均動作周波数から算出できます。

ただし，平均動作周波数は，SSCGCレジスタのSMDL1, SMDL0ビットで設定した変調周期の1周期に対する平均値となります。変調周期に対して短い期間の転送レート時には，平均動作周波数は，算出結果に対して誤差が大きくなる可能性が高いので注意してください。

転送レートとして絶対値の保証が必要な場合には，最小転送レートのときはf_{MIN}動作時，最大転送レートのときはf_{MAX}動作時での最適な転送レートの設定を推奨します。

(6) UARTBのシリアル通信（送信／受信）転送レート

：シリアル転送スピード（UBnCTL2レジスタのUBnBRS15-UBnBRS0ビットで設定）の周期（n = 0, 1）

転送レートの設定値（UBnCTL2レジスタの設定値（k））は，f_{MIN}およびf_{MAX}時とも許容最大／許容最小ボー・レート誤差を満たすように設定してください。

次に算出例を示します。

① f_{AVE}（Hz）/（8×目標ボー・レート）の計算式より算出した結果から，UBnCTL2レジスタの設定値（k）を決定します。

② ①で算出した設定値（k）に対し，f_{MAX}, f_{MIN}それぞれのケースでの実際のボー・レート値を算出します。

③ ②の各算出結果が許容最大／許容最小ボー・レート誤差を満たしていることを確認します。

④ ①-③より，転送レートの設定値（UBnCTL2レジスタの設定値（k））を算出してください。

注意　上記算出方法を満たす転送レートの設定値（UBnCTL2レジスタの設定値（k））を得られない場合には，SSCGの変調率を変更してください。転送レートを上げるほど，選択できる変調率は少なくなります。

（例）

fx = 150 MHz動作時：変調率4%, 5%は設定禁止

fx = 133 MHz動作時：変調率4%, 5%は設定禁止

fx = 100 MHz動作時：変調率5%は設定禁止

fx = 66 MHz動作時　：変調率5%は設定禁止（ただし，転送レートにより設定できる場合もあります）

(7) A/Dコンバータ

：変換時間

A/D変換動作時間（ADM1レジスタのFR3-FR0ビットで設定）の設定値（2～10 μs以内）は，f_{AVE}で算出してください（f_{MIN}およびf_{MAX}での算出は不要）。

(8) ディジタル・ノイズ除去時間

NCWCn, NCW1mレジスタによるディジタル・ノイズ除去時間は，最小ノイズ除去時間のときはf_{MAX}，最大ノイズ除去時間のときはf_{MIN}で算出してください（n = 0-3, m = 0, 1）。

8. 6　パワー・セーブ制御

8. 6. 1　概　　要

パワー・セーブ機能には，次のものがあります。

(1) HALTモード

クロック・ジェネレータ（発振回路（OSC, SSCG）およびPLLシンセサイザ）は動作を継続しますが，CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され，動作を継続します。通常動作モードとの組み合わせによる間欠動作により，システムのトータルの消費電力を低減させることができます。

専用命令（HALT命令）によりHALTモードに移行します。

(2) IDLEモード

クロック・ジェネレータ（発振回路（OSC, SSCG）およびPLLシンセサイザ）は動作を継続したままで，内部システム・クロック（f_{CLK}）の供給を停止させることにより，システム全体を停止させるモードです。

IDLEモードからの解除時に，発振回路の発振安定時間などを確保する必要がないため，高速に通常動作に移行することができます。

PSMRレジスタの設定によりIDLEモードに移行します。

IDLEモードは，クロックの安定時間と消費電力に関して，ソフトウエアSTOPとHALTモードの中間に位置するモードで，低消費電力モードを利用し，かつ解除時のクロックの安定時間を削除したい用途に利用します。

(3) ソフトウエアSTOPモード

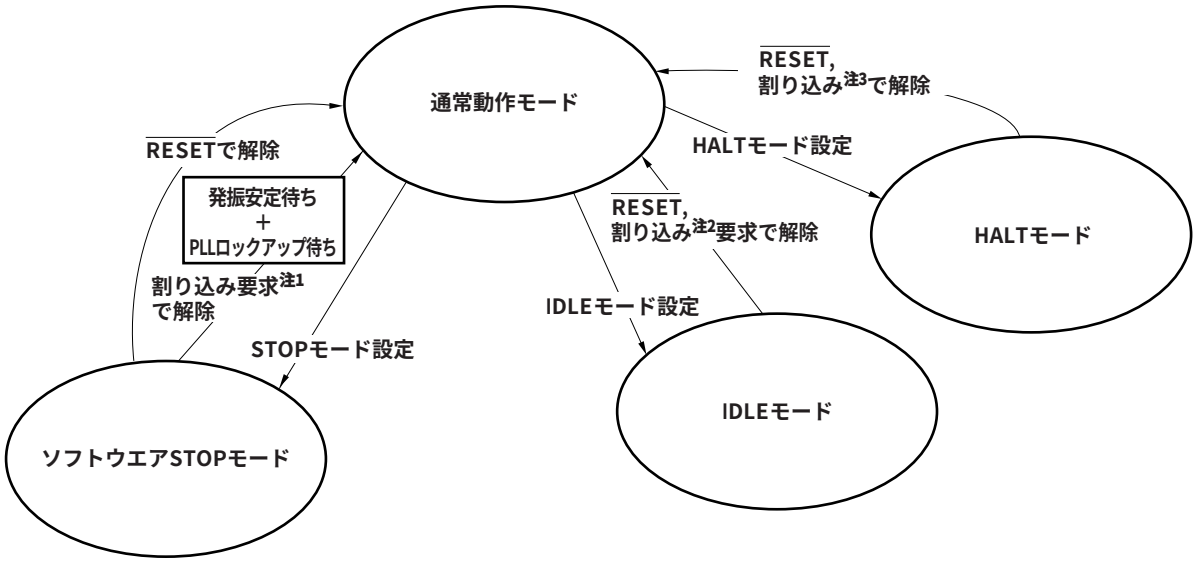
クロック・ジェネレータ（発振回路（OSC, SSCG）およびPLLシンセサイザ）を停止させ，システム全体が停止するモードです。リーク電流だけの超低消費電力状態になります。

PSMRレジスタの設定により，ソフトウエアSTOPモードに移行します。発振回路が停止すると同時にPLLシンセサイザのクロック出力が停止します。$\overline{\text{RESET}}$端子入力によりソフトウエアSTOPモードを解除した場合は，システム・クロックが安定するまでの間，発振回路の発振安定時間を確保する必要があります。また，ノンマスカブル割り込み要求（NMI）またはマスクされていないマスカブル割り込み要求により，ソフトウエアSTOPモードを解除した場合には，タイム・ベース・カウンタ（TBC）のカウント時間終了後，約2 ms経過してからプログラムの実行が開始されます。

通常動作，HALT，IDLE，ソフトウエアSTOPの各モードにおけるクロック・ジェネレータの動作を表8－1に示します。

各モードを組み合わせて，用途により切り替えて使用することにより，効果的な低消費電力システムを実現することができます。

図8－2　パワー・セーブ・モード状態遷移図



注1. ノンマスカブル割り込み要求信号（NMI），マスクされていない外部マスカブル割り込み要求信号注4，ソフトウエアSTOPモード中に動作可能な周辺機能のマスクされていない内部マスカブル割り込み要求信号注5

2. ノンマスカブル割り込み要求信号（NMI），マスクされていない外部マスカブル割り込み要求信号注4，IDLEモード中に動作可能な周辺機能のマスクされていない内部マスカブル割り込み要求信号注5

3. ノンマスカブル割り込み要求信号（NMI），マスクされていないマスカブル割り込み要求信号注4

4. INTPn（n = 10, 11, 21-25, 50-52, 65-67, D0-D15, L0, L1）
   $\overline{\text{INTPn}}$端子をレベル検出とした場合は，ソフトウエアSTOPモード，IDLEモードを解除することができません。

5. INTRSUM

8. 6. 2　制御レジスタ

(1) パワー・セーブ・モード・レジスタ（PSMR）

パワー・セーブ・モードを制御する8ビット・レジスタです。PSCレジスタのSTPビットをセット（1）することにより有効となります。

PSMRレジスタへの書き込みは，ストア命令（ST/SST命令）およびビット操作命令（SET1/CLR1/ NOT1命令）により行います。

8/1ビット単位でリード／ライト可能です。

ビット7, 5, 4には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	⓪	アドレス	初期値
PSMR	0	0	0	0	0	0	0	PSM	FFFFF820H	00H

ビット位置	ビット名	意　味
0	PSM	IDLEモード／ソフトウエアSTOPモードを指定します。 0：IDLEモード 1：ソフトウエアSTOPモード

(2) コマンド・レジスタ（PRCMD）

コマンド・レジスタ（PRCMD）は，プログラムの暴走などにより，応用システムが不用意に停止しないように，システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ，PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定レジスタ（パワー･セーブ･コントロール・レジスタ（PSC）など）への書き込みのみ有効となります。これにより定められたシーケンスによってだけ，レジスタの値が書き換えられ，不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合，不定データを読み出します）。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRCMD	RREG7	RREG6	RREG5	RREG4	RREG3	RREG2	RREG1	RREG0	FFFFF1FCH	不定

ビット位置	ビット名	意　味
7-0	RREG7- RREG0	レジストレーション・コード（任意の8ビット・データ） 対象となる特定レジスタは次のようになります。 ・パワー・セーブ・コントロール・レジスタ（PSC） ・クロック・コントロール・レジスタ（CKC） ・クロック・ソース選択レジスタ（CKS） ・SSCGコントロール・レジスタ（SSCGC）

(3) パワー・セーブ・コントロール・レジスタ（PSC）

パワー・セーブを制御する8ビット・レジスタです。

NMIM, INTMビットの設定により割り込み許可状態になっていれば，割り込み要求によるIDLEモードまたはソフトウエアSTOPモードの解除が行えます（割り込みマスク・レジスタ（IMR0-IMR5）により，割り込み処理を禁止している場合を除く）。

また，STPビットの設定によりIDLEモードまたはソフトウエアSTOPモードを指定します。

このレジスタは特定レジスタの1つで，ライト動作時は特定シーケンスによるアクセスだけが有効です。

8/1ビット単位でリード／ライト可能です。

ビット7, 6には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. STPビットと，NMIMビットまたはINTMビットは同時にセットできません。必ずNMIMビットまたはINTMビットをセットしたあとに，STPビットを設定してください。

2. NMIM, INTMビットがセット（1）された割り込み要求は無効となるため（保留もされません），ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号によるIDLEモードまたはソフトウエアSTOPモードの解除はできません。

	7	6	⑤	④	3	2	①	0	アドレス	初期値
PSC	0	0	NMIM	INTM	0	0	STP	0	FFFFF1FEH	00H

ビット位置	ビット名	意　味
5	NMIM	NMIの有効エッジ入力によるスタンバイ・モード解除の許可／禁止を設定するビットです注。 0：NMI解除許可 1：NMI解除禁止
4	INTM	マスクされていないマスカブル割り込み（INTPn）の有効エッジ入力によるスタンバイ・モード解除の許可／禁止を設定するビットです（n = 10, 11, 21-25, 50-52, 65-67, D0-D15, L0, L1）注。 0：マスカブル割り込み解除許可 1：マスカブル割り込み解除禁止
1	STP	スタンバイ・モードの状態を示します。 1を書き込むとIDLEモード，またはソフトウエアSTOPモード（PSMRレジスタのPSMビットで設定）に入ります。スタンバイ・モードが解除されると，自動的に0にリセットされます。 0：スタンバイ・モード解除状態 1：スタンバイ・モード中

注　設定はIDLEモード／ソフトウエアSTOPモード時だけ有効です。

パワー・セーブ・コントロール・レジスタ（PSC）へのデータ設定は，次のシーケンスで行います。

① パワー・セーブ・モード・レジスタ（PSMR）を設定します（次の命令で行います）。
　・ストア命令（ST/SST命令）
　・ビット操作命令（SET1/CLR1/NOT1命令）
② 任意の汎用レジスタに特定レジスタへ設定するためのデータを用意します。
③ コマンド・レジスタ（PRCMD）にデータを書き込みます。
④ パワー・セーブ・コントロール・レジスタ（PSC）を設定します（次の命令で行います）。
　・ストア命令（ST/SST命令）
　・ビット操作命令（SET1/CLR1/NOT1命令）
⑤ NOP命令を挿入する（5命令（⑤-⑨））

[記述例]

```
① ST.B  r11, PSMR[r0]   ; PSMRレジスタ設定
② MOV   0x02, r10
③ ST.B  r10, PRCMD[r0]  ; PRCMDレジスタ書き込み
④ ST.B  r10, PSC[r0]    ; PSCレジスタ設定
⑤ NOP                   ; ダミー命令
⑥ NOP                   ; ダミー命令
⑦ NOP                   ; ダミー命令
⑧ NOP                   ; ダミー命令
⑨ NOP                   ; ダミー命令
(next instruction)      ; ソフトウエアSTOPモード，IDLEモード解除後の実行ルーチン
```

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

注意1. コマンド・レジスタに対するストア命令では，割り込み受け付けを行いません。これは，プログラムで上記③，④を連続したストア命令で行うことを前提としています。③，④間にほかの命令が置かれていると，その命令で割り込みを受け付けた際，上記シーケンスが成立しなくなる場合があり，誤動作の要因となるので注意が必要です。

2. PRCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定（上記例④）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（上記例③）でも使用してください。アドレシングに汎用レジスタを使用する場合も同様です。

3. ソフトウエアSTOPモード，IDLEモードに設定するためのPSCレジスタに対するストア命令では，直後にNOP命令を5命令以上挿入する必要があります。

4. この処理を行う前にすべてのDMA転送を終了させてください。

8. 6. 3　HALTモード

（1）設定および動作状態

クロック・ジェネレータ（発振回路（OSC，SSCG）およびPLLシンセサイザ）は動作を継続しますが，CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され，動作を継続します。CPUの空き時間にHALTモードに設定することにより，システム全体の消費電力を低減できます。

HALT命令によりHALTモードに移行します。

HALTモードでは，プログラムの実行は停止しますが，その直前のすべてのレジスタ，内蔵データRAM，内蔵命令RAM，ポートの内容は保持されます。また，CPUの命令処理に依存しない内蔵周辺機能（ポート以外）は動作を継続します。HALTモード時の各ハードウエアの状態は次のようになります。

注意1.　割り込み要求信号が保留されている状態でHALT命令を実行した場合，HALTモードになりますが，保留されている割り込み要求信号によりHALTモードはすぐに解除されます。

2.　HALT命令のあとには，NOP命令を5命令以上挿入してください。

表8－4　HALTモード時の動作状態

機　　能	動作状態
クロック・ジェネレータ	動　作
メイン・クロック（fx）	動　作
CPU	停　止
内部データ	CPUのレジスタ，ステータス，データ，内蔵データRAM，内蔵命令RAMの内容など，内部のデータはすべてHALTモード設定前の状態を保持
DMAC	動　作
INTC	動　作
TMC0-TMC5	動　作
TMD0-TMD3	動　作
TMENC10, TMENC11	動　作
UARTB0, UARTB1	動　作
CSI30, CSI31	動　作
A/Dコンバータ	動　作
ポート	HALTモード設定前の状態を保持
USBファンクション・コントローラ	動　作
D0-D31	動　作
A0-A25	
$\overline{RD}$, $\overline{WE}$/$\overline{WR}$, $\overline{BCYST}$	
$\overline{ULWR}$, $\overline{UUWR}$, $\overline{LLWR}$, $\overline{LUWR}$, $\overline{IORD}$, $\overline{IOWR}$	
LLDQM, LUDQM, ULDQM, UUDQM	
$\overline{LLBE}$, $\overline{LUBE}$, $\overline{ULBE}$, $\overline{UUBE}$	
$\overline{CS0}$-$\overline{CS7}$	
$\overline{SDRAS}$	
$\overline{SDCAS}$	
$\overline{REFRQ}$	
$\overline{HLDAK}$	
$\overline{HLDRQ}$	
$\overline{WAIT}$	
$\overline{SELFREF}$	
SDCKE	
BUSCLK	クロック出力

(2) HALTモードの解除

HALTモードは，ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号（INTPn），および$\overline{\text{RESET}}$端子入力により解除されます（n = 10, 11, 21-25, 50-52, 65-67, D0-D15, L0, L1）。

(a) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号による解除

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号により，優先順位とは無関係に解除されます。解除後の動作は次のようになります。

表8－5　割り込み要求信号によるHALTモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスクされていないマスカブル割り込み要求信号	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

なお，割り込み処理ルーチン内でHALTモードに設定した場合は，次のように動作が異なります。

(i) 現在処理中のマスカブル割り込み要求信号よりも優先順位の低い割り込み要求信号が発生するとHALTモードの解除だけを行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保留されます。

(ii) 現在処理中のマスカブル割り込み要求信号よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，HALTモードの解除とともにこの割り込み要求信号を受け付けます。

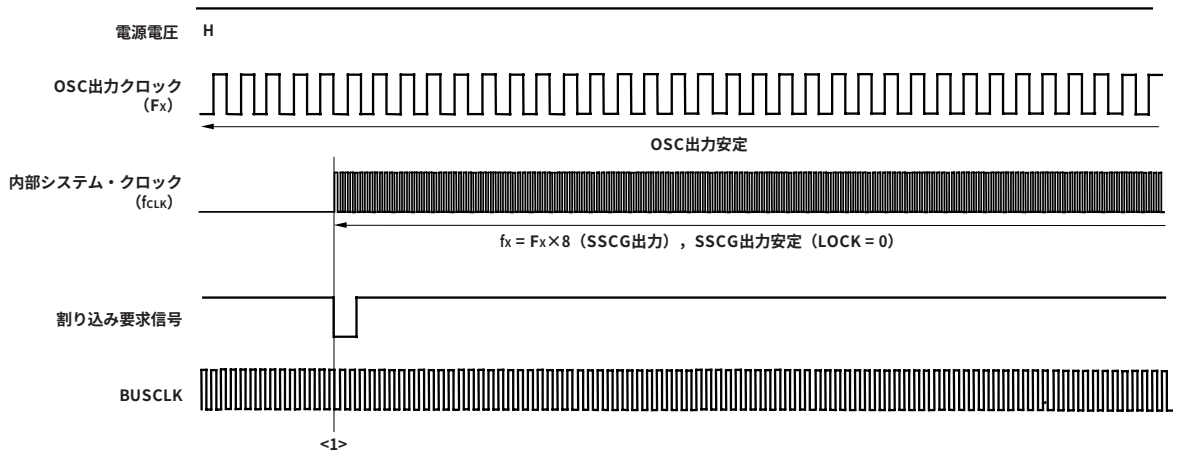
(b) $\overline{\text{RESET}}$端子入力による解除

通常のリセット動作と同じです。

次にHALTモード解除時のBUSCLK動作を示します。

図8－3　HALTモード解除時のBUSCLK動作

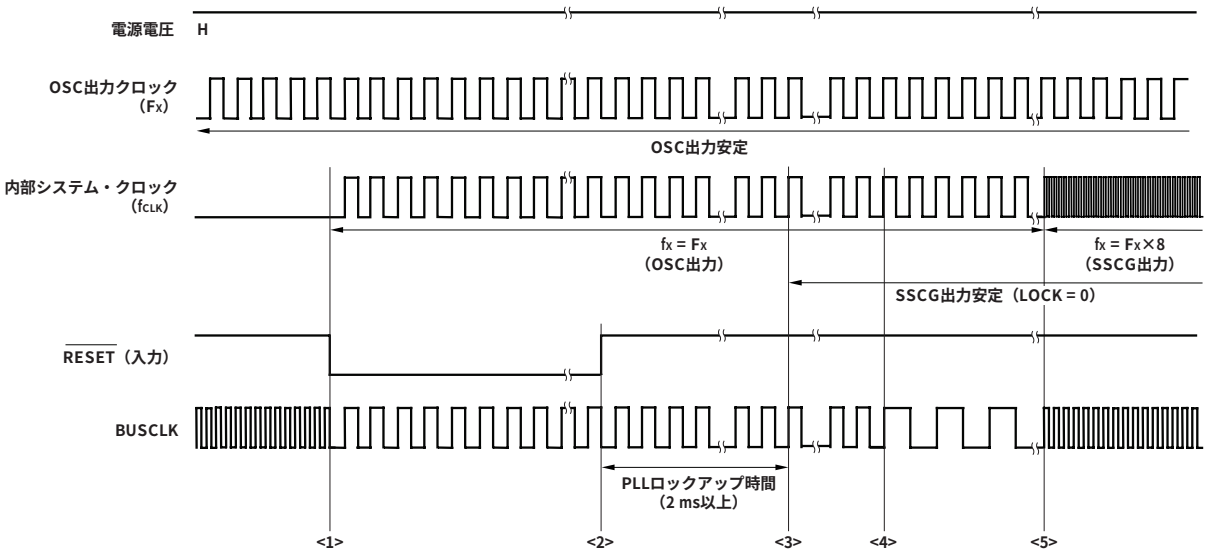
(a) ノンマスカブル割り込み要求信号，マスクされていない外部マスカブル割り込み要求信号よる解除の場合



備考1.　<1>：割り込み信号（アクティブ）入力

2.　HALTモード時は，BUSCLK出力は通常出力になります。

(b) $\overline{\text{RESET}}$端子入力による解除の場合



備考1.　<1>：$\overline{\text{RESET}}$入力

<2>：$\overline{\text{RESET}}$解除（PLLロックアップ時間のカウント開始）

<3>：PLLロック状態（LOCKRレジスタのLOCKビット = 0）

<4>：BUSCLK = f_{CLK}/2（BMCレジスタのCKM1, CKM0ビット = 01）

<5>：f_X = F_X×8に設定（CKSレジスタのCKSSELビット = 1）

2.　上記動作は，BUSCLKを内部システム・クロック（f_{CLK}）の1/2周期で動作させた場合です。

8. 6. 4　IDLEモード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路（OSC, SSCG）およびPLLシンセサイザ）は動作を継続したままで，CPUやその他の内蔵周辺機能へのクロックの供給が停止し，システム全体が停止するモードです。

このモードの解除時は，発振回路の発振安定時間やPLLのロックアップ時間を確保する必要がないため，高速に通常動作に移行できます。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSC, PSMRレジスタの設定でIDLEモードに移行します（8. 6. 2　制御レジスタ参照）。

IDLEモードでは，プログラムの実行は停止しますが，その直前のすべてのレジスタ，内蔵データRAM，内蔵命令RAM，ポートの内容は保持されます。また，CPUやその他の内蔵周辺機能は動作を停止します。

IDLEモード時の各ハードウエアの状態は次のようになります。

注意　IDLEモードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。

表8－6　IDLEモード時の動作状態

機　　能	動作状態
クロック・ジェネレータ	動　作
メイン・クロック（fx）	停　止
CPU	停　止
内部データ	CPUのレジスタ，ステータス，データ，内蔵データRAM，内蔵命令RAMの内容など，内部のデータはすべてIDLEモード設定前の状態を保持
DMAC	停　止
INTC	停　止
TMC0-TMC5	停　止
TMD0-TMD3	停　止
TMENC10, TMENC11	停　止
UARTB0, UARTB1	停　止
CSI30, CSI31	停　止
A/Dコンバータ	停　止
ポート	IDLEモード設定前の状態を保持
USBファンクション・コントローラ	停　止
D0-D31	ハイ・インピーダンス
A0-A25	
$\overline{RD}$, $\overline{WE}$/$\overline{WR}$, $\overline{BCYST}$	ハイ・レベル出力
$\overline{ULWR}$, $\overline{UUWR}$, $\overline{LLWR}$, $\overline{LUWR}$, $\overline{IORD}$, $\overline{IOWR}$	
LLDQM, LUDQM, ULDQM, UUDQM	
$\overline{LLBE}$, $\overline{LUBE}$, $\overline{ULBE}$, $\overline{UUBE}$	
$\overline{CS0}$-$\overline{CS7}$	
$\overline{SDRAS}$	SDRAMに接続している場合は，セルフ・リフレッシュ状態
$\overline{SDCAS}$	
$\overline{REFRQ}$	動作（SDRAMコントローラ未使用時はハイ・レベル出力）
$\overline{HLDAK}$	ハイ・レベル出力
$\overline{HLDRQ}$	入力（サンプリングなし）
$\overline{WAIT}$	
$\overline{SELFREF}$	
SDCKE	ロウ・レベル出力 （SDRAMコントローラ未使用時はハイ・レベル出力）
BUSCLK	ロウ・レベル出力

(2) IDLEモードの解除

IDLEモードは，ノンマスカブル割り込み要求信号，マスクされていない外部マスカブル割り込み要求信号（INTPn）[注]，IDLEモード中に動作可能な周辺機能のマスクされていない内部マスカブル割り込み要求信号（INTRSUM）および$\overline{\text{RESET}}$端子入力により解除されます（n = 10, 11, 21-25, 50-52, 65-67, D0-D15, L0, L1）。

注　レベル検出設定時は，IDLEモードを解除することができません。

(a) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号による解除

PSCレジスタのINTM，NMIMビットに0が設定された状態でIDLEモードに移行した場合のみ割り込み要求信号による解除ができます。

ノンマスカブル割り込み要求信号，マスクされていない外部マスカブル割り込み要求信号（INTPn），IDLEモード中に動作可能な周辺機能のマスクされていない内部マスカブル割り込み要求信号（INTRSUM）により，優先順位とは無関係に解除されます（n = 10, 11, 21-25, 50-52, 65-67, D0-D15, L0, L1）。解除後の動作は次のようになります。

注意　PSCレジスタのINTMビット = 1設定時には，マスクされていないマスカブル割り込み要求信号によるIDLEモードの解除はできません。

表8－7　割り込み要求信号によるIDLEモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスクされていないマスカブル割り込み要求信号	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

なお，割り込み処理ルーチン内でIDLEモードに設定した場合は次のように動作が異なります。

(i) 現在処理中のマスカブル割り込み要求信号よりも優先順位の低い割り込み要求信号が発生するとIDLEモードの解除だけを行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保留されます。

(ii) 現在処理中のマスカブル割り込み要求信号よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，IDLEモードの解除とともにこの割り込み要求信号を受け付けます。

NMI処理ルーチン内でIDLEモードに設定した場合は，IDLEモードの解除だけを行い，この割り込みは受け付けません（割り込みは保留されます）。

NMI端子入力によるIDLEモード解除時に起動される割り込み処理は，緊急時などの通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが一意のため）。したがって，プログラムで両者を区別する必要がある場合は，ソフトウエア・ステータスをあらかじめ用意しておき，ストア命令またはビット操作命令によるPSMRレジスタ設定の前に，ステータスを設定しておく必要があります。NMIの割り込み処理でこのステータスをチェックすることで，通常のNMIとの区別が可能です。

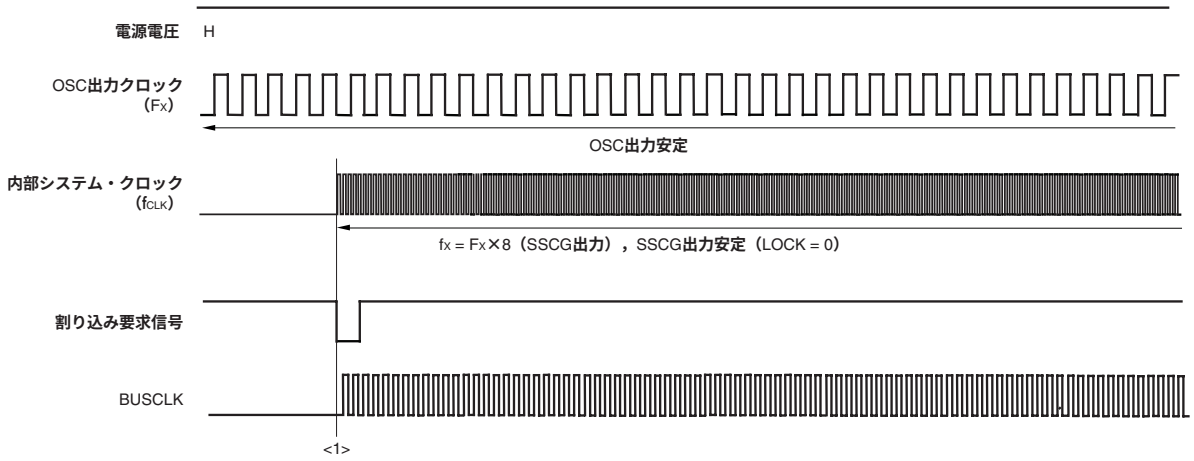
(b) $\overline{\text{RESET}}$端子入力による解除

通常のリセット動作と同じです。

次にIDLEモード解除時のBUSCLK動作を示します。

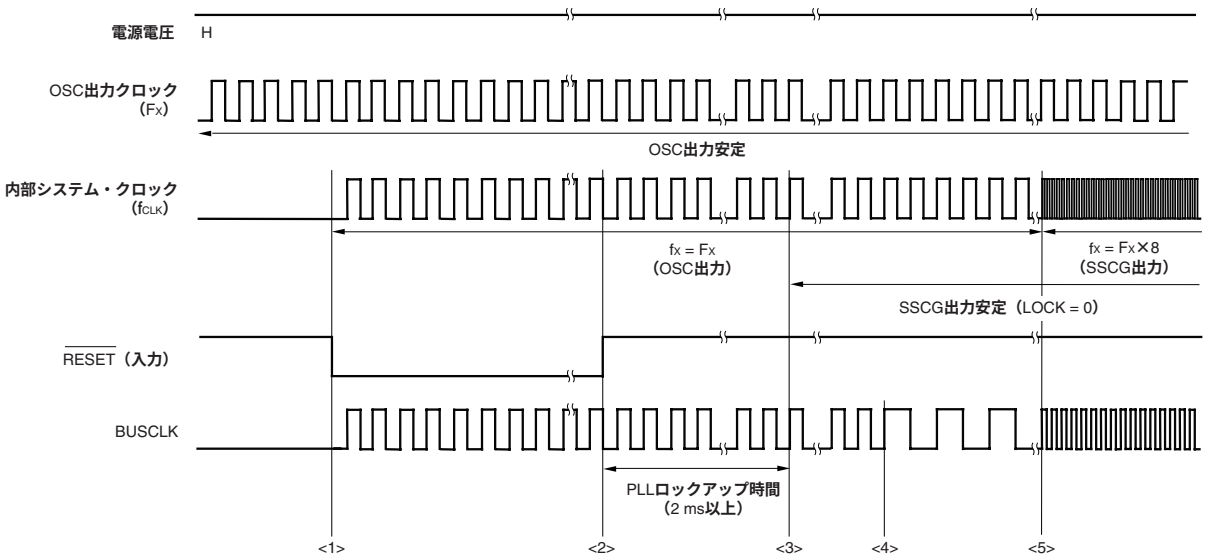
図8－4　IDLEモード解除時のBUSCLK動作

(a) ノンマスカブル割り込み要求信号，マスクされていない外部マスカブル割り込み要求信号による解除の場合



備考　<1>：割り込み信号（アクティブ）入力

(b) $\overline{\text{RESET}}$端子入力による解除の場合



備考1.　<1>：$\overline{\text{RESET}}$入力

<2>：$\overline{\text{RESET}}$解除（PLLロックアップ時間のカウント開始）

<3>：PLLロック状態（LOCKRレジスタのLOCKビット = 0）

<4>：BUSCLK = f_{CLK}/2（BMCレジスタのCKM1, CKM0ビット = 01）

<5>：fx = Fx×8に設定（CKSレジスタのCKSSELビット = 1）

2.　上記動作は，BUSCLKを内部システム・クロック（f_{CLK}）の1/2周期で動作させた場合です。

8. 6. 5　ソフトウエアSTOPモード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路（OSC, SSCG）およびPLLシンセサイザ）を停止させるモードです。システム全体を停止させ，デバイスのリーク電流だけの超低消費電力を実現します。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSC，PSMRレジスタの設定でソフトウエアSTOPモードに移行します（8. 6. 2　制御レジスタ参照）。

ソフトウエアSTOPモード解除後に，発振回路の発振安定時間，およびPLLの周波数安定時間を確保する必要があります。

また，マスクされていないマスカブル割り込み要求信号[注]でソフトウエアSTOPモードを解除した場合には，タイム・ベース・カウンタ（TBC）のカウント時間（OSTSレジスタの設定時間）終了後，PLLのロックアップ時間（約2 ms）経過後にプログラムの実行が開始されます。

ソフトウエアSTOPモードでは，プログラムの実行は停止しますが，その直前のすべてのレジスタ，内蔵データRAM，内蔵命令RAM，ポートの内容は保持されます。また，CPUやその他の内蔵周辺機能は動作を停止します。

ソフトウエアSTOPモード時の各ハードウエアの状態は次のようになります。

注　INTP10, INTP11, INTP21-INTP25, INTP50-INTP52, INTP65-INTP67, INTPD0-INTPD15, INTPL0, INTPL1, INTRSUM

注意1.　ソフトウエアSTOPモードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。

2.　マスクされていないマスカブル割り込み要求信号により，ソフトウエアSTOPモードを解除した場合のタイム・ベース・カウンタ（TBC）のカウント時間（OSTSレジスタの設定時間），およびPLLのロックアップ時間中，外部バスは，ソフトウエアSTOPモードと同じ状態を継続します。

3.　ソフトウエアSTOPモードの解除要因となる割り込みのうち，ソフトウエアSTOPモードの解除を目的として使用しない割り込みは，ソフトウエアSTOPモードに設定する前に該当するxxICnの割り込みマスク・フラグをセット（1）してください。ソフトウエアSTOPモードへの移行タイミングと競合した場合，ソフトウエアSTOPモードが解除される場合があります。

表8－8　ソフトウエアSTOPモード時の動作状態

機　　能	動作状態
クロック・ジェネレータ	停　止
メイン・クロック（fx）	停　止
CPU	停　止
内部データ	CPUのレジスタ，ステータス，データ，内蔵データRAM，内蔵命令RAMの内容など，内部のデータはすべてソフトウエアSTOPモード設定前の状態を保持
DMAC	停　止
INTC	停　止
TMC0-TMC5	停　止
TMD0-TMD3	停　止
TMENC10, TMENC11	停　止
UARTB0, UARTB1	停　止
CSI30, CSI31	停　止
A/Dコンバータ	停　止
ポート	ソフトウエアSTOPモード設定前の状態を保持
USBファンクション・コントローラ	停　止
D0-D31	ハイ・インピーダンス
A0-A25	
$\overline{RD}$, $\overline{WE}$/$\overline{WR}$, $\overline{BCYST}$	ハイ・レベル出力
$\overline{ULWR}$, $\overline{UUWR}$, $\overline{LLWR}$, $\overline{LUWR}$, $\overline{IORD}$, $\overline{IOWR}$	
LLDQM, LUDQM, ULDQM, UUDQM	
$\overline{LLBE}$, $\overline{LUBE}$, $\overline{ULBE}$, $\overline{UUBE}$	
$\overline{CS0}$-$\overline{CS7}$	
$\overline{SDRAS}$	SDRAMに接続している場合は，セルフ・リフレッシュ状態
$\overline{SDCAS}$	
$\overline{REFRQ}$	動作（SDRAMコントローラ未使用時はハイ・レベル出力）
$\overline{HLDAK}$	ハイ・レベル出力
$\overline{HLDRQ}$	入力（サンプリングなし）
$\overline{WAIT}$	
$\overline{SELFREF}$	
SDCKE	ロウ・レベル出力 （SDRAMコントローラ未使用時はハイ・レベル出力）
BUSCLK	ロウ・レベル出力

(2) ソフトウエアSTOPモードの解除

ソフトウエアSTOPモードは，ノンマスカブル割り込み信号入力，マスクされていない外部マスカブル割り込み要求信号（INTPn）[注]，ソフトウエアSTOPモード中に動作可能な周辺機能のマスクされていない内部マスカブル割り込み要求信号（INTRSUM），および$\overline{\text{RESET}}$端子入力により解除されます（n = 10, 11, 21-25, 50-52, 65-67, D0-D15, L0, L1）。また，$\overline{\text{RESET}}$端子入力によるソフトウエアSTOPモード解除時には，発振回路の発振安定時間を確保する必要があります。ノンマスカブル割り込み要求信号またはマスクされていないマスカブル割り込み要求信号によるソフトウエアSTOPモード解除時には，タイム・ベース・カウンタ（TBC）のカウント時間終了後，約2 ms経過してからプログラムの実行が開始されます。

注　レベル検出設定時は，ソフトウエアSTOPモードを解除することができません。

(a) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号による解除

PSCレジスタのINTM，NMIMビットに0が設定された状態でソフトウエアSTOPモードに移行した場合のみ割り込み要求信号による解除ができます。

ノンマスカブル割り込み要求信号，マスクされていない外部マスカブル割り込み要求信号（INTPn），ソフトウエアSTOPモード中に動作可能な周辺機能のマスクされていない内部マスカブル割り込み要求信号（INTRSUM）により，優先順位とは無関係に解除されます（n = 10, 11, 21-25, 50-52, 65-67, D0-D15, L0, L1）。解除後の動作は，次のようになります。

注意　PSCレジスタのINTMビット = 1設定時には，マスクされていないマスカブル割り込み要求信号によるソフトウエアSTOPモードの解除はできません。

表8－9　割り込み要求信号によるソフトウエアSTOPモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスクされていないマスカブル割り込み要求信号	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

なお，割り込み処理ルーチン内でソフトウエアSTOPモードに設定した場合は次に示す動作になります。

表8－10　割り込み処理ルーチン内でソフトウエアSTOPモードに設定したあとの動作

ソフトウエアSTOPモード設定時の割り込み処理ルーチンの種類	解除要因		動　　作
	解除ソース	優先順位[注1]	
マスカブル割り込み	マスカブル割り込み要求信号	低	ソフトウエアSTOPモードの解除だけを行い，割り込み要求信号は受け付けません（保留します）。
		同一	
		高（ID = 1）[注2]	
		高（ID = 0）[注3]	ソフトウエアSTOPモードの解除とともに，割り込み要求信号を受け付けます。
	ノンマスカブル割り込み要求信号	－	
ノンマスカブル割り込み	マスカブル割り込み要求信号	－	ソフトウエアSTOPモードの解除だけを行い，割り込み要求信号は受け付けません（保留します）。
	ノンマスカブル割り込み要求信号	低	
		同一	
		高	ソフトウエアSTOPモードの解除とともに，割り込み要求信号を受け付けます。

注1.　ソフトウエアSTOPモード設定時の割り込み（処理中だった割り込み）に対する優先順位です。

2.　PSWのIDビットが1（割り込み受け付け不可）の場合

3.　PSWのIDビットが0（割り込み受け付け可）の場合

備考　NMIによるソフトウエアSTOPモードの解除はPSWのNPビットの値に関係なく行われます。

NMI処理ルーチン内でソフトウエアSTOPモードに設定した場合は，ソフトウエアSTOPモードの解除だけを行い，この割り込みは受け付けません（割り込みは保留されます）。

NMI端子入力によるソフトウエアSTOPモード解除時に起動される割り込み処理は，緊急時などの通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが一意のため）。したがって，プログラムで両者を区別する必要がある場合は，ソフトウエア・ステータスをあらかじめ用意しておき，ストア命令またはビット操作命令によるPSMRレジスタ設定の前に，ステータス設定しておく必要があります。

NMIの割り込み処理でこのステータスをチェックすることで，通常のNMIとの区別が可能です。

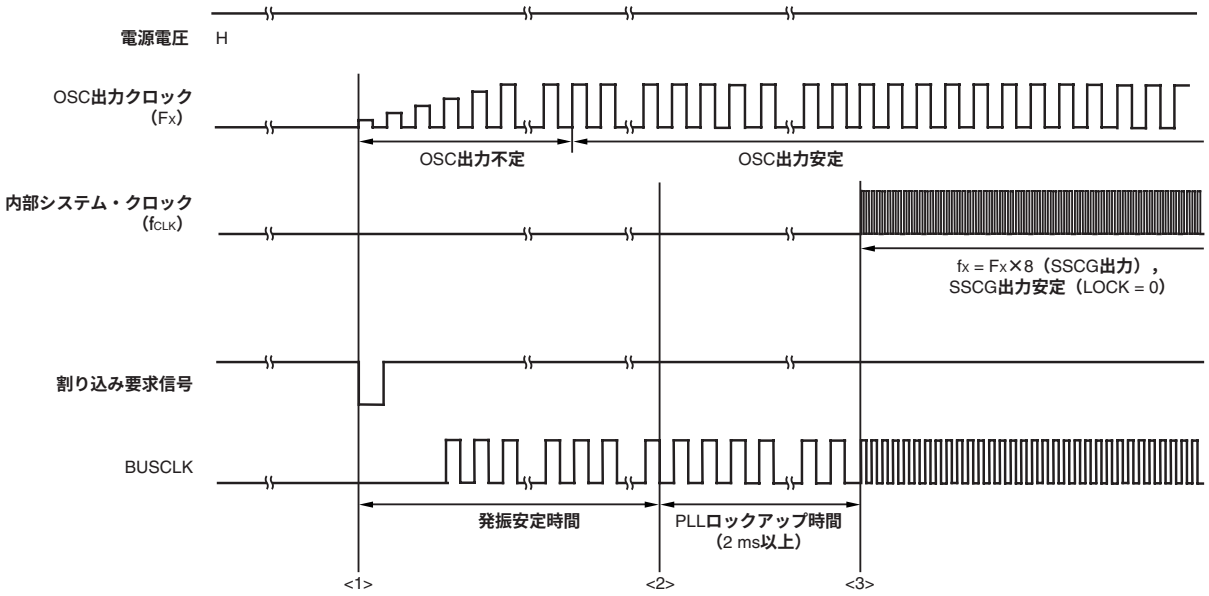
(b) $\overline{\text{RESET}}$端子入力による解除

通常のリセット動作と同じです。

次にソフトウエアSTOPモード解除時のBUSCLK動作を示します。

図8－5　ソフトウエアSTOPモード解除時のBUSCLK動作（1/2）

(a) ノンマスカブル割り込み要求信号，マスクされていない外部マスカブル割り込み要求信号による解除の場合



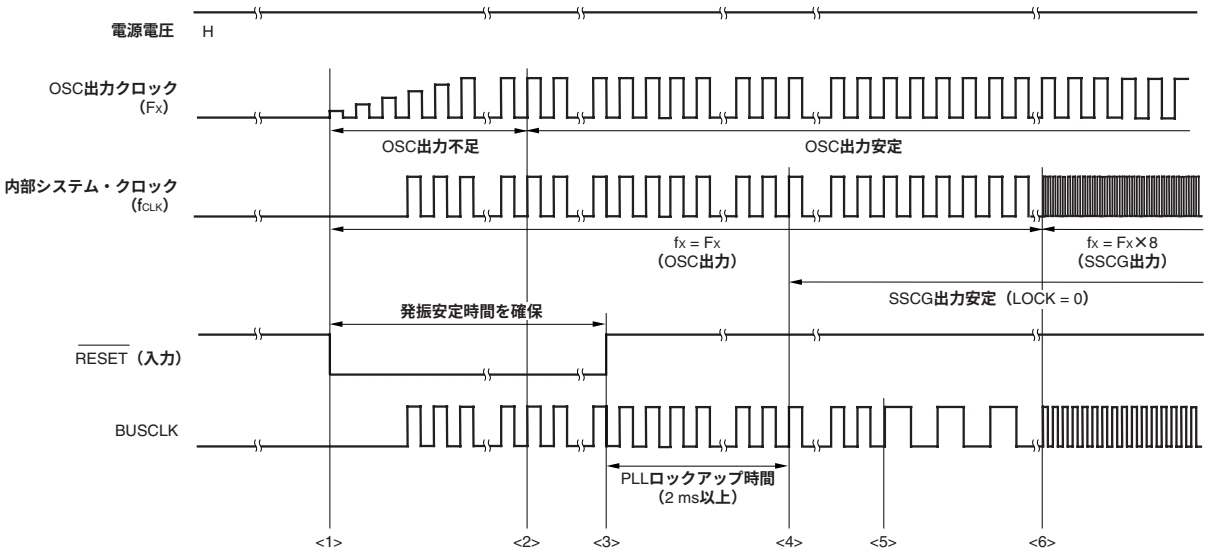
備考　＜1＞：割り込み信号（アクティブ）入力（発振安定時間カウント開始）

＜2＞：OSC出力発振安定（発振安定時間カウント／PLLロックアップ時間のカウント開始）

＜3＞：PLLロック状態後，ソフトウエアSTOPモード前の状態で動作開始（PLLロックアップ時間のカウント終了）

図8－5　ソフトウエアSTOPモード解除時のBUSCLK動作（2/2）

（b）$\overline{\text{RESET}}$端子入力による解除の場合



備考1.　＜1＞：$\overline{\text{RESET}}$入力

＜2＞：OSC発振安定

＜3＞：$\overline{\text{RESET}}$解除（PLLロックアップ時間のカウント開始）

＜4＞：PLLロック状態（LOCKRレジスタのLOCKビット = 0）

＜5＞：BUSCLK = f_{CLK}/2（BMCレジスタのCKM1, CKM0ビット = 01）

＜6＞：f_X = F_X×8に設定（CKSレジスタのCKSSELビット = 1）

2.　上記動作は，BUSCLKを内部システム・クロック（f_{CLK}）の1/2周期で動作させた場合です。

8. 7　発振安定時間の確保

8. 7. 1　発振安定時間の確保指定

ノンマスカブル割り込み要求信号，マスクされていない外部マスカブル割り込み要求信号（INTPn）[注]，ソフトウエアSTOPモード中に動作可能な周辺機能のマスクされていない内部マスカブル割り込み要求信号（INTRSUM）によるソフトウエアSTOPモードの解除時，OSTSレジスタで設定していた時間だけ発振安定時間を確保します（n = 10, 11, 21-25, 50-52, 65-67, D0-D15, L0, L1）（図8－5（a）参照）。その後，約2 ms経過してからプログラムの実行が開始されます。ただし，$\overline{\text{RESET}}$端子入力による解除時は，発振安定時間が挿入されないため，$\overline{\text{RESET}}$のロウ・アクティブ幅で発振安定時間を確保してください（図8－5（b）参照）。

なお，発振安定時間カウント用のタイマは，内蔵タイム・ベース・カウンタ（TBC）を使用し，発振安定時間を確保します。

発振安定時間 = TBCのカウント時間

注　レベル検出設定時は，ソフトウエアSTOPモードを解除することができません。

8. 7. 2　タイム・ベース・カウンタ（TBC）

タイム・ベース・カウンタ（TBC）は，ソフトウエアSTOPモード解除時の発振回路の発振安定時間の確保に使用します。

ソフトウエアSTOPモード解除後，TBCで発振安定時間をカウントし，カウント終了後にプログラム実行を開始します。

OSTSレジスタのOSTS2-OSTS0ビットによりTBCのカウント・クロックを選択し，次のカウント時間が設定できます。

表8－11　カウント時間例

OSTS2-OSTS0 ビット			発振安定時間	カウント時間	
				F_X = 16.6 MHz	f_X = 12.5 MHz
0	0	0	$F_X/2^{13}$	0.49 ms	0.66 ms
0	0	1	$F_X/2^{15}$	1.97 ms	2.62 ms
0	1	0	$F_X/2^{16}$	3.95 ms	5.24 ms
0	1	1	$F_X/2^{17}$	7.90 ms	10.49 ms
1	0	0	$F_X/2^{18}$	15.79 ms	20.97 ms
1	0	1	$F_X/2^{19}$	31.58 ms	41.94 ms
1	1	0	$F_X/2^{20}$	63.17 ms	83.89 ms
1	1	1	$F_X/2^{21}$	126.33 ms	167.77 ms

備考　F_X：OSC出力クロック

8. 8　注意事項

クロック発生機能についての注意事項を次に示します。

(1) CKCレジスタ設定時の注意

内部システム・クロック（f_{CLK}）を変更した場合，バス・クロック（BUSCLK）の周波数（f_{BUSCLK}）も変更されます。

(2) CKSレジスタ設定時の注意

V850E/ME2では，メイン・クロック供給を常時OSC出力（CKSレジスタのCKSSELビット = 0）の状態でCPUを動作させることは想定していません。このため，必ず初期化シーケンスにおいて，LOCKRレジスタのLOCKビット = 0であることを確認してからメイン・クロック供給をSSCG出力（CKSSELビット = 1）に切り替えてください。この制御以外で設定した場合の動作は保証しません。

(3) SSCGCレジスタ設定時の注意

SSCGCレジスタは，メイン・クロック供給がOSC出力（CKSレジスタのCKSSELビット = 0）のときだけ設定できます。また，SSCGCレジスタを変更した場合，SSCGはアンロック状態（LOCKRレジスタのLOCKビット = 1）になりますので，必ずLOCKビット = 0であることを確認してからメイン・クロック供給をSSCG出力（CKSSELビット = 1）に切り替えてください。この制御以外で設定した場合の動作は保証しません。

第9章　タイマ／カウンタ機能

9. 1　タイマC

9. 1. 1　特　　徴

タイマCは，16ビットのタイマ／カウンタで次の動作を行うことができます。

・インターバル・タイマ機能
・PWM出力
・外部信号の周期測定

9. 1. 2　機能概要

○16ビット・タイマ／カウンタ：6チャネル（2チャネルはキャプチャ動作なし）
○キャプチャ／コンペア共用レジスタ：12本
○割り込み要求ソース
・キャプチャ／一致割り込み要求：12要因
キャプチャ・レジスタの場合：INTPCm0, INTPCm1入力でINTCCCm0, INTCCCm1を発生
コンペア・レジスタの場合：CCCn0, CCCn1の一致信号でINTCCCn0, INTCCCn1を発生
・オーバフロー割り込み要求　　：6要因
○タイマ／カウンタのカウント・クロック・ソース：2種類
（外部パルス入力，メイン・クロックの分周を選択）
○タイマ／カウンタがオーバフローしたときの動作モードを，フリー・ランニング・モード／オーバフロー・ストップ・モードの2種類から選択可能
○タイマ／カウンタとコンペア・レジスタの一致でタイマ／カウンタをクリア可能
○外部パルス出力：6本

備考　m = 0-3, n = 0-5

9. 1. 3　基本構成

表9－1　タイマCの構成一覧

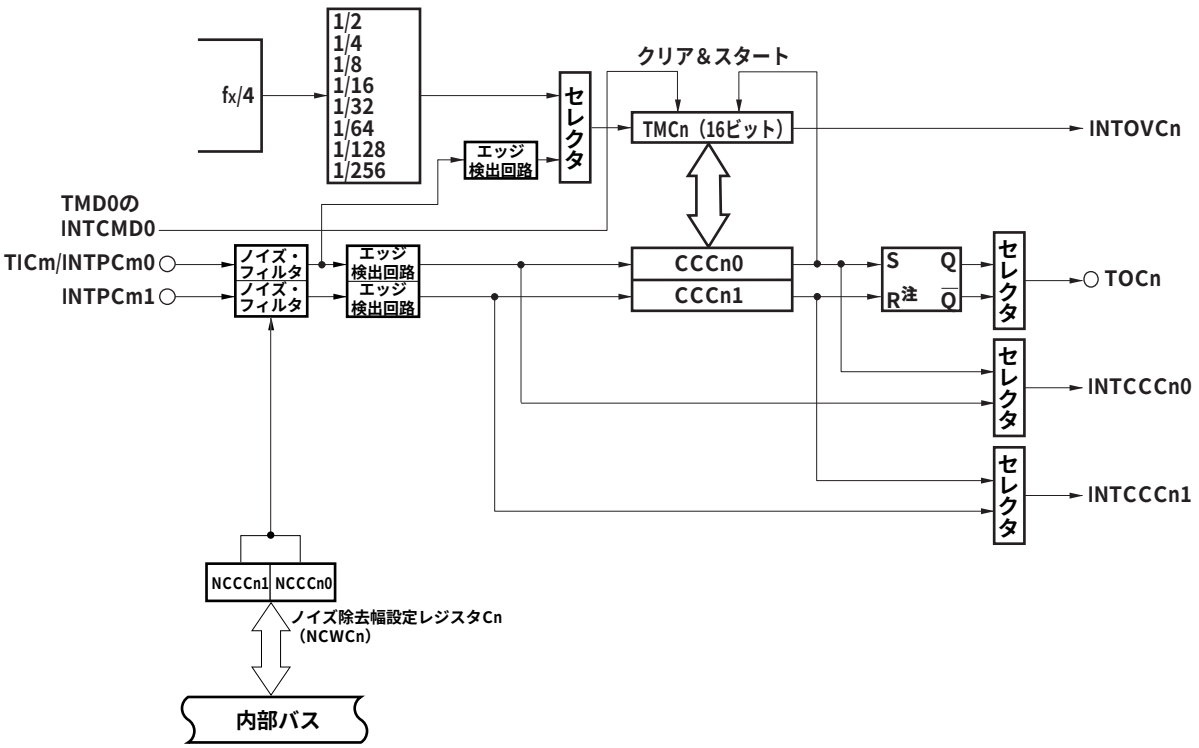
タイマ	カウント・クロック	レジスタ	リード／ライト	発生する割り込み信号	キャプチャ・トリガ	タイマ出力 S/R	その他の機能
タイマC	fx /8, fx /16, fx /32, fx /64, fx /128, fx /256, fx /512, fx /1024	TMC0	リード	INTOVC0	－	－	
		CCC00	リード／ライト	INTCCC00	INTPC00	TOC0（S）	
		CCC01	リード／ライト	INTCCC01	INTPC01	TOC0（R）	
		TMC1	リード	INTOVC1	－	－	
		CCC10	リード／ライト	INTCCC10	INTPC10	TOC1（S）	
		CCC11	リード／ライト	INTCCC11	INTPC11	TOC1（R）	
		TMC2	リード	INTOVC2	－	－	
		CCC20	リード／ライト	INTCCC20	INTPC20	TOC2（S）	
		CCC21	リード／ライト	INTCCC21	INTPC21	TOC2（R）	
		TMC3	リード	INTOVC3	－	－	
		CCC30	リード／ライト	INTCCC30	INTPC30	TOC3（S）	
		CCC31	リード／ライト	INTCCC31	INTPC31	TOC3（R）	
		TMC4	リード	INTOVC4	－	－	
		CCC40	リード／ライト	INTCCC40	－	TOC4（S）	A/D変換開始トリガ
		CCC41	リード／ライト	INTCCC41	－	TOC4（R）	A/D変換開始トリガ
		TMC5	リード	INTOVC5	－	－	
		CCC50	リード／ライト	INTCCC50	－	TOC5（S）	A/D変換開始トリガ
		CCC51	リード／ライト	INTCCC51	－	TOC5（R）	A/D変換開始トリガ

備考　fx：メイン・クロック

S/R：セット／リセット

(1) タイマC（16ビット・タイマ／カウンタ）

図9－1　タイマCのブロック図



注　リセット優先

備考1.　m = 0-3, n = 0-5
　　2.　fx：メイン・クロック

9. 1. 4　タイマC

（1）タイマC0-C5（TMC0-TMC5）

TMCnは，16ビットのフリー・ランニング・タイマまたは外部信号のイベント・カウンタとして機能します。おもに，周期計測のほか，パルス出力としても利用できます（n = 0-5）。

TMCnは16ビット単位でリードだけ可能です。

注意1.　TMCnレジスタはリードだけ可能です。TMCnレジスタに書き込みを行うと，その後の動作は不定となります。

2.　TMCCn0レジスタのCAECnビットをクリア（0）すると，非同期でリセットされます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TMC0																	FFFFF600H	0000H
TMC1																	FFFFF620H	0000H
TMC2																	FFFFF640H	0000H
TMC3																	FFFFF660H	0000H
TMC4																	FFFFF680H	0000H
TMC5																	FFFFF6A0H	0000H

TMCnは，内部カウント・クロックまたは外部カウント・クロックのカウント・アップ動作を行います。タイマのスタートおよびストップは，タイマ・モード・コントロール・レジスタCn0（TMCCn0）のCECnビットで制御します（n = 0-5）。

カウント・クロックの内部／外部の選択はタイマ・モード・コントロール・レジスタCn1（TMCCn1）のETICnビットによって行います（n = 0-5）。

(a) 外部カウント・クロックを選択

TMCnは，イベント・カウンタとして動作します。

タイマ・モード・コントロール・レジスタCn1（TMCCn1）のETICnビットをセット（1）した場合，内部カウント・クロックに同期してTMCmは外部クロック入力（TICm）の有効エッジ・カウント動作を行います。有効エッジの指定は，有効エッジ選択レジスタCm（SESCm）によって行います（m = 0-3, n = 0-5）。

注意　INTPCm0/TICm端子をTICm（外部クロック入力端子）として使用する場合は，INTPCm0の割り込みを禁止するか，CCCm0をコンペア・モードにしてください（m = 0-3, n = 0-5）。

(b) 内部カウント・クロックを選択

TMCnは，フリー・ランニング・タイマとして動作します。

タイマ・モード・コントロール・レジスタCn1（TMCCn1）でカウント・クロックを内部クロックに指定した場合，TMCCn0レジスタのCSCn0-CSCn2ビットで指定した入力クロックの周期ごとにTMCnはカウント・アップします（n = 0-5）。

カウント・クロックは，プリスケーラによる分周を，TMCCn0レジスタによりfx/8, fx/16, fx/32, fx/64, fx/128, fx/256, fx/512, fx/1024から選択できます（fx：メイン・クロック）。

タイマがオーバフローすると，オーバフロー割り込みを発生させることができます。また，TMCCn1レジスタのOSTCnビットをセット（1）することにより，オーバフロー後にタイマを停止させることができます。

注意　タイマ動作中はカウント･クロックを変更できません。

TMCnレジスタが0000Hになる条件を次に示します。

(a) 非同期リセット

- TMCCn0レジスタのCAECnビット = 0
- リセット入力

(b) 同期リセット

- TMCCn0レジスタのCECnビット = 0
- CCCn0レジスタをコンペア・レジスタとして使用し，かつTMCnレジスタのクリアを許可（TMCCn1レジスタのCCLRCnビット= 1）しているときのTMCnレジスタとCCCn0レジスタとの一致

(2) キャプチャ／コンペア・レジスタCn0, Cn1（CCCn0, CCCn1）（n = 0-5）

キャプチャ／コンペア・レジスタCn0, Cn1は，16ビットのキャプチャ／コンペア・レジスタです。

タイマ・モード・コントロール・レジスタCn1（TMCCn1）のCMSCn0, CMSCn1ビットの指定により，キャプチャ・レジスタまたはコンペア・レジスタとして使用できます（n = 0-5）。

16ビット単位でリード／ライト可能です（ただし，ライト動作はコンペア・モード時のみ可能です）。

注意　CCC40, CCC41, CCC50, CCC51レジスタは，コンペア・レジスタとしてのみ使用できます。キャプチャ・レジスタとしては使用できません。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CCC0n																	FFFFF602H, FFFFF604H	0000H
CCC1n																	FFFFF622H, FFFFF624H	0000H
CCC2n																	FFFFF642H, FFFFF644H	0000H
CCC3n																	FFFFF662H, FFFFF664H	0000H
CCC4n																	FFFFF682H, FFFFF684H	0000H
CCC5n																	FFFFF6A2H, FFFFF6A4H	0000H

備考　n = 0, 1

(a) キャプチャ・レジスタに設定（TMCCn1レジスタのCMSCn0, CMSCn1ビット = 0）

キャプチャ･レジスタに設定した場合は，対応する外部割り込みINTPCm0, INTPCm1信号の有効エッジをキャプチャ・トリガとして検出します。TMCmはキャプチャ・トリガに同期して，TMCmの値をCCCm0, CCCm1レジスタにラッチします（キャプチャ動作）（m = 0-3, n = 0-5）。

INTPCm0端子の有効エッジはSESCmレジスタのIESC0m1, IESC0m0ビットで，INTPCm1端子の有効エッジはSESCmレジスタのIESC1m1, IESC1m0ビットで指定（立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジ）します。

キャプチャ動作は，カウント・クロックとは非同期に行われます。ラッチした値は，次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

タイマ・モード・コントロール・レジスタCn0（TMCCn0）のCAECnビットが0の場合，0000Hがリードされます。

キャプチャ・レジスタに指定したときは，INTPCm0, INTPCm1信号の有効エッジ検出で割り込みを発生します。

注意　キャプチャ動作とTMCmレジスタのカウント禁止の設定（TMCCn0レジスタのCECnビット = 0）のタイミングが競合した場合には，キャプチャされたデータは不定になります。また，INTCCCm0, INTCCCm1割り込みは発生しません（m = 0-3, n = 0-5）。

(b) コンペア・レジスタに設定（TMCCn1レジスタのCMSCn0, CMSCn1ビット = 1）

コンペア･レジスタに設定した場合は，カウント・クロックごとにTMCnとレジスタ値の比較動作を行い，一致による割り込みを発生します。タイマ・モード・コントロール・レジスタCn1（TMCCn1）のCCLRCnビットがセット（1）されている場合，CCCn0レジスタの一致と同時に，TMCnの値をクリア（0）します（CCCn1レジスタの一致ではTMCnレジスタはクリア（0）されません）（n = 0-5）。

コンペア・レジスタはセット／リセット出力機能を備えています。一致信号の発生に同期して，対応するタイマ出力（TOCn）をセットまたはリセットします。

割り込み選択ソースは選択したレジスタの機能で異なります。

注意1. キャプチャ／コンペア・レジスタCn0, Cn1にライトする場合は，必ずCAECnビットを1に設定してから行ってください。CAECnビットが0の場合，ライトしたデータは無効になります。

2. キャプチャ／コンペア・レジスタCn0, Cn1へのライト動作は，TMCCn0, TMCCn1レジスタ設定によりコンペア・レジスタに設定したあとに行ってください。キャプチャ・レジスタに設定されているとき（TMCCn1レジスタのCMSCn0, CMSCn1ビット = 0）に，CCCm0, CCCm1にライトしても，そのデータは書き込まれません（m = 0-3, n = 0-5）。

3. コンペア・レジスタに設定した場合は，INTPCn0, INTPCn1は外部割り込み入力端子として使用できません（n = 0-5）。
外部割り込み入力端子として使用する場合は，$\overline{\text{INTP65}}$, $\overline{\text{INTP66}}$端子モードで使用してください。

9. 1. 5　制御レジスタ

(1) タイマ・モード・コントロール・レジスタC00-C50（TMCC00-TMCC50）

TMCCn0レジスタは，TMCnの動作を制御するレジスタです（n = 0-5）。

8/1ビット単位でリード／ライト可能です。

ビット3, 2には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. CAECnビットとその他のビットは同時にはセットできません。必ずCAECnビットをセットしたあとにその他のビットおよびその他のTMCnユニットのレジスタを設定してください。また，タイマCを使用する際にタイマ機能に関連する外部端子を使用する場合には，必ず外部端子をコントロール・モードに設定したあとCAECnビットをセット（1）してください。

2. オーバフロー発生とTMCCn0レジスタのライトが競合した場合，OVFCnビット値はTMCCn0レジスタのライト時に書き込んだ値となります（n = 0-5）。

(1/2)

	⑦	6	5	4	3	2	①	⓪	アドレス	初期値
TMCC00	OVFC0	CSC02	CSC01	CSC00	0	0	CEC0	CAEC0	FFFFF606H	00H
TMCC10	OVFC1	CSC12	CSC11	CSC10	0	0	CEC1	CAEC1	FFFFF626H	00H
TMCC20	OVFC2	CSC22	CSC21	CSC20	0	0	CEC2	CAEC2	FFFFF646H	00H
TMCC30	OVFC3	CSC32	CSC31	CSC30	0	0	CEC3	CAEC3	FFFFF666H	00H
TMCC40	OVFC4	CSC42	CSC41	CSC40	0	0	CEC4	CAEC4	FFFFF686H	00H
TMCC50	OVFC5	CSC52	CSC51	CSC50	0	0	CEC5	CAEC5	FFFFF6A6H	00H

ビット位置	ビット名	意　味
7	OVFCn	TMCnのオーバフローを示すフラグです。 0：オーバフロー発生なし 1：オーバフロー発生 TMCnがFFFFHから0000Hにカウント・アップしたタイミングで，OVFCnビットは1になります。同時にオーバフロー割り込み要求（INTOVCn）を発生します。ただし，CCCn0をコンペア・モード（TMCCn1レジスタのCMSCn0ビット = 1）かつ，TMCnとCCCn0とのコンペア時の一致クリアを許可（TMCCn1レジスタのCCLRCnビット = 1）に設定し，FFFFHでの一致後にTMCnを0000Hにクリアする場合は，TMCnのクリアとみなし，OVFCnビットは1になりません。また，INTOVCn割り込みも発生しません。 OVFCnビットは，0をライトまたはCAECnビット = 0で非同期リセットをかけるまで1を保持します。また，オーバフローによる割り込み動作とOVFCnビットは独立しており，OVFCnビットを操作してもINTOVCnに対する割り込み要求フラグ（OVCIFn）には影響を与えません。OVFCnビットを読み出し中にオーバフローが発生した場合は，フラグの値は変化して次の読み出し時に反映されます。

備考　n = 0-5

(2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　　味</th></tr>
<tr><td>6-4</td><td>CSCn2-
CSCn0</td><td>TMCnの内部カウント・クロックを選択します。

<table>
<tr><th>CSCn2</th><th>CSCn1</th><th>CSCn0</th><th>カウント周期</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>fx/8</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>fx/16</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>fx/32</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>fx/64</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>fx/128</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>fx/256</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>fx/512</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>fx/1024</td></tr>
</table>

注意　タイマ動作中にCSCn2-CSCn0ビットを変更しないでください。変更する場合にはCECnビット = 0にしてから行ってください。動作中に書き換えた場合，その動作は保証できません。

備考　fx：メイン・クロック</td></tr>
<tr><td>1</td><td>CECn</td><td>TMCnの動作を制御します。
0：カウント禁止（0000Hで停止し，動作しません）
1：カウント動作を行います。

注意　CECn = 0の場合は，外部パルス出力（TOCn）はインアクティブ・レベルになります（TOCn出力のアクティブ・レベルはTMCCn1レジスタのALVCnビットで設定します）。</td></tr>
<tr><td>0</td><td>CAECn</td><td>内部カウント・クロックを制御します。
0：TMCnユニット全体を非同期リセット。TMCnユニットへのクロック供給を停止。
1：クロックをTMCnユニットへ供給

注意1.　CAECn = 0にすると，TMCnユニットを非同期にリセットすることができます。
2.　CAECn = 0の場合，TMCnユニットはリセット状態なので，TMCnを動作させる場合には，まずCAECn = 1にしてください。
3.　CAECnビットを1から0にした場合は，TMCnユニットのすべてのレジスタが初期化されます。再度CAECn = 1にした場合には，必ずTMCnユニットのすべてのレジスタを再設定してください。</td></tr>
</table>

備考　n = 0-5

(2) タイマ・モード・コントロール・レジスタC01-C51（TMCC01-TMCC51）

TMCCn1レジスタは，TMCnの動作を制御するレジスタです（n = 0-5）。

8ビット単位でリード／ライト可能です。

注意1. タイマ動作中に，TMCCn1レジスタの各ビットを変更しないでください。変更する場合は，TMCCn0レジスタのCECnビットを0にしてから行ってください。タイマ動作中にTMCCn1レジスタを書き換えた場合の動作は保証できません（n = 0-5）。

2. ENTOCnビットとALVCnビットを同時に変更した場合，TOCn端子出力にグリッチ（ヒゲ状のノイズ）が発生する可能性があります。グリッチが発生しても誤動作しない回路構成にするか，ENTOCnビットとALVCnビットを同時に変更しないようにしてください（n = 0-5）。

3. TOCn出力は外部割り込み信号（INTPCm0, INTPCm1）では変化しません。TOCn信号を使用するときは，キャプチャ／コンペア・レジスタをコンペア・レジスタに指定（TMCCn1レジスタのCMSCn0, CMSCn1ビット = 1）してください（m = 0-3, n = 0-5）。

4. TMCC41, TMCC51レジスタは，CCC40, CCC41, CCC50, CCC51レジスタをコンペア・レジスタとして設定した場合のみ使用できます。CCC40, CCC41, CCC50, CCC51レジスタをキャプチャ・レジスタとして設定した場合は使用できません。

5. ECLRCnビットの設定により，外部クリアを行う場合には必ず次のように設定してください。

TMD0のカウント・クロック周期＞TMCnのカウント・クロック周期

この設定を行わない場合，INTCMD0割り込み信号の立ち下がりエッジを検出できない場合があります。

正しい使用例（TMD0のカウント・クロックの方が遅い）

TMCD0レジスタのCSD02-CSD00ビット = 011 ：fx/64

TMCCn0レジスタのCSCn2-CSCn0ビット = 001：fx/16

備考　TOCn出力のフリップフロップは，リセットが優先されます（n = 0-5）。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
TMCC01	OSTC0	ENTOC0	ALVC0	ETIC0	CCLRC0	ECLRC0	CMSC01	CMSC00	FFFFF608H	20H
TMCC11	OSTC1	ENTOC1	ALVC1	ETIC1	CCLRC1	ECLRC1	CMSC11	CMSC10	FFFFF628H	20H
TMCC21	OSTC2	ENTOC2	ALVC2	ETIC2	CCLRC2	ECLRC2	CMSC21	CMSC20	FFFFF648H	20H
TMCC31	OSTC3	ENTOC3	ALVC3	ETIC3	CCLRC3	ECLRC3	CMSC31	CMSC30	FFFFF668H	20H
TMCC41	OSTC4	ENTOC4	ALVC4	ETIC4	CCLRC4	ECLRC4	CMSC41	CMSC40	FFFFF688H	20H
TMCC51	OSTC5	ENTOC5	ALVC5	ETIC5	CCLRC5	ECLRC5	CMSC51	CMSC50	FFFFF6A8H	20H

ビット位置	ビット名	意　味
7	OSTCn	TMCnがオーバフローしたときの動作を設定します。 0：オーバフロー後，カウント継続（フリー・ランニング・モード） 1：オーバフロー後，タイマは0000Hを保持しカウント停止（オーバフロー・ストップ・モード）。次の動作によりカウントを再開します。 ECLRCnビット = 0のとき：CECnビットへの1ライト動作 ECLRCnビット = 1のとき：INTCMD0の有効エッジ入力
6	ENTOCn	外部パルス出力（TOCn）の出力を許可／禁止します。 0：外部パルス出力禁止。TOCn端子にはALVCnビットのインアクティブ・レベルを固定出力します。対応するコンペア・レジスタから一致信号が発生してもTOCn端子のレベルは変化しません。 1：外部パルス出力許可。コンペア・レジスタの一致により，TOCn出力が変化します。ただし，キャプチャ・モードのときには，TOCm出力は変化しません。タイマ出力を許可してから最初に一致信号が発生するまでは，ALVCnビットのインアクティブ・レベルが出力されます。 **注意**　CCCn0，CCCn1のどちらかをキャプチャ・レジスタに指定した場合は，ENTOCn = 0に設定してください。
5	ALVCn	外部パルス出力（TOCn）のアクティブ・レベルを指定します。 0：アクティブ・レベルはロウ・レベル 1：アクティブ・レベルはハイ・レベル **注意**　ALVCnビットの初期値は“1”です。

備考　m = 0-3

n = 0-5

(2/2)

ビット位置	ビット名	意　　味
4	ETICn	カウント・クロックの外部と内部の切り替えを指定します。 0：入力クロック（内部）を指定します。TMCCn0のCSCn2-CSCn0ビットによりカウント・クロックを選択できます。 1：外部クロック（TICm）を指定します。SESCmのTESCm1, TESCm0ビットの指定により有効エッジを選択できます。
3	CCLRCn	コンペア動作時のTMCnのクリアの許可／禁止を設定します。 0：クリア禁止 1：クリア許可（コンペア動作時にCCCn0とTMCnが一致するとTMCnをクリア）
2	ECLRCn	INTCMD0（TMD0）によるTMCnのクリアを許可／禁止を設定します。 0：INTCMD0によるクリア禁止 1：INTCMD0によるクリア許可。クリア後，カウントを再開します。 **注意**　ECLRCnビット = 1の場合，TMD0によるコンペア一致割り込み（INTCMD0）が発生しないかぎり，タイマのカウントは開始しません（TMCCn0レジスタのCECnビットをセット（1）してもカウントは開始されません）。
1	CMSCn1	キャプチャ／コンペア・レジスタ（CCCn1）の動作モードを選択します。 0：キャプチャ・レジスタ（CCCm1）として動作 1：コンペア・レジスタ（CCCn1）として動作
0	CMSCn0	キャプチャ／コンペア・レジスタ（CCCn0）の動作モードを選択します。 0：キャプチャ・レジスタ（CCCm0）として動作 1：コンペア・レジスタ（CCCn0）として動作

備考　m = 0-3

n = 0-5

（3）有効エッジ選択レジスタC0-C3（SESC0-SESC3）

TMCnの外部端子による外部割り込み要求（INTPC00, INTPC01, INTPC10, INTPC11, INTPC20, INTPC21, INTPC30, INTPC31, TIC0-TIC3）の有効エッジを指定するレジスタです（n = 0-3）。

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，または立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8ビット単位でリード／ライト可能です。

ビット5, 4には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. タイマ動作中に，SESCnレジスタの各ビットを変更しないでください（n = 0-3）。変更する場合は，TMCCn0レジスタのCECnビットを0にしてから行ってください。タイマ動作中にSESCnレジスタを書き換えた場合の動作は保証できません。

2. タイマCを使用しないでINTPC00/TIC0, INTPC10/TIC1, INTPC20/TIC2, INTPC30/TIC3端子をそれぞれINTPC00, INTPC10, INTPC20, INTPC30として使用する場合でもタイマ・モード・コントロール・レジスタC00-C03（TMCC00-TMCC30）のCAECn, CECnビットを必ずセット（1）してから使用してください。

3. INTPC00, INTPC01, INTPC10, INTPC11, INTPC20, INTPC21, INTPC30, INTPC31, TIC0-TIC3端子のトリガ・モードを設定する場合は，PMCxレジスタの設定をし（x = 5-7），その後，TMCCn0レジスタのCAECn, CECnビットをセット（1）したあと（n = 0-3），SESCnレジスタの設定をしてください。

   SESCnレジスタの設定をしたあとでPMCxレジスタの設定を行うと，PMCxレジスタの設定タイミングで不正な割り込みや誤カウント，誤クリアが発生することがあります（n = 0-3, x = 5-7）。

	7	6	5	4	3	2	1	0	アドレス	初期値
SESC0	TESC01	TESC00	0	0	IESC101	IESC100	IESC001	IESC000	FFFFF609H	00H
	TIC0				INTPC01		INTPC00			

	7	6	5	4	3	2	1	0	アドレス	初期値
SESC1	TESC11	TESC10	0	0	IESC111	IESC110	IESC011	IESC010	FFFFF629H	00H
	TIC1				INTPC11		INTPC10			

	7	6	5	4	3	2	1	0	アドレス	初期値
SESC2	TESC21	TESC20	0	0	IESC121	IESC120	IESC021	IESC020	FFFFF649H	00H
	TIC2				INTPC21		INTPC20			

	7	6	5	4	3	2	1	0	アドレス	初期値
SESC3	TESC31	TESC30	0	0	IESC131	IESC130	IESC031	IESC030	FFFFF669H	00H
	TIC3				INTPC31		INTPC30			

ビット位置	ビット名	意　味
7, 6	TESCn1, TESCn0 (n = 0-3)	INTPCm0端子，INTPCm1端子，TICm端子の有効エッジを指定します（m = 0-3）。
3, 2	IESCn1, IESCn0 (n = 10-13)	
1, 0	IESCn1, IESCn0 (n = 00-03)	

xESCn1	xESCn0	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり両エッジ

(4) ノイズ除去幅設定レジスタC0-C3（NCWC0-NCWC3）

NCWCn**レジスタは，タイマ**C**入力端子のディジタル・ノイズ・フィルタのノイズ除去幅を設定するレジスタです**（n = 0-3）。

8**ビット単位でリード／ライト可能です。**

ビット7-2**には必ず**0**を設定してください。**1**を設定した場合の動作は保証できません。**

また，動作中に書き換えないでください。

	7	6	5	4	3	2	1	0	アドレス	初期値
NCWC0	0	0	0	0	0	0	NCCC01	NCCC00	FFFFF610H	02H
NCWC1	0	0	0	0	0	0	NCCC11	NCCC10	FFFF630H	02H
NCWC2	0	0	0	0	0	0	NCCC21	NCCC20	FFFFF650H	02H
NCWC3	0	0	0	0	0	0	NCCC31	NCCC30	FFFFF670H	02H

ビット位置	ビット名	意　味
1, 0	NCCCn1, NCCCn0	**ノイズ除去クロック数を指定します。** NCCCn1 / NCCCn0 / **ノイズ除去クロック数** 0 / 0 / 0（**スルー入力**） 0 / 1 / 2 1 / 0 / 3 1 / 1 / 5 **備考**　1**クロック** = fx/4 fx：**メイン・クロック**

備考　n = 0-3

9. 1. 6　動　　作

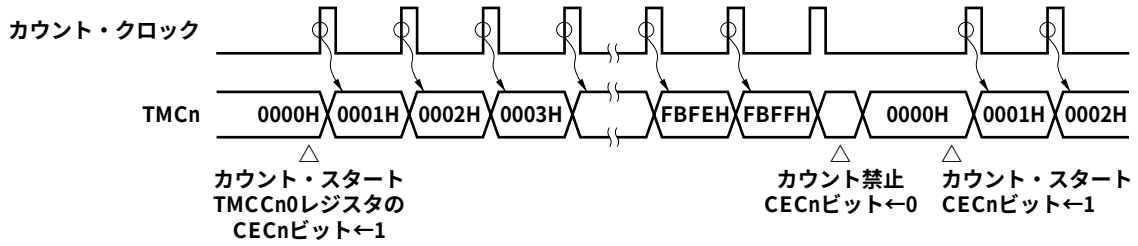
(1) カウント動作

タイマCは，16ビットのフリー・ランニング・タイマまたは，外部信号のイベント・カウンタとして機能します。動作の設定は，タイマ・モード・コントロール・レジスタCn0, Cn1（TMCCn0, TMCCn1）で指定します（n = 0-5）。

フリー・ランニング・タイマとして動作する場合，CCCn0, CCCn1レジスタとTMCnのカウント値が一致すると，割り込み信号を発生させるとともに，タイマ出力信号（TOCn）をセット／リセットすることができます。また，外部トリガとしての外部割り込み要求入力端子から検出された有効エッジに同期して，TMCmのカウント値をCCCm0, CCCm1レジスタに保持するキャプチャ動作を行うこともできます（m = 0-3）。キャプチャの値は，次のキャプチャ・トリガが発生するまで保持されます。

注意　INTPCm0/TICm端子をTICm（外部クロック入力端子）として使用する場合は，INTPCm0の割り込みを禁止するか，CCCm0レジスタをコンペア・モードにしてください（m = 0-3）。

図9－2　タイマCの基本動作



備考　n = 0-5

(2) オーバフロー

TMCnレジスタがカウント・クロックをFFFFHから0000Hまでカウントした場合に，TMCCn0レジスタのOVFCnビットをセット（1）します。同時にオーバフロー割り込み（INTOVCn）を発生します。ただし，CCCn0レジスタをコンペア・モード（TMCCn1レジスタのCMSCn0ビット = 1）かつ，FFFFHに設定し，一致クリアが有効（TMCCn1レジスタのCCLRCnビット = 1）な場合に，TMCnレジスタがFFFFHから0000Hに変化した場合は，TMCnレジスタのクリアとみなし，OVFCnビットをセット（1）しません。また，INTOVCnも発生しません。

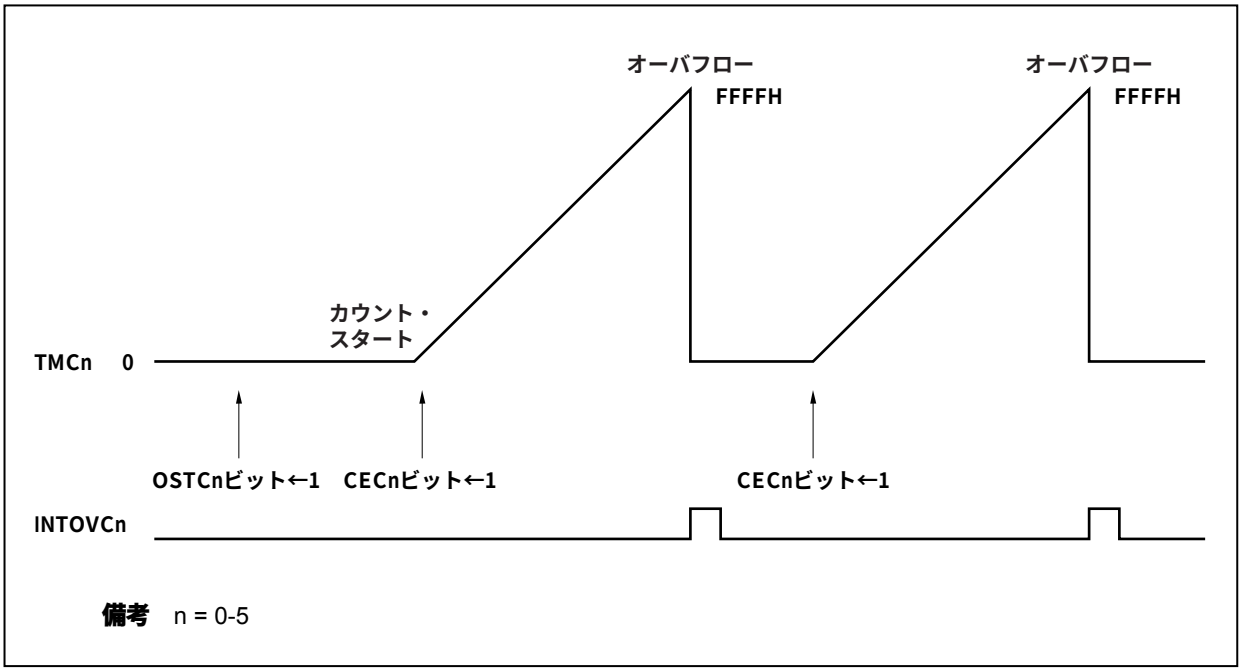
TMCCn0レジスタのCECnビットを1→0に変更することにより，TMCnレジスタがFFFFHから0000Hに変化した場合も，TMCnレジスタのクリアとみなし，OVFCnビットをセット（1）せず，INTOVCn割り込みも発生しません。

また，TMCCn1レジスタのOSTCnビットをセット（1）することで，オーバフロー後，タイマを停止させることができます。オーバフローによりタイマが停止した場合，CECnビットを再度セット（1）するまでカウント動作を再開しません。

なお，カウント動作中にCECnビットをセット（1）しても動作に影響はありません。

備考　n = 0-5

図9－3　オーバフロー後の動作（OSTCnビット = 1の場合）



(3) キャプチャ動作

TMCnレジスタは，CCCn0レジスタとCCCn1レジスタの2つのキャプチャ／コンペア・レジスタがあります。どちらもTMCCn1レジスタのCMSCn1, CMSCn0ビットにより，キャプチャ動作またはコンペア動作に設定します。TMCCn1レジスタのCMSCn1, CMSCn0ビットに0を設定すると，キャプチャ・レジスタとして動作します。

外部トリガに同期して，TMCmのカウント値をカウント・クロックとは非同期にキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。外部トリガとして，外部割り込み要求入力端子（INTPCm0, INTPCm1）から検出された有効エッジを使用します（キャプチャ・トリガ）。そのキャプチャ・トリガ信号に同期して，カウント中のTMCmのカウント値をキャプチャ・レジスタに取り込み保持します。キャプチャ・レジスタの値は，次のキャプチャ・トリガが発生するまで保持されます。

また，INTPCm0, INTPCm1信号入力により割り込み要求（INTCCCm0, INTCCCm1）を発生します。

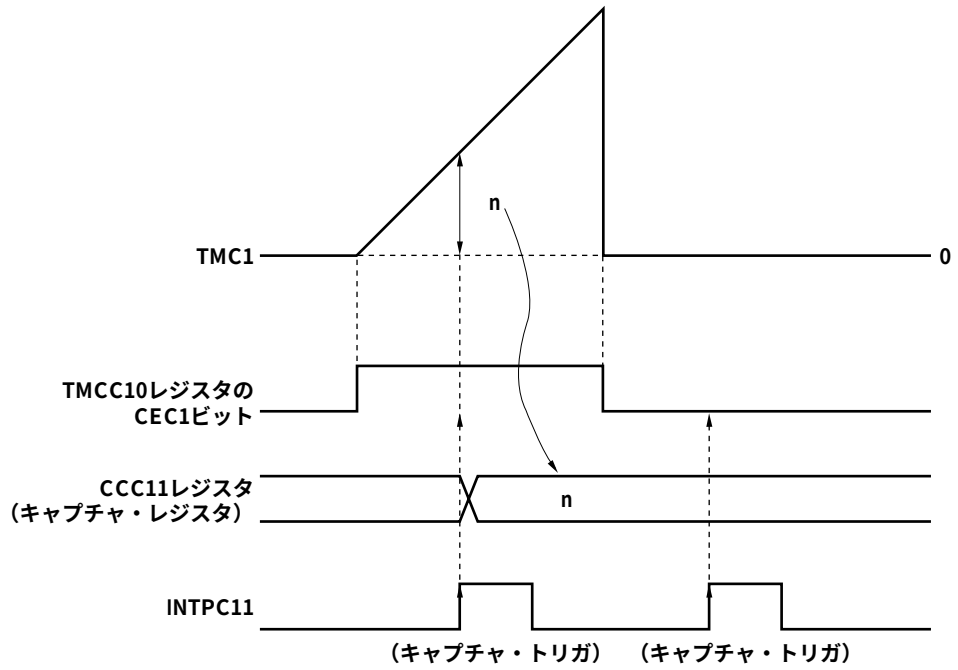
キャプチャ・トリガの有効エッジは，有効エッジ選択レジスタCm（SESCm）により設定します。

立ち上がり，立ち下がりの両エッジをキャプチャ・トリガとした場合は，外部からの入力パルス幅を測定できます。また，片側エッジをキャプチャ・トリガとした場合は，入力パルスの周期を測定できます。

備考　m = 0-3

n = 0-5

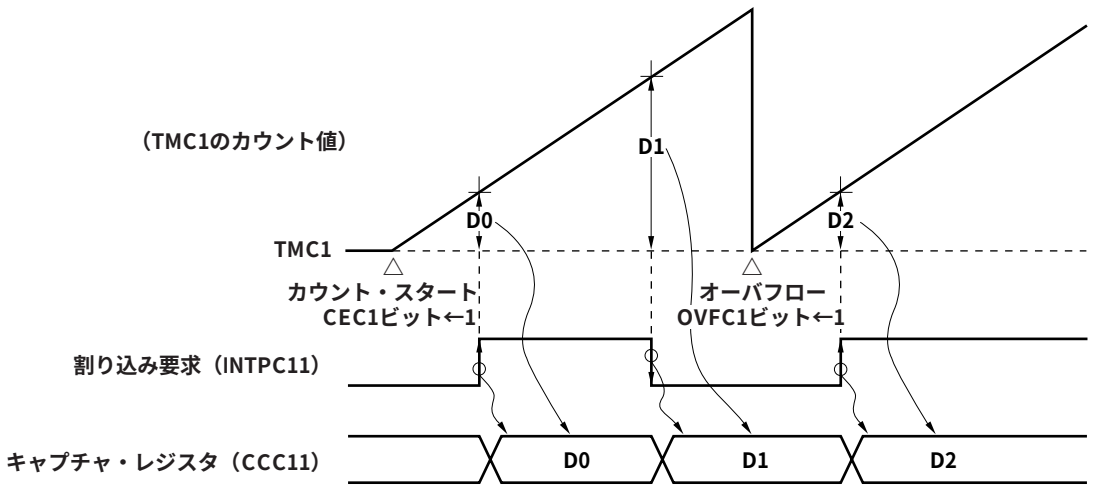
図9－4　キャプチャ動作例



備考1.　CEC1ビット = 0のとき，INTPC11が入力されてもキャプチャ動作は行われません。

2.　INTPC11の有効エッジ：立ち上がりエッジ

図9ー5　TMC1キャプチャ動作例（両エッジ指定時）



備考　D0-D2：TMC1のカウント値

(4) コンペア動作

TMCnレジスタは，CCCn0レジスタとCCCn1レジスタの2つのキャプチャ／コンペア・レジスタがあります。どちらもTMCCn1レジスタのCMSCn1, CMSCn0ビットにより，キャプチャ動作またはコンペア動作の設定をします。TMCCn1レジスタのCMSCn1, CMSCn0ビットに1を設定すると，コンペア・レジスタとして動作します。

コンペア・レジスタに設定した値とTMCnのカウント値を比較するコンペア動作を行います。

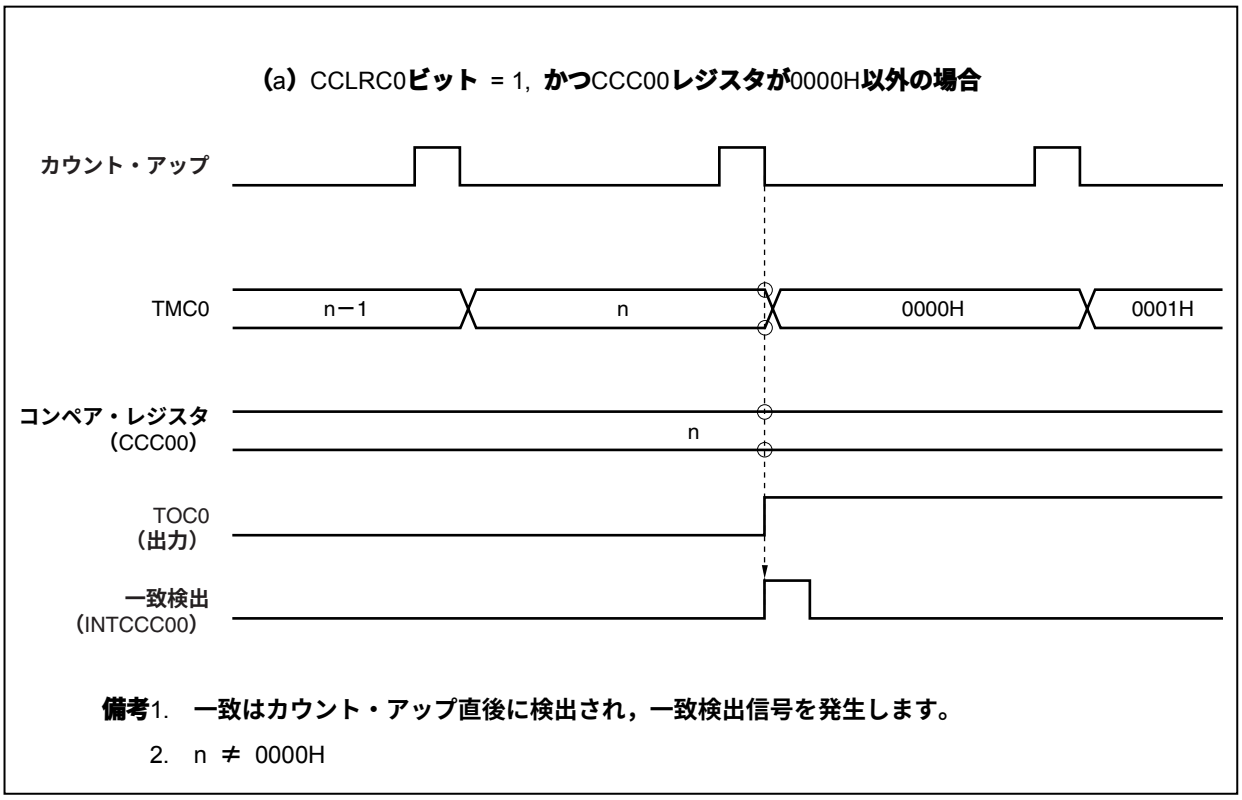
あらかじめ設定したコンペア・レジスタの値に，TMCnのカウント値が一致すると，出力制御回路に一致信号を送ります。一致信号によりタイマ出力端子(TOCn)を変化させ，同時に割り込み要求信号(INTCCCn0, INTCCCn1）を発生します。

CCCn0, CCCn1レジスタに0000Hを設定した場合は，TMCnレジスタがFFFFHから0000Hにカウント・アップ後の0000Hを一致と判定します。この場合次のカウント・タイミングでTMCnレジスタの値をクリア(0）しますが，このときの0000Hとは一致の判定を行いません。また，TMCnレジスタがカウントを開始するときの0000Hとも一致の判定を行いません。

CCCn0レジスタは一致クリア許可（TMCCn1レジスタのCCLRCnビット = 1）にすると，コンペア動作中にTMCnレジスタとの一致が発生した場合にTMCnレジスタをクリアします。

備考　n = 0-5

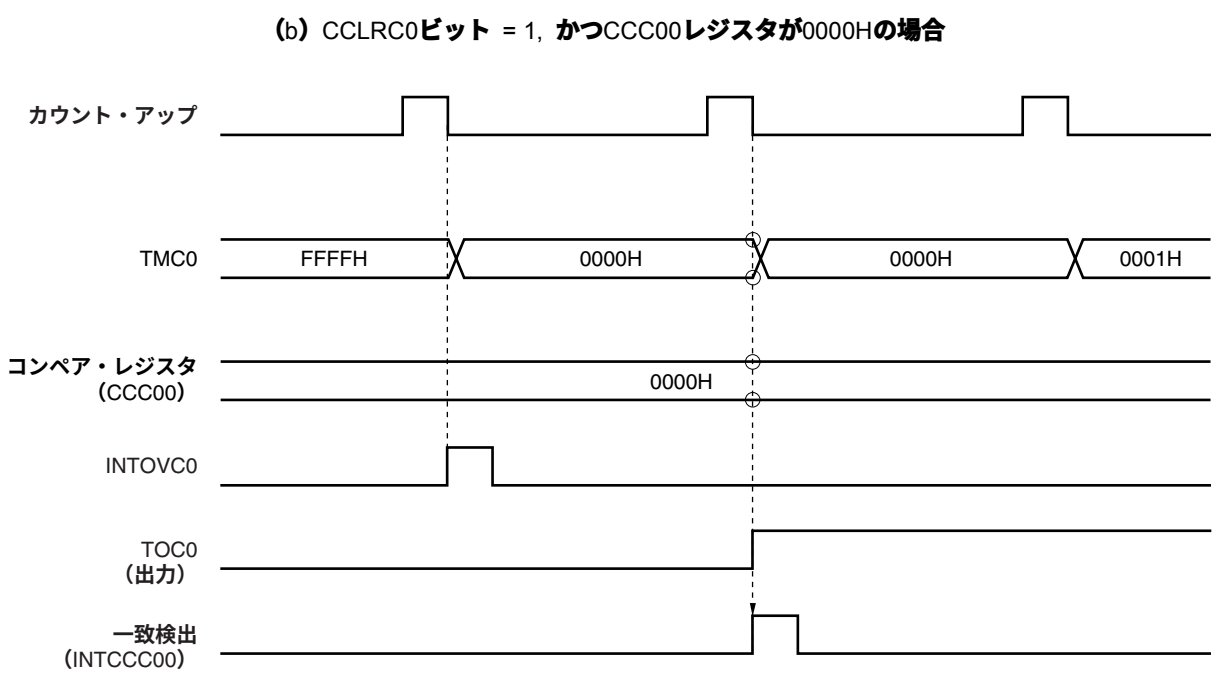
図9－6　コンペア動作例（1/2）



備考1.　一致はカウント・アップ直後に検出され，一致検出信号を発生します。

2.　n ≠ 0000H

図9－6　コンペア動作例（2/2）



備考　一致はカウント・アップ直後に検出され，一致検出信号を発生します。

(5) 外部パルス出力

タイマCは6本のタイマ出力端子（TOCn）を持っています。

外部パルス出力（TOCn）は，2つのコンペア・レジスタ（CCCn0，CCCn1）とTMCnレジスタとの一致を検出して生成します。

TMCnのカウント値とCCCn0レジスタの値を比較し，一致するとTOCn端子の出力レベルをセットします。また，TMCnのカウント値とCCCn1レジスタの値を比較し，一致するとTOCn端子の出力レベルをリセットします。

TOCn端子の出力レベルは，TMCCn1レジスタによって指定できます。

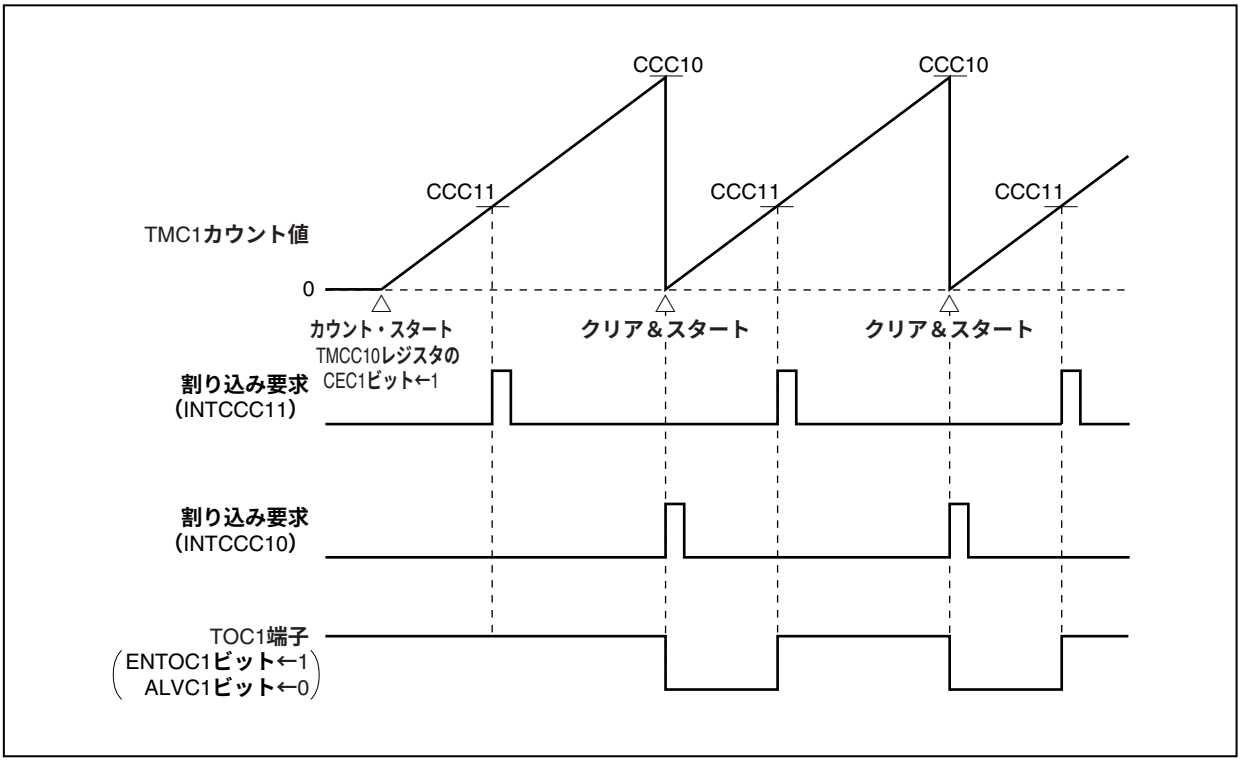
備考　n = 0-5

表9－2　TOCn出力制御

TMCCn1レジスタ		TOCn出力	
ENTOCnビット	ALVCnビット	外部パルス出力	出力レベル
0	0	禁止	ハイ・レベル
0	1	禁止	ロウ・レベル
1	0	許可	CCCn0レジスタとの一致：ロウ・レベル CCCn1レジスタとの一致：ハイ・レベル
1	1	許可	CCCn0レジスタとの一致：ハイ・レベル CCCn1レジスタとの一致：ロウ・レベル

備考　n = 0-5

図9－7　TMC1コンペア動作例（セット／リセット出力モード）



9. 1. 7　使用例

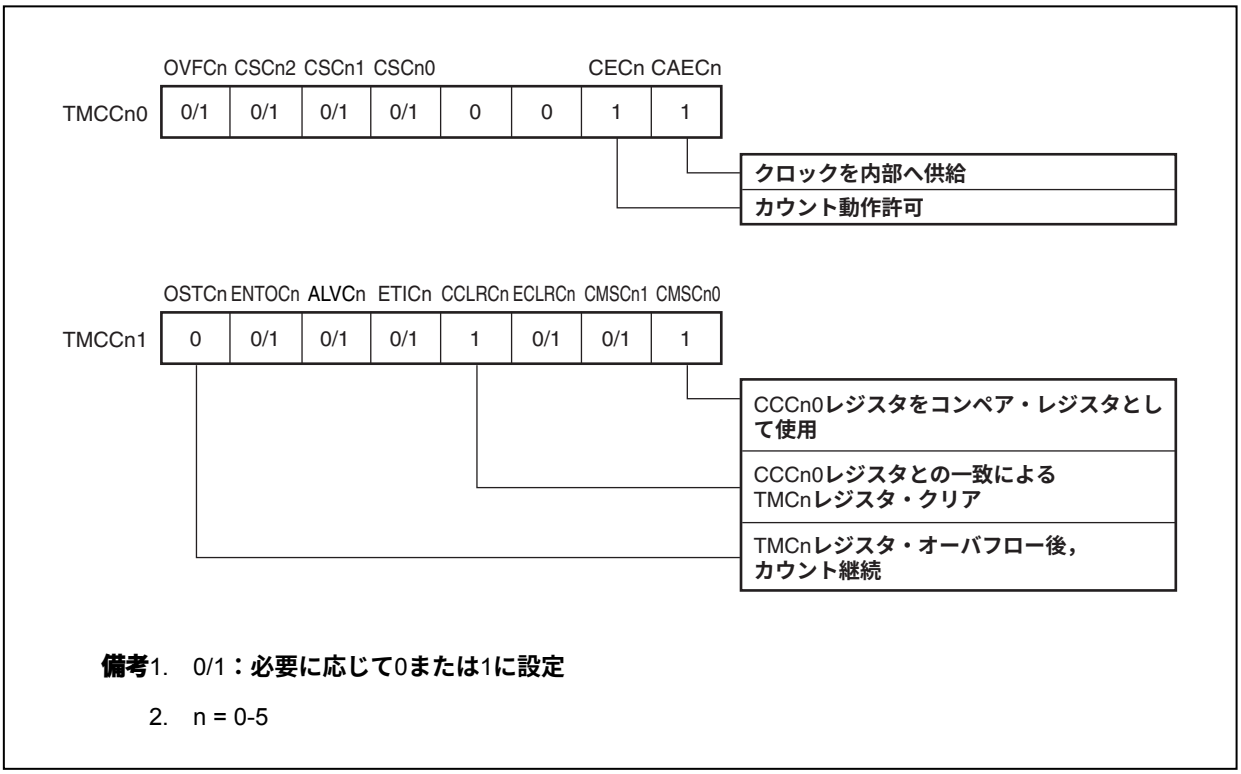
(1) インターバル・タイマ

TMCCn0, TMCCn1レジスタを図9－8のように設定することにより，CCCn0レジスタにあらかじめ設定した値をインターバルとして，繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

TMCnレジスタのカウンタ値がCCCn0レジスタの設定値と一致すると，TMCnレジスタをクリア（0000H）してカウント動作を継続すると同時に，割り込み要求信号（INTCCCn0）を発生します。

備考　n = 0-5

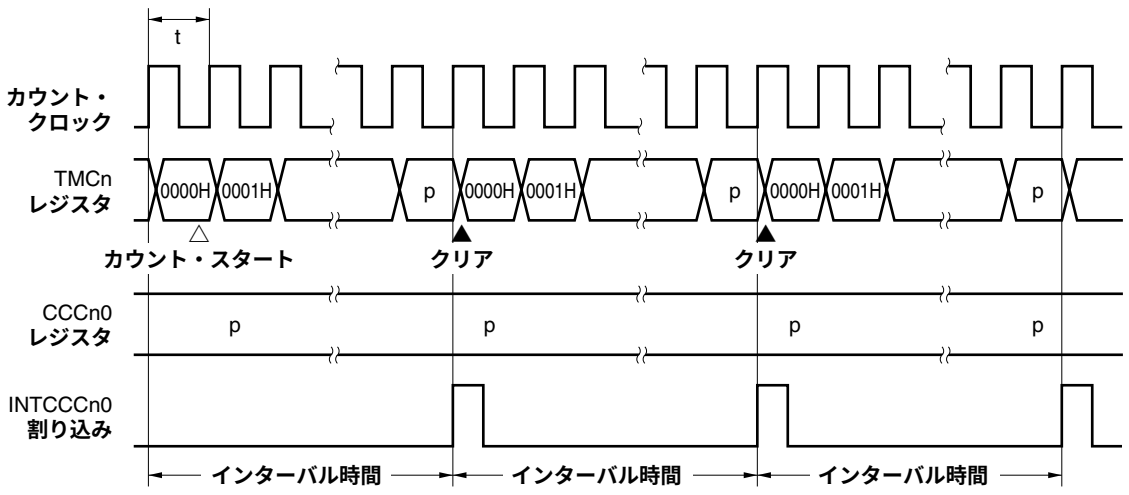
図9－8　インターバル・タイマとして使用時のレジスタ設定内容



備考1.　0/1：必要に応じて0または1に設定

2.　n = 0-5

図9－9　インターバル・タイマ動作タイミング例



備考1.　p ：CCCn0**レジスタ設定値**（0000H-FFFFH）

t ：**カウント・クロック周期**

インターバル時間 ＝（p＋1）×t

2.　n = 0-5

(2) PWM出力

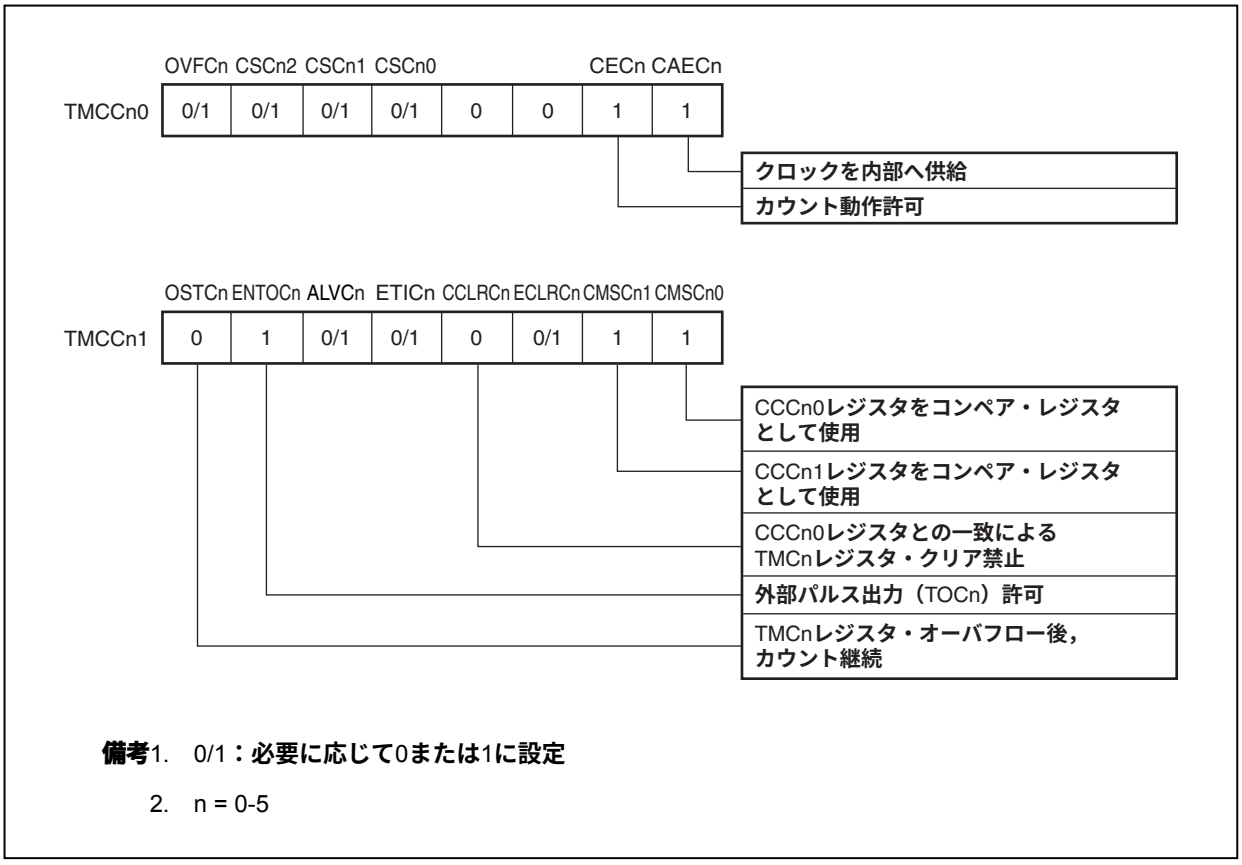
TMCCn0, TMCCn1レジスタを図9－10のように設定することにより，CCCn0, CCCn1レジスタにあらかじめ設定した値をインターバルとするTMCCn0レジスタのCSCn2-CSCn0ビットの設定で決まる周波数のPWM出力が行えます。

TMCnレジスタのカウンタ値がCCCn0レジスタの設定値と一致すると，TOCn出力がアクティブになります。続いて，TMCnレジスタのカウント値がCCCn1レジスタの設定値と一致すると，TOCn出力がインアクティブになります。TMCnレジスタはカウントを続け，オーバフローするとカウント値を0000Hにしてクリアし，カウントを継続します。これによって，TMCCn0レジスタのCSCn2-CSCn0ビットの設定で決まる周波数のPWM出力が可能になります。CCCn0レジスタの設定値とCCCn1レジスタの設定値が同一の場合は，TOCn出力はインアクティブのまま変化しません。

なお，TOCn出力のアクティブ・レベルはTMCCn1レジスタのALVCnビットで設定できます。

備考　n = 0-5

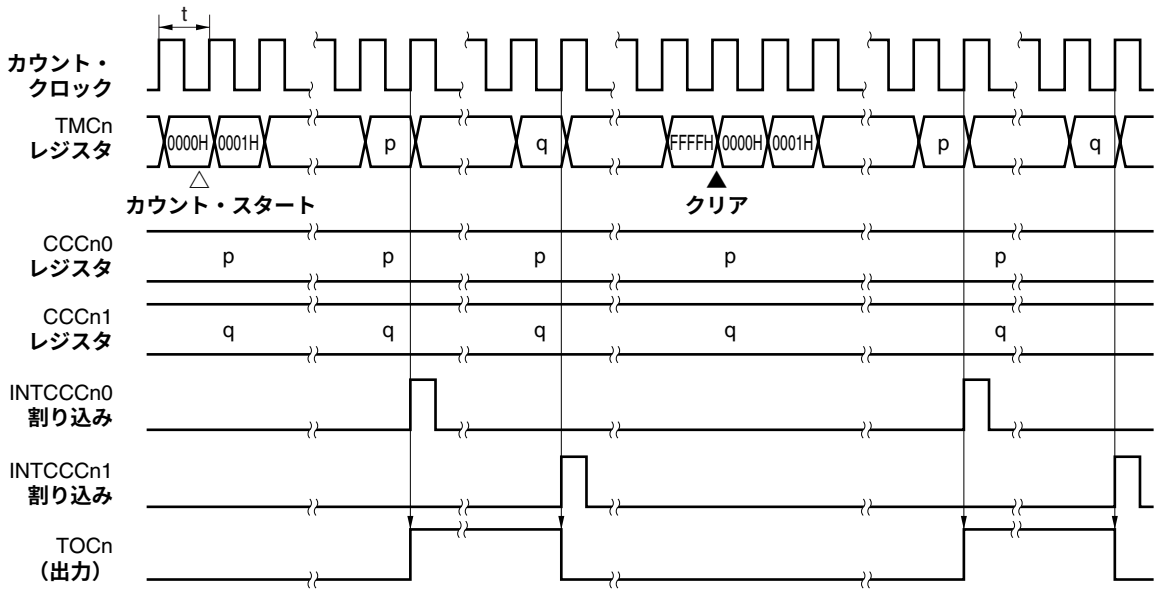
図9－10　PWM出力として使用時のレジスタ設定内容



備考1.　0/1：必要に応じて0または1に設定

2.　n = 0-5

図9－11　PWM出力動作タイミング例



備考1.　p：CCCn0**レジスタ設定値**（0000H-FFFFH）

q：CCCn1**レジスタ設定値**（0000H-FFFFH）

p≠q

t：**カウント・クロック周期**

PWM**周期** = 65536×t

デューティ = $\frac{q-p}{65536}$

2.　TOCn**出力のアクティブ・レベルをハイ・レベルにした場合の例です。**

3.　n = 0-5

(3) 周期測定

TMCCn0, TMCCn1レジスタを図9－12のように設定することにより，INTPCm0端子，またはINTPCm1端子に入力する信号の周期を測定することができます。

INTPCm0端子の有効エッジは，SESCmレジスタのIESC0m1, IESC0m0ビットで行い，INTPCm1端子の有効エッジは，SESCmレジスタのIESC1m1, IESC1m0ビットで行います。どちらの端子も有効エッジとして立ち上がり，立ち下がり，立ち上がり／立ち下がり両エッジの3種類から選択できます。

CCCm0レジスタをキャプチャ・レジスタに設定すると，INTPCm0端子の有効エッジ入力をトリガとして，TMCmレジスタの値をCCCm0レジスタに取り込みます。取り込みが行われると，INTCCCm0割り込みを発生します。

同様にCCCm1レジスタをキャプチャ・レジスタに設定すると，INTPCm1端子の有効エッジ入力をトリガとして，TMCmレジスタの値をCCCm1レジスタに取り込みます。取り込みが行われると，INTCCCm1割り込みを発生します。

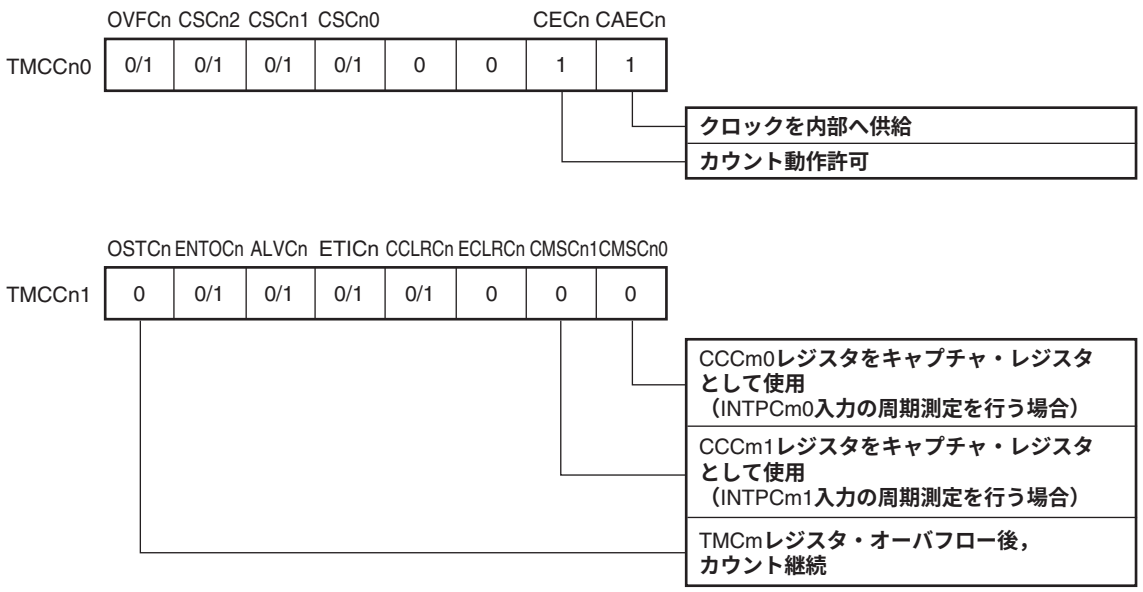
INTPCm0端子に入力する信号の周期は，x回目のINTPCm0端子の有効エッジにより，CCCm0レジスタに取り込んだTMCmレジスタのカウント値（Dx）と，（x＋1）回目のINTPCm0端子の有効エッジによりCCCm0レジスタに取り込んだTMCmレジスタのカウント値（D（x＋1））との差を求め，この差の値とクロック制御信号の周期の積から計算します。

同様にINTPCm1端子に入力する信号の周期は，x回目のINTPCm1端子の有効エッジにより，CCCm1レジスタに取り込んだTMCmレジスタのカウント値（Dx）と，（x＋1）回目のINTPCm1端子の有効エッジによりCCCm1レジスタに取り込んだTMCmレジスタのカウント値（D（x＋1））との差を求め，この差の値とクロック制御信号の周期の積から計算します。

備考　m = 0-3

n = 0-5

図9－12　周期測定として使用時のレジスタ設定内容

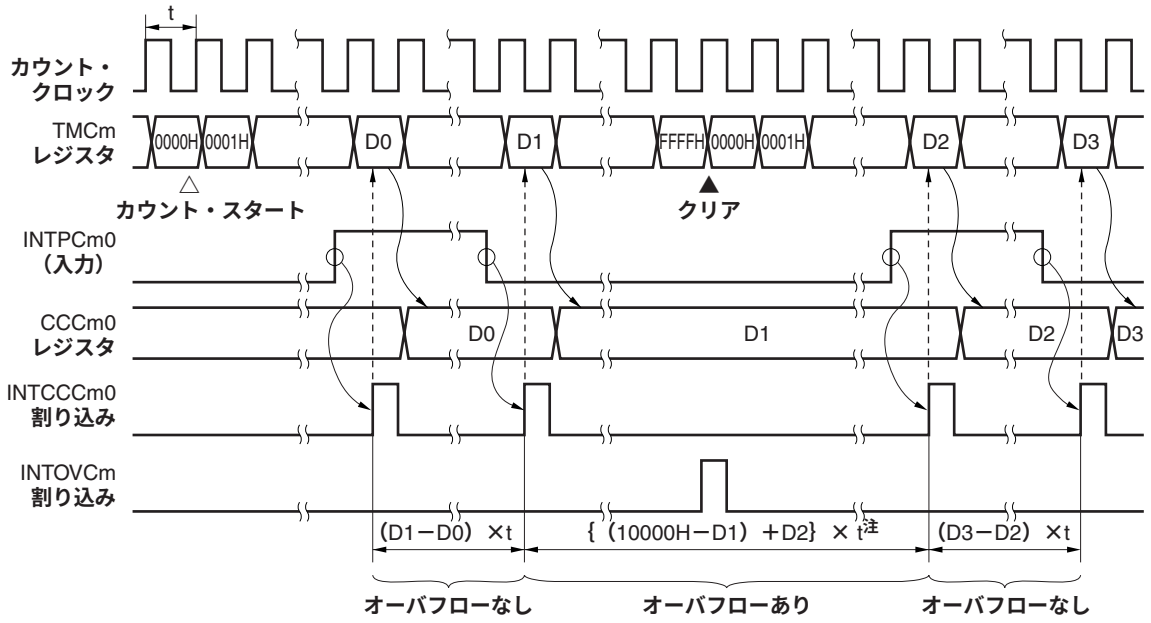


備考1.　0/1：必要に応じて0または1に設定

2.　m = 0-3

n = 0-5

図9－13　周期測定動作タイミング例



注　オーバフローが1回発生した場合

備考1.　D0-D3：TMCm**レジスタ・カウント値**

t：**カウント・クロック周期**

2.　INTPCm0**入力有効エッジを立ち上がり，立ち下がりの両エッジに設定した場合の例です。**

3.　m = 0-3

9. 1. 8　注意事項

タイマCについての注意事項を次に示します。

(1) CCCm0レジスタのリードとキャプチャ動作の競合

CCCm0レジスタをキャプチャ・モードで使用しているときに，命令によるCCCm0レジスタのリードとキャプチャ動作が競合した場合，外部トリガ（INTPCm0）の有効エッジ検出および，外部割り込み要求（INTCCCm0）は発生しますが，CCCm0レジスタへのタイマ値の格納は行われません。

(2) CCCm1レジスタのリードとキャプチャ動作の競合

CCCm1レジスタをキャプチャ・モードで使用しているときに，命令によるCCCm1レジスタのリードとキャプチャ動作が競合した場合，外部トリガ（INTPCm1）の有効エッジ検出および，外部割り込み要求（INTCCCm1）は発生しますが，CCCm1レジスタへのタイマ値の格納は行われません。

(3) タイマ動作中の書き換え

タイマ動作中（TMCCn0レジスタのCECnビット = 1）に，次のビット，レジスタを書き換えないでください。

- TMCCn0レジスタのCSCn2-CSCn0ビット
- TMCCn1レジスタ
- SESCmレジスタ

(4) タイマC使用時のレジスタ設定

TMCCn0レジスタのCAECnビットは，TMCnのリセット信号です。TMCnを使用する際には，まずCAECnビットをセット（1）してください。

(5) 外部割り込み要求信号（INTPCm0, INTPCm1），外部クロック入力（TICm）の有効エッジ検出

外部割り込み要求信号（INTPCm0, INTPCm1），外部クロック入力（TICm）の有効エッジ検出には，ディジタル・ノイズ除去時間（0~5）×fx/4が必要です。したがって，ディジタル・ノイズ除去時間未満の変化に対してはエッジ検出が正常に行われない可能性があります。ディジタル・ノイズ除去については，14. 6. 3　タイマC，タイマENC1入力端子を参照してください。

(6) 外部割り込み要求信号（INTCCCn0, INTCCCn1）の動作

外部割り込み要求信号（INTCCCn0, INTCCCn1）の動作は，キャプチャ／コンペア・レジスタの動作状態によって自動的に決定します。キャプチャ動作時は，外部割り込み要求信号の有効エッジ検出として動作し，コンペア動作時は，TMCnレジスタとの一致割り込みとして動作します。

(7) グリッチの発生

TMCCn1レジスタのENTOCnビットとALVCnビットを同時に変更した場合，TOCn端子出力にグリッチ（ヒゲ状のノイズ）が発生する可能性があります。グリッチが発生しても誤動作しない回路構成にするか，ENTOCnビットとALVCnビットを同時に変更しないようにするかしてください。

(8) タイマCを使用しない場合の兼用端子

タイマCを使用しないでINTPC00/TIC0, INTPC10/TIC1, INTPC20/TIC2, INTPC30/TIC3端子をそれぞれINTPC00, INTPC10, INTPC20, INTPC30として使用する場合でもタイマ・モード・コントロール・レジスタC00-C03（TMCC00-TMCC30）のCAECn, CECnビットを必ずセット（1）してから使用してください。

(9) TICm（外部クロック入力端子）として使用する場合

INTPCm0/TICm端子をTICm（外部クロック入力端子）として使用する場合は，INTPCm0の割り込みを禁止するか，CCCm0をコンペア・モードにしてください（m = 0-3）。

(10) カウント・クロック

タイマ動作中はカウント・クロックを変更できません。

(11) CCC40, CCC41, CCC50, CCC51レジスタ

CCC40, CCC41, CCC50, CCC51レジスタは，コンペア・レジスタとしてだけ使用できます。キャプチャ・レジスタとしては使用できません。

(12) CCCn0, CCCn1レジスタをコンペア・レジスタに設定した場合のINTPCn0, INTPCn1端子

CCCn0, CCCn1レジスタをコンペア・レジスタに設定した場合，INTPCn0, INTPCn1は外部割り込み入力端子として使用できません（n = 0-5）。

外部割り込み入力端子として使用する場合は，$\overline{\text{INTP65}}$, $\overline{\text{INTP66}}$端子モードで使用してください。

(13) トリガ・モードの設定

INTPCm0, INTPCm1, TICm端子のトリガ・モードを設定する場合は，PMCxレジスタの設定をし（m = 0-3, x = 5-7），その後，TMCCm0レジスタのCAECm, CECmビットをセット（1）したあと，SESCmレジスタの設定をしてください。

SESCmレジスタの設定をしたあとでPMCxレジスタの設定を行うと，PMCxレジスタの設定タイミングで不正な割り込みや誤カウント，誤クリアが発生することがあります。

備考　m = 0-3

n = 0-5

9. 2　タイマD

9. 2. 1　特　　徴

タイマDは，16ビットのインターバル・タイマとして機能します。

9. 2. 2　機能概要

○16ビット・インターバル・タイマ：4チャネル
○コンペア・レジスタ：4本
○割り込み要求ソース：4要因
○カウント・クロックはメイン・クロックの分周から選択

9. 2. 3　基本構成

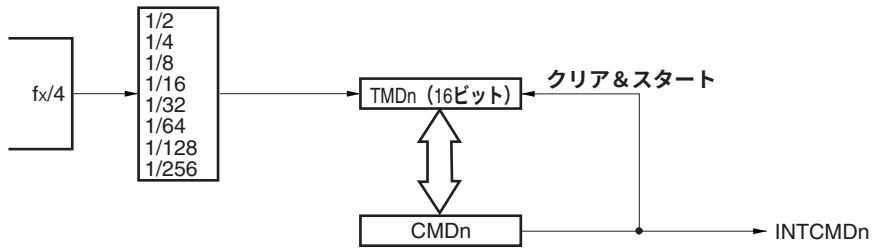
表9－3　タイマDの構成一覧

タイマ	カウント・クロック	レジスタ	リード／ライト	発生する割り込み信号	キャプチャ・トリガ	タイマ出力 S/R	その他の機能
タイマD	fx/8, fx/16, fx/32, fx/64, fx/128, fx/256, fx/512, fx/1024	TMD0	リード	－	－	－	－
		CMD0	リード／ライト	INTCMD0	－	－	タイマCのクリア&スタート
		TMD1	リード	－	－	－	－
		CMD1	リード／ライト	INTCMD1	－	－	－
		TMD2	リード	－	－	－	－
		CMD2	リード／ライト	INTCMD2	－	－	－
		TMD3	リード	－	－	－	－
		CMD3	リード／ライト	INTCMD3	－	－	－

備考　fx：メイン・クロック
S/R：セット／リセット

(1) タイマD（16ビット・タイマ／カウンタ）

図9－14　タイマDのブロック図



備考1.　n = 0-3
2.　fx：メイン・クロック

9. 2. 4　タイマD

（1）タイマD0-D3（TMD0-TMD3）

TMDnは，16ビット・タイマです。おもに，ソフトウエアのためのインターバル・タイマとして利用できます（n = 0-3）。

TMDnのスタートおよびストップは，タイマ・モード・コントロール・レジスタDn（TMCDn）のCEDnビットによって制御します（n = 0-3）。

カウント・クロックは，プリスケーラによる分周を，TMCDnレジスタのCSDn0-CSDn2ビットによりfx/8, fx/16, fx/32, fx/64, fx/128, fx/256, fx/512, fx/1024から選択できます（fx：メイン・クロック）。

TMDnは16ビット単位でリードだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TMD0																	FFFFF540H	0000H
TMD1																	FFFFF550H	0000H
TMD2																	FFFFF560H	0000H
TMD3																	FFFFF570H	0000H

TMDnレジスタが0000Hになる条件を次に示します（n = 0-3）。

○リセット入力
○TMCDnレジスタのCAEDnビット = 0
○TMCDnレジスタのCEDnビット = 0
○TMDnレジスタとCMDnレジスタの一致
○オーバフロー

注意1. TMCDnレジスタのCAEDnビットをクリア（0）すると，非同期でリセットされます。

2. TMCDnレジスタのCEDnビットをクリア（0）すると，内部クロックに同期してリセットされます。CMDnレジスタとの一致後，オーバフロー後も同様です。

3. タイマ動作中はカウント・クロックを変更しないでください。書き換えるときは，CEDnビットをクリア（0）したあとに書き換えてください。

4. CEDnビットを設定後，設定値が内部に伝わるまで最大8メイン・クロックかかります。したがって，カウント動作開始時，0000Hから0001Hのカウント周期は，その後のカウント周期と異なります。

5. コンペア一致が発生したあと，タイマは次のカウント・クロックでクリアされるため，分周比が大きいときは，一致割り込み発生直後にタイマの値を読み出しても，タイマの値が0でない場合があります。

6. TMDnレジスタの状態を初期化し，再度カウントを始める場合，8メイン・クロック経過後にTMCDnレジスタのCEDnビットをセット（1）してください。

（2）コンペア・レジスタD0-D3（CMD0-CMD3）

CMDnレジスタは，TMDnレジスタ・カウント値との比較を行い，一致すると割り込み要求信号（INTCMDn）を発生します。この一致に同期してTMDnをクリアします。TMCDnレジスタのCAEDnビットを0にすると，非同期にリセットがかかり初期化されます（n = 0-3）。

CMDnレジスタはマスタ／スレーブ構成になっています。CMDnレジスタにライトすると，まず，マスタ・レジスタにライトされ，続いてマスタ・レジスタのデータがスレーブ・レジスタに転送されます。コンペア動作においては，スレーブ・レジスタの値とTMDnレジスタのカウント値を比較します。CMDnレジスタをリードした場合は，マスタ側の値が読み出されます。

CMDnレジスタは16ビット単位でリード／ライト可能です。

注意1. CMDnレジスタへのライト動作は，CMDnレジスタに設定した値が内部に伝わるまで8メイン・クロックかかります。CMDnレジスタに連続して書き込みを行う場合，8メイン・クロック以上の時間間隔を確保してください。

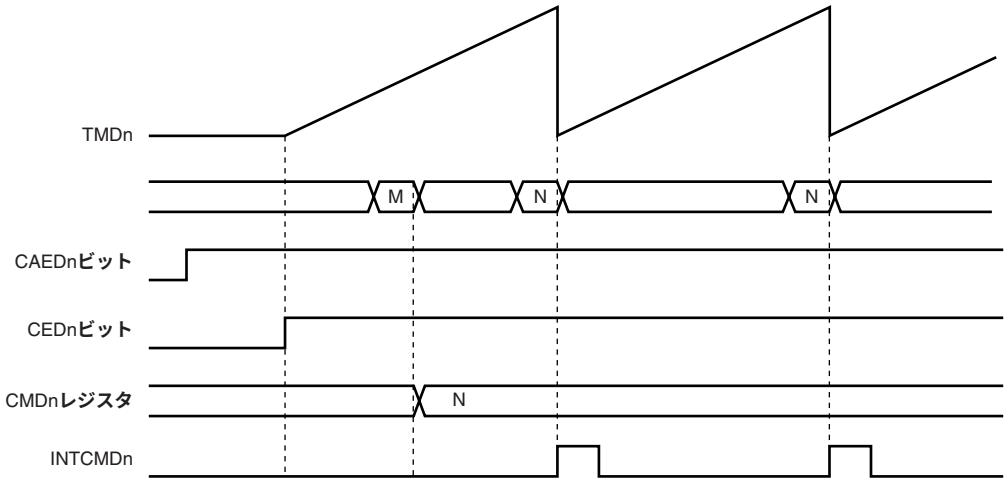
2. CMDnレジスタの書き換えは，TMDnレジスタの1周期（0000HからTMDnレジスタとCMDnレジスタが一致してINTCMDn割り込みが発生するまで）に1回のみ可能です。それをアプリケーションで確保できない場合は，動作中にCMDnレジスタを書き換えないでください。

3. TMDnレジスタ動作中，そのカウンタ値以下の値をCMDnレジスタに書き込むと，オーバフローしたあとINTCMDn割り込みが発生するため注意してください（図9－15）。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CMD0																	FFFFF542H	0000H
CMD1																	FFFFF552H	0000H
CMD2																	FFFFF562H	0000H
CMD3																	FFFFF572H	0000H

図9－15　TMDn動作中のタイミング例

(a) TMDn＜CMDnの場合

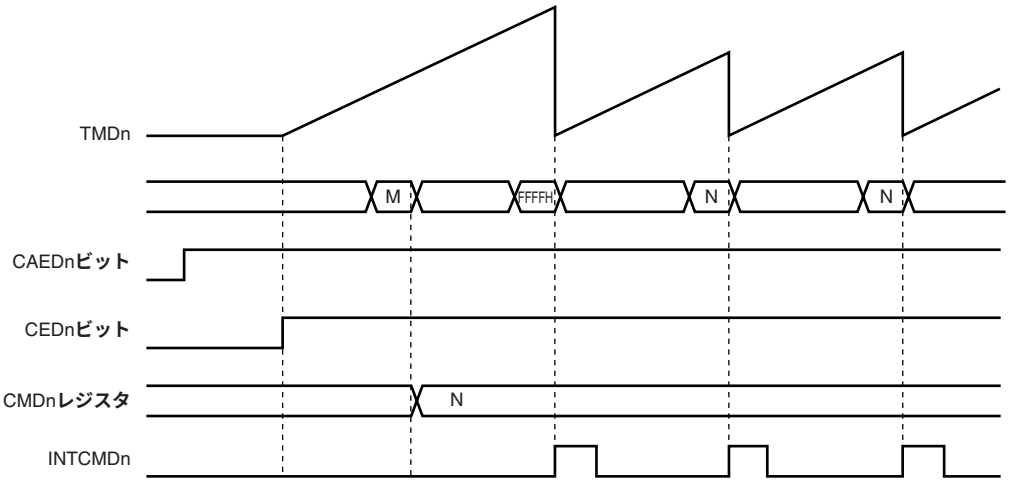


備考　M = 書き換え時のTMDnの値

N = 書き換え後のCMDnの値

M＜N

(b) TMDn＞CMDnの場合



備考　M = 書き換え時のTMDnの値

N = 書き換え後のCMDnの値

M＞N

9. 2. 5　制御レジスタ

(1) タイマ・モード・コントロール・レジスタD0-D3（TMCD0-TMCD3）

TMCDnレジスタは，タイマDnの動作を制御するレジスタです（n = 0-3）。

8/1ビット単位でリード／ライト可能です。

注意　CAEDnビットとその他のビットは同時にはセットできません。必ずCAEDnビットをセットしたあとにその他のビットおよびその他のTMDnユニットのレジスタを設定してください。

(1/2)

	7	6	5	4	3	2	①	⓪	アドレス	初期値
TMCD0	0	CSD02	CSD01	CSD00	0	0	CED0	CAED0	FFFFF544H	00H
TMCD1	0	CSD12	CSD11	CSD10	0	0	CED1	CAED1	FFFFF554H	00H
TMCD2	0	CSD22	CSD21	CSD20	0	0	CED2	CAED2	FFFFF564H	00H
TMCD3	0	CSD32	CSD31	CSD30	0	0	CED3	CAED3	FFFFF574H	00H

ビット位置	ビット名	意　味
6-4	CSDn2- CSDn0	TMDnの内部カウント周期を選択します。 CSDn2 / CSDn1 / CSDn0 / カウント周期 0 / 0 / 0 / fx/8 0 / 0 / 1 / fx/16 0 / 1 / 0 / fx/32 0 / 1 / 1 / fx/64 1 / 0 / 0 / fx/128 1 / 0 / 1 / fx/256 1 / 1 / 0 / fx/512 1 / 1 / 1 / fx/1024 **注意**　タイマ動作中にCSDn2-CSDn0ビットを変更しないでください。変更する場合にはCEDnビット = 0にしてから行ってください。動作中に書き換えた場合，その動作は保証できません。 **備考**　fx：メイン・クロック
1	CEDn	TMDnの動作を制御します（n = 0-3）。 0：カウント禁止（0000Hで停止し，動作しません） 1：カウント動作を行います。 **注意**　CEDnビットはコンペア動作で一致を検出してもクリアされません。カウント動作を停止する場合は，CEDnビットをクリアしてください。

備考　n = 0-3

(2/2)

ビット位置	ビット名	意　　味
0	CAEDn	内部カウント・クロックを制御します。 0：TMDnユニット全体を非同期リセット。TMDnユニットへのクロック供給を停止。 1：クロックをTMDnユニットへ供給。 注意1. CAEDnビット = 0にすると，TMDnユニットを非同期にリセットすることができます。 2. CAEDnビット = 0の場合は，TMDnユニットはリセット状態なので，TMDnを動作させる場合には，まずCAEDnビット = 1にしてください。 3. CAEDnビットを1から0にした場合は，TMDnユニットのすべてのレジスタが初期化されます。再度CAEDnビット = 1にする場合には，CAEDnビット = 1設定後,必ずTMDnユニットのすべてのレジスタを再設定してください。

備考　n = 0-3

9. 2. 6 動　　作

(1) コンペア動作

TMDnでは，コンペア・レジスタ（CMDn）に設定した値とTMDnのカウント値を比較するコンペア動作を行います（n = 0-3）。

コンペア動作で一致を検出すると割り込み（INTCMDn）を発生します。割り込み発生により，次のカウント・タイミングでTMDnはクリア（0）されます。この機能により，タイマDをインターバル・タイマとして使用します。

CMDnレジスタには0を設定することもできます。この場合はオーバフローしてTMDnが0になるとともに一致を検出しINTCMDnが発生します。次のカウント・タイミングでTMDnの値をクリア（0）しますが，この一致では，INTCMDnは発生しません。

図9－16　TMD0コンペア動作例（1/2）

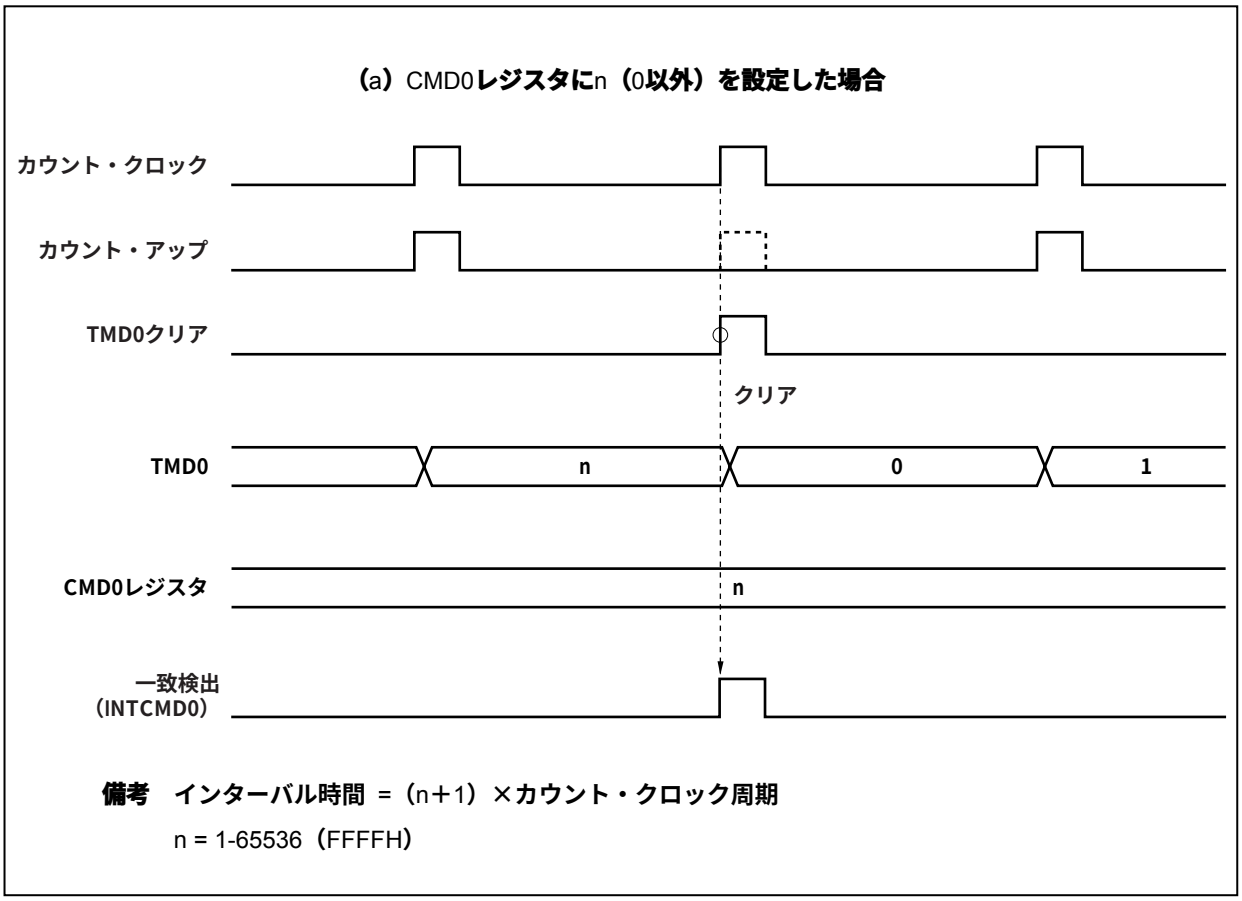
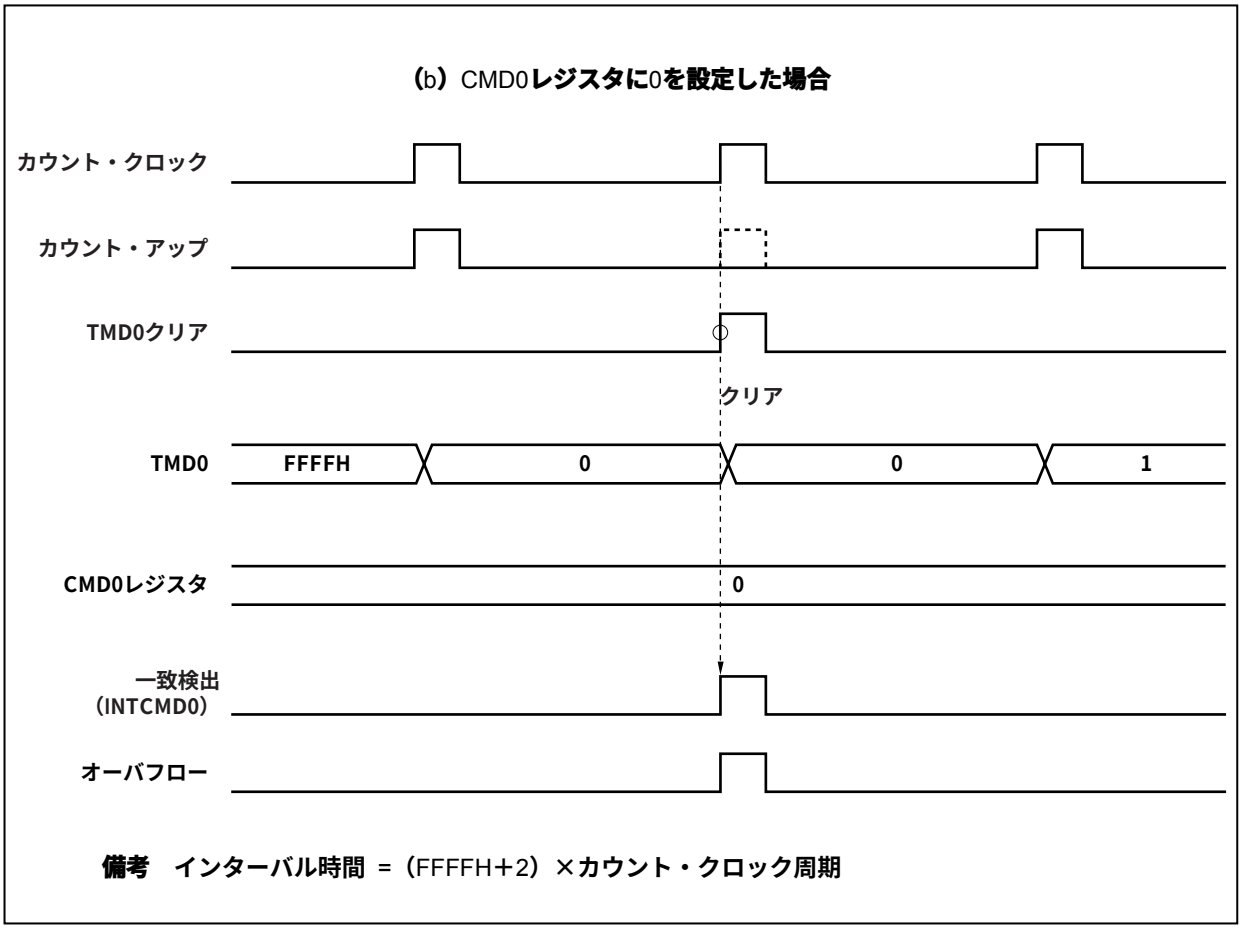


図9－16　TMD0コンペア動作例（2/2）



9. 2. 7　使用例

(1) インターバル・タイマ

16ビット精度でインターバル・タイマとして使用する例について説明します。

同一間隔で割り込み要求（INTCMDn）を出力します（図9ー16　TMD0コンペア動作例参照）。設定方法を次に示します（n = 0-3）。

① TMCDnレジスタのCAEDnビットをセット（1）します。

② 各レジスタの設定を行います。

・TMCDnレジスタのCSDn0-CSDn2ビットでカウント・クロックを選択します。

・CMDnレジスタにコンペア値を設定します。

③ TMCDnレジスタのCEDnビットをセット（1）し，カウントをスタートさせます。

④ TMDnレジスタとCMDnレジスタの値が一致すると，INTCMDn割り込みが発生します。

⑤ 以後，同一間隔でINTCMDn割り込みが発生します。

備考　n = 0-3

9. 2. 8　注意事項

タイマDについての注意事項を次に示します。

(1) タイマDの動作開始

TMDnを動作させる場合には，最初にTMCDnレジスタのCAEDnビットをセット（1）してください。

(2) TMCDnレジスタ設定時の注意

CEDnビットに設定後，設定した値が内部に伝わるまでに最大8メイン・クロックかかります。カウント動作開始時，0000Hから0001Hのカウント周期は，その後のカウント周期と異なります。

(3) TMDnレジスタ初期化後の再カウント

TMDnレジスタの状態を初期化し再度カウントを開始する場合，CEDnビットをクリア（0）し，8メイン・クロックを経過したら，CEDnビットをセット（1）してください。

(4) CMDnレジスタ設定時の注意

- CMDnレジスタに設定した値が内部に伝わるまでに最大8メイン・クロックかかります。CMDnレジスタに連続して書き込みを行う場合，8メイン・クロック以上の時間を確保してください。
- タイマ／カウンタ動作中のCMDnレジスタの書き換えは，タイマ／カウンタの1周期（0000HからTMDnレジスタとCMDnレジスタが一致してINTCMDn割り込みが発生するまで）に1回のみ可能です。それをアプリケーションで確保できない場合は，動作中にCMDnレジスタを書き換えないでください。

(5) カウント・クロック

タイマ動作中はカウント・クロックを変更できません。書き換えは，CEDnビットをクリア（0）したあとに行ってください。動作中に書き換えた場合の動作は保証できません。

(6) CMDnレジスタへの書き込み

TMDnレジスタが動作中，そのカウンタ値以下の値をCMDnレジスタに書き込むと，オーバフローしたあとINTCMDn割り込みが発生します。

備考　n = 0-3

9. 3　16ビット2相エンコーダ入力用アップ/ダウン・カウンタ／汎用タイマ（タイマENC1）

9. 3. 1　機　　能

タイマENC10, ENC11（TMENC10, TMENC11）は，次の動作を行います。

・汎用タイマ・モード（10. 3. 6（1）汎用タイマ・モードでの動作参照）
　フリー・ランニング・タイマ
　タイマ出力
・アップ／ダウン・カウンタ・モード（10. 3. 6（2）UDCモードでの動作参照）
　UDCモードA（モード1，モード2，モード3，モード4）
　UDCモードB（モード1，モード2，モード3，モード4）

9. 3. 2　特　　徴

○タイマENC10，タイマENC11：2チャネル
○コンペア・レジスタ：4本
○キャプチャ／コンペア・レジスタ：4本
○割り込み要求ソース
　・キャプチャ／コンペア一致割り込み要求：4要因
　・コンペア一致割り込み要求：4要因
○キャプチャ要求信号：4要因
　・キャプチャ／コンペア・レジスタに対応するINTP1n0, INTP1n1端子の有効エッジをキャプチャ・トリガとして，TMENC1nの値をラッチすることが可能です。
○カウント・クロックはプリスケーラによる分周から選択
○タイマ出力機能
　汎用タイマ・モード時に16ビット分解能のタイマ出力をTO1n端子より出力可能
○タイマ・クリア
　使用するモードに応じて次のようにタイマ・クリア動作を行います。

（a）汎用タイマ・モード時：CM1n0レジスタ設定値との一致でタイマ・クリア動作が可能です。
（b）アップ／ダウン・カウント・モード：タイマ・クリア動作を次の4つの条件から選択可能です。
　(i) TMENC1nがアップ・カウント中にCM1n0レジスタ設定値との一致でタイマ・クリア動作を行い，TMENC1nがダウン・カウント中にCM1n1レジスタ設定値との一致でタイマ・クリア動作を行います。
　(ii) 外部入力のみでタイマ・クリア動作を行います。
　(iii) TMENC1nのカウント値とCM1n0レジスタ設定値との一致でタイマ・クリア動作を行います。
　(iv) 外部入力およびTMENC1nのカウント値とCM1n0レジスタ設定値との一致でタイマ・クリア動作を行います。

○外部パルス出力（TO1n）：2本

9. 3. 3　基本構成

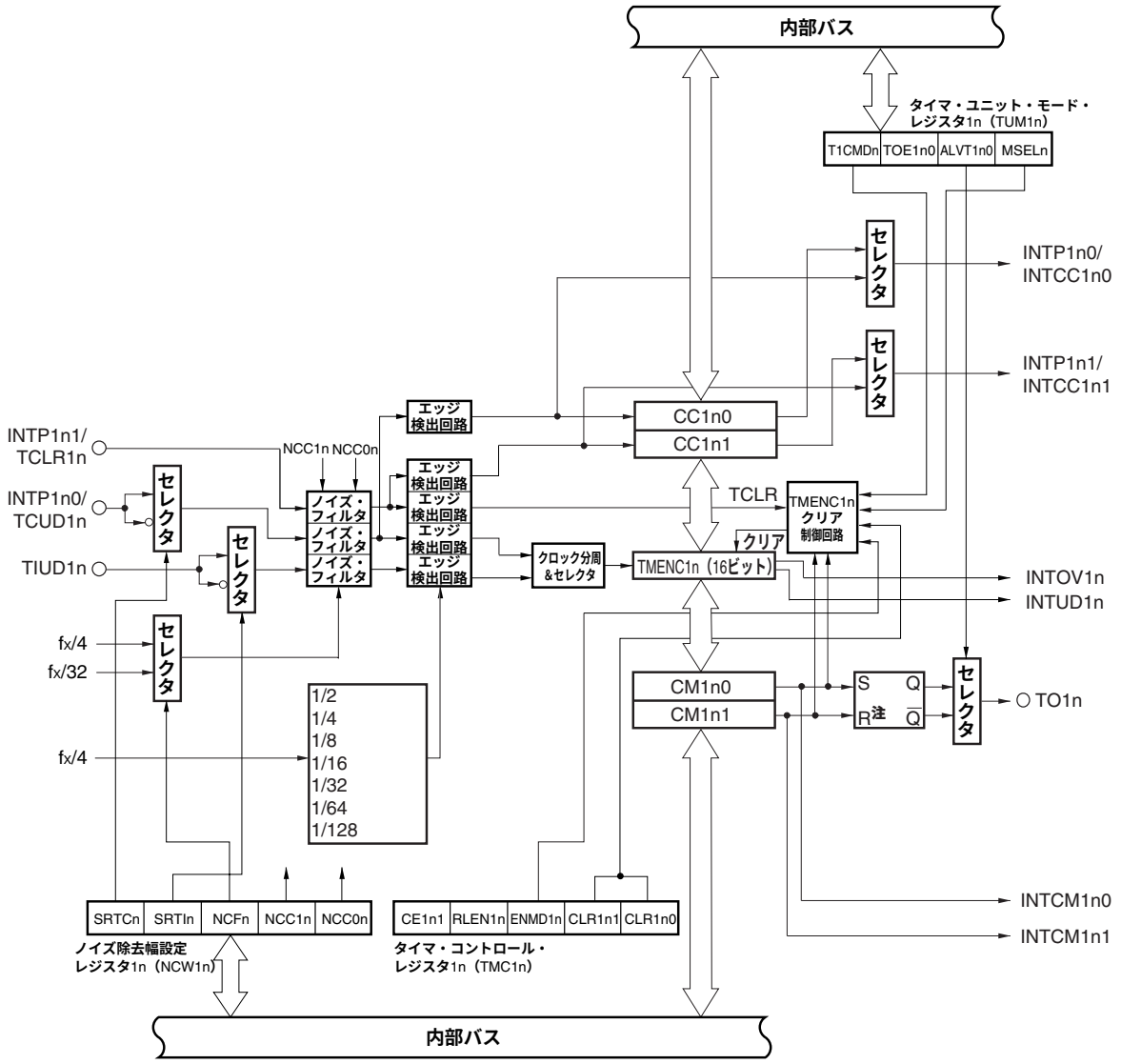
表9－4　タイマENC1の構成一覧

タイマ	カウント・クロック	レジスタ	リード／ライト	発生する割り込み要求信号	キャプチャ・トリガ
タイマENC1	fx/8, fx/16, fx/32, fx/64, fx/128, fx/256, fx/512	TMENC10	リード／ライト	－	－
		CM100	リード／ライト	INTCM100	－
		CM101	リード／ライト	INTCM101	－
		CC100	リード／ライト	INTCC100	INTP100
		CC101	リード／ライト	INTCC101	INTP101
		TMENC11	リード／ライト	－	－
		CM110	リード／ライト	INTCM110	－
		CM111	リード／ライト	INTCM111	－
		CC110	リード／ライト	INTCC110	INTP110
		CC111	リード／ライト	INTCC111	INTP111

備考　fx：メイン・クロック

(1) タイマENC1（16ビット・アップ／ダウン・カウンタ）

図9－17　タイマENC1のブロック図



注　リセット優先

備考　fx：メイン・クロック

9. 3. 4　タイマENC1

(1) タイマENC10, ENC11（TMENC10, TMENC11）

TMENC1nは汎用タイマ（汎用モード時）および2相エンコーダ入力用アップ／ダウン・カウンタ（UDCモード時）として機能します。

動作モードが汎用モード時にはアップ・カウント，UDCモード時にはアップ／ダウン・カウントを行います。

16ビット単位でリード／ライト可能です。

注意1. TMENC1nへのライト動作は，TMC1nレジスタのCE1n1ビット = 0（カウント動作禁止）時のみ許可します。

2. TMENC1nの連続読み出しは禁止します。TMENC1nの連続読み出しを行った場合，2回目の読み出し値が実際の値と異なる可能性があります。TMENC1nを2回読み出す必要がある場合は，必ず1回目と2回目の間にほかのレジスタを読み出してください。

3. TMENC1nレジスタは同値書き込みを禁止します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TMENC10																	FFFFF5A0H	0000H
TMENC11																	FFFFF5D0H	0000H

TMENC1nのスタートおよびストップは，タイマ・コントロール・レジスタ1n（TMC1n）のCE1n1ビットによって制御します。

TMENC1nの動作には次に示す2つのモードがあります。

(a) 汎用タイマ・モード

汎用タイマ・モードでは，16ビットのインターバル・タイマ，フリー・ランニング・タイマ，またはタイマ出力用として動作します。

ソフトウエアで選択されたカウント・クロックをもとに，カウント動作を行います。カウント・クロックはプリスケーラによる分周をプリスケーラ・モード・レジスタ1n（PRM1n）のPRM1n2-PRM1n0ビットにより，fx/8, fx/16, fx/32, fx/64, fx/128, fx/256, fx/512から選択できます（fx：メイン・クロック）。

(b) アップ／ダウン・カウンタ・モード（UDCモード）

UDCモードでは，16ビットのアップ／ダウン・カウンタとして動作します。TCUD1n, TIUD1nの入力信号をもとにカウント動作を行います。なお，このモードは，TMENC1nのクリア条件により，UDCモードAとUDCモードBの2種類のモードがあります。

注意1. TCUD1n端子とINTP1n0端子は兼用構成となります。このため，UDCモード時には，TCUD1n端子が使用されるため，INTP1n0端子による外部キャプチャ機能は使用できません。

2. TCLR1n端子とINTP1n1端子は兼用構成となります。このため，UDCモードA時にTCLR1n入力を使用する場合には，INTP1n1端子による外部キャプチャ機能は使用できません。

TMENC1nが動作中にクリアされる条件は動作モードにより次のように分類できます。

表9－5　タイマENC1（TMENC1n）のクリア条件

動作モード	TUM1nレジスタ		TMC1nレジスタ			TMENC1nのクリア
	T1CMDnビット	MSELnビット	ENMD1nビット	CLR1n1ビット	CLR1n0ビット	
汎用タイマ・モード	0	0	0	×	×	クリア動作を行わない（フリー・ランニング・タイマ）
			1	×	×	CM1n0設定値と一致でクリア
UDCモードA	1	0	×	0	0	TCLR1n入力のみでクリア
			×	0	1	アップ・カウント中のCM1n0設定値との一致でクリア
			×	1	0	TCLR1n入力もしくはアップ・カウント中のCM1n0設定値との一致でクリア
			×	1	1	クリア動作を行わない
UDCモードB	1	1	×	×	×	アップ・カウント中のCM1n0設定値との一致でクリアもしくはダウン・カウント中のCM1n1設定値との一致でクリア
上記設定以外						設定禁止

備考　×：該当ビットの設定値は無視されることを示します。

9. 3. 5　制御レジスタ

(1) タイマ・ユニット・モード・レジスタ10, 11（TUM10, TUM11）

TUM1nレジスタは，TMENC1nの動作モード指定，タイマ出力端子の動作制御などを行う8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

注意1. TMENC1n動作中（TMC1nレジスタのCE1n1ビット = 1）にTUM1nレジスタの内容を変更することは禁止します。

2. T1CMDnビット = 0（汎用タイマ・モード）時に，MSELnビット = 1（UDCモードB）の設定は禁止します。

3. TUM1nレジスタは同値書き込みを許可します（カウント動作中においても同値書き込みを保証します）。

	7	6	5	4	3	2	1	0	アドレス	初期値
TUM10	T1CMD0	0	0	0	TOE100	ALVT100	0	MSEL0	FFFFF5ABH	00H
TUM11	T1CMD1	0	0	0	TOE110	ALVT110	0	MSEL1	FFFFF5DBH	00H

ビット位置	ビット名	意　味
7	T1CMDn	TMENC1nの動作モードを指定します。 0：汎用タイマ・モード（アップ・カウント） 1：UDCモード（アップ／ダウン・カウント）
3	TOE1n0	タイマ出力（TO1n）の許可を指定します。 0：タイマ出力は禁止状態です 1：タイマ出力は許可状態です。 **注意**　T1CMDnビット = 1（UDCモード）のときは，TOE1n0ビットの指定にかかわらず，タイマ出力は行いません。その際タイマ出力は，ALVT1n0ビットの設定レベルの逆相レベルを出力します。
2	ALVT1n0	タイマ出力（TO1n）のアクティブ・レベルを指定します。 0：アクティブ・レベルはハイ・レベル 1：アクティブ・レベルはロウ・レベル **注意**　T1CMDnビット = 1（UDCモード）のときは，TOE1n0ビットの指定にかかわらず，タイマ出力は行いません。その際タイマ出力は，ALVT1n0ビットの設定レベルの逆相レベルを出力します。
0	MSELn	UDCモード（アップ／ダウン・カウント）時の動作を指定します。 0：UDCモードA TMENC1nは，TMC1nレジスタのCLR1n1，CLR1n0ビットの設定によるクリアが可能です。 1：UDCモードB TMENC1nは次の場合にクリア動作を行います。 ・TMENC1nがアップ・カウント中のCM1n0レジスタとの一致でクリア ・TMENC1nがダウン・カウント中のCM1n1レジスタとの一致でクリア **注意**　T1CMDnビット = 0（汎用タイマ・モード）時に，MSELnビット = 1（UDCモードB）の設定は禁止します。 なお，UDCモードB設定時は，TMC1nレジスタのENMD1n, CLR1n1, CLR1n0ビットは無効になります。

備考　n = 0, 1

(2) タイマ・コントロール・レジスタ10, 11（TMC10, TMC11）

TMC1nレジスタは，TMENC1nの動作許可／禁止，転送およびタイマ・クリア動作の設定を行うレジスタです。

8/1ビット単位でリード／ライト可能です。

注意1. TMENC1n動作中（CE1n1ビット = 1）にCE1n1ビット以外のTMC1nレジスタの内容を変更することは禁止します。

2. TMC1nレジスタは同値書き込みを許可します（カウント動作中においても同値書き込みを保証します）。

(1/2)

	7	⑥	5	4	3	2	1	0	アドレス	初期値
TMC10	0	CE101	0	0	RLEN10	ENMD10	CLR101	CLR100	FFFFF5ACH	00H
TMC11	0	CE111	0	0	RLEN11	ENMD11	CLR111	CLR110	FFFFF5DCH	00H

ビット位置	ビット名	意　味
6	CE1n1	TMENC1nの動作の制御を指定します。 0：TMENC1nはカウント動作禁止 1：TMENC1nはカウント動作許可
3	RLEN1n	UDCモードA時のCM1n0レジスタからTMENC1nへの転送動作を指定します。 0：転送動作禁止 1：転送動作許可 注意1. RLEN1nビット = 1のとき，TMENC1nのアンダフローによりTMENC1nにはCM1n0レジスタに設定されている値が転送されます。 2. RLEN1nビットはUDCモードA時（TUM1nレジスタのT1CMDnビット = 1, MSELnビット = 0）のみ有効です。汎用タイマ・モード時（T1CMDnビット = 0）およびUDCモードB時（T1CMDnビット = 1, MSELnビット = 1）は，RLEN1nビットをセット（1）しても転送動作は行いません。
2	ENMD1n	汎用タイマ・モード（TUM1nレジスタのT1CMDnビット = 0）時のTMENC1nのクリア動作を制御します。 0：クリア禁止（フリー・ランニング・モード） TMENC1nはCM1n0レジスタと一致してもクリア動作は行いません。 1：クリア許可 TMENC1nはCM1n0レジスタとの一致でクリア動作を行います。 注意 UDCモード（TUM1nレジスタのT1CMDnビット = 1）のとき，ENMD1nビットの設定は無効となります。

備考　n = 0, 1

(2/2)

ビット位置	ビット名	意　味
1, 0	CLR1n1, CLR1n0	UDCモードA時のTMENC1nのクリア動作を制御します。 CLR1n1 / CLR1n0 / TMENC1nのクリア要因の指定 0 / 0 / 外部入力（TCLR1n）のみでクリア 0 / 1 / TMENC1nカウント値とCM1n0レジスタ設定値との一致でクリア 1 / 0 / TCLR1n入力もしくは，TMENC1nカウント値とCM1n0レジスタ設定値との一致でクリア 1 / 1 / クリアなし 注意1. TMENC1nカウント値とCM1n0レジスタ設定値との一致によるクリアは，TMENC1nがアップ・カウント動作時のみ有効です（TMENC1nがダウン・カウント中の場合は，TMENC1nクリア動作は行いません）。 2. 汎用タイマ・モード（TUM1nレジスタのT1CMDnビット = 0）のとき，CLR1n1, CLR1n0ビットの設定は無効となります。 3. UDCモードB（TUM1nレジスタのMSELnビット = 1）のとき，CLR1n1, CLR1n0ビットの設定は無効となります。 4. CLR1n1, CLR1n0ビットでTCLR1nでのクリアを有効にした場合，CE1n1ビットが1, 0いずれの場合でもクリアされます。

備考　n = 0, 1

（3）キャプチャ／コンペア・コントロール・レジスタ10, 11（CCR10, CCR11）

CCR1nレジスタは，CC1n0, CC1n1レジスタの動作モードを指定します。

8/1ビット単位でリード／ライト可能です。

注意1. TMENC1n動作中（TMC1nレジスタのCE1n1ビット = 1）にCCR1nレジスタを書き換えることは禁止します。

2. TCUD1n端子とINTP1n0端子は兼用構成となります。このため，UDCモード時には，TCUD1n端子が使用されるため，INTP1n0端子による外部キャプチャ機能は使用できません。

3. TCLR1n端子とINTP1n1端子は兼用構成となります。このため，UDCモードA時にTCLR1n入力を使用する場合には，INTP1n1端子による外部キャプチャ機能は使用できません。

4. CCR1nレジスタは同値書き込みを許可します（カウント動作中においても同値書き込みを保証します）。

	7	6	5	4	3	2	1	0	アドレス	初期値
CCR10	0	0	0	0	0	0	CMS01	CMS00	FFFFF5AAH	00H
CCR11	0	0	0	0	0	0	CMS11	CMS10	FFFFF5DAH	00H

ビット位置	ビット名	意　味
1	CMSn1	CC1n1レジスタの動作モードを指定します。 0：キャプチャ・レジスタとして動作します。 1：コンペア・レジスタとして動作します。
0	CMSn0	CC1n0レジスタの動作モードを指定します。 0：キャプチャ・レジスタとして動作します。 1：コンペア・レジスタとして動作します。

備考　n = 0, 1

（4）有効エッジ選択レジスタ10, 11（SESA10, SESA11）

SESA1nレジスタは，外部端子による外部割り込み要求信号（INTP100, INTP101, INTP110, INTP111, TIUD10, TIUD11, TCUD10, TCUD11, TCLR10, TCLR11）の有効エッジを指定するレジスタです。

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，または立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード／ライト可能です。

注意1. TMENC1n動作中（TMC1nレジスタのCE1n1ビット = 1）にSESA1nレジスタの各ビットを変更することは禁止します。

2. INTP100, INTP101, INTP110, INTP111, TIUD10, TIUD11, TCUD10, TCUD11, TCLR10, TCLR11端子のトリガ・モードを設定する場合はPMCDHレジスタを設定したあとで行ってください。SESA1nレジスタを設定したあとでPMCDHレジスタの設定を行うと，PMCDHレジスタの設定タイミングで不正な割り込みや誤カウント，誤クリアが発生することがあります。

3. SESA1nレジスタは同値書き込みを許可します（カウント動作中においても同値書き込みを保証します）。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
SESA10	TESUD01	TESUD00	CESUD01	CESUD00	IES101	IES100	IES001	IES000	FFFFF5ADH	00H
	TIUD10, TCUD10		TCLR10		INTP101		INTP100			

	7	6	5	4	3	2	1	0	アドレス	初期値
SESA11	TESUD11	TESUD10	CESUD11	CESUD10	IES111	IES110	IES011	IES010	FFFFF5DDH	00H
	TIUD11, TCUD11		TCLR11		INTP111		INTP110			

ビット位置	ビット名	意　味
7, 6	TESUDn1, TESUDn0	TIUD1n, TCUD1n端子の有効エッジを指定します。 TESUDn1 / TESUDn0 / 有効エッジ 0 / 0 / 立ち下がりエッジ 0 / 1 / 立ち上がりエッジ 1 / 0 / 設定禁止 1 / 1 / 立ち上がり／立ち下がり両エッジ 注意1. TESUDn1, TESUDn0ビットは，UDCモードA, UDCモードB時のみ設定が有効です。 2. TMENC1nの動作がモード4に指定されている場合（PRM1nレジスタのPRM1n2-PRM1n0ビットで指定）には，TIUD1n, TCUD1n端子に対する有効エッジの指定（TESUDn1, TESUDn0ビット）は無効です。

備考　n = 0, 1

(2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　　味</th></tr>
<tr><td>5, 4</td><td>CESUDn1,
CESUDn0</td><td>TCLR1n端子の有効エッジを指定します。

<table>
<tr><th>CESUDn1</th><th>CESUDn0</th><th>有効エッジ</th></tr>
<tr><td>0</td><td>0</td><td>立ち下がりエッジ</td></tr>
<tr><td>0</td><td>1</td><td>立ち上がりエッジ</td></tr>
<tr><td>1</td><td>0</td><td>ロウ・レベル</td></tr>
<tr><td>1</td><td>1</td><td>ハイ・レベル</td></tr>
</table>

CESUDn1, CESUDn0ビット設定値とTMENC1nの動作は次のようになります。
00：TCLR1nの立ち上がりエッジ検出後，TMENC1nをクリア
01：TCLR1nの立ち下がりエッジ検出後，TMENC1nをクリア
10：TCLR1n入力がロウ・レベル期間中は，TMENC1nはクリアを保持
11：TCLR1n入力がハイ・レベル期間中は，TMENC1nはクリアを保持

注意　CESUDn1, CESUDn0ビットは，UDCモードA時のみ，設定が有効です。</td></tr>
<tr><td>3, 2</td><td>IES1n1,
IES1n0</td><td>INTP1n1端子の有効エッジを指定します。

<table>
<tr><th>IES1n1</th><th>IES1n0</th><th>有効エッジ</th></tr>
<tr><td>0</td><td>0</td><td>立ち下がりエッジ</td></tr>
<tr><td>0</td><td>1</td><td>立ち上がりエッジ</td></tr>
<tr><td>1</td><td>0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>1</td><td>立ち上がり／立ち下がり両エッジ</td></tr>
</table></td></tr>
<tr><td>1, 0</td><td>IES0n1,
IES0n0</td><td>INTP1n0端子の有効エッジを指定します。

<table>
<tr><th>IES0n1</th><th>IES0n0</th><th>有効エッジ</th></tr>
<tr><td>0</td><td>0</td><td>立ち下がりエッジ</td></tr>
<tr><td>0</td><td>1</td><td>立ち上がりエッジ</td></tr>
<tr><td>1</td><td>0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>1</td><td>立ち上がり／立ち下がり両エッジ</td></tr>
</table></td></tr>
</table>

備考　n = 0, 1

(5) プリスケーラ・モード・レジスタ10, 11（PRM10, PRM11）

PRM1n**レジスタは，次の選択を行うレジスタです。**

- **汎用タイマ・モード**（TUM1n**レジスタの**T1CMDn**ビット** = 0）**時のカウント・クロックを選択します。**
- UDC**モード時**（T1CMDn**ビット** = 1）**時にカウント動作モードを選択します。**

8/1**ビット単位でリード／ライト可能です。**

注意1. TMENC1n**動作中**（TMC1n**レジスタの**CE1n1**ビット** = 1）**に**PRM1n**レジスタを書き換えることは禁止します。**

2. UDC**モード**（TUM1n**レジスタの**T1CMDn**ビット** = 1）**のとき，**PRM1n2**ビット** = 0**の設定は禁止します。**

3. TMENC1n**動作がモード**4**に指定されている場合には，**TIUD1n, TCUD1n**端子に対する有効エッジの指定は無効となります。**

4. PRM1n**レジスタは同値書き込みを許可します（カウント動作中においても同値書き込みを保証します）。**

	7	6	5	4	3	2	1	0	アドレス	初期値
PRM10	0	0	0	0	0	PRM102	PRM101	PRM100	FFFFF5AEH	07H
PRM11	0	0	0	0	0	PRM112	PRM111	PRM110	FFFFF5DEH	07H

ビット位置	ビット名	意　味
2-0	PRM1n2- PRM1n0	TMENC1n**の内部クロック時のクロック・レートまたは外部クロック**（TIUD1n）**入力時のアップ／ダウン・カウントの動作モードを指定します。**

PRM1n2	PRM1n1	PRM1n0	T1CMDn = 0	T1CMDn = 1	
			カウント・クロック	**カウント・クロック**	UDC**モード**
0	0	0	**設定禁止**	**設定禁止**	
0	0	1	fx/8		
0	1	0	fx/16		
0	1	1	fx/32		
1	0	0	fx/64	TIUD1n	**モード**1
1	0	1	fx/128		**モード**2
1	1	0	fx/256		**モード**3
1	1	1	fx/512		**モード**4

備考　fx：**メイン・クロック**

備考　n = 0, 1

(a) 汎用タイマ・モード（TUM1nレジスタのT1CMDnビット = 0）時

カウント・クロックはPRM1n2-PRM1n0ビットで指定します。

(b) UDCモード（TUM1nレジスタのT1CMDnビット = 1）時

UDCモード時のTMENC1nのカウント要因を次に示します。

動作モード	TMENC1nの動作
モード1	TCUD1n= ハイ・レベルのとき，TIUD1n入力の有効エッジ検出でダウン・カウント TCUD1n = ロウ・レベルのとき，TIUD1n入力の有効エッジ検出でアップ・カウント
モード2	TIUD1n入力の有効エッジ検出でアップ・カウント TCUD1n入力の有効エッジ検出でダウン・カウント
モード3	TCUD1n = ハイ・レベルのとき，TIUD1n入力の有効エッジ検出でアップ・カウント TCUD1n = ロウ・レベルのとき，TIUD1n入力の有効エッジ検出でダウン・カウント
モード4	TIUD1n入力の両エッジおよびTCUD1n入力の両エッジ検出で自動判別

(6) ステータス・レジスタ10, 11（STATUS10, STATUS11）

STATUS1n**レジスタは，**TMENC1n**の動作状態を示すレジスタです。**

8/1**ビット単位でリードだけ可能です。**

	7	6	5	4	3	②	①	⓪	アドレス	初期値
STATUS10	0	0	0	0	0	UDF10	OVF10	UBD10	FFFFF5AFH	00H
STATUS11	0	0	0	0	0	UDF11	OVF11	UBD11	FFFFF5DFH	00H

ビット位置	ビット名	意　味
2	UDF1n	TMENC1n**のアンダフロー・フラグです。** 0：TMENC1n**のカウント・アンダフロー発生なし** 1：TMENC1n**のカウント・アンダフロー発生あり** **注意**　UDF1n**ビットは，**CPU**から**STATUS1n**レジスタへのリード・アクセス終了後にクリア（**0**）されます。**
1	OVF1n	TMENC1n**のオーバフロー・フラグです。** 0：TMENC1n**のカウント・オーバフロー発生なし** 1：TMENC1n**のカウント・オーバフロー発生あり** **注意**　OVF1n**ビットは，**CPU**から**STATUS1n**レジスタへのリード・アクセス終了後にクリア（**0**）されます。**
0	UBD1n	TMENC1n**のアップ／ダウン・カウント動作の状態を表示します。** 0：TMENC1n**のアップ・カウント動作中** 1：TMENC1n**のダウン・カウント動作中** **注意**　UBD1n**ビットはモードにより次のようになります。** ・**汎用タイマ・モード（**TUM1n**レジスタの**T1CMDn**ビット** = 0**）時** UBD1n**ビットは“**0**”固定です。** ・UDC**モード（**TUM1n**レジスタの**T1CMDn**ビット** = 1**）時** TMENC1n**のアップ／ダウン状態を表示します。**

備考　n = 0, 1

(7) ノイズ除去幅設定レジスタ10, 11（NCW10, NCW11）

NCW1nレジスタは，タイマENC1入力端子のディジタル・ノイズ・フィルタのノイズ除去幅を設定するレジスタです。

8ビット単位でリード／ライト可能です。

注意1. **入力信号のスルー／反転の切り替えは，**INTP1n0/TCUD1n**端子，**TIUD1n**端子ごとに設定が可能です。**NCFn, NCC1n, NCC0n**ビットによるノイズ除去幅の設定は，タイマごとの設定となり，端子ごとに切り替えることはできません。**

2. INTP1n0/TCUD1n**端子をキャプチャ・トリガ（**INTP1n0**）として使用した場合でも**SRTCn**ビットの設定は有効です。**

	7	6	5	4	3	2	1	0	アドレス	初期値
NCW10	0	0	SRTC0	SRTI0	0	NCF0	NCC10	NCC00	FFFFF5C0H	02H
NCW11	0	0	SRTC1	SRTI1	0	NCF1	NCC11	NCC01	FFFFF5F0H	02H

ビット位置	ビット名	意　味
5	SRTCn	INTP1n0/TCUD1n端子入力モードを設定します。 0：スルー入力 1：反転 SRTCnビットの設定により，INTP1n0/TCUD1n端子から入力される信号をTMENC1nへスルー入力，あるいは反転して供給するかを選択します。
4	SRTIn	TIUD1n端子入力モードを設定します。 0：スルー入力 1：反転 SRTInビットの設定により，TIUD1n端子から入力される信号をTMENC1nへスルー入力，あるいは反転して供給するかを選択します。
2	NCFn	ノイズ除去用クロック周波数を指定します。 0：fx/4 1：fx/32 NCFnビットの設定により，ノイズ・フィルタのクロック・ソースを選択します。
1, 0	NCC1n, NCC0n	ノイズ除去クロック数を指定します。 NCC1n注1 / NCC0n注1 / ノイズ除去クロック数 0 / 0 / 0（スルー入力）注2 0 / 1 / 2 1 / 0 / 3 1 / 1 / 7 注1. カウント動作中に値を変更しないでください。 2. スルー入力の場合は，NCFnビット = 0を設定してください。 NCC1n, NCC0nビットの設定により，ノイズ除去クロック数を選択します。

備考　n = 0, 1

（a）NCW1nレジスタ設定値とノイズ除去幅の関係

表9－6　NCW1nレジスタ設定値とノイズ除去幅の関係

NCW1nレジスタ			ノイズ除去幅（ns）				備　　考
NCFn ビット	NCC1n ビット	NCC0n ビット	f_X = 150 MHz時	f_X = 133 MHz時	f_X = 100 MHz時	f_X = 66 MHz時	
0	0	0	0	0	0	0	スルー
0	0	1	53.3～80.0	60.2～90.2	80～120	121.2～181.8	（1/（f_X/4））×2
0	1	0	80.0～106.7	90.2～120.3	120～160	181.8～242.4	（1/（f_X/4））×3
0	1	1	133.3～160.0	150.4～180.5	200～240	303.0～363.6	（1/（f_X/4））×5
1	0	1	426.7～640.0	481.2～721.8	640～960	969.7～1454.5	（1/（f_X/32））×2
1	1	0	640.0～853.3	721.8～962.4	960～1280	1454.5～1939.4	（1/（f_X/32））×3
1	1	1	1066.7～1280.0	1203.0～1443.6	1600～1920	2424.2～2909.1	（1/（f_X/32））×5

備考1.　n = 0, 1

2.　f_X：メイン・クロック

(8) コンペア・レジスタ100, 110（CM100, CM110）

CM1n0レジスタは，16ビットのレジスタで，TMENC1nと常に比較動作を行い，一致を検出すると割り込み要求信号を発生します。CM1n0レジスタは，16ビット単位でリード／ライト可能です。次に各モードでの割り込み要求信号発生タイミングを示します。

- 汎用タイマ・モード（TUM1nレジスタのT1CMDnビット = 0），UDCモードA（TUM1nレジスタのMSELnビット = 0）時は，一致検出により割り込み要求信号（INTCM1n0）を発生します。
- UDCモードB（TUM1nレジスタのMSELnビット = 1）時は，アップ・カウント中の一致検出時のみ割り込み要求信号（INTCM1n0）を発生します。

注意1. TMC1nレジスタのCE1n1ビット = 1のときには，CM1n0レジスタの値を書き換えることは禁止します。

2. CM1n0レジスタは同値書き込みを許可します（カウント動作中においても同値書き込みを保証します）。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CM100																	FFFFF5A2H	0000H
CM110																	FFFFF5D2H	0000H

(9) コンペア・レジスタ101, 111（CM101, CM111）

CM1n1レジスタは，16ビットのレジスタで，TMENC1nと常に比較動作を行い，一致を検出すると割り込み要求信号を発生します。CM1n1レジスタは，16ビット単位でリード／ライト可能です。次に各モードでの割り込み要求信号発生タイミングを示します。

- 汎用タイマ・モード（TUM1nレジスタのT1CMDnビット = 0），UDCモードA（TUM1nレジスタのMSELnビット = 0）時は，一致検出により割り込み要求信号（INTCM1n1）を発生します。
- UDCモードB（TUM1nレジスタのMSELnビット = 1）時は，ダウン・カウント中の一致検出時のみ割り込み要求信号（INTCM1n1）を発生します。

注意1. TMC1nレジスタのCE1n1ビット = 1のときには，CM1n1レジスタの値を書き換えることは禁止します。

2. CM1n1レジスタは同値書き込みを許可します（カウント動作中においても同値書き込みを保証します）。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CM101																	FFFFF5A4H	0000H
CM111																	FFFFF5D4H	0000H

（10）キャプチャ／コンペア・レジスタ100, 110（CC100, CC110）

CC1n0レジスタは，16ビットのレジスタです。CCR1nレジスタの指定により，キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。16ビット単位でリード／ライト可能です。

注意1. キャプチャ・レジスタ時（CCR1nレジスタのCMSn0ビット = 0）には，ライト・アクセスを禁止します。

2. コンペア・レジスタ時（CCR1nレジスタのCMSn0ビット = 1）でTMENC1n動作中（TMC1nレジスタのCE1n1ビット = 1）には，CC1n0レジスタ値を書き換えることを禁止します。

3. TMENC1n停止中（TMC1nレジスタのCE1n1ビット = 0）は，キャプチャ・トリガは無効になります。

4. 動作モードをキャプチャ・レジスタからコンペア・レジスタに変更した場合は，再度新規のコンペア値を設定し直してください。

5. CC1n0レジスタの連続読み出しは禁止します。CC1n0レジスタの連続読み出しを行った場合，2回目の読み出し値が実際の値と異なる可能性があります。CC1n0レジスタを2回読み出す必要がある場合は，必ず1回目と2回目の間にほかのレジスタを読み出してください。

6. CC1n0レジスタは同値書き込みを禁止します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CC100																	FFFFF5A6H	0000H
CC110																	FFFFF5D6H	0000H

（a）キャプチャ・レジスタに設定

キャプチャ・レジスタに設定した場合は，対応する外部割り込み要求信号（INTP1n0）の有効エッジをキャプチャ・トリガとして検出します。TMENC1nはキャプチャ・トリガに同期して，カウント値をラッチします（キャプチャ動作）。ラッチした値は，次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

また，外部割り込み要求信号の有効エッジ指定（立ち上がり，立ち下がり，立ち上がり／立ち下がり両エッジ）は，SESA1nレジスタにより選択できます。

キャプチャ・レジスタに指定したときは，INTP1n0信号の有効エッジ検出で割り込み要求信号を発生します。

注意　TCUD1n端子とINTP1n0端子は兼用構成となります。このため，UDCモード時には，TCUD1n端子が使用されるため，INTP1n0端子による外部キャプチャ機能は使用できません。

（b）コンペア・レジスタに設定

コンペア・レジスタに設定した場合，常にTMENC1nとCC1n0レジスタの値の比較動作を行い，一致を検出すると割り込み要求信号（INTCC1n0）を発生します。

（11）キャプチャ／コンペア・レジスタ101, 111（CC101, CC111）

CC1n1レジスタは，16ビットのレジスタです。CCR1nレジスタの指定により，キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。16ビット単位でリード／ライト可能です。

注意1. キャプチャ・レジスタ時（CCR1nレジスタのCMSn1ビット = 0）には，ライト・アクセスを禁止します。

2. コンペア・レジスタ時（CCR1nレジスタのCMSn1ビット = 1）でTMENC1n動作中（TMC1nレジスタのCE1n1ビット = 1）には，CC1n1レジスタ値を書き換えることは禁止します。

3. TMENC1n停止中（TMC1nレジスタのCE1n1ビット = 0）は，キャプチャ・トリガは無効になります。

4. 動作モードをキャプチャ・レジスタからコンペア・レジスタに変更した場合は，再度新規のコンペア値を設定し直してください。

5. CC1n1レジスタの連続読み出しは禁止します。CC1n1レジスタの連続読み出しを行った場合，2回目の読み出し値が実際の値と異なる可能性があります。CC1n1レジスタを2回読み出す必要がある場合は，必ず1回目と2回目の間にほかのレジスタを読み出してください。

6. CC1n1レジスタは同値書き込みを禁止します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CC101																	FFFFF5A8H	0000H
CC111																	FFFFF5D8H	0000H

（a）キャプチャ・レジスタに設定

キャプチャ・レジスタに設定した場合は，対応する外部割り込み要求信号（INTP1n1）の有効エッジをキャプチャ・トリガとして検出します。TMENC1nはキャプチャ・トリガに同期して，カウント値をラッチします（キャプチャ動作）。ラッチした値は，次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

また，外部割り込み要求信号の有効エッジ指定（立ち上がり，立ち下がり，立ち上がり／立ち下がり両エッジ）は，SESA1nレジスタにより選択できます。

キャプチャ・レジスタに指定したときは，INTP1n1信号の有効エッジ検出で割り込みを発生します。

注意　TCLR1n端子とINTP1n1端子は兼用構成となります。このため，UDCモードA時にTCLR1n入力を使用する場合には，INTP1n1端子による外部キャプチャ機能は使用できません。

（b）コンペア・レジスタに設定

コンペア・レジスタに設定した場合，常にTMENC1nとCC1n1レジスタの値の比較動作を行い，一致を検出すると割り込み要求信号（INTCC1n1）を発生します。

9. 3. 6 動　　作

(1) 汎用タイマ・モードでの動作

TMENC1nは，汎用タイマ・モードでは次に示す動作ができます。

(a) インターバル動作（TMC1nレジスタのENMD1nビット = 1のとき）

TMENC1nとCM1n0レジスタは常に比較動作を行い，一致を検出するとINTCM1n0割り込み要求信号を発生します。一致の次のカウント・クロックでTMENC1nをクリア（0000H）します。さらに次のカウント・クロックが入ると，TMENC1nは0001Hにカウント・アップされます。

インターバル周期は次に示す式で計算できます。

インターバル周期 = （CM1n0レジスタ値＋1）×TMENC1nのカウント・クロック・レート

(b) フリー・ランニング動作（TMC1nレジスタのENMD1nビット = 0のとき）

TMENC1nは，0000HからFFFFHまでフル・カウントし，STATUS1nレジスタのOVF1nビットがセット（1）後，次のカウント・クロックで0000Hになり，カウントを続行します。

フリー・ランニング周期は次に示す式で計算できます。

フリー・ランニング周期 = 65536×TMENC1nのカウント・クロック・レート

(c) コンペア機能

TMENC1nは，コンペア・レジスタ（CM1n0, CM1n1）を2チャネル，キャプチャ／コンペア・レジスタ（CC1n0, CC1n1）を2チャネル接続しています。

TMENC1nカウント値と各コンペア・レジスタ設定値とが一致した場合には，一致割り込み要求信号（INTCM1n0, INTCM1n1, INTCC1n0[注], INTCC1n1[注]）が出力されます。特にインターバル動作時には，INTCM1n0発生タイミングで，TMENC1nがクリアされます。

注　CC1n0, CC1n1レジスタがコンペア・レジスタ・モードに設定されているときに一致割り込み要求信号を発生します。

(d) キャプチャ機能

TMENC1nは，キャプチャ／コンペア・レジスタ（CC1n0, CC1n1）を2チャネル接続しています。

CC1n0, CC1n1レジスタがキャプチャ・レジスタ・モードに設定されているときは，該当するキャプチャ・トリガ信号（INTP1n0, INTP1n1）に同期してTMENC1nの値をキャプチャします。

キャプチャ・トリガ信号に指定されたINTP1n0, INTP1n1入力信号の有効エッジにより割り込み要求信号（INTCC1n0, INTCC1n1）を発生します。

表9－7　16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号（TMENC1n）

キャプチャ・レジスタ	キャプチャ・トリガ信号
CC1n0	INTP1n0
CC1n1	INTP1n1

備考　CC1n0, CC1n1レジスタはキャプチャ／コンペア・レジスタです。
どちらのレジスタとして使用するかは，CCR1nレジスタで指定します。

キャプチャ・トリガの有効エッジは，SESA1nレジスタにより指定します。立ち上がり／立ち下がりの両エッジをキャプチャ・トリガとした場合は，外部からの入力パルス幅を測定できます。片側エッジをキャプチャ・トリガとした場合は，入力パルスの周期を測定できます。

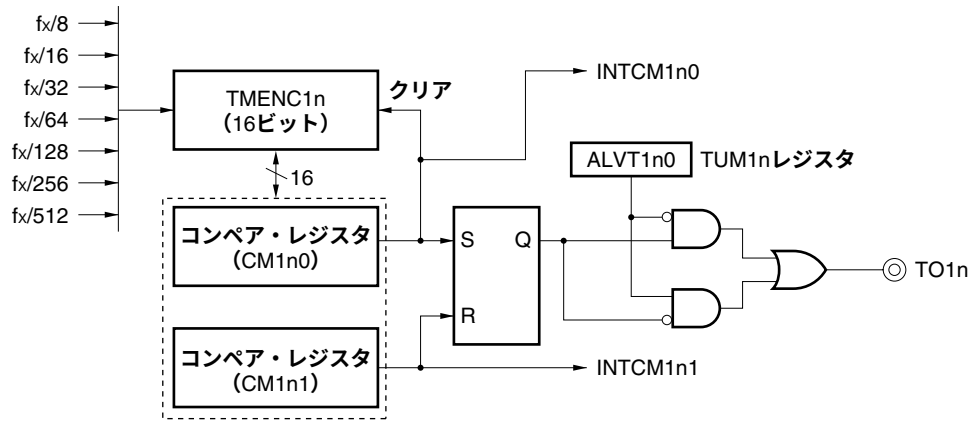
(e) タイマ出力動作

TUM1nレジスタによりTMENC1nを汎用タイマ・モード（T1CMDnビット = 0）に設定することで，TO1n端子からタイマ出力動作をします。

タイマ動作中は，周期およびデューティ（CM1n0, CM1n1レジスタ）の書き換えはできません。

また，分解能は16ビットで，カウント・クロックは7種類の内部クロック（fx/8, fx/16, fx/32, fx/64, fx/128, fx/256, fx/512）から選択できます。

★ 図9－18　TMENC1nのブロック図（タイマ出力動作時）



備考1.　fx：メイン・クロック

2.　n = 0, 1

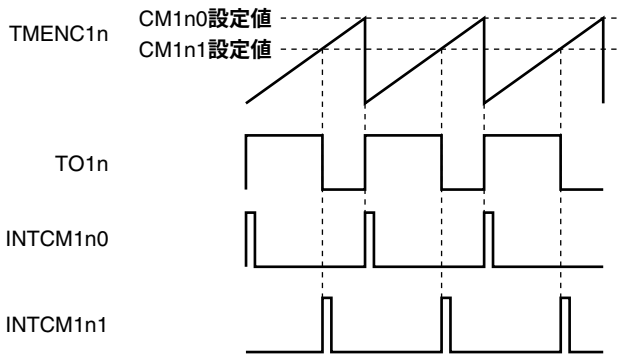
(i) 動作説明

CM1n0レジスタは，タイマ出力の周期を設定するコンペア・レジスタです。TMENC1nと一致するとINTCM1n0割り込み要求信号を発生します。コンペア一致したことをハードウエアで保持し，一致の次のカウント・クロックでTMENC1nをクリアします。

CM1n1レジスタは，タイマ出力のデューティを設定するコンペア・レジスタです。タイマ周期で必要なデューティを設定してください。

図9－19　タイマ出力例（ALVT1n0ビット = 0設定時）

★



注意1. TMENC1n動作時（TMC1nレジスタのCE1n1ビット = 1）にCM1n0, CM1n1レジスタの値を変更することを禁止します。

2. TMENC1n動作時にTUM1nレジスタのALVT1n0ビット設定値を変更することは禁止します。

3. タイマ出力は，CE1n1ビットをセット（1）後の第2タイマ周期目から出力されます。

備考　n = 0, 1

(2) UDCモードでの動作

(a) UDCモードでの動作概要

UDCモード（TUM1nレジスタのT1CMDnビット = 1）時のTMENC1nへのカウント・クロックは，TIUD1n, TCUD1n端子からの外部入力のみとなります。UDCモード時のアップ／ダウン・カウント判定は，PRM1nレジスタ設定に従ったTIUD1n, TCUD1n端子入力の位相差により決定します（選択肢は合計4種類存在します）。

表9－8　UDCモードのカウント動作一覧

PRM1nレジスタ			動作モード	TMENC1nの動作
PRM1n2	PRM1n1	PRM1n0		
1	0	0	モード1	TCUD1n = ハイ・レベルのとき，TIUD1n入力の有効エッジ検出でダウン・カウント TCUD1n = ロウ・レベルのとき，TIUD1n入力の有効エッジ検出でアップ・カウント
1	0	1	モード2	TIUD1n入力の有効エッジ検出でアップ・カウント TCUD1n入力の有効エッジ検出でダウン・カウント
1	1	0	モード3	TCUD1n = ハイ・レベルのとき，TIUD1n入力の有効エッジ検出でアップ・カウント TCUD1n = ロウ・レベルのとき，TIUD1n入力の有効エッジ検出でダウン・カウント
1	1	1	モード4	TIUD1n入力の両エッジおよびTCUD1n入力の両エッジ検出で自動判別

備考　n = 0, 1

さらにUDCモードでは，TMENC1nのクリア条件により，2種類のモードに分かれます（両モードとも，TIUD1n, TCUD1n入力でのみカウント動作を行います）。

- UDCモードA（TUM1nレジスタのT1CMDnビット = 1, MSELnビット = 0）

  TMENC1nのクリア要因を外部クリア入力（TCLR1n）のみか，アップ・カウント中のTMENC1nのカウント値とCM1n0レジスタ設定値との一致信号か，または両信号の論理和（OR）かをTMC1nレジスタのCLR1n1, CLR1n0ビットによって選択可能です。

  また，TMENC1nは，自己のアンダフロー発生タイミングでCM1n0レジスタの値を転送できます。

- UDCモードB（TUM1nレジスタのT1CMDnビット = 1, MSELnビット = 1）

  TMENC1nのカウント値とCM1n0レジスタ設定値が一致後のTMENC1nの状態を次に示します。

  ① アップ・カウントの場合，TMENC1nをクリア（0000H）し，INTCM1n0割り込み要求信号を発生します。

  ② ダウン・カウントの場合，TMENC1nカウント値をデクリメント（－1）します。

  TMENC1nのカウント値とCM1n1レジスタ設定値が一致後のTMENC1nの状態を次に示します。

  ① アップ・カウントの場合，TMENC1nカウント値をインクリメント（＋1）します。

  ② ダウン・カウントの場合，TMENC1nをクリア（0000H）し，INTCM1n1割り込み要求信号を発生します。

(b) UDCモードでのアップ／ダウン・カウント動作

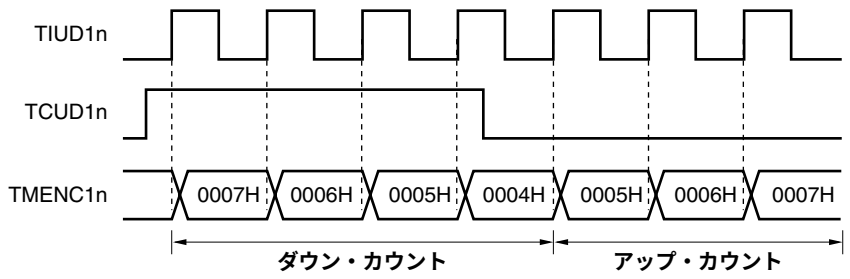
UDCモード時のTMENC1nのアップ／ダウン・カウント判定は，PRM1nレジスタ設定に従ったTIUD1n, TCUD1n端子入力の位相差により決定します。次に具体的な動作を示します。

(i) モード1（PRM1nレジスタのPRM1n2ビット = 1, PRM1n1ビット = 0, PRM1n0ビット = 0）

モード1では，TIUD1n端子の有効エッジを検出したときに，TCUD1n端子レベルの条件によりカウントは次のようになります。

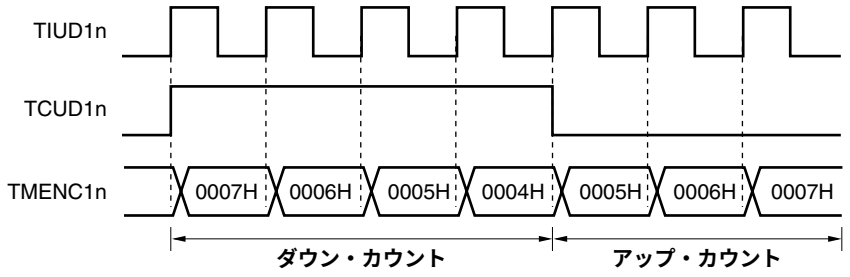
- TCUD1n端子 = ハイ・レベルの場合，TMENC1nをダウン・カウントします。
- TCUD1n端子 = ロウ・レベルの場合，TMENC1nをアップ・カウントします。

図9－20　モード1（TIUD1n端子の有効エッジが立ち上がりエッジ指定の場合）



備考　n = 0, 1

図9－21　モード1（TIUD1n端子の有効エッジが立ち上がりエッジ指定の場合）
：TIUD1n, TCUD1n端子のエッジが同時タイミングのとき



備考　n = 0, 1

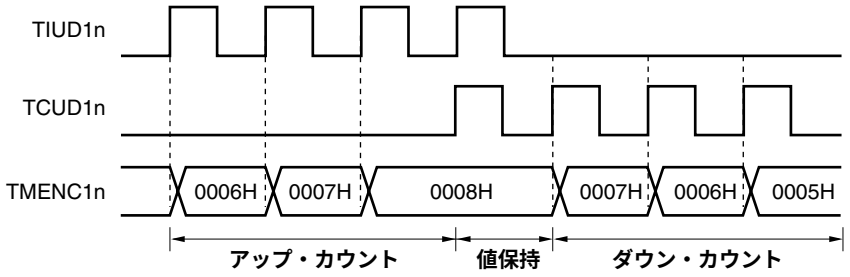
（ii）モード2（PRM1nレジスタのPRM1n2ビット = 1, PRM1n1ビット = 0, PRM1n0ビット = 1）

モード2でのカウントの条件は次のようになります。

- TIUD1n端子の有効エッジを検出した場合，TMENC1nをアップ・カウントします。
- TCUD1n端子の有効エッジを検出した場合，TMENC1nをダウン・カウントします。

注意　TIUD1n端子とTCUD1n端子にカウント・クロックが同時に入力した場合には，カウント動作を行わず，直前の値は保持します。

図9－22　モード2（TIUD1n, TCUD1n端子の有効エッジが立ち上がりエッジ指定の場合）



備考　n = 0, 1

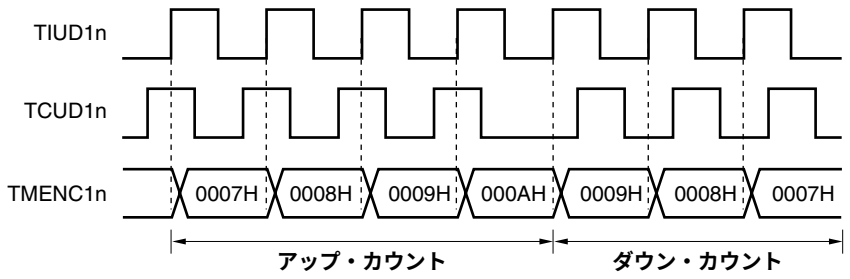
（iii）モード3（PRM1nレジスタのPRM1n2 = 1, PRM1n1 = 1, PRM1n0 = 0）

モード3は，TIUD1n端子とTCUD1n端子が90 ° の位相差を持つ2相信号を入力すると，TIUD1n端子の有効エッジ入力でTCUD1n端子のレベルをサンプリングします（図9－23参照）。

TIUD1n端子の有効エッジ入力でサンプリングしたTCUD1n端子レベルがロウ・レベルの場合，TMENC1nはTIUD1n端子の有効エッジ入力でダウン・カウントします。

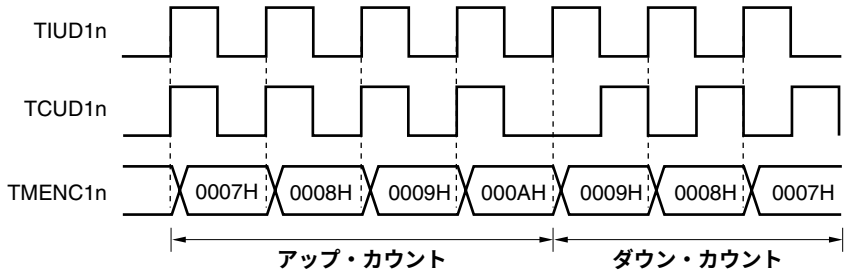
TIUD1n端子の有効エッジ入力でサンプリングしたTCUD1n端子レベルがハイ・レベルの場合，TMENC1nはTIUD1n端子の有効エッジ入力でアップ・カウントします。

図9－23　モード3（TIUD1n端子の有効エッジが立ち上がりエッジ指定の場合）



備考　n = 0, 1

図9－24　モード3（TIUD1n端子の有効エッジが立ち上がりエッジ指定の場合）
：TIUD1n, TCUD1n端子のエッジが同時タイミングのとき



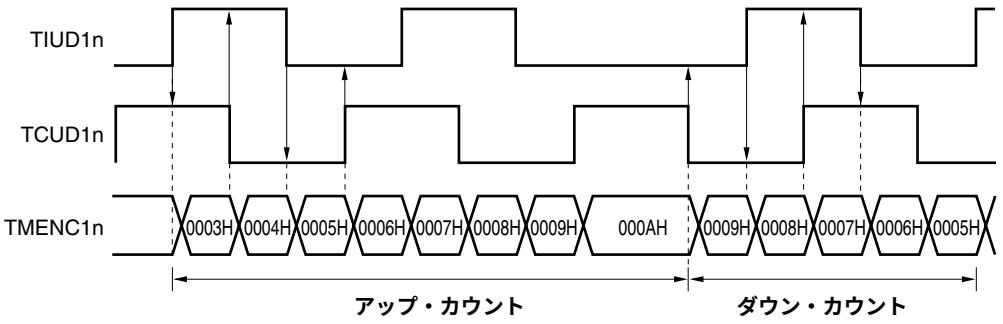
備考　n = 0, 1

（iv）モード4（PRM1nレジスタのPRM1n2 = 1, PRM1n1 = 1, PRM1n0 = 1）

モード4は，TIUD1n端子とTCUD1n端子に位相がシフトした2相信号を入力すると，図9－25に示すタイミングで自動的にアップ／ダウン動作を判別し，カウントを実行します。

モード4では，TIUD1n端子とTCUD1n端子に入力される2相信号をそれぞれの立ち上がり，立ち下がりの両エッジでカウントします。したがって，TMENC1nは，入力信号の1サイクル当たり4回カウントします（4逓倍カウント）。

図9－25　モード4



注意1.　TMENC1nの動作がモード4に設定されている場合には，TIUD1n端子とTCUD1n端子に対する有効エッジの指定は無効となります。

2.　モード4でTIUD1n端子とTCUD1n端子のエッジが同時に入力された場合は，TMENC1nのアップ／ダウン動作は直前の動作のままカウントを続行します。

備考　n = 0, 1

（c）UDCモードAの動作

（i）インターバル動作

TMENC1nカウント値とCM1n0レジスタ設定値が一致後の次のカウント・クロックでの動作を示します。

- アップ・カウントの場合，TMENC1nをクリア（0000H）し，INTCM1n0割り込み要求信号を発生します。
- ダウン・カウント時の場合，TMENC1nカウント値をデクリメント（－1）し，INTCM1n0割り込み要求信号を発生します。

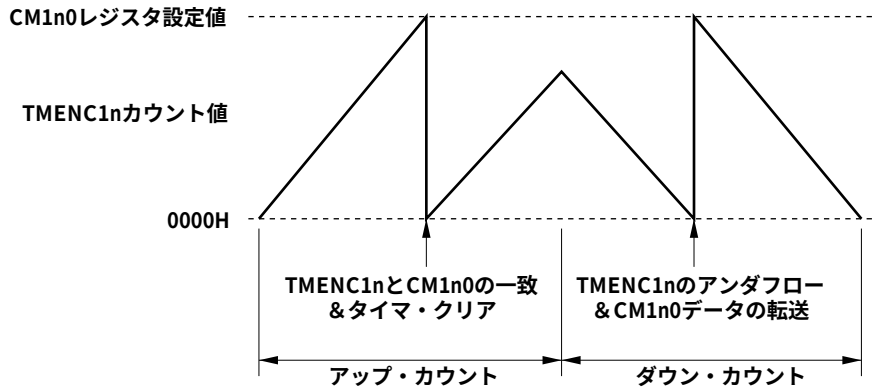
備考　インターバル動作は，転送動作と組み合わせることもできます。

（ii）転送動作

TMC1nレジスタのRLEN1nビット = 1の場合，ダウン・カウント中にTMENC1n = 0000Hとなると，次のカウント・クロックでCM1n0レジスタ設定値をTMENC1nへ転送します。

備考1.　転送の許可／禁止は，TMC1nレジスタのRLEN1nビットで設定できます。
2.　転送動作は，インターバル動作と組み合わせることもできます。

図9－26　インターバル動作と転送動作を組み合わせたときのTMENC1n動作例



備考　n = 0, 1

（iii）コンペア機能

TMENC1nは，コンペア・レジスタ（CM1n0, CM1n1）を2チャネル，キャプチャ／コンペア・レジスタ（CC1n0, CC1n1）を2チャネル接続しています。

TMENC1nカウント値と各コンペア・レジスタ設定値とが一致した場合には，一致割り込み要求信号（INTCM1n0, INTCM1n1, INTCC1n0[注], INTCC1n1[注]）が出力されます。

注　CC1n0, CC1n1レジスタがコンペア・レジスタ・モードに設定されているときに一致割り込み要求信号を発生します。

（iv）キャプチャ機能

TMENC1nは，キャプチャ／コンペア・レジスタ（CC1n0, CC1n1）を2チャネル接続しています。

CC1n0, CC1n1レジスタがキャプチャ・レジスタ・モードに設定されているときは，該当するキャプチャ・トリガ信号に同期してTMENC1nの値をキャプチャします。

また，有効エッジ検出により，キャプチャ割り込み要求信号（INTCC1n0, INTCC1n1）を発生します。

(d) UDCモードBの動作

(i) 基本動作

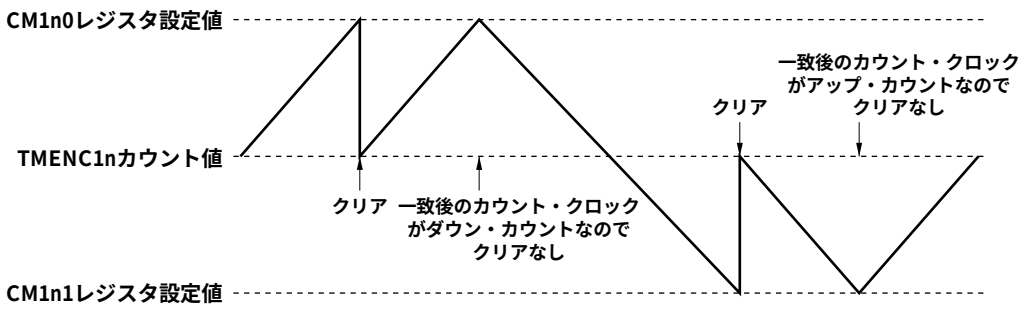
TMENC1nがUDCモードBのとき，TMENC1nカウント値とCM1n0レジスタ設定値が一致後の次のカウント・クロックでの動作を示します。

- アップ・カウントの場合，TMENC1nをクリア（0000H）し，INTCM1n0割り込み要求信号を発生します。
- ダウン・カウントの場合，TMENC1nカウント値をデクリメント（－1）します。

TMENC1nがUDCモードBのとき，TMENC1nカウント値とCM1n1レジスタ設定値が一致後の次のカウント・クロックでの動作を示します。

- アップ・カウントの場合，TMENC1nカウント値をインクリメント（＋1）します。
- ダウン・カウントの場合，TMENC1nをクリア（0000H）し，INTCM1n1割り込み要求信号を発生します。

図9－27　UDCモード時のTMENC1n動作例



備考　n = 0, 1

(ii) コンペア機能

TMENC1nは，コンペア・レジスタ（CM1n0, CM1n1）を2チャネル，キャプチャ／コンペア・レジスタ（CC1n0, CC1n1）を2チャネル接続しています。

TMENC1nカウント値と各コンペア・レジスタ設定値とが一致した場合には，一致割り込み要求信号（INTCM1n0（アップ・カウント中のみ），INTCM1n1（ダウン・カウント中のみ），INTCC1n0[注], INTCC1n1[注]）が出力されます。

注　CC1n0, CC1n1レジスタがコンペア・レジスタ・モードに設定されているときに一致割り込み要求信号を発生します。

(iii) キャプチャ機能

TMENC1nは，キャプチャ／コンペア・レジスタ（CC1n0, CC1n1）を2チャネル接続しています。

CC1n0, CC1n1レジスタがキャプチャ・レジスタ・モードに設定されているときは，該当するキャプチャ・トリガ信号に同期してTMENC1nの値をキャプチャします。また，有効エッジ検出により，キャプチャ割り込み要求信号（INTCC1n0, INTCC1n1）を発生します。

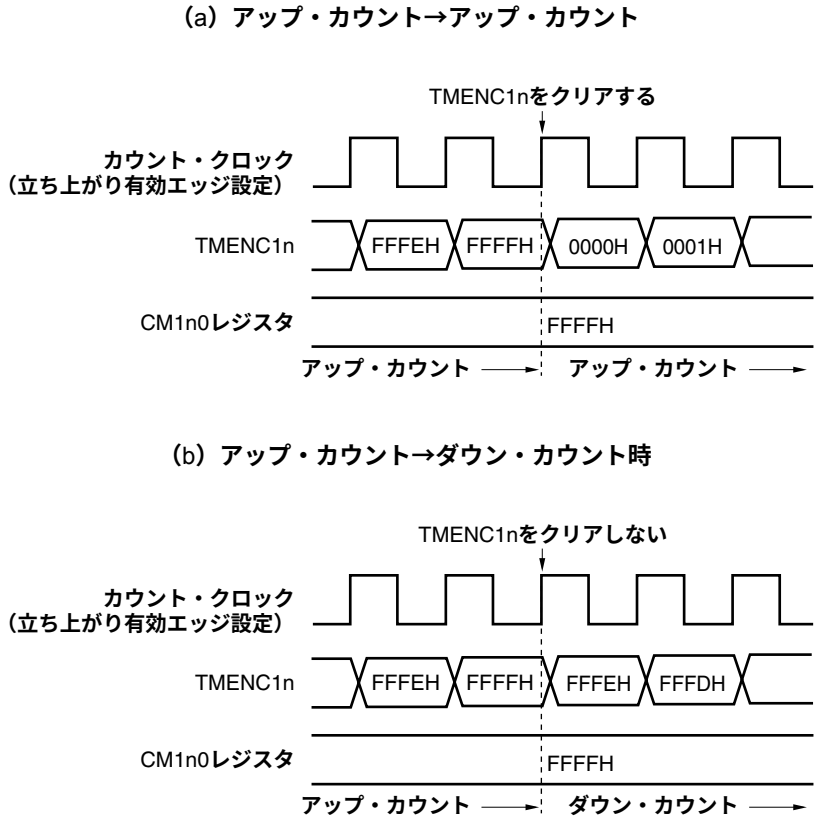
9. 3. 7　内部動作補足説明

(1) UDCモードBでのカウント値クリア動作について

TMENC1nがUDCモードBのとき，カウント値がクリアされる条件を次に示します。

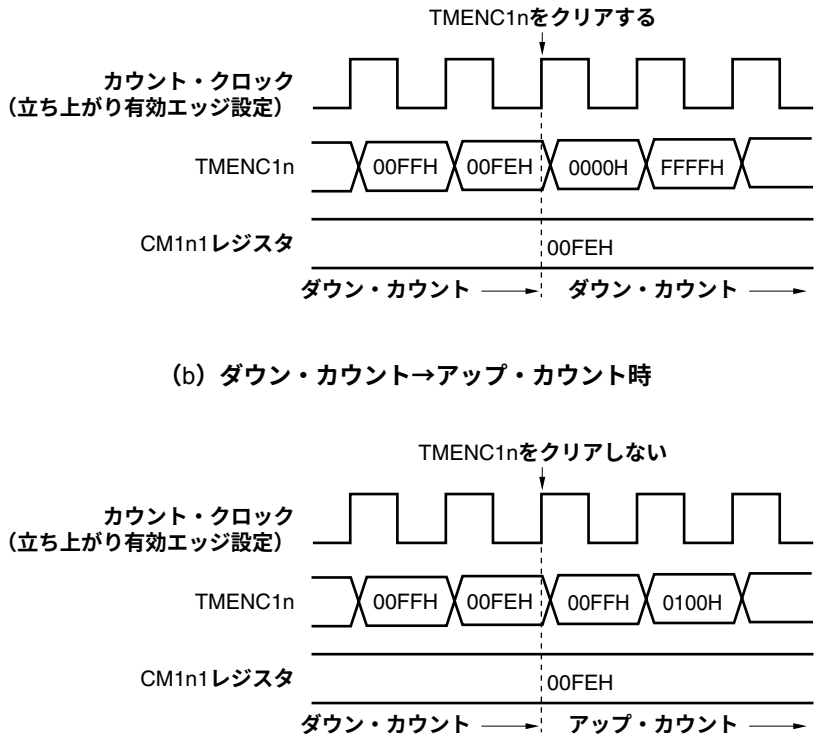
- TMENC1nがアップ・カウント中にCM1n0レジスタとの一致でカウント値がクリア
- TMENC1nがダウン・カウント中にCM1n1レジスタとの一致でカウント値がクリア

図9－28　TMENC1nカウント値とCM1n0レジスタ設定値との一致後のクリア動作



備考　n ＝ 0, 1

図9ー29　TMENC1nカウント値とCM1n1レジスタ設定値との一致後のクリア動作

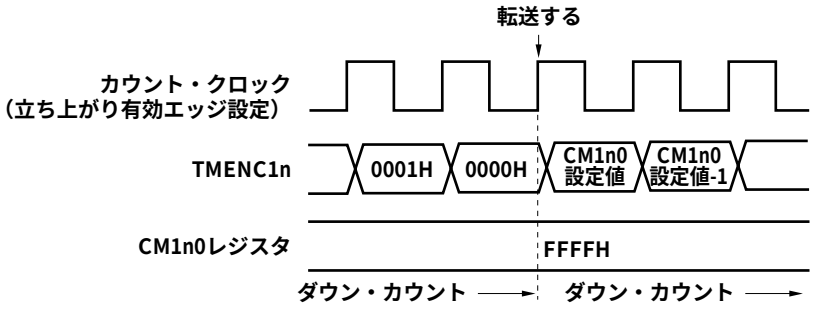


備考　n ＝ 0, 1

(2) 転送動作について

UDCモードAでTMC1nレジスタのRLEN1nビット = 1の場合，ダウン・カウント中にTMENC1n = 0000Hとなると，次のカウント・クロックでCM1n0レジスタ設定値をTMENC1nへ転送します。ただし，アップ・カウント中には転送動作は行われません。

図9－30　転送動作時の内部動作



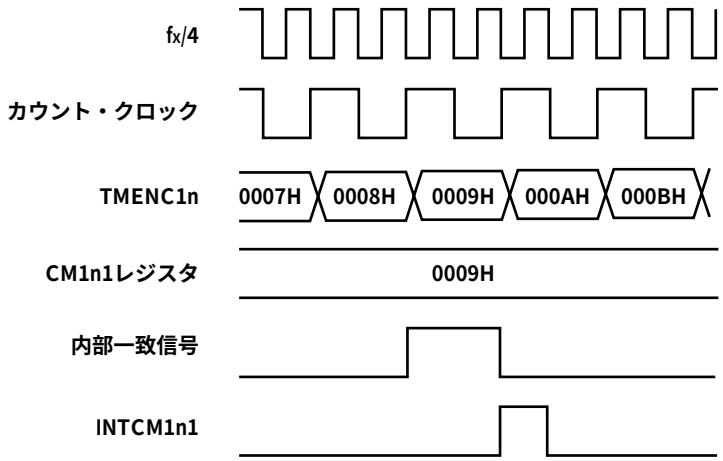
備考　n = 0, 1

(3) コンペア一致による割り込み要求信号出力について

CM1n0, CM1n1, CC1n0[注], CC1n1[注]レジスタ設定値とTMENC1nカウント値が一致した場合，割り込み要求信号を出力します。そのときのタイミングを次に示します。

注　CC1n0, CC1n1レジスタがコンペア・レジスタ・モードに設定されている場合

図9－31　コンペア一致による割り込み要求信号出力
（動作モード：汎用タイマ・モード，カウント・クロック：fx/8設定時のCM1n1）



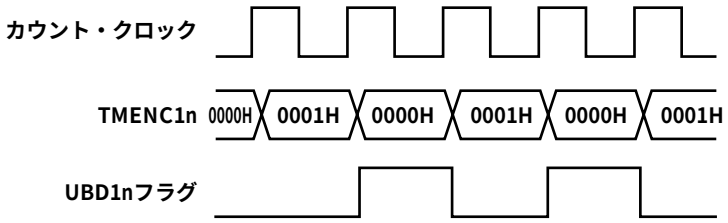
備考1.　fx：メイン・クロック
2.　n = 0, 1

図9－31のように割り込み要求信号は，TMENC1nカウント値と該当するコンペア・レジスタ設定値とが一致後の次のカウント・クロック時に出力されます。

(4) UBD1nフラグ（STATUS1nレジスタのビット0）の動作について

UDCモード（TUM1nレジスタのT1CMDnビット = 1のとき）において，1内部動作クロックごとにTMENC1nがアップ／ダウンを繰り返すとき，UBD1nフラグは次のように変化します。

図9－32　UBD1nフラグの動作



備考　n = 0, 1

(5) オーバフロー割り込み要求信号（INTOV1n），アンダフロー割り込み要求信号（INTUD1n）について

(a) オーバフロー割り込み要求信号（INTOV1n）は，TMENC1nカウント値がFFFFHとなり，次のカウント動作がアップ・カウントの場合に発生します。

(b) アンダフロー割り込み要求信号（INTUD1n）は，TMENC1nカウント値が0000Hとなり，次のカウント動作がダウン・カウントの場合に発生します。

(c) オーバフロー，アンダフロー発生後も，カウント・エッジが検出されれば，TMENC1nはそのままカウント動作を継続します。ただし，TMC1nレジスタのRLEN1nビット = 1（転送動作許可）のとき，アンダフローが発生する条件（0000H→FFFFH）となった場合は，CM1n0レジスタの設定値が転送されます。

(d) TMC1nレジスタのRLEN1nビット = 0（転送動作禁止）のとき，CM1n0レジスタ設定値 = FFFFHと設定した状態で，アンダフローが発生する条件（0000H→FFFFH）となった場合は，INTCM1n0割り込みとINTUD1n割り込みが同時に発生します。

9. 3. 8　注意事項

タイマENC1についての注意事項を次に示します。

(1) UDCモード時のINTP1n0端子

TCUD1n端子とINTP1n0端子は兼用構成となります。このため，UDCモード時には，TCUD1n端子が使用されるため，INTP1n0端子による外部キャプチャ機能は使用できません。

(2) UDCモードA時のINTP1n1端子

TCLR1n端子とINTP1n1端子は兼用構成となります。このため，UDCモードA時にTCLR1n入力を使用する場合には，INTP1n1端子による外部キャプチャ機能は使用できません。

(3) トリガ・モードの設定

INTP1n0, INTP1n1, TIUD1n, TCUD1n, TCLR1n端子のトリガ・モードを設定する場合はPMCDHレジスタを設定したあとで行ってください。SESA1nレジスタを設定したあとでPMCDHレジスタの設定を行うと，PMCDHレジスタの設定タイミングで不正な割り込みや誤カウント，誤クリアが発生することがあります。

(4) NCW1nレジスタ設定時の注意

NCW1nレジスタのSRTCn, SRTInビットによる入力信号のスルー／反転の切り替えは，INTP1n0/TCUD1n端子，TIUD1n端子ごとに設定が可能です。NCFn, NCC1n, NCC0nビットによるノイズ除去幅の設定は，タイマごとの設定となり，端子ごとに切り替えることはできません。

第10章　シリアル・インタフェース機能

10. 1　特　　徴

シリアル・インタフェース機能として，3種類5チャネルの送受信チャネルを備え，同時に4チャネルまで使用できます。

インタフェース形態として次の3種類があります。

(1) アシンクロナス・シリアル・インタフェースB0, B1（UARTB0, UARTB1）：2チャネル
(2) クロック同期式シリアル・インタフェース30, 31（CSI30, CSI31）：2チャネル
(3) USBファンクション・コントローラ（USBF）：1チャネル

備考　USBファンクションについての詳細は，第11章　USBファンクション・コントローラ（USBF）を参照してください。

UARTB0, UARTB1は，スタート・ビットに続く1バイトのシリアル・データを送受信する方式をとり，全二重通信ができます。

CSI30, CSI31は，シリアル・クロック（$\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$）とシリアル入力（SI0, SI1），シリアル出力（SO0, SO1）の3種類の信号によるデータ転送を行います（3線式シリアルI/O）。

USBは，12 Mbpsのフルスピード転送をサポートしており，7つのエンドポイントで構成されています。

10. 1. 1　UARTB0とCSI30のモード切り替え

V850E/ME2では，UARTB0とCSI30は端子が兼用になっており，同時に使用することはできません。あらかじめレジスタを設定する必要があります。

10. 2　アシンクロナス・シリアル・インタフェースB0, B1（UARTB0, UARTB1）

10. 2. 1　特　　徴

○転送速度　最大1.5 Mbps（専用ボー・レート・ジェネレータ使用）

○全二重通信

○シングル・モード/FIFOモード切り替え可能

・シングル・モード：送信／受信それぞれ8ビット幅×1段のデータ・レジスタ（UBnTXレジスタ/UBnRXレジスタ）を使用

・FIFOモード

送信FIFOn：UBnTXレジスタ（8ビット幅×16段）

受信FIFOn：UBnRXAPレジスタ（16ビット幅×16段）

なお，UBnRXAPレジスタの上位8ビットには，そのとき受信したデータのエラー情報を格納します。

○2端子構成　TXDn：送信データの出力端子

RXDn：受信データの入力端子

○受信エラー検出機能

・オーバフロー・エラー（FIFOモード時のみ）

・パリティ・エラー

・フレーミング・エラー

・オーバラン・エラー（シングル・モード時のみ）

○割り込みソース：5種類

・受信エラー割り込み（UBTIREn）

・受信完了割り込み（UBTIRn）

・送信完了割り込み（UBTITn）

・FIFO送信完了割り込み（UBTIFn）（FIFOモード時のみ）

・受信タイムアウト割り込み（UBTITOn）（FIFOモード時のみ）

○送受信データのキャラクタ長はUBnCTL0レジスタで指定

○キャラクタ長：7, 8ビット

○パリティ機能：奇数，偶数，0，なし

○送信ストップ・ビット：1, 2ビット

○転送データのMSB先頭/LSB先頭を切り替え可能

○専用ボー・レート・ジェネレータ内蔵

備考　n = 0, 1

10. 2. 2　構　　成

UARTBn制御レジスタ0（UBnCTL0），UARTBn状態レジスタ（UBnSTR），UARTBn制御レジスタ2（UBnCTL2），UARTBn FIFO制御レジスタ0（UBnFIC0），UARTBn FIFO制御レジスタ1（UBnFIC1），UARTBn FIFO制御レジスタ2（UBnFIC2），UARTBn FIFO状態レジスタ0（UBnFIS0），UARTBn FIFO状態レジスタ1（UBnFIS1）によって，UARTBnを制御します（n = 0, 1）。受信データは受信データ・レジスタ（シングル・モード時：UBnRXレジスタ，FIFOモード時：受信FIFOn（UBnRXAPレジスタ））に保持され，送信データは送信データ・レジスタ（シングル・モード時：UBnTXレジスタ，FIFOモード時：送信FIFOn）に書き込みます。また，FIFOモード時に受信エラー（パリティ・エラーまたはフレーミング・エラー）が発生したときは，UARTBn受信データ・レジスタAP（UBnRXAP）を16ビット（ハーフワード）で読み出すことで，エラー対象となるデータを認識できます。

アシンクロナス・シリアル・インタフェースは，図10－1のように構成されています。

（1）UARTBn制御レジスタ0（UBnCTL0）（n = 0, 1）

UBnCTL0レジスタは，UARTBnの転送動作を制御するレジスタです。

（2）UARTBn状態レジスタ（UBnSTR）（n = 0, 1）

UBnSTRレジスタは，送信時の転送状態と受信エラー内容を示すレジスタです。送信時の転送状態を示すステータス・フラグは送信シフト・レジスタnおよび送信データ・レジスタn（シングル・モード時：UBnTXレジスタ，FIFOモード時：送信FIFOn）のデータ保持状態を示します。受信エラーの各フラグは受信エラー発生時にセット（1）され，UBnSTRレジスタに0を書き込んだときにクリア（0）されます。

（3）UARTBn制御レジスタ2（UBnCTL2）（n = 0, 1）

UBnCTL2レジスタは，UARTBnのボー・レート（シリアル転送スピード）を制御するための分周値を指定するレジスタです。

（4）UARTBn FIFO制御レジスタ0（UBnFIC0）（n = 0, 1）

UBnFIC0レジスタは，UARTBnの動作モードの選択と，FIFOモード時に有効となる送信FIFOn/受信FIFOnのクリアおよび送信完了割り込み（UBTITn）／受信完了割り込み（UBTIRn）の発生タイミング・モードを指定します。

（5）UARTBn FIFO制御レジスタ1（UBnFIC1）（n = 0, 1）

UBnFIC1レジスタは，FIFOモード時に有効となるレジスタで，ストップ・ビットを受信後，次データ受信待ち時間を経過しても次のデータが来ない（スタート・ビットが検出されない）ときに受信FIFOn内にデータが格納されている場合，受信タイムアウト割り込み要求（UBTITOn）を発生させます。

（6）UARTBn FIFO制御レジスタ2（UBnFIC2）（n = 0, 1）

UBnFIC2レジスタは，FIFOモード時に有効となるレジスタで，データの送受信数をトリガとして送信完了割り込み（UBTITn）／受信完了割り込み（UBTIRn）を発生させるタイミングを設定します。

（7）UARTBn FIFO状態レジスタ0（UBnFIS0）（n = 0, 1）

UBnFIS0レジスタは，FIFOモード時に有効となるレジスタで，受信FIFOnに格納されているデータのバイト数が読み出せます。

(8) UARTBn FIFO状態レジスタ1（UBnFIS1）（n = 0, 1）

UBnFIS1レジスタは，FIFOモード時に有効となるレジスタで，送信FIFOnの空きバイト数が読み出せます。

(9) 受信シフト・レジスタn（n = 0, 1）

RXDn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信し，ストップ・ビットを検出すると，受信データを受信データ・レジスタnへ転送します。

このレジスタは直接操作することはできません。

(10) UARTBn受信データ・レジスタAP（UBnRXAP），UARTBn受信データ・レジスタ（UBnRX）（n = 0, 1）

受信データ・レジスタnは，受信データを保持するレジスタです。シングル・モード時には8ビット幅×1段のUBnRXレジスタを，FIFOモード時には16ビット幅×16段の受信FIFOn（UBnRXAPレジスタ）を使用します。

受信FIFOn（UBnRXAPレジスタ）の下位8ビットには受信データを格納し，上位8ビット（ビット8およびビット9）にはそのとき受信したデータのエラー情報を格納します。FIFOモード時に受信エラー（パリティ・エラーまたはフレーミング・エラー）が発生したときには，UBnRXAPレジスタを16ビット（ハーフワード）で読み出すことで，エラー対象となるデータを認識できます（エラー情報がUBnPEFビット = 1，またはUBnFEFビット = 1として付加されます）。UBnRXAPレジスタは，下位8ビットを8ビット（バイト）で読み出した場合，上位8ビットは破棄されます。したがって，エラー未発生時には，UBnRXレジスタと同様に8ビット（バイト）で読み出すことで，受信データだけを連続して読み出せます。

7ビット長の受信では，LSBファースト受信時，受信データは受信データ・レジスタnのビット6-0にLSB（ビット0）から転送され，MSB（ビット7）は必ず0に，MSBファースト受信時，受信データは受信データ・レジスタnのビット7-1にMSB（ビット7）から転送され，LSB（ビット0）は必ず0になります。また，オーバラン・エラーが発生した場合には，そのときの受信データは受信データ・レジスタnに転送されません。

受信許可状態中は，受信データは1フレーム分のシフト・イン処理終了に同期して，受信シフト・レジスタnから受信データ・レジスタnに転送されます。

また，シングル・モード時にはUBnRXレジスタへ転送することにより，FIFOモード時には受信FIFOnへUBnFIC2レジスタのUBnRT3-UBnRT0ビットで指定した受信トリガ設定数分を転送することにより，受信完了割り込み要求（UBTIRn）が発生します。さらに，FIFOモード時にUBnFIC1レジスタのUBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない（スタート・ビットが検出されない）状態でも受信FIFOnにデータが格納されている場合には，受信タイムアウト割り込み要求（UBTITOn）が発生します。

(11) 送信シフト・レジスタn（n = 0, 1）

送信シフト・レジスタnは，送信データ・レジスタnから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

送信データ・レジスタnから1バイト分のデータが転送されると，送信シフト・レジスタnのデータをTXDn端子から出力します。

このレジスタは直接操作することはできません。

（12）UARTBn送信データ・レジスタn（UBnTX）（n = 0, 1）

送信データ・レジスタnは，送信データ用バッファです。シングル・モード時には8ビット幅×1段のUBnTXレジスタを，FIFOモード時には8ビット幅×16段の送信FIFOnを使用します。

7ビット長の送信では，LSBファースト送信時，送信データは送信データ・レジスタnのビット6-0のデータをLSB（ビット0）から送信され，MSB（ビット7）は必ず0に，MSBファースト送信時，送信データは送信データ・レジスタnのビット7-1のデータをMSB（ビット7）から送信され，LSB（ビット0）は必ず0になります。

シングル・モード時は，送信許可状態（UBnCTL0レジスタのUBnTXEビット = 1）のときにUBnTXレジスタへ送信データを書き込むことにより，送信動作が開始されます。UBnTXレジスタに送信データの書き込みが可能になる（UBnTXレジスタから送信シフト・レジスタnに1バイト分のデータが転送される）と送信完了割り込み要求（UBTITn）を発生します。

FIFOモード時は，送信FIFOnにUBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと，送信許可（UBnTXEビット = 1）にすることにより，送信動作が開始されます。送信FIFOnから送信シフト・レジスタnにUBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータが転送される（指定した送信トリガ設定数分が書き込み可能となる）と送信完了割り込み要求（UBTITn）を発生します。また，FIFOモード時には，送信FIFOnおよび送信シフト・レジスタnにデータが存在しなくなった（空になった）場合には，FIFO送信完了割り込み要求（UBTIFn）が発生します。

（13）タイムアウト・カウンタ

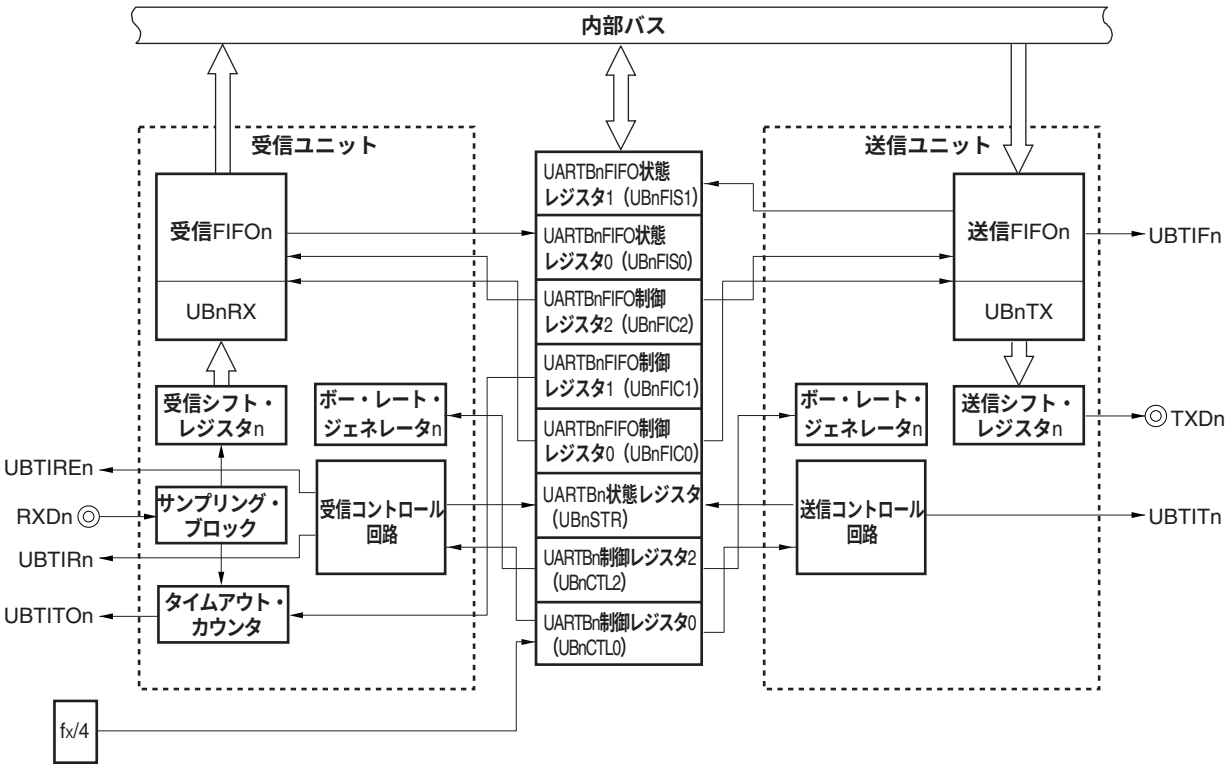
受信データ数が，UBnFIC2レジスタのUBnRT3-UBnRT0ビットで指定した受信トリガ設定数に達しない場合に，受信FIFOnにデータが存在している（残っている）ことを認識するための機能で，FIFOモード時のみ有効となります。

ストップ・ビットを受信後，UBnFIC1レジスタのUBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない（スタート・ビットが検出されない）ときに受信FIFOnにデータが格納されている場合には，受信タイムアウト割り込み要求（UBTITOn）が発生します。

（14）サンプリング・ブロック

入力クロック（fx/4）の立ち上がりに同期して，RXDn信号をサンプリングします（fx：メイン・クロック）。サンプリング値が同じ値を2回検出すると，一致検出器の出力が変化し，入力データとしてサンプリングされます。このため，1クロック幅以下のデータは，ノイズとして判断され，内部回路には伝わりません。

図10ー1　アシンクロナス・シリアル・インタフェースB0, B1**のブロック図**



備考1.　n = 0, 1

2.　fx：**メイン・クロック**

10. 2. 3 制御レジスタ

（1）UARTBn制御レジスタ0（UBnCTL0）（n = 0, 1）

UBnCTL0レジスタは，UARTBnの転送動作を制御するレジスタです。

8/1ビット単位で，リード／ライト可能です。

注意1. UARTBnを使用する場合には，必ずUARTBn機能に関連する外部端子をコントロール・モードに設定したあと，UARTBn制御レジスタ2（UBnCTL2）の設定を行ってからUBnPWRビットをセット（1）してください。そのあとに，ほかのビットの設定を行ってください。

2. UARTBn機能に関連する外部端子をコントロール・モードに設定する場合には，RXDn端子には必ずハイ・レベルを入力してください。ロウ・レベルを入力したときには，UBnRXEビットをセット（1）したあと，立ち下がりエッジが入力されたものと判断してしまい，受信を開始することがあります。

（1/3）

	7	6	5	4	3	2	1	0	アドレス	初期値
UB0CTL0	UB0PWR	UB0TXE	UB0RXE	UB0DIR	UB0PS1	UB0PS0	UB0CL	UB0SL	FFFFFA00H	10H
UB1CTL0	UB1PWR	UB1TXE	UB1RXE	UB1DIR	UB1PS1	UB1PS0	UB1CL	UB1SL	FFFFFA20H	10H

ビット位置	ビット名	意　味
7	UBnPWR	動作クロックを制御します。 0：UARTBnへのクロック供給を停止 1：UARTBnへクロックを供給 注意1. UBnPWRビット = 0にすると，UARTBnを非同期にリセットします。 2. UBnPWRビット = 0の場合は，UARTBnはリセット状態なので，UARTBnを動作させる場合には，まずUBnPWRビット = 1にしてください。 3. UBnPWRビットを1から0にした場合は，UARTBnのすべてのレジスタが初期化されます。再度UBnPWRビット = 1にした場合には，必ずUARTBnのレジスタを再設定してください。 UBnPWRビット = 0にすると，TXDn端子の出力はハイ・レベルになります。
6	UBnTXE	送信許可／禁止を指定します。 0：送信禁止 1：送信許可 注意1. 起動時はUBnPWRビット = 1にしてから，UBnTXEビット = 1としてください。また，逆に停止時はUBnTXEビット = 0にしてから，UBnPWRビット = 0としてください。 2. 送信ユニットの状態を初期化する場合は，UBnTXEビットをクリア（0）して，fx/4（fx：メイン・クロック）の2周期分の時間を経過してから，再びUBnTXEビットをセット（1）しなければ，状態の初期化ができない場合があります。

備考 n = 0, 1

(2/3)

ビット位置	ビット名	意　味
5	UBnRXE	受信許可／禁止を指定します。 0：受信禁止 1：受信許可 注意1. 起動時はUBnPWRビット = 1にしてから，UBnRXEビット = 1としてください。また，逆に停止時はUBnRXEビット = 0にしてから，UBnPWRビット = 0としてください。 2. 受信ユニットの状態を初期化する場合は，UBnRXEビットをクリア（0）して，fx/4（fx：メイン・クロック）の2周期分の時間を経過してから，再びUBnRXEビットをセット（1）しなければ，状態の初期化ができない場合があります。
4	UBnDIR	転送方向モード（MSB/LSB）を指定します。 0：転送データ先頭ビットはMSB 1：転送データ先頭ビットはLSB 注意 UBnDIRビットを書き換えるときは，UBnPWRビット，またはUBnTXE, UBnRXEビットをクリア（0）してから行ってください。
3, 2	UBnPS1, UBnPS0	パリティ・ビットを制御します。 UBnPS1 / UBnPS0 / 送信動作 / 受信動作 0 / 0 / パリティ・ビットを出力しない / パリティなしで受信 0 / 1 / 0パリティを出力 / 0パリティとして受信 1 / 0 / 奇数パリティを出力 / 奇数パリティとして判定を行う 1 / 1 / 偶数パリティを出力 / 偶数パリティとして判定を行う 注意1. UBnPS1, UBnPS0ビットを書き換えるときは，UBnTXE, UBnRXEビットをクリア（0）してから行ってください。 2. 受信時に「0パリティ」を選択した場合，パリティ判定を行いません。したがって，UBnSTRレジスタのUBnPEビットはセット（1）されないため，エラー割り込みも発生しません。 ・偶数パリティ 送信データ中の“1”の値のビット数が奇数個の場合にパリティ・ビットをセット（1）します。“1”の値のビット数が偶数個の場合はパリティ・ビットをクリア（0）します。これにより，送信データとパリティ・ビットの中に含まれる“1”の値のビットが偶数個になるように制御します。 受信時には，受信データとパリティ・ビットに含まれる“1”の値のビット数をカウントし，奇数個であった場合にパリティ・エラーを発生します。 ・奇数パリティ 偶数パリティとは逆に，送信データとパリティ・ビットの中に含まれる“1”の値のビット数が奇数個になるように制御します。 受信時には，受信データとパリティ・ビットに含まれる“1”の値のビット数をカウントし，偶数個であった場合にパリティ・エラーを発生します。

備考 n = 0, 1

(3/3)

ビット位置	ビット名	意　　味
3, 2	UBnPS1, UBnPS0	・0パリティ 送信時には，送信データによらずパリティ・ビットをクリア（0）します。 受信時には，パリティ・ビットの検査を行わないため，パリティ・エラーを発生しません。 ・パリティなし 送信データにパリティ・ビットを付加しません。 受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。
1	UBnCL	送受信データ1フレームのキャラクタ長を指定します。 0：7ビット 1：8ビット 注意　UBnCLビットを書き換えるときは，UBnTXE, UBnRXEビットをクリア（0）してから行ってください。
0	UBnSL	送信データのストップ・ビット長を指定します。 0：1ビット 1：2ビット 注意1.　UBnSLビットを書き換えるときは，UBnTXEビットをクリア（0）してから行ってください。 2.　受信は常に「ストップ・ビット長 = 1」として動作するため，UBnSLビットの設定は受信動作に影響を与えません。

備考1.　受信禁止時は，受信シフト・レジスタnはスタート・ビットの検出を行いません。シフト・イン処理，受信データ・レジスタnへの転送処理は行わず，受信データ・レジスタnの内容は保持されます。受信許可状態中は，スタート・ビットの検出に同期して受信シフト動作を開始し，1フレーム分の受信を終了すると受信シフト・レジスタnの内容を受信データ・レジスタnに転送します。
また，受信データ・レジスタnへの転送（FIFOモード時は受信トリガ数に達する転送）に同期して，受信完了割り込み（UBTIRn）を発生します。
FIFOモード時にUBnFIC1レジスタのUBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない（スタート・ビットが検出されない）ときに，受信FIFOnにデータが格納されている場合には，受信タイムアウト割り込み（UBTITOn）が発生します。

2.　n = 0, 1

(2) UARTBn状態レジスタ（UBnSTR）（n = 0, 1）

UBnSTRレジスタは，UARTBnの送信時の転送状態と受信エラー内容を示すレジスタです。

送信時の転送状態を示すステータス・フラグは送信シフト・レジスタnおよび送信データ・レジスタn（シングル・モード時：UBnTXレジスタ，FIFOモード時：送信FIFOn）のデータ保持状態を示します。受信エラーを示すステータス・フラグは，クリア（0）されるまで状態を保持します。

8/1ビット単位でリード／ライト可能です。

注意 UBnCTL0レジスタのUBnPWRビット，UBnRXEビットを0に設定したとき，またはUBnSTRレジスタに0を書き込んだときに，UBnSTRレジスタのUBnOVFビット，UBnPEビット，UBnFEビット，UBnOVEビットはクリア（0）されます。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UB0STR	UB0TSF	0	0	0	UB0OVF	UB0PE	UB0FE	UB0OVE	FFFFFA04H	00H
UB1STR	UB1TSF	0	0	0	UB1OVF	UB1PE	UB1FE	UB1OVE	FFFFFA24H	00H

ビット位置	ビット名	意　味
7	UBnTSF	転送状態を示すステータス・フラグです。 ・シングル・モード（UBnFIC0レジスタのUBnMODビット = 0）時 0：送信シフト・レジスタnおよびUBnTXレジスタに転送すべきデータが存在しない（UBnCTL0レジスタのUBnPWRビット = 0またはUBnTXEビット = 0に設定したときもクリア（0）されます） 1：送信シフト・レジスタnまたはUBnTXレジスタに転送すべきデータが存在する（送信中） ・FIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時 0：送信シフト・レジスタnおよび送信FIFOnに転送すべきデータが存在しない（UBnCTL0レジスタのUBnPWRビット = 0またはUBnTXEビット = 0に設定したときもクリア（0）されます） 1：送信シフト・レジスタnおよび送信FIFOnに転送すべきデータが存在する（送信中） **注意** UBnTSFビット値は，送信データをUBnTXレジスタに書き込んだあと，fx/4（fx：メイン・クロック）の2周期分の時間が経過してから反映されます。そのため，送信データをUBnTXレジスタに書き込んだあとにUBnTSFビットを参照する場合には注意してください。

備考 n = 0, 1

(2/2)

ビット位置	ビット名	意　　味
3	UBnOVF	オーバフローを示すステータス・フラグです。設定はFIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時のみ有効で，シングル・モード（UBnFIC0レジスタのUBnMODビット = 0）時は無効です。 0：オーバフロー発生なし 1：オーバフロー発生（受信時） 注意　オーバフローが発生した場合，その受信データは受信FIFOnに書き込まれず，データは破棄されます。
2	UBnPE	パリティ・エラーを示すステータス・フラグです。設定はシングル・モード（UBnFIC0レジスタのUBnMODビット = 0）時のみ有効で，FIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時は無効です。 0：パリティ・エラー発生なし 1：パリティ・エラー発生（受信時） 注意　UBnPEビットの動作は，UBnCTL0レジスタのUBnPS1, UBnPS0ビットの設定値により異なります。
1	UBnFE	フレーミング・エラーを示すステータス・フラグです。設定はシングル・モード（UBnFIC0レジスタのUBnMODビット = 0）時のみ有効で，FIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時は無効です。 0：フレーミング・エラー発生なし 1：フレーミング・エラー発生（受信時） 注意　受信データのストップ・ビットは，ストップ・ビット長に関係なく最初の1ビットだけをチェックします。
0	UBnOVE	オーバラン・エラーを示すステータス・フラグです。設定はシングル・モード（UBnFIC0レジスタのUBnMODビット = 0）時のみ有効で，FIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時は無効です。 0：オーバラン・エラー発生なし 1：オーバラン・エラー発生（受信時） 注意　オーバラン・エラーが発生した場合，その受信データはUBnRXレジスタに書き込まれず，データは破棄されます。

備考 n = 0, 1

(3) UARTBn制御レジスタ2（UBnCTL2）（n = 0, 1）

UBnCTL2レジスタは，UARTBnのボー・レート（シリアル転送スピード）を制御するための分周値を指定するレジスタです。

16ビット単位でリード／ライト可能です。

注意　UBnBRS15-UBnBRS0ビットを書き換える場合は，UBnCTL0レジスタのUBnTXEビット = 0かつUBnRXEビット = 0，またはUBnPWRビット = 0の状態で行ってください（n = 0, 1）。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
UB0CTL2	UB0BRS15	UB0BRS14	UB0BRS13	UB0BRS12	UB0BRS11	UB0BRS10	UB0BRS9	UB0BRS8	UB0BRS7	UB0BRS6	UB0BRS5	UB0BRS4	UB0BRS3	UB0BRS2	UB0BRS1	UB0BRS0	FFFFFA02H	FFFFH
UB1CTL2	UB1BRS15	UB1BRS14	UB1BRS13	UB1BRS12	UB1BRS11	UB1BRS10	UB1BRS9	UB1BRS8	UB1BRS7	UB1BRS6	UB1BRS5	UB1BRS4	UB1BRS3	UB1BRS2	UB1BRS1	UB1BRS0	FFFFFA22H	FFFFH

ビット位置	ビット名	意　味
15-0	UBnBRS15-UBnBRS0	16ビット・カウンタの分周値を指定します（表10ー1参照）。

備考　n = 0, 1

表10ー1　16ビット・カウンタの分周値

UBnBRS15	UBnBRS14	UBnBRS13	UBnBRS12	UBnBRS11	UBnBRS10	UBnBRS9	UBnBRS8	UBnBRS7	UBnBRS6	UBnBRS5	UBnBRS4	UBnBRS3	UBnBRS2	UBnBRS1	UBnBRS0	k	出力クロック選択
0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	4	f_X/（4×k）
0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	4	f_X/（4×k）
0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	5	f_X/（4×k）
0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	6	f_X/（4×k）
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	65532	f_X/（4×k）
1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	65533	f_X/（4×k）
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	65534	f_X/（4×k）
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	65535	f_X/（4×k）

備考1.　f_X：メイン・クロック

2.　k：UBnCTL2レジスタのUBnBRS15-UBnBRS0ビットで設定した値（k = 4, 5, 6, …, 65535）

3.　x：任意

(4) UARTBn送信データ・レジスタ（UBnTX）（n = 0, 1）

UBnTXレジスタは，送信データを設定するためのレジスタで，シングル・モード（UBnFIC0レジスタのUBnMODビット = 0）時は8ビット幅×1段のUBnTXレジスタ，FIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時は8ビット幅×16段の送信FIFOnとして動作します。

シングル・モード時は，送信許可状態（UBnCTL0レジスタのUBnTXEビット = 1）のときにUBnTXレジスタへ送信データを書き込むことにより，送信動作が開始されます。UBnTXレジスタにデータの書き込みが可能になる（UBnTXレジスタから送信シフト・レジスタnに1バイト分のデータが転送される）と送信完了割り込み要求（UBTITn）を発生します。

FIFOモード時は，送信FIFOnにUBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと，送信許可（UBnTXEビット = 1）にすることにより，送信動作が開始されます。送信FIFOnから送信シフト・レジスタnにUBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータが転送される（指定した送信トリガ設定数分が書き込み可能となる）と送信完了割り込み要求（UBTITn）を発生します。また，FIFOモード時には，送信FIFOnおよび送信シフト・レジスタnにデータが存在しなくなった（空になった）場合には，FIFO送信完了割り込み要求（UBTIFn）が発生します。

発生するタイミングについては，10. 2. 4　**割り込み要求**を参照してください。

データ長を7ビットに指定した場合，LSBファースト送信時には，送信データは送信データ・レジスタnのビット6-0のデータをLSB（ビット0）から送信されMSB（ビット7）は必ず0に，MSBファースト送信時には，送信データは送信データ・レジスタnのビット7-1のデータをMSB（ビット7）から送信されLSB（ビット0）は必ず0になります。

8ビット単位でライトのみ可能です。ライト時には，送信データ・レジスタnにデータが書き込まれます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UB0TX	UB0TD7	UB0TD6	UB0TD5	UB0TD4	UB0TD3	UB0TD2	UB0TD1	UB0TD0	FFFFFA08H	FFH
UB1TX	UB1TD7	UB1TD6	UB1TD5	UB1TD4	UB1TD3	UB1TD2	UB1TD1	UB1TD0	FFFFFA28H	FFH

ビット位置	ビット名	意　味
7-0	UBnTD7-UBnTD0	送信データを書き込みます。

備考 n = 0, 1

(5) UARTBn受信データ・レジスタAP（UBnRXAP），UARTBn受信データ・レジスタ（UBnRX）（n = 0, 1）

受信シフト・レジスタnで変換したパラレル・データを格納するためのレジスタで，シングル・モード（UBnFIC0レジスタのUBnMODビット = 0）時は8ビット幅×1段のUBnRXレジスタ，FIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時は16ビット幅×16段の受信FIFOn（UBnRXAPレジスタ）として動作します。

受信FIFOn（UBnRXAPレジスタ）の下位8ビットには受信データを格納し，上位8ビット（ビット8およびビット9）にはそのとき受信したデータのエラー情報を格納します。FIFOモード時に受信エラー（パリティ・エラーまたはフレーミング・エラー）が発生したときには，UBnRXAPレジスタを16ビット（ハーフワード）で読み出すことで，受信FIFOnに格納されているデータのフラグが確認でき（エラー情報がUBnPEFビット = 1，またはUBnFEFビット = 1として付加されます），エラー対象となるデータを認識できます（UBnRXAPレジスタは，下位8ビットを8ビット（バイト）で読み出した場合，上位8ビットは破棄されます。したがって，エラー未発生時にはUBnRXレジスタと同様に8ビット（バイト）で読み出すことで，受信データだけを連続して読み出せます）。

受信許可状態のとき（UBnCTL0レジスタのUBnRXEビット = 1），受信データは1フレーム分のシフト・イン処理終了時に同期して，受信シフト・レジスタnから受信データ・レジスタnに転送されます。

また，シングル・モード時にはUBnRXレジスタへ転送することにより，FIFOモード時には受信FIFOnへUBnFIC2レジスタのUBnRT3-UBnRT0ビットで指定した受信トリガ設定数分を転送することにより，受信完了割り込み要求（UBTIRn）が発生します。さらに，FIFOモード時にUBnFIC1レジスタのUBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない（スタート・ビットが検出されない）状態でも受信FIFOnにデータが格納されている場合には，受信タイムアウト割り込み要求（UBTITOn）が発生します。

発生するタイミングについては，10. 2. 4　**割り込み要求**を参照してください。

データ長を7ビットに指定した場合，LSBファースト受信時には，受信データは受信データ・レジスタnのビット6-0にLSB（ビット0）から転送されMSB（ビット7）は必ず0に，MSBファースト受信時には，受信データは受信データ・レジスタnのビット7-1にMSB（ビット7）から転送されLSB（ビット0）は必ず0になります。また，オーバラン・エラーが発生した場合には，そのときの受信データは受信データ・レジスタnに転送されません。

UBnRXAPレジスタは，16ビット単位でリードのみ可能です。ただし，UBnRXAPレジスタの下位8ビットに対しては，8ビット単位でリードのみ可能です。

UBnRXレジスタは，8ビット単位でリードのみ可能です。

リセット入力以外に，UBnCTL0レジスタのUBnPWRビット = 0によっても，シングル・モード時にはFFH，FIFOモード時には00FFHになります。

注意1. シングル・モード時には8ビット・レジスタとなるため，UBnPEFビット，UBnFEFビットはリードできません。

2. FIFOモード時で受信エラー未発生のときには，UBnRXAPレジスタの下位8ビットを8ビット（バイト）で読み出すことで，受信データだけを連続して読み出せます。上位8ビットへの8ビット・アクセスは禁止です。アクセスした場合の動作は保証できません。

注意3.　シングル・モードを使用したシステムをデバッグするときは次の操作を行わないでください。

- UBnRXレジスタをリードした直後の命令にブレークをかける。
- UBnRXレジスタを送信元に設定したDMA転送が完了する前にブレークをかける。
- データ受信後にUBnRXレジスタをリードしてから，次のデータ受信が完了するまでにブレークをかけ，デバッガのI/Oレジスタ・ウインドウでUBnRXレジスタを確認する。

上記の操作を行った場合，以降の受信でオーバラン・エラーが発生することがあります。

[UARTBn受信データ・レジスタAP]

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
UB0RXAP	0	0	0	0	0	0	UB0 PEF	UB0 FEF	UB0 RD7	UB0 RD6	UB0 RD5	UB0 RD4	UB0 RD3	UB0 RD2	UB0 RD1	UB0 RD0	FFFFFA06H	00FFH
UB1RXAP	0	0	0	0	0	0	UB1 PEF	UB1 FEF	UB1 RD7	UB1 RD6	UB1 RD5	UB1 RD4	UB1 RD3	UB1 RD2	UB1 RD1	UB1 RD0	FFFFFA26H	00FFH

[UARTBn受信データ・レジスタ]

	7	6	5	4	3	2	1	0	アドレス	初期値
UB0RX	UB0 RD7	UB0 RD6	UB0 RD5	UB0 RD4	UB0 RD3	UB0 RD2	UB0 RD1	UB0 RD0	FFFFFA06H	FFH
UB1RX	UB1 RD7	UB1 RD6	UB1 RD5	UB1 RD4	UB1 RD3	UB1 RD2	UB1 RD1	UB1 RD0	FFFFFA26H	FFH

ビット位置	ビット名	意　味
9（UBnRXAP）	UBnPEF	パリティ・エラーを示すステータス・フラグです。ステータスはFIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時のみ有効で，シングル・モード（UBnFIC0レジスタのUBnMODビット = 0）時は無効です。 0：パリティ・エラーなし 1：パリティ・エラー発生（受信時） **注意**　UBnPEビットの動作は，UBnCTL0レジスタのUBnPS1, UBnPS0ビットの設定値により異なります。
8（UBnRXAP）	UBnFEF	フレーミング・エラーを示すステータス・フラグです。ステータスはFIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時のみ有効で，シングル・モード（UBnFIC0レジスタのUBnMODビット = 0）時は無効です。 0：フレーミング・エラーなし 1：フレーミング・エラー発生（受信時） **注意**　受信データのストップ・ビットは，ストップ・ビット長に関係なく最初の1ビットだけをチェックします。
7-0	UBnRD7-UBnRD0	受信データを格納しています。

備考　n = 0, 1

(6) UARTBn FIFO制御レジスタ0（UBnFIC0）（n = 0, 1）

UBnFIC0レジスタは，UARTBnの動作モードの選択と，FIFOモード（UBnMODビット = 1）時に有効となる機能を設定するレジスタです。FIFOモード時には，送信FIFOn/受信FIFOnのクリアおよび送信完了割り込み（UBTITn）／受信完了割り込み（UBTIRn）の発生タイミング・モードを指定します。

8/1ビット単位でリード／ライト可能です。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UB0FIC0	UB0MOD	0	0	0	UB0TFC	UB0RFC	UB0ITM	UB0IRM	FFFFFA0AH	00H
UB1FIC0	UB1MOD	0	0	0	UB1TFC	UB1RFC	UB1ITM	UB1IRM	FFFFFA2AH	00H

ビット位置	ビット名	意　味
7	UBnMOD	UARTBnの動作モードを指定します。 0：シングル・モード 1：FIFOモード
3	UBnTFC	送信FIFOnクリア・トリガ・ビットです。設定はFIFOモード（UBnMODビット = 1）時のみ有効で，シングル・モード（UBnMODビット = 0）時は無効です。 0：通常状態 1：クリア（クリア実行完了後，自動的に0に戻る） UBnTFCビットに1をライトしたときには，送信FIFOnのポインタをクリア（0）します。また，保留モード（UBnITMビット = 0）時には，保留されている割り込み要求（UBTITn）をクリアします注。ただし，割り込み制御レジスタ（UTICn）のビット7（UTIFn）はクリア（0）されません。必要に応じてクリア（0）してください。 UBnTFCビットに0をライトしたときには，状態保持となります。クリア・セットなどの動作は実行しません。 注　送信FIFOnクリアを実行した（UBnTFCビット = 1）あと，fx/4（fx：メイン・クロック）の4周期期間，またはUBnFIC0レジスタのリードにより，UBnTFCビットのクリア（自動復帰）が確認できるまでの期間は，UARTB関連レジスタへのアクセスは禁止です。アクセスした場合の動作は保証できません。 注意　UBnTFCビットに1をライトするときには，必ずUBnCTL0レジスタのUBnTXEビットをクリア（0）して（送信動作禁止）から行ってください。UBnTXEビットがセット（1）の状態（送信動作許可）でUBnTFCビットに1をライトする場合の動作は保証できません。

備考 n = 0, 1

(2/2)

ビット位置	ビット名	意　味
2	UBnRFC	受信FIFOn（UBnRXAP）クリア・トリガ・ビットです。設定はFIFOモード（UBnMODビット = 1）時のみ有効で，シングル・モード（UBnMODビット = 0）時は無効です。 0：通常状態 1：クリア（クリア実行完了後，自動的に0に戻る） UBnRFCビットに1をライトしたときには，受信FIFOnのポインタをクリア（0）します。また，保留モード（UBnIRMビット = 0）時には，保留されている割り込み要求（UBTIRn）をクリアします注。ただし，割り込み制御レジスタ（URICn）のビット7（URIFn）はクリア（0）されません。必要に応じてクリア（0）してください。 UBnRFCビットに0をライトしたときには，状態保持となります。クリア・セットなどの動作は実行しません。 注　受信FIFOn（UBnRXAP）クリアを実行した（UBnRFCビット = 1）あと，fx/4（fx：メイン・クロック）の4周期期間，またはUBnFIC0レジスタのリードにより，UBnRFCビットのクリア（自動復帰）が確認できるまでの期間は，UARTB関連レジスタへのアクセスは禁止です。アクセスした場合の動作は保証できません。 注意　UBnRFCビットに1をライトするときには，必ずUBnCTL0レジスタのUBnRXEビットをクリア（0）して（受信動作禁止）から行ってください。UBnRXEビットがセット（1）の状態（受信動作許可）でUBnRFCビットに1をライトする場合の動作は保証できません。
1	UBnITM	FIFOモード時のUBTITn割り込みの発生タイミング・モードを指定します。 0：保留モード 1：ポインタ・モード FIFOモード時のUBTITn割り込みは，送信FIFOnから送信シフト・レジスタnにUBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータが転送された時点で発生します。UBTITn割り込み要求が発生してから，実際にUBTITn割り込みを発生させるタイミングを保留モード，ポインタ・モードとして指定します。詳細は，10. 2. 5（2）保留モード／ポインタ・モードを参照してください。
0	UBnIRM	FIFOモード時のUBTIRn割り込みの発生タイミング・モードを指定します。 0：保留モード 1：ポインタ・モード FIFOモード時のUBTIRn割り込みは，受信シフト・レジスタnから受信FIFOnにUBnFIC2レジスタのUBnRT3-UBnRT0ビットで指定した受信トリガ設定数分のデータが転送された時点で発生します。UBTIRn割り込み要求が発生してから，実際にUBTIRn割り込みを発生させるタイミングを保留モード，ポインタ・モードとして指定します。詳細は，10. 2. 5（2）保留モード／ポインタ・モードを参照してください。

備考 n = 0, 1

（7）UARTBn FIFO制御レジスタ1（UBnFIC1）（n = 0, 1）

UBnFIC1レジスタは，FIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時に有効となるレジスタです。ストップ・ビットを受信後，UBnTC4-UBnTC0ビットで設定した時間（次データ受信待ち時間）を経過しても次のデータが来ない（スタート・ビットが検出されない）ときに受信FIFOn内にデータが格納されていた場合，受信タイムアウト割り込み要求（UBTITOn）を発生させます。

8/1ビット単位で，リード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UB0FIC1	UB0TCE	0	0	UB0TC4	UB0TC3	UB0TC2	UB0TC1	UB0TC0	FFFFFA0BH	00H
UB1FIC1	UB1TCE	0	0	UB1TC4	UB1TC3	UB1TC2	UB1TC1	UB1TC0	FFFFFA2BH	00H

ビット位置	ビット名	意　味
7	UBnTCE	タイムアウト・カウンタ機能を設定します。 0：タイムアウト・カウンタ機能の使用禁止 1：タイムアウト・カウンタ機能の使用許可
4-0	UBnTC4-UBnTC0	次データの受信待ち時間を指定します。

UBn TC4	UBn TC3	UBn TC2	UBn TC1	UBn TC0	次データ受信待ち時間
0	0	0	0	0	32バイト分（32×8/ボー・レート）
0	0	0	0	1	31バイト分（31×8/ボー・レート）
0	0	0	1	0	30バイト分（30×8/ボー・レート）
0	0	0	1	1	29バイト分（29×8/ボー・レート）
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	1	0	0	4バイト分（4×8/ボー・レート）
1	1	1	0	1	3バイト分（3×8/ボー・レート）
1	1	1	1	0	2バイト分（2×8/ボー・レート）
1	1	1	1	1	1バイト分（1×8/ボー・レート）

注意　UBnTC4-UBnTC0ビット設定分のカウント・アップ完了後，受信FIFOn内のデータ格納状態にかかわらず，タイムアウト・カウンタのカウントはクリア（0）されます。その後，次のスタート・ビットを検出すると，そのデータのストップ・ビットから再度カウントを開始します。

備考　n = 0, 1

（8）UARTBn FIFO制御レジスタ2（UBnFIC2）（n = 0, 1）

UBnFIC2レジスタは，FIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時に有効となるレジスタです。データの送受信数をトリガとして割り込みを発生させるタイミングを設定します。送信時は，送信FIFOnから転送されたデータ数を，受信時は受信FIFOnに格納されたデータ数を割り込みの発生条件として指定します。

UBnFIC2レジスタは，16ビット単位でリード／ライト可能です。

UBnFIC2レジスタの上位8ビットをUBnFIC2Hレジスタ，下位8ビットをUBnFIC2Lレジスタとして使用した場合は，8ビット単位でリード／ライト可能です。

注意　UBnFIC2レジスタへのライトは，必ずUBnCTL0レジスタのUBnTXEビット = 0（送信禁止状態）およびUBnRXEビット = 0（受信禁止状態）に設定してから行ってください。UBnTXEビット，またはUBnRXEビットのいずれかを1に設定したままUBnFIC2レジスタをライトした場合の動作は保証できません。

(1/2)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
UB0FIC2	0	0	0	0	UB0 TT3	UB0 TT2	UB0 TT1	UB0 TT0	0	0	0	0	UB0 RT3	UB0 RT2	UB0 RT1	UB0 RT0	FFFFFA0CH	0000H
UB1FIC2	0	0	0	0	UB1 TT3	UB1 TT2	UB1 TT1	UB1 TT0	0	0	0	0	UB1 RT3	UB1 RT2	UB1 RT1	UB1 RT0	FFFFFA2CH	0000H

ビット位置	ビット名	意　味
11-8	UBnTT3- UBnTT0	送信FIFOnの送信トリガ数を設定します。 指定した送信トリガ設定数のデータを送信FIFOnから送信シフト・レジスタnにシフト・アウトするごとにUBTITn割り込みを発生させます。 保留モード（UBnFIC0レジスタのUBnITMビット = 0）時は，保留モードの条件によりUBTITn割り込みを発生させます。

UBn TT3	UBn TT2	UBn TT1	UBn TT0	送信FIFOn トリガ数設定	ポインタ・モード	保留モード
0	0	0	0	1バイト	設定可能	設定可能
0	0	0	1	2バイト	設定禁止	
0	0	1	0	3バイト		
0	0	1	1	4バイト		
0	1	0	0	5バイト		
0	1	0	1	6バイト		
0	1	1	0	7バイト		
0	1	1	1	8バイト		
1	0	0	0	9バイト		
1	0	0	1	10バイト		
1	0	1	0	11バイト		
1	0	1	1	12バイト		
1	1	0	0	13バイト		
1	1	0	1	14バイト		
1	1	1	0	15バイト		
1	1	1	1	16バイト		

注意　ポインタ・モード（UBnFIC0レジスタのUBnITMビット = 1）時は，送信トリガ設定数を1バイトに設定（UBnTT3-UBnTT0ビット = 0000）したときのみ可能で，それ以外の設定は禁止です。1バイト以外の設定をした場合の動作は保証できません。

備考 n = 0, 1

(2/2)

ビット位置	ビット名	意　味
3-0	UBnRT3- UBnRT0	受信FIFOnの受信トリガ数を設定します。 指定した受信トリガ設定数のデータを受信シフト・レジスタnから受信FIFOnに格納するごとにUBTIRn割り込みを発生させます。 保留モード（UBnFIC0レジスタのUBnIRMビット = 0）時は，保留モードの条件によりUBTIRn割り込みを発生させます。

UBn RT3	UBn RT2	UBn RT1	UBn RT0	受信FIFOn トリガ数設定	ポインタ・モード	保留モード
0	0	0	0	1バイト	設定可能	設定可能
0	0	0	1	2バイト	設定禁止	
0	0	1	0	3バイト		
0	0	1	1	4バイト		
0	1	0	0	5バイト		
0	1	0	1	6バイト		
0	1	1	0	7バイト		
0	1	1	1	8バイト		
1	0	0	0	9バイト		
1	0	0	1	10バイト		
1	0	1	0	11バイト		
1	0	1	1	12バイト		
1	1	0	0	13バイト		
1	1	0	1	14バイト		
1	1	1	0	15バイト		
1	1	1	1	16バイト		

注意　ポインタ・モード（UBnFIC0レジスタのUBnIRMビット = 1）時は，受信トリガ設定数を1バイトに設定（UBnRT3-UBnRT0ビット = 0000）したときのみ可能で，それ以外の設定は禁止です。1バイト以外の設定をした場合の動作は保証できません。

備考 n = 0, 1

(9) UARTBn FIFO状態レジスタ0（UBnFIS0）（n = 0, 1）

UBnFIS0レジスタは，FIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時に有効となるレジスタです。受信FIFOnに格納されているデータのバイト数が読み出せます。

8ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UB0FIS0	0	0	0	UB0RB4	UB0RB3	UB0RB2	UB0RB1	UB0RB0	FFFFFA0EH	00H
UB1FIS0	0	0	0	UB1RB4	UB1RB3	UB1RB2	UB1RB1	UB1RB0	FFFFFA2EH	00H

ビット位置	ビット名	意　味
4-0	UBnRB4- UBnRB0	受信FIFOnポインタとして受信FIFOnに格納されているデータのバイト数（読み出し可能なバイト数）を示します。

UBn RB4	UBn RB3	UBn RB2	UBn RB1	UBn RB0	受信FIFOnポインタ
0	0	0	0	0	0バイト
0	0	0	0	1	1バイト
0	0	0	1	0	2バイト
0	0	0	1	1	3バイト
0	0	1	0	0	4バイト
0	0	1	0	1	5バイト
0	0	1	1	0	6バイト
0	0	1	1	1	7バイト
0	1	0	0	0	8バイト
0	1	0	0	1	9バイト
0	1	0	1	0	10バイト
0	1	0	1	1	11バイト
0	1	1	0	0	12バイト
0	1	1	0	1	13バイト
0	1	1	1	0	14バイト
0	1	1	1	1	15バイト
1	0	0	0	0	16バイト
その他					無効

備考 n = 0, 1

（10）UARTBn FIFO状態レジスタ1（UBnFIS1）（n = 0, 1）

UBnFIS1レジスタは，FIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時に有効となるレジスタです。送信FIFOnの空きバイト数が読み出せます。

8ビット単位でリードのみ可能です。

注意1. UBnTB4-UBnTB0ビット値は，送信データをUBnTXレジスタに書き込んだあと，fx/4（fx：メイン・クロック）の2周期分の時間が経過してから反映されます。そのため，送信データをUBnTXレジスタに書き込んだあとに，UBnFIS1レジスタを参照する場合には注意してください。

2. UBnFIS1レジスタは，UBnCTL0レジスタのUBnPWRビットをセット（1）することで10Hになります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UB0FIS1	0	0	0	UB0TB4	UB0TB3	UB0TB2	UB0TB1	UB0TB0	FFFFFA0FH	00H
UB1FIS1	0	0	0	UB1TB4	UB1TB3	UB1TB2	UB1TB1	UB1TB0	FFFFFA2FH	00H

ビット位置	ビット名	意　味
4-0	UBnTB4-UBnTB0	送信FIFOnポインタとして送信FIFOnの空きバイト数（書き込み可能なバイト数）を示します。

UBn TB4	UBn TB3	UBn TB2	UBn TB1	UBn TB0	送信FIFOnポインタ
0	0	0	0	0	0バイト
0	0	0	0	1	1バイト
0	0	0	1	0	2バイト
0	0	0	1	1	3バイト
0	0	1	0	0	4バイト
0	0	1	0	1	5バイト
0	0	1	1	0	6バイト
0	0	1	1	1	7バイト
0	1	0	0	0	8バイト
0	1	0	0	1	9バイト
0	1	0	1	0	10バイト
0	1	0	1	1	11バイト
0	1	1	0	0	12バイト
0	1	1	0	1	13バイト
0	1	1	1	0	14バイト
0	1	1	1	1	15バイト
1	0	0	0	0	16バイト
その他					無効

備考 n = 0, 1

10. 2. 4　割り込み要求

UARTBnからは次の5種類の割り込み要求を発生します（n = 0, 1）。

- 受信エラー割り込み（UBTIREn）
- 受信完了割り込み（UBTIRn）
- 送信完了割り込み（UBTITn）
- FIFO送信完了割り込み（UBTIFn）
- 受信タイムアウト割り込み（UBTITOn）

これら5種類の割り込み要求のディフォールト優先順位は受信エラー割り込みが最も高く，受信完了割り込み，送信完了割り込み，FIFO送信完了割り込み，受信タイムアウト割り込みの順に低くなります。

表10－2　発生する割り込みとディフォールト優先順位

割り込み	優先順位
受信エラー	1
受信完了	2
送信完了	3
FIFO送信完了	4
受信タイムアウト	5

（1）受信エラー割り込み（UBTIREn）

（a）シングル・モード時

受信許可状態中で，UBnSTRレジスタで説明した3種類の受信エラー（パリティ・エラー，フレーミング・エラー，オーバラン・エラー）の論理和（OR）で受信エラー割り込みを発生します。

受信禁止状態中は，受信エラー割り込みは発生しません。

（b）FIFOモード時

受信許可状態中で，UBnSTRレジスタで説明した3種類の受信エラー（パリティ・エラー，フレーミング・エラー，オーバフロー・エラー）の論理和（OR）で受信エラー割り込みを発生します。

受信禁止状態中は，受信エラー割り込みは発生しません。

（2）受信完了割り込み（UBTIRn）

（a）シングル・モード時

受信許可状態中に，受信シフト・レジスタnにデータがシフト・インされ，UBnRXレジスタに格納される（受信データが読み出し可能となる）と受信完了割り込みが発生します。

受信禁止状態中は，受信完了割り込みは発生しません。

(b) FIFOモード時

受信許可状態中に，受信シフト・レジスタnにデータがシフト・インされ，受信FIFOnにUBnFIC2レジスタのUBnRT3-UBnRT0ビットで指定した受信トリガ設定数分のデータが転送される（指定した受信トリガ設定数分が読み出し可能となる）と受信完了割り込みが発生します。

受信禁止状態中は，受信完了割り込みは発生しません。

(3) 送信完了割り込み（UBTITn）

(a) シングル・モード時

送信シフト・レジスタnから7ビット/8ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされ，UBnTXレジスタが空となる（送信データが書き込み可能となる）と送信完了割り込みを発生します。

(b) FIFOモード時

送信FIFOnから送信シフト・レジスタnにUBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータが転送される（指定した送信トリガ設定数分が書き込み可能となる）と送信完了割り込みを発生します。

(4) FIFO送信完了割り込み（UBTIFn）

(a) シングル・モード時

使用できません。

(b) FIFOモード時

送信FIFOnおよび送信シフト・レジスタnにデータが存在しなくなった（空になった）ときにFIFO送信完了割り込みを発生します。FIFO送信完了割り込み発生後，FIFOクリア（UBnFIC0レジスタのUBnTFCビット = 1）により，保留モード（UBnFIC0レジスタのUBnITMビット = 0）時の保留されている割り込み（UBTITn）をクリアしてください。

注意　送信FIFOnに対する次の送信データの書き込み実行が遅れたためにFIFO送信完了割り込みが発生した（送信データをすべて送信していない）場合は，FIFOクリアを実行しないでください。

(5) 受信タイムアウト割り込み（UBTITOn）

(a) シングル・モード時

使用できません。

(b) FIFOモード時

受信時にタイムアウト・カウンタ機能（UBnFIC1レジスタのUBnTCEビット = 1）を使用する場合，UBnFIC1レジスタのUBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない（スタート・ビットが検出されない）ときに，受信FIFOnにデータが格納されている場合は受信タイムアウト割り込みを発生します。

受信禁止状態中は，受信タイムアウト割り込みは発生しません。

UBnFIC2レジスタのUBnRT3-UBnRT0ビットで指定した受信トリガ設定数分までデータが受信されない場合，受信タイムアウト割り込みにより，指定した受信トリガ設定数未満の受信データ数を読み出すタイミングが設定できます。

また，タイムアウト・カウンタは，スタート・ビットの検出により，カウントを開始するため，1キャラクタも受信していない場合，受信タイムアウト割り込みは発生しません。

10. 2. 5　制御方法

(1) シングル・モード/FIFOモード

UBnFIC0レジスタのUBnMODビットにより，シングル・モードとFIFOモードの選択ができます。

(a) シングル・モード

- UBnRXレジスタ，UBnTXレジスタが各8ビット幅×1段のみの構成となります。
- 受信時，1バイト受信でUBTIRn割り込みを発生します。
- UBTIRn割り込み発生後，UBnRXレジスタの受信データを読み出す前にさらに次のUARTBnの受信動作を完了したとき，UBTIREn割り込みが発生し，オーバラン・エラーとなります。

(b) FIFOモード

- 受信FIFOn（UBnRXAPレジスタ）が16ビット幅×16段，送信FIFOnが8ビット幅×16段のFIFO構成となります。
- 受信FIFOnは，受信エラー（パリティ・エラーまたはフレーミング・エラー）が発生したときのみ，16ビットのUBnRXAPレジスタとして読み出すことで，エラー対象となるデータを認識できます。
- 送信時は，送信FIFOnにUBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと，送信許可（UBnCTL0レジスタのUBnTXEビット = 1）にすることにより，送信動作が開始されます。
- UBTITn割り込み，UBTIRn割り込みの発生タイミングを保留モード，ポインタ・モードから選択できます。

(2) 保留モード／ポインタ・モード

FIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時に，UBnFIC0レジスタのUBnITMおよびUBnIRMビットにより，保留モードとポインタ・モードの選択ができます。

また，送信時，送信FIFOnにUBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数の倍以上のデータを書き込んで送信を起動した場合に複数回の送信完了割り込み（UBTITn）が発生したり，受信時，受信FIFOnにUBnFIC2レジスタのUBnRT3-UBnRT0ビットで指定した受信トリガ設定数が8バイト以下の場合に複数回の受信完了割り込み（UBTIRn）が発生することがあります。そのため，保留モード／ポインタ・モードは，割り込み処理が保留された場合に，そのあと割り込みをどのようにするかを指定することができます。

(a) 保留モード

(i) 送信時（送信FIFOnへの書き込み）

- 1回目の送信完了割り込み（UBTITn）発生後，その割り込みに対する送信FIFOnへの書き込みが実行されていない場合，2回目のUBTITn割り込みの発生条件（UBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数分，送信FIFOnから送信シフト・レジスタにデータが転送された）が発生しても，UBTITn割り込みは発生しません（保留されます）。その後，1回目のUBTITn割り込みに対する送信FIFOnへの書き込みが実行されると，この保留されたUBTITn割り込みを発生させます[注]。

注　保留数は次のようになります。

1バイト・トリガ設定時（UBnFIC2レジスタのUBnTT3-UBnTT0ビット = 0000）：最大15回分
2バイト・トリガ設定時（UBnFIC2レジスタのUBnTT3-UBnTT0ビット = 0001）：最大7回分
：
6バイト・トリガ設定時（UBnFIC2レジスタのUBnTT3-UBnTT0ビット = 0101）：最大1回分
7バイト・トリガ設定時（UBnFIC2レジスタのUBnTT3-UBnTT0ビット = 0110）：最大1回分
8バイト・トリガ設定時（UBnFIC2レジスタのUBnTT3-UBnTT0ビット = 0111）：最大1回分

- 保留モード時，送信完了割り込み（UBTITn）に対する送信FIFOnへの書き込み数は，必ずUBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のみとなります。指定した送信トリガ設定数より多い場合および少ない場合の書き込みは禁止です。指定した送信トリガ設定数以外の書き込みをした場合の動作は保証できません。
- DMA制御を使用して，送信FIFOnへ送信データの書き込みを実行する場合は，UBnFIC2レジスタのUBnTT3-UBnTT0ビット = 0000（送信トリガ設定数：1バイト）固定としてください。それ以外の設定をした場合の動作は保証できません。

(ii) 受信時（受信FIFOnからの読み出し）

- 1回目の受信完了割り込み（UBTIRn）発生後，その割り込みに対する受信FIFOnからの読み出しが実行されていない場合，2回目のUBTIRn割り込みの発生条件（UBnFIC2レジスタのUBnRT3-UBnRT0ビットで指定した受信トリガ設定数分，受信FIFOnから読み出し可能）が発生しても，UBTIRn割り込みは発生しません（保留されます）。その後，1回目のUBTIRn割り込みに対する受信FIFOnからの読み出しが実行されると，この保留されたUBTIRn割り込みを発生させます[注]。

  注　保留数は次のようになります。

  1バイト・トリガ設定時（UBnFIC2レジスタのUBnRT3-UBnRT0ビット = 0000）：最大15回分
  2バイト・トリガ設定時（UBnFIC2レジスタのUBnRT3-UBnRT0ビット = 0001）：最大7回分
  ：
  6バイト・トリガ設定時（UBnFIC2レジスタのUBnRT3-UBnRT0ビット = 0101）：最大1回分
  7バイト・トリガ設定時（UBnFIC2レジスタのUBnRT3-UBnRT0ビット = 0110）：最大1回分
  8バイト・トリガ設定時（UBnFIC2レジスタのUBnRT3-UBnRT0ビット = 0111）：最大1回分

- 保留モード時，受信完了割り込み（UBTIRn）に対する受信FIFOnからの読み出し数は，必ずUBnFIC2レジスタのUBnRT3-UBnRT0ビットで指定した受信トリガ設定数分のみとなります。指定した受信トリガ設定数より多い場合および少ない場合の読み出しは禁止です。指定した受信トリガ設定数以外の読み出しをした場合の動作は保証できません。
- DMA制御を使用して，受信FIFOnから受信データの読み出しを実行する場合は，UBnFIC2レジスタのUBnRT3-UBnRT0ビット = 0000（受信トリガ設定数：1バイト）固定としてください。それ以外の設定をした場合の動作は保証できません。

(b) ポインタ・モード

(i) 送信時（送信FIFOnへの書き込み）

- 送信FIFOnから送信シフト・レジスタnに1バイトのデータが転送されるごとに，送信完了割り込み（UBTITn）が発生します。
- ポインタ・モード時，送信完了割り込み（UBTITn）に対する送信FIFOnへの書き込み送信トリガ設定数は，必ずUBnFIC2レジスタのUBnTT3-UBnTT0ビット = 0000（送信トリガ設定数：1バイト）固定としてください。それ以外の設定をした場合の動作は保証できません。
- DMA制御を使用して，送信FIFOnへ送信データの書き込みを実行することは禁止です。DMA制御を使用した場合の動作は保証できません。
- 送信完了割り込み（UBTITn）受け付け後，送信FIFOnへの書き込み時に，UBnFIS1レジスタを参照して，送信FIFOnの空きバイト数分，送信FIFOnに書き込みできます。

(ii) 受信時（受信FIFOnからの読み出し）

- 受信シフト・レジスタnから受信FIFOnに1バイトのデータが転送されるごとに，受信完了割り込み（UBTIRn）が発生します。
- ポインタ・モード時，受信完了割り込み（UBTIRn）に対する受信FIFOnからの読み出し受信トリガ設定数は，必ずUBnFIC2レジスタのUBnRT3-UBnRT0ビット = 0000（受信トリガ設定数：1バイト）固定としてください。それ以外の設定をした場合の動作は保証できません。
- DMA制御を使用して，受信FIFOnから受信データの読み出しを実行することは禁止です。DMA制御を使用した場合の動作は保証できません。
- 受信完了割り込み（UBTIRn）受け付け後，受信FIFOnからの読み出し時に，UBnFIS0レジスタを参照して，受信FIFOnの格納バイト数分，受信FIFOnから読み出しできます。ただし，UBTIRn割り込みが発生したのにもかかわらず，受信FIFOnにデータが格納されていない（UBnFIS0レジスタのUBnRB4-UBnRB0ビット = 00000）場合があります。その場合は，受信FIFOnからはデータの読み出しをしないでください。受信FIFOnからのデータの読み出しは，必ず受信FIFOnの格納バイト数 = 1バイト以上（UBnRB4-UBnRB0ビット = 00000以外）を確認してから行ってください。

10. 2. 6 動　　作

(1) データ・フォーマット

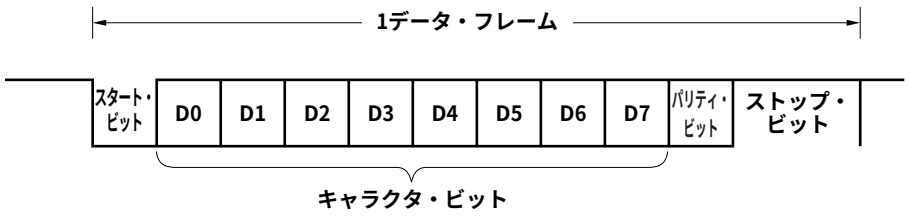
全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図10－2に示すとおり，スタート・ビット，キャラクタ・ビット，パリティ・ビット，ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定，パリティ選択，ストップ・ビット長の指定は，UARTBn制御レジスタ0（UBnCTL0）によって行います（n = 0, 1）。

また，データはLSBファースト転送/MSBファースト転送を選択できます。

図10－2　アシンクロナス・シリアル・インタフェースの送受信データのフォーマット
（LSBファースト転送の場合）



- スタート・ビット……1ビット
- キャラクタ・ビット…7ビット/8ビット
- パリティ・ビット……偶数パリティ／奇数パリティ／0パリティ／パリティなし
- ストップ・ビット……1ビット/2ビット

(2) 送信動作

シングル・モード（UBnFIC0レジスタのUBnMODビット = 0）時は，UBnCTL0レジスタのUBnTXEビット = 1にすると送信許可状態になり，UBnTXレジスタへ送信データを書き込むことにより，送信動作が開始されます（n = 0, 1）。

FIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時は，送信FIFOnにUBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと，UBnTXEビット = 1にすると送信動作が開始されます。

注意　FIFOモード時に，送信FIFOnへ送信データを書き込む前にUBnCTL0レジスタのUBnTXEビット = 1に設定することは禁止です。この設定をした場合の動作は保証できません。

(a) 送信許可状態

UBnCTL0レジスタのUBnTXEビットで設定します（n = 0, 1）。

- UBnTXE = 1：送信許可状態
- UBnTXE = 0：送信禁止状態

ただし，クロック同期式シリアル・インタフェース30（CSI30）と兼用となっているUARTB0を使用するときは，クロック同期式シリアル・インタフェース・モード・レジスタ30（CSIM30）のCSICAE0ビットを0に設定したあと，送信許可状態にしてください。

なお，UARTBnにはCTS（送信許可信号）入力端子がないので，相手側が受信許可状態かを確認するときはポートを使用してください。

(b) 送信動作の起動

- シングル・モード（UBnFIC0レジスタのUBnMODビット = 0）時
  シングル・モード時は，送信許可状態のときにUBnTXレジスタへ送信データを書き込むことにより，送信動作が開始されます（n = 0, 1）。
- FIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時
  FIFOモード時は，送信FIFOnにUBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと，送信許可（UBnTXEビット = 1）にすることにより，送信動作が開始されます。

送信動作の開始により，送信データ・レジスタn（シングル・モード時：UBnTXレジスタ，FIFOモード時：送信FIFOn）内のデータが送信シフト・レジスタnに転送されます。そのあと，送信シフト・レジスタnはTXDn端子にデータを出力します（スタート・ビットから順に送信されます）。スタート・ビット，パリティ・ビット，ストップ・ビットは自動的に付加されます（n = 0, 1）。

（c）送信割り込み要求

（i）送信完了割り込み（UBTITn）

- シングル・モード（UBnFIC0レジスタのUBnMODビット = 0）時
  シングル・モード時は，UBnTXレジスタに送信データの書き込みが可能になる（UBnTXレジスタから送信シフト・レジスタnに1バイト分のデータが転送される）と送信完了割り込み（UBTITn）を発生します（n = 0, 1）。

- FIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時
  FIFOモード時は，送信FIFOnから送信シフト・レジスタnにUBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータが転送される（指定した送信トリガ設定数分が書き込み可能となる）とUBTITn割り込みを発生します（n = 0, 1）。

- FIFOモード時に保留モード（UBnFIC0レジスタのUBnITMビット = 0）を指定した場合
  FIFOモード時に保留モードを指定した場合には，1回目のUBTITn割り込み発生後，その割り込みに対する送信FIFOnへのUBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータ書き込みが実行されるまで2回目のUBTITn割り込みの発生条件が発生しても，UBTITn割り込みは保留されます。その後，1回目のUBTITn割り込みに対する送信FIFOnへの指定送信トリガ設定数分のデータ書き込みが実行されると，保留されていたUBTITn割り込みを発生させます（n = 0, 1）。

- FIFOモード時にポインタ・モード（UBnFIC0レジスタのUBnITMビット = 1）を指定した場合
  FIFOモード時にポインタ・モードを指定した場合には，1回目のUBTITn割り込みに対する送信FIFOnへのUBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータ書き込みが実行されなくても，2回目のUBTITn割り込みの発生条件が発生すると，UBTITn割り込みを発生させます（n = 0, 1）。

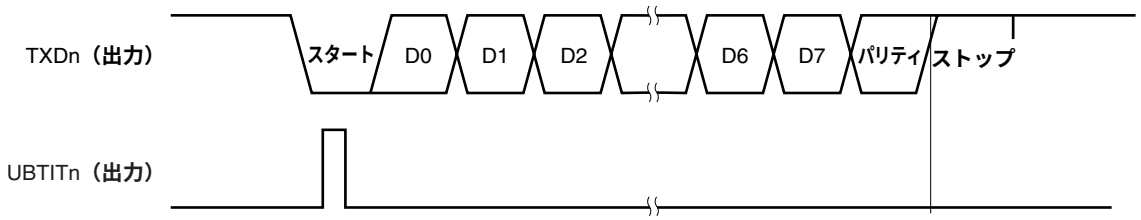
（ii）FIFO送信完了割り込み（UBTIFn）

FIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時に送信FIFOnおよび送信シフト・レジスタnにデータが存在しなくなった（空になった）場合には，FIFO送信完了割り込み（UBTIFn）が発生します（n = 0, 1）。UBTIFn割り込み発生後，FIFOクリア（UBnFIC0レジスタのUBnTFCビット = 1）により，保留モード（UBnFIC0レジスタのUBnITMビット = 0）時の保留されているUBTITn割り込みをクリアしてください（n = 0, 1）。ただし，送信FIFOnに対する次の送信データの書き込み実行が遅れたためにUBTIFn割り込みが発生した（送信データをすべて送信していない）場合は，FIFOクリアを実行しないでください。

なお，次に送信するデータを送信データ・レジスタnに書き込まなければ，送信動作は中断されます。

注意　シングル・モードでは，UBnTXレジスタが空になった（UBnTXレジスタから送信シフト・レジスタnに1バイト分のデータが転送される）場合に，送信完了割り込み（UBTITn）が発生します。また，FIFOモードでは，送信FIFOnおよび送信シフト・レジスタnにデータが存在しなくなった（空になった）場合に，FIFO送信完了割り込み（UBTIFn）が発生します。ただし，$\overline{\text{RESET}}$入力により，送信データ・レジスタnが空になった場合には，UBTITn割り込み，またはUBTIFn割り込みは発生しません。

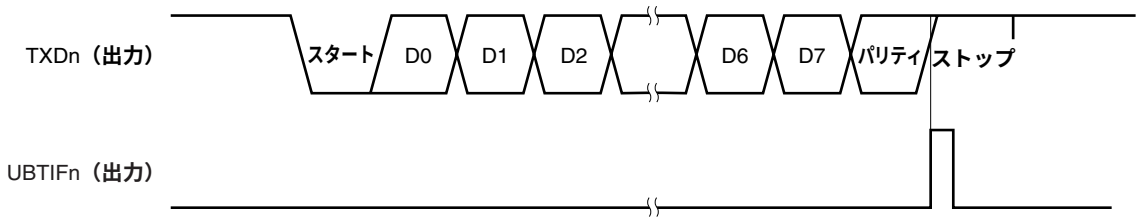
図10－3　アシンクロナス・シリアル・インタフェース送信完了割り込み（UBTITn）タイミング



備考1.　FIFOモード時は，UBnFIC2のUBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のシリアル転送が発生した場合に上記のタイミングでUBTITn割り込みを発生させます。

2.　n = 0, 1

図10－4　アシンクロナス・シリアル・インタフェースFIFO送信完了割り込み（UBTIFn）タイミング



備考1.　送信FIFOnおよび送信シフト・レジスタnにデータが存在しなくなった（空になった）場合に上記のタイミングでUBTIFn割り込みを発生させます。

2.　n = 0, 1

(3) 連続送信動作

- シングル・モード（UBnFIC0レジスタのUBnMODビット = 0）時

シングル・モード時，送信シフト・レジスタnがシフト動作を開始した時点で，次のデータをUBnTXレジスタへ書き込むことができます（n = 0, 1）。転送タイミングは，送信完了割り込み（UBTITn）で判断できます。UBTITn割り込みにより，1データ・フレーム送信期間内に次の送信データをUBnTXレジスタに書き込むことで，間隔を空けずに送信することが可能となり，効率的な通信レートを実現できます。

注意　送信処理中に初期化を実施する場合は，UBnSTRレジスタのUBnTSFビットが0であることを確認してください。UBnTSFビットが1のときに初期化を実行した場合は，送信データの保証はできません。

- FIFOモード時に保留モード（UBnFIC0レジスタのUBnITMビット = 0）を指定した場合

送信FIFOnにUBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込むと，送信動作が開始されます。

FIFOモード時に保留モードを指定した場合，UBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数分の最後のデータを送信シフト・レジスタnがシフト動作を開始した時点で，次のデータを送信FIFOnへ指定した送信トリガ設定数分のデータを書き込むことができます。転送タイミングは，UBTITn割り込みで判断できます。UBTITn割り込みにより，指定した送信トリガ設定数分または送信FIFOn内のデータの送信期間内に次の送信データを送信FIFOnに書き込むことで，間隔を空けずに送信することが可能となり，効率的な通信レートを実現できます。

注意　送信処理中に初期化を実施する場合は，UBnSTRレジスタのUBnTSFビットが0であることを確認してください（FIFO送信完了割り込み（UBTIFn）での判断でも可能です）。
UBnTSFビットが1のときに初期化を実行した場合は送信データの保証はできません。
DMA制御を使用して，送信FIFOnへ送信データの書き込みを実行する場合は，UBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定する送信トリガ設定数 = 1バイトとしてください。1バイト以外を指定した場合の動作は保証できません。

- FIFOモード時にポインタ・モード（UBnFIC0レジスタのUBnITMビット = 1）を指定した場合

FIFOモード時にポインタ・モードを指定した場合，データを送信シフト・レジスタnがシフト動作を開始した時点で，UBTITn割り込みが発生し，次のデータを書き込むことができます。このとき，UBnFIS1レジスタを参照して，送信FIFOnの空きバイト数分，書き込むこともできます。転送タイミングは，UBTITn割り込みで判断できます。UBTITn割り込みにより，指定した送信トリガ設定数 = 1バイトまたは送信FIFOn内のデータの送信期間内に次の送信データを送信FIFOnに書き込むことで，間隔を空けずに送信することが可能となり，効率的な通信レートを実現できます。

注意　送信処理中に初期化を実施する場合は，UBnSTRレジスタのUBnTSFビットが0であることを確認してください（FIFO送信完了割り込み（UBTIFn）での認識も可能です）。
UBnTSFビットが1のときに初期化を実行する場合は，送信データの保証はできません。

(4) 受信動作

UBnCTL0レジスタのUBnPWRビット = 1にし，次にUBnCTL0レジスタのUBnRXEビット = 1にすることにより，受信待ち状態になります（n = 0, 1）。RXDn端子のサンプリングを開始し，スタート・ビットの検出を行います。スタート・ビットを検出すると受信動作を開始し，設定されたボー・レートにあわせて，順に受信シフト・レジスタnに格納していきます。

シングル・モード（UBnFIC0レジスタのUBnMODビット = 0）時は，1フレームのデータ受信が終了するごとに受信完了割り込み（UBTIRn）が発生します。通常，この割り込み処理でUBnRXレジスタからメモリに受信データを転送します。

FIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時は，UBnFIC2レジスタのUBnRT3-UBnRT0ビットで指定した受信トリガ設定数分のデータを受信FIFOnへ転送することにより，UBTIRn割り込みが発生します。

FIFOモード時に保留モード（UBnFIC0レジスタのUBnIRMビット = 0）を指定した場合には，UBnFIC2レジスタのUBnRT3-UBnRT0ビットで指定した受信トリガ設定数分のデータを受信FIFOnから読み出しできます。

FIFOモード時にポインタ・モード（UBnFIC0レジスタのUBnIRMビット = 1）を指定した場合には，UBnRT3-UBnRT0ビットで指定した受信トリガ設定数（1バイト），またはUBnFIS0レジスタを参照して，受信FIFOnの格納バイト数分（0バイト以上），受信FIFOnから読み出しできます。

注意　FIFOモード時にポインタ・モードを指定した場合にUBnFIS0レジスタを参照して受信FIFOnの格納バイト数分まで受信FIFOnから読み出すと，受信完了割り込み（UBTIRn）が発生したのにもかかわらず，受信FIFOnにデータが格納されていない（UBnFIS0レジスタのUBnRB4-UBnRB0ビット = 00000）場合があります。その場合は，受信FIFOnからはデータの読み出しをしないでください。受信FIFOnからのデータの読み出しは，必ず受信FIFOnの格納バイト数 = 1バイト以上（UBnRB4-UBnRB0ビット = 00000以外）を確認してから行ってください。

(a) 受信許可状態

UBnCTL0レジスタのUBnRXEビットで設定します（n = 0, 1）。

- UBnRXE = 1：受信許可状態
- UBnRXE = 0：受信禁止状態

ただし，クロック同期式シリアル・インタフェース30（CSI30）と兼用となっているUARTB0を使用するときは，クロック同期式シリアル・インタフェース・モード・レジスタ30（CSIM30）のCSICAE0ビットを0に設定し，CSI30の動作を禁止したあと，受信許可状態にしてください（n = 0, 1）。

なお，受信禁止状態では受信ハードウエアは初期状態で待機します。このとき，受信完了割り込み／受信エラー割り込みは発生せず，受信データ・レジスタn（シングル・モード時：UBnRXレジスタ，FIFOモード時：受信FIFOn（UBnRXAPレジスタ））の内容は保持されます。

(b) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

UARTBn制御レジスタ2（UBnCTL2）からのシリアル・クロックでRXDn端子をサンプリングします（n = 0, 1）。

(c) 受信割り込み要求

(i) 受信完了割り込み（UBTIRn）

・シングル・モード（UBnFIC0レジスタのUBnMODビット = 0）時

シングル・モード時は，UBnCTL0レジスタのUBnRXEビット = 1のとき，1フレーム分のデータの受信が完了（ストップ・ビットの検出）すると，受信完了割り込み要求（UBTIRn）が発生すると同時に，受信シフト・レジスタn内の受信データをUBnRXレジスタに転送します（n = 0, 1）。

また，オーバラン・エラーが発生した場合，そのときの受信データは，UBnRXレジスタに転送されず，受信エラー割り込み（UBTIREn）が発生します。

なお，受信動作中にパリティ・エラーまたはフレーミング・エラーが発生した場合は，ストップ・ビットの受信位置までは受信動作を継続し，UBTIREn割り込みが発生します（受信シフト・レジスタn内の受信データはUBnRXレジスタに転送されます）。

また，受信動作中にUBnRXEビットをリセット（0）すると，すぐに受信動作を停止します。このとき，UBnRXレジスタの内容は変化せず，UARTBn状態レジスタ（UBnSTR）の内容はクリアされ，UBTIRn割り込み，またはUBTIREn割り込みは発生しません。

UBnRXEビット = 0（受信禁止）では，UBTIRn割り込みは発生しません。

・FIFOモード（UBnFIC0レジスタのUBnMODビット = 1）時

FIFOモード時は，UBnCTL0レジスタのUBnRXEビット = 1のとき，1フレーム分のデータの受信が完了（ストップ・ビットの検出）すると，受信シフト・レジスタnから受信FIFOnへUBnFIC2レジスタのUBnRT3-UBnRT0ビットで指定した受信トリガ設定数分の受信データを転送することにより，受信完了割り込み（UBTIRn）を発生します（n = 0, 1）。

また，オーバフロー・エラーが発生した場合，そのときの受信データは，受信FIFOnに転送されず，受信エラー割り込み（UBTIREn）が発生します。

なお，受信動作中にパリティ・エラーまたはフレーミング・エラーが発生した場合は，ストップ・ビットの受信位置までは受信動作を継続し，受信完了後に，UBTIREn割り込みが発生し，受信シフト・レジスタn内の受信データは受信FIFOnに転送されます。このとき，エラー情報がUBnRXAPレジスタのUBnPEFビット，またはUBnFEFビット = 1として付加されます。UBTIREn割り込みが発生した場合は，受信FIFOnを16ビット・レジスタのUBnRXAPレジスタとして読み出すことで，エラー対象となるデータを認識できます。

（ii）受信タイムアウト割り込み（UBTITOn）（FIFOモード時のみ）

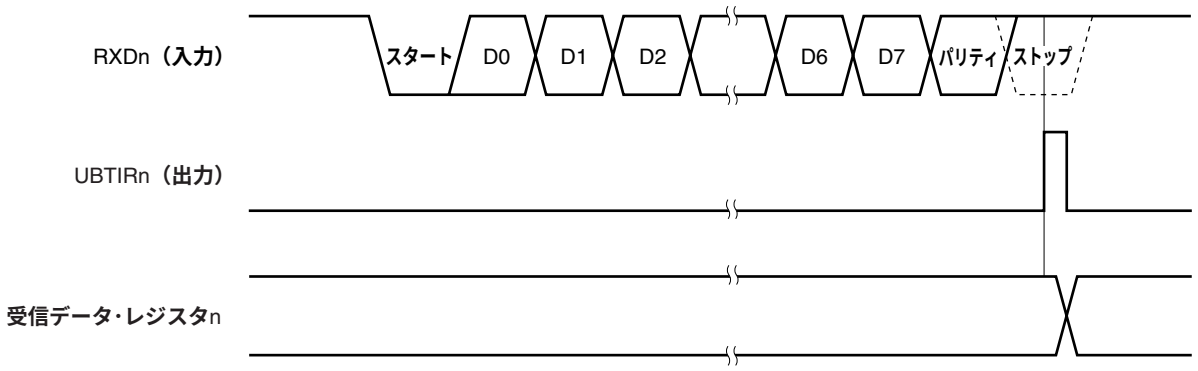
FIFOモード時の受信のときにタイムアウト・カウンタ機能（UBnFIC1レジスタのUBnTCEビット = 1）を使用する場合，UBnFIC1レジスタのUBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない（スタート・ビットが検出されない）ときに，受信FIFOnにデータが格納されている場合は受信タイムアウト割り込み（UBTITOn）を発生します（n = 0, 1）。

受信禁止状態中は，UBTITOn割り込みは発生しません。

UBnFIC2レジスタのUBnRT3-UBnRT0ビットで指定した受信トリガ設定数分までデータが受信されない場合，UBTITOn割り込みにより，指定した受信トリガ設定数未満の受信データ数を読み出すタイミングが設定できます。

また，タイムアウト・カウンタは，スタート・ビットの検出により，カウントを開始するため，1キャラクタも受信していない場合，受信タイムアウト割り込みは発生しません。

図10－5 アシンクロナス・シリアル・インタフェース受信完了割り込み（UBTIRn）タイミング



注意1. 受信エラー発生時にも受信データ・レジスタn（シングル・モード時：UBnRXレジスタ，FIFOモード時：受信FIFOn（UBnRXAPレジスタ））に格納されているデータ（UBnFIS0レジスタのUBnRB4-UBnRB0ビットで示すデータ数）は，必ずすべて読み出してください。
受信データ・レジスタnを読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。
ただし，FIFOモード時に保留モードを指定した場合には，受信FIFOnに格納されているデータを読み出したあと，必ずFIFOクリア（UBnFIC0レジスタのUBnRFCビット = 1）を実行してください。
また，FIFOモード時は，受信FIFOnに格納されているデータを読み出さなくても，FIFOクリアを実行することで対応できます。
なお，FIFOモード時にパリティ・エラーまたはフレーミング・エラーが発生した場合には，UBnRXAPレジスタを16ビット（ハーフワード）で読み出します。

2. 受信では，常にストップ・ビット長 = 1として動作します。
2ビット目のストップ・ビットは，無視されます。

備考 n = 0, 1

(5) 受信エラー

受信動作時のエラーは，シングル・モード（UBnFIC0レジスタのUBnMODビット = 0）時はパリティ・エラー，フレーミング・エラー，オーバラン・エラーの3種類，FIFOモード（UBnFIC0レジスタのUBnMODビット = 0）時はパリティ・エラー，フレーミング・エラー，オーバフロー・エラーの3種類があります。データ受信の結果，シングル・モード時のパリティ・エラー，フレーミング・エラー，オーバラン・エラーはUBnSTRレジスタのUBnPE，UBnFE，UBnOVEビット，FIFOモード時のオーバフロー・エラーの場合はUBnSTRレジスタのUBnOVFビット，FIFOモード時のパリティ・エラー，フレーミング・エラーの場合はUBnRXAPレジスタのUBnPEF, UBnFEFビットのいずれかがセット（1）されると同時に，受信エラー割り込み（UBTIREn）が発生します。エラーの内容は，UBnSTRレジスタまたはUBnRXAPレジスタの内容を読み出すことによって，受信時に発生したエラーの内容を検出できます。

UBnSTRレジスタの内容はUBnOVF，UBnPE，UBnFE，UBnOVEビット，またはUBnCTL0レジスタのUBnPWRビット，UBnRXEビットに0を書き込んだとき，UBnRXAPレジスタの内容はUBnCTL0レジスタのUBnPWRビットに0を書き込んだときにリセットされます。

表10－3　受信エラーの要因

エラー・フラグ	有効動作モード	エラー・フラグ	受信エラー	要　　因
UBnPE	シングル・モード	UBnPE	パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
UBnFE		UBnFE	フレーミング・エラー	ストップ・ビットが検出されない
UBnOVE		UBnOVE	オーバラン・エラー	UBnRXレジスタからデータを読み出す前に次のデータ受信が完了
UBnOVF	FIFOモード	UBnOVF	オーバフロー・エラー	受信FIFOnがフルの状態で，データを読み出す前に次のデータ受信が完了
UBnPEF		UBnPEF	パリティ・エラー	送信時のパリティ指定と対象受信データのパリティが一致しない
UBnFEF		UBnFEF	フレーミング・エラー	対象データの取り込みでストップ・ビットが検出されない

備考　n = 0, 1

(6) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は，送信側と受信側のパリティ・ビットは同一の種類のものを使用します。

(a) 偶数パリティ

(i) 送信時

パリティ・ビットを含めた送信データ中の“1”の値のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

・送信データ中に“1”の値のビット数が奇数個：1
・送信データ中に“1”の値のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の“1”の値のビット数をカウントし，奇数個であった場合にパリティ・エラーを発生します。

(b) 奇数パリティ

(i) 送信時

偶数パリティとは逆に，パリティ・ビットを含めた送信データ中の“1”の値のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

・送信データ中に“1”の値のビット数が奇数個：0
・送信データ中に“1”の値のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の“1”の値のビット数をカウントし，偶数個であった場合にパリティ・エラーを発生します。

(c) 0パリティ

送信時には，送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって，パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

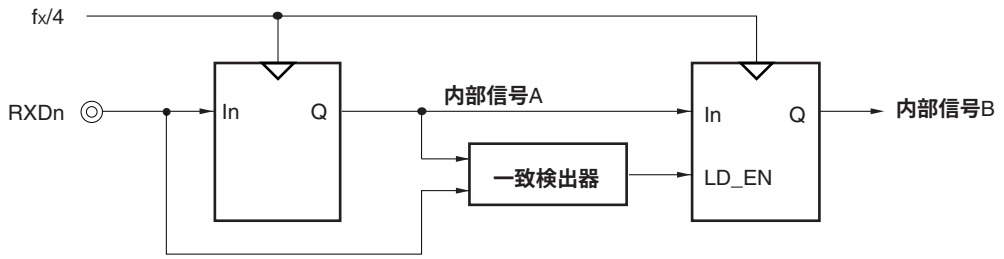
受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。

(7) 受信データのノイズ・フィルタ

入力クロック（fx/4）の立ち上がりでRXDn信号をサンプリングします（fx：メイン・クロック）。サンプリング値が同じ値を2回取ると，一致検出器の出力が変化し，入力データとしてサンプリングされます。したがって，1クロック幅以下のデータはノイズとして判断され，内部回路には伝わりません（図10－7参照）。

また，回路は図10－6のようになっているため，受信動作の内部での処理は，外部の信号状態により最大2クロック分遅れて動作することになります。

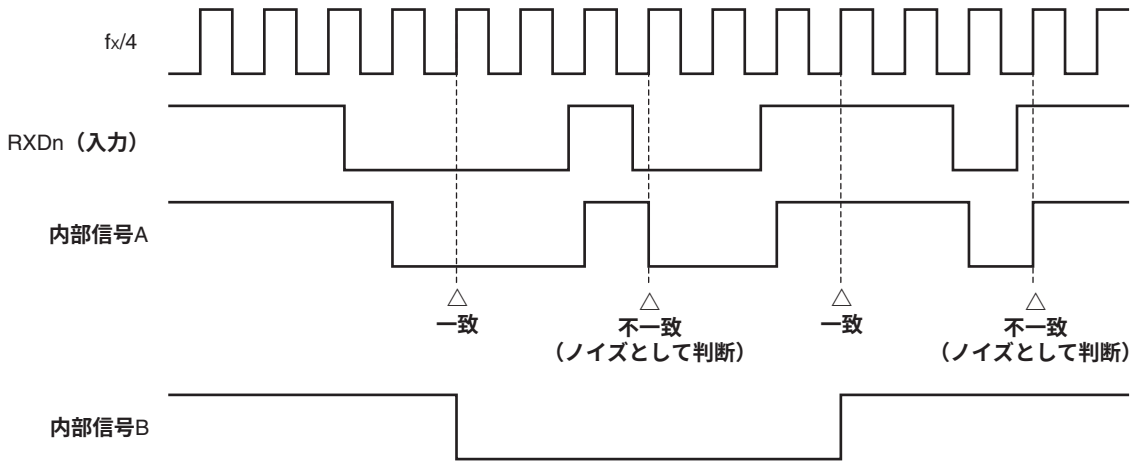
図10－6　ノイズ・フィルタ回路



備考1.　n = 0, 1

2.　fx：メイン・クロック

図10－7　ノイズとして判断されるRXDn信号のタイミング



備考1.　n = 0, 1

2.　fx：メイン・クロック

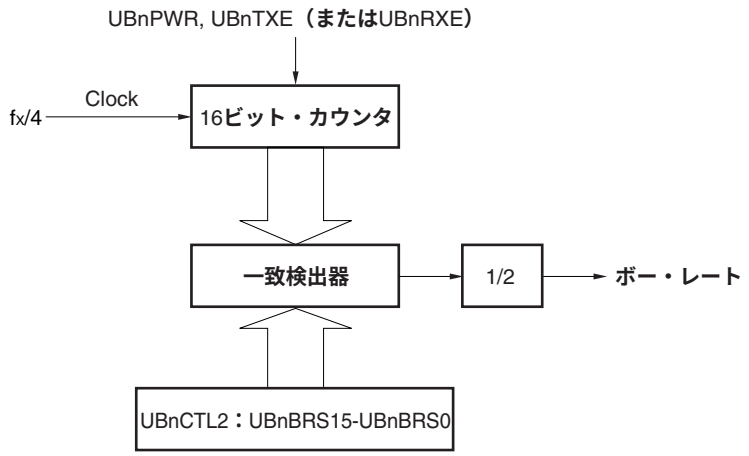
10. 2. 7　専用ボー・レート・ジェネレータ0, 1（BRG0, BRG1）

専用ボー・レート・ジェネレータは，16ビットのプログラマブル・カウンタにより構成され，UARTBnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは，チャネルごとに専用ボー・レート・ジェネレータ出力を選択できます。

なお，16ビット・カウンタは送信用と受信用が別々に存在します。ただし，同一チャネルにおける送受信のボー・レートは同一となります。

(1) ボー・レート・ジェネレータの構成

図10－8　ボー・レート・ジェネレータの構成



備考1.　n = 0, 1

2.　fx：メイン・クロック

(a) 基本クロック（Clock）

UBnCTL0レジスタのUBnPWRビット = 1のとき，入力クロック（fx/4）を送信／受信ユニットに供給します（fx：メイン・クロック）。このクロックを基本クロック（Clock）と呼びます。UBnPWRビット = 0のときは，Clockはロウ・レベルに固定となります。

(2) シリアル・クロックの生成

UBnCTL2レジスタの設定により，シリアル・クロックを生成できます（n = 0, 1）。

UBnCTL2レジスタのUBnBRS15-UBnBRS0ビットにより，16ビット・カウンタの分周値を設定できます。

(a) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{\text{基本クロック周波数}}{2 \times k} \text{ [bps]}$$

基本クロック周波数 = fx/4（fx：メイン・クロック）

k = UBnCTL2レジスタのUBnBRS15-UBnBRS0ビットで設定した値（k = 4, 5, 6, …, 65535）

(b) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差（\%）} = \left(\frac{\text{実際のボー・レート（誤差のあるボー・レート）}}{\text{希望するボー・レート（正常なボー・レート）}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は，受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は，（4）受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例　メイン・クロック（fx）　= 150 MHz = 150,000,000 Hz

UBnCTL2レジスタのUBnBRS15-UBnBRS0ビットの設定値 = 0000000001111010B

（k = 122）

目標ボー・レート = 153600 bps

ボー・レート = 150 M/4/（2×122）

= 150000000/4/（2×122）　= 153689［bps］

誤差 =（153689/153600－1）×100

= 0.058［%］

(3) ボー・レート設定例

表10－4　ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	fx = 150 MHz		fx = 133 MHz		fx = 100 MHz		fx = 66 MHz	
	k	ERR	k	ERR	k	ERR	k	ERR
300	62500	0.000	55417	−0.001	41667	−0.001	27500	0.000
600	31250	0.000	27708	0.001	20833	0.002	13750	0.000
1200	15625	0.000	13854	0.001	10417	−0.003	6875	0.000
2400	7813	−0.006	6927	0.001	5208	0.006	3438	−0.015
4800	3906	0.006	3464	−0.013	2604	0.006	1719	−0.015
9600	1953	0.006	1732	−0.013	1302	0.006	859	0.044
19200	977	−0.045	866	−0.013	651	0.006	430	−0.073
31250	600	0.000	532	0.000	400	0.000	264	0.000
38400	488	0.058	433	−0.013	326	−0.147	215	−0.073
76800	244	0.058	216	0.218	163	−0.147	107	0.394
153600	122	0.058	108	0.218	81	0.469	54	−0.535
312500	60	0.000	53	0.377	40	0.000	26	1.538

注意　メイン・クロック（fx）の許容周波数は最大150 MHzです。

備考　fx　：メイン・クロック

k　：UBnCTL2レジスタのUBnBRS15-UBnBRS0ビットの設定値（n = 0, 1）

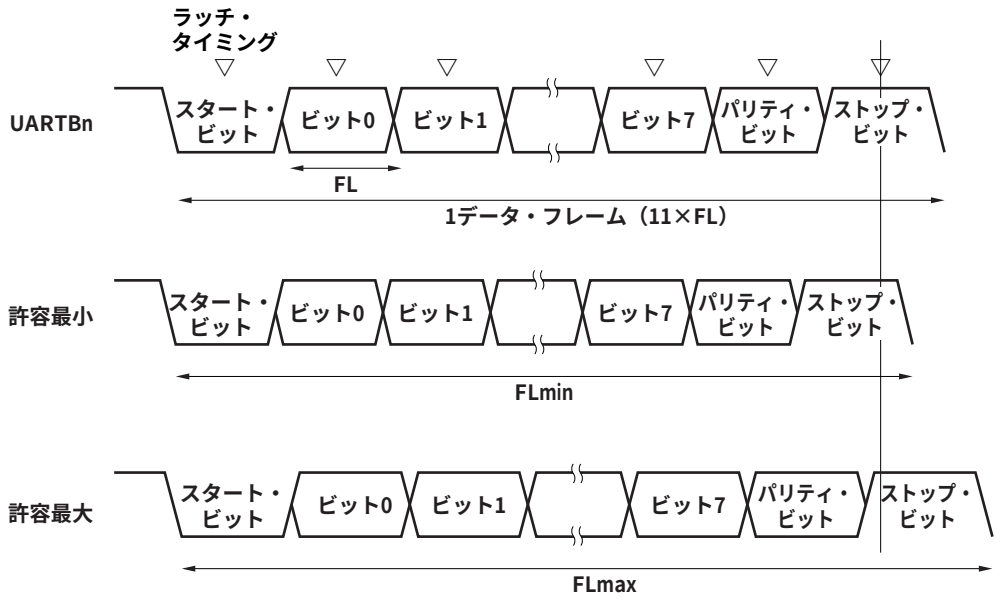
ERR　：ボー・レート誤差［%］

(4) 受信時の許容ボー・レート範囲

受信の際に，送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意　受信時のボー・レート誤差は，下記に示す算出式を使用して，必ず許容誤差範囲内になるように設定してください。

図10－9　受信時の許容ボー・レート範囲



備考　n = 0, 1

図10－9に示すように，スタート・ビット検出後はUBnCTL2レジスタで設定したカウンタにより，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上，次のようになります。

$FL = (Brate)^{-1}$

Brate　：UARTBnのボー・レート（n = 0, 1）

k　：UBnCTL2の設定値（n = 0, 1）

FL　：1ビット・データ長

ラッチ・タイミングのマージン：2クロック

許容最小値：$FLmin = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$

したがって，受信可能な送信先の最大ボー・レートは次のようになります。

$$BRmax = (FLmin/11)^{-1} = \frac{22k}{21k+2}\ Brate$$

同様に，許容最大値を求めると，次のようになります。

$$\frac{10}{11} \times FLmax = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k}\ FL$$

$$FLmax = \frac{21k-2}{20k}\ FL \times 11$$

したがって，受信可能な送信先の最小ボー・レートは次のようになります。

$$BRmin = (FLmax/11)^{-1} = \frac{20k}{21k-2}\ Brate$$

前述の最小／最大ボー・レート値の算出式から，UARTBnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表10－5　許容最大／最小ボー・レート誤差

分周比（k）	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	＋2.33 %	－2.44
8	＋3.53 %	－3.61
16	＋4.14 %	－4.19
32	＋4.45 %	－4.48
64	＋4.61 %	－4.62
128	＋4.68 %	－4.69
256	＋4.72 %	－4.73
512	＋4.74 %	－4.74
1024	＋4.75 %	－4.75
2048	＋4.76 %	－4.76
4096	＋4.76 %	－4.76
8192	＋4.76 %	－4.76
16384	＋4.76 %	－4.76
32768	＋4.76 %	－4.76
65535	＋4.76 %	－4.76

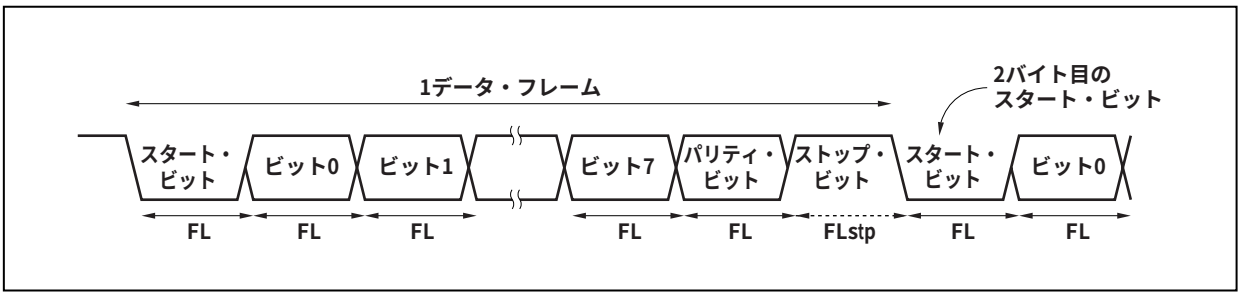
備考1.　受信の精度は，1フレーム・ビット数，基本クロック周波数，分周比（k）に依存します。基本クロック周波数が高く，分周比（k）が大きくなるほど精度は高くなります。

2.　k：UBnCTL2の設定値（n = 0, 1）

(5) 連続送信時の転送レート

連続送信する場合，ストップ・ビットから次のスタート･ビットまでの転送レートが通常より2クロック分延びます。ただし，受信側はスタート・ビットの検出により，タイミングの初期化が行われるので転送結果には影響しません。

図10－10　連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：fx/4（fx：メイン・クロック）とすると次の式が成り立ちます。

FLstp = FL＋2 /（fx/4）

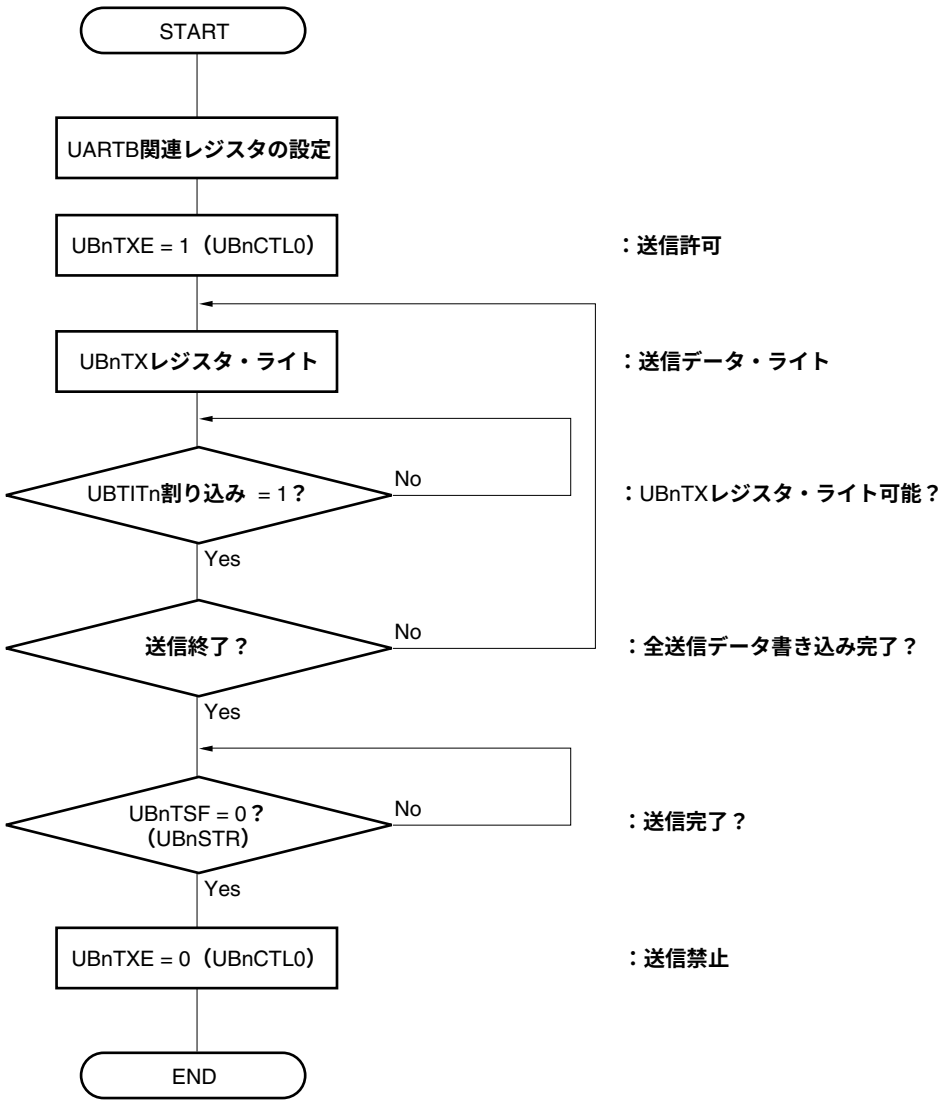
したがって，連続送信での転送レートは次のようになります。

転送レート = 11×FL＋2 /（fx/4）

10. 2. 8　制御フロー

(1) シングル・モード時の連続送信処理概略フロー例（CPU制御）

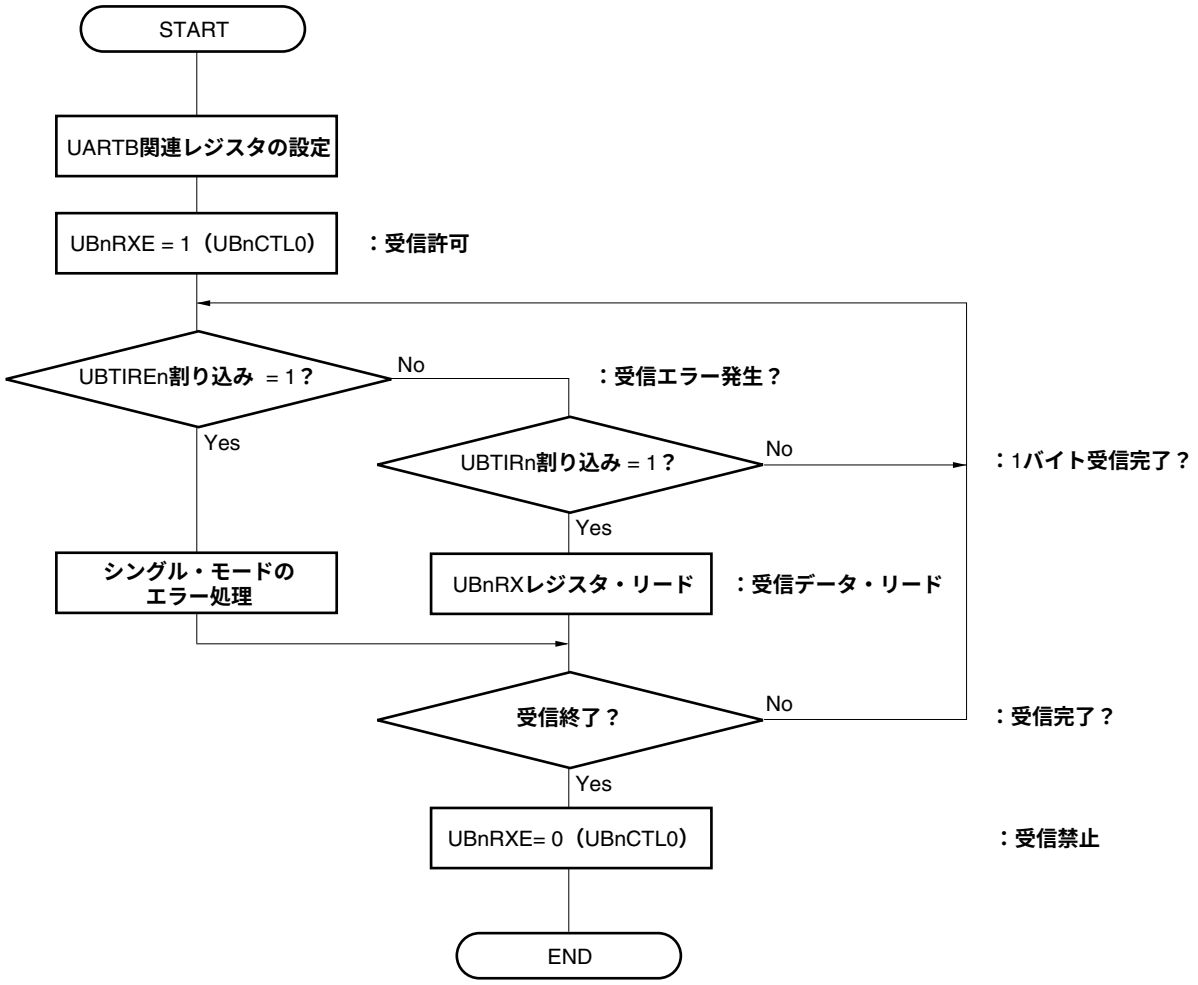
図10－11　シングル・モード時の連続送信処理概略フロー例（CPU制御）



備考　n = 0, 1

(2) シングル・モード時の連続受信処理概略フロー例（CPU制御）

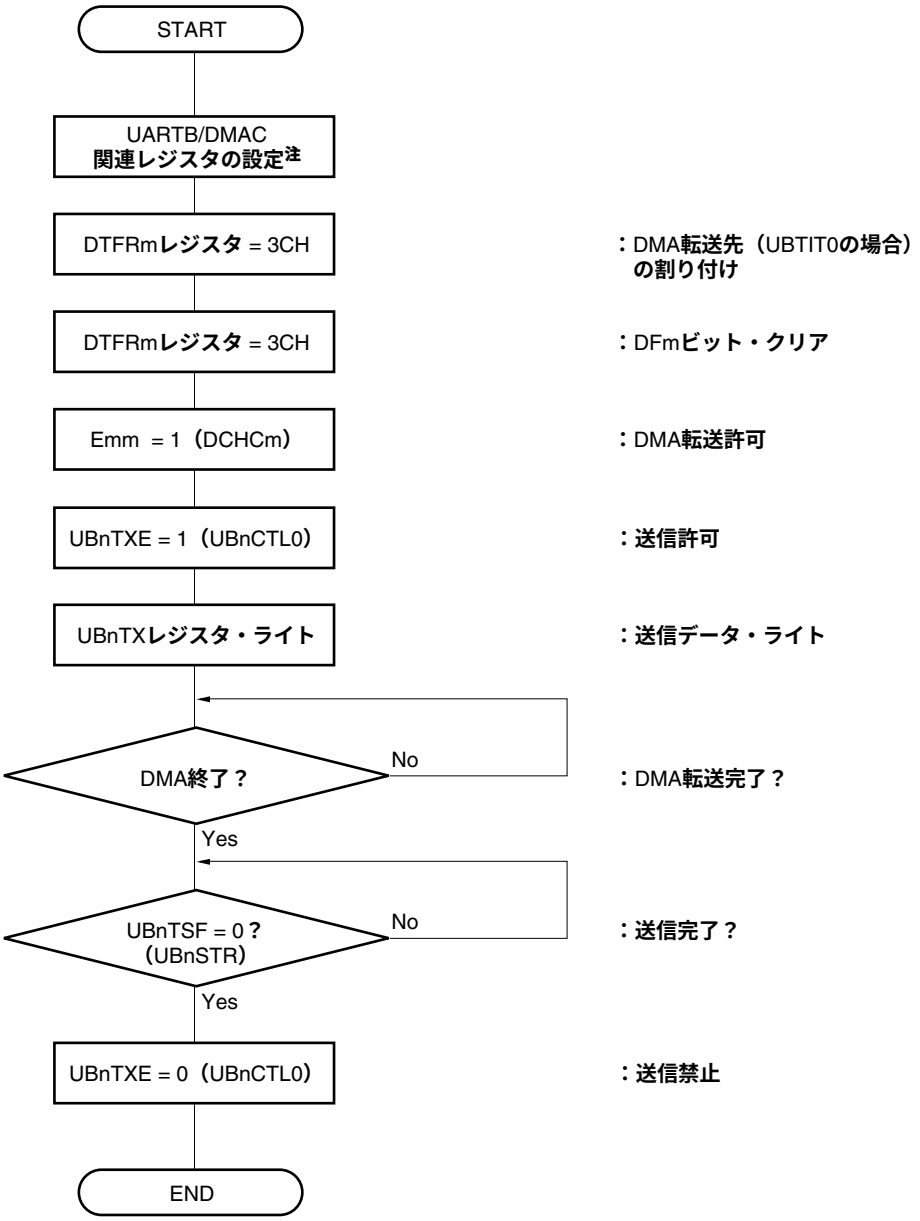
図10－12　シングル・モード時の連続受信処理概略フロー例（CPU制御）



備考　n = 0, 1

(3) シングル・モード時の連続送信処理概略フロー例（DMA制御）

図10－13　シングル・モード時の連続送信処理概略フロー例（DMA制御）



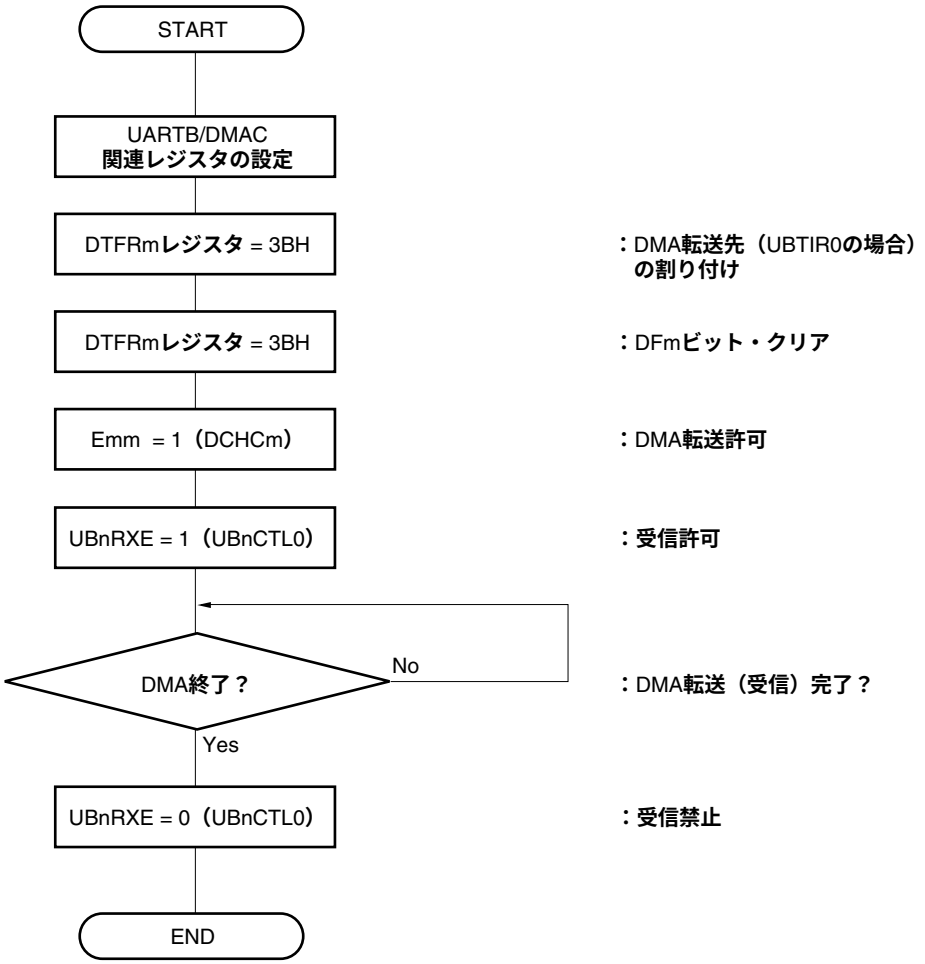
注　この制御フロー例の場合，1バイト目の送信データは，CPUライトで実行されます。DMA転送数（DBCmレジスタ），ソース・アドレス（DSAmH，DSAmLレジスタ）などの設定時には注意してください。

備考　n = 0, 1

m = 0-3

(4) シングル・モード時の連続受信処理概略フロー例（DMA制御）

図10－14　シングル・モード時の連続受信処理概略フロー例（DMA制御）

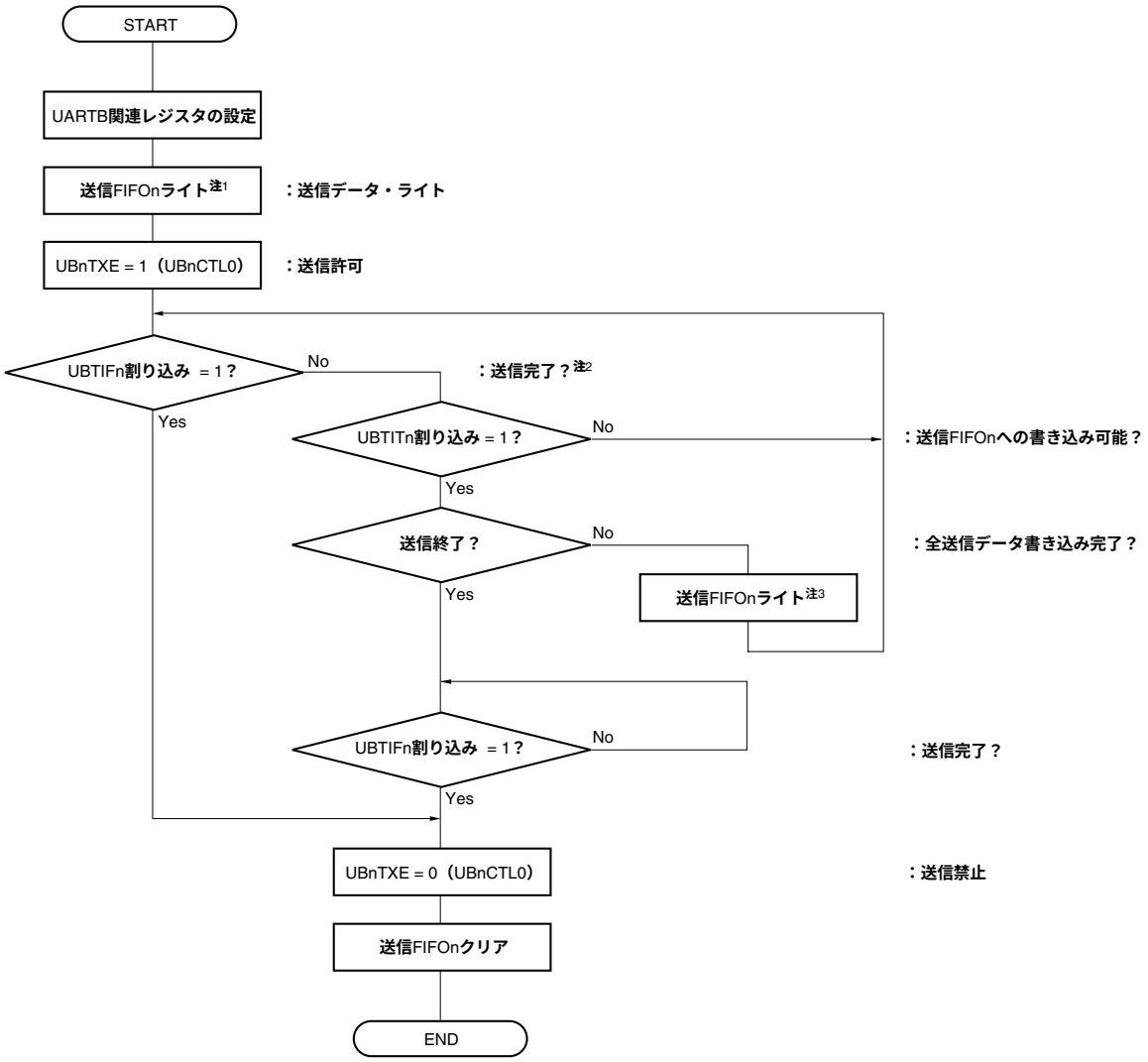


備考　n = 0, 1

m = 0-3

（5）FIFOモード時の連続送信処理概略フロー例（CPU制御）

図10－15　FIFOモード時の連続送信処理概略フロー例（CPU制御）



注1.　UBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上のデータを送信FIFOnに書き込んでください。

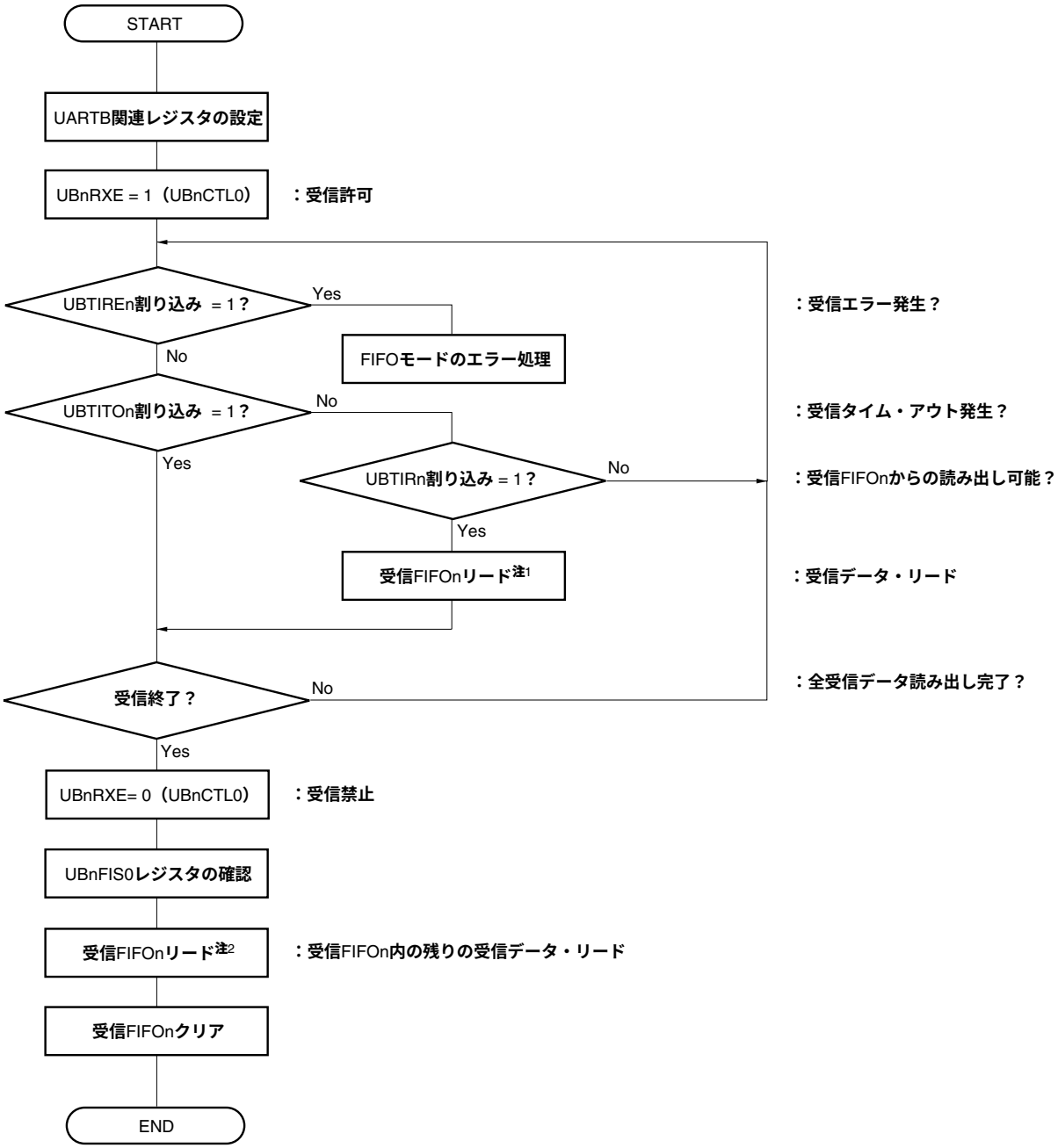
2.　次の送信データを書き込む前に送信完了（送信FIFOn，送信シフト・レジスタnが空）になった場合です。引き続きデータ送信を継続する場合には，UBTIFn割り込み，UBTITn割り込みのクリアなどを実行後，送信FIFOnに次のデータを書き込むなどの処理が必要です。

3.　保留モード（UBnFIC0レジスタのUBnITMビット = 0）時は，UBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータを送信FIFOnに書き込んでください。
ポインタ・モード（UBnITMビット = 1）時は，UBnFIS1レジスタのUBnTB4-UBnTB0ビットを参照して，送信FIFOnの空きバイト数分のデータを送信FIFOnに書き込んでください。
なお，8ビット幅×16段のFIFO機能をフルで使用する場合には，16バイトのデータを書き込んでください。

備考　n = 0, 1

(6) FIFOモード時の連続受信処理概略フロー例（CPU制御）

図10－16 FIFOモード時の連続受信処理概略フロー例（CPU制御）



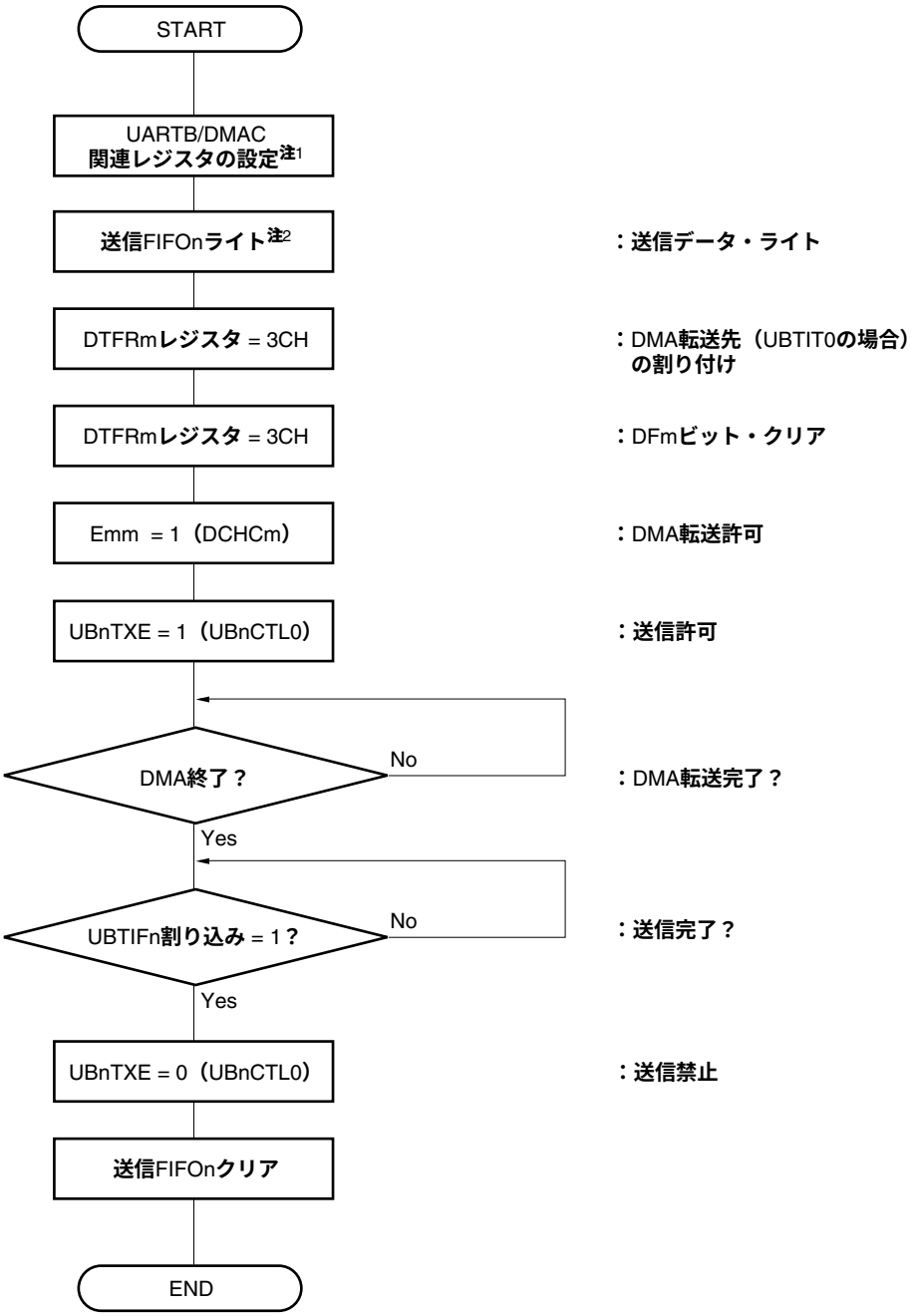
注1. 保留モード（UBnFIC0レジスタのUBnIRMビット = 0）時は，UBnFIC2レジスタのUBnRT3-UBnRT0ビットで指定した受信トリガ設定数分のデータを受信FIFOnから読み出してください。
ポインタ・モード（UBnITMビット = 1）時は，UBnFIS0レジスタのUBnRB4-UBnRB0ビットを参照して，受信FIFOnの格納バイト数分のデータを受信FIFOnから読み出してください。

2. UBnFIS0レジスタのUBnRB4-UBnRB0ビットを参照して，受信FIFOnの格納バイト数分のデータ（受信トリガ設定数分以下の残りの受信データ）を受信FIFOnから読み出してください。

備考 n = 0, 1

(7) FIFOモード時の連続送信（保留モード時）処理概略フロー例（DMA制御）

図10－17　FIFOモード時の連続送信（保留モード時）処理概略フロー例（DMA制御）



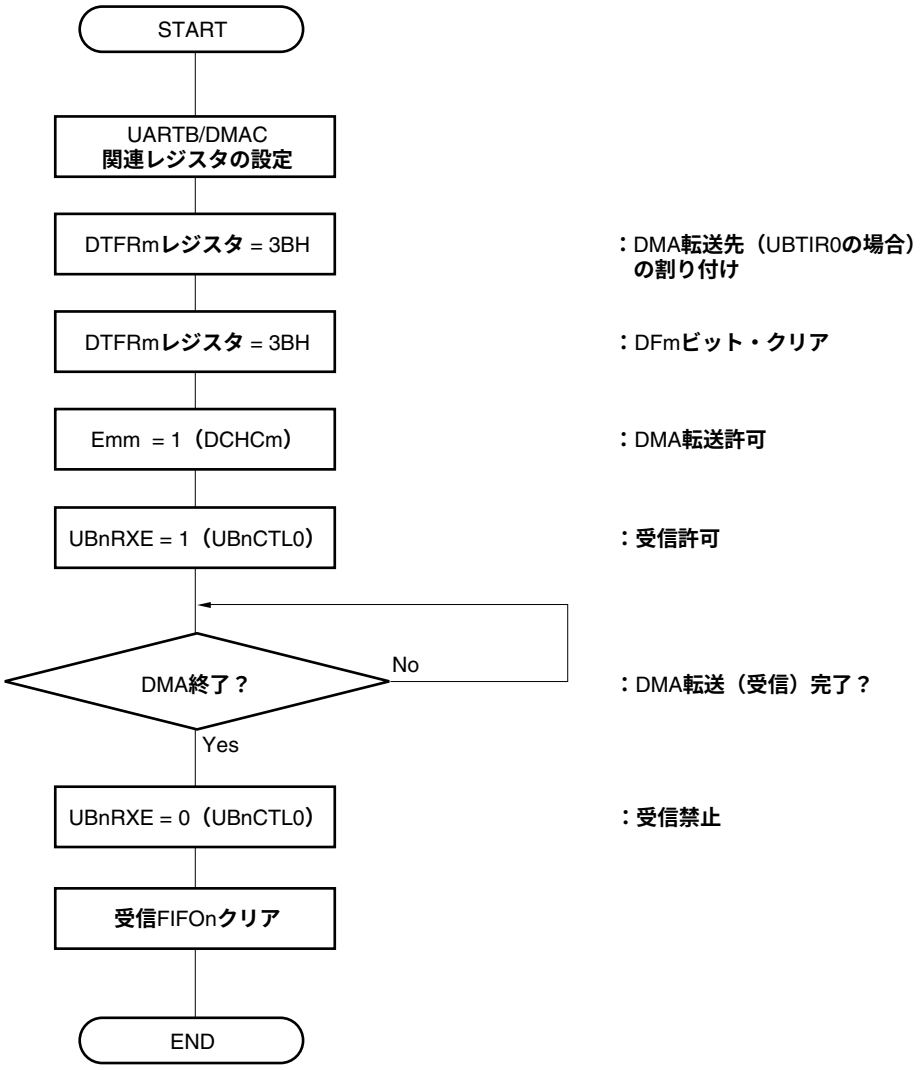
注1.　この制御フロー例の場合，注2の送信データは，CPUライトで実行されます。DMA転送数（DBCmレジスタ），ソース・アドレス（DSAmH, DSAmLレジスタ）などの設定時には注意してください。

2.　UBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定した送信トリガ設定 = 1バイトのデータ数を送信FIFOnに書き込んでください。

備考　n = 0, 1，m = 0-3

（8）FIFOモード時の連続受信（保留モード時）処理概略フロー例（DMA制御）

図10－18　FIFOモード時の連続受信（保留モード時）処理概略フロー例（DMA制御）

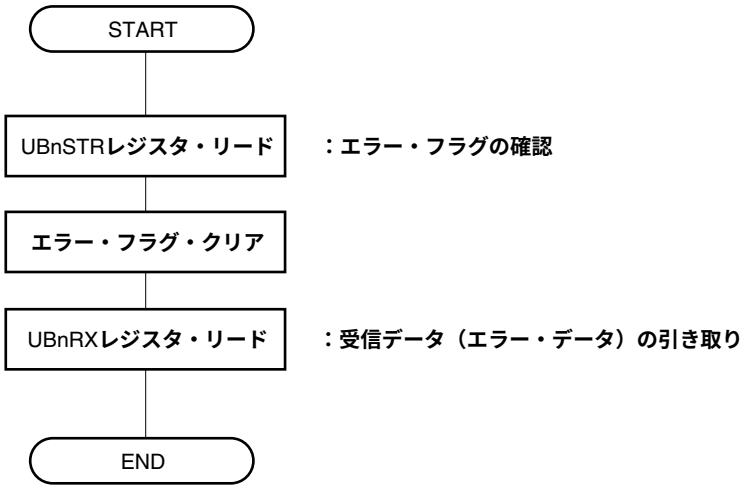


備考　n = 0, 1

m = 0-3

(9) シングル・モード時の受信エラー処理フロー例

図10－19　シングル・モード時の受信エラー処理フロー例

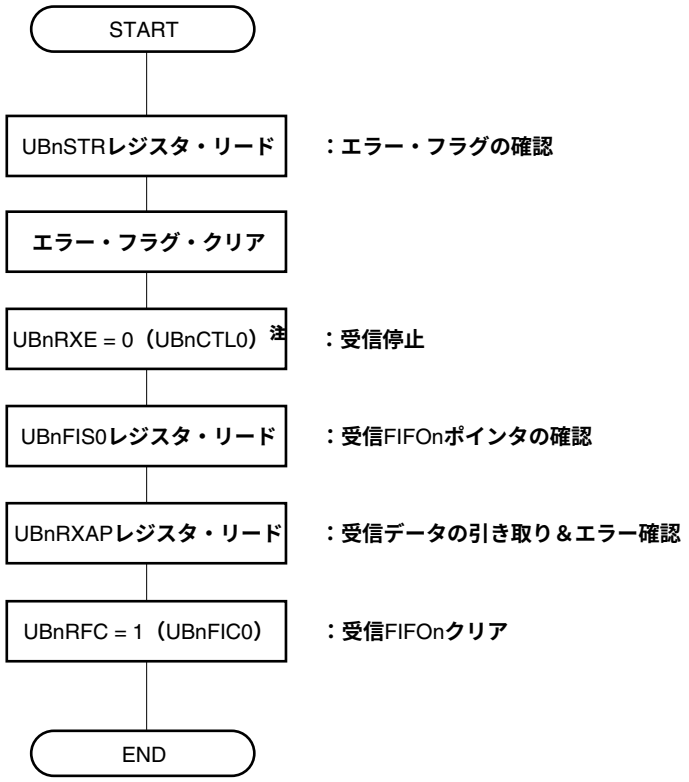


注意　この制御フロー例を次のデータの受信完了までに行うことにより，受信の継続ができます。なお，この制御フロー完了前に次のデータを受信した場合には，正常に受信した場合でも受信エラー割り込み（UBTIREn）が発生するので注意してください。

備考　n = 0, 1

（10）FIFOモード時の受信エラー処理フロー例（1）

図10－20　FIFOモード時の受信エラー処理フロー例（1）

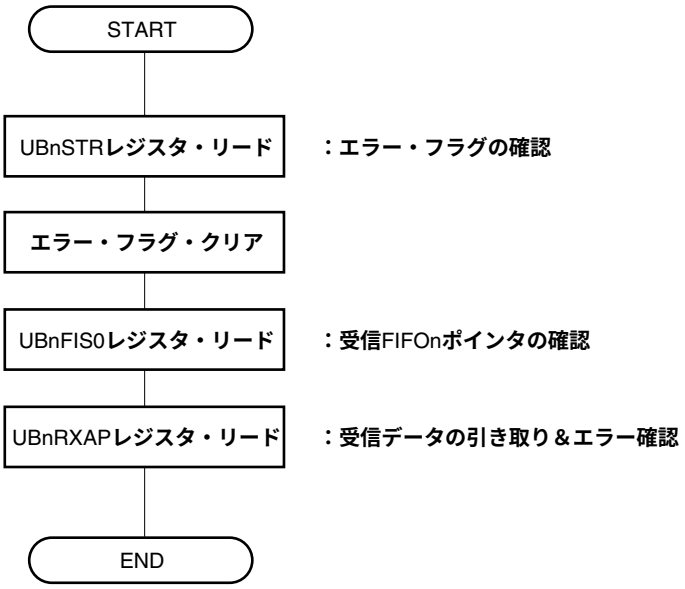


注　エラー・フラグ・クリアをUBnRXEビット = 0時に実行した場合には，UBnCTL0レジスタの設定は不要です。

備考　n = 0, 1

（11）FIFOモード時の受信エラー処理フロー例（2）

図10－21　FIFOモード時の受信エラー処理フロー例（2）



注意　この制御フローを，受信エラー発生後の次のデータの受信完了までに行うことにより，受信の継続ができます。なお，受信データの引き取りと受信エラーの確認は，受信FIFOnが空になるまで行ってください。ただし，この制御フローが有効となる受信エラーは，パリティ・エラーまたはフレーミング・エラー発生時のみです。オーバフロー・エラー発生時には，受信FIFOnクリア（UBnFIC0レジスタのUBnRFCビット = 1）を行う必要があるので注意してください。
また，この制御フロー完了前に次のデータを受信した場合には，正常に受信した場合でも受信エラー割り込み（UBTIREn）が発生するので注意してください。

備考　n = 0, 1

10. 2. 9 注意事項

UARTBについての注意事項を次に示します。

(1) UARTBnへの供給クロックが停止した場合

UARTBnへの供給クロックが停止する場合（例：IDLE, STOPモード）は，各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDn端子出力も停止直前の値を保持，出力します。ただし，クロック供給の再開後の動作は保証しません。したがって，再開後はUBnPWRビット = 0, UBnRXEビット = 0, UBnTXEビット = 0とし，回路を初期化してください。

(2) UBnCTL0レジスタ設定時の注意

- UARTBnを使用する場合には，必ずUARTBn機能に関連する外部端子をコントロール・モードに設定したあと，UBnCTL2レジスタの設定を行ってからUBnCTL0レジスタのUBnPWRビットをセット（1）してください。そのあとに，ほかのビットの設定を行ってください。
- UARTBn機能に関連する外部端子をコントロール・モードに設定する場合には，RXDn端子には必ずハイ・レベルを入力してください。ロウ・レベルを入力したときには，UBnCTL0レジスタのUBnRXEビットをセット（1）したあと，立ち下がりエッジが入力されたものと判断してしまい，受信を開始することがあります。

(3) UBnFIC2レジスタ設定時の注意

UBnFIC2レジスタへのライトは，必ずUBnCTL0レジスタのUBnTXEビット = 0（送信禁止状態）およびUBnRXEビット = 0（受信禁止状態）に設定してから行ってください。UBnTXEビット，またはUBnRXEビットのいずれかを1に設定したままUBnFIC2レジスタをライトした場合の動作は保証できません。

(4) 送信割り込み要求信号

シングル・モードでは，UBnTXレジスタが空になった（UBnTXレジスタから送信シフト・レジスタnに1バイト分のデータが転送される）場合に，送信完了割り込み（UBTITn）が発生します。また，FIFOモードでは，送信FIFOnおよび送信シフト・レジスタnにデータが存在しなくなった（空になった）場合に，FIFO送信完了割り込み（UBTIFn）が発生します。

ただし，$\overline{\text{RESET}}$入力により，送信データ・レジスタnが空になった場合には，UBTITn割り込み，またはUBTIFn割り込みは発生しません。

(5) シングル・モード時の連続送信での初期化

送信処理中に初期化を実施する場合は，UBnSTRレジスタのUBnTSFビットが0であることを確認してください。UBnTSFビットが1のときに初期化を実行した場合は，送信データの保証はできません。

(6) FIFOモード時の連続送信（保留モード時）での初期化

送信処理中に初期化を実施する場合は，UBnSTRレジスタのUBnTSFビットが0であることを確認してください（FIFO送信完了割り込み（UBTIFn）での判断でも可能です）。UBnTSFビットが1のときに初期化を実行した場合は送信データの保証はできません。

DMA制御を使用して，送信FIFOnへ送信データの書き込みを実行する場合は，UBnFIC2レジスタのUBnTT3-UBnTT0ビットで指定する送信トリガ設定数 = 1バイトとしてください。1バイト以外を指定した場合の動作は保証できません。

(7) FIFOモード時の連続送信（ポインタ・モード時）での初期化

送信処理中に初期化を実施する場合は，UBnSTRレジスタのUBnTSFビットが0であることを確認してください（FIFO送信完了割り込み（UBTIFn）での認識も可能です）。UBnTSFビットが1のときに初期化を実行する場合は，送信データの保証はできません。

(8) FIFOモード時（ポインタ・モード指定）の受信動作

FIFOモード時にポインタ・モードを指定した場合にUBnFIS0レジスタを参照して受信FIFOnの格納バイト数分まで受信FIFOnから読み出すと，受信完了割り込み（UBTIRn）が発生したのにもかかわらず，受信FIFOnにデータが格納されていない（UBnFIS0レジスタのUBnRB4-UBnRB0ビット = 00000）場合があります。その場合は，受信FIFOnからはデータの読み出しをしないでください。受信FIFOnからのデータの読み出しは，必ず受信FIFOnの格納バイト数 = 1バイト以上（UBnRB4-UBnRB0ビット = 00000以外）を確認してから行ってください。

10. 3　クロック同期式シリアル・インタフェース30, 31（CSI30, CSI31）

10. 3. 1　特　　徴

○高速転送　マスタ・モード／スレーブ・モード時：最大5.5 Mbps

○全二重通信

送信，受信は，独立に行うことができません（送受信同時動作）。

○マスタ・モードとスレーブ・モードを選択可能

○送信データ長：8-16ビット（1ビット単位で選択可能）

○転送データのMSB先頭／LSB先頭を切り替え可能

○3線式　SOn　：シリアル・データ出力

SIn　：シリアル・データ入力

$\overline{\text{SCKn}}$：シリアル・クロック入出力

○ビット・レート

マスタ・モード時　：BRG出力（クロック同期式シリアル・インタフェース・クロック選択レジスタn（CSIC3n）のCKS3n2-CKS3n0ビット，MDLn2-MDLn0ビットで選択）

スレーブ・モード時：マスタからのクロック入力（CSIC3nレジスタのCKS3n2-CKS3n0ビット = 111設定時）

○割り込みソース2種

・送受信完了割り込み（INTCSI3n）

・CSIBUFnオーバフロー割り込み（INTCOVF3n）

○送信モード，受信モード，送受信モードを選択可能

・送信モード　：送信許可状態で送信データCSIバッファ・レジスタ3n（SFDB3n）に送信データをライトすることで送信を開始します（10. 3. 5（11）送信モード参照）。

・受信モード　：受信許可状態で送信データCSIバッファ・レジスタ3n（SFDB3n）にダミー・データをライトする処理をトリガとして受信を開始します（10. 3. 5（12）受信モード参照）。

・送受信モード：送受信許可状態で送信データCSIバッファ・レジスタ3n（SFDB3n）に送信データをライトする処理をトリガとして送受信を開始します（10. 3. 5（13）送受信モード参照）。

○16ビットの送受信バッファ（CSIBUFn）を16本内蔵

○専用ボー・レート・ジェネレータ内蔵

備考　n = 0, 1

10. 3. 2　構　　成

クロック同期式シリアル・インタフェース・モード・レジスタ3n（CSIM3n）によって，CSI3nを制御します（n = 0, 1）。

（1）クロック同期式シリアル・インタフェース・モード・レジスタ30, 31（CSIM30, CSIM31）

CSIM3nレジスタは，CSI3nの動作を指定する8ビット・レジスタです。

（2）クロック同期式シリアル・インタフェース・クロック選択レジスタ30, 31（CSIC30, CSIC31）

CSIC3nレジスタは，CSI3nの動作クロックと動作モードを制御する8ビット・レジスタです。

（3）シリアルI/Oシフト・レジスタ0,1（SIO0, SIO1）

SIOnレジスタは，シリアル・データ←→パラレル・データの変換を行う8ビット・レジスタです。SIOnは送信および受信の両方に使用されます。

データは，MSB側またはLSB側からシフト・イン（受信）またはシフト・アウト（送信）されます。

（4）受信データ・バッファ・レジスタ30, 31（SIRB30, SIRB31）

SIRB3nレジスタは，受信データを格納する16ビット・バッファ・レジスタです。上位8ビット（SIRB3nH），下位8ビット（SIRB3nL）に分割した8ビット・バッファ・レジスタとしても使用できます。

（5）送信データCSIバッファ・レジスタ30, 31（SFDB30, SFDB31）

SFDB3nレジスタは，送信データを格納する16ビット・バッファ・レジスタです。上位8ビット（SFDB3nH），下位8ビット（SFDB3nL）に分割した8ビット・バッファ・レジスタとしても使用できます。

（6）CSIBUF状態レジスタ30, 31（SFA30, SFA31）

SFA3nレジスタは，CSIデータ・バッファ・レジスタn（CSIBUFn）または転送の状態を表示する8ビット・レジスタです。

（7）転送データ長選択レジスタ30, 31（CSIL30, CSIL31）

CSIL3nレジスタは，CSI3n転送データ長を選択する8ビット・レジスタです。

（8）転送データ数指定レジスタ30, 31（SFN30, SFN31）

SFN3nレジスタは，連続モード時のCSI3n転送データ数を設定する8ビット・レジスタです。

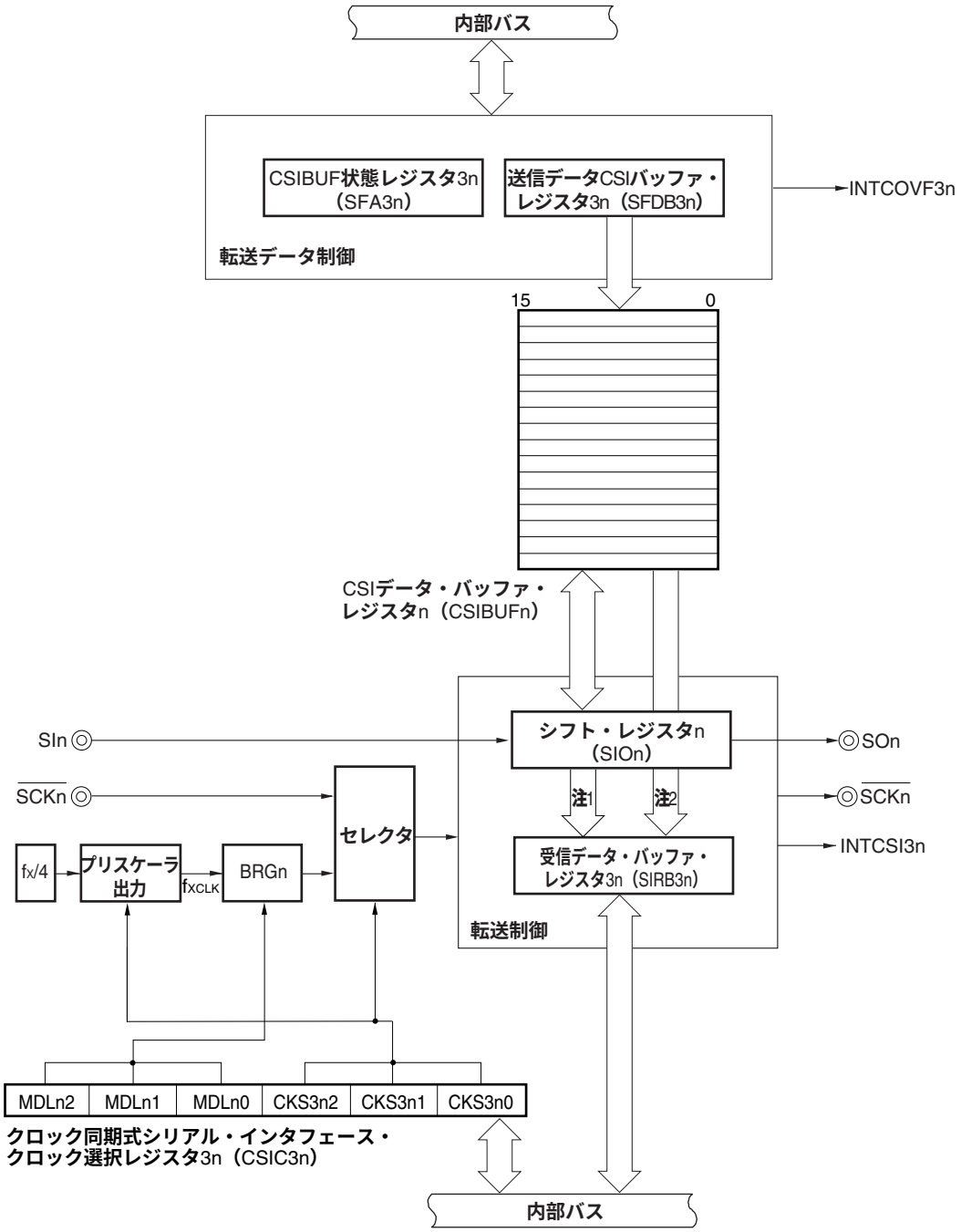
（9）CSIデータ・バッファ・レジスタ0, 1（CSIBUF0, CSIBUF1）

転送する送信データをSFDB3nレジスタに連続ライトすることにより，自動的にライト用CSIBUFnポインタをインクリメントしながらCSIBUFnレジスタ内にデータを格納することができます（CSIBUFn）。

CSIBUFnレジスタは16ビット・バッファ・レジスタです。

連続モードでは，受信データをSIRB3nレジスタから，続けてリードすることで，自動的にリード用CSIBUFnポインタをインクリメントしながら，CSIBUFnレジスタ内の受信済みデータを順次リードできます。

図10ー22　クロック同期式シリアル・インタフェース30, 31のブロック図



注1.　シングル・モード時

2.　連続モード時

備考1.　n = 0, 1

2.　f_X：メイン・クロック

f_{XCLK}：CSIC3nレジスタのCKS3n2-CKS3n0ビットで選択した基本クロック

10. 3. 3 制御レジスタ

CSI30は，UART0と端子を兼用しているため，あらかじめPMC1, PFC1レジスタでCSI30モードに設定する必要があります（10. 1. 1 UART0とCSI30のモード切り替え参照）。

（1）クロック同期式シリアル・インタフェース・モード・レジスタ30, 31（CSIM30, CSIM31）

CSIM3nレジスタは，CSI3nの動作を制御するレジスタです（n = 0, 1）。

8/1ビット単位でリード／ライト可能です。

ビット0には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. TRMDn, DIRn, CSITn, CSWEnビットへのライトは，CTXEnビット = 0 および CRXEnビット = 0のときのみ可能です。

2. CSI3nを使用する場合には，必ずCSI3n機能に関連する外部端子をコントロール・モードに設定し，CSICAEnビットをセット（1）してください。そのあとに，ほかのビットの設定を行ってください。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
CSIM30	CSICAE0	CTXE0	CRXE0	TRMD0	DIR0	CSIT0	CSWE0	0	FFFFFD00H	00H
CSIM31	CSICAE1	CTXE1	CRXE1	TRMD1	DIR1	CSIT1	CSWE1	0	FFFFFD20H	00H

ビット位置	ビット名	意　味
7	CSICAEn	動作クロックを制御します。 0：CSI3nへのクロック供給を停止 1：CSI3nへクロックを供給 注意1. CSICAEnビット = 0にすると，CSI3nユニットはリセット状態となり，CSI3nは停止します。CSI3nを動作させる場合には，まずCSICAEnビット = 1にしてください。 2. CSICAEnビットを0→1，1→0と書き換える場合は，同時にCSIM3nレジスタのCSICAEnビット以外のビットを書き換えることは禁止です。 また，CSICAEnビット = 0のときに，CSIM3nレジスタのCSICAEnビット以外のビット，およびSFDB3n, SFDB3nL, SFA3nレジスタの書き換えは禁止します。
6	CTXEn	送信許可／禁止を指定します。 0：送信禁止 1：送信許可 注意1. CTXEnビットは，CSICAEnビットをクリア（0）するとリセットされます。 2. CTXEnビットをクリア（0）する場合は，SFA3n.FPCLRnビットをセット（1）し，CSIBUFnポインタをクリア（0）してから行ってください。

備考 n = 0, 1

(2/2)

ビット位置	ビット名	意　味
5	CRXEn	受信許可／禁止を指定します。 0：受信禁止 1：受信許可 注意 CRXEnビットは，CSICAEnビットをクリア（0）するとリセットされます。
4	TRMDn	転送モードを指定します。 0：シングル・モード 1：連続モード
3	DIRn	SFDB3nレジスタからCSIBUFnレジスタへのライト／SIRB3n，CSIBUFnレジスタからのリード時の転送方向を指定します。 0：転送データ先頭ビットはMSB 1：転送データ先頭ビットはLSB
2	CSITn	送受信完了割り込み信号（INTCSI3n）の遅延制御を行います（10. 3. 5（14）送受信完了割り込み（INTCSI3n）の遅延制御機能参照）。 0：遅延なし 1：遅延モード（1データの転送終了時に半サイクルの遅延が挿入されるため，次のデータ転送も半サイクル遅れる） 注意1. 遅延モード（CSITビット = 1）は，マスタ・モード（CSIC3nレジスタのCKS3n2-CKS3n0ビットが111以外）のときのみ有効です。スレーブ・モード（CKS3n2-CKS3n0ビットが111）時は，遅延モードに設定しないでください。設定しても，INTCSI3nはCSITnビットの影響を受けません。 2. 連続モード（TRMDnビット = 1）時にCSITnビット = 1に設定した場合，SFN3nレジスタのSFNn3-SFNn0ビットで設定した最終データ以外の転送終了時にINTCSI3n割り込み自体は出力されませんが，各データ転送間に半クロック分の遅延は挿入できます。
1	CSWEn	転送ウエイトの許可／禁止を指定します。 0：転送ウエイト禁止（転送スタート時に1ウエイト挿入しない） 1：転送ウエイト許可（転送スタート時に1ウエイト挿入する） 注意 転送ウエイトの挿入（CSWEnビット = 1）は，マスタ・モード（CSIC3nレジスタのCKS3n2-CKS3n0ビットが111以外）のときのみ有効です。スレーブ・モード（CKS3n2-CKS3n0ビットが111）時は，転送ウエイトの挿入をしないでください。設定しても，転送ウエイトは挿入されません。

備考 n = 0, 1

(2) クロック同期式シリアル・インタフェース・クロック選択レジスタ30, 31 **(**CSIC30, CSIC31**)**

CSIC3n**レジスタは，**CSI3n**の動作クロックと動作モードを制御するレジスタです。**

8/1**ビット単位でリード／ライト可能です。**

注意 CSIC3n**レジスタへのライトは，**CSIM3n**レジスタの**CTXEn**ビット** = 0 **および** CRXEn**ビット** = 0**のときのみ可能です。**

(1/3)

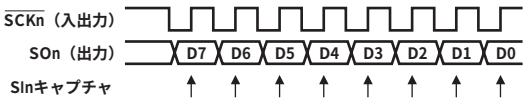
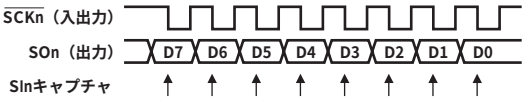
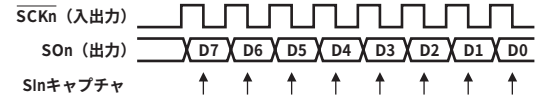
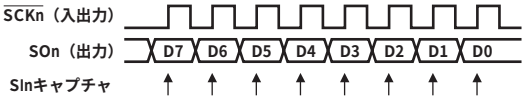
	7	6	5	4	3	2	1	0	アドレス	初期値
CSIC30	MDL02	MDL01	MDL00	CKP0	DAP0	CKS302	CKS301	CKS300	FFFFFD01H	07H
CSIC31	MDL12	MDL11	MDL10	CKP1	DAP1	CKS312	CKS311	CKS310	FFFFFD21H	07H

ビット位置	ビット名	意　味
7-5	MDLn2- MDLn0	**転送クロック（**BRGn**出力信号）を指定します。** MDLn2 / MDLn1 / MDLn0 / **設定値 (N)** / **転送クロック (BRGn出力信号)** 0 / 0 / 0 / — / BRGn**ストップ・モード（パワー・セーブ）** 0 / 0 / 1 / 1 / $f_{XCLK}/2$ 0 / 1 / 0 / 2 / $f_{XCLK}/4$ 0 / 1 / 1 / 3 / $f_{XCLK}/6$ 1 / 0 / 0 / 4 / $f_{XCLK}/8$ 1 / 0 / 1 / 5 / $f_{XCLK}/10$ 1 / 1 / 0 / 6 / $f_{XCLK}/12$ 1 / 1 / 1 / 7 / $f_{XCLK}/14$ **注意　スレーブ・モード（**CKS3n2-CKS3n0**ビット** = 111**）時には，**MDLn2-MDLn0**ビット** = 000**（**BRGn**ストップ・モード）に設定することを推奨します。** **備考** f_{XCLK}**：**CKS3n2-CKS3n0**ビットで選択した基本クロック**

備考 n = 0, 1

(2/3)

ビット位置	ビット名	意　味
4, 3	CKPn, DAPn	~~SCKn~~に対するデータの送信，受信タイミングを指定します。

CKPn	DAPn	動作モード
0	0	
0	1	
1注	0	
1注	1	

注　マスタ・モード（CKS3n2-CKS3n0ビットが111以外）時にCKPnビット = 1とした場合，~~SCKn~~端子の出力は，インアクティブ時にロウ・レベル出力となります。ただし，CSIM3nレジスタのCTXEnビット = 0（送信禁止）およびCRXEnビット = 0（受信禁止）とした場合，~~SCKn~~端子の出力は，ハイ・レベルとなります。
このためCSI3nの未使用時に~~SCKn~~端子の出力をロウ・レベルに固定とする場合は次のようにしてください。

【~~SCK0~~端子（~~SCK1~~端子）の場合】
①P1レジスタのP11ビット = 0にする（P2レジスタのP23ビット = 0にする）
　：ポート出力レベルをロウ・レベルに設定
②PM1レジスタのPM11ビット = 0にする（PM2レジスタのPM23ビット = 0にする）
　：ポートを出力モードに設定
③PMC1レジスタのPMC11ビット = 0にする（PMC2レジスタのPMC23ビット = 0にする）
　：端子をポート・モードに切り替え（ロウ・レベル出力固定）
④CSIM30レジスタのCTXE0ビット = 0およびCRXE0ビット = 0にする
　（CSIM31レジスタのCTXE1ビット = 0およびCRXE1ビット = 0にする）
　：送信および受信禁止
⑤CSIM30レジスタのCTXE0ビット = 1またはCRXE0ビット = 1にする
　（CSIM31レジスタのCTXE1ビット = 1またはCRXE1ビット = 1にする）
　：送信または受信許可（送受信許可も可能）
⑥PMC1レジスタのPMC11ビット = 1にする（PMC2レジスタのPMC23ビット = 1にする）
　：端子をコントロール・モード（SCK0, SCK1端子出力）に切り替え）

なお，①，②のレジスタ設定値は保持されているため，一度設定すれば，③-⑥のみの設定で制御できます。

備考　n = 0, 1

(3/3)

ビット位置	ビット名	意　　味
2-0	CKS3n2- CKS3n0	基本クロック（プリスケーラ出力）を指定します。

CKS 3n2	CKS 3n1	CKS 3n0	設定値 (K)	基本クロック (f_{XCLK})	モード
0	0	0	0	fx/4	マスタ・モード
0	0	1	1	fx/8	マスタ・モード
0	1	0	2	fx/16	マスタ・モード
0	1	1	3	fx/32	マスタ・モード
1	0	0	4	fx/64	マスタ・モード
1	0	1	5	fx/128	マスタ・モード
1	1	0	6	fx/256	マスタ・モード
1	1	1	7	外部クロック ($\overline{SCKn}$)	スレーブ・モード

注意　CSIC3n**レジスタの**CKS3n2-CKS3n0**ビット** = 000**に設定した場合，**
CSIC3n**レジスタの**MDLn2-MDLn0**ビット** = 001**の設定は禁止します。**

備考　fx：**メイン・クロック**

備考　n = 0, 1

(3) **受信データ・バッファ・レジスタ**30, 31（SIRB30, SIRB31）

SIRB3nレジスタは，受信データを格納する16ビット・バッファ・レジスタです。

連続モード（CSIM3nレジスタのTRMDnビット = 1）時には，続けてリードすることで，リード用CSIBUFnポインタをインクリメントしながら，CSIBUFnレジスタ内の受信済みデータを順次リードできます。

シングル・モード（CSIM3nレジスタのTRMDnビット = 0）時には，SIRB3nレジスタをリードすることで，受信済みデータをリードしてSIRB3nレジスタが空になったことを判断します。

SIRB3nレジスタは16ビット単位でリードのみ可能です。

SIRB3nレジスタの上位8ビットをSIRB3nHレジスタ，下位8ビットをSIRB3nLレジスタとして使用した場合は，8ビット単位でリードのみ可能です。なお，8ビット単位でリードする場合は，必ずSIRB3nHレジスタ，SIRB3nLレジスタの順番で行ってください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値注
SIRB30	SIRB 015	SIRB 014	SIRB 013	SIRB 012	SIRB 011	SIRB 010	SIRB 09	SIRB 08	SIRB 07	SIRB 06	SIRB 05	SIRB 04	SIRB 03	SIRB 02	SIRB 01	SIRB 00	FFFFFD02H	0000H
SIRB31	SIRB 115	SIRB 114	SIRB 113	SIRB 112	SIRB 111	SIRB 110	SIRB 19	SIRB 18	SIRB 17	SIRB 16	SIRB 15	SIRB 14	SIRB 13	SIRB 12	SIRB 11	SIRB 10	FFFFFD22H	0000H

注　連続モード（CSIM3nレジスタのTRMDnビット = 1）時：不定

ビット位置	ビット名	意　味
15-0	SIRBn15-SIRBn0	受信データを格納します。

備考1.　n = 0, 1

2.　SIRB3nレジスタは，CSIM3nレジスタのCSICAEnビット = 0で0000Hになります。

（4）送信データCSIバッファ・レジスタ30, 31（SFDB30, SFDB31）

SFDB3nレジスタは，送信データを格納する16ビット・バッファ・レジスタです。

ライト時には，ライト用CSIBUFnポインタをインクリメントしながら，CSIBUFnレジスタ内に送信データを順次格納します。

リード時には，最後にライトした送信データの値がリードされます。

SFDB3nレジスタは16ビット単位でリード／ライト可能です。

SFDB3nレジスタの上位8ビットをSFDB3nHレジスタ，下位8ビットをSFDB3nLレジスタとして使用した場合は，8ビット単位でリード／ライト可能です。なお，8ビット単位でライトする場合は，必ずSFDB3nHレジスタ，SFDB3nLレジスタの順番で行ってください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SFDB30	SFDB 015	SFDB 014	SFDB 013	SFDB 012	SFDB 011	SFDB 010	SFDB 09	SFDB 08	SFDB 07	SFDB 06	SFDB 05	SFDB 04	SFDB 03	SFDB 02	SFDB 01	SFDB 00	FFFFFD06H	0000H
SFDB31	SFDB 115	SFDB 114	SFDB 113	SFDB 112	SFDB 111	SFDB 110	SFDB 19	SFDB 18	SFDB 17	SFDB 16	SFDB 15	SFDB 14	SFDB 13	SFDB 12	SFDB 11	SFDB 10	FFFFFD26H	0000H

ビット位置	ビット名	意　味
15-0	SFDBn15-SFDBn0	送信データを格納します。

備考　n = 0, 1

(5) CSIBUF状態レジスタ30, 31 (SFA30, SFA31)

CSIBUFnレジスタまたは転送の状態を表示するレジスタです。

8/1ビット単位でリード／ライト可能です（ただし，ビット6-0はリードのみ可能です。ライトしても変化しません）。

注意1. CSIM3nレジスタのCSICAEnビット = 1およびメイン・クロック（fx）が停止している場合は，SFA3nレジスタのリードは禁止します。

2. 転送中のSFFULn, SFEMPn, CSOTn, SFPn3-SFPn0ビット値は，常に変化する可能性があるため，転送中のリード値は実際の値とは異なる場合があります。特にCSOTnビットは，単独で使用してください（他のビットと関連付けて使用しないでください）。また，転送終了の判断をSFA3nレジスタで行う場合は，転送予定分の転送データをCSIBUFnレジスタへライト後のSFEMPnビット = 1で判断するようにしてください。

3. メイン・クロック（fx）を84 MHz以下で使用している場合，SFDB3n, SFDB3nLレジスタのライト直後にSFA3nレジスタをリードすると，SFFULn, SFEMPn, SFPn3-SFPn0ビット値の変化が間に合わないことがあります。

4. SFFULnビット = 1になる前にSFA3nレジスタをリードし，17個目のデータをライトした場合，CSIBUFnオーバフロー割り込み（INTCOVF3n）が発生します。

(1/3)

	7	6	5	4	3	2	1	0	アドレス	初期値
SFA30	FPCLR0	SFFUL0	SFEMP0	CSOT0	SFP03	SFP02	SFP01	SFP00	FFFFFD08H	20H
SFA31	FPCLR1	SFFUL1	SFEMP1	CSOT1	SFP13	SFP12	SFP11	SFP10	FFFFFD28H	20H

ビット位置	ビット名	意　味
7	FPCLRn	CSIBUFnポインタのクリアを指定します。 0：動作なし 1：全CSIBUFnポインタをクリア（0） 注意1. リード時には常に0が読み出されます。 2. 転送途中にFPCLRnビット = 1のライトを行った場合，転送は中断されます。また，全CSIBUFnポインタがクリア（0）されるため，CSIBUFnレジスタ内の残りのデータも無視されます。 FPCLRnビット = 1のライトを行った場合には，必ずSFA3nレジスタのリードを行い，全CSIBUFnポインタが確実にクリア（0）されたこと（SFFULnビット = 0，SFEMPnビット = 1，SFPn3-SFPn0ビット = 0000）を確認してください。FPCLRnビット = 0のライトを行っても何も起こりません。

備考1. n = 0, 1

2. SFA3nレジスタは，CSIM3nレジスタのCSICAEnビット = 0で20Hになります。

(2/3)

ビット位置	ビット名	意　味
6	SFFULn	CSIBUFnレジスタのfull状態フラグです。 0：CSIBUFnレジスタに空きあり 1：CSIBUFnレジスタはfull状態 注意1. CSIM3nレジスタのCSICAEnビット = 0，FPCLRビット = 1のライトでクリア（0）されます。 2. 連続モード（CSIM3nレジスタのTRMDnビット = 1）時に16個のデータ転送を指定した場合（SFN3nレジスタのSFNn3-SFNn0ビット = 0000），シングル・モード（CSIM3nレジスタのTRMDnビット = 0）と同様にCSIBUFnレジスタにデータが16個あるときにはSFFULnビット = 1になり，1つでもデータ転送が終了したときにはSFFULnビット = 0になりますが，実際にCSIBUFnレジスタに空きができたわけではありません。
5	SFEMPn	CSIBUFnレジスタのempty状態フラグです。 0：CSIBUFnレジスタにデータあり 1：CSIBUFnレジスタはempty状態 注意1. CSIM3nレジスタのCSICAEnビット = 0，FPCLRビット = 1のライトでセット（1）されます。 2. CSIBUFnレジスタ内にライトされた転送データ分の転送が終了すると，SFEMPnビット = 1になります（CSIBUFnレジスタ内に受信データが格納されていてもSFEMPnビット = 1になります）。
4	CSOTn	転送状態フラグです。 0：アイドル状態 1：転送中または転送開始処理中 注意1. CSIM3nレジスタのCSICAEnビット = 0，FPCLRnビット = 1のライト，またはCSIM3nレジスタのCTXEnビット = 0およびCRXEnビット = 0でクリア（0）されます。 2. シングル・モード（CSIM3nレジスタのTRMDnビット = 0）時には転送開始からCSIBUFnレジスタ内の転送データがなくなるまで，連続モード（CSIM3nレジスタのTRMDnビット = 1）時には転送開始から指定したデータ数分の転送が終了するまで“1”を保持します。

備考　n = 0, 1

(3/3)

ビット位置	ビット名	意　　味
3-0	SFPn3- SFPn0	・シングル・モード（CSIM3nレジスタのTRMDnビット = 0）時には，「CSIBUFnレジスタ内の残りの転送データ数（ライト用CSIBUFnポインタ値－SIOnロード用CSIBUFnポインタ値）」がリードできます。 ・連続モード（CSIM3nレジスタのTRMDnビット = 1）時には，「転送完了したデータ数（SIOnロード／ストア用CSIBUFnポインタの値）」がリードできます。ただし，SFPn3-SFPn0ビット = 0Hの場合の値はSFEMPnビットの設定により次のようになります。 SFEMPnビット = 0のとき：転送完了したデータ数 = 0個 SFEMPnビット = 1のとき：転送完了したデータ数 = 16個，または転送開始前（転送データ・ライト前）の状態 **注意**　FPCLRnビット = 1のライトにより，動作クロックに同期してクリア（0）されます。ただし，CSIM3nレジスタのCSICAEnビット = 0またはFPCLRnビット = 1のライトを行うまで値は保持されます。

備考　n = 0, 1

(6) 転送データ長選択レジスタ30, 31 (CSIL30, CSIL31)

CSIL3n**レジスタは，**CSI3n**の転送データ長を選択するレジスタです。**

8/1**ビット単位でリード／ライト可能です。**

ビット7-4**には必ず**0**を設定してください。**1**を設定した場合の動作は保証できません。**

注意 CSIL3n**レジスタは，**CSIM3n**レジスタの**CTXEn**ビット** = 1 **または** CRXEn**ビット** = 1**の場合は転送中の可能性があります。**CSIL3n**レジスタへのライトは必ず**CTXEn**ビット** = 0 **および** CRXEn**ビット** = 0**に設定してから実行してください。**

	7	6	5	4	3	2	1	0	アドレス	初期値
CSIL30	0	0	0	0	CCL03	CCL02	CCL01	CCL00	FFFFFD09H	00H
CSIL31	0	0	0	0	CCL13	CCL12	CCL11	CCL10	FFFFFD29H	00H

ビット位置	ビット名	意　味
3-0	CCLn3- CCLn0	**転送データ長を指定します。**

CCLn3	CCLn2	CCLn1	CCLn0	転送データ長
0	0	0	0	16**ビット**
1	0	0	0	8**ビット**
1	0	0	1	9**ビット**
1	0	1	0	10**ビット**
1	0	1	1	11**ビット**
1	1	0	0	12**ビット**
1	1	0	1	13**ビット**
1	1	1	0	14**ビット**
1	1	1	1	15**ビット**
その他				**設定禁止**

注意 転送データ長に16**ビット**（CCLn3-CCLn0**ビット** = 0000）**以外を指定した場合，**SIRB3n, CSIBUFn**レジスタの上位側の余ったビットには不定値がリードされます**（10. 3. 5（3）**データ転送方向指定機能参照**）。**

備考 n = 0, 1

(7) 転送データ数指定レジスタ30, 31（SFN30, SFN31）

SFN3n**レジスタは，連続モード**（CSIM3n**レジスタの**TRMDn**ビット** = 1）**時の**CSI3n**の転送データ数を設定するレジスタです。**

8/1**ビット単位でリード／ライト可能です。**

	7	6	5	4	3	2	1	0	アドレス	初期値
SFN30	0	0	0	0	SFN03	SFN02	SFN01	SFN00	FFFFFD0CH	00H
SFN31	0	0	0	0	SFN13	SFN12	SFN11	SFN10	FFFFFD2CH	00H

ビット位置	ビット名	意　味
3-0	SFNn3- SFNn0	**転送データ数を指定します。**

SFNn3	SFNn2	SFNn1	SFNn0	転送データ数
0	0	0	0	16
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

注意　SFNn3-SFNn0**ビット設定値**（CSI3n**転送データ数**）**を越えるデータを**CSIBUFn**レジスタへライトすることは禁止します（ライトしてもそのデータは無視されます）。**

備考　n = 0, 1

10. 3. 4　専用ボー・レート・ジェネレータ0, 1（BRG0, BRG1）

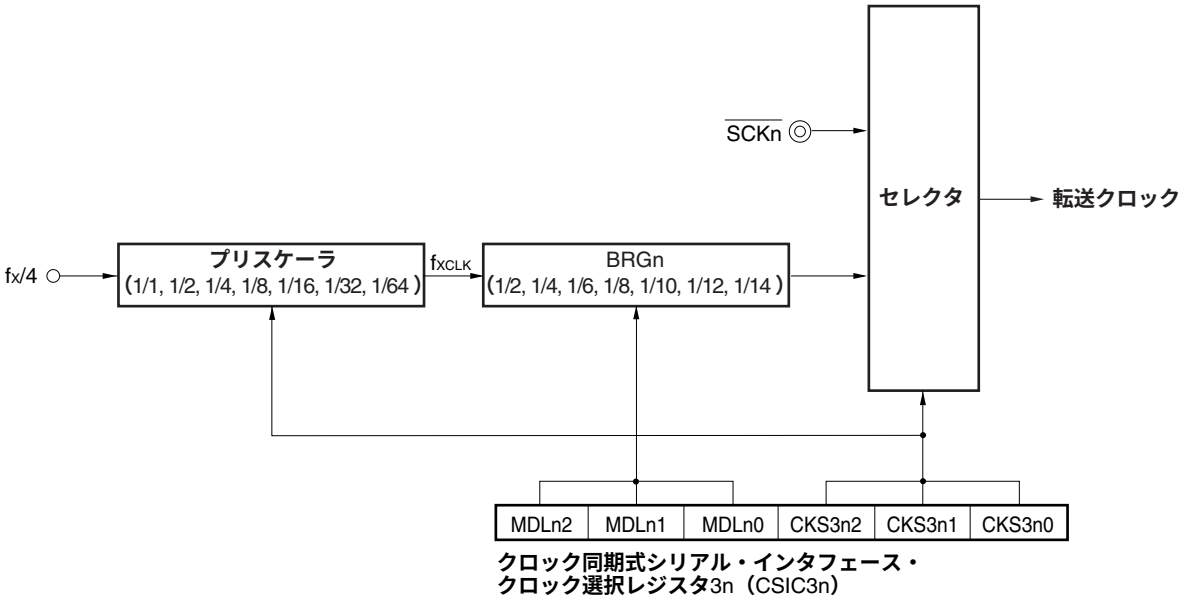
CSI3nの転送クロックは，専用ボー・レート・ジェネレータ出力または外部クロックから選択できます（n = 0, 1）。

シリアル・クロック・ソースは，CSIC3nレジスタで指定します。

マスタ・モードを指定した場合（CSIC3nレジスタのCKS3n2-CKS3n0ビット = 111以外）は，クロック・ソースとしてBRGnが選択されます。

（1）転送クロック

図10－23　CSI3nの転送クロック



備考1.　n = 0, 1

2.　fx：メイン・クロック

fXCLK：CSIC3nレジスタのCKS3n2-CKS3n0ビットで選択した基本クロック

(2) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{F}{N \times 2^{(K+1)}} \ [\text{bps}]$$

F = fx/4（fx：メイン・クロック）

K = CSIC3nレジスタのCKS3n2-CKS3n0ビットで設定した値（K = 0, 1, 2, … , 6）

N = CSIC3nレジスタのMDLn2-MDLn0ビットで設定した値（N = 1, 2, 3, … , 7）

注意 1. CSIC3n レジスタの CKS3n2-CKS3n0 ビット = 000 に設定した場合，CSIC3n レジスタの MDLn2-MDLn0ビット = 001の設定は禁止します。

2. マスタ・モード（CSIC3nレジスタのCKS3n2-CKS3n0ビット = 111以外）時の最大転送レートは，5.5 Mbpsであるため，5.5 Mbpsを越えるような設定は行わないでください。

[例] 133 MHzで動作させる場合には，CSIC3nレジスタのCKS3n2-CKS3n0ビット = 000，MDLn2-MDLn0ビット = 011の設定，150 MHzで動作させる場合には，CKS3n2-CKS3n0ビット = 000, MDLn2-MDLn0ビット = 100などの設定が最大転送レートとなります。

10. 3. 5 動　　作

(1) 動作モード一覧

表10－6　動作モード一覧

TRMDnビット	CKS3n2-CKS3n0ビット	CTXEn, CRXEnビット	DIRnビット	CSITnビット	CSWEnビット
シングル・モード	マスタ・モード	送信／受信／送受信	MSB/LSB先頭	INTCSI3n遅延モードの許可／禁止	転送ウエイト禁止
					転送ウエイト許可
	スレーブ・モード			－	－
連続モード	マスタ・モード			INTCSI3n遅延モードの許可／禁止	転送ウエイト禁止
					転送ウエイト許可
	スレーブ・モード			－	－

備考1.　CTXEnビット　：CSIM3nレジスタのビット6
CRXEnビット　：CSIM3nレジスタのビット5
TRMDnビット　：CSIM3nレジスタのビット4
DIRnビット　：CSIM3nレジスタのビット3
CSITnビット　：CSIM3nレジスタのビット2
CSWEnビット　：CSIM3nレジスタのビット1
CKS3n2-CKS3n0ビット：CSIC3nレジスタのビット2-0

2.　n = 0, 1

(2) CSIデータ・バッファ・レジスタ0, 1（CSIBUF0, CSIBUF1）機能

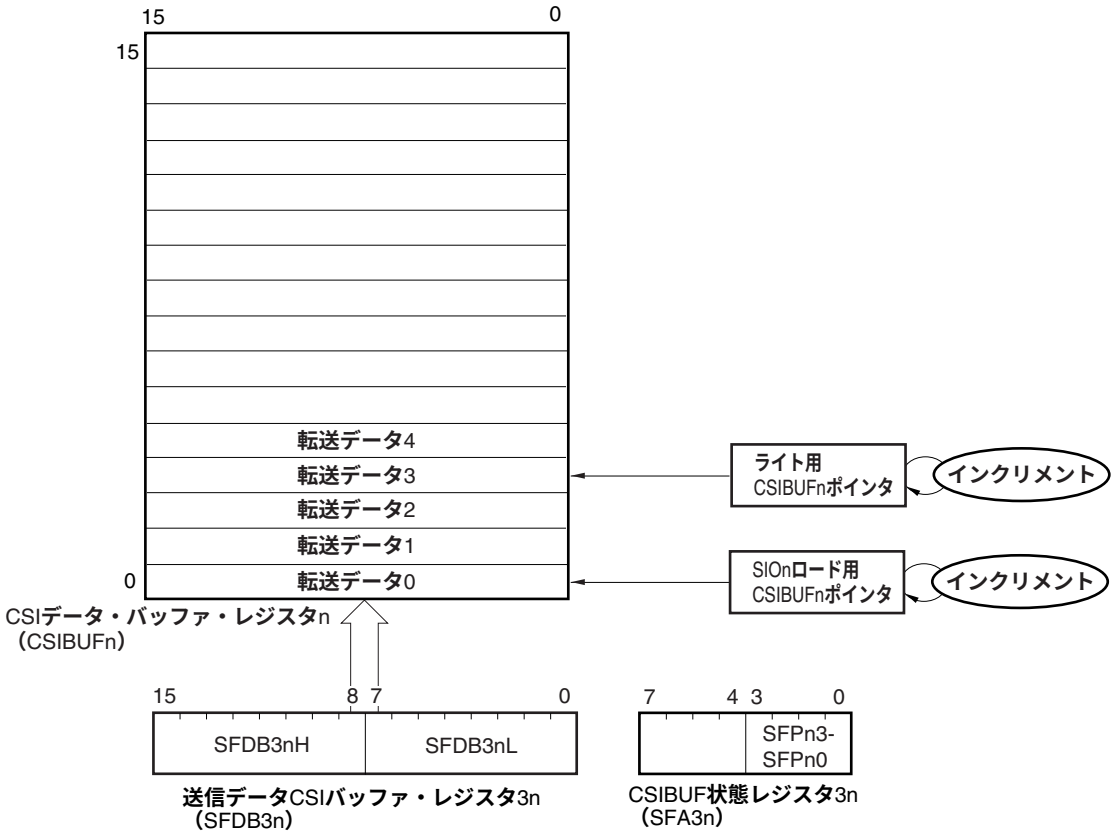
転送する送信データをSFDB3nレジスタに連続ライトすることにより，自動的にライト用CSIBUFnポインタをインクリメントしながらCSIBUFnレジスタ内にデータを格納できます（CSIBUFnレジスタ・サイズは16ビット x 16）（n = 0, 1）。

転送の開始条件（SFA3nレジスタのSFEMPnビット = 0）は，SFDB3nレジスタの下位8ビット側（SFDB3nLレジスタ）へのライトで成立します。このため，転送データ長を9ビット以上（CSIL3nレジスタのCCLn3-CCLn0ビット = 0000, 1001-1111）に指定した場合は，SFDB3nレジスタへの16ビット・ライト，またはSFDB3nH, SFDB3nLレジスタの順で8ビット・ライトするようにデータ設定してください。また，転送データ長を8ビット（CSIL3nレジスタのCCLn3-CCLn0ビット = 1000）に指定した場合は，SFDB3nLレジスタへの8ビット・ライト，またはSFDB3nレジスタへの16ビット・ライトするようにデータ設定してください（ただし，SFDB3nLレジスタへの16ビット・ライトを行っても，上位8ビット側（SFDB3nHレジスタ）の8ビット・データは無視され，転送されません）。

SFA3nレジスタのSFFULnビットは，CSIBUFnレジスタ内に16個のデータが存在する場合にセット（1）され，SFFULnビット = 1のとき，さらに17個目の転送データ・ライトを行った場合にCSIBUFnオーバフロー割り込み（INTCOVF3n）を出力します（17個目の転送データはライトされず無視されます）。

シングル・モード（CSIM3nレジスタのTRMDnビット = 0）時，CSIBUFnレジスタ内に16個のデータが存在する場合とは，「ライト用CSIBUFnポインタ値 ＝ SIOnロード用CSIBUFnポインタ値，およびSFA3nレジスタのSFFULnビット = 1」のときです。転送が終了して，SIOnロード用CSIBUFnポインタがインクリメントされると，CSIBUFnレジスタには1個分の空きができます（連続モード（CSIM3nレジスタのTRMDnビット = 1）では，1つのデータ転送が終了してもCSIBUFnレジスタに空きはできません）。

図10ー24　CSIデータ・バッファ・レジスタn（CSIBUFn）機能



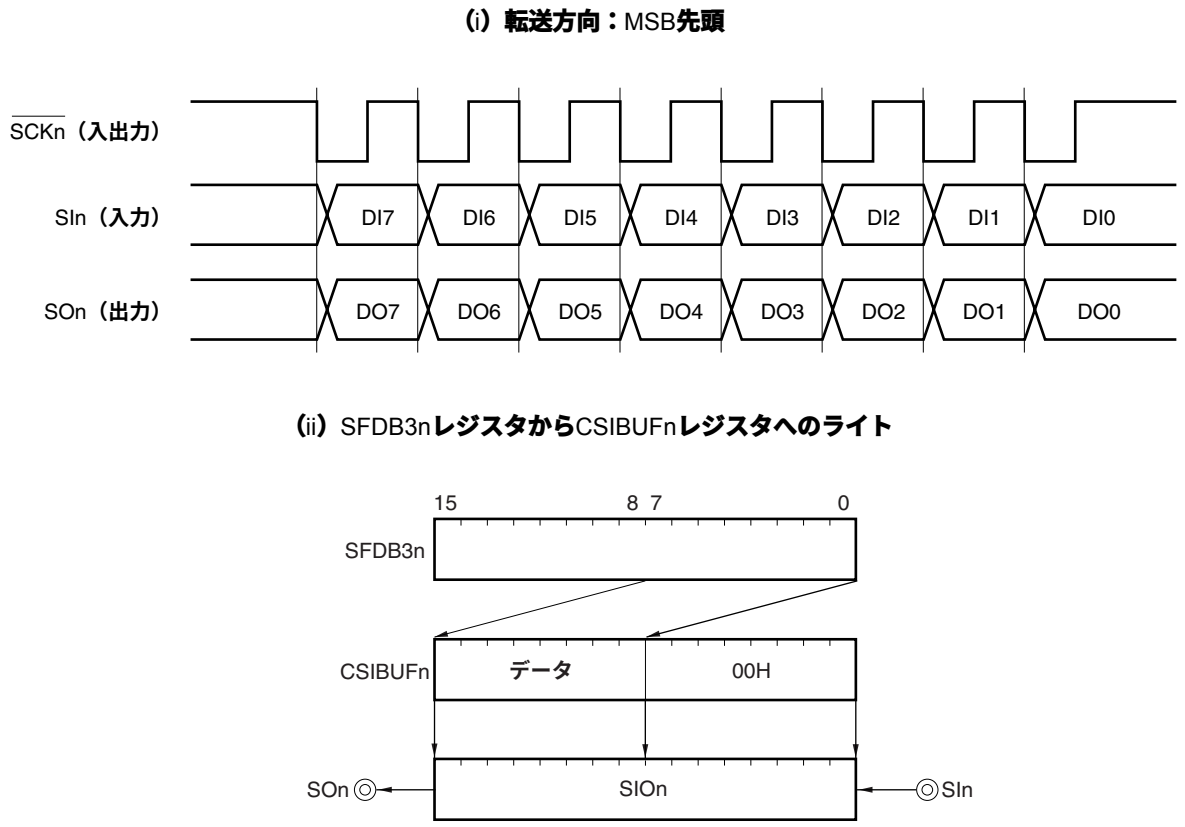
備考　n = 0, 1

(3) データ転送方向指定機能

CSIM3nレジスタのDIRnビットにより，データ転送方向を切り替えることができます（n = 0, 1）。

(a) MSB先頭（DIRnビット = 0）

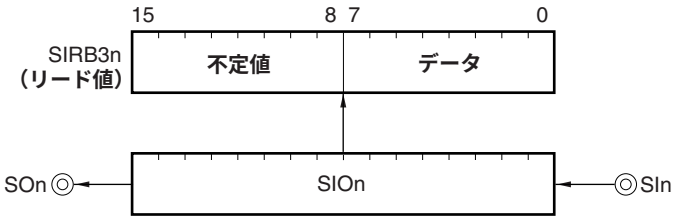
図10－25　転送データ長：8ビット（CSIL3nレジスタのCCLn3-CCLn0ビット = 1000），転送方向：MSB先頭（CSIM3nレジスタのDIRnビット = 0）設定時（1/2）



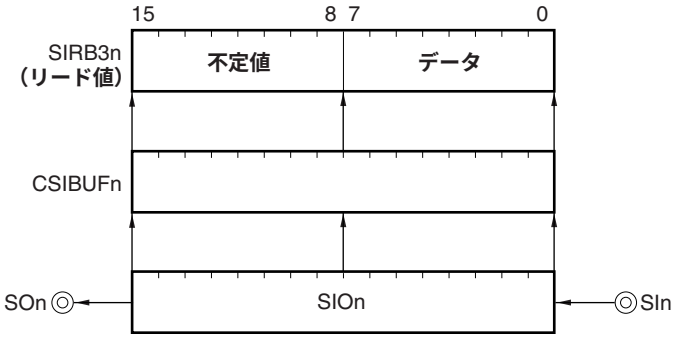
備考　n = 0, 1

図10ー25　**転送データ長：**8**ビット（**CSIL3n**レジスタの**CCLn3-CCLn0**ビット** = 1000**），**
転送方向：MSB**先頭（**CSIM3n**レジスタの**DIRn**ビット** = 0**）設定時（**2/2**）**

（iii**）**SIRB3n**レジスタからのリード（シングル・モード（**CSIM3n**レジスタの**TRMDn**ビット** = 0**）時）**



（iv**）**SIRB3n**レジスタからのリード（連続モード（**CSIM3n**レジスタの**TRMDn**ビット** = 1**）時）**

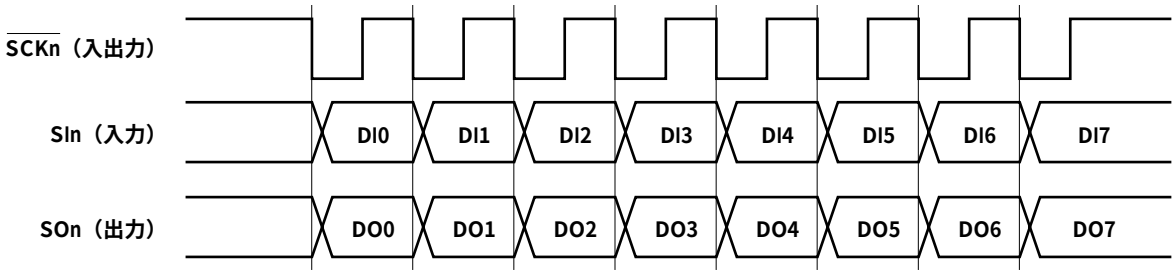


備考　n = 0, 1

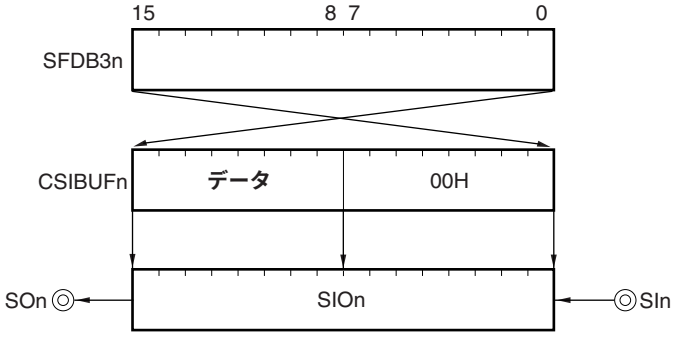
（b）LSB先頭（DIRnビット = 1）

図10－26　転送データ長：8ビット（CSIL3nレジスタのCCLn3-CCLn0ビット = 1000），
転送方向：LSB先頭（CSIM3nレジスタのDIRnビット = 1）設定時（1/2）

（i）転送方向：LSB先頭



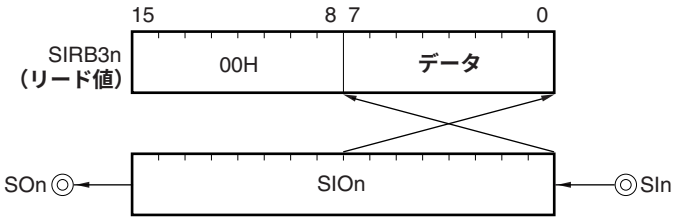
（ii）SFDB3nレジスタからCSIBUFnレジスタへのライト



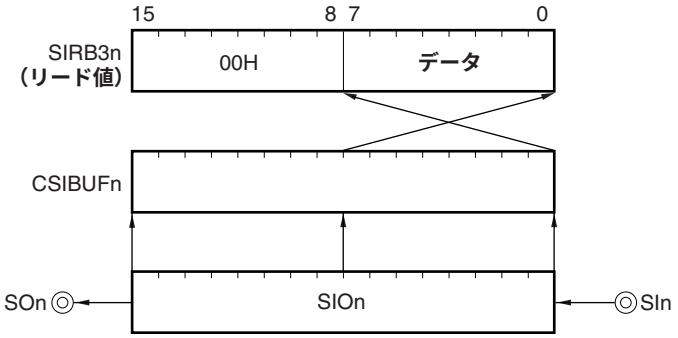
備考　n = 0, 1

図10ー26 転送データ長：8ビット（CSIL3nレジスタのCCLn3-CCLn0ビット = 1000），転送方向：LSB先頭（CSIM3nレジスタのDIRnビット = 1）設定時（2/2）

（iii）SIRB3nレジスタからのリード（シングル・モード（CSIM3nレジスタのTRMDnビット = 0）時）



（iv）SIRB3nレジスタからのリード（連続モード（CSIM3nレジスタのTRMDnビット = 1）時）

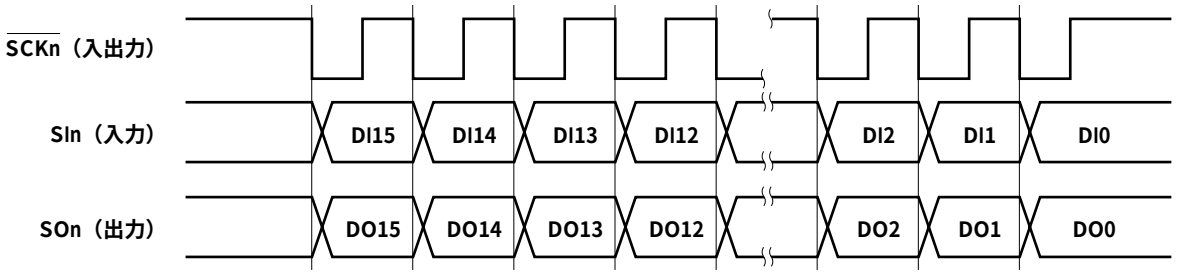


備考 n = 0, 1

(4) 転送データ長変更機能

転送データ長は，CSIL3nレジスタのCCLn3-CCLn0ビットによって，8-16ビットに1ビット単位で設定できます（n = 0, 1）。

図10－27　転送データ長：16ビット（CSIL3nレジスタのCCLn3-CCLn0ビット = 0000），
転送方向：MSB先頭（CSIM3nレジスタのDIRnビット = 0）設定時

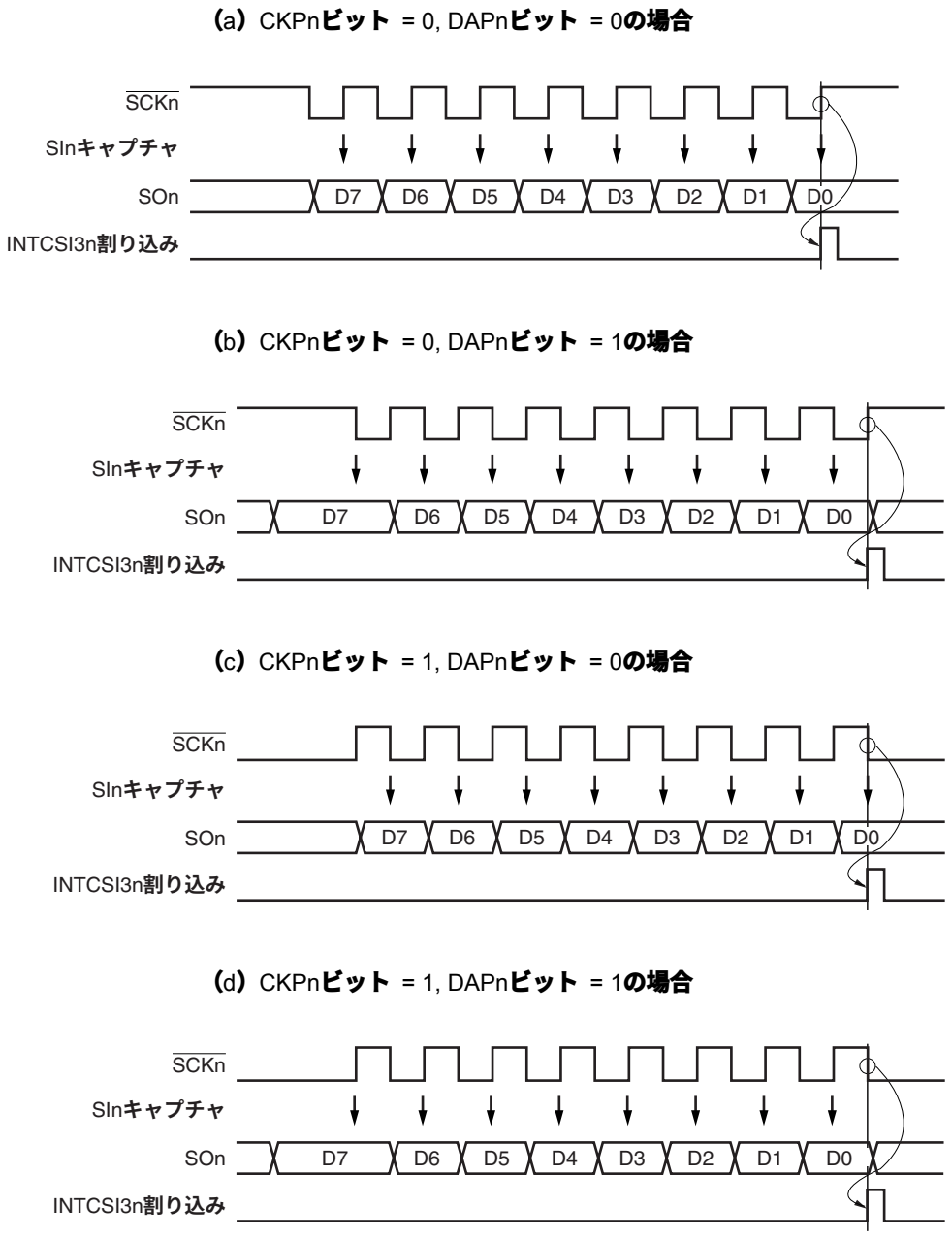


備考　n = 0, 1

(5) シリアル・クロックとデータ・フェーズの切り替え機能

CSIC3nレジスタのCKPn, DAPnビットによって，シリアル・クロックとデータ・フェーズを切り替えることができます（n = 0, 1）。

図10－28　クロック・タイミング



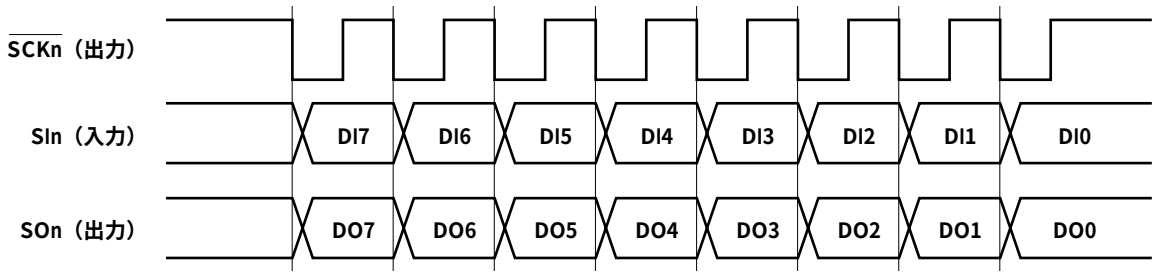
備考　n = 0, 1

(6) マスタ・モード

CSIC3nレジスタのCKS3n2-CKS3n0ビット = 111以外に設定することでマスタ・モードになり，$\overline{\text{SCKn}}$端子に出力する転送クロックによって転送を行います（$\overline{\text{SCKn}}$端子入力は無効です）（n = 0, 1）。

なお，$\overline{\text{SCKn}}$端子出力のディフォールト・レベルは，CSIC3nレジスタのCKPnビット = 0のときはハイ・レベル，CKPn = 1のときはロウ・レベルになります。

図10－29　マスタ・モード（CSIC3nレジスタのCKPn, DAPnビット = 00，CSIL3nレジスタのCCLn3-CCLn0ビット = 1000（転送データ長：8ビット）設定時）

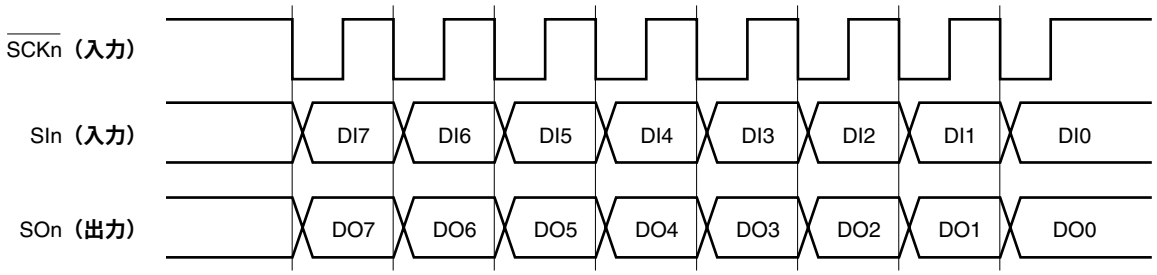


備考　n = 0, 1

(7) スレーブ・モード

CSIC3nレジスタのCKS3n2-CKS3n0ビット = 111に設定することでスレーブ・モードになり，$\overline{\text{SCKn}}$端子に入力される転送クロックによって転送を行います（スレーブ・モード時は，CSIC3nレジスタのMDLn2-MDLn0ビット = 000に設定し，BRGnストップ・モードにすることを推奨します）（n = 0, 1）。

図10－30　スレーブ・モード（CSIC3nレジスタのCKPn, DAPnビット = 00，CSIL3nレジスタのCCLn3-CCLn0ビット = 1000（転送データ長：8ビット）設定時）



備考　n = 0, 1

次にスレーブ・モード時に転送可能状態となる条件を示します。

表10－7　スレーブ・モード時に転送可能状態となる条件

転送モード		CTXEn ビット	CRXEn ビット	CSIBUFnレジスタ	SIRB3nレジスタ，SIOnレジスタ
シングル・モード	送信モード	1	0	CSIBUFnレジスタにデータあり (SFEMPnビット = 0)	－
	受信モード	0	1	CSIBUFnレジスタにダミー・データあり (SFEMPnビット = 0)	SIRB3nレジスタまたは SIOnレジスタが空である
	送受信モード	1	1	CSIBUFnレジスタにデータあり (SFEMPnビット = 0)	
連続モード	送信モード	1	0	CSIBUFnレジスタにデータあり (SFEMPnビット = 0)	－
	受信モード	0	1	CSIBUFnレジスタにダミー・データあり (SFEMPnビット = 0)	－
	送受信モード	1	1	CSIBUFnレジスタにデータあり (SFEMPnビット = 0)	－

注意　データ転送可能状態でないときに，マスタから転送クロックが入力されても正常な転送はできません。

備考1.　CTXEnビット　：CSIM3nレジスタのビット6
　　CRXEnビット　：CSIM3nレジスタのビット5
　　SFEMPnビット　：SFA3nレジスタのビット5

2.　n = 0, 1

(8) 転送クロック選択機能

マスタ・モード（CSIC3nレジスタのCKS3n2-CKS3n0ビット = 111以外）の場合，CSIC3nレジスタのCKS3n2-CKS3n0，MDLn2-MDLn0ビットの設定により，ビット転送レートを選択できます（10. 3. 3（2）クロック同期式シリアル・インタフェース・クロック選択レジスタ30, 31（CSIC30, CSIC31）参照）。

(9) シングル・モード

CSIM3nレジスタのTRMDnビット = 0のとき，シングル・モードとして機能します（n = 0, 1）。

シングル・モードの場合，CTXEnビット = 1またはCRXEnビット = 1，およびCSIBUFnレジスタ内にデータが存在する（SFA3nレジスタのSFEMPnビット = 0）とき，転送を開始します。

CSIBUFnレジスタ内にデータが存在しない（SFEMPnビット = 1）場合は，SFDB3nレジスタに送信データまたはダミー・データがライトされるまでウエイト状態となります。

送信許可状態（CTXEnビット = 1）または受信許可状態（CRXEnビット = 1）の場合にCSIBUFnレジスタにデータが転送されると，SFA3nレジスタのCSOTnビット（転送状態フラグ） をセット（1）し，SIOnロード用CSIBUFnポインタの示す転送データをCSIBUFnレジスタからSIOnレジスタへロードし，転送処理を開始します。

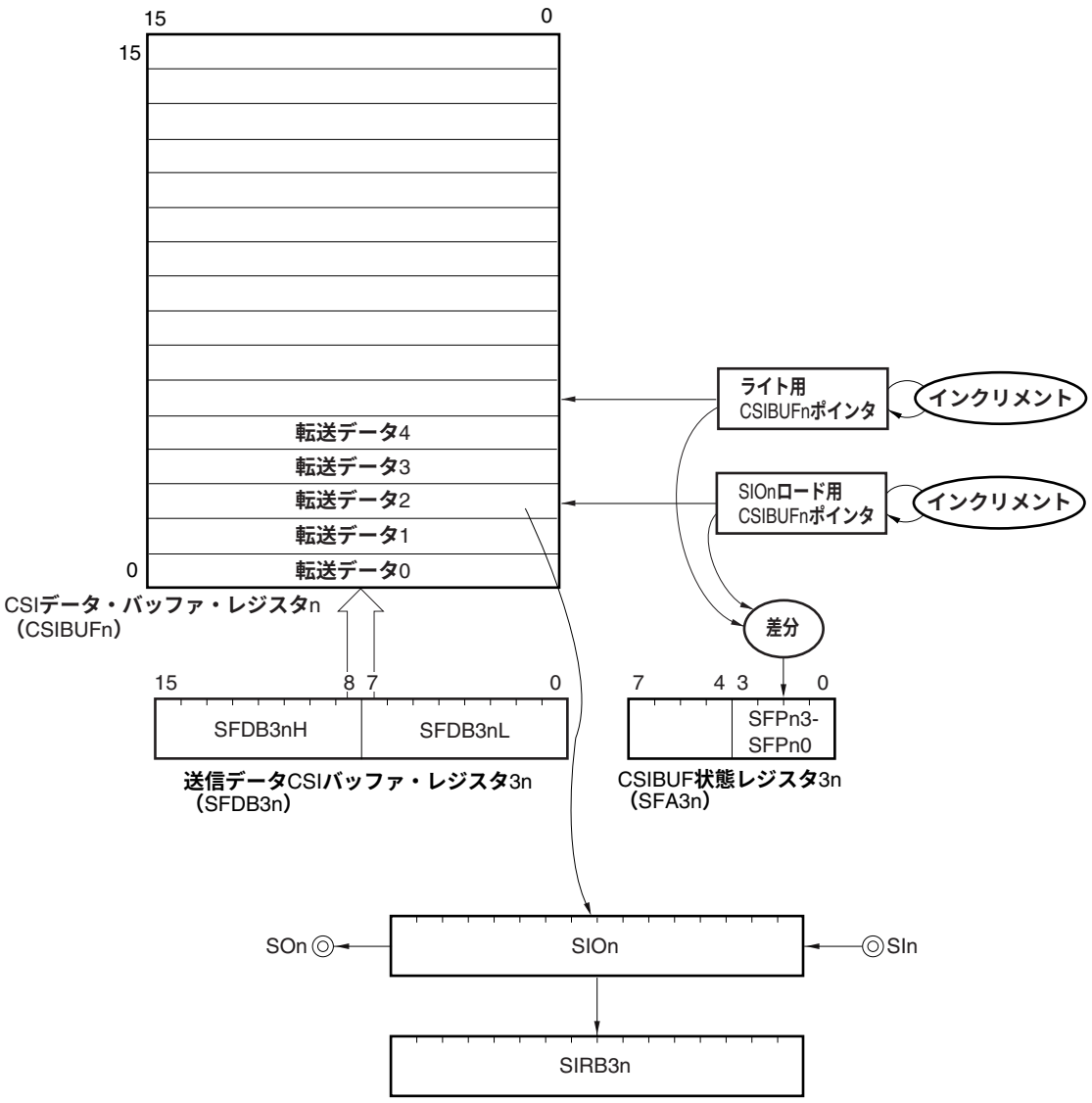
受信モードまたは送受信モードの場合，1データの転送処理が終了したときにSIRB3nレジスタが空ならば，受信データをSIOnレジスタからSIRB3nレジスタにストアし，送受信完了割り込み（INTCSI3n）を出力し，SIOnロード用CSIBUFnポインタをインクリメントします。CSIBUFnレジスタ内に送信データまたはダミー・データが存在するときは，次の転送処理を開始しますが，SIRB3nレジスタから前の受信データをリードしてSIRB3nレジスタが空になるまで受信データのSIRB3nレジスタへのストア処理，INTCSI3n割り込みの出力，SIOnロード用CSIBUFnポインタのインクリメントを保留します。

送信モードの場合，1データの転送処理が終了したときは，INTCSI3n割り込みを出力し，SIOnロード用ポインタをインクリメントします（SIOnレジスタからSIRB3nレジスタへのストアは行わないため，SIRB3nレジスタは常に空です）。

すべてのモード（送信／受信／送受信）において，1データの転送処理終了時にCSIBUFnレジスタ内が空（ライト用CSIBUFnポインタ値 = SIOnロード用CSIBUFnポインタ値）の場合は，CSOTnビットをクリア（0）します。SFA3nレジスタのSFP3n-SFP0nビットは，常に「CSIBUFnレジスタ内の残りの転送データ数（ライト用CSIBUFnポインター－SIOnロード用ポインタ）」の値がリードできます。

注意 SFDB3nレジスタへのデータ・ライトを行う場合は，必ずSFA3nレジスタのSFFULnビット = 0であることを確認してからライトしてください。SFFULnビット = 1のときにSFDB3nレジスタへのデータ・ライトを行っても，CSIBUFnオーバフロー割り込み（INTCOVF3n）が出力され，ライトしたデータは無視されます。

図10－31 シングル・モード



備考 n = 0, 1

（10）連続モード

CSIM3nレジスタのTRMDnビット = 1のとき，連続モードとして機能します（n = 0, 1）。

連続モードの場合，CTXEnビット = 1またはCRXEnビット = 1，およびCSIBUFnレジスタ内にデータが存在する（SFA3nレジスタのSFEMPnビット = 0）とき，転送を開始します。このとき，あらかじめSFN3nレジスタのSFNn3-SFNn0ビットで転送データ数を設定しておいてください。CSIBUFnレジスタにSFN3nレジスタのSFNn3-SFNn0ビットで設定した転送データ数を越えるデータをライトした場合，そのデータは無視され，転送されません。

CSIBUFnレジスタ内にデータが存在しない（SFEMPnビット = 1）場合は，SFDB3nレジスタに送信データまたはダミー・データがライトされるまでウエイト状態となります。

送信許可状態（CTXEnビット = 1）または受信許可状態（CRXEnビット = 1）の場合にCSIBUFnレジスタ内にデータ・ライトが行われると，SFA3nレジスタのCSOTnビット（転送状態フラグ）をセット（1）し，SIOnロード／ストア用CSIBUFnポインタの示す転送データをCSIBUFnレジスタからSIOnレジスタへロードし，転送処理が開始されます。

受信モードまたは送受信モードの場合，1データの転送処理が終了すると，受信データをSIOnレジスタからSIOnロード／ストア用CSIBUFnポインタの示すCSIBUFnレジスタ内の転送データにオーバライトし，SIOnロード／ストア用CSIBUFnポインタをインクリメントします。CSIBUFnレジスタ内の全データ転送終了（INTCSI3n割り込み発生）後に，連続して転送データ数分をSIRB3nレジスタからリードすることにより，リード用CSIBUFnポインタをインクリメントしながら受信データを順次リードすることができます。

送信モードの場合は、1データの転送処理が終了すると，SIOnロード／ストア用CSIBUFnポインタをインクリメントします。

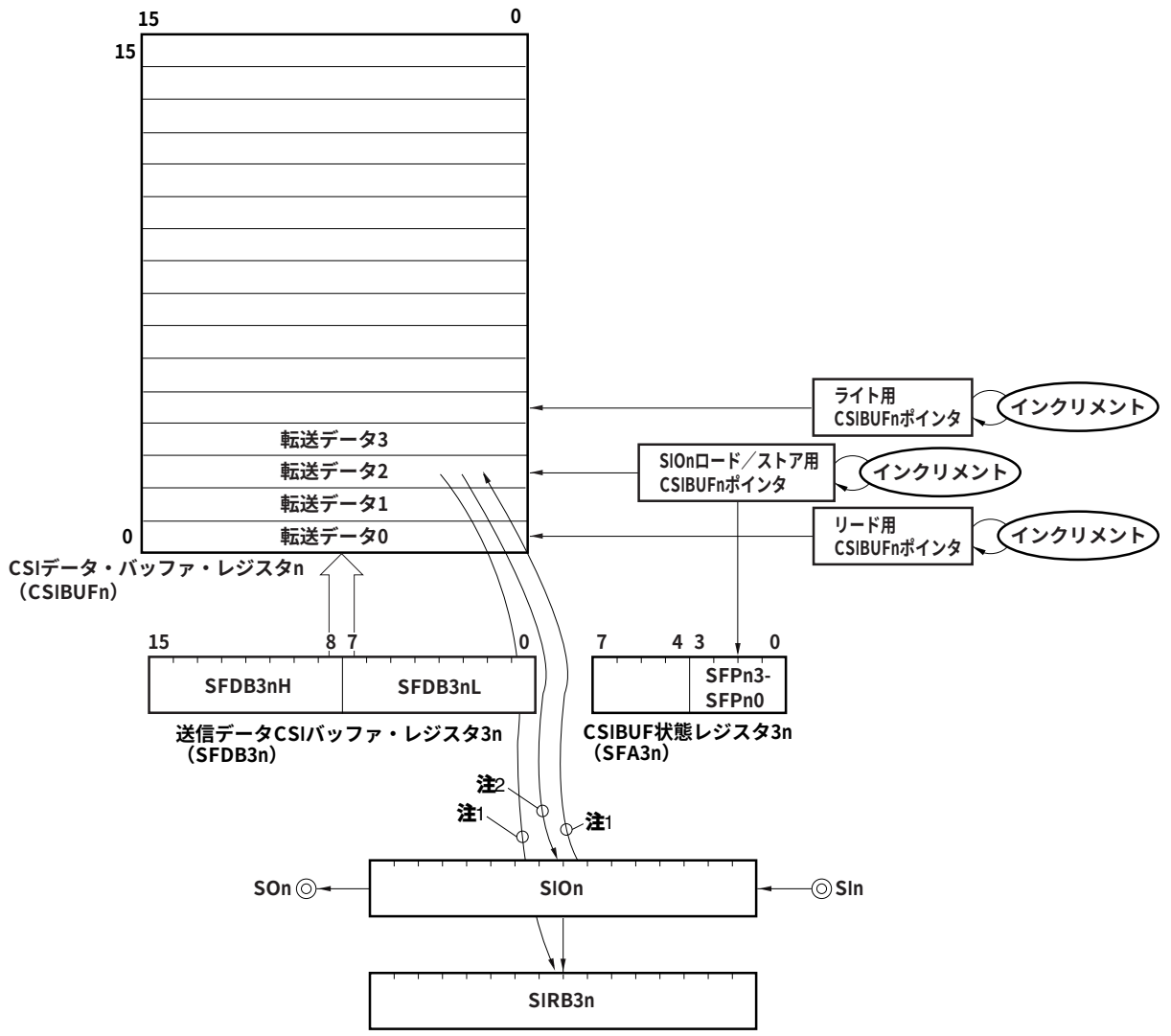
すべてのモード（送信／受信／送受信）において，SFN3nレジスタのSFNn3-SFNn0ビットに設定した値分の転送が終了した場合は，CSOTnビットをクリア（0）し，送受信完了割り込み（INTCSI3n）を出力します。

次の転送を行う前には，必ずSFA3nレジスタのFPCLRnビット = 1をライトして全CSIBUFnポインタをクリア（0）してください。

SFA3nレジスタのSFPn3-SFPn0ビットには，常に「転送完了データ数（SIOn ロード／ストア用CSIBUFnポインタの値）」がリードできます。

注意 CSIBUFnポインタのクリア（SFA3nレジスタのFPCLRnビット = 1）後から転送データをライトするまで（転送開始前）のSFA3nレジスタと，16個のデータ転送を終了したときのSFA3nレジスタは，同じ状態になります（SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000）。

図10－32　連続モード



注1.　受信時

2.　送信時

備考　n = 0, 1

(11) 送信モード

CSIM3nレジスタのCTXEnビット = 1，CRXEnビット = 0のとき，送信モードとなります。この状態でSFDB3nレジスタに送信データをライトする，またはCSIBUFnレジスタに送信データが存在する状態でCTXEnビット = 1とする処理をトリガとして送信を開始します（n = 0, 1）。シングル・モード（CSIM3nレジスタのTRMDnビット = 0）の場合でも，SIRB3nレジスタまたはSIOnレジスタが空であるかの条件は関係しません。なお，送信中，SIn端子に入力した値はシフト・レジスタ（SIOn）内にラッチされていますが，送信終了時にSIRB3nレジスタおよびCSIBUFnレジスタ内へのデータ転送は行いません。

送受信完了割り込み（INTCSI3n）は，SIOnレジスタからデータが送出された直後に発生します。

(12) 受信モード

CSIM3nレジスタのCTXEnビット = 0，CRXEnビット = 1のとき，受信モードとなります。この状態でSFDB3nレジスタにダミー・データをライトする処理をトリガとして受信を開始します（n = 0, 1）。ただし，シングル・モード（CSIM3nレジスタのTRMDnビット = 0）の場合は，SIRB3nレジスタまたはSIOnレジスタが空であることも開始条件に含まれます（SIRB3nレジスタ内に前の受信データがリードされずに保持されている上に，SIOnレジスタへの受信処理が終了した場合は，SIRB3nレジスタから前の受信データをリードしてSIRB3nレジスタが空になるまでウエイト状態となります）。連続モードの場合は，SFDB3nレジスタに受信データ数分のダミー・データをライトし，最初のダミー・データをライトする処理をトリガとして受信を開始します。

SOn端子からはロウ・レベルを出力します。

送受信完了割り込み（INTCSI3n）は，受信データがSIOnレジスタからSIRB3nレジスタに転送された直後に発生します。

(13) 送受信モード

CSIM3nレジスタのCTXEnビット = 1，CRXEnビット = 1のとき，送受信モードとなります。この状態でSFDB3nレジスタに送信データをライトする処理をトリガとして送受信を開始します（n = 0, 1）。ただし，シングル・モード（CSIM3nレジスタのTRMDnビット = 0）の場合は，SIRB3nレジスタまたはSIOnレジスタが空であることも開始条件に含まれます（SIRB3nレジスタ内に前の受信データがリードされずに保持されている上に，SIOnレジスタへの受信処理が終了した場合は，SIRB3nレジスタから前の受信データをリードしてSIRB3nレジスタが空になるまでウエイト状態となります）。

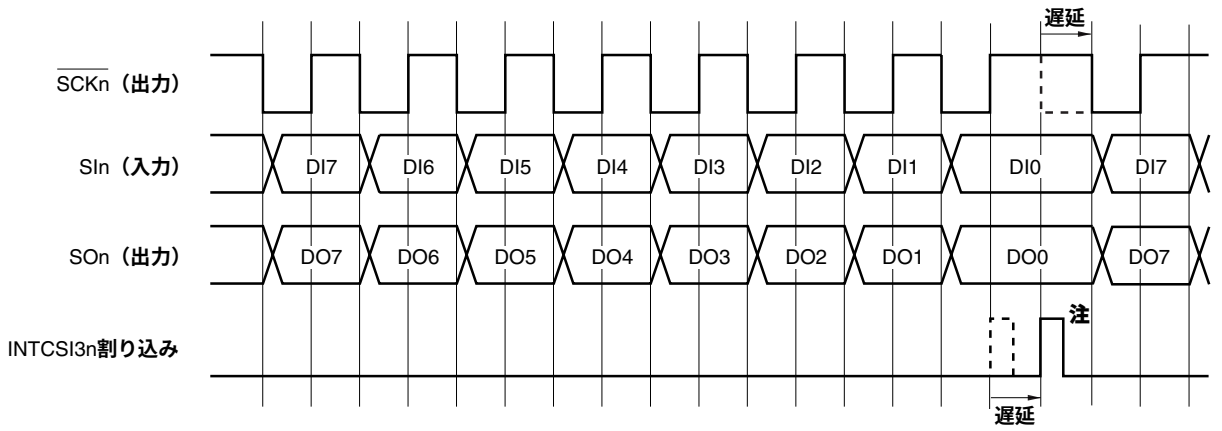
（14）送受信完了割り込み（INTCSI3n）の遅延制御機能

マスタ・モード（CSIC3nレジスタのCKS3n2-CKS3n0ビット = 111以外）の場合，CSIM3nレジスタのCSITnビット = 1の設定により，送受信完了割り込み（INTCSI3n）の発生を半クロック（1/2シリアル・クロック）遅らせることができます。CSITnビットはマスタ・モード時のみ有効です。スレーブ・モード時（CSIC3nレジスタのCKS3n2-CKS3n0ビット = 111）には，CSITnビット = 1の設定は禁止です（設定しても，INTCSI3n割り込みは影響を受けません）。

注意　連続モード（CSIM3nレジスタのTRMDnビット = 1）時にCSIM3nレジスタのCSITnビット = 1に設定した場合，SFN3nレジスタのSFNn3-SFNn0ビットで設定した最終データ以外の転送終了時にINTCSI3n割り込み自体は出力されませんが，各データ転送間に半クロック分の遅延が挿入されます。

図10－33　送受信完了割り込み（INTCSI3n）の遅延制御機能

：CSIC3nレジスタのCSITnビット = 1, CSWEnビット = 0, CKPn, DAPnビット = 00, CSIL3nレジスタのCCLn3-CCLn0ビット = 1000（転送データ長：8ビット）設定時



注　連続モード（CSIM3nレジスタのTRMDnビット = 1）時にCSIM3nレジスタのCSITnビット = 1に設定した場合，SFN3nレジスタのSFNn3-SFNn0ビットで設定した最終データ以外の転送終了時にINTCSI3n割り込み自体は出力されませんが，各データ転送間に半クロック分の遅延が挿入されます。

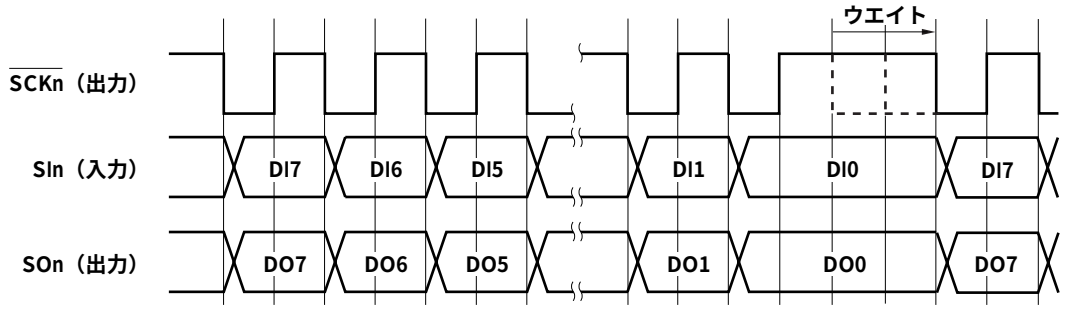
備考　n = 0, 1

（15）転送ウエイト許可／禁止指定機能

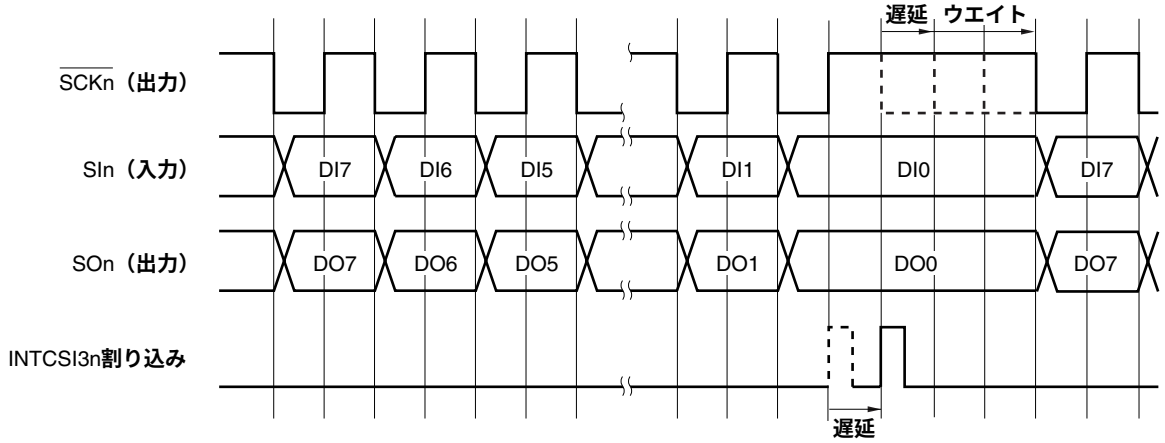
マスタ・モード（CSIC3nレジスタのCKS3n2-CKS3n0ビット = 111以外）の場合，CSIM3nレジスタのCSWEnビット = 1の設定により，転送開始を1データの転送開始ごとに1クロック遅らせることができます（CSWEnビット = 1（転送ウエイト挿入））。CSWEnビットはマスタ・モード時のみ有効です。スレーブ・モード（CSIC3nレジスタのCKS3n2-CKS3n0ビット = 111）の場合，CSWEnビット = 1の設定は禁止します（設定しても，転送ウエイトは挿入されません）。

図10－34　転送ウエイト許可／禁止指定機能

（a）CSITnビット = 0, CSWEnビット = 1, CKPn, DAPnビット = 00,
CCLn3-CCLn0ビット = 1000（転送データ長：8ビット）設定時



（b）CSITnビット = 1, CSWEnビット = 1, CKPn, DAPnビット = 00,
CCLn3-CCLn0ビット = 1000（転送データ長：8ビット）設定時



備考　n = 0, 1

(16) 出力端子

(a) $\overline{\text{SCKn}}$端子

CSIM3nレジスタのCTXEnビット = 0およびCRXEnビット = 0のとき，$\overline{\text{SCKn}}$端子の出力状態はハイ・レベルとなります（n = 0, 1）。

マスタ・モード（CSIC3nレジスタのCKS3n2-CKS3n0ビット = 111以外）の場合，SFA3nレジスタのFPCLRnビット = 1の設定により，ディフォールト・レベルになります。

表10－8　$\overline{\text{SCKn}}$端子出力のディフォールト・レベル

CKPnビット	CKS3n2-CKS3n0ビット	SCKn端子出力のディフォールト・レベル
0	111（スレーブ・モード）	ハイ・レベル[注]
	111以外（マスタ・モード）	ハイ・レベル
1	111（スレーブ・モード）	－（入力）
	111以外（マスタ・モード）	ロウ・レベル

注　リセット後の初期設定値，またはCSIM3nレジスタのCSICAEnビット = 0設定時の値

備考1.　マスタ・モード時，CKPnビットを書き換えると$\overline{\text{SCKn}}$端子の出力が変化します。

2.　n = 0, 1

(b) SOn端子

CSIM3nレジスタのCTXEnビット = 0およびCRXEnビット = 0のとき，SOn端子の出力状態はロウ・レベルとなります（n = 0, 1）。

SFA3nレジスタのFPCLRnビット = 1の設定により，SOn端子の出力状態はロウ・レベルとなります（ただし，スレーブ・モード（CSIC3nレジスタのCKS3n2-CKS3n0ビット = 111）およびCSIC3nレジスタのDAPnビット = 0の場合のみ前の値を保持します）。

表10－9　SOn端子出力のディフォールト・レベル

SOn端子出力のディフォールト・レベル
ロウ・レベル[注]

注　リセット後の初期設定値，またはCSIM3nレジスタのCSICAEnビット = 0設定時の値

備考　n = 0, 1

（17）CSIBUFnオーバフロー割り込み信号（INTCOVF3n）

CSIBUFnレジスタ内に16個のデータが存在するとき，さらに17個目の転送データ・ライト（SFDB3n，SFDB3nLレジスタ・ライト）を行った場合は，INTCOVF3n割り込みを出力します（17個目のデータは，ライトされず，無視されます）。

シングル・モード（CSIM3nレジスタのTRMDnビット = 0）時に，CSIBUFnレジスタ内に16個のデータが存在する場合とは,「ライト用CSIBUFnポインタ値 ＝ SIOnロード用CSIBUFnポインタ値,およびSFA3nレジスタのSFFULnビット = 1」のときです。転送が終了して，SIOnロード用CSIBUFnポインタがインクリメントされると,CSIBUFnレジスタには1個分の空きができます(連続モード(CSIM3nレジスタのTRMDnビット = 1）では，1つのデータ転送が終了してもCSIBUFnレジスタに空きはできません）。

10. 3. 6　使用方法

(1) シングル・モード（マスタ・モード，送信モード時）

①CSI3n機能に関連する外部端子をコントロール・モードに設定します。
②CSIM3nレジスタのCSICAEnビット = 1にすると，動作クロック供給を許可します。
③CSIC3n, CSIL3nレジスタを設定し，転送モードを指定します。
④SFA3nレジスタのFPCLRnビット = 1をライトして，全CSIBUFn用ポインタをクリア（0）します。
⑤SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。
⑥CSIM3nレジスタのTRMDn, DIRn, CSITn, CSWEnビットによって転送モードを指定すると同時に，CTXEnビット = 1にして送信許可状態にします。
⑦SFA3nレジスタのSFFULnビット = 0であることを確認してから，SFDB3nレジスタに転送データをライトします。なお，INTCSI3nの割り込み処理ルーチンで転送データをライトするなどSFFULnビット = 0であることが明確であれば，必ずしもSFFULnビット = 0であることを確認する必要はありません。
⑧INTCSI3n割り込みの発生，SFA3nレジスタのSFEMPnビット = 1を確認後，CSIM3nレジスタのCTXEnビット = 0にして送信禁止状態します（送信終了）。

注意　さらに転送を行いたい場合には，⑧の前に⑦を繰り返してください。

(2) シングル・モード（マスタ・モード，受信モード時）

①CSI3n機能に関連する外部端子をコントロール・モードに設定します。
②CSIM3nレジスタのCSICAEnビット = 1にして，動作クロック供給を許可します。
③CSIC3n, CSIL3nレジスタを設定し，転送モードを指定します。
④SFA3nレジスタのFPCLRnビット = 1をライトして，全CSIBUFn用ポインタをクリア（0）します。
⑤SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。
⑥CSIM3nレジスタのTRMDn, DIRn, CSITn, CSWEnビットによって転送モードを指定すると同時に，CRXEnビット = 1にして受信許可状態にします。
⑦SFA3nレジスタのSFFULnビット = 0であることを確認してから，SFDB3nレジスタにダミー転送データをライトします（受信開始トリガ）。なお，INTCSI3nの割り込み処理ルーチンでダミー転送データをライトするなどSFFULnビット = 0であることが明確であれば，必ずしもSFFULnビット = 0であることを確認する必要はありません。
⑧INTCSI3n割り込みの発生を確認後，SIRB3nレジスタをリードします。
⑨INTCSI3n割り込みの発生，SFEMPnビット = 1を確認後，CSIM3nレジスタのCRXEnビット = 0にして受信禁止状態にします（受信終了）。

注意1.　さらに転送を行いたい場合には，⑨の前に⑦, ⑧を繰り返してください。
2.　SOn端子からはロウ・レベルが出力されますが無効です。

(3) シングル・モード（マスタ・モード，送受信モード時）

①CSI3n機能に関連する外部端子をコントロール・モードに設定します。
②CSIM3nレジスタのCSICAEnビット = 1にして，動作クロック供給を許可します。
③CSIC3n, CSIL3nレジスタを設定し，転送モードを指定します。
④SFA3nレジスタのFPCLRnビット = 1をライトして，全CSIBUFn用ポインタをクリア（0）します。
⑤SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。
⑥CSIM3nレジスタのTRMDn, DIRn, CSITn, CSWEnビットによって転送モードを指定すると同時に，CTXEnビット = 1, CRXEnビット = 1にして送受信許可状態にします。
⑦SFA3nレジスタのSFFULnビット = 0であることを確認してから，SFDB3nレジスタに転送データをライトします。なお，INTCSI3nの割り込み処理ルーチンで転送データをライトするなどSFFULnビット = 0であることが明確であれば，必ずしもSFFULnビット = 0であることを確認する必要はありません。
⑧INTCSI3n割り込みの発生を確認後，SIRB3nレジスタをリードします。
⑨INTCSI3n割り込みの発生，SFEMPnビット = 1を確認後，CSIM3nレジスタのCTXEnビット = 0, CRXEnビット = 0にして送受信禁止状態にします（送受信終了）。

注意　さらに転送を行いたい場合には，⑨の前に⑦, ⑧を繰り返してください。

(4) シングル・モード（スレーブ・モード，送信モード時）

①CSI3n機能に関連する外部端子をコントロール・モードに設定します。
②CSIM3nレジスタのCSICAEnビット = 1にして，動作クロック供給を許可します。
③CSIC3n, CSIL3nレジスタを設定し，転送モードを指定します。
④SFA3nレジスタのFPCLRnビット = 1をライトして，全CSIBUFn用ポインタをクリア（0）します。
⑤SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。
⑥CSIM3nレジスタのTRMDn, DIRn, CSITn, CSWEnビットによって転送モードを指定すると同時に，CTXEnビット = 1にして送信許可状態にします。
⑦SFA3nレジスタのSFFULnビット = 0であることを確認してから，SFDB3nレジスタに転送データをライトします。なお，INTCSI3nの割り込み処理ルーチンで転送データをライトするなどSFFULnビット = 0であることが明確であれば，必ずしもSFFULnビット = 0であることを確認する必要はありません。
⑧INTCSI3n割り込みの発生，SFEMPnビット = 1を確認後，CSIM3nレジスタのCTXEnビット = 0にして送信禁止状態にします（送信終了）。

注意　さらに転送を行いたい場合には，⑧の前に⑦を繰り返してください。

(5) シングル・モード（スレーブ・モード，受信モード時）

①CSI3n機能に関連する外部端子をコントロール・モードに設定します。
②CSIM3nレジスタのCSICAEnビット = 1にして，動作クロック供給を許可します。
③CSIC3n, CSIL3nレジスタを設定し，転送モードを指定します。
④SFA3nレジスタのFPCLRnビット = 1をライトして，全CSIBUFn用ポインタをクリア（0）します。
⑤SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。
⑥CSIM3nレジスタのTRMDn, DIRn, CSITn, CSWEnビットによって転送モードを指定すると同時に，CRXEnビット = 1にして受信許可状態にします。
⑦SFA3nレジスタのSFFULnビット = 0であることを確認してから，SFDB3nレジスタにダミー転送データをライトします（受信開始トリガ）。なお，INTCSI3nの割り込み処理ルーチンでダミー転送データをライトするなどSFFULnビット = 0であることが明確であれば，必ずしもSFFULnビット = 0であることを確認する必要はありません。
⑧INTCSI3n割り込みの発生を確認後，SIRB3nレジスタをリードします。
⑨INTCSI3n割り込みの発生，SFEMPnビット = 1を確認後，CSIM3nレジスタのCRXEnビット = 0にして受信禁止状態にします（受信終了）。

注意1. さらに転送を行いたい場合には，⑨の前に⑦, ⑧を繰り返してください。
2. SOn端子からはロウ・レベルが出力されますが無効です。

(6) シングル・モード（スレーブ・モード，送受信モード時）

①CSI3n機能に関連する外部端子をコントロール・モードに設定します。
②CSIM3nレジスタのCSICAEnビット = 1にして，動作クロック供給を許可します。
③CSIC3n, CSIL3nレジスタを設定し，転送モードを指定します。
④SFA3nレジスタのFPCLRnビット = 1をライトして，全CSIBUFn用ポインタをクリア（0）します。
⑤SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。
⑥CSIM3nレジスタのTRMDn, DIRn, CSITn, CSWEnビットによって転送モードを指定すると同時にCTXEnビット = 1, CRXEnビット = 1にして送受信許可状態にします。
⑦SFA3nレジスタのSFFULnビット = 0であることを確認してから，SFDB3nレジスタに転送データをライトします。なお，INTCSI3nの割り込み処理ルーチンで転送データをライトするなどSFFULnビット = 0であることが明確であれば，必ずしもSFFULnビット = 0であることを確認する必要はありません。
⑧INTCSI3n割り込みの発生を確認後，SIRB3nレジスタをリードします。
⑨INTCSI3n割り込みの発生，SFEMPnビット = 1を確認後，CSIM3nレジスタのCTXEnビット = 0, CRXEnビット = 0にして送受信禁止状態にします（送受信終了）。

注意　さらに転送を行いたい場合には，⑨の前に⑦, ⑧を繰り返してください。

(7) 連続モード（マスタ・モード，送信モード時）

①CSI3n機能に関連する外部端子をコントロール・モードに設定します。
②CSIM3nレジスタのCSICAEnビット = 1にして，動作クロック供給を許可します。
③CSIC3n, CSIL3nレジスタを設定し，転送モードを指定します。
④SFA3nレジスタのFPCLRnビット = 1をライトして，全CSIBUFn用ポインタをクリア（0）します。
⑤SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。
⑥CSIM3nレジスタのTRMDn, DIRn, CSITn, CSWEnビットによって転送モードを指定すると同時に，CTXEnビット = 1にして送信許可状態にします。
⑦SFN3nレジスタのSFNn3-SFNn0ビットに送信データ数を設定します。
⑧SFDB3nレジスタに送信データ数分の転送データをライトします。SFN3nレジスタの設定値を越えるデータ・ライトは禁止です。
⑨INTCSI3n割り込みの発生，SFEMPnビット = 1を確認後，SFA3nレジスタのFPCLRnビット = 1をライトして，次の転送のために全CSIBUFn用ポインタをクリア（0）します。
⑩SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。
⑪CSIM3nレジスタのCTXEnビット = 0にして送信禁止状態にします（送信終了）。

注意　さらに転送を行いたい場合には，⑪の前に⑦-⑩を繰り返してください。

(8) 連続モード（マスタ・モード，受信モード時）

①CSI3n機能に関連する外部端子をコントロール・モードに設定します。
②CSIM3nレジスタのCSICAEnビット = 1にして，動作クロック供給を許可します。
③CSIC3n, CSIL3nレジスタを設定し，転送モードを指定します。
④SFA3nレジスタのFPCLRnビット = 1をライトして，全CSIBUFn用ポインタをクリア（0）します。
⑤SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。
⑥CSIM3nレジスタのTRMDn, DIRn, CSITn, CSWEnビットによって転送モードを指定すると同時に，CRXEnビット = 1にして受信許可状態にします。
⑦SFN3nレジスタのSFNn3-SFNn0ビットに受信データ数を設定します。
⑧SFDB3nレジスタに受信データ数分のダミー転送データをライトします。最初のダミー転送データのライトが受信開始トリガとなります。SFN3nレジスタの設定値を越えるデータ・ライトは禁止です。
⑨INTCSI3n割り込みの発生，SFEMPnビット = 1を確認後，受信データ数分のSIRB3nレジスタをリードします（CSIBUFnレジスタ内に格納された受信データを順次リードします）。
⑩SFA3nレジスタのFPCLRnビット = 1をライトして，次の転送のために全CSIBUFn用ポインタをクリア（0）します。
⑪SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。
⑫CSIM3nレジスタのCRXEnビット = 0にして受信禁止状態にします（受信終了）。

注意1.　さらに転送を行いたい場合には，⑫の前に⑦-⑪を繰り返してください。
2.　SOn端子からはロウ・レベルが出力されます。

(9) 連続モード（マスタ・モード，送受信モード時）

①CSI3n機能に関連する外部端子をコントロール・モードに設定します。
②CSIM3nレジスタのCSICAEnビット = 1にして，動作クロック供給を許可します。
③CSIC3n, CSIL3nレジスタを設定し，転送モードを指定します。
④SFA3nレジスタのFPCLRnビット = 1をライトして，全CSIBUFn用ポインタをクリア（0）します。
⑤SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。
⑥CSIM3nレジスタのTRMDn, DIRn, CSITn, CSWEnビットによって転送モードを指定すると同時に，CTXEnビット = 1, CRXEnビット = 1にして送受信許可状態にします。
⑦SFN3nレジスタのSFNn3-SFNn0ビットに送受信データ数を設定します。
⑧SFDB3nレジスタに送信データ数分の転送データをライトします。SFN3nレジスタの設定値を越えるデータ・ライトは禁止です。
⑨INTCSI3n割り込みの発生，SFEMPnビット = 1を確認後，受信データ数分のSIRB3nレジスタをリードします（CSIBUFnレジスタ内に格納された受信データを順次リードします）。
⑩SFA3nレジスタのFPCLRnビット = 1をライトして，次の転送のために全CSIBUFn用ポインタをクリア（0）します。
⑪SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。
⑫CSIM3nレジスタのCTXEnビット = 0, CRXEnビット = 0にして送受信禁止状態にします（送受信終了）。

注意　さらに転送を行いたい場合には，⑫の前に⑦-⑪を繰り返してください。

(10) 連続モード（スレーブ・モード，送信モード時）

①CSI3n機能に関連する外部端子をコントロール・モードに設定します。
②CSIM3nレジスタのCSICAEnビット = 1にして，動作クロック供給を許可します。
③CSIC3n, CSIL3nレジスタを設定し，転送モードを指定します。
④SFA3nレジスタのFPCLRnビット = 1をライトして，全CSIBUFn用ポインタをクリア（0）します。
⑤SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。
⑥CSIM3nレジスタのTRMDn, DIRn, CSITn, CSWEnビットによって転送モードを指定すると同時に，CTXEnビット = 1にして送信許可状態にします。
⑦SFN3nレジスタのSFNn3-SFNn0ビットに送信データ数を設定します。
⑧SFDB3nレジスタに送信データ数分の転送データをライトします。SFN3nレジスタの設定値を越えるデータ・ライトは禁止です。
⑨INTCSI3n割り込みの発生，SFEMPnビット = 1を確認後，SFA3nレジスタのFPCLRnビット = 1をライトして，次の転送のために全CSIBUFn用ポインタをクリア（0）します。
⑩SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。
⑪CSIM3nレジスタのCTXEnビット = 0にして送信禁止状態にします（送信終了）。

注意　さらに転送を行いたい場合には，⑪の前に⑦-⑩を繰り返してください。

（11）連続モード（スレーブ・モード，受信モード時）

①CSI3n機能に関連する外部端子をコントロール・モードに設定します。

②CSIM3nレジスタのCSICAEnビット = 1にして，動作クロック供給を許可します。

③CSIC3n, CSIL3nレジスタを設定し，転送モードを指定します。

④SFA3nレジスタのFPCLRnビット = 1をライトして，全CSIBUFn用ポインタをクリア（0）します。

⑤SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。

⑥CSIM3nレジスタのTRMDn, DIRn, CSITn, CSWEnビットによって転送モードを指定すると同時に，CRXEnビット = 1にして受信許可状態にします。

⑦SFN3nレジスタのSFNn3-SFNn0ビットに受信データ数を設定します。

⑧SFDB3nレジスタに受信データ数分のダミー転送データをライトします。最初のダミー転送データのライトが受信開始トリガとなります。SFN3nレジスタの設定値を越えるデータ・ライトは禁止です。

⑨INTCSI3n割り込みの発生，SFEMPnビット = 1を確認後，受信データ数分のSIRB3nレジスタをリードします（CSIBUFnレジスタ内に格納された受信データを順次リードします）。

⑩SFA3nレジスタのFPCLRnビット = 1をライトして，次の転送のために全CSIBUFn用ポインタをクリア（0）します。

⑪SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。

⑫CSIM3nレジスタのCRXEnビット = 0にして受信禁止状態にします（受信終了）。

注意1. さらに転送を行いたい場合には，⑫の前に⑦-⑪を繰り返してください。

2. SOn端子からはロウ・レベルが出力されます。

（12）連続モード（スレーブ・モード，送受信モード時）

①CSI3n機能に関連する外部端子をコントロール・モードに設定します。

②CSIM3nレジスタのCSICAEnビット = 1にして，動作クロック供給を許可します。

③CSIC3n, CSIL3nレジスタを設定し，転送モードを指定します。

④SFA3nレジスタのFPCLRnビット = 1をライトして，全CSIBUFn用ポインタをクリア（0）します。

⑤SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。

⑥CSIM3nレジスタのTRMDn, DIRn, CSITn, CSWEnビットによって転送モードを指定すると同時に，CTXEnビット = 1, CRXEnビット = 1にして送受信許可状態にします。

⑦SFN3nレジスタのSFNn3-SFNn0ビットに送受信データ数を設定します。

⑧SFDB3nレジスタに送信データ数分の転送データをライトします。SFN3nレジスタの設定値を越えるデータ・ライトは禁止です。

⑨INTCSI3n割り込みの発生，SFEMPnビット = 1を確認後，受信データ数分のSIRB3nレジスタをリードします（CSIBUFnレジスタ内に格納された受信データを順次リードします）。

⑩SFA3nレジスタのFPCLRnビット = 1をライトして，次の転送のために全CSIBUFn用ポインタをクリア（0）します。

⑪SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000であることを確認します。

⑫CSIM3nレジスタのCTXEnビット = 0, CRXEnビット = 0にして送受信禁止状態にします（送受信終了）。

注意　さらに転送を行いたい場合には，⑫の前に⑦-⑪を繰り返してください。

10. 3. 7 注意事項

CSI3nについての注意事項を次に示します（n = 0, 1）。

(1) CSI3nの停止

CSIM3nレジスタのCSICAEnビット = 0にすると，CSI3nユニットはリセット状態となり，CSI3nは停止します。CSI3nを動作させる場合には，まずCSICAEnビット = 1にしてください。

また，通常CSICAEnビットに“0”を設定する場合，CTXEnビット = 0およびCRXEnビット = 0（転送終了後）にしてから行ってください。

(2) 転送許可

CSIM3nレジスタのCTXEnビット = 1またはCRXEnビット = 1に設定して転送許可状態にする前に，必ずSFA3nレジスタのFPCLRnビット = 1をライトして，全CSIBUFn用ポインタをクリア（0）してください。クリア（0）しないまま，CTXEnビット = 1またはCRXEnビット = 1に設定した場合，CSIBUFnレジスタ内に前の転送データが残っていたときには，ただちにそのデータ転送を開始します。

また，転送許可状態にする前にCSIBUFnレジスタへ転送データを設定すると，CTXEnビット = 1またはCRXEnビット = 1に設定した瞬間に転送を開始します。

(3) SFA3nレジスタ設定時の注意

メイン・クロック（fx）を84 MHz以下で使用している場合，SFDB3n, SFDB3nLレジスタのライト直後にSFA3nレジスタをリードすると，SFA3nレジスタのSFFULn, SFEMPn, SFPn3-SFPn0ビット値の変化が間に合わないことがあります。

SFFULnビット = 1になる前にSFA3nレジスタをリードし，17個目のデータをライトした場合，CSIBUFnオーバフロー割り込み（INTCOVF3n）が発生します。

(4) CSIM3nレジスタ設定時の注意

CSI3nを使用する場合には，必ずCSI3n機能に関連する外部端子をコントロール・モードに設定し，CSICAEnビットをセット（1）してください。そのあとに，ほかのビットの設定を行ってください。

(5) マスタ・モード時の最大転送レート

マスタ・モード（CSIC3nレジスタのCKS3n2-CKS3n0ビット = 111以外）時の最大転送レートは，5.5 Mbpsであるため，5.5 Mbpsを越えるような設定は行わないでください。

(6) シングル・モード時のSFDB3nレジスタへのデータ・ライト

SFDB3nレジスタへのデータ・ライトを行う場合は，必ずSFA3nレジスタのSFFULnビット = 0であることを確認してからライトしてください。SFFULnビット = 1のときにSFDB3nレジスタへのデータ・ライトを行っても，CSIBUFnオーバフロー割り込み（INTCOVF3n）が出力され，ライトしたデータは無視されます。

(7) 連続モード時のSFA3nレジスタ状態

CSIBUFnポインタのクリア（SFA3nレジスタのFPCLRnビット = 1）後から転送データをライトするまで（転送開始前）のSFA3nレジスタと，16個のデータ転送を終了したときのSFA3nレジスタは，同じ状態になります（SFA3nレジスタのSFFULnビット = 0, SFEMPnビット = 1, SFPn3-SFPn0ビット = 0000）。

第11章　USBファンクション・コントローラ（USBF）

V850E/ME2は，Universal Serial Bus Specificationに準拠したUSBファンクション・コントローラ（USBF）を内蔵しています。

11.1　概　　要

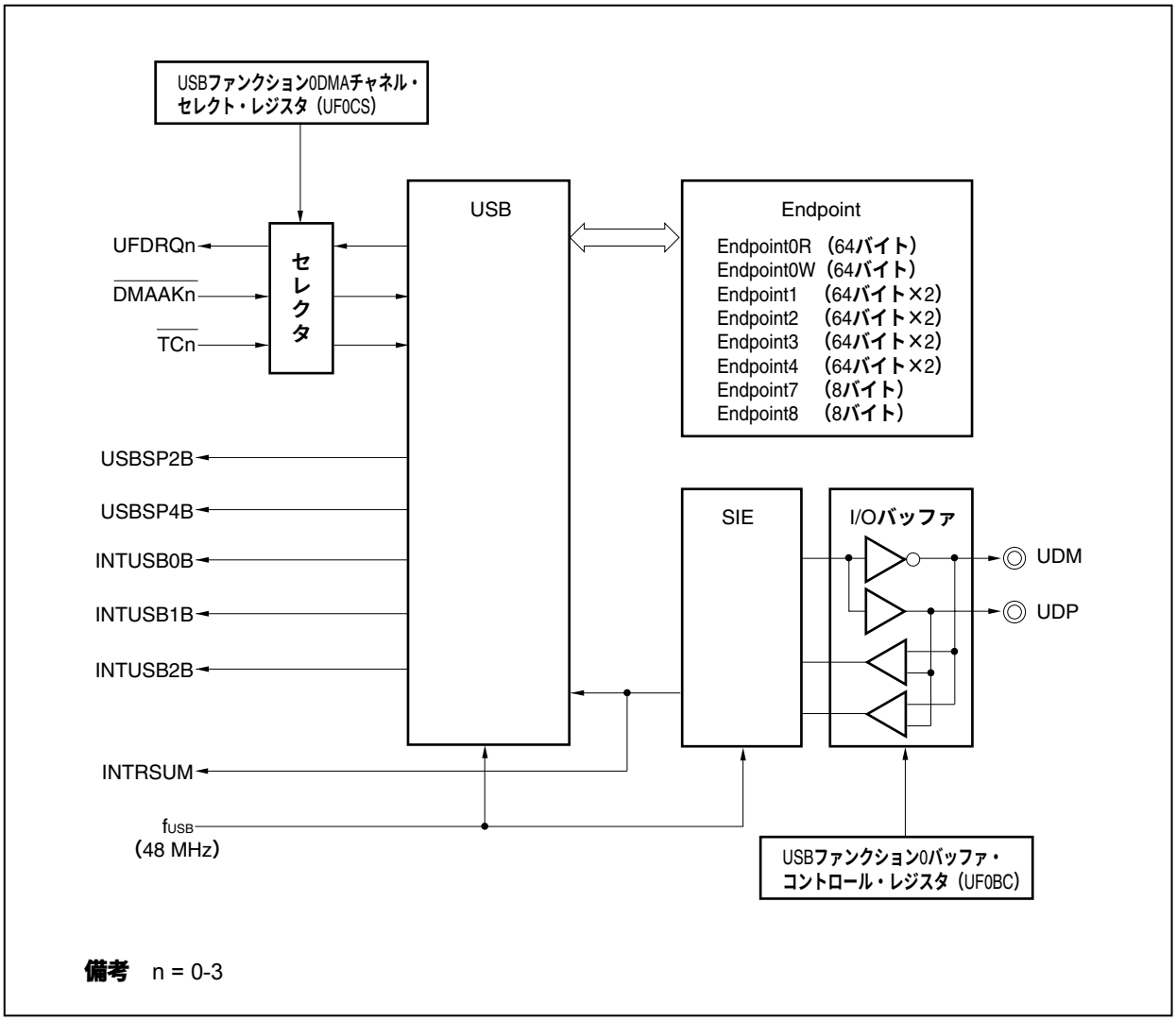
○Universal Serial Bus Specificationに準拠
○12 Mbps（フルスピード）転送に対応
○転送用のエンドポイントを内蔵

エンドポイント名	FIFOサイズ（バイト）	転送タイプ	備考
Endpoint0 Read	64	コントロール転送	－
Endpoint0 Write	64	コントロール転送	－
Endpoint1	64×2	バルク1転送（IN）	2バッファ構成
Endpoint2	64×2	バルク1転送（OUT）	2バッファ構成
Endpoint3	64×2	バルク2転送（IN）	2バッファ構成
Endpoint4	64×2	バルク2転送（OUT）	2バッファ構成
Endpoint7	8	インタラプト1転送	－
Endpoint8	8	インタラプト2転送	－

○クロック：UCLK端子からのクロック入力（f_{USB} = 48 MHz）

注意　USB機能を使用する場合には，必ずUCKCレジスタのUCKCNTビットをセット（1）してください。UCKCNTビットが0の状態でUSB機能関連のレジスタを読み出した場合には，0が読み出されます。また，USB機能を使用する場合には，必ずPFC1レジスタのPFC10ビットをセット（1）したあと，PMC1レジスタのPMC10ビットをセット（1）してUCLKを接続してください。UCLKを接続しない状態では，USB関連レジスタにアクセスしないでください。

11.2 構　成


USBファンクション0DMAチャネル・
セレクト・レジスタ（UF0CS）
USB
Endpoint
Endpoint0R（64バイト）
Endpoint0W（64バイト）
Endpoint1（64バイト×2）
Endpoint2（64バイト×2）
Endpoint3（64バイト×2）
Endpoint4（64バイト×2）
Endpoint7（8バイト）
Endpoint8（8バイト）
UFDRQn
DMAAKn
TCn
セレクタ
USBSP2B
USBSP4B
INTUSB0B
INTUSB1B
INTUSB2B
INTRSUM
fUSB
（48 MHz）
SIE
I/Oバッファ
UDM
UDP
USBファンクション0バッファ・
コントロール・レジスタ（UF0BC）

備考　n = 0-3

11. 3 リクエスト

11. 3. 1 自動リクエスト

(1) デコード

次にリクエストのフォーマットとリクエスト・デコード対応表を示します。

表11ー1 リクエストのフォーマット

オフセット	フィールド名	
0	bmRequestType	
1	bRequest	
2	wValue	下位側
3		上位側
4	wIndex	下位側
5		上位側
6	wLength	下位側
7		上位側

表11－2　リクエスト・デコード対応表

オフセット / リクエスト	デコード値								応答			データ・ステージ
	bmRequestType	bRequest	wValue		wIndex		wLength		Df	Ad	Cf	
	0	1	3	2	5	4	7	6				
GET_INTERFACE	81H	0AH	00H	00H	00H	0nH	00H	01H	STALL	STALL	ACK NAK	○
GET_CONFIGURATION	80H	08H	00H	00H	00H	00H	00H	01H	ACK NAK	ACK NAK	ACK NAK	○
GET_DESCRIPTOR Device	80H	06H	01H	00H	00H	00H	XXH	XXH[注1]	ACK NAK	ACK NAK	ACK NAK	○
GET_DESCRIPTOR Configuration	80H	06H	02H	00H	00H	00H	XXH	XXH[注1]	ACK NAK	ACK NAK	ACK NAK	○
GET_STATUS Device	80H	00H	00H	00H	00H	00H	00H	02H	ACK NAK	ACK NAK	ACK NAK	○
GET_STATUS Endpoint 0	82H	00H	00H	00H	00H	00H 80H	00H	02H	ACK NAK	ACK NAK	ACK NAK	○
GET_STATUS Endpoint X	82H	00H	00H	00H	00H	$$H	00H	02H	STALL	STALL	ACK NAK	○
CLEAR_FEATURE Device[注2]	00H	01H	00H	01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
CLEAR_FEATURE Endpoint 0[注2]	02H	01H	00H	00H	00H	00H 80H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
CLEAR_FEATURE Endpoint X[注2]	02H	01H	00H	00H	00H	$$H	00H	00H	STALL	STALL	ACK NAK	×
SET_FEATURE Device[注3]	00H	03H	00H	01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_FEATURE Endpoint 0[注3]	02H	03H	00H	00H	00H	00H 80H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_FEATURE Endpoint X[注3]	02H	03H	00H	00H	00H	$$H	00H	00H	STALL	STALL	ACK NAK	×
SET_INTERFACE	01H	0BH	00H	0#H	00H	0?H	00H	00H	STALL	STALL	ACK NAK	×
SET_CONFIGURATION[注4]	00H	09H	00H	00H 01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_ADDRESS	00H	05H	XXH	XXH	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×

備考　○：データ・ステージあり
　　×：データ・ステージなし

注1.　wLength値が準備している値未満の場合，wLength値までを返信し，wLength値が準備している値以上の場合，準備している値までを返信します。

2.　CLEAR_FEATUREリクエストは，ステータス・ステージでACKを受信した場合にUF0デバイス・ステータス・レジスタL（UF0DSTL），UF0 EPnステータス・レジスタL（UF0EnSL）（n = 0-4, 7, 8）をクリアします。

注3. SET_FEATUREリクエストは，ステータス・ステージでACKを受信した場合にUF0デバイス・ステータス・レジスタL（UF0DSTL），UF0 EPnステータス・レジスタL（UF0EnSL）（n = 0-4, 7, 8）をセットします。また，UF0E0SLレジスタのE0HALTビットを設定した場合は，CLEAR_FEATURE Endpoint0リクエストを受信するまで，GET_STATUS Endpoint0リクエスト, SET_ FEATURE Endpoint0リクエスト, CPUDEC割り込み要求の発生するリクエスト以外のコントロール転送のデータ・ステージまたはステータス・ステージでSTALL応答します。なお，サポートしていないリクエストについてのSTALL応答では，UF0E0SLレジスタのE0HALTビットはセット（1）されず，次のSETUPトークンを受信した時点でSTALL応答はクリアされます。

4. wValue値が規定外の場合，自動STALL応答します。

注意1. 次に示す条件では，Universal Serial Bus Specificationで規定されているコントロール転送のシーケンスを満しません。この場合の動作は保証できません。

- SETUPステージなしにいきなりIN/OUTトークンを受信する場合
- SETUPステージのデータ・フェーズでDATA PID1を送ってくる場合
- アドレス128以上のトークンを受信する場合
- SETUPステージで送信されるリクエスト・データが8バイト未満の場合

2. ステータス・ステージにおいて，ホストがNullパケット以外のデータを送信してきた場合でも，ACK応答します。
3. FW処理のコントロール転送（リード）では，wLength値が00Hであった場合，コントロール転送（データなし）としてNullパケットを自動送出します。FWリクエストの場合は，Nullパケットを自動送出しません。

備考1. Df：Defaultステート，Ad：Addressedステート，Cf：Configuredステート

2. n = 0-4

   Interface番号1-4のリクエストに対して正常応答するか，またはSTALL応答するかは，UF0アクティブ・インタフェース・ナンバー・レジスタ（UF0AIFN）の設定により，対象のInterface番号が有効かどうかで決定します。

3. $$：転送方向を含んだ有効なEndpoint番号

   有効なEndpointは現在設定されているAlternate Setting番号により決定します（11. 4. 1（36）UF0アクティブ・オルタナティブ・セッティング・レジスタ（UF0AAS），（38）UF0エンドポイント1インタフェース・マッピング・レジスタ（UF0E1IM）-（43）UF0エンドポイント8インタフェース・マッピング・レジスタ（UF0E8IM）参照）。

4. ？と#：ホストから送信される値（Interface番号0-4の情報）

   各Interface番号に対応したAlternate Settingのリクエストに対して正常応答するか，STALL応答するかは，UF0アクティブ・インタフェース・ナンバー・レジスタ（UF0AIFN）とUF0アクティブ・オルタナティブ・セッティング・レジスタ（UF0AAS）により，対象のInterface番号と対象のAlternate Settingが有効かどうかによって決まります。

（2）処理内容

次に自動リクエストのDefaultステート，Addressedステート，Configuredステートでの処理内容を示します。

備考　Defaultステート：Default addressで動作する状態
Addressedステート：アドレスが割り当てられたあとの状態
Configuredステート：SET_CONFIGURATION wValue = 1を正常受信したあとの状態

（a）CLEAR_FEATURE( )リクエスト

CLEAR_FEATURE( )リクエストが，クリアできない，存在しないFEATUREである，対象がInterfaceか，または存在しないEndpointの場合には，ステータス・ステージでSTALL応答します。また，wLength値が0以外の場合もSTALL応答します。

- Defaultステート　：CLEAR_FEATURE( )リクエストを受信したとき，対象がデバイスか，またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- Addressedステート　：CLEAR_FEATURE( )リクエストを受信したとき，対象がデバイスか，またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- Configuredステート　：CLEAR_FEATURE( )リクエストを受信したとき，対象がデバイスか，または存在するEndpointに対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。

CLEAR_FEATURE( )リクエストを正常処理した場合には，UF0 CLRリクエスト・レジスタ（UF0CLR）の対象ビットがセット（1）され，UF0 EPnステータス・レジスタL（UF0EnSL）のEnHALTビットがクリア（0）され，割り込みが発行されます（n = 0-4, 7, 8）。なお，対象がEndpointのとき，LEAR_FEATURE( )リクエストを受信した場合には，対象Endpointのトグル・ビット（DATA0/DATA1の切り替え制御）は必ずDATA0に再設定されます。

（b）GET_CONFIGURATION( )リクエスト

wValue, wIndex，wLengthのいずれかが表11－2　リクエスト・デコード対応表に記載以外のものの場合は，データ・ステージでSTALL応答します。

- Defaultステート　：GET_CONFIGURATION( )リクエストを受信したとき，UF0コンフィギュレーション・レジスタ（UF0CNF）に格納されている値を返信します。
- Addressedステート　：GET_CONFIGURATION( )リクエストを受信したとき，UF0CNFレジスタに格納されている値を返信します。
- Configuredステート　：GET_CONFIGURATION( )リクエストを受信したとき，UF0CNFレジスタに格納されている値を返信します。

（c）GET_DESCRIPTOR( )リクエスト

対象ディスクリプタがwMaxPacketSizeの倍数の長さを持つ場合には，データ・ステージの終わりを示すためにNullパケットを送り返します。そのとき，対象ディスクリプタの長さがwLength値未満の場合，対象ディスクリプタをすべて返信し，対象ディスクリプタの長さがwLength値以上の場合，wLength値まで返信します。

- Defaultステート　：GET_DESCRIPTOR( )リクエストを受信したとき，UF0デバイス・ディスクリプタ・レジスタn（UF0DDn），UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタm（UF0CIEm）に格納されている値を返信します（n = 0-17, m = 0-255）。
- Addressedステート　：GET_DESCRIPTOR( )リクエストを受信したとき，UF0DDnレジスタ，UF0CIEmレジスタに格納されている値を返信します。
- Configuredステート　：GET_DESCRIPTOR( )リクエストを受信したとき，UF0DDnレジスタ，UF0CIEmレジスタに格納されている値を返信します。

UF0CIEmレジスタに格納できるディスクリプタは，総数256バイトまでです。256バイト以上のディスクリプタを返信する場合には，UF0MODCレジスタのCDCGDSTビットをセット（1）して，FWによりGET_DESCRIPTOR( )リクエストを処理してください。

UF0CIEmレジスタで設定した全ディスクリプタのバイト数－1の値をUF0ディスクリプタ・レングス・レジスタ（UF0DSCL）に格納してください。このデータ＋1の値とwLengthにより転送データを制御します。

（d）GET_INTERFACE( )リクエスト

wValue，wLengthのいずれかが表11－2　リクエスト・デコード対応表に記載以外のものの場合，またはwIndexがUF0アクティブ・インタフェース・ナンバー・レジスタ（UF0AIFN）の設定以外の場合は，データ・ステージでSTALL応答します。

- Defaultステート　：GET_INTERFACE( )リクエストを受信したとき，データ・ステージでSTALL応答します。
- Addressedステート　：GET_INTERFACE( )リクエストを受信したとき，データ・ステージでSTALL応答します。
- Configuredステート　：GET_INTERFACE( )リクエストを受信したとき，wIndex値に対応したUF0インタフェースnレジスタ（UF0IFn）に格納されている値を返信します（n = 0-4）。

(e) GET_STATUS( )**リクエスト**

wValue, wIndex, wLength**のいずれかが表**11－2　**リクエスト・デコード対応表に記載以外のものの場合は，データ・ステージで**STALL**応答します。また，対象が**Interface**か，または存在しない**Endpoint**の場合は，データ・ステージで**STALL**応答します。**

- Default**ステート**　：GET_STATUS( )**リクエストを受信したとき，対象がデバイスか，または**Endpoint0**に対するリクエストの場合のみ対象ステータス・レジスタ**注**に格納されている値を返信します。それ以外の場合は，データ・ステージで**STALL**応答します。
- Addressed**ステート**　：GET_STATUS( )**リクエストを受信したとき，対象がデバイスか，または**Endpoint0**に対するリクエストの場合のみ対象ステータス・レジスタ**注**に格納されている値を返信します。それ以外の場合は，データ・ステージで**STALL**応答します。
- Configured**ステート**　：GET_STATUS( )**リクエストを受信したとき，対象がデバイスか，または存在する**Endpoint**に対するリクエストの場合のみ対象ステータス・レジスタ**注**に格納されている値を返信します。それ以外の場合は，データ・ステージで**STALL**応答します。

注　**対象ステータス・レジスタを次に示します。**
- **対象がデバイスの場合：**UF0**デバイス・ステータス・レジスタ**L（UF0DSTL）
- **対象が**Endpoint0**の場合：**UF0 EP0**ステータス・レジスタ**L（UF0E0SL）
- **対象が**Endpoint n**の場合：**UF0 EPn**ステータス・レジスタ**L（UF0EnSL）（n = 1-4, 7, 8）

(f) SET_ADDRESS( )**リクエスト**

wIndex, wLength**のいずれかが表**11－2　**リクエスト・デコード対応表に記載以外のものの場合は，ステータス・ステージで**STALL**応答します。指定されたデバイス・アドレスが**127**より大きい場合は，**STALL**応答になります。**

- Default**ステート**　：SET_ADDRESS ( )**リクエストを受信したとき，指定されたアドレスが**0**以外の場合には，デバイスは**Addressed**ステートに入り，**SIE**へ入力する**USB Address**値を指定のアドレス値に変更します。指定されたアドレスが**0**の場合には，**Default**ステートのままです。**
- Addressed**ステート**　：SET_ADDRESS ( )**リクエストを受信したとき，指定されたアドレスが**0**の場合には，デバイスは**Default**ステートに入り，**SIE**へ入力する**USB Address**値をディフォールト・アドレスに戻します。指定されたアドレスが**0**以外の場合には，**Addressed**ステートのままで，**SIE**へ入力する**USB Address**値を指定の新しいアドレス値に変更します。**
- Configured**ステート**　：SET_ADDRESS ( )**リクエストを受信したとき，指定されたアドレスが**0**の場合には，デバイスは**Configured**ステートのままで，**SIE**へ入力する**USB Address**値をディフォールト・アドレスに戻します。この場合，**Endpoint0**以外の**Endpoint**も有効のままで，コントロール転送（**IN**），コントロール転送（**OUT**），**Endpoint0**以外の**Endpoint**に対するバルク転送およびインタラプト転送にも応答します。指定されたアドレスが**0**

以外の場合には，Configuredステートのままで，SIEへ入力するUSB Address値を指定の新しいアドレス値に変更します。

(g) SET_CONFIGURATION( )リクエスト

wValue, wIndex, wLengthのいずれかが表11－2　リクエスト・デコード対応表に記載以外のものの場合は，ステータス・ステージでSTALL応答します。

- Defaultステート　：SET_CONFIGURATION( )リクエストを受信したとき，指定されたコンフィギュレーション値が1の場合には，UF0モード・ステータス・レジスタ（UF0MODS）のCONFビットとUF0コンフィギュレーション・レジスタ（UF0CNF）がセット（1）されます。指定されたコンフィグレーション値が0の場合には，UF0MODSレジスタのCONFビットとUF0CNFレジスタがクリア（0）されます。つまり，Addressedステートをスキップして，Default addressに応答するConfiguredステートに移行します。
- Addressedステート　：SET_CONFIGURATION( )リクエストを受信したとき，指定されたコンフィギュレーション値が1の場合には，UF0MODSレジスタのCONFビットとUF0CNFレジスタがセット（1）され，Configuredステートに入り，指定されたコンフィギュレーション値が0の場合には，Addressedステートのままです。
- Configuredステート　：SET_CONFIGURATION( )リクエストを受信したとき，指定されたコンフィギュレーション値が0の場合には，UF0MODSレジスタのCONFビットとUF0CNFレジスタがクリア（0）され，Addressedステートに戻り，指定されたコンフィギュレーション値が1の場合には，Configuredステートのままです。

SET_CONFIGURATION( )リクエストを正常処理した場合には，UF0 SETリクエスト・レジスタ（UF0SET）の対象ビットがセット（1）され，割り込みが発行されます。指定されたコンフィギュレーション値が現在のコンフィギュレーション値と同じ場合でも，すべてのHalt Featureは SET_CONFIGURATION( )リクエストを完了したあとにクリアされます。また，SET_CONFIGURATION( )リクエストを正常処理した場合には，必ずすべてのEndpointのデータ・トグルはDATA0に再び初期化されます（SET_CONFIGURATIONリクエストの受信からSET_INTERFACEリクエストを受信するまではディフォールト状態であるAlternative Setting 0に設定されているものと定義しています）。

(h) SET_FEATURE( )リクエスト

SET_FEATURE( )リクエストが，セットできない，存在しないFeatureである，対象がInterfaceか，または存在しないEndpointの場合には，ステータス・ステージでSTALL応答します。また，wLength値が0以外の場合もSTALL応答します。

- Defaultステート　：SET_FEATURE( )リクエストを受信したとき，対象がデバイスか，またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- Addressedステート　：SET_FEATURE( )リクエストを受信したとき，対象がデバイスか，またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- Configuredステート　：SET_FEATURE( )リクエストを受信したとき，対象がデバイスか，または存在するEndpointに対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。

SET_FEATURE( )リクエストを正常処理した場合には，UF0 SETリクエスト・レジスタ（UF0SET）の対象ビットやUF0 EPnステータス・レジスタL（UF0EnSL）のEnHALTビットがセット（1）され，割り込みが発行されます（n = 0-4, 7, 8）。

(i) SET_INTERFACE( )リクエスト

wLengthが表11－2　リクエスト・デコード対応表に記載以外のものの場合，wIndexがUF0アクティブ・インタフェース・ナンバー・レジスタ（UF0AIFN）の設定以外の場合，wValueがUF0アクティブ・オルタナティブ・セッティング・レジスタ（UF0AAS）設定以外の場合のいずれかのときに，ステータス・ステージでSTALL応答します。

- Defaultステート　：SET_INTERFACE( )リクエストを受信したとき，ステータス・ステージでSTALL応答します。
- Addressedステート　：SET_INTERFACE( )リクエストを受信したとき，ステータス・ステージでSTALL応答します。
- Configuredステート　：SET_INTERFACE( )リクエストを受信したとき，ステータス・ステージでNullパケットを送信します。

SET_INTERFACE( )リクエストを正常処理した場合には，割り込みが発行されます。対象Interfaceにリンクされたエンドポイントのすべての Halt Featureは，SET_INTERFACE( )リクエストを完了したあとにクリアされます。対象Interface番号に関連するすべてのEndpointのデータ・トグルは，必ずDATA0に再び初期化されます。また，SET_INTERFACE( )リクエストを正常処理して，現在選択されているAlternative Settingと異なる設定に変更する場合には，影響を受けるEndpointのFIFOは完全にクリアされ，関連するすべての割り込み要因なども初期化されます。

SET_INTERFACE( )リクエスト完了時，対象Interfaceにリンクされたすべてのエンドポイントの FIFOがクリアされます。また，同時にHalt Feature，Data PIDが初期化され，関連するUF0 INTステータスnレジスタ（UF0ISn）がクリア（0）されます（n = 0-4）（SET_CONFIGURATIONリクエスト完了時には，Halt Featureのクリアと Data PIDの初期化のみです）。

DMA転送中にSET_INTERFACE( )リクエストにより，対象Endpointがサポートされなくなった場合

は，DMAリクエスト信号はただちにインアクティブ状態になり，SET_INTERFACE( )リクエスト完了時にリンクされたEndpointのFIFOは完全にクリアされます。このため，FIFOのクリアにより，DMAのデータ転送は正常処理されなくなります。

11. 3. 2 その他のリクエスト

（1）応答と処理方法

次にその他のリクエストの応答と処理方法を示します。

表11－3 その他のリクエストの応答と処理方法

リクエスト	応答と処理方法
GET_DESCRIPTOR String	CPUDEC割り込み要求発生
GET_STATUS Interface	自動STALL応答
CLEAR_FEATURE Interface	自動STALL応答
SET_FEATURE Interface	自動STALL応答
all SET_DESCRIPTOR	CPUDEC割り込み要求発生
その他の全リクエスト	CPUDEC割り込み要求発生

11. 4　レジスタ構成

11. 4. 1　制御レジスタ

（1）UF0 EP0NAKレジスタ（UF0E0N）

Endpoint0のNAKを制御します（自動実行リクエストを除きます）。

8ビット単位でリード／ライト可能です（ただし，ビット0はリードだけ可能です）。

UF0FIC0, UF0FIC1レジスタをセットしてからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって，正確にステータスを読み出す必要がある場合は，UF0FIC0, UF0FIC1レジスタに対するライト信号とUF0EPS0, UF0EPS1, UF0EPS2レジスタ，UF0E0Nレジスタ，UF0ENレジスタに対するリード信号との間は4USBクロック以上空けてください。

Endpoint0 Read, Endpoint2, Endpoint4に対するNAK送信中は，EP0NKRビットに対する書き込みは無視されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0N	0	0	0	0	0	0	EP0NKR	EP0NKW	FFFFFE00H	00H

ビット位置	ビット名	意　味
1	EP0NKR	Endpoint0へのOUTトークンに対するNAKを制御します（自動実行リクエストを除く）。Endpoint0がデータを正常受信した際に，ハードウエアによって自動的にセット（1）されます。FWによってUF0E0Rレジスタのデータが読み出されたときに（カウンタ値 = 0），ハードウエアによって自動的にクリア（0）されます。 1：NAKを送信する 0：NAKを送信しない（初期値） USBFがデータを受信できるにもかかわらず，なんらかの理由によりUSBバスからのデータを受信したくない場合には，このビットをFWによりセット（1）してください。なおこの場合には，FWでこのビットをクリア（0）するまでUSBFはNAKを送出しつづけます。UF0E0Rレジスタをクリアした場合には同時にこのビットもクリア（0）されます。
0	EP0NKW	Endpoint0へのINトークンに対するNAK制御状況を示します（自動実行リクエストを除く）。Endpoint0のデータが送信され，送信データをホストが正常受信した場合にハードウエアによって自動的にクリア（0）されます。UF0E0Wレジスタのデータはこのタイミングまで保持されます。したがって，ホストが正常受信できなかった場合の再送要求に対しても，再度書き込みを行う必要はありません。ショート・パケットを送る場合には必ずUF0DENDレジスタのE0DEDビットをセット（1）してください。FIFOフルの場合は自動的にセット（1）されます。UF0DENDレジスタのE0DEDビットがセット（1）された場合，同時にEP0NKWビットが自動的にセット（1）されます。 1：NAKを送信しない 0：NAKを送信する（初期値） なお，データ・ステージでACKを正常に受信できていない状態でコントロール転送がステータス・ステージに変わった場合，UF0E0Wレジスタがクリアされると同時にこのビットもクリア（0）されます。FWによりUF0E0Wをクリアした場合にも同時にこのビットもクリア（0）されます。

次に，IN/OUTトークンをともなうSETUPトランザクションの手順を示します。

（a）INトークンをともなう場合（ハードウエアで自動実行するリクエストを除く）

FWはCPUDEC割り込みを受け取ったあと，UF0E0STレジスタからデータを読み出す前に，UF0IS1レジスタのPROTビットをクリア（0）してください。次に，リクエストに従った処理を行い，INトークンでデータを返す必要がある場合はUF0E0Wレジスタにデータを書き込みます。書き込みが終了したあと，UF0IS1レジスタのPROTビットが0であることを確認してから，UF0DENDレジスタのE0DEDビットをセット（1）します。ハードウエアはEP0NKWビットがセット（1）されてから最初のINトークンでデータの送出を行います。UF0IS1レジスタのPROTビットが1の場合，コントロール転送終了前にSETUPトランザクションが再度発生したことを示します。その場合は，UF0IC1レジスタのPROTCビットをクリア（0）することでUF0IS1レジスタのPROTビットをクリア（0）してから，再度UF0E0STレジスタからデータを読み出してください。あとから受信したリクエストを読み出すことが可能になります。

（b）OUTトークンをともなう場合（ハードウエアで自動実行するリクエストを除く）

FWはCPUDEC割り込みを受け取ったあと，UF0E0STレジスタからデータを読み出す前に，UF0IS1レジスタのPROTビットをクリア（0）してください。UF0E0Rレジスタからデータを読み出す前にUF0IS1レジスタのPROTビットが0であることを確認してください。もしPROTビットが1であれば無効なデータを保持しているので，FWによりFIFOをクリアしてください（EP0NKRビットは自動的にクリア（0）されます）。UF0IS1レジスタのPROTビットが0の場合はUF0E0Lレジスタのデータを読み出し，セットされている分だけのデータをUF0E0Rレジスタから読み出してください。UF0E0Rレジスタからのデータの読み出しが完了すると（UF0E0Rレジスタのカウンタが0になったときに），ハードウエアは自動的にEP0NKRビットをクリア（0）します。

（2）UF0 EP0NAKALL**レジスタ**（UF0E0NA）

Endpoint0のすべてのリクエストのNAKを制御します。自動実行リクエストに対しても有効です。

8ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0NA	0	0	0	0	0	0	0	EP0NKA	FFFFFE01H	00H

ビット位置	ビット名	意　味
0	EP0NKA	Endpoint0へのSETUPトランザクション以外のNAKを制御します（自動実行リクエストを含む）。このビットの操作はFWによって行います。 1：NAKを送信する 0：NAKを送信しない（初期値） このレジスタは，自動実行リクエストで使用するデータの変更を行う場合に，FWライトとSIEからのリードの競合を防止するためのもので，SIEからのアクセスが行われている間は，FWからこのビットへの書き込みの反映を保留する機能を持っています。FWによりリクエスト・データ・レジスタの書き換えを行う際には，このビットのセット（1）が正しく行えたことを確認してから実行してください。 このビットのセット（1）が反映されるのは，次の場合に限ります。 ・USBFがリセットされた直後でSETUPトークンを一度も受信していない ・Bus Resetの受信直後でSETUPトークンを一度も受信していない ・SETUPトークンのPIDを検出したとき ・ステータス・ステージへ移行したとき なお，クリア（0）はINトークンの受信中でNAK応答を行っている最中を除いてすぐに反映されます。 Endpoint0転送中のEP0NKAビットのセット（1）反映タイミングは上記の4つの場合となりますが，Endpoint0の転送以外の場合は書き込み後すぐに反映されます。

（3）UF0 EPNAKレジスタ（UF0EN）

Endpoint0以外のEndpointのNAK制御などを行います。

8ビット単位でリード／ライト可能です（ただし，ビット5, 4, 1, 0はリードだけ可能です）。

なお，BKO2NKビットはUF0ENMレジスタのBKO2NKMビット = 1のとき，BKO1NKビットはUF0ENMレジスタのBKO1NKMビット = 1のときだけライト可能です。

UF0EnIMレジスタ（n = 1-4, 7, 8）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

UF0FIC0, UF0FIC1レジスタを設定してからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって，正確にステータスを読み出す必要がある場合は，UF0FIC0, UF0FIC1レジスタに対するライト信号とUF0EPS0, UF0EPS1, UF0EPS2レジスタ，UF0E0Nレジスタ，UF0ENレジスタに対するリード信号との間は4USBクロック以上空けてください。

Endpoint0 Read, Endpoint2, Endpoint4に対するNAK送信中は，BKO1NK，BKO2NKビットに対する書き込みは無視されます。

ビット7, 6には必ず0を設定してください。1を設定した場合の動作は保証できません。

（1/4）

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EN	0	0	IT2NK	IT1NK	BKO2NK	BKO1NK	BKI2NK	BKI1NK	FFFFFE02H	00H

ビット位置	ビット名	意　味
5	IT2NK	Endpoint8（インタラプト2転送）に対するNAKを制御します。 データ書き込みによりUF0INT2レジスタがフルになるとこのビットは自動的にセット（1）され，送信が開始されます。FIFOがフルにならないショート・パケットを送る場合には，UF0DENDレジスタのIT2DENDビットをセット（1）してください。IT2DENDビットがセット（1）されると，同時にこのビットが自動的にセット（1）されます。 1：NAKを送信しない 0：NAKを送信する（初期値） なお，UF0INT2レジスタをクリアした場合には同時にこのビットもクリア（0）されます。
4	IT1NK	Endpoint7（インタラプト1転送）に対するNAKを制御します。 データ書き込みによりUF0INT1レジスタがフルになるとこのビットは自動的にセット（1）され，送信が開始されます。FIFOがフルにならないショート・パケットを送る場合には，UF0DENDレジスタのIT1DENDビットをセット（1）してください。IT1DENDビットがセット（1）されると，同時にこのビットが自動的にセット（1）されます。 1：NAKを送信しない 0：NAKを送信する（初期値） なお，UF0INT1レジスタをクリアした場合には同時にこのビットもクリア（0）されます。

（2/4）

ビット位置	ビット名	意　味
3	BKO2NK	Endpoint4（バルク2転送（OUT））に対するNAKを制御します。 1：NAKを送信する 0：NAKを送信しない（初期値） UF0BO2レジスタ（バンク構成の64バイトFIFO）のSIE側に接続されているFIFOがデータを受信できない場合のみセット（1）されます。なお，トグル動作が行われるとクリア（0）されます。バンクの切り替え（トグル動作）は，次に示す条件を満たす場合に行われます。 ・SIE側に接続されているFIFOに正常受信されたデータを格納した ・CPU側に接続されているFIFOカウンタ値が0である（リード完了） FWはBLKO2DT割り込み要求を受け取った時点でUF0BO2Lレジスタのデータを読み出し，その値分のデータをUF0BO2レジスタから読み出してください。USBFがデータを受信できるにもかかわらず，なんらかの理由によりUSBバスからのデータを受信したくない場合には，このビットをFWによりセット（1）してください。なお，この場合にはFWがこのビットをクリア（0）するまでUSBFはNAKを送出し続けます。UF0BO2レジスタをクリアした場合には同時にこのビットもクリア（0）されます。
2	BKO1NK	Endpoint2（バルク1転送（OUT））に対するNAKを制御します。 1：NAKを送信する 0：NAKを送信しない（初期値） UF0BO1レジスタ（バンク構成の64バイトFIFO）のSIE側に接続されているFIFOがデータを受信できない場合のみセット（1）されます。なお，トグル動作が行われるとクリア（0）されます。バンクの切り替え（トグル動作）は，次に示す条件を満たす場合に行われます。 ・SIE側に接続されているFIFOに正常受信されたデータを格納した ・CPU側に接続されているFIFOカウンタ値が0である（リード完了） FWはBLKO1DT割り込み要求を受け取った時点でUF0BO1Lレジスタのデータを読み出し，その値分のデータをUF0BO1レジスタから読み出してください。USBFがデータを受信できるにもかかわらず，なんらかの理由によりUSBバスからのデータを受信したくない場合には，このビットをFWによりセット（1）してください。なお，この場合にはFWがこのビットをクリア（0）するまでUSBFはNAKを送出し続けます。UF0BO1レジスタをクリアした場合には同時にこのビットもクリア（0）されます。

注意1. PIOモードでUF0BO2レジスタからデータを読み込んでいる最中にDMAを許可すると，すぐにDMAリクエストが発行されます。

2. DMA転送モードでCPU側FIFOの最終データを読み出すと，DMAリクエスト信号はインアクティブになります。

3. DMA転送モードでTC信号を受信すると，DMAリクエスト信号はインアクティブになります。

（3/4）

ビット位置	ビット名	意　　味
1	BKI2NK	Endpoint3（バルク2転送（IN））に対するNAKを制御します。 1：NAKを送信しない 0：NAKを送信する（初期値） UF0BI2レジスタ（バンク構成の64バイトFIFO）のデータ送信が正常に終了してSIE側に接続されているFIFOにデータがない場合のみクリア（0）されます。なお，トグル動作が行われるとセット（1）されます（UF0BI2レジスタのデータは，送信が正常に完了するまで保持されます）。バンクの切り替え（トグル動作）は，次に示す条件を満たす場合に行われます。 ・CPUバス側に接続されているFIFOに正常に書き込みが行われた （ライト完了，FIFOフルかUF0DENDレジスタがセットされている） ・SIE側に接続されているFIFOカウンタ値が0である データ書き込みによりCPU側のFIFOがフルになりFIFOトグル動作が行われると，このビットは自動的にセット（1）されデータ送信が開始されます。ただし，UF0DENDレジスタのBKI2Tビットがクリア（0）されている状態でのDMAによるCPU側のFIFOへの書き込みでFIFOがフルになった場合は，UF0DENDレジスタのBKI2DEDビットがセット（1）されるまでトグル動作の条件を満足しないため，トグル動作は発生しません。CPU側のFIFOがフルにならないショート・パケットを送る場合には，データ書き込み完了後BKI2DEDビットをセット（1）してください。BKI2DEDビットがセット（1）されると，トグル動作が行われるのと同時にこのビットも自動的にセット（1）されます。UF0BI2レジスタをクリアした場合には同時にこのビットもクリア（0）されます。

注意1.　PIOモードでUF0BI2レジスタにデータを書き込んでいる最中にDMA許可を行うと，すぐにDMAリクエストが発行されます。

2.　DMA転送モードで64バイト書き込みを行った場合，DMAリクエスト信号はインアクティブになります。このあとBKI2NKビットがセット（1）されている場合には，INトークンに同期してデータ送信が行われます。FIFOのトグルが発生した時点で，DMAリクエストのマスクを行わないかぎりDMAリクエスト信号は再度アクティブになります。一方，BKI2NKビットがセットされていない（0）場合には，INトークンを受け取ってもデータの送信は行われません。この場合には，UF0DENDレジスタのBKI2DEDビットをセット（1）してください。

3.　DMA転送モードでTC信号を受信すると，DMAリクエスト信号はインアクティブになります。同時にDMAリクエストもマスクされます。BKI2NKビットがセット（1）されない場合には，INトークンを受け取ってもデータの送信は行われません。FWでUF0DENDレジスタのBKI2DEDビットをセット（1）すると，INトークンに同期してデータ送信が行われます。再度DMA転送を行う場合は，DMAリクエストのマスクを解除してください。

（4/4）

ビット位置	ビット名	意　　味
0	BKI1NK	Endpoint1（バルク1転送（IN））に対するNAKを制御します。 1：NAKを送信しない 0：NAKを送信する（初期値） UF0BI1レジスタ（バンク構成の64バイトFIFO）のデータ送信が正常に終了してSIE側に接続されているFIFOにデータがない場合のみクリア（0）されます。なお，トグル動作が行われるとセット（1）されます（UF0BI1レジスタのデータは，送信が正常に完了するまで保持されます）。バンクの切り替え（トグル動作）は，次に示す条件を満たす場合に行われます。 ・CPUバス側に接続されているFIFOに正常に書き込みが行われた （ライト完了，FIFOフルかUF0DENDレジスタがセットされている） ・SIE側に接続されているFIFOカウンタ値が0である データ書き込みでCPU側のFIFOがフルになりFIFOトグル動作が行われると，このビットは自動的にセット（1）されデータ送信が開始されます。ただし，UF0DENDレジスタのBKI1Tビットがクリア（0）されている状態でのDMAによるCPU側のFIFOへの書き込みでFIFOがフルになった場合は，UF0DENDレジスタのBKI1DEDビットがセット（1）されるまでトグル動作の条件を満足しないため，トグル動作は発生しません。CPU側のFIFOがフルにならないショート・パケットを送る場合には，データ書き込み完了後BKI1DEDビットをセット（1）してください。BKI1DEDビットがセット（1）されると，トグル動作が行われるのと同時にこのビットも自動的にセット（1）されます。UF0BI1レジスタをクリアした場合には同時にこのビットもクリア（0）されます。

注意1. PIOモードでUF0BI1レジスタにデータを書き込んでいる最中にDMA許可を行うと，すぐにDMAリクエストが発行されます。

2. DMA転送モードで64バイト書き込みを行った場合，DMAリクエスト信号はインアクティブになります。このあとBKI1NKビットがセット（1）されている場合には，INトークンに同期してデータ送信が行われます。FIFOのトグルが発生した時点で，DMAリクエストのマスクを行わないかぎりDMAリクエスト信号は再度アクティブになります。一方，BKI1NKビットがセットされていない（0）場合には，INトークンを受け取ってもデータの送信は行われません。この場合には，UF0DENDレジスタのBKI1DEDビットをセット（1）してください。

3. DMA転送モードでTC信号を受信すると，DMAリクエスト信号はインアクティブになります。同時にDMAリクエストもマスクされます。BKI1NKビットがセット（1）されない場合には，INトークンを受け取ってもデータの送信は行われません。FWでUF0DENDレジスタのBKI1DEDビットをセット（1）すると，INトークンに同期してデータ送信が行われます。再度DMA転送を行う場合は，DMAリクエストのマスクを解除してください。

（4）UF0 EPNAKマスク・レジスタ（UF0ENM）

UF0ENレジスタに対する書き込みマスクを制御します。

8ビット単位でリード／ライト可能です。

ビット7-4, 1, 0には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ENM	0	0	0	0	BKO2NKM	BKO1NKM	0	0	FFFFFE03H	00H

ビット位置	ビット名	意　味
3	BKO2NKM	UF0ENレジスタのビット3（BKO2NK）に対する書き込みをマスクするかしないかを設定します。 1：マスクしない 0：マスクする（初期値）
2	BKO1NKM	UF0ENレジスタのビット2（BKO1NK）に対する書き込みをマスクするかしないかを設定します。 1：マスクしない 0：マスクする（初期値）

（5）UF0 SNDSIEレジスタ（UF0SDS）

ノー・ハンドシェークなどの操作を行います。SIEの端子を直接操作できます。

8ビット単位でリード／ライトが可能です。

ビット2には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0SDS	0	0	0	0	SNDSTL	0	0	RSUMIN	FFFFFE04H	00H

ビット位置	ビット名	意　味
3	SNDSTL	Endpoint0に対してSTALLハンドシェークを発行させるようにします。CPUDEC処理のリクエストがシステムで対応していないものであるときにセット（1）することで，STALLハンドシェークで応答させます。SET_CONFIGURATION, SET_INTERFACEリクエストなどでサポートしていないwValueが送られてきた場合は，ハードウエアがこのビットをセット（1）します。自動リクエストでのオーバラン等によりEndpoint0で問題が発生した場合もこのビットはセット（1）されます。ただし，UF0E0SLレジスタのE0HALTビットへのセット（1）は行われません。 1：STALLハンドシェークで応答する 0：STALLハンドシェークで応答しない（初期値） なお，次のSETUPトークンを受信したときにこのビットはクリア（0）され，バスへのハンドシェーク応答はSTALL以外になります。FWでSNDSTLビットをセット（1）する場合には，UF0E0Wレジスタへの書き込みは行わないでください。また，セット（1）するタイミングによってはSTALL応答が間に合わずNAK応答を行ったあとに次の転送にSTALL応答する場合もあります。 このビットの設定は，セット（1）されたときに実行中のFW実行リクエストの間だけ有効です。次のSETUPトークン受信時に自動的にクリア（0）されます。 **備考**　SNDSTLビットはFW実行リクエストに対してだけ有効です。
0	RSUMIN	USBバス上にResume信号を出力させます。UF0DSTLレジスタのRMWKビットがセット（1）されていないかぎり，このビットへの書き込みは無効となります。 1：Resume信号を発生させる 0：Resume信号を発生させない（初期値） このビットがセット（1）されている間はResume信号を発生させ続けますので，一定時間経過したあとFWによりクリア（0）してください。内部でクロックによるサンプリングを行っているため，CLKが供給されている場合にのみ動作を保証できます。システムとしてCLKを停止する場合は注意してください。

（6）UF0 CLRリクエスト・レジスタ（UF0CLR）

受信されたCLEAR_FEATUREリクエストが何を対象にしたものかを示します。

8ビット単位でリードだけ可能です。

このレジスタは割り込み要求が発生したときにだけ意味を持ちます。各ビットはステータス・ステージ終了後にセット（1）され，このレジスタを読み出したときに自動的にクリア（0）されます。

UF0EnIMレジスタ（n = 1-4, 7, 8）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CLR	CLREP8	CLREP7	CLREP4	CLREP3	CLREP2	CLREP1	CLREP0	CLRDEV	FFFFFE05H	00H

ビット位置	ビット名	意　味
7-1	CLREPn	CLEAR_FEATURE Endpoint nリクエストを受信して，自動処理を行ったことを示します。 1：自動処理を行った 0：自動処理を行っていない（初期値）
0	CLRDEV	CLEAR_FEATURE Deviceリクエストを受信して，自動処理を行ったことを示します。 1：自動処理を行った 0：自動処理を行っていない（初期値）

備考　n = 0-4, 7, 8

（7）UF0 SETリクエスト・レジスタ（UF0SET）

自動処理を行ったSET_XXXXリクエスト（SET_INTERFACEを除く）が何を対象にしたものかを示します。

8ビット単位でリードだけ可能です。

このレジスタは割り込み要求が発生したときにだけ意味を持ちます。各ビットはステータス・ステージ終了後にセット（1）され，このレジスタを読み出したときに自動的にクリア（0）されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0SET	SETCON	0	0	0	0	SETEP	0	SETDEV	FFFFFE06H	00H

ビット位置	ビット名	意　味
7	SETCON	SET_CONFIGURATIONリクエストを受信して，自動処理を行ったことを示します。 1：自動処理を行った 0：自動処理を行っていない（初期値）
2	SETEP	SET_FEATURE Endpoint nリクエスト（n = 0-4, 7, 8）を受信して，自動処理を行ったことを示します。 1：自動処理を行った 0：自動処理を行っていない（初期値）
0	SETDEV	SET_FEATURE Deviceリクエストを受信して，自動処理を行ったことを示します。 1：自動処理を行った 0：自動処理を行っていない（初期値）

（8）UF0 EPステータス0レジスタ（UF0EPS0）

USBバス状態，レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ（n = 1-4, 7, 8）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

UF0FIC0, UF0FIC1レジスタを設定してからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって，正確にステータスを読み出す必要がある場合はUF0FIC0, UF0FIC1レジスタに対するライトとUF0EPS0, UF0EPS1, UF0EPS2レジスタ，UF0E0Nレジスタ，UF0ENレジスタに対するリードとの間は4USBクロック以上空けてください。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS0	IT2	IT1	BKOUT2	BKOUT1	BKIN2	BKIN1	EP0W	EP0R	FFFFFE07H	00H

ビット位置	ビット名	意　味
7, 6	ITn	UF0INTnレジスタ（FIFO）にデータがあることを示します。また，UF0DENDレジスタのITnDEDビットをセット（1）することにより，UF0INTnレジスタに書き込みを行わなくてもデータがある状態にすることが可能です（Nullデータ送信）。UF0INTnレジスタのカウンタが0であっても，UF0DENDレジスタのITnDEDビットをセット（1）すると，同時にこのビットがハードウエアによりセット（1）されます。正常送信後にクリア（0）されます。 1：データがある 0：データがない（初期値）
5, 4	BKOUTn	CPU側に接続されたUF0BOnレジスタ（FIFO）にデータがあることを示します。UF0BOnレジスタを構成しているFIFOが切り替わったときに，ハードウエアにより自動的にセット（1）されます。CPU側に接続されたUF0BOnレジスタ（FIFO）の読み出しが終了（カウンタ値 = 0）したときに，ハードウエアにより自動的にクリア（0）されます。Nullデータを受信した場合はセット（1）されません（FIFOのトグルも発生しません）。 1：データがある 0：データがない（初期値）
3, 2	BKINn	CPU側に接続されたUF0BInレジスタ（FIFO）にデータがあることを示します。また，UF0DENDレジスタのBKInDEDビットをセット（1）することにより，UF0BInレジスタに書き込みを行わなくてもデータがある状態にすることが可能です（Nullデータ送信）。UF0BInレジスタのカウンタが0であっても，UF0DENDレジスタのBKInDEDビットをセット（1）すると，同時にこのビットがハードウエアによりセット（1）されます。トグル動作時にクリア（0）されます。 1：データがある 0：データがない（初期値）

備考　n = 1, 2

（2/2）

ビット位置	ビット名	意　味
1	EP0W	UF0E0Wレジスタ（FIFO）にデータがあることを示します。また，UF0DENDレジスタのE0DEDビットをセット（1）することにより，UF0E0Wレジスタに書き込みを行わなくてもデータがある状態にすることが可能です（Nullデータ送信）。UF0E0Wレジスタのカウンタが0であっても，UF0DENDレジスタのE0DEDビットをセット（1）すると，同時にこのビットがハードウエアによりセット（1）されます。正常送信後にクリア（0）されます。 1：データがある 0：データがない（初期値）
0	EP0R	UF0E0Rレジスタ（FIFO）にデータがあることを示します。UF0E0Rレジスタ（FIFO）の読み出しが終了（カウンタ値 = 0）したときに，ハードウエアにより自動的にクリア（0）されます。Nullデータを受信した場合はセット（1）されません。 1：データがある 0：データがない（初期値）

（9）UF0 EPステータス1レジスタ（UF0EPS1）

USBバス状態，レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS1	RSUM	0	0	0	0	0	0	0	FFFFFE08H	00H

ビット位置	ビット名	意　味
7	RSUM	USBバスがResume状態にあることを示します。このビットは割り込み要求が発生したときにだけ意味を持ちます。 1：Suspend状態になった 0：Resume状態になった（初期値） 内部でクロックによるサンプリングを行っているため，CLKが供給されている場合にのみ動作を保証できます。システムとしてCLKを停止する場合は注意してください。SIEではCLKが停止した状態でもINTRSUM信号は動作します。したがって割り込み制御レジスタ（RSUMIC）を有効にするか，USBFに対するCLKの周波数を下げることで対応が可能になります。 このビットは読み出したときに自動的にクリア（0）されます。

（10）UF0 EPステータス2レジスタ（UF0EPS2）

USBバス状態，レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ（n = 1-4, 7, 8）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS2	0	HALT8	HALT7	HALT4	HALT3	HALT2	HALT1	HALT0	FFFFFE09H	00H

ビット位置	ビット名	意　味
6-0	HALTn	現在Endpoint nがストールしていることを示すビットです。オーバラン発生や規定外リクエスト受信などのストール条件が成立した場合にセット（1）されます。これらのビットはハードウエアにより自動的にセット（1）されます。 1：Endpointがストールしている 0：Endpointはストールしていない（初期値） オーバラン発生／規定外リクエスト受信などによりHALT0ビットがセット（1）されると，同時にSNDSTLビットもセット（1）されます。この状態で次のSETUPトークンを受信すると，SNDSTLビットがクリア（0）されるため，このビットもクリア(0)されます。なお，SET_FEATURE Endpoint0リクエストによりEndpoint0をストールさせた場合には，CLEAR_FEATURE Endpoint0リクエストを受信するかFWでHalt Featureをクリアするまでこのビットはクリア（0）されません。 Endpoint0 の Halt Feature をセットした状態で GET_STATUS Endpoint0, CLEAR_FEATURE Endpoint0, SET_FEATURE Endpoint0リクエスト，またはCPUDEC割り込み要求によりFWで処理を行うリクエストを受信した場合には，次のSETUPトークンを受信するまでHALT0ビットはマスクされ0になります。 Endpoint nがCLEAR_FEATURE Endpointリクエストを受信するまでかEndpointがリンクされたInterfaceに対するSET_INTERFACE, SET_CONFIGURATIONリクエストでHalt Featureをクリアするまで，またはFWでHalt Featureをクリアするまで，HALTnビットはクリア（0）されません。SET_INTERFACE, SET_CONFIGURATIONリクエストを正常処理した場合には，wValue値が現行の設定値と同じであったとしてもEndpoint0を除いたすべての対象EndpointのHalt Featureはリクエストを処理したあとにクリアされ，これらのビットもクリア（0）されます。Endpoint0のHalt Featureがセットされていると SET_INTERFACE, SET_CONFIGURATIONリクエストはSTALL応答されるため，Endpoint0のHalt Featureはクリアできません。

備考　n = 0-4, 7, 8

（11）UF0 INTステータス0レジスタ（UF0IS0）

割り込み要因を示します。このレジスタに変化があった場合は，INTUSB0B信号がアクティブになります。

8ビット単位でリードだけ可能です。

USBFから割り込み要求（INTUSB0B）が発生した場合，FWはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは，UF0IC0レジスタの対応ビットに0を書き込むと強制的にクリア（0）されます。

注意　USBFでは，Bus Reset, Resume, Shortなど複数の割り込み要因が内部で論理和（OR）され，1つの割り込み要求（INTUSB0B）として発生します。このため，複数の割り込み要因が発生している場合，複数の割り込み要因が論理和（OR）されてINTUSB0B割り込み要求を発行します。例えば，Bus Reset割り込み要因とResume割り込み要因が発生している場合には，2つの要因が論理和（OR）されてINTUSB0B割り込み要求を発行します。
この条件で，Bus Reset割り込み要因だけをクリア（0）（UF0IC0レジスタのBUSRSTCビット = 0）した場合，Resume割り込み要因が残っているため，V850E/ME2内部のINTUSB0B割り込み要求はセット（1）された状態のままとなり，新たに割り込み要求フラグ（US0BICレジスタのUS0BIFビット）がセット（1）されないことがあります。
この場合，INTUSB0B割り込み処理ルーチン内で各割り込み要求のクリア処理を実施したあと，改めてUF0IS0, UF0IS1レジスタのフラグ状態を確認し，フラグがセット（1）されている割り込み要因がある場合には，フラグのクリア（一括クリアではなく，該当ビットのみをクリア）を行ってください。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS0	BUSRST	RSUSPD	0	SHORT	DMAED	SETRQ	CLRRQ	EPHALT	FFFFFE10H	00H

ビット位置	ビット名	意　味
7	BUSRST	Bus Resetが行われたことを示します。 1：Bus Resetが行われた（割り込み要求発生） 0：Bus Reset状態ではない（初期値）
6	RSUSPD	ResumeまたはSuspend状態が発生したことを示します。FWでUF0EPS1レジスタのビット7を参照してください。 1：ResumeまたはSuspend状態が発生した（割り込み要求発生） 0：ResumeまたはSuspend状態が発生していない（初期値）
4	SHORT	UF0BO1，UF0BO2レジスタのいずれかのFIFOからデータが読み出され，USBSPnB信号（n = 2, 4）のいずれかをアクティブにしたことを示します。DMAモードでFIFOがフルになっていないときにだけ有効です。 1：USBSPnB信号をアクティブにした（割り込み要求発生） 0：USBSPnB信号をアクティブにしていない（初期値） 実際にどのEndpointに対する動作であるかはUF0DMS1レジスタで確認してください。ただし，FWによりUF0DMS1レジスタを読み出しても，自動的にはクリア（0）されません。

（2/2）

ビット位置	ビット名	意　　味
3	DMAED	Endpoint n用DMA終了（TC）信号（n = 1-4, 7, 8）のいずれかがアクティブになったことを示します。 1：Endpoint n用DMA終了信号が入力された（割り込み要求発生） 0：Endpoint n用DMA終了信号が入力されていない（初期値） このビットがセット（1）されると，Endpoint n用DMA要求信号はインアクティブになります。FWによりDMA転送許可を行わないかぎり，Endpoint n用DMA要求信号はアクティブになりません。 実際にどのEndpointに対する動作であるかはUF0DMS0レジスタで確認してください。ただし，FWによりUF0DMS0レジスタを読み出しても，自動的にはクリア（0）されません。
2	SETRQ	自動処理対象のSET_XXXXリクエストを受信し，自動処理を行ったことを示します（XXXX = CONFIGURATION, FEATURE）。 1：自動処理対象のSET_XXXXリクエストを受信した（割り込み要求発生） 0：自動処理対象のSET_XXXXリクエストを受信していない（初期値） このビットはステータス・ステージ終了後にセット（1）されます。SET_xxxxリクエストの受信により割り込みが発生した場合，必ずUF0SETレジスタを読み出し，リクエストの対象を確認してください。UF0SETレジスタを読み出さない場合，以降，SET_xxxxリクエストを自動応答しても，割り込みが発生しなくなることがあります。 FWによりUF0SETレジスタを読み出しても，自動的にはクリア（0）されません。 なお，SET_FEATURE Endpointリクエストを受信したときはEPHALTビットもセット（1）されます。
1	CLRRQ	CLEAR_FEATUREリクエストを受信し，自動処理を行ったことを示します。 1：CLEAR_FEATUREリクエストを受信した（割り込み要求発生） 0：CLEAR_FEATUREリクエストを受信していない（初期値） このビットはステータス・ステージ終了後にセット（1）されます。 CLEAR_FEATUREリクエストの対象が何かはUF0CLRレジスタを参照してください。FWによりUF0CLRレジスタを読み出しても，自動的にはクリア（0）されません。
0	EPHALT	Endpointがストールしていることを示します。 1：Endpointがストールしている（割り込み要求発生） 0：Endpointがストールしていない（初期値） なお，FWのセットによりEndpointをストールさせた場合もこのビットがセット（1）されます。 ストールしているEndpointは，UF0EPS2レジスタを参照してください。 CLEAR_FEATURE Endpoint, SET_INTERFACE, SET_CONFIGURATIONリクエストを受信しても，自動的にはクリア（0）されません。またEndpoint0のオーバラン発生の場合，次のSETUPトークンを受信しても，自動的にはクリア（0）されません。 **注意**　Endpoint0のHalt Featureがセットされてこの割り込み要求が発生した場合でも，SET_FEATURE Endpoint0, CLEAR_FEATURE Endpoint0, GET_STATUS Endpoint0リクエストまたはFW処理リクエストを受信してから次の前述以外のSETUPトークンを受信するまではUF0EPS2レジスタのビット0はマスクされ0になります。

★

（12）UF0 INTステータス1レジスタ（UF0IS1）

割り込み要因を示します。このレジスタに変化があった場合は，INTUSB0B信号がアクティブになります。

8ビット単位でリードだけ可能です。

USBFから割り込み要求（INTUSB0B）が発生した場合，FWはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは，UF0IC1レジスタの対応ビットに0を書き込むと強制的にクリア（0）されます。ただし，UF0IS1レジスタのSUCES, STGビットは次のSETUPトークン受信で自動的にクリア（0）されます。

注意　USBFでは，Bus Reset, Resume, Shortなど複数の割り込み要因が内部で論理和（OR）され，1つの割り込み要求（INTUSB0B）として発生します。このため，複数の割り込み要因が発生している場合，複数の割り込み要因が論理和（OR）されてINTUSB0B割り込み要求を発行します。
例えば，Bus Reset割り込み要因とResume割り込み要因が発生している場合には，2つの要因が論理和（OR）されてINTUSB0B割り込み要求を発行します。
この条件で，Bus Reset割り込み要因だけをクリア（0）（UF0IC0レジスタのBUSRSTCビット = 0）した場合，Resume割り込み要因が残っているため，V850E/ME2内部のINTUSB0B割り込み要求はセット（1）された状態のままとなり，新たに割り込み要求フラグ（US0BICレジスタのUS0BIFビット）がセット（1）されないことがあります。
この場合，INTUSB0B割り込み処理ルーチン内で各割り込み要求のクリア処理を実施したあと，改めてUF0IS0, UF0IS1レジスタのフラグ状態を確認し，フラグがセット（1）されている割り込み要因がある場合には，フラグのクリア（一括クリアではなく，該当ビットのみをクリア）を行ってください。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS1	0	E0IN	E0INDT	E0ODT	SUCES	STG	PROT	CPU DEC	FFFFFE11H	00H

ビット位置	ビット名	意　味
6	E0IN	Endpoint0に対するINトークンを受信して，ハードウエアが自動的にNAKを送信したことを示します。 1：INトークンを受信しNAKを送出した（割り込み要求発生） 0：INトークンを受信していない（初期値）
5	E0INDT	UF0E0Wレジスタからデータが正常に送信されたことを示します。 1：UF0E0Wレジスタから送信が完了した（割り込み要求発生） 0：UF0E0Wレジスタから送信を完了していない（初期値） データはUF0E0NレジスタのEP0NKWビットをセット（1）した次のINトークンに同期して送信されますが，そのデータをホストが正常受信した場合にハードウエアにより自動的にセット（1）されます。Nullパケットでもセット（1）されます。UF0E0Wレジスタに書き込みを行った最初のライト・アクセス時にハードウエアにより自動的にクリア（0）されます。
4	E0ODT	データがUF0E0Rレジスタに正常に受信されたことを示します。 1：UF0E0Rレジスタにデータがある（割り込み要求発生） 0：UF0E0Rレジスタにデータがない（初期値） 正常に受信するとハードウエアにより自動的にセット（1）され，同時にUF0EPS0レジスタのEP0Rビットもセット（1）されます。Nullパケットを受信した場合はセット（1）されません。FWによりUF0E0Rレジスタを読み出し，UF0E0Lレジスタの値が0になるとハードウエアにより自動的にクリア（0）されます。
3	SUCES	FW処理またはハードウエア処理リクエストのどちらかを受信し，ステータス・ステージを正常に終了したことを示します。 1：コントロール転送を正常に処理し終わった（割り込み要求発生） 0：コントロール転送を正常に処理し終わっていない（初期値） このビットはステータス・ステージ終了後にセット（1）されます。また，次のSETUPトークンを受信したときにハードウエアにより自動的にクリア（0）されます。 なお，コントロール転送のステータス・ステージでData PIDが0のデータ（Nullデータ）を受信した場合もSUCESビットがセット（1）されます。

（2/2）

ビット位置	ビット名	意　　味
2	STG	コントロール転送でステータス・ステージに変わったときにセット（1）されます。FW処理またはハードウエア処理のいずれのリクエストでも有効です。また，コントロール転送（データなし）でもステータス・ステージに変わったときにはセット（1）されます。 1：ステータス・ステージに入った（割り込み要求発生） 0：ステータス・ステージに入っていない（初期値） このビットは次のSETUPトークンを受信したときにハードウエアにより自動的にクリア（0）されます。 なお，データ・ステージでACKを正常に受信できていない状態でコントロール転送がステータス・ステージに変わった場合でもセット（1）されます。この場合，FWでコントロール転送（リード）を処理している場合にはUF0E0Wレジスタと同時にUF0E0NレジスタのEP0NKWビットもクリア（0）されます。
1	PROT	SETUPトークンを受信したことを示します。ハードウエア処理またはFW処理のいずれのリクエストでも有効です。 1：SETUPトークンを正常受信した（割り込み要求発生） 0：SETUPトークンを受信していない（初期値） このビットは，UF0E0STレジスタにデータを正常受信した際にセット（1）されます。UF0E0STレジスタを最初にリード・アクセスする際などに，FWによってクリア（0）してください。FWによりクリア（0）しなかった場合，次のSETUPトークンを正常に受け取ったことを認識できません。 このビットは，コントロール転送中に再度SETUPトランザクションが行われたことを確実に認識するために使用します。コントロール転送中に再度SETUPトランザクションが行われ，2番目のリクエストがハードウエア実行の場合CPUDECビットはセット（1）されないので，このビットで確認することができます。
0	CPUDEC	UF0E0STレジスタにFWでデコードを行うリクエストがあることを示します。 1：UF0E0STレジスタにデータがある（割り込み要求発生） 0：UF0E0STレジスタにデータがない（初期値） UF0E0STレジスタのデータをすべてリードすると，ハードウエアにより自動的にクリア（0）されます。

（13）UF0 INTステータス2レジスタ（UF0IS2）

割り込み要因を示します。このレジスタに変化があった場合は，INTUSB1B信号がアクティブになります。

8ビット単位でリードだけ可能です。

USBFから割り込み要求（INTUSB1B）が発生した場合，FWはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは，UF0IC2レジスタの対応ビットに0を書き込むと強制的にクリア（0）されます。

UF0EnIMレジスタ（n = 1, 3, 7, 8）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS2	BKI2IN	BKI2DT	BKI1IN	BKI1DT	0	0	IT2DT	IT1DT	FFFFFE12H	00H

ビット位置	ビット名	意　味
7, 5	BKInIN	UF0BInレジスタ（Endpoint m）に対するINトークンを受信してNAKを返信したことを示します。 1：INトークンを受信しNAKを送出した（割り込み要求発生） 0：INトークンを受信していない（初期値）
6, 4	BKInDT	UF0BInレジスタ（Endpoint m）のFIFOのトグルが発生したことを示します。これはEndpoint mにデータを書き込めることを意味します。 1：FIFOのトグル動作が発生した（割り込み要求発生） 0：FIFOのトグル動作が発生していない（初期値） Endpoint mに書き込まれたデータはUF0ENレジスタのBKInNKビットがセット（1）された次のINトークンに同期して送信されますが，FIFOのトグル動作が発生してCPU側からデータが書き込めるようになると，このビットがハードウエアにより自動的にセット（1）されます。Nullパケットの場合でもFIFOの切り替えが行われた場合はセット（1）されます。UF0BInレジスタに書き込みを行った最初のライト・アクセス時にハードウエアが自動的にクリア（0）します。
1, 0	ITnDT	UF0INTnレジスタ（Endpoint x）からデータが正常に送信されたことを示します。 1：送信が完了した（割り込み要求発生） 0：送信が完了していない（初期値） データはUF0ENレジスタのITnNKビットをセット（1）した次のINトークンに同期して送信されますが，そのデータをホストが正常受信した場合にハードウエアにより自動的にセット（1）されます。UF0INTnレジスタに書き込みを行った最初のライト・アクセス時にハードウエアが自動的にクリア（0）します。Nullパケットでもセット（1）されます。

備考　n = 1, 2

n = 1のときm = 1, x = 7

n = 2のときm = 3, x = 8

（14）UF0 INTステータス3レジスタ（UF0IS3）

割り込み要因を示します。このレジスタに変化があった場合は，INTUSB1B信号がアクティブになります。

8ビット単位でリードだけ可能です。

USBFから割り込み要求（INTUSB1B）が発生した場合，FWはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは，UF0IC3レジスタの対応ビットに0を書き込むと強制的にクリア（0）されます。

UF0EnIMレジスタ（n = 2, 4）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS3	BKO2FL	BKO2NL	BKO2 NAK	BKO2DT	BKO1FL	BKO1NL	BKO1 NAK	BKO1DT	FFFFFE13H	00H

ビット位置	ビット名	意　味
7, 3	BKOnFL	UF0BOnレジスタ（Endpoint m）にデータが正常受信され，CPU/SIEの両方のFIFOにデータが保持されていることを示します。 1：UF0BOnレジスタの両方のFIFOに受信データが存在する（割り込み要求発生） 0：UF0BOnレジスタの少なくともSIE側FIFOには受信データが存在しない（初期値） CPU/SIEの両方のFIFOにデータが保持されると，ハードウエアにより自動的にセット（1）されます。FIFOのトグル動作が起こるとハードウエアにより自動的にクリア（0）されます。
6, 2	BKOnNL	UF0BOnレジスタ（Endpoint m）でNullパケット（0長パケット）を受信したことを示します。 1：Nullパケットを受信した（割り込み要求発生） 0：Nullパケットは受信していない（初期値） FIFOが空の状態ではNullパケットの受信により受信直後にこのビットがセット（1）されます。CPU側FIFOにデータが存在する状態ではCPU側FIFOの読み出しが完了したあとにこのビットがセット（1）されます。
5, 1	BKOnNAK	UF0BOnレジスタ（Endpoint m）に対するOUTトークンを受信してNAKを返信したことを示します。 1：OUTトークンを受信しNAKを送出した（割り込み要求発生） 0：OUTトークンを受信していない（初期値）

備考　n = 1, 2

n = 1のときm = 2

n = 2のときm = 4

（2/2）

ビット位置	ビット名	意　味
4, 0	BKOnDT	UF0BOnレジスタ（Endpoint m）にデータが正常受信されたことを示します。 1：正常に受信が完了した（割り込み要求発生） 0：受信が完了していない（初期値） 正常受信を行いFIFOが切り替わったときに，ハードウエアにより自動的にセット（1）され，同時にUF0EPS0レジスタの対応ビットもセット（1）されます。Nullパケットの場合はセット（1）されません。FWによるUF0BOnレジスタ読み出しでUF0BOnLレジスタの値が0になると，ハードウエアにより自動的にクリア（0）されます。 このビットはCPU側のFIFOをすべて読み出したときに自動的にクリア（0）されますが，このときSIE側にデータがあれば割り込み要求はクリアされずINTUSB1B信号もインアクティブになりません。連続してデータを受信した場合は，アクティブのままになります。

備考 n = 1, 2

n = 1のときm = 2

n = 2のときm = 4

（15）UF0 INTステータス4レジスタ（UF0IS4）

割り込み要因を示します。このレジスタに変化があった場合は，INTUSB2B信号がアクティブになります。

8ビット単位でリードだけ可能です。

USBFから割り込み要求（INTUSB2B）が発生した場合，FWはこのレジスタを読み出して割り込み要因を確認してください。

このレジスタのビットは，UF0IC4レジスタの対応ビットに0を書き込むと強制的にクリア（0）されます。

UF0EnIMレジスタ（n = 1-4, 7, 8）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS4	0	0	SETINT	0	0	0	0	0	FFFFFE14H	00H

ビット位置	ビット名	意　味
5	SETINT	SET_INTERFACEリクエストを受信して，自動処理を行ったことを示します。 1：自動処理を行った（割り込み要求発生） 0：自動処理を行っていない（初期値） 現在の設定がどのようになっているかはUF0ASSレジスタまたはUF0IFnレジスタ（n = 0-4）を読み出すことで判断できます。

（16）UF0 INTマスク0レジスタ（UF0IM0）

UF0IS0レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード／ライト可能です。

FWはこのレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求（INTUSB0B）発生をマスクします。マスクした場合もステータスは反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM0	BUS RSTM	RSU SPDM	0	SHORTM	DMA EDM	SET RQM	CLR RQM	EP HALTM	FFFFFE17H	00H

ビット位置	ビット名	意　味
7	BUSRSTM	Bus Reset割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）
6	RSUSPDM	Resume/Suspend割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）
4	SHORTM	Short割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）
3	DMAEDM	DMA_END割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）
2	SETRQM	SET_RQ割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）
1	CLRRQM	CLR_RQ割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）
0	EPHALTM	EP_Halt割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）

（17）UF0 INTマスク1レジスタ（UF0IM1）

UF0IS1レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード／ライト可能です。

FWはこのレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求（INTUSB0B）発生をマスクします。マスクした場合もステータスは反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM1	0	E0INM	E0 INDTM	E0 ODTM	SUCESM	STGM	PROTM	CPU DECM	FFFFFE18H	00H

ビット位置	ビット名	意　味
6	E0INM	EP0IN割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）
5	E0INDTM	EP0INDT割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）
4	E0ODTM	EP0OUTDT割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）
3	SUCESM	Success割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）
2	STGM	Stg割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）
1	PROTM	Protect割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）
0	CPUDECM	CPUDEC割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）

（18）UF0 INTマスク2レジスタ（UF0IM2）

UF0IS2レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード／ライト可能です。

FWは，このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求（INTUSB1B）発生をマスクします。マスクを行った場合もステータスは反映されます。

UF0EnIMレジスタ（n = 1, 3, 7, 8）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM2	BKI2INM	BKI2 DTM	BKI1INM	BKI1 DTM	0	0	IT2DTM	IT1DTM	FFFFFE19H	00H

ビット位置	ビット名	意　味
7, 5	BKInINM	BLKInIN割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）
6, 4	BKInDTM	BLKInDT割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）
1, 0	ITnDTM	INTnDT割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）

備考　n = 1, 2

（19）UF0 INTマスク3レジスタ（UF0IM3）

UF0IS3レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード／ライト可能です。

FWは，このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求（INTUSB1B）発生をマスクします。マスクを行った場合もステータスは反映されます。

UF0EnIMレジスタ（n = 2, 4）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM3	BKO2 FLM	BKO2 NLM	BKO2 NAKM	BKO2 DTM	BKO1 FLM	BKO1 NLM	BKO1 NAKM	BKO1 DTM	FFFFFE1AH	00H

ビット位置	ビット名	意　味
7, 3	BKOnFLM	BLKOnFL割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）
6, 2	BKOnNLM	BLKOnNL割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）
5, 1	BKOnNAKM	BLKOnNK割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）
4, 0	BKOnDTM	BLKOnDT割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）

備考　n = 1, 2

（20）UF0 INTマスク4レジスタ（UF0IM4）

UF0IS4レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード／ライト可能です。

FWは，このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求（INTUSB2B）発生をマスクします。マスクを行った場合もステータスは反映されます。

UF0EnIMレジスタ（n = 1-4, 7, 8）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM4	0	0	SETINTM	0	0	0	0	0	FFFFFE1BH	00H

ビット位置	ビット名	意　味
5	SETINTM	SET_INT割り込みのマスクを行います。 1：マスクする 0：マスクしない（初期値）

（21）UF0 INTクリア0レジスタ（UF0IC0）

UF0IS0レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は，FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウエアが自動的にクリア（0）するビットでも，ハードウエアによるクリア（0）の前にFWによるクリア（0）が可能です。0を書き込んだあとは自動的にセット（1）されます。1を書き込んでも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC0	BUS RSTC	RSU SPDC	1	SHORTC	DMA EDC	SET RQC	CLR RQC	EP HALTC	FFFFFE1EH	FFH

ビット位置	ビット名	意　味
7	BUSRSTC	Bus Reset割り込み要求をクリアします。 0：クリアする
6	RSUSPDC	Resume/Suspend割り込み要求をクリアします。 0：クリアする
4	SHORTC	Short割り込み要求をクリアします。 0：クリアする
3	DMAEDC	DMA_END割り込み要求をクリアします。 0：クリアする
2	SETRQC	SET_RQ割り込み要求をクリアします。 0：クリアする
1	CLRRQC	CLR_RQ割り込み要求をクリアします。 0：クリアする
0	EPHALTC	EP_Halt割り込み要求をクリアします。 0：クリアする

（22）UF0 INTクリア1レジスタ（UF0IC1）

UF0IS1レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は，FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウエアが自動的にクリア（0）するビットでも，ハードウエアによるクリア（0）の前にFWによるクリア（0）が可能です。0を書き込んだあとは自動的にセット（1）されます。1を書き込んでも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC1	1	E0INC	E0 INDTC	E0ODTC	SUCESC	STGC	PROTC	CPU DECC	FFFFFE1FH	FFH

ビット位置	ビット名	意　味
6	E0INC	EP0IN割り込み要求をクリアします。 0：クリアする
5	E0INDTC	EP0INDT割り込み要求をクリアします。 0：クリアする
4	E0ODTC	EP0OUTDT割り込み要求をクリアします。 0：クリアする
3	SUCESC	Success割り込み要求をクリアします。 0：クリアする
2	STGC	Stg割り込み要求をクリアします。 0：クリアする
1	PROTC	Protect割り込み要求をクリアします。 0：クリアする
0	CPUDECC	CPUDEC割り込み要求をクリアします。 0：クリアする

（23）UF0 INTクリア2レジスタ（UF0IC2）

UF0IS2レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は，FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウエアが自動的にクリア（0）するビットでも，ハードウエアによるクリア（0）の前にFWによるクリア（0）が可能です。0を書き込んだあとは自動的にセット（1）されます。1を書き込んでも無効となります。

UF0EnIMレジスタ（n = 1, 3, 7, 8）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC2	BKI2INC	BKI2 DTC	BKI1INC	BKI1 DTC	1	1	IT2DTC	IT1DTC	FFFFFE20H	FFH

ビット位置	ビット名	意　味
7, 5	BKInINC	BLKInIN割り込み要求をクリアします。 0：クリアする
6, 4	BKInDTC	BLKInDT割り込み要求をクリアします。 0：クリアする
1, 0	ITnDTC	INTnDT割り込み要求をクリアします。 0：クリアする

備考　n = 1, 2

（24）UF0 INTクリア3レジスタ（UF0IC3）

UF0IS3レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は，FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウエアが自動的にクリア（0）するビットでも，ハードウエアによるクリア（0）の前にFWによるクリア（0）が可能です。0を書き込んだあとは自動的にセット（1）されます。1を書き込んでも無効となります。

UF0EnIMレジスタ（n = 2, 4）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC3	BKO2 FLC	BKO2 NLC	BKO2 NAKC	BKO2 DTC	BKO1 FLC	BKO1 NLC	BKO1 NAKC	BKO1 DTC	FFFFFE21H	FFH

ビット位置	ビット名	意　味
7, 3	BKOnFLC	BLKOnFL割り込み要求をクリアします。 0：クリアする
6, 2	BKOnNLC	BLKOnNL割り込み要求をクリアします。 0：クリアする
5, 1	BKOnNAKC	BLKOnNK割り込み要求をクリアします。 0：クリアする
4, 0	BKOnDTC	BLKOnDT割り込み要求をクリアします。 0：クリアする

備考　n = 1, 2

（25）UF0 INTクリア4レジスタ（UF0IC4）

UF0IS4レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は，FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウエアが自動的にクリア（0）するビットでも，ハードウエアによるクリア（0）の前にFWによるクリア（0）が可能です。0を書き込んだあとは自動的にセット（1）されます。1を書き込んでも無効となります。

UF0EnIMレジスタ（n = 1-4, 7, 8）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC4	1	1	SETINTC	1	1	1	1	1	FFFFFE22H	FFH

ビット位置	ビット名	意　味
5	SETINTC	SET_INT割り込み要求をクリアします。 0：クリアする

（26）UF0 INT＆DMARQレジスタ（UF0IDR）

割り込み要求による通知またはDMA起動を選択するためのレジスタです。

8ビット単位でリード／ライト可能です。

UF0BO1, UF0BO2レジスタのいずれかにデータが存在する場合，またはUF0BI1, UF0BI2レジスタにデータを書き込める場合に，FWに対して割り込み要求で通知するかDMA起動を要求するかを選択します。また，DMA起動を要求した場合は，ビット0, 1の設定によりDMA転送モードが選択できます。

UF0EnIMレジスタ（n = 1-4）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

ビット3, 2には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意　DMA転送中のSET_INTERFACEリクエストで対象Endpointがサポートされなくなった場合は，DMAリクエスト信号はただちにインアクティブになり，該当するビットはハードウエアにより自動的にクリア（0）されます。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IDR	DQBI2MS	DQBI1MS	DQBO2MS	DQBO1MS	0	0	MODE1	MODE0	FFFFFE26H	00H

ビット位置	ビット名	意　味
7, 6	DQBInMS	UF0BInレジスタへの書き込みDMA転送リクエスト（Endpoint m用DMA要求信号）の許可（マスク）を行います。このビットをセット（1）すると，データの書き込みを受け付けられるときEndpoint m用DMA要求信号がアクティブになります。Endpoint m用DMA終了信号が入力された場合（DMAコントローラがTCを発行したとき）に，このビットはハードウエアにより自動的にクリア（0）されます。DMAによる転送を継続する場合は，FWで再セット（1）してください。 1：Endpoint m用DMA要求信号アクティブ許可（BKInDT割り込みをマスク） 0：Endpoint m用DMA要求信号アクティブ不許可（初期値）
5, 4	DQBOnMS	UF0BOnレジスタの読み出しDMA転送リクエスト（Endpoint x用DMA要求信号）の許可（マスク）を行います。このビットをセット（1）すると，読み出すデータがUF0BOnレジスタに準備されるとEndpoint x用DMA要求信号がアクティブになります。Endpoint x用DMA終了信号が入力された場合（DMAコントローラがTCを発行したとき）に，このビットはハードウエアにより自動的にクリア（0）されます。USBSPxB信号のアクティブ時にもクリア（0）されます。DMAによる転送を継続する場合は，FWで再セット（1）してください。 1：Endpoint x用DMA要求信号アクティブ許可（BKOnDT割り込みをマスク） 0：Endpoint x用DMA要求信号アクティブ不許可（初期値）

備考　n = 1, 2

n = 1のときm = 1, x = 2

n = 2のときm = 3, x = 4

（2/2）

ビット位置	ビット名	意　味
1, 0	MODE1, MODE0	DMA転送モードを選択します。 MODE1 / MODE0 / モード / 備考 1 / 1 / 設定禁止 / 動作は保証できません。 1 / 0 / デマンド・モード / データがあるかぎりDMAリクエスト信号はアクティブになります。データがなくなるとインアクティブになります。 0 / X / シングル・モード / 1回のDMA転送ごとにDMAリクエスト信号をインアクティブにします。 備考1. X：Don’t care 2. USBでDMA転送を行う場合はシングル転送モード，シングルステップ転送モードでしか転送できませんので，MODE1, MODE0ビットの設定は，デマンド・モード，シングル・モードのいずれを設定しても動作上違いはありません。

（27）UF0 DMAステータス0レジスタ（UF0DMS0）

Endpoint1-Endpoint4のDMAのステータスを示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ（n = 1-4）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DMS0	0	0	DQE4	DQE3	DQE2	DQE1	0	0	FFFFFE27H	00H

ビット位置	ビット名	意　味
5	DQE4	Endpoint4からメモリへのDMA読み出し要求を行っていることを示します。 1：Endpoint4に対するDMA読み出し要求中 0：Endpoint4に対するDMA読み出し要求をしていない（初期値）
4	DQE3	メモリからEndpoint3へのDMA書き込み要求を行っていることを示します。 Endpoint3にデータがある状態（FIFOフル以外，BKI2DEDビットのセット（1）後）でも，UF0IDRレジスタのDQBI2MSビットをセット（1）すると，すぐにDMAリクエスト信号がアクティブになりDMA転送が開始されますのでご注意ください。 1：Endpoint3に対するDMA書き込み要求中 0：Endpoint3に対するDMA書き込み要求をしていない（初期値）
3	DQE2	Endpoint2からメモリへのDMA読み出し要求を行っていることを示します。 1：Endpoint2に対するDMA読み出し要求中 0：Endpoint2に対するDMA読み出し要求をしていない（初期値）
2	DQE1	メモリからEndpoint1へのDMA書き込み要求を行っていることを示します。 Endpoint1にデータがある状態（FIFOフル以外，BKI1DEDビットのセット（1）後）でも，UF0IDRレジスタのDQBI1MSビットをセット（1）すると，すぐにDMAリクエスト信号がアクティブになりDMA転送が開始されますのでご注意ください。 1：Endpoint1に対するDMA書き込み要求中 0：Endpoint1に対するDMA書き込み要求をしていない（初期値）

（28）UF0 DMAステータス1レジスタ（UF0DMS1）

Endpoint1-Endpoint4のDMAのステータスを示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ（n = 1-4）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

各ビットはこのレジスタを読み出したときに自動的にクリア（0）されます。ただし，このレジスタを読み出してもUF0IS0レジスタのビット4，3はクリア（0）されません。SET_INTERFACEリクエストで対象Endpointがサポートされなくなった場合は，各ビットはハードウエアにより自動的にクリア（0）されます（ただし，DMA_END割り込み要求，Short割り込み要求はクリアされません）。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DMS1	DEDE4	DSPE4	DEDE3	DEDE2	DSPE2	DEDE1	0	0	FFFFFE28H	00H

ビット位置	ビット名	意　味
7, 5, 4, 2	DEDEn	Endpoint nからメモリへのDMA読み出し要求を行っている最中にEndpoint n用DMA終了（TC）信号がアクティブになりDMAが停止したことを示します。 1：Endpoint n用DMA終了信号がアクティブ 0：Endpoint n用DMA終了信号がインアクティブ（初期値）
6, 3	DSPEm	Endpoint mからメモリへのDMA読み出し要求を行っていたが，受信データがショート・パケットであり転送データがなくなったため，DMAが停止したことを示します。 1：USBSPmB信号がアクティブ 0：USBSPmB信号がインアクティブ（初期値）

備考　n = 1-4

m = 2, 4

（29）UF0 FIFOクリア0レジスタ（UF0FIC0）

各FIFOをクリアするためのレジスタです。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は，00Hが読み出せます。

FWはこのレジスタの該当するビットに1を書き込むことで対象FIFOをクリアできます。1を書き込んだあとは自動的にクリア（0）されます。0を書き込んでも無効となります。

UF0EnIMレジスタ（n = 1, 3, 7, 8）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0FIC0	BKI2SC	BKI2CC	BKI1SC	BKI1CC	ITR2C	ITR1C	EP0WC	EP0RC	FFFFFE30H	00H

ビット位置	ビット名	意　味
7, 5	BKInSC	UF0BInレジスタのSIE側FIFOのみをクリア（カウンタをリセット）します。 1：クリアする BKInNKビットがセット（1）されている状態でEndpoint mに対するINトークンの処理中にこのビットの書き込みを行っても無効になります。なお，BKInNKビットはFIFOをクリアすることで自動的にクリア（0）されます。このビットを使用するときにはCPU側FIFOを必ず空にしておいてください。
6, 4	BKInCC	UF0BInレジスタのCPU側FIFOのみをクリア（カウンタをリセット）します。 1：クリアする
3, 2	ITRnC	UF0INTnレジスタをクリア（カウンタをリセット）します。 1：クリアする ITnNKビットがセット（1）されている状態でEndpoint xに対するINトークンの処理中にこのビットの書き込みを行っても無効になります。なお，ITnNKビットはFIFOをクリアすることで自動的にクリア（0）されます。
1	EP0WC	UF0E0Wレジスタをクリア（カウンタをリセット）します。 1：クリアする EP0NKWビットがセット（1）されている状態でEndpoint0に対するINトークンの処理中にこのビットの書き込みを行っても無効になります。なお，EP0NKWビットはFIFOをクリアすることで自動的にクリア（0）されます。
0	EP0RC	UF0E0Rレジスタをクリア（カウンタをリセット）します。 1：クリアする EP0NKRビットがセット（1）されている場合（ただし，FWでセット（1）した場合は除く）には，FIFOをクリアすることでEP0NKRビットが自動的にクリア（0）されます。

備考　n = 1, 2

n = 1のときm = 1, x = 7

n = 2のときm = 3, x = 8

（30）UF0 FIFOクリア1レジスタ（UF0FIC1）

各FIFOをクリアするためのレジスタです。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は，00Hが読み出せます。

FWはこのレジスタの該当するビットに1を書き込むことで対象FIFOをクリアできます。1を書き込んだあとは自動的にクリア（0）されます。0を書き込んでも無効となります。

UF0EnIMレジスタ（n = 2, 4）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0FIC1	0	0	0	0	BKO2C	BKO2CC	BKO1C	BKO1CC	FFFFFE31H	00H

ビット位置	ビット名	意　味
3, 1	BKOnC	UF0BOnレジスタのSIE側/CPU側の両FIFOをクリア（カウンタをリセット）します。 1：クリアする BKOnNKビットがセット（1）されている場合（ただし，FWでセット（1）した場合は除く）には，FIFOをクリアすることでBKOnNKビットが自動的にクリア（0）されます。
2, 0	BKOnCC	UF0BOnレジスタのCPU側のFIFOだけをクリア（カウンタをリセット）します。 1：クリアする BKOnNKビットがセット（1）されている場合（ただし，FWでセット（1）した場合は除く）には，FIFOをクリアすることでBKOnNKビットが自動的にクリア（0）されます。

備考　n = 1, 2

（31）UF0データ・エンド・レジスタ（UF0DEND）

送信系に対し書き込み終了を通知するためのレジスタです。

8ビット単位でライトだけ可能です（ただし，ビット7, 6はリード／ライト可能）。このレジスタをリードした場合は，00Hが読み出せます。

FWはこのレジスタの該当するビットに1を書き込むことで対象Endpointのデータ転送を開始させることができます。1を書き込んだあとは自動的にクリア（0）されます。0を書き込んでも無効となります。

UF0EnIMレジスタ（n = 1, 3, 7, 8）の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DEND	BKI2T	BKI1T	0	IT2DEND	IT1DEND	BKI2DED	BKI1DED	E0DED	FFFFFE35H	00H

ビット位置	ビット名	意　味
7, 6	BKInT	DMAによりUF0BInレジスタのCPU側のFIFOがフルになった場合に，FIFOのトグル動作を自動的に実行するかを設定します。 1：FIFOフルになった時点でFIFOのトグル動作を自動的に実行する 0：FIFOフルになってもFIFOのトグル動作は自動実行しない（初期値）
4, 3	ITnDEND	UF0INTnレジスタのデータを送信するときにセット（1）してください。このビットがセット（1）されると，ITnNKビットがセット（1）されデータ転送が行われます。 1：ショート・パケットを送信する 0：ショート・パケットを送信しない（初期値） UF0FIC0レジスタのITRnCビットがセット（1）され，さらにこのビットがセット（1）された場合（UF0INTnレジスタのカウンタ = 0，UF0EPS0レジスタの対応ビット = 1），Null（データ長0）パケットが送信されます。 UF0INTnレジスタにデータが存在し，さらにこのビットがセット（1）された場合（UF0INTnレジスタのカウンタ≠0，UF0EPS0レジスタの対応ビット = 1），ショート・パケットが送信されます。 FIFOがフルの場合はこのビットに関連する制御はハードウエアによって自動的に行われます。

備考　n = 1, 2

（2/2）

ビット位置	ビット名	意　　味
2, 1	BKInDED	UF0BInレジスタへの送信データの書き込みが終了したときにセット（1）してください。このビットがセット（1）されると，FIFOのトグル動作が行えるようになったタイミングでFIFOトグル動作が起こり，BKInNKビットがセット（1）されデータ転送が行われます。 1：ショート・パケットを送信する 0：ショート・パケットを送信しない（初期値） このビットはCPU側のFIFOを制御します。 UF0FIC0レジスタのBKInCCビットがセット（1）され，さらにこのビットがセット（1）された場合（UF0BInレジスタのカウンタ = 0），Null（データ長0）パケットが送信されます。 UF0BInレジスタにデータが存在し，さらにこのビットがセット（1）された場合（UF0BInレジスタのカウンタ≠0），FIFOがフルでなければショート・パケットが送信されます。 PIOかBKInTビットをセット（1）した状態のDMAでUF0BInレジスタのCPU側のFIFOをフルにした場合，このビットをセット（1）しなくてもハードウエアはデータ送信を開始します。 BKInTビットをクリア（0）した状態のDMAでUF0BInレジスタのCPU側のFIFOをフルにした場合，必ずこのビットをセット（1）してください（11. 4. 1（3）UF0EPNAKレジスタ（UF0EN）参照）。
0	E0DED	UF0E0Wレジスタのデータを送信するときにセット（1）してください。このビットがセット（1）されると，EP0NKWビットがセット（1）されデータ転送が行われます。 1：ショート・パケットを送信する 0：ショート・パケットを送信しない（初期値） UF0FIC0レジスタのEP0WCビットがセット（1）され，さらにこのビットがセット（1）された場合（UF0E0Wレジスタのカウンタ = 0，UF0EPS0レジスタのビット1 = 1），Null（データ長0）パケットが送信されます。 UF0E0Wレジスタにデータが存在し，さらにこのビットがセット（1）された場合（UF0E0Wレジスタのカウンタ≠0，UF0EPS0レジスタのビット1 = 1），FIFOがフルでなければショート・パケットが送信されます。

備考　n = 1, 2

（32）UF0 GPRレジスタ（UF0GPR）

USBFとUSBインタフェースを制御します。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は，00Hが読み出せます。ビット7-1には，必ず0を設定してください。

FWはこのレジスタのビット0に1を書き込むことでUSBFをリセットできます。1を書き込んだあとは自動的にクリア（0）されます。0を書き込んでも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0GPR	0	0	0	0	0	0	0	MRST	FFFFFE37H	00H

ビット位置	ビット名	意　味
0	MRST	USBFをリセットするときにセット（1）してください。 1：リセットする このビットをFWによりセット（1）したあと実際にリセットされるのは，ライト信号のインアクティブから2USBクロック後になります。 システム・クロックの動作中にMRSTビットによるUSBFのリセットを行った場合，USBFについてはRESET端子による制御（ハードウエア・リセット）と同じになります（レジスタ値が初期値に戻ります）。 ただし，UF0CSレジスタとUF0BCレジスタは，MRSTビットによるリセットの影響を受けません。

（33）UF0モード・コントロール・レジスタ（UF0MODC）

CPUDEC処理の制御を行います。

8ビット単位でリード／ライト可能です。

このレジスタの各ビットを設定することにより，UF0MODSレジスタの設定を変更できます。ハードウエア・リセット時とUF0GRPレジスタのMRSTビットをセット（1）したときにだけ自動的にクリア（0）されます。

このレジスタのビットがハードウエアにより自動的にセット（1）されても，FWによる設定が優先されます。

ビット7, 5-2には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意　このレジスタはデバッグ用に用意されています。動作検証や特殊なモードを使用する場合以外はこのレジスタは設定しないでください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0MODC	0	CDCGDST	0	0	0	0	0	0	FFFFFE3AH	00H

ビット位置	ビット名	意　味
6	CDCGDST	GET_DESCRIPTOR Configurationリクエストを CPUDEC処理に切り替えるときにセット（1）してください。このビットをセット（1）することによりUF0MODSレジスタのCDCGDビットを強制的にセット（1）できます。 1：GET_DESCRIPTOR Configurationリクエストを強制的にCPUDEC処理に変更（UF0MODSレジスタのCDCGDビットをセット（1）） 0：GET_DESCRIPTOR Configurationリクエストは自動処理のまま（初期値）

（34）UF0モード・ステータス・レジスタ（UF0MODS）

コンフィギュレーション状況を示します。

8ビット単位でリードだけ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0MODS	0	CDCGD	0	MPACK	DFLT	CONF	0	0	FFFFFE3CH	00H

ビット位置	ビット名	意　味
6	CDCGD	GET_DESCRIPTOR Configurationリクエストを CPUDEC処理に切り替えるかを示します。 1：GET_DESCRIPTOR Configurationリクエストを強制的にCPUDEC処理に変更 0：GET_DESCRIPTOR Configurationリクエストは自動処理のまま（初期値）
4	MPACK	Endpoint0の送信パケット・サイズを示します。 1：8バイト以外で送信を行っている 0：8バイトで送信を行っている（初期値） このビットはGET_DESCRIPTOR Deviceリクエストを処理したあと（ステータス・ステージ正常終了時）に，ハードウエアにより自動的にセット（1）されます。なお，USBFがリセットされるまでこのビットはクリア（0）されません（Bus Resetではクリア（0）されません）。 このビットがセット（1）されていない状態では，ハードウエアは自動実行リクエストのみ8バイト転送を行います。したがって，GET_DESCRIPTOR Deviceリクエストの完了前にFW処理のOUTトークンで8バイト以上のデータが送られた場合でも，正常受信します。 なお，Endpoint0のサイズを8バイト構成にした場合は無視されます。
3	DFLT	ディフォールト状態（DFLTビット = 1）になっているかを示します。 1：応答許可 0：応答禁止（常に無応答）（初期値） このビットはBus Resetにより自動的にセット（1）されます。このビットがセット（1）されるまですべてのEndpointに対するトランザクションに応答しません。
2	CONF	SET_CONFIGURATIONリクエストが完了したかを示します。 1：SET_CONFIGURATIONリクエストが完了した 0：SET_CONFIGURATIONリクエストが完了していない（初期値） SET_CONFIGURATIONリクエストでConfiguration値 = 1を受信したときにセット（1）されます。 このビットがセット（1）されていないかぎり，Endpoint0以外に対するアクセスは無視されます。 なお，SET_CONFIGURATIONリクエストでConfiguration値 = 0を受信したとき，このビットはクリア（0）されます。また，Bus Resetを検出したときもクリア（0）されます。

（35）UF0アクティブ・インタフェース・ナンバー・レジスタ（UF0AIFN）

GET/SET_INTERFACEリクエストに対して正常に応答する有効なInterface番号を設定します。なお，Interface 0は必ず有効となるため，Interface 1-4までを選択できます。

8ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0AIFN	ADDIF	0	0	0	0	0	IFNO1	IFNO0	FFFFFE40H	00H

ビット位置	ビット名	意　味
7	ADDIF	0以外のInterface番号が利用できるように設定します。 1：IFNO1, IFNO0ビットで指定されるInterface番号までサポート 0：Interface 0だけをサポート（初期値） このビットがセット（1）されていない状態ではこのレジスタのビット1, 0の設定は無効になります。
1, 0	IFNO1, IFNO0	サポートするInterface番号の範囲を設定します。

IFNO1	IFNO0	有効なInterface番号
1	1	0, 1, 2, 3, 4
1	0	0, 1, 2, 3
0	1	0, 1, 2
0	0	0, 1

（36）UF0アクティブ・オルタナティブ・セッティング・レジスタ（UF0AAS）

Interface番号とAlternative Settingのリンクを設定します。

8ビット単位でリード／ライト可能です。

V850E/ME2のUSBFでは5連Alternative Setting（Alternative Setting 0, 1, 2, 3, 4を定義できる）と2連Alternative Setting（Alternative Setting 0, 1を定義できる）をそれぞれ1つのInterfaceに対して設定できます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0AAS	ALT2	IFAL21	IFAL20	ALT2EN	ALT5	IFAL51	IFAL50	ALT5EN	FFFFFE41H	00H

ビット位置	ビット名	意　味
7, 3	ALTn	n連Alternative SettingをInterface 0にリンクするかを設定します。このビットがセット（1）されるとIFALn1, IFALn0ビットの設定は無効になります。 1：Interface 0にn連Alternative Settingをリンクする 0：Interface 0にはn連Alternative Settingはリンクしない（初期値）
6, 5, 2, 1	IFALn1, IFALn0	n連Alternative Settingにリンクされるinterface番号を設定します。リンクしたInterface番号がUF0AIFNレジスタで設定されたInterface番号の範囲外のときは，n連Alternative Settingは無効になります（ALTnENビット = 0）。 IFALn1 / IFALn0 / リンクするInterface番号 1 / 1 / Interface 4とリンク 1 / 0 / Interface 3とリンク 0 / 1 / Interface 2とリンク 0 / 0 / Interface 1とリンク 5連Alternative Settingと2連Alternative Settingを同じInterface番号にリンクさせないようにしてください。
4, 0	ALTnEN	n連Alternative Settingを有効にします。このビットがセット（1）されていないとALTnビット，IFALn1, IFALn0ビットの設定は無効になります。 1：n連Alternative Settingを有効にする 0：n連Alternative Settingを有効にしない（初期値）

備考　n = 2, 5

たとえば，UF0AIFNレジスタを82Hに設定し，UF0AASレジスタを15Hに設定した場合，Interface 0, 1, 2, 3が有効になりInterface 0, 2はAlternative Setting 0のみ，Interface 1はAlternative Setting 0, 1，Interface 3はAlternative Setting 0, 1, 2, 3, 4をサポートすることを示します。この設定ではGET_INTERFACE wIndex = 0/1/2/3， SET_INTERFACE wValue = 0 & wIndex = 0/2， SET_INTERFACE wValue = 0/1 & wIndex = 1，SET_INTERFACE wValue = 0/1/2/3/4 & wIndex = 3のリクエストに対して自動応答し，それ以外のGET/SET_INTERFACEリクエストにはSTALL応答します。

（37）UF0オルタナティブ・セッティング・ステータス・レジスタ（UF0ASS）

現在のAlternative Settingの設定状態を示します。

8ビット単位でリードだけ可能です。

SET_INT割り込み要求が発行されたときはこのレジスタを確認してください。なお，SET_INTERFACE リクエストで受信した値は同時にUF0IFnレジスタ（n = 0-4）にも反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ASS	0	0	0	0	AL5ST3	AL5ST2	AL5ST1	AL2ST	FFFFFE42H	00H

ビット位置	ビット名	意　味
3-1	AL5ST3- AL5ST1	5連Alternative Settingの現在の設定状況を示します。 AL5ST3 / AL5ST2 / AL5ST1 / 設定されているAlternative Setting番号 1 / 0 / 0 / Alternative Setting 4 0 / 1 / 1 / Alternative Setting 3 0 / 1 / 0 / Alternative Setting 2 0 / 0 / 1 / Alternative Setting 1 0 / 0 / 0 / Alternative Setting 0
0	AL2ST	2連Alternative Settingの現在の設定状況（設定されているAlternative Setting番号）を示します。 1：Alternative Setting 1 0：Alternative Setting 0

（38）UF0エンドポイント1インタフェース・マッピング・レジスタ（UF0E1IM）

Endpoint1がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード／ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative Settingによってが現在有効であるかどうかを判定し，GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint1リクエストとEndpoint1へのINトランザクションに対してどのように応答するかと関連ビットの有効／無効をハードウエアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E1IM	E1EN2	E1EN1	E1EN0	E12AL1	E15AL4	E15AL3	E15AL2	E15AL1	FFFFFE43H	00H

ビット位置	ビット名	意　味
7-5	E1EN2- E1EN0	Endpoint1の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは，Alternative Setting 0とリンクされます。なお，Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。 E1EN2 / E1EN1 / E1EN0 / リンク状態 1 / 1 / 1 / Interfaceとリンクされていない 1 / 1 / 0 1 / 0 / 1 / Interface 4, Alternative Setting 0とリンク 1 / 0 / 0 / Interface 3, Alternative Setting 0とリンク 0 / 1 / 1 / Interface 2, Alternative Setting 0とリンク 0 / 1 / 0 / Interface 1, Alternative Setting 0とリンク 0 / 0 / 1 / Interface 0, Alternative Setting 0とリンク 0 / 0 / 0 / Interfaceとリンクされていない（初期値） 110, 111に設定されている場合は，E12AL1ビットを0に設定しても無効となります。 リンクされている設定であれば，UF0MODSレジスタのCONFビットがセット（1）されたときにEndpoint1が有効になることを示します。
4	E12AL1	2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint1が有効になるようにします。 1：CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0：CONFビット = 1でAlternate Setting 1に設定されても有効にならない（初期値） このビットはE15AL4-E15AL1ビットが0000の場合に有効になります。
3-0	E15ALn	5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint1が有効になるようにします。 1：CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0：CONFビット = 1でAlternate Setting nに設定されても有効にならない（初期値）

備考 n = 1-4

（39）UF0エンドポイント2インタフェース・マッピング・レジスタ（UF0E2IM）

Endpoint2がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード／ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative Settingによってが現在有効であるかどうかを判定し，GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint2リクエストとEndpoint2へのOUTトランザクションに対してどのように応答するかと関連ビットの有効／無効をハードウエアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E2IM	E2EN2	E2EN1	E2EN0	E22AL1	E25AL4	E25AL3	E25AL2	E25AL1	FFFFFE44H	00H

ビット位置	ビット名	意　味
7-5	E2EN2- E2EN0	Endpoint2の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは，Alternative Setting 0とリンクされます。なお，Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。 E2EN2 / E2EN1 / E2EN0 / リンク状態 1 / 1 / 1 / Interfaceとリンクされていない 1 / 1 / 0 1 / 0 / 1 / Interface 4, Alternative Setting 0とリンク 1 / 0 / 0 / Interface 3, Alternative Setting 0とリンク 0 / 1 / 1 / Interface 2, Alternative Setting 0とリンク 0 / 1 / 0 / Interface 1, Alternative Setting 0とリンク 0 / 0 / 1 / Interface 0, Alternative Setting 0とリンク 0 / 0 / 0 / Interfaceとリンクされていない（初期値） 110, 111に設定されている場合は，E22AL1ビットを0に設定しても無効となります。 リンクされている設定であれば，UF0MODSレジスタのCONFビットがセット（1）されたときにEndpoint2が有効になることを示します。
4	E22AL1	2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint2が有効になるようにします。 1：CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0：CONFビット = 1でAlternate Setting 1に設定されても有効にならない（初期値） このビットはE25AL4-E25AL1ビットが0000の場合に有効になります。
3-0	E25ALn	5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint2が有効になるようにします。 1：CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0：CONFビット = 1でAlternate Setting nに設定されても有効にならない（初期値）

備考 n = 1-4

（40）UF0エンドポイント3インタフェース・マッピング・レジスタ（UF0E3IM）

Endpoint3がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード／ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative Settingによってが現在有効であるかどうかを判定し，GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint3リクエストとEndpoint3へのINトランザクションに対してどのように応答するかと関連ビットの有効／無効をハードウエアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E3IM	E3EN2	E3EN1	E3EN0	E32AL1	E35AL4	E35AL3	E35AL2	E35AL1	FFFFFE45H	00H

ビット位置	ビット名	意　味
7-5	E3EN2- E3EN0	Endpoint3の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは，Alternative Setting 0とリンクされます。なお，Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。 E3EN2 / E3EN1 / E3EN0 / リンク状態 1 / 1 / 1 / Interfaceとリンクされていない 1 / 1 / 0 1 / 0 / 1 / Interface 4, Alternative Setting 0とリンク 1 / 0 / 0 / Interface 3, Alternative Setting 0とリンク 0 / 1 / 1 / Interface 2, Alternative Setting 0とリンク 0 / 1 / 0 / Interface 1, Alternative Setting 0とリンク 0 / 0 / 1 / Interface 0, Alternative Setting 0とリンク 0 / 0 / 0 / Interfaceとリンクされていない（初期値） 110, 111に設定されている場合は，E32AL1ビットを0に設定しても無効となります。 リンクされている設定であれば，UF0MODSレジスタのCONFビットがセット（1）されたときにEndpoint3が有効になることを示します。
4	E32AL1	2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint3が有効になるようにします。 1：CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0：CONFビット = 1でAlternate Setting 1に設定されても有効にならない（初期値） このビットはE35AL4-E35AL1ビットが0000の場合に有効になります。
3-0	E35ALn	5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint3が有効になるようにします。 1：CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0：CONFビット = 1でAlternate Setting nに設定されても有効にならない（初期値）

備考 n = 1-4

（41）UF0エンドポイント4インタフェース・マッピング・レジスタ（UF0E4IM）

Endpoint4がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード／ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative Settingによってが現在有効であるかどうかを判定し，GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint4リクエストとEndpoint4へのOUTトランザクションに対してどのように応答するかと関連ビットの有効／無効をハードウエアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E4IM	E4EN2	E4EN1	E4EN0	E42AL1	E45AL4	E45AL3	E45AL2	E45AL1	FFFFFE46H	00H

ビット位置	ビット名	意　味
7-5	E4EN2- E4EN0	Endpoint4の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは，Alternative Setting 0とリンクされます。なお，Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。 E4EN2 / E4EN1 / E4EN0 / リンク状態 1 / 1 / 1 / Interfaceとリンクされていない 1 / 1 / 0 1 / 0 / 1 / Interface 4, Alternative Setting 0とリンク 1 / 0 / 0 / Interface 3, Alternative Setting 0とリンク 0 / 1 / 1 / Interface 2, Alternative Setting 0とリンク 0 / 1 / 0 / Interface 1, Alternative Setting 0とリンク 0 / 0 / 1 / Interface 0, Alternative Setting 0とリンク 0 / 0 / 0 / Interfaceとリンクされていない（初期値） 110, 111に設定されている場合は，E42AL1ビットを0に設定しても無効となります。 リンクされている設定であれば，UF0MODSレジスタのCONFビットがセット（1）されたときにEndpoint4が有効になることを示します。
4	E42AL1	2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint4が有効になるようにします。 1：CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0：CONFビット = 1でAlternate Setting 1に設定されても有効にならない（初期値） このビットはE45AL4-E45AL1ビットが0000の場合に有効になります。
3-0	E45ALn	5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint4が有効になるようにします。 1：CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0：CONFビット = 1でAlternate Setting nに設定されても有効にならない（初期値）

備考 n = 1-4

（42）UF0エンドポイント7インタフェース・マッピング・レジスタ（UF0E7IM）

Endpoint7がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード／ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative Settingによってが現在有効であるかどうかを判定し，GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint7リクエストとEndpoint7へのINトランザクションに対してどのように応答するかと関連ビットの有効／無効をハードウエアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E7IM	E7EN2	E7EN1	E7EN0	E72AL1	E75AL4	E75AL3	E75AL2	E75AL1	FFFFFE49H	00H

ビット位置	ビット名	意　味
7-5	E7EN2- E7EN0	Endpoint7の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは，Alternative Setting 0とリンクされます。なお，Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。 E7EN2 / E7EN1 / E7EN0 / リンク状態 1 / 1 / 1 / Interfaceとリンクされていない 1 / 1 / 0 1 / 0 / 1 / Interface 4, Alternative Setting 0とリンク 1 / 0 / 0 / Interface 3, Alternative Setting 0とリンク 0 / 1 / 1 / Interface 2, Alternative Setting 0とリンク 0 / 1 / 0 / Interface 1, Alternative Setting 0とリンク 0 / 0 / 1 / Interface 0, Alternative Setting 0とリンク 0 / 0 / 0 / Interfaceとリンクされていない（初期値） 110, 111に設定されている場合は，E72AL1ビットを0に設定しても無効となります。 リンクされている設定であれば，UF0MODSレジスタのCONFビットがセット（1）されたときにEndpoint7が有効になることを示します。
4	E72AL1	2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint7が有効になるようにします。 1：CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0：CONFビット = 1でAlternate Setting 1に設定されても有効にならない（初期値） このビットはE75AL4-E75AL1ビットが0000の場合に有効になります。
3-0	E75ALn	5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint7が有効になるようにします。 1：CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0：CONFビット = 1でAlternate Setting nに設定されても有効にならない（初期値）

備考 n = 1-4

（43）UF0エンドポイント8インタフェース・マッピング・レジスタ（UF0E8IM）

Endpoint8がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード／ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative Settingによってエンドポイント8が現在有効であるかどうかを判定し，GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint8リクエストとEndpoint8へのINトランザクションに対してどのように応答するかと関連ビットの有効／無効をハードウエアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E8IM	E8EN2	E8EN1	E8EN0	E82AL1	E85AL4	E85AL3	E85AL2	E85AL1	FFFFFE4AH	00H

ビット位置	ビット名	意　味
7-5	E8EN2- E8EN0	Endpoint8の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは，Alternative Setting 0とリンクされます。なお，Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。 E8EN2 / E8EN1 / E8EN0 / リンク状態 1 / 1 / 1 / Interfaceとリンクされていない 1 / 1 / 0 1 / 0 / 1 / Interface 4, Alternative Setting 0とリンク 1 / 0 / 0 / Interface 3, Alternative Setting 0とリンク 0 / 1 / 1 / Interface 2, Alternative Setting 0とリンク 0 / 1 / 0 / Interface 1, Alternative Setting 0とリンク 0 / 0 / 1 / Interface 0, Alternative Setting 0とリンク 0 / 0 / 0 / Interfaceとリンクされていない（初期値） 110, 111に設定されている場合は，E82AL1ビットを0に設定しても無効となります。 リンクされている設定であれば，UF0MODSレジスタのCONFビットがセット（1）されたときにEndpoint8が有効になることを示します。
4	E82AL1	2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint8が有効になるようにします。 1：CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0：CONFビット = 1でAlternate Setting 1に設定されても有効にならない（初期値） このビットはE85AL4-E85AL1ビットが0000の場合に有効になります。
3-0	E85ALn	5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint8が有効になるようにします。 1：CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0：CONFビット = 1でAlternate Setting nに設定されても有効にならない（初期値）

備考 n = 1-4

11. 4. 2　データ保持レジスタ

（1）UF0 EP0リード・レジスタ（UF0E0R）

UF0E0Rレジスタは，Endpoint0に対するコントロール転送のデータ・ステージでホストから送られてくるOUTデータを格納する64バイトのFIFOです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は，無視されます。

ハードウエアはホストからのデータを受信するとUF0E0Rレジスタに自動的に転送を行います。データを正常受信するとUF0IS1レジスタのE0ODTビットをセット（1）し，UF0E0Lレジスタに受信したデータ量を保持して，割り込み要求（INTUSB0B）を発行します。UF0E0Lレジスタは受信中，常時受信データ長の更新を行っています。最終的に転送が正常受信だった場合には割り込み要求が発生し，異常受信だった場合にはUF0E0Lレジスタはクリア（0）され割り込み要求は発生しません。

UF0E0Rレジスタに保持しているデータは，UF0E0Lレジスタで読み出した値分のデータだけFWにおいて読み出してください。全データの読み出しが完了したかどうかはUF0EPS0レジスタのEP0Rビットで確認してください（全データの読み出し完了の場合：EP0Rビット ＝ 0）。UF0E0Lレジスタ値が0のとき，UF0E0NレジスタのEP0NKRビットがクリア（0）され，UF0E0Rレジスタは受信可能状態になります。また，UF0E0Rレジスタは，次のSETUPトークン受信時にクリアされます。

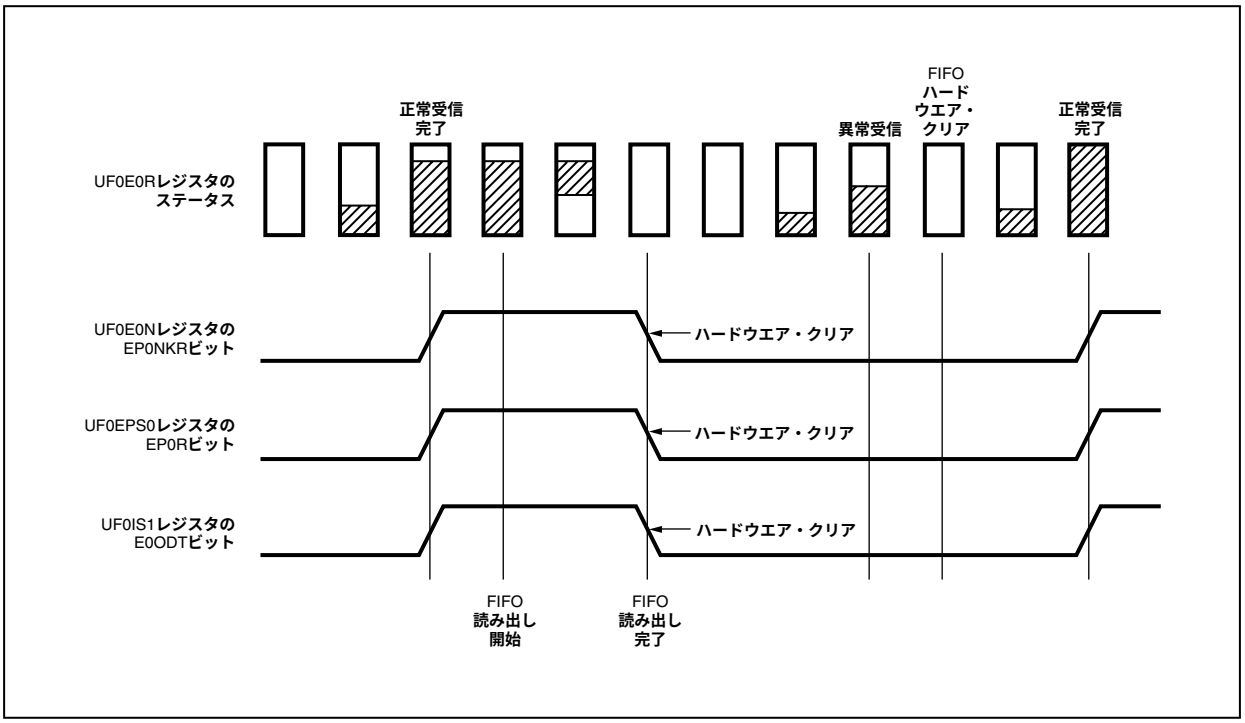
注意　格納されているデータは，すべて読み出してください。途中で廃棄する場合は，FIFOクリアを行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0R	E0R7	E0R6	E0R5	E0R4	E0R3	E0R2	E0R1	E0R0	FFFFFE80H	不定

ビット位置	ビット名	意　味
7-0	E0R7-E0R0	Endpoint0に対するコントロール転送のデータ・ステージでホストから送られてくるOUTデータが格納されます。

次にUF0E0Rレジスタの動作を示します。

図11ー1　UF0E0Rレジスタの動作



（2）UF0 EP0レングス・レジスタ（UF0E0L）

UF0E0Lレジスタは，UF0E0Rレジスタに保持されているデータ長を格納するレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は，無視されます。

UF0E0Lレジスタは受信中，常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には，UF0E0Lレジスタはクリア（0）され，割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し，FWはUF0E0Lレジスタで読み出した値分のデータだけUF0E0Rレジスタを読み出せます。UF0E0LレジスタはUF0E0Rレジスタを読み出すごとに，ディクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0L	E0L7	E0L6	E0L5	E0L4	E0L3	E0L2	E0L1	E0L0	FFFFFE81H	00H

ビット位置	ビット名	意　味
7-0	E0L7-E0L0	UF0E0Rレジスタに保持されているデータ長が格納されます。

（3）UF0 EP0セットアップ・レジスタ（UF0E0ST）

UF0E0STレジスタは，ホストから送られてきたSETUPデータを保持するためのレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は，無視されます。

UF0E0STレジスタは，SETUPトランザクションを受信すると常にデータの書き込みを行います。ハードウエアはSETUPトランザクションを正常受信した場合，UF0IS1レジスタのPROTビット，FW処理のリクエスト時にはUF0IS1レジスタのCPUDECビットをセット（1）し，割り込み要求（INTUSB0B）を発行します。FW処理の場合には，必ず8バイト・リードしてください。8バイト・リードしなかった場合には，以降のリクエストを正常にデコードできません。UF0E0STレジスタのリード・カウンタは，Bus Resetの受信時にもクリアされないので，Bus Resetの受信にかかわらず常に8バイト・リードしてください。

UF0E0STレジスタは常に書き込みを許可しているため，データ・リード中にSETUPトランザクションを受け取った場合でも，ハードウエアはそのままデータの上書きを行います。また，SETUPトランザクションを正常受信できなかった場合でも，CPUDEC割り込み要求およびProtect割り込み要求は発生しませんが前のデータは破棄されます。ただし，8バイト以下のSETUPトークンを受信した場合，受信したSETUPデータは破棄され，前回受信したSETUPデータが保持されます。したがって，1回のコントロール転送中に複数回のSETUPトークンを受信した場合，次に示す条件のときには必ずUF0IS1レジスタのPROTビットを確認してください。PROTビット = 1の場合には複数回SETUPトランザクションを受信しているため，UF0E0STレジスタを再度読み出してください。

①FWよりリクエストのデコードを行い，UF0E0Rレジスタの読み出し，またはUF0E0Wレジスタの書き込みを行ったとき

②デコード結果が対応していないリクエストのためにSTALL応答の準備をするとき

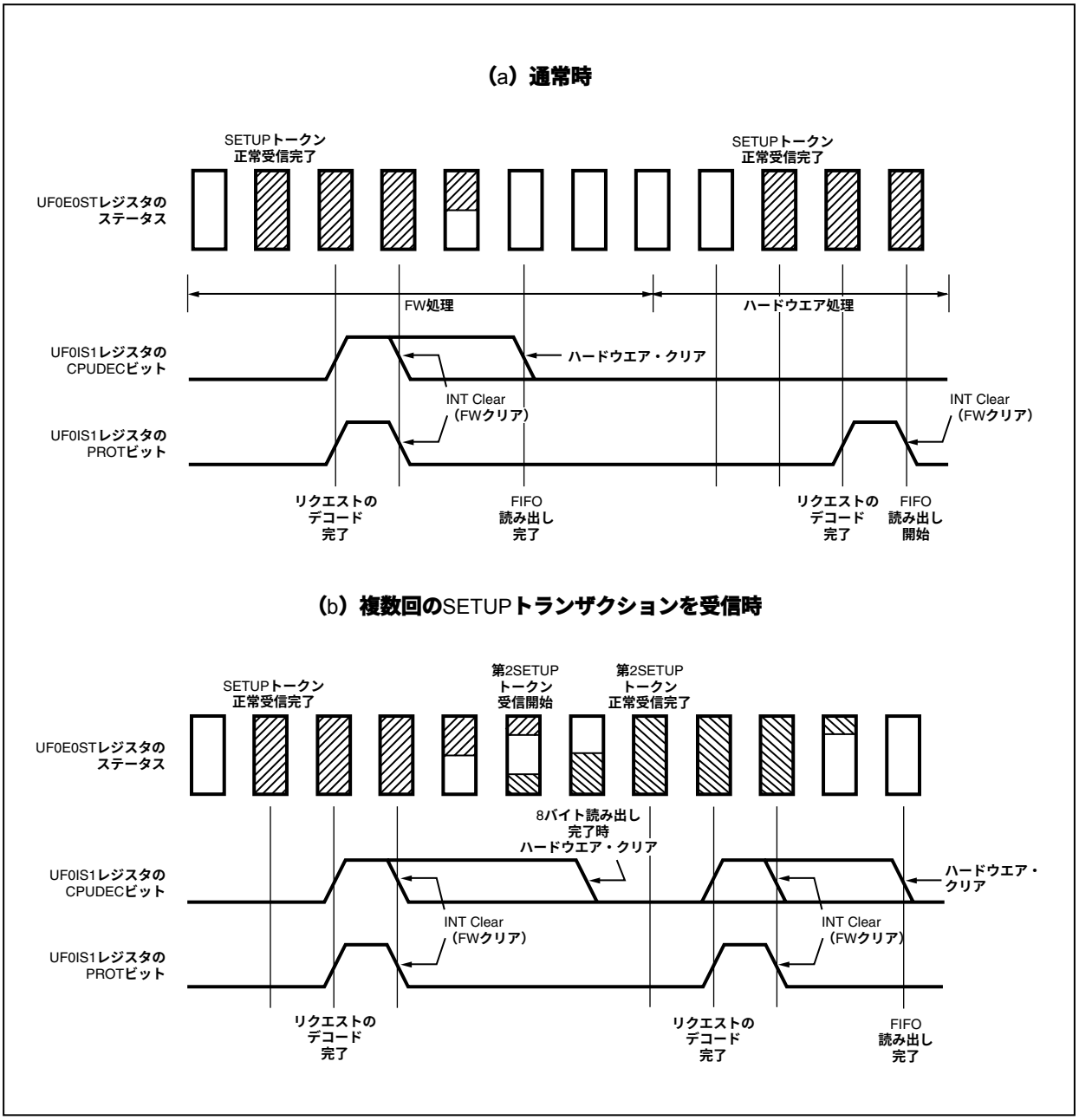
注意　格納されているデータは，すべて読み出してください。UF0E0STレジスタは，常にSETUPトランザクション内のリクエストによって更新されています。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0ST	E0S7	E0S6	E0S5	E0S4	E0S3	E0S2	E0S1	E0S0	FFFFFE82H	00H

ビット位置	ビット名	意　味
7-0	E0S7-E0S0	ホストから送られてきたSETUPデータを保持します。

次にUF0E0STレジスタの動作を示します。

図11ー2　UF0E0STレジスタの動作



（4）UF0 EP0ライト・レジスタ（UF0E0W）

UF0E0Wレジスタは，Endpoint0に対するデータ・ステージでホストに送るINデータを格納する（SIEに引き渡す）64バイトのFIFOです。

8ビット単位でライトのみ可能です。なお，このレジスタをリードした場合は，00Hが読み出せます。

ハードウエアはUF0E0Nレジスタの EP0NKWビットがセット（1）されている（NAKを送信しない）場合のみ，INトークンに同期してUSBバスへのデータの送信を行います。データが送信され，ホストがデータを正常受信した場合，UF0E0NレジスタのEP0NKWビットがハードウエアによって自動的にクリア（0）されます。ショート・パケットを送信する場合は，UF0E0Wレジスタにデータを書き込み，UF0DENDレジスタのE0DEDビットをセット（1）すると送信が行われます（UF0EPS0レジスタのEP0Wビット = 1（データがある））。Nullパケットを送信する場合は，UF0E0Wレジスタのクリアを行い，UF0DENDレジスタのE0DEDビットをセット（1）すると送信が行われます（UF0EPS0レジスタのEP0Wビット = 1（データがある））。

UF0E0Wレジスタは，送信が完了していない状態で次のSETUPトークンを受信したときにクリア（0）されます。また，データ・ステージでACKを正常に受信できていない状態でコントロール転送（リード）がステータス・ステージに変わった場合，UF0E0Wレジスタは自動的にクリア（0）され，同時にUF0E0NレジスタのEP0NKWビット = 1の場合にはクリア（0）されます。

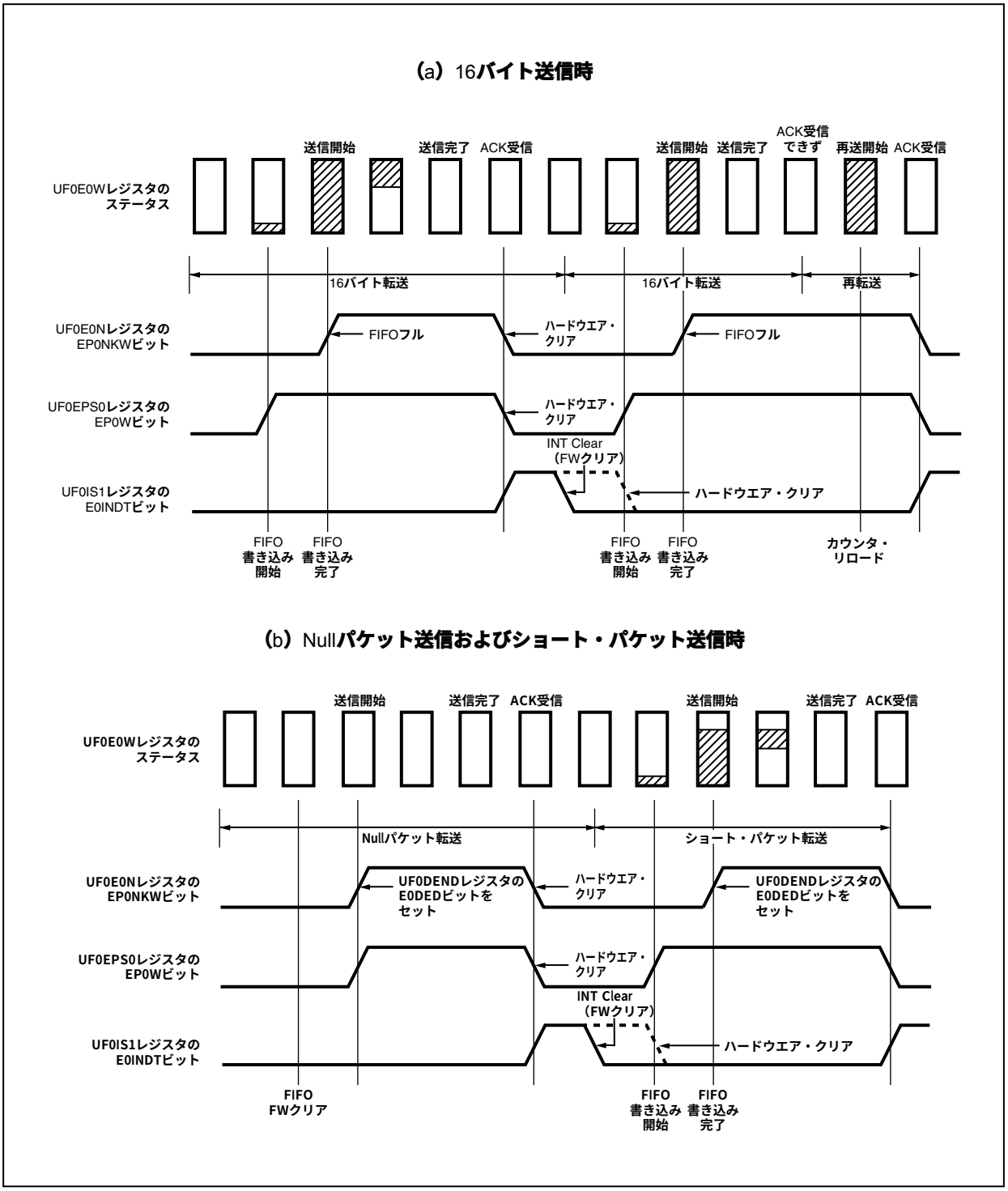
データが空の状態でUF0E0Wレジスタを読み出した場合には，00Hが読み出せます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0W	E0W7	E0W6	E0W5	E0W4	E0W3	E0W2	E0W1	E0W0	FFFFFE83H	不定

ビット位置	ビット名	意　味
7-0	E0W7-E0W0	Endpoint0に対するデータ・ステージでホストに送るINデータを格納します。

次にUF0E0Wレジスタの動作を示します。

図11ー3　UF0E0Wレジスタの動作



（5）UF0バルク・アウト1レジスタ（UF0BO1）

UF0BO1レジスタは，Endpoint2に対するデータを格納する64バイト×2のFIFOです。UF0BO1レジスタは，64バイトFIFOがバンク構成になっており，互いにトグル動作を行い，SIE側とCPU側のバスとの接続を繰り返します。トグル条件は，SIE側のFIFOにデータがあり，かつCPU側のFIFOにデータがない（カウンタ値 = 0）ときです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は，無視されます。

ハードウエアはEndpoint2に対するホストからのデータを受信するとUF0BO1レジスタに自動的に転送します。データを正常受信するとFIFOトグル動作が起こり，UF0IS3レジスタのBKO1DTビットをセット（1）し，UF0BO1Lレジスタに受信したデータ量を保持して，CPUに対して割り込み要求またはDMA要求を発生します。この割り込み要求とDMA要求の切り替えは，UF0IDRレジスタのDQBO1MSビットで選択できます。

UF0BO1レジスタに保持しているデータは，UF0BO1Lレジスタで読み出した値分のデータだけFWにおいて読み出してください。SIE側に接続されているFIFOに正常な受信データが保持されており，UF0BO1Lレジスタの値が0になるとFIFOのトグル動作が発生して，UF0ENレジスタのBKO1NKビットが自動的にクリア（0）されます。なお，UF0BO1Lレジスタ値以上のデータの読み出しを行った場合には，FIFOのトグル条件が成立するとFIFOの切り替えが発生し，結果として次のパケットを誤って読み出す可能性があります。またトグル条件が成立しない場合には，先頭データを繰り返し読み出しますので，注意してください。

CPU側に接続されているFIFOにデータが保持されている状態でオーバラン・データを受信した場合，Endpoint2がストール状態となり，CPU側FIFOもクリアされます。

データが空の状態でUF0BO1レジスタを読み出した場合には，不定値が読み出せます。

注意　格納されているデータは，すべて読み出してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO1	BKO17	BKO16	BKO15	BKO14	BKO13	BKO12	BKO11	BKO10	FFFFFE84H	不定

ビット位置	ビット名	意　味
7-0	BKO17-BKO10	Endpoint2に対するデータが格納されます。

次にUF0BO1レジスタの動作を示します。

図11ー4 UF0BO1レジスタの動作（1/2）

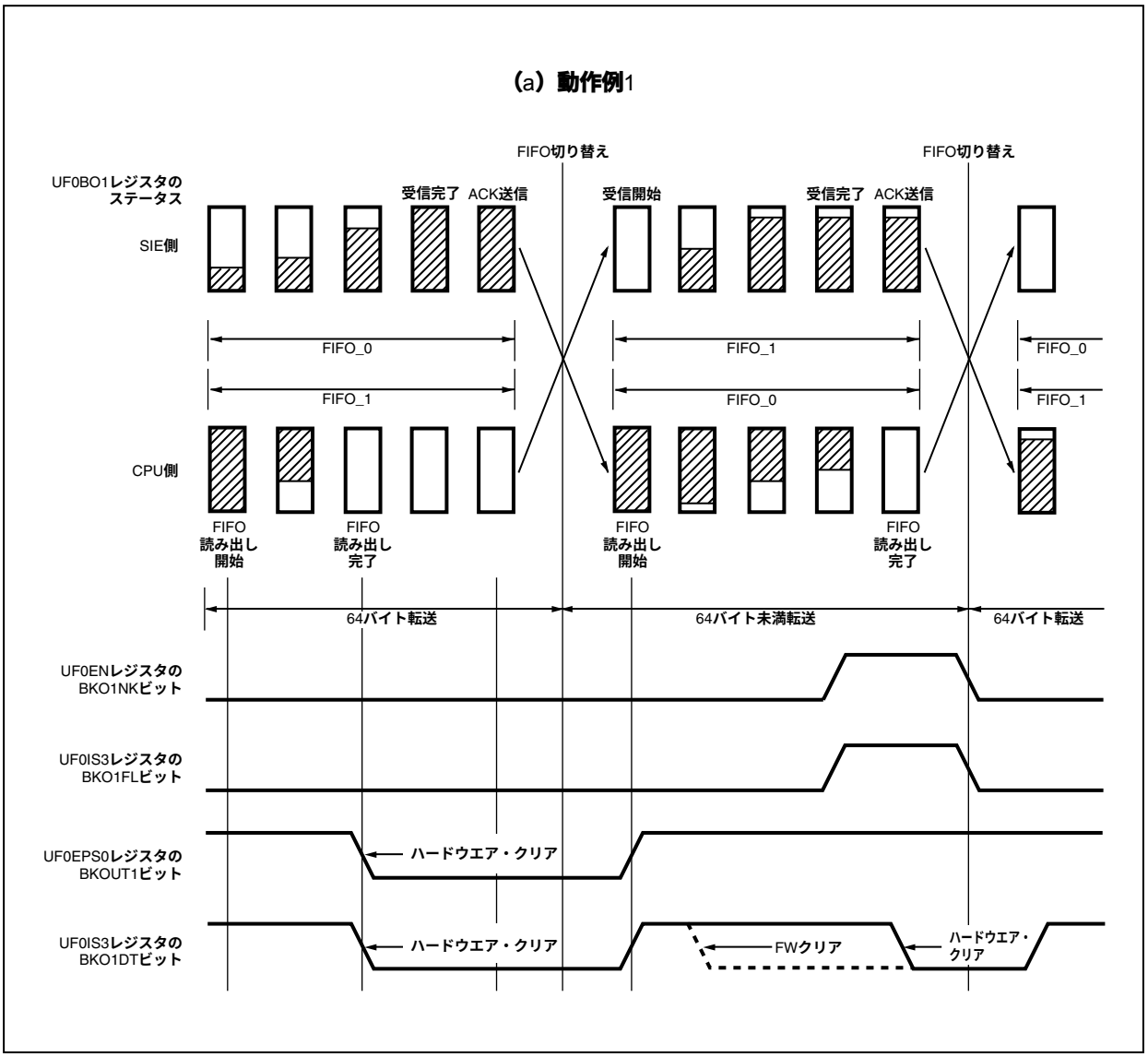
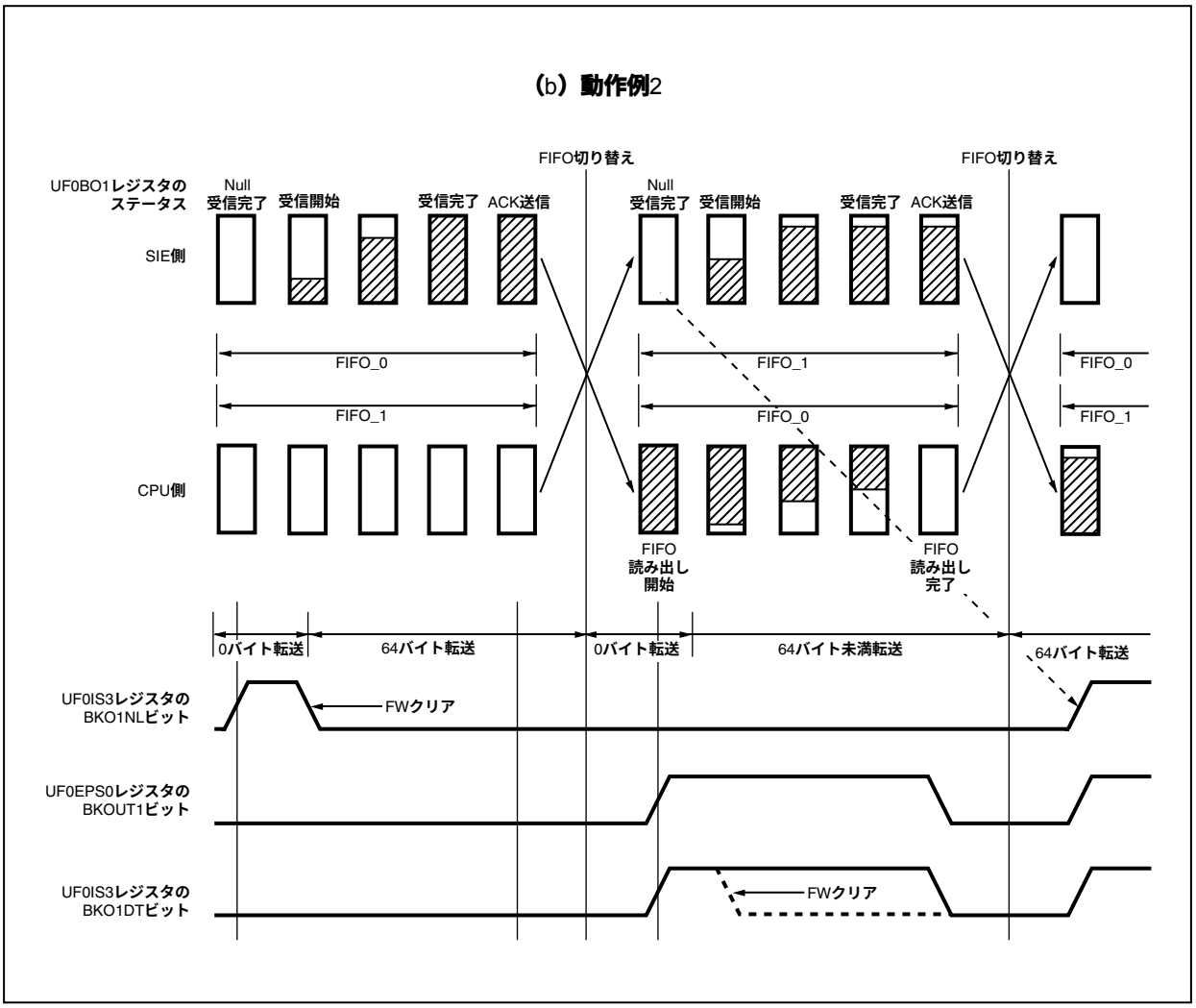


図11ー4 UF0BO1**レジスタの動作**（2/2）



(6) UF0バルク・アウト1レングス・レジスタ（UF0BO1L）

UF0BO1Lレジスタは，UF0BO1レジスタに保持されているデータ長を格納するレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は，無視されます。

UF0BO1Lレジスタは受信中，常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には，UF0BO1Lレジスタはクリア（00H）され，割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し，FWはUF0BO1Lレジスタで読み出した値分のデータだけUF0BO1レジスタを読み出せます。UF0BO1LレジスタはUF0BO1レジスタを読み出すごとに，デクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO1L	BKO1L7	BKO1L6	BKO1L5	BKO1L4	BKO1L3	BKO1L2	BKO1L1	BKO1L0	FFFFFE85H	00H

ビット位置	ビット名	意　味
7-0	BKO1L7- BKO1L0	UF0BO1レジスタに保持されているデータ長が格納されます。

（7）UF0バルク・アウト2レジスタ（UF0BO2）

UF0BO2レジスタは，Endpoint4に対するデータを格納する64バイト×2のFIFOです。UF0BO2レジスタは，64バイトFIFOがバンク構成になっており，互いにトグル動作を行い，SIE側とCPU側のバスとの接続を繰り返します。トグル条件は，SIE側のFIFOにデータがあり，かつCPU側のFIFOにデータがない（カウンタ値 = 0）ときです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は，無視されます。

ハードウエアはEndpoint4に対するホストからのデータを受信するとUF0BO2レジスタに自動的に転送します。データを正常受信するとFIFOトグル動作が起こり，UF0IS3レジスタのBKO2DTビットをセット（1）し，UF0BO2Lレジスタに受信したデータ量を保持して，CPUに対して割り込み要求またはDMA要求を発生します。この割り込み要求とDMA要求の切り替えは，UF0IDRレジスタのDQBO2MSビットで選択できます。

UF0BO2レジスタに保持しているデータは，UF0BO2レジスタで読み出した値分のデータだけFWにおいて読み出してください。SIE側に接続されているFIFOに正常な受信データが保持されており，UF0BO2Lレジスタの値が0になるとFIFOのトグル動作が発生して，UF0ENレジスタのBKO2NKビットが自動的にクリア（0）されます。なお，UF0BO2Lレジスタ値以上のデータの読み出しを行った場合には，FIFOのトグル条件が成立するとFIFOの切り替えが発生し，結果として次のパケットを誤って読み出す可能性があります。またトグル条件が成立しない場合には，先頭データを繰り返し読み出しますので，注意してください。

CPU側に接続されているFIFOにデータが保持されている状態でオーバラン・データを受信した場合，Endpoint4がストール状態となり，CPU側FIFOもクリアされます。

データが空の状態でUF0BO2レジスタを読み出した場合には，不定値が読み出せます。

注意　格納されているデータは，すべて読み出してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO2	BKO27	BKO26	BKO25	BKO24	BKO23	BKO22	BKO21	BKO20	FFFFFE86H	不定

ビット位置	ビット名	意　味
7-0	BKO27-BKO20	Endpoint4に対するデータが格納されます。

次にUF0BO2レジスタの動作を示します。

図11ー5 UF0BO2レジスタの動作（1/2）

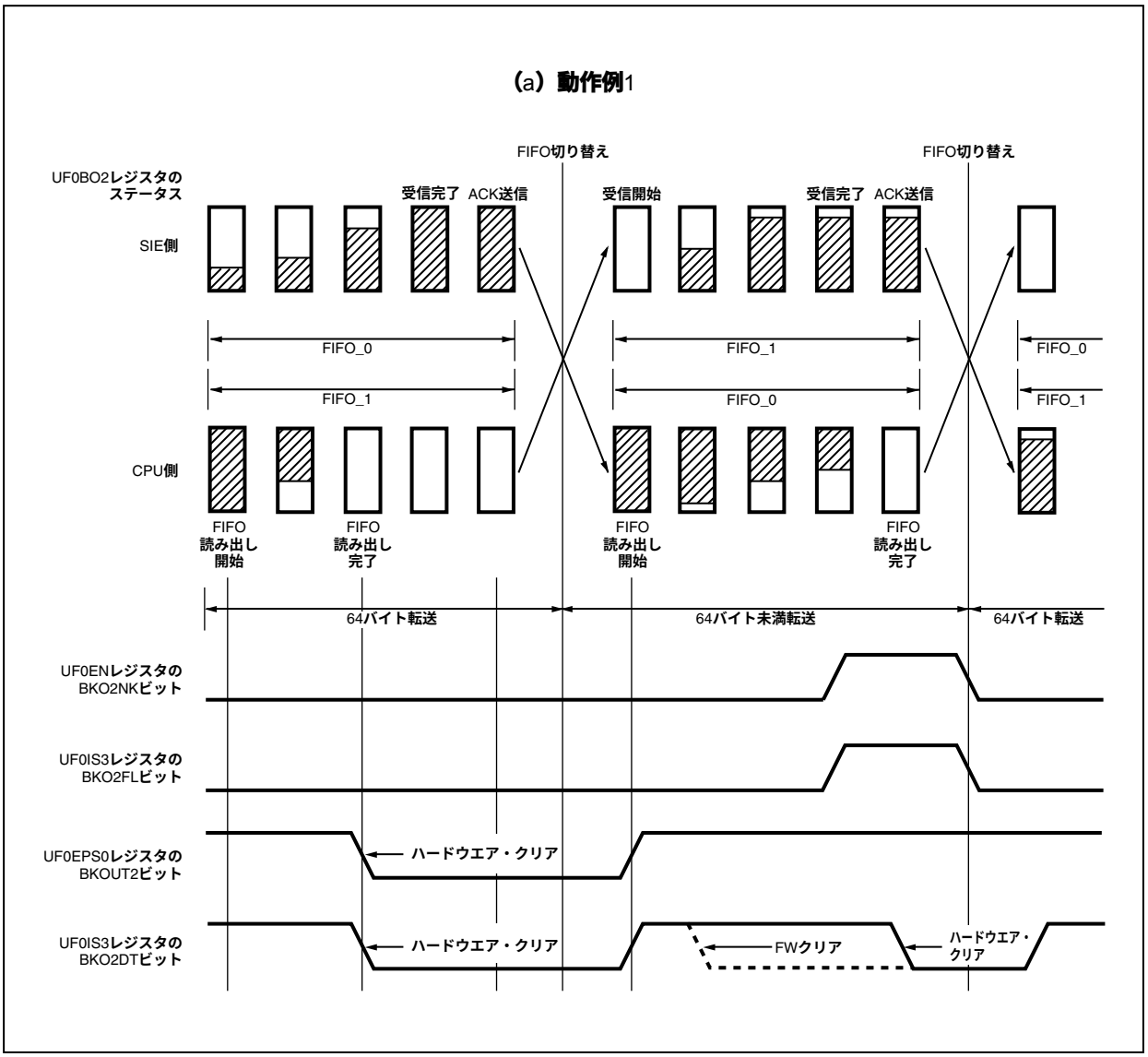
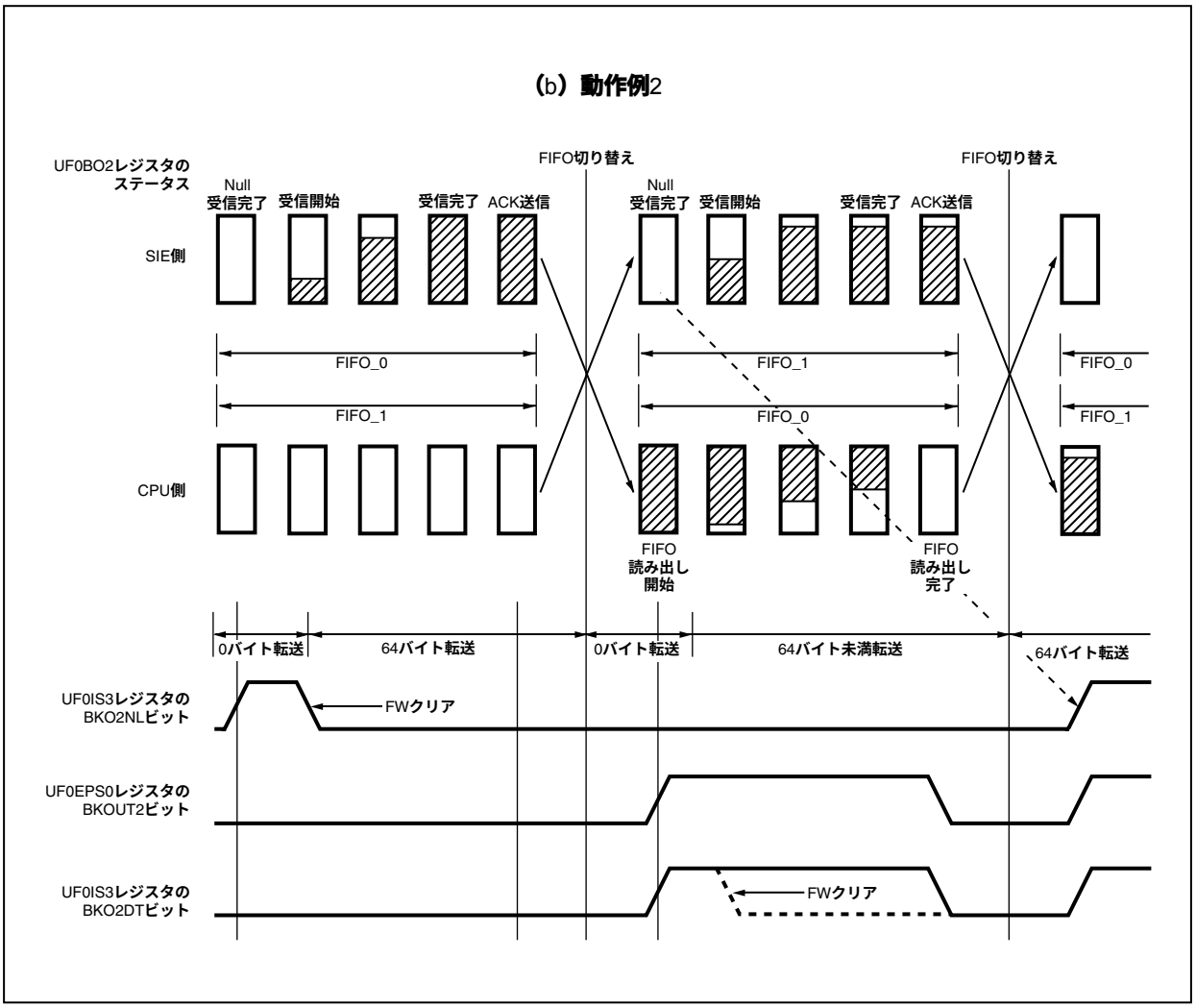


図11ー5　UF0BO2レジスタの動作（2/2）



(8) UF0バルク・アウト2レングス・レジスタ（UF0BO2L）

UF0BO2Lレジスタは，UF0BO2レジスタに保持されているデータ長を格納するレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は，無視されます。

UF0BO2Lレジスタは受信中，常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には，UF0BO2Lレジスタはクリア（00H）され，割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し，FWはUF0BO2Lレジスタで読み出した値分のデータだけUF0BO2レジスタを読み出せます。UF0BO2LレジスタはUF0BO2レジスタを読み出すごとに，デクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO2L	BKO2L7	BKO2L6	BKO2L5	BKO2L4	BKO2L3	BKO2L2	BKO2L1	BKO2L0	FFFFFE87H	00H

ビット位置	ビット名	意　味
7-0	BKO2L7- BKO2L0	UF0BO2レジスタに保持されているデータ長が格納されます。

（9）UF0バルク・イン1レジスタ（UF0BI1）

UF0BI1レジスタは，Endpoint1に対するデータを格納する64バイト×2のFIFOです。UF0BI1レジスタは，64バイトFIFOがバンク構成になっており，互いにトグル動作を行い，SIE側とCPU側のバスとの接続を繰り返します。トグル条件は，SIE側のFIFOにデータがない（カウンタ値 = 0），かつCPU側のFIFOが正常に書き込まれていることです（FIFOフル，またはBKI1DEDビット = 1）。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は，00Hが読み出せます。

ハードウエアは，UF0ENレジスタのBKI1NKビットがセット（1）されている（NAKを送信しない）場合のみ，Endpoint1に対するINトークンに同期してUSBバスへのデータの送信を行います。書き込み，および読み出しのアドレスはハードウエアで管理しているため，FWはUF0BI1レジスタにホストに送信するデータを順番に書き込むだけで送信できます。ショート・パケットを送信する場合は，UF0BI1レジスタにデータを書き込み，UF0DENDレジスタのBKI1DEDビットをセット（1）すると送信が行われます（UF0EPS0レジスタのBKIN1ビット = 1（データがある））。Nullパケットを送信する場合は，UF0BI1レジスタのクリアを行い，UF0DENDレジスタのBKI1DEDビットをセット（1）すると送信が行われます（UF0EPS0レジスタのBKIN1ビット = 1（データがある））。データを正常送信するとFIFOトグル動作が起こり，UF0IS2レジスタのBKI1DTビットをセット（1）し，CPUに対して割り込み要求を発生します。割り込み要求とDMA要求の切り替えは，UF0IDRレジスタのDQBI1MSビットで選択できます。

注意　UF0BI1レジスタを対象としたDMA転送を行う場合には，ブロック転送を行わないでください。ブロック転送を行った場合には，転送データの保証はできません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BI1	BKI17	BKI16	BKI15	BKI14	BKI13	BKI12	BKI11	BKI10	FFFFFE88H	不定

ビット位置	ビット名	意　味
7-0	BKI17-BKI10	Endpoint1に対するデータを格納します。

次にUF0BI1レジスタの動作を示します。

図11－6 UF0BI1レジスタの動作（1/3）

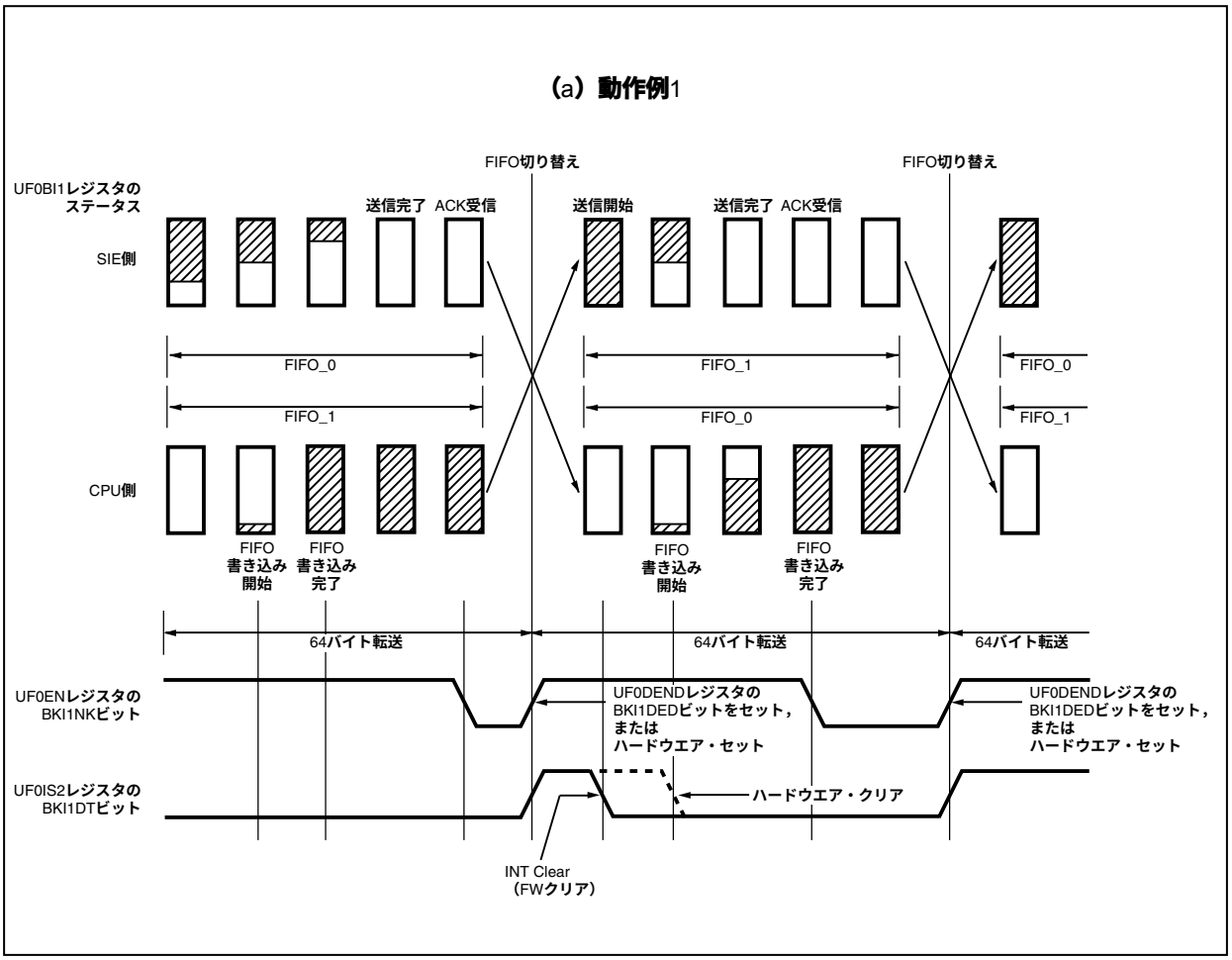


図11ー6 UF0BI1**レジスタの動作**（2/3）

（b）**動作例**2

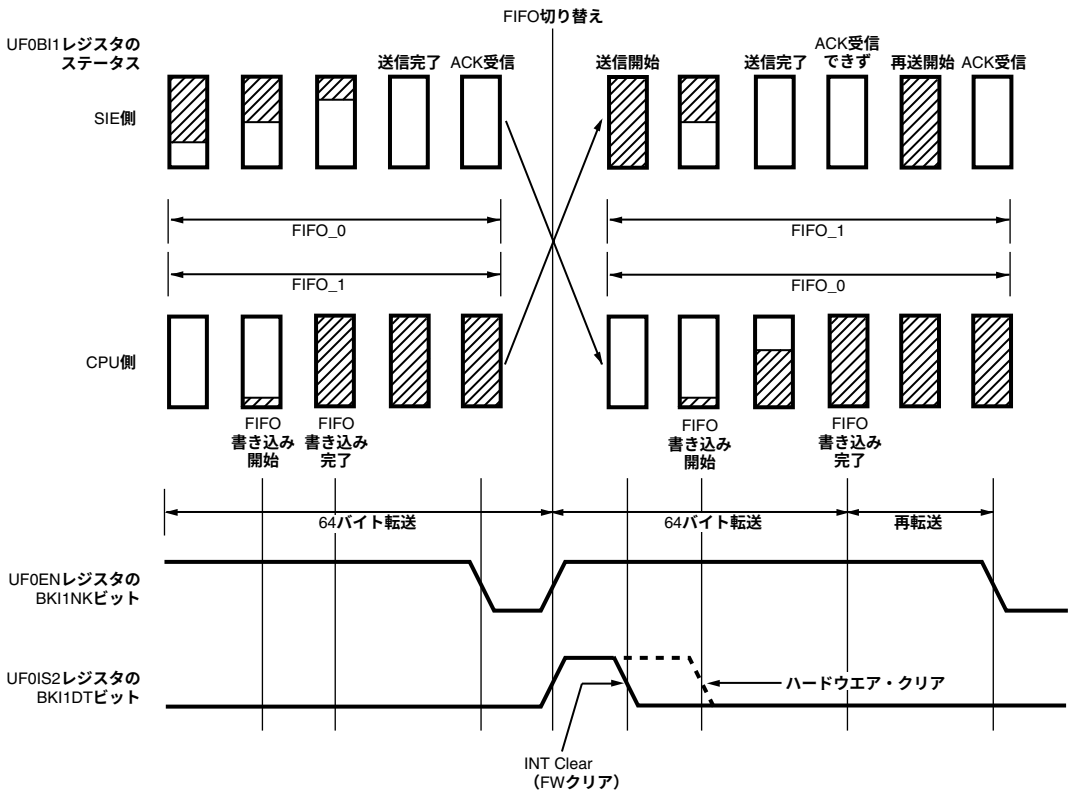
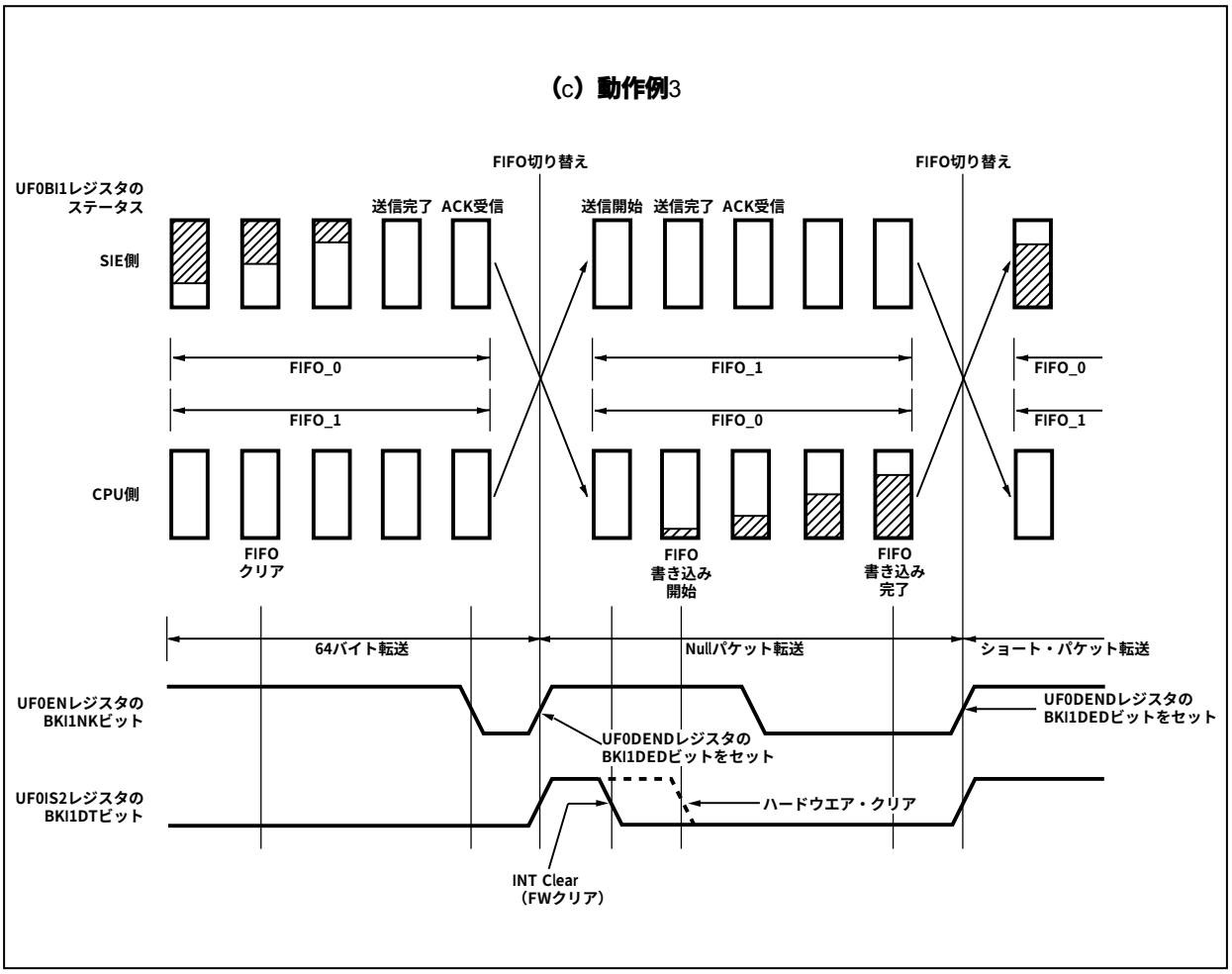


図11ー6 UF0BI1**レジスタの動作**（3/3）



（10）UF0バルク・イン2レジスタ（UF0BI2）

UF0BI2レジスタは，Endpoint3に対するデータを格納する64バイト×2のFIFOです。UF0BI2レジスタは，64バイトFIFOがバンク構成になっており，互いにトグル動作を行い，SIE側とCPU側のバスとの接続を繰り返します。トグル条件は，SIE側のFIFOにデータがない（カウンタ値 = 0），かつCPU側のFIFOが正常に書き込まれていることです（FIFOフル，またはBKI2DEDビット = 1）。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は，00Hが読み出せます。

ハードウエアは，UF0ENレジスタのBKI2NKビットがセット（1）されている（NAKを送信しない）場合のみ，Endpoint3に対するINトークンに同期してUSBバスへのデータの送信を行います。書き込み，および読み出しのアドレスはハードウエアで管理しているため，FWはUF0BI2レジスタにホストに送信するデータを順番に書き込むだけで送信できます。ショート・パケットを送信する場合は，UF0BI2レジスタにデータを書き込み，UF0DENDレジスタのBKI2DEDビットをセット（1）すると送信が行われます（UF0EPS0レジスタのBKIN2ビット = 1（データがある））。Nullパケットを送信する場合は，UF0BI2レジスタのクリアを行い，UF0DENDレジスタのBKI2DEDビットをセット（1）すると送信が行われます（UF0EPS0レジスタのBKIN2ビット = 1（データがある））。データを正常送信するとFIFOトグル動作が起こり，UF0IS2レジスタのBKI2DTビットをセット（1）し，CPUに対して割り込み要求を発生します。割り込み要求とDMA要求の切り替えは，UF0IDRレジスタのDQBI2MSビットで選択できます。

注意　UF0BI2レジスタを対象としたDMA転送を行う場合には，ブロック転送を行わないでください。ブロック転送を行った場合には，転送データの保証はできません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BI2	BKI27	BKI26	BKI25	BKI24	BKI23	BKI22	BKI21	BKI20	FFFFFE89H	不定

ビット位置	ビット名	意　味
7-0	BKI27-BKI20	Endpoint3に対するデータを格納します。

次にUF0BI2レジスタの動作を示します。

図11ー7 UF0BI2レジスタの動作（1/3）

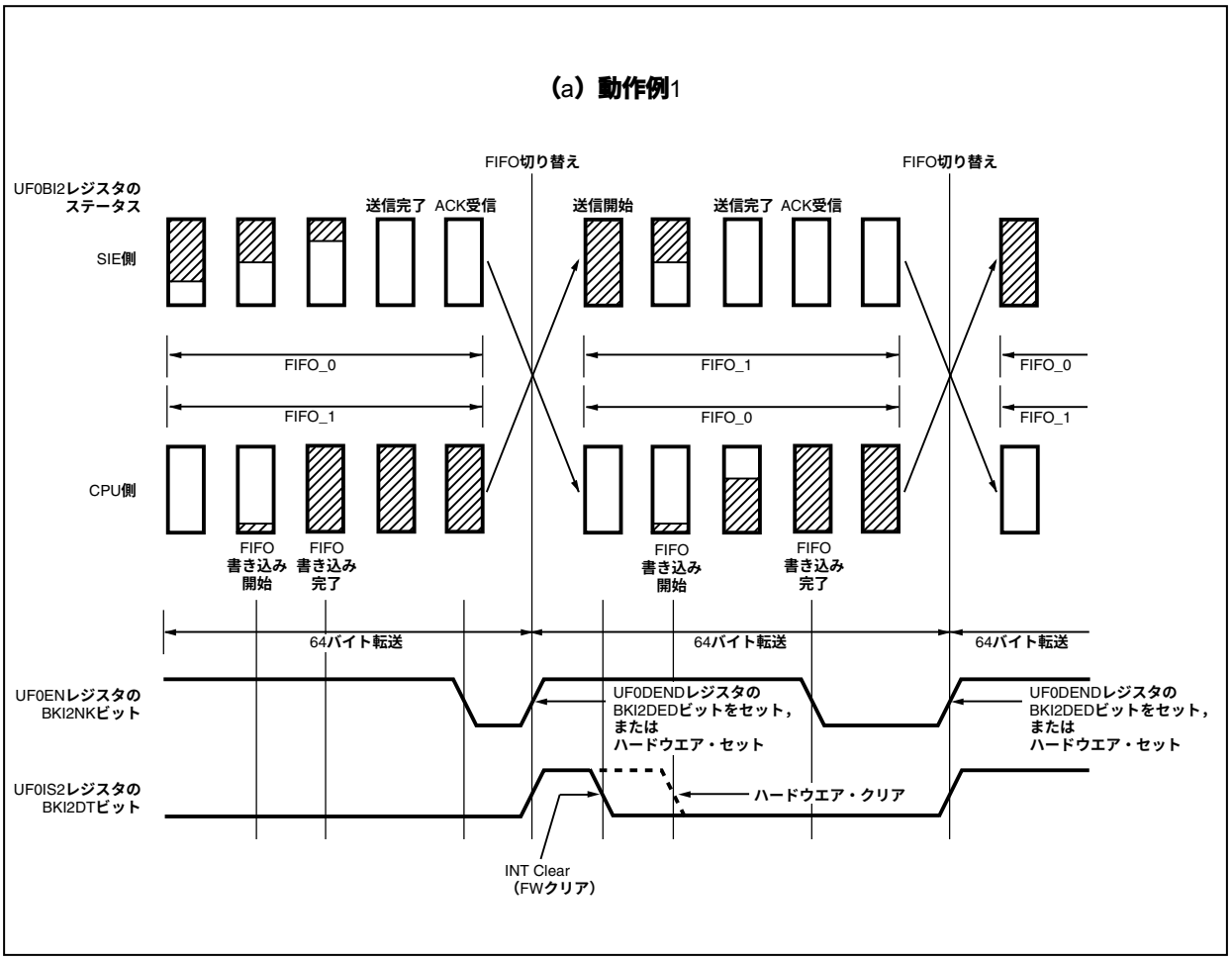


図11ー7　UF0BI2**レジスタの動作**（2/3）

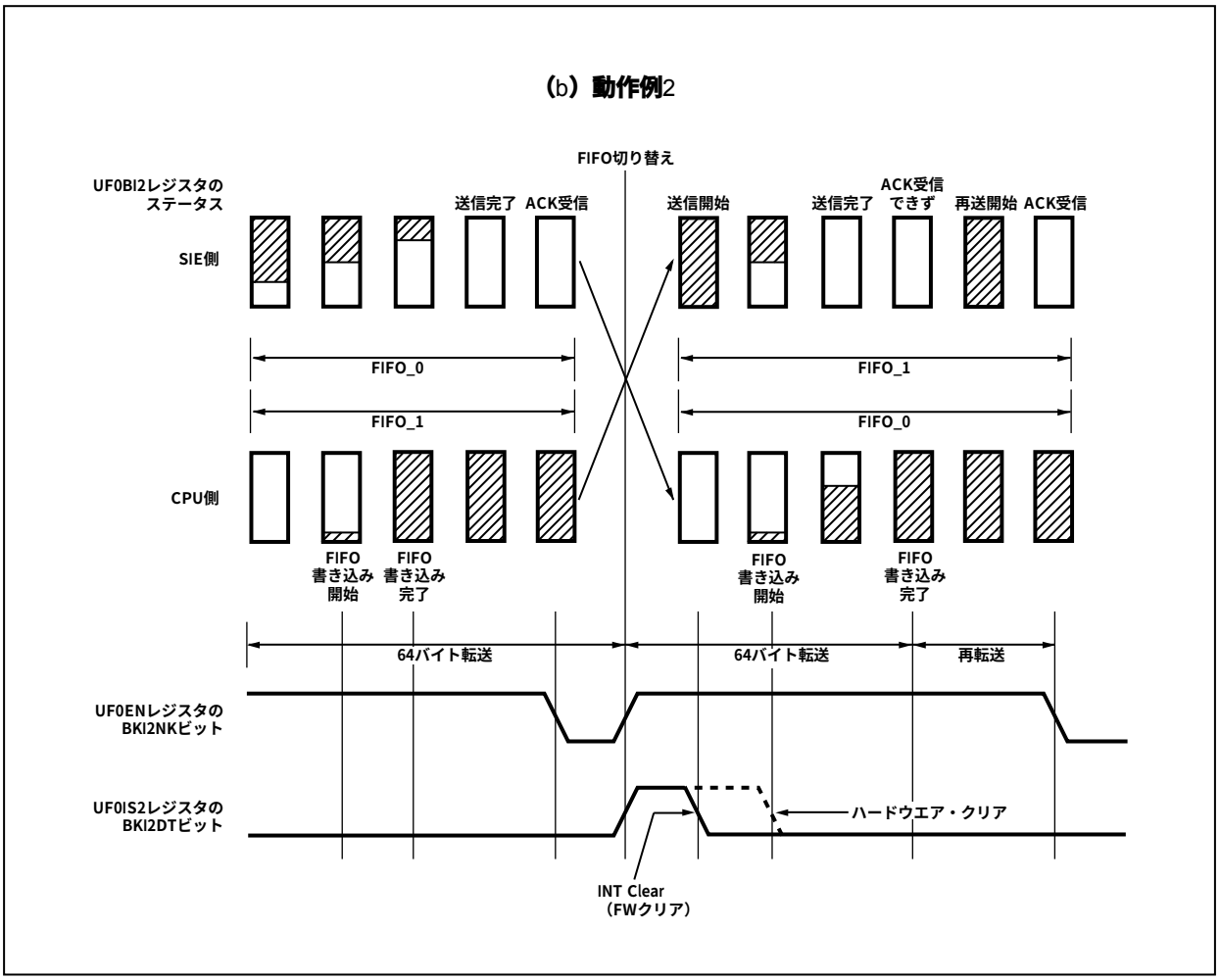
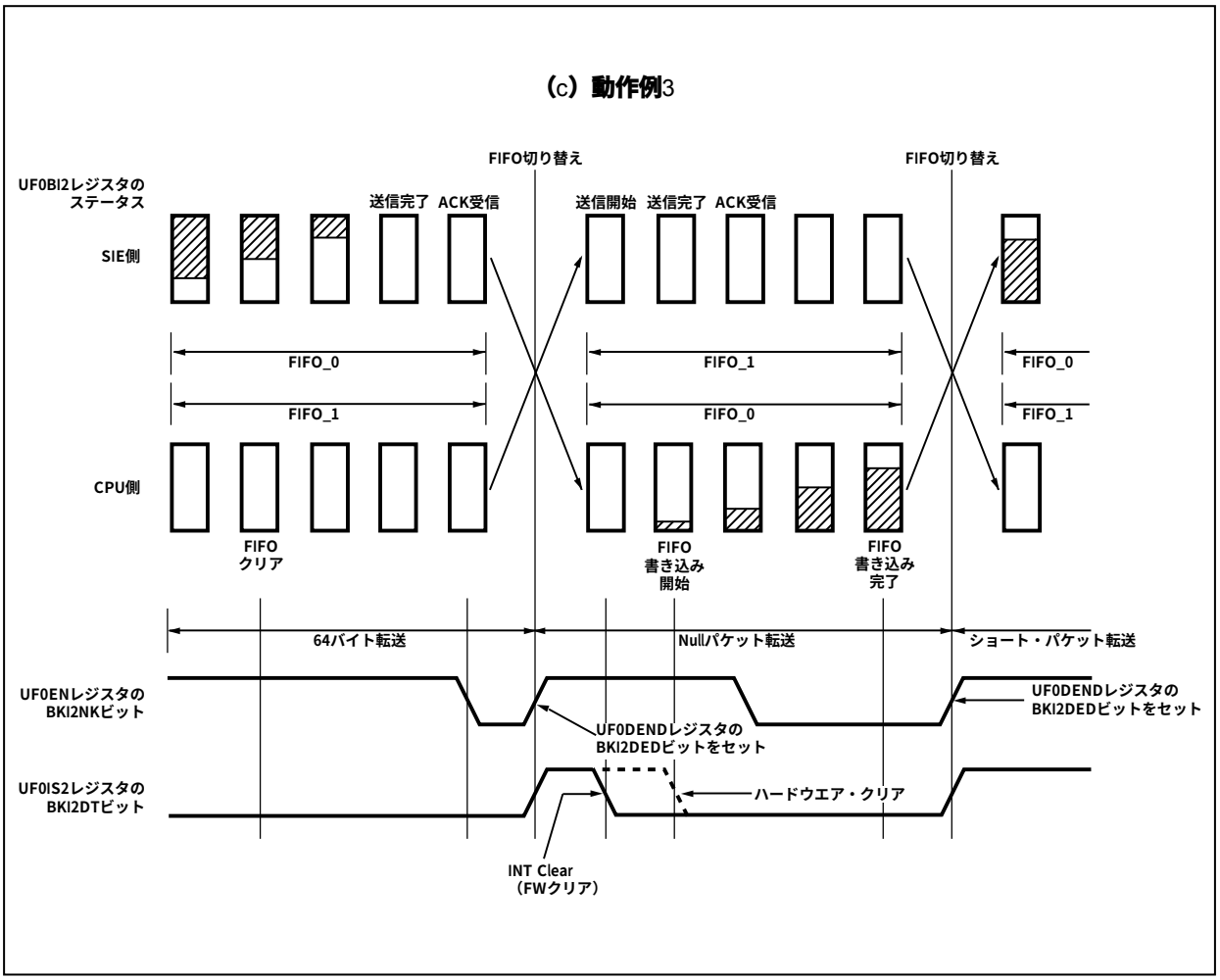


図11ー7 UF0BI2**レジスタの動作**（3/3）



（11）UF0インタラプト1レジスタ（UF0INT1）

UF0INT1レジスタは，Endpoint7に対するデータを格納する（SIEに引き渡す）8バイトのFIFOです。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は，00Hが読み出せます。

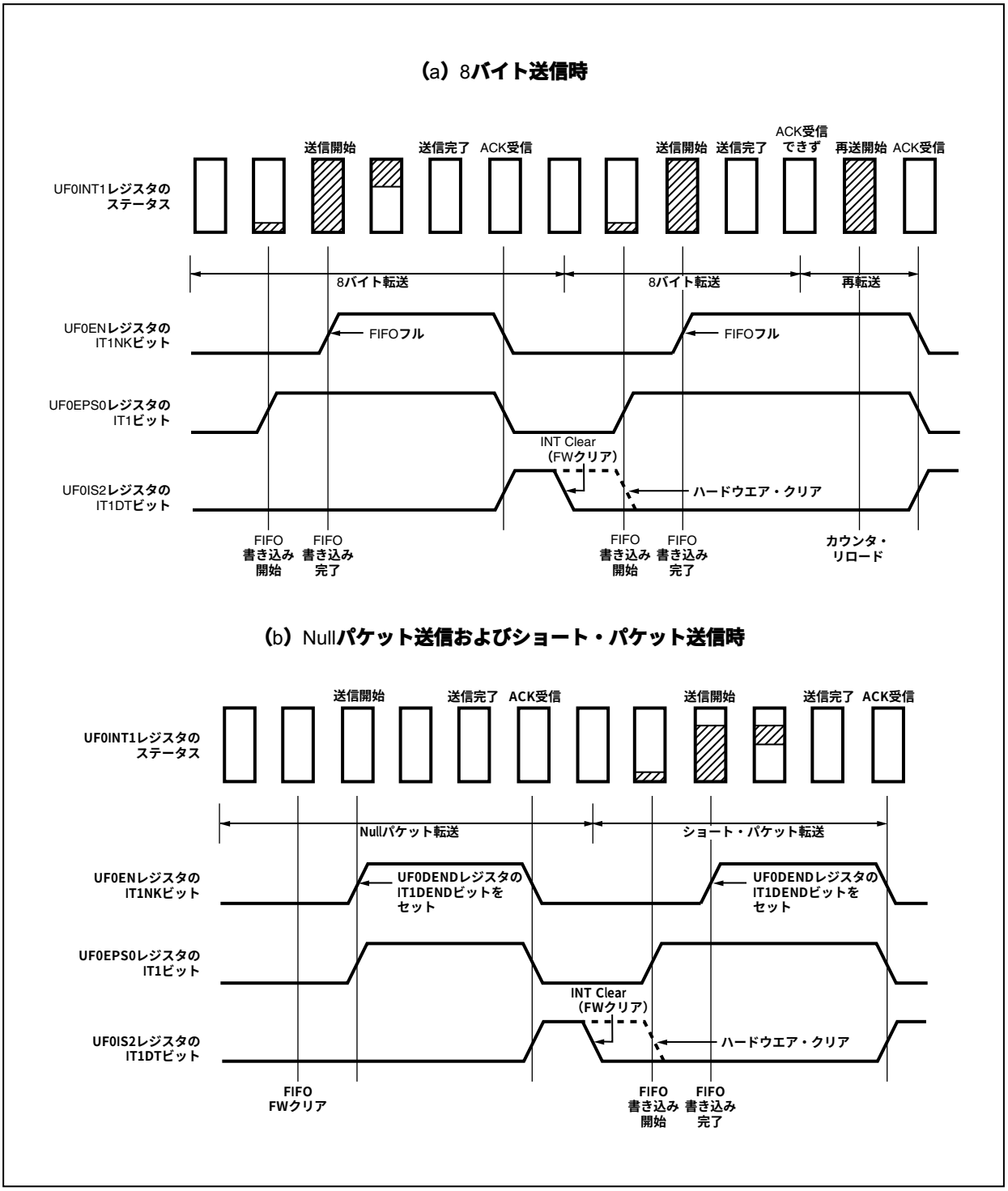
ハードウエアはUF0ENレジスタのIT1NKビットがセット（1）されている（NAKを送信しない）場合のみ，Endpoint7に対するINトークンに同期してUSBバスへのデータの送信を行います。データが送信され，ホストがデータを正常受信した場合，UF0ENレジスタのIT1NKビットがハードウエアによって自動的にクリア（0）されます。ショート・パケットを送信する場合は，UF0INT1レジスタにデータを書き込み，UF0DENDレジスタのIT1DENDビットをセット（1）すると送信が行われます（UF0EPS0レジスタのIT1ビット = 1（データがある））。Nullパケットを送信する場合は，UF0INT1レジスタのクリアを行い，UF0DENDレジスタのIT1DENDビットをセット（1）すると送信が行われます（UF0EPS0レジスタのIT1ビット = 1（データがある））。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0INT1	IT17	IT16	IT15	IT14	IT13	IT12	IT11	IT10	FFFFFE8AH	不定

ビット位置	ビット名	意　味
7-0	IT17-IT10	Endpoint7に対するデータを格納します。

次にUF0INT1レジスタの動作を示します。

図11ー8　UF0INT1レジスタの動作



（12）UF0インタラプト2レジスタ（UF0INT2）

UF0INT2レジスタは，Endpoint8に対するデータを格納する（SIEに引き渡す）8バイトのFIFOです。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は，00Hが読み出せます。

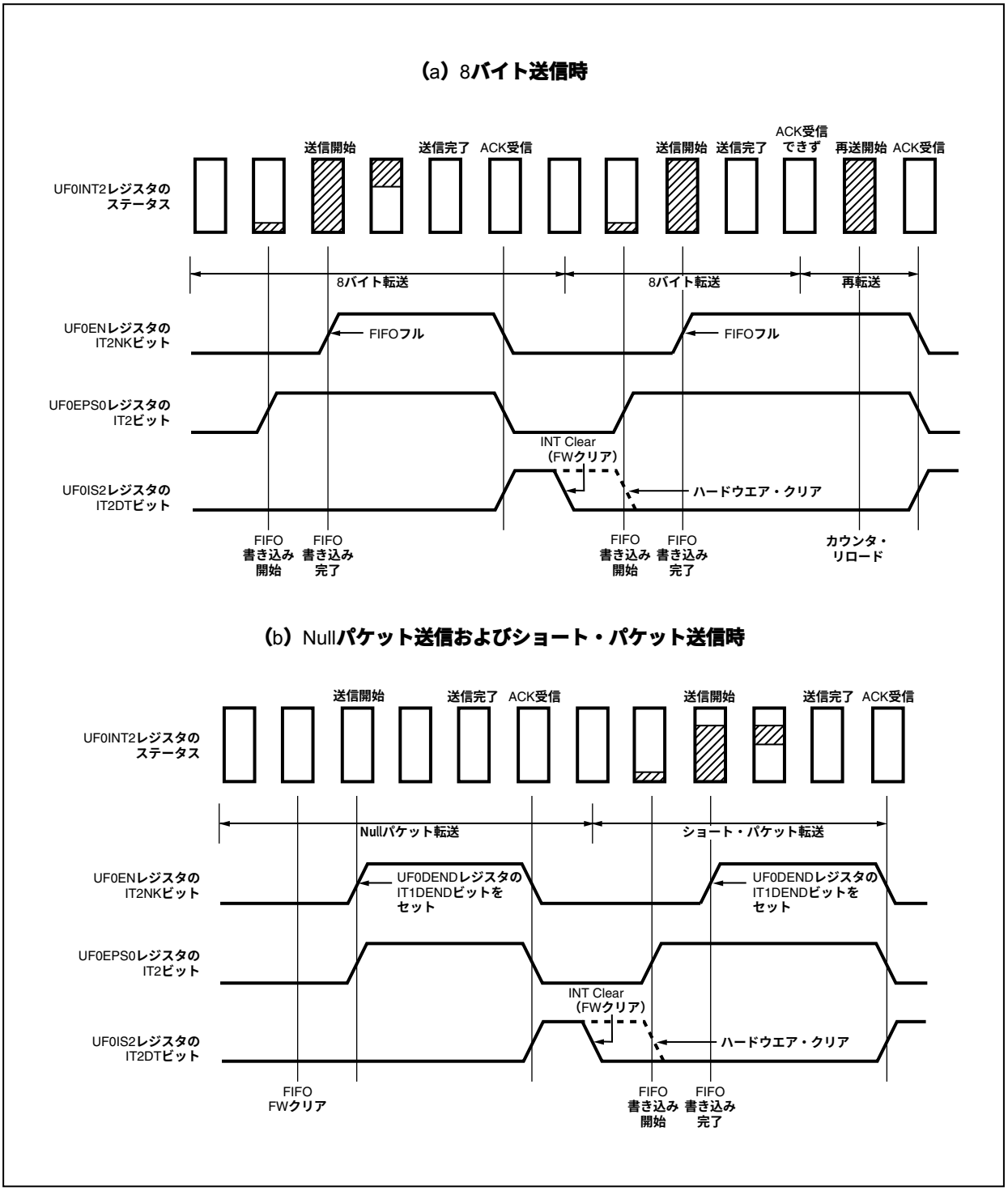
ハードウエアはUF0ENレジスタのIT2NKビットがセット（1）されている（NAKを送信しない）場合のみ，Endpoint8に対するINトークンに同期してUSBバスへのデータの送信を行います。データが送信され，ホストがデータを正常受信した場合，UF0ENレジスタのIT2NKビットがハードウエアによって自動的にクリア（0）されます。ショート・パケットを送信する場合は，UF0INT2レジスタにデータを書き込み，UF0DENDレジスタのIT2DENDビットをセット（1）すると送信が行われます（UF0EPS0レジスタのIT2ビット = 1（データがある））。Nullパケットを送信する場合は，UF0INT2レジスタのクリアを行い，UF0DENDレジスタのIT2DENDビットをセット（1）すると送信が行われます（UF0EPS0レジスタのIT2ビット = 1（データがある））。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0INT2	IT27	IT26	IT25	IT24	IT23	IT22	IT21	IT20	FFFFFE8BH	不定

ビット位置	ビット名	意　味
7-0	IT27-IT20	Endpoint8に対するデータを格納します。

次にUF0INT2レジスタの動作を示します。

図11ー9　UF0INT2レジスタの動作



11. 4. 3　リクエスト・データ・レジスタ

（1）UF0デバイス・ステータス・レジスタL（UF0DSTL）

GET_STATUS Deviceリクエストで返す値を格納するレジスタです。

8ビット単位でリード／ライト可能です。

ハードウエアはGET_STATUS Deviceリクエストを受信したとき，自動的にこのレジスタの内容をホストに対して送信します。

注意　このレジスタを書き換える場合は，リードとライトの競合を防止するために，EP0NKAビットをセット（1）したあと読み出し，セット（1）を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DSTL	0	0	0	0	0	0	RMWK	SFPW	FFFFFEA2H	00H

ビット位置	ビット名	意　味
1	RMWK	デバイスによるリモート･ウエイクアップ機能を使用するかどうかを設定します。 1：許可 0：禁止 デバイスがリモート・ウエイクアップをサポートする場合は，SET_FEATURE Deviceリクエストを受信したときハードウエアによりセット（1）され，CLEAR_FEATURE Deviceリクエストを受信したときハードウエアによりクリア（0）されます。リモート・ウエイクアップをサポートしない場合にはホストからSET_FEATURE Deviceリクエストを発行しないようにしてください。
0	SFPW	デバイスがセルフ・パワードであるかバス・パワードであるかを示します。 1：セルフ・パワード 0：バス・パワード

（2）UF0 EP0ステータス・レジスタL（UF0E0SL）

GET_STATUS Endpoint0リクエストで返す値を格納するレジスタです。

8ビット単位でリード／ライト可能です。ただし，ライトはEP0NKAビットがセット（1）されているときにだけ可能です。

USBF自身でエラーが発生すると，E0HALTビットがFWによってセット（1）されます。Endpoint0へのUSB側アクセスを受けている間の書き込みは無視されます。

FWでE0HALTビットをセット（1）する場合，直前のコントロール転送がSET_FEATURE Endpoint0，CLEAR_FEATURE Endpoint0，GET_STATUA Endpoint0リクエスト，またはFW処理のリクエストの場合には次のSETUPトークンを受信するまで反映されません。

ハードウエアはGET_STATUS Endpoint0リクエストを受信したとき，自動的にこのレジスタの内容をホストに対して送信します。Endpoint0がストールした場合にはUF0E0W，UF0E0Rレジスタがクリアされ，UF0E0NレジスタのEP0NKW, EP0NKRビットがクリア（0）されます。

注意　このレジスタを書き換える場合は，リードとライトの競合を防止するために，EP0NKAビットをセット（1）したあと読み出し，セット（1）を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0SL	0	0	0	0	0	0	0	E0HALT	FFFFFEA6H	00H

ビット位置	ビット名	意　味
0	E0HALT	Endpoint0の状態を示します。 1：ストールしている 0：ストールしていない SET_FEATURE Endpoint0リクエストを受信したときにハードウエアによりセット（1）され，CLEAR_FEATURE Endpoint0リクエストを受信したときにハードウエアによりクリア（0）されます。またDATA PIDはDATA0に初期化されます。

（3）UF0 EP1ステータス・レジスタL（UF0E1SL）

GET_STATUS Endpoint1リクエストで返す値を格納するレジスタです。

8ビット単位でリード／ライト可能です。ただし，ライトはEP0NKAビットがセット（1）されているときにだけ可能です。

Endpoint1でエラーが発生すると，E1HALTビットがセット（1）されます。Endpoint1へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウエアはGET_STATUS Endpoint1リクエストを受信したとき，自動的にこのレジスタの内容をホストに対して送信します。Endpoint1がストールした場合にはUF0BI1レジスタがクリアされ，BKI1NKビットがクリア（0）されます。

コントロール転送でなくEndpoint1に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため，書き換えが行われたか必ず確認してください。

注意　このレジスタを書き換える場合は，リードとライトの競合を防止するために，EP0NKAビットをセット（1）したあと読み出し，セット（1）を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E1SL	0	0	0	0	0	0	0	E1HALT	FFFFFEA8H	00H

ビット位置	ビット名	意　味
0	E1HALT	Endpoint1の状態を示します。 1：ストールしている 0：ストールしていない SET_FEATURE Endpoint1リクエストを受信したときにハードウエアによりセット（1）され，CLEAR_FEATURE Endpoint1リクエストを受信したとき，またはSET_CONFIGURATIONリクエスト，Endpoint1がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウエアによりクリア（0）されます。またDATA PIDはDATA0に初期化されます。

（4）UF0 EP2ステータス・レジスタL（UF0E2SL）

GET_STATUS Endpoint2リクエストで返す値を格納するレジスタです。

8ビット単位でリード／ライト可能です。ただし，ライトはEP0NKAビットがセット（1）されているときにだけ可能です。

Endpoint2でエラーが発生すると，E2HALTビットがセット（1）されます。Endpoint2へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウエアはGET_STATUS Endpoint2リクエストを受信したとき，自動的にこのレジスタの内容をホストに対して送信します。Endpoint2がストールした場合にはUF0BO1レジスタがクリアされ，BKO1NKビットがクリア（0）されます。

コントロール転送でなくEndpoint2に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため，書き換えが行われたか必ず確認してください。

注意　このレジスタを書き換える場合は，リードとライトの競合を防止するために，EP0NKAビットをセット（1）したあと読み出し，セット（1）を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E2SL	0	0	0	0	0	0	0	E2HALT	FFFFFEAAH	00H

ビット位置	ビット名	意　味
0	E2HALT	Endpoint2の状態を示します。 1：ストールしている 0：ストールしていない SET_FEATURE Endpoint2リクエストを受信したときにハードウエアによりセット（1）され，CLEAR_FEATURE Endpoint2リクエストを受信したとき，またはSET_CONFIGURATIONリクエスト，Endpoint2がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウエアによりクリア（0）されます。またDATA PIDはDATA0に初期化されます。

（5）UF0 EP3ステータス・レジスタL（UF0E3SL）

GET_STATUS Endpoint3リクエストで返す値を格納するレジスタです。

8ビット単位でリード／ライト可能です。ただし，ライトはEP0NKAビットがセット（1）されているときにだけ可能です。

Endpoint3でエラーが発生すると，E3HALTビットがセット（1）されます。Endpoint3へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウエアはGET_STATUS Endpoint3リクエストを受信したとき，自動的にこのレジスタの内容をホストに対して送信します。Endpoint3がストールした場合にはUF0BI2レジスタがクリアされ，BKI2NKビットがクリア（0）されます。

コントロール転送でなくEndpoint3に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため，書き換えが行われたか必ず確認してください。

注意　このレジスタを書き換える場合は，リードとライトの競合を防止するために，EP0NKAビットをセット（1）したあと読み出し，セット（1）を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E3SL	0	0	0	0	0	0	0	E3HALT	FFFFFEACH	00H

ビット位置	ビット名	意　味
0	E3HALT	Endpoint3の状態を示します。 1：ストールしている 0：ストールしていない SET_FEATURE Endpoint3リクエストを受信したときにハードウエアによりセット（1）され，CLEAR_FEATURE Endpoint3リクエストを受信したとき，またはSET_CONFIGURATIONリクエスト，Endpoint3がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウエアによりクリア（0）されます。またDATA PIDはDATA0に初期化されます。

（6）UF0 EP4ステータス・レジスタL（UF0E4SL）

GET_STATUS Endpoint4リクエストで返す値を格納するレジスタです。

8ビット単位でリード／ライト可能です。ただし，ライトはEP0NKAビットがセット（1）されているときにだけ可能です。

Endpoint4でエラーが発生すると，E4HALTビットがセット（1）されます。Endpoint4へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウエアはGET_STATUS Endpoint4リクエストを受信したとき，自動的にこのレジスタの内容をホストに対して送信します。Endpoint4がストールした場合にはUF0BO2レジスタがクリアされ，BKO2NKビットがクリア（0）されます。

コントロール転送でなくEndpoint4に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため，書き換えが行われたか必ず確認してください。

注意　このレジスタを書き換える場合は，リードとライトの競合を防止するために，EP0NKAビットをセット（1）したあと読み出し，セット（1）を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E4SL	0	0	0	0	0	0	0	E4HALT	FFFFFEAEH	00H

ビット位置	ビット名	意　味
0	E4HALT	Endpoint4の状態を示します。 1：ストールしている 0：ストールしていない SET_FEATURE Endpoint4リクエストを受信したときにハードウエアによりセット（1）され，CLEAR_FEATURE Endpoint4リクエストを受信したとき，またはSET_CONFIGURATIONリクエスト，Endpoint4がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウエアによりクリア（0）されます。またDATA PIDはDATA0に初期化されます。

（7）UF0 EP7ステータス・レジスタL（UF0E7SL）

GET_STATUS Endpoint7リクエストで返す値を格納するレジスタです。

8ビット単位でリード／ライト可能です。ただし，ライトはEP0NKAビットがセット（1）されているときにだけ可能です。

Endpoint7でエラーが発生すると，E7HALTビットがセット（1）されます。Endpoint7へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウエアはGET_STATUS Endpoint7リクエストを受信したとき，自動的にこのレジスタの内容をホストに対して送信します。Endpoint7がストールした場合にはUF0INT1レジスタがクリアされ，IT1NKビットがクリア（0）されます。

コントロール転送でなくEndpoint7に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため，書き換えが行われたか必ず確認してください。

注意　このレジスタを書き換える場合は，リードとライトの競合を防止するために，EP0NKAビットをセット（1）したあと読み出し，セット（1）を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E7SL	0	0	0	0	0	0	0	E7HALT	FFFFFEB4H	00H

ビット位置	ビット名	意　味
0	E7HALT	Endpoint7の状態を示します。 1：ストールしている 0：ストールしていない SET_FEATURE Endpoint7リクエストを受信したときにハードウエアによりセット（1）され，CLEAR_FEATURE Endpoint7リクエストを受信したとき，またはSET_CONFIGURATIONリクエスト，Endpoint7がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウエアによりクリア（0）されます。またDATA PIDはDATA0に初期化されます。

（8）UF0 EP8ステータス・レジスタL（UF0E8SL）

GET_STATUS Endpoint8リクエストで返す値を格納するレジスタです。

8ビット単位でリード／ライト可能です。ただし，ライトはEP0NKAビットがセット（1）されているときにだけ可能です。

Endpoint8でエラーが発生すると，E8HALTビットがセット（1）されます。Endpoint8へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウエアはGET_STATUS Endpoint8リクエストを受信したとき，自動的にこのレジスタの内容をホストに対して送信します。Endpoint8がストールした場合にはUF0INT2レジスタがクリアされ，IT2NKビットがクリア（0）されます。

コントロール転送でなくEndpoint8に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため，書き換えが行われたか必ず確認してください。

注意　このレジスタを書き換える場合は，リードとライトの競合を防止するために，EP0NKAビットをセット（1）したあと読み出し，セット（1）を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E8SL	0	0	0	0	0	0	0	E8HALT	FFFFFEB6H	00H

ビット位置	ビット名	意　味
0	E8HALT	Endpoint8の状態を示します。 1：ストールしている 0：ストールしていない SET_FEATURE Endpoint8リクエストを受信したときにハードウエアによりセット（1）され，CLEAR_FEATURE Endpoint8リクエストを受信したとき，またはSET_CONFIGURATIONリクエスト，Endpoint8がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウエアによりクリア（0）されます。またDATA PIDはDATA0に初期化されます。

（9）UF0アドレス・レジスタ（UF0ADRS）

デバイス・アドレスを格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタは，SET_ADDRESSリクエストにより送られてくるデバイス・アドレスを解析し，自動的にその値を書き込みます。SET_ADDRESSリクエストをFW処理した場合，ステータス・ステージのSUCCESS信号受信時にこのレジスタの値をデバイス・アドレスとして反映します。

注意　このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ADRS	0	ADRS6	ADRS5	ADRS4	ADRS3	ADRS2	ADRS1	ADRS0	FFFFFEC0H	00H

ビット位置	ビット名	意　味
6-0	ADRS6- ADRS0	SIEのデバイス・アドレスを保持します。

（10）UF0コンフィギュレーション・レジスタ（UF0CNF）

GET_CONFIGURATIONリクエストで返す値を格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタはSET_CONFIGURATIONリクエストを受信すると，自動的にそのwValueを書き込みます。

このレジスタの値が00Hから00H以外に変化したタイミングを検出して，UF0MODSレジスタのCONFビットがセット（1）されます。また，SET_CONFIGURATIONリクエストをFWで処理した場合，このレジスタにデータを書き込んだ時点ですぐにUF0MODSレジスタに状態が反映されます（ステータス・ステージ終了前にCONFビット = 1になります）。

注意　このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CNF	0	0	0	0	0	0	CONF1	CONF0	FFFFFEC1H	00H

ビット位置	ビット名	意　味
1, 0	CONF1, CONF0	GET_CONFIGURATIONリクエストに対して返信するデータを保持します。

（11）UF0インタフェース0レジスタ（UF0IF0）

GET_INTERFACE wIndex = 0リクエストで返す値を格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタはSET_INTERFACEリクエストを受信すると，自動的にそのwValueを書き込みます。

SET_INTERFACEリクエストをFWで処理した場合，wIndex，wValueをデコードしてEndpointの設定を自動的に変更します。このとき，設定に応じて対象Endpointの状態ビットとDPIDを自動的にクリア（0）します。FIFOは自動的にクリアされません。

注意　このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IF0	0	0	0	0	0	IF02	IF01	IF00	FFFFFEC2H	00H

ビット位置	ビット名	意　味
2-0	IF02-IF00	GET_INTERFACE wIndex = 0リクエストに対して返信するデータを保持します。

（12）UF0インタフェース1-4レジスタ（UF0IF1-UF0IF4）

GET_INTERFACE wIndex = nリクエストで返す値を格納するレジスタです（n = 1-4）。

8ビット単位でリードのみ可能です。

このレジスタはSET_INTERFACEリクエストを受信すると，自動的にそのwValueを書き込みます。

このレジスタはUF0AIFNレジスタとUF0AASレジスタの設定によっては無効になります。

SET_INTERFACEリクエストをFWで処理した場合，wIndex，wValueをデコードしてEndpointの設定を自動的に変更します。このとき，設定に応じて対象Endpointの状態ビットとDPIDを自動的にクリア（0）します。FIFOは自動的にクリアされません。

注意　このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IF1	0	0	0	0	0	IF12	IF11	IF10	FFFFFEC3H	00H
UF0IF2	0	0	0	0	0	IF22	IF21	IF20	FFFFFEC4H	00H
UF0IF3	0	0	0	0	0	IF32	IF31	IF30	FFFFFEC5H	00H
UF0IF4	0	0	0	0	0	IF42	IF41	IF40	FFFFFEC6H	00H

ビット位置	ビット名	意　味
2-0	IFn2-IFn0	GET_INTERFACE wIndex = nリクエストに対して返信するデータを保持します。

備考　n = 1-4

（13）UF0ディスクリプタ・レングス・レジスタ（UF0DSCL）

GET_DESCRIPTOR Configurationリクエストで返す値の長さを格納するレジスタです。このレジスタ値はUF0CIEnレジスタで設定した全ディスクリプタのバイト数－1の値になります（n = 0-255）。このレジスタ値によりGET_DESCRIPTOR Configurationリクエストで返信する全ディスクリプタ長が決定されます。

8ビット単位でリード／ライト可能です。ただし，ライトはEP0NKAビットがセット（1）されているときにだけ可能です。

wLengthの処理は自動的に制御されます。このレジスタに00Hを設定すると，返信するディスクリプタ長は1バイトを意味し，FFHを設定すると256バイトを意味します。なお，256バイトを越えるディスクリプタを使用する場合には，UF0MODCレジスタのCDCGDSTビットをセット（1）してFWによりGET_DESCRIPTORリクエストを処理してください（このときUF0MODSレジスタのCDCGDビットもセット（1）されます）。

注意　このレジスタを書き換える場合は，リードとライトの競合を防止するために，EP0NKAビットをセット（1）したあと読み出し，セット（1）を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DSCL	DPL7	DPL6	DPL5	DPL4	DPL3	DPL2	DPL1	DPL0	FFFFFED0H	00H

ビット位置	ビット名	意　味
7-0	DPL7-DPL0	GET_DESCRIPTOR Configurationリクエストで返信する全ディスクリプタのバイト数－1の値を設定します。

（14）UF0デバイス・ディスクリプタ・レジスタ0-17（UF0DD0-UF0DD17）

GET_DESCRIPTOR Deviceリクエストで返す値を格納するレジスタです。

8ビット単位でリード／ライト可能です。ただし，ライトはEP0NKAビットがセット（1）されているときにだけ可能です。

注意1.　このレジスタを書き換える場合は，リードとライトの競合を防止するために，EP0NKAビットをセット（1）したあと読み出し，セット（1）を確認してから行ってください。

2.　設定する値には，USB Specification Ver2.0，および最新Class Specificationの値を使用してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DDn (n = 0-17)									表11－4参照	不定

表11－4　UF0デバイス・ディスクリプタ・レジスタのマッピングとデータ

略　号	アドレス	フィールド名	内　　容
UF0DD0	FFFFFED1H	bLength	このディスクリプタのサイズ
UF0DD1	FFFFFED2H	bDescriptorType	デバイス・ディスクリプタ・タイプ
UF0DD2	FFFFFED3H	bcdUSB	USB仕様のRev.番号の小数点以下の値
UF0DD3	FFFFFED4H		USB仕様のRev.番号の小数点以上の値
UF0DD4	FFFFFED5H	bDeviceClass	クラス・コード
UF0DD5	FFFFFED6H	bDeviceSubClass	サブクラス・コード
UF0DD6	FFFFFED7H	bDeviceProtocol	プロトコル・コード
UF0DD7	FFFFFED8H	bMaxPacketSize0	Endpoint0の最大パケット・サイズ
UF0DD8	FFFFFED9H	idVendor	ベンダIDの下位側の値
UF0DD9	FFFFFEDAH		ベンダIDの上位側の値
UF0DD10	FFFFFEDBH	idProduct	製品IDの下位側の値
UF0DD11	FFFFFEDCH		製品IDの上位側の値
UF0DD12	FFFFFEDDH	bcdDevice	デバイス・リリース番号の下位側の値
UF0DD13	FFFFFEDEH		デバイス・リリース番号の上位側の値
UF0DD14	FFFFFEDFH	iManufacturer	メーカを記述するストリング・ディスクリプタのインデクス
UF0DD15	FFFFFEE0H	iProduct	製品を記述するストリング・ディスクリプタのインデクス
UF0DD16	FFFFFEE1H	ISerialNumber	デバイス・シリアル番号を記述するストリング・ディスクリプタのインデクス
UF0DD17	FFFFFEE2H	BNumConfigurations	設定可能なConfigurationの数

（15）UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ0-255（UF0CIE0-UF0CIE255）

GET_DESCRIPTOR Configurationリクエストで返す値を格納するレジスタです。

8ビット単位でリード／ライト可能です。ただし，ライトはEP0NKAビットがセット（1）されているときにだけ可能です。

このレジスタには256バイトまでのディスクリプタ情報を格納できます。各ディスクリプタはConfiguration，Interface，Endpointの順に格納してください（表11－5参照）。Interfaceが複数ある場合は，Interfaceディスクリプタ以降を繰り返し格納してください。

表11－5　UF0CIEnレジスタのマッピング

アドレス	格納するディスクリプタ
FFFFFEE3H	Configurationディスクリプタ（9バイト）
FFFFFEECH	Interfaceディスクリプタ（9バイト）
FFFFFEF5H	Endpoint1ディスクリプタ（7バイト）
FFFFFEFCH	Endpoint2ディスクリプタ（7バイト）
FFFFFF03H	Endpoint3ディスクリプタ（7バイト）
：	：
FFFFFFxxH	Interfaceディスクリプタ（9バイト）
FFFFFFxxH＋9	Endpoint1ディスクリプタ（7バイト）
FFFFFFxxH＋16	Endpoint2ディスクリプタ（7バイト）
FFFFFFxxH＋23	Endpoint3ディスクリプタ（7バイト）
：	：

UF0DSCLレジスタの設定により，このレジスタに設定できる有効なデータ範囲が変わります。なお，表11－6に示すディスクリプタ以外にもクラスやベンダに固有のディスクリプタを格納できます。

すべての値が固定されていれば，ROM化可能です。

注意 1. このレジスタを書き換える場合は，リードとライトの競合を防止するために，EP0NKAビットをセット（1）したあと読み出し，セット（1）を確認してから行ってください。

2. 設定する値には，USB Specification Ver2.0，および最新Class Specificationの値を使用してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CIEn (n = 0-255)									FFFFFEE3H-FFFFFFE2H	不定

表11ー6　UF0CIEnレジスタのデータ

（a）Configurationディスクリプタ（9バイト）

オフセット	フィールド名	内　　容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	wTotalLength	Configuration，全Interface，全Endpointのディスクリプタが占める総バイト数の下位側の値
3		Configuration，全Interface，全Endpointのディスクリプタが占める総バイト数の上位側の値
4	bNumInterface	Interfaceの数
5	bConfigurationValue	このConfigurationを選択するための値
6	iConfiguration	このConfigurationを記述するストリング・ディスクリプタのインデクス
7	bmAttributes	Configurationの特徴（セルフ・パワード，リモート・ウエイクアップなし）
8	MaxPower	このConfigurationの最大消費電力（単位：mA）

（b）Interfaceディスクリプタ（9バイト）

オフセット	フィールド名	内　　容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	bInterfaceNumber	このInterfaceの値
3	bAlternateSetting	Interfaceの代替セッティングを選択する値
4	bNumEndpoints	使用可能なEndpointの数
5	bInterfaceClass	クラス・コード
6	bInterfaceSubClass	サブクラス・コード
7	bInterfaceProtocol	プロトコル・コード
8	Interface	このInterfaceを記述するストリング・ディスクリプタのインデクス

（c）Endpointディスクリプタ（7バイト）

オフセット	フィールド名	内　　容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	bEndpointAddress	このEndpointのアドレス／転送方向
3	bmAttributes	転送種類
4	wMaxPaketSize	最大データ転送数の下位側の値
5		最大データ転送数の上位側の値
6	bInterval	転送周期

11. 4. 4　周辺制御レジスタ

（1）USBファンクション0DMAチャネル・セレクト・レジスタ（UF0CS）

USBファンクションの各DMAサービスをDMAチャネルに割り当てるレジスタです。

16ビット単位でリード／ライト可能です。

このレジスタにより各DMAチャネルにUSBファンクションのサービスを割り当てる場合は，あらかじめこのレジスタを設定してから，DMAコントローラのDTFRnレジスタ（n = 0-3）に7FHを設定し，USB_DMAを有効にしておいてください。

注意　異なるDMAチャネルに対する同一のDMAサービスの設定，および同一のDMAチャネルに対する異なるDMAサービスの設定は禁止です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CS	0	UFD C32	UFD C31	UFD C30	0	UFD C22	UFD C21	UFD C20	0	UFD C12	UFD C11	UFD C10	0	UFD C02	UFD C01	UFD C00	FFFFFDF0H	0000H

ビット位置	ビット名	意　味
14-12, 10-8, 6-4, 2-0	UFDCn2-UFDCn0	DMAチャネルnに割り付けるUSBファンクションのDMAサービスを設定します。

UFDCn2	UFDCn1	UFDCn0	割り付けるサービス
1	1	1	EP4_DMA
1	1	0	EP3_DMA
1	0	1	EP2_DMA
1	0	0	EP1_DMA
0	X	X	割り付けなし（DMA未使用）

備考　X：Don't care

備考　n = 0-3

（2）USBファンクション0バッファ・コントロール・レジスタ（UF0BC）

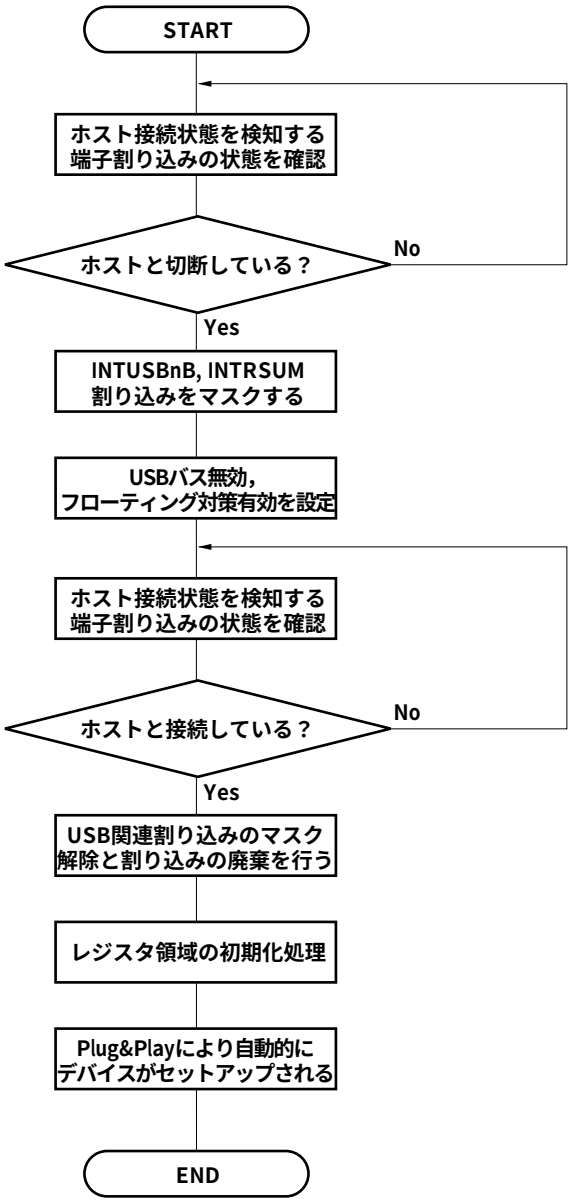
USBファンクションの入力バッファに対するイネーブル制御，フローティング制御を行うレジスタです。8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BC	0	0	0	0	0	0	UBFIEN	UBFIOR	FFFFFDF2H	00H

ビット位置	ビット名	意　味
1	UBFIEN	USBバッファの使用を制御します。 1：バッファ有効 0：バッファ無効 **注意**　USBを使用しない場合は，このビットはクリア（0）してください。このビットをセット（1）すると，USBの使用／未使用にかかわらず，定常的に3 mA（TYP.）の電流が流れます。
0	UBFIOR	USBバッファのフローティング対策の使用を制御します。 1：フローティング対策無効 0：フローティング対策有効 ケーブル未接続時（データ入力がフローティング時）に，不定値によるBus Reset，Suspend，Resumeなどの誤認識を防止します。このビットをセット（1）した場合は，フローティングに対する処置はVBUS信号等（ケーブル接続の認識）で制御してください。

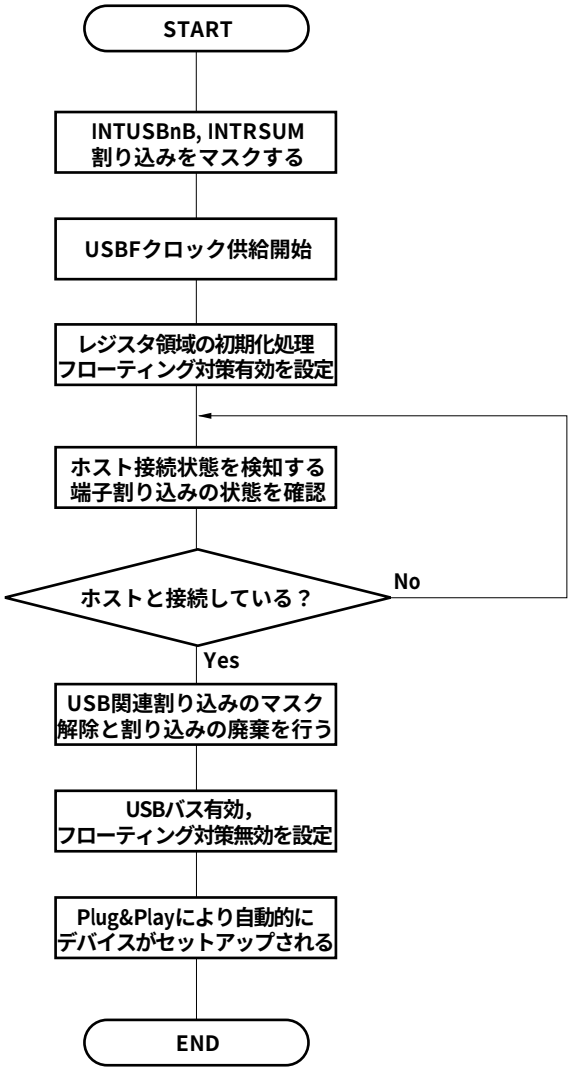
次にホスト切断／ホスト再接続時のプログラム，電源投入時のプログラムのフロー・チャートを示します。

図11－10　ホスト切断／ホスト再接続時のプログラムのフロー・チャート



備考　n = 0-2

図11－11　電源投入時のプログラムのフロー・チャート



備考　n = 0-2

11. 5　STALLハンドシェークまたはノー・ハンドシェーク

USBFのエラーの取り扱いは，次のように定義されています。

転送タイプ	トランザクション	対象パケット	エラー種類	ファンクション応答	処理内容
コントロール転送／バルク転送／インタラプト転送	IN/OUT/SETUP	トークン	Endpoint未対応	無応答	特になし
			Endpointに対する転送方向不一致	無応答	特になし
			CRCエラー	無応答	特になし
			ビット・スタッフィング・エラー	無応答	特になし
コントロール転送／バルク転送／	OUT/SETUP	データ	タイムアウト	無応答	特になし
			PID チェック・エラー	無応答	特になし
			未対応PID（Data PID以外）	無応答	特になし
			CRCエラー	無応答	受信データを破棄
			ビット・スタッフィング・エラー	無応答	受信データを破棄
	OUT	データ	Data PID不一致	ACK	受信データを破棄
コントロール転送（SETUPステージ）	SETUP	データ	オーバラン	無応答	受信データを破棄
コントロール転送（データ・ステージ）	OUT	データ	オーバラン	無応答[注1]	UF0SDSレジスタのSNDSTLビットをセット（1）し，受信データを破棄
コントロール転送（ステータス・ステージ）	OUT	データ	オーバラン	ACK or 無応答[注2]	UF0SDSレジスタのSNDSTLビットをセット（1）し，受信データを破棄
バルク転送	OUT	データ	オーバラン	無応答[注1]	UF0EnSLレジスタのEnHALTビットをセット（1）する（n = 0-4, 7, 8）
コントロール転送／バルク転送／インタラプト転送	IN	ハンドシェーク	PIDチェック・エラー	－	送出したデータを保持し，再転送[注3]
			未対応PID（ACK PID以外）	－	送出したデータを保持し，再転送[注3]
			タイムアウト	－	送出したデータを保持し，再転送[注3]

注1.　ホストの再転送に対してSTALL応答します。

2.　転送データがMaxPacketSize以下の場合にはACK応答し，ステータス・ステージの受信データを破棄します。一方，MaxPacketSizeを越える場合には無応答となり，UF0SDSレジスタのSNDSTLビットがセット（1）され，受信データは破棄されます。

3.　コントロール転送で，データ・ステージからステータス・ステージへの変化を示すOUTトランザクションを受信した場合は対象外となり，正常受信完了と判断します。

注意1.　現在設定されているAlternate Settingの番号により対象Endpointが有効か無効かが判定されます。

2.　Endpoint0へのコントロール転送に含まれるリクエストに対する応答は，11. 3　リクエストを参照してください。

11.6 特定状態でのレジスタ値

表11－7 特定状態でのレジスタ値（1/2）

レジスタ名	CPUリセット（$\overline{\text{RESET}}$）時	Bus Reset時
UF0E0Nレジスタ	00H	値を保持
UF0E0NAレジスタ	00H	値を保持
UF0ENレジスタ	00H	値を保持
UF0ENMレジスタ	00H	値を保持
UF0SDSレジスタ	00H	値を保持
UF0CLRレジスタ	00H	値を保持
UF0SETレジスタ	00H	値を保持
UF0EPS0レジスタ	00H	値を保持
UF0EPS1レジスタ	00H	値を保持
UF0EPS2レジスタ	00H	値を保持
UF0IS0レジスタ	00H	値を保持
UF0IS1レジスタ	00H	値を保持
UF0IS2レジスタ	00H	値を保持
UF0IS3レジスタ	00H	値を保持
UF0IS4レジスタ	00H	値を保持
UF0IM0レジスタ	00H	値を保持
UF0IM1レジスタ	00H	値を保持
UF0IM2レジスタ	00H	値を保持
UF0IM3レジスタ	00H	値を保持
UF0IM4レジスタ	00H	値を保持
UF0IC0レジスタ	FFH	値を保持
UF0IC1レジスタ	FFH	値を保持
UF0IC2レジスタ	FFH	値を保持
UF0IC3レジスタ	FFH	値を保持
UF0IC4レジスタ	FFH	値を保持
UF0IDRレジスタ	00H	値を保持
UF0DMS0レジスタ	00H	値を保持
UF0DMS1レジスタ	00H	値を保持
UF0FIC0レジスタ	00H	値を保持
UF0FIC1レジスタ	00H	値を保持
UF0DENDレジスタ	00H	値を保持
UF0GPRレジスタ	00H	値を保持
UF0MODCレジスタ	00H	値を保持
UF0MODSレジスタ	00H	ビット2（CONF）：クリア（0）， それ以外のビット：値を保持
UF0AIFNレジスタ	00H	値を保持
UF0AASレジスタ	00H	値を保持
UF0ASSレジスタ	00H	00H
UF0E1IMレジスタ	00H	値を保持
UF0E2IMレジスタ	00H	値を保持

表11－7　特定状態でのレジスタ値（2/2）

レジスタ名	CPUリセット（$\overline{\text{RESET}}$）時	Bus Reset時
UF0E3IMレジスタ	00H	値を保持
UF0E4IMレジスタ	00H	値を保持
UF0E7IMレジスタ	00H	値を保持
UF0E8IMレジスタ	00H	値を保持
UF0E0Rレジスタ	不定注1	値を保持
UF0E0Lレジスタ	00H	値を保持
UF0E0STレジスタ	00H	00H
UF0E0Wレジスタ	不定注1	値を保持
UF0BO1レジスタ	不定注1	値を保持
UF0BO1Lレジスタ	00H	値を保持
UF0BO2レジスタ	不定注1	値を保持
UF0BO2Lレジスタ	00H	値を保持
UF0BI1レジスタ	不定注1	値を保持
UF0BI2レジスタ	不定注1	値を保持
UF0INT1レジスタ	不定	値を保持
UF0INT2レジスタ	不定	値を保持
UF0DSTLレジスタ	00H	00H
UF0E0SLレジスタ	00H	00H
UF0E1SLレジスタ	00H	00H
UF0E2SLレジスタ	00H	00H
UF0E3SLレジスタ	00H	00H
UF0E4SLレジスタ	00H	00H
UF0E7SLレジスタ	00H	00H
UF0E8SLレジスタ	00H	00H
UF0ADRSレジスタ	00H	00H
UF0CNFレジスタ	00H	00H
UF0IF0レジスタ	00H	00H
UF0IF1レジスタ	00H	00H
UF0IF2レジスタ	00H	00H
UF0IF3レジスタ	00H	00H
UF0IF4レジスタ	00H	00H
UF0DSCLレジスタ	00H	値を保持
UF0DDnレジスタ（n = 0-17）	注2	注2
UF0CIEnレジスタ （n = 0-255）	注2	注2

注1.　該当のレジスタは，FIFO制御のため，UF0FICnレジスタでのクリア（0）と同様に$\overline{\text{RESET}}$信号がアクティブになると，ライト・ポインタ，カウンタ，リード・ポインタのすべてがクリア（0）されるので，$\overline{\text{RESET}}$信号によって，クリア（0）できます。

2.　該当のレジスタは，クリア（0）できません。ただし，FWライト可能なので，任意の値を書き込めます（その場合は，必ずUF0E0NAレジスタのEP0NKAビット = 1にしてから行ってください）。

11. 7　FW処理

FW処理は次に示すものに対して行います。

○エニマレーション処理中のSET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATUREリクエストに対する装置側の設定処理

○自動処理対象外のXXXXStandardリクエスト, XXXXClassリクエスト，XXXXVendorリクエストの解析とその処理

○バルク転送のOUTトークンに続くデータの受信バッファからの読み出し

○バルク転送のINトークンに対して返信されるデータの書き込み

○インタラプト転送のトークンに対して返信されるデータの書き込み

次にFW対応のリクエストを示します。

表11－8　FW対応の標準リクエスト

リクエスト	受信側	処理／頻度	説　明
CLEAR_FEATURE	Interface	自動STALL応答	bmRequestTypeでは予約しているが，機能セレクタ値がないため，Interfaceにはこの要求は来ないと思われます。 このリクエストを受けた場合，ハードウエアは自動STALL応答します。
SET_FEATURE	Interface	自動STALL応答	bmRequestTypeでは予約しているが，機能セレクタ値がないため，Interfaceにはこの要求はないと思われます。 このリクエストを受けた場合，ハードウエアは自動STALL応答します。
GET_DESCRIPTOR	String	FW	ストリング・ディスクリプタを返します。 SETUPトークンでこのリクエストを受信すると，ハードウエアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし，ホストに返すデータをUF0E0Wレジスタに書き込みます。
SET_DESCRIPTOR	Device	FW	デバイス・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると，ハードウエアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし，次のコントロール転送（OUT）のデータをUF0DDnレジスタに書き込みます（n = 0-17）。
SET_DESCRIPTOR	Configuration	FW	コンフィギュレーション・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると，ハードウエアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし，次のコントロール転送（OUT）のデータをUF0CIEnレジスタに書き込みます（n = 0-255）。
SET_DESCRIPTOR	String	FW	ストリング・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると，ハードウエアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし，次のコントロール転送（OUT）のデータを取り込みます。
その他のリクエスト	NA	FW	SETUPトークンでその他のリクエストを受信すると，ハードウエアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし，必要な処理を行ってください。

11. 7. 1　初期化処理

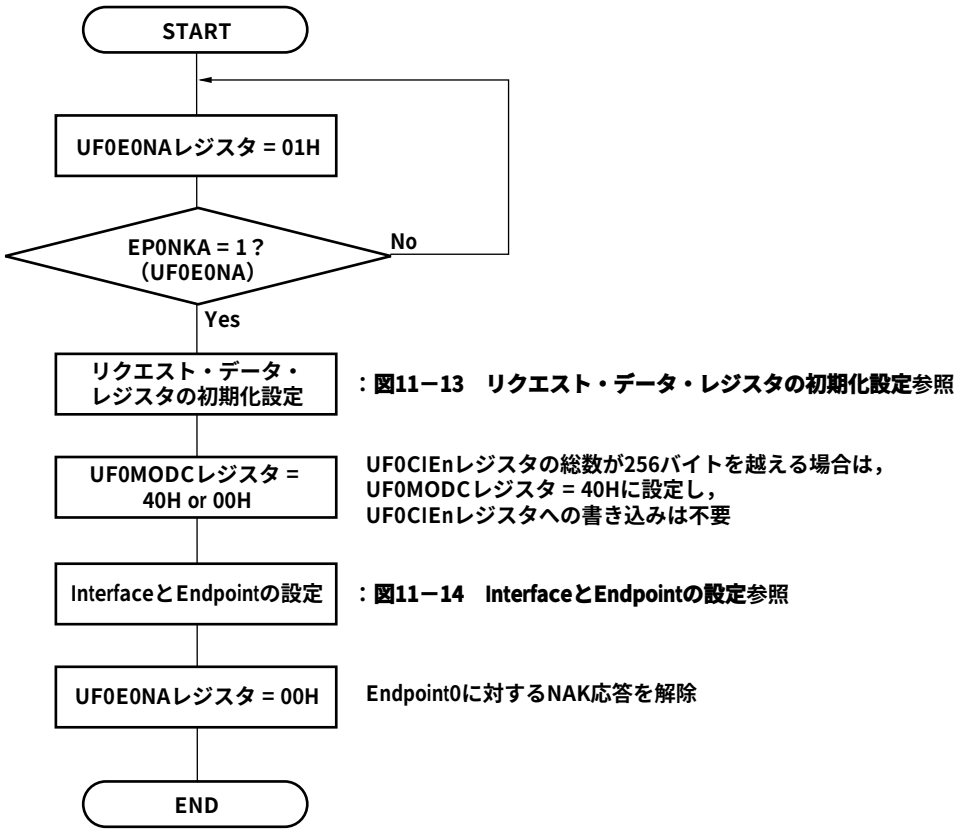
初期化処理には次の2つの設定があります。

・リクエスト・データ・レジスタの初期化
・割り込みの設定

リクエスト・データ・レジスタの初期化では，自動返信処理を行うGET_XXXXリクエストに対するデータの書き込みとEndpointのInterfaceに対する割り当てを行います。割り込みの設定では，確認する必要のない割り込み要因に対して，UF0IMnレジスタにより割り込みのマスクを行います（n = 0-4）。

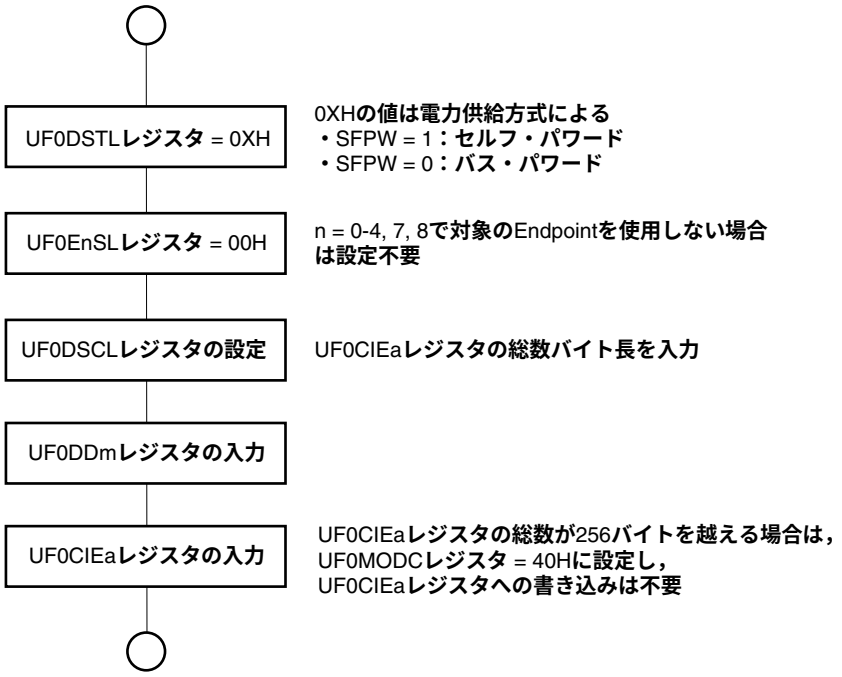
次にフローを示します。

図11－12　リクエスト・データ・レジスタの初期化



備考　n = 0-255

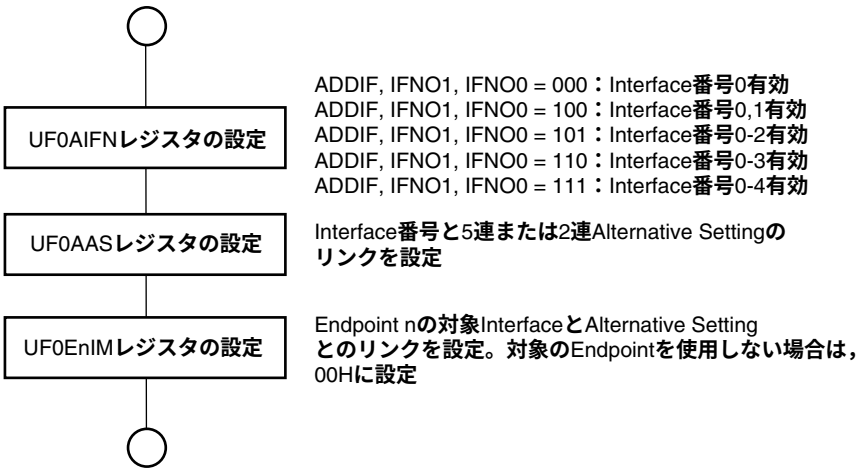
図11－13　リクエスト・データ・レジスタの初期化設定



備考　m = 0-17

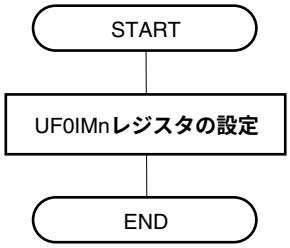
a = 0-255

図11－14　InterfaceとEndpointの設定



備考　n = 1-4, 7, 8

図11ー15　割り込みの設定



割り込み要因に対して不要な割り込み要求（INTUSBmB）の発行を回避するために割り込みのマスクを行います。

備考　n = 0-4

n = 0, 1のときm = 0

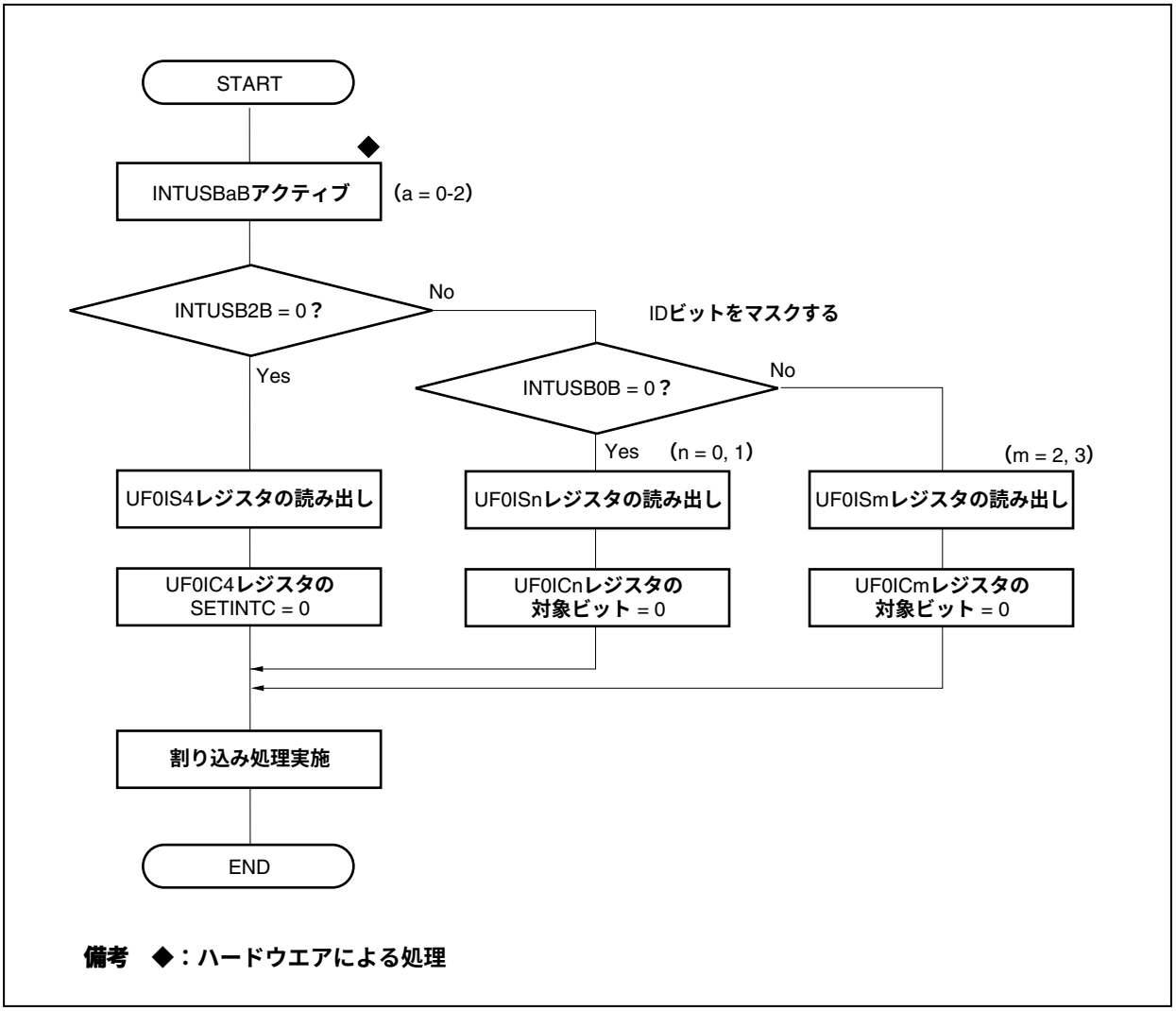
n = 2, 3のときm = 1

n = 4のときm = 2

11. 7. 2　割り込み処理

次にフローを示します。

図11－16　割り込み処理



次に示すUF0ISnレジスタのビットは，条件を満たしたときにハードウエアにより，自動的にクリアされます（n = 1-4）。

- UF0IS1レジスタのE0INDT, E0ODT, SUCES, STG, CPUDECビット
- UF0IS2レジスタのBKI2DT, BKI1DT, IT2DT, IT1DTビット
- UF0IS3レジスタのBKO2FL, BKO2DT, BKO1FL, BKO1DTビット

なお，UF0ICnレジスタでの割り込み要因のクリアは，対象となる割り込み要因のハードウエアによるセットより，優先順位は低いため，タイミングによってはクリアできない場合があります（n = 0-4）。

11. 7. 3　USBメイン処理

USBメイン処理では，USBトランザクションに対する処理を行います。対象となるトランザクションのタイプは次の通りです。

- コントロール転送に対する完全自動処理リクエスト
- コントロール転送に対する自動処理リクエスト
  （SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE）
- コントロール転送に対するCPUDECリクエスト
- バルク転送（IN）に対する処理
- バルク転送（OUT）に対する処理
- インタラプト転送（IN）に対する処理

Endpoint nに対する処理は，データ転送の書き込みまたは読み出し処理です。なお，以降で示すフロー・チャートはPIOを対象にしたものです。

（1）コントロール転送に対する完全自動処理リクエスト

コントロール転送に対する完全自動処理リクエストは，ハードウエアで処理のすべてを実行するため，FWでは参照できません。このため，FWで特別に処理する必要はありません。

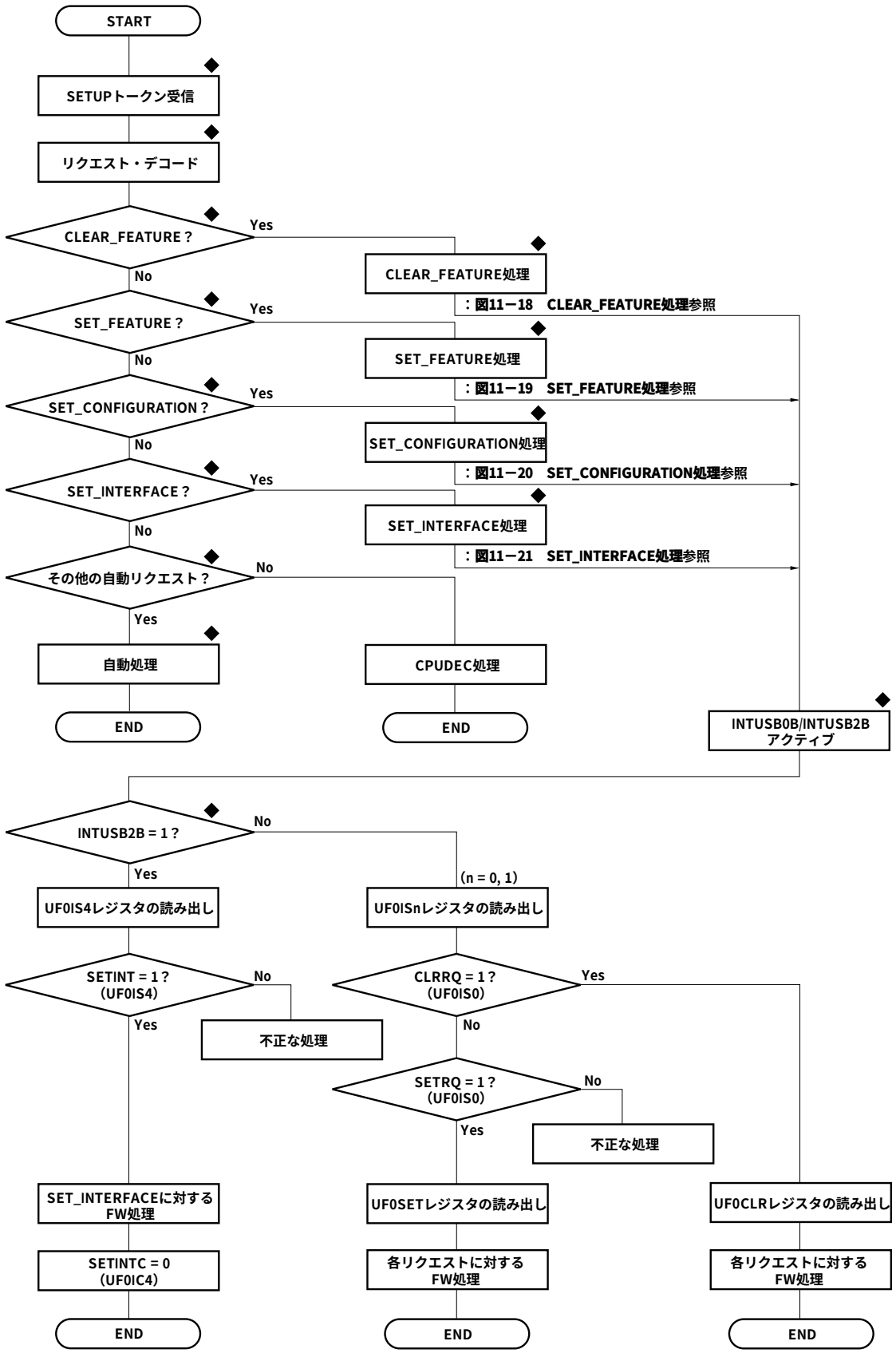
（2）コントロール転送に対する自動処理リクエスト

（SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE）

SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATUREのコントロール転送に対する自動処理リクエストに対してレジスタ等への書き込み処理などはハードウエアで自動的に実行されますが，装置側での認知のために割り込み要求を発行します。特に処理すべきことがない場合は，この処理は無視してもかまいません。

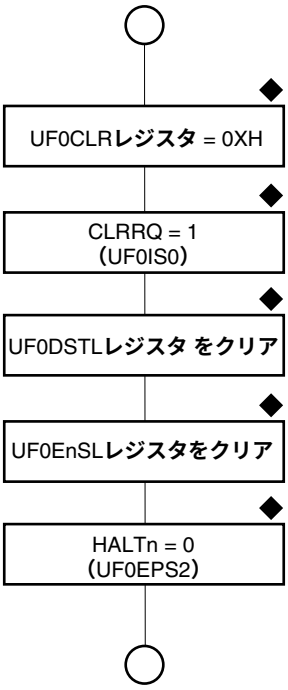
次にフローを示します。

図11－17　コントロール転送に対する自動処理リクエスト



備考　◆：ハードウエアによる処理

図11ー18　CLEAR_FEATURE**処理**

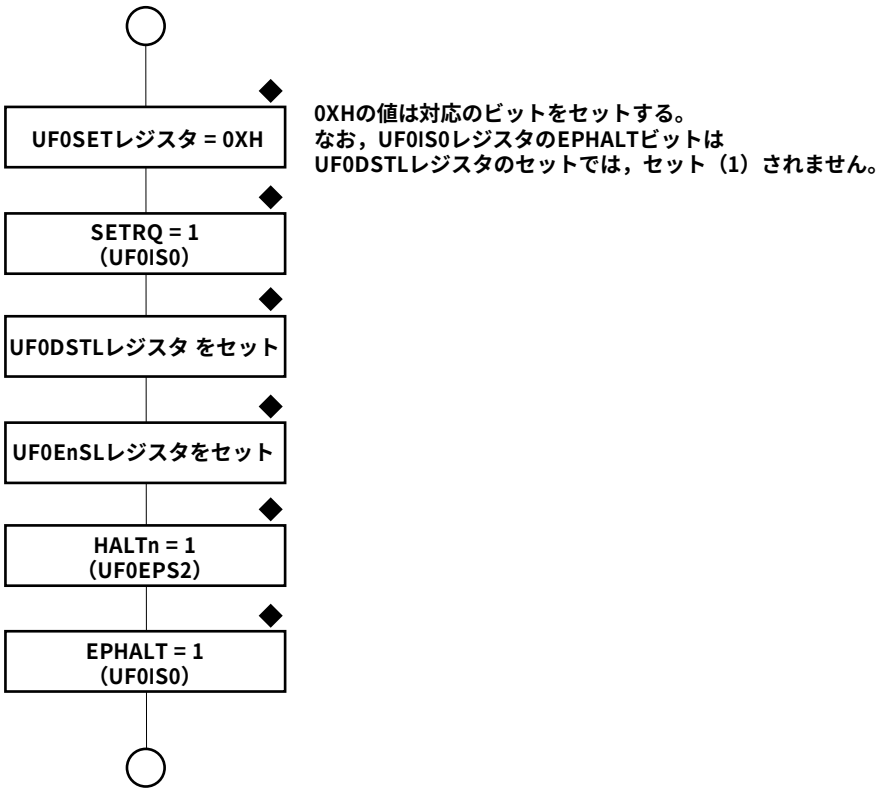


0XHの値は対応のビットをセットする。
なお，UF0IS0レジスタのEPHALTビットはすべての
Halt Featureがクリアされたときだけ，クリア（0）されます。

備考1.　n = 0-4, 7, 8

2.　◆：ハードウエアによる処理

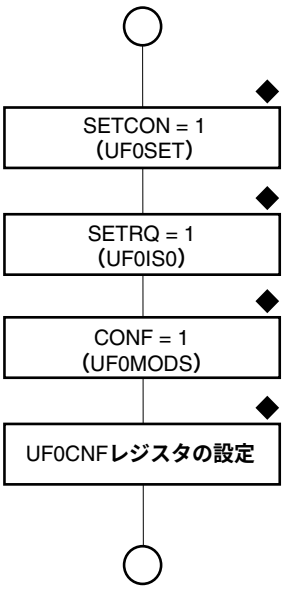
図11ー19　SET_FEATURE処理



備考1.　n = 0-4, 7, 8

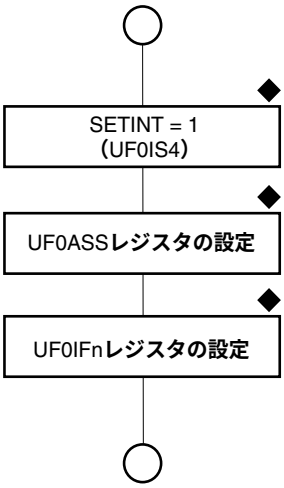
2.　◆：ハードウエアによる処理

図11ー20　SET_CONFIGURATION処理



備考　◆：ハードウエアによる処理

図11ー21　SET_INTERFACE**処理**



備考1.　n = 0-4

2.　◆：ハードウエアによる処理

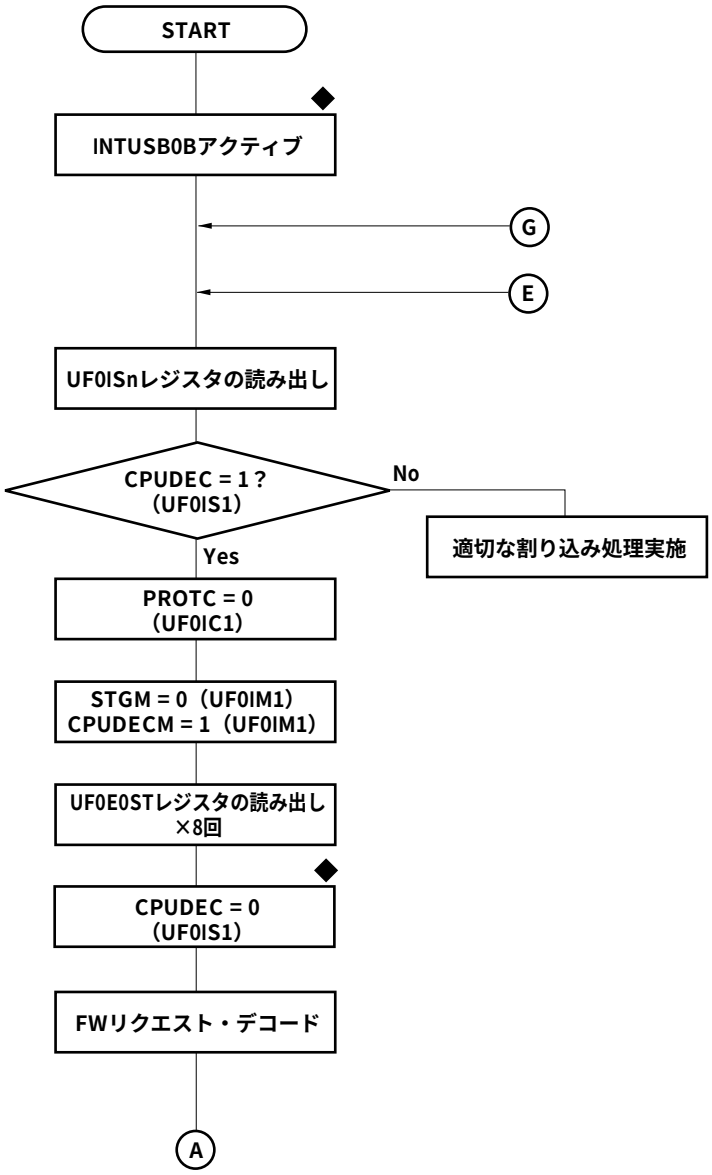
（3）コントロール転送に対するCPUDECリクエスト

CPUDECリクエストは，コントロール転送（ライト），コントロール転送（リード），コントロール転送（データなし）の3つの処理に分類できます。コントロール転送（ライト）はデータ・ステージでOUTトランザクションを利用するリクエスト（例：SET_DESCRIPTOR），コントロール転送（リード）はデータ・ステージでINトランザクションを利用するリクエスト（例：GET_DESCRIPTOR），コントロール転送（データなし）はデータ・ステージを持たないリクエスト（例：SET_CONFIGURATION）を示します。

次にフローを示します。

図11－22　**コントロール転送に対する**CPUDEC**リクエスト**（1/12）

（a）トークン・フェーズ（1/2）

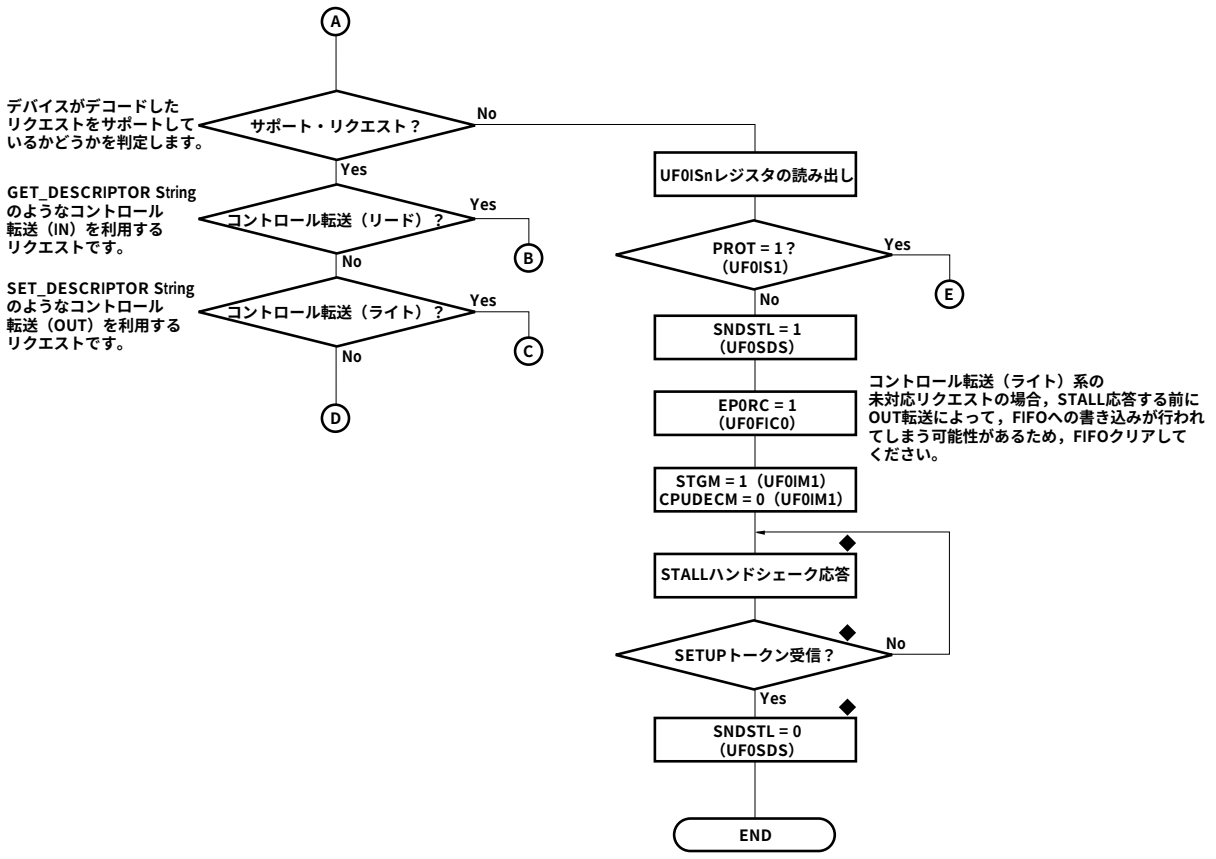


備考1.　n = 0, 1

2.　◆：ハードウエアによる処理

図11－22　**コントロール転送に対する**CPUDEC**リクエスト**（2/12）

（a）トークン・フェーズ（2/2）

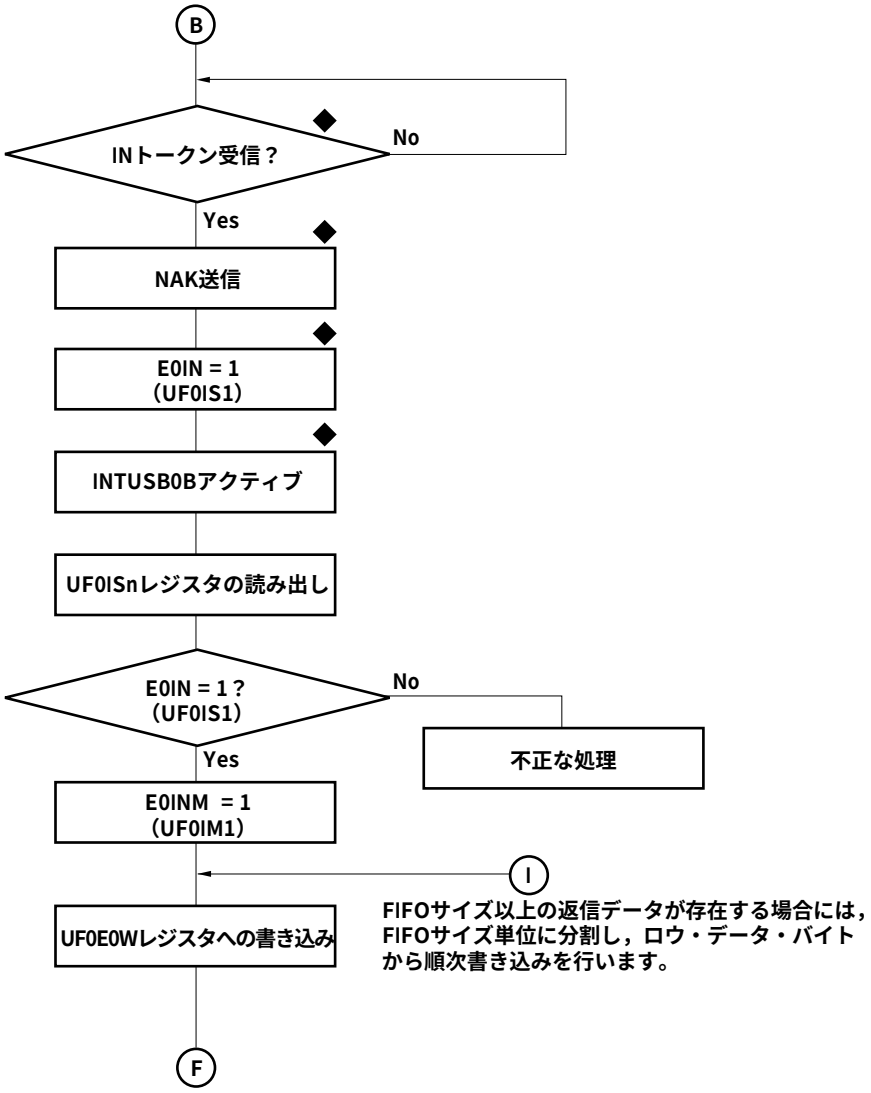


備考1.　n = 0, 1

2.　◆：**ハードウエアによる処理**

図11－22　**コントロール転送に対する**CPUDEC**リクエスト**（3/12）

（b）**コントロール転送（リード）**（1/4）

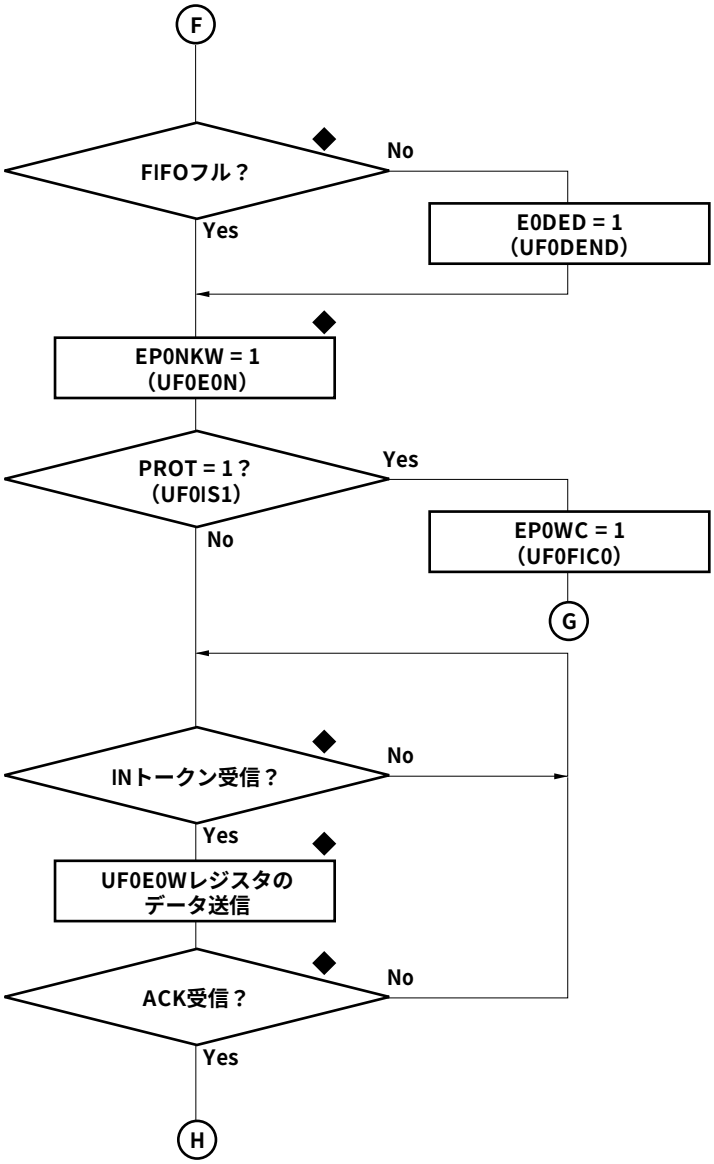


備考1.　n = 0, 1

2.　◆：**ハードウエアによる処理**

図11－22　コントロール転送に対するCPUDECリクエスト（4/12）

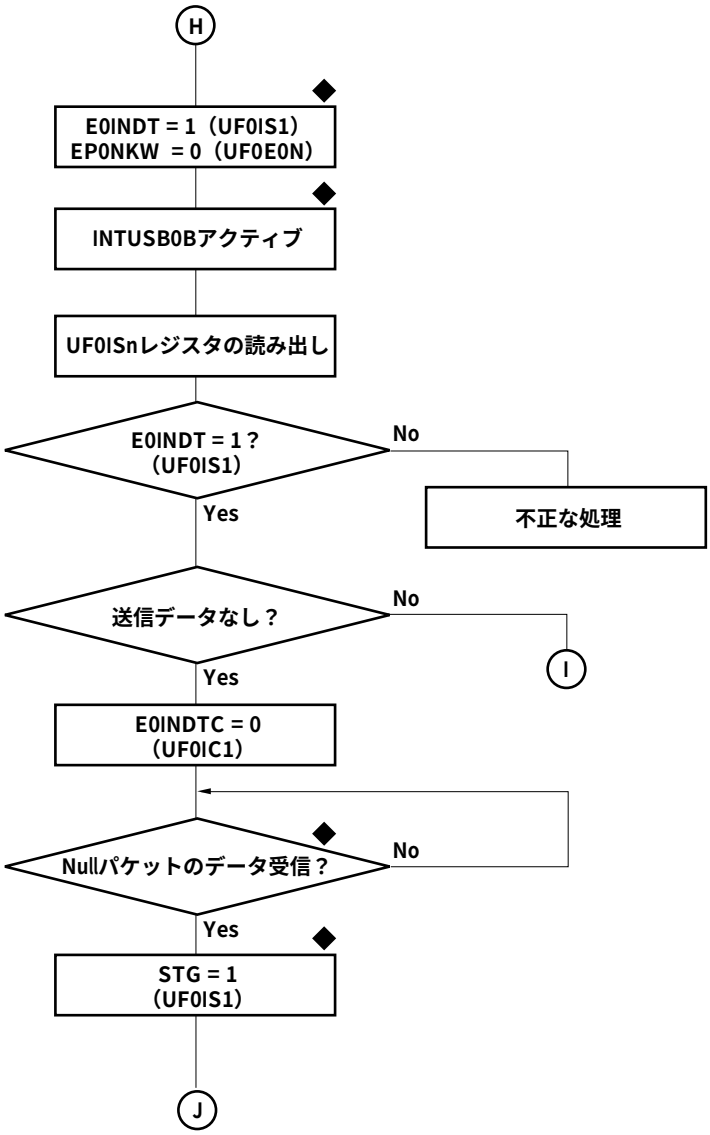
（b）コントロール転送（リード）（2/4）



備考　◆：ハードウエアによる処理

図11－22　**コントロール転送に対する**CPUDEC**リクエスト**（5/12）

（b）コントロール転送（リード）（3/4）

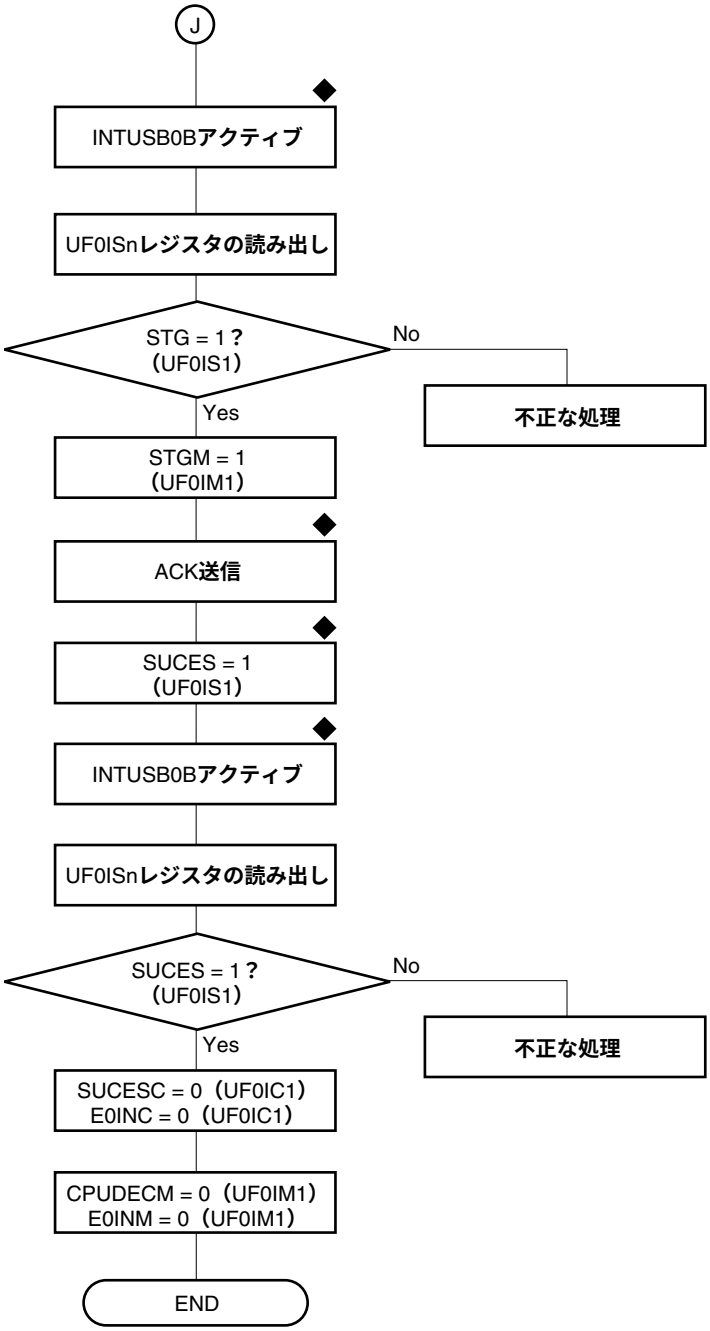


備考1.　n = 0, 1

2.　◆：ハードウエアによる処理

図11－22　**コントロール転送に対する**CPUDEC**リクエスト**（6/12）

（b）コントロール転送（リード）（4/4）

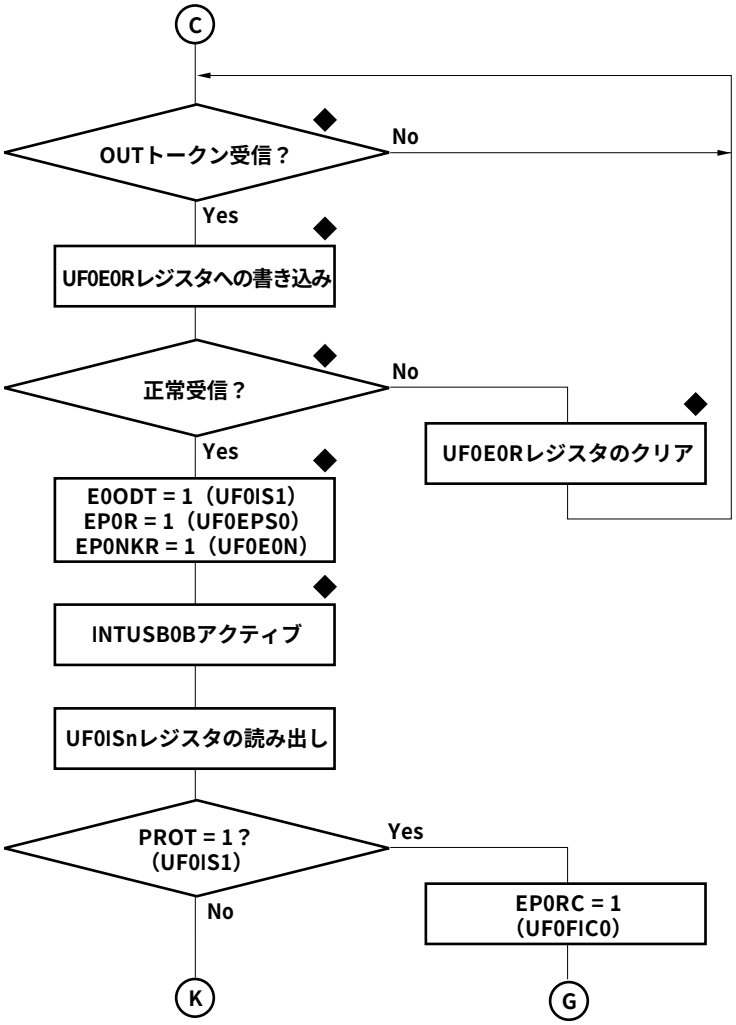


備考1.　n = 0, 1

2.　◆：**ハードウエアによる処理**

図11－22　**コントロール転送に対する**CPUDEC**リクエスト**（7/12）

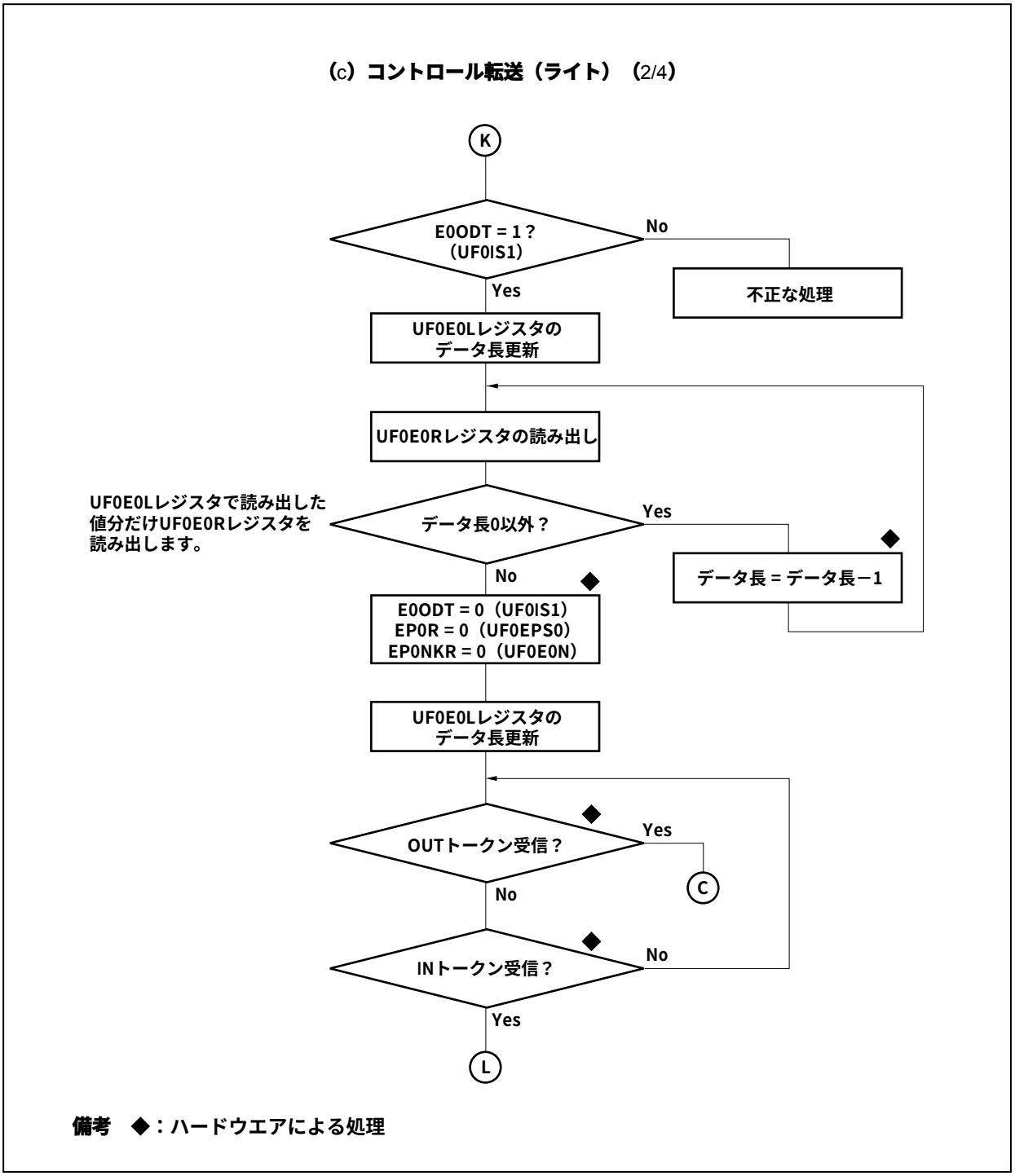
（c）**コントロール転送（ライト）**（1/4）



備考1.　n = 0, 1

2.　◆：**ハードウエアによる処理**

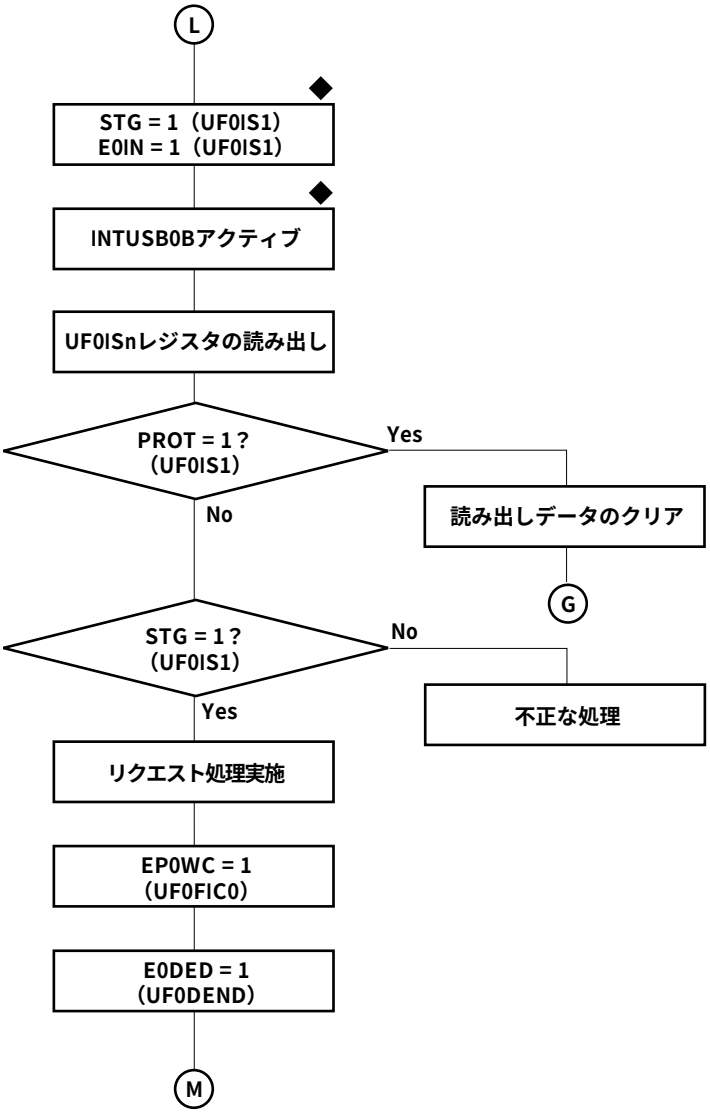
図11－22　コントロール転送に対するCPUDECリクエスト（8/12）



備考　◆：ハードウエアによる処理

図11－22　**コントロール転送に対する**CPUDEC**リクエスト**（9/12）

（c）コントロール転送（ライト）（3/4）

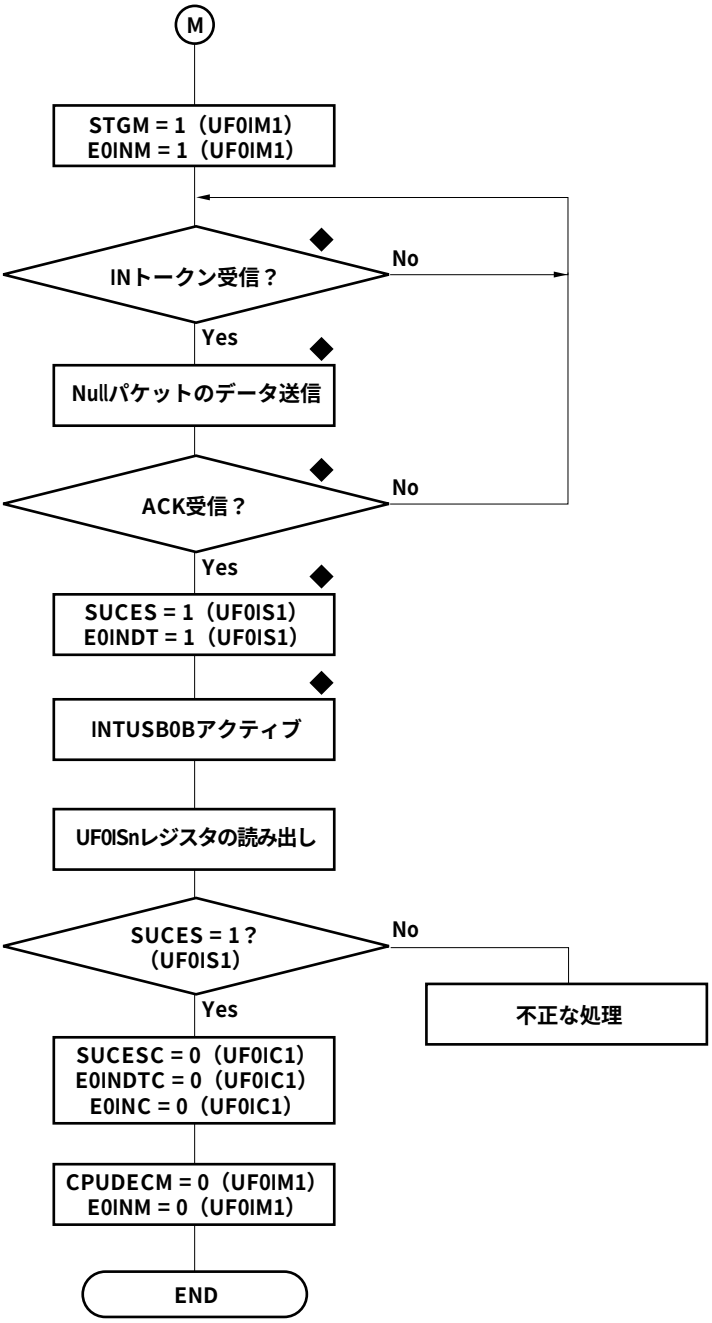


備考1.　n = 0, 1

2.　◆：**ハードウエアによる処理**

図11ー22　**コントロール転送に対する**CPUDEC**リクエスト**（10/12）

（c）コントロール転送（ライト）（4/4）

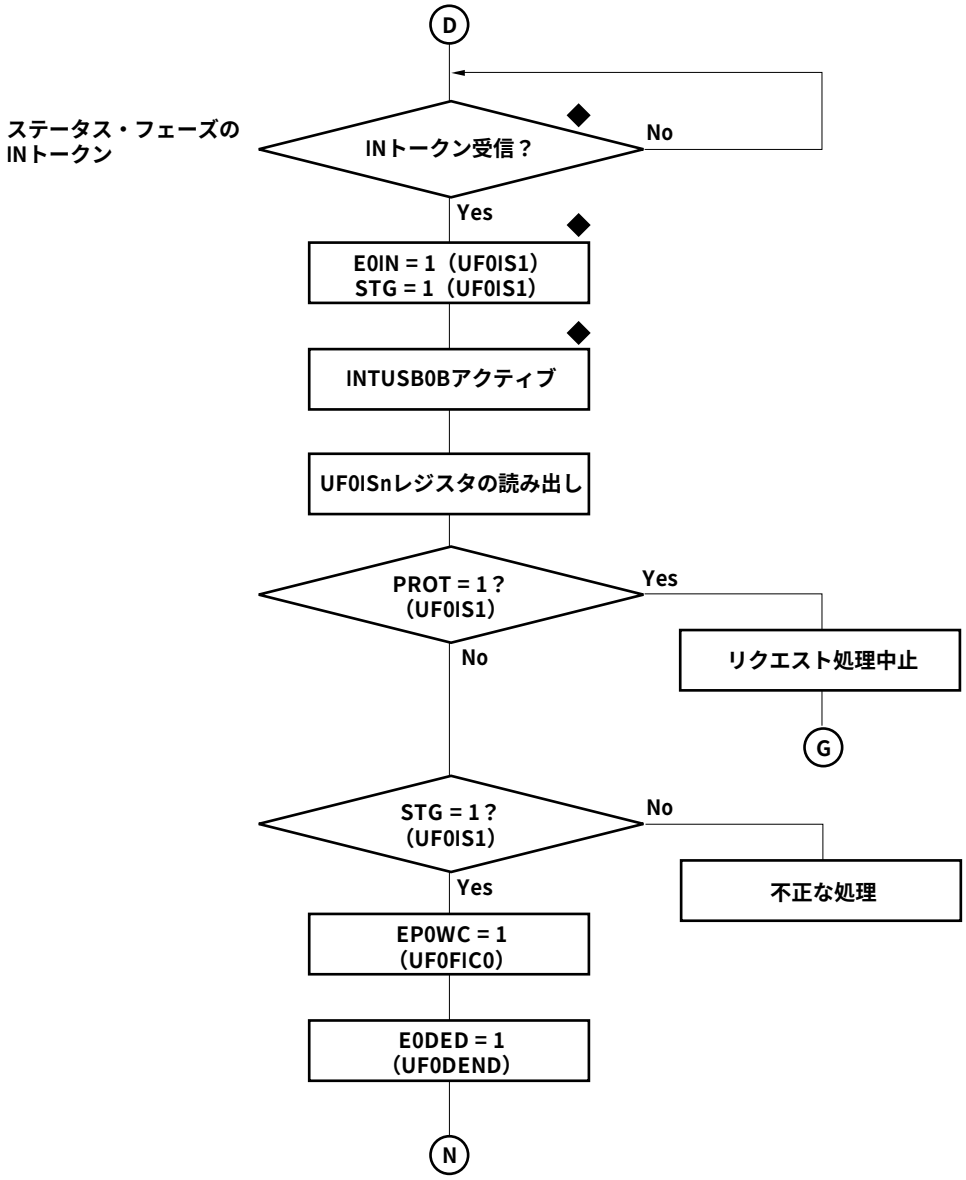


備考1.　n = 0, 1

2.　◆：ハードウエアによる処理

図11ー22　コントロール転送に対するCPUDECリクエスト（11/12）

（d）コントロール転送（データ・ステージなし）（1/2）

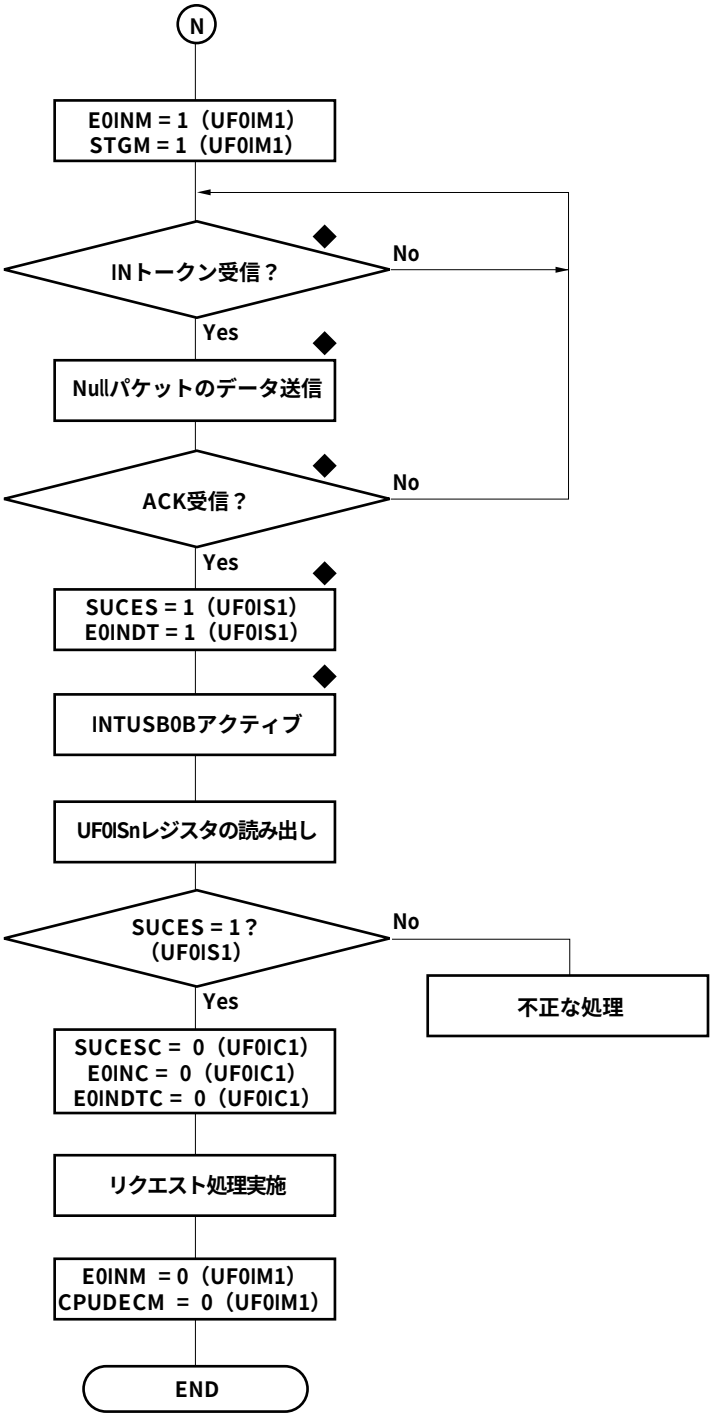


備考1.　n = 0, 1

2.　◆：ハードウエアによる処理

図11ー22　コントロール転送に対するCPUDECリクエスト（12/12）

（d）コントロール転送（データ・ステージなし）（2/2）



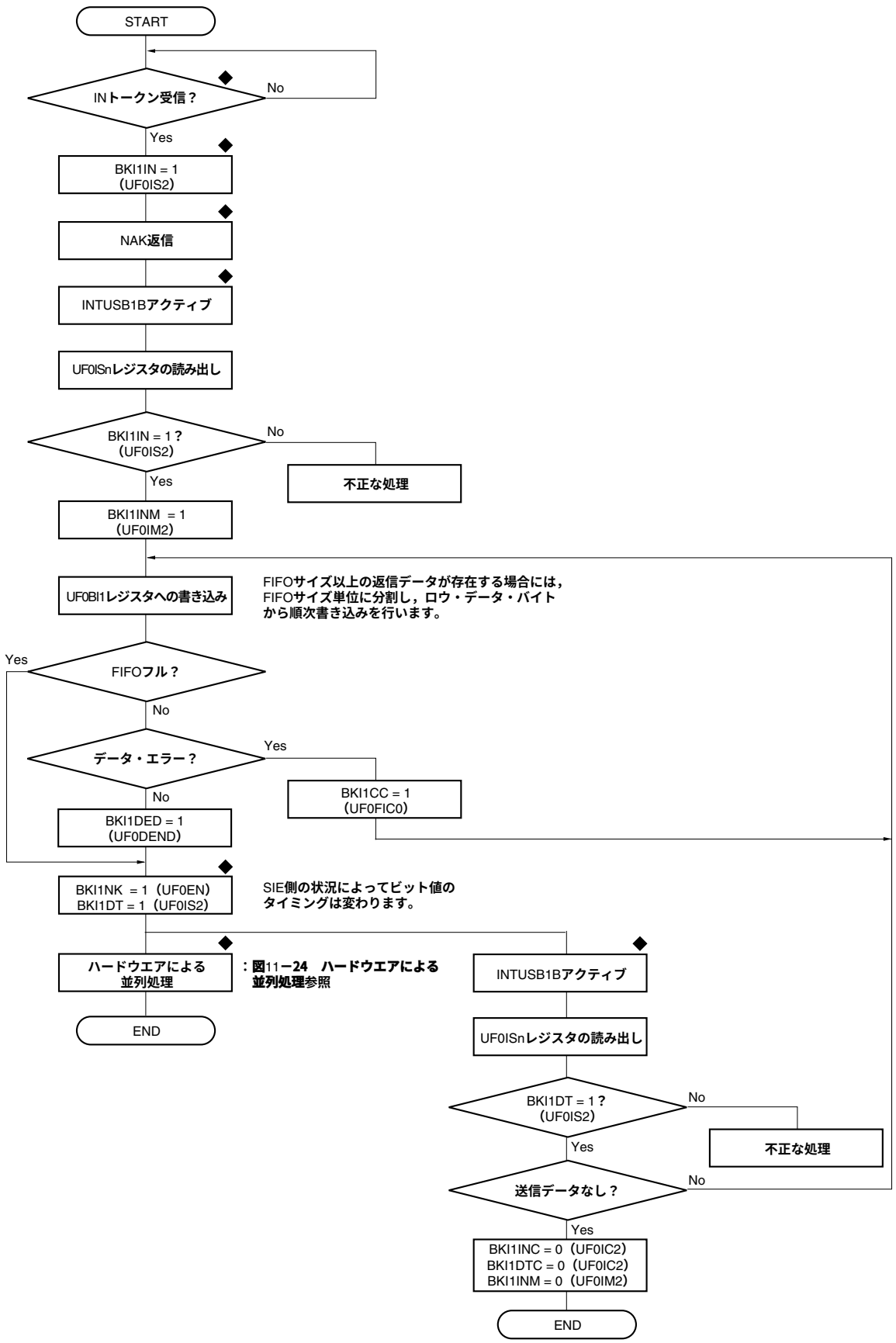
備考1.　n = 0, 1

2.　◆：ハードウエアによる処理

（4）バルク転送（IN）に対する処理

バルク転送（IN）は，Endpoint1およびEndpoint3に割り当てられています。次に示すフロー・チャートは，Endpoint1に対する制御フローです。Endpoint3についても，同じシーケンスで制御できます。したがって，Endpoint3に対する制御フローとして使用する場合は，フロー中のEndpoint1に対するビット名をEndpoint3に対するビット名に読み替えてください。

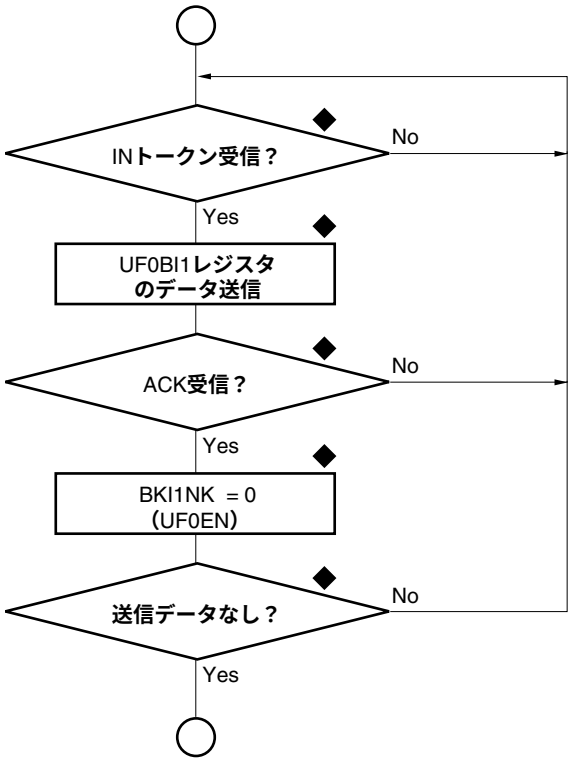
図11－23　バルク転送（IN）に対する処理（Endpoint1の場合）



備考1.　n = 2, 3

2.　◆：ハードウエアによる処理

図11－24　ハードウエアによる並列処理

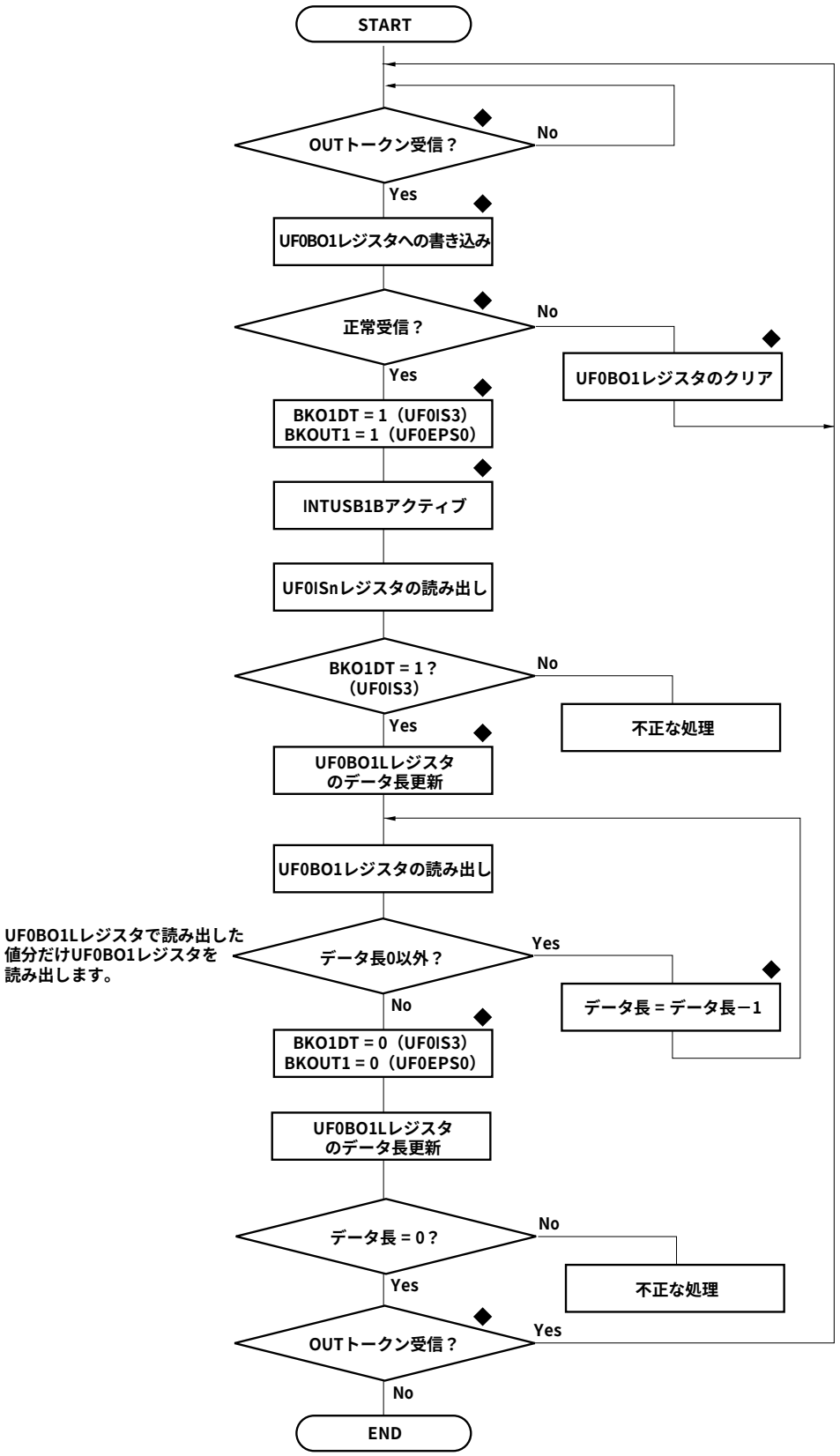


備考　◆：ハードウエアによる処理

（5）バルク転送（OUT）に対する処理

バルク転送（OUT）は，Endpoint2およびEndpoint4に割り当てられています。次に示すフロー・チャートは，Endpoint2に対する制御フローです。Endpoint4についても，同じシーケンスで制御できます。したがって，Endpoint4に対する制御フローとして使用する場合は，フロー中のEndpoint2に対するビット名をEndpoint4に対するビット名に読み替えてください。

図11ー25　バルク転送（OUT）に対する通常処理（Endpoint2の場合）

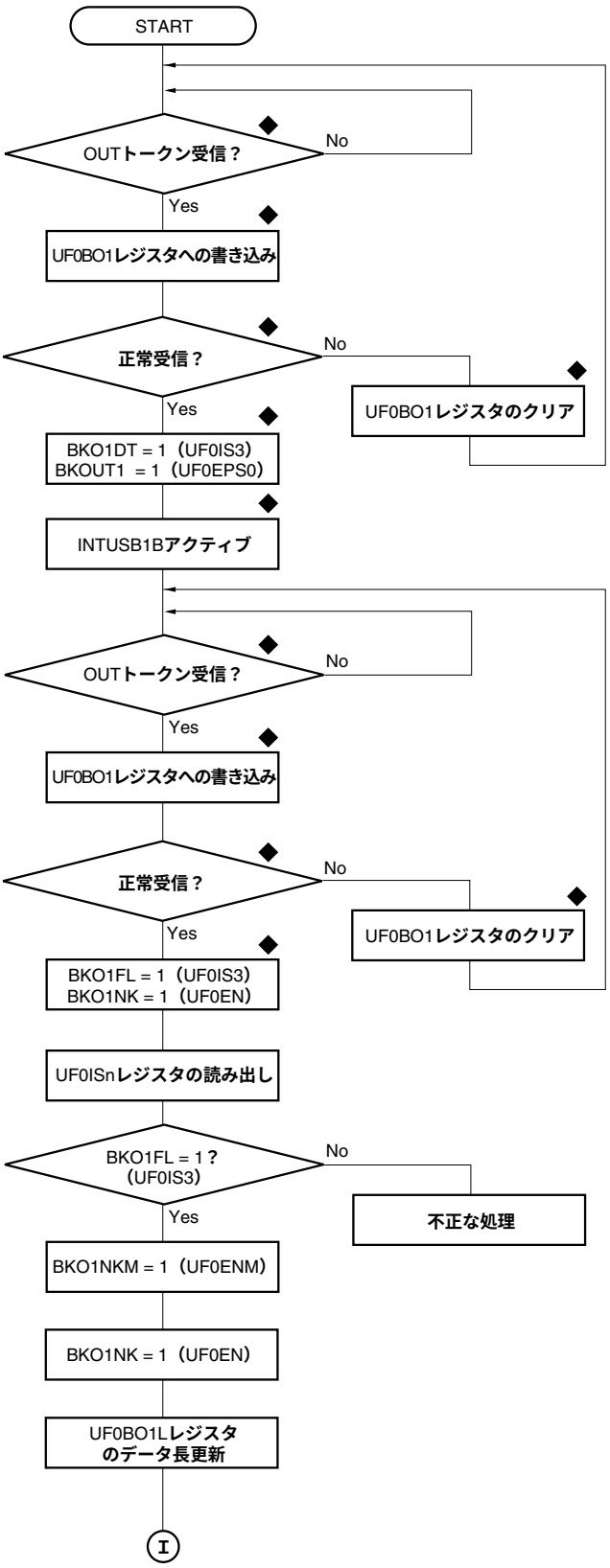


備考1.　n = 2, 3

2.　◆：ハードウエアによる処理

なお，バルク転送（OUT）に関してシステムが期待するデータ量以上のデータがホストから送信されてくる場合も考えられます。V850E/ME2では，USBバスの転送レートがアップし，できるかぎりNAK応答しないようにバス側のアクセス中でもCPU側からの読み出しができるようにバルク転送（OUT）のEndpoint2およびEndpoint4は，64バイトのダブル・バッファ構成になっています。このため，ホストがシステムの期待するデータ量以上のデータを送ってくると，最悪128バイト分，余計に自動受信する可能性があります。この場合，システムの期待するデータ量が残り2パケット分になった時点で，Endpoint2およびEndpoint4に対する通常処理から次に示す制御フローに切り替えてください。フロー・チャートは，Endpoint2に対する制御フローです。Endpoint4についても，同じシーケンスで制御できます。したがって，Endpoint4に対する制御フローとして使用する場合は，フロー中のEndpoint2に対するビット名をEndpoint4に対するビット名に読み替えてください。

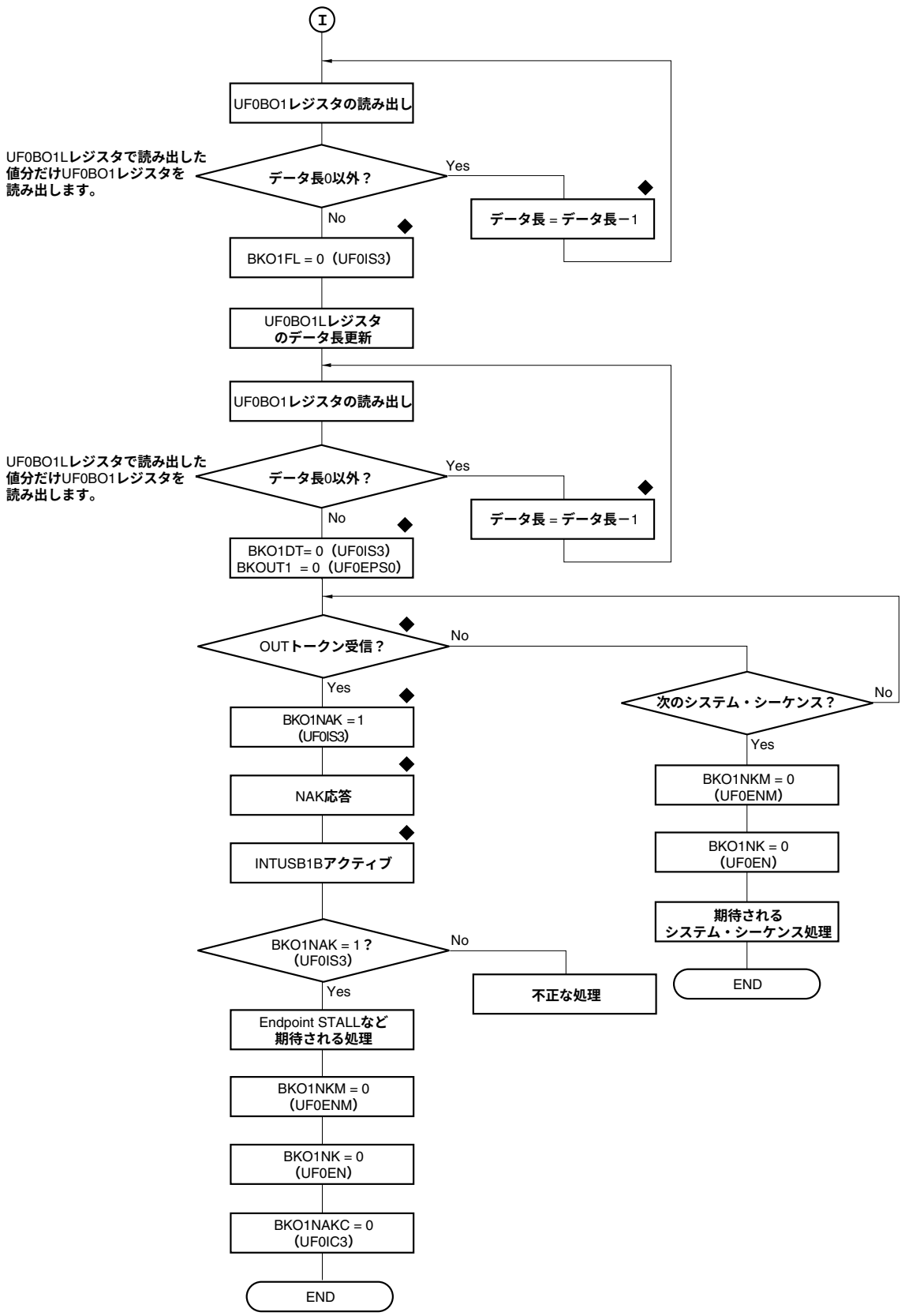
図11ー26　システムの期待するデータ量以上のデータが送られてくるときの処理（Endpoint2の場合）（1/2）



備考1.　n = 2, 3

2.　◆：ハードウエアによる処理

図11－26　システムの期待するデータ量以上のデータが送られてくるときの処理（Endpoint2の場合）（2/2）

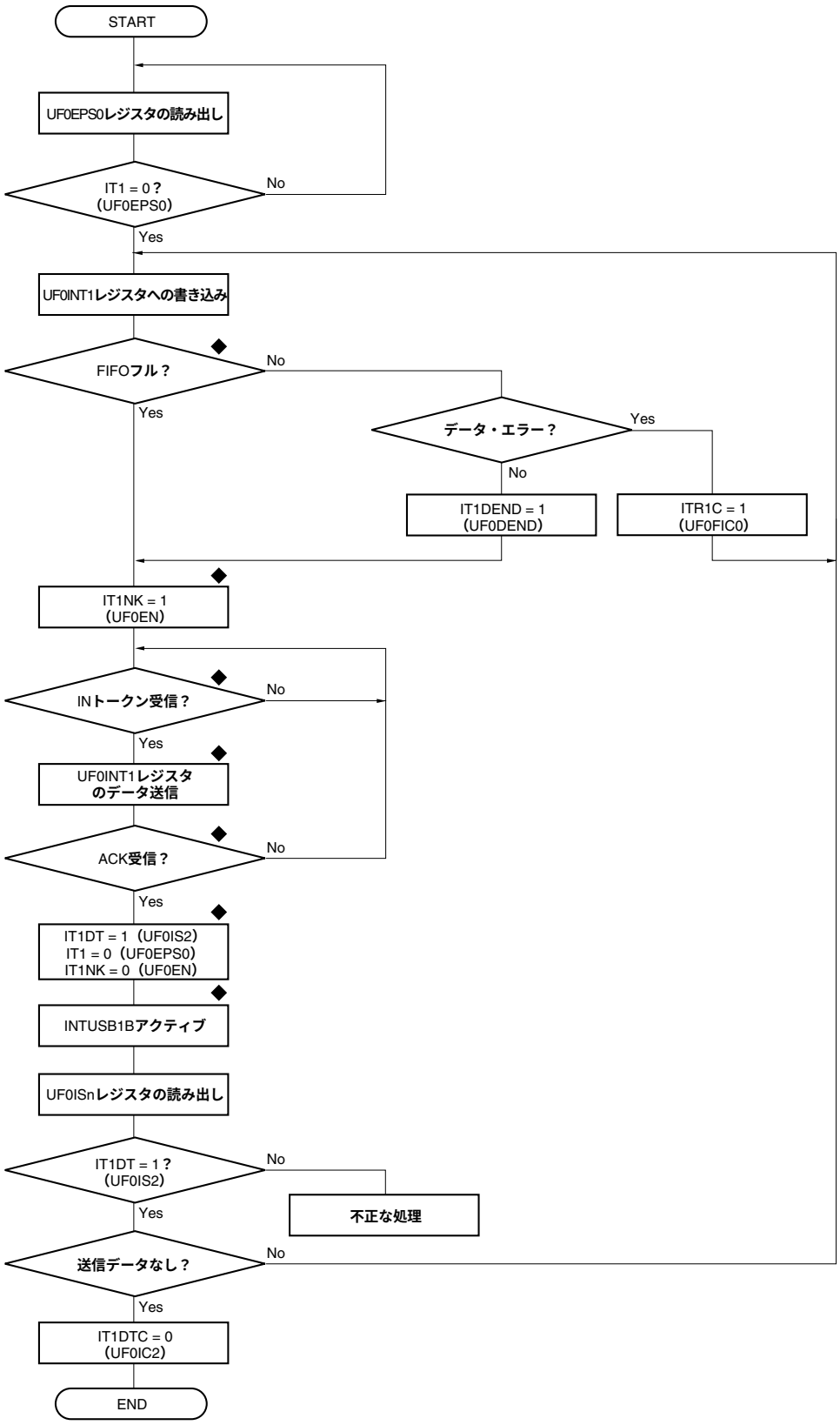


備考　◆：ハードウエアによる処理

（6）インタラプト転送（IN）に対する処理

インタラプト転送（IN）は，Endpoint7およびEndpoint8に割り当てられています。次に示すフロー・チャートは，Endpoint7に対する制御フローです。Endpoint8についても，同じシーケンスで制御できます。したがって，Endpoint8に対する制御フローとして使用する場合は，フロー中のEndpoint7に対するビット名をEndpoint8に対するビット名に読み替えてください。

図11－27　インタラプト転送（IN）に対する処理（Endpoint7の場合）



備考1.　n = 2, 3

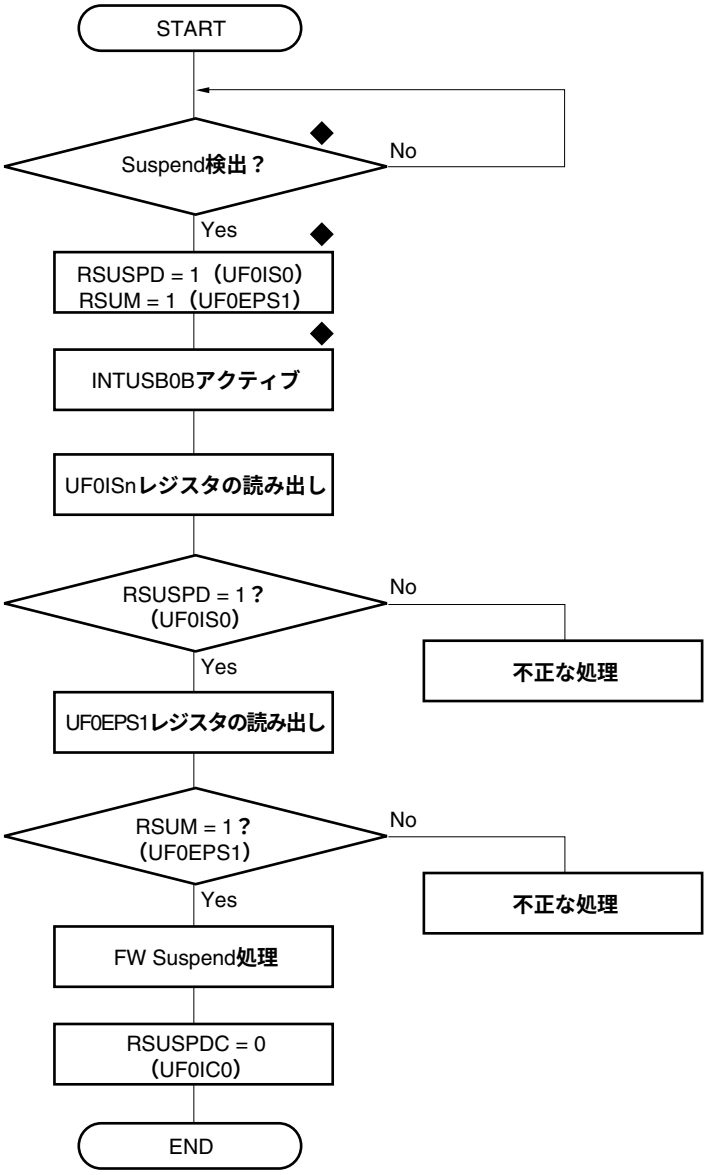
2.　**◆：ハードウエアによる処理**

11. 7. 4 Suspend/Resume処理

Suspend/Resume処理はシステムの構成によって，その処理方法は異なります。ここでは，1つの例を示します。

図11－28 Suspend/Resume処理例（1/3）

（a）Suspend処理例

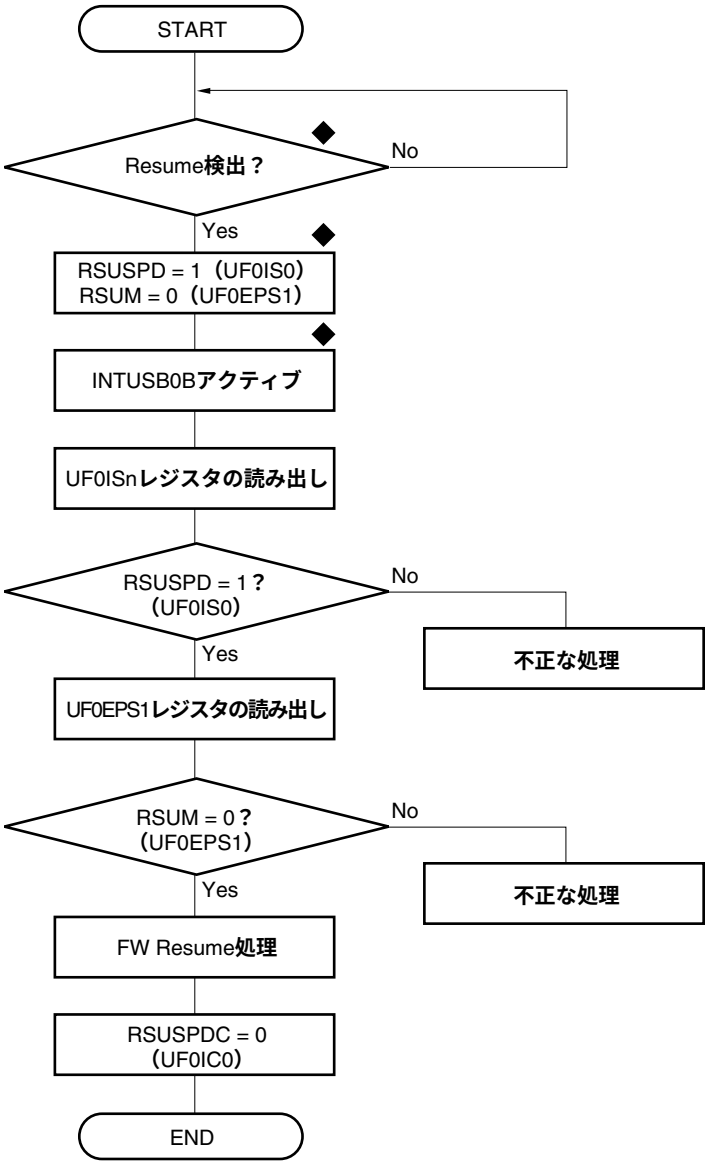


備考1. n = 0, 1

2. ◆：ハードウエアによる処理

図11－28　Suspend/Resume処理例（2/3）

（b）Resume処理例

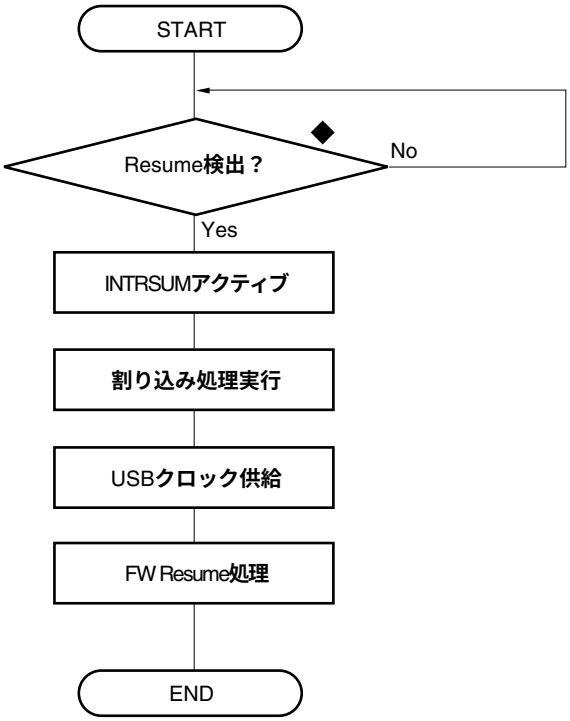


備考1.　n = 0, 1

2.　◆：ハードウエアによる処理

図11－28　Suspend/Resume処理例（3/3）

（c）Resume処理例（USBFへのUSBクロック供給停止時の場合）

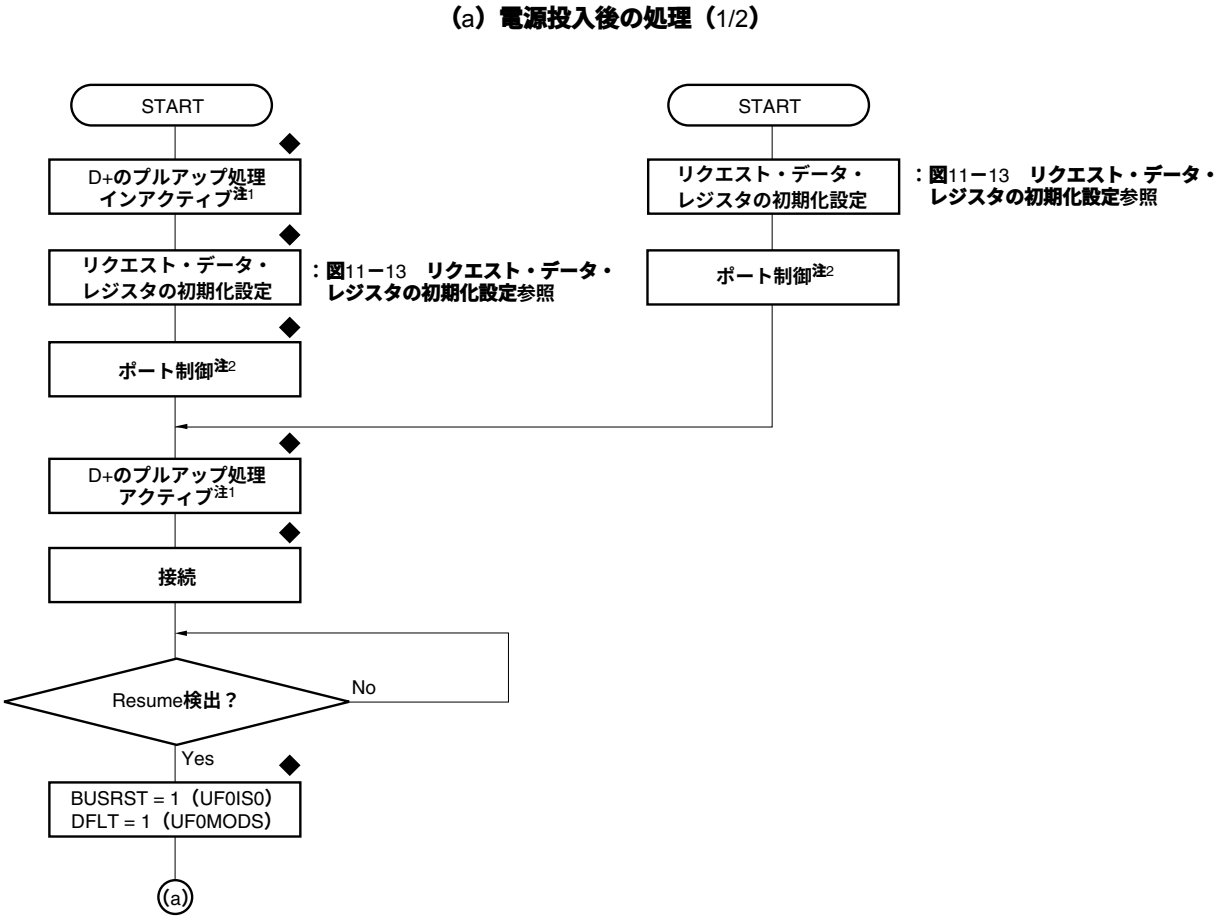


備考　◆：ハードウエアによる処理

11. 7. 5　電源投入後の処理

電源投入後の処理はシステムの構成によって，その処理方法は異なります。ここでは，1つの例を示します。

図11－29　電源投入後の処理／電源切断の処理例（1/3）



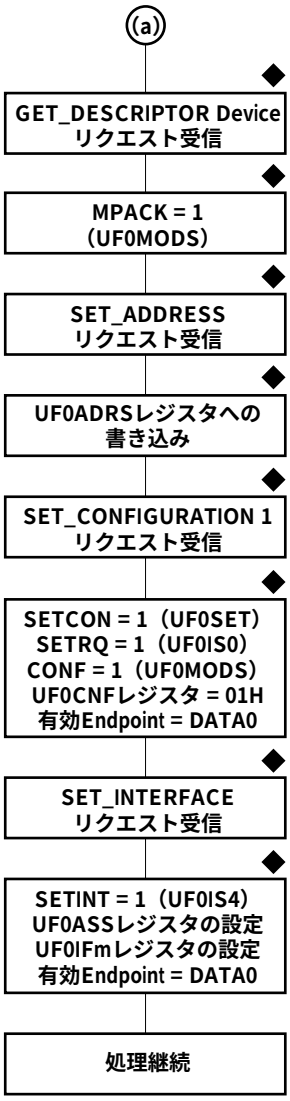
注1.　USBバスのプルアップ抵抗のスイッチングなどの制御信号として，汎用ポートを1本使用してください。

2.　注1で割り当てられる汎用ポートは，初期値が入力の場合や，コントロール・モードが選択されている場合があります。電源投入時のD+のプルアップ処理のアクティブ・レベルには注意してください。

備考　◆：ハードウエアによる処理

図11－29　電源投入後の処理／電源切断の処理例（2/3）

（a）電源投入後の処理（2/2）

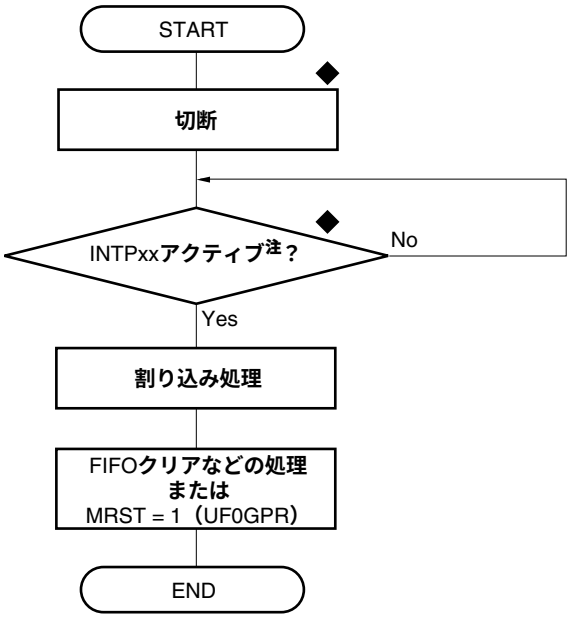


備考1.　m = 0-4

2.　◆：ハードウエアによる処理

図11－29　電源投入後の処理／電源切断の処理例（3/3）

（b）電源切断の処理



注　INTPxxとは，V850E/ME2の割り込み用外部端子（$\overline{\text{INTP10}}$, $\overline{\text{INTP11}}$, $\overline{\text{INTP21}}$-$\overline{\text{INTP25}}$, $\overline{\text{INTP50}}$-$\overline{\text{INTP52}}$, $\overline{\text{INTP65}}$-$\overline{\text{INTP67}}$, $\overline{\text{INTPD0}}$-$\overline{\text{INTPD15}}$, $\overline{\text{INTPL0}}$, $\overline{\text{INTPL1}}$, INTPC00, INTPC01, INTPC10, INTPC11, INTPC20, INTPC21, INTPC30, INTPC31）のことです。
次に示す用途の場合には，割り込み用外部端子を1本割り付けてください。

- セルフ・パワード（UF0DSTLレジスタのSFPWビット = 1）の場合に，コネクタが抜かれたことを検出します。この場合，USBコネクタのVDDラインを監視し，その結果を割り込み用外部端子エッジ入力してください。ただし，ノイズ除去時間は，表14－1　割り込み入力端子のノイズ除去時間，表14－3　タイマC，タイマENC1入力端子のノイズ除去時間に示すとおりになっていますので，注意してください。
- HUBチップなどと同一基板に実装する場合に，HUBから電源が遮断されていることを検出します。

備考　◆：ハードウエアによる処理

11. 7. 6　DMAモードによるバルク転送（OUT）のデータ受信方法

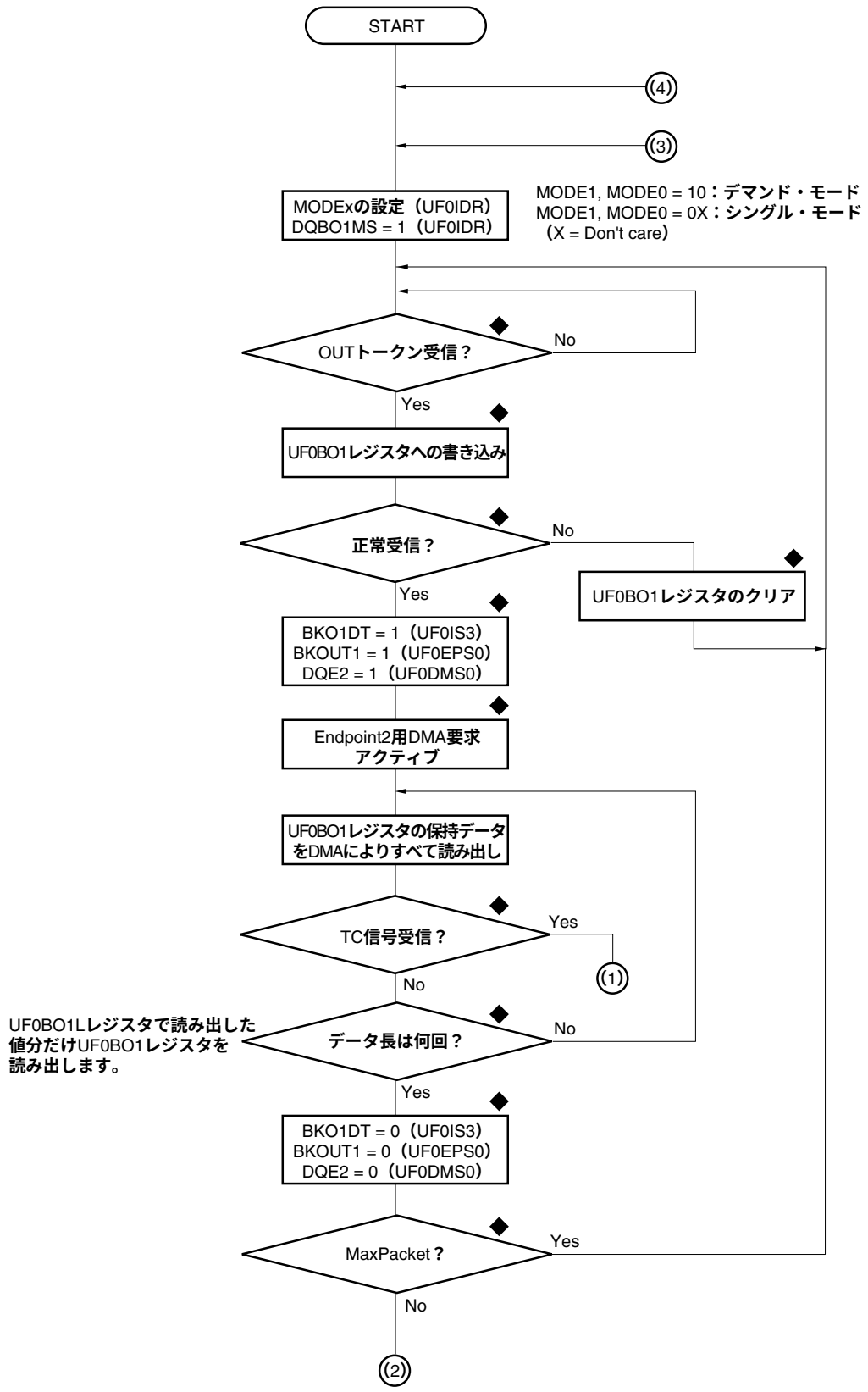
バルク転送（OUT）はEndpoint2およびEndpoint4に割り当てられています。次に示すフロー・チャートは，Endpoint2に対してDMAを使用する場合の制御フローです。Endpoint4についても，同じシーケンスで制御できます。したがって，Endpoint4に対する制御フローとして使用する場合は，フロー中のEndpoint2に対するビット名をEndpoint4に対するビット名に読み替えてください。また，次に示す制御フローでは，残りのデータの読み出しをCPUによって行う場合について示しています。

UF0IDRレジスタのDQBO1MSビットをセット（1）することで，バルク転送（OUT）のデータを正常受信した場合には，割り込み要求（INTUSB1B）の代わりにEndpoint2用DMA要求信号がアクティブになります。UF0IDRレジスタのMODEnビットの設定によりEndpoint2用DMA要求信号は動作します（n = 0, 1）。UF0BO1レジスタに保持されていたデータをDMAですべて読み出した場合，いったんEndpoint2用DMA要求信号はインアクティブになります。この状態で次のバルク転送（OUT）のデータを正常に受信した場合，Endpoint2用DMA要求信号は再度アクティブになります。受信したバルク転送（OUT）のデータがFIFOサイズ以下の場合には，DMAでの読み出し完了と同時にShort割り込み要求を発行し，同時にUSBSP2B信号がアクティブになります。このため，UF0IDRレジスタのDQBO1MSビットがクリア（0）され，Endpoint2用DMA要求信号がインアクティブになります。再度，DMAで読み出しをする場合にはDQBO1MSビットを再度セット（1）してください。DMAの完了をEndpoint2用DMA終了信号により行った場合，UF0IDRレジスタのDQBO1MSビットがクリア（0）され，Endpoint2用DMA要求信号はインアクティブになります。また，同時にDMA_END割り込み要求が発行されます。このとき，UF0BO1レジスタにデータが残っている場合，UF0IDRレジスタのDQBO1MSビットを再度セット（1）すると，再度DMAが起動されますが，バルク転送（OUT）のデータは必ずFIFOサイズ以下になります。このため，DMAでの読み出し完了と同時に，Short割り込み要求の発行，USBSP2B信号のアクティブ，DQBO1MSビットのクリア，Endpoint2用DMA要求信号のインアクティブが起こります。

注意1.　デマンド・モード（UF0IDRレジスタのMODE1, MODE0ビット = 10）では転送データがあるかぎり，常にEndpoint n用DMA要求信号がアクティブになります（n = 2, 4）。

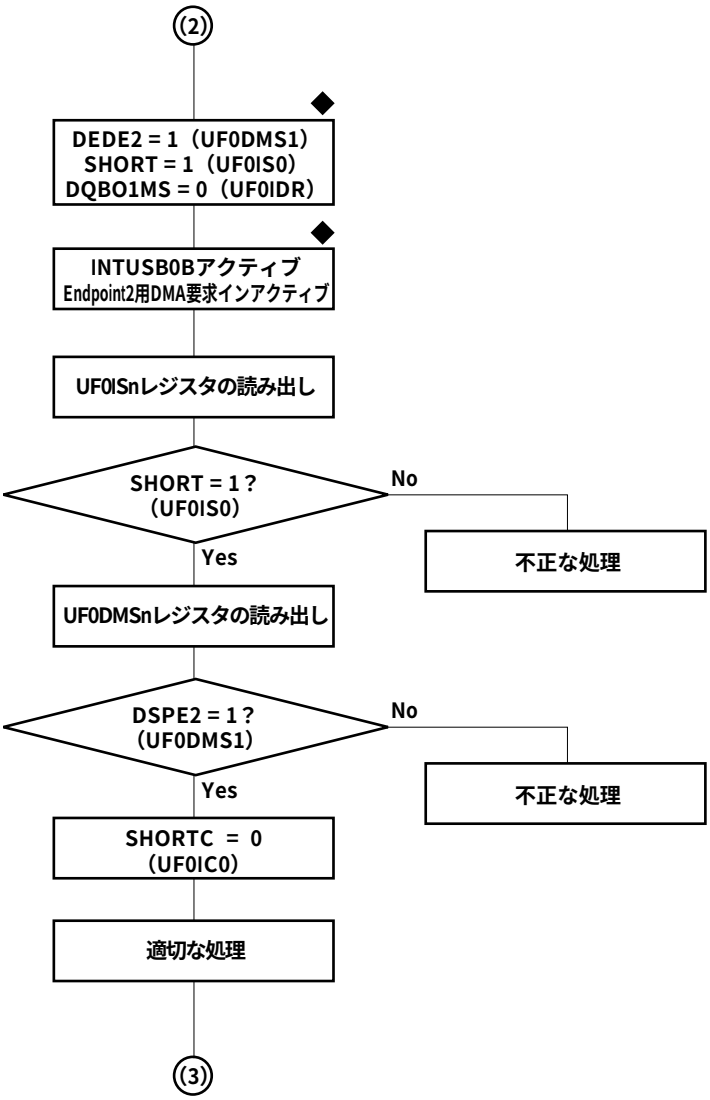
2.　シングル・モード（UF0IDRレジスタのMODE1, MODE0ビット = 0X（X：don’t care））では転送データがある場合，Endpoint n用DMA要求信号がアクティブになりますが，1バイト転送ごとにインアクティブになります（n = 2, 4）。最終的に転送データがなくなるまで，この動作を繰り返します。

図11ー30　バルク転送（OUT）によるDMA処理（1/3）



備考　◆：ハードウエアによる処理

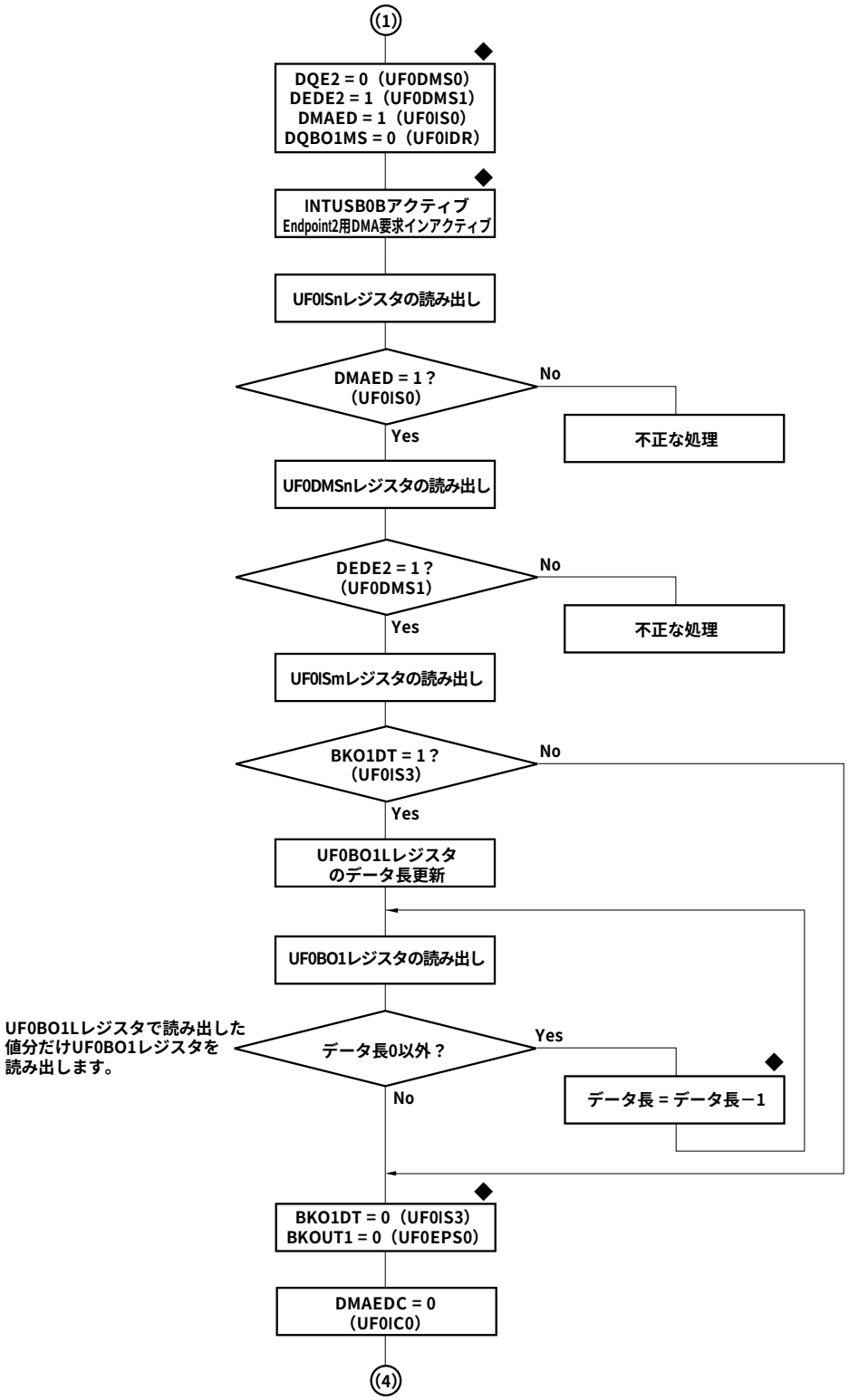
図11ー30　**バルク転送**（OUT）**による**DMA**処理**（2/3）



備考1.　n = 0, 1

2.　◆：ハードウエアによる処理

図11ー30　**バルク転送**（OUT）**による**DMA**処理**（3/3）



備考1.　n = 0, 1

m = 2, 3

2.　◆：**ハードウエアによる処理**

11. 7. 7　DMAモードによるバルク転送（IN）のデータ送信方法

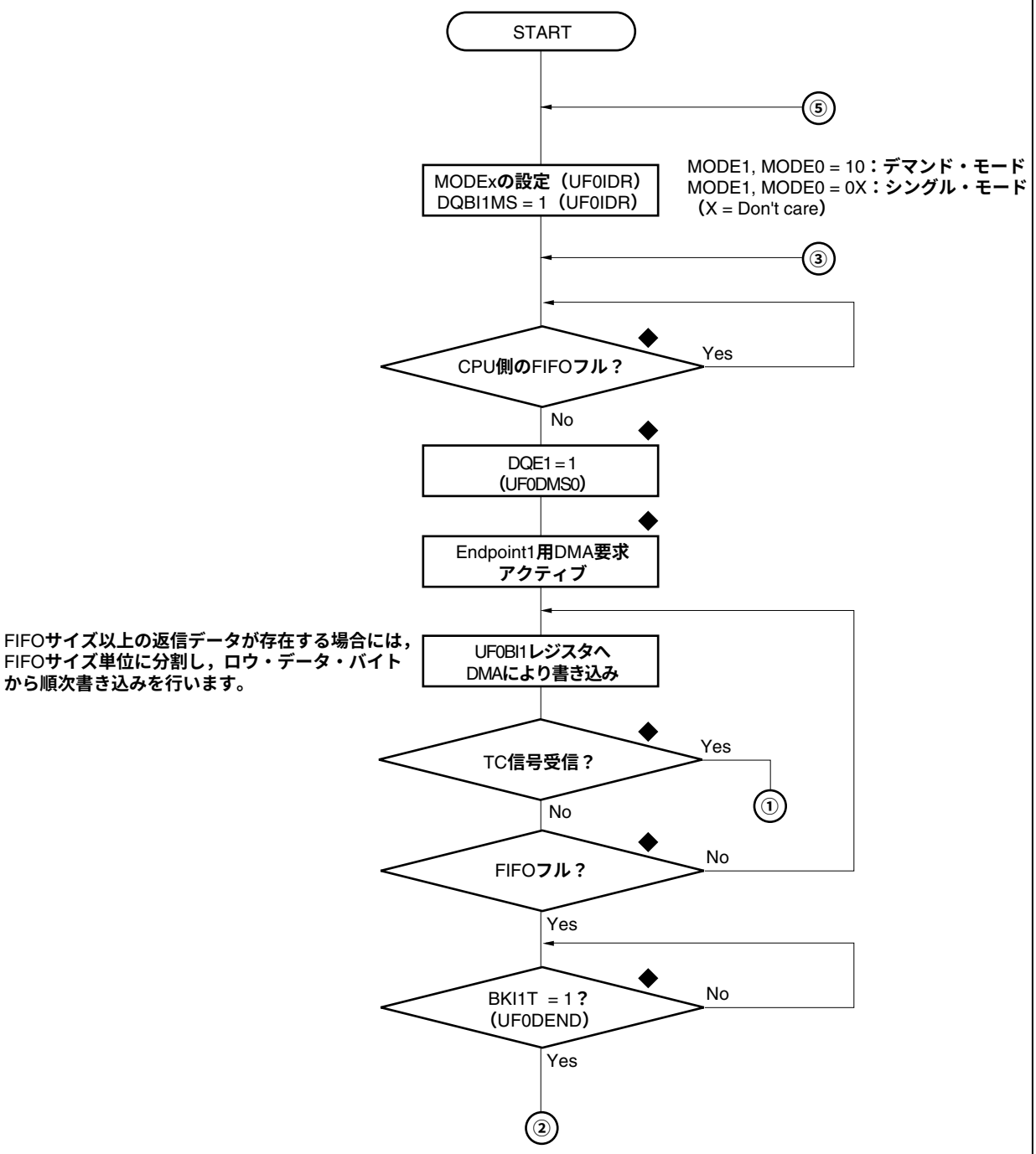
バルク転送（IN）はEndpoint1およびEndpoint3に割り当てられています。次に示すフロー・チャートは，Endpoint1に対してDMAを使用する場合の制御フローです。Endpoint3についても，同じシーケンスで制御できます。したがって，Endpoint3に対する制御フローとして使用する場合は，フロー中のEndpoint1に対するビット名をEndpoint3に対するビット名に読み替えてください。

UF0IDRレジスタのDQBI1MSビットをセット（1）することで，バルク転送（IN）のデータを書き込める場合には，割り込み要求（INTUSB1B）の代わりにEndpoint1用DMA要求信号がアクティブになります。UF0IDRのMODEnビットの設定によりEndpoint1用DMA要求信号は動作します（n = 0, 1）。UF0BI1レジスタに書き込み可能な量のデータをDMAですべて書き込んだ場合，いったんEndpoint1用DMA要求信号はインアクティブになります。この状態でFIFOのトグル動作が発生し，バルク転送（IN）のデータを書き込める場合，Endpoint1用DMA要求信号は再度アクティブになります。なお，DMA転送によってFIFOがフルになってもUF0DENDレジスタのBKI1Tビットがセット（1）されていないとFIFOの自動トグル動作は実行しません。このため，データ転送を行うために必ずUF0DENDレジスタのBKI1DEDをセット（1）してください。DMAの完了をEndpoint1用DMA終了信号により行った場合には，UF0IDRレジスタのDQBI1MSビットがクリア（0）され，Endpoint1用DMA要求信号はインアクティブになります。また，同時にDMA_END割り込み要求が発行されます。このとき，FIFOがフルになっていない状態で，そのままショート・パケットを送信する場合には，UF0DENDレジスタのBKI1DEDビットをセット（1）してください。

注意1. デマンド・モード（UF0IDRレジスタのMODE1, MODE0ビット = 10）ではデータ転送が可能であるかぎり，常にEndpoint n用DMA要求信号がアクティブになります（n = 1, 3）。

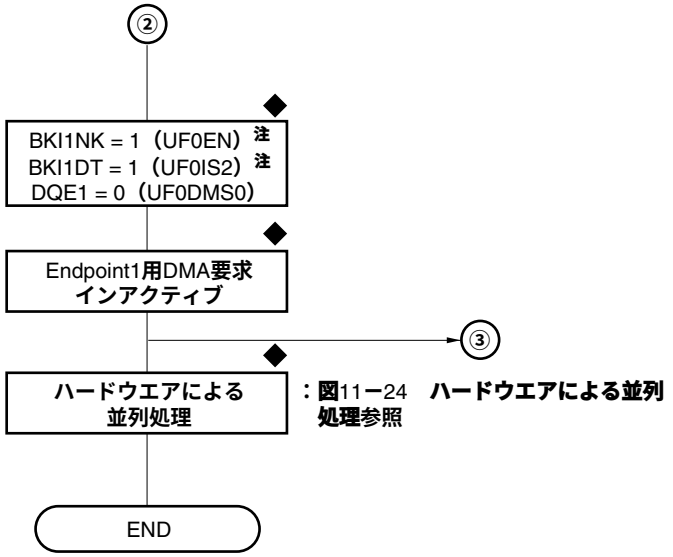
2. シングル・モード（UF0IDRレジスタのMODE1, MODE0ビット = 0X（X：don’t care））ではデータ転送が可能な場合，Endpoint n用DMA要求信号がアクティブになりますが，1バイト転送ごとにインアクティブになります（n = 1, 3）。最終的に転送データがなくなるまで，この動作を繰り返します。

図11ー31　バルク転送（IN）によるDMA処理（1/4）



備考　◆：ハードウエアによる処理

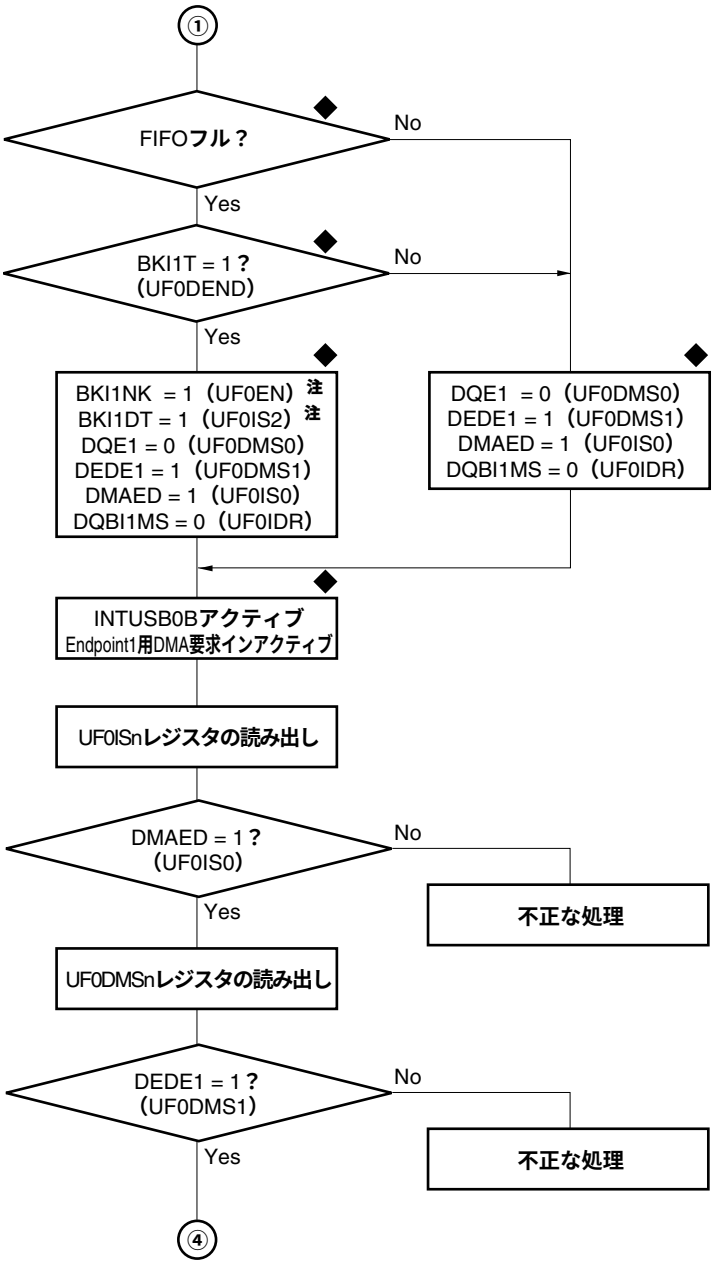
図11ー31　バルク転送（IN）によるDMA処理（2/4）



注　SIE側の状況によってビット値のタイミングは変わります。

備考　◆：ハードウエアによる処理

図11ー31　バルク転送（IN）によるDMA処理（3/4）

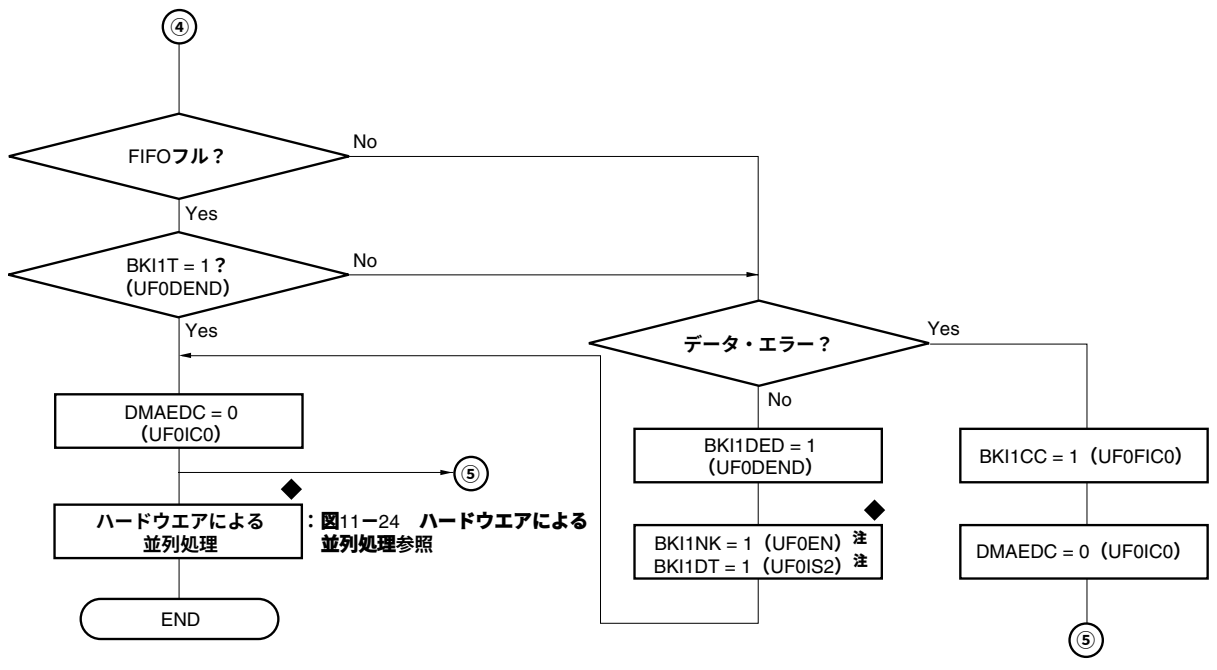


注　SIE側の状況によってビット値のタイミングは変わります。

備考1.　n = 0, 1

2.　◆：ハードウエアによる処理

図11ー31　バルク転送（IN）によるDMA処理（4/4）

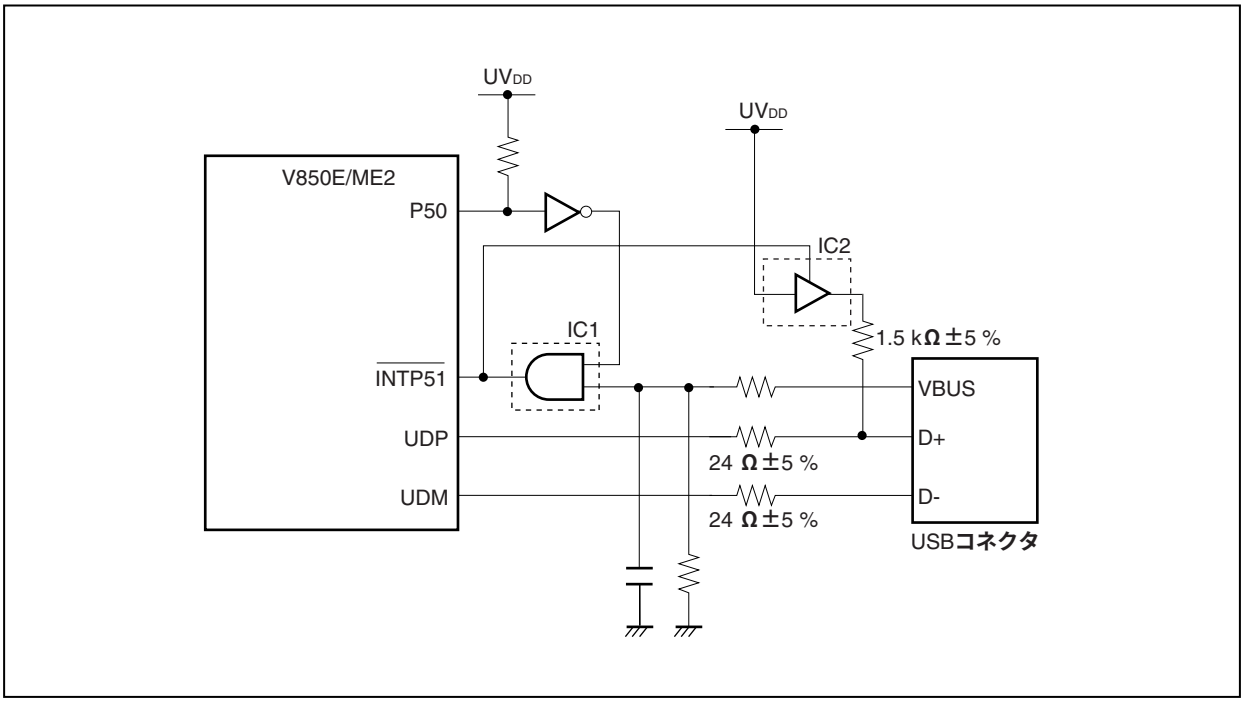


注　SIE側の状況によってビット値のタイミングは変わります。

備考　◆：ハードウエアによる処理

11. 7. 8 USB接続例

図11－32 USB接続例



（1）D+のプルアップ制御

USBホスト／HUBへの接続通知（D+プルアップ）を禁止したい場合（優先度の高い処理中，初期化処理中など），システムではD+のプルアップを汎用ポートにより制御してください。図11－32の回路例のようにD+のプルアップ制御信号およびVBUS入力信号は，汎用ポートとUSBケーブルVBUSを使用して（AND回路），制御してください。図11－32では，汎用ポートがハイ・レベルの場合，D+プルアップ禁止となります（汎用ポート端子の初期値は入力ポートのため，プルアップによりハイ・レベルを確保してください）。また，図11－32のIC2には，システム電源オフ時に電圧印加が可能なICを使用してください。

（2）USBケーブル接続／切断の検出

USBファンクション・コントローラ（USBF）は，ハードウエアでUSBFのステートなどを管理しているため，接続／切断を認識するVBUS入力信号が必要となります。VBUS入力信号は，USBFが電源オフの場合に，USBホスト／HUBにUSBケーブルVBUSが接続されると，USBホスト／HUBから電圧（5 V）が印加されます。そのため，図11－32のIC1には，システム電源オフ時に電圧印加が可能なICを使用してください。また，図11－32の回路において，切断する際，VBUSの電圧降下中に$\overline{\text{INTP51}}$への入力信号が不安定になる場合があります。このため，図11－32のIC1にはシュミット・バッファを使用することを推奨します。

第12章　A/Dコンバータ

12. 1　特　　徴

○アナログ入力：8チャネル

○10ビットA/Dコンバータ内蔵

○A/D変換結果レジスタ（ADCR0-ADCR7）内蔵

　10ビット×8本

○A/D変換トリガ・モード

　A/Dトリガ・モード

　タイマ・トリガ・モード

　外部トリガ・モード

○逐次変換方式

12.2 構　成

A/Dコンバータは，逐次変換方式を採用しており，A/Dコンバータ・モード・レジスタ0，1，2（ADM0，ADM1，ADM2），A/D変換結果レジスタ（ADCR0-ADCR7）を使用してA/D変換動作を行います。

（1）入力回路

ADM0, ADM1, ADM2レジスタに設定したモードに従ってアナログ入力（ANI0-ANI7）を選択します。

（2）C-Array

アナログ入力（ANI0-ANI7）より入力された電圧とリファレンス電圧（1/2 AV_{DD}）の差電圧の電荷を保持し，サンプリングした電荷の再分配を行います。

（3）C-Dummy

リファレンス電圧（1/2 AV_{DD}）を保持し，コンパレータ入力の基準を与えるブロックです。

（4）電圧コンパレータ

C-Arrayの比較電位とC-Dummyの基準電位を比較します。

（5）A/D変換結果レジスタn（ADCRn），A/D変換結果レジスタnH（ADCRnH）

ADCRnは，A/D変換結果を保持する10ビット・レジスタです。A/D変換が終了するたびに，逐次変換レジスタ（SAR）から変換結果がロードされます。

$\overline{\text{RESET}}$入力により，不定になります。

（6）ANI0-ANI7端子

A/Dコンバータへの8チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANI0-ANI7 入力電圧は規格の範囲内でご使用ください。特に AV_{DD} 以上，AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャネルの変換値が不定となり，またほかのチャネルの変換値にも影響を与えることがあります。

（7）AV_{REFM}, AV_{REFP}端子

A/Dコンバータの基準電圧を入力する端子です。AV_{REFM}, AV_{REFP}間にかかる電圧に基づいて，ANI0-ANI7に入力される信号をディジタル信号に変換します。

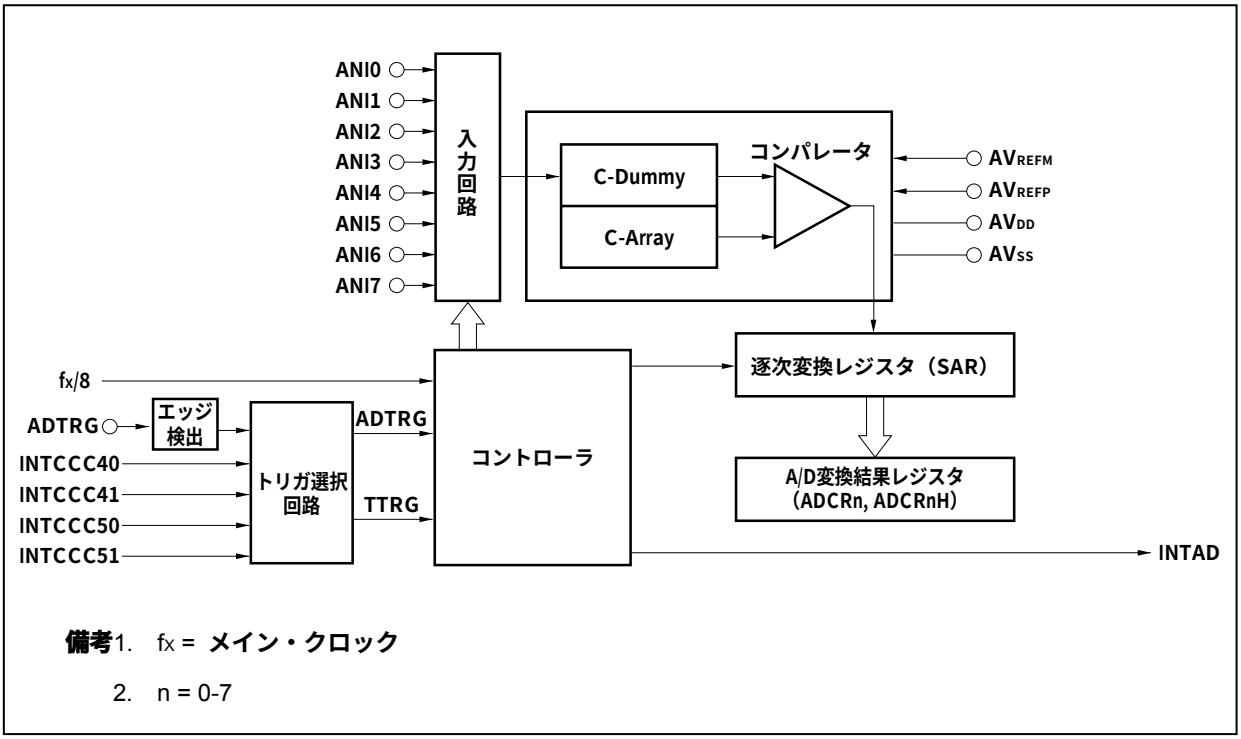
（8）AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも，常にEV_{SS}端子と同電位で使用してください。

（9）AV_{DD}端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも，常にEV_{DD}端子と同電位で使用してください。

図12－1 A/Dコンバータのブロック図



備考1. fx = メイン・クロック

2. n = 0-7

注意1. アナログ入力端子（ANI0-ANI7）および基準電圧入力端子（AVREFP, AVREFM）にノイズがのる場合は，ノイズにより不正な変換結果が生じることがあります。
この不正な変換結果により，システムに悪影響を与えることを避けるために，ソフトウエア処理が必要です。
次にソフトウエア処理の例を示します。

- 複数回のA/D変換結果の平均値を，A/D変換結果として使用する。
- 複数回のA/D変換を連続して行い，特異な変換結果が得られた場合，この値を除外した変換結果を使用する。
- システムに異常が発生したと判断されるようなA/D変換結果が得られた場合，ただちに異常処理を行わずに，再度異常発生を確認した上で異常処理を行う。

2. A/Dコンバータの入力端子として使用している端子には，AVREFM-AVREFPの範囲外の電圧が加わらないようにしてください。

12. 3 制御レジスタ

(1) A/Dコンバータ・モード・レジスタ0（ADM0）

ADM0レジスタは，動作モードの指定および変換動作の制御を行う8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。ただし，ビット6はリードのみ可能です。ビット6をライトした場合は無視されます。

注意1. タイマ・トリガ・モード，外部トリガ・モード時でADCEビットが1のときは，トリガ信号待機状態になります。ADCEビットをクリアするには，0を書き込むか，リセットしてください。A/Dトリガ・モードでは，ADCEビットに1を書き込むことが変換のトリガになります。動作後，ADCEビットをクリアせずにタイマ・トリガ・モード，外部トリガ・モードに変更した場合，レジスタ変更直後からトリガ入力の待機状態になります。

2. A/D変換動作許可状態（ADCEビット = 1）のとき，BS, MSビットの変更は禁止します。

3. A/D変換動作中にADM0レジスタに書き込みを行った場合，変換動作は初期化され，最初から変換動作をやり直します。

	⑦	⑥	5	4	3	2	1	0	アドレス	初期値
ADM0	ADCE	ADCS	BS	MS	0	0	0	0	FFFFF200H	00H

ビット位置	ビット名	意　味
7	ADCE	A/D変換動作の許可／禁止を指定します。 0：A/D変換動作禁止 1：A/D変換動作許可
6	ADCS	A/Dコンバータの状態を示します。このビットは読み出し専用です。 0：A/Dコンバータ停止中 1：A/Dコンバータ動作中
5	BS	セレクト・モード時のバッファ・モードを指定します。 0：1バッファ・モード 1：4バッファ・モード
4	MS	A/Dコンバータの動作モードを指定します。 0：スキャン・モード 1：セレクト・モード

(2) A/Dコンバータ・モード・レジスタ1 (ADM1)

ADM1レジスタは，変換動作時間の指定，トリガ・モードの指定を行う8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

注意1. A/D変換動作許可状態（ADM0レジスタのADCEビット = 1）のとき，EGA1, EGA0, FR3-FR0ビットの変更は禁止します。

2. A/D変換動作中にADM1レジスタに書き込みを行った場合，変換動作は初期化され，最初から変換動作をやり直します。

	7	6	5	4	3	2	1	0	アドレス	初期値
ADM1	EGA1	EGA0	TRG1	TRG0	FR3	FR2	FR1	FR0	FFFFF201H	00H

ビット位置	ビット名	意　味
7, 6	EGA1,EGA0	ADTRGの有効エッジを指定します
5, 4	TRG1,TRG0	トリガ・モードを指定します。

EGA1	EGA0	ADTRGの有効エッジの指定
0	0	エッジ検出なし（外部トリガとして動作しない）
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	両エッジ検出

TRG1	TRG0	トリガ・モード
0	0	A/Dトリガ・モード
0	1	タイマ・トリガ・モード
1	0	外部トリガ・モード
1	1	設定禁止

備考 FR3-FR0ビットでA/D変換動作時間の設定をします。詳細は表12ー1を参照してください。

表12ー1 A/D変換動作時間の設定

FR3	FR2	FR1	FR0	変換クロック数	変換動作時間注1				
					fx = 150 MHz	fx = 133 MHz	fx = 100 MHz	fx = 66 MHz	A/D安定時間注2
0	0	0	0	128	設定禁止	設定禁止	設定禁止	設定禁止	64/fx
0	0	0	1	256	設定禁止	設定禁止	2.56 μs	3.88 μs	128/fx
0	0	1	0	384	2.56 μs	2.89 μs	3.84 μs	5.82 μs	160/fx
0	0	1	1	512	3.42 μs	3.85 μs	5.12 μs	7.76 μs	160/fx
0	1	0	0	640	4.27 μs	4.82 μs	6.40 μs	9.70 μs	160/fx
0	1	0	1	768	5.12 μs	5.78 μs	7.68 μs	設定禁止	160/fx
0	1	1	0	896	5.98 μs	6.74 μs	8.96 μs	設定禁止	160/fx
0	1	1	1	1024	6.83 μs	7.70 μs	設定禁止	設定禁止	160/fx
1	0	0	0	1152	7.68 μs	8.67 μs	設定禁止	設定禁止	160/fx
1	0	0	1	1280	8.54 μs	9.63 μs	設定禁止	設定禁止	160/fx
1	0	1	0	1408	9.39 μs	設定禁止	設定禁止	設定禁止	160/fx
1	0	1	1	1536	設定禁止	設定禁止	設定禁止	設定禁止	ー
1	1	0	0	1664	設定禁止	設定禁止	設定禁止	設定禁止	ー
1	1	0	1	1792	設定禁止	設定禁止	設定禁止	設定禁止	ー
1	1	1	0	1920	設定禁止	設定禁止	設定禁止	設定禁止	ー
1	1	1	1	2048	設定禁止	設定禁止	設定禁止	設定禁止	ー

注1. 変換動作時間が2～10 μs（目標値）になるように設定してください。

2. A/Dコンバータの安定時間確保のためADCEビットを“0”から“1”に設定したあと，1回目のA/D変換前のみ，A/D安定時間後に変換が開始されます。

注意1. A/D変換動作中（ADCEビット = 1）に，A/D変換時間の設定値（FR3-FR0ビット）を変更しないでください。変更する場合は，ADCEビット = 0に設定してから行ってください。

2. 途中でトリガ・モードを変更（TRG1, TRG0ビット）する場合，ADCEビットに“1”を再設定することによりA/D安定時間を確保することなく，すぐにA/D変換が可能です。

備考 fx：メイン・クロック

(3) A/Dコンバータ・モード・レジスタ2（ADM2）

ADM2レジスタは，A/Dコンバータのアナログ入力端子の指定を行う8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

注意1. アナログ入力の存在しないチャネルを指定した場合，A/D変換結果は不定となります。

2. A/D変換動作許可状態（ADM0レジスタのADCEビット = 1）のとき，ANIS2-ANIS0ビットの変更は禁止します。

3. A/D変換動作中に，ADM2レジスタに書き込みを行った場合，変換動作は初期化され，最初から変換動作をやり直します。

	7	6	5	4	3	2	1	0	アドレス	初期値
ADM2	0	0	0	0	0	ANIS2	ANIS1	ANIS0	FFFFF202H	00H

ビット位置	ビット名	意　味
2-0	ANIS2-ANIS0	A/D変換するアナログ入力端子を指定します。

ANIS2	ANIS1	ANIS0	A/D変換する端子の指定	
			セレクト・モード	スキャン・モード
0	0	0	ANI0	ANI0
0	0	1	ANI1	ANI0, ANI1
0	1	0	ANI2	ANI0-ANI2
0	1	1	ANI3	ANI0-ANI3
1	0	0	ANI4	ANI0-ANI4
1	0	1	ANI5	ANI0-ANI5
1	1	0	ANI6	ANI0-ANI6
1	1	1	ANI7	ANI0-ANI7

(4) ADCトリガ選択レジスタ（ADTS）

ADTSレジスタは，タイマ・トリガ・モード時のタイマ・トリガ信号の指定を行う8ビットのレジスタです。

8ビット単位でリード／ライト可能です。

ビット7-4には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意 ADTSレジスタの設定を変更する場合は，A/D変換動作を停止（ADM0レジスタのADCEビット = 0）してから行ってください。A/D変換動作許可中（ADCEビット = 1）にADTSレジスタの設定を変更した場合の動作は保証できません。

	7	6	5	4	③	②	①	⓪	アドレス	初期値
ADTS	0	0	0	0	TMS3	TMS2	TMS1	TMS0	FFFFF220H	00H

ビット位置	ビット名	意　味
3	TMS3	タイマ・トリガ信号（INTCCC51）の接続を制御をします。 0：ADCのタイマ・トリガ無効 1：ADCのタイマ・トリガ有効
2	TMS2	タイマ・トリガ信号（INTCCC50）の接続を制御をします。 0：ADCのタイマ・トリガ無効 1：ADCのタイマ・トリガ有効
1	TMS1	タイマ・トリガ信号（INTCCC41）の接続を制御をします。 0：ADCのタイマ・トリガ無効 1：ADCのタイマ・トリガ有効
0	TMS0	タイマ・トリガ信号（INTCCC40）の接続を制御をします。 0：ADCのタイマ・トリガ無効 1：ADCのタイマ・トリガ有効

(5) A/D変換結果レジスタ0-7, 0H-7H（ADCR0-ADCR7, ADCR0H-ADCR7H）

ADCRnレジスタは，A/D変換の結果を保持する10ビット・レジスタです。8本の10ビットのレジスタを備えています。

16/8ビット単位でリードだけ可能です。このレジスタへの16ビット・アクセス時はADCRnレジスタを，上位8ビット・アクセス時はADCRnHレジスタを指定します（n = 0-7）。

ADCRnレジスタからA/D変換結果の10ビット・データを読み出す場合には，上位の10ビットだけが有効となり，下位6ビットは常に0が読み出されます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ADCRn	ADn9	ADn8	ADn7	ADn6	ADn5	ADn4	ADn3	ADn2	ADn1	ADn0	0	0	0	0	0	0	FFFFF210H-FFFFF21EH	不定

	7	6	5	4	3	2	1	0	アドレス	初期値
ADCRnH	ADn9	ADn8	ADn7	ADn6	ADn5	ADn4	ADn3	ADn2	FFFFF211H-FFFFF21FH	不定

備考 n = 0-7

各アナログ入力端子とADCRnレジスタの対応を次に示します。

アナログ入力端子	ADCRnレジスタ	
	セレクト1バッファ・モード／スキャン・モード	セレクト4バッファ・モード
ANI0	ADCR0, ADCR0H	ADCR0-ADCR3, ADCR0H-ADCR3H
ANI1	ADCR1, ADCR1H	
ANI2	ADCR2, ADCR2H	
ANI3	ADCR3, ADCR3H	
ANI4	ADCR4, ADCR4H	ADCR4-ADCR7, ADCR4H-ADCR7H
ANI5	ADCR5, ADCR5H	
ANI6	ADCR6, ADCR6H	
ANI7	ADCR7, ADCR7H	

アナログ入力端子（ANI0-ANI7）に入力されたアナログ入力電圧とA/D変換結果（A/D変換結果レジスタn（ADCRn））には次式に示す関係があります。

$$SAR = INT\left(\frac{V_{IN}}{AV_{REF}} \times 1024 + 0.5\right)$$

$$ADCR^{注} = SAR \times 64$$

または，

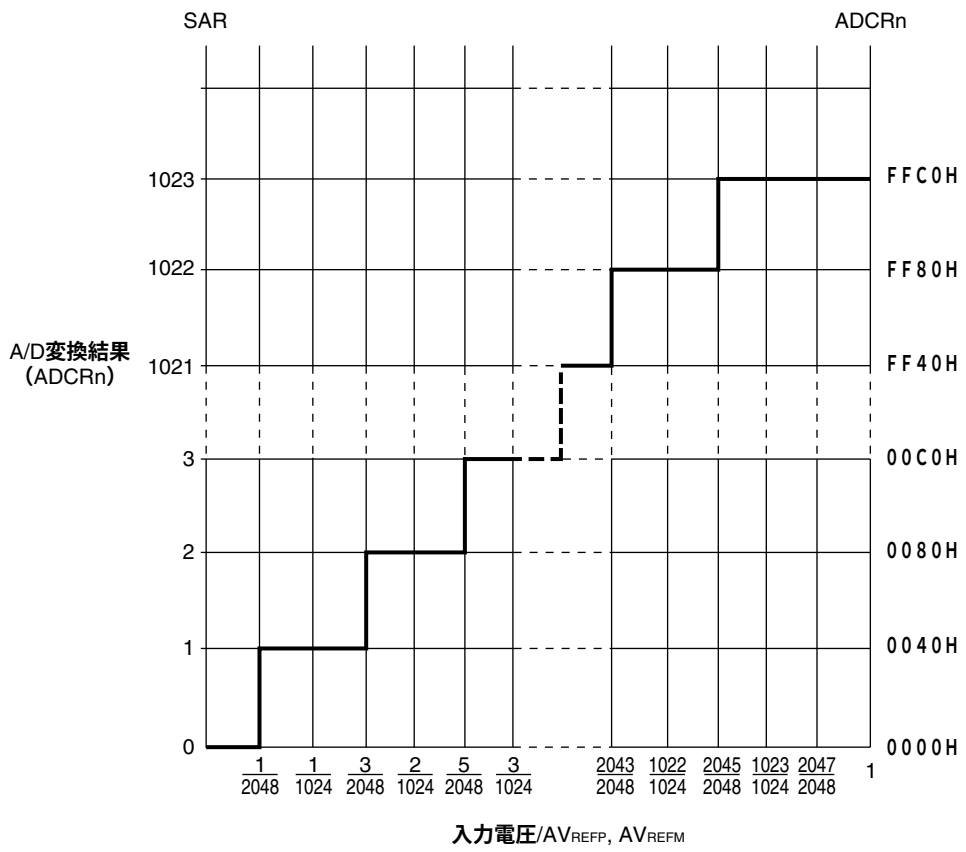
$$(SAR - 0.5) \times \frac{AV_{REF}}{1024} \leqq V_{IN} < (SAR + 0.5) \times \frac{AV_{REF}}{1024}$$

INT（ ）：（ ）内の値の整数部を返す関数
V_{IN} ：アナログ入力電圧
AV_{REF} ：AV_{REFP}, AV_{REFM}端子電圧
ADCR ：A/D変換結果レジスタn（ADCRn）の値

注 ADCRnレジスタの下位6ビットは0固定です。

図12－2にアナログ入力電圧とA/D変換結果の関係を示します。

図12－2 アナログ入力電圧とA/D変換結果の関係



備考 n = 0-7

12.4 動　　作

12.4.1 基本動作

A/D変換は次の手順で行います。

(1) アナログ入力の選択，動作モード，トリガ・モードなどの指定を，ADMnレジスタで指定します[注1] (n = 0-2)。ADM0レジスタのADCEビットをセット（1）すると，A/Dトリガ・モード時はA/D変換を開始します。タイマ・トリガ・モード，外部トリガ・モード時は，トリガ待機状態[注2]になります。

(2) A/D変換を開始するとアナログ入力側Cアレイ電圧と基準側Cアレイ電圧をコンパレータで比較します。

(3) 10ビットの比較が終了したとき，ADCRnレジスタに変換結果を格納します。指定した回数のA/D変換が終了したとき，A/D変換終了割り込み（INTAD）を発生します（n = 0-7）。

注1. A/D変換動作中にADMnレジスタ（n = 0-2）を変更した場合，変更前のA/D変換動作は停止し，ADCRnレジスタ（n = 0-7）へ変換結果を格納しません。変換前のA/D変換動作は初期化され，最初から変換動作をやり直します。

2. タイマ・トリガ・モード，外部トリガ・モードの場合，ADM0レジスタのADCEビットを1にすると，トリガ待機状態に遷移します。またA/D変換動作は，トリガ信号によって起動（ADM0レジスタのADCSビット = 1）され，A/D変換動作が終了するとトリガ待機状態（ADCSビット = 0）に戻ります。

12.4.2 動作モードとトリガ・モード

A/Dコンバータは，動作モード，トリガ・モードの指定により多彩な変換動作を指定できます。動作モード，トリガ・モードは，ADM0-ADM2レジスタで設定します。

動作モード，トリガ・モードの関係を次に示します。

表12－2 動作モード，トリガ・モードの関係

トリガ・モード	動作モード		設定値			アナログ入力
			ADM0	ADM1	ADM2	
A/Dトリガ	セレクト	1バッファ	xx010000B	0000xxxxB	00000xxxB	ANI0-ANI7
		4バッファ	xx110000B		00000xxxB	ANI0-ANI7
	スキャン		xxx00000B		00000xxxB	ANI0-ANI7
タイマ・トリガ	セレクト	1バッファ	xx010000B	0001xxxxB	00000xxxB	ANI0-ANI7
		4バッファ	xx110000B		00000xxxB	ANI0-ANI7
	スキャン		xxx00000B		00000xxxB	ANI0-ANI7
外部トリガ	セレクト	1バッファ	xx010000B	xx10xxxxB	00000xxxB	ANI0-ANI7
		4バッファ	xx110000B		00000xxxB	ANI0-ANI7
	スキャン		xxx00000B		00000xxxB	ANI0-ANI7

(1) トリガ・モード

A/D変換処理の開始タイミングとなるトリガ・モードには，A/Dトリガ・モード，タイマ・トリガ・モード，外部トリガ・モードの3通りがあります。これらのトリガ・モードは，ADM1レジスタのTRG1, TRG0ビットで設定します。

(a) A/Dトリガ・モード

ANI0-ANI7端子に設定されたアナログ入力の変換タイミングを，ADM0レジスタのADCEビットを1に設定することによりA/D変換を開始するモードです。変換終了後ADCEビットを0にしない限り，次の変換動作を繰り返します。変換動作中にADM0-ADM2レジスタに書き込みを行った場合，変換は中断され，再度，最初から変換を行います。

(b) タイマ・トリガ・モード

ANI0-ANI7端子に設定されたアナログ入力の変換タイミングを，タイマCのキャプチャ／コンペア・レジスタに設定した値で規定するモードです。

16ビットのタイマC（TMC4, TMC5）に接続された4本のキャプチャ／コンペア・レジスタ（CCC40, CCC41, CCC50, CCC51）のコンペア一致割り込み発生により，アナログ入力変換タイミングを生成します。

ADM0レジスタのADCEビットを1に設定すると，割り込み（INTCCC40, INTCCC41, INTCCC50, INTCCC51）待機状態となり，INTCCC40, INTCCC41, INTCCC50, INTCCC51発生により変換動作を開始します（ADM0レジスタのADCSビット = 1）。変換が終了すると再び割り込み待機状態（ADCS = 0）になります。変換動作中にADM0-ADM2レジスタに書き込みを行った場合，変換は中断され，再度，最初から変換を行います。

(c) 外部トリガ・モード

ANI0-ANI7端子に設定されたアナログ入力の変換タイミングを，ADTRG端子で指定するモードです。

ADM1レジスタのEGA1, EGA0ビットにより，ADTRG端子入力の有効エッジを指定します。

ADM0レジスタのADCEビットを1に設定すると，外部トリガ（ADTRG）待機状態となりADTRGの有効エッジが検出されると変換動作を開始します（ADM0レジスタのADCSビット = 1）。変換を終了すると再び外部トリガ待機状態（ADCSビット = 0）になります。

変換動作中にADTRG端子入力の有効エッジを検出すると，再度，最初から変換動作を行います。

変換動作中にADM0-ADM2レジスタに書き込みを行った場合，変換は中断され，再度，最初から変換を行います。

(2) 動作モード

動作モードには，ANI0-ANI7端子を設定するモードとして，セレクト・モード，スキャン・モードの2通りがあります。セレクト・モードには，サブモードとして，1バッファ・モードと4バッファ・モードがあります。これらのモードは，ADM0レジスタのBS, MSビットで設定します。

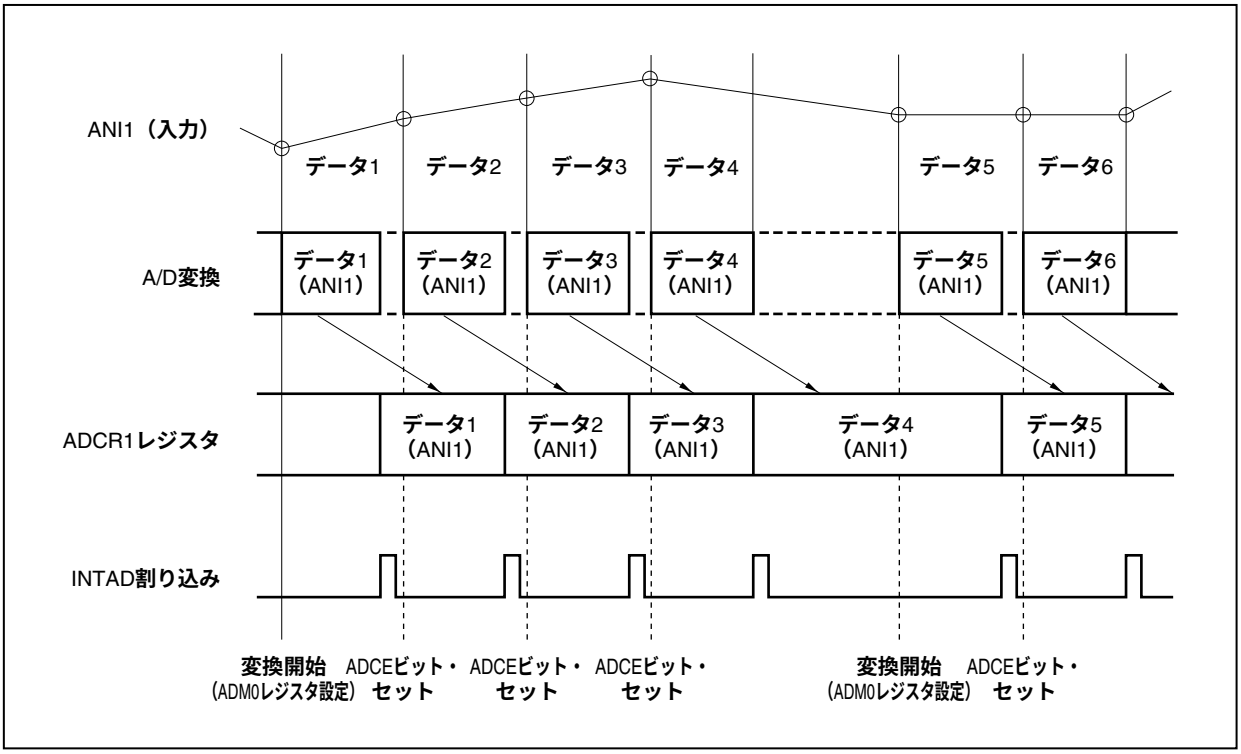
(a) セレクト・モード

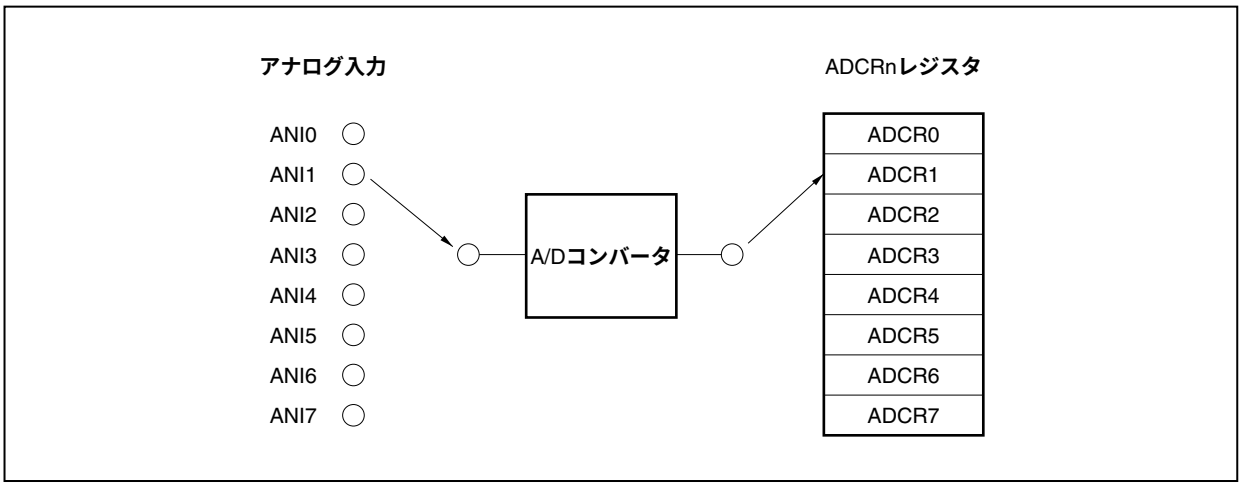
ADM2レジスタで指定される1つのアナログ入力をA/D変換します。変換結果は，アナログ入力（ANIn）に対応したADCRnレジスタに格納します。このモードでは，A/D変換結果の格納方法として，1バッファ・モードと4バッファ・モードを備えています（n = 0-7）。

- **1バッファ・モード**

ADM2レジスタで指定される1つのアナログ入力をA/D変換します。変換結果は，アナログ入力（ANIn）に対応したADCRnレジスタに格納します（n = 0-7）。ANInとADCRnレジスタは1対1に対応しており，1回のA/D変換終了ごとにA/D変換終了割り込み（INTAD）が発生します。変換終了後は，ADM0レジスタのADCEビットを0にしない限り，次の変換動作を繰り返します。

図12－3 セレクト・モードの動作タイミング例：1バッファ・モード（ANI1）



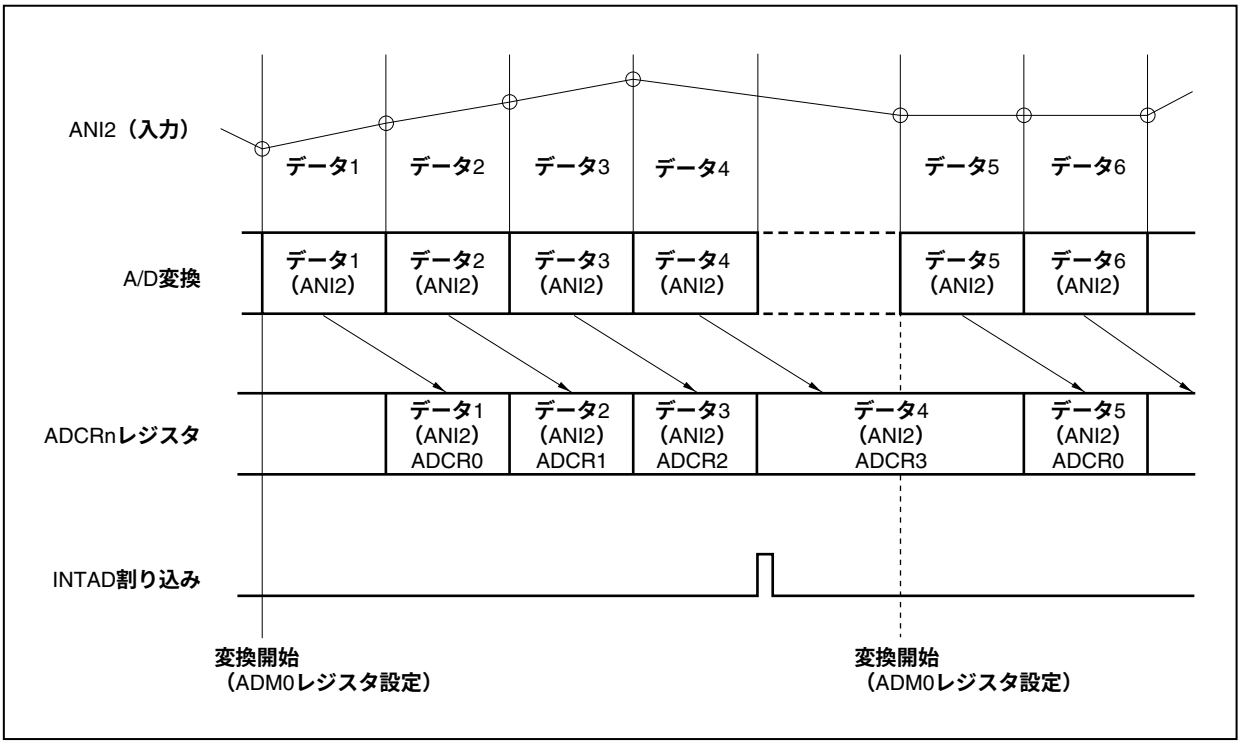


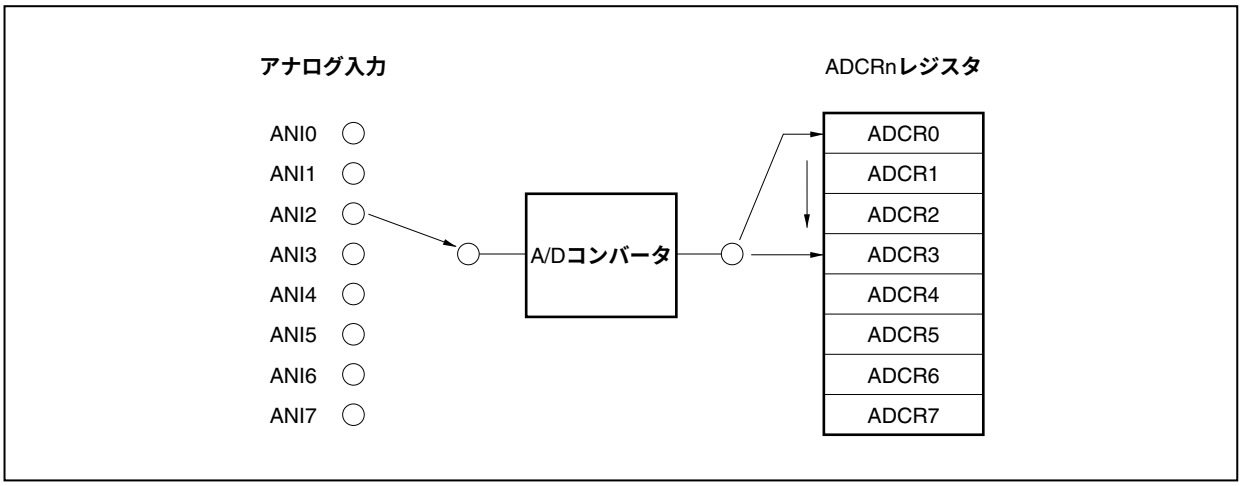
・4バッファ・モード

1つのアナログ入力を4回A/D変換し，その結果をADCRnレジスタに格納します。A/D変換終了割り込み（INTAD）は，4回のA/D変換が終了したときに発生します（アナログ入力下位チャネル指定時：n = 0-3，アナログ入力上位チャネル指定時：n = 4-7）。

変換終了後はADM0レジスタのADCEビットを0にしない限り，次の変換動作を繰り返し行います。

図12－4 セレクト・モードの動作タイミング例：4バッファ・モード（ANI2）

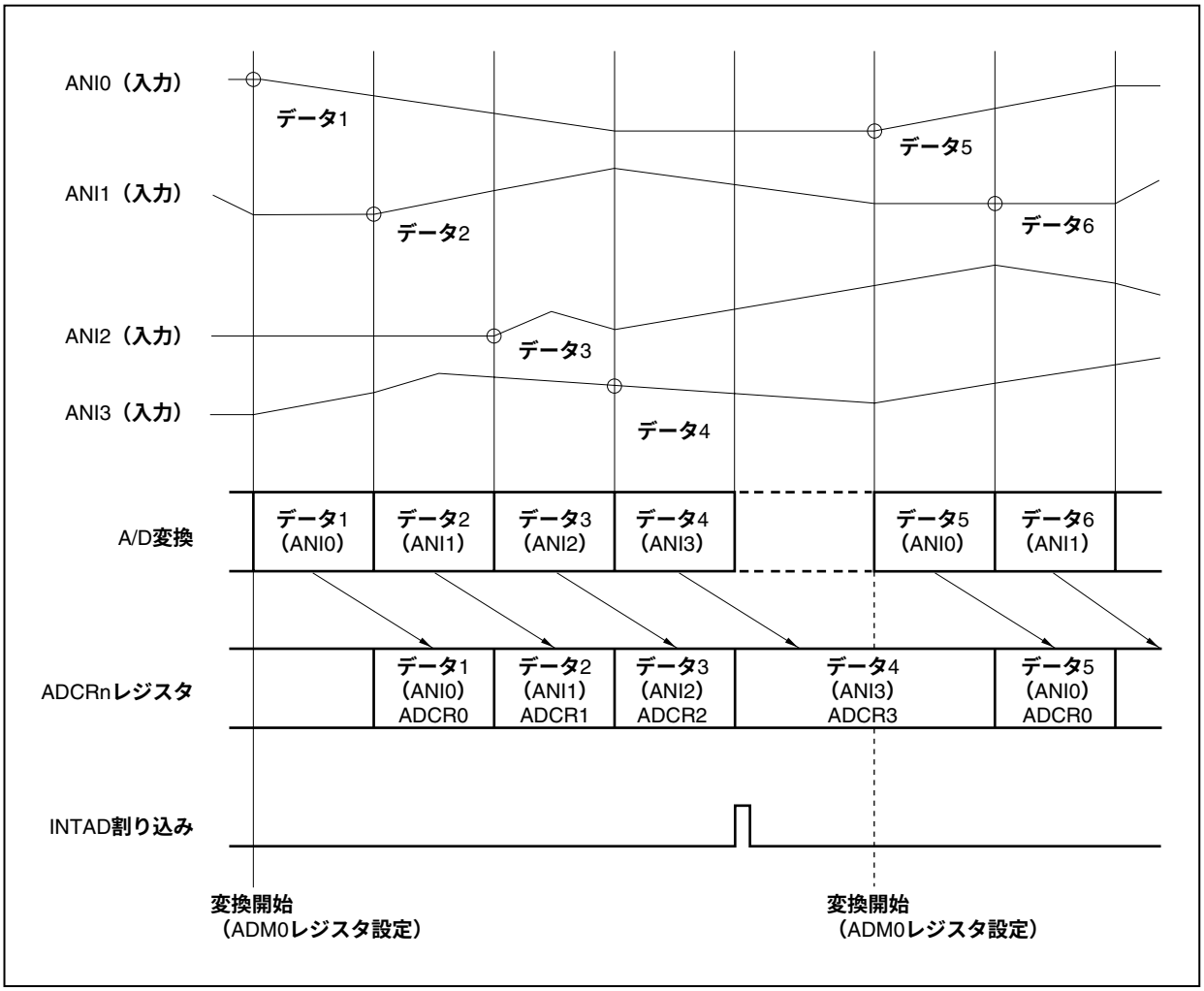


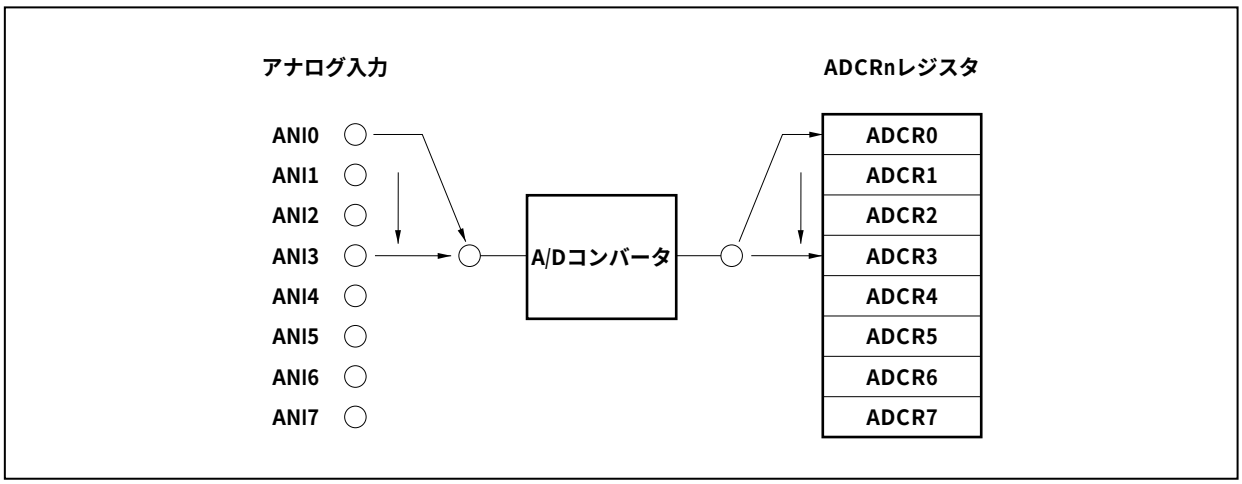


(b) スキャン・モード

ANI0端子から，ADM2レジスタで指定したアナログ入力までを順に選択し，A/D変換します。A/D変換結果は，アナログ入力に対応したADCRnレジスタに格納します（n = 0-7）。指定したアナログ入力の変換が終了するとA/D変換終了割り込み（INTAD）が発生します。変換終了後は，ADM0レジスタのADCEビットを0にしない限り，次の変換動作を繰り返し行います。

図12－5 スキャン・モードの動作タイミング例：4チャネル・スキャン（ANI0-ANI3）





12. 5　A/Dトリガ・モード時の動作

ADM0レジスタのADCEビットを1に設定すると，A/D変換を開始します。

12. 5. 1　セレクト・モードの動作

ADM2レジスタで指定されるアナログ入力をA/D変換します。変換結果は，ADCRnレジスタに格納します。セレクト・モードでは，A/D変換結果の格納方法により，1バッファ・モードと4バッファ・モードをサポートしています（n = 0-7）。

（1）1バッファ・モード（A/Dトリガ・セレクト1バッファ）

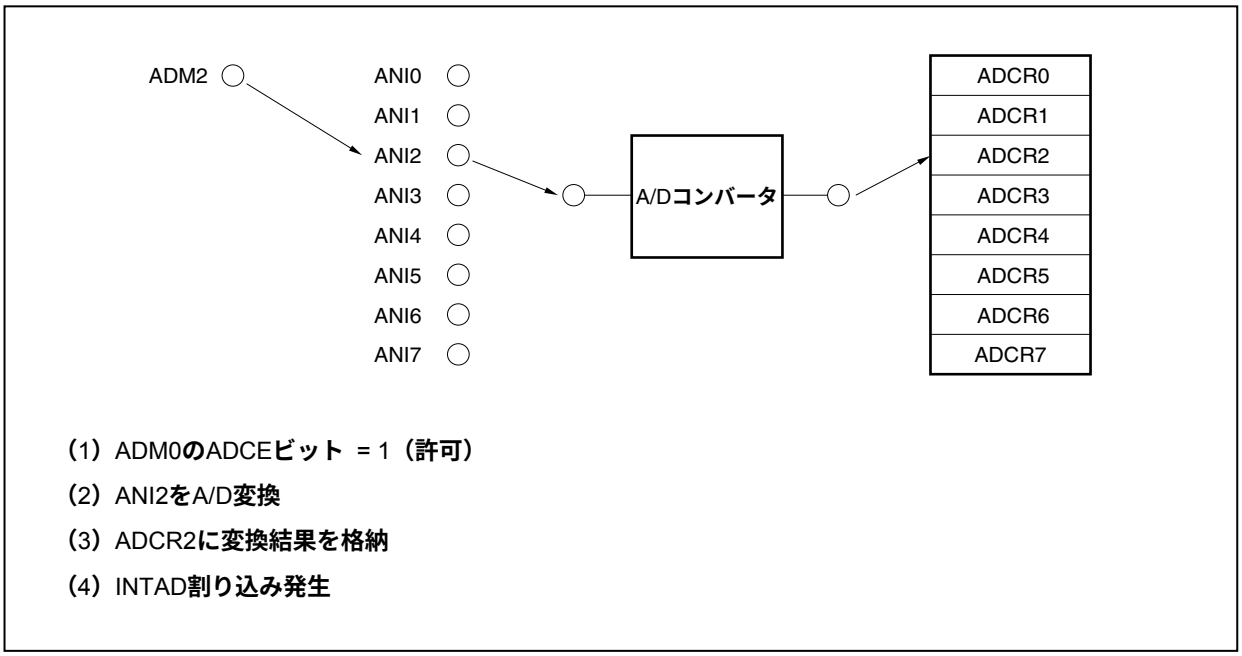
1つのアナログ入力を1回A/D変換し，その結果を1つのADCRnレジスタに格納します。アナログ入力とADCRnレジスタは1対1に対応しています。

1回のA/D変換終了ごとにA/D変換終了割り込み（INTAD）を発生し，A/D変換を終了します。ADM0レジスタのADCEビットを0にしない限り，次の変換動作を繰り返し行います。

アナログ入力	A/D変換結果レジスタ
ANIn	ADCRn

1回目のA/D変換ごとに結果を読み出すような応用に最適です。

図12－6　1バッファ・モード（A/Dトリガ・セレクト1バッファ）の動作例



(2) 4バッファ・モード（A/Dトリガ・セレクト4バッファ）

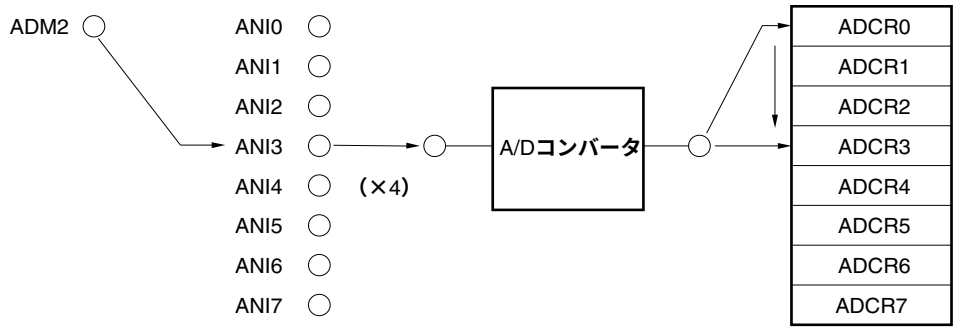
1つのアナログ入力を4回A/D変換し，その結果をADCRnレジスタに格納します。

4回のA/D変換が終了すると，A/D変換終了割り込み（INTAD）を発生し，A/D変換を終了します。ADM0レジスタのADCEビットを0にしない限り，次の変換動作を繰り返し行います。

アナログ入力	A/D変換結果レジスタ
ANI0-ANI3	ADCR0（1回目）
	ADCR1（2回目）
	ADCR2（3回目）
	ADCR3（4回目）
ANI4-ANI7	ADCR4（1回目）
	ADCR5（2回目）
	ADCR6（3回目）
	ADCR7（4回目）

A/D変換結果の平均を求めるような応用に最適です。

図12－7　4バッファ・モード（A/Dトリガ・セレクト4バッファ）の動作例



(1) ADM0のADCEビット ＝1（許可）
(2) ANI3をA/D変換
(3) ADCR0に変換結果を格納
(4) ANI3をA/D変換
(5) ADCR1に変換結果を格納
(6) ANI3をA/D変換
(7) ADCR2に変換結果を格納
(8) ANI3をA/D変換
(9) ADCR3に変換結果を格納
(10) INTAD割り込み発生

12. 5. 2 スキャン・モードの動作

ANI0端子からADM2レジスタで指定されるアナログ入力までを順に選択し，A/D変換します。A/D変換結果をアナログ入力に対応したADCRnレジスタに格納します（n = 0-7）。

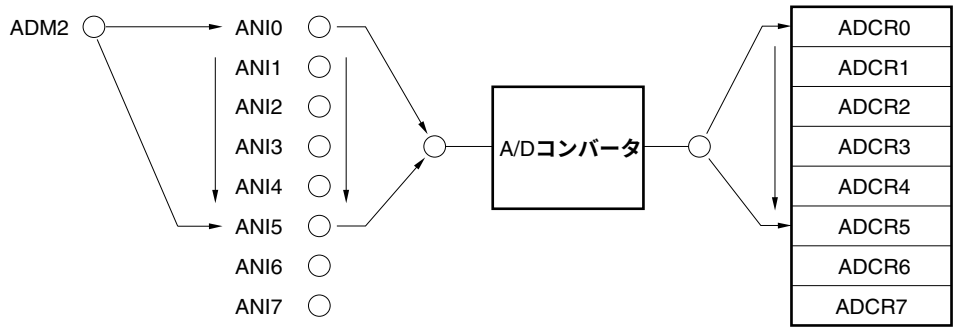
指定したアナログ入力の変換をすべて終了すると，A/D変換終了割り込み（INTAD）を発生し，A/D変換を終了します。ADM0レジスタのADCEビットを0にしない限り，次の変換動作を繰り返し行います。

アナログ入力	A/D変換結果レジスタ
ANIn	ADCR0
：	：
ANIn注	ADCRn

注 ADM2レジスタのANIS2-ANIS0ビットで設定

複数のアナログ入力を常時監視するような応用に最適です。

図12－8 スキャン・モード（A/Dトリガ・スキャン）の動作例



（1）ADM0のADCEビット = 1（許可）
（2）ANI0をA/D変換
（3）ADCR0に変換結果を格納
（4）ANI1をA/D変換
（5）ADCR1に変換結果を格納
（6）ANI2をA/D変換
（7）ADCR2に変換結果を格納
（8）ANI3をA/D変換
（9）ADCR3に変換結果を格納
（10）ANI4をA/D変換
（11）ADCR4に変換結果を格納
（12）ANI5をA/D変換
（13）ADCR5に変換結果を格納
（14）INTAD割り込み発生

12. 6　タイマ・トリガ・モード時の動作

ANI0-ANI7端子に設定されたアナログ入力の変換タイミングを，タイマC4, C5のキャプチャ／コンペア・レジスタに設定した値で規定するモードです。

16ビットのタイマC4, C5（TMC4, TMC5）に接続されたキャプチャ／コンペア・レジスタのコンペア一致割り込み（INTCCC40, INTCCC41, INTCCC50, INTCCC51）発生により，アナログ入力変換タイミングを生成します。

ADM0レジスタのADCEビットを1に設定すると，割り込み（INTCCC40, INTCCC41, INTCCC50, INTCCC51）待機状態となり，INTCCC40, INTCCC41, INTCCC50, INTCCC51発生により変換動作を開始します（ADM0レジスタのADCSビット=1）。変換を終了すると再び割り込み待機状態（ADCSビット=0）になります。

変換動作中にINTCCC40, INTCCC41, INTCCC50, INTCCC51が発生すると，再度最初から変換動作を行います。

また，変換動作中にADM0-ADM2レジスタに書き込みを行った場合，変換は中断され，再度，最初から変換を行います。

12. 6. 1　セレクト・モードの動作

ADM2レジスタで指定される1つのアナログ入力（ANI0-ANI7）をA/D変換します。変換結果は，アナログ入力に対応したADCRnレジスタに格納します。セレクト・モードではA/D変換結果の格納法により，1バッファ・モードと4バッファ・モードの2通りがあります。

（1）1バッファ・モード（タイマ・トリガ・セレクト1バッファ）

1つのアナログ入力を1回A/D変換し，その結果を1つのADCRnレジスタに格納します。

一致割り込み信号（INTCCC40, INTCCC41, INTCCC50, INTCCC51）をトリガとして，1つのアナログ入力を1回A/D変換し，その結果を1つのADCRnレジスタに格納します。1回のA/D変換ごとにA/D変換終了割り込み（INTAD）を発生します。

ADM0レジスタのADCEビットを0に設定しないかぎり，タイマ一致割り込みが発生するごとにA/D変換を繰り返します。

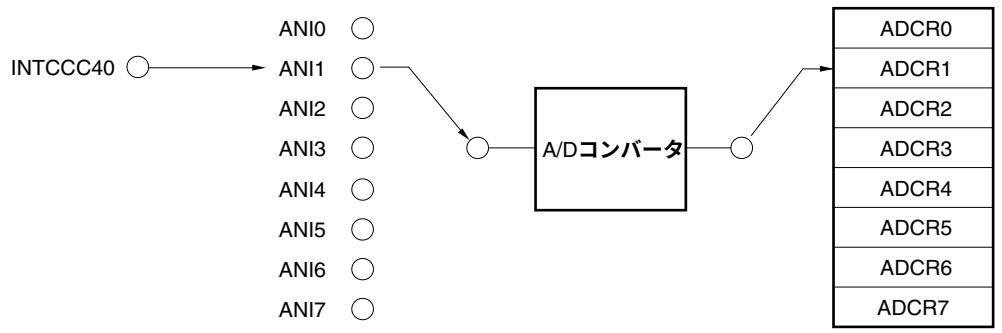
表12ー3 アナログ入力端子とADCRnレジスタの対応

（1バッファ・モード（タイマ・トリガ・セレクト1バッファ））

トリガ	アナログ入力	A/D変換結果レジスタ
INTCCCn割り込み	ANI0	ADCR0
INTCCCn割り込み	ANI1	ADCR1
INTCCCn割り込み	ANI2	ADCR2
INTCCCn割り込み	ANI3	ADCR3
INTCCCn割り込み	ANI4	ADCR4
INTCCCn割り込み	ANI5	ADCR5
INTCCCn割り込み	ANI6	ADCR6
INTCCCn割り込み	ANI7	ADCR7

備考 n = 40, 41, 50, 51

図12ー9 1バッファ・モード（タイマ・トリガ・セレクト1バッファ）の動作例（ANI1）



（1）ADM0のADCEビット = 1（許可）

（2）CCC40コンペア発生

（3）ANI1をA/D変換

（4）ADCR1に変換結果を格納

（5）INTAD割り込み発生

(2) 4バッファ・モード（タイマ・トリガ・セレクト4バッファ）

1つのアナログ入力を4回A/D変換し，その結果をADCRnレジスタに格納します。

一致割り込み信号（INTCCC40, INTCCC41, INTCCC50, INTCCC51）をトリガとして，1つのアナログ入力を4回A/D変換し，その結果を4つのADCRnレジスタに格納します。A/D変換が4回終了するとA/D変換終了割り込み（INTAD）を発生します。

変換終了後はADM0レジスタのADCEビットを0にしない限り次の変換を繰り返します。

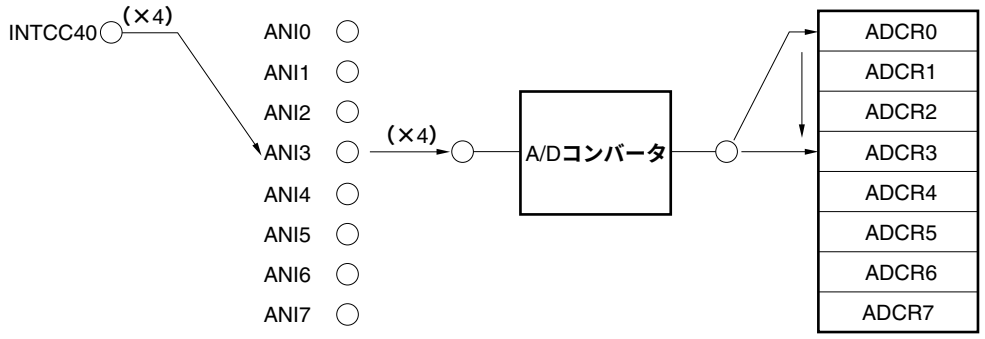
A/D変換結果の平均を求めるような応用に最適です。

表12－4 アナログ入力端子とADCRnレジスタの対応
（4バッファ・モード（タイマ・トリガ・セレクト4バッファ））

トリガ	アナログ入力	A/D変換結果レジスタ
INTCCCn割り込み	ANI0-ANI3	ADCR0（1回目） ADCR1（2回目） ADCR2（3回目） ADCR3（4回目）
	ANI4-ANI7	ADCR4（1回目） ADCR5（2回目） ADCR6（3回目） ADCR7（4回目）

備考 n = 40, 41, 50, 51

図12－10 4バッファ・モード（タイマ・トリガ・セレクト4バッファ）の動作例（ANI3）



(1) ADM0のADCEビット = 1（許可）
(2) CCC40コンペア発生
(3) ANI3をA/D変換
(4) ADCR0に変換結果を格納
(5) CCC40コンペア発生
(6) ANI3をA/D変換
(7) ADCR1に変換結果を格納
(8) CCC40コンペア発生
(9) ANI3をA/D変換
(10) ADCR2に変換結果を格納
(11) CCC40コンペア発生
(12) ANI3をA/D変換
(13) ADCR3に変換結果を格納
(14) NTAD割り込み発生

12. 6. 2 スキャン・モードの動作

ANI0端子からADM2レジスタで指定されるアナログ入力までを順に選択し，タイマー致割り込みをトリガとして指定された回数のA/D変換を行います。

変換結果はアナログ入力に対応したADCRnレジスタに格納します。指定したアナログ入力の変換がすべて終了すると，A/D変換終了割り込み（INTAD）を発生します。

変換終了後は，ADM0レジスタのADCEビットを0にしない限り，トリガ待ちとなり，再びタイマー致割り込みが発生するとANI0入力からA/D変換を開始します。

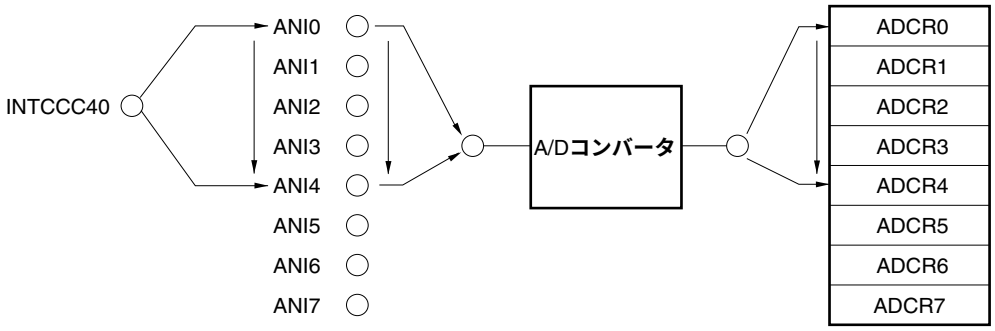
複数のアナログ入力を常時監視するような応用に最適です。

表12－5 アナログ入力端子とADCRnレジスタの対応
（スキャン・モード（タイマ・トリガ・スキャン））

トリガ	アナログ入力	A/D変換結果レジスタ
INTCCCn割り込み	ANI0	ADCR0
	ANI1	ADCR1
	ANI2	ADCR2
	ANI3	ADCR3
	ANI4	ADCR4
	ANI5	ADCR5
	ANI6	ADCR6
	ANI7	ADCR7

備考 n = 40, 41, 50, 51

図12－11 スキャン・モード（タイマ・トリガ・スキャン）の動作例（ANI0-ANI4）



（1）ADM0のADCEビット = 1（許可）
（2）CCC40コンペア発生
（3）ANI0をA/D変換
（4）ADCR0に変換結果を格納
（5）ANI1をA/D変換
（6）ADCR1に変換結果を格納
（7）ANI2をA/D変換
（8）ADCR2に変換結果を格納
（9）ANI3をA/D変換
（10）ADCR3に変換結果を格納
（11）ANI4をA/D変換
（12）ADCR4に変換結果を格納
（13）INTAD割り込み発生

12. 7 外部トリガ・モード時の動作

ANI0-ANI7端子に設定されたアナログ入力の変換タイミングを，ADTRG端子で指定するモードです。

ADM1レジスタのEGA1,EGA0ビットによりADTRG端子入力の有効エッジ検出を指定します。

ADM0レジスタのADCEビットを1に設定すると，外部トリガ（ADTRG）待機状態となり，ADTRGの有効エッジが検出されると変換動作を開始します（ADM0レジスタのADCSビット=1）。変換を終了すると再び外部トリガ待機状態（ADCSビット=0）になります。

変換動作中にADTRG端子入力の有効エッジを検出すると，再度最初から変換動作を行います。

また，変換動作中にADM0-ADM2レジスタに書き込みを行った場合，変換は中断され，再度最初から変換を行います。

12. 7. 1 セレクト・モードの動作

ADM2レジスタで指定する1つのアナログ入力（ANI0-ANI7）をA/D変換します。変換結果は，アナログ入力に対応したADCRnレジスタに格納します。セレクト・モードでは，変換結果の格納方法には1バッファ・モードと4バッファ・モードの2通りがあります。

（1）1バッファ・モード（外部トリガ・セレクト1バッファ）

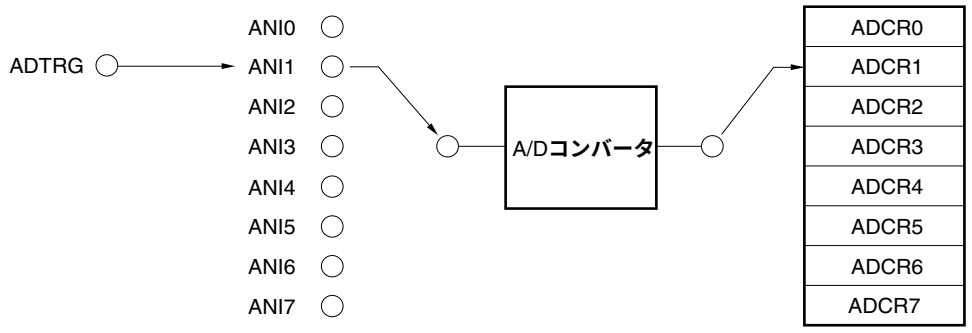
ADTRG信号をトリガとして1つのアナログ入力を1回A/D変換し，その結果を1つのADCRnレジスタに格納します。アナログ入力とA/D変換結果レジスタは1対1に対応しています。1回のA/D変換ごとにA/D変換終了割り込み（INTAD）を発生し，A/D変換を終了します。

トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANIn	ADCRn

ADM0レジスタのADCEビットが1の間は，ADTRG端子からトリガが入力されるごとにA/D変換を繰り返します。

1回のA/D変換ごとに結果を読み出すような応用に最適です。

図12ー12 1バッファ・モード（外部トリガ・セレクト1バッファ）の動作例（ANI1）



（1）ADM0のADCEビット = 1（許可）

（2）外部トリガ発生

（3）ANI1をA/D変換

（4）ADCR1に変換結果を格納

（5）INTAD割り込み発生

(2) 4バッファ・モード（外部トリガ・セレクト4バッファ）

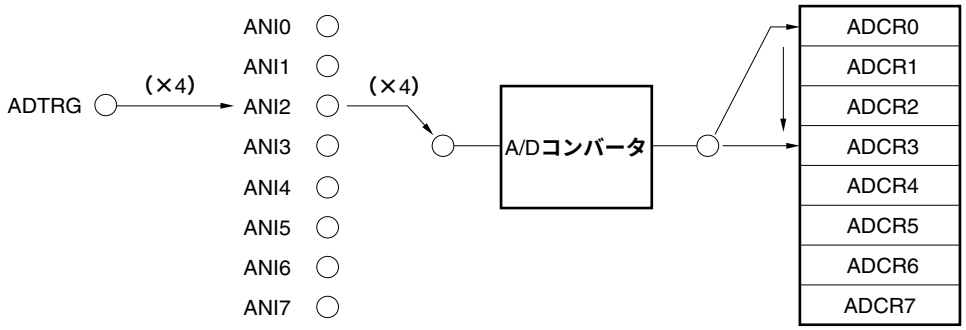
ADTRG信号をトリガとして1つのアナログ入力を4回A/D変換し，その結果をADCRnレジスタに格納します。4回のA/D変換が終了すると，A/D変換終了割り込み（INTAD）を発生し，A/D変換を終了します。

トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANI0-ANI3	ADCR0（1回目）
		ADCR1（2回目）
		ADCR2（3回目）
		ADCR3（4回目）
	ANI4-ANI7	ADCR4（1回目）
		ADCR5（2回目）
		ADCR6（3回目）
		ADCR7（4回目）

ADM0レジスタのADCEビットが1の間は，ADTRG端子からトリガが入力されるごとにA/D変換を繰り返します。

A/D変換結果の平均を求めるような応用に最適です。

図12－13 4バッファ・モード（外部トリガ・セレクト4バッファ）の動作例（ANI2）



(1) ADM0のADCEビット = 1（許可）
(2) 外部トリガ発生
(3) ANI2をA/D変換
(4) ADCR0に変換結果を格納
(5) 外部トリガ発生
(6) ANI2をA/D変換
(7) ADCR1に変換結果を格納
(8) 外部トリガ発生
(9) ANI2をA/D変換
(10) ADCR2に変換結果を格納
(11) 外部トリガ発生
(12) ANI2をA/D変換
(13) ADCR3に変換結果を格納
(14) INTAD割り込み発生

12. 7. 2 スキャン・モードの動作

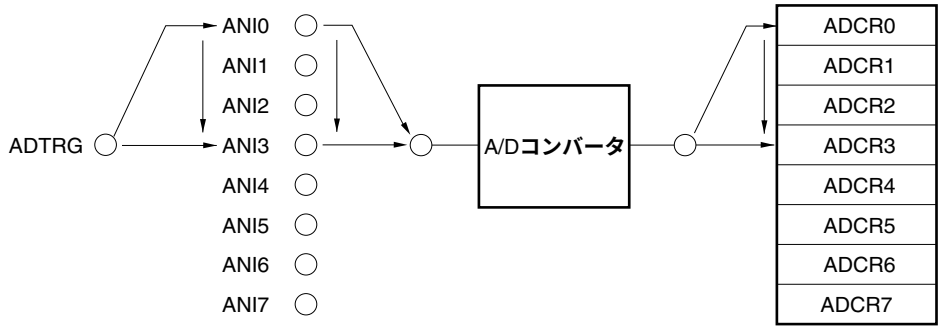
ADTRG信号をトリガとして，ANI0端子からADM2レジスタで指定されるアナログ入力までを順に選択し，A/D変換します。A/D変換結果はアナログ入力に対応したADCRnレジスタに格納します（n = 0-7）。

指定したアナログ入力の変換がすべて終了すると，A/D変換終了割り込み（INTAD）を発生します。変換終了後は，ADM0レジスタのADCEビットを0にしない限り，トリガ待ちとなり，再びADTRG端子にトリガを入力するとANI0入力からA/D変換を開始します。

トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANI0	ADCR0
	ANI1	ADCR1
	ANI2	ADCR2
	ANI3	ADCR3
	ANI4	ADCR4
	ANI5	ADCR5
	ANI6	ADCR6
	ANI7	ADCR7

ADM0レジスタのADCEビットが1の間にADTRG端子にトリガを入力すると，再度A/D変換を起動できます。複数のアナログ入力を常時監視するような応用に最適です。

図12－14 スキャン・モード（外部トリガ・スキャン）の動作例（ANI0-ANI3）



（1）ADM0のADCEビット = 1（許可）
（2）外部トリガ発生
（3）ANI0をA/D変換
（4）ADCR0に変換結果を格納
（5）ANI1をA/D変換
（6）ADCR1に変換結果を格納
（7）ANI2をA/D変換
（8）ADCR2に変換結果を格納
（9）ANI3をA/D変換
（10）ADCR3に変換結果を格納
（11）INTAD割り込み発生

12. 8 注意事項

A/Dコンバータについての注意事項を次に示します。

(1) 変換動作の停止

変換動作中にADM0レジスタのADCEビットに0を書き込むと変換動作を停止し，ADCRnレジスタへ変換結果を格納しません（n = 0-7）。

(2) 外部／タイマ・トリガの間隔

外部またはタイマ・トリガ・モード時のトリガのインターバル（入力時間の間隔）は，ADM1レジスタのFR3-FR0ビットで指定する変換動作時間より長くしてください。

0＜インターバル≦変換動作時間の場合

変換動作中に次の外部トリガまたはタイマ・トリガが入力された場合，変換動作を中断し，最後に入力された外部トリガまたはタイマ・トリガに従って変換を開始します。

変換動作を中断した場合，ADCRnレジスタに変換結果を格納しません（n = 0-7）。ただし，トリガ入力回数はカウントし，割り込みが発生すると，変換が終了した値をADCRnレジスタへ格納します。

(3) スタンバイ・モード時の動作

① HALTモード

A/D変換動作を継続します。NMI入力やマスクされていないマスカブル割り込み入力（8. 6. 3（2）HALTモードの解除参照）で解除した場合，ADM0, ADM1, ADM2レジスタとADCRnレジスタは値を保持します（n = 0-7）。

② IDLEモード，ソフトウエアSTOPモード

A/Dコンバータへのクロック供給は止まるため，変換動作は行われません。

NMI入力で解除した場合，ADM0, ADM1, ADM2レジスタとADCRnレジスタは値を保持します（n = 0-7）。ただし，変換動作中にIDLEモード，ソフトウエアSTOPモードに設定した場合，変換動作を停止します。このときにNMI入力やマスクされていないマスカブル割り込み入力（8. 6. 4（2）IDLEモードの解除，8. 6. 5（2）ソフトウエアSTOPモードの解除参照）で解除すると変換動作を再開しますが，ADCRnレジスタに書き込まれる変換結果は不定です。

(4) タイマ・トリガ・モード時のコンペア一致割り込み

コンペア・レジスタの一致割り込みがA/D変換開始トリガとなり，変換動作を開始します。このとき，コンペア・レジスタの一致割り込みは，CPUに対するコンペア・レジスタの一致割り込みにもなります。CPUに対するコンペア・レジスタの一致割り込みを発生させないためには，割り込み制御レジスタ（CCC4IC0, CCC4IC1, CCC5IC0, CCC5IC1）の割り込みマスク・ビット（CCC4MK0, CCC4MK1, CCC5MK0, CCC5MK1）で割り込みを禁止してください。

(5) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特にAVREFP, AVREFMの範囲外（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャネルの変換値が不定となります。また，ほかのチャネルの変換値にも影響を与えることがあります。

(6) 競合動作について

① 変換終了時のA/D変換結果レジスタ（ADCRn, ADCRnH）ライトと命令によるADCRn, ADCRnHリードとの競合

ADCRn, ADCRnHリードが優先されます。リードしたあと，新しい変換結果がADCRn, ADCRnHにライトされます。

② 変換終了時のADCRn, ADCRnHライトと外部トリガ信号入力の競合

A/D変換中の外部トリガ信号は受け付けません。したがって，ADCRn, ADCRnHライト中の外部トリガ信号も受け付けません。

③ 変換終了時のADCRn, ADCRnHライトとA/Dコンバータ・モード・レジスタ1（ADM1）ライト，またはA/Dコンバータ・モード・レジスタ2（ADM2）ライトの競合

A/D変換終了後のADCRn, ADCRnHライト直後に，ADM1またはADM2へライトした場合，ADCRn, ADCRnHレジスタへ変換結果がライトされますが，A/D変換終了割り込み（INTAD）を発生しないタイミングがあります。

(7) 絶対精度

絶対精度の規格値はマイコン単体の特性であり，セット上の環境（ボード配線，ノイズの影響等）の影響は受けない場合の値です。セット上の環境による絶対精度の悪化を抑えるためには，AVDDやAVSSをディジタル系電源と分離したり，アナログ入力端子（ANI0-ANI7）がディジタル系信号の影響を受けないようにするなど，ボードのレイアウトには十分注意が必要です。

(8) 一定のA/Dコンバータ入力電圧を同一チャネルで複数回A/D変換した場合の変換結果

一定のA/Dコンバータ入力電圧を同一チャネルで複数回A/D変換した場合，理想的な環境（各電源電圧，アナログ入力電圧，周囲温度等が安定状態）において理論的には同じ変換結果が得られますが，実際にはノイズ等による各電源電圧変動，アナログ入力電圧変動，周囲温度変化などの影響で理想的な環境にならず，その結果同じ変換結果にならないことがあります。

特にアナログ入力電圧がディジタル値の変化点近傍の場合，非常に微妙な環境の影響でこの現象が現われやすくなります。

(9) ノイズ対策

アナログ入力端子（ANI0-ANI7）および基準電圧入力端子（AV_{REFP}, AV_{REFM}）にノイズがのる場合は，ノイズにより不正な変換結果が生じることがあります。

この不正な変換結果により，システムに悪影響を与えることを避けるために，ソフトウエア処理が必要です。

次にソフトウエア処理の例を示します。

・複数回のA/D変換結果の平均値を，A/D変換結果として使用する。
・複数回のA/D変換を連続して行い，特異な変換結果が得られた場合，この値を除外した変換結果を使用する。
・システムに異常が発生したと判断されるようなA/D変換結果が得られた場合，ただちに異常処理を行わず，再度異常発生を確認した上で異常処理を行う。

(10) カップリング・ノイズ

A/D変換中に端子へディジタル・パルスを印加したりディジタル・バッファの出力端子として動作したりすると，カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。

(11) 基板設計時の注意

共通インピーダンス，インダクタンスによる電位変動から来る制約として，基板設計時には，ディジタル信号とアナログ信号をできるだけ分離してください。またディジタル信号とアナログ信号を交差させたり，近接させるようなことはできるだけ避けてください。

AV_{SS}端子は基板上の安定したGNDと1点で接続（1点アース）してください。

(12) AV_{REFP}, AV_{REFM}端子

AV_{REFP}, AV_{REFM}端子への供給部のインピーダンスが高い場合や電源の電流供給能力が低い場合，基準電圧が変動し変換精度が悪くなるおそれがあります。これを避けるためにAV_{REFP}, AV_{REFM}端子とAV_{SS}端子間にコンデンサを接続することを推奨します。

(13) バイパス・コンデンサの接続

AV_{DD}，AV_{REFP}, AV_{REFM}端子に接続するバイパス・コンデンサは，チップ・コンデンサ等の高周波特性の良いものを使用し，できるだけデバイスの近くに接続してください。

(14) 再変換動作の安定時間

A/D安定時間中にA/D制御レジスタへの書き込みあるいは外部／タイマ・トリガを入力した場合，再変換動作の安定時間が長くなる場合があります。

(15) 安定時間中の再変換起動トリガ入力

安定時間終了タイミングとレジスタへの書き込みが競合，または安定時間終了タイミングとトリガの入力が競合した場合，安定時間が再挿入されます。

(16) A/D変換結果のばらつき

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は，A/D変換結果の平均値をとるなど，プログラムで対策してください。

（17）A/D変換のヒステリシス特性

逐次比較型A/Dコンバータは，内部のサンプル＆ホールド用コンデンサにアナログ入力電圧を保持し，そのあと，A/D変換を行います。A/D変換が終了したあとも，内部のサンプル＆ホールド用コンデンサには，アナログ入力電圧が残っています。このためアナログ入力源の出力インピーダンスが高いと次のような現象が起きることがあります。

- 同一チャネルでA/D変換を実行している場合，以前のA/D変換時よりも高い電圧，または低い電圧に変化していると，変換結果が以前の値に影響されるヒステリシス特性が現れ，同じ電位でも変換結果が異なる場合があります。
- アナログ入力チャネルを切り替える場合，1つのA/Dコンバータを用いてA/D変換を行っているため，変換結果が以前のチャネルの値に影響されるヒステリシス特性が現れ，同じ電位でも変換結果が異なる場合があります。

このため，より正確な変換結果を得たい場合は，アナログ入力源の出力インピーダンスを低くするか，または同一チャネルで2回連続A/D変換を行い，1回目の変換結果を廃棄してください。

12. 9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

（1）分 解 能

識別可能な最小アナログ入力電圧，つまり，ディジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB（Least Significant Bit）といいます。1LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次の式になります。

1%FSR =（変換可能なアナログ入力電圧の最大値－変換可能なアナログ入力電圧の最小値）/100

$= (AV_{REFP} - AV_{REFM}) / 100$

1LSBは分解能10ビットのとき，次のようになります。

$1LSB = 1/2^{10} = 1/1024$

$= 0.098$ %FSR

精度は分解能とは関係なく，総合誤差によって決まります。

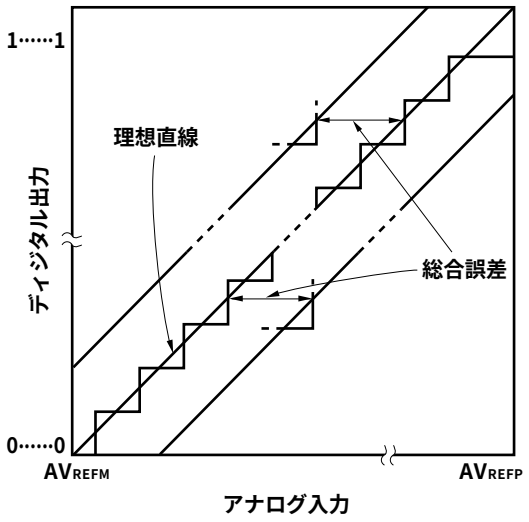
（2）総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，直線性誤差，およびそれらの組み合わせから生じる誤差を総合したものです。

なお，特性表の総合誤差には量子化誤差は含まれていません。

図12－15 総合誤差

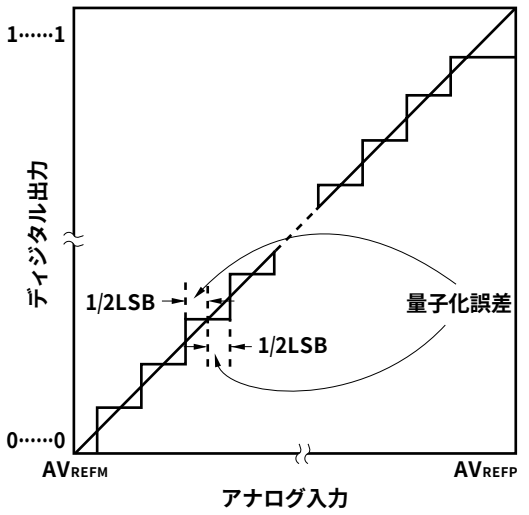


(3) 量子化誤差

アナログ値をディジタル値に変換するとき，必然的に生じる±1/2LSBの誤差です。A/Dコンバータでは，±1/2LSBの範囲にあるアナログ入力電圧は，同じディジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

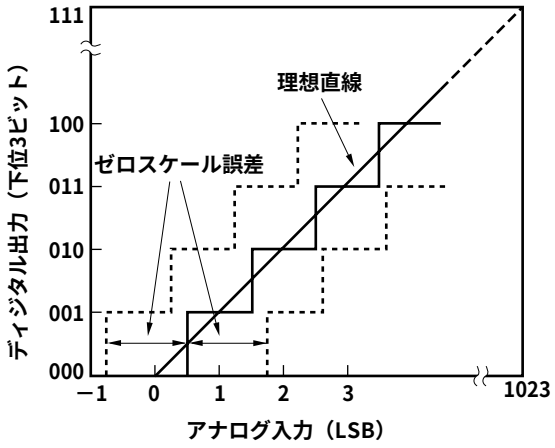
図12－16 量子化誤差



(4) ゼロスケール誤差

ディジタル出力が0……000から0……001に変化するときの，アナログ入力電圧の実測値と理論値（1/2LSB）との差を表します。

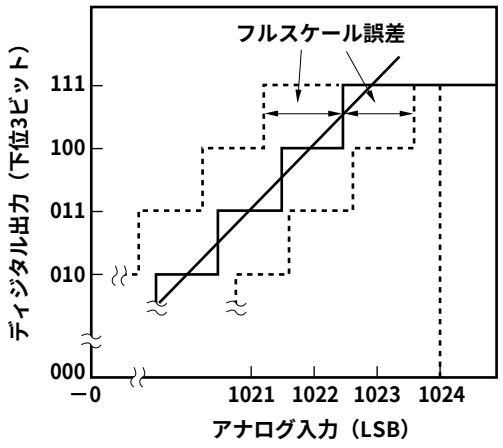
図12－17 ゼロスケール誤差



(5) フルスケール誤差

ディジタル出力が1……110から1……111に変化するときの，アナログ入力電圧の実測値と理論値（フルスケール－3/2LSB）との差を表します。

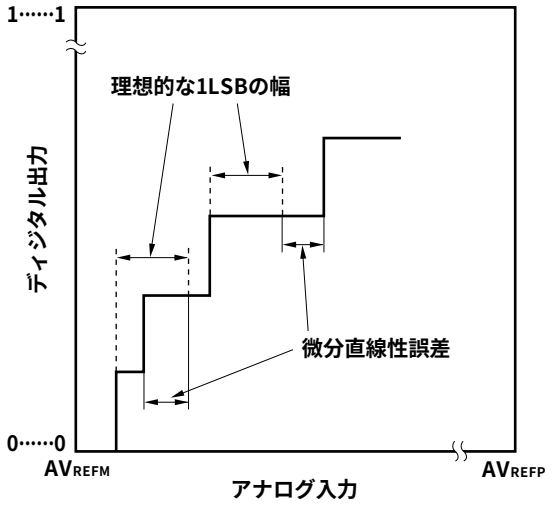
図12－18 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。

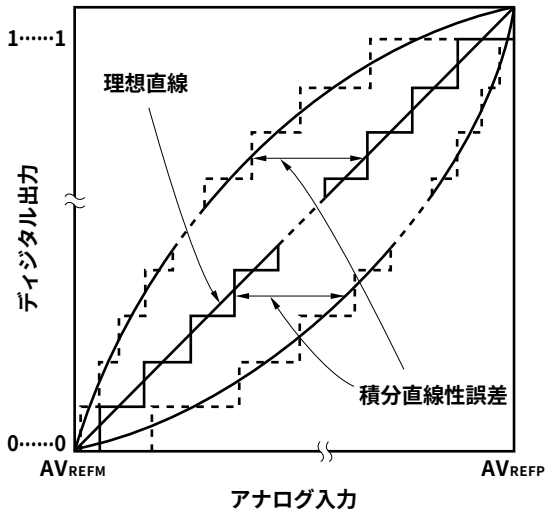
図12－19 微分直線性誤差



(7) 積分直線性誤差

変換特性が，理想的な直線関係から外れている程度を指します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

図12－20 積分直線性誤差



(8) 変換時間

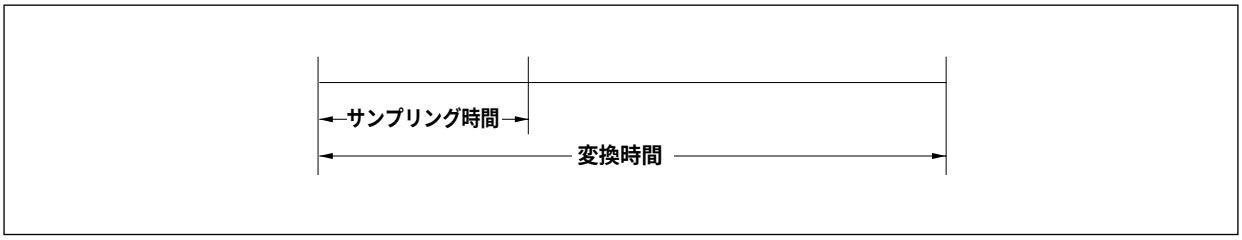
各トリガが発生してから，ディジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。

図12－21　サンプリング時間



第13章　PWMユニット

13. 1　特　　徴

○PWMn：2チャネル

○12-16ビットの精度を切り替え可能

○主パルス＋付加パルス構成によりロウ・パス・フィルタの小型化が可能

主パルス　　4/5/6/7/8ビット

付加パルス　　8ビット

○繰り返し周波数：129 kHz～2 MHz（f_{PWMC} = 33 MHz時），

○パルス幅書き換え周期選択：1パルスごと/256パルスごと

○PWM出力パルスのアクティブ・レベル選択可能

○PWM動作クロック（f_{PWMC}）：fx/4, fx/8, fx/16, fx/32から選択可能

備考1.　n = 0, 1

2.　f_{PWMC}　：PWM動作クロック

fx　　：メイン・クロック

13. 2　構　　成

このPWMnは，PWM出力を256個の主パルスで構成し，アクティブ・レベル幅をモジュロHレジスタnで設定します。

(1) プリスケーラ

fxを分周し，PWM動作クロック（f_{PWMC}）を生成します。プリスケーラ出力はPWMCnレジスタのCKSPn1, CKSPn0ビットでfx/4, fx/8, fx/16, fx/32から選択します（n = 0, 1）。

(2) リロード制御

モジュロ・レジスタ値のリロードを制御します。

リロード・タイミング（PWMパルス幅書き換え周期）はPWMCnレジスタのSYNnビットで$2^x/f_{PWMC}$か$2^{x+8}/f_{PWMC}$を選択します（n = 0, 1，x = 4-8（主パルスのビット長））。

(3) 主パルス生成／出力制御回路

主パルスの出力タイミングを制御します。

リロード制御部で生成されるリロード信号により，モジュロHレジスタnの値から主パルスを生成します（n = 0, 1）。

(4) 付加パルス生成／出力制御回路

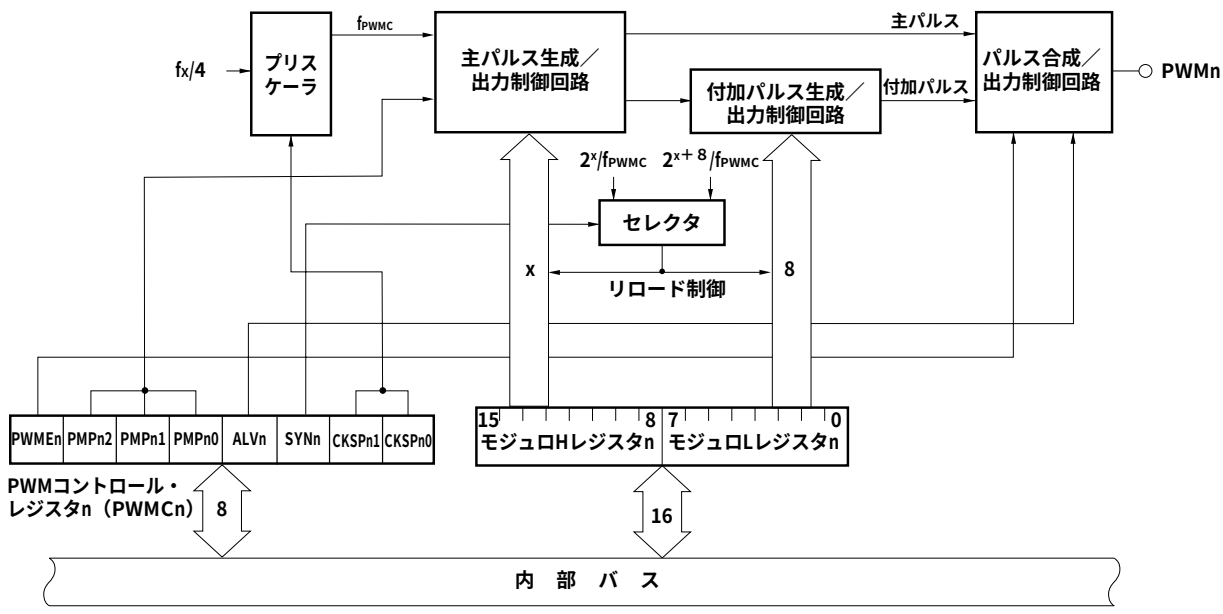
付加パルスの出力タイミングを制御します。

リロード制御部で生成されるリロード信号により，モジュロLレジスタnの値から付加パルスを生成します（n = 0, 1）。

(5) パルス合成／出力制御回路

主パルスと付加パルスを合成してPWMパルス信号出力のタイミングを制御します。

図13－1　PWMユニットのブロック図



備考1.　n = 0, 1

x = 4-8（PMPn2-PMPn0ビットで指定）

2.　f_{PWMC}　：PWM動作クロック

f_X　：メイン・クロック

13. 3　制御レジスタ

（1）PWMコントロール・レジスタ0, 1（PWMC0, PWMC1）

PWMCnレジスタは，PWMnの動作を制御するレジスタです（n = 0, 1）。

8/1ビット単位でリード／ライト可能です。

注意1.　PWM動作中（PWMEnビット = 1のとき）に，PMPn2-PMPn0, SYNn, CKSPn1, CKSPn0ビットの設定は変更しないでください。変更した場合の動作は保証しません。

2.　PWM動作中（PWMEnビット = 1のとき）に，ALVnビットを変更すると，ノイズが発生する可能性があるので注意してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PWMC0	PWME0	PMP02	PMP01	PMP00	ALV0	SYN0	CKSP01	CKSP00	FFFFFB00H	08H
PWMC1	PWME1	PMP12	PMP11	PMP10	ALV1	SYN1	CKSP11	CKSP10	FFFFFB10H	08H

ビット位置	ビット名	意　味
7	PWMEn	PWMnの動作の許可／禁止を指定します。 0：PWM動作禁止 PWM出力（PWMn）にインアクティブ・レベル出力 1：PWM動作許可
6-4	PMPn2- PMPn0	主パルス長指定ビット数と主パルス長を設定します。
3	ALVn	PWMnのアクティブ・レベルを指定します。 0：アクティブ・ロウ 1：アクティブ・ハイ リセット時にPWM出力は，ALVnビットのインアクティブ・レベル（ロウ・レベル）を出力します。
2	SYNn	PWMnのパルス幅書き換え周期を指定します。 0：大周期（PWM256サイクル（$2^{x+8}/f_{PWMC}$）ごと） 1：小周期（PWM1サイクル（$2^{x}/f_{PWMC}$）ごと）
1, 0	CKSPn1, CKSPn0	PWMnの動作クロックを設定します（f_{PWMC}）。

PMPn2	PMPn1	PMPn0	主パルス長指定ビット数	主パルス長
0	0	0	8ビット	2^8（256ビット）
0	0	1	7ビット	2^7（128ビット）
0	1	0	6ビット	2^6（64ビット）
0	1	1	5ビット	2^5（32ビット）
1	0	0	4ビット	2^4（16ビット）
その他			設定禁止	

CKSPn1	CKSPn0	動作クロック（f_{PWMC}）
0	0	fx/4
0	1	fx/8
1	0	fx/16
1	1	fx/32

備考1. n = 0, 1

x = 4-8（PMPn2-PMPn0ビットで指定）

2. fx：メイン・クロック

（2）PWMモジュロ・レジスタ0, 1（PWM0, PWM1）

PWMパルスのパルス幅を決定する16ビットのレジスタです。

16ビット単位でリード／ライト可能です。

PWMnレジスタの上位8ビットをPWMHnレジスタ，下位8ビットをPWMLnレジスタとして使用した場合は，8ビット単位でリード／ライト可能です。

①モジュロHレジスタn（PWMHn）：ビット15-ビット8

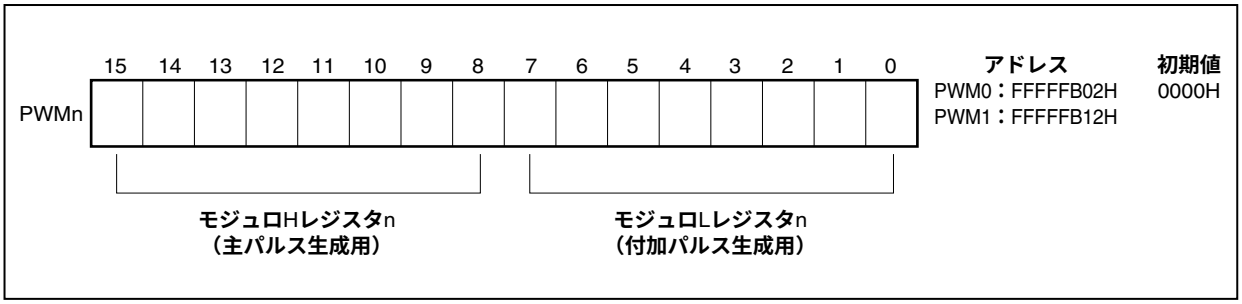
主パルスのアクティブ・レベル幅を設定するレジスタです。

アクティブ・レベル幅のデータは，PWMCnレジスタのPMPn2-PMPn0ビットで指定したビット長のみ有効になります。PMPn2-PMPn0ビットでカウンタに4-7ビットを選択した場合には，残りの上位ビットに入力したデータは無効になります。

②モジュロLレジスタn（PWMLn）：ビット7-ビット0

微調整を行うための付加パルスの付加タイミングをするレジスタです（図13ー2参照）。

なお，PWMnレジスタには，0000H-FFFFHの値を設定でき，PWM出力もリニアに変化します。0000Hの場合はインアクティブ・レベルを保持します。FFFFHの場合，1書き換え周期（$2^{16}/f_{PWMC}$）で1付加パルス分（$1/f_{PWMC}$）がインアクティブになります。（図13ー3参照）。



13. 4　動　　作

13. 4. 1　PWM基本動作

このPWMnは，全体を256個に分割しています。256個に分割された個々の部分を主パルスと呼び，4-8ビットの精度があります。必要な数の主パルスに動作クロックの1クロック分のパルス幅を持つ付加パルスを合成することで，12-16ビット精度の信号を実現しています。

主パルスは，PWMコントロール・レジスタn（PWMCn）のPMPn2-PMPn0ビットで設定し，パルス幅はモジュロHレジスタnの値（有効ビット数）です。PWMパルス出力の繰り返し周期は，PWMCnレジスタのCKSPn1, CKSPn0ビットで指定したPWMnの動作クロック（f_{PWMC}）を2^X分周（$f_{PWMC}/2^X$）した周期となります。

256個の主パルスのうち，モジュロLレジスタnに設定された値で示された個数の主パルスだけに付加パルスが生成されます。そのパルス幅は，$1/f_{PWMC}$となります。

この主パルスと付加パルスの論理和をPWMパルス信号として出力します。このためPWMパルス信号出力を256個出力したときの平均値が12-16ビット分解能のPWMパルス信号出力となります。

なお，PWMパルス出力のデューティは，PWMモジュロ・レジスタn（PWM0, PWM1）のモジュロHレジスタnに設定する値で次のように決定されます。

(1) 付加パルスが発生しない場合

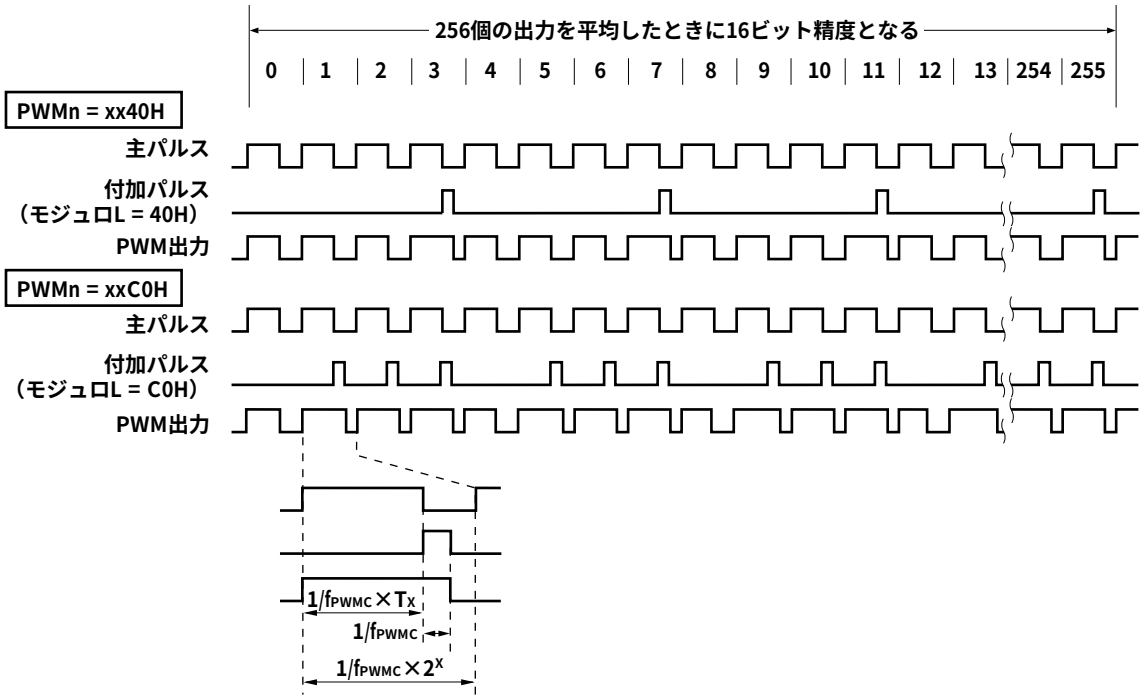
$$\text{PWMパルス出力のデューティ} = \frac{(\text{モジュロHレジスタnの値})}{2^x}$$

(2) 付加パルスが発生する場合

$$\text{PWMパルス出力のデューティ} = \frac{(\text{モジュロHレジスタnの値}) + 1}{2^x}$$

備考　x = 4-8（主パルスのビット長）

図13ー2 主パルスと付加パルスによるPWM出力例



備考1. n = 0, 1

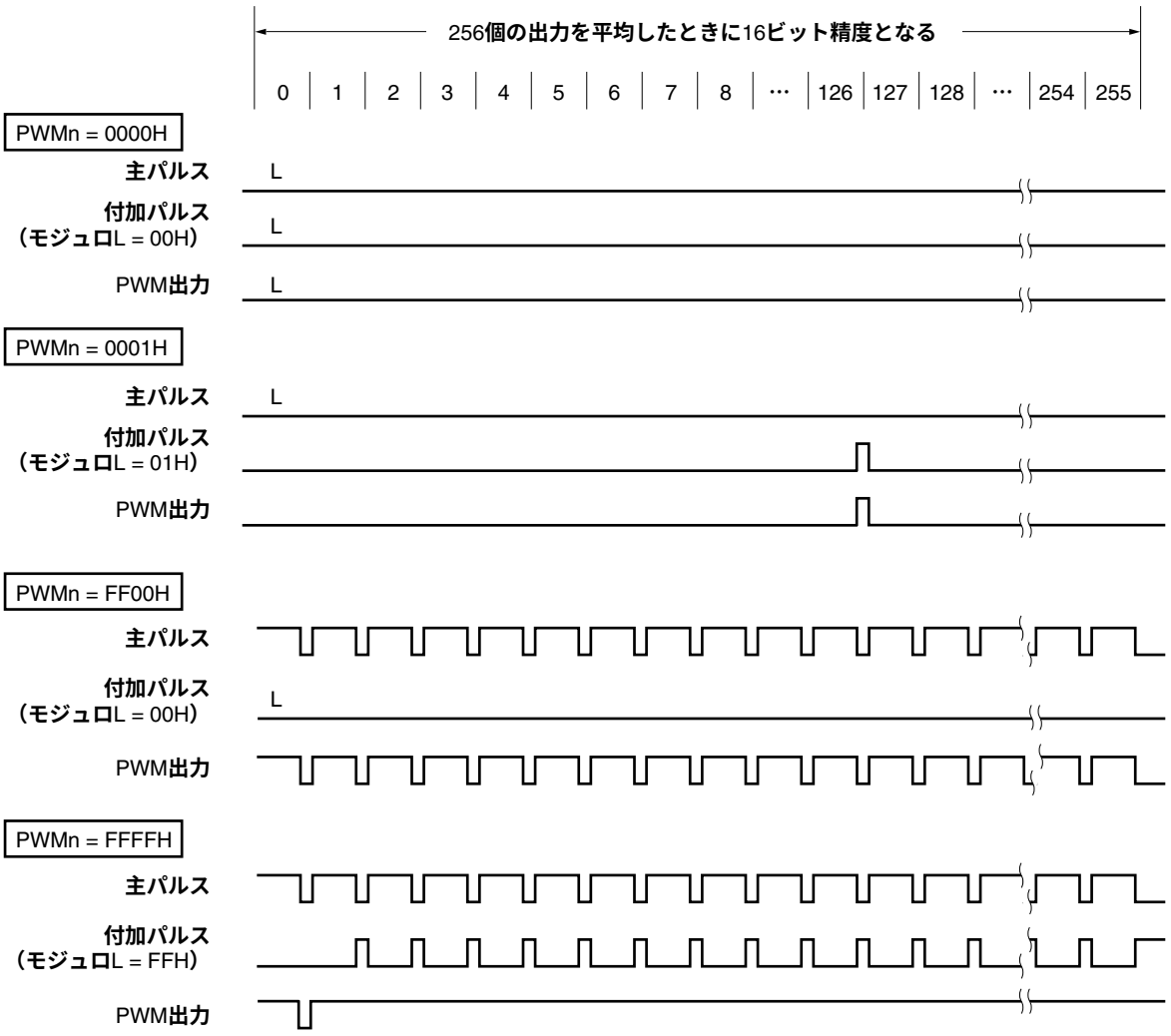
2. f_{PWMC} ：PWM動作クロック

T_x ：モジュロHレジスタnの値

x ：モジュロHレジスタnの有効ビット数（PWMCnレジスタのPMPn2-PMPn0ビットで指定）

アクティブ・レベル：ハイ・レベル

図13ー3 PWM出力動作例



備考1. n = 0, 1

2. **条件：モジュロHレジスタnの有効ビット数** = 8**ビット**

16**ビット精度**

アクティブ・レベル = ハイ・レベル

13. 4. 2 PWM動作の開始／停止

PWMパルスを出力するときは， PWMモジュロ・レジスタn（PWMn）にデータを設定したあと，PWMコントロール・レジスタn（PWMCn）のPWMEnビットをセット（1）します（n = 0, 1）。

これにより，PWM出力端子からは，PWMCnレジスタのALVnビットで指定されたアクティブ・レベルのPWMパルスが出力されます。

PWMCnレジスタのPWMEnビットをクリア（0）すると，PWM出力ユニットはただちにPWM出力動作を停止し，PWM出力端子はインアクティブになります。

（1）PWM動作開始時の設定

まずPWMnの動作を開始する前（PWMCnレジスタのPWMEnビット = 0時）に，次のレジスタを必ず初期設定してください。

- PMCDH, PFCDHレジスタ ：コントロール・モードの設定
- PWMnレジスタ ：パルス幅の設定
- PWMCnレジスタ ：
  - CKSPn1,CKSPn0ビット：動作クロック（f_{PWMC}）の指定（fx/4, fx/8, fx/16, fx/32）
  - PMPn2-PMPn0ビット ：主パルスのビット長（x）の指定
  - ALVnビット ：PWMパルスのアクティブ・レベルの指定
  - SYNnビット ：PWMパルス幅書き換え周期の指定

注意1. PWMCnレジスタのPWMEnビット = 1のとき，PMPn2-PMPn0, SYNn, CKSPn1, CKSPn0ビットの設定は変更しないでください。変更した場合の動作は保証しません。

2. PWM動作中（PWMEnビット = 1のとき）に，ALVnビットを変更すると，ノイズが発生する可能性があるので注意してください。

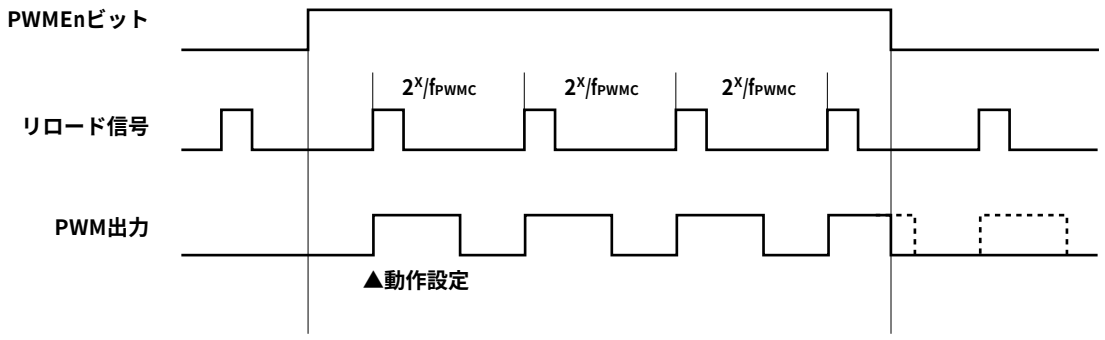
備考 n = 0, 1

PWMCnレジスタのPWMEnビットをセットすると，PWMnが動作を開始します。ただし動作開始直後は，PWMnレジスタのリロード信号発生タイミングまで，PWM端子はポート・モードの状態（インアクティブ・レベル）を維持します。また，動作開始後は，SYNnビットの設定によらず，リロード信号発生タイミングでPWM出力がアクティブ・レベルになります（PWMn = 00xxH以外）。パルス幅の書き換えタイミングを2^{x+8}（大周期：SYNnビット = 0）に設定すると，PWMEnビットをセットしてから最大$2^{x+8}/f_{PWMC}$後に動作を開始します。なお，PWMnレジスタは，PWM出力中でも書き換えられます。

（2）PWM動作停止時の設定

PWMCnレジスタのPWMEnビットをクリア（0）すると，すぐにPWM動作が停止します（n = 0, 1）。PWM出力はただちに，インアクティブ・レベルとなります。

図13ー4　PWM動作タイミング



備考1.　n = 0, 1

x = 4-8（PWMCnレジスタのPMPn2-PMPn0ビットで指定）

2.　f_{PWMC}：PWM動作クロック

13. 4. 3　PWMパルスのアクティブ・レベルの設定

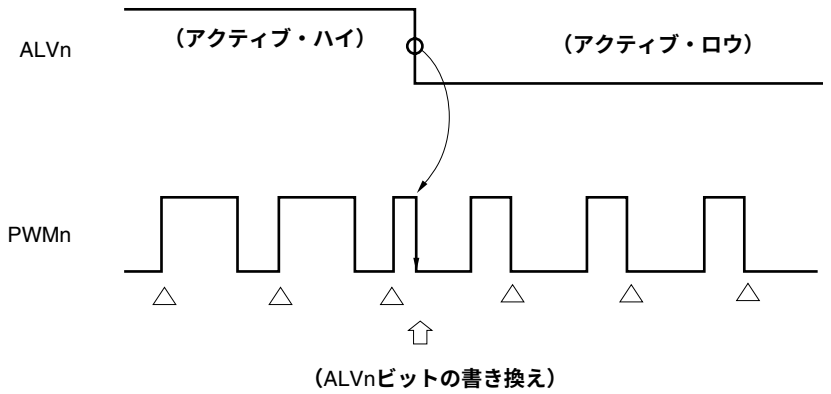
PWMコントロール・レジスタn（PWMCn）のALVnビットは，PWM出力端子から出力されるPWMパルスのアクティブ・レベルを指定します（n = 0, 1）。

ALVnビットをセット（1）すると，アクティブ・ハイのパルスを出力し，クリア（0）するとアクティブ・ロウのパルスを出力します。

ALVnビットを書き換えると，ただちにPWM出力のアクティブ・レベルが変化します。次に，PWM出力のアクティブ・レベル設定と端子状態を示します。

なお，PWMEnビット（PWM許可／禁止）の設定にかかわらず，ALVnビットの操作でPWM出力のアクティブ・レベルを変更できます。

図13－5　PWM出力のアクティブ・レベル設定



備考　n = 0, 1

13. 4. 4 PWMパルス幅書き換え周期の指定

PWM出力の開始，およびパルス幅の変更は，PWMパルス256サイクル（$2^{x+8}/f_{PWMC}$）ごと，あるいは，PWMパルス1サイクル（$2^{x}/f_{PWMC}$）ごとの，いずれかに同期して行われます。このPWMパルス幅書き換え周期の指定は，PWMCnレジスタのSYNnビットで行います（n = 0, 1）。

SYNnビットをクリア（0）すると，パルス幅の変更は，PWMパルス256サイクル（$2^{x+8}/f_{PWMC}$）ごと（大周期）に行われます。したがって，PWMnレジスタに書き込まれたデータに対応する幅のパルスを出力するようになるまでには，最大2^{x+8}クロックかかります。

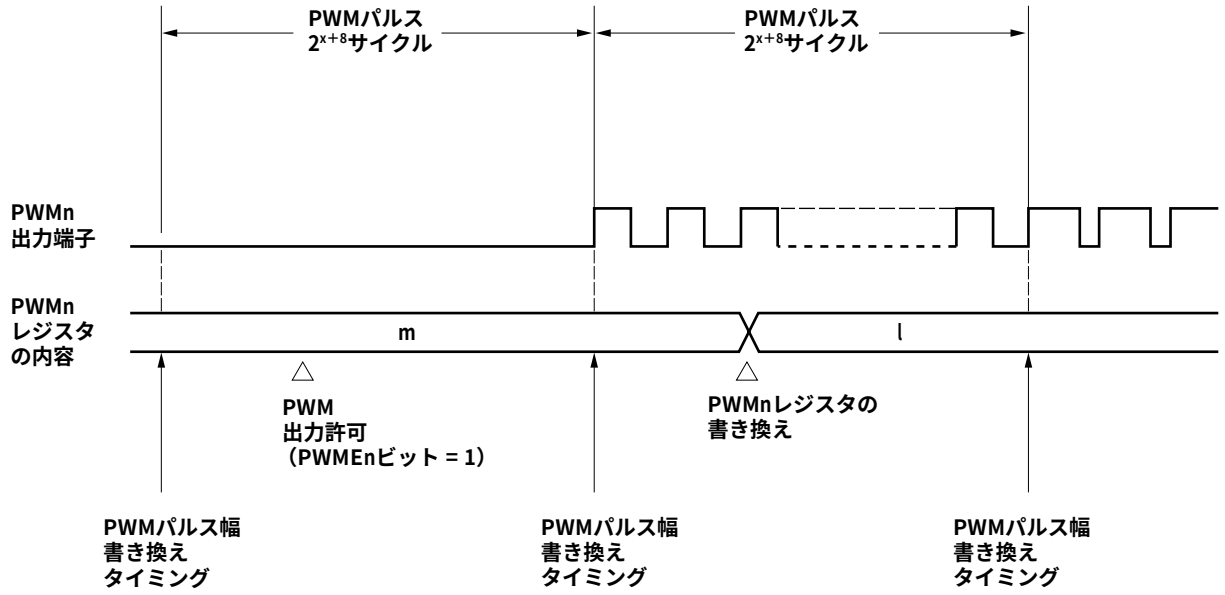
このときのPWM出力タイミング例を図13－6に示します。

一方，SYNnビットをセット（1）すると，パルス幅の変更は，PWMパルス1サイクル（$2^{x}/f_{PWMC}$）ごと（小周期）に行われます。この場合，PWMnレジスタに書き込まれたデータに対応する幅のパルスを出力するようになるまでには，最大2^{x}クロックとなります。

なお，PWMパルス書き換え周期を，$2^{x}/f_{PWMC}$ごとに指定した場合，（SYNnビットをセット（1）した場合），得られるPWMパルスの精度はxビット以上，（x＋8）ビット以下となり，書き換え周期を$2^{x+8}/f_{PWMC}$に指定したときよりも精度が低下しますが，繰り返し周期が上がるため応答性はよくなります。

書き換えタイミングが$2^{x}/f_{PWMC}$の場合のPWM出力タイミング例を，図13－7に示します。

図13－6 PWM出力タイミング例1（PWMパルス幅書き換え周期$2^{x+8}/f_{PWMC}$）

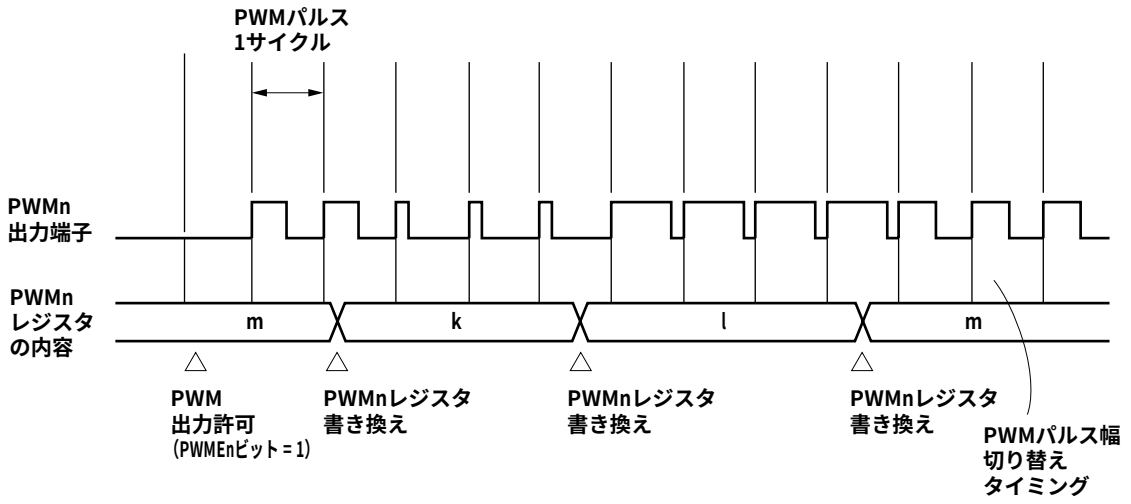


注意1. パルス幅の書き換えは，PWMパルス256サイクルごとに行われます。

2. PWMパルスの精度は，（x＋8）ビット。

備考 n = 0, 1

図13ー7 PWM出力タイミング例2（PWMパルス幅書き換え周期$2^x/f_{PWMC}$）



注意1. パルス幅の書き換えは，PWMパルス1サイクルごとに行われます。

2. PWMパルスの精度は，xビット以上，（x＋8）ビット以下。

備考1. k, l, mはPWMnレジスタの内容

2. n = 0, 1

13. 4. 5 繰り返し周期

PWMnの繰り返し周期を次に示します（n = 0, 1）。

表13ー1 PWMnの繰り返し周期

主パルス精度	付加パルス精度	繰り返し周期	パルス幅書き換え周期	
			大周期（SYNnビット= 0）	小周期（SYNnビット= 1）
4ビット	8ビット	$16/f_{PWMC}$	$2^{12}/f_{PWMC}$	$2^{4}/f_{PWMC}$
5ビット	8ビット	$32/f_{PWMC}$	$2^{13}/f_{PWMC}$	$2^{5}/f_{PWMC}$
6ビット	8ビット	$64/f_{PWMC}$	$2^{14}/f_{PWMC}$	$2^{6}/f_{PWMC}$
7ビット	8ビット	$128/f_{PWMC}$	$2^{15}/f_{PWMC}$	$2^{7}/f_{PWMC}$
8ビット	8ビット	$256/f_{PWMC}$	$2^{16}/f_{PWMC}$	$2^{8}/f_{PWMC}$

備考1. n = 0, 1

2. f_{PWMC}：PWM動作クロック

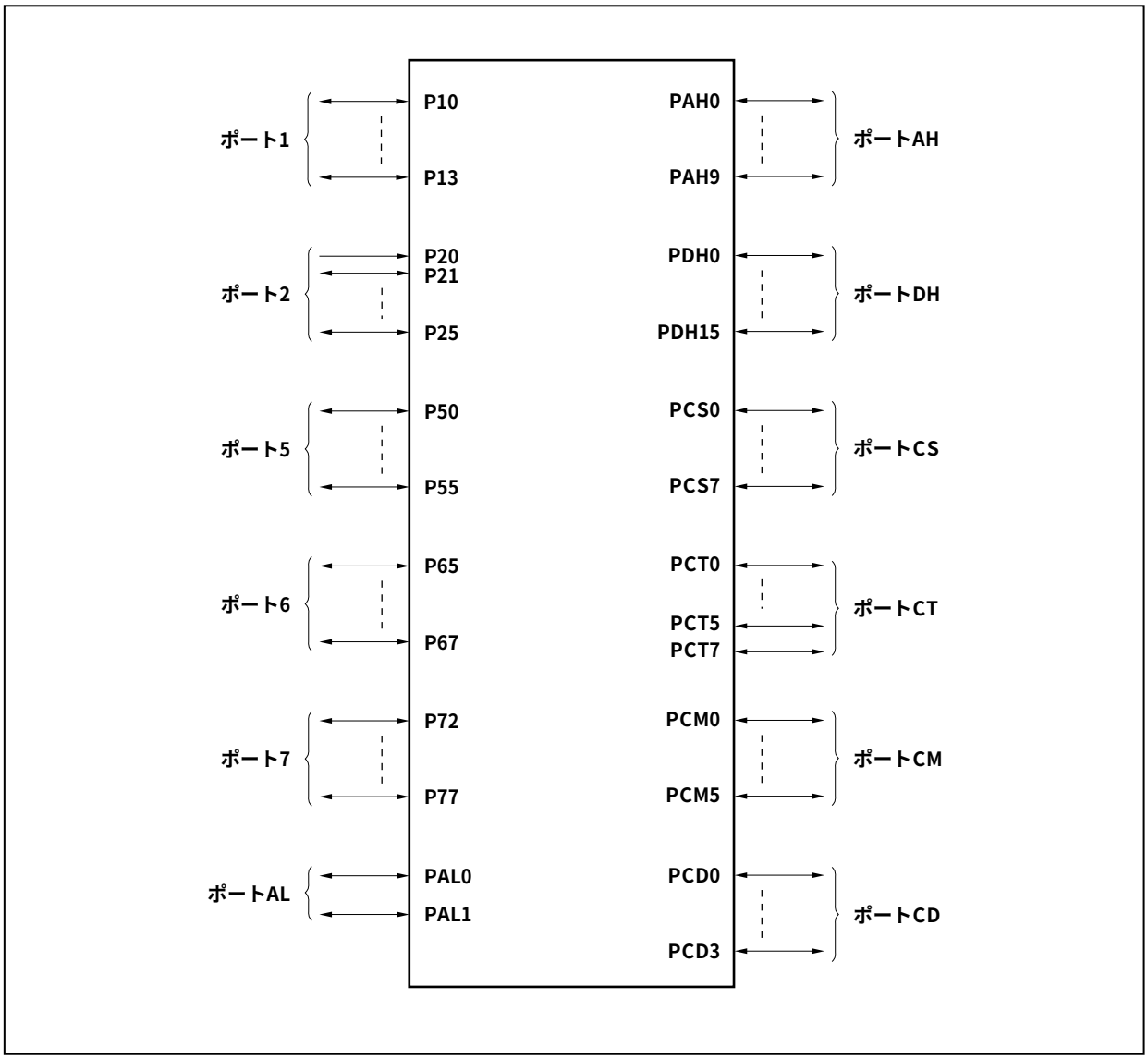
第14章　ポート機能

14. 1　特　　徴

○入力専用ポート　：1本
　入出力ポート　　：77本
○ほかの周辺機能の入出力端子と兼用
○ビット単位で入力／出力指定可能

14. 2　ポートの基本構成

V850E/ME2は，ポート1, 2, 5-7, AL, AH, DH, CS, CT, CM, CDの合計78本の入力／出力ポート（うち1本は入力専用ポート）を内蔵しています。ポートの構成を次に示します。



(1) 各ポートの機能

V850E/ME2のポートには，次に示すような種類があります。どのポートも8/1ビット単位の操作が可能で，多様な制御を行うことができます。また，ポートとしての機能のほかにコントロール・モードとして内蔵周辺I/Oの入出力端子としての機能を持っています。

各ポートのブロック・タイプについては，(3) ポートのブロック図を参照してください。

ポート名	端子名	ポート機能	コントロール・モード時の機能	ブロック・タイプ
ポート1	P10-P13	4ビット入出力	シリアル・インタフェース入出力（CSI30, UARTB0） 外部割り込み入力 USBクロック信号入力	F-1, F-3, H-1, J-1
ポート2	P20-P25	1ビット入力， 5ビット入出力	NMI入力 シリアル・インタフェース入出力（CSI31, UARTB1） 外部割り込み入力	A-1, F-4, G-2, H-1
ポート5	P50-P55	6ビット入出力	DMAコントローラ入出力 外部割り込み入力 タイマ／カウンタ入出力	F-2, F-3, G-1, G-2, J-1
ポート6	P65-P67	3ビット入出力	タイマ／カウンタ入出力 外部割り込み入力	L-3, L-5
ポート7	P72-P77	6ビット入出力	DMAコントローラ入出力 タイマ／カウンタ入出力 外部割り込み入力	L-1, L-2, L-4
ポートAL	PAL0, PAL1	2ビット入出力	外部アドレス・バス（A0, A1） 外部割り込み入力	G-3
ポートAH	PAH0-PAH9	10ビット入力	外部アドレス・バス（A16-A25）	D-2
ポートDH	PDH0-PDH15	16ビット入出力	外部データ・バス（D16-D31） 外部割り込み入力 PWM出力 タイマ／カウンタ入出力	M-1, M-2, M-3
ポートCS	PCS0-PCS7	8ビット入出力	外部バス・インタフェース制御信号出力	D-2, J-2
ポートCT	PCT0-PCT5, PCT7	7ビット入出力	外部バス・インタフェース制御信号出力	D-2, J-3
ポートCM	PCM0-PCM5	6ビット入出力	ウエイト挿入信号入力 外部バス・インタフェース制御信号入出力 セルフ・リフレッシュ要求信号入力 A/Dコンバータ外部トリガ入力	C-1, D-1, D-2, F-5
ポートCD	PCD0-PCD3	4ビット入出力	外部バス・インタフェース制御信号出力 バス・クロック出力	D-1, D-2

注意1. コントロール・モード時に，出力または入出力端子として動作するポートをコントロール・モードに切り替える場合は，必ず次に示す手順で設定を行ってください。

① コントロール・モードで出力する信号のインアクティブ・レベルをポートnの該当するビットに設定します（n = 1, 2, 5-7, AL, AH, DH, CS, CT, CM, CD）。

② ポートnモード・コントロール・レジスタ（PMCn）により，コントロール・モードに切り替えます。

上記の①を行わない場合は，ポート・モードからコントロール・モードに切り替える際にポートnの内容が一瞬出力されることがあります。

2. ビット操作命令（SET1, CLR1, NOT1）でポート操作を行う場合，ポートに対してバイト・データ・リードを行い，操作対象のビットのみデータの加工を行い，変換後のバイト・データをポートに書き戻します。
たとえば，入力／出力が混在しているポートでは，操作対象ビット以外のビットにも出力ラッチの内容が上書きされるため，入力端子の出力ラッチは不定になります（ただし，入力モードの場合，出力バッファがオフしているため，端子状態は変化しません）。
したがって，ポートを入力から出力に切り替える場合は，該当するビットに出力期待値を設定してから，出力ポートに切り替えてください。また，コントロール・モードと出力ポートが混在する場合も同様です。

(2) 各ポート端子のリセット時の機能とポート／コントロール・モードを設定するレジスタ

(1/3)

ポート名	端子名	リセット時の端子機能	モードを設定するレジスタ
ポート1	P10/$\overline{\text{INTP10}}$/UCLK	P10（入力モード）	PMC1, PFC1
	P11/$\overline{\text{INTP11}}$/$\overline{\text{SCK0}}$	P11（　〃　）	
	P12/SI0/RXD0	P12（　〃　）	
	P13/SO0/TXD0	P13（　〃　）	
ポート2	P20/NMI	NMI	–
	P21/$\overline{\text{INTP21}}$/RXD1	P21（入力モード）	PMC2, PFC2
	P22/$\overline{\text{INTP22}}$/TXD1	P22（　〃　）	
	P23/$\overline{\text{INTP23}}$/$\overline{\text{SCK1}}$	P23（　〃　）	
	P24/$\overline{\text{INTP24}}$/SI1	P24（　〃　）	
	P25/$\overline{\text{INTP25}}$/SO1	P25（　〃　）	
ポート5	P50/$\overline{\text{INTP50}}$/$\overline{\text{DMARQ0}}$	P50（入力モード）	PMC5, PFC5
	P51/$\overline{\text{INTP51}}$/$\overline{\text{DMAAK0}}$	P51（　〃　）	
	P52/$\overline{\text{INTP52}}$/$\overline{\text{TC0}}$	P52（　〃　）	
	P53/INTPC00/TIC0/$\overline{\text{DMARQ1}}$	P53（　〃　）	
	P54/INTPC01/$\overline{\text{DMAAK1}}$	P54（　〃　）	
	P55/TOC0/$\overline{\text{TC1}}$	P55（　〃　）	
ポート6	P65/$\overline{\text{INTP65}}$/INTPC10/TIC1	P65（入力モード）	PMC6, PFC6
	P66/$\overline{\text{INTP66}}$/INTPC11	P66（　〃　）	
	P67/$\overline{\text{INTP67}}$/TOC1	P67（　〃　）	
ポート7	P72/INTPC20/TIC2/$\overline{\text{DMARQ2}}$	P72（入力モード）	PMC7, PFC7
	P73/INTPC21/$\overline{\text{DMAAK2}}$	P73（　〃　）	
	P74/TOC2/$\overline{\text{TC2}}$	P74（　〃　）	
	P75/INTPC30/TIC3/$\overline{\text{DMARQ3}}$	P75（　〃　）	
	P76/INTPC31/$\overline{\text{DMAAK3}}$	P76（　〃　）	
	P77/TOC3/$\overline{\text{TC3}}$	P77（　〃　）	

(2/3)

ポート名	端子名	リセット時の端子機能	モードを設定するレジスタ
★ ポート AL	PAL0/$\overline{\text{INTPL0}}$/A0	PAL0	PMCAL, PFCALL
	PAL1/$\overline{\text{INTPL1}}$/A1	A1	
ポート AH	PAH0/A16-PAH9/A25	A16-A25	PMCAH
ポート CS	PCS0/$\overline{\text{CS0}}$	$\overline{\text{CS0}}$	PMCCS
	PCS1/$\overline{\text{CS1}}$	$\overline{\text{CS1}}$	
	PCS2/$\overline{\text{CS2}}$/$\overline{\text{IOWR}}$	$\overline{\text{CS2}}$	PMCCS, PFCCS
	PCS3/$\overline{\text{CS3}}$	$\overline{\text{CS3}}$	PMCCS
	PCS4/$\overline{\text{CS4}}$	$\overline{\text{CS4}}$	
	PCS5/$\overline{\text{CS5}}$/$\overline{\text{IORD}}$	$\overline{\text{CS5}}$	PMCCS, PFCCS
	PCS6/$\overline{\text{CS6}}$	$\overline{\text{CS6}}$	PMCCS
	PCS7/$\overline{\text{CS7}}$	$\overline{\text{CS7}}$	
ポート CT	PCT0/$\overline{\text{LLWR}}$/$\overline{\text{LLBE}}$/LLDQM	$\overline{\text{LLWR}}$/LLDQM	PMCCT, PFCCT
	PCT1/$\overline{\text{LUWR}}$/$\overline{\text{LUBE}}$/LUDQM	$\overline{\text{LUWR}}$/LUDQM	
	PCT2/$\overline{\text{ULWR}}$/$\overline{\text{ULBE}}$/ULDQM	$\overline{\text{ULWR}}$/ULDQM	
	PCT3/$\overline{\text{UUWR}}$/$\overline{\text{UUBE}}$/UUDQM	$\overline{\text{UUWR}}$/UUDQM	
	PCT4/$\overline{\text{RD}}$	$\overline{\text{RD}}$	PMCCT
	PCT5/$\overline{\text{WE}}$/$\overline{\text{WR}}$	$\overline{\text{WE}}$/$\overline{\text{WR}}$	
	PCT7/$\overline{\text{BCYST}}$	$\overline{\text{BCYST}}$	
ポート CM	PCM0/$\overline{\text{WAIT}}$	$\overline{\text{WAIT}}$	PMCCM
	PCM1	–	–
	PCM2/$\overline{\text{HLDAK}}$	$\overline{\text{HLDAK}}$	PMCCM
	PCM3/$\overline{\text{HLDRQ}}$	$\overline{\text{HLDRQ}}$	
	PCM4/$\overline{\text{REFRQ}}$	$\overline{\text{REFRQ}}$	
	PCM5/$\overline{\text{SELFREF}}$/ADTRG	$\overline{\text{SELFREF}}$	PMCCM, PFCCM
ポート CD	PCD0/SDCKE	SDCKE	PMCCD
	PCD1/BUSCLK	BUSCLK	
	PCD2/$\overline{\text{SDCAS}}$	$\overline{\text{SDCAS}}$	
	PCD3/$\overline{\text{SDRAS}}$	$\overline{\text{SDRAS}}$	

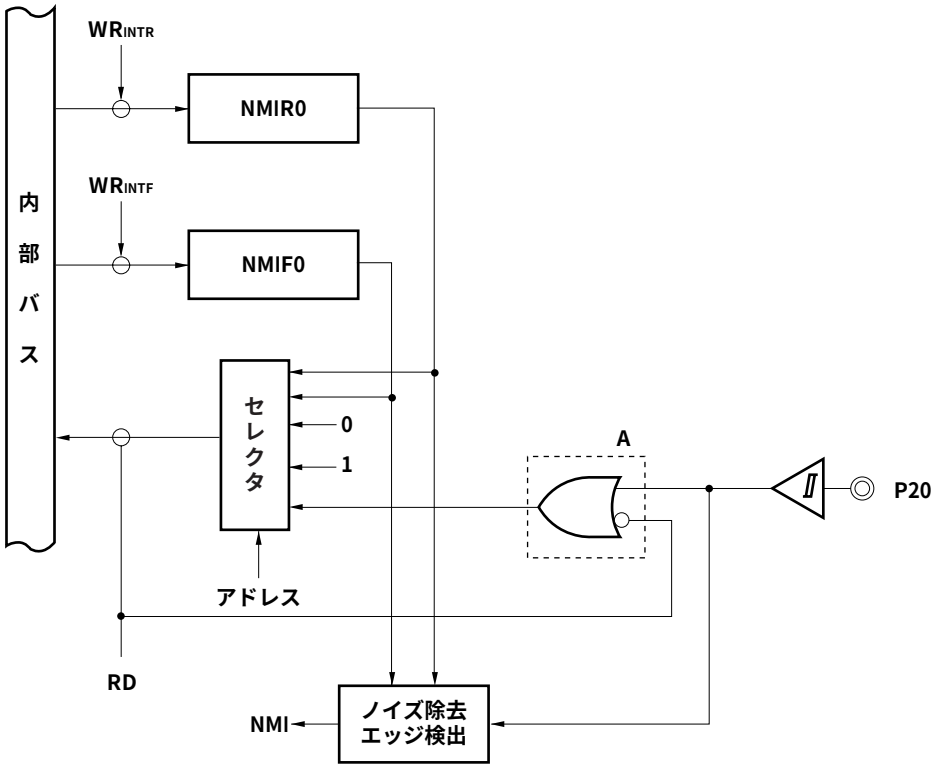
(3/3)

ポート名	端子名	リセット時の端子機能		モードを設定するレジスタ
		16ビット・モード時注	32ビット・モード時注	
ポート DH	PDH0/D16/$\overline{\text{INTPD0}}$	PDH0（入力モード）	D16	PMCDH
	PDH1/D17/$\overline{\text{INTPD1}}$	PDH1（　〃　）	D17	
	PDH2/D18/$\overline{\text{INTPD2}}$/TOC4	PDH2（　〃　）	D18	PMCDH, PFCDH
	PDH3/D19/$\overline{\text{INTPD3}}$	PDH3（　〃　）	D19	PMCDH
	PDH4/D20/$\overline{\text{INTPD4}}$	PDH4（　〃　）	D20	
	PDH5/D21/$\overline{\text{INTPD5}}$/TOC5	PDH5（　〃　）	D21	PMCDH, PFCDH
	PDH6/D22/$\overline{\text{INTPD6}}$/INTP100/TCUD10	PDH6（　〃　）	D22	
	PDH7/D23/$\overline{\text{INTPD7}}$/INTP101/TCLR10	PDH7（　〃　）	D23	
	PDH8/D24/$\overline{\text{INTPD8}}$/TO10	PDH8（　〃　）	D24	
	PDH9/D25/$\overline{\text{INTPD9}}$/TIUD10	PDH9（　〃　）	D25	
	PDH10/D26/$\overline{\text{INTPD10}}$/INTP110/TCUD11	PDH10（　〃　）	D26	
	PDH11/D27/$\overline{\text{INTPD11}}$/INTP111/TCLR11	PDH11（　〃　）	D27	
	PDH12/D28/$\overline{\text{INTPD12}}$/TO11	PDH12（　〃　）	D28	
	PDH13/D29/$\overline{\text{INTPD13}}$/TIUD11	PDH13（　〃　）	D29	
	PDH14/D30/$\overline{\text{INTPD14}}$/PWM0	PDH14（　〃　）	D30	
	PDH15/D31/$\overline{\text{INTPD15}}$/PWM1	PDH15（　〃　）	D31	

注　動作モードの詳細については3. 3. 2　**動作モード指定を参照してください。**

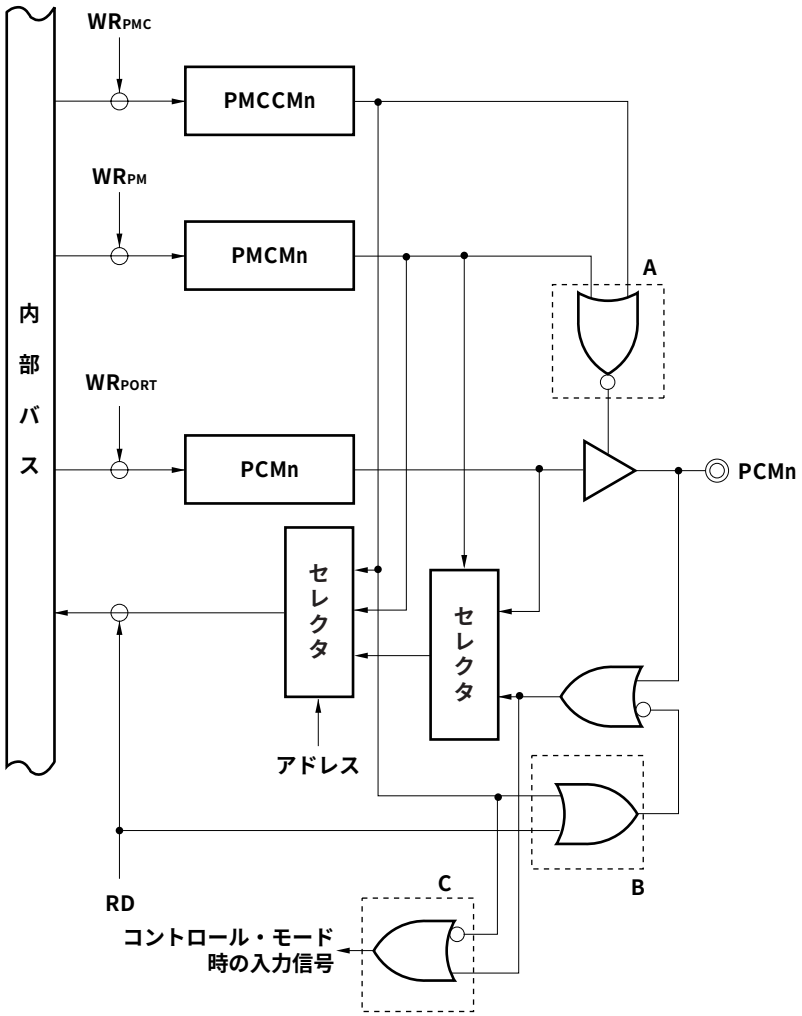
(3) ポートのブロック図

図14ー1　タイプA-1のブロック図



備考　A：リード・サイクル以外はマスク

図14－2　タイプC-1のブロック図



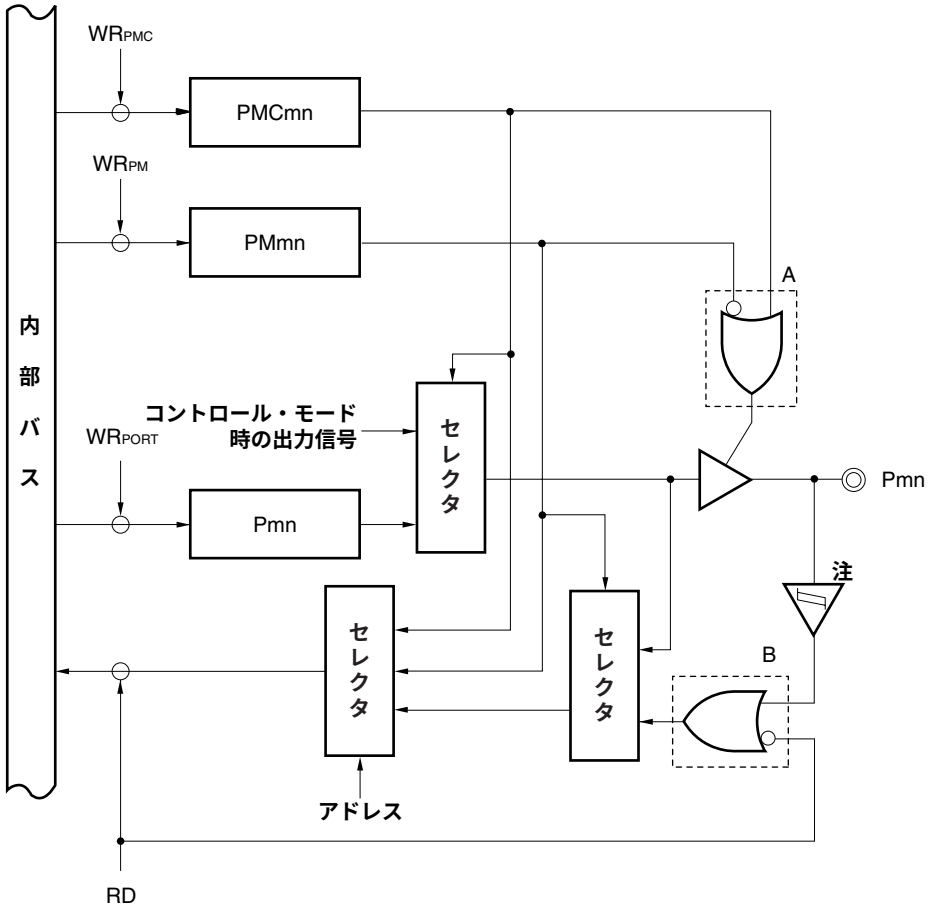
備考1.　n = 0, 3

2.　A：**出力ポート・モード時はアクティブ**

B：**ポート・モード時のリード・サイクルまたはコントロール・モード時はアクティブ**

C：**ポート・モード時はマスク**

★ **図14－3　タイプD-1のブロック図**



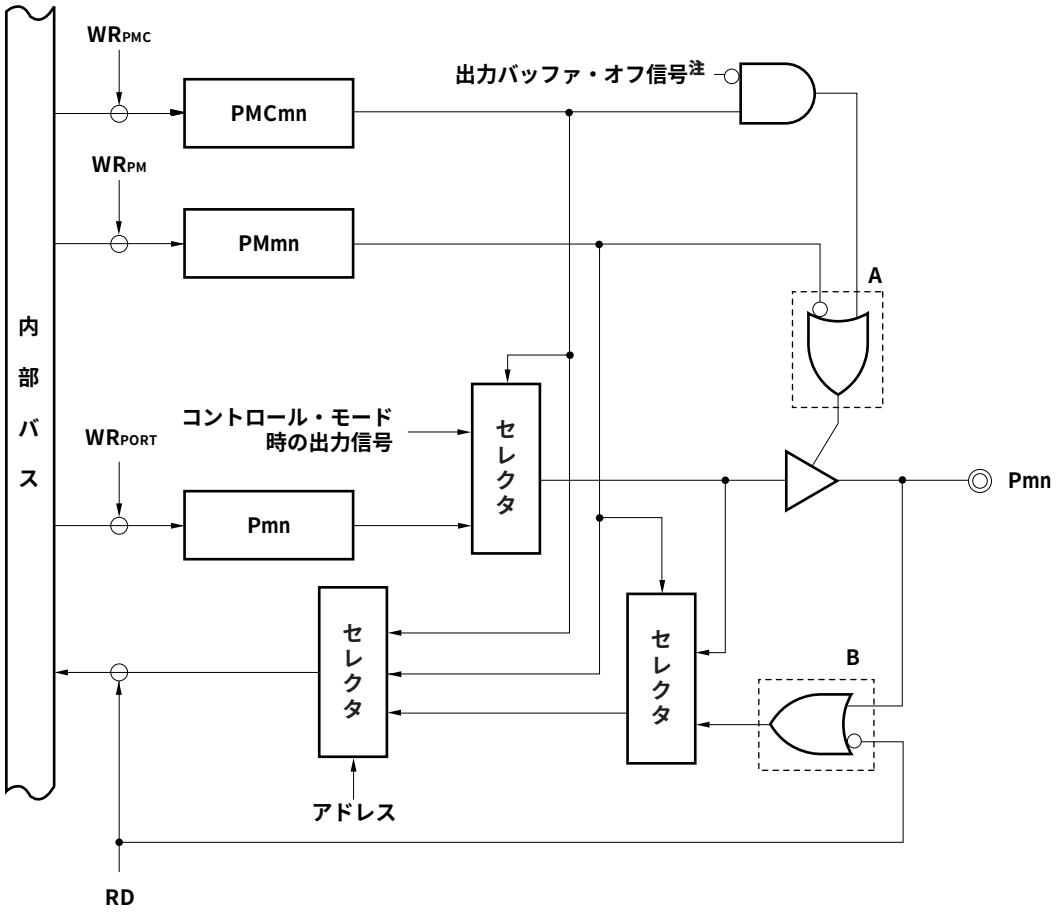
注　PMC1端子の場合

備考1.　mn = CM1, CD1

2.　A：**出力ポート・モードまたはコントロール・モード時はアクティブ**

B：**リード・サイクル以外はマスク**

図14ー4　タイプD-2のブロック図



注　PAH0-PAH9時：

IDLEモード，ソフトウエアSTOPモード，バス・ホールドおよびリセット時にアクティブになる信号

PCS0, PCS1, PCS3, PCS4, PCS6, PCS7,PCD2, PCD3, PCT4, PCT5, PCT7時：

バス・ホールドおよびリセット時にアクティブになる信号

PCM2, PCM4, PCD0時：

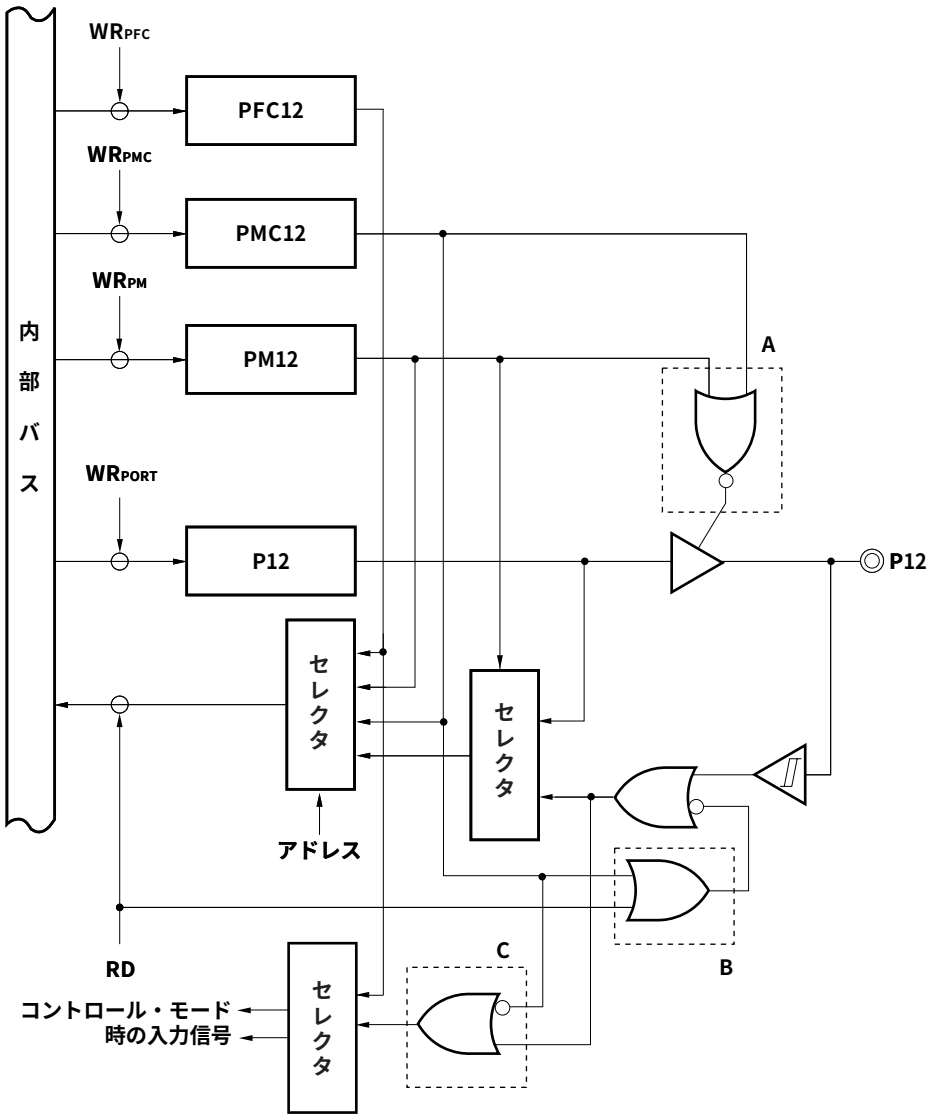
リセット時にアクティブになる信号

備考1.　mn = AH0-AH9, CS0, CS1, CS3, CS4, CS6, CS7, CT4, CT5, CT7, CM2, CM4, CD0, CD2, CD3

2.　A：出力ポート・モードまたはコントロール・モード時はアクティブ

B：リード・サイクル以外はマスク

図14－5　タイプF-1のブロック図

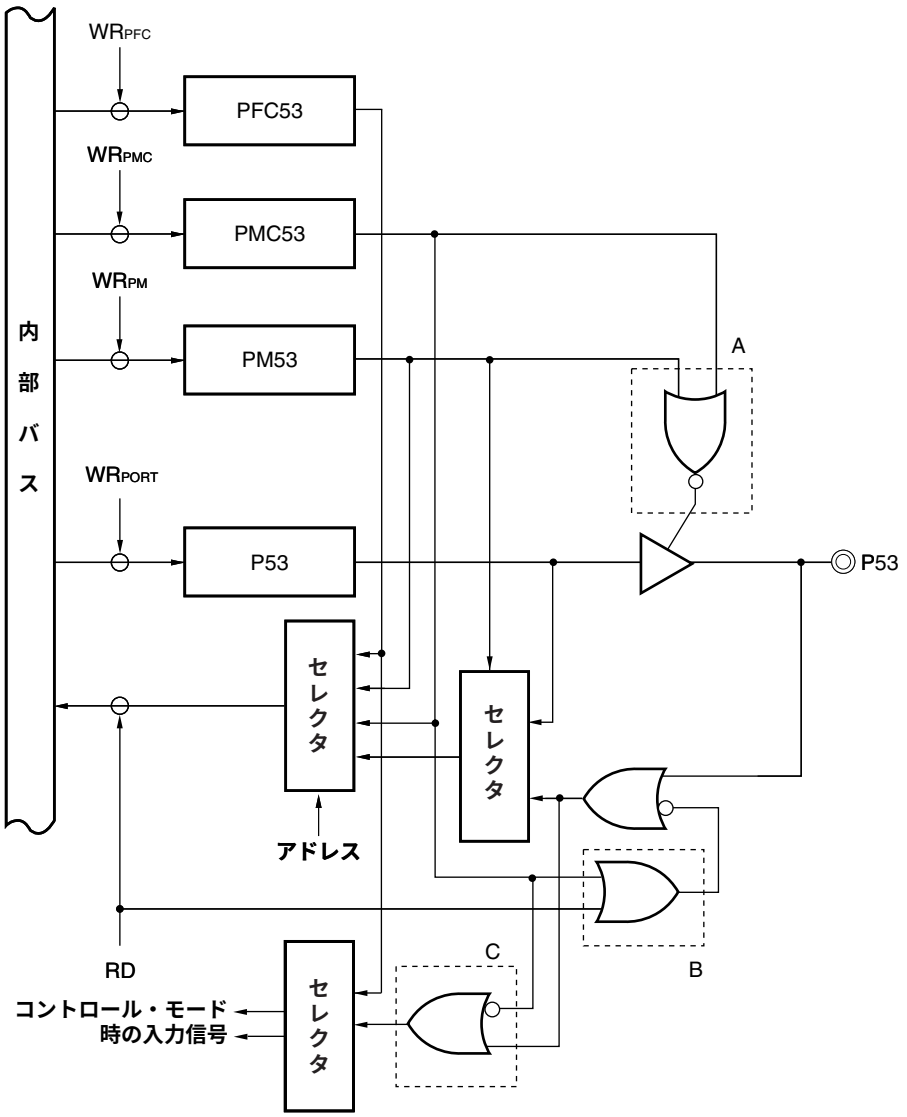


備考　A：出力ポート・モード時はアクティブ

B：ポート・モード時のリード・サイクルまたはコントロール・モード時はアクティブ

C：ポート・モード時はマスク

図14－6　タイプF-2のブロック図

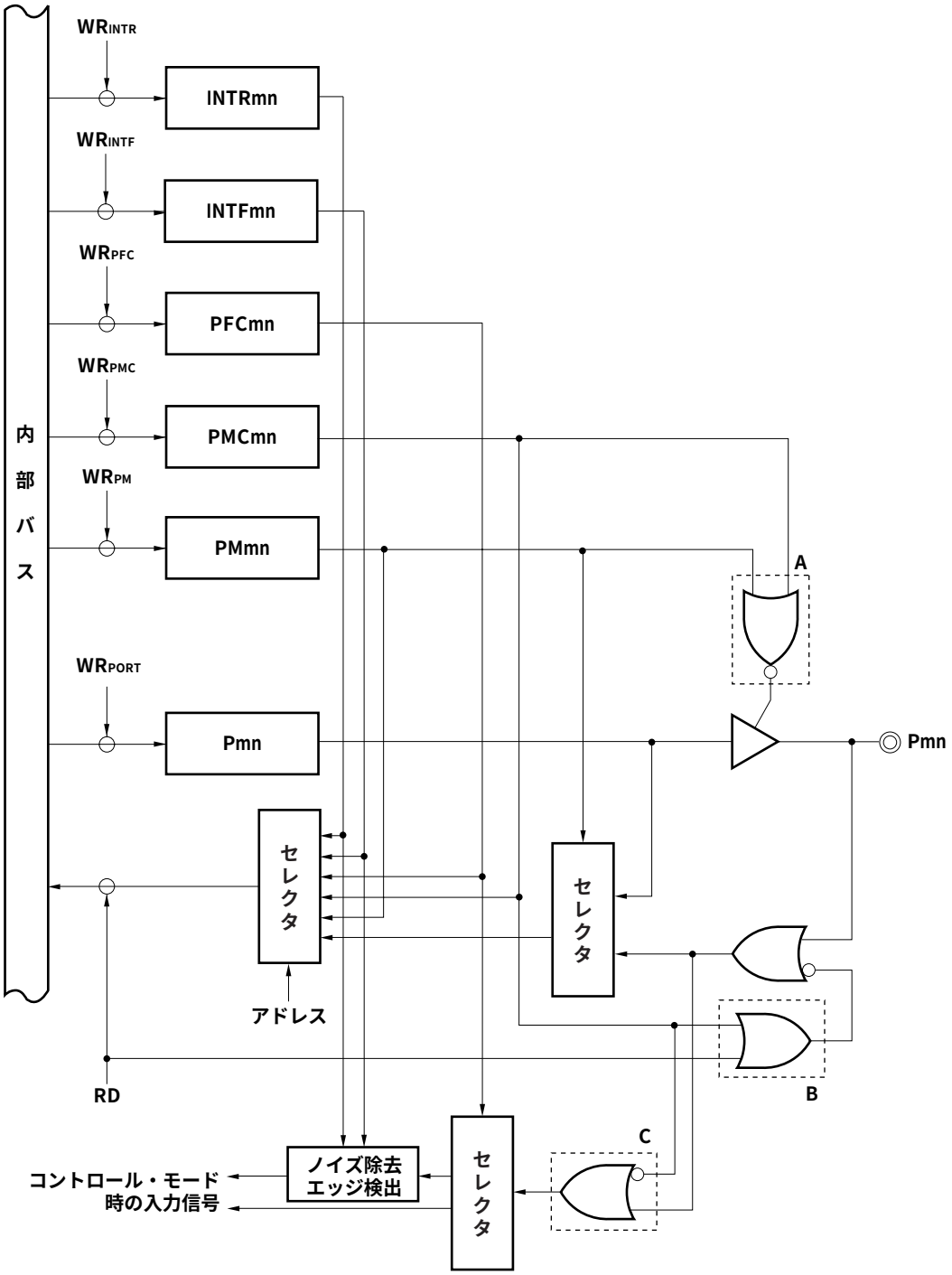


備考　A：出力ポート・モード時はアクティブ

B：ポート・モード時のリード・サイクルまたはコントロール・モード時はアクティブ

C：ポート・モード時はマスク

図14－7　タイプF-3のブロック図



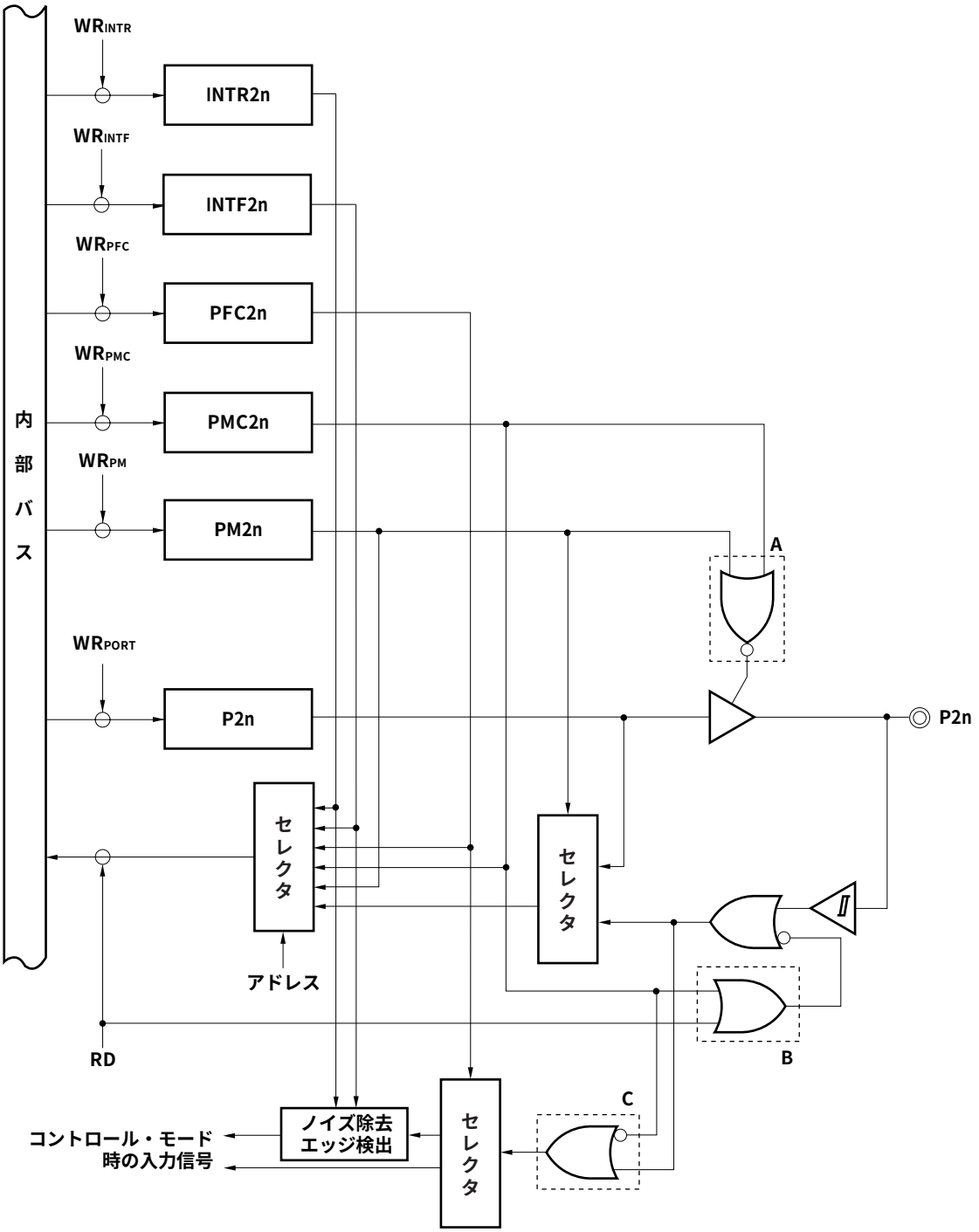
備考1.　mn = 10, 50

2.　A：**出力ポート・モード時はアクティブ**

B：**ポート・モード時のリード・サイクルまたはコントロール・モード時はアクティブ**

C：**ポート・モード時はマスク**

図14－8　タイプF-4のブロック図



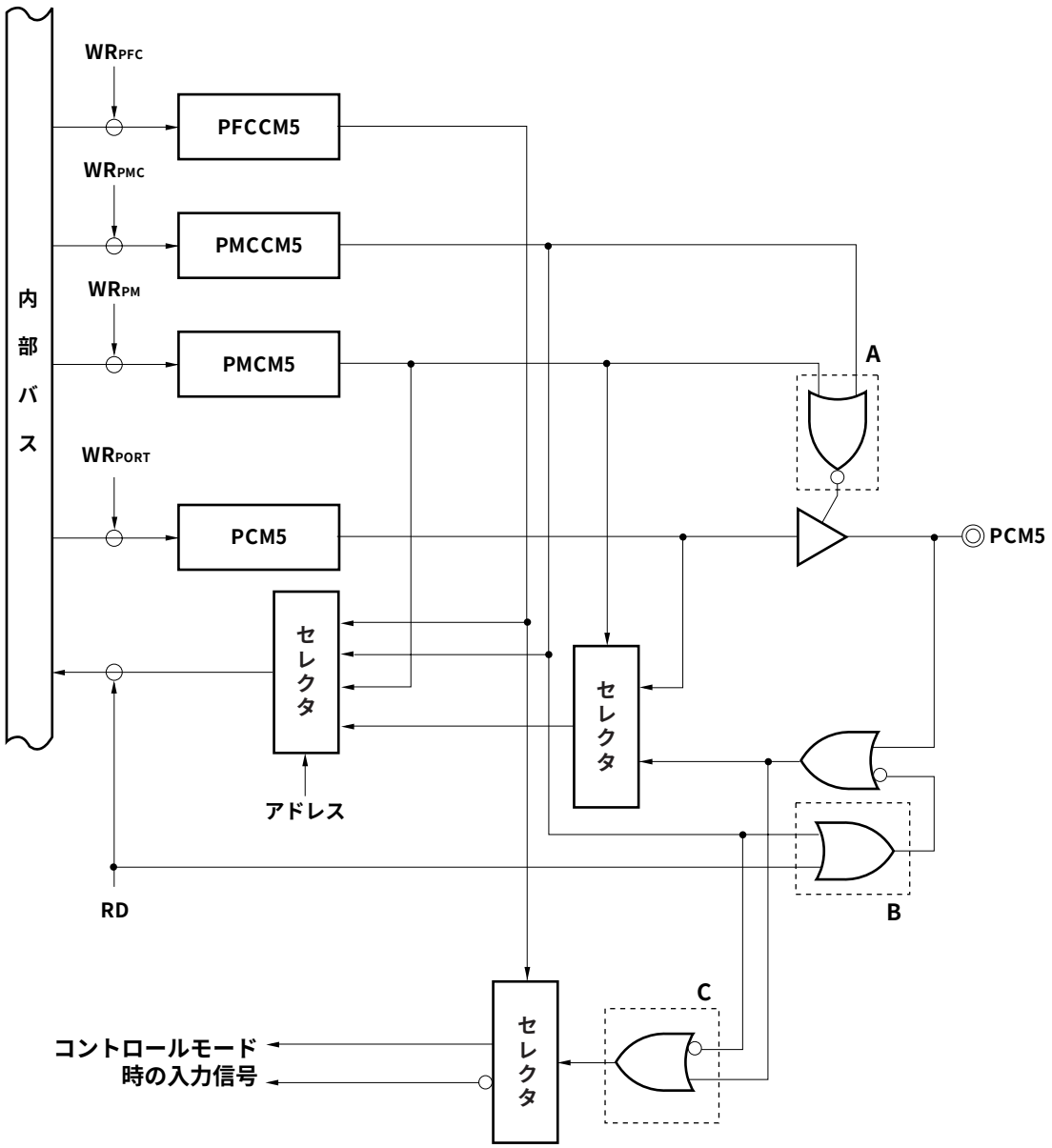
備考1.　n = 1, 4

2.　A：**出力ポート・モード時はアクティブ**

B：**ポート・モード時のリード・サイクルまたはコントロール・モード時はアクティブ**

C：**ポート・モード時はマスク**

図14－9　タイプF-5のブロック図

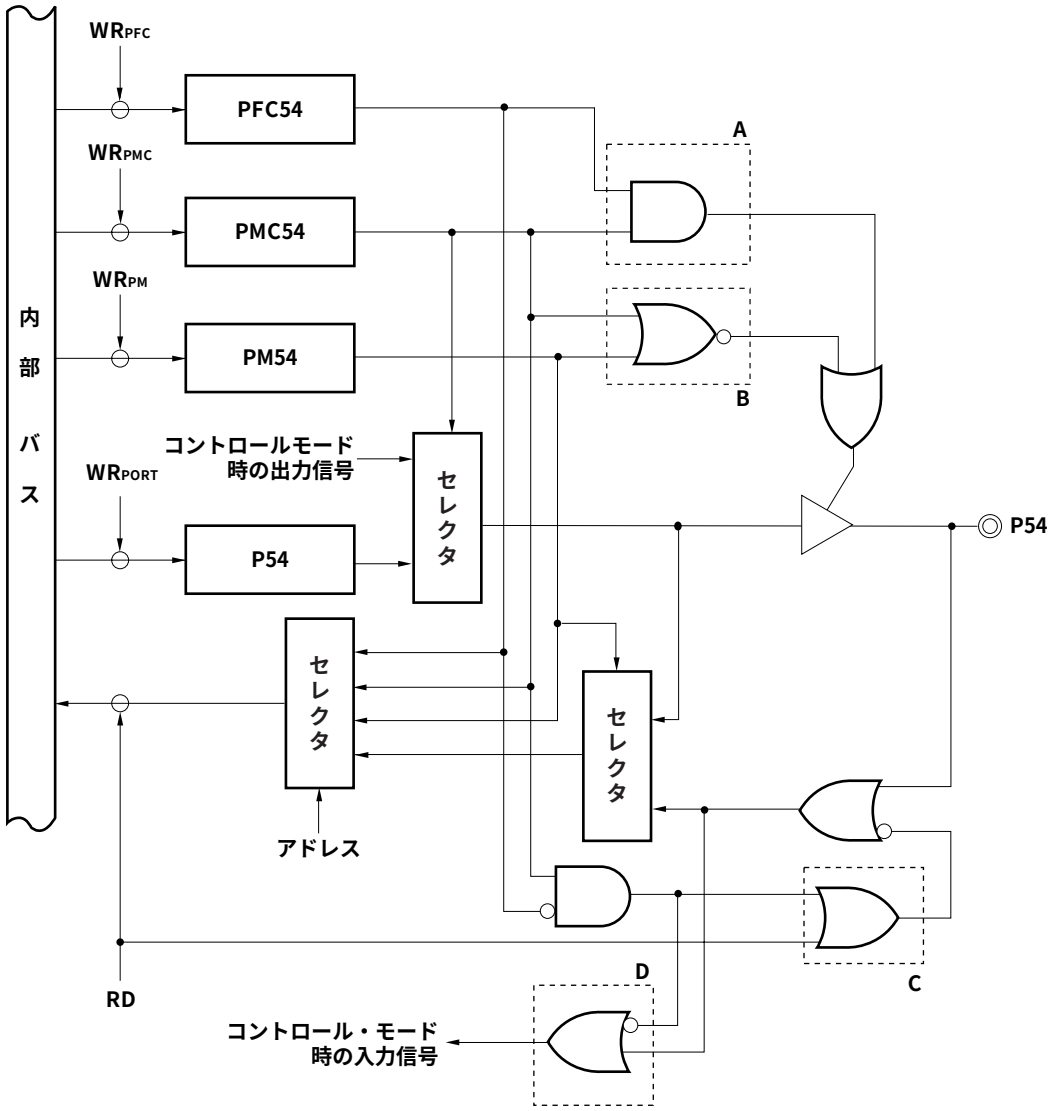


備考　A：出力ポート・モード時はアクティブ

B：ポート・モード時のリード・サイクルまたはコントロール・モード時はアクティブ

C：ポート・モード時はマスク

図14－10　タイプG-1のブロック図



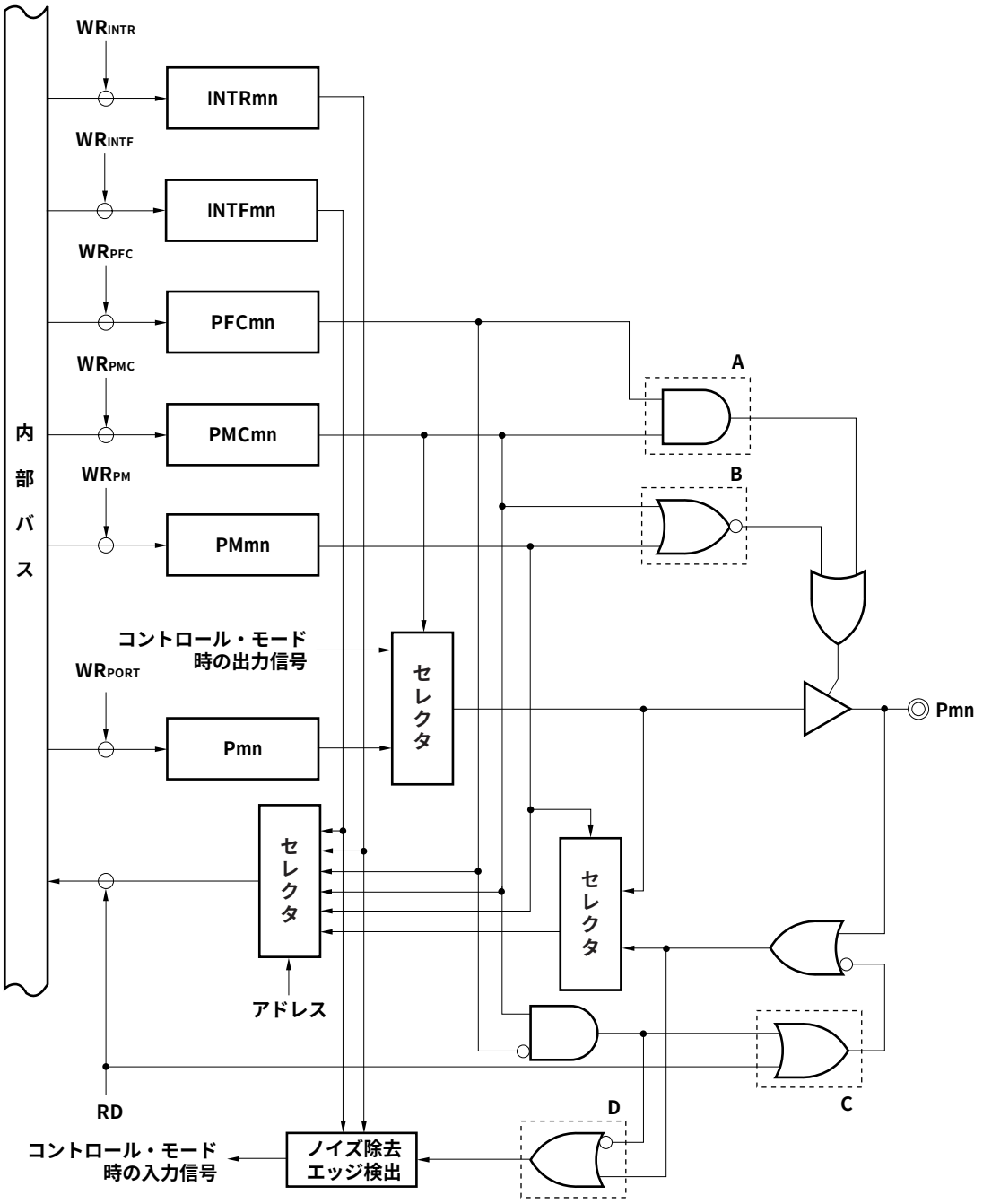
備考　A：出力コントロール・モード時はアクティブ

B：出力ポート・モード時はアクティブ

C：ポート・モード時のリード・サイクルまたは入力コントロール・モード時はアクティブ

D：ポート・モードまたは出力コントロール・モード時はマスク

図14－11　**タイプ**G-2**のブロック図**



備考1.　mn = 22, 25, 51, 52

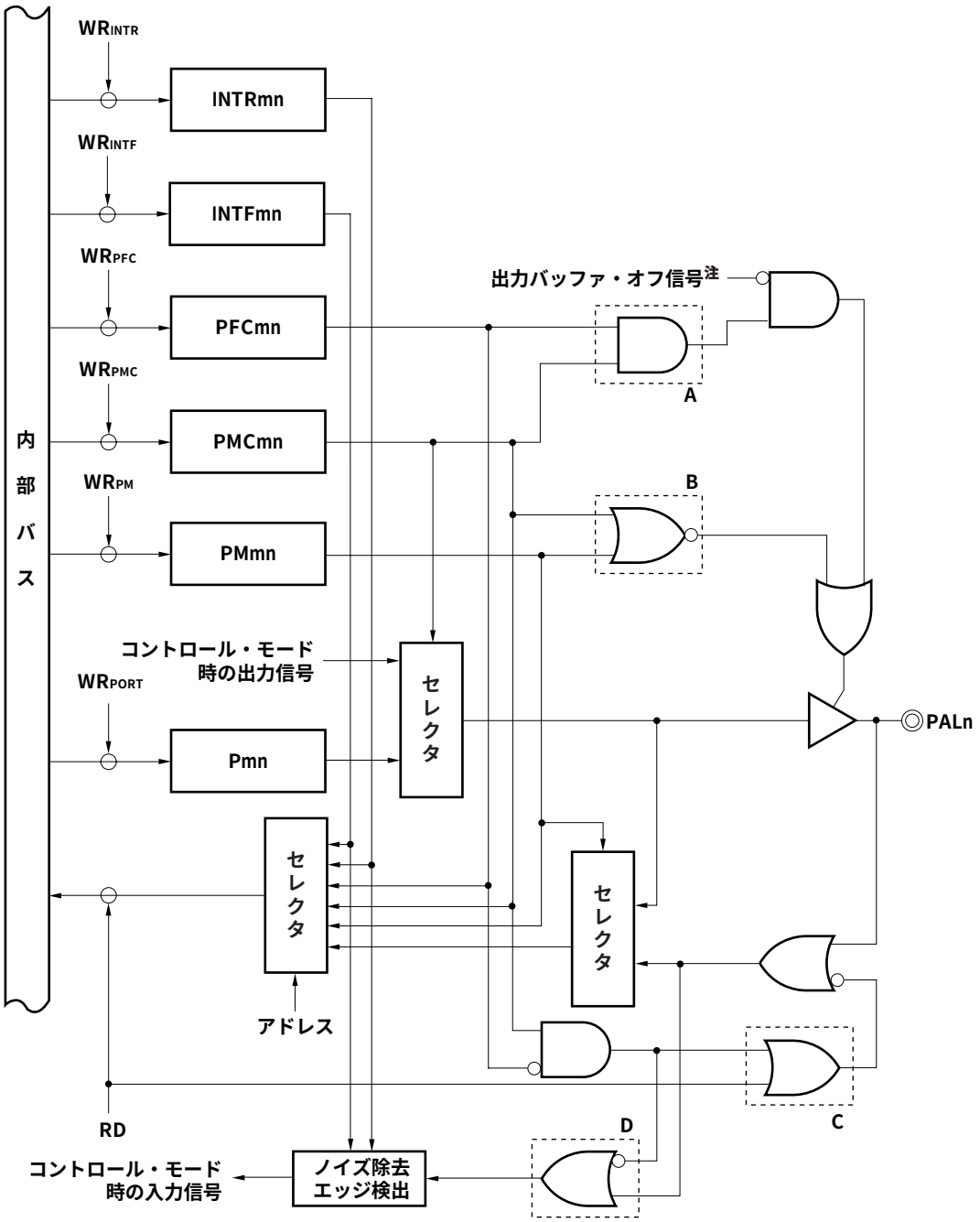
2.　A：**出力コントロール・モード時はアクティブ**

B：**出力ポート・モード時はアクティブ**

C：**ポート・モード時のリード・サイクルまたは入力コントロール・モード時はアクティブ**

D：**ポート・モードまたは出力コントロール・モード時はマスク**

図14－12　タイプG-3のブロック図



注　IDLEモード，ソフトウエアSTOPモード，バス・ホールドおよびリセット時にアクティブになる信号

備考1.　n = 0, 1

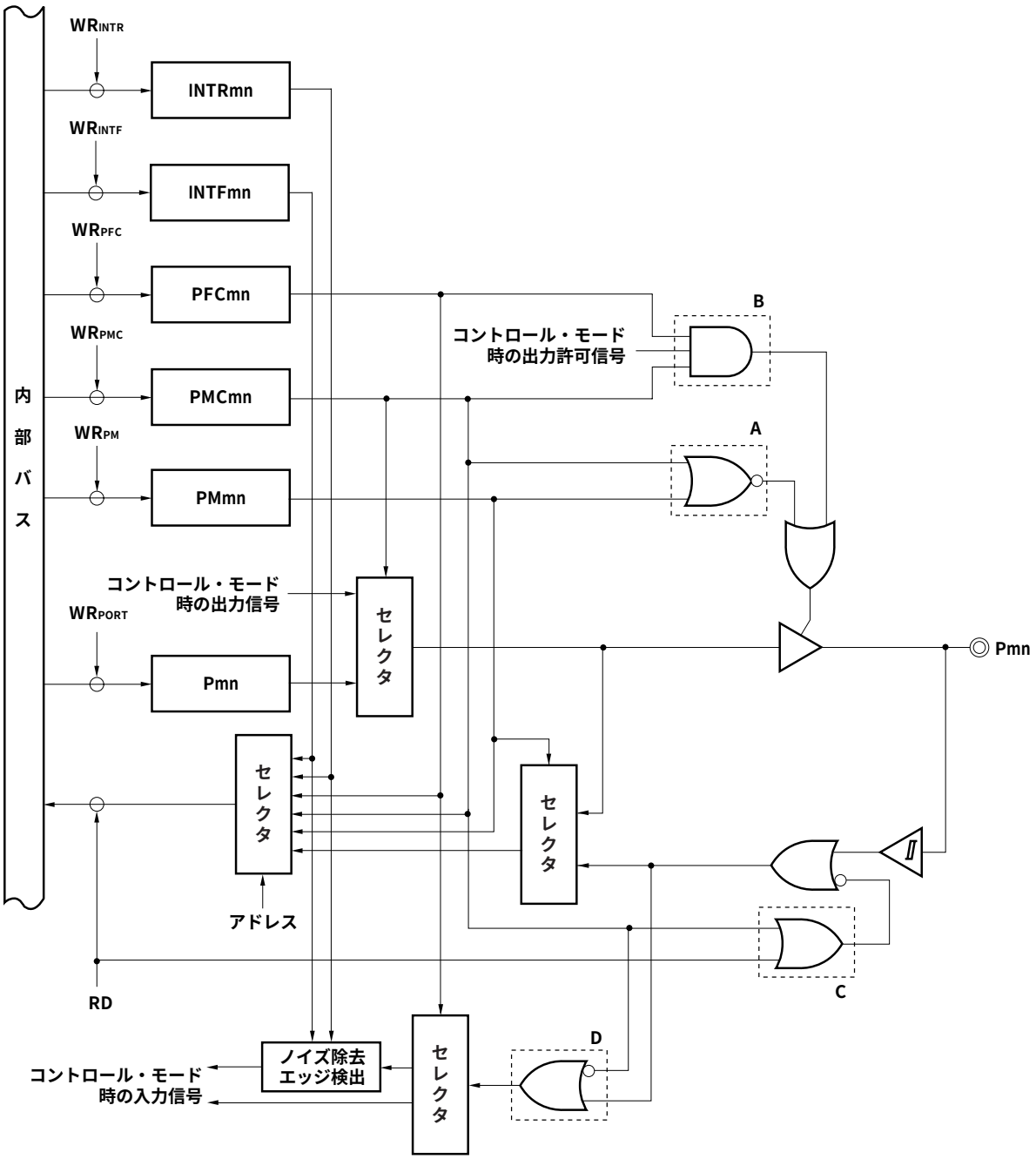
2.　A：出力コントロール・モード時はアクティブ

B：出力ポート・モード時はアクティブ

C：ポート・モード時のリード・サイクルまたは入力コントロール・モード時はアクティブ

D：ポート・モードまたは出力コントロール・モード時はマスク

図14－13　**タイプ**H-1**のブロック図**



備考1.　mn = 11, 23

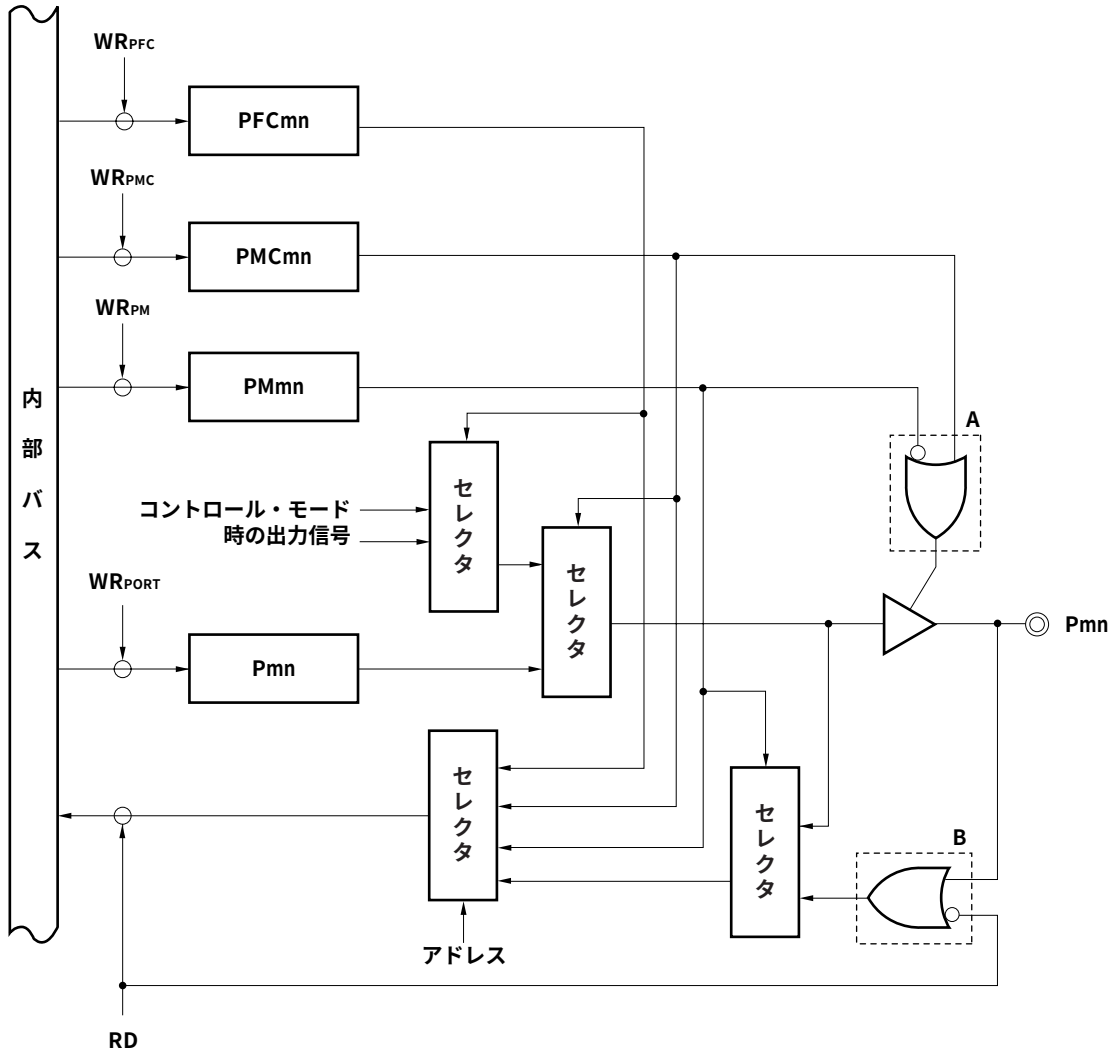
2.　A：**出力ポート・モード時はアクティブ**

B：**双方向コントロール・モード（**DIR**制御）：出力方向時にアクティブ**

C：**ポート・モード時のリード・サイクルまたは入力コントロール・モード時はアクティブ**

D：**ポート・モード時はマスク**

図14－14　タイプJ-1のブロック図

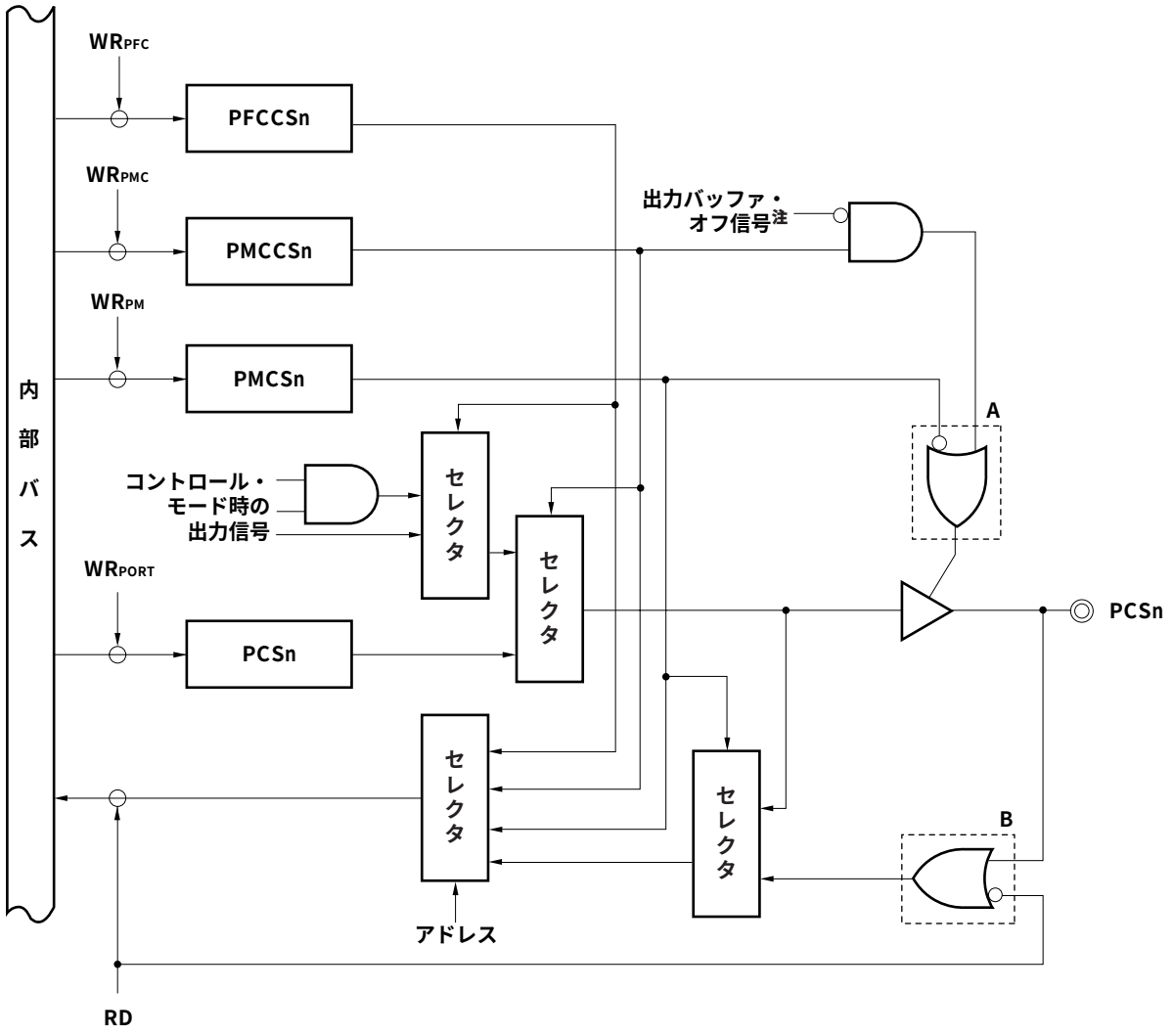


備考1.　mn = 13, 55

2.　A：**出力ポート・モードまたはコントロール・モード時はアクティブ**

B：**リード・サイクル以外はマスク**

図14－15　タイプJ-2のブロック図



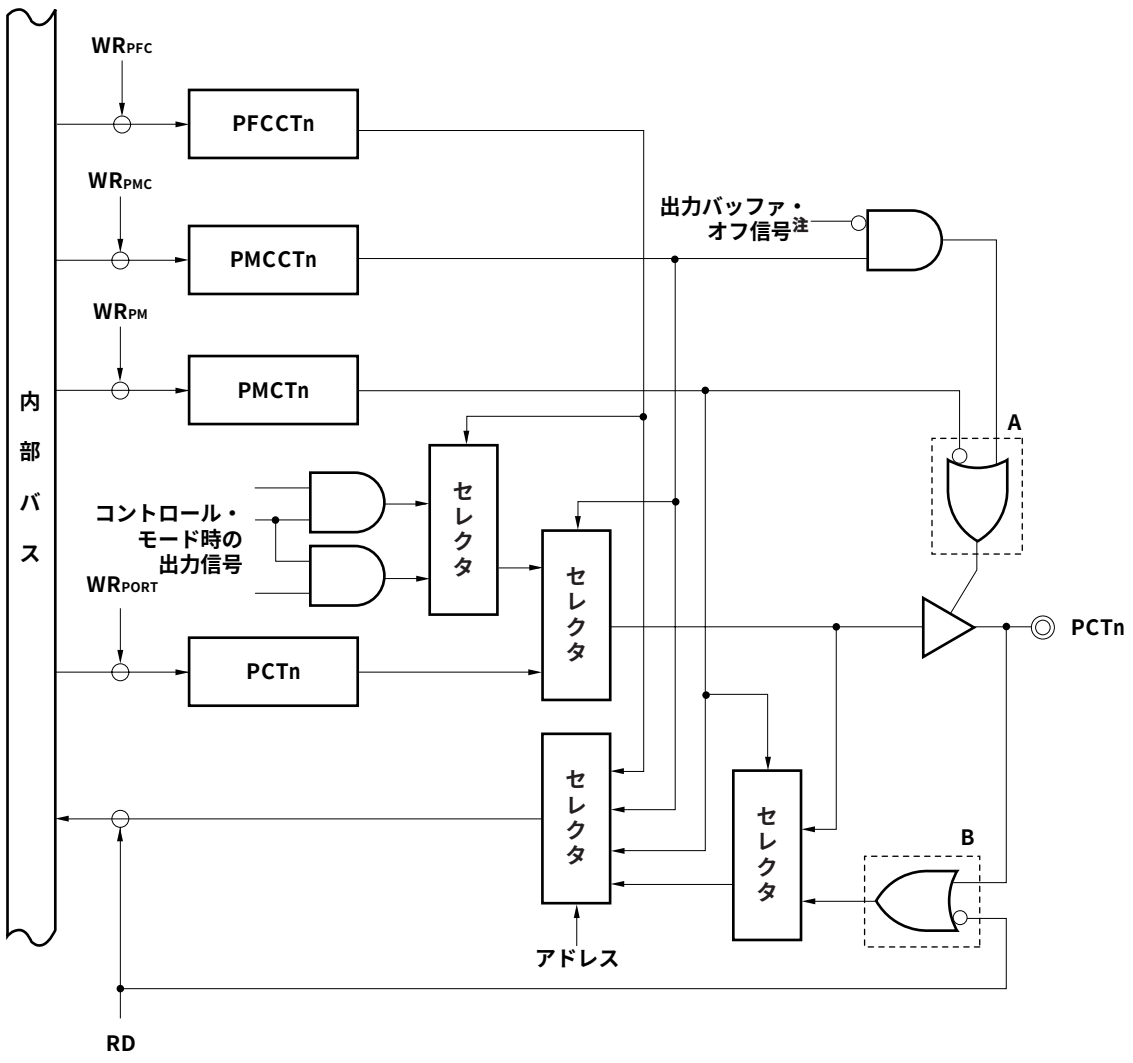
注　バス・ホールドおよびリセット時にアクティブになる信号

備考1.　n = 2, 5

2.　A：出力ポート・モードまたはコントロール・モード時はアクティブ

B：リード・サイクル以外はマスク

図14－16　タイプJ-3のブロック図



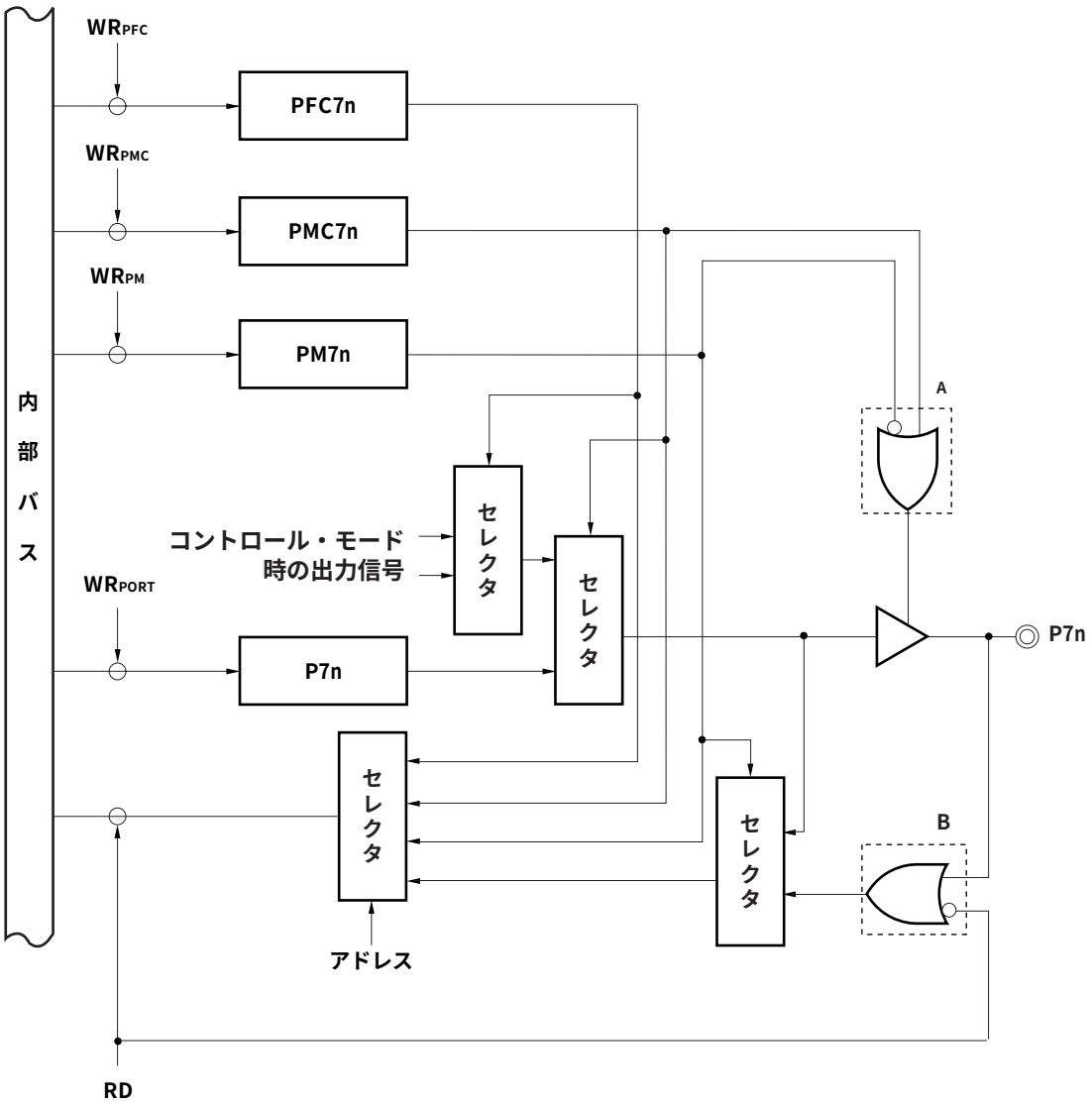
注　バス・ホールドおよびリセット時にアクティブになる信号

備考1.　n = 0-3

2.　A：**出力ポート・モードまたはコントロール・モード時はアクティブ**

B：**リード・サイクル以外はマスク**

図14－17　タイプL-1のブロック図

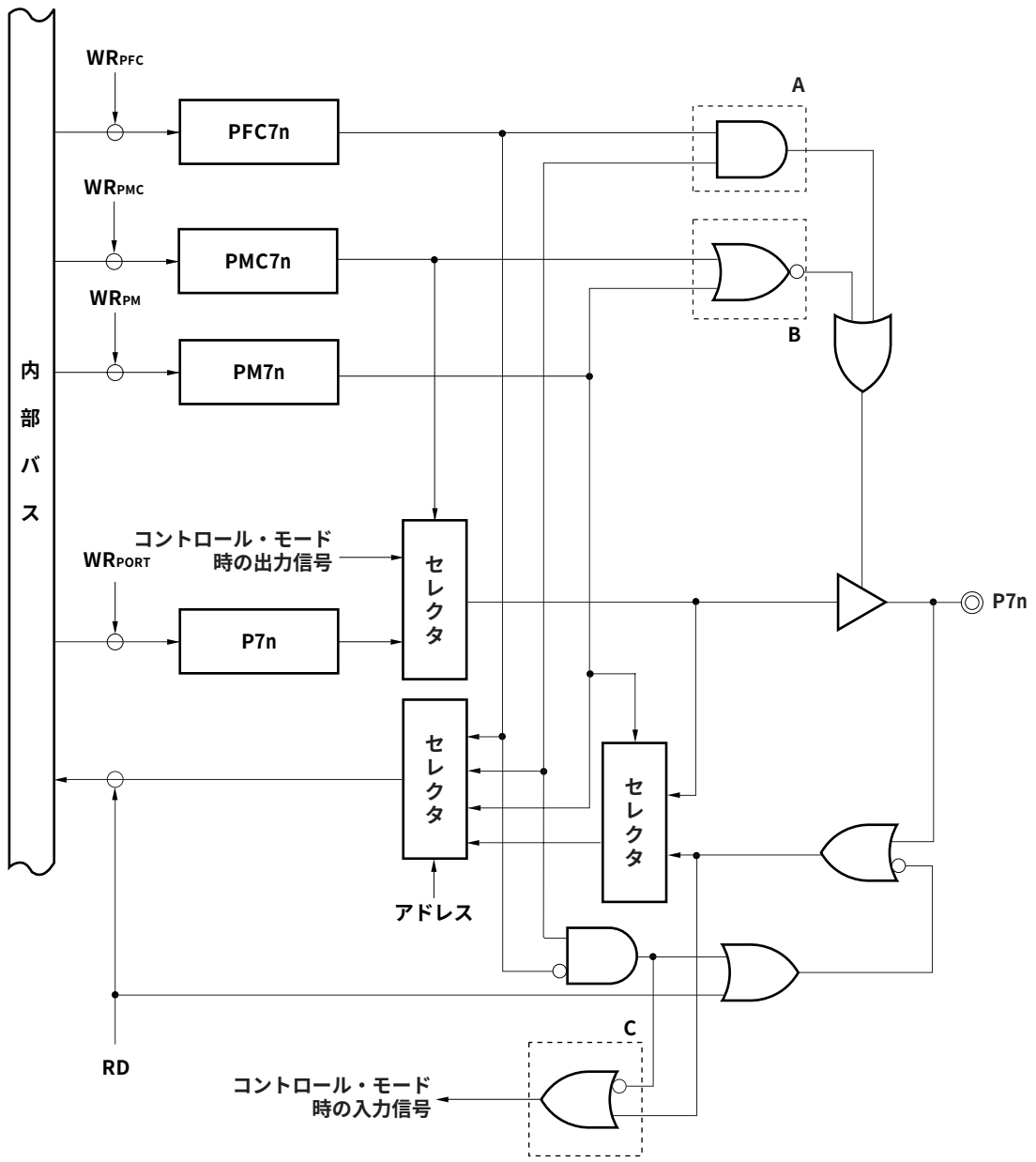


備考1.　n = 4, 7

2.　A：**出力ポート・モードまたはコントロール・モード時はアクティブ**

B：**リード・サイクル以外はマスク**

図14ー18　タイプL-2のブロック図



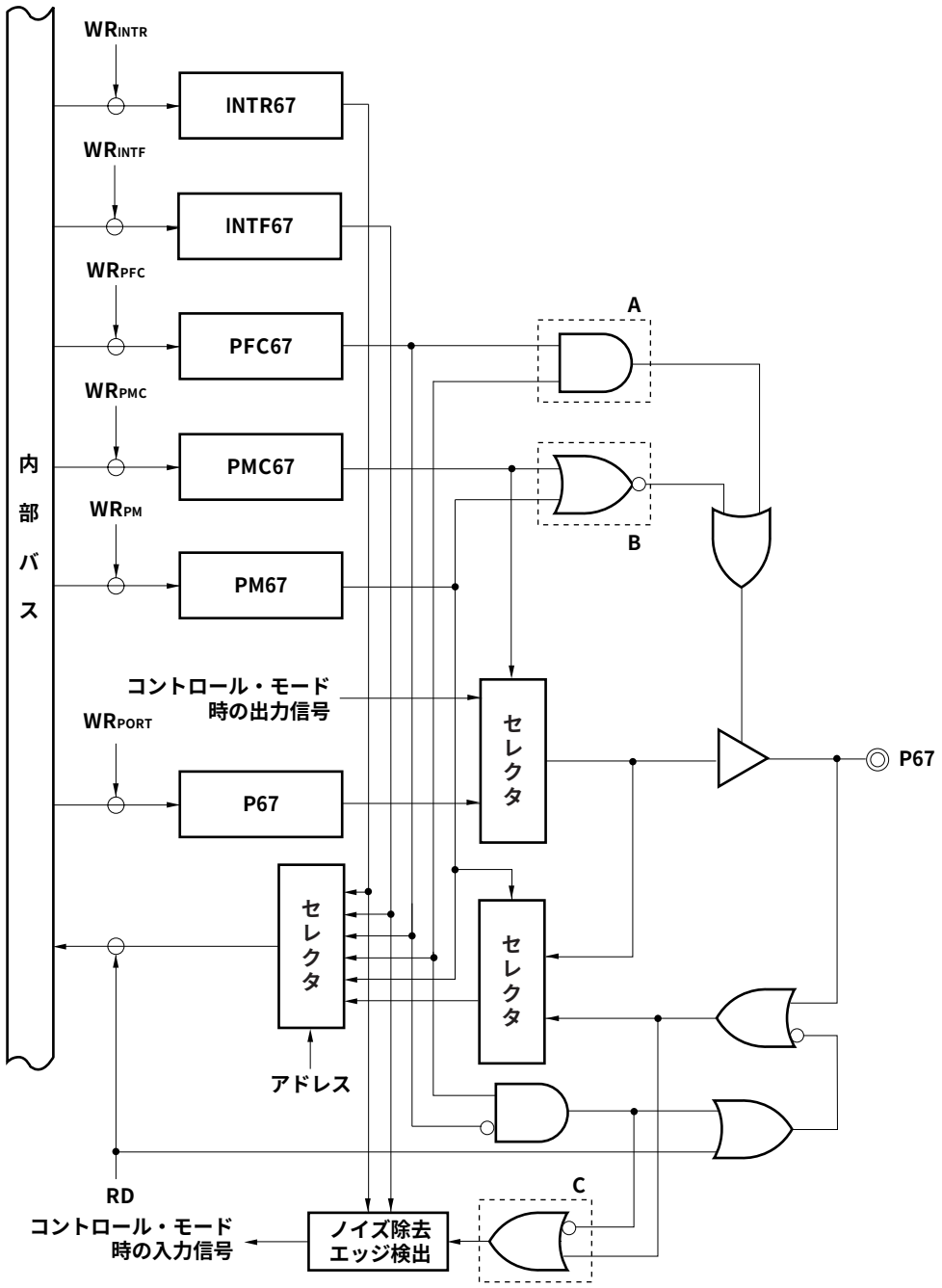
備考1.　n = 3, 6

2.　A：**出力コントロール・モード時はアクティブ**

B：**出力ポート・モード時はアクティブ**

C：**ポート・モードまたは出力コントロール・モード時はマスク**

図14－19　タイプL-3のブロック図

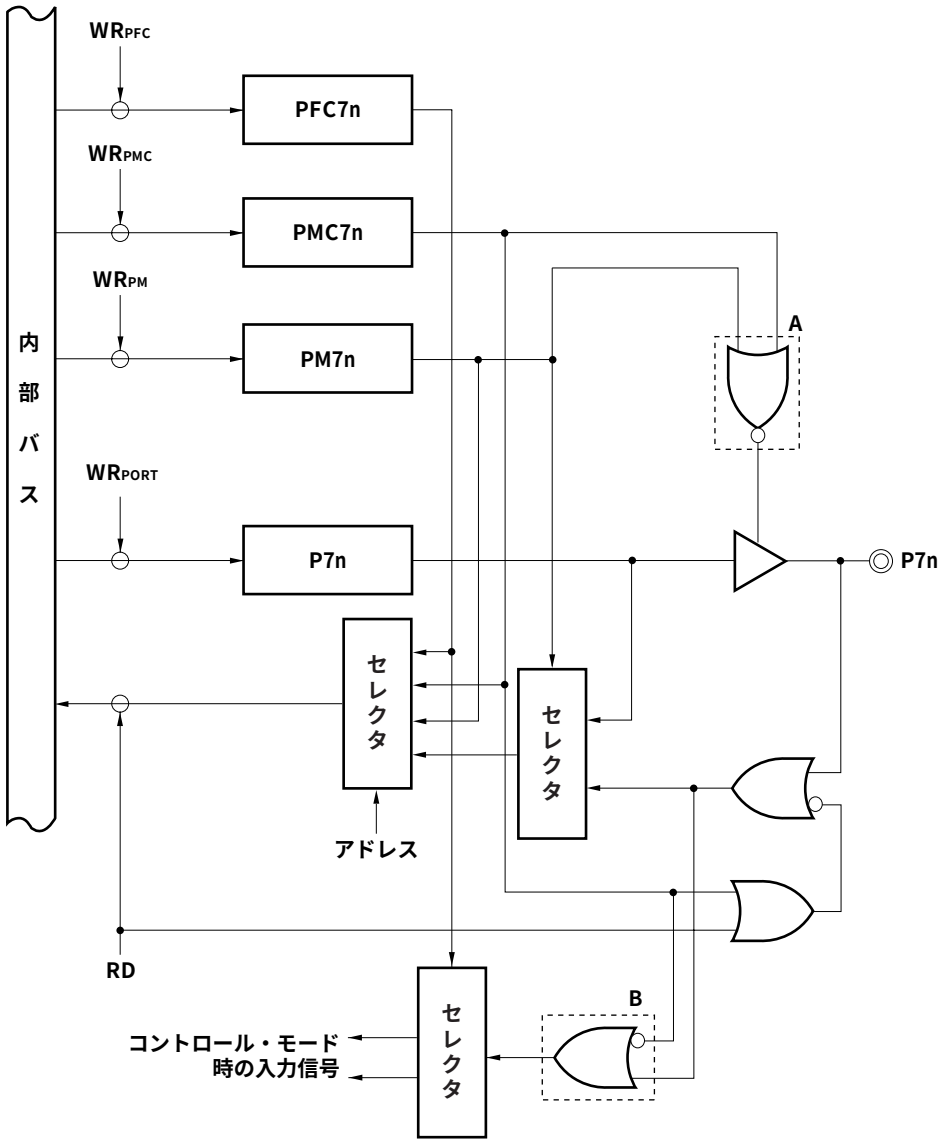


備考　A：出力コントロール・モード時はアクティブ

B：出力ポート・モード時はアクティブ

C：ポート・モードまたは出力コントロール・モード時はマスク

図14ー20　タイプL-4のブロック図

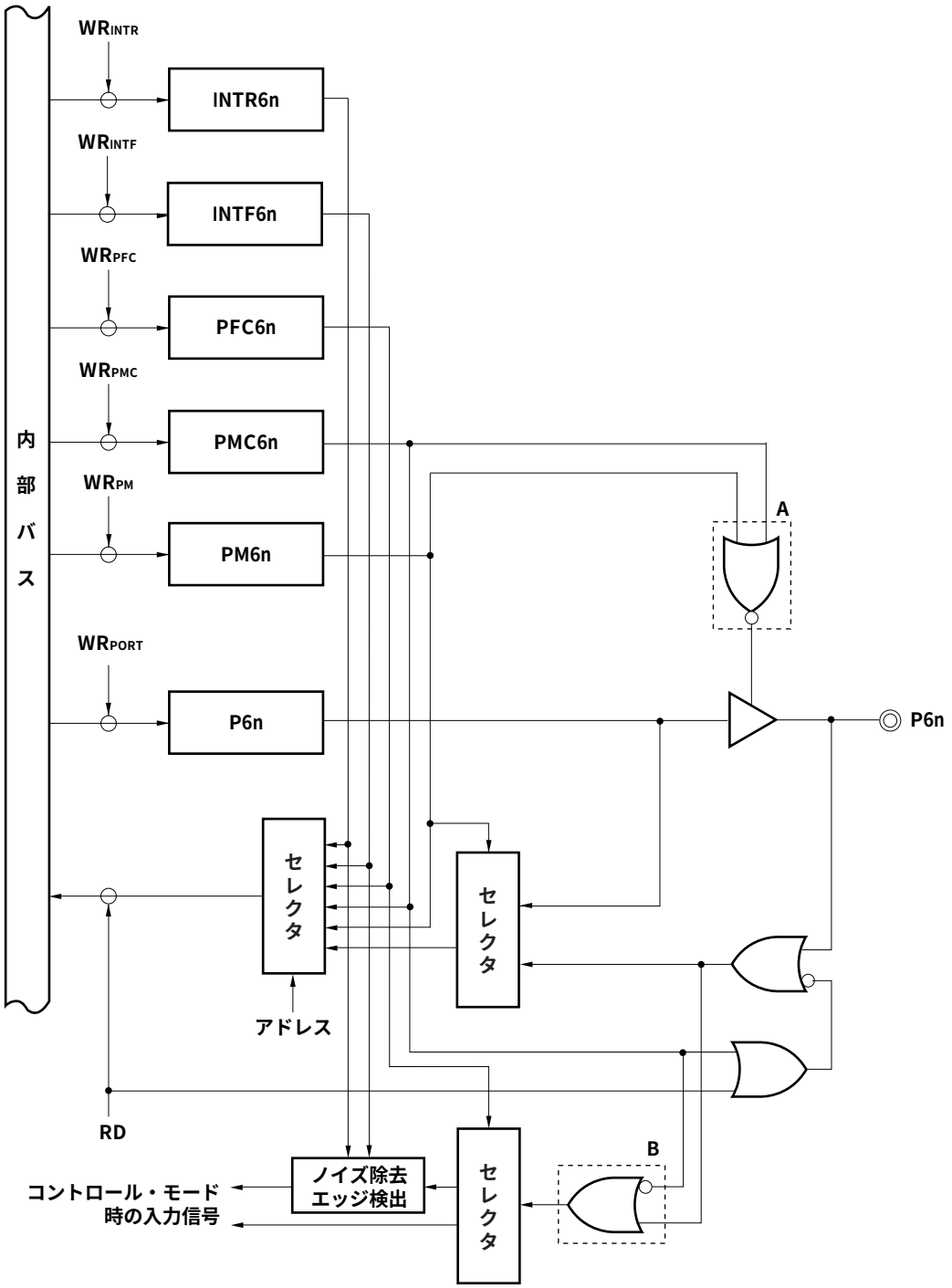


備考1.　n = 2, 5

2.　A：**出力ポート・モード時はアクティブ**

B：**ポート・モード時はマスク**

図14ー21　タイプL-5のブロック図

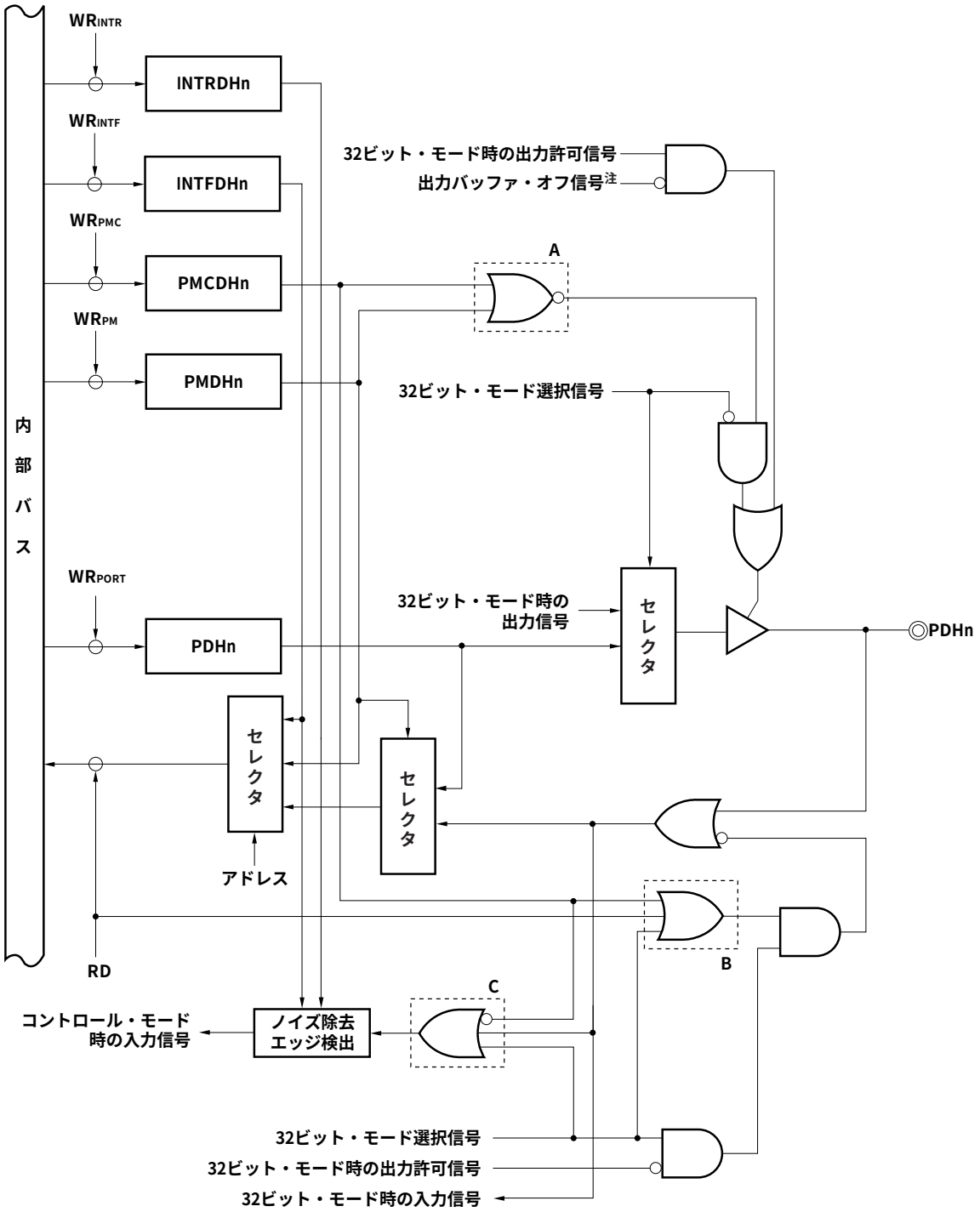


備考1.　n = 5, 6

2.　A：**出力ポート・モード時はアクティブ**

B：**ポート・モード時はマスク**

図14－22　タイプM-1のブロック図



注　IDLEモード，ソフトウエアSTOPモード，バス・ホールドおよびリセット時にアクティブになる信号

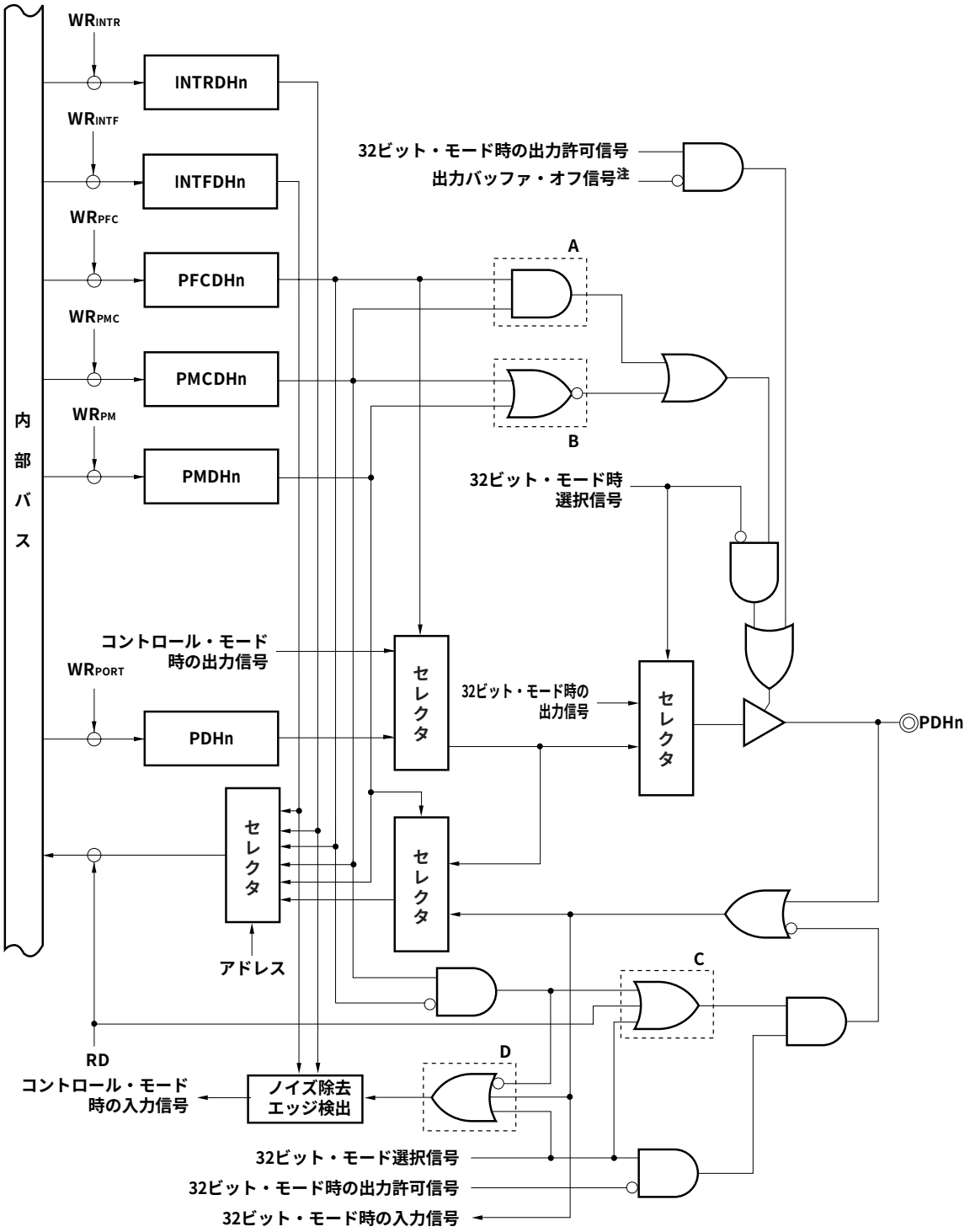
備考1.　n = 0, 1, 3, 4

2.　A：出力ポート・モード時はアクティブ

B：ポート・モード時のリード・サイクル，コントロール・モード，または32ビット・モード時はアクティブ

C：ポート・モードまたは32ビット・モード時はマスク

図14－23　**タイプ**M-2**のブロック図**



注　IDLEモード，ソフトウエアSTOPモード，バス・ホールドおよびリセット時にアクティブになる信号

備考1.　n = 2, 5, 8, 12, 14, 15

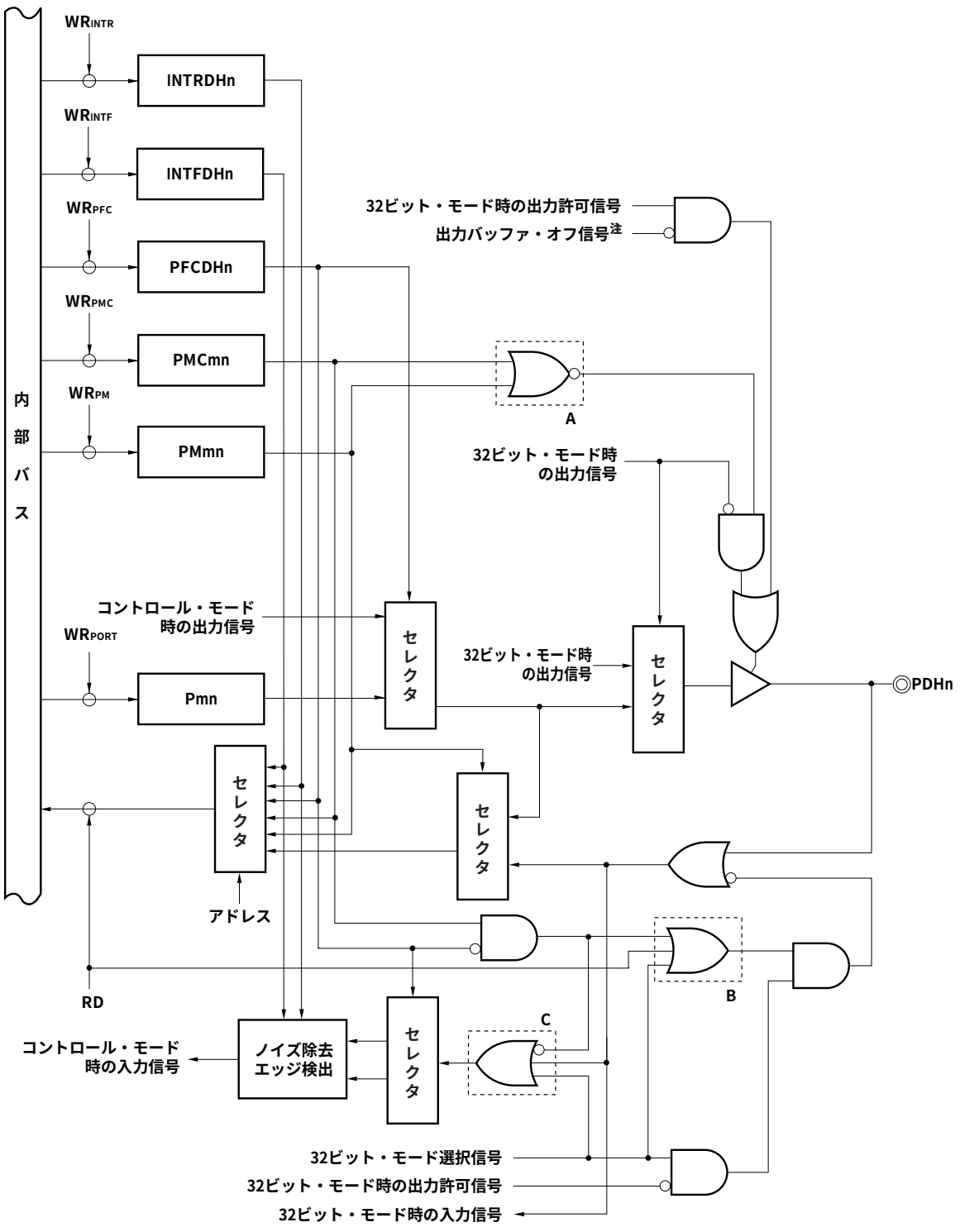
2.　A：出力コントロール・モード時はアクティブ

B：出力ポート・モード時はアクティブ

C：ポート・モード時のリード・サイクル，入力コントロール・モード，または32ビット・モード時はアクティブ

D：ポート・モード，入力コントロール・モード，32ビット・モード時はマスク

図14－24　タイプM-3のブロック図



注　IDLEモード，ソフトウエアSTOPモード，バス・ホールドおよびリセット時にアクティブになる信号

備考1.　n = 6, 7, 9, 10, 11, 13

2.　A：出力ポート・モード時はアクティブ

B：ポート・モード時のリード・サイクル，コントロール・モード，または32ビット・モード時はアクティブ

C：ポート・モードまたは32ビット・モード時はマスク

14. 3　各ポートの端子機能

14. 3. 1　ポート1

ポート1は，1ビット単位で入出力を指定できる4ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P1	0	0	0	0	P13	P12	P11	P10	FFFFF402H	不定

ビット位置	ビット名	意　味
3-0	P1n (n = 3-0)	入出力ポート

備考　入出力ポートへの読み出し／書き込みについては14. 5　ポート機能の動作を参照してください。

ポートとしての機能のほかに，コントロール・モードではシリアル・インタフェース入出力（CSI30, UARTB0），USBクロック信号入力，外部割り込み要求入力として動作可能です。

(1) コントロール・モード時の動作

端子名称	ピン番号	兼用端子名	備　考	ブロック・タイプ
P10	159	$\overline{\text{INTP10}}$/UCLK	外部割り込み入力／USBクロック信号入力	F-3
P11	155	$\overline{\text{INTP11}}$/$\overline{\text{SCK0}}$	外部割り込み要求入力／ シリアル・インタフェース（CSI30）用入出力	H-1
P12	154	SI0/RXD0	シリアル・インタフェース（CSI30）用入出力／ シリアル・インタフェース（UARTB0）用入出力	F-1
P13	153	SO0/TXD0		J-1

(2) 入出力モード／コントロール・モードの設定

ポート1の入出力モードの設定は，ポート1モード・レジスタ（PM1）で行います。また，コントロール・モードの設定は，ポート1モード・コントロール・レジスタ（PMC1）とポート1ファンクション・コントロール・レジスタ（PFC1）で行います。

(a) ポート1モード・レジスタ（PM1）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM1	1	1	1	1	PM13	PM12	PM11	PM10	FFFFF422H	FFH

ビット位置	ビット名	意　味
3-0	PM1n (n = 3-0)	P1n端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポート1モード・コントロール・レジスタ（PMC1）

8/1ビット単位でリード／ライト可能です。

注意　USB機能を使用する場合には，必ずPFC1レジスタのPFC10ビットをセット（1）したあと，PMC1レジスタのPMC10ビットをセット（1）してUCLKを接続してください。UCLKを接続しない状態では，USB関連レジスタにアクセスしないでください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC1	0	0	0	0	PMC13	PMC12	PMC11	PMC10	FFFFF442H	00H

ビット位置	ビット名	意　味
3	PMC13	P13端子の動作モードを指定します。PFC1レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：SO0出力モード／TXD0出力モード
2	PMC12	P12端子の動作モードを指定します。PFC1レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：SI0入力モード／RXD0入力モード
1	PMC11	P11端子の動作モードを指定します。PFC1レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTP11}}$）入力モード／$\overline{\text{SCK0}}$入出力モード
0	PMC10	P10端子の動作モードを指定します。PFC1レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTP10}}$）入力モード／UCLK入力モード

（c）ポート1ファンクション・コントロール・レジスタ（PFC1）

8/1ビット単位でリード／ライト可能です。

注意1. ポート1モード・コントロール・レジスタ（PMC1）でポート・モードを指定した場合は，このレジスタの設定は無効となります。

2. USB機能を使用する場合には，必ずPFC1レジスタのPFC10ビットをセット（1）したあと，PMC1レジスタのPMC10ビットをセット（1）してUCLKを接続してください。UCLKを接続しない状態では，USB関連レジスタにアクセスしないでください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC1	0	0	0	0	PFC13	PFC12	PFC11	PFC10	FFFFF462H	00H

ビット位置	ビット名	意　味
3	PFC13	P13端子のコントロール・モード時の動作モードを指定します。 0：SO0出力モード 1：TXD0出力モード
2	PFC12	P12端子のコントロール・モード時の動作モードを指定します。 0：SI0入力モード 1：RXD0入力モード
1	PFC11	P11端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTP11}}$）入力モード 1：$\overline{\text{SCK0}}$入出力モード
0	PFC10	P10端子の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTP10}}$）入力モード 1：UCLK入力モード

(3) 割り込みトリガ・モードの選択

$\overline{\text{INTP10}}$, $\overline{\text{INTP11}}$端子は，有効エッジをプログラマブルに選択できます。また，レベル検出も選択できます。

有効エッジとレベル検出は，外部割り込み立ち上がりエッジ指定レジスタ1（INTR1），外部割り込み立ち下がりエッジ指定レジスタ1（INTF1）で指定します。

(a) 外部割り込み立ち上がりエッジ指定レジスタ1（INTR1），外部割り込み立ち下がりエッジ指定レジスタ1（INTF1）

外部端子による外部割り込み要求（INTP10, INTP11）のトリガ・モードを指定するレジスタです。各ビットと，そのビットが制御する外部割り込み要求との対応を次に示します。

- INTF10, INTR10ビット：INTP10
- INTF11, INTR11ビット：INTP11

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード／ライト可能です。

注意 $\overline{\text{INTP10}}$, $\overline{\text{INTP11}}$端子のトリガ・モードを設定する場合は，PMC1レジスタを設定したあとで行ってください。
INTR1, INTF1レジスタを設定したあとでPMC1レジスタの設定を行うと，PMC1レジスタの設定タイミングで不正な割り込みが発生することがあります。

	7	6	5	4	3	2	1	0	アドレス	初期値
INTR1	0	0	0	0	0	0	INTR11	INTR10	FFFFFC22H	03H
INTF1	0	0	0	0	0	0	INTF11	INTF10	FFFFFC02H	00H

ビット位置	ビット名	意　味
1, 0	INTF1n, INTR1n （n = 0, 1）	$\overline{\text{INTP10}}$, $\overline{\text{INTP11}}$端子のトリガ・モードを指定します。

INTF1n	INTR1n	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	レベル検出（ロウ・レベル検出）注1, 2
1	1	立ち上がり／立ち下がり両エッジ

注1. $\overline{\text{INTP1n}}$端子のレベルは，メイン・クロック（fx）を4分周したタイミングごとにサンプリングされ，ロウ・レベルを検出するとP1IFnビットとして割り込み要求がラッチされます（n = 0, 1）。このため，CPUが割り込みを受け付けて，割り込み制御レジスタ（P1ICn）のP1IFnビットが自動的にクリア（0）されても，すぐにP1IFnビットがセット（1）され，連続的に割り込みが発生します。この状態を回避するためには，割り込み処理ルーチン内で，外部デバイスに対して$\overline{\text{INTP1n}}$端子をインアクティブにする処理を行ったあと，P1IFnビットを強制的にクリア（0）してください。

2. ある割り込み処理中に，より優先順位の低いレベル検出割り込み要求（INTP1n）が発生し，現在の割り込み処理が終了する前に，新たに発生したレベル検出割り込み（INTP1n）がインアクティブになった場合，新たに発生した割り込み（INTP1n）の割り込み要求は保留されます（n = 0, 1）。このINTP1nの割り込み要求を受け付けたくない場合は，割り込み制御レジスタのP1IFnビットをクリアしてください。

14. 3. 2　ポート2

ポート2は，入力専用端子であるP20を除き，1ビット単位で入出力を指定できる入出力ポートです。

P20は常時NMI端子として機能します。P2レジスタのP20ビットのリードにより，NMI端子のレベルを読み出します。

	7	6	5	4	3	2	1	0	アドレス	初期値
P2	0	0	P25	P24	P23	P22	P21	P20	FFFFF404H	不定

ビット位置	ビット名	意　味
5-0	P2n (n = 5-0)	入出力ポート

備考　入出力ポートへの読み出し／書き込みについては14. 5　ポート機能の動作を参照してください。

ポートとしての機能のほかに，コントロール・モードではシリアル・インタフェース（CSI31, UARTB1）用入出力，外部割り込み要求入力として動作可能です。

(1) コントロール・モード時の動作

端子名称	ピン番号	兼用端子名	備　考	ブロック・タイプ
P20	152	NMI	ノンマスカブル割り込み要求入力	A-1
P21	149	$\overline{\text{INTP21}}$/RXD1	外部割り込み要求入力／ シリアル・インタフェース（UARTB1）用入出力	F-4
P22	148	$\overline{\text{INTP22}}$/TXD1		G-2
P23	147	$\overline{\text{INTP23}}$/$\overline{\text{SCK1}}$	外部割り込み要求入力／ シリアル・インタフェース（CSI31）用入出力	H-1
P24	146	$\overline{\text{INTP24}}$/SI1		F-4
P25	145	$\overline{\text{INTP25}}$/SO1		G-2

(2) 入出力モード／コントロール・モードの設定

ポート2の入出力モードの設定は，ポート2モード・レジスタ（PM2）で行います。また，コントロール・モードの設定は，ポート2モード・コントロール・レジスタ（PMC2），ポート2ファンクション・コントロール・レジスタ（PFC2）で行います。

(a) ポート2モード・レジスタ（PM2）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM2	1	1	PM25	PM24	PM23	PM22	PM21	1	FFFFF424H	FFH

ビット位置	ビット名	意　味
5-1	PM2n (n = 5-1)	P2n端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポート2モード・コントロール・レジスタ（PMC2）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC2	0	0	PMC25	PMC24	PMC23	PMC22	PMC21	1	FFFFF444H	01H

ビット位置	ビット名	意　味
5	PMC25	P25端子の動作モードを指定します。PFC2レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTP25}}$）入力モード／SO1出力モード
4	PMC24	P24端子の動作モードを指定します。PFC2レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTP24}}$）入力モード／SI1入力モード
3	PMC23	P23端子の動作モードを指定します。PFC2レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTP23}}$）入力モード／$\overline{\text{SCK1}}$入出力モード
2	PMC22	P22端子の動作モードを指定します。PFC2レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTP22}}$）入力モード／TXD1出力モード
1	PMC21	P21端子の動作モードを指定します。PFC2レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTP21}}$）入力モード／RXD1入力モード

（c）ポート2ファンクション・コントロール・レジスタ（PFC2）

8/1ビット単位でリード／ライト可能です。

注意　ポート2モード・コントロール・レジスタ（PMC2）でポート・モードを指定した場合は，このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC2	0	0	PFC25	PFC24	PFC23	PFC22	PFC21	0	FFFFF464H	00H

ビット位置	ビット名	意　味
5	PFC25	P25端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTP25}}$）入力モード 1：SO1出力モード
4	PFC24	P24端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTP24}}$）入力モード 1：SI1入力モード
3	PFC23	P23端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTP23}}$）入力モード 1：$\overline{\text{SCK1}}$入出力モード
2	PFC22	P22端子の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTP22}}$）入力モード 1：TXD1出力モード
1	PFC21	P21端子の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTP21}}$）入力モード 1：RXD1入力モード

(3) 割り込みトリガ・モードの選択

$\overline{\text{INTP2n}}$, NMI端子は，有効エッジをプログラマブルに選択できます（n = 1-5）。また，$\overline{\text{INTP2n}}$端子はレベル検出も選択できます。

有効エッジとレベル検出は，外部割り込み立ち上がりエッジ指定レジスタ2（INTR2），外部割り込み立ち下がりエッジ指定レジスタ2（INTF2）で指定します。

(a) 外部割り込み立ち上がりエッジ指定レジスタ2（INTR2），外部割り込み立ち下がりエッジ指定レジスタ2（INTF2）

外部端子による外部割り込み要求（INTP2n）とノンマスカブル割り込み（NMI）のトリガ・モードを指定するレジスタです（n = 1-5）。各ビットと，そのビットが制御する外部割り込み要求，ノンマスカブル割り込みとの対応を次に示します。

- NMIF0, NMIR0ビット　：NMI
- INTF21, INTR21ビット　：INTP21
- INTF22, INTR22ビット　：INTP22
- INTF23, INTR23ビット　：INTP23
- INTF24, INTR24ビット　：INTP24
- INTF25, INTR25ビット　：INTP25

$\overline{\text{INTP2n}}$端子の有効エッジは，立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジのどれか，NMI端子の有効エッジは，立ち上がりエッジ，立ち下がりエッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード／ライト可能です。

注意　$\overline{\text{INTP2n}}$端子のトリガ・モードを設定する場合は，PMC2レジスタを設定したあとで行ってください（n = 1-5）。
INTR2, INTF2レジスタを設定したあとでPMC2レジスタの設定を行うと，PMC2レジスタの設定タイミングで不正な割り込みが発生することがあります。

	7	6	5	4	3	2	1	0	アドレス	初期値
INTR2	0	0	INTR25	INTR24	INTR23	INTR22	INTR21	NMIR0	FFFFFC24H	3FH
INTF2	0	0	INTF25	INTF24	INTF23	INTF22	INTF21	NMIF0	FFFFFC04H	00H

ビット位置	ビット名	意　味
5-1	INTF2n, INTR2n (n = 1-5)	$\overline{\text{INTP2n}}$端子のトリガ・モードを指定します。
0	NMIF0, NMIR0	NMI端子のトリガ・モードを指定します。

INTF2n	INTR2n	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	レベル検出（ロウ・レベル検出）注1, 2
1	1	立ち上がり／立ち下がり両エッジ

NMIF0	NMIR0	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり両エッジ

注1. $\overline{\text{INTP2n}}$端子のレベルは，メイン・クロック（fx）を4分周したタイミングごとにサンプリングされ，ロウ・レベルを検出するとP2IFnビットとして割り込み要求がラッチされます（n = 1-5）。このため，CPUが割り込みを受け付けて，割り込み制御レジスタ（P2ICn）のP2IFnビットが自動的にクリア（0）されても，すぐにP2IFnビットがセット（1）され，連続的に割り込みが発生します。この状態を回避するためには，割り込み処理ルーチン内で，外部デバイスに対して$\overline{\text{INTP2n}}$端子をインアクティブにする処理を行ったあと，P2IFnビットを強制的にクリア（0）してください。

2. ある割り込み処理中に，より優先順位の低いレベル検出割り込み要求（INTP2n）が発生し，現在の割り込み処理が終了する前に，新たに発生したレベル検出割り込み（INTP2n）がインアクティブになった場合，新たに発生した割り込み（INTP2n）の割り込み要求は保留されます（n = 1-5）。このINTP2nの割り込み要求を受け付けたくない場合は，割り込み制御レジスタのP2IFnビットをクリアしてください。

14. 3. 3　ポート5

ポート5は，1ビット単位で入出力を指定できる6ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P5	0	0	P55	P54	P53	P52	P51	P50	FFFFF40AH	不定

ビット位置	ビット名	意　味
5-0	P5n (n = 5-0)	入出力ポート

備考　入出力ポートへの読み出し／書き込みについては14. 5　ポート機能の動作を参照してください。

ポートとしての機能のほかに，コントロール・モードではDMAコントローラ入出力，タイマ／カウンタ入出力，外部割り込み要求入力として動作可能です。

(1) コントロール・モード時の動作

端子名称	ピン番号	兼用端子名	備　考	
P50	25	$\overline{\text{INTP50}}$/$\overline{\text{DMARQ0}}$	外部割り込み要求入力／DMA要求入力	F-3
P51	24	$\overline{\text{INTP51}}$/$\overline{\text{DMAAK0}}$	外部割り込み要求入力／DMAアクノリッジ信号出力	G-2
P52	23	$\overline{\text{INTP52}}$/$\overline{\text{TC0}}$	外部割り込み要求入力／DMA終了信号出力	
P53	22	INTPC00/TIC0/ $\overline{\text{DMARQ1}}$	外部割り込み要求およびタイマC0の外部キャプチャ・トリガ入力／タイマ/カウンタ入力／DMA要求入力	F-2
P54	21	INTPC01/$\overline{\text{DMAAK1}}$	外部割り込み要求およびタイマC0の外部キャプチャ・トリガ入力／DMAアクノリッジ信号出力	G-1
P55	20	TOC0/$\overline{\text{TC1}}$	タイマ/カウンタ出力／DMA終了信号出力	J-1

(2) 入出力モード／コントロール・モードの設定

ポート5の入出力モードの設定は，ポート5モード・レジスタ（PM5）で行います。また，コントロール・モードの設定は，ポート5モード・コントロール・レジスタ（PMC5）とポート5ファンクション・コントロール・レジスタ（PFC5）で行います。

(a) ポート5モード・レジスタ（PM5）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50	FFFFF42AH	FFH

ビット位置	ビット名	意　味
5-0	PM5n (n = 5-0)	P5n端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポート5モード・コントロール・レジスタ（PMC5）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC5	0	0	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50	FFFFF44AH	00H

ビット位置	ビット名	意　味
5	PMC55	P55端子の動作モードを指定します。PFC5レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：TOC0出力モード/DMA終了信号（$\overline{\text{TC1}}$）出力モード
4	PMC54	P54端子の動作モードを指定します。PFC5レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求およびタイマC0の外部キャプチャ・トリガ（INTPC01）入力モード/DMAアクノリッジ信号（$\overline{\text{DMAAK1}}$）出力モード
3	PMC53	P53端子の動作モードを指定します。PFC5レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求およびタイマC0の外部キャプチャ・トリガ（INTPC00）入力モード/TIC0入力モード/DMA要求（$\overline{\text{DMARQ1}}$）入力モード
2	PMC52	P52端子の動作モードを指定します。PFC5レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTP52}}$）入力モード/ DMA終了信号（$\overline{\text{TC0}}$）出力モード
1	PMC51	P51端子の動作モードを指定します。PFC5レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTP51}}$）入力モード/ DMAアクノリッジ信号（$\overline{\text{DMAAK0}}$）出力モード
0	PMC50	P50端子の動作モードを指定します。PFC5レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTP50}}$）入力モード/ DMA要求（$\overline{\text{DMARQ0}}$）入力モード

（c）ポート5ファンクション・コントロール・レジスタ（PFC5）

8/1ビット単位でリード／ライト可能です。

注意　ポート5モード・コントロール・レジスタ（PMC5）でポート・モードを指定した場合は，このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC5	0	0	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50	FFFFF46AH	00H

ビット位置	ビット名	意　味
5	PFC55	P55端子のコントロール・モード時の動作モードを指定します。 0：TOC0出力モード 1：DMA終了信号（$\overline{\text{TC1}}$）出力モード
4	PFC54	P54端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求およびタイマC0の外部キャプチャ・トリガ（INTPC01）入力モード 1：DMAアクノリッジ信号（$\overline{\text{DMAAK1}}$）出力
3	PFC53	P53端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求およびタイマC0の外部キャプチャ・トリガ（INTPC00）入力モード/TIC0入力モード 1：DMA要求（$\overline{\text{DMARQ1}}$）入力モード 外部割り込み要求およびタイマC0の外部キャプチャ・トリガ（INTPC00）入力モードとTIC0入力モードを切り替えるレジスタはありません。 ・TIC0入力モードとして使用する場合： 外部割り込み要求およびタイマC0の外部キャプチャ・トリガ（INTPC00）をマスクするか，CCC00レジスタをコンペア･レジスタに設定してください。 ・外部割り込み要求およびタイマC0の外部キャプチャ・トリガ（INTPC00）として使用する場合： TMCC01レジスタのETIC0ビットを0に設定してください。
2	PFC52	P52端子の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTP52}}$）入力モード 1：DMA終了信号（$\overline{\text{TC0}}$）出力モード
1	PFC51	P51端子の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTP51}}$）入力モード 1：DMAアクノリッジ信号（$\overline{\text{DMAAK0}}$）出力
0	PFC50	P50端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTP50}}$）入力モード 1：DMA要求（$\overline{\text{DMARQ0}}$）入力モード

(3) 割り込みトリガ・モードの選択

$\overline{\text{INTP5n}}$端子は，有効エッジをプログラマブルに選択できます（n = 0-2）。また，$\overline{\text{INTP5n}}$端子はレベル検出も選択できます。

有効エッジとレベル検出は，外部割り込み立ち上がりエッジ指定レジスタ5（INTR5），外部割り込み立ち下がりエッジ指定レジスタ5（INTF5）で指定します。

(a) 外部割り込み立ち上がりエッジ指定レジスタ5（INTR5），外部割り込み立ち下がりエッジ指定レジスタ5（INTF5）

外部端子による外部割り込み要求（INTP5n）のトリガ・モードを指定するレジスタです（n = 0-2）。各ビットと，そのビットが制御する外部割り込み要求との対応を次に示します。

- INTF50, INTR50ビット　：INTP50
- INTF51, INTR51ビット　：INTP51
- INTF52, INTR52ビット　：INTP52

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード／ライト可能です。

注意　トリガ・モードを設定する場合は，PMC5レジスタを設定したあとで行ってください。
INTR5, INTF5レジスタを設定したあとでPMC5レジスタの設定を行うと，PMC5レジスタの設定タイミングで不正な割り込みが発生することがあります。

	7	6	5	4	3	2	1	0	アドレス	初期値
INTR5	0	0	0	0	0	INTR52	INTR51	INTR50	FFFFFC2AH	07H
INTF5	0	0	0	0	0	INTF52	INTF51	INTF50	FFFFFC0AH	00H

ビット位置	ビット名	意　味
2-0	INTF5n, INTR5n (n = 0-2)	$\overline{\text{INTP5n}}$端子のトリガ・モードを指定します。

INTF5n	INTR5n	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	レベル検出（ロウ・レベル検出）注1, 2
1	1	立ち上がり／立ち下がり両エッジ

注1. $\overline{\text{INTP5n}}$端子のレベルは，メイン・クロック（fx）を4分周したタイミングごとにサンプリングされ，ロウ・レベルを検出するとP5IFnビットとして割り込み要求がラッチされます（n = 0-2）。このため，CPUが割り込みを受け付けて，割り込み制御レジスタ（P5ICn）のP5IFnビットが自動的にクリア（0）されても，すぐにP5IFnビットがセット（1）され，連続的に割り込みが発生します。この状態を回避するためには，割り込み処理ルーチン内で，外部デバイスに対して$\overline{\text{INTP5n}}$端子をインアクティブにする処理を行ったあと，P5IFnビットを強制的にクリア（0）してください。

2. ある割り込み処理中に，より優先順位の低いレベル検出割り込み要求（INTP5n）が発生し，現在の割り込み処理が終了する前に，新たに発生したレベル検出割り込み（INTP5n）がインアクティブになった場合，新たに発生した割り込み（INTP5n）の割り込み要求は保留されます（n = 0-2）。このINTP5nの割り込み要求を受け付けたくない場合は，割り込み制御レジスタのP5IFnビットをクリアしてください。

14. 3. 4　ポート6

ポート6は，1ビット単位で入出力を指定できる3ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P6	P67	P66	P65	0	0	0	0	0	FFFFF40CH	不定

ビット位置	ビット名	意　味
7-5	P6n (n = 7-5)	入出力ポート

備考　入出力ポートへの読み出し／書き込みについては14. 5　ポート機能の動作を参照してください。

ポートとしての機能のほかに，コントロール・モードではタイマ／カウンタ入出力，外部割り込み要求入力として動作可能です。

(1) コントロール・モード時の動作

端子名称	ピン番号	兼用端子名	備　考	ブロック・タイプ
P65	19	$\overline{\text{INTP65}}$/INTPC10/TIC1	外部割り込み要求およびタイマC1の外部キャプチャ・トリガ入力／タイマ/カウンタ入力	L-5
P66	18	$\overline{\text{INTP66}}$/INTPC11	外部割り込み要求およびタイマC1の外部キャプチャ・トリガ入力	
P67	17	$\overline{\text{INTP67}}$/TOC1	外部割り込み要求入力／タイマ/カウンタ出力	L-3

(2) 入出力モード／コントロール・モードの設定

ポート6の入出力モードの設定は，ポート6モード・レジスタ（PM6）で行います。また，コントロール・モードの設定は，ポート6モード・コントロール・レジスタ（PMC6）とポート6ファンクション・コントロール・レジスタ（PFC6）で行います。

(a) ポート6モード・レジスタ（PM6）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM6	PM67	PM66	PM65	1	1	1	1	1	FFFFF42CH	FFH

ビット位置	ビット名	意　味
7-5	PM6n (n = 7-5)	P6n端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポート6モード・コントロール・レジスタ（PMC6）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC6	PMC67	PMC66	PMC65	0	0	0	0	0	FFFFF44CH	00H

ビット位置	ビット名	意　味
7	PMC67	P67端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTP67}}$）入力モード／TOC1出力モード
6	PMC66	P66端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTP66}}$）入力モード／ 外部割り込み要求およびタイマC1の外部キャプチャ・トリガ（INTPC11）入力モード
5	PMC65	P65端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTP65}}$）入力モード／ 外部割り込み要求およびタイマC1の外部キャプチャ・トリガ（INTPC10）入力モード/TIC1入力モード

(c) ポート6ファンクション・コントロール・レジスタ（PFC6）

8/1ビット単位でリード／ライト可能です。

注意　ポート6モード・コントロール・レジスタ（PMC6）でポート・モードを指定した場合は，このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC6	PFC67	PFC66	PFC65	0	0	0	0	0	FFFFF46CH	00H

ビット位置	ビット名	意　味
7	PFC67	P67端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTP67}}$）入力モード 1：TOC1出力モード
6	PFC66	P66端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTP66}}$）入力モード 1：外部割り込み要求およびタイマC1の外部キャプチャ・トリガ（INTPC11）入力モード
5	PFC65	P65端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTP65}}$）入力モード 1：外部割り込み要求およびタイマC1の外部キャプチャ・トリガ（INTPC10）入力モード/TIC1入力モード 外部割り込み要求およびタイマC1の外部キャプチャ・トリガ（INTPC10）入力モードとTIC1入力モードを切り替えるレジスタはありません。 ・TIC1入力モードとして使用する場合： 外部割り込み要求およびタイマC1の外部キャプチャ・トリガ（INTPC10）をマスクするか，CCC10レジスタをコンペア･レジスタに設定してください。 ・外部割り込み要求およびタイマC1の外部キャプチャ・トリガ（INTPC10）として使用する場合： TMCC11レジスタのETIC1ビットを0に設定してください。

(3) 割り込みトリガ・モードの選択

$\overline{\text{INTP6n}}$端子は，有効エッジをプログラマブルに選択できます（n = 5-7）。また，$\overline{\text{INTP6n}}$端子はレベル検出も選択できます。

有効エッジとレベル検出は，外部割り込み立ち上がりエッジ指定レジスタ6（INTR6），外部割り込み立ち下がりエッジ指定レジスタ6（INTF6）で指定します。

(a) 外部割り込み立ち上がりエッジ指定レジスタ6（INTR6），外部割り込み立ち下がりエッジ指定レジスタ6（INTF6）

外部端子による外部割り込み要求（INTP6n）のトリガ・モードを指定するレジスタです（n = 5-7）。各ビットと，そのビットが制御する外部割り込み要求との対応を次に示します。

- INTF65, INTR65ビット　：INTP65
- INTF66, INTR66ビット　：INTP66
- INTF67, INTR67ビット　：INTP67

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード／ライト可能です。

注意　トリガ・モードを設定する場合は，PMC6レジスタを設定したあとで行ってください。
INTR6, INTF6レジスタを設定したあとでPMC6レジスタの設定を行うと，PMC6レジスタの設定タイミングで不正な割り込みが発生することがあります。

	7	6	5	4	3	2	1	0	アドレス	初期値
INTR6	INTR67	INTR66	INTR65	0	0	0	0	0	FFFFFC2CH	E0H
INTF6	INTF67	INTF66	INTF65	0	0	0	0	0	FFFFFC0CH	00H

ビット位置	ビット名	意　味
7-5	INTF6n, INTR6n (n = 7-5)	$\overline{\text{INTP6n}}$端子のトリガ・モードを指定します。

INTF6n	INTR6n	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	レベル検出（ロウ・レベル検出）注1, 2
1	1	立ち上がり／立ち下がり両エッジ

注1. $\overline{\text{INTP6n}}$端子のレベルは，メイン・クロック（fx）を4分周したタイミングごとにサンプリングされ，ロウ・レベルを検出するとP6IFnビットとして割り込み要求がラッチされます（n = 5-7）。このため，CPUが割り込みを受け付けて，割り込み制御レジスタ（P6ICn）のP6IFnビットが自動的にクリア（0）されても，すぐにP6IFnビットがセット（1）され，連続的に割り込みが発生します。この状態を回避するためには，割り込み処理ルーチン内で，外部デバイスに対して$\overline{\text{INTP6n}}$端子をインアクティブにする処理を行ったあと，P6IFnビットを強制的にクリア（0）してください。

2. ある割り込み処理中に，より優先順位の低いレベル検出割り込み要求（INTP6n）が発生し，現在の割り込み処理が終了する前に，新たに発生したレベル検出割り込み（INTP6n）がインアクティブになった場合，新たに発生した割り込み（INTP6n）の割り込み要求は保留されます（n = 5-7）。このINTP6nの割り込み要求を受け付けたくない場合は,割り込み制御レジスタのP6IFnビットをクリアしてください。

14. 3. 5　ポート7

ポート7は，1ビット単位で入出力を指定できる6ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P7	P77	P76	P75	P74	P73	P72	0	0	FFFFF40EH	不定

ビット位置	ビット名	意　味
7-2	P7n (n = 7-2)	入出力ポート

備考　入出力ポートへの読み出し／書き込みについては14. 5　ポート機能の動作を参照してください。

ポートとしての機能のほかに，コントロール・モードではDMAコントローラ入出力，タイマ／カウンタ入出力，外部割り込み要求入力として動作可能です。

(1) コントロール・モード時の動作

端子名称	ピン番号	兼用端子名	備　考	ブロック・タイプ
P72	176	INTPC20/TIC2/$\overline{\text{DMARQ2}}$	外部割り込み要求およびタイマC2の外部キャプチャ・トリガ入力／タイマ/カウンタ入力／DMA要求入力	L-4
P73	175	INTPC21/$\overline{\text{DMAAK2}}$	外部割り込み要求およびタイマC2の外部キャプチャ・トリガ入力/DMAアクノリッジ信号出力	L-2
P74	174	TOC2/$\overline{\text{TC2}}$	タイマ/カウンタ出力／DMA終了信号出力	L-1
P75	173	INTPC30/TIC3/$\overline{\text{DMARQ3}}$	外部割り込み要求およびタイマC3の外部キャプチャ・トリガ入力／タイマ/カウンタ入力／DMA要求入力	L-4
P76	172	INTPC31/$\overline{\text{DMAAK3}}$	外部割り込み要求およびタイマC3の外部キャプチャ・トリガ入力／DMAアクノリッジ信号出力	L-2
P77	171	TOC3/$\overline{\text{TC3}}$	タイマ/カウンタ出力／DMA終了信号出力	L-1

(2) 入出力モード／コントロール・モードの設定

ポート7の入出力モードの設定は，ポート7モード・レジスタ（PM7）で行います。また，コントロール・モードの設定は，ポート7モード・コントロール・レジスタ（PMC7）とポート7ファンクション・コントロール・レジスタ（PFC7）で行います。

(a) ポート7モード・レジスタ（PM7）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM7	PM77	PM76	PM75	PM74	PM73	PM72	1	1	FFFFF42EH	FFH

ビット位置	ビット名	意　味
7-2	PM7n (n = 7-2)	P7n端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポート7モード・コントロール・レジスタ（PMC7）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC7	PMC77	PMC76	PMC75	PMC74	PMC73	PMC72	0	0	FFFFF44EH	00H

ビット位置	ビット名	意　味
7	PMC77	P77端子の動作モードを指定します。PFC7レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：TOC3出力モード／DMA終了信号（$\overline{\text{TC3}}$）出力モード
6	PMC76	P76端子の動作モードを指定します。PFC7レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求およびタイマC3の外部キャプチャ・トリガ（INTPC31）入力モード／DMAアクノリッジ信号（$\overline{\text{DMAAK3}}$）出力モード
5	PMC75	P75端子の動作モードを指定します。PFC7レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求およびタイマC3の外部キャプチャ・トリガ（INTPC30）入力モード／TIC3入力モード／DMA要求（$\overline{\text{DMARQ3}}$）入力モード
4	PMC74	P74端子の動作モードを指定します。PFC7レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：TOC2出力モード／DMA終了信号（$\overline{\text{TC2}}$）出力モード
3	PMC73	P73端子の動作モードを指定します。PFC7レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求およびタイマC2の外部キャプチャ・トリガ（INTPC21）入力モード／DMAアクノリッジ信号（$\overline{\text{DMAAK2}}$）出力モード
2	PMC72	P72端子の動作モードを指定します。PFC7レジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求およびタイマC2の外部キャプチャ・トリガ（INTPC20）入力モード／TIC2入力モード／DMA要求（$\overline{\text{DMARQ2}}$）入力モード

(c) ポート7ファンクション・コントロール・レジスタ（PFC7）

8/1ビット単位でリード／ライト可能です。

注意　ポート7モード・コントロール・レジスタ（PMC7）でポート・モードを指定した場合は，このレジスタの設定は無効となります。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC7	PFC77	PFC76	PFC75	PFC74	PFC73	PFC72	0	0	FFFFF46EH	00H

ビット位置	ビット名	意　味
7	PFC77	P77端子のコントロール・モード時の動作モードを指定します。 0：TOC3出力モード 1：DMA終了信号（$\overline{TC3}$）出力モード
6	PFC76	P76端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求およびタイマC3の外部キャプチャ・トリガ（INTPC31）入力モード 1：DMAアクノリッジ信号（$\overline{DMAAK3}$）出力
5	PFC75	P75端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求およびタイマC3の外部キャプチャ・トリガ（INTPC30）入力モード/TIC3入力モード 1：DMA要求（$\overline{DMARQ3}$）入力モード 外部割り込み要求およびタイマC3の外部キャプチャ・トリガ（INTPC30）入力モードとTIC3入力モードを切り替えるレジスタはありません。 ・TIC3入力モードとして使用する場合： 外部割り込み要求およびタイマC3の外部キャプチャ・トリガ（INTPC30）をマスクするか，CCC30レジスタをコンペア･レジスタに設定してください。 ・外部割り込み要求およびタイマC3の外部キャプチャ・トリガ（INTPC30）として使用する場合： TMCC31レジスタのETIC3ビットを0に設定してください。
4	PFC74	P74端子の動作モードを指定します。 0：TOC2出力モード 1：DMA終了信号（$\overline{TC2}$）出力モード
3	PFC73	P73端子の動作モードを指定します。 0：外部割り込み要求およびタイマC2の外部キャプチャ・トリガ（INTPC21）入力モード 1：DMAアクノリッジ信号（$\overline{DMAAK2}$）出力

(2/2)

ビット位置	ビット名	意　　味
2	PFC72	P72端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求およびタイマC2の外部キャプチャ・トリガ（INTPC20）入力モード/TIC2入力モード 1：DMA要求（$\overline{\text{DMARQ2}}$）入力モード 外部割り込み要求およびタイマC2の外部キャプチャ・トリガ（INTPC20）入力モードとTIC2入力モードを切り替えるレジスタはありません。 ・TIC2入力モードとして使用する場合： 外部割り込み要求およびタイマC2の外部キャプチャ・トリガ（INTPC20）をマスクするか，CCC20レジスタをコンペア･レジスタに設定してください。 ・外部割り込み要求およびタイマC2の外部キャプチャ・トリガ（INTPC20）として使用する場合： TMCC21レジスタのETIC2ビットを0に設定してください。

14. 3. 6　ポートAL

ポートAL（PAL）は，1ビット単位で入出力を指定できる16ビット入出力ポートです。

ポートALの上位8ビットをポートALH（PALH），下位8ビットをポートALL（PALL）とした場合は，1ビット単位で入出力を指定できる8ビット入出力ポートになります。

	15	14	13	12	11	10	9	8	アドレス	初期値
PAL	0	0	0	0	0	0	0	0	FFFFF001H	不定
	7	6	5	4	3	2	1	0	アドレス	
	0	0	0	0	0	0	PAL1	PAL0	FFFFF000H	

ビット位置	ビット名	意　味
1, 0	PALn (n = 1, 0)	入出力ポート

備考　入出力ポートへの読み出し／書き込みについては14. 5　ポート機能の動作を参照してください。

ポートとしての機能のほかに，コントロール・モードではメモリを外部に拡張する場合のアドレス・バス，外部割り込み要求入力として動作可能です。

(1) コントロール・モード時の動作

端子名称	ピン番号	兼用端子名	備　考	ブロック・タイプ
PAL0	76	$\overline{\text{INTPL0}}$/A0	メモリ拡張時のアドレス・バス／外部割り込み要求入力	G-3
PAL1	75	$\overline{\text{INTPL1}}$/A1		

(2) 入出力モード／コントロール・モードの設定

ポートALの入出力モードの設定は，ポートALモード・レジスタ（PMAL）で行います。また，コントロール・モードの設定は，ポートALモード・コントロール・レジスタ（PMCAL）とポートALファンクション・コントロール・レジスタL（PFCALL）で行います。

(a) ポートALモード・レジスタ（PMAL）

ポートALモード・レジスタ（PMAL）は，16ビット単位でリード／ライト可能です。

PMALの上位8ビットをポートALモード・レジスタH（PMALH），下位8ビットをポートALモード・レジスタL（PMALL）とした場合は，PMALHレジスタのとき，8/1ビット単位でリードのみ，PMALLレジスタのとき，8/1ビット単位でリード／ライト可能になります。

	15	14	13	12	11	10	9	8	アドレス	初期値
PMAL	1	1	1	1	1	1	1	1	FFFFF021H	FFFFH
	7	6	5	4	3	2	1	0	アドレス	
	1	1	1	1	1	1	PMAL1	PMAL0	FFFFF020H	

ビット位置	ビット名	意　味
1, 0	PMALn (n = 1, 0)	PALn端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポートALモード・コントロール・レジスタ（PMCAL）

ポートALモード・コントロール・レジスタ（PMCAL）は，16ビット単位でリード／ライト可能です。

PMCALの上位8ビットをポートALモード・コントロール・レジスタH（PMCALH），下位8ビットをポートALモード・コントロール・レジスタL（PMCALL）とした場合は，PMCALHレジスタのとき，8/1ビット単位でリードのみ，PMCALLレジスタのとき，8/1ビット単位でリード／ライト可能になります。

	15	14	13	12	11	10	9	8	アドレス	初期値
PMCAL	0	0	0	0	0	0	0	0	FFFFF041H	0002H
	7	6	5	4	3	2	1	0	アドレス	
	0	0	0	0	0	0	PMCAL1	PMCAL0	FFFFF040H	

ビット位置	ビット名	意　味
1	PMCAL1	PAL1端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{INTPL1}}$入力モード/A1出力モード
0	PMCAL0	PAL0端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{INTPL0}}$入力モード/A0出力モード

(c) ポートALファンクション・コントロール・レジスタL（PFCALL）

8/1ビット単位でリード／ライト可能です。

注意　ポートALモード・コントロール・レジスタ（PMCAL）でポート・モードを指定した場合は，このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFCALL	0	0	0	0	0	0	PFCAL1	PFCAL0	FFFFF058H	03H

ビット位置	ビット名	意　味
1	PFCAL1	PAL1端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTPL1}}$）入力モード 1：A1出力モード
0	PFCAL0	PAL0端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTPL0}}$）入力モード 1：A0出力モード

(3) 割り込みトリガ・モードの選択

$\overline{\text{INTPLn}}$端子は，有効エッジをプログラマブルに選択できます（n = 0, 1）。また，$\overline{\text{INTPLn}}$端子はレベル検出も選択できます。

有効エッジとレベル検出は，外部割り込み立ち上がりエッジ指定レジスタAL（INTRAL），外部割り込み立ち下がりエッジ指定レジスタAL（INTFAL）で指定します。

(a) 外部割り込み立ち上がりエッジ指定レジスタAL（INTRAL），外部割り込み立ち下がりエッジ指定レジスタAL（INTFAL）

外部端子による外部割り込み要求（INTPLn）のトリガ・モードを指定するレジスタです（n = 0, 1）。各ビットと，そのビットが制御する外部割り込み要求との対応を次に示します。

- INTFAL0, INTRAL0ビット：INTPL0
- INTFAL1, INTRAL1ビット：INTPL1

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード／ライト可能です。

注意　トリガ・モードを設定する場合は，PMCALレジスタを設定したあとで行ってください。INTRAL, INTFALレジスタを設定したあとでPMCALレジスタの設定を行うと，PMCALレジスタの設定タイミングで不正な割り込みが発生することがあります。

	7	6	5	4	3	2	1	0	アドレス	初期値
INTRAL	0	0	0	0	0	0	INTRAL1	INTRAL0	FFFFFC30H	03H
INTFAL	0	0	0	0	0	0	INTFAL1	INTFAL0	FFFFFC10H	00H

ビット位置	ビット名	意　味
1, 0	INTFALn, INTRALn (n = 0, 1)	$\overline{\text{INTPLn}}$端子のトリガ・モードを指定します。

INTFALn	INTRALn	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	レベル検出（ロウ・レベル検出）注1, 2
1	1	立ち上がり／立ち下がり両エッジ

注1. $\overline{\text{INTPLn}}$端子のレベルは，メイン・クロック（fx）を4分周したタイミングごとにサンプリングされ，ロウ・レベルを検出するとPLIFnビットとして割り込み要求がラッチされます（n = 0, 1）。このため，CPUが割り込みを受け付けて，割り込み制御レジスタ（PLICn）のPLIFnビットが自動的にクリア（0）されても，すぐにPLIFnビットがセット（1）され，連続的に割り込みが発生します。この状態を回避するためには，割り込み処理ルーチン内で，外部デバイスに対して$\overline{\text{INTPLn}}$端子をインアクティブにする処理を行ったあと，PLIFnビットを強制的にクリア（0）してください。

2. ある割り込み処理中に，より優先順位の低いレベル検出割り込み要求（INTPLn）が発生し，現在の割り込み処理が終了する前に，新たに発生したレベル検出割り込み（INTPLn）がインアクティブになった場合，新たに発生した割り込み（INTPLn）の割り込み要求は保留されます（n = 0, 1）。このINTPLnの割り込み要求を受け付けたくない場合は，割り込み制御レジスタのPLIFnビットをクリアしてください。

14. 3. 7　ポートAH

ポートAH（PAH）は，1ビット単位で入出力を指定できる10ビット入出力ポートです。

ポートAHの上位8ビットをポートAHH（PAHH），下位8ビットをポートAHL（PAHL）とした場合は，1ビット単位で入出力を指定できる8ビット入出力ポートになります。

	15	14	13	12	11	10	9	8	アドレス	初期値
PAH	0	0	0	0	0	0	PAH9	PAH8	FFFFF003H	不定
	7	6	5	4	3	2	1	0	アドレス	
	PAH7	PAH6	PAH5	PAH4	PAH3	PAH2	PAH1	PAH0	FFFFF002H	

ビット位置	ビット名	意　味
9-0	PAHn (n = 9-0)	入出力ポート

備考　入出力ポートへの読み出し／書き込みについては14. 5　ポート機能の動作を参照してください。

ポートとしての機能のほかに，コントロール・モードではメモリを外部に拡張する場合のアドレス・バスとして動作可能です。

(1) コントロール・モード時の動作

端子名称	ピン番号	兼用端子名	備　考	ブロック・タイプ
PAH0	58	A16	メモリ拡張時のアドレス・バス	D-2
PAH1	57	A17		
PAH2	52	A18		
PAH3	51	A19		
PAH4	50	A20		
PAH5	49	A21		
PAH6	48	A22		
PAH7	47	A23		
PAH8	46	A24		
PAH9	45	A25		

(2) 入出力モード／コントロール・モードの設定

ポートAHの入出力モードの設定は，ポートAHモード・レジスタ（PMAH）で行います。また，コントロール・モードの設定は，ポートAHモード・コントロール・レジスタ（PMCAH）で行います。

(a) ポートAHモード・レジスタ（PMAH）

ポートAHモード・レジスタ（PMAH）は，16ビット単位でリード／ライト可能です。

PMAHの上位8ビットをポートAHモード・レジスタH（PMAHH），下位8ビットをポートAHモード・レジスタL（PMAHL）とした場合は，8/1ビット単位でリード／ライト可能になります。

	15	14	13	12	11	10	9	8	アドレス	初期値
PMAH	1	1	1	1	1	1	PMAH9	PMAH8	FFFFF023H	FFFFH
	7	6	5	4	3	2	1	0	アドレス	
	PMAH7	PMAH6	PMAH5	PMAH4	PMAH3	PMAH2	PMAH1	PMAH0	FFFFF022H	

ビット位置	ビット名	意　味
9-0	PMAHn (n = 9-0)	PAHn端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポートAHモード・コントロール・レジスタ（PMCAH）

ポートAHモード・コントロール・レジスタ（PMCAH）は，16ビット単位でリード／ライト可能です。

PMCAHの上位8ビットをポートAHモード・コントロール・レジスタH（PMCAHH），下位8ビットをポートAHモード・コントロール・レジスタL（PMCAHL）とした場合は，8/1ビット単位でリード／ライト可能になります。

	15	14	13	12	11	10	9	8	アドレス	初期値
PMCAH	0	0	0	0	0	0	PMCAH9	PMCAH8	FFFFF043H	03FFH
	7	6	5	4	3	2	1	0	アドレス	
	PMCAH7	PMCAH6	PMCAH5	PMCAH4	PMCAH3	PMCAH2	PMCAH1	PMCAH0	FFFFF042H	

ビット位置	ビット名	意　味
9-0	PMCAHn (n = 9-0)	PAHn端子の動作モードを指定します。 0：入出力ポート・モード 1：A25-A16出力モード

14. 3. 8　ポートDH

ポートDH（PDH）は，1ビット単位で入出力を指定できる16ビット入出力ポートです。

ポートDHの上位8ビットをポートDHH（PDHH），下位8ビットをポートDHL（PDHL）とした場合は，1ビット単位で入出力を指定できる8ビット入出力ポートになります。

注意　32ビット・モード（MODE1, MODE0端子 = 00）時およびPFCDHレジスタのBMODCNビット設定時には，14. 3. 8　ポートDHのレジスタ機能はすべてが無効となります。

	15	14	13	12	11	10	9	8	アドレス	初期値
PDH	PDH15	PDH14	PDH13	PDH12	PDH11	PDH10	PDH9	PDH8	FFFFF007H	不定
	7	6	5	4	3	2	1	0	アドレス	
	PDH7	PDH6	PDH5	PDH4	PDH3	PDH2	PDH1	PDH0	FFFFF006H	

ビット位置	ビット名	意　味
15-0	PDHn (n = 15-0)	入出力ポート

備考　入出力ポートへの読み出し／書き込みについては14. 5　ポート機能の動作を参照してください。

ポートとしての機能のほかに，コントロール・モードではメモリを外部に拡張する場合のデータ・バス，タイマ／カウンタ入出力，PWMの出力，外部割り込み要求入力として動作可能です。

（1）コントロール・モード時の動作

端子名称	ピン番号	兼用端子名	備　　考	ブロック・タイプ
PDH0	112	D16/$\overline{\text{INTPD0}}$	メモリ拡張時のデータ・バス／外部割り込み要求入力	M-1
PDH1	113	D17/$\overline{\text{INTPD1}}$	メモリ拡張時のデータ・バス／外部割り込み要求入力	
PDH2	114	D18/$\overline{\text{INTPD2}}$/TOC4	メモリ拡張時のデータ・バス／外部割り込み要求入力／タイマ/カウンタ出力	M-2
PDH3	117	D19/$\overline{\text{INTPD3}}$	メモリ拡張時のデータ・バス／外部割り込み要求入力	M-1
PDH4	118	D20/$\overline{\text{INTPD4}}$	メモリ拡張時のデータ・バス／外部割り込み要求入力	
PDH5	119	D21/$\overline{\text{INTPD5}}$/TOC5	メモリ拡張時のデータ・バス／外部割り込み要求入力／タイマ/カウンタ出力	M-2
PDH6	120	D22/$\overline{\text{INTPD6}}$/INTP100/TCUD10	メモリ拡張時のデータ・バス／外部割り込み要求入力／タイマENC10の外部キャプチャ・トリガ入力／タイマ/カウンタ入力	M-3
PDH7	121	D23/$\overline{\text{INTPD7}}$/INTP101/TCLR10	メモリ拡張時のデータ・バス／外部割り込み要求入力／タイマENC10の外部キャプチャ・トリガ入力／タイマ/カウンタ入力	
PDH8	122	D24/$\overline{\text{INTPD8}}$/TO10	メモリ拡張時のデータ・バス／外部割り込み要求入力／タイマ/カウンタ出力	M-2
PDH9	123	D25/$\overline{\text{INTPD9}}$/TIUD10	メモリ拡張時のデータ・バス／外部割り込み要求入力／タイマ/カウンタ入力	M-3
PDH10	124	D26/$\overline{\text{INTPD10}}$/INTP110/TCUD11	メモリ拡張時のデータ・バス／外部割り込み要求入力／タイマENC11の外部キャプチャ・トリガ入力／タイマ/カウンタ入力	
PDH11	125	D27/$\overline{\text{INTPD11}}$/INTP111/TCLR11	メモリ拡張時のデータ・バス／外部割り込み要求入力／タイマENC11の外部キャプチャ・トリガ入力／タイマ/カウンタ入力	
PDH12	126	D28/$\overline{\text{INTPD12}}$/TO11	メモリ拡張時のデータ・バス／外部割り込み要求入力／タイマ/カウンタ出力	M-2
PDH13	127	D29/$\overline{\text{INTPD13}}$/TIUD11	メモリ拡張時のデータ・バス／外部割り込み要求入力／タイマ/カウンタ入力	M-3
PDH14	130	D30/$\overline{\text{INTPD14}}$/PWM0	メモリ拡張時のデータ・バス／外部割り込み要求入力／PWM出力	M-2
PDH15	131	D31/$\overline{\text{INTPD15}}$/PWM1	メモリ拡張時のデータ・バス／外部割り込み要求入力／PWM出力	

(2) 入出力モード／コントロール・モードの設定

ポートDHの入出力モードの設定は，ポートDHモード・レジスタ（PMDH）で行います。また，コントロール・モードの設定は，ポートDHモード・コントロール・レジスタ（PMCDH）とポートDHファンクション・コントロール・レジスタ（PFCDH）で行います。

(a) ポートDHモード・レジスタ（PMDH）

ポートDHモード・レジスタ（PMDH）は，16ビット単位でリード／ライト可能です。

PMDHの上位8ビットをポートDHモード・レジスタH（PMDHH），下位8ビットをポートDHモード・レジスタL（PMDHL）とした場合は，8/1ビット単位でリード／ライト可能になります。

	15	14	13	12	11	10	9	8	アドレス	初期値
PMDH	PMDH15	PMDH14	PMDH13	PMDH12	PMDH11	PMDH10	PMDH9	PMDH8	FFFFF027H	FFFFH
	7	6	5	4	3	2	1	0	アドレス	
	PMDH7	PMDH6	PMDH5	PMDH4	PMDH3	PMDH2	PMDH1	PMDH0	FFFFF026H	

ビット位置	ビット名	意　味
15-0	PMDHn (n = 15-0)	PDHn端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポートDHモード・コントロール・レジスタ（PMCDH）

ポートDHモード・コントロール・レジスタ（PMCDH）は，16ビット単位でリード／ライト可能です。

PMCDHの上位8ビットをポートDHモード・コントロール・レジスタH（PMCDHH），下位8ビットをポートDHモード・コントロール・レジスタL（PMCDHL）とした場合は，8/1ビット単位でリード／ライト可能になります。

(1/2)

	15	14	13	12	11	10	9	8	アドレス	初期値
PMCDH	PMCDH15	PMCDH14	PMCDH13	PMCDH12	PMCDH11	PMCDH10	PMCDH9	PMCDH8	FFFFF047H	0000H
	7	6	5	4	3	2	1	0	アドレス	
	PMCDH7	PMCDH6	PMCDH5	PMCDH4	PMCDH3	PMCDH2	PMCDH1	PMCDH0	FFFFF046H	

ビット位置	ビット名	意　味
15	PMCDH15	PDH15端子の動作モードを指定します。PFCDHレジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTPD15}}$）入力モード/PWM1出力モード
14	PMCDH14	PDH14端子の動作モードを指定します。PFCDHレジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTPD14}}$）入力モード/PWM0出力モード
13	PMCDH13	PDH13端子の動作モードを指定します。PFCDHレジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTPD13}}$）入力モード/TIUD11入力モード
12	PMCDH12	PDH12端子の動作モードを指定します。PFCDHレジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTPD12}}$）入力モード/TO11出力モード
11	PMCDH11	PDH11端子の動作モードを指定します。PFCDHレジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTPD11}}$）入力モード／ タイマENC11の外部キャプチャ・トリガ（INTP111）入力モード/TCLR11入力モード
10	PMCDH10	PDH10端子の動作モードを指定します。PFCDHレジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTPD10}}$）入力モード／ タイマENC11の外部キャプチャ・トリガ（INTP110）入力モード/TCUD11入力モード

(2/2)

ビット位置	ビット名	意　味
9	PMCDH9	PDH9端子の動作モードを指定します。PFCDHレジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTPD9}}$）入力モード/TIUD10入力モード
8	PMCDH8	PDH8端子の動作モードを指定します。PFCDHレジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTPD8}}$）入力モード/TO10出力モード
7	PMCDH7	PDH7端子の動作モードを指定します。PFCDHレジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTPD7}}$）入力モード／ タイマENC10の外部キャプチャ・トリガ（INTP101）入力モード/TCLR10入力モード
6	PMCDH6	PDH6端子の動作モードを指定します。PFCDHレジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTPD6}}$）入力モード／ タイマENC10の外部キャプチャ・トリガ（INTP100）入力モード/TCUD10入力モード
5	PMCDH5	PDH5端子の動作モードを指定します。PFCDHレジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTPD5}}$）入力モード/TOC5出力モード
4	PMCDH4	PDH4端子の動作モードを指定します。PFCDHレジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTPD4}}$）入力モード
3	PMCDH3	PDH3端子の動作モードを指定します。PFCDHレジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTPD3}}$）入力モード
2	PMCDH2	PDH2端子の動作モードを指定します。PFCDHレジスタと組み合わせて設定しす。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTPD2}}$）入力モード/TOC4出力モード
1	PMCDH1	PDH1端子の動作モードを指定します。PFCDHレジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTPD1}}$）入力モード
0	PMCDH0	PDH0端子の動作モードを指定します。PFCDHレジスタと組み合わせて設定します。 0：入出力ポート・モード 1：外部割り込み要求（$\overline{\text{INTPD0}}$）入力モード

(c) ポートDHファンクション・コントロール・レジスタ（PFCDH）

ポートDHファンクション・コントロール・レジスタ（PFCDH）は，16ビット単位でリード／ライト可能です。

PFCDHの上位8ビットをポートDHファンクション・コントロール・レジスタH（PFCDHH），下位8ビットをポートDHファンクション・コントロール・レジスタL（PFCDHL）とした場合は，8/1ビット単位でリード／ライト可能になります。

注意　ポートDHモード・コントロール・レジスタ（PMCDH）でポート・モードを指定した場合は，このレジスタの設定は無効となります。ただし，ビット0はPMCDHレジスタのPMCDH0ビットの設定に依存しません。

(1/3)

	15	14	13	12	11	10	9	8	アドレス	初期値
PFCDH	PFCDH15	PFCDH14	PFCDH13	PFCDH12	PFCDH11	PFCDH10	PFCDH9	PFCDH8	FFFFF057H	0000H
	7	6	5	4	3	2	1	0	アドレス	
	PFCDH7	PFCDH6	PFCDH5	0	0	PFCDH2	0	BMODCN	FFFFF056H	

ビット位置	ビット名	意　味
15	PFCDH15	PDH15端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTPD15}}$）入力モード 1：PWM1出力モード
14	PFCDH14	PDH14端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTPD14}}$）入力モード 1：PWM0出力モード
13	PFCDH13	PDH13端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTPD13}}$）入力モード 1：TIUD11入力モード
12	PFCDH12	PDH12端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTPD12}}$）入力モード 1：TO11出力モード
11	PFCDH11	PDH11端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTPD11}}$）入力モード 1：タイマENC11の外部キャプチャ・トリガ（INTP111）入力モード/TCLR11入力モード タイマENC11の外部キャプチャ・トリガ（INTP111）入力モードとTCLR11入力モードを切り替えるレジスタはありません。 ・TCLR11入力モードとして使用する場合： タイマENC11の外部キャプチャ・トリガ（INTP111）をマスクするか，CC111レジスタをコンペア･レジスタに設定してください。 ・タイマENC11の外部キャプチャ・トリガ（INTP111）として使用する場合： TMC11レジスタのCLR111, CLR110ビットを00以外に設定してください。

(2/3)

ビット位置	ビット名	意　　味
10	PFCDH10	PDH10端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTPD10}}$）入力モード 1：タイマENC11の外部キャプチャ・トリガ（INTP110）入力モード／TCUD11入力モード タイマENC11の外部キャプチャ・トリガ（INTP110）入力モードとTCUD11入力モードを切り替えるレジスタはありません。 ・TCUD10入力モードとして使用する場合： タイマENC11の外部キャプチャ・トリガ（INTP110）をマスクするか，CC110レジスタをコンペア･レジスタに設定してください。 ・タイマENC11の外部キャプチャ・トリガ（INTP110）として使用する場合： TUM11レジスタのT1CMD1ビットを0に設定してください。
9	PFCDH9	PDH9端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTPD9}}$）入力モード 1：TIUD10入力モード
8	PFCDH8	PDH8端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTPD8}}$）入力モード 1：TO10出力モード
7	PFCDH7	PDH7端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTPD7}}$）入力モード 1：タイマENC10の外部キャプチャ・トリガ（INTP101）入力モード/TCLR10入力モード タイマENC10の外部キャプチャ・トリガ（INTP101）入力モードとTCLR10入力モードを切り替えるレジスタはありません。 ・TCLR10入力モードとして使用する場合： タイマENC10の外部キャプチャ・トリガ（INTP101）をマスクするか，CC101レジスタをコンペア･レジスタに設定してください。 ・タイマENC10の外部キャプチャ・トリガ（INTP101）として使用する場合： TMC10レジスタのCLR101, CLR100ビットを00以外に設定してください。

(3/3)

ビット位置	ビット名	意　　味
6	PFCDH6	PDH6端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTPD6}}$）入力モード 1：タイマENC10の外部キャプチャ・トリガ（INTP100）入力モード/TCUD10入力モード タイマENC10の外部キャプチャ・トリガ（INTP100）入力モードとTCUD10入力モードを切り替えるレジスタはありません。 ・TCUD10入力モードとして使用する場合： タイマENC10の外部キャプチャ・トリガ（INTP100）をマスクするか，CC100レジスタをコンペア･レジスタに設定してください。 ・タイマENC10の外部キャプチャ・トリガ（INTP100）として使用する場合： TUM10レジスタのT1CMD0ビットを0に設定してください。
5	PFCDH5	PDH5端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTPD5}}$）入力モード 1：TOC5出力モード
2	PFCDH2	PDH2端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（$\overline{\text{INTPD2}}$）入力モード 1：TOC4出力モード
0	BMODCN	16ビット・モード（16ビット・データ・バス）でのD16-D31端子の動作モードを指定します。ただし，BMODCNビットを0→1に変更しても，LBSレジスタには反映されません。 0：16ビット・モードでの起動時にD16-D31端子として使用しない。 （データ・バス幅：16/8ビット） 1：16ビット・モードでの起動時にD16-D31端子として使用する。 （データ・バス幅：32/16/8ビット） 注意　BMODCNビットは，MODE0, MODE1端子の状態により16ビット・モードに指定した場合のみ有効です。32ビット・モードに指定した場合は無効となります。 また，BMODCNビットの書き換えは，1回のみ有効です。2回以上書き換えた場合の動作は保証しません。 なお，BMODCNビット = 1の場合は，MODE0, MODE1端子の状態により，32ビット・モードに指定した場合と同等になります。

(3) 割り込みトリガ・モードの選択

$\overline{\text{INTPDn}}$端子は，有効エッジをプログラマブルに選択できます（n = 0-15）。また，$\overline{\text{INTPDn}}$端子はレベル検出も選択できます。

有効エッジとレベル検出は，外部割り込み立ち上がりエッジ指定レジスタDH（INTRDH），外部割り込み立ち下がりエッジ指定レジスタDH（INTFDH）で指定します。

(a) 外部割り込み立ち上がりエッジ指定レジスタDH（INTRDH），外部割り込み立ち下がりエッジ指定レジスタDH（INTFDH）

外部端子による外部割り込み要求（INTPDn）のトリガ・モードを指定するレジスタです（n = 0-15）。各ビットと，そのビットが制御する外部割り込み要求との対応を次に示します。

- INTFDH0, INTRDH0ビット　：INTPD0
- INTFDH1, INTRDH1ビット　：INTPD1
- INTFDH2, INTRDH2ビット　：INTPD2
- INTFDH3, INTRDH3ビット　：INTPD3
- INTFDH4, INTRDH4ビット　：INTPD4
- INTFDH5, INTRDH5ビット　：INTPD5
- INTFDH6, INTRDH6ビット　：INTPD6
- INTFDH7, INTRDH7ビット　：INTPD7
- INTFDH8, INTRDH8ビット　：INTPD8
- INTFDH9, INTRDH9ビット　：INTPD9
- INTFDH10, INTRDH10ビット：INTPD10
- INTFDH11, INTRDH11ビット：INTPD11
- INTFDH12, INTRDH12ビット：INTPD12
- INTFDH13, INTRDH13ビット：INTPD13
- INTFDH14, INTRDH14ビット：INTPD14
- INTFDH15, INTRDH15ビット：INTPD15

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

INTRDH, INTFDHレジスタは，16ビット単位でリード／ライト可能です。

INTRDH, INTFDHレジスタの上位8ビットをINTRDHH,INTFDHHレジスタ，下位8ビットをINTRDHL, INTFDHLレジスタとして使用した場合は，8/1ビット単位でリード／ライト可能です。

注意　トリガ・モードを設定する場合は，PMCDHレジスタを設定したあとで行ってください。
INTRDH, INTFDHレジスタを設定したあとでPMCDHレジスタの設定を行うと，PMCDHレジスタの設定タイミングで不正な割り込みが発生することがあります。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
INTRDH	INTR DH15	INTR DH14	INTR DH13	INTR DH12	INTR DH11	INTR DH10	INTR DH9	INTR DH8	INTR DH7	INTR DH6	INTR DH5	INTR DH4	INTR DH3	INTR DH2	INTR DH1	INTR DH0	FFFFFC36H	FFFFH
INTFDH	INTF DH15	INTF DH14	INTF DH13	INTF DH12	INTF DH11	INTF DH10	INTF DH9	INTF DH8	INTF DH7	INTF DH6	INTF DH5	INTF DH4	INTF DH3	INTF DH2	INTF DH1	INTF DH0	FFFFFC16H	0000H

ビット位置	ビット名	意　味
15-0	INTFDHn, INTRDHn (n = 0-15)	$\overline{\text{INTPD}}$n端子のトリガ・モードを指定します。

INTFDHn	INTRDHn	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	レベル検出（ロウ・レベル検出）注1, 2
1	1	立ち上がり／立ち下がり両エッジ

注1. $\overline{\text{INTPD}}$n端子のレベルは，メイン・クロック（fx）を4分周したタイミングごとにサンプリングされ，ロウ・レベルを検出するとPDIFnビットとして割り込み要求がラッチされます（n = 0-15）。このため，CPUが割り込みを受け付けて，割り込み制御レジスタ（PDICn）のPDIFnビットが自動的にクリア（0）されても，すぐにPDIFnビットがセット（1）され，連続的に割り込みが発生します。この状態を回避するためには，割り込み処理ルーチン内で，外部デバイスに対して$\overline{\text{INTPD}}$n端子をインアクティブにする処理を行ったあと，PDIFnビットを強制的にクリア（0）してください。

2. ある割り込み処理中に，より優先順位の低いレベル検出割り込み要求（INTPDn）が発生し，現在の割り込み処理が終了する前に，新たに発生したレベル検出割り込み（INTPDn）がインアクティブになった場合，新たに発生した割り込み（INTPDn）の割り込み要求は保留されます（n = 0-15）。このINTPDnの割り込み要求を受け付けたくない場合は，割り込み制御レジスタのPDIFnビットをクリアしてください。

14. 3. 9　ポートCS

ポートCS（PCS）は，1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCS	PCS7	PCS6	PCS5	PCS4	PCS3	PCS2	PCS1	PCS0	FFFFF008H	不定

ビット位置	ビット名	意　味
7-0	PCSn (n = 7-0)	入出力ポート

備考　入出力ポートへの読み出し／書き込みについては14. 5　ポート機能の動作を参照してください。

ポートとしての機能のほかに，コントロール・モードではメモリを外部に拡張する場合のチップ・セレクト信号出力，外部I/Oに対するリード／ライト・ストローブ信号出力として動作可能です。

(1) コントロール・モード時の動作

端子名称	ピン番号	兼用端子名	備　考	ブロック・タイプ
PCS0	44	$\overline{CS0}$	チップ・セレクト信号出力	D-2
PCS1	43	$\overline{CS1}$	チップ・セレクト信号出力	
PCS2	42	$\overline{CS2}$/$\overline{IOWR}$	チップ・セレクト信号出力／ライト・ストローブ信号出力	J-2
PCS3	41	$\overline{CS3}$	チップ・セレクト信号出力	D-2
PCS4	40	$\overline{CS4}$	チップ・セレクト信号出力	
PCS5	37	$\overline{CS5}$/$\overline{IORD}$	チップ・セレクト信号出力／リード・ストローブ信号出力	J-2
PCS6	36	$\overline{CS6}$	チップ・セレクト信号出力	D-2
PCS7	35	$\overline{CS7}$	チップ・セレクト信号出力	

(2) 入出力モード／コントロール・モードの設定

ポートCSの入出力モードの設定は，ポートCSモード・レジスタ（PMCS）で行います。また，コントロール・モードの設定は，ポートCSモード・コントロール・レジスタ（PMCCS）とポートCSファンクション・コントロール・レジスタ（PFCCS）で行います。

(a) ポートCSモード・レジスタ（PMCS）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCS	PMCS7	PMCS6	PMCS5	PMCS4	PMCS3	PMCS2	PMCS1	PMCS0	FFFFF028H	FFH

ビット位置	ビット名	意　味
7-0	PMCSn (n = 7-0)	PCSn端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポートCSモード・コントロール・レジスタ（PMCCS）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCCS	PMCCS7	PMCCS6	PMCCS5	PMCCS4	PMCCS3	PMCCS2	PMCCS1	PMCCS0	FFFFF048H	FFH

ビット位置	ビット名	意　味
7	PMCCS7	PCS7端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{CS7}}$出力モード
6	PMCCS6	PCS6端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{CS6}}$出力モード
5	PMCCS5	PCS5端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{CS5}}$出力モード/$\overline{\text{IORD}}$出力モード
4	PMCCS4	PCS4端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{CS4}}$出力モード
3	PMCCS3	PCS3端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{CS3}}$出力モード
2	PMCCS2	PCS2端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{CS2}}$出力モード/$\overline{\text{IOWR}}$出力モード
1	PMCCS1	PCS1端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{CS1}}$出力モード
0	PMCCS0	PCS0端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{CS0}}$出力モード

(c) ポートCSファンクション・コントロール・レジスタ（PFCCS）

8/1ビット単位でリード／ライト可能です。

$\overline{\text{LLWR}}$, $\overline{\text{LUWR}}$, $\overline{\text{ULWR}}$, $\overline{\text{UUWR}}$信号（以降$\overline{\text{xxWR}}$信号）とLLDQM, LUDQM, ULDQM, UUDQM信号（以降xxDQM）は兼用端子（$\overline{\text{xxWR}}$/xxDQM）になっています。また，$\overline{\text{WR}}$信号と$\overline{\text{WE}}$信号は兼用端子（$\overline{\text{WR}}$/$\overline{\text{WE}}$）となっています。このため，SDRAMアクセスの直後にSRAMインタフェースのデバイスへのアクセスが発生した場合，xxDQM（$\overline{\text{xxWR}}$）信号の立ち上がり，または$\overline{\text{WE}}$（$\overline{\text{WR}}$）信号の立ち上がり（インアクティブ・タイミング）が次のSRAMインタフェースのデバイスのサイクルにかかり，誤書き込みが発生する可能性があります。誤書き込みが発生する可能性がある場合には，CSDCnビットをセット（1）し，$\overline{\text{CSn}}$信号の立ち下がりタイミングを1クロック遅らせてください。

注意　ポートCSモード・コントロール・レジスタ（PMCCS）でポート・モードを指定した場合は，このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFCCS	CSDC7	CSDC6	PFCCS5	CSDC4	0注1	PFCCS2	0注1	CSDC0	FFFFF049H	00H

ビット位置	ビット名	意　味
7, 6, 4, 0	CSDCn注2, 3, 4, 5	チップ・セレクト信号（$\overline{\text{CSn}}$）出力タイミングを指定します。 0：ディレイ機能なし 1：ディレイ機能あり このビットをセット（1）すると，対応するチップ・セレクト信号（$\overline{\text{CSn}}$）の立ち下がりタイミングを1クロック遅らせることができます。 $\overline{\text{CSn}}$信号以外の出力タイミングは変わりません。
5	PFCCS5	PCS5端子のコントロール・モード時の動作モードを指定します。 0：$\overline{\text{CS5}}$出力モード 1：$\overline{\text{IORD}}$出力モード注6
2	PFCCS2	PCS2端子のコントロール・モード時の動作モードを指定します。 0：$\overline{\text{CS2}}$出力モード 1：$\overline{\text{IOWR}}$出力モード注6

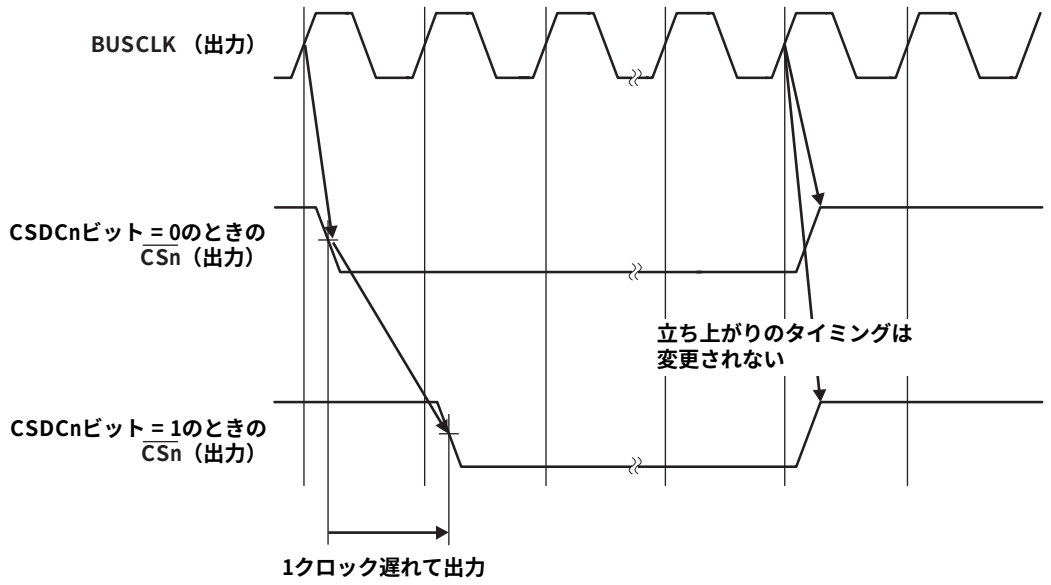
注1.　ビット3, 1には，必ず0を設定してください。

2. CSDCnビットをセット（1）するCS空間には，必ず誤書き込みが発生する可能性があるデバイスが接続されるように，BCT0, BCT1レジスタのBTn0, BTn1ビット = 00または01に設定してください。
3. 現在実行中のプログラムが配置されたCS空間に対するCSDCnビットの変更は行わないでください。
4. CSDCnビットをセット（1）するCS空間に対しては，必ずASCレジスタによりアドレス・セットアップ・ウエイトを1ウエイト以上（必要なウエイト数＋1）を挿入してください。
5. CSDCnビットのセット（1）は，初期化シーケンスでだけ実行可能です。
6. $\overline{\text{IORD}}$, $\overline{\text{IOWR}}$信号をDMAのフライバイ転送以外の外部I/Oアクセス時に出力するためには，BCPレジスタのIOENビットの設定が必要となります。

備考　n = 0, 4, 6, 7

CSDCnビットがセット（1）された場合のタイミングを次に示します。

図14－25　CSDCnビット = 1時のタイミング



備考　n = 0, 4, 6, 7

14. 3. 10　ポートCT

ポートCT（PCT）は，1ビット単位で入出力を指定できる6ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCT	PCT7	0	PCT5	PCT4	PCT3	PCT2	PCT1	PCT0	FFFFF00AH	不定

ビット位置	ビット名	意　味
7, 5-0	PCTn (n = 7, 5-0)	入出力ポート

備考　入出力ポートへの読み出し／書き込みについては14. 5　ポート機能の動作を参照してください。

ポートとしての機能のほかに，コントロール・モードではメモリを外部に拡張する場合の制御信号出力，SDRAMに対するバイト・アクセス時のバイト・イネーブル信号出力として動作可能です。

(1) コントロール・モード時の動作

端子名称	ピン番号	兼用端子名	備　考	ブロック・タイプ
PCT0	83	$\overline{\text{LLWR}}$/$\overline{\text{LLBE}}$/LLDQM	ライト・ストローブ信号出力／バイト・イネーブル信号出力／アウトプット・ディスエーブル／ライト・マスク信号	J-3
PCT1	82	$\overline{\text{LUWR}}$/$\overline{\text{LUBE}}$/LUDQM	ライト・ストローブ信号出力／バイト・イネーブル信号出力／アウトプット・ディスエーブル／ライト・マスク信号	
PCT2	81	$\overline{\text{ULWR}}$/$\overline{\text{ULBE}}$/ULDQM	ライト・ストローブ信号出力／バイト・イネーブル信号出力／アウトプット・ディスエーブル／ライト・マスク信号	
PCT3	80	$\overline{\text{UUWR}}$/$\overline{\text{UUBE}}$/UUDQM	ライト・ストローブ信号出力／バイト・イネーブル信号出力／アウトプット・ディスエーブル／ライト・マスク信号	
PCT4	79	$\overline{\text{RD}}$	リード・ストローブ信号出力	D-2
PCT5	78	$\overline{\text{WE}}$/$\overline{\text{WR}}$	ライト・イネーブル信号出力／ライト・ストローブ信号出力	
PCT7	77	$\overline{\text{BCYST}}$	バス・サイクル・ステータス信号出力	

(2) 入出力モード／コントロール・モードの設定

ポートCTの入出力モードの設定は，ポートCTモード・レジスタ（PMCT）で行います。また，コントロール・モードの設定は，ポートCTモード・コントロール・レジスタ（PMCCT）とポートCTファンクション・コントロール・レジスタ（PFCCT）で行います。

(a) ポートCTモード・レジスタ（PMCT）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCT	PMCT7	1	PMCT5	PMCT4	PMCT3	PMCT2	PMCT1	PMCT0	FFFFF02AH	FFH

ビット位置	ビット名	意　味
7, 5-0	PMCTn (n = 7, 5-0)	PCTn端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポートCTモード・コントロール・レジスタ（PMCCT）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCCT	PMCCT7	0	PMCCT5	PMCCT4	PMCCT3	PMCCT2	PMCCT1	PMCCT0	FFFFF04AH	BFH

ビット位置	ビット名	意　味
7	PMCCT7	PCT7端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{BCYST}}$出力モード
5	PMCCT5	PCT5端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{WE}}$/$\overline{\text{WR}}$出力モード $\overline{\text{WE}}$出力モードと$\overline{\text{WR}}$出力モードは各モードの対象となるメモリにアクセスすることにより，自動的に切り替わります。
4	PMCCT4	PCT4端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{RD}}$出力モード
3	PMCCT3	PCT3端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{UUWR}}$出力モード/$\overline{\text{UUBE}}$出力モード/UUDQM出力モード
2	PMCCT2	PCT2端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{ULWR}}$出力モード/$\overline{\text{ULBE}}$出力モード/ULDQM出力モード
1	PMCCT1	PCT1端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{LUWR}}$出力モード/$\overline{\text{LUBE}}$出力モード/LUDQM出力モード
0	PMCCT0	PCT0端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{LLWR}}$出力モード/$\overline{\text{LLBE}}$出力モード/LLDQM出力モード

（c）ポートCTファンクション・コントロール・レジスタ（PFCCT）

8/1ビット単位でリード／ライト可能です。

注意1. ポートCTモード・コントロール・レジスタ（PMCCT）でポート・モードを指定した場合は，このレジスタの設定は無効となります。

2. xxDQM信号は，$\overline{\text{xxWR}}$出力モード／xxDQM出力モードを選択した場合と，$\overline{\text{xxBE}}$出力モード/xxDQM出力モードを選択した場合で，タイミングが異なります。ただし，SDRAMに対しては，どちらのモードを選択しても問題なく接続できます。xxDQM信号の出力タイミングについては，5. 3. 5　SDRAMアクセスのタイミング図（図5－9から図5－11まで）を参照してください（xx = UU, UL, LU, LL）。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFCCT	0	0	0	0	PFCCT3	PFCCT2	PFCCT1	PFCCT0	FFFFF04BH	00H

ビット位置	ビット名	意　味
3	PFCCT3	PCT3端子のコントロール・モード時の動作モードを指定します。 0：$\overline{\text{UUWR}}$出力モード/UUDQM出力モード 1：$\overline{\text{UUBE}}$出力モード/UUDQM出力モード $\overline{\text{UUWR}}$出力モードとUUDQM出力モード，および$\overline{\text{UUBE}}$出力モードとUUDQM出力モードは各モードの対象となるメモリにアクセスすることにより，自動的に切り替わります。
2	PFCCT2	PCT2端子のコントロール・モード時の動作モードを指定します。 0：$\overline{\text{ULWR}}$出力モード/ULDQM出力モード 1：$\overline{\text{ULBE}}$出力モード/ULDQM出力モード $\overline{\text{ULWR}}$出力モードとULDQM出力モード，および$\overline{\text{ULBE}}$出力モードとULDQM出力モードは各モードの対象となるメモリにアクセスすることにより，自動的に切り替わります。
1	PFCCT1	PCT1端子のコントロール・モード時の動作モードを指定します。 0：$\overline{\text{LUWR}}$出力モード/LUDQM出力モード 1：$\overline{\text{LUBE}}$出力モード/LUDQM出力モード $\overline{\text{LUWR}}$出力モードとLUDQM出力モード，および$\overline{\text{LUBE}}$出力モードとLUDQM出力モードは各モードの対象となるメモリにアクセスすることにより，自動的に切り替わります。
0	PFCCT0	PCT0端子のコントロール・モード時の動作モードを指定します。 0：$\overline{\text{LLWR}}$出力モード/LLDQM出力モード 1：$\overline{\text{LLBE}}$出力モード/LUDQM出力モード $\overline{\text{LLWR}}$出力モードとLLDQM出力モード，および$\overline{\text{LLBE}}$出力モードとLUDQM出力モードは各モードの対象となるメモリにアクセスすることにより，自動的に切り替わります。

14. 3. 11　ポートCM

ポートCM（PCM）は，1ビット単位で入出力を指定できる6ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCM	0	0	PCM5	PCM4	PCM3	PCM2	PCM1	PCM0	FFFFF00CH	不定

ビット位置	ビット名	意　味
5-0	PCMn （n = 5-0）	入出力ポート

備考　入出力ポートへの読み出し／書き込みについては14. 5　ポート機能の動作を参照してください。

ポートとしての機能のほかに，コントロール・モードではウエイト挿入信号入力，バス・ホールド制御信号出力，SDRAMに対するリフレッシュ要求信号出力，A/Dコンバータ外部トリガ入力として動作可能です。

（1）コントロール・モード時の動作

端子名称	ピン番号	兼用端子名	備　考	ブロック・タイプ
PCM0	34	$\overline{\text{WAIT}}$	ウエイト挿入信号入力	C-1
PCM1	33	－	－	D-1
PCM2	32	$\overline{\text{HLDAK}}$	バス・ホールド・アクノリッジ信号出力	D-2
PCM3	31	$\overline{\text{HLDRQ}}$	バス・ホールド要求信号入力	C-1
PCM4	30	$\overline{\text{REFRQ}}$	リフレッシュ要求信号出力	D-2
PCM5	29	$\overline{\text{SELFREF}}$/ADTRG	セルフ・リフレッシュ要求信号入力	F-5

（2）入出力モード／コントロール・モードの設定

ポートCMの入出力モードの設定は，ポートCMモード・レジスタ（PMCM）で行います。また，コントロール・モードの設定は，ポートCMモード・コントロール・レジスタ（PMCCM）とポートCMファンクション・コントロール・レジスタ（PFCCM）で行います。

（a）ポートCMモード・レジスタ（PMCM）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCM	1	1	PMCM5	PMCM4	PMCM3	PMCM2	PMCM1	PMCM0	FFFFF02CH	FFH

ビット位置	ビット名	意　味
5-0	PMCMn （n = 5-0）	PCMn端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポートCMモード・コントロール・レジスタ（PMCCM）

8/1ビット単位でリード／ライト可能です。

ビット1には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCCM	0	0	PMCCM5	PMCCM4	PMCCM3	PMCCM2	0	PMCCM0	FFFFF04CH	3DH

ビット位置	ビット名	意　味
5	PMCCM5	PCM5端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{SELFREF}}$入力モード/A/Dコンバータ外部トリガ（ADTRG）入力モード
4	PMCCM4	PCM4端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{REFRQ}}$出力モード
3	PMCCM3	PCM3端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{HLDRQ}}$入力モード
2	PMCCM2	PCM2端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{HLDAK}}$出力モード
0	PMCCM0	PCM0端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{WAIT}}$入力モード

(c) ポートCMファンクション・コントロール・レジスタ（PFCCM）

8/1ビット単位でリード／ライト可能です。

注意　ポートCMモード・コントロール・レジスタ（PMCCM）でポート・モードを指定した場合は，このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFCCM	0	0	PFCCM5	0	0	0	0	0	FFFFF04DH	00H

ビット位置	ビット名	意　味
5	PFCCM5	PCM5端子のコントロール・モード時の動作モードを指定します。 0：$\overline{\text{SELFREF}}$入力モード 1：A/Dコンバータ外部トリガ（ADTRG）入力モード

14. 3. 12　ポートCD

ポートCD（PCD）は，1ビット単位で入出力を指定できる4ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCD	0	0	0	0	PCD3	PCD2	PCD1	PCD0	FFFFF00EH	不定

ビット位置	ビット名	意　味
3-0	PCDn (n = 3-0)	入出力ポート

備考　入出力ポートへの読み出し／書き込みについては14. 5　ポート機能の動作を参照してください。

ポートとしての機能のほかに，コントロール・モードではクロック・イネーブル信号出力，バス・クロック出力，カラム・アドレス・ストローブ信号出力，ロウ・アドレス・ストローブ信号出力として動作可能です。

(1) コントロール・モード時の動作

端子名称	ピン番号	兼用端子名	備　考	ブロック・タイプ
PCD0	91	SDCKE	クロック・イネーブル信号出力	D-2
PCD1	88	BUSCLK	バス・クロック出力	D-1
PCD2	87	$\overline{\text{SDCAS}}$	カラム・アドレス・ストローブ信号出力	D-2
PCD3	86	$\overline{\text{SDRAS}}$	ロウ・アドレス・ストローブ信号出力	

(2) 入出力モード／コントロール・モードの設定

ポートCDの入出力モードの設定は，ポートCDモード・レジスタ（PMCD）で行います。また，コントロール・モードの設定は，ポートCDモード・コントロール・レジスタ（PMCCD）で行います。

(a) ポートCDモード・レジスタ（PMCD）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCD	1	1	1	1	PMCD3	PMCD2	PMCD1	PMCD0	FFFFF02EH	FFH

ビット位置	ビット名	意　味
3-0	PMCDn (n = 3-0)	PCDn端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポートCDモード・コントロール・レジスタ（PMCCD）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCCD	0	0	0	0	PMCCD3	PMCCD2	PMCCD1	PMCCD0	FFFFF04EH	0FH

ビット位置	ビット名	意　味
3	PMCCD3	PCD3端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{SDRAS}}$出力モード
2	PMCCD2	PCD2端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{SDCAS}}$出力モード
1	PMCCD1	PCD1端子の動作モードを指定します。 0：入出力ポート・モード 1：BUSCLK出力モード
0	PMCCD0	PCD0端子の動作モードを指定します。 0：入出力ポート・モード 1：SDCKE出力モード

14. 4　$\overline{\text{RESET}}$, A2-A15, D0-D15端子の構成

$\overline{\text{RESET}}$, A2-A15, D0-D15端子はポートとの兼用端子ではありませんが，次に示すような構成となります。

(1) $\overline{\text{RESET}}$, A2-A15, D0-D15端子の構成

端子機能	備　　考	ブロック・タイプ
$\overline{\text{RESET}}$	シュミット・バッファ	N-1
A2-A15	出力バッファ・オフ制御	N-2
D0-D15	出力バッファ・オフ制御およびDIR制御	N-3

(2) $\overline{\text{RESET}}$, A2-A15, D0-D15端子のブロック図

図14－26　タイプN-1のブロック図

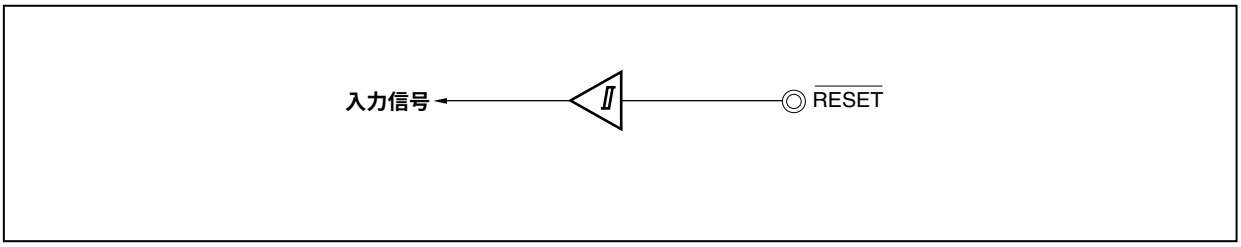
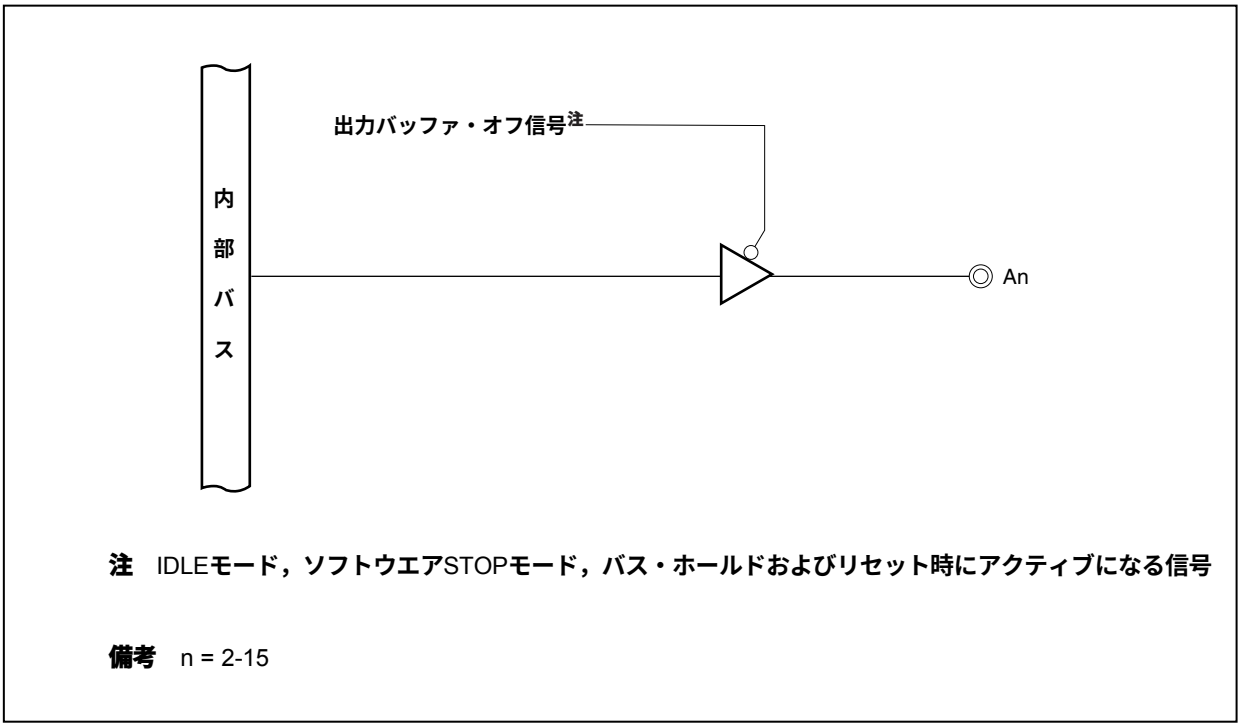


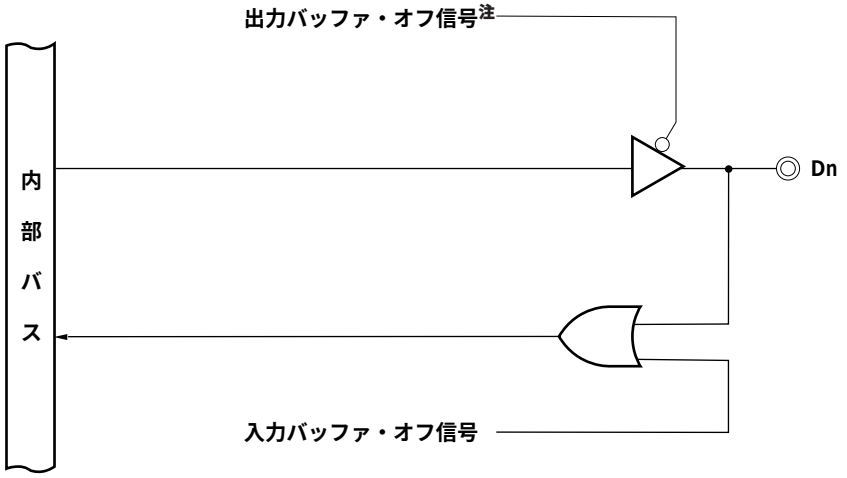
図14－27　タイプN-2のブロック図



注　IDLEモード，ソフトウエアSTOPモード，バス・ホールドおよびリセット時にアクティブになる信号

備考　n = 2-15

図14－28　タイプN-3のブロック図



注　IDLEモード，ソフトウエアSTOPモード，バス・ホールドおよびリセット時にアクティブになる信号

備考　n = 0-15

14. 5　ポート機能の動作

ポートの動作は，次に示すように入出力モードの設定によって異なります。

14. 5. 1　入出力ポートへの書き込み

(1) 出力モードの場合

ポートnレジスタ（Pn）に書き込むことにより，出力ラッチ（Pn）に値を書き込めます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

ポートnレジスタ（Pn）に書き込むことにより，出力ラッチ（Pn）に値を書き込めます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

注意　ビット操作命令（CLR1，SET1，NOT1）の場合，操作対象は1ビットですが，ポートを8ビット単位でアクセスします。したがって，入力／出力が混在しているポートでは，操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容がそのときの入力端子の状態に上書きされ，不定になります。

14. 5. 2　入出力ポートからの読み出し

(1) 出力モードの場合

ポートnレジスタ（Pn）を読み出すことにより，出力ラッチ（Pn）の内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

ポートnレジスタ（Pn）を読み出すことにより，端子の状態が読み出せます。出力ラッチ（Pn）の内容は変化しません。

14. 5. 3　コントロール・モード時の兼用機能の出力状態

ポート端子の状態は，PMCnレジスタの設定に依存せず，ポートnモード・レジスタ（PMn）を入力モードに設定することにより，リードできます。なお，PMnレジスタを出力モードに設定したときは，ポート・モード時はポートnレジスタ（Pn）の値，コントロール・モード時は兼用機能の出力状態がリードできます。

14. 6　ノイズ除去回路

14. 6. 1　割り込み入力端子

NMI，およびポートのコントロール・モードにおいて有効エッジ入力で動作する端子には，次に示すノイズ除去時間確保のためのタイミング制御回路が付加されています。これらの除去時間未満で変化する信号入力は内部で受け付けられません。

表14－1　割り込み入力端子のノイズ除去時間

対象端子	ノイズ除去時間
NMI $\overline{\text{INTP10}}$ $\overline{\text{INTP11}}$ $\overline{\text{INTP21}}$ $\overline{\text{INTP22}}$ $\overline{\text{INTP23}}$ $\overline{\text{INTP24}}$ $\overline{\text{INTP25}}$ $\overline{\text{INTP50}}$ $\overline{\text{INTP51}}$ $\overline{\text{INTP52}}$ $\overline{\text{INTP65}}$ $\overline{\text{INTP66}}$ $\overline{\text{INTP67}}$ $\overline{\text{INTPL0}}$ $\overline{\text{INTPL1}}$ $\overline{\text{INTPD0}}$ $\overline{\text{INTPD1}}$ $\overline{\text{INTPD2}}$ $\overline{\text{INTPD3}}$ $\overline{\text{INTPD4}}$ $\overline{\text{INTPD5}}$ $\overline{\text{INTPD6}}$ $\overline{\text{INTPD7}}$ $\overline{\text{INTPD8}}$ $\overline{\text{INTPD9}}$ $\overline{\text{INTPD10}}$ $\overline{\text{INTPD11}}$ $\overline{\text{INTPD12}}$ $\overline{\text{INTPD13}}$ $\overline{\text{INTPD14}}$ $\overline{\text{INTPD15}}$	アナログ・ディレイ（Typ. 80 ns）

注意1.　上記のノンマスカブル／マスカブル割り込み端子はスタンバイ・モードの解除に使用します。スタンバイ・モードでは内部システム・クロック（f_{CLK}）は停止しているため，クロック制御のタイミング回路を採用していません。

2.　ノイズ除去回路はコントロール・モード時だけ有効です。

14. 6. 2　A/Dコンバータ入力端子

ADTRG端子には，次に示すノイズ除去時間確保のためのタイミング制御回路が付加されています。この除去時間未満で変化する信号入力は内部で受け付けられません。

表14－2　A/Dコンバータ入力端子のノイズ除去時間

端子	ノイズ除去時間
PCM5/ADTRG/$\overline{\text{SELFREF}}$	アナログ・ディレイ（Typ. 80 ns）

注意　ノイズ除去回路はコントロール・モード時だけ有効です。

14. 6. 3　タイマC，タイマENC1入力端子

タイマC，タイマENC1において有効エッジ入力で動作する端子には，次に示すクロック・サンプリングによるノイズ・フィルタが付いています。これらの除去時間未満で変化する信号入力は内部で受け付けられません。

表14－3　タイマC，タイマENC1入力端子のノイズ除去時間

対象端子	ノイズ除去時間
INTPC00/TIC0 INTPC01 INTPC10/TIC1 INTPC11 INTPC20/TIC2 INTPC21 INTPC30/TIC3 INTPC31	0, 2, 3, 5クロックより選択
INTP100/TCUD10 INTP101/TCLR10 TIUD10 INTP110/TCUD11 INTP111/TCLR11 TIUD11	

注意1.　上記端子のノイズ・フィルタはクロック・サンプリングを用いているため，CPUクロック停止時には入力信号を受け付けられません。

2.　ノイズ除去回路はコントロール・モード時だけ有効です。

(1) ノイズ除去幅設定レジスタC0-C3（NCWC0-NCWC3）

NCWCnレジスタは，タイマC入力端子のディジタル・ノイズ・フィルタのノイズ除去幅を設定するレジスタです。

8ビット単位でリード／ライト可能です。

ビット7-2には必ず0を設定してください。1を設定した場合の動作は保証できません。

また，カウント動作中に値を変更しないでください。

	7	6	5	4	3	2	1	0	アドレス	初期値
NCWC0	0	0	0	0	0	0	NCCC01	NCCC00	FFFFF610H	02H
NCWC1	0	0	0	0	0	0	NCCC11	NCCC10	FFFFF630H	02H
NCWC2	0	0	0	0	0	0	NCCC21	NCCC20	FFFFF650H	02H
NCWC3	0	0	0	0	0	0	NCCC31	NCCC30	FFFFF670H	02H

ビット位置	ビット名	意　味
1, 0	NCCCn1, NCCCn0	ノイズ除去クロック数を指定します。 NCCCn1 / NCCCn0 / ノイズ除去クロック数 0 / 0 / 0（スルー入力） 0 / 1 / 2 1 / 0 / 3 1 / 1 / 5 備考　1クロック = fx/4 fx：メイン・クロック

備考　n = 0-3

(2) ノイズ除去幅設定レジスタ10, 11（NCW10, NCW11）

NCW1nレジスタは，タイマENC1入力端子のディジタル・ノイズ・フィルタのノイズ除去幅を設定するレジスタです。

8ビット単位でリード／ライト可能です。

注意1. 入力信号のスルー／反転の切り替えは，INTP1n0/TCUD1n端子，TIUD1n端子ごとに設定が可能です。NCFn, NCC1n, NCC0nビットによるノイズ除去幅の設定は，タイマごとの設定となり，端子ごとに切り替えることはできません。

2. INTP1n0/TCUD1n端子をキャプチャ・トリガ（INTP1n0）として使用した場合でもSRTCnビットの設定は有効です。

	7	6	5	4	3	2	1	0	アドレス	初期値
NCW10	0	0	SRTC0	SRTI0	0	NCF0	NCC10	NCC00	FFFFF5C0H	02H
NCW11	0	0	SRTC1	SRTI1	0	NCF1	NCC11	NCC01	FFFFF5F0H	02H

ビット位置	ビット名	意　味
5	SRTCn	INTP1n0/TCUD1n端子入力モードを設定します。 0：スルー入力 1：反転 SRTCnビットの設定により，INTP1n0/TCUD1n端子から入力される信号をTMENC1nへスルー入力，あるいは反転して供給するかを選択します。
4	SRTIn	TIUD1n端子入力モードを設定します。 0：スルー入力 1：反転 SRTInビットの設定により，TIUD1n端子から入力される信号をTMENC1nへスルー入力，あるいは反転して供給するかを選択します。
2	NCFn	ノイズ除去用クロック周波数を指定します。 0：fx/4 1：fx/32 NCFnビットの設定により，ノイズ・フィルタのクロック・ソースを選択します。
1, 0	NCC1n, NCC0n	ノイズ除去クロック数を指定します。 NCC1n注1 / NCC0n注1 / ノイズ除去クロック数 0 / 0 / 0（スルー入力）注2 0 / 1 / 2 1 / 0 / 3 1 / 1 / 5 注1. カウント動作中に値を変更しないでください。 2. スルー入力の場合は，NCFnビット = 0を設定してください。 NCC1n, NCC0nビットの設定により，ノイズ除去クロック数を選択します。

備考 n = 0, 1

（a）NCW1nレジスタ設定値とノイズ除去幅の関係

表14－4　NCW1nレジスタ設定値とノイズ除去幅の関係

NCW1nレジスタ			ノイズ除去幅（ns）				備　　考
NCFn ビット	NCC1n ビット	NCC0n ビット	f_X = 150 MHz時	f_X = 133 MHz時	f_X = 100 MHz時	f_X = 66 MHz時	
0	0	0	0	0	0	0	スルー
0	0	1	53.3～80.0	60.2～90.2	80～120	121.2～181.8	（1/（f_X/4））×2
0	1	0	80.0～106.7	90.2～120.3	120～160	181.8～242.4	（1/（f_X/4））×3
0	1	1	133.3～160.0	150.4～180.5	200～240	303.0～363.6	（1/（f_X/4））×5
1	0	1	426.7～640.0	481.2～721.8	640～960	969.7～1454.5	（1/（f_X/32））×2
1	1	0	640.0～853.3	721.8～962.4	960～1280	1454.5～1939.4	（1/（f_X/32））×3
1	1	1	1066.7～1280.0	1203.0～1443.6	1600～1920	2424.2～2909.1	（1/（f_X/32））×5

備考1.　n = 0, 1

2.　f_X：メイン・クロック

14. 7　注意事項

14. 7. 1　ポート端子設定上の注意事項

(1) ポート・モードからコントロール・モードに切り替える場合の手順

コントロール・モード時に，出力または入出力端子として動作するポートをコントロール・モードに切り替える場合は，必ず次に示す手順で設定を行ってください。

①コントロール・モードで出力する信号のインアクティブ・レベルをポートnの該当するビットに設定します（n = 1, 2, 5-7, AH, AL, CD, CM, CS, CT, DH）。

②ポートnモード・コントロール・レジスタ（PMCn）により，コントロール・モードに切り替えます。

上記の①を行わない場合は，ポート・モードからコントロール・モードに切り替える際にポートnの内容が一瞬出力されることがあります。

14. 7. 2　ポートnレジスタ（Pn）に対するビット操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット操作命令を行った場合，操作対象のビットだけでなく，操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため，任意のポートを入力モードから出力モードに切り替える（コントロール・モードからポート・モードへの切り替えも含む）前には，出力ラッチの値を書き直す（ST/SST命令使用）ことを推奨します。

＜例＞ PCS0端子は出力ポート，PCS1-PCS7端子は入力ポート（端子状態はすべてハイ・レベル）で，かつポート・ラッチの値が“00H”のとき，PCS0端子の出力をビット操作命令により“ロウ・レベル”→“ハイ・レベル”とすると，ポート・ラッチの値は，“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み／読み出しの対象は，それぞれ出力ラッチ／端子状態です。

また，ビット操作命令はV850E/ME2内部で，次の順序で行われます。

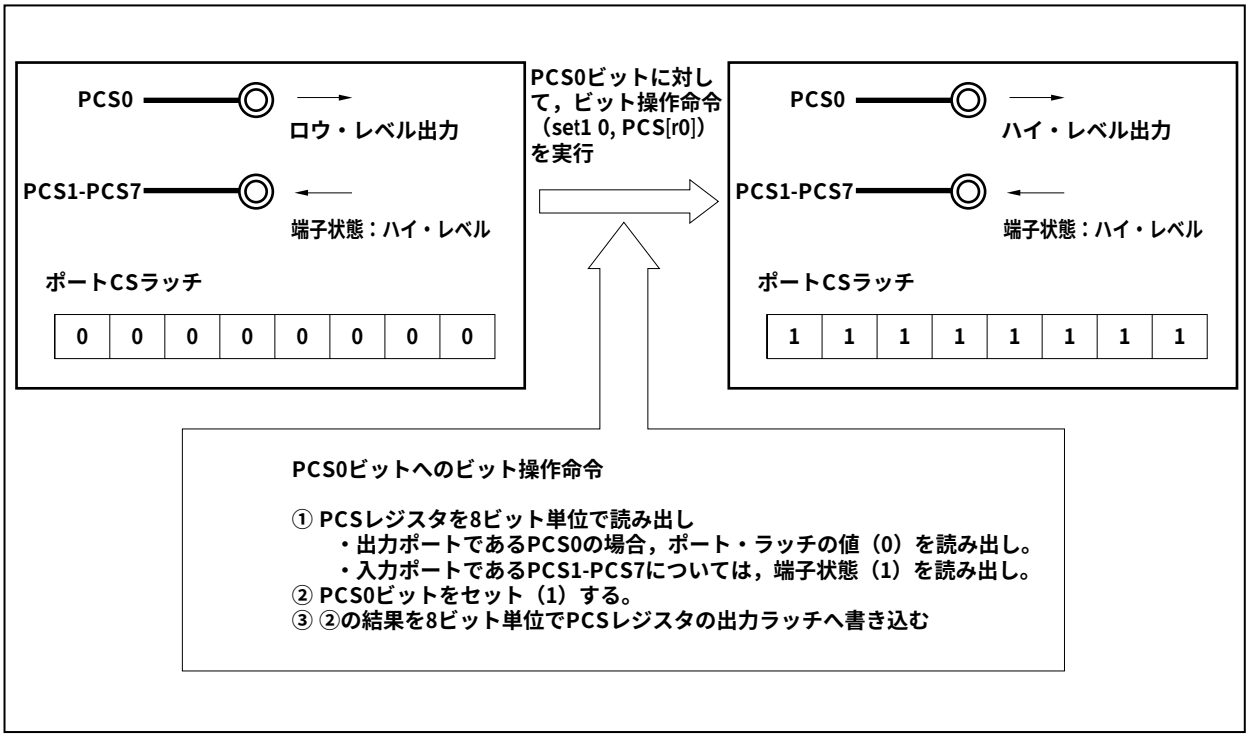
<1> Pnレジスタを8ビット単位で読み出し
<2> 対象の1ビットを操作
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき，出力ポートであるPCS0端子は出力ラッチの値（0）を読み出しますが，入力ポートであるPCS1-PCS7端子は端子状態を読み出します。このときPCS1-PCS7端子の端子状態が“ハイ・レベル”とすると，読み出し値は“FEH”となります。

<2> の操作で，値は“FFH”となります。

<3> の操作で，出力ラッチに“FFH”が書き込まれます。

図14－29　ビット操作命令（PCS0端子の場合）

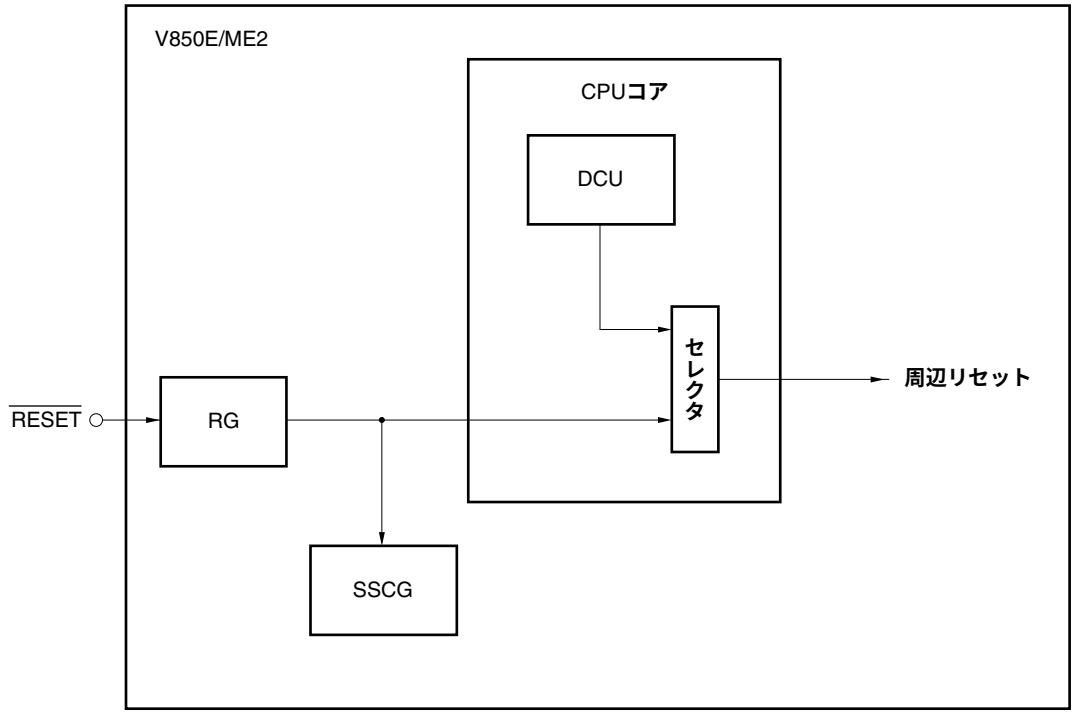


第15章　リセット機能

15. 1　概　　要

- $\overline{\text{RESET}}$端子入力によるリセット機能
- DCUによる強制リセット機能（第16章　デバッグ機能（DCU）参照）
- $\overline{\text{RESET}}$端子へのロウ・レベル入力は，100 μs（MIN.）です。ただし，発振安定時間が100 μs以上必要な場合は，発振安定時間分，ロウ・レベルを確保してください。
- リセット・ジェネレータ（RG）では，$\overline{\text{RESET}}$端子入力のノイズ除去を行います。

15. 2　構　　成



備考　SSCG　：Spread Spectrum Frequency Sythesizer Phase Locked Loop）（第8章　クロック発生機能参照）

DCU　：Debug Control Unit（第16章　デバッグ機能（DCU）参照）

RG　：Reset Generator

システム・リセット期間中は，ほとんどの端子出力（BUSCLK, $\overline{\text{RESET}}$, X2, EV_{DD}, EV_{SS}, IV_{DD}, IV_{SS}, $PLLV_{DD}$, $PLLV_{SS}$, $OSCV_{DD}$, $OSCV_{SS}$, UV_{DD}, AV_{DD}, AV_{REFP}, AV_{REFM}, AV_{SS}端子を除く全端子）がハイ・インピーダンスになります。

このため，アドレス・バス，データ・バス，および外部バス制御信号の各端子にプルアップ（またはプルダウン）抵抗を付ける必要があります。抵抗がない場合，これらの端子がハイ・インピーダンスになると接続している外部メモリを破壊する可能性があります。

同様に，内蔵の周辺I/O機能の信号出力，出力ポートにおいても，影響がないよう端子の処理を行ってください。

15. 3　動　　作

$\overline{\text{RESET}}$端子にロウ・レベルが入力されるとシステム・リセットがかかり，オンチップの各ハードウエアは初期化状態にイニシャライズされます。

$\overline{\text{RESET}}$端子がロウ・レベルからハイ・レベルになると，リセット状態が解除され，OSC出力クロック（F_X）でCPUはプログラムの実行を開始します。各種レジスタの内容は，プログラムの中で必要に応じてイニシャライズしてください。

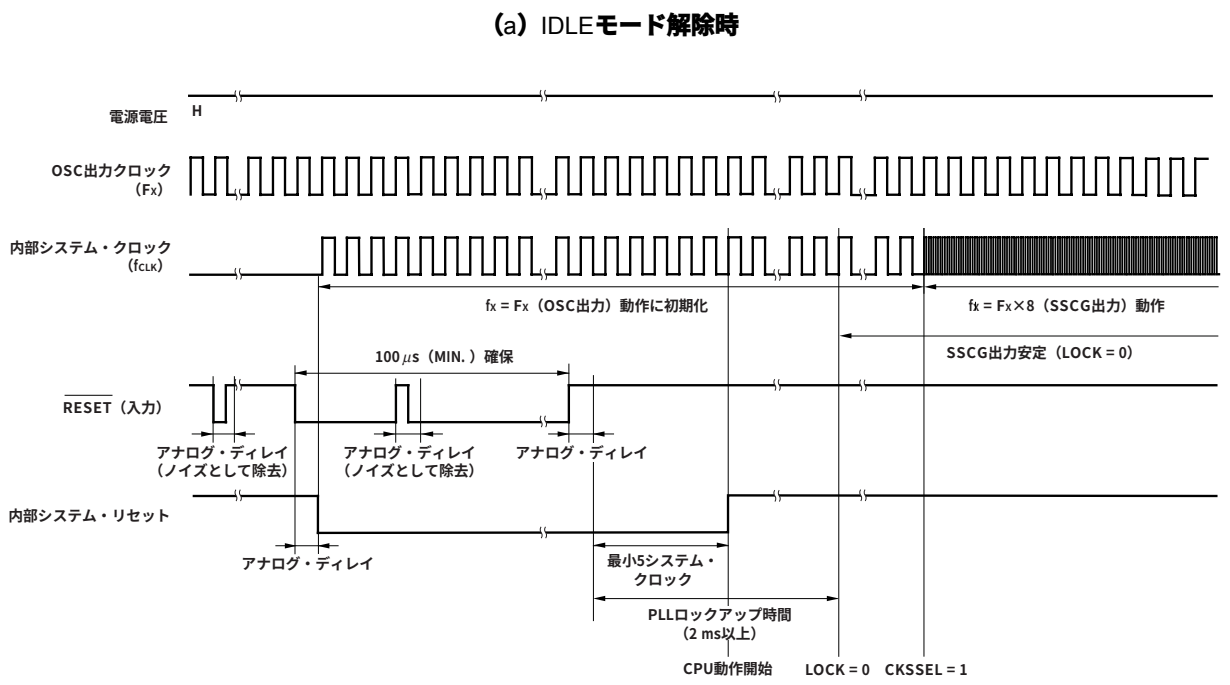
リセット解除時には，発振安定時間は挿入されません。したがって，クロック発振回路が停止した状態からの$\overline{\text{RESET}}$端子入力（パワーオン時のリセット入力，ソフトウエアSTOPモード解除時のリセット入力）では，発振安定時間以上（100 μs（MIN.））をロウ・レベル幅で確保する必要があります。また，クロック発振回路が停止していない状態からの$\overline{\text{RESET}}$端子入力（IDLEモード解除時のリセット入力）では，100 μs（MIN.）のロウ・レベル幅を確保する必要があります。

表15－1　リセット入力時の各ハードウエアの状態

ハードウエア名	リセット期間中	リセット解除後
OSC	発振／供給継続	
クロック・ジェネレータ	・OSCクロック（F_X）を出力。 ・発振安定時間前の出力は保証されません。	・OSCクロック（F_X）を出力。 ・CKSレジスタを制御することにより， $f_X = F_X \times 8$で，動作可能。
CPU	動作停止	動作開始
内蔵命令RAM，内蔵データRAM	不定	
デバッグ機能	動作停止	動作可能
内蔵周辺I/Oレジスタ	所定の状態に初期化	
上記以外の内蔵周辺機能	動作停止	動作開始可能
端子機能	2. 2　端子状態参照	

次に$\overline{\text{RESET}}$端子入力時のリセット動作を示します。

図15－1　$\overline{\text{RESET}}$端子入力時のリセット動作（1/2）

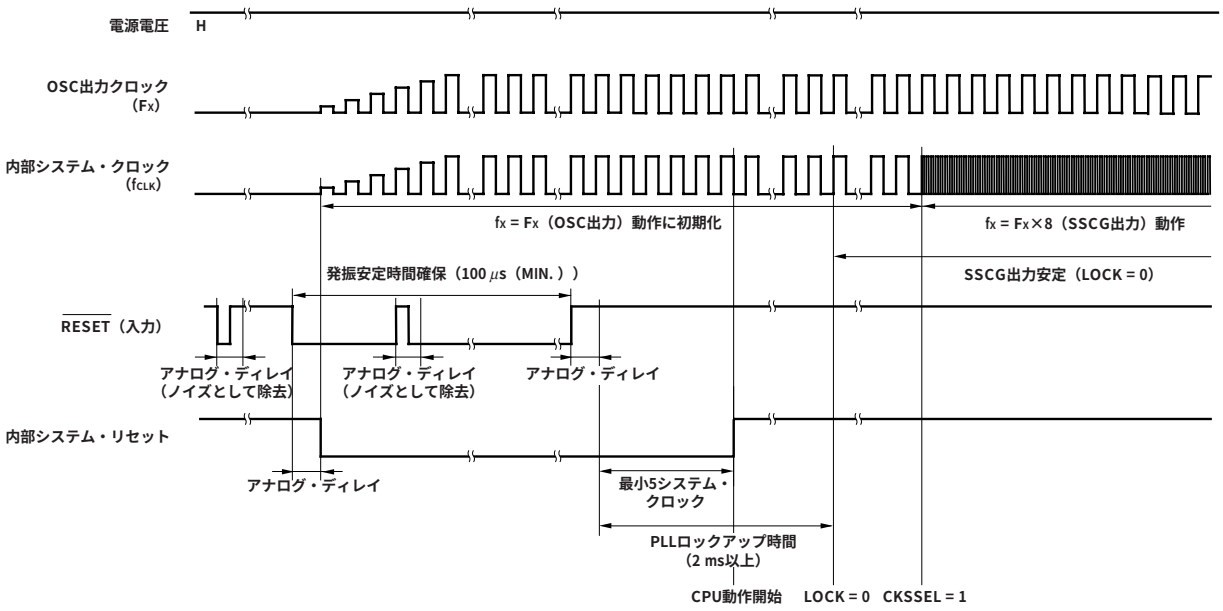


注意　SSCG初期化時間（100 μs）を$\overline{\text{RESET}}$信号のロウ・レベル幅で確保してください。

備考　LOCK　　：LOCKRレジスタのビット1
　　CKSSEL　：CKSレジスタのビット1

図15ー1　$\overline{\text{RESET}}$端子入力時のリセット動作（2/2）

（b）ソフトウエアSTOPモード解除時



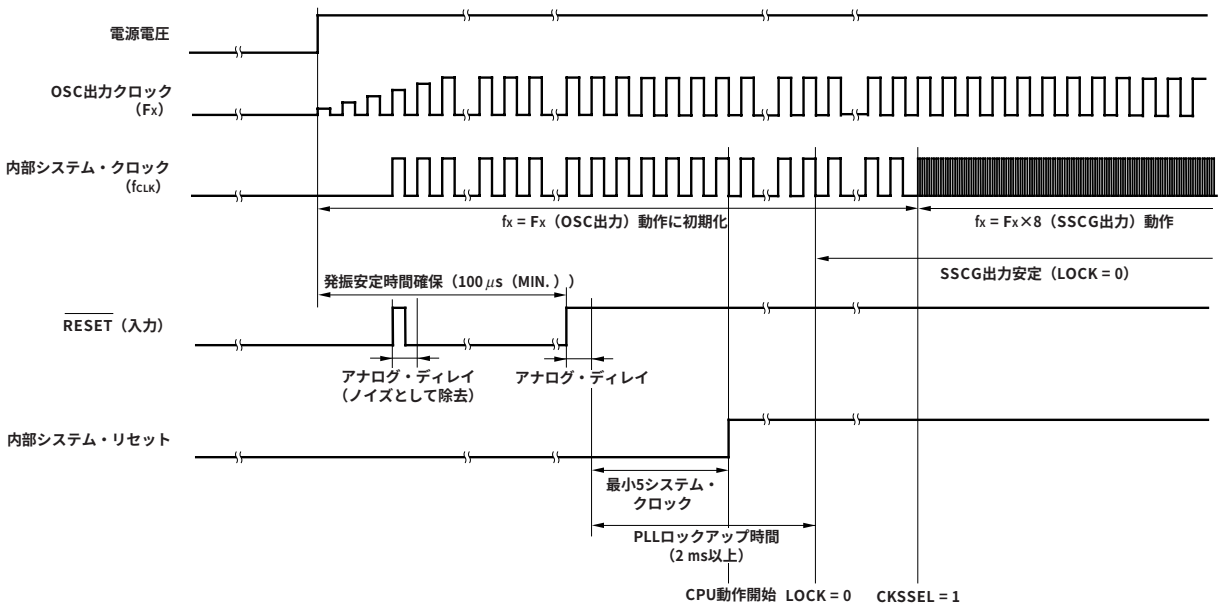
注意　発振安定時間およびSSCG初期化時間（100 μs）を$\overline{\text{RESET}}$信号のロウ・レベル幅で確保してください。

備考　LOCK　　：LOCKRレジスタのビット1

CKSSEL　：CKSレジスタのビット1

次にパワーオン時のリセット動作を示します。

図15－2　パワーオン時のリセット動作



注意1.　**発振安定時間および**SSCG**初期化時間（**100 μs**）を**$\overline{\text{RESET}}$**信号のロウ・レベル幅で確保してください。**

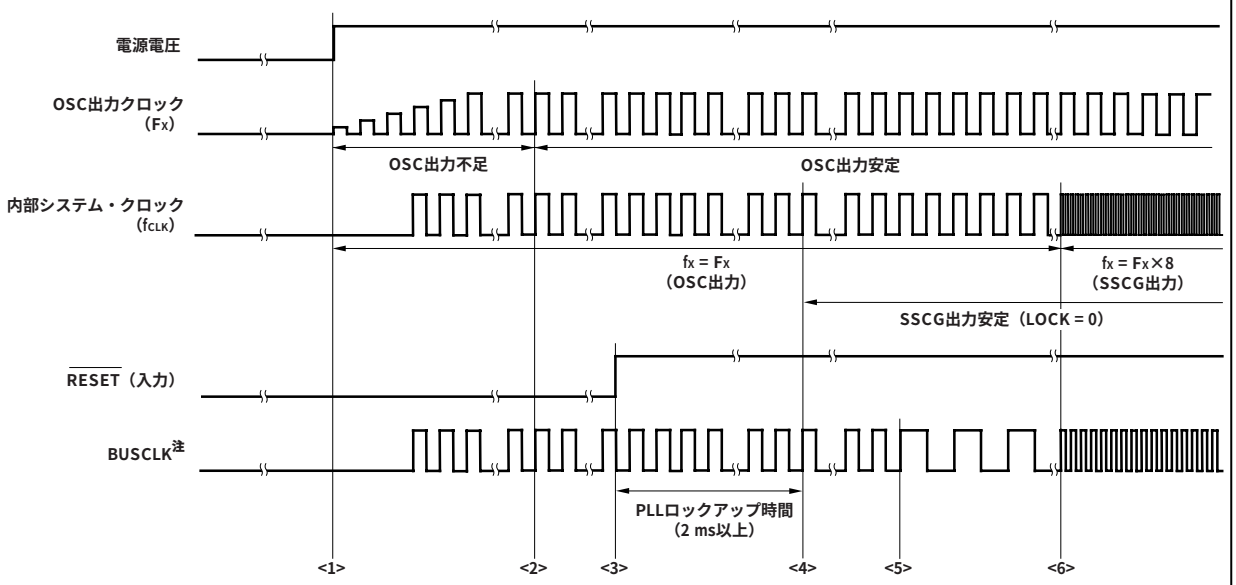
2.　**電源投入時の電源投入順序は，**IV_{DD}**（内部用電源），**EV_{DD}**（外部用電源）の順番で行ってください。**

備考　LOCK　：LOCKR**レジスタのビット**1

CKSSEL　：CKS**レジスタのビット**1

次にパワーオン時のBUSCLK動作を示します。

図15－3　パワーオン時のBUSCLK動作



備考1.　<1>：パワーオン

<2>：OSC発振安定

<3>：$\overline{\text{RESET}}$解除（PLLロックアップ時間のカウント開始）

<4>：PLLロック状態（LOCKRレジスタのLOCKビット = 0）

<5>：BUSCLK = f_{CLK}/2（BMCレジスタのCKM1, CKM0ビット = 01）

<6>：f_X = F_X×8に設定（CKSレジスタのCKSSELビット = 1）

2.　上記動作は，BUSCLKを内部システム・クロック（f_{CLK}）の1/2周期で動作させた場合です。

15. 4 イニシャライズ

各レジスタの内容はプログラム中で必要に応じてイニシャライズしてください。

CPU，内蔵命令RAM，内蔵データRAM，内蔵周辺I/Oのリセット後の初期値を次に示します。

表15ー2 CPU，内蔵命令RAM，内蔵データRAM，内蔵周辺I/Oのリセット後の初期値（1/6）

内蔵ハードウエア		レジスタ名	リセット後の初期値
CPU	プログラム・レジスタ	汎用レジスタ（r0）	00000000H
		汎用レジスタ（r1-r31）	不定
		プログラム・カウンタ（PC）	00100000H
	システム・レジスタ	割り込み時状態退避レジスタ（EIPC, EIPSW）	不定
		NMI時状態退避レジスタ（FEPC, FEPSW）	不定
		割り込み要因レジスタ（ECR）	00000000H
		プログラム・ステータス・ワード（PSW）	00000020H
		CALLT実行時状態退避レジスタ（CTPC, CTPSW）	不定
		例外／デバッグ・トラップ時状態退避レジスタ（DBPC, DBPSW）	不定
		CALLTベース・ポインタ（CTBP）	不定
内蔵命令RAM，内蔵データRAM		ー	不定
内蔵周辺I/O	バス制御機能	チップ・エリア選択コントロール・レジスタn（CSCn）（n = 0, 1）	2C11H
		バス・サイクル・タイプ・コンフィギュレーション・レジスタn（BCTn）（n = 0, 1）	8888H
		ローカル・バス・サイジング・コントロール・レジスタ（LBS）	5555H/AAAAH注1
		エンディアン・コンフィギュレーション・レジスタ（BEC）	0000H
		ライン・バッファ・コントロール・レジスタn（LBCn）（n = 0, 1）	0000H
		ライト・アクセス同期制御レジスタ（WAS）	不定
		バス・モード・コントロール・レジスタ（BMC）	00H
		データ・ウエイト・コントロール・レジスタn（DWCn）（n = 0, 1）	7777H
		アドレス・セットアップ・ウエイト・コントロール・レジスタ（ASC）	FFFFH
		バス・サイクル・ピリオド・コントロール・レジスタ（BCP）	00H
		DMAフライバイ転送ウエイト・コントロール・レジスタ（FWC）	7777H
		バス・サイクル・コントロール・レジスタ（BCC）	FFFFH
		DMAフライバイ転送アイドル・コントロール・レジスタ（FIC）	3333H
		キャッシュ・コンフィギュレーション・レジスタ（BHC）	0000H
		命令キャッシュ・コントロール・レジスタ（ICC）	0003H注2
		命令キャッシュ・コントロール・レジスタL（ICCL）	03H注2
		命令キャッシュ・コントロール・レジスタH（ICCH）	00H
		命令キャッシュ・データ・コンフィギュレーション・レジスタ（ICD）	不定
		内蔵命令RAMモード・レジスタ（IRAMM）	03H
		システム・ウエイト・コントロール・レジスタ（VSWC）	77H
	メモリ制御機能	ページROMコンフィギュレーション・レジスタ（PRC）	7000H
		SDRAMコンフィギュレーション・レジスタn（SCRn）（n = 1, 3, 4, 6）	30C0H
		SDRAMリフレッシュ・コントロール・レジスタn（RFSn）（n = 1, 3, 4, 6）	0000H
	DMA機能	DMAソース・アドレス・レジスタnH（DSAnH）（n = 0-3）	不定

注1. 詳細は4. 5. 2（1）ローカル・バス・サイジング・コントロール・レジスタ（LBS）を参照してください。

2. 詳細は4. 9. 4（1）命令キャッシュ・コントロール・レジスタ（ICC）を参照してください。

表15ー2 CPU，内蔵命令RAM，内蔵データRAM，内蔵周辺I/Oのリセット後の初期値（2/6）

内蔵ハードウエア		レジスタ名	リセット後の初期値
内蔵周辺I/O	DMA機能	DMAソース・アドレス・レジスタnL（DSAnL）（n = 0-3）	不定
		DMAデスティネーション・アドレス・レジスタnH（DDAnH）（n = 0-3）	不定
		DMAデスティネーション・アドレス・レジスタnL（DDAnL）（n = 0-3）	不定
		DMA転送カウント・レジスタn（DBCn）（n = 0-3）	不定
		DMAアドレシング・コントロール・レジスタn（DADCn）（n = 0-3）	0000H
		DMAチャネル・コントロール・レジスタn（DCHCn）（n = 0-3）	00H
		DMAターミナル・カウント出力コントロール・レジスタ（DTOC）	01H
		DMAトリガ要因レジスタn（DTFRn）（n = 0-3）	00H
		DMAインタフェース・コントロール・レジスタ（DIFC）	00H
	割り込み／例外制御機能	割り込み制御レジスタ（P1IC0, P1CI1, P2IC1-P2IC5, P5IC0-P5IC2, P6IC5-P6IC7, PDIC0-PDIC15, PLIC0, PLIC1, OVCIC0-OVCIC5, CCC0IC0, CCC0IC1, CCC1IC0, CCC1IC1, CCC2IC0, CCC2IC1, CCC3IC0, CCC3IC1, CCC4IC0, CCC4IC1, CCC5IC0, CCC5IC1, CMDIC0-CMDIC3, CC10IC0, CC10IC1, CC11IC0, CC11IC1, CM10IC0, CM10IC1, CM11IC0, CM11IC1, OV1IC0, OV1IC1, UD1IC0, UD1IC1, DMAIC0- DMAIC3 CSI3IC0, CSI3IC1, COVF3IC0, COVF3IC1, UREIC0, UREIC1, URIC0, URIC1, UTIC0, UTIC1, UIFIC0, UIFIC1, UTOIC0, UTOIC1, ADIC, US0BIC-US2BIC, USP2IC, USP4IC, RSUMIC）	47H
		割り込みマスク・レジスタn（IMRn）（n = 0-5）	FFFFH
		割り込みマスク・レジスタnL（IMRnL）（n = 0-5）	FFH
		割り込みマスク・レジスタnH（IMRnH）（n = 0-5）	FFH
		NMIリセット・ステータス・レジスタ（NRS）	00H
		インサービス・プライオリティ・レジスタ（ISPR）	00H
		外部割り込み立ち下がりエッジ指定レジスタn（INTFn）（n = 1, 2, 5, 6, AL）	00H
		外部割り込み立ち下がりエッジ指定レジスタDH（INTFDH）	0000H
		外部割り込み立ち下がりエッジ指定レジスタDHL（INTFDHL）	00H
		外部割り込み立ち下がりエッジ指定レジスタDHH（INTFDHH）	00H
		外部割り込み立ち上がりエッジ指定レジスタn（INTRn）（n = 1, AL）	03H
		外部割り込み立ち上がりエッジ指定レジスタ2（INTR2）	3FH
		外部割り込み立ち上がりエッジ指定レジスタ5（INTR5）	07H
		外部割り込み立ち上がりエッジ指定レジスタ6（INTR6）	E0H
		外部割り込み立ち上がりエッジ指定レジスタDH（INTRDH）	FFFFH
		外部割り込み立ち上がりエッジ指定レジスタDHL（INTRDHL）	FFH
		外部割り込み立ち上がりエッジ指定レジスタDHH（INTRDHH）	FFH
		有効エッジ選択レジスタCn（SESCn）（n = 0-3）	00H
		有効エッジ選択レジスタ1n（SESA1n）（n = 0, 1）	00H
	クロック発生機能	クロック・コントロール・レジスタ（CKC）	03H
		クロック・ソース選択レジスタ（CKS）	00H
		SSCGコントロール・レジスタ（SSCGC）	8 .3. 3参照
		USBクロック・コントロール・レジスタ（UCKC）	00H
		ロック・レジスタ（LOCKR）	01H
		発振安定時間選択レジスタ（OSTS）	04H
		パワー・セーブ・モード・レジスタ（PSMR）	00H
		パワー・セーブ・コントロール・レジスタ（PSC）	00H

表15ー2 CPU，内蔵命令RAM，内蔵データRAM，内蔵周辺I/Oのリセット後の初期値（3/6）

内蔵ハードウエア		レジスタ名	リセット後の初期値
内蔵周辺I/O	システム・コントロール	コマンド・レジスタ（PRCMD）	不定
	タイマ／カウンタ機能（タイマC）	タイマCn（TMCn）（n = 0-5）	0000H
		キャプチャ／コンペア・レジスタCn0, Cn1（CCCn0, CCCn1）（n = 0-5）	0000H
		タイマ・モード・コントロール・レジスタCn0（TMCCn0）（n = 0-5）	00H
		タイマ・モード・コントロール・レジスタCn1（TMCCn1）（n = 0-5）	20H
		有効エッジ選択レジスタCn（SESCn）（n = 0-3）	00H
		ノイズ除去幅設定レジスタCn（NCWCn）（n = 0-3）	02H
	タイマ／カウンタ機能（タイマD）	タイマDn（TMDn）（n = 0-3）	0000H
		コンペア・レジスタDn（CMDn）（n = 0-3）	0000H
		タイマ・モード・コントロール・レジスタDn（n = 0-3）	00H
	タイマ／カウンタ機能（タイマENC1）	タイマENC1n（TMENC1n）（n = 0, 1）	0000H
		コンペア・レジスタ1n（CM1n）（n = 00, 01, 10, 11）	0000H
		キャプチャ／コンペア・レジスタ1n（CC1n）（n = 00, 01, 10, 11）	0000H
		タイマ・ユニット・モード・レジスタ1n（TUM1n）（n = 0, 1）	00H
		タイマ・コントロール・レジスタ1n（TMC1n）（n = 0, 1）	00H
		キャプチャ／コンペア・コントロール・レジスタ1n（CCR1n）（n = 0, 1）	00H
		有効エッジ選択レジスタ1n（SESA1n）（n = 0, 1）	00H
		プリスケーラ・モード・レジスタ1n（PRM1n）（n = 0, 1）	07H
		ステータス・レジスタ1n（STATUS1n）（n = 0, 1）	00H
		ノイズ除去幅設定レジスタ1n（NCW1n）（n = 0, 1）	02H
	シリアル・インタフェース機能（USBF）	UF0 EP0NAKレジスタ（UF0E0N）	00H
		UF0 EP0NAKALLレジスタ（UF0E0NA）	00H
		UF0 EPNAKレジスタ（UF0EN）	00H
		UF0 EPNAKマスク・レジスタ（UF0ENM）	00H
		UF0 SNDSIE レジスタ（UF0SDS）	00H
		UF0 CLRリクエスト・レジスタ（UF0CLR）	00H
		UF0 SETリクエスト・レジスタ（UF0SET）	00H
		UF0 EPステータスnレジスタ（UF0EPSn）（n = 0-2）	00H
		UF0 INTステータスnレジスタ（UF0ISn）（n = 0-4）	00H
		UF0 INTマスクnレジスタ（UF0IMn）（n = 0-4）	00H
		UF0 INTクリアnレジスタ（UF0ICn）（n = 0-4）	FFH
		UF0 INT＆DMARQレジスタ（UF0IDR）	00H
		UF0 DMAステータスnレジスタ（UF0DMSn）（n = 0, 1）	00H
		UF0 FIFOクリアnレジスタ（UF0FICn）（n = 0, 1）	00H
		UF0データ・エンド・レジスタ（UF0DEND）	00H
		UF0 GPRレジスタ（UF0GPR）	00H
		UF0モード・コントロール・レジスタ（UF0MODC）	00H
		UF0モード・ステータス・レジスタ（UF0MODS）	00H
		UF0アクティブ・インタフェース・ナンバー・レジスタ（UF0AIFN）	00H
		UF0アクティブ・オルタナティブ・セッティング・レジスタ（UF0AAS）	00H
		UF0 オルタナティブ・セッティング・ステータス・レジスタ（UF0ASS）	00H
		UF0エンドポイントnインタフェース・マッピング・レジスタ（UF0EnIM）（n = 1-4, 7, 8）	00H
		UF0 EP0リード・レジスタ（UF0E0R）	不定

表15ー2 CPU，内蔵命令RAM，内蔵データRAM，内蔵周辺I/Oのリセット後の初期値（4/6）

内蔵ハードウエア		レジスタ名	リセット後の初期値
内蔵周辺I/O	シリアル・インタフェース機能（USBF）	UF0 EP0レングス・レジスタ（UF0E0L）	00H
		UF0 EP0セットアップ・レジスタ（UF0E0ST）	00H
		UF0 EP0ライト・レジスタ（UF0E0W）	不定
		UF0バルク・アウトnレジスタ（UF0BOn）（n = 1, 2）	不定
		UF0バルク・アウトnレングス・レジスタ（UF0BO1L）（n = 1, 2）	00H
		UF0バルク・インnレジスタ（UF0BIn）（n = 1, 2）	不定
		UF0インタラプトnレジスタ（UF0INTn）（n = 1, 2）	不定
		UF0デバイス・ステータス・レジスタL（UF0DSTL）	00H
		UF0 EPnステータス・レジスタL（ UF0EnSL）（n = 0-4, 7, 8）	00H
		UF0アドレス・レジスタ（UF0ADRS）	00H
		UF0コンフィギュレーション・レジスタ（UF0CNF）	00H
		UF0インタフェースnレジスタ（UF0IFn）（n = 0-4）	00H
		UF0ディスクリプタ・レングス・レジスタ（UF0DSCL）	00H
		UF0デバイス・ディスクリプタ・レジスタn（UF0DDn）（n = 0-17）	00H
		UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタn（UF0CIEn）（n = 0-255）	不定
		USBファンクション0 DMAチャネル・セレクト・レジスタ（UF0CS）	0000H
		USBファンクション0バッファ・コントロール・レジスタ（UF0BC）	00H
	シリアル・インタフェース機能（UARTB）	UARTBn制御レジスタ0（UBnCTL0）（n = 0, 1）	10H
		UARTBn制御レジスタ2（UBnCTL2）（n = 0, 1）	FFFFH
		UARTBn状態レジスタ（UBnSTR）（n = 0, 1）	00H
		UARTBn送信データ･レジスタ（UBnTX）（n = 0, 1）	FFH
		UARTBn受信データ･レジスタAP（UBnRXAP）（n = 0, 1）	00FFH
		UARTBn受信データ･レジスタ（UBnRX）（n = 0, 1）	FFH
		UARTBn FIFO制御レジスタ0（UBnFIC0）（n = 0, 1）	00H
		UARTBn FIFO制御レジスタ1（UBnFIC1）（n = 0, 1）	00H
		UARTBn FIFO制御レジスタ2（UBnFIC2）（n = 0, 1）	0000H
		UARTBn FIFO制御レジスタ2L（UBnFIC2L）（n = 0, 1）	00H
		UARTBn FIFO制御レジスタ2H（UBnFIC2H）（n = 0, 1）	00H
		UARTBn FIFO状態レジスタ0（UBnFIS0）（n = 0, 1）	00H
		UARTBn FIFO状態レジスタ1（UBnFIS1）（n = 0, 1）	00H
	シリアル・インタフェース機能（CSI3）	クロック同期式シリアル･インタフェース･モード･レジスタ3n（CSIM3n）（n = 0, 1）	00H
		クロック同期式シリアル・インタフェース・クロック選択レジスタ3n（CSIC3n）（n = 0, 1）	07H
		受信データ・バッファ・レジスタ3n（SIRB3n）（n = 0, 1）	0000H
		受信データ・バッファ・レジスタ3nL（SIRB3nL）（n = 0, 1）	00H
		受信データ・バッファ・レジスタ3nH（SIRB3nH）（n = 0, 1）	00H
		送信データCSIバッファ・レジスタ3n（SFDB3n）	0000H
		送信データCSIバッファ・レジスタ3nL（SFDB3nL）	00H
		送信データCSIバッファ・レジスタ3nH（SFDB3nH）	00H
		CSIBUF状態レジスタ3n（SFA3n）（n = 0, 1）	20H

表15ー2 CPU，内蔵命令RAM，内蔵データRAM，内蔵周辺I/Oのリセット後の初期値（5/6）

内蔵ハードウエア		レジスタ名	リセット後の初期値
内蔵周辺I/O	シリアル・インタフェース機能（CSI3）	転送データ長選択レジスタ3n（CSIL3n）（n = 0, 1）	00H
		転送データ数指定レジスタ3n（SFN3n）（n = 0, 1）	00H
	A/Dコンバータ	A/Dコンバータ・モード・レジスタn（ADMn）（n = 0-2）	00H
		ADCトリガ選択レジスタ（ADTS）	00H
		A/D変換結果レジスタn（ADCRn）（10ビット）（n = 0-7）	不定
		A/D変換結果レジスタnH（ADCRnH）（8ビット）（n = 0-7）	不定
	PWM	PWMコントロール・レジスタn（PWMCn）（n = 0, 1）	08H
		PWMモジュロ・レジスタn（PWMn）（n = 0, 1）	0000H
		PWMモジュロ・レジスタLn（PWMLn）（n = 0, 1）	00H
		PWMモジュロ・レジスタHn（PWMHn）（n = 0, 1）	00H
	ポート機能	ポート（P1, P2, P5-P7, PCS, PCT, PCM, PCD）	不定
		ポート（PAL）	不定
		ポート（PALL）	不定
		ポート（PALH）	不定
		ポート（PAH）	不定
		ポート（PAHL）	不定
		ポート（PAHH）	不定
		ポート（PDH）	不定
		ポート（PDHL）	不定
		ポート（PDHH）	不定
		モード・レジスタ（PM1, PM2, PM5-PM7, PMCS, PMCT, PMCM, PMCD）	FFH
		モード・レジスタ（PMAL）	FFFFH
		モード・レジスタ（PMALL）	FFH
		モード・レジスタ（PMALH）	FFH
		モード・レジスタ（PMAH）	FFFFH
		モード・レジスタ（PMAHL）	FFH
		モード・レジスタ（PMAHH）	FFH
		モード・レジスタ（PMDH）	FFFFH
		モード・レジスタ（PMDHL）	FFH
		モード・レジスタ（PMDHH）	FFH
		モード・コントロール・レジスタ（PMC1, PMC5-PMC7）	00H
		モード・コントロール・レジスタ（PMC2）	01H
		モード・コントロール・レジスタ（PMCCS）	FFH
		モード・コントロール・レジスタ（PMCCT）	BFH
		モード・コントロール・レジスタ（PMCCM）	3DH
		モード・コントロール・レジスタ（PMCCD）	0FH
		モード・コントロール・レジスタ（PMCAL）	0002H
		モード・コントロール・レジスタ（PMCALL）	02H
		モード・コントロール・レジスタ（PMCALH）	00H
		モード・コントロール・レジスタ（PMCAH）	03FFH
		モード・コントロール・レジスタ（PMCAHL）	FFH
		モード・コントロール・レジスタ（PMCAHH）	03H

表15ー2　CPU，内蔵命令RAM，内蔵データRAM，内蔵周辺I/Oのリセット後の初期値（6/6）

内蔵ハードウエア		レジスタ名	リセット後の初期値
内蔵周辺 I/O	ポート機能	モード・コントロール・レジスタ（PMCDH）	0000H
		モード・コントロール・レジスタ（PMCDHL）	00H
		モード・コントロール・レジスタ（PMCDHH）	00H
		ファンクション・コントロール・レジスタ（PFC1, PFC2, PFC5-PFC7, PFCCS, PFCCT, PFCCM）	00H
		ファンクション・コントロール・レジスタL（PFCALL）	03H
		ファンクション・コントロール・レジスタ（PFCDH）	0000H
		ファンクション・コントロール・レジスタ（PFCDHL）	00H
		ファンクション・コントロール・レジスタ（PFCDHH）	00H
		外部割り込み立ち下がりエッジ指定レジスタn（INTFn）（n = 1, 2, 5, 6, AL）	00H
		外部割り込み立ち下がりエッジ指定レジスタDH（INTFDH）	0000H
		外部割り込み立ち下がりエッジ指定レジスタDHL（INTFDHL）	00H
		外部割り込み立ち下がりエッジ指定レジスタDHH（INTFDHH）	00H
		外部割り込み立ち上がりエッジ指定レジスタn（INTRn）（n = 1, AL）	03H
		外部割り込み立ち上がりエッジ指定レジスタ2（INTR2）	3FH
		外部割り込み立ち上がりエッジ指定レジスタ5（INTR5）	07H
		外部割り込み立ち上がりエッジ指定レジスタ6（INTR6）	E0H
		外部割り込み立ち上がりエッジ指定レジスタDH（INTRDH）	FFFFH
		外部割り込み立ち上がりエッジ指定レジスタDHL（INTRDHL）	FFH
		外部割り込み立ち上がりエッジ指定レジスタDHH（INTRDHH）	FFH
		ノイズ除去幅設定レジスタCn（NCWCn）（n = 0-3）	02H
		ノイズ除去幅設定レジスタ1n（NCW1n）（n = 0, 1）	02H

注意　上記の表における“不定”とは，パワーオン・リセット時の不定，または$\overline{\text{RESET}}$↓入力とデータ書き込みタイミングが同期したときのデータ破壊による不定を意味し，これ以外の$\overline{\text{RESET}}$↓ではデータは直前の状態に保持されます。

第16章　デバッグ機能（DCU）

DCU（デバッグ・コントロール・ユニット）は，JTAGでの通信やデバッグ処理の実行を実現する実行制御ユニット（RCU），トレース機能を実現するトレース制御ユニット（TRCU），イベント検出機能を実現するトリガ・イベント・ユニット（TEU）の3つの機能ユニットから構成されています。オンチップ・デバッグ・エミュレータを接続することにより，V850E/ME2単体でのオンチップ・デバッグを実現します。

注意　デバッグ機能は，V850E/ME2としてサポートしている機能であり，使用可能かどうかはデバッガによって異なります。

16. 1　機能概要

16. 1. 1　デバッグ機能

(1) デバッグ・インタフェース

$\overline{\text{DRST}}$, DCK, DMS, DDI, DDO信号によりオンチップ・デバッグ・エミュレータを介して，ホスト・マシンとの通信を行います。インタフェースにはJTAGの通信仕様を利用しています。バウンダリ・スキャン機能はサポートしていません。

(2) オンチップ・デバッグ

ターゲット・システム上にデバッグ用の配線やコネクタを用意すれば，オンチップでのデバッグが可能です。

デバッグ用のコネクタには，オンチップ・デバッグ・エミュレータを接続します。

(3) 強制リセット機能

V850E/ME2全体を強制的にリセットできます。

(4) 強制ブレーク機能

ユーザ・プログラムの実行を強制的に中断できます（ただし，不正命令コード例外のハンドラ（先頭アドレス：00000060H）は使用できません）。

(5) デバッグ・モニタ機能

デバッグ中はユーザのメモリ空間とは異なるデバッグ用のメモリ空間を使用します（バッググラウンド・モニタ形式）。ユーザ・プログラムを任意のアドレスから実行開始可能です。

また，ユーザ・プログラム中断中のユーザ・リソース（メモリ，I/Oなど）のリード／ライトやユーザ・プログラムのダウンロードが可能です。

(6) マスク機能

(a) NMI，すべてのマスカブル割り込み要求信号のマスクが可能です。

(b) デバッグ接続した場合，ディフォールトで，ターゲット・ボード上の$\overline{\text{RESET}}$端子入力は，マスクされます（V850E/ME2に電源投入後，デバッガを立ち上げた時点で，$\overline{\text{RESET}}$端子入力がマスクされます）。

$\overline{\text{RESET}}$端子への入力を有効にする場合は，デバッガ上からマスクを解除できますが，デバッグ中（RUN実行中）に$\overline{\text{RESET}}$端子への入力があった場合，次の問題が発生することがあります。

- ブレーク機能などが誤動作することがあります。誤動作時は，再立ち上げを実行してください。
- $\overline{\text{RESET}}$端子入力の前後のトレース・データが不正となることがあります。$\overline{\text{RESET}}$解除後は，正常復帰します。

16. 1. 2 トレース機能

(1) PCトレース（分岐トレース）機能

ユーザ・プログラム実行中に発生するすべての分岐（処理の遷移）をトレースできます。

トレース要因は，機能別に分類された12種類の分岐要因から選択可能で，任意アドレスの命令実行からのPCトレースの開始やトレース要因の切り替えが可能です。

トレース・スタート・トリガは2本です。

(2) データ・トレース機能

CPUが発行する最大1 Kバイトから最小4バイトまでの範囲で，任意のアドレスへのデータ・アクセスをトレースできます。

リード／ライト・データをトレース可能で，データ・トレース・ポイントは2本です。

ただし，DMACが発行するデータ・アクセスはトレースできません。

(3) リアルタイム・トレース・モード

ユーザ・プログラムのリアルタイム実行での分岐，データ・アクセスをトレースできます。

検出されたトレース要因のトレース・パケットはトレース・バッファに格納され，トレース・インタフェース端子（TRCCLK, TRCDATA0-TRCDATA3, TRCEND）から出力されます（トレース・バッファにトレース・パケットが格納できなくなると，トレース・パケットの取りこぼしが発生します）。

(4) 完全トレース・モード（ノンリアルタイム・トレース・モード）

ユーザ・プログラムのすべての分岐，データ・アクセスをトレースできます。

完全トレース・モードでは，トレース・インタフェース端子からのトレース・データ出力の時間を確保するために，一時的にCPUのパイプラインをホールドさせて命令の実行を停止し，トレース・パケットの取りこぼしを防止しています。

16. 1. 3　イベント機能

(1) 命令系イベント検出機能

実行PCの大小比較によるイベント検出（10個）や実行PCの範囲イベント検出（2個1組で最大4組）が可能です。

なお，命令系イベント要因をブレーク要因にした場合は，イベント検出した命令実行前ブレークが2個，命令を実行したあとのブレークが8個検出できます。

(2) アクセス系イベント検出機能

次の内容でのイベント検出が可能です。

- アクセス・アドレスの大小比較（4個）
- アクセス・アドレスによる範囲（2個1組で最大2組）
- アクセス・データの一致，不一致
- データのマスクによる特定ビットのデータ
- アクセス・サイズ

なお，アクセス系イベント要因はアクセス後検出です。アクセス系イベント要因をブレーク要因にした場合は，イベント検出したアクセスを発行した命令から，さらに数命令実行したあとにブレークします。

(3) シーケンシャル・イベント検出機能

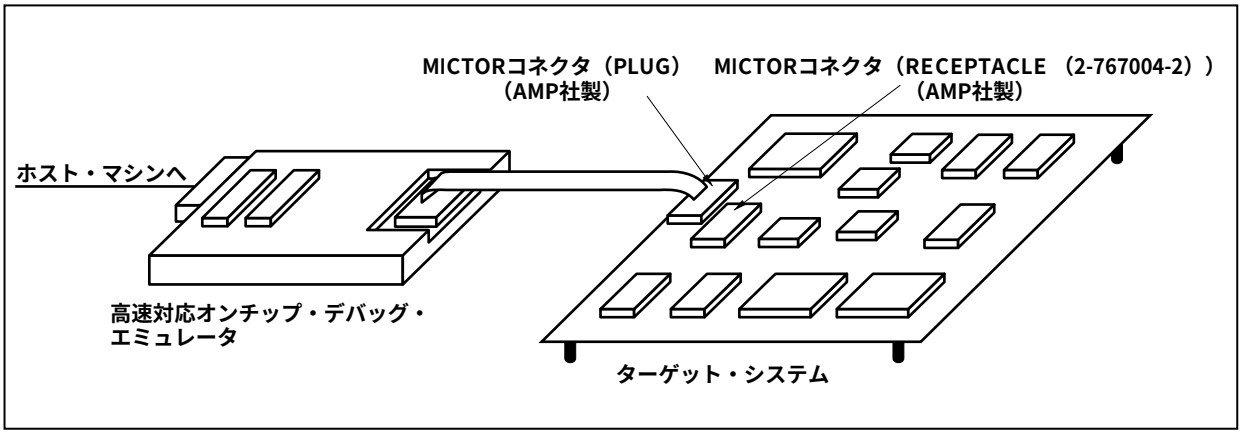
最大4段のイベントの連続発生によるイベント検出やイベントの連続発生をクリアするイベント検出が可能です。

また，12ビットのパス・カウンタによるシーケンシャル・イベントのカウントが可能です。

16. 2　オンチップ・デバッグ・エミュレータとの接続

ターゲット・システム上にエミュレータ接続用コネクタと接続用回路を実装する必要があります。

図16－1　オンチップ・デバッグ・エミュレータの接続



16. 2. 1 エミュレータ接続コネクタ

次にエミュレータ接続コネクタのピン機能を示します。

表16－1 エミュレータ接続コネクタ・ピン機能

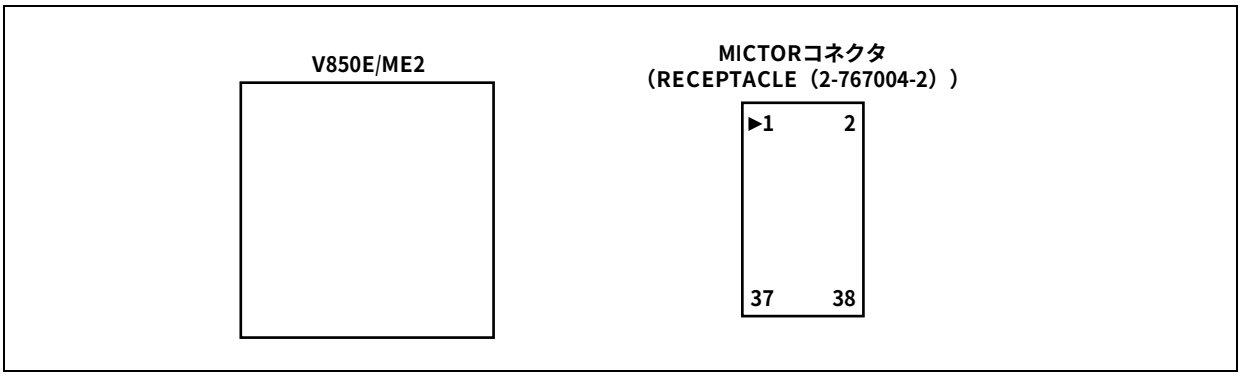
ピン番号	端子名	入出力方向	端子機能
1	GND	－	－
2	GND	－	－
3	DCK	V850E/ME2←エミュレータ	デバッグ・シリアル・インタフェース用クロック（V850E/ME2←エミュレータ）
4	V_{DD}	－	＋3.3 V（V850E/ME2→エミュレータ）（ターゲット電源投入監視用）
5	DMS	V850E/ME2←エミュレータ	デバッグ・シリアル・インタフェース用転送モード選択（V850E/ME2←エミュレータ）
6	$\overline{\text{DRST}}$	V850E/ME2←エミュレータ	DCUリセット（V850E/ME2←エミュレータ）
7	DDI	V850E/ME2←エミュレータ	デバッグ・シリアル・インタフェース用データ（V850E/ME2←エミュレータ）
8	PORT0_OUT	V850E/ME2←エミュレータ	汎用制御信号0（V850E/ME2←エミュレータ）
9	DDO	V850E/ME2→エミュレータ	デバッグ・シリアル・インタフェース用データ（V850E/ME2→エミュレータ）
10	PORT1_OUT	V850E/ME2←エミュレータ	汎用制御信号1（V850E/ME2←エミュレータ）
11	（予約1）	－	（オープンにしてください）
12	PORT2_OUT	V850E/ME2←エミュレータ	汎用制御信号2（V850E/ME2←エミュレータ）
13	（予約2）	－	（オープンにしてください）
14	PORT0_IN	V850E/ME2→エミュレータ	汎用制御信号0（V850E/ME2→エミュレータ）
15	（予約3）	－	（オープンにしてください）
16	PORT1_IN	V850E/ME2→エミュレータ	汎用制御信号1（V850E/ME2→エミュレータ）
17	TRCCLK	V850E/ME2→エミュレータ	トレース・クロック（V850E/ME2→エミュレータ）
18	PORT2_IN	V850E/ME2→エミュレータ	汎用制御信号2（V850E/ME2→エミュレータ）
19	TRCEND	V850E/ME2→エミュレータ	トレース・データ・エンド（V850E/ME2→エミュレータ）
20	TRCCE	V850E/ME2→エミュレータ	トレース・パケット圧縮イネーブル信号（V850E/ME2→エミュレータ）
21	TRCDATA0	V850E/ME2→エミュレータ	トレース・データ0（V850E/ME2→エミュレータ）
22	TRCDATA8	V850E/ME2→エミュレータ	トレース・データ8（V850E/ME2→エミュレータ）
23	TRCDATA1	V850E/ME2→エミュレータ	トレース・データ1（V850E/ME2→エミュレータ）
24	TRCDATA9	V850E/ME2→エミュレータ	トレース・データ9（V850E/ME2→エミュレータ）
25	TRCDATA2	V850E/ME2→エミュレータ	トレース・データ2（V850E/ME2→エミュレータ）
26	TRCDATA10	V850E/ME2→エミュレータ	トレース・データ10（V850E/ME2→エミュレータ）
27	TRCDATA3	V850E/ME2→エミュレータ	トレース・データ3（V850E/ME2→エミュレータ）
28	TRCDATA11	V850E/ME2→エミュレータ	トレース・データ11（V850E/ME2→エミュレータ）
29	TRCDATA4	V850E/ME2→エミュレータ	トレース・データ4（V850E/ME2→エミュレータ）
30	TRCDATA12	V850E/ME2→エミュレータ	トレース・データ12（V850E/ME2→エミュレータ）
31	TRCDATA5	V850E/ME2→エミュレータ	トレース・データ5（V850E/ME2→エミュレータ）
32	TRCDATA13	V850E/ME2→エミュレータ	トレース・データ13（V850E/ME2→エミュレータ）
33	TRCDATA6	V850E/ME2→エミュレータ	トレース・データ6（V850E/ME2→エミュレータ）
34	TRCDATA14	V850E/ME2→エミュレータ	トレース・データ14（V850E/ME2→エミュレータ）
35	TRCDATA7	V850E/ME2→エミュレータ	トレース・データ7（V850E/ME2→エミュレータ）
36	TRCDATA15	V850E/ME2→エミュレータ	トレース・データ15（V850E/ME2→エミュレータ）
37	GND	－	－
38	GND	－	－

備考 次のページに注意の説明を記載しています。

注意1.　V850E/ME2**でサポートしていない端子の接続については，使用されるエミュレータに依存します。**

2.　**高速対応のインタフェースにするために，ターゲット・ボード上のパターンは次に示す条件にする必要があります。**

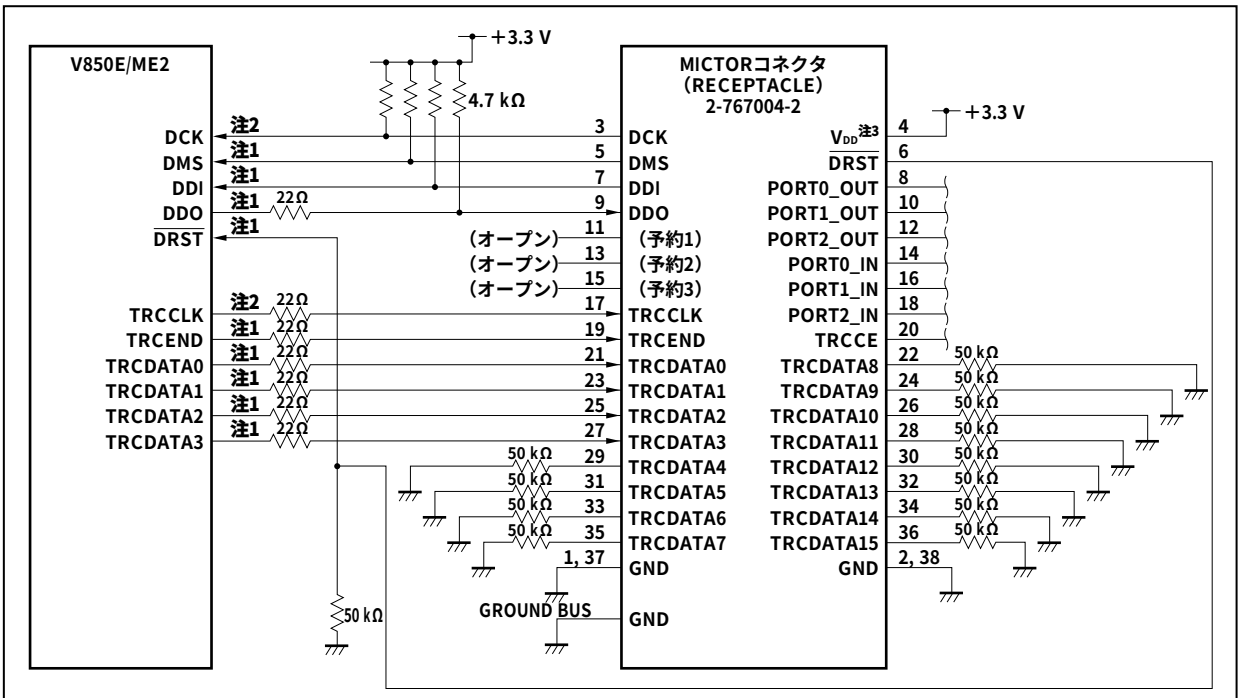
- **デバイス**（V850E/ME2）**側が奇数ピンになる方向でレイアウトしてください。**
- **パターン長は，**1.97**インチ**（50 mm）**以下にしてください。**
- **クロック信号は**GND**でシールドしてください。**



16. 2. 2　推奨回路例

次にエミュレータ接続コネクタ部（ターゲット・システム側）の推奨回路例を示します。

図16－2　**エミュレータ接続推奨回路例**



注1.　**パターン長は**1.97**インチ**（50 mm）**以下にしてください。**

2.　DCK, TRCCLK**信号は**GND**で囲んでシールドしてください。**

3.　**ターゲット・ボードの電源検出用です。**

注意　この推奨回路例は3.3 V**のインタフェースを前提としています。**

第17章　電気的特性

絶対最大定格（T_A = 25 °C）

項　目	略　号	条　件	定　格	単　位
電源電圧	IV_{DD}	IV_{DD}端子	−0.5～+2.0	V
	IV_{SS}	IV_{SS}端子	−0.5～+0.5	V
	EV_{DD}	EV_{DD}端子，$EV_{DD} \geqq IV_{DD}$	−0.5～+4.6	V
	EV_{SS}	EV_{SS}端子	−0.5～+0.5	V
	$OSCV_{DD}$	$OSCV_{DD}$端子	−0.5～+4.6	V
	$OSCV_{SS}$	$OSCV_{SS}$端子	−0.5～+0.5	V
	$PLLV_{DD}$	$PLLV_{DD}$端子	−0.5～+2.0	V
	$PLLV_{SS}$	$PLLV_{SS}$端子	−0.5～+0.5	V
	UV_{DD}	UV_{DD}端子	−0.5～+4.6	V
	AV_{DD}	AV_{DD}端子，$AV_{DD} < EV_{DD} \pm 0.5$ V	−0.5～+4.6	V
	AV_{SS}	AV_{SS}端子	−0.5～+0.5	V
入力電圧	V_I	X1端子を除く，$V_I < EV_{DD} + 0.3$ V	−0.5～+4.6	V
クロック入力電圧	V_K	X1端子	−0.5～$OSCV_{DD}$+0.5注	V
ロウ・レベル出力電流	I_{OL}	1端子	4.0	mA
		全端子合計	100	mA
ハイ・レベル出力電流	I_{OH}	1端子	−4.0	mA
		全端子合計	−100	mA
出力電圧	V_O	EV_{DD} = 3.3 V±0.3 V	−0.5～EV_{DD}+0.5注	V
アナログ入力電圧	V_{WASN}	ANI0-ANI7端子，AV_{DD} = 3.3 V±0.3 V	−0.3～AV_{DD}+0.3注	V
A/Dコンバータ基準入力電圧	AV_{REFP}		−0.3～AV_{DD}+0.3注	V
	AV_{REFM}		−0.3～+0.3	V
動作周囲温度	T_A	30 pF＜出力端子の負荷容量≦50 pF	−40～+70	℃
		出力端子の負荷容量≦30 pF	−40～+85	℃
保存温度	T_{stg}		−60～+150	℃

注　それぞれの電源電圧の絶対最大定格（MAX.値）を超えないようにしてください。

注意1.　IC製品の出力（出力状態の入出力端子）をほかの出力端子（出力状態の入出力端子を含む），およびIV_{DD}, EV_{DD}などの電源端子やGND端子に直線接続しないでください。ただし，入出力端子などのハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直線接続が可能です。

2.　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で，製品をご使用ください。

DC特性とAC特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

容量（T_A = 25 ℃，IV_{DD} = IV_{SS} = EV_{DD} = EV_{SS} = $OSCV_{DD}$ = $OSCV_{SS}$ = $PLLV_{DD}$ = $PLLV_{SS}$ = UV_{DD} = AV_{DD} = AV_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
入力容量	C_I	f_c = 1 MHz 被測定ピン以外は0 V			15	pF
入出力容量	C_{IO}				15	pF
出力容量	C_O				15	pF

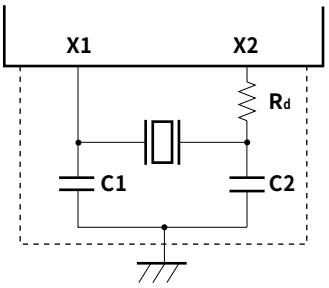
動作条件

製品名	内部動作クロック周波数（f_X）	動作周囲温度（T_A）	電源電圧（V_{DD}）
μPD703111BGM-06-UEU-A	10～66 MHz	外部端子の負荷容量C_L = 50 pF時，−40～+70 ℃	IV_{DD} = 1.5 V±0.15 V $PLLV_{DD}$ = 1.5 V±0.15 V EV_{DD} = 3.3 V±0.3 V $OSCV_{DD}$ = 3.3 V±0.3 V UV_{DD} = 3.3 V±0.3 V AV_{DD} = 3.3 V±0.3 V
		外部端子の負荷容量C_L = 30 pF時，−40～+85 ℃	
μPD703111BGM-10-UEU-A	10～100 MHz	外部端子の負荷容量C_L = 50 pF時，−40～+70 ℃	
		外部端子の負荷容量C_L = 30 pF時，−40～+85 ℃	
μPD703111BGM-13-UEU-A	10～133 MHz	外部端子の負荷容量C_L = 50 pF時，−40～+70 ℃	
		外部端子の負荷容量C_L = 30 pF時，−40～+85 ℃	
μPD703111BGM-15-UEU-A	10～150 MHz	外部端子の負荷容量C_L = 50 pF時，−40～+70 ℃	IV_{DD} = 1.4～1.65 V $PLLV_{DD}$ = 1.4～1.65 V EV_{DD} = 3.3 V±0.3 V $OSCV_{DD}$ = 3.3 V±0.3 V UV_{DD} = 3.3 V±0.3 V AV_{DD} = 3.3 V±0.3 V

推奨発振回路

(a) セラミック発振子

(i) 村田製作所 (T_A = －40～＋85 ℃)



タイプ	品　名	発振周波数	推奨回路定数			発振電圧範囲		発振安定時間 (MAX.)
		f_X (MHz)	C1 (pF)	C2 (pF)	R_d (kΩ)	MIN. (V)	MAX. (V)	T_{OST} (ms)
表面実装	CSTCE10M0G55-R0	10.000	内蔵	内蔵	0	3.0	3.6	0.07
	CSTCE12M5G55-R0	12.500	内蔵	内蔵	0	3.0	3.6	0.08
	CSTCE16M6V53-R0	16.625	内蔵	内蔵	0	3.0	3.6	0.04
	CSTCE18M0V53-R0	18.000	内蔵	内蔵	0	3.0	3.6	0.03
	CSTCE18M7V53-R0	18.750	内蔵	内蔵	0	3.0	3.6	0.03

注意1. **発振回路は**X1, X2**端子にできるかぎり近づけてください。**

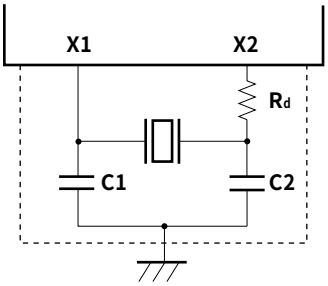
2. **破線の範囲にほかの信号線を通さないでください。**

3. μPD703111B**と発振子のマッチングについては，十分に評価してください。**

4. **発振回路定数は発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は，実装回路上での評価を発振子メーカに依頼してください。**

   また，発振電圧，発振周波数はあくまで発振回路特性を示すものであり，μPD703111B**の内部動作条件については**AC, DC**特性の規格内で使用してください。**

(ii) TDK（T_A = －40～＋85 ℃）



タイプ	品　名	発振周波数	推奨回路定数			発振電圧範囲		発振安定時間 (MAX.)
		f_X (MHz)	C1 (pF)	C2 (pF)	R_d (kΩ)	MIN. (V)	MAX. (V)	T_{OST} (ms)
リード	FCR10.0MC5	10.0	内蔵	内蔵	0	3.0	3.6	0.076
表面実装	CCR18.0MXC7	18.0	内蔵	内蔵	0	3.0	3.6	0.9

注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。

2. 破線の範囲にほかの信号線を通さないでください。

3. μPD703111Bと発振子のマッチングについては，十分に評価してください。

4. 発振回路定数は発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は，実装回路上での評価を発振子メーカに依頼してください。

また，発振電圧，発振周波数はあくまで発振回路特性を示すものであり，μPD703111Bの内部動作条件についてはAC, DC特性の規格内で使用してください。

DC特性（T_A = －40～＋85 ℃，EV_{DD} = 3.3 V±0.3 V, EV_{SS} = 0 V）

項　目		略　号	条　件		MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧		V_{IH}	注1, 2を除く		2.0		EV_{DD}＋0.3	V
			注1		0.75EV_{DD}		EV_{DD}＋0.3	V
			注2		2.0		UV_{DD}＋0.3	V
ロウ・レベル入力電圧		V_{IL}	注1, 2を除く		－0.5		0.8	V
			注1		－0.5		0.2EV_{DD}	V
			注2		－0.5		0.8	V
シュミット・トリガ入力スレッシュホールド電圧		V_T^+	注1，立ち上がり			1.9		V
		V_T^-	注1，立ち下がり			1.3		V
シュミット・トリガ入力ヒステリシス幅		$V_T^+-V_T^-$	注1		0.3	0.6		V
ハイ・レベル出力電圧		V_{OH}	注2を除く	I_{OH} = －2.5 mA	0.8EV_{DD}			V
				I_{OH} = －100 μA	EV_{DD}－0.4			V
			注2, R_L = 15 kΩ（EV_{SS}接続）		2.8			V
ロウ・レベル出力電圧		V_{OL}	注2を除く，I_{OL} = 2.5 mA				0.45	V
			注2, R_L = 15 kΩ（UV_{DD}接続）				0.3	V
ハイ・レベル入力リーク電流		I_{LIH}	V_I = EV_{DD}，注3を除く				10	μA
ロウ・レベル入力リーク電流		I_{LIL}	V_I = 0 V，注3を除く				－10	μA
ハイ・レベル出力リーク電流		I_{LOH}	V_O = EV_{DD}				10	μA
ロウ・レベル出力リーク電流		I_{LOL}	V_O = 0 V				－10	μA
アナログ端子入力リーク電流		I_{LWASN}	注3				±10	μA
電源電流	通常時	I_{DD1}	IV_{DD}＋$PLLV_{DD}$端子			0.82×f_X＋10	0.90×f_X＋117	mA
			EV_{DD}端子[注4]			0.33×f_{BUSCLK}＋3.2	0.66×f_{BUSCLK}＋6.4[注5]	mA
	HALT時	I_{DD2}	IV_{DD}＋$PLLV_{DD}$端子			0.82×f_X＋4	0.85×f_X＋114	mA
			EV_{DD}端子[注4]			0.33×f_{BUSCLK}＋3.2	0.66×f_{BUSCLK}＋6.4[注5]	mA
	IDLE時	I_{DD3}	IV_{DD}＋$PLLV_{DD}$端子			0.015×f_X＋10		mA
			EV_{DD}端子[注4]			500		μA
	STOP時	I_{DD4}	IV_{DD}＋$PLLV_{DD}$端子			4		mA
			EV_{DD}端子[注4]			500		μA

注1. P11/$\overline{SCK0}$/$\overline{INTP11}$, P12/RXD0/SI0, P20/NMI, P21/RXD1/$\overline{INTP21}$, P23/$\overline{SCK1}$/$\overline{INTP23}$, P24/SI1/$\overline{INTP24}$, PCM1, $\overline{RESET}$

2. UDM, UDP

3. ANI0-ANI7

4. 無負荷時の電流値

5. 負荷分の電流値については，次の式で算出してください。

端子 1 本あたりの電流値（μA）= 3.63×C_L×F

C_L：負荷容量（pF）　F：端子の平均動作周波数

備考1. TYP.値は，T_A = 25 ℃，EV_{DD} = 3.3 V時の参考値です。電流にはプルアップ抵抗に流れる電流は含みません。

2. f_X　：メイン・クロック周波数（MHz）

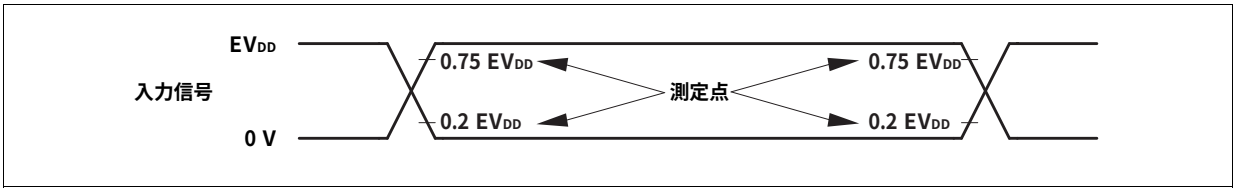
f_{BUSCLK}：BUSCLK周波数（MHz）

AC特性（T_A = －40～＋85 ℃，IV_{DD} = $PLLV_{DD}$ = 1.5 V±0.15 V注, EV_{DD} = $OSCV_{DD}$ = 3.3 V±0.3 V,
IV_{SS} = EV_{SS} = $PLLV_{SS}$ = $OSCV_{SS}$ = 0 V，出力端子の負荷容量：C_L = 30 pF）
（T_A = －40～＋70 ℃，IV_{DD} = $PLLV_{DD}$ = 1.5 V±0.15 V注, EV_{DD} = $OSCV_{DD}$ = 3.3 V±0.3 V,
IV_{SS} = EV_{SS} = $PLLV_{SS}$ = $OSCV_{SS}$ = 0 V，出力端子の負荷容量：C_L = 50 pF）

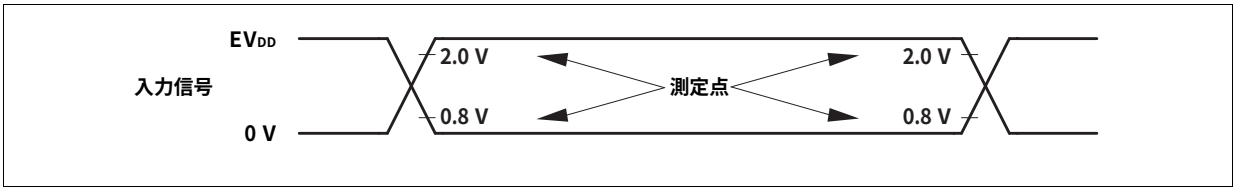
注　133.34～150 MHz動作時は動作条件も考慮してください。

ACテスト入力測定点

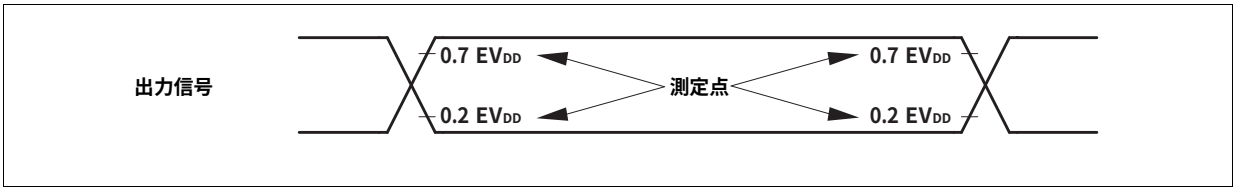
（a）P11/$\overline{SCK0}$/$\overline{INTP11}$, P12/RXD0/SI0, P20/NMI, P21/RXD1/$\overline{INTP21}$, P23/$\overline{SCK1}$/$\overline{INTP23}$, P24/SI1/$\overline{INTP24}$, PCM1, $\overline{RESET}$



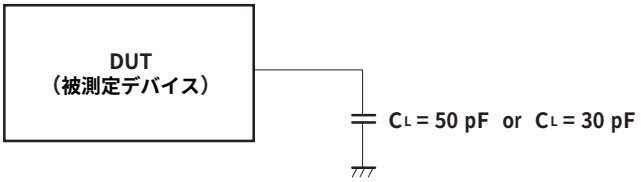
（b）上記（a）以外



ACテスト出力測定点



負荷条件



注意　－40～＋70 ℃の場合：

回路構成により負荷容量が50 pFを越える場合は，バッファを入れるなどして，このデバイスの負荷容量を50 pF以下にしてください。

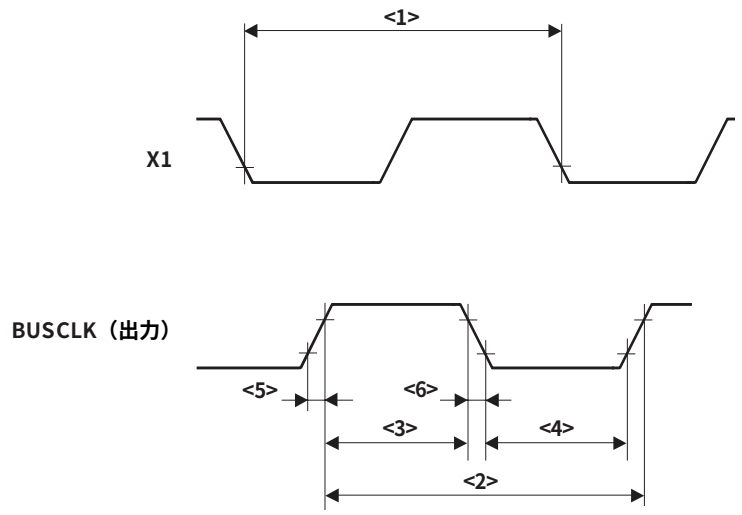
－40～＋85 ℃の場合：

回路構成により負荷容量が30 pFを越える場合は，バッファを入れるなどして，このデバイスの負荷容量を30 pF以下にしてください。

(1) クロック・タイミング

項　　目	略　号		条　　件	MIN.	MAX.	単　位
X1入力周期	<1>	t_{CYX}	発振子の誤差分を含む	52.5	100	ns
BUSCLK出力周期	<2>	t_{CYK}	出力負荷容量≦30 pF, T_A = −40～+85 ℃	14.3	40	ns
			30 pF＜出力負荷容量≦50 pF, T_A = −40～+70 ℃	19.0	40	ns
BUSCLKハイ・レベル幅	<3>	t_{WKH1}		0.5T−2	0.5T+2	ns
BUSCLKロウ・レベル幅	<4>	t_{WKL1}		0.5T−2	0.5T+2	ns
BUSCLK立ち上がり時間	<5>	t_{KR1}			3	ns
BUSCLK立ち下がり時間	<6>	t_{KF1}			3	ns

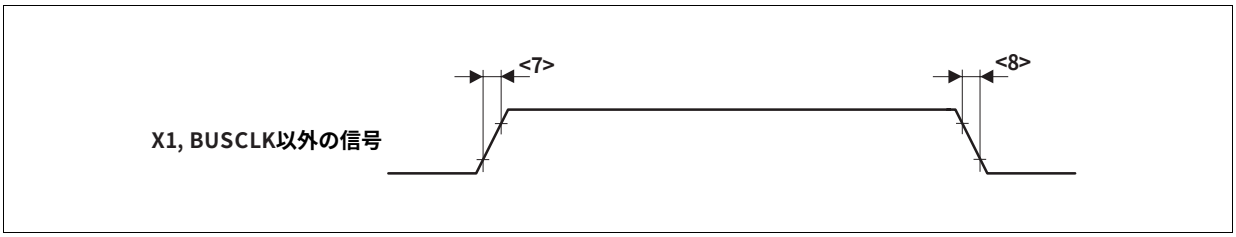
備考　T = t_{CYK}



(2) 出力波形（X1, BUSCLK以外）

項　目	略　号		条　件	MIN.	MAX.	単　位
出力立ち上がり時間	<7>	t_{OR}	注以外		6	ns
			注		8	ns
出力立ち下がり時間	<8>	t_{OF}	注以外		6	ns
			注		8	ns

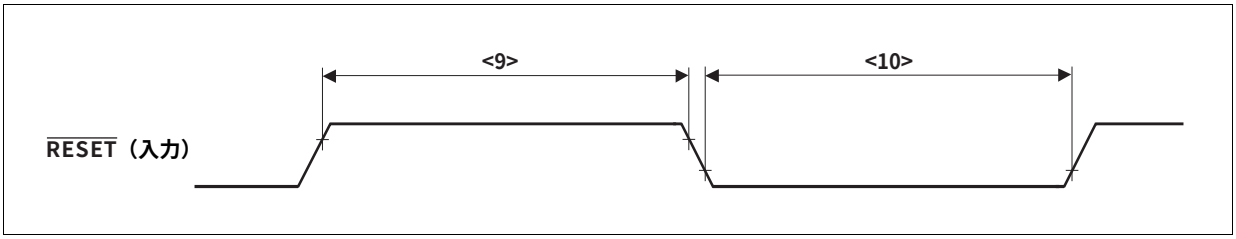
注　P10/UCLK/$\overline{\text{INTP10}}$, P12/RXD0/SI0, P20/NMI, P21/RXD1/$\overline{\text{INTP21}}$, P22/TXD1/$\overline{\text{INTP22}}$, P24/SI1/$\overline{\text{INTP24}}$, P50/$\overline{\text{DMARQ0}}$/$\overline{\text{INTP50}}$, P51/$\overline{\text{DMAAK0}}$/$\overline{\text{INTP51}}$, P52/$\overline{\text{TC0}}$/$\overline{\text{INTP52}}$, P53/$\overline{\text{DMARQ1}}$/TIC0/INTPC00, P54/$\overline{\text{DMAAK1}}$/INTPC01, P55/$\overline{\text{TC1}}$/TOC0, P65/INTPC10/TIC1/$\overline{\text{INTP65}}$, P66/INTPC11/$\overline{\text{INTP66}}$, P67/TOC1/$\overline{\text{INTP67}}$, P72/$\overline{\text{DMARQ2}}$/INTPC20/TIC2, P73/$\overline{\text{DMAAK2}}$/INTPC21, P74/$\overline{\text{TC2}}$/TOC2, P75/$\overline{\text{DMARQ3}}$/INTPC30/TIC3, P76/$\overline{\text{DMAAK3}}$/INTPC31, P77/$\overline{\text{TC3}}$/TOC3



(3) リセット・タイミング

項　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{RESET}}$端子ハイ・レベル幅	<9>	t_{WRSH}		500		ns
$\overline{\text{RESET}}$端子ロウ・レベル幅	<10>	t_{WRSL}	電源オン，STOPモード解除時発振安定時間を含む。ただし，発振安定時間が100 μsを越える場合は必要な発振安定時間を確保してください。	100		μs
			電源オン時，STOPモード解除時を除く	100		μs

注意　発振安定時間については，十分に評価してください。



（4）SRAM，外部ROM，外部I/Oアクセス・タイミング

（a）アクセス・タイミング（SRAM，外部ROM，外部I/O）（1/2）

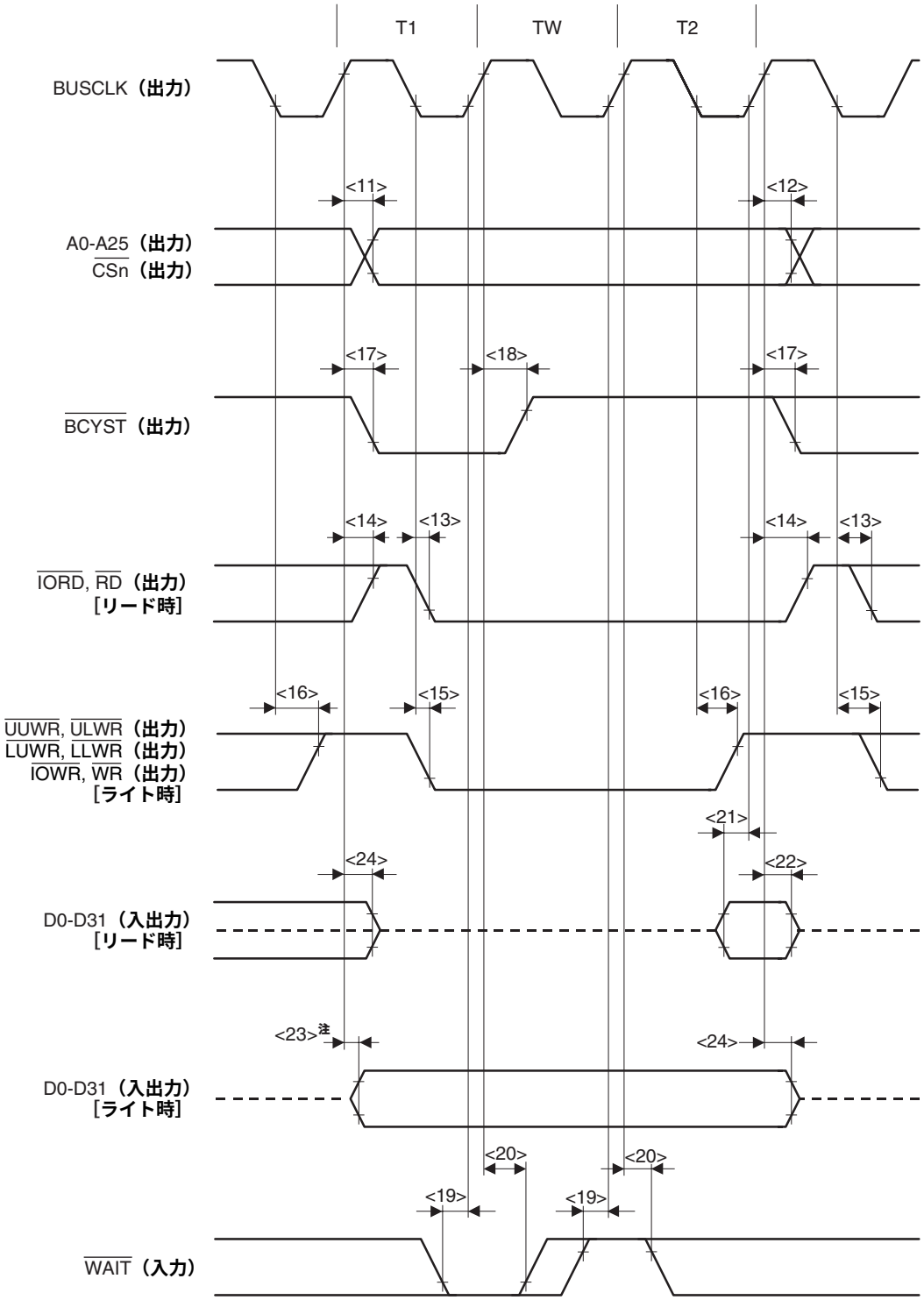
項　目	略　号		条　件	MIN.	MAX.	単　位
アドレス, $\overline{CSn}$出力遅延時間（対BUSCLK↑）	<11>	t_{DKA}		2	11	ns
アドレス, $\overline{CSn}$出力保持時間（対BUSCLK↑）	<12>	t_{HKA}		2	11	ns
$\overline{RD}$, $\overline{IORD}$↓遅延時間（対BUSCLK↓）	<13>	t_{DKRDL}		1	11	ns
$\overline{RD}$, $\overline{IORD}$↑遅延時間（対BUSCLK↑）	<14>	t_{DKRDH}		2	11	ns
$\overline{xxWR}$, $\overline{IOWR}$, $\overline{WR}$↓遅延時間（対BUSCLK↓）	<15>	t_{DKWRL}		2	11	ns
$\overline{xxWR}$, $\overline{IOWR}$, $\overline{WR}$↑遅延時間（対BUSCLK↓）	<16>	t_{DKWRH}		1	11	ns
$\overline{BCYST}$↓遅延時間（対BUSCLK↑）	<17>	t_{DKBSL}		2	11	ns
$\overline{BCYST}$↑遅延時間（対BUSCLK↑）	<18>	t_{DKBSH}		2	11	ns
$\overline{WAIT}$設定時間（対BUSCLK↑）	<19>	t_{SWK}		6		ns
$\overline{WAIT}$保持時間（対BUSCLK↑）	<20>	t_{HKW}		2		ns
データ入力設定時間（対BUSCLK↑）	<21>	t_{SKID}		6		ns
データ入力保持時間（対BUSCLK↑）	<22>	t_{HKID}		2		ns
データ出力遅延時間（対BUSCLK↓）	<23>	t_{DKOD1}		2	11	ns
データ・フロート遅延時間（対BUSCLK↑）	<24>	t_{HKOD}		2	11	ns

備考1.　データ入力保持時間t_{HRDID}, t_{HKID}は，少なくともどちらか1つを守ってください。

2.　n = 0-7

xx = UU, UL, LU, LL

(a) アクセス・タイミング（SRAM，外部ROM，外部I/O）（2/2）



注　リード・サイクルの直後に，T0ステートが挿入されずにライト・サイクルが実行される場合，データの出力タイミングは半クロック遅れ（BUSCLKの立ち下がり同期）になります。

備考1.　DWC0, DWC1レジスタによるウエイト数が0の場合のタイミングです。

2.　破線はハイ・インピーダンスを示します。

3.　n = 0-7

（b）リード・タイミング（SRAM，外部ROM，外部I/O）（1/2）

項　目	略　号		条　件	MIN.	MAX.	単　位
データ入力設定時間（対アドレス）	<25>	t_{SAID}			(2＋w＋w_D＋w_{AS}) T－17	ns
データ入力設定時間（対$\overline{RD}$）	<26>	t_{SRDID}			(1.5＋w＋w_D) T－17	ns
$\overline{RD}$, $\overline{IORD}$ロウ・レベル幅	<27>	t_{WRDL}		(1.5＋w＋w_D) T－6		ns
$\overline{RD}$, $\overline{IORD}$ハイ・レベル幅	<28>	t_{WRDH}		(0.5＋w_{AS}＋i) T－6		ns
アドレス，$\overline{CSn}$→$\overline{RD}$, $\overline{IORD}$↓遅延時間	<29>	t_{DARD}		(0.5＋w_{AS}) T－7.5		ns
$\overline{RD}$, $\overline{IORD}$↑→アドレス遅延時間	<30>	t_{DRDA}		iT－2		ns
データ入力保持時間（対$\overline{RD}$, $\overline{IORD}$↑）	<31>	t_{HRDID}		0		ns
$\overline{RD}$, $\overline{IORD}$↑→データ出力遅延時間	<32>	t_{DRDOD}		(0.5＋i) T－6		ns
$\overline{WAIT}$設定時間（対アドレス）	<33>	t_{SAW}	注1		(1＋w_{AS}) T－17	ns
$\overline{WAIT}$設定時間（対$\overline{BCYST}$↓）	<34>	t_{SBSW}	注1		(1＋w_{AS}) T－17	ns
$\overline{WAIT}$保持時間（対$\overline{BCYST}$↑）	<35>	t_{HBSW}	注1	(w_{AS}＋w_D) T＋2		ns
$\overline{WAIT}$ハイ・レベル幅	<36>	t_{WWH}	注2	T＋2		ns
データ出力保持時間（対$\overline{xxWR}$, $\overline{IOWR}$, $\overline{WR}$↑）	<37>	t_{HWROD}		(0.5＋i) T－5.5		ns

注1.　最初の$\overline{WAIT}$サンプリング時。

2.　ウエイト解除に必要な時間。

備考1.　T = t_{CYK}

2.　w：$\overline{WAIT}$によるウエイト数

3.　w_D：DWC0, DWC1レジスタによるウエイト数

4.　データ入力保持時間t_{HRDID}, t_{HKID}は，少なくともどちらか1つを守ってください。

5.　n = 0-7

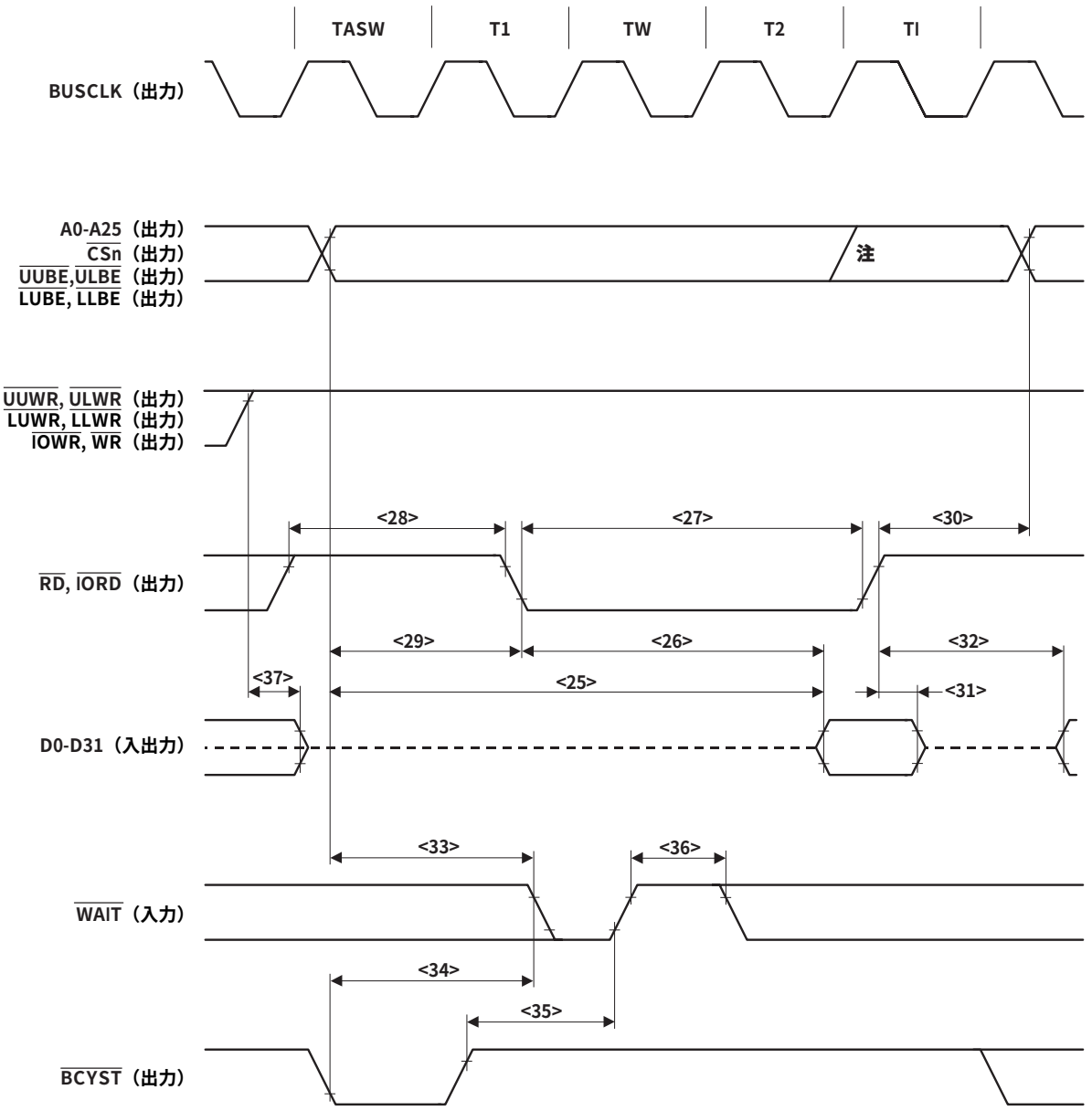
xx = UU, UL, LU, LL

6.　i：アイドル・ステート数

7.　w_{AS}：ASCレジスタによるアドレス・セットアップ・ウエイト数

8.　wとw_Dの挿入数の考え方については，4. 7. 3　プログラマブル・ウエイトと外部ウエイトの関係を参照してください。

（b）リード・タイミング（SRAM，外部ROM，外部I/O）（2/2）



注　CSn信号の場合

備考1.　DWC0, DWC1レジスタによるウエイト数が0, BCCレジスタによるアイドル・ステート数が1, ASCレジスタによるウエイト数が1の場合のタイミングです。

2.　破線はハイ・インピーダンスを示します。

3.　n = 0-7

（c）ライト・タイミング（SRAM，外部ROM，外部I/O）（1/2）

項　　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{WAIT}}$設定時間（対アドレス）	<33>	t_{SAW}	注1		（1＋w_{AS}）T－17	ns
$\overline{\text{WAIT}}$設定時間（対$\overline{\text{BCYST}}$↓）	<34>	t_{SBSW}	注1		（1＋w_{AS}）T－17	ns
$\overline{\text{WAIT}}$保持時間（対$\overline{\text{BCYST}}$↑）	<35>	t_{HBSW}	注1	（w_{AS}＋w_D）T＋2		ns
$\overline{\text{WAIT}}$ハイ・レベル幅	<36>	t_{WWH}	注2	T＋2		ns
アドレス，$\overline{\text{CSn}}$→ $\overline{\text{xxWR}}$, $\overline{\text{IOWR}}$, $\overline{\text{WR}}$ ↓遅延時間	<38>	t_{DAWR}		（0.5＋w_{AS}）T－7		ns
アドレス設定時間（対$\overline{\text{xxWR}}$, $\overline{\text{IOWR}}$, $\overline{\text{WR}}$↑）	<39>	t_{SAWR}		（1.5＋w＋w_D＋w_{AS}）T－10		ns
$\overline{\text{xxWR}}$, $\overline{\text{IOWR}}$, $\overline{\text{WR}}$↑→アドレス遅延時間	<40>	t_{DWRA}		（0.5＋i）T－5		ns
$\overline{\text{xxWR}}$, $\overline{\text{IOWR}}$, $\overline{\text{WR}}$ハイ・レベル幅	<41>	t_{WWRH}		（1＋i＋w_{AS}）T－5		ns
$\overline{\text{xxWR}}$, $\overline{\text{IOWR}}$, $\overline{\text{WR}}$ロウ・レベル幅	<42>	t_{WWRL}		（1＋w＋w_D）T－5		ns
データ出力設定時間（対$\overline{\text{xxWR}}$, $\overline{\text{IOWR}}$, $\overline{\text{WR}}$↑）	<43>	t_{SODWR}		（1.5＋w_{AS}＋w＋w_D）T－5		ns
データ出力保持時間（対$\overline{\text{xxWR}}$, $\overline{\text{IOWR}}$, $\overline{\text{WR}}$↑）	<37>	t_{HWROD}		（0.5＋i）T－5.5		ns

注1.　最初の$\overline{\text{WAIT}}$サンプリング時。

2.　ウエイト解除に必要な時間。

備考1.　T = t_{CYK}

2.　w：$\overline{\text{WAIT}}$によるウエイト数

3.　w_D：DWC0, DWC1レジスタによるウエイト数

4.　n = 0-7

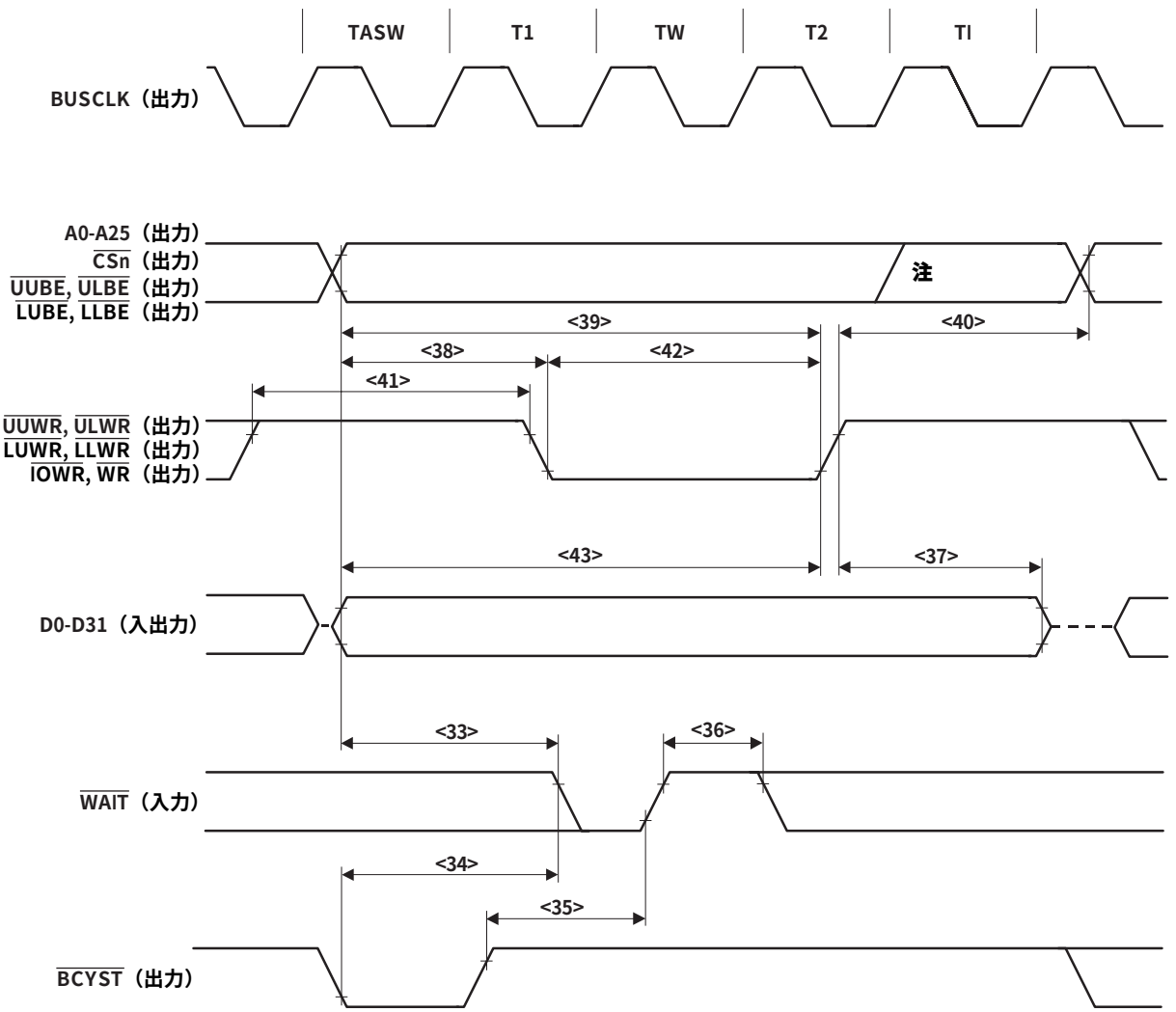
xx = UU, UL, LU, LL

5.　i：アイドル・ステート数

6.　w_{AS}：ASCレジスタによるアドレス・セットアップ・ウエイト数

7.　wとw_Dの挿入数の考え方については，4. 7. 3　プログラマブル・ウエイトと外部ウエイトの関係を参照してください。

（c）ライト・タイミング（SRAM，外部ROM，外部I/O）（2/2）



注　CSn信号の場合

備考1.　DWC0，DWC1レジスタによるウエイト数が0，BCCレジスタによるアイドル・ステート数が1，ASCレジスタによるウエイト数が1の場合のタイミングです。

2.　破線はハイ・インピーダンスを示します。

3.　n = 0-7

（d）DMAフライバイ転送タイミング（SRAM→外部I/O転送）（1/2）

項　　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{WAIT}}$設定時間（対BUSCLK↑）	<19>	t_{SWK}		6		ns
$\overline{\text{WAIT}}$保持時間（対BUSCLK↑）	<20>	t_{HKW}		2		ns
$\overline{\text{RD}}$ロウ・レベル幅	<27>	t_{WRDL}		（1.5＋w＋w_{FW}）T－6		ns
$\overline{\text{RD}}$ハイ・レベル幅	<28>	t_{WRDH}		（0.5＋w_{AS}＋i）T－6		ns
アドレス，$\overline{\text{CSn}}$→$\overline{\text{RD}}$↓遅延時間	<29>	t_{DARD}		（0.5＋w_{AS}）T－7.5		ns
$\overline{\text{RD}}$↑→アドレス遅延時間	<30>	t_{DRDA}		iT－2		ns
$\overline{\text{RD}}$↑→データ出力遅延時間	<32>	t_{DRDOD}		（0.5＋i）T－6		ns
$\overline{\text{WAIT}}$設定時間（対アドレス）	<33>	t_{SAW}	注		（1＋w_{AS}＋w_{FW}）T－17	ns
$\overline{\text{WAIT}}$設定時間（対$\overline{\text{BCYST}}$↓）	<34>	t_{SBSW}	注		（1＋w_{AS}＋w_{FW}）T－17	ns
$\overline{\text{WAIT}}$保持時間（対$\overline{\text{BCYST}}$↑）	<35>	t_{HBSW}	注	（w_{AS}＋w_{FW}）T＋2		ns
$\overline{\text{WAIT}}$ハイ・レベル幅	<36>	t_{WWH}		T＋2		ns
アドレス→$\overline{\text{IOWR}}$↓遅延時間	<38>	t_{DAWR}		（0.5＋w_{AS}）T－7		ns
アドレス設定時間（対$\overline{\text{IOWR}}$↑）	<39>	t_{SAWR}		（1.5＋w＋w_{FW}＋w_{AS}）T－10		ns
$\overline{\text{IOWR}}$↑→アドレス遅延時間	<40>	t_{DWRA}		（0.5＋i）T－5		ns
$\overline{\text{IOWR}}$ハイ・レベル幅	<41>	t_{WWRH}		（0.5＋i＋w_{AS}）T－5		ns
$\overline{\text{IOWR}}$ロウ・レベル幅	<42>	t_{WWRL}		（1＋w＋w_{FW}）T－5		ns
$\overline{\text{IOWR}}$↑→$\overline{\text{RD}}$↑遅延時間	<44>	t_{DIWRRD}		0.5T－4		ns
$\overline{\text{DMAAKm}}$↓→$\overline{\text{IOWR}}$↓遅延時間	<45>	t_{DDAWR}		（0.5＋w_{AS}）T－7.5		ns
$\overline{\text{IOWR}}$↑→$\overline{\text{DMAAKm}}$↑遅延時間	<46>	t_{DWRDA}		（1.5＋i）T－10		ns

注　2回目以降の$\overline{\text{WAIT}}$サンプリング時。

備考1.　T = t_{CYK}

2.　w：$\overline{\text{WAIT}}$によるウエイト数

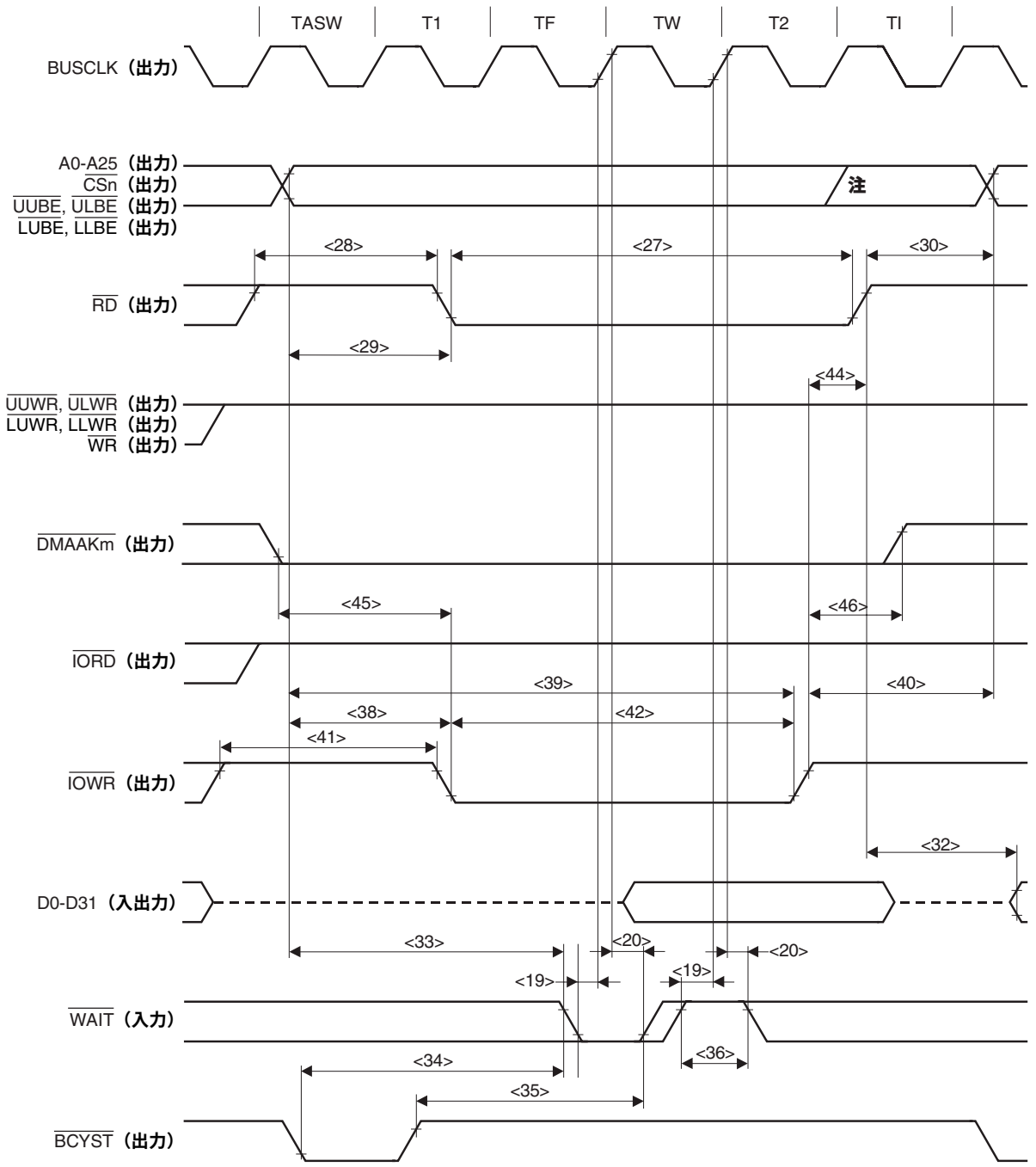
3.　w_{FW}：FWCレジスタによるウエイト数

4.　n = 0-7, m = 0-3

5.　i：アイドル・ステート数

6.　w_{AS}：ASCレジスタによるアドレス・セットアップ・ウエイト数

（d）DMAフライバイ転送タイミング（SRAM→外部I/O転送）（2/2）



注 CSn信号の場合

備考1. FWCレジスタによるウエイト数が1，FICレジスタによるアイドル・ステート数が1，ASCレジスタによるウエイト数が1の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

3. n = 0-7, m = 0-3

（e）DMAフライバイ転送タイミング（外部I/O→SRAM転送）（1/2）

項　　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{WAIT}}$設定時間（対BUSCLK↑）	<19>	t_{SWK}		6		ns
$\overline{\text{WAIT}}$保持時間（対BUSCLK↑）	<20>	t_{HKW}		2		ns
$\overline{\text{IORD}}$ロウ・レベル幅	<27>	t_{WRDL}		（2＋w＋w_{FW}）T－6		ns
$\overline{\text{IORD}}$ハイ・レベル幅	<28>	t_{WRDH}		（1＋w_{AS}＋i）T－6		ns
アドレス，$\overline{\text{CSn}}$→$\overline{\text{IORD}}$↓遅延時間	<29>	t_{DARD}		（0.5＋w_{AS}）T－7.5		ns
$\overline{\text{IORD}}$↑→アドレス遅延時間	<30>	t_{DRDA}		iT－2		ns
$\overline{\text{IORD}}$↑→データ出力遅延時間	<32>	t_{DRDOD}		（0.5＋i）T－6		ns
$\overline{\text{WAIT}}$設定時間（対アドレス）	<33>	t_{SAW}	注		（1＋w_{AS}＋w_{FW}）T－17	ns
$\overline{\text{WAIT}}$設定時間（対$\overline{\text{BCYST}}$↓）	<34>	t_{SBSW}	注		（1＋w_{AS}＋w_{FW}）T－17	ns
$\overline{\text{WAIT}}$保持時間（対$\overline{\text{BCYST}}$↑）	<35>	t_{HBSW}	注	（w_{AS}＋w_{FW}）T＋2		ns
$\overline{\text{WAIT}}$ハイ・レベル幅	<36>	t_{WWH}		T＋2		ns
アドレス→$\overline{\text{xxWR}}$, $\overline{\text{WR}}$ ↓遅延時間	<38>	t_{DAWR}		（0.5＋w_{AS}）T－7		ns
アドレス設定時間 （対$\overline{\text{xxWR}}$, $\overline{\text{WR}}$↑）	<39>	t_{SAWR}		（1.5＋w＋w_{FW}＋w_{AS}）T－10		ns
$\overline{\text{xxWR}}$, $\overline{\text{WR}}$↑→アドレス遅延時間	<40>	t_{DWRA}		（0.5＋i）T－5		ns
$\overline{\text{xxWR}}$, $\overline{\text{WR}}$ハイ・レベル幅	<41>	t_{WWRH}		（1＋i＋w_{AS}）T－5		ns
$\overline{\text{xxWR}}$, $\overline{\text{WR}}$ロウ・レベル幅	<42>	t_{WWRL}		（1＋w＋w_{FW}）T－5		ns
$\overline{\text{xxWR}}$, $\overline{\text{WR}}$↑→$\overline{\text{IORD}}$↑遅延時間	<47>	t_{DWRIRD}		0.5T－4		ns
$\overline{\text{DMAAKm}}$↓→$\overline{\text{IORD}}$↓遅延時間	<48>	t_{DDARD}		（0.5＋w_{AS}）T－7.5		ns
$\overline{\text{IORD}}$↑→$\overline{\text{DMAAKm}}$↑遅延時間	<49>	t_{DRDDA}		（0.5＋i）T－7.5		ns

注　2回目以降の$\overline{\text{WAIT}}$サンプリング時。

備考1.　T = t_{CYK}

2.　w：$\overline{\text{WAIT}}$によるウエイト数

3.　w_{FW}：FWCレジスタによるウエイト数

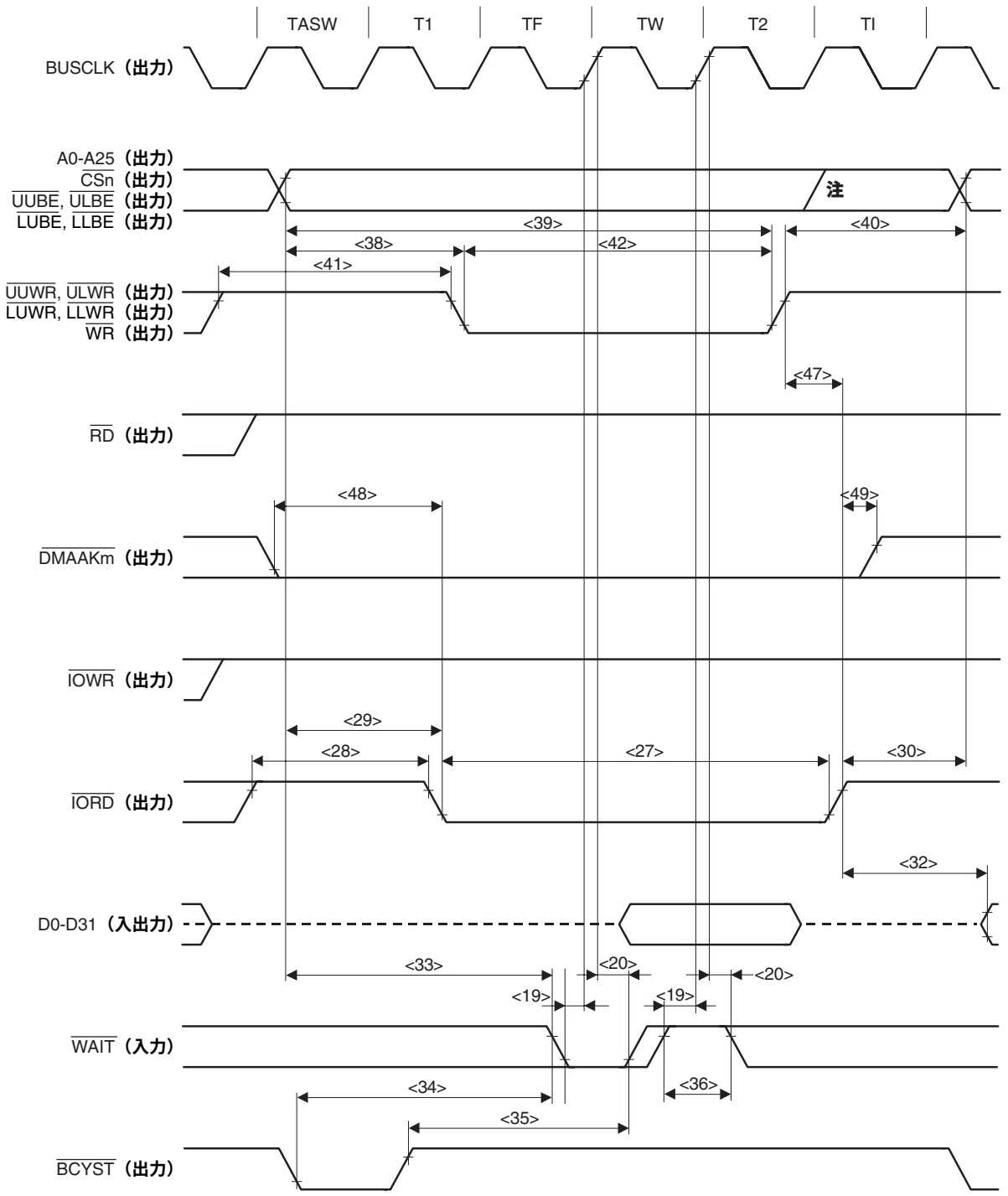
4.　n = 0-7, m = 0-3

xx = UU, UL, LU, LL

5.　i：リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数

6.　w_{AS}：ASCレジスタによるアドレス・セットアップ・ウエイト数

(e) DMAフライバイ転送タイミング（外部I/O→SRAM転送）（2/2）



注 CSn信号の場合

備考1. FWCレジスタによるウエイト数が1, FICレジスタによるアイドル・ステート数が1, ASCレジスタによるウエイト数が1の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

3. n = 0-7, m = 0-3

(5) ページROMアクセス・タイミング (1/2)

項　　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{WAIT}}$設定時間 (対BUSCLK↑)	<19>	t_{SWK}		6		ns
$\overline{\text{WAIT}}$保持時間 (対BUSCLK↑)	<20>	t_{HKW}		2		ns
データ入力設定時間 (対BUSCLK↑)	<21>	t_{SKID}		6		ns
データ入力保持時間 (対BUSCLK↑)	<22>	t_{HKID}		2		ns
オフページ・データ入力設定時間 (対アドレス)	<25>	t_{SAID}			(2+w+w_D+w_{AS}) T−17	ns
オフページ・データ入力設定時間 (対$\overline{\text{RD}}$)	<26>	t_{SRDID}			(1.5+w+w_D) T−17	ns
データ入力保持時間 (対$\overline{\text{RD}}$↑)	<31>	t_{HRDID}		2		ns
$\overline{\text{RD}}$↑→データ出力遅延時間	<32>	t_{DRDOD}		(0.5+i) T−6		ns
オンページ・データ入力設定時間 (対アドレス)	<50>	t_{SOAID}			(2+w+w_{PR}) T−17	ns

備考1. T = t_{CYK}

2. w：$\overline{\text{WAIT}}$によるウエイト数

3. w_D：DWC0, DWC1レジスタによるウエイト数

4. w_{PR}：PRCレジスタによるウエイト数

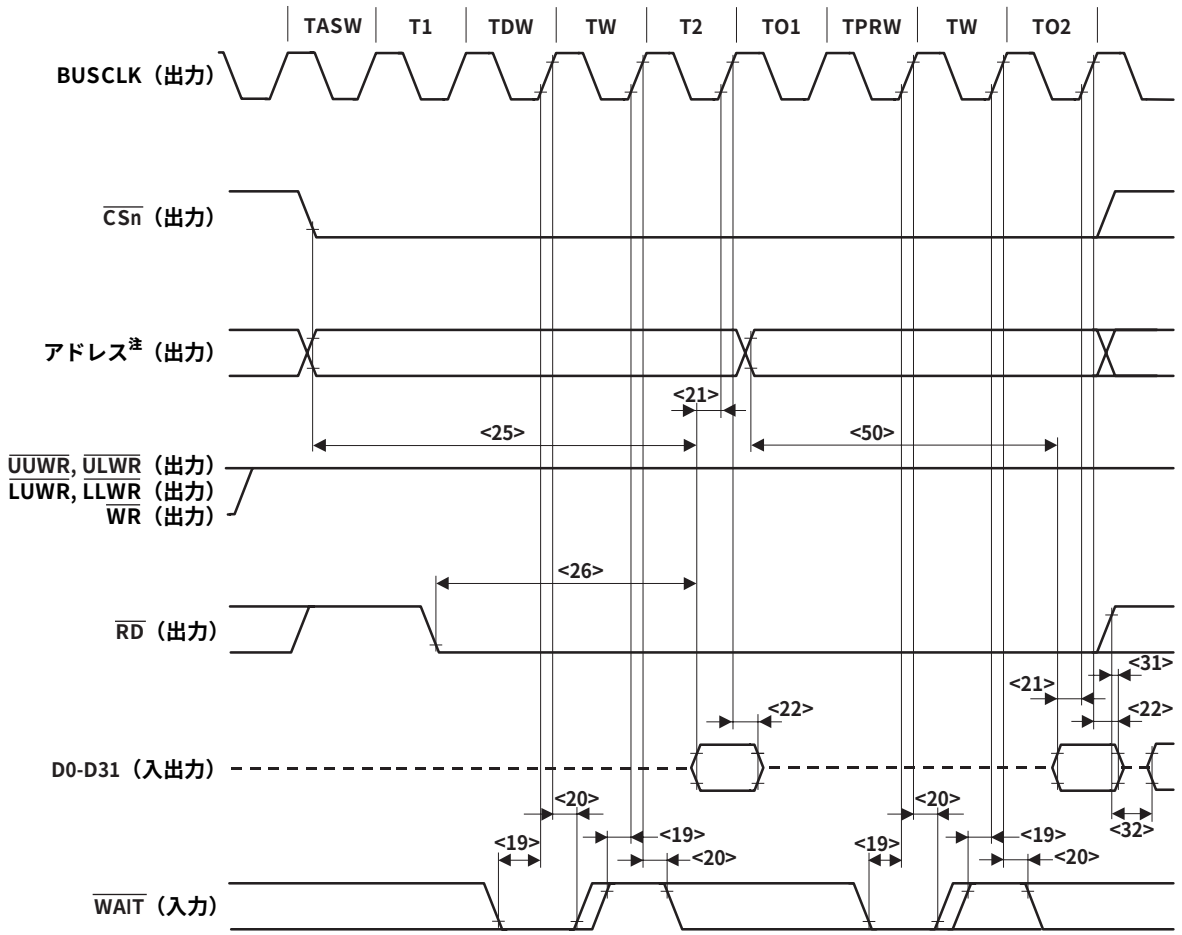
5. i：リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数

6. w_{AS}：ASCレジスタによるアドレス・セットアップ・ウエイト数

7. データ入力保持時間t_{HKID}, t_{HRDID}は，少なくともどちらか1つを守ってください。

8. wとw_Dの挿入数の考え方については，4. 7. 3　プログラマブル・ウエイトと外部ウエイトの関係を参照してください。

(5) ページROM**アクセス・タイミング**（2/2）



注　オンページ・アドレス，オフページ・アドレスを次に示します。

PRCレジスタ				オンページ・アドレス	オフページ・アドレス
MA6	MA5	MA4	MA3		
0	0	0	0	A0-A2	A3-A25
0	0	0	1	A0-A3	A4-A25
0	0	1	1	A0-A4	A5-A25
0	1	1	1	A0-A5	A6-A25
1	1	1	1	A0-A6	A7-A25

備考1.　次の場合のタイミングです。

DWC0, DWC1**レジスタによるウエイト数**（TDW）：1

PRC**レジスタによるウエイト数**（TPRW）：1

ASC**レジスタによるウエイト数**（TASW）：1

2.　**破線はハイ・インピーダンスを示します。**

3.　n = 0-7

(6) SDRAMアクセス・タイミング

(a) リード・タイミング（SDRAMアクセス）（1/2）

項　目	略　号		条　件	MIN.	MAX.	単　位
アドレス遅延時間（対BUSCLK↑）	<11>	t_{DKA}		2	11	ns
$\overline{\text{BCYST}}$遅延時間（対BUSCLK↑）	<51>	t_{DKBC}		2	11	ns
$\overline{\text{CS}}$n遅延時間（対BUSCLK↑）	<52>	t_{DKCS}		2	11	ns
$\overline{\text{SDRAS}}$遅延時間（対BUSCLK↑）	<53>	t_{DKRAS}		2	11	ns
$\overline{\text{SDCAS}}$遅延時間（対BUSCLK↑）	<54>	t_{DKCAS}		2	11	ns
xxDQM遅延時間（対BUSCLK↑）	<55>	t_{DKDQM}		2	11	ns
SDCKE遅延時間（対BUSCLK↑）	<56>	t_{DKCKE}		2	11	ns
データ入力設定時間 （SDRAMリード時，対BUSCLK↑）	<57>	t_{SDRMK}		6		ns
データ入力保持時間 （SDRAMリード時，対BUSCLK↑）	<58>	t_{HKDRM}		2		ns
BUSCLK↑→データ出力遅延時間	<59>	t_{DSDOD}		(0.5＋i)T		ns

注意　SDRAMに対するリード・サイクルの直後に$\overline{\text{xxWR}}$信号を使用するSRAM（外部I/O）サイクルが発生した場合，SRAM（外部I/O）に対して，誤書き込みが発生する可能性があります。このような場合には，BCCレジスタの設定により，SDRAM空間にアイドル・ステートを挿入するか，外部回路で対策を施してください。
ただし，BUSCLKで$\overline{\text{xxWR}}$信号をサンプリングするような同期設計の場合には，誤書き込みは発生しません。

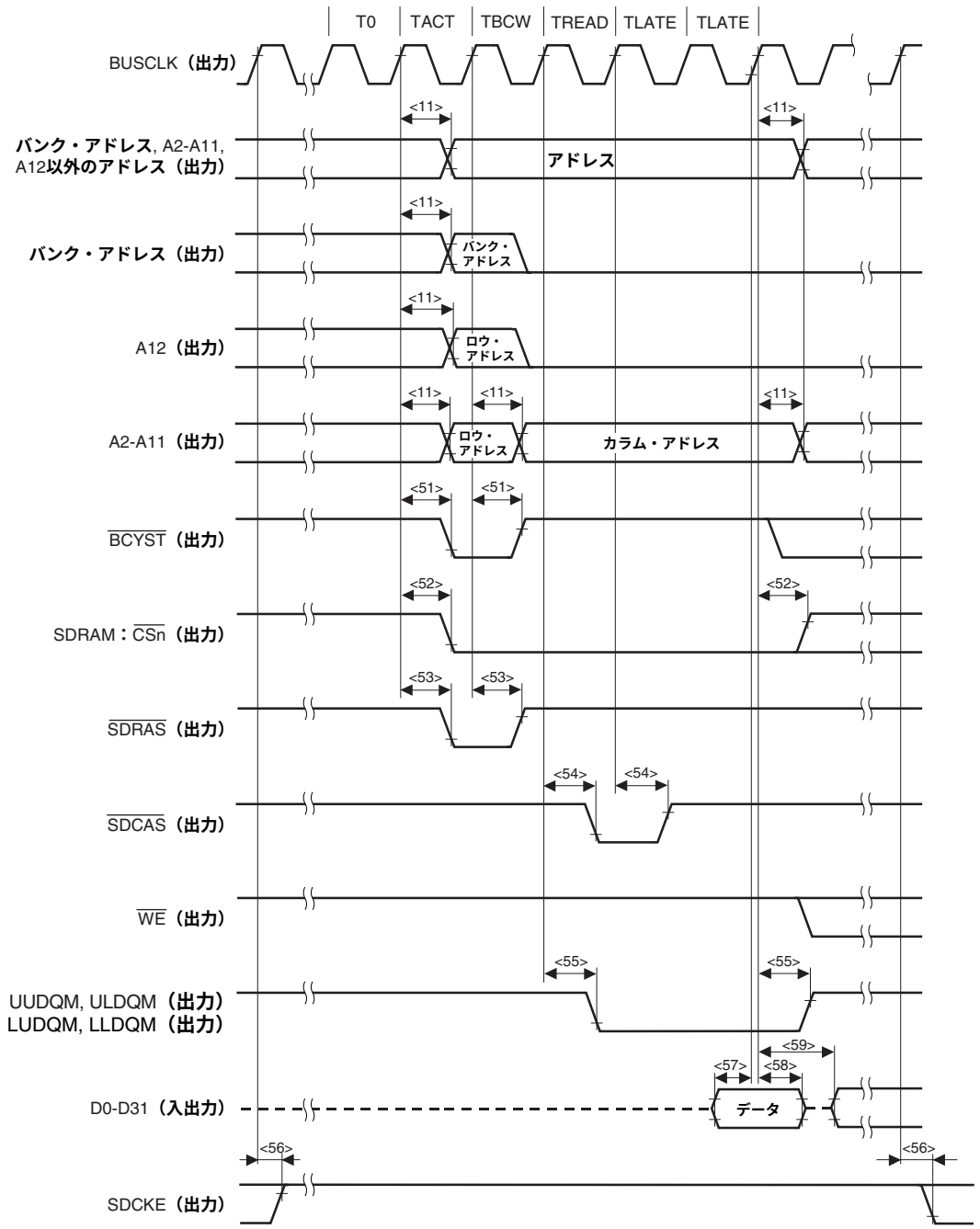
備考1.　T = t_{CYK}

2.　i：アイドル・ステート数

3.　n = 1, 3, 4, 6
xx = UU, UL, LU, LL

(a) リード・タイミング（SDRAMアクセス）（2/2）

★



備考1.　SCRn**レジスタの**BCW1n, BCW0n**ビットによるウエイト数**（TBCW）：2

2.　**破線はハイ・インピーダンスを示します。**

3.　n = 1, 3, 4, 6

（b）ライト・タイミング（SDRAMアクセス）（1/2）

項　　目	略　号		条　件	MIN.	MAX.	単　位
アドレス遅延時間（対BUSCLK↑）	<11>	t_{DKA}		2	11	ns
$\overline{\text{BCYST}}$遅延時間（対BUSCLK↑）	<51>	t_{DKBC}		2	11	ns
$\overline{\text{CSn}}$遅延時間（対BUSCLK↑）	<52>	t_{DKCS}		2	11	ns
$\overline{\text{SDRAS}}$遅延時間（対BUSCLK↑）	<53>	t_{DKRAS}		2	11	ns
$\overline{\text{SDCAS}}$遅延時間（対BUSCLK↑）	<54>	t_{DKCAS}		2	11	ns
xxDQM遅延時間（対BUSCLK↑）	<55>	t_{DKDQM}		2	11	ns
SDCKE遅延時間（対BUSCLK↑）	<56>	t_{DKCKE}		2	11	ns
$\overline{\text{WE}}$遅延時間（対BUSCLK↑）	<60>	t_{DKWE}		2	11	ns
データ出力遅延時間（対BUSCLK↑）	<61>	t_{DKDT}		2	11	ns
データ・フロート遅延時間（対BUSCLK↑）	<62>	t_{HZKDT}		2	11	ns

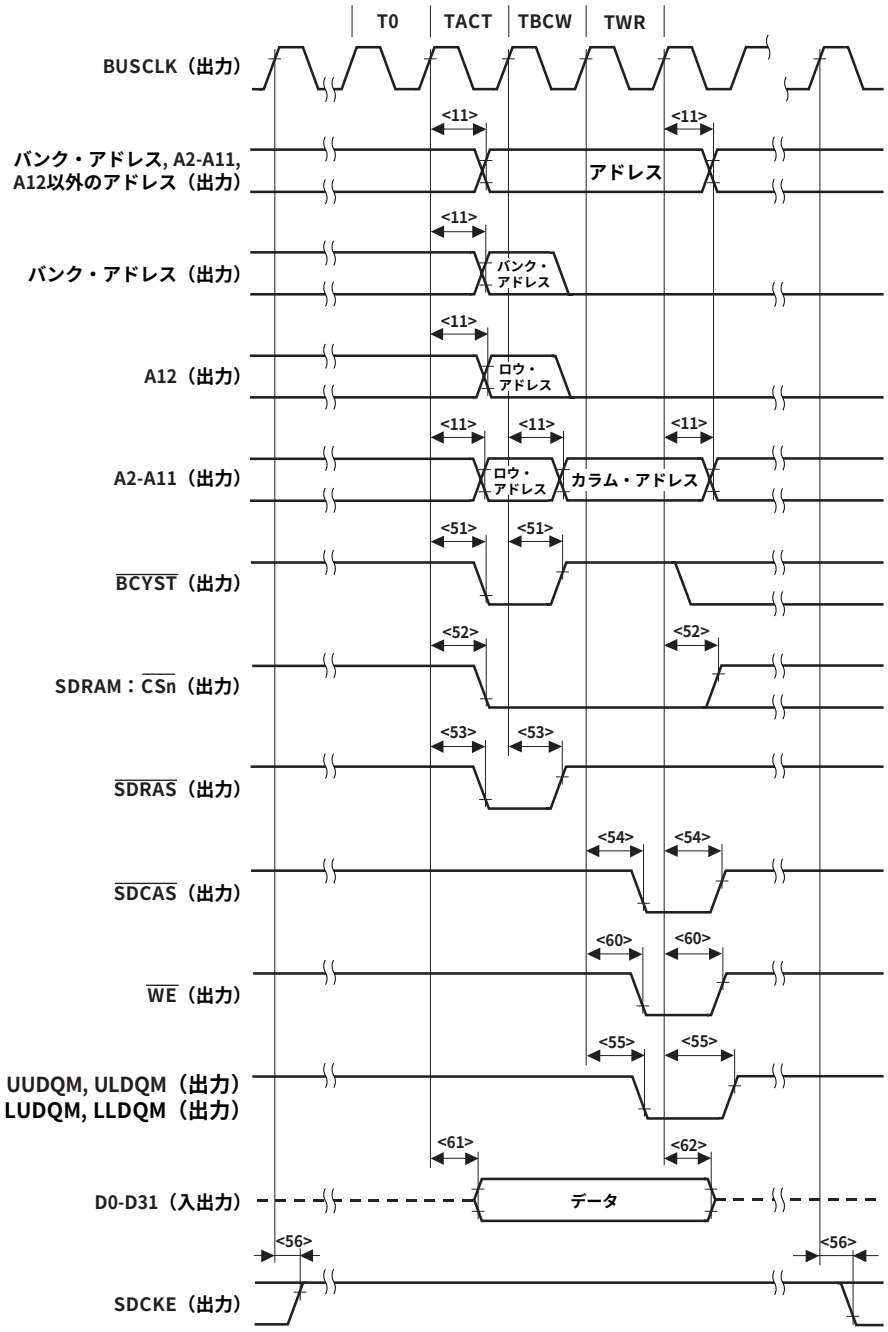
注意　SDRAMに対するライト・サイクルの直後に$\overline{\text{xxWR}}$信号を使用するSRAM（外部I/O）サイクルが発生した場合，SRAM（外部I/O）に対して，誤書き込みが発生する可能性があります。このような場合には，外部回路で対策を施してください。

ただし，BUSCLKで$\overline{\text{xxWR}}$信号をサンプリングするような同期設計の場合には，誤書き込みは発生しません。

備考1.　n = 1, 3, 4, 6

xx = UU, UL, LU, LL

(b) ライト・タイミング（SDRAMアクセス）（2/2）



備考1.　SCRn**レジスタの**BCW1n, BCW0n**ビットによるウエイト数**（TBCW）：2

2.　**破線はハイ・インピーダンスを示します。**

3.　n = 1, 3, 4, 6

（c）DMAフライバイ転送タイミング（外部I/O→SDRAM）（1/2）

項　　目	略　号		条　件	MIN.	MAX.	単　位
アドレス遅延時間（対BUSCLK↑）	<11>	t_{DKA}		2	11	ns
$\overline{IORD}$↓遅延時間（対BUSCLK↓）	<13>	t_{DKRDL}		1	11	ns
$\overline{IORD}$↑遅延時間（対BUSCLK↑）	<14>	t_{DKRDH}		2	11	ns
$\overline{BCYST}$遅延時間（対BUSCLK↑）	<51>	t_{DKBC}		2	11	ns
$\overline{CSn}$遅延時間（対BUSCLK↑）	<52>	t_{DKCS}		2	11	ns
$\overline{SDRAS}$遅延時間（対BUSCLK↑）	<53>	t_{DKRAS}		2	11	ns
$\overline{SDCAS}$遅延時間（対BUSCLK↑）	<54>	t_{DKCAS}		2	11	ns
xxDQM遅延時間（対BUSCLK↑）	<55>	t_{DKDQM}		2	11	ns
SDCKE遅延時間（対BUSCLK↑）	<56>	t_{DKCKE}		2	11	ns
$\overline{WE}$遅延時間（対BUSCLK↑）	<60>	t_{DKWE}		2	11	ns
$\overline{DMAAK}$x出力遅延時間（対BUSCLK↑）	<65>	t_{DKDA}		0	13	ns
$\overline{DMAAK}$x出力保持時間（対BUSCLK↑）	<66>	t_{HKDA}		0	13	ns
$\overline{IORD}$ロウ・レベル幅	<102>	t_{WRDL}		（1.5＋w_{FW}）T－6		ns
$\overline{IORD}$ハイ・レベル幅	<103>	t_{WRDH}		（1.5＋w_{AS}＋i）T－6		ns
★ $\overline{IORD}$↑→データ出力遅延時間	<104>	t_{DRDOD}		（0.5＋i）T－6		ns

備考1.　T = t_{CYK}

2.　i：アイドル・ステート数

3.　w_{AS} = ASCレジスタによるアドレス・セットアップ・ウエイト数

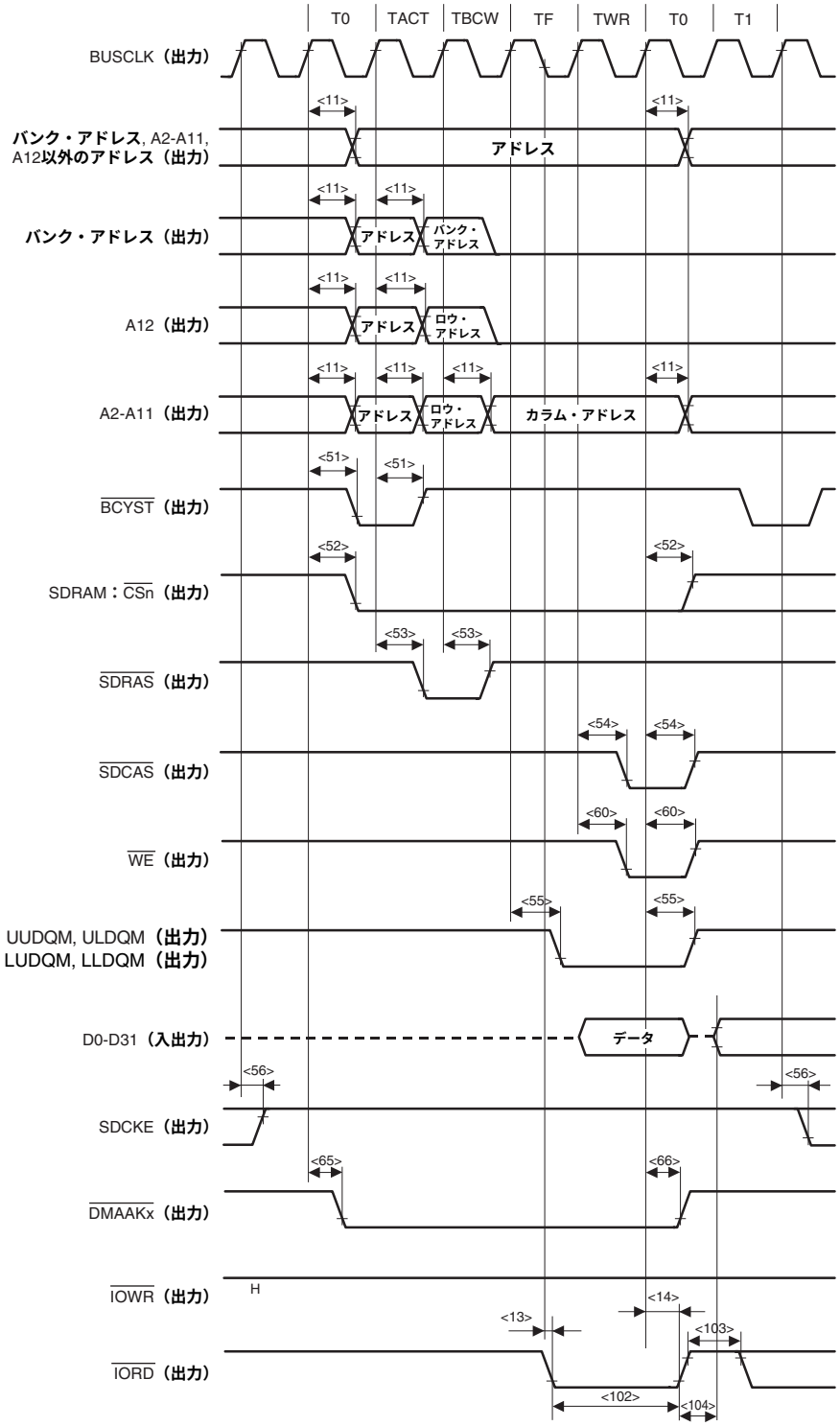
4.　w_{FW} = FWCレジスタによるデータ・ウエイト数

5.　n = 1, 3, 4, 6

xx = UU, UL, LU, LL

x = 0-3

（c）DMAフライバイ転送タイミング（外部I/O→SDRAM）（2/2）



備考1.　破線はハイ・インピーダンスを示します。

2.　n = 1, 3, 4, 6

x = 0-3

（7）DMACタイミング

（a）レベル・モード（1/3）

項　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{DMARQn}}$設定時間（対BUSCLK↑）	<63>	t_{SDRK}	2サイクル／フライバイ転送	8		ns
$\overline{\text{DMARQn}}$保持時間（対$\overline{\text{DMAAKn}}$↓）	<64>	t_{HKDR}	2サイクル転送	0	$4T_{CPU}-20$ 注1	ns
					$6T_{CPU}-20$ 注2	ns
			フライバイ転送	0	$2T_{BUS}+w_{AS}+w_{FW}+w_{IC}+2T_{CPU}-20$	ns
$\overline{\text{DMAAKn}}$出力遅延時間（対BUSCLK↑）	<65>	t_{DKDA}	2サイクル転送	0	$nT_{CPU}+13$ 注3	ns
			フライバイ転送	0	13	ns
$\overline{\text{DMAAKn}}$出力保持時間（対BUSCLK↑）	<66>	t_{HKDA}	2サイクル転送	0	$nT_{CPU}+13$ 注3	ns
			フライバイ転送	0	13	ns

注1.　シングル転送における2回目のDMA転送要求禁止タイミングです。
アクセスは次のとおりです。

転送元	転送先	先読み機能
内蔵データRAM	外部メモリ／内蔵命令RAM	あり／なし
外部メモリ	内蔵データRAM	あり／なし ただし，先読み機能なしの場合の条件は次のとおりです。 ・BUSCLK = 内部システム・クロック（f_{CLK}） ・外部メモリ・アクセスのウエイト設定 = 0

2.　シングル転送における2回目のDMA転送要求禁止タイミングです。
アクセスは注1の表以外のアクセスです。

3.　nは次のとおりです。

CKM1	CKM0	バス・クロック（BUSCLK）の周波数（f_{BUSCLK}）	n
0	0	$f_{CLK}/1$	1
0	1	$f_{CLK}/2$	2
1	0	$f_{CLK}/3$	3
1	1	$f_{CLK}/4$	4

備考1.　n = 0-3

2.　T_{BUS} = 1×BUSCLK周期

3.　T_{CPU} = 1×内部システム・クロック（f_{CLK}）周期

4.　w_{AS} = ASCレジスタによるアドレス・セットアップ・ウエイト数
w_{FW} = FWCレジスタによるデータ・ウエイト数
w_{IC} = FICレジスタによるアイドル・ステート数

（a）レベル・モード（2/3）

項　　目	略　号		条　件		MIN.	MAX.	単　位
$\overline{\text{DMAAKn}}$ロウ・レベル幅	<67>	t_{WDAL}	2サイクル転送	注1	$2T_{CPU}-8$ 注2		ns
				注3	$6T_{CPU}-8$ 注2		ns
			フライバイ転送		$2T_{BUS}+w_{AS}+w_{FW}+w_{IC}-8$		ns
$\overline{\text{TCn}}$出力遅延時間（対BUSCLK↑）	<68>	t_{DKTC}	2サイクル／フライバイ転送		2	13	ns
$\overline{\text{TCn}}$出力保持時間（対BUSCLK↑）	<69>	t_{HKTC}	2サイクル／フライバイ転送		2	13	ns

注1.　通常動作（$\overline{\text{DMAAKn}}$の出力幅 = メモリ・コントローラの出力）

2.　アクセスは次のとおりです。

転送元	転送先	先読み機能
内蔵データRAM	外部メモリ／ 内蔵命令RAM	あり／なし
外部メモリ	内蔵データRAM	あり／なし ただし，先読み機能なしの場合の条件は次のとおりです。 ・BUSCLK = 内部システム・クロック（f_{CLK}） ・外部メモリ・アクセスのウエイト設定 = 0

3.　$\overline{\text{DMAAKn}}$の出力幅 = メモリ・コントローラの出力＋$4T_{CPU}$のモード選択時

備考1.　n = 0-3

2.　T_{BUS} = 1×BUSCLK周期

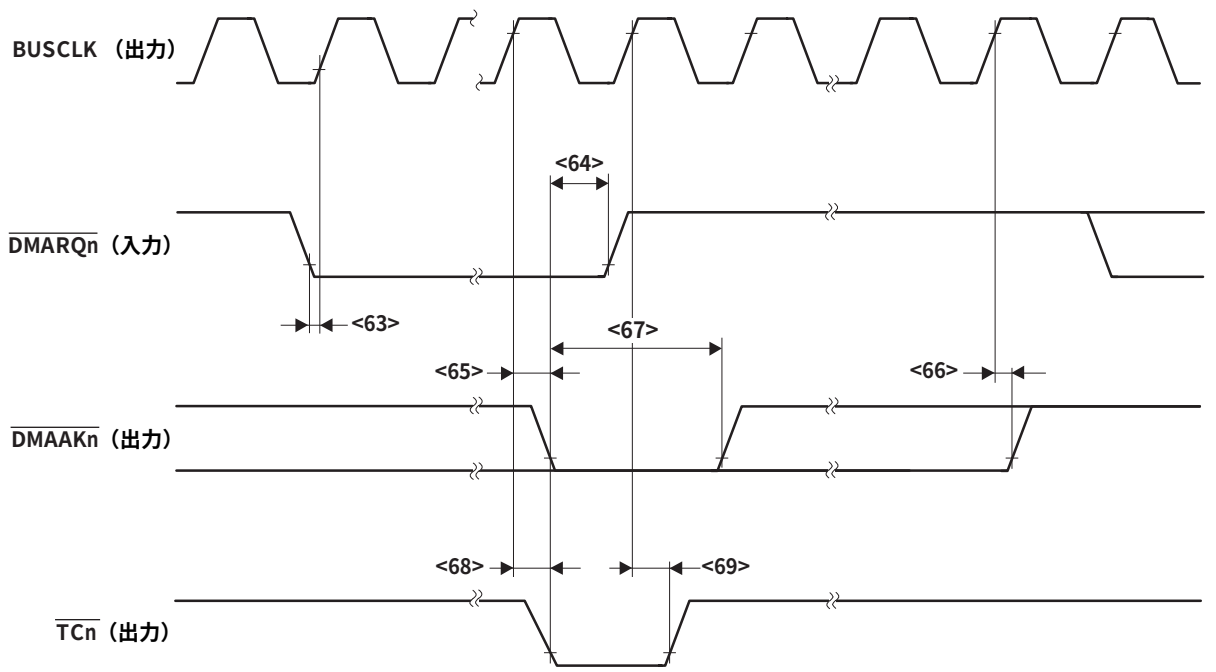
3.　T_{CPU} = 1×内部システム・クロック（f_{CLK}）周期

4.　w_{AS} = ASCレジスタによるアドレス・セットアップ・ウエイト数

w_{FW} = FWCレジスタによるデータ・ウエイト数

w_{IC} = FICレジスタによるアイドル・ステート数

(a) レベル・モード (3/3)



備考1.　$\overline{\text{DMAAKn}}$のインアクティブ時間（最短）は，次のとおりです。

転送モード	転送元	転送先	インアクティブ時間
シングル転送， シングル・ステップ転送	外部メモリ／外部I/O 内蔵周辺I/O	外部メモリ／外部I/O 内蔵周辺I/O／内蔵命令RAM	4T_{CPU}
	内蔵データRAM	内蔵データRAM	5T_{CPU}
	内蔵データRAM	外部メモリ／外部I/O 内蔵周辺I/O／内蔵命令RAM	9T_{CPU}
	外部メモリ／外部I/O 内蔵周辺I/O	内蔵データRAM	9T_{CPU}
ブロック転送	－	－	T_{CPU}

2.　n = 0-3

（b）マスク・モード（1/3）

項　　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{DMARQn}}$設定時間（対BUSCLK↑）	<63>	t_{SDRK}	2サイクル／フライバイ転送	8		ns
$\overline{\text{DMARQn}}$保持時間1（対$\overline{\text{DMAAKn}}$↓）	<70>	t_{HKDR1}	2サイクル／フライバイ転送	$\overline{\text{DMAAKn}}$↓まで		ns
$\overline{\text{DMARQn}}$保持時間2（対BUSCLK↓）注2（$\overline{\text{DMAAKn}}$ = “H”サンプル）	<71>	t_{HKDR2}	2サイクル転送	0	$3T_{BUS}-8$注1	ns
			フライバイ転送	0	$4T_{BUS}-8$注3	ns
$\overline{\text{DMAAKn}}$出力遅延時間（対BUSCLK↑）	<65>	t_{DKDA}	2サイクル転送	0	$nT_{CPU}+13$注4	ns
			フライバイ転送	0	13	ns
$\overline{\text{DMAAKn}}$出力保持時間（対BUSCLK↑）	<66>	t_{HKDA}	2サイクル転送	0	$nT_{CPU}+13$注4	ns
			フライバイ転送	0	13	ns

注1. シングル転送における2回目のDMA転送要求禁止タイミングです。
対BUSCLK↑：$\overline{\text{DMAAKn}}$の立ち上がり“H”サンプルからの規定で，$\overline{\text{DMAAKn}}$がBUSCLKに対して非同期出力となるため，$\overline{\text{DMAAKn}}$ = “H”がBUSCLKでサンプルできない（セットアップ時間＜8 ns）タイミングで出力された場合，＋1T_{BUS}追加されます。

2. $\overline{\text{DMAAKn}}$の立ち上がり以降，$\overline{\text{DMAAKn}}$のハイ・レベルに対するBUSCLK↑からの時間

3. シングル転送における2回目のDMA転送要求禁止タイミングです。

4. nは次のとおりです。

CKM1	CKM0	バス・クロック（BUSCLK）の周波数（f_{BUSCLK}）	n
0	0	$f_{CLK}/1$	1
0	1	$f_{CLK}/2$	2
1	0	$f_{CLK}/3$	3
1	1	$f_{CLK}/4$	4

備考1. n = 0-3

2. T_{BUS} = 1×BUSCLK周期

3. T_{CPU} = 1×内部システム・クロック（f_{CLK}）周期

(b) マスク・モード (2/3)

項　目	略　号		条　件		MIN.	MAX.	単　位
$\overline{\text{DMAAKn}}$ロウ・レベル幅	<67>	t_{WDAL}	2サイクル転送	注1	$2T_{CPU}-8$ 注2		ns
				注3	$6T_{CPU}-8$ 注2		ns
			フライバイ転送		$2T_{BUS}+w_{AS}+w_{FW}+w_{IC}-8$		ns
$\overline{\text{TCn}}$出力遅延時間（対BUSCLK↑）	<68>	t_{DKTC}	2サイクル／フライバイ転送		2	13	ns
$\overline{\text{TCn}}$出力保持時間（対BUSCLK↑）	<69>	t_{HKTC}	2サイクル／フライバイ転送		2	13	ns

注1. 通常動作（$\overline{\text{DMAAKn}}$の出力幅 = メモリ・コントローラの出力）

2. アクセスは次のとおりです。

転送元	転送先	先読み機能
内蔵データRAM	外部メモリ／ 内蔵命令RAM	あり／なし
外部メモリ	内蔵データRAM	あり／なし ただし，先読み機能なしの場合の条件は次のとおりです。 ・BUSCLK = 内部システム・クロック（f_{CLK}） ・外部メモリ・アクセスのウエイト設定 = 0

3. $\overline{\text{DMAAKn}}$の出力幅 = メモリ・コントローラの出力＋$4T_{CPU}$のモード選択時

備考1. n = 0-3

2. T_{BUS} = 1×BUSCLK周期

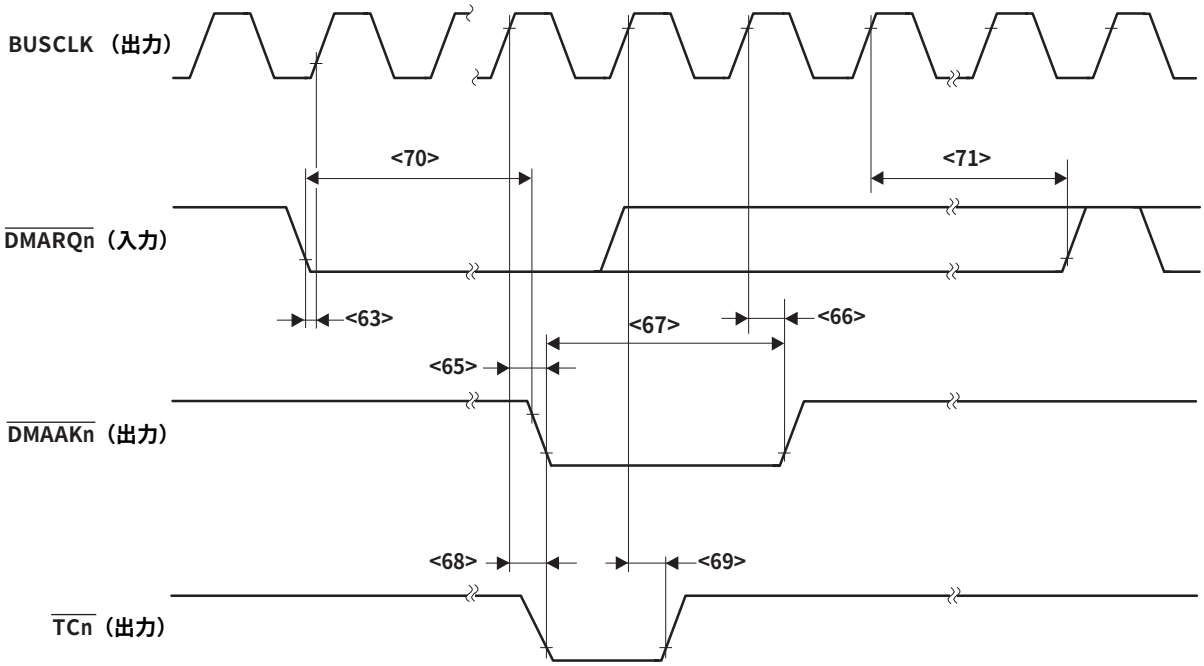
3. T_{CPU} = 1×内部システム・クロック（f_{CLK}）周期

4. w_{AS} = ASCレジスタによるアドレス・セットアップ・ウエイト数

w_{FW} = FWCレジスタによるデータ・ウエイト数

w_{IC} = FICレジスタによるアイドル・ステート数

(b) マスク・モード (3/3)



備考1.　$\overline{\text{DMAAKn}}$**のインアクティブ時間（最短）は，次のとおりです。**

転送モード	転送元	転送先	インアクティブ時間
シングル転送， シングル・ステップ転送	外部メモリ／外部I/O 内蔵周辺I/O	外部メモリ／外部I/O 内蔵周辺I/O／内蔵命令RAM	4T_{CPU}
	内蔵データRAM	内蔵データRAM	5T_{CPU}
	内蔵データRAM	外部メモリ／外部I/O 内蔵周辺I/O／内蔵命令RAM	9T_{CPU}
	外部メモリ／外部I/O 内蔵周辺I/O	内蔵データRAM	9T_{CPU}
ブロック転送	－	－	T_{CPU}

2.　n = 0-3

（c）エッジ・モード（1/3）

項　　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{DMARQn}}$保持時間3	<107>	t_{HKDR3}	2サイクル／フライバイ転送	$2T_{CPU}$		ns
$\overline{\text{DMARQn}}$ハイ・レベル時間1（対$\overline{\text{DMARQn}}$↑）	<72>	t_{WDRH1}	2サイクル／フライバイ転送	$2T_{CPU}$		ns
$\overline{\text{DMARQn}}$ハイ・レベル時間2（対$\overline{\text{DMAAKn}}$↑）	<73>	t_{WDRH2}	2サイクル／フライバイ転送	0		ns
$\overline{\text{DMAAKn}}$出力遅延時間（対BUSCLK↑）	<65>	t_{DKDA}	2サイクル転送	0	nT_{CPU}＋13注	ns
			フライバイ転送	0	13	ns
$\overline{\text{DMAAKn}}$出力保持時間（対BUSCLK↑）	<66>	t_{HKDA}	2サイクル転送	0	nT_{CPU}＋13注	ns
			フライバイ転送	0	13	ns

注　nは次のとおりです。

CKM1	CKM0	バス・クロック（BUSCLK）の周波数（f_{BUSCLK}）	n
0	0	$f_{CLK}/1$	1
0	1	$f_{CLK}/2$	2
1	0	$f_{CLK}/3$	3
1	1	$f_{CLK}/4$	4

備考1.　n = 0-3

2.　T_{CPU} = 1×内部システム・クロック（f_{CLK}）周期

（c）エッジ・モード（2/3）

項　　目	略　号		条　件		MIN.	MAX.	単　位
$\overline{\text{DMAAKn}}$ロウ・レベル幅	<67>	t_{WDAL}	2サイクル転送	注1	$2T_{CPU}-8$ 注2		ns
				注3	$6T_{CPU}-8$ 注2		ns
			フライバイ転送		$2T_{BUS}+w_{AS}+w_{FW}+w_{IC}-8$		ns
$\overline{\text{TCn}}$出力遅延時間（対BUSCLK↑）	<68>	t_{DKTC}	2サイクル／フライバイ転送		2	13	ns
$\overline{\text{TCn}}$出力保持時間（対BUSCLK↑）	<69>	t_{HKTC}	2サイクル／フライバイ転送		2	13	ns

注1. $\overline{\text{DMAAKn}}$の立ち上がり以降，$\overline{\text{DMAAKn}}$のハイ・レベルに対するBUSCLK↑からの時間

2. アクセスは次のとおりです。

転送元	転送先	先読み機能
内蔵データRAM	外部メモリ／ 内蔵命令RAM	あり／なし
外部メモリ	内蔵データRAM	あり／なし ただし，先読み機能なしの場合の条件は次のとおりです。 ・BUSCLK = 内部システム・クロック（f_{CLK}） ・外部メモリ・アクセスのウエイト設定 = 0

3. 通常動作（$\overline{\text{DMAAKn}}$の出力幅 = メモリ・コントローラの出力）

備考1. n = 0-3

2. T_{BUS} = 1×BUSCLK周期

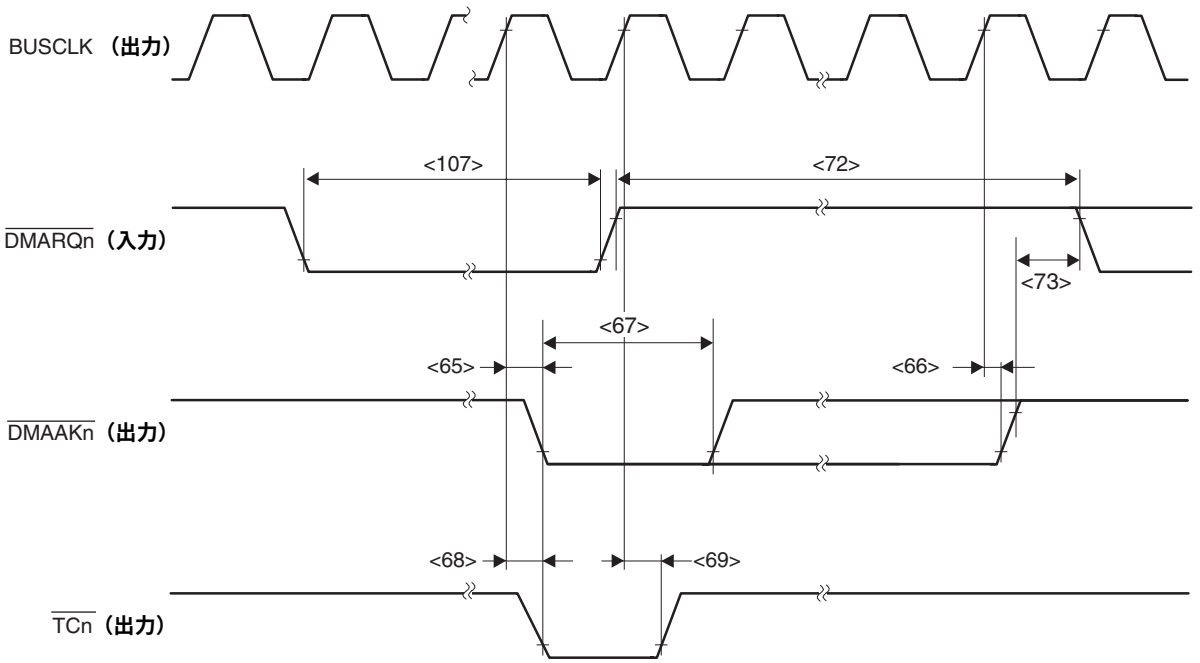
3. T_{CPU} = 1×内部システム・クロック（f_{CLK}）周期

4. w_{AS} = ASCレジスタによるアドレス・セットアップ・ウエイト数

w_{FW} = FWCレジスタによるデータ・ウエイト数

w_{IC} = FICレジスタによるアイドル・ステート数

(c) エッジ・モード (3/3)



備考1.　$\overline{\text{DMAAKn}}$**のインアクティブ時間（最短）は，次のとおりです。**

転送モード	転送元	転送先	インアクティブ時間
シングル転送， シングル・ステップ転送	外部メモリ／外部I/O 内蔵周辺I/O	外部メモリ／外部I/O 内蔵周辺I/O／内蔵命令RAM	4T_{CPU}
	内蔵データRAM	内蔵データRAM	5T_{CPU}
	内蔵データRAM	外部メモリ／外部I/O 内蔵周辺I/O／内蔵命令RAM	9T_{CPU}
	外部メモリ／外部I/O 内蔵周辺I/O	内蔵データRAM	9T_{CPU}
ブロック転送	－	－	T_{CPU}

2.　n = 0-3

（8）バス・ホールド・タイミング（1/2）

項　　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{HLDRQ}}$設定時間（対BUSCLK↑）	<74>	t_{SHRK}		10		ns
$\overline{\text{HLDRQ}}$保持時間（対BUSCLK↑）	<75>	t_{HKHR}		2		ns
BUSCLK↑→$\overline{\text{HLDAK}}$遅延時間	<76>	t_{DKHA}		2	11	ns
$\overline{\text{HLDRQ}}$ハイ・レベル幅	<77>	t_{WHQH}		T＋12		ns
$\overline{\text{HLDAK}}$ロウ・レベル幅	<78>	t_{WHAL}		T－11		ns
$\overline{\text{HLDAK}}$↓→バス・フロート遅延時間	<79>	t_{DKCF}		0	11	ns
$\overline{\text{HLDAK}}$↑→バス出力遅延時間	<80>	t_{DHAC}		0	11	ns
$\overline{\text{HLDRQ}}$↓→$\overline{\text{HLDAK}}$↓遅延時間	<81>	t_{DHQHA1}	注1	4T		ns
			注2	3T		ns
			注3	3T		ns
$\overline{\text{HLDRQ}}$↑→$\overline{\text{HLDAK}}$↑遅延時間	<82>	t_{DHQHA2}		T	2T＋12	ns

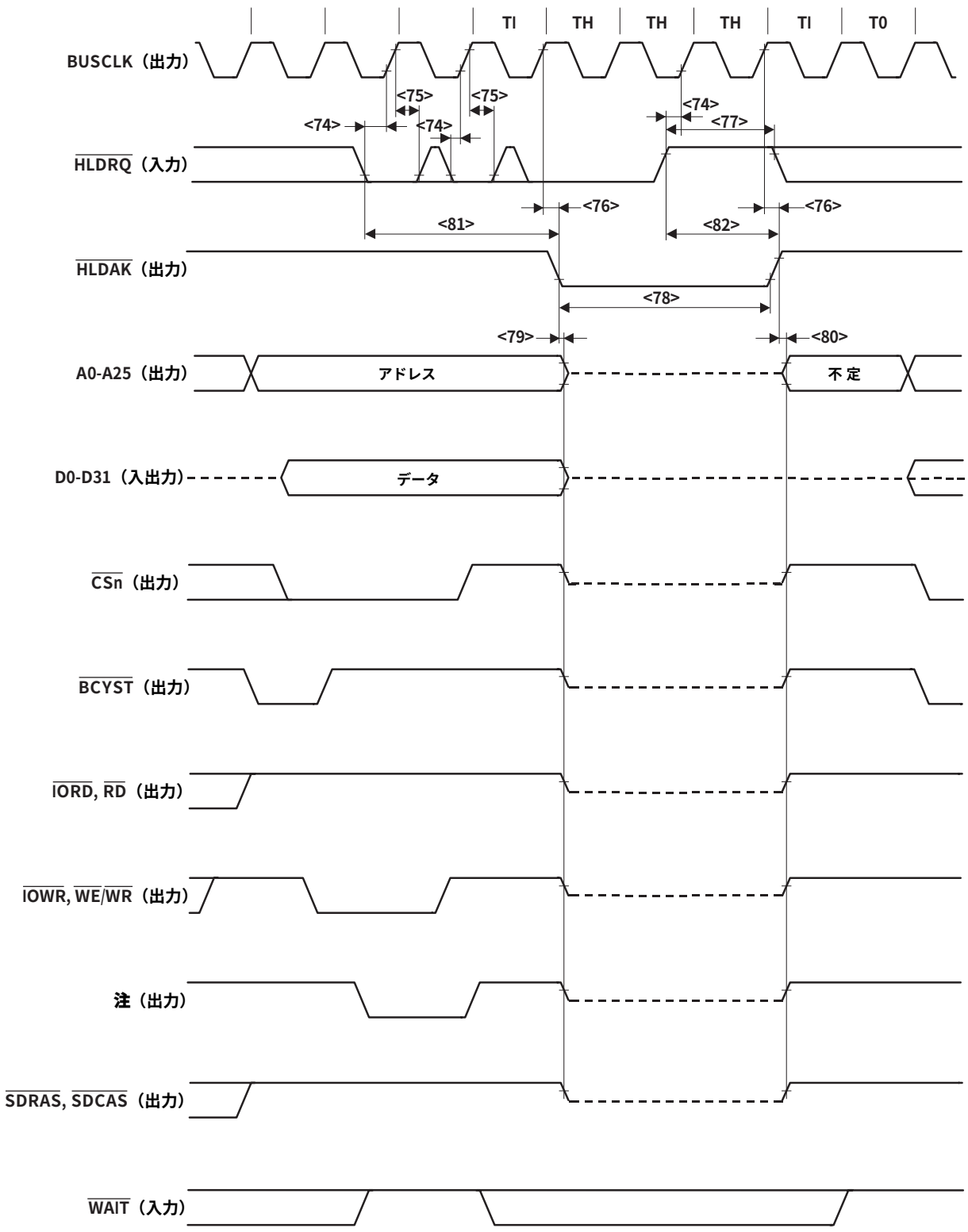
注1.　BUSCLK：2分周

2.　BUSCLK：3分周

3.　BUSCLK：4分周

備考　T = t_{CYK}

(8) バス・ホールド・タイミング (2/2)



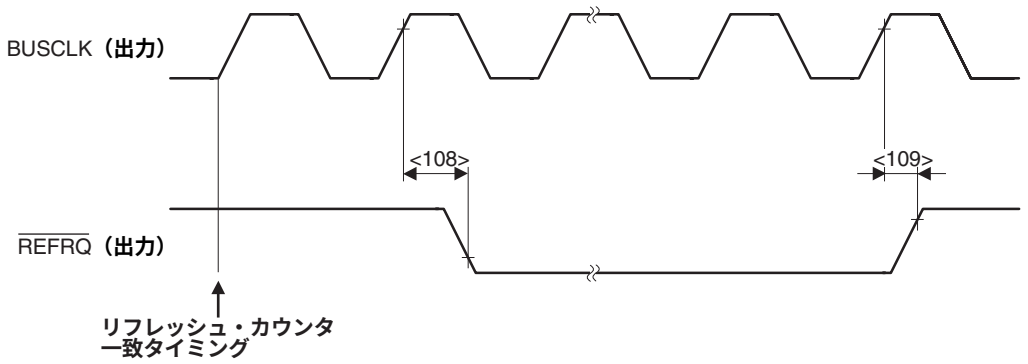
注　UUWR/UUBE/UUDQM, ULWR/ULBE/ULDQM, LUWR/LUBE/LUDQM, LLWR/LLBE/LLDQM

備考1.　**破線はハイ・インピーダンスを示します。**

2.　n = 0-7

(9) リフレッシュ・タイミング

項　　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{REFRQ}}$↓遅延時間（対BUSCLK↑）	<108>	t_{DRFQL}		1	11	ns
$\overline{\text{REFRQ}}$↑遅延時間（対BUSCLK↑）	<109>	t_{DRQH}		1	11	ns



備考　上図は，バス・ホールド状態における$\overline{\text{REFRQ}}$信号のタイミング波形ですが，BUSCLK信号に対する規定値としては，バス・ホールド状態でも，それ以外の場合でも同じ規定値となります。

（10）割り込みタイミング（1/2）

項　　目	略　号		条　件		MIN.	MAX.	単　位
NMIハイ・レベル幅	<83>	t_{WNIH}			500		ns
NMIロウ・レベル幅	<84>	t_{WNIL}			500		ns
INTPCm0, INTPCm1端子（m = 0-3）ハイ・レベル幅	<85>	t_{WITCH}	ノイズ除去設定時		（設定除去クロック数＋1）/（fx/4）＋10		ns
			スルー設定時		1/（fx/4）× 2＋10		ns
INTPCm0, INTPCm1端子（m = 0-3）ロウ・レベル幅	<86>	t_{WITCL}	ノイズ除去設定時		（設定除去クロック数＋1）/（fx/4）＋10		ns
			スルー設定時		1/（fx/4）×2＋10		ns
INTPa端子ハイ・レベル幅	<87>	t_{WIT1H}	ノイズ除去設定時	ノイズ除去クロック = fx/4選択	（設定除去クロック数＋1）/（fx/4）＋10		ns
				ノイズ除去クロック = fx/32選択	（設定除去クロック数＋1）/（fx/32）＋10		ns
			スルー設定時注	ノイズ除去クロック = fx/4選択	1/（fx/4）×2＋10		ns
INTPa端子ロウ・レベル幅	<88>	t_{WIT1L}	ノイズ除去設定時	ノイズ除去クロック = fx/4選択	（設定除去クロック数＋1）/（fx/4）＋10		ns
				ノイズ除去クロック = fx/32選択	（設定除去クロック数＋1）/（fx/32）＋10		ns
			スルー設定時注	ノイズ除去クロック = fx/4選択	1/（fx/4）×2＋10		ns
$\overline{\text{INTPb}}$ハイ・レベル幅	<89>	t_{WITPH}	エッジ，レベル検出共		500＋1/（fx/4）＋10		ns
$\overline{\text{INTPb}}$ロウ・レベル幅	<90>	t_{WITPL}	エッジ，レベル検出共		500＋1/（fx/4）＋10		ns

注　スルー設定時，ノイズ除去クロック = fx/32は選択しないでください。

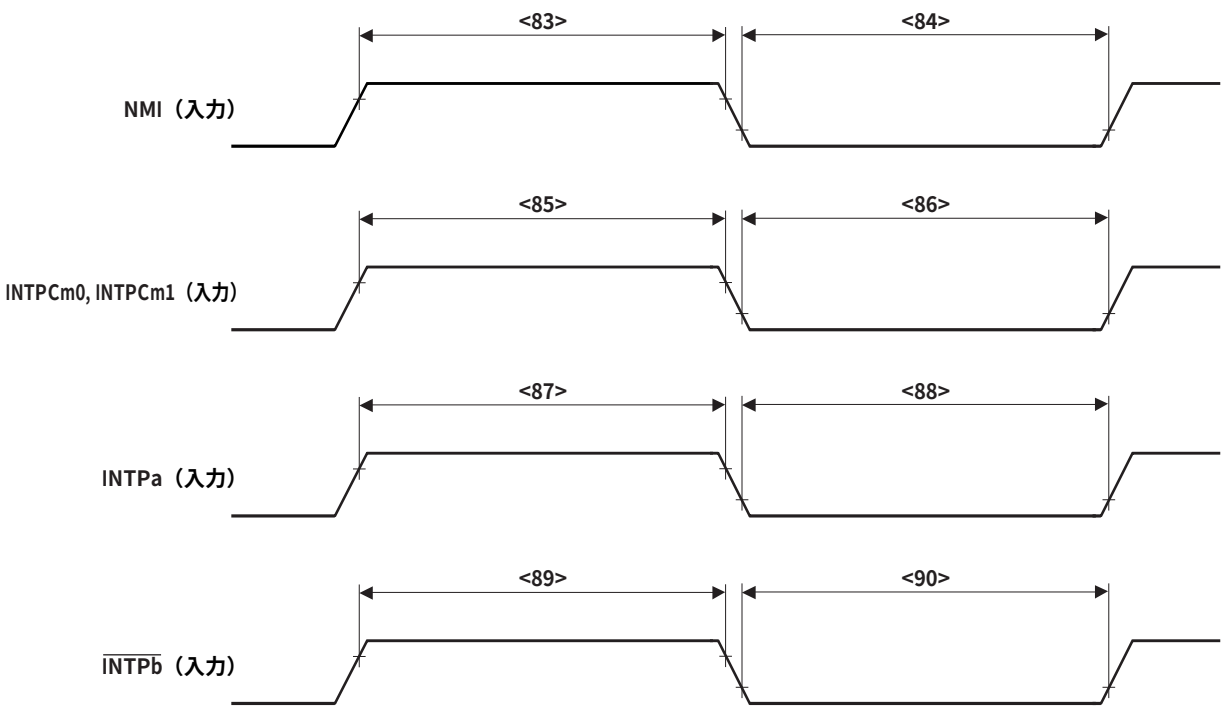
備考1.　ノイズ除去クロックおよびスルーは，NCWC0-NCWC3, NCW10, NCW11レジスタの設定値

2.　fx：メイン・クロック

3.　a = 100, 101, 110, 111

b = 10, 11, 21-25, 50-52, 65-67, D0-D15, L0, L1

（10）割り込みタイミング（2/2）



備考　m = 0-3

a = 100, 101, 110, 111

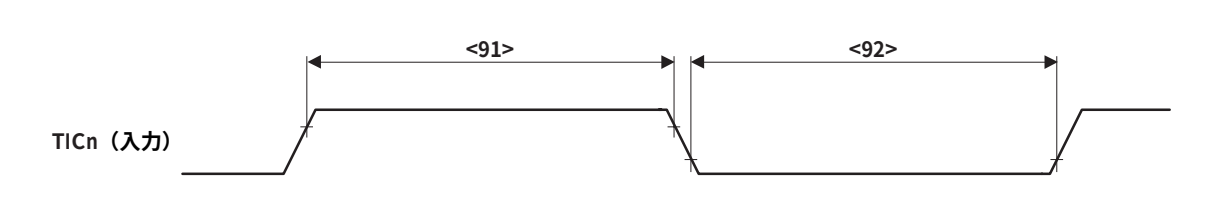
b = 10, 11, 21-25, 50-52, 65-67, D0-D15, L0, L1

（11）タイマCタイミング

項　目	略　号		条　件	MIN.	MAX.	単　位
TICnハイ・レベル幅	<91>	t_{WTCH}	ノイズ除去設定時	（設定除去クロック数＋1）/（f_X/4）＋10		ns
			スルー設定時	1/（f_X/4）×2＋10		ns
TICnロウ・レベル幅	<92>	t_{WTCL}	ノイズ除去設定時	（設定除去クロック数＋1）/（f_X/4）＋10		ns
			スルー設定時	1/（f_X/4）×2＋10		ns

備考1.　n = 0-3

2.　ノイズ除去クロックおよびスルーは，NCWC0-NCWC3レジスタの設定値



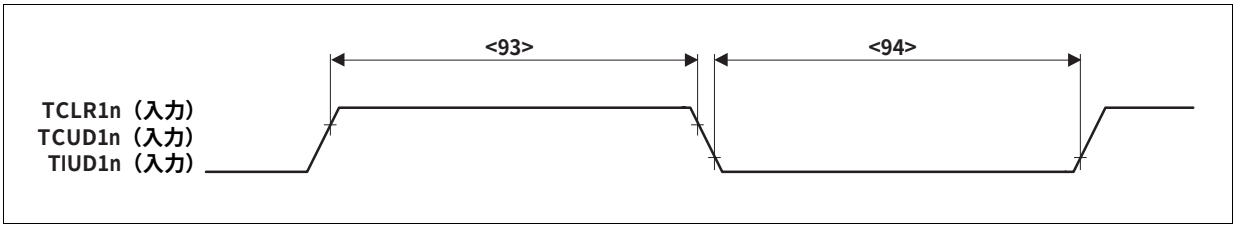
（12）タイマENC1タイミング

項　目	略　号		条　件		MIN.	MAX.	単　位
TCLR1n, TCUD1n, TIUD1n端子ハイ・レベル幅	<93>	t_{WTENCH}	ノイズ除去設定時	ノイズ除去クロック = f_X/4選択	（設定除去クロック数＋1）/（f_X/4）＋10		ns
				ノイズ除去クロック = f_X/32選択	（設定除去クロック数＋1）/（f_X/32）＋10		ns
			スルー設定時注	ノイズ除去クロック = f_X/4選択	1/（f_X/4）×2＋10		ns
TCLR1n, TCUD1n, TIUD1n端子ロウ・レベル幅	<94>	t_{WTENCL}	ノイズ除去設定時	ノイズ除去クロック = f_X/4選択	（設定除去クロック数＋1）/（f_X/4）＋10		ns
				ノイズ除去クロック = f_X/32選択	（設定除去クロック数＋1）/（f_X/32）＋10		ns
			スルー設定時注	ノイズ除去クロック = f_X/4選択	1/（f_X/4）×2＋10		ns

注　スルー設定時，ノイズ除去クロック = f_X/32は選択しないでください。

備考1.　n = 0, 1

2.　ノイズ除去クロックおよびスルーは，NCW10, NCW11レジスタの設定値



（13）CSI30, CSI31タイミング（1/3）

（a）マスタ・モード

項　　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{SCKn}}$周期	<95>	t_{CYSK1}	出力	182		ns
$\overline{\text{SCKn}}$ハイ・レベル幅	<96>	t_{WSK1H}	出力	$0.5t_{CYSK1}-12$		ns
$\overline{\text{SCKn}}$ロウ・レベル幅	<97>	t_{WSK1L}	出力	$0.5t_{CYSK1}-12$		ns
SIn設定時間（対$\overline{\text{SCKn}}$↑）	<98>	t_{SSISK}		12		ns
SIn設定時間（対$\overline{\text{SCKn}}$↓）				12		ns
SIn保持時間（対$\overline{\text{SCKn}}$↑）	<99>	t_{HSKSI}		5		ns
SIn保持時間（対$\overline{\text{SCKn}}$↓）				5		ns
SOn出力遅延時間（対$\overline{\text{SCKn}}$↓）	<100>	t_{DSKSO}			7	ns
SOn出力遅延時間（対$\overline{\text{SCKn}}$↑）					7	ns
SOn出力保持時間（対$\overline{\text{SCKn}}$↑）	<101>	t_{HSKSO}		$0.5t_{CYSK1}-5$		ns
SOn出力保持時間（対$\overline{\text{SCKn}}$↓）				$0.5t_{CYSK1}-5$		ns

備考　n = 0, 1

（b）スレーブ・モード

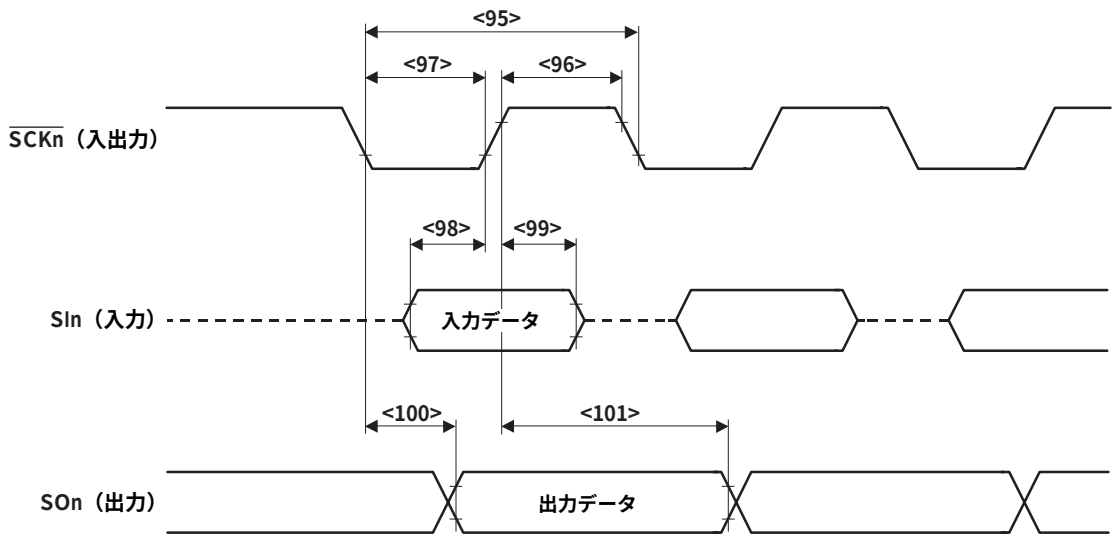
項　　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{SCKn}}$周期	<95>	t_{CYSK1}	入力	182		ns
$\overline{\text{SCKn}}$ハイ・レベル幅	<96>	t_{WSK1H}	入力	$0.5\ t_{CYSK1}-20$		ns
$\overline{\text{SCKn}}$ロウ・レベル幅	<97>	t_{WSK1L}	入力	$0.5\ t_{CYSK1}-20$		ns
SIn設定時間（対$\overline{\text{SCKn}}$↑）	<98>	t_{SSISK}		30		ns
SIn設定時間（対$\overline{\text{SCKn}}$↓）				30		ns
SIn保持時間（対$\overline{\text{SCKn}}$↑）	<99>	t_{HSKSI}		1.5T＋10		ns
SIn保持時間（対$\overline{\text{SCKn}}$↓）				1.5T＋10		ns
SOn出力遅延時間（対$\overline{\text{SCKn}}$↓）	<100>	t_{DSKSO}			12	ns
SOn出力遅延時間（対$\overline{\text{SCKn}}$↑）					12	ns
SOn出力保持時間（対$\overline{\text{SCKn}}$↑）	<101>	t_{HSKSO}		t_{WSK1H}		ns
SOn出力保持時間（対$\overline{\text{SCKn}}$↓）				t_{WSK1H}		ns

備考1.　n = 0, 1

2.　T = fx/4

（13）CSI30, CSI31タイミング（2/3）

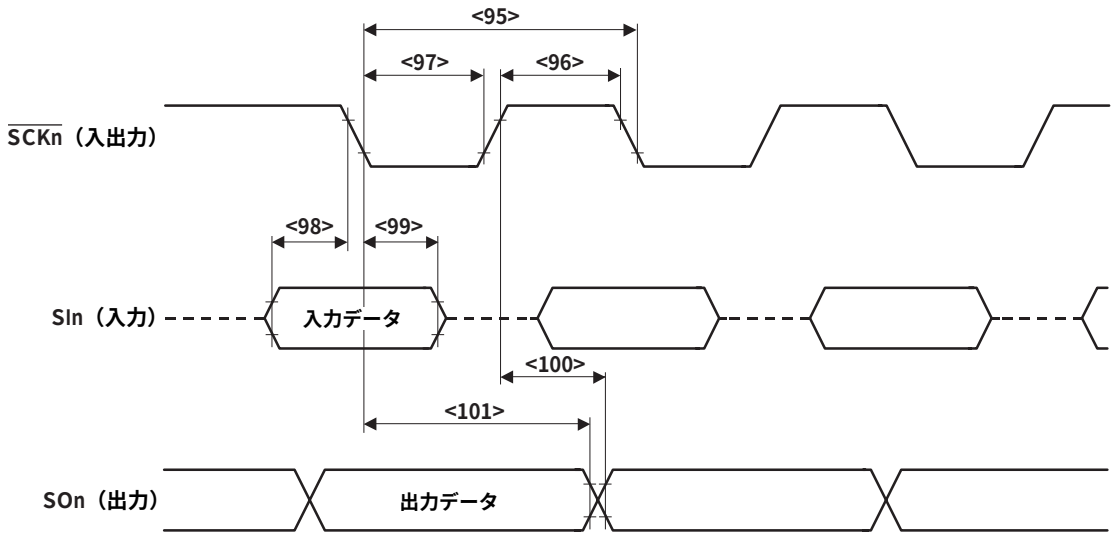
（c）CSIC3nレジスタのCKPn, DAPnビット = 00時のタイミング



備考1.　破線はハイ・インピーダンスを示します。

2.　n = 0, 1

（d）CSIC3nレジスタのCKPn, DAPnビット = 01時のタイミング

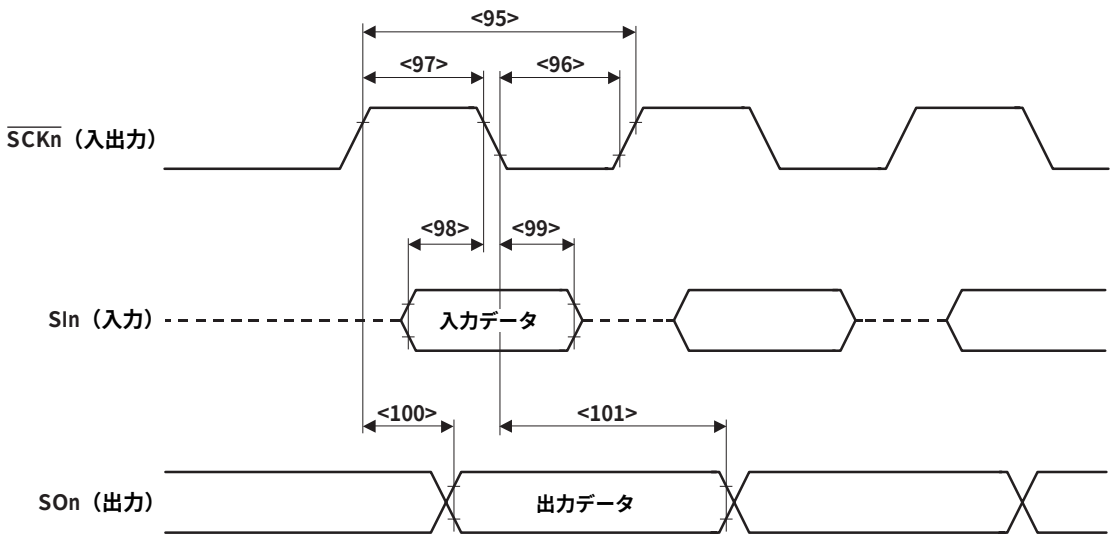


備考1.　破線はハイ・インピーダンスを示します。

2.　n = 0, 1

（13）CSI30, CSI31タイミング（3/3）

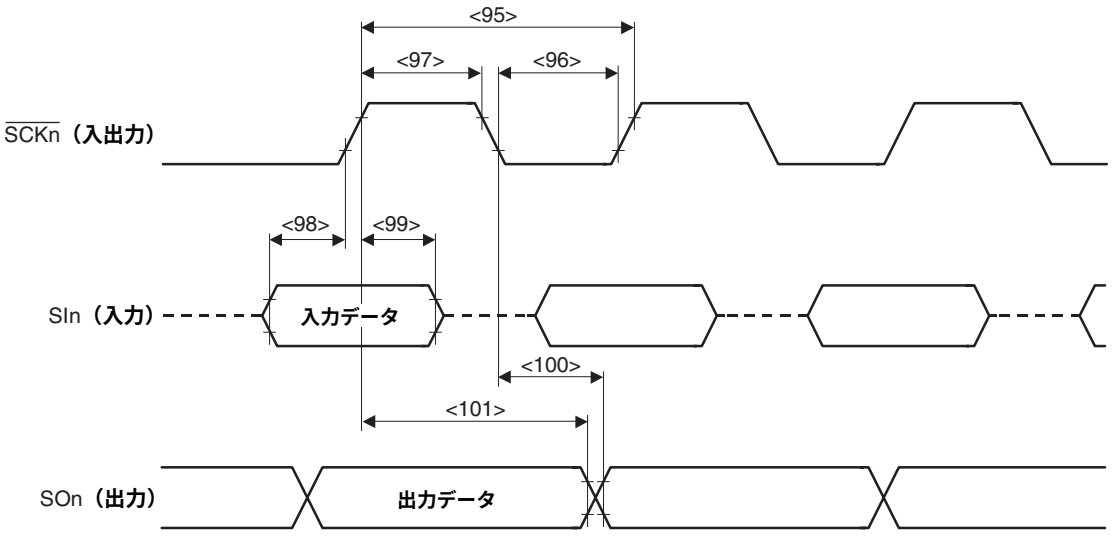
（e）CSIC3nレジスタのCKPn, DAPnビット = 10時のタイミング



備考1.　破線はハイ・インピーダンスを示します。

2.　n = 0, 1

（f）CSIC3nレジスタのCKPn, DAPnビット = 11時のタイミング



備考1.　破線はハイ・インピーダンスを示します。

2.　n = 0, 1

A/D**コンバータ特性**（EV_{DD} = AV_{DD} = AV_{REFP} = 3.0～3.6 V, EV_{SS} = AV_{SS} = AV_{REFM} = 0 V）

項　目	略　号		条　件	MIN.	TYP.	MAX.	単　位
分解能	–	–		10			bit
総合誤差注1	–	–				±0.49	%FSR
量子化誤差	–	–				±1/2	LSB
変換時間	–	t_{CONV}		2.00		10	μs
★ サンプリング時間	–	t_{SAMP}		3×変換クロック注2/16			クロック
ゼロスケール誤差注1	–	–				±0.49	%FSR
フルスケール誤差注1	–	–				±0.49	%FSR
積分直線性誤差注3	–	–				±4	LSB
微分直線性誤差注3	–	–				±4	LSB
アナログ入力電圧	–	V_{WASN}		AV_{REFM}		AV_{REFP}	V
AV_{DD}電源電流	–	AI_{DD}				10	mA
ADTRGハイ・レベル幅	<105>	t_{WAIH}		500			ns
ADTRGロウ・レベル幅	<106>	t_{WAIL}		500			ns

注1.　量子化誤差（±0.05 %FSR）は含みません。

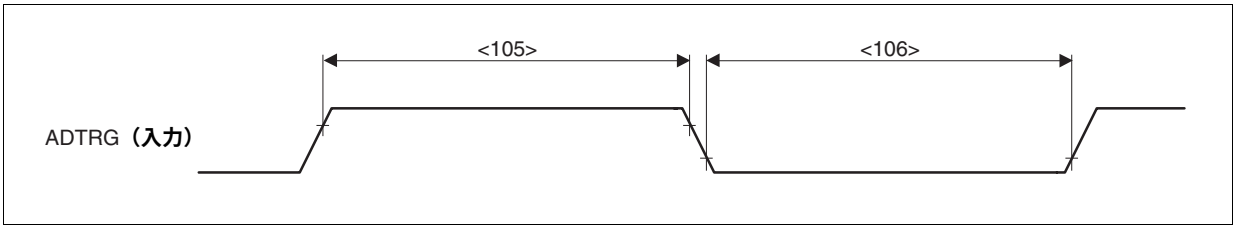
2.　変換クロックは，ADM1レジスタで設定したクロック数です。

3.　量子化誤差（±0.5 LSB）は含みません。

備考　LSB：Least Significant Bit

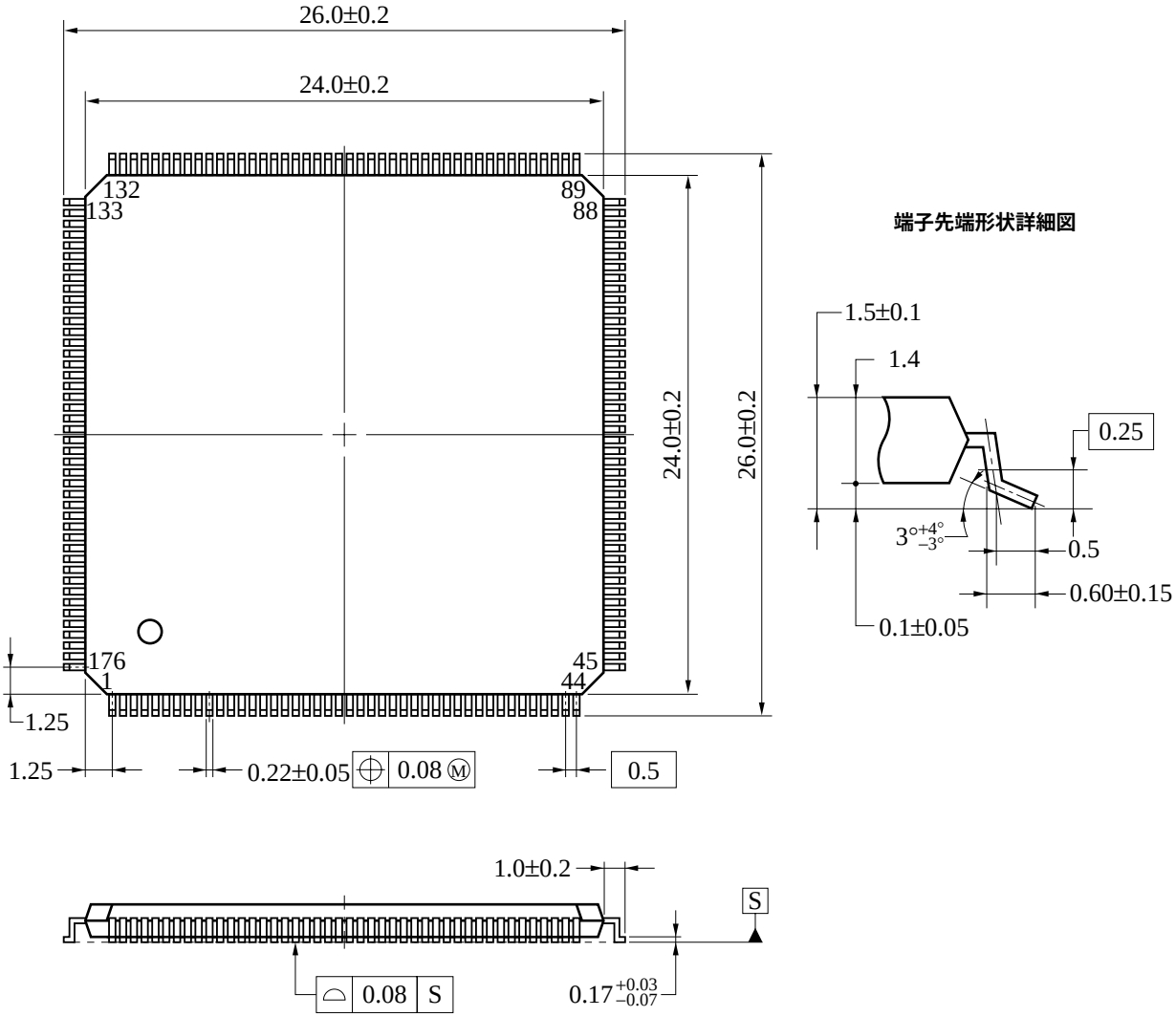
FSR：Full Scale Range

%FSRはフルスケール値に対する比率です。



第18章 外 形 図

176ピン・プラスチック LQFP（ファインピッチ）（24x24）外形図（単位：mm）



S176GM-50-UEU-1

第19章　半田付け推奨条件

この製品の半田付け実装は，次の推奨条件で実施してください。
半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」（http://japan.renesas.com/prod/package/manual/index.html）

表19－1　表面実装タイプの半田付け条件

μPD703111BGM-06-UEU-A　176ピン・プラスチックLQFP（ファインピッチ）（24×24）
μPD703111BGM-10-UEU-A　〃
μPD703111BGM-13-UEU-A　〃
μPD703111BGM-15-UEU-A　〃

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：250 ℃，時間：30秒以内（210 ℃以上），回数：3回以内 制限日数：3日間[注]（以降は125 ℃プリベーク20時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR50-203-3
端子部分加熱	端子温度：350 ℃以下，時間：3秒以内（デバイスの一辺当たり）	—

注　ドライパック開封後の保管日数で，保管条件は25 ℃，65 %RH以下。

備考1.　V850E/ME2は，鉛フリー製品です。
2.　推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

付録A　レジスタ索引

(1/12)

略　　号	名　　称	ユニット	ページ
ADCR0- ADCR7	A/D変換結果レジスタ0-7	ADC	767
ADCR0H- ADCR7H	A/D変換結果レジスタ0H-7H	ADC	767
ADIC	割り込み制御レジスタ83	ADC	337
ADM0	A/Dコンバータ・モード・レジスタ0	ADC	762
ADM1	A/Dコンバータ・モード・レジスタ1	ADC	763
ADM2	A/Dコンバータ・モード・レジスタ2	ADC	765
ADTS	ADCトリガ選択レジスタ	ADC	766
ASC	アドレス・セットアップ・ウエイト・コントロール・レジスタ	BCU	156
BCC	バス・サイクル・コントロール・レジスタ	BCU	161
BCP	バス・サイクル・ピリオド・コントロール・レジスタ	BCU	157
BCT0	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCU	120
BCT1	バス・サイクル・タイプ・コンフィギュレーション・レジスタ1	BCU	120
BEC	エンディアン・コンフィギュレーション・レジスタ	BCU	123
BHC	キャッシュ・コンフィギュレーション・レジスタ	BCU	164
BMC	バス・モード・コントロール・レジスタ	BCU	152
CC100	キャプチャ／コンペア・レジスタ100	タイマ	468
CC101	キャプチャ／コンペア・レジスタ101	タイマ	469
CC10IC0	割り込み制御レジスタ53	INTC	337
CC10IC1	割り込み制御レジスタ54	INTC	337
CC110	キャプチャ／コンペア・レジスタ110	タイマ	468
CC111	キャプチャ／コンペア・レジスタ111	タイマ	469
CC11IC0	割り込み制御レジスタ59	INTC	337
CC11IC1	割り込み制御レジスタ60	INTC	337
CCC00	キャプチャ／コンペア・レジスタC00	タイマ	414
CCC01	キャプチャ／コンペア・レジスタC01	タイマ	414
CCC0IC0	割り込み制御レジスタ37	INTC	337
CCC0IC1	割り込み制御レジスタ38	INTC	337
CCC10	キャプチャ／コンペア・レジスタC10	タイマ	414
CCC11	キャプチャ／コンペア・レジスタC11	タイマ	414
CCC1IC0	割り込み制御レジスタ39	INTC	337
CCC1IC1	割り込み制御レジスタ40	INTC	337
CCC20	キャプチャ／コンペア・レジスタC20	タイマ	414
CCC21	キャプチャ／コンペア・レジスタC21	タイマ	414
CCC2IC0	割り込み制御レジスタ41	INTC	337
CCC2IC1	割り込み制御レジスタ42	INTC	337
CCC30	キャプチャ／コンペア・レジスタC30	タイマ	414
CCC31	キャプチャ／コンペア・レジスタC31	タイマ	414

(2/12)

略　号	名　称	ユニット	ページ
CCC3IC0	割り込み制御レジスタ43	INTC	337
CCC3IC1	割り込み制御レジスタ44	INTC	337
CCC40	キャプチャ／コンペア・レジスタC40	タイマ	414
CCC41	キャプチャ／コンペア・レジスタC41	タイマ	414
CCC4IC0	割り込み制御レジスタ45	INTC	337
CCC4IC1	割り込み制御レジスタ46	INTC	337
CCC50	キャプチャ／コンペア・レジスタC50	タイマ	414
CCC51	キャプチャ／コンペア・レジスタC51	タイマ	414
CCC5IC0	割り込み制御レジスタ47	INTC	337
CCC5IC1	割り込み制御レジスタ48	INTC	337
CCR10	キャプチャ／コンペア・コントロール・レジスタ10	タイマ	459
CCR11	キャプチャ／コンペア・コントロール・レジスタ11	タイマ	459
CKC	クロック・コントロール・レジスタ	CG	371
CKS	クロック・ソース選択レジスタ	CG	376
CM100	コンペア・レジスタ100	タイマ	467
CM101	コンペア・レジスタ101	タイマ	467
CM10IC0	割り込み制御レジスタ55	INTC	337
CM10IC1	割り込み制御レジスタ56	INTC	337
CM110	コンペア・レジスタ110	タイマ	467
CM111	コンペア・レジスタ111	タイマ	467
CM11IC0	割り込み制御レジスタ61	INTC	337
CM11IC1	割り込み制御レジスタ62	INTC	337
CMD0	コンペア・レジスタD0	タイマ	442
CMD1	コンペア・レジスタD1	タイマ	442
CMD2	コンペア・レジスタD2	タイマ	442
CMD3	コンペア・レジスタD3	タイマ	442
CMDIC0	割り込み制御レジスタ49	INTC	337
CMDIC1	割り込み制御レジスタ50	INTC	337
CMDIC2	割り込み制御レジスタ51	INTC	337
CMDIC3	割り込み制御レジスタ52	INTC	337
COVF3IC0	割り込み制御レジスタ70	INTC	337
COVF3IC1	割り込み制御レジスタ72	INTC	337
CSC0	チップ・エリア選択コントロール・レジスタ0	BCU	117
CSC1	チップ・エリア選択コントロール・レジスタ1	BCU	117
CSI3IC0	割り込み制御レジスタ69	INTC	337
CSI3IC1	割り込み制御レジスタ71	INTC	337
CSIC30	クロック同期式シリアル・インタフェース・クロック選択レジスタ30	CSI30	549
CSIC31	クロック同期式シリアル・インタフェース・クロック選択レジスタ31	CS131	549
CSIL30	転送データ長選択レジスタ30	CSI30	557
CSIL31	転送データ長選択レジスタ31	CSI31	557
CSIM30	クロック同期式シリアル・インタフェース・モード・レジスタ30	CSI30	547
CSIM31	クロック同期式シリアル・インタフェース・モード・レジスタ31	CSI31	547
DADC0	DMAアドレシング・コントロール・レジスタ0	DMAC	263
DADC1	DMAアドレシング・コントロール・レジスタ1	DMAC	263

(3/12)

略　号	名　称	ユニット	ページ
DADC2	DMAアドレシング・コントロール・レジスタ2	DMAC	263
DADC3	DMAアドレシング・コントロール・レジスタ3	DMAC	263
DBC0	DMA転送カウント・レジスタ0	DMAC	262
DBC1	DMA転送カウント・レジスタ1	DMAC	262
DBC2	DMA転送カウント・レジスタ2	DMAC	262
DBC3	DMA転送カウント・レジスタ3	DMAC	262
DCHC0	DMAチャネル・コントロール・レジスタ0	DMAC	266
DCHC1	DMAチャネル・コントロール・レジスタ1	DMAC	266
DCHC2	DMAチャネル・コントロール・レジスタ2	DMAC	266
DCHC3	DMAチャネル・コントロール・レジスタ3	DMAC	266
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMAC	260
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMAC	261
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMAC	260
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMAC	261
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMAC	260
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMAC	261
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMAC	260
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMAC	261
DIFC	DMAインタフェース・コントロール・レジスタ	DMAC	276
DMAIC0	割り込み制御レジスタ65	INTC	337
DMAIC1	割り込み制御レジスタ66	INTC	337
DMAIC2	割り込み制御レジスタ67	INTC	337
DMAIC3	割り込み制御レジスタ68	INTC	337
DSA0H	DMAソース・アドレス・レジスタ0H	DMAC	258
DSA0L	DMAソース・アドレス・レジスタ0L	DMAC	259
DSA1H	DMAソース・アドレス・レジスタ1H	DMAC	258
DSA1L	DMAソース・アドレス・レジスタ1L	DMAC	259
DSA2H	DMAソース・アドレス・レジスタ2H	DMAC	258
DSA2L	DMAソース・アドレス・レジスタ2L	DMAC	259
DSA3H	DMAソース・アドレス・レジスタ3H	DMAC	258
DSA3L	DMAソース・アドレス・レジスタ3L	DMAC	259
DTFR0	DMAトリガ要因レジスタ0	DMAC	271
DTFR1	DMAトリガ要因レジスタ1	DMAC	271
DTFR2	DMAトリガ要因レジスタ2	DMAC	271
DTFR3	DMAトリガ要因レジスタ3	DMAC	271
DTOC	DMAターミナル・カウント出力コントロール・レジスタ	DMAC	270
DWC0	データ・ウエイト・コントロール・レジスタ0	BCU	154
DWC1	データ・ウエイト・コントロール・レジスタ1	BCU	154
FIC	DMAフライバイ転送アイドル・コントロール・レジスタ	BCU	162
FWC	DMAフライバイ転送ウエイト・コントロール・レジスタ	BCU	158
ICC	命令キャッシュ・コントロール・レジスタ	BCU	167
ICCH	命令キャッシュ・コントロール・レジスタH	BCU	167
ICCL	命令キャッシュ・コントロール・レジスタL	BCU	167
ICD	命令キャッシュ・データ・コンフィギュレーション・レジスタ	BCU	169

(4/12)

略　号	名　称	ユニット	ページ
IMR0	割り込みマスク・レジスタ0	INTC	340
IMR0H	割り込みマスク・レジスタ0H	INTC	340
IMR0L	割り込みマスク・レジスタ0L	INTC	340
IMR1	割り込みマスク・レジスタ1	INTC	340
IMR1H	割り込みマスク・レジスタ1H	INTC	340
IMR1L	割り込みマスク・レジスタ1L	INTC	340
IMR2	割り込みマスク・レジスタ2	INTC	340
IMR2H	割り込みマスク・レジスタ2H	INTC	340
IMR2L	割り込みマスク・レジスタ2L	INTC	340
IMR3	割り込みマスク・レジスタ3	INTC	340
IMR3H	割り込みマスク・レジスタ3H	INTC	340
IMR3L	割り込みマスク・レジスタ3L	INTC	340
IMR4	割り込みマスク・レジスタ4	INTC	340
IMR4H	割り込みマスク・レジスタ4H	INTC	340
IMR4L	割り込みマスク・レジスタ4L	INTC	340
IMR5	割り込みマスク・レジスタ5	INTC	340
IMR5H	割り込みマスク・レジスタ5H	INTC	340
IMR5L	割り込みマスク・レジスタ5L	INTC	340
INTF1	外部割り込み立ち下がりエッジ指定レジスタ1	INTC	344, 840
INTF2	外部割り込み立ち下がりエッジ指定レジスタ2	INTC	329, 346, 845
INTF5	外部割り込み立ち下がりエッジ指定レジスタ5	INTC	348, 851
INTF6	外部割り込み立ち下がりエッジ指定レジスタ6	INTC	350, 856
INTFAL	外部割り込み立ち下がりエッジ指定レジスタAL	INTC	352, 866
INTFDH	外部割り込み立ち下がりエッジ指定レジスタDH	INTC	353, 878
INTFDHH	外部割り込み立ち下がりエッジ指定レジスタDHH	INTC	353, 878
INTFDHL	外部割り込み立ち下がりエッジ指定レジスタDHL	INTC	353, 878
INTR1	外部割り込み立ち上がりエッジ指定レジスタ1	INTC	344, 840
INTR2	外部割り込み立ち上がりエッジ指定レジスタ2	INTC	329, 346, 845
INTR5	外部割り込み立ち上がりエッジ指定レジスタ5	INTC	348, 851
INTR6	外部割り込み立ち上がりエッジ指定レジスタ6	INTC	350, 856
INTRAL	外部割り込み立ち上がりエッジ指定レジスタAL	INTC	352, 866
INTRDH	外部割り込み立ち上がりエッジ指定レジスタDH	INTC	353, 878
INTRDHH	外部割り込み立ち上がりエッジ指定レジスタDHH	INTC	353, 878
INTRDHL	外部割り込み立ち上がりエッジ指定レジスタDHL	INTC	353, 878
IRAMM	内蔵命令RAMモード・レジスタ	BCU	172
ISPR	インサービス・プライオリティ・レジスタ	INTC	343
LBC0	ライン・バッファ・コントロール・レジスタ0	BCU	147
LBC1	ライン・バッファ・コントロール・レジスタ1	BCU	147
LBS	ローカル・バス・サイジング・コントロール・レジスタ	BCU	122
LOCKR	ロック・レジスタ	CPU	381
NCW10	ノイズ除去幅設定レジスタ10	タイマ	465, 899
NCW11	ノイズ除去幅設定レジスタ11	タイマ	465, 899
NCWC0	ノイズ除去幅設定レジスタC0	タイマ	423, 898
NCWC1	ノイズ除去幅設定レジスタC1	タイマ	423, 898

(5/12)

略　号	名　称	ユニット	ページ
NCWC2	ノイズ除去幅設定レジスタC2	タイマ	423, 898
NCWC3	ノイズ除去幅設定レジスタC3	タイマ	423, 898
NRS	NMIリセット・ステータス・レジスタ	INTC	342
OSTS	発振安定時間選択レジスタ	CG	382
OV1IC0	割り込み制御レジスタ57	INTC	337
OV1IC1	割り込み制御レジスタ63	INTC	337
OVCIC0	割り込み制御レジスタ31	INTC	337
OVCIC1	割り込み制御レジスタ32	INTC	337
OVCIC2	割り込み制御レジスタ33	INTC	337
OVCIC3	割り込み制御レジスタ34	INTC	337
OVCIC4	割り込み制御レジスタ35	INTC	337
OVCIC5	割り込み制御レジスタ36	INTC	337
P1	ポート1	ポート	837
P1IC0	割り込み制御レジスタ0	INTC	337
P1IC1	割り込み制御レジスタ1	INTC	337
P2	ポート2	ポート	842
P2IC1	割り込み制御レジスタ2	INTC	337
P2IC2	割り込み制御レジスタ3	INTC	337
P2IC3	割り込み制御レジスタ4	INTC	337
P2IC4	割り込み制御レジスタ5	INTC	337
P2IC5	割り込み制御レジスタ6	INTC	337
P5	ポート5	ポート	847
P5IC0	割り込み制御レジスタ7	INTC	337
P5IC1	割り込み制御レジスタ8	INTC	337
P5IC2	割り込み制御レジスタ9	INTC	337
P6	ポート6	ポート	853
P6IC5	割り込み制御レジスタ10	INTC	337
P6IC6	割り込み制御レジスタ11	INTC	337
P6IC7	割り込み制御レジスタ12	INTC	337
P7	ポート7	ポート	858
PAH	ポートAH	ポート	868
PAHH	ポートAHH	ポート	868
PAHL	ポートAHL	ポート	868
PAL	ポートAL	ポート	863
PALH	ポートALH	ポート	863
PALL	ポートALL	ポート	863
PCD	ポートCD	ポート	891
PCM	ポートCM	ポート	889
PCS	ポートCS	ポート	880
PCT	ポートCT	ポート	885
PDH	ポートDH	ポート	870
PDHH	ポートDHH	ポート	870
PDHL	ポートDHL	ポート	870
PDIC0	割り込み制御レジスタ13	INTC	337

(6/12)

略　号	名　称	ユニット	ページ
PDIC1	割り込み制御レジスタ14	INTC	337
PDIC2	割り込み制御レジスタ15	INTC	337
PDIC3	割り込み制御レジスタ16	INTC	337
PDIC4	割り込み制御レジスタ17	INTC	337
PDIC5	割り込み制御レジスタ18	INTC	337
PDIC6	割り込み制御レジスタ19	INTC	337
PDIC7	割り込み制御レジスタ20	INTC	337
PDIC8	割り込み制御レジスタ21	INTC	337
PDIC9	割り込み制御レジスタ22	INTC	337
PDIC10	割り込み制御レジスタ23	INTC	337
PDIC11	割り込み制御レジスタ24	INTC	337
PDIC12	割り込み制御レジスタ25	INTC	337
PDIC13	割り込み制御レジスタ26	INTC	337
PDIC14	割り込み制御レジスタ27	INTC	337
PDIC15	割り込み制御レジスタ28	INTC	337
PFC1	ポート1ファンクション・コントロール・レジスタ	ポート	839
PFC2	ポート2ファンクション・コントロール・レジスタ	ポート	844
PFC5	ポート5ファンクション・コントロール・レジスタ	ポート	850
PFC6	ポート6ファンクション・コントロール・レジスタ	ポート	855
PFC7	ポート7ファンクション・コントロール・レジスタ	ポート	861
PFCALL	ポートALファンクション・コントロール・レジスタL	ポート	865
PFCCM	ポートCMファンクション・コントロール・レジスタ	ポート	890
PFCCS	ポートCSファンクション・コントロール・レジスタ	ポート	883
PFCCT	ポートCTファンクション・コントロール・レジスタ	ポート	888
PFCDH	ポートDHファンクション・コントロール・レジスタ	ポート	875
PFCDHH	ポートDHファンクション・コントロール・レジスタH	ポート	875
PFCDHL	ポートDHファンクション・コントロール・レジスタL	ポート	875
PLIC0	割り込み制御レジスタ29	INTC	337
PLIC1	割り込み制御レジスタ30	INTC	337
PM1	ポート1モード・レジスタ	ポート	838
PM2	ポート2モード・レジスタ	ポート	843
PM5	ポート5モード・レジスタ	ポート	848
PM6	ポート6モード・レジスタ	ポート	854
PM7	ポート7モード・レジスタ	ポート	859
PMAH	ポートAHモード・レジスタ	ポート	869
PMAHH	ポートAHモード・レジスタH	ポート	869
PMAHL	ポートAHモード・レジスタL	ポート	869
PMAL	ポートALモード・レジスタ	ポート	864
PMALH	ポートALモード・レジスタH	ポート	864
PMALL	ポートALモード・レジスタL	ポート	864
PMC1	ポート1モード・コントロール・レジスタ	ポート	838
PMC2	ポート2モード・コントロール・レジスタ	ポート	843
PMC5	ポート5モード・コントロール・レジスタ	ポート	849
PMC6	ポート6モード・コントロール・レジスタ	ポート	854

(7/12)

略　号	名　称	ユニット	ページ
PMC7	ポート7モード・コントロール・レジスタ	ポート	860
PMCAH	ポートAHモード・コントロール・レジスタ	ポート	869
PMCAHH	ポートAHモード・コントロール・レジスタH	ポート	869
PMCAHL	ポートAHモード・コントロール・レジスタL	ポート	869
PMCAL	ポートALモード・コントロール・レジスタ	ポート	865
PMCALH	ポートALモード・コントロール・レジスタH	ポート	865
PMCALL	ポートALモード・コントロール・レジスタL	ポート	865
PMCCD	ポートCDモード・コントロール・レジスタ	ポート	892
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	890
PMCCS	ポートCSモード・コントロール・レジスタ	ポート	882
PMCCT	ポートCTモード・コントロール・レジスタ	ポート	887
PMCD	ポートCDモード・レジスタ	ポート	891
PMCDH	ポートDHモード・コントロール・レジスタ	ポート	873
PMCDHH	ポートDHモード・コントロール・レジスタH	ポート	873
PMCDHL	ポートDHモード・コントロール・レジスタL	ポート	873
PMCM	ポートCMモード・レジスタ	ポート	889
PMCS	ポートCSモード・レジスタ	ポート	881
PMCT	ポートCTモード・レジスタ	ポート	886
PMDH	ポートDHモード・レジスタ	ポート	872
PMDHH	ポートDHモード・レジスタH	ポート	872
PMDHL	ポートDHモード・レジスタL	ポート	872
PRC	ページROMコンフィギュレーション・レジスタ	MEMC	205
PRCMD	コマンド・レジスタ	CPU	390
PRM10	プリスケーラ・モード・レジスタ10	タイマ	462
PRM11	プリスケーラ・モード・レジスタ11	タイマ	462
PSC	パワー・セーブ・コントロール・レジスタ	CPU	391
PSMR	パワー・セーブ・モード・レジスタ	CPU	390
PWM0	PWMモジュロ・レジスタ0	PWM	798
PWM1	PWMモジュロ・レジスタ1	PWM	798
PWMC0	PWMコントロール・レジスタ0	PWM	796
PWMC1	PWMコントロール・レジスタ1	PWM	796
PWMH0	PWMモジュロ・レジスタH0	PWM	798
PWMH1	PWMモジュロ・レジスタH1	PWM	798
PWML0	PWMモジュロ・レジスタL0	PWM	798
PWML1	PWMモジュロ・レジスタL1	PWM	798
RFS1	SDRAMリフレッシュ・コントロール・レジスタ1	MEMC	246
RFS3	SDRAMリフレッシュ・コントロール・レジスタ3	MEMC	246
RFS4	SDRAMリフレッシュ・コントロール・レジスタ4	MEMC	246
RFS6	SDRAMリフレッシュ・コントロール・レジスタ6	MEMC	246
RSUMIC	割り込み制御レジスタ89	INTC	337
SCR1	SDRAMコンフィギュレーション・レジスタ1	MEMC	219
SCR3	SDRAMコンフィギュレーション・レジスタ3	MEMC	219
SCR4	SDRAMコンフィギュレーション・レジスタ4	MEMC	219
SCR6	SDRAMコンフィギュレーション・レジスタ6	MEMC	219

(8/12)

略　号	名　称	ユニット	ページ
SESA10	有効エッジ選択レジスタ10	INTC	357, 460
SESA11	有効エッジ選択レジスタ11	INTC	357, 460
SESC0	有効エッジ選択レジスタC0	INTC	355, 421
SESC1	有効エッジ選択レジスタC1	INTC	355, 421
SESC2	有効エッジ選択レジスタC2	INTC	355, 421
SESC3	有効エッジ選択レジスタC3	INTC	355, 421
SFA30	CSIBUF状態レジスタ30	CSI30	554
SFA31	CSIBUF状態レジスタ31	CSI31	554
SFDB30	送信データCSIバッファ・レジスタ30	CSI30	553
SFDB30H	送信データCSIバッファ・レジスタ30H	CSI30	553
SFDB30L	送信データCSIバッファ・レジスタ30L	CSI30	553
SFDB31	送信データCSIバッファ・レジスタ31	CSI31	553
SFDB31H	送信データCSIバッファ・レジスタ31H	CSI31	553
SFDB31L	送信データCSIバッファ・レジスタ31L	CSI31	553
SFN30	転送データ数指定レジスタ30	CSI30	558
SFN31	転送データ数指定レジスタ31	CSI31	558
SIRB30	受信データ・バッファ・レジスタ30	CSI30	552
SIRB30H	受信データ・バッファ・レジスタ30H	CSI31	552
SIRB30L	受信データ・バッファ・レジスタ30L	CSI30	552
SIRB31	受信データ・バッファ・レジスタ31	CSI31	552
SIRB31H	受信データ・バッファ・レジスタ31H	CSI31	552
SIRB31L	受信データ・バッファ・レジスタ31L	CSI31	552
SSCGC	SSCGコントロール・レジスタ	CG	378
STATUS10	ステータス・レジスタ10	タイマ	464
STATUS11	ステータス・レジスタ11	タイマ	464
TMC0	タイマC0	タイマ	412
TMC1	タイマC1	タイマ	412
TMC10	タイマ・コントロール・レジスタ10	タイマ	457
TMC11	タイマ・コントロール・レジスタ11	タイマ	457
TMC2	タイマC2	タイマ	412
TMC3	タイマC3	タイマ	412
TMC4	タイマC4	タイマ	412
TMC5	タイマC5	タイマ	412
TMCC00	タイマ・モード・コントロール・レジスタC00	タイマ	416
TMCC01	タイマ・モード・コントロール・レジスタC01	タイマ	418
TMCC10	タイマ・モード・コントロール・レジスタC10	タイマ	416
TMCC11	タイマ・モード・コントロール・レジスタC11	タイマ	418
TMCC20	タイマ・モード・コントロール・レジスタC20	タイマ	416
TMCC21	タイマ・モード・コントロール・レジスタC21	タイマ	418
TMCC30	タイマ・モード・コントロール・レジスタC30	タイマ	416
TMCC31	タイマ・モード・コントロール・レジスタC31	タイマ	418
TMCC40	タイマ・モード・コントロール・レジスタC40	タイマ	416
TMCC41	タイマ・モード・コントロール・レジスタC41	タイマ	418
TMCC50	タイマ・モード・コントロール・レジスタC50	タイマ	416

(9/12)

略　号	名　称	ユニット	ページ
TMCC51	タイマ・モード・コントロール・レジスタC51	タイマ	418
TMCD0	タイマ・モード・コントロール・レジスタD0	タイマ	444
TMCD1	タイマ・モード・コントロール・レジスタD1	タイマ	444
TMCD2	タイマ・モード・コントロール・レジスタD2	タイマ	444
TMCD3	タイマ・モード・コントロール・レジスタD3	タイマ	444
TMD0	タイマD0	タイマ	441
TMD1	タイマD1	タイマ	441
TMD2	タイマD2	タイマ	441
TMD3	タイマD3	タイマ	441
TMENC10	タイマENC10	タイマ	453
TMENC11	タイマENC11	タイマ	453
TUM10	タイマ・ユニット・モード・レジスタ10	タイマ	455
TUM11	タイマ・ユニット・モード・レジスタ11	タイマ	455
UB0CTL0	UARTB0制御レジスタ0	UARTB	491
UB0CTL2	UARTB0制御レジスタ2	UARTB	496
UB0FIC0	UARTB0 FIFO制御レジスタ0	UARTB	500
UB0FIC1	UARTB0 FIFO制御レジスタ1	UARTB	502
UB0FIC2	UARTB0 FIFO制御レジスタ2	UARTB	503
UB0FIC2H	UARTB0 FIFO制御レジスタ2H	UARTB	503
UB0FIC2L	UARTB0 FIFO制御レジスタ2L	UARTB	503
UB0FIS0	UARTB0 FIFO状態レジスタ0	UARTB	506
UB0FIS1	UARTB0 FIFO状態レジスタ1	UARTB	507
UB0RX	UARTB0受信データ・レジスタ	UARTB	498
UB0RXAP	UARTB0受信データ・レジスタAP	UARTB	498
UB0STR	UARTB0状態レジスタ	UARTB	494
UB0TX	UARTB0送信データ・レジスタ	UARTB	497
UB1CTL0	UARTB1制御レジスタ0	UARTB	491
UB1CTL2	UARTB1制御レジスタ2	UARTB	496
UB1FIC0	UARTB1 FIFO制御レジスタ0	UARTB	500
UB1FIC1	UARTB1 FIFO制御レジスタ1	UARTB	502
UB1FIC2	UARTB1 FIFO制御レジスタ2	UARTB	503
UB1FIC2H	UARTB1 FIFO制御レジスタ2H	UARTB	503
UB1FIC2L	UARTB1 FIFO制御レジスタ2L	UARTB	503
UB1FIS0	UARTB1 FIFO状態レジスタ0	UARTB	506
UB1FIS1	UARTB1 FIFO状態レジスタ1	UARTB	507
UB1RX	UARTB1受信データ・レジスタ	UARTB	498
UB1RXAP	UARTB1受信データ・レジスタAP	UARTB	498
UB1STR	UARTB1状態レジスタ	UARTB	494
UB1TX	UARTB1送信データ・レジスタ	UARTB	497
UCKC	USBクロック・コントロール・レジスタ	CG	380
UD1IC0	割り込み制御レジスタ58	INTC	337
UD1IC1	割り込み制御レジスタ64	INTC	337
UF0AAS	UF0アクティブ・オルタナティブ・セッティング・レジスタ	USBF	647
UF0ADRS	UF0アドレス・レジスタ	USBF	694

(10/12)

略　号	名　称	ユニット	ページ
UF0AIFN	UF0アクティブ・インタフェース・ナンバー・レジスタ	USBF	646
UF0ASS	UF0オルタナティブ・セッティング・ステータス・レジスタ	USBF	648
UF0BC	USBファンクション0バッファ・コントロール・レジスタ	USBF	703
UF0BI1	UF0バルク・イン1レジスタ	USBF	674
UF0BI2	UF0バルク・イン2レジスタ	USBF	678
UF0BO1	UF0バルク・アウト1レジスタ	USBF	667
UF0BO1L	UF0バルク・アウト1レングス・レジスタ	USBF	670
UF0BO2	UF0バルク・アウト2レジスタ	USBF	671
UF0BO2L	UF0バルク・アウト2レングス・レジスタ	USBF	673
UF0CIE0-UF0CIE255	UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ0-255	USBF	700
UF0CLR	UF0CLRリクエスト・レジスタ	USBF	610
UF0CNF	UF0コンフィギュレーション・レジスタ	USBF	695
UF0CS	USBファンクション0 DMAチャネル・セレクト・レジスタ	USBF	702
UF0DD0-UF0DD17	UF0デバイス・ディスクリプタ・レジスタ0-17	USBF	699
UF0DEND	UF0データ・エンド・レジスタ	USBF	641
UF0DMS0	UF0 DMAステータス0レジスタ	USBF	637
UF0DMS1	UF0 DMAステータス1レジスタ	USBF	638
UF0DSCL	UF0ディスクリプタ・レングス・レジスタ	USBF	698
UF0DSTL	UF0デバイス・ステータス・レジスタL	USBF	686
UF0E0L	UF0 EP0レングス・レジスタ	USBF	662
UF0E0N	UF0 EP0NAKレジスタ	USBF	601
UF0E0NA	UF0 EP0NAKALLレジスタ	USBF	603
UF0E0R	UF0 EP0リード・レジスタ	USBF	661
UF0E0SL	UF0 EP0ステータス・レジスタL	USBF	687
UF0E0ST	UF0 EP0セットアップ・レジスタ	USBF	663
UF0E0W	UF0 EP0ライト・レジスタ	USBF	665
UF0E1IM	UF0エンドポイント1インタフェース・マッピング・レジスタ	USBF	649
UF0E1SL	UF0 EP1ステータス・レジスタL	USBF	688
UF0E2IM	UF0エンドポイント2インタフェース・マッピング・レジスタ	USBF	651
UF0E2SL	UF0 EP2ステータス・レジスタL	USBF	689
UF0E3IM	UF0エンドポイント3インタフェース・マッピング・レジスタ	USBF	653
UF0E3SL	UF0 EP3ステータス・レジスタL	USBF	690
UF0E4IM	UF0エンドポイント4インタフェース・マッピング・レジスタ	USBF	655
UF0E4SL	UF0 EP4ステータス・レジスタL	USBF	691
UF0E7IM	UF0エンドポイント7インタフェース・マッピング・レジスタ	USBF	657
UF0E7SL	UF0 EP7ステータス・レジスタL	USBF	692
UF0E8IM	UF0エンドポイント8インタフェース・マッピング・レジスタ	USBF	659
UF0E8SL	UF0 EP8ステータス・レジスタL	USBF	693
UF0EN	UF0 EPNAKレジスタ	USBF	604
UF0ENM	UF0 EPNAKマスク・レジスタ	USBF	608
UF0EPS0	UF0 EPステータス0レジスタ	USBF	612
UF0EPS1	UF0 EPステータス1レジスタ	USBF	614

(11/12)

略　号	名　称	ユニット	ページ
UF0EPS2	UF0 EPステータス2レジスタ	USBF	615
UF0FIC0	UF0 FIFOクリア0レジスタ	USBF	639
UF0FIC1	UF0 FIFOクリア1レジスタ	USBF	640
UF0GPR	UF0 GPRレジスタ	USBF	643
UF0IC0	UF0 INTクリア0レジスタ	USBF	630
UF0IC1	UF0 INTクリア1レジスタ	USBF	631
UF0IC2	UF0 INTクリア2レジスタ	USBF	632
UF0IC3	UF0 INTクリア3レジスタ	USBF	633
UF0IC4	UF0 INTクリア4レジスタ	USBF	634
UF0IDR	UF0 INT＆DMARQレジスタ	USBF	635
UF0IF0	UF0インタフェース0レジスタ	USBF	696
UF0IF1	UF0インタフェース1レジスタ	USBF	697
UF0IF2	UF0インタフェース2レジスタ	USBF	697
UF0IF3	UF0インタフェース3レジスタ	USBF	697
UF0IF4	UF0インタフェース4レジスタ	USBF	697
UF0IM0	UF0 INTマスク0レジスタ	USBF	625
UF0IM1	UF0 INTマスク1レジスタ	USBF	626
UF0IM2	UF0 INTマスク2レジスタ	USBF	627
UF0IM3	UF0 INTマスク3レジスタ	USBF	628
UF0IM4	UF0 INTマスク4レジスタ	USBF	629
UF0INT1	UF0インタラプト1レジスタ	USBF	682
UF0INT2	UF0インタラプト2レジスタ	USBF	684
UF0IS0	UF0 INTステータス0レジスタ	USBF	616
UF0IS1	UF0 INTステータス1レジスタ	USBF	618
UF0IS2	UF0 INTステータス2レジスタ	USBF	621
UF0IS3	UF0 INTステータス3レジスタ	USBF	622
UF0IS4	UF0 INTステータス4レジスタ	USBF	624
UF0MODC	UF0モード・コントロール・レジスタ	USBF	644
UF0MODS	UF0モード・ステータス・レジスタ	USBF	645
UF0SDS	UF0 SNDSIE レジスタ	USBF	609
UF0SET	UF0 SETリクエスト・レジスタ	USBF	611
UIFIC0	割り込み制御レジスタ76	INTC	337
UIFIC1	割り込み制御レジスタ81	INTC	337
UREIC0	割り込み制御レジスタ73	INTC	337
UREIC1	割り込み制御レジスタ78	INTC	337
URIC0	割り込み制御レジスタ74	INTC	337
URIC1	割り込み制御レジスタ79	INTC	337
US0BIC	割り込み制御レジスタ84	INTC	337
US1BIC	割り込み制御レジスタ85	INTC	337
US2BIC	割り込み制御レジスタ86	INTC	337
USP2IC	割り込み制御レジスタ87	INTC	337
USP4IC	割り込み制御レジスタ88	INTC	337
UTIC0	割り込み制御レジスタ75	INTC	337
UTIC1	割り込み制御レジスタ80	INTC	337

（12/12）

略　　号	名　　称	ユニット	ページ
UTOIC0	割り込み制御レジスタ77	INTC	337
UTOIC1	割り込み制御レジスタ82	INTC	337
VSWC	システム・ウエイト・コントロール・レジスタ	BCU	108
WAS	ライト・アクセス同期制御レジスタ	BCU	151

付録B　命令セット一覧

B. 1　凡　　例

(1) オペランド記述に使われる略号

略　号	説　　明
reg1	汎用レジスタ（ソース・レジスタとして使用）
reg2	汎用レジスタ（おもにデスティネーション・レジスタとして使用。一部の命令で，ソース・レジスタとしても使用。）
reg3	汎用レジスタ（おもに除算結果の余り，乗算結果の上位32ビットを格納）
bit#3	ビット・ナンバ指定用3ビット・データ
imm×	×ビット・イミーディエト・データ
disp×	×ビット・ディスプレースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ（00H-1FH）を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ（r3）
ep	エレメント・ポインタ（r30）
list×	×個のレジスタ・リスト

(2) オペランドに使われる略号

略　号	説　　明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレースメントの1ビット分データ
I	イミーディエトの1ビット分データ（イミーディエトの上位ビットを示す）
i	イミーディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ
S	レジスタ・リスト中のシステム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略　号	説　　明
←	代入
GR [　]	汎用レジスタ
SR [　]	システム・レジスタ
zero-extend（n）	nをワード長までゼロ拡張する。
sign-extend（n）	nをワード長まで符号拡張する。
load-memory（a, b）	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory（a, b, c）	アドレス「a」に，データ「b」をサイズ「c」で書き込む。
load-memory-bit（a, b）	アドレス「a」のビット「b」を読み出す。
store-memory-bit（a, b, c）	アドレス「a」のビット「b」に「c」を書き込む。
saturated（n）	nの飽和処理を行う（nは2の補数）。 nが計算の結果，n≧7FFFFFFFHとなった場合，n = 7FFFFFFFHとする。 nが計算の結果，n≦80000000Hとなった場合，n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト（8ビット）
Half-word	ハーフワード（16ビット）
Word	ワード（32ビット）
＋	加算
－	減算
‖	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略　号	説　　明
i	命令実行直後にほかの命令を実行する場合（issue）
r	命令実行直後に同一命令を繰り返す場合（repeat）
l	命令実行結果を命令実行直後の命令で利用する場合（latency）

(5) フラグの動作に使われる略号

略　号	説　明
（ブランク）	変化なし
0	0にクリア
×	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件名 (cond)	条件コード (cccc)	条件式	説　　明
V	0000	OV = 1	Overflow
NV	1000	OV = 0	No overflow
C/L	0001	CY = 1	Carry Lower（Less than）
NC/NL	1001	CY = 0	No carry No lower（Greater than or equal）
Z/E	0010	Z = 1	Zero Equal
NZ/NE	1010	Z = 0	Not zero Not equal
NH	0011	（CY or Z）= 1	Not higher（Less than or equal）
H	1011	（CY or Z）= 0	Higher（Greater than）
N	0100	S = 1	Negative
P	1100	S = 0	Positive
T	0101	－	Always（無条件）
SA	1101	SAT = 1	Saturated
LT	0110	（S xor OV）= 1	Less than signed
GE	1110	（S xor OV）= 0	Greater than or equal signed
LE	0111	（（S xor OV）or Z）= 1	Less than or equal signed
GT	1111	（（S xor OV）or Z）= 0	Greater than signed

B. 2 インストラクション・セット（アルファベット順）

(1/5)

ニモニック	オペランド	オペコード	オペレーション		実行クロック			フラグ				
					i	r	l	CY	OV	S	Z	SAT
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2]←GR[reg2]＋GR[reg1]		1	1	1	×	×	×	×	
	imm5, reg2	rrrrr010010iiiii	GR[reg2]←GR[reg2]＋sign-extend (imm5)		1	1	1	×	×	×	×	
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋sign-extend (imm16)		1	1	1	×	×	×	×	
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2]←GR[reg2] AND GR[reg1]		1	1	1		0	×	×	
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] AND zero-extend (imm16)		1	1	1		0	0	×	
Bcond	disp9	ddddd1011dddcccc 注1	if conditions are satisfied then PC←PC＋sign-extend (disp9)	条件成立時	3 注2	3 注2	3 注2					
				条件不成立時	1	1	1					
BSH	reg2, reg3	rrrrr11111100000 WWWWW01101000010	GR[reg3]←GR[reg2] (23:16)‖GR[reg2] (31:24)‖GR[reg2] (7:0)‖GR[reg2] (15:8)		1	1	1	×	0	×	×	
BSW	reg2, reg3	rrrrr11111100000 WWWWW01101000000	GR[reg3]←GR[reg2] (7:0)‖GR[reg2] (15:8)‖GR[reg2] (23:16)‖GR[reg2] (31:24)		1	1	1	×	0	×	×	
CALLT	imm6	0000001000iiiiii	CTPC←PC＋2 (return PC) CTPSW←PSW adr←CTBP＋zero-extend (imm6 logically shift left by 1) PC←CTBP＋zero-extend(Load-memory (adr,Half-word))		5	5	5					
CLR1	bit#3,disp16[reg1]	10bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)		3 注3	3 注3	3 注3				×	
	reg2, [reg1]	10bbb111110RRRRR ddddddddddddddd	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)		3 注3	3 注3	3 注3				×	
CMOV	cccc, imm5, reg2, reg3	rrrrr111111iiiii WWWWW011000cccc0	if conditions are satisfied then GR[reg3]←sign-extend (imm5) else GR[reg3]←GR[reg2]		1	1	1					
	cccc, reg1, reg2, reg3	rrrrr111111RRRRR WWWWW011001cccc0	if conditions are satisfied then GR[reg3]←GR[reg1] else GR[reg3]←GR[reg2]		1	1	1					
CMP	reg1, reg2	rrrrr001111RRRRR	result←GR[reg2]－GR[reg1]		1	1	1	×	×	×	×	
	imm5, reg2	rrrrr010011iiiii	result←GR[reg2]－sign-extend (imm5)		1	1	1	×	×	×	×	
CTRET		0000011111100000 0000000101000100	PC←CTPC PSW←CTPSW		4	4	4	R	R	R	R	R
DBRET		0000011111100000 0000000101000110	PC←DBPC PSW←DBPSW		4	4	4	R	R	R	R	R
DBTRAP		1111100001000000	DBPC ← PC＋2 (復帰PC) DBPSW ← PSW PSW.NP← 1 PSW.EP← 1 PSW.ID ← 1 PC ← 00000060H		4	4	4					
DI		0000011111100000 0000000101100000	PSW.ID←1		1	1	1					

(2/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
DISPOSE	imm5, list12	0000011001iiiiiL LLLLLLLLLL00000	sp←sp＋zero-extend (imm5 logically shift left by 2) GR[reg in list12]←Load-memory (sp, Word) sp←sp＋4 repeat 2 steps above until regs in list12 is loaded	n＋1 注4	n＋1 注4	n＋1 注4					
	imm5, list12 [reg1]	0000011001iiiiiL LLLLLLLLLLRRRRR 注5	sp←sp＋zero-extend (imm5 logically shift left by 2) GR[reg in list12]←Load-memory (sp, Word) sp←sp＋4 repeat 2 steps above until regs in list12 is loaded PC←GR[reg1]	n＋3 注4	n＋3 注4	n＋3 注4					
DIV	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01011000000	GR[reg2]←GR[reg2]÷GR[reg1] GR[reg3]←GR[reg2]%GR[reg1]	35	35	35		×	×	×	
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2]←GR[reg2]÷GR[reg1]注6	35	35	35		×	×	×	
	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01010000000	GR[reg2]←GR[reg2]÷GR[reg1]注6 GR[reg3]←GR[reg2]%GR[reg1]	35	35	35		×	×	×	
DIVHU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01010000010	GR[reg2]←GR[reg2]÷GR[reg1]注6 GR[reg3]←GR[reg2]%GR[reg1]	34	34	34		×	×	×	
DIVU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01011000010	GR[reg2]←GR[reg2]÷GR[reg1] GR[reg3]←GR[reg2]%GR[reg1]	34	34	34		×	×	×	
EI		1000011111100000 0000000101100000	PSW.ID←0	1	1	1					
HALT		0000011111100000 0000000100100000	停止する	1	1	1					
HSW	reg2, reg3	rrrrr11111100000 WWWWW01101000100	GR[reg3]←GR[reg2] (15:0) ‖ GR[reg2] (31:16)	1	1	1	×	0	×	×	
JARL	disp22, reg2	rrrrr11110ddddd dddddddddddddd0 注7	GR[reg2]←PC＋4 PC←PC＋sign-extend(disp22)	3	3	3					
JMP	[reg1]	00000000011RRRRR	PC←GR[reg1]	4	4	4					
JR	disp22	0000011110ddddd dddddddddddddd0 注7	PC←PC＋sign-extend(disp22)	3	3	3					
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←sign-extend (Load-memory (adr, Byte))	1	1	注11					
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←zero-extend (Load-memory (adr, Byte))	1	1	注11					
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←sign-extend (Load-memory (adr, Halfword))	1	1	注11					
LDSR	reg2, regID	rrrrr111111RRRRR 0000000000100000 注12	SR[regID]←GR[reg2] regID = PSW以外	1	1	1					
			regID = PSW	1	1	1	×	×	×	×	×
LD.HU	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注8	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←zero-extend (Load-memory (adr, Halfword))	1	1	注11					

(3/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注8	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←Load-memory (adr, Word)	1	1	注11					
MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2]←GR[reg1]	1	1	1					
	imm5, reg2	rrrrr010000iiiii	GR[reg2]←sign-extend (imm5)	1	1	1					
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1]←imm32	2	2	2					
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋sign-extend (imm16)	1	1	1					
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋(imm16 ‖ 0^{16})	1	1	1					
MUL注22	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100000	GR[reg3] ‖ GR[reg2]←GR[reg2]×GR[reg1]	1	2 注14	2					
	imm9, reg2, reg3	rrrrr111111iiiii WWWWW01001IIII00 注13	GR[reg3] ‖ GR[reg2]←GR[reg2]×sign-extend (imm9)	1	2 注14	2					
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2]←GR[reg2]注6×GR[reg1]注6	1	1	2					
	imm5, reg2	rrrrr010111iiiii	GR[reg2]←GR[reg2]注6×sign-extend (imm5)	1	1	2					
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]注6×imm16	1	1	2					
MULU注22	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100010	GR[reg3] ‖ GR[reg2]←GR[reg2]×GR[reg1]	1	2 注14	2					
	imm9, reg2, reg3	rrrrr111111iiiii WWWWW01001IIII10 注13	GR[reg3] ‖ GR[reg2]←GR[reg2]×zero-extend (imm9)	1	2 注14	2					
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1					
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2]←NOT (GR[reg1])	1	1	1		0	×	×	
NOT1	bit#3, disp16[reg1]	01bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100010	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3 注3	3 注3	3 注3				×	
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2]←GR[reg2] OR GR[reg1]	1	1	1		0	×	×	
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] OR zero-extend (imm16)	1	1	1		0	×	×	
PREPARE	list12, imm5	0000011110iiiiiL LLLLLLLLLL00001	Store-memory (sp－4, GR[reg in list12], Word) sp←sp－4 repeat 1 steps above until regs in list12 is stored sp←sp-zero-extend (imm5)	n＋1 注4	n＋1 注4	n＋1 注4					
	list12, imm5, sp/imm注15	0000011110iiiiiL LLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp－4, GR[reg in list12], Word) GR[reg in list12]←Load-memory (sp, Word) sp←sp＋4 repeat 2 steps above until regs in list12 is loaded PC←GR[reg1]	n＋2 注4 注17	n＋2 注4 注17	n＋2 注4 注17					

(4/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC ← EIPC PSW ← EIPSW else if PSW.NP = 1 then PC ← FEPC PSW ← FEPSW else PC ← EIPC PSW ← EIPSW	4	4	4	R	R	R	R	R
SAR	reg1, reg2	rrrrr111111RRRRR 0000000010100000	GR[reg2]←GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010101iiiii	GR[reg2]←GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	×	0	×	×	
SASF	cccc, reg2	rrrrr1111110cccc 0000001000000000	if conditions are satisfied then GR[reg2]←(GR[reg2] Logically shift left by 1) OR 00000001H else GR[reg2]←(GR[reg2] Logically shift left by 1) OR 00000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2]←saturated (GR[reg2]＋GR[reg1])	1	1	1	×	×	×	×	×
	imm5, reg2	rrrrr010001iiiii	GR[reg2]←saturated (GR[reg2]＋sign-extend (imm5))	1	1	1	×	×	×	×	×
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2]←saturated (GR[reg2]－GR[reg1])	1	1	1	×	×	×	×	×
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2]←saturated (GR[reg1]－sign-extend (imm16))	1	1	1	×	×	×	×	×
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2]←saturated (GR[reg1]－GR[reg2])	1	1	1	×	×	×	×	×
SETF	cccc, reg2	rrrrr1111110cccc 0000000000000000	if conditions are satisfied then GR[reg2]← 00000001H else GR[reg2]← 00000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100000	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3 注3	3 注3	3 注3				×	
SHL	reg1, reg2	rrrrr111111RRRRR 0000000011000000	GR[reg2]←GR[reg2] logically shift left by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010110iiiii	GR[reg2]←GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	×	0	×	×	
SHR	reg1, reg2	rrrrr111111RRRRR 0000000010000000	GR[reg2]←GR[reg2] logically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010100iiiii	GR[reg2]←GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	×	0	×	×	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr←ep＋zero-extend (disp7) GR[reg2]←sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110dddd 注18	adr←ep＋zero-extend (disp4) GR[reg2]←zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr←ep＋zero-extend (disp8) GR[reg2]←sign-extend (Load-memory (adr, Halfword))	1	1	注9					

(5/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111dddd 注18, 20	adr←ep＋zero-extend (disp5) GR[reg2]←zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr←ep＋zero-extend (disp8) GR[reg2]←Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr←ep＋zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr←ep＋zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010dddddd1 注21	adr←ep＋zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd0	adr←GR[reg1]＋sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注8	adr←GR[reg1]＋sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注8	adr←GR[reg1]＋sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr111111RRRRR 0000000001000000	GR[reg2]←SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2]←GR[reg2]－GR[reg1]	1	1	1	×	×	×	×	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2]←GR[reg1]－GR[reg2]	1	1	1	×	×	×	×	
SWITCH	reg1	00000000010RRRRR	adr←(PC＋2)＋(GR[reg1] logically shift left by 1) PC←(PC＋2)＋(sign-extend (Load-memory (adr, Halfward))) logically shift left by 1	5	5	5					
SXB	reg1	00000000101RRRRR	GR[reg1]←sign-extend (GR[reg1] (7：0))	1	1	1					
SXH	reg1	00000000111RRRRR	GR[reg1]←sign-extend (GR[reg1] (15：0))	1	1	1					
TRAP	vector	00000111111iiiii 0000000100000000	EIPC ← PC＋4 (復帰PC) EIPSW ← PSW ECR.EICC ← 例外コード (40H-4FH, 50H-5FH) PSW.EP ← 1 PSW.ID ← 1 PC ← 00000040H (vectorが00H-0FH (例外コード：40H-4FH) のとき) 00000050H (vectorが10H-1FH (例外コード：50H-5FH) のとき)	4	4	4					
TST	reg1, reg2	rrrrr001011RRRRR	result←GR[reg2] AND GR[reg1]	1	1	1		0	×	×	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3))	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100110	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2))	3 注3	3 注3	3 注3				×	
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2]←GR[reg2] XOR GR[reg1]	1	1	1		0	×	×	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] XOR zero-extend (imm16)	1	1	1		0	×	×	
ZXB	reg1	00000000100RRRRR	GR[reg1]←zero-extend (GR[reg1] (7：0))	1	1	1					
ZXH	reg1	00000000110RRRRR	GR[reg1]←zero-extend (GR[reg1] (15：0))	1	1	1					

注1. dddddddd は disp9 の上位 8 ビットです。

2. 直前に PSW の内容を書き換える命令がある場合は 4。

3. ウエイト・ステートがない場合（3＋リード・アクセス・ウエイト・ステート数）

4. n は list12 のロード・レジスタの合計数（ウエイト・ステート数による。ウエイト・ステートがない場合，n は list12 のレジスタ合計数。n = 0 の場合，n = 1 と同じ動作）

5. RRRRR：00000 以外

6. 下位ハーフワード・データだけ有効

7. dddddddddddddddddddddd は disp22 の上位 21 ビットです。

8. ddddddddddddddd は disp16 の上位 15 ビットです。

9. ウエイト・ステート数による（ウエイト・ステートがない場合は 1）

10. b：disp16 のビット 0

11. ウエイト・ステート数による（ウエイト・ステートがない場合は 2）

12. この命令ではニモニックの記述の都合上，ソース・レジスタを reg2 としていますが，オペコード上は reg1 のフィールドを使用しています。したがって，ニモニック記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。

    rrrrr = regID 指定

    RRRRR = reg2 指定

13. iiiii：imm9 の下位 5 ビット

    IIII：imm9 の上位 4 ビット

14. reg2 = reg3（結果の下位 32 ビットがレジスタに書き込まれない），または reg3 = r0（結果の上位 32 ビットはレジスタに書き込まれない）場合は 1 クロック短縮されます。

15. sp/imm：サブオペコードのビット 19, 20 で指定

16. ff = 00：sp を ep にロード

    01：符号拡張した 16 ビット・イミーディエト・データ（ビット 47-32）を ep にロード

    10：16 ビット論理左シフトした 16 ビット・イミーディエト・データ（ビット 47-32）を ep にロード

    11：32 ビット・イミーディエト・データ（ビット 63-32）を ep にロード

17. imm = imm32 の場合は n＋3 クロック

18. rrrrr：00000 以外

19. ddddddd は disp8 の上位 7 ビットです。

20. dddd は disp5 の上位 4 ビットです。

21. dddddd は disp8 の上位 6 ビットです。

22. 「MUL reg1, reg2, reg3」命令，「MULU reg1, reg2, reg3」命令において，次の条件をすべて満たすレジスタの組み合わせは行わないでください。この条件に当てはまる命令を実行した場合の動作は保証しません。

    - reg1 = reg3
    - reg1 ≠ reg2
    - reg1 ≠ r0
    - reg3 ≠ r0

付録C　総合索引

C. 1　50音で始まる語句の索引

【あ】

アイドル・ステート挿入機能 … 161
アクセス・クロック数 … 121
アクセス系イベント検出機能 … 917
アシンクロナス・シリアル・インタフェースB0, B1 … 486
アップ／ダウン・カウンタ・モード … 454
アドレス空間 … 73
アドレス空間の推奨使用方法 … 81
アドレス・セットアップ・ウエイト・コントロール・レジスタ … 156
アドレス・マルチプレクス機能 … 213

【い】

イニシャライズ … 909
イベント機能 … 916
イメージ … 74
インサービス・プライオリティ・レジスタ … 343
インターバル・タイマ … 431, 448
イントロダクション … 18

【う】

ウエイト機能 … 154
ウエイト機能が有効なバス・サイクル … 160

【え】

エッジ検出機能 … 329
エッジ検出モード … 275
エミュレータ接続コネクタ … 919
エンディアン・コンフィギュレーション・レジスタ … 123
エンディアン制御機能 … 123

【お】

応用分野 … 21
オーダ情報 … 21
オート・リフレッシュ・サイクル … 249
オート・リフレッシュ・タイミング … 250
オートフィル機能 … 171
オンチップ・デバッグ … 915
オンチップ・デバッグ機能 … 27
オンページ／オフページの判断 … 204

【か】

外形図 … 967
外部ウエイト機能 … 159
外部トリガ・モード … 770
外部トリガ・モード時の動作 … 782
外部メモリ領域 … 80
外部割り込み立ち上がりエッジ指定レジスタ1 … 344, 840
外部割り込み立ち上がりエッジ指定レジスタ2 … 329, 346, 845
外部割り込み立ち上がりエッジ指定レジスタ5 … 348, 851
外部割り込み立ち上がりエッジ指定レジスタ6 … 350, 856
外部割り込み立ち上がりエッジ指定レジスタAL … 352, 866
外部割り込み立ち上がりエッジ指定レジスタDH, DHH, DHL … 353, 878
外部割り込み立ち下がりエッジ指定レジスタ1 … 344, 840
外部割り込み立ち下がりエッジ指定レジスタ2 … 329, 346, 845
外部割り込み立ち下がりエッジ指定レジスタ5 … 348, 851
外部割り込み立ち下がりエッジ指定レジスタ6 … 350, 856
外部割り込み立ち下がりエッジ指定レジスタAL … 352, 866

外部割り込み立ち下がりエッジ指定レジスタDH, DHH, DHL … 353, 878
各クロックの動作状態 … 383
各ポートの端子機能 … 837
完全トレース・モード … 916

【き】
奇数パリティ … 523
機能ブロック構成 … 25
キャッシュ … 27
キャッシュ・コンフィギュレーション・レジスタ … 164
キャプチャ／コンペア・コントロール・レジスタ10, 11 … 459
キャプチャ／コンペア・レジスタ100, 110 … 468
キャプチャ／コンペア・レジスタ101, 111 … 469
キャプチャ／コンペア・レジスタCn0, Cn1 … 414
境界動作条件 … 185
強制終了 … 314
強制中断 … 313
強制ブレーク機能 … 915
強制リセット機能 … 915

【く】
偶数パリティ … 523
繰り返し周期 … 806
クロック・コントロール・レジスタ … 371
クロック・ジェネレータ … 27
クロック・ソース選択レジスタ … 376
クロック同期式シリアル・インタフェース30, 31 … 544
クロック同期式シリアル・インタフェース・クロック選択レジスタ30, 31 … 549
クロック同期式シリアル・インタフェース・モード・レジスタ30, 31 … 547
クロック発生機能 … 370

【こ】
コマンド・レジスタ … 390
コントロール・モード時の兼用機能の出力状態 … 895
コンペア・レジスタ100, 110 … 467
コンペア・レジスタ101, 111 … 467
コンペア・レジスタD0-D3 … 442

【さ】
先読み機能 … 148
サンプリング時間 … 763
サンプリング・ブロック … 489

【し】
シーケンシャル・イベント検出機能 … 917
システム・ウエイト・コントロール・レジスタ … 108
システム・レジスタ・セット … 66
自動リクエスト … 592
周期測定 … 435
受信エラー … 522
受信エラー割り込み … 508
受信完了割り込み … 508, 520
受信シフト・レジスタn … 488
受信タイムアウト割り込み … 510, 521
受信データのノイズ・フィルタ … 524
受信データ・バッファ・レジスタ30, 30H, 30L , 31, 31H, 31L … 552
受信動作 … 519
受信モード … 577
受信割り込み要求 … 520
出力端子 … 580
主パルス生成／出力制御回路 … 794
初期化シーケンス … 109
初期化処理 … 711
シリアルI/Oシフト・レジスタ0,1 … 545
シリアル・インタフェース … 27
シリアル・インタフェース機能 … 485
シリアル・クロックとデータ・フェーズの切り替え機能 … 569
シングルステップ転送モード … 279
シングル転送モード … 277
シングル・モード … 511, 573

【す】
推奨回路例 … 920
推奨発振回路 … 923
スキャン・モード … 774

スキャン・モードの動作 … 777, 781, 785
ステータス・レジスタ10, 11 … 464
スレーブ・モード … 571

【せ】
積分直線性誤差 … 792
セルフ・リフレッシュ制御機能 … 251
セレクト・モード … 771
セレクト・モードの動作 … 775, 778, 782
ゼロスケール誤差 … 791
専用ボー・レート・ジェネレータ0, 1 … 525, 559

【そ】
総合誤差 … 789
送受信完了割り込みの遅延制御機能 … 578
送受信モード … 577
送信完了割り込み … 509
送信シフト・レジスタn … 488
送信データCSIバッファ・レジスタ30, 30H, 30L , 31, 31H, 31L … 553
送信動作 … 515
送信モード … 577
その他のリクエスト … 600
ソフトウエアSTOPモード … 388, 401
ソフトウエア例外 … 359

【た】
タイマC … 409
タイマC0-C5 … 412
タイマC，タイマENC1入力端子 … 897
タイマD … 440
タイマD0-D3 … 441
タイマENC1 … 450
タイマENC10, ENC11 … 453
タイマ／カウンタ機能 … 27, 409
タイマ・コントロール・レジスタ10, 11 … 457
タイマ・トリガ・モード … 770
タイマ・トリガ・モード時の動作 … 778
タイマ・モード・コントロール・レジスタC00-C50 … 416
タイマ・モード・コントロール・レジスタC01-C51 … 418
タイマ・モード・コントロール・レジスタD0-D3 … 444
タイマ・ユニット・モード・レジスタ10, 11 … 455
タイムアウト・カウンタ … 489
タイム・ベース・カウンタ … 407
タグ・クリア機能 … 170
多重割り込み処理制御 … 366
端子機能 … 29
端子機能一覧 … 29
端子機能の説明 … 41
端子状態 … 39
端子接続図 … 22
端子の入出力回路 … 62
端子の入出力回路タイプと未使用時の処理 … 57

【ち】
チップ・セレクト制御機能 … 117
チップ・エリア選択コントロール・レジスタ0 … 117
チップ・エリア選択コントロール・レジスタ1 … 117
中断要因（DMA） … 320

【つ】
通常動作モード … 72

【て】
データ・ウエイト・コントロール・レジスタ0 … 154
データ・ウエイト・コントロール・レジスタ1 … 154
データ転送方向指定機能 … 564
データ・トレース機能 … 916
データ・フォーマット … 514
データ保持レジスタ … 661
データ・リード制御機能 … 147
デコード … 592
デバッグ・インタフェース … 915
デバッグ機能 … 915
デバッグ・トラップ … 364
デバッグ・モニタ機能 … 915
電圧コンパレータ … 760

電気的特性 … 921
電源投入後の処理 … 746
電源投入／遮断時の注意事項 … 40
転送ウエイト許可／禁止指定機能 … 579
転送クロック選択機能 … 572
転送対象 … 304
転送タイプ … 281
転送データ数指定レジスタ30, 31 … 558
転送データ長選択レジスタ30, 31 … 557
転送データ長変更機能 … 568
転送の種類と転送対象 … 304
転送モード … 277

【と】
動作モード … 72, 771
動作モード指定 … 72
特定状態でのレジスタ値 … 707
特定レジスタ … 108
トリガ・モード … 770
トレース機能 … 916

【な】
内蔵周辺I/O領域 … 80
内蔵周辺I/Oレジスタ … 83
内蔵データRAM領域 … 79
内蔵命令RAM制御機能 … 172
内蔵命令RAM，内蔵データRAM，内蔵周辺I/Oアクセス時の端子状態 … 115
内蔵命令RAMモード・レジスタ … 172
内蔵命令RAM領域 … 77
内部動作補足説明 … 480
内部ブロック図 … 25
内部ユニット … 26

【に】
入出力ポートからの読み出し … 895
入出力ポートへの書き込み … 895
入力回路 … 760
入力クロック（Fx）の設定一覧 … 383

【ね】
ネクスト・アドレス設定機能 … 308

【の】
ノイズ除去回路 … 896
ノイズ除去幅設定レジスタ10, 11 … 465, 899
ノイズ除去幅設定レジスタC0-C3 … 423, 898
ノンマスカブル割り込み … 325
ノンマスカブル割り込みステータス・フラグ … 329
ノンリアルタイム・トレース・モード … 916

【は】
ハーフワード・アクセス … 129
バイト・アクセス … 126
バス・アクセス … 121
バス・クロック制御機能 … 152
バス・コントロール・ユニット … 26
バス・サイクル・コントロール・レジスタ … 161
バス・サイクル・タイプ・コンフィギュレーション・レジスタ0 … 120
バス・サイクル・タイプ・コンフィギュレーション・レジスタ1 … 120
バス・サイクル・タイプ制御機能 … 120
バス・サイクル・ピリオド・コントロール・レジスタ … 157
バス・サイジング機能 … 122
バス制御機能 … 114
バス制御端子 … 114
バスの優先順位 … 185
バス幅 … 126
バス・ホールド機能 … 175
バス・ホールド・タイミング … 177
バス・ホールド・タイミング（SDRAM） … 181
バス・ホールド・タイミング（SRAM） … 178
バス・ホールド手順 … 176
バス・モード・コントロール・レジスタ … 152
発振安定時間選択レジスタ … 382
発振安定時間の確保 … 407
発振安定時間の確保指定 … 407
パリティなし … 523
パリティの種類と動作 … 523
パルス合成／出力制御回路 … 795
パワー・セーブ・コントロール・レジスタ … 391
パワー・セーブ制御 … 388
パワー・セーブ・モード・レジスタ … 390

パワー・セーブ・モード時の動作 … 176
半田付け推奨条件 … 968
汎用タイマ・モード … 453, 470
汎用レジスタ … 65

【ひ】
微分直線性誤差 … 792

【ふ】
付加パルス生成／出力制御回路 … 795
不正命令コード … 362
プログラム・レジスタ・セット … 65
フライバイ転送 … 292
プリスケーラ … 794
プリスケーラ・モード・レジスタ10, 11 … 462
フルスケール誤差 … 791
プログラマブル・ウエイト機能 … 154
プログラマブル・ウエイトと外部ウエイトの関係 … 159
プログラム・カウンタ … 66
プログラム・ステータス・ワード … 69
プログラム・レジスタ・セット … 65
ブロック転送モード … 280
分解能 … 789

【へ】
ページROM アクセス … 206
ページROMコントローラ … 26, 202
ページROMコンフィギュレーション・レジスタ … 205
ページROMの接続 … 203
変換時間 … 793

【ほ】
ポインタ・モード … 512
ポート … 28
ポート1 … 837
ポート1ファンクション・コントロール・レジスタ … 839
ポート1モード・コントロール・レジスタ … 838
ポート1モード・レジスタ … 838
ポート2 … 842
ポート2ファンクション・コントロール・レジスタ … 844
ポート2モード・コントロール・レジスタ … 843
ポート2モード・レジスタ … 843
ポート5 … 847
ポート5ファンクション・コントロール・レジスタ … 850
ポート5モード・コントロール・レジスタ … 849
ポート5モード・レジスタ … 848
ポート6 … 853
ポート6ファンクション・コントロール・レジスタ … 855
ポート6モード・コントロール・レジスタ … 854
ポート6モード・レジスタ … 854
ポート7 … 858
ポート7ファンクション・コントロール・レジスタ … 861
ポート7モード・コントロール・レジスタ … 860
ポート7モード・レジスタ … 859
ポートAH, AHH, AHL … 868
ポートAHモード・コントロール・レジスタ，ポートAHモード・コントロール・レジスタH, L … 869
ポートAHモード・レジスタ，ポートAHモード・レジスタH, L … 869
ポートAL, ALH, ALL … 863
ポートALファンクション・コントロール・レジスタL … 865
ポートALモード・コントロール・レジスタ，ポートALモード・コントロール・レジスタH, L … 865
ポートALモード・レジスタ，ポートALモード・レジスタH, L … 864
ポートCD … 891
ポートCDモード・コントロール・レジスタ … 892
ポートCDモード・レジスタ … 891
ポートCM … 889
ポートCMファンクション・コントロール・レジスタ … 890
ポートCMモード・コントロール・レジスタ … 890
ポートCMモード・レジスタ … 889
ポートCS … 880

ポートCSファンクション・コントロール・レジスタ … 883
ポートCSモード・コントロール・レジスタ … 882
ポートCSモード・レジスタ … 881
ポートCT … 885
ポートCTファンクション・コントロール・レジスタ … 888
ポートCTモード・コントロール・レジスタ … 887
ポートCTモード・レジスタ … 886
ポートDH, DHH, DHL … 870
ポートDHファンクション・コントロール・レジスタ，ポートDHファンクション・コントロール・レジスタH, L … 875
ポートDHモード・コントロール・レジスタ，ポートDHモード・コントロール・レジスタH, L … 873
ポートDHモード・レジスタ，ポートDHモード・レジスタH, L … 872
ポート機能 … 807
ポート機能の動作 … 895
ポートの基本構成 … 807
保留モード … 512

【ま】
マスカブル割り込み … 330
マスカブル割り込みステータス・フラグ … 343
マスカブル割り込みの優先順位 … 333
マスク機能 … 916
マスク・モード … 275
マスタ・モード … 570

【め】
命令キャッシュ機能 … 163
命令キャッシュ・コントロール機能 … 167
命令キャッシュ・コントロール・レジスタ … 167
命令キャッシュ・コントロール・レジスタH … 167
命令キャッシュ・コントロール・レジスタL … 167
命令キャッシュ・データ・コンフィギュレーション・レジスタ … 169
命令系イベント検出機能 … 917
メモリ・アクセス制御機能 … 190
メモリ・ブロック機能 … 116
メモリ・マップ … 76

【も】
モジュロHレジスタn … 798
モジュロLレジスタn … 798

【ゆ】
有効エッジ選択レジスタ10, 11 … 357, 460
有効エッジ選択レジスタC0-C3 … 355, 421

【ら】
ライト・アクセス同期制御レジスタ … 151
ライト・バッファ機能 … 150
ライン・バッファ・コントロール・レジスタ0 … 147
ライン・バッファ・コントロール・レジスタ1 … 147

【り】
リアルタイム・トレース・モード … 916
リード・バッファ機能 … 148
リクエスト … 592
リクエスト・データ・レジスタ … 686
リセット機能 … 903
リフレッシュ制御機能 … 246
領域 … 77
量子化誤差 … 790
リロード制御 … 794

【る】
ルネサス エレクトロニクス製開発ツールにおけるビッグ・エンディアン形式の使用制限 … 124

【れ】
例外ステータス・フラグ … 361
例外／デバッグ・トラップ時状態退避レジスタ … 71
例外トラップ … 362
レベル検出モード … 275
連続送信動作 … 518
連続モード … 575

【ろ】

ローカル・バス・サイジング・コントロール・レジスタ … 122

ロック・レジスタ … 381

【わ】

ワード・アクセス … 135

割り込み応答時間 … 368

割り込みコントローラ … 27

割り込み時状態退避レジスタ … 67

割り込み処理 … 714

割り込み制御レジスタ … 337

割り込みトリガ・モードの選択 … 344, 840, 845, 851, 856, 866, 878

割り込みマスク・レジスタ0-5, 0H-5H, 0L-5L … 340

割り込み入力端子 … 896

割り込み要因レジスタ … 68

割り込み／例外処理機能 … 321

C. 2 数字，アルファベットで始まる語句の索引

【数字】

0パリティ … 523

16ビット2相エンコーダ入力用アップ/ダウン・カウンタ／汎用タイマ … 450

1バッファ・モード … 771, 775, 778, 782

2サイクル転送 … 281

4バッファ・モード … 773, 776, 780, 784

8 Kバイト2ウエイ・セット・アソシアティブ・キャッシュ … 166

【A】

A0, A1 … 52

A16-A25 … 52

A2-A15 … 56

AC特性 … 926

ADC … 27

ADCRn … 760, 767

ADCRnH … 760, 767

ADCトリガ選択レジスタ … 766

ADIC … 337

ADM0 … 762

ADM1 … 763

ADM2 … 765

ADTRG … 47

ADTS … 766

A/Dコンバータ … 27, 759

A/Dコンバータ特性表の読み方 … 789

A/Dコンバータ入力端子 … 897

A/Dコンバータ・モード・レジスタ0 … 762

A/Dコンバータ・モード・レジスタ1 … 763

A/Dコンバータ・モード・レジスタ2 … 765

A/Dトリガ・モード … 770

A/Dトリガ・モード時の動作 … 775

A/D変換結果レジスタn … 760, 767

A/D変換結果レジスタnH … 760, 767

ANI0-ANI7 … 55

ANI0-ANI7端子 … 760

ASC … 156

AV_{DD} … 55

AV_{DD}端子 … 760

AV_{REFM}, AV_{REFP} … 55

AV_{REFM}, AV_{REFP}端子 … 760

AV_{SS} … 55

AV_{SS}端子 … 760

【B】

BCC … 161

BCP … 157

BCT0 … 120

BCT1 … 120

BCU … 26

$\overline{BCYST}$ … 49

BEC … 123

BHC … 164

BMC … 152

BRG0, BRG1 … 525, 559

BUSCLK … 51

【C】

CALLT実行時状態退避レジスタ … 70

CALLTベース・ポインタ … 71

C-Array … 760

CBRリフレッシュ・サイクル … 249

CBRリフレッシュ・タイミング … 250

CC100, CC110 … 468

CC101, CC111 … 469

CC10IC0 … 337

CC10IC1 … 337

CC11IC0 … 337

CC11IC1 … 337

CCC0IC0 … 337

CCC0IC1 … 337

CCC1IC0 … 337

CCC1IC1 … 337

CCC2IC0 … 337

CCC2IC1 … 337

CCC3IC0 … 337

CCC3IC1 … 337

CCC4IC0 … 337

CCC4IC1 … 337

CCC5IC0 … 337

CCC5IC1 … 337

CCCn0, CCCn1 … 414
CCR10, CCR11 … 459
C-Dummy … 760
CG … 27
CKC … 371
CKS … 376
CLEAR_FEATURE( )リクエスト … 595
CM100, CM110 … 467
CM101, CM111 … 467
CM10IC0 … 337
CM10IC1 … 337
CM11IC0 … 337
CM11IC1 … 337
CMD0-CMD3 … 442
CMDIC0 … 337
CMDIC1 … 337
CMDIC2 … 337
CMDIC3 … 337
COVF3IC0 … 337
COVF3IC1 … 337
CPU … 26
CPUアドレス空間 … 73
CPUアドレス空間のラップ・アラウンド … 75
CPUが割り込みを受け付けない期間 … 369
CPU機能 … 63
CPUレジスタ・セット … 64
$\overline{\text{CS0}}$-$\overline{\text{CS7}}$ … 50
CSC0 … 117
CSC1 … 117
CSI30, CSI31 … 544
CSI3IC0 … 337
CSI3IC1 … 337
CSIBUF0, CSIBUF1 … 545, 562
CSIBUFnオーバフロー割り込み信号 … 581
CSIBUF状態レジスタ30, 31 … 554
CSIC30, CSIC31 … 549
CSIL30, CSIL31 … 557
CSIM30, CSIM31 … 547
CSIデータ・バッファ・レジスタ0, 1 … 545
CSIデータ・バッファ・レジスタ0, 1機能 … 562
CTBP … 71
CTPC … 70
CTPSW … 70

【D】
D0-D15 … 56
D16-D31 … 54
DADC0-DADC3 … 263
DBC0-DBC3 … 262
DBPC … 71
DBPSW … 71
DCHC0-DCHC3 … 266
DCK … 54
DCU … 27, 915
DC特性 … 925
DDA0H-DDA3H … 260
DDA0L-DDA3L … 261
DDI … 54
DDO … 54
DIFC … 276
$\overline{\text{DMAAK0}}$, $\overline{\text{DMAAK1}}$ … 43
$\overline{\text{DMAAK2}}$, $\overline{\text{DMAAK3}}$ … 45
DMAC … 26
DMAIC0 … 337
DMAIC1 … 337
DMAIC2 … 337
DMAIC3 … 337
$\overline{\text{DMARQ0}}$, $\overline{\text{DMARQ1}}$ … 43
$\overline{\text{DMARQ2}}$, $\overline{\text{DMARQ3}}$ … 45
DMAアドレシング・コントロール・レジスタ0-3 … 263
DMAインタフェース・コントロール・レジスタ … 276
DMA機能 … 256
DMAコントローラ … 26, 256
DMAソース・アドレス・レジスタ0H-3H … 258
DMAソース・アドレス・レジスタ0L-3L … 259
DMAターミナル・カウント出力コントロール・レジスタ … 270
DMAチャネル・コントロール・レジスタ0-3 … 266
DMAチャネルの優先順位 … 307
DMAデスティネーション・アドレス・レジスタ0H-3H … 260
DMAデスティネーション・アドレス・レジスタ0L-3L … 261
DMA転送カウント・レジスタ0-3 … 262

DMA転送完了時のターミナル・カウント出力 … 312
DMA転送起動要因 … 310
DMA転送時の外部バス・サイクル … 307
DMA転送に関する各種時間 … 315
DMA転送の終了 … 320
DMAトリガ要因レジスタ0-3 … 271
DMAフライバイ転送アイドル・コントロール・レジスタ … 162
DMAフライバイ転送ウエイト・コントロール・レジスタ … 158
DMAモードによるバルク転送（IN）のデータ送信方法 … 753
DMAモードによるバルク転送（OUT）のデータ受信方法 … 749
DMA要求検出機能 … 275
DMA要求に対する応答時間の最大値 … 316
DMS … 54
$\overline{\text{DRST}}$ … 55
DSA0H-DSA3H … 258
DSA0L-DSA3L … 259
DTFR0-DTFR3 … 271
DTOC … 270
DWC0 … 154
DWC1 … 154

【E】
ECR … 68
EIPC … 67
EIPSW … 67
EP … 361
EV_{DD} … 55
EV_{SS} … 55

【F】
FEPC … 68
FEPSW … 68
FIC … 162
FIFO送信完了割り込み … 509
FIFOモード … 511
FWC … 158
FW処理 … 709

【G】
GET_CONFIGURATION( )リクエスト … 595
GET_DESCRIPTOR( )リクエスト … 596
GET_INTERFACE( )リクエスト … 596
GET_STATUS( )リクエスト … 597

【H】
HALTモード … 388, 393
$\overline{\text{HLDAK}}$ … 46
$\overline{\text{HLDRQ}}$ … 47

【I】
ICC … 167
ICCH … 167
ICCL … 167
ICD … 169
ID … 343
IDLEモード … 388, 397
IMR0-IMR5, IMR0H-IMR5H, IMR0L-IMR5L … 340
INTC … 27
INTCOVF3n … 581
INTF1 … 344, 840
INTF2 … 329, 346, 845
INTF5 … 348, 851
INTF6 … 350, 856
INTFAL … 352, 866
INTFDH, INTFDHH, INTFDHL … 353, 878
$\overline{\text{INTP10}}$, $\overline{\text{INTP11}}$ … 41
INTP100, INTP101, INTP110, INTP111 … 53
$\overline{\text{INTP21}}$-$\overline{\text{INTP25}}$ … 42
$\overline{\text{INTP50}}$-$\overline{\text{INTP52}}$ … 44
$\overline{\text{INTP65}}$-$\overline{\text{INTP67}}$ … 44
INTPC00, INTPC01 … 43
INTPC10, INTPC11 … 44
INTPC20, INTPC21, INTPC30, INTPC31 … 45
$\overline{\text{INTPD0}}$-$\overline{\text{INTPD15}}$ … 53
$\overline{\text{INTPL0}}$, $\overline{\text{INTPL1}}$ … 52
INTR1 … 344, 840
INTR2 … 329, 346, 845
INTR5 … 348, 851
INTR6 … 350, 856
INTRAL … 352, 866

INTRDH, INTRDHH, INTRDHL … 353, 878
$\overline{\text{IORD}}$ … 50
$\overline{\text{IOWR}}$ … 50
IRAMM … 172
ISPR … 343
IV_{DD} … 56
IV_{SS} … 56

【J】
JIT0, JIT1 … 54

【L】
LBC0 … 147
LBC1 … 147
LBS … 122
$\overline{\text{LLBE}}$ … 48
LLDQM … 49
$\overline{\text{LLWR}}$ … 48
LOCKR … 381
LRU**アルゴリズム** … 166
$\overline{\text{LUBE}}$ … 48
LUDQM … 49
$\overline{\text{LUWR}}$ … 48

【M】
MODE0, MODE1 … 55

【N】
NCW10, NCW11 … 465, 899
NCWC0-NCWC3 … 423, 898
NMI … 42
NMI**時状態退避レジスタ** … 68
NMI**リセット・ステータス・レジスタ** … 342
NP … 329
NRS … 342

【O】
$OSCV_{DD}$ … 55
$OSCV_{SS}$ … 55
OSTS … 382
OV1IC0 … 337
OV1IC1 … 337
OVCIC0 … 337
OVCIC1 … 337
OVCIC2 … 337
OVCIC3 … 337
OVCIC4 … 337
OVCIC5 … 337

【P】
P1 … 837
P10-P13 … 41
P1IC0 … 337
P1IC1 … 337
P2 … 842
P20-P25 … 42
P2IC1 … 337
P2IC2 … 337
P2IC3 … 337
P2IC4 … 337
P2IC5 … 337
P5 … 847
P50-P55 … 43
P5IC0 … 337
P5IC1 … 337
P5IC2 … 337
P6 … 853
P65-P67 … 44
P6IC5 … 337
P6IC6 … 337
P6IC7 … 337
P7 … 858
P72-P77 … 45
PAH, PAHH, PAHL … 868
PAH0-PAH9 … 52
PAL, PALH, PALL … 863
PAL0, PAL1 … 52
PC … 66
PCD … 891
PCD0-PCD3 … 51
PCM … 889
PCM0-PCM5 … 46
PCS … 880
PCS0-PCS7 … 50
PCT … 885
PCT0-PCT5, PCT7 … 47

PCトレース（分岐トレース）機能 … 916
PDH, PDHH, PDHL … 870
PDH0-PDH15 … 53
PDIC0 … 337
PDIC1 … 337
PDIC10 … 337
PDIC11 … 337
PDIC12 … 337
PDIC13 … 337
PDIC14 … 337
PDIC15 … 337
PDIC2 … 337
PDIC3 … 337
PDIC4 … 337
PDIC5 … 337
PDIC6 … 337
PDIC7 … 337
PDIC8 … 337
PDIC9 … 337
PFC1 … 839
PFC2 … 844
PFC5 … 850
PFC6 … 855
PFC7 … 861
PFCALL … 865
PFCCM … 890
PFCCS … 883
PFCCT … 888
PFCDH, PFCDHH, PFCDHL … 875
PLIC0 … 337
PLIC1 … 337
PLLSEL … 54
PLLVDD … 54
PLLVSS … 54
PM1 … 838
PM2 … 843
PM5 … 848
PM6 … 854
PM7 … 859
PMAH, PMAHH, PMAHL … 869
PMAL, PMALH, PMALL … 864
PMC1 … 838
PMC2 … 843
PMC5 … 849
PMC6 … 854
PMC7 … 860
PMCAH, PMCAHH, PMCAHL … 869
PMCAL, PMCALH, PMCALL … 865
PMCCD … 892
PMCCM … 890
PMCCS … 882
PMCCT … 887
PMCD … 891
PMCDH, PMCDHH, PMCDHL … 873
PMCM … 889
PMCS … 881
PMCT … 886
PMDH, PMDHH, PMDHL … 872
PRC … 205
PRCMD … 390
PRM10, PRM11 … 462
PSC … 391
PSMR … 390
PSW … 69
PWM … 27
PWM0, PWM1 … 53, 798
PWMC0, PWMC1 … 796
PWMHn, PWMLn … 798
PWMコントロール・レジスタ0, 1 … 796
PWM出力 … 433
PWMパルスのアクティブ・レベルの設定 … 804
PWMパルス幅書き換え周期の指定 … 805
PWMモジュロ・レジスタ0, 1, H0, H1, L0, L1 … 798
PWMユニット … 794

【R】

r0-r31 … 65
RAM … 26
$\overline{\text{RD}}$ … 49
$\overline{\text{REFRQ}}$ … 47
$\overline{\text{RESET}}$ … 55
$\overline{\text{RESET}}$, A2-A15, D0-D15 端子の構成 … 893
RFS1, RFS3, RFS4, RFS6 … 246
ROMC … 26, 202
RSUMIC … 337

RXD0 … 41
RXD1 … 42

【S】
$\overline{\text{SCK0}}$ … 41
$\overline{\text{SCK1}}$ … 42
SCR1, SCR3, SCR4, SCR6 … 219
$\overline{\text{SDCAS}}$ … 51
SDCKE … 51
SDRAMC … 26, 212
SDRAMアクセス … 222
SDRAMアクセス・タイミングの制御 … 236
SDRAMコントローラ … 26, 212
SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6 … 219
SDRAM初期化シーケンス … 253
SDRAMシングル・ライト・サイクル … 229
SDRAMシングル・リード・サイクル … 223
SDRAMの接続 … 212
SDRAMリフレッシュ・コントロール・レジスタ1, 3, 4, 6 … 246
$\overline{\text{SDRAS}}$ … 51
$\overline{\text{SELFREF}}$ … 47
SESA10, SESA11 … 357, 460
SESC0-SESC3 … 355, 421
SET_ADDRESS( )リクエスト … 597
SET_CONFIGURATION( )リクエスト … 598
SET_FEATURE( )リクエスト … 599
SET_INTERFACE( )リクエスト … 599
SFA30, SFA31 … 554
SFDB30, SFDB30H, SFDB30L, SFDB31, SFDB31H, SFDB31L … 553
SFN30, SFN31 … 558
SI0 … 41
SI1 … 42
SIO0, SIO1 … 545
SIRB30, SIRB30H, SIRB30L, SIRB31, SIRB31H, SIRB31L … 552
SO0 … 41
SO1 … 42
SRAM，外部ROM，外部I/Oアクセス … 192
SRAM,外部ROM,外部I/Oインタフェース … 190
SRAMの接続 … 191
SSCGC … 378
SSCGコントロール・レジスタ … 378
SSEL0, SSEL1 … 54
STALLハンドシェークまたはノー・ハンドシェーク … 706
STATUS10, STATUS11 … 464
Suspend/Resume 処理 … 743

【T】
TBC … 407
$\overline{\text{TC0}}$, $\overline{\text{TC1}}$ … 43
$\overline{\text{TC2}}$, $\overline{\text{TC3}}$ … 45
TCLR10, TCLR11 … 53
TCUD10, TCUD11 … 53
TIC0 … 43
TIC1 … 44
TIC2, TIC3 … 45
TIUD10, TIUD11 … 53
TMC0-TMC5 … 412
TMC10, TMC11 … 457
TMCC00-TMCC50 … 416
TMCC01-TMCC51 … 418
TMCD0-TMCD3 … 444
TMD0-TMD3 … 441
TMENC10, TMENC11 … 453
TO10, TO11 … 53
TOC0 … 44
TOC1 … 44
TOC2, TOC3 … 46
TOC4, TOC5 … 53
TRCCLK … 56
TRCDATA0-TRCDATA3 … 56
TRCEND … 56
TUM10, TUM11 … 455
TXD0 … 41
TXD1 … 42

【U】
UARTB0, UARTB1 … 486
UARTB0とCSI30のモード切り替え … 485
UARTBnFIFO状態レジスタ0 … 506
UARTBnFIFO状態レジスタ1 … 507
UARTBnFIFO制御レジスタ0 … 500

UARTBnFIFO制御レジスタ1 … 502
UARTBnFIFO制御レジスタ2, 2H, 2L … 503
UARTBn受信データ・レジスタ … 498
UARTBn受信データ・レジスタAP … 498
UARTBn状態レジスタ … 494
UARTBn制御レジスタ0 … 491
UARTBn制御レジスタ2 … 496
UARTBn送信データ・レジスタ … 497
UBnCTL0 … 491
UBnCTL2 … 496
UBnFIC0 … 500
UBnFIC1 … 502
UBnFIC2, UBnFIC2H, UBnFIC2L … 503
UBnFIS0 … 506
UBnFIS1 … 507
UBnRX … 498
UBnRXAP … 498
UBnSTR … 494
UBnTX … 497
UBTIFn … 509
UBTIRn … 508, 520
UBTIREn … 508
UBTITn … 509
UBTITOn … 510, 521
UCKC … 380
UCLK … 41
UD1IC0 … 337
UD1IC1 … 337
UDCモード … 454, 473
UDM … 56
UDP … 56
UF0AAS … 647
UF0ADRS … 694
UF0AIFN … 646
UF0ASS … 648
UF0BC … 703
UF0BI1 … 674
UF0BI2 … 678
UF0BO1 … 667
UF0BO1L … 670
UF0BO2 … 671
UF0BO2L … 673
UF0CIE0-UF0CIE255 … 700
UF0CLR … 610
UF0CLRリクエスト・レジスタ … 610
UF0CNF … 695
UF0CS … 702
UF0DD0-UF0DD17 … 699
UF0DEND … 641
UF0DMAステータス0レジスタ … 637
UF0DMAステータス1レジスタ … 638
UF0DMS0 … 637
UF0DMS1 … 638
UF0DSCL … 698
UF0DSTL … 686
UF0E0L … 662
UF0E0N … 601
UF0E0NA … 603
UF0E0R … 661
UF0E0SL … 687
UF0E0ST … 663
UF0E0W … 665
UF0E1IM … 649
UF0E1SL … 688
UF0E2IM … 651
UF0E2SL … 689
UF0E3IM … 653
UF0E3SL … 690
UF0E4IM … 655
UF0E4SL … 691
UF0E7IM … 657
UF0E7SL … 692
UF0E8IM … 659
UF0E8SL … 693
UF0EN … 604
UF0ENM … 608
UF0EP0NAKALLレジスタ … 603
UF0EP0NAKレジスタ … 601
UF0EP0ステータス・レジスタL … 687
UF0EP0セットアップ・レジスタ … 663
UF0EP0ライト・レジスタ … 665
UF0EP0リード・レジスタ … 661
UF0EP0レングス・レジスタ … 662
UF0EP1ステータス・レジスタL … 688
UF0EP2ステータス・レジスタL … 689
UF0EP3ステータス・レジスタL … 690

UF0EP4ステータス・レジスタL … 691
UF0EP7ステータス・レジスタL … 692
UF0EP8ステータス・レジスタL … 693
UF0EPNAKマスク・レジスタ … 608
UF0EPNAKレジスタ … 604
UF0EPS0 … 612
UF0EPS1 … 614
UF0EPS2 … 615
UF0EPステータス0レジスタ … 612
UF0EPステータス1レジスタ … 614
UF0EPステータス2レジスタ … 615
UF0FIC0 … 639
UF0FIC1 … 640
UF0FIFOクリア0レジスタ … 639
UF0FIFOクリア1レジスタ … 640
UF0GPR … 643
UF0GPRレジスタ … 643
UF0IC0 … 630
UF0IC1 … 631
UF0IC2 … 632
UF0IC3 … 633
UF0IC4 … 634
UF0IDR … 635
UF0IF0 … 696
UF0IF1-UF0IF4 … 697
UF0IM0 … 625
UF0IM1 … 626
UF0IM2 … 627
UF0IM3 … 628
UF0IM4 … 629
UF0INT1 … 682
UF0INT2 … 684
UF0INT＆DMARQレジスタ … 635
UF0INTクリア0レジスタ … 630
UF0INTクリア1レジスタ … 631
UF0INTクリア2レジスタ … 632
UF0INTクリア3レジスタ … 633
UF0INTクリア4レジスタ … 634
UF0INTステータス0レジスタ … 616
UF0INTステータス1レジスタ … 618
UF0INTステータス2レジスタ … 621
UF0INTステータス3レジスタ … 622
UF0INTステータス4レジスタ … 624
UF0INTマスク0レジスタ … 625
UF0INTマスク1レジスタ … 626
UF0INTマスク2レジスタ … 627
UF0INTマスク3レジスタ … 628
UF0INTマスク4レジスタ … 629
UF0IS0 … 616
UF0IS1 … 618
UF0IS2 … 621
UF0IS3 … 622
UF0IS4 … 624
UF0MODC … 644
UF0MODS … 645
UF0SDS … 609
UF0SET … 611
UF0SETリクエスト・レジスタ … 611
UF0SNDSIEレジスタ … 609
UF0アクティブ・インタフェース・ナンバー・レジスタ … 646
UF0アクティブ・オルタナティブ・セッティング・レジスタ … 647
UF0アドレス・レジスタ … 694
UF0インタフェース0レジスタ … 696
UF0インタフェース1-4レジスタ … 697
UF0インタラプト1レジスタ … 682
UF0インタラプト2レジスタ … 684
UF0エンドポイント1インタフェース・マッピング・レジスタ … 649
UF0エンドポイント2インタフェース・マッピング・レジスタ … 651
UF0エンドポイント3インタフェース・マッピング・レジスタ … 653
UF0エンドポイント4インタフェース・マッピング・レジスタ … 655
UF0エンドポイント7インタフェース・マッピング・レジスタ … 657
UF0エンドポイント8インタフェース・マッピング・レジスタ … 659
UF0オルタナティブ・セッティング・ステータス・レジスタ … 648

UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ0-255 … 700
UF0コンフィギュレーション・レジスタ … 695
UF0ディスクリプタ・レングス・レジスタ … 698
UF0データ・エンド・レジスタ … 641
UF0デバイス・ステータス・レジスタL … 686
UF0デバイス・ディスクリプタ・レジスタ0-17 … 699
UF0バルク・アウト1レジスタ … 667
UF0バルク・アウト1レングス・レジスタ … 670
UF0バルク・アウト2レジスタ … 671
UF0バルク・アウト2レングス・レジスタ … 673
UF0バルク・イン1レジスタ … 674
UF0バルク・イン2レジスタ … 678
UF0モード・コントロール・レジスタ … 644
UF0モード・ステータス・レジスタ … 645
UIFIC0 … 337
UIFIC1 … 337
$\overline{\text{ULBE}}$ … 48
ULDQM … 49
$\overline{\text{ULWR}}$ … 48
UREIC0 … 337
UREIC1 … 337
URIC0 … 337
URIC1 … 337
US0BIC … 337
US1BIC … 337
US2BIC … 337
USBF … 590
USBクロック・コントロール・レジスタ … 380
USB接続例 … 758
USBファンクション・コントローラ … 590
USBファンクション0DMAチャネル・セレクト・レジスタ … 702
USBファンクション0バッファ・コントロール・レジスタ … 703
USBメイン処理 … 715
USP2IC … 337
USP4IC … 337
UTIC0 … 337
UTIC1 … 337
UTOIC0 … 337
UTOIC1 … 337
$\overline{\text{UUBE}}$ … 49
UUDQM … 49
$\overline{\text{UUWR}}$ … 48
UV_{DD} … 56

【V】
VSWC … 108

【W】
$\overline{\text{WAIT}}$ … 46
WAS … 151
$\overline{\text{WE}}$ … 49
$\overline{\text{WR}}$ … 49

【X】
X1, X2 … 55

付録D　改版履歴

D. 1　本版で改訂された主な箇所

箇　所	内　　容
p. 181	4. 11. 6（1）SDRAM（リード時，レーテンシ = 2の場合，アイドル・ステート挿入なし）　修正
p. 370	8. 1　特徴　変更
p. 383	表8－1　周波数一覧　注意　変更
p. 471	図9－18　TMENC1nのブロック図（タイマ出力動作時）　修正
p. 472	図9－19　タイマ出力例（ALVT1n0ビット = 0設定時）　修正
p. 617	11. 4. 1（11）UF0 INTステータス0レジスタ（UF0IS0）　SETRQビットの説明変更
p. 811	14. 2（2）各ポート端子のリセット時の機能とポート／コントロール・モードを設定するレジスタ　修正
p. 815	図14－3　タイプD-1のブロック図　修正
p. 943	第17章　電気的特性　AC特性（a）リード・タイミング（SDRAMアクセス）　修正
p. 946	第17章　電気的特性　AC特性（c）DMAフライバイ転送タイミング（外部I/O→SDRAM）　修正
p. 966	第17章　電気的特性　A/Dコンバータ特性（EV_{DD} = AV_{DD} = AV_{REFP} = 3.0～3.6 V, EV_{SS} = AV_{SS} = AV_{REFM} = 0 V）修正

D. 2　前版までの改版履歴

前版までの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

(1/13)

版　数	前版までの主な改訂箇所	適用箇所
第2版	・次の製品名を追加 μPD703111GM-15-UEU ・次の製品が開発中→開発済み μPD703111GM-10-UEU, 703111GM-13-UEU ・次のレジスタ名変更 PFCAL→PFCALL	全般
	1. 2　特　　徴　最小命令実行時間に150 MHz品の実行時間追加	第1章　イントロダクション
	2. 1（2）ポート以外の端子　注追加	第2章　端子機能
	2. 3（1）（b）（vii）UCLK（USB clock）　記述追加	
	2. 3（3）（b）（ii）$\overline{\text{DMAAK0}}$, $\overline{\text{DMAAK1}}$（DMA acknowledge）　説明変更	
	2. 3（5）（b）（ii）$\overline{\text{DMAAK2}}$, $\overline{\text{DMAAK3}}$（DMA acknowledge）　説明変更	
	3. 1　特　　徴　最小命令実行時間に150 MHz品の実行時間追加	第3章　CPU機能
	3. 2. 1（2）プログラム・カウンタ（PC）　初期値変更	
	3. 4. 7　周辺I/Oレジスタ　記述変更	
	3. 4. 9　システム・ウエイト・コントロール・レジスタ（VSWC）　VSWC設定値の表変更	
	4. 2. 1　内蔵命令RAM，内蔵データRAM，周辺I/Oアクセス時の端子状態　記述変更	第4章　バス制御機能
	4. 4. 1（1）バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1（BCT0, BCT1）　BTn1, BTn0ビット = 11設定時の説明変更	
	4. 5. 1　アクセス・クロック数　アクセス・クロック数の表変更	
	4. 5. 6（1）ライン・バッファ・コントロール・レジスタ0, 1（LBC0, LBC1）　注意追加および記述変更	
	4. 5. 6（1）（a）先読み機能（リード・バッファ機能）　備考追加	
	4. 5. 6（1）（b）ライト・バッファ機能　説明変更および注と注意追加	
	4. 7. 1（3）バス・サイクル・ピリオド・コントロール・レジスタ（BCP）　注意追加	
	4. 9. 1（1）キャッシュ・コンフィギュレーション・レジスタ（BHC）　注意変更	
	4. 10. 3　注意事項　（5）追加	
	4. 11. 6（1）SDRAM（リード時，レーテンシ = 2の場合，アイドル・ステート挿入なし）　タイミング追加および注変更	
	4. 11. 6（2）SDRAM（リード時，レーテンシ = 2の場合，アイドル・ステートを2ステート挿入，32ビット・バス幅）　タイミング追加および注変更	
	4. 11. 6（3）SDRAM（ライト時）　タイミング追加および注変更	
	4. 14　T0ステートが挿入されないタイミング　追加	
	図5－9　SDRAMシングル・リード・サイクル　タイミング追加および注変更	第5章　メモリ・アクセス制御機能
	図5－10　SDRAMシングル・ライト・サイクル　タイミング追加および注変更	
	図5－11　SDRAMアクセス・タイミング　タイミング追加および注変更	
	表5－1　インターバル・ファクタの設定例　記述変更	

(2/13)

版 数	前版までの主な改訂箇所	適用箇所
第2版	6. 2 構 成 ブロック図に内蔵命令RAMを追加	第6章 DMA機能（DMAコントローラ）
	6. 3. 1（1）DMAソース・アドレス・レジスタ0H-3H（DSA0H-DSA3H） 注意追加	
	6. 3. 2（1）DMAデスティネーション・アドレス・レジスタ0H-3H（DDA0H-DDA3H） 注意追加	
	6. 3. 3 DMA転送カウント・レジスタ0-3（DBC0-DBC3） 注意追加	
	6. 3. 4 DMAアドレシング・コントロール・レジスタ0-3（DADC0-DADC3） 注意追加	
	6. 3. 5 DMAチャネル・コントロール・レジスタ0-3（DCHC0-DCHC3） 注意追加，記述追加，記述変更	
	6. 3. 6 DMAターミナル・カウント出力コントロール・レジスタ（DTOC） 注意追加，記述追加，記述変更	
	6. 3. 7 DMAトリガ要因レジスタ0-3（DTFR0-DTFR3） 注意追加	
	6. 3. 7（1）DMA要求検出機能 追加	
	6. 3. 8 DMAインタフェース・コントロール・レジスタ（DIFC） 注意および注追加，記述変更	
	図6－12 2サイクルDMA転送時のタイミング（SDRAM→SRAM） タイミング追加および注変更	
	6. 5. 1（1）2サイクル転送時の$\overline{\text{DMARQn}}$と$\overline{\text{DMAAKn}}$信号のタイミング 追加	
	6. 5. 1（2）$\overline{\text{DMAAKn}}$信号のアクティブ幅拡張機能 追加	
	6. 5. 1（3）2サイクル転送タイミングの概略 追加	
	図6－19 DMAフライバイ転送時のタイミング（外部I/O→SDRAM） タイミング変更	
	図6－23 DMAフライバイ転送時のタイミング（SDRAM→外部I/O） タイミング変更	
	図6－24 DMAフライバイ転送時のタイミング（外部I/O→SDRAM） タイミング変更	
	表6－5 転送の種類と転送対象の関係 記述変更，注意追加	
	6. 8 ネクスト・アドレス設定機能 記述追加	
	6. 9 DMA転送起動要因 注意追加	
	6. 13 DMA転送に関する各種時間 記述変更	
	6. 15（3）CPUへのバス・アービトレーション 記述変更	
	6. 15（7）DSAn, DDAnレジスタの読み出し値 追加	
	図7－14 割り込み要求受け付け時のパイプライン動作（概略） 注変更	第7章 割り込み／例外処理機能
	8. 1 特 徴 ○PLLSEL端子によるSSCG出力の切り替え，○MDL-Selector Table（変調同期）変更	第8章 クロック発生機能
	8. 3. 1 クロック・コントロール・レジスタ（CKC） 注意追加および記述変更	
	8. 3. 2 クロック・ソース選択レジスタ（CKS） クロック・ソース選択レジスタ（CKS）へのデータ設定シーケンス記述例②変更	
	8. 3. 3 SSCGコントロール・レジスタ（SSCGC） 記述変更	
	8. 3. 4 USBクロック・コントロール・レジスタ（UCKC） 注意追加	
	8. 3. 6 発振安定時間選択レジスタ（OSTS） 発振安定時間変更	
	表8－1 各クロックの動作状態 注追加	
	表8－2 周波数一覧 記述変更	

(3/13)

版 数	前版までの主な改訂箇所	適用箇所
第2版	8. 5 動作クロックの規定 追加	第8章 クロック発生機能
	表8－11 カウント時間例 発振安定時間変更	
	9. 1. 5 (2) タイマ・モード・コントロール・レジスタC01-C51 (TMCC01-TMCC51) 注意追加	第9章 タイマ／カウンタ機能（リアルタイム・パルス・ユニット）
	図9－7 TMC1コンペア動作例（セット／リセット出力モード） 変更	
	表9－6 NCW1nレジスタ設定値とノイズ除去幅の関係 fx = 150 MHz時のノイズ除去幅追加	
	9. 3. 7 (6) オーバフロー割り込み信号 (INTOV1n)，アンダフロー割り込み信号 (INTUD1n) について 追加	
	10. 2. 1 特 徴 転送速度変更	第10章 シリアル・インタフェース機能
	10. 2. 2 (10) UARTBn受信データ・レジスタAP (UBnRXAP)，UARTBn受信データ・レジスタ (UBnRX) (n = 0, 1) 記述変更	
	10. 2. 2 (12) UARTBn送信データ・レジスタn (UBnTx) (n = 0, 1) 記述追加	
	10. 2. 3 (3) UARTBn制御レジスタ2 (UBnCTL2) (n = 0, 1) 注意変更	
	10. 2. 3 (4) UARTBn送信データ・レジスタ (UBnTx) (n = 0, 1) 記述追加	
	10. 2. 3 (5) UARTBn受信データ・レジスタAP (UBnRXAP)，UARTBn受信データ・レジスタ (UBnRX) (n = 0, 1) 記述変更	
	10. 2. 3 (6) UARTBnFIFO制御レジスタ0 (UBnFIC0) (n = 0, 1) 記述追加，記述変更	
	10. 2. 3 (7) UARTBnFIFO制御レジスタ1 (UBnFIC1) (n = 0, 1) 記述変更	
	10. 2. 4 (5) (b) FIFOモード時 記述追加	
	10. 2. 5 (2) 保留モード／ポインタ・モード 記述追加	
	10. 2. 5 (2) (a) (i) 送信時（送信FIFOnへの書き込み） 注追加	
	10. 2. 5 (2) (a) (ii) 受信時（受信FIFOnからの読み出し） 注追加	
	10. 2. 6 (4) (c) (ii) 受信タイムアウト割り込み (UBTITOn) (FIFOモード時のみ) 記述追加	
	表10－4 ボー・レート・ジェネレータ設定データ fx = 150 MHz時の値追加	
	10. 2. 8 制御フロー 追加	
	図10－22 クロック同期式シリアル・インタフェース30, 31のブロック図 記述変更	
	10. 3. 3 (1) クロック同期式シリアル・インタフェース・モード・レジスタ30, 31 (CSIM30, CSIM31) 注意2記述変更	
	10. 3. 3 (2) クロック同期式シリアル・インタフェース・クロック選択レジスタ30, 31 (CSIC30, CSIC31) 記述変更	
	10. 3. 3 (3) 受信データ・バッファ・レジスタ30, 31 (SIRB30, SIRB31) 記述追加	
	10. 3. 3 (4) 送信データCSIバッファ・レジスタ30, 31 (SFDB30, SFDB31) 記述追加	
	10. 3. 3 (5) CSIBUF状態レジスタ30, 31 (SFA30, SFA31) 記述変更	
	10. 3. 4 (2) ボー・レート 注意2の（例）変更	
	図10－25 転送データ長：8ビット (CSIL3nレジスタのCCLn3-CCLn0ビット = 1000)，転送方向：MSB先頭 (CSIM3nレジスタのDIRnビット = 0) 設定時 記述変更	

(4/13)

版 数	前版までの主な改訂箇所	適用箇所
第2版	図10－26 転送データ長：8ビット（CSIL3nレジスタのCCLn3-CCLn0ビット = 1000），転送方向：LSB先頭（CSIM3nレジスタのDIRnビット = 1 ）設定時 記述変更	第10章 シリアル・インタフェース機能
	10. 3. 5（7）スレーブ・モード 記述削除	
	図10－30 スレーブ・モード（CSIC3nレジスタのCKPn, DAPnビット = 00, CSIL3nレジスタのCCLn3-CCLn0ビット = 1000（転送データ長：8ビット）設定時） 図変更	
	図10－32 連続モード 記述変更	
	10. 3. 5（11）送信モード 記述変更	
	10. 3. 5（12）受信モード 記述追加	
	10. 3. 5（16）（a）$\overline{\text{SCKn}}$端子 記述削除	
	表10－8 $\overline{\text{SCKn}}$端子出力のディフォールト・レベル 記述変更	
	10. 3. 6 使用方法 （1）-（12）の記述変更	
	11. 1 概 要 注意追加	第11章 USBファンクション・コントローラ（USBF）
	表11－2 リクエスト・デコード対応表 項目追加	
	11. 4. 1（3）UF0 EPNAKレジスタ（UF0EN） 記述追加	
	11. 4. 1（9）UF0 EPステータス1レジスタ（UF0EPS1） 記述削除	
	11. 4. 1（11）UF0 INTステータス0レジスタ（UF0IS0） 記述変更	
	11. 4. 1（34）UF0モード・ステータス・レジスタ（UF0MODS） 記述変更	
	11. 4. 3（2）UF0 EP0ステータス・レジスタL（UF0E0SL） 記述変更	
	11. 4. 3（9）UF0アドレス・レジスタ（UF0ADRS） 記述変更	
	11. 4. 3（10）UF0コンフィギュレーション・レジスタ（UF0CNF） 記述変更	
	11. 4. 3（11）UF0インタフェース0レジスタ（UF0IF0） 記述変更	
	11. 4. 3（12）UF0インタフェース1-4レジスタ（UF0IF1-UF0IF4） 記述変更	
	11. 4. 3（14）UF0デバイス・ディスクリプタ・レジスタ0-17（UF0DD0-UF0DD17）注意変更	
	11. 4. 3（15）UF0コンフィギュレーション／インタフェース／エンドポイント・ディスクリプタ・レジスタ0-255（UF0CIE0-UF0CIE255） 注意変更	
	11. 4. 4（1）USBファンクション0DMAチャネル・セレクト・レジスタ（UF0CS） 注意変更	
	表11－8 FW対応の標準リクエスト 注意削除	
	図11－15 コントロール転送に対する自動処理リクエスト 記述変更	
	図11－20 コントロール転送に対するCPUDECリクエスト 記述変更	
	図11－30 USB接続例 記述変更	
	表12－1 A/D変換動作時間の設定 f_X = 150 MHz時の値追加	第12章 A/Dコンバータ
	12. 9 A/Dコンバータ特性表の読み方 追加	
	13. 1 特 徴 ○繰り返し周波数 変更	第13章 PWMユニット
	図13－1 PWMユニットのブロック図 記述変更	
	13. 3（1）PWMコントロール・レジスタ0, 1（PWMC0, PWMC1） 記述変更	
	13. 4. 2（1）PWM動作開始時の設定 記述変更	
	表13－1 PWMnの繰り返し周期 記述変更	
	14. 3. 8 ポートDH 注意変更	第14章 ポート機能
	14. 3. 8（2）（c）ポートDHファンクション・コントロール・レジスタ（PFCDH）注意変更，ビット0の記述変更	

(5/13)

版 数	前版までの主な改訂箇所	適用箇所
第2版	14. 3. 10 (2) (c) ポートCTファンクション・コントロール・レジスタ (PFCCT) 注意追加	第14章 ポート機能
	表14ー4 NCW1nレジスタ設定値とノイズ除去幅の関係 fx = 150 MHz時のノイズ除去幅追加	
	表15ー2 CPU，内蔵命令RAM，内蔵データRAM，内蔵周辺I/Oのリセット後の初期値 プログラム・カウンタ (PC) のリセット後の初期値変更	第15章 リセット機能
	16. 1. 1 (7) マスク 記述変更	第16章 ディバグ機能 (DCU)
	第17章 電気的特性 (ターゲット) 追加	第17章 電気的特性 (ターゲット)
	第18章 外 形 図 追加	第18章 外 形 図
	第19章 半田付け推奨条件 追加	第19章 半田付け推奨条件
	B. 2 インストラクション・セット (アルファベット順) 注追加	付録B 命令セット一覧
	付録C 総合索引 追加	付録C 総合索引
	付録D 改版履歴 追加	付録D 改版履歴
第3版	次の製品を削除 μPD703111 次の製品を追加 μPD703111A	全般
	1. 2 特 徴に240ピン・プラスチックFBGAを追加	第1章 イントロダクション
	1. 5 端子接続図に240ピン・プラスチックFBGAを追加	
	2. 3 (6) (b) (i) $\overline{\text{WAIT}}$に注意を追加	第2章 端子機能
	2. 3 (6) (b) (iii) $\overline{\text{HLDRQ}}$に注意を追加	
	2. 3 (6) (b) (iv) $\overline{\text{REFRQ}}$の説明を修正	
	図3ー1 CPUレジスタ・セットを修正	第3章 CPU機能
	表3ー2 システム・レジスタ番号を修正	
	3. 2. 2 (2) プログラム・ステータス・ワード (PSW) を修正	
	3. 4. 7 周辺I/Oレジスタにライト・アクセス同期制御レジスタを追加，R/Wの記述を変更	
	3. 4. 10 ① リセット解除後，自動的に100000H番地に分岐に説明を追加	
	4. 5. 6 (1) ライン・バッファ・コントロール・レジスタ0, 1 (LBC0, LBC1) に注意3を追加	第4章 バス制御機能
	4. 5. 6 (1) (b) ライト・バッファ機能の注意2, 3を変更	
	4. 5. 6 (2) ライト・アクセス同期制御レジスタ (WAS) を追加	
	4. 6 (1) バス・モード・コントロール・レジスタ (BMC) に注意3を追加	
	4. 7. 1 (2) アドレス・セットアップ・ウエイト・コントロール・レジスタ (ASC) に注意4を追加	
	4. 7. 1 (3) バス・サイクル・ピリオド・コントロール・レジスタ (BCP) の注意3を修正	
	図4ー6 ウエイト挿入例を修正	
	表4ー1 ウエイト機能が有効なバス・サイクルを修正	
	4. 9. 7 注意事項を追加	
	4. 10. 3 注意事項の (5) を修正	

(6/13)

版 数	前版までの主な改訂箇所	適用箇所
第3版	4. 11. 5 (1) SRAM (リード時，先読みなし，アイドル・ステート挿入なし，BUSCLK = f_{CLK}/2設定時) を修正	第4章 バス制御機能
	4. 11. 5 (2) SRAM (リード時，先読みあり，アイドル・ステート挿入なし，BUSCLK = f_{CLK}/2設定時) を修正	
	4. 11. 5 (3) SRAM (ライト時，アイドル・ステートを2ステート挿入した場合，BUSCLK = f_{CLK}/2設定時) を修正	
	5. 2. 3 オンページ／オフページの判断に説明を追加	第5章 メモリ・アクセス制御機能
	5. 3. 1 特 徴に項目を追加	
	6. 3. 2 (1) DMAデスティネーション・アドレス・レジスタ0H-3H (DDA0H-DDA3H) に注意3を追加	第6章 DMA機能 (DMAコントローラ)
	6. 3. 4 DMAアドレシング・コントロール・レジスタ0-3 (DADC0-DADC3) に注意4を追加	
	6. 3. 5 DMAチャネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) の注意1, 5およびEnnビットの注意を変更	
	6. 5. 1 2サイクル転送に注意2を追加	
	図6－8 2サイクルDMA転送時のタイミング (SRAM→外部I/O) を修正	
	図6－9 2サイクルDMA転送時のタイミング (SDRAM→SRAM) を修正	
	図6－10 2サイクルDMA転送時のタイミング (SRAM→SDRAM) を修正	
	図6－11 2サイクルDMA転送時のタイミング (SRAM→外部I/O) ：先読みなし時を修正	
	図6－12 2サイクルDMA転送時のタイミング (SDRAM→SRAM) の (a) 先読みなし時を修正	
	図6－12 2サイクルDMA転送時のタイミング (SDRAM→SRAM) の (b) 先読みあり，先読みヒット時を修正	
	6. 5. 2 フライバイ転送に注意を追加	
	表6－5 転送の種類と転送対象の関係に注3, 5を追加	
	6. 10 DMA転送完了時のターミナル・カウント出力の説明を修正	
	図6－23 DMA転送の強制終了例を修正	
	6. 13 DMA転送に関する各種時間の説明を変更	
	6. 14 DMA要求に対する応答時間の最大値を修正	
	6. 15 (5) $\overline{\text{DMAAK}}$n信号出力に説明を追加	
	8. 6. 5 (1) 設定および動作状態に注意3を追加	第8章 クロック発生機能
	9. 1. 5 (4) ノイズ除去幅設定レジスタC0-C3 (NCWC0-NCWC3) に説明を追加	第9章 タイマ／カウンタ機能 (リアルタイム・パルス・ユニット)
	図9－17 タイマENC1のブロック図を修正	
	9. 3. 4 (2) コンペア・レジスタ100, 110 (CM100, CM110) に注意2を追加	
	9. 3. 4 (3) コンペア・レジスタ101, 111 (CM101, CM111) に注意2を追加	
	9. 3. 4 (4) キャプチャ／コンペア・レジスタ100, 110 (CC100, CC110) に注意6を追加	
	9. 3. 4 (5) キャプチャ／コンペア・レジスタ101, 111 (CC101, CC111) に注意6を追加	
	9. 3. 5 (1) タイマ・ユニット・モード・レジスタ10, 11 (TUM10, TUM11) に注意2および注意3を追加	
	9. 3. 5 (1) タイマ・ユニット・モード・レジスタ10, 11 (TUM10, TUM11) のMSELnビット説明に注意を追加	

(7/13)

版 数	前版までの主な改訂箇所	適用箇所
第3版	9. 3. 5 (2) タイマ・コントロール・レジスタ10, 11 (TMC10, TMC11) に注意2を追加	第9章 タイマ/カウンタ機能 (リアルタイム・パルス・ユニット)
	9. 3. 5 (2) タイマ・コントロール・レジスタ10, 11 (TMC10, TMC11) のRLEN1nビットの注意を一部削除	
	9. 3. 5 (3) キャプチャ/コンペア・コントロール・レジスタ10, 11 (CCR10, CCR11) に注意4を追加	
	9. 3. 5 (4) 有効エッジ選択レジスタ10, 11 (SESA10, SESA11) に注意3を追加	
	9. 3. 5 (5) プリスケーラ・モード・レジスタ10, 11 (PRM10, PRM11) に注意4を追加	
	9. 3. 5 (6) ステータス・レジスタ10, 11 (STATUS10, STATUS11) の注意を修正	
	9. 3. 5 (7) ノイズ除去幅設定レジスタ10, 11 (NCW10, NCW11) のNCC1n, NCC0nビット説明に注1を追加	
	表9-6 NCW1nレジスタ設定値とノイズ除去幅の関係を修正	
	図9-18 TMENC1nのブロック図 (PWM出力動作時) を修正	
	10. 2. 3 (3) UARTBn制御レジスタ2 (UBnCTL2) (n = 0, 1) の注意を修正	第10章 シリアル・インタフェース機能
	10. 2. 3 (5) UARTBn受信データ・レジスタAP (UBnRXAP), UARTBn受信データ・レジスタ (UBnRX) (n = 0, 1) に注意3を追加	
	10. 3. 3 (1) クロック同期式シリアル・インタフェース・モード・レジスタ30, 31 (CSIM30, CSIM31) のCSITnビット説明を修正	
	10. 3. 3 (2) クロック同期式シリアル・インタフェース・クロック選択レジスタ30, 31 (CSIC30, CSIC31) のCKS3n2-CKS3n0ビット説明に注意を追加	
	表10-7 スレーブ・モード時に転送可能状態となる条件に注意を追加	
	11. 4. 1 (4) UF0 EPNAKマスク・レジスタ (UF0ENM) の説明を修正	第11章 USBファンクション・コントローラ (USBF)
	11. 4. 1 (32) UF0 GPRレジスタ (UF0GPR) の説明を修正	
	図11-21 バルク転送 (IN) に対する処理 (Endpoint1の場合) を変更	
	図11-30 USB接続例を修正	
	11. 7. 8 (2) USBケーブル接続/切断の検出に説明を追加	
	14. 3. 9 (2) (c) ポートCSファンクション・コントロール・レジスタ (PFCCS) を変更	第14章 ポート機能
	14. 6. 3 (1) ノイズ除去幅設定レジスタC0-C3 (NCWC0-NCWC3) に説明を追加	
	14. 6. 3 (2) ノイズ除去幅設定レジスタ10, 11 (NCW10, NCW11) のNCC1n, NCC0nビット説明に注1を追加	
	表14-4 NCW1nレジスタ設定値とノイズ除去幅の関係を修正	
	表15-2 CPU, 内蔵命令RAM, 内蔵データRAM, 内蔵周辺I/Oのリセット後の初期値を修正	第15章 リセット機能
	表16-1 エミュレータ接続コネクタ・ピン機能を修正	第16章 デバッグ機能 (DCU)
	第17章 (4) (c) ライト・タイミング (SRAM, 外部ROM, 外部I/O) のtWWRHを修正	第17章 電気的特性
	第17章 (4) (d) DMAフライバイ転送タイミング (SRAM→外部I/O) のtSAW, tSBSW, tDIWRRD, 注およびタイミング図を修正	
	第17章 (4) (e) DMAフライバイ転送タイミング (外部I/O→SRAM転送) のtSAW, tSBSW, tWWRH, tDWRIRD, 注およびタイミング図を修正	
	第17章 (6) (a) リード・タイミング (SDRAMアクセス) を修正	
	第17章 (6) (b) ライト・タイミング (SDRAMアクセス) を修正	
	第17章 (6) (c) DMAフライバイ転送タイミング (外部I/O→SDRAM) を追加	

(8/13)

版 数	前版までの主な改訂箇所	適用箇所
第3版	第17章（7）（a）レベル・モードのt_{HKDR}を修正	第17章 電気的特性
	第17章（8）バス・ホールド・タイミングのt_{DHQHA1}, t_{DHQHA2}を修正および注1, 2, 3を追加	
	第18章 外 形 図 240ピン・プラスチックFBGA（16x16）外形図を追加	第18章 外 形 図
	第19章 半田付け推奨条件に注意を追加	第19章 半田付け推奨条件
	付録A 注意事項を追加	付録A 注意事項
第4版	μPD703111AF1-10-GA3を削除	全般
	1. 2 特 徴の命令数を修正	第1章 イントロダクション
	1. 6. 2（3）RAM 記述変更	
	1. 6. 2（11）オンチップ・ディバグ機能（DCU） 追加	
	2. 2 端子状態 記述変更	第2章 端子機能
	2. 3（6）（b）（iv）$\overline{\text{REFRQ}}$（Refresh request） 記述一部削除	
	表3－2 システム・レジスタ番号 注追加および注記述変更	第3章 CPU機能
	3. 2. 2（1）割り込み時状態退避レジスタ（EIPC, EIPSW） 追加	
	3. 2. 2（2）NMI時状態退避レジスタ（FEPC, FEPSW） 追加	
	3. 2. 2（5）CALLT実行時状態退避レジスタ（CTPC, CTPSW） 追加	
	3. 2. 2（6）例外／ディバグ・トラップ時状態退避レジスタ（DBPC, DBPSW） 追加	
	3. 2. 2（7）CALLTベース・ポインタ（CTBP） 追加	
	3. 4. 9 システム・ウエイト・コントロール・レジスタ（VSWC） 表に項目追加	
	3. 4. 11 sld命令と割り込み競合に関する制限事項 追加	
	3. 5 注意事項 追加	
	4. 4（1）バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1（BCT0, BCT1） 注意に記述追加	第4章 バス制御機能
	4. 5. 1 アクセス・クロック数 注記述変更	
	4. 5. 6（1）（b）ライト・バッファ機能 注意2の記述変更，注意3追加	
	4. 5. 6（2）ライト・アクセス同期制御レジスタ（WAS） 注意追加	
	4. 6（1）バス・モード・コントロール・レジスタ（BMC） 注意2の記述変更，注意4追加	
	4. 7. 1（2）アドレス・セットアップ・ウエイト・コントロール・レジスタ（ASC） 注意追加	
	4. 7. 2 外部ウエイト機能 注意削除	
	表4－1 ウエイト機能が有効なバス・サイクル 記述変更	
	4. 10. 2（2）ライト動作 注意3の記述変更	
	4. 10. 3 注意事項 （5）に記述追加	
	4. 15 注意事項 追加	
	5. 3. 3（1）各アドレスの出力，およびSDRAMの接続 追加	第5章 メモリ・アクセス制御機能
	5. 3. 3（2）バンク・アドレス出力 追加	
	5. 3. 4 SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6（SCR1, SCR3, SCR4, SCR6） 注意4に記述追加	
	5. 3. 5（2）SDRAMシングル・ライト・サイクル 記述一部削除	
	5. 3. 6（1）SDRAMリフレッシュ・コントロール・レジスタ1, 3, 4, 6（RFS1, RFS3, RFS4, RFS6） 注意追加	

(9/13)

版 数	前版までの主な改訂箇所	適用箇所
第4版	5. 3. 8 SDRAM初期化シーケンス 記述変更	第5章 メモリ・アクセス制御機能
	5. 4 注意事項 追加	
	6. 3. 5 DMAチャネル・コントロール・レジスタ0-3（DCHC0-DCHC3） 記述変更	第6章 DMA機能（DMAコントローラ）
	6. 3. 6 DMAターミナル・カウント出力コントロール・レジスタ（DTOC） 記述変更	
	6. 3. 7 DMAトリガ要因レジスタ0-3（DTFR0-DTFR3） 注意2の記述変更	
	6. 5. 1（1）2サイクル転送時の$\overline{\text{DMARQn}}$と$\overline{\text{DMAAKn}}$信号のタイミング （a）の記述変更	
	6. 14 DMA要求に対する応答時間の最大値 注意記述追加	
	6. 15 注意事項 記述追加	
	7. 1 特 徴 注意追加	第7章 割り込み／例外処理機能
	表7－1 割り込み要因一覧 備考1記述変更	
	7. 5. 2（2）復 帰 注意追加	
	7. 8 CPUが割り込みを受け付けない期間 記述変更	
	7. 9 注意事項 追加	
	8. 3. 1 クロック・コントロール・レジスタ（CKC） 注意2記述変更	第8章 クロック発生機能
	8. 3. 1（1）リフレッシュ間隔変更時の注意点 追加	
	8. 3. 2 クロック・ソース選択レジスタ（CKS） 記述追加	
	8. 3. 6 発振安定時間選択レジスタ（OSTS） 注意追加	
	8. 5. 2（6）UARTBのシリアル通信（送信／受信）転送レート 記述変更	
	図8－2 パワー・セーブ・モード状態遷移図 注3記述追加	
	8. 6. 2（3）パワー・セーブ・コントロール・レジスタ（PSC） 注追加	
	8. 6. 3（2）HALTモードの解除 記述追加	
	8. 6. 4（1）設定および動作状態 記述一部削除	
	表8－6 IDLEモード時の動作状態 記述一部削除	
	8. 6. 4（2）（a）ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号による解除 注意追加	
	表8－8 ソフトウエアSTOPモード時の動作状態 記述一部削除	
	8. 6. 5（2）（a）ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号による解除 注意追加	
	8. 8 注意事項 追加	
	9. 1. 8 注意事項 記述追加	第9章 タイマ／カウンタ機能
	9. 3. 5（5）プリスケーラ・モード・レジスタ10, 11（PRM10, PRM11） 記述変更	
	9. 3. 5（5）（b）UDCモード（TUM1nレジスタのT1CMDnビット = 1）時 記述変更	
	9. 3. 6（1）（e）タイマ出力動作 記述一部追加	
	表9－8 UDCモードのカウント動作一覧 記述変更	
	9. 3. 8 注意事項 追加	
	10. 2. 3（5）UARTBn受信データ・レジスタAP（UBnRXAP），UARTBn受信データ・レジスタ（UBnRX）（n = 0, 1） 注意3の記述変更	第10章 シリアル・インタフェース機能
	10. 2. 9 注意事項 記述追加	
	10. 3. 7 注意事項 記述追加	

（10/13）

版 数	前版までの主な改訂箇所	適用箇所
第4版	11. 3. 1（2）（i）SET_INTERFACE( )リクエスト 記述追加	第11章 USBファンクション・コントローラ（USBF）
	11. 4. 1（32）UF0 GPRレジスタ（UF0GPR） 記述変更	
	図11－10 ホスト切断／ホスト再接続時のプログラムのフロー・チャート 追加	
	図11－11 電源投入時のプログラムのフロー・チャート 追加	
	14. 2（2）各ポート端子のリセット時の機能とポート／コントロール・モードを設定するレジスタ 記述変更	第14章 ポート機能
	14. 3. 2 ポート2 記述追加	
	14. 3. 9（2）（c）ポートCSファンクション・コントロール・レジスタ（PFCCS）記述追加	
	図14－25 CSDCnビット = 1時のタイミング 追加	
	14. 7 注意事項 追加	
	16. 1. 1 ディバグ機能 記述一部削除	第 16 章 ディバグ機能（DCU）
	第17章 電気的特性 AC特性（4）（d）DMAフライバイ転送タイミング（SRAM→外部I/O転送）（1/2） $\overline{\text{IOWR}}$↑→アドレス遅延時間<40>（t_{DWRA}）のMIN.値変更	第17章 電気的特性
	第17章 電気的特性 A/Dコンバータ特性 ADTRGハイ・レベル幅<105>（t_{WAIH}），ADTRGロウ・レベル幅<106>（t_{WAIL}）の項目とタイミング・チャート追加	
第4版（修正版）	1. 4 オーダ情報 変更	第1章 イントロダクション
	1. 5 端子接続図 記述追加	
	第19章 半田付け推奨条件 記述追加	第19章 半田付け推奨条件
第5版	2. 2 端子状態 注追加	第2章 端子機能
	表3－2 システム・レジスタ番号 注記述変更	第3章 CPU機能
	3. 2. 2（6）例外／ディバグ・トラップ時状態退避レジスタ（DBPC, DBPSW） 記述変更	
	3. 5（3）転送対象が内蔵周辺I/OのDMA転送の転送元，転送先のアドレス 記述変更	
	4. 5. 2（1）ローカル・バス・サイジング・コントロール・レジスタ（LBS） 注意追加	第4章 バス制御機能
	4. 5. 5（2）（a）② アドレス（4n＋1）番地へのアクセス 記述変更	
	4. 5. 5（2）（d）② アドレス（4n＋1）番地へのアクセス 記述変更	
	4. 5. 5（3）（a）② アドレス（4n＋1）番地へのアクセス 記述変更	
	4. 5. 5（3）（a）④ アドレス（4n＋3）番地へのアクセス 記述変更	
	4. 5. 5（3）（d）② アドレス（4n＋1）番地へのアクセス 記述変更	
	4. 5. 5（3）（d）④ アドレス（4n＋3）番地へのアクセス 記述変更	
	4. 9. 1（1）キャッシュ・コンフィギュレーション・レジスタ（BHC） 注意記述追加	
	4. 10. 3 注意事項 記述変更	
	4. 15（10）BHCレジスタ設定時の注意 記述追加	
	図5－9 SDRAMシングル・リード・サイクル 図変更	第5章 メモリ・アクセス制御機能
	6. 1 特 徴 記述変更	第6章 DMA機能（DMAコントローラ）
	6. 3. 7 DMAトリガ要因レジスタ0-3（DTFR0-DTFR3） 注意記述変更および追加	
	表6－5 転送の種類と転送対象の関係 注記述変更	
	6. 9（1）外部端子（$\overline{\text{DMARQn}}$）による要求 備考削除	

（11/13）

版 数	前版までの主な改訂箇所	適用箇所
第5版	6. 9（4）USBによる要求（シングル転送モード，シングルステップ転送モード時のみ可能） 記述変更	第6章 DMA機能（DMAコントローラ）
	6. 15（12）DCHCnレジスタ設定時の注意 記述追加	
	7. 5. 1（2）復 帰 注意追加	第7章 割り込み／例外処理機能
	8. 3. 1（2）クロック・コントロール・レジスタ（CKC）へのデータ設定 記述変更	第8章 クロック発生機能
	8. 3. 2 クロック・ソース選択レジスタ（CKS） 記述変更	
	8. 3. 3 SSCGコントロール・レジスタ（SSCGC） 記述変更	
	8. 6. 2（3）パワー・セーブ・コントロール・レジスタ（PSC） 記述変更	
	10. 2. 3（8）UARTBn FIFO制御レジスタ2（UBnFIC2）（n = 0, 1） 注意記述変更	第10章 シリアル・インタフェース機能
	10. 2. 9（3）UBnFIC2レジスタ設定時の注意 記述変更	
	11. 4. 1（26）UF0 INT＆DMARQレジスタ（UF0IDR） 備考追加	第11章 USBファンクション・コントローラ（USBF）
	図11－1 UF0E0Rレジスタの動作 図変更	
	図11－2 UF0E0STレジスタの動作 図変更	
	図11－3 UF0E0Wレジスタの動作 図変更	
	図11－4 UF0BO1レジスタの動作 図変更	
	図11－5 UF0BO2レジスタの動作 図変更	
	11. 4. 2（9）UF0バルク・イン1レジスタ（UF0BI1） 記述変更および注意追加	
	11. 4. 2（10）UF0バルク・イン2レジスタ（UF0BI2） 記述変更および注意追加	
	11. 4. 3（9）UF0アドレス・レジスタ（UF0ADRS） 注意記述変更	
	11. 4. 3（10）UF0コンフィギュレーション・レジスタ（UF0CNF） 記述変更	
	11. 4. 3（11）UF0インタフェース0レジスタ（UF0IF0） 注意記述変更	
	11. 4. 3（12）UF0インタフェース1-4レジスタ（UF0IF1-UF0IF4） 注意記述変更	
	図11－22 コントロール転送に対するCPUDECリクエスト 記述変更	
	図11－23 バルク転送（IN）に対する処理（Endpoint1の場合） 記述追加	
	図11－25 バルク転送（OUT）に対する通常処理（Endpoint2の場合） 記述変更	
	図11－29 電源投入後の処理／電源切断の処理例 記述変更	
	図12－1 A/Dコンバータのブロック図 注意記述追加	第12章 A/Dコンバータ
	12. 8 注意事項 記述追加	
	14. 3. 1（2）（b）ポート1モード・コントロール・レジスタ（PMC1） 注意追加	第14章 ポート機能
	14. 3. 1（2）（c）ポート1ファンクション・コントロール・レジスタ（PFC1） 注意追加	
	図14－25 CSDCnビット = 1時のタイミング 図変更	
	14. 7. 2 ポートnレジスタ（Pn）に対するビット操作命令に関する注意事項 記述変更	
	第17章 電気的特性 AC特性 （1）クロック・タイミング 記述変更	第17章 電気的特性
	第17章 電気的特性 AC特性 （4）（a）アクセス・タイミング（SRAM，外部ROM，外部I/O） 図変更	
	第19章 半田付け推奨条件 記述変更	第19章 半田付け推奨条件

（12/13）

版 数	前版までの主な改訂箇所	適用箇所
第6版	• μPD703111AGM-10-UEU, 703111AGM-10-UEU-A, 703111AGM-13-UEU, 703111AGM-13-UEU-A, 703111AGM-15-UEU, 703111AGM-15-UEU-A, 703111AF1-13-GA3, 703111AF1-13-GA3-A, 703111AF1-15-GA3, 703111AF1-15-GA3-Aを削除 • μPD703111BGM-06-UEU-A, 703111BGM-10-UEU-A, 703111BGM-13-UEU-A, 703111BGM-15-UEU-Aを追加 • FBGAパッケージを削除	全般
	1. 2 特 徴 記述追加	第1章 イントロダクション
	2. 2 端子状態 記述追加	第2章 端子機能
	3. 1 特 徴 記述追加	第3章 CPU機能
	図3－4 メモリ・マップ 記述追加	
	3. 4. 5（4）外部メモリ領域 記述変更	
	3. 4. 10②ロック・レジスタ（LOCKR）のLOCKビットの確認 注意追加	
	3. 5（6）66 MHz品のレジスタ設定 追加	
	表5－1 インターバル・ファクタの設定例 注意追加	第5章 メモリ・アクセス制御機能
	5. 3. 7（2）INTPn入力による解除（n = 10, 11, 21-25, 50-52, 65-67, D0-D15, L0, L1）記述変更	
	6. 3. 7 DMAトリガ要因レジスタ0-3（DTFR0-DTFR3） 記述変更	第6章 DMA機能（DMAコントローラ）
	7. 3. 9（7）有効エッジ選択レジスタC0-C3（SESC0-SESC3） 記述変更	第7章 割り込み／例外処理機能
	8. 1 特 徴 記述変更	第8章 クロック発生機能
	8. 2 構 成 記述変更	
	表8－2 周波数一覧 記述追加	
	8. 5. 2（6）UARTBのシリアル通信（送信／受信）転送レート 記述変更	
	9. 1. 5（3）有効エッジ選択レジスタC0-C3（SESC0-SESC3） 記述変更	第9章 タイマ／カウンタ機能
	9. 1. 8（13）トリガ・モードの設定 記述変更	
	9. 3. 5（6）ステータス・レジスタ10, 11（STATUS10, STATUS11） 記述削除	
	表9－6 NCW1nレジスタ設定値とノイズ除去幅の関係 記述変更	
	表10－4 ボー・レート・ジェネレータ設定データ 記述変更	第10章 シリアル・インタフェース機能
	10. 3. 1 特 徴 記述変更	
	10. 3. 3（1）クロック同期式シリアル・インタフェース・モード・レジスタ30, 31（CSIM30, CSIM31） 注意追加	
	10. 3. 3（7）転送データ数指定レジスタ30, 31（SFN30, SFN31） 記述変更	
	11. 1 概 要 記述追加	第11章 USBファンクション・コントローラ（USBF）
	11. 4. 1（11）UF0 INTステータス0レジスタ（UF0IS0） 注意追加	
	11. 4. 1（12）UF0 INTステータス1レジスタ（UF0IS1） 注意追加	
	表12－1 A/D変換動作時間の設定 記述変更	第12章 A/Dコンバータ
	12. 8（15）安定時間中の再変換起動トリガ入力，（16）A/D変換結果のばらつき，（17）A/D変換のヒステリシス特性 追加	
	14. 3. 1（1）（b）ポート1モード・コントロール・レジスタ（PMC1） 記述変更	第14章 ポート機能
	14. 3. 1（1）（c）ポート1ファンクション・コントロール・レジスタ（PFC1） 記述変更	
	表14－4 NCW1nレジスタ設定値とノイズ除去幅の関係 記述変更	

（13/13）

版　数	前版までの主な改訂箇所	適用箇所
第6版	第17章　電気的特性　動作条件　記述変更	第17章　電気的特性
第7版	3. 4. 7　内蔵周辺I/Oレジスタ　初期値変更	第3章　CPU機能
	4. 3. 1（1）チップ・エリア選択コントロール・レジスタ0, 1（CSC0, CSC1）　注意追加	第4章 バス制御機能
	5. 2. 4　ページROMコンフィギュレーション・レジスタ（PRC）　記述変更	第5章　メモリ・アクセス制御機能
	6. 3. 5　DMAチャネル・コントロール・レジスタ0-3（DCHC0-DCHC3）　注意記述変更および備考追加	第6章　DMA機能（DMAコントローラ）
	6. 3. 7　DMAトリガ要因レジスタ0-3（DTFR0-DTFR3）　備考記述変更	
	7. 3. 4　割り込み制御レジスタ（xxICn）　注意追加	第7章　割り込み／例外処理機能
	10. 2. 3（10）UARTBn FIFO状態レジスタ1（UBnFIS1）（n = 0, 1）　注意追加および記述変更	第10章　シリアル・インタフェース機能
	12. 8（17）A/D変換のヒステリシス特性　記述変更	第12章　A/Dコンバータ
	表15－2　CPU，内蔵命令RAM，内蔵データRAM，内蔵周辺I/Oのリセット後の初期値　記述変更	第15章　リセット機能
	第17章　電気的特性　推奨発振回路　注意追加	第17章　電気的特性
	第17章　電気的特性　AC特性（8）バス・ホールド・タイミング　記述変更	
	第17章　電気的特性　AC特性（9）リフレッシュ・タイミング　追加	

V850E/ME2 **ユーザーズマニュアル ハードウェア編**

発行年月日 2011 **年** 5 **月** 31 **日** Rev.8.00

発行 **ルネサス エレクトロニクス株式会社**
〒211-8668 **神奈川県川崎市中原区下沼部** 1753

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社　〒100-0004　千代田区大手町2-6-2（日本ビル）　(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/inquiry

© 2011 Renesas Electronics Corporation. All rights reserved.
Colophon 1.0

V850E/ME2

ルネサス エレクトロニクス株式会社

R01UH0265JJ0800
（旧資料番号：U16031JJ8V0UD00）