

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル

V832TM

32ビット・マイクロプロセッサ

ハードウェア編

μPD705102

資料番号 U13577JJ4V0UM00 (第4版)
発行年月 July 2002 N CP(K)

© NEC Corporation 1998

〔メモ〕

目次要約

第1章	概 説	...	21
第2章	端子機能	...	28
第3章	CPU機能	...	41
第4章	割り込み / 例外処理機能	...	46
第5章	バス制御機能	...	63
第6章	ウェイト制御機能	...	113
第7章	メモリ・アクセス制御機能	...	121
第8章	DMA機能	...	129
第9章	シリアル・インタフェース機能	...	154
第10章	タイマ / カウンタ機能	...	176
第11章	ポート機能	...	193
第12章	クロック発生機能	...	205
第13章	スタンバイ機能	...	211
第14章	リセット / NMI制御機能	...	220
第15章	ディバグ / トレース機能	...	224
付録A	V832ターゲット・ボードのバス設計について	...	227
付録B	レジスタ索引	...	228
付録C	周辺レジスタのビット索引	...	231
付録D	総合索引	...	234

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

本版で改訂された主な箇所

箇所	内容
p.100	5.6 アイドル・ステートに注意を追加

本文欄外の★印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

- 対象者** このマニュアルは、V832 (μ PD705102) の機能を理解し、それを用いた応用システムを設計するユーザを対象としています。
- 目的** このマニュアルは、次に示すV832の持つハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V832のユーザズ・マニュアルは、ハードウェア編 (このマニュアル) とアーキテクチャ編 (V830ファミリ™ ユーザズ・マニュアル アーキテクチャ編) の2冊に分かれています。

ハードウェア編	アーキテクチャ編
・概説	・レジスタ・セット
・端子機能	・データ・セット
・CPU機能	・アドレス空間
・内蔵周辺機能	・命令
・付録	・割り込みと例外

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

命令機能の詳細を理解しようとするとき

V830ファミリ ユーザズ・マニュアル アーキテクチャ編を参照してください。

レジスタ名が分かっている、レジスタの詳細を確認するとき

付録B レジスタ索引を利用してください。

ビット名が分かっている、ビットの詳細を確認するとき

付録C 周辺レジスタのビット索引を利用してください。

一通りV832の機能を理解しようとするとき

目次に従ってお読みください。

- 凡例** データ表記の重み：左が上位桁、右が下位桁
アクティブ・ロウの表記：x x x (端子、信号名称に上線)
メモリ・マップのアドレス：上部-上位、下部-下位
注：本文中につけた注の説明
注意：気をつけて読んでいただきたい内容
備考：本文の補足説明
数の表記：2進数 ... x x x x または x x x x B
10進数 ... x x x x
16進数 ... x x x x H

2のべき数を示す接頭語（アドレス空間，メモリ容量）：

K（キロ）： $2^{10} = 1024$

M（メガ）： $2^{20} = 1024^2$

G（ギガ）： $2^{30} = 1024^3$

関連資料 関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V832に関する資料

資料名	資料番号
V832 ユーザーズ・マニュアル ハードウェア編	このマニュアル
V830 ファミリー ユーザーズ・マニュアル アーキテクチャ編	U12496J
μ PD705102 データ・シート	U13675J

開発ツールに関する資料（ユーザーズ・マニュアル）

資料名		資料番号	
CA830（Cコンパイラ）	操作編	U13998J	
	アセンブリ言語編	U14370J	
	C言語編	U13997J	
	プロジェクト・マネージャ編	U13996J	
RX830 （リアルタイムOS）	μ ITRON Ver.3.0	基礎編	U13152J
		インストレーション編	U13151J
		テクニカル編	U13150J
RD830（タスク・ディバッガ）		U13946J	
AZ830（システム・パフォーマンス・アナライザ）		U13621J	

目 次

第1章 概 説 ... 21

- 1.1 特 徴 ... 21
- 1.2 応用分野 ... 22
- 1.3 オーダ情報 ... 23
- 1.4 端子接続図 (Top View) ... 23
- 1.5 内部ブロック構成 ... 25
- 1.6 内部ユニット ... 26

第2章 端子機能 ... 28

- 2.1 端子機能一覧 ... 28
 - 2.1.1 ポート端子 ... 28
 - 2.1.2 ポート以外の端子 ... 29
- 2.2 端子状態 ... 31
- 2.3 端子機能説明 ... 32
 - 2.3.1 アドレス・バス ... 32
 - 2.3.2 データ・バス ... 32
 - 2.3.3 バス制御信号 ... 32
 - 2.3.4 システム制御信号 ... 34
 - 2.3.5 割り込み制御信号 ... 35
 - 2.3.6 SDRAM制御信号 ... 35
 - 2.3.7 DMA制御信号 ... 36
 - 2.3.8 リアルタイム・パルス制御信号 ... 37
 - 2.3.9 シリアル制御信号 ... 37
 - 2.3.10 ポート制御信号 ... 37
 - 2.3.11 ディバグ制御信号 ... 38
- 2.4 端子の入出力回路と未使用端子の処理 ... 39

第3章 CPU機能 ... 41

- 3.1 内蔵周辺I/O空間 ... 41
 - 3.1.1 注意事項 ... 41
- 3.2 CPUコア・システム・レジスタ ... 42
- 3.3 周辺I/Oレジスタ ... 43

第4章 割り込み / 例外処理機能 ... 46

- 4.1 割り込み / 例外処理 ... 46
 - 4.1.1 割り込み / 例外処理の種類 ... 46
- 4.2 ノンマスカブル割り込み ... 48
 - 4.2.1 ノンマスカブル割り込みの処理形態 ... 48
- 4.3 マスカブル割り込み ... 49

4.3.1	マスカブル割り込みの処理形態	...	49
4.3.2	マスカブル割り込みの優先順位	...	51
4.4	例外処理	...	52
4.5	例外/割り込みからの復帰	...	53
4.5.1	例外/割り込みからの復帰	...	53
4.5.2	致命的例外ルーチンからの復帰	...	53
4.6	割り込み制御レジスタ	...	54
4.6.1	割り込みグループ優先順位レジスタ (IGP)	...	54
4.6.2	割り込みクリア・レジスタ (ICR)	...	57
4.6.3	割り込み要求レジスタ (IRR)	...	57
4.6.4	割り込み要求マスク・レジスタ (IMR)	...	58
4.6.5	ICUモード・レジスタ (IMOD)	...	59
4.7	外部入力端子による割り込み要求	...	61

第5章 バス制御機能 ... 63

5.1	特徴	...	63
5.2	外部I/Oサイクル	...	63
5.2.1	バイト・アクセス制御	...	66
5.3	SRAM (ROM) サイクル	...	67
5.3.1	SRAM (ROM) シングル・サイクル	...	69
5.3.2	SRAM (ROM) バースト・サイクル	...	72
5.3.3	バイト・アクセス制御	...	73
5.4	Page-ROMサイクル	...	74
5.4.1	Page-ROMシングル・サイクル	...	74
5.4.2	Page-ROMバースト・サイクル	...	74
5.5	SDRAMサイクル	...	77
5.5.1	SDRAMシングル・リード・サイクル	...	80
5.5.2	SDRAMシングル・ライト・サイクル	...	82
5.5.3	SDRAMバースト・リード・サイクル	...	84
5.5.4	SDRAMバースト・ライト・サイクル	...	87
5.5.5	タイミング制御	...	89
5.5.6	バイト・アクセス制御	...	91
5.5.7	リフレッシュ制御	...	94
5.5.8	初期化シーケンス	...	96
5.5.9	パワー・ダウン・モード	...	99
5.6	アイドル・ステート	...	100
5.7	バス・サイジング	...	101
5.8	バス・ホールド・サイクル	...	109
5.9	バス・アービトレーション	...	111
5.10	ライト・バッファ動作	...	112
5.11	メモリ・マップトI/O	...	112

第6章 ウェイト制御機能 ... 113

6.1	特徴	...	113
6.2	アドレス空間とブロック	...	114
6.3	ウェイト制御レジスタ	...	115
6.3.1	バス・サイクル・タイプ・コントロール・レジスタ (BCTC)	...	115

6.3.2	データ・バス幅コントロール・レジスタ (DBC)	...	116
6.3.3	プログラマブル・ウエイト・コントロール・レジスタ0 (PWC0)	...	117
6.3.4	プログラマブル・ウエイト・コントロール・レジスタ1 (PWC1)	...	118
6.3.5	プログラマブル・アイドル・コントロール・レジスタ0,1 (PIC0, PIC1)	...	119
6.4	READY端子によるウエイト制御	...	120
6.4.1	READY端子入力のサンプリング・タイミング	...	120
6.4.2	READY端子とプログラマブル・ウエイト両方を使用する場合	...	120

第7章 メモリ・アクセス制御機能 ... 121

7.1	特 徴	...	121
7.2	SDRAM制御機能	...	122
7.2.1	アドレス・マルチプレクス機能	...	122
7.2.2	on-page/off-pageの判断	...	123
7.2.3	SDRAMコンフィギュレーション・レジスタ (SDC)	...	123
7.2.4	SDRAMモード・レジスタ (SDM)	...	125
7.2.5	リフレッシュ機能	...	126
7.3	Page-ROM制御機能	...	128
7.3.1	Page-ROMコンフィギュレーション・レジスタ (PRC)	...	128

第8章 DMA機能 ... 129

8.1	特 徴	...	129
8.2	構 成	...	130
8.3	DMA制御レジスタ	...	132
8.3.1	DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)	...	132
8.3.2	DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)	...	134
8.3.3	DMAバイト・カウント・レジスタ0-3 (DBC0-DBC3)	...	135
8.3.4	DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)	...	137
8.3.5	DMAコントロール・レジスタ (DC)	...	140
8.4	転送モード	...	141
8.4.1	シングル転送モード	...	141
8.4.2	ダイヤモンド転送モード	...	142
8.5	DMA転送タイプと転送対象	...	143
8.5.1	2サイクル転送	...	143
8.5.2	転送対象	...	145
8.6	DMAチャンネルの優先順位	...	145
8.7	DMA転送要求	...	145
8.7.1	DMARQ端子からの要求	...	146
8.7.2	ソフトウェアからの要求	...	146
8.7.3	内蔵周辺ハードウェアからの要求	...	146
8.8	DMA転送終了割り込み	...	148
8.8.1	TCnビット参照とDMA転送終了割り込みの動作	...	148
8.9	DMA転送終了出力	...	150
8.10	強制中断	...	151
8.10.1	NMI信号による中断	...	151
8.10.2	HLDRQ信号, リフレッシュによる一時中断	...	151
8.11	DMA転送のバス・サイジング	...	152

第9章 シリアル・インタフェース機能 ... 154

- 9.1 アシクロナス・シリアル・インタフェース (UART) ... 154
 - 9.1.1 概要 ... 154
 - 9.1.2 特徴 ... 155
 - 9.1.3 構成 ... 156
 - 9.1.4 モード・レジスタとコントロール・レジスタ ... 157
 - 9.1.5 端子機能 ... 163
 - 9.1.6 割り込み要求 ... 163
 - 9.1.7 基本動作 ... 164
- 9.2 クロック同期式シリアル・インタフェース (CSI) ... 166
 - 9.2.1 特徴 ... 166
 - 9.2.2 構成 ... 166
 - 9.2.3 モード・レジスタとコントロール・レジスタ ... 167
 - 9.2.4 端子機能 ... 169
 - 9.2.5 基本動作 ... 169
- 9.3 ボー・レート・ジェネレータ ... 171
 - 9.3.1 構成と機能 ... 171
 - 9.3.2 ボー・レート・ジェネレータ・コンペア・レジスタ (BRG0) ... 174
 - 9.3.3 ボー・レート・ジェネレータ・プリスケアラ・モード・レジスタ (BPRM0) ... 175

第10章 タイマ/カウンタ機能 ... 176

- 10.1 特徴 ... 176
- 10.2 構成 ... 177
 - 10.2.1 タイマ1 ... 178
 - 10.2.2 タイマ4 ... 180
 - 10.2.3 キャプチャ/コンペア・レジスタ10-13 (CC10-CC13) ... 181
- 10.3 タイマ/カウンタ制御レジスタ ... 183
 - 10.3.1 タイマ・ユニット・モード・レジスタ (TUM1) ... 183
 - 10.3.2 タイマ・コントロール・レジスタ1 (TMC1) ... 185
 - 10.3.3 タイマ・コントロール・レジスタ4 (TMC4) ... 186
 - 10.3.4 タイマ出力コントロール・レジスタ (TOC1) ... 187
 - 10.3.5 ICUモード・レジスタ (IMOD) ... 188
 - 10.3.6 タイマ・オーバフロー・ステータス・レジスタ (TOVS) ... 188
- 10.4 動作 ... 189
 - 10.4.1 タイマ1 ... 189
 - 10.4.2 タイマ4 ... 190
- 10.5 注意事項 ... 191

第11章 ポート機能 ... 193

- 11.1 ポートの基本構成 ... 193
- 11.2 PORT ... 194
 - 11.2.1 PORTの構成 ... 194
 - 11.2.2 PORT制御レジスタ ... 197
- 11.3 PORTA ... 199
 - 11.3.1 PORTAの構成 ... 199

11.3.2	PORTA制御レジスタ	...	200
11.4	PORTB	...	202
11.4.1	PORTBの構成	...	202
11.4.2	PORTB制御レジスタ	...	203
第12章	クロック発生機能	...	205
12.1	特 徴	...	205
12.2	構 成	...	206
12.3	入力クロック選択	...	207
12.3.1	ロックアップ時間	...	207
12.4	クロック出力制御	...	207
12.4.1	クロック出力禁止モード	...	207
12.5	クロック制御レジスタ	...	208
12.5.1	クロック・コントロール・レジスタ (CGC)	...	208
12.5.2	パワー・マネジメント・レジスタ (PMR)	...	209
12.5.3	PLLコントロール・レジスタ (PLLCR)	...	210
第13章	スタンバイ機能	...	211
13.1	特 徴	...	211
13.2	パワー・マネジメント・モード	...	212
13.2.1	モード切り替えの設定	...	213
13.3	スタンバイ・モード	...	214
13.3.1	HALTモード	...	215
13.3.2	STOPモード	...	216
13.4	発振安定時間の確保	...	218
第14章	リセット/NMI制御機能	...	220
14.1	特 徴	...	220
14.2	ノンマスクブル割り込み (NMI)	...	220
14.3	リセット	...	220
14.3.1	端子機能	...	221
14.3.2	イニシャライズ	...	223
第15章	ディバグ/トレース機能	...	224
15.1	特 徴	...	224
15.2	インサーキット・エミュレータ接続コネクタ部 (ターゲット・ボード側)	...	225
15.3	ディバグ/トレース機能の制限事項	...	226
15.3.1	制限事項の回避方法	...	226
付録A	V832ターゲット・ボードのバス設計について	...	227

付録B レジスタ索引 ... 228

付録C 周辺レジスタのビット索引 ... 231

付録D 総合索引 ... 234

D.1 50音で始まる語句の索引 ... 234

D.2 数字またはアルファベットで始まる語句の索引 ... 237

図の目次 (1/4)

図番号	タイトル, ページ
2 - 1	端子の入出力回路 ... 40
3 - 1	内蔵周辺I/Oマップ ... 41
4 - 1	ノンマスカブル割り込み要求の処理フロー ... 48
4 - 2	マスカブル割り込み要求の処理フロー ... 50
4 - 3	例外処理フロー ... 52
4 - 4	例外 / 割り込みからの復帰フロー ... 53
4 - 5	致命的例外ルーチンからの復帰フロー ... 53
4 - 6	割り込みグループ優先順位レジスタ (IGP) ... 54
4 - 7	割り込みクリア・レジスタ (ICR) ... 57
4 - 8	割り込み要求レジスタ (IRR) ... 57
4 - 9	割り込み要求マスク・レジスタ (IMR) ... 58
4 - 10	ICUモード・レジスタ (IMOD) ... 60
5 - 1	外部I/Oサイクル (32ビット・バス・モード, リード時) ... 64
5 - 2	外部I/Oサイクル (32ビット・バス・モード, ライト時) ... 65
5 - 3	16M ROM (1M×16) との接続例 (32ビット・バス・モード時) ... 67
5 - 4	1M SRAM (128K×8) との接続例 (32ビット・バス・モード時) ... 68
5 - 5	SRAM (ROM) シングル・サイクル (32ビット・バス・モード, リード時) ... 70
5 - 6	SRAM (ROM) シングル・サイクル (32ビット・バス・モード, ライト時) ... 71
5 - 7	SRAM (ROM) バースト・サイクル ... 73
5 - 8	Page-ROMバースト・サイクル (32ビット・バス・モード) ... 75
5 - 9	Page-ROMバースト・サイクル (16ビット・バス・モード, 8バイト・ページ・サイズ) ... 76
5 - 10	SDRAM (64Mビット) との接続例 (16ビット・バス・モード時) ... 78
5 - 11	SDRAM (64Mビット) との接続例 (32ビット・バス・モード時) ... 79
5 - 12	SDRAMシングル・リード・サイクル (off-page, 32ビット・データ幅) ... 80
5 - 13	SDRAMシングル・リード・サイクル (on-page, 32ビット・データ幅) ... 81
5 - 14	SDRAMシングル・ライト・サイクル (off-page, 32ビット・データ幅) ... 82
5 - 15	SDRAMシングル・ライト・サイクル (on-page, 32ビット・データ幅) ... 83
5 - 16	SDRAMバースト・リード・サイクル (off-page, 32ビット・データ幅) ... 85
5 - 17	SDRAMバースト・リード・サイクル (on-page, 32ビット・データ幅) ... 86
5 - 18	SDRAMバースト・ライト・サイクル (off-page, 32ビット・データ幅) ... 87
5 - 19	SDRAMバースト・ライト・サイクル (on-page, 32ビット・データ幅) ... 88
5 - 20	SDRAMアクセス・タイミング制御 (バースト・リード・サイクル時, 32ビット・データ幅) ... 90
5 - 21	SDRAMバイト・アクセス制御 (バイト単位でのライト, 32ビット・データ幅) ... 92
5 - 22	SDRAMバイト・アクセス制御 (ハーフワード単位でのリード, 32ビット・データ幅) ... 93
5 - 23	オート・リフレッシュ・サイクル (32ビット・データ幅) ... 94

図の目次 (2/4)

図番号	タイトル, ページ
5 - 24	セルフ・リフレッシュ・サイクル (TRP = 0, TRC = 01 のとき, 32ビット・データ幅) ... 95
5 - 25	SDRAM初期化シーケンス ... 97
5 - 26	SDRAMモード・レジスタ設定サイクル (32ビット・データ幅) ... 98
5 - 27	パワー・ダウン・モード (32ビット・データ幅) ... 99
5 - 28	バス・サイジングによって追加されたアクセスSDRAMシングル・リード・サイクル (off-page, 16ビット・データ幅) 時 ... 103
5 - 29	バス・サイジングによって追加されたアクセスSDRAMシングル・ライト・サイクル (off-page, 16ビット・データ幅) 時 ... 104
5 - 30	バス・サイジングによって追加されたアクセスSDRAMバースト・リード・サイクル (off-page, 16ビット・データ幅) 時 ... 105
5 - 31	バス・サイジングによって追加されたアクセスSDRAMバースト・ライト・サイクル (off-page, 16ビット・データ幅) 時 ... 106
5 - 32	I/Oサイクルでバス・サイジングによって追加されたアクセス (16ビット・データ幅) ... 107
5 - 33	SRAMシングル・サイクルでバス・サイジングによって追加されたアクセス (16ビット・データ幅) ... 108
5 - 34	バス・ホールド・サイクル ... 110
6 - 1	アドレス空間 ... 114
6 - 2	バス・サイクル・タイプ・コントロール・レジスタ (BCTC) ... 115
6 - 3	データ・バス幅コントロール・レジスタ (DBC) ... 116
6 - 4	プログラマブル・ウエイト・コントロール・レジスタ0 (PWC0) ... 117
6 - 5	プログラマブル・ウエイト・コントロール・レジスタ1 (PWC1) ... 118
6 - 6	プログラマブル・アイドル・コントロール・レジスタ0, 1 (PIC0, PIC1) ... 119
7 - 1	SDRAMコンフィギュレーション・レジスタ (SDC) ... 124
7 - 2	SDRAMモード・レジスタ (SDM) ... 125
7 - 3	リフレッシュ・コントロール・レジスタ (RFC) ... 127
7 - 4	Page-ROMコンフィギュレーション・レジスタ (PRC) ... 128
8 - 1	DMACブロック図 ... 130
8 - 2	DMA基本状態遷移図 ... 131
8 - 3	DMAソース・アドレス・レジスタ0H-3H (DSA0H-DSA3H) ... 132
8 - 4	DMAソース・アドレス・レジスタ0L-3L (DSA0L-DSA3L) ... 133
8 - 5	DMAデスティネーション・アドレス・レジスタ0H-3H (DDA0H-DDA3H) ... 134
8 - 6	DMAデスティネーション・アドレス・レジスタ0L-3L (DDA0L-DDA3L) ... 135
8 - 7	DMAバイト・カウント・レジスタ0-3 (DBC0-DBC3) ... 136
8 - 8	DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) ... 137
8 - 9	DMAコントロール・レジスタ (DC) ... 140
8 - 10	シングル転送の例1 ... 141

図の目次 (3/4)

図番号	タイトル, ページ
8 - 11	シングル転送の例2 ... 141
8 - 12	ダイヤモンド転送の例 ... 142
8 - 13	2サイクル・ダイヤモンド転送 (外部I/O SRAM) ... 143
8 - 14	シングル転送モード転送タイミング例 (外部I/O SRAM) ... 144
8 - 15	内蔵周辺ハードウェアからの要求による転送例 ... 147
8 - 16	チャンネル0とチャンネル1の転送終了処理 ... 149
8 - 17	DMA転送終了出力タイミング ... 150
8 - 18	16-32ビット・データ・バス幅 (32ビット転送バス・サイジング) ... 152
8 - 19	16-16ビット・データ・バス幅 (32ビット転送バス・サイジング) ... 153
9 - 1	UARTのブロック図 ... 156
9 - 2	アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) ... 157
9 - 3	アシンクロナス・シリアル・インタフェース・モード・レジスタ01 (ASIM01) ... 159
9 - 4	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS0) ... 160
9 - 5	受信バッファ (RXB0, RXB0L) ... 161
9 - 6	送信シフト・レジスタ (TXS0, TXS0L) ... 162
9 - 7	UARTの送受信データ・フォーマット ... 164
9 - 8	CSIのブロック図 ... 166
9 - 9	クロック同期式シリアル・インタフェース・モード・レジスタ0 (CSIM0) ... 167
9 - 10	シリアルI/Oシフト・レジスタ0 (SIO0) ... 168
9 - 11	CSIの転送タイミング ... 169
9 - 12	ポー・レート・ジェネレータ (BRG) のブロック構成 ... 171
9 - 13	ポー・レート・ジェネレータ・コンペア・レジスタ (BRG0) ... 174
9 - 14	ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ (BPRM0) ... 175
10 - 1	タイマ1のブロック構成 ... 177
10 - 2	タイマ4のブロック構成 ... 178
10 - 3	タイマ1 (TM1) ... 178
10 - 4	タイマ4 (TM4) ... 180
10 - 5	コンペア・レジスタ (CM4) ... 180
10 - 6	キャプチャ/コンペア・レジスタ10-13 (CC10-CC13) ... 181
10 - 7	タイマ・ユニット・モード・レジスタ (TUM1) ... 183
10 - 8	タイマ・コントロール・レジスタ1 (TMC1) ... 185
10 - 9	タイマ・コントロール・レジスタ4 (TMC4) ... 186
10 - 10	タイマ出力コントロール・レジスタ (TOC1) ... 187
10 - 11	タイマ・オーバフロー・ステータス・レジスタ (TOVS) ... 188
10 - 12	タイマ1の基本動作 ... 189
10 - 13	キャプチャ動作例 ... 190
10 - 14	タイマ4の基本動作 ... 190

図の目次 (4/4)

図番号	タイトル, ページ
10 - 15	コンペア動作例 ... 191
11 - 1	ポートの種類 ... 193
11 - 2	PORT0のブロック図 ... 194
11 - 3	PORT1, PORT4のブロック図 ... 195
11 - 4	PORT2, PORT3のブロック図 ... 196
11 - 5	入出力ポート・レジスタ (PORT) ... 197
11 - 6	入出力モード・レジスタ (PM) ... 197
11 - 7	ポート・コントロール・モード・レジスタ (PC) ... 198
11 - 8	PORTAnのブロック図 (n = 0, 2, 4, 6) ... 199
11 - 9	PORTAnのブロック図 (n = 1, 3, 5, 7) ... 200
11 - 10	入出力ポート・レジスタA (PORTA) ... 200
11 - 11	入出力モード・レジスタA (PAM) ... 201
11 - 12	ポートAコントロール・モード・レジスタ (PAC) ... 201
11 - 13	PORTB0-PORTB7のブロック図 ... 202
11 - 14	入出力ポート・レジスタB (PORTB) ... 203
11 - 15	入出力モード・レジスタB (PBM) ... 203
11 - 16	ポートBコントロール・モード・レジスタ (PBC) ... 204
12 - 1	クロック発生機能のブロック図 ... 206
12 - 2	X1, X2端子回路図 ... 206
12 - 3	クロック出力禁止モード ... 207
12 - 4	クロック・コントロール・レジスタ (CGC) ... 208
12 - 5	パワー・マネジメント・レジスタ (PMR) ... 209
12 - 6	PLLコントロール・レジスタ (PLLCR) ... 210
13 - 1	状態遷移図 ... 211
13 - 2	動作周波数切り替えシーケンス ... 212
13 - 3	STOPAKの動作タイミング ... 217
13 - 4	STOPモード解除タイミング ($\overline{\text{NMI}}$ 信号入力時) ... 219
13 - 5	STOPモード解除タイミング ($\overline{\text{RESET}}$ 信号入力時) ... 219
14 - 1	リセット信号の受け付け ... 222
15 - 1	N-wire対応のインサーキット・エミュレータ接続コネクタの推奨接続回路例 ... 225
A - 1	バッファ挿入時の推奨回路図 ... 227

表の目次 (1/2)

表番号	タイトル, ページ
2 - 1	各端子の状態 ... 31
2 - 2	端子の入出力回路タイプと未使用時の推奨接続方法 ... 39
4 - 1	割り込み一覧 ... 46
4 - 2	割り込み一覧 (マスカブル割り込み) ... 47
4 - 3	優先順位と例外コード, ハンドラ・アドレス, 割り込み優先の関係 (デフォルト) ... 55
4 - 4	優先順位と例外コード, ハンドラ・アドレス, 割り込み優先の関係 (IGP = 36Hに変更した場合) ... 56
4 - 5	割り込み制御レジスタの各ビットと割り込み要求信号の対応 ... 58
5 - 1	32ビット・データ・バス ($\overline{\text{xxBEN}}$) ... 66
5 - 2	16ビット・データ・バス ($\overline{\text{xxBEN}}$) ... 66
5 - 3	32ビット・データ・バス ($\overline{\text{xxDQM}}$) ... 91
5 - 4	16ビット・データ・バス ($\overline{\text{xxDQM}}$) ... 91
5 - 5	アイドル期間中のバス制御信号の値 ... 100
5 - 6	シングル・サイクル時のアクセス順番 ... 101
5 - 7	バースト・サイクル時のアクセス順番 ... 102
7 - 1	ロウ・アドレス, カラム・アドレスの出力 (32ビット・データ幅) ... 122
7 - 2	ロウ・アドレス, カラム・アドレスの出力 (16ビット・データ幅) ... 123
7 - 3	on-page/off-page判断で比較するアドレス ... 123
7 - 4	接続可能なSDRAMの種類 ... 125
9 - 1	スタート条件 ... 170
9 - 2	BRG設定データ ... 173
10 - 1	キャプチャ/コンペア・レジスタ ... 182
11 - 1	PORTのコントロール・モード時の動作 ... 194
11 - 2	PORTAのコントロール・モード時の動作 ... 199
11 - 3	PORTBのコントロール・モード時の動作 ... 202
12 - 1	PMCとPLLモード/ダイレクト・モード時の周波数例 (μ PD705102-143) ... 205
12 - 2	PMCとPLLモード/ダイレクト・モード時の周波数例 (μ PD705102-133) ... 205
13 - 1	スタンバイ制御によるクロック・ジェネレータの動作 ... 214
13 - 2	HALTモード時の動作状態 ... 215
13 - 3	割り込み要求によるHALTモード解除後の動作 ... 216
13 - 4	STOPモード時の動作状態 ... 217

表の目次 (2/2)

表番号	タイトル, ページ
14 - 1	リセット直後の出力端子の状態 ... 221
14 - 2	各レジスタのリセット後の初期値 ... 223

第1章 概 説

V832は、組み込み制御向け高性能32ビット・マイクロプロセッサV830™ (μ PD705100) をプロセッサ・コアに使用し、SDRAM/ROMコントローラ、4チャンネルのDMAコントローラ、リアルタイム・パルス・ユニット、シリアル・インタフェース、割り込みコントローラなどの周辺機能を内蔵した32ビットRISCマイクロプロセッサです。

V832は、高い割り込み応答性、最適化されたパイプライン構造に加え、マルチメディア機能を実現するために積和演算命令、連結シフト命令、高速分岐命令などを持ち、インターネット/イントラネット機器、カー・ナビゲーション、デジタル・スチル・カメラ、カラーFAXなどのマルチメディア機器分野できわめて高いパフォーマンスを実現できます。

1.1 特 徴

CPU機能

V830命令互換

命令キャッシュ	: 4Kバイト
命令RAM	: 4Kバイト
データ・キャッシュ	: 4Kバイト
データRAM	: 4Kバイト
最小命令実行サイクル数	: 1サイクル
メモリ空間, I/O空間	: 各4Gバイト
汎用レジスタ数	: 32ビット×32本

割り込み / 例外処理機能

ノンマスカブル	: 外部入力 1本
マスカブル	: 外部入力 8本 (4本は内部と兼用) 内部要因 11種類

4つのグループごとの優先順位を指定可能

バス制御機能

チップ・セレクト出力	: 8ブロック (\overline{CS} 8本)
4つの \overline{CS} に対しメモリとI/O空間の選択が可能	
2つの \overline{CS} に対しSDRAM・他メモリ空間の選択が可能	
各ブロックのリニア・アドレス空間	: 16Mバイト

ウェイト制御機能

SDRAM空間	: ウェイト制御なし
その他メモリ空間	: 0~7ウェイトのソフトウェア制御
I/O空間	: 0~15ウェイトのソフトウェア制御
アイドル・ステート	: 0~7ステート挿入可能

メモリ・アクセス制御機能

SDRAM直結対応

Page-ROMのページ・モード対応

フラッシュ・メモリ直結対応

DMA機能

4チャンネル

最大転送回数 : 16, 777, 216 (2²⁴)

転送タイプ : 2サイクル転送

転送モード : シングル転送, デイモンド転送

プログラマブル・ウエイト機能

シリアル・インタフェース機能

非同期式シリアル・インタフェース (UART) : 1チャンネル

同期式シリアル・インタフェース (CSI) : 1チャンネル

専用ポー・レート・ジェネレータ内蔵 : 1チャンネル

タイマ・カウンタ機能

16ビット・タイマ/イベント・カウンタ : 1チャンネル

タイマ出力 : 2本

16ビット・キャプチャ/コンペア・レジスタ : 4本

16ビット・インターバル・タイマ : 1チャンネル

ポート機能

21本の入出力ポート

クロック発生機能

PLLクロック・シンセサイザ; 6, 8倍機能

スタンバイ機能

HALT, STOPモード, パワー・マネジメント・モード, ダイレクト・モード

デバッグ機能

デバッグ専用同期式シリアル・インタフェース : 1チャンネル

トレース専用インタフェース : 1チャンネル

各種トレース機能 : 分岐PCトレース, データ・トレース

パッケージ

160ピン・プラスチックLQFP (ファインピッチ) (24 × 24)

1.2 応用分野

- ・インターネット/イントラネット機器
- ・カー・ナビゲーション
- ・デジタル・スチル・カメラ
- ・カラーFAX

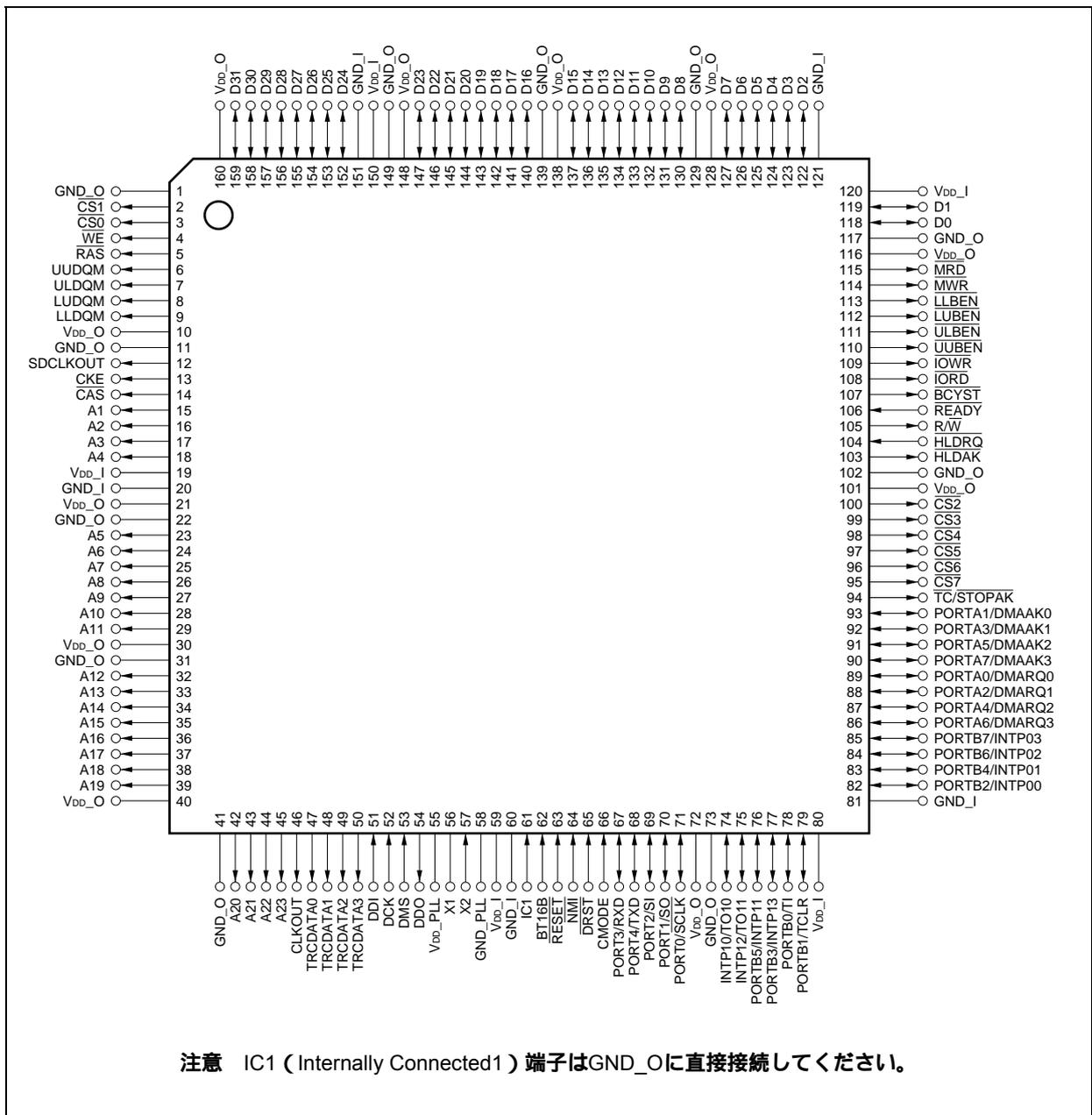
1.3 オーダ情報

オーダ名称	パッケージ
μ PD705102GM-143-8ED	160ピン・プラスチックLQFP (ファインピッチ) (24×24)
μ PD705102GM-133-8ED	"

1.4 端子接続図 (Top View)

・ 160ピン・プラスチックLQFP (ファインピッチ) (24×24)

- μ PD705102GM-143-8ED
- μ PD705102GM-133-8ED

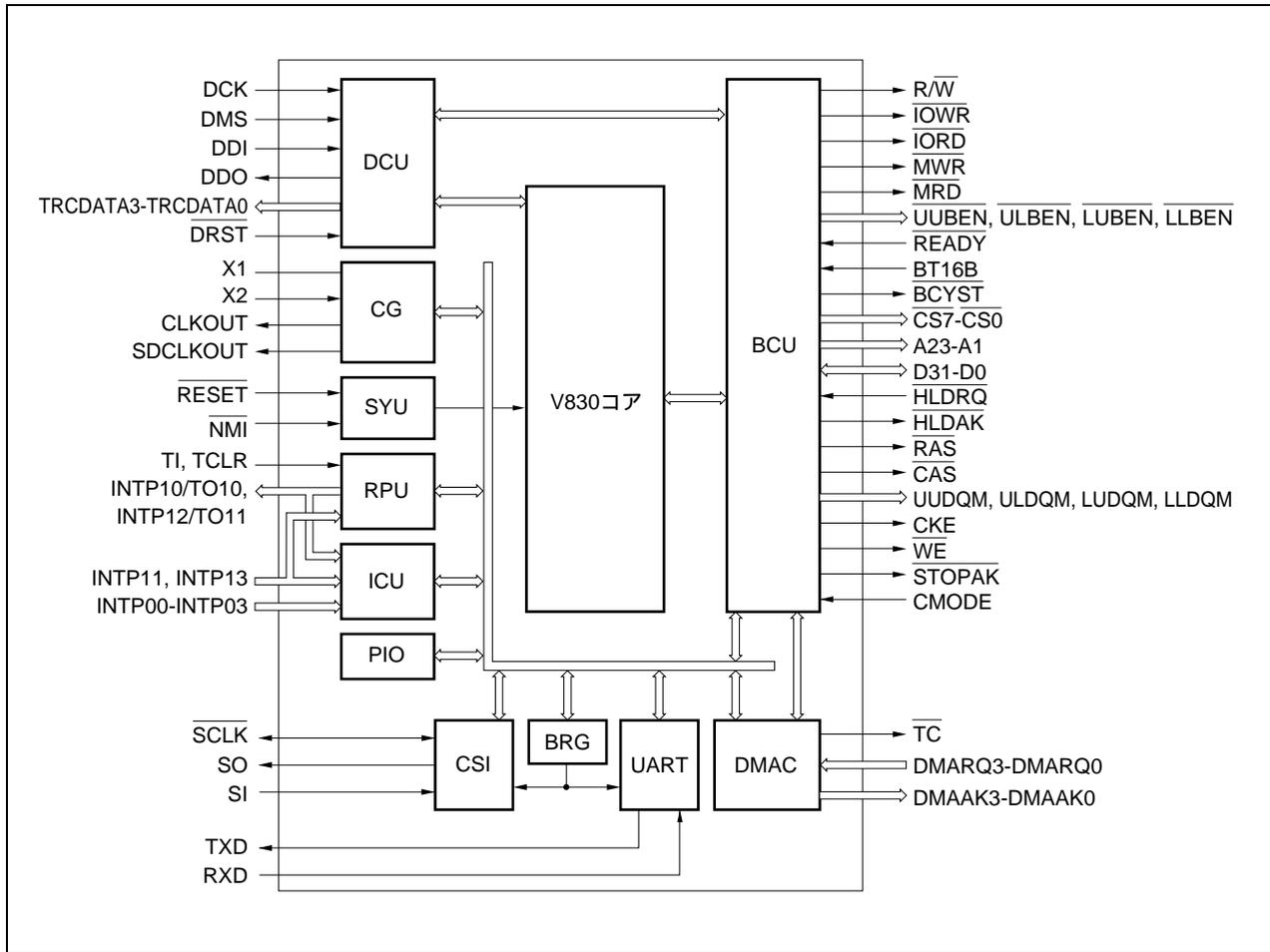


端子名称

A1-A23 : Address Bus	$\overline{\text{MWR}}$: Memory Write
$\overline{\text{BCYST}}$: Bus Cycle Start	$\overline{\text{NMI}}$: Non-Maskable Interrupt Request
BT16B : Boot Bus Size 16-bit	PORT0-PORT4,
$\overline{\text{CAS}}$: Column Address Strobe	PORTA0-PORTA7,
CKE : Clock Enable	PORTB0-PORTB7 : Port
CLKOUT : Clock Out	$\overline{\text{R/W}}$: Bus Read or Write Status
CMODE : Clock Mode	$\overline{\text{RAS}}$: Row Address Strobe
$\overline{\text{CS0}}-\overline{\text{CS7}}$: Chip Select	$\overline{\text{READY}}$: Ready
D0-D31 : Data Bus	$\overline{\text{RESET}}$: Reset
DCK : Debug Clock	RXD : Receive Data
DDI : Debug Data Input	SCLK : Serial Clock
DDO : Debug Data Output	SDCLKOUT : SDRAM Clock Out
DMAAK0-DMAAK3 : DMA Acknowledge	SI : Serial Input
DMARQ0-DMARQ3 : DMA Request	SO : Serial Output
DMS : Debug Mode Select	$\overline{\text{STOPAK}}$: Stop Acknowledge
$\overline{\text{DRST}}$: Debug Reset	$\overline{\text{TC}}$: Terminal Count
GND_I : Ground	TCLR : Timer Clear
GND_O : Ground	TI : Timer Input
GND_PLL : PLL Ground	TO10, TO11 : Timer Output
$\overline{\text{HLDAK}}$: Hold Acknowledge	TRCDATA0-TRCDATA3 : Trace Data
$\overline{\text{HLDRQ}}$: Hold Request	TXD : Transmit Data
IC1 : Internally Connected	$\overline{\text{ULBEN}}$: Upper Lower Byte Enable
INTP00-INTP03, INTP10-INTP13 : Interrupt Request	$\overline{\text{ULDQM}}$: Upper Lower DQ Mask enable
From Peripheral	$\overline{\text{UUBEN}}$: Upper Upper Byte Enable
$\overline{\text{IORD}}$: I/O Read	$\overline{\text{UUDQM}}$: Upper Upper DQ Mask enable
$\overline{\text{IOWR}}$: I/O Write	V _{DD_I} : Power Supply (2.5 V)
$\overline{\text{LLBEN}}$: Lower Lower Byte Enable	V _{DD_O} : Power Supply (3.3 V)
$\overline{\text{LLDQM}}$: Lower Lower DQ Mask enable	V _{DD_PLL} : PLL Power Supply (2.5 V)
$\overline{\text{LUBEN}}$: Lower Upper Byte Enable	$\overline{\text{WE}}$: Write Enable
$\overline{\text{LUDQM}}$: Lower Upper DQ Mask enable	X1, X2 : Crystal Oscillator
$\overline{\text{MRD}}$: Memory Read	

1.5 内部ブロック構成

V832の内部ブロック構成を次に示します。



1.6 内部ユニット

V832の内部ユニット構成と機能概要を次に示します。

(1) バス・コントロール・ユニット (BCU)

アドレス・バス, データ・バス, コントロール・バスの端子を制御します。次にBCUの機能を示します。

(a) バス・アビトレーション

各バス・マスタ (CPU, SDRAMC, DMAC, 外部バス・マスタ) 間で, バス使用権の調停を行います。バス使用権は, 実行中のバス・サイクル終了後およびアイドル・ステートにおいて切り替えることができます。

(b) ウェイト・コントロール

8本のチップ・セレクト信号 ($\overline{CS0}$ - $\overline{CS7}$) に対応するリニア16Mバイト空間の8個にエリアを管理します。チップ・セレクト信号の生成, ウェイト制御およびバス・サイクルの種類を選択します。

(c) SDRAMコントローラ

SDRAMへのコマンド生成とアクセス制御を行います。 \overline{CAS} レーテンシは, 2のみです。

(d) ROMコントローラ

ページ・アクセス機能付きROMへのアクセスに対応します。直前のバス・サイクルとのアドレス比較を行い, 通常アクセス (off-page) / ページ・アクセス (on-page) のウェイト制御を行います。8バイトから16バイトまでのページ幅に対応します。

(2) 割り込みコントローラ (ICU)

内蔵周辺ハードウェアおよび外部からのマスクブル割り込み要求 (INTP00-INTP03, INTP10-INTP13) を処理します。これらの割り込み要求を, 4つのグループ単位ごとに優先順位を指定でき, エッジまたはレベルによる割り込み要因の多重処理を行います。

(3) DMAコントローラ (DMAC)

CPUの代わりにメモリとI/Oの間でデータ転送を行います。転送タイプは, 2サイクル転送になります。転送モードには, シングル転送とディマンド転送の2種類があります。

(4) シリアル・インタフェース (UART/CSI/BRG)

アシンクロナス・シリアル・インタフェース (UART) とクロック同期式シリアル・インタフェース (CSI) を1チャンネル備えています。シリアル・クロック・ソースは, ボー・レート・ジェネレータ (BRG) 出力とバス・クロックから選択できます。

(5) リアルタイム・パルス・ユニット (RPU)

タイマ/カウンタ機能を実現します。16ビットのタイマ/イベント・カウンタと16ビットのインターバル・タイマを内蔵して, パルス間隔や周波数の計算, プログラマブルなパルスの出力ができます。

(6) クロック・ジェネレータ (CG)

X1, X2端子に接続された発振子の6倍または8倍の周波数を, CPUの動作クロックとして供給します。また, CLKOUT端子からバス・クロックを周辺ユニットの動作クロックとして, SDCLKOUT端子をSDRAMの動作クロックとしても供給します。発振子を接続する代わりに外部クロックを入力することもできます。

低消費電力のためにパワー・マネジメント・コントロール (PMC) でCPUクロック, バス・クロックの周波数を切り替えます。

(7) ポート (PIO)

ポート機能を実現しています。21本の入出力ポートを備えます。ポート端子と他の機能を選択して使用できます。

(8) システム・コントロール・ユニット (SYU)

RESET信号 (入力) / NMI信号 (入力) のノイズを除去する回路を内蔵しています。

(9) ディバグ・コントロール・ユニット (DCU)

基本的なディバグ機能を実現するため, マッピングとトレースができる回路を内蔵しています。

第2章 端子機能

2.1 端子機能一覧

2.1.1 ポート端子

端子名称	入出力	機 能	兼用端子
PORT0	シュミット入出力	PORT 5ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	SCLK
PORT1	入出力		SO
PORT2	シュミット入出力		SI
PORT3			RXD
PORT4	入出力		TXD
PORTA0	入出力	PORTA 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	DMARQ0
PORTA1			DMAAK0
PORTA2			DMARQ1
PORTA3			DMAAK1
PORTA4			DMARQ2
PORTA5			DMAAK2
PORTA6			DMARQ3
PORTA7			DMAAK3
PORTB0	入出力	PORTB 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	TI
PORTB1			TCLR
PORTB2			INTP00
PORTB3			INTP13
PORTB4			INTP01
PORTB5			INTP11
PORTB6			INTP02
PORTB7			INTP03

2.1.2 ポート以外の端子

(1/2)

端子名称	入出力	機能	兼用端子	
D0-D31	3ステート入出力	データ・バス	-	
A1-A23	3ステート出力	アドレス・バス	-	
READY	入力	バス・サイクル終結許可	-	
HLD $\overline{\text{RQ}}$	入力	バス・ホールド要求	-	
HLD $\overline{\text{AK}}$	出力	バス・ホールド許可	-	
$\overline{\text{MRD}}$	3ステート出力	メモリ・リード・ストロープ	-	
$\overline{\text{UUBEN}}$		バイト・イネーブル出力(最上位バイト:D31-D24)	-	
$\overline{\text{ULBEN}}$		バイト・イネーブル出力(第2バイト有効:D23-D16)	-	
$\overline{\text{LUBEN}}$		バイト・イネーブル出力(第3バイト有効:D15-D8)	-	
$\overline{\text{LLBEN}}$		バイト・イネーブル出力(最下位バイト有効:D7-D0)	-	
$\overline{\text{IORD}}$		I/Oリード・ストロープ	-	
$\overline{\text{IOWR}}$		I/Oライト・ストロープ	-	
$\overline{\text{MWR}}$		メモリ・ライト・ストロープ	-	
BT16B		入力	$\overline{\text{CS7}}$ 空間バス・サイズ設定	-
$\overline{\text{BCYST}}$		3ステート出力	バス・サイクル・スタート出力	-
$\overline{\text{R/W}}$	R/W出力		-	
$\overline{\text{RESET}}$	入力	リセット入力	-	
X1	-	水晶振動子接続(外部クロック入力時オープン)	-	
X2	シュミット入力	水晶振動子接続/外部クロック入力	-	
CLKOUT	出力	バス・クロック出力	-	
CMODE	入力	PLL倍率設定(×6, ×8)	-	
$\overline{\text{CS2}}, \overline{\text{CS7}}$	3ステート出力	メモリ・チップ・セレクト出力	-	
$\overline{\text{CS3-CS6}}$		メモリI/Oチップ・セレクト出力	-	
$\overline{\text{STOPAK}}$	出力	STOPモード通知出力	$\overline{\text{TC}}$	
INTP10	入力	マスカブル割り込み入力	TO10	
INTP11			PORTB5	
INTP12			TO11	
INTP13			PORTB3	
INTP00			PORTB2	
INTP01			PORTB4	
INTP02			PORTB6	
INTP03			PORTB7	
$\overline{\text{NMI}}$			ノンマスカブル割り込み入力	-
$\overline{\text{RAS}}$			3ステート出力	SDRAM用 $\overline{\text{RAS}}$ ストロープ
$\overline{\text{UUDQM}}$	DQマスク・イネーブル(最上位バイト:D31-D24)	-		
$\overline{\text{ULDQM}}$	DQマスク・イネーブル(第2バイト:D23-D16)	-		
$\overline{\text{LUDQM}}$	DQマスク・イネーブル(第3バイト:D15-D8)	-		
$\overline{\text{LLDQM}}$	DQマスク・イネーブル(最下位バイト:D7-D0)	-		
$\overline{\text{WE}}$	3ステート出力	SDRAM用ライト・ストロープ		-
$\overline{\text{CAS}}$		SDRAM用 $\overline{\text{CAS}}$ ストロープ	-	
$\overline{\text{CS0}}$		SDRAM用チップ・セレクト	-	
$\overline{\text{CS1}}$		SDRAM/SRAM (ROM) 用チップ・セレクト	-	

端子名称	入出力	機能	兼用端子
CKE	3ステート出力	SDRAM用クロック・イネーブル	-
SDCLKOUT	出力	SDRAM用クロック出力	-
DMARQ0	入力	DMA要求 (CH0-CH3)	PORTA0
DMARQ1			PORTA2
DMARQ2			PORTA4
DMARQ3			PORTA6
DMAAK0	出力	DMA許可 (CH0-CH3)	PORTA1
DMAAK1			PORTA3
DMAAK2			PORTA5
DMAAK3			PORTA7
\overline{TC}		DMA転送終了出力	STOPAK
TO10		タイマ1出力	INTP10
TO11			INTP12
TCLR	入力	タイマ1クリア, スタート入力	PORTB1
TI		タイマ1カウント・クロック入力	PORTB0
RXD	シュミット入力	UARTデータ入力	PORT3
TXD	出力	UARTデータ出力	PORT4
\overline{SCLK}	シュミット入出力	CSIクロック入出力	PORT0
SI	シュミット入力	CSIデータ入力	PORT2
SO	出力	CSIデータ出力	PORT1
DCK	シュミット入力	ディバグ・クロック入力	-
DDI	入力	ディバグ・データ入力	-
DDO	出力	ディバグ・データ出力	-
DMS	入力	ディバグ・モード・セレクト	-
\overline{DRST}		DCUリセット入力	-
TRCDATA0-TRCDATA3	出力	トレース・データ出力	-
V _{DD_I}	-	正電源供給 (2.5 V系)	-
V _{DD_O}		正電源供給 (3.3 V系)	-
GND_I		グランド電位 (2.5 V系)	-
GND_O		グランド電位 (3.3 V系)	-
V _{DD_PLL}		PLL (内部クロック発生器) 用電源供給 (2.5 V系) ^{注1}	-
GND_PLL		PLL (内部クロック発生器) 用グランド電位 (2.5 V系) ^{注2}	-

- 注1. 通常の電源端子 (V_{DD_I}) からノイズが回り込まない対策をすることをお勧めします。
2. 通常の電源端子 (GND_I) からノイズが回り込まない対策をすることをお勧めします。

2.2 端子状態

動作状態における各端子の端子状態を表2 - 1に示します。

表2 - 1 各端子の状態

端子 \ 動作状態	リセット	バス・ホールド	HALTモード	STOPモード
CLKOUT, SDCLKOUT	クロック出力	クロック出力	クロック出力	0
$\overline{CS0}$ - $\overline{CS7}$	1	Hi-Z	注1	1
A1-A23	不 定	Hi-Z	注1	不 定
D0-D31	Hi-Z	Hi-Z	注1	Hi-Z
\overline{BCYST}	1	Hi-Z	注1	1
\overline{MRD} , \overline{MWR}	1	Hi-Z	注1	1
\overline{LLBEN} , \overline{LUBEN} , \overline{ULBEN} , \overline{UUBEN}	1	Hi-Z	注1	1
\overline{IORD}	1	Hi-Z	注1	1
\overline{IOWR}	1	Hi-Z	注1	1
\overline{HLDAK}	1	0	注1	1
\overline{RAS} , \overline{CAS} , \overline{WE} , \overline{CKE} , \overline{LLDQM} , \overline{LUDQM} , \overline{ULDQM} , \overline{UUDQM}	1	Hi-Z	注1	注2
$\overline{R/W}$	1	Hi-Z	注1	保持

注1. HALTモード中はDMA動作ができません。

2. セルフ・リフレッシュ状態です。ただし、セルフ・リフレッシュが禁止の場合は保持になります。

備考 0 : ロウ・レベル出力

1 : ハイ・レベル出力

Hi-Z : ハイ・インピーダンス

2.3 端子機能説明

2.3.1 アドレス・バス

(1) A1-A23 (Address Bus) ...3ステート出力

V832が、外部の主記憶や入出力装置をアクセスする際のアドレス信号を出力します。2²⁴バイトのアドレス空間をアクセスできます。バス・クロックの立ち上がりに同期して変化します。

2.3.2 データ・バス

(1) D0-D31 (Data Bus) ...3ステート入出力

V832が、外部の主記憶や入出力装置をアクセスする際の書き込みデータおよび読み出しデータの入出力を行う信号です。バス・クロックの立ち上がりに同期して変化します。入力時、SDRAMアクセス時はバス・クロックの立ち上がりでサンプリングします。それ以外は立ち下がりでサンプリングします。

2.3.3 バス制御信号

(1) $\overline{\text{READY}}$ (Ready) ...入力

メモリやI/Oのアクセス時間に合うようにバス・サイクルを延長させるための信号です。リード信号/ライト信号直後のバス・クロックの立ち上がりでサンプリングされます。なお、 $\overline{\text{READY}}$ 入力のセットアップ/ホールド時間は必ず守ってください。守らない場合の動作については保証できません。

(2) $\overline{\text{HLDRQ}}$ (Hold Request) ...入力

CPUに対してバス使用权を要求する入力端子です。バス・クロックの立ち上がりでサンプリングされます。

(3) $\overline{\text{HLDAK}}$ (Hold Acknowledge) ...出力

$\overline{\text{HLDRQ}}$ 入力に対するアクノリッジ信号です。

CPUが $\overline{\text{HLDRQ}}$ 信号を受け付けると $\overline{\text{HLDAK}}$ 信号をアクティブにします。 $\overline{\text{HLDRQ}}$ 入力がインアクティブになると、CPUは $\overline{\text{HLDAK}}$ 信号をインアクティブにして、バスの制御権を取り戻します。

(4) $\overline{\text{MRD}}$ (Memory Read) ...3ステート出力

実行中のバス・サイクルが外部メモリに対するリード・サイクルであることを示すストロブ信号です。バス・クロックの立ち下がりに同期して変化します。

ただし、バースト・サイクル時、16ビット・バス・サイジング時には、常にアクティブです。また、リフレッシュ・サイクル中は常にインアクティブです。

(5) $\overline{\text{LLBEN}}$ (Lower Lower Byte Enable) ...3ステート出力

実行中のバス・サイクル・リード、またはライト・データのライト・イネーブル信号です。データ・バスは、最下位バイト(D7-D0)が有効になります。バス・クロックの立ち下がりに同期して変化します。

(6) $\overline{\text{LUBEN}}$ (Lower Upper Byte Enable) ...3ステート出力

実行中のバス・サイクル・リード, またはライト・データのライト・イネーブル信号です。データ・バスは, 第3バイト (D15-D8) が有効になります。バス・クロックの立ち下がりに同期して変化します。

(7) $\overline{\text{ULBEN}}$ (Upper Lower Byte Enable) ...3ステート出力

実行中のバス・サイクル・リード, またはライト・データのライト・イネーブル信号です。データ・バスは, 第2バイト (D23-D16) が有効になります。バス・クロックの立ち下がりに同期して変化します。

(8) $\overline{\text{UUBEN}}$ (Upper Upper Byte Enable) ...3ステート出力

実行中のバス・サイクル・リード, またはライト・データのライト・イネーブル信号です。データ・バスは, 最上位バイト (D31-D24) が有効になります。バス・クロックの立ち下がりに同期して変化します。

(9) $\overline{\text{IORD}}$ (I/O Read) ...3ステート出力

実行中のバス・サイクルが外部I/Oに対するリード・サイクルであることを示すストロブ信号です。バス・クロックの立ち下がりに同期して変化します。なお, 16ビット・バス・サイジング時には, 常にアクティブです。

(10) $\overline{\text{IOWR}}$ (I/O Write) ...3ステート出力

外部のI/Oに対するライト・データのストロブ信号です。バス・クロックの立ち下がりに同期して変化します。

(11) $\overline{\text{MWR}}$ (Memory Write Strobe)

外部メモリに対するライト・データのストロブ信号です。
バス・クロックの立ち下がりに同期して変化します。

(12) BT16B (Boot Bus Size 16-bit) ...入力

CPU初期化時に $\overline{\text{CS7}}$ で指定されるエリアの外部データ・バス幅を16ビットに固定する信号です。BT16B信号をアクティブにすると16ビット・データ・バス・システムに対応したモードになります。 $\overline{\text{RESET}}$ 信号がハイ・レベルになった次のバス・クロックの立ち上がりでサンプリングします。

BT16Bは, リセット時だけ変更できます。リセット時以外での変更はCPU動作を保証しません。

(13) $\overline{\text{BCYST}}$ (Bus Cycle Start) ...出力

バス・サイクルの最初の1サイクルを示す信号です。ただし, SDRAMアクセス時には, READ/WRITEコマンドのタイミングで発生します。この信号はバス・クロックの立ち上がりに同期して変化します。

(14) $\overline{\text{RW}}$ (Bus Read or Write Status)

実行中のバス・サイクルがリード, またはライトであることを示します。バス・サイクルの先頭で変化します。

この信号はバス・クロックの立ち上がりに同期して変化します。

2.3.4 システム制御信号

(1) $\overline{\text{RESET}}$ (Reset) ...入力

V832を初期化します。アクティブ期間は、必ず15外部入力クロック分以上保持してください。電源投入時に $\overline{\text{RESET}}$ 端子に入力するロウ・レベル幅は、これに発振子の発振安定時間を合わせた時間以上を確保してください。発振安定時間は、使用する発振子の規格に従った安定時間を確保してください。電源投入時、STOPモード時などからのPLL起動時には、PLLの安定時間に10 ms以上を確保してください。 $\overline{\text{RESET}}$ 信号が受け付けられ、 $\overline{\text{RESET}}$ 信号がインアクティブになると、V832は各信号と内部レジスタを初期化し、アドレスのFFFFFFF0Hから命令の実行を開始します。

(2) X1, X2 (Crystal Oscillator) ...入力

内部クロック・ジェネレータを使用する場合に、水晶振動子(クリスタル)を接続します。外部クロックを使用する場合は、X2端子に外部クロックを入力して、X1端子をオープンにしてください。

(3) IC1 (Internally Connected)

内部で接続されています。GND_Oに直接接続してください。

(4) CLKOUT (Clock Out) ...出力

内部で生成したバス・クロックを出力します。

(5) CMODE (Clock Mode)

CPU初期化時に内蔵PLLの通倍率を設定します。ロウ・レベル入力時は6倍、ハイレベル入力時は8倍です。CMODEはリセット時だけ変更できます。

(6) $\overline{\text{CS0}}$ - $\overline{\text{CS2}}$ (Chip Select) ...3ステート出力

メモリ・アドレス空間に対して、チップ・セレクト信号を出力します。信号を出力するアドレス・ブロックは、チップ・セレクト信号ごとに固定されています。 $\overline{\text{CS0}}$ 領域はSDRAM空間専用、 $\overline{\text{CS1}}$ 領域はSDRAM/SRAM (ROM) 空間、 $\overline{\text{CS2}}$ 領域はSRAM (ROM) 空間専用です。バス・クロックの立ち上がり同期して変化します。

(7) $\overline{\text{CS3}}$ - $\overline{\text{CS6}}$ (Chip Select) ...3ステート出力

メモリ・アドレス空間に対するチップ・セレクト信号か、I/Oアドレス空間に対するチップ・セレクト信号のいずれかを出力します。どちらを出力するかは、レジスタ設定により決定されます。信号を出力するアドレス・ブロックは、チップ・セレクト信号ごとに固定されています。バス・クロックの立ち上がり同期して変化します。

(8) $\overline{\text{CS7}}$ (Chip Select) ...3ステート出力

メモリ・アドレス空間に対して、チップ・セレクト信号を出力します。信号を出力するアドレス・ブロックは、チップ・セレクト信号ごとに固定されています。バス・クロックの立ち上がり同期して変化します。

(9) $\overline{\text{STOPAK}}$ (Stop Acknowledge)

CPUがストップ・モードに遷移したことで示す信号です。

2.3.5 割り込み制御信号

(1) INTP10-INTP13 (Interrupt Request From Peripheral) ...入力

割り込み制御ユニット (ICU) に対する非同期割り込み要求信号です。エッジトリガまたはレベルトリガ (ハイ・レベル) を選択できます。ただし、RPUで使用する場合はレベルトリガは選択できません。

(2) INTP00-INTP03 (Interrupt Request From Peripheral) ...入力

割り込み制御ユニット (ICU) に対する非同期割り込み要求信号です。エッジトリガまたはレベルトリガ (ハイ・レベル) を選択できます。

(3) $\overline{\text{NMI}}$ (Non-maskable Interrupt Request) ...入力

CPUに対するマスクできない割り込み要求信号です。外部入力クロックの立ち上がりでサンプリングして、5外部入力クロック以下のノイズを除去します。

NMI要求の受け付けは、ノイズを除去したあとの内部 $\overline{\text{NMI}}$ 信号の立ち下がりエッジにより受け付けられます。

2.3.6 SDRAM制御信号

(1) $\overline{\text{RAS}}$ (Row Address Strobe) ...3ステート出力

SDRAMに対するコマンド出力を行います。バス・クロックの立ち上がりに同期して変化します。

(2) LLDQM (Lower Lower DQ Mask Enable) ...3ステート出力

SDRAMに対するデータ信号の制御信号です。データ・バスは最下位バイト (D7-D0) が有効になります。リード時はSDRAMの出力イネーブル制御を行い、ライト時はSDRAMのバイト・マスク制御を行います。バス・クロックの立ち上がりに同期して変化します。

(3) LUDQM (Lower Upper DQ Mask Enable) ...3ステート出力

SDRAMに対するデータ信号のストロブ信号です。データ・バスは第3バイト (D15-D8) が有効になります。リード時はSDRAMの出力イネーブル制御を行い、ライト時はSDRAMのバイト・マスク制御を行います。バス・クロックの立ち上がりに同期して変化します。

(4) ULDQM (Upper Lower DQ Mask Enable) ...3ステート出力

SDRAMに対するデータ信号のストロブ信号です。データ・バスは第2バイト (D23-D16) が有効になります。リード時はSDRAMの出力イネーブル制御を行い、ライト時はSDRAMのバイト・マスク制御を行います。バス・クロックの立ち上がりに同期して変化します。

(5) UUDQM (Upper Upper DQ Mask Enable) ...3ステート出力

SDRAMに対するデータ信号のストロブ信号です。データ・バスは最上位バイト (D31-D24) が有効になります。リード時はSDRAMの出力イネーブル制御を行い、ライト時はSDRAMのバイト・マスク制御を行います。バス・クロックの立ち上がりに同期して変化します。

(6) $\overline{\text{WE}}$ (Write Enable) ...3ステート出力

SDRAMに対するコマンド出力を行います。バス・クロックの立ち上がりに同期して変化します。

(7) $\overline{\text{CAS}}$ (Column Address Strobe) ...3ステート出力

SDRAMに対するコマンド出力を行います。バス・クロックの立ち上がり同期して変化します。

(8) $\overline{\text{CS0}}$, $\overline{\text{CS1}}$ (Chip Select) ...3ステート出力

SDRAMアドレス空間に対してチップ・セレクト信号を出力します。バス・クロックの立ち上がり同期して変化します。 $\overline{\text{CS1}}$ がSDRAM空間に選択されているときにセルフ・リフレッシュを行った場合、 $\overline{\text{CS0}}$ と $\overline{\text{CS1}}$ は同時にアクティブになります。

(9) $\overline{\text{CKE}}$ (Clock Enable) ...3ステート出力

SDRAMに対するクロック・イネーブル信号です。セルフ・リフレッシュ、パワー・ダウン・モード時は、インアクティブになります。バス・クロックの立ち上がり同期して変化します。

(10) $\overline{\text{SDCLKOUT}}$ (SDRAM CLKOUT) ...出力

SDRAM専用のクロック出力です。バス・クロックに同期して変化します。

2.3.7 DMA制御信号

(1) $\overline{\text{DMARQ0}}$ - $\overline{\text{DMARQ3}}$ (DMA Request) ...入力

DMAサービスの要求信号です。それぞれDMAチャンネル0-3に対応して互いに独立しています。優先順位は固定で、 $\overline{\text{DMARQ0}} > \overline{\text{DMARQ1}} > \overline{\text{DMARQ2}} > \overline{\text{DMARQ3}}$ になります。 $\overline{\text{DMARQ0}}$ - $\overline{\text{DMARQ3}}$ 信号は、バス・クロックの立ち上がりでサンプリングされます。DMA要求が受け付けられるまで、アクティブ・レベルを保持してください。 $\overline{\text{DMARQ0}}$ - $\overline{\text{DMARQ3}}$ 信号を使用しない場合は、端子をインアクティブ・レベルにしてください (DMACのレジスタでアクティブ・レベルを変更できます)。

(2) $\overline{\text{DMAAK0}}$ - $\overline{\text{DMAAK3}}$ (DMA Acknowledge) ...出力

DMAサービス要求を許可したことを示す信号です。それぞれDMAチャンネル0-3に対応して互いに独立しています。バス・クロックの立ち上がりでアクティブになり、DMA転送中はアクティブ・レベルを保持します。

(3) $\overline{\text{TC}}$ (Terminal Count) ...出力

DMAコントローラによるDMA転送が終了したことを示す信号です。 $\overline{\text{TC}}$ 信号は、バス・クロックの立ち上がりでアクティブになります。また、チャンネル0-3の $\overline{\text{TC}}$ の論理和をとって出力するため、外部回路でそれぞれ $\overline{\text{DMAAK0}}$ - $\overline{\text{DMAAK3}}$ 信号と論理積をとることにより、それぞれのチャンネルの $\overline{\text{TC}}$ 信号を生成してください。

2.3.8 リアルタイム・パルス制御信号

(1) TO10, TO11 (Timer Output) ...出力

リアルタイム・パルス・ユニット (RPU) のタイマ1 (TM1) のキャプチャ/コンペア・レジスタ (CC0) のコンペア一致信号です。TO10, TO11信号は, それぞれCC10, CC12レジスタの一致検出でセットされ, CC11, CC13レジスタの一致検出でリセットされます。RPUのモード設定によって, 出力を反転できます。

(2) TCLR (Timer Clear) ...入力

RPUのTM1のカウント・クリア・スタート信号です。

(3) TI (Timer Input) ...入力

RPUのTM1が使用する外部クロック信号です。RPUのTM1が外部クロック信号を使用するか, 内部のバス・クロックを分周したクロックを使用するかは, イニシャライズ時に設定してください。

2.3.9 シリアル制御信号

(1) TXD (Transmit Data) ...出力

UARTのシリアル送信データ出力端子です。TXD信号は, 内部シリアル・クロックに同期して変化します。非送信時はハイ・レベルを保持します。

(2) RXD (Receive Data) ...入力

UARTのシリアル受信データ入力端子です。

(3) SCLK (Serial Clock) ...入出力

CSIのシリアル・クロック入出力端子です。レジスタの設定により入出力を設定します。

(4) SO (Serial Output) ...出力

CSIのシリアル送信データ出力端子です。SO信号は, SCLK信号の立ち下がりに同期して変化します。非送信時はハイ・インピーダンス状態になります。

(5) SI (Serial Input) ...入力

CSIのシリアル受信データ入力端子です。SI信号はSCLK信号の立ち上がりでサンプリングされます。

2.3.10 ポート制御信号

(1) PORT0-PORT4 (Port) ...3ステート入出力

5ビット・パラレル・ポートの信号です。1ビット単位で入出力を選択できます。

(2) PORTA0-PORTA7 (Port) ...3ステート入出力

8ビット・パラレル・ポートの信号です。1ビット単位で入出力を選択できます。

(3) PORTB0-PORTB7 (Port) ...3ステート入出力

8ビットのパラレル・ポートの信号です。1ビット単位で入出力を選択できます。

2.3.11 ディバグ制御信号

(1) DCK (Debug Clock) ...シュミット入力

ディバグ・クロック入力端子です。DCK信号の立ち上がりに同期してDMS信号、DDI信号がサンプリングされ、DCK信号の立ち下がりに同期して、DDO端子よりデータが出力されます。ディバグ機能を使用しない場合は、ハイ・レベルにしてください。

(2) DDI (Debug Data Input) ...入力

ディバグ・データ入力端子です。ディバグ・シリアル・インタフェースが、ShiftステートのときにDCK信号の立ち上がりに同期してサンプリングされます。データは、LSBファーストです。ディバグ機能を使用しない場合は、ハイ・レベルにしてください。

(3) DDO (Debug Data Output) ...3ステート出力

ディバグ・データ出力端子です。ディバグ・シリアル・インタフェースが、ShiftステートのときにDCK信号の立ち下がりに同期してデータが出力されます。データは、LSBファーストです。

(4) DMS (Debug Mode Select) ...入力

ディバグ・モード・セレクト入力端子です。DMS信号のレベルにより、ディバグ・シリアル・インタフェースのステート・マシンが変化します。DMS信号は、DCK信号の立ち上がりに同期してサンプリングされます。ディバグ機能を使用しない場合は、ハイ・レベルにしてください。

(5) $\overline{\text{DRST}}$ (Debug Reset) ...入力

ディバグ・リセット入力端子です。DCUを非同期に初期化する負論理の信号です。ロウ・レベルにするとDCUをリセット/無効にします。ディバグ機能を使用しない場合は、ロウ・レベルにしてください。

(6) TRCDATA0-TRCDATA3 (Trace Data) ...出力

トレース・データ出力端子です。CLKOUT信号の立ち上がりに同期して、パケット化されたトレース・データをLSB側から4ビットごとに出力します。

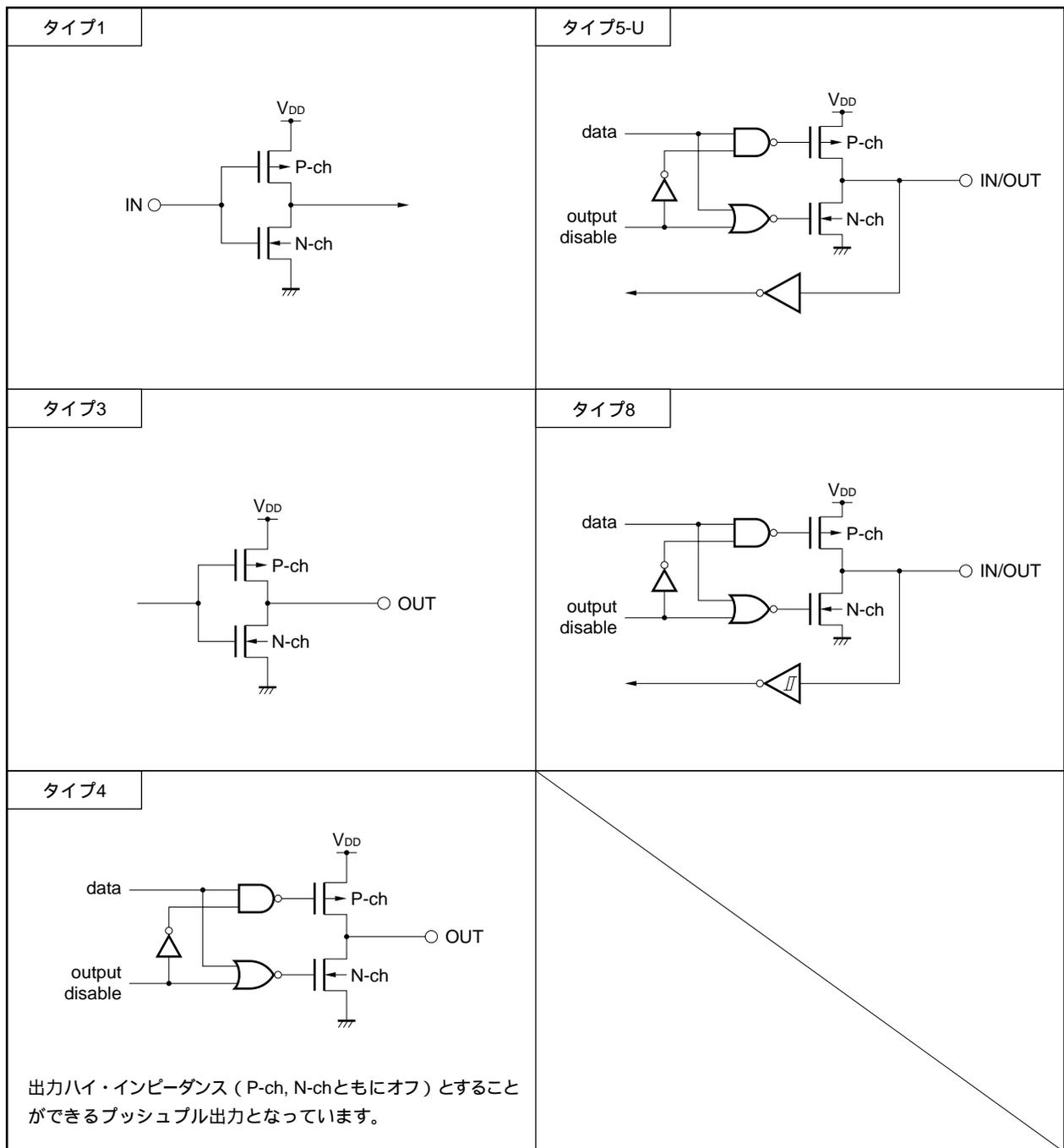
2.4 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと未使用時の処理方法を表2 - 2に示します。また各タイプの入出力回路については図2 - 1を参照してください。

表2 - 2 端子の入出力回路タイプと未使用時の推奨接続方法

端 子	入出力回路タイプ	推奨接続方法
BT16B, $\overline{\text{RESET}}$, CMODE	タイプ1	-
$\overline{\text{NMI}}$, $\overline{\text{HLDRQ}}$		V _{DD_O} に接続してください。
$\overline{\text{READY}}$		GND_Oに接続してください。
$\overline{\text{SDCLKOUT}}$, $\overline{\text{CLKOUT}}$, $\overline{\text{HLDK}}$, $\overline{\text{TC/STOPAK}}$	タイプ3	オープンにしてください。
$\overline{\text{CS0-CS7}}$, $\overline{\text{WE}}$, $\overline{\text{RAS}}$, $\overline{\text{LLDQM}}$, $\overline{\text{LUDQM}}$, $\overline{\text{ULDQM}}$, $\overline{\text{UUDQM}}$, $\overline{\text{CKE}}$, $\overline{\text{CAS}}$, A1-A23, $\overline{\text{R/W}}$, $\overline{\text{BCYST}}$, $\overline{\text{IORD}}$, $\overline{\text{IOWR}}$, $\overline{\text{LLBEN}}$, $\overline{\text{LUBEN}}$, $\overline{\text{ULBEN}}$, $\overline{\text{UUBEN}}$, $\overline{\text{MWR}}$, $\overline{\text{MRD}}$	タイプ4	オープンにしてください。
PORT1/SO, PORT4/TXD, PORTB0/TI, PORTB1/TCLR, PORTB2/INTP00, PORTB3/INTP13, PORTB4/INTP01, PORTB5/INTP11, PORTB6/INTP02, PORTB7/INTP03, PORTA0/DMARQ0, PORTA1/DMAAK0, PORTA2/DMARQ1, PORTA3/DMAAK1, PORTA4/DMARQ2, PORTA5/DMAAK2, PORTA6/DMARQ3, PORTA7/DMAAK3, D0-D31, INTP10/TO10, INTP12/TO11	タイプ5-U	入力状態：個別に抵抗を介してV _{DD_O} またはGND_Oに接続してください。 出力状態：オープンにしてください。
PORT0/ $\overline{\text{SCLK}}$, PORT2/SI, PORT3/RXD	タイプ8	入力状態：個別に抵抗を介してV _{DD_O} またはGND_Oに接続してください。 出力状態：オープンにしてください。

図2 - 1 端子の入出力回路



備考 $V_{DD} = V_{DD_O}$

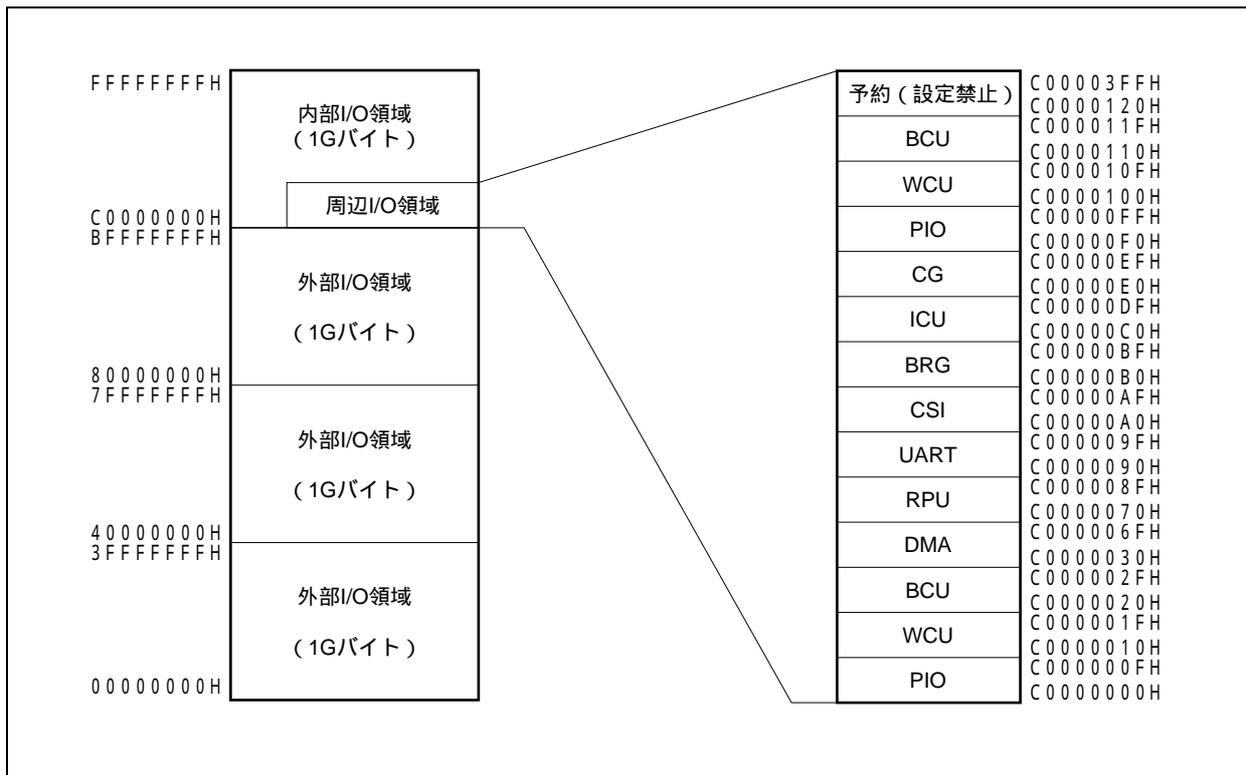
第3章 CPU機能

この章では、V832の内蔵周辺I/O空間、CPUコア・システム・レジスタの変更について説明します。命令セット、レジスタ構成については、V830ファミリ ユーザーズ・マニュアル アーキテクチャ編を参照してください。内蔵周辺I/Oレジスタについては、周辺ユニットの機能説明に示している各レジスタを参照してください。

3.1 内蔵周辺I/O空間

内蔵の周辺I/O空間は、上位1Gバイトの内蔵I/O領域のC0000000H-C00003FFH（1Kバイト）に予約されています。内部I/Oへのアクセスは、IN.H/OUT.H命令（ハーフワード単位）またはIN.B/OUT.B命令（バイト単位）を使用してください。なお、内部I/O領域をアクセスした場合は、外部へのバス・サイクルは起動されず、アイドル・ステートとなります。アイドル・ステート中の各信号の状態は5.6 アイドル・ステートを参照してください。

図3 - 1 内蔵周辺I/Oマップ



3.1.1 注意事項

レジスタを示していないアドレスは将来の拡張用に予約されており、アクセスした場合の動作は不定になり、動作保証はしません。

3.2 CPUコア・システム・レジスタ

プロセッサIDレジスタ (PIR) は、V832用に変更されています。PIRは、CPUタイプ番号を識別するためのレジスタです。PIRの内容は、00008302H固定です (32ビット単位でリードだけです)。

各レジスタのリセット後の初期値は、**表14 - 2 各レジスタのリセット後の初期値**を参照してください。

3.3 周辺 I/O レジスタ

(1/3)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				8	16	32	
C0000000H	入出力ポート・レジスタ	PORT	R/W				不定
C0000002H	入出力モード・レジスタ	PM	R/W				FFH
C0000004H	ポート・コントロール・モード・レジスタ	PC	R/W				00H
C0000010H	バス・サイクル・タイプ・コントロール・レジスタ	BCTC	R/W				00H
C0000012H	データ・バス幅コントロール・レジスタ	DBC	R/W				注
C0000014H	プログラマブル・ウェイト・コントロール・レジスタ0	PWC0	R/W				7770H
C0000016H	プログラマブル・ウェイト・コントロール・レジスタ1	PWC1	R/W				7FF7H
C0000022H	リフレッシュ・コントロール・レジスタ	RFC	R/W				8000H
C0000024H	Page-ROMコンフィギュレーション・レジスタ	PRC	R/W				07H
C0000030H	DMAソース・アドレス・レジスタ0H	DSA0H	R/W				不定
C0000032H	DMAソース・アドレス・レジスタ0L	DSA0L	R/W				不定
C0000034H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H	R/W				不定
C0000036H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L	R/W				不定
C0000038H	DMAバイト・カウント・レジスタ0H	DBC0H	R/W				不定
C000003AH	DMAバイト・カウント・レジスタ0L	DBC0L	R/W				不定
C000003CH	DMAチャンネル・コントロール・レジスタ0	DCHC0	R/W				0000H
C0000040H	DMAソース・アドレス・レジスタ1H	DSA1H	R/W				不定
C0000042H	DMAソース・アドレス・レジスタ1L	DSA1L	R/W				不定
C0000044H	DMAデスティネーション・アドレス・レジスタ1H	DDA1H	R/W				不定
C0000046H	DMAデスティネーション・アドレス・レジスタ1L	DDA1L	R/W				不定
C0000048H	DMAバイト・カウント・レジスタ1H	DBC1H	R/W				不定
C000004AH	DMAバイト・カウント・レジスタ1L	DBC1L	R/W				不定
C000004CH	DMAチャンネル・コントロール・レジスタ1	DCHC1	R/W				0000H
C0000050H	DMAソース・アドレス・レジスタ2H	DSA2H	R/W				不定
C0000052H	DMAソース・アドレス・レジスタ2L	DSA2L	R/W				不定
C0000054H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H	R/W				不定
C0000056H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L	R/W				不定
C0000058H	DMAバイト・カウント・レジスタ2H	DBC2H	R/W				不定
C000005AH	DMAバイト・カウント・レジスタ2L	DBC2L	R/W				不定
C000005CH	DMAチャンネル・コントロール・レジスタ2	DCHC2	R/W				0000H
C0000060H	DMAソース・アドレス・レジスタ3H	DSA3H	R/W				不定
C0000062H	DMAソース・アドレス・レジスタ3L	DSA3L	R/W				不定
C0000064H	DMAデスティネーション・アドレス・レジスタ3H	DDA3H	R/W				不定
C0000066H	DMAデスティネーション・アドレス・レジスタ3L	DDA3L	R/W				不定
C0000068H	DMAバイト・カウント・レジスタ3H	DBC3H	R/W				不定
C000006AH	DMAバイト・カウント・レジスタ3L	DBC3L	R/W				不定
C000006CH	DMAチャンネル・コントロール・レジスタ3	DCHC3	R/W				0000H

注 BT16B端子の設定によって異なります(6.3.2 データ・バス幅コントロール・レジスタ(DBC)参照)。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				8	16	32	
C000006EH	DMAコントロール・レジスタ	DC	R/W				0000H
C0000070H	タイマ・オーバフロー・ステータス・レジスタ	TOVS	R/W				00H
C0000072H	タイマ・ユニット・モード・レジスタ	TUM1	R/W				0A00H
C0000074H	タイマ・コントロール・レジスタ1	TMC1	R/W				00H
C0000076H	タイマ出力コントロール・レジスタ	TOC1	R/W				03H
C0000078H	タイマ1	TM1	R				0000H
C0000080H	キャプチャ/コンペア・レジスタ10	CC10	R/W				不定
C0000082H	キャプチャ/コンペア・レジスタ11	CC11	R/W				不定
C0000084H	キャプチャ/コンペア・レジスタ12	CC12	R/W				不定
C0000086H	キャプチャ/コンペア・レジスタ13	CC13	R/W				不定
C0000088H	タイマ・コントロール・レジスタ4	TMC4	R/W				00H
C000008AH	タイマ4	TM4	R				0000H
C000008CH	コンペア・レジスタ	CM4	R/W				不定
C0000090H	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	ASIM00	R/W				80H
C0000092H	アシンクロナス・シリアル・インタフェース・モード・レジスタ01	ASIM01	R/W				00H
C0000094H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS0	R				00H
C0000098H	受信バッファ	RXB0	R				不定
C000009AH	受信バッファL	RXB0L	R				不定
C000009CH	送信シフト・レジスタ	TXS0	W				不定
C000009EH	送信シフト・レジスタL	TXS0L	W				不定
C00000A0H	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSIM0	R/W				00H
C00000A2H	シリアルI/Oシフト・レジスタ0	SIO0	R/W				不定
C00000B0H	ポー・レート・ジェネレータ・コンペア・レジスタ	BRG0	R/W				不定
C00000B2H	ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ	BPRM0	R/W				00H
C00000C0H	割り込みグループ優先順位レジスタ	IGP	R/W				E4H
C00000C2H	割り込みクリア・レジスタ	ICR	W				0000H
C00000C4H	割り込み要求レジスタ	IRR	R				0000H
C00000C6H	割り込み要求マスク・レジスタ	IMR	R/W				FFFFH
C00000C8H	ICUモード・レジスタ	IMOD	R/W				AAAAH
C00000E0H	クロック・コントロール・レジスタ	CGC	R/W				01H
C00000E2H	パワー・マネジメント・レジスタ	PMR	R/W				00H
C00000F0H	入出力ポート・レジスタA	PORTA	R/W				不定
C00000F2H	入出力モード・レジスタA	PAM	R/W				FFH
C00000F4H	ポートAコントロール・モード・レジスタ	PAC	R/W				00H
C00000F6H	入出力ポート・レジスタB	PORTB	R/W				不定
C00000F8H	入出力モード・レジスタB	PBM	R/W				FFH
C00000FAH	ポートBコントロール・モード・レジスタ	PBC	R/W				00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				8	16	32	
C0000100H	プログラマブル・アイドル・コントロール・レジスタ0	PWC0	R/W				7777H
C0000102H	プログラマブル・アイドル・コントロール・レジスタ1	PWC1	R/W				7777H
C0000110H	SDRAMコンフィギュレーション・レジスタ	SDC	R/W				001FH
C0000112H	SDRAMモード・レジスタ	SDM	W				不定
F2000000H	データ・キャッシュ・タグ・レジスタ0 ^注	DCTR0	R/W				不定
⋮	⋮	⋮	⋮				⋮
F2000FF0H	データ・キャッシュ・タグ・レジスタ255 ^注	DCTR255	R/W				不定
FA000000H	命令キャッシュ・タグ・レジスタ0 ^注	ICTR0	R/W				不定
⋮	⋮	⋮	⋮				⋮
FA000FE0H	命令キャッシュ・タグ・レジスタ127 ^注	ICTR127	R/W				不定
FE000000H	命令RAMレジスタ0 ^注	IRAMR0	R/W				不定
⋮	⋮	⋮	⋮				⋮
FE000FFCH	命令RAMレジスタ1023 ^注	IRAMR1023	R/W				不定
FFFFFFF4H	キャッシュ・メモリ・コントロール・レジスタ ^注	CMCR	R/W				00000000H
FFFFFFF8H	PLLコントロール・レジスタ	PLLCR	R/W				0000000XH

注 V830ファミリ ユーザーズ・マニュアル アーキテクチャ編 参照

第4章 割り込み / 例外処理機能

4.1 割り込み / 例外処理

V832は、専用の割り込みコントローラ（ICU）を内蔵して、合計15要因の割り込み要求を処理できます。

割り込みは、プログラム実行とは別に独立して発生する事象です。例外は、プログラム実行に依存して発生する事象です。一般には、割り込みは例外より優先的に処理されます。

V832では、オンチップの周辺機能ユニットおよび外部からの各割り込み要求を処理できます。さらに、命令による例外処理の起動（TRAP命令）や、例外の発生（不正命令コードなど）による例外処理の起動ができます。例外要因は、ECR（Exception Cause Register）に格納されている例外コードで確認できます。

各マスク可能割り込み要求は、ソフトウェアにより4レベルの優先順位を指定できます。外部割り込みは、要求発生から最小6バス・クロック後に割り込み処理が起動されます。なお、ノイズ除去する時間（3バス・クロック）を含みます。内部割り込みの場合は、要求発生から最小3バス・クロック後に起動されます。

4.1.1 割り込み / 例外処理の種類

V832の割り込み / 例外処理は、次に示す4種類に分類されます。

- ・ ノンマスク可能割り込み : 1要因
- ・ マスク可能割り込み : 15要因
- ・ ソフトウェア例外 : 32要因
- ・ 例外トラップ : 4要因

表4-1 割り込み一覧

種類	分類	割り込み / 例外要因		例外コード (ECR)	ハンドラ・ アドレス	復帰PC ^{注2}
		名称 ^{注1}	発生要因			
リセット	割り込み	RESET	リセット入力	FFF0H	FFFFFFF0H	不定
ノンマスク可能	割り込み	NMI	NMI入力	FFD0H	FFFFFFD0H	next PC ^{注3}
ソフトウェア例外	例外	TRAP 1nH	TRAP命令	FFBnH	FFFFFFB0H	next PC
		TRAP 0nH	TRAP命令	FFAnH	FFFFFFA0H	
例外トラップ	例外	NMI	二重例外	注4	FFFFFFD0H	current PC
		FAULT	致命的例外	変化しない	FFFFFFE0H	
		I-OPC	不正命令コード	FF90H	FFFFFF90H	
		DIV0	ゼロ除算	FF80H	FFFFFF80H	

注1. 開発ツールまたはソフトウェアでのハンドラの名称です。

2. 割り込み / 例外処理起動時に、EIPC/FEPC/DPCにセーブされるPC値のことです。

3. すべての命令は、割り込みで命令実行を中断できません。

4. 二重例外の要因となった例外の例外コードです。

備考 n = 0H-FH

表4 - 2 割り込み一覧 (マスカブル割り込み)

種類	分類	グループ	グループ内 優先順位	割り込み要因			例外 コード	ハンドラ・アドレス ^{注3}		復帰PC ^{注1}
				名称	発生要因	発生ユニット		HCCW.IHA=0	HCCW.IHA=1	
マ ス カ ブ ル	割 り 込 み	GR3	3	RESERVED	予約	-	FEF0H	FFFFFFEF0H	FE0000F0H	next PC ^{注2}
			2	INTOV1	タイマ1オーバフロー	RPU	FEE0H	FFFFFFE0H	FE0000E0H	
			1	INTSER	UART受信エラー	UART	FED0H	FFFFFFD0H	FE0000D0H	
			0	INTP03	INTP03端子入力	外部	FEC0H	FFFFFFC0H	FE0000C0H	
		GR2	3	INTSR	UART受信終了	UART	FEB0H	FFFFFFE0H	FE0000B0H	
			2	INTST	UART送信終了	UART	FEA0H	FFFFFFA0H	FE0000A0H	
			1	INTCSI	CSI送受信終了	CSI	FE90H	FFFFFF90H	FE000090H	
			0	INT02	INTP02端子入力	外部	FE80H	FFFFFFE80H	FE000080H	
		GR1	3	INTDMA	DMA転送終了	DMAC	FE70H	FFFFFFE70H	FE000070H	
			2	INTP10/ INTCC10	INTP10端子入力 / CC10の一致	外部 / RPU	FE60H	FFFFFFE60H	FE000060H	
			1	INTP11/ INTCC11	INTP11端子入力 / CC11の一致	外部 / RPU	FE50H	FFFFFFE50H	FE000050H	
			0	INTP01	INTP01端子入力	外部	FE40H	FFFFFFE40H	FE000040H	
		GR0	3	INTCM4	CM4の一致	RPU	FE30H	FFFFFFE30H	FE000030H	
			2	INTP12/ INTCC12	INTP12端子入力 / CC12の一致	外部 / RPU	FE20H	FFFFFFE20H	FE000020H	
			1	INTP13/ INTCC13	INTP13端子入力 / CC13の一致	外部 / RPU	FE10H	FFFFFFE10H	FE000010H	
			0	INTP00	INTP00の端子入力	外部	FE00H	FFFFFFE00H	FE000000H	

注1. 割り込み時に、EIPCにセーブされるPC値のことです。

2. すべての命令は、割り込みで命令実行を中断できません。

3. ハンドラ・アドレスは、HCCW. IHA = 0のときFFFFFFEn0H, HCCW. IHA = 1のときFE0000n0Hを選択できます (n = 0H-FH)。

注意 マスカブル割り込みの例外コードとハンドラ・アドレスは、デフォルト優先順位 (IGP = E4H) での値です。割り込みグループ優先順位レジスタ (IGP) 優先順位を変更した場合は、表4 - 3, 表4 - 4 優先順位と例外コード, ハンドラ・アドレス, 割り込み優先の関係を参照してください。

4.2 ノンマスクابل割り込み

ノンマスクابل割り込み要求は、割り込み禁止状態であっても無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスクابل割り込み要求は、次の通りです。

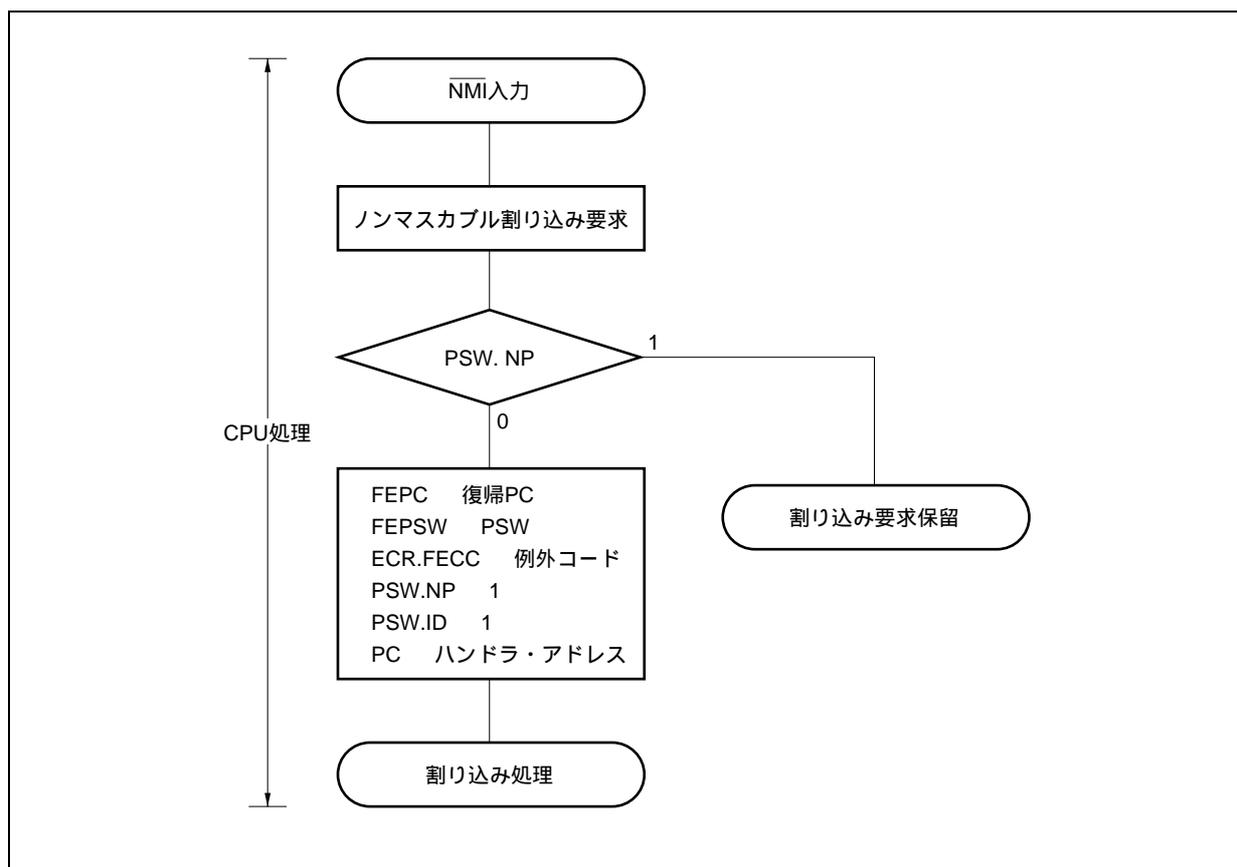
- ・ $\overline{\text{NMI}}$ 端子入力
- ・ 内部 $\overline{\text{NMI}}$ (13.3.2(2) 参照)

4.2.1 ノンマスクابل割り込みの処理形態

$\overline{\text{NMI}}$ 信号入力によりノンマスクابل割り込みが発生した場合は、図4-1に示す処理を行い、ハンドラ・ルーチンに制御を移します。状態退避レジスタには、FEPC, FEPSWを使用します。

ノンマスクابل割り込みの処理中 (PSW.NP = 1) に発生した $\overline{\text{NMI}}$ 信号入力は、CPU内部で保留されます。この場合、RETI命令、LDSR命令を使用してPSW.NP = 0にすると、保留していたノンマスクابل割り込み要求により新たなノンマスクابل割り込み処理を開始します。

図4-1 ノンマスクابل割り込み要求の処理フロー



4.3 マスカブル割り込み

マスカブル割り込み要求は、制御レジスタにより割り込み受け付けをマスクできる割り込み要求です。V832には、15種類のマスカブル割り込み要因があります。

複数のマスカブル割り込みが同時に発生した場合は、ICUの制御により、あらかじめ設定されているデフォルト優先順位によりその受け付け優先順位が決定します。また、デフォルト優先順位とは別に、ソフトウェアにより4レベルの優先順位を設定できます（グループ内の優先順位は固定です）。

マスカブル割り込みは、PSWのNP, EP, IDビットの論理和でマスクされます。さらにCPUに渡す割り込みレベル n がPSWの割り込み許可レベル（PSWのI0-I3ビット）より低い場合は割り込みは受け付けられません。したがって、最高位の割り込みレベル（ $n = 15$ ）を割り込み許可レベルで禁止することはできません。

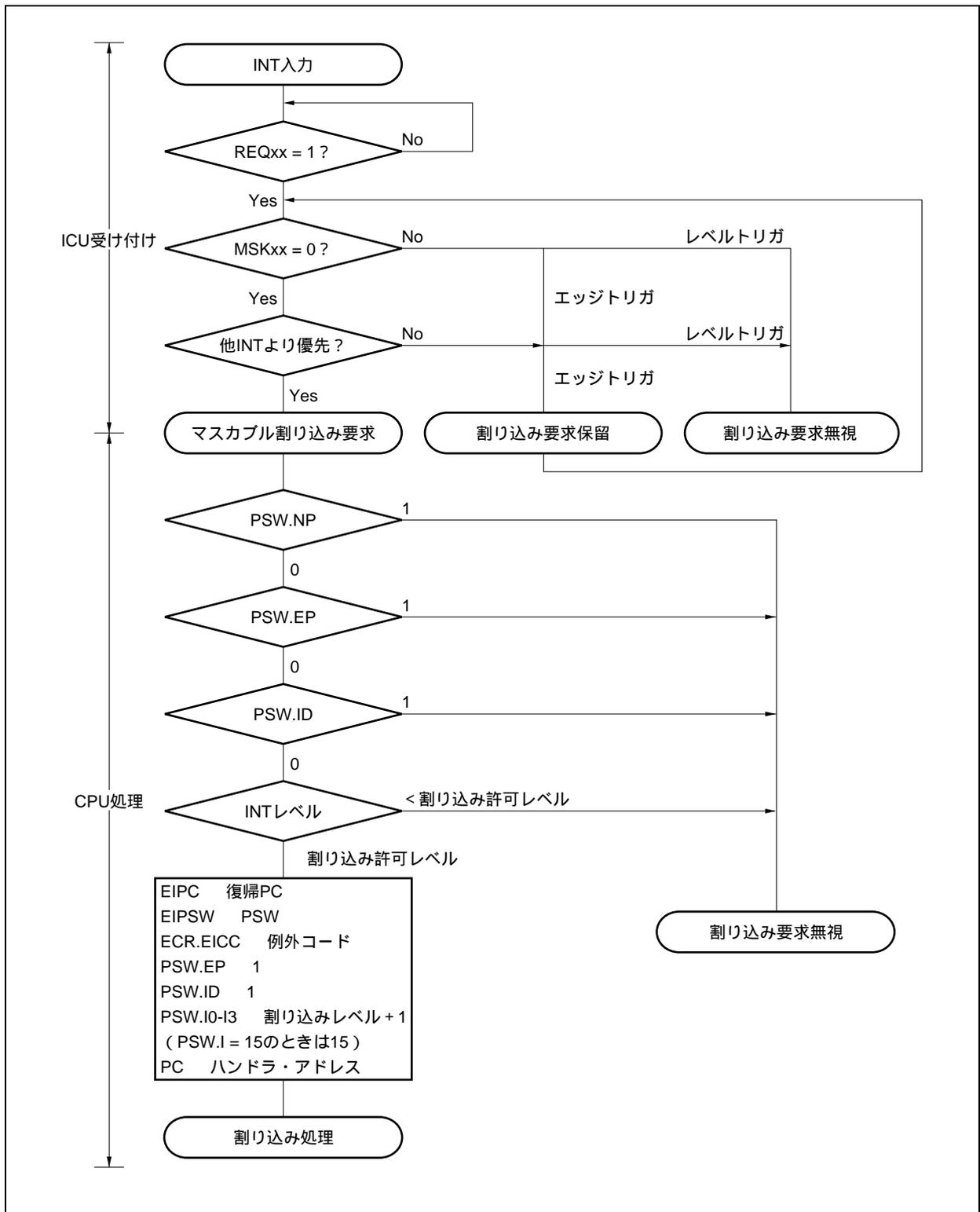
割り込み要求が受け付けられると割り込み禁止状態（PSW.ID = 1）になり、以後のマスカブル割り込み要求の受け付けを禁止します。また、PSWのI0-I3ビットに受け付けた割り込みレベル n に1を加算した値（ $n + 1$ ）を設定します。

多重割り込みを許可するときは、まずEIPC, EIPSWをメモリまたはレジスタに退避してから割り込み許可状態（PSW.ID = 0, EP = 0）にしてください。またRETI命令は、割り込み禁止状態（PSW.ID = 1）にしてから実行し、EIPC, EIPSWを元の値に復帰させます。

4.3.1 マスカブル割り込みの処理形態

割り込み要求信号（INT）入力によりマスカブル割り込みが発生した場合は、図4-2に示す処理を行い、ハンドラ・ルーチンに制御を移します。状態待避レジスタにはEIPC, EIPSWを使用します。なお、ICUにおいてマスクされているINT入力、ほかの割り込み処理中（PSW.NP = 1またはPSW.ID = 1）に発生したINT入力は、ICU内部で保留されます。この場合、マスクを解除し、またはRETI命令、LDSR命令を使用してPSW.NP = 0, PSW.ID = 0にすると、保留していたINT入力により新たなマスカブル割り込み処理を開始します。

図4 - 2 マスカブル割り込み要求の処理フロー



4.3.2 マスカブル割り込みの優先順位

V832は、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込みグループ優先順位レジスタ設定によるプログラム優先順位制御があります。

デフォルト優先順位による制御は、複数の割り込みが同時に発生している場合、割り込み要求の各グループ（4つの割り込み要求で1グループ）にあらかじめ割り付けてある優先順位（デフォルト優先順位）に従って割り込み処理を行います（表4-2 **割り込み一覧（マスカブル割り込み）**参照）。

プログラマブル優先順位制御は、各割り込み要求を割り込みグループ優先順位制御レジスタによってグループごとに4レベルに分けます。ただし、グループ内の各割り込み要求の優先順位は固定です。

なお、割り込み要求を受け付けるとPSWのIDフラグ、EPフラグが自動的にセットされるので、多重割り込みを使用する場合は、割り込み処理プログラム中で割り込み許可状態（PSW.ID = 0, PSW.EP = 0）にしてください。

（マスカブル割り込み要求または例外の処理プログラム）

EIPCをメモリまたはレジスタへ退避

EIPSWをメモリまたはレジスタへ退避

割り込み受け付け許可（PSW.ID = 0, PSW.EP = 0）

...

...

...

← INT入力などの割り込み受け付け

割り込み受け付け禁止（PSW.ID = 1, PSW.EP = 1）

退避していた値をEIPSWに復帰

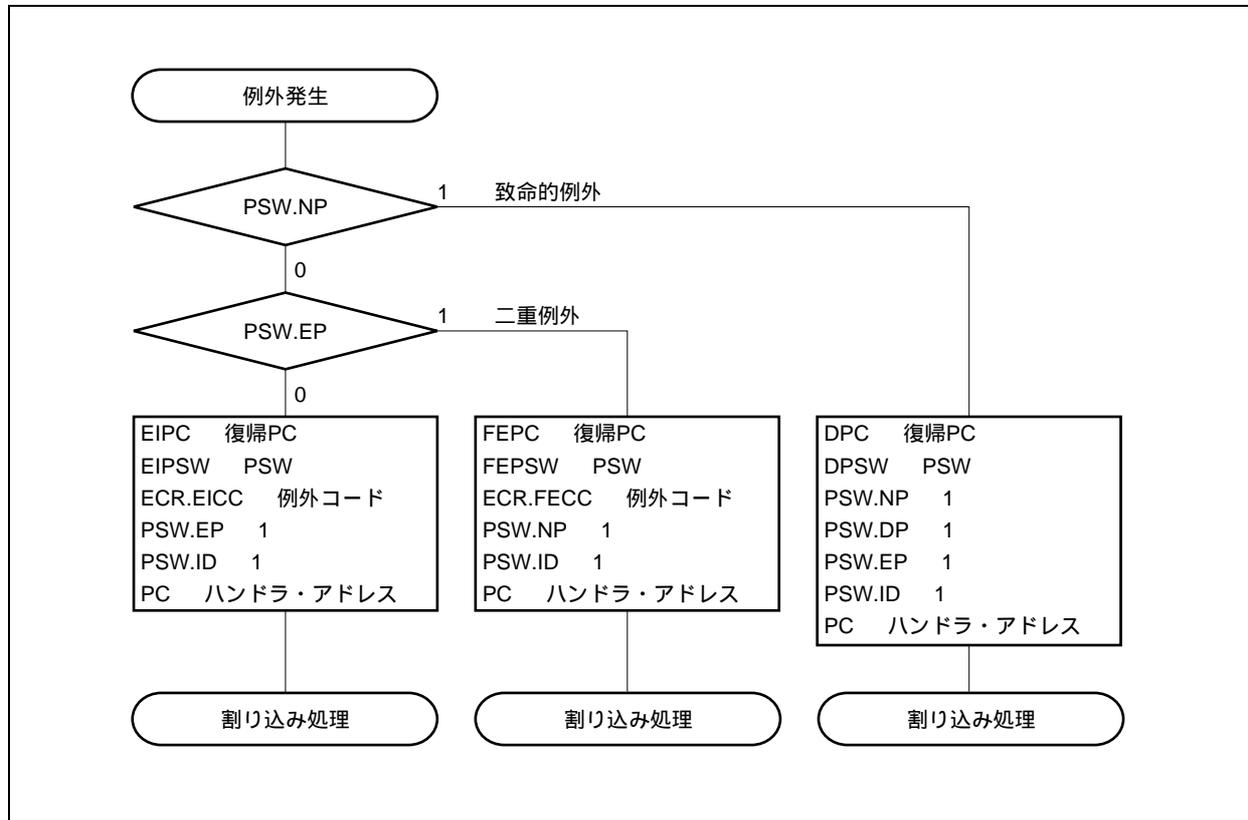
退避していた値をEIPCに復帰

RETI命令の実行

4.4 例外処理

例外が発生した場合、次の処理を行いハンドラ・ルーチンへ制御を移します。

図4-3 例外処理フロー

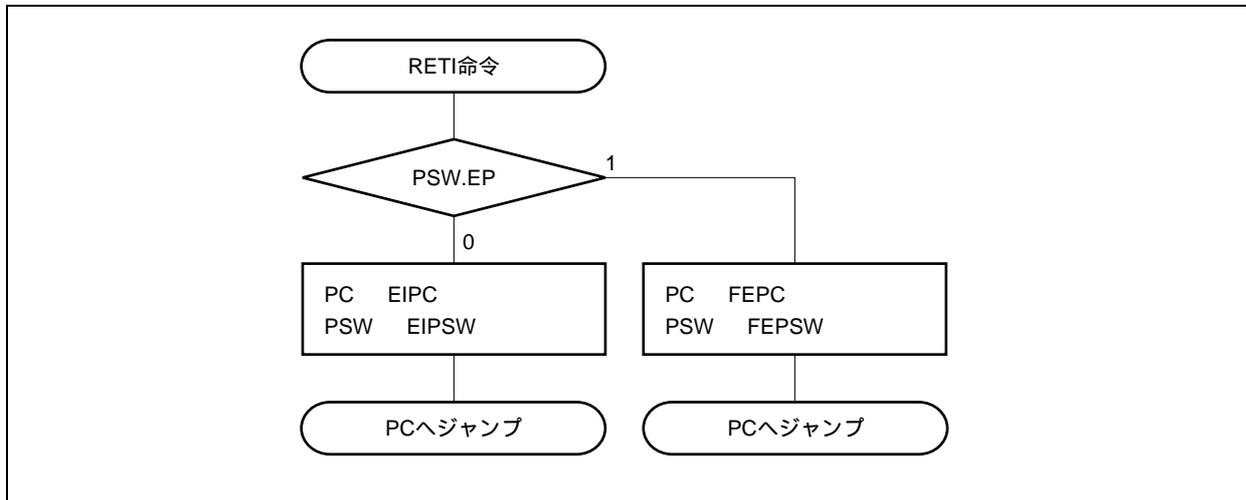


4.5 例外 / 割り込みからの復帰

4.5.1 例外 / 割り込みからの復帰

致命的例外以外の例外事象および割り込み事象からの復帰は、すべてRETI命令により行います。

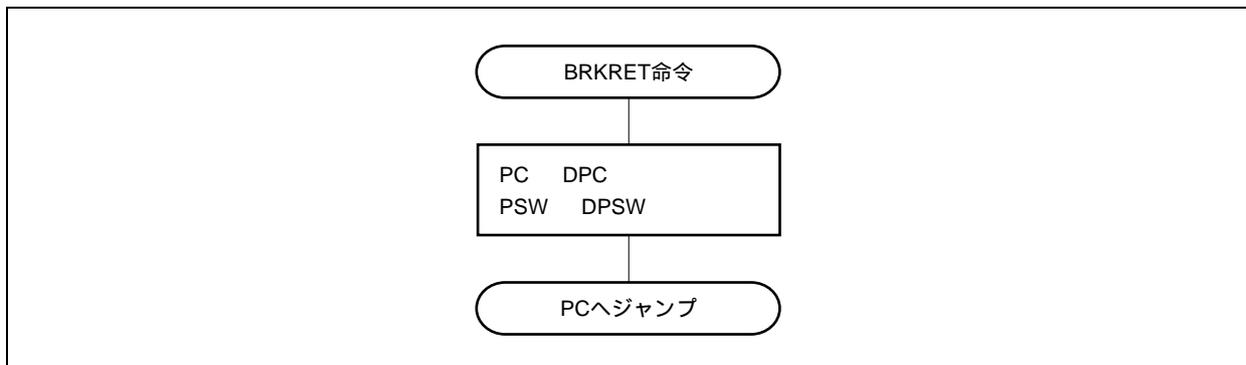
図4 - 4 例外 / 割り込みからの復帰フロー



4.5.2 致命的例外ルーチンからの復帰

致命的例外処理からの復帰は、BRKRET命令により行います。

図4 - 5 致命的例外ルーチンからの復帰フロー



4.6 割り込み制御レジスタ

割り込みは、レベルトリガとエッジトリガの選択ができます。

V832内部ユニット内からの割り込みは、すべてエッジトリガになります。レベルトリガとエッジトリガの設定方法は、4.6.5 ICUモード・レジスタ (IMOD) を参照してください。

4.6.1 割り込みグループ優先順位レジスタ (IGP)

割り込みグループ優先順位レジスタ (IGP) は、グループ間の優先順位を設定します。優先順位は割り込みマスク状態で設定 / 変更してください。ハンドラ・アドレスの関係を表4-3, 表4-4に示します。

図4-6 割り込みグループ優先順位レジスタ (IGP)

アドレス: C00000C0H												
	7	6	5	4	3	2	1	0				
IGP	PR3		PR2		PR1		PR0					
初期値:	1	1	1	0	0	1	0	0				
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W				
ビット	ビット名	説明										
7-0	PR3-PR0	<p>Group Priority</p> <p>4分割される割り込みグループn (PRn) の優先順位を指定します (n = 0-3)。 優先順位は0が最低で、3が最高です。</p> <table border="1"> <thead> <tr> <th>PRn</th> <th>優先順位</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>0 (最低優先)</td> </tr> <tr> <td>0 1</td> <td>1</td> </tr> <tr> <td>1 0</td> <td>2</td> </tr> <tr> <td>1 1</td> <td>3 (最高優先)</td> </tr> </tbody> </table>	PRn	優先順位	0 0	0 (最低優先)	0 1	1	1 0	2	1 1	3 (最高優先)
PRn	優先順位											
0 0	0 (最低優先)											
0 1	1											
1 0	2											
1 1	3 (最高優先)											
<p>注意 グループ間の優先順位を同一に設定しないでください。設定した場合の動作は保証しません。</p>												
<p>備考 n = 0-3</p>												

表4 - 4 優先順位と例外コード, ハンドラ・アドレス, 割り込み優先の関係 (IGP=36Hに変更した場合)

割り込み 優先	グループの 優先順位 (IGPの設定)	グループ内 優先順位 (固 定)	割り込み要因		例外 コード	ハンドラ・アドレス		ハンドラ名称 ^注	
			名 称	発生要因		HCCW. IHA = 0	HCCW. IHA = 1	HCCW. IHA = 0	HCCW. IHA = 1
最高優先 ↑ ↓ 最低優先	GR2	3	INTSR	UART受信終了	FEF0H	FFFFFFEF0H	FE0000F0H	INT0F	INT1F
		2	INTST	UART送信終了	FEE0H	FFFFFFE0H	FE0000E0H	INT0E	INT1E
		1	INTCSI	CSI送受信終了	FED0H	FFFFFFD0H	FE0000D0H	INT0D	INT1D
		0	INT02	INTP02端子入力	FEC0H	FFFFFFEC0H	FE0000C0H	INT0C	INT1C
	GR0	3	INTCM4	CM4の一致	FEB0H	FFFFFFE0H	FE0000B0H	INT0B	INT1B
		2	INTP12/ INTCC12	INTP12端子入力/ CC12の一致	FEA0H	FFFFFFEA0H	FE0000A0H	INT0A	INT1A
		1	INTP13/ INTCC13	INTP13端子入力/ CC13の一致	FE90H	FFFFFFE90H	FE000090H	INT09	INT19
		0	INTP00	INTP00端子入力	FE80H	FFFFFFE80H	FE000080H	INT08	INT18
	GR1	3	INTDMA	DMA転送終了	FE70H	FFFFFFE70H	FE000070H	INT07	INT17
		2	INTP10/ INTCC10	INTP10端子入力/ CC10の一致	FE60H	FFFFFFE60H	FE000060H	INT06	INT16
		1	INTP11/ INTCC11	INTP11端子入力/ CC11の一致	FE50H	FFFFFFE50H	FE000050H	INT05	INT15
		0	INTP01	INTP01端子入力	FE40H	FFFFFFE40H	FE000040H	INT04	INT14
	GR3	3	RESERVED	予約	FE30H	FFFFFFE30H	FE000030H	INT03	INT13
		2	INTOV1	タイマ1オーバフロー	FE20H	FFFFFFE20H	FE000020H	INT02	INT12
		1	INTSER	UART受信エラー	FE10H	FFFFFFE10H	FE000010H	INT01	INT11
		0	INTP03	INTP03端子入力	FE00H	FFFFFFE00H	FE000000H	INT00	INT10
◀IGPの設定により変更される範囲 (グループ単位)▶									

注 開発ツールまたはソフトウェアでのハンドラ名称です。

4.6.2 割り込みクリア・レジスタ (ICR)

割り込み要求をクリアします。

図4 - 7 割り込みクリア・レジスタ (ICR)

アドレス : C00000C2H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ICR	0	CLR14	CLR13	CLR12	CLR11	CLR10	CLR9	CLR8	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : W W W W W W W W W W W W W W W W

ビット	ビット名	説明
14-0	CLR14-CLR0	Clear Interrupt Request このレジスタを操作した時点で、対応する割り込み要求 (IRRレジスタのREQnビット) をクリアします。レベル・モード時の割り込み要求は、このビットではクリアできません。書き込みだけです。リード時にはICRレジスタに関係なく0になります。 0 : 何もしません。 1 : IRRレジスタのREQnビットをクリアします (n = 0-14)。

4.6.3 割り込み要求レジスタ (IRR)

割り込み要求を保持します。

図4 - 8 割り込み要求レジスタ (IRR)

アドレス : C00000C4H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRR	0	REQ14	REQ13	REQ12	REQ11	REQ10	REQ9	REQ8	REQ7	REQ6	REQ5	REQ4	REQ3	REQ2	REQ1	REQ0

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R R R R R R R R R R R R R R R R

ビット	ビット名	説明
14-0	REQ14-REQ0	Interrupt Request 割り込み要求の発生でセットされます。マスク・レジスタの影響は受けません。エッジ割り込みの場合、ICRレジスタの操作によってリセットされます。読み出しだけです。IRRレジスタへの書き込みはできません。 0 : 割り込み要求はありません。 1 : 割り込み要求が発生しています。

4.6.4 割り込み要求マスク・レジスタ (IMR)

割り込み要求をマスクします。

図4 - 9 割り込み要求マスク・レジスタ (IMR)

アドレス : C00000C6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IMR	1	MSK14	MSK13	MSK12	MSK11	MSK10	MSK9	MSK8	MSK7	MSK6	MSK5	MSK4	MSK3	MSK2	MSK1	MSK0

初期値 :

1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

R/W : R R/W R/W

ビット	ビット名	説明
14-0	MSK14-MSK0	Mask Interrupt Request 対応する割り込み要求をマスクします。ただし、マスクしたい割り込み要求が発生していないときにマスクしてください。 0 : マスクしません。 1 : マスクします。

表4 - 5 割り込み制御レジスタの各ビットと割り込み要求信号の対応

ICRレジスタのビット	IRRレジスタのビット	IMRレジスタのビット	割り込み要求信号
CLR14	REQ14	MSK14	INTOV1
CLR13	REQ13	MSK13	INTSER
CLR12	REQ12	MSK12	INTP03
CLR11	REQ11	MSK11	INTSR
CLR10	REQ10	MSK10	INTST
CLR9	REQ9	MSK9	INTCSI
CLR8	REQ8	MSK8	INTP02
CLR7	REQ7	MSK7	INTDMA
CLR6	REQ6	MSK6	INTP10/INTCC10
CLR5	REQ5	MSK5	INTP11/INTCC11
CLR4	REQ4	MSK4	INTP01
CLR3	REQ3	MSK3	INTCM4
CLR2	REQ2	MSK2	INTP12/INTCC12
CLR1	REQ1	MSK1	INTP13/INTCC13
CLR0	REQ0	MSK0	INTP00

注意 グループの優先順位には依存しません。固定の割り込みに対応します。

4.6.5 ICUモード・レジスタ (IMOD)

外部端子による外部割り込み要求 (INTP00-INTP03, INTP10-INTP13) のトリガ・モードを設定します。トリガ・モードには、レベルトリガとエッジトリガの2種類があります。

(1) レベルトリガ

クロックごとにサンプリングします。割り込み要求が発生した場合、CPUの割り込みハンドラ内で割り込み要求を認識するまでアクティブ・レベル (ハイ・レベル) を保持してください。認識される前に割り込み要求を取り下げると、分岐先ベクタが不定になるなどの誤動作が発生します。また、割り込みクリア・レジスタ (ICR) によって、割り込み要求レジスタ (IRR) をクリアできません。

割り込みハンドラにジャンプしたあと、すぐに端子レベルをインアクティブにしてください。割り込み処理ルーチンの最後、RETI命令の直前に端子レベルをインアクティブにすると、3バス・クロックのノイズ解除による割り込み伝達の遅れにより、再び割り込み処理を開始してしまいます。

(2) エッジトリガ

クロックの立ち上がりでサンプリングします。クロックの立ち上がりで、割り込み要求信号がIMODレジスタで指定したエッジで変化した場合、割り込み要求が受け付けられます。割り込み要求は、連続して入力しても1回しかカウントされません。内部割り込み要求もエッジ入力のため、割り込み処理ルーチンにおいて割り込み要求レジスタ (IRR) の対応するビットをクリアしてください。

注意 エッジトリガ時は、内部のエッジ検出回路の制約により、3バス・クロック分以上の割り込み要求レベルを保持をしてください。

図4 - 10 ICUモード・レジスタ (IMOD)

アドレス : C00000C8H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IMOD	ITM13	ITM12	ITM11	ITM10	ITM03	ITM02	ITM01	ITM00								

初期値 : 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	説明																														
15-8	ITM13-ITM10	<p>Interrupt Trigger Mode1</p> <p>INTP1n端子のトリガ・モードを設定します。ただし、トリガ・モードの設定を変更する場合は、設定したい割り込み要求が発生していないときに変更してください (n = 0-3)。</p> <p>また、INTP1n端子は、RPUのタイマ1のキャプチャ・モード用の割り込みと兼用になります。したがって、RPUのTUM1レジスタの設定により有効になるトリガ・モードが次のように異なります。</p> <p>(1) TUM1レジスタにCMS1n = 1 (コンペア・レジスタ), IMS1n = 1 (外部入力信号) を設定した場合 (n = 0-3)</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <th>ITM1n</th> <th>トリガ・モード</th> </tr> <tr> <td>0 0</td> <td>レベルトリガ (ハイ・アクティブ)</td> </tr> <tr> <td>0 1</td> <td>予約 (設定禁止)</td> </tr> <tr> <td>1 0</td> <td>立ち上がりエッジトリガ</td> </tr> <tr> <td>1 1</td> <td>予約 (設定禁止)</td> </tr> </table> <p>(2) TUM1レジスタにCMS1n = 1 (コンペア・レジスタ), IMS1n = 0 (コンペア・レジスタ一致信号) を設定した場合 (n = 0-3)</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <th>ITM1n</th> <th>トリガ・モード</th> </tr> <tr> <td>0 0</td> <td>予約 (設定禁止)</td> </tr> <tr> <td>0 1</td> <td>予約 (設定禁止)</td> </tr> <tr> <td>1 0</td> <td>立ち上がりエッジトリガ</td> </tr> <tr> <td>1 1</td> <td>予約 (設定禁止)</td> </tr> </table> <p>(3) TUM1レジスタにCMS1n = 0 (キャプチャ・レジスタ) を設定した場合 (n = 0-3)</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <th>ITM1n</th> <th>トリガ・モード</th> </tr> <tr> <td>0 0</td> <td>予約 (設定禁止)</td> </tr> <tr> <td>0 1</td> <td>予約 (設定禁止)</td> </tr> <tr> <td>1 0</td> <td>立ち上がりエッジトリガ</td> </tr> <tr> <td>1 1</td> <td>立ち上がりと立ち下りの両エッジトリガ</td> </tr> </table> <p>注意1. RPUのタイマ1の動作中は、ITM13-ITM10の設定を変更しないでください。</p> <p>2. タイマ1を使用しない場合でも、トリガ・モードの選択は上記の表の組み合わせになります。</p>	ITM1n	トリガ・モード	0 0	レベルトリガ (ハイ・アクティブ)	0 1	予約 (設定禁止)	1 0	立ち上がりエッジトリガ	1 1	予約 (設定禁止)	ITM1n	トリガ・モード	0 0	予約 (設定禁止)	0 1	予約 (設定禁止)	1 0	立ち上がりエッジトリガ	1 1	予約 (設定禁止)	ITM1n	トリガ・モード	0 0	予約 (設定禁止)	0 1	予約 (設定禁止)	1 0	立ち上がりエッジトリガ	1 1	立ち上がりと立ち下りの両エッジトリガ
ITM1n	トリガ・モード																															
0 0	レベルトリガ (ハイ・アクティブ)																															
0 1	予約 (設定禁止)																															
1 0	立ち上がりエッジトリガ																															
1 1	予約 (設定禁止)																															
ITM1n	トリガ・モード																															
0 0	予約 (設定禁止)																															
0 1	予約 (設定禁止)																															
1 0	立ち上がりエッジトリガ																															
1 1	予約 (設定禁止)																															
ITM1n	トリガ・モード																															
0 0	予約 (設定禁止)																															
0 1	予約 (設定禁止)																															
1 0	立ち上がりエッジトリガ																															
1 1	立ち上がりと立ち下りの両エッジトリガ																															
7-0	ITM03-ITM00	<p>Interrupt Trigger Mode0</p> <p>INTP0n端子のトリガ・モードを設定します。ただし、トリガ・モードの設定を変更する場合は、設定したい割り込み要求が発生していないときに変更してください (n = 0-3)。</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <th>ITM0n</th> <th>トリガ・モード</th> </tr> <tr> <td>0 0</td> <td>レベルトリガ (ハイ・アクティブ)</td> </tr> <tr> <td>0 1</td> <td>予約 (設定禁止)</td> </tr> <tr> <td>1 0</td> <td>立ち上がりエッジトリガ</td> </tr> <tr> <td>1 1</td> <td>予約 (設定禁止)</td> </tr> </table>	ITM0n	トリガ・モード	0 0	レベルトリガ (ハイ・アクティブ)	0 1	予約 (設定禁止)	1 0	立ち上がりエッジトリガ	1 1	予約 (設定禁止)																				
ITM0n	トリガ・モード																															
0 0	レベルトリガ (ハイ・アクティブ)																															
0 1	予約 (設定禁止)																															
1 0	立ち上がりエッジトリガ																															
1 1	予約 (設定禁止)																															

4.7 外部入力端子による割り込み要求

外部入力端子による要求には，INTP0n端子もしくはINTP1n端子を使用します（n = 0-3）。

外部入力端子による要求には，次に示すレジスタで設定してください。

- ・ICUモード・レジスタ（IMOD）（4.6.5参照）
- ・タイマ出力コントロール・レジスタ（TOC1）（10.3.4参照）
- ・ポートBコントロール・モード・レジスタ（PBC）（11.4.2（3）参照）

（1）INTP00-INTP03, INTP11, INTP13端子を使用する場合

IMODレジスタのITMビットでトリガ・モードを設定する。

タイマのモード設定TUM1レジスタに上記ITMビットにあったCMS，IMSを適切に設定する。

PBCレジスタで兼用端子（INTP00-INTP03, INTP11, INTP13）に設定を変更する。

不定となっている割り込み要求をクリアする（ICRレジスタのINTPxx該当ビットをクリア）。

割り込みマスクを解除する（次のレジスタの処理が必要です）。

- ・ICUの割り込み優先順位を設定（IGPレジスタ）
- ・ICUの割り込みマスク解除（IMRレジスタ）
- ・V830コア内のPSWで割り込みを許可（NP, EP, IDビット）

～の詳細は各レジスタの説明，および4.3 マスカブル割り込み，図4-2 マスカブル割り込み要求の処理フローを参照してください。

INTP00-INTP03, INTP11, INTP13端子の割り込みが立ち上がりエッジトリガで，通常ハイ・レベル入力するときは，ポートBコントロール・レジスタ（PBC）の設定のときに割り込み要求マスク・レジスタ（IMR）で割り込み要求をマスクしておき，設定後，割り込みマスク・レジスタ（ICR）で割り込み要求をクリアする必要があります。（INTP00-INTP03, INTP11, INTP13端子が入出力ポート側になっているとき，割り込みコントローラ（ICU）に入力する割り込み要求信号は，ロウ・レベルにマスクされていますが，兼用端子入力がハイ・レベルの状態で，ポートBコントロール・レジスタ（PBC）を入出力ポート側から割り込み要求入力側に設定を替えるとICUに入力する割り込み要求信号がロウ・レベルからハイ・レベルに変化します。よって割り込みトリガ・モードが立ち上がりのとき，ICUはここで割り込みを受け付けて（IRRにセット）しまいます。）

(2) INTP10, INTP12端子を使用する場合

IMODレジスタのITMビットでトリガ・モードを設定する。

タイマのモード設定TUM1レジスタに上記ITMビットにあったCMS, IMSを適切に設定する。

TOC1レジスタで兼用端子 (INTP10, INTP12) に設定を変更する。

不定となっている割り込み要求をクリアする (ICRレジスタのINTPxx該当ビットをクリア)。

割り込みマスクを解除する (次のレジスタの処理が必要です)。

- ・ICUの割り込み優先順位を設定 (IGPレジスタ)
- ・ICUの割り込みマスク解除 (IMRレジスタ)
- ・V830コア内のPSWで割り込みを許可 (NP, EP, IDビット)

～ の詳細は各レジスタの説明, および4. 3 マスカブル割り込み, 図4 - 2 マスカブル割り込み要求の処理フローを参照してください。

INTP1n入力は, タイマ1のキャプチャ機能と兼用になっています。タイマ1のキャプチャ機能を使用する場合は, 使用するキャプチャ・レジスタに対応するINTP1n端子入力はキャプチャ・トリガ (キャプチャ割り込み) となります。また, INTP1nの要求信号およびベクタ・アドレスは, コンペア・レジスタの一致割り込みINTCC1nと兼用です。したがって, コンペア・レジスタの一致割り込みを使用する場合は, 兼用となっているINTP1n端子は使用できません。

詳細は第10章 タイマ/カウンタ機能を参照してください。

備考 n = 0-3

第5章 バス制御機能

V832のBCUIは、SDRAM (Synchronous DRAM) , Page-ROM, SRAM (ROM) , I/Oをダイレクトに接続できます。

- ・ SDRAMへのアクセス
アドレス・バス, データ・バス, $\overline{SDCLKOUT}$, \overline{CKE} , \overline{CAS} , \overline{RAS} , \overline{WE} , 4本の \overline{xxDQM} , $\overline{CS0}$, $\overline{CS1}$ 信号を使用
- ・ Page-ROM, SRAM (ROM) へのアクセス
アドレス・バス, データ・バス, \overline{MWR} , \overline{MRD} , 4本の \overline{xxBEN} , \overline{CSn} (n = 1-7) (Page-ROMは $\overline{CS7}$ のみ) 信号を使用
- ・ I/Oへのアクセス
アドレス・バス, データ・バス, \overline{IOWR} , \overline{IORD} , 4本の \overline{xxBEN} , \overline{CSn} (n = 3-6) 信号を使用

- 備考1. \overline{xxBEN} : \overline{LLBEN} , \overline{LUBEN} , \overline{ULBEN} , \overline{UUBEN}
2. \overline{xxDQM} : \overline{LLDQM} , \overline{LUDQM} , \overline{ULDQM} , \overline{UUDQM}

5.1 特 徴

SDRAM, Page-ROM, SRAM (ROM) , I/Oをダイレクトに接続可能
最小1バス・クロックのSDRAM, リード/ライト・アクセス
4本の \overline{xxDQM} 信号によるSDRAMへのバイト・アクセス制御
 \overline{READY} 信号によるウェイト制御
4本の \overline{xxBEN} 信号によるRAM, ROM, I/Oへのバイト・アクセス制御

- 備考1. \overline{xxBEN} : \overline{LLBEN} , \overline{LUBEN} , \overline{ULBEN} , \overline{UUBEN}
2. \overline{xxDQM} : \overline{LLDQM} , \overline{LUDQM} , \overline{ULDQM} , \overline{UUDQM}

5.2 外部I/Oサイクル

I/O空間のブロック3-6領域にIN/OUT命令によるアクセスがあり、かつ、BCTCレジスタによってI/Oサイクルが選択されていると、I/Oサイクルを行います。I/Oサイクルはシングル・サイクルだけで、基本サイクルは T_a , T_s ステートの2バス・クロック・サイクルです (図5 - 1参照)。

T_a ステートは、外部デバイスの制御信号の出力を開始するステートです。バス・クロックの立ち上がりでアドレスを出力して、 \overline{CSn} (n = 3-6) 信号がアクティブになります。 \overline{BCYST} 信号は、 T_a ステート期間 (1バス・クロック) アクティブになります。リード/ライト時は、それぞれ \overline{IORD} 信号と \overline{IOWR} 信号がバス・クロックの立ち下がりでアクティブになります。ライト時は、バス・クロックの立ち上がりでライト・データを出力します。

T_s ステートは、外部デバイスのデータをリード/ライトするステートです。リード時は、バス・クロックの立ち下がりでデータをサンプリングします。ライト時は、 T_s ステート期間中、ライト・データを出力し続けます。 \overline{READY} 信号は、 T_s ステートのバス・クロックの立ち上がりでサンプリングします。 \overline{READY} 信号がアクティブなら、 \overline{IORD} または \overline{IOWR} 信号をインアクティブにして、リード/ライト・サイクルを終了します。 \overline{READY} 信号が

インアクティブなら、もう一度Tsステートを実行します。

また、CPUが行うI/Oリード・サイクル後は、必ずTiステートが1バス・クロック強制挿入されます。

ウェイト制御は、 $\overline{\text{READY}}$ 信号のほかに、PWC0/PWC1レジスタで制御できます。PWC0/PWC1レジスタで設定したウェイト数と $\overline{\text{READY}}$ 入力によるウェイト数は論理和の形をとるため、どちらが多い方のウェイト数が挿入されます。

図5-1 外部I/Oサイクル(32ビット・バス・モード、リード時)

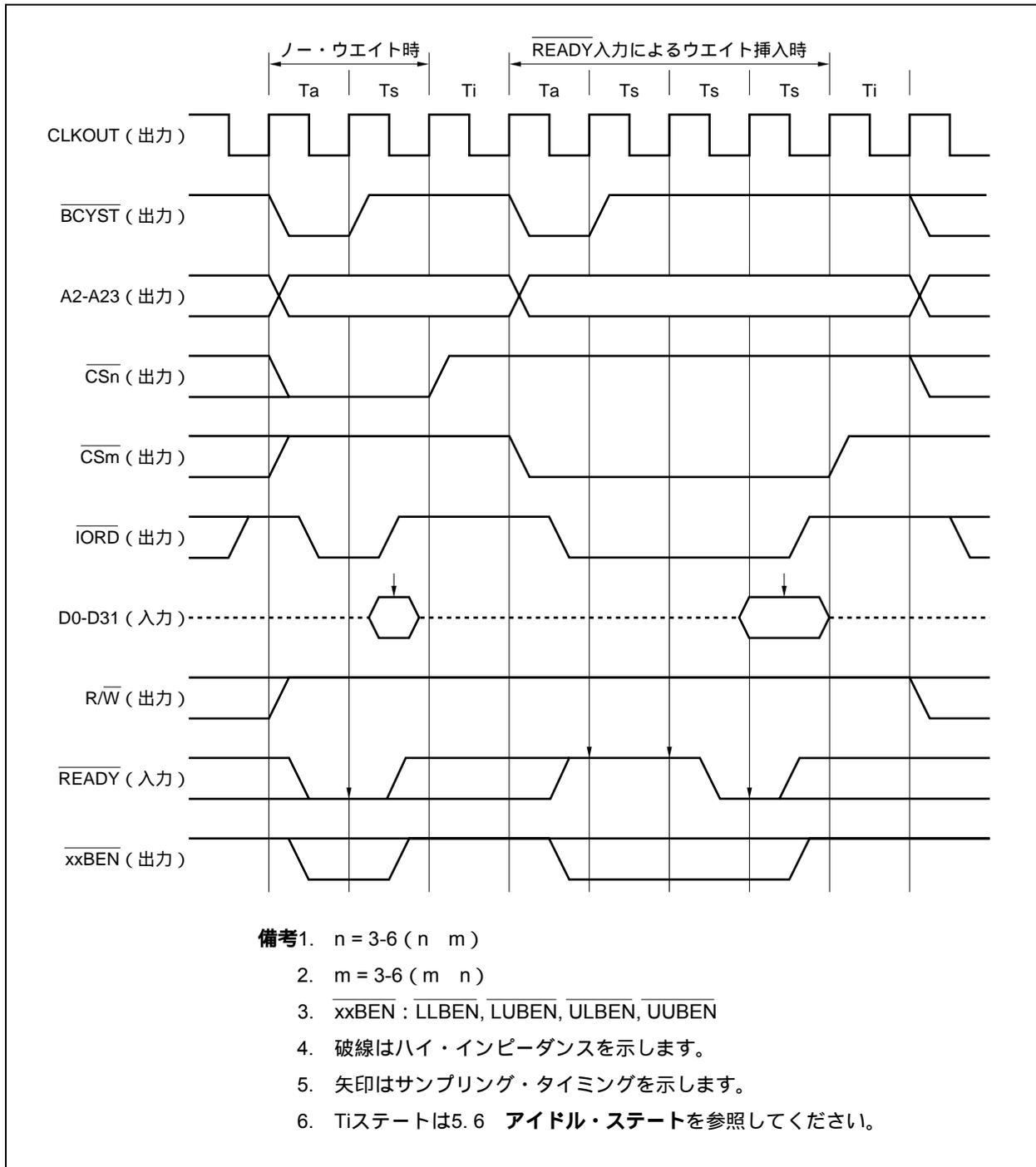
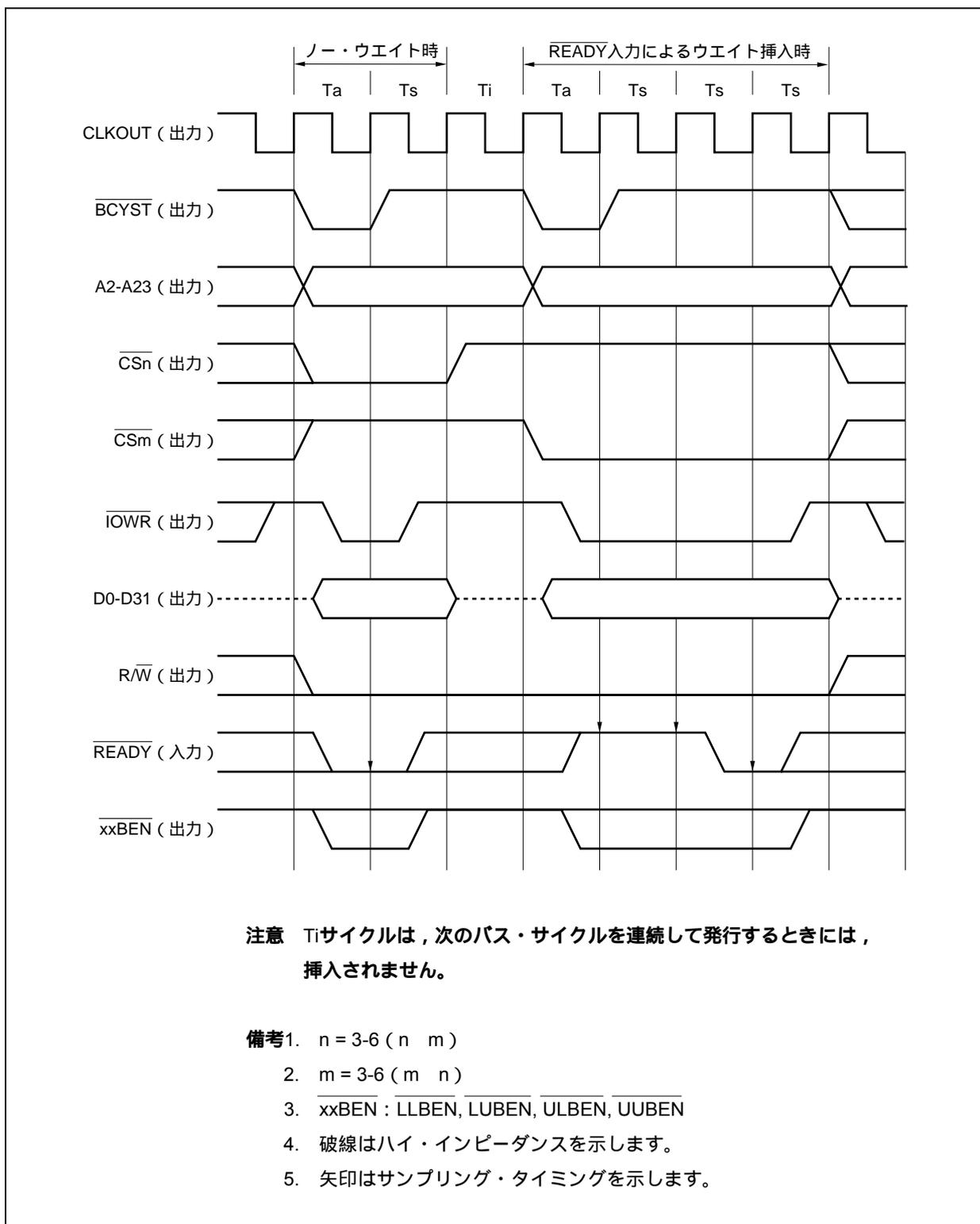


図5-2 外部I/Oサイクル (32ビット・バス・モード, ライト時)



5.2.1 バイト・アクセス制御

4本の $\overline{\text{xxBEN}}$ 信号 ($\overline{\text{LLBEN}}$, $\overline{\text{LUBEN}}$, $\overline{\text{ULBEN}}$, $\overline{\text{UUBEN}}$) によりバイト・アクセスを制御します。データ・バス幅が32ビットのときは, 4本の $\overline{\text{xxBEN}}$ 信号を使用します。データ・バス幅が16ビットのときは $\overline{\text{LUBEN}}$, $\overline{\text{LLBEN}}$ の2本の $\overline{\text{xxBEN}}$ 信号を使用します。表5 - 1, 表5 - 2に $\overline{\text{xxBEN}}$ 信号とアクセス・アドレスとの関係を示します。

32ビット・データ・バスでのハーフワード・アクセス時には, A1は変化します。

32ビット・データ・バスでも, A1は正しい状態を出力します。

表5 - 1 32ビット・データ・バス ($\overline{\text{xxBEN}}$)

データ・サイズ	アドレス		$\overline{\text{xxBEN}}$			
	A1	A0	$\overline{\text{UUBEN}}$ (D31-D24)	$\overline{\text{ULBEN}}$ (D23-D16)	$\overline{\text{LUBEN}}$ (D15-D8)	$\overline{\text{LLBEN}}$ (D7-D0)
バイト	0	0	1	1	1	0
	0	1	1	1	0	1
	1	0	1	0	1	1
	1	1	0	1	1	1
ハーフワード (16ビット)	0	0	1	1	0	0
	1	0	0	0	1	1
ワード (32ビット)	0	0	0	0	0	0

表5 - 2 16ビット・データ・バス ($\overline{\text{xxBEN}}$)

データ・サイズ	アドレス	$\overline{\text{xxBEN}}$			
	A0	$\overline{\text{UUBEN}}$	$\overline{\text{ULBEN}}$	$\overline{\text{LUBEN}}$ (D15-D8)	$\overline{\text{LLBEN}}$ (D7-D0)
バイト	0	1	1	1	0
	1	1	1	0	1
ハーフワード (16ビット)	0	1	1	0	0
ワード (32ビット)	1回目	0	1	1	0
	2回目	0	1	1	0

備考 1: ハイ・レベル出力

0: ロウ・レベル出力

5.3 SRAM (ROM) サイクル

メモリ空間のブロック1-7領域にアクセスがあり、BCTCレジスタによってSRAM (ROM) サイクルを選択すると、SRAM (ROM) サイクルを行います。SRAM (ROM) サイクルには、連続アクセスするデータ長、データ・バス幅の違いにより次の種類に分類されます。

(1) 連続アクセスするデータ長による分類

シングル・サイクル (アクセス単位は4/2/1バイト)

- ・ ST命令実行によるSRAM (ROM) アクセス
- ・ アンキャッシュャブル領域へのLD命令実行または命令フェッチによるSRAM (ROM) アクセス
- ・ DMAの2サイクル転送によるSRAM (ROM) アクセス

バースト・サイクル (アクセス単位は16バイト)

- ・ 命令/データ・キャッシュのリフィルによるSRAM (ROM) アクセス
- ・ 内蔵RAMとのブロック転送命令実行によるSRAM (ROM) アクセス

(2) データ・バス幅による分類

DBCレジスタのBWnビットでデータ・バス幅を設定します (n = 1-6)。

- ・ BWnビット = 1のとき : 16ビット・バス・モード
- ・ BWnビット = 0のとき : 32ビット・バス・モード

図5-3 16 M ROM (1 M × 16) との接続例 (32ビット・バス・モード時)

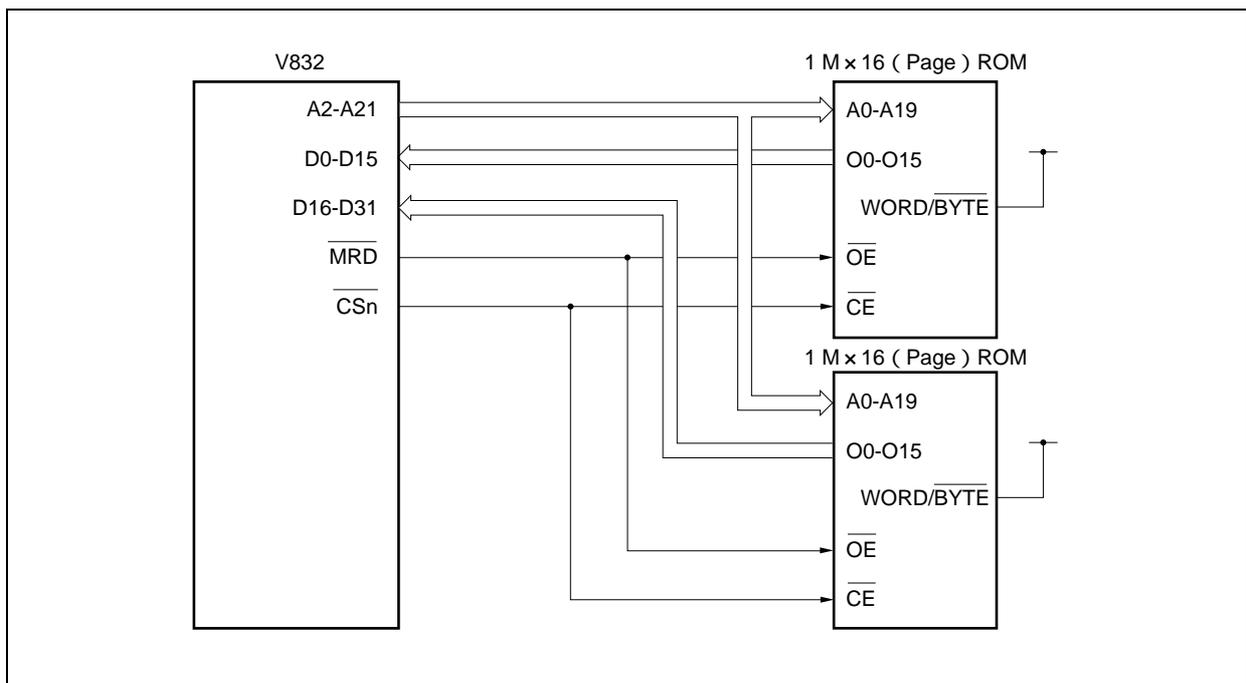
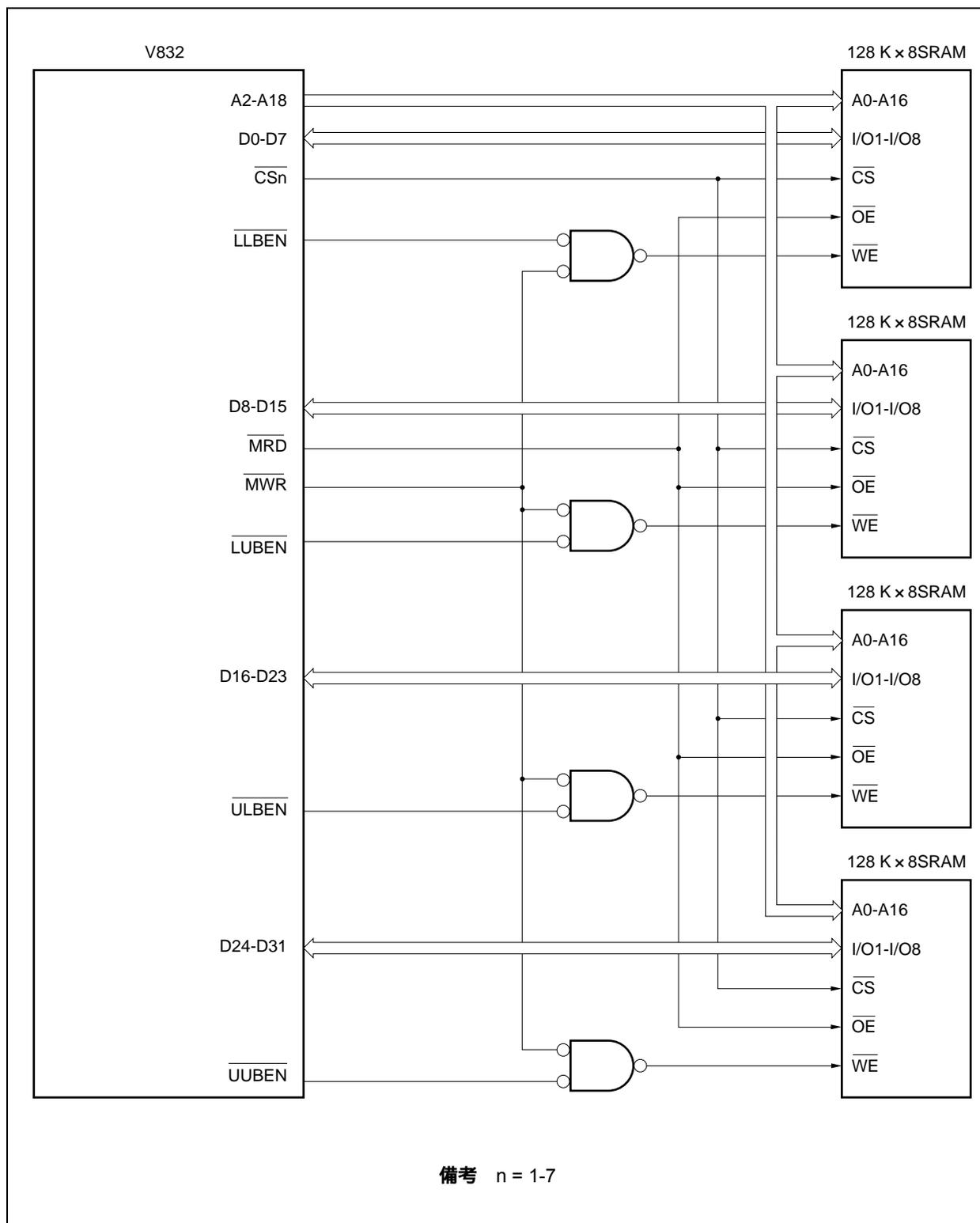


図5-4 1 M SRAM (128K×8) との接続例 (32ビット・バス・モード時)



5.3.1 SRAM (ROM) シングル・サイクル

SRAM (ROM) シングル・サイクルは、ST命令実行、アンキャッシュブルLD命令実行または命令フェッチ、DMA2サイクル転送で、SRAM (ROM) サイクルを設定しているブロックにアクセスすると起動します。基本サイクルは T_a 、 T_s ステートの2バス・クロック・サイクルです（図5-5、図5-6参照）。

T_a ステートは、外部デバイスの制御信号の出力を開始するステートです。バス・クロックの立ち上がりでアドレスを出力して、 \overline{CS} 信号がアクティブになります。 \overline{BCYST} 信号は、 T_a ステート期間（1バス・クロック）アクティブになります。リード/ライト時には、それぞれ \overline{MRD} 信号と \overline{MWR} 信号がバス・クロックの立ち下がりでアクティブになります。ライト時には、バス・クロックの立ち上がりでライト・データを出力します。

T_s ステートは、外部デバイスのデータをリード/ライトするステートです。リード時には、バス・クロックの立ち下がりですべてのデータをサンプルします。ライト時は、 T_s ステート期間中、ライト・データを出力し続けます。 \overline{READY} 信号は、 T_s ステートのバス・クロックの立ち上がりでサンプルします。 \overline{READY} 信号がアクティブになると、 \overline{MRD} または \overline{MWR} 信号をインアクティブにしてサイクルを終了します。インアクティブの場合は、もう一度 T_s ステートを実行します。

またCPUが行うSRAM (ROM) リード・サイクル後は、必ず T_i ステートが1バス・クロック強制挿入されます。

ウェイト制御は、PWC0/PWC1レジスタによる制御と \overline{READY} 端子による制御ができます（図5-5、図5-6参照）。PWC0/PWC1レジスタで設定したウェイト数と \overline{READY} 入力によるウェイト数は論理和の形を取るため、どちらが多い方のウェイト数が挿入されます。

図5 - 5 SRAM (ROM) シングル・サイクル (32ビット・バス・モード, リード時)

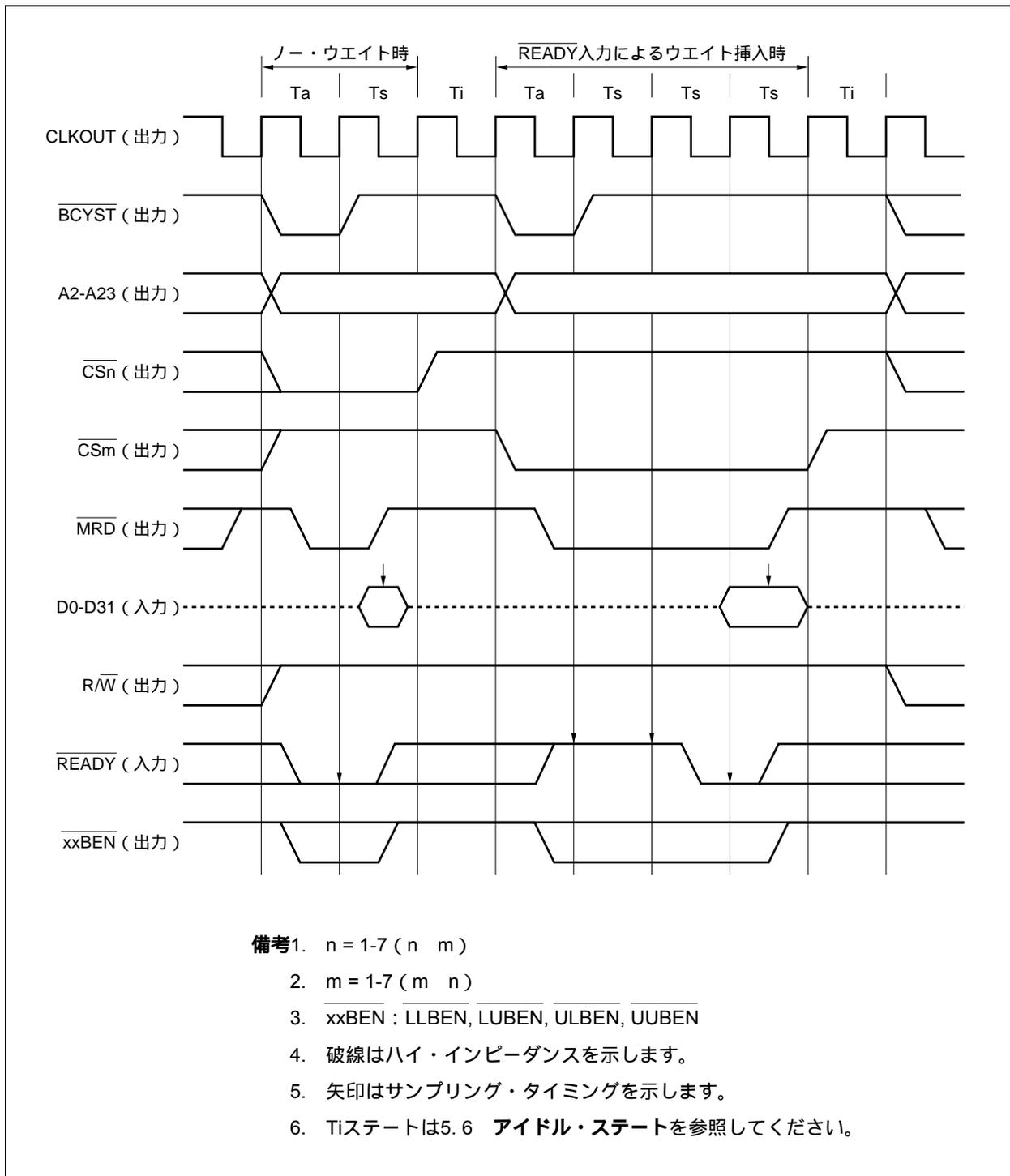
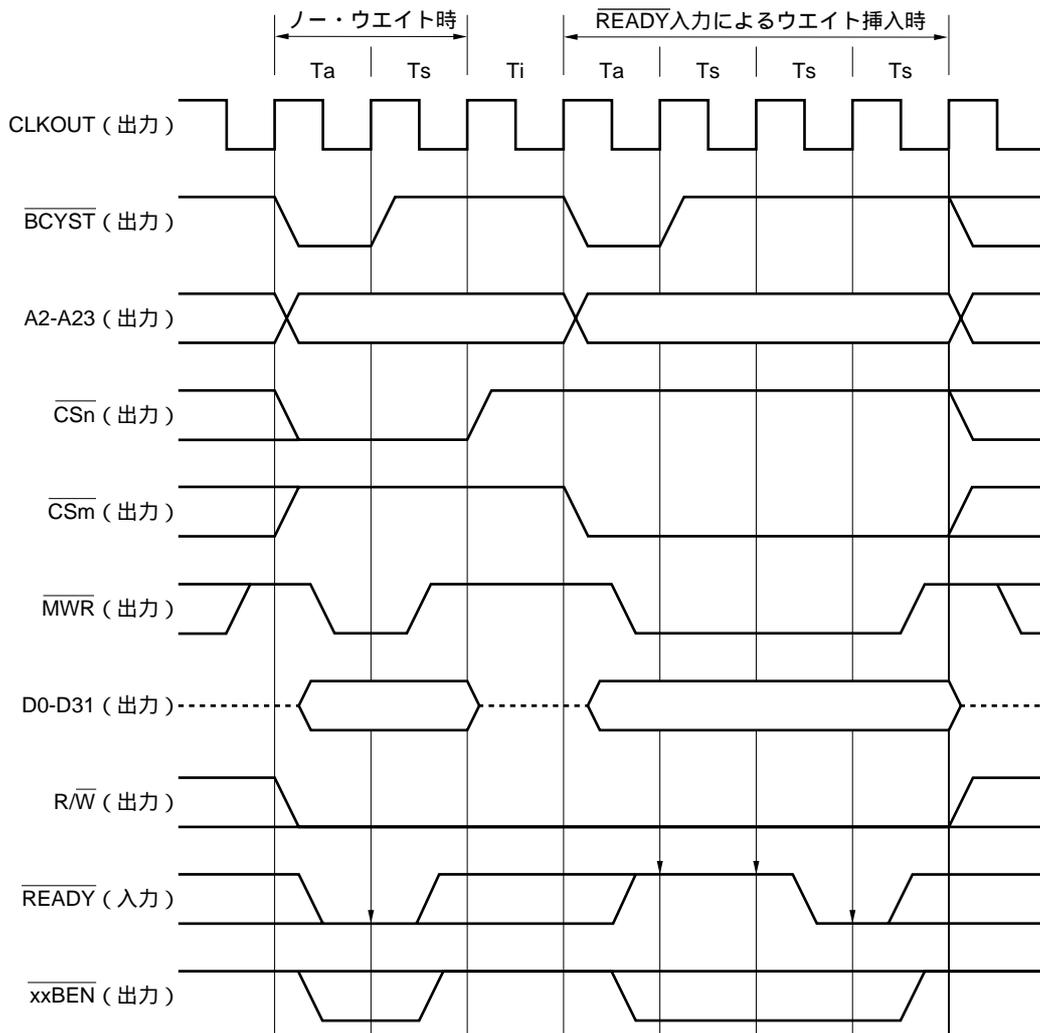


図5 - 6 SRAM (ROM) シングル・サイクル (32ビット・バス・モード, ライト時)



注意 Tiサイクルは、次のバス・サイクルを連続して発行するときには、挿入されません。

- 備考**
1. $n = 1-7$ (n m)
 2. $m = 1-7$ (m n)
 3. \overline{xxBEN} : \overline{LLBEN} , \overline{LUBEN} , \overline{ULBEN} , \overline{UUBEN}
 4. 破線はハイ・インピーダンスを示します。
 5. 矢印はサンプリング・タイミングを示します。

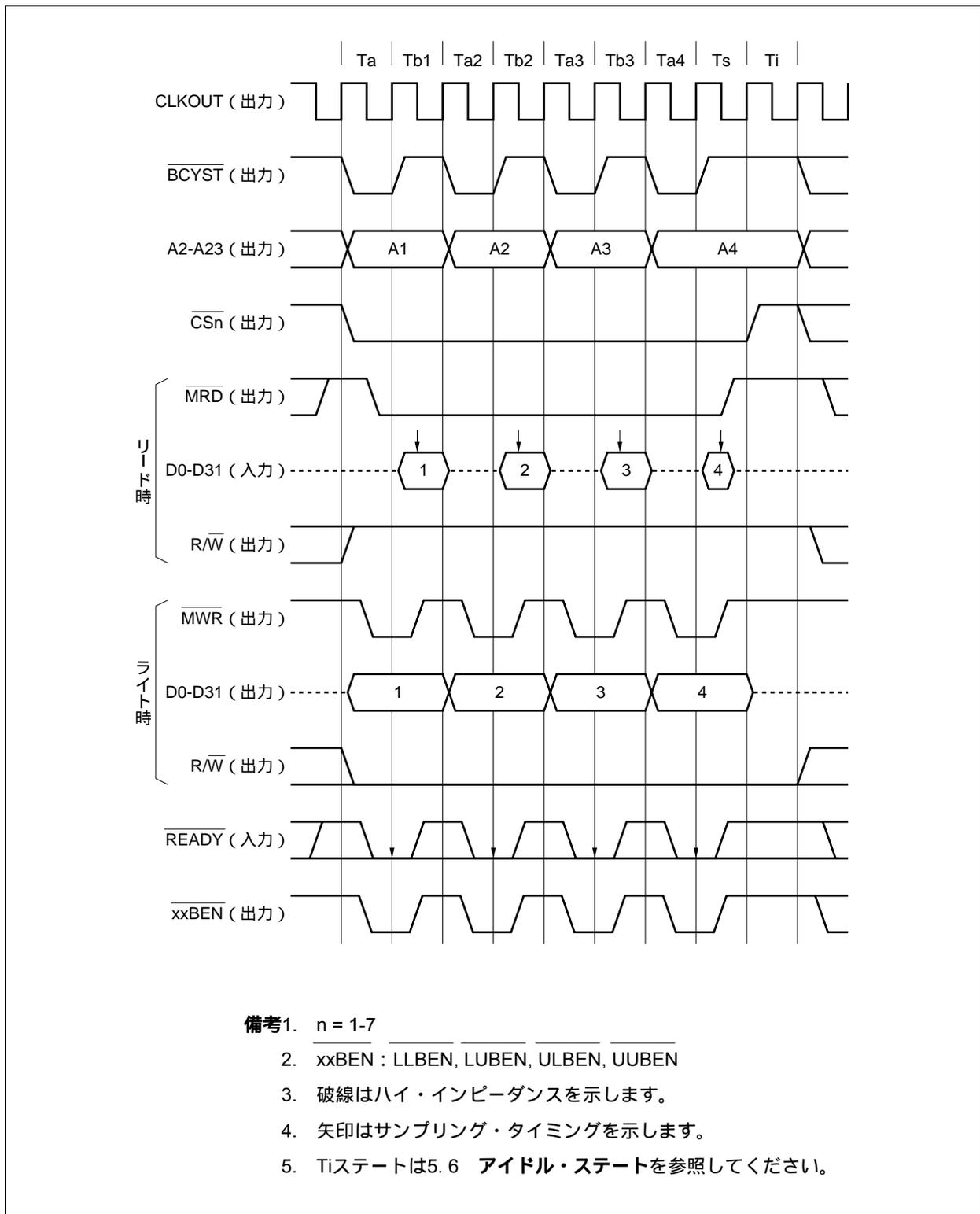
5.3.2 SRAM (ROM) パースト・サイクル

SRAM (ROM) パースト・サイクルは、命令/データ・キャッシュ・リフィル、内蔵RAMとのブロック転送命令実行でSRAM (ROM) サイクルを設定しているブロックにアクセスすると起動します。基本アクセスは、2バス・クロック・アクセスです。32ビット・バス・モードの場合、1回のパースト・サイクルで、4回の連続したアクセスが発生します(図5-7参照)。

1回のアクセスでのSRAM (ROM) の制御信号のタイミングは、 $\overline{\text{MRD}}$ 信号を除いて、シングル・サイクルと同じです。 $\overline{\text{MRD}}$ 信号は、バス・クロックの立ち上がり同期して、パースト・サイクルの期間はアクティブの状態になります。 $\overline{\text{BCYST}}$ 信号は、各アクセスのTa-Ta4ステート期間アクティブになります。 $\overline{\text{READY}}$ 信号は、Tb1-Tb3, Tsステートのバス・クロックの立ち上がりでサンプリングします。

ウェイト制御は、PWC0/PWC1レジスタによる制御と $\overline{\text{READY}}$ 端子による制御ができます。PWC0/PWC1レジスタで設定したウェイト数と $\overline{\text{READY}}$ 入力によるウェイト数は論理和の形をとるため、どちらか多い方のウェイト数が挿入されます。

図5-7 SRAM (ROM) パースト・サイクル



5.3.3 バイト・アクセス制御

5.2.1 **バイト・アクセス制御**を参照してください。

5.4 Page-ROMサイクル

メモリ空間のブロック7領域にアクセスがあり、BCTCレジスタのCT7ビットによってPage-ROMサイクルを選択していると、Page-ROMサイクルが行われます。Page-ROMサイクルには、連続アクセスするデータ長、データ・バスの幅の違いにより次の種類に分類されます。

(1) アクセスするデータ長による分類

シングル・サイクル（アクセス単位は4/2/1バイト）

- ・ アンキャッシュャブル領域へのLD命令実行または命令フェッチによるPage-ROMアクセス
- ・ DMAの2サイクル転送によるPage-ROMアクセス

バースト・サイクル（アクセス単位は16バイト）

- ・ 命令キャッシュのリフィルによるPage-ROMアクセス
- ・ 内蔵RAMとのブロック転送命令実行によるPage-ROMアクセス

(2) データ・バス幅による分類

BT16B端子でデータ・バス幅を設定します。バースト・サイクルで32ビット・バス・モードの場合は4回連続したアクセスを行い、16ビット・バス・モードの場合は8回連続したアクセスを行います。

- ・ BT16B端子 = 1のとき：16ビット・バス・モード
- ・ BT16B端子 = 0のとき：32ビット・バス・モード

5.4.1 Page-ROMシングル・サイクル

アンキャッシュャブルLD命令実行または命令フェッチ、DMA2サイクル転送でPage-ROMサイクルが選択されているブロック7のアクセス時に起動するサイクルです。ウエイト制御は、 $\overline{\text{READY}}$ 端子制御および内部レジスタ制御ができます。PWC1レジスタのWS7ビットによってウエイトを制御します。バス・タイミングは、SRAM（ROM）シングル・サイクルと同じです。

5.4.2 Page-ROMバースト・サイクル

命令キャッシュ・リフィル、内蔵RAMとのブロック転送命令実行で、Page-ROMサイクルが選択されているブロック7のアクセス時に起動するサイクルです。バス・タイミングは、SRAM（ROM）バースト・サイクルと同じですが、ウエイト数の設定が異なります。

32ビット・バス・モード時、または16ビット・バス・モード時にPRCレジスタのPSビットが0のとき（ページ・サイズが16バイト）、1回目のアクセスは通常のアクセス（off-page）を行い、2回目以降は、on-pageアクセスを行います。1アクセスの基本サイクルは2バス・クロック・サイクルです（図5-8参照）。1回目のoff-pageアクセス時は、PWC1レジスタのWS7ビットによってウエイトを制御します。2回目以降のon-pageアクセス時は、PRCレジスタのPWSビットによってウエイトを制御します。また、 $\overline{\text{READY}}$ 端子によるウエイト制御もできます。

16ビット・バス・モード時でPRCレジスタのPSビットが1のとき（ページ・サイズが8バイト）は、1回目と5回目のアクセスは通常のアクセス（off-page）を行い、2回目～4回目と6回目～8回目は、on-pageアクセスを行います。各アクセスのウエイト数は、32ビット・バス・モード時と同じです。

図5 - 8 Page-ROMバースト・サイクル (32ビット・バス・モード)

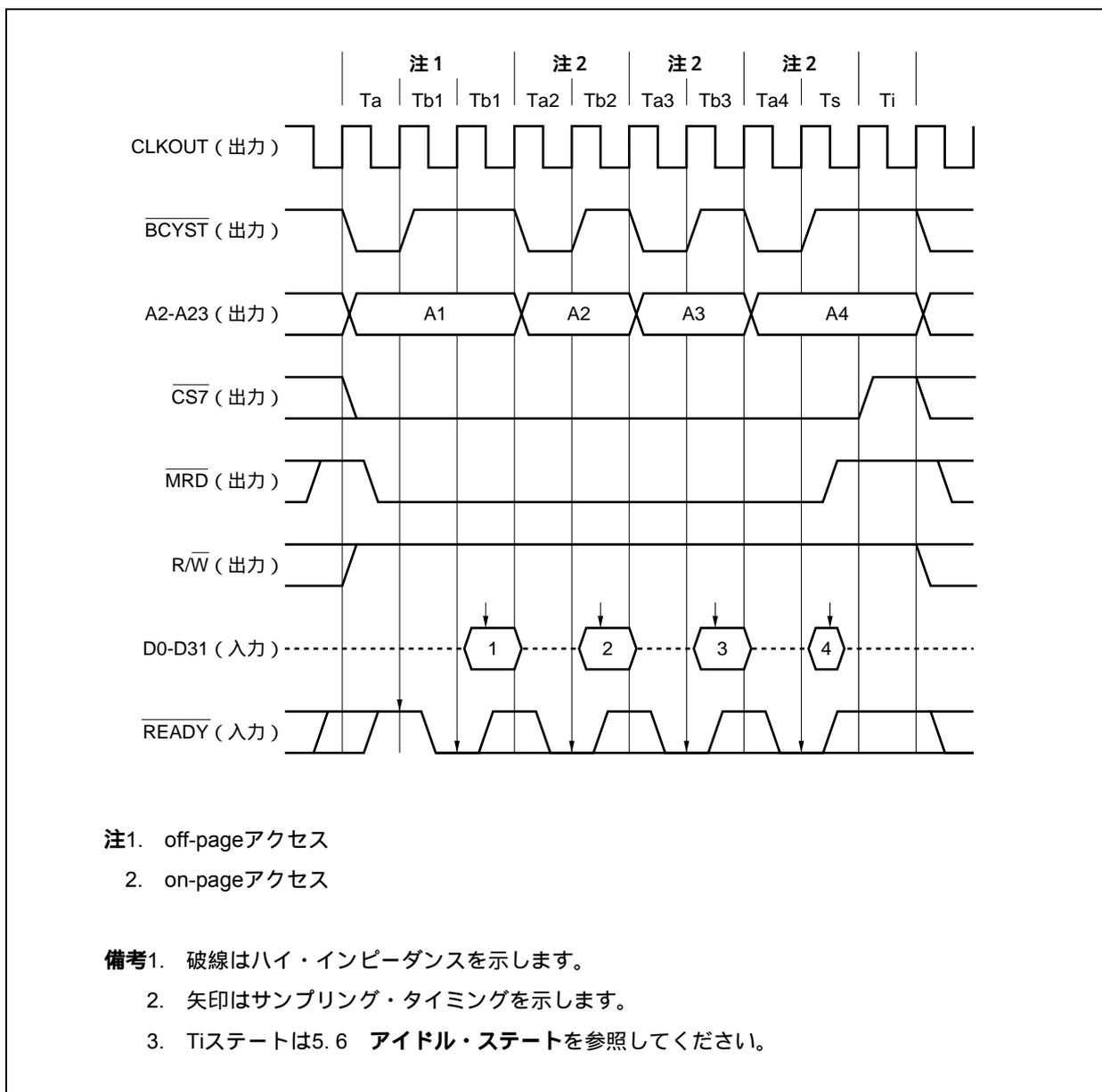
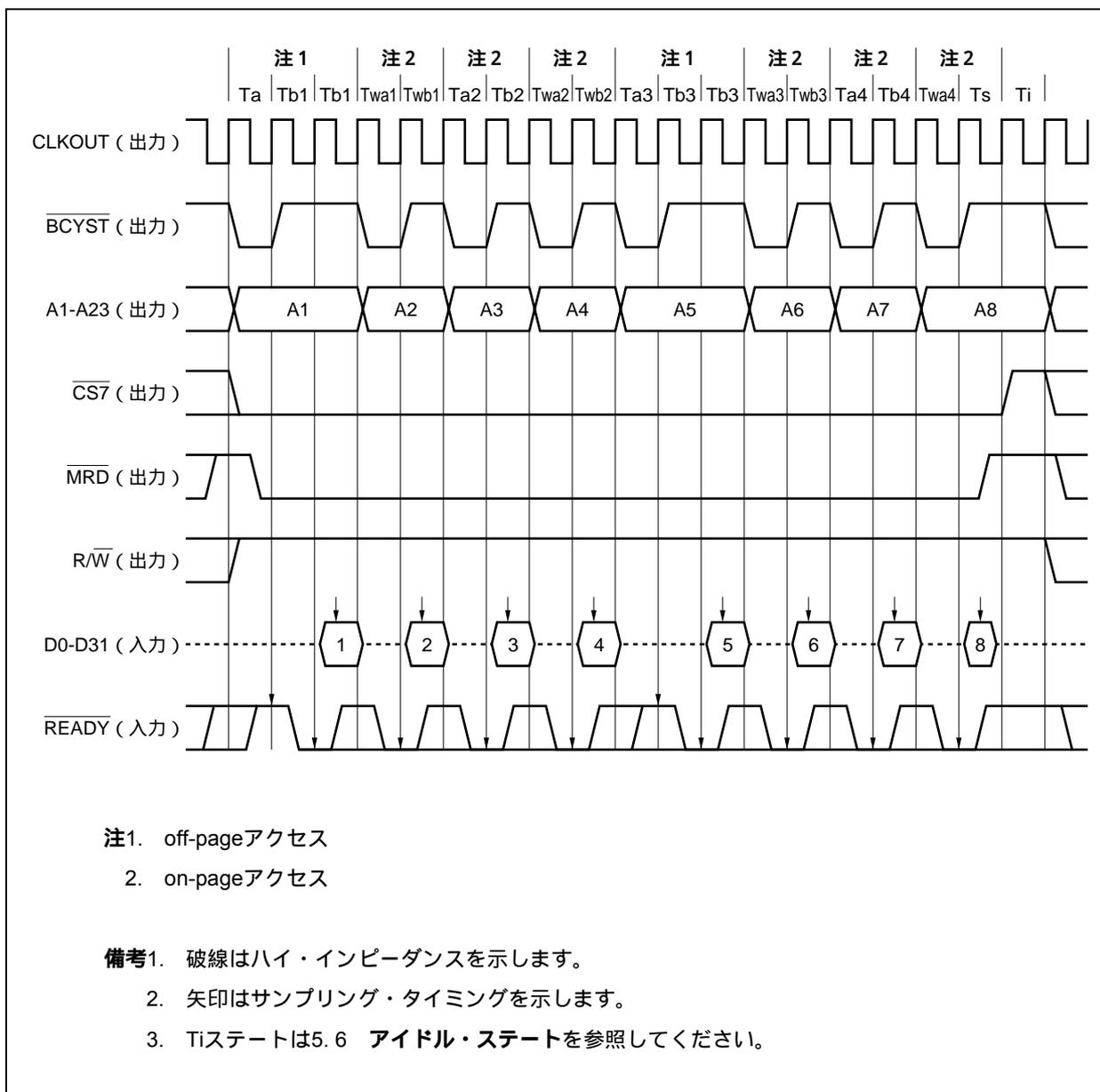


図5-9 Page-ROMバースト・サイクル (16ビット・バス・モード, 8バイト・ページ・サイズ)



5.5 SDRAMサイクル

メモリ空間のSDRAM領域にアクセスすると、SDRAMサイクルを行います。SDRAMサイクルには、連続アクセスするデータ長、on-page/off-page、データ・バス幅の違いにより次の種類に分類されます。

(1) 連続アクセスするデータ長による分類

シングル・サイクル (アクセス単位は4/2/1バイト)

- ・ ST命令実行によるSDRAMアクセス
- ・ アンキャッシュブル領域へのLD命令実行または命令フェッチによるSDRAMアクセス
- ・ DMAの2サイクル転送によるSDRAMアクセス

バースト・サイクル (アクセス単位は16バイト)

- ・ 命令/データ・キャッシュのリフィルによるSDRAMアクセス
- ・ 内蔵RAMとのブロック転送命令実行によるSDRAMアクセス

(2) on-page/off-pageによる分類

on-pageサイクル

- ・ アクセスするバンクが、前回アクセスしたバンクと同一ロウ・アドレス

off-pageサイクル

- ・ アクセスするバンクにおけるオート・リフレッシュ後の最初のSDRAMサイクル
- ・ アクセスするバンクが前回アクセスしたバンクと異なるロウ・アドレス

(3) データ・バス幅による分類

DBCレジスタのBW0ビットでデータ・バス幅を設定します。

- ・ BW0ビット = 1のとき：16ビット・バス・モード
- ・ BW0ビット = 0のとき：32ビット・バス・モード

図5 - 10 SDRAM (64 Mビット) との接続例 (16ビット・バス・モード時)

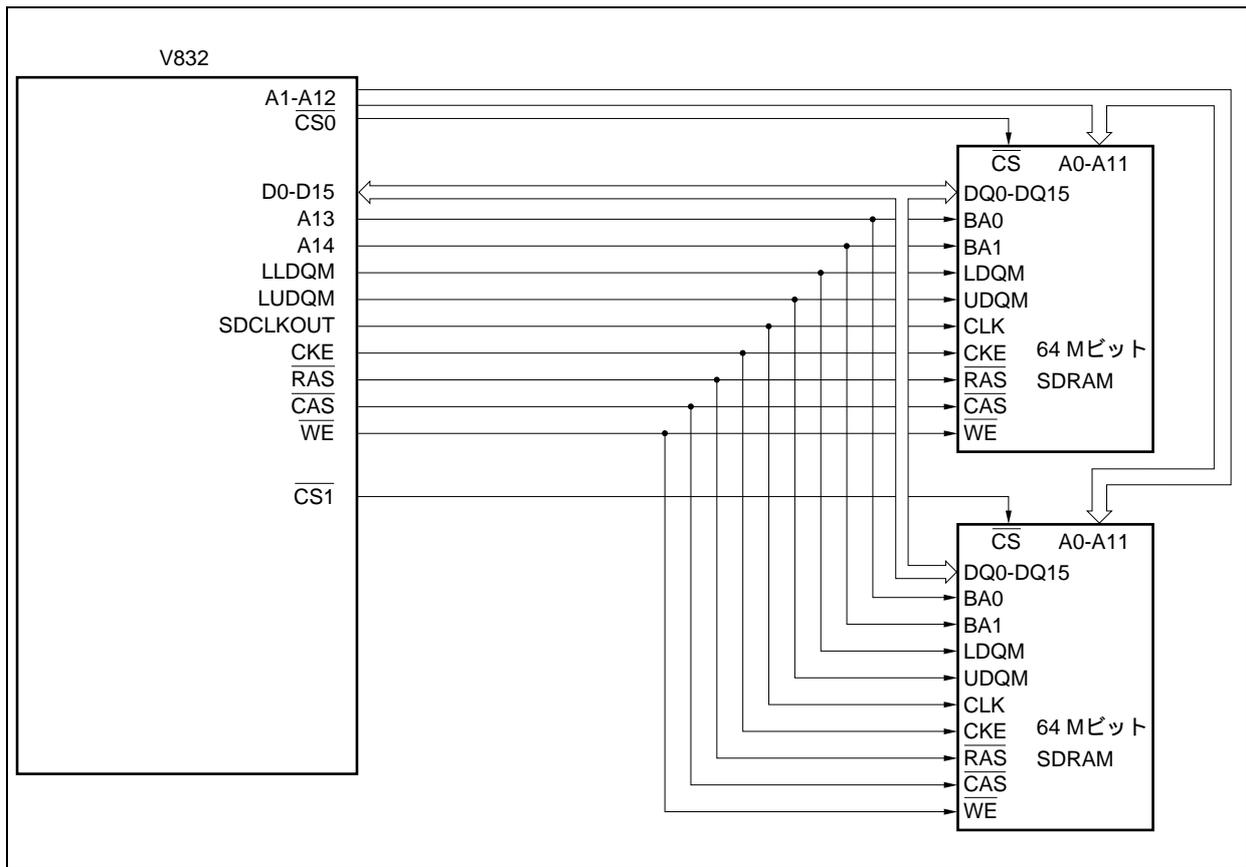
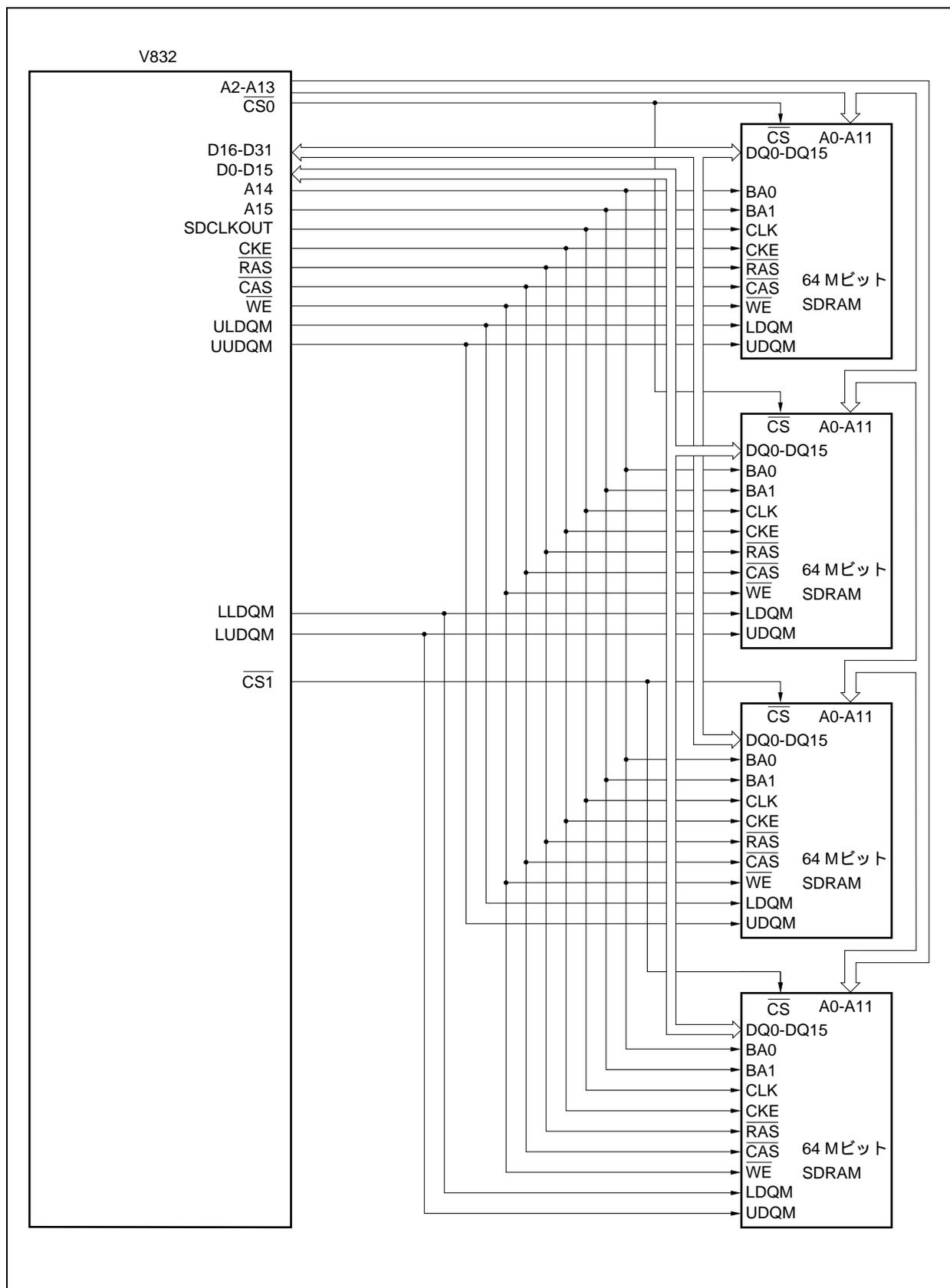


図5 - 11 SDRAM (64 Mビット) との接続例 (32ビット・バス・モード時)



設計の際には付録A V832ターゲット・ボードのバス設計についてを参照してください。

5.5.1 SDRAMシングル・リード・サイクル

アンキャッシュャブル領域のSDRAM領域へのロード (LD) 命令実行または命令フェッチ, DMA2サイクル転送でSDRAM領域をリードすると起動されるサイクルです。図5 - 12, 図5 - 13にシングル・リード・サイクルのタイミングを示します。

シングル・リード・サイクルでは, SDRAMに対してプリチャージ・コマンド, アクティブ・コマンド, リード・コマンドが順次発行されます。ただし, on-pageアクセスのときは, プリチャージ・コマンド, アクティブ・コマンドは発行されません。

データの取り込みタイミングは, リード・コマンド発行の2クロック後にデータを取り込みます。

CPUからの起動されたすべてのリード・サイクルのあとには, 必ず1ステートのTiサイクルが強制的に挿入されます。

図5 - 12 SDRAMシングル・リード・サイクル (off-page, 32ビット・データ幅)

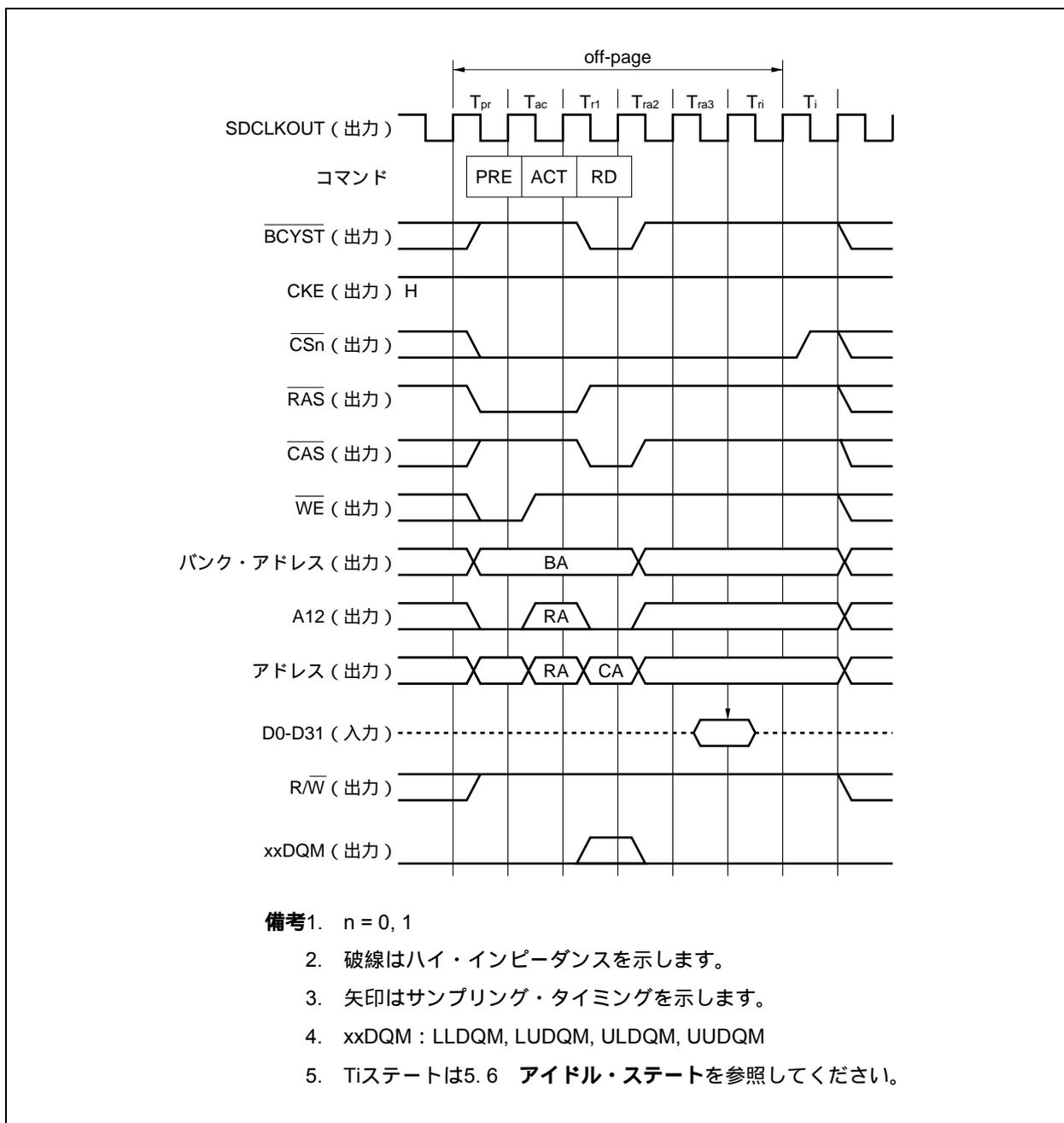
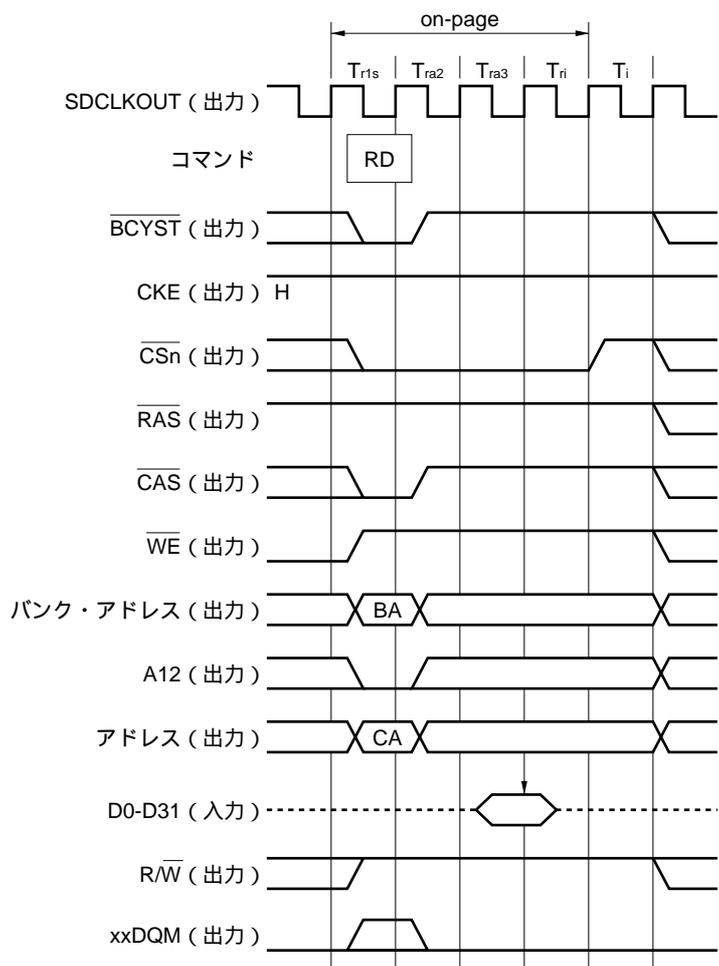


図5 - 13 SDRAMシングル・リード・サイクル (on-page , 32ビット・データ幅)



- 備考1. $n = 0, 1$
2. 破線はハイ・インピーダンスを示します。
 3. 矢印はサンプリング・タイミングを示します。
 4. $xxDQM$: LLDQM, LUDQM, ULDQM, UUDQM
 5. T_i ステータは5.6 **アイドル・ステート**を参照してください。

5.5.2 SDRAMシングル・ライト・サイクル

SDRAM領域へのストア（ST）命令実行，DMA2サイクル転送でSDRAM領域をライトすると起動されるサイクルです。図5 - 14，図5 - 15にSDRAMシングル・ライト・サイクルのタイミングを示します。

シングル・ライト・サイクルでは，SDRAMに対してプリチャージ・コマンド，アクティブ・コマンド，ライト・コマンドが順次発行されます。ただし，on-pageアクセスのときは，プリチャージ・コマンド，アクティブ・コマンドは発行されず，ライト・コマンドのみ発行されます。

図5 - 14 SDRAMシングル・ライト・サイクル (off-page, 32ビット・データ幅)

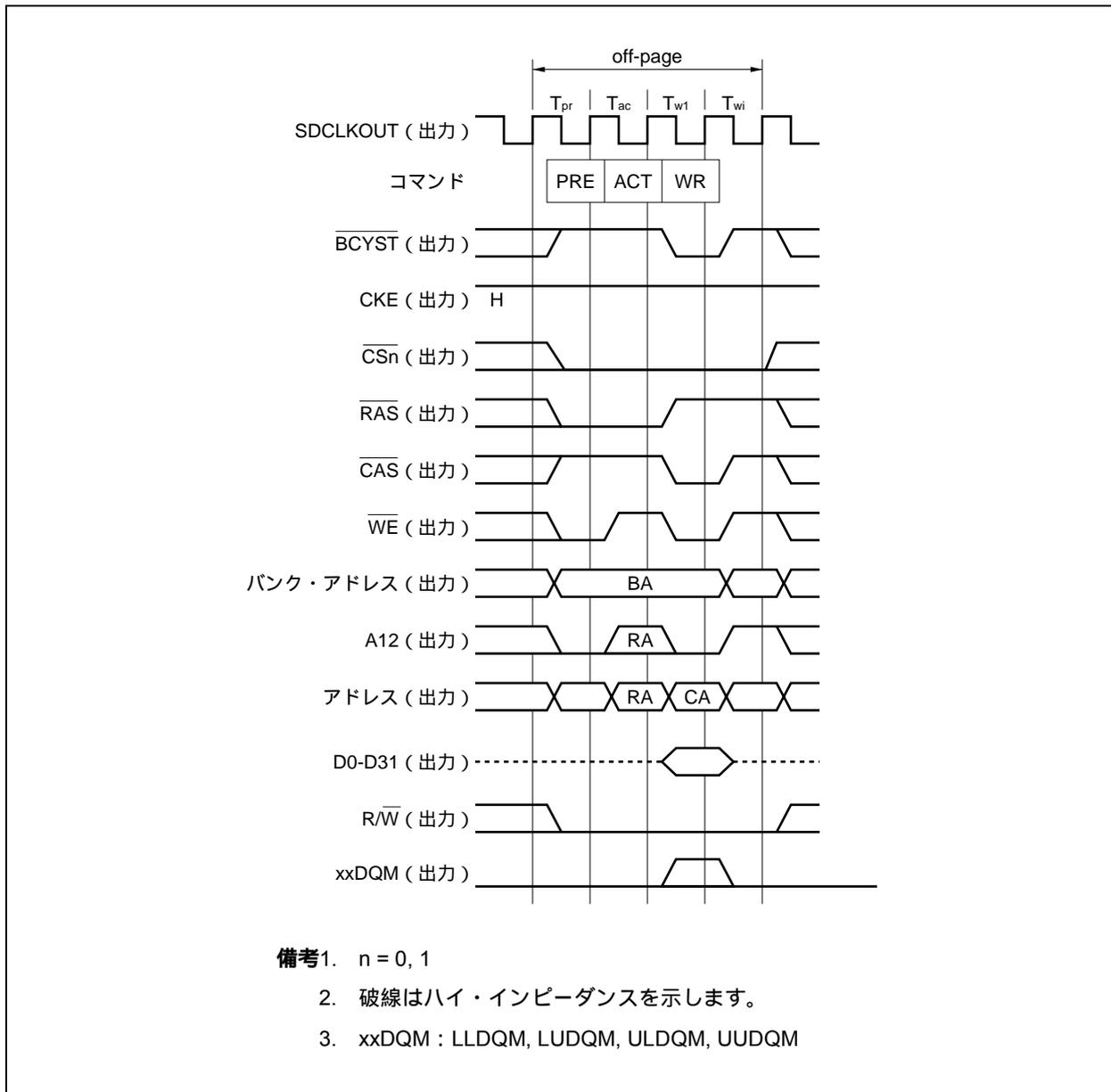
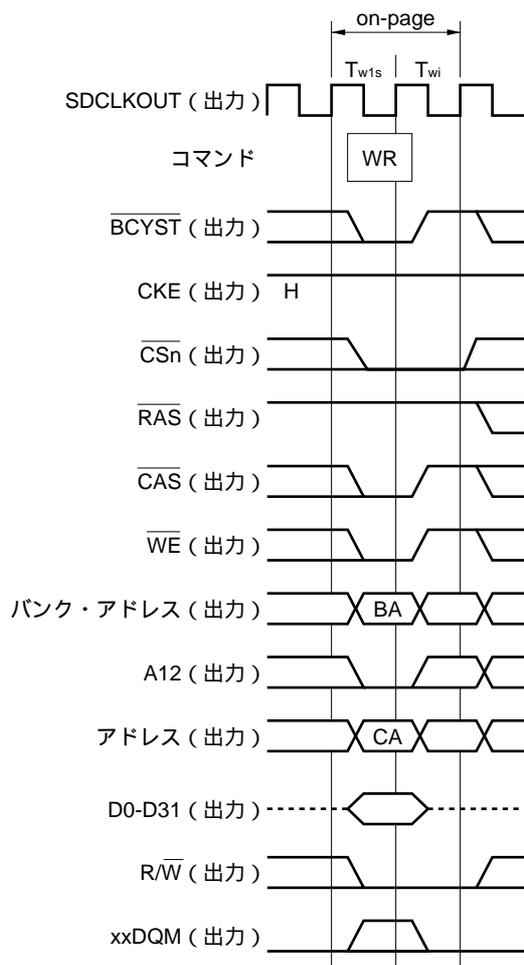


図5 - 15 SDRAMシングル・ライト・サイクル (on-page , 32ビット・データ幅)



- 備考1. $n = 0, 1$
2. 破線はハイ・インピーダンスを示します。
 3. $xxDQM$: LLDQM, LUDQM, ULDQM, UUDQM

5.5.3 SDRAMバースト・リード・サイクル

4ワード（16バイト）連続のバス・サイクルで、次の場合に起動されるサイクルです。

- ・ 命令キャッシュがミスしたときのSDRAM領域から命令キャッシュ・メモリへの転送。
- ・ データ・キャッシュがミスしたときのSDRAM領域からデータ・キャッシュ・メモリへの転送。
- ・ ブロック転送命令（BILD, BDLD）を実行したときのSDRAMから内部メモリへの転送。

図5 - 16にバースト・リード・サイクルのoff-page時のタイミングを示します。バースト・リード・サイクルでは、SDRAMに対してプリチャージ・コマンド、アクティブ・コマンドのあとにリード・コマンドが4回連続発行されます。

図5 - 17にバースト・リード・サイクルのon-page時のタイミングを示します。on-pageアクセスのときは、プリチャージ・コマンド、アクティブ・コマンドは発行されず、4回連続のリード・コマンドのみ発行されます。

データの取り込みタイミングは、リード・コマンド発行の2クロック後にデータを取り込みます。

CPUから起動されたすべてのリード・サイクルのあとには、必ず1ステートのTiサイクルが強制挿入されます。

図5 - 16 SDRAMバースト・リード・サイクル (off-page, 32ビット・データ幅)

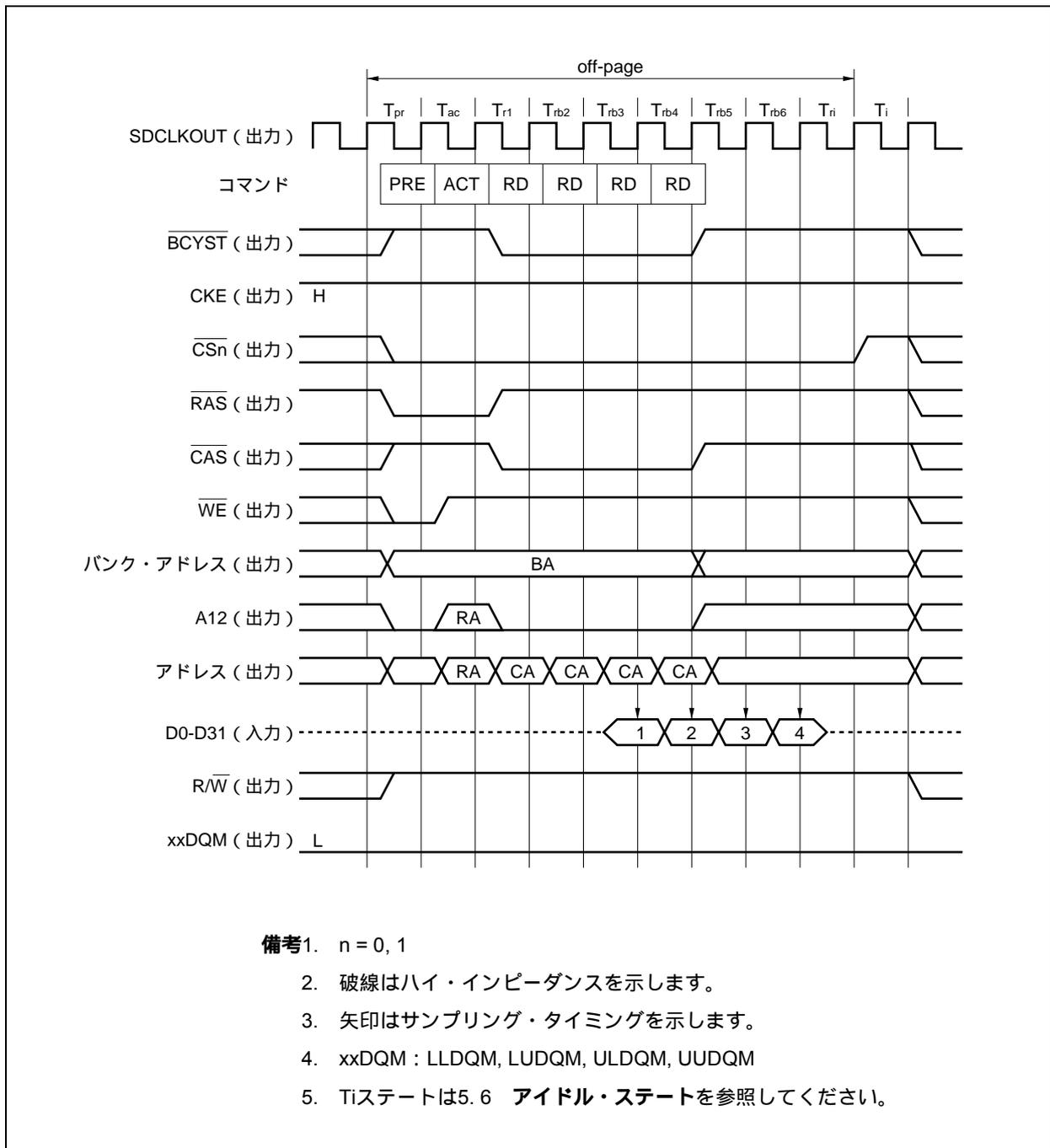
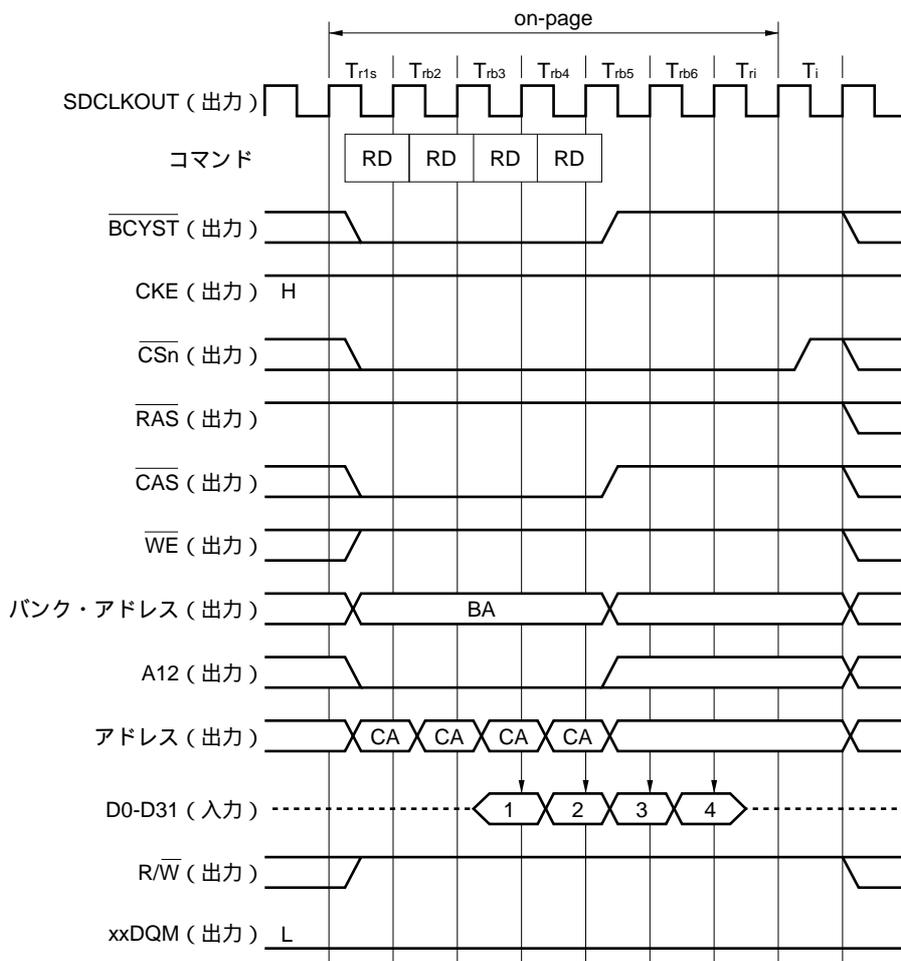


図5 - 17 SDRAMバースト・リード・サイクル (on-page , 32ビット・データ幅)



備考1. $n = 0, 1$

2. 破線はハイ・インピーダンスを示します。
3. 矢印はサンプリング・タイミングを示します。
4. xxDQM : LLDQM, LUDQM, ULDQM, UUDQM
5. Tiステートは5.6 **アイドル・ステート**を参照してください。

5.5.4 SDRAMパースト・ライト・サイクル

内蔵メモリからSDRAMメモリ空間へのブロック転送命令 (BIST, BDST) 実行にて起動されるサイクルです。4ワード (16バイト連続) のバス・サイクルです。

図5 - 18にパースト・ライト・サイクルのoff-page時のタイミングを示します。パースト・ライト・サイクルでは, SDRAMに対してプリチャージ・コマンド, アクティブ・コマンドのあとにライト・コマンドが4回連続発行されます。

図5 - 19にパースト・ライト・サイクルのon-page時のタイミングを示します。on-pageアクセスのときは, プリチャージ・コマンド, アクティブ・コマンドは発行されず4回連続のライト・コマンドのみ発行されます。

図5 - 18 SDRAMパースト・ライト・サイクル (off-page, 32ビット・データ幅)

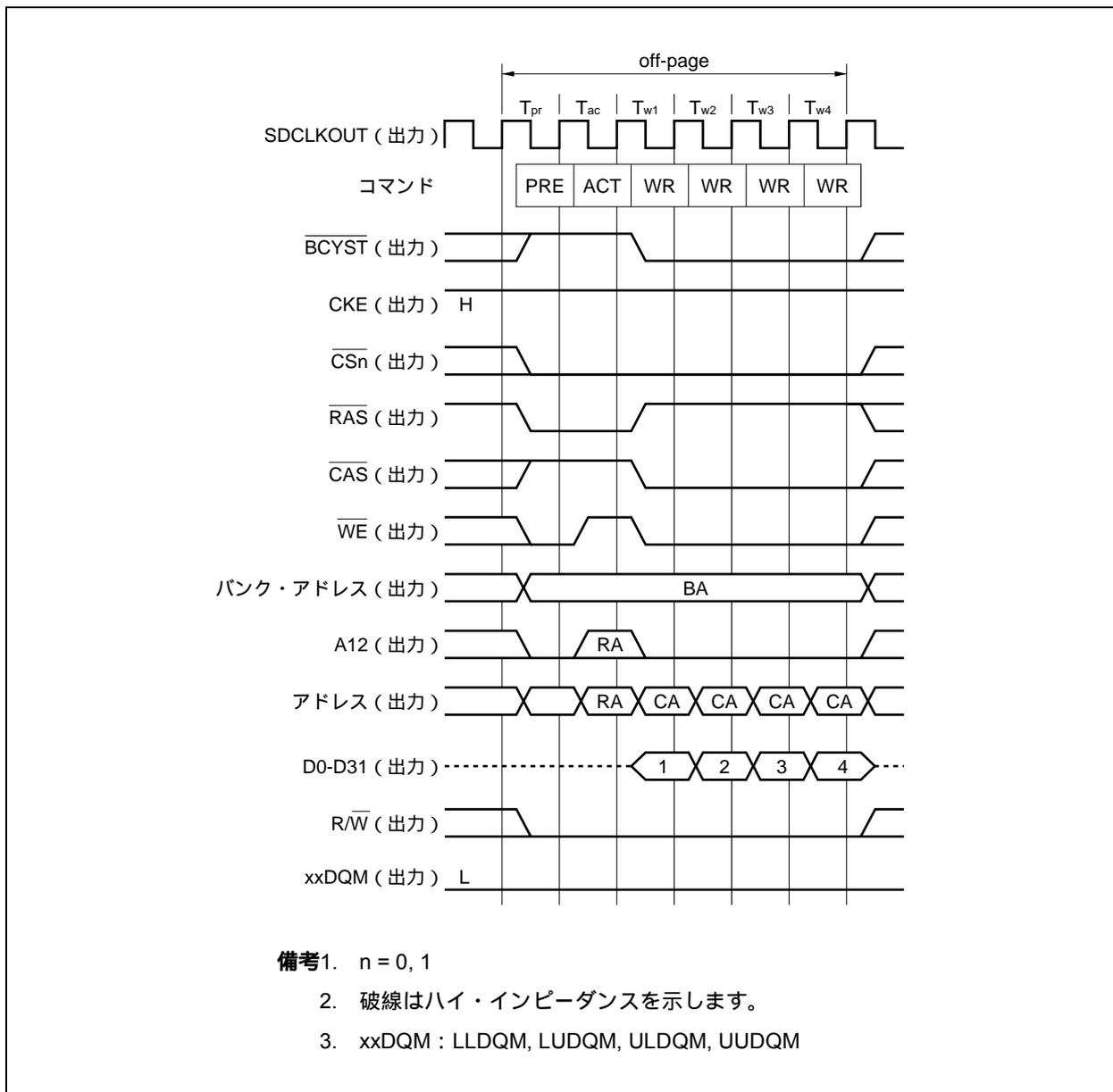
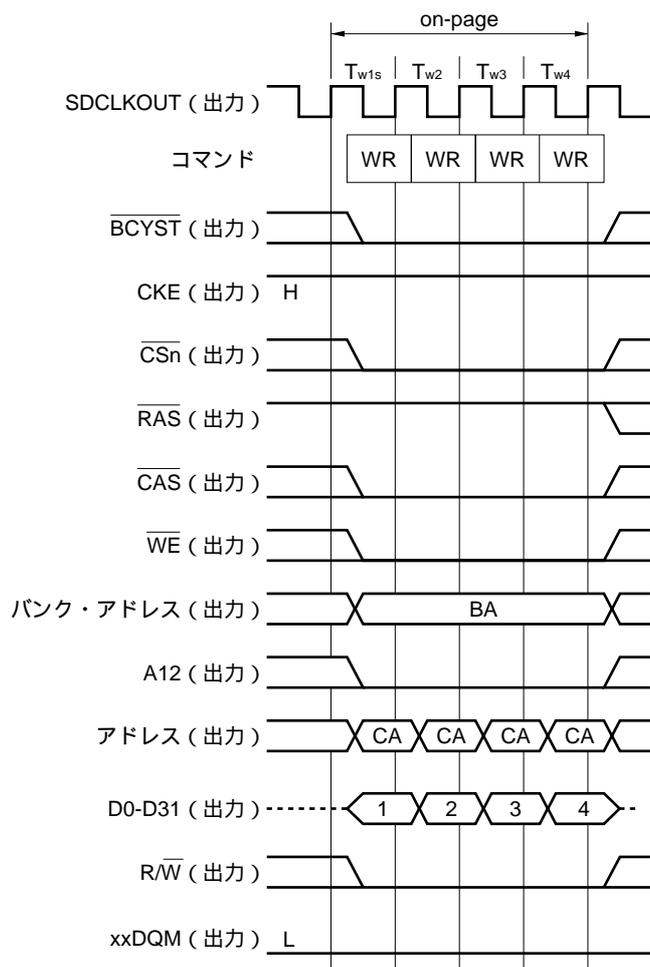


図5 - 19 SDRAMバースト・ライト・サイクル (on-page , 32ビット・データ幅)



- 備考1. $n = 0, 1$
2. 破線はハイ・インピーダンスを示します。
 3. $xxDQM$: LLDQM, LUDQM, ULDQM, UUDQM

5.5.5 タイミング制御

SDRAMアクセス・タイミング制御は、次の設定ができます。

ただし、SDRAMアクセス時は、 $\overline{\text{READY}}$ 端子によるウエイト制御はできません。

SDRAMコンフィグレーション・レジスタ (SDC) の各ビットの設定については7.2.3 SDRAMコンフィグレーション・レジスタ (SDC) を参照してください。

(1) プリチャージ・コマンド アクティブ・コマンド間隔

プリチャージ・コマンド発行からアクティブ・コマンド発行までの間隔を、SDCのTRPビットにより設定できます。

- ・ TRP = 0のとき, 1バス・クロック
- ・ TRP = 1のとき, 2バス・クロック

図5-20にTRPビットが1の場合を示します。

(2) アクティブ・コマンド リード/ライト・コマンド間隔

アクティブ・コマンド発行からリード/ライト・コマンド発行までの間隔をSDCのTRCDビットにより設定できます。

- ・ TRCD = 0のとき, 1バス・クロック
- ・ TRCD = 1のとき, 2バス・クロック

図5-20にTRCDビットが1の場合を示します。

(3) アクティブ・コマンド プリチャージ・コマンド間隔

アクティブ・コマンド発行からプリチャージ・コマンド発行までの最小間隔をSDCのTRASビットにより設定できます。

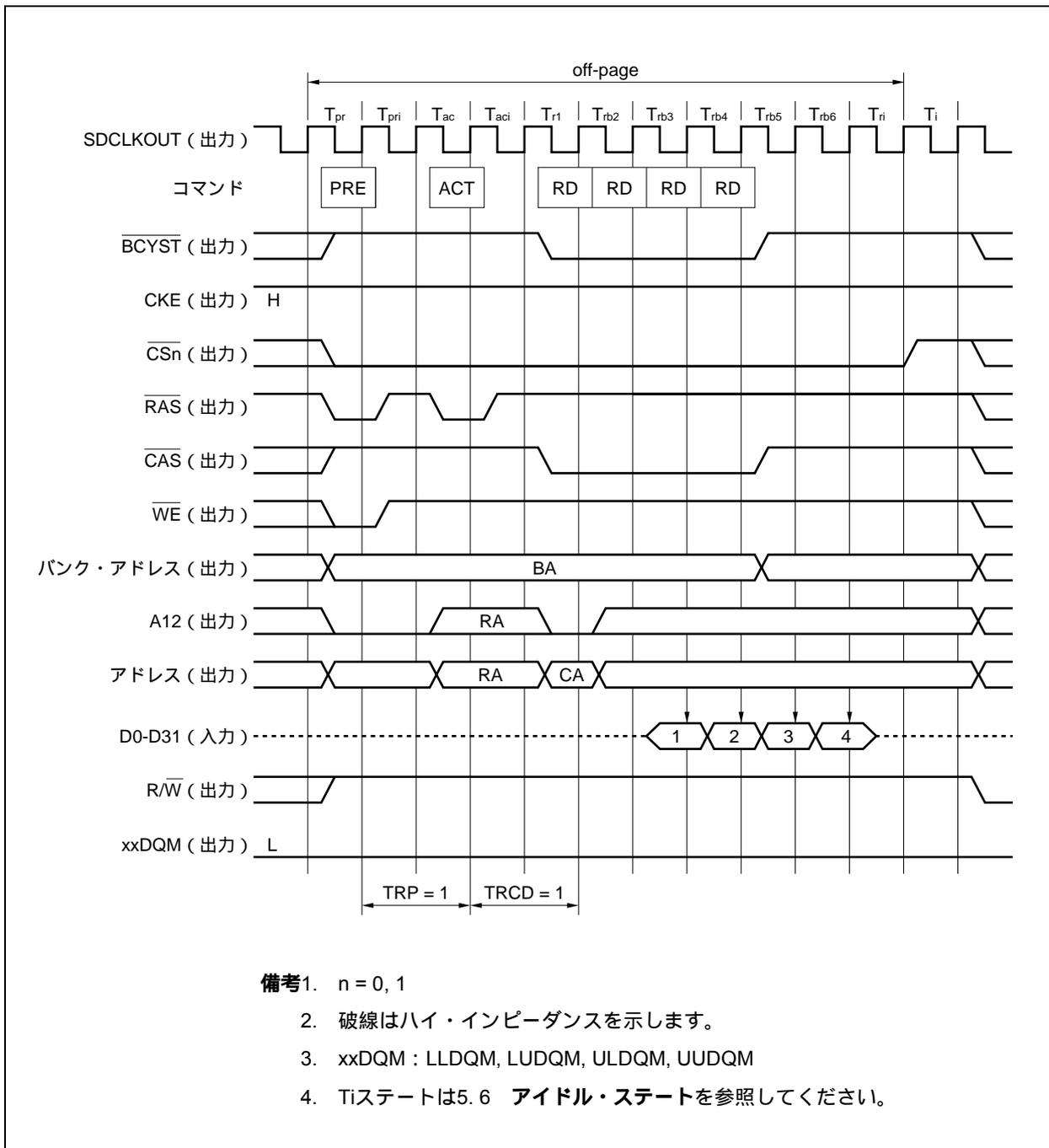
- ・ TRASビット = 0のとき, 3バス・クロック以上
- ・ TRASビット = 1のとき, 4バス・クロック以上

(4) リフレッシュ・コマンド 次コマンド間隔

リフレッシュ・コマンド発行から次コマンド発行までの最小間隔をSDCのTRCビットにより設定できます。

- ・ TRCビット = 00のとき, 最小3バス・クロック間隔
- ・ TRCビット = 01のとき, 最小4バス・クロック間隔
- ・ TRCビット = 10のとき, 最小5バス・クロック間隔
- ・ TRCビット = 11のとき, 最小6バス・クロック間隔

図5 - 20 SDRAMアクセス・タイミング制御 (バースト・リード・サイクル時, 32ビット・データ幅)



5.5.6 バイト・アクセス制御

4本のxxDQM信号 (UUDQM, ULDQM, LUDQM, LLDQM) によりバイト・アクセス制御を行います。データ・バス幅が32ビットのときは、4本のxxDQM信号を使い、データ・バス幅が16ビットのときはLUDQM, LLDQMの2本のxxDQM信号を使います。表5-3, 表5-4にxxDQM信号とアクセス・アドレスとの関係を示します。

32ビット・データ・バスでのハーフワード・アクセス時には、A1は変化します。

32ビット・データ・バスでも、A1は正しい状態を出力します。

表5-3 32ビット・データ・バス (xxDQM)

データ・サイズ	アドレス		xxDQM			
	A1	A0	UUDQM (D31-D24)	ULDQM (D23-D16)	LUDQM (D15-D8)	LLDQM (D7-D0)
バイト	0	0	1	1	1	0
	0	1	1	1	0	1
	1	0	1	0	1	1
	1	1	0	1	1	1
ハーフワード (16ビット)	0	0	1	1	0	0
	1	0	0	0	1	1
ワード (32ビット)	0	0	0	0	0	0

表5-4 16ビット・データ・バス (xxDQM)

データ・サイズ	アドレス	xxDQM			
	A0	UUDQM	ULDQM	LUDQM (D15-D8)	LLDQM (D7-D0)
バイト	0	1	1	1	0
	1	1	1	0	1
ハーフワード (16ビット)	0	1	1	0	0
ワード (32ビット)	1回目	0	1	1	0
	2回目	0	1	1	0

備考 1: ハイ・レベル出力

0: ロウ・レベル出力

図5-21, 図5-22にSDRAMバイト・アクセス制御タイミングの例を示します。

図5-21は、4回のバイト・アクセスで1ワード分のデータを書き込んだ場合のタイミングです。

ライト・コマンド発行のタイミングで書き込むアドレス以外のxxDQM信号をハイ・レベルにしてSDRAMへの書き込みをマスクします。

図5-22は、2回のハーフワード・アクセスで1ワード分のデータを読み出した場合のタイミングです。

データの読み出しタイミングで読み出すアドレス以外のxxDQM信号をハイ・レベルにして、SDRAMからの不要なデータ出力を抑止しています。また、読み出すアドレス以外のデータは、内部でマスクしています。

図5 - 21 SDRAMバイト・アクセス制御 (バイト単位でのライト, 32ビット・データ幅)

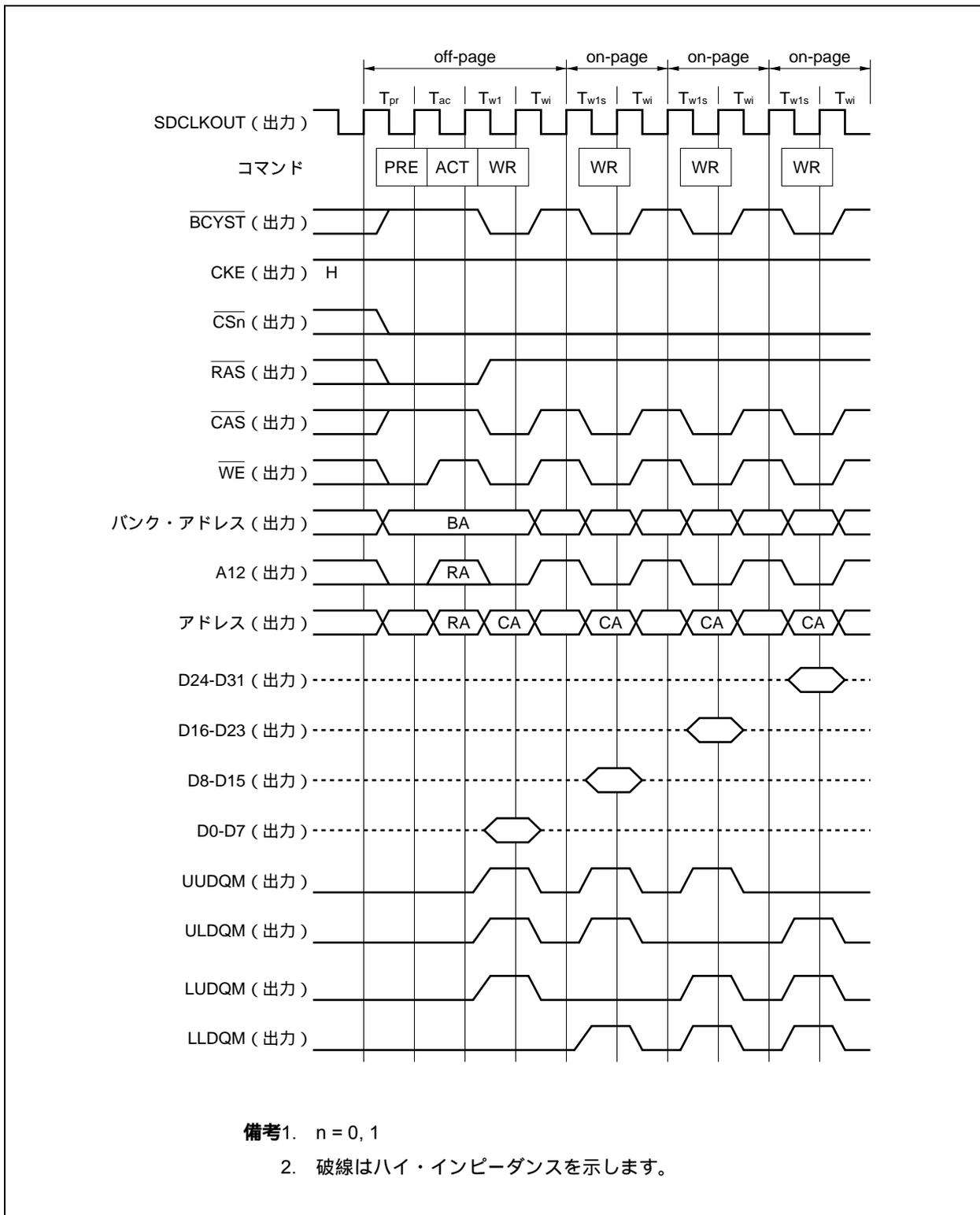
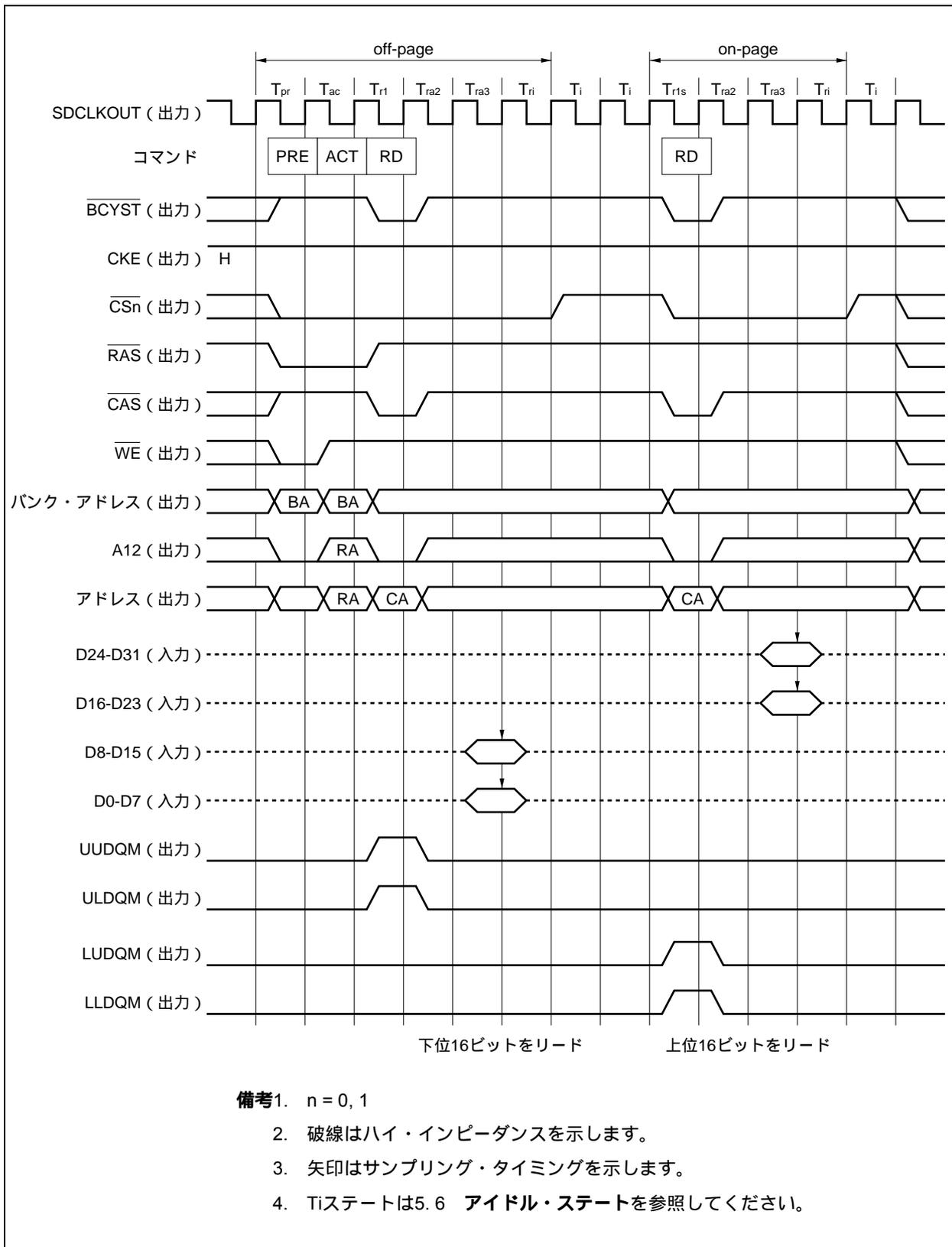


図5 - 22 SDRAMバイト・アクセス制御 (ハーフワード単位でのリード, 32ビット・データ幅)



5.5.7 リフレッシュ制御

オート・リフレッシュ・サイクル, セルフ・リフレッシュ・サイクルを自動発生することができます。

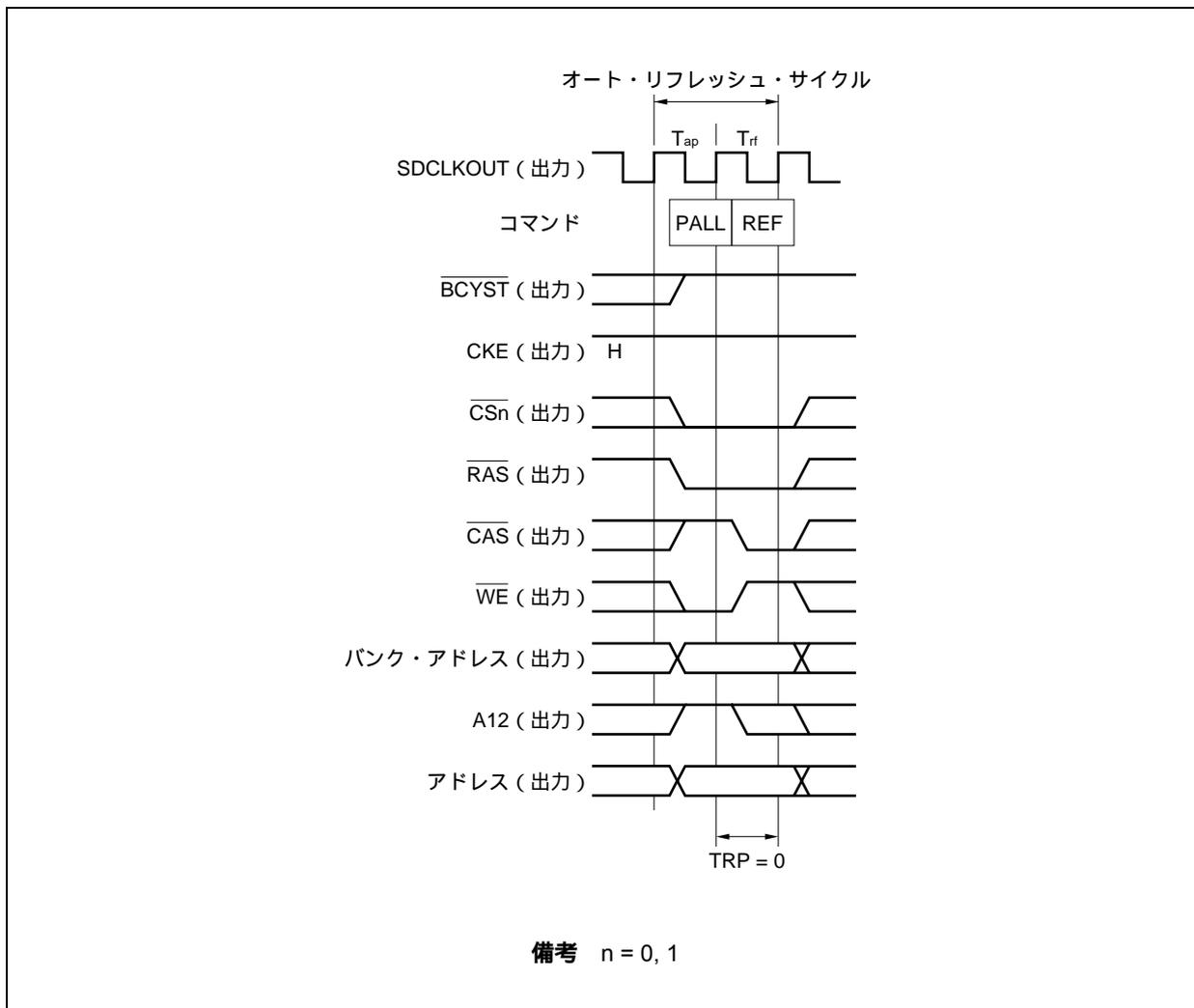
(1) オート・リフレッシュ・サイクル

オート・リフレッシュ・サイクルのタイミングを図5 - 23に示します。

全バンクのプリチャージ・コマンド発行後にオート・リフレッシュ・コマンドが発行されます。

全バンクのプリチャージ・コマンド発行からオート・リフレッシュ・コマンドが発行される間隔は, SDRAMコンフィギュレーション・レジスタ (SDC) のTRPビットで設定します。TRPビットを0にすると1バス・クロック, 1にすると2バス・クロックになります。

図5 - 23 オート・リフレッシュ・サイクル (32ビット・データ幅)

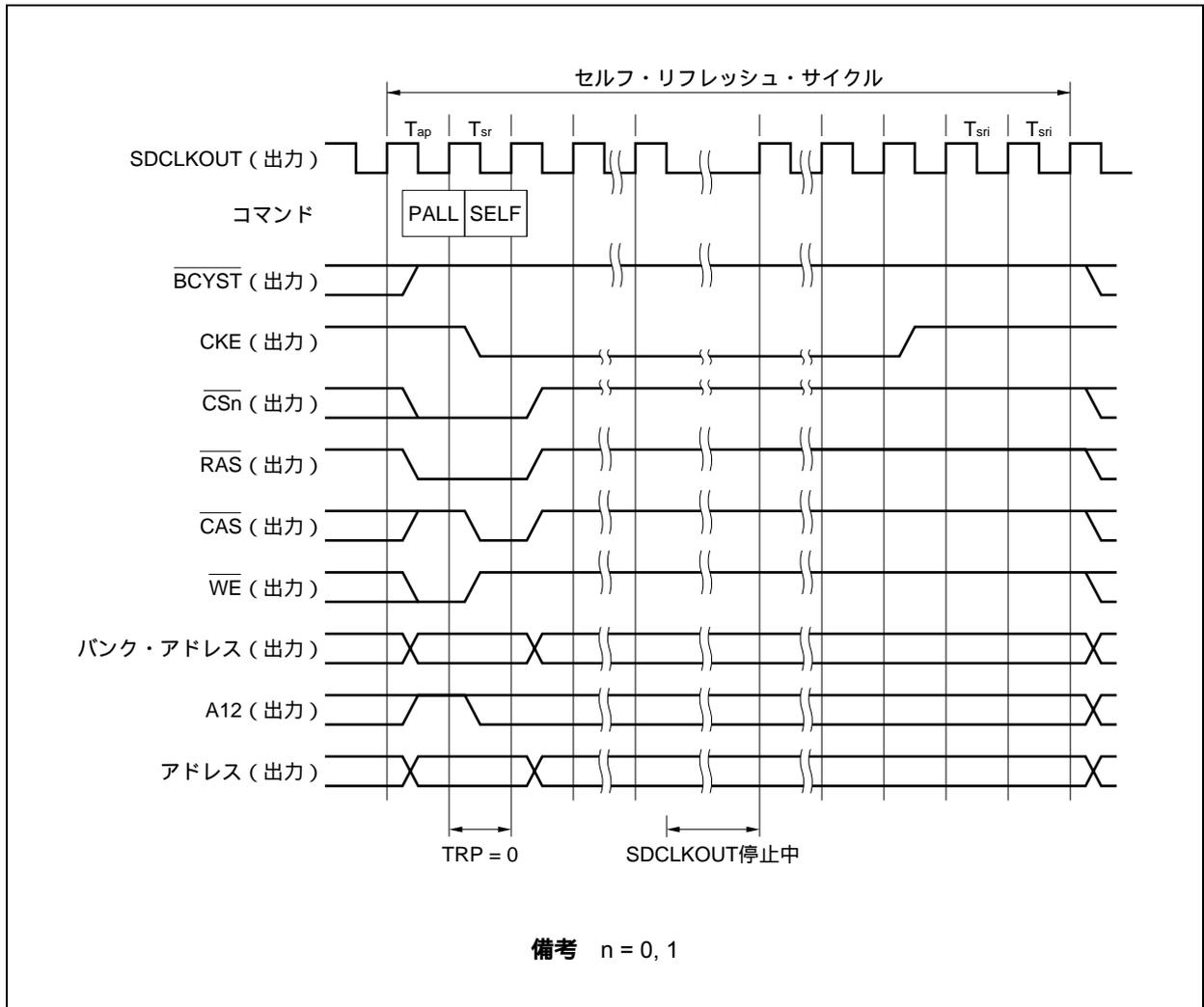


(2) セルフ・リフレッシュ・サイクル

STOPモード時にセルフ・リフレッシュ・サイクルを発生します。セルフ・リフレッシュ・サイクルは、RFCレジスタのRENビットが1のとき、STBY命令を実行すると起動します(7.2.5(2)リフレッシュ・コントロール・レジスタ(RFC)参照)。セルフ・リフレッシュの解除は $\overline{\text{RESET}}$ 端子または $\overline{\text{NMI}}$ 端子で行います。

図5-24にセルフ・リフレッシュのタイミングを示します。

図5-24 セルフ・リフレッシュ・サイクル (TRP = 0, TRC = 01のとき, 32ビット・データ幅)



5.5.8 初期化シーケンス

電源投入後にSDRAMを初期化してください。

図5 - 25に制御シーケンスの例を，図5 - 26にモード・レジスタの設定サイクルを示します。

SDRAM関連のレジスタを設定してください。

ここでリフレッシュ・コントロール・レジスタ (RFC) でリフレッシュを許可に設定しても，リフレッシュ・コマンドは発行されません。に述べるSDRAMモード・レジスタ (SDM) によるモード・レジスタを設定するコマンド発行後にRFCで設定された周期で発行されます。

次に示すレジスタで設定します。

- ・バス・サイクル・タイプ・コントロール・レジスタ (BCTC) (6.3.1参照)
- ・プログラマブル・アイドル・コントロール・レジスタ0, 1 (PIC0, PIC1) (6.3.5参照)
- ・SDRAMコンフィギュレーション・レジスタ (SDC) (7.2.3参照)
- ・リフレッシュ・コントロール・レジスタ (RFC) (7.2.5参照)

SDRAMモード・レジスタ (SDM) (7.2.4参照) を設定してください。

SDMに書き込みが行われると，SDRAMに対して全バンク・プリチャージ・コマンド，モード・レジスタを設定するコマンドが順に発行されます。

このコマンド発行間隔は，SDRAMコンフィギュレーション・レジスタ (SDC) のTRPビットで設定できます。

モード・レジスタ設定コマンドを設定したあと，オート・リフレッシュ・コマンドを2回^註以上実行してください (回数は，使用するメモリのデータ・シートに従ってください)。オート・リフレッシュ・コマンドを実行するためには，リフレッシュ・コントロール・レジスタ (RFC) を設定することで周期的に発生します。

SDRAMモード・レジスタ (SDM) を設定する前にリフレッシュを許可に設定していない場合は，ここでリフレッシュを許可に設定してください。

注 回数は，使用するメモリのデータ・シートに従ってください。

xxDQM信号は，リセット中，ハイ・レベルに固定されます。リセット解除後から最初のアクティブ・コマンド実行まで，xxDQM信号はSDRAMのデータ・バスを確実にハイ・インピーダンスにするために，ハイ・レベルに固定されます。

備考 xxDQM : LLDQM, LUDQM, ULDQM, UUDQM

図5 - 25 SDRAM初期化シーケンス

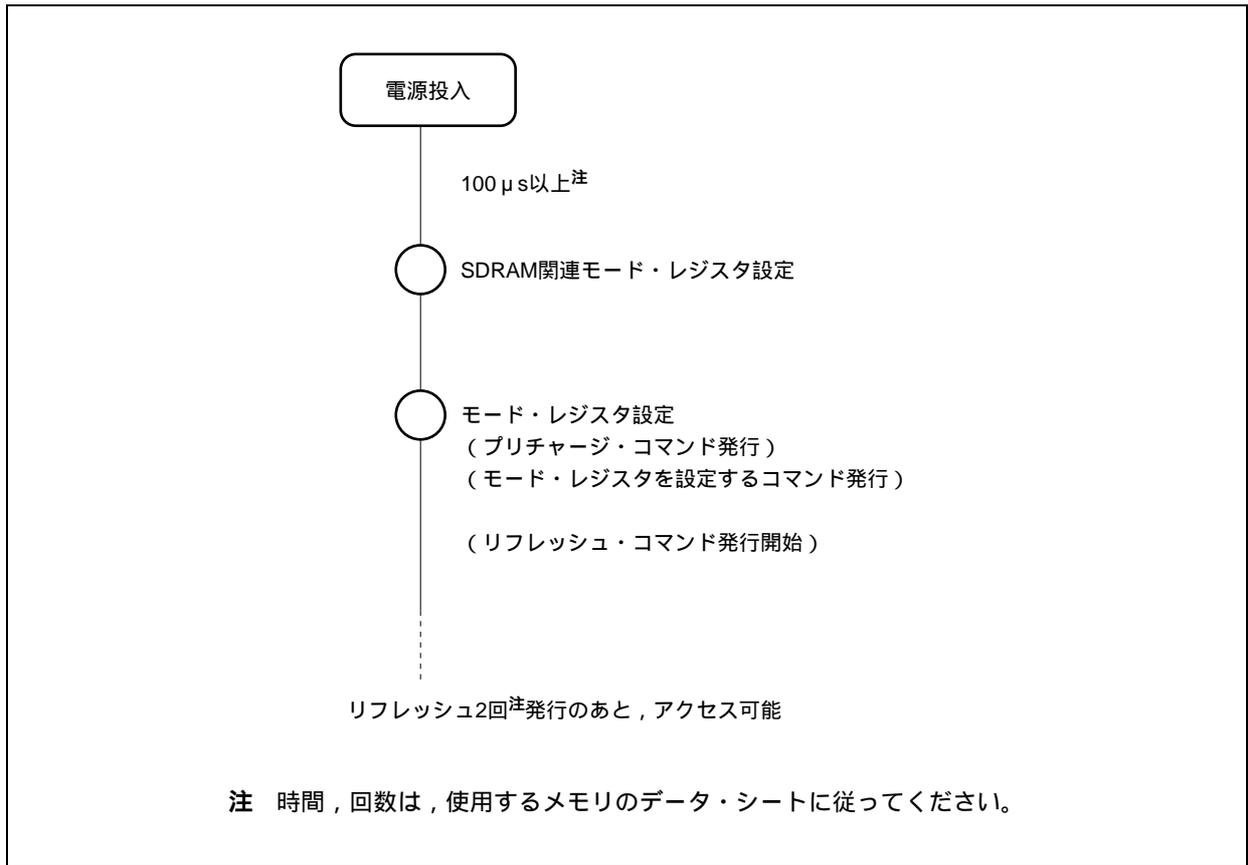
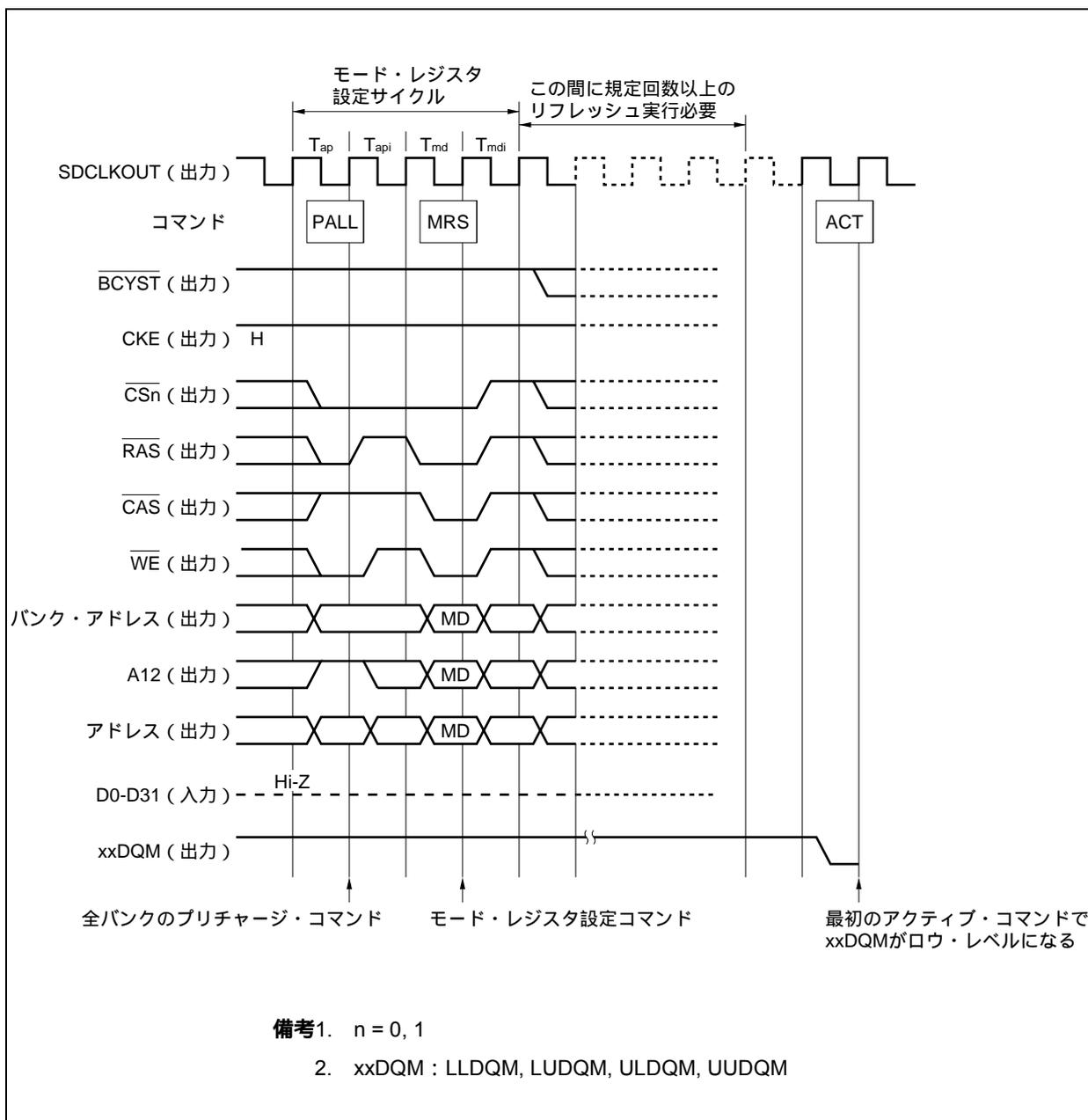


図5 - 26 SDRAMモード・レジスタ設定サイクル(32ビット・データ幅)



5.5.9 パワー・ダウン・モード

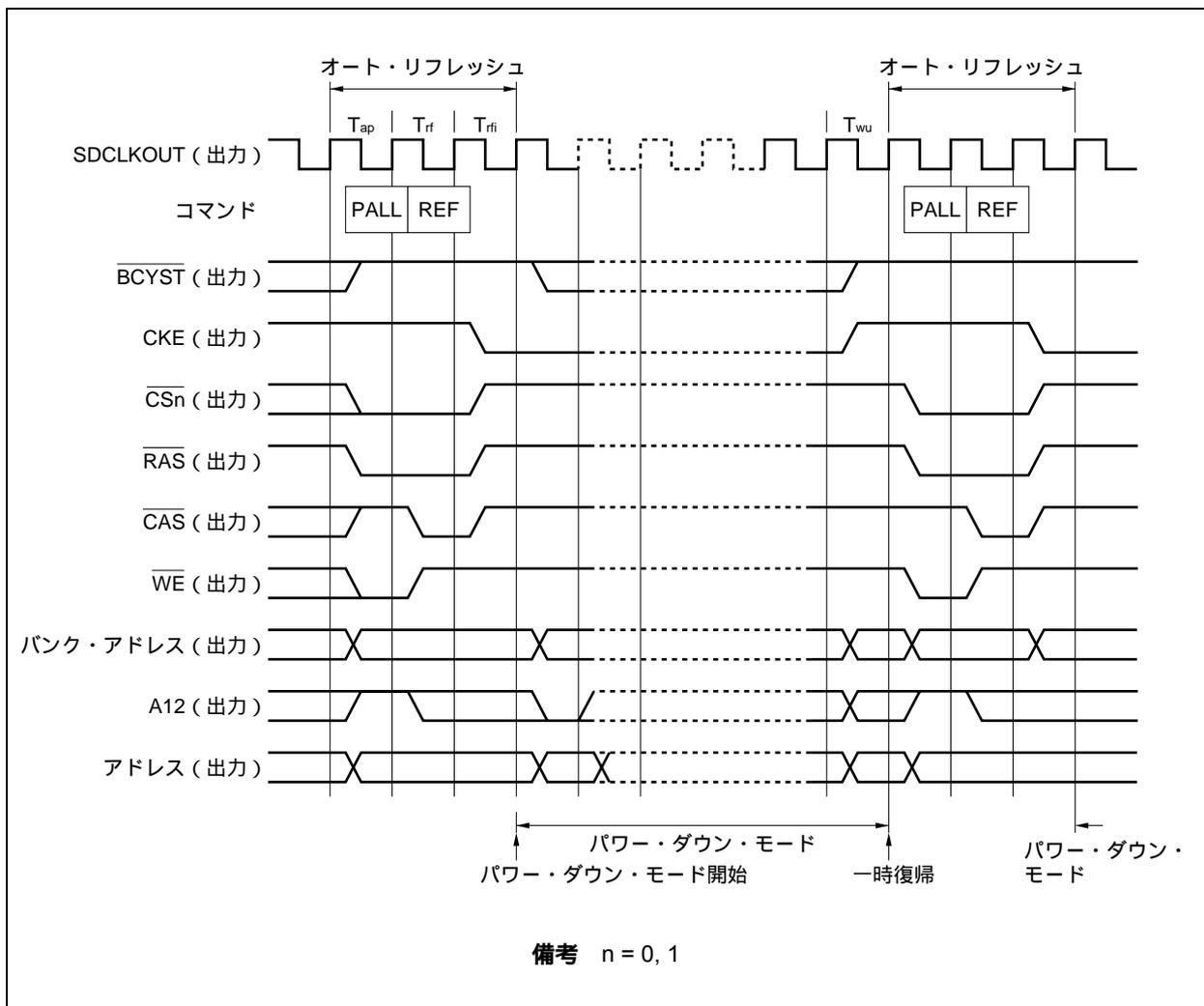
あるオート・リフレッシュから次のオート・リフレッシュの間にSDRAMへのリード/ライト・アクセスがない場合は、CKE信号をロウ・レベルにしてSDRAMをパワー・ダウン・モードに移行させます。

図5-27にパワー・ダウン・モードのタイミングを示します。

パワー・ダウン・モードへの移行は、リフレッシュ・コマンド発行時にCKE信号をロウ・レベルに変化させます。次のオート・リフレッシュ・サイクルの前には、 T_{wu} ステートが挿入され、CKE信号をハイ・レベルにしてパワー・ダウン・モードを一時終了させます。リフレッシュが終わると再びパワー・ダウン・モードに入ります。

パワー・ダウン・モード状態でSDRAMへのリード/ライト・アクセスが起動された場合は、上記同様リード/ライト・サイクルの直前に T_{wu} ステートが挿入されてパワー・ダウン・モードを終了されます。ただし、リード/ライト・サイクルが終わっても、パワー・ダウン・モードには戻りません。

図5-27 パワー・ダウン・モード (32ビット・データ幅)



5.6 アイドル・ステート

PIC0, PIC1レジスタのISnビットでnブロックに対するリード・サイクル後のアイドル・ステート数を設定します (n = 0-7)。アイドル期間中のバス制御信号の値を表5 - 5に示します。

表5 - 5 アイドル期間中のバス制御信号の値

信号名	信号値
A1-A23	前サイクルの値を保持
D0-D31	ハイ・インピーダンス
R/W, $\overline{\text{LLBEN}}$, $\overline{\text{LUBEN}}$, $\overline{\text{ULBEN}}$, $\overline{\text{UUBEN}}$	前サイクルの値を保持
MWR, MRD, CSn, IORD, IOWR, BCYST, RAS, CAS, $\overline{\text{WE}}$	インアクティブ

- ★ **注意** SDRAMのオート・リフレッシュ機能を許可している場合, PICレジスタの設定にかかわらず, リード・サイクル終了後の2ステート目以降にオート・リフレッシュ・サイクルが挿入される場合があります。このときの動作は, 次のとおりです。

- ・リフレッシュ・サイクル中は, A1-A23, $\overline{\text{CSn}}$ (n = 0, 1 : SDRAMを使用しているブロックのみ), $\overline{\text{RAS}}$, $\overline{\text{CAS}}$, $\overline{\text{WE}}$ 信号が変化します。D0-D31信号はハイ・インピーダンスを保持します。
- ・リード・サイクルとリフレッシュ直後のバス・アクセスとの間隔はPICレジスタで設定したサイクル数以上確保されます。
- ・リフレッシュ・サイクルに対するSDCレジスタのTRP, TRCビットの設定は有効です。

なお, 次の場合はアイドル・ステート, オート・リフレッシュ・サイクルとも挿入されません。

- ・バス・サイジング時の連続するリード・サイクルの間
- ・SRAM, ROM, SDRAMのバースト・サイクル時の連続するリード・サイクルの間

次の場合はアイドル・ステートは挿入されませんが, オート・リフレッシュ・サイクルは挿入されません。

- ・1回のDMA転送のリード・サイクルとライト・サイクルの間

5.7 バス・サイジング

V832は32ビットから16ビットへのバス・サイジング機能を持っています。シングル・サイクルで32ビット・データを16ビット・データ・バスを介してアクセスする場合は、2回のアクセスが起こります。バースト・サイクルで32ビット・データを16ビット・データ・バスを介してアクセスする場合は、8回の連続したアクセスが起こります。

図5 - 28に、SDRAMにシングル・リード・サイクルでワード・アクセスした場合のタイミングを示します。

表5 - 6に、シングル・サイクル時のアクセス順番を示します。この場合、リード・コマンドが2回発生します。1回目のリード・コマンドで下位16ビットをサンプリングするためのリード・コマンドが発行され、2回目のリード・コマンドで上位16ビットをサンプリングするためのリード・コマンドが発行されます。

表5 - 6 シングル・サイクル時のアクセス順番

バス・サイクルの順番	A1	備考
1回目	0	下位16ビット
2回目	1	上位16ビット

図5 - 29に、SDRAMにシングル・ライト・サイクルでワード・アクセスした場合のタイミングを示します。この場合、ライト・コマンドが2回発生します。

1回目のライト・コマンドで下位16ビットのデータを書き込むためのライト・コマンドが発行され、2回目のライト・コマンドで上位16ビットのデータを書き込むためのライト・コマンドが発行されます。

図5 - 30に、SDRAMにバースト・リード・サイクルでワード・アクセスした場合のタイミングを示します。

表5 - 7に、バースト・サイクル時のアクセス順番を示します。この場合、リード・コマンドが8回発生します。1回目のリード・コマンドで1ワード目の下位16ビットをサンプリングするためのリード・コマンドが発行され、2回目のリード・コマンドで1ワード目の上位16ビットをサンプリングするためのリード・コマンドが発行されます。以降同様に、4ワード目まで2回ずつに分けて発行されます。

表5 - 7 バースト・サイクル時のアクセス順番

バス・サイクルの順番	A3	A2	A1	備考
1回目	0	0	0	1ワード目, 下位16ビット
2回目	0	0	1	1ワード目, 上位16ビット
3回目	0	1	0	2ワード目, 下位16ビット
4回目	0	1	1	2ワード目, 上位16ビット
5回目	1	0	0	3ワード目, 下位16ビット
6回目	1	0	1	3ワード目, 上位16ビット
7回目	1	1	0	4ワード目, 下位16ビット
8回目	1	1	1	4ワード目, 上位16ビット

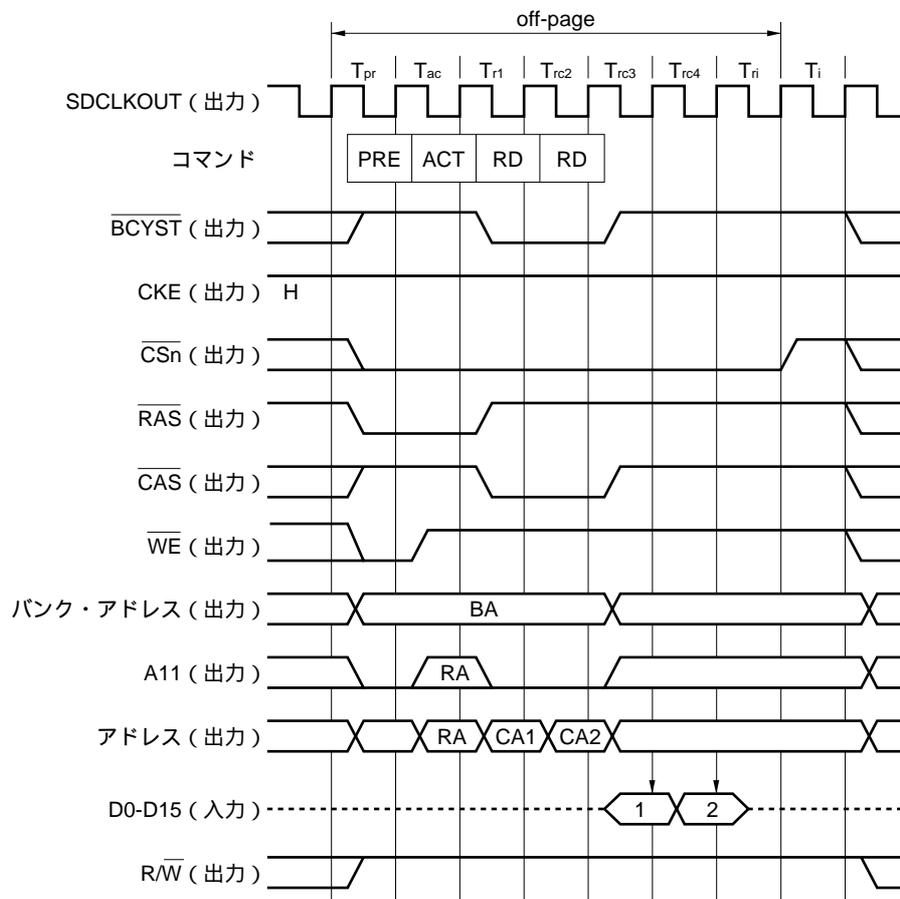
図5 - 31に, SDRAMにバースト・ライト・サイクルでワード・アクセスした場合のタイミングを示します。

この場合, ライト・コマンドが8回発生します。1回目のライト・コマンドで1ワード目の下位16ビットを書き込むためのライト・コマンドが発行され, 2回目のライト・コマンドで1ワード目の上位16ビットを書き込むためのライト・コマンドが発行されます。以降同様に, 4ワード目まで2回ずつに分けて発行されます。

図5 - 32, 図5 - 33に, I/Oサイクルの場合, およびSRAMサイクルの場合のタイミングを示します。

1回目のバス・サイクルでワード・データの下位16ビットのアクセスが行われ, 2回目のバス・サイクルでワード・データの上位16ビットのアクセスが行われます。

図5 - 28 バス・サイジングによって追加されたアクセスSDRAM
 シングル・リード・サイクル (off-page , 16ビット・データ幅) 時



備考1. $n = 0, 1$

2. 破線はハイ・インピーダンスを示します。
3. 矢印はサンプリング・タイミングを示します。
4. T_i ステートは5.6 アイドル・ステートを参照してください。

図5 - 29 バス・サイジングによって追加されたアクセスSDRAM
 シングル・ライト・サイクル (off-page, 16ビット・データ幅) 時

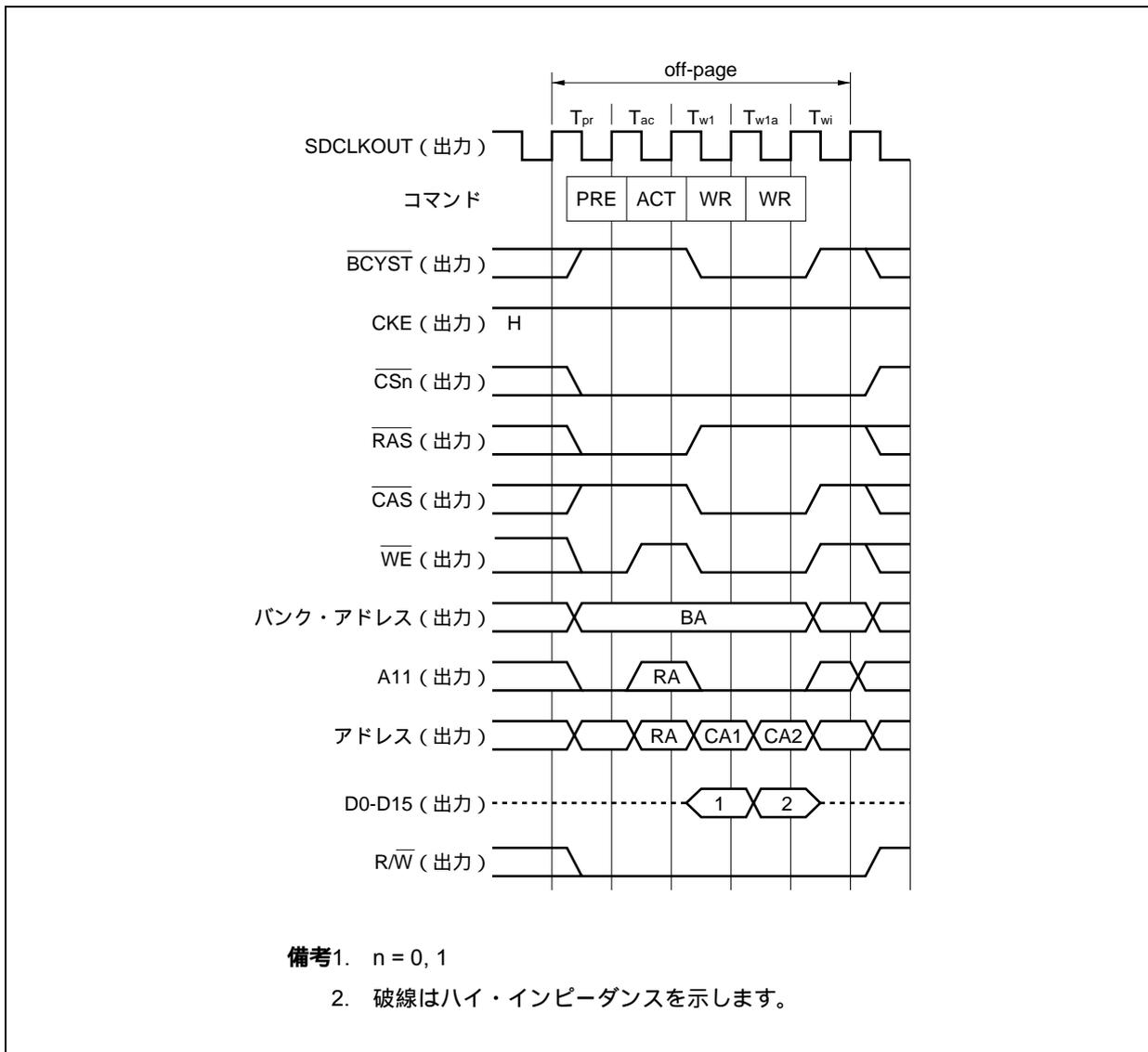


図5 - 30 バス・サイジングによって追加されたアクセスSDRAM
バースト・リード・サイクル (off-page, 16ビット・データ幅) 時

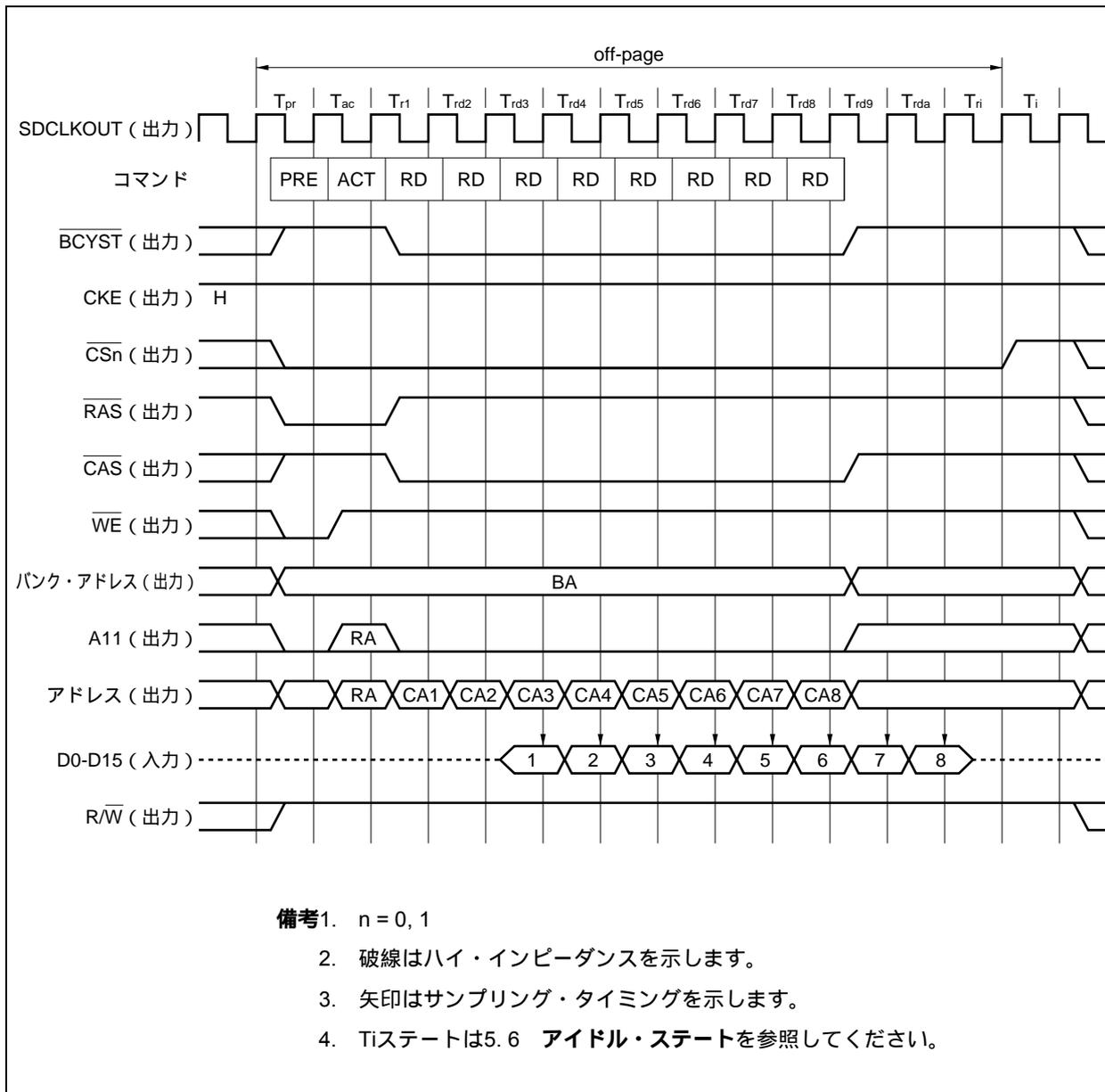


図5 - 31 バス・サイジングによって追加されたアクセスSDRAM
バースト・ライト・サイクル (off-page , 16ビット・データ幅) 時

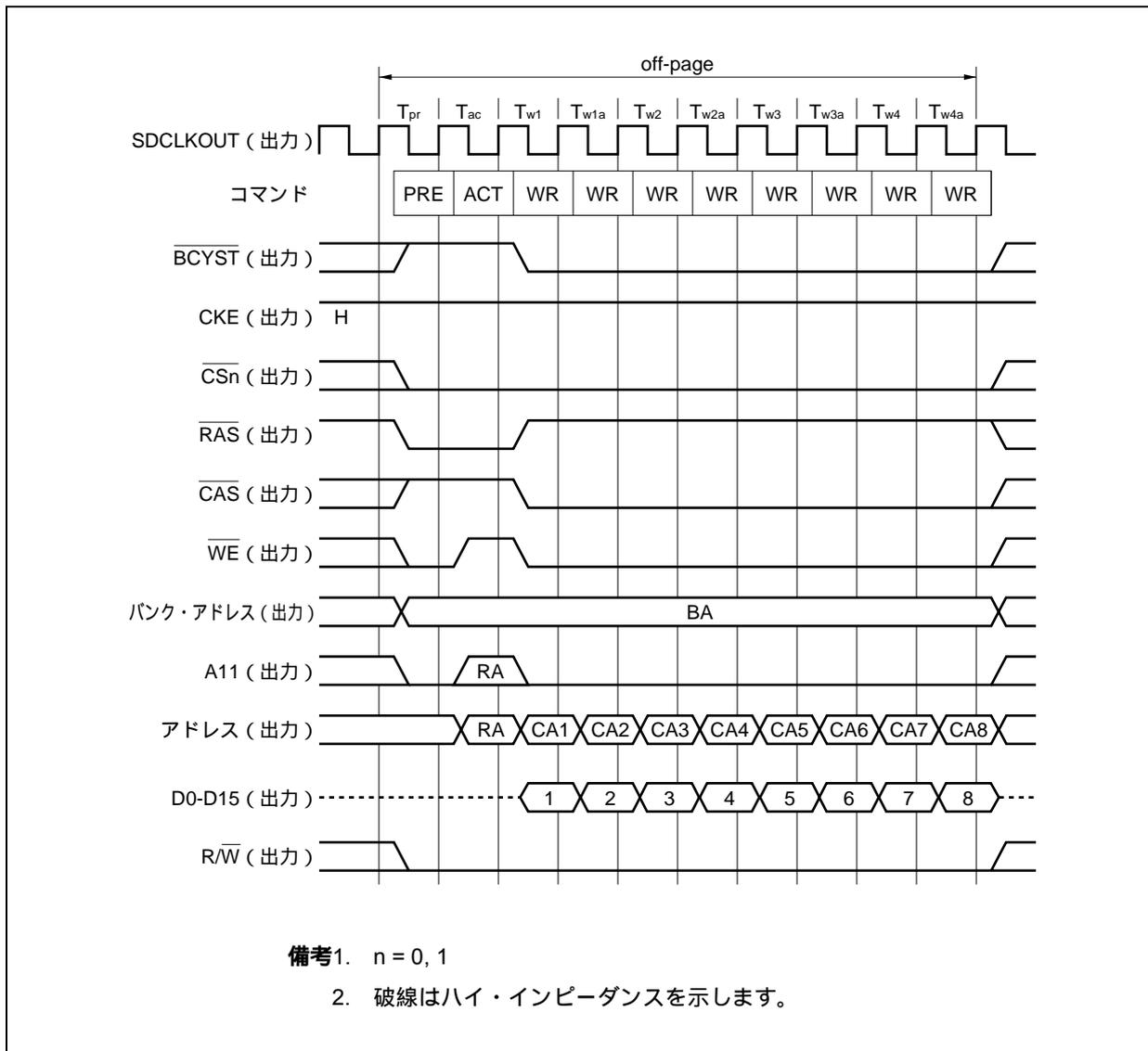


図5 - 32 I/Oサイクルでバス・サイジングによって追加されたアクセス (16ビット・データ幅)

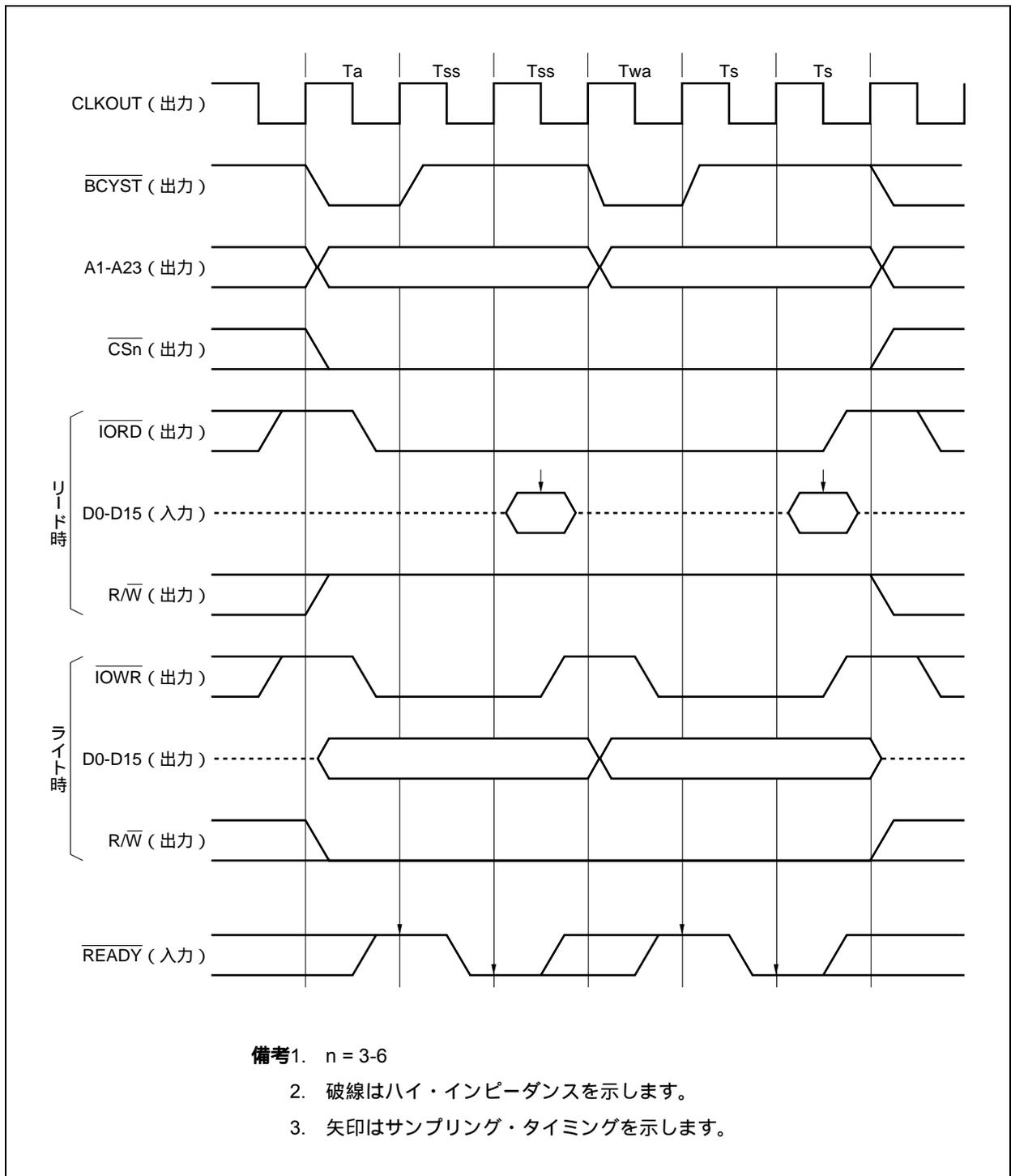
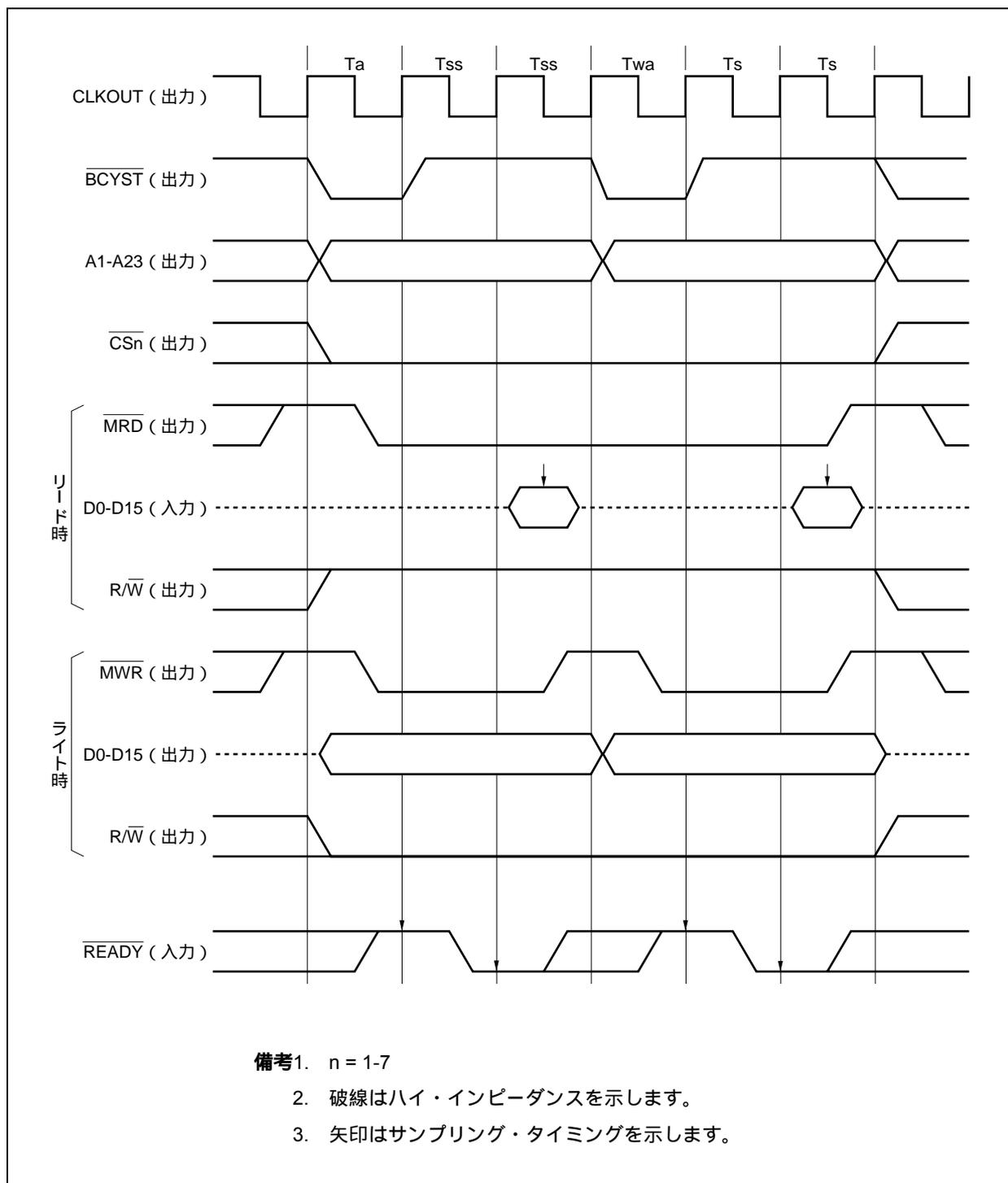


図5 - 33 SRAMシングル・サイクルでバス・サイジングによって追加されたアクセス (16ビット・データ幅)

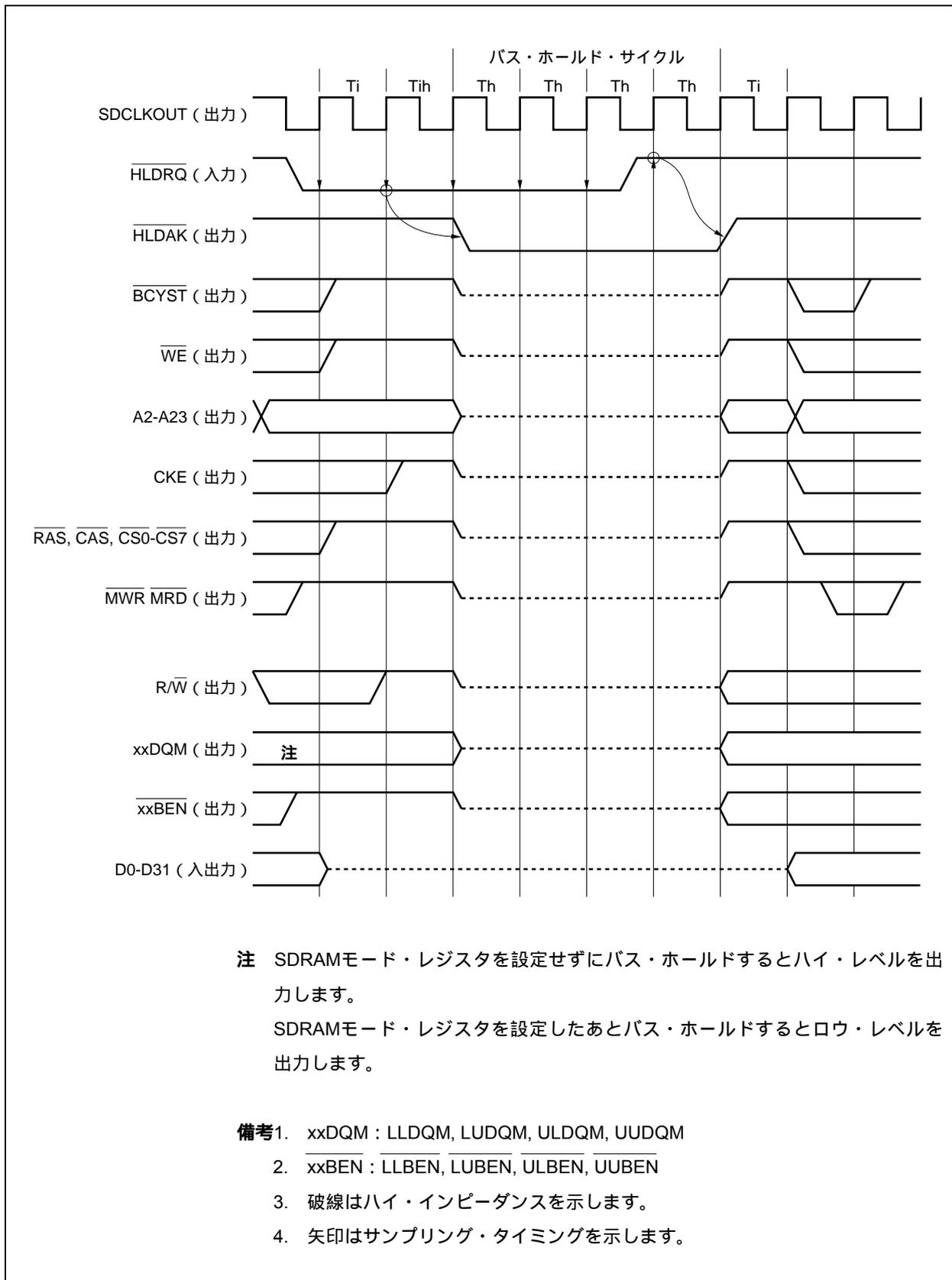


5.8 バス・ホールド・サイクル

$\overline{\text{HLDRQ}}$ 信号をアクティブにすると、外部バス・マスタはバス使用权をV832に要求できます。V832は、バスのアービトレーション後、 $\overline{\text{HLDAK}}$ 信号をアクティブにしてバスを開放します。 $\overline{\text{HLDRQ}}$ 信号がアクティブになると1バス・クロック・サイクル後にバス・ホールドを受け付けアイドル・サイクル (T_{ih}) になります。アイドル・サイクル (T_{ih}) を1バス・クロック・サイクル実行後、バス・ホールド・サイクル (T_h) になり、バスをハイ・インピーダンスにします。図5 - 34にタイミングを示します。

なお、バス・ホールド・サイクルはSDRAMのon-page情報をクリアにします。バス・ホールド・サイクル後のSDRAMアクセスはoff-pageアクセスになります。 $\overline{\text{NMI}}$ 信号によるバス・ホールドの解除は行いません。

図5 - 34 バス・ホールド・サイクル



5.9 バス・アービトレーション

V832は、内部の2つのバス・マスタ（CPUとDMA）およびSDRAMのリフレッシュ、外部のバス・マスタとのバス・アービトレーションを行います。

(1) バス・ロック > 外部バス・マスタ

CAXI命令によって起動されたバス・ロック・リード・サイクルとバス・ロック・ライト・サイクルの間は、外部バス・マスタはバス使用権をとることができません。

バス・ロック中であっても、SDRAMリフレッシュは行われます。

(2) 外部バス・マスタ > DMA

DMA転送中は外部バス・マスタがバス使用権をとれます。外部バス・マスタがバスを使用中は、DMAはバス使用権をとれません。

一回のDMA転送のリード・サイクルとライト・サイクルの間は、外部バス・マスタはバスの使用権をとれません。

(3) SDRAMリフレッシュ > DMA

DMAがデマンド転送中にSDRAMのリフレッシュ要求が発生した場合、SDRAMCのリフレッシュ要求が優先され、リフレッシュを実行します。

(4) SDRAMリフレッシュ、外部バス・マスタ

外部バス・マスタがバスを使用中にSDRAMのリフレッシュ要求が発生した場合、リフレッシュ要求を保留します。保留したリフレッシュ要求は、BCU内部のリフレッシュ要求キューに最大7回まで蓄えられます。外部バス・マスタがバスを開放したら、リフレッシュ要求キューに蓄えられた回数分のリフレッシュを行います。

5.10 ライト・バッファ動作

V832は、ライト動作を高速化するために内部にライト・バッファを4段内蔵しています。このためCPUはストア命令によるバス・サイクルの終了を待たずに次の命令を実行できます。すべてのライト・バッファが使用中の場合、ストア命令はライト・バッファが空くまで待ちます。また、内蔵RAMに対するストア命令はライト・バッファを使用しないため、待ち時間は発生しません。メモリ・アクセスの順序関係を保証するため、次の場合はライト・バッファの内容をすべて外部メモリに出力してから各処理を行います。

- ・ロード命令でデータ・キャッシュ・ミスした場合
- ・ロード命令で非キャッシュ領域にアクセスした場合

同様に、次に示す命令ではライト・バッファの内容をすべて外部メモリに出力されるまで待ち、それから命令実行を行います。

- ・I/Oアクセス命令
- ・ブロック転送命令 (BILD, BDLD, BIST, BDST)
- ・HALT, STBY, CAXI命令

バス・ホールド動作はライト・バッファの動作とは関係なく機能します。したがって、外部メモリにストアしたデータなどをDMA転送した場合は、最後のストア命令実行後にI/Oライトなどを行い、ライト・バッファの内容をすべて出力してからDMA転送が実行されるようにしてください。

5.11 メモリ・マップトI/O

V832ではストア命令の実行タイミングとそのバス・ライト動作が時間的にずれる場合があるので、メモリ・マップトI/Oをクリティカルなタイミングで使用する場合は注意してください。

IN命令はゼロ拡張を行うことに対して、LD命令は符号拡張を行うという違いがあるので注意してください。

第6章 ウェイト制御機能

バス・コントロール・ユニット (BCU) は、8本の \overline{CS} 信号に対応した8つのブロックを管理して、バス・サイクルの種類を選択、 \overline{CS} 信号の生成、データ・バス幅の選択、ウェイト制御およびアイドル・ステートの挿入を行います。

6.1 特 徴

I/O空間とメモリ空間をあわせて8ブロック制御可能

各ブロックのリニア・アドレス空間：16 Mバイト

バス・サイクルの選択機能

ブロック0 : SDRAM

ブロック1 : SDRAM, SRAM (ROM) 選択可能

ブロック2 : SRAM (ROM)

ブロック3-6 : I/O, SRAM (ROM) 選択可能

ブロック7 : Page-ROM, SRAM (ROM) 選択可能

データ・バス幅選択機能

各ブロックごとにデータ・バス幅を32ビット / 16ビット選択可能

ウェイト制御機能

ブロック0, 1 : SDRAMのウェイト制御なし

ブロック1-4, 7 : 0-7ウェイト

ブロック5-6 : 0-15ウェイト

アイドル・ステート挿入機能

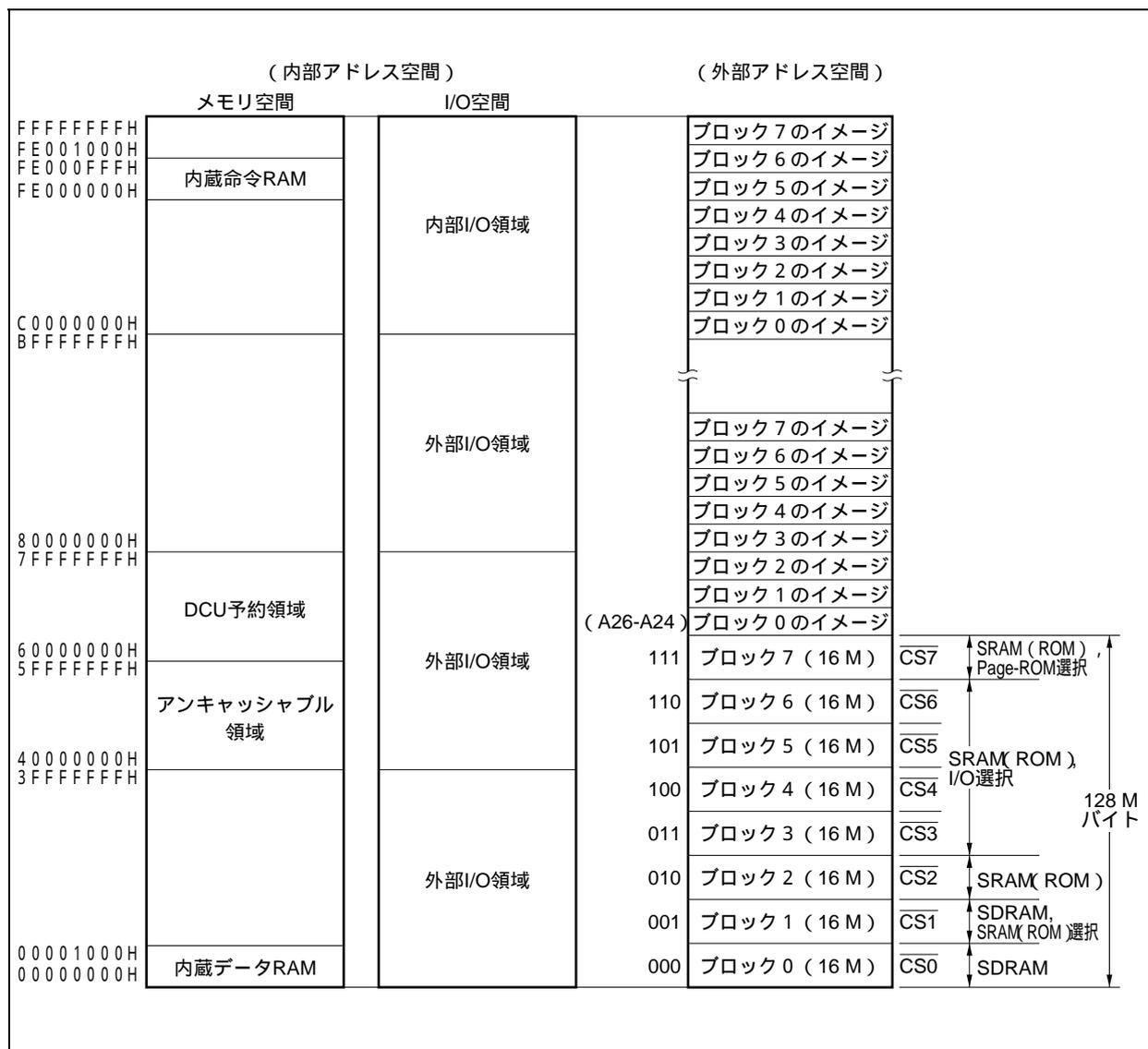
各ブロックごとに0-7ステート (バス・クロック)

6.2 アドレス空間とブロック

内部4 Gバイトのメモリ，I/O空間は，16 Mバイトごとのブロックに分割されます。各ブロックのリニア・アドレス空間は16 Mバイトです。なお，メモリ空間上のアドレス空間（60000000H-7FFFFFFFH）は，DCUのデバッグ・モニタ空間として使用するので外部メモリを接続しないでください。

各ブロックのイメージはDCU予約領域と重なりますが，動作に問題はありません。ただし，DCU予約領域のアドレス（60000000-7FFFFFFF）には外部デバイスをマッピングしないでください。

図6-1 アドレス空間



6.3 ウェイト制御レジスタ

BCUは、バス・サイクル・タイプ・コントロール・レジスタ (BCTC) およびデータ・バス幅コントロール・レジスタ (DBC) と、ウェイト制御を行うプログラマブル・ウェイト・コントロール・レジスタ (PWC0, PWC1) と、リード・アクセス時のアイドル・ステート挿入の制御をするプログラマブル・アイドル・コントロール・レジスタ (PIC0, PIC1) を備えています。

6.3.1 バス・サイクル・タイプ・コントロール・レジスタ (BCTC)

ブロック1, 3-7に対するバス・サイクルの種類を設定します。ただし、ブロック0はSDRAMサイクル、ブロック2はSRAM/ROMサイクル固定です。8ビット単位でリード/ライトできます。

図6-2 バス・サイクル・タイプ・コントロール・レジスタ (BCTC)

アドレス: C0000010H		
		7 6 5 4 3 2 1 0
BCTC	CT7	CT6
	CT5	CT4
	CT3	0
	CT1	0
初期値:	0	0
	0	0
	0	0
	0	0
R/W:	R/W	R/W
	R/W	R/W
	R/W	R
	R	R/W
	R	R
ビット	ビット名	説明
7	CT7	Cycle Type7 メモリ・ブロック7にアクセスがあると、 $\overline{CS7}$ 信号を出力します。そのときに起動するサイクルを指定します。 0: SRAM (ROM) サイクル 1: Page-ROMサイクル
6-3	CT6-CT3	Cycle Type6-3 $\overline{CS6}$ - $\overline{CS3}$ 信号をメモリとI/Oのどちらかに出力すると、起動するサイクルの指定を行います。 0: SRAM (ROM) サイクル 1: I/Oサイクル
1	CT1	Cycle Type1 メモリ・ブロック1にアクセスがあると、 $\overline{CS1}$ 信号が出力します。そのときに起動するサイクルを指定します。 0: SRAM (ROM) サイクル 1: SDRAMサイクル

6.3.2 データ・バス幅コントロール・レジスタ (DBC)

ブロック1-6に対するデータ・バス幅を設定します。8ビット単位でリード/ライトできます。ただし、通常ブートROMが置かれるブロック7 (CS7) のバス幅は、BT16B端子の値で設定します。

図6-3 データ・バス幅コントロール・レジスタ (DBC)

アドレス : C0000012H

	7	6	5	4	3	2	1	0
DBC	BW7	BW6	BW5	BW4	BW3	BW2	BW1	BW0

初期値 :

BT16B	0	0	0	0	0	0	0	0
-------	---	---	---	---	---	---	---	---

R/W : R R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	説 明
7	BW7	Bus Width BT16B端子の値を読み出せます。なお、BT16B端子の値で設定されるブロック7 (CS7) のデータ・バス幅を示します。 0 : 32ビット・バス幅 1 : 16ビット・バス幅
6-2	BW6-BW2	Bus Width ブロック6-2のデータ・バス幅を指定します。 0 : 32ビット・バス幅 1 : 16ビット・バス幅
1	BW1	Bus Width ブロック1のデータ・バスのバス幅を指定します。 0 : 32ビット・バス幅 1 : 16ビット・バス幅 ブロック1がBCTCレジスタにより、SDRAMサイクルが選択されていると、ブロック1のバス幅指定はBW0で指定したバス幅となります。この場合BW1の設定は無視されます注。
0	BW0	Bus Width ブロック0のデータ・バスのバス幅を指定します。 0 : 32ビット・バス幅 1 : 16ビット・バス幅

注 ブロック1がSDRAMサイクルを選択しているとき、ブロック1のデータ・バス幅は、ブロック0のデータ・バス幅と同じにしなければいけません。
この場合のデータ・バス幅はBW0にて設定されます。

6.3.3 プログラマブル・ウェイト・コントロール・レジスタ0 (PWC0)

ブロック1-3に対するアクセスのウェイト数を設定します。16ビット単位でリード/ライトできます。それぞれ、7ステートまでのウェイト・ステートを挿入できます。

ブロック0はSDRAM領域固定です。SDRAMアクセスのウェイト制御はありません。したがって、ブロック1がSDRAM領域に設定されたときは、ウェイト数の設定は無視されます。

図6-4 プログラマブル・ウェイト・コントロール・レジスタ0 (PWC0)

アドレス：C0000014H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PWC0	0	WS3			0	WS2			0	WS1			0	0	0	0

初期値：

0	1	1	1	0	1	1	1	0	1	1	1	0	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

R/W: R R/W R/W R/W R R/W R/W R/W R R/W R/W R/W R R R R

ビット	ビット名	説明																																								
14-12	WS3	Wait States3 ブロック3 ($\overline{CS3}$) にアクセス時のウェイト数を設定します。0ウェイトから7ウェイトまで設定できます。 <table border="1" style="margin: 10px auto; text-align: center;"> <thead> <tr> <th colspan="3">WS3</th> <th>ウェイト数</th> <th colspan="3">WS3</th> <th>ウェイト数</th> </tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>0</td> <td>1</td><td>0</td><td>0</td><td>4</td> </tr> <tr> <td>0</td><td>0</td><td>1</td><td>1</td> <td>1</td><td>0</td><td>1</td><td>5</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>2</td> <td>1</td><td>1</td><td>0</td><td>6</td> </tr> <tr> <td>0</td><td>1</td><td>1</td><td>3</td> <td>1</td><td>1</td><td>1</td><td>7</td> </tr> </tbody> </table>	WS3			ウェイト数	WS3			ウェイト数	0	0	0	0	1	0	0	4	0	0	1	1	1	0	1	5	0	1	0	2	1	1	0	6	0	1	1	3	1	1	1	7
WS3			ウェイト数	WS3			ウェイト数																																			
0	0	0	0	1	0	0	4																																			
0	0	1	1	1	0	1	5																																			
0	1	0	2	1	1	0	6																																			
0	1	1	3	1	1	1	7																																			
10-8	WS2	Wait States2 ブロック2 ($\overline{CS2}$) にアクセス時のウェイト数を設定します。0ウェイトから7ウェイトまで設定できます。ウェイト数の設定方法は、WS3と同じです。																																								
6-4	WS1	Wait States1 ブロック1 ($\overline{CS1}$) にアクセス時のウェイト数を設定します。0ウェイトから7ウェイトまで設定できます。ウェイト数の設定方法は、WS3と同じです。BCTCレジスタのCT1ビットでSRAM (ROM) サイクルが選択されているときのみ有効です。																																								

6.3.4 プログラマブル・ウェイト・コントロール・レジスタ1 (PWC1)

ブロック4-7に対するアクセスのウェイト数を設定します。16ビット単位でリード/ライトできます。ブロック4,7は,7ステートまでのウェイト・ステートを挿入できます。ブロック5,6は,15ステートまでのウェイト・ステートを挿入できます。

図6-5 プログラマブル・ウェイト・コントロール・レジスタ1 (PWC1)

アドレス : C0000016H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PWC1	0	WS7			WS6			WS5			0	WS4				

初期値 :

0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

R/W : R R/W R R/W R/W R/W

ビット	ビット名	説明																																				
14-12	WS7	Wait States7 ブロック7 ($\overline{CS7}$) にアクセス時のウェイト数を設定します。0ウェイトから7ウェイトまで設定できます。 <table border="1" style="margin: 10px auto; text-align: center;"> <thead> <tr> <th>WS7</th> <th>ウェイト数</th> <th>WS7</th> <th>ウェイト数</th> </tr> </thead> <tbody> <tr><td>0 0 0</td><td>0</td><td>1 0 0</td><td>4</td></tr> <tr><td>0 0 1</td><td>1</td><td>1 0 1</td><td>5</td></tr> <tr><td>0 1 0</td><td>2</td><td>1 1 0</td><td>6</td></tr> <tr><td>0 1 1</td><td>3</td><td>1 1 1</td><td>7</td></tr> </tbody> </table> BCTCのCT7ビットでPage-ROMサイクルを選択した場合は, シングル・サイクルのウェイト数およびバースト・サイクルのoff-pageアクセス時のウェイト数になります。 on-pageアクセス時のウェイト数はPRCレジスタのPWSビットで設定できます。	WS7	ウェイト数	WS7	ウェイト数	0 0 0	0	1 0 0	4	0 0 1	1	1 0 1	5	0 1 0	2	1 1 0	6	0 1 1	3	1 1 1	7																
WS7	ウェイト数	WS7	ウェイト数																																			
0 0 0	0	1 0 0	4																																			
0 0 1	1	1 0 1	5																																			
0 1 0	2	1 1 0	6																																			
0 1 1	3	1 1 1	7																																			
11-8	WS6	Wait States6 ブロック6 ($\overline{CS6}$) にアクセス時のウェイト数を設定します。0ウェイトから15ウェイトまで設定できます。 <table border="1" style="margin: 10px auto; text-align: center;"> <thead> <tr> <th>WS6</th> <th>ウェイト数</th> <th>WS6</th> <th>ウェイト数</th> </tr> </thead> <tbody> <tr><td>0 0 0 0</td><td>0</td><td>1 0 0 0</td><td>8</td></tr> <tr><td>0 0 0 1</td><td>1</td><td>1 0 0 1</td><td>9</td></tr> <tr><td>0 0 1 0</td><td>2</td><td>1 0 1 0</td><td>10</td></tr> <tr><td>0 0 1 1</td><td>3</td><td>1 0 1 1</td><td>11</td></tr> <tr><td>0 1 0 0</td><td>4</td><td>1 1 0 0</td><td>12</td></tr> <tr><td>0 1 0 1</td><td>5</td><td>1 1 0 1</td><td>13</td></tr> <tr><td>0 1 1 0</td><td>6</td><td>1 1 1 0</td><td>14</td></tr> <tr><td>0 1 1 1</td><td>7</td><td>1 1 1 1</td><td>15</td></tr> </tbody> </table>	WS6	ウェイト数	WS6	ウェイト数	0 0 0 0	0	1 0 0 0	8	0 0 0 1	1	1 0 0 1	9	0 0 1 0	2	1 0 1 0	10	0 0 1 1	3	1 0 1 1	11	0 1 0 0	4	1 1 0 0	12	0 1 0 1	5	1 1 0 1	13	0 1 1 0	6	1 1 1 0	14	0 1 1 1	7	1 1 1 1	15
WS6	ウェイト数	WS6	ウェイト数																																			
0 0 0 0	0	1 0 0 0	8																																			
0 0 0 1	1	1 0 0 1	9																																			
0 0 1 0	2	1 0 1 0	10																																			
0 0 1 1	3	1 0 1 1	11																																			
0 1 0 0	4	1 1 0 0	12																																			
0 1 0 1	5	1 1 0 1	13																																			
0 1 1 0	6	1 1 1 0	14																																			
0 1 1 1	7	1 1 1 1	15																																			
7-4	WS5	Wait States5 ブロック5 ($\overline{CS5}$) にアクセス時のウェイト数を設定します。0ウェイトから15ウェイトまで設定できます。ウェイト数の設定方法は, WS6と同じです。																																				
2-0	WS4	Wait States4 ブロック4 ($\overline{CS4}$) にアクセス時のウェイト数を設定します。0ウェイトから7ウェイトまで設定できます。ウェイト数の設定方法は, WS7と同じです。																																				

6.3.5 プログラマブル・アイドル・コントロール・レジスタ0, 1 (PIC0, PIC1)

ブロック0-7に対するリード・アクセス後に挿入するアイドル・ステート数を設定します。16ビット単位でリード/ライトできます。それぞれ7ステートまでのアイドル・ステートを挿入できます。

V830CPUコアからのアクセスでは、リード・サイクルのあと必ず1ステートのアイドル・ステートが挿入されます。このアイドル・ステートは、PIC0, PIC1レジスタのISnの設定値にカウントされます。つまり、ISn (n = 0-7) が0または1のとき、1ステートのアイドル・ステートが挿入されます。

DMAの2サイクル転送時も、PIC0, PIC1レジスタの設定は有効になります。

注意 アイドル・ステートの状態については、5.6 アイドル・ステートを参照してください。

図6-6 プログラマブル・アイドル・コントロール・レジスタ0, 1 (PIC0, PIC1)

アドレス : C0000102H																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIC1	0	IS7			0	IS6			0	IS5			0	IS4		
初期値 :	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
アドレス : C0000100H																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIC0	0	IS3			0	IS2			0	IS1			0	IS0		
初期値 :	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	説明
14-12, 10-8, 6-4, 2-0	IS7-IS0	Idle State7-0 アイドル・ステート数を指定します。IS7-IS0は、ブロック7-0に対応しています。 \overline{CSn} 信号に対応するブロックにリード・アクセスがあると、リード・アクセス後にISn (n = 0-7) で設定される数のアイドル・ステートを自動挿入します。

ISn	アイドル・ステート挿入数
0 0 0	0
0 0 1	1
0 1 0	2
0 1 1	3
1 0 0	4
1 0 1	5
1 1 0	6
1 1 1	7

6.4 $\overline{\text{READY}}$ 端子によるウェイト制御

V832は、I/O, SRAM, ROM領域に対し、PWC0, PWC1レジスタと $\overline{\text{READY}}$ 端子により、ウェイトを制御できます。

6.4.1 $\overline{\text{READY}}$ 端子入力のサンプリング・タイミング

- ・ I/O領域：Ts状態の立ち上がりでサンプリングします。プログラマブル・ウェイト回数が終了していない、または、 $\overline{\text{READY}}$ 端子がアクティブになっていない場合（ウェイトが挿入される場合）は、Tsサイクルを繰り返します。
- ・ SRAM, ROMのシングル・サイクル：Ts状態の立ち上がりでサンプリングします。プログラマブル・ウェイト回数が終了していない、または、 $\overline{\text{READY}}$ 端子がアクティブになっていない場合は、Tsサイクルを繰り返します。
- ・ SRAM, ROMのバースト・サイクル：各Tb状態の立ち上がりとTs状態の立ち上がりで、 $\overline{\text{READY}}$ 端子のサンプリングを行います。ウェイト挿入時はTbサイクルまたはTsサイクルを繰り返します。
- ・ Page-ROMサイクル：Tb状態の立ち上がり、Ts状態の立ち上がりで $\overline{\text{READY}}$ 端子信号のサンプリングをします。ウェイト挿入時はTbサイクルまたはTsサイクルを繰り返します。プログラマブル・ウェイトの設定はon-page時と、off-page時で異なる挿入ウェイト数を設定することが可能です。

6.4.2 $\overline{\text{READY}}$ 端子とプログラマブル・ウェイト両方を使用する場合

PWC0, PWC1レジスタで設定したウェイト数と $\overline{\text{READY}}$ 端子入力によるウェイト数は論理和の形を取るため、どちらが多い方のウェイト数が挿入されます。

したがって、 $\overline{\text{READY}}$ 端子によりウェイト制御を行う場合、上述のサンプリング・タイミングに $\overline{\text{READY}}$ 端子をインアクティブに制御していても、プログラマブル・ウェイトによるウェイト挿入回数が終了するまで、ウェイトは解除されません。また、プログラマブル・ウェイトが解除される前に、 $\overline{\text{READY}}$ 端子をインアクティブに制御しても、プログラマブル・ウェイト後のTs状態で $\overline{\text{READY}}$ 端子がインアクティブになっていなければウェイトは解除されません。したがって、誤使用を避けるため、 $\overline{\text{READY}}$ 端子入力によるウェイトを使用する場合は、PWC0, PWC1レジスタの対応するブロックのウェイト数を0に設定して使用することを推奨します。

第7章 メモリ・アクセス制御機能

この章では、SDRAM制御機能とPage-ROM制御機能を説明します。

V832のBCUは、SDRAM, Page-ROM, SRAM (ROM) をダイレクトに接続できます。

SDRAMへのアクセスは、アドレス・バス、データ・バス、 \overline{RAS} , \overline{CAS} , \overline{WE} , $\overline{CS0}$, $\overline{CS1}$, CKE, SDCLKOUT, 4本のxxDQM信号を用いて行います。SDRAMへのアドレスは、ロウ・アドレス、カラム・アドレスをマルチプレクスしてアドレス端子から出力します。

Page-ROMへのページ・アクセスは、バースト・アクセス時に有効になります。ページ・サイズは、8バイトまたは16バイトから選択できます。

SRAM (ROM) へのアクセスは、アドレス・バス、データ・バス、 \overline{MWR} , \overline{MRD} , \overline{CSn} (n = 1-7), 4本のxxBEN信号を用いて行います。

- 備考1. \overline{xxBEN} : \overline{LLBEN} , \overline{LUBEN} , \overline{ULBEN} , \overline{UUBEN}
2. \overline{xxDQM} : \overline{LLDQM} , \overline{LUDQM} , \overline{ULDQM} , \overline{UUDQM}

7.1 特 徴

SDRAM制御機能

- ・ \overline{RAS} , \overline{CAS} , \overline{WE} , CKE, UUDQM, ULDQM, LUDQM, LLDQM信号の生成
- ・ アドレス・マルチプレクス8, 9ビット
- ・ SDRAMアクセスのタイミング制御
 - REF REF/ACTコマンド間隔 : 3-6バス・クロック選択可能
 - ACT PREコマンド間隔 : 3, 4バス・クロック選択可能
 - PRE ACTコマンド間隔 : 1, 2バス・クロック選択可能
 - ACT READ/WRITEコマンド間隔 : 1, 2バス・クロック選択可能
- ・ オート・リフレッシュ, セルフ・リフレッシュ機能
- ・ 8バンク制御 (4バンク×2ブロック)

Page-ROM制御機能

- ・ ページ・サイズ : 8バイト / 16バイト
- ・ ページ・アクセス時のウエイト制御 : 0ウエイト-3ウエイト

7.2 SDRAM制御機能

BCUは、 $\overline{\text{RAS}}$, $\overline{\text{CAS}}$, $\overline{\text{WE}}$, $\overline{\text{CSn}}$, CKE , 4本のDQM信号の生成とSDRAMへのアクセスを制御します。SDRAMへのアドレスは、SDRAMのロウ・アドレス、カラム・アドレスをマルチプレクスしてアドレス端子から出力します。

接続するSDRAMは、 $\times 8$ ビット以上であることを前提とします。

リフレッシュ周期を任意に設定できます。また、STOPモード時には、セルフ・リフレッシュを行います。

備考1. xxDQM : LLDQM, LUDQM, ULDQM, UUDQM

2. $n = 0-7$

7.2.1 アドレス・マルチプレクス機能

SDRAMコンフィギュレーション・レジスタ (SDC) のRAW, CAWビット (7.2.3参照) の値により、SDRAM サイクルでのロウ・アドレス、カラム・アドレス出力は、表7-1、表7-2のようにアドレスがマルチプレクスします。表7-1、表7-2のa1-a23はCPUから出力されたアドレスを、A2-A15はV832のアドレス端子を示しています。

表7-1 ロウ・アドレス、カラム・アドレスの出力 (32ビット・データ幅)

BAW	RAW	CAW	出カタイミング	外部アドレス端子						
				A15	A14	A13	A12	A11	A10	A9-A2
0	00	00	カラム・アドレス	(a15)	(a14)	a21*	AP	(a11)	(a10)	a9-a2
			ロウ・アドレス	a23	a22	a21*	a20	a19	a18	a17-a10
0	00	01	カラム・アドレス	(a15)	(a14)	a22*	AP	(a11)	a10	a9-a2
			ロウ・アドレス	(a15)	a23	a22*	a21	a20	a19	a18-a11
1	00	00	カラム・アドレス	(a15)	a22*	a21*	AP	(a11)	(a10)	a9-a2
			ロウ・アドレス	a23	a22*	a21*	a20	a19	a18	a17-a10
1	00	01	カラム・アドレス	(a15)	a23*	a22*	AP	(a11)	a10	a9-a2
			ロウ・アドレス	(a15)	a23*	a22*	a21	a20	a19	a18-a11
1	01	00	カラム・アドレス	a23*	a22*	(a13)	AP	(a11)	(a10)	a9-a2
			ロウ・アドレス	a23*	a22*	a21	a20	a19	a18	a17-a10

備考1. *はバンク・アドレス指定

2. APはコマンド指定に使われるビットで、ロウ・レベルに固定されます。

3. カッコ付きアドレス (axx) および、A1, A16-A23端子はアドレス・マルチプレクスを行わず、常に本来の値が出力されます。

表7-2 ロー・アドレス, カラム・アドレスの出力 (16ビット・データ幅)

BAW	RAW	CAW	出力タイミング	外部アドレス端子							
				A15	A14	A13	A12	A11	A10	A9	A8-A1
0	00	00	カラム・アドレス	(a15)	(a14)	(a13)	a20*	AP	(a10)	(a9)	a8-a1
			ロー・アドレス	a23	a22	a21	a20*	a19	a18	a17	a16-a9
0	00	01	カラム・アドレス	(a15)	(a14)	(a13)	a21*	AP	(a10)	a9	a8-a1
			ロー・アドレス	(a15)	a23	a22	a21*	a20	a19	a18	a17-a10
1	00	00	カラム・アドレス	(a15)	(a14)	a21*	a20*	AP	(a10)	(a9)	a8-a1
			ロー・アドレス	a23	a22	a21*	a20*	a19	a18	a17	a16-a9
1	00	01	カラム・アドレス	(a15)	(a14)	a22*	a21*	AP	(a10)	a9	a8-a1
			ロー・アドレス	(a15)	a23	a22*	a21*	a20	a19	a18	a17-a10
1	01	00	カラム・アドレス	(a15)	a22*	a21*	(a12)	AP	(a10)	(a9)	a8-a1
			ロー・アドレス	a23	a22*	a21*	a20	a19	a18	a17	a16-a9

備考1. *はバンク・アドレス指定

2. APはコマンド指定に使われるビットで、ロー・レベルに固定されます。
3. カッコ付きアドレス (a x x) および、A16-A23端子はアドレス・マルチプレクスを行わず、常に本来の値が出力されます。

7.2.2 on-page/off-pageの判断

SDRAMコンフィギュレーション・レジスタ (SDC) のPAEビットが1でページ・アクセスが許可されている状態の場合、起動するSDRAMアクセスが前回のSDRAMアクセスと同一ページ内かどうかの判断を行います。

表7-3に比較するアドレスとアドレス・シフト量の関係を示します。

PAEビットが0の場合、常にoff-pageサイクルが起動されます。

PAEビットを0にしてもBCUが保持しているページ情報は、クリアされません。

PAEビットが0の場合でもSDRAMアクセス起動によってページ情報は更新します。

表7-3のa9-a23はCPUから出力されたアドレスを示しています。

表7-3 on-page/off-page判断で比較するアドレス

アドレス・シフト量	データ・バス幅	
	16ビット	32ビット
8	a23-a9	a23-a10
9	a23-a10	a23-a11

7.2.3 SDRAMコンフィギュレーション・レジスタ (SDC)

SDRAMアクセス時のアドレス・マルチプレクス幅と、コマンドの出力タイミングを設定します。16ビット単位でリード/ライトできます。

図7-1 SDRAMコンフィギュレーション・レジスタ (SDC)

アドレス：C0000110H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDC	PAE	0	0	BAW	RAW	CAW	0	0	0	TRCD	TRP	TRAS	TRC			

初期値：

0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

R/W： R/W R R R/W R/W R/W R/W R/W R R R R/W R/W R/W R/W R/W

ビット	ビット名	説明														
15	PAE	Page Mode Enable SDRAMに対応したページ・アクセスの起動を制御します。ただし、バースト・サイクル時の2回目以降のSDRAMアクセスはページ・アクセスを禁止できません。 0：起動禁止（常にoff-pageアクセスを行います。） 1：起動許可（on-pageアクセスを起動許可します。）														
12	BAW	Bank Address Width バンク・サイズを設定します。 0：2バンク 1：4バンク														
11, 10	RAW	Raw Address Width SDRAMサイクルの中でアクティブ・コマンド時のロウ・アドレス幅を設定します。 <table border="1" style="margin: 5px 0; border-collapse: collapse;"> <thead> <tr> <th>RAW</th> <th>ロウ・アドレス幅</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>11ビット</td></tr> <tr><td>0</td><td>1</td><td>12ビット</td></tr> <tr><td>1</td><td>0</td><td>設定禁止</td></tr> <tr><td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	RAW	ロウ・アドレス幅	0	0	11ビット	0	1	12ビット	1	0	設定禁止	1	1	設定禁止
RAW	ロウ・アドレス幅															
0	0	11ビット														
0	1	12ビット														
1	0	設定禁止														
1	1	設定禁止														
9, 8	CAW	Column Address Width SDRAMサイクルの中でリード/ライト・コマンド時のコラム・アドレス幅を設定します。 <table border="1" style="margin: 5px 0; border-collapse: collapse;"> <thead> <tr> <th>CAW</th> <th>コラム・アドレス幅</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>8ビット</td></tr> <tr><td>0</td><td>1</td><td>9ビット</td></tr> <tr><td>1</td><td>0</td><td>設定禁止</td></tr> <tr><td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	CAW	コラム・アドレス幅	0	0	8ビット	0	1	9ビット	1	0	設定禁止	1	1	設定禁止
CAW	コラム・アドレス幅															
0	0	8ビット														
0	1	9ビット														
1	0	設定禁止														
1	1	設定禁止														
4	TRCD	TRCD アクティブ リード/ライト・コマンド間隔を設定します（5.5.5参照）。 0：1バス・クロックの間隔 1：2バス・クロックの間隔														
3	TRP	TRP プリチャージ アクティブ・コマンド間隔を設定します（5.5.5参照）。 0：1バス・クロックの間隔 1：2バス・クロックの間隔														
2	TRAS	TRAS アクティブ プリチャージ・コマンド最小間隔を設定します（5.5.5参照）。 0：3バス・クロックの最小間隔 1：4バス・クロックの最小間隔														
1, 0	TRC	TRC リフレッシュ 次コマンド最小間隔を設定します。 <table border="1" style="margin: 5px 0; border-collapse: collapse;"> <thead> <tr> <th>TRC</th> <th>最小バス・クロック数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>3</td></tr> <tr><td>0</td><td>1</td><td>4</td></tr> <tr><td>1</td><td>0</td><td>5</td></tr> <tr><td>1</td><td>1</td><td>6</td></tr> </tbody> </table> 上記コマンド最小間隔を設定クロック数分とします（5.5.5参照）。	TRC	最小バス・クロック数	0	0	3	0	1	4	1	0	5	1	1	6
TRC	最小バス・クロック数															
0	0	3														
0	1	4														
1	0	5														
1	1	6														

RAW, CAWビットの組み合わせによって接続可能となるSDRAMを表7 - 4に示します。
 使用するメモリのバンク・サイズ, カラム・アドレス幅が表7 - 4の設定であることを確認してください。

表7 - 4 接続可能なSDRAMの種類

BAW	RAW	CAW	
0	00	00	16 Mビット品 (512 Kワード×16ビット×2バンク)
0	00	01	16 Mビット品 (1 Mワード×8ビット×2バンク)
1	00	00	64 Mビット品 (512 Kワード×32ビット×4バンク)
1	00	01	128 Mビット品 (1 Mワード×32ビット×4バンク)
1	01	00	64 Mビット品 (1 Mワード×16ビット×4バンク)

7.2.4 SDRAMモード・レジスタ (SDM)

SDRAMのモードを指定します。

SDMに任意の値を書き込むと, SDRAMに対して全バンク・プリチャージ・コマンド, モード・レジスタ設定コマンドが順に発行されます。このコマンド発行間隔は, SDRAMコンフィギュレーション・レジスタ (SDC) のTRPビット (7.2.3参照) で設定できます。SDMへの書き込み前に, データ・バス幅コントロール・レジスタ (DBC) のBW0ビット (6.3.2参照) を設定してください。

SDRAMへのモード・レジスタ設定のデータ値として00 0000 0010 0000 (2進数) はSDRAMのバス幅によって異なったアドレスに出力されます。

- ・SDRAMのバス幅32ビット : A15-A2に出力

A23-A16は不定
A1は0を出力

- ・SDRAMのバス幅16ビット : A14-A1に出力

A23-A16は不定
A15は0を出力

SDRAMアクセスは, CASレーテンシ = 2のみとなります。

詳しい設定シーケンスは5.5.8 初期化シーケンスを参照してください。

図7 - 2 SDRAMモード・レジスタ (SDM)

アドレス : C0000112H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDM	SDM															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	説明
15-0	SDM	SDRAM Mode 本レジスタへの任意の値の書き込みによって, SDRAMへモード・レジスタ設定コマンドが発行されます。 モード設定内容 : CASレーテンシ : 2 ラップ・タイプ : シーケンシャル バースト長 : 1

7.2.5 リフレッシュ機能

BCUは、SDRAMのリフレッシュ動作に必要な分散型のオート・リフレッシュ・サイクルを自動的に発生できます。リフレッシュの許可/禁止とリフレッシュ間隔は、リフレッシュ・コントロール・レジスタ(RFC)で設定します。

BCUは、リフレッシュ要求を最大7回まで蓄えるリフレッシュ要求キューを備えています。

(1) リフレッシュ要求キュー

BCUは最大7回までのリフレッシュ要求を蓄えるリフレッシュ要求キューを備えています。バスが解放されると、リフレッシュ要求キューの内容が“0”になるまでリフレッシュ・サイクルを連続して発生します。

リフレッシュ要求キューの内容が“7”で、さらにリフレッシュ要求が発生した場合、リフレッシュ要求キューの内容は“7”のまま変化しません。

(2) リフレッシュ・コントロール・レジスタ(RFC)

リフレッシュ・コントロール・レジスタ(RFC)は、リフレッシュの許可/禁止、リフレッシュ・サイクルの長さ、リフレッシュの間隔を設定します。16ビット単位でリード/ライトできます。リフレッシュの間隔は、次の計算式により求められます。

$$\begin{aligned} \text{リフレッシュ間隔}(\mu\text{s}) &= \\ &\text{リフレッシュ・カウント・クロック}(t_{\text{RCY}}) \times \text{インターバル・ファクタ}(\text{RI}) \end{aligned}$$

リフレッシュ・カウント・クロック、インターバル・ファクタは、それぞれRFCレジスタのRCCビット、RIビットにより求めます。

ただし、リフレッシュ周期が使用するSDRAMのアクティブ プリチャージ・コマンド間隔(t_{RAS})の最大値より長い場合は、リフレッシュ周期を t_{RAS} の最大値より短くしてください。

注意 RFCレジスタのRIビットの設定を変更する場合は、必ずRENビットでリフレッシュを禁止したあとにRIビットの内容を変更してください。

図7-3 リフレッシュ・コントロール・レジスタ (RFC)

アドレス : C0000022H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFC	REN	0	0	0	0	0	RCC	0								RI

初期値 :

1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

R/W : R/W R R R R R R/W R/W R R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	説明																																								
15	REN	Refresh Enable CBRリフレッシュ, CBRセルフ・リフレッシュの許可/禁止を設定します。 0 : CBRリフレッシュ, CBRセルフ・リフレッシュ禁止 1 : CBRリフレッシュ, CBRセルフ・リフレッシュ許可																																								
9, 8	RCC	Refresh Count Clock リフレッシュ・カウント・クロック (trcy) を指定します。 は内部バス・クロックの周波数を示します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th>RCC</th> <th colspan="2">リフレッシュ・カウント・クロック (trcy)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>32/</td></tr> <tr><td>0</td><td>1</td><td>128/</td></tr> <tr><td>1</td><td>0</td><td>4/</td></tr> <tr><td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	RCC	リフレッシュ・カウント・クロック (trcy)		0	0	32/	0	1	128/	1	0	4/	1	1	設定禁止																									
RCC	リフレッシュ・カウント・クロック (trcy)																																									
0	0	32/																																								
0	1	128/																																								
1	0	4/																																								
1	1	設定禁止																																								
6-0	RI	Refresh Interval リフレッシュ・タイミング生成用インターバル・タイマのインターバル・ファクタを設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th colspan="7">RI</th> <th>インターバル・ファクタ</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>2</td></tr> <tr><td>:</td><td>:</td><td>:</td><td>:</td><td>:</td><td>:</td><td>:</td><td>:</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>128</td></tr> </tbody> </table>	RI							インターバル・ファクタ	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	2	:	:	:	:	:	:	:	:	1	1	1	1	1	1	1	128
RI							インターバル・ファクタ																																			
0	0	0	0	0	0	0	1																																			
0	0	0	0	0	0	1	2																																			
:	:	:	:	:	:	:	:																																			
1	1	1	1	1	1	1	128																																			

7.3 Page-ROM制御機能

BCUは、CS7空間でPage-ROMを選択した場合に、使用するPage-ROMの特性に合わせたバス・サイクルの設定、または、ページ・サイズの設定とページ・アクセス時のウエイト数の設定ができます。

7.3.1 Page-ROMコンフィギュレーション・レジスタ (PRC)

Page-ROMのon-pageアクセス時のウエイト数およびページ・サイズを設定します。ブロック7にPage-ROMサイクルが設定されているときだけ有効です。

図7-4 Page-ROMコンフィギュレーション・レジスタ (PRC)

アドレス：C0000024H

	7	6	5	4	3	2	1	0
PRC	0	0	0	0	0	PWS	PS	

初期値：

0	0	0	0	0	1	1	1
---	---	---	---	---	---	---	---

R/W： R R R R R R/W R/W R/W

ビット	ビット名	説 明										
2, 1	PWS	Page-ROM Wait States Page-ROMのon-pageアクセス時のウエイト数を設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">PWS</th> <th style="width: 10%;">ウエイト数</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0 0</td> <td style="text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">0 1</td> <td style="text-align: center;">1</td> </tr> <tr> <td style="text-align: center;">1 0</td> <td style="text-align: center;">2</td> </tr> <tr> <td style="text-align: center;">1 1</td> <td style="text-align: center;">3</td> </tr> </tbody> </table> BCTCレジスタのCT7ビットでPage-ROMサイクルを選択している場合だけ有効です。 off-pageアクセス時のウエイト数は、PWC1レジスタのWS7ビットの設定により従います。	PWS	ウエイト数	0 0	0	0 1	1	1 0	2	1 1	3
PWS	ウエイト数											
0 0	0											
0 1	1											
1 0	2											
1 1	3											
0	PS	Page Size Page-ROMのページ・サイズを設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 5%;">PS</th> <th style="width: 95%;">ページ・サイズ</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td>16バイト 16/32ビット・バス・モードで有効です。両モードとも、バースト・サイクルの1回目のアクセスがoff-pageアクセスになります。</td> </tr> <tr> <td style="text-align: center;">1</td> <td>8バイト 16ビット・バス・モード時だけ有効です。8回連続アクセスのバースト・サイクルでは、1回目と5回目のアクセスがoff-pageアクセスになります。 4回連続アクセスのバースト・サイクルでは、1回目だけoff-pageアクセスになります。 32ビット・バス・モード時はこの設定は無視されます。</td> </tr> </tbody> </table>	PS	ページ・サイズ	0	16バイト 16/32ビット・バス・モードで有効です。両モードとも、バースト・サイクルの1回目のアクセスがoff-pageアクセスになります。	1	8バイト 16ビット・バス・モード時だけ有効です。8回連続アクセスのバースト・サイクルでは、1回目と5回目のアクセスがoff-pageアクセスになります。 4回連続アクセスのバースト・サイクルでは、1回目だけoff-pageアクセスになります。 32ビット・バス・モード時はこの設定は無視されます。				
PS	ページ・サイズ											
0	16バイト 16/32ビット・バス・モードで有効です。両モードとも、バースト・サイクルの1回目のアクセスがoff-pageアクセスになります。											
1	8バイト 16ビット・バス・モード時だけ有効です。8回連続アクセスのバースト・サイクルでは、1回目と5回目のアクセスがoff-pageアクセスになります。 4回連続アクセスのバースト・サイクルでは、1回目だけoff-pageアクセスになります。 32ビット・バス・モード時はこの設定は無視されます。											

第8章 DMA機能

V832は、DMA転送を制御するDMA (Direct Memory Access) コントローラがあります。

DMAC (DMAコントローラ) は、内蔵周辺ハードウェア (シリアル・インタフェース, タイマ), 外部DMARQ端子, またはソフトウェア・トリガによるDMA要求に基づいて、メモリ-I/O間またはメモリ-メモリ間でデータを転送します。

8.1 特 徴

4組の独立したDMAチャンネル

転送単位: バイト, ハーフワード (2バイト), ワード (4バイト) 単位

最大転送回数: 16,777,216 (2^{24}) 回

転送タイプ: 2サイクル転送

2種類の転送モード

- ・シングル転送モード
- ・ディマンド転送モード

転送要求

- ・外部DMARQ端子 (4本)
- ・内蔵周辺ハードウェア (シリアル・インタフェース (3本), タイマ) からの要求
- ・ソフトウェアによる要求

転送対象

- ・メモリ-I/O
- ・メモリ-メモリ

プログラマブル・ウェイト機能

DMA転送終了信号出力 (\overline{TC})

8.2 構成

図8 - 1 DMACブロック図

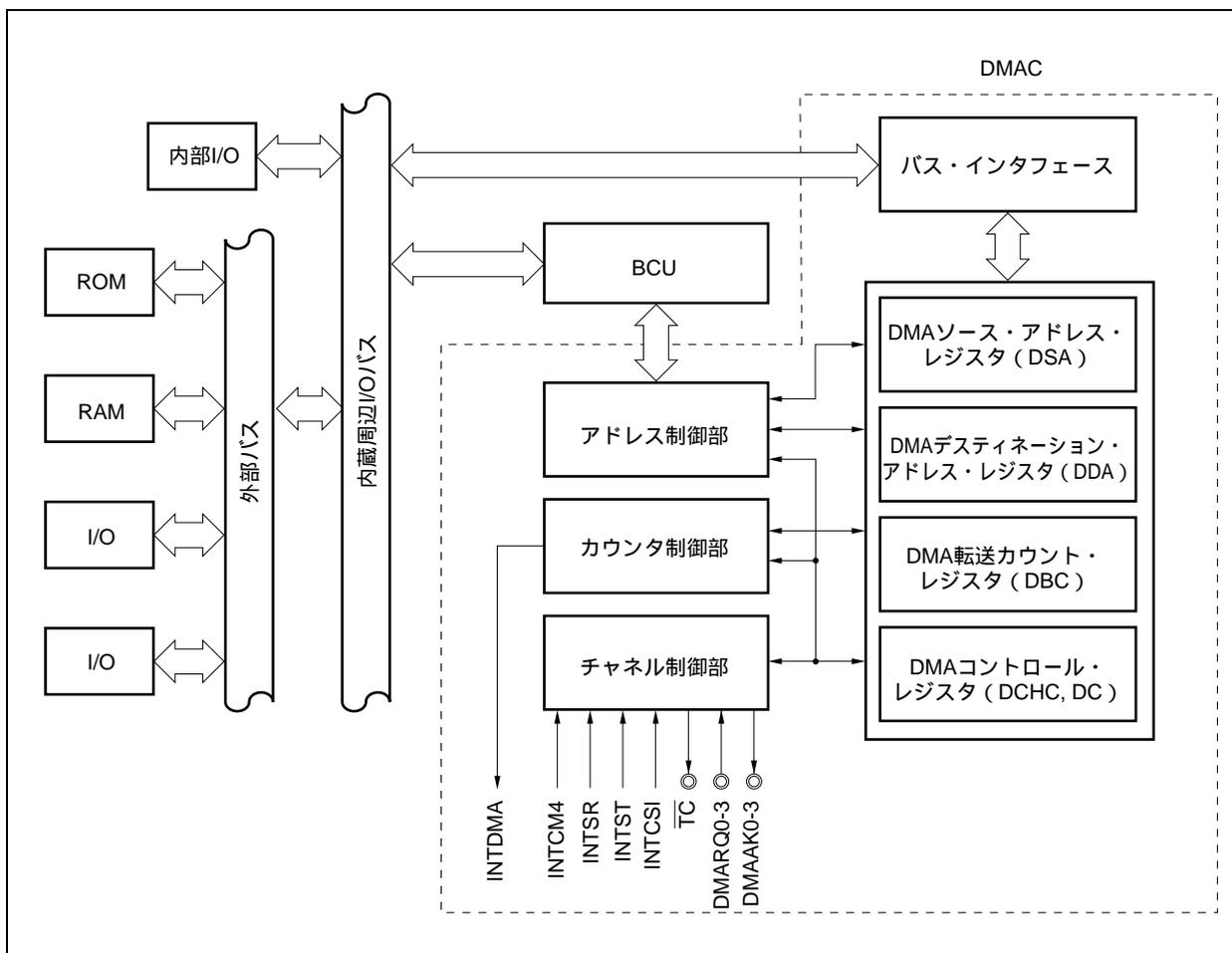
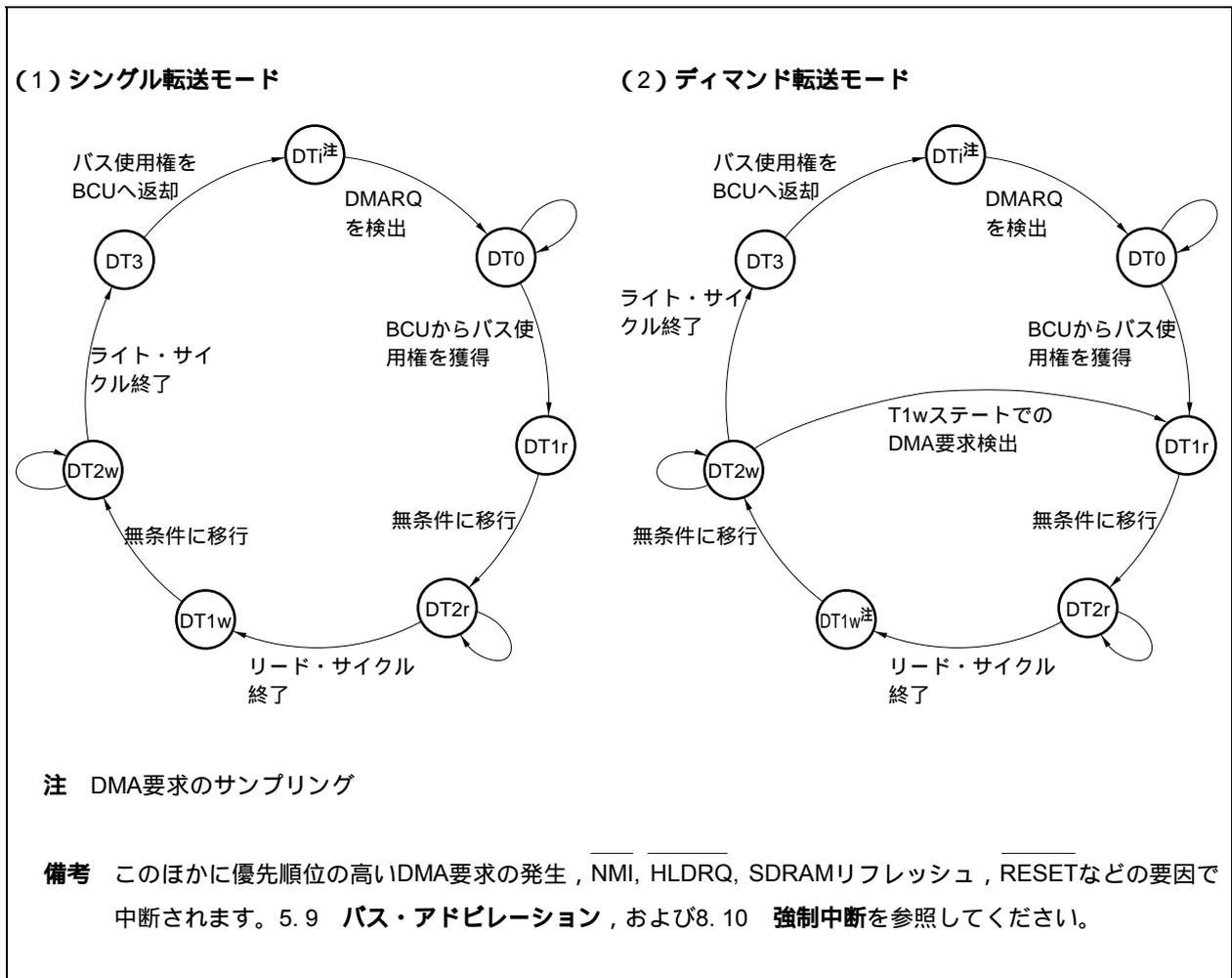


図8 - 2 DMA基本状態遷移図



8.3 DMA制御レジスタ

8.3.1 DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャンネル0-3のDMA転送元アドレス (32ビット) を設定します。このレジスタは、DSAnH, DSAnLの2つの16ビット・レジスタに分かれます (n=0-3)。設定するアドレス値は、DMA転送データ・サイズ (DCHCレジスタで設定) にあわせて設定してください (ハーフワード転送: 2の倍数, ワード転送: 4の倍数)。

DMA転送中は、次のDMA転送元アドレスを保持します。

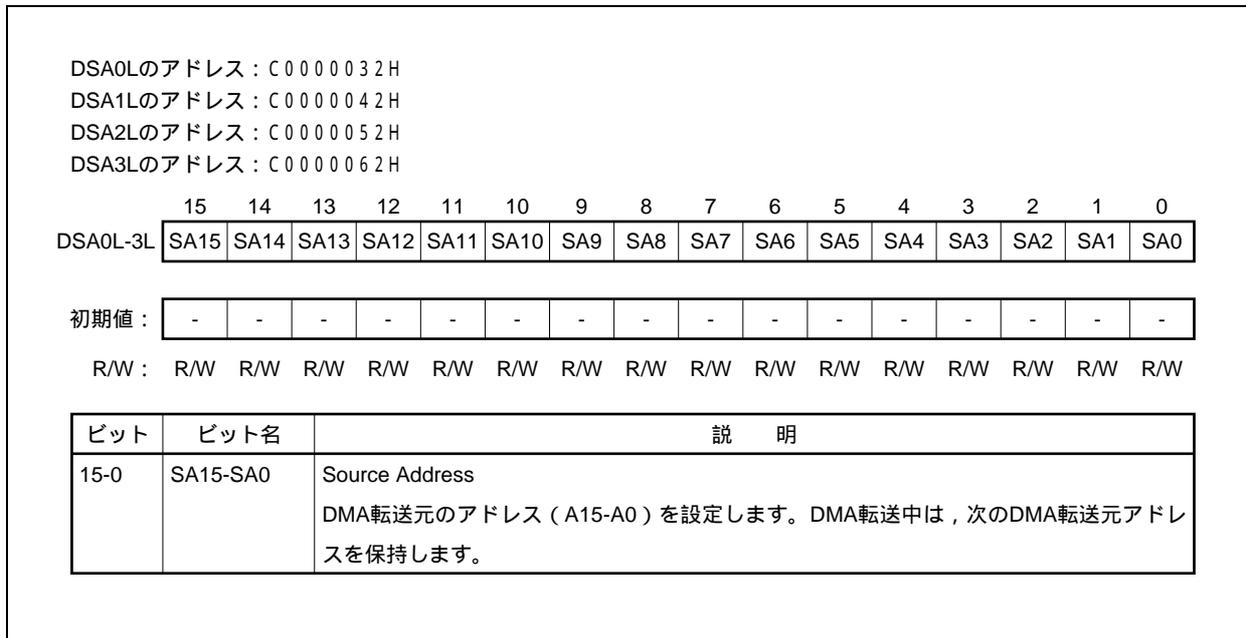
(1) DMAソース・アドレス・レジスタ0H-3H (DSA0H-DSA3H)

図8 - 3 DMAソース・アドレス・レジスタ0H-3H (DSA0H-DSA3H)

DSA0Hのアドレス : C0000030H DSA1Hのアドレス : C0000040H DSA2Hのアドレス : C0000050H DSA3Hのアドレス : C0000060H																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSA0H-3H	SA31	SA30	SA29	SA28	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	ビット名	説明														
15-8	SA31-SA24	Source Address DMA転送元のアドレス (A31-A24) を設定します。DMA転送中は、次のDMA転送元アドレスを保持します。 注意 設定するアドレスは32ビットですが、外部に出力されるアドレスはA23-A1ビットのため、カウンタは24ビット幅としてSA31-SA24の8ビットは固定になります。したがって、チップ・セレクトに対応したブロックにまたがる転送はできません。														
7-0	SA23-SA16	Source Address DMA転送元のアドレス (A23-A16) を設定します。DMA転送中は、次のDMA転送元アドレスを保持します。														

(2) DMAソース・アドレス・レジスタ0L-3L (DSA0L-DSA3L)

図8 - 4 DMAソース・アドレス・レジスタ0L-3L (DSA0L-DSA3L)



8.3.2 DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャネル0-3のDMA転送元アドレス (32ビット) を設定します。このレジスタは、DDAnH, DDAnLの2つの16ビット・レジスタに分かれます (n=0-3)。設定するアドレス値は、DMA転送データ・サイズ (DCHCレジスタで設定) にあわせて設定してください (ハーフワード転送: 2の倍数, ワード転送: 4の倍数)。

DMA転送中は、次のDMA転送先アドレスを保持します。

(1) DMAデスティネーション・アドレス・レジスタ0H-3H (DDA0H-DDA3H)

図8-5 DMAデスティネーション・アドレス・レジスタ0H-3H (DDA0H-DDA3H)

DDA0Hのアドレス : C0000034H																
DDA1Hのアドレス : C0000044H																
DDA2Hのアドレス : C0000054H																
DDA3Hのアドレス : C0000064H																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDA0H-3H	DA31	DA30	DA29	DA28	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	ビット名	説明														
15-8	DA31-DA24	Destination Address DMA転送先のアドレス (A31-A24) を設定します。DMA転送中は、次のDMA転送先アドレスを保持します。 注意 設定するアドレスは32ビットですが、外部に出力されるアドレスはA23-A1ビットのため、カウンタは24ビット幅としてDA31-DA24の8ビットは固定になります。したがって、チップ・セレクトに対応したブロックにまたがる転送はできません。														
7-0	DA23-DA16	Destination Address DMA転送先のアドレス (A23-A16) を設定します。DMA転送中は、次のDMA転送先アドレスを保持します。														

(2) DMAデスティネーション・アドレス・レジスタ0L-3L (DDA0L-DDA3L)

図8 - 6 DMAデスティネーション・アドレス・レジスタ0L-3L (DDA0L-DDA3L)

DDA0Lのアドレス : C0000036H
 DDA1Lのアドレス : C0000046H
 DDA2Lのアドレス : C0000056H
 DDA3Lのアドレス : C0000066H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAA0L-3L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0

初期値 : - - - - - - - - - - - - - - - -

R/W : R/W R/W

ビット	ビット名	説 明
15-0	DA15-DA0	Destination Address DMA転送先のアドレス (A15-A0) を設定します。DMA転送中は、次のDMA転送先アドレスを保持します。

8. 3. 3 DMAバイト・カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャンネル0-3のバイト転送数 (24ビット) を設定します。このレジスタは、DBCnH, DBCnLの2つの16ビット・レジスタに分かれます (n = 0-3)。

DMA転送中は、残りのバイト転送数を保持します。

次にバイト転送、ハーフワード転送、ワード転送のデクリメントと設定を示します。ポローが発生すると転送が終了します。

バイト転送 : 1つずつデクリメント

【DBCnへの設定値】 転送回数 - 1 = 転送要求バイト数 - 1

ハーフワード転送 : 2つずつデクリメント

【DBCnへの設定値】 (転送回数 - 1) × 2 = 転送要求バイト数 - 2

ワード転送 : 4つずつデクリメント

【DBCnへの設定値】 (転送回数 - 1) × 4 = 転送要求バイト数 - 4

図8-7 DMAバイト・カウント・レジスタ0-3 (DBC0-DBC3)

(1) DMAバイト・カウント・レジスタ0H-3H (DBC0H-DSC3H)

DBC0Hのアドレス : C0000038H
 DBC1Hのアドレス : C0000048H
 DBC2Hのアドレス : C0000058H
 DBC3Hのアドレス : C0000068H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBC0H-3H	0	0	0	0	0	0	0	0	BC							

初期値 :	0	0	0	0	0	0	0	0	-	-	-	-	-	-	-	-
-------	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

R/W : R R R R R R R R R/W R/W R/W R/W R/W R/W R/W R/W

(2) DMAバイト・カウント・レジスタ0L-3L (DBC0L-DBC3L)

DBC0Lのアドレス : C000003AH
 DBC1Lのアドレス : C000004AH
 DBC2Lのアドレス : C000005AH
 DBC3Lのアドレス : C000006AH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBC0L-3L	BC															

初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
-------	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

R/W : R/W R/W

ビット	ビット名	説明																																															
7-0 : DBCnH 15-0 : DBCnL	BC	Byte Count バイト転送数を設定します。DMA転送中は、 (残り転送回数 - 1) × 転送データ・サイズ (バイト) の値を保持します。 DBCnHレジスタのビット7がMSB, DBCnLレジスタのビット0がLSBになります (n = 0-3)。																																															
<table border="1"> <thead> <tr> <th rowspan="2">BC</th> <th colspan="3">残りの転送回数</th> </tr> <tr> <th>バイト転送</th> <th>ハーフワード転送</th> <th>ワード転送</th> </tr> </thead> <tbody> <tr> <td>000000H</td> <td>1回</td> <td>1回</td> <td>1回</td> </tr> <tr> <td>000001H</td> <td>2回</td> <td>-</td> <td>-</td> </tr> <tr> <td>000002H</td> <td>3回</td> <td>2回</td> <td>-</td> </tr> <tr> <td>000003H</td> <td>4回</td> <td>-</td> <td>-</td> </tr> <tr> <td>000004H</td> <td>5回</td> <td>3回</td> <td>2回</td> </tr> <tr> <td colspan="4" style="text-align: center;">:</td> </tr> <tr> <td>FFFFFFCH</td> <td>2²⁴ - 3回</td> <td>2²³ - 1回</td> <td>2²²回</td> </tr> <tr> <td>FFFFFFDH</td> <td>2²⁴ - 2回</td> <td>-</td> <td>-</td> </tr> <tr> <td>FFFFFFEH</td> <td>2²⁴ - 1回</td> <td>2²³回</td> <td>-</td> </tr> <tr> <td>FFFFFFFH</td> <td>2²⁴回</td> <td>-</td> <td>-</td> </tr> </tbody> </table>			BC	残りの転送回数			バイト転送	ハーフワード転送	ワード転送	000000H	1回	1回	1回	000001H	2回	-	-	000002H	3回	2回	-	000003H	4回	-	-	000004H	5回	3回	2回	:				FFFFFFCH	2 ²⁴ - 3回	2 ²³ - 1回	2 ²² 回	FFFFFFDH	2 ²⁴ - 2回	-	-	FFFFFFEH	2 ²⁴ - 1回	2 ²³ 回	-	FFFFFFFH	2 ²⁴ 回	-	-
BC	残りの転送回数																																																
	バイト転送	ハーフワード転送	ワード転送																																														
000000H	1回	1回	1回																																														
000001H	2回	-	-																																														
000002H	3回	2回	-																																														
000003H	4回	-	-																																														
000004H	5回	3回	2回																																														
:																																																	
FFFFFFCH	2 ²⁴ - 3回	2 ²³ - 1回	2 ²² 回																																														
FFFFFFDH	2 ²⁴ - 2回	-	-																																														
FFFFFFEH	2 ²⁴ - 1回	2 ²³ 回	-																																														
FFFFFFFH	2 ²⁴ 回	-	-																																														

8.3.4 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャンネル0-3のDMA転送動作モードを制御する16ビット・レジスタです。

図8 - 8 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) (1/3)

DCHC0のアドレス : C000003CH

DCHC1のアドレス : C000004CH

DCHC2のアドレス : C000005CH

DCHC3のアドレス : C000006CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCHC0-3	0	TTYP			TBT		SAD		DAD	DAL	DRL	TM	DS		EN	

初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-------	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

R/W : R R/W R/W

ビット	ビット名	説明																		
14-12	TTYP	Transfer Type DMA転送の起動要因を設定します (n = 0-3)。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TTYP</th> <th>起動要因</th> </tr> </thead> <tbody> <tr> <td>0 0 0</td> <td>DMARQn信号で起動 : 2サイクル転送</td> </tr> <tr> <td>0 0 1</td> <td>ソフトウェアで起動 : 2サイクル転送</td> </tr> <tr> <td>0 1 0</td> <td>設定禁止</td> </tr> <tr> <td>0 1 1</td> <td>設定禁止</td> </tr> <tr> <td>1 0 0</td> <td>INTST信号で起動 : 2サイクル転送</td> </tr> <tr> <td>1 0 1</td> <td>INTSR信号で起動 : 2サイクル転送</td> </tr> <tr> <td>1 1 0</td> <td>INTCSI信号で起動 : 2サイクル転送</td> </tr> <tr> <td>1 1 1</td> <td>INTCM4信号で起動 : 2サイクル転送</td> </tr> </tbody> </table>	TTYP	起動要因	0 0 0	DMARQn信号で起動 : 2サイクル転送	0 0 1	ソフトウェアで起動 : 2サイクル転送	0 1 0	設定禁止	0 1 1	設定禁止	1 0 0	INTST信号で起動 : 2サイクル転送	1 0 1	INTSR信号で起動 : 2サイクル転送	1 1 0	INTCSI信号で起動 : 2サイクル転送	1 1 1	INTCM4信号で起動 : 2サイクル転送
TTYP	起動要因																			
0 0 0	DMARQn信号で起動 : 2サイクル転送																			
0 0 1	ソフトウェアで起動 : 2サイクル転送																			
0 1 0	設定禁止																			
0 1 1	設定禁止																			
1 0 0	INTST信号で起動 : 2サイクル転送																			
1 0 1	INTSR信号で起動 : 2サイクル転送																			
1 1 0	INTCSI信号で起動 : 2サイクル転送																			
1 1 1	INTCM4信号で起動 : 2サイクル転送																			
11, 10	TBT	Transfer Block Type 転送元, 転送先のアドレス・ブロックがメモリかI/Oかを設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TBT</th> <th>転送ブロック</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>メモリ メモリ</td> </tr> <tr> <td>0 1</td> <td>メモリ I/O</td> </tr> <tr> <td>1 0</td> <td>I/O メモリ</td> </tr> <tr> <td>1 1</td> <td>設定禁止</td> </tr> </tbody> </table>	TBT	転送ブロック	0 0	メモリ メモリ	0 1	メモリ I/O	1 0	I/O メモリ	1 1	設定禁止								
TBT	転送ブロック																			
0 0	メモリ メモリ																			
0 1	メモリ I/O																			
1 0	I/O メモリ																			
1 1	設定禁止																			
9, 8	SAD	Source Address count Direction DMAチャンネルnの転送元アドレスのカウンタ方向を設定します (n = 0-3)。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>SAD</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>インクリメント</td> </tr> <tr> <td>0 1</td> <td>デクリメント</td> </tr> <tr> <td>1 0</td> <td>固定</td> </tr> <tr> <td>1 1</td> <td>設定禁止</td> </tr> </tbody> </table>	SAD	カウンタ方向	0 0	インクリメント	0 1	デクリメント	1 0	固定	1 1	設定禁止								
SAD	カウンタ方向																			
0 0	インクリメント																			
0 1	デクリメント																			
1 0	固定																			
1 1	設定禁止																			

図8 - 8 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) (2/3)

DCHC0のアドレス : C000003CH
 DCHC1のアドレス : C000004CH
 DCHC2のアドレス : C000005CH
 DCHC3のアドレス : C000006CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCHC0-3	0	TTYP			TBT	SAD	DAD	DAL	DRL	TM	DS	EN				

初期値 :

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

R/W : R R/W R/W

ビット	ビット名	説明										
7, 6	DAD	Destination Address Count Direction DMAチャンネルnの転送先アドレスのカウンタ方向を設定します (n = 0-3)。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>DAD</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>インクリメント</td> </tr> <tr> <td>0 1</td> <td>デクリメント</td> </tr> <tr> <td>1 0</td> <td>固定</td> </tr> <tr> <td>1 1</td> <td>設定禁止</td> </tr> </tbody> </table>	DAD	カウンタ方向	0 0	インクリメント	0 1	デクリメント	1 0	固定	1 1	設定禁止
DAD	カウンタ方向											
0 0	インクリメント											
0 1	デクリメント											
1 0	固定											
1 1	設定禁止											
5	DAL	DMAAK Level DMAAKn信号のアクティブ・レベルを設定します (n = 0-3)。 0 : アクティブ・ロウ 1 : アクティブ・ハイ 注意 リセットからレジスタ設定の間, DMAAKn信号はハイ・レベル出力になります。										
4	DRL	DMARQ Level DMARQn信号の検出レベルを設定します (n = 0-3)。 0 : ロウ・レベル検出 1 : ハイ・レベル検出										
3	TM	Transfer Mode DMA転送時の転送モードを設定します (n = 0-3)。 0 : シングル転送モード 1 : デイマンド転送モード 注意 DMA転送の起動要因を内蔵周辺ハードウェアからの要求とする場合は, シングル転送モードにしてください。										
2, 1	DS	Data Size DMA転送での転送サイズを設定します。転送先がSDRAM以外の空間でxxBEN信号にてバイト・イネーブル制御を行っていない場合, 転送データ・サイズの設定は, DBCレジスタに設定したデータ・バス幅 (転送先) 以上にしてください (アドレス・カウンタ固定 (DADビット = 10) の場合を除く)。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>DS</th> <th>転送データ・サイズ</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>バイト単位</td> </tr> <tr> <td>0 1</td> <td>ハーフワード (2バイト) 単位</td> </tr> <tr> <td>1 0</td> <td>ワード (4バイト) 単位</td> </tr> <tr> <td>1 1</td> <td>設定禁止</td> </tr> </tbody> </table> <p>備考 xxBEN : LLBEN, LUBEN, ULBEN, UUBEN</p>	DS	転送データ・サイズ	0 0	バイト単位	0 1	ハーフワード (2バイト) 単位	1 0	ワード (4バイト) 単位	1 1	設定禁止
DS	転送データ・サイズ											
0 0	バイト単位											
0 1	ハーフワード (2バイト) 単位											
1 0	ワード (4バイト) 単位											
1 1	設定禁止											

図8 - 8 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) (3/3)

DCHC0のアドレス : C0000003CH
 DCHC1のアドレス : C0000004CH
 DCHC2のアドレス : C0000005CH
 DCHC3のアドレス : C0000006CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCHC0-3	0	TTYP			TBT	SAD	DAD	DAL	DRL	TM	DS	EN				

初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-------	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

R/W : R R/W R/W

ビット	ビット名	説明
0	EN	Enable DMAチャンネルnのDMA転送の許可 / 禁止を設定します (n = 0-3)。ターミナル・カウントによりDMA転送が終了するとリセットされます。DMA転送を開始するには、ENビット = 1, DCレジスタのTCnビット = 0, MENビット = 1に設定してください (n = 0-3)。 0 : DMA転送禁止 (リセット) 1 : DMA転送許可

8.3.5 DMAコントロール・レジスタ (DC)

DMA転送動作モードを制御する16ビット・レジスタです。

図8-9 DMAコントロール・レジスタ (DC)

アドレス : C000006EH																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DC	0	0	0	0	0	0	0	TCSA	TC3	TC2	TC1	TC0	0	0	0	MEN
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W
ビット	ビット名		説明													
8	TCSA		Terminal Count Stop Acknowledge TC/STOPAKの出力を切り替えます。 0 : TCの出力 1 : STOPAKの出力													
7-4	TC3-TC0		Terminal Count Channel3-0 DMAチャンネルnのDMA転送の終了/未終了を示すステータス・ビットです (n = 0-3)。読み出しだけです。ターミナル・カウントによりDMA転送が終了するとセットされ、読み出しによりリセットされます。 0 : DMA転送未終了 (リセット) 1 : DMA転送終了 (セット)													
0	MEN		Master Enable DMA全チャンネルのDMA転送の許可/禁止を設定します。また、 $\overline{\text{NMI}}$ 信号入力によってリセットされます。DMA転送を開始するには、MENビット = 1, TCnビット = 0, DCHCnレジスタのENビット = 1に設定してください (n = 0-3)。各チャンネルの転送許可/禁止は、DHC0-DHC3レジスタのENビットを使用してください。 例 DMA転送が許可されたときMENビット = 1として、 $\overline{\text{NMI}}$ 信号によりMENビット = 0とされたときだけ、NMI処理の中でMENビット = 1とする。 0 : DMA転送禁止 (リセット) 1 : DMA転送許可													

8.4 転送モード

8.4.1 シングル転送モード

シングル転送では、DMACは1回の転送ごとにバスを解放します。そのあとDMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位の高いDMA転送要求が発生した場合、常に優先順位の高いDMA要求を優先させます。

図8 - 10、8 - 11にシングル転送の例を示します。図8 - 11は優先順位の高いDMA要求が発生した場合のシングル転送例で、DMAチャンネル0はディマンド転送、チャンネル1はシングル転送です。

図8 - 10 シングル転送の例1

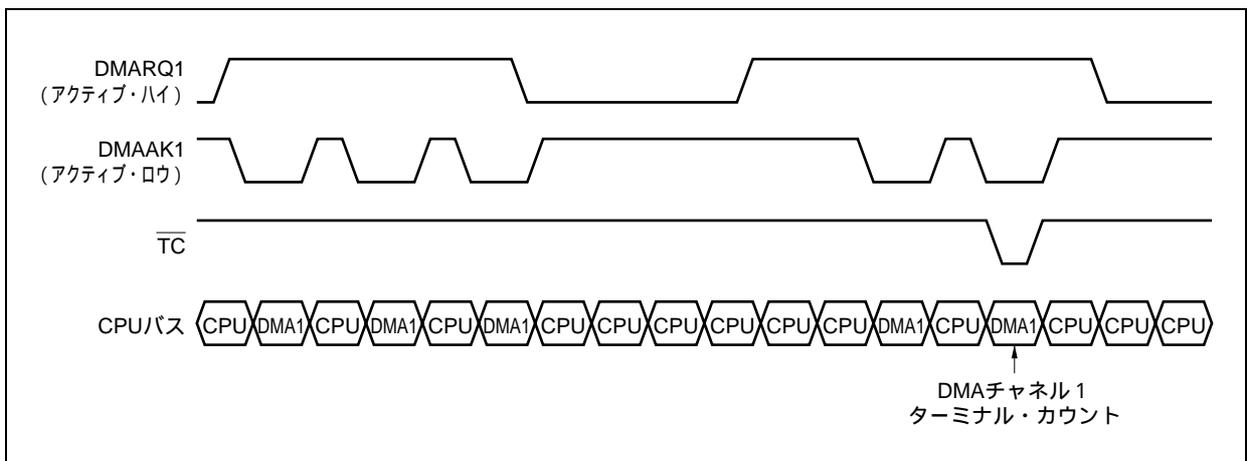
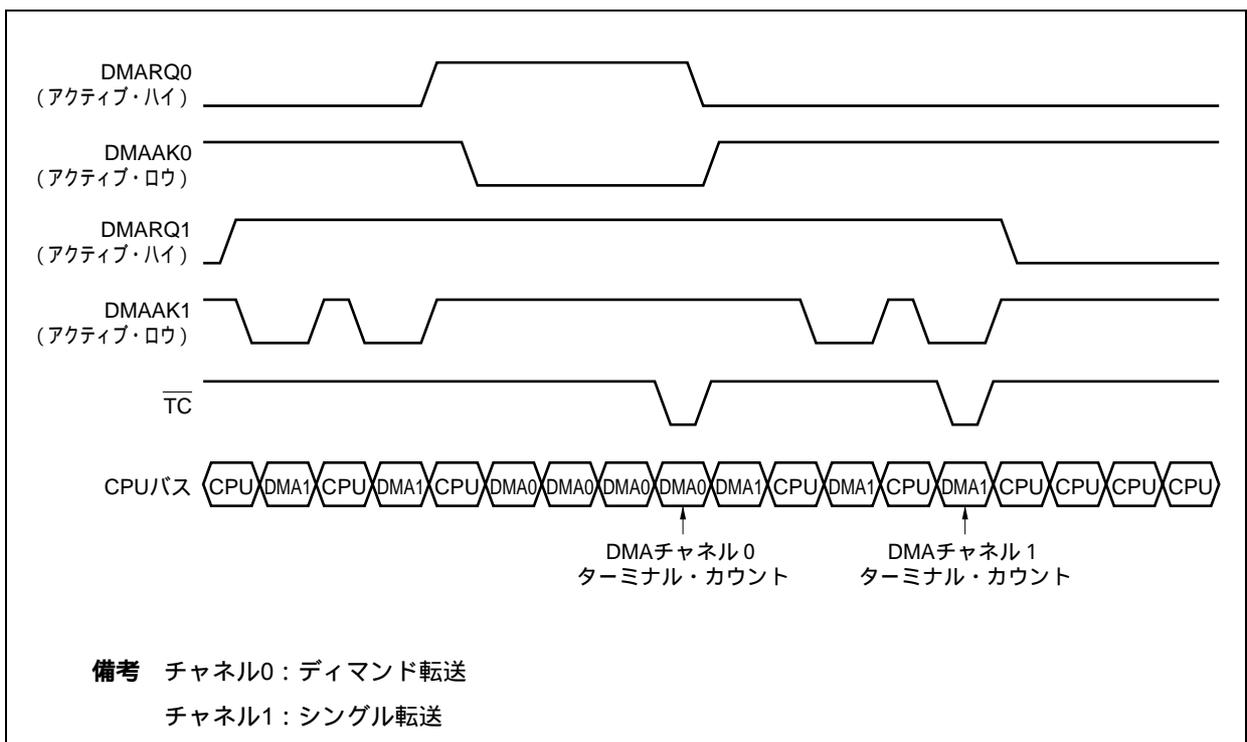


図8 - 11 シングル転送の例2



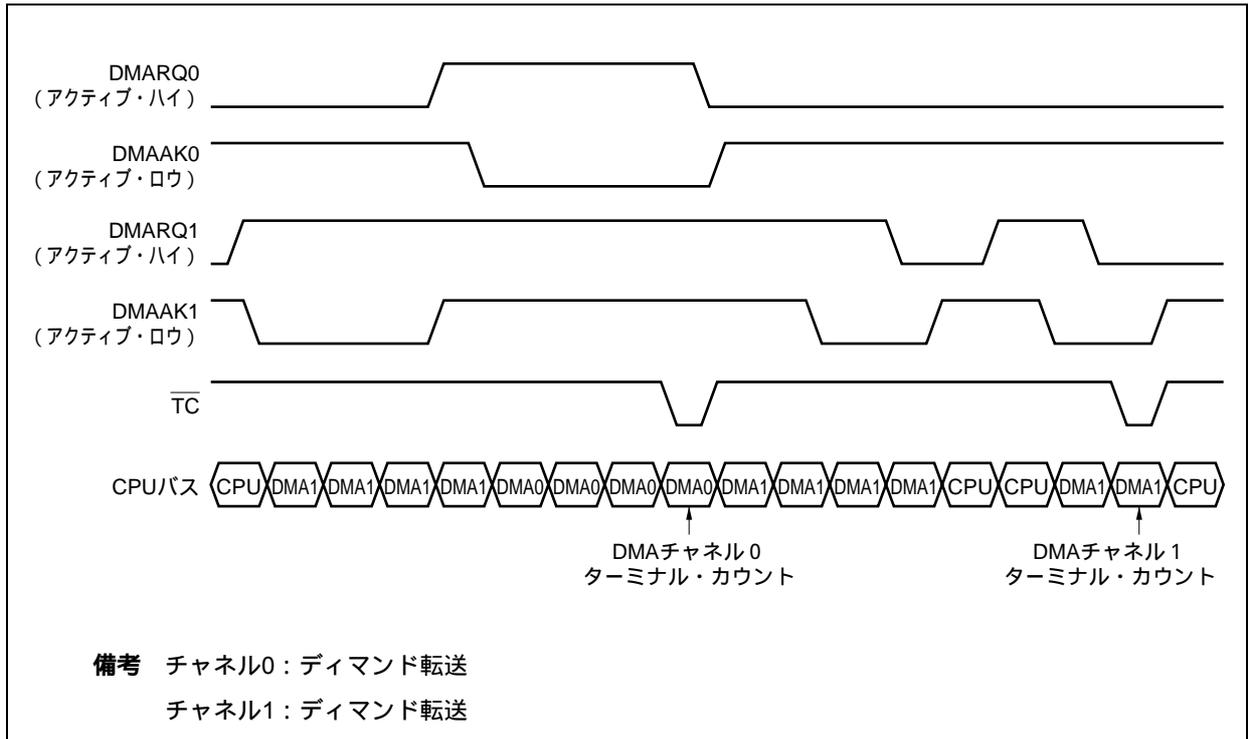
8.4.2 デイマンド転送モード

デイマンド転送では、DMA転送要求が発生している間バスを解放しないで転送を続けます。DMA転送要求が発生していれば、ターミナル・カウントが発生するまで転送を続けます。

DMA転送要求が中断して再度DMA転送要求が発生した場合は、転送を再開できます。

図8 - 12にデイマンド転送の例を示します。優先順位の高いDMA要求が発生した場合のデイマンド転送の例で、DMAチャンネル0, 1はデイマンド転送です。

図8 - 12 デイマンド転送の例



8.5 DMA転送タイプと転送対象

8.5.1 2サイクル転送

2サイクル転送は、転送元 DMAC, DMAC 転送先と2回のサイクルでデータを転送します。

1回目のサイクル：転送元のアドレスを出力して転送元からDMACへ読み込みます。

2回目のサイクル：転送先アドレスを出力してDMACから転送先へ書き込みます。

図8 - 13に2サイクル転送の例（リード時に1ウエイト、アイドル・サイクルも1ウエイト設定した場合）を示します。

図8 - 13 2サイクル・ディマンド転送（外部I/O SRAM）

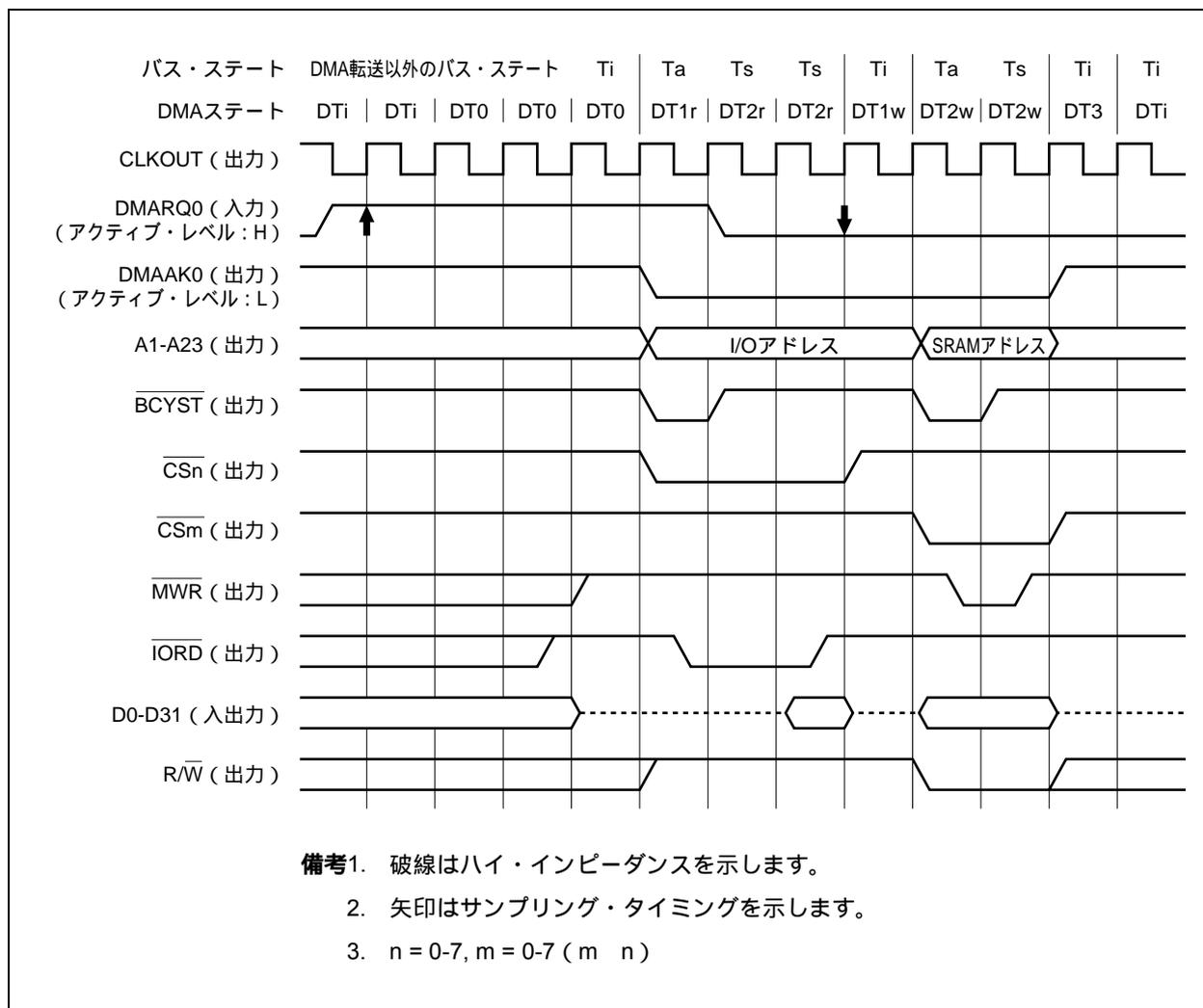
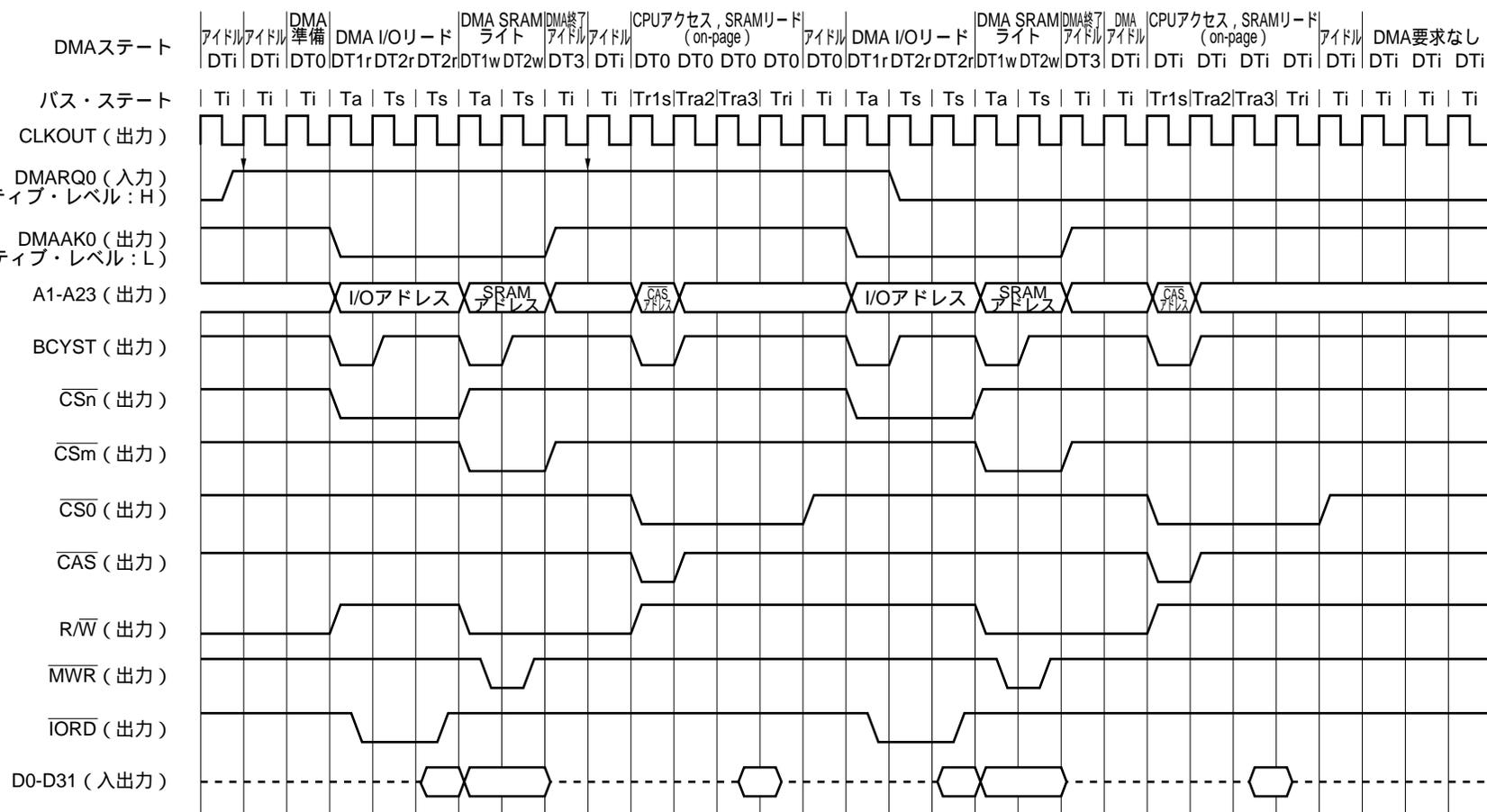


図8 - 14 シングル転送モード転送タイミング例 (外部I/O SRAM)



備考1. 破線はハイ・インピーダンスを示します。

2. 矢印はサンプリング・タイミングを示します。

3. $n = 1-7, m = 1-7 (m \leq n)$

4. DMA準備期間 (DMAステートのDT0に相当) や、1回目の転送と2回目の転送の間に挿入されるCPUサイクルは状況により異なります。DMARQ信号をサンプリングしたタイミングで、ほかの優先順位の高いバス・アクセス要求があれば、DMAサイクルを行います。DT0サイクルは最短で1サイクルです。

8.5.2 転送対象

転送の種類と対象の関係を次に示します。

DMA転送対象	転送種類
I/O (外部, 内部) -メモリ	2サイクル
メモリ-メモリ	2サイクル

- 注意1.** DMACは内蔵RAMにアクセスできません。
- DMACはCPUコア内の内部I/Oにアクセスできません。IN.W/OUT.W命令を使用してください。
 - DMA転送中にDMACレジスタへの書き込みは行わないでください。
 - キャッシュابل領域へDMA転送（書き込み）を行った場合は、メモリとキャッシュの値が異なるので、必要に応じてキャッシュのインバリッドを行うか、DMAにより書き込む領域をアンキャッシュابل領域にしてください。

8.6 DMAチャンネルの優先順位

DMAチャンネルの優先順位は固定で、次のようになります。

チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3

DMA転送要求をサンプリングするのは、DMAステートのDTiステートの立ち上がり時と、リード・サイクルの最終ステート直後の立ち上がり時だけです（リード・サイクルの最終ステートのサンプリングはダイヤモンド転送中だけ行われます）。このとき優先順位が有効になり、次の転送から優先順位が高いDMA転送が行われます。

8.7 DMA転送要求

DMA転送要求には、外部DMARQ端子からの要求、ソフトウェアからの要求、内蔵周辺ハードウェアからの要求の3種類があります。それぞれDMAチャンネル制御レジスタ（DCHC）で設定します。3種類のどの転送要求であってもDMAAK信号は出力します（内部I/OアクセスでもDMAAK信号は出力されます）。

DMARQ/PORTA, DMAAK/PORTA兼用端子の端子機能選択は、PACレジスタにて設定されます。初期値はPORTA端子となっています。（DMARQ/PORTA兼用端子をPORTA端子選択としているときに、DMA転送を行う場合は、DCHCレジスタのTTYPビットによって、DMA転送起動要因をDMARQに設定しないでください。また、DMARQ/PORTA兼用端子をDMARQ端子として使用する場合は、PACレジスタを設定してから、DMA転送を許可してください。）

8.7.1 DMARQ端子からの要求

DMARQ端子による要求は、DMAステートのDTiステートのクロックの立ち上がりでサンプリングされますが、対応するDMAAK信号がアクティブになるまで行ってください。

DMACがDTiステートのときにDMARQ端子がアクティブになると、DT0ステートに移行してDMA転送を開始します。

ダイヤモンド転送中のDMARQ端子による要求のサンプリングは、リード・サイクルの最終ステートの次のクロックの立ち上がりで行います。

ダイヤモンド転送時に次の転送を行わないようにするには、リード・サイクルの最終ステート直後の立ち上がりより前に、DMARQ信号をインアクティブにしてください。

8.7.2 ソフトウェアからの要求

ソフトウェアによる要求は、DCHCレジスタのENビットを1にするとDMA転送を開始します。

8.7.3 内蔵周辺ハードウェアからの要求

内蔵周辺ハードウェアからの転送要求信号（割り込み要求信号）には、次の4種類があります。

- ・ UARTからの送信終了割り込み要求（INTST）
- ・ UARTからの受信終了割り込み要求（INTSR）
- ・ CSIからの送受信終了割り込み要求（INTCSI）
- ・ RPUからのコンペア・レジスタ4（CM4）の一致割り込み要求（INTCM4）

内蔵周辺ハードウェアからの転送要求により1転送行われます。転送が終了する前に次の転送要求が発生しても、その要求は無視されます。1つの内蔵周辺ハードウェアからの転送要求を複数のチャンネルで使用することはできません。

シングル転送で使用してください。

内蔵周辺ハードウェアからの転送要求は、割り込み要求マスク・レジスタ（IMR）でマスクしていても発生します。内蔵周辺ハードウェアの割り込み要求をDMAの転送要求信号として使用する場合も、割り込み要求は発生します。内蔵周辺ハードウェアからの転送要求を使用時、同一内蔵周辺からの割り込み発生を望まないときは、割り込み要求マスク・レジスタで対応する割り込み要求をマスクしてください。

注意 内蔵周辺ハードウェアから転送要求する場合は、DMA転送の設定（転送許可設定を含む）が完了してから内蔵周辺ハードウェアからの転送要求を発生させてください。DMA転送を設定する前に内蔵周辺ハードウェアからの転送要求が発生している場合は、DMA転送設定直後に転送を行ってしまいます。次に例を2つ示します。

例1. 2つのタスク（タスク1とタスク2）でCSIのデータを処理する場合

タスク1：CSIからCPUの割り込み処理によるソフトウェア転送

タスク2：CSIからDMA転送

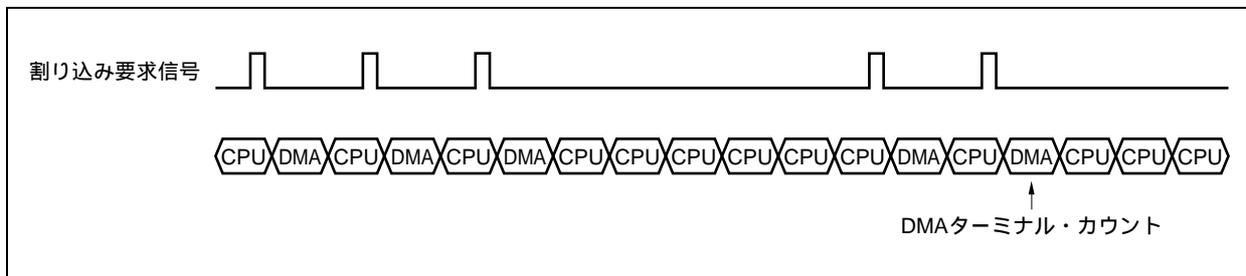
CSIにデータを受信してタスク1（ソフトウェア転送）でCSIのデータを受信したあとに、タスク2のDMA転送を設定すると、タスク1の割り込みによるDMA転送要求が保持された状態になっているため、タスク2のDMA転送を設定した途端にCSIにデータを受信していないのにDMA転送を行ってしまいます。

また、最初にDMARQ端子からDMA転送を起動する設定をしてから、内蔵周辺ハードウェアからDMA転送を起動する設定に変更した場合は、その内蔵周辺ハードウェアから1回でも割り込みが発生すると、内蔵周辺ハードウェアからの起動に切り換えた瞬間にDMA転送が起動されます。

例2. タイマ（CM4）の動作中に、ある期間だけINTCM4によるDMA転送する場合

割り込み要求レジスタ（IRR）にタイマ割り込みによる転送要求が保持されているため、DMA転送を許可した時点でDMA転送が開始されます。

図8 - 15 内蔵周辺ハードウェアからの要求による転送例



8.8 DMA転送終了割り込み

DMA転送が終了してDCレジスタのTCnビットが1になると、割り込みコントローラに対してDMA転送終了割り込み要求を発生します（表4-2 割り込み一覧（マスカブル割り込み）参照）。

8.8.1 TCnビット参照とDMA転送終了割り込みの動作

V832のDMACは、DMA転送が終了するとDMA転送終了割り込み（INTDMA）が発生するとともに、DMAコントロール・レジスタ（DC）のTCnビットの該当するチャンネルのビットがセット（1）されます。複数のDMAチャンネルを使用するシステムの場合は、INTDMAハンドラ内のTCnビットを読み出すタイミングと、INTDMAの割り込みラッチをクリアするタイミングに注意してください（ $n = 0-3$ ）。

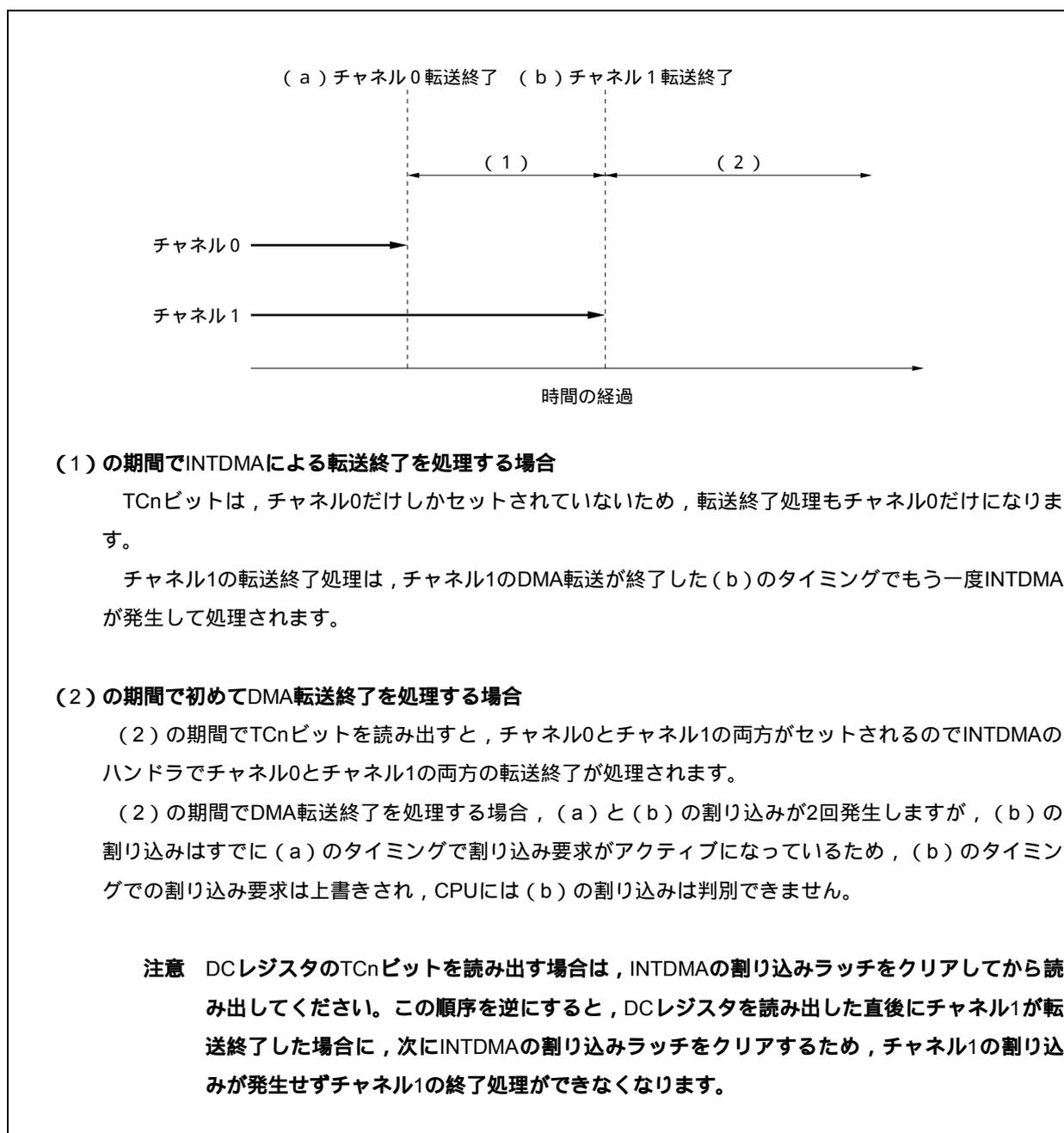
たとえば、2チャンネル（チャンネル0とチャンネル1）を使用してDMA転送している場合、INTDMAの割り込みハンドラは次に示す手順で処理してください。

DMA転送終了割り込み（INTDMA）の割り込みラッチをクリアします。

DMAコントロール・レジスタ（DC）のTCnビットを読み出します。

TCnがセットされているビットに該当するすべてのDMAチャンネルの転送終了を処理します。

図8 - 16 チャンネル0とチャンネル1の転送終了処理



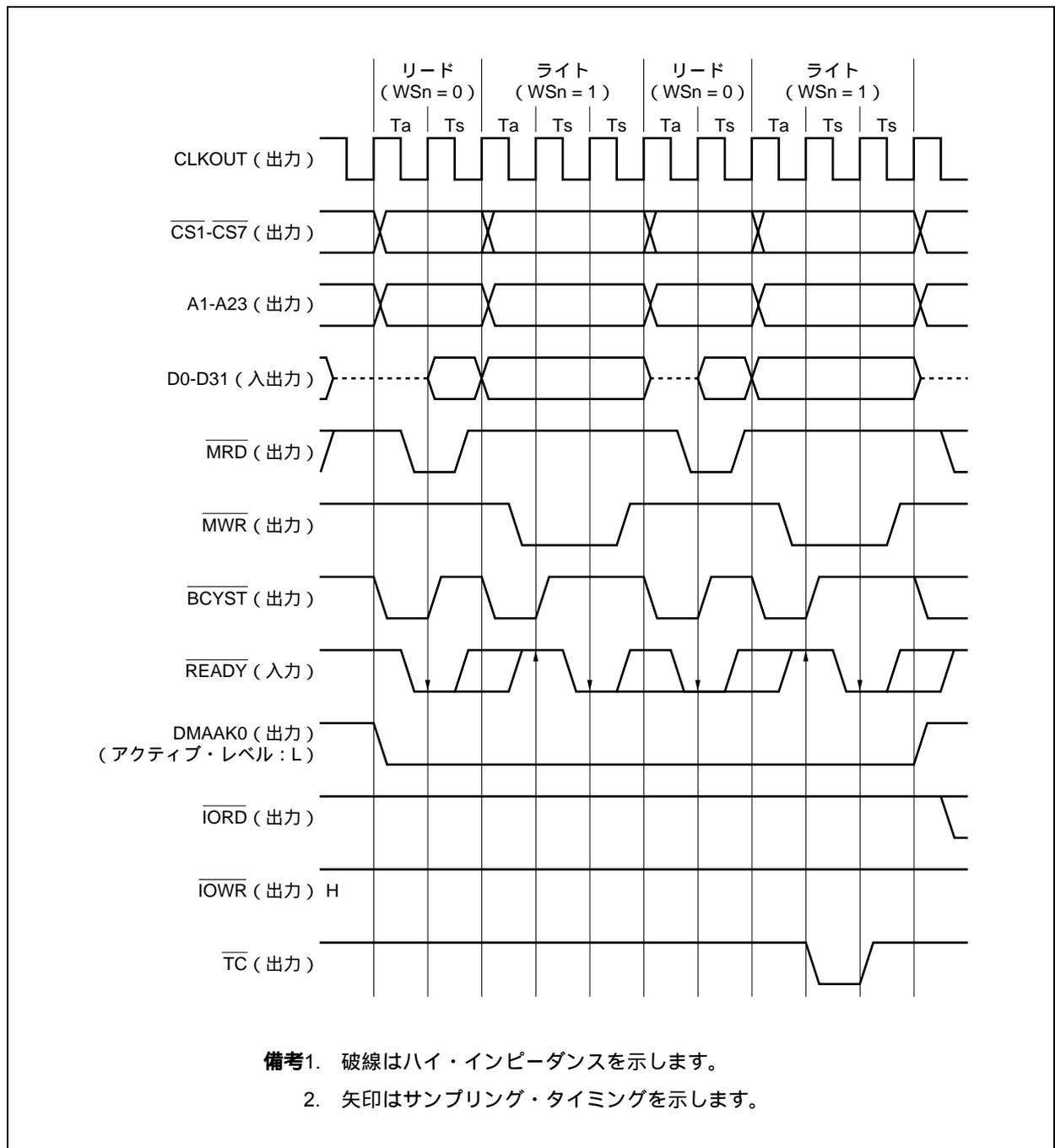
8.9 DMA転送終了出力

DMA転送が終了するライト・サイクルの $\overline{\text{BCYST}}$ 信号がアクティブになった次のクロックで、 $\overline{\text{TC}}$ 信号が1クロックの間アクティブになります（内蔵周辺I/Oライト時は、ライト・サイクルの2クロック目で出力）。図8 - 17にSRAM SRAM転送時の $\overline{\text{TC}}$ 信号の出力タイミングを示します。

$\overline{\text{TC}}$ 信号は、チャンネル0-3のDMA転送終了出力の論理和をとって出力します。外部回路でDMAAK0-DMAAK3信号と論理積をとることにより、チャンネル0-3のDMA転送終了出力を生成できます。

$\overline{\text{TC/STOPAK}}$ 兼用端子の端子機能選択は、DCレジスタで設定します。初期値では $\overline{\text{TC}}$ 端子が選択されています。

図8 - 17 DMA転送終了出力タイミング



8.10 強制中断

8.10.1 $\overline{\text{NMI}}$ 信号による中断

DMA転送中に $\overline{\text{NMI}}$ 信号入力により、DMA転送を強制的に中断（ライト・サイクル終了後中断）できます。このときDMACは、DCレジスタのMENビットを0にして、DMA転送を禁止します。また、この状態でMENビットを1にするとDMA転送を中断したところから再開します。

ノンマスカブル割り込み処理中に $\overline{\text{NMI}}$ 信号入力があった場合、CPUコアはこの割り込みを保留しますが、DMA転送の強制中断要求は保留されません。したがって、MENビット = 0のときに $\overline{\text{NMI}}$ 信号入力があってもDMA転送の強制中断要求は無視されます。

STOPモード中（バス・クロック停止）に $\overline{\text{NMI}}$ 信号入力があっても、MENビットは0になりません。バス・クロック出力が開始されても、 $\overline{\text{NMI}}$ 信号がアクティブであればMENビットは0になります。

8.10.2 $\overline{\text{HLDRQ}}$ 信号、リフレッシュによる一時中断

DMA転送中に $\overline{\text{HLDRQ}}$ 信号入力、またはSDRAMリフレッシュ要求により、DMA転送を一時中断（ライト・サイクル終了後中断）できます（5.9 バス・アービトレーション参照）。DMAより優先順位の高いバス・マスタがバスを解放すると、DMA転送を再開します。一時中断しているとき、DMAAK信号はインアクティブになります。

8.11 DMA転送のバス・サイジング

V832は、32ビットから16ビットへのバス・サイジング機能があります。32ビット・データを16ビット・データ・バスを介してアクセスする場合は、2回アクセスします。この連続した2回のアクセスは、バースト・サイクルになります。

図8 - 18に転送元16ビット (I/O) , 転送先32ビット・データ・バス幅 (SDRAM) の32ビット (ワード) デイマンド転送の例を示します。

図8 - 18 16-32ビット・データ・バス幅 (32ビット転送バス・サイジング)

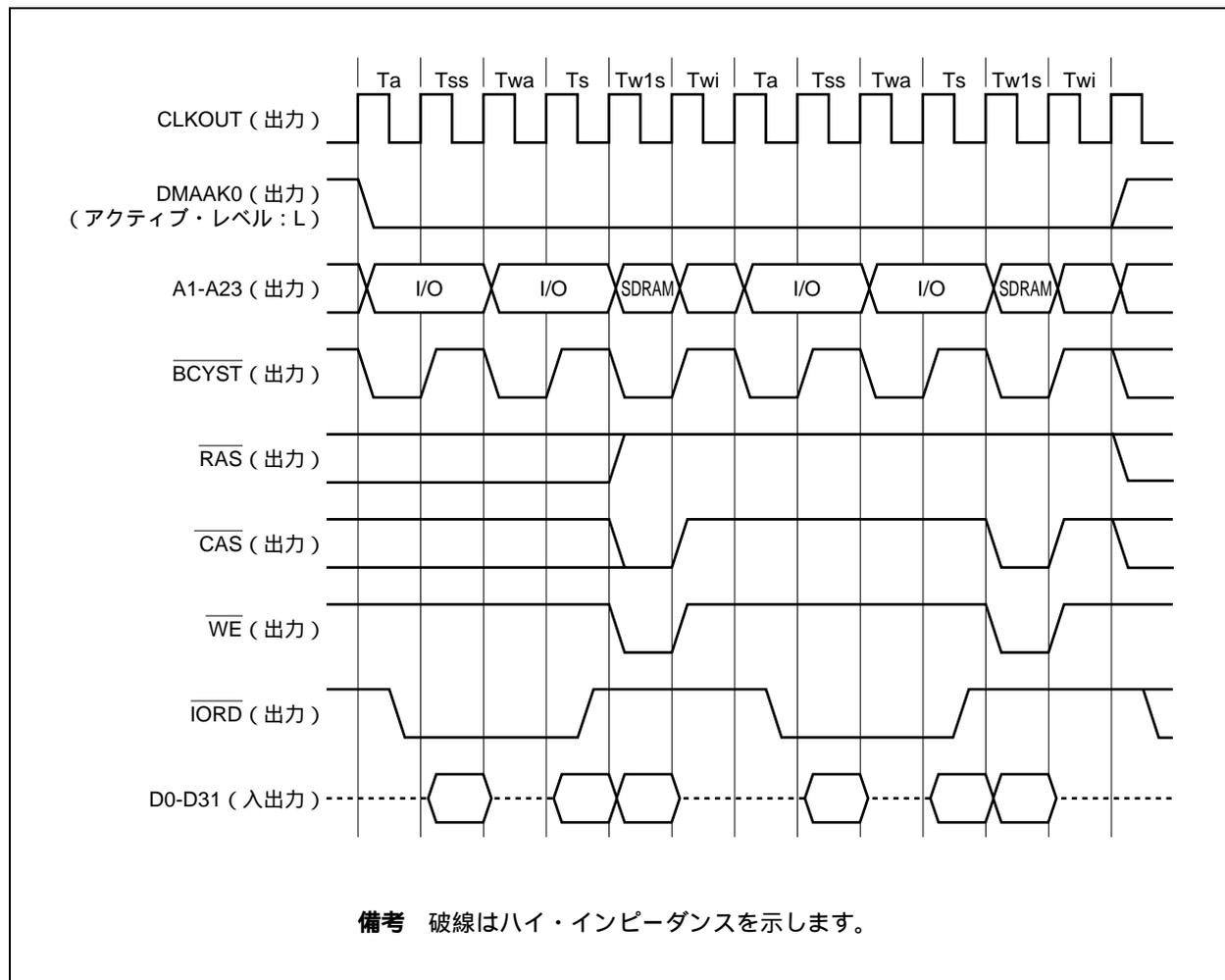
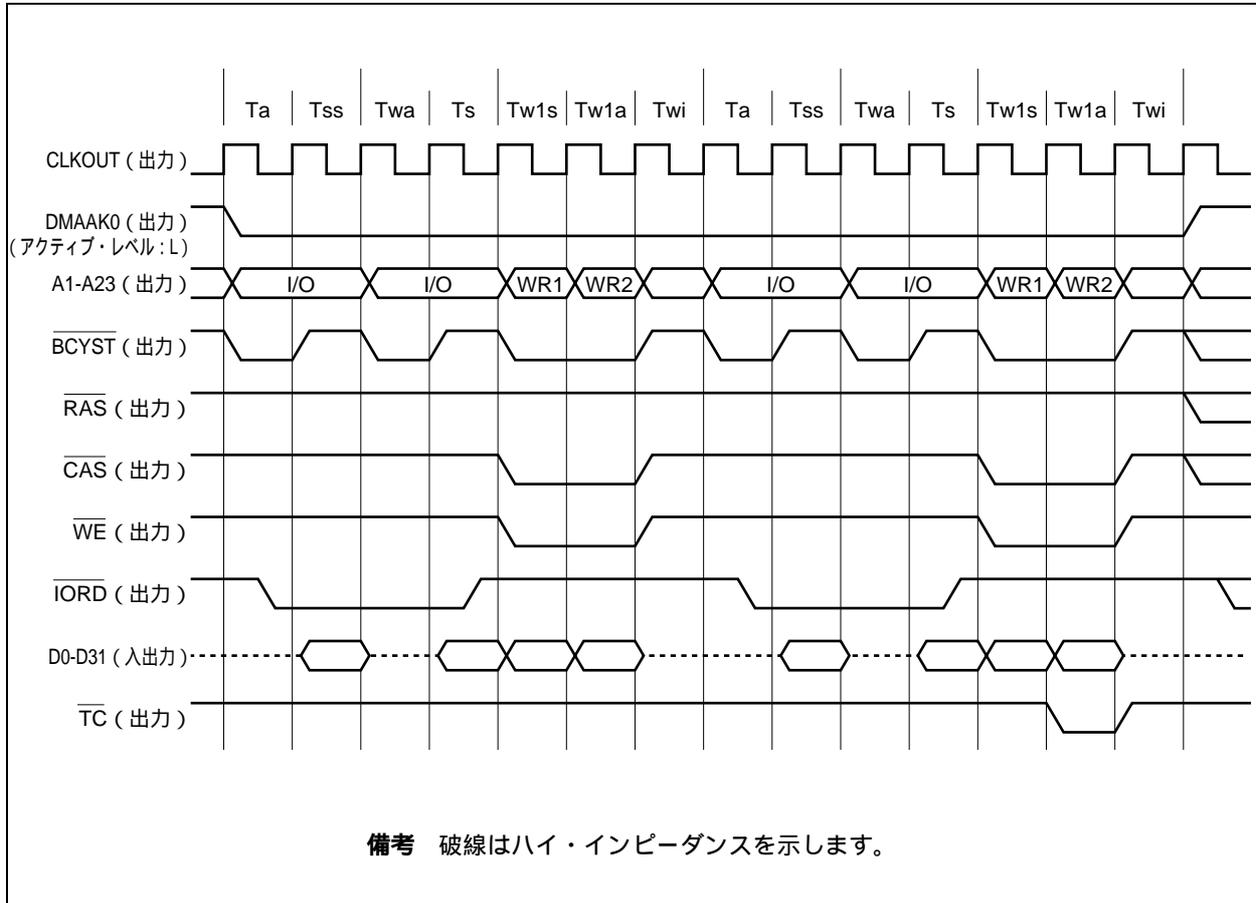


図8 - 19に転送元16ビット (I/O) , 転送先16ビット・データ・バス幅 (SDRAM) の32ビット (ワード) デイマンド転送の例を示します。

SDRAMライト・サイクルがバス・サイジングによってバースト・サイクルになる場合, \overline{TC} 信号の出力タイミングは T_{w1a} ステートになります。SDRAM以外の場合は, 1回目のライト・サイクルで \overline{TC} 信号を出力します。

図8 - 19 16-16ビット・データ・バス幅 (32ビット転送バス・サイジング)



第9章 シリアル・インタフェース機能

V832は、シリアル・インタフェース機能として2チャンネルの送受信チャンネルがあります。インタフェース形態としては次の2種類があり、それぞれ1チャンネルずつ備えています。

- ・アシンクロナス・シリアル・インタフェース：UART（Universal Asynchronous Receiver/Transmitter）
- ・クロック同期式シリアル・インタフェース：CSI（Clocked Serial Interface）

BRG（ボー・レート・ジェネレータ）は、1チャンネルを備えUART/CSIに排他的に使用できる構成になっています。

9.1 アシンクロナス・シリアル・インタフェース（UART）

9.1.1 概要

V832のUARTには次に示す特徴があります。

- ・送信バッファ・レジスタを持っていません。
- ・専用ボー・レート・ジェネレータを内蔵して、ボー・レートを任意に設定できます。

（1）送信バッファの削除

従来のUARTは送信側と受信側にそれぞれ送信バッファと受信バッファが設定されていますが、V832のUARTはハードウェアを軽減するために送信バッファを削除しています。送信シフト・レジスタへのデータ転送により送信処理を開始します。したがって、送信バッファに対する送信許可制御機能やCTS（シリアル送信制御）端子入力による送信処理制御機能も削除しているので、割り込み制御のソフトウェア処理で対応してください。

なお、受信バッファについては従来どおり設定されています。

（2）専用ボー・レート・ジェネレータの内蔵

V832は、シリアル・クロックを発生する専用ボー・レート・ジェネレータを1チャンネル内蔵しているので、精度の良いシリアル転送レートを設定できます。

9.1.2 特 徴

全二重通信 受信バッファ (RXB) 内蔵 (送信バッファ (TXB) は内蔵していません)

2端子構成 (V832のUARTはSCLK端子, CTS端子がありません)

- ・TXD 送信データ出力端子
- ・RXD 受信データ入力端子

転送速度: 300 bps-153600 bps (バス・クロック47.6 MHz, BRG使用時)

: 150 bps-76800 bps (バス・クロック: 35.7MHz, BRG使用時)

ボート・ジェネレータを内蔵

シリアル・クロック・ソースは, ボート・ジェネレータ出力とバス・クロック (ϕ) から選択可能

受信エラー検出機能

- ・パリティ・エラー
- ・フレミング・エラー
- ・オバラン・エラー

割り込みソース (3種類)

- ・受信エラー割り込み (INTSER)

3種類の受信エラーの論理和で割り込み要求を発生します (エラー内容の詳細は, 9.1.4 (3) **アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS0)** を参照)。

- ・受信終了割り込み (INTSR)

受信許可状態のとき, シフト・レジスタから受信バッファへ受信データの転送が終了すると受信終了割り込み要求が発生します。

- ・送信終了割り込み (INTST)

シリアル送信を行って, シフト・レジスタから送信データ (9/8/7ビット) をシリアル送信し終わると送信終了割り込み要求を発生します。送受信データのキャラクタ長は, ASIM00, ASIM01レジスタで指定します。

キャラクタ長: 7, 8ビット

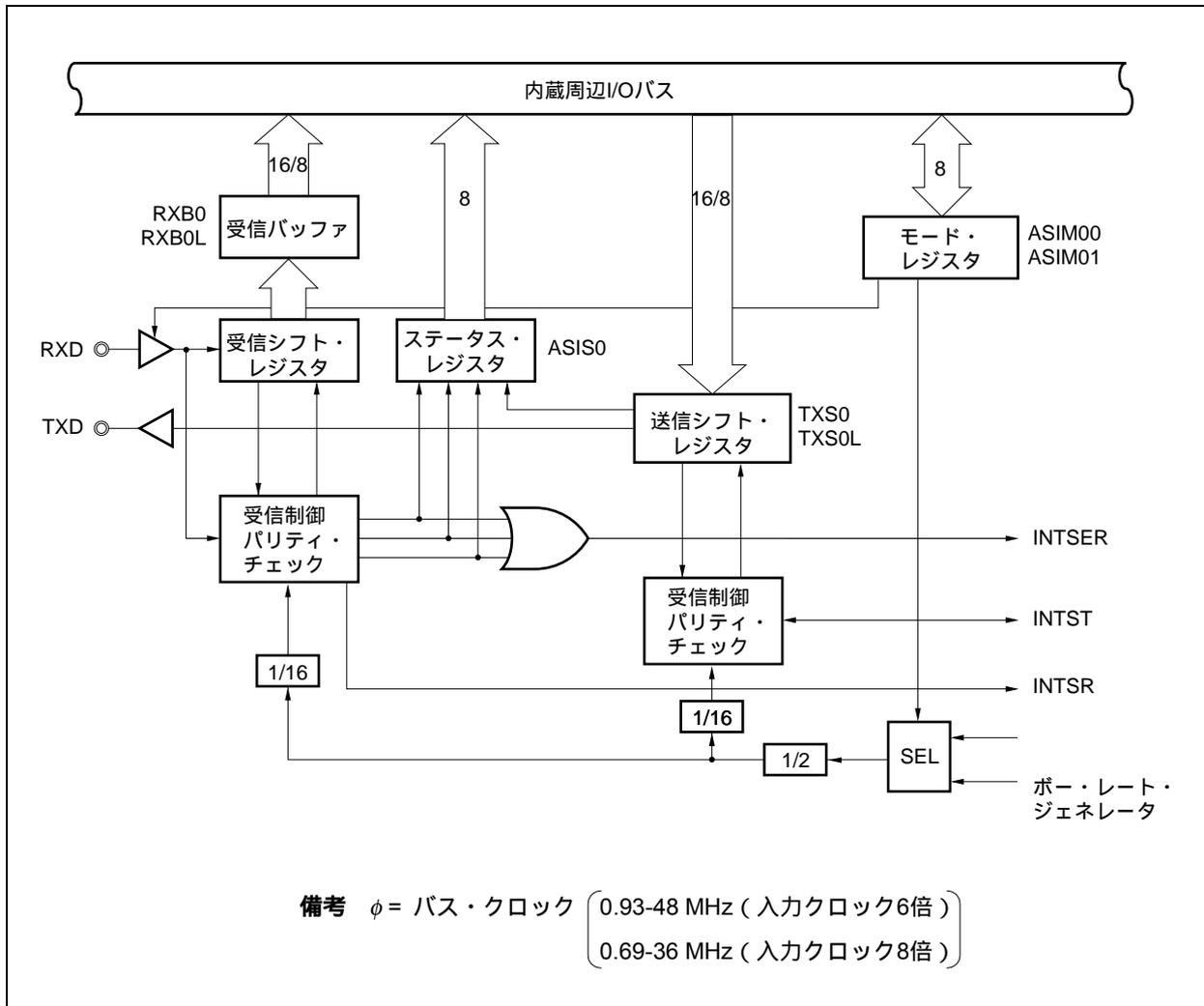
: 9ビット (拡張ビット付加時)

パリティ機能: 奇数, 偶数, 0, なし

送信ストップ・ビット: 1, 2ビット

9.1.3 構成

図9-1 UARTのブロック図



9.1.4 モード・レジスタとコントロール・レジスタ

(1) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

UARTの転送モードを指定します。8ビット単位でリード/ライトできます。

注意 UARTの送受信中にASIM00の値を変更した場合の動作は保証できません。

図9-2 アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) (1/2)

アドレス：C0000090H

	7	6	5	4	3	2	1	0
ASIM00	1	RXE0	PS01	PS00	CL0	SL0	0	SCLS0

初期値：

1	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

R/W： R R/W R/W R/W R/W R/W R R/W

ビット	ビット名	説明															
6	RXE0	Receive Enable 受信許可状態 / 禁止状態を指定します。 0：受信禁止状態 1：受信許可状態 受信禁止時に受信シフト・レジスタはスタート・ビットを検出しません。シフト・イン処理，受信バッファへの転送処理は行わず，受信バッファの内容は保持されます。受信許可状態中はスタート・ビットの検出に同期して受信シフト動作を開始し，1フレーム分の受信を終了すると受信シフト・レジスタの内容を受信バッファに転送します。また，受信バッファへの転送に同期して，受信終了割り込み (INTSR0) を発生します。															
5, 4	PS01, PS00	Parity Select パリティ・ビットを指定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 5%;">PS01</th> <th style="width: 5%;">PS00</th> <th style="width: 90%;">動作</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>パリティなし</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>0パリティ指定 送信側 パリティ・ビットを0にして送信 受信側 受信時にパリティ・エラーを発生しない</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>奇数パリティ指定</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>偶数パリティ指定</td> </tr> </tbody> </table>	PS01	PS00	動作	0	0	パリティなし	0	1	0パリティ指定 送信側 パリティ・ビットを0にして送信 受信側 受信時にパリティ・エラーを発生しない	1	0	奇数パリティ指定	1	1	偶数パリティ指定
PS01	PS00	動作															
0	0	パリティなし															
0	1	0パリティ指定 送信側 パリティ・ビットを0にして送信 受信側 受信時にパリティ・エラーを発生しない															
1	0	奇数パリティ指定															
1	1	偶数パリティ指定															
3	CL0	Character Length 1フレームのキャラクタ長を指定します。 0：7ビット 1：8ビット															
2	SL0	Stop Bit Length ストップ・ビット数を指定します。 0：1ビット 1：2ビット															

図9-2 アシクロナス・シリアル・インタフェース・モードレジスタ00 (ASIM00) (2/2)

アドレス：C0000090H

	7	6	5	4	3	2	1	0
ASIM00	1	RXE0	PS01	PS00	CL0	SL0	0	SCLS0

初期値：

1	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

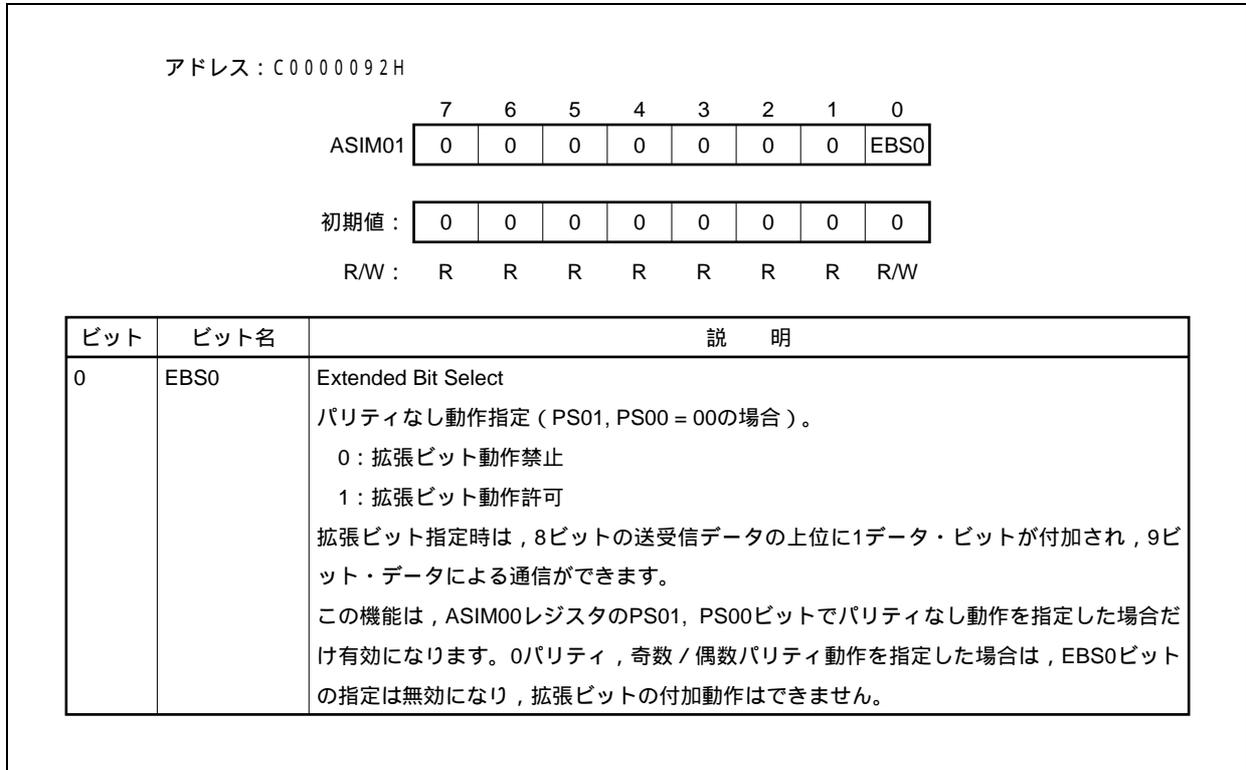
R/W: R R/W R/W R/W R/W R/W R R/W

ビット	ビット名	説明														
0	SCLS0	<p>Serial Clock Source</p> <p>シリアル・クロック・ソースを指定します。</p> <p>0: ボー・レート・ジェネレータ出力</p> <p>1: (バス・クロック)</p> <p>シリアル・クロックは、ASIM00レジスタのSCLS0ビットで指定されたシリアル・クロック・ソースを2分周したクロックです。シリアル・クロックの16分周したクロックがUARTのボー・レート・クロックになります。</p> <p>・ SCLS0 = 1の場合</p> <p>シリアル・クロック・ソースに (バス・クロック) が選択されます。×16のサンプリング・レートを使用しているため、ボー・レートは次の式で表せます。</p> <p>ボー・レート = $f_{clk} / 2 / 16$ (bps)</p> <p>上記の式に基づき代表的クロックを使用した場合のボー・レートの値を次に示します。</p> <table border="1" style="margin-left: 40px;"> <tr> <td></td> <td>47.6 MHz</td> <td>35.7 MHz</td> <td>33 MHz</td> <td>25 MHz</td> <td>20 MHz</td> <td>16 MHz</td> </tr> <tr> <td>ボー・レート (bps)</td> <td>1488K</td> <td>1116K</td> <td>1031K</td> <td>781K</td> <td>625K</td> <td>500K</td> </tr> </table> <p>・ SCLS0 = 0の場合</p> <p>シリアル・クロック・ソースとして、ボー・レート・ジェネレータ出力が選択されます。ボー・レート・ジェネレータの詳細は、9.3 ボー・レート・ジェネレータを参照してください。</p>		47.6 MHz	35.7 MHz	33 MHz	25 MHz	20 MHz	16 MHz	ボー・レート (bps)	1488K	1116K	1031K	781K	625K	500K
	47.6 MHz	35.7 MHz	33 MHz	25 MHz	20 MHz	16 MHz										
ボー・レート (bps)	1488K	1116K	1031K	781K	625K	500K										

(2) アシクロナス・シリアル・インタフェース・モードレジスタ01 (ASIM01)

UARTの転送モードを指定します。8ビット単位でリード/ライトできます。

図9-3 アシクロナス・シリアル・インタフェース・モードレジスタ01 (ASIM01)



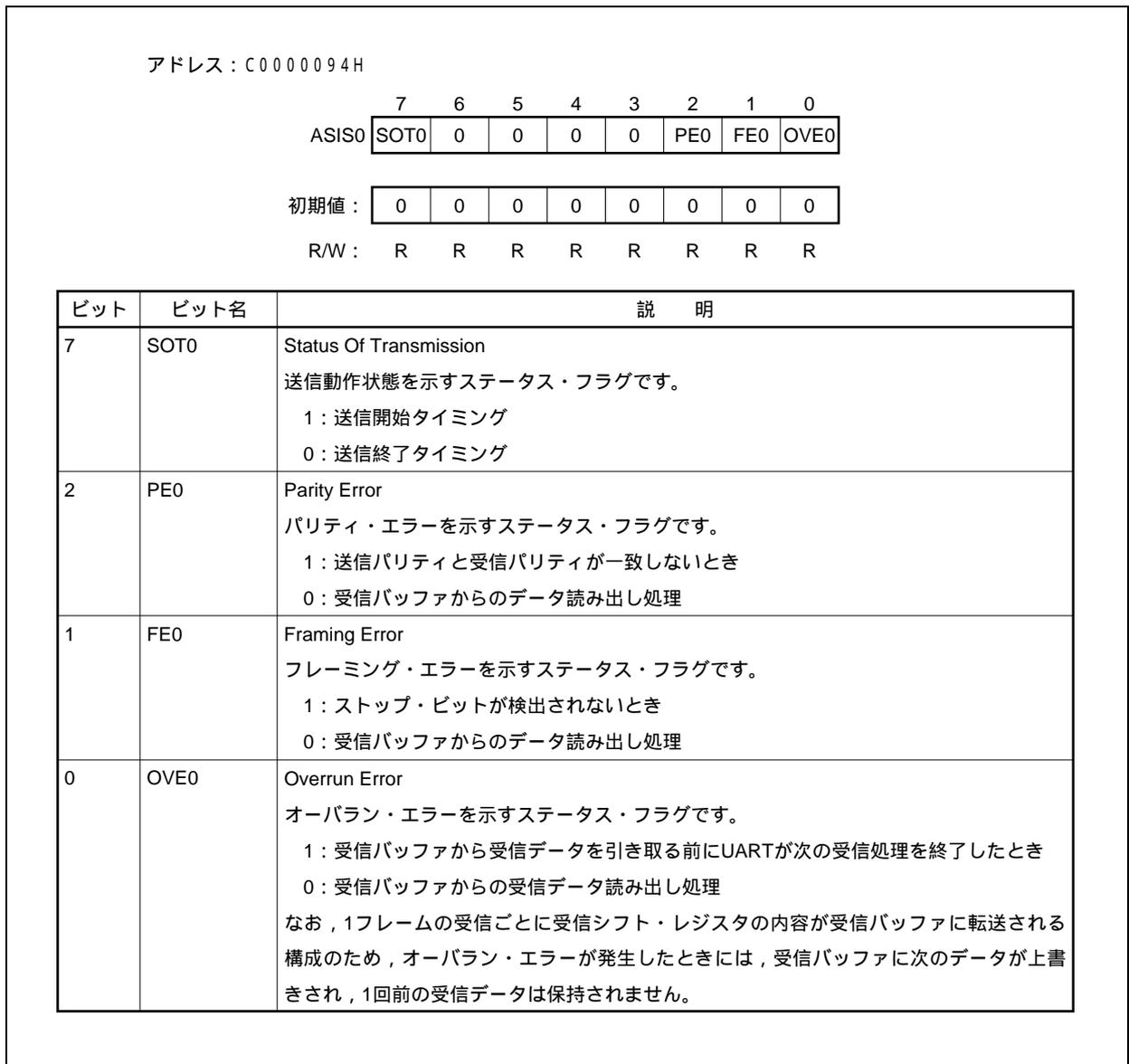
(3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS0)

UARTの受信終了時のエラー・ステータスを示す3ビットのエラー・フラグと、送信ステータス・フラグで構成されるレジスタです。8ビット単位でリードだけです。

受信エラーが発生した場合は、このレジスタの内容を読み出したあと、受信バッファRXB0またはRXB0Lの内容を読み出し、エラー・フラグを0にクリアしてください。

受信エラーを示すステータス・フラグは、常に最も新しく発生したエラーの状態を示しています。つまり、受信データの読み出し前に複数回の同一エラーが発生した場合、最後に発生したエラーの状態だけを保持します。

図9-4 アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS0)



(4) 受信バッファ (RXB0, RXB0L)

RXB0は、受信データを保持する9ビットのバッファ・レジスタです。7, 8ビット/キャラクタの受信では上位に0が格納されます。

このレジスタへのハーフワード (16ビット) アクセス時はRXB0を、バイト・アクセス時はRXB0Lを指定します。リードだけです。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。また、受信バッファへの転送により、受信終了割り込み要求 (INTSR) が発生します。

受信禁止状態中は、1フレーム分のシフト・イン処理が終了しても受信バッファへの転送処理は行われず、受信バッファの内容は保持されます。また、受信終了割り込み要求 (INTSR) も発生しません。

RXEB0は、拡張ビットです。ASIM01レジスタで拡張ビット動作許可を指定したときは、RXEB0ビットに拡張ビットが格納されます。また、拡張ビット動作禁止を指定したときは、0が格納されます。

図9 - 5 受信バッファ (RXB0, RXB0L)



(5) 送信シフト・レジスタ (TXS0, TXS0L)

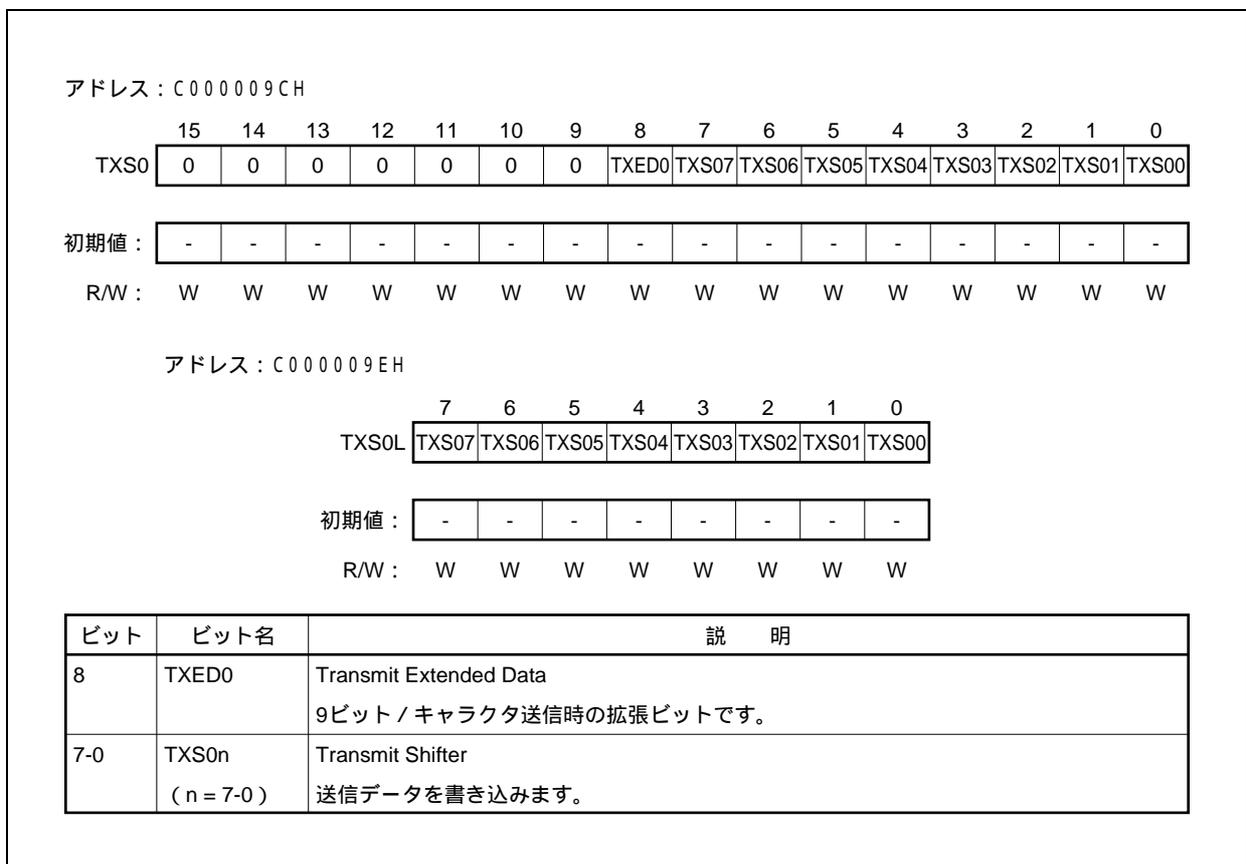
TXS0は、9ビットの送信処理用シフト・レジスタです。このレジスタへのデータ書き込みにより、送信動作を開始します。

V832のUARTは送信バッファがないため、送信終了（バッファへの転送終了）による割り込み要求ではなく、TXS0のデータを含む1フレームの送出終了に同期して送信終了割り込み要求（INTST）が発生します。

このレジスタへのハーフワード（16ビット）アクセス時はTXS0を、バイト・アクセス時はTXS0Lを指定します。

TXED0は、拡張ビットです。ASIM01レジスタで拡張ビット動作許可を指定したときは、TXED0ビットに拡張ビットが格納されます。また、拡張ビット動作禁止を指定したときは、0が格納されます。

図9 - 6 送信シフト・レジスタ (TXS0, TXS0L)



9.1.5 端子機能

(1) TXD

送信データの出力端子です。
非送信時は、ハイ・レベルを出力します。

(2) RXD

受信データの入力端子です。

注意 UARTの端子は、入出力ポートと兼用端子になっています。初期状態では入出力ポートに選択されているため、ポート・コントロール・モード・レジスタ(PC)のPC4, PC3ビットをUART(1)に設定することが必要です(11.2.2(3)ポート・コントロール・モード・レジスタ(PC)参照)。

UARTの設定の前にPCの設定をしてください。PCが入出力ポート側(0)のままでは、UARTへのRXD入力はロウ・レベルにマスクされているため、動作してしまう恐れがあります。

9.1.6 割り込み要求

UARTからは次の3種類の割り込み要求が発生します。

(1) 受信エラー割り込み(INTSER)

受信許可状態中で3種類の受信エラーの論理和で受信エラー割り込み要求が発生します(図9-4 アシクロナス・シリアル・インタフェース・ステータス・レジスタ(ASIS0)参照)。

受信禁止状態中は、受信エラー割り込み要求は発生しません。

(2) 受信終了割り込み(INTSR)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされ受信バッファに転送されると受信終了割り込み要求が発生します。受信終了割り込み要求は、受信エラーが起こった場合にも発生します。

受信禁止状態中は、受信終了割り込み要求は発生しません。

(3) 送信終了割り込み(INTST)

V832のUARTは送信バッファがないため、送信シフト・レジスタから7ビット/8ビット/9ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされると、送信終了割り込み要求が発生します。送信終了割り込み要求は、送信データの最終ビットの送信開始時に出力されます。

送信終了割り込みと受信終了割り込みを使用して、DMA転送ができます(第8章 DMA機能を参照)。

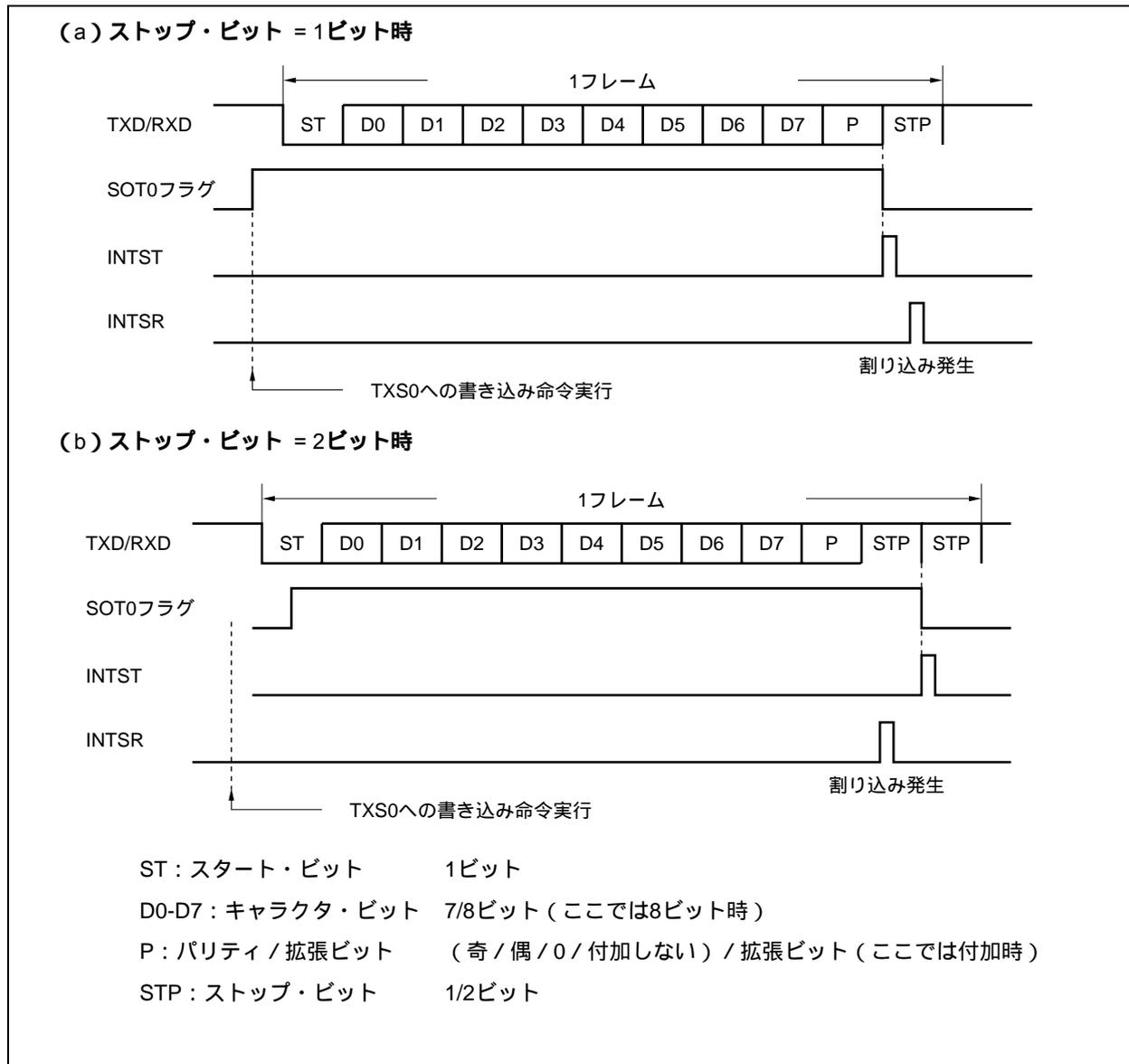
9.1.7 基本動作

(1) データ・フォーマット

送受信データ・フォーマットを図9-7に示します。

スタート・ビット，キャラクタ・ビット，パリティ・ビット，ストップ・ビットで1フレームを構成します。

図9-7 UARTの送受信データ・フォーマット



(2) 送信

(a) 送信許可状態

UARTは、常に送信許可状態になっています。また、V832のUARTはCTS (シリアル送信制御) 入力端子がないので、相手側が受信状態であるかを確認する場合は、汎用入力ポートを使用してください。

(b) 送信動作の起動

送信シフト・レジスタ (TXS0, TXS0L) にデータを書き込むと送信動作を起動します。

(c) 送信割り込み要求

最後のストップ・ビットを送出すると送信終了割り込み要求が発生します。

注意 TXS0が空の状態は、送信終了割り込みの要因ではありません。1フレーム分の送出終了が送信終了割り込みを発生する要因となります。したがって、リセット解除後にTXS0が空であるために送信終了割り込みが発生することはありません。

(3) 受信**(a) 受信許可状態**

受信動作は、ASIM00レジスタのRXE0ビットをセット (1) すると許可状態になります。

- ・ RXE0 = 1 (受信許可状態)
- ・ RXE0 = 0 (受信禁止状態)

受信禁止状態では、受信ハードウェアは初期状態で待機します。このとき、受信終了割り込み要求 / 受信エラー割り込み要求は発生しないで、受信バッファの内容は保持されます。

(b) 受信動作の起動

受信動作は、スタート・ビットの検出により起動されます。

ポット・ジェネレータまたはバス・クロックからのシリアル・クロックで、RXD端子をサンプリングします。RXD端子の立ち下がりエッジを検出してから8シリアル・クロック後、再びRXD端子をサンプリングし、ロウ・レベルを確認するとスタート・ビットと認識して受信処理動作に移り、以降16シリアル・クロック単位にRXD端子入力をサンプリングします。

RXD端子の立ち下がりエッジを検出してから8シリアル・クロック後のサンプリングで、ハイ・レベルを確認すると、この立ち下がりエッジをスタート・ビットと認識せず、サンプル・タイミング発生用のシリアル・クロック・カウンタは初期化されて動作を停止し、次の立ち下がりエッジ入力を待ちます。また、受信許可状態で受信待ちのときには、RXD端子のレベルはハイ・レベルを維持してください。

(c) 受信終了割り込み要求

受信許可状態 (RXE0 = 1) のとき、1フレーム分のデータの受信が終了すると、シフト・レジスタ内の受信データがRXB0に転送され、受信終了割り込み要求が発生します。

受信禁止状態 (RXE0 = 0) では、受信終了割り込み要求は発生しません。

(d) 受信エラー・フラグ

受信動作に同期して、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類のエラー・フラグ (ASIS0レジスタの0-2ビット) が影響を受けます。この3つの各エラー・フラグの論理和で、受信エラー割り込み要求が発生します。

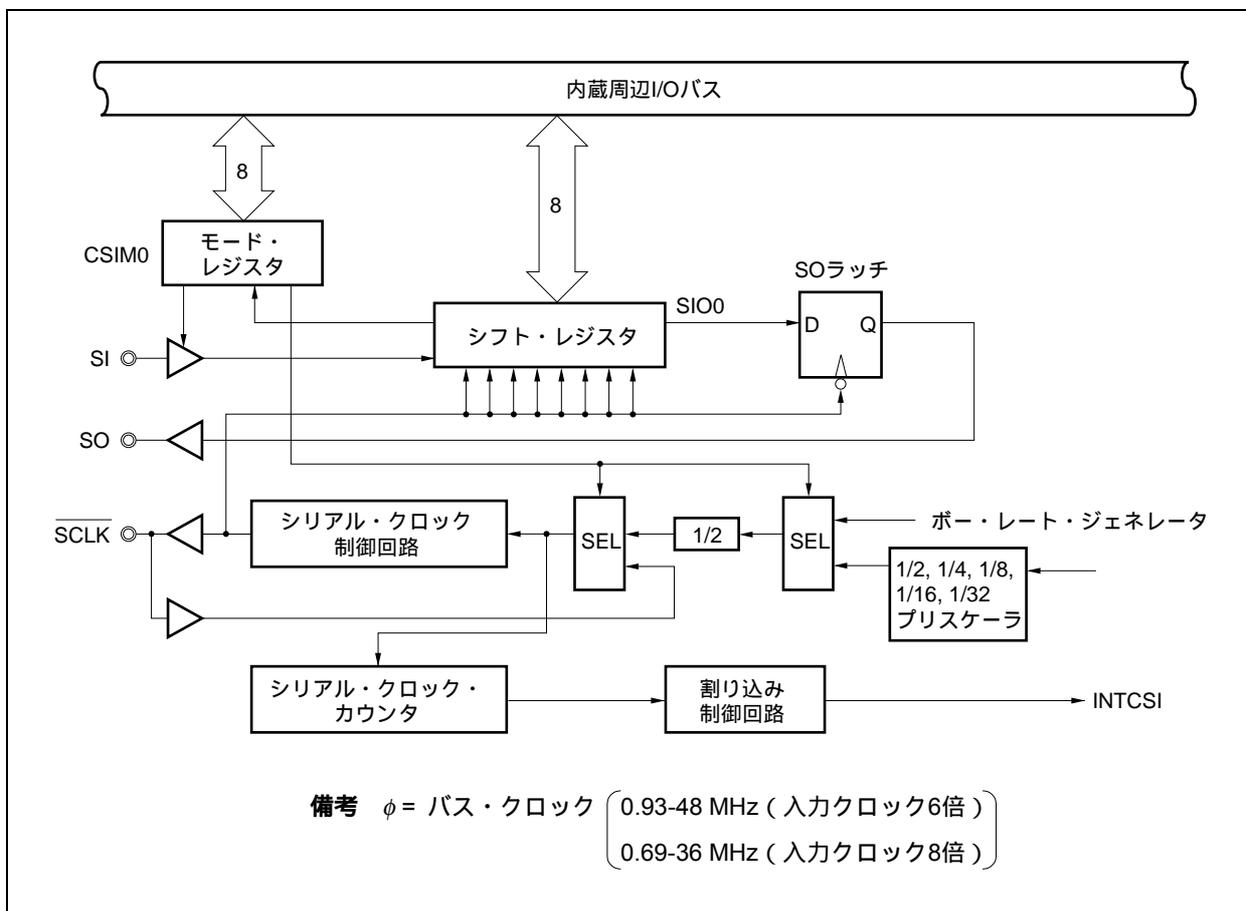
9.2 クロック同期式シリアル・インタフェース (CSI)

9.2.1 特 徴

- 高速転送 最大12 Mbps (バス・クロック : 48 MHz)
- 送受信は同時で半二重通信可能 (バッファは備えていません)
- キャラクタ長 : 8ビット
- 外部 / 内部シリアル・クロック選択

9.2.2 構 成

図9 - 8 CSIのブロック図



9.2.3 モード・レジスタとコントロール・レジスタ

(1) クロック同期式シリアル・インタフェース・モード・レジスタ0 (CSIM0)

CSIの基本動作モードを指定します。8ビット単位でリード/ライトできます(ただし、CSOT0(ビット5)はリードだけ)。

図9-9 クロック同期式シリアル・インタフェース・モード・レジスタ0 (CSIM0) (1/2)

アドレス: C00000A0H

7	6	5	4	3	2	1	0	
CSIM0	CTXE0	CRXE0	CSOT0	MOD0	0	CLS02	CLS01	CLS00

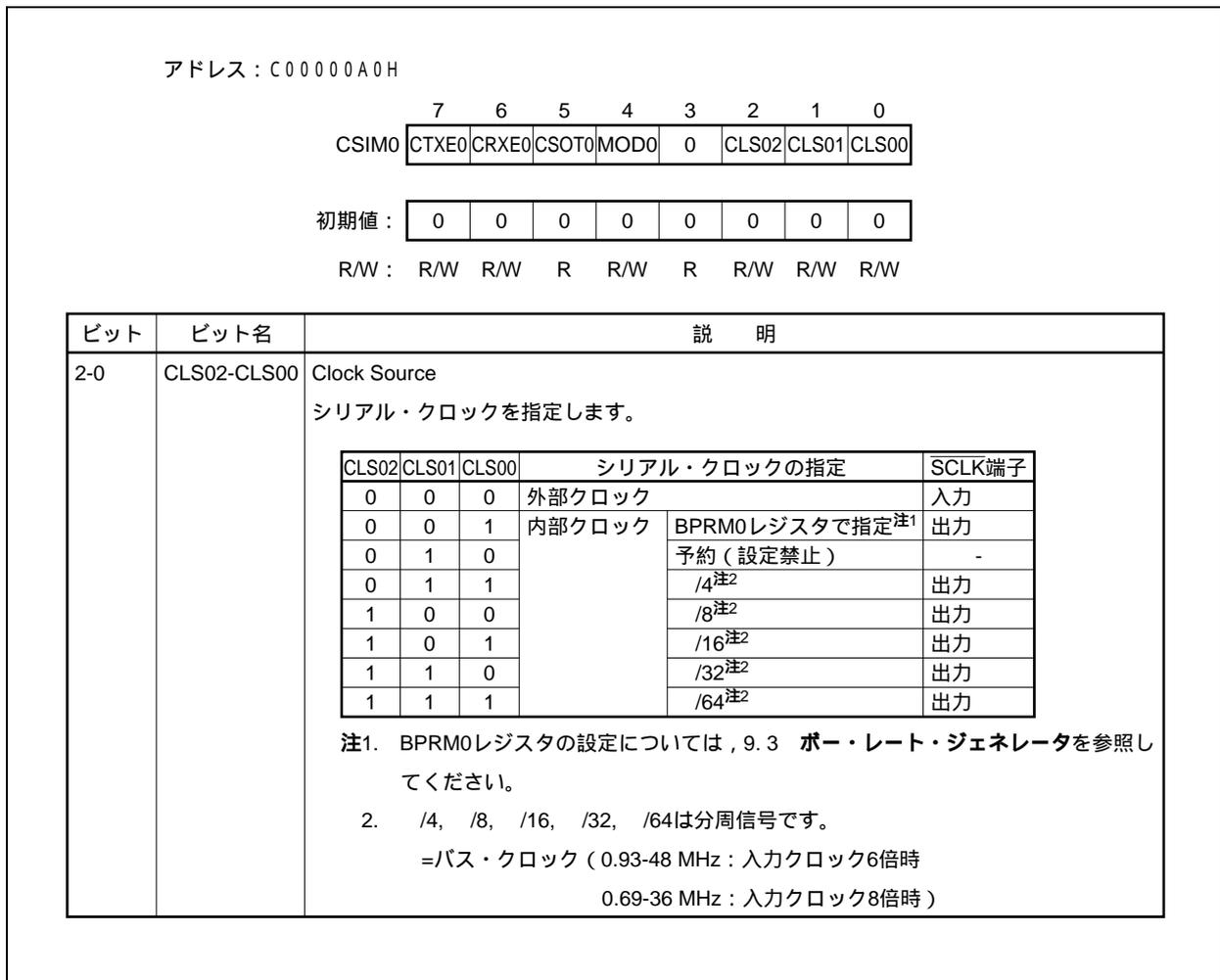
初期値:

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

R/W: R/W R/W R R/W R R/W R/W R/W

ビット	ビット名	説明
7	CTXE0	CSI Transmit Enable 送信許可状態/禁止状態を指定します。 0: 送信禁止状態 1: 送信許可状態 CTXE0 = 0のとき, SO端子の出力バッファはハイ・インピーダンスになります。
6	CRXE0	CSI Receive Enable 受信許可状態/禁止状態を指定します。 0: 受信禁止状態 1: 受信許可状態 送信許可状態 (CTXE0 = 1) で受信禁止状態のときに, シリアル・クロックを入力した場合は, シフト・レジスタに0が入力されます。
5	CSOT0	CSI Status Of Transmission 転送動作中であることを示します。 0: 転送終了 (SIO0レジスタへの書き込み) 1: 転送動作中 (INTCSI発生) 転送動作中 (CSOT0 = 1) のときは, 次の送信, 受信動作の起動は受け付けません。
4	MOD0	Mode 先頭ビットを指定します。 0: MSB先頭 1: LSB先頭

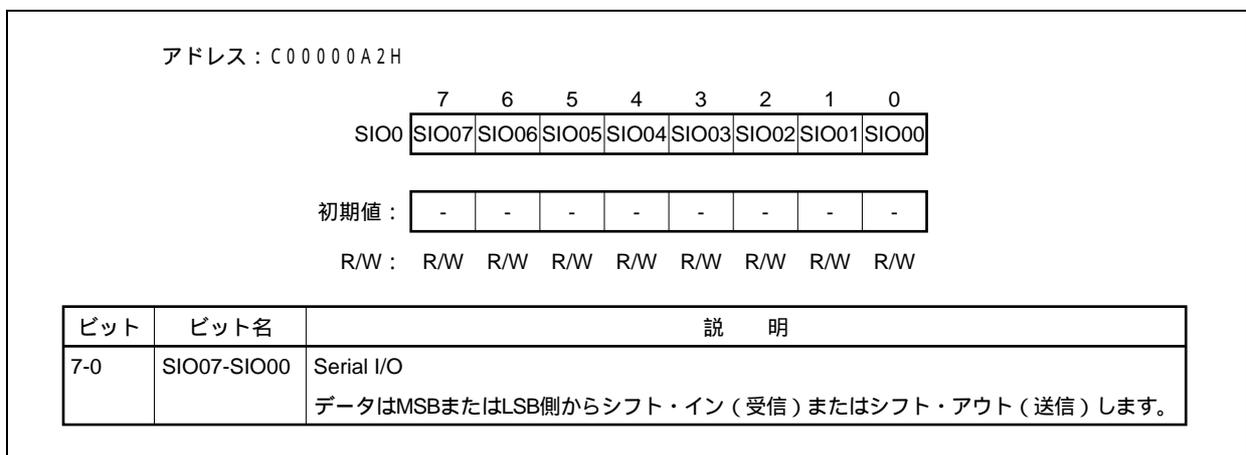
図9 - 9 クロック同期式シリアル・インタフェース・モードレジスタ0 (CSIM0) (2/2)



(2) シリアルI/Oシフト・レジスタ0 (SIO0)

パラレル・データをシリアル・データに、シリアル・データをパラレル・データに変換するレジスタです。CTXE0 = 1またはCRXE0 = 1のときにシフト動作を行います。8ビット単位でリード/ライトできません。

図9 - 10 シリアルI/Oシフト・レジスタ0 (SIO0)



9.2.4 端子機能

クロック同期式シリアル・インタフェース（CSI）は、次に示す端子を使用します。これらの端子は、入出力ポートと兼用端子になっています。初期状態では入出力ポートが選択されているため、CSIを使用する場合は、ポート・コントロール・モード・レジスタ（PC）のPC2-PC0ビットをCSIインタフェースに設定してください（11.2.2（3）ポート・コントロール・モード・レジスタ（PC）参照）。

- ・ SO : シリアル・データ出力端子
- ・ SI : シリアル・データ入力端子
- ・ SCLK : シリアル・クロック入出力端子（モード切り換えは、CSIM0レジスタで指定してください。）

9.2.5 基本動作

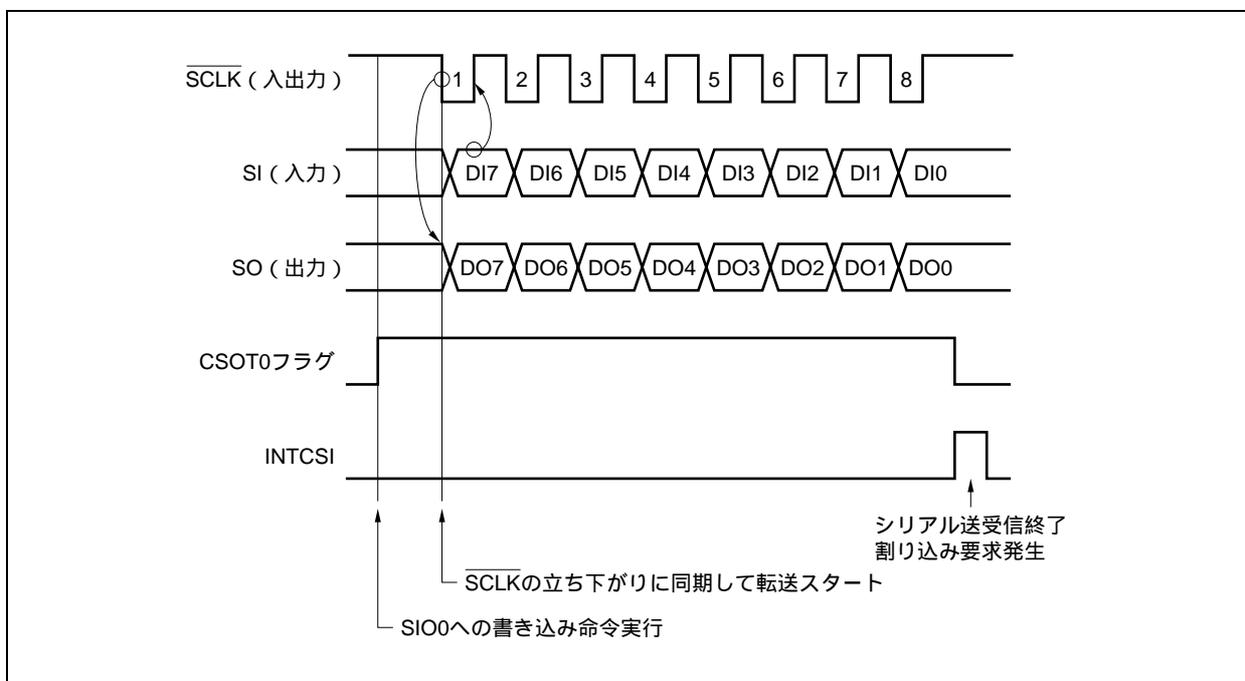
（1）転送フォーマット

V832のCSIでは、1本のクロック・ラインと2本のデータ・ラインの3線でインタフェースします。シリアル転送は、SIO0レジスタに対する転送データの書き込み命令を実行するとスタートします。

送信の場合は、SCLK信号の立ち下がりに同期してSO端子からデータを出力します。受信の場合は、SCLK信号の立ち上がりに同期してSI端子の入力データをラッチします。

シリアル・クロック・カウンタのオーバフロー（8カウント目のSCLK信号の立ち上がり）で、SCLK信号は停止して、割り込み要求信号（INTCSI）が発生します。

図9 - 11 CSIの転送タイミング



(2) 送受信許可

V832のCSIは、8ビット・シフト・レジスタが1つだけあり、バッファがないため、送信と受信は同時に行います。

(a) 送受信許可条件

- CTXE0 = 1の場合、送信を許可します。
- CRXE0 = 1の場合、受信を許可します。
- CTXE0 = CRXE0 = 1の場合、送受信を許可します。

(i) CTXE0によるSIO出力の禁止

- CTXE0 = 0の場合、シリアル出力はハイ・インピーダンスになります。
- CTXE0 = 1の場合、シフト・レジスタのデータを出力します。

(ii) CRXE0によるSIO入力禁止

- CRXE0 = 0の場合、シフト・レジスタ入力は0になります。
- CRXE0 = 1の場合、シリアル入力がシフト・レジスタに入力されます。

(iii) 送信データのチェックを行う場合

SI信号とSO信号を接続し2線式で使用する場合、送信データを自分自身で受信し、バスの競合が発生していないかチェックをするために、CTXE0 = CRXE0 = 1にします。

(b) 送受信動作の起動

送受信動作の起動（スタート）は、シフト・レジスタに対するリード/ライトにより行います。送信許可ビット（CTXE0）、受信許可ビット（CRXE0）を次に示すように設定すると送信、受信のスタート制御を行います。なお、内部クロック・モード時は、このスタート条件でSCLKクロックが発生して転送スタートしますが、外部クロック・モード時は、スタート条件後のSCLKクロックで転送スタートします。

表9 - 1 スタート条件

CTXE0	CRXE0	スタート条件
0	0	スタートしない
0	1	シフト・レジスタ読み出し
1	0	シフト・レジスタ書き込み
1	1	シフト・レジスタ書き込み
0	0 1	CRXE0ビット書き換え

CTXE0 = 0のとき、シフト・レジスタをライトしたあとCRXE0ビットを1にしても転送はスタートしません。CTXE0が0のとき、CRXE0ビット = 0からCRXE0ビット = 1にすると、受信動作を開始します。

CSIM0レジスタのCSOT0ビット = 1（転送動作中）のときは、スタート条件を受け付けません。

注意 シリアル・クロックとして外部クロック入力を使用時、一つのデータの送受信終了前に外部から入力しているシリアル・クロックが停止した場合、V832のCSIは次のシリアル・ク

ロック入力を中断データの続きとして判断します（シリアル・クロック・カウンタはクリアされません）。

そのデータの送受信を中断し、再度やり直したい場合、次の手順でCSIの初期化を行ってください。

- ・ CTXE, CRXEビットをクリアします（送受信を一旦禁止）。
- ・ CTXE, CRXEビットをセットします（送受信を再び許可）。
- ・ 送信のみ、受信のみの場合は対応する禁止/許可ビットのみクリア セットしてください。

9.3 ボー・レート・ジェネレータ

9.3.1 構成と機能

シリアル・インタフェースでは、シリアル・クロックをボー・レート・ジェネレータ出力または ϕ （バス・クロック）の分周値から選択したものをボー・レートとして使用できます。

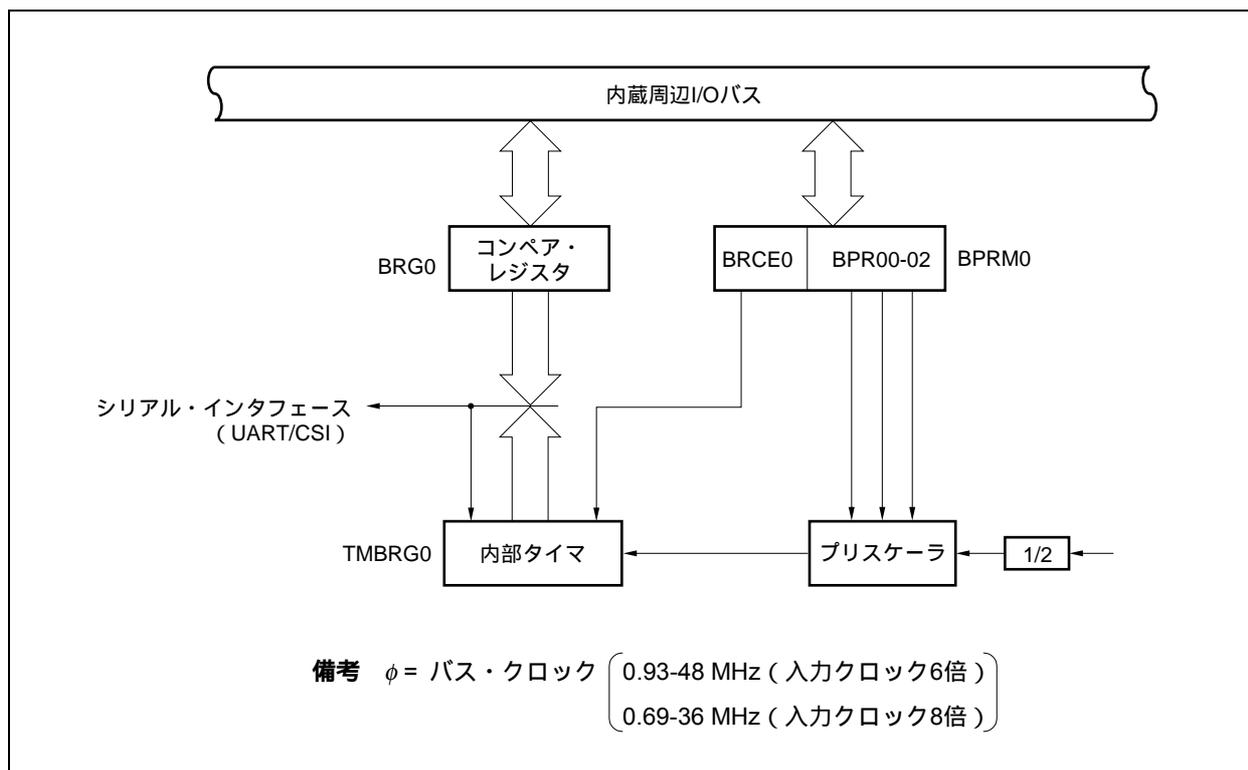
シリアル・クロック・ソースは、次に示すレジスタで指定してください。

- ・ UARTの場合、ASIM00レジスタのSCLS0ビットで指定（図9 - 2参照）
- ・ CSIの場合、CSIM0レジスタのCLS02-CLS00ビットで指定（図9 - 9参照）

ボー・レート・ジェネレータ出力を指定した場合は、クロック・ソースとしてボー・レート・ジェネレータ（BRG）が選択されます。

ボー・レート・ジェネレータは、UARTとCSIで共用しています。

図9 - 12 ボー・レート・ジェネレータ（BRG）のブロック構成



ボー・レート・ジェネレータは、それぞれ送受信のシフト・クロックを発生する専用の8ビット・タイマ (TMBRG0)、コンペア・レジスタ (BRG0)、モード・レジスタ (BPRM0) とプリスケラで構成しています。

(1) 入力クロック

BRGへは、バス・クロック (ϕ) が入力されます。

(2) BRGへの設定

(a) UART

UARTにてボー・レート・ジェネレータを指定した場合、 $\times 16$ のサンプリング・レートを使用的るので、実際のボー・レートは次に示す式で表されます。

$$\text{ボー・レート} = \frac{\phi}{2 \times m \times 2^n \times 16 \times 2} \text{ [bps]}$$

= バス・クロック周波数 [Hz]

m = BRG0レジスタ設定値 (1 m 256[#])

n = プリスケラ設定値 (BPRM0レジスタのBPR00-BPR02) (n = 0, 1, 2, 3, 4)

注 m = 256の設定値は、BRG0レジスタへの0ライトで行います。

(b) CSI

CSIにてボー・レート・ジェネレータを指定した場合、実際のボー・レートは次に示す式で表されます。

$$\text{ボー・レート} = \frac{\phi}{2 \times m \times 2^n \times 2} \text{ [bps]}$$

= バス・クロック周波数 [Hz]

m = BRG0レジスタ設定値 (1 m 256[#])

n = プリスケラ設定値 (BPRM0レジスタのBPR00-BPR02) (n = 0, 1, 2, 3, 4)

注 m = 256の設定値は、BRG0レジスタへの0ライトで行います。

代表的クロックを使用したときのボー・レート・ジェネレータの設定値を表9 - 2に示します。

表9-2 BRG設定データ

ボー・レート [bps]		$\phi = 25 \text{ MHz}$			$\phi = 20 \text{ MHz}$			$\phi = 16 \text{ MHz}$		
UART	CSI	BPR	BRG0	誤差	BPR	BRG0	誤差	BPR	BRG0	誤差
110	1760	4	222	0.02 %	4	178	0.25 %	4	142	0.03 %
150	2400	4	163	0.15 %	4	130	0.16 %	3	208	0.16 %
300	4800	3	163	0.15 %	3	130	0.16 %	2	208	0.16 %
600	9600	2	163	0.15 %	2	130	0.16 %	1	208	0.16 %
1200	19200	1	163	0.15 %	1	130	0.16 %	0	208	0.16 %
2400	38400	0	163	0.15 %	0	130	0.16 %	0	104	0.16 %
4800	76800	0	81	0.47 %	0	65	0.16 %	0	52	0.16 %
9600	153600	0	41	0.76 %	0	33	1.36 %	0	26	0.16 %
10400	166400	0	38	1.16 %	0	30	0.16 %	0	24	0.16 %
19200	307200	0	20	1.73 %	0	16	1.73 %	0	13	0.16 %
38400	614400	0	10	1.73 %	0	8	1.73 %	0	7	6.99 % ^注
76800	1228800	0	5	1.73 %	0	4	1.73 %	-	-	-
153600	2457600	0	2	27.2 % ^注	0	2	1.73 %	-	-	-

ボー・レート [bps]		$\phi = 47.6 \text{ MHz}$			$\phi = 35.7 \text{ MHz}$			$\phi = 33 \text{ MHz}$		
UART	CSI	BPR	BRG0	誤差	BPR	BRG0	誤差	BPR	BRG0	誤差
110	1760	-	-	-	-	-	-	-	-	-
150	2400	-	-	-	4	232	0.18 %	4	215	0.07 %
300	4800	4	155	0.03 %	3	232	0.18 %	3	215	0.07 %
600	9600	3	155	0.03 %	2	232	0.18 %	2	215	0.07 %
1200	19200	2	155	0.03 %	1	232	0.18 %	1	215	0.07 %
2400	38400	1	155	0.03 %	0	232	0.18 %	0	215	0.07 %
4800	76800	0	155	0.03 %	0	116	0.18 %	0	107	0.39 %
9600	153600	0	77	0.62 %	0	58	0.18 %	0	54	0.54 %
10400	166400	0	72	0.67 %	0	54	0.67 %	0	50	0.84 %
19200	307200	0	39	0.67 %	0	29	0.18 %	0	27	0.54 %
38400	614400	0	19	1.94 %	0	15	3.16 %	0	13	3.29 %
76800	1228800	0	10	3.16 %	0	7	3.76 %	0	7	4.09 %
153600	2457600	0	5	3.16 %	0	4	9.21 % ^注	0	3	11.9 % ^注
307200	4915200	0	3	19.30 % ^注	-	-	-	-	-	-

注 誤差が大きくて使用できません。

備考 BPR : BPRM0レジスタのBPR00-BPR02ビット

(3) ボー・レート・ジェネレータの誤差

ボー・レート・ジェネレータの誤差は次のように表されます。

$$\text{誤差} [\%] = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100$$

例 $\left(\frac{9520}{9600} - 1 \right) \times 100 = -0.833 [\%]$

$\left(\frac{5000}{4800} - 1 \right) \times 100 = +4.167 [\%]$

(4) ボー・レート・ジェネレータの誤差許容範囲

ボー・レート・ジェネレータの許容範囲は、1フレームのビット数に依存します。

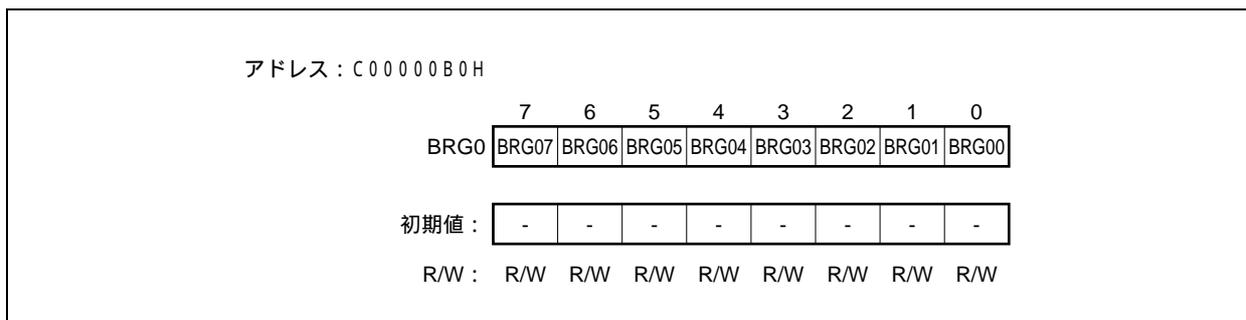
16ビットでのボー・レートの誤差：±5 %，サンプル・タイミング：±4.5 %を基本的な許容限度としています。ただし、実用上の許容限度は、送信側，受信側がともに誤差を含んでいる場合を想定して，ボー・レート誤差：±2.3 %になります。

9.3.2 ボー・レート・ジェネレータ・コンペア・レジスタ (BRG0)

ボー・レート・ジェネレータにおけるタイマ・カウント値を設定する8ビットのコンペア・レジスタです。8ビット単位でリード/ライトできます。

BRG0レジスタへの書き込みによって，内部タイマ (TMBRG0) がクリアされます。したがって，送受信動作中にソフトウェアで，このレジスタを書き換えることはできません。

図9-13 ボー・レート・ジェネレータ・コンペア・レジスタ (BRG0)



9.3.3 ポー・レート・ジェネレータ・プリスケアラ・モード・レジスタ (BPRM0)

専用ポー・レート・ジェネレータのタイマ・カウント動作制御とカウント・クロックの選択を行います。8ビット単位でリード/ライトできます。

図9-14 ポー・レート・ジェネレータ・プリスケアラ・モード・レジスタ (BPRM0)

アドレス：C00000B2H

7	6	5	4	3	2	1	0	
BPRM0	BRCE0	0	0	0	0	BPR02	BPR01	BPR00

初期値：

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

R/W： R/W R R R R R/W R/W R/W

ビット	ビット名	説 明																								
7	BRCE0	Baud Rate Generator Count Enable BRGのカウント動作を制御します。 0：クリアされたままカウント動作を停止します。 1：カウント動作を許可します。																								
2-0	BPR02-BPR00	Baud Rate Generator Prescaler TMBRG0へ入力するカウント・クロックを指定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">BPR02</th> <th style="width: 10%;">BPR01</th> <th style="width: 10%;">BPR00</th> <th style="width: 80%;">動 作</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>/2 (n=0)</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>/4 (n=1)</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>/8 (n=2)</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>/16 (n=3)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> <td>/32 (n=4)</td> </tr> </tbody> </table> 備考 n：プリスケアラ設定値， :バス・クロック	BPR02	BPR01	BPR00	動 作	0	0	0	/2 (n=0)	0	0	1	/4 (n=1)	0	1	0	/8 (n=2)	0	1	1	/16 (n=3)	1	x	x	/32 (n=4)
BPR02	BPR01	BPR00	動 作																							
0	0	0	/2 (n=0)																							
0	0	1	/4 (n=1)																							
0	1	0	/8 (n=2)																							
0	1	1	/16 (n=3)																							
1	x	x	/32 (n=4)																							

注意 送受信動作中はカウント・クロックを変更できません。

第10章 タイマ/カウンタ機能

10.1 特 徴

パルス間隔や周波数の計測および、プログラマブルなパルスを出力

- ・ 16ビット計測可能
- ・ 多彩な形状のパルスを発生可能（インターバル・パルス，ワンショット・パルス）

タイマ1

- ・ 16ビット・タイマ/イベント・カウンタ
- ・ カウント・クロックのソース：2種（システム・クロックの分周を選択，外部パルス入力）
- ・ キャプチャ/コンペア共用レジスタ：4本
- ・ カウント・クリア端子：TCLR
- ・ 割り込みソース：5種
- ・ 外部パルス出力：2本

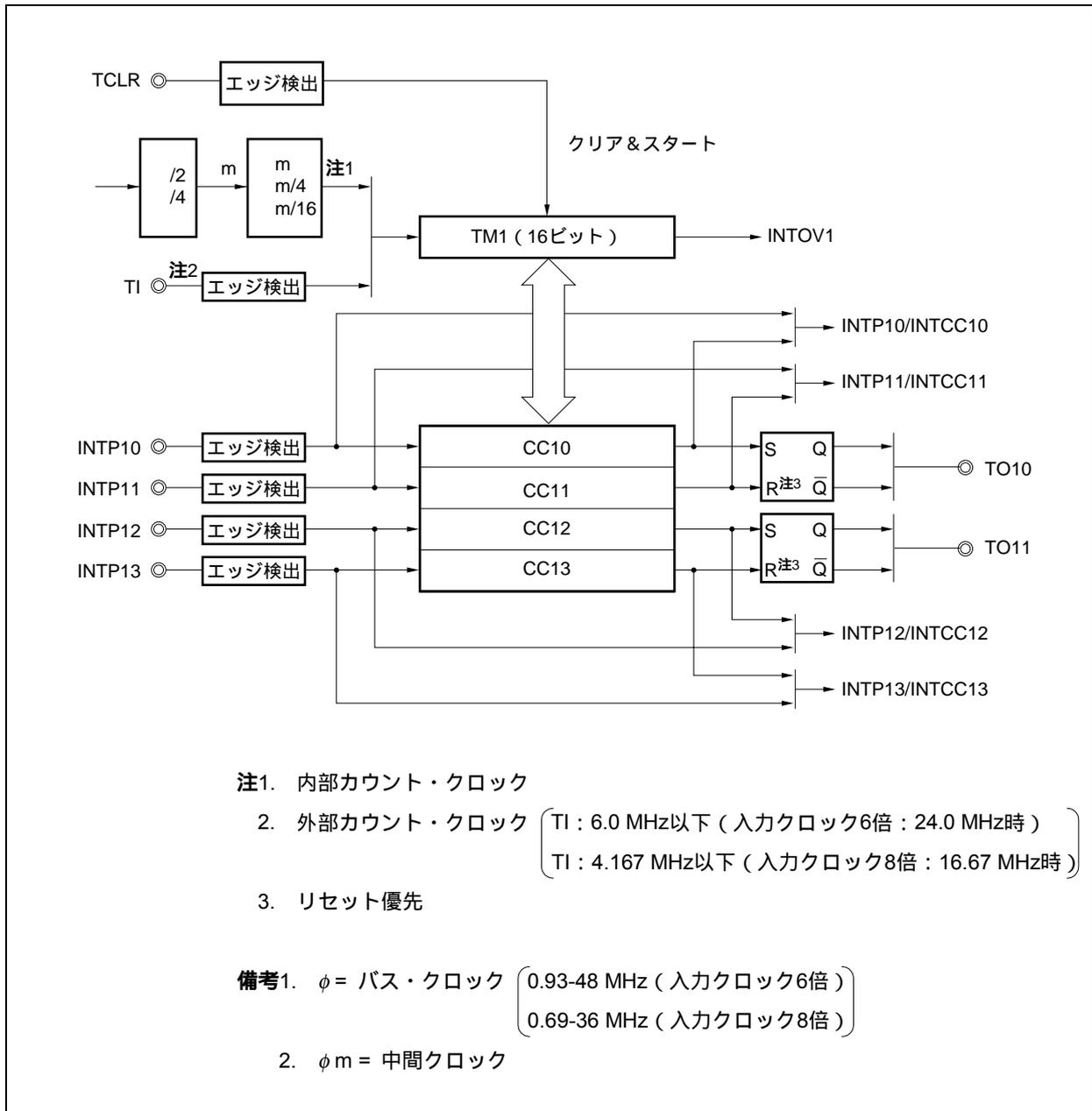
タイマ4

- ・ 16ビット・インターバル・タイマ
- ・ カウント・クロックは，システム・クロックの分周から選択
- ・ コンペア・レジスタ：1本
- ・ 割り込みソース：1種

10.2 構成

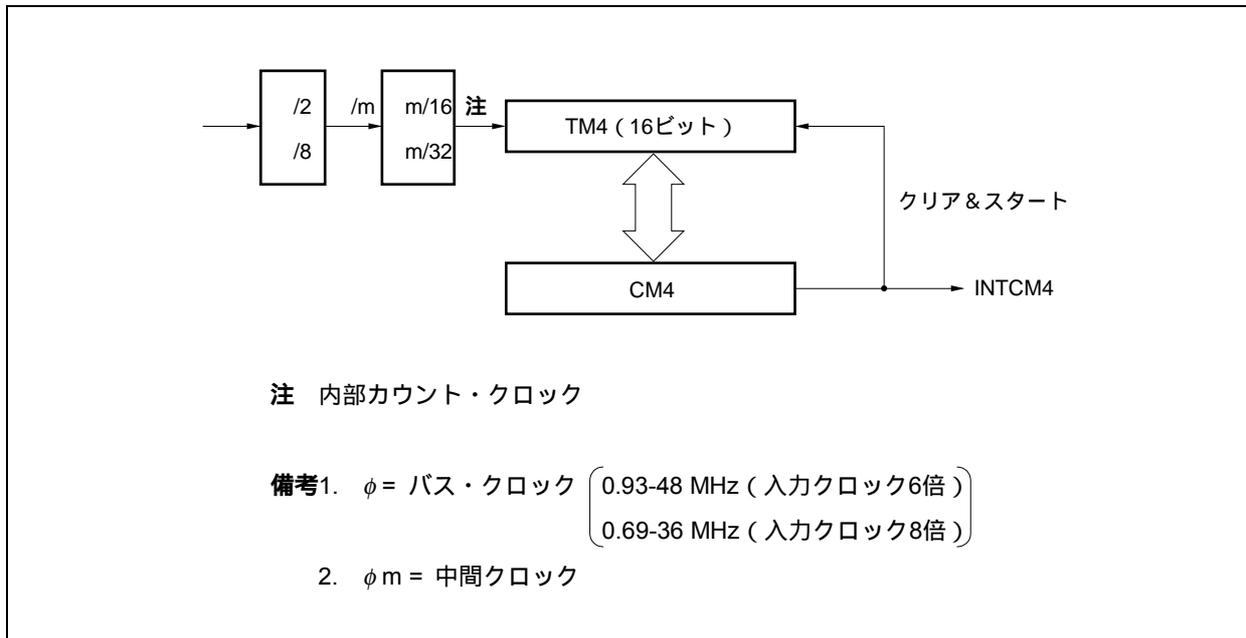
(1) タイマ1 (16ビット・タイマ/イベント・カウンタ)

図10-1 タイマ1のブロック構成



(2) タイマ4 (16ビット・インターバル・タイマ)

図10-2 タイマ4のブロック構成

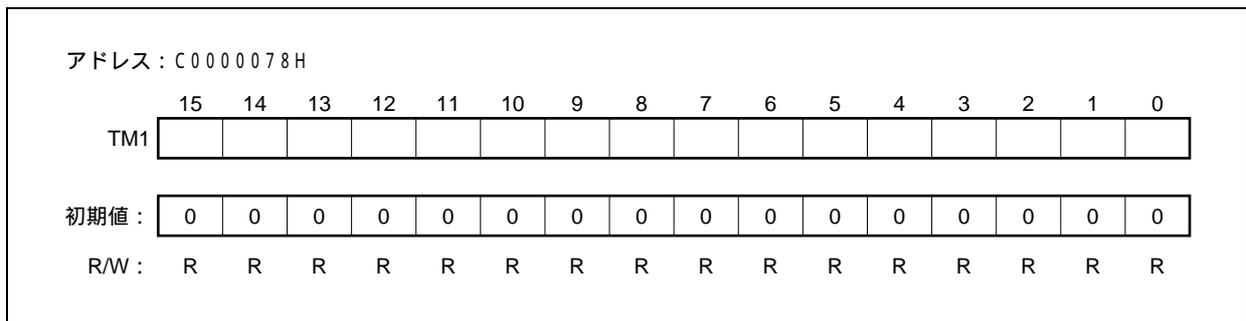


10.2.1 タイマ1

(1) タイマ1 (TM1)

タイマ1は、16ビット・タイマ/イベント・カウンタとして機能します。おもに、周期計測、または周波数計測のほか、パルス出力としても利用できます。TM1レジスタは、16ビット単位でリードだけできます。

図10-3 タイマ1 (TM1)



タイマのスタート/ストップは、タイマ・コントロール・レジスタ1 (TMC1) によって制御します (図10-8 タイマ・コントロール・レジスタ1 (TMC1) 参照)。

カウント・クロックの内部/外部の選択は、TMC1レジスタで行います。

(a) 外部カウント・クロックを選択

TM1はイベント・カウンタとして動作します。タイマ・ユニット・モード・レジスタ (TUM1) によって有効エッジを指定し、TI端子入力によりTM1をカウント・アップします。

(b) 内部カウント・クロックを選択

TM1はフリー・ランニング・タイマとして動作します。TMC1レジスタで指定される内部クロック ($\phi/2 \sim \phi/64$) によりTM1をカウント・アップします。

内部クロックを選択するときは、前段のプリスケアラによって ϕm (中間クロック) が $\phi/2$, $\phi/4$ の2種類から選択され、次に後段のプリスケアラによって最終的なカウント・クロックが ϕm , $\phi m/4$, $\phi m/16$ の3種類から選択され、合計6通りのカウント・クロックを指定できます。

タイマがオーバーフローするとオーバーフロー割り込み (INTOV1) を発生できます。また、TUM1レジスタの指定により、オーバーフロー後タイマを停止できます。

TUM1レジスタの設定により、外部入力信号 (TCLR) によってタイマをクリアし、スタートできます。このとき、プリスケアラも同時にクリアされるので、外部入力信号 (TCLR) からの最初のタイマ・カウント・アップまでの時間は、プリスケアラの分周比に応じて一定となります。

注意 タイマ動作中はカウント・クロックを変更できません。

(c) キャプチャ/コンペア・レジスタ10-13の設定**キャプチャ・レジスタに設定した場合**

外部入力信号 (INTP10-INTP13) で割り込み信号 (INTCC10-INTCC13) を発生します。また、INTP10-INTP13の有効エッジは外部割り込みモード・レジスタ (IMOD) の設定により、立ち上がりエッジ、立ち上がりと立ち下がり両エッジから選択できます (図4 - 10 ICUモード・レジスタ (IMOD) 参照)。

コンペア・レジスタに設定した場合

TUM1レジスタの設定により、コンペア・レジスタの一致信号で割り込み信号 (INTCC10-INTCC13) を発生できます (図10 - 7 タイマ・ユニット・モード・レジスタ (TUM1) 参照)。

注意1. タイマ動作中にモードを変更しないでください。

- 外部入力信号TI, TCLR端子は、入出力ポートと兼用端子になっています。初期状態では入出力ポートが選択されているため、TIを使用する場合はポートBコントロール・モード・レジスタ (PBC) のPBC0ビットをTI (1) に、TCLR端子を使用する場合はPBCのPBC1ビットをTCLRに設定してください (11. 4. 2 (3) ポートBコントロール・モード・レジスタ (PBC) 参照)。

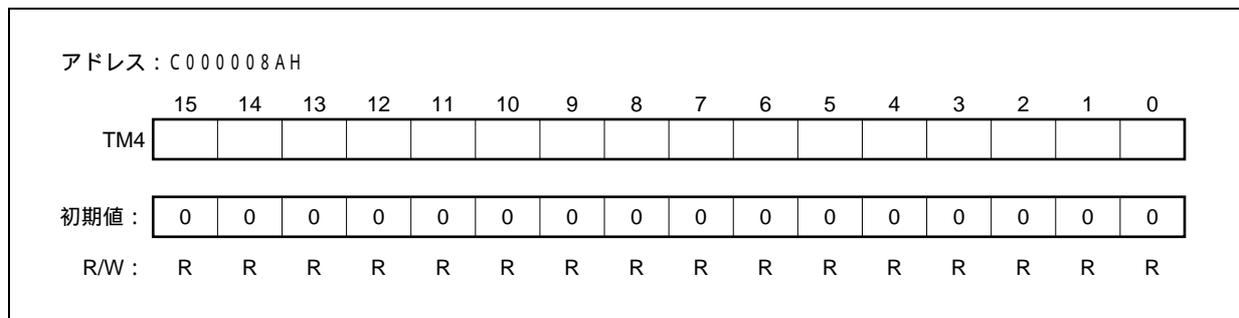
PBCの設定は、タイマ動作開始前 (TMC1レジスタのCE1ビット = 1) に行ってください。

10.2.2 タイマ4

(1) タイマ4 (TM4)

タイマ4は、16ビット・タイマとして機能します。おもに、ソフトウェアのためのインターバル・タイマとして利用できます。TM4レジスタは、16ビット単位でリードだけできます。

図10 - 4 タイマ4 (TM4)



タイマのスタートおよびストップは、タイマ・コントロール・レジスタ (TMC4) で制御します。TMC4レジスタの指定により次に示すカウント・クロックに選択できます。

まず前段のプリスケラにより、 ϕ m (中間クロック) を ϕ /2, ϕ /8の2種類から選択します。次に後段のプリスケラによりカウント・クロックを ϕ m/16, ϕ m/32の2種類から選択します。合計で4通りのカウント・クロックを指定できます。

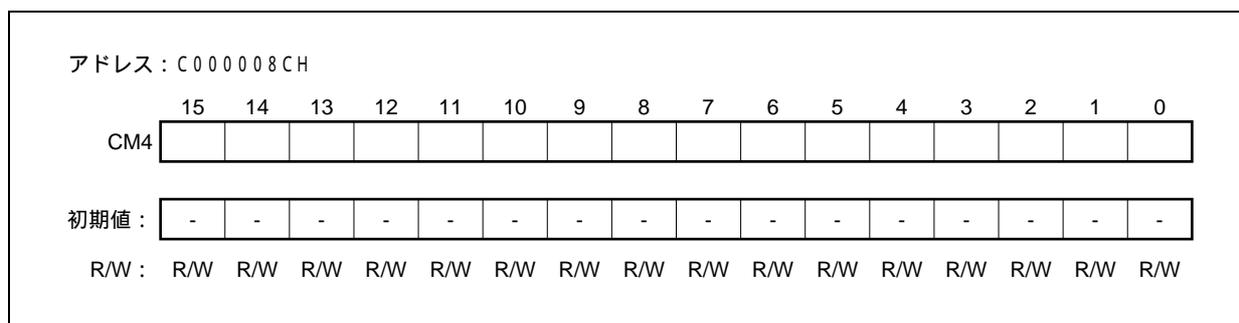
コンペア・レジスタの一致信号で、TM4をクリアして0からのカウント・アップを再開します。

- 注意1. TM4をインターバル動作で使用する場合、コンペア一致が発生したあと、タイマを次のカウント・クロックでクリアするため、分周比が大きい場合は一致割り込み要求発生直後にタイマの値を読み出すとタイマの値が0でないときがあります。
2. タイマ動作中はカウント・クロックを変更できません。

(2) コンペア・レジスタ (CM4)

CM4は16ビットのレジスタで、TM4に接続しています。16ビット単位でリード/ライトできます。

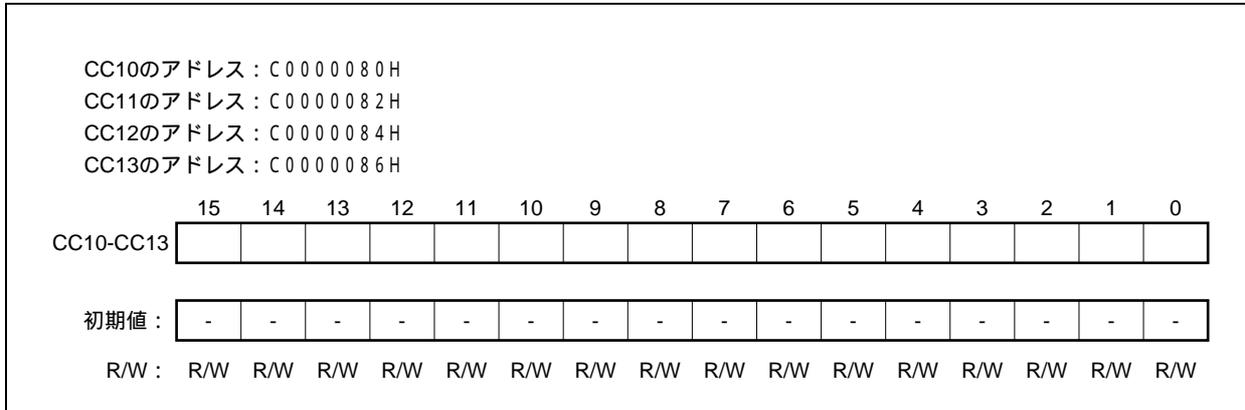
図10 - 5 コンペア・レジスタ (CM4)



10.2.3 キャプチャ/コンペア・レジスタ10-13 (CC10-CC13)

キャプチャ/コンペア・レジスタ10-13 (CC10-CC13) は、TUM1レジスタの指定によりキャプチャ・レジスタまたはコンペア・レジスタとして使用できます。CC10-CC13は、16ビット単位でリード/ライトできます。

図10 - 6 キャプチャ/コンペア・レジスタ10-13 (CC10-CC13)



コンペア・レジスタは、接続したタイマのカウント・クロックごとにタイマのカウント値と比較するために使用します。一致すると一致信号が発生します。一致信号によって、割り込み要求を発生できます。

各コンペア・レジスタはセット/リセット出力機能があります。一致信号の発生に同期して、対応するタイマ出力をセットまたはリセットします。

キャプチャ・レジスタは、対応する割り込み要求信号入力端子 (INTP10-INTP13) において有効エッジを検出すると、これをキャプチャ・トリガとして接続したタイマの値をラッチします (カウント・クロックとは非同期)。

(1) キャプチャ・レジスタを指定したとき

キャプチャ・レジスタを指定したときは、入力端子 (INTP1n) の有効エッジ検出で割り込み要求を発生します。このとき、コンペア・レジスタの一致信号であるINTCC1nによって割り込み要求を発生させることはできません (n = 0-3)。

キャプチャ・レジスタへのキャプチャ (ラッチ) タイミングとレジスタへの命令による書き込み動作が競合した場合は、レジスタへの命令による書き込み動作を優先して、キャプチャ動作を無視します。

(2) コンペア・レジスタを指定したとき

コンペア・レジスタを指定した場合、TUM1レジスタの指定により、一致信号であるINTCC1nまたは入力端子 (INTP1n) の有効エッジ検出のいずれかを選択して割り込み要求信号にできます (n = 0-3)。INTP1nを選択した場合、タイマ出力の指定と並行して、外部割り込み要求の受け付けができます (n = 1, 3) 注。

指定したレジスタに設定している値に対してTM1のカウント値との比較を行います。コンペア・レジスタに指定したCC1nレジスタにはすべて任意の値を設定してください。4つのCC10-CC13レジスタすべてをコンペア・レジスタに設定して、そのなかの2つのレジスタの比較結果で使用する場合でも、必ず残りの2つのレジスタにも任意の値を設定して使用してください。任意の値を設定しない場合の動作は保証できません。

注 INTP10, INTP12はTO10, TO11と兼用の端子なので並行した使用はできません。

キャプチャ/コンペア・レジスタ, コンペア・レジスタの機能一覧を次に示します。

表10 - 1 キャプチャ/コンペア・レジスタ

タイマ	レジスタ	タイマ 再スタート	発生する 割り込み信号	キャプチャ・ トリガ	タイマ出力 (セット/リセット)	その他の機能
TM1	CC10	-	INTP10/INTCC10	INTP10	TO10 (セット)	-
	CC11	-	INTP11/INTCC11	INTP11	TO10 (リセット)	-
	CC12	-	INTP12/INTCC12	INTP12	TO11 (セット)	-
	CC13	-	INTP13/INTCC13	INTP13	TO11 (リセット)	-
	TM1	-	INTOV1	-	-	外部クリア
TM4	CM4		INTCM4	-	-	-

10.3 タイマ/カウンタ制御レジスタ

10.3.1 タイマ・ユニット・モード・レジスタ (TUM1)

TUM1レジスタは、キャプチャ/コンペア・レジスタ10-13の動作モードを指定します。16ビット単位でリード/ライトできます。

図10-7 タイマ・ユニット・モード・レジスタ (TUM1) (1/2)

アドレス : C0000072H																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TUM1	0	0	OST	ECLR1	TES11	TES10	CES11	CES10	CMS13	CMS12	CMS11	CMS10	IMS13	IMS12	IMS11	IMS10
初期値 :	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	説明															
13	OST	Overflow Stop タイマのオーバーフロー後の動作を指定します。このフラグはTM1だけ有効です。 0 : タイマのオーバーフロー後、タイマはカウント・アップを続けます。 1 : タイマのオーバーフロー後、タイマは0000Hを保持して停止状態になります。 このとき、TMC1レジスタのCE1ビットは1のままです。 次の動作によりカウント・アップを再開します。 ・ CE1ビットへ1をライト (ECLR1 = 0のとき) ・ タイマ・クリア端子 (TCLR1) のトリガ入力 (ECLR1 = 1のとき)															
12	ECLR1	External Input Timer Clear TM1の外部クリア入力 (TCLR) によるタイマのクリアを許可します。 0 : 外部入力によるクリアはしません。 1 : 外部入力によりTM1をクリアします。クリア後、カウント・アップを開始します。															
11, 10	TES11, TES10	TI1 Edge Select 外部クロック入力 (TI) の有効エッジを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TES11</th> <th>TES10</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>RFU (予約)</td> </tr> <tr> <td>0</td> <td>1</td> <td>RFU (予約)</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち上がりエッジ (初期値)</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がりと立ち下がりの両エッジ</td> </tr> </tbody> </table>	TES11	TES10	有効エッジ	0	0	RFU (予約)	0	1	RFU (予約)	1	0	立ち上がりエッジ (初期値)	1	1	立ち上がりと立ち下がりの両エッジ
TES11	TES10	有効エッジ															
0	0	RFU (予約)															
0	1	RFU (予約)															
1	0	立ち上がりエッジ (初期値)															
1	1	立ち上がりと立ち下がりの両エッジ															
9, 8	CES11, CES10	TCLR1 Edge Select 外部クリア入力 (TCLR) の有効エッジを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>CES11</th> <th>CES10</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>RFU (予約)</td> </tr> <tr> <td>0</td> <td>1</td> <td>RFU (予約)</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち上がりエッジ (初期値)</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がりと立ち下がりの両エッジ</td> </tr> </tbody> </table>	CES11	CES10	有効エッジ	0	0	RFU (予約)	0	1	RFU (予約)	1	0	立ち上がりエッジ (初期値)	1	1	立ち上がりと立ち下がりの両エッジ
CES11	CES10	有効エッジ															
0	0	RFU (予約)															
0	1	RFU (予約)															
1	0	立ち上がりエッジ (初期値)															
1	1	立ち上がりと立ち下がりの両エッジ															

図10-7 タイマ・ユニット・モード・レジスタ (TUM1) (2/2)

アドレス : C0000072H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TUM1	0	0	OST	ECLR1	TES11	TES10	CES11	CES10	CMS13	CMS12	CMS11	CMS10	IMS13	IMS12	IMS11	IMS10

初期値 : 0 0 0 0 1 0 1 0 0 0 0 0 0 0 0 0 0

R/W : R R R/W R/W

ビット	ビット名	説明
7-4	CMS13-CMS10	Capture/Compare Mode Select キャプチャ/コンペア・レジスタ10-13 (CC10-CC13) の動作モードを選択します。 0 : キャプチャ・レジスタとして動作します。キャプチャ・レジスタに設定した場合、IMS1nビットの設定に関係なく割り込みソースはINTP1nが選択されます。ただし、キャプチャ・レジスタ指定時のキャプチャ動作は、TMC1レジスタのCEビット = 1のときだけ行います。 1 : コンペア・レジスタとして動作します。
3-0	IMS13-IMS10	Interrupt Mode Select 割り込みソースとして、INTP1nかINTCC1nかを選択します (n = 3-0)。 0 : コンペア・レジスタの一致信号 (INTCC1n) を割り込み要求信号にします。 1 : 外部からの入力信号 (INTP1n) を割り込み要求信号にします。

注意 タイマ動作中にCMS1n, IMS1nを変更した場合の動作は保証できません (n = 3-0)。

備考 CMS1n = 1, IMS1n = 1と設定した場合は、入力信号INTP1nが割り込みコントローラへ出力されますが、INTP1n信号はタイマ/カウンタ機能では、使用しません。

10.3.2 タイマ・コントロール・レジスタ1 (TMC1)

TMC1は、タイマ1 (TM1) の動作を制御します。8ビット単位でリード/ライトできます。

図10 - 8 タイマ・コントロール・レジスタ1 (TMC1)

アドレス : C0000074H

7	6	5	4	3	2	1	0	
TMC1	CE1	0	0	ETI	PRS11	PRS10	PRM11	0

初期値 :

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

R/W : R/W R R R/W R/W R/W R/W R

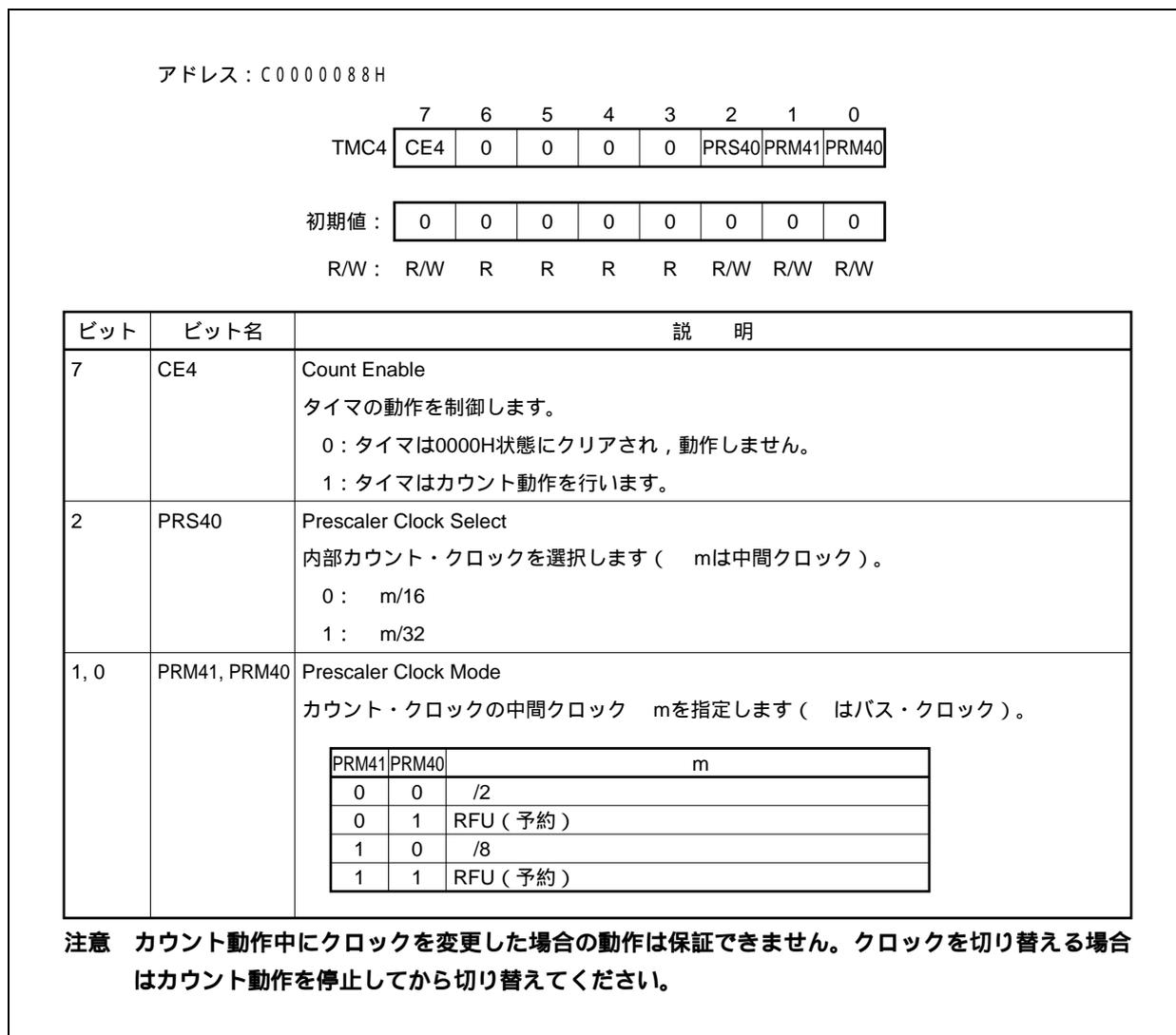
ビット	ビット名	説 明															
7	CE1	Count Enable タイマの動作を制御します。 0 : タイマは0000H状態にクリアされ、動作しません。 1 : タイマはカウント動作を行います。ただし、TUM1のECLR1ビット = 1のときは、タイマ・クリア信号 (TCLR) の入力があるまでカウント・アップしません。 TUM1のECLR1ビット = 0のときは、CE1ビット = 1によるタイマのカウント・スタートは、CE1ビットへのセット動作 (1) がスタート・トリガになります。したがって、ECLR1ビット = 1の状態ではCE1ビットをセットしたあと、ECLR1ビット = 0にしても、タイマはスタートしません。															
4	ETI	External TI Input カウント・クロックの外部と内部の切り替えを指定します。 0 : 系 (内部) を指定します。 1 : TI (外部) を指定します。															
3, 2	PRS11, PRS10	Prescaler Clock Select 外部カウント・クロックを選択します (mは中間クロック)。 <table border="1" style="margin-left: 20px; margin-top: 10px;"> <thead> <tr> <th style="width: 10%;">PRS11</th> <th style="width: 10%;">PRS10</th> <th style="width: 80%;">カウント・クロック</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">m</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">m/4</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">RFU (予約)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">m/16</td> </tr> </tbody> </table>	PRS11	PRS10	カウント・クロック	0	0	m	0	1	m/4	1	0	RFU (予約)	1	1	m/16
PRS11	PRS10	カウント・クロック															
0	0	m															
0	1	m/4															
1	0	RFU (予約)															
1	1	m/16															
1	PRM11	Prescaler Clock Mode カウント・クロックの中間クロック mを指定します (はバス・クロック)。 0 : /2 1 : /4															

注意 カウント動作中にクロックを変更した場合の動作は保証できません。クロックを切り替える場合はカウント動作を停止してから切り替えてください。

10.3.3 タイマ・コントロール・レジスタ4 (TMC4)

TMC4は、タイマ4 (TM4) の動作を制御します。8ビット単位でリード/ライトできます。

図10-9 タイマ・コントロール・レジスタ4 (TMC4)



10.3.4 タイマ出力コントロール・レジスタ (TOC1)

TOC1は、タイマ出力モードを指定します。8ビット単位でリード/ライトできます。

図10 - 10 タイマ出力コントロール・レジスタ (TOC1)

アドレス : C0000076H

	7	6	5	4	3	2	1	0
TOC1	ENTO11	ALV11	ENTO10	ALV10	0	0	TOPC11	TOPC10

初期値 :

0	0	0	0	0	0	1	1
---	---	---	---	---	---	---	---

R/W : R/W R/W R/W R/W R R R/W R/W

ビット	ビット名	説明
7, 5	ENTO11, ENTO10	Enable TOxx pin 対応するタイマ出力 (TO11, TO10) を許可します。 0 : タイマ出力機能は禁止状態です。対応するTO11, TO10端子からはALVビットの逆相のレベル (インアクティブ・レベル) を出力します。対応するコンペア・レジスタから一致信号が発生してもTO11, TO10端子のレベルは変化しません。 1 : タイマ出力は許可状態です。対応するコンペア・レジスタから一致信号が発生するとタイマ出力が変化します。タイマ出力を許可してから最初に一致信号が発生するまでは、ALVビットの逆相レベル (インアクティブ・レベル) が出力されます。
6, 4	ALV11, ALV10	Active Level TOxx pin タイマ出力のアクティブ・レベルを指定します。 0 : アクティブ・レベルはロウ・レベル (0) 1 : アクティブ・レベルはハイ・レベル (1)
1	TOPC11	Prescaler Clock Mode 兼用端子TO11/INTP12の端子機能を選択します。 0 : TO11出力 1 : INTP12入力 (初期値)
0	TOPC10	Prescaler Clock Mode 兼用端子TO10/INTP10の端子機能を選択します。 0 : TO10出力 1 : INTP10入力 (初期値)

注意 TO10, TO11出力は外部割り込み信号 (INTP1n) では変化しません。TO10, TO11を使用するときは、キャプチャ/コンペア・レジスタ1nをコンペア・レジスタ (CMS1n = 1) に指定してください (n = 0-3)。

備考 TO10, TO11出力のF/Fはリセット優先です。

10.3.5 ICUモード・レジスタ (IMOD)

外部割り込み信号の有効エッジを指定する制御レジスタです。

TM1のCC1nをキャプチャ・レジスタとして使用する場合、外部割り込み (INTP1n) の有効エッジをキャプチャ・トリガとして検出します (n = 0-3)。この有効エッジは、ICUモード・レジスタ (IMOD) で指定できます (詳細は4.6.5 ICUモード・レジスタ (IMOD) を参照)。

10.3.6 タイマ・オーバーフロー・ステータス・レジスタ (TOVS)

タイマ1, 4 (TM1, TM4) からオーバーフロー・フラグを格納します。8ビット単位でリード/ライトできます。TOVSレジスタをソフトウェアでテスト&リセットすることで、オーバーフロー発生をポーリングできます。

図10-11 タイマ・オーバーフロー・ステータス・レジスタ (TOVS)

アドレス : C0000070H

	7	6	5	4	3	2	1	0
TOVS	0	0	0	OVF4	0	0	OVF1	0

初期値 :

0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---

R/W : R R R R/W R R R/W R

ビット	ビット名	説明
4, 1	OVF4, OVF1	Overflow Flag TMn (n = 4, 1) オーバフロー・フラグ。 0 : TMnのオーバーフロー発生なし 1 : TMnのオーバーフロー発生 TOVSレジスタはマスタ/スレーブ構成になっているため、CPUからのアクセス期間中はスレーブ側への転送 (TOVSレジスタへの転送) はできません。したがって、TOVSレジスタの読み出し中にオーバーフローが発生しても、フラグの値は変化せず、次の読み出し時に反映されます。

注意 TM1からはオーバーフローに同期して、割り込みコントローラに対し、割り込み要求信号 (INTOV1) が発生しますが、割り込みの動作とTOVSとはまったく独立しており、OVF1に1をライトしてもINTOV1は発生しません。また、OVF1に0をライトすることによりフラグをクリアできます。

10.4 動作

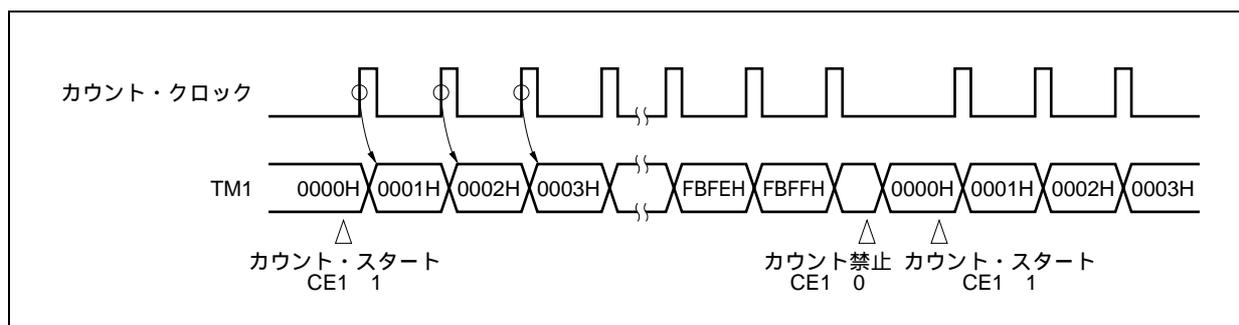
10.4.1 タイマ1

タイマ1は、16ビットのフリー・ランニング・タイマまたは、外部信号のイベント・カウンタとして機能します。動作の設定は、タイマ・コントロール・レジスタ1 (TMC1) で指定します。

タイマ1のカウンタ動作は、TMC1レジスタのPRS11, PRS10, PRM11ビットで指定する内部クロック ($\phi/12 \sim \phi/64$)、または外部クロック入力 (TI) をカウンタ・アップします。このときカウンタ・クロックを外部クロックに指定すると、TM1はイベント・カウンタとして動作します。カウンタの結果、タイマがオーバーフローするとオーバーフロー割り込み要求 (INTOV1) が発生します。

フリー・ランニング・タイマとして動作する場合、CC10-CC13レジスタとTM1のカウンタ値が一致すると、割り込み要求信号 (INTCC10-INTCC13) を発生させるとともに、タイマ出力信号 (TO10, TO11) のセット/リセットができます。また、外部トリガとしての外部割り込み要求入力端子 (INTP10-INTP13) から検出された有効エッジに同期して、TM1のカウンタ値をCC10-CC13レジスタに保持するキャプチャ動作を行います。キャプチャの値は、次のキャプチャ・トリガが発生するまで保持されます。

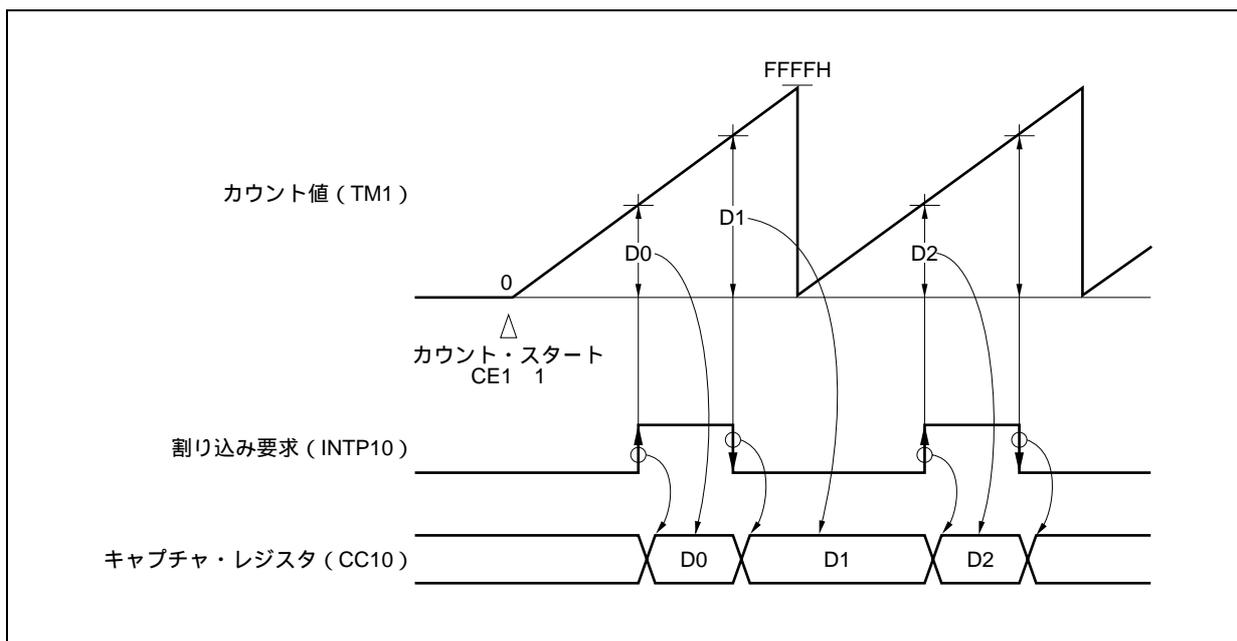
図10 - 12 タイマ1の基本動作



立ち上がり、立ち下りの両エッジをキャプチャ・トリガとした場合は、外部からの入力パルスの幅を測定できます。

立ち上がりエッジをキャプチャ・トリガとした場合は、入力パルスの周期を測定できます。

図10 - 13 キャプチャ動作例



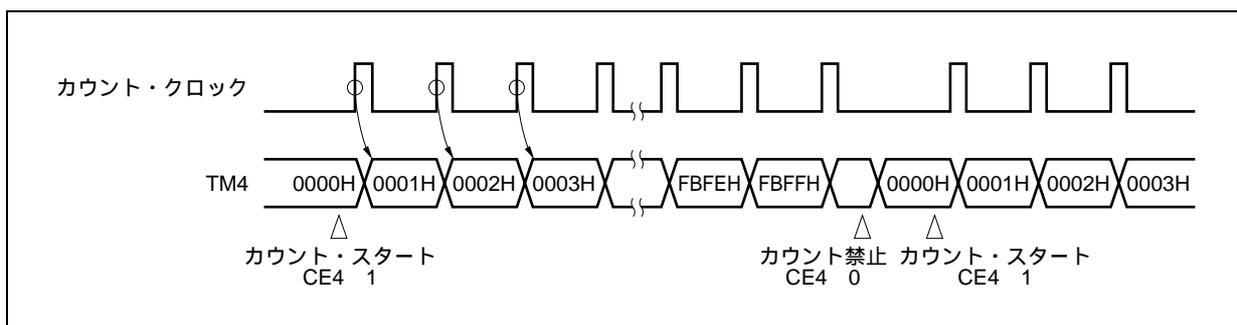
10.4.2 タイマ4

タイマ4は、16ビットのインターバル・タイマとして機能します。動作の設定は、タイマ・コントロール・レジスタ4 (TMC4) で指定します。

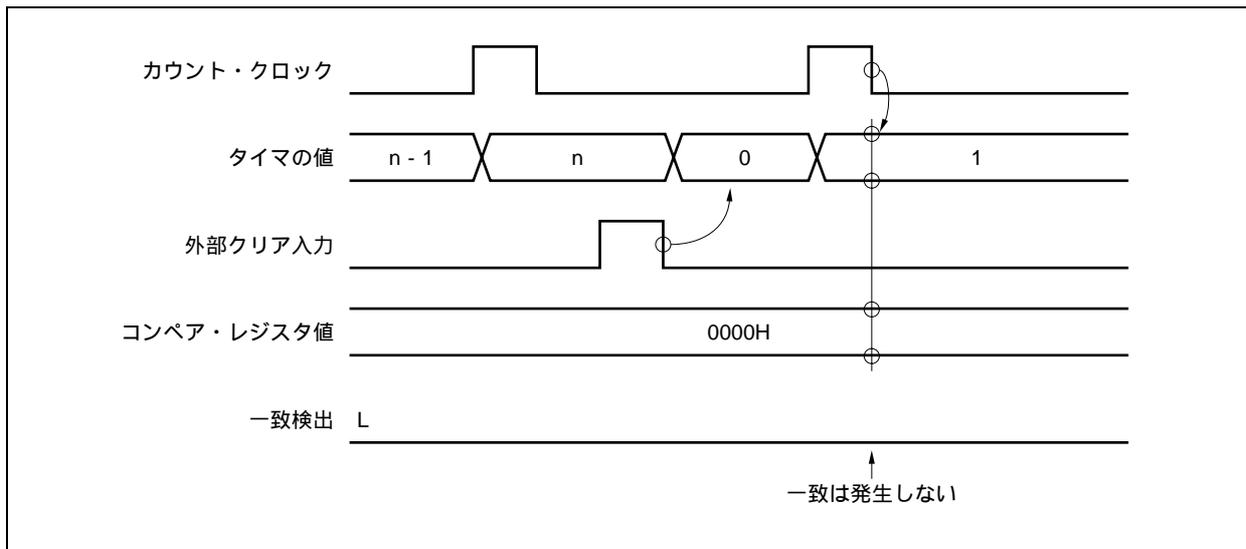
タイマ4のカウント動作は、TMC4レジスタのPRS40, PRM41, PRM40ビットで指定される内部クロック ($\phi/32 \sim \phi/256$) をカウント・アップします。カウントの結果、TM4の値がCM4と一致すると、TM4をクリアします。同時に一致割り込み要求 (INTCM4) が発生します。

一致割り込み (INTCM4) を使用して、DMA転送ができます (第8章 DMA機能を参照)。

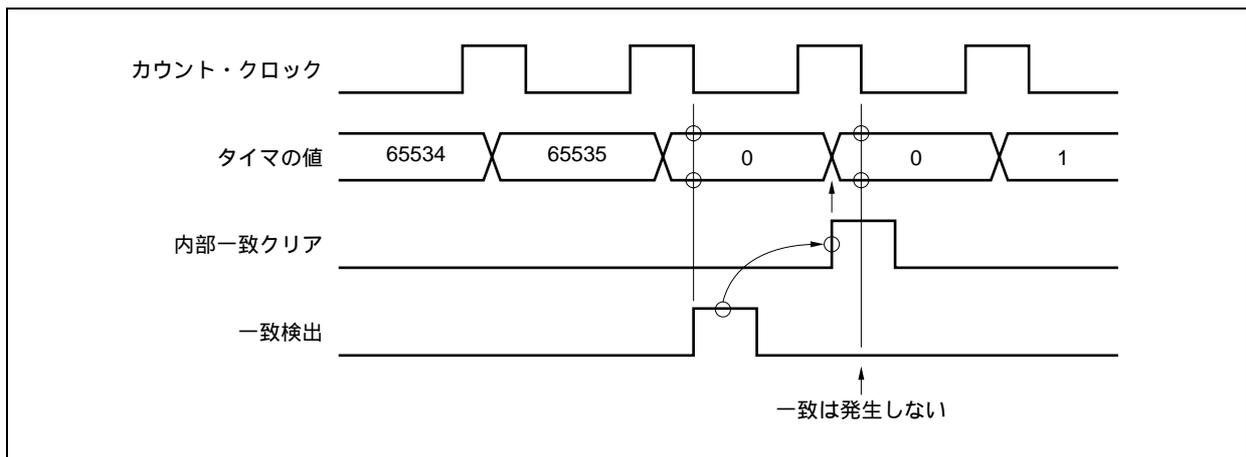
図10 - 14 タイマ4の基本動作



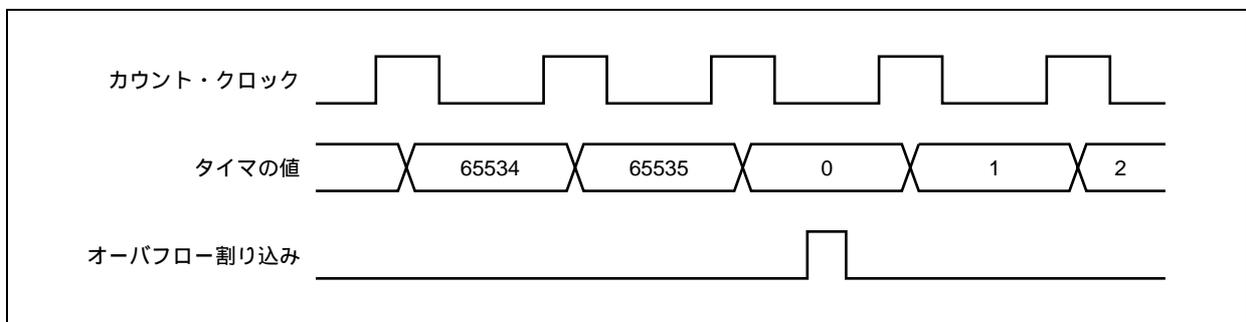
(2) 外部クリア時 (TM1)



(3) タイマ・クリア時 (TM4) (コンペア・レジスタ値=0000Hのとき)



注意 フリー・ランニングでタイマ動作させるときは、タイマのオーバーフローでタイマの値は0になります。

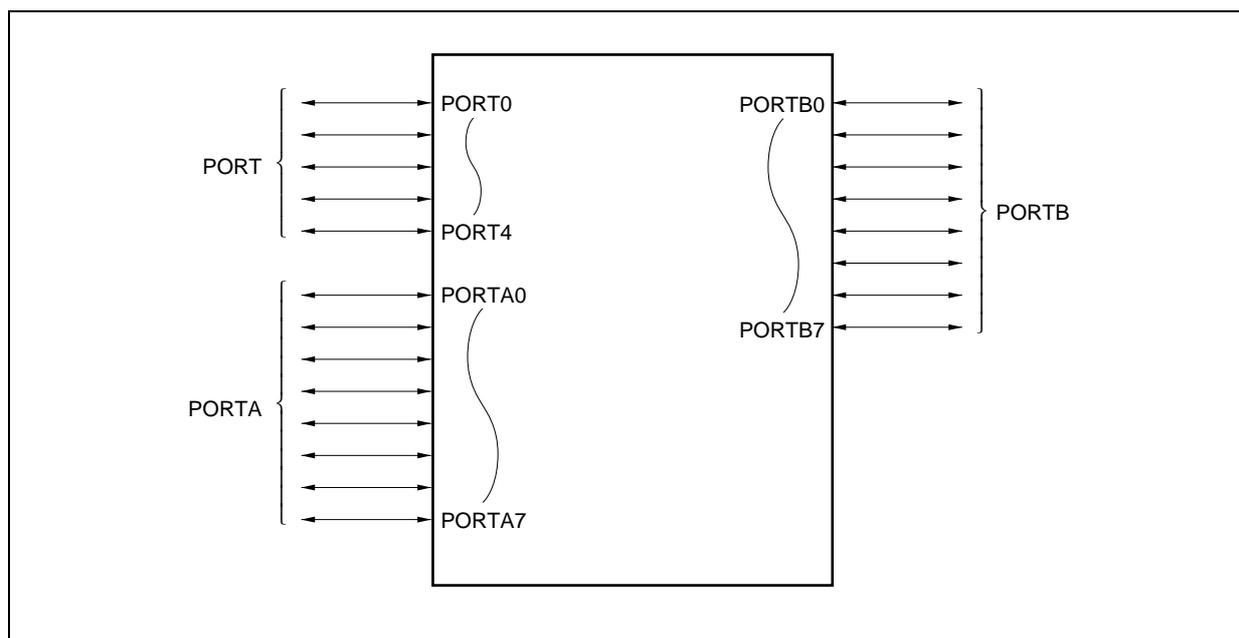


第11章 ポート機能

11.1 ポートの基本構成

V832は、21本の入出力ポートを内蔵しています。V832のポート構成を図11 - 1に示します。

図11 - 1 ポートの種類



11.2 PORT

PORTは、1ビット単位で入出力を指定できる5ビット入出力ポートです。ポートとしての機能のほかに、コントロール・モードでは、それぞれシリアル・インタフェース（CSI）用入出力端子、シリアル・インタフェース（UART）用入出力端子としての機能をもっています。

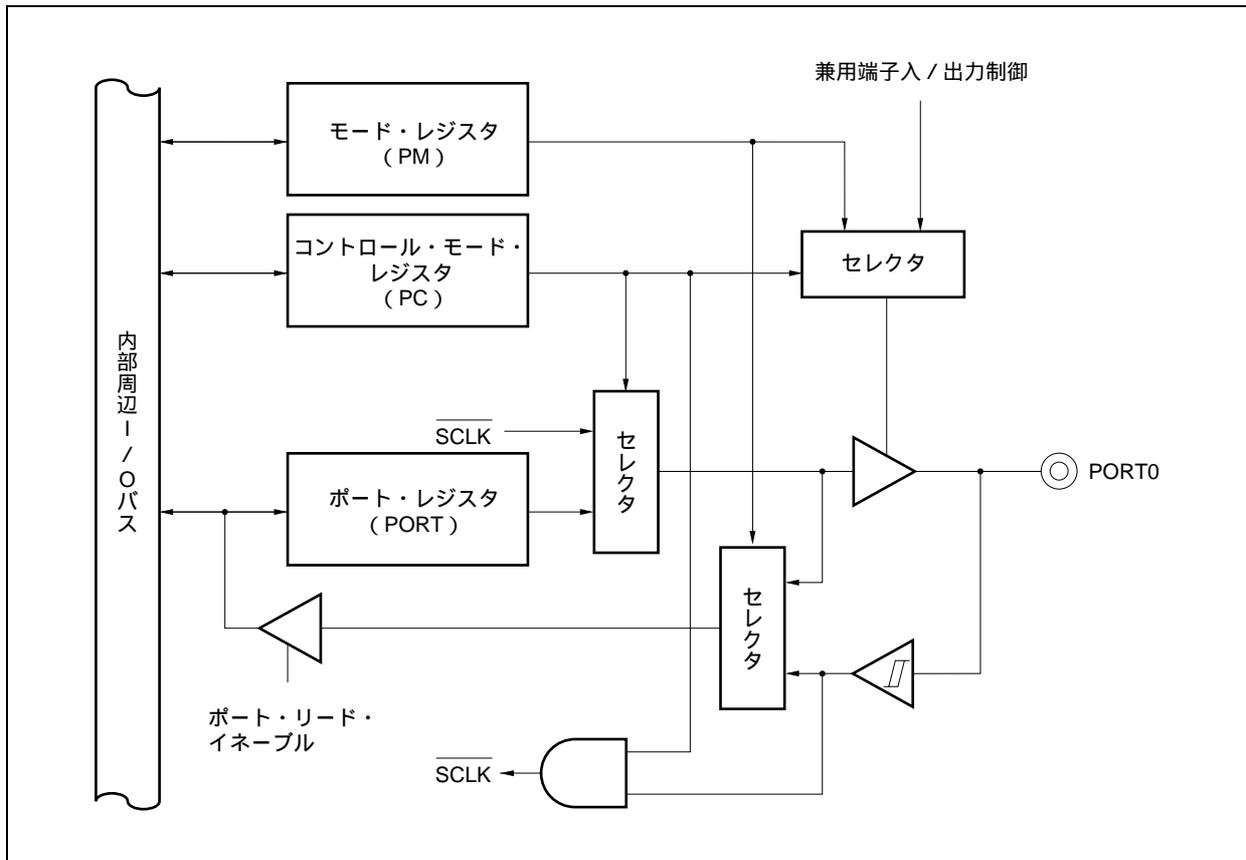
表11-1 PORTのコントロール・モード時の動作

ポート	コントロール・モード	コントロール・モード時の機能	備考
PORT4	TXD	UARTデータ出力	1ビット単位でポート/コントロール・モードに指定可能
PORT3	RXD	URRTデータ入力	
PORT2	SI	シリアル・インタフェース（CSI） 入出力	3ビット単位でポート/コントロール・モードに指定可能
PORT1	SO		
PORT0	SCLK		

11.2.1 PORTの構成

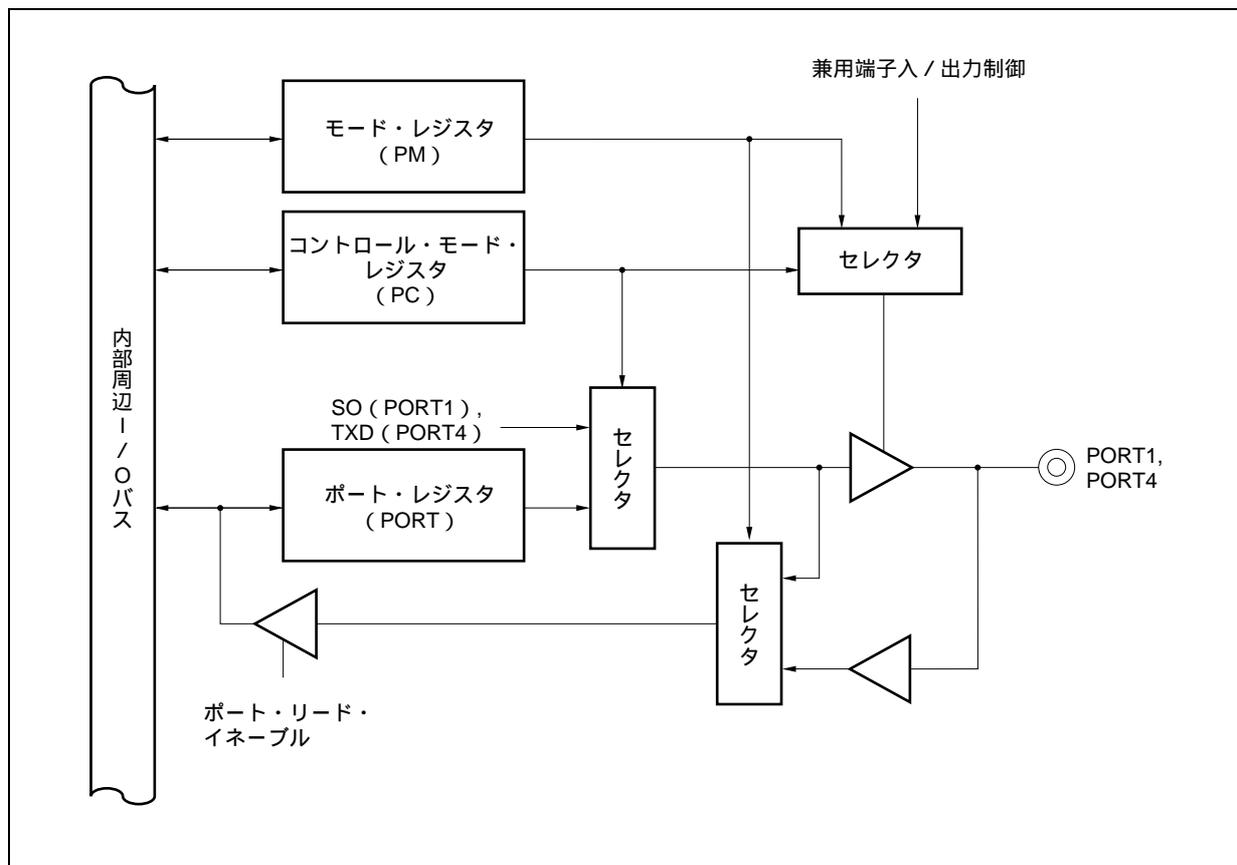
(1) PORT0の構成

図11-2 PORT0のブロック図



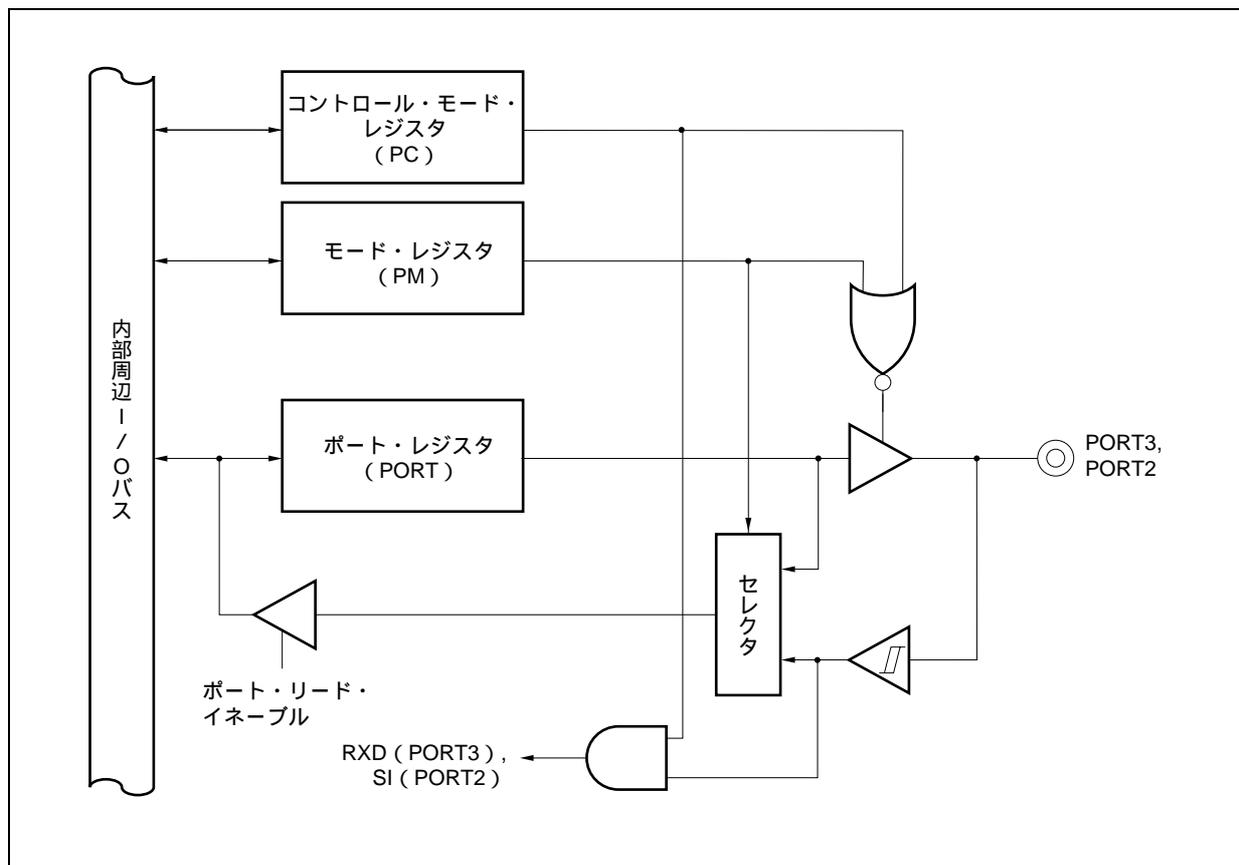
(2) PORT1, PORT4の構成

図11-3 PORT1, PORT4のブロック図



(3) PORT2, PORT3の構成

図11-4 PORT2, PORT3のブロック図



11.2.2 PORT制御レジスタ

(1) 入出力ポート・レジスタ (PORT)

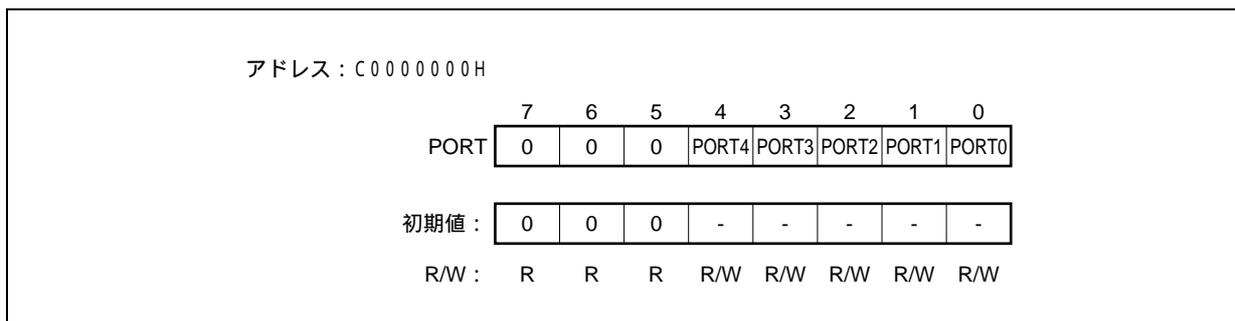
5ビット入出力ポートです。

8ビット単位のリード/ライトが可能です。

入力モード時は、ポート端子を直接読むことができます。ただし、このレジスタは値を保持しません。

出力モード時は、このレジスタに書き込まれた値をポート端子に出力します。

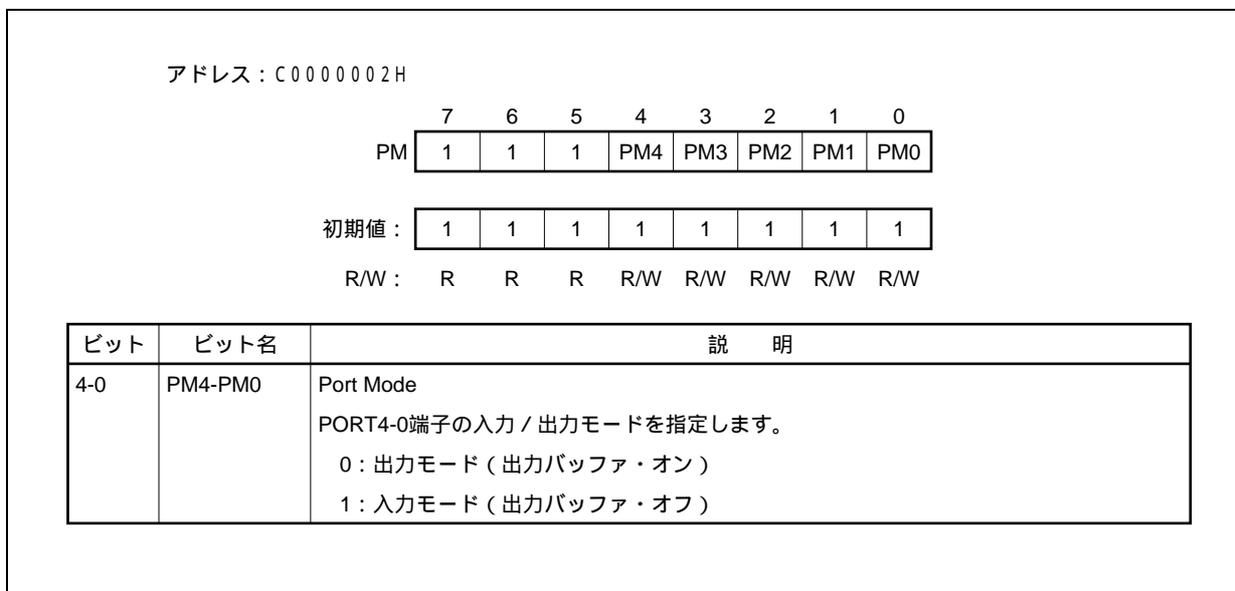
図11-5 入出力ポート・レジスタ (PORT)



(2) 入出力モード・レジスタ (PM)

1ビット単位でポートの入力/出力モードを設定します。8ビット単位のリード/ライトが可能です。

図11-6 入出力モード・レジスタ (PM)



(3) ポート・コントロール・モード・レジスタ (PC)

ポート・コントロール・モード動作の切り替えを設定します。8ビット単位のリード/ライトが可能です。

図11-7 ポート・コントロール・モード・レジスタ (PC)

アドレス : C0000004H

	7	6	5	4	3	2	1	0
PC	0	0	0	PC4	PC3	PC2	PC1	PC0

初期値 :

0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---

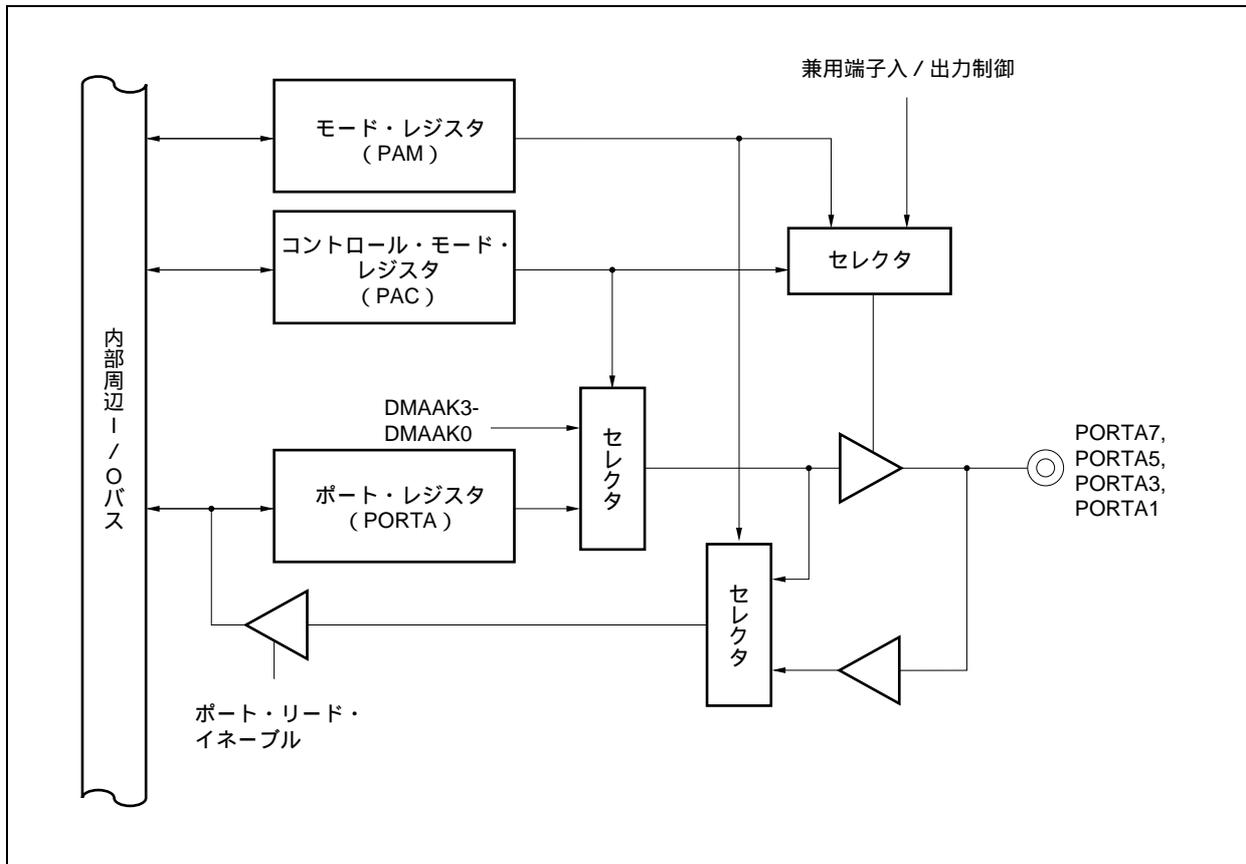
R/W : R R R R/W R/W R/W R/W R/W

ビット	ビット名	説明																
4	PC4	Port Control PORT4端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : UARTデータ出力 (TXD)																
3	PC3	Port Control PORT3端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : UARTデータ入力 (RXD)																
2-0	PC2-PC0	Port Control PORT2-PORT0端子の動作モードを指定します。 <table border="1" style="margin-left: 20px; border-collapse: collapse;"> <thead> <tr> <th>PC2</th> <th>PC1</th> <th>PC0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>入出力ポート・モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>CSIインタフェース</td> </tr> <tr> <td colspan="3">上記以外</td> <td>予約 (設定禁止)</td> </tr> </tbody> </table>	PC2	PC1	PC0	動作モード	0	0	0	入出力ポート・モード	1	1	1	CSIインタフェース	上記以外			予約 (設定禁止)
PC2	PC1	PC0	動作モード															
0	0	0	入出力ポート・モード															
1	1	1	CSIインタフェース															
上記以外			予約 (設定禁止)															

注意 ポート・コントロール・モード・レジスタ (PC) を設定する前にCSI (9. 2参照) のクロック同期式シリアル・インタフェース・モード・レジスタ (CSIM0) のCLS02-CLS00ビットを設定してください。

(2) PORTAnの構成 (n = 1, 3, 5, 7)

図11 - 9 PORTAnのブロック図 (n = 1, 3, 5, 7)



11. 3. 2 PORTA制御レジスタ

(1) 入出力ポート・レジスタA (PORTA)

8ビット入出力ポートです。

8ビット単位のリード/ライトが可能です。

入力モード時は、ポート端子を直接読むことができます。ただし、このレジスタは値を保持しません。

出力モード時は、このレジスタに書き込まれた値をポート端子に出力します。

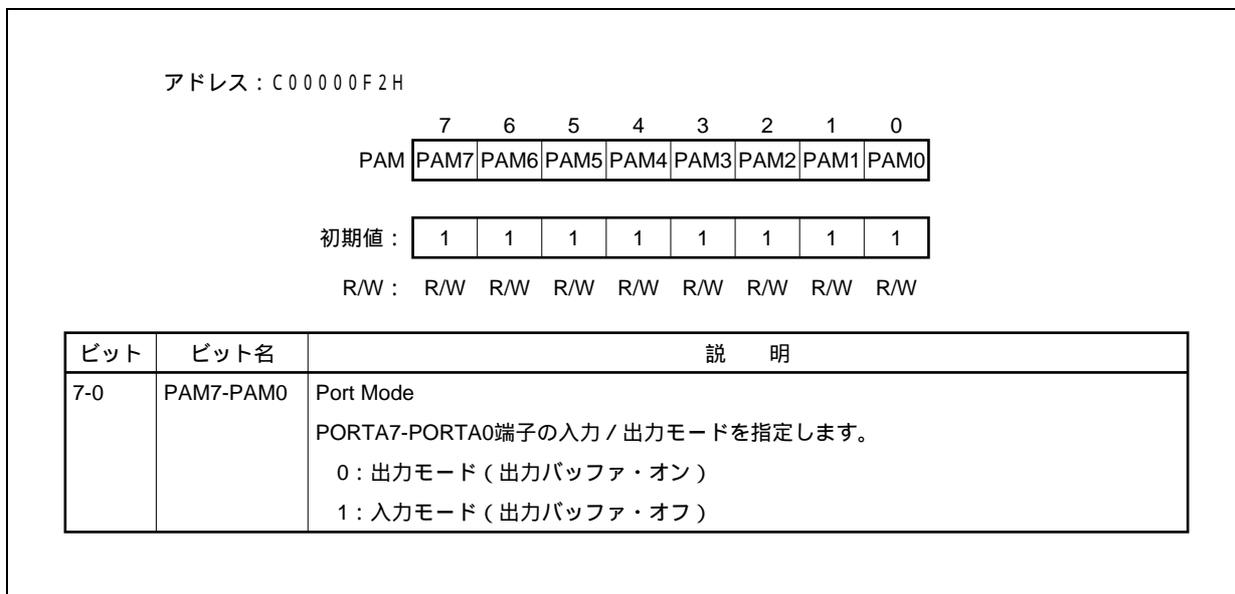
図11 - 10 入出力ポート・レジスタA (PORTA)

アドレス : C00000F0H								
	7	6	5	4	3	2	1	0
PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0
初期値 :	-	-	-	-	-	-	-	-
R/W :	R/W							

(2) 入出力モード・レジスタA (PAM)

1ビット単位でポートの入力/出力モードの設定ができます。8ビット単位のリード/ライトが可能です。

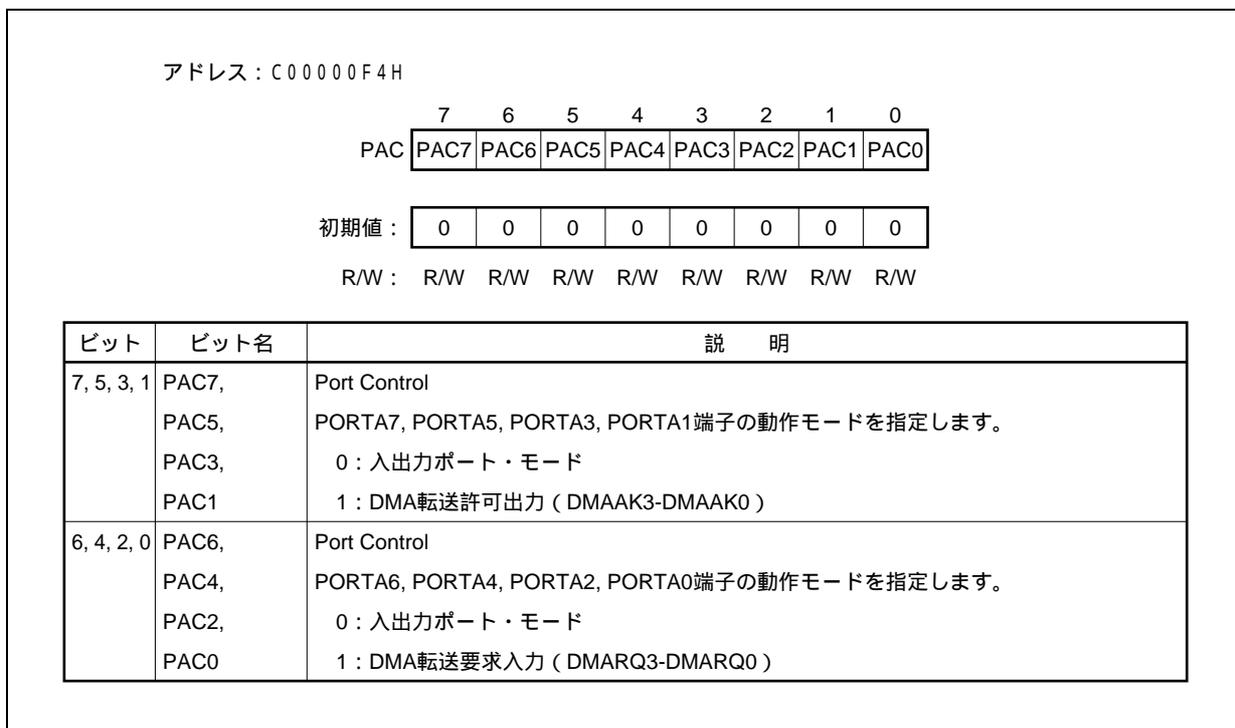
図11 - 11 入出力モード・レジスタA (PAM)



(3) ポートAコントロール・モード・レジスタ (PAC)

ポートAコントロール・モードの動作切り替えを設定します。8ビット単位のリード/ライトが可能です。

図11 - 12 ポートAコントロール・モード・レジスタ (PAC)



11.4 PORTB

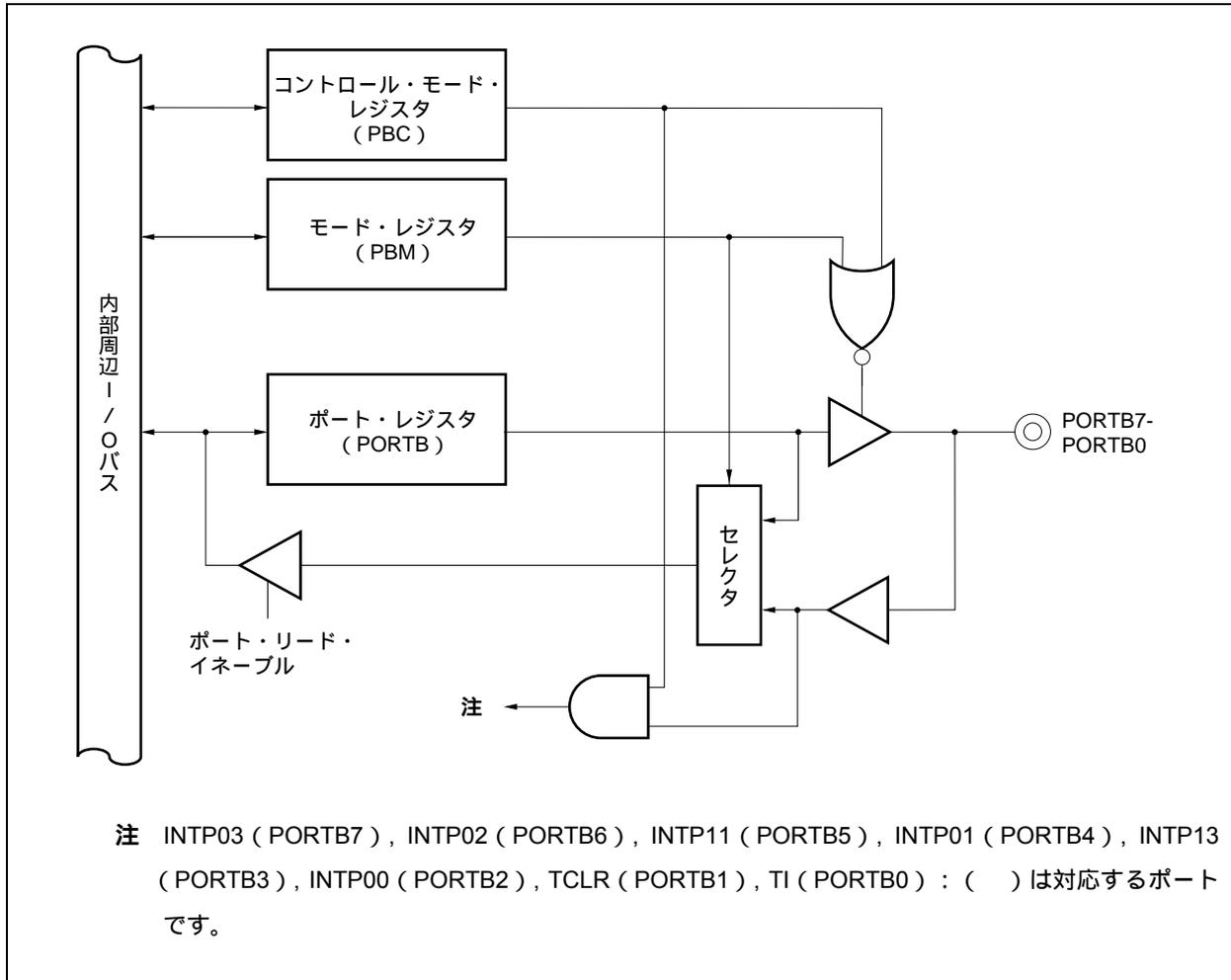
PORTBは、1ビット単位で入出力を指定できる8ビット入出力ポートです。ポートとしての機能のほかに、タイマ、割り込み要求用入出力端子としての機能をもっています。

表11-3 PORTBのコントロール・モード時の動作

ポート	コントロール・モード	コントロール・モード時の機能	備考
PORTB7	INTP03	割り込み要求入力	1ビット単位でポート/コントロール・モードに指定可能
PORTB6	INTP02	割り込み要求入力	
PORTB5	INTP11	割り込み要求入力	
PORTB4	INTP01	割り込み要求入力	
PORTB3	INTP13	割り込み要求入力	
PORTB2	INTP00	割り込み要求入力	
PORTB1	TCLR	タイマ1クリア, スタート入力	
PORTB0	TI	タイマ1カウント・クロック入力	

11.4.1 PORTBの構成

図11-13 PORTB0-PORTB7のブロック図



11.4.2 PORTB制御レジスタ

(1) 入出力ポート・レジスタB (PORTB)

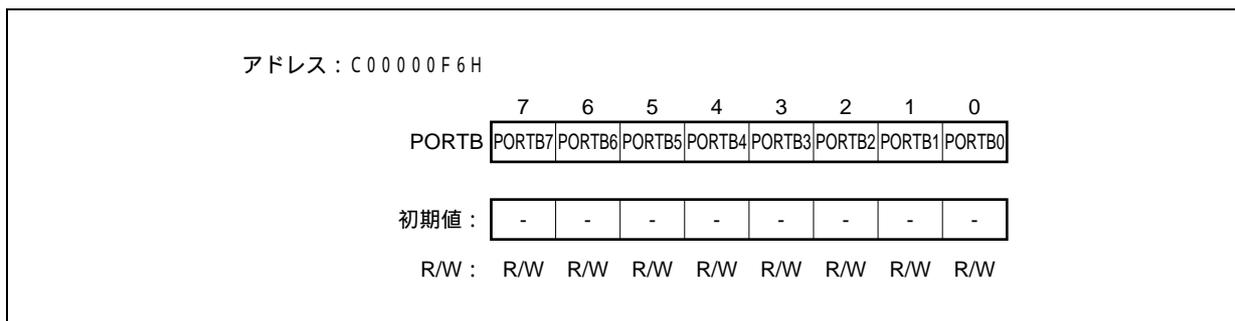
8ビット入出力ポートです

8ビット単位のリード/ライトが可能です。

入力モード時は、ポート端子を直接読むことができます。ただし、このレジスタは値を保持しません。

出力モード時は、このレジスタに書き込まれた値をポート端子に出力します。

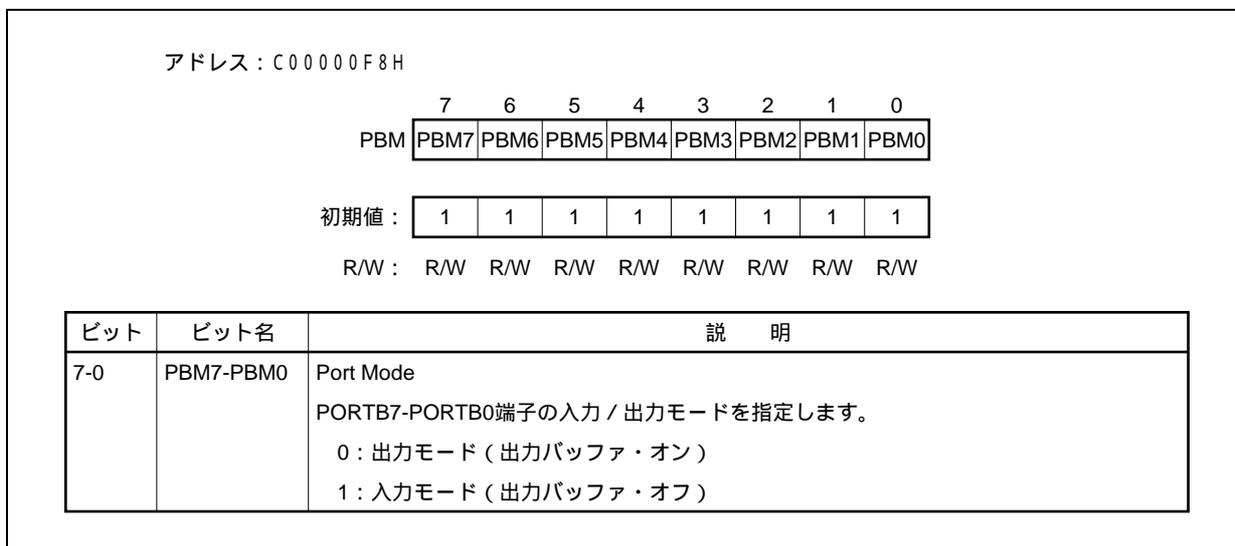
図11-14 入出力ポート・レジスタB (PORTB)



(2) 入出力モード・レジスタB (PBM)

1ビット単位でポートの入力/出力モードを設定します。8ビット単位のリード/ライトが可能です。

図11-15 入出力モード・レジスタB (PBM)



(3) ポートBコントロール・モード・レジスタ (PBC)

ポートBコントロール・モードの動作切り替えの設定ができます。8ビット単位のリード/ライトが可能です。

図11-16 ポートBコントロール・モード・レジスタ (PBC)

アドレス : C00000FAH

	7	6	5	4	3	2	1	0
PBC	PBC7	PBC6	PBC5	PBC4	PBC3	PBC2	PBC1	PBC0

初期値 :	0	0	0	0	0	0	0	0
-------	---	---	---	---	---	---	---	---

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	説明
7	PBC7	Port Control PORTB7端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : 割り込み要求入力 (INTP03)
6	PBC6	Port Control PORTB6端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : 割り込み要求入力 (INTP02)
5	PBC5	Port Control PORTB5端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : 割り込み要求入力 (INTP11)
4	PBC4	Port Control PORTB4端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : 割り込み要求入力 (INTP01)
3	PBC3	Port Control PORTB3端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : 割り込み要求入力 (INTP13)
2	PBC2	Port Control PORTB2端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : 割り込み要求入力 (INTP00)
1	PBC1	Port Control PORTB1端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : タイマ1クリア, スタート入力 (TCLR)
0	PBC0	Port Control PORTB0端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : タイマ1カウント・クロック入力 (TI)

第12章 クロック発生機能

クロック・ジェネレータは、CPUをはじめとする内蔵の各ハードウェア・ユニットに供給されるCPUクロックとバス・クロック(ϕ)を発生、制御します。

12.1 特徴

PLLシンセサイザによる逡倍機能

(入力クロックに対して、6倍、8倍)

バス・クロックはPLLシンセサイザの入力クロック周波数の2倍になります。

表12 - 1 PMCとPLLモード/ダイレクト・モード時の周波数例 (μ PD705102-143)

入力クロック		PLLモード		ダイレクト・モード	
		PMC	CPU	バス・クロック	CPU
23.8 MHz (6倍)	× 1	142.8 MHz	47.6 MHz	11.9 MHz	3.96 MHz
	× 1/2	71.4 MHz	23.8 MHz	5.95 MHz	1.98 MHz
	× 1/4	35.7 MHz	11.9 MHz	-	-
17.85 MHz (8倍)	× 1	142.8 MHz	35.7 MHz	8.925 MHz	2.231 MHz
	× 1/2	71.4 MHz	17.85 MHz	4.463 MHz	1.116 MHz
	× 1/4	35.7 MHz	8.925 MHz	-	-

表12 - 2 PMCとPLLモード/ダイレクト・モード時の周波数例 (μ PD705102-133)

入力クロック		PLLモード		ダイレクト・モード	
		PMC	CPU	バス・クロック	CPU
22.2 MHz (6倍)	× 1	133.3 MHz	44.4 MHz	11.1 MHz	3.70 MHz
	× 1/2	66.7 MHz	22.2 MHz	5.56 MHz	1.85 MHz
	× 1/4	33.3 MHz	11.1 MHz	-	-
16.7 MHz (8倍)	× 1	133.3 MHz	33.3 MHz	8.33 MHz	2.08 MHz
	× 1/2	66.7 MHz	16.7 MHz	4.17 MHz	1.04 MHz
	× 1/4	33.3 MHz	8.33 MHz	-	-

12.2 構成

図12 - 1 クロック発生機能のブロック図

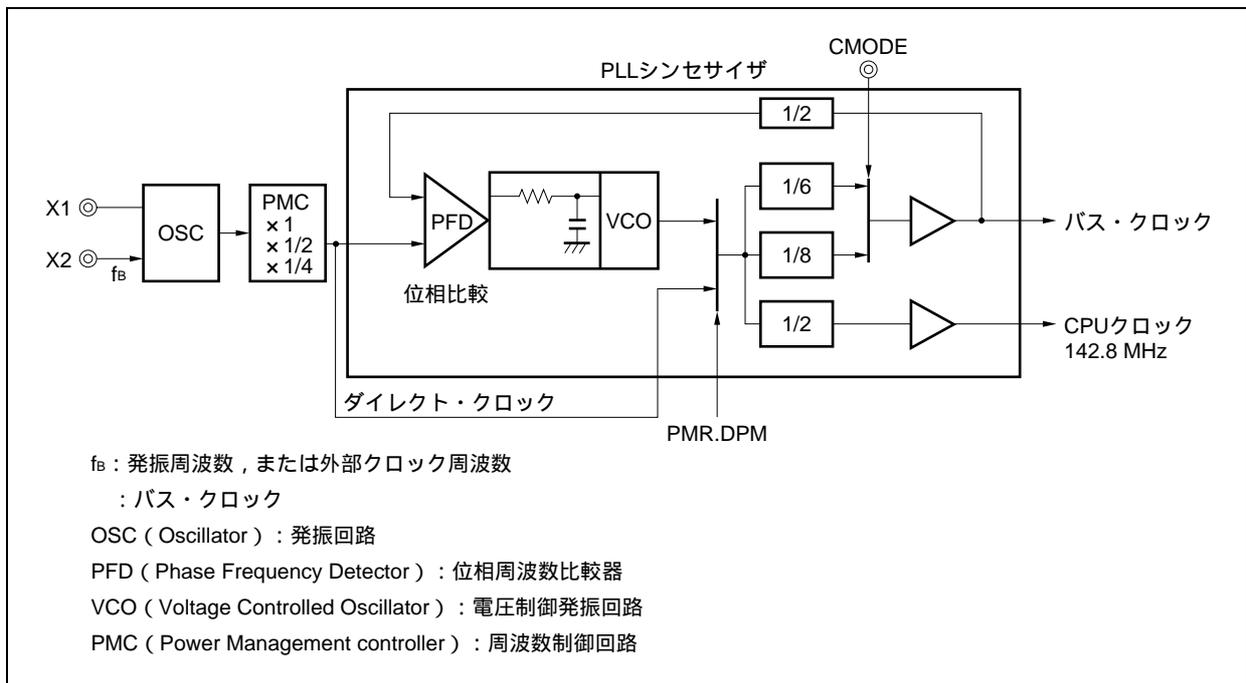
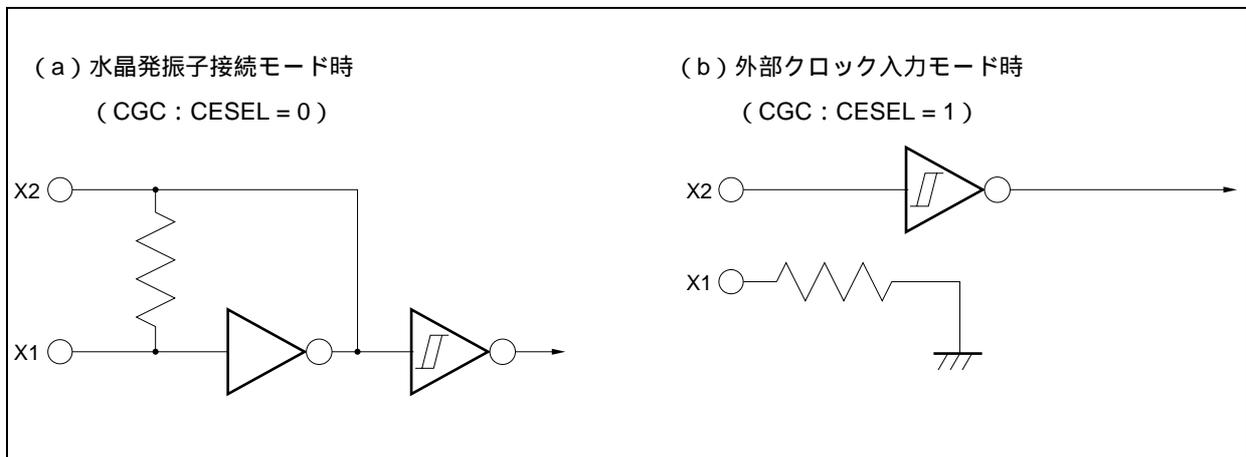


図12 - 2 X1, X2端子回路図



12.3 入力クロック選択

クロック・ジェネレータは、クロック発振回路とPLLシンセサイザで構成しています。たとえば、6倍、分周比1のときは、23.8 MHzのクリスタル振動子をX1, X2端子に接続すると、47.6 MHzのバス・クロックと142.8 MHzのCPUクロックを生成できます。

また、外部クロックを発振回路に直接入力できます。この場合、X2端子だけクロック信号を入力して、X1端子をオープンにしてください。

12.3.1 ロックアップ時間

電源投入直後またはSTOPモード解除直後は、PLLが所定の周波数においてフェーズ・ロック状態で、安定するまでの周波数安定時間（ロックアップ時間）が発生します。この安定するまでの状態をアンロック状態と呼び、安定している状態をロック状態と呼びます。

電源投入直後、またはSTOPモードから $\overline{\text{RESET}}$ 信号で復帰した場合は、 $\overline{\text{RESET}}$ 信号による安定時間を確保してください（13.4 発振安定時間の確保を参照）。

STOPモードからのNMI信号による復帰については自動的に安定時間を確保します。

12.4 クロック出力制御

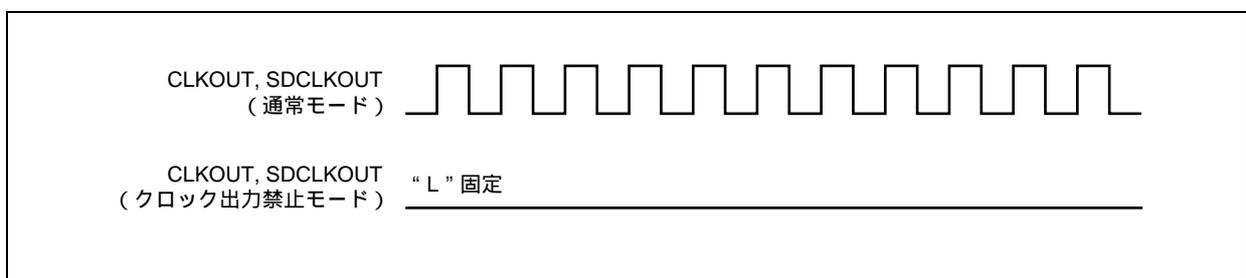
クロック・コントロール・レジスタ（CGC）のCOEビットで、CLKOUT端子、SDCLKOUT端子の動作を選択できます。SDCLKOUT端子はCLKOUT端子と同一動作をします。

HALT/STOPの各スタンバイ・モードおよび、PLL/ダイレクト・モードの組み合わせ（パワー・マネジメント・モード）によって、より効果的にパワー・セービングが行えます。

12.4.1 クロック出力禁止モード

CLKOUT端子、SDCLKOUT端子からのクロック出力を禁止します。CLKOUT、SDCLKOUTの動作が完全に停止するため、一層の低消費電力化およびCLKOUT端子、SDCLKOUT端子からの輻射ノイズ抑止を行えます。

図12-3 クロック出力禁止モード

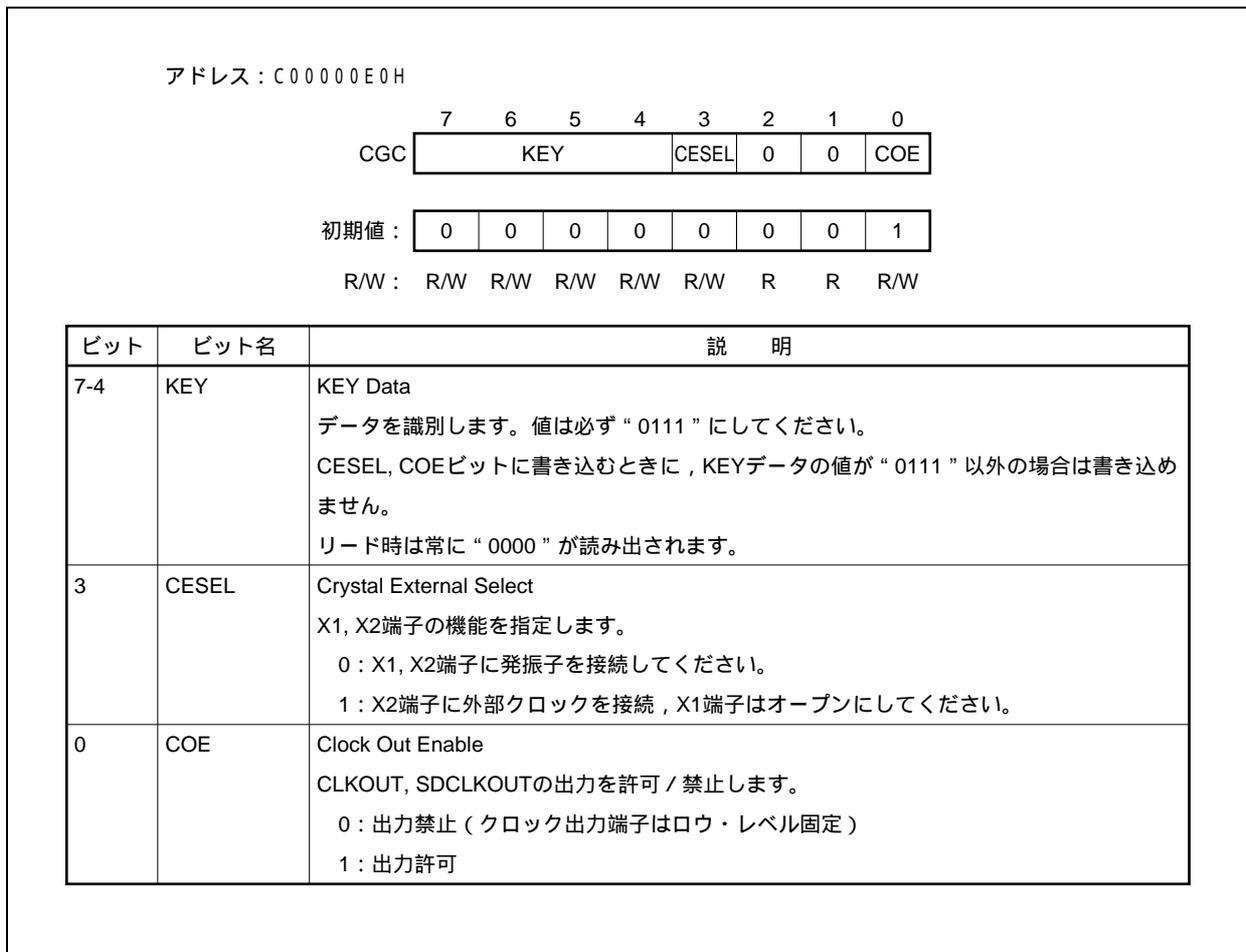


12.5 クロック制御レジスタ

12.5.1 クロック・コントロール・レジスタ (CGC)

入力クロックの選択, およびクロック出力端子 (CLKOUT, SDCLKOUT) の出力を制御します。8ビット単位でリード/ライトができます。

図12-4 クロック・コントロール・レジスタ (CGC)



12.5.2 パワー・マネジメント・レジスタ (PMR)

入力周波数分周比の選択, およびPLL/ダイレクト・モードを設定します。

8ビット単位で, リード/ライト可能です。

図12-5 パワー・マネジメント・レジスタ (PMR)

アドレス: C00000E2H

7	6	5	4	3	2	1	0
Reserved	DC		NMIC	Reserved	PLLSS	DPM	

初期値:

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

R/W: R R R/W R/W R/W R/W R/W R/W

ビット	ビット名	説明															
7, 6	RFU	予約フィールド															
5, 4	DC	Divide Control 入力周波数の分周比を設定します。 <table border="1" style="margin-left: 20px; margin-top: 10px;"> <thead> <tr> <th>ビット5</th> <th>ビット4</th> <th>入力周波数の分周比</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1/1</td></tr> <tr><td>0</td><td>1</td><td>1/2</td></tr> <tr><td>1</td><td>0</td><td>1/4^{注1}</td></tr> <tr><td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	ビット5	ビット4	入力周波数の分周比	0	0	1/1	0	1	1/2	1	0	1/4 ^{注1}	1	1	設定禁止
ビット5	ビット4	入力周波数の分周比															
0	0	1/1															
0	1	1/2															
1	0	1/4 ^{注1}															
1	1	設定禁止															
3	NMIC	NMI Control STOPモード時の $\overline{\text{NMI}}$ のタイミングを指定します。 0: スタンバイ命令と同時に内部 $\overline{\text{NMI}}$ を発生させない (初期値) 1: スタンバイ命令と同時に内部 $\overline{\text{NMI}}$ を発生させる															
2 ^{注2}	RFU	予約フィールド															
1	PLLSS	PLL Stop of Standby Mode STOPモード時のPLL動作を指定します。 0: PLL停止モード (初期値) 1: PLL動作モード															
0	DPM	Direct or PLL Mode PLL/ダイレクト・モードを設定します。 0: PLLモード (初期値) 1: ダイレクト・モード															

注1. ダイレクト・モード時, 分周比1/4は設定禁止です。

2. ビット2には必ず0を設定してください。

12.5.3 PLLコントロール・レジスタ (PLLCR)

PLLの状態を示すレジスタです。このレジスタは、I/O空間にマップされています。32ビット単位でリードできます。

図12-6 PLLコントロール・レジスタ (PLLCR)

アドレス : FFFFFFFF8H

31 29 28 4 3 0

PLLCR PLLC Reserved CM

初期値 : 0 - -

R/W : R/W R/W R/W R

ビット	ビット名	説明																									
31-29	PLLC	PLL Counter STOPモード (スタンバイ命令) で割り込み (NMI) を受け付けてから復帰するまでの時間を指定します。入力クロックを下記のビット数のカウンタで数え上げるまでの時間です。設定については、13.2.1 モード切り替えの設定を参照してください。																									
		<table border="1"> <thead> <tr> <th>PLLC</th> <th>カウンタ</th> <th>23.8 MHz</th> <th>17.85 MHz</th> <th>16.67 MHz</th> </tr> </thead> <tbody> <tr> <td>0 0 0</td> <td>20</td> <td>44 ms^注</td> <td>58.8 ms</td> <td>62.9 ms</td> </tr> <tr> <td>0 1 0</td> <td>16</td> <td>2.75 ms</td> <td>3.67 ms</td> <td>3.93 ms</td> </tr> <tr> <td>1 1 1</td> <td>6</td> <td>2.68 μs</td> <td>3.58 μs</td> <td>3.84 μs</td> </tr> <tr> <td>上記以外</td> <td>設定禁止</td> <td>設定禁止</td> <td>設定禁止</td> <td>設定禁止</td> </tr> </tbody> </table>	PLLC	カウンタ	23.8 MHz	17.85 MHz	16.67 MHz	0 0 0	20	44 ms ^注	58.8 ms	62.9 ms	0 1 0	16	2.75 ms	3.67 ms	3.93 ms	1 1 1	6	2.68 μs	3.58 μs	3.84 μs	上記以外	設定禁止	設定禁止	設定禁止	設定禁止
PLLC	カウンタ	23.8 MHz	17.85 MHz	16.67 MHz																							
0 0 0	20	44 ms ^注	58.8 ms	62.9 ms																							
0 1 0	16	2.75 ms	3.67 ms	3.93 ms																							
1 1 1	6	2.68 μs	3.58 μs	3.84 μs																							
上記以外	設定禁止	設定禁止	設定禁止	設定禁止																							
28-4	RFU	予約フィールド																									
3-0	CM	Clock Mode (読み出し専用です。) 分周器への入力と出力の周波数の比を示します。V832ではリセット時にサンプリングしたCMODE信号の値によって、6:1または8:1のどちらかの値を出力します。																									
		<table border="1"> <thead> <tr> <th>CM</th> <th>周波数比</th> <th>CMODE信号</th> </tr> </thead> <tbody> <tr> <td>0 0 0 1</td> <td>8 : 1</td> <td>1</td> </tr> <tr> <td>0 0 1 0</td> <td>6 : 1</td> <td>0</td> </tr> <tr> <td>上記以外</td> <td>RFU (予約)</td> <td></td> </tr> </tbody> </table>	CM	周波数比	CMODE信号	0 0 0 1	8 : 1	1	0 0 1 0	6 : 1	0	上記以外	RFU (予約)														
CM	周波数比	CMODE信号																									
0 0 0 1	8 : 1	1																									
0 0 1 0	6 : 1	0																									
上記以外	RFU (予約)																										

注 42 (ns) × 2²⁰ = 44 (ms) : 42 (ns) = 入力クロックの周期

第13章 スタンバイ機能

V832には、低消費電力化を図るためのスタンバイ機能として、次のようなモードがあります。

13.1 特徴

パワー・マネジメント・モード

・PLLモードとダイレクト・モードの組み合わせによる動作周波数制御モードです。

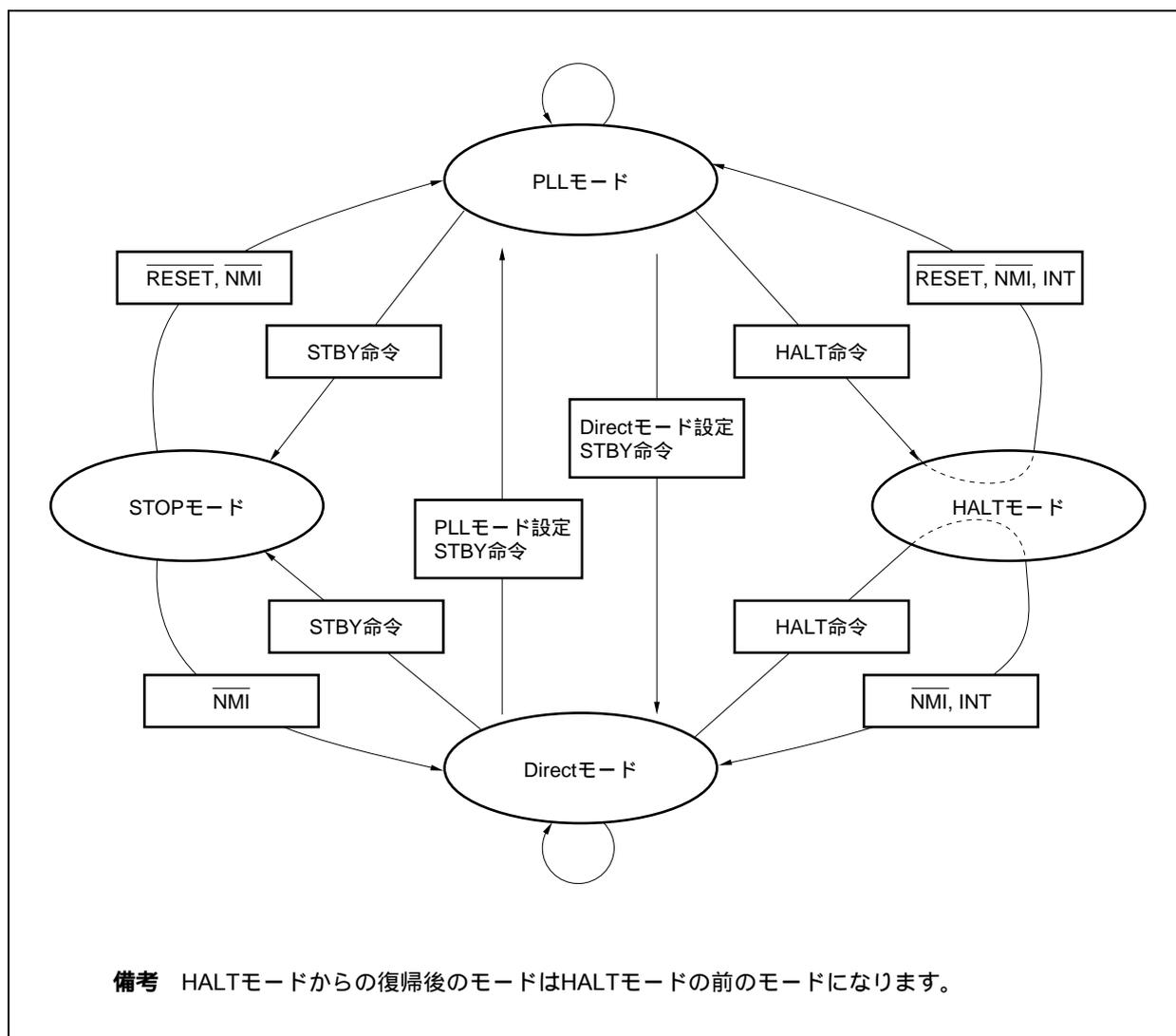
スタンバイ・モード

・HALTモード（CPUクロックのみ停止）とSTOPモード（システム全体が停止，PLLシンセサイザも停止）があります。

HALT, STBY命令により動作クロックを制御するモードです。

HALT, STBY命令により各モードに移行します。

図13 - 1 状態遷移図



13.2 パワー・マネジメント・モード

V832のパワー・マネジメント・モードには、次の2つのモードがあります。

これらを組み合わせることによって動作周波数を動的に変化させるモードです。

(1) PLLモード

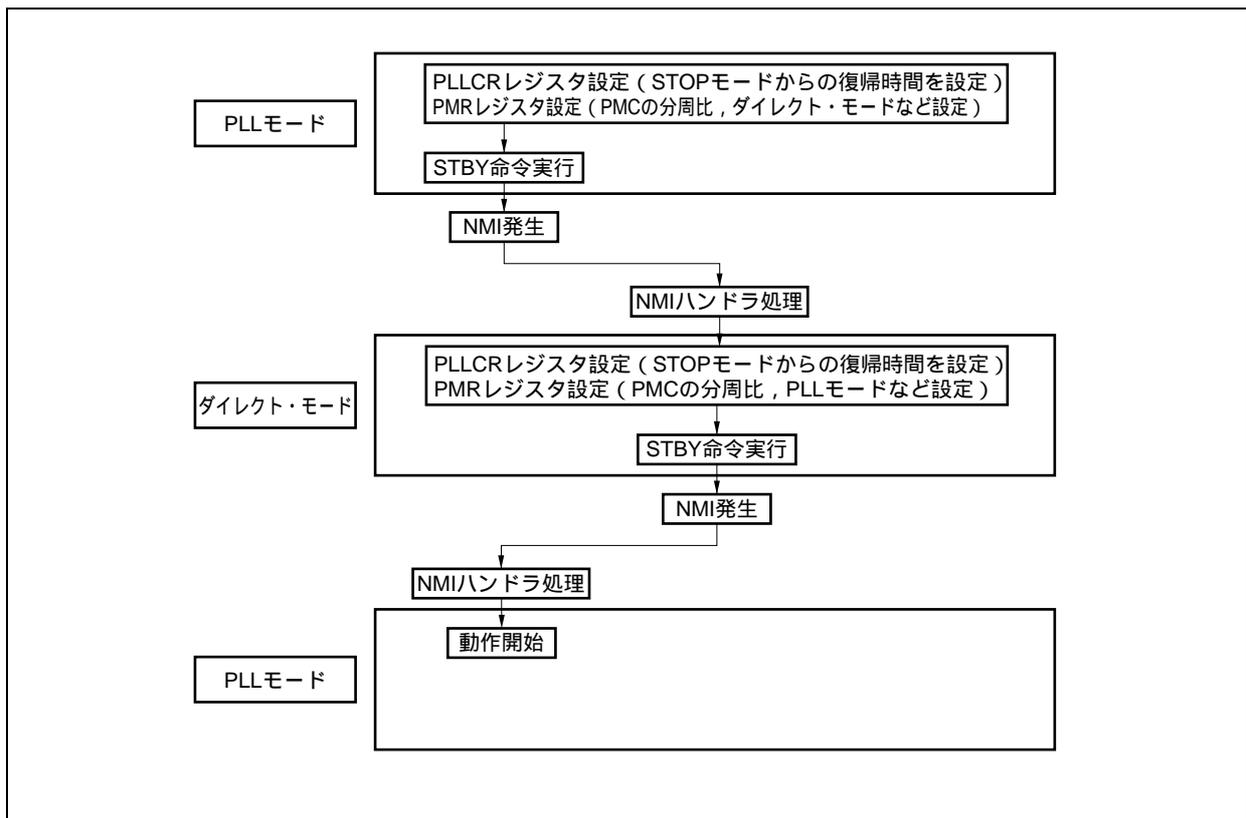
通常使用するモードです。外部入力クロック/OSCの発振クロックをPLLシンセサイザで6倍または8倍にしたクロックをCPUクロックとして使用するモードです。

(2) ダイレクト・モード

外部入力クロック/OSCの発振クロックをPLLシンセサイザで倍率を変えずに、CPUクロックとして使用するモードです。

基本的なモード切り替えのシーケンスを図13 - 2に示します。

図13 - 2 動作周波数切り替えシーケンス



13.2.1 モード切り替えの設定

モードの切り替えはSTBY命令の実行，ノンマスカブル割り込み要求（NMI）による復帰後，切り替わります。NMI発生にはNMI信号による方法と内部NMIを発生させる方法があります。内部NMIを発生させる設定は，12.5.2 パワー・マネジメント・レジスタ（PMR）を参照してください。

モードの切り換え	PMR : DC	PMR : PLLSS	PMR : DPM	PLLCR : PLLC
(1) PLLモード PLLモード	変更あり	0	0	010
(2) PLLモード PLLモード	変更なし ^注	0	0	010
		1		111
(3) PLLモード ダイレクト・モード	-	0	1	111
(4) ダイレクト・モード PLLモード	-	0	0	010
(5) ダイレクト・モード ダイレクト・モード	-	0	1	111

注 STOPモード中に入カクロックの停止または周波数の変更を行わないでください。

STOPモード中に入カクロックの停止または周波数の変更を行う場合は，（1）の設定にしてください。

注意 パワー・マネジメント・モードを使用する場合，バス・クロックの周波数が変わるため使用する前にシリアル・インタフェース転送スピードの再設定，SDRAMリフレッシュ間隔，コマンド間隔の再設定が必要です。

備考 PLLCR : PLLCビットの設定例は，設定が許される範囲で最も短い設定を示しています。

13.3 スタンバイ・モード

スタンバイ・モードには、次に示すモードがあります。

(1) HALTモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックを停止させるモードです。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。通常モードと組み合わせる動作により、システム全体の消費電力を低減できます。

(2) STOPモード

CPUと周辺I/Oへのクロックの供給を停止させるモードです。

HALTモードよりさらに低消費電力状態になります。

PLLシンセサイザのクロック出力

- ・PLLモード時 : パワー・マネジメント・レジスタ（PMR）のPLLSSビットでPLLの動作 / 停止が選択できます。
- ・ダイレクト・モード時 : PLLは常に停止します。

通常、HALT、STOPの各モードにおけるクロック・ジェネレータの動作を表13 - 1に示します。

表13 - 1 スタンバイ制御によるクロック・ジェネレータの動作

	各モード	発振回路 (OSC)	PLL シンセサイザ	周辺I/Oへの クロック供給	CPUへの クロック供給
PLLモード	通常				
	HALT				×
	STOP			×	×
ダイレクト・ モード	通常		×		
	HALT		×		×
	STOP		×	×	×

備考 : 動作

× : 停止

 : 設定により動作 / 停止

13.3.1 HALTモード

(1) HALTモードの設定と動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックを停止させるモードです。その他の周辺内蔵機能へのクロック供給は継続され、動作を継続します。CPUの空き時間にHALTモードに設定すると、システム全体の消費電力を低減できます。

HALT命令を実行するとHALTモードへ移行します。HALTモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタの内容は保持されます。また、CPUの命令処理に依存しないオンチップの周辺機能は動作を継続します。HALTモード中の $\overline{\text{HLDRQ}}$ 信号は受け付けます。

ノンマスカブル割り込み処理ルーチン内でHALTモードに設定する場合は、HALT命令を実行する前に、PSW.NP = 1（NMI処理中の状態）からPSW.NP = 0（NMI処理中でない状態）にして、新たなノンマスカブル割り込み要求を受け付ける状態にしてください。PSW.NP = 0にしない場合、 $\overline{\text{NMI}}$ によってHALTモードからの復帰ができなくなります。

HALTモード時の各ハードウェアの状態を表13-2に示します。

表13-2 HALTモード時の動作状態

機 能	動作状態 ^{注1}	
発振回路	動 作	
PLLシンセサイザ	動 作 ^{注2}	
バス・クロック	動 作	
CPU	停 止	
ポート出力	保 持	
周辺機能	動 作	
内部データ	CPUのレジスタなど内部データはすべてHALTモード設定前の状態を保持	
A1-A23	不 定	$\overline{\text{HLD}}\text{AK} = 0$ のときはハイ・インピーダンス
D0-D31	ハイ・インピーダンス	
$\overline{\text{BCYST}}$	1	$\overline{\text{HLD}}\text{AK} = 0$ のときはハイ・インピーダンス
$\overline{\text{CS0-CS7}}$		
$\overline{\text{IORD}}$, $\overline{\text{IOWR}}$		
$\overline{\text{MRD}}$, $\overline{\text{MWR}}$, $\overline{\text{LLBEN}}$, $\overline{\text{LUBEN}}$, $\overline{\text{ULBEN}}$, $\overline{\text{UUBEN}}$		
$\overline{\text{LLDQM}}$, $\overline{\text{LUDQM}}$, $\overline{\text{ULDQM}}$, $\overline{\text{UUDQM}}$		
$\overline{\text{CAS}}$, $\overline{\text{WE}}$, $\overline{\text{RAS}}$	0 ^{注3}	
$\overline{\text{CKE}}$	1 ^{注4}	
$\overline{\text{R/W}}$	1 ^{注5}	
$\overline{\text{R/W}}$	保 持	
$\overline{\text{HLDRQ}}$	動 作	
$\overline{\text{CLKOUT}}$, $\overline{\text{SDCLKOUT}}$	クロック出力（クロック出力禁止でないとき）	
$\overline{\text{STOPAK}}$	1	

注1. DMA転送中の場合、各端子は動作状態になります。

2. ダイレクト・モード時には停止しています。
3. リセット後、最初のSDRAMアクセスまでは1になります。
4. オート・リフレッシュ時以外。
5. パワー・ダウン・モード時には0になります。

(2) HALTモードの解除

HALTモードは、ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求、およびRESET端子入力により解除されます。

(a) ノンマスクابل割り込み要求による解除

NMI信号を検出すると、CPUクロックの供給を再開します。

(b) マスクابل割り込み要求による解除

マスクされていないマスクابل割り込み要求により、CPUクロックの供給を再開します。

割り込み処理ルーチン内でHALTモードに設定する場合は、HALT命令を実行する前に、HALT状態を解除する割り込み要求を受け付ける状態に設定してください。割り込み許可 (PSW.ID = 0, EP = 0) と割り込み許可レベルを設定してください。

表13-3 割り込み要求によるHALTモード解除後の動作

解除要因	EI状態 (PSW.ID = 0)	DI状態 (PSW.ID = 1)
ノンマスクابل割り込み要求	ハンドラ・アドレス分岐	
マスクابل割り込み要求	ハンドラ・アドレス分岐	解除しません

(c) RESET端子入力による解除

通常のリセット動作と同じです。したがって、スタンバイ・モードに入る前のレジスタ値等の状態は保持しません。

13.3.2 STOPモード

(1) STOPモードの設定と動作状態

CPUと内蔵周辺機能へのクロック供給を停止するモードです。PLLモード時、PMRレジスタの設定によりPLLシンセサイザを停止できます (発振回路は停止しません)。

PLLシンセサイザが停止し、内蔵周辺回路も停止することにより低消費電力を実現します。STBY命令を実行すると、セルフ・リフレッシュ・サイクルが起動してSTOPモードに移行します。

STOPモード解除後は、発振安定時間を確保する必要があります (13.4 発振安定時間の確保参照)。

STOPモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタの内容は保持されます。また、内蔵周辺機能の動作も停止します。

STOPモードに入ると内蔵周辺およびCLKOUTのクロック供給が停止するので、STOPモードに入る前に内蔵周辺および外部周辺の動作が終了したことを確認してからSTBY命令を実行してください。

STBY命令実行前にはDMACのDCHC0-DCHC3のENビットを0にしてDMA転送を禁止してください。また、PLLCR, PMR, BRG0, BPRM0を設定してください。

STOPモード時には、 $\overline{\text{STOPAK}}$ がアクティブになります。

STOPAKの動作タイミングを図13-3に示します。

ノンマスクابل割り込み処理ルーチン内でSTOPモードに設定する場合は、STBY命令を実行する前に、PSW.NP = 1 (NMI処理中の状態) からPSW.NP = 0 (NMI処理中でない状態) にして、新たなノンマスクابل割り込み要求を受け付ける状態にしてください。PSW.NP = 0にしない場合、 $\overline{\text{NMI}}$ によってSTOPモードからの復帰ができなくなります。

STOPモード時の各ハードウェアの状態を表13-4に示します。

図13 - 3 STOPAKの動作タイミング

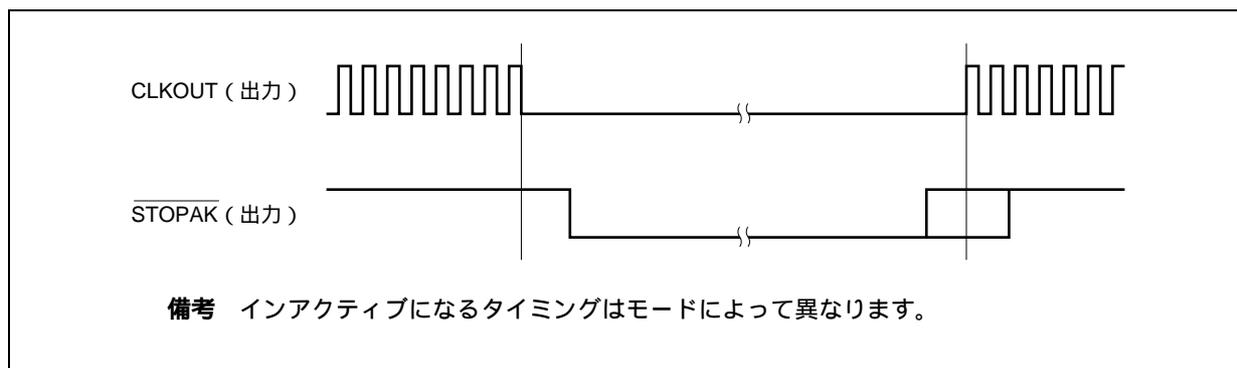


表13 - 4 STOPモード時の動作状態

機 能	動作状態
発振回路	動 作
PLLシンセサイザ	停 止 ^{注1}
バス・クロック	停 止
CPU	停 止
ポート出力	保 持
周辺機能	停 止
内部データ	CPUのレジスタなど内部データはすべてSTOPモード設定前の状態を保持
A1-A23	不 定
D0-D31	ハイ・インピーダンス
$\overline{\text{BCYST}}$	1
$\overline{\text{CS0-CS7}}$	
$\overline{\text{IORD, IOWR}}$	
$\overline{\text{MRD, MWR, LLBEN, LUBEN, ULBEN, UUBEN}}$	
$\overline{\text{LLDQM, LUDQM, ULDQM, UUDQM, RAS, CAS, WE, CKE}}$	セルフ・リフレッシュ ^{注2}
$\overline{\text{R/W}}$	保 持
$\overline{\text{HLDRQ}}$	受け付けない
$\overline{\text{CLKOUT, SDCLKOUT}}$	0
$\overline{\text{STOPAK}}$	0

注1. PLLモード時，動作している場合があります。

- リフレッシュが禁止されている場合，セルフ・リフレッシュは行いません。その場合，この端子の状態はSTOPモードに入る前の状態を保持します。

(2) STOPモードの解除

STOPモードは，ノンマスクابل割り込み要求，および $\overline{\text{RESET}}$ 端子入力で解除します。STOPモード解除時は，発振回路の発振安定時間を確保してください。

(a) ノンマスクابل割り込み要求 (NMI) による解除

$\overline{\text{NMI}}$ 信号を検出すると，PLLシンセサイザの動作が再開します。そのあと，発振安定時間分だけウ

エイトして、CPUクロックとバス・クロックの供給を開始します。

$\overline{\text{NMI}}$ 信号によるSTOPモード解除時に起動される割り込み処理は、通常のノンマスクابل割り込み処理と同等に扱われます。したがって、プログラムで両者を区別する場合は、ソフトウェア・ステータスをあらかじめ用意して、STBY命令実行前にステータスを設定してください。ノンマスクابل割り込み処理でこのステータスをチェックすると、通常の $\overline{\text{NMI}}$ 信号との区別ができます。

ノンマスクابل割り込み処理ルーチン内でHALTモードに設定する場合は、HALT命令を実行する前に、PSW.NP = 1 (NMI処理中の状態) からPSW.NP = 0 (NMI処理中でない状態) にして、新たなノンマスクابل割り込み要求を受け付ける状態にしてください。PSW.NP = 0にしない場合、 $\overline{\text{NMI}}$ によってHALTモードからの復帰ができなくなります。

(b) $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。したがって、スタンバイ・モードに入る前のレジスタ値等の状態は保持しません。

(c) 内部 $\overline{\text{NMI}}$ による解除

STOPモードに設定する場合、STBY命令を実行する前にパワー・マネジメント・レジスタ (PMR) の設定を行います。そこで、PMR.NMIC = 1と設定を行うとSTBY命令と同時に内部 $\overline{\text{NMI}}$ を発生させます。

内部 $\overline{\text{NMI}}$ によるSTOPモード解除時に起動される割り込み処理は、通常のNMI処理と同等に行われます。

13.4 発振安定時間の確保

STOPモードを解除したあと、次の場合には、停止状態のPLL回路が安定するまでの時間確保が必要になります。

- ・ STOPモードの解除後
- ・ PLLモードで分周比を変更する時
- ・ ダイレクト・モードからPLLモードへの復帰時

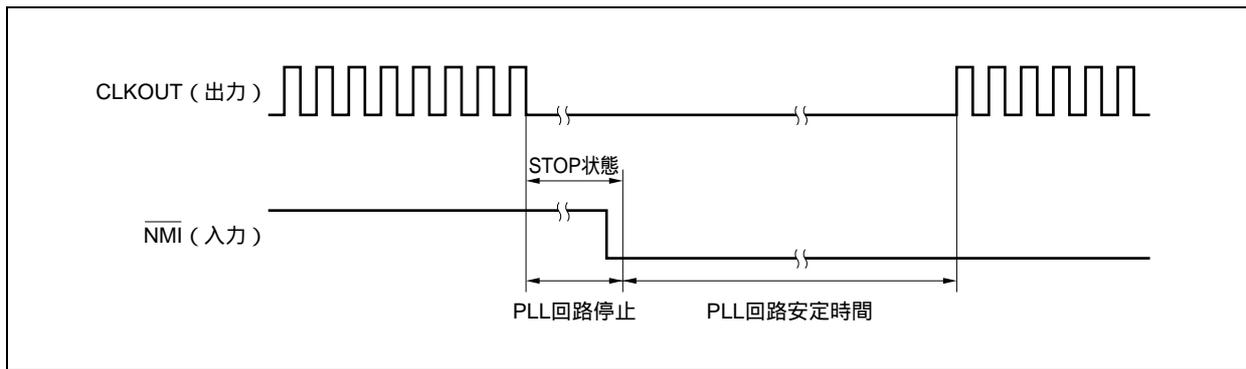
(1) 発振安定時間確保タイマで時間を確保する場合 ($\overline{\text{NMI}}$ 信号入力、内部 $\overline{\text{NMI}}$)

$\overline{\text{NMI}}$ 端子に有効エッジが入力されるか、内部 $\overline{\text{NMI}}$ が発生すると、STOPモードが解除されます。

その場合、発振安定時間は内蔵の発振安定時間確保タイマにより自動的にクロック出力が安定するまでの時間を確保します。

所定時間後に、クロック出力が開始し、NMI処理のハンドラ・アドレスに分岐します。

図13 - 4 STOPモード解除タイミング (NMI信号入力時)

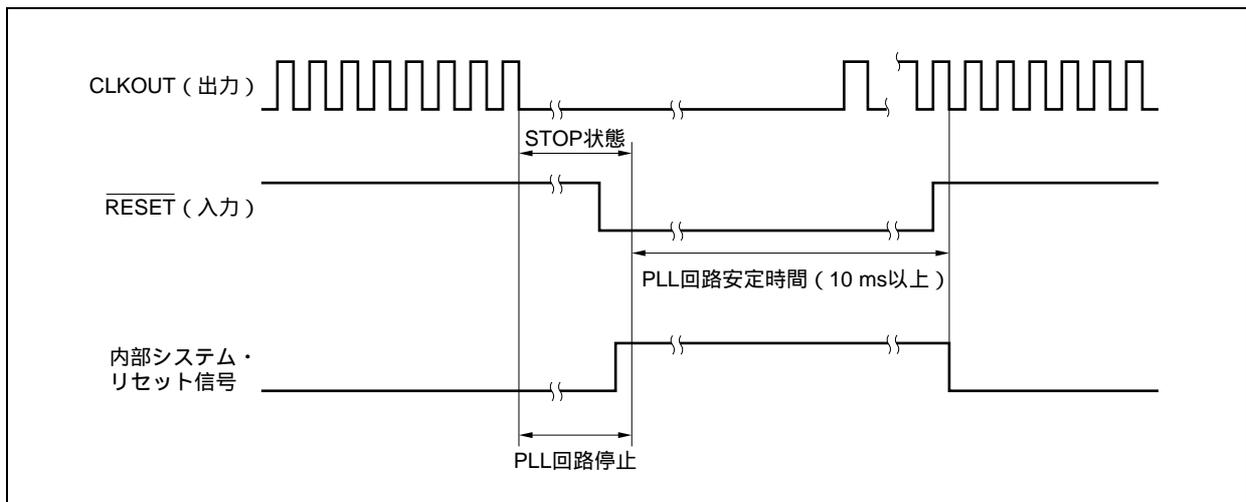


(2) 信号レベル幅で時間を確保する場合 (RESET信号入力)

RESET端子への立ち下がりエッジ入力により、STOPモードを解除します。RESET端子に入力する信号のロウ・レベル幅は、発振回路からのクロック出力が安定するまで時間を確保してください。PLLの安定時間を確保するためには、ロウ・レベル幅を10 ms以上入力してください。

RESET端子への立ち上がりエッジ入力後、クロックの供給を開始して、システム・リセット時のハンドラ・アドレスに分岐します。

図13 - 5 STOPモード解除タイミング (RESET信号入力時)



第14章 リセット/NMI制御機能

リセット/NMI制御機能は、システム・コントロール・ユニット (SYU) にて実現します。システム・コントロール・ユニットは、 $\overline{\text{RESET}}$ 信号と $\overline{\text{NMI}}$ 信号をコントロールする回路です。

14.1 特 徴

$\overline{\text{RESET}}$ 端子、 $\overline{\text{NMI}}$ 端子に外部入力クロック・サンプリングによるノイズ除去回路を内蔵しています。

デバッグ・コントロール・ユニットからの強制リセット、リセット・マスク、NMIマスク処理を行います。

14.2 ノンマスクابل割り込み (NMI)

外部入力クロック (X2端子入力または発振子) の立ち上がりで $\overline{\text{NMI}}$ 信号をサンプリングします。

5外部入力クロック未満のノイズを除去してからエッジを検出します。したがって、 $\overline{\text{NMI}}$ 信号は5外部入力クロック分以上のロウ・レベル幅が必要です。

$\overline{\text{NMI}}$ 信号がハイ・レベルからロウ・レベルに変化したとき、割り込みを検出します。 $\overline{\text{NMI}}$ 信号は、立ち下がりエッジ検出であるため、一度ノンマスクابل割り込み要求を検出したあとはいつでもインアクティブにできます。検出した割り込みは要求は、CPUが割り込み処理を開始するまでCPU内部で保持されます。

14.3 リセット

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとシステム・リセットがかかり、オンチップの各ハードウェアは初期状態にイニシャライズされます。

$\overline{\text{RESET}}$ 端子がロウ・レベルからハイ・レベルになると、リセット状態が解除され、CPUはプログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

$\overline{\text{RESET}}$ 信号は、5外部入力クロック分未満のノイズ幅を除去してからエッジを検出します。したがって、5外部入力クロック分以上のロウ・レベル幅が必要です。そのため、CPUコアに対するリセット・イネーブルの最低幅 (10クロック分) を満足させるには、外部リセット信号幅は15クロック分以上必要になります。

リセット解除後から、最初のBCYST信号がアクティブになるまでの最小クロック数は次のようになります。

- ・ 16バス・クロック (×6モード)
- ・ 15バス・クロック (×8モード)

14.3.1 端子機能

システム・リセット期間中とリセット直後の出力端子の状態を表14 - 1に示します。リセット期間中は、この状態を保持します。

$\overline{\text{RESET}}$ 端子を15外部入力クロック以上のロウ・レベルを保持したあとインアクティブにして、 $\overline{\text{HLDRQ}}$ 信号がインアクティブであれば、命令フェッチのためのメモリ・リード・サイクルを起動し、 $\overline{\text{HLDRQ}}$ 信号がアクティブであればバス・ホールド状態に遷移します。

リセットによりハイ・インピーダンスになる端子については、プルアップまたはプルダウン抵抗を付けてください。これらの処理をしない場合、端子がハイ・インピーダンスになるとメモリなどの内容を破壊するおそれがあります。

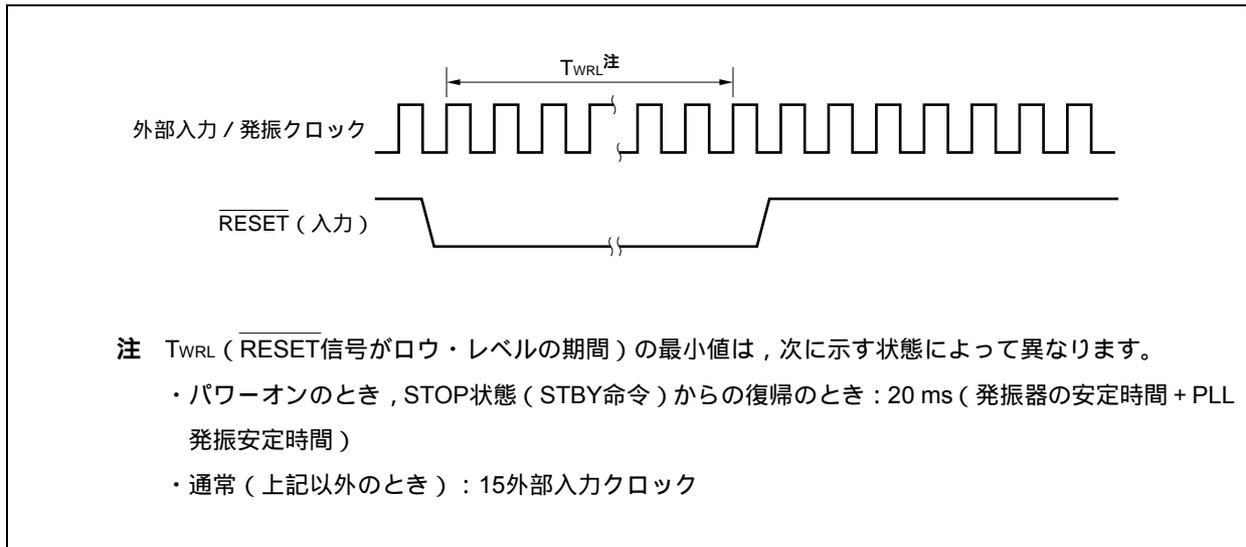
また、リセット期間中でもCLKOUT端子、SDCLKOUT端子からのクロックは出力されます。

表14 - 1 リセット直後の出力端子の状態

機 能	動作状態
A1-A23	不 定
D0-D31	ハイ・インピーダンス
$\overline{\text{CS0}}\text{-}\overline{\text{CS7}}$	1
$\overline{\text{BCYST}}$	1
$\overline{\text{IORD}}$, $\overline{\text{IOWR}}$	1
$\overline{\text{WE}}$, $\overline{\text{RAS}}$, $\overline{\text{CAS}}$, $\overline{\text{CKE}}$	1
$\overline{\text{LLBEN}}$, $\overline{\text{LUBEN}}$, $\overline{\text{ULBEN}}$, $\overline{\text{UUBEN}}$	1
$\overline{\text{LLDQM}}$, $\overline{\text{LUDQM}}$, $\overline{\text{ULDQM}}$, $\overline{\text{UUDQM}}$	1
$\overline{\text{R/W}}$	1
$\overline{\text{MRD}}$, $\overline{\text{MWR}}$	1
CLKOUT, SDCLKOUT	クロック出力
$\overline{\text{HLDAK}}$	1
PORT0-PORT4 ^注 , PORTA0-PORTA7 ^注 , PORTB0-PORTB7 ^注	ハイ・インピーダンス
DDO	不 定
TRCDATA0-TRCDATA3	不 定
$\overline{\text{STOPAK/TC}}$	1

注 ポート兼用端子はリセット直後はポート端子となります。

図14 - 1 リセット信号の受け付け



14.3.2 イニシャライズ

各レジスタのリセット後の初期値を表14-2に示します。

各レジスタの内容はプログラム中で必要に応じてイニシャライズしてください。特にクロック・コントロール・レジスタ (CGC) は、システム設定 (X1, X2端子機能, CLKOUT端子動作など) に関するレジスタなので注意してください。

表14-2 各レジスタのリセット後の初期値

レジスタ		リセット後の初期値	
システム・レジスタ	プログラム・カウンタ	PC	FFFFFFF0H
	例外 / 割り込み時状態退避レジスタ	EIPC	不 定
		EIPSW	不 定
	NMI / 二重例外時状態退避レジスタ	FEPC	不 定
		FEPSW	不 定
	例外要因レジスタ	ECR	0000FFF0H
	プログラム・ステータス・ワード	PSW	00008000H
	プロセッサIDレジスタ ^{注1}	PIR	00008302H
	タスク・コントロール・ワード	TKCW	000000E0H
	デバッグ例外時状態退避レジスタ	DPC	不 定
DPSW		不 定	
ハードウェア・コンフィギュレーション・コントロール・ワード	HCCW	00000000H	
内部レジスタ	PLLコントロール・レジスタ ^{注2}	PLLCR	00000001H 00000002H
	キャッシュ・メモリ・コントロール・レジスタ	CMCR	00000000H
	命令キャッシュ・タグ・レジスタ	ICTR	xxxxx000H
	データ・キャッシュ・レジスタ	DCTR	xxxxx000H
	命令RAMレジスタ	IRAMR	不 定

注1. V832では、初期値のまま固定になります。

2. CMODEの設定で初期値はどちらかに決まります。

備考 内蔵周辺ユニットのレジスタ初期値は各内蔵周辺ユニットの章を参照してください。

第15章 ディバグ/トレース機能

V832は、ディバグ/トレース機能を実現するディバグ・コントロール・ユニット（DCU）を備えています。

15.1 特徴

ディバグ用信号装備：10本（専用： $\overline{\text{DRST}}$, DCK, DMS, DDI, DDO, TRCDATA0-TRCDATA3）

（兼用：CLKOUT）

- ・ユーザ基板にディバグ用の配線，コネクタを付けると，オンチップでのディバグが可能（ただし，致命的例外ハンドラ（FFFFFFE0H-FFFFFFEFH）は使用できなくなります。）
- ・ディバグ装置を介してホスト・マシンとのインタフェースを行うディバグ・インタフェースを装備
- ・ユーザのプログラムの実行状況を監視するトレース・インタフェースを装備

ディバグ機能

- ・強制リセット機能（CPUコアおよび周辺機能を強制的にリセット可能）
- ・強制ブレーク機能（ユーザ・プログラムの実行を強制的に中断可能）
- ・ユーザ・プログラムの実行を任意のアドレスで中断可能
- ・ユーザ・プログラムを任意のアドレスから実行開始可能
- ・ユーザ・プログラム中断中にユーザ・リソース（メモリ，I/Oなど）のリード/ライト可能
- ・ユーザ・プログラムのダウンロード可能
- ・マスク機能（外部入力信号（ $\overline{\text{RESET}}$, $\overline{\text{HLDRQ}}$, $\overline{\text{NMI}}$, INTP00-INTP03, INTP10-INTP13）をマスク可能）

トレース機能

- ・PCトレース（分岐トレース）
ユーザ・プログラム実行中に発生したすべての分岐（処理の遷移）をトレース可能
機能別に分別された9種類の分岐からトレース要因を選択可能
- ・データ・トレース
外部バス，内蔵周辺I/Oバスを経由するすべてのデータ・アクセスをトレース可能（CPUコア内蔵のデータRAM，データ・キャッシュ，システムI/Oはトレースできません。）
ライト・アクセスではライト・データをトレース可能
- ・リアルタイムでのトレースが可能
- ・トレースの強制スタート/強制ストップ，任意の実行PCからのトレース・スタートが可能
- ・トレース・バッファを装備（PCトレース，データ・トレース兼用）
最小12要因から最大64要因までのトレース・データを格納可能

15.3 デバッグ/トレース機能の制限事項

デバッグ・コントロール・ユニット (DCU) を使用するN-Wire対応のインサーキット・エミュレータを使用される場合に、次の2点の問題を生じることがあります。なお、インサーキット・エミュレータを使用しないとき、およびROMエミュレータを使用しているときには、次の問題は発生せず、正常動作します。

(1) トレース機能が正常に動作しない

CPUのトレース情報のパケットをインサーキット・エミュレータに送信する前に、CPU内部にいったん情報を貯えるFIFO構造のトレース・バッファがオーバーフローしたとき、オーバーフローを示すパケットを1回出力します。しかし、場合によっては、このオーバーフロー・パケットの出力が止まらなくなることがあります。その後、正常なトレース情報が得られません。復帰は $\overline{\text{RESET}}$ 信号の入力、もしくはDCU機能のリセットで行います。ただしDCUのリセットはインサーキット・エミュレータのコントロール・ソフトによってのみ操作できます。

(2) HALTモード、およびSTOPモードからの起動ができない

(1) のオーバーフロー・パケットの連続出力中に、HALTモード、もしくはSTOPモードに遷移しようとすると、遷移条件の1つであるトレース・パケットの出力完了にならないため、HALTモード、STOPモードには正常に移行できません。あたかも通常動作中でバス・サイクルが発生していないように見えます。さらに、この状態から通常モードへの復帰もできません。復帰は $\overline{\text{RESET}}$ 信号の入力のみ可能です。

15.3.1 制限事項の回避方法

(1) トレース機能をオフにする

上記制限事項はインサーキット・エミュレータを接続し、トレース機能をオンにしたときのみ発生します。インサーキット・エミュレータからの制御を最初からオフにすることにより、HALTモード、およびSTOPモードから起動できない現象を回避できます。ただし、この場合トレース機能は使用できません。

(2) 強制的に復帰するコマンドを使用

上記制限事項によりHALTモードおよびSTOPモードから起動できないときには、HALTモード、およびSTOPモードから起動させるためのコマンドを使用してください。

注意 対応はインサーキット・エミュレータのベンダによって異なります。

付録A V832ターゲット・ボードのバス設計について

V832の外部バスの設計を行う場合、動作を安定させるため、次のようにボードを設計されることを推奨いたします。

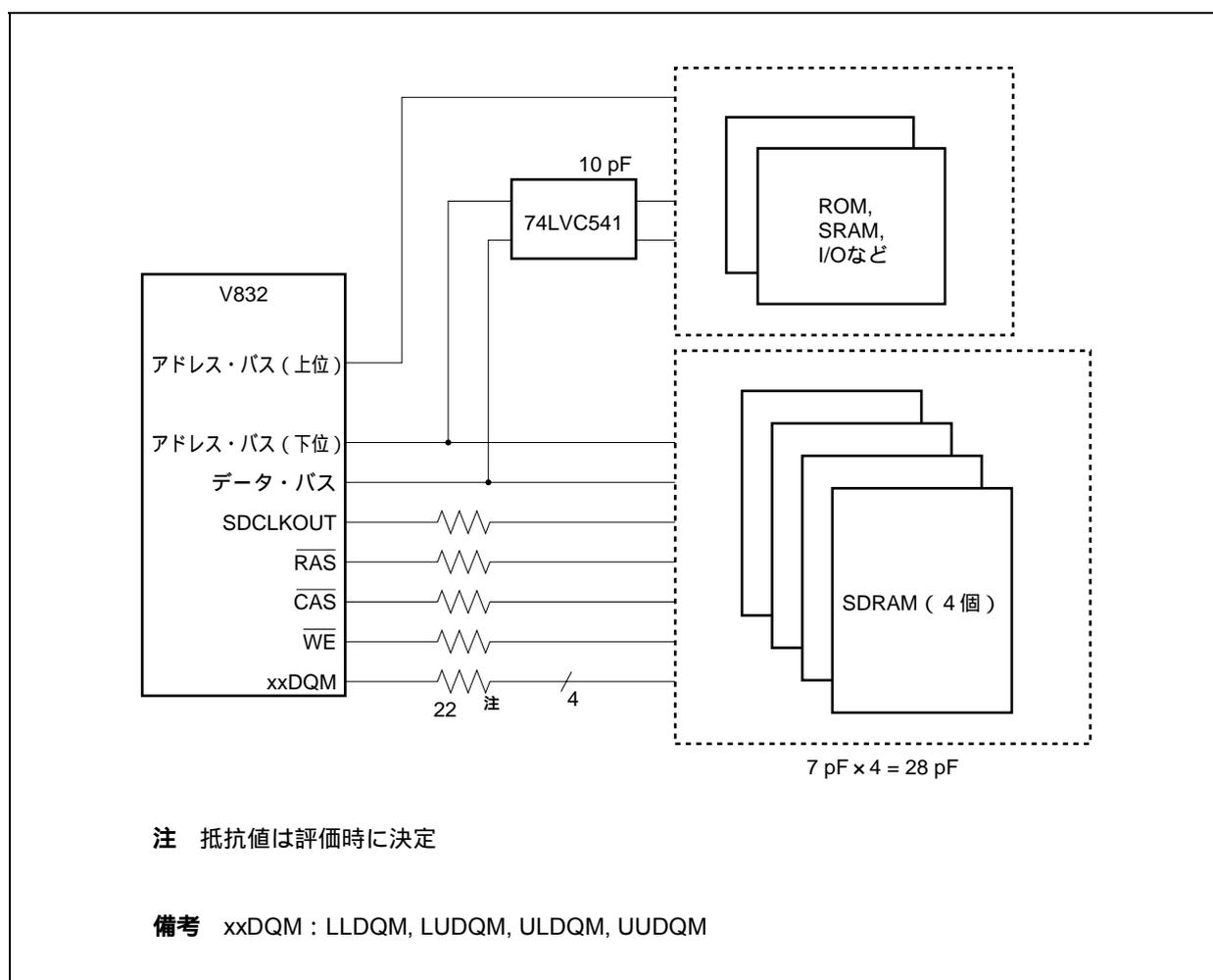
(1) V832の出力端子については、各出力端子に接続されるデバイス負荷容量および配線負荷容量を算出し、1端子あたりの負荷容量合計が50 pFを越えないように回路設計（バッファ挿入）を行ってください。

また、配線負荷容量を求めるのが困難な場合は、デバイス負荷容量の合計が40 pFを越えないように回路設計（バッファ挿入）を行ってください。

(2) V832の出力端子にノイズ対策のためにダンピング抵抗を挿入する際には、最初は22 Ω位の値とし、最終的にはボード評価時に最適な値を決定してください。

(3) SDRAMとV832は最短距離で配線してください。また、SDRAMへのアドレス/データ・バスには極力バッファを挿入しないでください。負荷容量の問題により、やむなくバッファを挿入する際には、バッファによる遅延時間の影響を十分に検討してください。

図A - 1 バッファ挿入時の推奨回路図



付録B レジスタ索引

(1/3)

略号	機能レジスタ名称	ユニット	ページ
ASIM00	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	UART	157
ASIM01	アシンクロナス・シリアル・インタフェース・モード・レジスタ01	UART	159
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	UART	160
BCTC	バス・サイクル・タイプ・コントロール・レジスタ	BCU	115
BPRM0	ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ	BRG	175
BRG0	ポー・レート・ジェネレータ・コンペア・レジスタ	BRG	174
CC10	キャプチャ/コンペア・レジスタ10	RPU	181
CC11	キャプチャ/コンペア・レジスタ11	RPU	181
CC12	キャプチャ/コンペア・レジスタ12	RPU	181
CC13	キャプチャ/コンペア・レジスタ13	RPU	181
CGC	クロック・コントロール・レジスタ	CG	208
CM4	コンペア・レジスタ	RPU	180
CSIM0	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSI	167
DBC	データ・バス幅コントロール・レジスタ	BCU	116
DBC0H	DMAバイト・カウント・レジスタ0H	DMAC	136
DBC0L	DMAバイト・カウント・レジスタ0L	DMAC	136
DBC1H	DMAバイト・カウント・レジスタ1H	DMAC	136
DBC1L	DMAバイト・カウント・レジスタ1L	DMAC	136
DBC2H	DMAバイト・カウント・レジスタ2H	DMAC	136
DBC2L	DMAバイト・カウント・レジスタ2L	DMAC	136
DBC3H	DMAバイト・カウント・レジスタ3H	DMAC	136
DBC3L	DMAバイト・カウント・レジスタ3L	DMAC	136
DC	DMAコントロール・レジスタ	DMAC	140
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMAC	137
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMAC	137
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMAC	137
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMAC	137
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMAC	134
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMAC	135
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMAC	134
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMAC	135
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMAC	134
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMAC	135
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMAC	134
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMAC	135
DSA0H	DMAソース・アドレス・レジスタ0H	DMAC	132
DSA0L	DMAソース・アドレス・レジスタ0L	DMAC	133

略号	機能レジスタ名称	ユニット	ページ
DSA1H	DMAソース・アドレス・レジスタ1H	DMAC	132
DSA1L	DMAソース・アドレス・レジスタ1L	DMAC	133
DSA2H	DMAソース・アドレス・レジスタ2H	DMAC	132
DSA2L	DMAソース・アドレス・レジスタ2L	DMAC	133
DSA3H	DMAソース・アドレス・レジスタ3H	DMAC	132
DSA3L	DMAソース・アドレス・レジスタ3L	DMAC	133
ICR	割り込みクリア・レジスタ	ICU	57
IGP	割り込みグループ優先順位レジスタ	ICU	54
IMOD	ICUモード・レジスタ	ICU	59, 188
IMR	割り込み要求マスク・レジスタ	ICU	58
IRR	割り込み要求レジスタ	ICU	57
PAC	ポートAコントロール・モード・レジスタ	ポート	201
PAM	入出力モード・レジスタA	ポート	201
PBC	ポートBコントロール・モード・レジスタ	ポート	204
PBM	入出力モード・レジスタB	ポート	203
PC	ポート・コントロール・モード・レジスタ	ポート	198
PIC0	プログラマブル・アイドル・コントロール・レジスタ0	BCU	119
PIC1	プログラマブル・アイドル・コントロール・レジスタ1	BCU	119
PLLCR	PLLコントロール・レジスタ	CPU	210
PM	入出力モード・レジスタ	ポート	197
PMR	パワー・マネジメント・レジスタ	CG	209
PORT	入出力ポート・レジスタ	ポート	197
PORTA	入出力ポート・レジスタA	ポート	200
PORTB	入出力ポート・レジスタB	ポート	203
PRC	Page-ROMコンフィギュレーション・レジスタ	BCU	128
PWC0	プログラマブル・ウェイト・コントロール・レジスタ0	BCU	117
PWC1	プログラマブル・ウェイト・コントロール・レジスタ1	BCU	118
RFC	リフレッシュ・コントロール・レジスタ	BCU	126
RXB0	受信バッファ	UART	161
RXB0L	受信バッファ	UART	161
SDC	SDRAMコンフィギュレーション・レジスタ	BCU	123
SDM	SDRAMモード・レジスタ	BCU	125
SIO0	シリアルI/Oシフト・レジスタ0	CSI	168
TM1	タイマ1	RPU	178
TM4	タイマ4	RPU	180
TMC1	タイマ・コントロール・レジスタ1	RPU	185
TMC4	タイマ・コントロール・レジスタ4	RPU	186
TOC1	タイマ出力コントロール・レジスタ	RPU	187
TOVS	タイマ・オーバフロー・ステータス・レジスタ	RPU	188

略号	機能レジスタ名称	ユニット	ページ
TUM1	タイマ・ユニット・モード・レジスタ	RPU	183
TXS0	送信シフト・レジスタ	UART	162
TXS0L	送信シフト・レジスタ	UART	162
CMCR	キャッシュ・メモリ・コントロール・レジスタ	CPU	注
DCP	致命的例外時状態退避レジスタ (PC用)	CPU	注
DCTR _x	データ・キャッシュ・タグ・レジスタ _x	CPU	注
DPSW	致命的例外時状態退避レジスタ (PSW用)	CPU	注
ECR	例外要因レジスタ	CPU	注
EIPC	例外 / 割り込み時状態退避レジスタ (PC用)	CPU	注
EIPSW	例外 / 割り込み時状態退避レジスタ (PSW用)	CPU	注
FEPC	NMI / 二重例外時状態退避レジスタ (PC用)	CPU	注
FEPSW	NMI / 二重例外時状態退避レジスタ (PSW用)	CPU	注
HCCW	ハードウェア・コンフィグレーション・レジスタ	CPU	注
ICTR _y	命令キャッシュ・タグ・レジスタ _y	CPU	注
IRAMR _z	命令RAMレジスタ _z	CPU	注
PC	プログラム・カウンタ	CPU	注
PIR	プロセッサIDレジスタ	CPU	注
PSW	プログラム・ステータス・ワード	CPU	注
TKCW	タスク・コントロール・ワード	CPU	注

注 V830 ファミリ ユーザース・マニュアル アーキテクチャ編 参照

備考 x=0-255, y=0-127, z=1024

付録C 周辺レジスタのビット索引

CPUコアおよび内蔵メモリに関するビットについては、V830ファミリ ユーザーズ・マニュアル アーキテクチャ編を参照してください。

(1/3)

ビット	レジスタ	ページ
ALV10,ALV11	TOC1	187
BAW	SDC	124
BC	DBC0H-DBC3H	136
BC	DBC0L-DBC3L	136
BPR00-BPR02	BPRM0	175
BRCE0	BPRM0	175
BRG00-BRG07	BRG0	174
BW0-BW7	DBC	116
CAW	SDC	124
CE1	TMC1	185
CE4	TMC4	186
CES10,CES11	TUM	183
CESEL	CGC	208
CL0	ASIM00	157
CLR0-CLR14	ICR	57
CLS00-CLS02	CSIM0	168
CM	PLLCR	210
CMS10-CMS13	TUM1	184
COE	CGC	208
CRXE0	CSIM0	167
CSOT0	CSIM0	167
CT1 , CT3-CT7	BCTC	115
CTXE0	CSIM0	167
DA0-DA15	DDA0L- DDA3L	135
DA16-DA31	DDA0H- DDA3H	134
DAD	DCHC0-DCHC3	138
DAL	DCHC0-DCHC3	138
DC	PMR	209
DPM	PMR	209
DRL	DCHC0-DCHC3	138
DS	DCHC0-DCHC3	138
EBS0	ASIM01	159
ECLR1	TUM	183
EN	DCHC0-DCHC3	139
ENTO10,ENTO11	TOC1	187

ビット	レジスタ	ページ
ETI	TMC1	185
FE0	ASIS0	160
IMS10-IMS13	TUM1	184
IS0-IS3	PIC0	119
IS4-IS7	PIC1	119
ITM00-ITM03	IMOD	60
ITM10-ITM13	IMOD	60
KEY	CGC	208
MEN	DC	140
MOD0	CSIM0	167
MSK0-MSK14	IMR	58
NMIC	PMR	209
OST	TUM	183
OVE0	ASIS0	160
OVF1,OVF4	TOVS	188
PAC0-PAC7	PAC	201
PAE	SDC	124
PAM0-PAM7	PAM	201
PBC0-PBC7	PBC	204
PBM0-PBM7	PBM	203
PC0-PC4	PC	198
PE0	ASIS0	160
PLL	PLLCR	210
PLLSS	PMR	209
PM0-PM4	PM	197
PORT0-PORT4	PORT	197
PORTA0-PORTA7	PORTA	200
PORTB0-PORTB7	PORTB	203
PR0-PR3	IGP	54
PRM11	TMC1	185
PRM40,PRM41	TMC4	186
PRS10,PRS11	TMC1	185
PRS40	TMC4	186
PS	PRC	128
PS00, PS01	ASIM00	157
PWS	PRC	128
RAW	SDC	124
RCC	RFC	127
REN	RFC	127
REQ0-REQ14	IRR	57

ビット	レジスタ	ページ
RI	RFC	127
RXB00-RXB07	RXB0	161
RXE0	ASIM00	157
RXEB0	RXB0	161
SA0-SA15	DSA0L-DSA3L	133
SA16-SA31	DSA0H-DSA3H	132
SAD	DCHC0-DCHC3	137
SCLS0	ASIM00	158
SDM	SDM	125
SIO00-SIO07	SIO0	168
SL0	ASIM00	157
SOT0	ASIS0	160
TBT	DCHC0-DCHC3	137
TC0-TC3	DC	140
TCSA	DC	140
TES10, TES11	TUM	183
TM	DCHC0-DCHC3	138
TOPC10, TOPC11	TOC1	187
TRAS	SDC	124
TRC	SDC	124
TRCD	SDC	124
TRP	SDC	124
TTYP	DCHC0-DCHC3	137
TXED0	TXS0	162
TXS00-TXS07	TXS0	162
WS1-WS3	PWC0	117
WS4-WS7	PWC1	118

付録D 総合索引

D.1 50音で始まる語句の索引

【あ】

アイドル・ステート ... 100
アシンクロナス・シリアル・インタフェース
... 154
アシンクロナス・シリアル・インタフェース・ステ
ータス・レジスタ ... 160
アシンクロナス・シリアル・インタフェース・モー
ド・レジスタ00 ... 157
アシンクロナス・シリアル・インタフェース・モー
ド・レジスタ01 ... 159
アドレス空間とブロック ... 114
アドレス・バス ... 32
アドレス・マルチプレクス機能 ... 122

【い】

イニシャライズ ... 223
インサーキット・エミュレータ接続コネクタ部 ...
225

【う】

ウェイト制御機能 ... 113
ウェイト制御レジスタ ... 115

【お】

オーダ情報 ... 23

【か】

外部I/Oサイクル ... 63
外部入力端子による割り込み要求 ... 61

【き】

キャプチャ/コンペア・レジスタ10-13 ... 181
強制中断 ... 151

【く】

クロック・コントロール・レジスタ ... 208

クロック出力禁止モード ... 207
クロック出力制御 ... 207
クロック制御レジスタ ... 208
クロック同期式シリアル・インタフェース ... 166
クロック同期式シリアル・インタフェース・モード・
レジスタ0 ... 167
クロック発生機能 ... 205

【こ】

コンペア・レジスタ ... 180

【し】

システム制御信号 ... 34
受信バッファ ... 161
初期化シーケンス ... 96
シリアルI/Oシフト・レジスタ ... 168
シリアル・インタフェース機能 ... 154
シリアル制御信号 ... 37
シングル転送モード ... 141

【す】

スタンバイ機能 ... 211
スタンバイ・モード ... 214

【そ】

送信シフト・レジスタ ... 162
ソフトウェアからの要求 ... 146

【た】

タイマ1 ... 178
タイマ4 ... 180
タイマ・オーバフロー・ステータス・レジスタ
... 188
タイマ/カウンタ機能 ... 176
タイマ・コントロール・レジスタ1 ... 185
タイマ・コントロール・レジスタ4 ... 186

タイマ出力コントロール・レジスタ ... 187
 タイマ・ユニット・モード・レジスタ ... 183
 タイミング制御 ... 89
 端子機能 ... 28, 163, 169, 221
 端子機能一覧 ... 28
 端子機能説明 ... 32
 端子状態 ... 31
 端子接続図 (Top View) ... 23
 端子の入出力回路と未使用端子の処理 ... 39

【ち】

致命的例外ルーチンからの復帰 ... 53

【て】

ディバグ制御信号 ... 38
 ディバグ/トレース機能 ... 224
 ディバグ/トレース機能の制限事項 ... 226
 デiamond転送モード ... 142
 データ・バス ... 32
 データ・バス幅コントロール・レジスタ ... 116
 転送対象 ... 145
 転送モード ... 141

【な】

内蔵周辺I/O空間 ... 41
 内蔵周辺ハードウェアからの要求 ... 146
 内部ブロック構成 ... 25
 内部ユニット ... 26

【に】

入出力ポート・レジスタ ... 197
 入出力ポート・レジスタA ... 200
 入出力ポート・レジスタB ... 203
 入出力モード・レジスタ ... 197
 入出力モード・レジスタA ... 201
 入出力モード・レジスタB ... 203
 入力クロック選択 ... 207

【の】

ノンマスカブル割り込み ... 48, 220
 ノンマスカブル割り込みの処理形態 ... 48

【は】

バイト・アクセス制御 ... 66, 91
 バス・アービトレーション ... 111
 バス・サイクル・タイプ・コントロール・レジスタ ... 115
 バス・サイジング ... 101
 バス制御機能 ... 63
 バス制御信号 ... 32
 バス・ホールド・サイクル ... 109
 発振安定時間の確保 ... 218
 パワー・ダウン・モード ... 99
 パワー・マネジメント・モード ... 212
 パワー・マネジメント・レジスタ ... 209

【ふ】

プログラマブル・アイドル・コントロール・レジスタ0, 1 ... 119
 プログラマブル・ウェイト・コントロール・レジスタ0 ... 117
 プログラマブル・ウェイト・コントロール・レジスタ1 ... 118

【ほ】

ポートAコントロール・モード・レジスタ ... 201
 ポートBコントロール・モード・レジスタ ... 204
 ポート以外の端子 ... 29
 ポート機能 ... 193
 ポート・コントロール・モード・レジスタ ... 198
 ポート制御信号 ... 37
 ポート端子 ... 28
 ポートの基本構成 ... 193
 ボー・レート・ジェネレータ ... 171
 ボー・レート・ジェネレータ・コンペア・レジスタ ... 174
 ボー・レート・ジェネレータ・プリスケアラ・モード・レジスタ ... 175

【ま】

マスカブル割り込み ... 49
 マスカブル割り込みの処理形態 ... 49
 マスカブル割り込みの優先順位 ... 51

【め】

メモリ・アクセス制御機能 ... 121

メモリ・マップトI/O ... 112

【も】

モード切り替えの設定 ... 213

【ら】

ライト・バッファ動作 ... 112

【り】

リアルタイム・パルス制御信号 ... 37

リセット ... 220

リセット/NMI制御機能 ... 220

リフレッシュ機能 ... 126

リフレッシュ・コントロール・レジスタ ... 126

リフレッシュ制御 ... 94

【れ】

例外処理 ... 52

例外/割り込みからの復帰 ... 53

【ろ】

ロックアップ時間 ... 207

【わ】

割り込みクリア・レジスタ ... 57

割り込みグループ優先順位レジスタ ... 54

割り込み制御信号 ... 35

割り込み制御レジスタ ... 54

割り込み要求 ... 163

割り込み要求マスク・レジスタ ... 58

割り込み要求レジスタ ... 57

割り込み/例外処理 ... 46

割り込み/例外処理機能 ... 46

割り込み/例外処理の種類 ... 46

D.2 数字またはアルファベットで始まる語句の索引

【数字】

2サイクル転送 ... 143

【A】

A1-A23 ... 32

ALV10,ALV11 (ビット) ... 187

ASIM00 (レジスタ) ... 157

ASIM01 (レジスタ) ... 159

ASIS0 (レジスタ) ... 160

【B】

BAW (ビット) ... 124

BC (ビット) ... 136

BCTC (レジスタ) ... 115

BCYST ... 33

BPR00-BPR02 (ビット) ... 175

BPRM0 (レジスタ) ... 175

BRCE0 (ビット) ... 175

BRG0 (レジスタ) ... 174

BRG00-BRG07 (ビット) ... 174

BT16B ... 33

BW0-BW7 (ビット) ... 116

【C】

CAS ... 36

CAW (ビット) ... 124

CC10-CC13 (レジスタ) ... 181

CE1 (ビット) ... 185

CE4 (ビット) ... 186

CES10,CES11 (ビット) ... 183

CESEL (ビット) ... 208

CGC (レジスタ) ... 208

CKE ... 36

CL0 (ビット) ... 157

CLKOUT ... 34

CLR0-CLR14 (ビット) ... 57

CLS00-CLS02 (ビット) ... 168

CM (ビット) ... 210

CM4 (レジスタ) ... 180

CMODE ... 34

CMS10-CMS13 (ビット) ... 184

COE (ビット) ... 208

CPU機能 ... 41

CPUコア・システム・レジスタ ... 42

CRXE0 (ビット) ... 167

CS0,CS1 ... 36

CS0-CS7 ... 34

CSI ... 166

CSIM0 (レジスタ) ... 167

CSOT0 (ビット) ... 167

CT1,CT3-CT7 (ビット) ... 115

CTXE0 (ビット) ... 167

【D】

D0-D31 ... 32

DA0-DA15 (ビット) ... 135

DA16-DA31 (ビット) ... 134

DAD (ビット) ... 138

DAL (ビット) ... 138

DBC (レジスタ) ... 116

DBC0-DBC3 (レジスタ) ... 135

DC (ビット) ... 209

DC (レジスタ) ... 140

DCHC0-DCHC3 (レジスタ) ... 137

DCK ... 38

DDA0-DDA3 (レジスタ) ... 134

DDA0L-DDA3L (レジスタ) ... 135

DDI ... 38

DDO ... 38

DMAAK0-DMAAK3 ... 36

DMARQ0-DMARQ3 ... 36

DMARQ端子からの要求 ... 146

DMA機能 ... 129

DMAコントロール・レジスタ ... 140

DMA制御信号 ... 36

DMA制御レジスタ ... 132

DMAソース・アドレス・レジスタ0-3 ... 132

DMAソース・アドレス・レジスタ0L-3L ... 133

DMAチャンネル・コントロール・レジスタ0-3 ... 137

DMAチャンネルの優先順位 ... 145

DMAデスティネーション・アドレス・レジスタ0-3

... 134

- DMAデステネーション・アドレス・レジスタ0L-3L ... 135
- DMA転送終了出力 ... 150
- DMA転送終了割り込み ... 148
- DMA転送タイプと転送対象 ... 143
- DMA転送のバス・サイジング ... 152
- DMA転送要求 ... 145
- DMAバイト・カウント・レジスタ0-3 ... 135
- DMS ... 38
- DPM (ビット) ... 209
- DRL (ビット) ... 138
- \overline{DRST} ... 38
- DS (ビット) ... 138
- DSA0-DSA3 (レジスタ) ... 132
- DSA0L-DSA3L (レジスタ) ... 133
- 【E】**
- EBS0 (ビット) ... 159
- ECLR1 (ビット) ... 183
- EN (ビット) ... 139
- ENTO10, ENTO11 (ビット) ... 187
- ETI (ビット) ... 185
- 【F】**
- FE0 (ビット) ... 160
- 【G】**
- GND_I ... 30
- GND_O ... 30
- GND_PLL ... 30
- 【H】**
- HALTモード ... 215
- \overline{HLDAK} ... 32
- \overline{HLDRQ} ... 32
- \overline{HLDRQ} 信号, リフレッシュによる一時中断 ... 151
- 【I】**
- IC1 ... 34
- ICR (レジスタ) ... 57
- ICUモード・レジスタ ... 59, 188
- IGP (レジスタ) ... 54
- IMOD (レジスタ) ... 59, 188
- IMR (レジスタ) ... 58
- IMS10-IMS13 (ビット) ... 184
- INTP00-INTP03 ... 35
- INTP10-INTP13 ... 35
- \overline{IORD} ... 33
- \overline{IOWR} ... 33
- IRR (レジスタ) ... 57
- ISO-IS7 (ビット) ... 119
- ITM00-ITM03 (ビット) ... 60
- ITM10-ITM13 (ビット) ... 60
- 【K】**
- KEY (ビット) ... 208
- 【L】**
- \overline{LLBEN} ... 32
- LLDQM ... 35
- \overline{LUBEN} ... 33
- LUDQM ... 35
- 【M】**
- MEN (ビット) ... 140
- MOD0 (ビット) ... 167
- \overline{MRD} ... 32
- MSK0-MSK14 (ビット) ... 58
- \overline{MWR} ... 33
- 【N】**
- \overline{NMI} ... 35
- NMIC (ビット) ... 209
- \overline{NMI} 信号による中断 ... 151
- 【O】**
- on-page/off-pageの判断 ... 123
- OST (ビット) ... 183
- OVE0 (ビット) ... 160
- OVF1,OVF4 (ビット) ... 188
- 【P】**
- PAC (レジスタ) ... 201
- PAC0-PAC7 (ビット) ... 201
- PAE (ビット) ... 124

- Page-ROMコンフィギュレーション・レジスタ
... 128
- Page-ROMサイクル ... 74
- Page-ROMシングル・サイクル ... 74
- Page-ROM制御機能 ... 128
- Page-ROMバースト・サイクル ... 74
- PAM (レジスタ) ... 201
- PAM0-PAM7 (ビット) ... 201
- PBC (レジスタ) ... 204
- PBC0-PBC7 (ビット) ... 204
- PBM (レジスタ) ... 203
- PBM0-PBM7 (ビット) ... 203
- PC (レジスタ) ... 198
- PC0-PC7 (ビット) ... 198
- PE0 (ビット) ... 160
- PIC0, PIC1 (レジスタ) ... 119
- PLL (ビット) ... 210
- PLLCR (レジスタ) ... 210
- PLLSS (ビット) ... 209
- PLLコントロール・レジスタ ... 210
- PM (レジスタ) ... 197
- PM0-PM4 (ビット) ... 197
- PMR (レジスタ) ... 209
- PORT ... 194
- PORT (レジスタ) ... 197
- PORT0-PORT4 ... 37
- PORT0-PORT4 (ビット) ... 197
- PORTA ... 199
- PORTA (レジスタ) ... 200
- PORTA0-PORTA7 ... 37
- PORTA0-PORTA7 (ビット) ... 200
- PORTAの構成 ... 199
- PORTB ... 202
- PORTB (レジスタ) ... 203
- PORTB0-PORTB7 ... 37
- PORTB0-PORTB7 (ビット) ... 203
- PORTBの構成 ... 202
- PORTの構成 ... 194
- PR0-PR3 (ビット) ... 54
- PRC (レジスタ) ... 128
- PRM11 (ビット) ... 185
- PRM40, PRM41 (ビット) ... 186
- PRS10, PRS11 (ビット) ... 185
- PRS40 (ビット) ... 186
- PS (ビット) ... 128
- PS00, PS01 (ビット) ... 157
- PWC0 (レジスタ) ... 117
- PWC1 (レジスタ) ... 118
- PWS (ビット) ... 128
- 【R】**
- $\overline{\text{RAS}}$... 35
- RAW (ビット) ... 124
- RCC (ビット) ... 127
- $\overline{\text{READY}}$... 32
- $\overline{\text{READY}}$ 端子とプログラマブル・ウエイト両方を使用
する場合 ... 120
- $\overline{\text{READY}}$ 端子入力のサンプリング・タイミング ...
120
- $\overline{\text{READY}}$ 端子によるウエイト制御 ... 120
- REN (ビット) ... 127
- REQ0-REQ14 (ビット) ... 57
- $\overline{\text{RESET}}$... 34
- RFC (レジスタ) ... 126
- RI (ビット) ... 127
- $\overline{\text{R}/\overline{\text{W}}}$... 33
- RXB00-RXB07 (ビット) ... 161
- RXB0, RXB0L (レジスタ) ... 161
- RXD ... 37
- RXE0 (ビット) ... 157
- RXEB0 (ビット) ... 161
- 【S】**
- SA0-SA15 (ビット) ... 133
- SA16-SA31 (ビット) ... 132
- SAD (ビット) ... 137
- $\overline{\text{SCLK}}$... 37
- SCLS0 (ビット) ... 158
- SDC (レジスタ) ... 123
- SDCLKOUT ... 36
- SDM (ビット) ... 125
- SDM (レジスタ) ... 125
- SDRAMコンフィギュレーション・レジスタ ...
123
- SDRAMサイクル ... 77
- SDRAMシングル・ライト・サイクル ... 82

- SDRAMシングル・リード・サイクル ... 80
 SDRAM制御機能 ... 122
 SDRAM制御信号 ... 35
 SDRAMバースト・ライト・サイクル ... 87
 SDRAMバースト・リード・サイクル ... 84
 SDRAMモード・レジスタ ... 125
 SI ... 37
 SIO0 (レジスタ) ... 168
 SIO00-SIO07 (ビット) ... 168
 SL0 (ビット) ... 157
 SO ... 37
 SOT0 (ビット) ... 160
 SRAM (ROM) サイクル ... 67
 SRAM (ROM) シングル・サイクル ... 69
 SRAM (ROM) バースト・サイクル ... 72
 $\overline{\text{STOPAK}}$... 34
 STOPモード ... 216
- 【T】**
 TBT (ビット) ... 137
 $\overline{\text{TC}}$... 36
 TC0-TC3 (ビット) ... 140
 TCLR ... 37
 TCnビット参照とDMA転送終了割り込みの動作 ... 148
 TCSA (ビット) ... 140
 TES10, TES11 (ビット) ... 183
 TI ... 37
 TM (ビット) ... 138
 TM1 (レジスタ) ... 178
 TM4 (レジスタ) ... 180
 TMC1 (レジスタ) ... 185
 TMC4 (レジスタ) ... 186
 TO10, TO11 ... 37
 TOC1 (レジスタ) ... 187
 TOPC10, TOPC11 (ビット) ... 187
 TOVS (レジスタ) ... 188
 TRAS (ビット) ... 124
 TRC (ビット) ... 124
 TRCD (ビット) ... 124
 TRCDATA0-TRCDATA3 ... 38
 TRP (ビット) ... 124
 TTYP (ビット) ... 137
- TUM1 (レジスタ) ... 183
 TXD ... 37
 TXED0 (ビット) ... 162
 TXS00-TXS07 (ビット) ... 162
 TXS0, TXS0L (レジスタ) ... 162
- 【U】**
 UART ... 154
 $\overline{\text{ULBEN}}$... 33
 ULDQM ... 35
 $\overline{\text{UUBEN}}$... 33
 UUDQM ... 35
- 【V】**
 V832ターゲット・ボードのバス設計について ... 227
 V_{DD_I} ... 30
 V_{DD_O} ... 30
 V_{DD_PLL} ... 30
- 【W】**
 $\overline{\text{WE}}$... 35
 WS1-WS3 (ビット) ... 117
 WS4-WS7 (ビット) ... 118
- 【X】**
 X1, X2 ... 34

[メモ]

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : info@lsi.nec.co.jp

【営業関係お問い合わせ先】

システムLSI第一営業事業部

東京 (03)3798-6106, 6107, 6108, 6155
大阪 (06)6945-3178, 3200, 3208
名古屋 (052)222-2375
仙台 (022)267-8740
水戸 (029)226-1702
広島 (082)242-5504
鳥取 (0857)27-5313
松山 (089)945-4149

システムLSI第二営業事業部

東京 (03)3798-6110, 6111, 6112, 6151, 6156
名古屋 (052)222-2170, 2190
松本 (0263)35-1662
前橋 (027)243-6060
立川 (042)526-5981
静岡 (054)254-4794
金沢 (076)232-7303
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクスデバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] V832 ユーザーズ・マニュアル ハードウェア編

(U13577JJ4V0UM00 (第4版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価(各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他()					
()					

2. わかりやすい所(第 章, 第 章, 第 章, 第 章, その他)

理由 []

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他)

理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは
NEC販売員, 特約店販売員, その他 ()

ご協力ありがとうございました。

下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡しください。

日本電気(株) NEC エレクトロニクス
半導体テクニカルホットライン

FAX : (044) 435-9608

2000.6