

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

ユーザーズ・マニュアル

保守/廃止

V821™

32/16 ビット・マイクロプロセッサ

ハードウェア編

μPD70741

資料番号 U10077JJ5V0UMJ1 (第5版)
発行年月 August 2000 N CR(K)

© NEC Corporation 1995

{ × 毛 }

目次要約

第1章	概 説	...	23
第2章	端子機能	...	31
第3章	CPU機能	...	43
第4章	割り込み／例外処理機能	...	55
第5章	バス制御機能	...	77
第6章	ウェイト制御機能	...	113
第7章	メモリ・アクセス制御機能	...	123
第8章	DMA機能(DMAコントローラ)	...	143
第9章	シリアル・インタフェース機能	...	161
第10章	タイマ／カウンタ機能 (リアルタイム・パルス・ユニット)	...	191
第11章	ウォッチドッグ・タイマ機能	...	223
第12章	ポート機能	...	227
第13章	クロック発生機能	...	231
第14章	スタンバイ機能	...	237
第15章	リセット機能	...	251
付録A	レジスタ索引	...	257
付録B	総合索引	...	261

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

V810, V821, V810ファミリは日本電気株式会社の商標です。

UNIXはX/Openカンパニーリミテッドがライセンスしている米国ならびに他の国における登録商標です。

Windowsは米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

本資料の内容は、後日変更する場合があります。

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

本版で改訂された主な箇所

箇所	内容
p.24	1.2 オーダ情報 μ PD70741GC-25-7EA削除
p.25	1.3 端子接続図 (Top View) μ PD70741GC-25-7EA削除
p.27	1.4.1 内部ブロック図 修正
p.127	7.1.5 DRAMリード/ライト・サイクル 説明追加
p.156	図8 - 9 DMA転送終了出力タイミング 図変更
p.231	13.2 構成 クロック発生機能ブロック図修正
p.233	13.3.2 (2) ロックアップ時間 説明追加
p.243	14.5.1 IDLEモードの設定および動作状態 説明追加

本文欄外の 印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

- 対象者** このマニュアルは、V821（ μ PD70741）の機能を理解し、それをを用いた応用システムを設計しようとするユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すV821のハードウェア機能をユーザに理解していただくことを目的とします。
- 構成** V821のユーザズ・マニュアルは、ハードウェア編（このマニュアル）とアーキテクチャ編（V810ファミリ™ ユーザズ・マニュアル アーキテクチャ編）の2冊に分かれています。

ハードウェア編	アーキテクチャ編
<ul style="list-style-type: none">・端子機能・CPU機能・割り込み機能・バス制御機能・内蔵周辺機能・リセット機能	<ul style="list-style-type: none">・レジスタ・セット・データ・タイプ・アドレス空間・命令形式と命令セット・割り込みと例外

読み方 このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般的知識を必要とします。

CPU機能について知りたいとき

第3章 CPU機能をお読みください。

命令機能の詳細を理解しようとするとき

別冊のV810ファミリ ユーザズ・マニュアル アーキテクチャ編を参照してください。

一通りV821の機能を理解しようとするとき

目次に従ってお読みください。

電気的特性を知りたいとき

別冊のV821 データ・シートを参照してください。

なお、このマニュアルでは2バイト構成のデータをハーフワード、4バイト構成のデータをワードと呼びます。

- 凡 例
- データ表記の重み : 左が上位桁, 右が下位桁
 - アクティブ・ロウの表記 : $\overline{\text{xxx}}$ (端子, 信号名称に上線)
 - メモリ・マップのアドレス: 上部 - 上位, 下部 - 下位
 - 注 : 本文中に付けた注の説明
 - 注意 : 気をつけて読んでいただきたい内容
 - 備考 : 本文の補足説明
 - 数の表記 : 2進数... xxx または xxx B
 - 10進数... xxx
 - 16進数... xxx H
- 2のべき数を示す接頭語 (アドレス空間, メモリ容量) :
- K (キロ) $2^{10} = 1024$
 - M (メガ) $2^{20} = 1024^2$
 - G (ギガ) $2^{30} = 1024^3$

関連資料 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。
あらかじめご了承ください。

デバイスに関する資料

資料名	資料番号
V821 ユーザーズ・マニュアル ハードウェア編	このマニュアル
V810ファミリ ユーザーズ・マニュアル アーキテクチャ編	U10082J
μ PD70741 データ・シート	U11678J

開発ツールに関する資料（ユーザズ・マニュアル）

資料名		資料番号
CA732（Cコンパイラ）	操作編（UNIX™ベース）	U11013J
	操作編（Windows™ベース）	U11068J
	アセンブリ言語編	U11016J
	C言語編	U11010J
	プロジェクト・マネージャ編	U11991J
RX732（リアルタイムOS）	基礎編	U10346J
	テクニカル編	U10490J
	ニュークリアス・インストレーション編	U10347J

〔メ モ〕

目 次

- 第1章 概 説 ... 23**
 - 1.1 特 徴 ... 23
 - 1.2 オーダ情報 ... 24
 - 1.3 端子接続図 (Top View) ... 25
 - 1.4 機能ブロック構成 ... 27
 - 1.4.1 内部ブロック図 ... 27
 - 1.4.2 内部ユニット ... 28

- 第2章 端子機能 ... 31**
 - 2.1 端子機能一覧 ... 31
 - 2.1.1 ポート端子 ... 31
 - 2.1.2 ポート以外の端子 ... 31
 - 2.2 端子状態 ... 33
 - 2.3 端子機能の説明 ... 34
 - 2.3.1 アドレス・バス ... 34
 - 2.3.2 データ・バス ... 34
 - 2.3.3 バス制御信号 ... 34
 - 2.3.4 システム制御信号 ... 36
 - 2.3.5 割り込み制御信号 ... 37
 - 2.3.6 DRAM制御信号 ... 37
 - 2.3.7 DMA制御信号 ... 38
 - 2.3.8 リアルタイム・パルス制御信号 ... 39
 - 2.3.9 シリアル制御信号 ... 39
 - 2.3.10 ウォッチドッグ・タイマ制御信号 ... 40
 - 2.3.11 ポート制御信号 ... 40
 - 2.4 各端子の入出力回路と未使用端子の処理 ... 41
 - 2.5 端子の入出力回路 ... 42

- 第3章 CPU機能 ... 43**
 - 3.1 特 徴 ... 43
 - 3.2 アドレス空間 ... 44
 - 3.2.1 メモリ・マップ ... 45
 - 3.2.2 I/Oマップ ... 46
 - 3.2.3 イメージ ... 47
 - 3.2.4 メモリ・マップとI/Oマップの違い ... 48
 - 3.3 CPUレジスタ・セット ... 49
 - 3.3.1 プログラム・レジスタ・セット ... 50
 - 3.3.2 システム・レジスタ・セット ... 51
 - 3.4 内蔵周辺I/Oレジスタ ... 52

第4章 割り込み/例外処理機能 ... 55

- 4.1 特 徴 ... 55
- 4.2 ノンマスカブル割り込み ... 58
 - 4.2.1 動 作 ... 59
- 4.3 マスカブル割り込み ... 61
 - 4.3.1 ブロック図 ... 61
 - 4.3.2 動 作 ... 62
 - 4.3.3 マスカブル割り込みの優先順位 ... 64
- 4.4 制御レジスタ ... 65
 - 4.4.1 割り込みグループ優先順位レジスタ (IGP) ... 65
 - 4.4.2 割り込みクリア・レジスタ (ICR) ... 67
 - 4.4.3 割り込み要求レジスタ (IRR) ... 67
 - 4.4.4 割り込み要求マスク・レジスタ (IMR) ... 68
 - 4.4.5 ICUモード・レジスタ (IMOD) ... 69
- 4.5 例外処理 (ソフトウェア例外, 例外トラップ) ... 70
 - 4.5.1 動 作 ... 71
 - 4.5.2 例外/割り込みからの復帰 ... 73
- 4.6 優先順位 ... 74
 - 4.6.1 割り込みと例外の優先順位 ... 74
 - 4.6.2 浮動小数点演算例外の優先順位 ... 75

第5章 バス制御機能 ... 77

- 5.1 CPUのバス・ステート ... 77
- 5.2 DMACのバス・ステート ... 80
- 5.3 バスの優先順位 ... 83
- 5.4 バス・サイクルを追加する場合のデータの流れ ... 84
- 5.5 外部アクセスとデータ・バスの関係 ... 85
 - 5.5.1 外部アクセスとバイト・イネーブル信号の関係 ... 85
 - 5.5.2 オペランド・リード ... 86
 - 5.5.3 オペランド・ライト ... 87
 - 5.5.4 ビット・ストリングでの注意事項 ... 88
- 5.6 外部I/Oアクセス ... 89
 - 5.6.1 外部I/Oリード・サイクル ... 89
 - 5.6.2 外部I/Oライト・サイクル ... 90
- 5.7 内部I/Oアクセス ... 91
 - 5.7.1 内部I/Oリード・サイクル ... 91
 - 5.7.2 内部I/Oライト・サイクル ... 92
- 5.8 SRAM (ROM) アクセス ... 93
 - 5.8.1 SRAM (ROM) リード・サイクル ... 93
 - 5.8.2 SRAMライト・サイクル ... 94
- 5.9 Page-ROMアクセス ... 95
 - 5.9.1 Page-ROMリード・サイクル ... 95
- 5.10 DRAMアクセス ... 96
 - 5.10.1 DRAMリード・サイクル ... 96
 - 5.10.2 DRAMライト・サイクル ... 98
 - 5.10.3 CBRリフレッシュ・サイクル ... 101

- 5.10.4 セルフ・リフレッシュ・サイクル ... 102
- 5.10.5 フライバイ転送時のバス・サイクル ... 103
- 5.11 例外処理サイクル ... 107
 - 5.11.1 マシン・フォールト・サイクル ... 107
 - 5.11.2 ホールト・アクノリッジ・サイクル ... 109
- 5.12 制御信号のタイミング ... 110
 - 5.12.1 バス・ホールド ... 110
 - 5.12.2 バス・ロック ... 112

第6章 ウェイト制御機能 ... 113

- 6.1 特 徴 ... 113
- 6.2 アドレス空間とブロック ... 113
- 6.3 チップ・セレクト生成機能とバス・サイクルの選択 ... 114
- 6.4 プログラマブル・ウェイト機能 ... 114
 - 6.4.1 READY端子によるウェイト制御 ... 114
 - 6.4.2 DMA転送時のウェイト制御 ... 115
 - 6.4.3 ウェイト機能が有効なバス・サイクル ... 115
- 6.5 制御レジスタ ... 118
 - 6.5.1 バス・サイクル・タイプ・コントロール・レジスタ (BCTC) ... 118
 - 6.5.2 プログラマブル・ウェイト・コントロール・レジスタ0 (PWC0) ... 119
 - 6.5.3 プログラマブル・ウェイト・コントロール・レジスタ1 (PWC1) ... 120
 - 6.5.4 プログラマブル・ウェイト・コントロール・レジスタ2 (PWC2) ... 121

第7章 メモリ・アクセス制御機能 ... 123

- 7.1 DRAMコントローラ (DRAMC) ... 123
 - 7.1.1 特 徴 ... 123
 - 7.1.2 DRAM接続 ... 123
 - 7.1.3 アドレス・マルチプレクス機能 ... 125
 - 7.1.4 DRAMコンフィギュレーション・レジスタ (DRC) ... 126
 - 7.1.5 DRAMリード/ライト・サイクル ... 127
 - 7.1.6 DRAMサイクルのウェイト制御 ... 131
 - 7.1.7 リフレッシュ機能 ... 133
 - 7.1.8 セルフ・リフレッシュ機能 ... 137
- 7.2 ROMコントローラ (ROMC) ... 139
 - 7.2.1 on-page/off-pageの判断 ... 139
 - 7.2.2 Page-ROMアクセス ... 140
 - 7.2.3 Page-ROMコンフィギュレーション・レジスタ (PRC) ... 142

第8章 DMA機能 (DMAコントローラ) ... 143

- 8.1 特 徴 ... 143
- 8.2 構 成 ... 144

8.3	DMA制御レジスタ ... 145	
8.3.1	DMAソース・アドレス・レジスタ0, 1 (DSA0, DSA1) ... 145	
8.3.2	DMAデスティネーション・アドレス・レジスタ0, 1 (DDA0, DDA1) ... 146	
8.3.3	DMAバイト・カウント・レジスタ0, 1 (DBC0, DBC1) ... 148	
8.3.4	DMAチャンネル・コントロール・レジスタ0, 1 (DCHC0, DCHC1) ... 149	
8.4	転送モード ... 151	
8.4.1	シングル転送モード ... 151	
8.4.2	シングルステップ転送モード ... 152	
8.4.3	ブロック転送モード ... 152	
8.5	DMA転送タイプと転送対象 ... 153	
8.5.1	2サイクル転送 ... 153	
8.5.2	フライバイ転送 ... 154	
8.5.3	転送対象 ... 154	
8.6	DMAチャンネルの優先順位 ... 155	
8.7	DMA転送要求 ... 155	
8.8	DMA転送終了割り込み ... 155	
8.9	DMA転送終了出力 ... 156	
8.10	強制中断 ... 157	
8.11	DMA転送中のデータの流れ ... 157	
第9章 シリアル・インタフェース機能 ... 161		
9.1	特 徴 ... 161	
9.2	アシンクロナス・シリアル・インタフェース (UART) ... 162	
9.2.1	特 徴 ... 162	
9.2.2	構 成 ... 163	
9.2.3	UART制御レジスタ ... 165	
9.2.4	割り込み要求 ... 171	
9.2.5	動 作 ... 172	
9.3	クロック同期式シリアル・インタフェース (CSI) ... 176	
9.3.1	特 徴 ... 176	
9.3.2	構 成 ... 177	
9.3.3	CSI制御レジスタ ... 178	
9.3.4	基本動作 ... 180	
9.3.5	3線式シリアルI/Oモードで送信する ... 182	
9.3.6	3線式シリアルI/Oモードで受信する ... 183	
9.3.7	3線式シリアルI/Oモードで送受信する ... 184	
9.3.8	システム構成例 ... 186	
9.4	ポー・レート・ジェネレータ (BRG) ... 187	
9.4.1	構成と機能 ... 187	
9.4.2	ポー・レート・ジェネレータ・レジスタ (BRG) ... 190	
9.4.3	ポー・レート・ジェネレータ・プリスケアラ・モード・レジスタ (BPRM) ... 190	

第10章 タイマ/カウンタ機能 (リアルタイム・パルス・ユニット) ... 191

- 10.1 特 徴 ... 191
- 10.2 基本構成 ... 192
 - 10.2.1 タイマ0 ... 194
 - 10.2.2 タイマ1 ... 196
- 10.3 制御レジスタ ... 197
- 10.4 タイマ0動作 ... 203
 - 10.4.1 カウント動作 ... 203
 - 10.4.2 カウント・クロック選択 ... 203
 - 10.4.3 オーバフロー ... 204
 - 10.4.4 TCLR入力によるタイマのクリア/スタート ... 205
 - 10.4.5 キャプチャ動作 ... 206
 - 10.4.6 コンペア動作 ... 208
- 10.5 タイマ1動作 ... 210
 - 10.5.1 カウント動作 ... 210
 - 10.5.2 入力クロック選択 ... 210
 - 10.5.3 オーバフロー ... 210
 - 10.5.4 コンペア動作 ... 211
- 10.6 応 用 例 ... 213
- 10.7 注意事項 ... 221

第11章 ウォッチドッグ・タイマ機能 ... 223

- 11.1 特 徴 ... 223
- 11.2 構 成 ... 223
- 11.3 動 作 ... 224
- 11.4 WDTモード・レジスタ (WDTM) ... 225

第12章 ポート機能 ... 227

- 12.1 特 徴 ... 227
- 12.2 構 成 ... 227
- 12.3 ポート0の端子機能 ... 228
- 12.4 制御レジスタ ... 229
 - 12.4.1 ポート・モード・コントロール・レジスタ0 (PMC0) ... 229
 - 12.4.2 ポート・モード・レジスタ0 (PM0) ... 229

第13章 クロック発生機能 ... 231

- 13.1 特 徴 ... 231
- 13.2 構 成 ... 231
- 13.3 入力クロック選択 ... 232
 - 13.3.1 ダイレクト・モード ... 232
 - 13.3.2 PLLモード ... 232
- 13.4 クロック出力制御 ... 233
- 13.5 クロック・コントロール・レジスタ (CGC) ... 235

第14章 スタンバイ機能 ... 237

- 14.1 特 徴 ... 237
- 14.2 スタンバイ・モード ... 237
- 14.3 スタンバイ・コントロール・レジスタ (STBC) ... 240
- 14.4 HALTモード ... 241
 - 14.4.1 HALTモードの設定および動作状態 ... 241
 - 14.4.2 HALTモードの解除 ... 242
- 14.5 IDLEモード ... 243
 - 14.5.1 IDLEモードの設定および動作状態 ... 243
 - 14.5.2 IDLEモードの解除 ... 245
- 14.6 STOPモード ... 246
 - 14.6.1 STOPモードの設定および動作状態 ... 246
 - 14.6.2 STOPモードの解除 ... 247
- 14.7 発振安定時間の確保 ... 248

第15章 リセット機能 ... 251

- 15.1 特 徴 ... 251
- 15.2 端子機能 ... 251
- 15.3 イニシャライズ ... 253

付録A レジスタ索引 ... 257

- A.1 50音順 ... 257
- A.2 アルファベット順 ... 258

付録B 総合索引 ... 261

- B.1 50音で始まる語句の索引 ... 261
- B.2 アルファベットで始まる語句の索引 ... 265

図の目次 (1/3)

図番号	タイトル, ページ
3 - 1	メモリ・マップ ... 45
3 - 2	I/Oマップ ... 46
3 - 3	アドレス空間上のイメージ ... 47
4 - 1	$\overline{\text{NMI}}$ 端子のアナログ・ディレイによるノイズ除去 ... 58
4 - 2	ノンマスカブル割り込みの処理形態 ... 59
4 - 3	ノンマスカブル割り込み要求の受け付け動作 ... 60
4 - 4	マスカブル割り込みのブロック図 ... 61
4 - 5	マスカブル割り込みの処理形態 ... 63
5 - 1	CPUバス・サイクルの状態遷移図 ... 78
5 - 2	DMACバス・サイクルの状態遷移図 ... 81
5 - 3	バス・サイクルを追加する場合のデータの流れ ... 84
5 - 4	リード・サイクル ... 86
5 - 5	ライト・サイクル ... 87
5 - 6	ビット・ストリングのライト・サイクル ... 88
5 - 7	外部I/Oリード・サイクル ... 89
5 - 8	外部I/Oライト・サイクル ... 90
5 - 9	内部I/Oリード・サイクル ... 91
5 - 10	内部I/Oライト・サイクル ... 92
5 - 11	SRAM (ROM) リード・サイクル ... 93
5 - 12	SRAMライト・サイクル ... 94
5 - 13	Page-ROMリード・サイクル ... 95
5 - 14	DRAMリード・サイクル ... 97
5 - 15	DRAMライト・サイクル ... 99
5 - 16	CBRリフレッシュ・サイクル ... 101
5 - 17	CBRセルフ・リフレッシュ・サイクル ... 102
5 - 18	DMAブロック転送時のフライバイ・リード・サイクル (DRAM 外部I/O) ... 103
5 - 19	DMAシングル/シングルステップ転送時のフライバイ・リード・サイクル (DRAM 外部I/O) ... 104
5 - 20	DMAブロック転送時のフライバイ・ライト・サイクル (外部I/O DRAM) ... 105
5 - 21	DMAシングル/シングルステップ転送時のフライバイ・ライト・サイクル (外部I/O DRAM) ... 106
5 - 22	マシン・フォールト・サイクル ... 108
5 - 23	ホールト・アクノリッジ・サイクル ... 109
5 - 24	バス・ホールド・サイクル ... 111
5 - 25	CAXI命令実行時のバス・ロック・サイクル ... 112

図の目次 (2/3)

図番号	タイトル, ページ
6 - 1	メモリ, I/Oマップ ... 113
7 - 1	16 M (1 M × 16) DRAMとの接続 ... 124
7 - 2	4 M (1 M × 4) DRAMとの接続 ... 124
7 - 3	ロウ・アドレス, カラム・アドレスの出力 ... 125
7 - 4	DRAMリード・サイクル ... 128
7 - 5	DRAMライト・サイクル ... 129
7 - 6	フライバイDMA転送DRAMリード時のウエイト・ステートの挿入(1ウエイト) (DRAM 外部I/O) ... 131
7 - 7	フライバイDMA転送DRAMライト時のウエイト・ステートの挿入(1ウエイト) (外部I/O DRAM) ... 132
7 - 8	CBRリフレッシュ・サイクル ... 136
7 - 9	CBRセルフ・リフレッシュの $\overline{\text{NMI}}$ 入力による解除 ... 137
7 - 10	CBRセルフ・リフレッシュの $\overline{\text{HLDRQ}}$ 入力による解除 (IDLEモード時) ... 138
7 - 11	ページ・アクセス機能付きROM接続時のon-page/off-page判断 ... 139
7 - 12	Page-ROMサイクル・タイミング (16 M (1 M × 16) Page-ROM) ... 140
7 - 13	16 M (1 M × 16) Page-ROMとの接続 ... 140
7 - 14	16 M (2 M × 8) Page-ROMとの接続 ... 141
8 - 1	DMACブロック図 ... 144
8 - 2	シングル転送例 1 ... 151
8 - 3	シングル転送例 2 ... 151
8 - 4	シングルステップ転送例 1 ... 152
8 - 5	シングルステップ転送例 2 ... 152
8 - 6	ブロック転送例 ... 152
8 - 7	2サイクル・シングルステップDMA転送のタイミング (外部I/O DRAM (on-page)) ... 153
8 - 8	フライバイDMA転送のタイミング (DRAM (on-page) 外部I/O) ... 154
8 - 9	DMA転送終了出力タイミング ... 156
8 - 10	DMA転送データの流れ (2サイクル・バイト転送) ... 157
8 - 11	DMA転送データの流れ (2サイクル16ビット転送) ... 158
8 - 12	DMA転送データの流れ (フライバイ転送) ... 159
9 - 1	アシンクロナス・シリアル・インタフェースのブロック図 ... 164
9 - 2	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 172
9 - 3	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 173
9 - 4	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 175
9 - 5	受信エラー・タイミング ... 175
9 - 6	3線式シリアルI/Oモードのタイミング (送信) ... 182

図の目次 (3/3)

図番号	タイトル, ページ
9 - 7	3線式シリアルI/Oモードのタイミング (受信) ... 183
9 - 8	3線式シリアルI/Oモードのタイミング (送受信) ... 185
9 - 9	CSIのシステム構成例 ... 186
9 - 10	ブロック構成図 ... 187
10 - 1	タイマ0の基本動作 ... 203
10 - 2	オーバフロー後の動作 (ECLR0 = 0, OST = 1の場合) ... 204
10 - 3	TCLR入力によるタイマのクリア/スタート動作 (ECLR0 = 1, OST = 0の場合) ... 205
10 - 4	TCLR入力によるクリア/スタートとオーバフロー動作の関係 (ECLR0 = 0, OST = 1の場合) ... 205
10 - 5	TM0キャプチャ動作例 (両エッジ指定時) ... 206
10 - 6	TM0キャプチャ動作例 ... 207
10 - 7	コンペア動作例 ... 208
10 - 8	TM0コンペア動作例 (セット・リセット出力モード) ... 209
10 - 9	タイマ1の基本動作 ... 210
10 - 10	CM1が1-FFFFHまでの動作 ... 211
10 - 11	CM1に0をセットした場合 ... 212
10 - 12	インターバル・タイマ動作のタイミング (タイマ1) ... 213
10 - 13	インターバル・タイマ動作の設定手順 (タイマ1) ... 213
10 - 14	パルス幅測定のタイミング (タイマ0) ... 214
10 - 15	パルス幅測定の設定手順 (タイマ0) ... 215
10 - 16	パルス幅を算出する割り込み要求処理ルーチン (タイマ0) ... 215
10 - 17	PWM出力のタイミング (TM0) ... 216
10 - 18	PWM出力の設定手順 (タイマ0) ... 217
10 - 19	コンペア値を書き換える割り込み要求処理ルーチン (タイマ0) ... 218
10 - 20	周期測定のタイミング (TM0) ... 219
10 - 21	周期測定の設定手順 (タイマ0) ... 220
10 - 22	周期を算出する割り込み要求処理ルーチン (タイマ0) ... 220
11 - 1	ウォッチドッグ・タイマの構成図 ... 223
14 - 1	IDLEモード中のバス・ホールドとセルフ・リフレッシュの再起動 ... 245

表の目次 (1/2)

表番号	タイトル, ページ
3 - 1	プログラム・レジスタ一覧 ... 50
3 - 2	システム・レジスタ番号 ... 51
3 - 3	内蔵周辺I/Oレジスタ一覧 ... 53
4 - 1	割り込み一覧 ... 56
4 - 2	優先順位と例外コード, ハンドラ・アドレス, 割り込みレベルの関係 (IGPレジスタを4EHに設定した場合の例) ... 66
4 - 3	割り込み制御レジスタの各ビットと割り込み要求信号の対応 ... 68
4 - 4	割り込みと例外の優先順位 ... 74
4 - 5	浮動小数点演算例外の優先順位 ... 75
5 - 1	バス優先順位 ... 83
5 - 2	アドレス, データ長, \overline{UBE} とアドレス端子の関係 ... 85
5 - 3	マシン・フォールト・サイクルにおけるアドレス・バスとデータ・バスの対応 ... 107
6 - 1	ウェイト機能が有効なバス・サイクル ... 116
6 - 2	プログラマブル・ウェイト設定可能なサイクルと制御レジスタ ... 117
6 - 3	フライバイDMA転送時のウェイト数 (DRAMのoff-page時) ... 122
7 - 1	DRAM制御端子 ... 123
7 - 2	DRAMとアドレス・マルチプレクス幅の例 ... 125
7 - 3	on-pageサイクルとoff-pageサイクルの違い ... 127
7 - 4	DRAMのリフレッシュ間隔 ... 135
7 - 5	インターバル・ファクタの設定例 ... 135
8 - 1	転送の種類と転送対象 ... 154
9 - 1	発生する割り込みとデフォルト優先順位 ... 171
9 - 2	BRG設定データ ... 189
10 - 1	RPUの構成一覧 ... 192
10 - 2	16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号 (TM0) ... 206
10 - 3	16ビット・コンペア・レジスタからの割り込み要求信号 (TM0) ... 208
12 - 1	ポート動作 ... 230

表の目次 (2/2)

表番号	タイトル, ページ
14 - 1	スタンバイ制御によるクロック・ジェネレータの動作 ... 238
14 - 2	HALTモード時の動作状態 ... 241
14 - 3	IDLEモード時の動作状態 ... 244
14 - 4	STOPモード時の動作状態 ... 246
14 - 5	カウント時間例 ... 249
15 - 1	リセット期間中の出力端子の状態 ... 252
15 - 2	各レジスタのリセット後の初期値 ... 254

〔メ モ〕

第1章 概 説

V821は、組み込み制御向け高性能32ビット・マイクロプロセッサV810™ (μPD70732) をプロセッサ・コアに使用し、DRAM/ROMコントローラ、2チャンネルのDMAコントローラ、リアルタイム・パルス・ユニット、シリアル・インタフェース、割り込みコントローラなどの周辺機能を内蔵した32/16ビットRISCマイクロプロセッサです。

V821は、高いリアルタイム応答性、高速な整数演算命令、ビット・ストリング命令、浮動小数点演算命令を持ち、プリンタ、ファクシミリをはじめとするOA機器、ナビゲーションなどの画像処理機器、また携帯型機器などへの応用が、きわめて高いコスト・パフォーマンスで実現できます。

1.1 特 徴

32ビットCPUコア	V810命令互換 1 Kバイトの命令キャッシュ・メモリ内蔵 1クロック・ピッチのパイプライン 16ビット・データ・バス 内部4 Gバイトのリニア・アドレス 汎用レジスタ：32ビット×32本 各種応用分野に適した命令群（浮動小数点演算命令、ビット・ストリング操作命令）
割り込み / 例外	ノンマスカブル：外部入力 1本 マスカブル：外部入力 8本 内部要因 11種 4つのグループごとに優先順位を指定可能
ウェイト・コントロール・ユニット	メモリ、I/O空間合わせて4ブロックのCS制御可能 各ブロックのリニア・アドレス空間：16 Mバイト ブロックごとに0-7ウェイト自動挿入 バス・サイクル（Page-ROM, DRAM）の選択機能
メモリ・アクセス制御機能	DRAMの高速ページ・モード対応 Page-ROMのページ・モード対応

DMAコントローラ	2チャンネル 最大転送回数：65536回 2種類の転送タイプ（フライバイ（1サイクル）転送，2サイクル転送） 3種類の転送モード（シングル転送，シングルステップ転送，ブロック転送） プログラマブル・ウェイト機能
シリアル・インタフェース	アシンクロナス・シリアル・インタフェース（UART）：1ch クロック同期式シリアル・インタフェース（CSI）：1ch 専用ポー・レート・ジェネレータ内蔵
リアルタイム・パルス・ユニット	16ビット・タイマ/イベント・カウンタ：1ch タイマ出力：2本 16ビット・キャプチャ/コンペア・レジスタ：4本 16ビット・インターバル・タイマ：1ch
ウォッチドッグ・タイマ機能	
クロック・ジェネレータ	PLLクロック・シンセサイザによる5通倍機能
スタンバイ機能	HALT，IDLE，STOPモード クロック出力制御

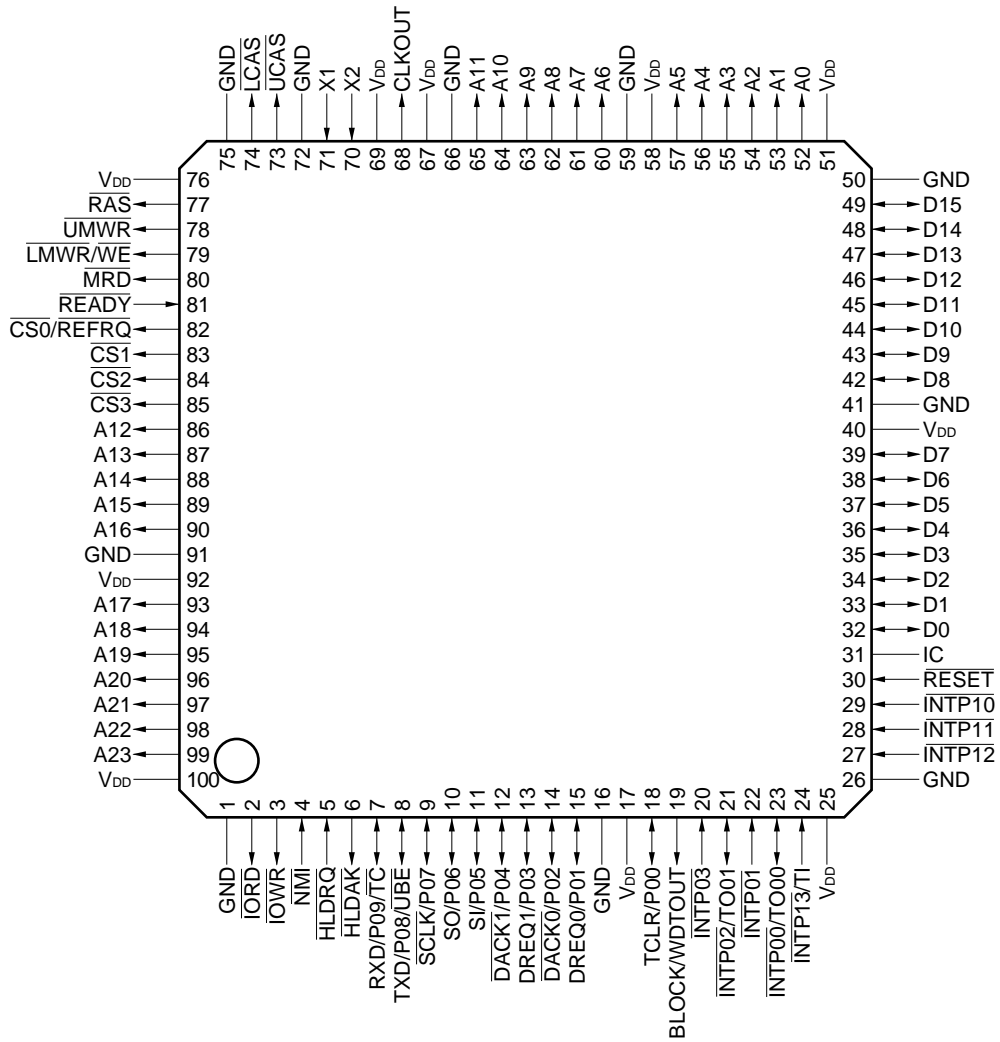
★ 1.2 オーダ情報

オーダ名称	パッケージ	最大動作周波数（MHz）
μPD70741GC-25-8EU	100ピン・プラスチックLQFP（ファインピッチ） （14mm）（樹脂厚1.40mm）	25

★ 1.3 端子接続図 (Top View)

100ピン・プラスチックLQFP (ファインピッチ) (14 mm)

μPD70741GC-25-8EU



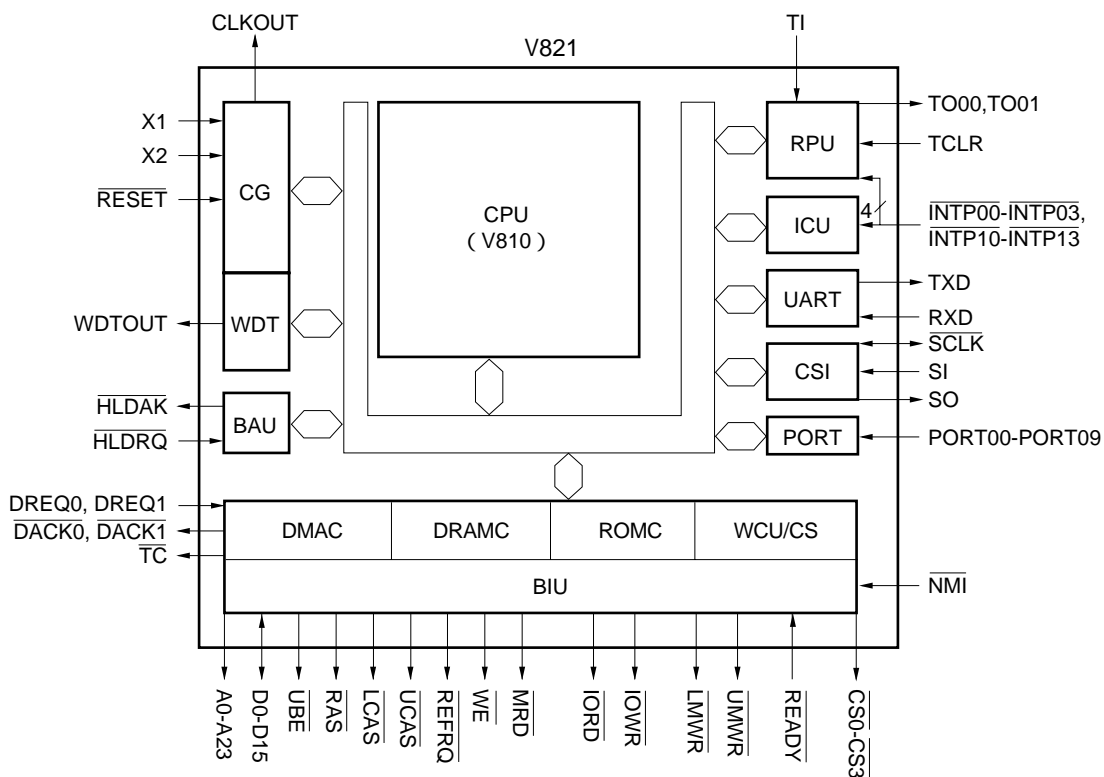
注意 IC端子は抵抗を介してGNDに接続してください。

端子名称

A0-A23	: Address Bus
BLOCK	: Bus Lock
CLKOUT	: System Clock Out
$\overline{CS0}$ - $\overline{CS3}$: Chip Select
D0-D15	: Data Bus
$\overline{DACK0}$, $\overline{DACK1}$: DMA Acknowledge
DREQ0, DREQ1	: DMA Request
\overline{HLDAK}	: Hold Acknowledge
\overline{HLDRQ}	: Hold Request
$\overline{INTP00}$ - $\overline{INTP03}$, $\overline{INTP10}$ - $\overline{INTP13}$: Interrupt Request
$\overline{IOR\overline{D}}$: I/O Read
$\overline{IOW\overline{R}}$: I/O Write
\overline{LCAS}	: Lower Column Address Strobe
$\overline{LMW\overline{R}}$: Lower Memory Write
$\overline{MR\overline{D}}$: Memory Read
\overline{NMI}	: Non-maskable Interrupt Request
P00-P09	: Port
\overline{RAS}	: Row Address Strobe
\overline{READY}	: Ready
$\overline{REFR\overline{Q}}$: Refresh Request
$\overline{RESE\overline{T}}$: Reset
RXD	: Receive Data
$\overline{SCL\overline{K}}$: Serial Clock
SI	: Serial Input
SO	: Serial Output
\overline{TC}	: Terminal Count
TCLR	: Timer Clear
TI	: Timer Input
TO00, TO01	: Timer Output
TXD	: Transmit Data
\overline{UBE}	: Upper Byte Enable
\overline{UCAS}	: Upper Column Address Strobe
$\overline{UMW\overline{R}}$: Upper Memory Write
WDTOUT	: Watchdog Timer Output
\overline{WE}	: Write Enable
X1, X2	: Crystal Oscillator

1.4 機能ブロック構成

★ 1.4.1 内部ブロック図



1.4.2 内部ユニット

(1) バス・インタフェース・ユニット (BIU)

アドレス・バス, データ・バス, コントロール・バスの端子制御を行います。CPU, DMACで起動されたバス・サイクルは, WCU, DRAMC, ROMCなどを介して制御されます。

(2) ウェイト・コントロール・ユニット (WCU)

4本のチップ・セレクト信号 ($\overline{CS0}$ - $\overline{CS3}$) に対応する4個のブロックを管理します。
チップ・セレクト信号の生成, ウェイトの制御, およびバス・サイクルの種類を選択を行います。

(3) DRAMコントローラ (DRAMC)

\overline{RAS} , \overline{UCAS} , \overline{LCAS} 信号の生成 (2CAS制御) とDRAMへのアクセス制御を行います。
DRAMの高速ページ・モードに対応しており, DRAMへのアクセスには, 通常アクセス (off-page) と高速ページ・アクセス (on-page) の2種類のサイクルがあります。

(4) ROMコントローラ (ROMC)

ページ・アクセス機能付きROMへのアクセスに対応します。
直前のバス・サイクルとのアドレス比較を行い, 通常アクセス (off-page) / ページ・アクセス (on-page) のウェイト制御を行います。8-64バイトのページ幅に対応できます。

(5) 割り込みコントローラ

内蔵周辺ハードウェアおよび, 外部からのマスカブル割り込み要求 ($\overline{INTP00}$ - $\overline{INTP03}$, $\overline{INTP10}$ - $\overline{INTP13}$) を処理します。これらの割り込み要求は, 4つのグループ単位ごとに優先順位を指定することができます。割り込み要因に対し多重処理制御を行うことができます。

(6) DMAコントローラ (DMAC)

CPUの代わりにメモリ, I/O間でのデータの転送を行います。
アドレス・モードには, フライパイ (1サイクル) 転送, 2サイクル転送があります。バス・モードには, シングル転送, シングルステップ転送, ブロック転送の3種類があります。

(7) シリアル・インタフェース (UART/CSI)

V821には, シリアル・インタフェースとして, アシンクロナス・シリアル・インタフェース (UART) とクロック同期式シリアル・インタフェース (CSI) を各1チャンネル備えています。
UARTは, TXD, RXD端子によりデータ転送を行います。
CSIは, SO, SI, \overline{SCLK} 端子によりデータ転送を行います。
シリアル・クロック・ソースは, ボー・レート・ジェネレータ出力とシステム・クロックから選択できます。

(8) リアルタイム・パルス・ユニット (RPU)

16ビットのタイマ/イベント・カウンタと、16ビットのインターバル・タイマを内蔵し、パルス間隔や周波数の計算、プログラマブルなパルスの出力が可能です。

(9) ウォッチドッグ・タイマ (WDT)

プログラムの暴走、システムの異常などを検出するための8ビットのウォッチドッグ・タイマを内蔵しています。ウォッチドッグ・タイマのオーバフローにより、WDTOUT端子がアクティブになります。

(10) クロック・ジェネレータ (CG)

X1, X2端子に接続された発振子の5倍(内蔵PLL使用時)または、1/2倍(内蔵PLL未使用時)の周波数をCPUの動作クロックとして供給します。また、発振子を接続する代わりに外部クロックを入力することもできます。

(11) バス・アービトレーション・ユニット (BAU)

各バス・マスタ(CPU, DRAMC, DMAC, 外部バス・マスタ)間でバス使用権の調停を行います。バス使用権は、各バス・サイクルおよびアイドル・ステートにおいて切り替えることができます。

(12) ポート

ポート0に合計10本の入出力ポートを備えています。ポート端子とコントロール端子の機能を選択して使用することができます。

〔メ モ〕

第 2 章 端子機能

V821の端子は、機能別にポート端子とそれ以外の端子に分けることができます。

2.1 端子機能一覧

2.1.1 ポート端子

端子名称	入出力	機 能	兼用端子
P00	入出力	ポート0 10ビット入出力ポート 1ビット単位で入/出力の設定が可能	TCLR
P01			DREQ0
P02			$\overline{\text{DACK0}}$
P03			DREQ1
P04			$\overline{\text{DACK1}}$
P05			SI
P06			SO
P07			SCLK
P08			TXD/ $\overline{\text{UBE}}$
P09			RXD/ $\overline{\text{TC}}$

2.1.2 ポート以外の端子

(1/2)

端子名称	入出力	機 能	兼用端子
A0-A23	3 ステート出力	アドレス・バス信号	-
D0-D15	3 ステート入出力	双方向のデータ・バス信号	-
$\overline{\text{READY}}$	入力	バス・サイクルの終結許可信号	-
$\overline{\text{HLDRQ}}$	入力	バス使用権要求信号	-
$\overline{\text{HLDK}}$	出力	バス使用許可信号	-
BLOCK	出力	バス使用禁止信号	WDTOUT
$\overline{\text{MRD}}$	3 ステート出力	メモリに対するリード・ストロブ信号	-
$\overline{\text{LMWR}}$	3 ステート出力	メモリの下位データに対するライト・ストロブ信号	$\overline{\text{WE}}$
$\overline{\text{UMWR}}$	3 ステート出力	メモリの上位データに対するライト・ストロブ信号	-
$\overline{\text{IORD}}$	3 ステート出力	I/Oデータに対するリード・ストロブ信号	-
$\overline{\text{IOWR}}$	3 ステート出力	I/Oデータに対するライト・ストロブ信号	-
$\overline{\text{UBE}}$	3 ステート出力	データ・バス上位バイト・イネーブル信号	TXD/P08
$\overline{\text{RESET}}$	入力	システム・リセット入力	-
X1, X2	入力	クリスタル接続 / 外部クロック入力	-

(2/2)

端子名称	入出力	機能	兼用端子
CLKOUT	出力	システム・クロック出力	-
$\overline{\text{CS0}}$	3ステート出力	チップ・セレクト信号	$\overline{\text{REFRQ}}$
$\overline{\text{CS1}}$			-
$\overline{\text{CS2}}$			-
$\overline{\text{CS3}}$			-
$\overline{\text{INTP00}}$			入力
$\overline{\text{INTP01}}$	-		
$\overline{\text{INTP02}}$	TO01		
$\overline{\text{INTP03}}$	-		
$\overline{\text{INTP10}}$	-		
$\overline{\text{INTP11}}$	-		
$\overline{\text{INTP12}}$	-		
$\overline{\text{INTP13}}$	TI		
NMI	入力	ノンマスカブル割り込み要求入力	
$\overline{\text{REFRQ}}$	3ステート出力	DRAMに対するリフレッシュ要求信号	$\overline{\text{CS0}}$
$\overline{\text{RAS}}$	3ステート出力	DRAMに対するロウ・アドレス・ストロープ信号	-
$\overline{\text{LCAS}}$	3ステート出力	DRAMの下位データに対するカラム・アドレス・ストロープ信号	-
$\overline{\text{UCAS}}$	3ステート出力	DRAMの上位データに対するカラム・アドレス・ストロープ信号	-
$\overline{\text{WE}}$	3ステート出力	DRAMに対するライト・ストロープ信号	$\overline{\text{LMWR}}$
DREQ0	入力	DMA要求信号 (チャンネル0)	P01
DREQ1	入力	DMA要求信号 (チャンネル1)	P03
$\overline{\text{DACK0}}$	出力	DMA許可信号 (チャンネル0)	P02
$\overline{\text{DACK1}}$	出力	DMA許可信号 (チャンネル1)	P04
$\overline{\text{TC}}$	出力	DMA終了信号	RXD/P09
TO00	出力	RPUのパルス出力	$\overline{\text{INTP00}}$
TO01			$\overline{\text{INTP02}}$
TCLR	入力	タイマ0への外部クリア, スタート信号入力	P00
TI	入力	タイマ0への外部カウント・クロック入力	$\overline{\text{INTP13}}$
TXD	出力	UARTのシリアル・データ出力	$\overline{\text{UBE/P08}}$
RXD	入力	UARTのシリアル・データ入力	$\overline{\text{TC/P09}}$
$\overline{\text{SCLK}}$	入出力	CSIのシリアル・クロック入出力	P07
SO	出力	CSIのシリアル・データ出力	P06
SI	入力	CSIのシリアル・データ入力	P05
WDTOUT	出力	WDTのオーバフロー信号	BLOCK
IC	-	内部接続 (抵抗を介してGNDに接続してください)	-
V _{DD}	-	正電源供給	-
GND	-	グラウンド電位	-

2.2 端子状態

次の動作状態における各端子の端子状態を示します。

端子	動作状態	リセット	パス・ ホールド	HALT モード	IDLE モード	STOP モード
CLKOUT		注1	注1	注1	注1	1
$\overline{\text{CS0/REFRQ}}$		1	Hi-Z	1	1	1
$\overline{\text{CS1}}$		1	Hi-Z	1	1	1
$\overline{\text{CS2}}$		1	Hi-Z	1	1	1
$\overline{\text{CS3}}$		1	Hi-Z	1	1	1
A0-A23		x	Hi-Z	注2	注2	注2
D0-D15		Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
$\overline{\text{MRD}}$		1	Hi-Z	1	1	1
$\overline{\text{LMWR/WE}}$		1	Hi-Z	1	1	1
$\overline{\text{UMWR}}$		1	Hi-Z	1	1	1
$\overline{\text{IORD}}$		1	Hi-Z	1	1	1
$\overline{\text{IOWR}}$		1	Hi-Z	1	1	1
$\overline{\text{HLDAK}}$		1	0	x	x	1
$\overline{\text{RAS}}$		1	Hi-Z	1	0	0
$\overline{\text{LCAS}}$		1	Hi-Z	1	0	0
$\overline{\text{UCAS}}$		1	Hi-Z	1	0	0
BLOCK/WDTOUT		0	0	x	x	0

注1 . クロック出力

2 . HALT命令のPC

備考 Hi-Z : ハイ・インピーダンス

0 : ロウ・レベル出力

1 : ハイ・レベル出力

x : 不定

2.3 端子機能の説明

機能ごとに各端子の詳細について説明します。

2.3.1 アドレス・バス

(1) A0-A23 (Address Bus) ... 3 ステート出力

V821が外部の主記憶や入出力装置をアクセスする際のアドレス信号を出力します。2²⁴バイトのアドレス空間をアクセスできます。バス・サイクルのT1ステートのクロックの立ち上がりに同期して変化します。

2.3.2 データ・バス

(1) D0-D15 (Data Bus) ... 3 ステート入出力

V821が外部の主記憶や入出力装置をアクセスする際の書き込みデータおよび読み出しデータの入出力を行う信号です。ライト・バス・サイクルの場合は、書き込みデータをT1ステートのクロックの立ち下がりから駆動し始めるか、T2ステートのクロック立ち上がりから駆動し始めるかの選択ができます。バス・ホールド状態および次のバス・サイクルのクロックの立ち上がりまで保持します。リード・バス・サイクルの場合には、サイクルの最後のT2ステートの次のクロックの立ち上がりでサンプリングします。

2.3.3 バス制御信号

(1) $\overline{\text{READY}}$ (Ready) ... 入力

メモリやI/Oのアクセス時間に合うようにバス・サイクルを延長させるための信号です。この信号は、DRAMのoff-pageアクセスとCBRリフレッシュ・サイクルでは、2クロック目のT2ステートのクロックの立ち上がりでサンプリングします。 $\overline{\text{READY}}$ 端子が有効なそれ以外のサイクルでは、T2ステートのクロックの立ち下がりでサンプリングします。

なお、 $\overline{\text{READY}}$ 入力のセットアップ/ホールド時間は必ず守ってください。守らない場合の動作については保証できません。

(2) $\overline{\text{HLDRQ}}$ (Hold Request) ... 入力

CPUに対しバスの使用权を放棄することを要求する入力端子です。

T2, T1, THステートのクロックの立ち下がりでサンプリングします。T2ステートのクロックの立ち下がりでのこの端子と $\overline{\text{READY}}$ 端子がともにアクティブであればT1ステートに遷移します。次に、T1ステートのクロックの立ち下がりでのこの信号がアクティブであればTHステートに遷移し、アドレス・バス、データ・バス、コントロール・バスをハイ・インピーダンス状態に、 $\overline{\text{HLDAK}}$ 信号をアクティブにしてバスの使用权を放棄します。

ただし、バス・ロック・サイクル中はTHステートには遷移しません。

(3) $\overline{\text{HLD}}\text{AK}$ (Hold Acknowledge) ...出力

$\overline{\text{HLD}}\text{RQ}$ 入力に対するアクノリッジ信号です。

クロックの立ち下がりで変化します。CPUがバスの使用権を放棄したあとにこの信号をアクティブにします。 $\overline{\text{HLD}}\text{RQ}$ 入力がインアクティブになると、CPUはこの信号をインアクティブにしてバスの制御権を取り戻します。

ただし、バス・ホールド中にほかの優先順位の高いサイクルの要求がある場合は $\overline{\text{HLD}}\text{AK}$ 信号はインアクティブになります。

(4) BLOCK (Bus Lock) ...出力

V821自身以外のバス使用者に対してバスの使用を禁止するための信号です。

最初のバス・サイクルの開始時点(T1ステートのクロックの立ち上がり)でアクティブになり、最後のバス・サイクルの終了(最後のT2ステート)の次のクロックの立ち上がりでインアクティブになります。

(5) $\overline{\text{MRD}}$ (Memory Read) ... 3ステート出力

実行中のバス・サイクルが外部メモリに対するリード・サイクルであることを示すストロープ信号です。

バス・サイクルのT1ステートのクロックの立ち上がりで必ずインアクティブになります。バス・サイクルがメモリ・リードならば、T1ステートのクロックの立ち下がりでアクティブになります。ただし、Page-ROMサイクルが連続している間は、常にアクティブです。また、リフレッシュ・サイクル中は常にインアクティブです。

(6) $\overline{\text{LMWR}}$ (Lower Memory Write) ... 3ステート出力

外部メモリに対するライト・データのストロープ信号です。

データ・バスは下位バイトが有効になります。バス・サイクルが下位のメモリ・ライトならば、T1ステートのクロックの立ち下がりでアクティブになり、バス・サイクルの最後のT2ステートのクロックの立ち下がりでインアクティブになります。

(7) $\overline{\text{UMWR}}$ (Upper Memory Write) ... 3ステート出力

外部メモリに対するライト・データのストロープ信号です。

データ・バスは上位バイトが有効になります。バス・サイクルが上位のメモリ・ライトならば、T1ステートのクロックの立ち下がりでアクティブになり、バス・サイクルの最後のT2ステートのクロックの立ち下がりでインアクティブになります。

(8) $\overline{\text{IOR}}\text{D}$ (I/O Read) ... 3ステート出力

実行中のバス・サイクルが外部I/Oに対するリード・サイクルであることを示すストロープ信号です。

バス・サイクルのT1ステートのクロックの立ち上がりで必ずインアクティブになります。バス・サイクルがI/Oリードならば、T1ステートのクロックの立ち下がりでアクティブになります。

(9) $\overline{\text{IOWR}}$ (I/O Write) ... 3 ステート出力

外部I/Oに対するライト・データのストロープ信号です。

バス・サイクルがI/Oライトならば、T1ステートのクロックの立ち下がりでアクティブになり、バス・サイクルの最後のT2ステートのクロックの立ち下がりでインアクティブになります。

(10) $\overline{\text{UBE}}$ (Upper Byte Enable) ... 3 ステート出力

データ・バスの上位バイトに対するアクセスであることを示す信号です。T1ステートのクロックの立ち上がりに同期して変化します。

データ・バスの下位バイトに対しては、A0信号により制御します。

アクセス	$\overline{\text{UBE}}$	A0
ワード	0	0
ハーフワード		
偶数バイト	1	0
奇数バイト	0	1

2.3.4 システム制御信号**(1) $\overline{\text{RESET}}$ (Reset) ... 入力**

V821を初期化します。

アクティブ期間は必ず30クロック以上保持してください。

$\overline{\text{RESET}}$ 信号が受け付けられると、V821は各信号と内部レジスタを初期化し、アドレスのFFFFFFF0Hから命令の実行を開始します。

(2) X1, X2 (Crystal Oscillator) ... 入力

内部クロック・ジェネレータを使用する場合に水晶振動子(クリスタル)を接続します。外部クロックを使用する場合は、X1端子にクロックを入力します。

(3) CLKOUT (System Clock Out) ... 出力

内部で生成したシステム・クロックを出力します。

(4) $\overline{\text{CS0}}$ - $\overline{\text{CS3}}$ (Chip Select) ... 3 ステート出力

それぞれのアドレス空間に対してチップ・セレクト信号を出力します。信号を出力するアドレス・ブロックは、チップ・セレクト信号ごとに固定されています。対応するアドレス・ブロックにアクセスするバス・サイクルが起動されると、バス・サイクルのT1ステートのクロックの立ち上がりでアクティブになります。

ただし、 $\overline{\text{CS3}}$ は、Page-ROMサイクルが連続している間は常にアクティブです。

2.3.5 割り込み制御信号

(1) $\overline{\text{INTP00}}\text{-}\overline{\text{INTP03}}$ (Interrupt Request) ...入力

割り込み制御ユニット (ICU) に対する非同期割り込み要求信号です。エッジ・トリガまたはレベル・トリガ (ロウ・レベル) が選択できます。

リアルタイム・パルス・ユニット (RPU) のタイマ 0 (TM0) のキャプチャ/コンペア・レジスタ (CC0) をキャプチャ・レジスタに指定した場合に、この信号の有効エッジ (両エッジ) をキャプチャ・トリガとして、TM0の値をラッチします。

(2) $\overline{\text{INTP10}}\text{-}\overline{\text{INTP13}}$ (Interrupt Request) ...入力

割り込み制御ユニット (ICU) に対する非同期割り込み要求信号です。エッジ・トリガまたはレベル・トリガ (ロウ・レベル) が選択できます。

(3) $\overline{\text{NMI}}$ (Non-maskable Interrupt Request) ...入力

CRUに対するマスク不可能な割り込み要求信号です。

この信号は、CPUに対する割り込みレベルを示す信号です。クロックの立ち下がりでサンプリングされます。なおこの信号は、CPUが割り込み処理を開始し、割り込みを受け付けたことをソフトウェアで外部に通知するまで、アクティブ・レベルを保持する必要があります。

2.3.6 DRAM制御信号

(1) $\overline{\text{REFRQ}}$ (Refresh Request) ... 3ステート出力

DRAMに対するリフレッシュ要求信号です。

外部回路でアドレスをデコードして接続するDRAMを増やす場合に、リフレッシュ・サイクル時の $\overline{\text{RAS}}$ 制御に使用します。

リフレッシュ・サイクルの2つ目のT2ステートのクロックの立ち上がりでアクティブになります。その後、セルフ・リフレッシュ・サイクルの場合にはアクティブ状態を保持し、通常のリフレッシュ・サイクルでは、4つ目のT2ステートのクロックの立ち下がりでインアクティブになります。

(2) $\overline{\text{RAS}}$ (Row Address Strobe) ... 3ステート出力

DRAMに対するロウ・アドレスのストロブ信号です。

DRAMのoff-Pageアクセスの場合にバス・サイクルのT1ステートのクロックの立ち下がりでインアクティブになり、2つ目のT2ステートのクロックの立ち上がりでアクティブになります。

リフレッシュ・サイクルはタイミングが異なります (7.1.7 リフレッシュ機能参照)。

(3) $\overline{\text{LCAS}}$ (Lower Column Address Strobe) ... 3ステート出力

DRAMに対するカラム・アドレスのストロブ信号です。

データ・バスは下位バイトが有効になります。

リード時は、off-pageサイクルならば3つ目のT2ステートのクロックの立ち上がりでアクティブになり、次のバス・サイクルのT1ステートのクロックの立ち上がりでインアクティブになります。on-pageサイクルならばT1ステートのクロックの立ち下がりでアクティブになり、次のバス・サイクルのT1ステートのクロックの立ち上がりでインアクティブになります。

ライト時は、バス・サイクルの最後のT2ステートのクロックの立ち上がりでアクティブになり、次のバス・サイクルのT1ステートのクロックの立ち上がりでインアクティブになります。

リフレッシュ・サイクルはタイミングが異なります(7.1.7 リフレッシュ機能参照)。

(4) $\overline{\text{UCAS}}$ (Upper Column Address Strobe) ... 3ステート出力

DRAMに対するカラム・アドレスのストロブ信号です。

データ・バスは上位バイトが有効になります。

リード時は、off-pageサイクルならば3つ目のT2ステートのクロックの立ち上がりでアクティブになり、次のバス・サイクルのT1ステートのクロックの立ち上がりでインアクティブになります。on-pageサイクルならばT1ステートのクロックの立ち下がりでアクティブになり、次のバス・サイクルのT1ステートのクロックの立ち上がりでインアクティブになります。

ライト時は、バス・サイクルの最後のT2ステートのクロックの立ち上がりでアクティブになり、次のバス・サイクルのT1ステートのクロックの立ち上がりでインアクティブになります。

リフレッシュ・サイクルはタイミングが異なります(7.1.7 リフレッシュ機能参照)。

(5) $\overline{\text{WE}}$ (Write Enable) ... 3ステート出力

実行中のバス・サイクルが、DRAMに対するライト・サイクルであることを示す信号です。

バス・サイクルがDRAMライトならば、T1ステートのクロックの立ち下がりでアクティブになり、バス・サイクルの最後のT2ステートのクロックの立ち下がりでインアクティブになります。

2.3.7 DMA制御信号

(1) DREQ0, DREQ1 (DMA Request) ... 入力

DMAサービスの要求信号です。それぞれDMAチャンネル0, 1に対応し互いに独立です。優先順位は固定で、DREQ1 < DREQ0です。

この信号は、CLKOUT信号の立ち下がりでサンプリングされます。DMA要求が受け付けられるまでアクティブ・レベルを保持してください。

(2) $\overline{\text{DACK0}}$, $\overline{\text{DACK1}}$ (DMA Acknowledge) ...出力

DMAサービス要求が許可されたことを示す信号です。それぞれDMAチャンネル0, 1に対応し互いに独立です。

この信号は, DMAサイクルのT1RまたはT1Fステートのクロックの立ち上がりでアクティブになり, DMA転送中はアクティブ・レベルを保持します。

(3) $\overline{\text{TC}}$ (Terminal Count) ...出力

DMAコントローラによるDMA転送が終了したことを示す信号です。

この信号は, クロックの立ち上がりでアクティブになります。

また, チャンネル0の $\overline{\text{TC}}$ とチャンネル1の $\overline{\text{TC}}$ の論理和をとって出力するため, 外部回路でそれぞれ $\overline{\text{DACK0}}$, $\overline{\text{DACK1}}$ 信号と論理積をとることにより, チャンネル0の $\overline{\text{TC}}$ とチャンネル1の $\overline{\text{TC}}$ を生成する必要があります(第8章 DMA機能(DMAコントローラ)参照)。

2.3.8 リアルタイム・パルス制御信号

(1) TO00, TO01 (Timer Output) ...出力

リアルタイム・パルス・ユニット(RPU)のタイマ0, (TM0)のキャプチャ/コンペア・レジスタ(CC0)のコンペア一致信号です。この信号はそれぞれCC00, CC02レジスタの一致検出でセットされ, CC01, CC03レジスタの一致検出でリセットされます。RPUのモード設定により出力を反転することができます。

(2) TCLR (Timer Clear) ...入力

RPUのTM0のカウント・クリア信号です。

(3) TI (Timer Input) ...入力

RPUのTM0が使用する外部クロック信号です。RPUのTM0がこの外部クロック信号を使用するか, 内部システム・クロックを分周したクロックを使用するかは, イニシャライズ時に設定してください。

2.3.9 シリアル制御信号

(1) TXD (Transmit Data) ...出力

UARTのシリアル送信データ出力端子です。この信号は, 内部シリアル・クロックに同期して変化します。非送信時はハイ・レベルを保持します。

(2) RXD (Receive Data) ...入力

UARTのシリアル受信データ入力端子です。

(3) $\overline{\text{SCLK}}$ (Serial Clock) ...入出力

CSIのシリアル・クロック入出力端子です。レジスタの設定により入出力が設定できます。

(4) SO (Serial Output) ...出力

CSIのシリアル送信データ出力端子です。この信号は、 $\overline{\text{SCLK}}$ 信号の立ち下がりに同期して変化します。非送信時はハイ・インピーダンス状態となります。

(5) SI (Serial Input) ...入力

CSIのシリアル受信データ入力端子です。この信号は、 $\overline{\text{SCLK}}$ 信号の立ち上がりでサンプリングされます。

2.3.10 ウォッチドッグ・タイマ制御信号

(1) WDTOUT (Watchdog Timer Output) ...出力

ウォッチドッグ・タイマ (WDT) のオーバフローを示す信号です。この信号は、WDTのオーバフローでアクティブになり、32クロック後にインアクティブになります。

2.3.11 ポート制御信号

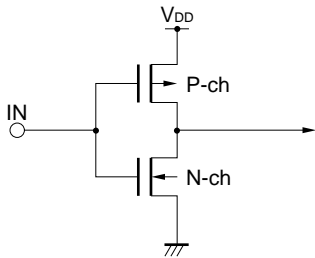
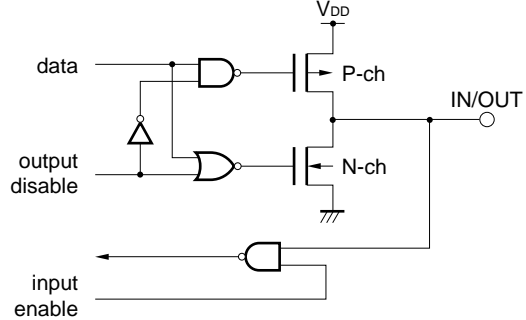
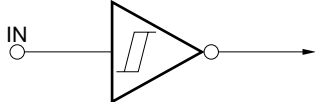
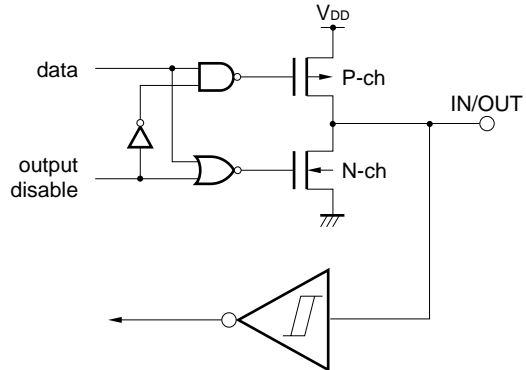
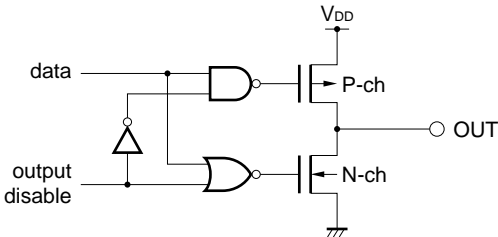
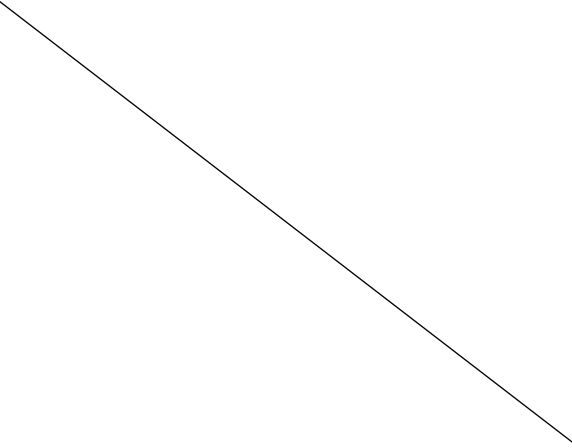
(1) P00-P09 (Port) ... 3ステート入出力

ポートの信号です。レジスタで入出力を選択できます。

2.4 各端子の入出力回路と未使用端子の処理

端 子	入出力回路タイプ	推奨接続方法		
P00/TCLR	5	入力状態：個別に抵抗を介してV _{DD} またはGNDに接続してください。 出力状態：オープンにしてください。		
P01/DREQ0				
P02/DACK0				
P03/DREQ1				
P04/DACK1				
P05/SI				
P06/SO				
P07/SCLK				
P08/TXD/UBE				
P09/RXD/TC				
D0-D15	5	オープンにしてください。		
A0-A7, A16-A18	4	オープンにしてください。		
A8-A15, A19-A23				
READY	1	抵抗を介してGNDに接続してください。		
HLDRQ	4	抵抗を介してV _{DD} に接続してください。		
HLDK		オープンにしてください。		
BLOCK/WDTOUT				
MRD				
LMWR/WE				
UMWR				
IOR _D				
IOWR				
CLKOUT				
CS0/REFRQ				
CS1-CS3				
INTP00/TO00			8	抵抗を介してV _{DD} に接続してください。
INTP01			2	抵抗を介してV _{DD} に接続してください。
INTP02/TO01			8	抵抗を介してV _{DD} に接続してください。
INTP03	2		抵抗を介してV _{DD} に接続してください。	
INTP10-INTP12				
INTP13/TI				
NMI				
RESET				
RAS	4	オープンにしてください。		
LCAS				
UCAS				
X2	-			
IC	-	抵抗を介してGNDに接続してください。		

2.5 端子の入出力回路

<p>タイプ1</p> 	<p>タイプ5</p> 
<p>タイプ2</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています</p>	<p>タイプ8</p> 
<p>タイプ4</p>  <p>出力ハイ・インピーダンス(P-ch, N-chともにオフ)とすることができるプッシュプル出力となっています。</p>	

第3章 CPU機能

CPUは、組み込み制御向けマイクロプロセッサV810と同等の機能を持ち、ビット・ストリング命令、浮動小数点演算命令、高いリアルタイム応答性を備えています。

3.1 特 徴

CPUの特徴を次に示します。

高性能32ビットRISCマイクロプロセッサ

- ・1Kバイトのキャッシュ・メモリ内蔵
- ・1クロック・ピッチのパイプライン構造
- ・16ビットのデータ・バス
- ・32ビット汎用レジスタ：32本
- ・4Gバイトのリニア・アドレス空間

各種応用分野に適した命令群

- ・浮動小数点演算命令（IEEE754データ・フォーマット準拠）
- ・ビット・ストリング命令

高速割り込み応答

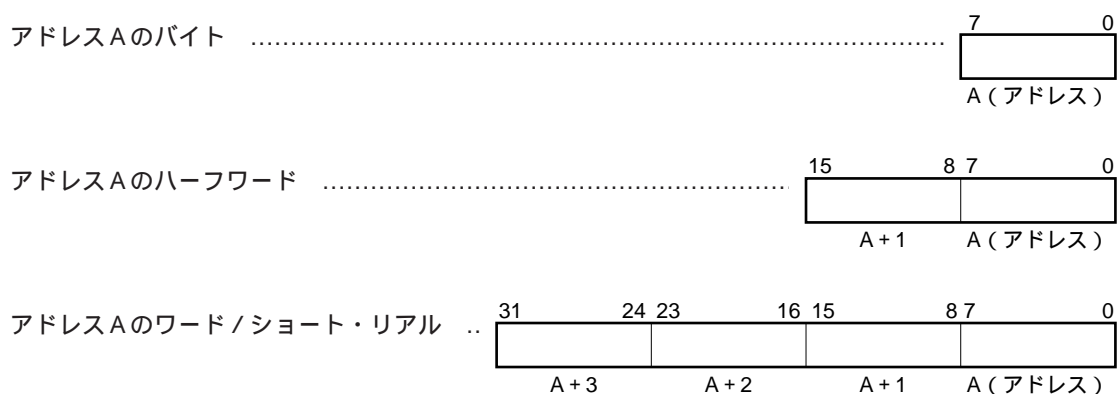
ディバグ・サポート機能

3.2 アドレス空間

V821は内部4 Gバイトのメモリ空間とI/O空間をサポートしています。V821からメモリ、I/Oに対して24ビット・アドレスが出力されますので、アドレス番地は0から $2^{24} - 1$ となります。

各バイト・データはビット番号0をLSB (Least Significant Bit) , ビット番号7をMSB (Most Significant Bit) と定義されています。また、複数バイト構成のデータでは特に注意しないかぎり、下位側アドレスのバイト・データがLSBとなり、上位側アドレスのバイト・データがMSBと定義されています。

V821では、2バイト構成のデータをハーフワード、4バイト構成のデータをワードと呼びます。このマニュアルでは、複数バイト構成のメモリ・データおよび、I/Oデータを表現する場合、次のように、右側を下位側アドレス、左側を上位側アドレスとして表現します。



3.2.1 メモリ・マップ

V821のメモリ・マップを図3 - 1に示します。

内部4 Gバイトのメモリ空間は、それぞれ1 Gバイトのブロックに分割されます。

各ブロックのリニア・アドレス空間は16 Mバイトになります（32ビット・アドレスのうち、下位24ビットを出力）。

図3 - 1 メモリ・マップ



注 詳細については、表4 - 1 割り込み一覧を参照してください。

3.2.2 I/Oマップ

V821のI/Oマップを図3 - 2に示します。

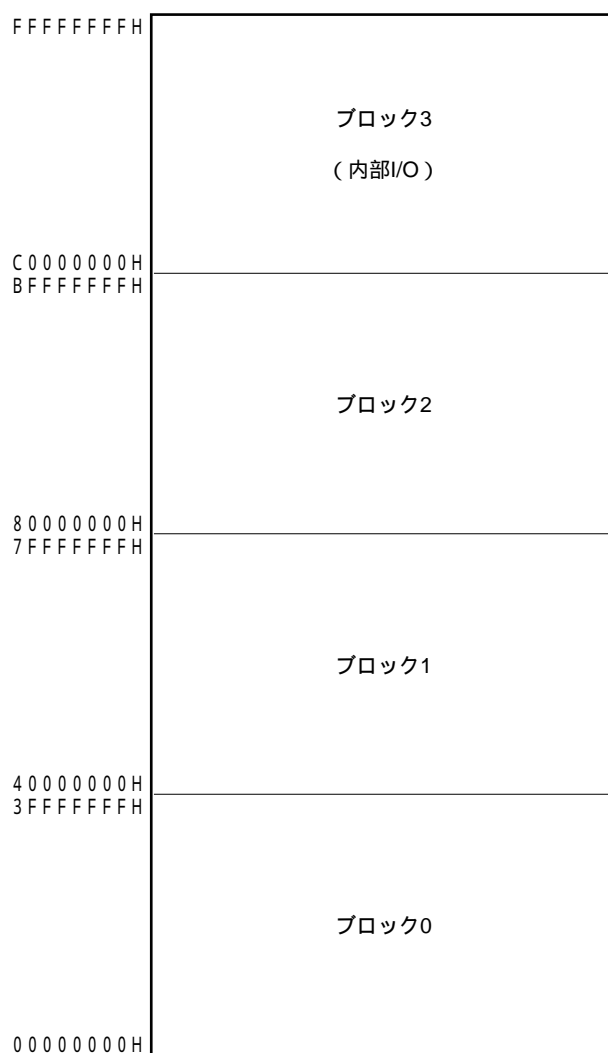
内部4 Gバイトのメモリ空間は、それぞれ1 Gバイトのブロックに分割されます。

各ブロックのリニア・アドレス空間は、16 Mバイトになります(32ビット・アドレスのうち、下位24ビットを出力)。

V821は、I/OアドレスのC0000000H-FFFFFFFFH番地(I/Oブロック3)を内部I/O空間として予約し、各ユニットはこの内部I/O空間にマッピングされています。

内部I/O空間の構成については、3.4 内蔵周辺I/Oレジスタを参照してください。

図3 - 2 I/Oマップ



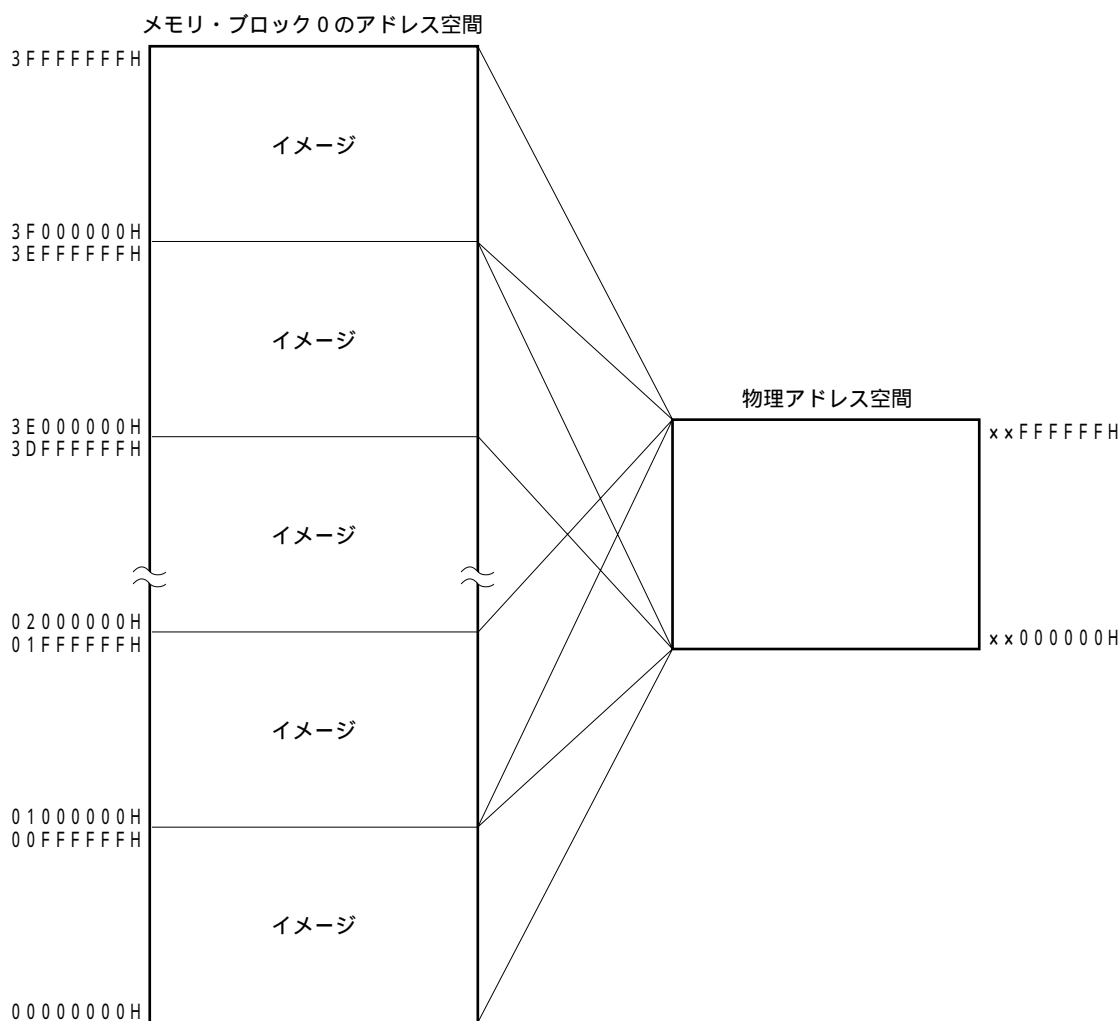
3.2.3 イメージ

メモリ、I/Oそれぞれの4 Gバイトの空間は、1 Gバイトごとに4 ブロックに分割されます。各ブロックは $\overline{\text{CS}}$ 信号により選択します(第6章 ウェイト制御機能参照)。

各ブロック内のリニア・アドレスは16 Mバイトであり、1つのブロックに16 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまりアドレスのビット29-ビット24がどのような値でも、同じ16 Mバイトの物理アドレス空間をアクセスします。図3 - 3にアドレス空間上のイメージを示します。

メモリ・ブロック0での32ビットのメモリ・アドレスは、上位8ビットを無視し24ビットの物理アドレスとしてアクセスするため、物理アドレスの $\times\times000000\text{H}$ 番地が、メモリ・アドレスの 00000000H 番地のほかに 01000000H 番地、 02000000H 番地...、 $3\text{E}000000\text{H}$ 番地、 $3\text{F}000000\text{H}$ 番地に見えます。

図3 - 3 アドレス空間上のイメージ



3.2.4 メモリ・マップとI/Oマップの違い

メモリ・マップとI/Oマップでは、アクセス時の制御手順に違いがあります。

メモリ・マップに対するリード・アクセス（LD命令）の処理中に割り込み動作が生じた場合、割り込み処理が優先されて、処理中のLD命令によるリード・データが無効になることがあります。したがって、割り込み処理終了後、再度LD命令を実行する場合があります。

I/Oマップに対するリード・アクセス（IN命令）の処理中に割り込み動作が生じた場合は、リード・アクセスの方を優先します。したがって、割り込み処理終了後、再度IN命令が実行されることはありません。

以上のことから、リード動作によって内容がクリアされたり（シリアル・コントローラのリード・バッファなど）、リード回数により内容が更新されるようなデバイスについては、メモリ・マップではなく、I/Oマップに配置するなどの注意が必要です。

3.3 CPUレジスタ・セット

V821のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは、32ビット幅となっています。

プログラム・レジスタ・セット

31	0
r0	Zero Register
r1	Reserved for Address Generation
r2	Handler Stack Pointer (hp)
r3	Stack Pointer (sp)
r4	Global Pointer (gp)
r5	Text Pointer (tp)
r6	
r7	
r8	
r9	
r10	
r11	
r12	
r13	
r14	
r15	
r16	
r17	
r18	
r19	
r20	
r21	
r22	
r23	
r24	
r25	
r26	String Destination Bit Offset
r27	String Source Bit Offset
r28	String Length
r29	String Destination
r30	String Source
r31	Link Pointer (lp)

31	0
PC	Program Counter

システム・レジスタ・セット

31	0
EIPC	Exception/Interrupt PC
EIPSW	Exception/Interrupt PSW

31	0
FEPC	Fatal Error PC
FEPSW	Fatal Error PSW

31	0
ECR	Exception Cause Register

31	0
PSW	Program Status Word

31	0
PIR	Processor ID Register

31	0
TKCW	Task Control Word

31	0
CHCW	Cache Control Word

31	0
ADTRE	Address Trap Register

3.3.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0, r26-r30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。また、r1-r5, r31はアセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際には、レジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

表3-1 プログラム・レジスタ一覧

名 称	用 途	動 作
r0	ゼロ・レジスタ	常にゼロを保持
r1	アセンブラ予約レジスタ	32ビット・イミューディエト作成用のワーキング・レジスタとして使用
r2	ハンドラ・スタック・ポインタ	ハンドラ用のスタック・ポインタとして使用
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域の先頭を指すレジスタ
r6-r25	-	アドレス/データ変数用レジスタ
r26	ストリング・デスティネーション開始ビット・オフセット	ビット・ストリング命令実行時に使用
r27	ストリング・ソース開始ビット・オフセット	
r28	ストリング・レンクス・レジスタ	
r29	ストリング・デスティネーション開始アドレス・レジスタ	
r30	ストリング開始アドレス・レジスタ	
r31	リンク・ポインタ	JAL命令により戻り先アドレスを格納

(2) プログラム・カウンタ

プログラム実行中の命令アドレスを保持しています。プログラム・カウンタ(PC)のビット0は0に固定されており、奇数番地への分岐を行うことはできません。リセット時には、FFFFFFF0Hに初期化されます。

3.3.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

表3 - 2 システム・レジスタ番号

番号	レジスタ名称	用途	動作
0	EIPC	例外 / 割り込み時 状態退避レジスタ	例外または割り込みが発生した場合に、PCとPSWを退避するレジスタです。このレジスタは、1組しかないため多重割り込みを許す場合は、プログラムでこのレジスタを退避する必要があります。
1	EIPSW		
2	FEPC	NMI / 二重例外時 状態退避レジスタ	NMIまたは二重例外が発生した場合に、PCとPSWを退避するレジスタです。
3	FEPSW		
4	ECR	例外要因レジスタ	例外、マスカブル割り込み、NMIが発生した場合に、その要因を保持するレジスタです。このレジスタは、上位16ビットを“FECC”と呼びNMI/二重例外の例外コードがセットされます。下位16ビットは“EICC”と呼び例外/割り込みの例外コードがセットされます。
5	PSW	プログラム・ステータス・ワード	プログラム・ステータス・ワードは、プログラムの状態（命令実行結果）やCPUの状態を示すフラグの集合です。
6	PIR	プロセッサIDレジスタ	CPUタイプ番号を識別するためのレジスタです。
7	TKCW	タスク・コントロール・ワード	浮動小数点演算の制御を行うレジスタです。
8-23	予約		
24	CHCW	キャッシュ・コントロール・ワード	内蔵の命令キャッシュを制御するためのレジスタです。
25	ADTRE	アドレス・トラップ・レジスタ	PCとのアドレスの一致を検出してアドレス・トラップを発生させるためのアドレスを保持するレジスタです。
26-31	予約		

これらのシステム・レジスタへのリード・ライトは、システム・レジスタ・ロード/ストア命令（LDSR、STSR命令）で上述のシステム・レジスタ番号を指定することにより行います。

3.4 内蔵周辺I/Oレジスタ

内蔵周辺I/Oレジスタは、C0000000H-FFFFFFFFHの1 Gバイト空間のうち、C0000000H-C00000FFHの256バイトの領域に割り付けられています。C0000100H番地以降は、この256バイトのイメージが256バイトごとに発生します。

アドレスの最下位ビットはデコードしません。したがって、奇数アドレス ($2n+1$) のレジスタにバイト・アクセスした場合は、偶数アドレス ($2n$) のレジスタがアクセスされます。

8ビットのI/Oレジスタに対して16ビット・アクセスを行った場合、ライト時は上位8ビットが無視され、リード時は上位8ビットが不定になります。

表3 - 3 に内蔵周辺I/Oレジスタの一覧を示します。

表3-3 内蔵周辺I/Oレジスタ一覧(1/2)

アドレス	機能レジスタ名称	略号	操作可能ビット		初期値
			8ビット	16ビット	
C0000010	ポート・モード・コントロール・レジスタ0	PMC0			0000H
C0000012	ポート・モード・レジスタ0	PM0			03FFH
C0000014	ポート・レジスタ0	P0			不定
C0000020	バス・サイクル・タイプ・コントロール・レジスタ	BCTC			01H
C0000022	プログラマブル・ウェイト・コントロール・レジスタ0	PWC0			77H
C0000024	プログラマブル・ウェイト・コントロール・レジスタ1	PWC1			77H
C0000026	プログラマブル・ウェイト・コントロール・レジスタ2	PWC2			77H
C0000028	DRAMコンフィギュレーション・レジスタ	DRC			81H
C000002A	リフレッシュ・コントロール・レジスタ	RFC			80H
C000002C	Page-ROMコンフィギュレーション・レジスタ	PRC			80H
C0000040	DMAソース・アドレス・レジスタ0H	DSA0H			不定
C0000042	DMAソース・アドレス・レジスタ0L	DSA0L			不定
C0000044	DMAデスティネーション・アドレス・レジスタ0H	DDA0H			不定
C0000046	DMAデスティネーション・アドレス・レジスタ0L	DDA0L			不定
C0000048	DMAソース・アドレス・レジスタ1H	DSA1H			不定
C000004A	DMAソース・アドレス・レジスタ1L	DSA1L			不定
C000004C	DMAデスティネーション・アドレス・レジスタ1H	DDA1H			不定
C000004E	DMAデスティネーション・アドレス・レジスタ1L	DDA1L			不定
C0000050	DMAバイト・カウント・レジスタ0	DBC0			不定
C0000052	DMAバイト・カウント・レジスタ1	DBC1			不定
C0000054	DMAチャンネル・コントロール・レジスタ0	DCHC0			0000H
C0000056	DMAチャンネル・コントロール・レジスタ1	DCHC1			0000H
C0000060	タイマ・ユニット・モード・レジスタ0	TUM0			0A00H
C0000062	タイマ・コントロール・レジスタ0	TMC0			00H
C0000064	タイマ・コントロール・レジスタ1	TMC1			00H
C0000066	タイマ出力コントロール・レジスタ0	TOC0			03H
C0000068	タイマ・オーバフロー・ステータス・レジスタ	TOVS			00H
C0000070	タイマ・レジスタ0	TM0			0000H
C0000072	キャプチャ/コンペア・レジスタ00	CC00			不定
C0000074	キャプチャ/コンペア・レジスタ01	CC01			不定
C0000076	キャプチャ/コンペア・レジスタ02	CC02			不定
C0000078	キャプチャ/コンペア・レジスタ03	CC03			不定
C000007C	タイマ・レジスタ1	TM1			0000H
C000007E	コンペア・レジスタ1	CM1			不定
C0000080	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM			00H
C0000082	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS			00H

表3 - 3 内蔵周辺I/Oレジスタ一覧(2/2)

アドレス	機能レジスタ名称	略号	操作可能ビット		初期値
			8ビット	16ビット	
C0000084	受信バッファ	RXB			不定
C0000086	受信バッファL	RXBL			不定
C0000088	送信シフト・レジスタ	TXS			不定
C000008A	送信シフト・レジスタL	TXSL			不定
C0000090	クロック同期式シリアル・インタフェース・モード・レジスタ	CSIM			00H
C0000092	シリアルI/Oシフト・レジスタ	SIO			不定
C00000A0	ポー・レート・ジェネレータ・レジスタ	BRG			不定
C00000A2	ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ	BPRM			00H
C00000B0	割り込みグループ優先順位レジスタ	IGP			E4H
C00000B2	割り込みクリア・レジスタ	ICR			0000H
C00000B4	割り込み要求レジスタ	IRR			0000H
C00000B6	割り込み要求マスク・レジスタ	IMR			FFFFH
C00000B8	ICUモード・レジスタ	IMOD			AAAAH
C00000C0	WDTモード・レジスタ	WDTM			00H
C00000D0	スタンバイ・コントロール・レジスタ	STBC			00H
C00000E0	クロック・コントロール・レジスタ	CGC			03H

第4章 割り込み / 例外処理機能

V821は、割り込み処理用に専用の割り込みコントローラ（ICU）を内蔵し、合計16要因の割り込み要求を処理できる強力な割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。一般に、例外は割り込みより優先的に処理されます。

V821では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求を処理できます。さらに、命令による例外処理の起動（TRAP命令）や、例外事象の発生（アドレス・トラップ、不正命令コードなど）による例外処理の起動が可能です。

4.1 特 徴

割り込み

ノンマスクابل割り込み 1 要因

マスクابل割り込み 15 要因

4つのグループでのプログラマブル優先順位制御

優先順位に従った割り込み多重処理制御

個々のマスクابل割り込み要求に対するマスク指定

外部割り込み要求の有効エッジ指定

ノンマスクابل割り込み端子（ $\overline{\text{NMI}}$ ）には、アナログ・ディレイ（60-300 ns）によるノイズ除去回路を内蔵

例外

ソフトウェア例外 32 要因

例外トラップ 10 要因

これらの割り込み / 例外要因を表 4 - 1 に示します。

表4-1 割り込み一覧(1/2)

種類	分類	グループ	グループ 内優先 順位	割り込み / 例外要因			例外 コード	ハンドラ・ アドレス	復帰PC ^{注1}
				名称	発生要因	発生ユニット			
リセット	割り込み	-	-	RESET	リセット入力	-	FFF0H	FFFFFFF0H	不定
ノンマスク ブル	割り込み	-	-	NMI	NMI 入力	-	FFD0H	FFFFFFD0H	next PC ^{注2}
ソフトウ エア例外	例外	-	-	TRAP 1nH	trap命令	-	FFBnH	FFFFFFB0H	next PC
		-	-	TRAP 0nH	trap命令	-	FFAnH	FFFFFFA0H	next PC
例外 トラップ	例外	-	-	DP-EX	二重例外	-	注3	FFFFFFD0H	current PC
		-	-	AD-TR	アドレス・トラップ	-	FFC0H	FFFFFFC0H	
		-	-	I-OPC	不正命令コード	-	FF90H	FFFFFF90H	
		-	-	DIV0	ゼロ除算	-	FF80H	FFFFFF80H	
		-	-	FIZ	浮動小数点無効演算	-	FF70H	FFFFFF60H	
		-	-	FZD	浮動小数点ゼロ除算	-	FF68H	FFFFFF60H	
		-	-	FOV	浮動小数点オーバ フロー	-	FF64H	FFFFFF60H	
		-	-	FUD	浮動小数点アンダ フロー ^{注4}	-	FF62H	FFFFFF60H	
		-	-	FPR	浮動小数点精度落 ち ^{注4}	-	FF61H	FFFFFF60H	
		-	-	FRO	浮動小数点予約済 みオペランド	-	FF60H	FFFFFF60H	

備考 n = 0H-FH

注1 . 割り込み/例外処理起動時にEIPCまたはFEPCにセーブされるPC値のことです。

2 . 割り込みで命令実行を中断する命令 (DIV/DIVU命令 , 浮動小数点演算命令 , ビット・ストリング命令)
の実行中は , 復帰PC = current PCです。3 . 1 回目に発生した例外コードはECRの下位16ビットに格納され , 2 回目に発生した例外コードは上位16
ビットに格納されます。

4 . V821では , 浮動小数点アンダフロー例外と浮動小数点精度落ち例外は発生しません。

表4-1 割り込み一覧(2/2)

種類	分類	グループ	グループ 内優先 順位	割り込み / 例外要因			例外 コード	ハンドラ・ アドレス	復帰PC ^{注1}
				名称	発生要因	発生ユニット			
マスクブル	割り込み	GR3	3	RESERVED	予約	-	FEF0H	FFFFFFEF0H	next PC ^{注2}
			2	INTOV0	タイマ0 オーバフロー	RPU	FEE0H	FFFFFFE0H	
			1	INTSER	UART受信エラー	UART	FED0H	FFFFFFED0H	
			0	INTP13	INTP13端子入力	外部	FEC0H	FFFFFFEC0H	
		GR2	3	INTSR	UART受信終了	UART	FEB0H	FFFFFFEB0H	
			2	INTST	UART送信終了	UART	FEA0H	FFFFFFEA0H	
			1	INTCSI	CSI送受信終了	CSI	FE90H	FFFFFFE90H	
			0	INTP12	INTP12端子入力	外部	FE80H	FFFFFFE80H	
		GR1	3	INTDMA	DMA転送終了	DMAC	FE70H	FFFFFFE70H	
			2	INTP00/ INTCC00	INTP00端子入力 / CC00の一致	外部 / RPU	FE60H	FFFFFFE60H	
			1	INTP01/ INTCC01	INTP01端子入力 / CC01の一致	外部 / RPU	FE50H	FFFFFFE50H	
			0	INTP11	INTP11端子入力	外部	FE40H	FFFFFFE40H	
		GR0	3	INTCM1	CM1の一致	RPU	FE30H	FFFFFFE30H	
			2	INTP02/ INTCC02	INTP02端子入力 / CC02の一致	外部 / RPU	FE20H	FFFFFFE20H	
			1	INTP03/ INTCC03	INTP03端子入力 / CC03の一致	外部 / RPU	FE10H	FFFFFFE10H	
			0	INTP10	INTP10端子入力	外部	FE00H	FFFFFFE00H	

注1．割り込み/例外処理起動時にEIPCまたはFEPCにセーブされるPC値のことです。

- 2．割り込みで命令実行を中断する命令（DIV/DIVU命令，浮動小数点演算命令，ビット・ストリング命令）の実行中は，復帰PC = current PCです。

注意 マスクブル割り込みの例外コードとハンドラ・アドレスは，デフォルト優先順位での値です。優先順位を変更した場合には，表4-2を参照してください。

4.2 ノンマスクابل割り込み

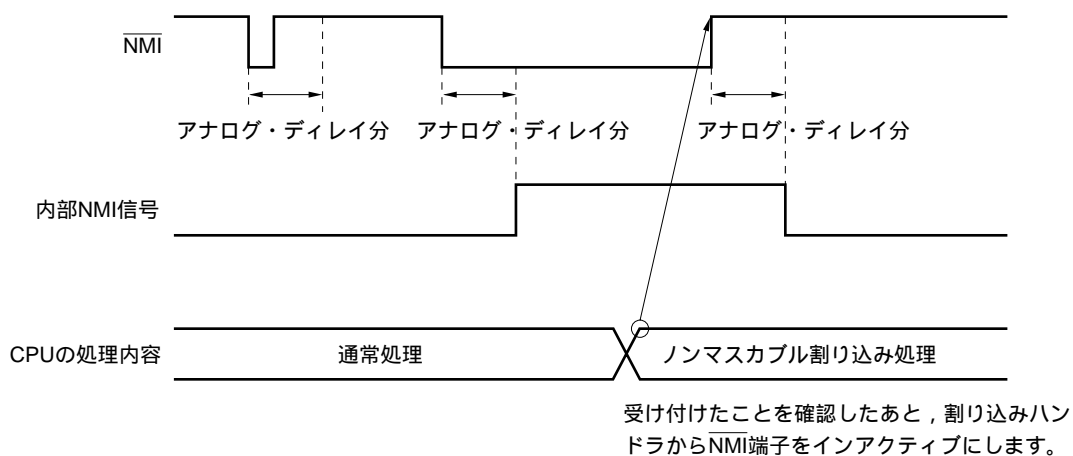
ノンマスクابل割り込み要求は、割り込み禁止 (DI) 状態 (PSW.ID = 1) であっても無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスクابل割り込み要求は $\overline{\text{NMI}}$ 端子によって行います。 $\overline{\text{NMI}}$ はレベル入力のため、ハンドラに分岐し受け付けられたことを確認するまで入力を保持する必要があります。

ノンマスクابل割り込みのサービス・プログラムを実行している (PSW.NP = 1) 場合は、ノンマスクابل割り込み要求は保留されます。保留されたノンマスクابل割り込みは、現在実行中のノンマスクابل割り込みサービス・プログラムの終了後 (RETI命令実行後) または、LDSR命令によりPSW.NP = 0にすると受け付けられます。

ノンマスクابل割り込み要求入力には、アナログ・ディレイ (60-300 ns) を含むノイズ除去回路を使用しています。これにより、図4-1に示すような細いパルス幅のノイズが入った場合に、誤ってノンマスクابل割り込み要求が受け付けられることを防ぐことができます。

図4-1 $\overline{\text{NMI}}$ 端子のアナログ・ディレイによるノイズ除去



4.2.1 動作

NMI 入力によりノンマスクابل割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをFEPCに退避します。
- (2) 現在のPSWをFEPSWへ退避します。
- (3) ECRの上位16ビット (FECC) に例外コードFFD0Hを書き込みます。
- (4) PSWのNP, IDビットをセットし, AEビットをクリアします。
- (5) PCにノンマスクابل割り込みに対するハンドラ・アドレス (FFFFFFFD0H) をセットし, 制御を移します。

ノンマスクابل割り込みの処理形態を図4 - 2 に示します。

図4 - 2 ノンマスクابل割り込みの処理形態

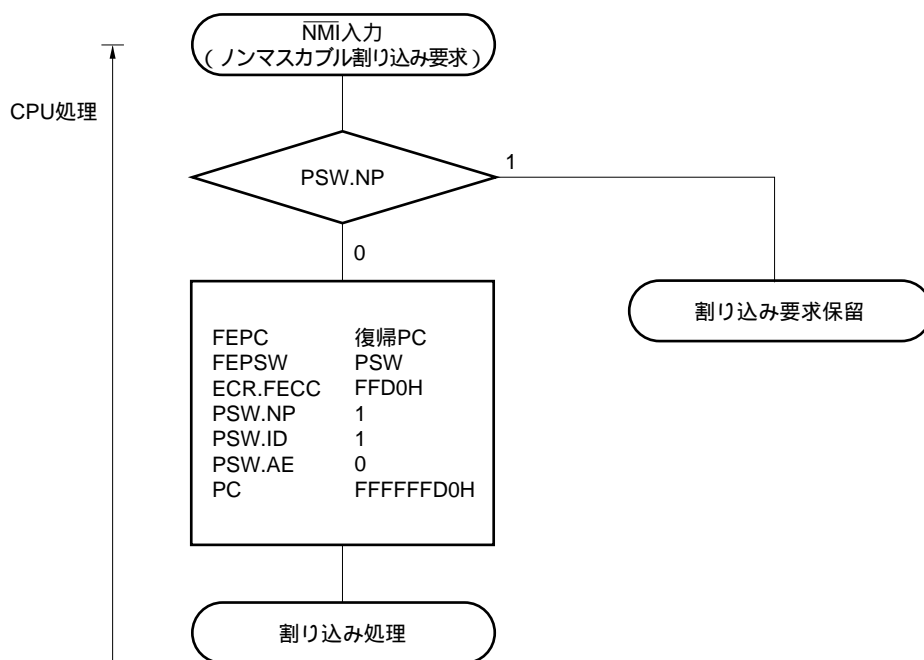
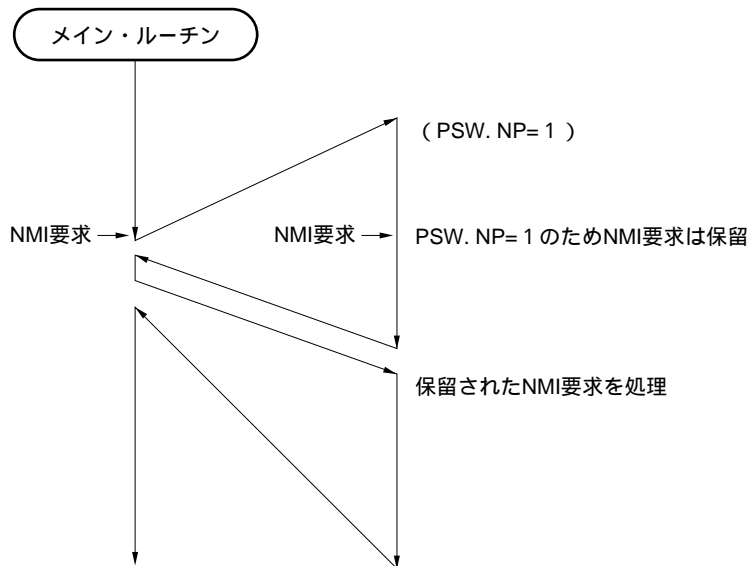


図4 - 3 ノンマスクابل割り込み要求の受け付け動作

NMIサービス・プログラム実行中に新たなNMI要求が発生した場合



4.3 マスカブル割り込み

マスカブル割り込み要求は、割り込み要求マスク・レジスタにより割り込み受け付けをマスクできる割り込み要求です。V821には15種類の割り込み要因があります。

複数のマスカブル割り込み要求が同時に発生した場合は、デフォルト優先順位によりその優先順位が決定します。また、デフォルト優先順位とは別に、割り込みグループ優先順位レジスタ (IGP) によって4つのグループでの割り込み優先順位を設定できます (グループ内での優先順位は固定)。

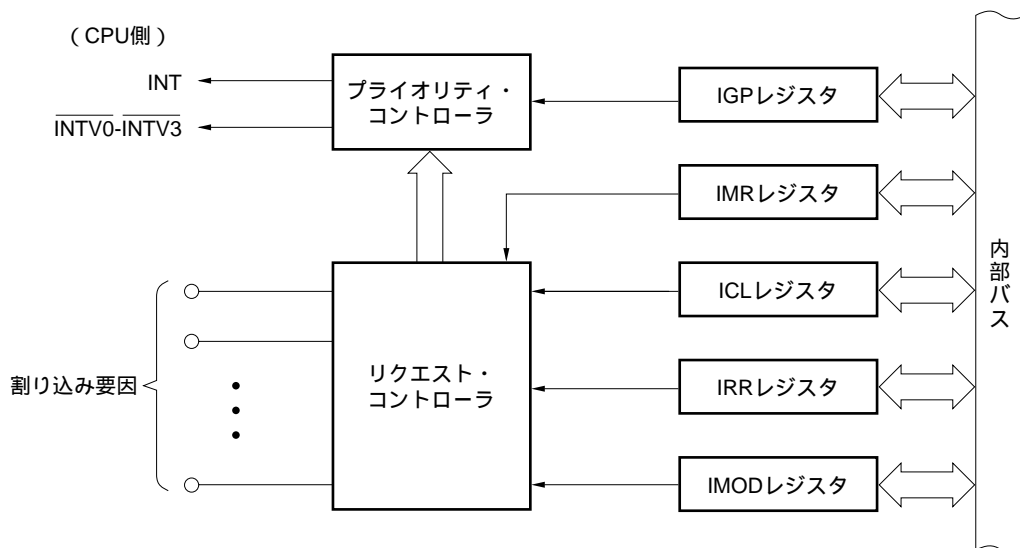
マスカブル割り込みは、PSWのNP, EP, IDビットの論理和でマスクされます。さらにCPUに渡す $\overline{\text{INTV0}}$ - $\overline{\text{INTV3}}$ 信号の割り込みレベル n がPSWの割り込み許可レベル (I0-I3) より低い場合 ($n < \text{I0-I3}$) は割り込み要求が受け付けられません。したがって、最高位の割り込みレベル ($n = 15$) を割り込み許可レベルで禁止することはできません。

割り込み要求が受け付けられると割り込み禁止状態 (PSW.ID = 1) になり、以後のマスカブル割り込み要求の受け付けを禁止します。また、PSWのI0-I3ビットに受け付けた割り込みレベル n に1を加算した値 ($n + 1$) を設定します。

多重割り込みを許可するときは、まずEIPC, EIPSWをメモリまたはレジスタに退避してから割り込み許可状態 (PSW.ID = 0, EP = 0) にしてください。またRETI命令は、割り込み禁止状態 (PSW.ID = 1) にしてから実行し、EIPC, EIPSWを元の値に復帰させます。

4.3.1 ブロック図

図4 - 4 マスカブル割り込みのブロック図



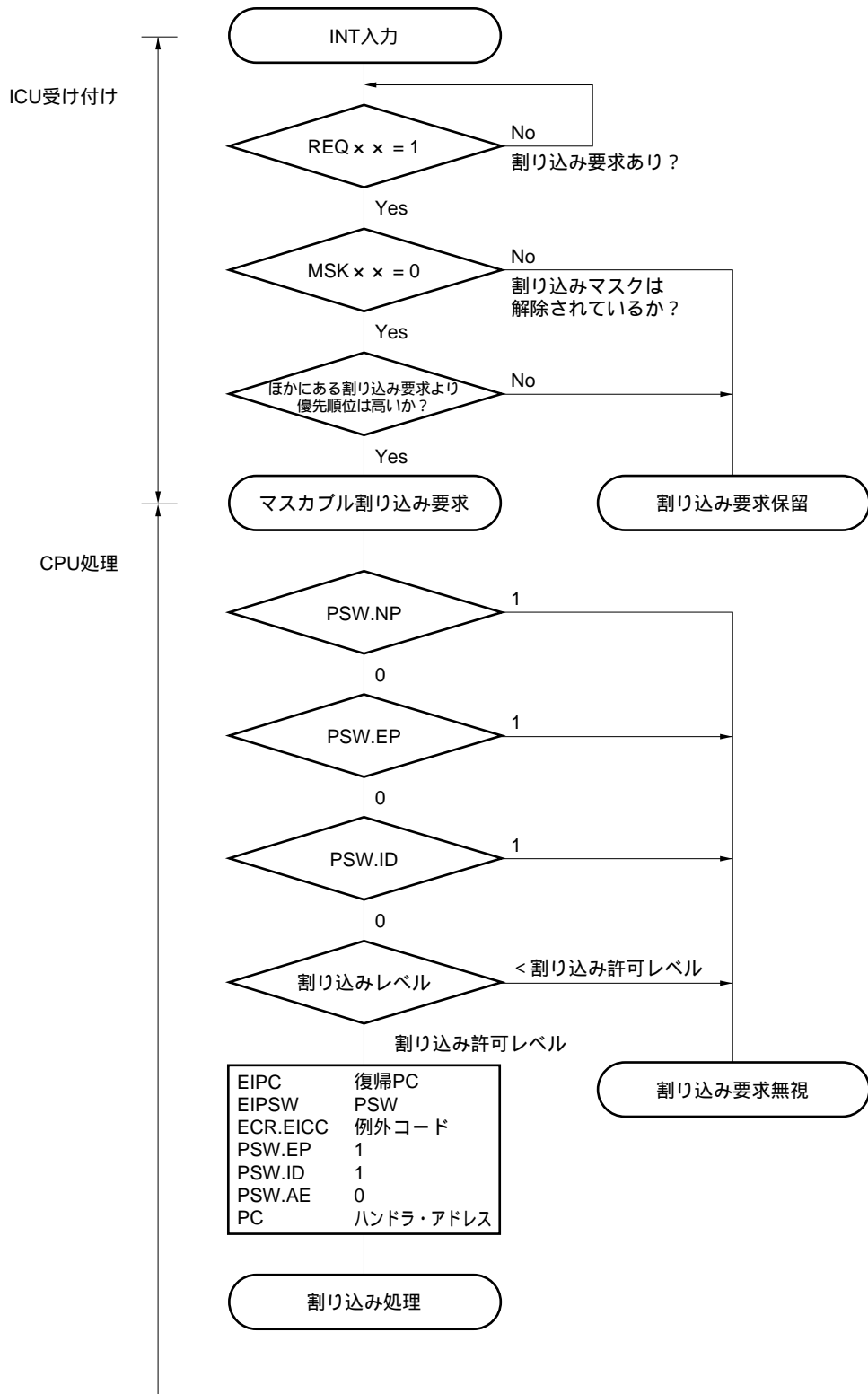
4.3.2 動作

INT入力によりマスクブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをEIPCに退避します。
- (2) 現在のPSWをEIPSWへ退避します。
- (3) ECRの下位16ビット(EICC)に例外コードを書き込みます。
- (4) PSWのEP, IDビットをセットし, AEビットをクリアします。
- (5) PSWのI (I0-I3) フィールドに受け付けた割り込みレベル n に1を加算した値($n+1$)をセットします。ただし, 受け付けた割り込みレベルが最高位($n=15$)の場合は15をセットします。
- (6) PCに各割り込みに対するハンドラ・アドレスをセットし, 制御を移します。

マスクブル割り込みの処理形態を図4 - 5 に示します。

図4-5 マスカブル割り込みの処理形態



4.3.3 マスカブル割り込みの優先順位

V821は、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込みグループ優先順位レジスタ設定によるプログラム優先順位制御があります。デフォルト優先順位による優先順位制御は、複数の割り込みが同時に発生している場合、割り込み要求の各グループ（4割り込み要求で1グループ）にあらかじめ割り付けてある優先順位（デフォルト優先順位）に従って割り込み処理を行います（表4-1 割り込み一覧参照）。プログラマブル優先順位制御は、各割り込み要求を割り込みグループ優先順位制御レジスタによってグループごとに4レベルに分けます。ただし、グループ内の各割り込み要求の優先順位は固定です。

なお、割り込みを受け付けるとPSWのIDフラグ、EPフラグが自動的にセット（1）されますので、多重割り込みを使用する場合は、割り込み処理プログラム中で割り込み許可状態（PSW.ID = 0, PSW.EP = 0）にしてください。

マスカブル割り込みまたは例外のサービス・プログラム

- ...
- ...
- EIPCをメモリまたはレジスタへ退避
- EIPSWをメモリまたはレジスタへ退避
- 割り込み受け付け許可（PSW.ID = 0, PSW.EP = 0）
- ...
- ...
- ...
- ...
- 割り込み受け付け禁止（PSW.ID = 1, PSW.EP = 1）
- 退避していた値をEIPSWに復帰
- 退避していた値をEIPCに復帰
- RETI命令

INTP入力などの割り込み受け付け

4.4 制御レジスタ

4.4.1 割り込みグループ優先順位レジスタ (IGP)

グループ間の優先順位を設定します。優先順位と各割り込みの例外コード、ハンドラ・アドレスの関係 (IGPレジスタを4EHに設定した場合の例) は、表4 - 2に示すようになります。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
IGP	PR3		PR2		PR1		PR0		アドレス C0000B0H	リセット時 E4H

ビット位置	ビット名	意味															
7-0	PR3-PR0	Group Priority 割り込みグループn (GRn) の優先順位を指定します。優先順位は0が最低で、3が最高です。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th colspan="2">PRn</th> <th>優先順位</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table> n = 0-3	PRn		優先順位	0	0	0	0	1	1	1	0	2	1	1	3
PRn		優先順位															
0	0	0															
0	1	1															
1	0	2															
1	1	3															

注意 グループ間の優先順位を同一に設定しないでください。設定した場合の動作は保証しません。

表4 - 2 優先順位と例外コード, ハンドラ・アドレス, 割り込みレベルの関係

(IGPレジスタを4EHに設定した場合の例)

IGPレジスタの設定		グループ	グループの 優先順位	グループ内 優先順位 (固定)	割り込み / 例外 要因の名称	例外 コード	ハンドラ・ アドレス	割り込みレベル
ビット	値							
PR1	11	GR1	3	3	INTDMA	FEF0H	FFFFFFF0H	15 (最高位)
				2	INTP00/INTCC00	FEE0H	FFFFFFE0H	14
				1	INTP01/INTCC01	FED0H	FFFFFFD0H	13
				0	INTP11	FEC0H	FFFFFFC0H	12
PR0	10	GR0	2	3	INTCM1	FEB0H	FFFFFFB0H	11
				2	INTP02/INTCC02	FEA0H	FFFFFFA0H	10
				1	INTP03/INTCC03	FE90H	FFFFFF90H	9
				0	INTP10	FE80H	FFFFFF80H	8
PR3	01	GR3	1	3	RESERVED	FE70H	FFFFFF70H	7
				2	INTOV0	FE60H	FFFFFF60H	6
				1	INTSER	FE50H	FFFFFF50H	5
				0	INTP13	FE40H	FFFFFF40H	4
PR2	00	GR2	0	3	INTSR	FE30H	FFFFFF30H	3
				2	INTST	FE20H	FFFFFF20H	2
				1	INTCSI	FE10H	FFFFFF10H	1
				0	INTP12	FE00H	FFFFFF00H	0 (最低位)

4.4.2 割り込みクリア・レジスタ (ICR)

割り込み要求をクリアします。各ビットと割り込み要求の対応については表4-3を参照してください。
16ビット単位でライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
ICR	0	CLR14	CLR13	CLR12	CLR11	CLR10	CLR9	CLR8	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0	アドレス C00000B2H	リセット時 0000H

ビット位置	ビット名	意味
14-0	CLR14-CLR0	Clear interrupt request このレジスタを操作した時点の、対応する割り込み要求 (IRRレジスタのREQnビット) をクリアします。レベル・モードの割り込み要求は、このビットでクリアできません。書き込みだけができます。リード時には、ICRレジスタに関係なく0になります。 0 : 何もしません。 1 : IRRレジスタのREQnビットをクリアします。

4.4.3 割り込み要求レジスタ (IRR)

割り込み要求を保持します。各ビットと割り込み要求の対応については表4-3を参照してください。
16ビット単位でリード可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
IRR	0	REQ14	REQ13	REQ12	REQ11	REQ10	REQ9	REQ8	REQ7	REQ6	REQ5	REQ4	REQ3	REQ2	REQ1	REQ0	アドレス C00000B4H	リセット時 0000H

ビット位置	ビット名	意味
14-0	REQ14-REQ0	Interrupt Request 割り込み要求の発生でセットされます。マスク・レジスタの影響は受けません。エッジ割り込みの場合、ICRレジスタの操作によりリセットされます。 0 : 割り込み要求はありません。 1 : 割り込み要求が発生しています。

4.4.4 割り込み要求マスク・レジスタ (IMR)

割り込み要求をマスクします。各ビットと割り込み要求の対応については表4 - 3を参照してください。

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
IMR	0	MSK14	MSK13	MSK12	MSK11	MSK10	MSK9	MSK8	MSK7	MSK6	MSK5	MSK4	MSK3	MSK2	MSK1	MSK0	アドレス C0000B6H	リセット時 FFFFH

ビット位置	ビット名	意味
14-0	MSK14-MSK0	Mask interrupt request 割り込み要求をマスクします。ただし、マスクしたい割り込み要求が発生していないときにマスクしてください。 0 : マスクしません。 1 : マスクします。

表4 - 3 割り込み制御レジスタの各ビットと割り込み要求信号の対応

ICRレジスタ のビット	IRRレジスタ のビット	IMRレジスタ のビット	割り込み要求信号
CLR14	REQ14	MSK14	INTOV0
CLR13	REQ13	MSK13	INTSER
CLR12	REQ12	MSK12	INTP13
CLR11	REQ11	MSK11	INTSR
CLR10	REQ10	MSK10	INTST
CLR9	REQ9	MSK9	INTCSI
CLR8	REQ8	MSK8	INTP12
CLR7	REQ7	MSK7	INTDMA
CLR6	REQ6	MSK6	INTP00/INTCC00
CLR5	REQ5	MSK5	INTP01/INTCC01
CLR4	REQ4	MSK4	INTP11
CLR3	REQ3	MSK3	INTCM1
CLR2	REQ2	MSK2	INTP02/INTCC02
CLR1	REQ1	MSK1	INTP03/INTCC03
CLR0	REQ0	MSK0	INTP10

4.4.5 ICUモード・レジスタ (IMOD)

外部端子による外部割り込み要求INTP00-INTP03, INTP10-INTP13のトリガ・モードを設定します。トリガ・モードには、レベル・トリガとエッジ・トリガの2種類があります。

(1) レベル・トリガ

クロックごとにサンプリングします。

割り込み要求が発生した場合、CPUの割り込みハンドラ内で割り込み要求が認識されるまでアクティブ・レベルを保持する必要があります。認識される前に割り込み要求を取り下げると、分岐先ベクタが不定となるなど誤動作する可能性があります。

(2) エッジ・トリガ

クロックの立ち上がりでサンプリングします。

クロックの立ち上がりで、割り込み要求信号がIMODレジスタで指定したエッジで変化した場合、割り込み要求が受け付けられます。割り込み要求は連続して入力しても、1回しかカウントされません。

内部割り込みもエッジ入力のため、割り込み処理ルーチンにおいて割り込み要求レジスタ (IRR) の対応するビットをクリアしておいてください。

16ビット単位でリード/ライト可能です。

	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
IMOD	ITM13 ITM12 ITM11 ITM10 ITM03 ITM02 ITM01 ITM00	アドレス C00000B8H	リセット時 AAAAH

ビット位置	ビット名	意味															
15-0	ITM13-ITM10 ITM03-ITM00	Interrupt Trigger Mode INTPn端子のトリガ・モードを設定します。ただし設定したい割り込み要求が発生していないときにトリガ・モードを変更してください。															
		<table border="1" style="margin: auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ITMn</th> <th style="width: 10%;"></th> <th style="width: 80%;">トリガ・モード</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>レベル・トリガ</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>立ち下がりエッジ・トリガ</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>立ち上がりエッジ・トリガ</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>両エッジ・トリガ</td> </tr> </tbody> </table>	ITMn		トリガ・モード	0	0	レベル・トリガ	0	1	立ち下がりエッジ・トリガ	1	0	立ち上がりエッジ・トリガ	1	1	両エッジ・トリガ
ITMn		トリガ・モード															
0	0	レベル・トリガ															
0	1	立ち下がりエッジ・トリガ															
1	0	立ち上がりエッジ・トリガ															
1	1	両エッジ・トリガ															
タイマ0の動作中は、ITM03-ITM00の設定を変更しないでください。																	

4.5 例外処理（ソフトウェア例外，例外トラップ）

ソフトウェア例外は，CPUのTRAP命令の実行により発生する例外です。TRAP命令フォーマットは次のとおりです（vectorの値は0-1FHです）。

TRAP vector

例外トラップには次のものがあります。

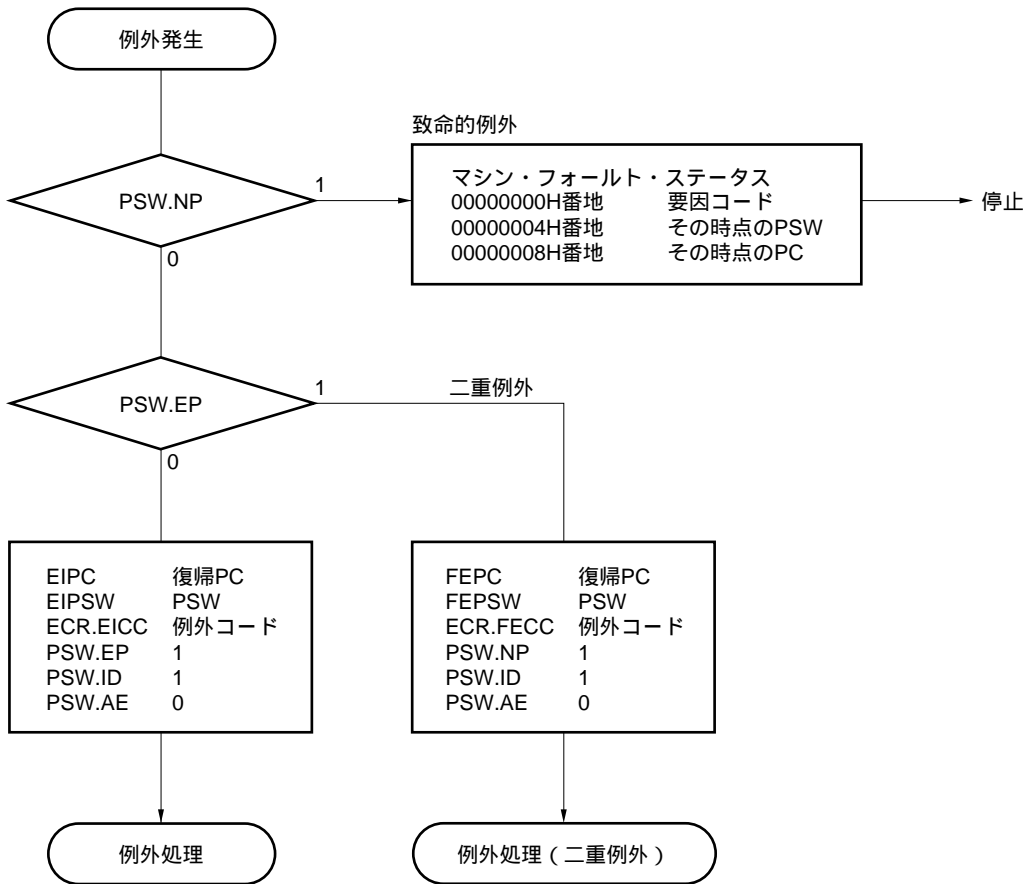
二重例外	: 例外処理中（PSW.EP = 1）にさらに例外が発生した場合に発生
アドレス・トラップ	: アドレス・トラップ・レジスタに設定したアドレスとPCが一致した場合に発生
不正命令コード	: 次に実行しようとする命令が不正命令コードの場合に発生
ゼロ除算	: ゼロ除算が起こった場合に発生
浮動小数点無効演算	: 浮動小数点演算で無効演算が起こった場合に発生
浮動小数点ゼロ除算	: 浮動小数点演算でゼロ除算が起こった場合に発生
浮動小数点オーバフロー	: 浮動小数点演算中にオーバフローが起こった場合に発生
浮動小数点アンダフロー	: 浮動小数点演算中にアンダフローが起こった場合に発生
浮動小数点精度落ち	: 浮動小数点演算の結果，精度落ちが発生した場合に発生
浮動小数点予約済みオペランド	: 浮動小数点演算で予約済みオペランド（無限大および非数）が発見された場合に発生

ただし，V821では浮動小数点アンダフロー例外と浮動小数点精度落ち例外は発生しません。

4.5.1 動作

例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

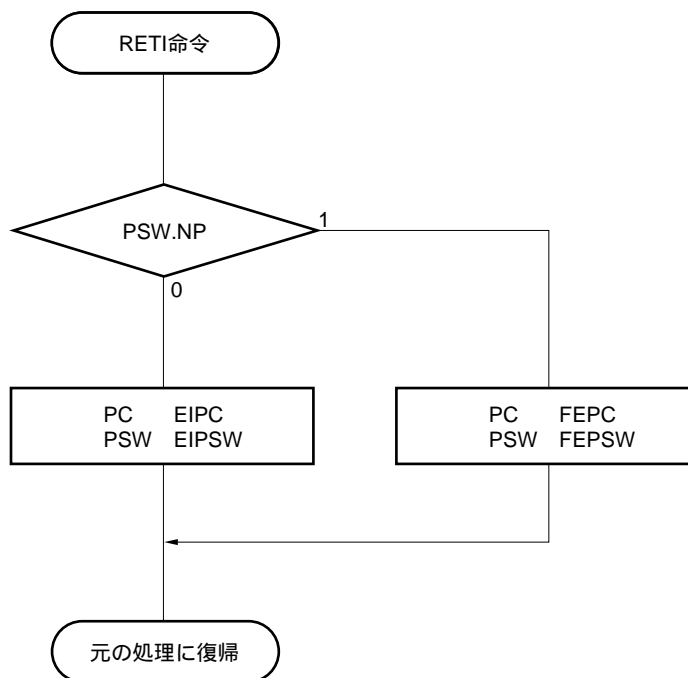
- (1) PSWのNPがすでにセットされていたら、(8) 致命的例外処理へ。
- (2) PSWのEPがすでにセットされていたら、(9) 二重例外処理へ。
- (3) 復帰PCをEIPCへ退避します。
- (4) 現在のPSWをEIPSWへ退避します。
- (5) ECRの下位16ビット (EICC) に例外コードを書き込みます。
- (6) PSWのEP, IDビットをセットし, AEビットをクリアします。
- (7) PCに各例外に対するハンドラ・アドレスをセットし, 制御を移します。
- (8) 致命的例外処理
 - (a) マシン・フォールト・サイクルを起動して, 00000000H番地に致命的例外となった要因コード (FFFF0000Hと例外コードの論理和), 00000004H番地にその時点のPSW, 00000008H番地にその時点のPCを順次データ・バスに出力します。
 - (b) リセットまで停止します。
- (9) 二重例外処理
 - (a) 復帰PCをFEPCへ退避します。
 - (b) 現在のPSWをFEPSWへ退避します。
 - (c) ECRの上位16ビット (FECC) に二重例外となった要因の例外コードを書き込みます。
 - (d) PSWのNP, IDビットをセットし, AEビットをクリアします。
 - (e) PCに二重例外に対するハンドラ・アドレス (FFFFFFFD0H) をセットし, 制御を移します。



4.5.2 例外 / 割り込みからの復帰

致命的例外以外の例外事象からの復帰は、すべてRETI命令により行われます。

- (1) PSWのNP = 1ならFEPC, FEPSWから, NP = 0ならEIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWを元に戻し, PCのアドレスに制御を移します。



4.6 優先順位

4.6.1 割り込みと例外の優先順位

割り込みと例外の優先順位を次に示します。割り込みと例外のいくつかと同時に発生した場合は、この優先順位に従います。

表4-4 割り込みと例外の優先順位

	RESET	NMI	INT	AD-TR	TRAP	I-OPC	DIV0	FLOAT
RESET		*	*	*	*	*	*	*
NMI	x							
INT	x							
AD-TR	x							
TRAP	x					-	-	-
I-OPC	x					-	-	-
DIV0	x					-	-	-
FLOAT	x					-	-	-

RESET : リセット

NMI : ノンマスクابل割り込み

INT : マスクابل割り込み

AD-TR : アドレス・トラップ

TRAP : トラップ命令

I-OPC : 不正命令コード

DIV0 : ゼロ除算

FLOAT : 浮動小数点例外 (無効演算, ゼロ除算, オーバフロー, 予約済みオペランド)

- * : 左部の項目は上部の項目を無視する。
- x : 左部の項目は上部の項目に無視される。
- : 左部の項目と上部の項目は同時には発生しない。
: 左部の項目は上部の項目より優先順位が高い。
: 上部の項目は左部の項目より優先順位が高い。

4.6.2 浮動小数点演算例外の優先順位

浮動小数点演算例外の優先順位を次に示します。

表4 - 5 浮動小数点演算例外の優先順位

	FRO	FIV	FZD	FOV	FUD	FPR
FRO		*	*	*	-	-
FIV	x		*	*	-	-
FZD	x	x		*	-	-
FOV	x	x	x		-	-
FUD	-	-	-	-		-
FPR	-	-	-	-	-	

FRO : 浮動小数点予約済オペランド

FIV : 浮動小数点無効演算

FZD : 浮動小数点ゼロ除算

FOV : 浮動小数点オーバフロー

FUD : 浮動小数点アンダフロー

FPR : 浮動小数点精度落ち

* : 左部の項目は上部の項目を無視する。

x : 左部の項目は上部の項目に無視される。

- : 左部の項目と上部の項目は同時には発生しない。

備考 FUD, FPRはV821では発生しません。

〔メ モ〕

第5章 バス制御機能

V821は、外部バスを介して外部メモリ、外部I/Oとのインタフェースを行います。

5.1 CPUのバス・ステート

V821のバス・サイクルは、次に示す8つのステートで構成されます。

(1) T1, T1Sステート

アクセス要求がないとき、またはTH, THSステート(ホールド状態)から抜けるときに移行するステートです。このステートのクロックの立ち下がりでは、 $\overline{\text{HLDRQ}}$ 信号のサンプリングを行います。

(2) T1, T1Sステート

バス・サイクルの最初に移行するステートです。このステートでは、クロックの立ち上がりからアドレスを、またクロックの立ち下がりから有効なデータをデータ・バス上に出力します。T1, T1Sステート後は必ずT2, T2Sステートへ遷移します。

(3) T2, T2Sステート

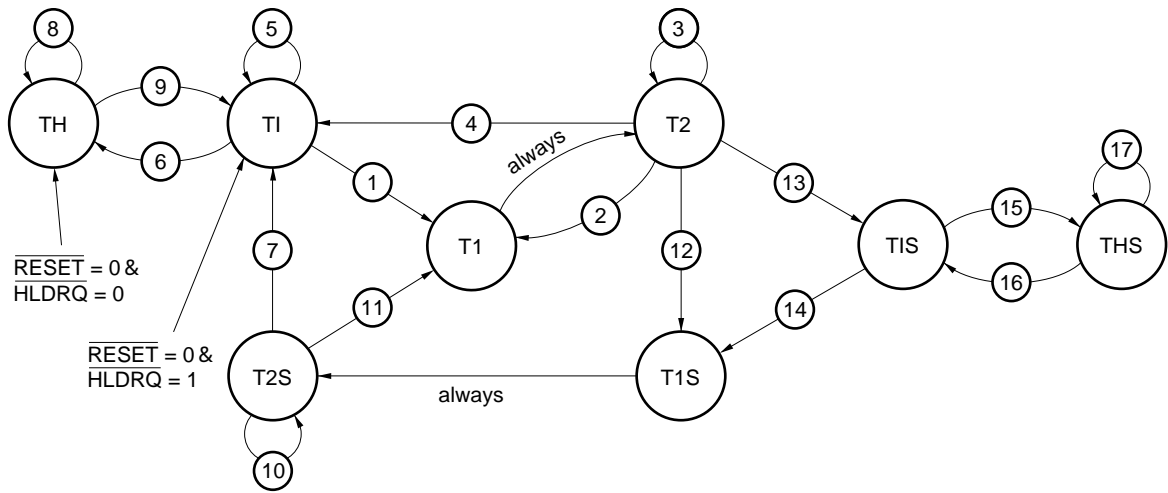
バス・サイクルの最後またはウエイト状態のステートです。このステートのクロックの立ち下がりでは、 $\overline{\text{HLDRQ}}$ 信号のサンプリングを行います。最後のT2, T2Sステートの次のクロックの立ち上がりで、リード・データをサンプリングします。

(4) TH, THSステート

$\overline{\text{HLDRQ}}$ 入力によって、ホールド状態になったときに移行するステートです。このステートでは、クロックの立ち下がりでは $\overline{\text{HLDRQ}}$ 信号をサンプリングし、インアクティブになったことを検出するとT1, T1Sステートに移行します。

備考 T1S, T1S, T2S, THSステートは、ワード・アクセスにだけ現れる追加バス・サイクルの状態です。それぞれ通常バス・サイクルのT1, T1, T2, THステートに相当します。

図5-1 CPUバス・サイクルの状態遷移図



備考 $\overline{\text{RESET}} = 0$ かつ $\overline{\text{HLDRQ}} = 0$ の場合、TH状態に遷移します。
 $\overline{\text{RESET}} = 0$ かつ $\overline{\text{HLDRQ}} = 1$ の場合、TI状態に遷移します。

バス・サイクルの状態遷移条件

- ($\overline{\text{HLDRQ}} = 1$ or ホールド禁止状態) and アクセス要因あり
- $\overline{\text{READY}} = 0$ and (ワード・アクセスでない) and アクセス要因あり and ($\overline{\text{HLDRQ}} = 1$ or ホールド禁止状態)
- $\overline{\text{READY}} = 1$
- $\overline{\text{READY}} = 0$ and (ワード・アクセスでない) and (アクセス要因なし or ($\overline{\text{HLDRQ}} = 0$ and ホールド許可状態))
- ($\overline{\text{HLDRQ}} = 1$ or ホールド禁止状態) and アクセス要因なし
- $\overline{\text{HLDRQ}} = 0$ and ホールド許可状態
- $\overline{\text{READY}} = 0$ and (アクセス要因なし or ($\overline{\text{HLDRQ}} = 0$ and ホールド許可状態))
- $\overline{\text{HLDRQ}} = 0$
- $\overline{\text{HLDRQ}} = 1$
- $\overline{\text{READY}} = 1$
- $\overline{\text{READY}} = 0$ and アクセス要因あり and ($\overline{\text{HLDRQ}} = 1$ or ホールド禁止状態)
- $\overline{\text{READY}} = 0$ and ワード・アクセス and ($\overline{\text{HLDRQ}} = 1$ or ホールド禁止状態)
- $\overline{\text{READY}} = 0$ and ワード・アクセス and $\overline{\text{HLDRQ}} = 0$ and ホールド許可状態
- $\overline{\text{HLDRQ}} = 1$
- $\overline{\text{HLDRQ}} = 0$
- $\overline{\text{HLDRQ}} = 1$
- $\overline{\text{HLDRQ}} = 0$

備考 BLOCK信号がアクティブになってから，BLOCKサイクルの最後のバス・サイクル（最後のT2ステート，追加バス・サイクルがある場合は最後のT2Sステート）の直前まではホールド禁止状態となります（最後のバス・サイクルはホールド許可状態）。

5.2 DMACのバス・ステート

DMACのバス・サイクルは、次に示す10個のステートで構成されます。

(1) T1ステート

アクセス要求がないアイドル状態のステートです。
クロックの立ち下がりDREQ信号をサンプリングします。

(2) T0ステート

DMA転送準備状態（DMA転送要求があり、最初のDMA転送のためにバス使用权を獲得している状態）のステートです。

(3) T1Rステート

2サイクル転送のリードの最初に移行するステートです。
T1RステートのあとはT2Rステートに必ず遷移します。アドレスの駆動を開始します。

(4) T2Rステート

2サイクル転送のリードの最後またはウエイト状態のステートです。
最後のT2Rステートでリード・データをサンプリングします。そのあとは必ずT1Wステートに遷移します。

(5) T1Wステート

2サイクル転送のライトの最初に移行するステートです。
T1WステートのあとはT2Wステートに必ず遷移します。アドレスの駆動を開始します。

(6) T2Wステート

2サイクル転送のライトの最後またはウエイト状態のステートです。
最後のT2Wステートでライト・ストロープ信号をインアクティブにします。

(7) T1Fステート

フライバイ転送の最初に移行するステートです。
T1FステートのあとはT2Fステートに必ず遷移します。アドレスの駆動を開始します。

(8) T2Fステート

フライバイ転送の最後の状態またはウエイト状態のステートです。
最後のT2Fステートでライト・ストロープ信号をインアクティブにします。

(9) T3状態

DMA転送が終了し、バス使用权を解放している状態のステートです。

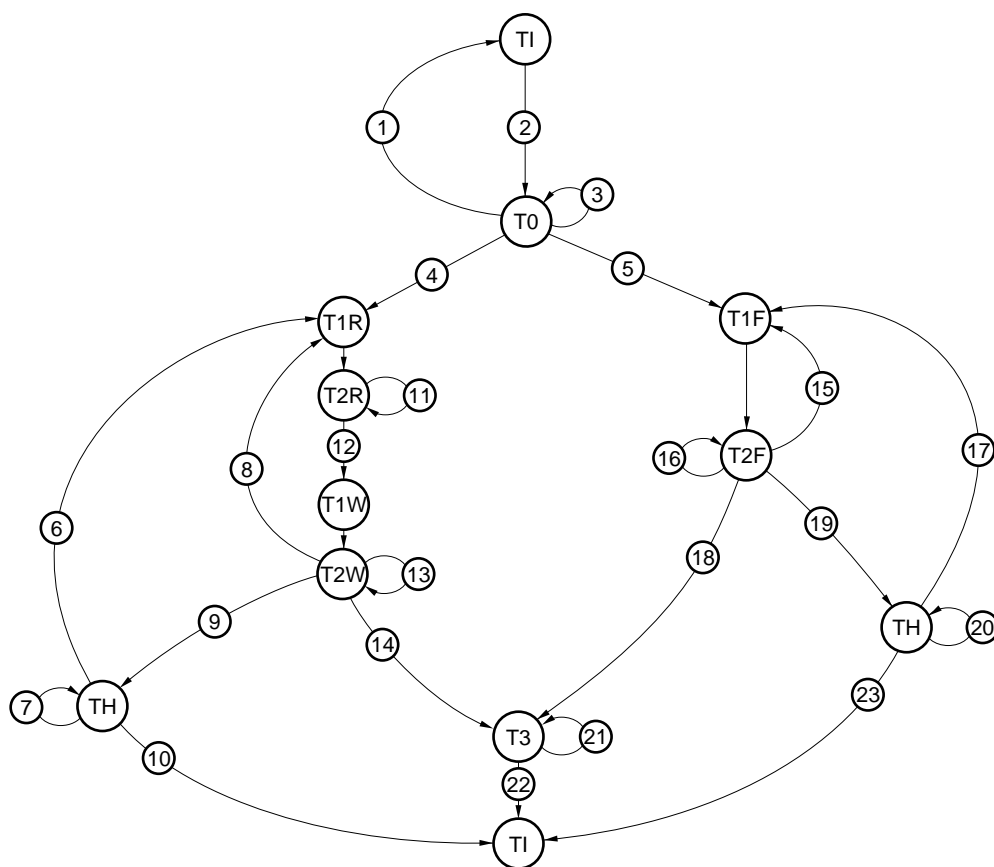
T3ステートのあとは、T1ステートに必ず遷移します。

(10) THステート

DMAホールド状態（DMAブロック転送中に優先順位の高いバス・マスタからのバス使用要求が起こったとき）に移行するステートです。

1回のDMAサービス終了ごとにバスの使用权を解放します（バス・リリース・モードに当たります）。

図5 - 2 DMACバス・サイクルの状態遷移図



バス・サイクルの状態遷移条件

- ① $\overline{\text{NMI}} = 0$
- ② (外部ターミナルDREQ = 1 or ソフトウェアDREQ = 1 or 内部I/O DREQ = 1) and 転送終了でない and DMA許可 and $\overline{\text{NMI}} = 1$
- ③ $\overline{\text{DHLD\!AK}} = 1$
- ④ $\overline{\text{DHLD\!AK}} = 0$ and 2 サイクル転送 $\overline{\text{NMI}} = 1$
- ⑤ $\overline{\text{DHLD\!AK}} = 1$ and フライバイ転送 $\overline{\text{NMI}} = 1$
- ⑥ $\overline{\text{NMI}} = 1$ and $\overline{\text{DHLD\!AK}} = 0$ and 転送終了でない and ブロック転送
- ⑦ $\overline{\text{DHLD\!AK}} = 1$
- ⑧ $\overline{\text{NMI}} = 1$ and $\overline{\text{DREADY}} = 0$ and $\overline{\text{DHLD\!AK}} = 0$ and 転送終了でない and ブロック転送
- ⑨ $\overline{\text{NMI}} = 1$ and $\overline{\text{DREADY}} = 0$ and $\overline{\text{DHLD\!AK}} = 1$ and 転送終了でない and ブロック転送
- ⑩ $\overline{\text{NMI}} = 0$
- ⑪ $\overline{\text{DREADY}} = 1$
- ⑫ $\overline{\text{DREADY}} = 0$
- ⑬ $\overline{\text{DREADY}} = 1$
- ⑭ $\overline{\text{DREADY}} = 0$ and ($\overline{\text{NMI}} = 0$ or 転送終了 or ブロック転送でない)
- ⑮ $\overline{\text{NMI}} = 1$ and $\overline{\text{DREADY}} = 0$ and $\overline{\text{DHLD\!AK}} = 0$ and 転送終了でない and ブロック転送
- ⑯ $\overline{\text{DREADY}} = 1$
- ⑰ $\overline{\text{NMI}} = 1$ and $\overline{\text{DHLD\!AK}} = 0$ and 転送終了でない and ブロック転送
- ⑱ $\overline{\text{DREADY}} = 0$ and ($\overline{\text{NMI}} = 0$ or 転送終了 or ブロック転送でない)
- ⑲ $\overline{\text{NMI}} = 1$ and $\overline{\text{DREADY}} = 0$ and $\overline{\text{DHLD\!AK}} = 1$ and 転送終了でない and ブロック転送
- ⑳ $\overline{\text{DHLD\!AK}} = 1$
- ㉑ $\overline{\text{DHLD\!AK}} = 0$
- ㉒ $\overline{\text{DHLD\!AK}} = 1$
- ㉓ $\overline{\text{NMI}} = 0$

備考 $\overline{\text{DHLD\!AK}}$: DMACのバス占有を許可するBAUからの内部信号

$\overline{\text{DREADY}}$: DMACのレディを示すWCUからの内部信号 and 外部 $\overline{\text{READY}}$ 信号

5.3 バスの優先順位

バス・アービトレーション・ユニット (BAU) により、各バス・マスタ (バスの使用权を持つことができるもの) 間でバス使用权の調停を行います。優先順位の低いバス・マスタがバスを使用しているときに、より優先順位の高いバス・マスタのバス使用要求が起きた場合、バス使用权をすぐに優先順位の低いバス・マスタから優先順位の高いバス・マスタに渡します。

バス・マスタの種類と優先順位を、表 5 - 1 に示します。

表 5 - 1 バス優先順位

バス・マスタ	バス・サイクル	優先順位
CPU	バス・ロック	1 (最高)
	フェッチ	5 (最低)
	リード/ライト	
DRAMC	リフレッシュ	2
外部バス・マスタ	外部デバイスが駆動するバス・サイクル	3
DMAC	DMA	4

DRAMCは外部バス・マスタより優先順位は上位ですが、外部バス・マスタがバスを占有している間は、強制的にバスを獲得することはできません。この場合、DRAMCからのリフレッシュ要求に対しBAUは $\overline{\text{HLD}}\text{AK}$ 端子をインアクティブにしてリフレッシュ要求の発生を知らせます。この状態で $\overline{\text{HLD}}\text{RQ}$ 端子をインアクティブにすることにより、リフレッシュ・サイクルが起動されます。

バス使用权は、各バス・サイクルおよびアイドル・状態で切り替えられます。また、リセット中HALTモードとIDLEモードでは、 $\overline{\text{HLD}}\text{RQ}$ 信号を受け付けません。ただし、HALTモードまたはIDLEモードに入るホールド・アクノリッジ・サイクルと、IDLEモードに入るときのセルフ・リフレッシュ・サイクルの最初の6クロック間は、 $\overline{\text{HLD}}\text{RQ}$ 信号を受け付けません。

なお、パワーオン・リセット時には、 $\overline{\text{HLD}}\text{RQ}$ 信号はインアクティブにしてください。

5.4 バス・サイクルを追加する場合のデータの流れ

バス・サイクルを追加するのは、ワード・アクセスの場合だけです。

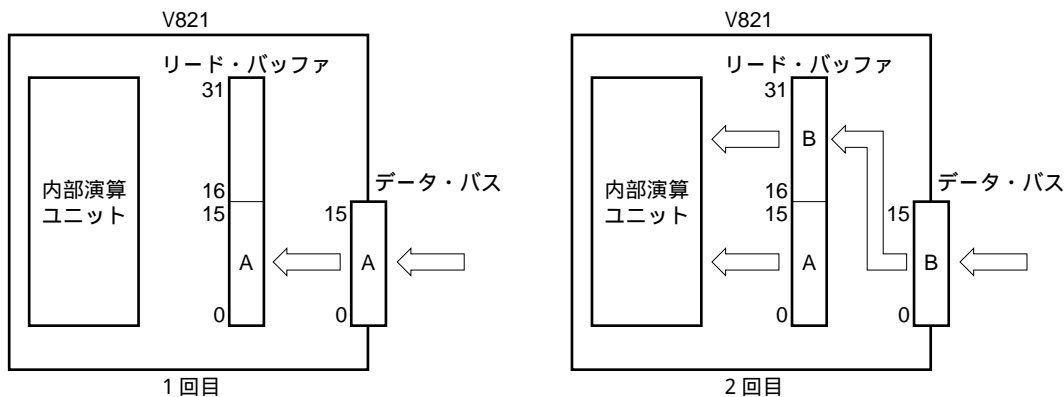
リード・サイクルでは、1回目のバス・サイクルでワード・データの下位16ビットのデータがサンプリングされます。2回目のバス・サイクルでは残りの上位16ビットのデータをサンプリングします。

ライト・サイクルでは、1回目のバス・サイクルのT1ステートのクロックの立ち下がりからワード・データの下位16ビットのデータを出力します。次に、2回目のバス・サイクルのT1ステートのクロックの立ち下がりまで、残りの上位16ビットのデータを出力します。その後、そのデータを次のバス・サイクルのT1ステートのクロックの立ち下がりまで保持します。

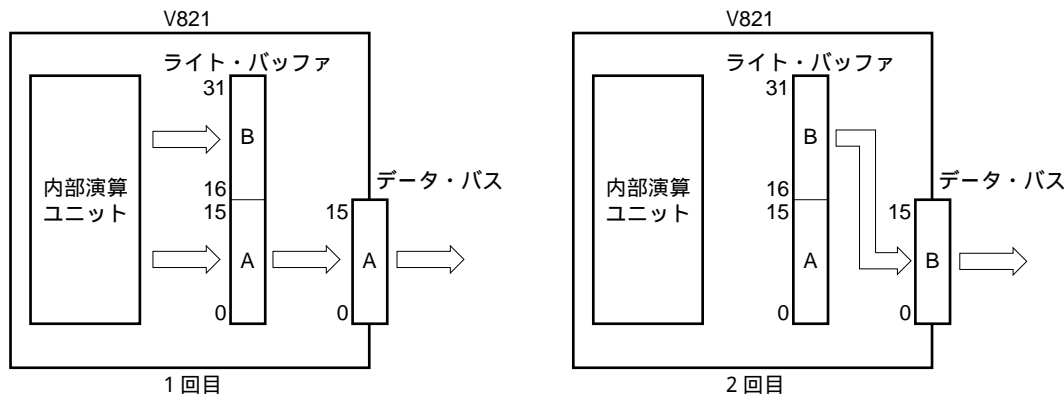
図5-3に動作の様子を示します。ここで、Aはワード・データの下位16ビット部分、Bはワード・データの上位16ビット部分とします。

図5-3 バス・サイクルを追加する場合のデータの流れ

(a) リード・サイクル



(b) ライト・サイクル



5.5 外部アクセスとデータ・バスの関係

ここでは、外部アクセス時のデータの入出力とバイト・イネーブル信号について説明します。

5.5.1 外部アクセスとバイト・イネーブル信号の関係

外部アクセスとバイト・イネーブル信号 (\overline{UBE}) の関係を表5 - 2 に示します。

表5 - 2 アドレス, データ長, \overline{UBE} とアドレス端子の関係

データ長	オペランド・アドレス		\overline{UBE}	アドレス端子		バス・サイクル の順番
	ビット1	ビット0		A1	A0	
バイト	0	0	1	0	0	1
	0	1	0	0	1	1
	1	0	1	1	0	1
	1	1	0	1	1	1
ハーフワード	0	0	0	0	0	1
	1	0	0	1	0	1
ワード	0	0	0	0	0	1
			0	1	0	2

5.5.2 オペランド・リード

オペランド・リードにおける外部アクセスとデータ取り込みの関係を図5 - 4に示します。

図中で、リード・バッファの「n ; Bm」は、n回目のバス・サイクルに外部データ・バスのm番目のバイトを取り込んだことを示します。Bmと外部データ・バスの関係は次のとおりです。

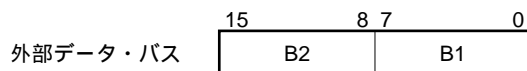


図5 - 4 リード・サイクル

(a) データ長：バイト

オペランド・アドレス		内部レジスタ				
ビット1	ビット0	31	24 23	16 15	8 7	0
0	0					1 ; B1
0	1					1 ; B2
1	0					1 ; B1
1	1					1 ; B2

(b) データ長：ハーフワード

オペランド・アドレス		内部レジスタ				
ビット1	ビット0	31	24 23	16 15	8 7	0
0	0			1 ; B2		1 ; B1
1	0			1 ; B2		1 ; B1

(c) データ長：ワード

オペランド・アドレス		内部レジスタ				
ビット1	ビット0	31	24 23	16 15	8 7	0
0	0	2 ; B2	2 ; B1	1 ; B2		1 ; B1

5.5.3 オペランド・ライト

オペランド・ライトにおける外部アクセスとデータ出力の関係を図5 - 5 に示します。

図中におけるOPm (m = 1-4) は、内部レジスタのバイト位置を示します。

OPmと内部レジスタの関係は次のとおりです。

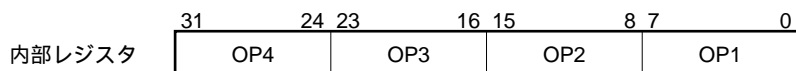


図5 - 5 ライト・サイクル

(a) データ長：バイト

オペランド・アドレス		外部データ・バス		バス・サイクルの順番
ビット1	ビット0	15	8 7 0	
0	0	注1	OP1	1
0	1	OP1	注2	1
1	0	注1	OP1	1
1	1	OP1	注2	1

注1 . D8-D15からは不定データを出力します。

2 . D0-D7からは不定データを出力します。

(b) データ長：ハーフワード

オペランド・アドレス		外部データ・バス		バス・サイクルの順番
ビット1	ビット0	15	8 7 0	
0	0	OP2	OP1	1
1	0	OP2	OP1	1

(c) データ長：ワード

オペランド・アドレス		外部データ・バス		バス・サイクルの順番
ビット1	ビット0	15	8 7 0	
0	0	OP2	OP1	1
0	0	OP4	OP3	2

5.5.4 ビット・ストリングでの注意事項

ビット・ストリングの場合は、高速化のためにワード（4バイト）単位でデータを処理します。そのため、ライトでデータの終わりがちょうどワード境界にない場合、すなわち、デスティネーション側のビット・ストリングが含まれる最後のバイト・アドレスのビット1，ビット0が“11”ではない場合、図5-6に示すように最大3バイト書きすぎますが、そのデータは元の値をそのまま書き戻すため、データが壊れることはありません。

リードの場合には、ソース側およびデスティネーション側それぞれデータのある最後のワードからさらに最大3ワード読みすぎのリード・サイクルがあります。読みすぎたリード・データは読み捨てられます。

図5-6 ビット・ストリングのライト・サイクル

オペランド・アドレス		外部データ・バス			バス・サイクルの順番
ビット1	ビット0	15	8 7	0	
0	0	OP2 ^注		OP1	1
0	0	OP4 ^注		OP3 ^注	2
0	1	OP2		OP1	1
0	1	OP4 ^注		OP3 ^注	2
1	0	OP2		OP1	1
1	0	OP4 ^注		OP3	2

注 書きすぎるバイト。

5.6 外部I/Oアクセス

5.6.1 外部I/Oリード・サイクル

各ステートでのタイミングは次のとおりです。

T1ステート：アドレスと $\overline{\text{CSn}}$ 信号の出力を開始します。

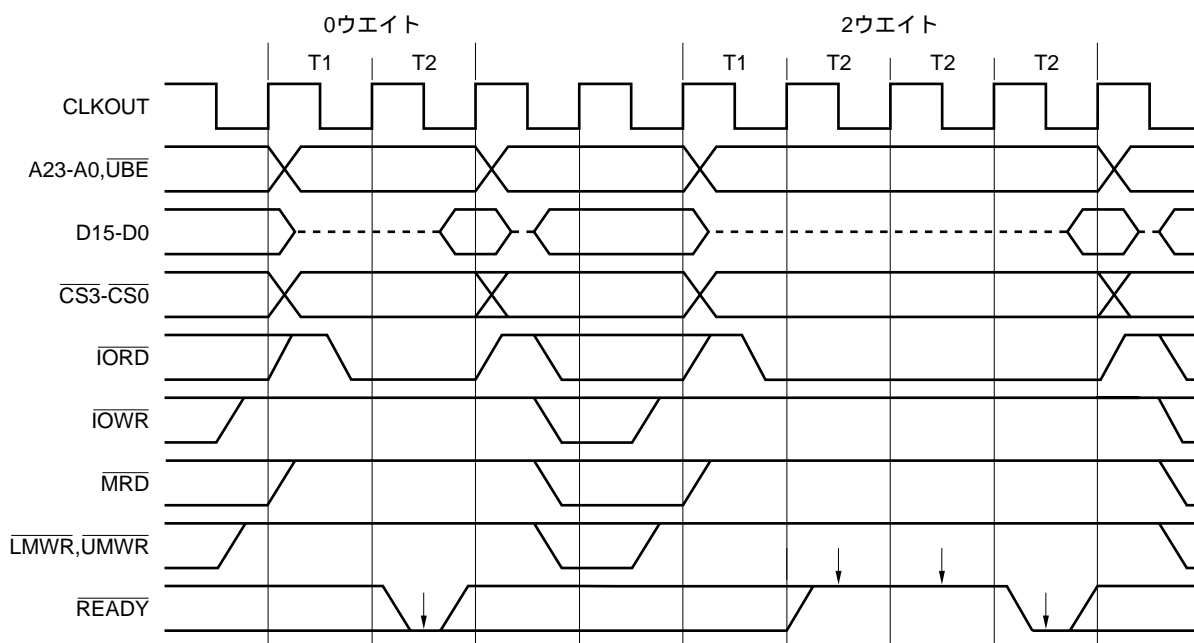
クロックの立ち下がりでも $\overline{\text{IORD}}$ 信号がアクティブになります。

T2ステート：クロックの立ち下がりでも $\overline{\text{READY}}$ 信号がアクティブであれば、バス・サイクルを終了します。

$\overline{\text{IORD}}$ 信号をインアクティブにするのと同時に、データをサンプリングします。

PWCnレジスタのWSnビットの設定によるウェイト数と、 $\overline{\text{READY}}$ 制御によるウェイト数は論理和の形をとっているため、どちらか多い方のウェイトが挿入されます（第6章 ウェイト制御機能参照）。

図5-7 外部I/Oリード・サイクル



備考1. : プログラマブル・ウェイトに0が設定されているときのサンプリング・タイミング

2. 破線はハイ・インピーダンスを示します。

5.6.2 外部I/Oライト・サイクル

各ステートでのタイミングは次のとおりです。

T1ステート：アドレスと \overline{CSn} 信号の出力を開始します。

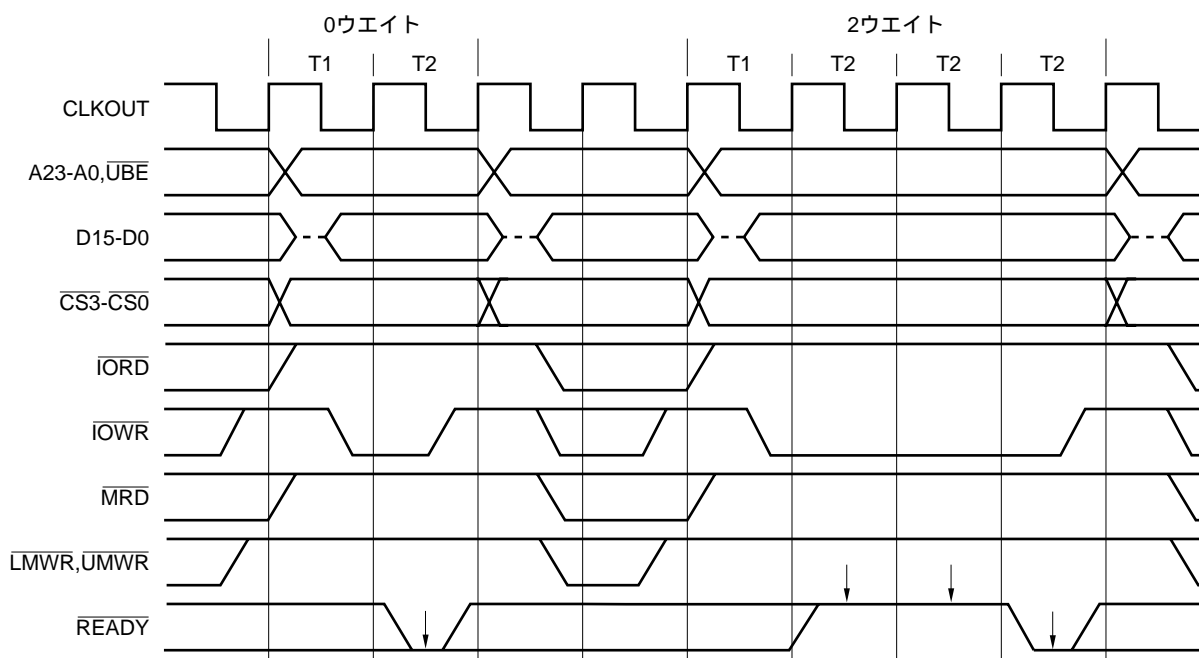
クロックの立ち下がりで \overline{IOWR} 信号がアクティブになります。

T2ステート：クロックの立ち下がりで \overline{READY} 信号がアクティブであれば、バス・サイクルを終了し、 \overline{IOWR} 信号をインアクティブにします。

書き込みデータは、次のバス・サイクルのT1またはT1ステートのクロックの立ち上がりまで保持されます。

PWCnレジスタのWSnビットの設定によるウェイト数と、 \overline{READY} 制御によるウェイト数は論理和の形をとっているため、どちらが多い方のウェイトが挿入されます（第6章 ウェイト制御機能参照）。

図5 - 8 外部I/Oライト・サイクル



備考1. : プログラマブル・ウェイトに0が設定されているときのサンプリング・タイミング

2. 破線はハイ・インピーダンスを示します。

5.7 内部I/Oアクセス

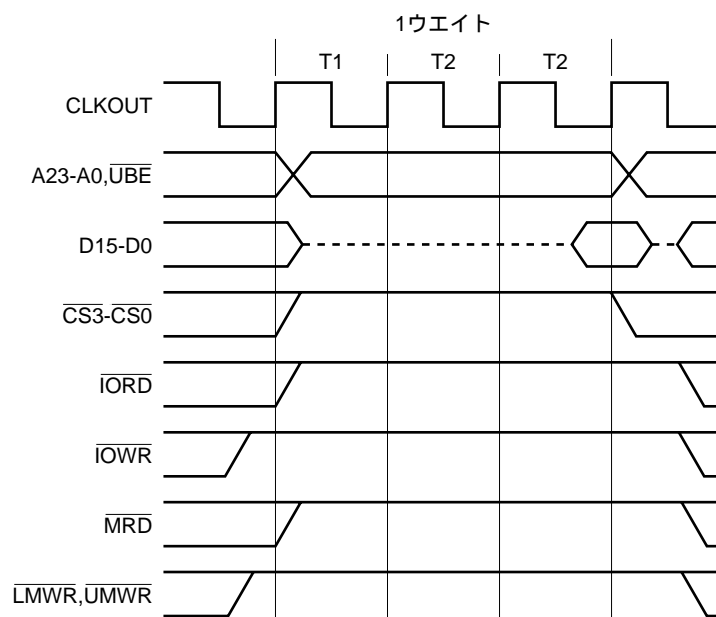
内部I/Oリード・サイクル，内部I/Oライト・サイクルが外部I/Oリード・サイクル，外部I/Oライト・サイクルと異なる点を次に示します。その他の点は同じです。

$\overline{\text{IOR}}\overline{\text{D}}$ または $\overline{\text{IOWR}}$ ， $\overline{\text{CSn}}$ 信号がアクティブにならない。

挿入できるウェイト数が1または2に固定である（ $\overline{\text{READY}}$ 端子，PWCnレジスタによるウェイト制御はできない）。

5.7.1 内部I/Oリード・サイクル

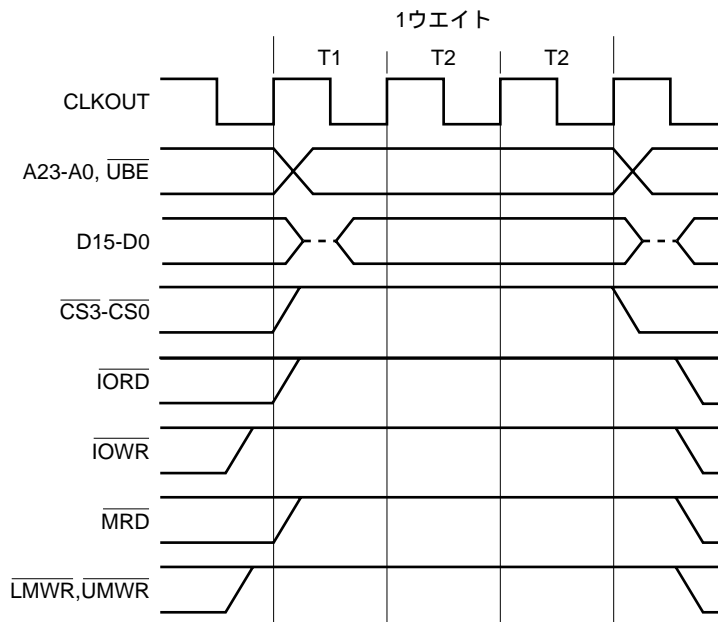
図5 - 9 内部I/Oリード・サイクル



備考 破線はハイ・インピーダンスを示します。

5.7.2 内部I/Oライト・サイクル

図5 - 10 内部I/Oライト・サイクル



備考 破線はハイ・インピーダンスを示します。

5.8 SRAM (ROM) アクセス

5.8.1 SRAM (ROM) リード・サイクル

各ステートでのタイミングは次のとおりです。

T1ステート：アドレスと $\overline{\text{CSn}}$ 信号の出力を開始します。

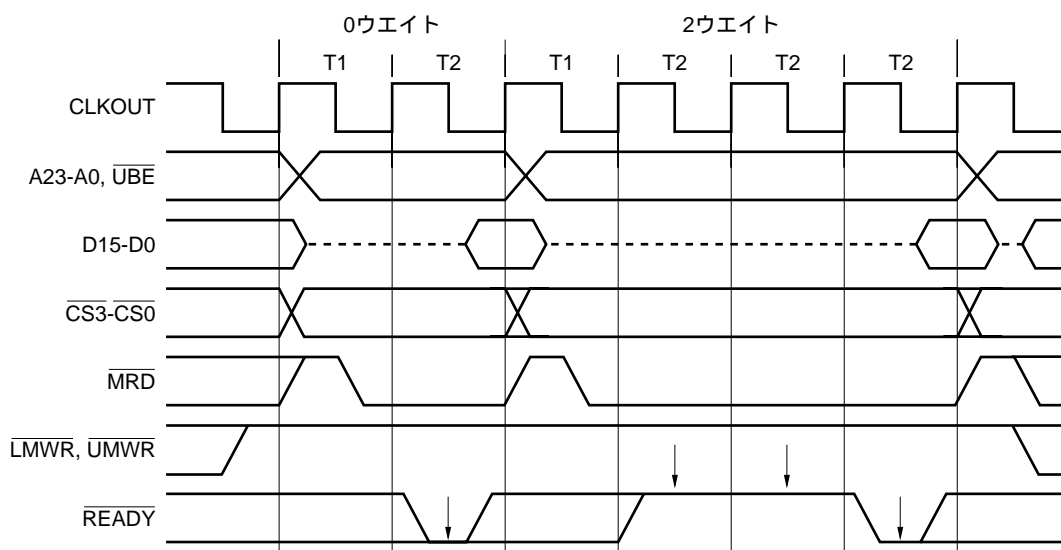
クロックの立ち下がりで $\overline{\text{MRD}}$ 信号がアクティブになります。

T2ステート：クロックの立ち下がりで $\overline{\text{READY}}$ 信号がアクティブであれば、バス・サイクルを終了します。

$\overline{\text{MRD}}$ 信号をインアクティブにするのと同時に、データをサンプリングします。

PWCnレジスタのWSnビットの設定によるウェイト数と、 $\overline{\text{READY}}$ 制御によるウェイト数は論理和の形をとっているため、どちらが多い方のウェイトが挿入されます（第6章 ウェイト制御機能参照）。

図5 - 11 SRAM (ROM) リード・サイクル



備考1. : プログラマブル・ウェイトに0が設定されているときのサンプリング・タイミング

2. 破線はハイ・インピーダンスを示します。

5.8.2 SRAMライト・サイクル

各ステートでのタイミングは次のとおりです。

T1ステート：アドレスと $\overline{\text{CSn}}$ 信号の出力を開始します。

クロックの立ち下がりで $\overline{\text{LMWR}}$, $\overline{\text{UMWR}}$ 信号がアクティブになります。

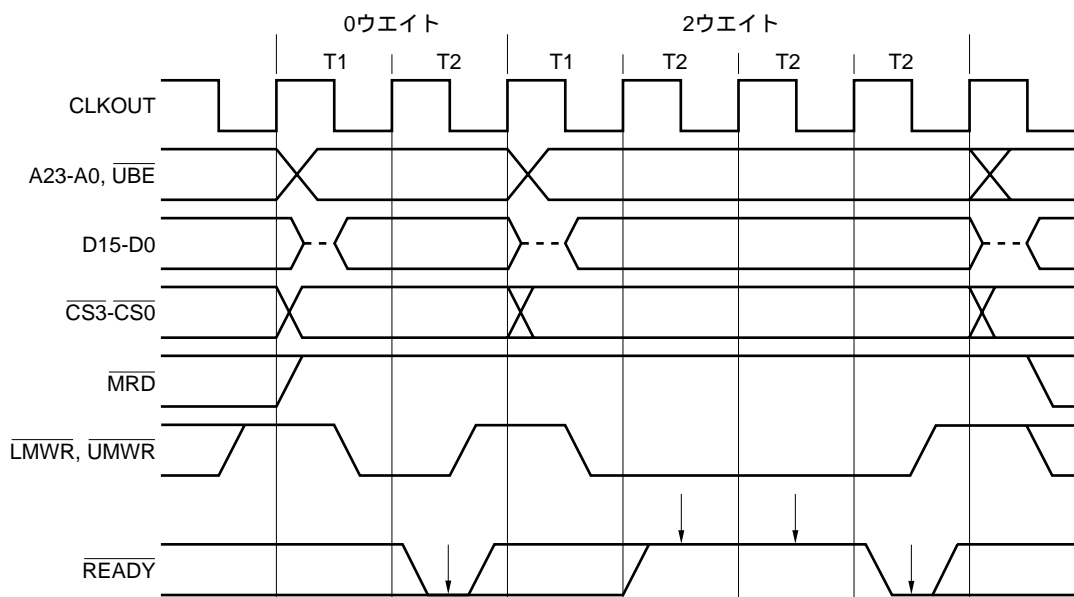
T2ステート：クロックの立ち下がりで $\overline{\text{READY}}$ 信号がアクティブであれば、バス・サイクルを終了し、

$\overline{\text{LMWR}}$, $\overline{\text{UMWR}}$ 信号をインアクティブにします。

書き込みデータは、次のバス・サイクルのT1またはT1ステートのクロックの立ち上がりまで保持します。

PWCnレジスタのWSnビットの設定によるウェイト数と、 $\overline{\text{READY}}$ 制御によるウェイト数は論理和の形をとっているため、どちらが多い方のウェイトが挿入されます（第6章 ウェイト制御機能参照）。

図5 - 12 SRAMライト・サイクル



備考1. : プログラマブル・ウェイトに0が設定されているときのサンプリング・タイミング

2. 破線はハイ・インピーダンスを示します。

5.9 Page-ROMアクセス

Page-ROMサイクルは、WCUの制御レジスタであるBCTCレジスタのCT3ビット=1とすることにより選択します。

5.9.1 Page-ROMリード・サイクル

Page-ROMリード・サイクルがSRAMリード・サイクルと異なる点を次に示します。その他の点は同じです。

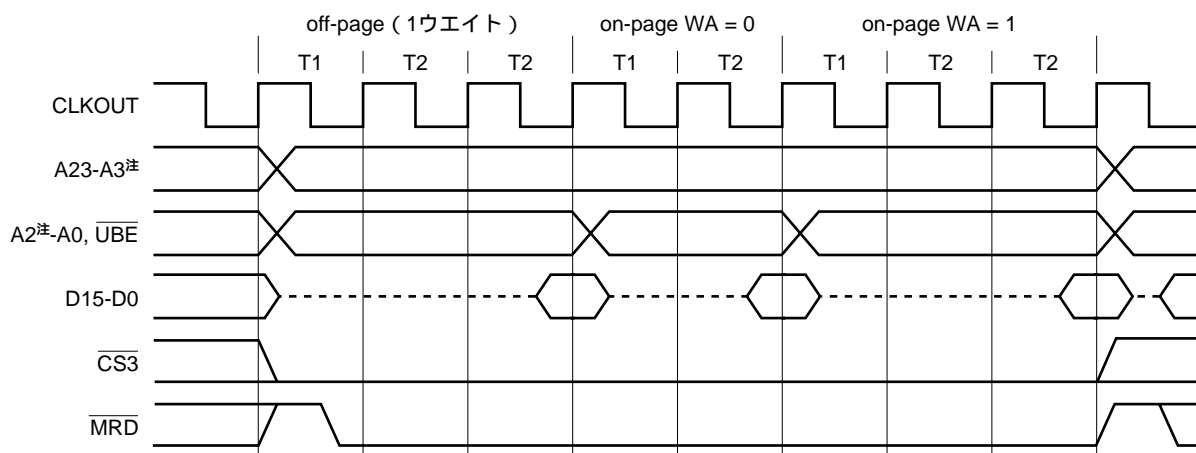
on-page時のウェイト数は、PRCレジスタのWAビットで指定（0または1）。

off-page時のウェイト数は、PWC1レジスタのWS3ビットで指定（0-7）。

$\overline{\text{READY}}$ 端子によるウェイト制御ができない。

on-page時は、 $\overline{\text{MRD}}$ 信号がインアクティブにならない。

図5 - 13 Page-ROMリード・サイクル



注 PRCレジスタのMA5-MA3 = 000のとき（7.2.3 Page-ROMコンフィギュレーション・レジスタ（PRC）参照）。

備考 破線はハイ・インピーダンスを示します。

5.10 DRAMアクセス

DRAMサイクルは、WCUの制御レジスタであるBCTCレジスタのCT0ビット = 01または11と設定することにより選択します。

CT0ビット = 01に設定した場合： $\overline{CS0}$ 端子は \overline{REFRQ} 出力になります。

CT0ビット = 11に設定した場合： $\overline{CS0}$ 端子は $\overline{CS0}$ 出力になります。(I/Oブロック 0 にアクセスしたときにアクティブ)。

DRAMサイクル中の $\overline{CS0}$ 信号は、上記の場合にアクティブになります。

また、DRAMの高速ページ・モードに対応したサイクルを発生させるには、DRAMコンフィギュレーション・レジスタのPAEビット = 1に設定します(7.1.4 DRAMコンフィギュレーション・レジスタ(DRC)参照)。

5.10.1 DRAMリード・サイクル

(1) off-page時

T1状態でカラム・アドレスの出力を開始します。クロックの立ち下がりで \overline{RAS} 信号がインアクティブ(RASプリチャージ)になり、 \overline{MRD} 信号がアクティブになります。

T2状態に移って最初の1クロックはRASプリチャージを行い、クロックの立ち下がりでロウ・アドレスを出力します。

次のT2状態で \overline{RAS} 信号をアクティブにし、クロックの立ち下がりでカラム・アドレスを出力します。

さらに次のT2状態で、 \overline{LCAS} 、 \overline{UCAS} 信号をアクティブにします。DRCレジスタのCWSビット = 1ならば、次のサイクルでウエイトが挿入されます。

次のサイクルのT1状態のクロックの立ち上がりで、 \overline{LCAS} 、 \overline{UCAS} 、 \overline{MRD} 信号をインアクティブにし、データをサンプリングしてサイクルを終了します。

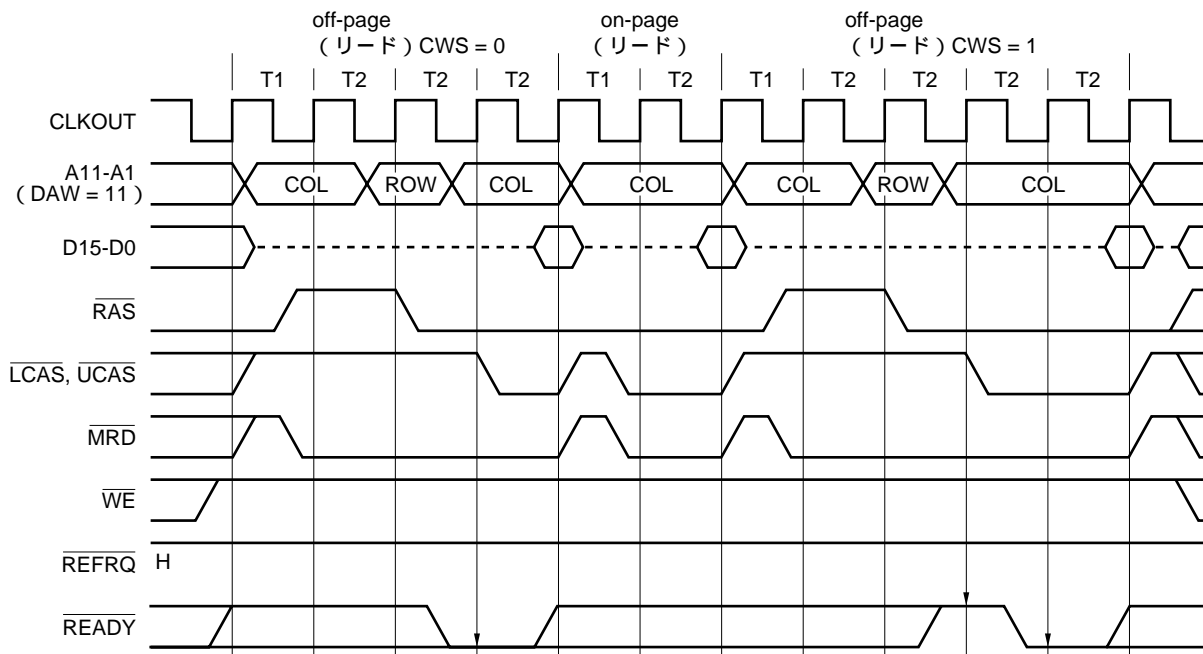
外部 \overline{READY} 入力によるウエイトが有効です。

(2) on-page時

T1状態でカラム・アドレスの出力を開始します。クロックの立ち下がりで \overline{MRD} 、 \overline{LCAS} 、 \overline{UCAS} 信号をアクティブにします。 \overline{RAS} 信号はアクティブのままです。

次のサイクルのT1状態のクロックの立ち上がりで、 \overline{LCAS} 、 \overline{UCAS} 、 \overline{MRD} 信号をインアクティブにし、データをサンプリングしてサイクルを終了します。

図5 - 14 DRAMリード・サイクル



備考1 . ROW : ロウ・アドレス

COL : カラム・アドレス

2 . 破線はハイ・インピーダンスを示します。

3 . : サンプルングするタイミング

5.10.2 DRAMライト・サイクル

(1) off-page時

T1状態でカラム・アドレスの出力を開始します。クロックの立ち下がりで $\overline{\text{RAS}}$ 信号がインアクティブ(RASプリチャージ)になり、 $\overline{\text{WE}}$ 信号がアクティブになります。

T2状態に移って最初の1クロックは、RASプリチャージを行い、クロックの立ち下がりでロウ・アドレスを出力します。

次のT2状態で $\overline{\text{RAS}}$ 信号をアクティブにし、クロックの立ち下がりでカラム・アドレスを出力します。DRCレジスタのCWSビット=1ならば、次のサイクルでウエイトが挿入されます。

さらに次のT2状態で、 $\overline{\text{LCAS}}$ 、 $\overline{\text{UCAS}}$ 信号をアクティブにし、クロックの立ち下がりで $\overline{\text{WE}}$ 信号をインアクティブにします。

次のサイクルのT1状態のクロックの立ち上がりで $\overline{\text{LCAS}}$ 、 $\overline{\text{UCAS}}$ 信号をインアクティブにし、サイクルを終了します。

外部 $\overline{\text{READY}}$ 入力によるウエイトが有効です。

(2) on-page時

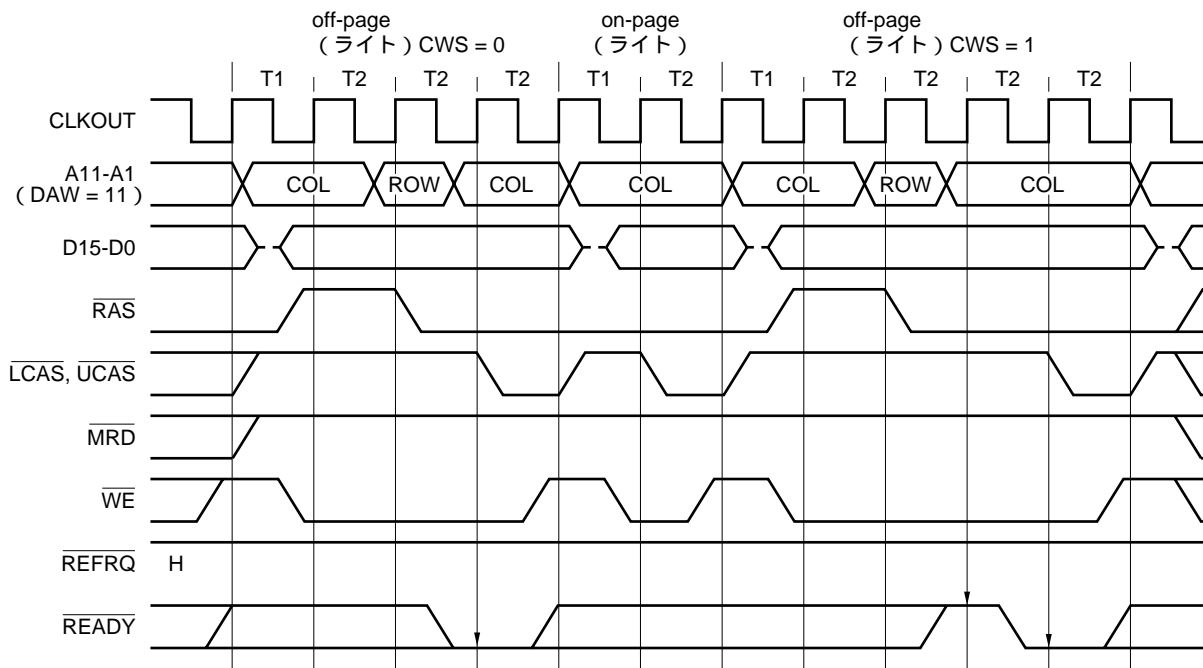
T1状態でカラム・アドレスの出力を開始し、クロックの立ち下がりで $\overline{\text{WE}}$ 信号をアクティブにします。 $\overline{\text{RAS}}$ 信号はアクティブのままです。

T2状態で、 $\overline{\text{LCAS}}$ 、 $\overline{\text{UCAS}}$ 信号をアクティブにします。ただし、DRAMコンフィギュレーション・レジスタのADCビット=1に設定した場合は、直前のサイクルがライト・サイクルでなければ1ウエイトが挿入されます。この場合、次のT2状態で $\overline{\text{LCAS}}$ 、 $\overline{\text{UCAS}}$ 信号をアクティブにし、クロックの立ち下がりで $\overline{\text{WE}}$ 信号をインアクティブにします。

次のサイクルのT1状態のクロックの立ち上がりで $\overline{\text{LCAS}}$ 、 $\overline{\text{UCAS}}$ 信号をインアクティブにし、サイクルを終了します。

図5 - 15 DRAMライト・サイクル

(1) ADC = 0の場合



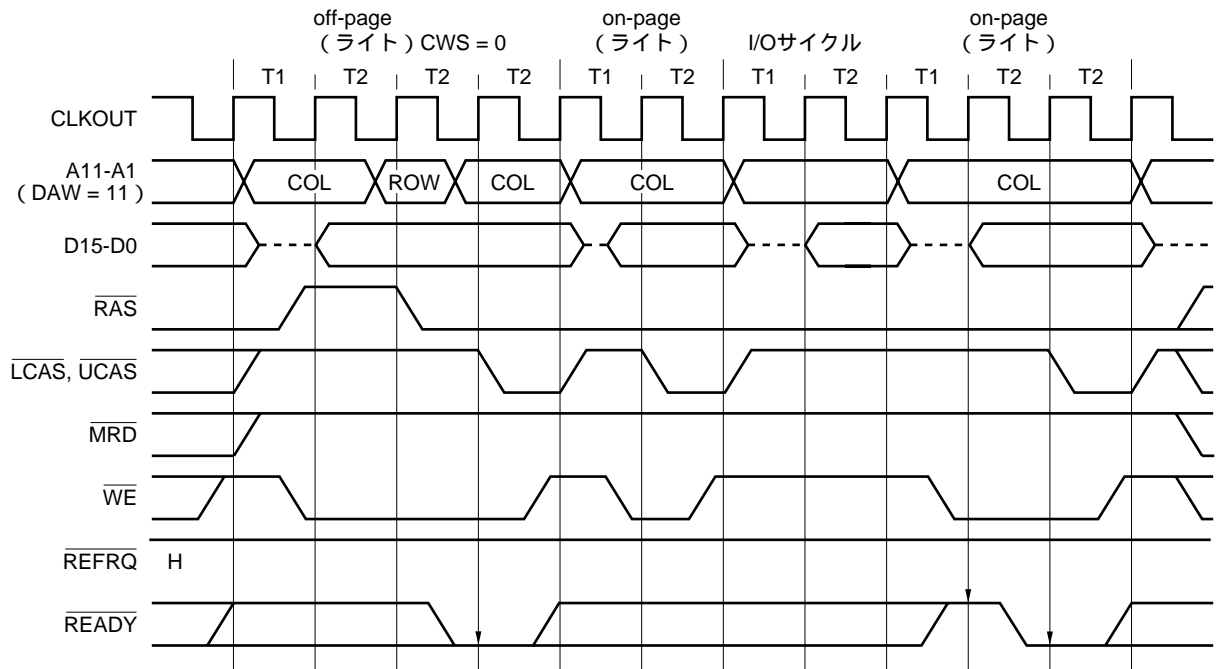
備考1 . ROW : ロウ・アドレス

COL : カラム・アドレス

2 . 破線はハイ・インピーダンスを示します。

3 . : サンプルングするタイミング

(2) ADC = 1の場合



備考1 . ROW : ロウ・アドレス

COL : カラム・アドレス

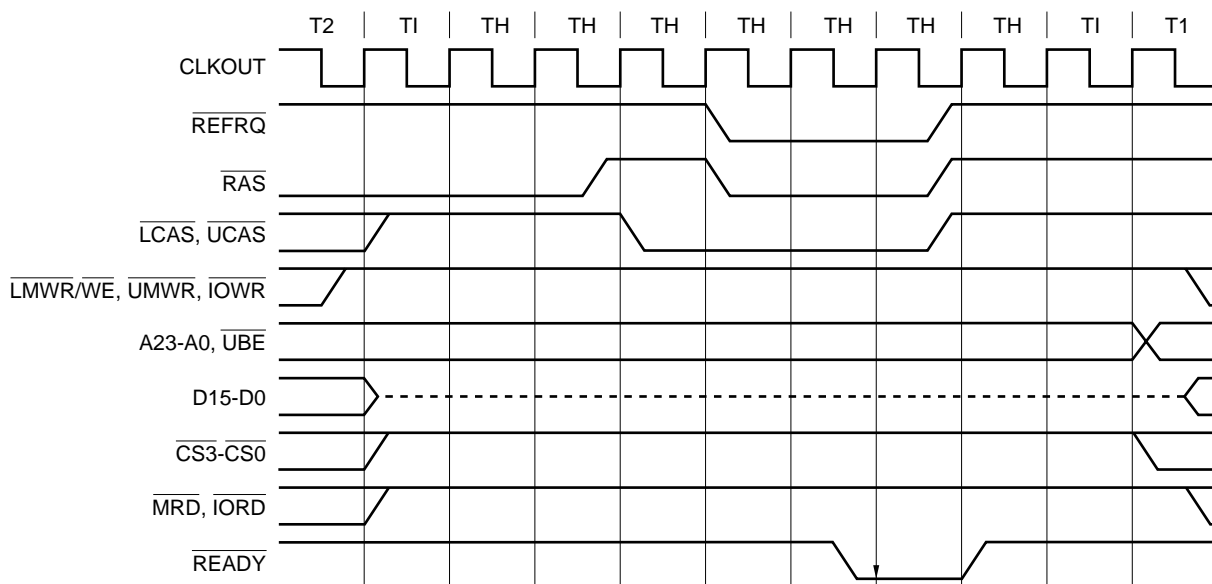
2 . 破線はハイ・インピーダンスを示します。

3 . : サンプルングするタイミング

5.10.3 CBRリフレッシュ・サイクル

リフレッシュ・サイクルは1バス・サイクルに最少7クロックかかり、前後のアイドル・サイクルを含めると最少9クロックかかります。CBRリフレッシュ・サイクル中の外部 $\overline{\text{READY}}$ 制御は有効です。CBRリフレッシュ・サイクルの6クロック目のクロックの立ち上がりで外部 $\overline{\text{READY}}$ 端子をサンプリングし、インアクティブの場合はCBRリフレッシュ・サイクルを終了せず、クロックの立ち上がりで、外部 $\overline{\text{READY}}$ 端子がアクティブになるまで待ちます。

図5 - 16 CBRリフレッシュ・サイクル



備考1 . 破線はハイ・インピーダンスを示します。

2 . : サンプリングするタイミング

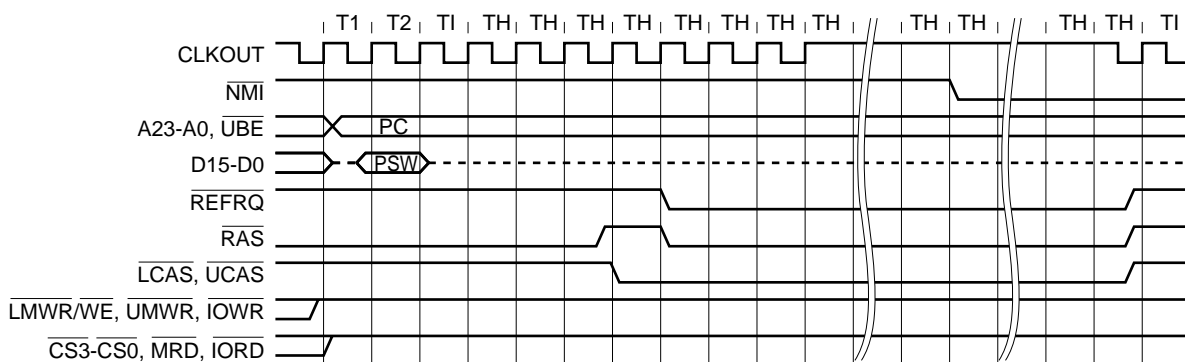
5.10.4 セルフ・リフレッシュ・サイクル

セルフ・リフレッシュ・サイクルは、スタンバイ制御レジスタ (STBC) のSMDビットをIDLEまたはSTOPモードに指定して、HALT命令を実行することによって起動します。DRAMがセルフ・リフレッシュ動作に入るためには、DRAMの $\overline{\text{RAS}}$ パルス幅 (CBRセルフ・リフレッシュ) の規格 (100 μs 以上) を満足させなければなりません。CBRセルフ・リフレッシュ・サイクル中に $\overline{\text{NMI}}$ 信号が発生すると、 $\overline{\text{REFRQ}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{LCAS}}$ および $\overline{\text{UCAS}}$ 信号をインアクティブにし、CBRセルフ・リフレッシュを解除します。

なお、ホールド・アクノリッジ・サイクルとIDLEモードのセルフ・リフレッシュ・サイクルの最初の6クロックは、外部ホールド要求は無効です。セルフ・リフレッシュ・サイクルの7クロック目から有効になります。

STOPモードに入るホールド・アクノリッジ・サイクルとセルフ・リフレッシュ・サイクルでは、外部ホールド要求は無効です。

図5 - 17 CBRセルフ・リフレッシュ・サイクル



備考 破線はハイ・インピーダンスを示します。

5.10.5 フライバイ転送時のバス・サイクル

DMAでフライバイ転送を指定したときだけ起こるサイクルです。

フライバイ・サイクルは、I/Oアクセスとメモリ・アクセスが同時に行われます。それぞれのアクセスは、それぞれのサイクルと基本的に同一です。

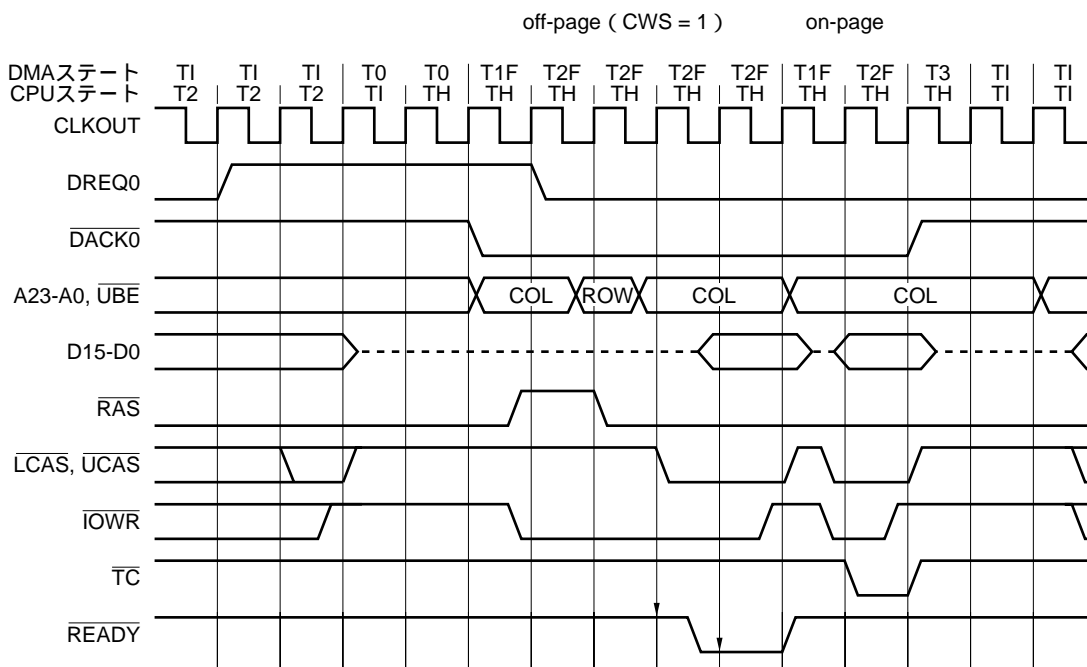
ウェイト数はプログラマブル・ウェイト・コントロール・レジスタ2 (PWC2) のDWSnビットで設定します。

DRAMのoff-pageアクセス時とSRAMサイクルで、外部READY入力によるウェイトが有効です。

(1) フライバイ・リード・サイクル

(a) ブロック転送時

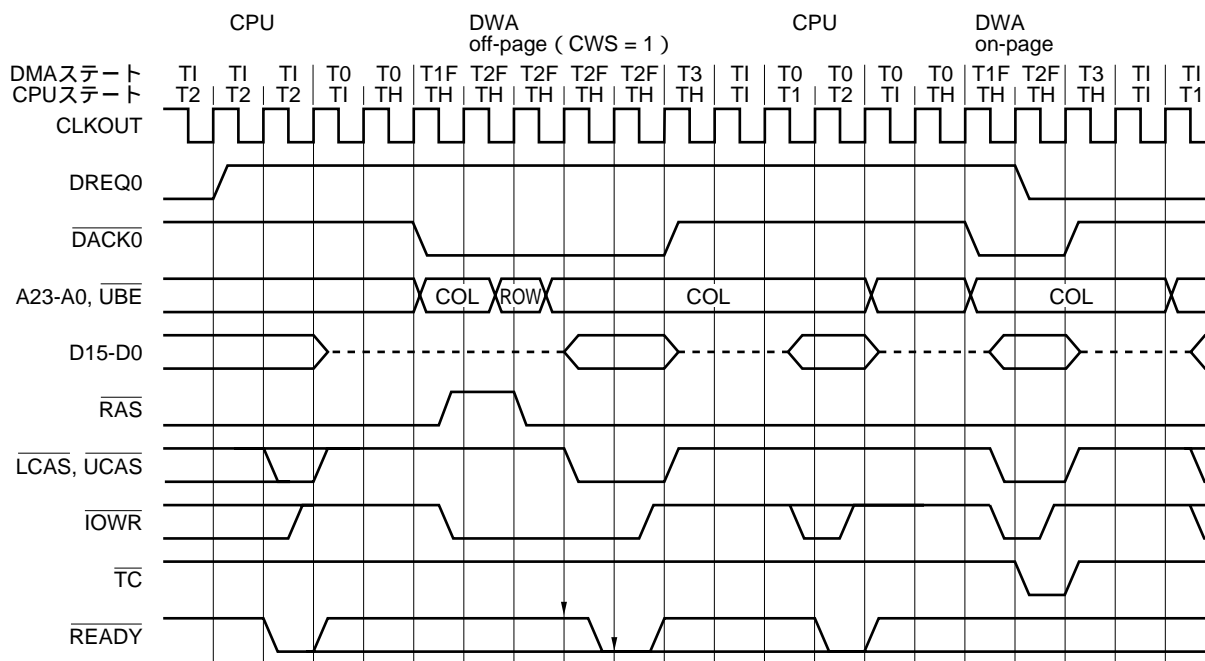
図5 - 18 DMAブロック転送時のフライバイ・リード・サイクル (DRAM 外部I/O)



- 備考1 . ROW : ロウ・アドレス
 COL : カラム・アドレス
- 2 . 破線はハイ・インピーダンスを示します。
- 3 . : サンプルングするタイミング

(b) シングル転送, シングルステップ転送時

図5 - 19 DMAシングル/シングルステップ転送時のフライバイ・リード・サイクル (DRAM 外部I/O)

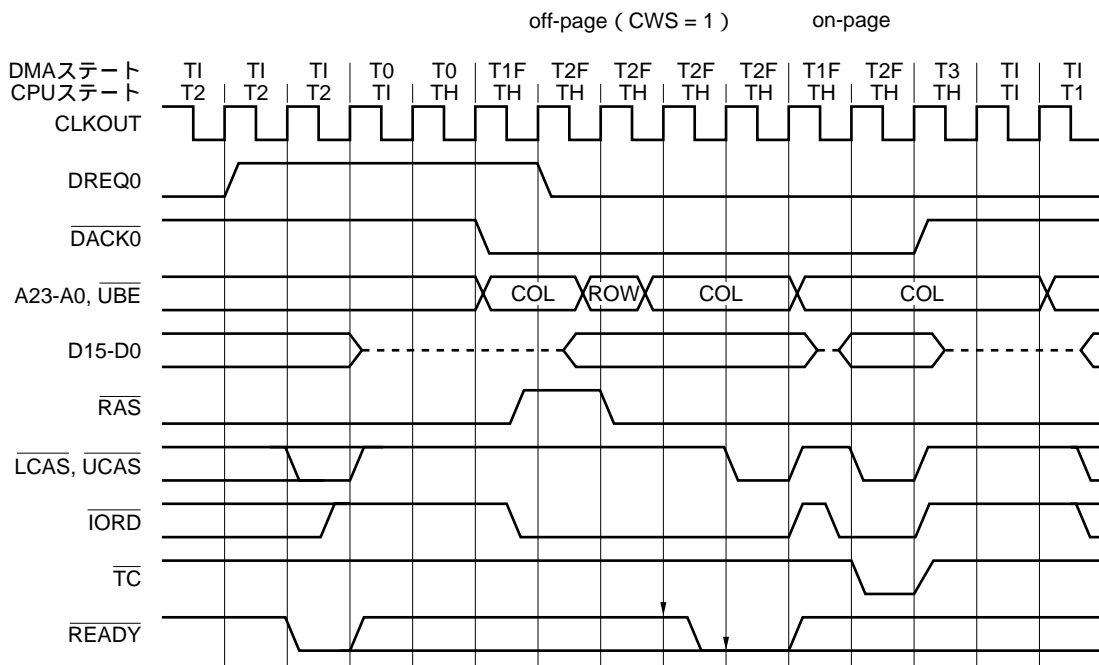


- 備考1 . ROW : ロウ・アドレス
 COL : カラム・アドレス
- 2 . 破線はハイ・インピーダンスを示します。
- 3 . : サンプルングするタイミング

(2) フライバイ・ライト・サイクル

(a) ブロック転送時

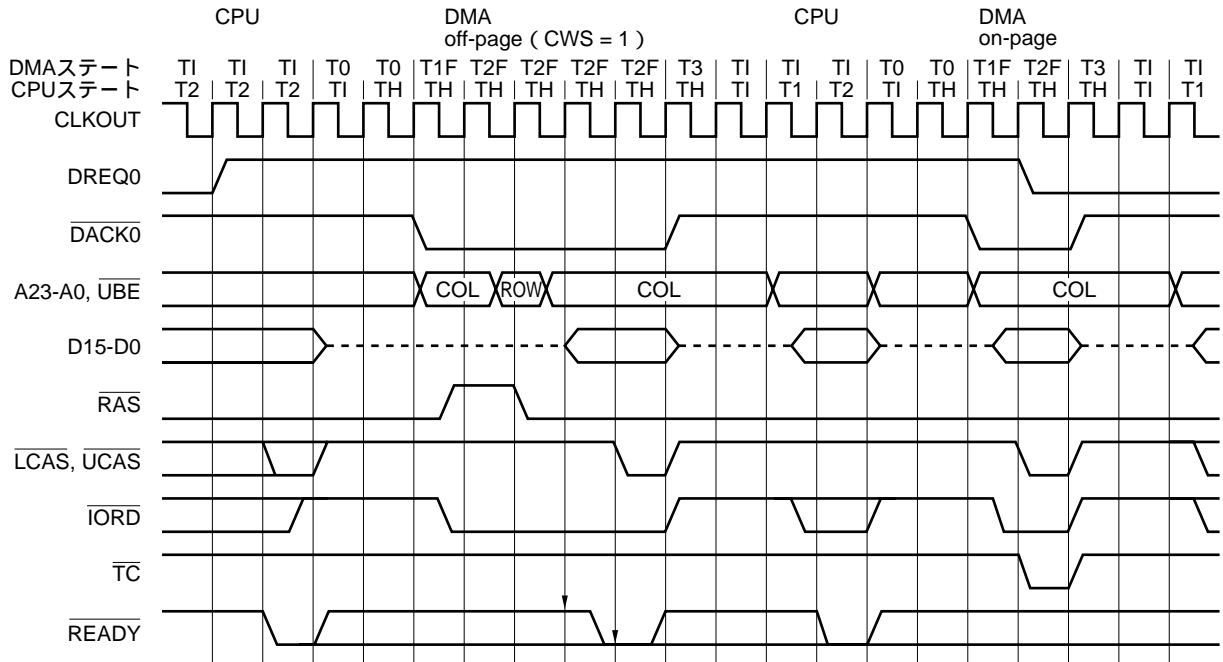
図5 - 20 DMAブロック転送時のフライバイ・ライト・サイクル (外部I/O DRAM)



- 備考1 . ROW : ロウ・アドレス
 COL : カラム・アドレス
 2 . 破線はハイ・インピーダンスを示します。
 3 . : サンプルングするタイミング

(b) シングル転送, シングルステップ転送時

図5 - 21 DMAシングル/シングルステップ転送時のフライバイ・ライト・サイクル (外部I/O DRAM)



- 備考1 . ROW : ロウ・アドレス
 COL : カラム・アドレス
- 2 . 破線はハイ・インピーダンスを示します。
- 3 . : サンプルングするタイミング

5.11 例外処理サイクル

5.11.1 マシン・フォールト・サイクル

マシン・フォールト状態になると、マシン・フォールト・サイクルが起動します。I/Oライト・サイクルで、致命的例外の要因コード（0000Hと例外コードの論理和）とその時点のPSW，PCを順次データ・バスに出力します。

データ・バスと、そのときのアドレス・バスとの対応を表5 - 3に示します。

表5 - 3 マシン・フォールト・サイクルにおけるアドレス・バスとデータ・バスの対応

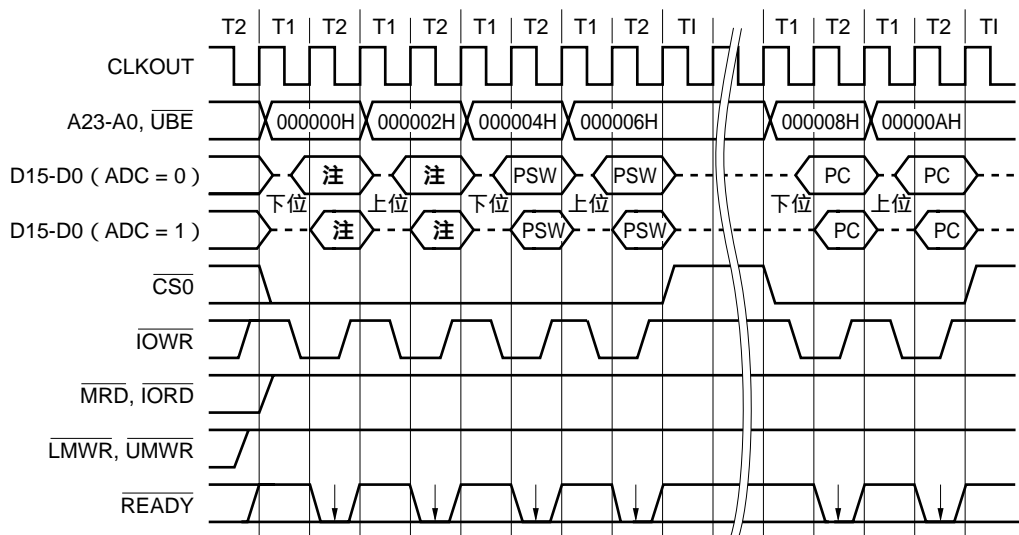
順序	アドレス・バス (A0-A23)	データ・バス (D0-D15)
1	000000H	致命的例外の要因コード（下位）
2	000002H	致命的例外の要因コード（上位） （値は常にFFFFH）
3	000004H	その時点のPSW（下位）
4	000006H	その時点のPSW（上位）
5	000008H	その時点のPC（下位）
6	00000AH	その時点のPC（上位）

I/O空間のアドレス・ブロック0のアドレス000000H-00000BHは、マシン・フォールト・サイクルによって任意に書き換えられるため使用しないでください。

なお、上記ライト・サイクル中のウエイト、バス・ホールド要求は有効です。また、 $\overline{\text{HLDRQ}}$ 、 $\overline{\text{READY}}$ の要求は、マシン・フォールト・サイクルとその後のT1ステートでも有効です。

マシン・フォールト状態を解除できるのは、リセット入力だけです。

図5-22 マシン・フォールト・サイクル



注 致命的例外の要因コード

備考1 . 破線はハイ・インピーダンスを示します。

2 . : サンプルするタイミング

5.11.2 ホールト・アクノリッジ・サイクル

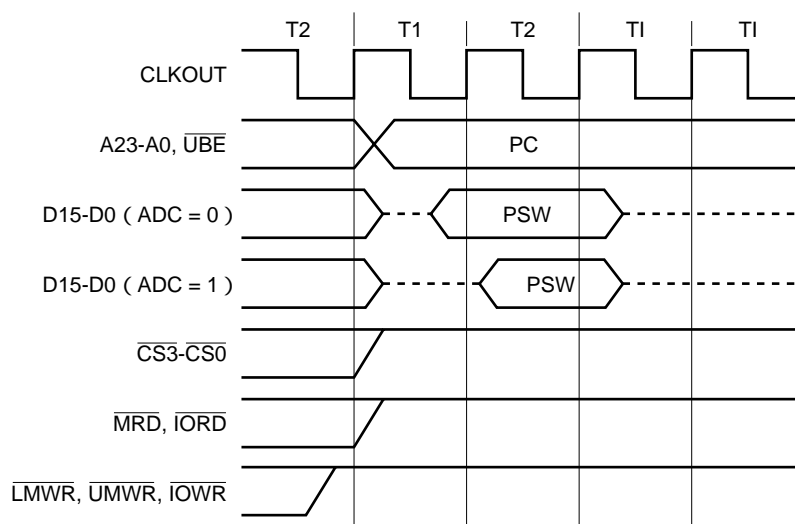
ホールト・アクノリッジ・サイクルは、HALT命令実行時のPCの下位24ビットをアドレス・バスに、PSWの下位16ビットをデータ・バスに出力します。

外部 $\overline{\text{READY}}$ 入力によるウエイトは無効で、0ウエイト固定です。

なお、サイクル中のホールド要求は無効です。

スタンバイ制御レジスタ (STBC) のSMDビットでIDLEまたはSTOPモードに指定した場合は、続いてセルフ・リフレッシュ・サイクルを起動します (5.10.4 セルフ・リフレッシュ・サイクル参照)。

図5 - 23 ホールト・アクノリッジ・サイクル



備考 破線はハイ・インピーダンスを示します。

5.12 制御信号のタイミング

この節では、バス・ホールド時とバス・ロック時のタイミングについて説明します。

5.12.1 バス・ホールド

ほかのプロセッサがV821に対してバス使用权を要求した場合、バス・ホールド状態になりバスを空け渡します。このときバスをフローティング状態にします。

図5-24にバス・ホールド状態に遷移する場合のタイミングを示します。各ステートでの動作は次のとおりです。

T2ステート：クロックの立ち下がりで $\overline{\text{READY}}$ 信号と $\overline{\text{HLDRQ}}$ 信号をサンプリングします。

両方ともアクティブであればT1ステートに遷移します。

T1ステート：クロックの立ち下がりで $\overline{\text{HLDRQ}}$ 信号をサンプリングします。アクティブであればTHステートに遷移します。

THステート：バスをフローティング状態にして、 $\overline{\text{HLDAK}}$ 信号をアクティブにします。

$\overline{\text{HLDRQ}}$ 信号がアクティブのままであればTHステートを続けます。インアクティブになればT1ステートに遷移し、バスの使用权がCPUに戻ります。

通常モード、HALTモード、IDLEモードでバス・ホールド要求を受け付けます。また、リセット期間中でも受け付けます。ただし、次の状態のときには、バス・ホールド要求は受け付けません。

CAXI命令実行時（バス・ロック状態）

STOPモード（内部クロック停止状態）

HALTモードおよびIDLEモードに入るホールド・アクノリッジ・サイクルと、IDLEモードでのセルフ・リフレッシュ・サイクルの最初の6クロック

なお、パワーオン・リセット時には、 $\overline{\text{HLDRQ}}$ 信号はインアクティブにしてください。

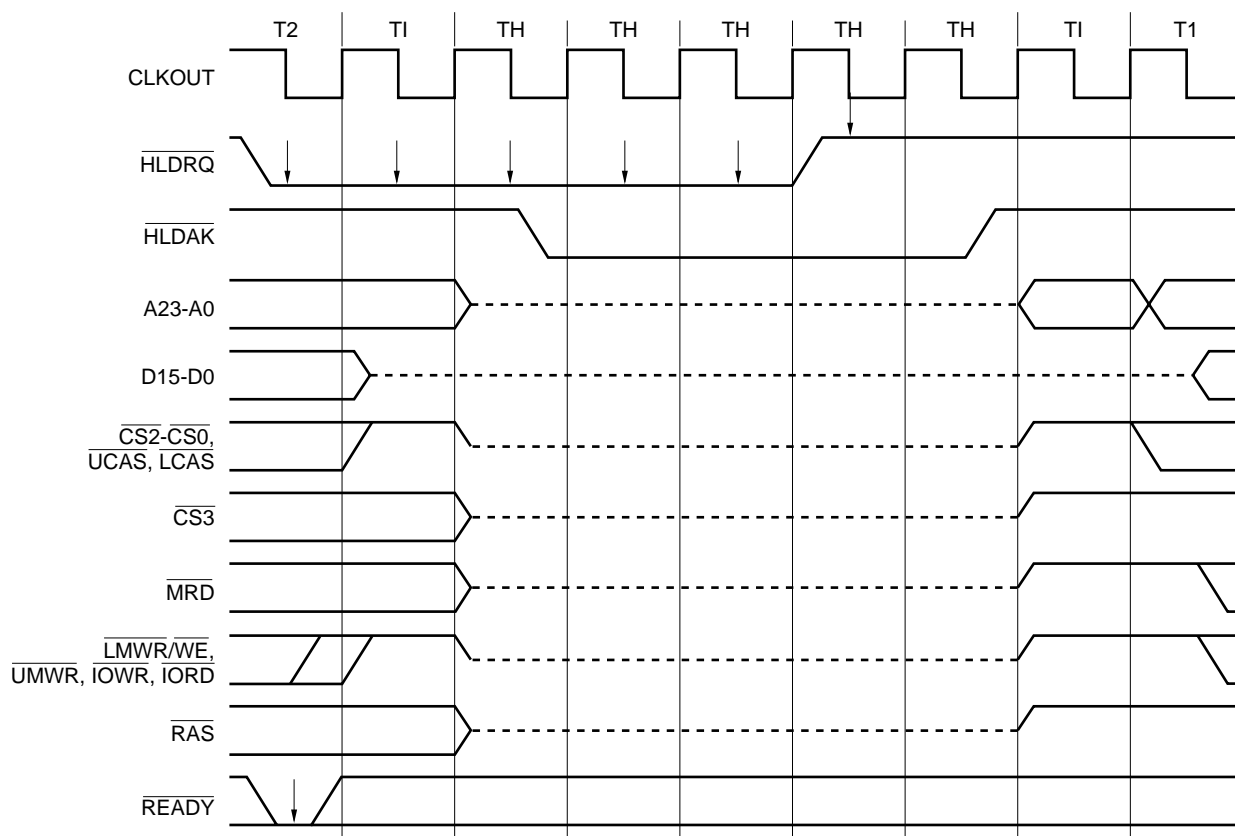
IDLEモードでバス・ホールド状態に移行する際の $\overline{\text{REFRQ}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$ 、 $\overline{\text{MRD}}$ 、 $\overline{\text{WE}}$ 信号は、セルフ・リフレッシュ・サイクルの状態からフローティングになります。その後、バス・ホールド要求が解除されるとインアクティブになり、続けてセルフ・リフレッシュ・サイクルが起動します。

また、バス・ホールド状態になる直前のバス・サイクルがPage-ROMサイクルの場合、 $\overline{\text{CS3}}$ 端子と $\overline{\text{MRD}}$ 端子はアクティブ・レベルの状態からフローティングになります。バス・ホールドが解除されると、両端子はフローティングからインアクティブとなります。

同じように、バス・ホールド状態になる直前のバス・サイクルがDRAMサイクルであり、かつon-pageアクセスが許可されている場合、 $\overline{\text{RAS}}$ 端子はアクティブ・レベルの状態からフローティングになります。バス・ホールドが解除されると、 $\overline{\text{RAS}}$ 端子はフローティングからインアクティブとなります。

注意 バス・ホールド・サイクルを繰り返す場合、その間に $\overline{\text{HLDRQ}}$ 信号のインアクティブ期間を最小3クロック分確保してください。

図5-24 バス・ホールド・サイクル



備考1 . 破線はハイ・インピーダンスを示します。

2 . : サンプルングするタイミング

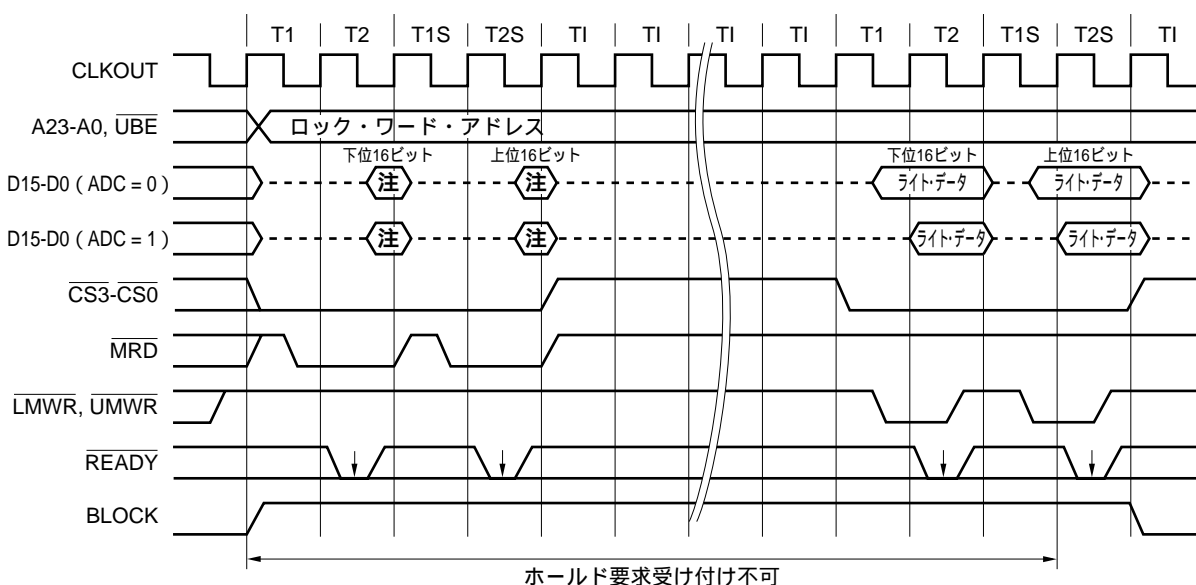
5.12.2 バス・ロック

V821以外のバス使用权を禁止するには、BLOCK信号をアクティブにしてバス・ロック状態にします。

バス・ロックはCAXI命令実行時に発生します。たとえば、CAXI命令におけるロック・ワード・アクセスにおいて、BLOCK信号はリード・バス・サイクルの開始に同期してアクティブになり、最後のライト・サイクルの終了に同期してインアクティブになります。

なお、BLOCK端子はWDTOUT端子と兼用になっているため、BLOCK信号として出力する場合は、WDTモード・レジスタのBWOSビットの設定が必要です(11.4 WDTモード・レジスタ(WDTM)参照)。

図5-25 CAXI命令実行時のバス・ロック・サイクル



注 リード・データ

備考1 . 破線はハイ・インピーダンスを示します。

2 . : サンプルングするタイミング

第 6 章 ウェイト制御機能

ウェイト・コントロール・ユニット (WCU) は、4本のチップ・セレクト信号に対応した4つのブロックを管理し、チップ・セレクト信号の生成、ウェイト制御およびバス・サイクルの種類を選択を行います。

6.1 特 徴

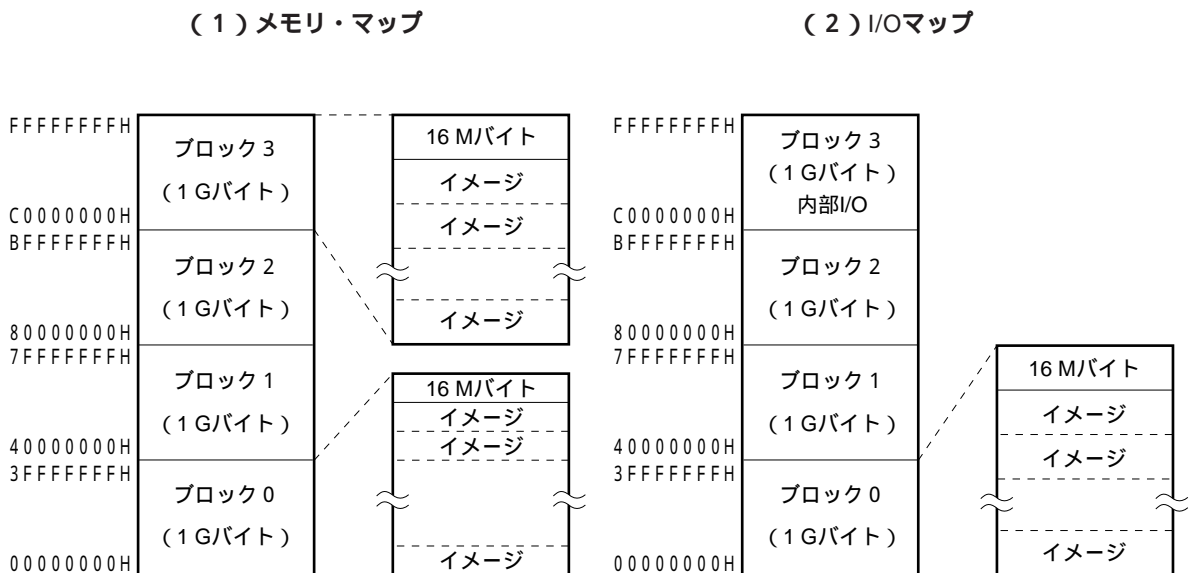
- I/O, メモリ空間合わせて4ブロック制御可能
- 各ブロックのリニア・アドレス空間: 16 Mバイト
- ウェイト制御
 - ・ブロックごとに0-7ウェイト自動挿入
 - ・ $\overline{\text{READY}}$ 端子によるウェイト挿入
- バス・サイクルの選択機能
 - ・Page-ROMサイクル選択可能 (アドレス・ブロック3)
 - ・DRAMサイクル選択可能 (アドレス・ブロック0)

6.2 アドレス空間とブロック

内部4 Gバイトのメモリ, I/O空間は、それぞれ1 Gバイトごとのブロックに分割されます。I/Oブロック3には内蔵周辺I/Oレジスタが割り付けられています。

各ブロックのリニア・アドレス空間は16 Mバイトです(32ビット・アドレスのうち, 下位24ビットを出力)。

図 6 - 1 メモリ, I/Oマップ



6.3 チップ・セレクト生成機能とバス・サイクルの選択

チップ・セレクト信号 ($\overline{CS0}$ - $\overline{CS3}$) は、ブロック 0-3 に次のように対応して出力されます。

ブロック名	アクセス対象	チップ・セレクト信号
ブロック 0	メモリまたはI/Oアクセス	$\overline{CS0}$ 信号
ブロック 1	メモリまたはI/Oアクセス	$\overline{CS1}$ 信号
ブロック 2	メモリまたはI/Oアクセス	$\overline{CS2}$ 信号
ブロック 3	メモリ・アクセス	$\overline{CS3}$ 信号

ブロック 0 でメモリ・アクセスを選択した場合DRAMサイクルを指定できます。この場合、 $\overline{CS0}/\overline{REFRQ}$ 端子は、 \overline{REFRQ} 出力と $\overline{CS0}$ 出力のどちらかを指定します。 $\overline{CS0}$ 出力は、メモリ、I/O両方のアクセスでアクティブになります。

ブロック 3 のメモリ・アクセスでは、Page-ROMサイクルを指定できます。

6.4 プログラマブル・ウェイト機能

WCUIは、 \overline{CSn} 信号に対応したプログラマブル・ウェイト・コントロール・レジスタ (PWCn) のWSnビットで、挿入するウェイトの数を指定することができます。プログラマブル・ウェイトで指定できるウェイト数は0から7までです。それ以上のウェイトは、 \overline{READY} 端子によって挿入することができます。

6.4.1 \overline{READY} 端子によるウェイト制御

8クロック以上のウェイトは、 \overline{READY} 端子によって挿入できます。ただし、次のサイクルは固定ウェイトのため、 \overline{READY} 端子によるウェイトの挿入はできません。

Page-ROMサイクル
 DRAMサイクル (on-page)
 内部I/Oサイクル
 CBRセルフ・リフレッシュ・サイクル
 ホールト・アクノリッジ・サイクル

\overline{READY} 端子のサンプリングは、サイクルによって次のように行われます。

DRAMサイクル (off-page) : 3クロック目のT2サイクルのクロックの立ち上がり
 CBRリフレッシュ・サイクル : 4クロック目のT2サイクルのクロックの立ち上がり
 それ以外の \overline{READY} 端子が有効なサイクル : T2サイクルのクロックの立ち下がり

PWCnレジスタで設定したウェイト数と $\overline{\text{READY}}$ 入力によるウェイト数は論理和の形をとるため、どちらが多いほうのウェイト数が挿入されます。

注意 $\overline{\text{READY}}$ 入力のセットアップ/ホールド時間を守るようにCLKOUT信号を同期化してください。守らない場合の動作については保証できません。

6.4.2 DMA転送時のウェイト制御

(1) 2サイクルDMA転送時

リード・サイクル：DMAソース・アドレス・レジスタ (DSA) のSBNビットで指定したアドレス・ブロックのウェイト設定に依存します。

ライト・サイクル：DMAデスティネーション・アドレス・レジスタ (DDA) のDBNビットで指定したアドレス・ブロックのウェイト設定に依存します。

(2) フライバイDMA転送時

PWC2レジスタのDWS0, 1ビットで指定した0-7のウェイトが挿入できます。外部 $\overline{\text{READY}}$ 信号はDRAMサイクルのoff-pageアクセスと各ブロックのSRAMサイクルのときに有効です。

6.4.3 ウェイト機能が有効なバス・サイクル

V821には、次のようなウェイト挿入要因があります。

プログラマブル・ウェイト (PWC0, PWC1レジスタにより設定)

プログラマブル・ウェイト (PWC2により設定) : DMAフライバイ転送時

$\overline{\text{READY}}$ 端子によるウェイト

DRAMCによるDRAMサイクルのoff/on-page時のウェイト (固定)

ROMCによるPage-ROMサイクルのoff/on-page時のウェイト (固定)

表6 - 1に各バス・サイクルとウェイト機能の関係を、表6 - 2にプログラマブル・ウェイトが設定可能なバス・サイクルとそれぞれの制御レジスタを示します。

表6-1 ウェイト機能が有効なバス・サイクル

バス・サイクル		プログラマブル・ウェイト機能	READY 端子によるウェイト
SRAM (ROM) サイクル (ブロック0-3)		0-7 ウェイト	
DRAMサイクル (ブロック0)	off-page	2 または 3 ウェイト	
	on-page	0 または 1 ウェイト	×
Page-ROMサイクル (ブロック3)	off-page	0-7 ウェイト	×
	on-page	0 または 1 ウェイト	×
外部I/Oサイクル (ブロック0-2)		0-7 ウェイト	
内部I/Oサイクル (ブロック3)		1 または 2 ウェイト	×
CBRリフレッシュ・サイクル		固定 (3 ウェイト)	
CBRセルフ・リフレッシュ・サイクル		-	×
フライバイDMA転送			
SRAM (ROM) サイクル (ブロック0-3)		0-7 ウェイト	
DRAMサイクル (ブロック0)	off-page	2-7 ウェイト	
	on-page	0-7 ウェイト	×
Page-ROMサイクル (ブロック3)	off-page	0-7 ウェイト	×
	on-page	0-7 ウェイト	×
ホールド・アクノリッジ・サイクル		固定 (0 ウェイト)	×
マシン・フォールト・サイクル (I/Oブロック0ライト)		0-7 ウェイト	

備考 : 有効

× : 無効

表6 - 2 プログラマブル・ウェイト設定可能なサイクルと制御レジスタ

バス・サイクル		制御レジスタ
SRAM (ROM) サイクル		プログラマブル・ウェイト・コントロール・レジスタ 0 , 1 (PWC0, PWC1)
DRAMサイクル	off-page	DRAMコンフィギュレーション・レジスタ (DRC)
	on-page	
Page-ROMサイクル	off-page	プログラマブル・ウェイト・コントロール・レジスタ 1 (PWC1)
	on-page	Page-ROMコンフィギュレーション・レジスタ (PRC)
外部I/Oサイクル		プログラマブル・ウェイト・コントロール・レジスタ 0 , 1 (PWC0, PWC1)
フライバイDMA転送		
SRAM (ROM) サイクル		プログラマブル・ウェイト・コントロール・レジスタ 2 (PWC2)
DRAMサイクル	off-page	プログラマブル・ウェイト・コントロール・レジスタ 2 (PWC2) , DRAMコンフィギュレーション・レジスタ (DRC) 注
	on-page	
Page-ROMサイクル	off-page	プログラマブル・ウェイト・コントロール・レジスタ 2 (PWC2)
	on-page	
マシン・フォールト・サイクル		プログラマブル・ウェイト・コントロール・レジスタ 0 (PWC0)

注 表6 - 3 フライバイDMA転送時のウェイト数 (DRAMのoff-page時) を参照してください。

6.5 制御レジスタ

WCUは、バス・サイクル・タイプ・コントロール・レジスタ (BCTC) と、ウェイトの制御を行うプログラマブル・ウェイト・コントロール・レジスタ 0-2 (PWC0-PWC2) を備えています。

6.5.1 バス・サイクル・タイプ・コントロール・レジスタ (BCTC)

アドレス・ブロック 0-3 に対するバス・サイクルの種類を設定します。

8 ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
BCTC	0	CT3	0	CT2	0	CT1		CT0	アドレス C0000020H	リセット時 01H

ビット位置	ビット名	意味															
6	CT3	Cycle Type3 メモリ・ブロック 3 にアクセスがあると、 $\overline{CS3}$ 信号が出力されます。 その際、起動するサイクルを指定します。 0 : SRAM (ROM) サイクル 1 : Page-ROM サイクル															
4	CT2	Cycle Type2 $\overline{CS2}$ 信号をメモリ、I/O どちらのアクセス時に出力するか、また起動するサイクルを指定します。 0 : SRAM (ROM) サイクル 1 : I/O サイクル															
2	CT1	Cycle Type1 $\overline{CS1}$ 信号をメモリ、I/O どちらのアクセス時に出力するか、また起動するサイクルを指定します。 0 : SRAM (ROM) サイクル 1 : I/O サイクル															
1, 0	CT0	Cycle Type0 $\overline{CS0}$ 信号をメモリ、I/O どちらのアクセス時に出力するか、また起動するサイクルを指定します。 DRAM サイクルの場合、 $\overline{CS0}/\overline{REFRQ}$ 端子を I/O ブロックに対する $\overline{CS0}$ 出力にするか、DRAM に対する \overline{REFRQ} 出力にするかを指定できます。 $\overline{CS0}$ 出力に指定 (CT0 = 11) した場合、 $\overline{CS0}$ 信号は I/O アクセス時とメモリ・アクセス時の両方でアクティブになります。 <table border="1" data-bbox="523 1787 1321 2011"> <thead> <tr> <th colspan="2">CT0</th> <th>起動するサイクル</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>SRAM (ROM) サイクル</td> </tr> <tr> <td>0</td> <td>1</td> <td>DRAM サイクル (\overline{REFRQ} 出力)</td> </tr> <tr> <td>1</td> <td>0</td> <td>I/O サイクル</td> </tr> <tr> <td>1</td> <td>1</td> <td>I/O サイクル, DRAM サイクル ($\overline{CS0}$ 出力)</td> </tr> </tbody> </table>	CT0		起動するサイクル	0	0	SRAM (ROM) サイクル	0	1	DRAM サイクル (\overline{REFRQ} 出力)	1	0	I/O サイクル	1	1	I/O サイクル, DRAM サイクル ($\overline{CS0}$ 出力)
CT0		起動するサイクル															
0	0	SRAM (ROM) サイクル															
0	1	DRAM サイクル (\overline{REFRQ} 出力)															
1	0	I/O サイクル															
1	1	I/O サイクル, DRAM サイクル ($\overline{CS0}$ 出力)															

6.5.2 プログラマブル・ウェイト・コントロール・レジスタ0 (PWC0)

アドレス・ブロック0, 1に対するアクセスのウェイト数を設定します。

8ビット単位でリード/ライト可能です。

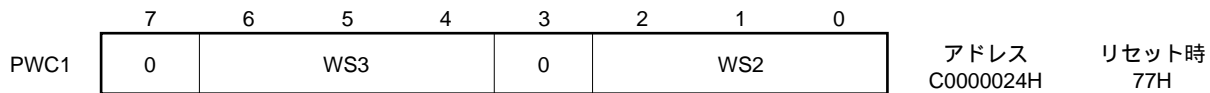
	7	6	5	4	3	2	1	0		
PWC0	0	WS1			0	WS0			アドレス C0000022H	リセット時 77H

ビット位置	ビット名	意味																																				
6-4	WS1	Wait States1 ウェイト数を指定します。 $\overline{CS1}$ 信号に対応するアドレス・ブロック1にアクセスがあると、WS1で指定される数のウェイト・ステートを自動挿入します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th colspan="3">WS1</th> <th>ウェイト数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>7</td></tr> </tbody> </table>	WS1			ウェイト数	0	0	0	0	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
WS1			ウェイト数																																			
0	0	0	0																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			
2-0	WS0	Wait States0 ウェイト数を指定します。アドレス・ブロック0にアクセスがあると、WS0で指定される数のウェイト・ステートを自動挿入します。ただし、BCTCレジスタのCT0ビットでDRAMサイクルを指定した場合このビットの設定は無視され、DRAMCが固定されたウェイト・ステートを挿入します。 WS0は、I/Oブロックに対して挿入するウェイト数を設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th colspan="3">WS0</th> <th>ウェイト数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>7</td></tr> </tbody> </table>	WS0			ウェイト数	0	0	0	0	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
WS0			ウェイト数																																			
0	0	0	0																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			

6.5.3 プログラマブル・ウェイト・コントロール・レジスタ1 (PWC1)

アドレス・ブロック2, 3に対するアクセスのウェイト数を設定します。

8ビット単位でリード/ライト可能です。



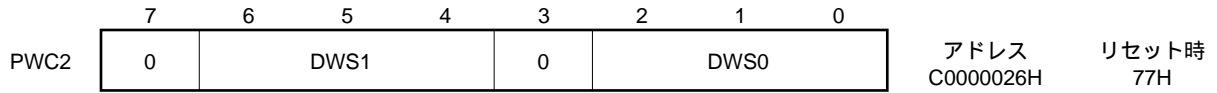
ビット位置	ビット名	意味																																				
6-4	WS3	Wait States3 ウェイト数を指定します。アドレス・ブロック3にアクセスがあると、WS3で指定される数のウェイト・ステートを自動挿入します。ただし、BCTCレジスタのCT3ビットでPage-ROMサイクルを指定したときは、off-page時のウェイト数となります。																																				
		<table border="1" style="margin: auto; border-collapse: collapse;"> <thead> <tr> <th colspan="3" style="text-align: center;">WS3</th> <th style="text-align: center;">ウェイト数</th> </tr> </thead> <tbody> <tr><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">2</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">3</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">4</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">5</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">6</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">7</td></tr> </tbody> </table>	WS3			ウェイト数	0	0	0	0	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
WS3			ウェイト数																																			
0	0	0	0																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			
2-0	WS2	Wait States2 ウェイト数を指定します。メモリ、I/Oブロック2にアクセスがあると、WS2で指定される数のウェイト・ステートを自動挿入します。																																				
		<table border="1" style="margin: auto; border-collapse: collapse;"> <thead> <tr> <th colspan="3" style="text-align: center;">WS2</th> <th style="text-align: center;">ウェイト数</th> </tr> </thead> <tbody> <tr><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">2</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">3</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">4</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">5</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">6</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">7</td></tr> </tbody> </table>	WS2			ウェイト数	0	0	0	0	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
WS2			ウェイト数																																			
0	0	0	0																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			

6.5.4 プログラマブル・ウェイト・コントロール・レジスタ2 (PWC2)

フライバイDMA転送時のウェイト数を設定します。

メモリ・アクセス (DRAM, Page-ROM, ROM, SRAM) とI/Oアクセスを同時に行うフライバイDMA転送で挿入されるウェイト数を設定します。

8ビット単位でリード/ライト可能です。



ビット位置	ビット名	意味																																				
6-4	DWS1	DMA Wait States1 DMAチャンネル1のフライバイ転送時のウェイト数を設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th colspan="3">DWS1</th> <th>ウェイト数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>7</td></tr> </tbody> </table>	DWS1			ウェイト数	0	0	0	0	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
DWS1			ウェイト数																																			
0	0	0	0																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			
2-0	DWS0	DMA Wait States0 DMAチャンネル0のフライバイ転送時のウェイト数を設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th colspan="3">DWS0</th> <th>ウェイト数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>7</td></tr> </tbody> </table>	DWS0			ウェイト数	0	0	0	0	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
DWS0			ウェイト数																																			
0	0	0	0																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			

なお、 $\overline{CS0}$ 信号をDRAMサイクルに指定し（BCTCレジスタのCT0 = 01または11）、かつDRAMのoff-page時の場合、メモリ・ブロック 0 に対するフライバイDMA転送時のウェイト数は、DRAMコンフィギュレーション・レジスタ（DRC）のCWSビットの影響を受け、次のようになります。

表6 - 3 フライバイDMA転送時のウェイト数（DRAMのoff-page時）

CWSビットで 指定したウェイト数	2								3							
	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
DWSビットで 指定したウェイト数																
ウェイト数	2	2	2	3	4	5	6	7	3	3	3	3	4	5	6	7

第7章 メモリ・アクセス制御機能

7.1 DRAMコントローラ (DRAMC)

DRAMコントローラ (DRAMC) は、 $\overline{\text{REFRQ}}$, $\overline{\text{RAS}}$, $\overline{\text{LCAS}}$, $\overline{\text{UCAS}}$ 信号の生成とDRAMへのアクセス制御を行います。DRAMへは、DRAMのロウ・アドレス、カラム・アドレスをマルチプレクスしてアドレス端子から出力してアクセスします。

接続するDRAMは、 $\times 4$ ビット以上で高速ページ・モードを備えていることを前提とします。DRAMアクセス・サイクルには、on-page (2, 3クロック), off-page (4, 5クロック) の2種類があります。

リフレッシュは $\overline{\text{CAS}}$ ピフォア $\overline{\text{RAS}}$ 方式で、リフレッシュ周期を任意に設定できます。またIDLE, STOPモード時には、CBRセルフ・リフレッシュを行います。

7.1.1 特 徴

- $\overline{\text{REFRQ}}$, $\overline{\text{RAS}}$, $\overline{\text{LCAS}}$, $\overline{\text{UCAS}}$ 信号の生成
- DRAM高速ページ・モード対応
- アドレス・マルチプレクス機能: 8, 9, 10, 11ビット
- CBRリフレッシュ, CBRセルフ・リフレッシュ機能

7.1.2 DRAM接続

V821は、 $\times 4$ ビット以上の高速ページ・モード機能付きのDRAM (512 K-8 Mバイト) と直接接続できます。

バス・サイクル・タイプ・コントロール・レジスタ (BCTC) のCT0ビットでDRAMサイクルを選択し、アドレス・ブロック0にアクセスがあるとDRAMサイクルが起動します。

DRAMの制御端子を表7 - 1に示します。

表7 - 1 DRAM制御端子

V821のDRAM制御端子	DRAM側の端子
A0-A23	アドレス端子
D0-D15	データ端子
$\overline{\text{RAS}}$, $\overline{\text{REFRQ}}$	$\overline{\text{RAS}}$
$\overline{\text{LCAS}}$	$\overline{\text{CAS}}$
$\overline{\text{UCAS}}$	
$\overline{\text{WE}}$	$\overline{\text{WE}}$
$\overline{\text{MRD}}$	$\overline{\text{OE}}$

DRAMアクセス時のバイト制御は $\overline{\text{LCAS}}$ 、 $\overline{\text{UCAS}}$ 信号だけで行っています。したがって、DRAMアクセス中は、 $\overline{\text{UMWR}}$ 信号は常にインアクティブです。また、DRAMがテスト・モードに入ることを防ぐため、 $\overline{\text{WE}}$ 信号はリフレッシュ・サイクル中常にインアクティブになります。各端子の詳細については、第2章端子機能を参照してください。

DRAMとの接続例を図7-1、7-2に示します。

図7-1 16 M (1 M × 16) DRAMとの接続

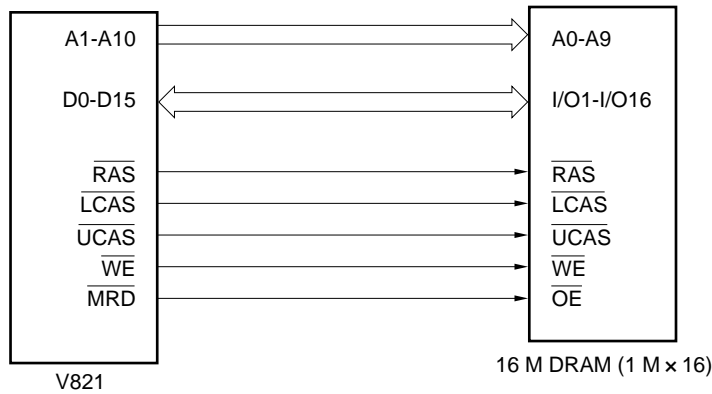
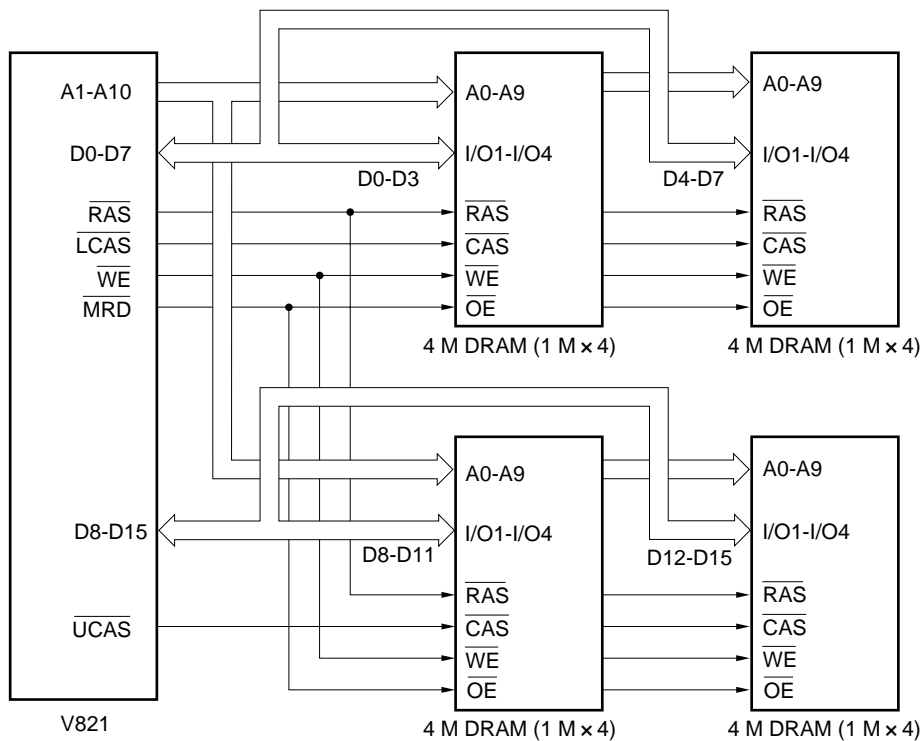


図7-2 4 M (1 M × 4) DRAMとの接続



7.1.3 アドレス・マルチプレクス機能

DRAMコンフィギュレーション・レジスタ (DRC) のDAWビットの値により、DRAMサイクルでのロウ・アドレス、カラム・アドレス出力は、図7-3のようにアドレスがマルチプレクスします。図7-3で、a0-a23はCPUから出力されたアドレスを、A0-A23はV821のアドレス端子を示しています。たとえばDAW = 11のときは、アドレス端子 (A1-A11) から、ロウ・アドレスとしてa12-a22が、カラム・アドレスとしてa1-a11が出力されることを表しています。

表7-2に接続可能なDRAMとアドレス・マルチプレクス幅との関係を示します。接続するDRAMにより、DRAM空間は128 K-8 Mバイトです。

図7-3 ロウ・アドレス、カラム・アドレスの出力

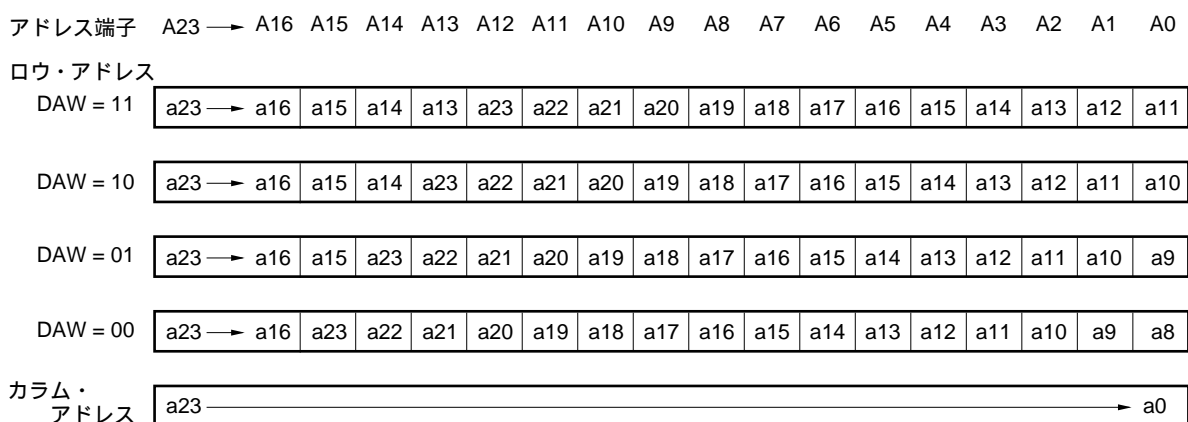


表7-2 DRAMとアドレス・マルチプレクス幅の例

アドレス・マルチプレクス幅	DRAMの容量 (ビット) と構成				DRAM空間 (バイト)
	256 K	1 M	4 M	16 M	
8ビット	64 K × 4	-	-	-	128 K
9ビット	-	256 K × 4	256 K × 16	-	512 K
	-	-	512 K × 8	-	1 M
10ビット	-	-	1 M × 4	1 M × 16	2 M
	-	-	-	2 M × 8	4 M
11ビット	-	-	-	4 M × 4	8 M

7.1.4 DRAMコンフィギュレーション・レジスタ (DRC)

DRAMアクセス時のアドレス・マルチプレクス幅，ウエイト数およびデータ出力タイミングを設定します。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
DRC	ADC	PAE	0	0	0	CWS	DAW		アドレス C0000028H	リセット時 81H

ビット位置	ビット名	意味															
7	ADC	Avoid Data Conflict ライト・データの出力タイミングを設定します。 DRAMサイクル以外のSRAMサイクル，I/Oサイクルでも有効です。 0：T1のクロックの立ち下がりからデータの出力を開始。 1：T2のクロックの立ち上がりからデータの出力を開始。 ただしADC = 1とした場合で，DRAMのon-pageアクセスでライト・サイクルが連続しなければ，on-pageアクセスでも1ウエイトが挿入されます。															
6	PAE	Page-mode Access Enable DRAMの高速ページ・モードに対応したon-pageのアクセス・サイクルの起動を制御します。 0：起動禁止 1：起動許可															
2	CWS	Compulsory Wait State DRAMのoff-pageサイクル中に挿入するウエイト数を設定します。 0：2ウエイト 1：3ウエイト															
1, 0	DAW	DRAM Address Width DRAMサイクル中でのロウ・アドレス出力時のアドレス・マルチプレクス幅を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="2">DAW</th> <th>マルチプレクス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>9ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>10ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>11ビット</td> </tr> </tbody> </table>	DAW		マルチプレクス幅	0	0	8ビット	0	1	9ビット	1	0	10ビット	1	1	11ビット
DAW		マルチプレクス幅															
0	0	8ビット															
0	1	9ビット															
1	0	10ビット															
1	1	11ビット															

7.1.5 DRAMリード/ライト・サイクル

DRAMサイクルの起動は、BCTCレジスタのCT0=01または11のとき、アドレス・ブロック0にアクセスがあると行われます。DRAMへ出力するロウ・アドレス、カラム・アドレスの幅は、DRCレジスタのDAWビットの値によって選択します。

DRAMライト・サイクルは、アーリ・ライト・サイクルです。

DRAMリード/ライト・サイクルには、サイクルのクロック数やDRAM制御信号 ($\overline{\text{RAS}}$, $\overline{\text{LCAS}}$, $\overline{\text{UCAS}}$) のタイミングの違いにより、on-pageサイクルとoff-pageサイクルの2種類があります。on-pageのライト・サイクルは、DRCレジスタのADC = 1の場合に、直前のサイクルがライト・サイクルでなければウエイト・ステートが挿入されます。

表7-3 on-pageサイクルとoff-pageサイクルの違い

サイクル	条 件	クロック数
on-pageサイクル	$\overline{\text{RAS}} = 0$, かつ前回のDRAMリード/ライト・サイクルと同一のロウ・アドレス	2 (0ウエイト) 注
off-pageサイクル	$\overline{\text{RAS}} = 1$ $\overline{\text{RAS}} = 0$, かつ前回のDRAMリード/ライト・サイクルと異なるロウ・アドレス	4 + n (2 + nウエイト)

注 ライト・サイクル時にDRCレジスタのADC = 1で、直前のバス・サイクルが内部I/O以外のリード・サイクルの場合：3 (1ウエイト) クロック

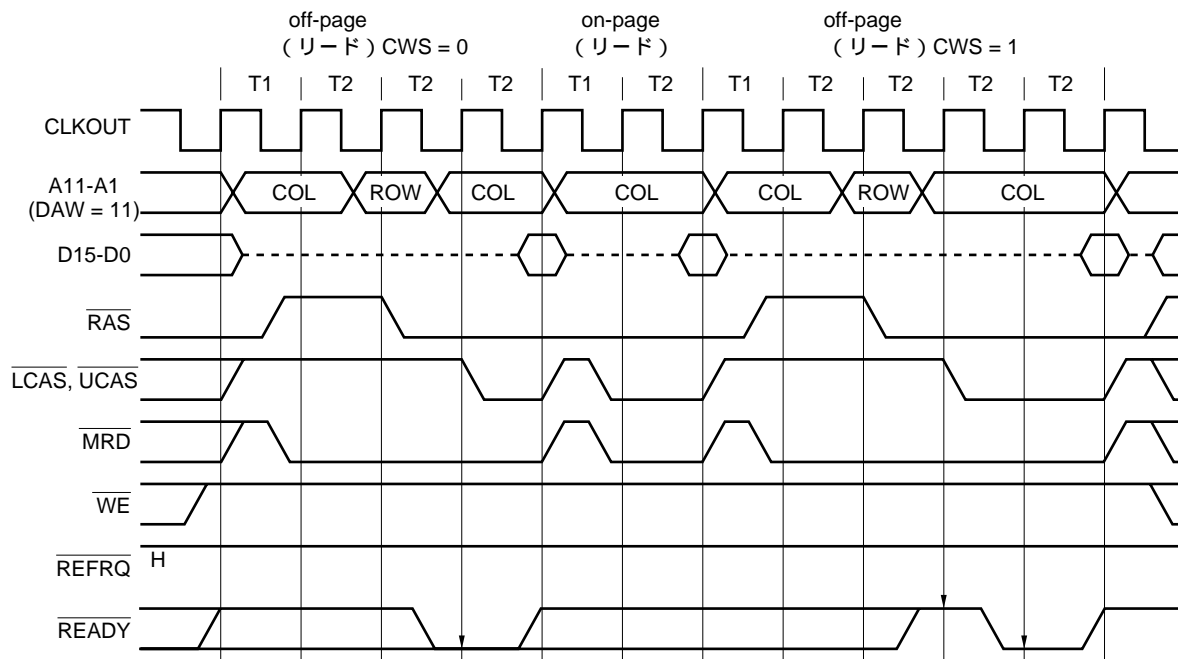
備考 n : DRCレジスタのCWSビットの値

$\overline{\text{RAS}}$ 信号は、いったんアクティブになると、off-pageサイクルかリフレッシュ・サイクルが発生するまでアクティブ状態を保持します。off-pageサイクルでは、RASプリチャージを行ったあと再びアクティブになります。リフレッシュ・サイクルでは、リフレッシュ動作を行ったあとにインアクティブになります。

なお、off-pageサイクルでは $\overline{\text{READY}}$ 端子によるウエイト制御ができます。

★ また、アドレス・ブロック0に対するI/Oサイクル後のDRAMサイクルは常にoff-pageサイクルになります。

図7-4 DRAMリード・サイクル



備考1 . ROW : ロウ・アドレス

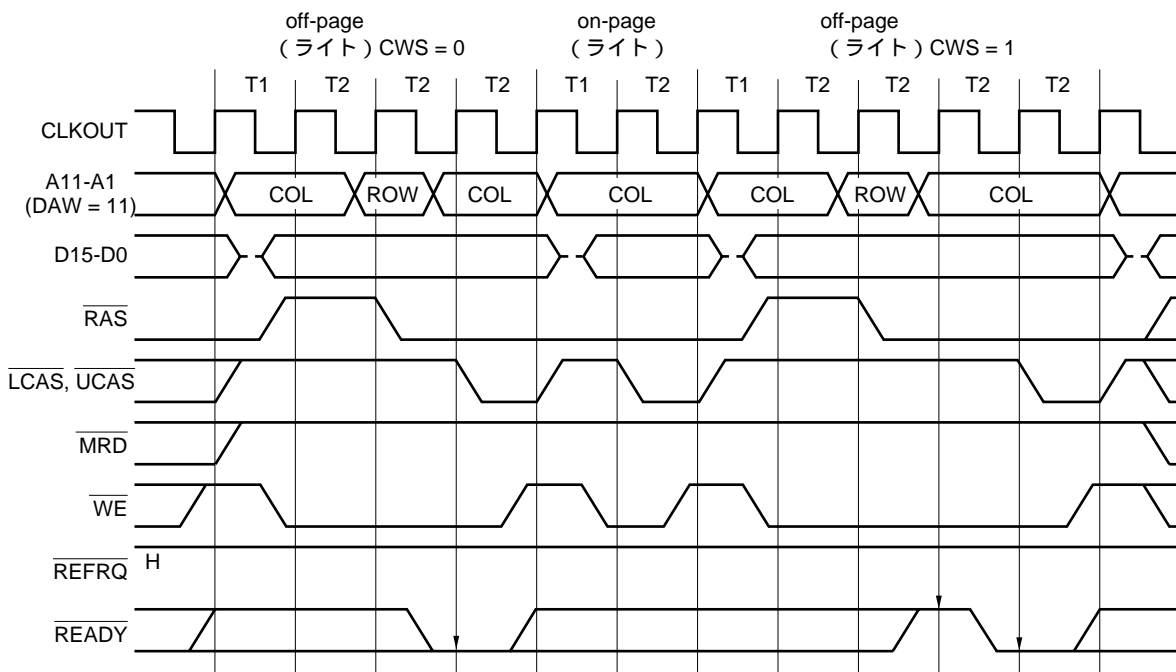
COL : カラム・アドレス

2 . 破線はハイ・インピーダンスを示します。

3 . : サンプルングするタイミング

図7-5 DRAMライト・サイクル

(1) ADC = 0の場合



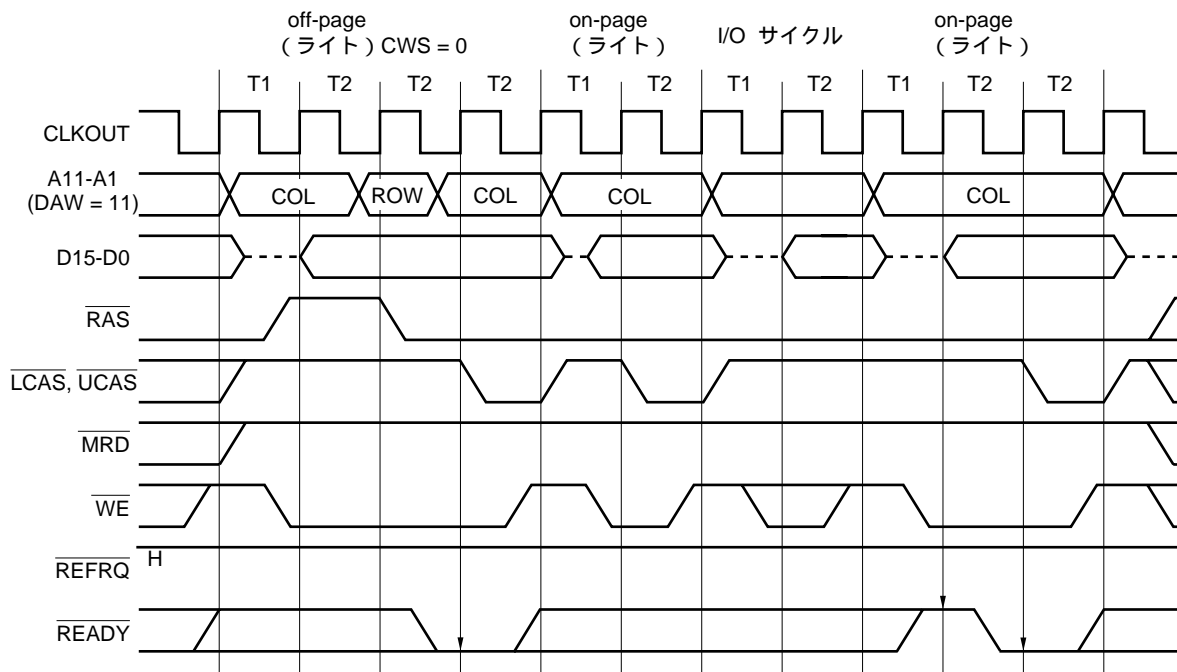
備考1 . ROW : ロウ・アドレス

COL : カラム・アドレス

2 . 破線はハイ・インピーダンスを示します。

3 . : サンプリングするタイミング

(2) ADC = 1の場合



備考1 . ROW : ロウ・アドレス

COL : カラム・アドレス

2 . 破線はハイ・インピーダンスを示します。

3 . : サンプルングするタイミング

7.1.6 DRAMサイクルのウェイト制御

フライバイDMA転送のときだけ、DRAMサイクルに対するプログラマブルなウェイト制御が可能です。プログラマブル・ウェイト・コントロール・レジスタ2 (PWC2) により、挿入するウェイト数を設定します (6.5.4 プログラマブル・ウェイト・コントロール・レジスタ2 (PWC2) 参照)。

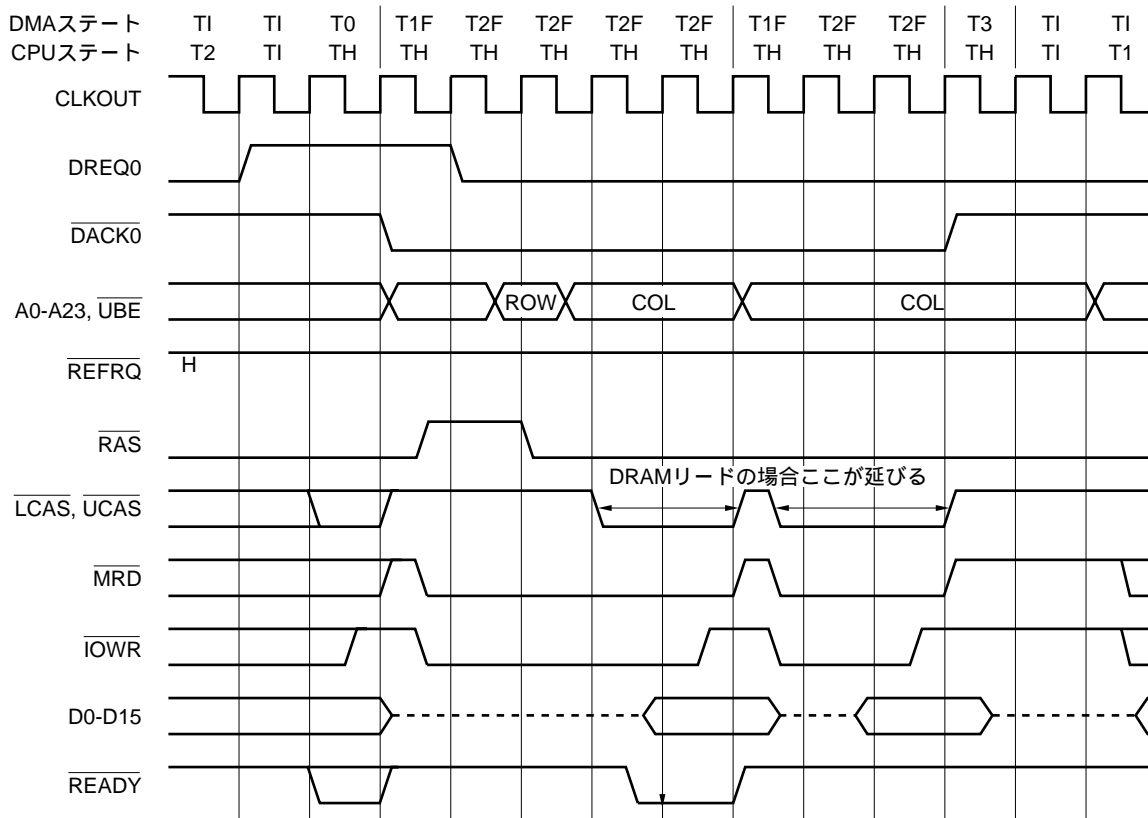
ウェイト挿入のタイミングは、リード時とライト時で異なります。DRAMリード時は $\overline{\text{LCAS}}$ 、 $\overline{\text{UCAS}}$ 信号のアクセス時間が延長され、DRAMライト時は、 $\overline{\text{LCAS}}$ 、 $\overline{\text{UCAS}}$ 信号をアクティブにするタイミングが遅れます。

外部 $\overline{\text{READY}}$ 端子によるウェイト制御は、通常のDRAMアクセスとフライバイDMAによるDRAMアクセスのoff-pageサイクルとCBRリフレッシュ・サイクルで有効です。

$\overline{\text{READY}}$ 信号のサンプリングは、3クロック目のT2サイクルから、通常のSRAMサイクルなどより半クロック早く、クロックの立ち上がりで行われます。

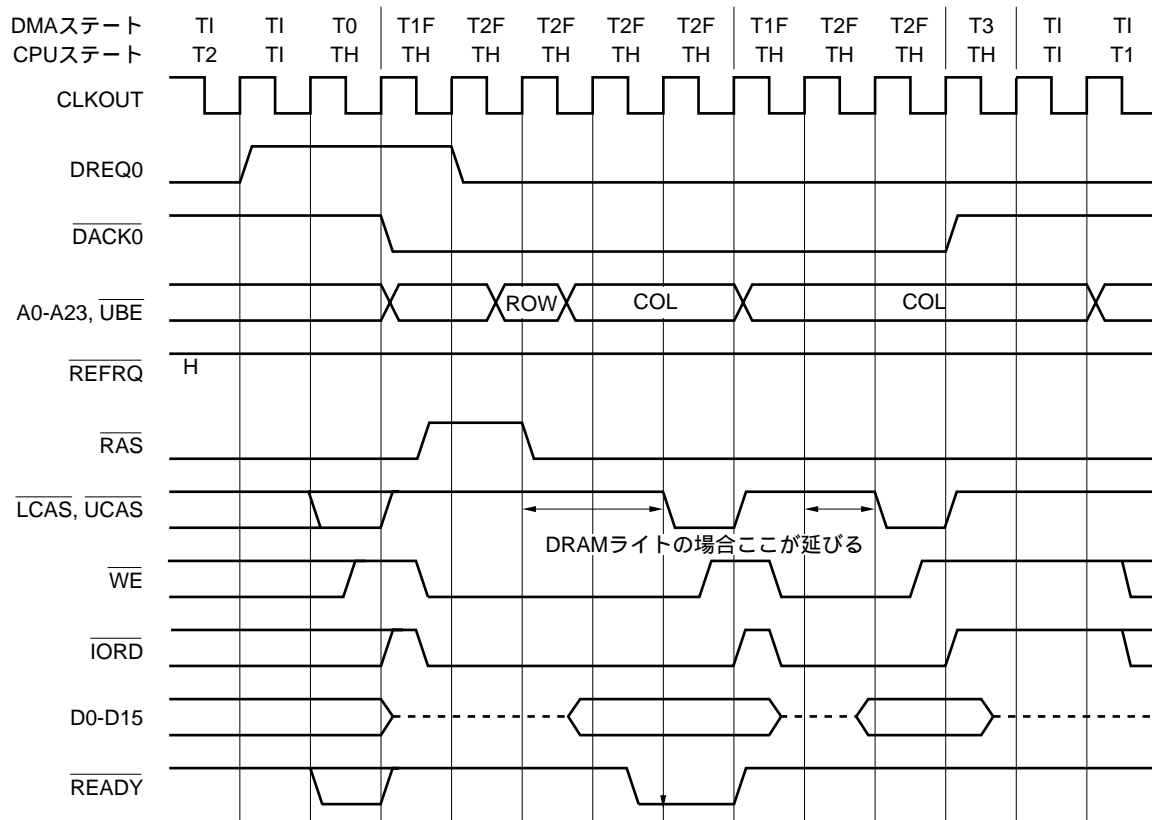
図7-6、7-7にウェイトを挿入する場合のDRAMリード・サイクルおよびライト・サイクルのタイミングを示します。

図7-6 フライバイDMA転送DRAMリード時のウェイト・ステートの挿入 (1ウェイト) (DRAM 外部I/O)



- 備考1 . ROW : ロウ・アドレス
COL : カラム・アドレス
- 2 . 破線はハイ・インピーダンスを示します。
- 3 . : サンプリングするタイミング

図7-7 フライバイDMA転送DRAMライト時のウエイト・ステートの挿入(1ウエイト)(外部I/O DRAM)



- 備考1 . ROW : ロウ・アドレス
 COL : カラム・アドレス
- 2 . 破線はハイ・インピーダンスを示します。
 - 3 . : サンプルングするタイミング

7.1.7 リフレッシュ機能

DRAMCは、外部DRAMのリフレッシュ動作に必要な分散型のCBRリフレッシュ・サイクルを自動発生することができます。リフレッシュの許可/禁止とリフレッシュ間隔は、リフレッシュ・コントロール・レジスタ(RFC)により設定します。

DRAMCは、ほかのバス・マスタがバスを占有している間は、強制的にバスを獲得することはできません。この場合、DRAMCからのリフレッシュ要求に対しBAUは $\overline{\text{HLDAK}}$ 端子をインアクティブにしてリフレッシュ要求の発生を知らせますが、さらにこの状態で $\overline{\text{HLDRQ}}$ 端子をインアクティブにすることにより、リフレッシュ・サイクルが起動されます。リフレッシュ以外のバス・サイクルに対する優先順位については、5.3 バスの優先順位を参照してください。



(1) リフレッシュ・コントロール・レジスタ (RFC)

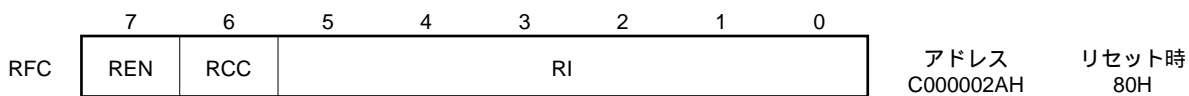
リフレッシュの許可/禁止, リフレッシュ間隔を設定します。

リフレッシュ間隔は, 次の計算式により求められます。

$$\text{リフレッシュ間隔} (\mu\text{s}) = \text{リフレッシュ・カウント・クロック} (T_{RCY}) \times \text{インターバル・ファクタ}$$

リフレッシュ・カウント・クロック, インターバル・ファクタはそれぞれRFCレジスタのRCCビット, RIビットにより求めます。

8ビット単位でリード/ライト可能です。



ビット位置	ビット名	意味																																				
7	REN	Refresh Enable CBRリフレッシュの許可/禁止を設定します。 0 : リフレッシュ禁止 1 : リフレッシュ許可																																				
6	RCC	Refresh Count Clock リフレッシュ・カウント・クロック (T _{RCY}) を指定します。 0 : T _{RCY} = 32/ 1 : T _{RCY} = 128/																																				
5-0	RI	Refresh Interval リフレッシュ・タイミング生成用インターバル・タイムのインターバル・ファクタを設定します。 <table border="1" style="border-collapse: collapse; margin: 10px auto; width: 80%;"> <thead> <tr> <th colspan="5" style="text-align: center;">RI</th> <th style="text-align: center;">インターバル・ファクタ</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">2</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">3</td> </tr> <tr> <td></td> <td></td> <td style="text-align: center;">⋮</td> <td></td> <td></td> <td style="text-align: center;">⋮</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">64</td> </tr> </tbody> </table>	RI					インターバル・ファクタ	0	0	0	0	0	1	0	0	0	0	1	2	0	0	0	1	0	3			⋮			⋮	1	1	1	1	1	64
RI					インターバル・ファクタ																																	
0	0	0	0	0	1																																	
0	0	0	0	1	2																																	
0	0	0	1	0	3																																	
		⋮			⋮																																	
1	1	1	1	1	64																																	

(2) DRAMのリフレッシュ間隔とRFCレジスタの設定例

256 Kビットから16MビットDRAMのリフレッシュ・サイクルとリフレッシュ間隔を表7 - 4 に示します。また、リフレッシュ間隔を求める際に必要なインターバル・ファクタの値 (RFCレジスタのRIビットで設定) の設定例を表7 - 5 に示します。

表7 - 4 DRAMのリフレッシュ間隔

容量	リフレッシュ・サイクル (サイクル/ms)	リフレッシュ間隔 (μs)
256 K	256/4	15.6
1 M	512/8	15.6
	512/64	125
4 M	512/128	250
	1 K/16	15.6
	1 K/128	125
16 M	1 K/256	250
	2 K/256	125
	4 K/64	15.6
	4 K/256	62.5

表7 - 5 インターバル・ファクタの設定例

$T_{RCY} = 32/$ の場合

リフレッシュ間隔の規格値 (μs)	インターバル・ファクタの値			
	12.5 MHz	16 MHz	20 MHz	25 MHz
15.6	5 (12.8)	7 (14.0)	9 (14.4)	11 (14.1)
62.5	24 (61.4)	31 (62.0)	38 (60.8)	48 (61.4)
125	48 (122.9)	62 (124)	-	-
250	-	-	-	-

$T_{RCY} = 128/$ の場合

リフレッシュ間隔の規格値 (μs)	インターバル・ファクタの値			
	12.5 MHz	16 MHz	20 MHz	25 MHz
15.6	-	-	-	-
62.5	-	-	-	-
125	-	-	19 (121.6)	24 (122.9)
250	24 (245.8)	31 (248.0)	38 (243.2)	48 (245.8)

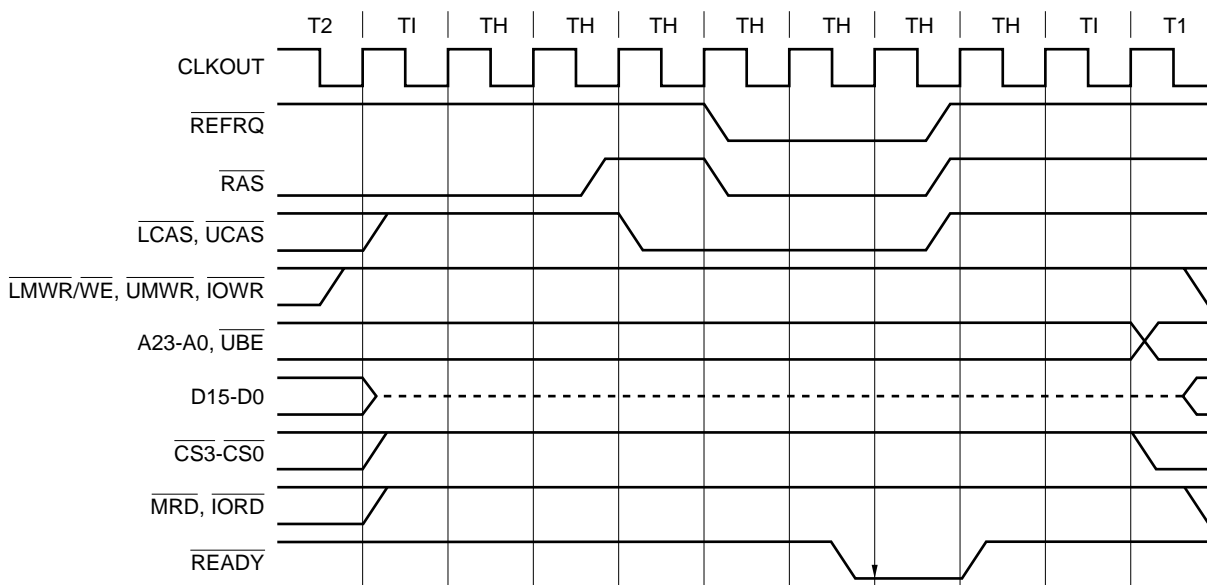
備考 () 内：リフレッシュ間隔の計算値 (μs)

- : 設定不可

(3) CBRリフレッシュ・サイクル

リフレッシュ・サイクルは図7-8のようにバスをホールドして行います。1バス・サイクルに最少7クロックかかり、前後のアイドル・サイクルを含めると最少9クロックかかります。

図7-8 CBRリフレッシュ・サイクル



備考1 . 破線はハイ・インピーダンスを示します。

2 . : サンプルングするタイミング

7.1.8 セルフ・リフレッシュ機能

DRAMCは、IDLE, STOPモード時にCBRセルフ・リフレッシュ・サイクルを発生します。セルフ・リフレッシュ・サイクルは、スタンバイ・コントロール・レジスタ (STBC) のSMDビットをIDLEまたはSTOPモードに設定して、HALT命令を実行すると起動します。

DRAMがセルフ・リフレッシュ動作に入るためには、DRAMの $\overline{\text{RAS}}$ パルス幅の規格 (100 μs 以上) を満足させる必要があります。

セルフ・リフレッシュの解除は、 $\overline{\text{RESET}}$ 端子または $\overline{\text{NMI}}$ 端子で行います。 $\overline{\text{RESET}}$ 入力による解除は、通常のリセット処理と同じです。次に、それ以外のセルフ・リフレッシュの解除の方法を説明します。

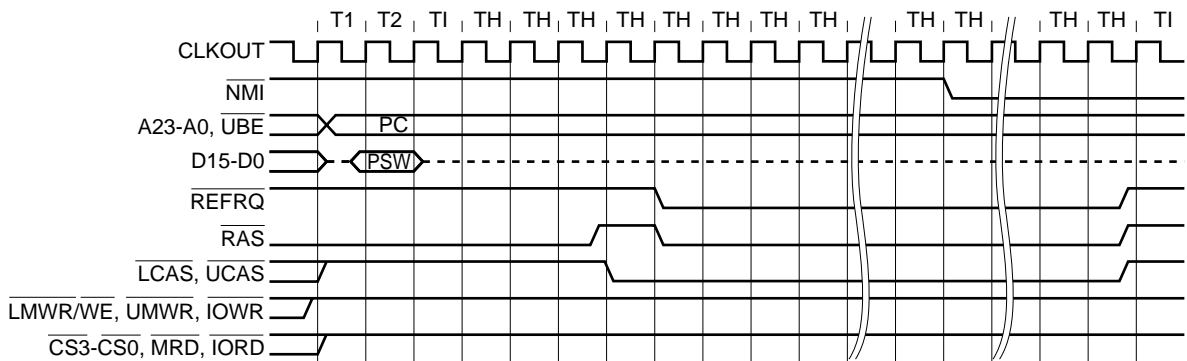
(1) $\overline{\text{NMI}}$ 入力による解除

IDLEモード時のCBRセルフ・リフレッシュ・サイクル中に $\overline{\text{NMI}}$ 割り込みが発生すると、DRAMCはすぐに $\overline{\text{REFRQ}}$, $\overline{\text{RAS}}$, $\overline{\text{LCAS}}$, $\overline{\text{UCAS}}$ 信号をインアクティブにし、CBRセルフ・リフレッシュを解除します。

STOPモード時のCBRセルフ・リフレッシュ・サイクル中に $\overline{\text{NMI}}$ 割り込みが発生すると、DRAMCは発振安定時間確保後に、上述の各信号をインアクティブにし、CBRセルフ・リフレッシュを解除します。

図7-9 CBRセルフ・リフレッシュの $\overline{\text{NMI}}$ 入力による解除

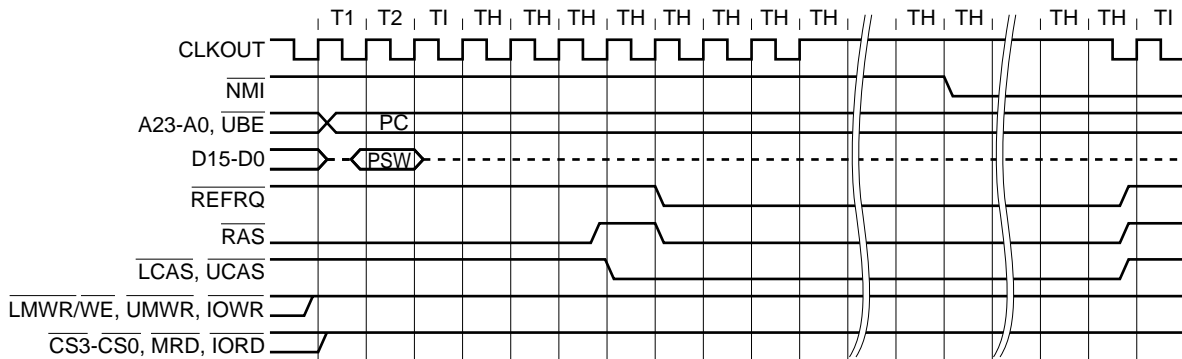
(a) IDLEモード時



備考1. 破線はハイ・インピーダンスを示します。

2. $\overline{\text{NMI}}$ 入力には、アナログ・ディレイを含むノイズ除去回路を使用しています。したがって $\overline{\text{NMI}}$ 入力から、 $\overline{\text{REFRQ}}$, $\overline{\text{RAS}}$, $\overline{\text{LCAS}}$, $\overline{\text{UCAS}}$ がインアクティブになるまでの時間は、使用条件により変動します。

(b) STOPモード時

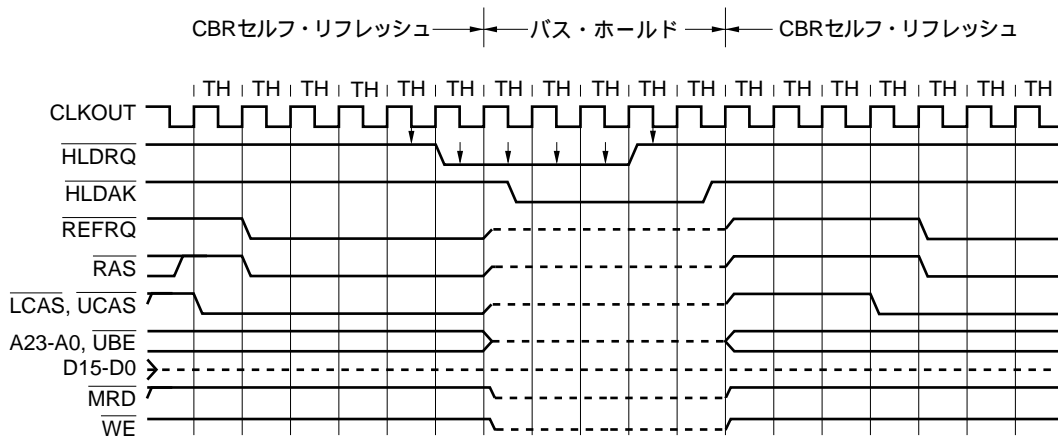


備考 破線はハイ・インピーダンスを示します。

(2) HLDRQ 入力による解除 (IDLEモード時)

IDLEモード時のCBRセルフ・リフレッシュ中にホールド要求が起こると、DRAM制御端子がハイ・インピーダンス出力となりバス・ホールド状態になります。ホールド要求が解除されると、再度CBRセルフ・リフレッシュ・サイクルを起動します。

図7-10 CBRセルフ・リフレッシュのHLDRQ 入力による解除 (IDLEモード時)



備考1. 破線はハイ・インピーダンスを示します。

2. : サンプリングするタイミング

7.2 ROMコントローラ (ROMC)

ページ・アクセス機能付きROM (Page-ROM) へのアクセスに対応します。

直前のバス・サイクルとのアドレス比較を行い、通常アクセス (off-page) / ページ・アクセス (on-page) のウェイト制御を行います。8-64バイトのページ幅に対応できます。

Page-ROMサイクルは、アドレス・ブロック3に対応しています。

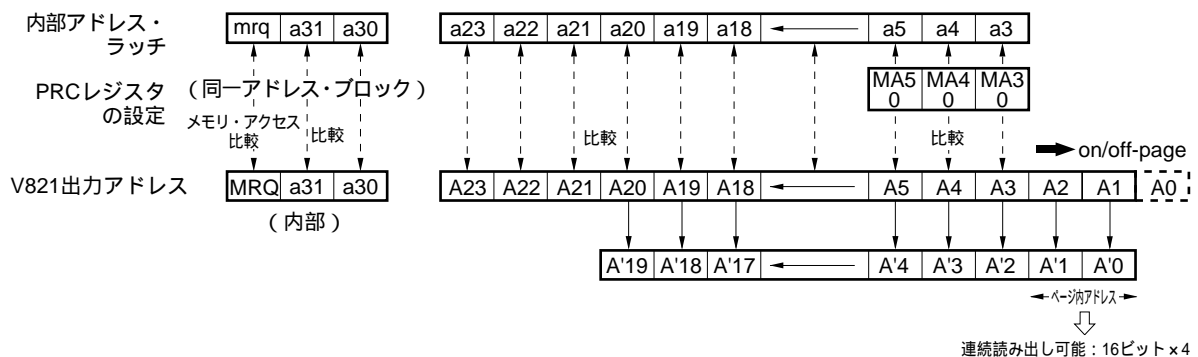
7.2.1 on-page/off-pageの判断

Page-ROMサイクルのon-page/off-pageは、前回のサイクルのアドレスをラッチし現在のサイクルのアドレスと比較することにより判断します。

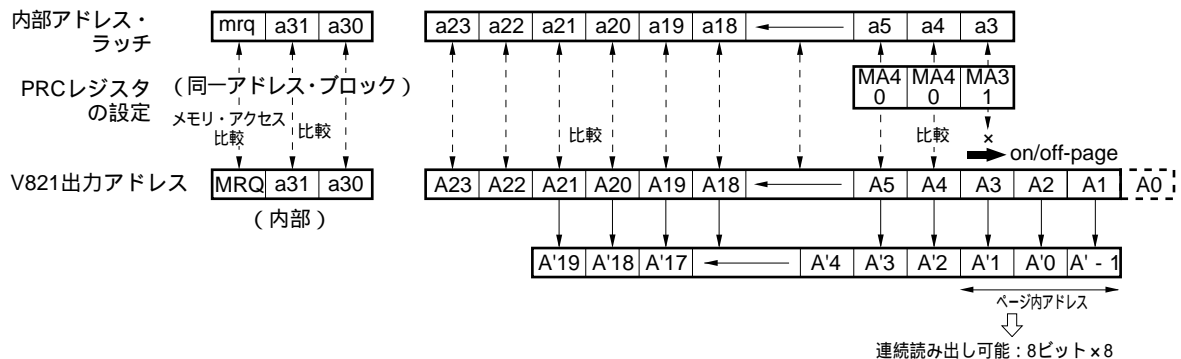
Page-ROMコンフィギュレーション・レジスタ (PRC) により、接続するPage-ROMの構成、連続する読み出し可能なビット数に応じて、アドレス (A3-A5) のうちマスクする (比較しない) アドレスを設定します。

図7-11 ページ・アクセス機能付きROM接続時のon-page/off-page判断

(1) 16 MビットROM (1 M × 16) の場合



(2) 16 MビットROM (2 M × 8) の場合

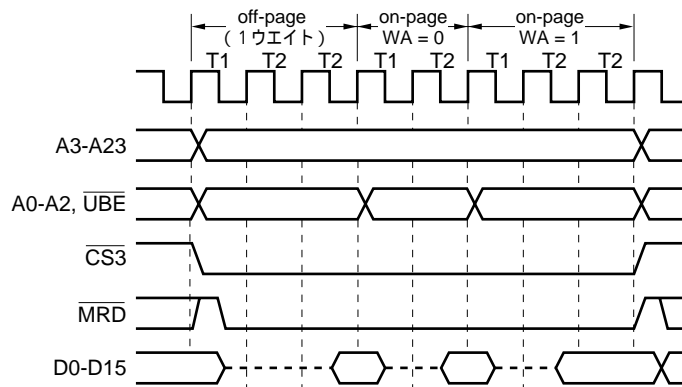


7.2.2 Page-ROMアクセス

Page-ROMへのアクセスは、on-page時は0または1ウェイトで、off-page時は0-7ウェイトで行われます。on-page時のウェイト数は、Page-ROMコンフィギュレーション・レジスタ（PRC）のWAビットで指定します。

図7-12にPage-ROMサイクルのタイミングを、図7-13、7-14にV821とPage-ROMの接続例を示します。

図7-12 Page-ROMサイクル・タイミング（16 M（1 M × 16）Page-ROM）



備考 破線はハイ・インピーダンスを示します。

図7-13 16 M（1 M × 16）Page-ROMとの接続

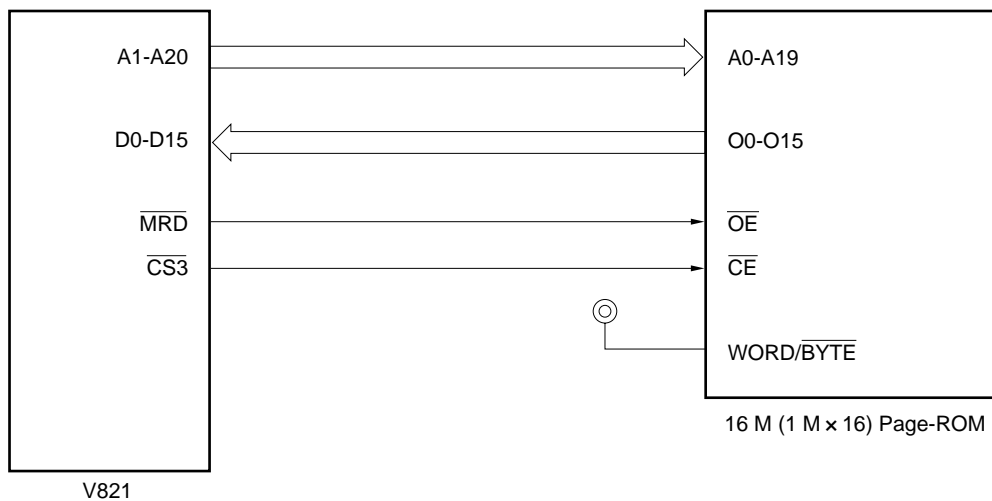
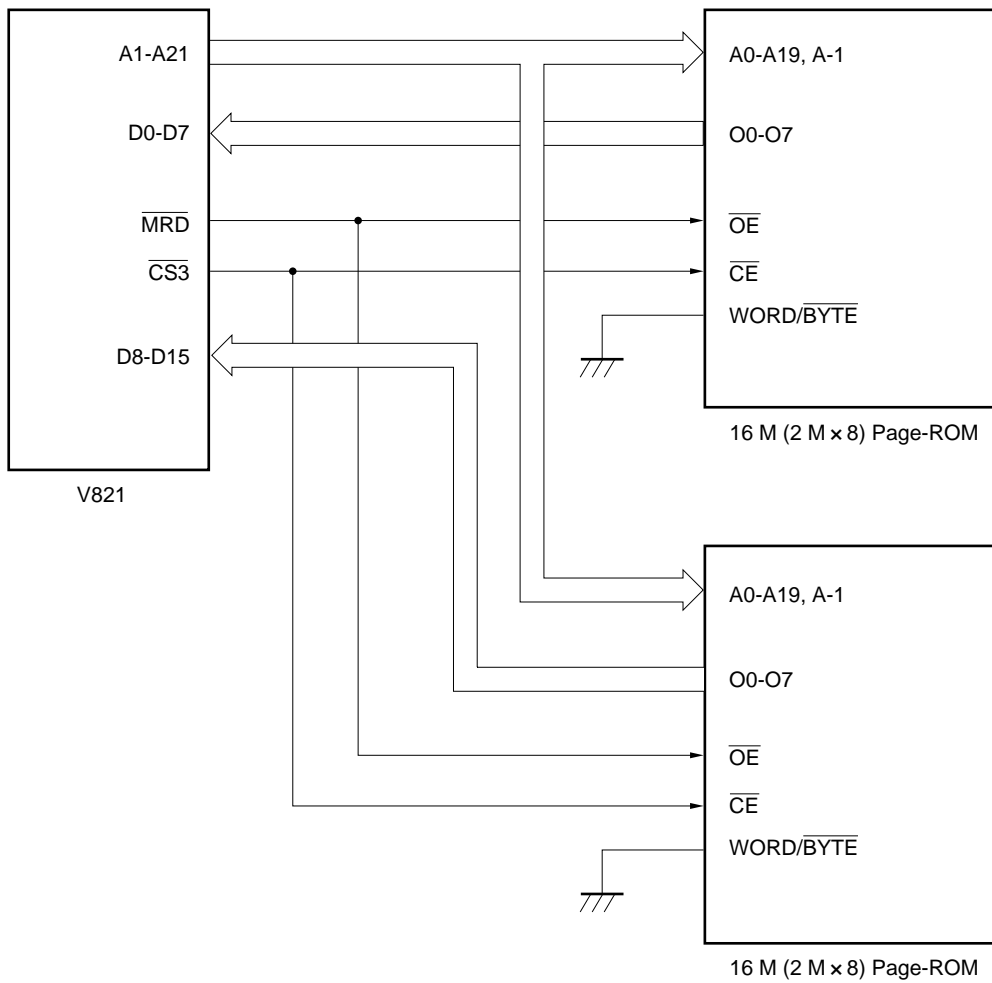


図7 - 14 16 M (2 M × 8) Page-ROMとの接続



7.2.3 Page-ROMコンフィギュレーション・レジスタ (PRC)

接続するPage-ROMの構成，連続読み出し可能なビット数に応じて，アドレス (A3-A5) のうちマスクする (比較しない) アドレスを設定します。また，システム・クロックに応じたウエイトを設定します。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
PRC	WA	0	0	0	0	MA5	MA4	MA3	アドレス C000002CH	リセット時 80H

ビット位置	ビット名	意味																				
7	WA	Wait Adjustment システム・クロックに応じたウエイトを設定します。 on-page時にのみ，このビットで設定するウエイトが挿入されます。off-page時には，PWC1レジスタのWS3ビットで設定するウエイトが挿入されます。 0 : 0ウエイト 1 : 1ウエイト																				
2-0	MA5-MA3	Mask Address MA5-MA3に対応してそれぞれアドレス (A5-A3) をマスクします (1でマスク)。マスクされたアドレスは，on/off-page判断の際の比較対象になりません。連続読み出し可能なビット数に応じて設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>MA5</th> <th>MA4</th> <th>MA3</th> <th>連続読み出し可能なビット数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>4ワード×16ビット (8ワード×8ビット)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>8ワード×16ビット (16ワード×8ビット)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>16ワード×16ビット (32ワード×8ビット)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>32ワード×16ビット (64ワード×8ビット)</td> </tr> </tbody> </table>	MA5	MA4	MA3	連続読み出し可能なビット数	0	0	0	4ワード×16ビット (8ワード×8ビット)	0	0	1	8ワード×16ビット (16ワード×8ビット)	0	1	1	16ワード×16ビット (32ワード×8ビット)	1	1	1	32ワード×16ビット (64ワード×8ビット)
MA5	MA4	MA3	連続読み出し可能なビット数																			
0	0	0	4ワード×16ビット (8ワード×8ビット)																			
0	0	1	8ワード×16ビット (16ワード×8ビット)																			
0	1	1	16ワード×16ビット (32ワード×8ビット)																			
1	1	1	32ワード×16ビット (64ワード×8ビット)																			

第8章 DMA機能 (DMAコントローラ)

V821は、DMA転送を実行制御するDMA (Direct Memory Access) コントローラを備えています。

DMAC (DMAコントローラ) は、内蔵周辺ハードウェア (シリアル・インタフェース, タイマ), 外部DREQ端子, またはソフトウェア・トリガによるDMA要求に基づいて、メモリ-I/O間またはメモリ-メモリ間でデータを転送します。

8.1 特 徴

2組の独立なDMAチャンネル

転送単位: 8ビット/16ビット

最大転送回数: 65536 (2^{16}) 回

2種類の転送タイプ

- ・フライバイ (1サイクル) 転送
- ・2サイクル転送

3種類の転送モード

- ・シングル転送モード
- ・シングルステップ転送モード
- ・ブロック転送モード

転送要求

- ・外部DREQ端子 (2本)
- ・内蔵周辺ハードウェア (シリアル・インタフェース, タイマ) からの要求
- ・ソフトウェアによる要求

転送対象

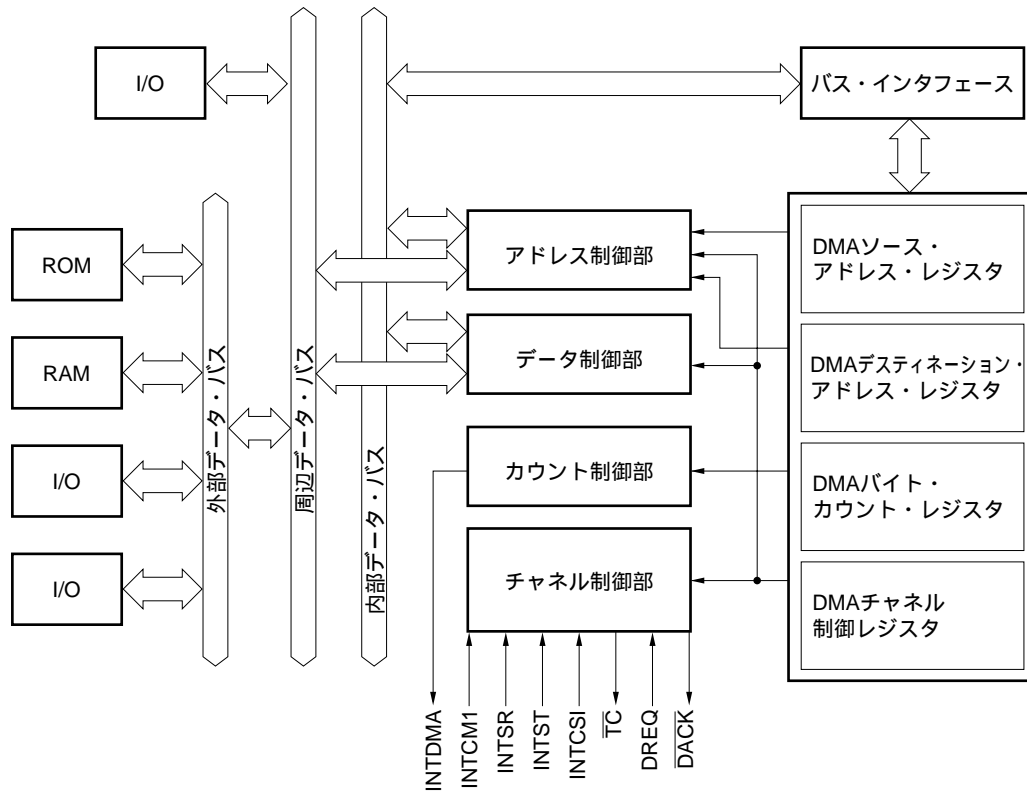
- ・メモリ I/O
- ・メモリ メモリ

プログラマブル・ウェイト機能

DMA転送終了出力信号 (\overline{TC})

8.2 構成

図8-1 DMACブロック図



8.3 DMA制御レジスタ

8.3.1 DMAソース・アドレス・レジスタ0, 1 (DSA0, DSA1)

DMAチャンネル0または1のDMA転送元アドレス(24ビット)とDMA転送元アドレス・ブロックを設定します。このレジスタは、DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。

DMA転送中は、次のDMA転送元アドレスを保持します。

DMAチャンネル制御レジスタ(DCHC0, DCHC1)のTYPビットでフライバイ転送に設定した場合、メモリのアドレスはDSAnレジスタで設定します。DMAデスティネーション・アドレス・レジスタ0, 1(DDA0, DDA1)の設定は無視されます。

(1) DMAソース・アドレス・レジスタ0H, 1H (DSA0H, DSA1H)

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時
DSA0H	0	0	0	0	0	SBT	SBN	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	C0000040H	不定	
DSA1H																C0000048H	不定	

ビット位置	ビット名	意味															
10	SBT	Source Block Type 転送元のアドレス・ブロックがメモリかI/Oかを設定します。 フライバイ転送時は0を設定してください。 0 : メモリ 1 : I/O															
9, 8	SBN	Source Block Number 転送元のアドレス・ブロック番号を指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="2">SBN</th> <th>アドレス・ブロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table>	SBN		アドレス・ブロック	0	0	0	0	1	1	1	0	2	1	1	3
SBN		アドレス・ブロック															
0	0	0															
0	1	1															
1	0	2															
1	1	3															
7-0	SA23-SA16	Source Address DMA転送元のアドレス(A23-A16)を設定します。DMA転送中は、次のDMA転送元アドレスを保持します。フライバイ転送時は、メモリのアドレスを設定、保持します。															

(2) DMAソース・アドレス・レジスタ0L, 1L (DSA0L, DSA1L)

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時
DSA0L	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	C0000042H	不定
DSA1L																	C000004AH	不定

ビット位置	ビット名	意味
15-0	SA15-SA0	Source Address DMA転送元のアドレス (A15-A0) を設定します。DMA転送中は、次のDMA転送元アドレスを保持します。

8.3.2 DMAデスティネーション・アドレス・レジスタ0, 1 (DDA0, DDA1)

DMAチャンネル0または1のDMA転送先アドレス (24ビット) とDMA転送先アドレス・ブロックを設定します。このレジスタは、DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。

DMA転送中は、次のDMA転送先アドレスを保持します。

DMAチャンネル制御レジスタ0, 1 (DCHC0, DCHC1) のTTYPビットでフライバイ転送に設定した場合、このレジスタの設定は無視されます。



(1) DMAデスティネーション・アドレス・レジスタ0H, 1H (DDA0H, DDA1H)

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時
DDA0H						DBT	DBN	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16	C0000044H	不定	
DDA1H	0	0	0	0	0											C000004CH	不定	

ビット位置	ビット名	意味															
10	DBT	Destination Block Type 転送先のアドレス・ブロックがメモリかI/Oかを設定します。 0 : メモリ 1 : I/O															
9, 8	DBN	Destination Block Number 転送先のアドレス・ブロック番号を指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="2">DBN</th> <th>アドレス・ブロック</th> </tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td> </tr> <tr> <td>0</td><td>1</td><td>1</td> </tr> <tr> <td>1</td><td>0</td><td>2</td> </tr> <tr> <td>1</td><td>1</td><td>3</td> </tr> </tbody> </table>	DBN		アドレス・ブロック	0	0	0	0	1	1	1	0	2	1	1	3
DBN		アドレス・ブロック															
0	0	0															
0	1	1															
1	0	2															
1	1	3															
7-0	DA23-DA16	Destination Address DMA転送先のアドレス (A23-A16) を設定します。DMA転送中は、次のDMA転送先アドレスを保持します。フライバイ転送時は無視されます。															

(2) DMAデスティネーション・アドレス・レジスタ0L, 1L (DDA0L, DDA1L)

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時
DDA0L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	C0000046H	不定
DDA1L																	C000004EH	不定

ビット位置	ビット名	意味
15-0	DA15-DA0	Destination Address DMA転送先のアドレス (A15-A0) を設定します。DMA転送中は、次のDMA転送先アドレスを保持します。フライバイ転送時は無視されます。

8.3.3 DMAバイト・カウント・レジスタ0, 1 (DBC0, DBC1)

DMAチャンネル0または1のバイト転送数を設定する16ビット・レジスタです。

DMA転送中は、残り転送回数を保持します。

バイト転送の場合は1ずつデクリメント、16ビット転送の場合は2ずつデクリメントされ、ポローが発生すると転送を終了します。したがって、バイト転送の場合は“転送回数 - 1”を、16ビット転送の場合は“(転送回数 - 1) × 2”を設定します。

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時
DBC0	BC																C0000050H	不定
DBC1																	C0000052H	不定

ビット位置	ビット名	意味										
15-0	BC	Byte Count バイト転送数を設定します。DMA転送中は残りバイト転送数を保持します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>BC</th> <th>状態</th> </tr> </thead> <tbody> <tr> <td>00H</td> <td>1回のバイト転送または残りバイト転送数</td> </tr> <tr> <td>01H</td> <td>2回のバイト転送または残りバイト転送数</td> </tr> <tr> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>FFFFH</td> <td>65536 (2¹⁶) 回のバイト転送または残りバイト転送数</td> </tr> </tbody> </table>	BC	状態	00H	1回のバイト転送または残りバイト転送数	01H	2回のバイト転送または残りバイト転送数	⋮	⋮	FFFFH	65536 (2 ¹⁶) 回のバイト転送または残りバイト転送数
BC	状態											
00H	1回のバイト転送または残りバイト転送数											
01H	2回のバイト転送または残りバイト転送数											
⋮	⋮											
FFFFH	65536 (2 ¹⁶) 回のバイト転送または残りバイト転送数											



8.3.4 DMAチャネル・コントロール・レジスタ0, 1 (DCHC0, DCHC1)

DMAチャネル0または1のDMA転送動作モードを制御する16ビット・レジスタです。

奇数アドレスの16ビット転送はできません (A0端子は0に設定してください)。

16ビット単位でリード/ライト可能です (ただしビット15はリードのみ可能です)。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時
DCHC0	TC	0	0	0	SAD	DAD	TTYP	TDIR	TM	DS	EN						C0000054H	0000H
DCHC1																	C0000056H	0000H

ビット位置	ビット名	意味															
15	TC	Terminal Count DMAチャネルnのDMA転送の終了/未終了を示すステータス・ビットです。 読み出しだけができます。ターミナル・カウントによりDMA転送が終了するとセットされ、読み出しによりリセットされます。 0 : DMA転送未終了 1 : DMA転送終了															
11, 10	SAD	Source Address count Direction DMAチャネルnの転送元アドレスのカウント方向を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="2">SAD</th> <th>カウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	SAD		カウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
SAD		カウント方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															
9, 8	DAD	Destination Address count Direction DMAチャネルnの転送先アドレスのカウント方向を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="2">DAD</th> <th>カウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	DAD		カウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
DAD		カウント方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															

ビット位置	ビット名	意味																																				
7-5	TTYP	<p>Transfer Type</p> <p>DMA転送の起動要因と転送方向を設定します。</p> <table border="1"> <thead> <tr> <th colspan="3">TTYP</th> <th>起動要因と転送方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>DREQn信号で起動：2サイクル転送</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>DREQn信号で起動：フライバイ転送</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>ソフトウェアで起動：2サイクル転送</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>INTST信号で起動：2サイクル転送</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>INTSR信号で起動：2サイクル転送</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>INTCSI信号で起動：2サイクル転送</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>INTCM1信号で起動：2サイクル転送</td> </tr> </tbody> </table>	TTYP			起動要因と転送方向	0	0	0	DREQn信号で起動：2サイクル転送	0	0	1	DREQn信号で起動：フライバイ転送	0	1	0	ソフトウェアで起動：2サイクル転送	0	1	1	設定禁止	1	0	0	INTST信号で起動：2サイクル転送	1	0	1	INTSR信号で起動：2サイクル転送	1	1	0	INTCSI信号で起動：2サイクル転送	1	1	1	INTCM1信号で起動：2サイクル転送
TTYP			起動要因と転送方向																																			
0	0	0	DREQn信号で起動：2サイクル転送																																			
0	0	1	DREQn信号で起動：フライバイ転送																																			
0	1	0	ソフトウェアで起動：2サイクル転送																																			
0	1	1	設定禁止																																			
1	0	0	INTST信号で起動：2サイクル転送																																			
1	0	1	INTSR信号で起動：2サイクル転送																																			
1	1	0	INTCSI信号で起動：2サイクル転送																																			
1	1	1	INTCM1信号で起動：2サイクル転送																																			
4	TDIR	<p>Transfer Direction</p> <p>I/O メモリ転送時の転送方向を設定します。設定はフライバイ転送時だけ有効で、2サイクル転送時は無視されます。</p> <p>0：メモリ I/O (リード)</p> <p>1：I/O メモリ (ライト)</p>																																				
3, 2	TM	<p>Transfer Mode</p> <p>DMA転送時の転送モードを設定します。</p> <table border="1"> <thead> <tr> <th colspan="2">TM</th> <th>転送モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>シングル・モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>シングルステップ・モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>ブロック・モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	TM		転送モード	0	0	シングル・モード	0	1	シングルステップ・モード	1	0	ブロック・モード	1	1	設定禁止																					
TM		転送モード																																				
0	0	シングル・モード																																				
0	1	シングルステップ・モード																																				
1	0	ブロック・モード																																				
1	1	設定禁止																																				
1	DS	<p>Data Size</p> <p>DMA転送での転送データ・サイズを設定します。</p> <p>0：8ビット</p> <p>1：16ビット</p>																																				
0	EN	<p>Enable</p> <p>DMAチャンネルnのDMA転送の許可/禁止を設定します。ターミナル・カウントによりDMA転送が終了するとリセットされます。また、$\overline{\text{NMI}}$入力による強制終了時にもリセットされます。</p> <p>0：DMA転送の禁止</p> <p>1：DMA転送の許可</p>																																				

8.4 転送モード

8.4.1 シングル転送モード

シングル転送では、DMACは1回のバイト/ワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

図8-2、8-3にシングル転送の例を示します。図8-3は、優先順位の高いDMA要求が発生した場合のシングル転送の例で、DMAチャンネル0はブロック転送、チャンネル1はシングル転送です。

図8-2 シングル転送例1

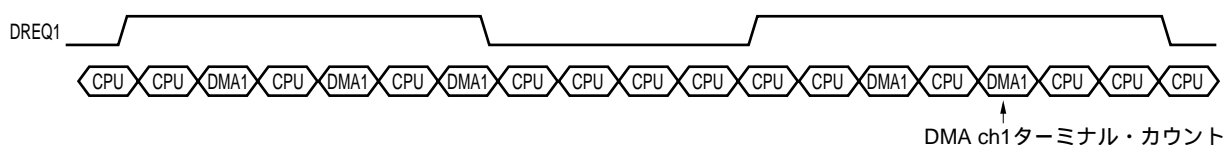
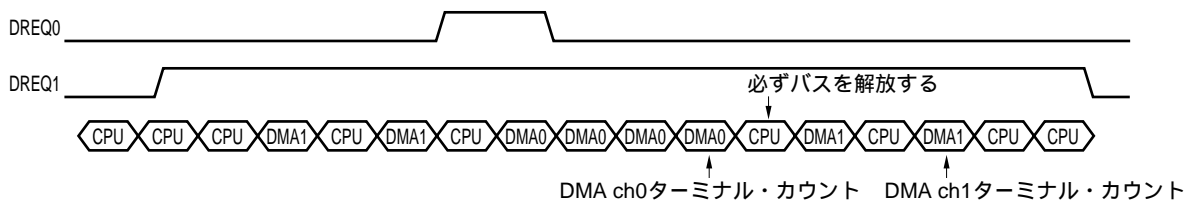


図8-3 シングル転送例2



8.4.2 シングルステップ転送モード

シングルステップ転送では、DMACは1回のバイト/ワード転送ごとにバスを解放します。1度リクエスト信号 (DREQ) を受けると、ターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

図8-4, 8-5にシングルステップ転送の例を示します。

図8-4 シングルステップ転送例1

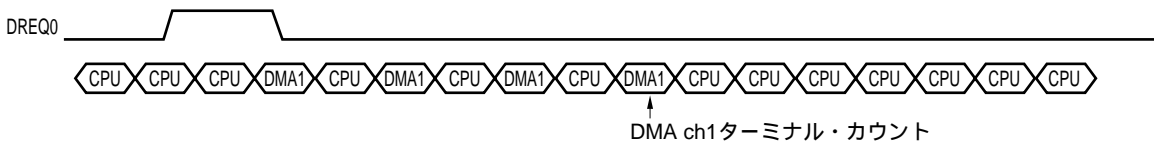
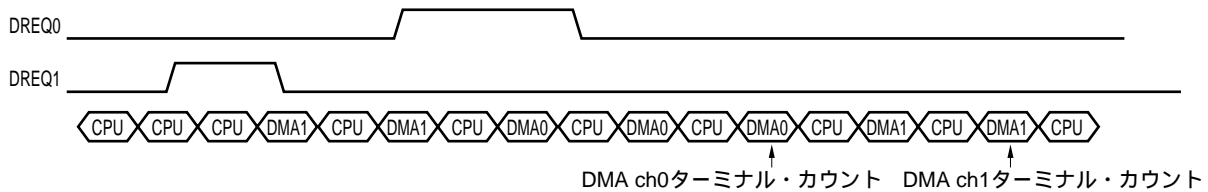


図8-5 シングルステップ転送例2



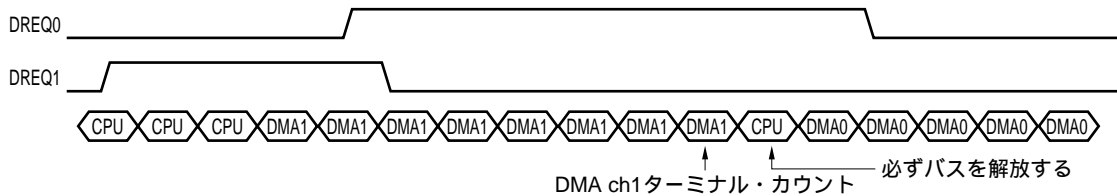
8.4.3 ブロック転送モード

ブロック転送では、転送が開始されるとターミナル・カウントが発生するまでバスを解放せず転送を続けます。ブロック転送中は、ほかのDMA要求は受け付けません。

ブロック転送が終了しDMACがバスを解放したあとに、ほかのDMA転送を受け付けます。

図8-6にブロック転送の例を示します。優先順位の高いDMA要求が発生した場合のブロック転送の例で、DMAチャンネル0, 1はブロック転送です。

図8-6 ブロック転送例



8.5 DMA転送タイプと転送対象

8.5.1 2サイクル転送

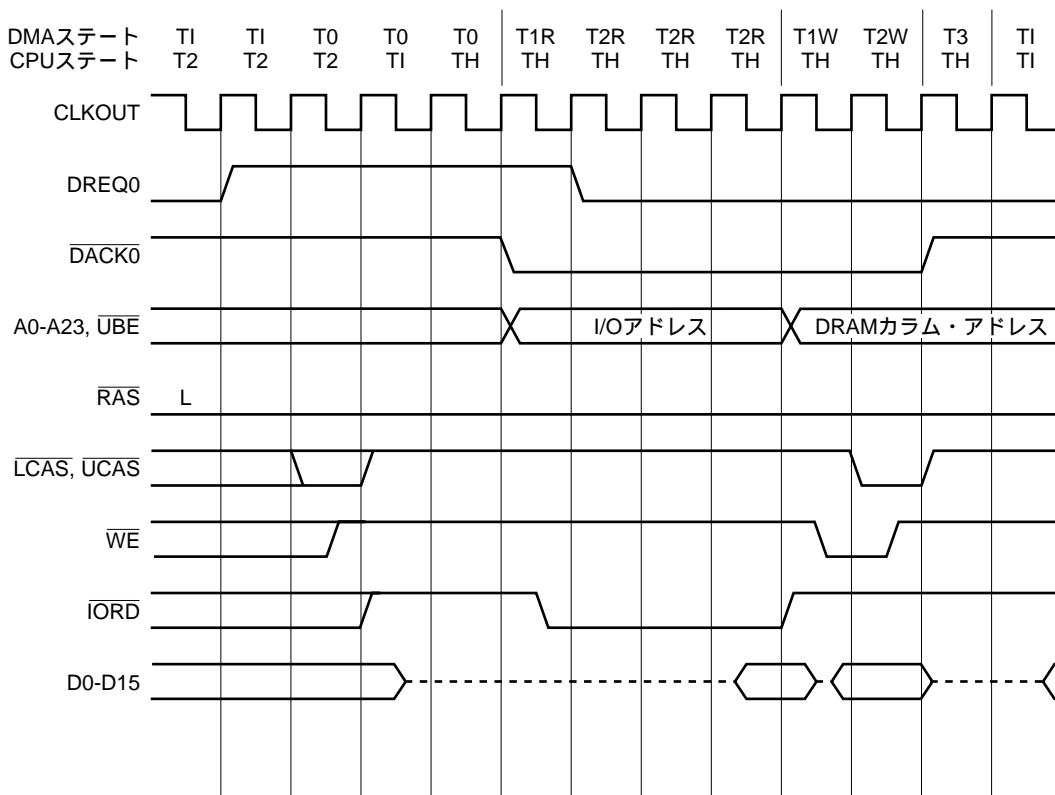
2サイクル転送は、転送元 DMAC, DMAC 転送先と2回のサイクルでデータを転送します。

1回目のサイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、2回目のサイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

図8-7に2サイクル転送の例を示します。

図8-7 2サイクル・シングルステップDMA転送のタイミング

(外部I/O DRAM (on-page))



備考 破線はハイ・インピーダンスを示します。

8.5.2 フライバイ転送

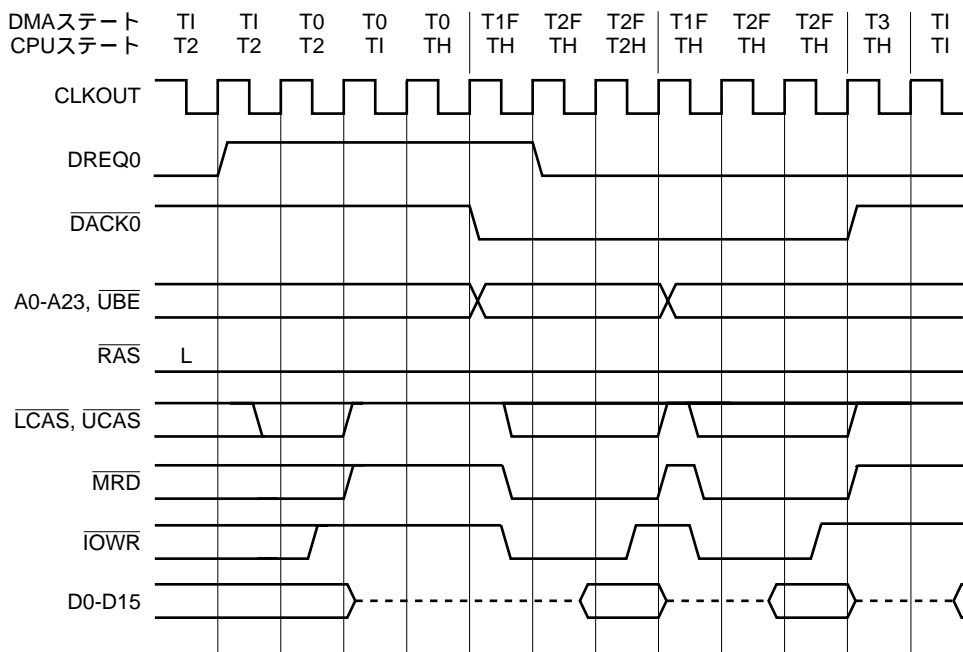
フライバイ転送は、1サイクルでメモリ-I/O間の転送を行います。1サイクルで行うため、転送先、転送元にかかわらず常にメモリのアドレスを出力し、メモリ、I/Oのリード/ライト信号を同時にアクティブにします。

I/Oは、 $\overline{\text{DACK}}$ 信号で選択します。

図8 - 8に1ウェイト挿入のときのフライバイDMA転送の例を示します。

図8 - 8 フライバイDMA転送のタイミング

(DRAM (on-page) 外部I/O)



備考 破線はハイ・インピーダンスを示します。

8.5.3 転送対象

転送の種類と転送対象の関係を表8 - 1に示します。

表8 - 1 転送の種類と転送対象

DMA転送対象	転送種類
DACK信号で選択される外部I/O メモリ	フライバイ
I/O (外部, 内部) メモリ	2サイクル
メモリ メモリ	2サイクル
I/O (外部, 内部) I/O (外部, 内部)	2サイクル

8.6 DMAチャンネルの優先順位

DMAチャンネルの優先順位は固定で、次のようになります。

DMAチャンネル0 > DMAチャンネル1

この優先順位が有効となるのは、T1ステートのときだけです。ブロック転送中は転送するチャンネルが入れ替わることはありません。

シングルステップ転送中でバスを解放している期間 (T1) 中に、ほかの優先順位が高いDMA転送要求が発生した場合は、優先順位が高いDMA転送を行います。

8.7 DMA転送要求

DMA転送要求には、外部DREQ端子からの要求と、ソフトウェアからの要求、内蔵周辺ハードウェアからの要求の3種類があります。それぞれDMAチャンネル制御レジスタ (DCHC) により設定します。

(1) DREQ端子からの要求

DREQ端子による要求は、クロックの立ち下がりごとにサンプリングされますが、対応する \overline{DACK} 信号がアクティブになるまで行ってください。

DMACがT1ステートのときにDREQ端子がアクティブになると、T0ステートに移行しDMA転送が開始されます。

(2) ソフトウェアからの要求

(3) 内蔵周辺ハードウェアからの要求

内蔵周辺ハードウェアからの転送要求信号 (割り込み要求信号) には、次の4種類があります。

UARTからの受信完了割り込み (INTSR)

UARTからの送信完了割り込み (INTST)

CSIからの送受信完了割り込み (INTCSI)

RPUからのコンペア・レジスタ1 (CM1) の一致割り込み (INTCM1)

8.8 DMA転送終了割り込み

DMA転送が終了しDCHCレジスタのTCビットが " 1 " になると、割り込みコントローラに対してDMA転送終了割り込みを発生します。チャンネル0とチャンネル1の論理和として出力します (表4-1 割り込み一覧参照)。

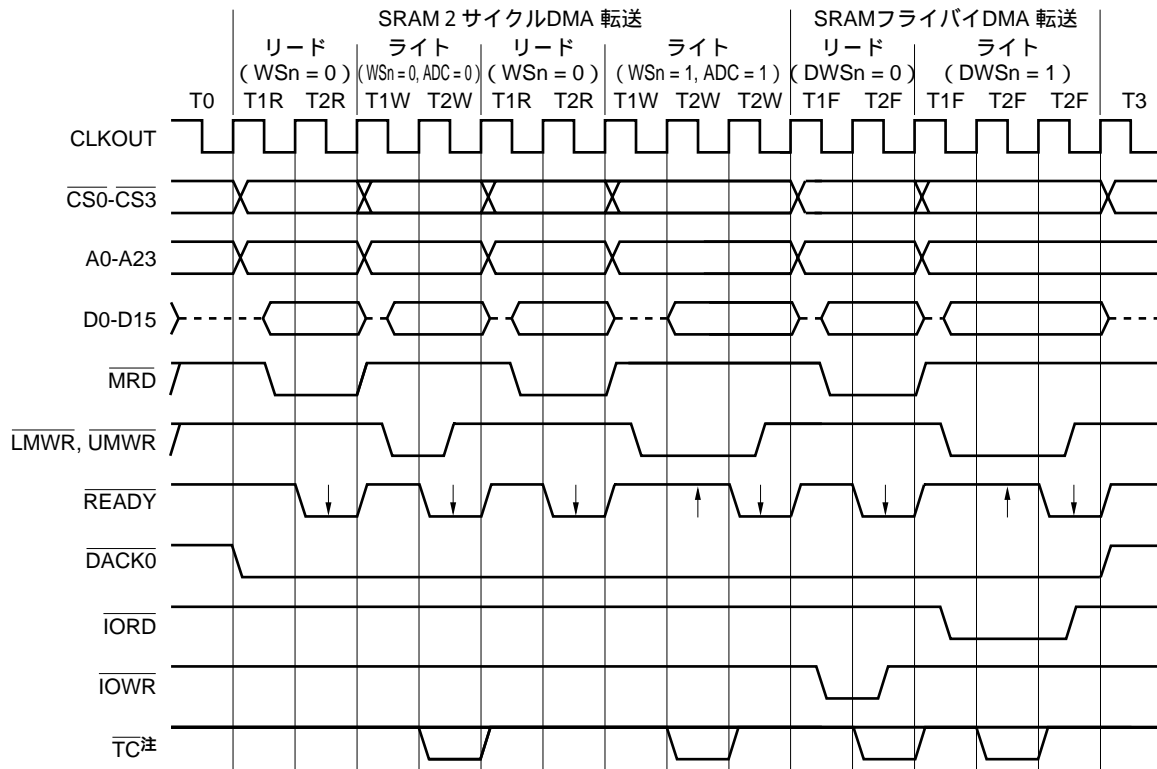
8.9 DMA転送終了出力

DMA転送が終了するサイクルのT2FステートまたはT2Wステートで、 \overline{TC} 出力が1クロック間アクティブになります。図8 - 9に、SRAM 2サイクルDMA転送のときと、SRAMフライバイDMA転送のときの \overline{TC} 出力のタイミングを示します。

\overline{TC} 出力は、チャンネル0とチャンネル1のDMA転送終了出力の論理和をとって出力します。外部回路で $\overline{DACK0}$ 、 $\overline{DACK1}$ 信号と論理積をとることにより、チャンネル0とチャンネル1のDMA転送終了出力を生成できます。

★

図8 - 9 DMA転送終了出力タイミング



注 DMA転送終了時にアクティブになります。

備考1 . 破線はハイ・インピーダンスを示します。

2 . : サンプルングするタイミング

8.10 強制中断

DMA転送中の $\overline{\text{NMI}}$ 入力により、DMA転送を強制的に中断することができます。このときDMACは、すべてのチャンネルのDCHCレジスタのENビット = 0にし、DMA転送を禁止します。

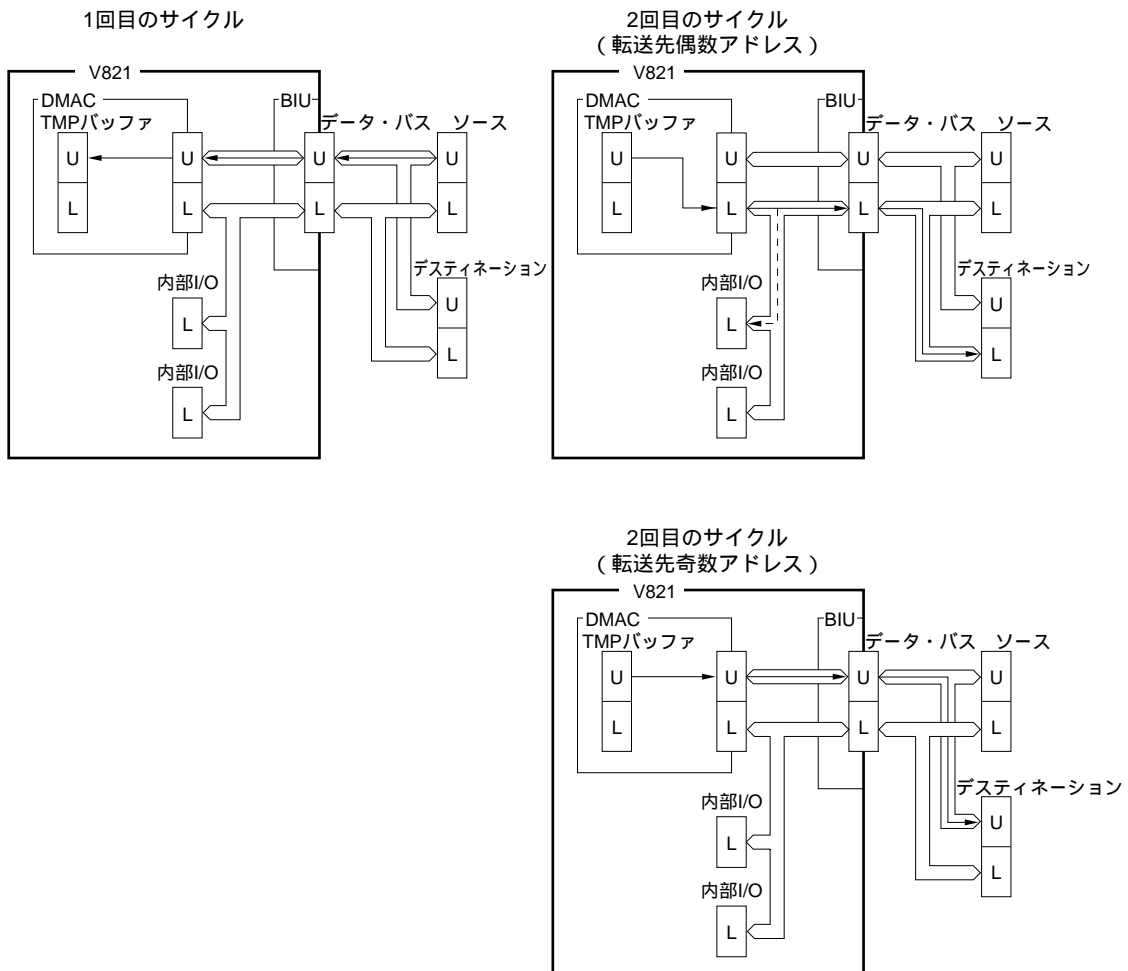
また、この状態でEN = 1にするとDMA転送を中断したところから再開します。

8.11 DMA転送中のデータの流れ

図8 - 10, 8 - 11に2サイクル転送のバイト転送と16ビット転送の動作を、図8 - 12にフライバイ転送の動作を示します。ここで、Lは16ビット・データの低位8ビット部分、Uは上位8ビット部分とします。

図8 - 10 DMA転送データの流れ (2サイクル・バイト転送)

(1) 転送元が奇数アドレスの場合



(2) 転送元が偶数アドレスの場合

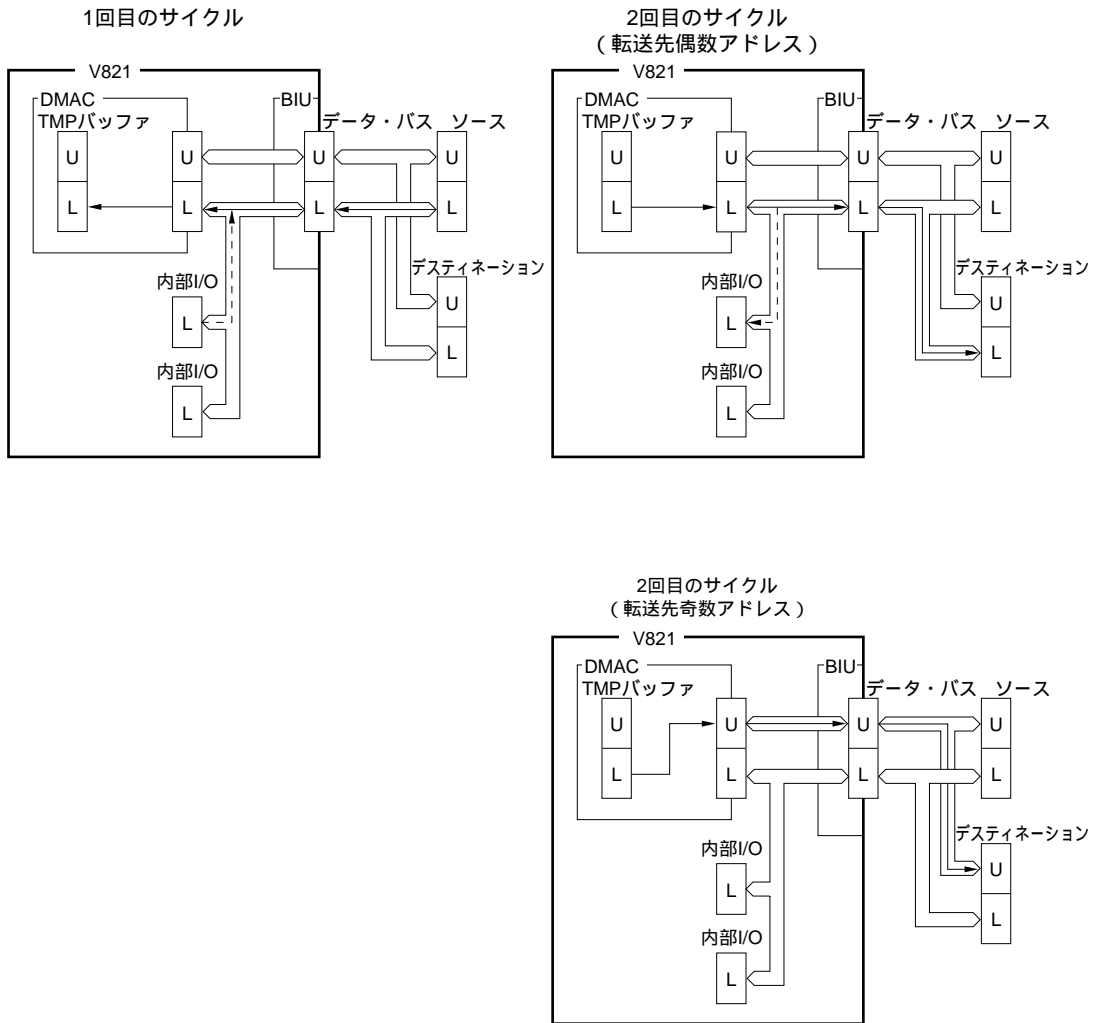


図8-11 DMA転送データの流れ (2サイクル16ビット転送)

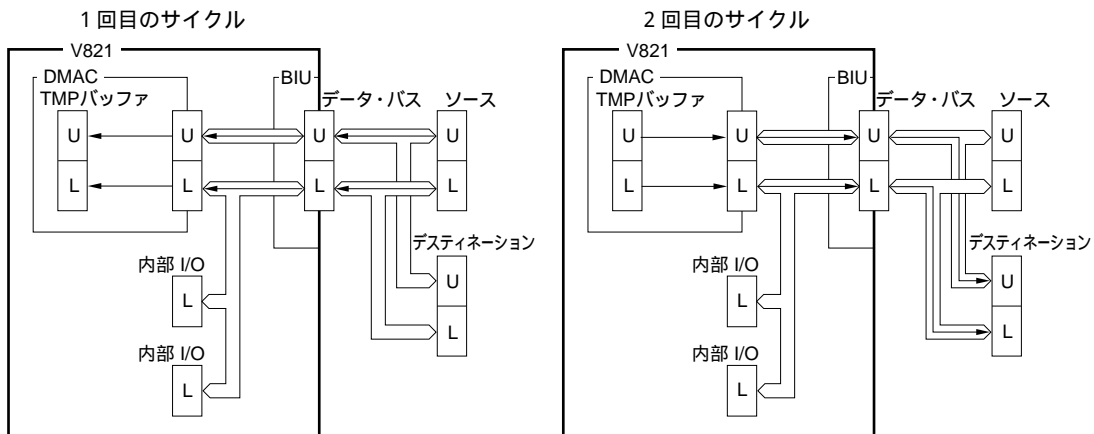
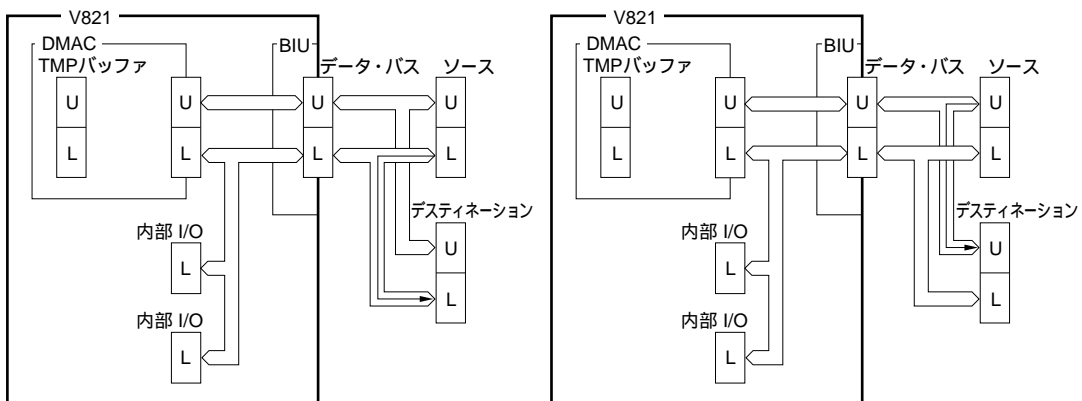


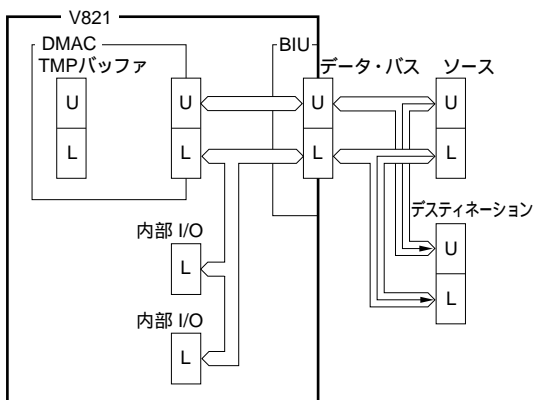
図8-12 DMA転送データの流れ (フライバイ転送)

(1) メモリが偶数アドレスのバイト転送

(2) メモリが奇数アドレスのバイト転送



(3) 16ビット転送



〔メ モ〕

第9章 シリアル・インタフェース機能

9.1 特 徴

V821は、シリアル・インタフェース機能として、計2チャンネルの送受信チャンネルを備えます。

インタフェース形態としては次の2種類があり、それぞれ1チャンネルずつ備えます。この2つは独立に動作します。

- (1) アシンクロナス・シリアル・インタフェース (UART)
- (2) クロック同期式シリアル・インタフェース (CSI)

UARTは、スタート・ビットに続く1バイトのシリアル・データを送受信する方式をとり、全二重通信ができます。

CSIは、シリアル・クロック ($\overline{\text{SCLK}}$) とシリアル入力 (SI) , シリアル出力 (SO) の3本の信号線によるデータ転送を行います (3線式シリアルI/O)。

9.2 アシクロナス・シリアル・インタフェース (UART)

9.2.1 特 徴

転送速度 110 bps - 38400 bps (BRG使用 , = 25 MHz時)

最大781 Kbps (/2 使用 , = 25 MHz時)

全二重通信

2 端子構成 TXD 送信データの出力端子

RXD 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込み要因3種

- ・受信エラー割り込み (INTSER)
- ・受信完了割り込み (INTSR)
- ・送信完了割り込み (INTST)

送受信データのキャラクタ長はASIMレジスタで指定

キャラクタ長 : 7 , 8 ビット

9 ビット (拡張ビット付加時)

パリティ機能 : 奇数 , 偶数 , 0 , なし

送信ストップ・ビット : 1 , 2 ビット

ポー・レート・ジェネレータ内蔵

9.2.2 構成

アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) によって、アシンクロナス・シリアル・インタフェースを制御します。受信データは受信バッファ (RXB) に保持され、送信データは送信シフト・レジスタ (TXS) に書き込みます。

アシンクロナス・シリアル・インタフェースは、図9 - 1のように構成されます。

(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)

ASIMレジスタは、アシンクロナス・シリアル・インタフェースの動作を指定する8ビット・レジスタです。

(2) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)

ASISレジスタは、受信エラー発生時のエラー内容を示すフラグおよび送信ステータス・フラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット(1)され、受信バッファ (RXB, RXBL) からデータを読み出すか、新たに次のデータを受信することによってリセット(0)されます(次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

送信ステータス・フラグは送信開始タイミングにセット(1)され、送信が終了するとリセット(0)されます。

(3) 受信制御パリティ・チェック

ASIMレジスタに設定された内容に従って、受信動作を制御します。また、受信動作時にパリティ・エラーなどのエラー・チェックも行い、エラーが検出された場合は、エラー内容に応じた値をASISレジスタにセットします。

(4) 受信シフト・レジスタ

RXD端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信すると、受信データを受信バッファへ転送します。

受信シフト・レジスタはCPUから直接操作することはできません。

(5) 受信バッファ (RXB, RXBL)

RXBは、受信データを保持する9ビットのバッファ・レジスタで、7, 8ビット/キャラクタの受信では上位ビットには0が格納されます。

このレジスタへの16ビット・アクセス時はRXBを、下位8ビット・アクセス時はRXBLを指定します。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。

また、受信バッファへの転送により、受信完了割り込み要求 (INTSR) が発生します。

(6) 送信シフト・レジスタ (TXS, TXSL)

TXSは、9ビットの送信処理用シフト・レジスタで、このレジスタへのデータ書き込みにより、送信動作が開始されます。

TXSのデータを含む1フレームの送出終了に同期して送信完了割り込み要求 (INTST) を発生します。

このレジスタへの16ビット・アクセスはTXSを、下位8ビット・アクセス時はTXSLを指定します。

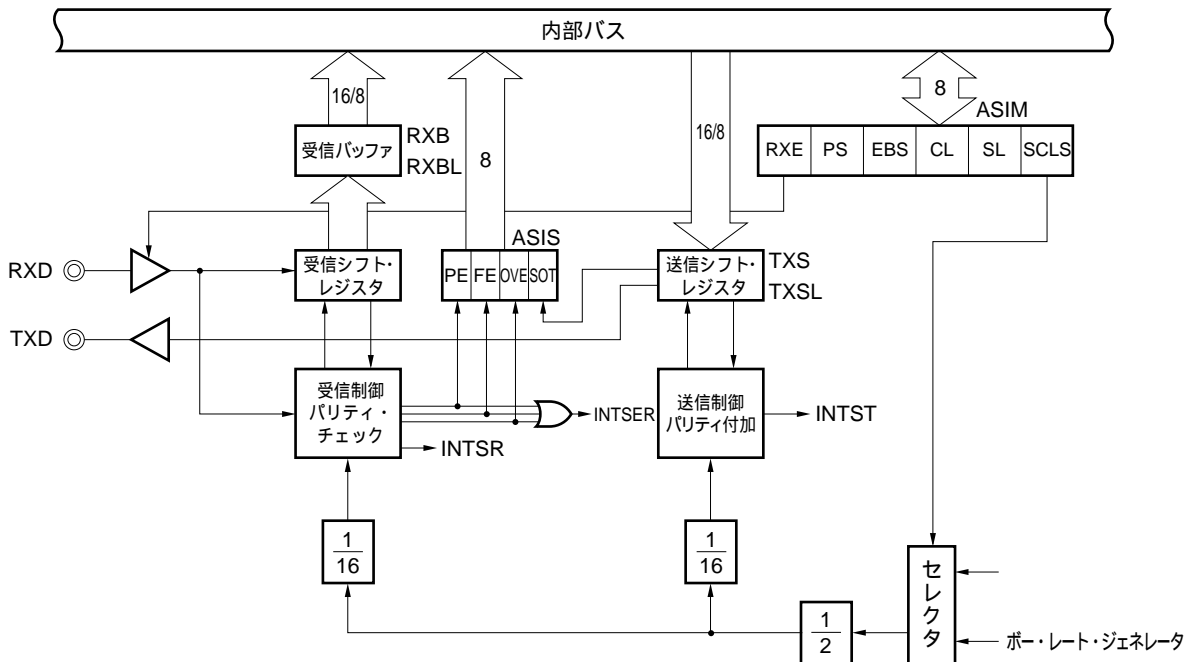
(7) 送信制御パリティ付加

ASIMレジスタに設定された内容に従って、TXSレジスタに書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットを付加するなどして、送信動作の制御を行います。

(8) セレクタ

シリアル・クロックのソースを選択します。

図9 - 1 アシクロナス・シリアル・インタフェースのブロック図



9.2.3 UART制御レジスタ

(1) アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)

UARTの転送モードを指定します。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
ASIM	RXE	PS	EBS	0	CL	SL	SCLS		アドレス C0000080H	リセット時 00H

ビット位置	ビット名	意味
7	RXE	<p>Receive Enable</p> <p>受信許可状態/禁止状態を指定します。</p> <p>0 : 受信禁止状態</p> <p>1 : 受信許可状態</p> <p>受信禁止時は、受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理、受信バッファへの転送処理は行わず、受信バッファの内容は保持されます。</p> <p>受信許可状態中は、スタート・ビットの検出に同期して受信シフト動作を開始し、1フレーム分の受信を終了すると受信シフト・レジスタの内容を受信バッファに転送します。</p> <p>また、受信バッファへの転送に同期して、受信完了割り込み (INTSR) を発生します。</p>

ビット位置	ビット名	意 味															
6, 5	PS	<p>Parity Select</p> <p>パリティ・ビットを指定します。</p> <table border="1"> <thead> <tr> <th colspan="2">PS</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティなし, 拡張ビット動作</td> </tr> <tr> <td>0</td> <td>1</td> <td>0パリティ指定 送信側 パリティ・ビットを0にして送信 受信側 受信時にパリティ・エラーを発生しない</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティ指定</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティ指定</td> </tr> </tbody> </table> <p>・偶数パリティ 送信データ中の値が“1”のビットの数が奇数個の場合にパリティ・ビットを“1”にします。値が“1”のビットの数が偶数個の場合にはパリティ・ビットを“0”にします。これにより、送信データとパリティ・ビットの中に含まれる値が“1”のビット数が偶数個になるよう制御します。受信時には、受信データとパリティ・ビットの中に含まれる値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生しません。</p> <p>・奇数パリティ 偶数パリティとは逆に、送信データとパリティ・ビットの中に含まれる値が“1”のビットを奇数個になるよう制御します。 受信時には、同様に受信データとパリティ・ビットの中に含まれる値が“1”のビットの数が偶数個であった場合にパリティ・エラーを発生します。</p> <p>・0パリティ 送信時には、送信データによらずパリティ・ビットを“0”にします。 受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。</p> <p>・パリティなし 送信データにパリティ・ビットを付加しません。 受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。 EBSビットにより、拡張ビット動作を指定できます。</p>	PS		動 作	0	0	パリティなし, 拡張ビット動作	0	1	0パリティ指定 送信側 パリティ・ビットを0にして送信 受信側 受信時にパリティ・エラーを発生しない	1	0	奇数パリティ指定	1	1	偶数パリティ指定
PS		動 作															
0	0	パリティなし, 拡張ビット動作															
0	1	0パリティ指定 送信側 パリティ・ビットを0にして送信 受信側 受信時にパリティ・エラーを発生しない															
1	0	奇数パリティ指定															
1	1	偶数パリティ指定															

ビット位置	ビット名	意味								
4	EBS	<p>Extended Bit Select</p> <p>パリティなし動作指定 (PS=00) 時の送受信データの拡張ビット動作を指定します。</p> <p>0 : 拡張ビット動作禁止 1 : 拡張ビット動作許可</p> <p>拡張ビット指定時は, 8 ビットの送受信データの上に 1 データ・ビットが付加され, 9 ビット・データによる通信が可能になります。</p> <p>拡張ビット動作は, PSビットでパリティなし動作を指定した場合にのみ有効になります。</p> <p>0 パリティ, 奇数/偶数パリティ動作を指定した場合は, EBSビットの指定は無効になり, 拡張ビットの付加動作は行われません。</p>								
2	CL	<p>Character Length</p> <p>1 フレームのキャラクタ長を指定します。</p> <p>0 : 7 ビット 1 : 8 ビット</p>								
1	SL	<p>Stop Bit Length</p> <p>ストップ・ビット数を指定します。</p> <p>0 : 1 ビット 1 : 2 ビット</p>								
0	SCLS	<p>Serial Clock Source</p> <p>シリアル・クロック・ソースを指定します。</p> <p>0 : BRG,BPRMレジスタで指定 1 : /2</p> <p>・ SCLS = 1の場合</p> <p>シリアル・クロック・ソースに, /2 (シリアル・クロック) が選択されます。非同期モードでは, ×16のサンプリング・レートを使用しているため, ボー・レートは次式で表されます。</p> $\text{ボー・レート} = \frac{/2}{16} \text{ bps}$ <p>上記の式に基づき, 代表的クロックを使用した場合のボー・レートの値を以下に示します。</p> <table border="1"> <thead> <tr> <th></th> <th>25 MHz</th> <th>20 MHz</th> <th>16 MHz</th> </tr> </thead> <tbody> <tr> <td>ボー・レート</td> <td>781 K</td> <td>625 K</td> <td>500 K</td> </tr> </tbody> </table> <p>・ SCLS=0の場合</p> <p>シリアル・クロック・ソースとして, ボー・レート・ジェネレータ出力が選択されます。</p> <p>ボー・レート・ジェネレータの詳細に関しては, 9.4 ボー・レート・ジェネレータ (BRG) を参照してください。</p>		25 MHz	20 MHz	16 MHz	ボー・レート	781 K	625 K	500 K
	25 MHz	20 MHz	16 MHz							
ボー・レート	781 K	625 K	500 K							

注意 UARTが送受信中に, このレジスタの値を変更した場合のUARTの動作は保証しません。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)

UARTの受信終了時のエラー・ステータスを示す3ビットのエラー・フラグおよび、送信ステータス・フラグから構成されるレジスタです。

受信エラーを示すステータス・フラグは、常に最も新しく発生したエラーの状態を示します。すなわち、受信データの読み出し前に複数回の同一エラーが発生した場合、最後に発生したエラーの状態のみ保持しています。

受信エラーが発生した場合は、ASISレジスタを読み出したあと、受信バッファRXBまたはRXBLを読み出し、エラー・フラグをクリアしてください。

8ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0		
ASIS	SOT	0	0	0	0	PE	FE	OVE	アドレス C0000082H	リセット時 00H

ビット位置	ビット名	意味
7	SOT	Status Of Transmission 送信動作状態を示すステータス・フラグです。 セット(1) : 送信開始タイミング (TXSレジスタへの書き込み) クリア(0) : 送信終了タイミング (INTST発生) シリアル・データ転送を開始しようとする際に、送信シフト・レジスタへの書き込みが可能か否かを判別するための手段として使用します。
2	PE	Parity Error パリティ・エラーを示すステータス・フラグです。 セット(1) : 送信パリティと受信パリティが一致しないとき クリア(0) : 受信バッファからのデータ読み出し処理
1	FE	Framing Error フレーミング・エラーを示すステータス・フラグです。 セット(1) : ストップ・ビットが検出されないとき クリア(0) : 受信バッファからのデータ読み出し処理
0	OVE	Overrun Error オーバラン・エラーを示すステータス・フラグです。 セット(1) : 受信バッファから受信データを引き取る前に、UARTが次の受信処理を完了したとき クリア(0) : 受信バッファからの受信データ読み出し処理 なお、1フレームの受信ごとに受信シフト・レジスタの内容が受信バッファに転送される構成のため、オーバラン・エラーが発生したときには、受信バッファに次の受信データが上書きされ、1回前の受信データは棄却されます。

(3) 受信バッファ (RXB, RXBL)

RXBは、受信データを保持する9ビットのバッファ・レジスタで、7, 8ビット/キャラクタの受信では上位ビットには0が格納されます。

このレジスタへの16ビット・アクセス時はRXBを、下位8ビット・アクセス時はRXBLを指定します。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。また、受信バッファへの転送により、受信完了割り込み要求 (INTSR) が発生します。

受信禁止状態中は、1フレーム分のシフト・イン処理が終了しても受信バッファへの転送処理は行われず、受信バッファの内容は保持されます。また、受信完了割り込み要求も発生しません。

RXBは16ビット・リード・アクセスのみ許可、RXBLは8ビット・リード・アクセスのみ許可になります。



ビット位置	ビット名	意味
8	RXEB	Receive Extended Buffer 9ビット/キャラクタ受信時の拡張ビットです。 7, 8ビット/キャラクタの受信では0が読めます。
7-0	RXBn (n=7-0)	Receive Buffer 受信データを格納しています。 RXB7は、7ビット/キャラクタの受信では0が読めます。

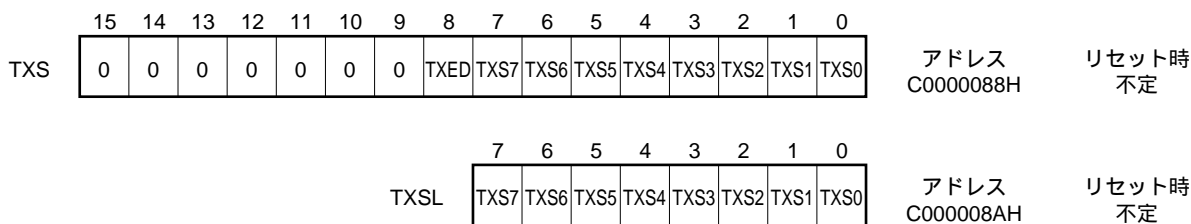
(4) 送信シフト・レジスタ (TXS, TXSL)

TXSは、9ビットの送信処理用シフト・レジスタで、このレジスタへのデータ書き込みにより、送信動作が開始されます。

TXSのデータを含む1フレームの送出終了に同期して送信完了割り込み要求 (INTST) を発生しません。

このレジスタへの16ビット・アクセスはTXSを、下位8ビット・アクセス時はTXSLを指定します。

TXSは、16ビット・ライト・アクセスのみ許可、またTXSLは、8ビット・ライト・アクセスのみ許可になります。



ビット位置	ビット名	意味
8	TXED	Transmit Extended Data 9ビット/キャラクタ送信時の拡張ビットです。
7-0	TXSn (n=7-0)	Transmit Shifter 送信データを書き込みます。

注意 V821のUARTは送信バッファを持たないため、送信完了 (バッファへの転送完了) による割り込み要求ではなく、1フレーム分のデータの送出完了に同期した割り込み要求が発生します。

9.2.4 割り込み要求

UARTからは次の3種類の割り込み要求を発生します。

- ・受信エラー割り込み
- ・受信完了割り込み
- ・送信完了割り込み

これら3種類の割り込み要求のデフォルト優先順位は受信エラー割り込みが最も高く、受信完了割り込み、送信完了割り込みの順に低くなります。

表9 - 1 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信エラー	1
受信完了	2
送信完了	3

(1) 受信エラー割り込み (INTSER)

受信許可状態で、ASISレジスタで説明した3種類の受信エラーの論理和で受信エラー割り込みを発生します。

受信禁止状態中は、受信エラー割り込みは発生しません。

(2) 受信完了割り込み (INTSR)

受信許可状態で、受信シフト・レジスタにデータがシフト・インされ受信バッファに転送されると受信完了割り込みを発生します。

受信完了割り込み要求は、受信エラーが起こった場合にも発生しますが、受信エラー割り込みの方が処理の優先順位が高くなっています。

受信禁止状態中は、受信完了割り込みは発生しません。

(3) 送信完了割り込み (INTST)

V821のUARTは送信バッファを持たないため、送信シフト・レジスタから7ビット/8ビット/9ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされると送信完了割り込みを発生します。

送信完了割り込みは、送信データの最終ビットの送信開始時に出力されます。

9.2.5 動作

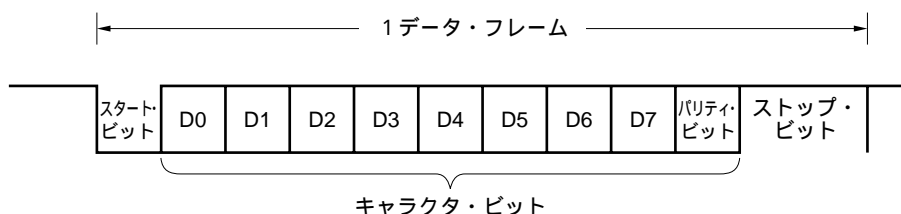
(1) データ・フォーマット

全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図9-2に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) によって行います。

図9-2 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



- ・スタート・ビット..... 1ビット
- ・キャラクタ・ビット..... 7ビット/8ビット/9ビット (拡張ビット時)
- ・パリティ・ビット..... 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット..... 1ビット/2ビット

(2) 送信

送信シフト・レジスタ (TXSまたはTXSL) にデータを書き込むと送信が起動されます。送信完了割り込み (INTST) により次のデータをTXSまたはTXSLレジスタに書き込みます。

(a) 送信許可状態

V821のUARTは、常に送信許可状態です。また、送信許可信号の入力端子を持たないので、相手側が受信可能状態かどうか確認する必要がある場合には汎用入力ポートを用います。

(b) 送信動作の起動

送信シフト・レジスタ (TXS, TXSL) にデータを書き込むことにより送信動作は起動します。送信データはスタート・ビットからLSB先頭で転送されます。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

(c) 送信割り込み要求

1 フレーム分のデータの送りが完了すると送信完了割り込み要求 (INTST) を発生させます。

次に送信するデータをTXSまたはTXSLレジスタに書き込まなければ、送信動作は中断されません。

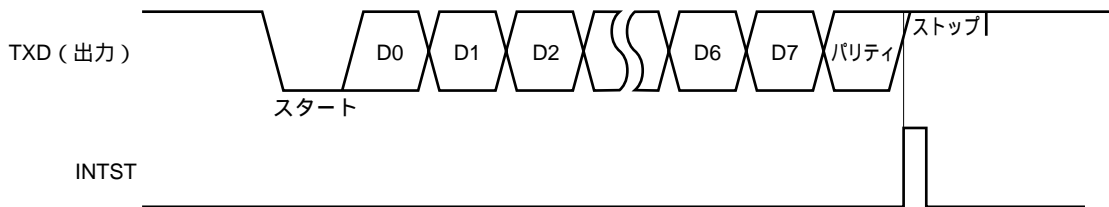
1つの送信が終了したあと、ただちに次の送信データをTXSまたはTXSLレジスタに書き込まなければ通信レートが低下します。

注意 1. 通常は送信シフト・レジスタ (TXSまたはTXSL) が空になった場合に送信完了割り込み (INTST) が発生します。しかし、 $\overline{\text{RESET}}$ 入力により、送信シフト・レジスタ (TXSまたはTXSL) が空になっても、送信完了割り込み (INTST) は発生しません。

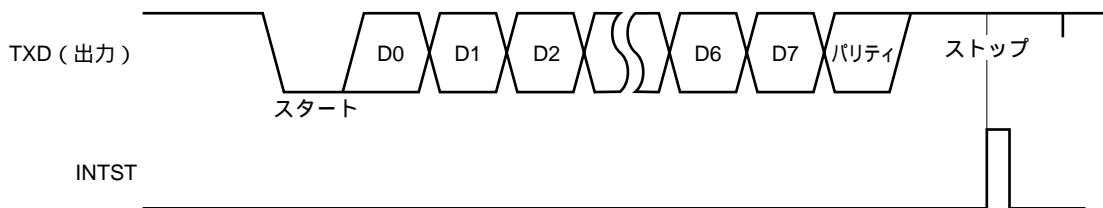
2. INTSTが発生するまでの送信動作中は、TXSまたはTXSLレジスタへ書き込んで書き込みデータは無効となります。

図9 - 3 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング

(a) ストップ・ビット長 : 1



(b) ストップ・ビット長 : 2



(3) 受信

受信許可にするとRXD端子のサンプリングを開始し、スタート・ビットを検出するとデータの受信を開始します。1フレームのデータ受信が終了するごとに受信完了割り込み (INTSR) が発生します。通常、この割り込み処理で受信バッファ (RXB, RXBL) からメモリに受信データを転送します。

(a) 受信許可状態

受信動作はASIMレジスタのRXEビットをセット (1) することにより許可状態となります。

RXE=1 : 受信許可状態

RXE=0 : 受信禁止状態

なお、受信禁止状態では受信ハードウェアは初期状態で待機します。

このとき、受信完了割り込み/受信エラー割り込みは発生せず、受信バッファの内容は保持されます。

(b) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

ASIMレジスタで指定したシリアル・クロックでRXD端子をサンプリングします。RXD端子の立ち下がりエッジを検出してから8シリアル・クロック後、再びRXD端子をサンプルします。このときロウ・レベルを確認するとスタート・ビットと認識して受信処理動作に移り、以降16シリアル・クロック単位にRXD端子入力をサンプリングします。

RXD端子の立ち下がりエッジを検出してから8シリアル・クロック後のサンプリングでハイ・レベルを確認した場合、この立ち下がりエッジをスタート・ビットとは認めません。サンプル・タイミング発生用のシリアル・クロック・カウンタは初期化されて動作を停止し、次の立ち下がりエッジ入力を待ちます。

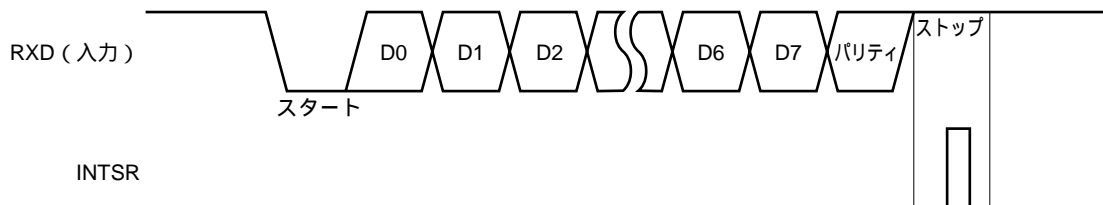
(c) 受信完了割り込み要求

RXE=1のとき、1フレーム分のデータの受信が完了すると、シフト・レジスタ内の受信データをRXBに転送し、受信完了割り込み要求 (INTSR) を発生します。

また、エラーが発生した場合でも、受信バッファ (RXB, RXBL) にエラーの発生した受信データを転送し、受信完了割り込み (INTSR)、受信エラー割り込み (INTSER) を同時に発生します。

なお、受信動作中にRXEビットをリセット (0) すると、ただちに受信動作を停止します。このとき、受信バッファ (RXB, RXBL) および、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の内容は変化せず、受信完了割り込み (INTSR)、受信エラー割り込み (INTSER) も発生しません。

図9 - 4 アシクロナス・シリアル・インタフェース受信完了割り込みタイミング



(d) 受信エラー・フラグ

受信動作に同期して、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類のエラー・フラグが影響を受けます。

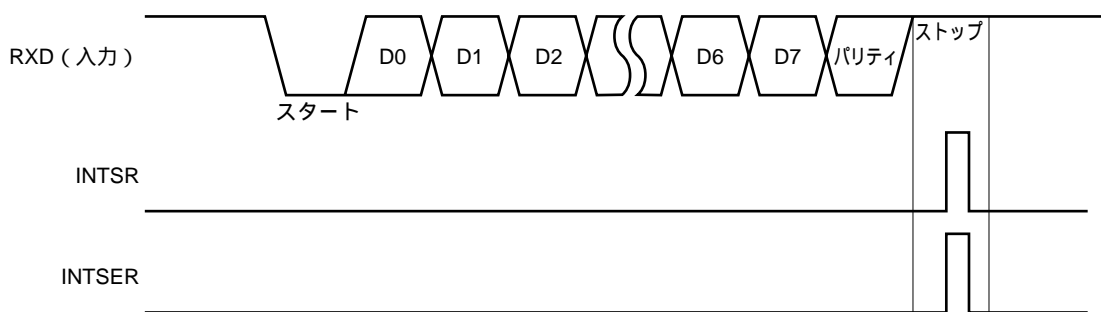
以上の3つの各エラー・フラグの論理和で、受信エラー割り込み要求が発生します。

受信エラー割り込み (INTSER) 内でASISレジスタの内容を読み出すことによって、どのエラーが受信時に発生したかを検出することができます。

ASISレジスタの内容は、受信バッファ (RXB, RXBL) を読み出すか、次のデータを受信することによってリセット (0) されます (次の受信データにエラーがあれば、そのエラー・フラグがセットされます)。

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信完了

図9 - 5 受信エラー・タイミング



9.3 クロック同期式シリアル・インタフェース (CSI)

9.3.1 特 徴

高速転送 最大6.25 Mbps (/2 使用時, = 25 MHz動作時)

半二重通信

キャラクタ長: 8ビット

データのMSB先頭/LSB先頭を切り替え可能

外部シリアル・クロック入力/内部シリアル・クロック出力選択

3線式 SO : シリアル・データ出力

SI : シリアル・データ入力

$\overline{\text{SCLK}}$: シリアル・クロック入出力端子

割り込みソース1種

・割り込み要求信号 (INTCSI)

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) によってクロック同期式シリアル・インタフェースを制御します。送受信データはSIOレジスタに読み出し/書き込みができます。

(1) クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM)

CSIMレジスタは、クロック同期式シリアル・インタフェースの動作を指定する8ビット・レジスタです。

(2) シフト・レジスタ (SIO)

シフト・レジスタ (SIO) は、シリアル・データ パラレル・データの変換を行う8ビット・レジスタです。SIOは送信および受信の両方に使用されます。

データは、MSB側またはLSB側からシフト・イン (受信) またはシフト・アウト (送信) されます。

SIOに対する読み出し/書き込みにより、実際の送受信動作が制御されます。

(3) シリアル・クロック・セレクト

使用するシリアル・クロックを選択します。

(4) シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給の制御を行います。また、内部クロック使用時には $\overline{\text{SCLK}}$ 端子へ出力するクロックの制御も行います。

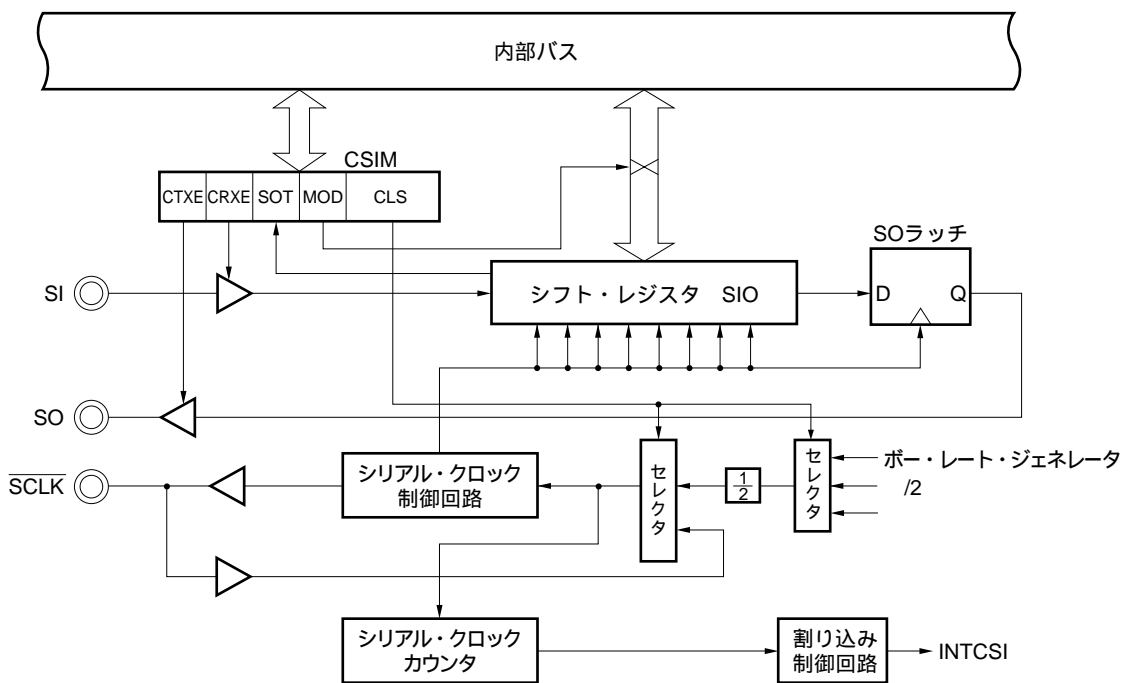
(5) シリアル・クロック・カウンタ

送信/受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み信号発生制御回路

シリアル・クロック・カウンタでシリアル・クロックを8発カウントしたときに、割り込み要求を発生するかしないかを制御します。

9.3.2 構成



9.3.3 CSI制御レジスタ

(1) クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM)

CSIの基本動作モードを指定します。

8ビット単位でリード/ライト可能です(ただし、ビット5はリードのみ可能です)。

	7	6	5	4	3	2	1	0		
CSIM	CTXE	CRXE	SOT	0	0	MOD	CLS		アドレス C0000090H	リセット時 00H

ビット位置	ビット名	意味
7	CTXE	CSI Transmit Enable 送信許可状態/禁止状態を指定します。 0 : 送信禁止状態 1 : 送信許可状態 CTXE= " 0 " のときには、SO,SI端子の出力バッファはともにハイ・インピーダンスになります。
6	CRXE	CSI Receive Enable 受信許可状態/禁止状態を指定します。 0 : 受信禁止状態 1 : 受信許可状態 送信禁止 (CTXE=0) かつ受信禁止のときに、シリアル・クロックが入力された場合には、シフト・レジスタには、" 0 " が入力されます。
5	SOT	Status Of Transmission 転送動作中であることを示します。 セット (1) : 送信開始タイミング (SIOレジスタへの書き込み) クリア (0) : 送信終了タイミング (INTCSI発生) 送信許可状態 (CTXE=1) にして、シリアル・データ転送を開始しようとする際に、シリアルI/Oシフト・レジスタ (SIO) への書き込みが可能か否かを判別するための手段として使用します。
2	MOD	Mode 先頭ビットの指定を行います。 0 : MSB先頭 1 : LSB先頭



ビット位置	ビット名	意味																		
1, 0	CLS	<p>Clock Source</p> <p>シリアル・クロックを指定します。</p> <table border="1"> <thead> <tr> <th colspan="2">CLS</th> <th>シリアル・クロックの指定</th> <th>SCLK端子</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部クロック</td> <td>入力</td> </tr> <tr> <td>0</td> <td>1</td> <td rowspan="3">内部クロック</td> <td>BPRMレジスタで指定^{注1}</td> </tr> <tr> <td>1</td> <td>0</td> <td>/4^{注2}</td> </tr> <tr> <td>1</td> <td>1</td> <td>/2^{注2}</td> </tr> </tbody> </table> <p>注1．BPRMレジスタへの設定については9.4 ポー・レート・ジェネレータ (BRG) を参照してください。</p> <p>2． /4, /2は、分周信号です(=システム・クロック)。</p>	CLS		シリアル・クロックの指定	SCLK端子	0	0	外部クロック	入力	0	1	内部クロック	BPRMレジスタで指定 ^{注1}	1	0	/4 ^{注2}	1	1	/2 ^{注2}
CLS		シリアル・クロックの指定	SCLK端子																	
0	0	外部クロック	入力																	
0	1	内部クロック	BPRMレジスタで指定 ^{注1}																	
1	0		/4 ^{注2}																	
1	1		/2 ^{注2}																	

(2) シリアルI/Oシフト・レジスタ (SIO)

8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。SIOレジスタに対するリード/ライトによって実際の送受信動作が制御されます。

CTXE=“1”またはCRXE=“1”のときにシフト動作を行います。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
SIO	SIO7	SIO6	SIO5	SIO4	SIO3	SIO2	SIO1	SIO0	アドレス C0000092H	リセット時 不定

ビット位置	ビット名	意味
7-0	SIO _n (n=7-0)	<p>Serial I/O</p> <p>データは、MSBまたはLSB側からシフト・イン (受信) またはシフト・アウト (送信) します。</p>

9.3.4 基本動作

(1) 転送フォーマット

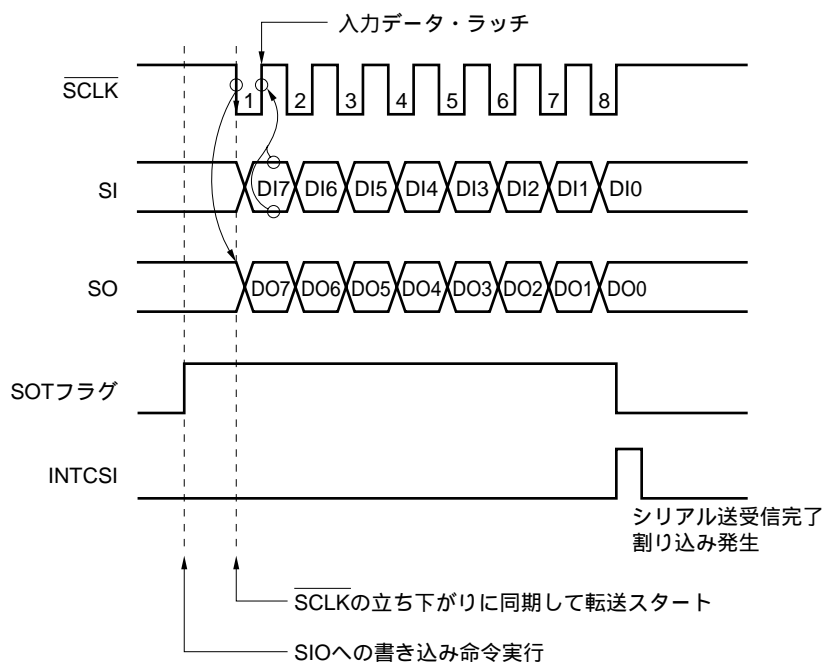
V821のCSIでは、1本のクロック・ラインと2本のデータ・ラインの3線でインタフェースします。

シリアル転送は、SIOレジスタに対する転送データの書き込み命令を実行することによりスタートします。

送信の場合には $\overline{\text{SCLK}}$ の立ち下がりに同期してSO端子からデータが出力されます。

受信の場合には $\overline{\text{SCLK}}$ の立ち上がりに同期してSI端子の入力データをラッチします。シリアル・クロック・カウンタのオーバーフロー（8カウント目の立ち上がり）で $\overline{\text{SCLK}}$ は停止し、次のデータの送信または受信動作が起動されるまで $\overline{\text{SCLK}}$ はハイ・レベルを保持します。同時に、割り込み要求信号（INTCSI）を発生します。

注意 シフト・レジスタに送信データをライトしておいてCTXE=0 1にしてもシリアル転送は行いません。



(2) 送受信許可

V821のCSIは、8ビット・シフト・レジスタを1つしか持たず、バッファも持っていないため、基本的に送信および受信は同時に行います。

(a) 送受信許可条件

CTXE=1の場合に、送信が許可になります。

CRXE=1の場合に、受信が許可になります。

CTXE=CRXE=1の場合に、送受信が許可になります。

(i) CTXEによるSIO出力の禁止

CTXE=0の場合には、シリアル出力はハイ・インピーダンスになります。

CTXE=1の場合には、シフト・レジスタのデータが出力されます。

(ii) CRXEによるSIO入力の禁止

CRXE=0の場合には、シフト・レジスタ入力は“0”になります。

CRXE=1の場合には、シリアル入力がシフト・レジスタに入力されます。

(iii) 送信データのチェックを行う場合

送信データを自分自身で受信し、バスの競合が発生していないかチェックするためにはCTXE=CRXE=1にします。

(b) 送受信動作の起動

送受信動作の起動（スタート）はシフト・レジスタ（SIO）に対するリード/ライトによります。送信・受信のスタート制御は送信許可ビット（CTXE）、受信許可ビット（CRXE）を下記のように設定することにより行います。

CTXE	CRXE	スタート条件
0	0	スタートしない
0	1	シフト・レジスタ読み出し
1	0	シフト・レジスタ書き込み
1	1	シフト・レジスタ書き込み
0	0 1	CRXEビット書き換え

CTXEが“0”のときにシフト・レジスタをリード/ライトし、その後“1”にしても転送はスタートしません。

また、CTXEが“0”のときにCRXEビットを“0” “1”にすると、シリアル・クロックが発生し、受信動作を開始します。

9.3.5 3線式シリアルI/Oモードで送信する

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) により送信許可に設定したあと、SIOレジスタに書き込みを行うと、送信動作が起動します。

(1) 送信動作を起動する

送信動作の起動は、クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) のCTXEビットをセットして (CRXEビットには“0”をセット)、シフト・レジスタ (SIO) へ送信データを書き込むことで行います。

なお、CTXEビットがリセット (0) されているときは、SO端子は出力ハイ・インピーダンスとなります。

(2) シリアル・クロックに同期してデータを送信する

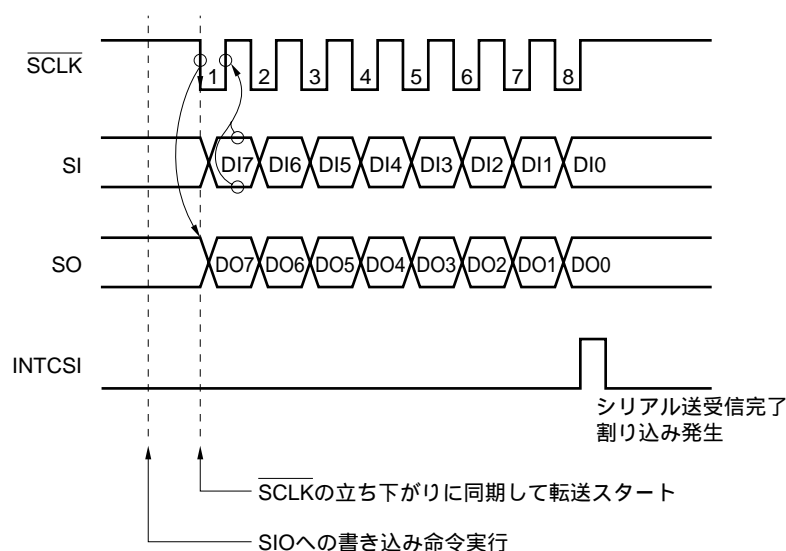
(a) シリアル・クロックとして内部クロックを選択した場合

送信が起動されると、シリアル・クロックを $\overline{\text{SCLK}}$ 端子から出力し、同時にシリアル・クロックの立ち下がりに同期してSIOからデータをSO端子へ順次出力します。

(b) シリアル・クロックとして外部クロックを選択した場合

送信が起動されると、送信起動後に $\overline{\text{SCLK}}$ 端子へ入力されたシリアル・クロックの立ち下がりに同期してSIOからデータをSO端子へ順次出力します。送信が起動されていないときに、シリアル・クロックを $\overline{\text{SCLK}}$ 端子へ入力してもシフト動作は行われず、SO端子の出力レベルは変化しません。

図9 - 6 3線式シリアルI/Oモードのタイミング (送信)



9.3.6 3線式シリアル/I/Oモードで受信する

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) により、受信禁止から受信許可に状態を変える、または受信許可状態でSIOレジスタを読み出すと受信動作は起動されます。

(1) 受信動作を起動する

受信動作の起動には、次の2つの方法があります。

CSIMレジスタのCRXEビットを受信禁止状態“0”から受信許可状態“1”へ変化させた場合

CSIMレジスタのCRXEビットが受信許可状態“1”のときにシフト・レジスタ (SIO) から受信データを読み出した場合

CSIMレジスタのCRXEビットをセット (1) した状態で、再び“1”を書き込んでも受信動作は起動されません。なお、CRXE=0のときは、シフト・レジスタ入力は“0”になります。

(2) シリアル・クロックに同期してデータを受信する

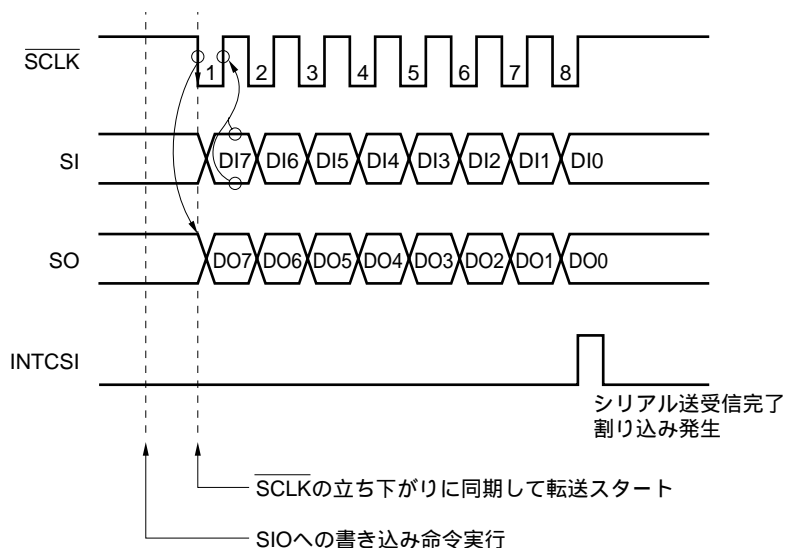
(a) シリアル・クロックとして内部クロックを選択した場合

受信が起動されると、シリアル・クロックを $\overline{\text{SCLK}}$ 端子から出力し、同時にシリアル・クロックの立ち上がりに同期してSI端子のデータをSIOへ順次取り込みます。

(b) シリアル・クロックとして外部クロックを選択した場合

受信が起動されると、受信起動後に $\overline{\text{SCLK}}$ 端子へ入力されたシリアル・クロックの立ち上がりに同期してSI端子のデータをSIOへ順次取り込みます。受信が起動されていないときに、シリアル・クロックを $\overline{\text{SCLK}}$ 端子へ入力してもシフト動作は行いません。

図9-7 3線式シリアル/I/Oモードのタイミング(受信)



9.3.7 3線式シリアルI/Oモードで送受信する

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) により、送信と受信をともに許可状態にすると、送信動作と受信動作を同時に行うことができます。

(1) 送受信動作を起動する

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) のCTXEビットとCRXEビットが両方ともセット (1) されているときは、送信動作と受信動作を同時に行うことができます (送受信動作)。

送受信動作の起動には、次の方法があります。

- ・ CSIMレジスタのCTXE, CRXEビットがともに“1” (送受信許可状態) のとき、シフト・レジスタ (SIO) に送信データを書き込んだ場合

(2) シリアル・クロックに同期してデータを送信する

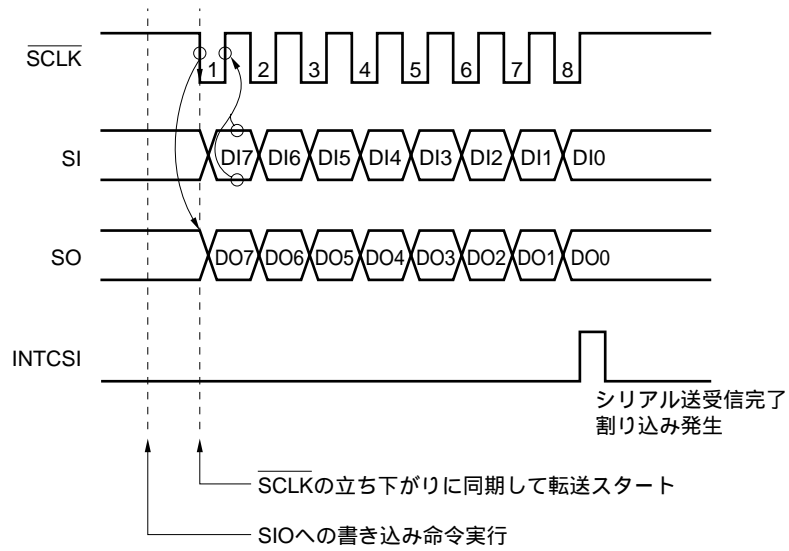
(a) シリアル・クロックとして内部クロックを選択した場合

送受信が起動されると、シリアル・クロックを $\overline{\text{SCLK}}$ 端子から出力し、同時にシリアル・クロックの立ち下がりに同期してSIOからデータをSO端子へ順次出力します。また、シリアル・クロックの立ち上がりに同期してSI端子のデータをSIOへ順次取り込みます。

(b) シリアル・クロックとして外部クロックを選択した場合

送受信が起動されると、送受信起動後に $\overline{\text{SCLK}}$ 端子へ入力されたシリアル・クロックの立ち下がりに同期してSIOからSO端子へデータが順次出力します。シリアル・クロックの立ち上がりに同期してSI端子のデータをSIOへ順次取り込みます。送受信が起動されていないときに、シリアル・クロックを $\overline{\text{SCLK}}$ 端子へ入力してもシフト動作は行わず、SO端子の出力レベルは変化しません。

図9 - 8 3線式シリアルI/Oモードのタイミング(送受信)



注意 送受信動作の1回目の起動時は、必ずCRXEビットが“0”から“1”へ変化するので、すぐに送受信動作が起動され、不定なデータが出力される可能性があります。したがって、送信および受信とも禁止されている（CTXEビットおよびCRXEビットが両方ともリセット（0）されている）ときに、あらかじめSIOレジスタへ最初の送信データを書き込んでから送受信を許可してください。

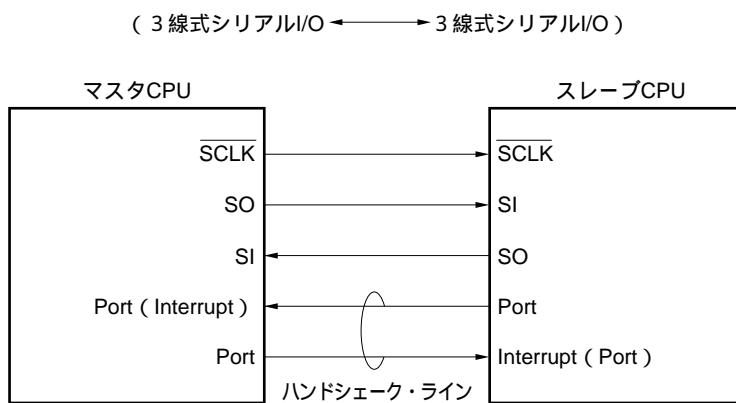
9.3.8 システム構成例

シリアル・クロック ($\overline{\text{SCLK}}$) と、シリアル入力 (SI)、シリアル出力 (SO) の3本の信号線によって、8ビット長のデータ転送を行います。従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続する場合に有効です。

複数のデバイスと接続する場合は、ハンドシェーク用のラインが必要です。

通信先頭ビットがMSBまたはLSBに選択できるので、さまざまなデバイスと通信することができます。

図9 - 9 CSIのシステム構成例



9.4 ポー・レート・ジェネレータ (BRG)

9.4.1 構成と機能

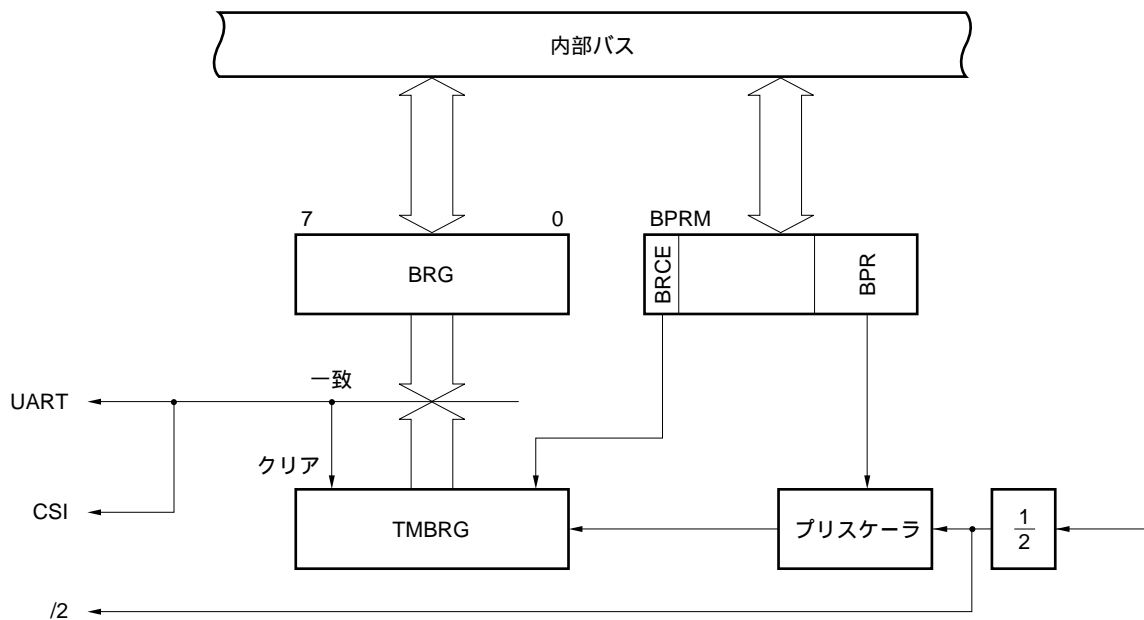
シリアル・インタフェースでは、シリアル・クロックを、ポー・レート・ジェネレータ出力または系（システム・クロック）から選択したものをポー・レートとして用いることができます。

シリアル・クロック・ソースは、UARTの場合はASIMレジスタのSCLSビット、CSIの場合はCSIMレジスタのCLSビットで指定します。

ポー・レート・ジェネレータ出力を指定した場合は、クロック・ソースとしてポー・レート・ジェネレータが選択されます。

1チャンネル当たりの送受信のシリアル・クロックは1つで共用されるため、送受信のポー・レートは同一となります。

図9 - 10 ブロック構成図



専用ボー・レート・ジェネレータBRGは、おのこの、送受信のシフト・クロックを発生する専用の8ビット・タイマ (TMBRG) + コンペア・レジスタ (BRG) とプリスケーラから構成されます。

(1) 入力クロック

BRGへは、システム・クロック () が入力されます。

(2) BRGへの設定値

(a) UART

UARTにて専用ボー・レート・ジェネレータを指定した場合、 $\times 16$ のサンプリング・レートを使用しているため、実際のボー・レートは次式で表されます。

$$\text{ボー・レート} = \frac{\text{システム・クロック周波数 [Hz]}}{2 \times m \times 2^n \times 16 \times 2} \text{ [bps]}$$

=システム・クロック周波数 [Hz]

m=BRG設定値 (1 m 256[※])

n=BRGプリスケーラ設定値 (n=0,1,2,3,4)

注 m=256の設定は、BRGレジスタへの0ライトで行います。

(b) CSI

CSIにて専用ボー・レート・ジェネレータを指定した場合、実際のボー・レートは次式で表されます。

$$\text{ボー・レート} = \frac{\text{システム・クロック周波数 [Hz]}}{2 \times m \times 2^n \times 2} \text{ [bps]}$$

=システム・クロック周波数 [Hz]

m=BRG設定値 (1 m 256[※])

n=BRGプリスケーラ設定値 (n=0,1,2,3,4)

注 m=256の設定は、BRGレジスタへの0ライトで行います。

代表的クロックを使用したときのボー・レート・ジェネレータの設定値を次に示します。

表9 - 2 BRG設定データ

ボー・レート [bps]		= 25 MHz			= 20 MHz			= 16 MHz		
UART	CSI	BPR	BRG	誤差	BPR	BRG	誤差	BPR	BRG	誤差
110	1760	4	222	0.02 %	4	178	0.25 %	4	142	0.03 %
150	2400	4	163	0.15 %	4	130	0.16 %	3	208	0.16 %
300	4800	3	163	0.15 %	3	130	0.16 %	2	208	0.16 %
600	9600	2	163	0.15 %	2	130	0.16 %	1	208	0.16 %
1200	19200	1	163	0.15 %	1	130	0.16 %	0	208	0.16 %
2400	38400	0	163	0.15 %	0	130	0.16 %	0	104	0.16 %
4800	76800	0	81	0.47 %	0	65	0.16 %	0	52	0.16 %
9600	153600	0	41	0.76 %	0	33	1.36 %	0	26	0.16 %
10400	166400	0	38	1.16 %	0	30	0.16 %	0	24	0.16 %
19200	307200	0	20	1.73 %	0	16	1.73 %	0	13	0.16 %
38400	614400	0	10	1.73 %	0	8	1.73 %	0	7	6.99% ^注
76800	1228800	0	5	1.73 %	0	4	1.73 %	-	-	-
153600	2457600	0	2	27.2% ^注	0	2	1.73 %	-	-	-

注 誤差が大きく使用不可

(3) ボー・レート・ジェネレータの誤差について

ボー・レート・ジェネレータの誤差は次のように表されます。

$$\text{誤差} [\%] = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100$$

$$\text{例} \quad (9520/9600 - 1) \times 100 = -0.833 [\%]$$

$$(5000/4800 - 1) \times 100 = +4.167 [\%]$$

(4) ボー・レート・ジェネレータの誤差許容範囲

許容範囲は、1フレームのビット数に依存します。

16ビットでのボー・レート誤差：±5%、サンプル・タイミング：±4.5%を基本的な許容限度とします。

ただし、実用上の許容限度は、送信側、受信側がともに誤差を含んでいる場合を想定して、ボー・レート誤差：±2.3%です。



9.4.2 ボー・レート・ジェネレータ・レジスタ (BRG)

専用ボー・レート・ジェネレータにおけるタイマ・カウント値を設定する8ビットのコンペア・レジスタです。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
BRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	アドレス C00000A0H	リセット時 不定

注意 BRGレジスタへの書き込み動作により、内部タイマ (TMBRG) がクリアされます。したがって、送受信動作中にソフトウェアでBRGレジスタを書き換えしないでください。

9.4.3 ボー・レート・ジェネレータ・プリスケアラ・モード・レジスタ (BPRM)

専用ボー・レート・ジェネレータのタイマ・カウント動作制御とカウント・クロックの選択を行います。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
BPRM	BRCE	0	0	0	0	BPR			アドレス C00000A2H	リセット時 00H

ビット位置	ビット名	意味																								
7	BRCE	Baud Rate Generator Count Enable BRGのカウント動作を制御します。 0 : クリアされたままカウント動作を停止します。 1 : カウント動作を許可します。																								
2-0	BPR	Baud Rate Generator Prescaler TMBRGへ入力するカウント・クロックを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="3">BPR</th> <th>カウント・クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>/2 (n=0)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>/4 (n=1)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>/8 (n=2)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>/16 (n=3)</td> </tr> <tr> <td>1</td> <td>x</td> <td>x</td> <td>/32 (n=4)</td> </tr> </tbody> </table> n : プリスケアラ設定値 : システム・クロック	BPR			カウント・クロック	0	0	0	/2 (n=0)	0	0	1	/4 (n=1)	0	1	0	/8 (n=2)	0	1	1	/16 (n=3)	1	x	x	/32 (n=4)
BPR			カウント・クロック																							
0	0	0	/2 (n=0)																							
0	0	1	/4 (n=1)																							
0	1	0	/8 (n=2)																							
0	1	1	/16 (n=3)																							
1	x	x	/32 (n=4)																							

注意 送受信動作中にカウント・クロックを変更しないでください。

第10章 タイマ/カウンタ機能 (リアルタイム・パルス・ユニット)

リアルタイム・パルス・ユニットは、パルス間隔や周波数の計測およびプログラマブルなパルスの出力を行うユニットです。16ビット計測が可能です。また、インターバル・パルスやワンショット・パルスなどの多彩な形状のパルスを発生させることができます。

10.1 特 徴

タイマ0 (TM0)

- ・16ビット・タイマ/イベント・カウンタ
- ・カウント・クロックのソース：2種 (システム・クロックの分周を選択, 外部パルス入力)
- ・キャプチャ/コンペア共用レジスタ：4本
- ・カウント・クリア端子：TCLR
- ・割り込みソース：5種
- ・外部パルス出力：2本

タイマ1 (TM1)

- ・16ビット・インターバル・タイマ
- ・カウント・クロックは、システム・クロックの分周から選択
- ・コンペア・レジスタ：1本
- ・割り込み要因：1種

10.2 基本構成

以下に基本構成を示します。

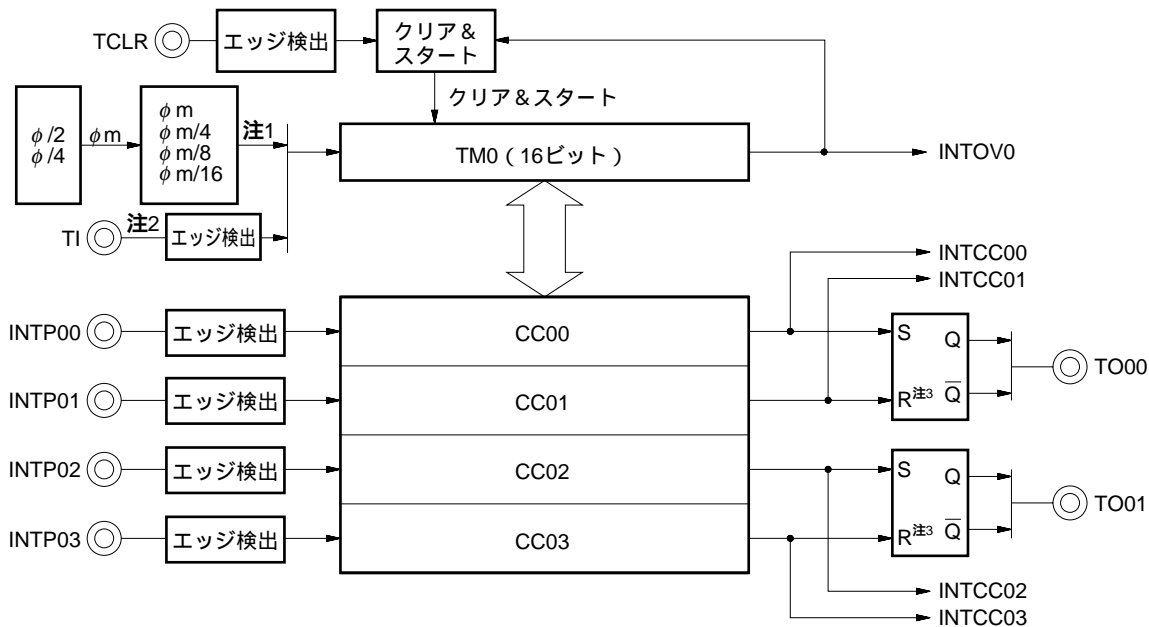
表10 - 1 RPUの構成一覧

タイマ	カウント・クロック	レジスタ	リード/ライト	発生する割り込み信号	キャプチャ・トリガ	タイマ出力SR	その他の機能
タイマ0	/2	TM0	リード	INTOV0	-	-	外部クリア
	/4	CC00	リード/ライト	INTCC00	INTP00	TO00 (S)	-
	/8	CC01	リード/ライト	INTCC01	INTP01	TO00 (R)	-
	/16	CC02	リード/ライト	INTCC02	INTP02	TO01 (S)	-
	/32 /64 TI端子入力	CC03	リード/ライト	INTCC03	INTP03	TO01 (R)	-
タイマ1	/32	TM1	リード	-	-	-	-
	/64 /128 /256						

備考 : システム・クロック

SR : セット/リセット

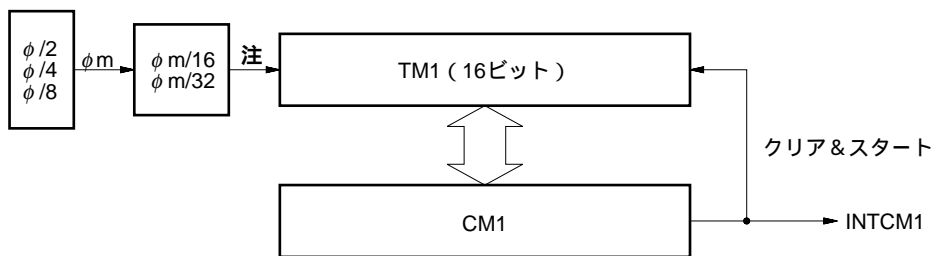
(1) タイマ0 (16ビット・タイマ/イベント・カウンタ)



- 注1．内部カウント・クロック
- 2．外部カウント・クロック
- 3．リセット優先

備考 はシステム・クロック

(2) タイマ1 (16ビット・インターバル・タイマ)



注 内部カウント・クロック

備考 はシステム・クロック

10.2.1 タイマ0

(1) タイマ0 (TM0)

TM0は、16ビットのフリー・ランニング・タイマまたは外部信号のイベント・カウンタとして機能します。おもに、周期計測、または周波数計測のほか、パルス出力としても利用できます。

TM0は16ビット単位でリードのみ可能です。



TM0は内部カウント・クロックまたは外部カウント・クロックのカウント・アップ動作を行います。タイマのスタートおよびストップは、タイマ・コントロール・レジスタ0 (TMC0) のCE0ビットで制御します。

カウント・クロックの内部/外部の選択はTMC0レジスタによって行います。

(a) 外部カウント・クロックを選択

TM0は、イベント・カウンタとして動作します。タイマ・ユニット・モード・レジスタ0 (TUM0) によって有効エッジを指定し、TI端子入力によりTM0をカウント・アップします。

(b) 内部カウント・クロックを選択

TM0は、フリー・ランニング・タイマとして動作します。TMC0レジスタで指定される内部クロック (/2 - /64) をカウント・アップします。

タイマがオーバーフローすると、オーバーフロー割り込みを発生することができます。また、TUM0レジスタの指定により、オーバーフロー後タイマを停止することができます。

また、外部入力TCLRによってタイマをクリアし、スタートすることができます。このとき、プリスケラも同時にクリアされるので、TCLR入力より最初のタイマ・カウント・アップまでの時間は、プリスケラの分周比に応じて一定となります。動作の設定はTUM0レジスタで行います。

$\overline{\text{RESET}}$ 入力により、TM0の全ビットはクリア (0) されます。

(2) キャプチャ/コンペア・レジスタ00-03 (CC00-CC03)

キャプチャ/コンペア・レジスタは、16ビット・レジスタでTM0に接続されています。タイマ・ユニット・モード・レジスタ0 (TUM0) の指定により、キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。16ビット単位でリード/ライト可能です。

CC00	15 0		アドレス C0000072H	リセット時 不定
CC01	15 0		アドレス C0000074H	リセット時 不定
CC02	15 0		アドレス C0000076H	リセット時 不定
CC03	15 0		アドレス C0000078H	リセット時 不定

(a) キャプチャ・レジスタに設定

キャプチャ・レジスタに設定した場合は、対応する外部割り込みINTP00-INTP03の有効エッジをキャプチャ・トリガとして検出します。タイマ0はキャプチャ・トリガに同期して、カウント値をラッチします(キャプチャ動作)。キャプチャ動作は、カウント・クロックとは非同期に行われません。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

キャプチャ・レジスタへのキャプチャ(ラッチ)・タイミングと、命令によるレジスタへの書き込み動作が競合した場合は、後者が優先され、キャプチャ動作は無視されます。

また、外部割り込みの有効エッジ指定(立ち上がり、立ち下がり、両エッジ)は、ICUモード・レジスタ(IMOD)により選択することができます(4.4.5 ICUモード・レジスタ(IMOD)参照)。

キャプチャ・レジスタに指定したときは、INTP00-INTP03の有効エッジ検出で割り込みを発生します。このとき、コンペア・レジスタの一致信号であるINTCCnによって割り込みを発生させることはできません。

(b) コンペア・レジスタに設定

コンペア・レジスタに設定した場合は、タイマのカウント・クロックごとにタイマとレジスタ値の比較動作を行い、一致による割り込みを発生します。

コンペア・レジスタはセット/リセット出力機能を備えています。一致信号発生に同期して、対応するタイマ出力をセットまたはリセットします。

割り込みソースは選択したレジスタの機能で異なります。

コンペア・レジスタに指定した場合、TUM0レジスタの指定により、一致信号であるINTCCnか、または、INTPnの有効エッジ検出のいずれかを選択して割り込み信号とすることができます。

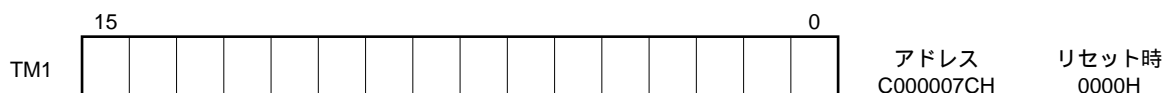
INTPnを選択した場合、タイマ出力の指定と並行して、外部割り込みの受け付けが可能になります。

10.2.2 タイマ1

(1) タイマ1 (TM1)

TM1は、16ビット・タイマです。おもに、ソフトウェアのためのインターバル・タイマとして利用できます。

TM1は、16ビット単位でリードのみ可能です。



TM1のスタートおよびストップは、タイマ・コントロール・レジスタ1 (TMC1) のCE1ビットによって制御します。

カウント・クロックは、プリスケラによる分周を、TMC1レジスタにより $/32$ 、 $/64$ 、 $/128$ 、 $/256$ から選択できます。

RESET入力により、TM1の全ビットはクリア (0) されます。

注意 コンペア一致が発生したあと、タイマは次のカウント・クロックでクリアされるため、分周比が大きいときは、一致割り込み発生直後にタイマの値を読み出しても、タイマの値が0でない場合があります。

(2) コンペア・レジスタ1 (CM1)

CM1は16ビット・レジスタであり、TM1に接続されています。16ビット単位でリード/ライト可能です。



TM1のカウント・クロックごとにTM1とCM1の比較を行い、一致による割り込み (INTCM1) を発生します。この一致に同期してTM1をクリアします。



10.3 制御レジスタ

(1) タイマ・ユニット・モード・レジスタ 0 (TUM0)

TUM0レジスタはタイマ0の動作を制御するレジスタで、キャプチャ/コンペア・レジスタの動作モードを指定します。

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
TUM0	0	0	OST	ECLR0	TES0	CES0	CMS03	CMS02	CMS01	CMS00	IMS03	IMS02	IMS01	IMS00			アドレス C0000060H	リセット時 0A00H

ビット位置	ビット名	意味															
13	OST	Overflow Stop タイマのオーバフロー後の動作を指定します。このフラグが有効なのはTM0のみです。 0 : タイマのオーバフロー後、タイマはカウント・アップを続けます。 1 : タイマのオーバフロー後、タイマは0000Hを保持し停止状態となります。 このとき、TMC0のCE0は、“1”のままです。 次の動作によりカウント・アップを再開します。 ECLR0=“0”のとき：CE0ビットへの“1”ライト動作 ECLR0=“1”のとき：タイマ・クリア端子 (TCLR) へのトリガ入力															
12	ECLR0	External Input Timer Clear TM0の外部クリア入力 (TCLR) によるタイマのクリアを許可します。 0 : 外部入力によるクリアはしません。 1 : 外部入力によりTM0をクリアします。クリア後、カウント・アップを開始します。															
11,10	TES0	TI Edge Select 外部クロック入力 (TI) の有効エッジを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="2">TES0</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>RFU (予約)</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がりと立ち下がりエッジの両方</td> </tr> </tbody> </table>	TES0		有効エッジ	0	0	RFU (予約)	0	1	立ち下がりエッジ	1	0	立ち上がりエッジ	1	1	立ち上がりと立ち下がりエッジの両方
TES0		有効エッジ															
0	0	RFU (予約)															
0	1	立ち下がりエッジ															
1	0	立ち上がりエッジ															
1	1	立ち上がりと立ち下がりエッジの両方															



ビット位置	ビット名	意味															
9, 8	CES0	<p>TCLR Edge Select</p> <p>外部クリア入力 (TCLR) の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th colspan="2">CES0</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>RFU (予約)</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がりと立ち下がりエッジの両方</td> </tr> </tbody> </table>	CES0		有効エッジ	0	0	RFU (予約)	0	1	立ち下がりエッジ	1	0	立ち上がりエッジ	1	1	立ち上がりと立ち下がりエッジの両方
CES0		有効エッジ															
0	0	RFU (予約)															
0	1	立ち下がりエッジ															
1	0	立ち上がりエッジ															
1	1	立ち上がりと立ち下がりエッジの両方															
7-4	CMS00-CMS03	<p>Capture/Compare Mode Select</p> <p>キャプチャ/コンペア・レジスタ (CC00-CC03) の動作モードを選択します。</p> <p>0 : キャプチャ・レジスタとして動作します。ただしキャプチャ・レジスタ指定時のキャプチャ動作は、TMC0レジスタのCE0= " 1 " 時のみ行います。</p> <p>1 : コンペア・レジスタとして動作します。</p>															
3-0	IMS00-IMS03	<p>Interrupt Mode Select</p> <p>割り込みソースとして、INTPnかINTCCnかを選択します (n=00-03)。</p> <p>0 : コンペア・レジスタの一致信号INTCCnを割り込み信号にします。</p> <p>1 : 外部からの入力信号INTPnを割り込み信号にします。</p>															



(2) タイマ・コントロール・レジスタ0 (TMC0)

TMC0はTM0の動作を制御します。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
TMC0	CE0	0	0	ETI	PRSO	0	0	PRM0	アドレス C0000062H	リセット時 00H

ビット位置	ビット名	意味															
7	CE0	<p>Count Enable</p> <p>タイマの動作を制御します。</p> <p>0 : タイマは " 0000H " 状態で停止し、動作しません。</p> <p>1 : タイマはカウント動作を行います。ただし、TUM0レジスタのECLR0ビット= " 1 " のときは、TCLR入力があるまでタイマはカウント・アップを開始しません。</p> <p>ECLR0= " 0 " のとき、CE0= " 1 " によるタイマのカウント・スタートは、CE0ビットへの " 1 " ライト動作がスタート・トリガとなります。したがって、ECLR0= " 1 " の状態でCE0をセットしたあと、ECLR0= " 0 " としても、タイマはスタートしません。</p>															
4	ETI	<p>External TI Input</p> <p>カウント・クロックの外部と内部の切り替えを指定します。</p> <p>0 : 系 (内部) を指定します。</p> <p>1 : TI (外部) を指定します。</p>															
3, 2	PRSO	<p>Prescaler Clock Select</p> <p>内部カウント・クロックを選択します (m は中間クロック)。</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="2">PRSO</th> <th>カウント・クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>m</td> </tr> <tr> <td>0</td> <td>1</td> <td>m/4</td> </tr> <tr> <td>1</td> <td>0</td> <td>m/8</td> </tr> <tr> <td>1</td> <td>1</td> <td>m/16</td> </tr> </tbody> </table>	PRSO		カウント・クロック	0	0	m	0	1	m/4	1	0	m/8	1	1	m/16
PRSO		カウント・クロック															
0	0	m															
0	1	m/4															
1	0	m/8															
1	1	m/16															
0	PRM0	<p>Prescaler Clock Mode</p> <p>カウント・クロックの中間クロック m を選択します (はシステム・クロック)。</p> <p>0 : /2</p> <p>1 : /4</p>															

注意 タイマ動作中にカウント・クロックを変更しないでください。



(3) タイマ・コントロール・レジスタ1 (TMC1)

TMC1はTM1の動作を制御します。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
TMC1	CE1	0	0	0	0	PRS1	PRM1		アドレス C0000064H	リセット時 00H

ビット位置	ビット名	意味															
7	CE1	Count Enable タイマの動作を制御します。 0 : タイマは "0000H" 状態で停止し, 動作しません。 1 : タイマはカウント動作を行います。															
2	PRS1	Prescaler Clock Select 内部カウント・クロックを選択します (mは中間クロック)。 0 : m/16 1 : m/32															
1, 0	PRM1	Prescaler Clock Mode カウント・クロックの中間クロック mを選択します (はシステム・クロック)。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="2">PRM1</th> <th>m</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>/2</td> </tr> <tr> <td>0</td> <td>1</td> <td>/4</td> </tr> <tr> <td>1</td> <td>0</td> <td>/8</td> </tr> <tr> <td>1</td> <td>1</td> <td>RFU (予約)</td> </tr> </tbody> </table>	PRM1		m	0	0	/2	0	1	/4	1	0	/8	1	1	RFU (予約)
PRM1		m															
0	0	/2															
0	1	/4															
1	0	/8															
1	1	RFU (予約)															

注意 タイマ動作中にカウント・クロックを変更しないでください。



(4) タイマ出力コントロール・レジスタ0 (TOC0)

TOC0レジスタはTO00,TO01端子からのタイマ出力を制御します。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
TOC0	ENTO01	ALV01	ENTO00	ALV00	0	0	TOPC01	TOPC00	アドレス C0000066H	リセット時 03H

ビット位置	ビット名	意味
7, 5	ENTO01, ENTO00	Enable TO × × pin 対応する各タイマ出力 (TO00, TO01) の許可を行います。 0 : タイマ出力は禁止状態です。対応するTO00, TO01端子からはALVビットの逆相のレベル (インアクティブ・レベル) が出力します。対応するコンペア・レジスタから一致信号が発生してもTO00, TO01端子のレベルは変化しません。 1 : タイマ出力機能は許可状態です。対応するコンペア・レジスタから一致信号が発生するとタイマ出力が変化します。タイマ出力を許可してから最初に一致信号が発生するまでは, ALVビットの逆相のレベル (インアクティブ・レベル) が出力されます。
6, 4	ALV01, ALV00	Active Level TO × × pin タイマ出力のアクティブ・レベルを指定します。 0 : アクティブ・レベルはロウ・レベル 1 : アクティブ・レベルはハイ・レベル
1, 0	TOPC01, TOPC00	Timer Output Control TO01/ <u>INTP02</u> , TO00/ <u>INTP00</u> 兼用端子の端子機能を選択します。 0 : TO01, TO00出力 1 : <u>INTP02</u> , <u>INTP00</u> 入力

備考 TO00,TO01出力のF/Fはリセット優先です。

注意 TO00,TO01出力は外部割り込み信号 (INTP0n) ではありません。TO00,TO01を使用するときは, キャプチャ/コンペア・レジスタをコンペア・レジスタ (CMS0n=1) に指定してください。

(5) ICUモード・レジスタ (IMOD)

外部割り込み信号の有効エッジを指定する制御レジスタです (詳細は, 第4章 割り込み/例外処理機能を参照してください)。

(6) タイマ・オーバーフロー・ステータス・レジスタ (TOVS)

TM0, TM1からのオーバーフロー・フラグを格納します。

8ビット単位でリード/ライト可能です。

TOVSレジスタをソフトウェアでテスト&リセットすることで、オーバーフロー発生をポーリングすることができます。

	7	6	5	4	3	2	1	0		
TOVS	0	0	0	0	0	0	OVF1	OVF0	アドレス C0000068H	リセット時 00H

ビット位置	ビット名	意味
1, 0	OVFn	<p>Overflow Flag</p> <p>TMn (n=0, 1) オーバーフロー・フラグです。</p> <p>0 : TMnのオーバーフロー発生なし</p> <p>1 : TMnのオーバーフローが発生</p> <p>注意 TM0からはオーバーフローに同期して、割り込みコントローラに対し、割り込み要求信号INTOV0が発生しますが、割り込みの動作と、TOVSとはまったく独立しており、TM0からのオーバーフロー・フラグに対しても、ほかのオーバーフロー・フラグ同様ソフトウェア操作することが可能です。</p> <p>このとき、INTOV0に対応する割り込みコントローラ内の割り込み要求フラグには影響を与えません。</p> <p>CPUからのアクセス期間中はTOVSレジスタへの転送は行われません。したがって、TOVSレジスタの読み出し中にオーバーフローが発生しても、フラグの値は変化せず、次の読み出し時に反映されます。</p>

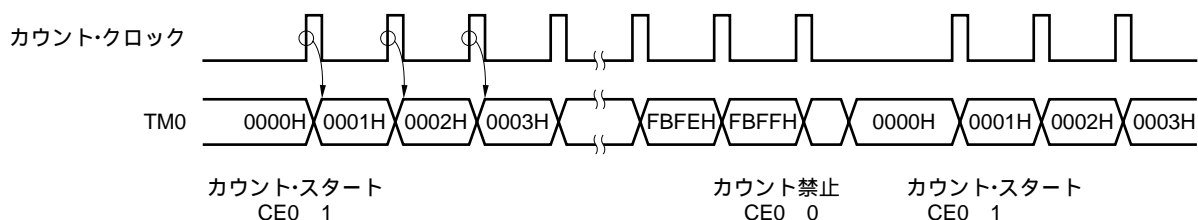
10.4 タイマ0動作

10.4.1 カウント動作

タイマ0は、16ビットのフリー・ランニング・タイマまたは、外部信号のイベント・カウンタとして機能します。動作の設定は、タイマ・コントロール・レジスタ0 (TMC0) で指定します。

フリー・ランニング・タイマとして動作する場合、CC00-CC03レジスタとTM0のカウント値が一致すると、割り込み信号を発生させるとともに、タイマ出力TO_{xx}をセット/リセットすることができます。また、外部トリガとしての外部割り込み要求入力端子から検出された有効エッジに同期して、TM0のカウント値をCC00-CC03レジスタに保持するキャプチャ動作を行います。キャプチャの値は、次のキャプチャ・トリガが発生するまで保持されます。

図10 - 1 タイマ0の基本動作



10.4.2 カウント・クロック選択

タイマ0に入力されるカウント・クロックには内部と外部があり、TMC0レジスタのETIビットによって指定されます。

注意 タイマの動作中にカウント・クロックを変更しないでください。

(1) 内部カウント・クロック (ETIビット=0)

TMC0レジスタのPRS0ビットとPRM0ビットの設定によって /2, /4, /8, /16, /32, /64の6通りから内部カウント・クロックを選択します。

PRS0		PRM0	カウント・クロック
0	0	0	/2
0	0	1	/4
0	1	0	/8
0	1	1	/16
1	0	0	/16
1	0	1	/32
1	1	0	/32
1	1	1	/64

(2) 外部カウント・クロック (ETIビット=1)

TI端子に入力される信号をカウントします。このとき、タイマ0はイベント・カウンタとして動作することもできます。

TIの有効エッジはTUM0レジスタのTES0ビットによって指定します。

TES0		有効エッジ
0	0	RFU (予約)
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり/立ち下がりエッジの両方

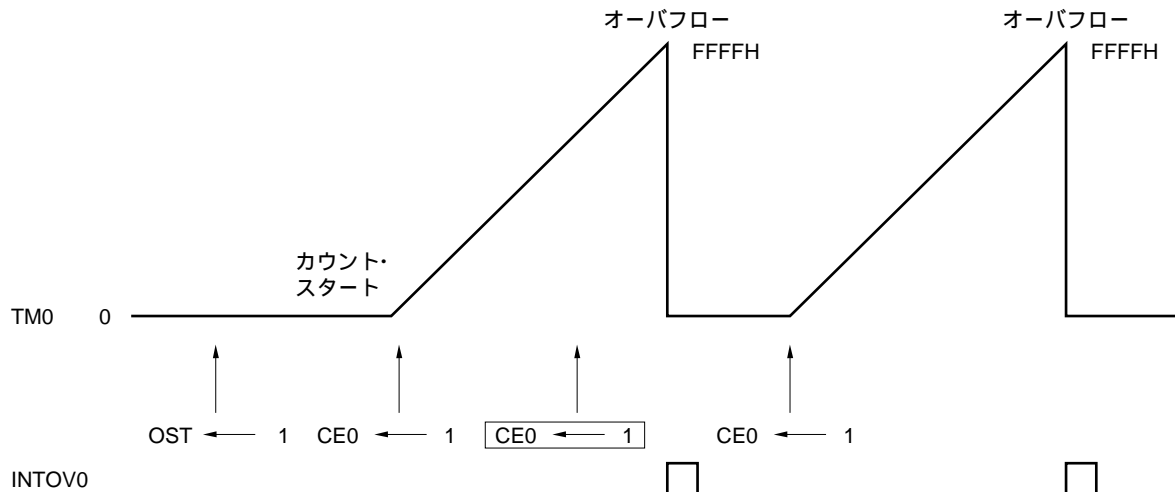
10.4.3 オーバフロー

外部、あるいは内部カウント・クロックをカウントした結果、TM0がオーバフローするとTOVSレジスタのOVF0ビットにフラグをセットし、オーバフロー割り込み (INTOV) を発生します。

また、TUM0レジスタのOSTビットを“1”に指定することで、オーバフロー後、タイマを停止させることができます。オーバフローによりタイマが停止した場合、ソフトウェアでCE0に1をセットするまでカウント動作を再開しません。

カウント動作中にCE0に1をセットしても動作に影響はありません。

図10 - 2 オーバフロー後の動作 (ECLR0 = 0, OST = 1の場合)



10.4.4 TCLR入力によるタイマのクリア/スタート

タイマ0は、通常TMC0レジスタのCE0ビットに1をセットするとカウント動作を開始しますが、外部入力TCLRによって、TM0をクリアし、カウント動作を開始することができます。

ECLR0=1,OST=0に設定し、CE0に1をセットしたあと、TCLRに有効エッジを入力すると、カウント動作を開始します。また、動作中にTCLRに有効エッジが入力されると、TM0は値をクリアし、カウント動作を再開します(図10-3参照)。

ECLR0=0,OST=1に設定し、CE0に1をセットしたあと、TCLRに有効エッジを入力すると、カウント動作を開始します。TM0がオーバーフローすると、カウント動作はいったん停止し、TCLRに有効エッジが入力されるまでカウント動作は再開しません。カウント動作中にTCLRの有効エッジが検出されると、TM0はクリアされカウント動作を続けます。(図10-4参照)。

図10-3 TCLR入力によるタイマのクリア/スタート動作(ECLR0=1,OST=0の場合)

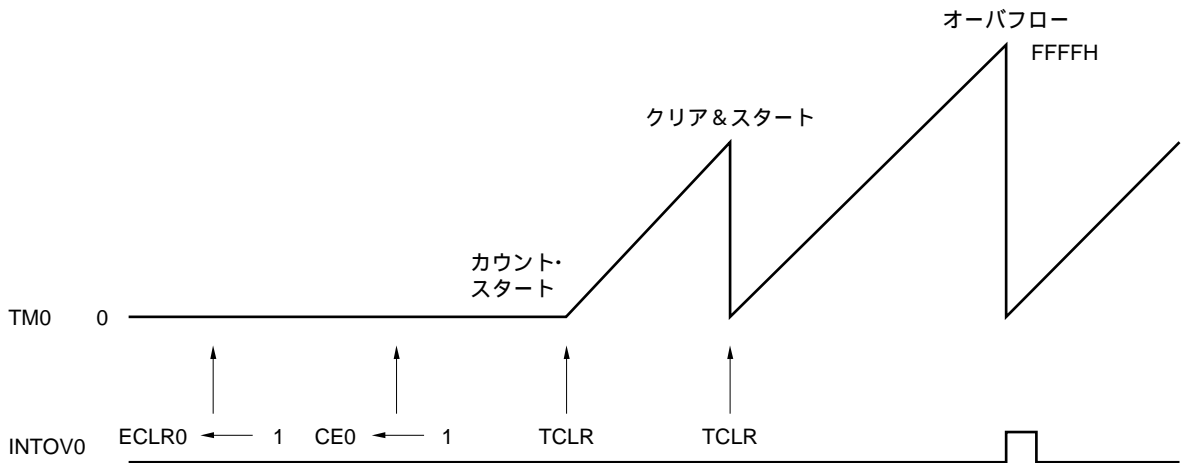
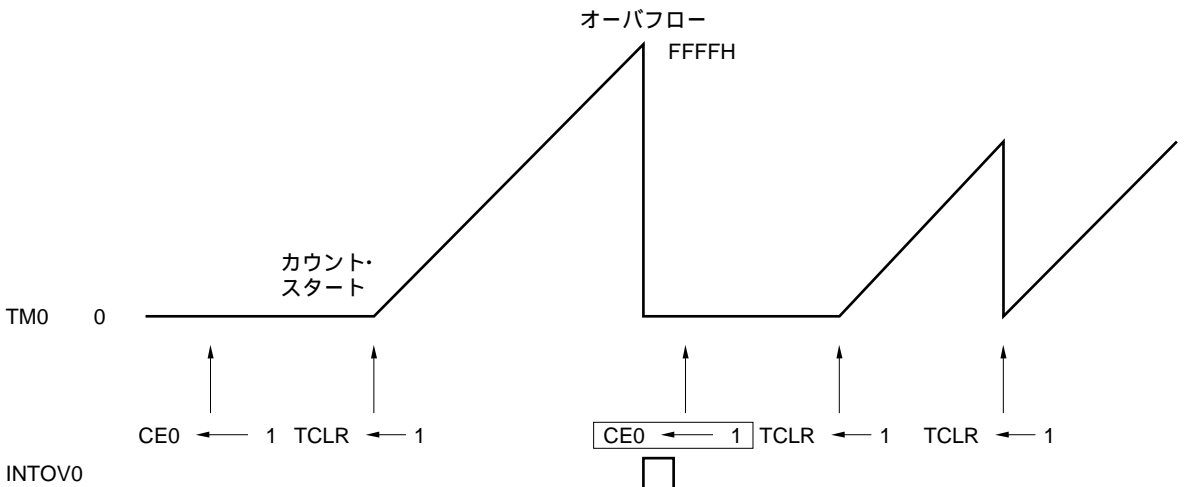


図10-4 TCLR入力によるクリア/スタートとオーバーフロー動作の関係(ECLR0=0,OST=1の場合)



10.4.5 キャプチャ動作

外部トリガに同期して、TM0のカウンタ値をカウンタ・クロックとは非同期にキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。外部トリガとして、外部割り込み要求入力端子INTPn (n=00-03) から検出された有効エッジを用います(キャプチャ・トリガ)。そのキャプチャ・トリガ信号に同期して、カウンタ中のTM0のカウンタ値をキャプチャ・レジスタに取り込み保持します。キャプチャ・レジスタの値は、次のキャプチャ・トリガが発生するまで保持されます。

また、INTPn入力信号により割り込み信号INTCCnを発生します。

表10-2 16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号(TM0)

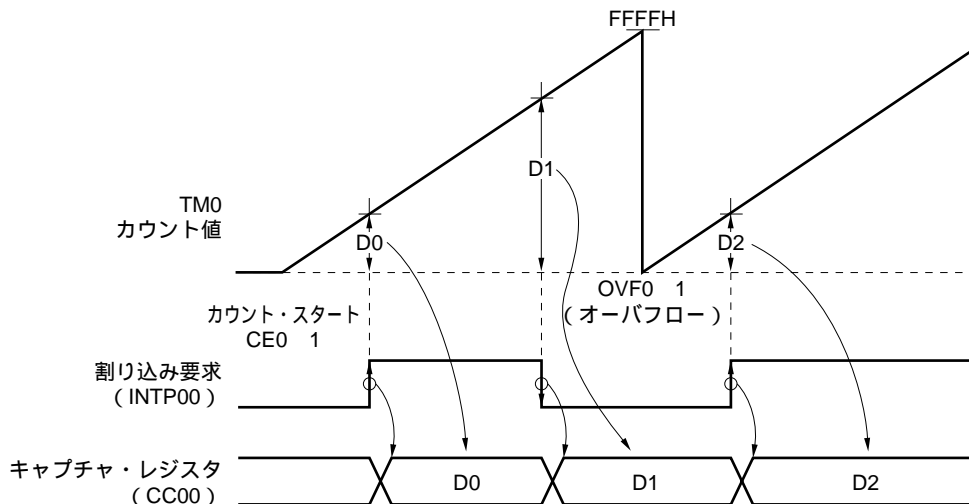
キャプチャ・レジスタ	キャプチャ・トリガ信号
CC00	INTP00
CC01	INTP01
CC02	INTP02
CC03	INTP03

備考 CC00-CC03はキャプチャ/コンペア・レジスタです。どちらのレジスタとして使用するかは、タイマ・ユニット・モード・レジスタ0(TUM0)で指定します。

キャプチャ・トリガの有効エッジは、ICUモード・レジスタ(IMOD)により設定します。

立ち上がり、立ち下りの両エッジをキャプチャ・トリガとした場合は、外部からの入力パルス幅を測定できます。また、片側エッジをキャプチャ・トリガとした場合は、入力パルスの周期を測定できます。

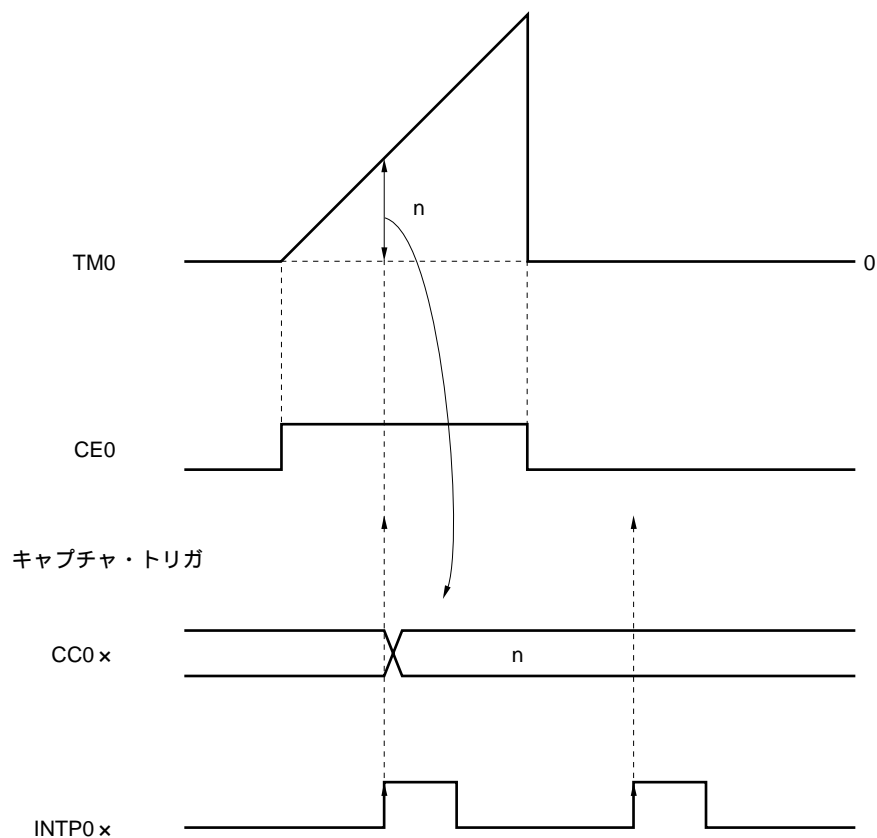
図10-5 TM0キャプチャ動作例(両エッジ指定時)



備考 Dn (n=0, 1, 2, ...) : TM0のカウンタ値

CE0がクリア(0)されているとき、割り込み信号が入力されてもキャプチャ動作は行われません。

図10 - 6 TM0キャプチャ動作例



10.4.6 コンペア動作

コンペア・レジスタに設定した値とTM0のカウンタ値を比較するコンペア動作を行います。

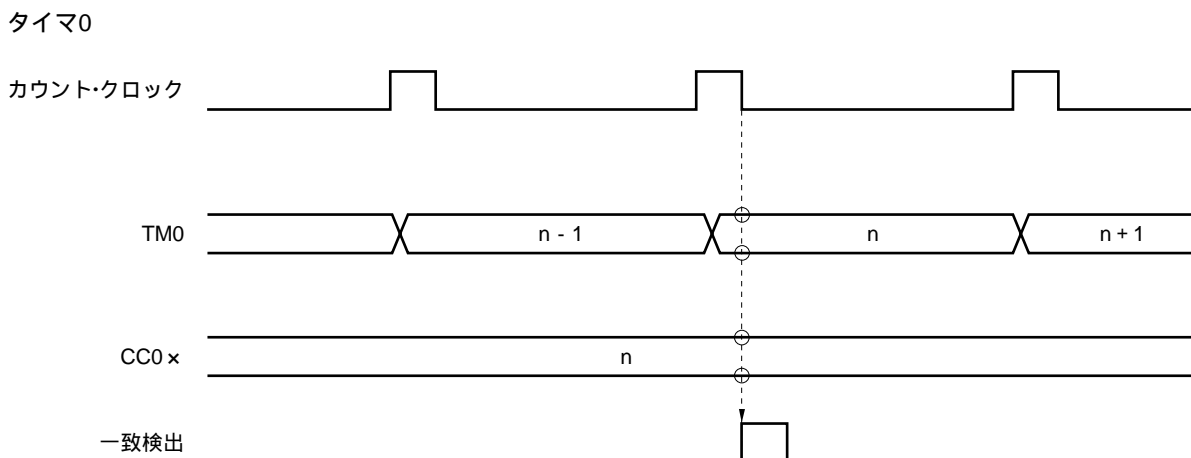
あらかじめ設定したコンペア・レジスタの値に、TM0のカウンタ値が一致すると、出力制御回路に一致信号を送ります (図10 - 7参照)。一致信号によりタイマ出力端子 (TO00, TO01) を変化させ、同時に割り込み要求信号を発生します。

表10 - 3 16ビット・コンペア・レジスタからの割り込み要求信号 (TM0)

コンペア・レジスタ	割り込み要求信号
CC00	INTCC00
CC01	INTCC01
CC02	INTCC02
CC03	INTCC03

備考 CC00-CC03はキャプチャ/コンペア・レジスタです。どちらのレジスタとして使用するかはタイマ・ユニット・モード・レジスタ0 (TUM0) で指定します。

図10 - 7 コンペア動作例



備考 一致はカウント・アップ直後に検出され、一致検出信号を発生します。

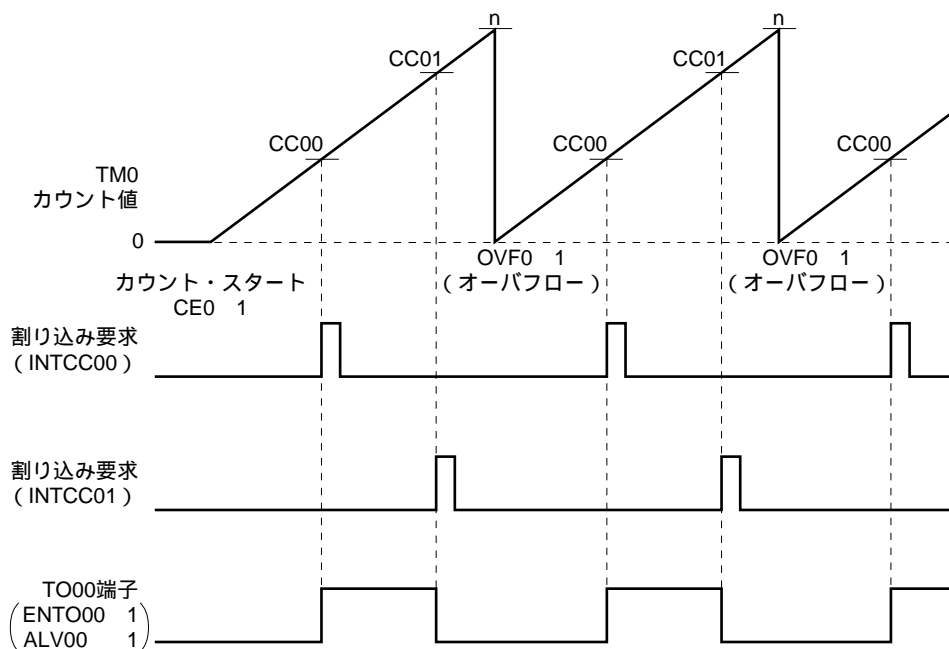
TM0は2本のタイマ出力端子(TO00, TO01)を持っています。

TM0のカウンタ値とCC00の値を比較し、一致するとTO00端子の出力レベルをセットします。またTM0のカウンタ値とCC01の値を比較し、一致するとTO00端子の出力レベルをリセットします。

同様に、TM0のカウンタ値とCC02の値を比較し、一致するとTO01端子の出力レベルをセットします。また、TM0のカウンタ値とCC03の値を比較し、一致するとTO01端子の出力レベルをリセットします。

TO00, TO01端子の出力レベルは、TOC0レジスタによって指定できます。

図10 - 8 TM0コンペア動作例(セット・リセット出力モード)



10.5 タイマ1動作

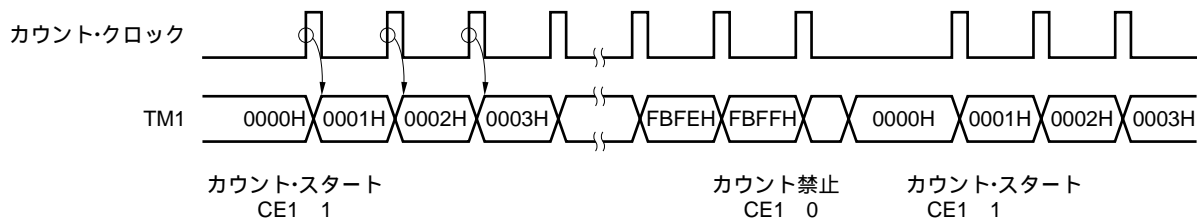
10.5.1 カウント動作

タイマ1は、16ビットのインターバル・タイマとして機能します。動作の設定は、タイマ・コントロール・レジスタ1 (TMC1) で指定します。

タイマ1のカウント動作は、TMC1レジスタのPRS0, PRM0ビットで指定される内部カウント・クロック (/32- /256) をカウント・アップします。

カウントの結果、TM1の値がCM1と一致すると、TM1をクリアします。同時に一致割り込み (INTCM1) を発生します。

図10 - 9 タイマ1の基本動作



10.5.2 入カクロック選択

TMC1レジスタのPRS0, PRM0ビットの設定によって /32, /64, /128, /256の4通りから内部カウント・クロックを選択します。

注意 タイマの動作中にカウント・クロックを変更しないでください。

PRS0	PRM0		カウント・クロック
0	0	0	/32
0	0	1	/64
0	1	0	/128
0	1	1	RFU (予約)
1	0	0	/64
1	0	1	/128
1	1	0	/256
1	1	1	RFU (予約)

10.5.3 オーバフロー

内部カウント・クロックをカウントした結果TM1がオーバーフローすると、TOVSレジスタのOVF1ビットにフラグをセットします。

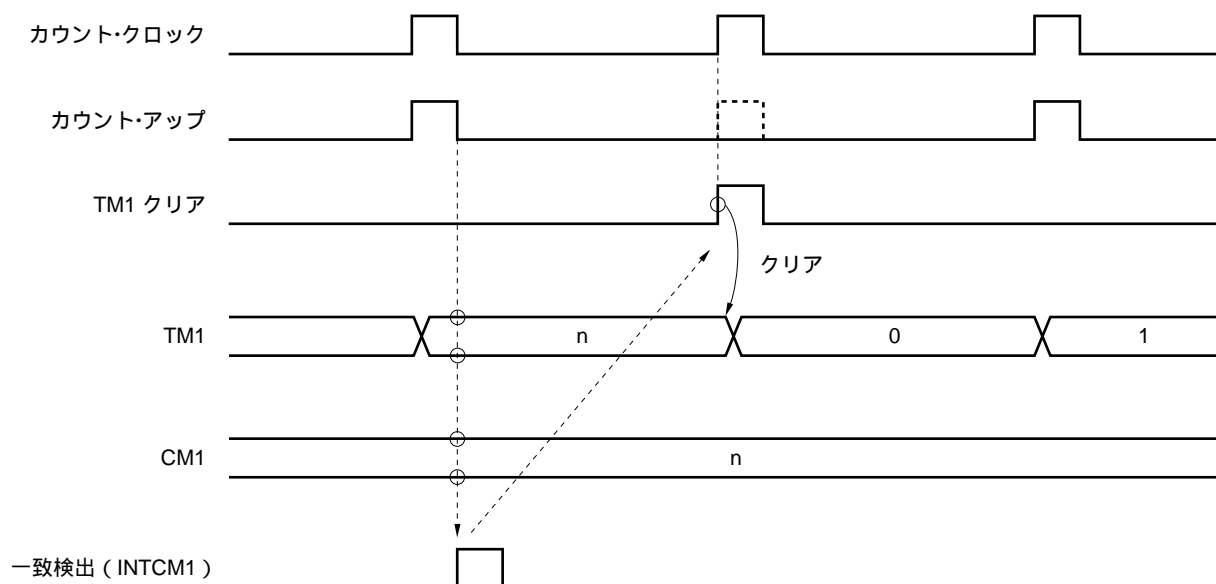
10.5.4 コンペア動作

タイマ1では、コンペア・レジスタ (CM1) に設定した値とTM1のカウント値を比較するコンペア動作を行います。

コンペア動作で一致を検出すると割り込み (INTCM1) を発生します。割り込み発生により、次のカウント・タイミングでTM1は0にクリアされます (図10-10参照)。この機能により、タイマ1をインターバル・タイマとして使用します。

CM1には0を設定することもできます。この場合はオーバーフローしてTM1が0になるとともに一致を検出しINTCM1が発生します。次のカウント・タイミングでTM1の値をクリア (0) しますが、この一致で、INTCM1は発生しません (図10-11参照)。

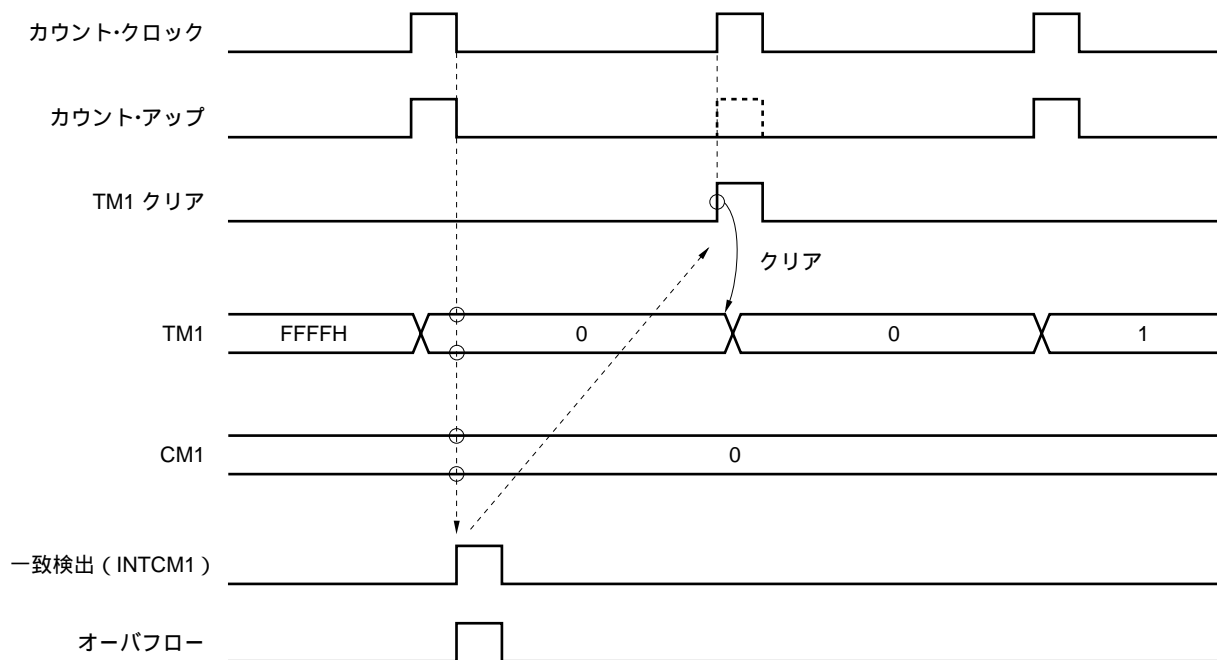
図10-10 CM1が1-FFFFHまでの動作



備考 インターバル時間 = $(n + 1) \times$ カウント・クロック周期

$n=1-65535$ (FFFFH)

図10-11 CM1に0をセットした場合



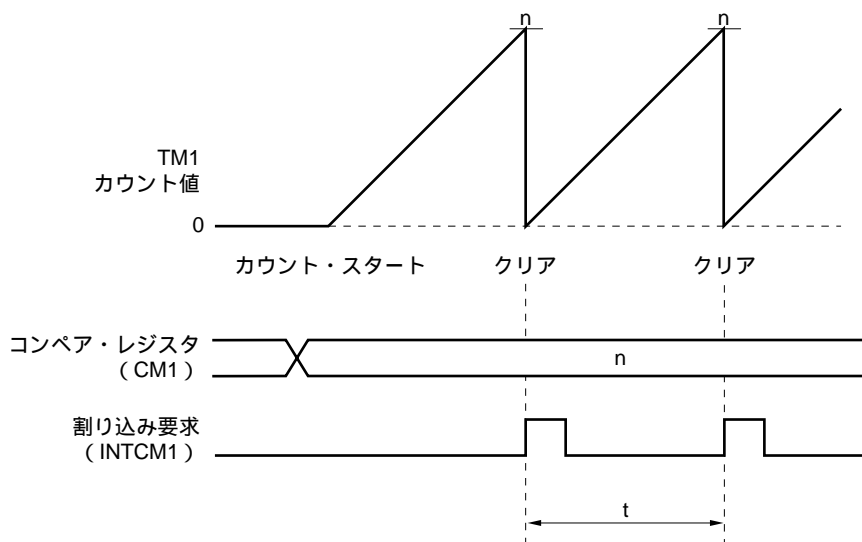
備考 インターバル時間 = (FFFFH + 2) × カウント・クロック周期

10.6 応用例

(1) インターバル・タイマとしての動作 (タイマ1)

タイマ1をコンペア・レジスタCM1にあらかじめ設定したカウント時間をインターバルとして繰り返し割り込み要求を発生するインターバル・タイマとして使用します。図10-12にタイミングを示します。図10-13にその設定手順を示します。

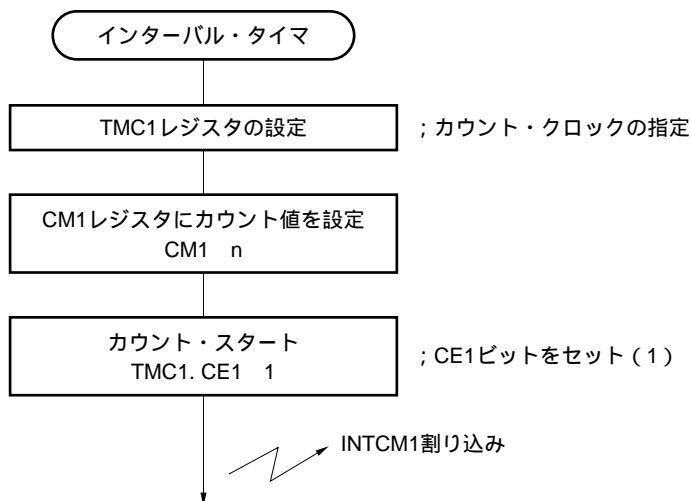
図10-12 インターバル・タイマ動作のタイミング (タイマ1)



備考 n : CM1レジスタの値

t : インターバル時間 = (n + 1) × カウント・クロック周期

図10-13 インターバル・タイマ動作の設定手順 (タイマ1)



(2) パルス幅測定としての動作 (タイマ0)

パルス幅測定には、タイマ0を使用します。

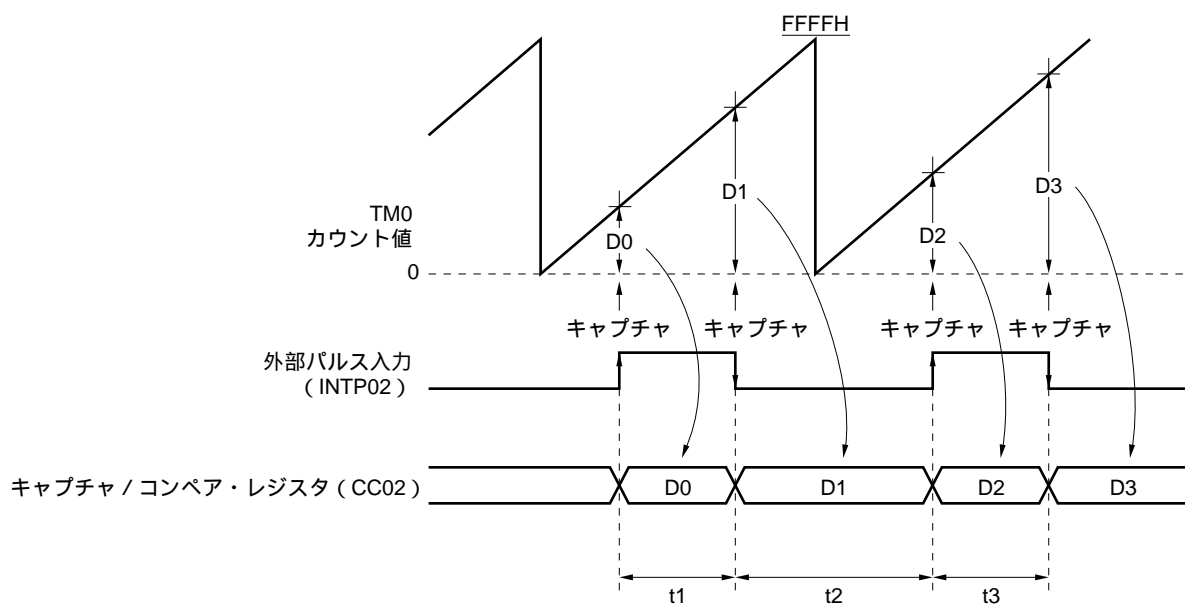
ここでは、INTP02端子に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定します。

図10-14に示すように、INTP02端子入力の有効エッジ (立ち上がり, 立ち下がり) に同期して、カウント中のタイマ0 (TM0) の値をキャプチャ/コンペア・レジスタ (CC02) に取り込み保持します。

パルス幅は、 n 回目の有効エッジ検出によりCC02レジスタに取り込み保持されたTM0のカウント値 (D_n) と ($n - 1$) 回目の有効エッジ検出によるカウント値 (D_{n-1}) との差を求め、この値と、カウント・クロックとの積から計算します。

このときの設定手順を図10-15に示します。

図10-14 パルス幅測定のタイミング (タイマ0)



$$t1 = (D1 - D0) \times \text{カウント・クロック周期}$$

$$t2 = \{ (FFFFH - D1) + D2 \} \times \text{カウント・クロック周期}$$

$$t3 = (D3 - D2) \times \text{カウント・クロック周期}$$

備考 D_n : TM0のカウント値 ($n=0, 1, 2, \dots$)

図10 - 15 パルス幅測定の設定手順 (タイマ0)

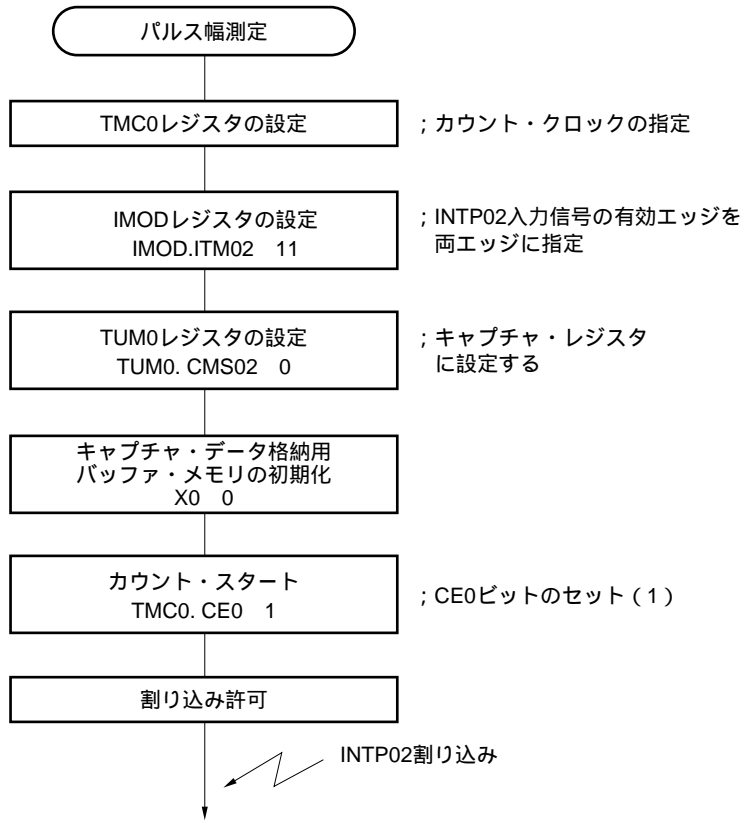
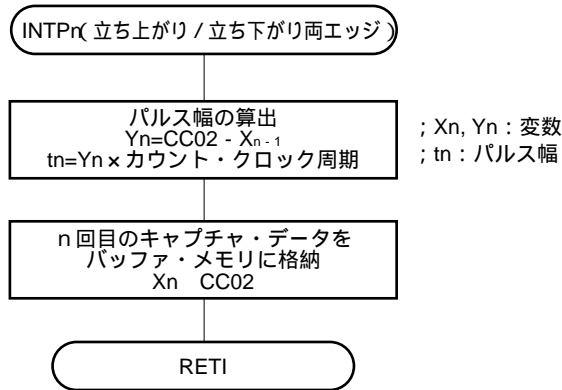


図10 - 16 パルス幅を算出する割り込み要求処理ルーチン (タイマ0)



注意 (n - 1) 回目のキャプチャから n 回目のキャプチャまでの間に 2 回以上オーバーフローが起きたら、パルス幅の測定はできません。

(3) PWM出力としての動作 (タイマ0)

タイマ0とタイマ出力機能を組み合わせてタイマ出力端子 (TO00, TO01) に任意の矩形波を出力することができます。

(a) タイマ0の使用法

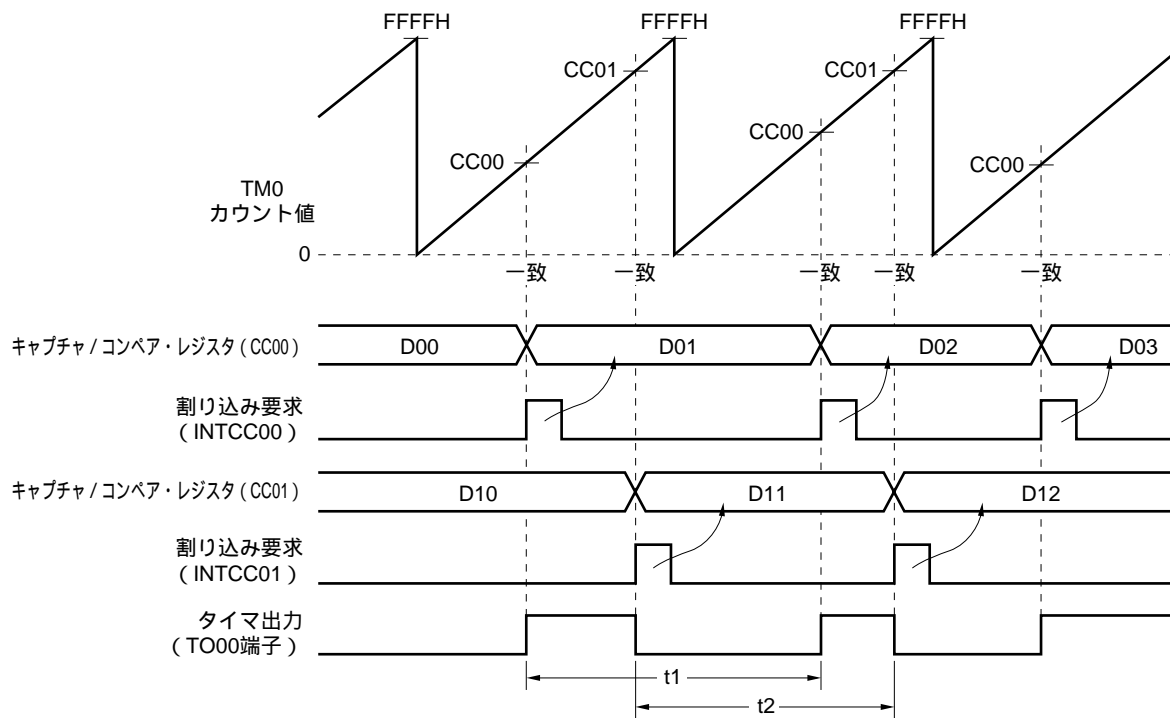
このPWM出力では、2つのキャプチャ/コンペア・レジスタCC00, CC01を使用します。
 $\overline{\text{INTP00}}/\text{TO00}$ 端子の出力モードは、セット・リセット出力モードに設定します。

これにより、16ビット精度のPWM信号をTO00端子から出力することができます。図10-17にタイミングを示します。

16ビット・タイマとして使用した場合、図10-17に示すように、キャプチャ/コンペア・レジスタ (CC00) に設定する値でPWM出力の立ち上がりタイミングを決定し、キャプチャ/コンペア・レジスタ (CC01) に設定する値で、立ち下りのタイミングを決定します。

このときの設定手順を図10-18に示します。

図10-17 PWM出力のタイミング (TM0)



備考 D×× : コンペア・レジスタの設定値

$$t1 = \{ (FFFFH - D00) + D01 \} \times \text{カウント} \cdot \text{クロック周期}$$

$$t2 = \{ (FFFFH - D10) + D11 \} \times \text{カウント} \cdot \text{クロック周期}$$

図10 - 18 PWM出力の設定手順 (タイマ0)

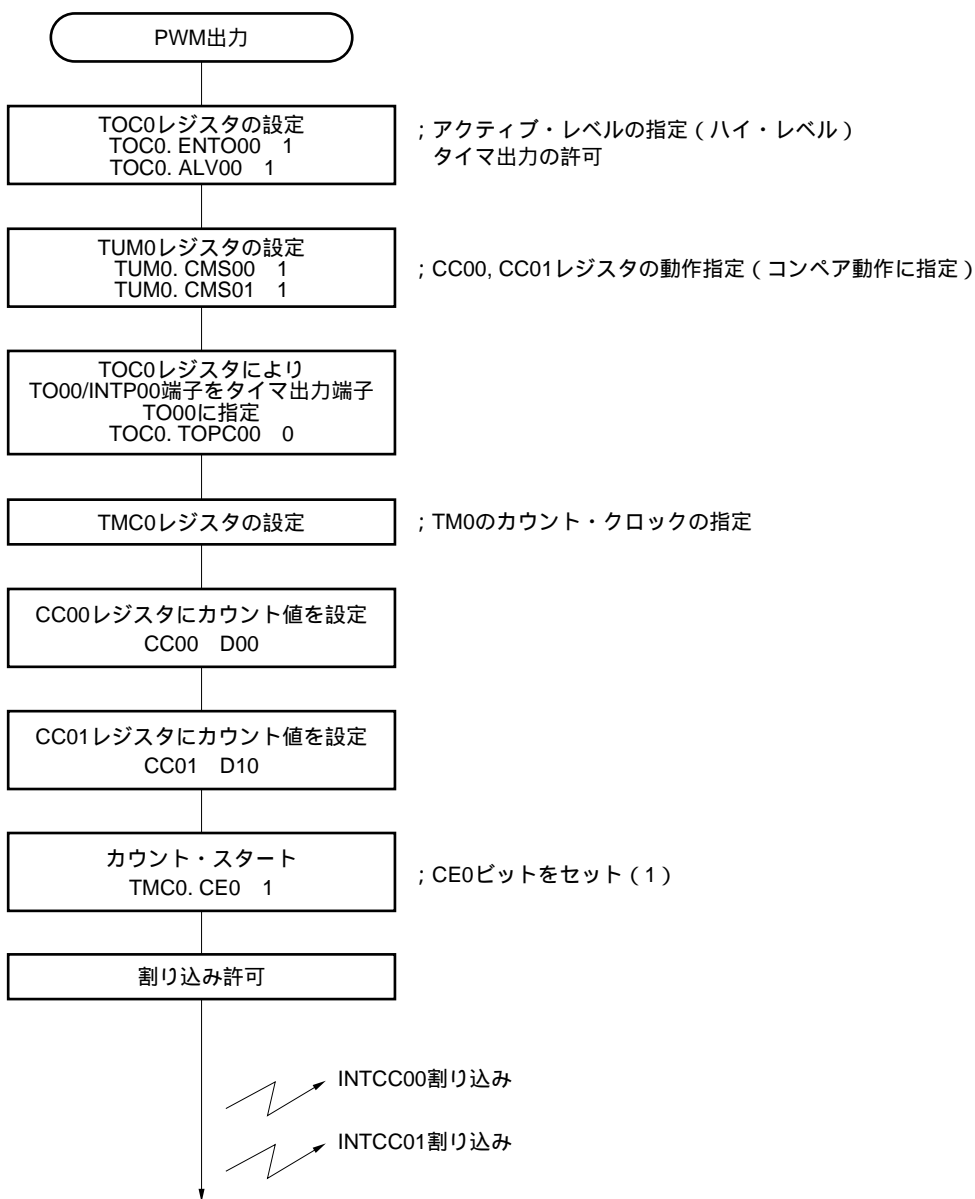
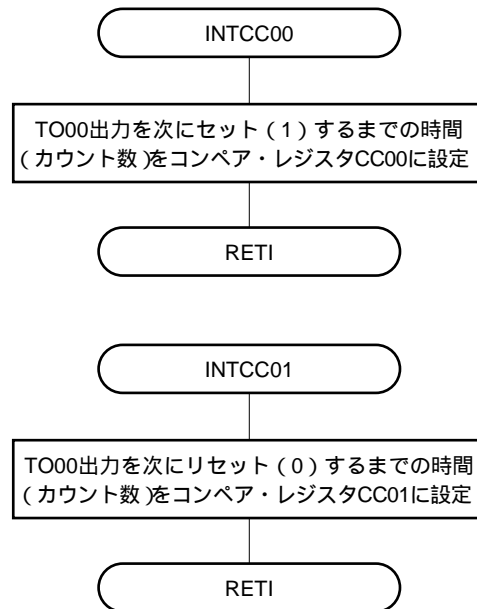


図10 - 19 コンペア値を書き換える割り込み要求処理ルーチン (タイマ0)



(4) 周期測定としての動作 (タイマ0)

タイマ0はINTPn端子 (n=00-03) に入力される外部パルスの周期を測定できます。

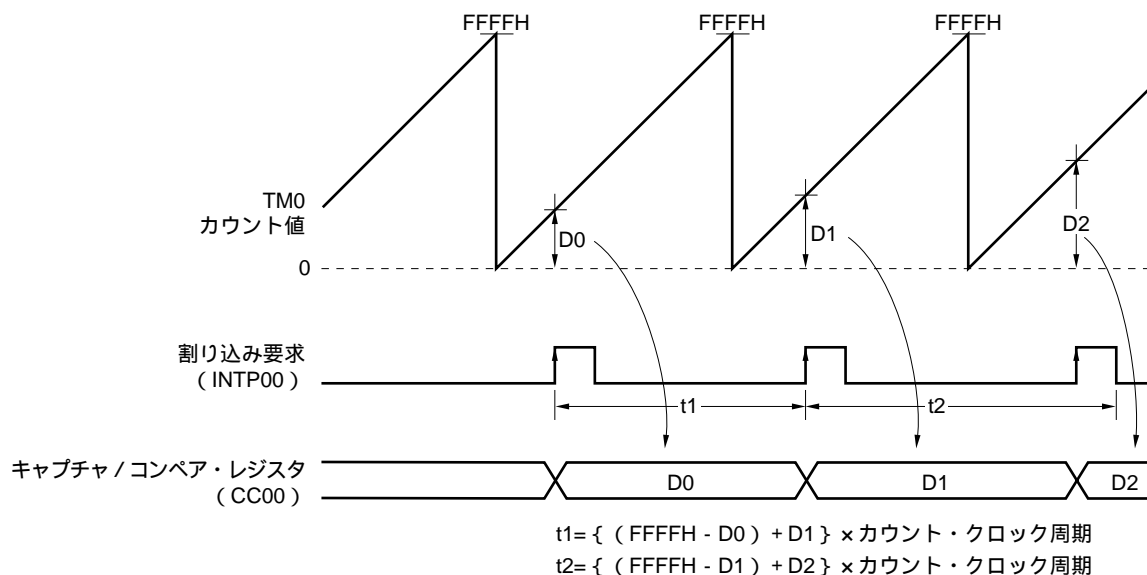
ここでは、タイマ0とキャプチャ/コンペア・レジスタCC00を組み合わせ、INTP00端子に入力される外部パルスの周期を16ビット精度で測定します。

INTP00入力信号の有効エッジをIMODレジスタにより、立ち上がりエッジに指定します。

周期は、n回目の立ち上がりエッジによりCC00レジスタに取り込み保持したTM0のカウンタ値 (Dn) と、(n - 1) 回目の立ち上がりエッジにより取り込んだカウンタ値 (Dn - 1) との差を求め、この値とカウンタ・クロックとの積から計算します。

このときの設定手順を図10 - 21に示します。

図10 - 20 周期測定のタイミング (TM0)



備考 Dn : TM0のカウンタ値 (n=0, 1, 2, ...)

図10 - 21 周期測定の設定手順 (タイマ0)

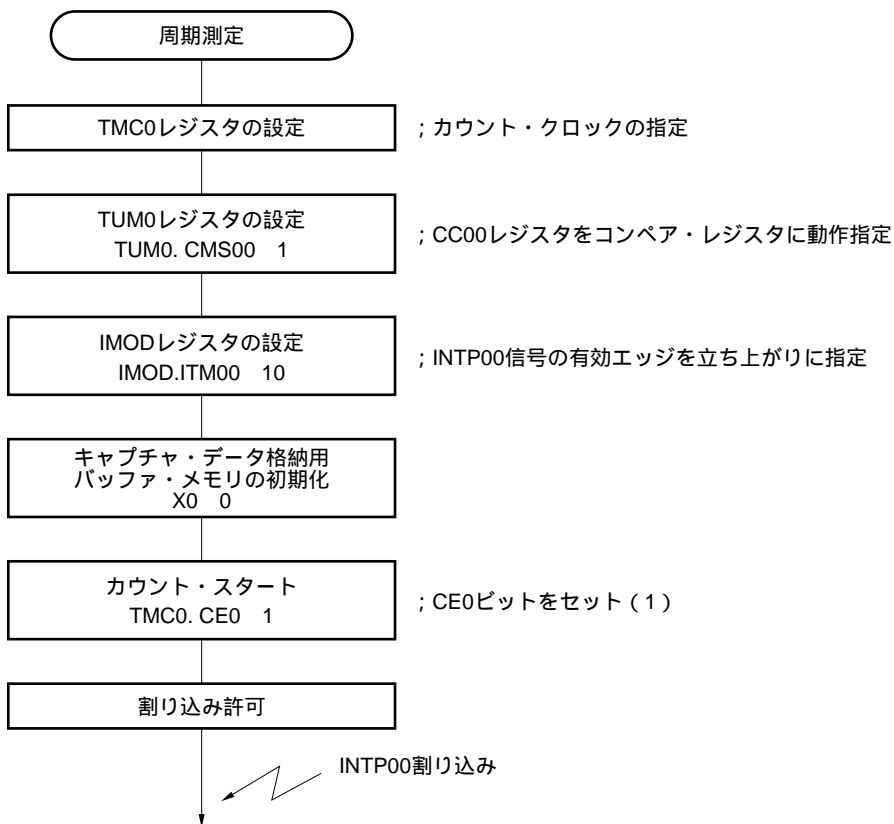
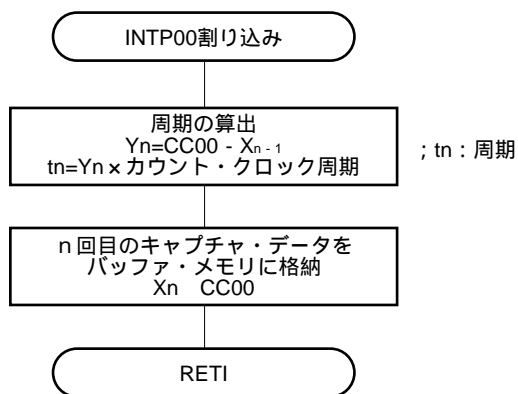


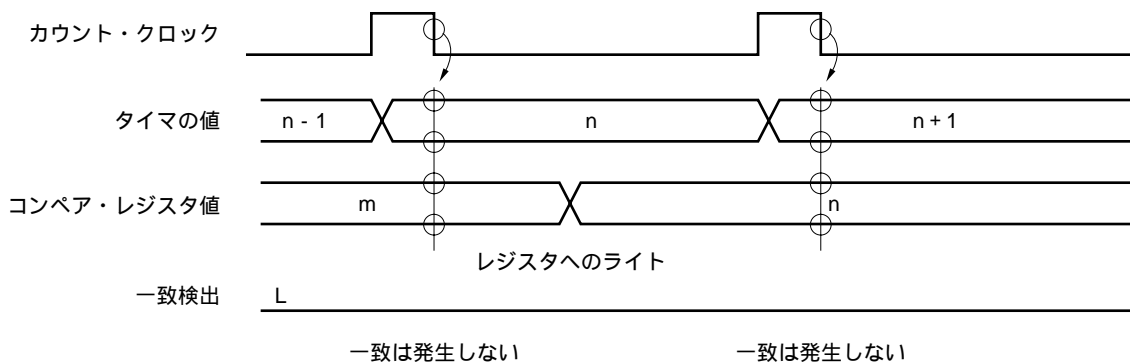
図10 - 22 周期を算出する割り込み要求処理ルーチン (タイマ0)



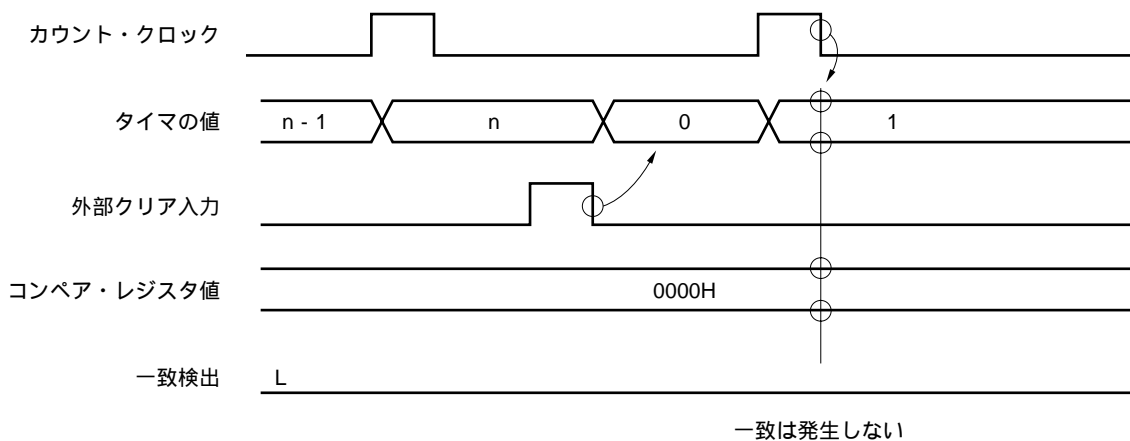
10.7 注意事項

コンペア・レジスタによる一致検出は、常にタイマのカウント・アップ直後のタイミングで行われます。以下の場合、一致は発生しません。

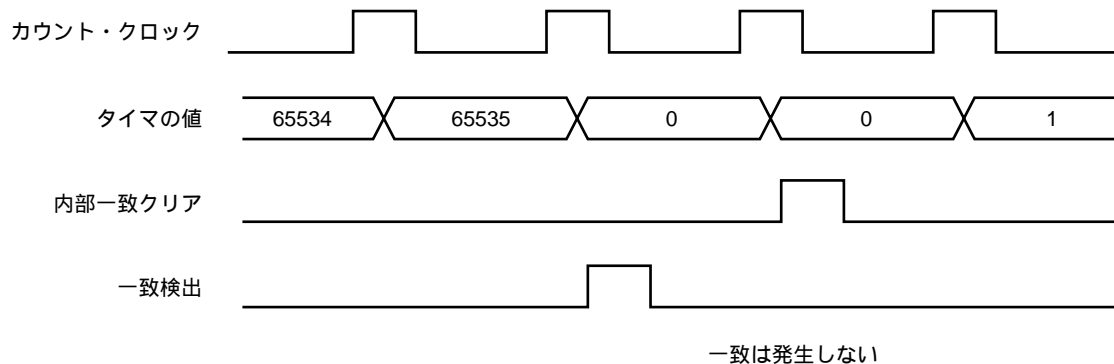
(1) コンペア・レジスタの書き換え時 (TM0, TM1)



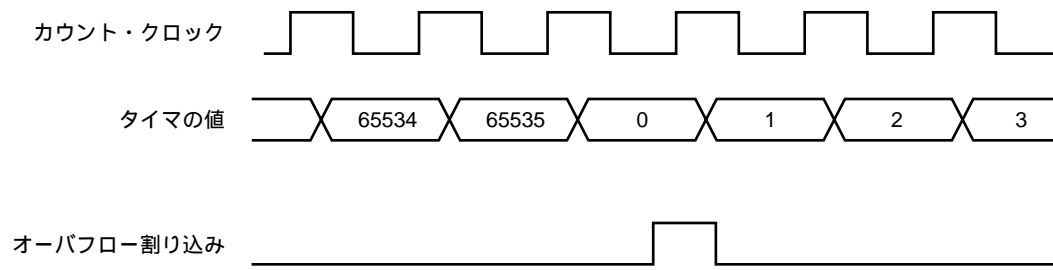
(2) 外部クリア時 (TM0)



(3) タイマ・クリア時 (TM1)



フリー・ランニングでタイマを動作させるときには、タイマのオーバーフローでタイマの値は0になります。



第11章 ウォッチドッグ・タイマ機能

ウォッチドッグ・タイマ機能は、プログラムの暴走やデッドロックを防ぐための機能です。

11.1 特 徴

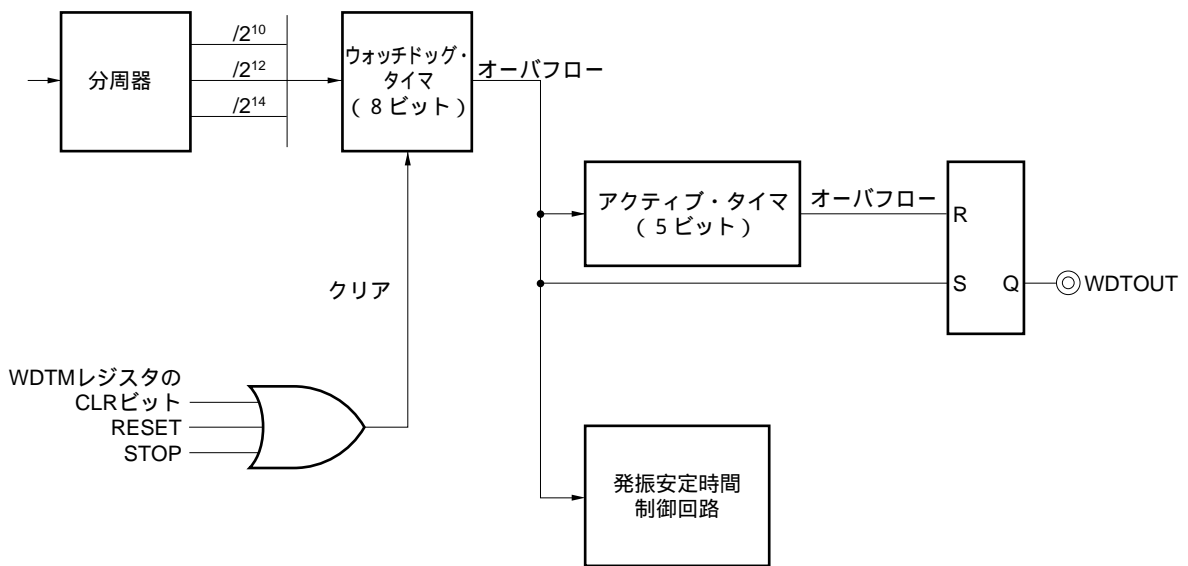
3種のオーバーフロー時間を設定可能

10.5 ms, 41.9 ms, 167.8 ms (システム・クロック = 25 MHz時)

ウォッチドッグ・タイマ・オーバーフロー出力 (WDTOUT)

11.2 構 成

図11 - 1 ウォッチドッグ・タイマの構成図



備考 : システム・クロック

(1) ウォッチドッグ・タイマ

ウォッチドッグ・タイマは、システム・クロックの発振安定時間確保用のタイマを兼ねています。システム・リセットまたはSTOPモードに入ると、カウント値はクリアされ00Hになります。

ウォッチドッグ・タイマは、スタンバイ・モードにおいて次のように動作します。

(a) STOPモード

カウント動作を停止します。

STOPモードが解除されるとカウント値はクリアされます。

ウォッチドッグ・タイマは00Hからカウントを開始し、オーバフローを発生させます。オーバフロー信号は発振安定時間制御回路に供給され、システム・クロックの供給を開始します。このときWDTOUT端子はアクティブになりません。STOPモードが $\overline{\text{NMI}}$ 端子によって解除された場合は、さらにカウントを継続します。

(b) IDLEモード

カウント動作を停止します。カウント値は保持します。

IDLEモードが解除されると、ウォッチドッグ・タイマは保持したカウント値からカウントを再開します。

(c) HALTモード

カウント動作を継続します。

(2) アクティブ・タイマ

ウォッチドッグ・タイマのオーバフロー時に出力されるWDTOUT信号を、32クロック期間アクティブに保つためのタイマです。

WDTOUT端子と $\overline{\text{RESET}}$ 端子を外部回路で接続することにより、ウォッチドッグ・タイマのオーバフローでシステム・リセットをかけることができます。

11.3 動作

ウォッチドッグ・タイマは、プログラムまたはシステムが正常に動作していることを、WDTOUT端子がアクティブにならないことで示しています。

ウォッチドッグ・タイマを使用する場合は、必ずプログラム実行の一定間隔またはサブルーチンの先頭などでウォッチドッグ・タイマをクリア(カウント開始)するように、WDTMレジスタで設定してください。指定した時間内にウォッチドッグ・タイマがクリアされずにオーバフローすると、WDTOUT端子がアクティブになりプログラムの異常を知らせます。また、WDTオーバフロー・フラグ(OV)をセットします。OVフラグは、WDTカウンタをクリアすることによりクリアされます。

ウォッチドッグ・タイマのオーバフローを割り込み要因として使用したい場合は、WDTOUT端子を外部割り込み要求端子($\overline{\text{INTPn}}$, $\overline{\text{NMI}}$)に外部回路で接続してください。

11.4 WDTモード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作を制御します。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
WDTM	KEY		BWOS	EN	CL/OV	WDTI			アドレス C00000C0H	リセット時 00H

ビット位置	ビット名	意味												
7-5	KEY	KEY data データを識別します。必ず次の値にしてください。 KEY = 011 この値以外では、WDTMレジスタに書き込むことができません。リードした場合は、常に000が読み出されます。												
4	BWOS	BLOCK/WDTOUT Output Select BLOCK信号とWDTOUT信号のどちらを出力するか選択します。 0 : WDTOUT出力 1 : BLOCK出力												
3	EN	Enable ウォッチドッグ・タイマのカウンタ動作を開始 / 停止します。 0 : カウンタ停止 1 : カウンタ開始												
2	CL/OV	Clear/Overflow ライト時：ウォッチドッグ・タイマのカウンタ値とオーバーフロー・フラグをクリアします。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">CL</th> <th style="width: 90%;">動 作</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td>カウンタ値とオーバーフロー・フラグをクリアしません(何もしません)。</td> </tr> <tr> <td style="text-align: center;">1</td> <td>カウンタ値とオーバーフロー・フラグをクリアします。</td> </tr> </tbody> </table> リード時：ウォッチドッグ・タイマのオーバーフロー・フラグがリードできます。 ストップ・モード解除後のオーバーフローではセットされません。 システム・リセットによりクリアされます。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">OV</th> <th style="width: 90%;">動 作</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td>オーバーフローが発生していません。</td> </tr> <tr> <td style="text-align: center;">1</td> <td>オーバーフローが発生しています。</td> </tr> </tbody> </table>	CL	動 作	0	カウンタ値とオーバーフロー・フラグをクリアしません(何もしません)。	1	カウンタ値とオーバーフロー・フラグをクリアします。	OV	動 作	0	オーバーフローが発生していません。	1	オーバーフローが発生しています。
CL	動 作													
0	カウンタ値とオーバーフロー・フラグをクリアしません(何もしません)。													
1	カウンタ値とオーバーフロー・フラグをクリアします。													
OV	動 作													
0	オーバーフローが発生していません。													
1	オーバーフローが発生しています。													

ビット位置	ビット名	意味																																				
1,0	WDTI	<p>WDT Input</p> <p>ウォッチドッグ・タイマのカウンタ・クロックを設定します。</p> <table border="1"> <thead> <tr> <th colspan="2">WDTI</th> <th>カウンタ・クロック</th> <th colspan="3">オーバフロー時間 (ms)</th> </tr> <tr> <th colspan="2"></th> <th></th> <th>16 MHz</th> <th>20 MHz</th> <th>25 MHz</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>$2^{10}/$</td> <td>16.4</td> <td>13.1</td> <td>10.5</td> </tr> <tr> <td>0</td> <td>1</td> <td>$2^{12}/$</td> <td>65.5</td> <td>52.4</td> <td>41.9</td> </tr> <tr> <td>1</td> <td>0</td> <td>$2^{14}/$</td> <td>262.1</td> <td>209.7</td> <td>167.8</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> <td></td> <td></td> <td></td> </tr> </tbody> </table> <p>: システム・クロック</p> <p>ウォッチドッグ・タイマの動作中にこのビットを変更した場合、動作は保証しません。</p>	WDTI		カウンタ・クロック	オーバフロー時間 (ms)						16 MHz	20 MHz	25 MHz	0	0	$2^{10}/$	16.4	13.1	10.5	0	1	$2^{12}/$	65.5	52.4	41.9	1	0	$2^{14}/$	262.1	209.7	167.8	1	1	設定禁止			
WDTI		カウンタ・クロック	オーバフロー時間 (ms)																																			
			16 MHz	20 MHz	25 MHz																																	
0	0	$2^{10}/$	16.4	13.1	10.5																																	
0	1	$2^{12}/$	65.5	52.4	41.9																																	
1	0	$2^{14}/$	262.1	209.7	167.8																																	
1	1	設定禁止																																				

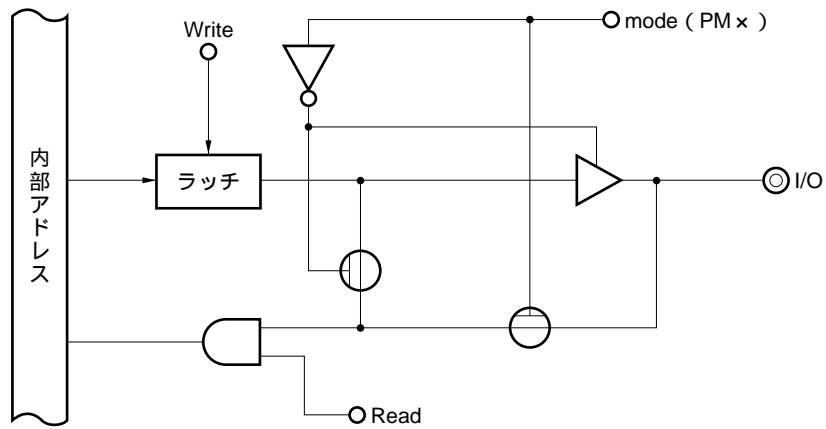
第12章 ポート機能

V821の端子は、ポート端子とコントロール端子が兼用となっています。各端子の詳細については、2.1 端子機能一覧を参照してください。

12.1 特徴

入出力ポート (P00-P09) : 10本

12.2 構成



12.3 ポート0の端子機能

ポート・レジスタ0 (P0) は、16ビット単位で入出力を指定できる16ビット入出力ポートです。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
P0	0	0	0	0	0	0	P09	P08	P07	P06	P05	P04	P03	P02	P01	P00	アドレス C0000014H	リセット時 不定

ビット位置	ビット名	意味
9-0	P9-P0	Port data 入出力ポート

注意 コントロール・モード指定時にポート・レジスタ0をリードすると、ポート0の該当端子に入力されているレベルが読み出されます。なお、 $\overline{\text{DACK0}}$ など、コントロール・モード時に出力端子として機能している端子のレベルは読み出されません。

ポート・モード・レジスタ0 (PM0) により入力/出力の指定を行います。

(1) 出力ポート指定時 (PM0 = 0)

ポート・レジスタに対して書き込みを行った場合は、出力ラッチに値が書き込まれます。また、読み出しを行った場合は、出力ラッチの値が読み出されます。

(2) 入力ポート指定時 (PM0 = 1)

ポート・レジスタに対して書き込みを行った場合は、出力ラッチに値が書き込まれます。また、読み出しを行った場合は、ポート0の該当端子のレベルの値が読み出されます。

12.4 制御レジスタ

ポートの制御は、ポート・モード・コントロール・レジスタ0 (PMC0) とポート・モード・レジスタ0 (PM0) により行います。

12.4.1 ポート・モード・コントロール・レジスタ0 (PMC0)

PMC0レジスタの対応ビットがセット(1)されていればコントロール・モード, リセット(0)されていればポート・モードになります。

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
PMC0	0	0	0	0	0	0	MS9	MS8	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	アドレス C0000010H	リセット時 0000H

ビット位置	ビット名	意味
9-0	MS9-MS0	Mode Select 0: ポート・モード 1: コントロール・モード

12.4.2 ポート・モード・レジスタ0 (PM0)

ポート・モード選択時に、端子の入出力を設定します。PMC0レジスタでコントロール・モードに設定した場合の動作を表12-1に示します。

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
PM0	0	0	0	0	0	0	PM9	PM8	PM7	PM6	PM5	PM4	PM3	PM2	PM1	PM0	アドレス C0000012H	リセット時 03FFH

ビット位置	ビット名	意味
9-0	PM9-PM0	Port Mode 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

表12 - 1 ポート動作

ポート名	ポートの動作			
	MSn = 0		MSn = 1	
	PMn = 0	PMn = 1	PMn = 0	PMn = 1
P00/TCLR	P00出力	P00入力	TCLR入力	
P01/DREQ0	P01出力	P01入力	DREQ0入力	
P02/ $\overline{\text{DACK0}}$	P02出力	P02入力	$\overline{\text{DACK0}}$ 入力	
P03/DREQ1	P03出力	P03入力	DREQ1入力	
P04/ $\overline{\text{DACK1}}$	P04出力	P04入力	$\overline{\text{DACK1}}$ 入力	
P05/SI	P05出力	P05入力	SI入力	
P06/SO	P06出力	P06入力	SO出力	
P07/ $\overline{\text{SCLK}}$	P07出力	P07入力	$\overline{\text{SCLK}}$ 入出力	
P08/TXD/ $\overline{\text{UBE}}$	P08出力	P08入力	$\overline{\text{UBE}}$ 出力	TXD出力
P09/RXD/ $\overline{\text{TC}}$	P09出力	P09入力	$\overline{\text{TC}}$ 出力	RXD入力

第13章 クロック発生機能

クロック・ジェネレータは、CPUをはじめとする内蔵の各ハードウェア・ユニットに供給される内部システム・クロック（ ）を発生、制御します。

13.1 特 徴

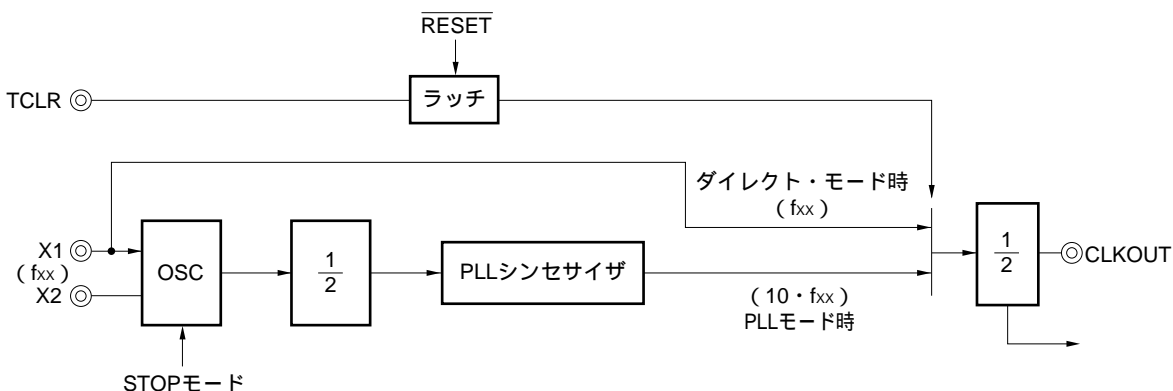
PLL (Phase locked loop) シンセサイザによる通倍機能 (5 通倍)

クロック・ソース

- ・発振子接続による発振 : $f_{xx} = \frac{1}{5} \times$ (PLLモード)
- ・外部クロック : $f_{xx} = \frac{1}{5} \times$ (PLLモード)
- ・外部クロック : $f_{xx} = 2 \times$ (ダイレクト・モード)

クロック出力制御

★ 13.2 構 成



：内部システム・クロック周波数 (=1/2 · 10 · f_{xx} : PLLモード時)

” (=1/2 · f_{xx} : ダイレクト・モード時)

OSC : (Oscillator) : 発振回路 (PLLモードのみ対応)

13.3 入力クロック選択

クロック・ジェネレータは、クロック発振回路とPLLシンセサイザから構成されており、たとえば、5 MHzのクリスタル振動子またはセラミック発振子をX1, X2端子に接続することにより、25 MHzのシステム・クロックを生成することができます。

また、発振回路には外部クロックを直接入力することもできます。この場合、X1端子だけにクロック信号を入力し、X2端子はオープンにしてください。

クロック・ジェネレータは基本動作モードとして、PLLモードとダイレクト・モードの2種類を備えます。動作モードの選択は、リセット期間中のTCLR端子で行います。TCLR端子からの入力信号は $\overline{\text{RESET}}$ 端子がインアクティブになるときにラッチされますが、リセット期間中 ($\overline{\text{RESET}}$ 端子がアクティブ) は値を保持してください。TCLR端子の $\overline{\text{RESET}}$ 信号立ち上がりに対するホールド時間は、1クロック分と考えてください。リセット期間中にTCLR端子が変化した場合、誤動作する可能性があります。

TCLR	動作モード
0	PLLモード
1	ダイレクト・モード

13.3.1 ダイレクト・モード

ダイレクト・モードでは、システム・クロックの2倍の周波数の外部クロックを入力します。OSCおよびPLLシンセサイザが動作しないため、一層の低消費電力化が可能です。おもに、V821を比較的の低周波数で動作させる応用に使用します。ノイズによる影響を最小限にするためには、外部クロックの周波数 f_{xx} を32 MHz (システム・クロック = 16 MHz) 程度以下で使用することを推奨します。

なお、外部クロックを直接使用するためには、リセット期間中TCLR端子を1に保持してください。

13.3.2 PLLモード

PLLモードでは、外部発振子を接続または外部クロックを入力することにより、これをPLLシンセサイザにより逡倍し、システム・クロック () を生成します。

3-5 MHz程度の外部発振子、外部クロックに基づき、最大25 MHzまでの周波数を得られるため、低ノイズ、低消費電力のシステムを実現可能です。外部発振子または外部クロックの周波数 f_{xx} に対して、5倍の周波数 ($5 \times f_{xx}$) のシステム・クロック () が生成されます。

PLLを使用するためには、リセット期間中TCLR端子を0に保持してください。

PLLモード時の使用クロック例

システム・クロック周波数 ()	外部発振子 / 外部クロック周波数 (f_{xx})
25.000 MHz	5.0000 MHz
20.000 MHz	4.0000 MHz
16.384 MHz	3.2768 MHz

(1) バックアップ・モード

応用システムの信頼性を向上させるため、PLLモードでは、何らかの要因で水晶振動子（クリスタル）や内蔵の発振器が故障しクロック供給が停止した場合にも、VCOの自走周波数に基づく内部システム・クロック（ ）の供給を継続できます。これをバックアップ・モードと呼びます。この機能は、PLLモードでだけ有効です。バックアップ・モードにあるかどうかを検出するのがBUビットです。

注意 バックアップ・モードへの移行は、ロックアップ（ULビット=0）後に検出されます。この機能は、故障時を想定したものであり、自走周波数でのすべての動作を保証するものではありません。意図的にクロック入力を止めてバックアップ・モードに入れることは推奨できません。

(2) ロックアップ時間

電源投入直後またはSTOP/IDLEモード解除直後は、PLLが所定の周波数においてフェーズ・ロック状態で、安定するまでの周波数安定期間（ロックアップ時間）が発生します。この安定するまでの状態をアンロック状態と呼び、安定している状態をロック状態と呼びます。

PLLの周波数の安定状態は、クロック制御レジスタ（CGC）のULフラグに反映されます。

クロック停止、電源カットなど、いったんアンロック状態を発生させる要因が働いた場合に、リアルタイム処理などソフトウェアの実行速度に依存する制御の処理においては、動作開始直後にソフトウェアで必ずULフラグを判定し、クロックの安定するのを待ってから処理を開始してください。

一方、オンチップの各種ハードウェアの設定やレジスタ・データ、メモリ・データの初期化などの静的処理はULフラグがリセットされるのを待たずに実行できます。

★ ULフラグは、ロック・アップ状態を維持しているかぎり“0”を保持し、システム・リセットにより初期化されません。

また、ULフラグは読み出し専用で書き込みはできません。

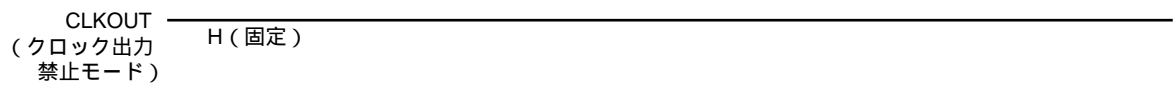
13.4 クロック出力制御

クロック制御レジスタ（CGC）のCOEビットにより、CLKOUT端子の動作を選択することができます。HALT/IDLE/STOPの各スタンバイ・モードと組み合わせることにより、より効果的なパワー・セービングが可能です。

(1) クロック出力禁止モード

CLKOUT端子からのクロック出力を禁止します。

CLKOUTの動作が完全に停止するため、一層の低消費電力化およびCLKOUT端子からの輻射ノイズ抑制が可能です。

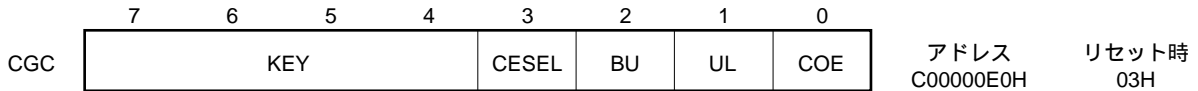




13.5 クロック・コントロール・レジスタ (CGC)

CLKOUTの出力制御を行います。

8ビット単位で、ビット1, 2はリードだけ可能、それ以外のビットはリード/ライト可能です。



ビット位置	ビット名	意味
7-4	KEY	<p>KEY data</p> <p>データを識別します。必ず次の値にしてください。</p> <p>KEY = 0111</p> <p>この値以外では、CGCレジスタに書き込むことができません。リードした場合は、常に0000が読み出されます。</p>
3	CESEL	<p>Crystal External Select</p> <p>X1, X2端子の機能を指定します。</p> <p>0 : X1, X2端子に発振子を接続</p> <p>1 : X1端子に外部クロックを接続</p> <p>X1端子は、STOPモード時にX1端子をGNDレベルにして発振器を停止させるためのプルダウン・トランジスタを内蔵しています。</p> <p>PLLモードで外部クロックを使用する場合、CESEL = 1に設定してください。</p>
2	BU	<p>Back Up</p> <p>バックアップ状態を示すフラグです。</p> <p>0 : バックアップ・モードでないことを示します。</p> <p>1 : バックアップ・モード中であることを示します。</p> <p>バックアップ・モードのBUビットへの反映は、ロックアップ (UL = 0) 後に行われます。</p> <p>システム・リセットとSTOPモード時に0に初期化されます。</p> <p>このビットは読み出し専用で、書き込みはできません (無視されます)。</p>
1	UL	<p>Unlock</p> <p>アンロック状態を示すフラグです。</p> <p>0 : ロック中であることを示します。</p> <p>1 : ロックしていない (アンロック) 状態を示します。</p> <p>システム・リセットとSTOPモード時に1に初期化されます。1度ロックするとその状態を保持します。</p> <p>このビットは読み出し専用で、書き込みはできません (無視されます)。</p>
0	COE	<p>Clock Out Enable</p> <p>クロックアウト (CLKOUT) の出力を許可 / 禁止します。</p> <p>0 : 出力禁止 (CLKOUT端子はハイ・レベル固定)</p> <p>1 : 出力許可</p>

〔メ モ〕

第14章 スタンバイ機能

V821には、低消費電力化を図るスタンバイ機能として、動作クロックを制御する3つのモードがあります。HALT命令により各モードに移行します。モードの切り替えはスタンバイ・コントロール・レジスタの設定により行います。

14.1 特 徴

HALTモード（CPU動作クロックのみ停止）

IDLEモード（CPU，周辺動作クロックを停止，クロック・ジェネレータは動作継続）

STOPモード（システム全体が停止，クロック・ジェネレータも停止）

14.2 スタンバイ・モード

V821のスタンバイ・モードには、以下のものがあります。

（1）HALTモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。通常動作モードとの組み合わせによる間欠動作により、システムのトータルの消費電力を低下させることができます。

（2）IDLEモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで、内部システム・クロックの供給を停止させることにより、システム全体を停止させるモードです。

IDLEモードからの解除時に、発振回路の発振安定時間などを確保する必要がないため、高速に通常動作に移行することができます。

IDLEモードは、クロックの安定時間と消費電流に関して、STOPとHALTモードの中間に位置するモードで、低消費電流モードを利用し、かつ解除時のクロック安定時間を削除したい用途に利用します。

（3）STOPモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させ、システム全体が停止するモードです。リーク電流だけの超低消費電力状態になります。

(a) PLLモード

発振回路が停止すると同時にPLLシンセサイザのクロック出力が停止します。STOPモードの解除後は、システム・クロックが安定するまでの間、発振回路の発振安定時間を確保する必要があります。また、プログラムによってはPLLのロックアップ時間が必要な場合があります。

(b) ダイレクト・モード

ダイレクト・モード時は、ロックアップ時間を確保する必要はありません。

通常、HALT、IDLE、STOPの各モードにおけるクロック・ジェネレータの動作を表14 - 1に示します。各モードを組み合わせて、用途により切り替えて使用することにより、効果的な低消費電力システムを実現することができます。

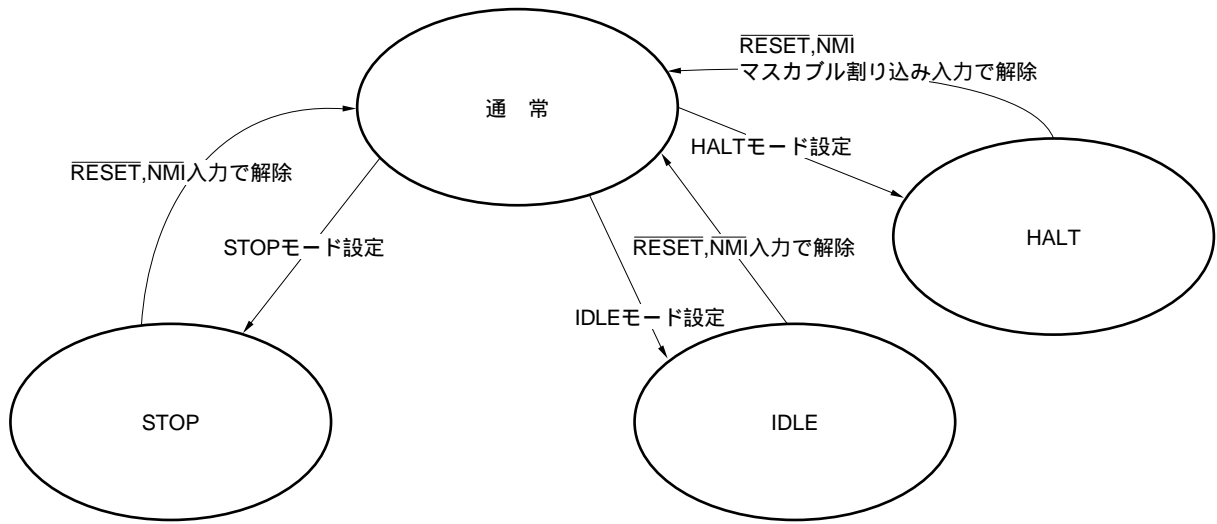
表14 - 1 スタンバイ制御によるクロック・ジェネレータの動作

クロックソース		スタンバイ・モード	発振回路 (OSC)	PLL シンセサイザ	周辺I/Oへの クロック供給	CPUへの クロック供給
PLLモード	発振子による発振	通常				
		HALT				×
		IDLE			×	×
		STOP	×	×	×	×
	外部クロック	通常	×			
		HALT	×			×
		IDLE	×		×	×
		STOP	×	×	×	×
ダイレクト・ モード	通常	×	×			
	HALT	×	×		×	
	IDLE	×	×	×	×	
	STOP	×	×	×	×	

：動作

×：停止

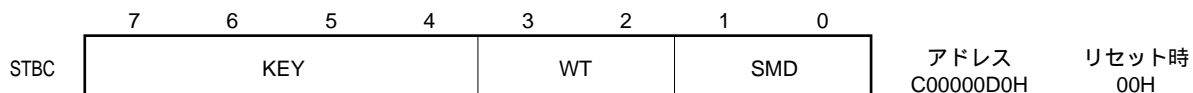
状態遷移図



14.3 スタンバイ・コントロール・レジスタ (STBC)

スタンバイ動作を制御するレジスタです。

8ビット単位でリード/ライト可能です。



ビット位置	ビット名	意 味																																				
7-4	KEY	KEY data データを識別します。必ず次の値にしてください。 KEY = 0111 この値以外では、STBCレジスタに書き込むことができません。リードした場合は、常に0000が読み出されます。																																				
3, 2	WT	Wait Time 発振安定時間のカウンタ・クロックを設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th colspan="2" style="text-align: center;">WT</th> <th style="text-align: center;">カウンタ・クロック</th> <th colspan="3" style="text-align: center;">発振安定時間 (ms)</th> </tr> <tr> <th colspan="2"></th> <th></th> <th style="text-align: center;">16 MHz</th> <th style="text-align: center;">20 MHz</th> <th style="text-align: center;">25 MHz</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">$2^{19}/$</td> <td style="text-align: center;">32.8</td> <td style="text-align: center;">26.2</td> <td style="text-align: center;">21.0</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">$2^{18}/$</td> <td style="text-align: center;">16.4</td> <td style="text-align: center;">13.1</td> <td style="text-align: center;">10.5</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">$2^{17}/$</td> <td style="text-align: center;">8.2</td> <td style="text-align: center;">6.6</td> <td style="text-align: center;">5.2</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">$2^{16}/$</td> <td style="text-align: center;">4.1</td> <td style="text-align: center;">3.3</td> <td style="text-align: center;">2.6</td> </tr> </tbody> </table> : システム・クロック	WT		カウンタ・クロック	発振安定時間 (ms)						16 MHz	20 MHz	25 MHz	0	0	$2^{19}/$	32.8	26.2	21.0	0	1	$2^{18}/$	16.4	13.1	10.5	1	0	$2^{17}/$	8.2	6.6	5.2	1	1	$2^{16}/$	4.1	3.3	2.6
WT		カウンタ・クロック	発振安定時間 (ms)																																			
			16 MHz	20 MHz	25 MHz																																	
0	0	$2^{19}/$	32.8	26.2	21.0																																	
0	1	$2^{18}/$	16.4	13.1	10.5																																	
1	0	$2^{17}/$	8.2	6.6	5.2																																	
1	1	$2^{16}/$	4.1	3.3	2.6																																	
1, 0	SMD	Standby Mode スタンバイ・モードの設定を行います。 この設定に従い、HALT命令により各モードに移行します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th colspan="2" style="text-align: center;">SMD</th> <th style="text-align: center;">スタンバイモード</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">HALTモード</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">設定禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">IDLEモード</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">STOPモード</td> </tr> </tbody> </table>	SMD		スタンバイモード	0	0	HALTモード	0	1	設定禁止	1	0	IDLEモード	1	1	STOPモード																					
SMD		スタンバイモード																																				
0	0	HALTモード																																				
0	1	設定禁止																																				
1	0	IDLEモード																																				
1	1	STOPモード																																				

14.4 HALTモード

14.4.1 HALTモードの設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の周辺内蔵機能へのクロック供給は継続され、動作を継続します。CPUの空き時間にHALTモードに設定することにより、システムのトータルの消費電力を低下させることができます。

スタンバイ・コントロール・レジスタ（STBC）のSMDビット = 00に設定してHALT命令を実行することにより、ホールド・アクノリッジ・サイクルが起動し、その後、HALTモードに移行します。

HALTモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタの内容は保持されます。また、CPUの命令処理に依存しないオンチップの周辺機能は動作を継続します。

DMAブロック転送中にHALT命令によるHALTモードへの移行が実行された場合には、ブロック転送が終了するまで、HALTモードへの移行は保留されます。シングル転送とシングル・ステップ転送中にHALT命令によるHALTモードへの移行が実行された場合には、DMACが1回のDMAバス・サイクルが終了すると必ずCPUにバスを解放しますので、その時点でホールド・アクノリッジ・サイクルを起動してHALTモードに移行します。

HALTモード時の各ハードウェアの状態は表14 - 2のようになります。

表14 - 2 HALTモード時の動作状態

機能	動作状態	
クロック・ジェネレータ	動作	
内部システム・クロック	動作	
CPU	停止	
I/Oライン	保持	
周辺機能	動作	
内部データ	CPUのレジスタなど内部のデータはすべてHALTモード設定前の状態を保持	
A0-A23, \overline{UBE}	PC出力	$\overline{HLDAK} = 0$ のときはハイ・インピーダンス
D0-D15	ハイ・インピーダンス	
$\overline{CS0}$ - $\overline{CS3}$	1	$\overline{HLDAK} = 0$ のときはハイ・インピーダンス
\overline{IOR} , \overline{iOwR}		
\overline{WE} / \overline{LMwR} , \overline{UMwR}		
\overline{REFRQ} , \overline{RAS} , \overline{LCAS} , \overline{UCAS}		
\overline{HLDRQ}	1注	
CLKOUT	クロック出力（クロック出力禁止でないとき）	

注 CBRリフレッシュ時以外

14.4.2 HALTモードの解除

HALTモードは、ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求、および $\overline{\text{RESET}}$ 端子入力により解除されます。

(1) ノンマスクابل割り込み要求 ($\overline{\text{NMI}}$) による解除

$\overline{\text{NMI}}$ 端子のアクティブ・レベルを検出すると、CPUクロックの供給を再開します。なお、 $\overline{\text{NMI}}$ 入力はレベル入力のため、 $\overline{\text{NMI}}$ ハンドラに分岐し受け付けられたことを確認するまで入力を保持する必要があります。

(2) マスクابل割り込み要求による解除

マスクされていないマスクابل割り込み要求により、CPUクロックの供給を再開します。

割り込み処理ルーチン内でHALTモードに設定する場合は、HALT命令を実行する前に、HALT状態を解除する割り込みを受け付ける状態に設定してください。割り込み許可 (PSW. ID = 0, EP = 0) および割り込み許可レベルの設定 (PSW. I3-I0) が必要です。

割り込み要求によるHALTモード解除後の動作

解除要因	EI状態 (PSW. ID = 0)	DI状態 (PSW. ID = 1)
NMI要求	ハンドラ・アドレスに分岐	
マスクابل割り込み要求	ハンドラ・アドレスに分岐	解除しません

(3) $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。

14.5 IDLEモード

14.5.1 IDLEモードの設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで、内部システム・クロックの供給が停止し、システム全体が停止するモードです。

このモードからの解除時に、発振回路の発振安定時間やPLLのロックアップ時間を確保する必要がないため、高速に通常動作に移行することができます。

スタンバイ・コントロール・レジスタ（STBC）のSMD = 10に設定してHALT命令を実行することにより、ホールド・アクノリッジ・サイクルが起動し、その後CBRセルフ・リフレッシュ・サイクルを起動し、IDLEモードに移行します。

IDLEモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタの内容は保持されます。また、内蔵の周辺機能も動作を停止します。

IDLEモードでは、バス・ホールド要求を受け付けます。バス・ホールド要求を受け付けると、バスをハイ・インピーダンス状態にし、ホールド要求が解除されるとCBRセルフ・リフレッシュ・サイクルを再起動します。なお、IDLEモードに入るホールド・アクノリッジ・サイクルとCBRセルフ・リフレッシュ・サイクルの最初の6クロック間は、バス・ホールド要求を受け付けません。

DMAブロック転送中にHALT命令によるIDLEモードへの移行が実行された場合には、ブロック転送が終了するまでIDLEモードへの移行は保留されます。DMAシングル転送とシングルステップ転送中にHALT命令によるIDLEモードへの移行が実行された場合には、DMACが1回のバス・サイクルが終了すると必ずCPUにバスを解放するので、その時点でホールド・アクノリッジ・サイクルを起動し、IDLEモードに移行します。

★ なお、DRAMコントローラを使用し、かつIDLEモード中にバス・ホールド機能を使用する場合は、バス・ホールド後のセルフ・リフレッシュ・サイクル再開を中断させないために、 $\overline{CS0}/\overline{REFRQ}$ 出力がインアクティブおよびハイ・インピーダンスの期間には \overline{NMI} を入力しないでください。

IDLEモード時の各ハードウェアの状態は表14 - 3のようになります。

表14 - 3 IDLEモード時の動作状態

機能	動作状態	
クロック・ジェネレータ	動作	
内部システム・クロック	停止	
CPU	停止	
I/Oライン	保持	
周辺機能	停止	
内部データ	CPUのレジスタなど内部のデータはすべてIDLEモード設定前の状態を保持	
A0-A23, \overline{UBE}	PC出力	$\overline{HLDAK} = 0$ のときはハイ・インピーダンス
D0-D15	ハイ・インピーダンス	
$\overline{CS0}$ - $\overline{CS3}$	1	$\overline{HLDAK} = 0$ のときはハイ・インピーダンス
\overline{IOR} , \overline{IOWR}		
$\overline{WE}/\overline{LMWR}$, \overline{UMWR}		
\overline{REFRQ} , \overline{RAS} , \overline{LCAS} , \overline{UCAS}		
\overline{HLDRQ}	動作	
CLKOUT	クロック出力 (クロック出力禁止でないとき)	

14.5.2 IDLEモードの解除

IDLEモードは、ノンマスクابل割り込み要求、および $\overline{\text{RESET}}$ 端子入力により解除されます。

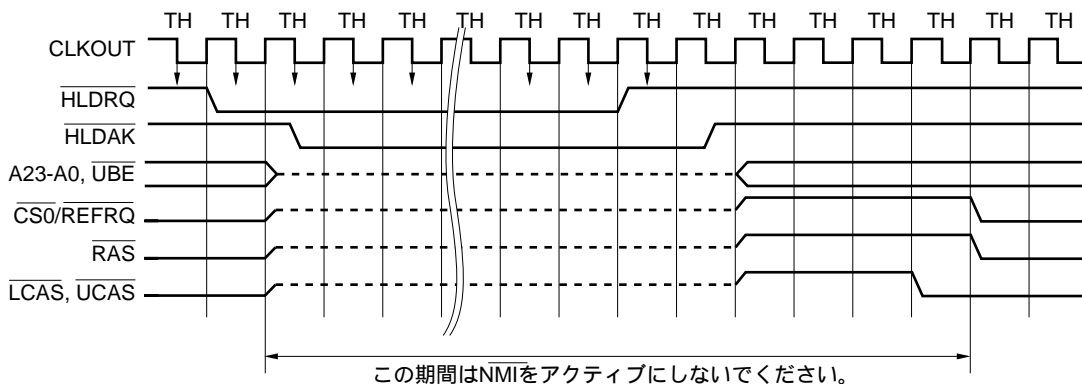
(1) ノンマスクابل割り込み要求 ($\overline{\text{NMI}}$ 入力) による解除

$\overline{\text{NMI}}$ 端子のアクティブ・レベルを検出すると、CPUクロックの供給を再開します。なお、 $\overline{\text{NMI}}$ 入力はレベル入力のため、NMIハンドラに分歧し受け付けられたことを確認するまで入力を保持する必要があります。

$\overline{\text{NMI}}$ 入力によるIDLEモード解除時に起動される割り込み処理は、緊急時などの通常のNMI処理と同等に扱われます (NMIのハンドラ・アドレスが一意のため)。したがって、プログラムで両者を区別する必要がある場合は、ソフトウェア・ステータスをあらかじめ用意しておき、HALT命令の実行前にステータスを設定してください。NMIの割り込み処理でこのステータスをチェックすることにより、通常のNMIと区別することができます。

NMI処理ルーチン内でIDLEモードに設定する場合は、HALT命令を実行する前に、PSW.NP = 1の状態からPSW.NP = 0にして、NMI処理を受け付ける状態にする必要があります。

図14-1 IDLEモード中のバス・ホールドとセルフ・リフレッシュの再起動



備考1. 破線はハイ・インピーダンスを示します。

2. : サンプルングするタイミング

注意 DRAMコントローラを使用し、かつIDLEモード中にバス・ホールド機能を使用する場合、バス・ホールド後のセルフ・リフレッシュ・サイクル再開を中断させないようにする必要があります。このため、 $\overline{\text{CS0}}/\overline{\text{REFRQ}}$ 出力がハイ・インピーダンスおよびインアクティブ (ハイ・レベル) の期間には、 $\overline{\text{NMI}}$ を入力しないでください。

(2) $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。

14.6 STOPモード

14.6.1 STOPモードの設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させるモードです。システム全体を停止させ、デバイスのリーク電流だけの超低消費電力を実現します。

スタンバイ・コントロール・レジスタ（STBC）のSMD = 11に設定してHALT命令を実行することにより、ホールド・アクノリッジ・サイクルが起動し、その後CBRセルフ・リフレッシュ・サイクルを起動し、STOPモードに移行します。

PLLモード（リセット中のTCLR端子 = 0）で、かつ発振子接続モード（クロック・コントロール・レジスタ（CGC）のCESEL = 0）の場合で、STOPモード解除後には、発振安定時間を確保する必要があります。

STOPモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタの内容は保持されません。また、内蔵の周辺機能も動作を停止します。

STOPモードでは、バス・ホールド要求を受け付けません。STOPモードに移行する前のホールド・アクノリッジ・サイクルからバス・ホールド要求は無効となります。

DMAブロック転送中にHALT命令によるSTOPモードへの移行が実行された場合には、ブロック転送が終了するまでSTOPモードへの移行は保留されます。DMAシングル転送とシングルステップ転送中にHALT命令によるSTOPモードへの移行が実行された場合には、DMACが1回のバス・サイクルが終了すると必ずCPUにバスを解放するので、その時点でホールド・アクノリッジ・サイクルを起動し、STOPモードに移行します。

STOPモード時の各ハードウェアの状態は表14 - 4のようになります。

表14 - 4 STOPモード時の動作状態

機能	動作状態
クロック・ジェネレータ	停止
内部システム・クロック	停止
CPU	停止
I/Oライン	保持
周辺機能	停止
内部データ	CPUのレジスタなど内部のデータはすべてSTOPモード設定前の状態を保持
A0-A23, \overline{UBE}	PC出力
D0-D15	ハイ・インピーダンス
$\overline{CS0}$ - $\overline{CS3}$	1
\overline{IORD} , \overline{IOWR}	
\overline{WE} / \overline{LMWR} , \overline{UMWR}	
\overline{REFRQ} , \overline{RAS} , \overline{LCAS} , \overline{UCAS}	CBRセルフ・リフレッシュ
\overline{HLDRQ}	停止
CLKOUT	1

14.6.2 STOPモードの解除

STOPモードは、ノンマスカブル割り込み要求、および $\overline{\text{RESET}}$ 端子入力により解除されます。

また、発振回路の使用状態（PLLモード（リセット中のTCLR端子=0）かつ発振子接続モード（CGCレジスタのCESEL=0））におけるSTOPモード解除時には、発振回路の発振安定時間を確保する必要があります。

（1）ノンマスカブル割り込み要求（ $\overline{\text{NMI}}$ 入力）による解除

$\overline{\text{NMI}}$ 端子のアクティブ・レベルを検出すると、クロック発振を再開し、スタンバイ・コントロール・レジスタ（STBC）のWTビットで設定した発振安定時間分だけウェイトし、その後内部システム・クロックの供給が開始されます。なお、 $\overline{\text{NMI}}$ 入力はレベル入力のため、STOPモードが解除され、NMIハンドラに分岐し受け付けられたことを確認するまで入力を保持する必要があります。

$\overline{\text{NMI}}$ 入力によるSTOPモード解除時に起動される割り込み処理は、緊急時などの通常NMI処理と同等に扱われます（NMIのハンドラ・アドレスが一意のため）。したがって、プログラムで両者を区別する必要がある場合は、ソフトウェア・ステータスをあらかじめ用意しておき、HALT命令の実行前にステータスを設定してください。NMIの割り込み処理でこのステータスをチェックすることにより、通常のNMIと区別することができます。

NMI処理ルーチン内でSTOPモードに設定する場合は、HALT命令を実行する前に、PSW.NP = 1の状態からPSW.NP = 0にして、NMI処理を受け付ける状態にする必要があります。

（2） $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。

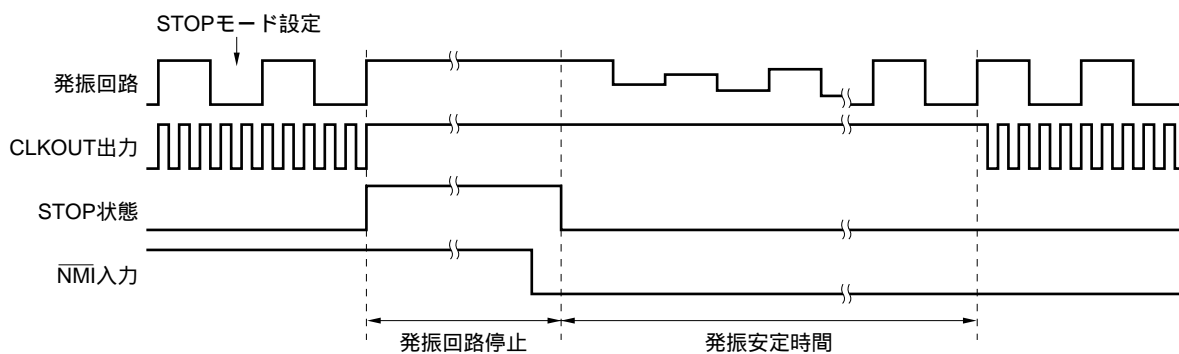
14.7 発振安定時間の確保

STOPモード解除後の停止状態の発振回路が安定するまでの時間確保指定には2通りの方法があります。

(1) 発振安定時間確保タイマで時間を確保する場合 ($\overline{\text{NMI}}$ 入力)

$\overline{\text{NMI}}$ 端子に有効エッジが入力されると、STOPモードが解除されます。また、発振安定時間確保タイマがカウントを開始し、そのカウント時間で、発振回路からのクロック出力が安定するまでの時間を確保します。

所定時間後、システム・クロック出力が開始し、NMIのハンドラ・アドレスに分岐します。

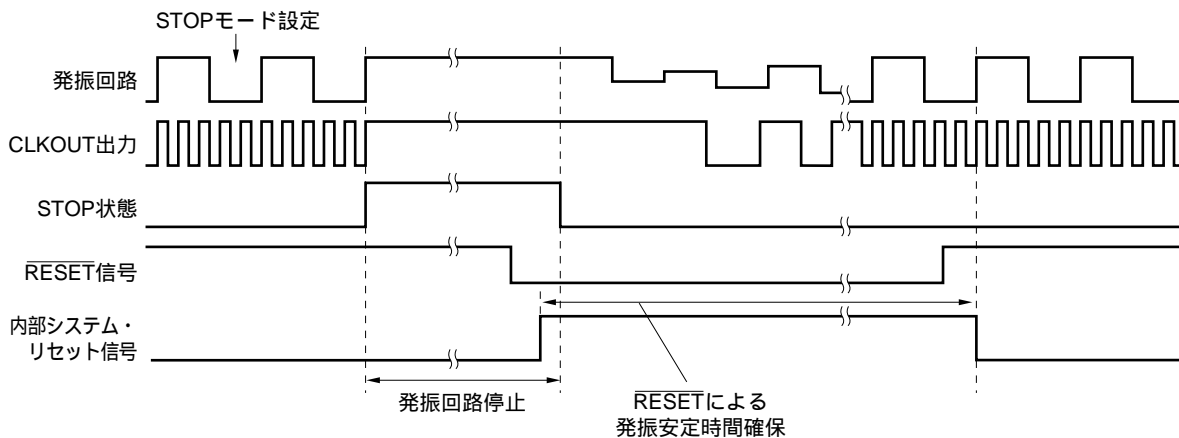


(2) 信号レベル幅で時間を確保する場合 ($\overline{\text{RESET}}$ 端子入力)

$\overline{\text{RESET}}$ 端子への立ち下がりエッジ入力により、STOPモードが解除されます。

端子へ入力される信号のロウ・レベル幅で、発振回路からのクロック出力が安定するまでの時間を確保します。

$\overline{\text{RESET}}$ 端子への立ち上がりエッジ入力後、内部システム・クロックの供給が開始し、システム・リセット時のハンドラ・アドレスに分岐します。



発振安定時間確保タイマ

発振安定時間確保タイマは、STOPモード解除時の発振回路の発振安定時間の確保に使用します。発振安定時間確保タイマはウォッチドッグ・タイマと兼用になっており、STOPモードに移行するとカウント値は00Hにクリアされます。

STBCレジスタのWTビットで発振安定時間確保タイマのカウント・クロックを選択することにより、以下のカウント時間を設定できます。

表14 - 5 カウント時間例

WT		カウント・クロック	カウント時間		
			= 16 MHz	= 20 MHz	= 25 MHz
0	0	$2^{19}/$	32.8 ms	26.2 ms	21.0 ms
0	1	$2^{18}/$	16.4 ms	13.1 ms	10.5 ms
1	0	$2^{17}/$	8.2 ms	6.6 ms	5.2 ms
1	1	$2^{16}/$	4.1 ms	3.3 ms	2.6 ms

: 内部システム・クロック周波数

〔メ モ〕

第15章 リセット機能

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとシステム・リセットがかかり、オンチップの各ハードウェアは初期状態にイニシャライズされます。

$\overline{\text{RESET}}$ 端子がロウ・レベルからハイ・レベルになると、リセット状態が解除され、CPUはプログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

15.1 特 徴

リセット端子にアナログ・ディレイ (60-300 ns) によるノイズ除去回路を内蔵

15.2 端子機能

システム・リセット期間中の端子出力の状態を表15 - 1に示します。この状態は、リセット期間中保持されます。

$\overline{\text{RESET}}$ 端子を30クロック以上ロウ・レベルに保持したあと $\overline{\text{HLDRQ}}$ 信号がインアクティブであれば、命令フェッチのためのメモリ・リード・サイクルを起動します。

なお、リセット期間中 ($\overline{\text{RESET}}$ 端子のロウ・レベルを保持している期間) でも、 $\overline{\text{HLDRQ}}$ 信号をアクティブにすることにより、バス・ホールド状態に遷移することができます。リセット期間中のバス・ホールド状態における端子状態は、バス・ホールド状態での端子状態に準じます (2.2 端子状態参照)。

パワーオン・リセット時には、 $\overline{\text{HLDRQ}}$ 信号をインアクティブにしてください。

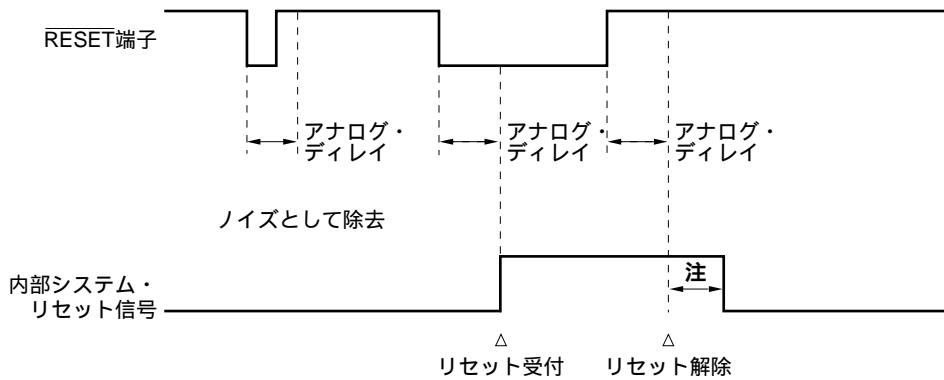
リセットによりハイ・インピーダンスになる端子については、プルアップまたはプルダウン抵抗を付ける必要があります。これらの処理が行われない場合、端子がハイ・インピーダンスになるとメモリを破壊する可能性があります。

また、リセット期間中でもCLKOUT端子からのクロック出力は行われます。

表15 - 1 リセット期間中の出力端子の状態

端子	動作状態	端子	動作状態	
A0-A23	不定	$\overline{\text{HLDAK}}$	ハイ・レベル	
D0-D15	ハイ・インピーダンス	$\overline{\text{MRD}}$		
P00/TCLR		$\overline{\text{LMWR/WE}}$		
P01/DREQ0		$\overline{\text{UMWR}}$		
P02/ $\overline{\text{DACK0}}$		$\overline{\text{IORD}}$		
P03/DREQ1		$\overline{\text{IOWR}}$		
P04/ $\overline{\text{DACK1}}$		$\overline{\text{CS1-CS3}}$		
P05/SI		$\overline{\text{RAS}}$		
P06/SO		$\overline{\text{LCAS}}$		
P07/ $\overline{\text{SCLK}}$		$\overline{\text{UCAS}}$		
P08/TXD/ $\overline{\text{UBE}}$		$\overline{\text{CS0/REFRQ}}$		
P09/RXD/ $\overline{\text{TC}}$		$\overline{\text{BLOCK/WDTOUT}}$		ロウ・レベル

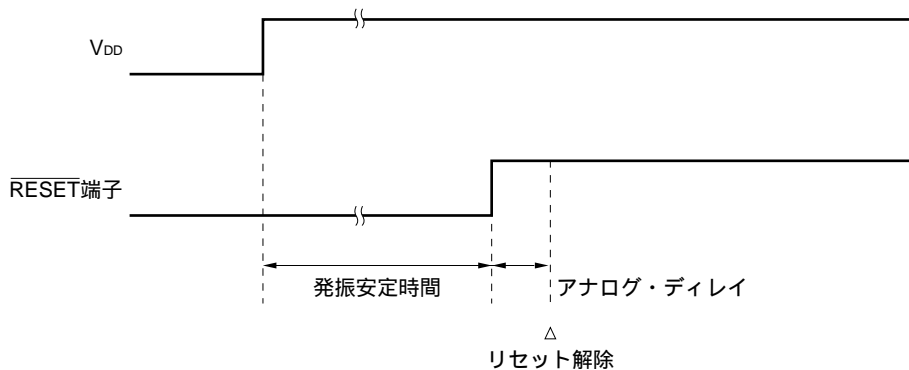
(1) リセット信号の受け付け



注 内部システム・リセット信号は、 $\overline{\text{RESET}}$ 端子によるリセット解除タイミング後、最少4システム・クロック期間、アクティブ状態を継続します。

(2) パワーオン時のリセット

パワーオン（電源投入）時のリセット動作では、 $\overline{\text{RESET}}$ 端子のロウ・レベル幅により、電源の立ち上がりからリセット受け付けまで10 ms以上の発振安定時間を確保する必要があります。



15.3 イニシャライズ

各レジスタのリセット後の初期値を表15 - 2に示します。

各レジスタの内容はプログラム中で必要に応じてイニシャライズしてください。特に次に示すレジスタはシステム設定に関するレジスタなので必要に応じて設定してください。

クロック・コントロール・レジスタ (CGC) ...X1, X2端子機能, CLKOUT端子動作など

表15-2 各レジスタのリセット後の初期値(1/2)

レジスタ		リセット後の初期値
プログラム・カウンタ	PC	FFFFFFF0H
汎用レジスタ	r0	00000000H
	r1-r31	不定
システム・レジスタ	例外 / 割り込み時状態退避レジスタ (EIPC)	不定
	(EIPSW)	不定
	NMI / 二重例外時状態退避レジスタ (FEPC)	不定
	(FEPSW)	不定
	例外要因レジスタ (FECC)	0000H
	(EICC)	FFF0H
	プログラム・ステータス・ワード (PSW)	00008000H
	プロセッサIDレジスタ (PIR)	0000810 × H
	タスク・コントロール・ワード (TKCW)	000000E0H
	キャッシュ・コントロール・ワード (CHCW)	00000000H
	アドレス・トラップ・レジスタ (ADTRE)	不定
ポート	ポート・レジスタ0 (P0)	不定
	ポート・モード・レジスタ0 (PM0)	03FFH
	ポート・モード・コントロール・レジスタ0 (PMC0)	0000H
メモリ管理機能	バス・サイクル・タイプ・コントロール・レジスタ (BCTC)	01H
	プログラマブル・ウェイト・コントロール・レジスタ0 (PWC0)	77H
	プログラマブル・ウェイト・コントロール・レジスタ1 (PWC1)	77H
	プログラマブル・ウェイト・コントロール・レジスタ2 (PWC2)	77H
	DRAMコンフィギュレーション・レジスタ (DRC)	81H
	リフレッシュ・コントロール・レジスタ (RFC)	80H
	Page-ROMコンフィギュレーション・レジスタ (PRC)	80H
DMA機能	DMAソース・アドレス・レジスタ0H (DSA0H)	不定
	DMAソース・アドレス・レジスタ0L (DSA0L)	不定
	DMAデスティネーション・アドレス・レジスタ0H (DDA0H)	不定
	DMAデスティネーション・アドレス・レジスタ0L (DDA0L)	不定
	DMAソース・アドレス・レジスタ1H (DSA1H)	不定
	DMAソース・アドレス・レジスタ1L (DSA1L)	不定
	DMAデスティネーション・アドレス・レジスタ1H (DDA1H)	不定
	DMAデスティネーション・アドレス・レジスタ1L (DDA1L)	不定
	DMAバイト・カウント・レジスタ0 (DBC0)	不定
	DMAバイト・カウント・レジスタ1 (DBC1)	不定
	DMAチャンネル・コントロール・レジスタ0 (DCHC0)	0000H
	DMAチャンネル・コントロール・レジスタ1 (DCHC1)	0000H

表15 - 2 各レジスタのリセット後の初期値 (2/2)

レジスタ		リセット後の初期値
リアルタイム・パルス・ユニット	タイマ・ユニット・モード・レジスタ 0 (TUM0)	0A00H
	タイマ・コントロール・レジスタ 0 (TMC0)	00H
	タイマ・コントロール・レジスタ 1 (TMC1)	00H
	タイマ出力コントロール・レジスタ 0 (TOC0)	03H
	タイマ・オーバフロー・ステータス・レジスタ (TOVS)	00H
	タイマ・レジスタ 0 (TM0)	00H
	タイマ・レジスタ 1 (TM1)	00H
	キャプチャ/コンペア・レジスタ00-03 (CC00-CC03)	不定
	コンペア・レジスタ 1 (CM1)	不定
シリアル・インタフェース	アシンクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ(ASIS)	00H
	受信バッファ (RXB, RXBL)	不定
	送信シフト・レジスタ (TXS, TXSL)	不定
	クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM)	00H
	シリアル/I/Oシフト・レジスタ (SIO)	不定
	ポー・レート・ジェネレータ・レジスタ (BRG)	不定
	ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ (BPRM)	00H
割り込み / 例外処理機能	割り込みグループ優先順位レジスタ (IGP)	E4H
	割り込みクリア・レジスタ (ICR)	0000H
	割り込み要求レジスタ (IRR)	0000H
	割り込み要求マスク・レジスタ (IMR)	FFFFH
	ICUモード・レジスタ (IMOD)	AAAAH
ウォッチドッグ・タイマ機能	WDTモード・レジスタ (WDTM)	00H
クロック・ジェネレータ	クロック・コントロール・レジスタ (CGC)	03H
スタンバイ機能	スタンバイ・コントロール・レジスタ (STBC)	00H

注意 上記の表における“不定”とは、パワーオン・リセット時の不定、または $\overline{\text{RESET}}$ 入力とデータ書き込みタイミングが同期したときのデータ破壊による不定を意味し、これ以外の $\overline{\text{RESET}}$ 入力ではデータは直前の状態に保持されます。

〔メ モ〕

付録A レジスタ索引

A.1 50音順

【あ行】

- アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) ... 168
- アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) ... 165

【か行】

- キャプチャ/コンペア・レジスタ00 (CC00) ... 195
- キャプチャ/コンペア・レジスタ01 (CC01) ... 195
- キャプチャ/コンペア・レジスタ02 (CC02) ... 195
- キャプチャ/コンペア・レジスタ03 (CC03) ... 195
- クロック・コントロール・レジスタ (CGC) ... 235
- クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) ... 178
- コンペア・レジスタ1 (CM1) ... 196

【さ行】

- 受信バッファ (RXB, RXBL) ... 169
- シリアルI/Oシフト・レジスタ (SIO) ... 179
- スタンバイ・コントロール・レジスタ (STBC) ... 240
- 送信シフト・レジスタ (TXS, TXSL) ... 170

【た行】

- タイマ0 (TM0) ... 194
- タイマ1 (TM1) ... 196
- タイマ・オーバフロー・ステータス・レジスタ (TOVS) ... 202
- タイマ・コントロール・レジスタ0 (TMC0) ... 199
- タイマ・コントロール・レジスタ1 (TMC1) ... 200
- タイマ出力コントロール・レジスタ0 (TOC0) ... 201
- タイマ・ユニット・モード・レジスタ0 (TUM0) ... 197

【は行】

- バス・サイクル・タイプ・コントロール・レジスタ (BCTC) ... 118
- プログラマブル・ウェイト・コントロール・レジスタ0 (PWC0) ... 119

プログラマブル・ウェイト・コントロール・レジスタ1 (PWC1) ...	120
プログラマブル・ウェイト・コントロール・レジスタ2 (PWC2) ...	121
ポート・モード・コントロール・レジスタ0 (PWC0) ...	229
ポート・モード・レジスタ0 (PM0) ...	229
ポート・レジスタ0 (P0) ...	228
ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ (BPRM) ...	190
ポー・レート・ジェネレータ・レジスタ (BRG) ...	190

【ら行】

リフレッシュ・コントロール・レジスタ (RFC) ...	134
------------------------------	-----

【わ行】

割り込みクリア・レジスタ (ICR) ...	67
割り込みグループ優先順位レジスタ (IGP) ...	65
割り込み要求マスク・レジスタ (IMR) ...	68
割り込み要求レジスタ (IRR) ...	67

A.2 アルファベット順**【A】**

ASIM (アシンクロナス・シリアル・インタフェース・モード・レジスタ) ...	165
ASIS (アシンクロナス・シリアル・インタフェース・ステータス・レジスタ) ...	168

【B】

BCTC (バス・サイクル・タイプ・コントロール・レジスタ) ...	118
BPRM (ポー・レート・ジェネレータ・プリスケラ・モード・レジスタ) ...	190
BRG (ポー・レート・ジェネレータ・レジスタ) ...	190

【C】

CC00 (キャプチャ/コンペア・レジスタ00) ...	195
CC01 (キャプチャ/コンペア・レジスタ01) ...	195
CC02 (キャプチャ/コンペア・レジスタ02) ...	195
CC03 (キャプチャ/コンペア・レジスタ03) ...	195
CGC (クロック・コントロール・レジスタ) ...	235
CM1 (コンペア・レジスタ1) ...	196
CSIM (クロック・シリアル・インタフェース・モード・レジスタ) ...	178

【D】

DMAソース・アドレス・レジスタ0H (DSA0H) ...	145
DMAソース・アドレス・レジスタ0L (DSA0L) ...	146
DMAソース・アドレス・レジスタ1H (DSA1H) ...	145
DMAソース・アドレス・レジスタ1L (DSA1L) ...	146
DMAチャンネル・コントロール・レジスタ0 (DCHC0) ...	149
DMAチャンネル・コントロール・レジスタ1 (DCHC1) ...	149
DMAデスティネーション・アドレス・レジスタ0H (DDA0H) ...	147
DMAデスティネーション・アドレス・レジスタ0L (DDA0L) ...	147
DMAデスティネーション・アドレス・レジスタ1H (DDA1H) ...	147
DMAデスティネーション・アドレス・レジスタ1L (DDA1L) ...	147
DMAバイト・カウント・レジスタ0 (DBC0) ...	148
DMAバイト・カウント・レジスタ1 (DBC1) ...	148
DRAMコンフィギュレーション・レジスタ (DRC) ...	126

【I】

ICR (割り込みクリア・レジスタ) ...	67
ICUモード・レジスタ (IMOD) ...	69
IGP (割り込みグループ優先順位レジスタ) ...	65
IMR (割り込み要求マスク・レジスタ) ...	68
IRR (割り込み要求レジスタ) ...	67

【P】

P0 (ポート・レジスタ0) ...	228
Page-ROMコンフィギュレーション・レジスタ (PRC) ...	142
PM0 (ポート・モード・レジスタ0) ...	229
PMC0 (ポート・モード・コントロール・レジスタ0) ...	229
PWC0 (プログラマブル・ウェイト・コントロール・レジスタ0) ...	119
PWC1 (プログラマブル・ウェイト・コントロール・レジスタ1) ...	120
PWC2 (プログラマブル・ウェイト・コントロール・レジスタ2) ...	121

【R】

RFC (リフレッシュ・コントロール・レジスタ) ...	134
RXB, RXBL (受信バッファ) ...	169

【S】

SIO (シリアルI/Oシフト・レジスタ) ...	179
---------------------------	-----

STBC (スタンバイ・コントロール・レジスタ) ... 240

【T】

TM0 (タイマ0) ... 194

TM1 (タイマ1) ... 196

TMC0 (タイマ・コントロール・レジスタ0) ... 199

TMC1 (タイマ・コントロール・レジスタ1) ... 200

TOC0 (タイマ出力コントロール・レジスタ0) ... 201

TOVS (タイマ・オーバフロー・ステータス・レジスタ) ... 202

TUM0 (タイマ・ユニット・モード・レジスタ0) ... 197

TXS, TXSL (送信シフト・レジスタ) ... 170

【W】

WDTモード・レジスタ (WDTM) ... 225

付録B 総合索引

B.1 50音で始まる語句の索引

【あ行】

アシンクロナス・シリアル・インタフェース ... 162
アシンクロナス・シリアル・インタフェース・ステータス・レジスタ ... 163, 168
アシンクロナス・シリアル・インタフェース・モード・レジスタ ... 163, 165
アセンブラ予約レジスタ ... 50
アドレス空間 ... 44
アドレス・トラップ ... 70
アドレス・トラップ・レジスタ ... 51
アドレス・バス ... 34
アドレス・マルチプレクス機能 ... 125
イニシャライズ ... 253
イメージ ... 47
ウェイト機能が有効なバス・サイクル ... 115
ウェイト・コントロール・ユニット ... 28
ウェイト制御機能 ... 113
ウォッチドッグ・タイマ ... 29
ウォッチドッグ・タイマ機能 ... 223
ウォッチドッグ・タイマ制御信号 ... 40
エッジ・トリガ ... 69
オーダ情報 ... 24
オーバフロー（タイマ0） ... 204
オーバフロー（タイマ1） ... 210
オペランド・ライト ... 87
オペランド・リード ... 86

【か行】

外部I/Oアクセス ... 89
外部I/Oライト・サイクル ... 90

外部I/Oリード・サイクル ... 89
外部アクセスとデータ・バスの関係 ... 85
外部アクセスとバイト・イネーブル信号の関係 ... 85
カウント・クロック選択（タイマ0） ... 203
カウント動作（タイマ0） ... 203
カウント動作（タイマ1） ... 210
各端子の入出力回路と未使用端子の処理 ... 41
機能ブロック構成 ... 27
キャッシュ・コントロール・ワード ... 51
キャプチャ/コンペア・レジスタ00-03 ... 195
キャプチャ動作（タイマ0） ... 206
強制中断 ... 157
グローバル・ポインタ ... 50
クロック・コントロール・レジスタ ... 235
クロック・ジェネレータ ... 29
クロック出力制御 ... 233
クロック同期式シリアル・インタフェース ... 176
クロック同期式シリアル・インタフェース・モード・レジスタ ... 176, 178
クロック発生機能 ... 231
コンペア動作（タイマ0） ... 208
コンペア動作（タイマ1） ... 211
コンペア・レジスタ1 ... 196

【さ行】

システム制御信号 ... 36
システム・レジスタ・セット ... 51
シフト・レジスタ ... 176
受信エラー割り込み ... 171

受信完了割り込み ... 171
 受信シフト・レジスタ ... 163
 受信制御パリティ・チェック ... 163
 受信バッファ ... 163, 169
 シリアルI/Oシフト・レジスタ ... 179
 シリアル・インタフェース ... 28
 シリアル・インタフェース機能 ... 161
 シリアル・クロック・カウンタ ... 177
 シリアル・クロック制御回路 ... 176
 シリアル・クロック・セクタ ... 176
 シリアル制御信号 ... 39
 シングルステップ転送モード ... 152
 シングル転送モード ... 151
 スタック・ポインタ ... 50
 スタンバイ機能 ... 237
 スタンバイ・コントロール・レジスタ ... 240
 スタンバイ・モード ... 237
 スtring開始アドレス・レジスタ ... 50
 スtring・ソース開始ビット・オフセット ...
 50
 スtring・デスティネーション開始アドレス・レ
 ジスタ ... 50
 スtring・デスティネーション開始ビット・オフ
 セット ... 50
 スtring・レンクス・レジスタ ... 50
 制御信号のタイミング ... 110
 制御レジスタ ... 65, 118, 197, 229
 セルフ・リフレッシュ機能 ... 137
 セルフ・リフレッシュ・サイクル ... 102
 セクタ ... 164
 ゼロ除算 ... 70
 ゼロ・レジスタ ... 50
 送信完了割り込み ... 171
 送信シフト・レジスタ ... 164, 170
 送信制御パリティ付加 ... 164
 ソフトウェアからの要求 ... 155

【た行】

タイマ0 ... 194
 タイマ0動作 ... 203
 タイマ1 ... 196
 タイマ1動作 ... 210
 タイマ・オーバフロー・ステータス・レジスタ ...
 202
 タイマ/カウンタ機能(リアルタイム・パルス・ユ
 ニット) ... 191
 タイマ・コントロール・レジスタ0 ... 199
 タイマ・コントロール・レジスタ1 ... 200
 タイマ出力コントロール・レジスタ0 ... 201
 タイマ・ユニット・モード・レジスタ0 ... 197
 ダイレクト・モード ... 232, 238
 タスク・コントロール・ワード ... 51
 端子機能 ... 31, 251
 端子機能一覧 ... 31
 端子状態 ... 33
 端子接続図 ... 25
 端子の入出力回路 ... 42
 注意事項(タイマ/カウンタ機能) ... 221
 データ・バス ... 34
 テキスト・ポインタ ... 50
 転送対象 ... 154
 転送モード ... 151

【な行】

内蔵周辺I/Oレジスタ ... 52
 内蔵周辺I/Oレジスタ一覧 ... 53
 内蔵周辺ハードウェアからの要求 ... 155
 内部I/Oアクセス ... 91
 内部I/Oライト・サイクル ... 92
 内部I/Oリード・サイクル ... 91
 内部ブロック図 ... 27
 内部ユニット ... 28
 二重例外 ... 70
 入力クロック選択 ... 210, 232

ノンマスクابل割り込み ... 58
 ノンマスクابل割り込み要求 ($\overline{\text{NMI}}$) による解除
 ... 242, 245, 247

【は行】

バス・アービトレーション・ユニット ... 29
 バス・インタフェース・ユニット ... 28
 バス・サイクル・タイプ・コントロール・レジスタ
 ... 118
 バス制御機能 ... 77
 バス制御信号 ... 34
 バスの優先順位 ... 83
 バス・ホールド ... 110
 バス・ロック ... 112
 バックアップ・モード ... 233
 発振安定時間の確保 ... 248
 ハンドラ・スタック・ポインタ ... 50
 汎用レジスタ ... 50
 不正命令コード ... 70
 浮動小数点アンダフロー ... 70
 浮動小数点演算例外の優先順位 ... 75
 浮動小数点オーバフロー ... 70
 浮動小数点精度落ち ... 70
 浮動小数点ゼロ除算 ... 70
 浮動小数点無効演算 ... 70
 浮動小数点予約済みオペランド ... 70
 フライバイDMA転送時 ... 115
 フライバイ転送 ... 154
 フライバイ転送時のバス・サイクル ... 103
 フライバイ・ライト・サイクル ... 105
 フライバイ・リード・サイクル ... 103
 プログラマブル・ウェイト機能 ... 114
 プログラマブル・ウェイト・コントロール・レジスタ
 0 ... 119
 プログラマブル・ウェイト・コントロール・レジスタ
 1 ... 120

プログラマブル・ウェイト・コントロール・レジスタ
 2 ... 121
 プログラム・カウンタ ... 50
 プログラム・ステータス・ワード ... 51
 プログラム・レジスタ・セット ... 50
 プロセッサIDレジスタ ... 51
 ブロック転送モード ... 152
 ポート0の端子機能 ... 228
 ポート機能 ... 227
 ポート制御信号 ... 40
 ポート・モード・コントロール・レジスタ0 ...
 229
 ポート・モード・レジスタ0 ... 229
 ホールト・アクノリッジ・サイクル ... 109
 ボー・レート・ジェネレータ ... 187
 ボー・レート・ジェネレータ・プリスケアラ・モー
 ド・レジスタ ... 190
 ボー・レート・ジェネレータ・レジスタ ... 190

【ま行】

マシン・フォールト・サイクル ... 107
 マスカブル割り込み ... 61
 マスカブル割り込みのブロック図 ... 61
 マスカブル割り込みの優先順位 ... 64
 マスカブル割り込み要求による解除 ... 242
 メモリ・アクセス制御機能 ... 123
 メモリ・マップ ... 45
 メモリ・マップとI/Oマップの違い ... 48

【や行】

優先順位 ... 74

【ら行】

リアルタイム・パルス制御信号 ... 39
 リアルタイム・パルス・ユニット ... 29
 リセット機能 ... 251
 リフレッシュ機能 ... 133

リフレッシュ・コントロール・レジスタ ...	134
リンク・ポインタ ...	50
例外処理サイクル ...	107
例外処理（ソフトウェア例外，例外トラップ） ...	70
例外要因レジスタ ...	51
例外／割り込みからの復帰 ...	73
例外／割り込み時状態退避レジスタ ...	51
レベル・トリガ ...	69
ロックアップ時間 ...	233

【わ行】

割り込み一覧 ...	56
割り込みクリア・レジスタ ...	67
割り込みグループ優先順位レジスタ ...	65
割り込みコントローラ ...	28
割り込み信号発生制御回路 ...	177
割り込み制御信号 ...	37
割り込みと例外の優先順位 ...	74
割り込み要求 ...	171
割り込み要求マスク・レジスタ ...	68
割り込み要求レジスタ ...	67

B.2 アルファベットで始まる語句の索引

【A】

A0-A23 ... 34
 ADC ... 126
 ADTRE ... 51
 ALV01,ALV00 ... 201
 ASIM ... 165
 ASIS ... 168

【B】

BAU ... 29
 BC ... 148
 BCTC ... 118
 BIU ... 28
 BLOCK ... 35
 BPR ... 190
 BPRM ... 190
 BRCE ... 190
 BRG ... 187,190
 BU ... 235
 BWOS ... 225

【C】

CBRリフレッシュ・サイクル ... 101,136
 CC00-CC03 ... 195
 CE0 ... 199
 CE1 ... 200
 CES0 ... 198
 CESEL ... 235
 CG ... 29
 CGC ... 235
 CHCW ... 51
 CL ... 167
 CLKOUT ... 36
 CL/OV ... 225
 CLR14-CLR0 ... 67

CLS ... 179
 CM1 ... 196
 CMS00-CMS03 ... 198
 COE ... 235
 CPU機能 ... 43
 CPUのバス・ステート ... 77
 CPUレジスタ・セット ... 49
 CRXE ... 178
 $\overline{CS0-CS3}$... 36
 CSI ... 28,176
 CSIM ... 176,178
 CSI制御レジスタ ... 178
 CT0 ... 118
 CT1 ... 118
 CT2 ... 118
 CT3 ... 118
 CTXE ... 178
 CWS ... 126

【D】

D0-D15 ... 34
 DA15-DA0 ... 147
 DA23-DA16 ... 147
 $\overline{DACK0}, \overline{DACK1}$... 39
 DAD ... 149
 DAW ... 126
 DBC0, DBC1 ... 148
 DBN ... 147
 DBT ... 147
 DCHC0, DCHC1 ... 149
 DDA0, DDA1 ... 146
 DDA0H, DDA1H ... 147
 DDA0L, DDA1L ... 147
 DMAC ... 28
 DMACのバス・ステート ... 80

- DMA機能 (DMAコントローラ) ... 143
- DMAコントローラ ... 28
- DMA制御信号 ... 38
- DMA制御レジスタ ... 145
- DMAソース・アドレス・レジスタ0, 1 ... 145
- DMAソース・アドレス・レジスタ0H, 1H ... 145
- DMAソース・アドレス・レジスタ0L, 1L ... 146
- DMAチャンネル・コントロール・レジスタ0, 1 ... 149
- DMAチャンネルの優先順位 ... 155
- DMAデスティネーション・アドレス・レジスタ0, 1 ... 146
- DMAデスティネーション・アドレス・レジスタ0H, 1H ... 147
- DMAデスティネーション・アドレス・レジスタ0L, 1L ... 147
- DMA転送時のウェイト制御 ... 115
- DMA転送終了出力 ... 156
- DMA転送終了割り込み ... 155
- DMA転送タイプと転送対象 ... 153
- DMA転送中のデータの流れ ... 157
- DMA転送要求 ... 155
- DMAバイト・カウント・レジスタ0, 1 ... 148
- DRAMC ... 28, 123
- DRAMアクセス ... 96
- DRAMコントローラ ... 28, 123
- DRAMコンフィギュレーション・レジスタ ... 126
- DRAMサイクルのウェイト制御 ... 131
- DRAM制御信号 ... 37
- DRAM接続 ... 123
- DRAMライト・サイクル ... 98
- DRAMリード・サイクル ... 96
- DRAMリード/ライト・サイクル ... 127
- DRC ... 126
- DREQ0, DREQ1 ... 38
- DREQ端子からの要求 ... 155
- DS ... 150
- DSA0, DSA1 ... 145
- DSA0H, DSA1H ... 145
- DSA0L, DSA1L ... 146
- DWS0 ... 121
- DWS1 ... 121
- 【E】**
- EBS ... 167
- ECLR0 ... 197
- ECR ... 51
- EIPC ... 51
- EIPSW ... 51
- EN ... 150, 225
- ENTO01, ENTO00 ... 201
- ETI ... 199
- 【F】**
- FE ... 168
- FEPC ... 51
- FEPSW ... 51
- 【H】**
- HALTモード ... 237, 241
- HALTモード時の動作状態 ... 241
- HALTモードの解除 ... 242
- HALTモードの設定および動作状態 ... 241
- $\overline{\text{HLDAK}}$... 35
- $\overline{\text{HLDRQ}}$... 34
- $\overline{\text{HLDRQ}}$ 入力による解除 (IDLEモード時) ... 138
- 【I】**
- ICR ... 67
- ICUモード・レジスタ ... 69
- IDLEモード ... 237, 243
- IDLEモード時の動作状態 ... 244

IDLEモードの解除 ... 245
 IDLEモードの設定および動作状態 ... 243
 IGP ... 65
 IMOD ... 69, 201
 IMR ... 68
 IMS00-IMS03 ... 198
 $\overline{\text{INTP00}}$ - $\overline{\text{INTP03}}$... 37
 $\overline{\text{INTP10}}$ - $\overline{\text{INTP13}}$... 37
 INTSER ... 171
 INTSR ... 171
 INTST ... 171
 $\overline{\text{IORD}}$... 35
 $\overline{\text{IOWR}}$... 36
 I/Oマップ ... 46
 IRR ... 67
 ITM00-03, ITM10-13 ... 69

【K】

KEY ... 225, 235, 240

【L】

$\overline{\text{LCAS}}$... 38
 $\overline{\text{LMWR}}$... 35

【M】

MA5-MA3 ... 142
 MOD ... 178
 $\overline{\text{MRD}}$... 35
 MS9-MS0 ... 229
 MSK14-MSK0 ... 68

【N】

$\overline{\text{NMI}}$... 37
 NMI / 二重例外時状態退避レジスタ ... 51
 $\overline{\text{NMI}}$ 入力による解除 ... 137

【O】

off-page時 ... 96, 98
 on-page/off-pageの判断 ... 139
 on-page時 ... 96, 98
 OST ... 197
 OVE ... 168
 OVF_{Fn} ... 202

【P】

P00-P09 ... 40
 PAE ... 126
 Page-ROMアクセス ... 95, 140
 Page-ROMコンフィギュレーション・レジスタ ...
 142
 Page-ROMリード・サイクル ... 95
 PE ... 168
 PIR ... 51
 PLLモード ... 232, 238
 PM0 ... 229
 PM9-PM0 ... 229
 PMC0 ... 229
 PR3-PR0 ... 65
 PRC ... 142
 PRM0 ... 199
 PRM1 ... 200
 PRS0 ... 199
 PRS1 ... 200
 PS ... 166
 PSW ... 51
 PWC0 ... 119
 PWC1 ... 120
 PWC2 ... 121

【R】

r0-r31 ... 50
 $\overline{\text{RAS}}$... 37
 RCC ... 134

$\overline{\text{READY}}$... 34 $\overline{\text{READY}}$ 端子によるウェイト制御 ... 114 $\overline{\text{REFRQ}}$... 37

REN ... 134

REQ14-REQ0 ... 67

 $\overline{\text{RESET}}$... 36 $\overline{\text{RESET}}$ 端子入力による解除 ... 242, 245, 247

RFC ... 134

RI ... 134

ROMC ... 28, 139

ROMコントローラ ... 28, 139

RPU ... 29

RXB, RXBL ... 163, 169

RXBn (n = 7-0) ... 169

RXD ... 39

RXE ... 165

RXEB ... 169

【S】

SA15-SA0 ... 146

SA23-SA16 ... 145

SAD ... 149

SBN ... 145

SBT ... 145

 $\overline{\text{SCLK}}$... 40

SCLS ... 167

SI ... 40

SIO ... 176, 179

SIO_n (n = 7-0) ... 179

SL ... 167

SMD ... 240

SO ... 40

SOT ... 168, 178

SRAM (ROM) アクセス ... 93

SRAM (ROM) リード・サイクル ... 93

SRAMライト・サイクル ... 94

STBC ... 240

STOPモード ... 237, 246

STOPモード時の動作状態 ... 246

STOPモードの解除 ... 247

STOPモードの設定および動作状態 ... 246

【T】

T0ステート ... 80

T1, T1Sステート ... 77

T1Fステート ... 80

T1Rステート ... 80

T1Wステート ... 80

T2, T2Sステート ... 77

T2Fステート ... 80

T2Rステート ... 80

T2Wステート ... 80

T3ステート ... 81

TC ... 149

 $\overline{\text{TC}}$... 39

TCLR ... 39

TDIR ... 150

TES0 ... 197

TH, THSステート ... 77

THステート ... 81

TI ... 39

TI, TISステート ... 77

TIステート ... 80

TKCW ... 51

TM ... 150

TM0 ... 194

TM1 ... 196

TMC0 ... 199

TMC1 ... 200

TO00, TO01 ... 39

TOC0 ... 201

TOPC01, TOPC00 ... 201

TOVS ... 202

TTYP ... 150

TUM0 ... 197
TXD ... 39
TXED ... 170
TXS, TXSL ... 164, 170
TXSn (n=7-0) ... 170

【U】

UART ... 28, 162
UART制御レジスタ ... 165
 $\overline{\text{UBE}}$... 36
 $\overline{\text{UCAS}}$... 38
 $\overline{\text{UMWR}}$... 35
UL ... 235

【W】

WA ... 142
WCU ... 28
WDT ... 29
WDTI ... 226
WDTM ... 225
WDTOUT ... 40
WDTモード・レジスタ ... 225
 $\overline{\text{WE}}$... 38
WS0 ... 119
WS1 ... 119
WS2 ... 120
WS3 ... 120
WT ... 240

【X】

X1, X2 ... 36

【その他】

100ピン・プラスチックLQFP ... 24
2サイクルDMA転送時 ... 115
2サイクル転送 ... 153

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00, 午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107,
6108

名古屋 (052)222-2375

大阪 (06)6945-3178, 3200,
3208, 3212

仙台 (022)267-8740

郡山 (024)923-5591

千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111,
6112

立川 (042)526-5981, 6167

松本 (0263)35-1662

静岡 (054)254-4794

金沢 (076)232-7303

松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156

水戸 (029)226-1702

広島 (082)242-5504

高崎 (027)326-1303

鳥取 (0857)27-5313

太田 (0276)46-4014

名古屋 (052)222-2170, 2190

福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] V821 ユーザーズ・マニュアル ハードウェア編
(U10077JJ5V0UMJ1 (第5版))

[お名前など] (さしつかえのない範囲で)
御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価 (各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ()					
()					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは
NEC販売員, 特約店販売員, その他 ()

ご協力ありがとうございました。
下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡しください。