

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル



μ PD98441

Cell/Packet Serial Transceiver

資料番号 S16595JJ5V0UM00 (第5版)

発行年月 May 2007 NS

(メ モ)

目 次 要 約

第 1 章 概 説 ...	17
第 2 章 端子機能 ...	23
第 3 章 機能説明 ...	45
第 4 章 パラレル・インタフェースのオペレーション ...	121
第 5 章 MPU インタフェース ...	160
第 6 章 レジスタ ...	167
第 7 章 シリアル・インタフェース用電源 / GND の接続 ...	269
第 8 章 JTAG バウンダリ・スキャン ...	271
第 9 章 制限事項 ...	284
付録 A 8B10B 符号化対応表 ...	290
付録 B 改版履歴 ...	294

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

POS-PHY は、PMC-Sierra, Inc.の商標です。

- 本資料に記載されている内容は2007年5月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

はじめに

対象者 このマニュアルは、 μ PD98441の機能を理解し、これを用いたアプリケーション・システムを設計するエンジニアを対象としています。

目的 このマニュアルは、次の構成に示す μ PD98441の持つハードウェア機能を理解していただくことを目的としています。

構成 このマニュアルは、大きく分けて次の内容で構成しています。

- 概説
- 端子機能
- 機能説明
 - パラレル・インタフェースのオペレーション
 - MPU インタフェース
 - レジスタ
 - シリアル・インタフェース用電源 / GND の接続
 - JTAG バウンダリ・スキャン
- 制限事項

読み方 このマニュアルの読者には、電気、論理回路、マイクロコンピュータの一般的な知識を必要とします。

一通り μ PD98441の機能を理解しようとするとき
目次に従って読んでください。

μ PD98441の電気的特性を知りたいとき
別冊のデータ・シートを参照してください。

凡例 このマニュアルでは、次の記号を使用しています。

- データ表記の重み : 左が上位桁, 右が下位桁
- アクティブ・ロウの表記 : $x \times x \times B$ (端子, 信号名称のあとに B)
- 注 : 本文中につけた注の説明
- 注意 : 気をつけて読んでいただきたい内容
- 備考 : 本文中の補足説明
- 数の表記 : 2進数 ... $x \times x \times x$ または $x \times x \times b$
 - 10進数 ... $x \times x \times x$
 - 16進数 ... $x \times x \times x h$

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

μ PD98441 データ・シート : S16596J

目 次

第1章 概 説 ... 17

- 1.1 特 徴 ... 18
- 1.2 オーダ情報 ... 20
- 1.3 システム ... 20
- 1.4 ブロック図 ... 21
- 1.5 端子構成図 ... 22

第2章 端子機能 ... 23

- 2.1 端子接続図 (Bottom View) ... 23
- 2.2 端子配置表 ... 24
- 2.3 端子名称 ... 25
- 2.4 端子機能 ... 26
 - 2.4.1 パラレル・インタフェース ... 26
 - 2.4.2 シリアル・インタフェース ... 33
 - 2.4.3 MPU インタフェース ... 35
 - 2.4.4 アラーム出力 ... 36
 - 2.4.5 汎用入力ポート ... 36
 - 2.4.6 JTAG バウンダリ・スキャン ... 36
 - 2.4.7 電 源 ... 37
 - 2.4.8 グランド ... 37
 - 2.4.9 そ の 他 ... 38
- 2.5 未使用端子の処理 ... 38
- 2.6 端子の初期状態 ... 39
- 2.7 パラレル・インタフェース・モードと端子機能 ... 41
 - 2.7.1 モードの接続形態 ... 41
 - 2.7.2 パラレル・インタフェース端子の各モードにおける機能名一覧 ... 43

第3章 機能説明 ... 45

- 3.1 基本動作 ... 47
 - 3.1.1 送信機能 ... 47
 - 3.1.2 受信機能 ... 47
- 3.2 シリアル・インタフェース・ブロック ... 48
 - 3.2.1 LVDS ドライバ/レシーバ ... 48
 - 3.2.2 PLL/CDR ... 49
 - 3.2.3 シリアル・インタフェースの接続 ... 49
 - 3.2.4 デュアル・ライン・モード ... 51
 - 3.2.5 バンドル・モード ... 51
- 3.3 フレーム機能 ... 52
 - 3.3.1 フレーム構成 ... 52
 - 3.3.2 8B10B エンコード/デコード ... 53
 - 3.3.3 送信フレームの動作 ... 53

- 3.3.4 受信フレームの動作 ... 56
- 3.3.5 シリアル・ラインの切り替え ... 58
- 3.3.6 フロー制御と出力 FIFO の設定 ... 60
- 3.3.7 受信フレームのエラー検出 ... 62
- 3.4 UTOPIA Level2 パラレル・インタフェース ... 63**
 - 3.4.1 マスタ/スレーブ動作の切り替え ... 63
 - 3.4.2 バス幅の切り替え ... 64
 - 3.4.3 セル・フォーマットの設定 ... 65
 - 3.4.4 ポーリング・モード (標準アクセス・モード時のみ有効) ... 69
 - 3.4.5 拡張アクセス・モード ... 70
 - 3.4.6 HEC の生成 (オプション) ... 76
 - 3.4.7 論理ポートのイネーブル/ディスエーブル制御 ... 77
 - 3.4.8 入力 FIFO の設定 ... 81
 - 3.4.9 TxClav 信号の変化条件 ... 82
 - 3.4.10 Clav 信号の変化タイミングの変更 ... 82
 - 3.4.11 エラー検出 ... 83
 - 3.4.12 カウンタ機能 ... 84
 - 3.4.13 バス幅設定の異なる μ PD98441 の接続 ... 85
- 3.5 POS-PHY Level2 パラレル・インタフェース ... 89**
 - 3.5.1 マスタ/スレーブ動作の切り替え ... 89
 - 3.5.2 パケットのフォーマット ... 90
 - 3.5.3 トランスファ・モード ... 90
 - 3.5.4 サポート論理ポート数 ... 91
 - 3.5.5 論理ポートのイネーブル/ディスエーブル制御 ... 94
 - 3.5.6 入力 FIFO のしきい値設定 ... 96
 - 3.5.7 エラー検出 ... 97
 - 3.5.8 カウンタ機能 ... 98
- 3.6 POS-PHY/UTOPIA インタフェース変換 ... 99**
 - 3.6.1 インタフェース変換の注意点 ... 100
- 3.7 カウンタ機能 ... 101**
 - 3.7.1 カウンタのモニタ方法 ... 101
 - 3.7.2 フレームのカウンタ ... 102
 - 3.7.3 パラレル・インタフェースのカウンタ ... 103
- 3.8 MPU 拡張アクセス機能 ... 105**
 - 3.8.1 要求コマンドの発行 ... 106
 - 3.8.2 要求コマンドの受け付け ... 108
 - 3.8.3 各種要求コマンド ... 108
- 3.9 アラーム出力端子 ... 110**
- 3.10 汎用入力端子 ... 111**
- 3.11 ループバック・モード ... 112**
 - 3.11.1 単一ポート・ループバック ... 112
 - 3.11.2 全ポート・ループバック ... 116
- 3.12 Built-in テスト機能 ... 117**
 - 3.12.1 PRBS の生成 / 検証 ... 117
 - 3.12.2 擬似 FCS エラー・フレームの送出 ... 117
- 3.13 汎用 MUX/DEMUX モード ... 118**
 - 3.13.1 端子機能 ... 119
 - 3.13.2 送信オペレーション ... 120
 - 3.13.3 受信オペレーション ... 120

第4章 パラレル・インタフェースのオペレーション ... 121

- 4.1 パラレル・インタフェースのクロック ... 121
- 4.2 UTOPIA インタフェースのオペレーション ... 122
 - 4.2.1 信号の対応 ... 122
 - 4.2.2 UTOPIA マスタ送信インタフェース ... 125
 - 4.2.3 UTOPIA マスタ受信インタフェース ... 130
 - 4.2.4 UTOPIA スレーブ送信インタフェース ... 136
 - 4.2.5 UTOPIA スレーブ受信インタフェース ... 139
- 4.3 POS-PHY インタフェースのオペレーション ... 142
 - 4.3.1 信号の対応 ... 142
 - 4.3.2 POS-PHY マスタ送信オペレーション ... 146
 - 4.3.3 POS-PHY マスタ受信オペレーション ... 150
 - 4.3.4 POS-PHY スレーブ送信オペレーション ... 157
 - 4.3.5 POS-PHY スレーブ受信オペレーション ... 158

第5章 MPU インタフェース ... 160

- 5.1 バス・タイプ ... 160
- 5.2 リード・オペレーション ... 161
- 5.3 ライト・オペレーション ... 162
- 5.4 割り込み処理 ... 164

第6章 レジスタ ... 167

- 6.1 レジスタ・マップ ... 167
- 6.2 レジスタ詳細 ... 178

第7章 シリアル・インタフェース用電源 / GND の接続 ... 269

第8章 JTAG バウンダリ・スキャン ... 271

- 8.1 特 徴 ... 271
- 8.2 バウンダリ・スキャン回路内部構成 ... 272
 - 8.2.1 インストラクション・レジスタ (Instruction Register) ... 272
 - 8.2.2 TAP コントローラ (Test Access Port Controller) ... 272
 - 8.2.3 バイパス・レジスタ (Bypass Register) ... 272
 - 8.2.4 バウンダリ・スキャン・レジスタ (Boundary Scan Register) ... 272
- 8.3 端子機能 ... 273
 - 8.3.1 JCK 端子 (JTAG Clock Pin) ... 273
 - 8.3.2 JMS 端子 (JTAG Mode Select Pin) ... 273
 - 8.3.3 JDI 端子 (JTAG Data Input Pin) ... 273
 - 8.3.4 JDO 端子 (JTAG Data Output Pin) ... 273
 - 8.3.5 JRSTB 端子 (JTAG Reset Pin) ... 273
- 8.4 動作説明 ... 274
 - 8.4.1 TAP コントローラ ... 274

- 8.4.2 TAP コントローラ状態 ... 274
- 8.5 TAP コントローラ動作 ... 280
- 8.6 TAP コントローラの初期化 ... 282
- 8.7 インストラクション・レジスタ ... 282
 - 8.7.1 BYPASS 命令 ... 283
 - 8.7.2 EXTEST 命令 ... 283
 - 8.7.3 SAMPLE/PRELOAD 命令 ... 283
 - 8.7.4 バウンダリ・スキャン・データ・ビット定義 ... 283

第9章 制限事項 ... 284

- 9.1 レジスタ・ライト後の不正データ・バス・ドライブに関する制限事項 ... 284
- 9.2 カウンタのクリア異常 ... 286
- 9.3 SOP エラーの不正検出異常 ... 288
- 9.4 全ポート・ループバック・モードの設定 / 解除時の制限事項 ... 289

付録 A 8B10B 符号化対応表 ... 290

付録 B 改版履歴 ... 294

図の目次 (1/4)

図番号	タイトル, ページ
1 - 1	接続例 ... 17
1 - 2	μPD98442 との接続 ... 18
1 - 3	アプリケーション ... 20
3 - 1	μPD98441 の機能ブロック構成 ... 46
3 - 2	基本アプリケーション ... 47
3 - 3	シリアル・インタフェース・ブロック概要図 ... 48
3 - 4	レシーバの内部終端 ... 49
3 - 5	シリアル・ライン・インタフェースの接続形態 ... 50
3 - 6	シングル・ライン・モードの動作概要 ... 50
3 - 7	デュアル・ライン・モードの接続形態 ... 51
3 - 8	バンドル・モードの接続形態 ... 51
3 - 9	デュアル・ライン・モードの動作概要 ... 51
3 - 10	μPD98441 のフレーム構成 ... 52
3 - 11	フレーム間 IDLE の挿入 ... 55
3 - 12	SOP と EOP の監視 ... 58
3 - 13	アクティブとスタンバイの切り替え ... 58
3 - 14	アクティブとスタンバイの切り替えフロー ... 59
3 - 15	フロー制御 ... 60
3 - 16	UTOPIA モードの出力 FIFO 構成 ... 61
3 - 17	POS-PHY モードの出力 FIFO 構成 ... 61
3 - 18	マスタ/スレーブの設定 ... 64
3 - 19	ATM セルの構造 (ユーザ-網インタフェース (UNI) の場合) ... 65
3 - 20	セル・フォーマット ... 66
3 - 21	セル・フォーマット例 ... 67
3 - 22	拡張アクセス接続 (UTOPIA Level 2) ... 71
3 - 23	識別子 ... 72
3 - 24	識別子の設定 ... 72
3 - 25	識別子の設定例 ... 72
3 - 26	識別子の削除モード ... 73
3 - 27	識別子の付加モード ... 74
3 - 28	HEC の生成 ... 76
3 - 29	デュアル・ライン・モード接続時のポート・アドレス変換 (UTOPIA 標準アクセス時) ... 80
3 - 30	IBMD = 01 の例 ... 81
3 - 31	バス幅設定の異なる μPD98441 の接続 ... 86
3 - 32	8 ビットから 16 ビットへのバス幅変換 ... 87
3 - 33	8 ビットから 32 ビットへのバス幅変換 ... 88
3 - 34	16 ビットから 32 ビットへのバス幅変換 ... 88
3 - 35	パケットの構造 ... 90

図の目次 (2/4)

図番号	タイトル, ページ
3 - 36	POS-PHY シングル・ライン・モード接続 ... 91
3 - 37	POS-PHY デュアル・ライン・モード接続 ... 92
3 - 38	デュアル・ライン・モード接続時のポート・アドレス変換 (POS-PHY 標準アクセス時) ... 93
3 - 39	STPA/PTPA をデアサートするまでの遅延 ... 96
3 - 40	UTOPIA と POS の混在接続 ... 99
3 - 41	カウンタに関するレジスタ ... 102
3 - 42	MPU 拡張アクセス機能 ... 105
3 - 43	MPU 拡張アクセスの動作概要 ... 106
3 - 44	L[n]ACK_RC/R レジスタ ... 107
3 - 45	EXIN 端子の機能概要 ... 111
3 - 46	LPP ループバック ... 113
3 - 47	LPS ループバック ... 114
3 - 48	LPS ループバック接続 ... 115
3 - 49	各種全ポート・ループバック・モード ... 116
3 - 50	BIST 機能 ... 117
3 - 51	汎用 MUX/DEMUX モード ... 118
3 - 52	送信パラレル・データの入力タイミング ... 120
3 - 53	受信パラレル・データの出カタイミング ... 120
4 - 1	パラレル・インタフェース・クロック ... 121
4 - 2	UTOPIA インタフェース信号 ... 122
4 - 3	マスタ送信インタフェース (UTOPIA モード) ... 125
4 - 4	ポーリング・アドレスの出力 ... 125
4 - 5	1Clav モードの送信インタフェース ... 126
4 - 6	DSI モードの送信インタフェース ... 126
4 - 7	MSP モードの送信インタフェース ... 127
4 - 8	拡張アクセス・モードのマスタ送信インタフェース例 ... 128
4 - 9	送信インタフェース・セレクション動作 ... 129
4 - 10	拡張アクセス・モードのセレクション順 (送信インタフェース) ... 129
4 - 11	マスタ受信インタフェース (UTOPIA モード) ... 130
4 - 12	1Clav モードの受信インタフェース・タイミング ... 130
4 - 13	DSI モードの受信インタフェース・タイミング ... 131
4 - 14	MSP モードの受信インタフェース ... 132
4 - 15	拡張アクセス・モードのマスタ受信インタフェース例 ... 133
4 - 16	受信インタフェース・セレクション動作 ... 133
4 - 17	拡張アクセス・モードのセレクション順 (受信インタフェース) ... 134
4 - 18	ポートを切り替えての連続受信 (1Clav モード) ... 134
4 - 19	DSI モードの受信インタフェースでのポートの切り替え ... 134
4 - 20	同一ポートからの連続受信 (1Clav モード) ... 135

図の目次 (2/4)

図番号	タイトル, ページ
4 - 21	RxSOC の入力遅延 (1Clav モード) ... 135
4 - 22	RxSOC の入力禁止タイミング (1Clav モード) ... 135
4 - 23	スレーブ送信インタフェース (UTOPIA モード) ... 136
4 - 24	TxClaV の有効タイミングのモード (8 ビットバス幅) ... 136
4 - 25	TxClaV の有効タイミングのモード (16 ビット・バス幅) ... 137
4 - 26	スレーブ受信インタフェース (UTOPIA モード) ... 139
4 - 27	RxClaV の有効タイミングのモード (8 ビット・バス幅) ... 139
4 - 28	RxClaV の有効タイミングのモード (16 ビット・バス幅) ... 140
4 - 29	POS-PHY インタフェース信号 ... 142
4 - 30	マスタ送信オペレーション (POS-PHY モード) ... 146
4 - 31	パケット・レベルの FIFO 状態チェック ... 147
4 - 32	パケット・レベルの送信タイミング ... 148
4 - 33	バイト・レベル・モードの FIFO 状態チェック ... 148
4 - 34	バイト・レベル・モードの送信タイミング ... 149
4 - 35	マスタ受信オペレーション (POS-PHY モード) ... 150
4 - 36	パケット・レベル・モードの受信タイミング ... 151
4 - 37	パケットの転送終了と再開 ... 151
4 - 38	同一論理ポートからの連続転送 (パケット・レベル) ... 152
4 - 39	転送の中断 ... 152
4 - 40	転送停止状態に陥る入力波形例 ... 153
4 - 41	バイト・レベル・モードの受信タイミング ... 154
4 - 42	同一論理ポートからの連続転送 (バイト・レベル) ... 155
4 - 43	RENB のデアサートによる転送の中断 ... 155
4 - 44	転送中断後の他ポート・セレクション ... 156
4 - 45	スレーブ送信オペレーション (POS-PHY モード) ... 157
4 - 46	スレーブ受信オペレーション (POS-PHY モード) ... 158
4 - 47	RVAL の出力タイミング ... 159
5 - 1	MPU インタフェース ... 160
5 - 2	リード・オペレーション ... 161
5 - 3	ライト・オペレーション ... 162
5 - 4	要因詳細レジスタのクリア方法 ... 165
5 - 5	割り込み要因レジスタ相関図 ... 166
6 - 1	シリアル・インタフェースの接続モード ... 179
6 - 2	バス幅変換の設定 ... 184
6 - 3	識別子の挿入位置設定 ... 186
6 - 4	UDF2 追加例 (8 ビット 16 ビットへの変換) ... 199
6 - 5	ループ・バッファ ... 213
6 - 6	全ポート・ループバック・モード ... 223

図の目次 (4/4)

図番号	タイトル, ページ
7 - 1	シリアル・インタフェース電源 / GND 接続例 ... 270
8 - 1	バウンダリ・スキャン回路ブロック図 ... 272
8 - 2	TAP コントローラの状態 ... 274
8 - 3	コントローラ状態での動作タイミング ... 275
8 - 4	テスト・ロジックの動作 (インストラクション・スキャン) ... 281
8 - 5	テスト・ロジックの動作 (データ・スキャン) ... 281
9 - 1	DATA[7:0]の不正ドライブ期間 ... 284
9 - 2	衝突の回避 (BUSM = "0" モードで表示) ... 285
9 - 3	カウンタのクリア異常 ... 287
9 - 4	SOP エラーの不正検出が発生するタイミング ... 288

表の目次 (1/2)

表番号	タイトル, ページ
1 - 1	パラレル・インタフェース・モード ... 18
1 - 2	接続可能な論理ポート数 ... 18
3 - 1	μPD98441 が使用する K コード ... 53
3 - 2	フレーム間 IDLE の挿入 ... 55
3 - 3	受信フレームで監視するエラー ... 62
3 - 4	UTOPIA のマスタ/スレーブ設定 ... 63
3 - 5	パラレル・インタフェース ... 64
3 - 6	セル・フォーマット設定 ... 66
3 - 7	セル・フォーマット設定とトータル・セル長 ... 68
3 - 8	ポーリング・モード ... 69
3 - 9	1 リンク・デバイスに接続できる論理ポート数 ... 70
3 - 10	Clav 信号に対するポート・アドレス割り当て ... 70
3 - 11	拡張アクセス・モード接続のモード設定 ... 71
3 - 12	MSP モード時のポート・アドレスと Clav 信号の関係 ... 78
3 - 13	MSP モード時のグループ・アドレスとポート・アドレスの関係 ... 78
3 - 14	デュアル・ライン・モード接続時のポート・アドレス変換 ... 79
3 - 15	IBMD とイネーブル可能ポート数および, IBALH の関係 ... 81
3 - 16	TxClav 信号をデアサートする FIFO のしきい値設定 ... 82
3 - 17	IBMD 設定と設定可能な IBALH との関係 ... 82
3 - 18	入力パラレル・インタフェースで検出するエラー ... 83
3 - 19	出力パラレル・インタフェースで検出するエラー (UTOPIA モード) ... 83
3 - 20	UTOPIA インタフェースでカウントするイベント ... 84
3 - 21	CHGB レジスタの CBSZ フィールド設定 ... 85
3 - 22	POS-PHY のマスタ/スレーブ設定 ... 89
3 - 23	トランスファ・モード ... 90
3 - 24	POS-PHY モードでの接続可能なポート数 ... 91
3 - 25	デュアル・ライン・モードの場合のポート・アドレス変換 ... 93
3 - 26	入力パラレル・インタフェースで検出するエラー (POS-PHY モード) ... 97
3 - 27	出力パラレル・インタフェースで検出するエラー (POS-PHY モード) ... 98
3 - 28	パラレル・インタフェースで検出するエラー (POS-PHY モード) ... 98
3 - 29	POS, UTOPIA が混在した場合の接続可能ポート数 ... 99
3 - 30	カウンター一覧 ... 101
3 - 31	フレームのカウンタ制御にかかわるレジスタとビット ... 103
3 - 32	パラレル・インタフェースのカウンタ制御にかかわるレジスタ一覧 ... 104
3 - 33	ALM 端子にアサイン可能な情報 ... 110
3 - 34	EXINS レジスタの状態表示 ... 111
3 - 35	全ポート・ループバック・モード ... 116
3 - 36	汎用 MUX/DEMUX モード ... 118
3 - 37	汎用 MUX/DEMUX モードのパラレル・インタフェース ... 119

表の目次 (2/2)

表番号	タイトル, ページ
4 - 1	μ PD98441 信号名と UTOPIA 標準の信号名の対応 (μ PD98441 がマスタ・モード時) ... 123
4 - 2	μ PD98441 信号名と UTOPIA 標準の信号名の対応 (μ PD98441 がスレーブ・モード時) ... 124
4 - 3	TxClav 信号に対するポート・アドレス割り当て ... 127
4 - 4	グループ・アドレスに対するポート・アドレス割り当て (送信側) ... 127
4 - 5	拡張アクセス時の TxClav 信号に対するポート・アドレス割り当て ... 128
4 - 6	RxClav 信号に対するポート・アドレス割り当て ... 131
4 - 7	グループ・アドレスに対するポート・アドレス割り当て (受信側) ... 131
4 - 8	拡張アクセス時の RxClav 信号に対するポート・アドレス割り当て ... 132
4 - 9	μ PD98441 信号名と POS-PHY 標準の信号名の対応 (μ PD98441 がマスタ・モードのとき) ... 143
4 - 10	μ PD98441 信号名と POS-PHY 標準の信号名の対応 (μ PD98441 がスレーブ・モードのとき) ... 145
5 - 1	MPU インタフェース・モード ... 160
5 - 2	割り込み要因詳細レジスタの機能 ... 165
6 - 1	IBMD とイネーブル可能ポート数および, IBALH の関係 ... 207
6 - 2	RALMn レジスタの設定と ALM 端子出力情報 ... 228
7 - 1	シリアル・インタフェース用電源 / GND ... 269
8 - 1	JTAG の未適用端子 ... 271
8 - 2	それぞれのコントローラ状態における動作 ... 280
9 - 1	カウンタのクリア異常対象カウンタ ... 286
A - 1	通常データ ... 290
A - 2	K コード ... 293

第1章 概 説

μ PD98441 は、UTOPIA Level2 または、POS-PHY™ Level2 インタフェースの平行・データ・ストリームを最速 880 Mbps の LVDS ラインを通して全二重シリアル伝送するバックプレーン用トランシーバです。ネットワーク装置において、ATM、POS のリンク・デバイスと PHY デバイス間をバックボード接続や、ケーブル接続するのに最適なデバイスです。2チャンネルのLVDSドライバ/レシーバ、PLL/クロック・データ・リカバリ(CDR)ブロック、8B/10Bエンデック・ブロック、平行・インタフェース・ブロックで構成され、高性能、低消費電力なシングルチップ・ソリューションを実現しています。

平行・インタフェースには最大 124 の論理ポートが接続可能 (UTOPIA モード時) で、装置内の部品点数の削減、ボード・スペースの縮小に貢献します。装備する 2チャンネルのLVDSドライバ/レシーバは、おのおのを独立したチャンネルとして使用するモードや、片チャンネルを冗長用の予備チャンネルとして動作させるモードを備えており、様々な接続構成に応用が可能です。

また、LVDSドライバ/レシーバを 8チャンネル装備したμ PD98442 と組み合わせることで、高性能なネットワーク装置にも適用することができ、モバイル基地局や、ルータなどの様々なコミュニケーション・システムに適用できます。

図1-1 接続例

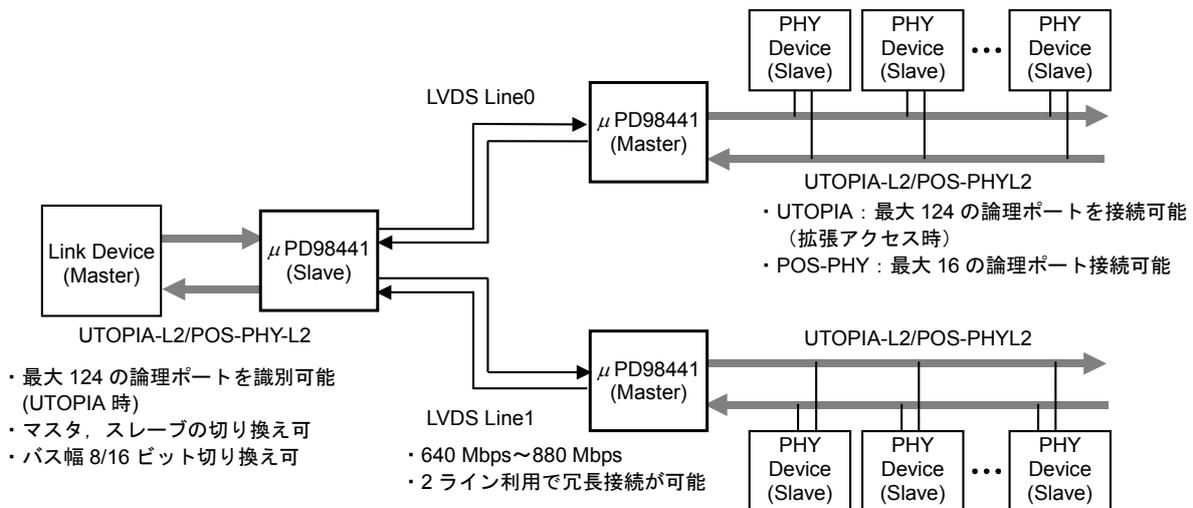
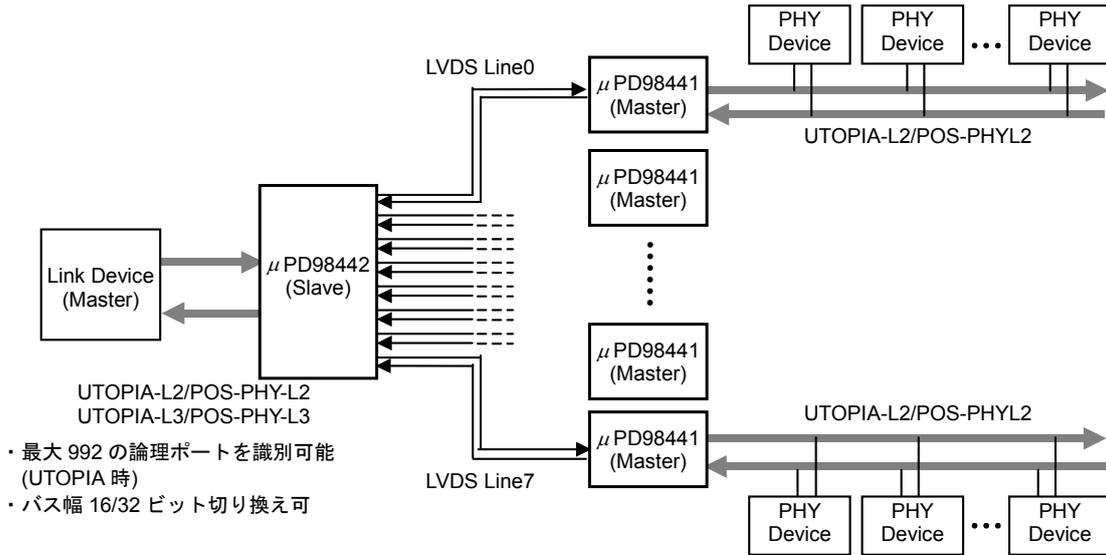


図1 - 2 μ PD98442 との接続



1.1 特 徴

最適なモードを選択可能なパケット，ATM セル対応の平行・インタフェース
 UTOPIA/POS ブロックをバイパスする汎用 Mux/Demux モードをサポート (オプション・モード)

表1 - 1 平行・インタフェース・モード

インタフェース	Master/Slave	バス幅	バス周波数
UTOPIA Level2 モード	Master	16 ビット	8 MHz ~ 52 MHz
		8 ビット	
	Slave	16 ビット	
		8 ビット	
POS-PHY Level2 モード	Master	16 ビット	
	Slave	16 ビット	
汎用 Mux/Demux モード (オプション)	-	8 ビット × 2	64 MHz ~ 88 MHz

UTOPIA モードでは，標準以上の論理ポートを接続可能とする拡張アクセス・モードをサポート

表1 - 2 接続可能な論理ポート数

インタフェース	アクセス・モード	識別可能な論理ポート数
UTOPIA	標準アクセス・モード	31
	拡張アクセス・モード	124
POS-PHY	-	16

52 バイト ~ 64 バイトの範囲でセル長を指定可能
 標準 LVDS ドライバ/レシーバ・インタフェースを 2 チャネル装備
 1 チャネルのライン・レート：640 Mbps ~ 880 Mbps OC12 までのスループット・データを転送可能
 LVDS1 チャネルを予備チャネルとして動作させる冗長接続をサポート

PLL, クロック・データ・リカバリ回路 (CDR) を内蔵

レファレンス・クロックは LVTTTL, または PECL レベルで入力 (64 MHz ~ 88 MHz)

セル / パケット損失を防ぐバックプレッシャ伝送機能を装備, ポート単位のフロー制御により他ポートのストリープットに影響なし

モード設定, ステータス・チェックは, 8 ビット MPU インタフェースを介してレジスタ・アクセスにより実行
MPU インタフェースは, 2 種のタイプより選択可能

- RD-WR-RDY タイプ
- DS-R/W-ACK タイプ

MPU インタフェースの拡張機能をサポート

- μ PD98441 のレジスタを介して MPU 間のメッセージ伝送が可能
- リモート側の μ PD98441 のレジスタに対してリード / ライトが可能

8B/10B のエンコーダ / デコーダ伝送方式を採用

セル / パケット単位 FCS16 の生成, 検証を実行

セルの HEC 生成を実行 (オプション・モード)

受信データのステータスを監視, 検知エラーをレジスタおよび信号により通知

エラー通知

- LOS : 入力信号断検知
- FCS16 エラー検知
- 10B8B デコード・エラー検知
- ランニング・ディスパリティ・エラー検知
- 入出力 FIFO のオーバフロー検知
- SOC, SOP, EOP の入力エラー検知
- 論理ポート・セレクション・エラー検知

各種イベント・カウンタ装備 (送受信データ, エラーなど)

シリアル側 / パラレル側の 2 種のループバック・モードをサポート

- ポート・アドレスごとにループバック設定可能

セルフ・テスト機能装備

- 送信 : テスト・パターン (PRBS23) の生成および送出
- 受信 : テスト・パターン検証回路を装備, エラー検出を通知

パワー・ダウン制御が可能

IEEE 1149.1 JTAG テスト機能を装備

動作周囲温度 : $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$

低消費電力動作

- コア・ロジック / シリアル・インタフェース用主電源 : +1.8 V
- LVTTTL I/O 用 : +3.3 V

0.18 μm CMOS プロセス

240 ピン・ファインピッチ BGA パッケージ (16 \times 16 mm, 0.8 mm ピッチ)

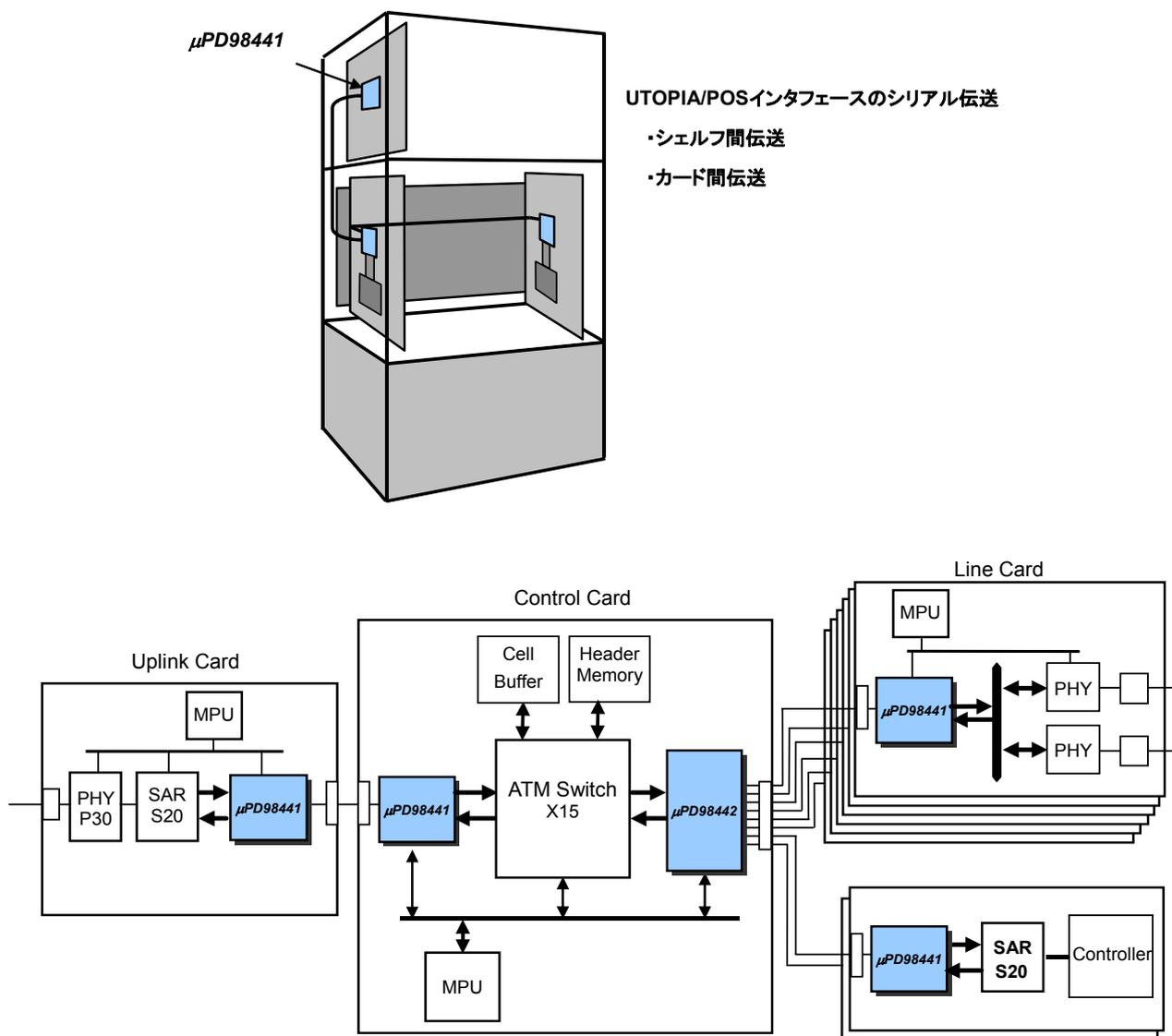
1.2 オーダ情報

オーダ名称	パッケージ
μ PD98441F1-GA3-A	240ピン・プラスチックFBGA(16×16)

1.3 システム

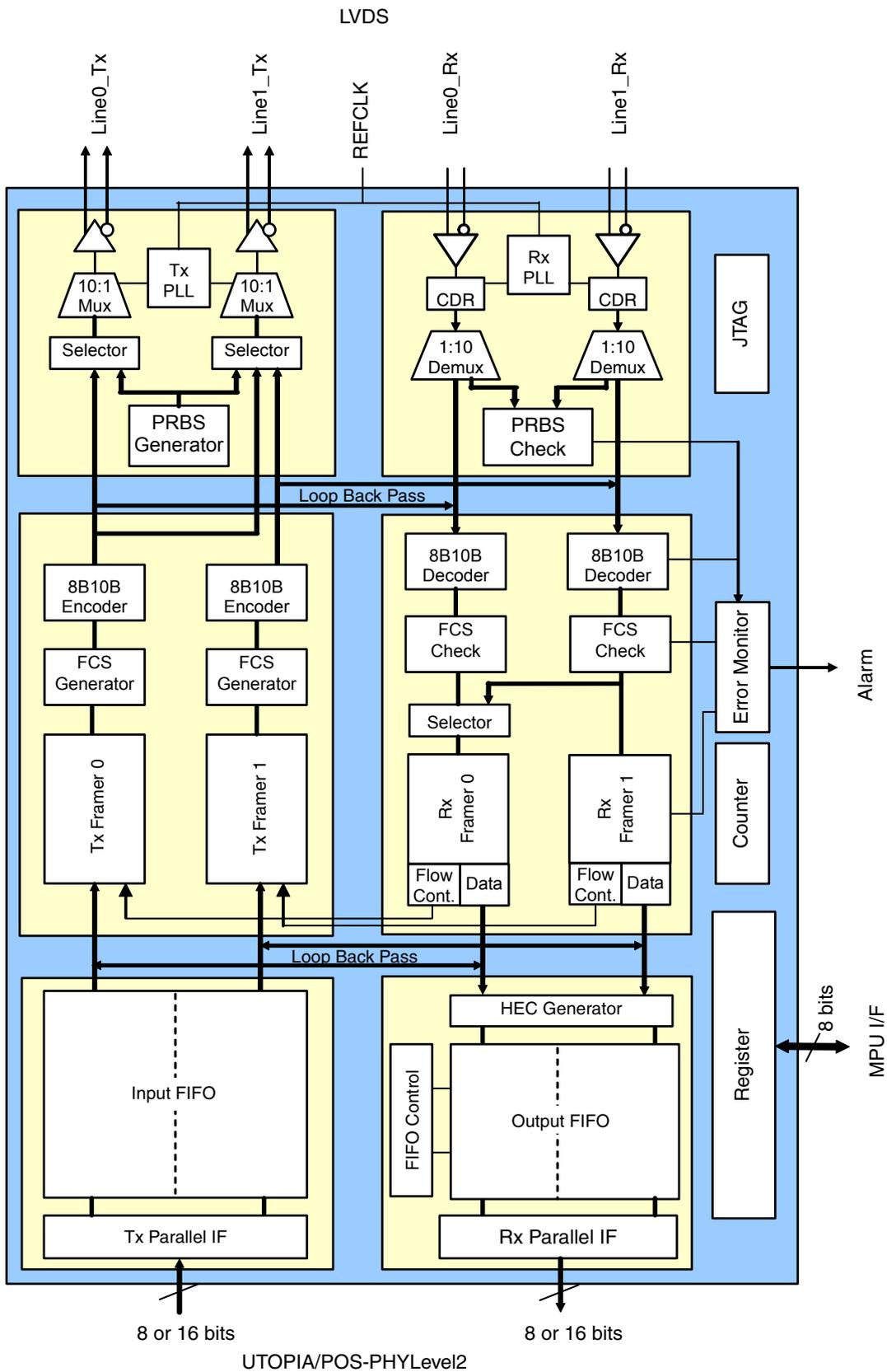
- ルータ
- ATMスイッチ
- アクセス集線装置(無線基地局, DSLAM など)
- Add/drop マルチプレクサ, デジタル・クロス・コネクタ など

図1-3 アプリケーション

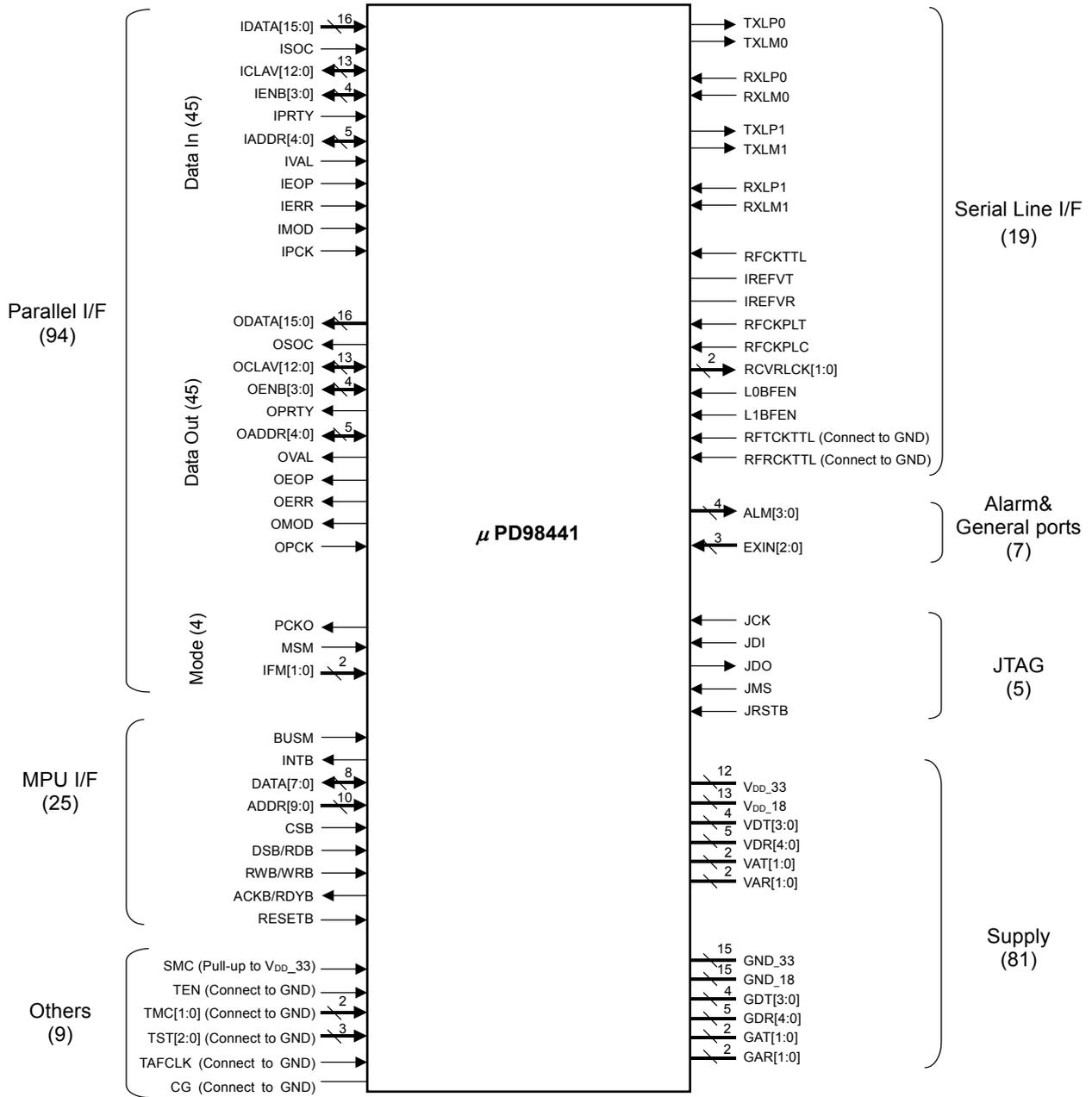


P30 : μ PD98404 (OC3 ATM PHY)
 S20 : μ PD98405 (OC3 ATM SAR)
 X15 : μ PD98412 (1.5G ATM Switch)

1.4 ブロック図



1.5 端子構成図



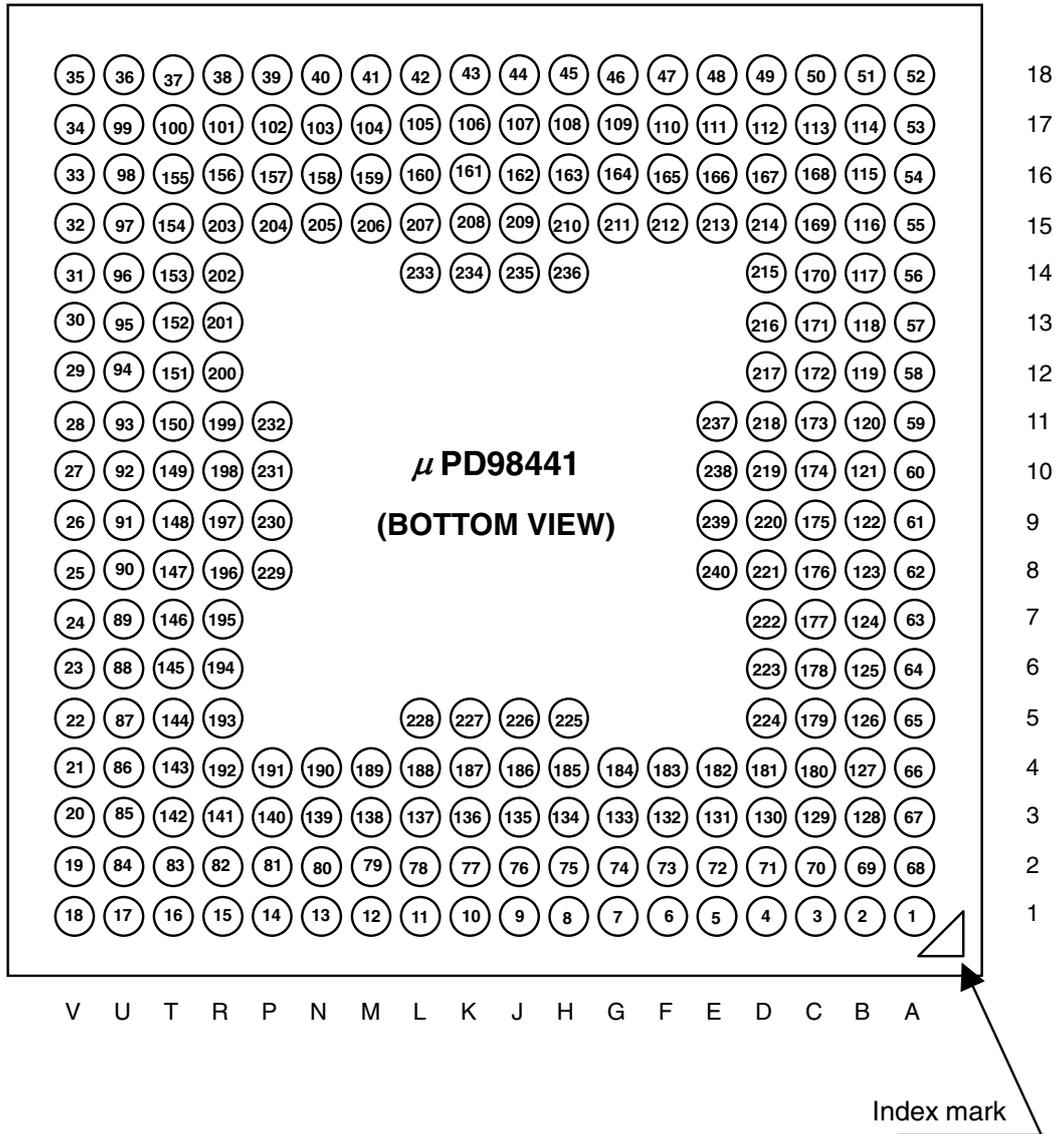
- 備考 1.** このドキュメントでは、アクティブ・ロウの端子を XXXB と表しています。
2. CG 端子は、グラウンドに接続してください。

第2章 端子機能

2.1 端子接続図 (Bottom View)

・ 240 ピン・ファインピッチ FBGA (16 × 16)

μ PD98441F1-GA3-A



2.2 端子配置表

シリアル No.	アドレス No.	端子名												
1	A1	GND_33	49	D18	RWB/WRB	97	U15	ISOC	145	T6	GND_33	193	R5	OCLAV6
2	B1	GND_33	50	C18	DSB/RDB	98	U16	ICLAV0	146	T7	IDATA13	194	R6	V _{DD} _18
3	C1	RFCKTTL	51	B18	GND_18	99	U17	GND_18	147	T8	IDATA8	195	R7	OCLAV12
4	D1	ODATA14	52	A18	GND_33	100	T17	ICLAV5	148	T9	IDATA4	196	R8	IDATA14
5	E1	ODATA10	53	A17	GND_33	101	R17	ICLAV6	149	T10	IDATA3	197	R9	IDATA9
6	F1	ODATA8	54	A16	VDT3	102	P17	ICLAV8	150	T11	IADDR3	198	R10	IADDR4
7	G1	ODATA7	55	A15	TXLP0	103	N17	CG	151	T12	IENB3	199	R11	IADDR1
8	H1	ODATA6	56	A14	TXLM0	104	M17	GND_33	152	T13	IVAL	200	R12	IENB1
9	J1	ODATA2	57	A13	TXLM1	105	L17	ADDR8	153	T14	IPRTY	201	R13	V _{DD} _18
10	K1	GND_33	58	A12	TXLP1	106	K17	INTB	154	T15	V _{DD} _33	202	R14	ICLAV1
11	L1	OADDR4	59	A11	VAT1	107	J17	ADDR4	155	T16	ICLAV2	203	R15	ICLAV3
12	M1	OADDR0	60	A10	GDR0	108	H17	DATA7	156	R16	ICLAV7	204	P15	ICLAV4
13	N1	OENB1	61	A9	RXLP0	109	G17	DATA2	157	P16	ICLAV9	205	N15	V _{DD} _18
14	P1	OERR	62	A8	RXLM0	110	F17	DATA0	158	N16	ICLAV12	206	M15	ICLAV10
15	R1	OEOP	63	A7	RXLM1	111	E17	CSB	159	M16	ADDR9	207	L15	BUSM
16	T1	OCLAV0	64	A6	RXLP1	112	D17	L1BFEN	160	L16	ADDR6	208	K15	ADDR7
17	U1	GND_33	65	A5	GDR4	113	C17	JCK	161	K16	ADDR2	209	J15	DATA6
18	V1	GND_33	66	A4	RFCKPLT	114	B17	GND_18	162	J16	ADDR3	210	H15	DATA3
19	V2	GND_18	67	A3	RFCKPLC	115	B16	TEN	163	H16	DATA5	211	G15	GND_33
20	V3	OCLAV10	68	A2	GND_18	116	B15	TMC0	164	G16	DATA1	212	F15	V _{DD} _18
21	V4	PCKO	69	B2	GND_18	117	B14	GDT0	165	F16	LOBFEN	213	E15	JDO
22	V5	OPCK	70	C2	RCVRLCK1	118	B13	GAT1	166	E16	JDI	214	D15	TAFCLK
23	V6	IPCK	71	D2	IFM1	119	B12	RFTCKTTL	167	D16	JRSTB	215	D14	V _{DD} _33
24	V7	IDATA11	72	E2	IFM0	120	B11	VAT0	168	C16	JMS	216	D13	SMC
25	V8	IDATA10	73	F2	ODATA12	121	B10	GND_18	169	C15	TMC1	217	D12	GDT3
26	V9	IDATA6	74	G2	ODATA9	122	B9	VDR0	170	C14	VDT0	218	D11	VDT1
27	V10	IDATA2	75	H2	GND_33	123	B8	RFCKTTL	171	C13	GDT1	219	D10	VDT2
28	V11	IDATA1	76	J2	ODATA3	124	B7	GAR1	172	C12	GAT0	220	D9	GDR2
29	V12	IADDR2	77	K2	ODATA1	125	B6	GDR3	173	C11	GDT2	221	D8	VAR1
30	V13	IADDR0	78	L2	OADDR2	126	B5	VDR4	174	C10	GDR1	222	D7	VDR3
31	V14	IENB0	79	M2	OENB3	127	B4	V _{DD} _33	175	C9	VDR1	223	D6	V _{DD} _18
32	V15	IEERR	80	N2	OMOD	128	B3	RCVRLCK0	176	C8	GAR0	224	D5	TST1
33	V16	IEOP	81	P2	OVAL	129	C3	TST0	177	C7	IREFVFR	225	H5	V _{DD} _18
34	V17	GND_18	82	R2	OSOC	130	D3	MSM	178	C6	GND_33	226	J5	GND_18
35	V18	GND_33	83	T2	OCLAV1	131	E3	V _{DD} _33	179	C5	ALM1	227	K5	V _{DD} _18
36	U18	GND_33	84	U2	GND_18	132	F3	ODATA13	180	C4	TST2	228	L5	GND_18
37	T18	V _{DD} _33	85	U3	OCLAV7	133	G3	V _{DD} _33	181	D4	ALM3	229	P8	V _{DD} _18
38	R18	ICLAV11	86	U4	OCLAV8	134	H3	ODATA4	182	E4	ALM2	230	P9	GND_18
39	P18	RESETB	87	U5	OCLAV9	135	J3	ODATA0	183	F4	ALM0	231	P10	V _{DD} _18
40	N18	EXIN0	88	U6	IDATA15	136	K3	V _{DD} _33	184	G4	ODATA15	232	P11	GND_18
41	M18	EXIN1	89	U7	GND_33	137	L3	OADDR1	185	H4	ODATA11	233	L14	V _{DD} _18
42	L18	EXIN2	90	U8	IDATA12	138	M3	V _{DD} _33	186	J4	ODATA5	234	K14	GND_18
43	K18	ADDR5	91	U9	IDATA7	139	N3	OPRTY	187	K4	OADDR3	235	J14	V _{DD} _18
44	J18	ADDR1	92	U10	IDATA5	140	P3	V _{DD} _33	188	L4	OENB2	236	H14	GND_18
45	H18	ADDR0	93	U11	IDATA0	141	R3	OCLAV2	189	M4	OENB0	237	E11	IREFVT
46	G18	DATA4	94	U12	V _{DD} _33	142	T3	OCLAV4	190	N4	V _{DD} _18	238	E10	V _{DD} _18
47	F18	V _{DD} _33	95	U13	IENB2	143	T4	V _{DD} _33	191	P4	OCLAV3	239	E9	VDR2
48	E18	ACKB/RDYB	96	U14	IMOD	144	T5	OCLAV11	192	R4	OCLAV5	240	E8	VAR0

2.3 端子名称

ACKB/RDYB: Acknowledge / Ready	MSM: Master/Slave Mode
ADDR[9:0]: Address	OADDR[4:0]: Output Parallel Address
ALM[3:0]: Alarm Pin	OCLAV[12:0]: Output Parallel Cell Available
BUSM: Bus Mode Select	ODATA[15:0]: Output Parallel Data
CG: Connect to Ground	OENB[3:0]: Output Parallel Enable
CSB: I/O Chip Select	OEOP: Output Parallel POS-PHY End Of Packet
DATA[7:0]: Data Bus	OERR: Output Parallel POS-PHY Packet Error
DSB/RDB: Data Strobe / Read	OMOD: Output Parallel POS-PHY Word Modulo
EXIN[2:0]: External Input Pin	OPCK: Output Parallel Clock
GAR[1:0]: Analog Ground for Rx	OPRTY: Output Parallel Parity
GAT[1:0]: Analog Ground for Tx	OSOC: Output Parallel Start Of Cell
GDR[4:0]: Ground for Rx LVDS Buffer	OVAL: Output Parallel Data Valid
GDT[3:0]: Ground for Tx LVDS Buffer	PCKO: Parallel Clock Out
GND_18: Ground for 1.8-V Supply	RCVRLCK[1:0]: Recover Clock of Line1/0
GND_33: Ground for 3.3-V Supply	RESETB: Reset
IADDR[4:0]: Input Parallel Address	RFCKPLC: Reference Clock Complement
ICLAV[12:0]: Input Parallel Cell Available	RFCKPLT: Reference Clock True
IDATA[15:0]: Input Parallel Data	RFCKTTL: LVTTTL Reference Clock Input
IENB[3:0]: Input Parallel Enable	RFRCKTTL: PECL True Reference Clock Input
IEOP: Input Parallel POS-PHY End of Packet	RFTCKTTL: PECL Comp. Reference Clock Input
IERR: Input Parallel POS-PHY Packet Error	RWB/WRB: Read Write / Write
IFM[1:0]: Interface Mode	RXLM[1:0]: Rx Serial Line (Inverted) of Line1/0
IMOD: Input Parallel POS-PHY Word Modulo	RXLP[1:0]: Rx Serial Line (True) of Line1/0
INTB: Interrupt Output	SMC: Test Mode Select Pin
IPCK: Input Parallel Clock	TAFCLK: Test Async F/F Clock
IPRTY: Input Parallel Parity	TEN: Test Enable Pin
IREFVR: Input Reference Voltage for Rx LVDS	TMC[1:0]: Test Mode Pin
IREFVT: Input Reference Voltage for Tx LVDS	TST[2:0]: Test Select Pin
ISOC: Input Parallel Start Of Cell	TXLM[1:0]: Tx Serial Line (Inverted) of Line1/0
IVAL: Input Parallel POS-PHY Data Valid	TXLP[1:0]: Tx Serial Line (True) of Line1/0
JCK: JTAG Clock	VAR[1:0]: 1.8-V Analog Power Supply for Rx
JDI: JTAG Data Input	VAT[1:0]: 1.8-V Analog Power Supply for Tx
JDO: JTAG Data Output	VDR[4:0]: 1.8-V Power Supply for Rx LVDS Buffer
JMS: JTAG Mode Select	VDT[3:0]: 1.8-V Power Supply for Tx LVDS Buffer
JRSTB: JTAG Reset	V _{DD} _18: 1.8-V Power Supply
L0BFEN: Line0 Buffer Enable	V _{DD} _33: 3.3-V Power Supply
L1BFEN: Line1 Buffer Enable	

2.4 端子機能

- 備考 1. このドキュメントでは、アクティブ・ロウの端子を XXXB と表しています。
2. IFM1, IFM0 端子のように同名で複数ある端子は、IFM[1:0]と表記し、IFM[1:0] = 10 という表記は、IFM1 = 1, IFM0 = 0 に対応しています。

2.4.1 パラレル・インタフェース

リンク・デバイスや PHY デバイスと ATM セル/POS パケットの転送を行うインタフェースです。

設定モードによって使用する端子、および端子の入出力が変わります。「2.7.2 パラレル・インタフェース端子の各モードにおける機能名一覧」をあわせて参照してください。

端子名	シリアル番号	アドレス番号	I/O レベル	機能										
IFM[1:0]	71, 72	D2, E2	I LVTTTL	<p>パラレル・インタフェース・モード選択信号。 パラレル・インタフェースのモードを設定する信号です。電源投入後に、この端子の入力レベルを変更した場合は、必ずリセット (RESETB = ロウ・レベル) を実行してください。</p> <table border="1"> <thead> <tr> <th>IFM[1:0]</th> <th>モード</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>UTOPIA-Level2 モード</td> </tr> <tr> <td>01</td> <td>POS-PHY-Level2 モード</td> </tr> <tr> <td>10</td> <td>汎用 Mux/Demux モード (1 ch)</td> </tr> <tr> <td>11</td> <td>汎用 Mux/Demux モード (2 ch)</td> </tr> </tbody> </table>	IFM[1:0]	モード	00	UTOPIA-Level2 モード	01	POS-PHY-Level2 モード	10	汎用 Mux/Demux モード (1 ch)	11	汎用 Mux/Demux モード (2 ch)
IFM[1:0]	モード													
00	UTOPIA-Level2 モード													
01	POS-PHY-Level2 モード													
10	汎用 Mux/Demux モード (1 ch)													
11	汎用 Mux/Demux モード (2 ch)													
MSM	130	D3	I LVTTTL	<p>マスタ/スレーブ・モード選択信号。 パラレル・インタフェースのマスタ/スレーブ・モードを選択する端子です。IFM[1:0] = 10, 11 の UTOPIA/POS-PHY バイパス・モードのときは、この端子への設定は無視されます。</p> <table border="1"> <thead> <tr> <th>MSM</th> <th>モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>スレーブ・モード</td> </tr> <tr> <td>1</td> <td>マスタ・モード</td> </tr> </tbody> </table>	MSM	モード	0	スレーブ・モード	1	マスタ・モード				
MSM	モード													
0	スレーブ・モード													
1	マスタ・モード													
IDATA[15:0]	88, 196, 146, 90, 24, 25, 197, 147, 91, 26, 92, 148, 149, 27, 28, 93	U6, R8, T7, U8, V7, V8, R9, T8, U9, V9, U10, T9, T10, V10, V11, U11	I LVTTTL	<p>入力インタフェース・データ・バス。</p> <ul style="list-style-type: none"> • UTOPIA モード (マスタ: RxData, スレーブ: TxData) セルを入力する 16 ビット・データ・バスです。8 ビット幅のモードを選択した場合は IDATA[7:0]を使用し、IDATA[15:8]は無効になります。IDATA15 が MSB になります。 • POS-PHY モード (マスタ: RDAT, スレーブ: TDAT) パケット・データを入力する 16 ビット・データ・バスです。POS-PHY モードでは、16 ビット・モードのみとなります。 • 汎用 MUX/DEMUX モード パラレル・データを入力します。PCKO クロックの立ち上がり同期して入力してください。 IDATA[7:0] : シリアル・ライン 0 IDATA[15:8] : シリアル・ライン 1 <p>注意 未使用の入力端子はロウ・レベルに固定してください。</p>										

端子名	シリアル番号	アドレス番号	I/O レベル	機 能												
ISOC	97	U15	I LVTTTL	<p>入力インタフェース・セル/パケット先頭位置信号。</p> <ul style="list-style-type: none"> •UTOPIA モード (マスタ: RxSOC, スレーブ: TxSOC) IDATA[15:0]上のセルの開始位置を示す信号を入力します。リンク・デバイスは、セルの先頭バイトに同期してハイ・レベルを入力します。 •POS-PHY モード (マスタ: RSOP, スレーブ: TSOP) IDATA[15:0]上のパケット・データの開始位置を示す信号を入力します。リンク・デバイスは、パケット・データの先頭バイトに同期してハイ・レベルを入力します。 												
ICLAV[12:0]	158, 38, 206, 157, 102, 156, 101, 100, 204, 203, 155, 202, 98	N16, R18, M15, P16, P17, R16, R17, T17, P15, R15, T16, R14, U16	マスタ: I スレーブ: O LVTTTL	<p>入力インタフェース・セル/パケット・アベイラブル信号。 マスタとスレーブのモードにより入出力が切り替わります。</p> <ul style="list-style-type: none"> •UTOPIA モード (マスタ: RxClav, スレーブ: TxClav) マスタ・モードでは RxClav 入力端子として、リンク・デバイスのセル・アベイラブル信号を入力します。スレーブ・モードでは、TxClav 出力信号として、μPD98441 の入力 FIFO の空き状況を示す信号を出力します。アクセス・モード、ポーリング・モードの設定により、使用する端子が異なります^注。未使用となる入力端子は、ロウ・レベルに固定してください。 •POS-PHY モード (マスタ: PRPA/DRPA, スレーブ: PTPA/STPA) マスタ・モードでは PRPA または、DRPA 入力端子として機能し、リンク・デバイスからのパケット・アベイラブル信号を入力します。スレーブ・モードでは PTPA または、STPA 出力端子となり、μPD98441 の入力 FIFO の空き状況示す信号を出力します。パケット・レベル、バイト・レベルのモード設定により使用する端子、および機能が変わります^注。 •汎用 MUX/DEMUX モード 各端子は次の制御信号として機能します。PCKO クロックに同期して入力してください。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>ライン 0</th> <th>ライン 1</th> <th>機 能</th> </tr> </thead> <tbody> <tr> <td>ICALV[0]</td> <td>ICLAV[3]</td> <td>データ入力イネーブル信号</td> </tr> <tr> <td>ICLAV[1]</td> <td>ICLAV[4]</td> <td>IDLE コード送出指示</td> </tr> <tr> <td>ICLAV[2]</td> <td>ICLAV[5]</td> <td>K コード送出指示</td> </tr> </tbody> </table>	ライン 0	ライン 1	機 能	ICALV[0]	ICLAV[3]	データ入力イネーブル信号	ICLAV[1]	ICLAV[4]	IDLE コード送出指示	ICLAV[2]	ICLAV[5]	K コード送出指示
ライン 0	ライン 1	機 能														
ICALV[0]	ICLAV[3]	データ入力イネーブル信号														
ICLAV[1]	ICLAV[4]	IDLE コード送出指示														
ICLAV[2]	ICLAV[5]	K コード送出指示														
IADDR[4:0]	198, 150, 29, 199, 30	R10, T11, V12, R11, V13	マスタ: O スレーブ: I LVTTTL	<p>入力インタフェース・ポート・アドレス信号。 マスタとスレーブのモードにより入出力が切り替わります。</p> <ul style="list-style-type: none"> •UTOPIA モード (マスタ: RxAddr, スレーブ: TxAddr) マスタ・モードでは RxAddr 出力端子として、スレーブ・モードでは TxAddr 入力端子として、ポートのセレクション・アドレスおよびポーリング・アドレスを入出力します。 •POS-PHY モード (マスタ: RADR, スレーブ: TADDR) マスタ・モードでは RADR 出力端子として、スレーブ・モードでは TADDR 入力端子として、ポートのセレクション・アドレスおよびポーリング・アドレスを入力します。 												

注 「2.7.2 パラレル・インタフェース端子の各モードにおける機能名一覧」を参照してください。

端子名	シリアル番号	アドレス番号	I/Oレベル	機能
IENB[3:0]	151, 95, 200, 31	T12, U13, R12, V14	マスタ: O スレーブ: I LVTTTL	<p>入力インタフェース・イネーブル信号。 マスタとスレーブのモードにより入出力が切り替わります。</p> <p>・UTOPIA モード (マスタ: RxEnb, スレーブ: TxEnb) データ出力のイネーブル制御, および, アドレス信号と組み合わせてポート・セレクションを行います。設定モードに応じて使用する端子が異なります。未使用になる入力端子はロウ・レベルに固定してください^注。</p> <p>・POS-PHY モード IENB[0]と IENB[3:1]とで機能が異なります。 IENB[0] (マスタ: RENB, スレーブ: TENB) データ出力のイネーブル制御, およびアドレス信号と組み合わせてポートのセレクションを行います。 IENB[3:1] (マスタ: DRPA, スレーブ: 未使用) IENB[3:1]は, バイト・レベル・モードの場合に ICLAV[12:0]とともに, データのアベイラブル信号として使用します。ICLAV[12:0]は, ポート 0-ポート 12 に対応する DTPA/DRPA 端子として機能し, IENB[3:1]はポート 13-ポート 15 の DTPA/DRPA 端子として機能します。</p>
IPRTY	153	T14	I LVTTTL	<p>入力インタフェース・パリティ信号。</p> <p>・UTOPIA モード (マスタ: RxPrty, スレーブ: TxPrty) ・POS-PHY モード (マスタ: RPrty, スレーブ: TPrty) UTOPIA, POS-PHY モードともに IDATA[15:0]信号の奇数パリティ信号を入力します。</p>
IVAL	152	T13	I LVTTTL	<p>入力インタフェース・アベイラブル/データ有効信号。 POS-PHY モードのマスタ動作時のみで使用する端子です。</p> <p>・POS-PHY モード (マスタ: RVAL, スレーブ: 未使用) RVAL 入力端子として機能し, 入力データが有効かどうかを示す信号を入力します。スレーブ・モードでは使用しないため, ロウ・レベルに固定してください。</p>
IEOP	33	V16	I LVTTTL	<p>入力インタフェース・パケット終了位置信号。 POS-PHY モード時のみ有効になる端子です。</p> <p>・POS-PHY モード (マスタ: REOP, スレーブ: TEOP) パケット・データの最終バイトの転送時にアサートする信号です。IEOP のアサート時, IMOD はパケットの最終ワードの有効バイト数を示します。</p>
IERR	32	V15	I LVTTTL	<p>入力インタフェース・パケット・エラー信号。 POS-PHY モード時のみ有効になる端子です。</p> <p>・POS-PHY モード (マスタ: RERR, スレーブ: TERR) 現在転送中のパケットがエラー・パケットであることを示す信号を入力します。IEOP がアサートされているときのみ有効です。</p>

注 「2.7.2 パラレル・インタフェース端子の各モードにおける機能名一覧」を参照してください。

端子名	シリアル番号	アドレス番号	I/O レベル	機 能						
IMOD	96	U14	I LVTTTL	<p>入力インタフェース最終ワード有効バイト信号。 POS-PHY モード時のみ有効になる端子です。</p> <p>・POS-PHY モード (マスタ: RMOD, スレーブ: TMOD) 転送データの有効バイト数を示します。IMOD はパケットの最終ワードが転送されているとき以外は常に"0"とする必要があります。IEOP がアサートされているとき、IDATA[15:0]上の有効パケット・バイト数は次のようになります。</p> <table border="1"> <thead> <tr> <th>IMOD</th> <th>有効バイト</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>IDATA[15:0]の2バイトが有効</td> </tr> <tr> <td>1</td> <td>IDATA[15:8]の1バイトが有効</td> </tr> </tbody> </table>	IMOD	有効バイト	0	IDATA[15:0]の2バイトが有効	1	IDATA[15:8]の1バイトが有効
IMOD	有効バイト									
0	IDATA[15:0]の2バイトが有効									
1	IDATA[15:8]の1バイトが有効									
IPCK	23	V6	I LVTTTL	<p>入力インタフェース・クロック。</p> <p>・UTOPIA モード (マスタ: RxClk, スレーブ: TxClk) ・POS-PHY モード (マスタ: RFCLK, スレーブ: TFCLK) 入力インタフェース用のクロック入力端子です。この端子は、52 MHzまでのクロックを入力します。入力インタフェースにおけるすべての動作は、このクロックに同期して実行されます。</p>						
PCKO	21	V4	O LVTTTL	<p>入出力インタフェース・クロック。</p> <p>・UTOPIA モード/POS-PHY モード この端子は、パラレル・インタフェース用のクロックとしてシリアル・ライン用のレファレンス・クロックを流用する場合に使用する端子です。この端子は、レファレンス・クロックの2分周 (32 MHz ~ 44 MHz) を出力します。</p> <p>・汎用 MUX/DEMUX モード この端子は、入力インタフェースの動作クロックを出力します。パラレル・データは、このクロックに同期して入力してください。出力されるクロックは、レファレンス・クロックよりPLLが生成した送信クロックの10分周 (64 MHz ~ 88 MHz) です。</p>						
ODATA[15:0]	184, 4, 132, 73, 185, 5, 74, 6, 7, 8, 186, 134, 76, 9, 77, 135	G4, D1, F3, F2, H4, E1, G2, F1, G1, H1, J4, H3, J2, J1, K2, J3	O LVTTTL 3ステート	<p>出力インタフェース・セル/パケット・データ・バス。</p> <p>・UTOPIA モード (マスタ: TxData, スレーブ: RxData) セルを出力する16ビット・データ・バスです。8ビット幅モードを選択した場合は、ODATA[7:0]を使用し、ODATA[15:8]は無効になります。ODATA15がMSBになります。</p> <p>・POS-PHY モード (マスタ: TDAT, スレーブ: RDAT) パケット・データを出力する16ビット・データ・バスです。POS-PHYモードでは、16ビット・モードのみとなります。</p> <p>・汎用 MUX/DEMUX モード パラレル・データを出力します。各シリアル・ラインのリカバリ・クロックの10分周出力 (RCVRLCK0/1) に同期して出力します。</p> <p>ODATA[7:0] : シリアル・ライン 0 ODATA[15:8] : シリアル・ライン 1</p>						

端子名	シリアル番号	アドレス番号	I/O レベル	機 能
OSOC	82	R2	O LVTTTL 3ステート	出力インタフェース・セル/パケット先頭位置信号。 ・UTOPIA モード (マスタ: TxSOC, スレーブ: RxSOC) ODATA[15:0]上のセルの開始位置を示す信号を出力します。 μ PD98441 はセルの先頭バイトに同期してアサートします。 ・POS-PHY モード (マスタ: TSOP, スレーブ: RSOP) ODATA[15:0]上のパケット・データの開始位置を示す信号を出力します。 μ PD98441 は、パケット・データの先頭バイトに同期してハイ・レベルを入力します。
OCLAV[12:0]	195, 144, 20, 87, 86, 85, 193, 192, 142, 191, 141, 83, 16	R7, T5, V3, U5, U4, U3, R5, R4, T3, P4, R3, T2, T1	マスタ: I スレーブ: O LVTTTL 3ステート	出力インタフェース・セル/パケット・アベイラブル信号。 3ステート信号で、モード設定に応じて入出力が切り替わります。 ・UTOPIA モード (マスタ: TxClav, スレーブ: RxClav) マスタ・モードでは、TxClav 入力端子として、リンク・デバイスのFIFOの空き状況を示す信号を入力します。 スレーブ・モードではRxClav 出力端子として、 μ PD98441 の出力FIFOのセル・アベイラブル信号を出力します。 アクセス・モード、ポーリング・モードの設定により、使用する端子が異なります ^注 。マスタ・モード設定時に未使用となる端子は、ロウ・レベルに固定してください。 ・POS-PHY モード (マスタ: Packet Level- PTPA/STPS, Byte-Level- DTPA, スレーブ: PRPA) マスタ・モードでは、PTPAまたは、STPA 入力端子として機能し、リンク・デバイスのFIFO状態を示す信号を入力します。スレーブ・モードでは、PRPA 出力端子として機能し、 μ PD98441 のパケット・データのアベイラブル状況を示す信号を出力します。パケット・レベル、バイト・レベルのモード設定により使用する端子、および機能が変わります ^注 。
OADDR[4:0]	11, 187, 78, 137, 12	L1, K4, L2, L3, M1	マスタ: O スレーブ: I LVTTTL	出力インタフェース・ポート・アドレス信号。 ・UTOPIA モード (マスタ: TxAddr, スレーブ: RxAddr) マスタ・モードではTxAddr 出力端子として、スレーブ・モードではRxAddr 入力端子として、ポートのセレクション・アドレスおよびポーリング・アドレスを入出力します。 ・POS-PHY モード (マスタ: TADR, スレーブ: RADR) マスタ・モードではTADR 出力端子として、スレーブ・モードではRADR 入力端子として、ポートのセレクション・アドレスおよびポーリング・アドレスを入力します。

注 「2.7.2 パラレル・インタフェース端子の各モードにおける機能名一覧」を参照してください。

端子名	シリアル番号	アドレス番号	I/O レベル	機 能												
OENB[3:0]	79, 188, 13, 189	M2, L4, N1, M4	マスタ: O スレーブ: I LVTTTL	<p>出力データ・イネーブル信号。 モードにより入出力が切り替わります。</p> <ul style="list-style-type: none"> •UTOPIA モード (マスタ: TxEnb, スレーブ: RxEnb) データ出力のイネーブル制御, およびアドレス信号との組み合わせでポート・セレクションを行います。設定モードに応じて使用する端子が異なります。未使用になる端子は、適切な処置をしてください^注。 •POS-PHY モード OENB[0]と OENB[3:1]とで機能が異なります。 OENB[0] (マスタ: TENB, スレーブ: RENB) データ出力のイネーブル制御, およびアドレス信号と組み合わせでポートのセレクションを行います。 OENB[3:1] (マスタ: DTPA, スレーブ: 未使用) OENB[3:1]は, OCLAV[12:0]とともにバイト・レベル・モードの場合にのみ使用します。OCLAV[12:0]は, ポート 0-ポート 12 に対応する DTPA 端子として機能し, OENB[3:1]はポート 13-ポート 15 に対応する DTPA 端子として機能します。 •汎用 MUX/DEMUX モード 制御信号を RCVRLCK に同期して入出力します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ライン 0</th> <th>ライン 1</th> <th>I/O</th> <th>機 能</th> </tr> </thead> <tbody> <tr> <td>OENB[0]</td> <td>OENB[2]</td> <td>入力</td> <td>出力イネーブル</td> </tr> <tr> <td>OENB[1]</td> <td>OENB[3]</td> <td>出力</td> <td>K コード出力</td> </tr> </tbody> </table>	ライン 0	ライン 1	I/O	機 能	OENB[0]	OENB[2]	入力	出力イネーブル	OENB[1]	OENB[3]	出力	K コード出力
ライン 0	ライン 1	I/O	機 能													
OENB[0]	OENB[2]	入力	出力イネーブル													
OENB[1]	OENB[3]	出力	K コード出力													
OPRTY	139	N3	O LVTTTL 3ステート	<p>出力インタフェース・パリティ信号。</p> <ul style="list-style-type: none"> •UTOPIA モード (マスタ: TxPrty, スレーブ: RxPrty) •POS-PHY モード (マスタ: TPRTY, スレーブ: RPRTY) <p>UTOPIA, POS-PHY モードともに ODATA[15:0]信号上に出力するデータと同期して, 奇数パリティ信号を出力します。</p>												
OVAL	81	P2	O LVTTTL 3ステート	<p>出力インタフェース・アベイラブル/データ有効信号。 POS-PHY モードのスレーブ動作時のみで使用する端子です。</p> <ul style="list-style-type: none"> •POS-PHY モード (マスタ: 未使用, スレーブ: RVAL) パケット・レベル・モードの RVAL 出力端子として機能します。 マスタ・モード, およびバイト・レベル・モードでは使用しないため, ロウ・レベルの固定出力になります。 												
OEOP	15	R1	O LVTTTL 3ステート	<p>出力インタフェース・パケット終了位置信号。 POS-PHY モード時のみ有効になる端子です。</p> <ul style="list-style-type: none"> •POS-PHY モード (マスタ: TEOP, スレーブ: REOP) 出力データの最終端を転送しているときにアサートする信号です。OEOP のアサート時, OMOD はパケットの最終ワードの有効バイト数を示します。 												

注 「2.7.2 パラレル・インタフェース端子の各モードにおける機能名一覧」を参照してください。

端子名	シリアル番号	アドレス番号	I/Oレベル	機能						
OERR	14	P1	O LVTTL	<p>出力インタフェース・パケット終了位置信号。 POS-PHYモード時のみ有効になる端子です。</p> <p>・POS-PHYモード(マスタ: TERR, スレーブ: RERR)</p> <p>現在転送中のパケットがエラー・パケットであることを示す信号を出力します。OERRのアサートはOEOPがアサートされているときのみ有効です。この端子はPOSインタフェース・モード時のみ有効となります。</p>						
OMOD	80	N2	O LVTTL	<p>出力インタフェース最終ワード有効バイト信号。 POS-PHYモード時のみ有効になる端子です。</p> <p>・POS-PHYモード(マスタ: TMOD, スレーブ: RMOD)</p> <p>転送データの有効バイト数を示します。OMODはパケットの最終ワードが転送されているとき以外は常に"0"を出力します。OEOPをアサートしているとき、ODATA[15:0]上の有効パケット・バイト数は次のようになります。</p> <table border="1"> <thead> <tr> <th>OMOD</th> <th>有効バイト</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>ODATA[15:0]の2バイトが有効</td> </tr> <tr> <td>1</td> <td>ODATA[15:8]の1バイトが有効</td> </tr> </tbody> </table>	OMOD	有効バイト	0	ODATA[15:0]の2バイトが有効	1	ODATA[15:8]の1バイトが有効
OMOD	有効バイト									
0	ODATA[15:0]の2バイトが有効									
1	ODATA[15:8]の1バイトが有効									
OPCK	22	V5	I LVTTL	<p>出力インタフェース・クロック</p> <p>・UTOPIAモード(マスタ: TxClk, スレーブ: RxClk)</p> <p>・POS-PHYモード(マスタ: TFCLK, スレーブ: RFCLK)</p> <p>出力インタフェース用のクロック入力端子です。この端子には、52 MHzまでのクロックを入力します。出力インタフェースにおけるすべての動作は、このクロックに同期して実行されます。</p>						

2.4.2 シリアル・インタフェース

シリアル・インタフェースは、対向 μ PD98441 と接続する LVDS インタフェースです。

(1/2)

端子名	シリアル番号	アドレス番号	I/O レベル	機 能
TXLP0	55	A15	O LVDS (True)	送信シリアル・ライン 0 のデータ出力。 送信シリアル・ライン 0 のデータを出力します。 未使用時は、オープンにしてください。
TXLM0	56	A14	O LVDS (Inverted)	
TXLP1	58	A12	O LVDS (True)	送信シリアル・ライン 1 のデータ出力。 送信シリアル・ライン 1 のデータを出力します。 未使用時は、オープンにしてください。
TXLM1	57	A13	O LVDS (Inverted)	
RXLP0	61	A9	I LVDS (True)	受信シリアル・ライン 0 のデータ入力。 受信シリアル・ライン 0 のシリアル・データを入力します。 未使用時は、オープンにしてください。
RXLM0	62	A8	I LVDS (Inverted)	
RXLP1	64	A6	I LVDS (True)	受信シリアル・ライン 1 のデータ入力。 受信シリアル・ライン 1 のシリアル・データを入力します。 未使用時は、オープンにしてください。
RXLM1	63	A7	I LVDS (Inverted)	
RFCKPLT	66	A4	I PECL (True)	PECL レファレンス・クロック入力。 シリアル・ラインの伝送クロックを生成する PLL に PECL レベルで レファレンス・クロックを入力する端子です。入力するクロック は、64 MHz ~ 88 MHz の範囲で、シリアル・データは、このクロック を 10 週倍した周波数 (640 MHz ~ 880 MHz) で出力されます。
RFCKPLC	67	A3	I PECL (Inverted)	レファレンス・クロックを RFCKTTL 端子に入力する場合は、 RFCKPLT 端子をハイ・レベルに、RFCKPLC 端子をロウ・レベル に固定してください。このクロックは、内部ロジックのシステム・ クロックとしても使用します。
RFCKTTL	3	C1	I LVTTTL	シリアル・ライン用 LVTTTL レファレンス・クロック入力。 シリアル・ラインの伝送クロックを生成する PLL に LVTTTL レベルで レファレンス・クロックを入力する端子です。入力するクロックは、 64 MHz ~ 88 MHz の範囲で、シリアル・データは、このクロックを 10 週倍した周波数 (640 MHz ~ 880 MHz) で出力されます。レファ レンス・クロックを RFCKPLT/RFCKPLC 端子に入力する場合には、 この端子にハイ・レベルを固定入力してください。このクロックは、 内部ロジックのシステム・クロックとしても使用します。
RFTCKTTL	119	B12	I LVTTTL	送信 LVDS テスト端子入力。 この端子は LSI テスト時のみに使用する端子です。 通常動作時は、ロウ・レベルまたはハイ・レベルに固定してくだ さい。

(2/2)

端子名	シリアル番号	アドレス番号	I/O レベル	機 能
RFRCKTTL	123	B8	I LVTTL	受信 LVDS テスト端子入力。 この端子は LSI テスト時のみに使用する端子です。 通常動作時は、ロウ・レベルまたはハイ・レベルに固定してください。
RCVRLCK[1:0]	70, 128	C2, B3	O LVTTL	受信シリアル・ライン・リカバリ・クロック出力。 受信シリアル・データから抽出したクロックの 10 分周クロックを出力します。RCVRLCK1 が Line1 のリカバリ・クロック，RCVRLCK0 が Line0 のリカバリ・クロックです。
IREFVT	237	E11	N/A	LVDS トランシーバ・レファレンス電位。 アナログ電源 VAT[1:0] に 3 kΩ の抵抗を介して接続してください。
IREFVR	177	C7	N/A	LVDS レシーバ・レファレンス電位。 アナログ電源 VAR[1:0] に 3 kΩ の抵抗を介して接続してください。
L0BFEN	165	F16	I LVTTL	LVDS 送信ドライバの外部イネーブル信号。 送信ドライバを強制的にディスエーブルにします。 この信号は FTXEN レジスタのドライバ・イネーブル設定と AND で作用します。L0BFEN が Line0 に、L1BFEN が Line1 に作用します。 1：送信ドライバがイネーブルになります（通常動作）。 0：FTXEN レジスタの設定にかかわらず、送信 LVDS ドライバを強制的にディスエーブル（Hi-Z）にします。
L1BFEN	112	D17		

2.4.3 MPU インタフェース

MPU インタフェースは、 μ PD98441 のレジスタ・アクセスを行うマイクロプロセッサを接続するためのインタフェースです。

端子名	シリアル番号	アドレス番号	I/O レベル	機 能
BUSM	207	L15	I LVTTTL	MPU インタフェース・モード選択信号入力。 この端子への入力レベルによって、マネジメント・インタフェースのモードが切り替わります。 BUSM = 1 : <RDB, WRB, RDYB>モードを選択。 BUSM = 0 : <DSB, RWB, ACKB>モードを選択。
ADDR[9:0]	159, 105, 208, 160, 43, 107, 162, 161, 44, 45	M16, L17, K15, L16, K18, J17, J16, K16, J18, H18	I LVTTTL	アドレス入力。 μ PD98441 の内部レジスタのアドレスを入力するアドレス・バスです。
DATA[7:0]	108, 209, 163, 46, 210, 109, 164, 110	H17, J15, H16, G18, H15, G17, G16, F17	I/O LVTTTL 3ステート	8ビット・データ・バス。 μ PD98441 の内部レジスタのデータをリード/ライトするためのデータ・バスです。
CSB	111	E17	I LVTTTL	チップ・セレクト信号入力。 ロウ・レベルのとき、内部レジスタへのアクセスをイネーブルにします。
DSB/RDB	50	C18	I LVTTTL	データ・ストロープ信号入力、またはリード信号入力。 この端子は、DSB と RDB の2つの機能を持っており、BUSM 端子で選択されるモードによって切り替わります。 BUSM = 0 : データ・ストロープ信号 DSB として機能 BUSM = 1 : リード・アクセスを選択する RDB として機能
RWB/WRB	49	D18	I LVTTTL	リード/ライト信号入力、またはライト信号入力。 この端子は、RWB と WRB の2つの機能を持っており、BUSM 端子で選択されるモードによって切り替わります。 BUSM = 0 : リード/ライト制御信号 RWB として機能 ハイ・レベル: リード・サイクル ロウ・レベル: ライト・サイクル BUSM = 1 : ライト・アクセスを選択する WRB として機能
ACKB/RDYB	48	E18	O LVTTTL 3ステート	データ・アクノリッジ信号出力、またはレディ信号出力。 この端子は、ACKB と RDYB の2つの機能を持っており、BUSM 端子で選択されるモードによって切り替わります。 BUSM = 0 : ACKB として機能 BUSM = 1 : RDYB として機能
INTB	106	K17	O LVTTTL オープン・ドレイン	割り込み信号出力。 内部で割り込み要因が発生したことを、ロウ・アクティブにしてホストに通知します。この端子はオープン・ドレイン端子ですので、外部でプルアップしてください。
RESETB	39	P18	I LVTTTL	システム・リセット信号入力。 μ PD98441 のシステム・リセット端子です。 μ PD98441 に入力されるパラレル・クロック IPCK, OPCK のうち、周期が長い方の2周期分以上のロウ・パルスを入力してください。

注意 MPU インタフェースを介してのレジスタのライト・アクセスには制限事項があります。「第9章 制限事項」を参照してください。

2.4.4 アラーム出力

端子名	シリアル番号	アドレス番号	I/O レベル	機 能										
ALM[3:0]	181, 182, 179, 183	D4, E4, C5, F4	O LVTTTL	<p>アラーム出力。 受信シリアル・ラインのエラー検出状態や内部レジスタのビット設定状態を出力します。出力する情報の種類は、RALM1-RALM0レジスタ設定によって変更することができます。また、GOCGレジスタ設定により出力レベルを制御することができるため、汎用出力ポートとしても使用することができます。デフォルトでは、出力するエラー・ステータスは次のようになっています。</p> <p style="text-align: center;">ALM[3:0]のデフォルト出力</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ALM[3:0]</th> <th>出力検出エラー</th> </tr> </thead> <tbody> <tr> <td>ALM0</td> <td>ライン 0 の LOS エラー検出状態</td> </tr> <tr> <td>ALM1</td> <td>ライン 0 の 10B8B デコード・エラー検出状態</td> </tr> <tr> <td>ALM2</td> <td>ライン 1 の LOS エラー検出状態</td> </tr> <tr> <td>ALM3</td> <td>ライン 1 の 10B8B デコード・エラー検出状態</td> </tr> </tbody> </table>	ALM[3:0]	出力検出エラー	ALM0	ライン 0 の LOS エラー検出状態	ALM1	ライン 0 の 10B8B デコード・エラー検出状態	ALM2	ライン 1 の LOS エラー検出状態	ALM3	ライン 1 の 10B8B デコード・エラー検出状態
ALM[3:0]	出力検出エラー													
ALM0	ライン 0 の LOS エラー検出状態													
ALM1	ライン 0 の 10B8B デコード・エラー検出状態													
ALM2	ライン 1 の LOS エラー検出状態													
ALM3	ライン 1 の 10B8B デコード・エラー検出状態													

2.4.5 汎用入力ポート

端子名	シリアル番号	アドレス番号	I/O レベル	機 能
EXIN[2:0]	42, 41, 40	L18, M18, N18	I LVTTTL	<p>汎用入力ポート。 外部周辺デバイスのステート信号入力ポートです。 この端子に入力された信号レベルは、内部 EXINS レジスタの対応するフィールドに反映され、そのフィールドの変化を割り込み要因にすることが可能です。</p>

2.4.6 JTAG バウンダリ・スキャン

端子名	シリアル番号	アドレス番号	I/O レベル	機 能
JCK	113	C17	I LVTTTL	<p>バウンダリ・スキャン・クロック入力。 使用しない場合は、グラウンドに接続してください。</p>
JDI	166	E16	I LVTTTL (Internal pull-up)	<p>バウンダリ・スキャン・データ入力。 使用しない場合は、グラウンドに接続してください。</p>
JDO	213	E15	O 3ステート LVTTTL	<p>バウンダリ・スキャン・データ出力。 使用しない場合は、オープンにしてください。</p>
JMS	168	C16	I LVTTTL (Internal pull-up)	<p>バウンダリ・スキャン・モード選択信号入力。 使用しない場合は、グラウンドに接続してください。</p>
JRSTB	167	D16	I LVTTTL (Internal pull-up)	<p>バウンダリ・スキャン・リセット信号入力。 使用しない場合は、グラウンドに接続してください。</p>

備考 通常動作時の JTAG バウンダリ・スキャン用端子の処置について

JTAG ロジックは、RESETB 端子へのパルス入力ではリセットがかかりません。 μ PD98441 は、JTAG のリセットがかかっていないとき、通常動作が行えない場合があります。通常動作を行う場合は、電源の投入後必ず次のいずれかの方法で JTAG ロジックにリセットをかけてください。

- ・JRSTB 端子をグランドに接続する。
- ・電源投入後、JRSTB 端子にロウ・レベル・パルス（パルス幅：JCK 入力の 1 クロック・サイクル以上）を入力する（JDI, JMS 端子はオープン、JCK 端子はグランドに接続してください）。

2.4.7 電源

端子名	シリアル番号	アドレス番号	I/O レベル	機能
VDD_33	37, 47, 94, 127, 131, 133, 136, 138, 140, 143, 154, 215	T18, F18, U12, B4, E3, G3, K3, M3, P3, T4, T15, D14	-	3.3 V LVTTTL IO 用電源供給端子 (+ 3.3 V \pm 5 %)
VDD_18	190, 194, 201, 205, 212, 223, 225, 227, 229, 231, 233, 235, 238	N4, R6, R13, N15, F15, D6, H5, K5, P8, P10, L14, J14, E10	-	1.8 V ロジック・ブロック用電源供給 端子 (+ 1.8 V \pm 5 %)
VDT[3:0]	54, 219, 218, 170	A16, D10, D11, C14	-	1.8 V 送信 LVDS ドライバ用電源供給 端子 (+ 1.8 V \pm 5 %)
VDR[4:0]	126, 222, 239, 175, 122	B5, D7, E9, C9, B9	-	1.8 V 受信 LVDS レシーバ用電源供給 端子 (+ 1.8 V \pm 5 %)
VAT[1:0]	59, 120	A11, B11	-	1.8 V 送信アナログ用電源供給端子 (+ 1.8 V \pm 5 %)
VAR[1:0]	221, 240	D8, E8	-	1.8 V 受信側アナログ用電源供給端子 (+ 1.8 V \pm 5 %)

2.4.8 グランド

端子名	シリアル番号	アドレス番号	I/O レベル	機能
GND_33	1, 2, 10, 17, 18, 35, 36, 52, 53, 75, 89, 104, 145, 178, 211	A1, B1, K1, U1, V1, V18, U18, A18, A17, H2, U7, M17, T6, C6, G15	-	3.3 V LVTTTL IO 用グランド
GND_18	19, 34, 51, 68, 69, 84, 99, 114, 121, 226, 228, 230, 232, 234, 236	V2, V17, B18, A2, B2, U2, U17, B17, B10, J5, L5, P9, P11, K14, H14	-	1.8 V ロジック・ブロック用グランド
GDT[3:0]	217, 173, 171, 117	D12, C11, C13, B14	-	送信 LVDS ドライバ用グランド
GDR[4:0]	65, 125, 220, 174, 60	A5, B6, D9, C10, A10	-	受信 LVDS レシーバ用グランド
GAT[1:0]	118, 172	B13, C12	-	送信アナログ用グランド
GAR[1:0]	124, 176	B7, C8	-	受信アナログ用グランド

備考 電源、グランドの接続については、「第7章 シリアル・インタフェース用電源/GND の接続」をあわせて参照してください。

2.4.9 その他

端子名	シリアル番号	アドレス番号	I/O レベル	機 能
TAFCLK	214	D15	I	テスト端子です。 グラウンドに接続してください。
TST[2:0]	180, 224, 129	C4, D5, C3	I	
TMC[1:0]	169, 116	C15, B15	I	
TEN	115	B16	I	
SMC	216	D13	I	3.3Vにプルアップしてください。
CG	103	N17	I	グラウンドに接続してください。

2.5 未使用端子の処理

端子名	未使用時の端子処理
パラレル・インタフェースの入力端子	3.3Vにプルアップ,またはグラウンドに接続してください。
パラレル・インタフェースの出力端子	オープンにしてください。
PCKO	オープンにしてください。
TXLP[1:0]	オープンにしてください。
TXLM[1:0]	
RXLP[1:0]	オープンにしてください。
RXLM[1:0]	
RFCKPLT	3.3Vにプルアップしてください。
RFCKPLC	グラウンドに接続してください。
RFCKTTL	3.3Vにプルアップしてください
RFRCKTTL	3.3Vにプルアップ,またはグラウンドに接続してください。
RFTCKTTL	
RCVRLCK[1:0]	オープンにしてください。
L0BFEN	3.3Vにプルアップしてください。
L1BFEN	3.3Vにプルアップしてください。
RESETB	3.3Vにプルアップしてください。
INTB	オープンにしてください。
ALM[3:0]	オープンにしてください。
EXIN[2:0]	3.3Vにプルアップ,またはグラウンドに接続してください。
JCK	2.4.6 JTAG バウンダリ・スキャンの備考を参照してください。
JRSTB	
JDI	
JDO	
JMS	

備考 パラレル・インタフェースで未使用になる端子は,設定するパラレル・インタフェースのモードによって異なります。各モードにおける未使用端子は,「2.7.2 パラレル・インタフェース端子の各モードにおける機能名一覧」を参照してください。

2.6 端子の初期状態

(1) パラレル・インタフェースのモードに依存する端子の初期状態

UTOPIAモード

UTOPIA, マスタ (IFM[1:0] = 00, MSM = 1)		
端子名	リセット中	リセット後
PCKO	レファレンス・クロックの2分周クロックを出力	
IENB[3:0]	1	1
IADDR[4:0]	1	1
OENB[3:0]	1	1
OADDR[4:0]	1	1
ODATA[7:0]	Hi-Z	Hi-Z
OPRTY	Hi-Z	Hi-Z
OMOD	0	0
OSOC	Hi-Z	Hi-Z
OEOP	0	0
OERR	0	0
OVAL	0	0
ICLAV[12:4]	入力 (Hi-Z)	0
OCLAV[12:4]	0	0

UTOPIA, スレーブ (IFM[1:0] = 00, MSM = 0)		
端子名	リセット中	リセット後
PCKO	レファレンス・クロックの2分周クロックを出力	
ICLAV[3:0]	Hi-Z	Hi-Z
OCLAV[3:0]	Hi-Z	Hi-Z
ODATA[7:0]	Hi-Z	Hi-Z
OPRTY	Hi-Z	Hi-Z
OMOD	0	0
OSOC	Hi-Z	Hi-Z
OEOP	0	0
OERR	0	0
OVAL	0	0
ICLAV[12:4]	入力 (Hi-Z)	0
OCLAV[12:4]	0	0

POS-PHYモード

POS-PHY, マスタ (IFM[1:0] = 01, MSM = 1)		
端子名	リセット中	リセット後
PCKO	レファレンス・クロックの2分周クロックを出力	
IENB[3:1]	Hi-Z	Hi-Z
IENB[0]	1	1
IADDR[4:0]	1	1
OENB [3:1]	Hi-Z	Hi-Z
OENB [0]	1	1
OADDR[4:0]	1	1
ODATA[7:0]	Hi-Z	0
OPRTY	Hi-Z	0
OMOD	Hi-Z	0
OSOC	Hi-Z	0
OEOP	Hi-Z	0
OERR	Hi-Z	0
OVAL	Hi-Z	0
ICLAV[12:4]	入力 (Hi-Z)	入力 (Hi-Z)
OCLAV[12:4]	入力 (Hi-Z)	入力 (Hi-Z)

POS-PHY, スレーブ (IFM[1:0] = 10, MSM = 0)		
端子名	リセット中	リセット後
PCKO	レファレンス・クロックの2分周クロックを出力	
ICLAV[3:1]	入力 (Hi-Z)	0
ICLAV[0]	入力 (Hi-Z)	入力 (Hi-Z)
OCLAV[3:1]	0	0
OCLAV[0]	入力 (Hi-Z)	入力 (Hi-Z)
ODATA[7:0]	Hi-Z	Hi-Z
OPRTY	Hi-Z	Hi-Z
OMOD	Hi-Z	Hi-Z
OSOC	Hi-Z	Hi-Z
OEOP	Hi-Z	Hi-Z
OERR	Hi-Z	Hi-Z
OVAL	Hi-Z	Hi-Z
ICLAV[12:4]	入力 (Hi-Z)	0
OCLAV[12:4]	0	0

汎用 MUX/DEMUX モード

端子名	リセット中	リセット後
PCKO	送信 PLL の 10 分周クロックを出力	
IENB [3:0]	0	0
IADDR[4:0]	1	1
ICLAV[5:0]	入力 (Hi-Z)	入力 (Hi-Z)
OENB[3]	入力 (Hi-Z)	入力 (Hi-Z)
OENB[2]	0	0
OENB[1]	入力 (Hi-Z)	入力 (Hi-Z)
OENB[0]	0	0
OADDR[4:0]	1	1
OCLAV[3:0]	0	0
ODATA[7:0]	0	0
OPRTY	0	0
OMOD	0	0
OSOC	0	0
OEOP	0	0
OERR	0	0
OVAL	0	0
ICLAV[12:4]	入力 (Hi-Z)	0
OCLAV[12:4]	0	0

(2) その他の端子の初期状態

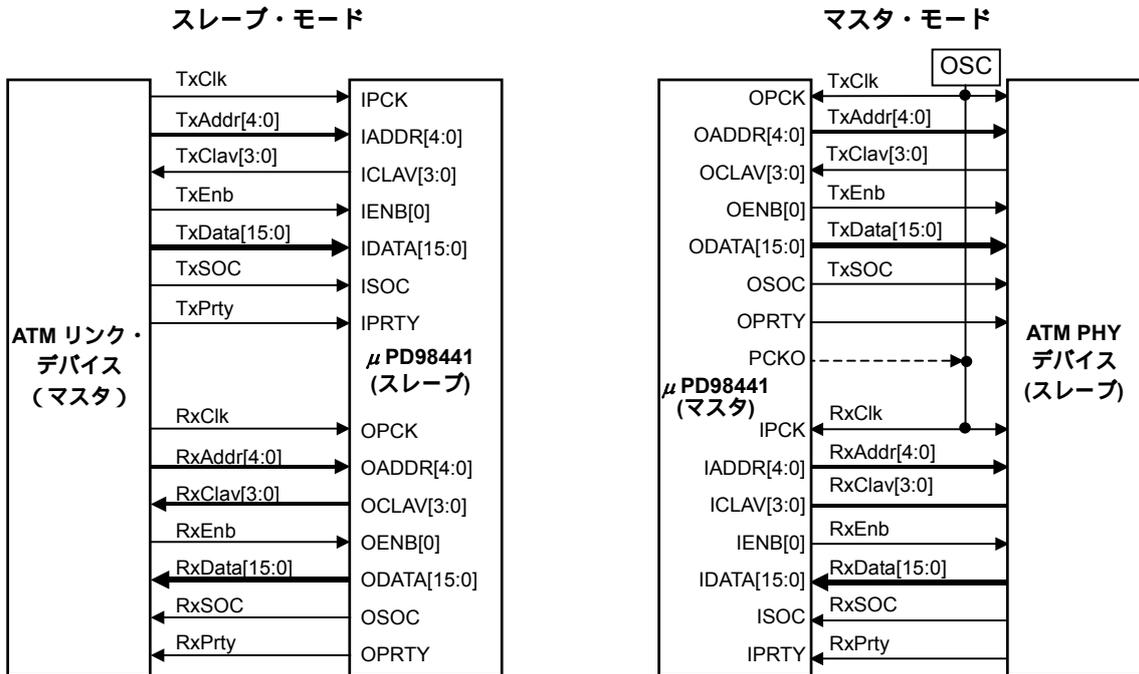
端子名	リセット中	リセット後
TXLP0	Hi-Z	Hi-Z
TXLM0	Hi-Z	Hi-Z
TXLP1	Hi-Z	Hi-Z
TXLM1	Hi-Z	Hi-Z
RCVRLCK[1:0]	0	リカバリ・クロックを出力
DATA[7:0]	Hi-Z	Hi-Z
ACKB/RDYB	Hi-Z	Hi-Z
INTB (プルアップ時)	1	1
ALM[3],[1]	1	1
ALM[2],[0]	0	0

備考 パラレル・インタフェースの入出力端子は、IFM[1:0]端子のモード設定によって、入力と出力が切り替わります。上記の初期状態は、出力端子の状態を示しています。各端子の入出力モードについては、「2.7.2 パラレル・インタフェース端子の各モードにおける機能名一覧」を参照してください。

2.7 パラレル・インタフェース・モードと端子機能

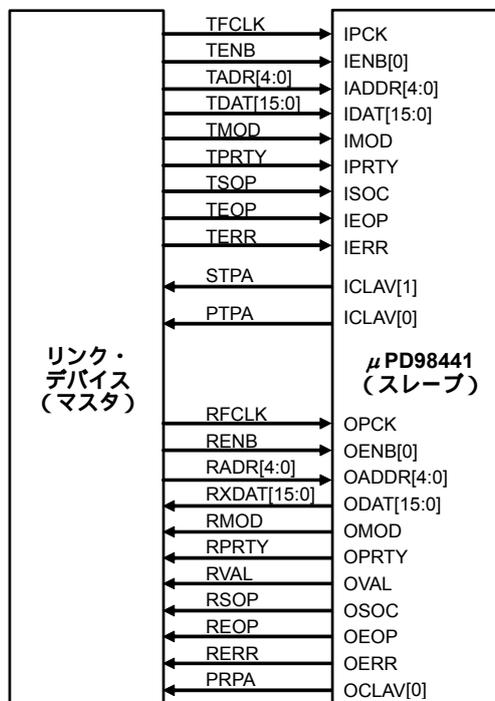
2.7.1 モードの接続形態

(1) UTOPIA Level2 モード



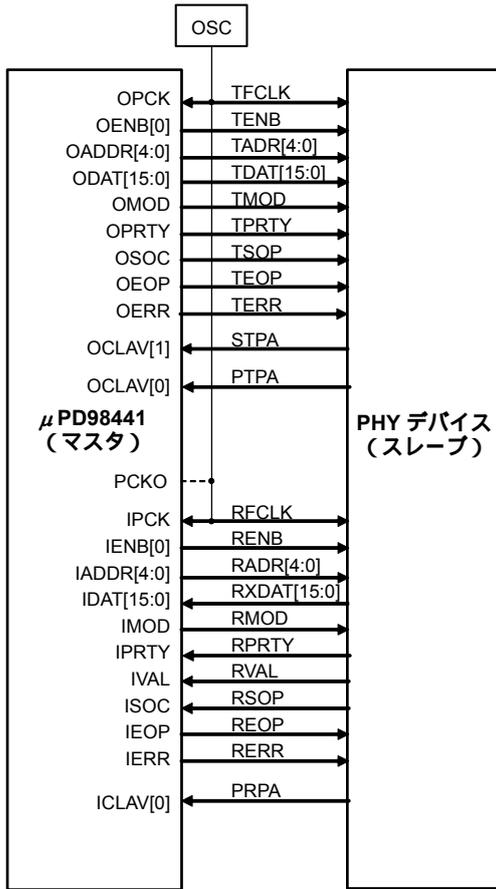
(2) POS-PHY Level2 モード

スレーブ・モード (Packet Level モード)

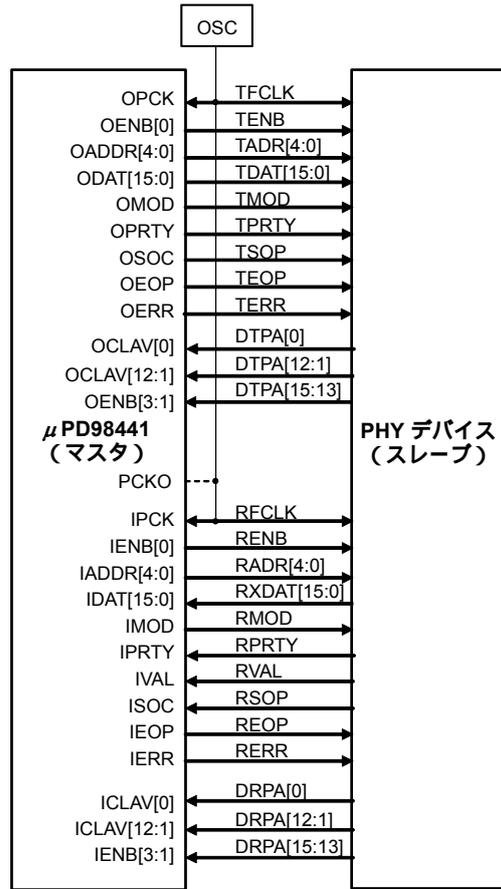


マスタ・モード

(Packet Level モード)

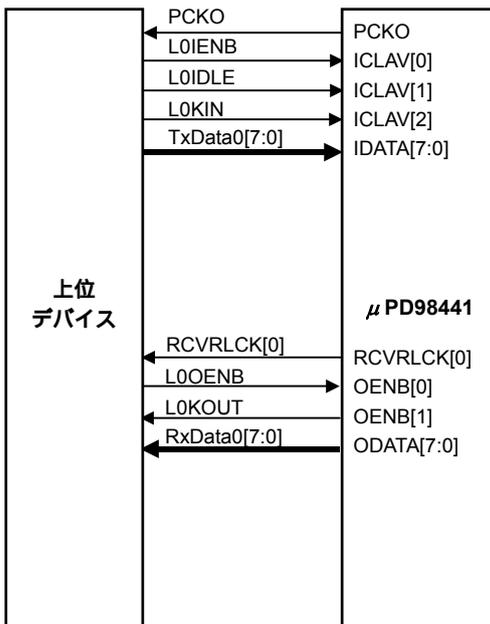


(Byte Level モード)

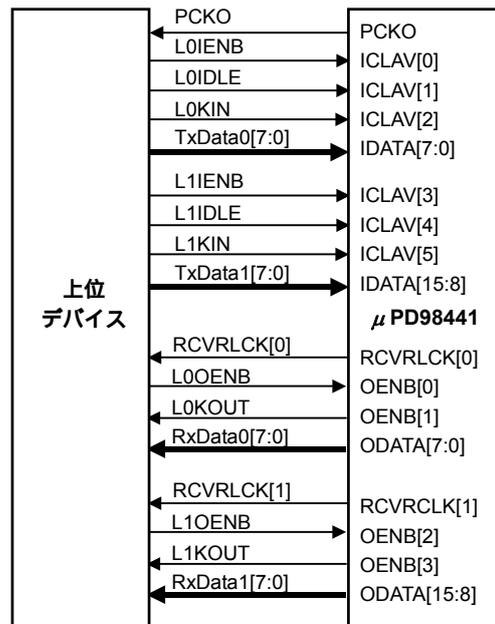


(3) 汎用 MUX/DEMUX モード

1ライン・モード



2ライン・モード



2.7.2 パラレル・インタフェース端子の各モードにおける機能名一覧

(1/2)

端子名	本数	UTOPIA Level 2 モード (IFM[1:0]=00)									
		スレーブ (MSM=0)				マスタ (MSM=1)					
		標準アクセス		DSI, MSP		標準アクセス		DSI, MSP		拡張アクセス	
IDATA[7:0]	8	TxDATA[7:0]		TxDATA[7:0]		RxDATA[7:0]		RxDATA[7:0]		RxDATA[7:0]	
IDATA[15:8]	8	TxDATA[15:8]		TxDATA[15:8]		RxDATA[15:8]		RxDATA[15:8]		RxDATA[15:8]	
IPRTY	1	TxPrty		TxPrty		RxPrty		RxPrty		RxPrty	
IMOD	1	未使用		未使用		未使用		未使用		未使用	
ISOC	1	TxSOC		TxSOC		RxSOC		RxSOC		RxSOC	
IEOP	1	未使用		未使用		未使用		未使用		未使用	
IERR	1	未使用		未使用		未使用		未使用		未使用	
IENB[0]	1	TxEnb[0]		TxEnb[0]		RxEnb[0]	O	RxEnb[0]	O	RxEnb[0]	O
IADDR[4:0]	5	TxAddr[4:0]		TxAddr[4:0]		RxAddr[4:0]	O	RxAddr[4:0]	O	RxAddr[4:0]	O
IVAL	1	未使用		未使用		未使用		未使用		未使用	
ICLAV[0]	1	TxClav[0]	O	TxClav[0]	O	RxClav[0]		RxClav[0]		RxClav[0]	
ICLAV[1]	1	未使用	O	TxClav[1]	O	未使用		RxClav[1]		RxClav[1]	
ICLAV[2]	1	未使用	O	TxClav[2]	O	未使用		RxClav[2]		RxClav[2]	
ICLAV[3]	1	未使用	O	TxClav[3]	O	未使用		RxClav[3]		RxClav[3]	
ICLAV[4]	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
ICLAV[5]	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
ICLAV[12:6]	7	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
IENB[3:1]	3	未使用		未使用		未使用	O	未使用	O	RxEnb[3:1]	O
IPCK	1	TxCik		TxCik		RxCik		RxCik		RxCik	
PCKO	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
ODATA[7:0]	8	RxDATA[7:0]	O	RxDATA[7:0]	O	TxDATA[7:0]	O	TxDATA[7:0]	O	TxDATA[7:0]	O
ODATA[15:8]	8	RxDATA[15:8]	O	RxDATA[15:8]	O	TxDATA[15:8]	O	TxDATA[15:8]	O	TxDATA[15:8]	O
OPRTY	1	RxPrty	O	RxPrty	O	TxPrty	O	TxPrty	O	TxPrty	O
OMOD	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
OSOC	1	RxSOC	O	RxSOC	O	TxSOC	O	TxSOC	O	TxSOC	O
OENB[0]	1	RxEnb[0]		RxEnb[0]		TxEnb[0]	O	TxEnb[0]	O	TxEnb[0]	O
OADDR[4:0]	5	RxAddr[4:0]		RxAddr[4:0]		TxAddr[4:0]	O	TxAddr[4:0]	O	TxAddr[4:0]	O
OEOP	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
OERR	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
OVAL	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
OCLAV[0]	1	RxClav[0]	O	RxClav[0]	O	TxClav[0]		TxClav[0]		TxClav[0]	
OCLAV[1]	1	未使用	O	RxClav[1]	O	未使用		TxClav[1]		TxClav[1]	
OCLAV[3:2]	2	未使用	O	RxClav[3:2]	O	未使用		TxClav[3:2]		TxClav[3:2]	
OCLAV[12:4]	9	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
OENB[1]	1	未使用		未使用		未使用	O	未使用	O	TxEnb[1]	O
OENB[2]	1	未使用		未使用		未使用	O	未使用	O	TxEnb[2]	O
OENB[3]	1	未使用		未使用		未使用	O	未使用	O	TxEnb[3]	O
OPCK	1	RxCik		RxCik		TxCik		TxCik		TxCik	
RCVRCLK[0]	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
RCVRCLK[1]	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O

端子名	本数	POS-PHY Level 2 モード (IFM[1:0] = 01)					汎用 MUX/DEMUX モード				
		スレーブ (MSM=0)		マスタ (MSM = 1)			1ライン・モード		2ライン・モード		
		Packet Level		Packet Level		Byte Level	IFM = 10		IFM = 11		
IDATA[7:0]	8	TDAT[7:0]	I	RDAT[7:0]	I	RDAT[7:0]	I	TxData0[7:0]	I	TxData0[7:0]	I
IDATA[15:8]	8	TDAT[15:8]	I	RDAT[15:8]	I	RDAT[15:8]	I	未使用	I	TxData1[7:0]	I
IPRTY	1	TPRTY	I	RPRTY	I	RPRTY	I	未使用	O	未使用	O
IMOD	1	TMOD	I	RMOD	I	RMOD	I	未使用	O	未使用	O
ISOC	1	TSOP	I	RSOP	I	RSOP	I	未使用	O	未使用	O
IEOP	1	TEOP	I	REOP	I	REOP	I	未使用	O	未使用	O
IEERR	1	TERR	I	RERR	I	RERR	I	未使用	O	未使用	O
IENB[0]	1	TENB	I	RENB	O	RENB	O	未使用	O	未使用	O
IADDR[4:0]	5	TADR[4:0]	I	RADR[4:0]	O	RADR[4:0]	O	未使用	O	未使用	O
IVAL	1	未使用	I	RVAL	I	RVAL	I	未使用	O	未使用	O
ICLAV[0]	1	PTPA	O	PRPA	I	DRPA[0]	I	L0IENB	I	L0IENB	I
ICLAV[1]	1	STPA	O	未使用	I	DRPA[1]	I	L0IDLE	I	L0IDLE	I
ICLAV[2]	1	未使用	O	未使用	I	DRPA[2]	I	L0KIN	I	L0KIN	I
ICLAV[3]	1	未使用	O	未使用	I	DRPA[3]	I	未使用	O	L1IENB	I
ICLAV[4]	1	未使用	O	未使用	I	DRPA[4]	I	未使用	O	L1IDLE	I
ICLAV[5]	1	未使用	O	未使用	I	DRPA[5]	I	未使用	O	L1KIN	I
ICLAV[12:6]	7	未使用	I	未使用	I	DRPA[12:6]	I	未使用	O	未使用	O
IENB[3:1]	3	未使用	I	未使用	O	DRPA[15:13]	I	未使用	O	未使用	O
IPCK	1	TFCLK	I	RFCLK	I	RFCLK	I	未使用	I	未使用	I
PCKO	1	未使用	O	未使用	O	PCKO	O	PCKO	O	PCKO	O
ODATA[7:0]	8	RDAT[7:0]	O	TDAT[7:0]	O	TDAT[7:0]	O	RxData0[7:0]	O	RxData0[7:0]	O
ODATA[15:8]	8	RDAT[15:8]	O	TDAT[15:8]	O	TDAT[15:8]	O	未使用	O	RxData1[7:0]	O
OPRTY	1	RPRTY	O	TPRTY	O	TPRTY	O	未使用	O	未使用	O
OMOD	1	RMOD	O	TMOD	O	TMOD	O	未使用	O	未使用	O
OSOC	1	RSOP	O	TSOP	O	TSOP	O	未使用	O	未使用	O
OENB[0]	1	RENB	I	TENB	O	TENB	O	L0OENB	I	L0OENB	I
OADDR[4:0]	5	RADR[4:0]	I	TADR[4:0]	O	TADR[4:0]	O	未使用	O	未使用	O
OEOP	1	REOP	O	TEOP	O	TEOP	O	未使用	O	未使用	O
OERR	1	RERR	O	TERR	O	TERR	O	未使用	O	未使用	O
OVAL	1	RVAL	O	未使用	O	未使用	O	未使用	O	未使用	O
OCLAV[0]	1	PRPA	O	PTPA	I	DTPA[0]	I	未使用	O	未使用	O
OCLAV[1]	1	未使用	O	STPA	I	DTPA[1]	I	未使用	O	未使用	O
OCLAV[3:2]	2	未使用	O	未使用	I	DTPA[3:2]	I	未使用	O	未使用	O
OCLAV[12:4]	9	未使用	O	未使用	I	DTPA[12:4]	I	未使用	O	未使用	O
OENB[1]	1	未使用	I	未使用	O	DTPA[13]	I	L0KOUT	O	L0KOUT	O
OENB[2]	1	未使用	I	未使用	O	DTPA[14]	I	未使用	O	L1OENB	I
OENB[3]	1	未使用	I	未使用	O	DTPA[15]	I	未使用	O	L1KOUT	O
OPCK	1	RFCLK	I	TFCLK	I	TFCLK	I	未使用	I	未使用	I
RCVRCLK[0]	1	未使用	O	未使用	O	未使用	O	RCVRCL[0]	O	RCVRCLK[0]	O
RCVRCLK[1]	1	未使用	O	未使用	O	未使用	O	未使用	O	RCVRCLK[1]	O

備考 : モードにより入出力が切り替わる端子

第3章 機能説明

μPD98441 は次に示す機能ブロックで構成されています。

- (1) **パラレル・インタフェース・ブロック**
 - 入出力パラレル・インタフェース制御ブロック
 - 入出力 FIFO ブロック

- (2) **送受フレーム・ブロック**
 - フレーム生成 / 処理ブロック
 - 8B10B エンコーダ・ブロック
 - 8B10B デコーダ・ブロック
 - フロー制御ブロック

- (3) **LVDS シリアル・インタフェース**
 - シリアライザ・ブロック (P/S)
 - デシリアライザ・ブロック (S/P)
 - PLL/CDR

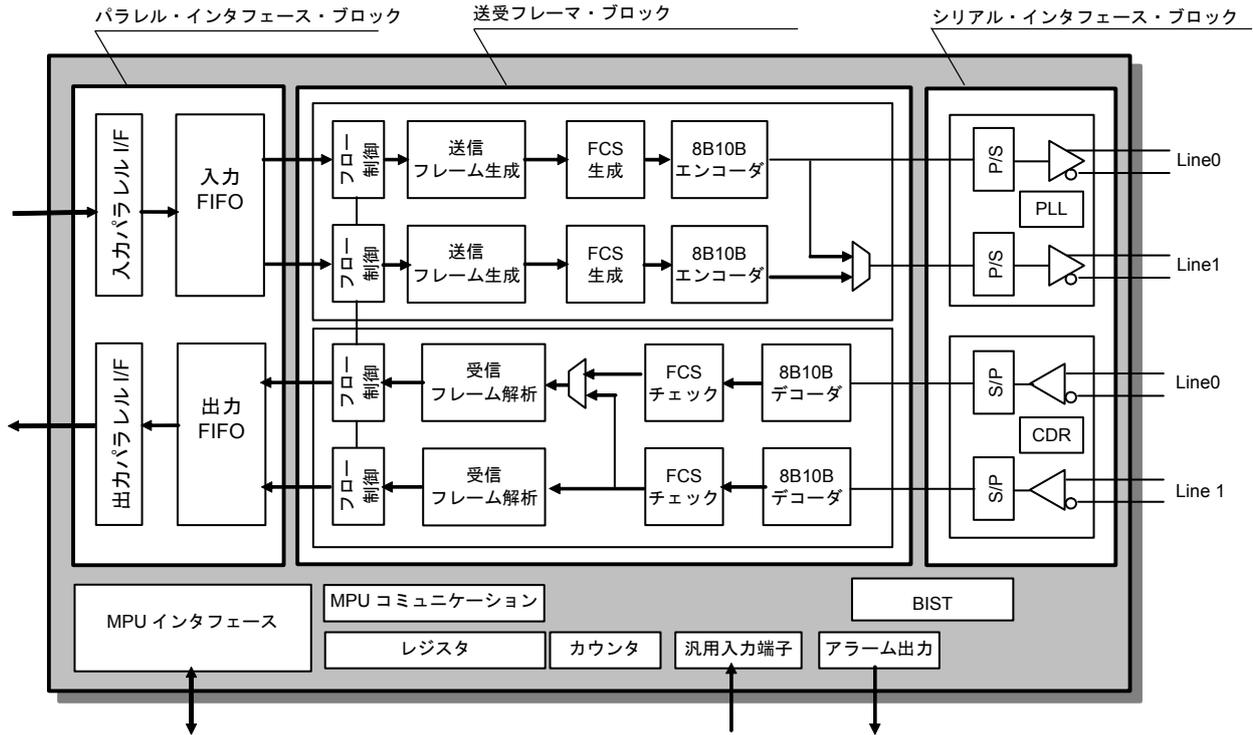
- (4) **MPU インタフェース**
 - レジスタ
 - MPU コミュニケーション制御ブロック
 - 各種カウンタ

- (5) **アラーム出力**

- (6) **汎用入力端子**

- (7) **BIST ブロック**

図3-1 μ PD98441の機能ブロック構成

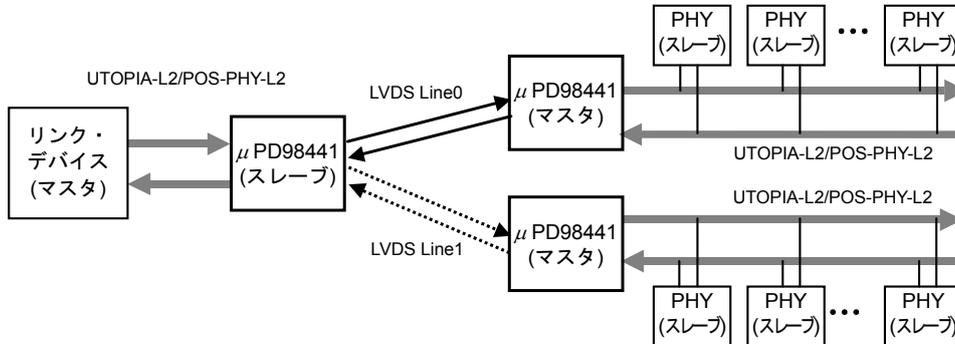


- 備考 1.** 2つのLVDSシリアル・インタフェースを、それぞれ“Line0”と“Line1”と表記しています。
- 2.** UTOPIA/POS-PHY インタフェース上で、PHY デバイスを識別するアドレスを、“ポート・アドレス”と表記しています。
- 3.** シリアル・インタフェースで接続される2つの μ PD98441のうち、自局側の μ PD98441を“ローカル μ PD98441”と表記し、対向側の μ PD98441を“リモート μ PD98441”と表記しています。
- 4.** パラレル・インタフェースからデータを入力するFIFOを“入力FIFO”、パラレル・インタフェースに出力するFIFOを“出力FIFO”と表記しています。 μ PD98441は、入力FIFOに格納されたデータをシリアル・インタフェースに送出し、シリアル・インタフェースから受信したデータを出力FIFOに格納します。

3.1 基本動作

μ PD98441 は、図 3 - 2 のような、ATM、POS のリンク・デバイスと PHY デバイス間のシリアル伝送を基本アプリケーションとするデバイスです。

図3 - 2 基本アプリケーション



3.1.1 送信機能

パラレル・インタフェース・ブロックは、ATM、POS リンク・デバイスから入力されるセル/パケット・データを入力 FIFO に取り込みます。送信フレームは、入力 FIFO からデータを読み出し、フロー制御データや FCS (Frame Check Sequence) と合わせて送信フレームを生成します。送信フレームによる入力 FIFO からのデータの読み出しは、受信フレームから伝えられる送信先の出力 FIFO 状態によって制御されます。 μ PD98441 は、互いの出力 FIFO の状態をフレーム内のフロー制御データによって転送しあいます。

フレームは、8B10B エンコードしてシリアル・インタフェースに転送されます。シリアル・インタフェース・ブロックは、パラレル・データを 10 : 1 MUX 回路でシリアル・データに変換し、レファレンス・クロックから 10 倍の PLL で生成する送信クロックで LVDS ドライバに出力します。

3.1.2 受信機能

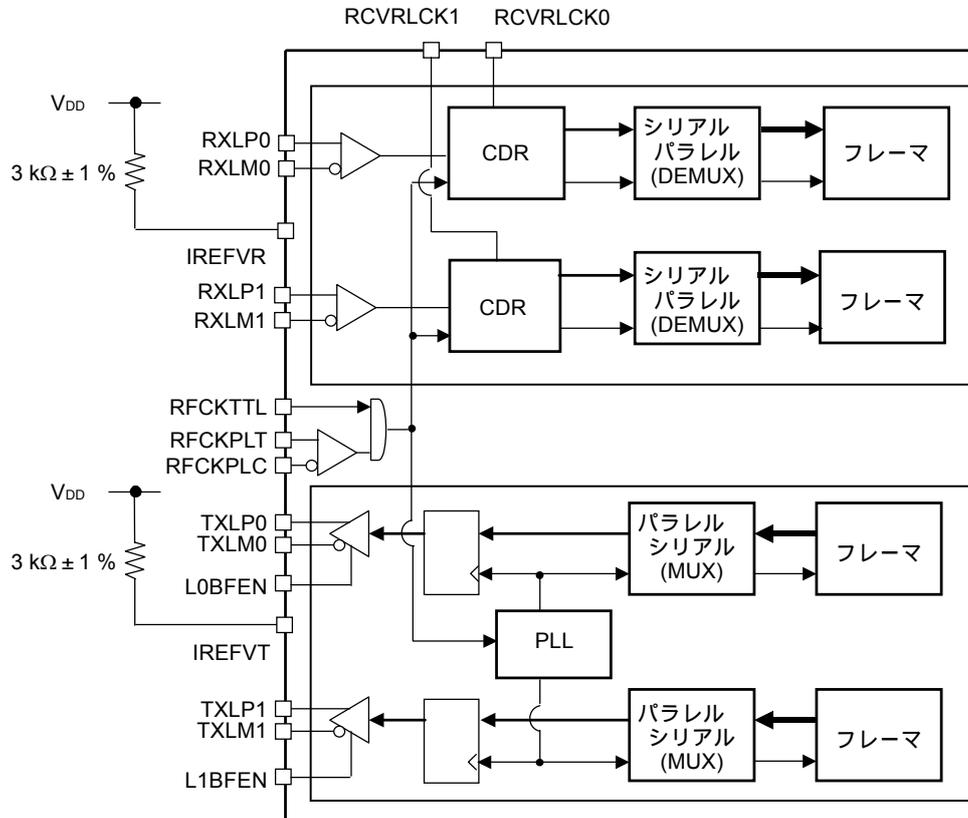
シリアル・インタフェース・ブロックは、LVDS レシーバに入力されるシリアル・データ列から、内蔵するクロック・データ・リカバリと 1 : 10 DEMUX 回路でパラレル・データを再生します。受信フレームはパラレル・データを 10B8B デコード後、フレーム境界を検出して、フレームごとに FCS チェックを実施します。セル/パケット・データをフレームから抽出し、出力 FIFO に格納します。パラレル・インタフェース・ブロックは、パラレル・データを ATM、POS リンク・デバイスに出力します。

受信フレームは、出力 FIFO の状態を送信フレームに通知し、送出フレームのフロー制御データによってリモート側に伝えます。リモート側の送信フレームは、出力 FIFO のフルを検知すると送信を停止し、オーバーフローの発生を抑制します。

3.2 シリアル・インタフェース・ブロック

μ PD98441 は、同デバイスを互いに接続するための2組のLVDS シリアル・インタフェース (Line0 と Line1) を装備しています。図3-3にブロックの概要図を示します。

図3-3 シリアル・インタフェース・ブロック概要図



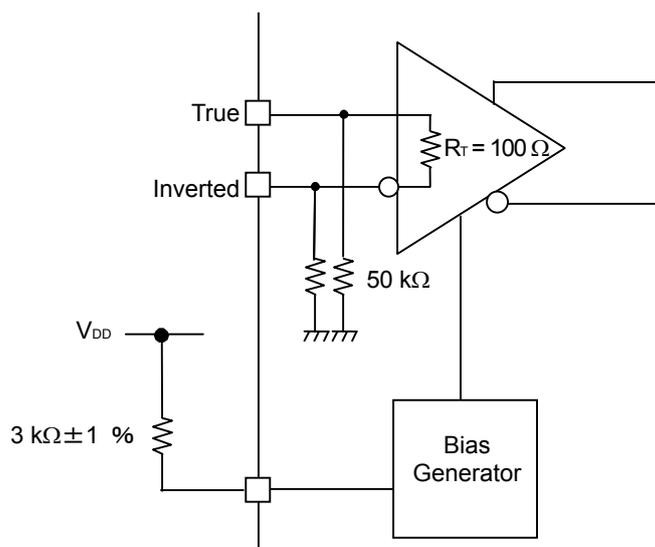
3.2.1 LVDS ドライバ/レシーバ

LVDS ドライバは、リセット後 Hi-Z 出力になっています。動作させるには、FTXEN レジスタの L[n]TXFEN ビットを1にし、かつ L[n]BFEN 端子入力をハイにします。L[n]TXFEN ビットと L[n]BFEN は AND 条件で LVDS ドライバのイネーブルに作用します。

LVDS ドライバ/レシーバは、レファレンス電位 (IREFVT/IREFVR) を必要とします。IREFVT/IREFVR 端子は、 $3\text{ k}\Omega \pm 1\%$ の抵抗でアナログ用電源にプルアップしてください。

LVDS レシーバは、 $100\ \Omega$ の終端抵抗を内蔵しています。また、LVDS レシーバ入力の RXLP[n] (True) と RXLM[n] (Inverted) の両方に $50\ \text{k}\Omega$ のプルダウン抵抗を内蔵しています。レシーバ入力がオープンになった場合、このプルダウン抵抗が、グランド・レベルに落とし、レシーバが内部フレームに不定データを出力し続けるのを避けます。

図3-4 レシーバの内部終端



3.2.2 PLL/CDR

PLL/CDR は、レファレンス・クロック (64 MHz~88 MHz) から 10 逓倍した送受信用のクロックを生成します。レファレンス・クロックは、内部ロジックのシステム・クロックとしても使用されるため、常時入力しておく必要があります。PLL/CDR 用のレファレンス・クロックを入力する端子として LVTTTL (RFCKTTL) と PECL (RFCKPLT, RFCKPLC) の 2 種類があります。LVTTTL 端子 (RFCKTTL) 端子を使用する場合は、RFCKPLT をハイ・レベル、RFCKPLC をロウ・レベルに固定してください。PECL 端子 (RFCKPLT/RFCKPLC) を使用する場合は、LVTTTL 端子 (RFCKTTL) をハイ・レベルに固定してください。

デバイスに電源を投入すると、PLL/CDR は送受信クロックの生成を開始し、CDR は LVDS レシーバ入力にロック動作を開始します。PLL は、電源電圧が安定した状態において、リセット後およそ 1 ms でロック・クロックを生成します。 μ PD98441 は、リセット直後から 1 ms 期間経過すると、SRST レジスタの PLLINT ビットを 1 にします。RCVRLCK[n] は、CDR のリカバリ・クロックを 10 分周したクロックを出力します。

備考 PLL/CDR 回路は、電源上のノイズに影響を受けやすく、安定した動作、特性を得るには、なるべくノイズを低減した電源を供給する必要があります。「第 7 章 シリアル・インタフェース用電源/GND の接続」を参照してください。

3.2.3 シリアル・インタフェースの接続

μ PD98441 同士は、2 組の LVDS インタフェースを使って次の 3 モードでの接続が可能です。シリアル・インタフェースの接続モードは、SIMD レジスタに設定します。設定を変更する場合は、シリアル・インタフェースのドライバ/レシーバをイネーブルにして送受信を開始する前に行ってください。

(1) シングル・ライン・モード

図 3-5 (a) のように、物理的に 1 つのシリアル・インタフェースのみを使用する場合、あるいは図 3-5 (b) のように冗長接続する場合のモードです。このモードでは、Line0 の送受信フレームのみが動作し、フレームが生成するデータは、Line0 と Line1 の両方の LVDS ドライバから出力します。1 つのシリアル・インタフェースのみを使用する場合は、Line0 側の LVDS ドライバのみをイネーブルにし、Line1 側は、ディスエーブルのままにしてください。

Line0 の受信フレームは、Line0 と Line1 のうち、選択されているアクティブ・ラインのデータを処理し、パラレル・インタフェースに出力します。アクティブ・ラインの選択は、ULINK レジスタで行います。

フロー制御は、アクティブ・ラインから受信するフロー制御データに従って行います。非セレクト側のスタンバイ・ラインのデータは、10B8B デコード・エラーのチェックまでを実行しますが、フレームの内容は確認せず廃棄します。

備考 冗長接続する場合、スタンバイ側のラインは、フレームの内容がチェックされないため、MPU 拡張アクセス機能の使用、およびフロー制御を行うことができません。

図3-5 シリアル・ライン・インタフェースの接続形態

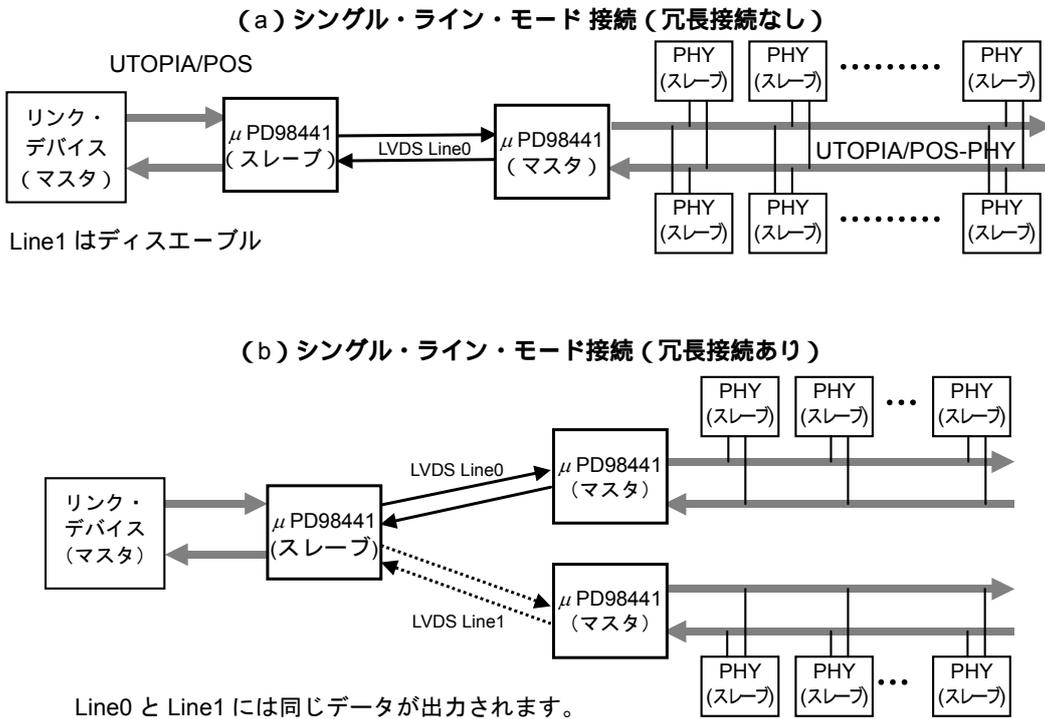
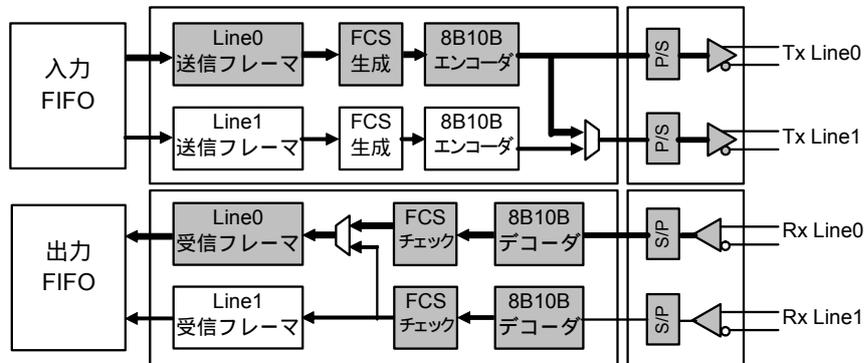


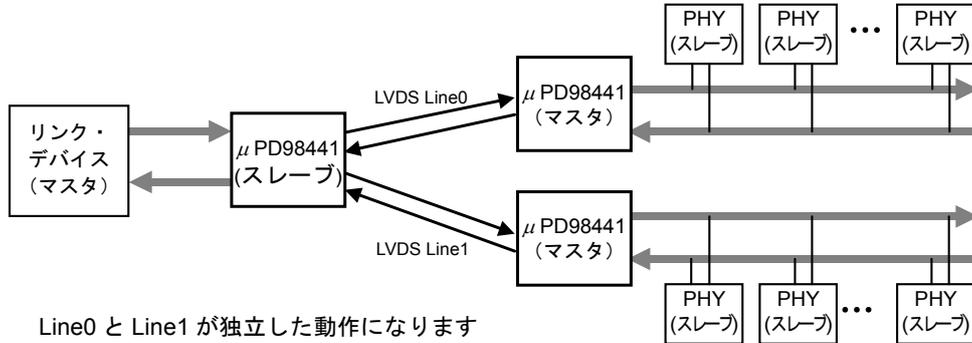
図3-6 シングル・ライン・モードの動作概要



3.2.4 デュアル・ライン・モード

デュアル・ライン・モードは、2つのシリアル・インタフェースがそれぞれ独立したインタフェースとして動作するモードで、リンク・デバイスはデータを2方路に配信できます。このモードでは、Line0とLine1の両方の送受信フレームが動作します。各送信フレームは、対応する受信フレームを受けるフロー制御データに従って送信を制御します。

図3-7 デュアル・ライン・モードの接続形態



3.2.5 バンドル・モード

デュアル・ライン・モードの1つの接続形態で、2つのシリアル・インタフェースを同じμPD98441に接続するモードです。この接続形態にする場合には、SIMDレジスタのLMODEビットにデュアル・ライン・モード(LMODE = 1)を設定し、なおかつBDLEビットを1にする必要があります。

図3-8 バンドル・モードの接続形態

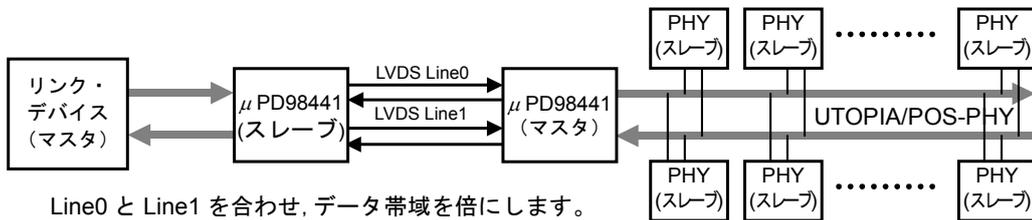
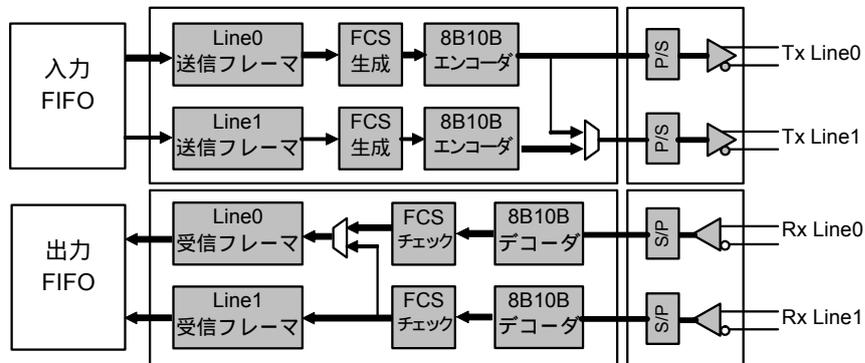


図3-9 デュアル・ライン・モードの動作概要



注意 バンドル・モードでは、μPD98441は、偶数のポート・アドレスに入力されたデータをLine0に、奇数のポート・アドレスに入力されたデータをLine1に振り分けて送信処理します。
データ帯域を有効に活用するには、データを偶数ポートと奇数ポートに同程度入力する必要があります。

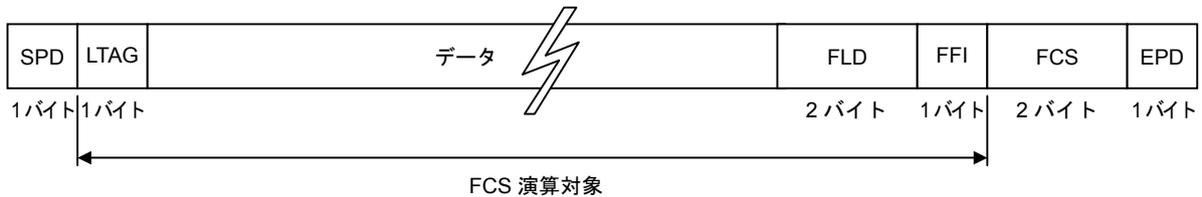
3.3 フレーム機能

3.3.1 フレーム構成

μ PD98441 同士がシリアル・インタフェースを通して伝送しあうフレームのフォーマットを図3-10に示します。 μ PD98441 は、パラレル・インタフェースに入力されるセル/パケットに以下の<1>~<5>の処理を施しフレームを生成します。 μ PD98441 が送出するフレームには、データ転送用のほかに、MPU 拡張アクセス用の制御フレームがありますが、DATA フィールドが制御データに変わるだけでフレームのフォーマットは同じです。

- <1> フロー制御データ FLD (2バイト) を付加
- <2> フレーム・フォーマット情報 FFI (1バイト) を付加
- <3> リモート側 μ PD98441 の論理ポート・アドレス情報 LTAG を付加
- <4> FCS (CRC16-ITU-T) を演算し、結果 FCS (2バイト) を付加
- <5> フレームの先頭を示す識別子 SPD, 最後尾を示す EPD を付加

図3-10 μ PD98441 のフレーム構成



(1) SPD (Start Packet Delimiter)

μ PD98441 がフレームの先頭を識別するために付加する K27.7 コードです。

(2) LTAG (Link TAG)

宛先論理ポートのアドレス情報を格納する領域です。リモート μ PD98441 は、このアドレスに従って接続される論理ポートにデータを転送します。また LTAG は、フレームの種別がセル/パケットを運ぶデータ転送用であるか、MPU 拡張アクセスの制御データ用であることを示すコードを格納します。

(3) データ

フレームがデータ転送用の場合、入力 FIFO に蓄えられたセル/パケット・データを格納する領域です。UTOPIA モードの場合、52 バイト~64 バイトのセル単位で格納されます。POS-PHY モードの場合は、1 バイト~64 バイトのデータが格納されます。

フレームが MPU 拡張アクセス用の場合には、MPU 拡張アクセス・コマンドの付帯データ (CTL0~CTL15 レジスタに設定された内容) が格納されます。転送すべきセル/パケット、制御データがない場合には、このデータ領域を除くフレームが送信されます。

(4) FLD (Flow Control Data)

FIFO ステータスおよび、外部汎用入力ポートのステータスを格納する領域です。互いの出力 FIFO のステータスを μ PD98441 同士で転送しあうことにより、FIFO フル時のバックプレッシャを伝搬し、セル/パケットの消失を防ぎます。

(5) FFI (Frame Format Information)

転送しているフレームのフォーマット情報およびリモート μ PD98441のエラー検出状況を格納します。

(6) FCS (Frame Check Sequence)

μ PD98441 は転送しあうセル / パケットの正否をチェックするため、フレーム・データに対して CRC-ITU-T 演算 (生成多項式: $x^{16} + x^{12} + x^5 + 1$) を行い 2 バイト長の FCS を付加して送出します。リモート μ PD98441 は、着信フレームの FCS を再計算し、送られてきた FCS と一致しなかった場合はエラー検出を通知し、そのフレームを廃棄します。

(7) EPD (End Packet Delimiter)

μ PD98441 が、フレームの最後尾を識別するために付加する K29.7 コードです。

3.3.2 8B10B エンコード / デコード

送信側 8B10B エンコーダ・ブロックは、フレームの 8 ビット・データをランニング・ディスパリティ (RD) 制御を含めた 10 ビット符号に変換して、シリアル・インタフェース・ブロックに転送します。データの変換はコード変換表 (「付録 8B10B 符号化対応表」を参照) に従って行います。逆に受信側の 8B10B デコーダ・ブロックは、シリアル・インタフェースからの 10 ビット入力データを 8 ビット・データに変換します。

μ PD98441 がシリアル・インタフェース上に伝送する K コードを表 3-1 に示します。これらのコードは、 μ PD98441 のフレームで生成 / 削除されるコードで、パラレル・インタフェースに出力されることはありません。

表3-1 μ PD98441 が使用する K コード

識別子	特殊コード名	10 ビット	10 ビット	8 ビット
		Current RD - abcdei fghj	Current RD + abcdei fghj	
IDLE コード	K28.5	001111 1010 b	110000 0101 b	101 11100 b
先頭識別子 (SPD)	K27.7	110110 1000 b	001001 0111 b	111 11011 b
後尾識別子 (EPD)	K29.7	101110 1000 b	010001 0111 b	111 11101 b

3.3.3 送信フレームの動作

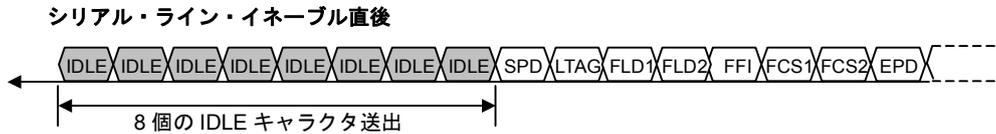
送信フレームは、入力 FIFO に格納されるセル / パケットに制御データを付加し、フレームを生成して、8B10B エンコード後、シリアル・インタフェースに転送します。

(1) 初期状態

送信フレームの機能は、リセット後の初期状態ではディスエーブルになっています。データの送信を開始するには、FTXEN レジスタでイネーブルにする必要があります。送信フレームがディスエーブルの状態では、LVDS ドライバのみをイネーブルにすると、ドライバは 0 の固定出力になります。

(2) IDLE コードの送出

LVDS ドライバおよびフレームをイネーブルにすると、 μ PD98441 は IDLE コード (K28.5) を 8 回連続で送出します。リモート μ PD98441 はこの IDLE コードの検出によってバイト境界を検出します (バイト・アライメント)。



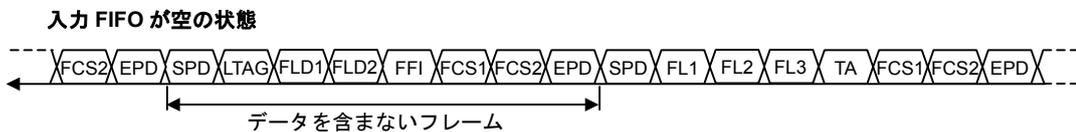
IDLE コードの送出は、L0IDLE/L1IDLE レジスタへの設定によって随時行うことができます。IDLE コード送出を指示した場合には、データ間に挿入されます。



備考 L0IDLE/L1IDLE レジスタの設定による IDLE コードを出力中は、MPU 拡張アクセスの要求コマンドを受け付けられず廃棄します。「3.8 MPU 拡張アクセス機能」をあわせて参照してください。

(3) 入力 FIFO が空の状態での送信

入力 FIFO にセル/パケットのデータがない状態で、かつ MPU 拡張アクセス用の制御データを送信する必要がない場合、 μ PD98441 はデータ・フィールドを除くフレームを連続送出します。

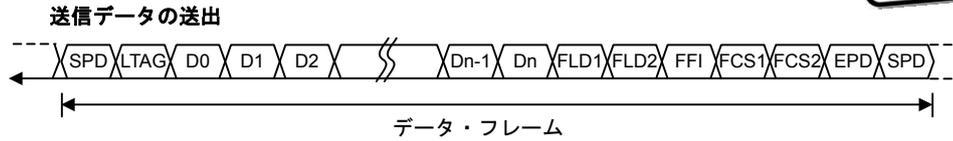


(4) 入力 FIFO からのデータの読み込み

パラレル・インタフェースの初期設定が完了し、セル/パケットが入力 FIFO に格納されると、送信フレームは、入力 FIFO からデータを読み出してフレームを生成します。

UTOPIA モードの場合、送信フレームは、入力 FIFO からセル単位でデータを読み出し、フレームを生成します。POS-PHY モードの場合、送信フレームは最大 64 バイトを読み出して 1 フレームを生成します。1 パケット長が 64 バイト以下の場合、そのパケットで 1 フレームを生成して送信します。パケット長が 65 バイト以上の場合、64 バイト単位で読み出して複数のフレームに分割して送信します。パケットを複数のフレームに分割して送信する場合、そのフレームがパケットの先頭部分であるか (SOP: Start Of Packet)、最後尾部分であるか (EOP: End Of Packet) をフレームの FFI フィールドに格納して送出します。

送信フレームによる入力 FIFO からのデータの読み出しは、リモート μ PD98441 が送信フレームに格納してくるフロー制御データ (FLD) に従って行います。 μ PD98441 は、出力 FIFO の空き状況を、論理ポート単位で送信フレーム内の FLD に格納しリモート側に通知します。リモート側の出力 FIFO がフルになったことを検知すると、送信フレームはその論理ポートのデータの読み出しを中断します。



備考 次の場合、送信フレームは入力 FIFO からのデータの読み込みを停止します。パラレル・インタフェースからセル/パケットを入力し続けていると、入力 FIFO はフルになります。

- ・送信フレームをディスエーブルにした場合
- ・フロー制御データによりリモート μ PD98441 の出力 FIFO がフルであることを検知した場合
- ・LPS, ALPS ループバック・モード (シリアル to シリアル) に設定した場合

(5) フレーム間の IDLE コードの挿入

μ PD98441 は、デフォルトにおいては、4 フレームを送出するごとに 3 つの連続した IDLE コードを送信します。IGAP レジスタの設定変更により、IDLE コードの挿入間隔をフレーム単位で変更することができます。設定は $2n$ フレームの n ($n: 0, 1, 2-10$, デフォルト $n=1$) を変更する形式で行います。

図3-11 フレーム間 IDLE の挿入

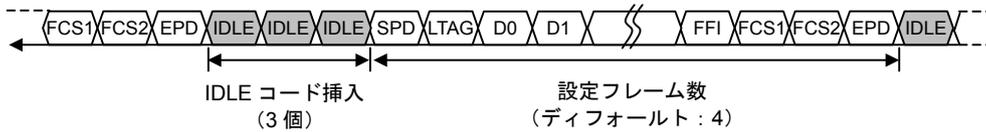


表3-2 フレーム間 IDLE の挿入

IGAP レジスタ設定値	IDLE コード挿入間隔 (単位: フレーム)
0	1
1	2
2	4
3	8
4	16
5	32
6	64
7	128
8	256
9	512
10	1024
上記以外の値	4

(6) MPU 拡張アクセス機能の制御データ・フレームの送出機能

MPU によって MPU 拡張アクセスの新規コマンドが発行された場合、フレームにはセル/パケットの代わりに制御フレームを転送します。MPU 拡張アクセス機能は、 μ PD98441 に接続される MPU がリモート μ PD98441 のレジスタ・アクセスを行ったり、MPU 同士が μ PD98441 のレジスタを通してメッセージを転送しあう機能です。詳細は「3.8 MPU 拡張アクセス機能」を参照してください。MPU 拡張アクセスは、1 フレームを占有するため、頻繁に実行するとデータのスループットに影響を与えます。

3.3.4 受信フレームの動作

受信フレームは、1:10 DEMUX 回路から受け取るパラレル・データを 10B8B デコード後、フレームを検出します。フレームからセル/パケットを抽出して出力 FIFO に格納します。

(1) 初期状態

受信フレームの機能は、リセット後の初期状態ではディスエーブルになっています。FRXEN レジスタでフレーム機能をイネーブルにする必要があります。

シングル・ライン・モードで冗長接続している場合には、Line0 と Line1 のどちらのシリアル入力を受信処理するかを ULINK レジスタに設定します。

(2) バイト・アライメント

受信フレームの最初の処理は、受信データ・ストリームから IDLE コード (K28.5) を検出して、10 ビットの境界を検出することです。IDLE コードを 3 回連続受信すると、同期が取れたと判断し、ビット列の区切りを決定します。受信フレームは、常に IDLE コードの検出を実施し、ビット列の区切りを監視します。

(3) 10B8B デコード

8B10B 符号表 (「付録 8B10B 符号化対応表」) を参照) に従って 10 ビット・データから 8 ビット・データへのデコードを行います。8B10B デコーダ・ブロックは、フレーム境界を示す SPD (K27.7) と EPD (K29.7) を検出し、その間のデータのみを後段の処理ブロックに転送します。

8B10B 符号表に存在しないデータを検出するか、ランニング・ディスパリティの不整合を検出した場合は、デコード・エラーを通知します。また、 μ PD98441 が使用する IDLE (K28.5), SPD (K27.7), EPD (K29.7) 以外の K コードを受信した場合もデコード・エラーとし、K コード・エラーとあわせて通知します。デコード・エラーは、1 フレーム単位で通知されますので、1 フレーム内に複数の異常コードを検出しても 1 度の通知になります。

汎用 MUX/DEMUX モード時は、すべての K コードのデコードを行い、前述の 3 種類以外の K コードを受信してもデコード・エラーを通知することはありません。

受信フレームが検出するエラーについては、「3.3.7 受信フレームのエラー検出」を参照してください。

(4) FCS チェック

受信フレームの FCS (CRC16-ITU-T) チェックを行い、フレーム・データに誤りがないかを確認します。エラーを検出した場合は、そのフレームを廃棄して FCS エラーを通知します。

(5) フレーム解析

受信フレームの LTAG, FLD, FFI フィールドをチェックし、その中にマッピングされている情報に従って受信フレームの処理を決定します。

LTAG は、フレームがデータ転送用か、MPU 拡張アクセス用のどちらであることを示します。これをチェックしデータ・フィールドの処置を決定します。FFI には、リモート μ PD98441 のエラー検出状態と、DATA フィールド内のセル/パケットの情報が格納されています。リモート μ PD98441 のエラー検出状態は、ステータス・レジスタに格納し、セル/パケットの情報は、受信フレームがデータを出力 FIFO に格納する際の制御に使用します。FLD には、リモート μ PD98441 の外部汎用入力ポートの状態と、出力 FIFO の状態が格納されています。外部汎用入力ポートの情報はステータス・レジスタに格納し、出力 FIFO の状態は送信フレームに通知してフロー制御情報として用います。フロー制御に関しては「3.3.6 フロー制御」を参照してください。

(6) MPU 拡張アクセス・コマンドの解析および実行

フレームが MPU 拡張アクセス機能の要求コマンド、または応答データを格納していた場合、MPU コミュニケーション・ブロックに転送し処理を行います。「3. 8 MPU 拡張アクセス機能」を参照してください。

(7) セル/パケットの抽出と出力 FIFO への格納

出力パラレル・インタフェースがイネーブルになると、 μ PD98441 は、受信フレームのデータ・フィールドの内容を出力 FIFO に格納します。出力パラレル・インタフェースがディスエーブルの間は、格納せず廃棄します。受信フレームは、フレームごとに出力 FIFO に書き込みますので、UTOPIA モードの場合は 1 セル単位の書き込みになります。POS-PHY モードの場合はパケットの一部を 64 バイト・ブロック単位か、1 バイト~64 バイトのブロックで書き込みます。

(8) UDF の挿入 / 削除機能 (UTOPIA モード、バス幅変換時)

μ PD98441 は、ローカル側 / リモート側で同じバス幅で用いられることを基本としていますが、ある制限下においては異なるバス幅で使用することができます。

- ・ 16 ビット 8 ビット変換
- ・ 32 ビット 8 ビット変換 (μ PD98442 と接続)
- ・ 32 ビット 16 ビット変換 (μ PD98442 と接続)

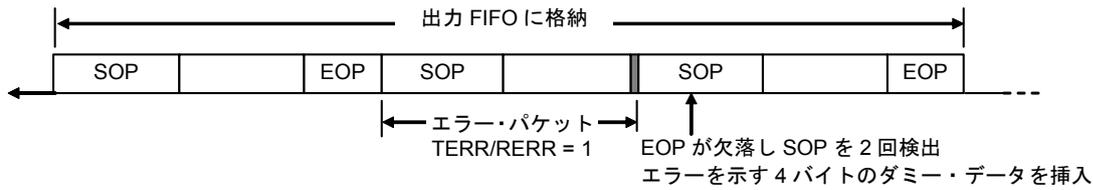
UTOPIA モードにおいて、異なるバス幅設定の μ PD98441 を接続する場合、セル・フォーマットのモード設定によっては、UDF の挿入 / 削除を行います。また、拡張アクセス・モードにおいて、識別子の削除を行うモードがあります。受信フレームは、セルを出力 FIFO に書き込むときにこれらの処理を行います。「3. 4. 13 バス幅設定の異なる μ PD98441 の接続」を参照してください。

(9) SOP, EOP の確認, アボート・データの生成 (POS-PHY モード時)

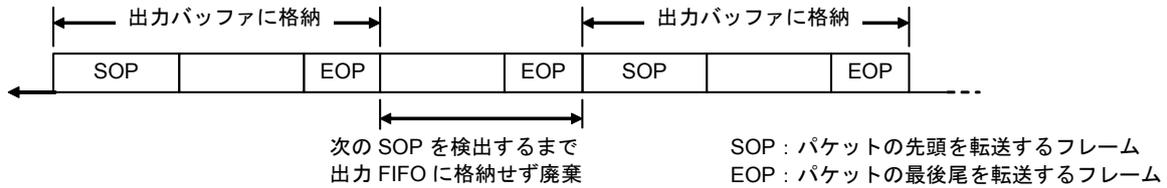
POS-PHY モードでは、パケットが複数のフレームに分割されて着信することがあります。受信フレームは、フレームがパケットの先頭ブロックを格納した SOP フレームか、パケットの中間フレームか、最後尾ブロックを格納した EOP フレームであるかをチェックします。本来、SOP フレームと EOP フレームは、中間フレームを挟みながら交互に着信しますが、SOP フレームのあとに EOP フレームを受信することなく、SOP フレームを受信した場合、受信フレームは、アボート・データ (4 バイト) を出力 FIFO に格納して、それまでに出力 FIFO 内に格納したパケットがエラー・パケット (アボート・パケット) であることを通知します。エラー検出のきっかけになった SOP フレーム以降のパケットは正しく受信されます。また、受信フレームは、EOP フレームの受信後は、次の SOP フレームを受信するまで受信 FIFO に格納しません。

図3 - 12 SOP と EOP の監視

ケース 1 : SOP を連続検出



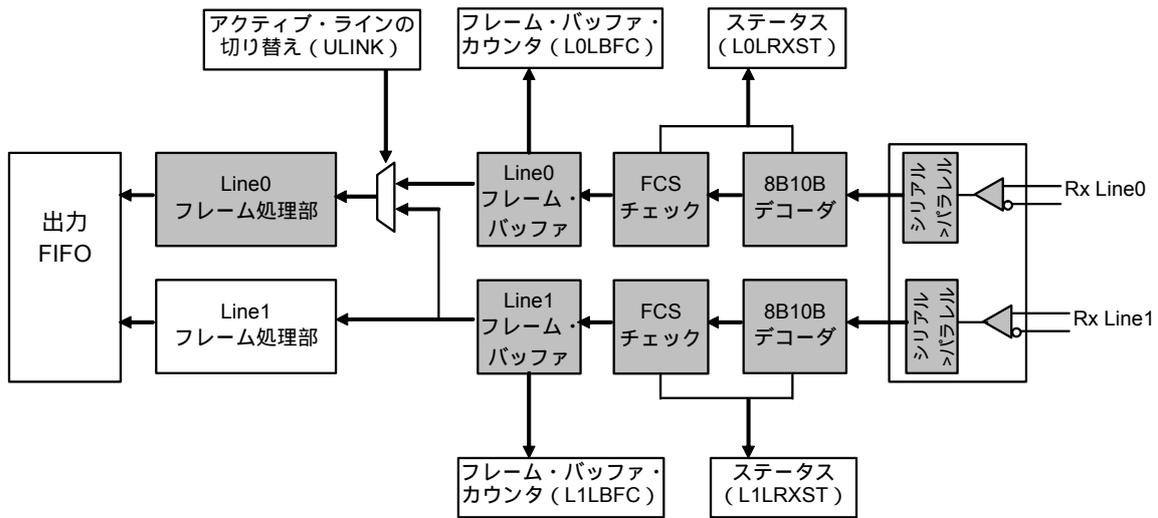
ケース 2 : EOP を連続検出



3.3.5 シリアル・ラインの切り替え

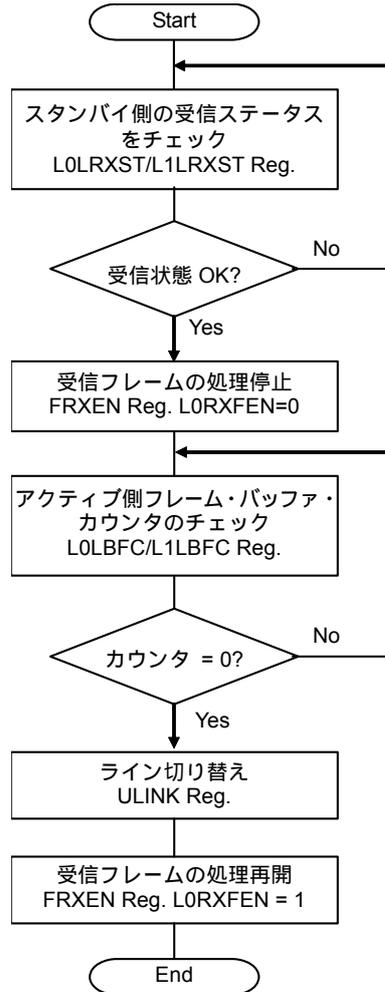
シングル・ライン・モードでは、Line0 の受信フレームのみをイネーブルにします。冗長接続のために、Line0 の受信フレームが処理するシリアル入力を Line0 と Line1 の間で切り替えることができます。

図3 - 13 アクティブとスタンバイの切り替え



切り替え手順を図 3 - 14に示します。一度 Line0 の受信フレームをディスエーブルにしてから、ULINK レジスタで処理ラインの変更を行い、切り替え元のフレーム・バッファ内にフレーム・データがないことを確認してから、再び Line0 の受信フレームをイネーブルにします。ULINK レジスタの設定が変更された場合、μ PD98441 はフレームの境界で切り替えを実施します。

図3 - 14 アクティブとスタンバイの切り替えフロー

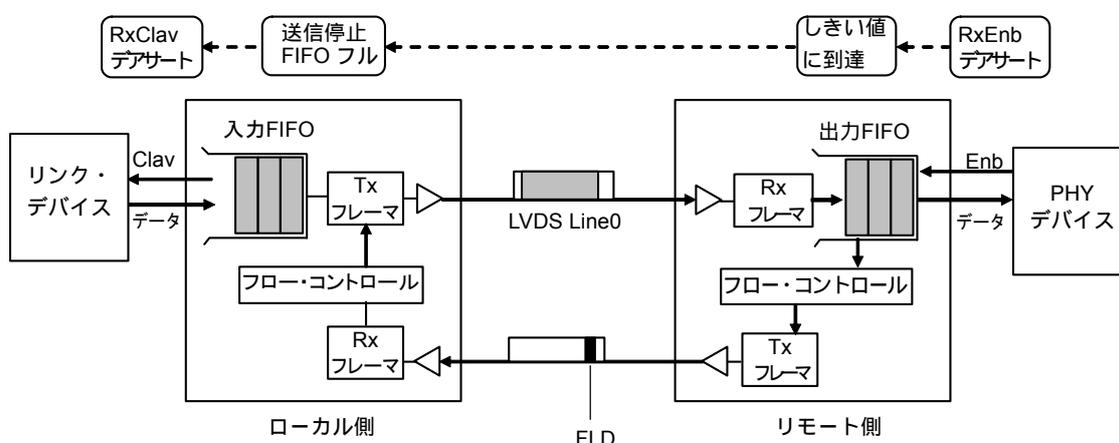


スタンバイ側のシリアル・ラインの 8B10B デコーダ・ブロックが、FRXEN レジスタの設定によりイネーブルになっている場合は、入力されるシリアル・データのデコード・エラー状況を割り込み要因詳細レジスタ (L0LRXST_RC/_R, L1LRXST_RC/_R) に表示します。

3.3.6 フロー制御と出力 FIFO の設定

μ PD98441 は、出力 FIFO 内のデータ格納量が設定しきい値に到達しているどうかを監視し、論理ポートごとに送信フレームの FLD フィールドに格納してリモート μ PD98441 に通知します。すべての論理ポートの状態を 3 フレームに分割して通知しますので、送信元の μ PD98441 は 3 フレームごとにリモート側出力 FIFO の最新状態を知ります。送信フレームは、データ格納量が設定しきい値に到達した論理ポートを検出すると、その論理ポートのデータ送信を停止します。停止した論理ポートの入力 FIFO のデータ量が設定しきい値に到達すると、Clav 信号によってリンク・デバイスにバックプレッシャを伝達します。リモート μ PD98441 の出力 FIFO のデータ量がしきい値を下回ったことを検出すると、送信フレームはデータ送信を再開します。出力 FIFO のしきい値の設定方法は、パラレル・インタフェースのモードによって異なります。

図3-15 フロー制御



(1) UTOPIA モード

μ PD98441 の出力 FIFO は、128 セルを格納できるサイズを持ち、イネーブルの論理ポートの共通領域としてセルの着信順に使用します。ある論理ポートのセルが集中して着信した場合には、その 1 論理ポートが 128 セルのすべての領域を使用することになります。パラレル・インタフェースにセルを出力できないと出力 FIFO 内にセルが溜まり、その量が設定しきい値に到達するとリモート μ PD98441 にバックプレッシャを伝達します。設定しきい値には次の 2 種類があります。

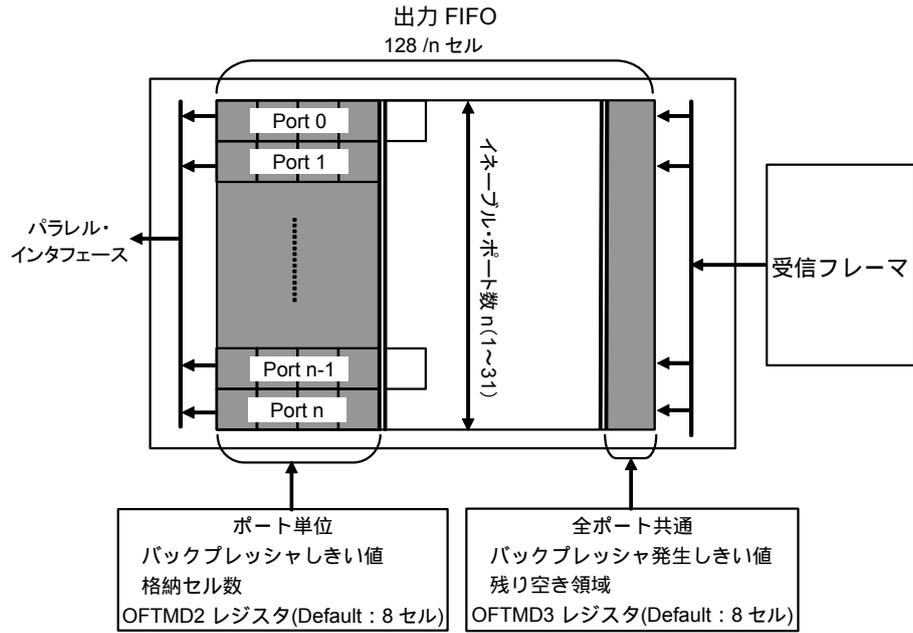
(a) ポート単位のバックプレッシャ

ポートごとにセル送信停止を要求するしきい値です。デフォルトは 8 セルで、OFTMD2 レジスタで設定変更が可能です。論理ポートの格納セル数がこのしきい値に到達すると、送信フレームを通じてリモート μ PD98441 に通知します。しきい値到達を通知したポートがしきい値を越えてセルを受けても、128 セル分の FIFO がフルにならないかぎりセルを廃棄することはありません。

(b) 全ポート共通のバックプレッシャ

全論理ポートのセル送信停止を要求するしきい値です。デフォルトは 8 セルで、OFTMD3 レジスタで設定変更が可能です。128 セル領域の空きセル数がこのしきい値以下になると、送信フレームを通じてリモート側の μ PD98441 に全論理ポートの送信停止を要求します。このしきい値を越えてセルを受けても、128 セル分の FIFO がフルにならないかぎりセルを廃棄することはありません。フルの状態でのセルを受けた場合には、オーバフロー検出を通知します。

図3 - 16 UTOPIA モードの出力 FIFO 構成

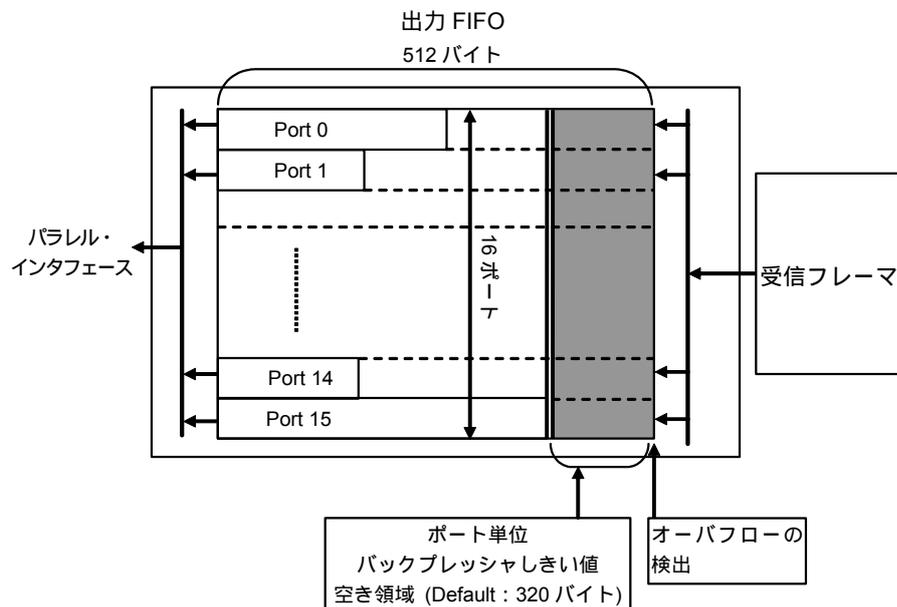


注意 全ポート共通のバックプレッシャを発生させるしきい値の設定は、OFTMD3 レジスタで変更が可能ですが、デフォルト値の 8 より小さい値の設定は避けてください。

(2) POS-PHY モード

POS-PHY モードでは、 μ PD98441 の出力 FIFO は、各論理ポートに 512 バイトの領域が均等に割り当てられます。バックプレッシャのしきい値は論理ポートごとの空き領域を 4 バイト単位で設定します。デフォルトは 320 バイトで、OFTMD4 レジスタへの設定により変更が可能です。残り空き領域が設定しきい値以下になった論理ポートは、送信フレームを通じてリモート μ PD98441 に通知します。着信したフレーム・データを出力 FIFO に格納するとき、その論理ポートの FIFO がフルであった場合には出力 FIFO のオーバフロー検出を通知します。

図3 - 17 POS-PHY モードの出力 FIFO 構成



3.3.7 受信フレームのエラー検出

表3-3に受信フレームが検出するエラーを示します。エラーを検出した場合、 μ PD98441は、割り込み要因詳細レジスタ(L0LRXST_RC/R, L1LRXST_RC/R)に履歴を保持して、MPUに通知します。エラー検出は、割り込み要因にすることができます。また、これらのエラーのうち、LOSとデコード・エラーの検出状況は、送信フレームのFFIフィールドに格納してリモート μ PD98441に通知します。 μ PD98441は、リモート側の受信状況についても割り込み要因詳細レジスタ(L0RRXST_RC/R, L1RRXST_RC/R)に表示し、フレーム着信ごとに更新します。

表3-3 受信フレームで監視するエラー

エラー	発生条件
LOS (Loss Of Signal)	受信データに変化がない状態(オール1または0の状態)が、440ビット期間連続したとき。
デコード・エラー	10B8B デコード処理において、符号表にないコードを受信したとき、または、ランニング・ディスパリティの不整合を検出したとき。フレームごとに通知します。
Kコード・エラー	μ PD98441が使用するIDLE(K28.5), SPD(K27.7), EPD(K29.7)以外のKコードを受信したとき。フレームごとに通知します。
FCSエラー	フレームに対するFCSチェックでエラー検出したとき。エラー発生要因のフレームは廃棄されます。

備考 LOSとデコード・エラーの検出状況は、送信フレームのFFIフィールドを使用してリモート μ PD98441のレジスタに格納します。

3.4 UTOPIA Level2 パラレル・インタフェース

UTOPIA (Universal Test & Operations Interface for ATM) は、ATM フォーラムが定める ATM 層と物理層の間のインタフェースです。リンク・デバイスとは、パラレル・データを ATM セルのフォーマットで転送します。 μ PD98441 の UTOPIA インタフェースには次の特徴があります。

- ATM Forum UTOPIA Level2 v1.0 (June 1995) に適合
- マルチ PHY 接続のセル・レベル・ハンドシェイクをサポート (オクテット・レベル・ハンドシェイクはサポートしていません)
- 接続可能なポート数
- **標準アクセス・モード：最大31までのポート接続が可能**
- **拡張アクセス・モード：最大124までのポート接続が可能**
- バス幅は 8 ビット, 16 ビットから選択可能
- 最大 52 MHz のクロックに同期してデータ転送
- 転送セルのフォーマットは 52 バイト ~ 64 バイト長の間で設定可能
- FIFO ステータスのポーリング方法として次の 3 種から選択可能 (標準アクセス・モード時)
- Status polling with 1Clav (1Clavモード)
- Direct Status Indication (DSIモード)
- Multiplexed Status Polling (MSPモード)

3.4.1 マスタ / スレーブ動作の切り替え

μ PD98441 は、UTOPIA Level2 のマスタ、スレーブの両方のモードをサポートしています。どちらで動作するかは、リセット後の MSM 端子への入力レベルによって決まります。

表3-4 UTOPIA のマスタ / スレーブ設定

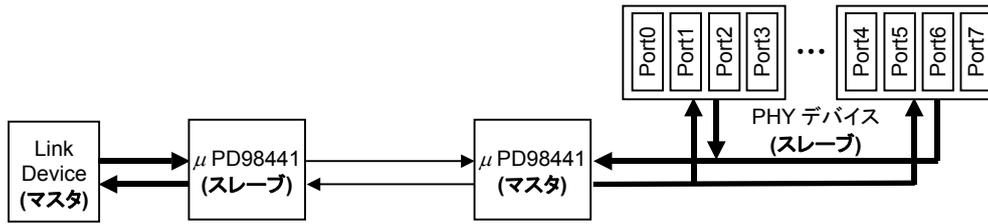
項目	説明	MSM 端子
マスタ	PHY デバイスと接続するモードです。 μ PD98441 は、アドレス信号を出力して論理ポートの FIFO ステータスをポーリングします。ポーリングの結果からポートを選択して、セルの入出力を制御します。	1
スレーブ	リンク・デバイスと接続するモードです。 μ PD98441 は、リンク・デバイスからの FIFO ステータスのポーリングに対してセル・アベイラブル信号 (Clav) で応答し、リンク・デバイスのイネーブル信号の制御に従って、セルの取り込み、転送を行います。	0

図 3-18 の (a) のように、リンク・デバイスと PHY デバイス間を μ PD98441 で接続する場合には、リンク・デバイス側の μ PD98441 をスレーブ・モードに設定し、PHY デバイス側の μ PD98441 をマスタ・モードに設定します。

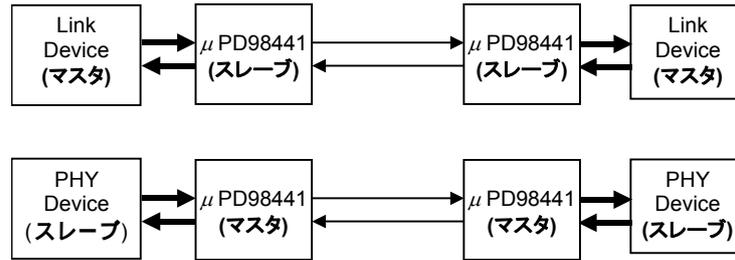
図 3-18 の (b) のように、マスタ・デバイス同士や、スレーブ・デバイス同士の接続も可能です。ただし接続デバイスが複数ポートを持つ場合、同じ論理ポート・アドレス間の固定転送になり、スイッチング動作は行いません。

図3-18 マスタ/スレーブの設定

(a) リンク・デバイスとPHY デバイスの接続



(b) 同じタイプのデバイス間を接続する場合



- 注意 1. UTOPIA のパラレル・インタフェースの動作中に MSM 端子のレベルを変更しないでください。変更した場合には必ずハードウェア・リセットを実行してください。
2. マスタ/スレーブの設定によって UTOPIA の使用端子が変わります。「2. 7. 2 パラレル・インタフェース端子の各モードにおける機能名一覧」を確認してください。
3. 拡張アクセス・モードを使用する場合には、リンク・デバイス側のμ PD98441 は、スレーブ・モードに、PHY デバイス側のμ PD98441 は必ずマスタ・モードに設定する必要があります。

3.4.2 バス幅の切り替え

UTOPIA モードにかぎり、バス幅を 8 ビットと 16 ビットのどちらかから選択することができます。設定は、PIMD レジスタの PBMD ビットで行います。

表3-5 パラレル・インタフェース

バ ス	PBMD ビット = 1 (8 ビット・モード)	PBMD ビット = 0 (16 ビット・モード)
IDATA15-IDATA8	無効 (0 に固定してください)	有効
IDATA7-IDATA0	有効	有効
ODATA15-ODATA8	無効 (オープンにしてください)	有効
ODATA7-ODATA0	有効	有効

注意 バス幅の設定を UTOPIA インタフェースの動作中に変更しないでください。

備考 バス幅の異なるμ PD98441 同士の接続について

μ PD98441 の基本的な使用条件としては、シリアル・インタフェースで接続される 2 つのμ PD98441 は、同じバス幅モードに設定されることを想定していますが、異なるバス幅モードに設定した場合においてもある制限下では動作させることができます。異なるバス幅モードで接続する場合には、リモート側のバス幅を CHGB レジスタの CBSZ フィールドに設定する必要があります。「3. 4. 13 バス幅設定の異なるμPD98441 の接続」を参照してください。

3.4.3 セル・フォーマットの設定

UTOPIA インタフェース上で転送する標準のセル構造を、図3-19に示します。 μ PD98441 は、セルを単なる固定長のデータ・ブロックとして扱うため、ヘッダ部の VPI, VCI の内容や、ペイロード部の内容についてはチェックすることはありません。

次の処理は、セルの構造を認識して実行します。

HEC 生成

- シリアル・インタフェースから受信するセルのヘッダに対してHEC演算を行い、UDF1の領域に HECを上書きしてパラレル・インタフェースに出力する。

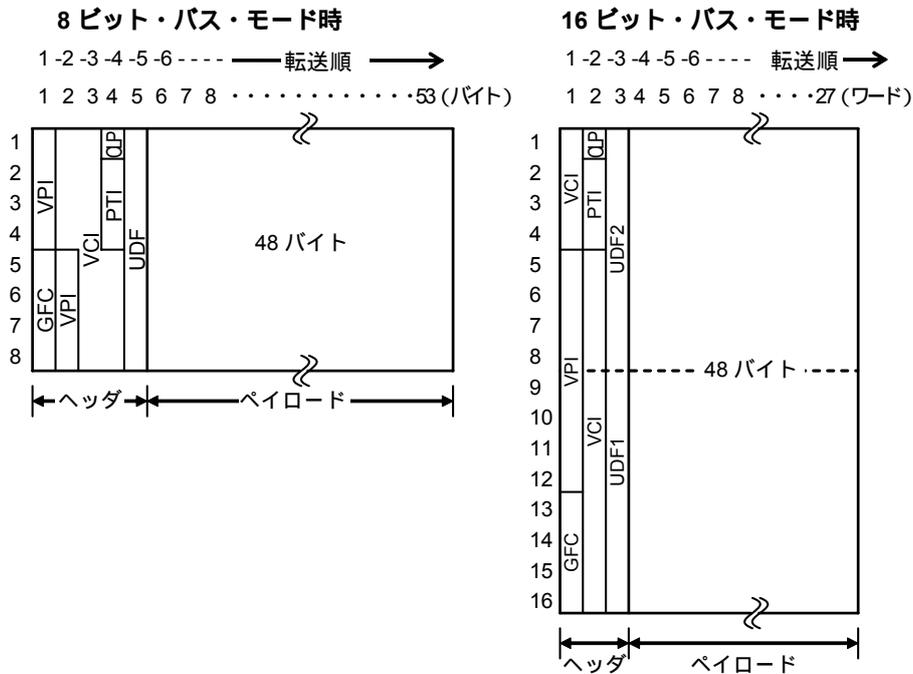
バス幅変換時の UDF の挿抜

- バス幅が異なる μ PD98441を接続したとき、UDF2~UDF4の挿入 / 削除を行います。

拡張アクセス・モードでの識別子のチェック

- セルの一部に格納される識別子から、セルの送出先を識別します。

図3-19 ATM セルの構造 (ユーザー網インタフェース (UNI) の場合)



GFC (Generic Flow Control) : 一般フロー制御

VPI (Virtual Path Identifier) : バーチャル・パス識別子

VCI (Virtual Channel Identifier) : バーチャル・チャンネル識別子

UDF (User Defined Field) : ユーザ定義領域

PTI (Payload Type Identifier) : ペイロード・タイプ識別子

CLP (Cell Loss Priority) : セル損失優先表示

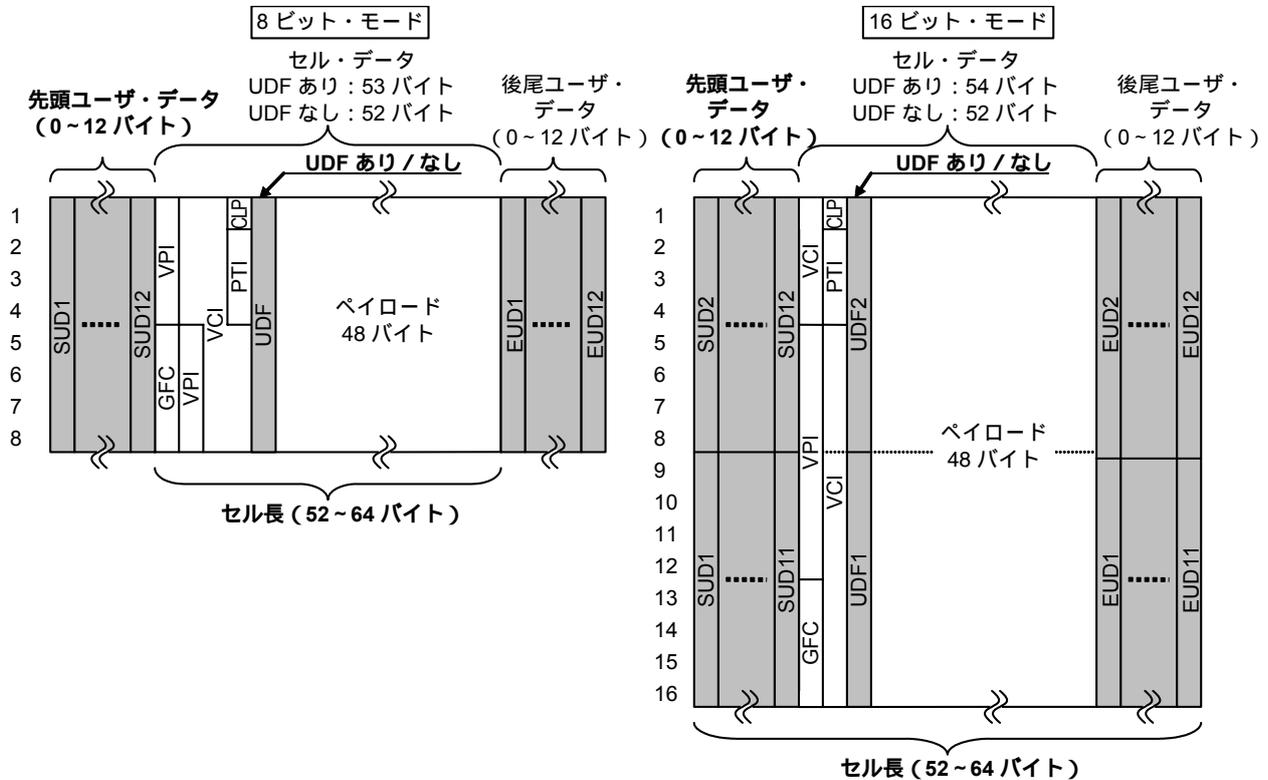
HEC (Header Error Control) : ヘッダ誤り制御

μ PD98441 では、53 バイト長の標準セルのほかに、UDF を除いた 52 バイト長のセルや、先頭または後尾にユーザの任意のデータを付加した 64 バイト長までのセルを入出力することが可能です。セルのフォーマットは、UCF0, UCF1 レジスタで変更することができます。

表3-6 セル・フォーマット設定

項目	説明	デフォルト	設定レジスタ
先頭ユーザ・データ長	セルの先頭に付加するユーザ・データのサイズを0バイト~12バイトの間で設定します。トータル・セル長からこのデータ長と実際のセル長を除いた領域が、後尾ユーザ・データ長になります。16ビット・モード時は、偶数バイト長でのみの設定が可能です。	0バイト	UCF1 レジスタ SUDL フィールド
UDF あり / なし	8ビット・モードの場合、セル・ヘッダ領域の5バイト目、16ビット・モードの場合、5バイト目と6バイト目に位置するUDFの有無を設定します。5バイト目のUDF1は、HECの領域です。UDFなしを設定した場合には、HECの生成 / 検証の設定は無効になります。	あり	UCF0 レジスタ UDFEN フィールド
トータル・セル長	先頭 / 後尾ユーザ・データを含めたセル全体のサイズを52バイト~64バイトの間で設定します。16ビット・モード時は、偶数バイトでのみの設定が可能です。	53バイト	UCF0 レジスタ CBTL フィールド

図3-20 セル・フォーマット



注意 1. セルのフォーマットに関する設定は、必ず次の関係を守る必要があります。

16ビット・モード時 (PBMD = 1)

UDF ありの場合 : 64 トータル・セル長 (CTBL) SUD + 54

UDF なしの場合 : 64 トータル・セル長 (CTBL) SUD + 52

かつ、トータル・セル長および、SUD 長は偶数である必要があります。(52, 54, 56, ... 64)

8ビット・モード時 (PBMD = 0)

UDF ありの場合 : 64 トータル・セル長 (CTBL) SUD + 53

UDF なしの場合 : 64 トータル・セル長 (CTBL) SUD + 52

2. セル・フォーマットの設定は、送信側のμ PD98441 と受信側のμ PD98441 で必ず同じなければなりません。

図3 - 21 セル・フォーマット例

設定例

項目	設定	設定内容
バス幅モード	PBMD = 0	8ビット幅
先頭ユーザ・データ	SUDL = 0010	2バイト
UDFなし	UDFEN = 0	なし
セル長	CBTL = 0100	56バイト

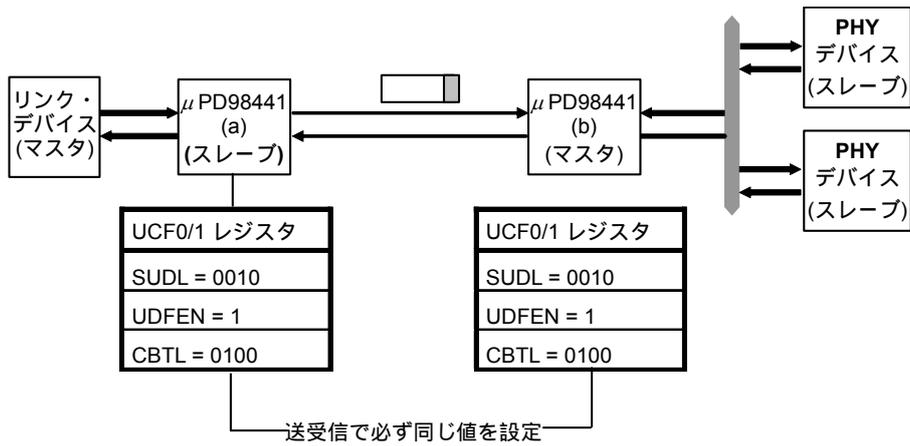
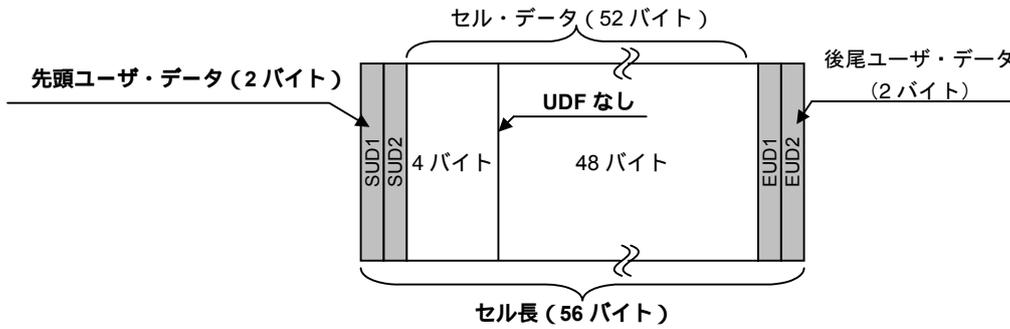


表3-7 セル・フォーマット設定とトータル・セル長

			8ビット・モード					16ビット・モード				
			先頭ユーザ・データ長					先頭ユーザ・データ長				
			0	1	...	11	12	0	2	...	10	12
UDF なし	後尾ユーザ・ データ長	0	52	53	...	63	64	52	54	...	62	64
		1	53	54	...	64				...		
		2	54	55	...			54	56	...	64	
		:	:	:				.	.			
		10	62	63				62	64			
		11	63	64								
		12	64					64				
UDF あり	後尾ユーザ・ データ長	0	53	54	...	64		54	56	...	64	
		1	54	55		
		2	55	56	...			56	58	...		
		:	:	:				.	.			
		10	60					60				
		11	63									
		12	64					64				

- 備考 1. 灰色の部分がトータル・セル長になります。
 2. 16ビット・モードで設定できる先頭ユーザ・データは2の倍数のみです。

3.4.4 ポーリング・モード（標準アクセス・モード時のみ有効）

マスタ・デバイスは、スレーブ・デバイスに対して、受信 FIFO に転送すべきセルがあるか、または送信 FIFO に空き領域があるかを問い合わせる作業“ポーリング”を行います。 μ PD98441 は、UTOPIA Level2 標準の3種類のマルチ PHY ポーリング方式をサポートしており、PIMD レジスタの PLMD フィールドへの設定で選択することができます。

ポーリング方式は、拡張アクセス・モードでは選択することができません。

表3-8 ポーリング・モード

PIMD : PLMD	モード	説明
00	1Clav 方式	1Clav モードは、1組の TxClav[0]/RxClav[0]信号のみを使用するモードです。マスタ・デバイスは、FIFO ステータスを知りたい論理ポートのアドレスを TxAddr[4:0], RxAddr[4:0]信号上に出力します。スレーブ・デバイスのアドレスが合致したポートだけが、次のクロック・サイクルで TxClav[0], RxClav[0]信号をドライブして FIFO ステータスを通知します。アドレスが合致しない場合、Hi-Z を出力します。マスタ・デバイスは、アドレス出力と TxClav, RxClav をサンプリングするというポーリング作業を繰り返します。
01	DSI 方式	DSI 方式は、4つ以下のポートを接続する場合に設定可能なモードです。4組の TxClav/RxClav 信号を各ポートに割り当てます。スレーブ・デバイスは、各ポートの FIFO ステータスを TxClav/RxClav 信号に常にドライブして示します。TxClav/RxClav 信号は、2ステートの出力になります。マスタ側は、FIFO ステータスを調べるためにアドレスを指定する必要がありません。アドレス線は、セル転送先 / 転送元のポートを選択するためだけに使用されます。
10	MSP 方式	4組の TxClav/RxClav 信号を使用することで、1度のポーリング・サイクルで4ポートの FIFO ステータスを同時に知るモードです。スレーブ側では、31のポート・アドレスを4組の TxClav/RxClav 信号の1つと、上位アドレス3ビットで振り分けた8つグループのうちの1つに割り当てます。マスタは、1Clav 方式と同じ要領でポーリング・アドレスを出力します。スレーブ・デバイスはアドレスの上位3ビットが合致したポートが割り当てられている TxClav/RxClav[n]をドライブして FIFO ステータスを通知します。 4ポートが同時に FIFO ステータスを返します。

3.4.5 拡張アクセス・モード

UTOPIA Level2 標準では、マルチ接続できる論理ポート数は、5 ビットのアドレス信号で識別できる 31 までとなっています。図 3 - 2 に示した μ PD98441 の基本アプリケーション例では、リンク・デバイスは、 μ PD98441 を介して合計 31 までの論理ポート (PHY デバイス) を接続できます。 μ PD98441 のデフォルトの標準アクセス・モードでは、5 ビットのアドレス信号で 31 までの論理ポートを識別する標準どりの動作を行います。

μ PD98441 では、さらに多くの論理ポートを接続するために拡張アクセス・モードをサポートしています。拡張アクセス・モードは、In-band のアドレス情報に相当する“識別子”と 4 組の制御信号を用いて、リンク・デバイスが最大 124 までの論理ポートの識別を可能にするモードです。

図 3 - 22 に拡張アクセス・モードで接続するリンク・デバイスと PHY デバイスを示します。PHY デバイス側の論理ポートは、制御信号 (Enb, Clav) ごとに 4 つのグループに分けて接続され、1 つのグループに最大 31 までの論理ポートが接続できます。

リンク・デバイスは、転送先のシリアル・ラインと、グループを指定するため、“識別子 (3 ビット~5 ビット)” をセルの一部に挿入する必要があります。リンク・デバイス側の μ PD98441 は、識別子をチェックして指定されたシリアル・ラインにセルを転送します。PHY デバイス側の μ PD98441 は、識別子で指定されたグループの TxEnb[n]/TxClav[n]信号を制御して宛先の論理ポートにセルを転送します。グループ内の論理ポートの指定は、アドレス信号で行います。

PHY デバイスも同様に、識別子をセルに挿入してリンク・デバイスに出力します。リンク・デバイスは、セル内の識別子のチェックによって、どのグループの論理ポートからセルが着信したかを知ります。

表3 - 9 1リンク・デバイスに接続できる論理ポート数

シリアル・インタフェース・モード	標準アクセス	拡張アクセス
シングル	31	124
デュアル	Line0 側 : 16 Line1 側 : 15	Line0 側 : 124 Line1 側 : 124

(1) 拡張アクセス・モードの接続

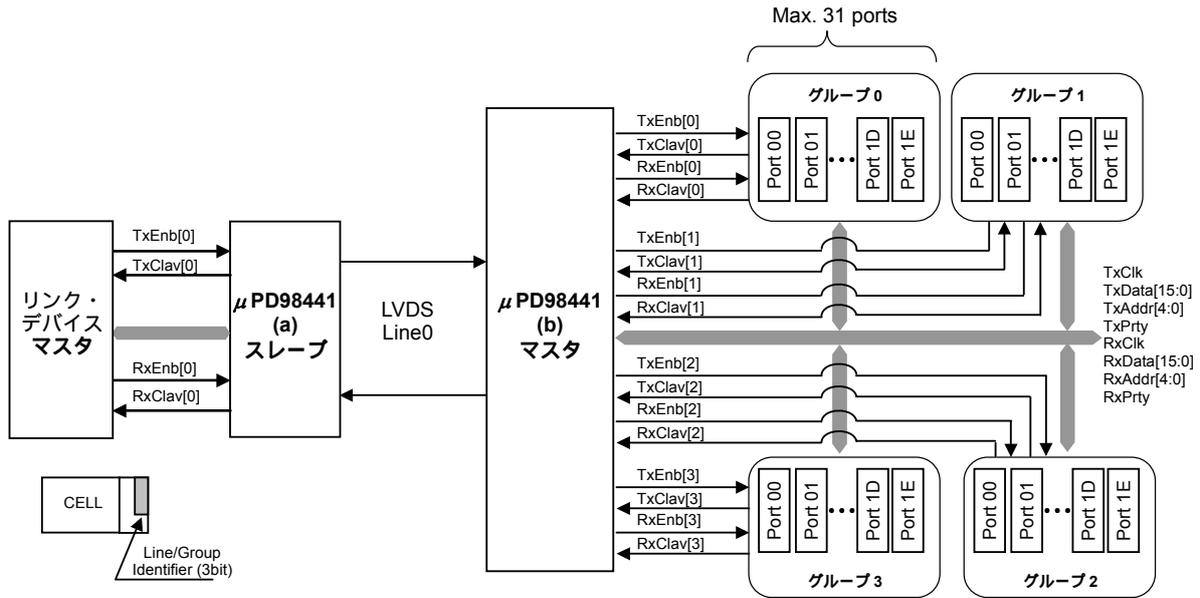
拡張アクセス・モードの場合、図 3 - 22 のように、PHY デバイス側の μ PD98441(b)には、論理ポートが 0 ~ 3 の 4 つのグループに分けて接続されます。各グループには、それぞれの TxEnb[0]/RxEnb[0]-TxEnb[3]/RxEnb[3]信号を接続します。リンク・デバイス側の μ PD98441(a)は、1Clav ポーリング・モードで動作し、TxEnb[0]/RxEnb[0]の組だけを使用します。

表3 - 10 Clav 信号に対するポート・アドレス割り当て

信号	グループ	論理ポート・アドレス
TxClav[0]/RxClav[0]	グループ 0	0 ~ 30
TxClav[1]/RxClav[1]	グループ 1	0 ~ 30
TxClav[2]/RxClav[2]	グループ 2	0 ~ 30
TxClav[3]/RxClav[3]	グループ 3	0 ~ 30

μ PD98441 の入力 FIFO は、論理ポート・アドレスごとに領域を分割して運用されます (「3.4.8 入力 FIFO の設定」参照)。拡張アクセス・モードでは、4 つのグループの同じ論理ポート・アドレスを持つポートのセルが、入力 FIFO の同じ領域に格納されます。

図3 - 22 拡張アクセス接続 (UTOPIA Level 2)



セル・データ内の3ビット識別子でグループを指定。
TxAddr[4:0], RxAddr[4:0]信号でグループ内の
ポートを指定します。

(2) 拡張アクセス・モードの設定

拡張アクセス・モードでは、必ずリンク・デバイス側のμ PD98441 をスレーブ・モードに、PHY デバイス側のμ PD98441 をマスタ・モードに設定する必要があります。また、両者のポーリング・モードは1Clav モードを選択する必要があります。

PHY デバイス側のμ PD98441 には、IP_BEN, OP_BEN レジスタでグループごとにイネーブル設定します。イネーブルにされたグループの TxEnb[0]/RxEnb[3]-TxEnb[0]/RxEnb[3]信号が動作します。

表3 - 11 拡張アクセス・モード接続のモード設定

項目	設定箇所	リンク・デバイス側 μ PD98441	PHY デバイス側 μ PD98441
マスタ/スレーブ	MSM 端子	スレーブ	マスタ
ポーリング・モード	PIMD レジスタ PLMD フィールド	1Clav	1Clav
アクセス・モード	PIMD レジスタ PAMD フィールド	拡張アクセス	拡張アクセス
論理ポート・アドレス設定	IP_IPEN0-3 レジスタ OP_IPEN0-3 レジスタ	設定が必要	設定が必要
グループ・イネーブル制御	IP_BEN レジスタ OP_BEN レジスタ	制御不要	制御が必要
識別子の挿入位置設定	TAGF レジスタ	設定が必要	設定が必要
識別子のモード設定	TAGC レジスタ	設定が必要	設定が必要

(3) 識別子の付加位置の設定

拡張アクセス・モードでは、リンク・デバイスと PHY デバイスは、転送するすべてのセルの一部にライン識別子 (1 ビット) とグループ識別子 (2 ビット) の計 3 ビットの追加アドレス情報を付加する必要があります。リンク・デバイス側の μ PD98441 は、この識別子をチェックして送出先のラインとグループを決定します。PHY デバイスが付加する識別子は、 μ PD98441 はチェックせず、そのままリンク・デバイスに転送され、リンク・デバイスが送出元論理ポートのラインとグループを知るのに使用します。

セルの送受信を開始する前に、セルのどこに識別子を付加するのか、位置を TAGF レジスタに設定します。位置は、セルの先頭バイトから 18 バイト目の範囲で、セルの先頭ビットから識別子が位置するビットまでのオフセット・ビット量 (0 ビット ~ 141 ビット) として設定します。UTOPIA インタフェースをイネーブルにする前に、接続する両方の μ PD98441 に設定してください。

標準 53 バイト・セルの先頭にユーザ・データ (SUD) を付加し、その一部に識別子を格納する場合や、UDF2 フィールドの一部に識別子を格納する場合など、任意の部分に設定可能です。

図3 - 23 識別子

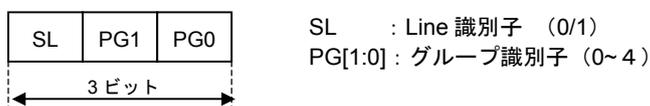


図3 - 24 識別子の設定

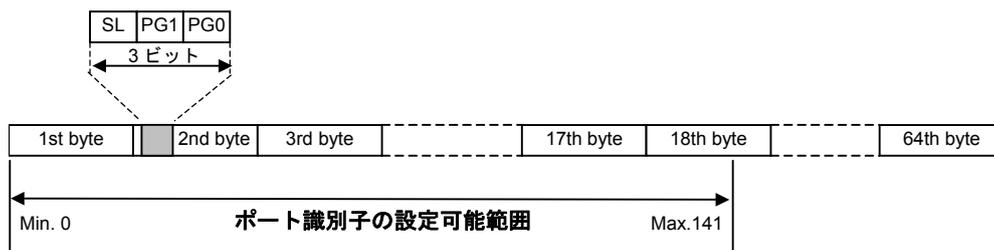
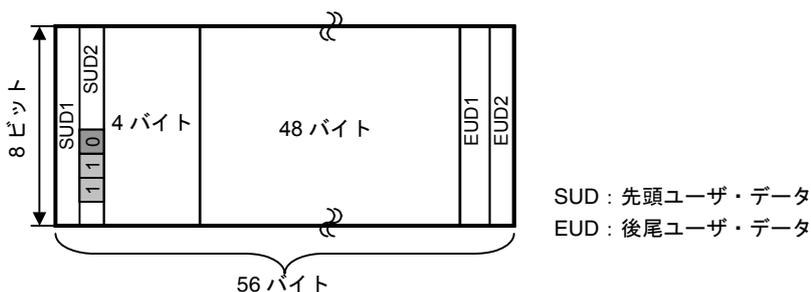


図3 - 25 識別子の設定例

項目	設定	設定内容
バス幅モード	PBMD = 0	8 ビット幅
先頭ユーザ・データ	SUDL = 0010	2 バイト
UDF なし	UDFEN = 0	なし
セル長	CBTL = 0100	56 バイト
識別子オフセット	TAGF = 00001001	9
識別子内容	ライン番号	1
	グループ番号	10

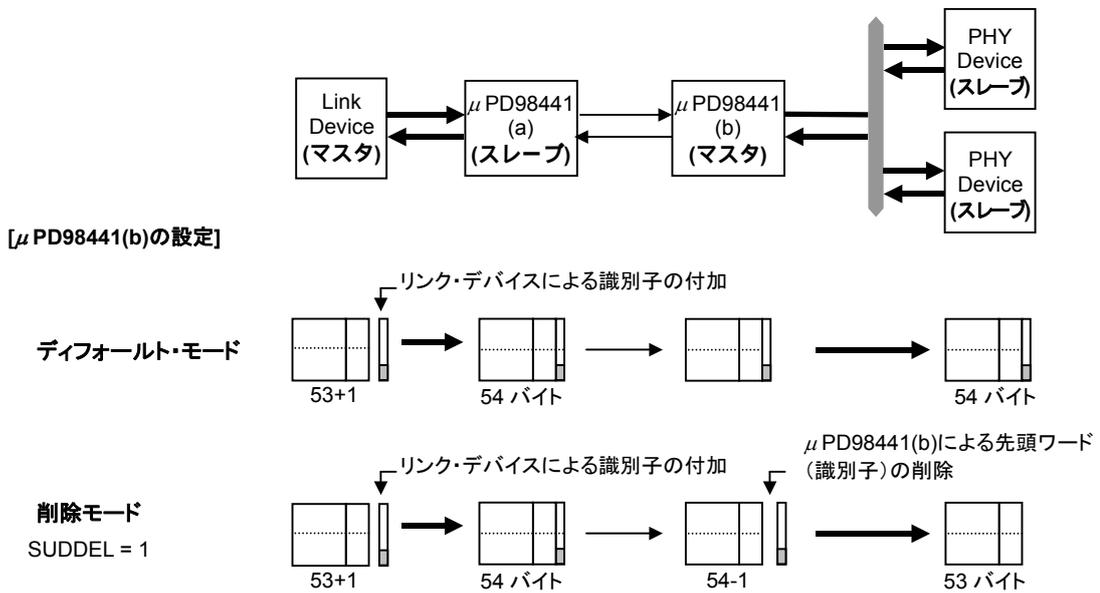


(4) 識別子の削除モード

デフォルト・モードにおいては、 μ PD98441 は、送受信するセルの識別子を削除することなくリンク・デバイスとPHYデバイスに転送します。

PHYデバイスにとってリンク・デバイスが付加する識別子が不要な場合、PHYデバイス側の μ PD98441 が識別子を削除してからPHYデバイスに転送するモードがあります。TAGCレジスタのSUDDDELビットを1にすると、 μ PD98441 はシリアル・インタフェースから受信するセルの先頭ワードを削除してから、パラレル・インタフェースに出力します。このモードを設定する場合、リンク・デバイスが付加する識別子の位置は、セルの先頭1ワードのユーザ・データ領域である必要があります。1ワードのユーザ・データ領域を付加していない場合、セル・ヘッダの先頭ワードが削除されることとなります。先頭ワードのバイト数は、 μ PD98441 のバス幅設定に依存します(8ビット幅のとき1バイト、16ビット幅のとき2バイト)。

図3-26 識別子の削除モード



(5) 識別子の付加モード

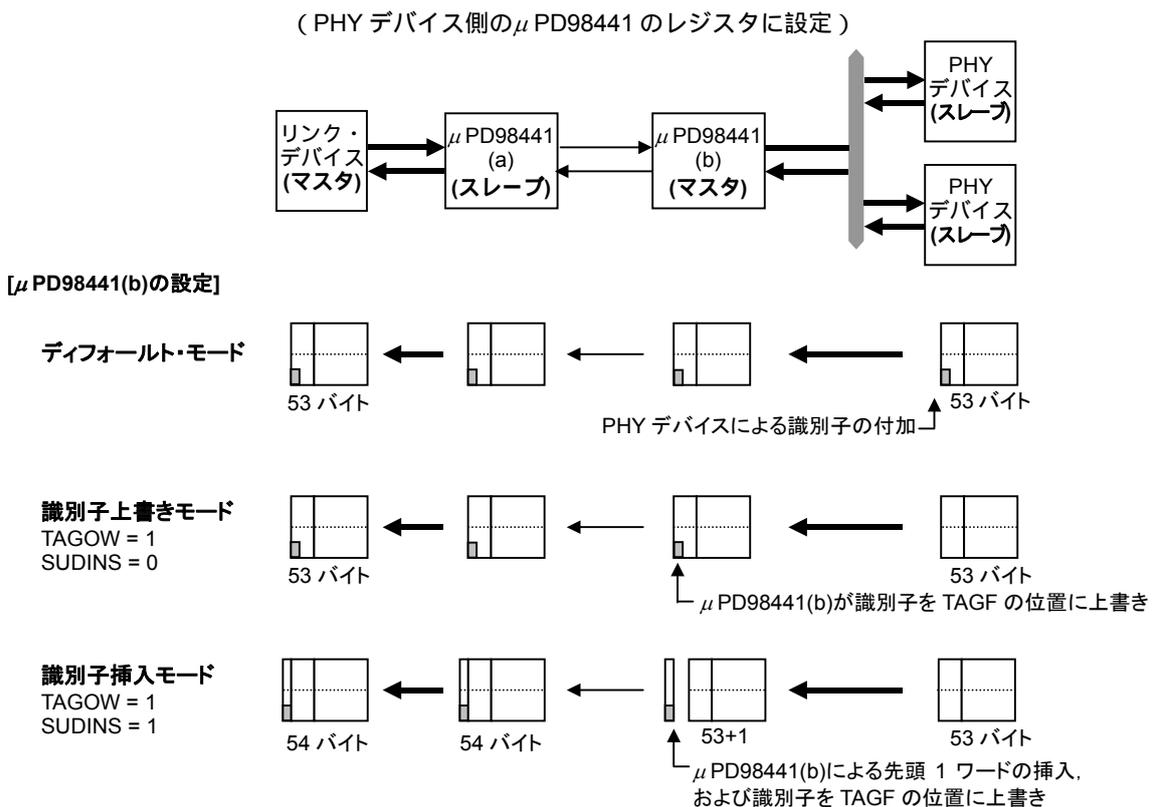
PHY デバイスの代わりに μ PD98441 がセルに識別子を付加してからシリアル・インタフェースに転送するモードがあります。 μ PD98441 に識別子を付加させるには、TAGC レジスタの TAGOW ビットを 1 にします。このモードは、PHY デバイス側の μ PD98441 (拡張アクセス・モードのマスタ設定) にのみに許可される設定です。リンク・デバイス側の μ PD98441 には設定禁止なので注意してください。

識別子の付加方法には、セルの一部に上書きする「上書きモード」と、セルの先頭に 1 ワードを挿入し、そこに格納する「挿入モード」の 2 つがあります。TAGC レジスタの SUDINS ビットで設定します。

識別子を付加する位置は、TAGF レジスタの設定に従います。挿入モード (SUDINS ビット = 1) の場合、識別子が先頭ワードに格納されるように PHY デバイス側 μ PD98441 の TAGF レジスタに設定する必要があります。挿入された 1 ワードのうち、識別子以外の領域はオール 0 になります。

μ PD98441 が付加する識別子の内容は、ライン識別子 (1 ビットまたは 3 ビット) とグループ識別子 (2 ビット) を合わせた 3 ビットまたは 5 ビット長になります。ライン識別子長は、リンク・デバイスに接続されるデバイスが μ PD98441 の場合は 1 ビット、 μ PD98442 の場合は 3 ビットとなり、MPU がどちらであるかを TAGC レジスタの LNUMSZ ビットに設定しておく必要があります。ライン識別子は、MPU が同レジスタの LNUM フィールドに設定しておく値が付加されます。グループ識別子の値は、セルが入力されたグループ番号に従って μ PD98441 が自動で付加します。

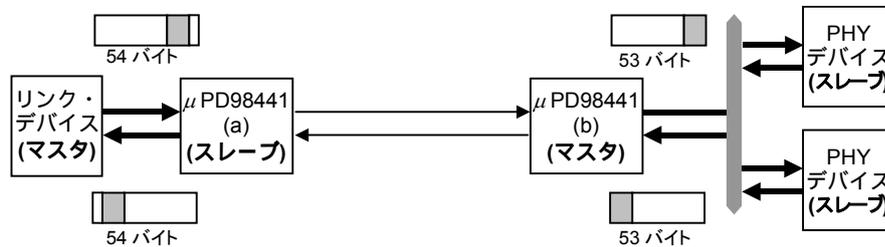
図3 - 27 識別子の付加モード



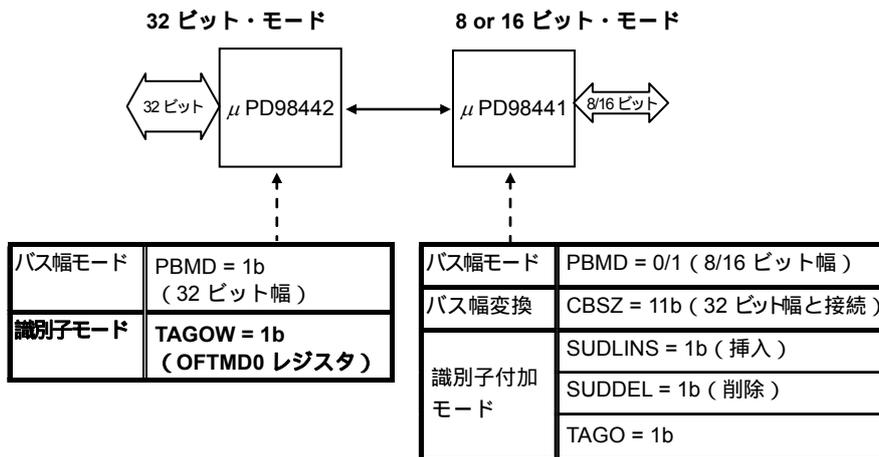
- 注意
1. 識別子の挿入 / 上書きモードを設定できるのは、拡張アクセス・モードでマスタに設定されている PHY デバイス側の μ PD98441 にのみです。
 2. 標準アクセス・モードでは、識別子の付加に関する設定は無効になります。
 3. TAGC レジスタへの識別子の削除 / 付加のモード設定は、 μ PD98441 がパラレル・インタフェースに出力するセル長を変化させます。送信側の μ PD98441 と受信側の μ PD98441 に設定するセ

ル・フォーマット (UCF0, UCF1 レジスタ) は必ず同じ値を設定しなければなりません, 各デバイスの識別子の削除/付加モードの設定によって, 実際に両デバイスがパラレル・インタフェースに入出力するセル長が異なる場合があります。実際にパラレル・インタフェースを入出力するセル長は, IFCTBL レジスタに表示されますので参考にしてください。

項目	μPD98441(a)の設定		μPD98441(b)の設定	
	設定	設定内容	設定	設定内容
バス幅モード	PBMD = 0	8ビット幅	PBMD = 0	8ビット幅
先頭ユーザ・データ	SUDL = 0001	1バイト	SUDL = 0001	1バイト
UDFなし	UDFEN = 1	あり	UDFEN = 1	あり
セル長	CBTL = 0010	54バイト	CBTL = 0010	54バイト
削除モード	SUDEL = 0	なし	SUDEL = 1	イネーブル
付加モード	TAGOW = 0, SUDINS = 0	なし	TAGOW = 1, SUDINS = 1	挿入モード
入出力セル長	IFCTBL = 36h	54バイト	IFCTBL = 35h	53バイト



4. μPD98441 をμPD98442 の 32 ビット・バス幅と接続する (8 ビット ↔ 32 ビット, 16 ビット ↔ 32 ビット) とき, 識別子の挿入モードでは, μPD98441 は正しく識別子を付加できません。この場合は, μPD98442 側の識別子の上書き機能を有効にしてください。



備考 μPD98442 はシリアル・インタフェースを 8 つ装備したデバイスです。

3.4.6 HEC の生成 (オプション)

シリアル・インタフェースから受信したセルに対し HEC (Header Error Control : ヘッダ誤り制御) を挿入してパラレル側に出力します。この機能は、デフォルトではディスエーブルになっており、UCF0 レジスタの設定によってイネーブルになります。

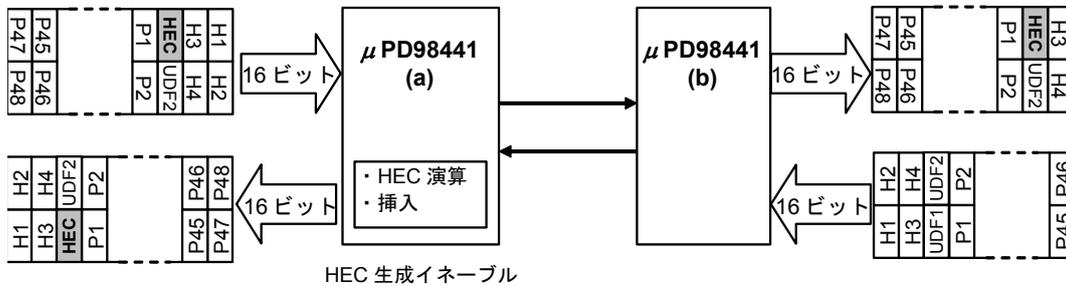
μ PD98441 では、シリアル・インタフェース間を伝送するデータの信頼性については FCS16 の付加 / 検証によってチェックを行い、セル境界の検出については、フレームの境界の検出によって実現するため、シリアル・ライン間における HEC の検証は行いません。

(1) HEC の生成 (UCF0 レジスタ : HGEN ビット = 1)

シリアル・インタフェースから受信するセルのヘッダ 5 バイトのうち上位 4 バイトに対して多項式「 $G(X) = X^8 + X^2 + X + 1$ 」で CRC 演算を行い、この値に “55h” を加算した値をヘッダの 5 バイト目 (UDF1 の位置) に上書きし UTOPIA インタフェースに出力します。

この機能は、UCF0 レジスタの HGEN ビットでイネーブルにします。

図3 - 28 HEC の生成



3.4.7 論理ポートのイネーブル/ディスエーブル制御

IP_IPEN, OP_IPEN レジスタにイネーブルにするポートを設定します。論理ポートの番号が、そのままポート・アドレスになります。これらレジスタへの設定後、PIEN レジスタで入出力パラレル・インタフェースをイネーブルにすることでセル転送の動作を開始します。設定モードによって、イネーブル方法が異なりますので注意してください。

(1) 標準アクセス・モードのポート・イネーブル

(a) 1Clav モード

1Clav モードの場合、ユーザは、使用したいポート・アドレスに対応するビットを 1 に設定します。

例 P7 を 1 に設定した場合は、ポート・アドレス 07h のポートがイネーブルになります。

Clav	レジスタ	7	6	5	4	3	2	1	0
Clav0	IP_IPEN0	P7	P6	P5	P4	P3	P2	P1	P0
	IP_IPEN1	P15	P14	P13	P12	P11	P10	P9	P8
	IP_IPEN2	P23	P22	P21	P20	P19	P18	P17	P16
	IP_IPEN3	X	P30	P29	P28	P27	P26	P25	P24

Clav	レジスタ	7	6	5	4	3	2	1	0
Clav0	OP_IPEN0	P7	P6	P5	P4	P3	P2	P1	P0
	OP_IPEN1	P15	P14	P13	P12	P11	P10	P9	P8
	OP_IPEN2	P23	P22	P21	P20	P19	P18	P17	P16
	OP_IPEN3	X	P30	P29	P28	P27	P26	P25	P24

X : Reserved

(b) DSI モード

DSI モードの場合、ユーザは、TxClav[3:0]の 4 信号にポート・アドレスを設定します。ポート・アドレスの設定は、TxClav[n]は、OP_IPEN[n]レジスタに、RxClav[n]信号は、IP_IPEN[n]レジスタにそれぞれ設定します。

Clav	レジスタ	7	6	5	4	3	2	1	0
Clav0	IP_IPEN0	x	x	EN	Port Address (D4:D0)				
	IP_IPEN1	x	x	EN	Port Address (D4:D0)				
	IP_IPEN2	x	x	EN	Port Address (D4:D0)				
	IP_IPEN3	x	x	EN	Port Address (D4:D0)				

Clav	レジスタ	7	6	5	4	3	2	1	0
Clav0	OP_IPEN0	x	x	EN	Port Address (D4:D0)				
	OP_IPEN 1	x	x	EN	Port Address (D4:D0)				
	OP_IPEN 2	x	x	EN	Port Address (D4:D0)				
	OP_IPEN 3	x	x	EN	Port Address (D4:D0)				

EN : イネーブル・ビット (1 : イネーブル)

(c) MSP モード

MSP モードの場合、ユーザは、使用したいポート・アドレスに対応する OP_IPEN [3:0]レジスタのビットを1に設定します。

例 P7を1に設定した場合は、ポート・アドレス 07h のポートがイネーブルになります。

Clav	レジスタ	7	6	5	4	3	2	1	0
	IP_IPEN0	P7	P6	P5	P4	P3	P2	P1	P0
Clav0	IP_IPEN1	P15	P14	P13	P12	P11	P10	P9	P8
~Clav3	IP_IPEN2	P23	P22	P21	P20	P19	P18	P17	P16
	IP_IPEN3	X	P30	P29	P28	P27	P26	P25	P24

Clav	レジスタ	7	6	5	4	3	2	1	0
	OP_IPEN0	P7	P6	P5	P4	P3	P2	P1	P0
Clav0	OP_IPEN 1	P15	P14	P13	P12	P11	P10	P9	P8
~Clav3	OP_IPEN 2	P23	P22	P21	P20	P19	P18	P17	P16
	OP_IPEN 3	X	P30	P29	P28	P27	P26	P25	P24

X : Reserved

MSP の場合、Clav 信号とポート・アドレスとの対応は次の表 3 - 12 と表 3 - 13 に従います。

表3 - 12 MSP モード時のポート・アドレスと Clav 信号の関係

Clav 信号	ポート番号 (アドレス)
RxClav0, TxClav0	0, 4, 8, 12, 16, 20, 24, 28
RxClav1, TxClav1	1, 5, 9, 13, 17, 21, 25, 29
RxClav2, TxClav2	2, 6, 10, 14, 18, 22, 26, 30
RxClav3, TxClav3	3, 7, 11, 15, 19, 23, 27

表3 - 13 MSP モード時のグループ・アドレスとポート・アドレスの関係

ポート・アドレス	グループ・ナンバ	グループ・アドレス (Addr[4:0])
0, 1, 2, 3	0	000xx
4, 5, 6, 7	1	001xx
8, 9, 10, 11	2	010xx
12, 13, 14, 15	3	011xx
16, 17, 18, 19	4	100xx
20, 21, 22, 23	5	101xx
24, 25, 26, 27	6	110xx
28, 29, 30	7	1110x, 11110

x : don't care

(2) デュアル・ライン・モード接続時のポート・アドレス変換

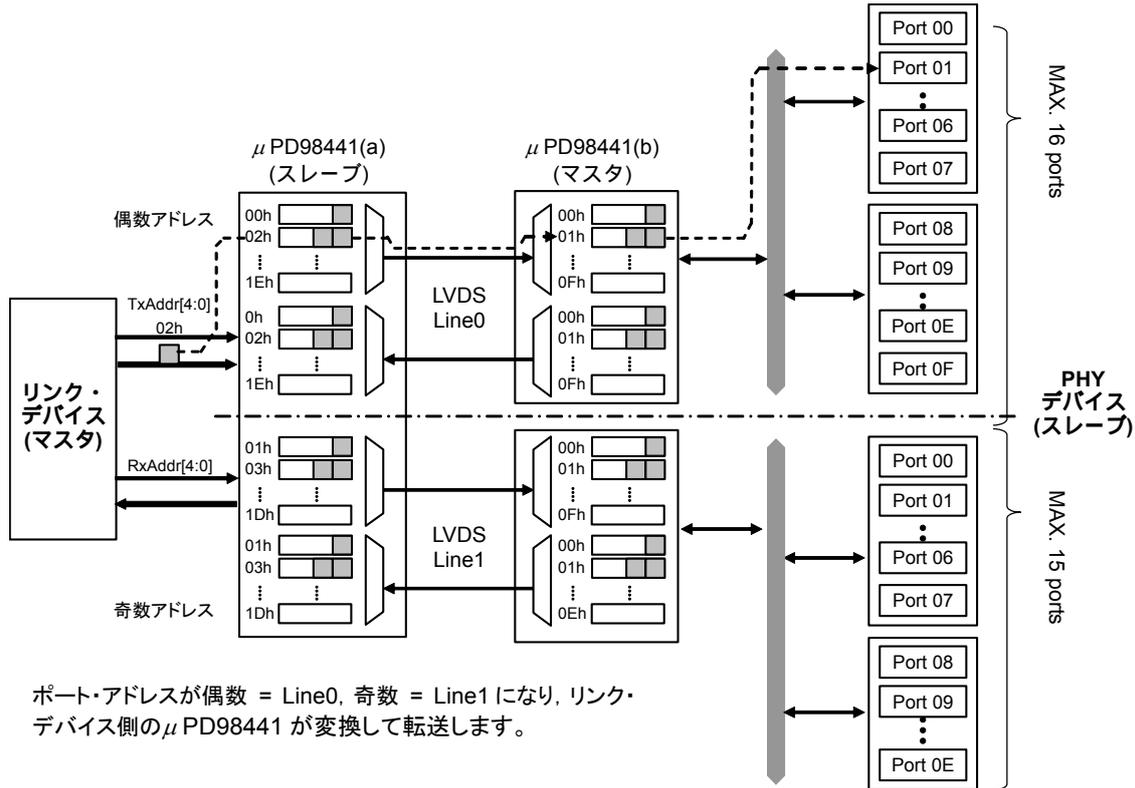
標準アクセス・モードで、かつデュアル・ライン・モードで接続する場合には、ポート・アドレスのアドレスに次のような制限があります。

- 図3 - 29のように、Line0側の μ PD98441には16ポートまで、Line1側の μ PD98441には、15ポートまでの接続になります。
- リンク・デバイス側の μ PD98441の入出力FIFOは、ラインごとに2つの領域に分割して制御します。このとき、Line0の入出力FIFOには偶数アドレスの論理ポートを割り当て、Line1の入出力FIFOには奇数アドレスの論理ポートを割り当てます。ポート・アドレスの偶奇によって転送ラインが決まります。
- リンク・デバイスが、偶数アドレスのポートに入力したセルは、Line0用の入力FIFOに格納され、Line0に出力されますが、そのときポート・アドレスを若い順に00h-0Fhに変換して送ります。逆にLine0側の μ PD98441から受信したポート・アドレス00h-0Fhのセルは、偶数のポート・アドレスに変換してリンク・デバイスに転送されます。PHYデバイス側のポート・アドレスは、00h-0Fhの範囲になります。表3 - 14にアドレスの変換前後の関係を示します。
- Line1のPHYデバイスに転送するため、 μ PD98441に奇数ポート・アドレスで入力されるセルの場合も同様です。Line1に転送する前に、00h-0Ehに変換します。

表3 - 14 デュアル・ライン・モード接続時のポート・アドレス変換

Line0		Line1	
リンク・デバイス	PHY デバイス	リンク・デバイス	PHY デバイス
00h	00h	01h	00h
02h	01h	03h	01h
04h	02h	05h	02h
06h	03h	07h	03h
08h	04h	09h	04h
0Ah	05h	0Bh	05h
0Ch	06h	0Dh	06h
0Eh	07h	0Fh	07h
10h	08h	11h	08h
12h	09h	13h	09h
14h	0Ah	15h	0Ah
16h	0Bh	17h	0Bh
18h	0Ch	19h	0Ch
1Ah	0Dh	1Bh	0Dh
1Ch	0Eh	1Dh	0Eh
1Eh	0Fh		

図3-29 デュアル・ライン・モード接続時のポート・アドレス変換 (UTOPIA 標準アクセス時)



ポート・アドレスが偶数 = Line0, 奇数 = Line1 になり, リンク・デバイス側の μ PD98441 が変換して転送します。

(3) 拡張アクセス・モードのポート・イネーブル

(a) スレーブ・モード (リンク・デバイスに接続される μ PD98441)

標準アクセス・モードの 1Clav ポーリング・モードと同じイネーブル方法です。

(b) マスタ・モード (PHY デバイスに接続される μ PD98441)

4 グループのいずれかのグループでイネーブルにするポートがある場合, すべて IP_IPEN0-IP_IPEN3, OP_IPEN0-OP_IPEN3 レジスタに設定します。拡張アクセス・モードでかつマスタ・モードの場合にかぎっては, IP_BEN, OP_BEN レジスタでグループ単位のイネーブル設定を行う必要があります。デフォルトでは, 入出力インタフェースの 4 グループともにディスエーブルです。

例 グループ 0 とグループ 1 のポート 30 (1Fh) をイネーブルにする場合, OP_IPEN3 の P30 ビットを 1 にセットします。

Clav	レジスタ	7	6	5	4	3	2	1	0
	IP_IPEN0	P7	P6	P5	P4	P3	P2	P1	P0
RxClav0-	IP_IPEN1	P15	P14	P13	P12	P11	P10	P9	P8
RxClav3	IP_IPEN2	P23	P22	P21	P20	P19	P18	P17	P16
	IP_IPEN3	X	P30	P29	P28	P27	P26	P25	P24

Clav	レジスタ	7	6	5	4	3	2	1	0
	OP_IPEN0	P7	P6	P5	P4	P3	P2	P1	P0
TxClav0-	OP_IPEN 1	P15	P14	P13	P12	P11	P10	P9	P8
TxClav3	OP_IPEN 2	P23	P22	P21	P20	P19	P18	P17	P16
	OP_IPEN 3	X	P30	P29	P28	P27	P26	P25	P24

X : Reserved

(4) 論理ポートのディスエーブル

論理ポートをディスエーブルにする場合は、IP_IPEN0-IP_IPEN3，OP_IPEN0-OP_IPEN3 レジスタに 0 をライトし、論理ポートごとにディスエーブルします。全ポートをディスエーブルにする場合も、必ず IP_IPEN0-IP_IPEN3，OP_IPEN0-OP_IPEN3 レジスタの設定をすべて 0 に戻してから、PIEN レジスタで 入出力インタフェースをディスエーブルにします。

注意 論理ポートをディスエーブルにする場合、必ず IP_IPEN0-IP_IPEN3，OP_IPEN0-OP_IPEN3 レジスタで論理ポートの動作をディスエーブルにしてから、PIEN レジスタを 0 に戻してください。IP_IPEN0-IP_IPEN3，OP_IPEN0-OP_IPEN3 レジスタが 1 に設定されたまま、PIEN レジスタを 0 に戻すことは避けてください。

3.4.8 入力 FIFO の設定

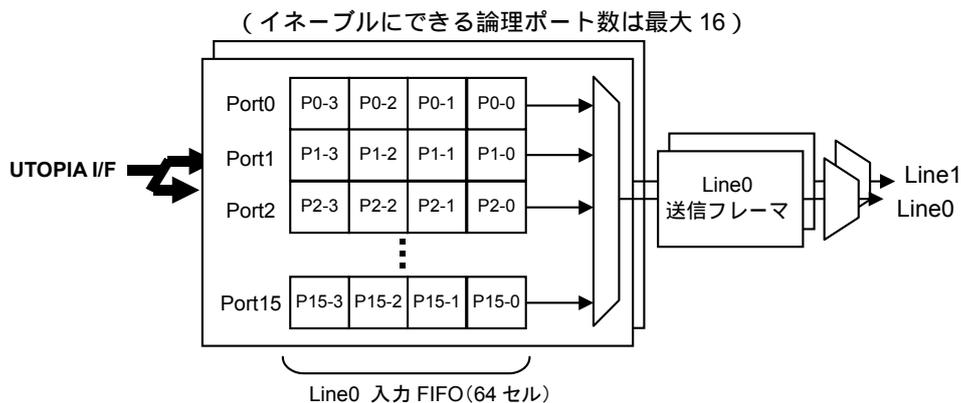
μ PD98441 は、パラレル・インタフェースの入力 FIFO として 64 セル分をラインごとに装備しており、イネーブルの論理ポートでシェアします。デフォルトでは、2 セル領域ずつ 31 ポートに均等に割り当てられています。

イネーブルにする論理ポートの数によっては、各論理ポートに割り当てる FIFO 領域を変更することができます。変更は、IFTMD0 レジスタの IBMD フィールドへの設定で行います。割り当てる FIFO サイズとイネーブル可能なポート数の関係を表 3 - 15 に示します。

表3 - 15 IBMD とイネーブル可能ポート数および、IBALH の関係

IBMD	各ポートに割り当てられる FIFO のサイズ	設定可能な イネーブル・ポート数	設定可能な IBALH
1x	2 セル (32 分割)	31 まで	00
01	4 セル (16 分割)	16 まで	00, 01
00	8 セル (8 分割)	8 まで	00, 01, 1x

図3 - 30 IBMD = 01 の例



拡張アクセス・モードでは、4 グループで同じ論理ポート・アドレスを持つポートのセルが同じ領域に格納されます。

出力 FIFO に関しては、「3.3.6 フロー制御」に記載していますので参照してください。

3.4.9 TxClav 信号の変化条件

μ PD98441 は、スレーブ・モード動作時、入力 FIFO の空き状況に応じて TxClav をデアサートします。ディフォルト・モードでは、入力 FIFO の空き領域が 1 セル分に満たなくなったときに、TxClav をデアサートし、次のセルは受け付けられないことをマスタ・デバイスに通知します。UTOPIA インタフェースのマスタとなって ATM セルを取り扱うデバイスの中には、スレーブ・デバイスの TxClav 信号のデアサートを受けたあと、さらに数セルを送出するものがあります。このようなデバイスと接続する場合に、 μ PD98441 が TxClav 信号をデアサートする入力 FIFO の空き領域条件を変更することができます。設定変更は、IFTMD0 レジスタの IBALH フィールドに行います。入力 FIFO にセルを書き込み始めたとき、さらに書き込み可能な残り空き領域が 1 セル、または 3 セルになったときに TxClav 信号をデアサートするように変更できます。

表3 - 16 TxClav 信号をデアサートする FIFO のしきい値設定

IBALH	TxClav のデアサート条件
1x	転送中のセルを除いた空き領域が 3 セルのときに TxClav をデアサート
01	転送中のセルを除いた空き領域が 1 セルのときに TxClav をデアサート
00	転送中のセルを除いた空き領域が 0 セルのときに TxClav をデアサート

IBALH フィールドへの可能設定値は、各論理ポートに割り当てられているサイズ (IFTMD0 レジスタの IBMD フィールドの設定) に依存しますので注意してください。

表3 - 17 IBMD 設定と設定可能な IBALH との関係

IBMD	各ポートに割り当てられる FIFO サイズ	設定可能な IBALH
1x	2 セル	00
01	4 セル	00, 01
00	8 セル	00, 01, 1x

μ PD98441 が TxClav をデアサートしても、リンク・デバイスがセルを転送し続けた場合、物理的に 1 論理ポートに割り当てられた入力 FIFO の領域がフルになるまでは、 μ PD98441 は受け取り続けます。フルになってもなお、転送し続けられた場合は、入力 FIFO オーバラン・エラーを通知し、そのセルは無視します。

3.4.10 Clav 信号の変化タイミングの変更

μ PD98441 はスレーブ・モード動作時、マスタからのポーリングに対し、入出力 FIFO のステータスに応じて TxClav/RxClav 信号をドライブし応答します。セル転送中のポートが TxClav/RxClav を変化させるタイミングを 2 つのモードから選択することができます。

詳細は、UTOPIA インタフェースのオペレーションについて説明している第 4 章の「4.2.4 UTOPIA スレーブ送信インタフェース」および「4.2.5 UTOPIA スレーブ受信インタフェース」を参照してください。

3.4.11 エラー検出

表3-18と表3-19に、 μ PD98441がUTOPIAモードの平行・インタフェースで監視するエラーを示します。エラーを検出した場合、割り込み要因詳細レジスタ（PIERR_RC/PIERR_R、POERR_RC/POERR_R）に履歴を保持して、MPUに通知します。エラー検出は、割り込み要因にすることができます。

表3-18 入力平行・インタフェースで検出するエラー

エラー	通知レジスタ, ビット	検出条件
パリティ・エラー	PIERR_RC/PIERR_R レジスタ IPYE ビット	TxEnb または RxEnb 信号がアサートされている間に入力されるパケット・データのパリティをチェックします。
再 SOC エラー	PIERR_RC/PIERR_R レジスタ TRSOCE ビット	SOC が一度入力されてから 1 セルの入力が完了する前に、再び SOC が入力された場合に検出します。このとき μ PD98441 は、1 回目の SOC から設定セル長のデータを取り込み、2 回目の不正 SOC を無視します。
SOC エラー (マスタ時のみ)	PIERR_RC/PIERR_R レジスタ TSOCE ビット	μ PD98441 がマスタ動作時、RxClav = 1 の論理ポートを選択したが、SOC が入力されなかった場合に検出します。RxEnb をアサートしたクロックの立ち上がりエッジから、3 クロック後までに SOC のアサートを検出できなかった場合は、SOC エラーとし、 μ PD98441 はそのクロックの立ち上がりエッジで RxEnb をデアサートします。
セレクション・エラー (スレーブ時のみ)	PIERR_RC/PIERR_R レジスタ TSELE ビット	μ PD98441 がスレーブ動作時、TxClav で 1 を出力していない論理ポートが、リンク・デバイスによって選択された場合に検出します。
再セレクション・エラー (スレーブ時のみ)	PIERR_RC/PIERR_R レジスタ TRSELE ビット	μ PD98441 がスレーブ動作時、セルの入力途中で TxEnb がデアサートされて転送中断状態になったあと、再び TxEnb がアサートされるときに、別の論理ポートが選択された場合に検出します。
入力 FIFO オーバフロー	TBOE_RC/TBOE_R レジスタ TBOE0, TBOE1 ビット	入力 FIFO でオーバフローが発生した場合に検出します。オーバフローの要因になった論理ポートのアドレスは、L0TBOA, L1TBOA レジスタに格納されます。

表3-19 出力平行・インタフェースで検出するエラー (UTOPIA モード)

エラー	通知レジスタ, ビット	検出条件
セレクション・エラー (スレーブ時のみ)	POERR_RC/POERR_R レジスタ RSELE ビット	μ PD98441 がスレーブ動作時、RxClav で 1 を出力していない論理ポートが、リンク・デバイスによって選択された場合に検出します。
再セレクション・エラー (スレーブ時のみ)	POERR_RC/POERR_R レジスタ RRSELE ビット	μ PD98441 がスレーブ動作時、セルの出力途中で RxEnb がデアサートされて転送中断状態になったあと、再び RxEnb がアサートされるときに、別の論理ポートが選択された場合に検出します。
出力 FIFO オーバフロー	RBOE_RC/RBOE_R レジスタ RBOE0, RBOE1 ビット	出力 FIFO でオーバフローが発生した場合に検出します。オーバフローの要因になった論理ポートのアドレスは、L0TBOA, L1TBOA レジスタに格納されます。

3.4.12 カウンタ機能

UTOPIA インタフェースでは、表 3 - 20 に示すカウンタを備えています。各種カウンタの詳細については、「3.7 カウンタ機能」を参照してください。

表3 - 20 UTOPIA インタフェースでカウントするイベント

カウント・ブロック	カウンタ名	カウンタ長	カウント単位
入力パラレル・ インタフェース	入力データ・カウンタ	32	セル / パケット
	パリティ・エラー・カウンタ	16	ワード
出力パラレル・ インタフェース	出力データ・カウンタ	32	セル / パケット

3.4.13 バス幅設定の異なる μ PD98441の接続

μ PD98441を接続しあうときは、ともに同じバス幅に設定することを基本としていますが、ある制限下では異なるバス幅に設定した場合でも動作させることができます。 μ PD98441は、バス幅が増える場合（8ビット 16ビット，8/16ビット 32ビット）には、セルにUDFを追加し、バス幅が減る場合（32/16ビット 8ビット，32ビット 16ビット）には、セルからUDF領域を削除してパラレル・インタフェースに出力します。

UDFの追加/削除の動作は、バス幅設定が小さい側の μ PD98441で行います。バス幅設定の異なる μ PD98441を接続する場合、バス幅設定が小さい側の μ PD98441のCHGBレジスタに設定する必要があります。バス幅設定が大きい側の μ PD98441には設定する必要はありません。

追加するUDF2-4の内容は、ADUDF2-4レジスタに設定した値が格納されます。

例 図3-31の場合、 μ PD98441(b)のCHGBレジスタのCBSZフィールドに“01h”と設定します。

表3-21 CHGBレジスタのCBSZフィールド設定

CBSZ	設定内容
11	対向 μ PD98442のバス幅が32ビット
10	対向 μ PD98441のバス幅が16ビット
00	対向 μ PD98441とバス幅が同じ、あるいは大きい

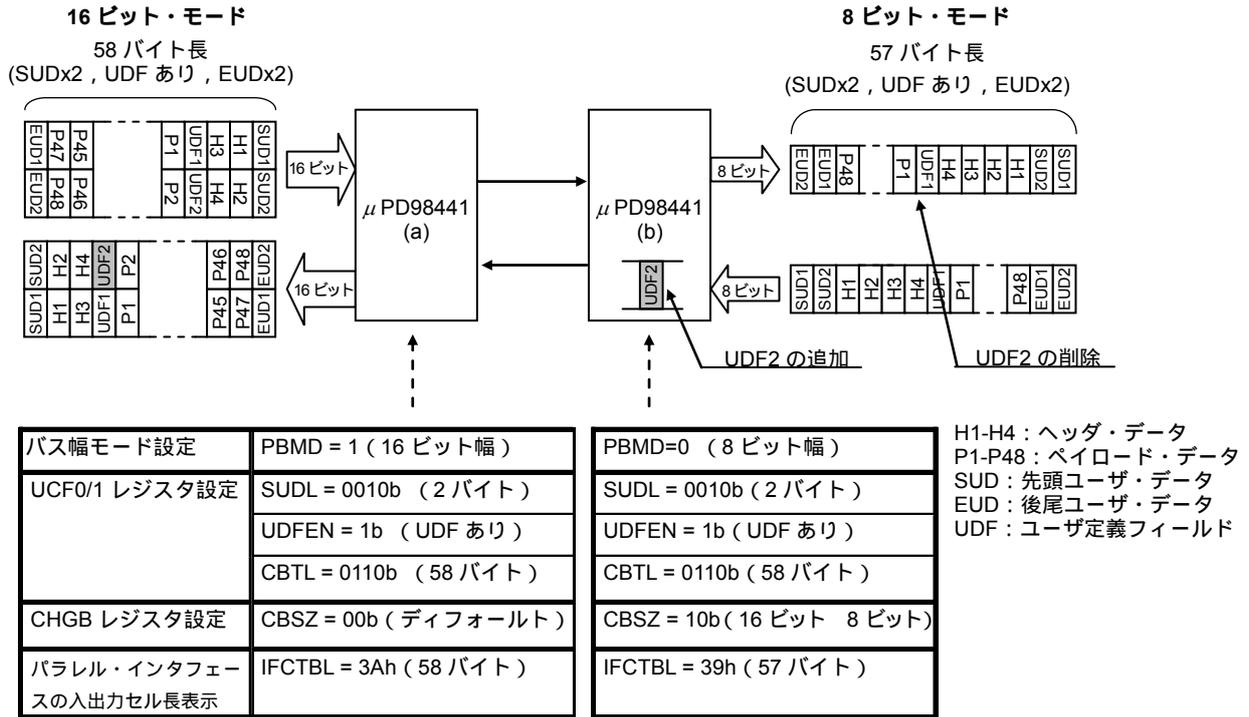
[標準アクセス・モード、および拡張アクセス・モードでの制限事項]

- ・リモートのデバイスが μ PD98441の場合、先頭ユーザ・データ・フィールドとトータル・セル長の設定サイズは、偶数（2バイト単位の設定）でなければなりません。
- ・リモートのデバイスが μ PD98442で32ビット幅に設定されている場合は、先頭ユーザ・データ・フィールドとトータル・セル長の設定サイズは、4の倍数でなければなりません。
- ・16ビット側の μ PD98441に入力するセルのUDF2フィールドは、8ビット側の μ PD98441で削除されます。
- ・バス幅の異なる μ PD98441を接続する場合、バス幅が小さい側の μ PD98441（CHGBレジスタのCBSZフィールドに00以外を設定している μ PD98441）にはALPSモードを設定しないでください。ALPSモードでは、UDFの挿入/削除が実行できないため、データが正しくループされません。

[拡張アクセス・モードでの制限事項]

- ・バス幅変換で削除されるUDF2フィールドをポート識別子のフィールドとして指定することはできません。指定した場合、 μ PD98441は、正しく動作できません。

図3 - 31 バス幅設定の異なるμPD98441の接続



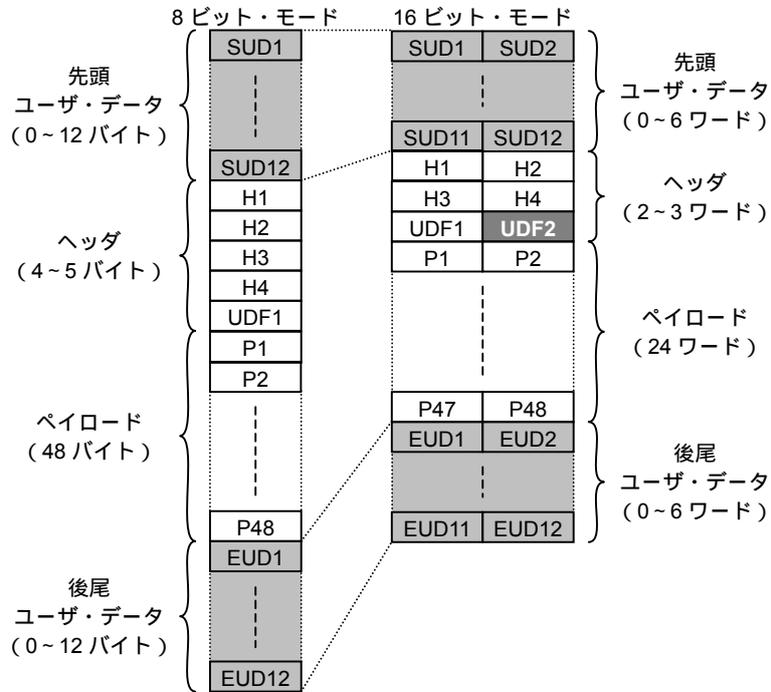
- ・バス幅設定が小さい側のμPD98441のCHGBレジスタを変更します。
- ・両デバイスのUCF0/UCF1レジスタのセル・フォーマット関連設定には、シリアル・インタフェース上を伝送するセルのフォーマットを設定します。
- ・UDF2の削除後、実際にパラレル・インタフェースを入出力されるセル長は、IFCTBLレジスタに表示されます。

(1) 8ビット 16ビット変換

8ビット 16ビット：UDF1の後にUDF2を追加します。UDF2の値はADUDF2レジスタの設定値です。

16ビット 8ビット：UDF2を削除します。

図3-32 8ビットから16ビットへのバス幅変換

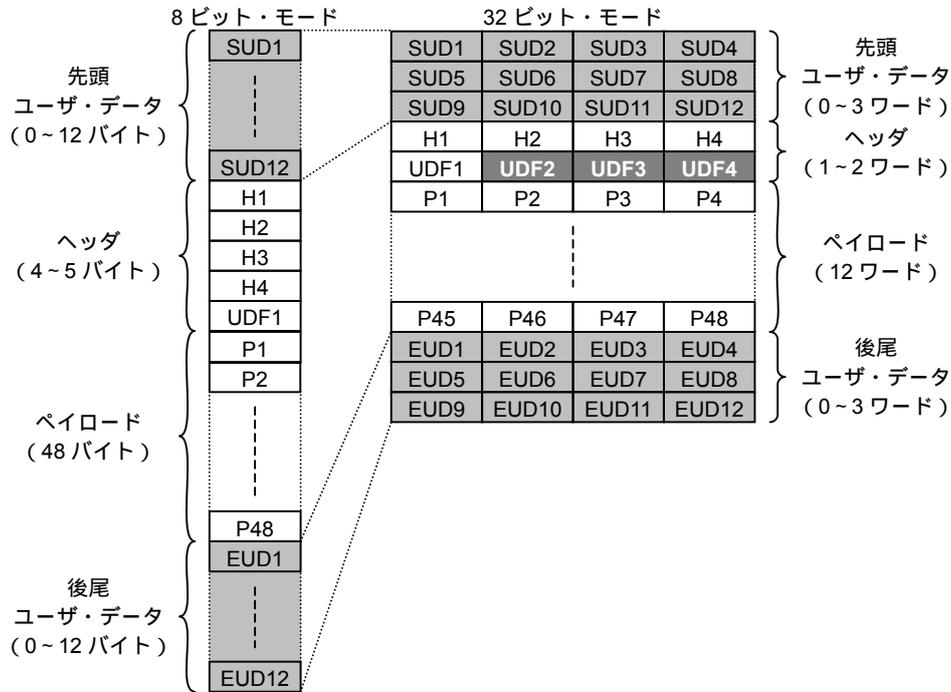


(2) 8ビット 32ビット変換

8ビット 32ビット： UDF1 の後に UDF2 , UDF3 , UDF4 を追加します。UDF2 の値は ADUDF2 , ADUDF3 , ADUDF4 レジスタの設定値です。

32ビット 8ビット： UDF2 , UDF3 , UDF4 を削除します。

図3 - 33 8ビットから32ビットへのバス幅変換

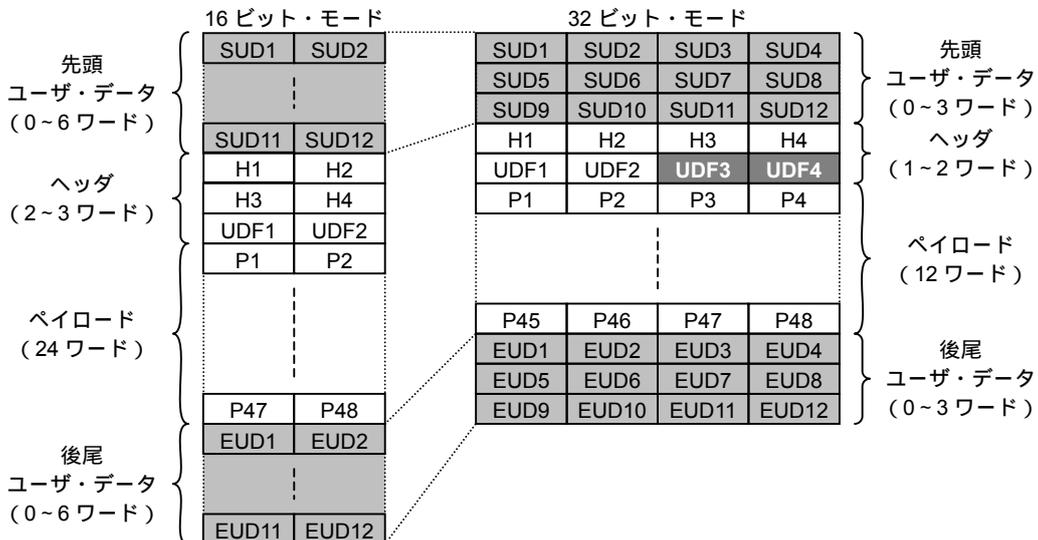


(3) 16ビット 32ビット変換

16ビット 32ビット： UDF2 の後に UDF3 , UDF4 を追加します。UDF3 , UDF4 の値は ADUDF3 , ADUDF4 レジスタの設定値です。

32ビット 16ビット： UDF3 , UDF4 を削除します。

図3 - 34 16ビットから32ビットへのバス幅変換



3.5 POS-PHY Level2 パラレル・インタフェース

POS-PHY インタフェースは、上位リンク・デバイスと POS-PHY デバイス間でパケットを転送するインタフェースです。 μ PD98441 の POS-PHY モードには、次の特徴があります。

- POS-PHY Level2 に適合
- 最大 16 ポートまでのマルチ PHY 接続
- パケット・レベル・トランスファをサポート（マスタ・モードの場合、バイト・レベル・トランスファも選択可能）
- マスタ、スレーブの切り替えが可能
- パリティの生成、検証機能をサポート
- 16 ビットのデータ・バスで、最大 52 MHz のクロックに同期してデータ転送
- 各ポートに 256 バイトの入力 FIFO を装備、出力 FIFO は 512 バイト
- 入力 FIFO の DTPA（PTPA）のしきい値条件（入力 FIFO の空きワード数）を設定可能
- 最低 5 バイト長のパケットを入力可能（4 バイト以下のサイズのパケットは入力不可）

3.5.1 マスタ / スレーブ動作の切り替え

μ PD98441 は、POS-PHY Level 2 のマスタ、スレーブの両方のモードをサポートしています。どちらで動作するかは、リセット後の MSM 端子への入力レベルによって決まります。

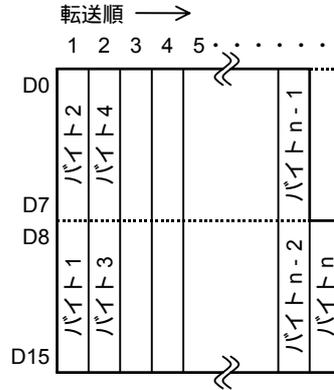
表3 - 22 POS-PHY のマスタ / スレーブ設定

項目	説明	MSM 端子
マスタ	PHY デバイスと接続するモードです。 μ PD98441 は、アドレス信号を出力して論理ポートの FIFO ステータスをポーリングします。ポーリング結果からポートを選択して、パケットの入出力を制御します。	1
スレーブ	リンク・デバイスと接続するモードです。 μ PD98441 は、リンク・デバイスからの FIFO ステータスのポーリングにパケット・アベイラブル（PTPA/PRPA）信号で応答し、リンク・デバイスのイネーブル信号の制御に従って、パケットの取り込み、転送を行います。	0

3.5.2 パケットのフォーマット

図3-35に POS-PHY インタフェース上を伝送するパケットのフォーマットを示します。2 バイトを 1 ワードとして構成されます。パケットの最終ワードは、1 バイトもしくは 2 バイトになります。 μ PD98441 は、パケットの内容についてチェックすることはありません。

図3-35 パケットの構造



注意 μ PD98441 の POS-PHY モードは、4 バイト以下のパケットの処理を行うことができません。最小でも 5 バイト以上のパケットを入力する必要があります。

3.5.3 トランスファ・モード

μ PD98441 は、パケット・レベル・トランスファ・モードをサポートしています。パケット・レベルでは、リンク・デバイスは、接続デバイスの入出力 FIFO ステータスをポーリングによって調べます。データを転送している間、リンク・デバイスは、個々の論理ポートをポーリングするためにアドレス信号を使用します。

マスタ・モードにかぎっては、パケット・レベルとバイト・レベルの両方のトランスファ・モードをサポートしており選択が可能です。選択は PIMD レジスタの PLMD フィールドへの設定で行います。バイト・レベル・トランスファ・モードの場合、すべての論理ポートは、入出力 FIFO のステータスを個別の DTPA/DRPA 信号で通知します。リンク・デバイスは、入力されるすべての DTPA/DRPA を調べて、ポート・アドレスを送出することにより論理ポートを選択します。アドレス信号は、論理ポートの選択のみに使用されます。

表3-23 トランスファ・モード

PIMD : PLMD	モード	FIFOの状態を知る方法
x1	バイト・レベル・モード (マスタ・モードのみ設定可)	バイト・レベル・モードでは、スレーブ・デバイスの各論理ポートに、FIFO 状態を示す個別の DTPA 信号を割り当てます。スレーブ・デバイスは、ポートごとに割り当てられた DTPA[15:0]信号に FIFO の状態を出力します。バイト・レベル・モードでは、PTPA 信号を使用しません。 バイト・レベル・モードの場合、パケットの転送途中に転送先 / 転送元のポートを切り替えます。
x0	パケット・レベル・モード	パケット・レベル・モードは、マスタ・デバイスがスレーブ・デバイスの FIFO 状態を知るために、アドレスを出力して問い合わせる“ポーリング”を実施するモードです。スレーブ・デバイスは、TADR[4:0]上のポート・アドレスをチェックし、そのアドレスの入力 FIFO の転送可能状態を PTPA に出力します。また、選択されているポートは、入力 FIFO の状態を、SPTA 信号に出力します。 パケット・レベル・モードの場合、一度パケットの転送を開始すると、パケットの最終バイトを転送し終えるまで、送信元 / 送信先のポートを切り替えることはありません。

3.5.4 サポート論理ポート数

POS-PHY モードでは、 μ PD98441 を介してリンク・デバイスに接続できる PHY デバイスの論理ポート数は 16 までとなっています。デュアル・ライン・モードにおいては、リンク・デバイスから見た接続可能な論理ポート数は 31 までになります。リンク・デバイスは論理ポートの指定を 5 ビットのアドレス信号 (TADR[4:0], RADR[4:0]) で行い、アドレス 1Fh が Null アドレスにアサインされているため、31 が上限となります。

表3 - 24 POS-PHY モードでの接続可能なポート数

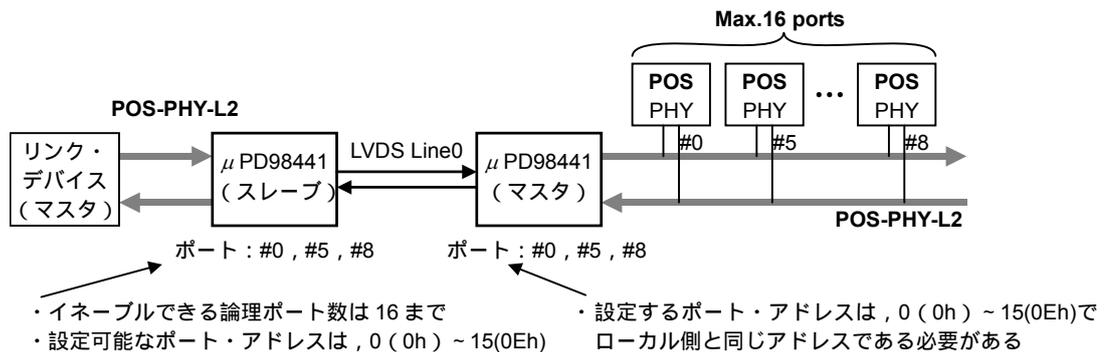
ライン・モード	最大接続ポート数
シングル	16
デュアル	Line0 側 : 16 Line1 側 : 15

備考 POS-PHY モードには、UTOPIA モードの拡張アクセス・モードに相当する機能はありません。

(1) シングル・ライン・モード接続

シングル・ライン・モード接続の場合、1 リンク・デバイスに接続できる論理ポート数は、図 3 - 36 のように 16 までになります。リンク・デバイスが使用できるポート・アドレスは、0h ~ 0Eh の範囲になります。また、ローカルとリモートで設定するポート・アドレスは、同じでなければなりません。

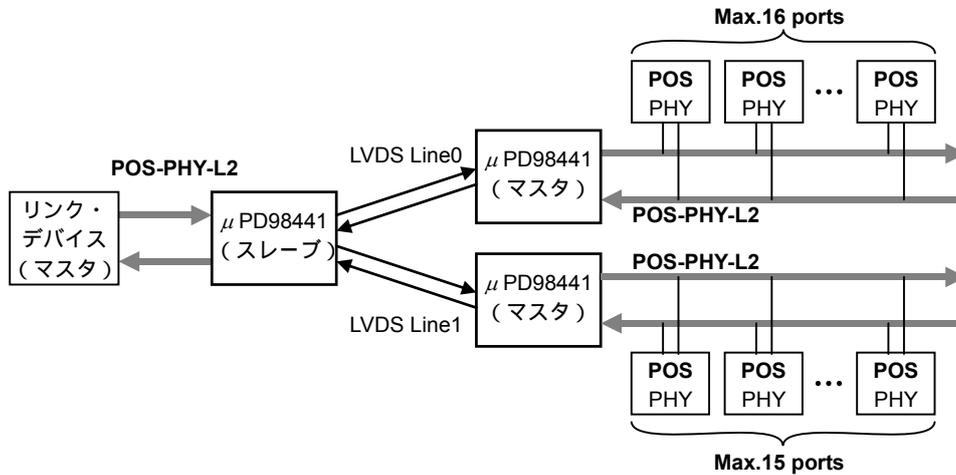
図3 - 36 POS-PHY シングル・ライン・モード接続



(2) デュアル・ライン・モード接続

デュアル・ライン・モード接続の場合、1リンク・デバイスに接続できる論理ポート数は、図3-37のように31までになります。リンク・デバイスが使用できるポート・アドレスは、0(h)～1E(h)の範囲になります。ポート・アドレスが偶数か奇数によって、Line0かLine1に振り分けれます。

図3-37 POS-PHY デュアル・ライン・モード接続



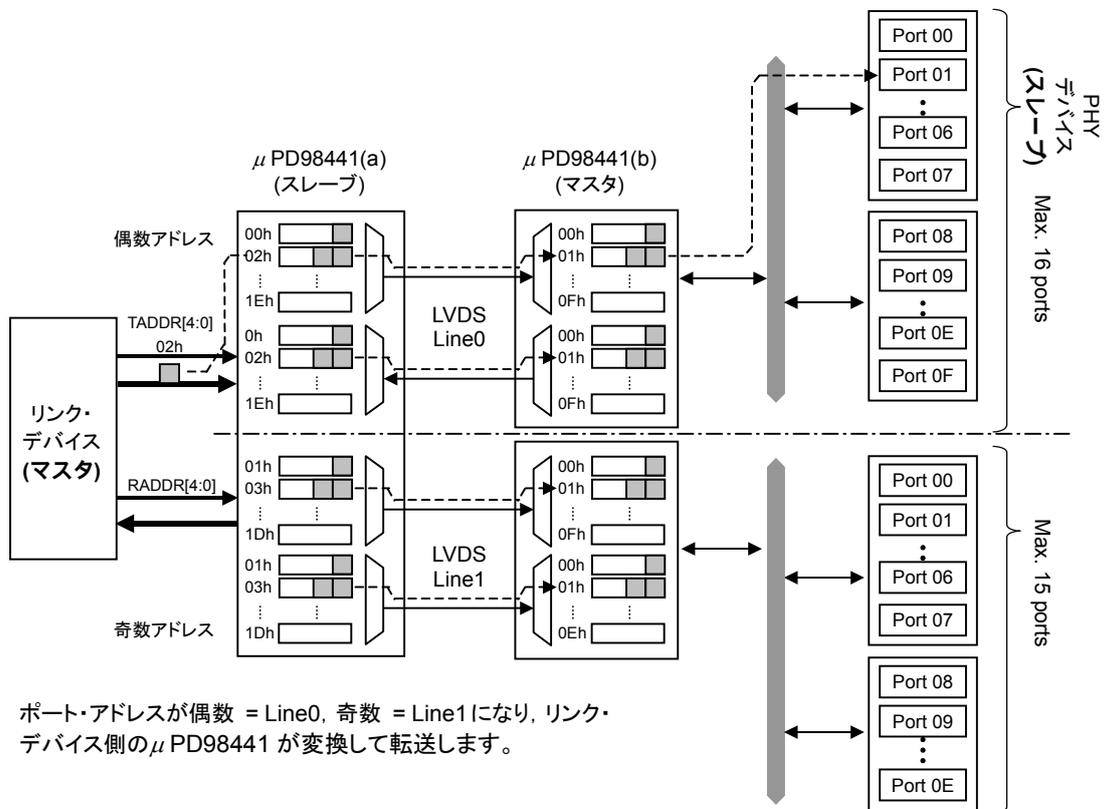
デュアル・ライン・モードで接続する場合には、ポート・アドレスのアサインに次のような制限があります。

- デュアル・ライン・モードの場合、Line0に接続しているμPD98441には16ポートまでを接続でき、Line1に接続しているμPD98441には15ポートまでの接続ができます。
- リンク・デバイス側のμPD98441の入出力FIFOは、ラインごとに2つに分割して制御されます。また、ポート・アドレスも偶数と奇数の2つのグループに固定的に分割されます。Line0の入出力FIFOには偶数アドレスのポートが割り当てられ、Line1の入出力FIFOには奇数アドレスを持つポートが割り当てられます。
- リンク・デバイスが偶数アドレスのポートに入力したセルは、Line0用の入力FIFOに格納され、Line0のμPD98441に転送するときに、ポート・アドレスを若い順に00h-0Fhに変換して送出します。逆にLine0側のμPD98441から受信したポート・アドレス00h-0Fhのパケットは、偶数のポート・アドレスに変換してリンク・デバイスに転送されます。PHYデバイス側のポート・アドレスは、00h-0Fhの範囲になります。
- Line1のPHYデバイスに転送するため、μPD98441に奇数ポート・アドレスで入力されるパケットの場合も同様です。Line1に転送する前に、00h-0Ehに変換します。

表3-25 デュアル・ライン・モードの場合のポート・アドレス変換

Line0		Line1	
リンク・デバイス	PHY デバイス	リンク・デバイス	PHY デバイス
00h	00h	01h	00h
02h	01h	03h	01h
04h	02h	05h	02h
06h	03h	07h	03h
08h	04h	09h	04h
0Ah	05h	0Bh	05h
0Ch	06h	0Dh	06h
0Eh	07h	0Fh	07h
10h	08h	11h	08h
12h	09h	13h	09h
14h	0Ah	15h	0Ah
16h	0Bh	17h	0Bh
18h	0Ch	19h	0Ch
1Ah	0Dh	1Bh	0Dh
1Ch	0Eh	1Dh	0Eh
1Eh	0Fh		

図3-38 デュアル・ライン・モード接続時のポート・アドレス変換 (POS-PHY 標準アクセス時)



ポート・アドレスが偶数 = Line0, 奇数 = Line1になり, リンク・デバイス側のμPD98441 が変換して転送します。

3.5.5 論理ポートのイネーブル/ディスエーブル制御

IP_IPEN, OP_IPEN レジスタにイネーブルにするポートを設定します。論理ポートの番号が、そのままポート・アドレスになります。これらレジスタへの設定後、PIEN レジスタで入出力パラレル・インタフェースをイネーブルにすることで μ PD98441 はパケットの入出力動作を開始します。

(1) シングル・ライン・モード接続時のポート・イネーブル

ユーザは、使用するポート・アドレスに対応する IP_IPEN, OP_IPEN レジスタのビットを 1 に設定します。P0~P15 の範囲で設定します。リンク・デバイス側と PHY デバイス側の μ PD98441 でイネーブルにするポート・アドレスは同じでなければなりません。

例 P7 を 1 に設定した場合は、ポート・アドレス 07h のポートがイネーブルになります。

レジスタ	7	6	5	4	3	2	1	0
IP_IPEN0	P7	P6	P5	P4	P3	P2	P1	P0
IP_IPPE1	P15	P14	P13	P12	P11	P10	P9	P8
IP_IPPE2	未使用							
IP_IPPE3	未使用							

レジスタ	7	6	5	4	3	2	1	0
OP_IPEN0	P7	P6	P5	P4	P3	P2	P1	P0
OP_IPEN 1	P15	P14	P13	P12	P11	P10	P9	P8
OP_IPEN 2	未使用							
OP_IPEN 3	未使用							

(2) デュアル・ライン・モード接続時のポート・イネーブル

ユーザは、使用したいポート・アドレスに対応するビットを 1 に設定します。リンク・デバイス側の μ PD98441 は P0~P30 の範囲で設定し、PHY デバイス側の μ PD98441 は P0~P15 の範囲で設定します。リンク・デバイス側の μ PD98441 で偶数アドレス (P0, P2, P4 ...) は Line0 に、奇数アドレス (P1, P3, P5 ...) は Line1 にアサインされます。リンク・デバイスと PHY デバイス間の μ PD98441 がポート・アドレスを変換しますので注意してください。「表 3-25 デュアル・ライン・モードの場合のポート・アドレス変換」を参照してください。

例 1. リンク・デバイス側の μ PD98441 は P0~P30 の範囲で設定します。P7 を 1 に設定した場合は、ポート・アドレス 07h のポートがイネーブルになり、そのポートは Line1 へ転送するポートとしてアサインされます。

リンク・デバイス側の μ PD98441

レジスタ	7	6	5	4	3	2	1	0
IP_IPEN0	P7	P6	P5	P4	P3	P2	P1	P0
IP_IPPE1	P15	P14	P13	P12	P11	P10	P9	P8
IP_IPPE2	P23	P22	P21	P20	P19	P18	P17	P16
IP_IPPE3	X	P30	P29	P28	P27	P26	P25	P24

2. Line0 に接続した PHY デバイス側の μ PD98441 は P0 ~ P15 の範囲で、Line1 に接続した μ PD98441 は P0 ~ P14 の範囲で設定します。リンク・デバイス側の μ PD98441 の P7 を 1 に設定した場合、そのポートに入力されるパケットは、Line1 側に転送されます。ポート・アドレスは、 μ PD98441 によって 07h 03h に変換されるため、Line1 に接続した μ PD98441 の P3 をイネーブルにします。

PHY デバイス側の μ PD98441

レジスタ	7	6	5	4	3	2	1	0
IP_IPEN0	P7	P6	P5	P4	P3	P2	P1	P0
IP_IPPE1	P15	P14	P13	P12	P11	P10	P9	P8
IP_IPPE2	未使用							
IP_IPPE3	未使用							

(3) 論理ポートのディスエーブル

論理ポートをディスエーブルにする場合は、IP_IPEN0-IP_IPEN3、OP_OPEN0-OP_OPEN3 レジスタに 0 をライトし、論理ポートごとにディスエーブルします。全ポートをディスエーブルにする場合も、必ず IP_IPEN0-IP_IPEN3、OP_OPEN0-OP_OPEN3 レジスタの設定をすべて 0 に戻してから、PIEN レジスタで入出力インタフェースをディスエーブルにします。

注意 論理ポートをディスエーブルにする場合、必ず IP_IPEN0-IP_IPEN3、OP_OPEN0-OP_OPEN3 レジスタで論理ポートの動作をディスエーブルにしてから、PIEN レジスタを 0 に戻してください。IP_IPEN0-IP_IPEN3、OP_OPEN0-OP_OPEN3 レジスタが 1 に設定されたまま、PIEN レジスタを 0 に戻すことは避けてください。

3.5.6 入力 FIFO のしきい値設定

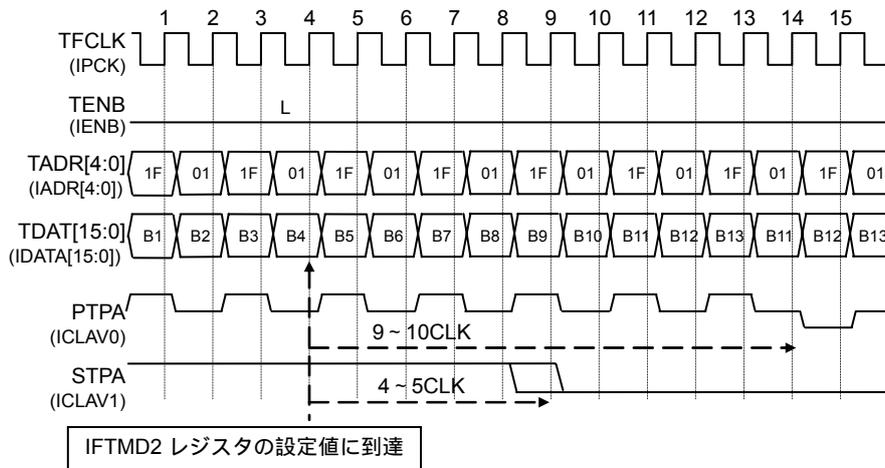
μ PD98441 は、各論理ポートに 256 バイトの入力 FIFO を割り当てます。 μ PD98441 がスレーブ・モードで動作しているとき、マスタ・デバイスのポーリングに対しては PTPA 信号により、転送中の論理ポートは STPA 信号により、入力 FIFO のデータ格納状態を通知します。バイト・レベル・モードの場合は、DTPA 信号により通知します。PTPA/DTPA/STPA 信号の応答条件は、レジスタに設定する 2 つのしきい値を用いて、ヒステリシスを持たせた制御が可能です。

(1) PTPA/DTPA/STPA 信号のデアサート条件

入力 FIFO の空き領域が IFTMD2 レジスタに設定されたしきい値以下になると、そのポートは受け付け不可能とし、PTPA/DTPA/STPA をデアサートします。IFTMD2 レジスタには、空き領域を 4 バイト単位で設定します。デフォルト設定は 24 バイトになっており、空き領域が 24 バイト以下になると、PTPA/DTPA/STPA をデアサートします。

備考 μ PD98441 は、データを 4 バイト単位で入力 FIFO に書き込みます。 μ PD98441 がスレーブ・モードで動作しているとき、入力 FIFO の空き領域が IFTMD2 レジスタに設定されたしきい値になるデータが入力されてから、 μ PD98441 が STPA をデアサートするまでには、4~5 クロックの遅延があり、PTPA をデアサートするまでには 9~10 クロックの遅延があります。

図3 - 39 STPA/PTPA をデアサートするまでの遅延



(2) PTPA/DTPA/STPA 信号のアサート条件

入力 FIFO の空き領域が IFTMD1 レジスタに設定されたしきい値より大きくなると、そのポートを転送可として、PTPA/DTPA/STPA をアサートします。IFTMD1 レジスタには、空き領域を 4 バイト単位で設定します。デフォルト設定は 24 バイトになっており、空き領域が 24 バイトより大きくなると、PTPA/DTPA/STPA をアサートします。

3.5.7 エラー検出

表3-26と表3-27に、 μ PD98441がPOS-PHYモードの平行・インタフェースで監視するエラーを示します。エラーを検出した場合、割り込み要因詳細レジスタ（PIERR_RC/PIERR_R、POERR_RC/POERR_R）に履歴を保持して、MPUに通知します。エラー検出は、割り込み要因にすることができます。

表3-26 入力平行・インタフェースで検出するエラー（POS-PHYモード）

エラー	通知レジスタ/ビット	検出条件
不正 EOP エラー	PIERR_RC/PIERR_R レジスタ TEOPE ビット	入力されるパケットの SOP と EOP の順番を監視します。EOP の受信後、通常は次のパケットの SOP を受信する順番なのに、再度不正 EOP を受信した場合に検出します。
不正 SOP エラー	PIERR_RC/PIERR_R レジスタ TRSOCE ビット	入力されるパケットの SOP と EOP の順番を監視します。SOP の受信後、通常は転送中パケットの EOP を受信する順番なのに、再度不正 SOP を受信した場合に検出します。
パリティ・エラー	PIERR_RC/PIERR_R レジスタ IPYE ビット	TENB または RENB 信号がアサートされている間に入力されるパケット・データのパリティをチェックします。
SOP エラー (マスタ時のみ)	PIERR_RC/PIERR_R レジスタ TSOCE ビット	μ PD98441 がマスタ動作時、PRPA が 1 の論理ポートを選択したにもかかわらず、SOP が入力されない場合に検出します。RENB をアサートしたクロックの立ち上がりエッジから 3 クロック後の立ち上がりエッジまでに SOP のアサートを検出できなかった場合は、SOP エラーとし、 μ PD98441 はその立ち上がりエッジで RENB をデアサートします。
セレクション・エラー (スレーブ時のみ)	PIERR_RC/PIERR_R レジスタ TSELE ビット	μ PD98441 がスレーブ動作時、PTPA で 1 を出力していない論理ポートがリンク・デバイスによって選択された場合に検出します。
入力 FIFO オーバーフロー	TBOE_RC/TBOE_R レジスタ TBOE0, TBOE1 ビット	入力 FIFO でオーバーフローが発生した場合に検出します。オーバーフローの要因になった論理ポートのアドレスは、L0TBOA, L1TBOA レジスタに格納されます。

注意 SOP エラーは、制限事項により使用することができません。 μ PD98441 が SOP エラーを検出した場合（PIERR レジスタの TSOCE ビット = 1）、それを無視するようにしてください。詳細については、「第9章 制限事項」を参照してください。

備考 1. POS-PHY モードでは、UTOPIA モードの再セレクション・エラーに相当するエラーの監視は行いません。

2. 送信側の μ PD98441 は、入力平行・インタフェースでオーバーフローが発生したことを対向の μ PD98441 には通知しません。オーバーフローによって、EOP、または SOP が廃棄されたパケットを受信したりリモート μ PD98441 は、不正 SOP、EOP エラーを検出します。パケットの途中データのみが廃棄された場合には、リモート μ PD98441 は特にエラーを検出せず、平行側側へ出力しますので、上位リンク・デバイスが不完全なパケットとして検知します。

表3 - 27 出力パラレル・インタフェースで検出するエラー (POS-PHY モード)

エラー	通知レジスタ/ビット	検出条件
パケット・エラー	POERR_RC/POERR_R レジスタ PKTHECE ビット	エラー・パケット (TERR/RERR を 1 のパケット) を出力パラレル・インタフェースに送出したことを通知します。
セレクション・エラー (スレーブ時のみ)	POERR_RC/POERR_R レジスタ RSELE ビット	μ PD98441 がスレーブ動作時, PRPA で 1 を出力していない論理ポートがリンク・デバイスによって選択された場合に検出します。
出力 FIFO オーバーフロー	RBOE_RC/RBOE_R レジスタ RBOE0, RBOE1 ビット	出力 FIFO でオーバーフローが発生した場合に検出します。オーバーフローの要因になった論理ポートのアドレスは, L0RBOA, L1RBOA レジスタに格納されます。

3.5.8 カウンタ機能

POS-PHY インタフェースには, 表 3 - 28 に示すイベントをカウントするカウンタを備えています。各種カウンタの詳細については, 「3.7 カウンタ機能」を参照してください。

表3 - 28 パラレル・インタフェースで検出するエラー (POS-PHY モード)

カウント・ブロック	カウンタ名	カウンタ長	カウント単位
入力パラレル・ インタフェース	入力データ・カウンタ	32	セル/パケット
	パリティ・エラー・カウンタ	16	ワード
出力パラレル・ インタフェース	出力データ・カウンタ	32	セル/パケット
	出力エラー・パケット・カウンタ	16	パケット

3.6 POS-PHY/UTOPIA インタフェース変換

互いに接続される2つの μ PD98441は、ともに同じパラレル・インタフェース・モードに設定されることを基本アプリケーションとしています(UTOPIA-to-UTOPIA, POS-PHY-to-POS-PHY)。ただし、ある制限下においては、異なるパラレル・インタフェース・モードに設定された μ PD98441を接続することができます(UTOPIA-to-POS-PHY)。その場合、POS-PHYモードの μ PD98441に入力された固定長のパケットは、対向側UTOPIAモードの μ PD98441がセルとして出力します。UTOPIAモードの μ PD98441に入力したセルは、POS-PHYモードの μ PD98441が固定長のパケットとして出力します。

図3-40は、リンク・デバイス側の μ PD98441をデュアル・ライン・モードに設定し、一方をPOS-PHYモードに、もう一方をUTOPIAモードに設定した場合の接続例です。この場合、接続できる最大ポート数は、表3-29のようになります。

図3-40 UTOPIA と POS の混在接続

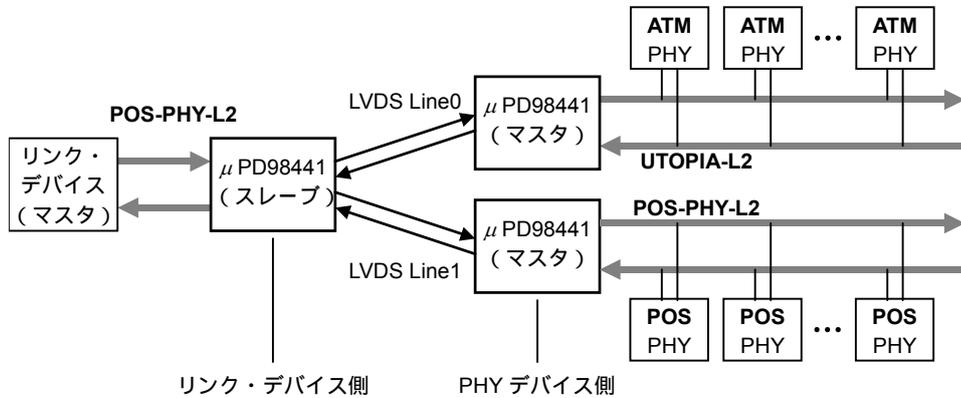


表3-29 POS, UTOPIA が混在した場合の接続可能ポート数

アクセス・モード	ライン・モード	リンク・デバイス側 μ PD98441 のモード	PHY デバイス側 μ PD98441 のモード			
			Line0 側		Line1 側	
			POS-PHY	UTOPIA	POS-PHY	UTOPIA
標準	シングル	POS-PHY	-	16	-	-
		UTOPIA	16	-	-	-
	デュアル	POS-PHY	16	16	15	15
		UTOPIA	16	16	15	15
拡張	シングル	UTOPIA	16	124	-	-
	デュアル	UTOPIA	16	124	16	124

図 3 - 40のような接続における各アクセス・モードでの動作は次のようになります。

標準アクセス・モードの場合

- ・デュアル・ライン・モードでは、リンク・デバイス側の μ PD98441の入出力 FIFO は、ラインごとに2つの領域に分割して制御されます。このとき、送受信 FIFO の2分割に伴って、ポート・アドレスについても偶数と奇数の2つのグループに分割されます。Line0の送受信 FIFO には偶数アドレスのポートを割り当て、Line1の送受信 FIFO には奇数アドレスを割り当てる形になります。
- ・リンク・デバイスが、偶数アドレスのポートに入力したセルは、Line0用の送信 FIFO に格納され、Line0に転送するときに、ポート・アドレスを若い順に 00h-0Fh に変換して送出します。逆に Line0側の μ PD98441から受信したポート・アドレス 00h-0Fhのセルは、偶数のポート・アドレスに変換してリンク・デバイスに転送されます。PHY デバイス側のポート・アドレスは、00h-0Fhの範囲になります。(「表 3 - 25 デュアル・ライン・モードの場合のポート・アドレス変換」参照)
- ・図 3 - 40のような接続ケースでは、偶数アドレスに入力したデータが、POS-PHY データとして Line0に、奇数アドレスのデータが、UTOPIA データとして Line1に送信されます。

拡張アクセス・モードの場合

POS-PHY モードは、拡張アクセス・モードをサポートしていませんので、拡張アクセス・モードで利用する場合、リンク・デバイス側は、UTOPIA モードのみになります。

リンク・デバイスがパケットの先頭に付加するライン識別子で、 μ PD98441は、Line0またはLine1に分配を行います。ライン識別子が“0”のパケットは、POS-PHY データとして Line0へ、ライン識別子が“1”のデータは UTOPIA データとして Line1に送信されます。

3.6.1 インタフェース変換の注意点

パラレル・インタフェース・モードの異なる μ PD98441を接続する場合には、次の注意が必要です。

- ・POS-PHY モードの μ PD98441にセルとして入力するパケットは、対向側の UTOPIA モードの μ PD98441に設定するセル・フォーマットと同じにしてください。
- ・UTOPIA モードの μ PD98441から、POS-PHY モードの μ PD98441にデータを送信する場合、設定できるポート数は16までとなります。
- ・POS-PHY モードは、拡張アクセス・モードをサポートしていませんので、拡張アクセス・モードで利用する場合、リンク・デバイス側は、UTOPIA モードのみになります。

3.7 カウンタ機能

μ PD98441 は、エラー検出など各種イベントの発生状況をカウントする機能を装備しています。表 3 - 30 に装備するカウンタの一覧を示します。送受信フレームのカウンタは、Line0 と Line1 のそれぞれにあります。ホストは、MPU インタフェースを通してカウンタをリードすることにより、各種イベントの発生回数を知ることができます。

表3 - 30 カウンター一覧

カウント・ブロック	カウンタ名	カウンタ長	カウント単位
送信フレーム	送信フレーム・カウンタ	24	フレーム
受信フレーム	受信フレーム・カウンタ	24	フレーム
	受信デコード・エラー・カウンタ	8	フレーム
	受信 RD エラー・カウンタ	8	フレーム
	受信 FCS エラー・カウンタ	8	フレーム
入力パラレル・インタフェース	入力データ・カウンタ	32	セル/パケット
	パリティ・エラー・カウンタ	16	ワード
出力パラレル・インタフェース	出力データ・カウンタ	32	セル/パケット
	出力エラー・パケット・カウンタ	16	パケット

3.7.1 カウンタのモニタ方法

各カウンタは、リセット後ディスエーブルになっていますので、まず、対象のカウンタをイネーブルにする必要があります。MPU が、カウンタ制御レジスタのロード・ビットに 1 をライトすると、 μ PD98441 は、対応するカウンタのその時点におけるカウント値をロード・レジスタに格納します。MPU は、ロード・レジスタをリードしてカウント値を得ます。カウンタはそのままカウント動作を継続します。一度ロード・レジスタに格納されたカウンタ値は、再度ロードされるまで値を保持します。

MPU が、カウンタ制御レジスタのクリア・ビットに 1 をライトすると、 μ PD98441 は、対応するカウンタをいったん 0 クリアして、カウントを再開します。カウンタ値のロードと同時に 0 クリアしたい場合には、ロード・ビットとクリア・ビットの両方を 1 にライトします。

MPU からロード指示を受けることなくカウント・アップを続けた結果、カウンタがオール 1 (FFFF_FFFFh) を通過すると、オーバーフローの検出として、割り込み要因詳細レジスタに 1 をセットして MPU に通知します。カウンタは、0 に戻りカウントを続けます。

- 注意 1. カウンタのオーバーフローが発生した場合には、カウンタの 0 クリアを実行してください。0 クリアを実行しないと、次にカウンタがオール 1 (FFFF_FFFFh) を通過しても μ PD98441 はオーバーフローを検出しません。
2. カウンタのモニタ機能には制限事項があります。詳細については、「第 9 章 制限事項」を参照してください。

図3-41 カウンタに関するレジスタ

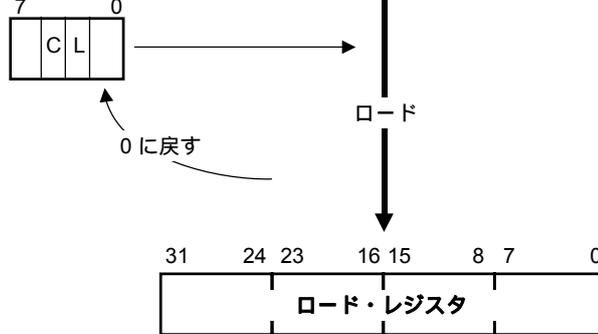
カウンタ・イネーブル・レジスタ

E = 1 : イネーブル
E = 0 : ディスエーブル



カウンタ制御レジスタ

・ロード・ビット L = 1
カウンタ値を対応するロード
レジスタに退避
・クリア・ビット C = 1
カウンタを 0 クリア



MPU が 8 ビットごとにリード

3.7.2 フレームのカウンタ

シリアル・インタフェースごとに、次のカウンタがあります。表 3-32 にフレームのカウンタ制御にかかわるレジスタの一覧を示します。

(1) 送信フレーム・カウンタ

送信フレームをカウントします。

(2) 受信フレーム・カウンタ

受信フレームをカウントします。FCS エラーにより廃棄したフレームもカウントに含めます。

(3) 受信デコード・エラー・カウンタ

8B10B 符号表になりコードを含んだフレーム、または μ PD98441 が使用する IDLE (K28.5), SPD (K27.7), EPD (K29.7) 以外の K コードを含んだフレームをカウントします。

(4) 受信 RD エラー・カウンタ

ランニング・ディスパリティ・エラーを検出したフレームをカウントします。

(5) 受信 FCS エラー・カウンタ

受信フレームの FCS 検証でエラーを検出したフレームをカウントします。エラー・フレームは廃棄されます。

表3-31 フレーマのカウンタ制御にかかわるレジスタとビット

レジスタ名	機能	送信フレーム・ カウンタ (24ビット)	受信フレーム・ カウンタ (24ビット)	受信デコード・ エラー・カウンタ (8ビット)	受信RD エラー・カウンタ (8ビット)	受信 FCS エラー・カウンタ (8ビット)
イネーブル・ レジスタ	カウンタの制御 (イネーブル)	L[n]CNTEN <i>TFCNTEN</i>	L[n]CNTEN <i>RFCNTEN</i>	L[n]CNTEN <i>DECCNTEN</i>	L[n]CNTEN <i>RDCNTEN</i>	L[n]CNTEN <i>FCSCNTEN</i>
カウンタ制御 レジスタ	カウンタ値の ロード・レジス タへの退避	L[n]FCNT <i>TFCNTRD</i>	L[n]FCNT <i>RFCNTRD</i>	L[n]FCNT <i>RERRCNTRD</i>		
	カウンタ値の 0 クリア	L[n]FCNT <i>TFCNTCLR</i>	L[n]FCNT <i>RFCNTCLR</i>	L[n]FCNT <i>DECCNTCLR</i>	L[n]FCNT <i>RDCNTCLR</i>	L[n]FCNT <i>FCSCNTCLR</i>
ロード・ レジスタ	ロード指示によ る格納先	L[n]TFCNT0- L[n]TFCNT3	L[n]RFCNT0- L[n]RFCNT3	L[n]DECCNT	L[n]RDCNT	L[n]FCSCNT
オーバフロー・ レジスタ	カウンタがオー ル Fh を通過し たことを通知	L[n]OVF_RC/ L[n]OVF_R <i>TFCNTOF</i>	L[n]OVF_RC/ L[n]OVF_R <i>RFCNTOF</i>	L[n]OVF_RC/ L[n]OVF_R <i>DECCNTOF</i>	L[n]OVF_RC/ L[n]OVF_R <i>RDCNTOF</i>	L[n]OVF_RC/ L[n]OVF_R <i>FCSCNTOF</i>

備考 1. この表において、太字はレジスタ名、斜体文字はビット名を表しています。

2. フレーマのカウンタは、シリアル・インタフェースごとにあります。表内の 'n' は、Line0 または Line1 の番号 (0 または 1) を表します。
3. カウンタ制御レジスタで、受信デコード・エラー・カウンタ、受信 RD エラー・カウンタ、受信 FCS エラー・カウンタのロード制御ビットは共通です。

3.7.3 パラレル・インタフェースのカウンタ

入出力パラレル・インタフェースには、次のカウンタがあります。

(1) 入力データ・カウンタ

入力パラレル・インタフェースに入力されるセルまたは、パケットをカウントします。POS-PHY モードの場合は、PCPOSM レジスタへの設定により、カウントの単位をパケット単位からバイト単位に切り替えることができます。カウント対象とする論理ポートをあらかじめ PICNTPT レジスタに設定しておく必要があります。0h~30h の範囲で設定した場合には、そのアドレスに該当する論理ポートがカウント対象となり、31h を設定した場合には、全論理ポートがカウント対象になります。UTOPIA モードで、かつ拡張アクセス・モードの場合、同じアドレスを持つ最大 4 つの論理ポートがカウント対象になります。

- 備考 1. 入力データ・カウンタは、パラレル・インタフェースに入力されるデータの累計であり、入力 FIFO に格納された、または回線側に出力したデータの累計ではありません。FIFO オーバフロー発生時にデータを入力し続けた場合、データは破棄されますが、入力データ・カウンタはアップします。
2. POS-PHY モードで動作しているとき、入力データ・カウンタがデータをパケット単位でカウントする場合は、EOP が入力されるたびにカウントアップします。
バイト単位のカウンタ・モードでは、4 バイトのデータが入力されるたびに 4 カウントアップします。4 バイトに満たないデータが入力された場合でも、EOP が入力されると入力バイト分をカウントアップします。

(2) パリティ・エラー・カウンタ

入力パラレル・インタフェースで検出しパリティ・エラーをカウントします。

(3) 出力データ・カウンタ

出力パラレル・インタフェースに出力するセルまたは、パケットをカウントします。POS-PHY モードの場合は、PCPOSM レジスタへの設定により、カウントの単位をパケット単位からバイト単位に切り替えることができます。カウント対象とする論理ポートをあらかじめ POCNTPT レジスタに設定しておく必要があります。0h~30h の範囲で設定した場合には、そのアドレスに該当する論理ポートがカウント対象となり、31h を設定した場合には、全論理ポートがカウント対象になります。UTOPIA モードで、かつ拡張アクセス・モードの場合、同じアドレスを持つ最大 4 つの論理ポートがカウント対象になります。

(4) 出力エラー・パケット・カウンタ (POS-PHY モード時)

出力パラレル・インタフェースから出力したエラー・パケット (TERR/RERR = 1 のパケット) をカウントします。エラー・パケットが発生するのは、リモート μ PD98441 にエラー・パケットとして入力されたか、シリアル・ライン上のビット化けなどの原因により μ PD98441 が EOP のフレーム欠落を検出しアポート・パケットを生成した場合です。

表3-32 パラレル・インタフェースのカウント制御にかかわるレジスタ一覧

レジスタ名	機能	パリティ・ エラー・カウンタ (16ビット)	入力データ・ カウンタ (32ビット)	出力エラー・ パケット・カウンタ (16ビット)	出力データ・ カウンタ (32ビット)
イネーブル・ レジスタ	カウンタの制御 (イネーブル)	PICEN <i>PIPYECEN</i>	PICEN <i>PICNTEN</i>	POCEN <i>POEPCNTEN</i>	POCEN <i>POCNTEN</i>
カウンタ制御 レジスタ	カウンタ値の ロード・レジス タへの退避	PICNT <i>PIPYECRD</i>	PICNT <i>PICNTRD</i>	POCNT <i>POEPCNTRD</i>	POCNT <i>POCNTRD</i>
	カウンタ値の 0 クリア	PICNT <i>PIPYECCLR</i>	PICNT <i>PICNTCLR</i>	POCNT <i>POEPCNTCLR</i>	POCNT <i>POCNTCLR</i>
ロード・ レジスタ	ロード指示によ る格納先	PIPYEC0, PIPYEC1	PICNT0-PICNT3	POEPCNT0, POEPCNT1	POCNT0-POCNT3
オーバフロー・ レジスタ	カウンタがオー ル Fh を通過した ことを通知	PICNTOE_RC/ PICNTOE_R <i>PYECOVF</i>	PICNTOE_RC/ PICNTOE_R <i>CPCOVF</i>	POCNTOE_RC/ POCNTOE_R <i>EPCOVF</i>	POCNTOE_RC/ POCNTOE_R <i>CPCOVF</i>

備考 1. この表において、太字はレジスタ名、斜体文字はビット名を表しています。

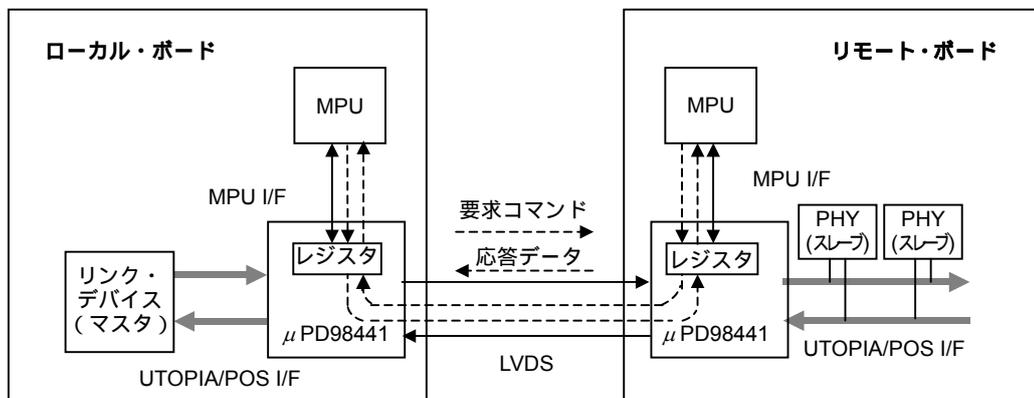
2. 入力データ・カウンタまたは出力データ・カウンタを使用するときは、カウントの対象とする論理ポートを、それぞれ PICNTPT レジスタまたは POCNTPT レジスタに設定する必要があります。
3. POS-PHY モードの場合、入力データ・カウンタおよび出力データ・カウンタは、パケットとバイトのどちらの単位でカウントするかを PCPOSM レジスタで選択することができます。

3.8 MPU 拡張アクセス機能

μ PD98441 は、制御データ・フレームを送信しあうことにより、ローカル μ PD98441 に接続された MPU がリモート μ PD98441 のレジスタをリード/ライトしたり、メッセージを送信したりする機能を備えています。制御データ・フレームは、 μ PD98441 がセル、パケットの代わりに要求コマンドと応答データを DATA フィールドに格納して生成するフレームです。要求コマンドを格納したフレームは、MPU が μ PD98441 のレジスタにセットすることにより送出され、応答データを格納したフレームは、要求コマンドを受け付けた μ PD98441 が自動で送出します。MPU がリモート μ PD98441 に要求できるのは次の 3 種類のアクションです。

- <1> リモート μ PD98441 のレジスタ・リード
- <2> リモート μ PD98441 のレジスタ・ライト
- <3> MPU コミュニケーション・アクセス (16 バイト長のデータを対向のレジスタに格納)

図3 - 42 MPU 拡張アクセス機能

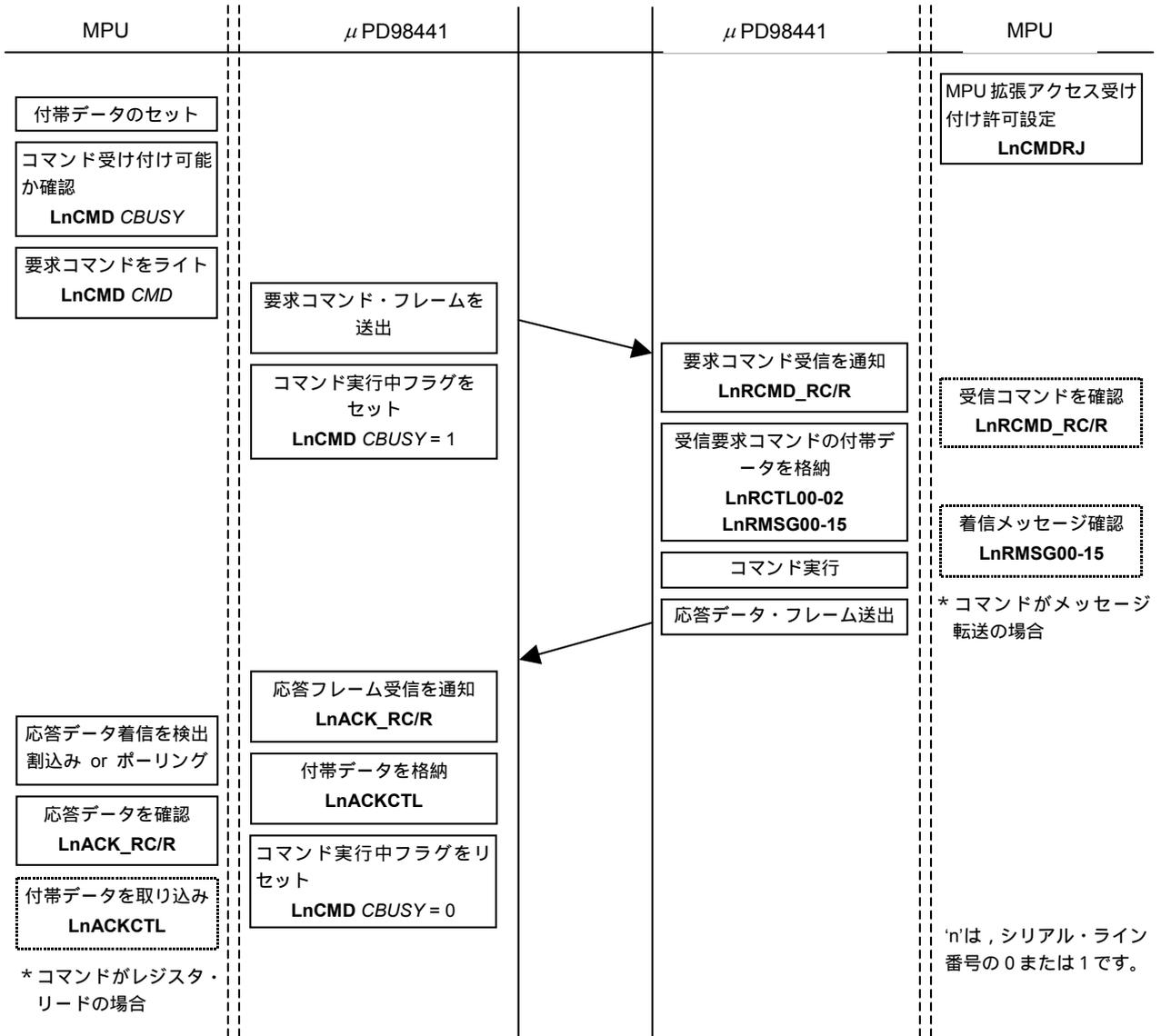


MPU 拡張アクセスは、MPU のレジスタ設定に従い、 μ PD98441 が要求コマンドと応答データをシリアル・インタフェース上で転送しあうことで実現します。シリアル・インタフェース上で転送するため、頻繁に MPU 拡張アクセス機能を実行した場合には、データのスループットに影響を及ぼします。また、シリアル・インタフェースにエラーが発生しているような状態や、ループバック・モードに設定している場合には、レジスタ・アクセスやメッセージ伝送は正しく行えません。

シングル・ライン・モードで冗長構成を組んでいる場合、コマンド・データは、Line0/Line1 の両方に出力されますが、返信される応答データを受け付けるのは、アクティブ・ラインとして選択しているライン側のみです。選択されていないラインのリモート μ PD98441 は、不要なコマンド・データを受け付けないように、L0CMDRJ レジスタまたは L1CMDRJ レジスタで要求コマンドの拒否モードにしておく必要があります。

L0IDLE レジスタ、L1IDLE レジスタの設定で IDLE コードの強制送出中は、要求コマンドを受け付けることができず廃棄します。

図3 - 43 MPU 拡張アクセスの動作概要



* コマンドがレジスタ・リードの場合

* コマンドがメッセージ転送の場合

3.8.1 要求コマンドの発行

要求コマンドを送出する側の MPU および μ PD98441 は次の手順で動作します。

(1) 要求コマンドの受け付け許可

要求コマンドの受け付けは、デフォルトではディスエーブル（受け付け拒否）になっています。MPU 拡張アクセス機能を使用するには、リモート側の MPU が、リモート μ PD98441 の L0CMDRJ, L1CMDRJ レジスタに要求コマンドの受け付け拒否の解除設定をする必要があります。リモート μ PD98441 が、拒否設定されている要求コマンドを受信した場合、そのコマンドを実行せず、Fail を示す応答データを返します。

注意 要求コマンドの受け付け、およびシリアル・インタフェースは、リセット後のデフォルト状態ではディスエーブルになっています。イネーブルは、ローカル側のレジスタ・アクセスによって行う必要がありますので、リモート μ PD98441 のシリアル・インタフェースを介した初期設定は行えません。

(2) 付帯データの設定

要求コマンドの付帯データを設定します。付帯データは、要求するコマンドに必要な情報で、コマンドに応じて異なります。例えば、 μ PD98441 のレジスタをリードする場合、対象レジスタのアドレスが付帯データになります。

(3) 前要求コマンドの実行状況の確認

MPU は、新たな要求コマンドを送出する前に、L[n]CMD レジスタをリードして、CBUSY ビットが 0 であることを確認します。CBUSY ビットは、ローカル μ PD98441 がコマンド実行中を示すビットで、コマンドが設定されると 1 になり、そのコマンドが終了すると自動で 0 に戻ります。新規の要求コマンドを送出するには、 μ PD98441 が必ず前の要求コマンドを終了している必要があります。要求コマンドは、応答データを受信するか、応答データを規定時間内に受信できずタイムアウトすることにより終了します。CBUSY ビットが 1 のとき、MPU が新たなコマンドを設定しても、 μ PD98441 はそれを無視します。

(4) 要求コマンドの設定

MPU は、L[n]CMD レジスタにコマンドを設定します。 μ PD98441 は、要求コマンドを制御データ・フレームとして送出します。

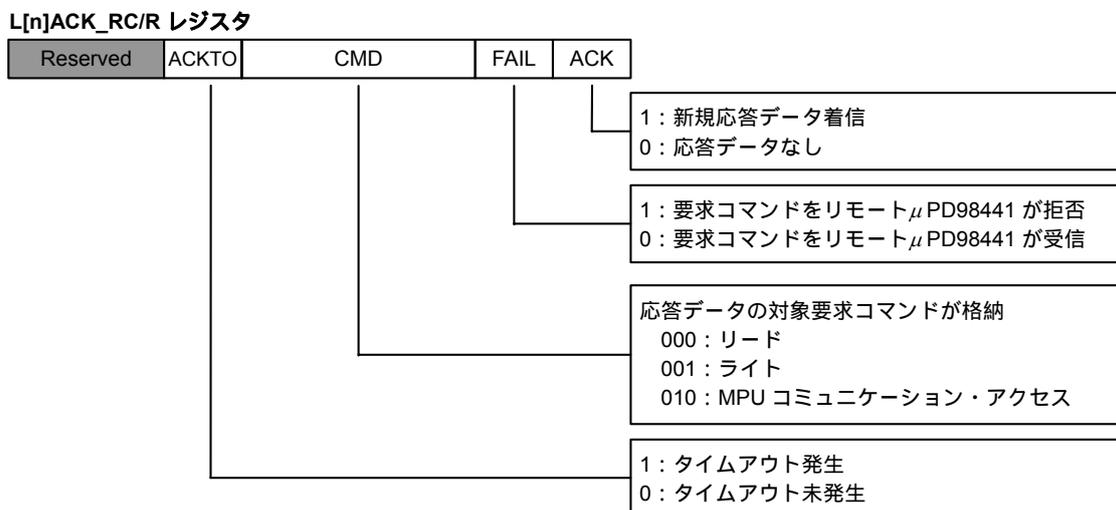
(5) 応答データ着信の確認

MPU は要求コマンドの送出をしたあと、応答データが着信するのを待ちます。応答データが着信すると、L[n]ACK_RC/R レジスタの ACK ビットが 1 になります。ACK ビットのセットは、割り込み要因にすることができます。

MPU は、ACK ビットが 1 になったことを検出すると、L[n]ACK_RC/R レジスタをリードし、受信した応答データの内容を確認します。このレジスタは、発行した要求コマンドの種別と、そのコマンドがリモート μ PD98441 に受け付けられたかを表示します。

要求コマンドを設定してから応答データが着信するまでの時間にタイムアウトを設けています。シリアル・インタフェース上のエラーなどによって、規定以上の時間が経過しても応答データが返信されない場合、タイムアウト・エラーとして、L[n]ACK_RC/R レジスタの ACKTO ビットを 1 にして通知します。タイムアウトの規定時間は、L[n]ACKTO レジスタで変更することができます。

図3 - 44 L[n]ACK_RC/R レジスタ



(6) 応答データの付帯データを取り込み

要求コマンドがレジスタ・リードの場合は、リード値が L[n]ACKCTL レジスタに格納されます。MPU は、L[n]ACK_RC/R レジスタで要求コマンドが受け付けられたことを確認後、このレジスタをリードしてレジスタ値を得ます。

3.8.2 要求コマンドの受け付け

要求コマンドを受信する側の MPU および μ PD98441 は次の手順で動作します。

(1) 要求コマンドの受け付け許可

デフォルトでは、要求コマンドを拒否するモードになっています。このモードで要求コマンドが着信した場合、コマンドを実行せず、拒否を示す応答データを返します。要求コマンドを受け付けるには、L0CMDRJ、L1CMDRJ レジスタで受け付け拒否の設定を解除する必要があります。

(2) 要求コマンドの受信

要求コマンドを格納したフレームを受信すると、 μ PD98441 は、L[n]RCMD_RC/R レジスタのコマンドに対応するビットを 1 にして通知します。このビットのセットは、割り込み要因にすることができます。

μ PD98441 は、受信した要求コマンドに付帯データがある場合には、L[n]RCTL00-L[n]RCTL02 レジスタに格納します。要求コマンドが 16 バイトのメッセージ転送であった場合には、メッセージ・データを L[n]RMSG00-L[n]RMSG15 レジスタに格納します。

MPU は、L[n]RCMD_RC/R レジスタで 16 バイトのメッセージが着信したことを検出すると、L[n]RMSG00-L[n]RMSG15 レジスタをリードしてメッセージを取り込みます。

L[n]IDLE レジスタの設定で IDLE コードの強制送信中は、要求コマンドを受け付けることができず廃棄します。

(3) 応答データの送出

応答データを格納したフレームを送出します。要求コマンドがレジスタのリードであった場合、対象のレジスタ値を格納します。

3.8.3 各種要求コマンド**(1) リモート μ PD98441 のレジスタ・リード (コマンド : 000)**

リモート μ PD98441 のレジスタをリードします。

コマンド要求時の MPU の設定

L[n]CTL00 レジスタに対象レジスタの下位アドレス 8 ビットを設定

L[n]CTL01 レジスタに対象レジスタの上位アドレス 3 ビットを設定

L[n]ACKCTL レジスタからレジスタ値をリード

L[n]CMD の CMD フィールドを 000 に設定して要求コマンド・フレームの送出を指示

応答データの着信時の μ PD98441 のアクション

L[n]ACK_RC/R レジスタの CMD フィールドを 000 にして着信を通知

L[n]ACKCTL レジスタにレジスタ値を格納

コマンドを受信した μ PD98441 のアクション

L[n]RCMD_RC/R レジスタの RCMDRD ビットをセット
 L[n]RCTL00 レジスタに要求レジスタの下位アドレス 8 ビットを格納
 L[n]RCTL01 レジスタに要求レジスタの上位アドレス 3 ビットを格納
 応答データ・フレームを送出

(2) リモート μ PD98441 のレジスタ・ライト (コマンド : 001)

リモート μ PD98441 のレジスタに任意の値をライトします。

コマンド要求する MPU の設定

L[n]CTL00 レジスタに対象レジスタの下位アドレス 8 ビットを設定
 L[n]CTL01 レジスタに対象レジスタの上位アドレス 3 ビットを設定
 L[n]CTL02 レジスタにライト・データを設定
 L[n]CMD レジスタの CMD フィールドを 001 に設定して要求コマンド・フレームの送出手を指示

応答データの着信時の μ PD98441 のアクション

L[n]ACK_RC/R レジスタの CMD フィールドを 001 にして着信を通知

コマンドを受信した μ PD98441 のアクション

L[n]RCMD_RC/R レジスタの RCMDWR ビットをセット
 L[n]RCTL00 レジスタに要求レジスタの下位アドレス 8 ビットを格納
 L[n]RCTL01 レジスタに要求レジスタの上位アドレス 3 ビットを格納
 L[n]RCTL02 レジスタに要求ライト・データを格納
 応答データ・フレームを送出

(3) MPU コミュニケーション・アクセス (コマンド : 010)

16 バイト長のメッセージ・データを転送し、リモート μ PD98441 のレジスタに格納します。MPU 間で任意のデータのやり取りが可能です。

コマンド要求する MPU の設定

L[n]CTL00-L[n]CTL15 レジスタにメッセージ・データを設定。
 L[n]CMD の CMD フィールドを 010 に設定して要求コマンド・フレームの送出手を指示

応答データの着信時の μ PD98441 のアクション

L[n]ACK_RC/R レジスタの CMD フィールドを 010 にして着信を通知

コマンドを受信した μ PD98441 のアクション

L[n]RCMD_RC/R レジスタの RCMDMCA ビットをセット
 L[n]RMSG00-L[n]RMSG15 レジスタに受信メッセージを格納
 応答データ・フレームを送出

コマンドを受信した側の MPU のアクション

L[n]RMSG00-L[n]RMSG15 レジスタから受信メッセージをリード

3.9 アラーム出力端子

μ PD98441 は、受信フレームのエラー検出状況、およびレジスタ設定値を信号として出力するための ALM[3:0] 端子を装備しています。端子から出力するエラー情報は、RALM0 レジスタ、RALM1 レジスタで選択することができます。エラーを検出した場合は、対応する端子がハイ・レベルになります。

RALM0 レジスタと RALM1 レジスタに、端子ごとに「表 3 - 33 ALM 端子にアサイン可能な情報」の情報から選択し設定します。

出力するエラー情報のうち、10B8B デコード・エラーおよび FCS エラーは、フレームの受信を完了したとき、リカバリ・クロックの 8 分周に同期したクロックの 1 周期のパルスを出力します。LOS エラーは、一度検出すると解除条件を満たすまでハイ・レベルを維持し、一定期間以上のレベル信号として出力します。

GOCG レジスタの SO0, SO1 ビットをアサインした場合には、SO0, SO1 ビットの設定が 0 のときに ALMn 端子よりロウ・レベルを出力し、1 のときにハイ・レベルを出力するため、汎用出力ポートとして利用できます。

リモート側 EXIN 端子の入力状態は、フレーム受信ごとに更新されます。

表3 - 33 ALM 端子にアサイン可能な情報

分類	設定	説明	デフォルトのアサイン
Line0 のエラー	0000	Line0 の LOS エラー	ALM0 端子
	0001	Line0 の 10B8B デコード・エラー	ALM1 端子
	0010	Line0 の FCS エラー	—
Line1 のエラー	0011	Line1 の LOS エラー	ALM2 端子
	0100	Line1 の 10B8B デコード・エラー	ALM3 端子
	0101	Line1 の FCS エラー	—
レジスタのビット設定	0110	GOCG レジスタの SO0 ビットのレベル (汎用出力端子)	—
	0111	GOCG レジスタの SO1 ビットのレベル (汎用出力端子)	—
リモート側の EXIN 端子レベル	1000	L0REXIN レジスタの EXIN0H ビットのレベル	—
	1001	L0REXIN レジスタの EXIN1H ビットのレベル	—
	1010	L0REXIN レジスタの EXIN2H ビットのレベル	—
	1011	L1REXIN レジスタの EXIN0H ビットのレベル	—
	1100	L1REXIN レジスタの EXIN1H ビットのレベル	—
	1101	L1REXIN レジスタの EXIN2H ビットのレベル	—
その他	1110, 1111	設定禁止	—

汎用 MUX/DEMUX モードの場合においては、各ラインの LOS エラーおよび 10B8B デコード・エラーの検出状況を出力できます。その他のイベント出力は機能しません。

3.10 汎用入力端子

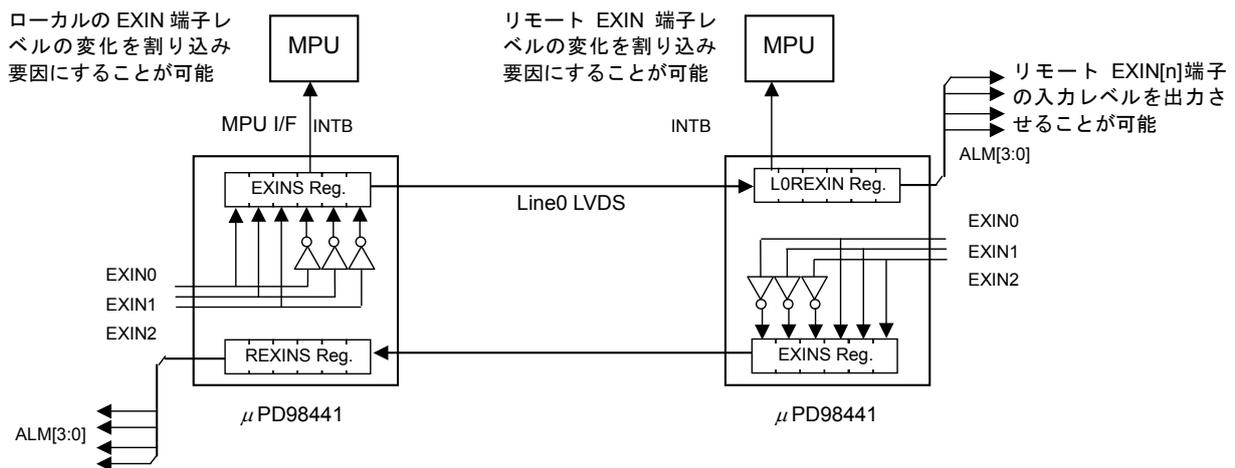
μ PD98441 は、汎用入力端子 EXIN[2:0]を装備しています。この端子への入力レベルは、EXINS レジスタの EINnL, EINnH ビット ($n = 0 \sim 3$) に反映され、信号レベルの変化を割り込み要因にすることができます。また、この端子の入力レベルは、送信フレームの FLD 領域に格納されて、リモート μ PD98441 の L[n]REXIN レジスタ ($n = 0 \sim 1$) の EXINnL, EXINnH ビット ($n = 0 \sim 3$) にも表示されます。

- EXIN[2:0]端子の入力レベルは、ローカル μ PD98441 の EXINS レジスタに表示されます。
- EXINS レジスタのビットは μ PD98441 によって保持されません。EXIN 端子レベルに応じて随時変化します。
- EXINS レジスタには、入力レベルがロウ・レベルになったときに 1 になる EINnL ビットと、ハイ・レベルになった場合に 1 になる EINnH ビットがあります。
- EXINS レジスタの EINnL, EINnH ビットの状態は、送信フレームの FLD 領域に格納されてリモート μ PD98441 の L[n]REXIN レジスタの EXINnL, EXINnH ビットに表示されます。リモート μ PD98441 では L[n]REXIN レジスタの変化を割り込み要因にすることができます。
- L[n]REXIN レジスタの EXINnL, EXINnH ビットの状態は、ALM[3:0]端子から出力することができます。
- シングル・ライン・モードの場合、ULINK レジスタで選択されている受信ライン側の L[n]REXIN レジスタのみが有効になります。

表3 - 34 EXINS レジスタの状態表示

EXIN 端子入力レベル	EIN2L ~ EIN0L	EIN2H ~ EIN0H
L	1	0
H	0	1

図3 - 45 EXIN 端子の機能概要



3.11 ループバック・モード

μ PD98441 はシステム・テストのためにループバック・モードをサポートしています。サポートしているループバック・モードには、単一ポート・ループバック・モードと全ポート・ループバック・モードの2種類があります。

3.11.1 単一ポート・ループバック

単一ポート・ループバック・モードは、パラレル入力からパラレル出力へのループ（LPP モード）と、シリアル入力からシリアル出力へのループ（LPS モード）の2種類があり、ともに個別の論理ポートを指定することが可能です。ループバック・ポイントには、ループ・バッファがあり、この FIFO がフルになった場合には、指定されたポートにバックプレッシャを伝搬させ、オーバフローを抑止する機能があります。

LPP モードと LPS モードの両モードは、同時にイネーブルにすることができます。

(1) LPP モード（入力 FIFO から出力 FIFO へのループ）

シリアル・ライン、グループ、ポート・アドレスで指定された単一論理ポートのデータを入力 FIFO から出力 FIFO に転送します。このモードの設定手順は、次のとおりです。

<LPP ループバック・モード設定手順>

LPCLR レジスタの LPPCLR ビットにいったん 1 をライト後、0 にライトし直すことにより、LPP ループ・バッファ内のデータをクリアする。

LPPNUM レジスタにループ対象の論理ポート・アドレスを設定する。

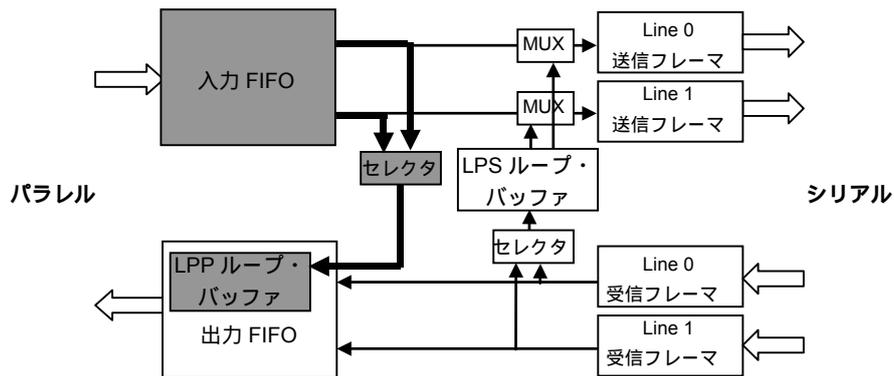
拡張アクセス・モードの場合は、LPPLBNUM レジスタにライン番号とグループ番号も設定する。

PLPEN レジスタでイネーブルにする。

注意 単一ポート・ループバック・モードの対象ポート・アドレス（LPPNUM レジスタ）の設定は、必ず単一ポート・ループバック・モードがディスエーブルの期間に行ってください。

LPP ループバック・モードの設定後、指定された論理ポートのデータは、出力 FIFO 内の LPP ループ・バッファに転送され折り返されます。指定された論理ポート以外のデータは、通常どおり送信フレームに転送されます。LPP ループ・バッファがフルになると、入力 FIFO 側にバックプレッシャを伝えてオーバフローを回避します。LPP ループバック・モードを解除したとき、入力 FIFO および LPP ループ・バッファ内にループ・データが残留する場合があります。入力 FIFO 内の残留データは、LPP ループバック・モードの解除後、送信フレームを通してシリアル・インタフェースに出力されますが、リモート μ PD98441 で廃棄されます。LPP ループ・バッファ内のデータは、次回モード設定時に LPCLR レジスタによりクリアします。

図3-46 LPP ループバック



(2) LPS モード (シリアル入力からシリアル出力へのループ)

このモードでは、受信フレームから出力 FIFO に格納されようとするデータのアドレスをチェックし、指定されたアドレスであった場合に、LPS ループ・バッファを介して送信フレームに折り返すモードです。このモードの設定手順は、次のとおりです。

<LPS ループバック・モード設定手順>

LPCLR レジスタの LPSCLR ビットにいったん 1 をライト後、0 にライトし直すことにより、LPS ループ・バッファ内のデータをクリアする。

LPSPNUM レジスタにループ対象の論理ポート・アドレスを、LPSLBNUM レジスタの LPSCLK に対象ラインを設定する。拡張アクセス・モードの場合は、LPSLBNUM レジスタの LPSBK にグループ番号も設定する。

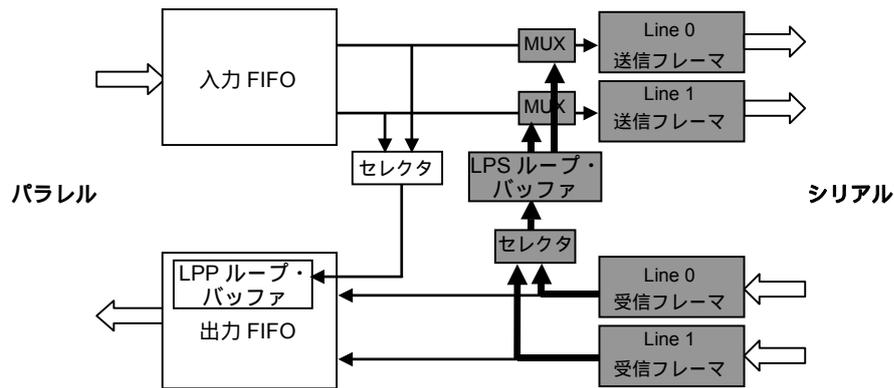
PLPEN レジスタでイネーブルにする。

- 注意 1.** ループバック対象ポート・アドレス (LPSPNUM レジスタ) の設定は、必ず単一ポート・ループバック・モードがディスエーブルの期間に行ってください。
- 2.** 標準アクセス・モードで、かつデュアル・ライン・モード接続時のマスタ側の μ PD98441 では、変換された PHY デバイスのポート・アドレスを設定します。「3.4.7 (2) デュアル・ライン・モード接続時のポート・アドレス変換」を参照してください。ステータス・ポーリング・モードで、かつ 4 Line/8 Line モードの μ PD98442 に接続している μ PD98441 を LPS モードに設定する場合も同様です。

LPS ループバック・モードの設定後、指定された論理ポートのデータは、受信フレームと送信フレーム間の LPS ループ・バッファを介して受信クロックから送信クロックに乗せかえられ、折り返されます。

LPS ループバック・モードをディスエーブルにしたとき、入力 FIFO および LPS ループ・バッファ内にループ・データが残留する場合があります。このデータは、次のモード設定時に、LPCLR レジスタの設定でクリアします。

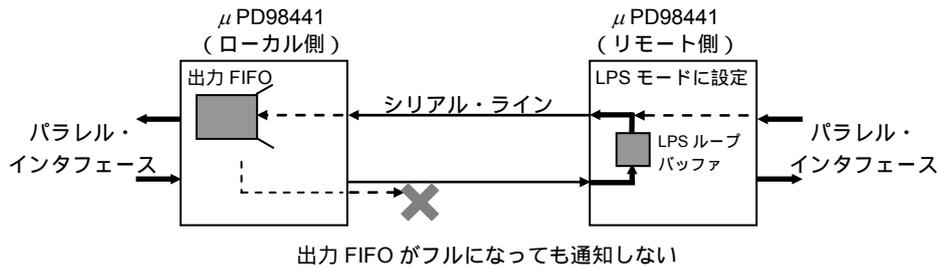
図3-47 LPS ループバック



(3) 単一ポート・ループバック時の注意事項

- LPS ループバック・モードを設定した μ PD98441 のパラレル・インタフェースに、ループ設定した論理ポートと同アドレスの論理ポートのデータを入力すると、ループ・データと合わせてシリアル・インタフェースに出力します。帯域が増加しますので、バックプレッシャが高い頻度で生じる恐れがあります。
- LPP ループバック時に、シリアル・インタフェースからループバック対象の論理ポートと同アドレスのデータを受信した場合、そのデータは、出力パラレル・インタフェースからループ・データと合わせて出力されます。帯域が増加しますので、バックプレッシャが高い頻度で生じる恐れがあります。
- UTOPIA モードの拡張アクセス・モードで接続している PHY デバイス側（マスタ側）の μ PD98441 において、識別子の挿入モード（SUDINS=1）を選択している場合は、LPP ループバック・モードに設定しないでください。
- バス幅設定の異なる μ PD98441 を接続している場合、LPP ループバック・モード設定時には次の制限があります。
 - 16 ビット幅の μ PD98441 を 32 ビット幅の μ PD98442 と UTOPIA モードで接続しているとき、セルの先頭に SUD フィールドを付加する設定（SUDL が 0 以外）の場合には、LPP ループバック・モードは設定しないでください。
 - 8 ビット幅と 16 ビット幅の μ PD98441 を UTOPIA モードで接続する場合は、セルの先頭に付加する SUD フィールドのサイズが 4, 8, 12 バイトの場合に限り、LPP ループバック・モードを設定できます。SUD フィールドのサイズが 4, 8, 12 バイト以外のときは、LPP ループバック・モードには設定しないでください。
- μ PD98441 は、出力 FIFO 内のデータ格納量が設定しきい値に到達しているかを監視し、状態を送信フレームに格納してリモート側の μ PD98441 に通知するフロー制御機能を持ちます。ただし、図 3-48 のように、リモート側の μ PD98441 にて単一ポート・シリアル・ループバック・モード（LPS モード）を設定した場合、ループバック対象ポートに関しては、フロー制御機能が無効になります。ローカル側の出力 FIFO のデータ格納量が設定しきい値に到達しても、リモート側にバックプレッシャを伝播することはありません。したがって、リモート側でデータをループする際に、LPS バッファでオーバフローが発生することがあります。LPS 対象ポート以外のポートは、通常どおりバックプレッシャが伝播されます。

図3 - 48 LPS ループバック接続



LPS モードを使用する場合には、次の方法によりオーバーフローの発生をできる限り抑え、LPS ループバッファのオーバーフロー検出ステータスを表示する RBOE_RC/R レジスタの LPSBOA ビットを監視しながら運用してください。

UTOPIA モードで使用する場合

リモート側 μ PD98441 で LPS モードを設定したとき、ローカル側の μ PD98441 には、ループ・セルが着信したことを確認してから、次のループ・セルを送信するようにしてください。

POS-PHY モードで使用する場合

リモート側 μ PD98441 で LPS モードを設定したとき、入力パケット・データ長を 256 バイトまでに制限し、ループ・パケットが着信したことを確認してから、次のループ・パケットを送信するようにしてください。

LPS モードに設定したリモート側 μ PD98441 のパラレル・インタフェースには、LPS 対象と同じ番号のポートにパケット・データを入力しないでください。入力した場合、そのパケットとループ・パケットとが結合され、不正パケットとしてローカル側 μ PD98441 に着信します。LPS モードに設定する場合は、その対象ポート番号のパラレル・インタフェースへのパケット・データ入力を停止してからにしてください。

3.11.2 全ポート・ループバック

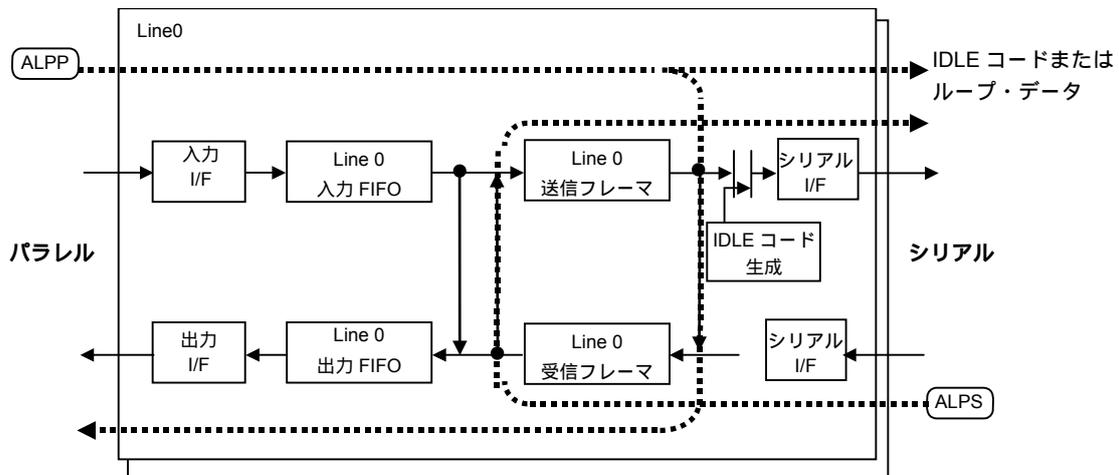
全ポート・ループバック・モードは、パラレルまたはシリアル・インタフェースに入力される全データをループするモードです。表3-35に示す2種類があり、LPMD0レジスタで設定します。

表3-35 全ポート・ループバック・モード

モード	説明
ALPPモード	全ポート・パラレル・ループバック パラレル・インタフェースに入力されるデータを、送信フレームの8B10Bエンコードの出力後にループするモードです。シリアル・インタフェースにループ・データを出力するか、IDLEコードを出力するかを選択できます。このモード設定中は、シリアル・インタフェースに入力されるデータをすべて廃棄します。
ALPSモード	全ポート・シリアル・ループバック シリアル・インタフェースに入力されたデータを出力FIFOの直前でループするモードです。シリアル・インタフェースに入力されるデータは、パラレル・インタフェースより出力されません。

- 注意 1. ALPS を、Line1 と Line0 で同時に設定することはできません（禁止）
2. バス幅の異なるμPD98441 を接続する場合、バス幅が小さい側のμPD98441（CHGBレジスタのCBSZフィールドに00以外を設定しているμPD98441）にはALPSモードを設定しないでください。ALPSモードでは、UDFの挿入/削除が実行できないため、データが正しくループされません。

図3-49 各種全ポート・ループバック・モード



ALPP のループバック・モードの場合、シリアル・インタフェースの出力としてループ・データを出力するか、あるいは、IDLEコードの連続出力にするかを選択できます。LPMD0レジスタでループバック・モードを設定するとき、L[n]OMDフィールドに同時に設定します。

3.12 Built-in テスト機能

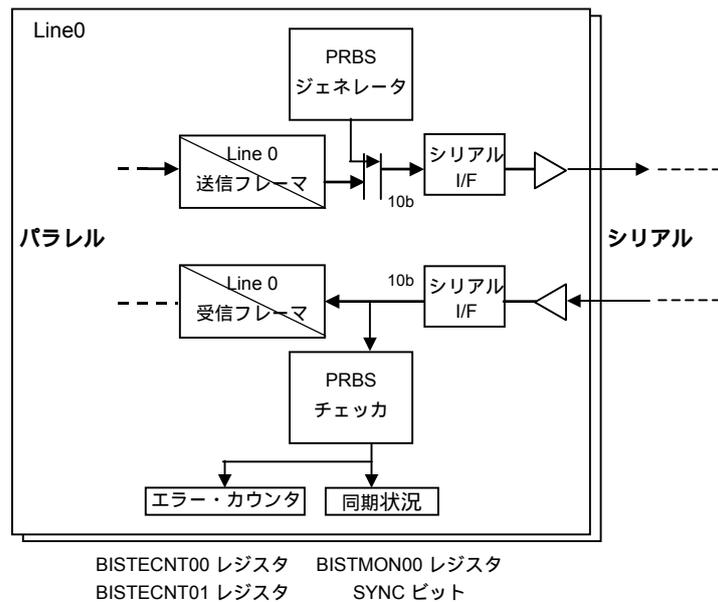
3.12.1 PRBS の生成 / 検証

伝送線路の確認，システムの診断のため， μ PD98441 は，Built-in テスト機能として，送信側に PRBS ジェネレータ回路，受信側には，PRBS チェッカ回路を内蔵しています。

BISTEN レジスタへの設定により， μ PD98441 は BIST モードに入ります。BIST モードに入ると，パラレル・インタフェースは動作を停止するため，通常動作は行えません。送信側は，Line0, Line1 とともに PRBS23 のシーケンス・パターンを繰り返し出力します。受信側では，PRBS チェック回路がイネーブルになります。PRBS の同期状況を BISTMONn レジスタに表示します。

PRBS エラーの検出数をカウントする 16 ビット・カウンタをシリアル・ラインごとに装備しています。このカウンタは，BISTEN レジスタで BIST 機能をイネーブルにしたときに 0 クリアされ，PRBS のビット・シーケンス同期が確立しているときに検出するビット・エラーをカウントします。MPU は，BISTECNT00-BISTECNT11 レジスタをリードすることにより，エラー検出数を得ることができます。カウンタがオール F (h) を通過したときには，BISTMONn レジスタの OVF ビットを 1 にして通知します。

図3 - 50 BIST 機能



3.12.2 擬似 FCS エラー・フレームの送出

μ PD98441 には，受信側に FCS エラーを検出させる擬似 FCS エラー・フレームを送出する機能があります。FCSERR レジスタに設定することで，シリアル・ラインごとに送出指示が可能です。レジスタに設定中は，連続して FCS エラーを含むフレームを送出し続けます。

3.13 汎用 MUX/DEMUX モード

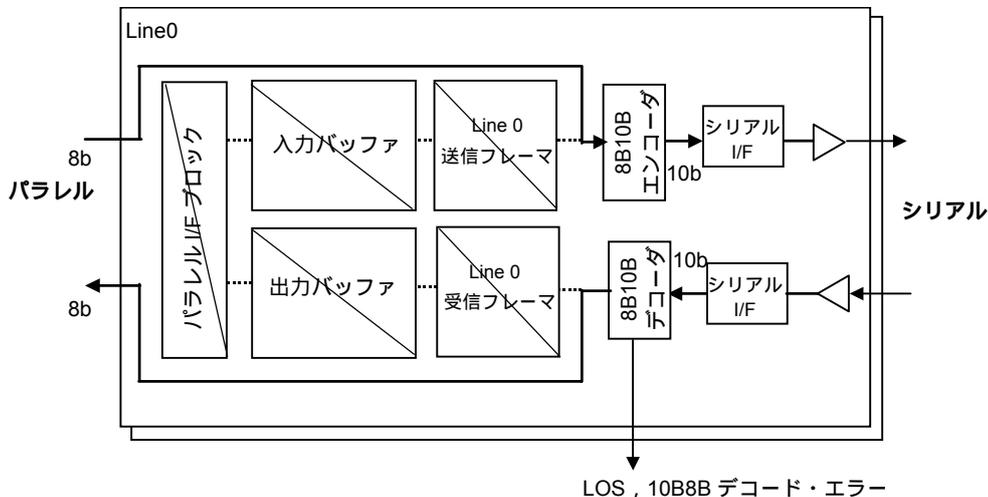
μPD98441 は、オプション・モードとして、UTOPIA/POS-PHY のパラレル・インタフェース・ブロックをバイパスして 8B10B エンコーダ/デコーダ機能と、シリアル・インタフェース機能のみを使用する汎用 MUX/DEMUX モードをサポートしています。このモードのμPD98441 は 8 ビット・パラレル・データを単純に LVDS レベルのシリアル・ストリームに変換して伝送しあうデバイスとして機能します。カウンタ機能、フロー制御機能、MPU 拡張アクセス機能などは働きません。

送信ブロックは、8 ビットの平行データを送信ブロックで 10 ビット・平行データに変換後、シリアル・データにして出力します。制御信号によって、IDLE コード (K28.5) の出力と K コード変換を指示することができます。

受信ブロックは、シリアル・インタフェースに入力されるデータを 8B10B デコーダ・ブロックで 8 ビットの平行データに変換し、平行インタフェースに出力します。8B10B デコーダ・ブロックは、受信データ列の中から IDLE コード (K28.5) を検出することによってバイト・アライメントを実施します。受信側のバイト・アライメント処理のために、送信側はデータの送出を開始する前に IDLE コード (K28.5) を送出する必要があります。8B10B デコーダ・ブロックは、バイト境界を検出するために少なくとも 3 つの IDLE コードを受信する必要があります。受信 10 ビット・データが K コードであった場合、そのデータを平行インタフェースに出力するときに、K コードであることを示します。

8B10B デコーダでは LOS およびデコード・エラーを監視しています。検出した場合は、レジスタあるいは ALM 端子により通知します。

図3 - 51 汎用 MUX/DEMUX モード



リセット後の IFM[1:0]端子のレベルにより汎用 MUX/DEMUX モードで動作します。

表3 - 36 汎用 MUX/DEMUX モード

IFM1	IFM0	動作モード
1	0	Line0 のみを使用
1	1	Line0 , Line1 の両方を使用

3.13.1 端子機能

表 3 - 37 に、汎用 MUX/DEMUX モードで使用するパラレル・インタフェースの信号とその機能を示します。

表 3 - 37 以外のパラレル・インタフェースの信号は未使用になります。

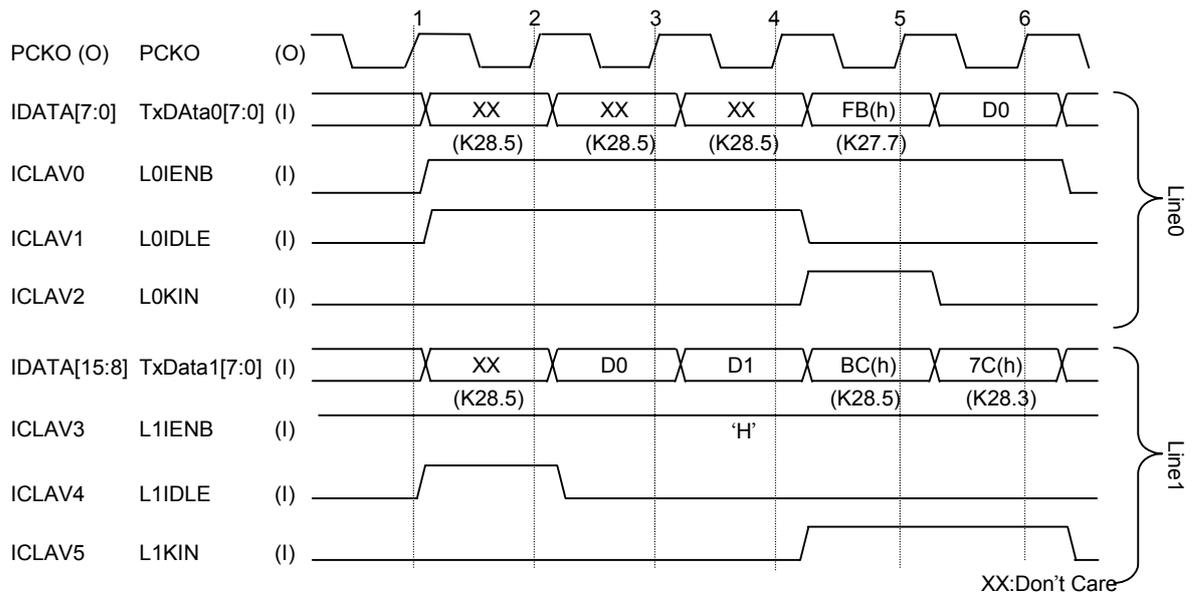
表3 - 37 汎用 MUX/DEMUX モードのパラレル・インタフェース

端子名	機能名	対応 Line	I/O	機能
PCKO	PCKO	Line0/1 共通	O	入力データ・クロック (64 MHz ~ 88 MHz) 送信クロックの 10 分周クロックです。Line0 と Line1 へのパラレル・データおよび制御信号は、このクロックの立ち上がりに同期して入力します。
ICLAV0	L0IENB	Line0	I	パラレル・データ・イネーブル信号入力 ハイ・アクティブ信号です。この信号にハイが入力されている間、 μ PD98441 はパラレル・データの信号を取り込みます。ロウ入力時は、8B10B エンコーダがディスエーブルになり、シリアル・インタフェースは、オール 0 を出力します。
ICLAV3	L1IENB	Line1		
ICLAV1	L0IDLE	Line0	I	IDLE コード送出指示信号入力 この信号入力がハイのとき、パラレル・データの代わりに IDLE コード (K28.5) を出力します。
ICLAV4	L1IDLE	Line1		
ICLAV2	L0KIN	Line0	I	K コード送出指示信号 この信号入力がハイのとき、そのパラレル・データは、K コードに変換して出力します。
ICLAV5	L1KIN	Line1		
IDATA[7:0]	TxData0[7:0]	Line0	I	パラレル・データ入力
IDATA[15:8]	TxData1[7:0]	Line1		
RCVRLCK0	RCVRLCK0	Line0	O	出力データ・クロック (64 MHz ~ 88 MHz) 受信リカバリ・クロックの 10 分周クロックです。 μ PD98441 は、このクロックの立ち上がりに同期して、パラレル・データを出力します。
RCVRLCK1	RCVRLCK1	Line1		
OENB0	L0OENB	Line0	I	パラレル・データ出力イネーブル信号入力 ハイ・アクティブです。この信号にハイが入力されているとき、ODATA[n]および OENB[n]がアクティブになります。ロウが入力されているときは、ODATA[n]および OENB[n]はロウ固定になります。
OENB2	L1OENB	Line1		
OENB1	L0KOUT	Line0	O	K コード検出信号出力 この信号のハイとともに出力するパラレル・データが、K コードであることを示します。
OENB3	L1KOUT	Line1		
ODATA[7:0]	RxData0[7:0]	Line0	O	パラレル・データ出力
ODATA[15:8]	RxData1[7:0]	Line1		

3.13.2 送信オペレーション

PCKO クロックの立ち上がりで同期して入力します。L[n]IENB がハイのときの、 μ PD98441 は、TxData[7:0] 上のパラレル・データをサンプリングします。L[n]IDLE がハイのとき、 μ PD98441 は IDLE コード (K28.5) をシリアル・インタフェースに出力しますので、TxData[7:0]上のデータは無視します。L[n]KIN がハイのときは、8B10B エンコーダは、TxData[7:0]入力を K コードの 10 ビットに変換し、ロウのときは、通常の変換します。

図3 - 52 送信パラレル・データの入力タイミング

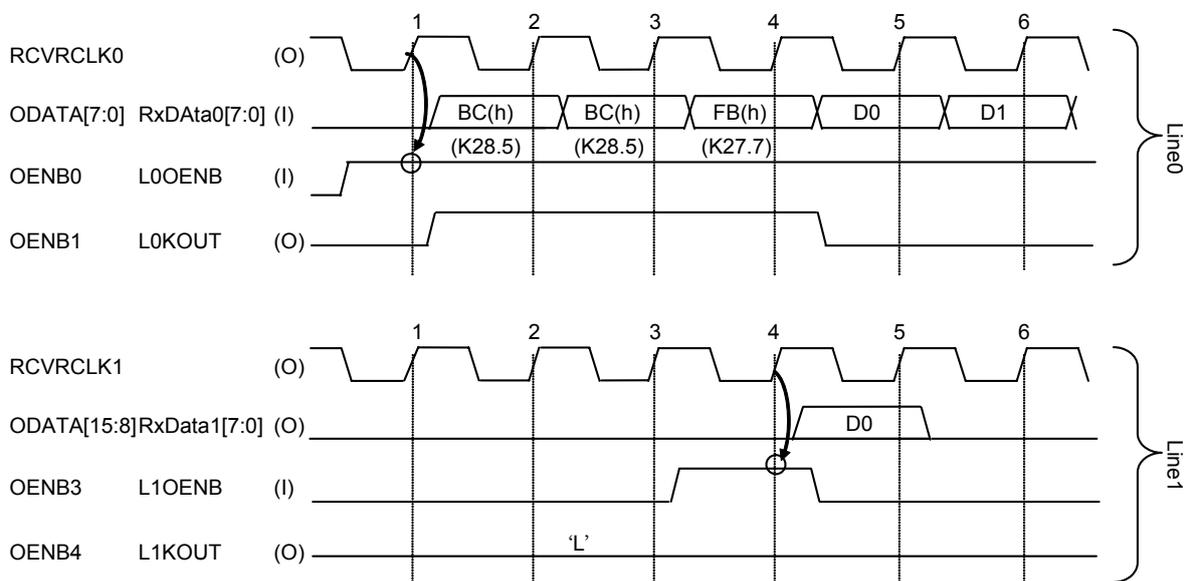


3.13.3 受信オペレーション

RCVRCLK0/1 クロックの立ち上がりで L[n]OENB のハイを検出すると、次のクロック・サイクルで RxData[7:0]上にデータを出力します。RxData[7:0]に出力するパラレル・データが K コードであった場合は、同時に L[n]KOUT をハイにします。L[n]OENB がロウの間は、RxData[7:0], L[n]KOUT とともにロウになります。

RCVRCLK0/1 クロックは、リカバリ・クロックの 10 分周クロックです。

図3 - 53 受信パラレル・データの出カタイミグ



第4章 パラレル・インタフェースのオペレーション

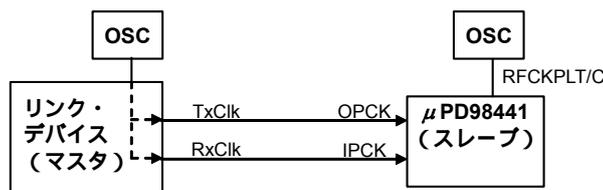
この章では、 μ PD98441 の UTOPIA と POS-PHY インタフェースにおけるオペレーションについて説明します。

4.1 パラレル・インタフェースのクロック

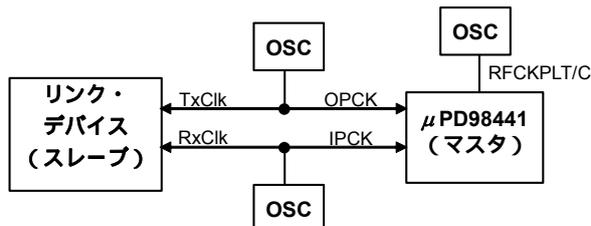
UTOPIA Level2, POS-PHY の標準では、データ転送用のクロックは、マスタ・デバイスが供給することになっていますが、 μ PD98441 のクロック端子 (OPCK/IPCK) は、マスタ、スレーブのモードにかかわらず常に入力です。 μ PD98441 をマスタ・モードで使用する場合には、外部のクロック・ジェネレータから μ PD98441 とスレーブ・デバイスの両方にクロックを入力するか、 μ PD98441 の PCKO 端子出力クロックを入力してください。PCKO 端子は、UTOPIA, POS-PHY のモードでは、内蔵 PLL のレファレンス・クロックとして入力したクロック (64 MHz~88 MHz) の 2 分周クロック (32 MHz~44 MHz) を出力します。PCKO 端子出力は、デフォルト状態から出力しています。レジスタ設定によって PCKO 端子出力を停止することもできます。

図4-1 パラレル・インタフェース・クロック

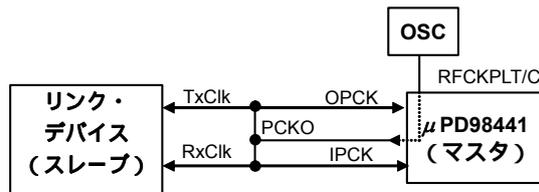
(a) μ PD98441 がスレーブの場合



(b) μ PD98441 がマスタの場合
外部より UTOPIA クロックを入力



(c) μ PD98441 がマスタの場合
PCKO (32 MHz~44 MHz) 入力



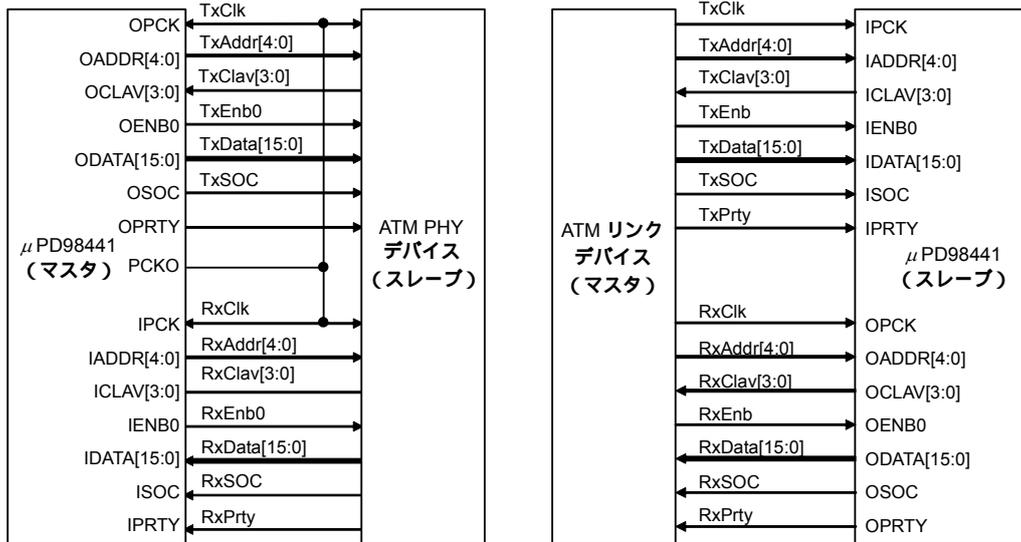
備考 PCKO は、汎用 MUX/DEMUX モードの場合、送信 PLL の生成したクロックの 10 分周クロック (64 MHz~88 MHz) を出力します。

4.2 UTOPIA インタフェースのオペレーション

4.2.1 信号の対応

μ PD98441 の信号名と UTOPIA Level2 標準での信号名との関係を表 4 - 1 , 表 4 - 2 に示します。送受信の方向は , μ PD98441 をマスタ・モードとスレーブ・モードのどちらで動作させるかによって変わりますので注意してください。

図4 - 2 UTOPIA インタフェース信号



- 備考 1.** この章での信号名の表記は , μ PD98441 の端子名ではなく , 表 4 - 1 , 表 4 - 2 で示した機能名を用いて説明しています。タイミング・チャートなどを見る際には , 表 4 - 1 , 表 4 - 2 もあわせて参照してください。
2. この章でのタイミング・チャートでは , 主に 8 ビットのバス幅モードの例を中心にしています。16 ビットモードの場合 , 1 セルの転送サイクルが半分になりますが , それ以外は同じです。
3. 選択するポーリング・モードに応じて , 使用する信号が変わります。対象モードの使用信号は , 2. 7.2 パラレル・インタフェース端子の各モードにおける機能名一覧を確認してください。

表4 - 1 μ PD98441 信号名と UTOPIA 標準の信号名の対応 (μ PD98441 がマスタ・モード時)

μ PD98441 信号名	I/O	UTOPIA 標準 信号名	機能概要
OPCK	I	TxCk	クロック入力。 8 MHz ~ 52 MHz のクロックを入力します。送信インタフェースのセル転送は、すべてこのクロックに同期して行われます。
OADDR[4:0]	O	TxAddr[4:0]	ポート・アドレス出力。 ポートを選択するための 5 ビットのアドレス信号です。TxAddr[4]信号が MSB になります。マスタ・デバイスがスレーブ・デバイスの送信 FIFO 状態をポーリングするときと、ポート選択するときアドレスを出力します。
OCLAV[3:0]	I	TxClav[3:0]	セル・アベイラブル入力。 スレーブ・デバイスの送信 FIFO 状態を示す信号です。次のセルを受け付けることが可能であればハイ・レベルに、不可であればロウ・レベルになります。ポーリング・モードによって、使用する信号数、動作が変わります。
OENB[0]	O	TxEnb	イネーブル出力。 現在のクロック・サイクルで TxData[15:0]信号上に有効データを出力していることを示すロウ・アクティブ信号です。
ODATA[15:0]	O	TxData[15:0]	データ出力。 セルを転送するデータ・バスです。ODATA[15]が MSB になります。8 ビット・モード時は、TxData[7:0]信号を使用します。
OSOC	O	TxSOC	セル先頭位置出力。 TxData[15:0]信号上にセルの先頭ワードを出力しているとき、ハイ・レベルになります。
OPRTY	O	TxPrty	パリティ出力。 マスタ・デバイスが TxData[15:0]信号上の奇数パリティ信号をデータと同期して出力します。
IPCK	I	RxCk	クロック入力。 8 MHz ~ 52 MHz のクロックを入力します。受信インタフェースのセル入力動作は、すべてこのクロックに同期して行われます。
IADDR[4:0]	O	RxAddr[4:0]	ポート・アドレス出力。 ポートを選択するための 5 ビットのアドレス信号です。RxAddr[4]信号が MSB になります。スレーブ・デバイスの受信 FIFO 状態をポーリングするときとポート選択するときアドレスを出力します。
ICLAV[3:0]	I	RxClav[3:0]	セル・アベイラブル入力。 スレーブ・デバイスの受信 FIFO 状態を示す信号です。受信 FIFO にセルを保持している場合はハイ・レベルに、保持していない場合はロウ・レベルになります。ポーリング・モードによって、使用する信号数、動作が変わります。
IENB[0]	O	RxEnb	イネーブル出力。 スレーブ・デバイスのポート選択およびデータ出力をイネーブルにするのに使用します。
IDATA[15:0]	I	RxData[15:0]	データ入力。 セルを入力するデータ・バスです。RxEnb 信号をアクティブのときに有効になります。RxData[15]信号が MSB になります。8 ビット・モード時は、RxData[7:0]信号を使用します。
ISOC	I	RxSOC	セル先頭位置入力。 RxData[15:0]上のセルの開始位置を示す信号です。RxEnb 信号がアクティブのときに有効になり、セルの先頭ワードに同期してハイ・レベルになります。
IPRTY	I	RxPrty	パリティ入力。 RxData[15:0]信号の奇数パリティ信号を入力します。マスタ・デバイスは、RxEnb 信号をアクティブにしているときに取り込んでチェックします。エラーを検出時には、レジスタのビットをセットして通知します。

表4 - 2 μ PD98441 信号名と UTOPIA 標準の信号名の対応 (μ PD98441 がスレーブ・モード時)

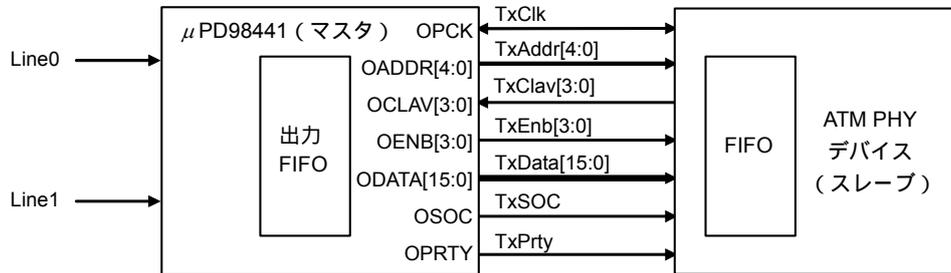
μ PD98441 信号名	I/O	UTOPIA 標準信号名
OPCK	I	RxCIk
OADDR[4:0]	I	RxAddr[4:0]
OCLAV[3:0]	O	RxClav[3:0]
OENB[0]	I	RxEnb
ODATA[15:0]	O	RxData[15:0]
OSOC	O	RxSOC
OPRTY	O	RxPrty

μ PD98441 信号名	I/O	UTOPIA 標準信号名
IPCK	I	TxCIk
IADDR[4:0]	I	TxAddr[4:0]
ICLAV[3:0]	O	TxClav[3:0]
IENB[0]	I	TxEnb
IDATA[15:0]	I	TxData[15:0]
ISOC	I	TxSOC
IPRTY	I	TxPrty

4.2.2 UTOPIA マスタ送信インタフェース

マスタ・モードの μ PD98441は、PHY デバイスに対して各論理ポートの FIFO の空き状態を問い合わせるポーリング動作と、ポーリング結果から転送先ポートの選択を行うセレクション動作を行います。

図4-3 マスタ送信インタフェース (UTOPIA モード)



(1) 1Clav ポーリング動作

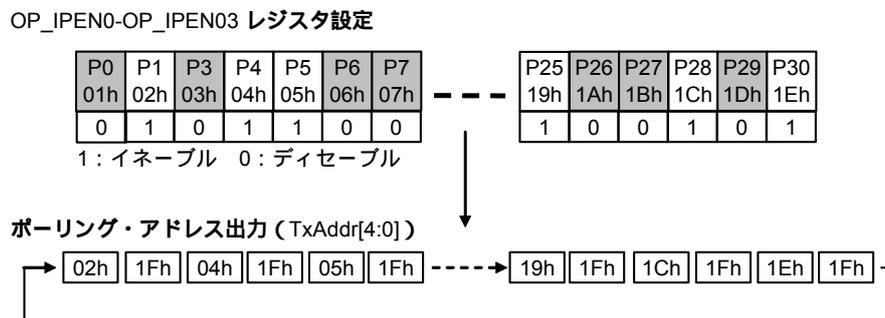
1Clav モードは、PHY デバイスの送受信 FIFO 状態を 1 ペアの TxClav/RxClav 信号にマルチプレクサしてマスタ・デバイスに通知するモードです。

μ PD98441 は、TxAddr 信号にポート・アドレスを出力し、最大 31 の論理ポートの FIFO 状態をポーリングします。PHY デバイスは、TxAddr と自身のポート・アドレスを比較し一致していたなら、次のクロック・サイクルで TxClav より FIFO 状態を通知します。 μ PD98441 は、TxClav = H ならそのポート・アドレスの FIFO に 1 セル以上の空きがあると判断し、TxClav = L なら 1 セル分の空きがないと判断します。

μ PD98441 は、2 クロック・サイクル単位でポーリングを行います。1 サイクル目に対象論理ポートのアドレスを出力し、次のクロック・サイクルで Null アドレス (1Fh) を出力します。ポーリング・アドレスは、イネーブルの論理ポートのアドレスを昇順で出力します。ただし、セルの最終バイトを出力するサイクルには、 μ PD98441 は、2 クロックのポーリング・サイクルに関係なく常に Null アドレスを出力します。

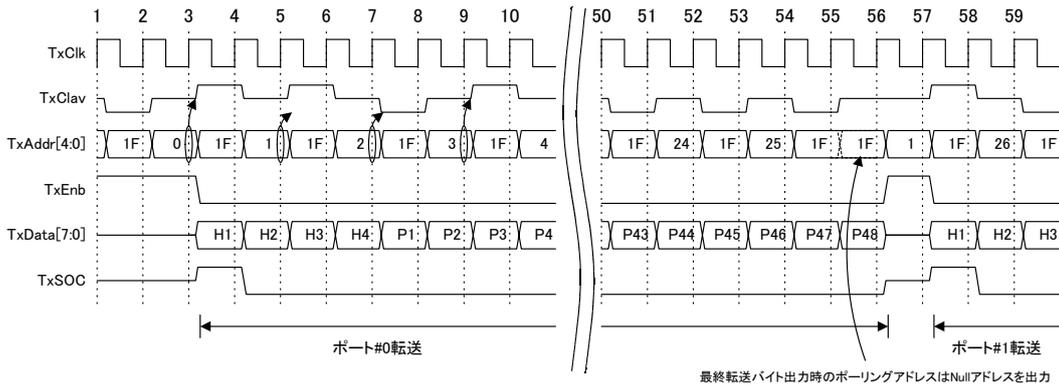
例 OP_IPEN0-OP_IPEN3 レジスタ設定によりポート 1, ポート 4, ポート 5, ポート 25, ポート 28, ポート 30 をイネーブルにした場合

図4-4 ポーリング・アドレスの出力



μ PD98441 は、セル転送を終了する 4 クロック・サイクル前までを、転送中の論理ポート・アドレスに対する TxClav の無効期間とし無視します。

図4-5 1Clavモードの送信インタフェース

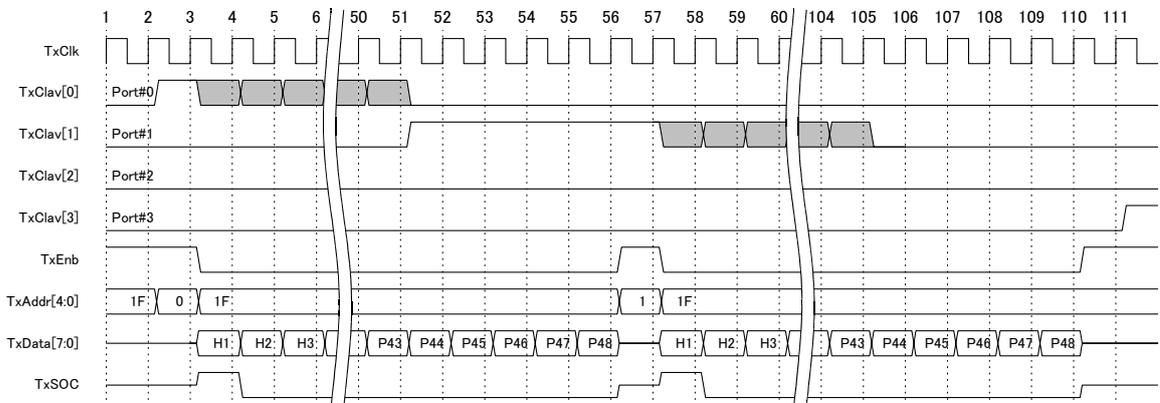


(2) DSIモード

DSIモードは、4ビットのTxClav[3:0]で各論理ポート（最大4ポート）のFIFO状態が通知されるモードです。μPD98441は、TxClav = Hならその信号に割り当てられた論理ポートのFIFOに1セル以上の空きがあると判断し、TxClav = Lなら1セル分の空きがないと判断します。TxClav[3:0]に割り当てる論理ポート・アドレスは、IP_IPEN0-3レジスタへの設定により変更できます。

μPD98441は、セル転送開始から、セル転送を終える4クロック・サイクル前までを、転送ポート・アドレスに対するTxClavの無効期間として無視します。

図4-6 DSIモードの送信インタフェース



(3) MSPモード

MSPモードは、4ビットのTxClav[3:0]を使ってPHYデバイス（最大31論理ポート）のFIFO状態をポーリングするモードです。1回のポーリング・サイクルで、4論理ポートの結果を得られるため、ポーリングの回数を削減できます。

MSPモードでは、すべてのポート・アドレスを表4-3、表4-4に従ってTxClav[3:0]信号の一つと、8つのPHYポート・グループの一つに割り当てます。

表4 - 3 TxClav 信号に対するポート・アドレス割り当て

信号	ポート・アドレス
TxClaV[0]	0, 4, 8, 12, 16, 20, 24, 28
TxClaV[1]	1, 5, 9, 13, 17, 21, 25, 29
TxClaV[2]	2, 6, 10, 14, 18, 22, 26, 30
TxClaV[3]	3, 7, 11, 15, 19, 23, 27

表4 - 4 グループ・アドレスに対するポート・アドレス割り当て (送信側)

PHY ポート・アドレス	グループ番号	グループ・アドレス(TxAddr[4:0])
0, 1, 2, 3	0	000xx
4, 5, 6, 7	1	001xx
8, 9, 10, 11	2	010xx
12, 13, 14, 15	3	011xx
16, 17, 18, 19	4	100xx
20, 21, 22, 23	5	101xx
24, 25, 26, 27	6	110xx
28, 29, 30	7	1110x, 11110

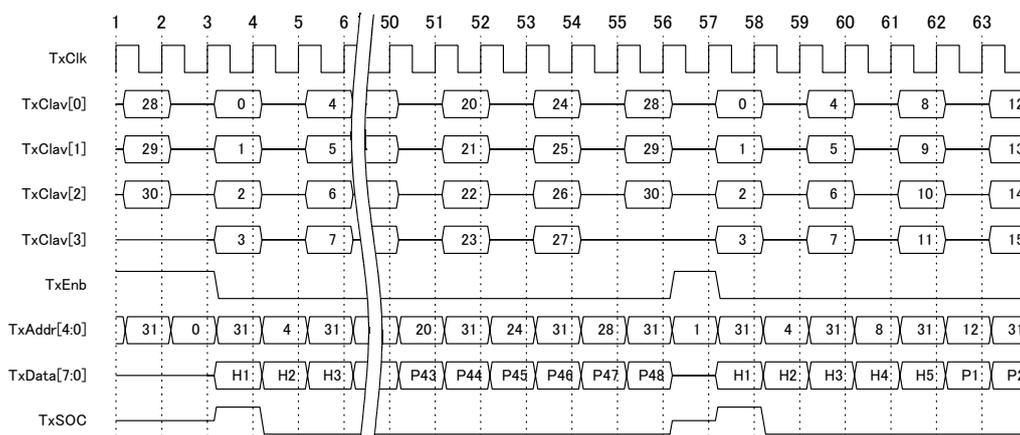
x = don't care

μPD98441 が、TxAddr にポーリング・アドレスを出力します。PHY デバイスは、TxAddr が Null アドレス (1Fh) ではない場合に、TxAddr の上位 3 ビットを自身のグループと比較し一致していたなら、次のクロック・サイクルで割り当てられた TxClav より FIFO 状態を通知します。表 4 - 3 と表 4 - 4 の割り当てにより、1 回のポーリングで 4 つの論理ポートが、各 TxClav に応答することになります。

μPD98441 は、出力したアドレス上位 3 ビットと、TxClav[n] の n 番号から応答した論理ポートのアドレス (5 ビット) を特定することができます。μPD98441 は、TxClav = H ならその論理ポートの FIFO に 1 セル以上の空きがあると判断し、TxClav = L なら FIFO に 1 セル分の空きがないと判断します。

μPD98441 は、2 クロック・サイクル単位でポーリングを行います。1 サイクル目に対象論理ポートのアドレス (グループ・アドレス) を出力し、次のクロック・サイクルで Null アドレス (1Fh) を出力します。ポーリング・アドレスは、イネーブルの論理ポートのアドレスを昇順で出力します。ただし、セルの最終バイトを出力するサイクルには、μPD98441 は、2 クロックのポーリング・サイクルに関係なく常に Null アドレスを出力します。

図4 - 7 MSP モードの送信インタフェース



(4) 拡張アクセス・モードのポーリング動作

拡張アクセス・モードでは、最大 124 の論理ポートの FIFO 状態をポーリングします。最大 31 の論理ポートが TxClav[3:0]のそれぞれにグループ 0~3 として接続されます（以降、TxClav に接続された 4 論理ポートのアドレスのくくりをグループと呼び、グループ 0 アドレスをポート・アドレス 0 と表します）。ポーリングは、1Clav モードと同じ要領になります。1 回のポーリング・サイクルで、各グループのアドレスに合致する論理ポートが、それぞれの TxClav に同時に応答します。

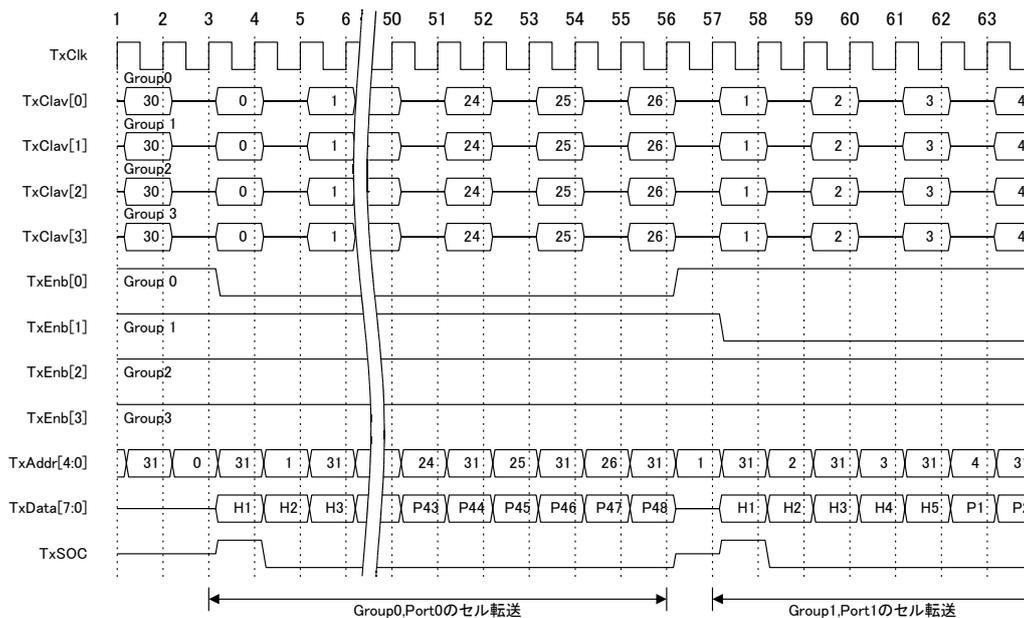
表4-5 拡張アクセス時の TxClav 信号に対するポート・アドレス割り当て

信号	PHY デバイス	PHY ポート・アドレス
TxClav[0]	グループ 0	0 ~ 30
TxClav[1]	グループ 1	0 ~ 30
TxClav[2]	グループ 2	0 ~ 30
TxClav[3]	グループ 3	0 ~ 30

拡張アクセス・モードでのポーリングは、まず μ PD98441 が TxAddr にポート・アドレスを出力します。PHY デバイスは、1Clav モードと同様に TxAddr と自身のポート・アドレスを比較し一致していたなら、次のクロック・サイクルで割り当てられた TxClav より FIFO 状態を通知します。各グループの同じアドレスを持つ論理ポート（最大 4 つの論理ポート）が同時に応答します。 μ PD98441 は、TxClav = H ならその論理ポートが FIFO に 1 セル以上の空きがあると判断し、TxClav = L なら 1 セル分の空きがないと判断します。

μ PD98441 は、2クロック・サイクル単位でポーリングを行います。1 サイクル目に対象論理ポートのアドレスを出力し、次のクロック・サイクルで Null アドレス (1Fh) を出力します。ポーリング・アドレスは、論理ポートのアドレスを昇順で選択して出力します。ただし、セルの最終バイトを出力するサイクルには、 μ PD98441 は、2クロックのポーリング・サイクルに関係なく常に Null アドレスを出力します。

図4-8 拡張アクセス・モードのマスタ送信インタフェース例



(5) セレクション動作

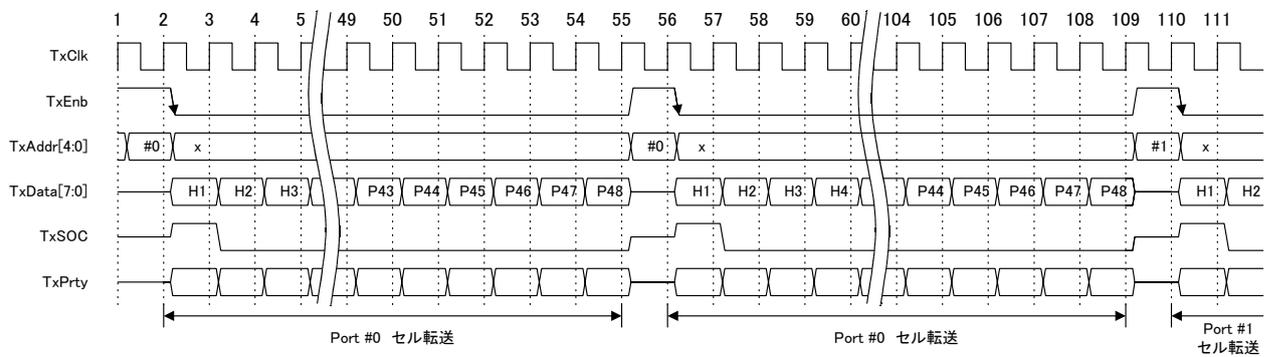
μPD98441 は、ポーリングで FIFO に空きがあると判断したポートの中から、round-robin 方式で転送ポートを選択します。TxEnb をデアサートするとともに転送ポート・アドレスを TxAddr に出力し、次のクロック・サイクルで TxEnb をアサートすることで、PHY デバイスに通知します (セレクション)。

μPD98441 は、TxEnb のアサートと同タイミングで、セルの先頭を示す TxSOC 信号とともに、TxData を出力し、セルの転送を開始します。

μPD98441 の TxClav = H を取得してからセレクションのアドレスを出力するまでの時間は、最短で 5 クロック・サイクルになります。

例 ポーリング結果がポート 0 : 可 ポート 3 : 不可 ポート 10 : 可 ポート 24 : 不可だった場合、ポート 0, ポート 10, ポート 24, ポート 0 の順でセレクションされます。

図4-9 送信インタフェース・セレクション動作

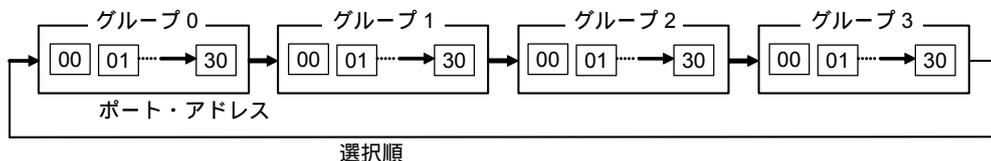


セル長は、52 バイト ~ 64 バイトであるため、1 セルの転送サイクルは、8 ビットのバス幅モード時で 52 ~ 64 サイクル、16 ビットバス幅モード時で 26 ~ 32 サイクルになります。μPD98441 は、セルの最終ワードを転送した次のクロック・サイクルで TxEnb をデアサートします。次の転送セルを保持している場合は、そのサイクルでポート・アドレスを出力し、再び TxEnb をアサートします。同一ポートに連続して転送する場合でも、マスタは、必ず最終ワードの次のクロック・サイクルで TxEnb を一度デアサートしセレクションし直します。μPD98441 のマスタ・モードでは、Back-to-Back 転送をサポートしていません。

拡張アクセス・モードの場合、論理ポートの選択は、グループ 0 グループ 1 グループ 2 グループ 3 の順に round-robin 方式で行います。すべての論理ポートが TxClav = H を返した場合では、グループ 0 のポート・アドレスが昇順で選択され、一巡すると、グループ 1 に移行します。

μPD98441 は、グループごとの TxEnb[n] を制御してセレクションを行います。グループ 1 の論理ポートをセレクションする場合は、TxEnb1 をデアサートするとともに転送ポート・アドレスを TxAddr に出力し、次のクロック・サイクルで TxEnb1 をアサートします。セレクションからセル転送の一連の動作は、1Clav モードと同じです。

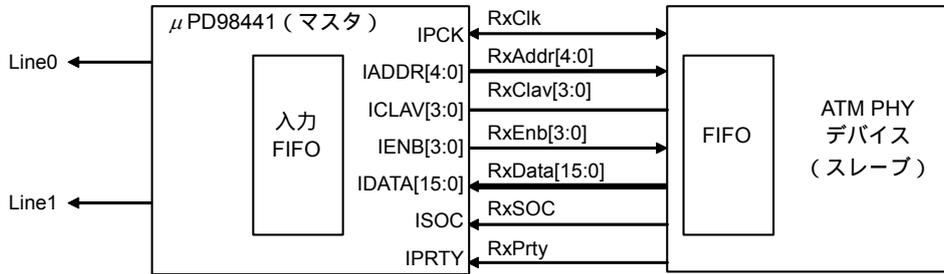
図4-10 拡張アクセス・モードのセレクション順 (送信インタフェース)



4.2.3 UTOPIA マスタ受信インタフェース

マスタ・モードの μ PD98441は、PHY デバイスに対して各論理ポートの FIFO のデータ格納状況を問い合わせるポーリング動作と、ポーリング結果から転送を許可するポートを選択するセレクション動作を行います。

図4-11 マスタ受信インタフェース (UTOPIA モード)

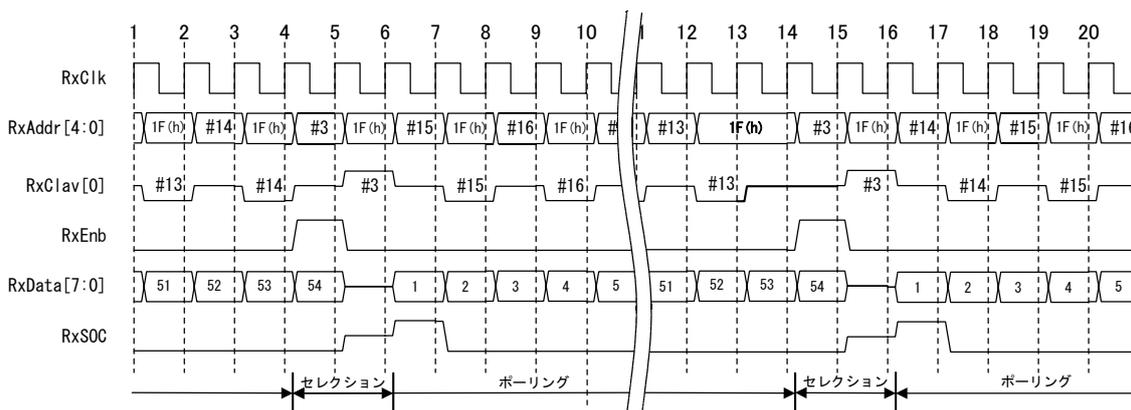


(1) 1Clav ポーリング動作

μ PD98441は、RxAddr 信号にポート・アドレスを出力し、最大 31 の論理ポートの FIFO 状態をポーリングします。PHY デバイスは、RxAddr と自身のポート・アドレスを比較し一致していたなら、次のクロック・サイクルで RxClav より FIFO 状態を通知します。 μ PD98441は、RxClav = H ならそのポート・アドレスの FIFO に 1 セル以上の有効データがあると判断し、RxClav = L なら FIFO に 1 セル以上の有効データがないと判断します。

μ PD98441は、2 クロック・サイクル単位でポーリングを行います。1 サイクル目に対象論理ポートのアドレスを出力し、次のクロック・サイクルで Null アドレス (1Fh) を出力します。ポーリング・アドレスは、イネーブルの論理ポートのアドレスを昇順で選択して出力します。ただし、セルの最終バイトを出力するサイクルには、 μ PD98441は、2 クロックのポーリング・サイクルに関係なく常に Null アドレスを出力します。転送中のポートは、ポーリング対象から外します。

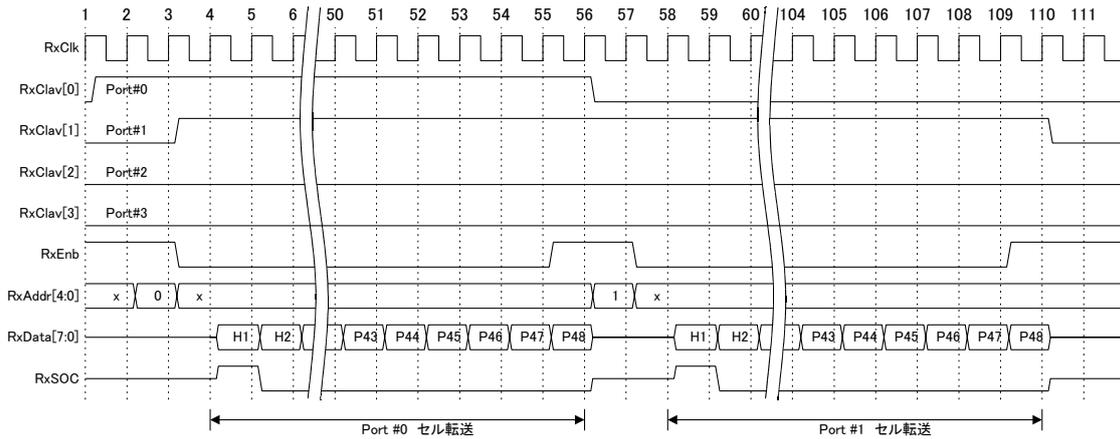
図4-12 1Clav モードの受信インタフェース・タイミング



(2) DSI モード

DSI モードは、4 ビットの RxClav[3:0]で各論理ポート (最大 4 ポート) の FIFO 状態が通知されるモードです。 μ PD98441は、RxClav = H ならその信号に割り当てられた論理ポートの FIFO に 1 セル以上の有効データがあると判断し、RxClav = L なら FIFO に 1 セル以上の有効データがないと判断します。RxClav[3:0]に割り当てる論理ポート・アドレスは、OP_IPEN0-3 レジスタへの設定により変更できます。

図4 - 13 DSI モードの受信インタフェース・タイミング



(3) MSP モード

MSP モードは、4 ビットの RxClav[3:0]を使って PHY デバイス（最大 31 論理ポート）の FIFO 状態をポーリングするモードです。1 回のポーリング・サイクルで、4 論理ポートを同時にポーリングするため、ポーリング回数を削減できます。

MSP モードでは、すべてのポート・アドレスを表 4 - 6、表 4 - 7 に従って RxClav[3:0]の一つと、8 つの PHY ポート・グループの一つに割り当てます。

表4 - 6 RxClav 信号に対するポート・アドレス割り当て

信号	PHY ポート・アドレス
RxClav[0]	0, 4, 8, 12, 16, 20, 24, 28
RxClav[1]	1, 5, 9, 13, 17, 21, 25, 29
RxClav[2]	2, 6, 10, 14, 18, 22, 26, 30
RxClav[3]	3, 7, 11, 15, 19, 23, 27

表4 - 7 グループ・アドレスに対するポート・アドレス割り当て (受信側)

PHY ポート・アドレス	グループ番号	グループ・アドレス(RxAddr[4:0])
0, 1, 2, 3	0	000xx
4, 5, 6, 7	1	001xx
8, 9, 10, 11	2	010xx
12, 13, 14, 15	3	011xx
16, 17, 18, 19	4	100xx
20, 21, 22, 23	5	101xx
24, 25, 26, 27	6	110xx
28, 29, 30	7	1110x, 11110

x=don't care

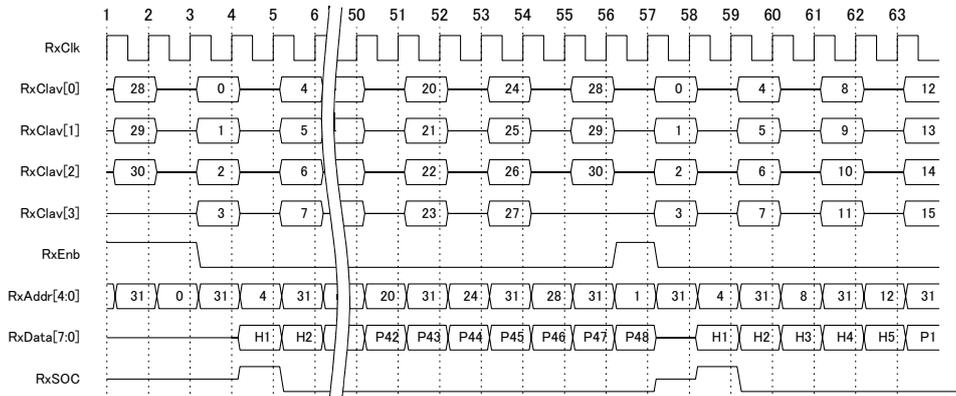
μPD98441 が、RxAddr にポーリング・アドレスを出力します。PHY デバイスは、RxAddr が Null アドレス (1Fh) ではない場合に、RxAddr の上位 3 ビットを自身のグループと比較し一致していたなら、次のクロック・サイクルで割り当てられた RxClav より FIFO 状態を通知します。表 4 - 6 と表 4 - 7 の割り当てにより、1 回のポーリングで 4 つの論理ポートが、各 RxClav に応答することになります。

μPD98441 は、出力したアドレス上位 3 ビットと、RxClav[n]の n 番号から応答した論理ポートのアドレス (5 ビット) を特定することができます。μPD98441 は、RxClav = H ならその論理ポートの FIFO に 1

セル以上の有効データがあると判断し、RxClav = L なら FIFO に 1 セル以上の有効データがないと判断します。

μPD98441 は、2クロック・サイクル単位でポーリングを行います。1 サイクル目に対象論理ポートのアドレス（グループ・アドレス）を出力し、次のクロック・サイクルで Null アドレス（1Fh）を出力します。ポーリング・アドレスは、イネーブルの論理ポートのアドレスを昇順で出力します。

図4 - 14 MSP モードの受信インタフェース



(4) 拡張アクセス・モードのポーリング動作

拡張アクセス・モードでは、最大 124 の論理ポートの FIFO 状態をポーリングします。最大 31 の論理ポートが RxClav[3:0]のそれぞれにグループ 0~3 として接続されます。(以降、RxClav に接続された 4 論理ポートのアドレスのくくりをグループと呼び、グループ 0 アドレスをポート・アドレス 0 と表します。)ポーリングは、1Clav モードと同じ要領になります。1 回のポーリング・サイクルで、各グループのアドレスに合致する論理ポートが、それぞれの RxClav に同時に応答します。

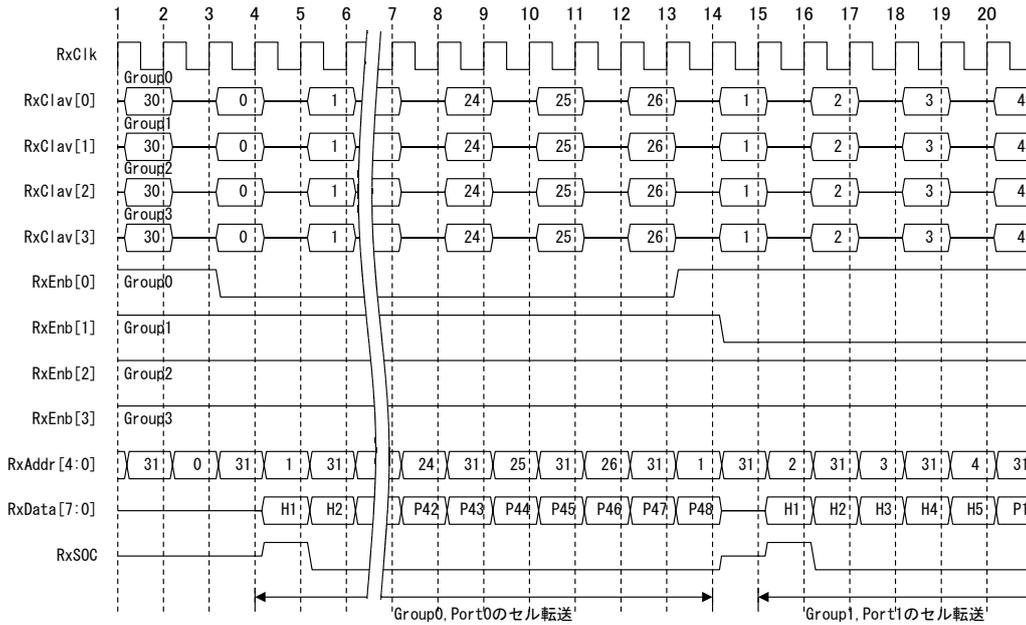
表4 - 8 拡張アクセス時の RxClav 信号に対するポート・アドレス割り当て

信号	PHY デバイス	PHY ポート・アドレス
RxClav[0]	グループ 0	0 ~ 30
RxClav[1]	グループ 1	0 ~ 30
RxClav[2]	グループ 2	0 ~ 30
RxClav[3]	グループ 3	0 ~ 30

拡張アクセス・モードでのポーリングは、まずμPD98441 が RxAddr にポート・アドレスを出力します。PHY デバイスは、1Clav モードと同様に RxAddr と自身のポート・アドレスを比較し一致していたなら、次のクロック・サイクルで割り当てられた RxClav より FIFO 状態を通知します。各グループの同じアドレスを持つ論理ポート（最大 4 つの論理ポート）が同時に応答します。μPD98441 は、RxClav = H ならその論理ポートが FIFO に 1 セル以上のデータがあると判断し、RxClav = L なら 1 セル以上のデータがないと判断します。

μPD98441 は、2クロック・サイクル単位でポーリングを行います。1 サイクル目に対象論理ポートのアドレスを出力し、次のクロック・サイクルで Null アドレス（1Fh）を出力します。ポーリング・アドレスは、イネーブルの論理ポートのアドレスを昇順で選択して出力します。ただし、セルの最終バイトを出力するサイクルには、μPD98441 は、2 クロックのポーリング・サイクルに関係なく常に Null アドレスを出力します。

図4 - 15 拡張アクセス・モードのマスタ受信インタフェース例



(5) セレクション動作

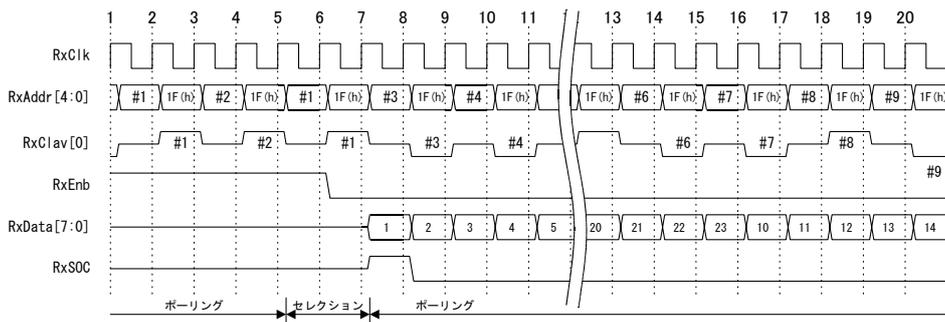
最初の RxClav = H を検出すると、その 2 サイクル後に、セルの転送を許可する論理ポートをセレクションします。ポートのセレクションは、対象ポート・アドレスを RxAddr に出力し、次のクロック・サイクルで RxEnb をアサートすることで、PHY デバイスに通知します。RxEnb のアサート後、RxSOC = H を検出すると、RxData 上のデータの取り込みを開始します。

μPD98441 は、RxEnb をアサートしたクロックの立ち上がりから、3 サイクル後のクロックの立ち上がりまでに RxSOC = H を検出できなかった場合は、入力 SOC エラー検出として通知し、RxEnb をデアサートして次のポートのセレクションに移ります。4 サイクル目以降の立ち上がりで、RxSOC = H を入力された場合、μPD98441 はそのセルを正しく受信できず、壊れたセルを入力 FIFO に格納する恐れがあります。PHY デバイスは、RxEnb = L を検出したクロックの立ち上がりで RxSOC をハイにするか、少なくともその次のクロックの立ち上がりで RxSOC をハイにしてください。1 セルの転送を取り込むまでに、RxSOC が複数回入力された場合は、最初の RxSOC を有効とみなし、2 回目以降は無視します。

μPD98441 は、セルの最終ワードを取り込むクロック・サイクルで RxEnb をデアサートします。同一ポートから連続してセルを取り込む場合でも、一度 RxEnb をデアサートしてセレクションしなおします。

μPD98441 は、マスタ・モードでは、Back-to-Back 転送をサポートしていません。

図4 - 16 受信インタフェース・セレクション動作



拡張アクセス・モードの場合，論理ポートの選択は，グループ 0 グループ 1 グループ 2 グループ 3 の順に round-robin 方式で行います。μPD98441 は，グループごとの RxEnb[n]を制御してセレクションを行います。グループ 1 の論理ポートをセレクションする場合は，RxEnb1 をデアサートするとともに転送ポート・アドレスを RxAddr に出力し，次のクロック・サイクルで RxEnb1 をアサートします。セレクションからセル取り込みの一連の動作は，1Clav モードと同じです。

図4 - 17 拡張アクセス・モードのセレクション順（受信インタフェース）

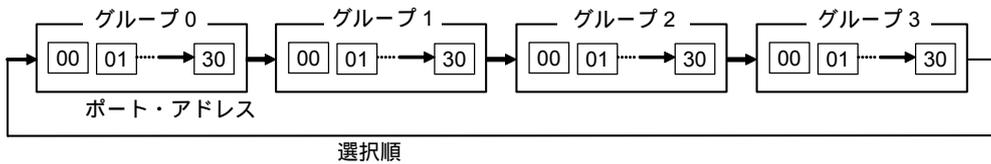


図 4 - 18，図 4 - 19は，異なる PHY デバイスからの連続転送を示しています。μPD98441 はセルと取り込み中，次にセレクション可能な論理ポートがある場合，最終ワードが入力されるタイミングでセレクション動作を開始します。最終バイト転送時に 1Fh を出力するような場合は，その前の 1Fh 出力を 2 サイクル出力して，最終ワード転送時にアドレスを出力します。

図4 - 18 ポートを切り替えての連続受信（1Clav モード）

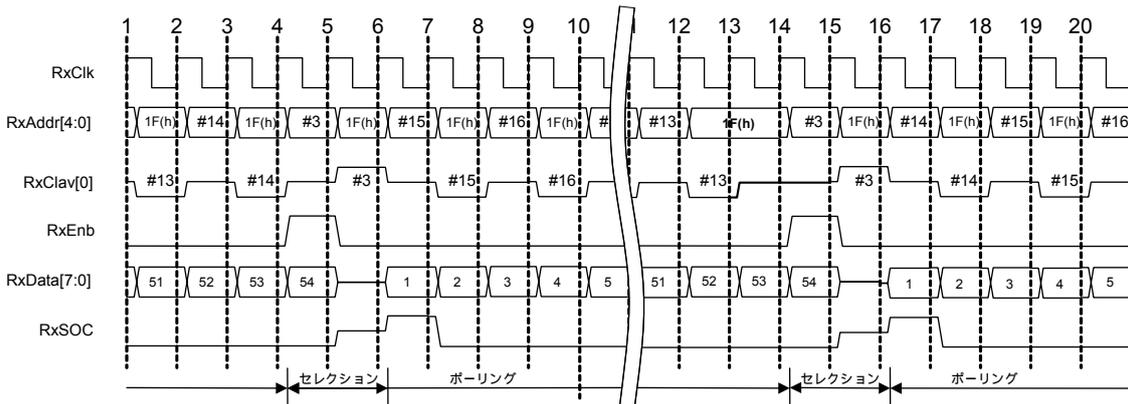


図4 - 19 DSI モードの受信インタフェースでのポートの切り替え

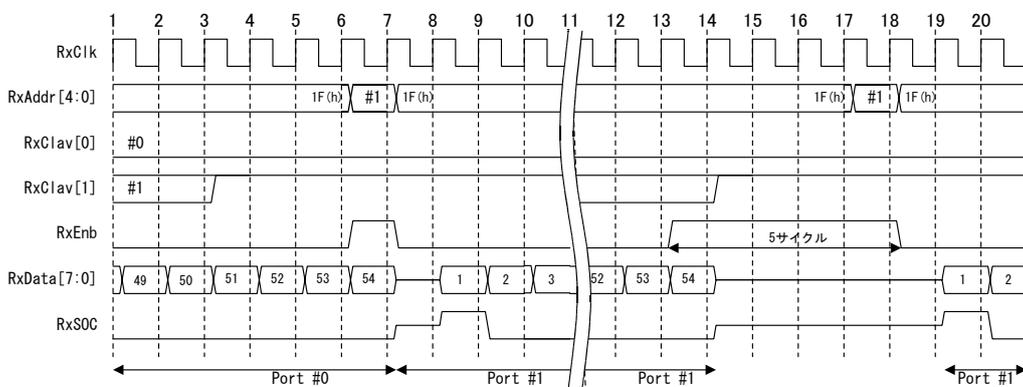


図 4 - 20は，同一論理ポートからの連続転送を示しています。転送中の論理ポートが次のセルを受信 FIFO 内に持つかについては，μPD98441 は最終ワードを転送したあとのポーリング結果から判断します。ポーリングの結果 RxClav = Hを検出すると，一度，他ポートのポーリングを行ってからセレクションのた

めにポート・アドレスを出力します。 μ PD98441 は、Back-to-Back 転送をサポートしていません。

図4 - 20 同一ポートからの連続受信 (1Clav モード)

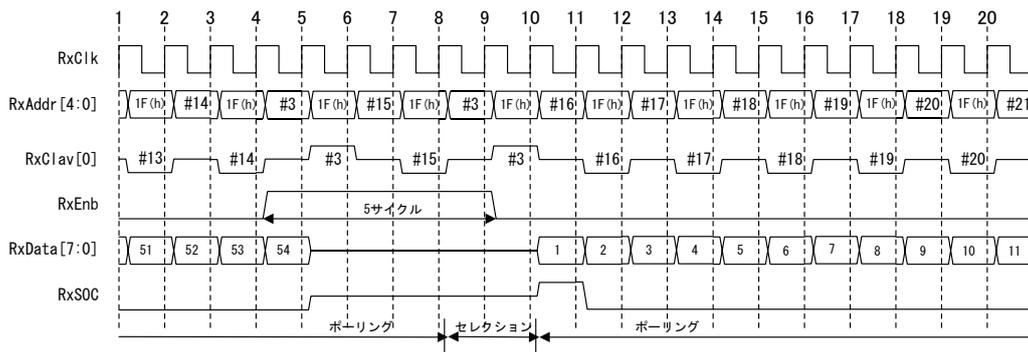


図 4 - 21は、 μ PD98441 が RxEnb をアサートしたあと、RxSOC の入力遅延した場合です。 μ PD98441 は、RxSOC の 1 サイクルの遅延を許容し、RxSOC がアサートされているサイクルからデータの取り込みを開始します。

図4 - 21 RxSOC の入力遅延 (1Clav モード)

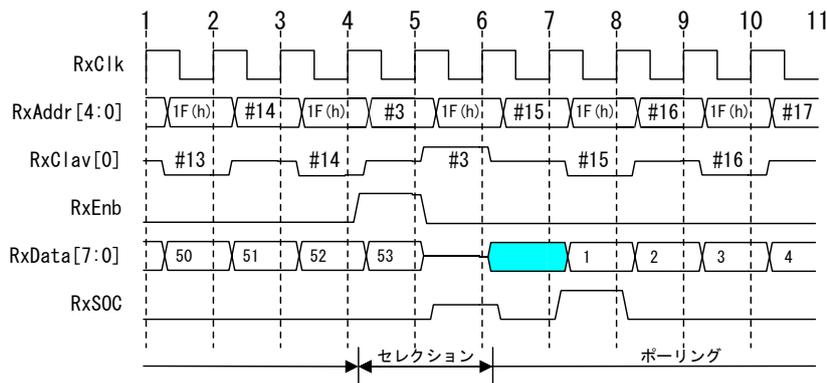
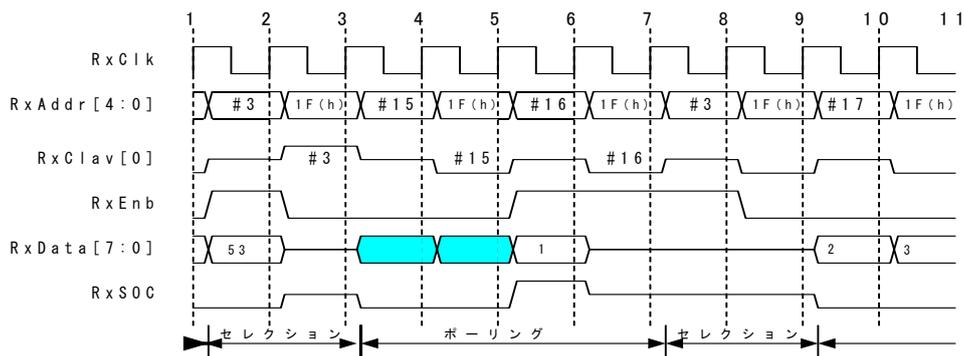


図 4 - 22は、RxSOC が RxEnb をアサートしてから 2 サイクル後に入力された場合の例です。 μ PD98441 は、この場合、セレクションに失敗したと判断し SOC エラーを通知して、次のポートのセレクションを開始します。図 4 - 22では、 μ PD98441 が RxEnb をデアサートするサイクルに、RxSOC が入力されていますが、 μ PD98441 はこのタイミングで入力されるセルを正しく受信できません。壊れたセルを FIFO に格納するおそれがありますので、RxSOC は、必ず図 4 - 20か図 4 - 21のタイミングで入力するようにしてください。

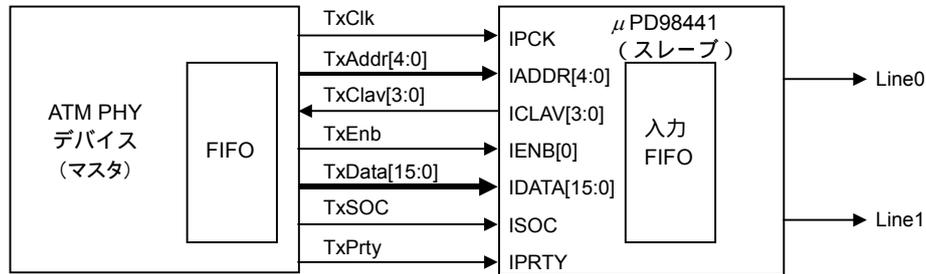
図4 - 22 RxSOC の入力禁止タイミング (1Clav モード)



4.2.4 UTOPIA スレーブ送信インタフェース

スレーブ・モードの μ PD98441 は、マスタからのポーリングに FIFO の空き状況を応答する動作と、セレクションされた論理ポートへの転送セルを取り込む動作を行います。

図4 - 23 スレーブ送信インタフェース (UTOPIA モード)



(1) 1Clav ポーリング応答

μ PD98441 は、イネーブルに設定されているポート・アドレスと TxAddr を比較し、一致した論理ポートの入力 FIFO の空き状態を、次のクロック・サイクルで TxClav より通知します。一致するポート・アドレスがない場合には TxClav を Hi-Z にします。

セル転送中のポートがポーリングを受けたとき、デフォルトでは最終ワードの 4 サイクル前まで TxClav = H を返します。それ以降にポーリングされた場合は、FIFO 状態に応じて応答します。

セル転送中のポートが、TxClav を有効にするタイミングは、PIMD レジスタの EPM ビットで変更することができます。図 4 - 24、図 4 - 25 にモードによる TxClav の変化タイミングの違いを示します。図 4 - 24、図 4 - 25 では、TxClav の変化タイミングを分かりやすくするため、DSI モードで表しています。送信 FIFO の空き容量が転送中のセルにより 1 セルに満たなくなるので、TxClav = H から TxClav = L に変化する例です。1Clav および MSP モードでは、図 4 - 24、図 4 - 25 の TxClav = L であるタイミングでポーリングをした場合に TxClav = L を応答します。

図4 - 24 TxClav の有効タイミングのモード (8 ビットバス幅)

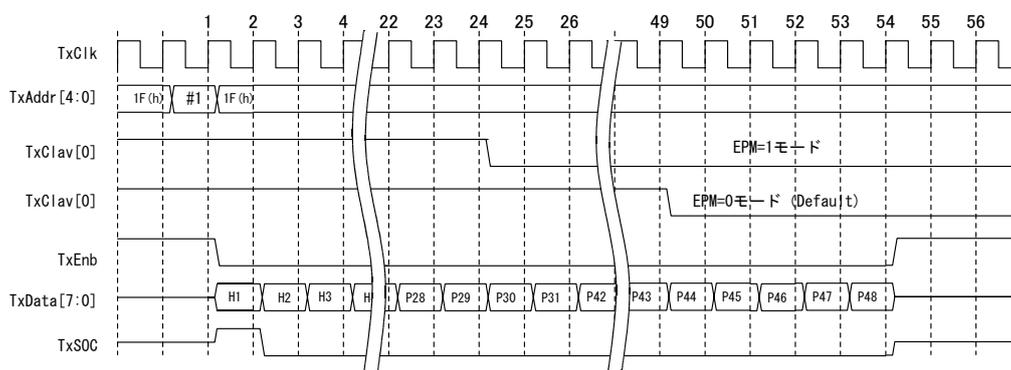
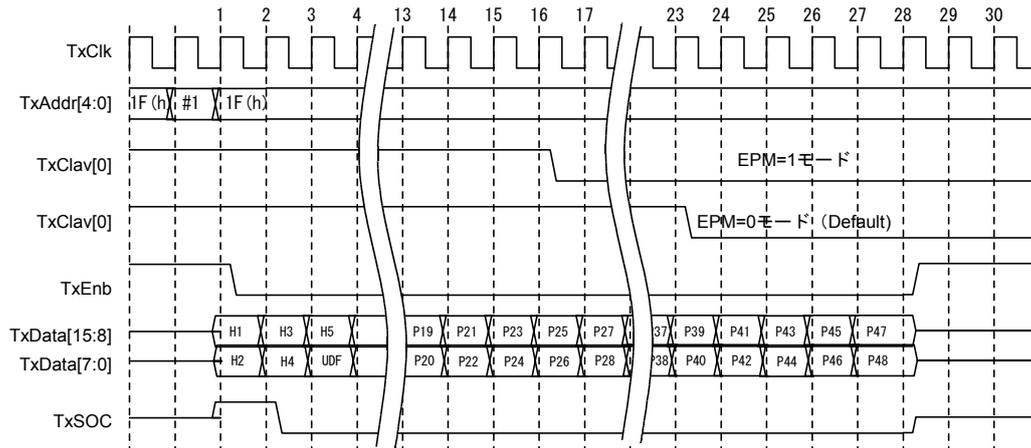


図4 - 25 TxClavの有効タイミングのモード (16ビット・バス幅)



TxClav の応答条件である FIFO の空き容量のサイズは、IFTMD0 レジスタへの設定によって変更することができます。「3.4.9 TxClav 信号の変化条件」を参照してください。

(2) DSI モード

4つの論理ポートに4ビットのTxClavをそれぞれ割り当て、送信FIFOの状態を常時TxClav上に示します。デフォルトでは、入力FIFOに1セル以上の空き容量があるとTxClav = Hにし、空き容量が1セル分に満たなくなるとTxClav = Lにします。この送信FIFOの空き容量の条件は、IFTMD0レジスタの設定により変更することができます（「3.4.9 TxClav 信号の変化条件」を参照）。

セル転送中のポートは、デフォルトでは最終ワードの4サイクル前までTxClav = Hに維持します。それ以降にポーリングされた場合は、FIFO状態によって応答します。セル転送中のポートが、TxClavを有効にするタイミングは、PIMDレジスタのEPMビットで変更することができます。図4-24、図4-25を参照してください。

タイミング・チャートは、図4-6と同じになりますので参照してください。

(3) MSP モード

MSPモードでは、すべてのポート・アドレスが、TxClav[3:0]の1つと、8つのPHYポート・グループの1つに割り当てられます。ポート・アドレスの割り当ては、表4-3、表4-4に従います。

μ PD98441は、イネーブルに設定されているポート・アドレスとTxAddrの上位3ビットを比較し、一致した論理ポートのFIFOの空き状態を、次のクロック・サイクルでTxClavより通知します。アドレスの上位3ビットが同じである最大4つの論理ポートが、一度のポーリング・サイクルで同時にそれぞれのTxClavでFIFO状態を通知します。一致するポート・アドレスがない場合にはTxClavをHi-Zにします。

デフォルトでは、送信FIFOに1セル以上の空き容量があるとTxClav = Hにし、空き容量が1セル分に満たなくなるとTxClav = Lにして応答します。この送信FIFOの空き容量の条件は、IFTMD0レジスタの設定により変更することができます（「3.4.9 TxClav 信号の変化条件」を参照）。

セル転送中のポートがポーリングを受けたとき、デフォルト・モードでは最終ワードの4サイクル前までTxClav = Hにします。それ以降にポーリングされた場合は、FIFO状態に応じて、応答します。セル転送中のポートが、TxClavを有効にするタイミングは、PIMDレジスタのEPMビットで変更することができます。図4-24、図4-25を参照してください。

タイミング・チャートは、図4-7と同じになりますので参照してください。

(4) 拡張アクセス・モード

スレーブ・モードで、かつ拡張アクセス・モードの場合、1Clav モードと同じ動作になります。

(5) セルの取り込み

TxEnb がアサートされたとき、 μ PD98441 は、その直前のクロック・サイクルで TxAddr 上に出力されていたアドレスの論理ポートをセレクション状態にします。TxEnb がアサートされた次のクロック・サイクルの立ち上がりから TxSOC を調べ TxSOC = H を検出すると、そのサイクルの TxData から、セレクションされた論理ポートのデータとして取り込みを開始します。TxSOC が入力されるまでは、データを取り込みません。1セル分のデータを取り込む前に TxSOC を複数回入力されても、最初の TxSOC を有効とみなし、2回目以降を無視します。

1セル分のデータを取り込みが完了する前に TxEnb がデアサートされ、セル転送が一時中断されたとき、その後の再セレクション動作で異なるポートがセレクションされた場合は、再セレクション・エラーとして通知し、そのセレクション・ポートは無視して、中断されていた論理ポートへの続きのデータとして取り込みます。

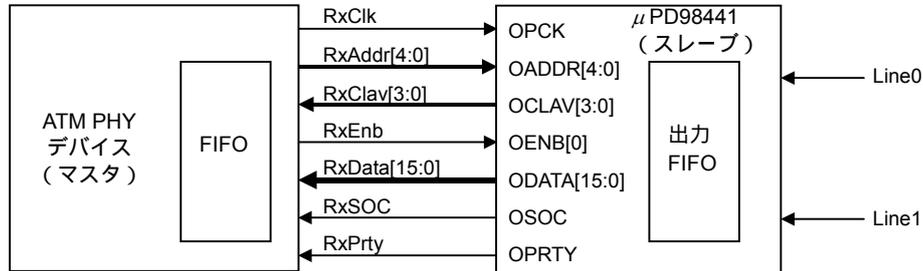
TxClav = H を返していない論理ポートに対してセレクションされた場合は、セレクション・エラーとして通知し、そのデータは廃棄します。

スレーブ・モードの μ PD98441 は、Back-to-Back 転送をサポートしています。

4.2.5 UTOPIA スレーブ受信インタフェース

スレーブ・モードの μ PD98441 は、マスタからのポーリングに対して FIFO 内のデータ格納状況を応答する動作と、セレクションされた論理ポートからのセル転送動作を行います。

図4-26 スレーブ受信インタフェース (UTOPIA モード)



(1) 1Clav ポーリング応答

μ PD98441 は、イネーブルに設定されているポート・アドレスと RxAddr を比較し、一致した論理ポートの FIFO のデータ格納状況を、次のクロック・サイクルで RxClav より通知します。FIFO 内に 1 セル以上のデータがある場合には RxClav = H を返し、1 セル以上のデータがない場合は RxClav = L を返します。一致するポート・アドレスがない場合には RxClav を Hi-Z にします。

セル転送中のポートがポーリングを受けたとき、デフォルトではセル転送終了まで RxClav = H を返します。セル転送終了後にポーリングされると、FIFO のデータ格納状況に応じて応答します。

セル転送中のポートが、次のセル格納状況を RxClav 上に示すタイミングは、PIMD レジスタの EPM ビットで変更することができます。図 4-27、図 4-28 にモードによる RxClav の変化タイミングの違いを示します。図 4-27、図 4-28 では、RxClav の変化タイミングを分かりやすくするため、DSI モードで表しています。転送中のセルを最後に出力 FIFO に次に転送すべきセルがなくなるので、RxClav = H から RxClav = L に変化する例を表しています。1Clav および MSP モードでは、図 4-27、図 4-28 の RxClav = L であるタイミングでポーリングをした場合に RxClav = L を応答します。

図4-27 RxClav の有効タイミングのモード (8 ビット・バス幅)

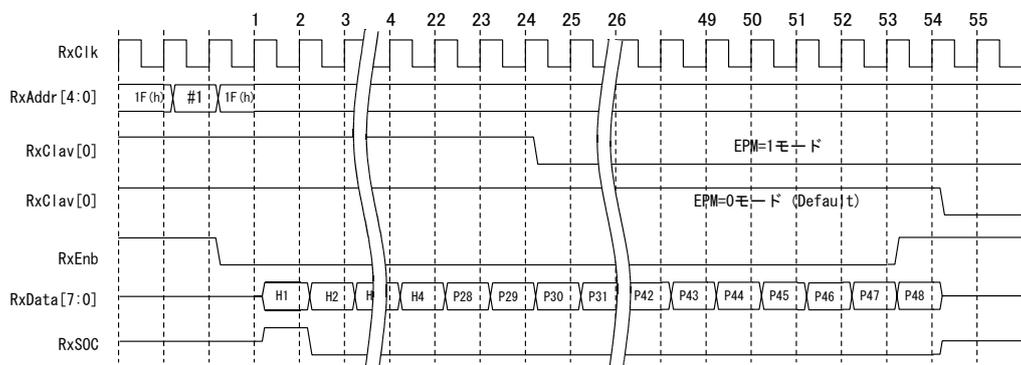
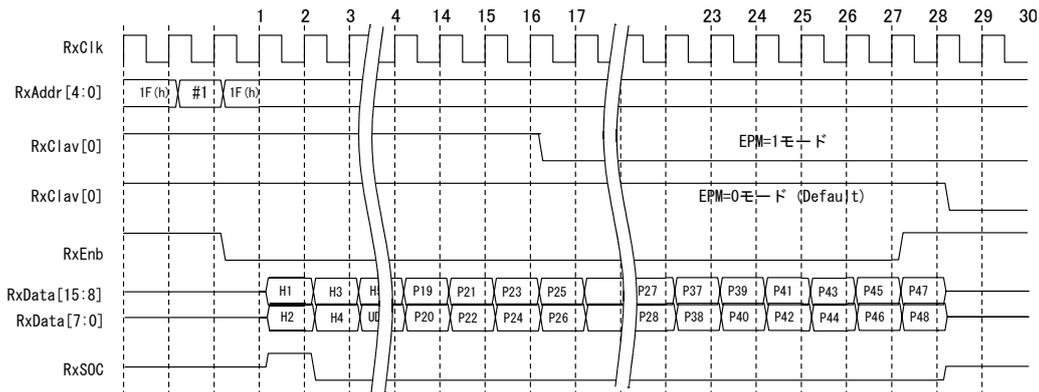


図4-28 RxClavの有効タイミングのモード(16ビット・バス幅)

**(2) DSI モード**

4つの論理ポートに4ビットのRxClavをそれぞれ割り当て、出力FIFOのデータ格納状況を常時RxClav上に示します。出力FIFOに1セル以上のデータがある場合はRxClav = Hにし、1セル以上のデータがない場合はRxClav = Lにします。

セル転送中のポートは、セル転送終了までRxClav = Hを維持します。セル転送中のポートが、次に転送すべきセルが出力FIFO内にあるかをRxClav上に示すタイミングは、PIMDレジスタのEPMビットで変更することができます。図4-27、図4-28を参照してください。

タイミング・チャートは、図4-13と同じになりますので参照してください。

(3) MSP モード

MSPモードでは、すべてのポート・アドレスが、RxClav[3:0]の1つと、8つのPHYポート・グループの1つに割り当てられます。ポート・アドレスの割り当ては、表4-6、表4-7に従います。

μ PD98441は、イネーブルに設定されているポート・アドレスとRxAddrの上位3ビットを比較し、一致した論理ポートのFIFOのデータ格納状況を、次のクロック・サイクルでRxClavより通知します。アドレスの上位3ビットが同じである4つの論理ポートが、一度のポーリング・サイクルで同時にそれぞれのRxClavよりFIFO状態を通知します。一致するポート・アドレスがない場合にはRxClavをHi-Zにします。

受信FIFO内に1セル以上のデータがある場合にはRxClav = Hを返し、1セル以上のデータがない場合はRxClav = Lを返します。一致するポート・アドレスがない場合にはRxClavをHi-Zにします。

セル転送中のポートがポーリングを受けたとき、デフォルトではセル転送終了までRxClav = Hを返します。セル転送中のポートが、次に転送すべきセルがFIFO内にあるかをRxClav上に示すタイミングは、PIMDレジスタのEPMビットで変更することができます。図4-27、図4-28を参照してください。

タイミング・チャートは、図4-14と同じになりますので参照してください。

(4) 拡張アクセス・モード

スレーブ・モードで、かつ拡張アクセス・モードの場合、1Clavモードと同じ動作になります。

(5) セル出力

RxEnb がアサートされたとき、 μ PD98441 はその直前のクロック・サイクルで RxAddr 上に出力されていたアドレスの論理ポートをセレクション状態にします。RxEnb のアサートを検出したクロック・サイクルの立ち上がりから、セレクション・ポートのセルを RxData に出力します。セルの先頭ワードを出力するときは、RxSOC を 1 にします。

1 セル分のデータの出力を完了する前に RxEnb = H になった場合、 μ PD98441 はセルの出力を中断し RxData を Hi-Z にします。その後の再セレクション動作で、中断していた論理ポートとは異なるポートがセレクションされた場合は、再セレクション・エラーを通知して、そのセレクション・ポートは無視し、中断していた論理ポートのセルの続きを出力します。

RxClav = H を返していない論理ポートに対してセレクションされた場合は、セレクション・エラーとして通知します。この場合 μ PD98441 は、出力するセルを持たないため、RxSOC、RxData に何も出力しません。

スレーブ・モードの μ PD98441 は、Back-to-Back 転送をサポートしています。

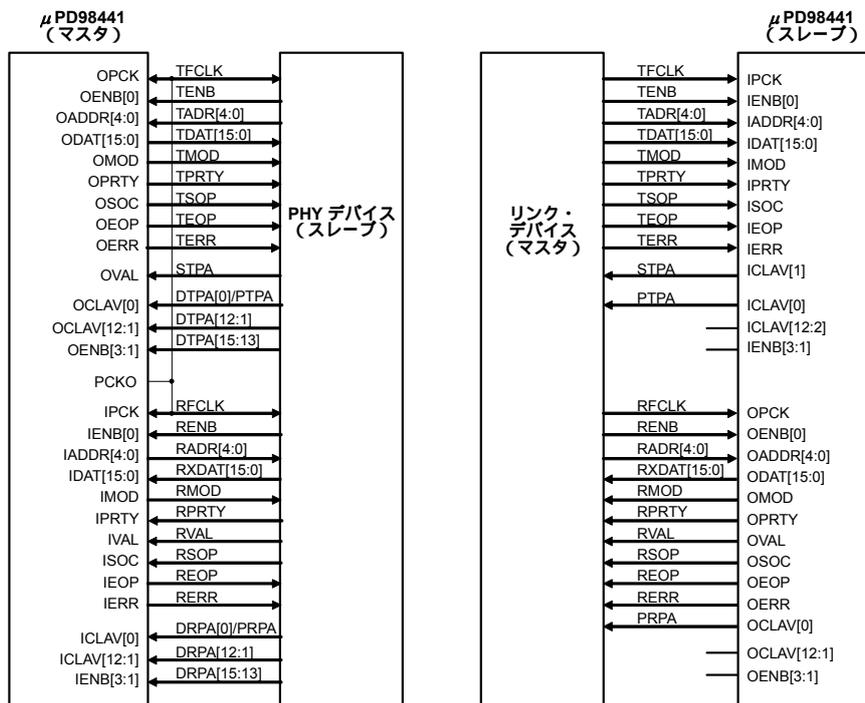
4.3 POS-PHY インタフェースのオペレーション

μ PD98441 は POS-PHY Level2 のマスタ, スレーブの両モードをサポートし, トランスファ・モードにおいては, パケット・レベルとバイト・レベルをサポートしています。各モードにおける転送動作について説明します。

4.3.1 信号の対応

μ PD98441 の信号名と POS-PHY 標準での信号名との関係を表 4-9, 表 4-10に示します。送受信の方向は, μ PD98441 をマスタ・モードとスレーブ・モードのどちらで動作させるかによって変わりますので注意してください。

図4-29 POS-PHY インタフェース信号



- 備考 1. この章での信号名の表記は, μ PD98441 の端子名ではなく, 表 4-9, 表 4-10で示す機能名を用いて説明しています。タイミング・チャートなどを見る際には表 4-9, 表 4-10もあわせて参照してください。
2. 選択するモードに応じて, 使用する信号が変わります。対象モードの使用信号は, 「2.7.2 パラレル・インタフェース端子の各モードにおける機能名一覧」を確認してください。

表4 - 9 μ PD98441 信号名と POS-PHY 標準の信号名の対応 (μ PD98441 がマスタ・モードのとき)(1/2)

μ PD98441 信号名	I/O	POS-PHY 標準 信号名	機能概要
OPCK	I	TFCLK	送信 FIFO ライト・クロック。 送信クロックです。送信インタフェースのデータ転送におけるすべての動作は、このクロックに同期して実行されます。
OENB[0]	O	TENB	送信ライト・イネーブル信号。 TENB は、送信 FIFO へのデータ・フロー制御に使用されます。TENB のデアサート時、TDAT, TMOD, TSOP, TEOP, TERR 信号は無効になります。
OADDR[4:0]	O	TADR[4:0]	送信ポート・アドレス信号。 TADR[4:0]は、各ポートの送信 FIFO の転送可能状態をポーリングするために使用されます。TADR[4:0]は、PTPA 信号とともに用いられ、パケット・レベル・トランスファ・モードで使用されます。
OCLAV[0]	I	PTPA	ポーリング・ポート送信パケット・アベイラブル信号。 PTPA は、ポーリングされた回線ポートの送信 FIFO の転送可能状態を通知する信号です。OCLAV[0]は、パケット・レベル・トランスファ・モードの場合、PTPA 信号として機能します。
		DTPA[0]	ダイレクト送信パケット・アベイラブル信号。
OCLAV[12:1]	I	DTPA[12:1]	DTPA は、ポートの送信 FIFO の転送可能状態を通知する信号です。OCLAV[0]は、バイト・レベル・トランスファ・モードの場合、DTPA 信号として機能します。
OENB[3:1]	I	DTPA[15:13]	
ODATA[15:0]	O	TDAT[15:0]	送信パケット・データ・バス。 TDAT バスは、選択した送信 FIFO にパケット・データをライトする 16 ビットのデータ・バスです。TENB がアサート時に TDAT バスには、パケット・データが転送されません。TDAT[15]が MSB, TDAT0 が LSB です。
OSOC	O	TSOP	パケット送信開始信号。 TSOP は、TDAT にパケットの先頭を転送しているときにアサートされる信号です。
OEOP	O	TEOP	パケット送信終了信号。 TEOP は、TDAT にパケットの最終端を転送しているときにアサートされる信号です。TEOP のアサート時、TMOD は、パケットの最終ワードの有効バイト数を示します。
OERR	O	TERR	送信エラー信号。 TERR は、現在転送中のパケットがエラー・パケットであることを示す信号です。TERR のアサートは、TEOP がアサートされているときのみ行います。
OMOD	O	TMOD	送信ワード有効バイト数信号。 TMOD は、TDAT[15:0]の送信データの有効バイト数を示します。TMOD は、TDAT[15:0]にパケットの最終ワードが転送されている間以外は、常に“0b”とする必要があります。TEOP がアサートされたとき、TDAT[15:0]上の有効パケット・バイト数は次のようになります。 TMOD = 0: TDAT[15:0] の 2 バイトが有効 TMOD = 1: TDAT[15:8] の 1 バイトが有効
OPRTY	O	TPRTY	送信データ・パリティ信号。 TPRTY は、TDAT から入力されるデータに対してのパリティを示すための信号です。TENB がアサートされている間有効な信号です。 μ PD98441 は奇数パリティ / 偶数パリティの両方をサポートしています。
OVAL	I	STPA	セレクション・ポート送信パケット・アベイラブル信号。 STPA は、セレクションされた回線ポートの送信 FIFO の転送可能状態を通知する信号です。

表4-9 μ PD98441 信号名と POS-PHY 標準の信号名の対応 (μ PD98441 がマスタ・モードのとき)(2/2)

μ PD98441 信号名	I/O	POS-PHY 標準 信号名	機能概要
IPCK	I	RFCLK	受信 FIFO ライト・クロック。 受信インタフェースのデータ転送におけるすべての動作は、このクロックに同期して実行されます。
IENB[0]	O	RENB	受信イネーブル信号。 RENB は、受信 FIFO のデータ・フロー制御に使用されます。スレーブは、RENB がアサートされた次のタイミングで RDAT, RPRTY, RMOD, RSOP, REOP, RERR, RVAL 信号を更新します。スレーブは、RENB がデアサートされた次のタイミングで RDAT, RPRTY, RMOD, RSOP, REOP, RERR, RVAL 信号の元の値を保持します。
IADDR[4:0]	O	RADR[4:0]	受信ポート・アドレス信号。 RADR[4:0]は、各ポートの受信 FIFO のデータ保持状態をポーリングするために使用されます。RADR[4:0]は、PRPA 信号とともに用いられ、パケット・レベル・トランスファ・モードで使用されます。
ICLAV[0]	I	PRPA	受信 ポーリング PHY パケット・アベイラブル。 受信 FIFO にデータを格納しているかをポーリング時に通知する信号です。PRPA がハイ・レベルのとき、受信 FIFO は少なくとも残り1つのパケットを保持します。 ICLAV[0]は、パケット・レベル・トランスファ・モードの場合、PRPA 信号として機能します。
		DRPA[0]	受信パケット・アベイラブル。
ICLAV[12:1]	I	DRPA[12:1]	DRPA は、ポートの受信 FIFO のデータ格納状態を通知する信号です。ICLAV[0]は、バイト・レベル・トランスファ・モードの場合、DRPA 信号として機能します。
IENB[3:1]	I	DRPA[15:13]	
IDATA[15:0]	I	RDAT[15:0]	受信パケット・データ・バス。 RDAT[15:0]は、受信 FIFO から読み出された受信パケット・データを転送するバスです。RDAT バスは、RVAL がアサート時にはパケット・データを転送しています。 RDAT15 が MSB, RDAT0 が LSB となります。
ISOC	I	RSOP	パケット受信開始信号。 RSOP は、RDAT にパケットの先頭を転送しているときにアサートされる信号です。
IEOP	I	REOP	パケット受信終了信号。 REOP は、RDAT にパケットの最終端を転送しているときにアサートされる信号です。 REOP のアサート時、RMOD[1:0]はパケットの最終ワードの有効バイト数を示します。
IERR	I	RERR	受信エラー信号。 RERR は、現在転送中のパケットがエラー・パケットであることを示す信号です。 RERR は、REOP がアサートされているときのみアサートされます。
IMOD	I	RMOD	受信ワード有効バイト数信号。 RMOD は、RDAT[15:0]の受信データの有効バイト数を示します。 RMOD は、RDAT[15:0]にパケットの最終ワードが転送されている間以外は、常に“0b”を出力します。REOP がアサートされたとき、RDAT[15:0]の有効パケット・バイト数は次のようになります。 RMOD = 0: RDAT[15:0] の 2 バイトが有効 RMOD = 1: RDAT[15:8] の 1 バイトが有効
IPRTY	I	RPRTY	受信データ・パリティ信号。 RPRTY は、RDAT から出力されるデータに対するパリティ・ビットを出力する信号です。
IVAL	I	RVAL	受信データ有効信号。 RVAL は、受信データが有効かどうかを示します。RVAL がアサート時、RDAT, RMOD, RSOP, REOP, RERR は有効となります。

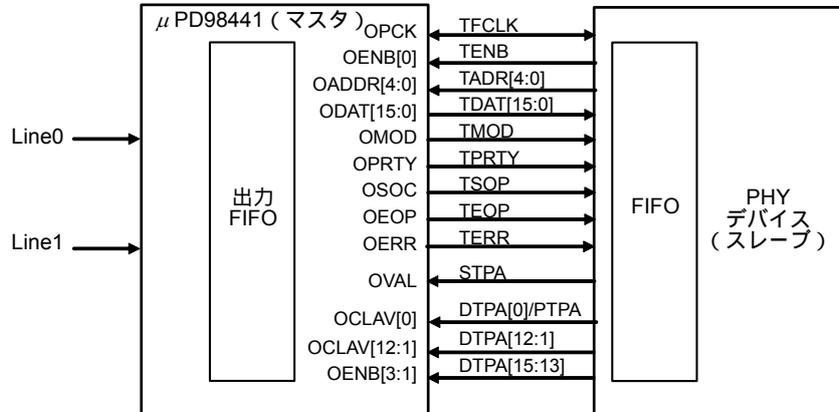
表4 - 10 μ PD98441 信号名と POS-PHY 標準の信号名の対応 (μ PD98441 がスレーブ・モードのとき)

μ PD98441 信号名	I/O	POS-PHY 標準信号名	μ PD98441 信号名	I/O	POS-PHY 標準信号名
OPCK	I	RFCLK	IPCK	I	TFCLK
OENB[0]	I	RENB	IENB[0]	I	TENB
OADDR[4:0]	I	RADR[4:0]	IADDR[4:0]	I	TADR[4:0]
OCLAV[0]	O	PRPA (パケット・ レベル時)	ICLAV[0]	O	PTPA (パケット・ レベル時)
OCLAV[12:1]	O	未使用	ICLAV[12:2]	O	未使用
OENB[3:1]	O	未使用	IENB[3:1]	O	未使用
ODATA[15:0]	O	RDAT[15:0]	IDATA[15:0]	I	TDAT[15:0]
OSOC	O	RSOP	ISOC	I	TSOP
OEOP	O	REOP	IEOP	I	TEOP
OERR	O	RERR	IERR	I	TERR
OMOD	O	RMOD	IMOD	I	TMOD
OPRTY	O	RPRTY	IPRTY	I	TPRTY
OVAL	O	RVAL	ICLAV[1]	O	STPA

4.3.2 POS-PHY マスタ送信オペレーション

POS-PHY モードの場合、マスタの動作には、PHY デバイスの各論理ポートの FIFO 空き状態を調べる動作と、ポーリング動作により取得した FIFO 状態情報から転送ポートの選択を行うセレクション動作の 2 つがあります。

図4 - 30 マスタ送信オペレーション (POS-PHY モード)



(1) パケット・レベル・モード

パケット・レベル・モードは、 μ PD98441 が TADR 信号にポート・アドレスを出力し、PHY デバイスの (最大 16PHY ポート) の FIFO 状態をポーリングするモードです。

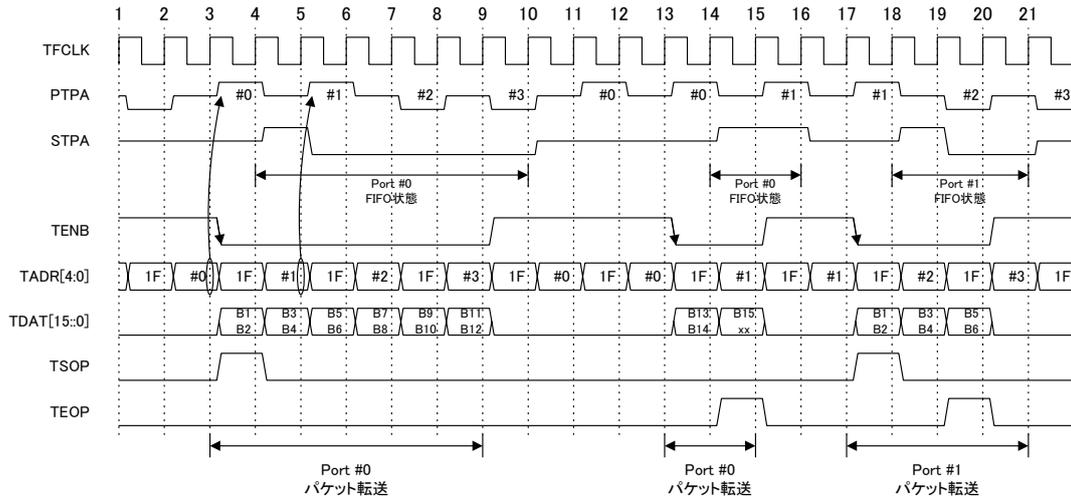
PHY デバイスは、TADR と自身のポート・アドレスを比較し一致していたなら、次のクロック・サイクルで PTPA より FIFO 状態を通知します。 μ PD98441 は、PTPA = H なら対象ポートの FIFO に空きがあると判断し、PTPA = L なら FIFO が Full または Full に近い状態であると判断します。

μ PD98441 は、2クロック・サイクル単位でポーリングを行います。1サイクル目に対象論理ポートのアドレスを出力し、次のクロック・サイクルで Null アドレス (1Fh) を出力します。ポーリング・アドレスは、イネーブルの論理ポートのアドレスを昇順で選択して出力します。

PHY デバイスは、転送中ポートの FIFO 状態を STPA により通知します。転送中ポートの STPA による FIFO 状態の通知は、転送開始の 1クロック・サイクル後から通知を開始し、転送終了の 1クロック・サイクル後で通知を止めます。 μ PD98441 は STPA = H なら該当のポートの FIFO に 4ワード (8バイト) 以上の空きがあると判断し、STPA = L なら FIFO が Full または Full に近い状態であると判断します。

μ PD98441 は、パケットの転送中は STPA を監視し、STPA = L であれば 4クロック後に転送を中断します。パケット・レベル・モードでは、 μ PD98441 は、一度転送を開始するとパケットの最後 (EOP) を出力するまで論理ポートを変更することはありません。 μ PD98441 が転送中断時にポーリングの対象とするのは、転送を中断しているポートのみとなります。転送中断ポート・アドレスと Null アドレスの 2クロック・サイクル・ポーリングを繰り返し行います。転送が再開されれば、通常のポーリングに戻ります。

図4-31 パケット・レベルのFIFO状態チェック



μ PD98441 は、ポーリングで FIFO に空きがある判断したポートの中から、round-robin 方式でパケット転送先論理ポートを選択します。選択した転送ポートは、TENB をデアサートするとともにそのアドレスを TADR に出力し、次のクロック・サイクルで TENB をアサートすることで、PHY デバイスに通知します（セレクション）。

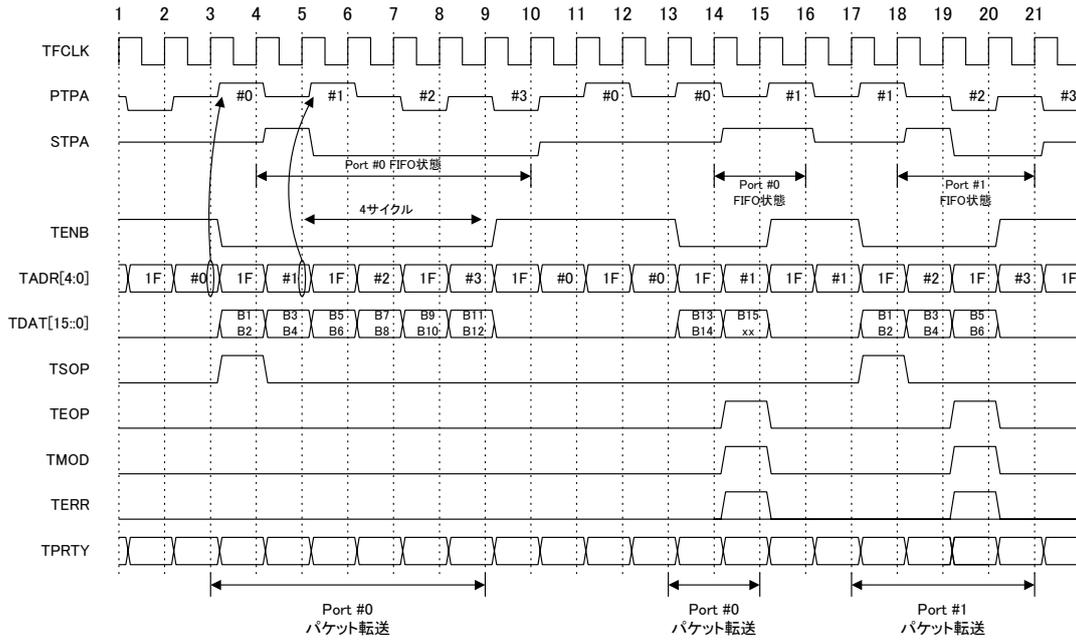
μ PD98441 は、TENB をアサートすると同時にセレクションしたポートの転送データを TDAT に出力しパケット・データの転送を開始します。TDAT のデータ内容は、TSOP, TEOP, TMOD, TERR により通知します。TDAT がパケットの先頭データであれば TSOP = H にし、パケットの最終データであれば TEOP = H にします。TMOD は、TEOP = H のときに有効な信号で、TDAT の有効バイト数を表します。TDAT の 1 バイトが有効であれば TMOD = H に、2 バイトが有効であれば TMOD = L にします。TERR も、TEOP = H のときに有効な信号で、転送パケットがアボート・パケットのときに TERR = H にします。

μ PD98441 は、TDAT に対するパリティを常に TPRTY より出力します。

μ PD98441 は、転送開始の 2 クロック・サイクル後から転送ポートの FIFO 状態信号である STPA を監視し、STPA がデアサートされたなら 4 クロック・サイクル後に TDAT の出力を中断します。そのため、PHY デバイス側は、FIFO に 4 ワード（8 バイト）以上の空きがあるときにかぎり STPA = H にします。

μ PD98441 のパケット・レベルでは、一度転送を開始するとパケットの最後（EOP）を出力するまで論理ポートを変更することはありません。いったんパケットの出力を開始してから EOP を出力する前に、PHY デバイスの FIFO 状態により転送を中断した場合、中断したポートの FIFO 状態のみを監視して、転送可能になればそのポートを再セレクションします。TENB のデアサート中は、TDAT, TSOP, EOP, MOD, ERR に L を出力します。 μ PD98441 は、1 パケットの転送を終了すると TENB をデアサートし再び転送ポートの選択を行います。

図4-32 パケット・レベルの送信タイミング

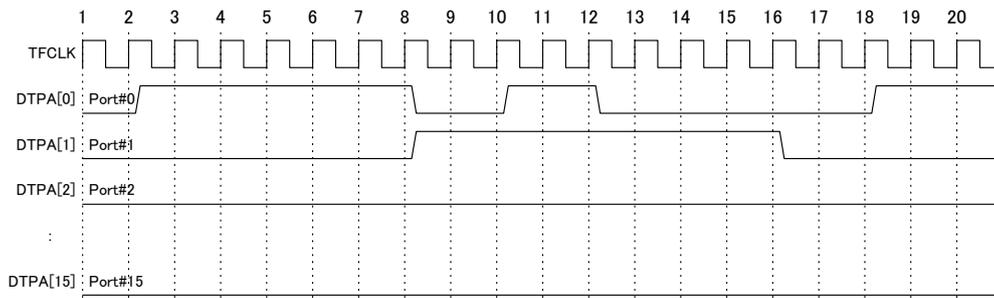


(2) バイト・レベル・モード

バイト・レベル・モードは、16ビットのDTPA[15:0]から16の論理ポートのFIFO状態がそれぞれに通知されるモードです。DTPA[0]は、ポート0に対応し、DTPA[1]:ポート1に対応します。

μPD98441は、DTPA[n] = Hなら該当のポートのFIFOに4ワード(8バイト)以上の空きがあると判断し、DTPA[n] = LならFIFOがFullまたはFullに近い状態であると判断します。μPD98441は、DTPA[n] = Lを得てから、4クロック・サイクル後に転送を中断します。

図4-33 バイト・レベル・モードのFIFO状態チェック



μPD98441は、DTPA[n]のチェックにより得た各論理ポートのFIFO状態から、パケットの転送先ポートをround-robin方式で選択します。選択した転送ポートは、TENBをデアサートするとともにそのアドレスをTADRに出力し、次のクロック・サイクルでTENBをアサートすることで、PHYデバイスに通知します(セレクション)。

μPD98441は、TENBをアサートすると同時にセレクションしたポートの転送データをTDATより出力し、パケット・データの転送を開始します。

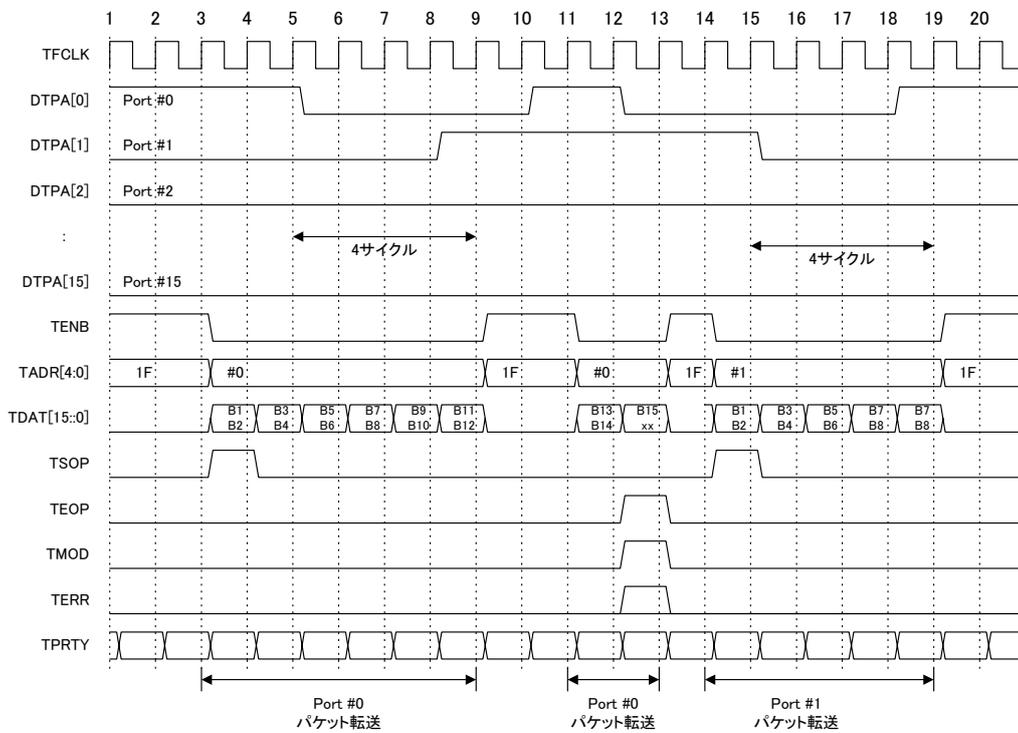
TDAT のデータ内容は、TSOP, TEOP, TMOD, TERR により通知します。TDAT がパケットの先頭データであれば TSOP = H にし、パケットの最終データであれば TEOP = H にします。TMOD は、TEOP = H のときに有効な信号で、TDAT の有効バイト数を表します。TDAT の 1 バイトが有効であれば TMOD = H に、2 バイトが有効であれば TMOD = L にします。TERR も、TEOP = H のときに有効な信号で、転送パケットがアポート・パケットのときに TERR = H にします。

μPD98441 は、転送中のポートの DTPA がデアサートされたなら、4 クロック・サイクル後に TDAT の出力を中断します。そのため、PHY デバイス側は、FIFO に 4 ワード (8 バイト) 以上の空きがあるときにカぎり DTPA = H にします。

転送中断時、他に転送可能なポートがあった場合は、μPD98441 は次のクロック・サイクルで別のポートのセレクションを行い、転送ポートの切り替えを行います。

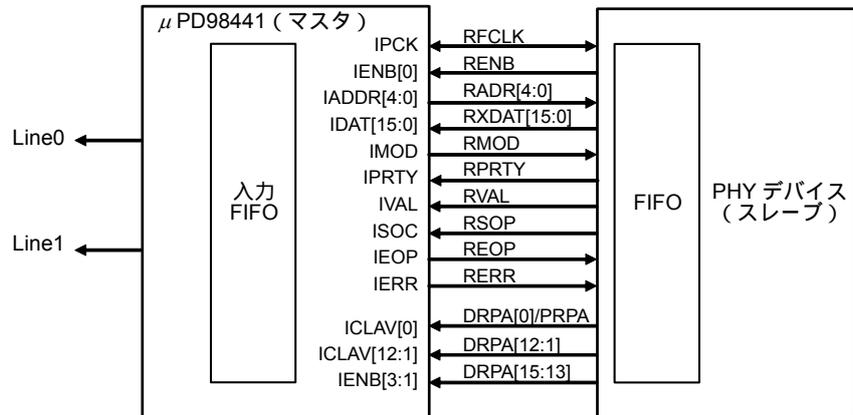
TENB のデアサート中は、TADR は Null アドレス (1Fh) を出力し、TDAT, TSOP, TEOP, TMOD, TERR をロウ・レベルにします。

図4 - 34 バイト・レベル・モードの送信タイミング



4.3.3 POS-PHY マスタ受信オペレーション

図4-35 マスタ受信オペレーション (POS-PHY モード)



(1) パケット・レベル・モード

パケット・レベル・モードは、 μ PD98441 が RADR 信号にポート・アドレスを出力し、PHY デバイスの (最大 16PHY ポート) の FIFO 状態をポーリングするモードです。

PHY デバイスは、RADR と自身のポート・アドレスを比較し一致していたなら、次のクロック・サイクルで PRPA より FIFO 状態を通知します。 μ PD98441 は、PRPA = H なら対象ポートの FIFO に転送すべきデータがあると判断し、PRPA = L なら FIFO にデータがないと判断します。

μ PD98441 は、2 クロック・サイクル単位でポーリングを行います。1 サイクル目に対象論理ポートのアドレスを出力し、次のクロック・サイクルで Null アドレス (1Fh) を出力します。ポーリング・アドレスは、イネーブルの論理ポートのアドレスを昇順で選択して出力します。パケット転送中のポートは、ポーリングの対象から除外します。

μ PD98441 は、最初の PRPA = H を検出すると、その 2 クロック・サイクル後に、その論理ポートをセレクションし、パケットの転送を許可します。論理ポートのセレクションは、ポート・アドレスを RADR に出力し、次のクロック・サイクルで RENB をアサートすることで、PHY デバイスに通知します (セレクション)。RENB のアサート後、RSOP = H を検出すると、RDAT 上のデータの取り込みを開始します。RSOP が遅延した場合は、RSOP が入力されるまでデータは取り込みません。RSOP が複数回入力されても、最初の RSOP を有効とみなし 2 回目以降は無視します。 μ PD98441 は、RSOP と REOP の入力される順番と監視します。本来 RSOP の次は REOP ですが、RSOP が 2 回続けて入力された場合は、不正 SOP エラーとして通知します。REOP が 2 回続いた場合も不正 EOP エラーを通知します。

RENB をアサートしたにもかかわらず、RSOP が 2 クロック・サイクル以上入力されなかった場合、RENB をデアサートします。RENB のデアサートと同時に RSOP がアサートされると、そのサイクルの RDAT は有効として取り込み、同一ポートを再セレクションしてデータの取り込みを続けます。RSOP が 3 サイクル以上入力されなかった場合は、SOP エラーとして通知します。SOP エラーについては、「第 9 章 制限事項」を参照してください。

デフォルトでは、パケット転送中ポートの FIFO の空き容量が 24 バイト以下になった場合、RENB をデアサートして転送の中断を要求します。空き容量が 24 バイトよりも多くなった場合は、再び RENB のアサートとともに同論理ポートを再セレクションします。RENB のデアサート/アサートする FIFO の空き容量のしきい値を IFTMD1 および IFTMD2 レジスタで変更することができます。

μ PD98441 は、RVAL がデアサートを検出すると、RENB をデアサートして PHY デバイスのデータの転送を中断させます。RVAL がアサートされると再セレクションしてデータ転送を再開させます。

μPD98441 は、一度パケットの取り込みを開始するとパケットの最後 (EOP) を検出するまで論理ポートを変更することはありません。μPD98441 が転送中断時にポーリングの対象とするのは、転送を中断しているポートのみとなります。転送中断ポート・アドレスと Null アドレスの 2 クロック・サイクル・ポーリングを繰り返し行います。転送が再開されれば、通常のポーリングに戻ります。

図4 - 36 パケット・レベル・モードの受信タイミング

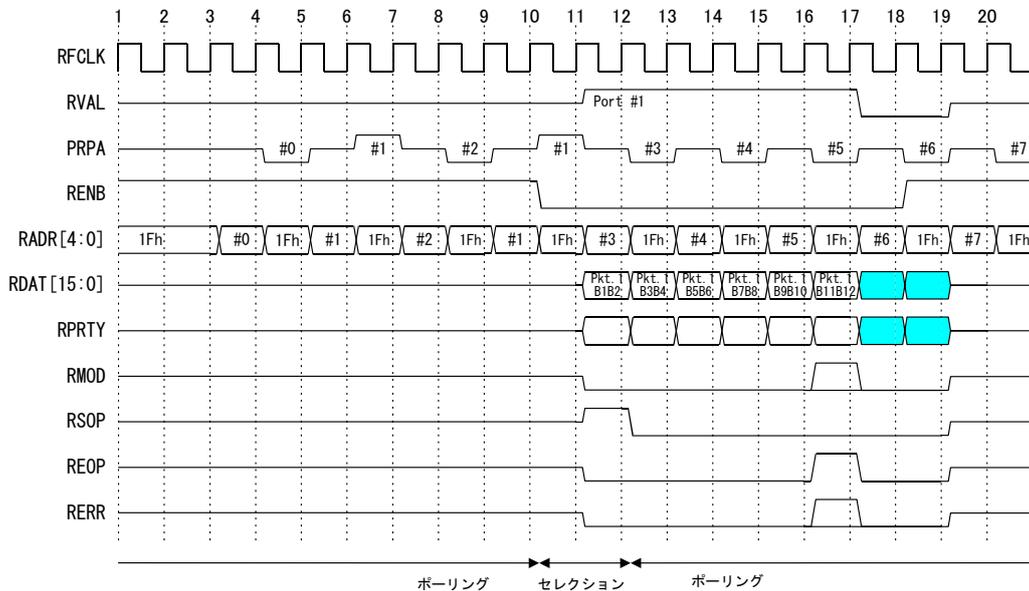


図 4 - 37 は、パケットの転送終了と再開のオペレーションを表したタイミング・チャートです。μPD98441 は、RVAL のデアサートを検出したとき、RADR に NULL アドレスを出力していると、次のサイクルからセレクション動作に移ります。NULL アドレスを出力していなければ一度 NULL アドレスを出力してからセレクション動作に移ります。

図4 - 37 パケットの転送終了と再開

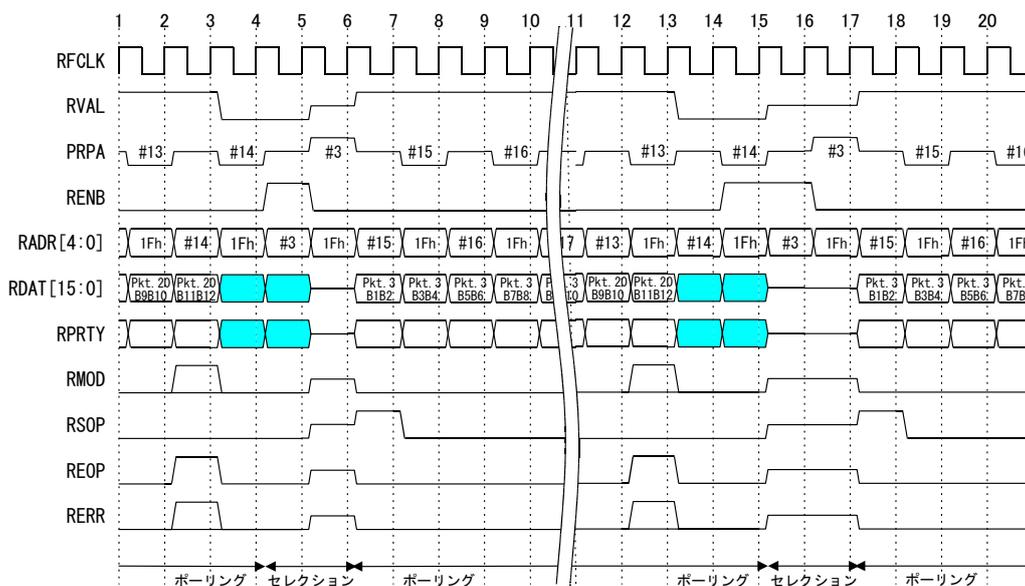


図 4 - 38は、同一論理ポートからの連続転送を示しています。パケットを転送中のポートが、さらに次に転送すべきパケットを FIFO 内に保持しているかは、最終ワードを取り込んだ後に行うポーリングの結果から判断します。ポーリングは RENB をデアサートした次のサイクルから始まります。ポーリングの結果 PRPA を検出すると、一度他ポートのポーリングを行ってから、セレクションのためポートを出力します。 μ PD98441 は、同一論理ポートからの転送において、2パケットを連続して受け取ることはできません。

図4 - 38 同一論理ポートからの連続転送 (パケット・レベル)

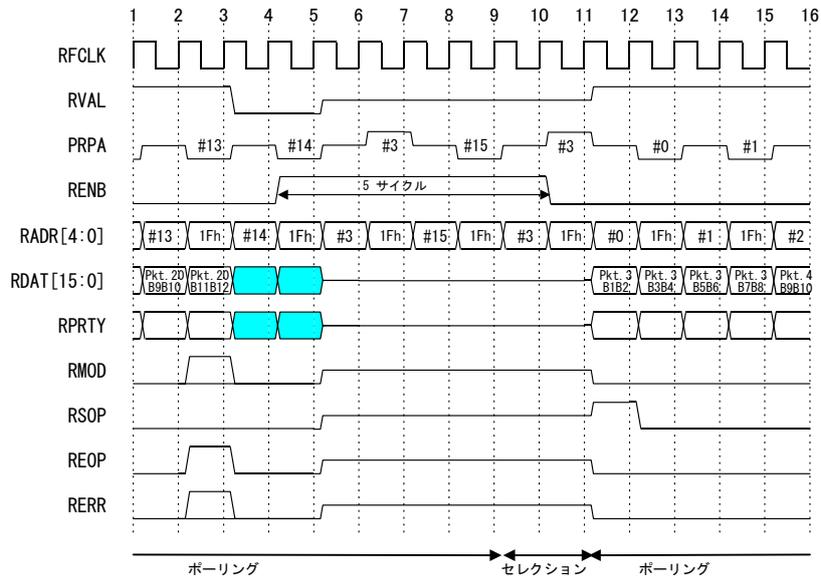
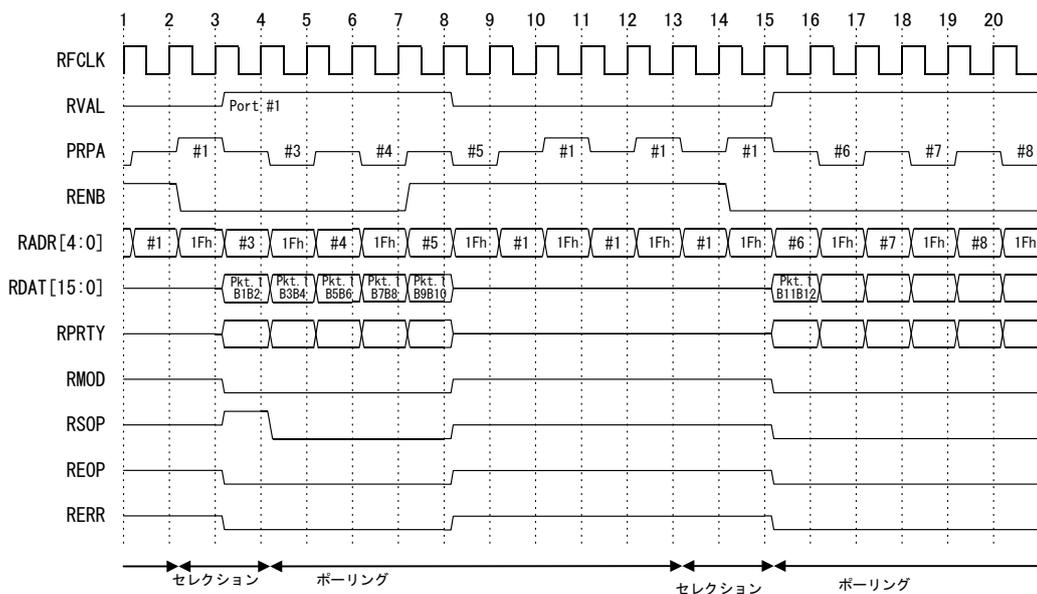


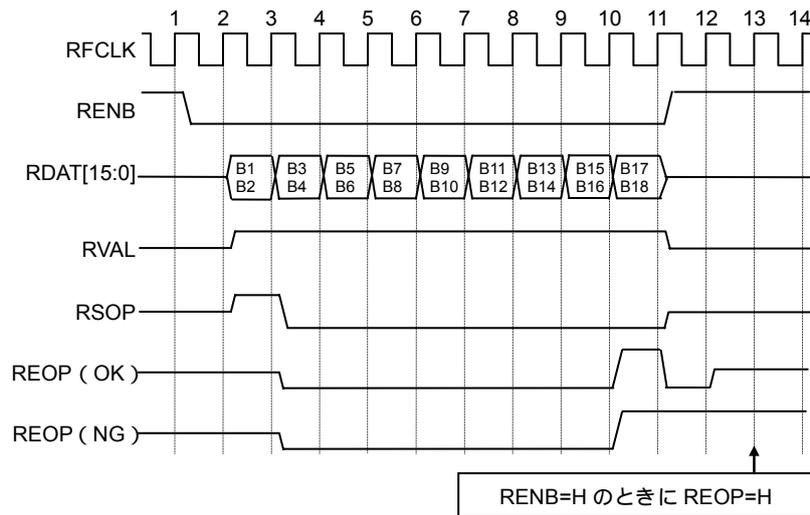
図 4 - 39は、転送中に FIFO 内の空き容量が設定しきい値 (IFTMD2 レジスタ) になったケースです。しきい値に到達すると RENB をデアサートします。転送の中断中は、中断しているポートのみをポーリングします。空き容量が増えると再セレクション動作に入り、転送を続けます。

図4 - 39 転送の中断



注意 POS-PHY / マスタ・モード / パケット・レベルの受信オペレーションにおいて、 μ PD98441 が RENB をデアサートしてポートのセレクションを解除したあとに、RSOP/REOP などの制御信号にハイ・レベルが入力されると、以後、 μ PD98441 は、セレクションを行わなくなり、転送停止状態に陥ります。RENB = H の期間には、スレーブ・デバイスの制御信号を Hi-Z 状態にし、基板上のプル・ダウンによってロウ・レベルが μ PD98441 に入力されるようにしてください。

図4 - 40 転送停止状態に陥る入力波形例

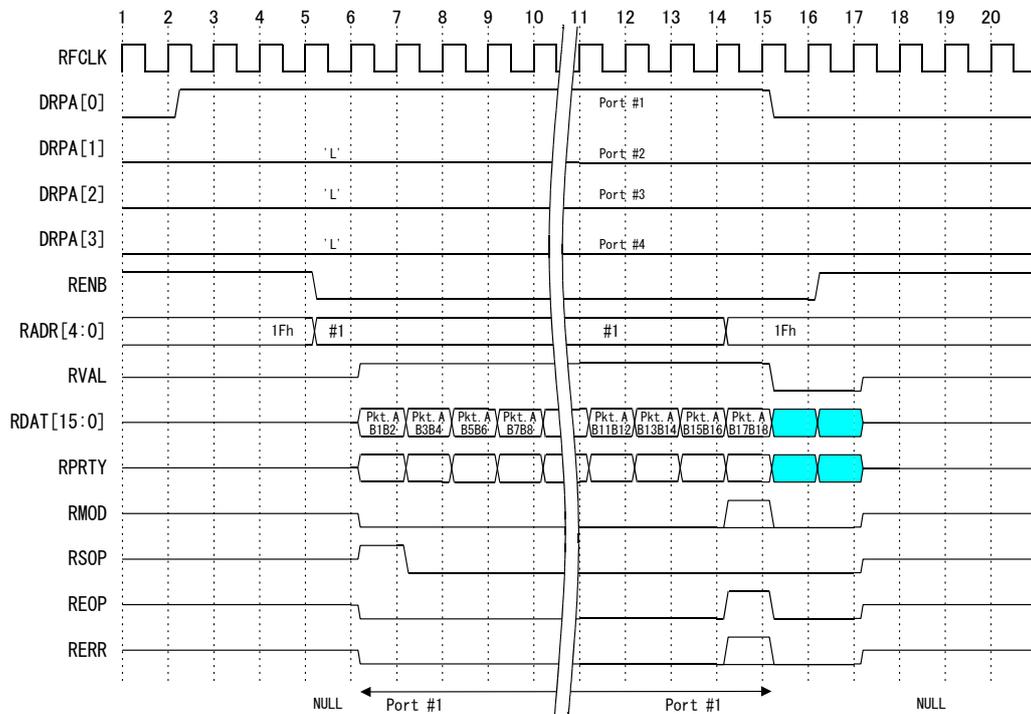


(2) バイト・レベル・モード

バイト・レベル・モードは、16 ビットの DRPA[15:0]から 16 の論理ポートの FIFO 状態がそれぞれに通知されるモードです。DRPA[0]は、ポート 0 に対応し、DRPA[1]はポート 1 に対応します。

μ PD98441 は、DRPA[n] = H なら該当のポートの FIFO に転送すべきデータがあると判断し、DTPA[n] = L なら FIFO にデータがないと判断します。

図4-41 バイト・レベル・モードの受信タイミング



μ PD98441 は、DRPA[n] = H の論理ポートから 1 つをセレクションしてパケットの転送を許可します。論理ポートのセレクションは、RENB をアサートするとともにポート・アドレスを RADDR より出力することで PHY デバイスに通知します。

RENB をアサート後、RSOP = H を検出すると、RDAT 上のデータの取り込みを開始します。RSOP が遅延した場合は、RSOP が入力されるまでデータは取り込みません。RSOP が複数回入力されても、最初の RSOP を有効とみなし 2 回目以降は無視します。 μ PD98441 は、RSOP と REOP の入力される順番と監視します。本来 RSOP の次は REOP ですが、RSOP が 2 回続けて入力された場合は、不正 SOP エラーとして通知します。REOP が 2 回続いた場合も不正 EOP エラーを通知します。RENB をアサートしたにもかかわらず、RSOP が 2 クロック・サイクル以上入力されなかった場合、RENB をデアサートします。RENB のデアサートと同時に RSOP がアサートされると、そのサイクルの RDAT は有効として取り込み、同一ポートを再セレクションしてデータの取り込みを続けます。RSOP が 3 サイクル以上入力されなかった場合は、SOP エラーとして通知します。SOP エラーについては、「第 9 章 制限事項」を参照してください。

デフォルトでは、パケット転送中ポートの FIFO の空き容量が 24 バイト以下になった場合、RENB をデアサートして転送の中断を要求します。空き容量が 24 バイトよりも多くなった場合は、再び RENB のアサートとともに同論理ポートを再セレクションします。RENB のデアサート/アサートする FIFO の空き容量のしきい値を IFTMD1 および IFTMD2 レジスタで変更することができます。

RENB がデアサートし転送を中断している際、他に DRPA = H の論理ポートがある場合には、その論理ポートをセレクションします。

μPD98441 は、RVAL のデアサートを検出すると、RENB をデアサートして PHY デバイスにデータの転送を中断させます。RVAL がアサートされると再セレクションしてデータの転送を再開させます。

図 4 - 41 は、同一ポートから 2 パケットを連続転送した場合の例です。μPD98441 は、同一ポートから 2 パケットを受けるときも、RENB を一度ハイにします。

図4 - 42 同一論理ポートからの連続転送 (バイト・レベル)

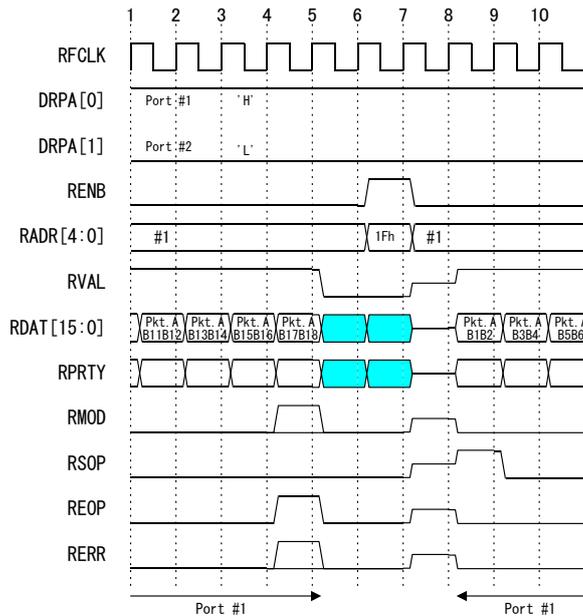


図 4 - 43 は、FIFO 内の空き領域が設定しきい値以下になったため、RENB をデアサートして転送を中断している例です。他の論理ポートは、DRPA = L なので、FIFO の空き領域が増えた後、同一論理ポートをセレクションし、転送を再開しています。

図4 - 43 RENB のデアサートによる転送の中断

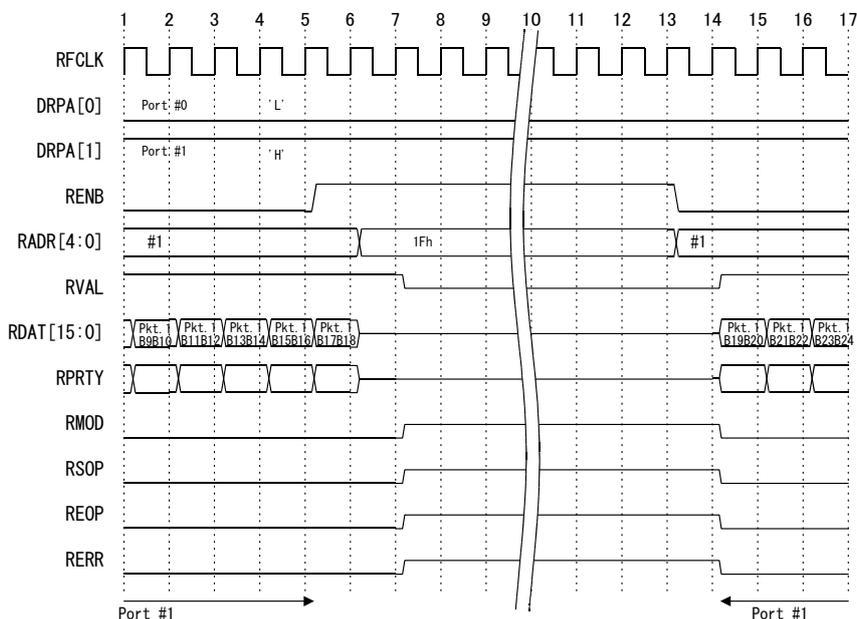
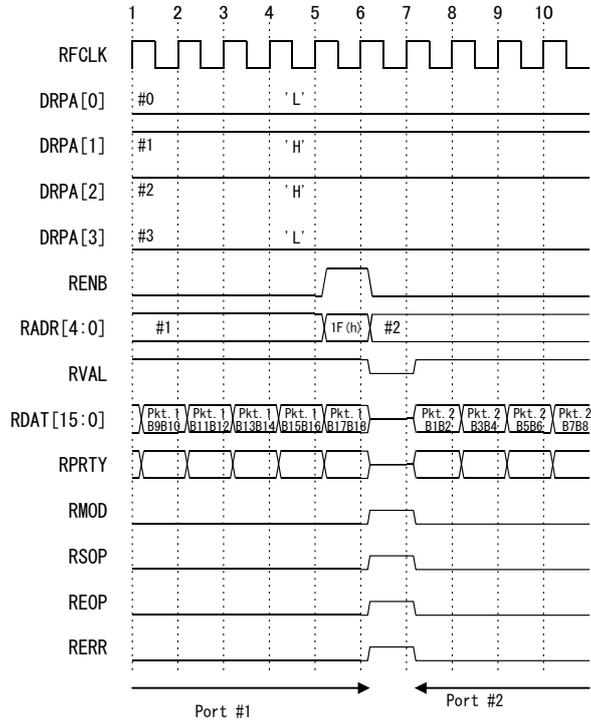


図4-44は、転送を中断したあと、他の論理ポートをセレクションした例です。

図4-44 転送中断後の他ポート・セレクション

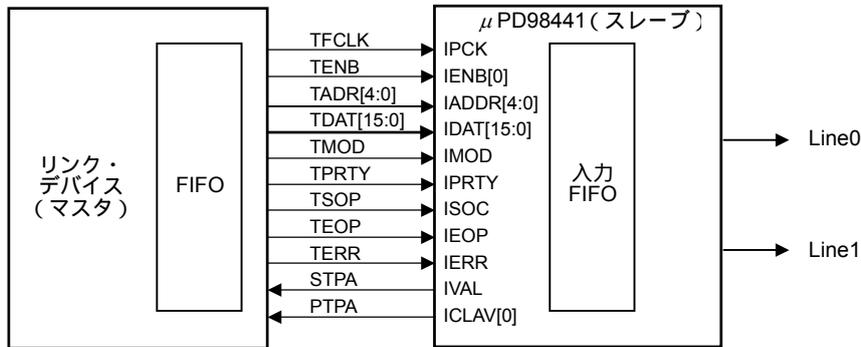


4.3.4 POS-PHY スレーブ送信オペレーション

スレーブ・モードでは、パケット・レベル・モードのみをサポートします。スレーブの動作には、マスタからのポーリングに対して各ポートの FIFO の空き状態を応答する動作と、マスタの論理ポートのセレクションに対して、データを FIFO 内に取り込む動作の2つがあります。

タイミング・チャートは、図4-31、図4-32と同じになりますので参照してください。

図4-45 スレーブ送信オペレーション (POS-PHY モード)



μPD98441 は、TADR で指定された論理ポート（最大 16 論理ポート、デュアル・ライン・モードでは最大 31 ポート）の入力 FIFO のデータ格納状態を、次のクロック・サイクルで PTPA により通知します。TADR と一致する論理ポートがない場合には Hi-Z にします。

デフォルトでは、FIFO 内に 24 バイトより大きい空き領域があれば、PTPA = H を返し、空き領域が 24 バイト以下になると PTPA = L を返します。PTPA をデアサート/アサートする FIFO の空き領域のしきい値は、IFTMD1 レジスタおよび IFTMD2 レジスタで変更することができます。

μPD98441 は、TENB がアサートされた、その直前のクロック・サイクルで TADR 上に出力されていたアドレスの論理ポートをセレクション状態にします。TENB のアサート後に TSOP = H を検出すると、TDAT 上のデータの取り込みを開始します。データはセレクション・ポートの FIFO に格納します。TSOP が遅延した場合は、TSOP が入力されるまでデータは取り込みません。TSOP が複数回入力されても、最初の TSOP を有効とみなし 2 回目以降は無視します。μPD98441 は、TSOP と TEOP の入力される順番を監視します。本来 TSOP の次は TEOP が入力されるべきですが、TSOP が 2 回続けて入力された場合は、不正 SOP エラーとして通知します。TEOP が 2 回続いた場合も不正 EOP エラーを通知します。

μPD98441 は、TENB がアサートされた次のクロック・サイクルからセレクションされた論理ポートの FIFO 状態を STPA より通知します。デフォルトでは、パケット転送中ポートの FIFO の空き容量が 24 バイト以下になった場合、STPA = L にします。空き領域が 24 バイトより大きくなると STPA = H にします。STPA を変化させる空き容量のしきい値は、PTPA のしきい値と共通の設定として IFTMD1 レジスタおよび IFTMD2 レジスタで変更することができます。

入力 FIFO の空き領域が IFTMD1、IFTMD2 レジスタに設定されたしきい値に到達してから、μPD98441 が STPA を変化させるまでには 4~5 クロックの遅延があり、PTPA を変化させるには 9~10 クロックの遅延があります。

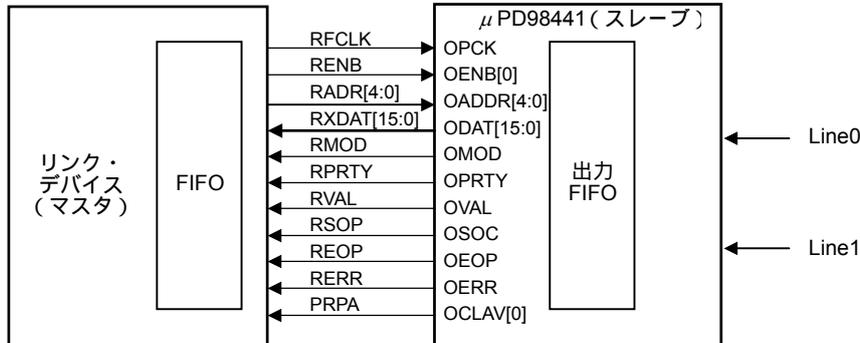
STPA = L にすることで、マスタが TENB をデアサートし転送を中断した場合、μPD98441 は TDAT の取り込みを中断します。μPD98441 は、中断された論理ポートが再セレクションされるのを待ちます。μPD98441 は、一度取り込みを開始すると、パケットの最終バイト (EOP) を取り込むまで、転送ポートの変更を受け付けません。転送再開時のセレクション・ポートが、中断していたポート以外であったなら、そのセレクションを無視して、中断していた論理ポートの FIFO にデータを取り込みます。このとき、再セレクション・エラーを通知します。

4.3.5 POS-PHY スレーブ受信オペレーション

スレーブ・モードでは、パケット・レベル・モードのみをサポートします。スレーブの動作には、マスタからのポーリングに対して各ポートの FIFO のパケット格納状況を応答する動作と、マスタの論理ポートのセレクションを受けて、データを転送する動作の2つがあります。

タイミング・チャートは、図4-36、図4-37と同じになりますので参照してください。

図4-46 スレーブ受信オペレーション (POS-PHY モード)



μPD98441 は、RADR で指定された論理ポート（最大 16 論理ポート、デュアル・ライン・モードでは最大 31 ポート）の FIFO のデータ格納状態を、次のクロック・サイクルで PRPA により通知します。RADR と一致する論理ポートがない場合には Hi-Z にします。

デフォルトでは、FIFO 内に 64 バイト以上のデータが格納されているか、またはパケットの最終バイト（EOP）を格納している場合に PRPA = H を返し、データが 64 バイトに満たないで、かつ最終バイト（EOP）を格納していない場合に PRPA = L を返します。PRPA をアサートするデータ量のしきい値は、OFTMD1 レジスタで、PRPA をデアサートするしきい値 OFTMD0 レジスタで変更することができます。

μPD98441 は、RENB がアサートされた、その直前のクロック・サイクルで RADR 上に出力されていたアドレスの論理ポートをセレクション状態にします。RENB のアサートを検出したクロック・サイクルの立ち上がりから、セレクション・ポートのデータを RDAT に出力します。

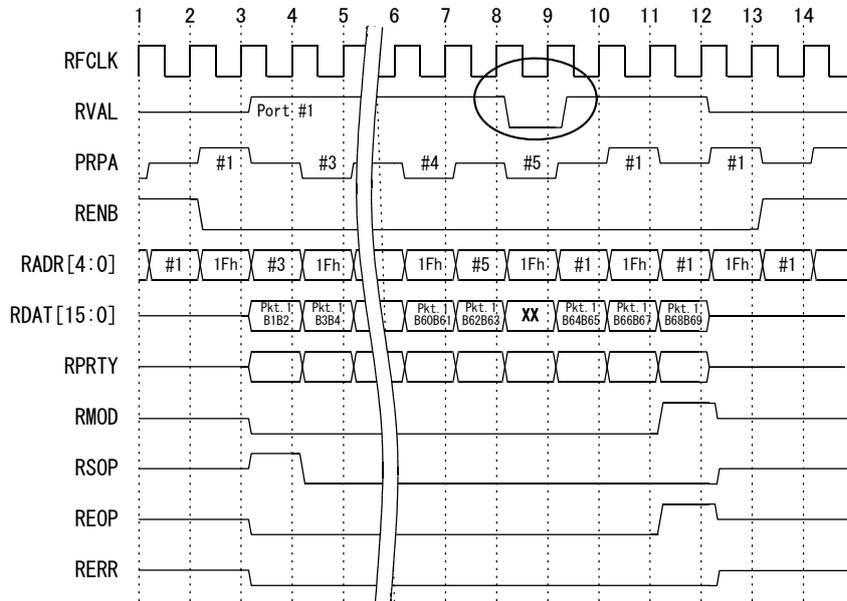
RDAT に出力するデータの内容は、RSOP, REOP, RMOD, RERR により通知します。RDAT がパケットの先頭データであれば RSOP = H にし、パケットの最終データであれば REOP = H にします。RMOD は、REOP = H のときに有効な信号で、RDAT の有効バイト数を表します。RDAT の 1 バイトが有効であれば RMOD = H を、2 バイトが有効であれば RMOD = L にします。RERR も、REOP = H のときに有効な信号で、転送パケットがアポート・パケットのときに RERR = H を出力します。RENB のデアサート中は、RDAT, RSOP, REOP, RMOD, RERR を Hi-Z にします。

μPD98441 は、マスタが RENB をデアサートしたなら、それを検出したクロック・サイクルの立ち上がりから RDAT の更新を中断します。パケットの出力途中で中断された場合、μPD98441 は、中断された論理ポートが再セレクションされるのを待ちます。一度転送を開始したパケットは、パケットの最終バイト（EOP）の転送するまで、μPD98441 は、転送ポートの変更を受け付けません。再開時のセレクション・ポートが、転送を中断したポート以外であったなら、そのセレクションを無視して、中断していた論理ポートのデータを転送します（POS-PHY モードの場合、UTOPIA モードの再セレクション・エラーに相当するエラー通知の機能はありません）。

μPD98441 は、1 パケットの転送を終了（EOP まで出力）したなら、RVAL をデアサートし、マスタに転送ポートの再セレクションを促します。

図 4 - 47は、転送中に出力 FIFO が空になったため、 μ PD98441 が RVAL をデアサートしている例です。 μ PD98441 は、パケットの転送中、出力 FIFO 内に転送すべきデータがなくなると RVAL をデアサートし、データが 1 バイトでも発生した場合には再びアサートして、データの出力を再開します。一度、デアサートした RVAL を μ PD98441 が再びアサートするまでの最短時間は1クロック・サイクルです。

図4 - 47 RVAL の出力タイミング



第5章 MPU インタフェース

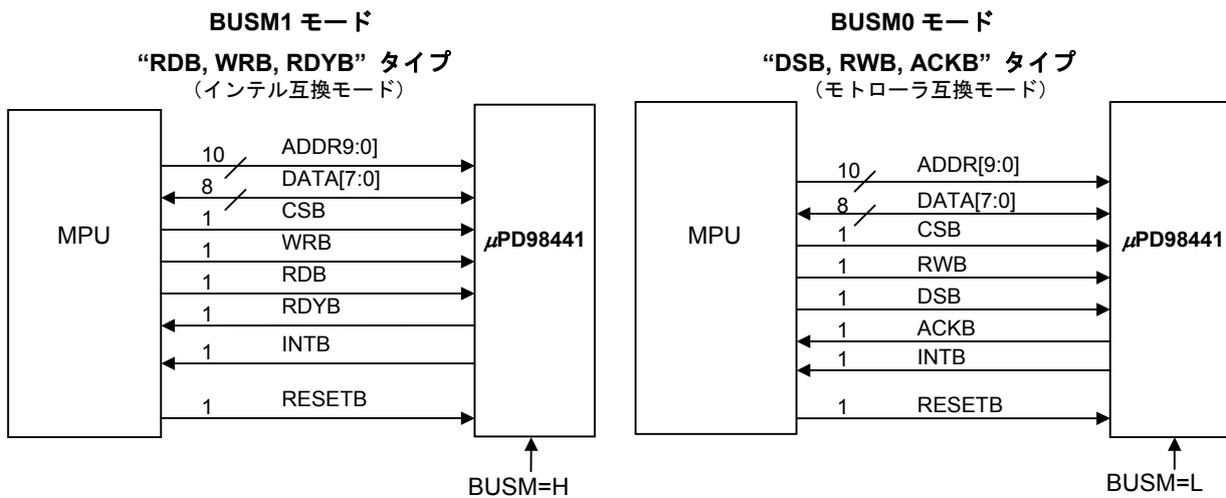
5.1 バス・タイプ

MPU インタフェースは、MPU が μ PD98441 のレジスタにアクセスするためのインタフェースです。 μ PD98441 は、MPU インタフェースとして、表 5 - 1 に示す 2 つのモードをサポートしています。BUSM0 モードと BUSM1 モードのどちらで動作するかは、ハードウェア・リセット時の BUSM 端子の入力状態により決まります。

表 5 - 1 MPU インタフェース・モード

モード	BUSM 入力	タイプ
BUSM1 モード	ハイ・レベル	RDB, WRB, RDYB タイプ (インテル互換モード)
BUSM0 モード	ロウ・レベル	DSB, RWB, ACKB タイプ (モトローラ互換モード)

図 5 - 1 MPU インタフェース



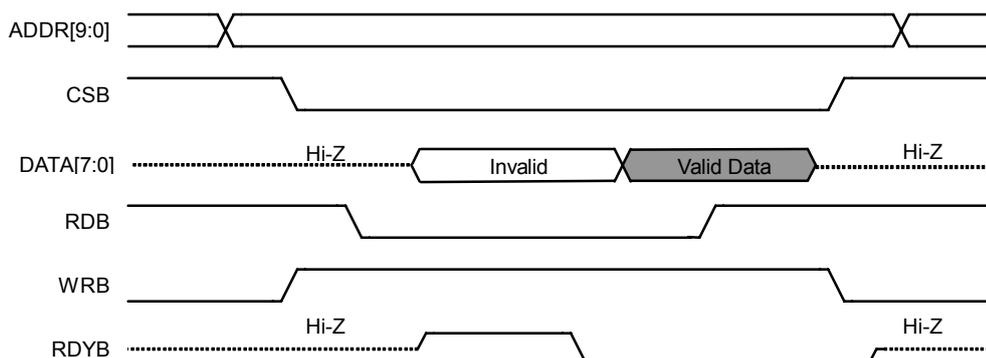
5.2 リード・オペレーション

MPU は ADDR[9:0] にアドレスを出力し、CSB と RDB (DSB) 信号を適切な時間アクティブにすることによってリード・オペレーションを実行します。これに応じて μ PD98441 は決められた時間内に RDYB (ACKB) をハイ・レベルにし、要求されたデータを DATA [7:0] に出力します。そして、RDYB (ACKB) をアクティブ・ロウにして、要求データを出力中であることを伝えます。MPU は、RDYB (ACKB) がアクティブになったことを確認してから DATA[7:0] 上のデータを取り込みます。

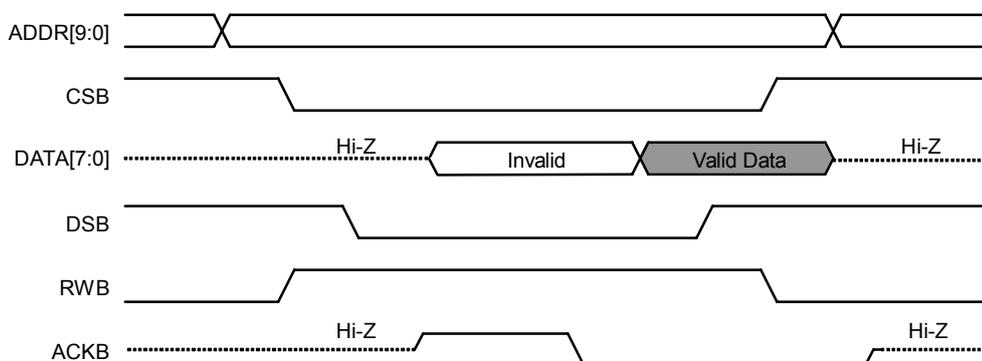
BUSM1 モードのときは、WRB がハイ・レベルの状態、RDB をロウ・レベルにすることによってデータがストロブされます。BUSM0 モードのときは、DSB をアクティブ (ロウ・レベル) にし、RWB をハイ・レベルにすることによってデータがストロブされます。 μ PD98441 は、CSB がインアクティブの間は、RDYB (ACKB)、DATA[7:0] を Hi-Z にします。各モードにおけるリード・タイミングを図 5-2 に示します。

図5-2 リード・オペレーション

BUSM1 モード (インテル互換モード)



BUSM0 モード (モトローラ互換モード)



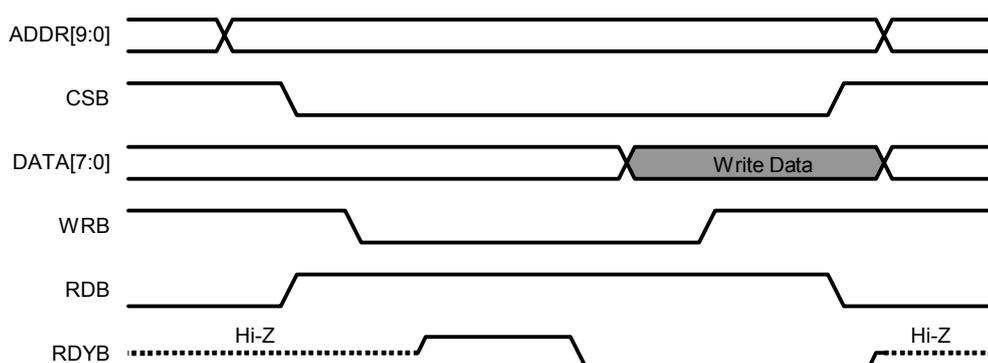
備考 RDB (DSB) がアクティブになってから、 μ PD98441 が要求データを DATA[7:0] 上に出力するまでの時間は、アクセスするレジスタの種類によって異なります。MPU は、RDYB (ACKB) 信号がアクティブになったことを確認してから、DATA[7:0] を取り込んでください。

5.3 ライト・オペレーション

MPU は、ADDR[9:0]上にアドレスを出力し、レジスタに書き込むデータを DATA[7:0]に乗せ、CSB と WRB (DS_B) を適切な時間アクティブにすることによってライト・サイクルを実行します。 μ PD98441 は、決められた時間内に RDYB (ACKB) をハイ・レベルにし、続けてアクティブ(ロウ・レベル)にして書き込み完了を伝えます。MPU は、RDYB (ACKB) 信号がアクティブになったことを確認してからライト・サイクルを終了します。CSB により選択されていないときは、 μ PD98441 は RDYB (ACKB) を Hi-Z にします。BMODE1 モードのときは、RDB がハイ・レベルで、WRB をロウ・レベルにすることによってデータが取り込まれます。BMODE0 モードのときには、DSB をロウ・レベルにし、RWB をロウ・レベルにすることによってデータが取り込まれます。ライト・タイミングは図 5 - 3 のとおりです。

図5-3 ライト・オペレーション

BUSM1 モード (インテル互換モード)



BUSM0 モード (モトローラ互換モード)



- 備考 1.** WRB (DSB) がアクティブになってから, μ PD98441 が RDYB (ACKB) をアクティブにするまでの時間は, アクセスするレジスタの種類によって異なります。MPU は, RDYB (ACKB) 信号がアクティブになったことを確認してからライト・サイクルを終えるようにしてください。
- 2.** RDB/WRB (DSB) がアクティブになってから RDYB (ACKB) がアクティブになるまでの最大時間 ($t_{DRDYRDB}/t_{DRDYWR}$) は, MPU 拡張アクセス機能を使用するか否かによっても変わります (L[n]CMDRJ レジスタの設定)。RDYB (ACKB) を使用せずに, どのレジスタに対してもリード/ライトを行えるようにする場合は, RDB/WRB (DSB) のパルス幅を少なくとも $t_{DRDYRDB}/t_{DRDYWR}$ 以上にしてください。

未使用時 (L0CMDRJ, L1CMDRJ とともに 1Fh):

$$t_{DRDYRDB} (\text{MAX.}) = t_{REFCLK} \times 36 + t_{iOPCK} \times 7$$

使用時 (L0CMDRJ, L1CMDRJ の一方で 1Fh 以外):

$$t_{DRDYRDB} (\text{MAX.}) = t_{REFCLK} \times 36 + t_{iOPCK} \times 14$$

t_{REFCLK} は, レファレンス・クロック 1 周期分の長さです。 t_{iOPCK} は, IPCK/OPCK クロックの 1 周期です。

μ PD98441 は, 不正なアドレスへのアクセスを検出した場合, または, リード・オンリとライト・オンリ・レジスタへの逆アクセスを検出した場合には, アクセス・エラーとして通知します。アクセス・エラーは, MIR_RC/R レジスタの ERRACC ビットを 1 にセットし, 要因となった不正アドレスを ERRUAD レジスタと ERRLAD レジスタに格納することで通知されます。

- 注意 1.** レジスタのライト・アクセスには, 制限事項があります。「第9章 制限事項」を参照してください。
- 2.** リセット解除後すぐに μ PD98441 のレジスタにライト・アクセスを行うと, 1 度目のライト・アクセスには μ PD98441 より ACK が返されますが, 2 回目のライト・アクセスには約 1.2 ms 経過するまで ACK が返されません。

これは, リセット後, 内蔵 PLL の生成クロックが安定する間 (レファレンス・クロック 10 万周期の間), μ PD98441 がフレーマ・ブロックへのクロック供給を停止するためです。

リセット (RESETB をアクティブにする, または, SRST レジスタの MRST ビットによるリセット) を実行した場合, レジスタへのライト・アクセスは, レファレンス・クロック 10 万周期の時間が経過してから行うようにしてください。リセット後に SRST レジスタの PLLINIT ビットをリードすることにより, レファレンス・クロック 10 万周期が経過したことを確認することができます。

5.4 割り込み処理

μ PD98441 は、受信フレームのアラーム検出や新規メッセージの着信などのイベントが発生した場合に、割り込み信号 (INTB) を介して MPU にこれらのイベントが起きたことを通知することができます。

図 5-4 に示すように、割り込みに関係するレジスタは、「割り込み要因レジスタ」、「割り込み要因メイン・レジスタ」、「割り込み要因サブ・レジスタ」、「割り込み要因詳細レジスタ」、「マスク・レジスタ」の5種類があります。

μ PD98441 は、割り込み要因となるイベントを検出すると、その履歴を 割り込み要因詳細レジスタに保持します。 割り込み要因詳細レジスタのビット変化は、 割り込み要因サブ・レジスタ 割り込み要因メイン・レジスタ 割り込み要因レジスタの順に反映されます。 割り込み要因レジスタのビットがセットされると、INTB がアクティブになります。

そのため、MPU は割り込み通知を受けると、 割り込み要因レジスタ、メイン、サブ、次に 割り込み要因詳細レジスタという順にレジスタをリードすることで、要因となったイベントを特定することができます。

割り込み要因詳細レジスタ以外のレジスタは、その履歴を保持する機能を持ちません。割り込み詳細要因レジスタをクリアすると、割り込み要因レジスタのビットもクリアされ、INTB がインアクティブになります。 割り込み要因詳細レジスタは、リードすることによりクリアでき、クリアせずに値だけを得られるリード・オンリ・アドレスも備えています。

割り込み要因レジスタ、詳細要因レジスタは、それぞれに マスク・レジスタを備えています。マスク・レジスタのフィールド配列は、対応するレジスタと同様です。そのため、ビット単位にマスク/アンマスクの設定が可能です。リセット後のデフォルト状態では、すべてのマスク・レジスタはマスク設定となっています。

図5-4 要因詳細レジスタのクリア方法

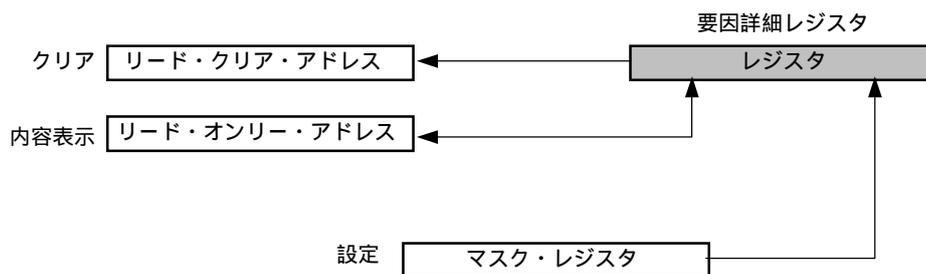
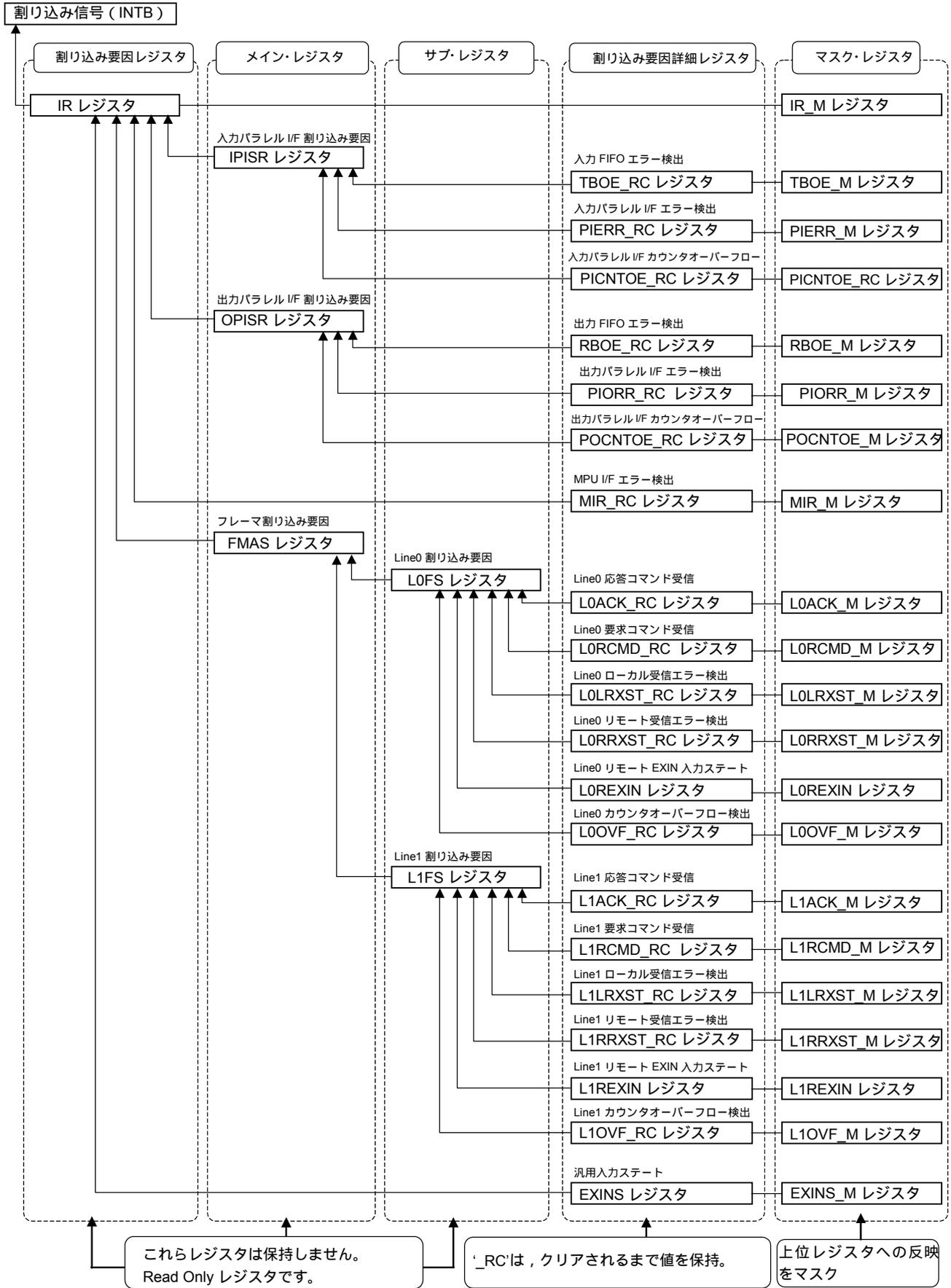


表5-2 割り込み要因詳細レジスタの機能

アクセス先	機能
リード・クリア・アドレス	レジスタ内容をリードし、同時にクリアするためのアドレスです。このアドレスに対するライト動作は、無視されます。
リード・オンリー・アドレス	レジスタ内容をリードするためのアドレスです。 このアドレスをリードするとクリアせずに内容を得ることができます。
マスク・レジスタ	割り込み要因となることをマスク設定するためのレジスタです。 詳細要因レジスタのマスク設定は、その上位の割り込み要因レジスタへの反映をマスクします。割り込み要因レジスタのマスク設定は、その上位の割り込みレジスタ (IR レジスタ) への反映をマスクします。IR_M レジスタのマスク設定は、割り込み信号 (INTB 端子) がアクティブになることをマスクします。デフォルトでは、すべての要因をマスクする設定にしています。

備考 割り込み要因詳細レジスタは、フレームのイネーブル直後、クロック・リカバリ (CDR) が安定するまでの時間に、不定なフレーム受信によって、ビットがセットされることがあります。安定した受信フレームを受けようになってから、一度0クリアするようにしてください。

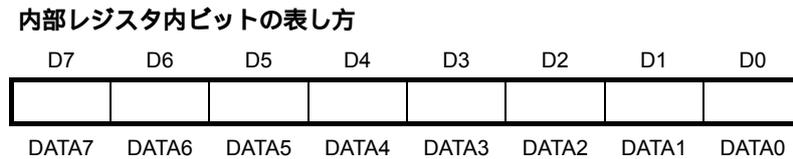
図5 - 5 割り込み要因レジスタ関連図



第6章 レジスタ

μPD98441 には、MPU インタフェースを介してアクセスする、各動作モードの設定、割り込み要因解析、コマンド指示を行うためのレジスタがあります。

各レジスタは、8 ビット長で、MPU インタフェースの DATA7-DATA0 端子に相当します。



(DATA7 は、MPU インタフェースのデータ・バス DATA7 から入出力します。)

各レジスタのアクセス方式は次の略号を使用して記載しています。

- ・R：リード・オンリー
- ・W：ライト・オンリー
- ・R/W：リード/ライト
- ・RC：リード・クリア

6.1 レジスタ・マップ

レジスタは、ADDR[9:0]の 10 ビット・アドレスの空間に配置されています。

- 注意 1. デフォルト値は、リセット後の値を示しています。レジスタ内のリザーブ・フィールドの初期値は不定ですが、このレジスタ・マップではリザーブ・フィールドの初期値を 0 と表しています。詳しくは各レジスタの説明を参照してください。
2. レジスタの割り当てられていないアドレスにはアクセスを行わないでください。
 3. 指定以外のアクセスは行わないでください(例：リード・オンリー・レジスタへのライト・アクセス)。
 4. リセット解除後すぐに、μPD98441 のレジスタにライト・アクセスを行うと、1 度目のライト・アクセスには、μPD98441 より ACK が返されますが、2 回目のライト・アクセスには、REFCLK で約 10 万サイクルの時間が経過するまで、ACK が返されません。

不正なアドレスへのアクセスを検出した場合、またはリード・オンリーとライト・オンリー・レジスタへの逆アクセスを検出した場合には、μPD98441 は、アクセス・エラーとして通知します。アクセス・エラーは、MIR_RC/R レジスタの ERRACC ビットを 1 にセットし、要因となった不正アドレスを ERRUAD レジスタと ERRLAD レジスタに格納することで通知されます。MPU 拡張アクセス機能を使ってリモートμPD98441 から行われた不正アクセスでは通知されません。



(1/10)

No	アドレス (h)	レジスタ名	機能	レジスタ・フィールド							アクセス	ディフォルト(h)		
				7	6	5	4	3	2	1			0	
1	000	SRST	ソフト・リセット・コマンド	PLLINIT PLL リセット		MRST メイン・ リセット	LRST サブ・ リセット	L1RRST L1-RX リセット	L0RRST L0-RX リセット	L1TRST L1-TX リセット	L0TRST L0-TX リセット	R/W	00	
2	001	SIMD	シリアル I/F モード設定							BDLE バンドル・ モード	LMODE ライン・ モード	R/W	00	
3	002	PIEN	パラレル I/F 入力イネーブル							OPIEN 出力 I/F EN	IPIEN 入力 I/F EN	R/W	00	
4	003	PIMD	パラレル I/F モード設定		EPM CLAV モード設定	PBMD バス幅 設定	PTOE パリティ 偶奇	PTEN パリティ EN	PAMD 拡張/標準 アクセス	PLMD ポーリング・モード設定		R/W	30	
5	004	UCF0	UTOPIA セル・ フォーマット 0			HGEN HEC 生成 EN	UDFEN UDF 有無 設定	CTBL セル・トータルバイト長設定			R/W	12		
6	005	UCF1	UTOPIA セル・ フォーマット 1					SUDL SUD 長設定			R/W	00		
7	006	CHGB	バス幅変換モード設定							CBSZ 変換バス サイズ		R/W	00	
8	007	TAGCTL	識別子設定		LNUM 識別子に挿入する Line 番号		LNUMSZ LNUM 有効ビット	TAGOW 識別子 上書き設定	SUDEL 識別子 削除	SUDINS 識別子 挿入		R/W	00	
9	008	TAGF	識別子挿入位置設定	TAGF 識別子フィールド位置(0~141)									R/W	00
10	009	PLPEN	単一ポート・ループバック・ イネーブル							LSPEN シリアル LP EN	LPPEN パラレル LP EN	R/W	00	
11	00A	LPPPNUM	LPP ポート・アドレス設定					LPPAD パラレル LP のポート・アドレス				R/W	00	
12	00B	LPSPNUM	LPS ポート・アドレス設定					LPSAD シリアル LP のポート・アドレス				R/W	00	
13	00C	LPPLBNUM	LPP ライン・グループ設定					LPPLK LPP Line 番号	LPPBK[1:0] LPP のグループ番号			R/W	00	
14	00D	LPSLBNUM	LPS ライン・グループ設定					LPSLK LPS Line 番号	LPSBK[1:0] LPS のグループ番号			R/W	00	
15	00E	FOAMD	オーバフロー・アドレス設定							FOAMD 更新 /保持		R/W	00	
16	00F	PCOSM	パラレル・カウンタ・モード 設定							PCOSM パケット/ バイト		R/W	00	
17	010	CKOE	クロック出力イネーブル					R1CKOE RCVR1 出力 EN	R0CKOE RCVR0 出力 EN	PCKOE PCKOE 出力 EN		R/W	07	
18	020	IR	割り込み要因				EXININT EXINS 要因	FRMINT FRMAS 要因	MIFINT MIR 要因	OPIFINT OPISR 要因	IPIFINT IPISR 要因	R	00	
19	021	IR_M	割り込み要因マスク				EXININTM EXINS Mask	FRMINTM FRMS Mask	MIFINTM MIR Mask	OPIFINTM OPISR Mask	IPIFINTM IPISR Mask	R/W	1F	
20	022	MIR_RC	MPU I/F 割り込み要因詳細 (リード・クリア)							ERRACC アクセス・ エラー		RC	00	
21	023	MIR_R	MPU I/F 割り込み要因詳細 (リード・オンリー)							ERRACC アクセス・ エラー		R	00	
22	024	MIR_M	MPU I/F 割り込み要因マスク							ERRACCM ERRACC Mask		R/W	01	
23	025	EXINS	汎用入力ポート・ステート 割り込み要因詳細			EIN2L EXIN2 Low	EIN1L EXIN1 Low	EIN0L EXIN0 Low	EIN2H EXIN2 High	EIN1H EXIN1 High	EIN0H EXIN0 High	R	07	
24	026	EXINCFG	汎用入力ポート・ステート 割り込み要因マスク			EINSL2 EXIN2 High/Low	EINSL1 EXIN1 High/Low	EINSL0 EXIN0 High/Low	EINS2M EXIN2 Mask	EINS1M EXIN1 Mask	EINS0M EXIN0 Mask	R/W	07	



(2/10)

No	アドレス (h)	レジスタ名	機能	レジスタ・フィールド								アクセス	デフォルト(h)	
				7	6	5	4	3	2	1	0			
25	027	ERRUAD	アクセス・エラー・アドレス (上位2ビット)									ERRUAD エラー要因アドレス 上位2ビット	RC	07
26	028	ERRLAD	アクセス・エラー・アドレス (下位8ビット)	ERRLAD アクセス・エラー要因アドレス下位8ビット								RC	FF	
27	029	VER	バージョン・レジスタ	MAJ Major Version				MIN Minor Version				R	10	
28	040	IP_IPEN0	入力ポート・イネーブル	IPPE7 Port7 EN	IPPE6 Port6 EN	IPPE5 Port5EN CLAV0EN	IPPE4 Port4 EN	IPPE3 Port3 EN	IPPE2 Port2 EN	IPPE1 Port1 EN	IPPE0 Port0 EN	R/W	00	
29	041	IP_IPEN1		IPPE15 Port15 EN	IPPE14 Port14 EN	IPPE13 Port13EN CLAV1EN	IPPE12 Port12 EN	IPPE11 Port11 EN	IPPE10 Port10 EN	IPPE9 Port9 EN	IPPE8 Port8 EN	R/W	00	
30	042	IP_IPEN2		IPPE23 Port23 EN	IPPE22 Port22 EN	IPPE21 Port21EN CLAV2EN	IPPE20 Port20 EN	IPPE19 Port19 EN	IPPE18 Port18 EN	IPPE17 Port17 EN	IPPE16 Port16 EN	R/W	00	
31	043	IP_IPEN3		IPPE30 Port30 EN	IPPE29 Port29EN CLAV3EN	IPPE28 Port28 EN	IPPE27 Port27 EN	IPPE26 Port26 EN	IPPE25 Port25 EN	IPPE24 Port24 EN	R/W	00		
32	044	IP_BEN	入力グループ・イネーブル					PBEN3 グループ3	PBEN2 グループ2	PBEN1 グループ1	IPBEN0 グループ0	R/W	00	
33	045	ADUDF2	UDF2 設定レジスタ	ADUDF2 バス幅変換時に追加する UDF2 の内容								R/W	00	
34	046	ADUDF3	UDF3 設定レジスタ	ADUDF3 バス幅変換時に追加する UDF3 の内容								R/W	00	
35	047	ADUDF4	UDF4 設定レジスタ	ADUDF4 バス幅変換時に追加する UDF4 の内容								R/W	00	
36	048	PICEN	入力パラレル I/F カウンタ・イネーブル							PIPYECEN パリティ・エラー カウンタ EN	PICNTEN パケット/セル カウンタ EN	R/W	00	
37	049	PICNT	入力パラレル I/F カウンタ制御					PIPYECLR PIPYEC クリア	PIPYEGRD PIPYEC ロード	PICNTCLR PICNT クリア	PICNTRD PICNT ロード	W	00	
38	04A	PICNTPT	入力データ・カウンタ対象ポート設定	PICNTPT カウント対象ポート設定 (00h-30h) 31h は全ポートが対象								R/W	1F	
39	04B	PICNT0	入力データ・カウンタ・ロード	PICNTB7-0 入力データ・カウント値のビット7-ビット0								R	00	
40	04C	PICNT1		PICNTB15-0 入力データ・カウント値のビット15-ビット8								R	00	
41	04D	PICNT2		PICNTB23-16 入力データ・カウント値のビット23-ビット16								R	00	
42	04E	PICNT3		PICNTB31-24 入力データ・カウント値のビット31-ビット24								R	00	
43	04F	PIPYEC0	パリティ・エラー・カウンタ・ロード	PIPYECB7-0 入力パリティ・エラー・カウント値のビット7-ビット0								R	00	
44	050	PIPYEC1		PICNTB15-8 入力パリティ・エラー・カウント値のビット15-ビット8								R	00	
45	055	OP_IPEN0	出力ポート・イネーブル	OPPE7 Port7 EN	OPPE6 Port6 EN	OPPE5 Port5EN CLAV0EN	OPPE4 Port4 EN	OPPE3 Port3 EN	OPPE2 Port2 EN	OPPE1 Port1 EN	OPPE0 Port0 EN	R/W	00	
46	056	OP_IPEN1		OPPE15 Port15 EN	OPPE14 Port14 EN	OPPE13 Port13EN CLAV1EN	OPPE12 Port12 EN	OPPE11 Port11 EN	OPPE10 Port10 EN	OPPE9 Port9 EN	OPPE8 Port8 EN	R/W	00	
47	057	OP_IPEN2		OPPE23 Port23 EN	OPPE22 Port22 EN	OPPE21 Port21EN CLAV2EN	OPPE20 Port20 EN	OPPE19 Port19 EN	OPPE18 Port18 EN	OPPE17 Port17 EN	OPPE16 Port16 EN	R/W	00	
48	058	OP_IPEN3		OPPE30 Port30 EN	OPPE29 Port29EN CLAV3EN	OPPE28 Port28 EN	OPPE27 Port27 EN	OPPE26 Port26 EN	OPPE25 Port25 EN	OPPE24 Port24 EN	R/W	00		



(3/10)

No	アドレス (h)	レジスタ名	機能	レジスタ・フィールド								アクセス	デフォルト (h)
				7	6	5	4	3	2	1	0		
49	059	OP_BEN	出力グループ・イネーブル					OPBEN3 グループ3 EN	OPBEN2 グループ2 EN	OPBEN1 グループ1 EN	OPBEN0 グループ0 EN	R/W	00
50	05A	POCEN	出力パラレル I/F カウンタ・イネーブル							POEPCNTEN エラー・バケット カウンタ EN	POCNTEN 出力バケット/セル カウンタ EN	R/W	00
51	05B	POCNT	出力パラレル I/F カウンタ制御					POEPCNTCLR POEPCNT クリア	POEPCNTRD POEPCNT ロード	POCNTCLR POCNT クリア	POCNTRD POCNT ロード	W	00
52	05C	POCNTPT	出力データ・カウンタ対象ポート設定					POCNTPT カウンタ対象ポート設定 (00h-30h) 31h は全ポートが対象				R/W	1F
53	05D	POCNT0	出力データ・カウンタ・ロード	POCNTB7-0 出力データ・カウンタ値のビット7-ビット0								R	00
54	05E	POCNT1		POCNTB15-8 出力データ・カウンタ値のビット15-ビット8								R	00
55	05F	POCNT2		POCNTB23-16 出力データ・カウンタ値のビット23-ビット16								R	00
56	060	POCNT3		POCNTB31-24 出力データ・カウンタ値のビット31-ビット24								R	00
57	061	POEPCNT0	出力エラー・バケット・カウンタ・ロード	POEPCNTB7-0 出力エラー・バケット・カウンタ値のビット7-ビット0								R	00
58	062	POEPCNT1		POEPCNTB15-8 出力エラー・バケット・カウンタ値のビット15-ビット8								R	00
59	063	IFTMD0	入力 FIFO 設定 0					IBALH FIFO しきい値設定	IBMD 分割モード		R/W	02	
60	064	IFTMD1	入力 FIFO 設定 1		IBPL Packet Available をアサートする FIFO 空容量のしきい値							R/W	06
61	065	IFTMD2	入力 FIFO 設定 2		IBPH Packet Available をアサートする FIFO 空容量のしきい値							R/W	06
62	066	L0TBOA	L0 入力 FIFO オーバフロー・アドレス					TPADR オーバフロー要因ポート・アドレス				RC	1F
63	067	L1TBOA	L1 入力 FIFO オーバフロー・アドレス					TPADR オーバフロー要因ポート・アドレス				RC	1F
64	068	OFTMD0	出力 FIFO 設定 0		OBPL POS-PHY モード時の Packet Available をデアサートする出力 FIFO しきい値							R/W	10
65	069	OFTMD1	出力 FIFO 設定 1		OBPH POS-PHY モード時の Packet Available をアサートする出力 FIFO しきい値							R/W	10
66	06A	OFTMD2	出力 FIFO 設定 2		OBBPP UTOPIA モード時のバックプレッシャを伝送するポート単位のしきい値							R/W	08
67	06B	OFTMD3	出力 FIFO 設定 3		OBBPT UTOPIA モード時のバックプレッシャ伝送する全ポート対象のしきい値							R/W	08
68	06C	OFTMD4	出力 FIFO 設定 4		OBPBP POS-PHY モード時のバックプレッシャ伝送するポート単位のしきい値							R/W	50
69	06D	L0RBOA	L0 出力 FIFO オーバフロー・アドレス		RB グループ番号	RPADR オーバフロー要因ポート・アドレス						RC	1F
70	06E	L1RBOA	L1 出力 FIFO オーバフロー・アドレス		RB グループ番号	RPADR オーバフロー要因ポート・アドレス						RC	1F
71	070	LPCLR	ループ・バッファ初期化							LPSCLR LPS 初期化	LPPCLR LPP 初期化	R/W	00
72	071	IPISR	入力パラレル I/F 割り込み要因メイン					PICNTOE カウンタ・ オーバフロー	PIERR 入力パラレル I/F エラー	TBOE 入力 FIFO オーバフロー		R	00



(4/10)

No	アドレス (h)	レジスタ名	機能	レジスタ・フィールド								アクセス	デフォルト (h)
				7	6	5	4	3	2	1	0		
73	072	PIERR_RC	入力パラレル・プロトコル・エラー割り込み要因詳細(リード・クリア)	TEOPE EOP エラー		IPYE パリティ・ エラー		TRSOCE 再 SOC エラー	TSOCE SOC エラー	TSELE 選択 エラー	TRSELE 再選択 エラー	RC	00
74	073	PIERR_R	入力パラレル・プロトコル・エラー割り込み要因詳細(リード・オンリー)	TEOPE EOP エラー		IPYE パリティ・ エラー		TRSOCE 再 SOC エラー	TSOCE SOC エラー	TSELE 選択 エラー	TRSELE 再選択 エラー	R	00
75	074	PIERR_M	入力パラレル・プロトコル・エラー割り込み要因マスク	TEOPEM TEOPE Mask		IPYEM IPYE Mask		TRSOCEM TRSOCE Mask	TSOCEM TSOCE Mask	TSELEM TSELE Mask	TRSELEM TRSELE Mask	R/W	FF
76	075	TBOE_RC	入力 FIFO エラー割り込み要因詳細(リード・クリア)							TBOE1 L1FIFO オーバーフロー	TBOE0 L0FIFO オーバーフロー	RC	00
77	076	TBOE_R	入力 FIFO エラー割り込み要因詳細(リード・オンリー)							TBOE1 L1FIFO オーバーフロー	TBOE0 L0FIFO オーバーフロー	R	00
78	077	TBOE_M	入力 FIFO エラー割り込み要因マスク							TBOE1M TBOE1 Mask	TBOE0M TBOE0 Mask	R/W	03
79	078	PICNTOE_RC	入力パラレル・カウンタ・オーバーフロー割り込み要因詳細(リード・クリア)							PYECOVF パリティ・ オーバーフロー	CPCOVF セル/PKT オーバーフロー	RC	00
80	079	PICNTOE_R	入力パラレル・カウンタ・オーバーフロー割り込み要因詳細(リード・オンリー)							PYECOVF パリティ・ オーバーフロー	CPCOVF セル/PKT オーバーフロー	R	00
81	07A	PICNTOE_M	入力パラレル・カウンタ・オーバーフロー割り込み要因マスク							PYECOVFM PYECOVF Mask	CPCOVFM CPOVF Mask	R/W	0F
82	07B	OPISR	出力パラレル・インタフェース割り込み要因メイン						POCNTOE カウンタ・ オーバーフロー	POERR 出力パラレル IF エラー	RBOE 出力 FIFO オーバーフロー	R	00
83	07C	POERR_RC	出力パラレル・プロトコル・エラー割り込み要因詳細(リード・クリア)						PKTE エラー-PKT 出力	RSELE 選択 エラー	RRSELE 再選択 エラー	RC	00
84	07D	POERR_R	出力パラレル・プロトコル・エラー割り込み要因詳細(リード・オンリー)						PKTE エラー-PKT 出力	RSELE 選択 エラー	RRSELE 再選択 エラー	R	00
85	07E	POERR_M	出力パラレル・プロトコル・エラー割り込み要因マスク						PKTEM PKTE Mask	RSELEM SELERR Mask	RRSELEM RSELERR Mask	R/W	07
86	07F	RBOE_RC	出力 FIFO エラー割り込み要因詳細(リード・クリア)					LPSBOE LPSFIFO オーバーフロー	LPPBOE LPPFIFO オーバーフロー	RBOE1 L1FIFO オーバーフロー	RBOE0 L0FIFO オーバーフロー	RC	00
87	080	RBOE_R	出力 FIFO エラー割り込み要因詳細(リード・オンリー)					LPSBOE LPSFIFO オーバーフロー	LPPBOE LPPFIFO オーバーフロー	RBOE1 L1FIFO オーバーフロー	RBOE0 L0FIFO オーバーフロー	R	00
88	081	RBOE_M	出力 FIFO エラー割り込み要因マスク					LPSBOEM LPSBOE Mask	LPPBOEM LPPBOE Mask	RBOE1M RBOE1 Mask	RBOE0M RBOE0 Mask	R/W	0F
89	082	POCNTOE_RC	出力パラレル・カウンタ・オーバーフロー割り込み要因詳細(リード・クリア)							EPCOVF エラー-PKT オーバーフロー	CPCOVF PKT/セル オーバーフロー	RC	00
90	083	POCNTOE_R	出力パラレル・カウンタ・オーバーフロー割り込み要因詳細(リード・オンリー)							EPCOVF エラー-PKT オーバーフロー	CPCOVF PKT/セル オーバーフロー	R	00
91	084	POCNTOE_M	出力パラレル・カウンタ・オーバーフロー割り込み要因マスク							EPCOVFM EPCOVF Mask	CPCOVFM CPCOVF Mask	R/W	03
92	085	IFCTBL	パラレル・インタフェース・トータル・バイト長	IFCTBL パラレル IF トータル・バイト長								R	36
93	090	LPMD0	全ポート・ループバック・モード設定	L1OMD IDLE /DATA	L1LPMD 全ポート・ループバック・ モード設定			LOOMD IDLE /DATA	L0LPMD 全ポート・ループバック・ モード設定			R/W	00
94	091	LPMD1	ループバック・モード設定							L1LPDP OF 廃棄 モード	L0LPDP OF 廃棄 モード	R/W	00
95	092	BISTEN	BIST イネーブル制御							L1EN L1-BIST イネーブル	L0EN L0-BIST イネーブル	R/W	00
96	093	BISTMON0	BIST モニタ Line0				OVF カウンタ・ オーバーフロー	SYNC PRBS 同期状態				R	00



(5/10)

No	アドレス (h)	レジスタ名	機能	レジスタ・フィールド								アクセス	デフォルト (h)	
				7	6	5	4	3	2	1	0			
97	094	BISTMON1	BIST モニタ Line1				OVF カウンタ オーバーフロー	SYNC PRBS 同期状態					R	00
98	095	BISTECNT00	Line0 BIST エラー・カウンタ	BECNT7-0 Line0 BIST エラー・カウンタのビット 7-ビット 0								R	00	
99	096	BISTECNT01	Line0 BIST エラー・カウンタ	BECNT15-8 Line0 BIST エラー・カウンタのビット 15-ビット 8								R	00	
100	097	BISTECNT10	Line1 BIST エラー・カウンタ	BECNT7-0 Line1 BIST エラー・カウンタのビット 7-ビット 0								R	00	
101	098	BISTECNT11	Line1 BIST エラー・カウンタ	BECNT15-8 Line1 BIST エラー・カウンタのビット 15-ビット 8								R	00	
102	0A0	FMAS	フレーム割り込み要因 メイン								L1E Line1 要因	L0E Line0 要因	R	00
103	0A1	RALM0	ALM 端子出力設定レジスタ	ALM1 ALM1 端子の設定				ALM0 ALM0 端子の設定				R/W	10	
104	0A2	RALM1	ALM 端子出力設定レジスタ	ALM3 ALM3 端子の設定				ALM2 ALM2 端子の設定				R/W	43	
105	0A3	GOCG	汎用出力レベル設定レジスタ								SO1 レベル 設定	SO0 レベル 設定	R/W	00
106	0A4	FTXEN	フレーム送信イネーブル					L1TXFEN L1-TX フレーム EN	L1DRV L1-TX Driver-EN	LOTXFEN L0-TX フレーム EN	L0DRV L0-TX Driver-EN		R/W	00
107	0A5	IGAP	IDLE コード設定レジスタ							IGAP IDLE コード数			R/W	02
108	0A6	L0IDLE	Line0 IDLE コード送出指示									L0IDLE Line0 送出指示	R/W	00
109	0A7	L1IDLE	Line1 IDLE コード送出指示									L1IDLE Line1 送出指示	R/W	00
110	0A8	FRXEN	フレーム受信イネーブル					L1RXFEN L1-RX フレーム EN	L1RCV L1-10B8B EN	L0RXFEN L0-RX フレーム EN	L0RCV L0-10B8B EN		R/W	05
111	0A9	ULINK	利用受信ライン設定レジスタ									ULINK Active Line 選択	R/W	00
112	0AA	L0CMDRJ	MPU 拡張アクセスの要求拒否設定							MCARJ MCA 拒否	WARJ WR アクセス 拒否	RARJ RD アクセス 拒否	R/W	1F
113	0AB	L1CMDRJ	MPU 拡張アクセスの要求拒否設定							MCARJ MCA 拒否	WARJ WR アクセス 拒否	RARJ RD アクセス 拒否	R/W	1F
114	0AC	FCSERR	擬似 FCS エラー・フレーム送出コマンド								L1 L1-FCS 擬似エラー	L0 L0-FCS 擬似エラー	R/W	00
115	100	L0ACKTO	Line0 応答データ・タイムアウト値設定	ACKTO L0 応答コマンド・タイムアウト値								R/W	40	
116	101	L0CMD	Line0 要求コマンド設定	CBUSY コマンド・ ビジー							CMD 要求コマンド		R/W	00



(6/10)

No	アドレス (h)	レジスタ名	機能	レジスタ・フィールド						7	6	5	4	3	2	1	0	アクセス	デフォルト(h)		
				7	6	5	4	3	2											1	0
117	102	L0CTL00	Line0 要求コマンド付帯データ設定	CTL00 ~ CTL15 L0 要求コマンドの付帯データ																R/W	00
118	103	L0CTL01																			
119	104	L0CTL02																			
120	105	L0CTL03																			
121	106	L0CTL04																			
122	107	L0CTL05																			
123	108	L0CTL06																			
124	109	L0CTL07																			
125	10A	L0CTL08																			
126	10B	L0CTL09																			
127	10C	L0CTL10																			
128	10D	L0CTL11																			
129	10E	L0CTL12																			
130	10F	L0CTL13																			
131	110	L0CTL14																			
132	111	L0CTL15																			
133	112	L0FS	Line0 割り込み要因サブ			CNTOF かみ オーバーフロー	EXIN リモート側 EXIN 受信	RRXST リモート側受信 Line エラー	LRXST ローカル側受信 Line エラー	RCMD 要求 CMD 受信	RACK 応答 DATA 受信							R	00		
134	113	L0ACK_RC	Line0 応答データ受信 割り込み要因詳細			ACKTO 応答 Data Timeout	CMD 要求コマンド内容		FAIL OK/NG	ACK Indicate								RC	00		
135	114	L0ACK_R	Line0 応答データ受信割り込み 要因詳細			ACKTO 応答 Data Timeout	CMD 要求コマンド内容		FAIL OK/NG	ACK Indicate								R	00		
136	115	L0ACK_M	Line0 応答データ受信割り込み 要因マスク			ACKTOM ACKTO Mask				ACKM ACK Mask								R/W	21		
137	116	L0ACKCTL	Line0 応答データ 格納レジスタ	ACKCTL Line0 応答 DATA 格納 CTL00																R	00
138	117	L0RCMD_RC	Line0 受信要求コマンド割り 込み要因詳細 (リード・クリア)							RCMDMCA MCA 要求 CMD 受信	RCMDWR WR 要求 CMD 受信	RCMDRD RD 要求 CMD 受信						RC	00		
139	118	L0RCMD_R	Line0 受信要求コマンド割り 込み要因詳細 (リード・オンリー)							RCMDMCA MCA 要求 CMD 受信	RCMDWR WR 要求 CMD 受信	RCMDRD RD 要求 CMD 受信						R	00		
140	119	L0RCMD_M	Line0 受信要求コマンド割り 込み要因マスク							RCMDMCA MCA Mask	RCMDWR WR アクセス Mask	RCMDRD RD アクセス Mask						R/W	1F		
141	11A	L0RCTL00	Line0 受信要求コマンド付帯 データ格納	RCTL00 ~ RCTL02 Line0 受信要求コマンドの付帯データ																R	00
142	11B	L0RCTL01																			
143	11C	L0RCTL02																			



(7/10)

No	アドレス (h)	レジスタ名	機能	レジスタ・フィールド								アセス	ディフォルト(h)
				7	6	5	4	3	2	1	0		
144	11D	L0RMSG00	Line0 MPU コミュニケーション受信メッセージ格納	RMSG00 ~ RMSG15 Line0 受信要求コマンドの付帯データ								R	00
145	11E	L0RMSG01											
146	11F	L0RMSG02											
147	120	L0RMSG03											
148	121	L0RMSG04											
149	122	L0RMSG05											
150	123	L0RMSG06											
151	124	L0RMSG07											
152	125	L0RMSG08											
153	126	L0RMSG09											
154	127	L0RMSG10											
155	128	L0RMSG12											
156	129	L0RMSG12											
157	12A	L0RMSG13											
158	12B	L0RMSG14											
159	12C	L0RMSG15											
160	12F	L0LRXST_RC	Line0 ローカル受信ライン・エラー割り込み要因詳細 (リード・クリア)				KINERR ローカル側 K コード異常	IDT ローカル側 IDLE 検出	LFR ローカル側 FCS エラー	LDER ローカル側 10B8B エラー	LLOS ローカル側 LOS	RC	00
161	130	L0LRXST_R	Line0 ローカル受信ライン・エラー割り込み要因詳細 (リード・オンリー)				KINERR ローカル側 K コード異常	IDT ローカル側 IDLE 検出	LFR ローカル側 FCS エラー	LDER ローカル側 10B8B エラー	LLOS ローカル側 LOS	R	00
162	131	L0LRXST_M	Line0 ローカル受信ライン・エラー割り込み要因マスク				KINERRM K コード異常 Mask	IDTM IDLE 検出 Mask	LFRM FCS エラー Mask	LDERM 10B8B エラー Mask	LLOSM LOS 検出 Mask	R/W	1F
163	132	L0RRXST_RC	Line0 リモート受信ライン・エラー割り込み要因詳細 (リード・クリア)							RDER リモート側 デコードエラー	RLOS リモート側 LOS	RC	00
164	133	L0RRXST_R	Line0 リモート受信ライン・エラー割り込み要因詳細 (リード・オンリー)							RDER リモート側 デコードエラー	RLOS リモート側 LOS	R	00
165	134	L0RRXST_M	Line0 リモート受信ライン・エラー割り込み要因マスク							RDERM リモート側 デコードエラー Mask	RLOSM リモート側 LOS-Mask	R/W	07
166	135	L0REXIN	Line0 リモート EXIN 端子ステータス割り込み要因詳細			EXIN2L EXIN2 Low	EXIN1L EXIN1 Low	EXIN0L EXIN0 Low	EXIN2H EXIN2 High	EXIN1H EXIN1 High	EXIN0H EXIN0 High	R	07
167	136	L0REXIN_M	Line0 リモート EXIN 端子ステータス割り込み要因マスク			EXIN2LM EXIN2 Mask	EXIN1LM EXIN1 Mask	EXIN0LM EXIN0 Mask	EXIN2HM EXIN2 Mask	EXIN1HM EXIN1 Mask	EXIN0HM EXIN0 Mask	R/W	3F
168	137	L0OVF_RC	Line0 フレーム・カウンタ・オーバフロー割り込み要因詳細 (リード・クリア)				FCSCNTOF FCS エラー CNT-OVF	RDCNTOF RD エラー CNT-OVF	DECCNTOF DEC エラー CNT-OVF	RFCNTOF 受信フレーム CNT-OVF	TFCNTOF 送信フレーム CNT-OVF	RC	00
169	138	L0OVF_R	Line0 フレーム・カウンタ・オーバフロー割り込み要因詳細 (リード・オンリー)				FCSCNTOF FCS エラー CNT-OVF	RDCNTOF RD エラー CNT-OVF	DECCNTOF DEC エラー CNT-OVF	RFCNTOF 受信フレーム CNT-OVF	TFCNTOF 送信フレーム CNT-OVF	R	00
170	139	L0OVF_M	Line0 フレーム・カウンタ・オーバフロー割り込み要因マスク				FCSCNTOFM FCS エラー OVF-MASK	RDCNTOFM RD エラー OVF-MASK	DECCNTOFM DEC エラー OVF-MASK	RFCNTOFM 受信フレーム OVF-MASK	TFCNTOFM 送信フレーム OVF-MASK	R/W	1F
171	13A	L0CNTEN	Line0 フレーム・カウンタ・イネーブル				RDCNTEN FCS エラー カウント EN	RDCNTEN RD エラー カウント EN	DECCNTEN DEC エラー カウント EN	RFCNTEN 受信フレーム カウント EN	TFCNTEN 送信フレーム カウント EN	R/W	00
172	13B	L0FCNT	Line0 フレーム・カウンタ制御	FCSCNTCLR FCS エラー カウンタ・クリア	RDCNTCLR RD エラー カウンタ・クリア	DECCNTCLR DEC エラー カウンタ・クリア	RERRCNTCLR 受信エラー カウンタ・ロード	RFCNTCLR 受信フレーム カウンタ・クリア	RFCNTCLR 受信フレーム カウンタ・ロード	TFCNTCLR 送信フレーム カウンタ・クリア	TFCNTCLR 送信フレーム カウンタ・ロード	W	00



(8/10)

No	アドレス (h)	レジスタ名	機能	レジスタ・フィールド							アクセス	デフォルト (h)
				7	6	5	4	3	2	1		
173	13C	L0TFCNT0	Line0 送信フレーム・カウンタ・ロード	TFCNTB7-0 送信フレーム・カウンタのビット 7-ビット 0							R	00
174	13D	L0TFCNT1		TFCNTB15-8 送信フレーム・カウンタのビット 15-ビット 8							R	00
175	13E	L0TFCNT2		TFCNTB23-16 送信フレーム・カウンタのビット 23-ビット 16							R	00
176	13F	L0RFCNT0	Line0 受信フレーム・カウンタ・ロード	RFCNTB7-0 受信フレーム・カウンタのビット 7-ビット 0							R	00
177	140	L0RFCNT1		RFCNTB15-8 受信フレーム・カウンタのビット 15-ビット 8							R	00
178	141	L0RFCNT2		RFCNTB23-16 受信フレーム・カウンタのビット 23-ビット 16							R	00
179	142	L0DECNT	Line0 受信デコード・エラー・カウンタ・ロード	DECCNTB7-0 受信デコードエラー・カウンタ							R	00
180	143	L0RDCNT	Line0 受信 RD エラー・カウンタ・ロード	RDCNTB7-0 受信 RD エラー・カウンタ							R	00
181	144	L0FCSCNT	Line0 受信 FCS エラー・カウンタ・ロード	FCSCNTB7-0 受信 FCS エラー・カウンタ							R	00
182	145	L0LBFC	Line0 フレーム FIFO カウンタ	LBFC7-0 Line0 フレーム・バッファ・カウンタ							R	00
183	180	L1ACKTO	Line1 応答データ・タイムアウト値設定	ACKTO Line1 応答コマンド・タイムアウト値							R/W	40
184	181	L1CMD	Line1 要求コマンド設定	CBUSY コマンド・ビジー						CMD 要求コマンド	R/W	00
185	182	L1CTL00	Line1 要求コマンド付帯データ設定	CTL00-CTL15 Line1 要求コマンドの付帯データ							R/W	00
186	183	L1CTL01									R/W	00
187	184	L1CTL02									R/W	00
188	185	L1CTL03									R/W	00
189	186	L1CTL04									R/W	00
190	187	L1CTL05									R/W	00
191	188	L1CTL06									R/W	00
192	189	L1CTL07									R/W	00
193	18A	L1CTL08									R/W	00
194	18B	L1CTL09									R/W	00
195	18C	L1CTL10									R/W	00
196	18D	L1CTL11									R/W	00
197	18E	L1CTL12									R/W	00
198	18F	L1CTL13									R/W	00
199	190	L1CTL14									R/W	00
200	191	L1CTL15	R/W	00								



(9/10)

No	アドレス (h)	レジスタ名	機能	レジスタ・フィールド								アクセス	デフォルト (h)
				7	6	5	4	3	2	1	0		
201	192	L1FS	Line1 割り込み要因サブ			CNTOF カウンタ オーバーフロー	EXIN リト側 EXIN 受信	RRXST リト側受信 Line エラー	LRXST 0-加側受信 Line エラー	RCMD 要求 CMD 受信	RACK 応答 DATA 受信	R	00
202	193	L1ACK_RC	Line1 応答データ受信割り込み要因詳細 (リード・クリア)			ACKTO 応答 DATA Timeout 応答	CMD L1 応答コマンド(受信)		FAIL OK/NG	ACK Indicate	RC	00	
203	194	L1ACK_R	Line1 応答データ受信割り込み要因詳細 (リード・オンリー)			ACKTO 応答 DATA Timeout	CMD L1 応答コマンド(受信)		FAIL OK/NG	ACK Indicate	R	00	
204	195	L1ACK_M	Line1 応答データ受信割り込み要因マスク			ACKTOM ACKTO Mask				ACKM RACK Mask	R/W	21	
205	196	L1ACKCTL	Line1 応答データ格納レジスタ	ACKCTL L1 応答コマンド・コントロール・データ(付帯データ) CTL00								R	00
206	197	L1RCMD_RC	Line1 受信要求コマンド割り込み要因詳細 (リード・クリア)						RCMDMCA MCA 要求 CMD 受信	RCMDWR WR 要求 CMD 受信	RCMDRD RD 要求 CMD 受信	RC	00
207	198	L1RCMD_R	Line1 受信要求コマンド割り込み要因詳細 (リード・オンリー)						RCMDMCA MCA 要求 CMD 受信	RCMDWR WR 要求 CMD 受信	RCMDRD RD 要求 CMD 受信	R	00
208	199	L1RCMD_M	Line1 受信要求コマンド割り込み要因詳細マスク						RCMDMCA MCA Mask	RCMDWR WR アクセ ス Mask	RCMDRD RD アクセ ス Mask	R/W	1F
209	19A	L1RCTL00	Line1 受信要求コマンド付帯データ格納	RCTL00 ~ RCTL02 Line1 受信要求コマンドの付帯データ								R	00
210	19B	L1RCTL01										R	00
211	19C	L1RCTL02										R	00
212	19D	L1RMSG00	Line1 MPU コミュニケーション受信メッセージ格納	RMSG00 ~ RMSG15 Line1 受信要求コマンドの付帯データ								R	00
213	19E	L1RMSG01										R	00
214	19F	L1RMSG02										R	00
215	1A0	L1RMSG03										R	00
216	1A1	L1RMSG04										R	00
217	1A2	L1RMSG05										R	00
218	1A3	L1RMSG06										R	00
219	1A4	L1RMSG07										R	00
220	1A5	L1RMSG08										R	00
221	1A6	L1RMSG09										R	00
222	1A7	L1RMSG10										R	00
223	1A8	L1RMSG11										R	00
224	1A9	L1RMSG12										R	00
225	1AA	L1RMSG13										R	00
226	1AB	L1RMSG14										R	00
227	1AC	L1RMSG15	R	00									
228	1AF	L1LRXST_RC	Line1 ローカル受信ライン・エラー割り込み要因詳細 (リード・クリア)			KINERR 0-加側 Kコード異常	IDT 0-加側 IDLE 検出	LFR 0-加側 FCS 15-	LDER 0-加側 デコードエラー	LLOS 0-加側 LOS	RC	00	
229	1B0	L1LRXST_R	Line1 ローカル受信ライン・エラー割り込み要因詳細			KINERR 0-加側 Kコード異常	IDT 0-加側 IDLE 検出	LFR 0-加側 FCS 15-	LDER 0-加側 デコードエラー	LLOS 0-加側 LOS	R	00	
230	1B1	L1LRXST_M	Line1 ローカル受信ライン・エラー割り込み要因マスク			KINERRM Kコード異 常 Mask	IDTM IDLE 検出 Mask	LFRM FCS 15- Mask	LDERM デコードエラー Mask	LLOSM LOS 検出 Mask	R/W	1F	
231	1B2	L1RRXST_RC	Line1 リモート受信ライン・エラー割り込み要因詳細 (リード・クリア)						RDER リト側 デコードエラー	RLOS リト側 LOS	RC	00	
232	1B3	L1RRXST_R	Line1 リモート受信ライン・エラー割り込み要因詳細 (リード・オンリー)						RDER リト側 デコードエラー	RLOS リト側 LOS	R	00	
233	1B4	L1RRXST_M	Line1 リモート受信ライン・エラー割り込み要因マスク						RDERM リト側 デコードエラー Mask	RLOSM リト側 LOS-Mask	R/W	07	



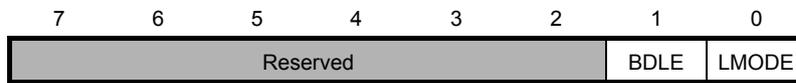
(10/10)

No	アドレス (h)	レジスタ名	機能	レジスタ・フィールド								アクセス	デフォルト(h)
				7	6	5	4	3	2	1	0		
234	1B5	L1REXIN	Line1 リモート EXIN 端子ステータス割り込み要因詳細			EXIN2L	EXIN1L	EXIN0L	EXIN2H	EXIN1H	EXIN0H	R	07
235	1B6	L1REXIN_M	Line1 リモート EXIN 端子ステータス割り込み要因マスク			EXIN2LM	EXIN1LM	EXIN0LM	EXIN2HM	EXIN1HM	EXIN0HM	R/W	3F
236	1B7	L1OVF_RC	Line1 フレーム・カウンタ・オーバーフロー割り込み要因詳 (リード・クリア)				FCSCNTOF	RDCNTOF	DECCNTOF	RFCNTOF	TFCNTOF	RC	00
237	1B8	L1OVF_R	Line1 フレーム・カウンタ・オーバーフロー割り込み要因詳 (リード・オンリー)				FCSCNTOF	RDCNTOF	DECCNTOF	RFCNTOF	TFCNTOF	R	00
238	1B9	L1OVF_M	Line1 フレーム・カウンタ・オーバーフロー割り込み要因詳細マスク				FCSCNTOFM	RDCNTOFM	DECCNTOFM	RFCNTOFM	TFCNTOFM	R/W	1F
239	1BA	L1CNTEN	Line1 フレーム・カウンタ・イネーブル				FCSCNTEN	RDCNTEN	DECCNTEN	RFCNTEN	TFCNTEN	R/W	00
240	1BB	L1FCNT	Line1 フレーム・カウンタ制御	FCSCNTCLR FCSエラー・カウンタ・クリア	RDCNTCLR RDエラー・カウンタ・クリア	DECCNTCLR DECエラー・カウンタ・クリア	RERRCNTRD 受信エラー・カウンタ・ロード	RFCNTCLR 受信フレームカウンタ・クリア	RFCNTRD 受信フレームカウンタ・ロード	TFCNTCLR 送信フレームカウンタ・クリア	TFCNTRD 送信フレームカウンタ・ロード	W	00
241	1BC	L1TFCNT0	Line1 送信フレーム・カウンタ・ロード	TFCNBT7-0 送信フレーム・カウンタのビット7-ビット0								R	00
242	1BD	L1TFCNT1		TFCNBT15-8 送信フレーム・カウンタのビット15-ビット8								R	00
243	1BE	L1TFCNT2		TFCNBT23-16 送信フレーム・カウンタのビット23-ビット16								R	00
244	1BF	L1RFCNT0	Line1 受信フレーム・カウンタ・ロード	RFCNTB7-0 受信フレーム・カウンタのビット7-ビット0								R	00
245	1C0	L1RFCNT1		RFCNTB15-8 受信フレーム・カウンタのビット15-ビット8								R	00
246	1C1	L1RFCNT2		RFCNTB23-16 受信フレーム・カウンタのビット23-ビット16								R	00
247	1C2	L1DECCNT	Line1 受信デコード・エラー・カウンタ・ロード	DECCNTB7-0 受信デコード・エラー・カウンタ								R	00
248	1C3	L1RDCNT	Line1 受信 RD エラー・カウンタ・ロード	RDCNTB7-0 受信 RD エラー・カウンタ								R	00
249	1C4	L1FCSCNT	Line1 受信 FCS エラー・カウンタ・ロード	FCSCNTB7-0 受信 FCS エラー・カウンタ								R	00
250	1C5	L1LBFC	Line1 フレーム FIFO カウント	LBFC Line1 フレーム・バッファ・カウンタ								R	00

(2) シリアル・インタフェース・モード設定レジスタ

シリアル・ライン・インタフェースの動作モードを設定するレジスタです。

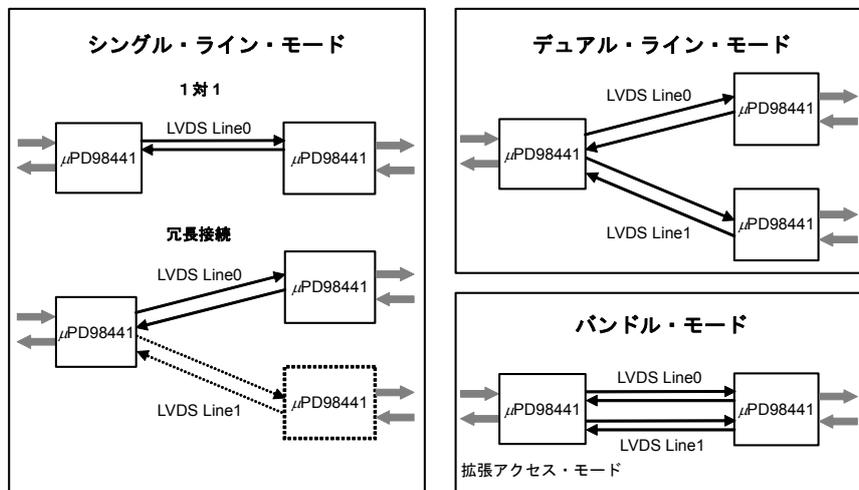
レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F	
2	SIMD	001h	R/W	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D2	Reserved	リザーブ領域です。必ず0をライトしてください。	000000
D1	BDLE	バンドル・モードを設定します。 1: バンドル・モード デュアル・ライン・モードのとき、2つのシリアル・ラインを同一の μ PD98441 に接続する場合に設定するモードです。その他のケースでは、設定する必要はありません。 0: バンドル・モード以外	0
D0	LMODE	シリアル・ラインの動作モードを設定します。 1: デュアル・ライン・モード 2組の送受信フレーム、シリアル・ラインをアクティブにし、それぞれに別の μ PD98441 を接続して1対2の通信を行うモードです。 0: シングル・ライン・モード 1組の送受信フレーム、シリアル・ラインのみをアクティブにして、1対1の接続、または冗長接続(2つのシリアル・ラインが同じデータを送出)するモードです。	0

注意 このレジスタの設定変更は、必ず送受信ドライバ/レシーバ、およびフレームがディスエーブルの状態で行ってください。送受信ドライバ/レシーバ、フレームのイネーブル制御は、FTXEN レジスタ(0A4h)とFRXEN レジスタ(0A8h)で行います。

図6-1 シリアル・インタフェースの接続モード



(4) パラレル・インタフェース・モード設定レジスタ

パラレル・インタフェースの動作モードを設定するレジスタです。

デフォルトは、16 ビット幅モード、1Clav ポーリング (パケット・レベル・トランスファ) モードで、パリティ機能はディスエーブルになっています。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
4	PIMD	003h	R/W	30h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved	EPM	PBMD	PTOE	PTEN	PAMD	PLMD	

ビット	フィールド	機 能	デフォルト																		
D7	Reserved	リザーブ領域です。必ず 0 をライトしてください。	0																		
D6	EPM	UTOPIA において、TxClav/RxClav を有効 / 確認するタイミングを変更します。 <table border="1"> <tr> <td rowspan="4">1</td> <td rowspan="2">スレーブ</td> <td>8 ビット</td> <td>TxClav/RxClav はともに転送セルの先頭から 24 サイクル後に有効にします。</td> </tr> <tr> <td>16 ビット</td> <td>TxClav/RxClav はともに転送セルの先頭から 16 サイクル後に有効にします。</td> </tr> <tr> <td rowspan="2">マスタ</td> <td>8 ビット</td> <td>セル転送中のポートにおいては、SOC の検出から 20 サイクル後に TxClav/RxClav の状態を確認します。</td> </tr> <tr> <td>16 ビット</td> <td>セル転送中のポートにおいては、SOC の検出から 12 サイクル後に TxClav/RxClav の状態を確認します。</td> </tr> </table> <table border="1"> <tr> <td rowspan="2">0</td> <td rowspan="2">スレーブ</td> <td>8/16 ビット</td> <td>TxClav は、最終バイトを出力する 4 サイクル前から有効にします。RxClav は、セルの最終バイトを出力するまでハイに維持します。</td> </tr> <tr> <td>マスタ</td> <td>8/16 ビット</td> <td>セル転送中のポートにおいては、セル転送が終了してから、TxClav/RxClav の状態を確認します。</td> </tr> </table>	1	スレーブ	8 ビット	TxClav/RxClav はともに転送セルの先頭から 24 サイクル後に有効にします。	16 ビット	TxClav/RxClav はともに転送セルの先頭から 16 サイクル後に有効にします。	マスタ	8 ビット	セル転送中のポートにおいては、SOC の検出から 20 サイクル後に TxClav/RxClav の状態を確認します。	16 ビット	セル転送中のポートにおいては、SOC の検出から 12 サイクル後に TxClav/RxClav の状態を確認します。	0	スレーブ	8/16 ビット	TxClav は、最終バイトを出力する 4 サイクル前から有効にします。RxClav は、セルの最終バイトを出力するまでハイに維持します。	マスタ	8/16 ビット	セル転送中のポートにおいては、セル転送が終了してから、TxClav/RxClav の状態を確認します。	0
1	スレーブ	8 ビット			TxClav/RxClav はともに転送セルの先頭から 24 サイクル後に有効にします。																
		16 ビット		TxClav/RxClav はともに転送セルの先頭から 16 サイクル後に有効にします。																	
	マスタ	8 ビット		セル転送中のポートにおいては、SOC の検出から 20 サイクル後に TxClav/RxClav の状態を確認します。																	
		16 ビット	セル転送中のポートにおいては、SOC の検出から 12 サイクル後に TxClav/RxClav の状態を確認します。																		
0	スレーブ	8/16 ビット	TxClav は、最終バイトを出力する 4 サイクル前から有効にします。RxClav は、セルの最終バイトを出力するまでハイに維持します。																		
		マスタ	8/16 ビット	セル転送中のポートにおいては、セル転送が終了してから、TxClav/RxClav の状態を確認します。																	
D5	PBMD	バス幅を設定します。POS-PHY モードでは必ず 16 ビット幅モードに設定してください。 1: 16 ビット幅モード 0: 8 ビット幅モード	1																		
D4	PTOE	パリティ機能の偶奇を設定します。 1: 奇数 0: 偶数	1																		
D3	PTEN	パリティ機能をイネーブルにします。 1: イネーブル 出力インタフェースでは、パリティ・ビットの出力を開始し、入力インタフェースでは、パリティ・チェックを行います。 0: ディスエーブル パリティ出力端子は、ロウ・レベル固定出力になります。	0																		
D2	PAMD	アクセス・モードを設定します。 1: 拡張アクセス・モード 0: 標準アクセス・モード	0																		
D1-D0	PLMD	ポーリング・モードを設定します。 <table border="1"> <tr> <td>(1) UTOPIA モードの場合</td> <td>10: Multi Status Polling モード 01: Direct Status Indication モード 00: 1Clav モード</td> </tr> <tr> <td>(2) POS-PHY モードの場合</td> <td>x1: Byte Level Transfer モード x0: Packet Level Transfer モード</td> </tr> </table>	(1) UTOPIA モードの場合	10: Multi Status Polling モード 01: Direct Status Indication モード 00: 1Clav モード	(2) POS-PHY モードの場合	x1: Byte Level Transfer モード x0: Packet Level Transfer モード	00														
(1) UTOPIA モードの場合	10: Multi Status Polling モード 01: Direct Status Indication モード 00: 1Clav モード																				
(2) POS-PHY モードの場合	x1: Byte Level Transfer モード x0: Packet Level Transfer モード																				

- 注意 1. このレジスタの設定変更は、パラレル・インタフェースがディスエーブルのときにしてください。パラレル・インタフェースのイネーブル制御は PIEN レジスタで行います。
2. PBMD は、POS-PHY モードの場合、必ず 16 ビット幅モードに設定してください。

(5) UTOPIA セル・フォーマット 0 レジスタ

パラレル・インタフェースを UTOPIA モードで動作させる場合に、入出力するセルのフォーマットを設定するレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
5	UCF0	004h	R/W	12h	UTOPIA

7	6	5	4	3	2	1	0
Reserved		HGEN	UDFEN	CTBL			

ビット	フィールド	機能	デフォルト
D7-D6	Reserved	リザーブ領域です。必ず 0 をライトしてください。	00
D5	HGEN	HEC の生成をイネーブルにします。 1: イネーブル シリアル・インタフェースから受信するセルに対して HEC を挿入してパラレル・インタフェースに出力します。 0: ディスエーブル	0
D4	UDFEN	UTOPIA インタフェース時の、セルの UDF あり/なしを設定します。 1: あり 0: なし	1
D3-D0	CTBL	UTOPIA モード時に転送するセルのトータル・バイト長を設定します。このレジスタに設定するトータル・バイト長から SUD のサイズと、UDF のあり/なしによって後尾ユーザ・データ長が決まります。設定可能な値は、先頭ユーザ・データ領域 (SUD) のサイズ (SUDL) と、UDF のあり/なし (UDFEN) に依存します。 0000: 52 バイト 0100: 56 バイト 1000: 60 バイト 1100: 64 バイト 0001: 53 バイト 0101: 57 バイト 1001: 61 バイト 1101: 設定不可 0010: 54 バイト 0110: 58 バイト 1010: 62 バイト 1110: 設定不可 0011: 55 バイト 0111: 59 バイト 1011: 63 バイト 1111: 設定不可	0010

注意 UDFEN と CBTL の設定は、対向の μ PD98441 と必ず同じ値を設定してください。

備考 このレジスタの設定は、パラレル・インタフェースが UTOPIA モード (IFM[1:0] 端子 = 00) に設定された場合にのみ有効になります。POS-PHY モード、汎用 MUX/DEMUX モードでは無効です。

(6) UTOPIA セル・フォーマット1 レジスタ

パラレル・インタフェースを UTOPIA モードで動作させる場合に、入出力するセルのフォーマットを設定するレジスタです。このレジスタでは、セルの先頭に付加するユーザ・データ長を設定します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
6	UCF1	005h	R/W	00h	UTOPIA



ビット	フィールド	機能	デフォルト
D7-D4	Reserved	リザーブ領域です。必ず0をライトしてください。	0000
D3-D0	SUDL	セルの先頭ユーザ・データ (SUD) のサイズを設定します。 0000: 0 バイト 0100: 4 バイト 1000: 8 バイト 1100: 12 バイト 0001: 1 バイト 0101: 5 バイト 1001: 9 バイト 1101: 設定不可 0010: 2 バイト 0110: 6 バイト 1010: 10 バイト 1110: 設定不可 0011: 3 バイト 0111: 7 バイト 1011: 11 バイト 1111: 設定不可	0000

注意 1. CTBL と、SUDL、UDFEN の設定内容は、次の関係を守る必要があります。

・16 ビット・モード時 (PIBS = 0)

UDF ありの場合: 64 トータル・セル長 (CTBL) SUD + 54

UDF なしの場合: 64 トータル・セル長 (CTBL) SUD + 52

かつ、トータル・セル長および、SUD 長は偶数である必要があります。(52, 54, 56, ...64)

・8 ビット・モード時 (PIBS = 1)

UDF ありの場合: 64 トータル・セル長 (CTBL) SUD + 53

UDF なしの場合: 64 トータル・セル長 (CTBL) SUD + 52

2. SUDL の設定は、対向の μ PD98441 と必ず同じ値を設定してください。

備考 このレジスタの設定は、パラレル・インタフェースが UTOPIA モード (IFM[1:0] 端子 = 00) に設定された場合にのみ有効になります。POS-PHY モード、汎用 MUX/DEMUX モードでは無効です。

(7) バス幅変換モード設定レジスタ

パラレル・インタフェースのバス幅が、対向の μ PD98441 と異なる場合（バス幅変換）に、設定するレジスタです。対向 μ PD98441 よりバス幅が小さい方の μ PD98441 に設定します。対向 μ PD98441 よりバス幅が大きいと同じ場合には、設定する必要はありません。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
7	CHGB	006h	R/W	00	UTOPIA/POS 共通

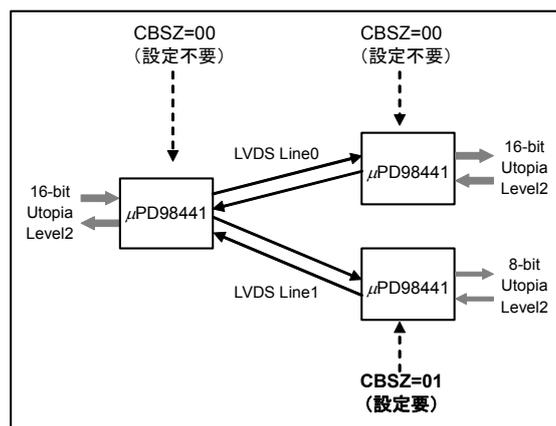


ビット	フィールド	機能	デフォルト
D7-D2	Reserved	リザーブ領域です。必ず 0 をライトしてください。	000000
D1-D0	CBSZ	パラレル・インタフェースのバス幅が対向の μ PD98441 より小さい場合に、対向の μ PD98441 のバス幅を設定します。 11 : 対向 μ PD98442 のバス幅が 32 ビット 10 : 対向 μ PD98441 のバス幅が 16 ビット 00 : 対向 μ PD98441 とバス幅が同じ、または大きい	00

- 注意 1. 対向 μ PD98441 とバス幅が同じ、もしくは対向よりも大きい場合、CBSZ は必ず 00 にしてください。
2. バス幅設定の異なる μ PD98441 と接続した場合は、単一ループバック・モードを実行する場合に制限がありますので注意してください。「3.11.1 (3) 単一ポート・ループバック時の注意事項」を参照してください。

備考 CBSZ = 11 に設定するのは、対向が μ PD98442 で、32 ビット幅モードの場合です。

図6-2 バス幅変換の設定



(8) 識別子設定レジスタ

UTOPIA の拡張アクセス・モード接続時、付加する識別子の内容および付加方法を設定します。拡張アクセス・モードで接続しない場合や、POS-PHY モードでは設定不要です。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
8	TAGCTL	007h	R/W	00	UTOPIA

7	6	5	4	3	2	1	0
Reserved	LNUM			LNUMSZ	TAGOW	SUDEDEL	SUDINS

ビット	フィールド	機能	デフォルト
D7	Reserved	リザーブ領域です。必ず0をライトしてください。	0
D6-D4	LNUM	付加するライン識別子の内容を設定します。ライン識別子が3ビット長のとき (LNUMSZ = 1), 000 ~ 111 まで任意に設定します。1ビット長のとき (LNUMSZ = 0), D4 のみが有効になります。リンク・デバイスが、転送元のラインを識別するための識別子ですので、他の μ PD98441 と同じ値にならないように設定してください。	000
D3	LNUMSZ	付加するライン識別子のサイズを設定します。 1: 3ビット長 3つ以上の μ PD98441 を μ PD98442 に接続する場合に設定 0: 1ビット長 μ PD98441 どうして接続する場合に設定	0
D2	TAGOW	パラレル・インタフェースから受けたセルに μ PD98441 が識別子を付加します。識別子は、ライン識別子とグループ識別子を合わせた3 or 5ビットです。ライン識別子はLNUM フィールドに設定された値です。拡張アクセス・モードのマスタ側のみに許可される設定です。 1: TAGF レジスタの指定位置に μ PD98441 が識別子を上書きしてシリアル・インタフェースに出力します。 0: 何もしません。	0
D1	SUDEDEL	μ PD98441 がシリアル・インタフェースから受けるセルの先頭1ワードを削除します。 1: 削除する シリアル・インタフェースから受けたセルの先頭ワードを削除して、パラレル・インタフェースに出力 0: 何もしません	0
D0	SUDINS	μ PD98441 の識別子の付加方法を設定します。 1: セルの先頭に識別子を格納するための1ワード領域 (all 0) を挿入します。 0: 何もしません	0

- 注意 1. 識別子の付加設定 (SUDINS, TAGOW) は、拡張アクセス・モードで接続しあう2つの μ PD98441のうち、マスタの μ PD98441 (PHY デバイスに接続) にのみ1にできます。スレーブには設定禁止です。
2. SUDINS = 1 の場合、 μ PD98441 はセルの先頭に1ワードを付加してシリアル・インタフェースに出力します。対向の μ PD98441 のパラレル・インタフェースにセルが出力される場合、1ワード増えますので注意してください。
3. SUDINS = 1 に設定している μ PD98441 では、同時にLPP ループバック・モードに設定しないでください。

備考 拡張アクセス・モードで接続しない場合には、このレジスタへの設定は不要です。

(9) 識別子挿入位置設定レジスタ

UTOPIA の拡張アクセス・モード接続時、識別子を格納するフィールドの位置を設定します。 μ PD98441 は、リンク・デバイスから受けるセルのうち、このレジスタに設定されたフィールドを識別子として認識します。また、 μ PD98441 が識別子の付加をする場合 (TAGC レジスタ, TAGOW = 1 のとき)、このレジスタに設定されたフィールドに付加します。拡張アクセス・モードで接続しない場合や POS-PHY モードでは設定不要です。

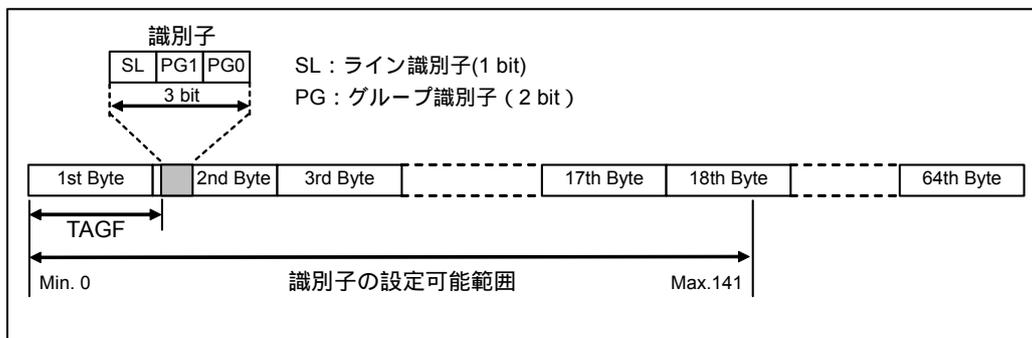
	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
9	TAGF	008h	R/W	00h	UTOPIA



ビット	フィールド	機能	デフォルト
D7-D0	TAGF	セルの先頭ビットから識別子の先頭ビットまでのビット数を 0~141 ビット (00h~8Dh) の範囲で設定します。 識別子のサイズは、対向が μ PD98441 の場合は 3 ビット、 μ PD98442 の場合は 5 ビットになります。TAGC レジスタの LNUMSZ ビットの設定によって決まります。8E ビット以降は、設定しないでください。	00000000

備考 μ PD98441 が識別子を削除する場合 (TAGC レジスタ, SUDDEL = 1 のとき)、識別子の位置はセルの先頭ワードに設定する必要があります。

図6-3 識別子の挿入位置設定



(10) 単一ポート・ループバック・イネーブル・レジスタ

単一ポート・ループバック・モードのイネーブル制御を行うレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
10	PLPEN	009h	R/W	00h	UTOPIA/POS 共通

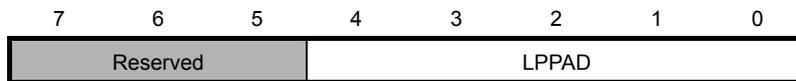


ビット	フィールド	機能	デフォルト
D7-D2	Reserved	リザーブ領域です。必ず0をライトしてください。	000000
D1	LPSEN	LPS 単一ポート・ループバックをイネーブルにします。 1: イネーブル 0: ディスエーブル	0
D0	LPPEN	LPP 単一ポート・ループバックをイネーブルにします。 1: イネーブル 0: ディスエーブル	0

(11) LPP ポート・アドレス設定レジスタ

LPP 単一ポート・ループバック・モードの対象ポート・アドレスを設定するレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
11	LPPPNUM	00Ah	R/W	00h	UTOPIA/POS 共通



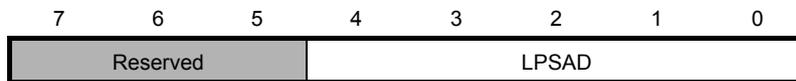
ビット	フィールド	機能	デフォルト
D7-D5	Reserved	リザーブ領域です。必ず0をライトしてください。	000
D4-D0	LPPAD	LPP ループバックの対象とするポート・アドレスを設定します。 0h~1Eh の範囲で設定してください。	00000

- 注意 1. UTOPIA モードの拡張アクセス・モードで接続している PHY デバイス側（マスタ側）の μ PD98441 において、識別子の挿入モード（SUDINS = 1）を選択している場合は、LPP ループバック・モードに設定しないでください。
2. バス幅設定の異なる μ PD98441 を接続している場合、LPP ループバック・モード設定時には次の制限があります。
- 16 ビット幅の μ PD98441 を 32 ビット幅の μ PD98442 と UTOPIA モードで接続しているとき、セルの先頭に SUD フィールドを付加する設定（SUDL が 0 以外）の場合には、LPP ループバック・モードは設定しないでください。
- 8 ビット幅と 16 ビット幅の μ PD98441 を UTOPIA モードで接続する場合は、セルの先頭に付加する SUD フィールドのサイズが 4, 8, 12 バイトの場合に限り、LPP ループバック・モードを設定できます。SUD のサイズが 4, 8, 12 以外のときは、LPP ループバック・モードには設定しないでください。
3. このレジスタの設定は、必ず単一ポート・ループバック・モードがディスエーブルの期間（PLPEN レジスタの LPPEN = 0）に行ってください。

(12) LPS ポート・アドレス設定レジスタ

LPS 単一ポート・ループバック・モードの対象ポート・アドレスを設定するレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
12	LPSPNUM	00Bh	R/W	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D5	Reserved	リザーブ領域です。必ず0をライトしてください。	000
D4-D0	LPSAD	LPS シリアル・ループバックの対象とするポート・アドレスを設定します。 0h~1Eh の範囲で設定してください。	00000

- 注意 1.** 標準アクセス・モードで、かつデュアル・ライン・モード接続時のマスタ側の μ PD98441 では、変換されたPHY デバイスのポート・アドレスを設定します。「3.4.7 (2) デュアル・ライン・モード接続時のポート・アドレス変換」を参照してください。ステータス・ポーリング・モードで、かつ 4 Line/8 Line モードの μ PD98442 に接続している μ PD98441 を LPS モードに設定する場合も同様です。
- 2.** このレジスタの設定は、必ず単一ポート・ループバック・モードがディスエーブルの期間 (PLPEN レジスタの LPSEN = 0) に行ってください。

(13) LPP ライン・グループ設定レジスタ

LPP 単一ポート・ループバックの対象とする論理ポートのライン番号およびグループ番号を設定するレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
13	LPPLBNUM	00Ch	R/W	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D3	Reserved	リザーブ領域です。必ず0をライトしてください。	00000
D2	LPPLK	パラレル・ループバックをするライン番号を設定します。	0
D1-D0	LPPBK	パラレル・ループバックをするグループ番号を設定します。 11: グループ 3 10: グループ 2 01: グループ 1 00: グループ 0	00

備考 LPPBK のグループ番号は、拡張アクセス・モード時のみに有効になる設定です。拡張アクセス・モード以外では、00 に設定してください。

(14) LPS ライン・グループ設定レジスタ

LPS 単一ポート・ループバックの対象とする論理ポートのライン番号およびグループ番号を設定するレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
14	LPSLBNUM	00Dh	R/W	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D3	Reserved	リザーブ領域です。必ず0をライトしてください。	00000
D2	LPSLK	シリアル・ループバックをするライン番号を設定します。	0
D1-D0	LPSBK	シリアル・ループバックをするグループ番号を設定します。 11: グループ3 10: グループ2 01: グループ1 00: グループ0	00

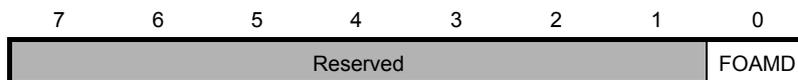
備考 1. LPSLK は、LPS 単一ポート・ループバック時には設定する必要があります。

2. LPSBK のグループ番号は、拡張アクセス・モード時のみに設定してください。

(15) オーバフロー・アドレス設定レジスタ

FIFO でオーバフローを検出した場合、 μ PD98441 はその要因となったポート・アドレスを入出力 FIFO オーバフロー・アドレス・レジスタ (L0TBOA, L1TBOA, または L0RBOA, L1RBOA) に格納します。このレジスタは、そのアドレスの格納モードを設定します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
15	FOAMD	00Eh	R/W	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D1	Reserved	リザーブ領域です。必ず0をライトしてください。	0000000
D0	FOAMD	オーバフロー発生時にアドレスをどのように処理するかを設定します。 1: 保持 オーバフロー・アドレス・レジスタ (L0TBOA, L1TBOA, L0RBOA, L1RBOA) には、最初にオーバフローをおこしたポートのアドレスを格納し、リード・クリアされるまで値を保持します。リード・クリアされるまでは、オーバフローが発生しても上書きすることはありません。 0: 更新 オーバフローが発生するたびに、その要因となったポートのアドレスをオーバフロー・アドレス・レジスタ (L0TBOA, L1TBOA, L0RBOA, L1RBOA) に上書きします。	0

(18) 割り込み要因レジスタ

INTBのアサート要因を示すレジスタです。このレジスタのビットのうち、いずれかが1になると、INTB信号をアサートします。このレジスタのビットは対応する割り込み要因詳細レジスタのいずれかのビットがセットされると1になります。INTB信号をデアサートするには、IR_Mレジスタでマスク設定をするか、割り込み要因詳細レジスタをクリアします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
18	IR	020h	R	00h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved			EXININT	FRMINT	MIFINT	OPIFINT	IPIFINT

ビット	フィールド	機能	デフォルト
D7-D5	Reserved	リザーブ領域です。	000
D4	EXININT	汎用入力ポート割り込み要因詳細レジスタ (EXINS) の状態を示します。 1: EXINS レジスタのいずれかのビットが1の状態 0: EXINS レジスタのすべてのビットが0の状態	0
D3	FRMINT	フレーム割り込み要因メイン・レジスタ (FMAS) の状態を示します。 1: FMAS レジスタのいずれかのビットが1の状態 0: FMAS レジスタのすべてのビットが0の状態	0
D2	MIFINT	MPU インタフェース割り込み要因詳細レジスタ (MIR_RC/R) の状態を示します。 1: MIR_RC/R レジスタのいずれかのビットが1の状態 0: MIR_RC/R レジスタのすべてのビットが0の状態	0
D1	OPIFINT	出力パラレル・インタフェース割り込み要因メイン・レジスタ (OPISR) の状態を示します。 1: OPISR レジスタのいずれかのビットが1の状態 0: OPISR レジスタのすべてのビットが0の状態	0
D0	IPIFINT	入力パラレル・インタフェース割り込み要因メイン・レジスタ (IPISR) の状態を示します。 1: IPISR レジスタのいずれかのビットが1の状態 0: IPISR レジスタのすべてのビットが0の状態	0

備考 このレジスタのビットは、対応する割り込み要因詳細レジスタのビットのうちマスク解除されているビットが1になった場合に1になります。マスク設定されているビットが1になっても、このレジスタのビットは1になりません。

(19) 割り込み要因マスク・レジスタ

IR レジスタのマスク・レジスタです。このレジスタでマスク解除した IR レジスタのビットが 1 になると、INTB 信号がアサートされます。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
19	IR_M	021h	R/W	1Fh	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved			EXININTM	FRMINTM	MIFINTM	OPIFINTM	IPIFINTM

ビット	フィールド	機 能	デフォルト
D7-D5	Reserved	リザーブ領域です。必ず 0 をライトしてください。	000
D4	EXININTM	1: マスク 0: マスクなし	1
D3	FRMINTM	1: マスク 0: マスクなし	1
D2	MIFINTM	1: マスク 0: マスクなし	1
D1	OPIFINTM	1: マスク 0: マスクなし	1
D0	IPIFINTM	1: マスク 0: マスクなし	1

(20) MPU インタフェース割り込み要因詳細レジスタ

MPU インタフェースでエラーを検出したことを通知するレジスタです。無効なレジスタ・アドレスにアクセスされたことを検出した場合、またはリード・オンリーとライト・オンリー・レジスタへの逆アクセスを検出した場合に、 μ PD98441 は、このレジスタの ERRACC ビットを 1 にします。MIR_M レジスタ設定によりマスクを解除している場合は、IR レジスタの MIF ビットも同時に 1 になります。1 になったビットは、MIR_RC アドレスをリードするとクリアされます。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
20	MIR_RC	022h	RC	00h	UTOPIA/POS 共通
21	MIR_R	023h	R	00h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved						ERRACC	

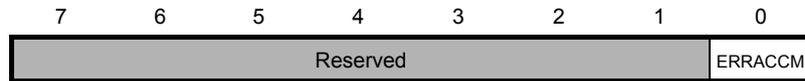
ビット	フィールド	機 能	デフォルト
D7-D1	Reserved	リザーブ領域です。	0000000
D0	ERRACC	MPU インタフェースに無効なレジスタ・アドレスにアクセスされたこと、またはリード・オンリーとライト・オンリー・レジスタへの逆アクセスを検出したことを通知します。 1: アクセス・エラーを検出 0: 未検出	0

備考 MPU 拡張アクセス機能を使って、リモート μ PD98441 から行われた不正アクセスでは通知されません。

(21) MPU インタフェース割り込み要因詳細マスク・レジスタ

MIR_RC/R レジスタのマスク・レジスタです。このレジスタでマスクを解除すると、ERRACC ビットが1になったとき、IR レジスタの MIFINT ビットも1になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
22	MIR_M	024h	R/W	01h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D1	Reserved	リザーブ領域です。必ず0をライトしてください。	0000000
D0	ERRACCM	1:マスク 0:マスクなし	1

(22) 汎用入力ポート・ステート割り込み要因詳細レジスタ

汎用入力端子の入力状態を表すレジスタです。レジスタ値は、システム・クロック周期で更新されますので、保持されません。EXINCFG レジスタ設定によりマスクを解除しているビットが1になった場合には、同時に IR レジスタの EXININT ビットが1になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
23	EXINS	025h	R	07h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved	EIN2L	EIN1L	EIN0L	EIN2H	EIN1H	EIN0H	

ビット	フィールド	機能	デフォルト
D7-D6	Reserved	リザーブ領域です。	00
D5	EIN2L	汎用入力 EXIN[2]端子の入力レベルを反転して表示します。 1: EXIN[2]端子にロウが入力されている状態 0: EXIN[2]端子にハイが入力されている状態	0
D4	EIN1L	汎用入力 EXIN[1]端子の入力レベルを反転して表示します。 1: EXIN[1]端子にロウが入力されている状態 0: EXIN[1]端子にハイが入力されている状態	0
D3	EIN0L	汎用入力 EXIN[0]端子の入力レベルを反転して表示します。 1: EXIN[0]端子にロウが入力されている状態 0: EXIN[0]端子にハイが入力されている状態	0
D2	EIN2H	汎用入力 EXIN[2]端子の入力レベルを表示します。 1: EXIN[2]端子にハイが入力されている状態 0: EXIN[2]端子にロウが入力されている状態	1
D1	EIN1H	汎用入力 EXIN[1]端子の入力レベルを表示します。 1: EXIN[1]端子にハイが入力されている状態 0: EXIN[1]端子にロウが入力されている状態	1
D0	EIN0H	汎用入力 EXIN[0]端子の入力レベルを表示します。 1: EXIN[0]端子にハイがされている状態 0: EXIN[0]端子にロウが入力される状態	1

- 備考 1. このレジスタは、システム・クロック周期で EXIN[2:0]端子の入力状態を更新しており、状態を保持しません。
2. このレジスタのビットのうち、EXINCFG レジスタでマスク解除されたビットが1に変化すると、IR レジスタの EXIN ビットが1になります。

(23) 汎用入力ポート・ステート割り込み要因マスク・レジスタ

EXINS レジスタのマスク・レジスタです。このレジスタ設定でマスクを解除した EXINS レジスタのビットが1に変化すると、同時に IR レジスタの EXININT ビットが1になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
24	EXINCFG	026h	R/W	07h	UTOPIA/POS 共通

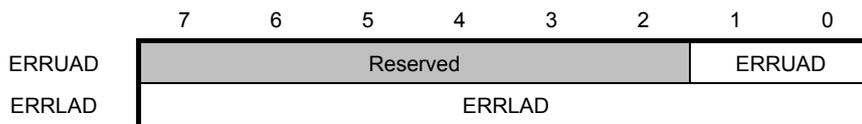
7	6	5	4	3	2	1	0
Reserved	EINSL2	EINSL1	EINSL0	EINS2M	EINS1M	EINS0M	

ビット	フィールド	機能	デフォルト
D7-D6	Reserved	リザーブ領域です。必ず0をライトしてください。	00
D5	EINSL2	1: EXIN[2]端子がハイのとき IR レジスタの EXININT ビットをセット 0: EXIN[2]端子がロウのとき IR レジスタの EXININT ビットをセット	0
D4	EINSL1	1: EXIN[1]端子がハイのとき IR レジスタの EXININT ビットをセット 0: EXIN[1]端子がロウのとき IR レジスタの EXININT ビットをセット	0
D3	EINSL0	1: EXIN[0]端子がハイのとき IR レジスタの EXININT ビットをセット 0: EXIN[0]端子がロウのとき IR レジスタの EXININT ビットをセット	0
D2	EINS2M	1: EXIN[2]端子マスク 0: EXIN[2]端子マスクなし	1
D1	EINS1M	1: EXIN[1]端子マスク 0: EXIN[1]端子マスクなし	1
D0	EINS0M	1: EXIN[0]端子マスク 0: EXIN[0]端子マスクなし	1

(24) アクセス・エラー・アドレス・レジスタ

MPU によるレジスタ・アクセスにおいて無効なアドレスにアクセスがあった場合、または、リード・オンリー・ライト・オンリー・レジスタに逆のアクセスがあった場合、 μ PD98441 はアクセス・エラー検出として、MIR_RC/R レジスタの ERRACC ビットを 1 にセットすると同時に、要因となった不正アドレスのうち、上位 2 ビットを ERRUAD レジスタに格納し、下位 8 ビットを ERRLAD レジスタに格納します。一度格納された不正アドレスは、リード・クリアされるまで保持されます。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
25	ERRUAD	027h	RC	07h	UTOPIA/POS 共通
26	ERRLAD	028h	RC	FFh	UTOPIA/POS 共通



ERRUAD レジスタ

ビット	フィールド	機能	デフォルト
D7-D2	Reserved	リザーブ領域です。	000001
D1, D0	ERRUAD	アクセス・エラー検出要因となった不正アドレスの上位 2 ビットを格納します。	11

ERRLAD レジスタ

ビット	フィールド	機能	デフォルト
D7-D0	ERRLAD	アクセス・エラー検出要因となった不正アドレスの下位 8 ビットを格納します。	11111111

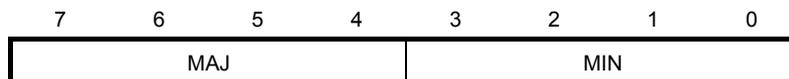
備考 1. このレジスタは、リードするとオール 1 になります。

- ERRUAD レジスタの Reserved フィールドの D2 ビットは、アドレスが書き込まれたとき 0 になり、リード・クリアされると 1 に戻ります。格納される不正アドレスとは関係がありませんので、無視してください。

(25) バージョン・レジスタ

このレジスタには、 μ PD98441 のバージョンが格納されています。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
27	VER	029h	R	--h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D4	MAJ	バージョン (major)	--
D3-D0	MIN	バージョン (minor)	--

備考 バージョンについては当社販売員にお問い合わせください。

(26) 入力ポート・イネーブル・レジスタ

入力パラレル・インタフェースのイネーブル・ポートを設定します。ポーリング・モードに応じて、設定方法が異なりますので注意してください。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
28	IP_IPEN0	040h	R/W	00h	UTOPIA/POS 共通
29	IP_IPEN1	041h	R/W	00h	UTOPIA/POS 共通
30	IP_IPEN2	042h	R/W	00h	UTOPIA/POS 共通
31	IP_IPEN3	043h	R/W	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
IP_IPEN0	IPPE7	IPPE6	IPPE5	IPPE4	IPPE3	IPPE2	IPPE1	IPPE0
	Reserved		IC0EN	IC0AD				
IP_IPEN1	IPPE15	IPPE14	IPPE13	IPPE12	IPPE11	IPPE10	IPPE9	IPPE8
	Reserved		IC1EN	IC1AD				
IP_IPEN2	IPPE23	IPPE22	IPPE21	IPPE20	IPPE19	IPPE18	IPPE17	IPPE16
	Reserved		IC2EN	IC2AD				
IP_IPEN3	Reserved	IPPE30	IPPE29	IPPE28	IPPE27	IPPE26	IPPE25	IPPE24
	Reserved	Reserved	IC3EN	IC3AD				

UTOPIA モード 1Clav, MSP, 拡張アクセス・モードのとき

ビット	フィールド	機能	デフォルト
IP_IPENn D7-D0 (n = 0-3)	IPPE30-0	IPPE[30:0]ビットからイネーブルにしたいポート・アドレスに相当するビットを1に設定します。 拡張アクセス・モードで、かつマスタの場合、IP_BEN レジスタでイネーブルにするグループを設定する必要があります。IP_IPEN0 ~ IP_IPEN3 レジスタの設定は、すべてのグループに対する共通のイネーブル制御になります。	00000000

UTOPIA モード・DSI モードのとき

ビット	フィールド	機能	デフォルト
D7-D6	Reserved	リザーブ領域です。	00
D5	ICnEN (n = 0-3)	ICLAVn の信号動作をイネーブルにします。 1: イネーブル 0: ディスエーブル	0
D4-D0	ICnAD (n = 0-3)	ICLAVn 信号にアサインするポート・アドレスを IP_IPENn レジスタにセットします。イネーブルにするには、ICnEN ビットを同時に1にしてください。IP_IPENn のレジスタ間で、同じポート・アドレスを設定することは禁止です。同じポート・アドレスを設定された場合、正しく動作できません。 例) ICLAV0 にポート・アドレス"08h"を設定する場合、IP_IPEN0 レジスタに"28h"をライトします。	00000

POS-PHY モードのとき

ビット	フィールド	機能	デフォルト
IP_IPENn D7-D0 (n = 0-1)	IPPE15-0	イネーブルにするポートを IPPE0 ~ IPPE15 から選択し、1に設定します。 IP_IPEN2, IP_IPEN3 レジスタへの設定は無効です。	00000000

注意 PIEN レジスタで入力パラレル・インタフェースをディスエーブルにする場合は、必ずこのレジスタで全ポートをディスエーブルにしてからにしてください。

備考 IP_IPEN2, IP_IPEN3 レジスタは使用しません。

(27) 入力グループ・イネーブル・レジスタ

拡張アクセス・モードでかつマスタ動作 (MSM 端子 = 1) のとき、入力パラレル・インタフェースのイネーブルにするグループを設定します。グループをイネーブルにすると、対応する IENBn, IC LAVn (n = 0 ~ 3) 信号が動作を開始し、IP_IPEN0 ~ IP_IPEN3 レジスタで設定したポート・アドレスがイネーブルになります。標準アクセス・モードと、拡張アクセス・モードのスレーブ動作 (MSM 端子 = 0) のときは、設定不要です。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
32	IP_BEN	044h	R/W	00h	UTOPIA



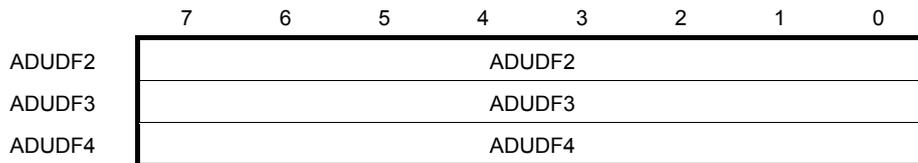
ビット	フィールド	機能	デフォルト
D7-D4	Reserved	リザーブ領域です。必ず0をライトしてください。	0000
D3	IPBEN3	グループ3をイネーブルにします。 1: イネーブル 0: ディスエーブル	0
D2	IPBEN2	グループ2をイネーブルにします。 1: イネーブル 0: ディスエーブル	0
D1	IPBEN1	グループ1をイネーブルにします。 1: イネーブル 0: ディスエーブル	0
D0	IPBEN0	グループ0をイネーブルにします。 1: イネーブル 0: ディスエーブル	0

備考 このレジスタは、拡張アクセス・モードで、かつマスタ動作の場合にのみ設定します。

(28) UDF 設定レジスタ

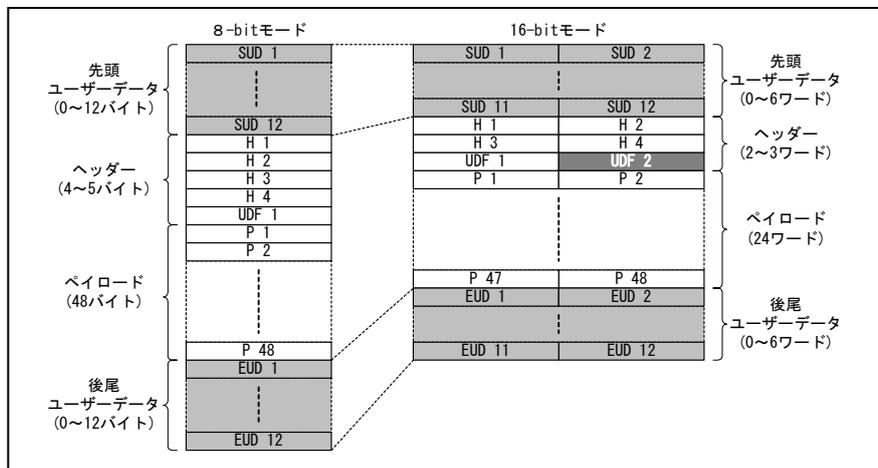
ローカル μ PD98441 がバス幅 8 ビットで、リモート μ PD98441 がバス幅 16 ビットに設定されている場合、 μ PD98441 はセルに UDF フィールドを追加してシリアル・インタフェースに出力します。このレジスタには、追加する UDF フィールドの内容を設定します。パラレル・インタフェースに出力するすべてのセルには、このレジスタに設定された UDF フィールドが追加されます。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
33	ADUDF2	045h	R/W	00h	UTOPIA
34	ADUDF3	046h	R/W	00h	UTOPIA
35	ADUDF4	047h	R/W	00h	UTOPIA



ビット	フィールド	機能	デフォルト
D7-D0	ADUDFn (n=2-4)	バス幅を 8 ビットから 16 ビットに変換する場合に、追加する UDF2 フィールドの内容を設定します。 ADUDF3 および ADUDF4 は、対向デバイスが μ PD98442 のとき、8 ビットから 32 ビットに変換する場合に使用します。	00000000

図6-4 UDF2 追加例 (8 ビット 16 ビットへの変換)



(29) 入力パラレル・インタフェース・カウンタ・イネーブル・レジスタ

入力パラレル・インタフェースの各種カウンタのイネーブル制御を行うレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
36	PICEN	048h	R/W	00h	UTOPIA/POS 共通

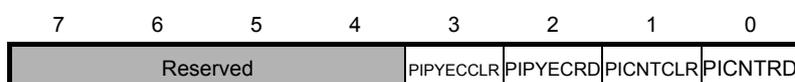


ビット	フィールド	機 能	デフォルト
D7-D2	Reserved	リザーブ領域です。必ず0をライトしてください。	000000
D1	PIPYECEN	パリティ・エラー・カウンタをイネーブルにします。(UTOPIA, POS-PHY モード共通) 1: イネーブル 0: ディスエーブル	0
D0	PICNTEN	入力データ・カウンタをイネーブルにします。(UTOPIA, POS-PHY モード共通) 1: イネーブル 0: ディスエーブル	0

(30) 入力パラレル・インタフェース・カウンタ制御レジスタ

入力パラレル・インタフェースの各種カウンタのロード制御およびクリア制御を行うレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
37	PICNT	049h	W	00h	UTOPIA/POS 共通



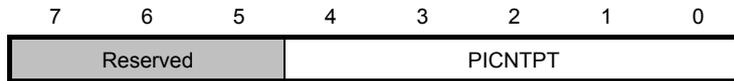
ビット	フィールド	機 能	デフォルト
D7-D4	Reserved	リザーブ領域です。必ず0をライトしてください。	0000
D3	PIPYECCLR	UTOPIA, POS-PHY モード共通 1: パリティ・エラー・カウンタを0クリア 0: 何もしません	0
D2	PIPYECD	UTOPIA, POS-PHY モード共通 1: パリティ・エラー・カウンタをロード 0: 何もしません	0
D1	PICNTCLR	UTOPIA, POS-PHY モード共通 1: 入力データ・カウンタを0クリア 0: 何もしません	0
D0	PICNTRD	UTOPIA, POS-PHY モード共通 1: 入力データ・カウンタをロード 0: 何もしません	0

注意 カウンタの0クリアには制限事項があります。詳細については、「第9章 制限事項」を参照してください。

(31) 入力データ・カウンタ対象ポート設定レジスタ

入力パラレル・インタフェースの入力データ・カウンタが累計の対象とするポート・アドレスを設定します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
38	PICNTPT	04Ah	R/W	1Fh	UTOPIA/POS 共通



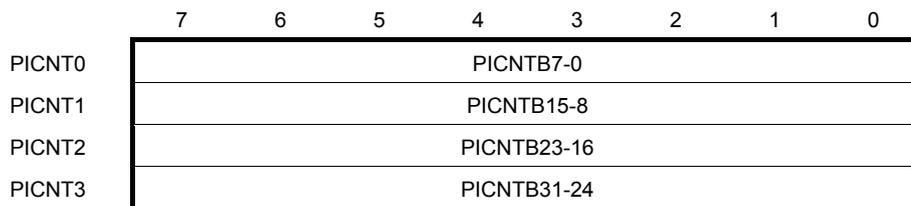
ビット	フィールド	機 能	デフォルト
D7-D5	Reserved	リザーブ領域です。必ず0をライトしてください。	000
D4-D0	PICNTPT	入力データ・カウンタが累計対象とするポート・アドレスを00~1Fhの範囲で設定します。1Fhを設定した場合は、全ポートが対象になります。	11111

備考 拡張アクセス・モードの場合は、イネーブルになっているすべてのグループで同じアドレスを持つポートが累計対象になります。

(32) 入力データ・カウンタ・ロード・レジスタ

入力パラレル・インタフェースに入力されるデータの累計値をロードするレジスタです。PICNT レジスタの PICNTRD ビットに1をライトすると、そのときの入力データ・カウンタ値がこのレジスタにロードされます。レジスタ値は、次にロードされるまで値を保持します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
39	PICNT0	04Bh	R	00h	UTOPIA/POS 共通
40	PICNT1	04Ch	R	00h	UTOPIA/POS 共通
41	PICNT2	04Dh	R	00h	UTOPIA/POS 共通
42	PICNT3	04Eh	R	00h	UTOPIA/POS 共通

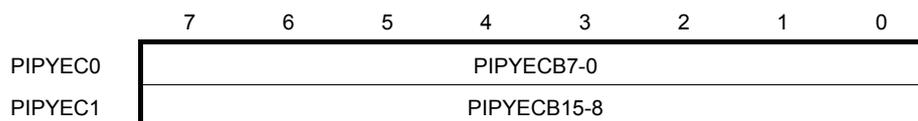


ビット	フィールド	機 能	デフォルト
PICNTn (n = 0-3) D7-D0	PICNTB31-0	PICNT レジスタの PICNTRD ビットに1をライトすると、入力データ・カウンタの累計値 32 ビットが格納されます。	00000000

(33) パリティ・エラー・カウンタ・ロード・レジスタ

入力パラレル・インタフェースで検出したパリティ・エラーの累計値をロードするレジスタです。PICNT レジスタの PIPYECRD ビットに 1 をライトすると、そのときのパリティ・エラー・カウンタ値がこのレジスタにロードされます。レジスタ値は、次に更新されるまで値を保持します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
43	PIPYEC0	04Fh	R	00h	UTOPIA/POS 共通
44	PIPYEC1	050h	R	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
PIPYECn (n = 0-1) D7-D0	PIPYECB15-0	PICNT レジスタの PIPYECRD ビットに 1 をライトすると、パリティ・エラー・カウンタの累計値 16 ビットが格納されます。	00000000

(34) 出力ポート・イネーブル・レジスタ

出力パラレル・インタフェースのイネーブル・ポートを設定します。ポーリング・モードに応じて、設定方法が異なりますので注意してください。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
45	OP_IPEN0	055h	R/W	00h	UTOPIA/POS 共通
46	OP_IPEN1	056h	R/W	00h	UTOPIA/POS 共通
47	OP_IPEN2	057h	R/W	00h	UTOPIA/POS 共通
48	OP_IPEN3	058h	R/W	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
OP_IPEN0	OPPE7	OPPE6	OPPE5	OPPE4	OPPE3	OPPE2	OPPE1	OPPE0
	Reserved		OC0EN	OC0AD				
OP_IPEN1	OPPE15	OPPE14	OPPE13	OPPE12	OPPE11	OPPE10	OPPE9	OPPE8
	Reserved		OC1EN	OC1AD				
OP_IPEN2	OPPE23	OPPE22	OPPE21	OPPE20	OPPE19	OPPE18	OPPE17	OPPE16
	Reserved		OC2EN	OC2AD				
OP_IPEN3	Reserved	OPPE30	OPPE29	OPPE28	OPPE27	OPPE26	OPPE25	OPPE24
	Reserved	Reserved	OC3EN	OC3AD				

UTOPIA モード 1Clav, MSP, 拡張アクセス・モードのとき

ビット	フィールド	機能	デフォルト
OP_IPENn D7-D0 (n = 0-3)	OPPE30-0	OPPE[30:0]ビットからイネーブルにしたいポート・アドレスに相当するビットを1に設定します。 拡張アクセス・モードでかつマスタの場合、OP_BEN レジスタでイネーブルにするグループを設定する必要があります。OP_IPEN0 ~ OP_IPEN3 レジスタの設定は、すべてのグループに対して共通のイネーブル制御になります。	00000000

UTOPIA モード・DSI モードのとき

ビット	フィールド	機能	デフォルト
D7-D6	Reserved	リザーブ領域です。必ず0をライトしてください。	0
D5	OCnEN (n = 0-3)	OCLAVn の信号動作をイネーブルにします。 1: イネーブル 0: ディスエーブル	0
D4-D0	OCnAD (n = 0-3)	OCLAVn 信号にアサインするポート・アドレスを OP_IPENn レジスタにセットします。イネーブルにするには、OCnEN ビットを同時に1にしてください。OP_IPENn のレジスタ間で、同じポート・アドレスを設定することは禁止です。同じポート・アドレスを設定された場合、正しく動作できません。 例) OCLAV0 にポート・アドレス"08h"を設定する場合、OP_IPEN0 レジスタに"28h"をライトします。	00000

POS-PHY モードのとき

ビット	フィールド	機能	デフォルト
OP_IPENn D7-D0 (n = 0-1)	OPPE15-0	イネーブルにするポートを OPPE0 ~ OPPE15 から選択し、1に設定します。 OP_IPEN2, OP_IPEN3 レジスタへの設定は無効です。	00000000

- 注意 1. PIEN レジスタで入力パラレル・インタフェースをディスエーブルにする場合は、必ずこのレジスタで全ポートをディスエーブルにしてからにしてください。
2. DSI のマスタ・モードで動作する場合、4 つの OCLAVn 信号には、イネーブル (OCnEN) の設定にかかわらず、異なるポート・アドレスを設定してください。または、未使用ポートの OCLAV 信号入力を、常にインアクティブ (Low 入力) にしてください。

備考 OP_IPEN2, OP_IPEN3 レジスタは使用しません。

(35) 出力グループ・イネーブル・レジスタ

拡張アクセス・モードでかつマスタ動作 (MSM 端子 = 1) のとき、出力パラレル・インタフェースのイネーブルにするグループを設定します。グループをイネーブルにすると、対応する OENBn, OCLAVn (n = 0~3) 信号が動作を開始し、OP_IPEN0~OP_IPEN3 レジスタで設定したポート・アドレスがイネーブルになります。標準アクセス・モードと、拡張アクセス・モードのスレーブ動作 (MSM 端子 = 0) のときは、設定不要です。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
49	OP_BEN	059h	R/W	00h	UTOPIA

7	6	5	4	3	2	1	0
Reserved				OPBEN3	OPBEN2	OPBEN1	OPBEN0

ビット	フィールド	機能	デフォルト
D7-D4	Reserved	リザーブ領域です。必ず0をライトしてください。	0000
D3	OPBEN3	グループ3をイネーブルにします。 1:イネーブル 0:ディスエーブル	0
D2	OPBEN2	グループ2をイネーブルにします。 1:イネーブル 0:ディスエーブル	0
D1	OPBEN1	グループ1をイネーブルにします。 1:イネーブル 0:ディスエーブル	0
D0	OPBEN0	グループ0をイネーブルにします。 1:イネーブル 0:ディスエーブル	0

備考 このレジスタは、拡張アクセス・モードで、かつマスタ動作の場合にのみ設定します。

(36) 出力パラレル・インタフェース・カウンタ・イネーブル・レジスタ

出力パラレル・インタフェースの各種カウンタのイネーブル制御を行うレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
50	POCEN	05Ah	R/W	00h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved					POEPCNTEN	POCNTEN	

ビット	フィールド	機能	デフォルト
D7-D2	Reserved	リザーブ領域です。必ず0をライトしてください。	000000
D1	POEPCNTEN	出力エラー・パケット・カウンタをイネーブルにします。(POS-PHYモード共通) 1:イネーブル 0:ディスエーブル	0
D0	POCNTEN	出力データ・カウンタをイネーブルにします。(UTOPIA, POS-PHYモード共通) 1:イネーブル 0:ディスエーブル	0

(37) 出力パラレル・インタフェース・カウンタ制御レジスタ

出力パラレル・インタフェースの各種カウンタのロード制御およびクリア制御を行うレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
51	POCNT	05Bh	W	00h	UTOPIA/POS 共通



ビット	フィールド	機 能	デフォルト
D7-D4	Reserved	リザーブ領域です。必ず0をライトしてください。	0000
D3	POEPCNTCLR	POS-PHY モード共通 1: 出力エラー・パケット・カウンタを0クリア 0: 何もしません	0
D2	POEPCNTRD	POS-PHY モード共通 1: 出力エラー・パケット・カウンタをロード 0: 何もしません	0
D1	POCNTCLR	UTOPIA, POS-PHY モード共通 1: 出力データ・カウンタを0クリア 0: 何もしません	0
D0	POCNTRD	UTOPIA, POS-PHY モード共通 1: 出力データ・カウンタをロード 0: 何もしません	0

注意 カウンタの0クリアには制限事項があります。詳細については、「第9章 制限事項」を参照してください。

(38) 出力データ・カウンタ対象ポート設定レジスタ

出力パラレル・インタフェースの出力データ・カウンタが累計対象とするポート・アドレスを設定します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
52	POCNTPT	05Ch	R/W	1Fh	UTOPIA/POS 共通



ビット	フィールド	機 能	デフォルト
D7-D5	Reserved	リザーブ領域です。必ず0をライトしてください。	000
D4-D0	POCNTPT	出力データ・カウンタが累計対象とするポート・アドレスを00~1Fhの範囲で設定します。1Fhを設定した場合は、全ポートが対象になります。	11111

備考 拡張アクセス・モードの場合は、イネーブルになっているすべてのグループで同じアドレスを持つポートが累計対象になります。

(39) 出力データ・カウンタ・ロード・レジスタ

出力パラレル・インタフェースに入力されるデータの累計値をロードするレジスタです。POCNT レジスタの POCNTRD ビットに 1 をライトすると、そのときの出力データ・カウンタ値がこのレジスタにロードされます。レジスタ値は、次にロードされるまで値を保持します。

	レジスタ名	アドレス	アクセス	デフォルト
53	POCNT0	05Dh	R	00h
54	POCNT1	05Eh	R	00h
55	POCNT2	05Fh	R	00h
56	POCNT3	060h	R	00h

	7	6	5	4	3	2	1	0
POCNT0	POCNB7-0							
POCNT1	POCNB15-8							
POCNT2	POCNB23-16							
POCNT3	POCNB31-24							

ビット	フィールド	機能	デフォルト
POCNTn (n = 0-3) D7-D0	POCNB31-0	POCNT レジスタの POCNTRD ビットに 1 をライトすると、出力データ・カウンタの累計値 32 ビットが格納されます。	00000000

(40) 出力エラー・パケット・カウンタ・ロード・レジスタ

POS-PHY モード時、出力パラレル・インタフェースで検出したエラー・パケットの累計値をロードするレジスタです。UTOPIA モードでは使用しません。POCNT レジスタの POPECRD ビットに 1 をライトすると、そのときの出力エラー・パケット・カウンタ値がこのレジスタにロードされます。レジスタ値は、次に更新されるまで値を保持しています。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
57	POEPCNT0	061h	R	00h	POS-PHY
58	POEPCNT1	062h	R	00h	POS-PHY

	7	6	5	4	3	2	1	0
POEPCNT0	POEPCNTB7-0							
POEPCNT1	POEPCNTB15-8							

ビット	フィールド	機能	デフォルト
POEPCNTn (n = 0-1) D7-D0	POEPCNTB15-0	POCNT レジスタの POEPCNTRD ビットに 1 をライトすると、出力エラー・パケット・カウンタの累計値 16 ビットが格納されます。	00000000

(41) 入力 FIFO 設定レジスタ 0

UTOPIA モード時の入力 FIFO のしきい値設定を行うレジスタです。POS-PHY モードでは使用しません。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
59	IFTMD0	063h	R/W	02h	UTOPIA

7	6	5	4	3	2	1	0
Reserved				IBALH	IBMD		

ビット	フィールド	機能	デフォルト
D7-D4	Reserved	リザーブ領域です。必ず 0 をライトしてください。	0000
D3-D2	IBALH	<p>μ PD98441 が、TxClav 信号をデアサートする入力 FIFO のしきい値を設定します。転送中セルの先頭を FIFO に書き込み始めたとき、書き込み可能な入力 FIFO の空き領域を設定します。可能な設定値は、ポートごとに割り当てる送信 FIFO 領域のサイズ (IBMD) に依存しますので注意してください。</p> <p>1x: 転送中のセルを除いた空き領域が 3 セルのときに TxClav をデアサート 01: 転送中のセルを除いた空き領域が 1 セルのときに TxClav をデアサート 00: 転送中のセルを除いた空き領域が 0 セルのときに TxClav をデアサート</p>	00
D1-D0	IBMD	<p>各論理ポートに割り当てる入力 FIFO の領域を設定します。デフォルトでは、論理ポートごとに 2 セル分 (32 分割) の領域が割り当てられます。イネーブルにするポート数が少ない場合に、更に多くの領域を割り当てることができます。</p> <p>1x: 32 分割 (イネーブル・ポート数が 31 まで) 01: 16 分割 (イネーブル・ポート数が 16 まで) 00: 8 分割 (イネーブル・ポート数が 8 まで)</p>	10

- 注意 1. このレジスタの設定は、入出力パラレル・インタフェースをイネーブルにする前に行ってください。パラレル・インタフェースのイネーブルは、PIEN レジスタで行います。
2. IBMD の設定によって、IBALH の可能な設定値が異なります。また、IBMD の設定によって、イネーブルが可能な最大ポート数が変わります。下表にその関係を示します。

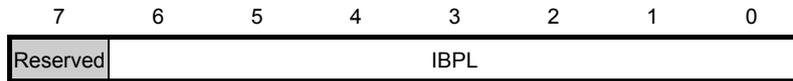
表6 - 1 IBMD とイネーブル可能ポート数および、IBALH の関係

IBMD	各ポートに割り当て可能な入力 FIFO サイズ	設定可能なイネーブル・ポート数	設定可能な IBALH
1x	2 セル	31 ~ 1	00
01	4 セル	16 ~ 1	00, 01
00	8 セル	8 ~ 1	00, 01, 1x

(42) 入力 FIFO 設定レジスタ 1

POS-PHY のスレーブ・モード時に、入力 FIFO が、PTPA/DTPA/STPA 信号をアサートするしきい値を設定します。UTOPIA モードでは、このレジスタを使用しません。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
60	IFTMD1	064h	R/W	06h	POS-PHY



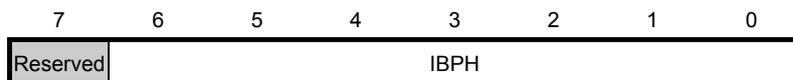
ビット	フィールド	機 能	デフォルト
D7	Reserved	リザーブ領域です。必ず 0 をライトしてください。	0
D6-D0	IBPL	PTPA/DTPA/STPA 信号をアサートするしきい値を設定します。入力 FIFO の空き領域がこのフィールドに設定したしきい値より大きくなると、 μ PD98441 は PTPA/DTPA/STPA 信号をアサートします。設定は 4 バイト単位で行います。デフォルトは、06h ですので 24 バイトになります。設定可能範囲は、00h ~ 40h の範囲です。 PTPA/DTPA/STPA アサート：空き領域 > 設定しきい値	0000110

注意 このレジスタの設定は、入出力パラレル・インタフェースをイネーブルにする前に行ってください。パラレル・インタフェースのイネーブルは、PIEN レジスタで行います。

(43) 入力 FIFO 設定レジスタ 2

POS-PHY モード時の入力 FIFO が、PTPA/DTPA/STPA をデアサートするしきい値を設定します。UTOPIA モードでは、このレジスタを使用しません。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
61	IFTMD2	065h	R/W	06h	POS-PHY



ビット	フィールド	機 能	デフォルト
D7	Reserved	リザーブ領域です。必ず 0 をライトしてください。	0
D6-D0	IBPH	PTPA/DTPA/STPA 信号をデアサートするしきい値を設定します。入力 FIFO の空き領域がこのフィールドに設定したしきい値以下になると、 μ PD98441 は PTPA/DTPA/STPA 信号をデアサートします。設定は 4 バイト単位で行います。デフォルトは、06h ですので 24 バイトになります。設定可能範囲は、00h ~ 40h の範囲です。 PTPA/DTPA/STPA デアサート：設定しきい値 空き領域	0000110

注意 このレジスタの設定は、入出力パラレル・インタフェースをイネーブルにする前に行ってください。パラレル・インタフェースのイネーブルは、PIEN レジスタで行います。

(44) 入力 FIFO オーバフロー・アドレス・レジスタ

入力 FIFO でオーバフローを検出した場合、その発生要因となったポート・アドレスを格納するレジスタです。格納方法には、オーバフローを検出するたびに上書きするモードと、一度格納した値をリード・クリアされるまで保持するモードがあります。格納モードは、FOAMD レジスタに設定します。

	7	6	5	4	3	2	1	0
L0TBOA	Reserved				TPADR			
L1TBOA	Reserved				TPADR			

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
62	L0TBOA	066h	RC	1Fh	UTOPIA/POS 共通
63	L1TBOA	067h	RC	1Fh	UTOPIA/POS 共通

ビット	フィールド	機能	デフォルト
L[n]TBOA D7-D5	Reserved	リザーブ領域です。必ず 0 をライトしてください。	000
L[n]TBOA D4-D0	L[n]TPADR (n = 0, 1)	入力 FIFO でオーバフローの発生要因となったポート・アドレスを格納します。 L0TBOA レジスタには、Line0 に出力するポート・アドレスを格納し、L1TBOA レジスタには、Line1 に出力するポート・アドレスを格納します。	11111

備考 これらのレジスタは、リードすると、1Fh に戻ります。

(45) 出力 FIFO 設定レジスタ 0

POS-PHY のスレーブ・モード時に、出力 FIFO が、PRPA 信号をデアサートするしきい値を設定します。UTOPIA モードでは、このレジスタを使用しません。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
64	OFTMD0	068h	R/W	10h	POS-PHY

7	6	5	4	3	2	1	0
OBPL							

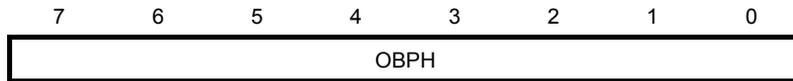
ビット	フィールド	機能	デフォルト
D7-D0	OBPL	PRPA 信号をデアサートするしきい値を設定します。このレジスタに設定したしきい値より、出力 FIFO 内の有効データ数が少なくなると、 μ PD98441 は PRPA 信号をデアサートします。設定は 4 バイト単位で行います。デフォルトは、10h ですので 64 バイトになります。設定可能範囲は、00h ~ 80h の範囲です。 PRPA デアサート：格納データ < 設定しきい値 出力 FIFO 内にパケットの最終バイト (EOP) が格納されている場合は、このしきい値設定と関係なく PRPA はアサートされます。	00010000

注意 このレジスタの設定は、入出力パラレル・インタフェースをイネーブルにする前に行ってください。パラレル・インタフェースのイネーブルは、PIEN レジスタで行います。

(46) 出力 FIFO 設定レジスタ 1

POS-PHY のスレーブ・モード時に、出力 FIFO が、PRPA 信号をアサートするしきい値を設定します。UTOPIA モードでは、このレジスタを使用しません。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
65	OFTMD1	069h	R/W	10h	POS-PHY



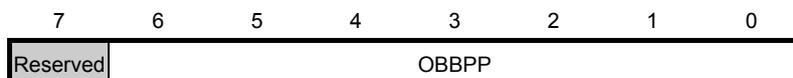
ビット	フィールド	機 能	デフォルト
D7-D0	OBPH	PRPA 信号をアサートするしきい値を設定します。出力 FIFO 内の格納データ量がこのレジスタに設定したしきい値以上になると、 μ PD98441 は PRPA 信号をアサートします。設定は 4 バイト単位で行います。デフォルトは、10h ですので 64 バイトになります。設定可能範囲は、00h ~ 80h の範囲です。 PRPA アサート：設定しきい値 格納データ 出力 FIFO 内にパケットの最終バイト (EOP) が格納されている場合は、このしきい値設定と関係なく PRPA はアサートされます。	00010000

注意 このレジスタの設定は、入出力パラレル・インタフェースをイネーブルにする前に行ってください。パラレル・インタフェースのイネーブルは、PIEN レジスタで行います。

(47) 出力 FIFO 設定レジスタ 2

UTOPIA モードにおいて、リモート μ PD98441 に論理ポート単位のバックプレッシャを伝送するしきい値を設定します。このレジスタに設定したしきい値よりも出力 FIFO 内の格納セル数が多くなると、その論理ポートのバックプレッシャをリモート μ PD98441 に伝送します。POS-PHY モードでは、このレジスタを使用しません。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
66	OFTMD2	06Ah	R/W	08h	UTOPIA



ビット	フィールド	機 能	デフォルト
D7	Reserved	リザーブ領域です。必ず 0 をライトしてください。	000
D6-D0	OBBPP	対向 μ PD98441 に論理ポート単位のバックプレッシャを伝送する出力 FIFO のしきい値を設定します。セル単位で 0 ~ 127 の範囲で設定します。 単一ポート・バックプレッシャ：設定しきい値 ポートの格納セル数	01000

注意 このレジスタの設定は、入出力パラレル・インタフェースをイネーブルにする前に行ってください。パラレル・インタフェースのイネーブルは、PIEN レジスタで行います。

(48) 出力 FIFO 設定レジスタ 3

UTOPIA モード時の出力 FIFO において、対向の μ PD98441 に全ポートのバックプレッシャを伝送するしきい値を設定します。このレジスタに設定したしきい値よりも、出力 FIFO 内の空き容量が小さくなると、出力 FIFO がフル状態であるとして、全ポートのバックプレッシャを対向 μ PD98441 に伝送します。POS-PHY モードでは、このレジスタを使用しません。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
67	OFTMD3	06Bh	R/W	08h	UTOPIA



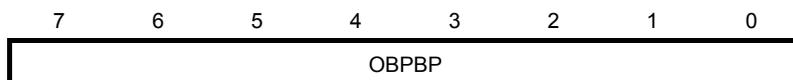
ビット	フィールド	機能	デフォルト
D7-D0	OBBPT	出力 FIFO の空き領域が、このレジスタのしきい値よりも小さくなったとき、全ポートのバックプレッシャを対向 μ PD98441 に伝送します。セル単位で 0 ~ 128 の範囲で設定します。 全ポート・バックプレッシャ：空きセル領域 設定しきい値	00001000

注意 このレジスタの設定は、入出力パラレル・インタフェースをイネーブルにする前に行ってください。パラレル・インタフェースのイネーブルは、PIEN レジスタで行います。

(49) 出力 FIFO 設定レジスタ 4

POS-PHY モード時の出力 FIFO において、対向の μ PD98441 に論理ポート単位でのバックプレッシャを伝送するしきい値を設定します。このレジスタに設定したしきい値よりも、出力 FIFO 内の空き容量が小さくなると、バックプレッシャを対向 μ PD98441 に伝送します。UTOPIA モードでは、このレジスタを使用しません。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
68	OFTMD4	06Ch	R/W	50h	POS-PHY



ビット	フィールド	機能	デフォルト
D7-D0	OBPBP	出力 FIFO の空き領域が、このレジスタのしきい値よりも小さくなったとき、そのポートのバックプレッシャを対向 μ PD98441 に伝送します。4 バイト単位で設定します。設定可能範囲は、00h ~ 80h の範囲です。 単一ポート・バックプレッシャ：空き領域 設定しきい値	01010000

注意 このレジスタの設定は、入出力パラレル・インタフェースをイネーブルにする前に行ってください。パラレル・インタフェースのイネーブルは、PIEN レジスタで行います。

(50) 出力 FIFO オーバフロー・アドレス・レジスタ

出力 FIFO でオーバフローを検出した場合、その発生要因となったポート・アドレスを格納するレジスタです。格納方法には、オーバフローを検出するたびに上書きするモードと、一度格納した値をリード・クリアされるまで保持するモードがあります。格納モードは、FOAMD レジスタに設定します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
69	L0RBOA	06Dh	RC	1Fh	UTOPIA/POS 共通
70	L1RBOA	06Eh	RC	1Fh	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L0RBOA	Reserved	RB	RPADR					
L1RBOA	Reserved	RB	RPADR					

ビット	フィールド	機能	デフォルト
D7	Reserved	リザーブ領域です。	0
D6-D5	RB	出力 FIFO でオーバフローの発生要因となったポートのグループ番号を格納します。L0RBOA レジスタには、Line0 に入力されたポートのグループ番号を、L1RBOA レジスタには、Line1 に入力されたポートのグループ番号を格納します。拡張アクセス・モード以外では格納されません。	00
D4-D0	RPADR	出力 FIFO でオーバフローの発生要因となったポート・アドレスを格納します。L0RBOA レジスタには、Line0 に入力されたポート・アドレスを格納し、L1RBOA レジスタには、Line1 に入力されたポート・アドレスを格納します。	11111

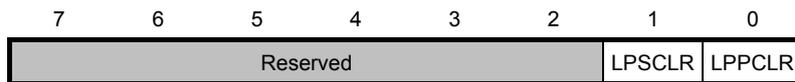
備考 これらのレジスタは、リードすると、1Fh に戻ります。

(51) ループ・バッファ初期化レジスタ

単一ポート・ループバック・モード (LPS/LPP ループバック) では、データは、送受信ブロック間にある各ループ・バッファを系由して折り返されます。このレジスタは、そのループ・バッファに残留しているデータを強制的クリアするレジスタです。

PLPEN レジスタで単一ポート・ループバック・モードを設定する場合は、必ずこのレジスタで、ループ・バッファをクリアしてからにしてください。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
71	LPCLR	070h	R/W	00h	UTOPIA/POS 共通

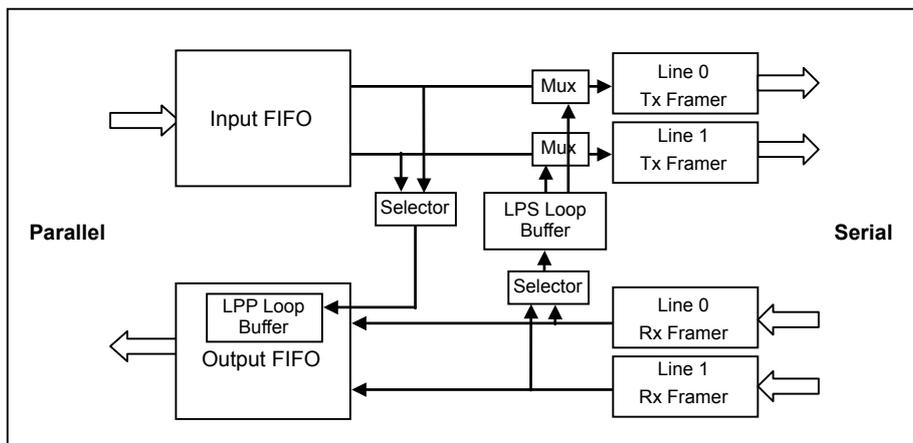


ビット	フィールド	機能	デフォルト
D7-D2	Reserved	リザーブ領域です。必ず 0 をライトしてください。	000000
D1	LPSCLR	シリアル・ループバック・バッファのクリア・コマンドです。 1: シリアル・ループバック・バッファ内のデータを初期化 0: 何もしません	0
D0	LPPCLR	パラレル・ループバック・バッファのクリア・コマンドです。 1: パラレル・ループバック・バッファ内のデータを初期化 0: 何もしません	0

注意 PLPEN レジスタで単一ポート・ループバック・モードを設定する場合は、必ずこのレジスタで、ループ・バッファをクリアしてからにしてください。

備考 このレジスタの初期化コマンドは、ビットを 1 にセットしている間は、初期化状態が続きます。通常動作に戻すには、ビットに 0 をライトしてください。

図6-5 ループ・バッファ



(52) 入力パラレル・インタフェース割り込み要因メイン・レジスタ

割り込み要因レジスタ (IR レジスタ) の IPIFINT ビットが 1 にセットされた場合, その詳細要因が入力パラレル・インタフェースの FIFO オーバフロー, プロトコル・エラー, カウンタのオーバフローのいずれによるものかを示すレジスタです。このレジスタのいずれかのビットが 1 にセットされると, IR レジスタの IPIFINT ビットが 1 になります。割り込み要因詳細レジスタをクリアすることで 0 に戻ります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
72	IPISR	071h	R	00h	UTOPIA/POS 共通



ビット	フィールド	機 能	デフォルト
D7-D3	Reserved	リザーブ領域です。	00000
D2	PICNTOE	入力パラレル・カウンタ・オーバフロー割り込み要因詳細レジスタ (TBOE_RC/R レジスタ) の状態を示します。 1: PICNTOE_RC/R レジスタのいずれかのビットが 1 になっている 0: PICNTOE_RC/R レジスタはオール 0	0
D1	PIERR	入力パラレル・プロトコル・エラー割り込み要因詳細レジスタ (PIERR_RC/R レジスタ) の状態を示します。 1: PIERR_RC/R レジスタのいずれかのビットが 1 になっている 0: PIERR_RC/R レジスタはオール 0	0
D0	TBOE	入力 FIFO エラー割り込み要因詳細レジスタ (PICNTOE_RC/R レジスタ) の状態を示します。 1: TBOE_RC/R レジスタのいずれかのビットが 1 になっている 0: TBOE_RC/R レジスタはオール 0	0

(53) 入力パラレル・プロトコル・エラー割り込み要因詳細レジスタ

入力パラレル・インタフェースでプロトコル・エラーが発生したことを示すレジスタです。このレジスタのいずれかのビットが1になると、IPISR レジスタの PIERR ビットと IR レジスタの IPIFINT ビットが1になります。PIERR_M レジスタでマスクされている場合は、両レジスタに反映されません。このレジスタを0クリアするには、PIERR_RC アドレスをリードします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
73	PIERR_RC	072h	RC	00h	UTOPIA/POS 共通
74	PIERR_R	073h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
PIERR_RC	TEOPE	Reserved	IPYE	Reserved	TRSOCE	TSOCE	TSELE	TRSELE
PIERR_R	TEOPE	Reserved	IPYE	Reserved	TRSOCE	TSOCE	TSELE	TRSELE

ビット	フィールド	機能	デフォルト
D7	TEOPE	入力不正 EOP エラーの検出 (POS-PHY モード) 1: EOP の受信後、通常では次のパケットの SOP を受信する順番であるところを、再度不正 EOP を受信 0: エラーなし	0
D6	Reserved	リザーブ領域です。	0
D5	IPYE	入力パリティ・エラーの検出 (UTOPIA, POS-PHY モード共通) 1: 入力パラレル・インタフェースでパリティ・エラーを検出 0: エラーなし	0
D4	Reserved	リザーブ領域です。	0
D3	TRSOCE	入力再 SOC エラー / 不正 SOP エラーの検出 (UTOPIA, POS-PHY モード共通) 1: [UTOPIA モード] 再 SOC エラー SOC を受信後、1 セル・データの取り込みを終える前に、次の SOC を受信した [POS-PHY モード] 不正 SOP エラー SOP を受信後、EOP を受信する前に、次の SOP を受信した 0: エラーなし	0
D2	TSOCE	入力 SOC エラー / SOP エラーの検出 (UTOPIA, POS-PHY モード共通) 1: マスタ動作時、アベイラブルを返したポート (UTOPIA : TxClav/RxClav = 1, POS-PHY : PTPA/PRPA = 1) をセレクションしたが SOC または SOP が入力されなかった 0: エラーなし	0
D1	TSELE	入力セレクション・エラー (UTOPIA, POS-PHY モード共通) 1: スレーブ動作時、アベイラブルを返答していないポート (UTOPIA : TxClav/RxClav = 0, POS-PHY : PTPA/PRPA = 0) がセレクションされた 0: エラーなし	0
D0	TRSELE	入力再セレクション・エラー (UTOPIA モード) 1: スレーブ動作時、転送中断から再開するときに別ポートがセレクションされた 0: エラーなし	0

- 注意 1. TRSELE ビットは、UTOPIA モードのみで使用されるビットです。POS-PHY モード時にもセットされる場合がありますが、無視してください。
2. POS-PHY モード時の SOP エラー (TSOCE ビット = 1) は、制限事項により使用することができません。詳細については、「第9章 制限事項」を参照してください。

(54) 入力パラレル・プロトコル・エラー割り込み要因マスク・レジスタ

PIERR_RC/R レジスタのマスク・レジスタです。このレジスタでマスク解除した PIERR_RC/R レジスタのビットが1になると、IPISR レジスタの PIERR ビットと IR レジスタの IPIFINT ビットが1になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
75	PIERR_M	074h	R/W	FFh	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
TEOPEM	Reserved	IPYEM	Reserved	TRSOCEM	TSOCEM	TSELEM	TRSELEM

ビット	フィールド	機 能		デフォルト
D7	TEOPEM	1: マスク	0: マスクなし	1
D6	Reserved	リザーブ領域です。必ず1をライトしてください。		1
D5	IPYEM	1: マスク	0: マスクなし	1
D4	Reserved	リザーブ領域です。必ず1をライトしてください。		1
D3	TRSOCEM	1: マスク	0: マスクなし	1
D2	TSOCEM	1: マスク	0: マスクなし	1
D1	TSELEM	1: マスク	0: マスクなし	1
D0	TRSELEM	1: マスク	0: マスクなし	1

(55) 入力 FIFO エラー割り込み要因詳細レジスタ

入力 FIFO でオーバフローが発生したことを示すレジスタです。このレジスタのいずれかのビットが1になると、IPISR レジスタの TBOE ビットと IR レジスタの IPIFINT ビットが1になります。TBOE_M レジスタでマスクされている場合は、両レジスタに反映されません。このレジスタを0クリアするには、TBOE_RC アドレスをリードします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
76	TBOE_RC	075h	RC	00h	UTOPIA/POS 共通
77	TBOE_R	076h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
TBOE_RC	Reserved						TBOE1	TBOE0
TBOE_R	Reserved						TBOE1	TBOE0

ビット	フィールド	機 能		デフォルト
D7-D2	Reserved	リザーブ領域です。		000000
D1	TBOE1	Line1 用入力 FIFO オーバフローの検出 1: オーバフローを検出 0: 未検出		0
D0	TBOE0	Line0 用入力 FIFO オーバフローの検出 1: オーバフローを検出 0: 未検出		0

備考 オーバフローの要因となったポート・アドレスは、L1TBOA/L0TBOA レジスタに格納されます。

(56) 入力 FIFO エラー割り込み要因詳細マスク・レジスタ

TBOE_RC/R レジスタのマスク・レジスタです。このレジスタでマスク解除した TBOE_RC/R レジスタのビットが1になると、IPISR レジスタの PIERR ビットと IR レジスタの IPIFINT ビットが1になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
78	TBOE_M	077h	R/W	03h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved						TBOE1M	TBOE0M

ビット	フィールド	機 能	デフォルト
D7-D2	Reserved	リザーブ領域です。必ず0をライトしてください。	000000
D1	TBOE1M	1: マスク 0: マスクなし	1
D0	TBOE0M	1: マスク 0: マスクなし	1

(57) 入力パラレル・カウンタ・オーバフロー割り込み要因詳細レジスタ

入力パラレル関連カウンタでオーバフローが発生したことを示すレジスタです。このレジスタのいずれかのビットが1になると、IPISR レジスタの PICNTOE ビットと IR レジスタの IPIFINT ビットが1になります。PICNTOE_M レジスタでマスクされている場合は、両レジスタに反映されません。このレジスタを0クリアするには、PICNTOE_RC アドレスをリードします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
79	PICNTOE_RC	078h	RC	00h	UTOPIA/POS 共通
80	PICNTOE_R	079h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
PICNTOE_RC	Reserved						PYECOVF	CPCOVF
PICNTOE_R	Reserved						PYECOVF	CPCOVF

ビット	フィールド	機 能	デフォルト
D7-D2	Reserved	リザーブ領域です。	000000
D1	PYECOVF	パリティ・エラー・カウンタのオーバフロー検出 (UTOPIA, POS-PHY モード共通) 1: カウンタ・オーバフローが発生 0: 未検出	0
D0	CPCOVF	セル/パケット・カウンタのオーバフロー検出 (UTOPIA, POS-PHY モード共通) 1: カウンタ・オーバフローが発生 0: 未検出	0

(58) 入力パラレル・カウンタ・オーバフロー割り込み要因詳細マスク・レジスタ

PICNTOE_RC/R レジスタのマスク・レジスタです。このレジスタでマスク解除した PICNTOE_RC/R レジスタのビットが1になると、IPISR レジスタの PIERR ビットと IR レジスタの IPIFINT ビットが1になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
81	PICNTOE_M	07Ah	R/W	0Fh	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved						PYECOVFM	CPCOVFM

ビット	フィールド	機能	デフォルト
D7-D4	Reserved	リザーブ領域です。必ず0をライトしてください。	0000
D3-D2	Reserved	リザーブ領域です。必ず1をライトしてください。	11
D1	PYECOVFM	1: マスク 0: マスクなし	1
D0	CPCOVFM	1: マスク 0: マスクなし	1

注意 オーバフローが発生したカウンタは、0 クリアを実行してください。0 クリアを実行しないと、 μ PD98441 は次回のオーバフローを検出しません。

(59) 出力パラレル・インタフェース割り込み要因メイン・レジスタ

割り込み要因レジスタ (IR レジスタ) の OPIFINT ビットが1にセットされた場合、その詳細要因が出力パラレル・インタフェースの FIFO エラーか、プロトコル・エラーか、カウンタのオーバフローのいずれによるものかを示すレジスタです。このレジスタのいずれかのビットが1にセットされると、IR レジスタの OPIFINT ビットが1になります。割り込み要因詳細レジスタをクリアすることで0に戻ります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
82	OPISR	07Bh	R	00h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved					POCNTOE	POERR	RBOE

ビット	フィールド	機能	デフォルト
D7-D3	Reserved	リザーブ領域です。	00000
D2	POCNTOE	出力パラレル・カウンタ・オーバフロー割り込み要因詳細レジスタ (TBOE_RC/R レジスタ) の状態を示します。 1: POCNTOE_RC/R レジスタのいずれかのビットが1になっている 0: POCNTOE_RC/R レジスタは オール0	0
D1	POERR	出力パラレル・プロトコル・エラー割り込み要因詳細レジスタ (PIERR_RC/R レジスタ) の状態を示します。 1: POERR_RC/R レジスタのいずれかのビットが1になっている 0: POERR_RC/R レジスタはオール0	0
D0	RBOE	出力 FIFO エラー割り込み要因詳細レジスタ (PICNTOE_RC/R レジスタ) の状態を示します。 1: RBOE_RC/R レジスタのいずれかのビットが1になっている 0: RBOE_RC/R レジスタはオール0	0

(60) 出力パラレル・プロトコル・エラー割り込み要因詳細レジスタ

出力パラレル・インタフェースでプロトコル・エラーが発生したことを示すレジスタです。このレジスタのいずれかのビットが1になると、IPISR レジスタの POERR ビットと IR レジスタの OPIFINT ビットが1になります。POERR_M レジスタでマスクされている場合は、両レジスタに反映されません。このレジスタを0クリアするには、POERR_RC アドレスをリードします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
83	POERR_RC	07Ch	RC	00h	UTOPIA/POS 共通
84	POERR_R	07Dh	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
POERR_RC	Reserved					PKTE	RSELE	RRSELE
POERR_R	Reserved					PKTE	RSELE	RRSELE

ビット	フィールド	機能	デフォルト
D7-D3	Reserved	リザーブ領域です。	00000
D2	PKTE	出力エラー・パケットの検出 (POS-PHY モード) 1: エラー・パケットを転送した 0: エラー・パケットなし	0
D1	RSELE	出力セレクション・エラー (UTOPIA, POS-PHY モード共通) 1: スレープ動作時、アベイラブルを返答していないポート (UTOPIA: TxClav / RxClav = 0, POS-PHY: PTPA/PRPA = 0) がセレクションされた 0: エラーなし	0
D0	RRSELE	出力再セレクション・エラー (UTOPIA モード) 1: スレープ動作時、転送中断から再開するときに別ポートがセレクションされた 0: エラーなし	0

注意 RRSELE ビットは、UTOPIA モードのみで使用されるビットです。POS-PHY モード時にもセットされる場合がありますが、無視してください。

(61) 出力パラレル・プロトコル・エラー割り込み要因詳細マスク・レジスタ

POERR_RC/R レジスタのマスク・レジスタです。このレジスタでマスク解除した POERR_RC/R レジスタのビットが1になると、OPISR レジスタの POERR ビットと IR レジスタの OPIFINT ビットが1になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
85	POERR_M	07Eh	R/W	07h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
	Reserved					PKTEM	RSELEM	RRSELEM

ビット	フィールド	機能	デフォルト
D7-D3	Reserved	リザーブ領域です。必ず0をライトしてください。	00000
D2	PKTEM	1: マスク 0: マスクなし	1
D1	RSELEM	1: マスク 0: マスクなし	1
D0	RRSELEM	1: マスク 0: マスクなし	1

(62) 出力 FIFO エラー割り込み要因詳細レジスタ

出力 FIFO およびループ・バッファでオーバーフローが発生したことを示すレジスタです。このレジスタのいずれかのビットが 1 になると、OPISR レジスタの RBOE ビットと IR レジスタの OPIFINT ビットが 1 になります。RBOE_M レジスタでマスクされている場合は、両レジスタに反映されません。このレジスタを 0 クリアするには、RBOE_RC アドレスをリードします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
86	RBOE_RC	07Fh	RC	00h	UTOPIA/POS 共通
87	RBOE_R	080h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
RBOE_RC	Reserved				LPSBOE	LPPBOE	RBOE1	RBOE0
RBOE_R	Reserved				LPSBOE	LPPBOE	RBOE1	RBOE0

ビット	フィールド	機能	デフォルト
D7-D4	Reserved	リザーブ領域です。	0000
D3	LPSBOE	シリアル・ループ・バッファのオーバーフロー検出 1: オーバフローを検出 0: 未検出	0
D2	LPPBOE	パラレル・ループ・バッファのオーバーフロー検出 1: オーバフローを検出 0: 未検出	0
D1	RBOE1	Line1 用出力 FIFO オーバフローの検出 1: オーバフローを検出 0: 未検出	0
D0	RBOE0	Line0 用出力 FIFO オーバフローの検出 1: オーバフローを検出 0: 未検出	0

- 備考 1.** 出力 FIFO オーバフローの要因となったポート・アドレスは、L1RBOE/L0RBOA レジスタに格納されます。
- 2.** POS-PHY モードにおいて、RBOE_RC/R レジスタのセットされたビットを RBOE_RC アドレスをリードして 0 クリアするには、出力 FIFO からデータを出力し、空き領域を作る必要があります。要因となった出力 FIFO がフルの状態のままでは、ビットはクリアされずセットされたままとなります。

(63) 出力 FIFO エラー割り込み要因詳細マスク・レジスタ

RBOE_RC/R レジスタのマスク・レジスタです。このレジスタでマスク解除した RBOE_RC/R レジスタのビットが1になると OPISR レジスタの POERR ビットと IR レジスタの OPIFINT ビットが1になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
88	RBOE_M	081h	R/W	0Fh	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved				LPSBOEM	LPPBOEM	RBOE1M	RBOE0M

ビット	フィールド	機能	デフォルト
D7-D4	Reserved	リザーブ領域です。必ず0をライトしてください。	0000
D3	LPSBOEM	1: マスク 0: マスクなし	1
D2	LPPBOEM	1: マスク 0: マスクなし	1
D1	RBOE1M	1: マスク 0: マスクなし	1
D0	RBOE0M	1: マスク 0: マスクなし	1

(64) 出力パラレル・カウンタ・オーバフロー割り込み要因詳細レジスタ

出力パラレル関連カウンタでオーバフローが発生したことを示すレジスタです。このレジスタのいずれかのビットが1になると、OPISR レジスタの POCNTOE ビットと IR レジスタの OPIFINT ビットが1になります。POCNTOE_M レジスタでマスクされている場合は、両レジスタに反映されません。このレジスタを0クリアするには、POCNTOE_RC アドレスをリードします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
89	POCNTOE_RC	082h	RC	00h	UTOPIA/POS 共通
90	POCNTOE_R	083h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
POCNTOE_RC	Reserved					EPCOVF	CPCOVF	
POCNTOE_R	Reserved					EPCOVF	CPCOVF	

ビット	フィールド	機能	デフォルト
D7-D2	Reserved	リザーブ領域です。	000000
D1	EPCOVF	エラー・パケット・カウンタのオーバフロー検出 (POS-PHY モード) 1: カウンタ・オーバフローが発生 0: 未検出	1
D0	CPCOVF	セル/パケット・カウンタのオーバフロー検出 (UTOPIA, POS-PHY モード共通) 1: カウンタ・オーバフローが発生 0: 未検出	1

注意 オーバフローが発生したカウンタは、0 クリアを実行してください。0 クリアを実行しないと、 μ PD98441 は次回のオーバフローを検出しません。

(65) 出力パラレル・カウンタ・オーバフロー割り込み要因詳細マスク・レジスタ

POCNTOE_RC/R レジスタのマスク・レジスタです。このレジスタでマスク解除した POCNTOE_RC/R レジスタのビットが 1 になると、OPISR レジスタの POERR ビットと IR レジスタの OPIFINT ビットが 1 になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
91	POCNTOE_M	084h	R/W	03h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D2	Reserved	リザーブ領域です。必ず 0 をライトしてください。	000000
D1	EPCOVFM	1: マスク 0: マスクなし	1
D0	CPCOVFM	1: マスク 0: マスクなし	1

(66) パラレル・インタフェース・トータル・バイト長レジスタ

UTOPIA モードにおいて、セルのフォーマットを決める UCF0/1, CHGB, TAGCTL レジスタへの設定の結果、 μ PD98441 が実際にパラレル・インタフェースで入出力するセルのトータル・バイト長を表示します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
92	IFCTBL	085h	R	36h	UTOPIA

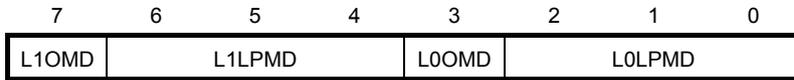


ビット	フィールド	機能	デフォルト
D7	Reserved	リザーブ領域です。	0
D6-D0	IFCTBL	パラレル・インタフェースで入出力するセルのトータル・バイト長を表示します。 0110100 ~ 1000000 (52 ~ 64) デフォルトは、54 バイト (36h) です。	0110110

(67) 全ポート・ループバック・モード設定レジスタ

全ポート・ループバック・モードを設定するレジスタです。

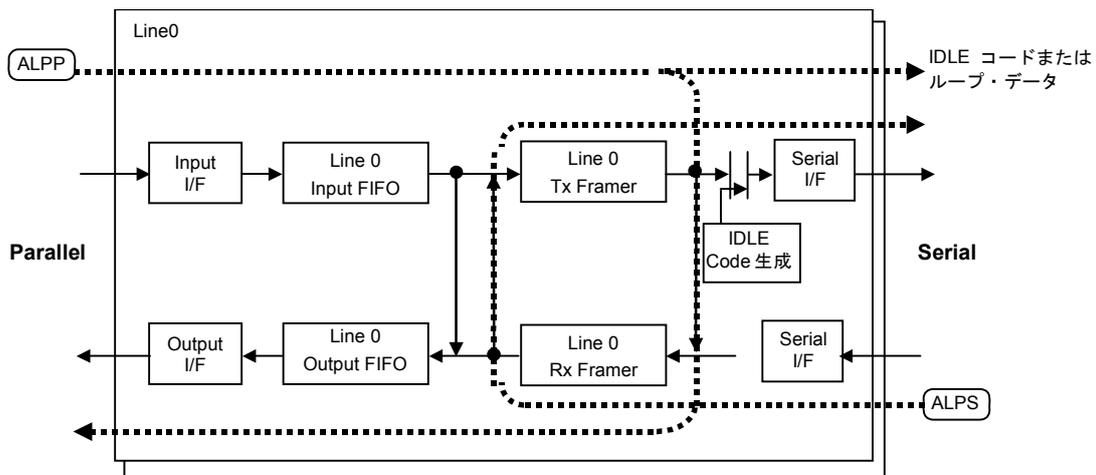
	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
93	LPMD0	090h	R/W	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7	L1OMD	Line1 のループバック・モード時のシリアル・インタフェース出力を設定します。 1: ループ・データをそのままシリアル・インタフェース側にも出力 0: IDLE コードを出力	0
D6-D4	L1LPMD	Line1 のループバック・モードを設定 001, 100, 101, 110, 111: 設定禁止 011: ALPS モード 010: ALPP モード 000: 通常動作	000
D3	L0OMD	Line0 のループバック・モード時のシリアル・インタフェース出力を設定します。 1: ループ・データをそのままシリアル・インタフェース側にも出力 0: IDLE コードを出力	0
D2-D0	L0LPMD	Line0 のループバック・モードを設定 001, 100, 101, 110, 111: 設定禁止 011: ALPS モード 010: ALPP モード 000: 通常動作	000

注意 L0LPMD, L1LPMD フィールドには, 001, 100, 101, 110, 111 を設定しないでください。

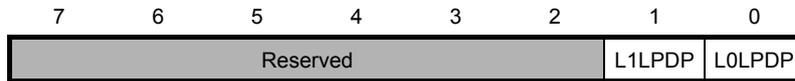
図6-6 全ポート・ループバック・モード



(68) ループバック・モード設定レジスタ

単一ポート・ループバック・モード (LPP) 設定時、ループ・バッファがフルになった場合の処理モードを設定します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
94	LPMD1	091h	R/W	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D2	Reserved	リザーブ領域です。必ず0をライトしてください。	000000
D1	L1LPDP	Line1 のループ・バッファでのオーバフロー発生時の処理モード。 1: 廃棄 0: バックプレッシャを伝播	0
D0	L0LPDP	Line0 のループ・バッファでのオーバフロー発生時の処理モード。 1: 廃棄 0: バックプレッシャを伝播	0

(69) BIST イネーブル制御レジスタ

BIST 機能をイネーブルにするレジスタです。このレジスタをイネーブルにすると、 μ PD98441 は、PRBS データをシリアル側に送信し、受信側では PRBS のチェックを行います。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
95	BISTEN	092h	R/W	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D2	Reserved	リザーブ領域です。必ず0をライトしてください。	000000
D1	L1EN	Line1 の BIST 機能 (PRBS 生成 / 検証) のイネーブル制御。 1: イネーブル 0: ディスエーブル	0
D0	L0EN	Line0 の BIST 機能 (PRBS 生成 / 検証) のイネーブル制御。 1: イネーブル 0: ディスエーブル	0

備考 このレジスタで BIST 機能をイネーブルにすると、BISTECNT00 ~ BISTECNT 11 レジスタのカウンタが、いったん0クリアされます。

(70) BIST モニタ・レジスタ

BIST 動作中，ステータスを表示するレジスタです。BISTMON0 が Line1 の BIST 状態を示し，BISTMON1 が Line1 の BIST 状態を示します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
96	BISTMON0	093h	R	00h	UTOPIA/POS 共通
97	BISTMON1	094h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
BISTMON0	Reserved			OVF	SYNC	Reserved		
BISTMON1	Reserved			OVF	SYNC	Reserved		

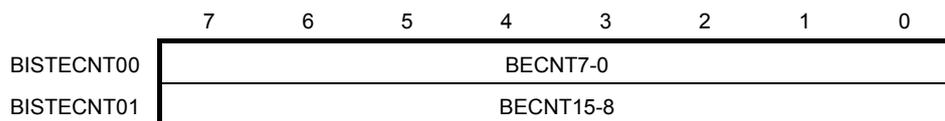
ビット	フィールド	機能	デフォルト
D7-D5	Reserved	リザーブ領域です。	000
D4	OVF	BIST エラー・カウンタのオーバーフロー検出。 1: カウンタ・オーバーフローが発生 0: オーバーフロー未検出	0
D3	SYNC	PRBS の同期状態を表示。 1: 同期が確立している 0: 同期がはずれている	0
D2-D0	Reserved	リザーブ領域です。	000

- 備考 1.** このレジスタをリードしたとき D2-D0 のリザーブ領域は，all 0 以外になる場合がありますが，無視してください。
- 2.** BISTEN レジスタを 1 にセットしたあと，PRBS パターンを受信し，同期を確立すると，SYNC ビットを 1 にします。一度 SYNC = 1 になったあとに，同期を維持できないほどの多数のビット・エラーを検出したたり，エラー・カウンタをオーバーフローさせたりすると， μ PD98441 は非同期状態 (SYNC = 0) に遷移します。非同期状態に遷移したあとは，正常な PRBS パターンを受信しても自動的に同期状態 (SYNC = 1) には復帰しません。復帰には，BISTEN レジスタによる再イネーブルが必要です。

(71) Line0 BIST エラー・カウンタ・レジスタ

Line0 で BIST を動作させたとき、検出したエラーの累計値を格納するレジスタです。BISTEN レジスタの設定で BIST 機能をイネーブルにすると、このレジスタを 0 クリアし、カウントを始めます。カウントをするのは、PRBS の同期が確立しているときに検出するビット・エラーです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
98	BISTECNT00	095h	R	00h	UTOPIA/POS 共通
99	BISTECNT01	096h	R	00h	UTOPIA/POS 共通

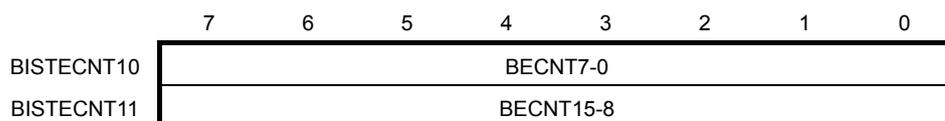


ビット	フィールド	機能	デフォルト
BISTECNT _{0n} (n = 0-1) D7-D0	BECNT15-0	PRBS チェックで検出したビット・エラーの累計値 16 ビットが格納されます。	00000000

(72) Line1 BIST エラー・カウンタ・レジスタ

Line0 で BIST を動作させたとき、検出したエラーの累計値を格納するレジスタです。BISTEN レジスタの設定で BIST 機能をイネーブルにすると、このレジスタを 0 クリアし、カウントを始めます。カウントをするのは、PRBS の同期が確立しているときに検出するビット・エラーです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
100	BISTECNT10	097h	R	00h	UTOPIA/POS 共通
101	BISTECNT11	098h	R	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
BISTECNT _{1n} (n = 0-1) D7-D0	BECNT15-0	PRBS チェックで検出したビット・エラーの累計値 16 ビットが格納されます。	00000000

(73) フレーマ割り込み要因メイン・レジスタ

割り込み要因レジスタ (IR レジスタ) のうちフレーマ機能関連の割り込みを示す FRMINT ビットが 1 にセットされた場合、その詳細要因が Line0 か Line1 のどちらで発生したものを示すレジスタです。このレジスタのいずれかのビットが 1 になると、IR レジスタの FRMINT ビットが 1 になります。割り込み要因詳細レジスタをクリアすることで 0 に戻ります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
102	FMAS	0A0h	R	00h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved						L1E	LOE

ビット	フィールド	機能	デフォルト
D7-D2	Reserved	リザーブ領域です。	000000
D1	L1E	Line1 のフレーマ機能関連の割り込み要因の発生状況を示します。 1: L0FS レジスタのいずれかのビットが 1 になっている 0: L0FS レジスタはオール 0	0
D0	LOE	Line0 のフレーマ機能関連の割り込み要因の発生状況を示します。 1: L0FS レジスタのいずれかのビットが 1 になっている 0: L0FS レジスタはオール 0	0

(74) ALM 端子出力設定レジスタ

ALM[3:0]端子から出力する情報を設定します

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
103	RALM0	0A1h	R/W	10h	UTOPIA/POS 共通
104	RALM1	0A2h	R/W	43h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
RALM0	ALM1				ALM0			
RALM1	ALM3				ALM2			

ビット	フィールド	機能	デフォルト
RALM0 D7-D4	ALM1	ALM[1]端子から出力するアラーム情報を設定します。 デフォルトは、Line0 の 10B8B デコード・エラー出力です。	0001
RALM0 D3-D0	ALM0	ALM[0]端子から出力するアラーム情報を設定します。 デフォルトは、Line0 の “LOS エラー” 出力です。	0000
RALM1 D7-D4	ALM3	ALM[3]端子から出力するアラーム情報を設定します。 デフォルトは、Line1 の 10B8B デコード・エラー出力です。	0100
RALM1 D3-D0	ALM2	ALM[2]端子から出力するアラーム情報を設定します。 デフォルトは、Line1 の “LOS エラー” 出力です。	0011

表6-2 RALMn レジスタの設定と ALM 端子出力情報

設定ビット	出力内容
0000	Line0 の LOS エラー
0001	Line0 の 10B8B デコード・エラー
0010	Line0 の FCS エラー
0011	Line1 の LOS エラー
0100	Line1 の 10B8B デコード・エラー
0101	Line1 の FCS エラー
0110	GO CG レジスタの SO0 ビットレベル (汎用出力端子)
0111	GO CG レジスタの SO1 ビットレベル (汎用出力端子)
1000	L0REXIN レジスタの EXIN0H ビットのレベル
1001	L0REXIN レジスタの EXIN1H ビットのレベル
1010	L0REXIN レジスタの EXIN2H ビットのレベル
1011	L1REXIN レジスタの EXIN0H ビットのレベル
1100	L1REXIN レジスタの EXIN1H ビットのレベル
1101	L1REXIN レジスタの EXIN2H ビットのレベル
1110, 1111	設定不可

(75) 汎用出力レベル設定レジスタ

ALM[3:0]端子を汎用出力端子として設定したとき、その出力レベルを制御するレジスタです。RALM0, RALM1 レジスタの設定によって、ALM[3:0]端子の出力ソースをこのレジスタのビットにした場合、このレジスタ値を変更することによって、ALM 端子出力レベルを制御することができます。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
105	GOCG	0A3h	R/W	00h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved						SO1	SO0

ビット	フィールド	機能	デフォルト
D7-D2	Reserved	リザーブ領域です。必ず0をライトしてください。	000000
D1	SO1	RALM1, RALM2 レジスタの ALM[n]フィールドに“0111”をセットした場合、このビットによって、ALM[n]端子の出力を制御できます。 1: ALM 端子からハイを出力 0: ALM 端子からロウを出力	0
D0	SO0	RALM0, RALM1 レジスタの ALM[n]フィールドに“0110”をセットした場合、このビットによって、ALM[n]端子の出力を制御できます。 1: ALM 端子からハイを出力 0: ALM 端子からロウを出力	0

(76) フレーム送信イネーブル・レジスタ

送信フレームと送信 LVDS ドライバ出力のイネーブル制御を行います。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
106	FTXEN	0A4h	R/W	00h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved			L1TXFEN	L1DRV	L0TXFEN	L0DRV	

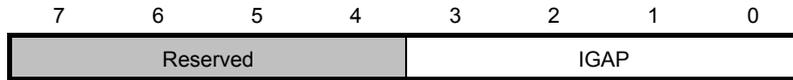
ビット	フィールド	機能	デフォルト
D7-D4	Reserved	リザーブ領域です。必ず0をライトしてください。	0000
D3	L1TXFEN	Line1 の送信フレームのイネーブル制御。 1: イネーブル 0: ディスエーブル	0
D2	L1DRV	Line1 の LVDS 送信ドライバのイネーブル制御。 1: イネーブル 0: ディスエーブル	0
D1	L0TXFEN	Line0 の送信フレームのイネーブル制御。 1: イネーブル 0: ディスエーブル	0
D0	L0DRV	Line0 の LVDS 送信ドライバのイネーブル制御。 1: イネーブル 0: ディスエーブル	0

- 備考 1.** L1DRV と L0DRV ビットによる、LVDS 出力ドライバのイネーブルは、外部端子 L1BFEN, L0BFEN 入力と AND 制御になっています。このレジスタでイネーブルに設定しても、外部端子でディスエーブル設定されている場合は、出力ドライバはディスエーブルになります。
- 2.** 送信 LVDS ドライバがイネーブルの状態、送信フレームがディスエーブルになっている場合は、オール0のデータがシリアル・インタフェースに出力されます。

(77) IDLE コード設定レジスタ

IDLE コードを送出するフレーム間隔を設定するレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
107	IGAP	0A5h	R/W	02h	UTOPIA/POS 共通

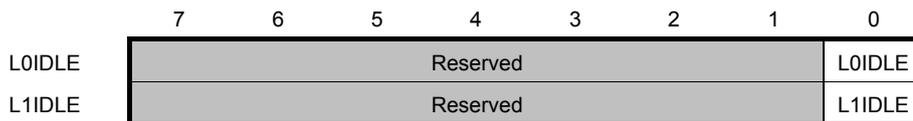


ビット	フィールド	機 能	デフォルト
D7-D4	Reserved	リザーブ領域です。必ず 0 をライトしてください。	0000
D3-D0	IGAP	IDLE コードを送出するフレーム間隔を、フレーム数の単位で設定します。 0000 : 1 フレーム間隔 0110 : 64 フレーム間隔 0001 : 2 フレーム間隔 0111 : 128 フレーム間隔 0010 : 4 フレーム間隔 1000 : 256 フレーム間隔 0011 : 8 フレーム間隔 1001 : 512 フレーム間隔 0100 : 16 フレーム間隔 1010 : 1024 フレーム間隔 0101 : 32 フレーム間隔 1011-1111 : 4 フレーム間隔	0010

(78) IDLE コード送出指示レジスタ

IDLE コードの送出制御を行うレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
108	L0IDLE	0A6h	R/W	00h	UTOPIA/POS 共通
109	L1IDLE	0A7h	R/W	00h	UTOPIA/POS 共通

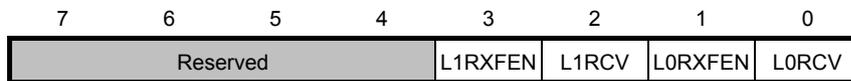


ビット	フィールド	機 能	デフォルト
D7-D1	Reserved	リザーブ領域です。必ず 0 をライトしてください。	0000000
D0	L[n]IDLE (n = 0, 1)	IDLE コードの強制送出を設定します。このフィールドを 1 に設定している間、 μ PD98441 はシリアル・インタフェースに IDLE コードを連続送出します。 1 : IDLE コード送出 0 : IDLE コード送出解除	0

(79) フレーム受信イネーブル・レジスタ

受信フレームと 10B8B デコーダのイネーブル制御を行います。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
110	FRXEN	0A8h	R/W	05h	UTOPIA/POS 共通

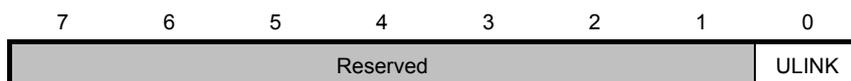


ビット	フィールド	機 能	デフォルト
D7-D4	Reserved	リザーブ領域です。必ず 0 をライトしてください。	0000
D3	L1RXFEN	Line1 の受信フレームのイネーブル制御。 1: イネーブル 0: ディスエーブル	0
D2	L1RCV	Line1 の 10B8B デコーダのイネーブル制御。 1: イネーブル 0: ディスエーブル	1
D1	L0RXFEN	Line0 の受信フレームのイネーブル制御。 1: イネーブル 0: ディスエーブル	0
D0	L0RCV	Line0 の 10B8B デコーダのイネーブル制御。 1: イネーブル 0: ディスエーブル	1

(80) 利用受信ライン設定レジスタ

シングル・ライン・モードのリダングダンシ接続時，アクティブのライン番号を設定するレジスタです。このレジスタで選択されているライン側のみの，フロー制御，MPU 拡張アクセス機能が有効になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
111	ULINK	0A9h	R/W	00h	UTOPIA/POS 共通



ビット	フィールド	機 能	デフォルト
D7-D1	Reserved	リザーブ領域です。必ず 0 をライトしてください。	0000000
D0	ULINK	アクティブにする Line を設定します。 1: Line1 0: Line0	0

(81) MPU 拡張アクセスの要求拒否設定レジスタ

対向 μ PD98441 からの MPU 拡張アクセス・コマンドを拒否することを設定するレジスタです。ディフォルトでは、すべて拒否する設定になっています。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
112	L0CMDRJ	0AAh	R/W	1Fh	UTOPIA/POS 共通
113	L1CMDRJ	0ABh	R/W	1Fh	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L0CMDRJ	Reserved					MCARJ	WARJ	RARJ
L1CMDRJ	Reserved					MCARJ	WARJ	RARJ

ビット	フィールド	機能	デフォルト
D7-D5	Reserved	リザーブ領域です。必ず0をライトしてください。	000
D4-D3	Reserved	リザーブ領域です。必ず1をライトしてください。	11
D2	MCARJ	MPU コミュニケーション・アクセス (16 バイト・メッセージ伝送) の拒否を設定します。 1: 拒否 0: 受付	1
D1	WARJ	レジスタ・ライト・アクセスの拒否を設定します。 1: 拒否 0: 受付	1
D0	RARJ	レジスタ・リード・アクセスの拒否を設定します。 1: 拒否 0: 受付	1

(82) 擬似 FCS エラー・フレーム送出コマンド・レジスタ

試験用の擬似 FCS エラー・フレームの送出を指示するレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
114	FCSERR	0ACh	R/W	00h	UTOPIA/POS 共通

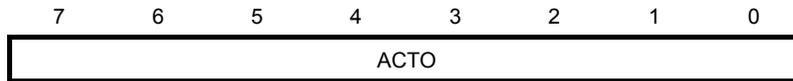
	7	6	5	4	3	2	1	0
	Reserved						L1	L0

ビット	フィールド	機能	デフォルト
D7-D2	Reserved	リザーブ領域です。必ず0をライトしてください。	000000
D1	L1	Line1 の送信フレームに擬似 FCS エラー・フレームの送出を指示します。1 に設定されている間は、FCS エラー・フレームを送出し続けます。 1: 送出 0: 停止	0
D0	L0	Line0 の送信フレームに擬似 FCS エラー・フレームの送出を指示します。1 に設定されている間は、FCS エラー・フレームを送出し続けます。 1: 送出 0: 停止	0

(83) Line0 応答データ・タイムアウト値設定レジスタ

Line0 において、要求コマンド・フレームを送出してから応答データ・フレームが着信するまでのタイムアウト値を設定するレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
115	L0ACKTO	100h	R/W	40h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D0	ACKTO	Line0 の応答データ・フレームのタイムアウト値をフレーム数で指定します。 必要がなければ変更する必要はありません。 オール 1 は設定禁止です。	01000000

(84) Line0 要求コマンド設定レジスタ

Line0 の要求コマンドを設定するレジスタです。L0CTL00-15 に付帯データを設定したあとに、このレジスタの設定を行います。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
116	L0CMD	101h	R/W	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7	CBUSY	要求コマンドが実行中であることを示します。このビットが 0 のときのみ要求コマンド（ビット 2-0）を設定することができます。このビットは、要求コマンドのライトでセットされ、応答データの着信、または応答データ・タイムアウトによってクリアされます。このビットは、リード・オンリーです。ライト時は 0 をライトしてください。 1: 要求コマンド実行中 0: 次の要求コマンドを受付可能状態	0
D6-D3	Reserved	リザーブ領域です。必ず 0 をライトしてください。	0000
D2-D0	CMD	要求コマンドを設定します。 000: リモートμPD98441 レジスタ・リード・アクセス 001: リモートμPD98441 レジスタ・ライト・アクセス 010: MPU コミュニケーション・アクセス（16 バイト・メッセージ伝送） 011 ~ 111: 設定禁止	000

備考 新規要求コマンドは、このレジスタをリードし、CBUSY ビットが 0 であることを確認してから設定してください。

(85) Line0 要求コマンド付帯データ設定レジスタ

Line0 の要求コマンドの付帯データを設定するレジスタです。要求コマンドに応じて、使用するレジスタおよび設定内容が異なります。必ず LOCMD レジスタに要求コマンドを設定する前に、このレジスタに付帯データを設定してください。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
117	LOCTL00	102h	R/W	00h	UTOPIA/POS 共通
:	:	:	:	:	:
132	LOCTL15	111h	R/W	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
LOCTL00	CTL00							
LOCTL01	CTL01							
:	:							
LOCTL14	CTL14							
LOCTL15	CTL15							

ビット	フィールド	機能	デフォルト
LOCTLn D7-D0 (n = 00- 15)	CTLn (n = 00-15)	Line0 の要求コマンドの付帯データを設定します。 <ul style="list-style-type: none"> ・リモートμPD98441 レジスタ・リード・アクセス ターゲット・アドレス 2 バイトを CTL00, CTL01 に設定 ・リモートμPD98441 レジスタ・ライト・アクセス ターゲット・アドレス 2 バイトを CTL00, CTL01 に、ライト・データ 1 バイトを CTL02 に設定 ・MPU コミュニケーション・アクセス 送信メッセージ・データ 16 バイトを CTL00-CTL15 に設定 	00000000

(86) Line0 割り込み要因サブ・レジスタ

Line0 のフレーマ機能関連で割り込み要因が発生したことを示すレジスタです。このレジスタのいずれかのビットが 1 になると、FMAS レジスタの LOE ビットと IR レジスタの FRMINT ビットが 1 になります。このレジスタを 0 クリアするには、割り込み要因詳細レジスタをクリアします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
133	L0FS	112h	R	00h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved	CNTOF	EXIN	RRXST	LRXST	RCMD	RACK	

ビット	フィールド	機 能	デフォルト
D7-D6	Reserved	リザーブ領域です。	00
D5	CNTOF	フレーマ・オーパフロー・レジスタ (L0OVF_RC/R) の状態を示します。 1: L0OVF_RC/R レジスタのいずれかのビットが 1 の状態 0: L0OVF_RC/R レジスタのすべてのビットが 0 の状態	0
D4	EXIN	リモート側 EXIN 受信レジスタ (LOREXIN) の状態を示します。 1: LOREXIN レジスタのいずれかのビットが 1 の状態 0: LOREXIN レジスタのすべてのビットが 0 の状態	0
D3	RRXST	リモート側受信ライン・エラー・レジスタ (L0RRXST_RC/R) の状態を示します。 1: L0RRXST_RC/R レジスタのいずれかのビットが 1 の状態 0: L0RRXST_RC/R レジスタのすべてのビットが 0 の状態	0
D2	LRXST	ローカル側受信ライン・エラー・レジスタ (L0LRXST_RC/R) の状態を示します。 1: L0LRXST_RC/R レジスタのいずれかのビットが 1 の状態 0: L0LRXST_RC/R レジスタのすべてのビットが 0 の状態	0
D1	RCMD	要求コマンド受信レジスタ (L0RCMD_RC/R) の状態を示します。 1: L0RCMD_RC/R レジスタのいずれかのビットが 1 の状態 0: L0RCMD_RC/R レジスタのすべてのビットが 0 の状態	0
D0	RACK	応答データ受信レジスタ (L0ACK_RC/R) の状態を示します。 1: L0ACK_RC/R レジスタのいずれかのビットが 1 の状態 0: L0ACK_RC/R レジスタのすべてのビットが 0 の状態	0

(87) Line0 応答データ受信割り込み要因詳細レジスタ

Line0 の応答データを受信したことを通知する割り込み要因詳細レジスタです。このレジスタのいずれかのビットが 1 になると、L0FS レジスタの RACK ビット、FMAS レジスタの L0E ビット、IR レジスタの FRMINT ビットが 1 になります。このレジスタを 0 クリアするには、L0ACK_RC アドレスをリードします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
134	L0ACK_RC	113h	RC	00h	UTOPIA/POS 共通
135	L0ACK_R	114h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L0ACK_RC	Reserved	ACKTO	CMD			FAIL	ACK	
L0ACK_R	Reserved	ACKTO	CMD			FAIL	ACK	

ビット	フィールド	機 能	デフォルト
D7-D6	Reserved	リザーブ領域です。	00
D5	ACKTO	応答データ着信タイムアウト 1: 送信した要求コマンドに対する応答データを規定フレーム数以内に受信できず タイムアウトが発生 0: タイムアウト未発生	0
D4-D2	CMD	応答データの対象要求コマンドが格納されます。 000: リモートμ PD98441 レジスタ・リード・アクセス 001: リモートμ PD98441 レジスタ・ライト・アクセス 010: MPU コミュニケーション・アクセス (16 バイト・メッセージ伝送)	000
D1	FAIL	要求コマンドが正しく実行されたかを示します。 1: 要求コマンドはリモートμ PD98441 で拒否された 0: 要求コマンドはリモートμ PD98441 が正しく受信した	0
D0	ACK	新規応答データが着信したことを示します。 1: 新規応答データが着信 0: 応答データは未着信	0

備考 応答データの着信タイムアウトを監視する規定フレーム数は、L0ACTO レジスタに設定します。

(88) Line0 応答データ受信割り込み要因マスク・レジスタ

L0ACK_RC/R レジスタのマスク・レジスタです。このレジスタでマスク解除した L0ACK_RC/R レジスタのビットが 1 になると、L0FS レジスタの RACK ビット、FMAS レジスタの LOE ビット、IR レジスタの FRMINT ビットが 1 になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
136	L0ACK_M	115h	R/W	21h	UTOPIA/POS 共通



ビット	フィールド	機 能	デフォルト
D7-D6	Reserved	リザーブ領域です。必ず 0 をライトしてください。	00
D5	ACKTOM	1: マスク 0: マスクなし	1
D4-D1	Reserved	リザーブ領域です。必ず 0 をライトしてください。	0000
D0	ACKM	1: マスク 0: マスクなし	1

(89) Line0 応答データ格納レジスタ

Line0 の受信応答データの付帯データが格納されるレジスタです。リモート μ PD98441 のレジスタ・リードを要求したときにリード結果が格納されます。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
137	L0ACKCTL	116h	R	00h	UTOPIA/POS 共通



ビット	フィールド	機 能	デフォルト
D7-D0	ACKCTL	応答データの付帯データを格納します。 リモート μ PD98441 のレジスタ・リードで得たレジスタ値が格納されます。	00000000

(90) Line0 受信要求コマンド割り込み要因詳細レジスタ

Line0 を通して要求コマンドを受信したことを通知する割り込み要因詳細レジスタです。このレジスタのいずれかのビットが1になると、L0FS レジスタの RCMD ビット, FMAS レジスタの L0E ビット, IR レジスタの FRMINT ビットが1になります。このレジスタを0クリアするには、L0RCMD_RC アドレスをリードします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
138	L0RCMD_RC	117h	RC	00h	UTOPIA/POS 共通
139	L0RCMD_R	118h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L0RCMD_RC	Reserved					RCMDMCA	RCMDWR	RCMDRD
L0RCMD_R	Reserved					RCMDMCA	RCMDWR	RCMDRD

ビット	フィールド	機能	デフォルト
D7-D3	Reserved	リザーブ領域です。	00000
D2	RCMDMCA	MPU コミュニケーション・アクセス要求コマンドの受信状況 1: 新規コマンドを受信 0: 未受信	0
D1	RCMDWR	レジスタ・ライト・アクセス要求コマンドの受信状況 1: 新規コマンドを受信 0: 未受信	0
D0	RCMDRD	レジスタ・リード・アクセス要求コマンドの受信状況 1: 新規コマンドを受信 0: 未受信	0

(91) Line0 受信要求コマンド割り込み要因マスク・レジスタ

L0RCMD_RC/R レジスタのマスク・レジスタです。このレジスタでマスク解除した L0RCMD_RC/R レジスタのビットが1になると、L0FS レジスタの RCMD ビット, FMAS レジスタの L0E ビット, IR レジスタの FRMINT ビットが1になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
140	L0RCMD_M	119h	R/W	1Fh	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
	Reserved					RCMDMCAM	RCMDWRM	RCMDRDM

ビット	フィールド	機能	デフォルト
D7-D5	Reserved	リザーブ領域です。必ず0をライトしてください。	000
D4-D3	Reserved	リザーブ領域です。必ず1をライトしてください。	11
D2	RCMDMCAM	1: マスク 0: マスクなし	1
D1	RCMDWRM	1: マスク 0: マスクなし	1
D0	RCMDRDM	1: マスク 0: マスクなし	1

(92) Line0 受信要求コマンド付帯データ格納レジスタ

Line0 を通して受信した要求コマンドの付帯データが格納されるレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
141	L0RCTL00	11Ah	R	00h	UTOPIA/POS 共通
142	L0RCTL01	11Bh	R	00h	UTOPIA/POS 共通
143	L0RCTL02	11Ch	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L0RCTL00	RCTL00							
L0RCTL01	RCTL01							
L0RCTL02	RCTL02							

ビット	フィールド	機能	デフォルト
L0RCTLn D7-D0 (n = 00-02)	RCTLn (n = 00-02)	Line0 の受信要求コマンドの付帯データを格納します。新規要求コマンドを受信するたびに上書きします。 ・リモート μ PD98441 レジスタ・リード・アクセス アクセス要求アドレス 2 バイトを RCTL00, RCTL01 に格納 RCTL02 は未使用 ・リモート μ PD98441 レジスタ・ライト・アクセス アクセス要求アドレス 2 バイトを RCTL00, RCTL01 に格納 ライト・データを RCTL02 に格納	00000000

(93) Line0 MPU コミュニケーション受信メッセージ格納レジスタ

Line0 の MPU コミュニケーション・アクセスで受信した 16 バイト・メッセージを格納するレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
144	L0RMSG00	11Dh	R	00h	UTOPIA/POS 共通
:	:	:	:	:	:
159	L0RMSG15	12Ch	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L0RMSG00	RMSG00							
L0RMSG01	RMSG01							
:	:							
L0RMSG14	RMSG14							
L0RMSG15	RMSG15							

ビット	フィールド	機能	デフォルト
L0RMSGn D7-D0 (n = 00-15)	RMSGn (n = 00-15)	Line0 の MPU コミュニケーション・アクセスで受信したデータ 16 バイトを格納します。新規データを受信するたびに上書きします。	00000000

(94) Line0 ローカル受信ライン・エラー割り込み要因詳細レジスタ

Line0 の回線関連でエラーを検出したことを通知する割り込み要因詳細レジスタです。このレジスタのいずれかのビットが1になると、L0FS レジスタの LRXST ビット、FMAS レジスタの LOE ビット、IR レジスタの FRMINT ビットが1になります。このレジスタを0クリアするには、L0LRXST_RC アドレスをリードします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
160	L0LRXST_RC	12Fh	RC(R)	00h	UTOPIA/POS 共通
161	L0LRXST_R	130h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L0LRXST_RC	Reserved		KINERR	IDT	LFR	LDER	LLOS	
L0LRXST_R	Reserved		KINERR	IDT	LFR	LDER	LLOS	

ビット	フィールド	機能	デフォルト
D7-D5	Reserved	リザーブ領域です。	000
D4	KINERR	異常 K コードの受信状況。 1: 異常 K キャラクタを受信 0: 未受信	0
D3	IDT	IDLE コードの受信状況。(リード・オンリー) 1: IDLE コード受信中 0: IDLE コードを受信していない	0
D2	LFR	ローカル側 FCS エラー検出状況 1: FCS エラーを検出 0: 未検出	0
D1	LDER	ローカル側 10B8B デコード・エラーの検出状況 1: デコード・エラーを検出 0: 未検出	0
D0	LLOS	ローカル LOS の検出状況 1: LOS を検出 0: 未検出	0

- 備考 1.** このレジスタは、Line0 のフレームまたは 8B10B デコーダがディスエーブルのときは更新されません。受信フレームのインエーブル後に受信ラインの状況に応じて変化します。受信フレーム、8B10B デコーダのインエーブル制御は、FRXEN レジスタで行います。
- LLOS ビットは、LOS 状態が継続している間は、クリアしても再セットされません。
 - このレジスタのうち、IDT ビットに限りリード・オンリーです。このビットは、IDLE コードを受信したときのみ 1 になり、通常フレームを受信すると 0 になります。このビットは、ラッチされることなく、受信フレームに応じて変化します。通常動作時は無視してください。

(95) Line0 ローカル受信ライン・エラー割り込み要因マスク・レジスタ

L0LRXST_RC/R レジスタのマスク・レジスタです。このレジスタでマスク解除した L0LRXST_RC/R レジスタのビットが1になると、L0FS レジスタの LRXST ビット, FMAS レジスタの L0E ビット, IR レジスタの FRMINT ビットが1になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
162	L0LRXST_M	131h	R/W	1Fh	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved		KINERRM	IDTM	LFRM	LDERM	LLOSM	

ビット	フィールド	機 能	デフォルト
D7-D5	Reserved	リザーブ領域です。必ず0をライトしてください。	000
D4	KINERRM	1: マスク 0: マスクなし	1
D3	IDTM	1: マスク 0: マスクなし	1
D2	LFRM	1: マスク 0: マスクなし	1
D1	LDERM	1: マスク 0: マスクなし	1
D0	LLOSM	1: マスク 0: マスクなし	1

注意 L0LRXST_RC/R レジスタの IDT ビットは、ラッチされることなく、受信したフレームに応じて変化しますので、INTB 信号が受信フレームに同期して変化することを避けるため、通常動作時は IDTM ビットを常に1にしてマスクするようにしてください。

(96) Line0 リモート受信ライン・エラー割り込み要因詳細レジスタ

Line0 に接続されているリモート μ PD98441 がエラーを検出していることを通知する割り込み要因詳細レジスタです。このレジスタのいずれかのビットが1になると、L0FS レジスタの RRXST ビット, FMAS レジスタの LOE ビット, IR レジスタの FRMINT ビットが1になります。このレジスタを0クリアするには、L0RRXST_RC アドレスをリードします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
163	L0RRXST_RC	132h	RC	00h	UTOPIA/POS 共通
164	L0RRXST_R	133h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L0RRXST_RC	Reserved						RDER	RLOS
L0RRXST_R	Reserved						RDER	RLOS

ビット	フィールド	機能	デフォルト
D7-D2	Reserved	リザーブ領域です。	0000000
D1	RDER	リモート側 10B8B デコード・エラーの検出状況 1: デコード・エラーを検出 0: 未検出	0
D0	RLOS	リモート LOS の検出状況 1: LOS を検出 0: 未検出	0

注意 Reserved 領域の D2 ビットは、1 になることがありますが、無視してください。

備考 1. このレジスタは、フレームを受信するごとに更新されます。

- このレジスタは、受信フレームまたは 8B10B デコーダがディスエーブルのときは更新されません。また、ローカル側の受信でエラーが発生している場合には、正しい状態を表示できません。

(97) Line0 リモート受信ライン・エラー割り込み要因マスク・レジスタ

L0RRXST_RC/R レジスタのマスク・レジスタです。このレジスタでマスク解除した L0RRXST_RC/R レジスタのビットが1になると、L0FS レジスタの RRXST ビット, FMAS レジスタの LOE ビット, IR レジスタの FRMINT ビットが1になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
165	L0RRXST_M	134h	R/W	07h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
	Reserved						RDERM	RLOSM

ビット	フィールド	機能	デフォルト
D7-D3	Reserved	リザーブ領域です。必ず0をライトしてください。	0000000
D2	Reserved	リザーブ領域です。必ず1をライトしてください。	1
D1	RDERM	1: マスク 0: マスクなし	1
D0	RLOSM	1: マスク 0: マスクなし	1

注意 このレジスタの Reserved 領域の D2 ビットは、必ず1にしてください。

(98) Line0 リモート EXIN 端子ステータス割り込み要因詳細レジスタ

Line0 に接続されているリモート μ PD98441 の EXIN[2:0]端子の入力状態を示すレジスタです。入力状態は、リモート μ PD98441 がフレームに格納して送信してきます。このレジスタ値は、フレームを受信するごとに更新され、保持はされません。LOREXIN_M レジスタでのマスク解除によって、このレジスタのビットの1への変化を、割り込み要因にすることができます。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
166	LOREXIN	135h	R	07h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved	EXIN2L	EXIN1L	EXIN0L	EXIN2H	EXIN1H	EXIN0H	

ビット	フィールド	機能	デフォルト
D7-D6	Reserved	リザーブ領域です。	00
D5	EXIN2L	リモート μ PD98441 の EXIN[2]端子の入力レベルを反転して表示します。 1: EXIN[2]端子にロウ・レベルが入力 0: EXIN[2]端子にハイ・レベルが入力	0
D4	EXIN1L	リモート μ PD98441 の EXIN[1]端子の入力レベルを反転して表示します。 1: EXIN[1]端子にロウ・レベルが入力 0: EXIN[1]端子にハイ・レベルが入力	0
D3	EXIN0L	リモート μ PD98441 の EXIN[0]端子の入力レベルを反転して表示します。 1: EXIN[0]端子にロウ・レベルが入力 0: EXIN[0]端子にハイ・レベルが入力	0
D2	EXIN2H	リモート μ PD98441 の EXIN[0]端子の入力レベルを表示します。 1: EXIN[0]端子にハイ・レベルが入力 0: EXIN[0]端子にロウ・レベルが入力	1
D1	EXIN1H	リモート μ PD98441 の EXIN[1]端子の入力レベルを表示します。 1: EXIN[1]端子にハイ・レベルが入力 0: EXIN[1]端子にロウ・レベルが入力	1
D0	EXIN0H	リモート μ PD98441 の EXIN[0]端子の入力レベルを表示します。 1: EXIN[0]端子にハイ・レベルが入力 0: EXIN[0]端子にロウ・レベルが入力	1

備考1. このレジスタは、フレームを受信するごとに更新され、状態を保持しません。

- このレジスタがリモート μ PD98441 の EXIN[2:0]端子の入力レベルを正しく表すのは、ローカル μ PD98441 の Line1 が正しく受信できているときのみになります。

(99) Line0 リモート EXIN 端子ステータス割り込み要因マスク・レジスタ

L0REXIN レジスタのマスク・レジスタです。このレジスタでマスク解除した L0REXIN レジスタのビットが 1 になると、L0FS レジスタの EXIN ビット、FMAS レジスタの L0E ビット、IR レジスタの FRMINT ビットが 1 になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
167	L0REXIN_M	136h	R/W	3Fh	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved	EXIN2LM	EXIN1LM	EXIN0LM	EXIN2HM	EXIN1HM	EXIN0HM	

ビット	フィールド	機 能	デフォルト
D7-D6	Reserved	リザーブ領域です。必ず 0 をライトしてください。	00
D5	EXIN2LM	1: マスク 0: マスクなし	1
D4	EXIN1LM	1: マスク 0: マスクなし	1
D3	EXIN0LM	1: マスク 0: マスクなし	1
D2	EXIN2HM	1: マスク 0: マスクなし	1
D1	EXIN1HM	1: マスク 0: マスクなし	1
D0	EXIN0HM	1: マスク 0: マスクなし	1

(100) Line0 フレーム・カウンタ・オーバーフロー割り込み要因詳細レジスタ

Line0 のフレーム機能関連のカウンタでオーバーフローが発生したことを通知するレジスタです。このレジスタのいずれかのビットが 1 になると、L0FS レジスタの CNTOF ビット、FMAS レジスタの L0E ビット、IR レジスタの FRMINT ビットが 1 になります。L0OVF_M レジスタでマスクされている場合は、各レジスタに反映されません。このレジスタを 0 クリアするには、L0OVF_RC アドレスをリードします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
168	L0OVF_RC	137h	RC	00h	UTOPIA/POS 共通
169	L0OVF_R	138h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L0OVF_RC	Reserved			FCSCNTOF	RDCNTOF	DECCNTOF	RFCNTOF	TFCNTOF
L0OVF_R	Reserved			FCSCNTOF	RDCNTOF	DECCNTOF	RFCNTOF	TFCNTOF

ビット	フィールド	機 能	デフォルト
D7-D5	Reserved	リザーブ領域です。	000
D4	FCSCNTOF	FCS エラーカウンタ・オーバーフロー 1: カウンタ・オーバーフローが発生 0: 未検出	0
D3	RDCNTOF	ランニング・ディスパリティ・エラー・カウンタ・オーバーフロー 1: カウンタ・オーバーフローが発生 0: 未検出	0
D2	DECCNTOF	デコードエラー・カウンタ・オーバーフロー 1: カウンタ・オーバーフローが発生 0: 未検出	0
D1	RFCNTOF	受信フレーム・カウンタ・オーバーフロー 1: カウンタ・オーバーフローが発生 0: 未検出	0
D0	TFCNTOF	送信フレーム・カウンタ・オーバーフロー 1: カウンタ・オーバーフローが発生 0: 未検出	0

注意 オーバーフローが発生したカウンタは、0 クリアを実行してください。0 クリアを実行しないと、 μ PD98441 は次回のオーバーフローを検出しません。

(101) Line0 フレーム・カウンタ・オーバーフロー割り込み要因マスク・レジスタ

L0OVF レジスタのマスク・レジスタです。このレジスタでマスク解除した L0OVF レジスタのビットが 1 になると、L0FS レジスタの CNTOF ビット，FMAS レジスタの LOE ビット，IR レジスタの FRMINT ビットが 1 になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
170	L0OVF_M	139h	R/W	1Fh	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved			FCSCNTOFM	RDCNTOFM	DECCNTOFM	RFCNTOFM	TFCNTOFM

ビット	フィールド	機 能	デフォルト
D7-D5	Reserved	リザーブ領域です。必ず 0 をライトしてください。	000
D4	FCSCNTOFM	1: マスク 0: マスクなし	1
D3	RDCNTOFM	1: マスク 0: マスクなし	1
D2	DECCNTOFM	1: マスク 0: マスクなし	1
D1	RFCNTOFM	1: マスク 0: マスクなし	1
D0	TFCNTOFM	1: マスク 0: マスクなし	1

(102) Line0 フレーム・カウンタ・イネーブル・レジスタ

Line0 のフレーム関連カウンタをイネーブルにするレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
171	L0CNTEN	13Ah	R/W	00h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved			FCSCNTEN	RDCNTEN	DECCNTEN	RFCNTEN	TFCNTEN

ビット	フィールド	機 能	デフォルト
D7-D5	Reserved	リザーブ領域です。必ず 0 をライトしてください。	000
D4	FCSCNTEN	FCS エラー・カウンタのイネーブル制御 1: イネーブル 0: ディスエーブル	0
D3	RDCNTEN	ランニング・ディスパリティ・エラー・カウンタのイネーブル制御 1: イネーブル 0: ディスエーブル	0
D2	DECCNTEN	デコードエラー・カウンタのイネーブル制御 1: イネーブル 0: ディスエーブル	0
D1	RFCNTEN	受信フレーム・カウンタのイネーブル制御 1: イネーブル 0: ディスエーブル	0
D0	TFCNTEN	送信フレーム・カウンタのイネーブル制御 1: イネーブル 0: ディスエーブル	0

(103) Line0 フレーム・カウンタ制御レジスタ

Line0 のフレーム関連カウンタのロード制御およびクリア制御を行うレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
172	L0FCNT	13Bh	R/W	00h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
FCSCNTCLR	RDCNTCLR	DECCNTCLR	RERRCNTRD	RFCNTCLR	RFCNTRD	TFCNTCLR	TFCNTRD

ビット	フィールド	機 能	デフォルト
D7	FCSCNTCLR	FCS エラー・カウンタのクリア制御 1:0 クリア 0: 何もしません	000
D6	RDCNTCLR	ランニング・ディスパリティ・エラー・カウンタのクリア制御 1:0 クリア 0: 何もしません	0
D5	DECCNTCLR	デコード・エラー・カウンタのクリア制御 1:0 クリア 0: 何もしません	0
D4	RERRCNTRD	FCS エラー・カウンタ, ランニング・ディスパリティ・エラー・カウンタ, デコード・エラー・カウンタのロード制御 1:3 カウンタをロード 0: 何もしません	0
D3	RFCNTCLR	受信フレーム・カウンタのクリア制御 1:0 クリア 0: 何もしません	0
D2	RFCNTRD	受信フレーム・カウンタのロード制御 1:ロード 0: 何もしません	0
D1	TFCNTCLR	送信フレーム・カウンタのクリア制御 1:0 クリア 0: 何もしません	0
D0	TFCNTRD	送信フレーム・カウンタのロード制御 1:ロード 0: 何もしません	0

注意 カウンタの 0 クリアには制限事項があります。詳細については、「第 9 章 制限事項」を参照してください。

(104) Line0 送信フレーム・カウンタ・ロード・レジスタ

Line0 の送信フレームの累計値をロードするレジスタです。L0FCNT レジスタの TFCNTRD ビットに 1 をライトすると、そのときの出力データ・カウンタ値がこのレジスタにロードされます。レジスタ値は、次にロードされるまで値を保持します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
173	L0TFCNT0	13Ch	R	00h	UTOPIA/POS 共通
174	L0TFCNT1	13Dh	R	00h	UTOPIA/POS 共通
175	L0TFCNT2	13Eh	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L0TFCNT0	TFCNTB7-0							
L0TFCNT1	TFCNTB15-8							
L0TFCNT2	TFCNTB23-16							

ビット	フィールド	機能	デフォルト
L0TFCNTn (n = 0-2) D7-D0	TFCNTB23-0	L0FCNT レジスタの TFCNTRD ビットに 1 をライトすると、送信フレーム・カウンタの累計値 24 ビットが格納されます。	00000000

(105) Line0 受信フレーム・カウンタ・ロード・レジスタ

Line0 の受信フレームの累計値をロードするレジスタです。L0FCNT レジスタの RFCNTRD ビットに 1 をライトすると、そのときの出力データ・カウンタ値がこのレジスタにロードされます。レジスタ値は、次にロードされるまで値を保持します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
176	L0RFCNT0	13Fh	R	00h	UTOPIA/POS 共通
177	L0RFCNT1	140h	R	00h	UTOPIA/POS 共通
178	L0RFCNT2	141h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L0RFCNT0	RFCNTB7-0							
L0RFCNT1	RFCNTB15-8							
L0RFCNT2	RFCNTB23-16							

ビット	フィールド	機能	デフォルト
L0RFCNTn (n = 0-2) D7-D0	RFCNTB23-0	L0FCNT レジスタの RFCNTRD ビットに 1 をライトすると、受信フレーム・カウンタの累計値 24 ビットが格納されます。	00000000

(106) Line0 受信デコード・エラー・カウンタ・ロード・レジスタ

Line0 で検出した受信デコード・エラーの累計値をロードするレジスタです。L0FCNT レジスタの RERRCNTRD ビットに 1 をライトすると、そのときの出力データ・カウンタ値がこのレジスタにロードされます。レジスタ値は、次にロードされるまで値を保持します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
179	L0DECCNT	142h	R	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D0	DECCNTB7-0	L0FCNT レジスタの RERRCNTRD ビットに 1 をライトすると、受信デコード・エラーの累計値 8 ビットが格納されます。	00000000

(107) Line0 受信ランニング・ディスパリティ・エラー・カウンタ・ロード・レジスタ

Line0 で検出した受信ランニング・ディスパリティ・エラーの累計値をロードするレジスタです。L0FCNT レジスタの RERRCNTRD ビットに 1 をライトすると、そのときの出力データ・カウンタ値がこのレジスタにロードされます。レジスタ値は、次にロードされるまで値を保持します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
180	L0RDCNT	143h	R	00h	UTOPIA/POS 共通

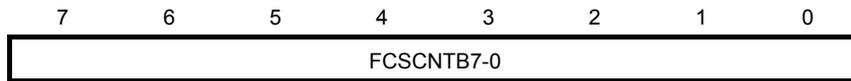


ビット	フィールド	機能	デフォルト
D7-D0	RDCNTB 7-0	L0FCNT レジスタの RERRCNTRD ビットに 1 をライトすると、ランニング・ディスパリティ・エラーの累計値 8 ビットが格納されます。	00000000

(108) Line0 受信 FCS エラー・カウンタ・ロード・レジスタ

Line0 で検出した受信 FCS エラーの累計値をロードするレジスタです。L0FCNT レジスタの RERRCNTRD ビットに 1 をライトすると、そのときの出力データ・カウンタ値がこのレジスタにロードされます。レジスタ値は、次にロードされるまで値を保持します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
181	L0FCSCNT	144h	R	00h	UTOPIA/POS 共通



ビット	フィールド	機 能	デフォルト
D7-D0	FCSCNTB7-0	L0FCNT レジスタの RERRCNTRD ビットに 1 をライトすると、それまでに検出した FCS エラーの累計値 8 ビットが格納されます。	00000000

(109) Line0 フレーム・バッファ・カウント・レジスタ

Line0 の受信フレーム内のフレーム・バッファに残留しているフレーム数を表示するレジスタです。リダンダンシ接続時の Line の切り替えを行う際に、切り替え元のフレームのバッファ内にフレームが残っていないかを確認するために使用します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
182	L0LBFC	145h	R	00h	UTOPIA/POS 共通

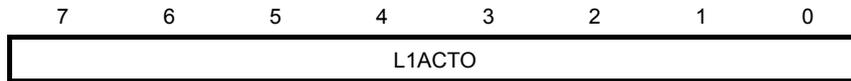


ビット	フィールド	機 能	デフォルト
D7-D0	LBFC7-0	Line0 の受信フレーム内のフレーム・バッファに残留しているフレーム数を表示します。 最大で 160 までカウントします。	00000000

(110) Line1 応答データ・タイムアウト値設定レジスタ

Line1 において、要求コマンド・フレームを送出してから応答データ・フレームが着信するまでのタイムアウト値を設定するレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
183	L1ACTO	180h	R/W	40h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D0	L1ACTO	Line1 の応答データ・フレームのタイムアウト値をフレーム数で指定します。 必要がなければ変更する必要はありません。 オール 1 は設定禁止です。	01000000

(111) Line1 要求コマンド設定レジスタ

Line1 の要求コマンドを設定するレジスタです。L1CTL10-15 に付帯データを設定したあとに、このレジスタの設定を行います。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
184	L1CMD	181h	R/W	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7	CBUSY	要求コマンドが実行中であることを示します。このビットが 0 のときのみ要求コマンド (ビット 2-0) を設定することができます。このビットは、要求コマンドのライトでセットされ、応答データの着信、または応答データ・タイムアウトによってクリアされます。このビットは、リード・オンリーです。ライト時は 0 をライトしてください。 1: 要求コマンド実行中 0: 次の要求コマンドを受付可能状態	0
D6-D3	Reserved	リザーブ領域です。必ず 0 をライトしてください。	0000
D2-D0	CMD	要求コマンドを設定します。 000: リモートμPD98441 レジスタ・リード・アクセス 001: リモートμPD98441 レジスタ・ライト・アクセス 010: MPU コミュニケーション・アクセス 011~111: 設定禁止	000

備考 新規要求コマンドは、このレジスタをリードし、CBUSY ビットが 0 であることを確認してから設定してください。

(112) Line1 要求コマンド付帯データ設定レジスタ

Line1 の要求コマンドの付帯データを設定するレジスタです。要求コマンドに応じて、使用するレジスタおよび設定内容が異なります。必ず L1CMD レジスタに要求コマンドを設定する前に、このレジスタに付帯データを設定してください。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
185	L1CTL00	182h	R/W	00h	UTOPIA/POS 共通
:	:	:	:	:	:
200	L1CTL15	191h	R/W	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L1CTL00	CTL00							
L1CTL01	CTL01							
:	:							
L1CTL14	CTL14							
L1CTL15	CTL15							

ビット	フィールド	機能	デフォルト
L1CTLn D7-D0 (n = 00-15)	CTLn (n = 00-15)	Line1 の要求コマンドの付帯データを設定します。 <ul style="list-style-type: none"> ・リモートμPD98441 レジスタ・リード・アクセス アドレス 2 バイトを CTL00, CTL01 に設定 ・リモートμPD98441 レジスタ・ライト・アクセス アドレス 2 バイトを CTL00, CTL01 に、ライト・データ 1 バイトを CTL02 に設定 ・MPU コミュニケーション・アクセス 送信メッセージ・データ 16 バイトを CTL00-CTL15 に設定 	00000000

(113) Line1 割り込み要因サブ・レジスタ

Line1 のフレーマ機能関連で割り込み要因が発生したことを示すレジスタです。このレジスタのいずれかのビットが 1 になると、FMAS レジスタの L1E ビットと IR レジスタの FRMINT ビットが 1 になります。このレジスタを 0 クリアするには、割り込み要因詳細レジスタをクリアします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
201	L1FS	192h	R	00h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved	CNTOF	EXIN	RRXST	LRXST	RCMD	RACK	

ビット	フィールド	機 能	デフォルト
D7-D6	Reserved	リザーブ領域です。	00
D5	CNTOF	フレーマ・オーパフロー・レジスタ (L1OVF_RC/R) の状態を示します。 1: L1OVF_RC/R レジスタのいずれかのビットが 1 の状態 0: L1OVF_RC/R レジスタのすべてのビットが 0 の状態	0
D4	EXIN	リモート側 EXIN 受信レジスタ (L1REXIN) の状態を示します。 1: L1REXIN レジスタのいずれかのビットが 1 の状態 0: L1REXIN レジスタのすべてのビットが 0 の状態	0
D3	RRXST	リモート側受信ライン・エラー・レジスタ (L1RRXST_RC/R) の状態を示します。 1: L1RRXST_RC/R レジスタのいずれかのビットが 1 の状態 0: L1RRXST_RC/R レジスタのすべてのビットが 0 の状態	0
D2	LRXST	ローカル側受信ライン・エラー・レジスタ (L1LRXST_RC/R) の状態を示します。 1: L1LRXST_RC/R レジスタのいずれかのビットが 1 の状態 0: L1LRXST_RC/R レジスタのすべてのビットが 0 の状態	0
D1	RCMD	要求コマンド受信レジスタ (L1RCMD_RC/R) の状態を示します。 1: L1RCMD_RC/R レジスタのいずれかのビットが 1 の状態 0: L1RCMD_RC/R レジスタのすべてのビットが 0 の状態	0
D0	RACK	応答データ受信レジスタ (L1ACK_RC/R) の状態を示します。 1: L1ACK_RC/R レジスタのいずれかのビットが 1 の状態 0: L1ACK_RC/R レジスタのすべてのビットが 0 の状態	0

(114) Line1 応答データ受信割り込み要因詳細レジスタ

Line1 の応答データを受信したことを通知する割り込み要因詳細レジスタです。このレジスタのいずれかのビットが 1 になると、L1FS レジスタの RACK ビット、FMAS レジスタの L1E ビット、IR レジスタの FRMINT ビットが 1 になります。このレジスタを 0 クリアするには、L1ACK_RC アドレスをリードします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
202	L1ACK_RC	193h	RC	00h	UTOPIA/POS 共通
203	L1ACK_R	194h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L1ACK_RC	Reserved	ACKTO	CMD			FAIL	ACK	
L1ACK_R	Reserved	ACKTO	CMD			FAIL	ACK	

ビット	フィールド	機 能	デフォルト
D7-D6	Reserved	リザーブ領域です。	00
D5	ACKTO	応答データ着信タイムアウト 1: 送信した要求コマンドに対する応答データを規定フレーム数以内に受信できず タイムアウトが発生 0: タイムアウト未発生	0
D4-D2	CMD	応答データの対象要求コマンドが格納されます。 000: リモートμ PD98441 レジスタ・リード・アクセス 001: リモートμ PD98441 レジスタ・ライト・アクセス 010: MPU コミュニケーション・アクセス (16 バイト・メッセージ伝送)	000
D1	FAIL	要求コマンドが正しく実行されたかを示します。 1: 要求コマンドはリモートμ PD98441 で拒否された 0: 要求コマンドはリモートμ PD98441 が正しく受信した	0
D0	ACK	新規応答データが着信したことを示します。 1: 新規応答データが着信 0: 応答データは未着信	0

備考 応答データの着信タイムアウトを監視する規定フレーム数は、L1ACTO レジスタに設定します。

(115) Line1 応答データ受信割り込み要因マスク・レジスタ

L1ACK_RC/R レジスタのマスク・レジスタです。このレジスタでマスク解除した L1ACK_RC/R レジスタのビットが 1 になると、L1FS レジスタの RACK ビット、FMAS レジスタの L1E ビット、IR レジスタの FRMINT ビットが 1 になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
204	L1ACK_M	195h	R/W	21h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D6	Reserved	リザーブ領域です。必ず 0 をライトしてください。	00
D5	ACKTOM	1: マスク 0: マスクなし	1
D4-D1	Reserved	リザーブ領域です。必ず 0 をライトしてください。	0000
D0	ACKM	1: マスク 0: マスクなし	1

(116) Line1 応答データ格納レジスタ

Line1 の受信応答データの付帯データが格納されるレジスタです。リモート μ PD98441 のレジスタ・リードを要求したときにリード結果が格納されます。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
205	L1ACKCTL	196h	R	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D0	ACKCTL	応答データの付帯データを格納します。 リモート μ PD98441 のレジスタ・リードで得たレジスタ値が格納されます。	00000000

(117) Line1 受信要求コマンド割り込み要因詳細レジスタ

Line1 を通して要求コマンドを受信したことを通知する割り込み要因詳細レジスタです。このレジスタのいずれかのビットが 1 になると、L1FS レジスタの RCMD ビット、FMAS レジスタの L1E ビット、IR レジスタの FRMINT ビットが 1 になります。このレジスタを 0 クリアするには、L1RCMD_RC アドレスをリードします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
206	L1RCMD_RC	197h	RC	00h	UTOPIA/POS 共通
207	L1RCMD_R	198h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L1RCMD_RC	Reserved					RCMDMCA	RCMDWR	RCMDRD
L1RCMD_R	Reserved					RCMDMCA	RCMDWR	RCMDRD

ビット	フィールド	機能	デフォルト
D7-D3	Reserved	リザーブ領域です。	00000
D2	RCMDMCA	MPU コミュニケーション・アクセス要求コマンドの受信状況 1: 新規コマンドを受信 0: 未受信	0
D1	RCMDWR	レジスタ・ライト・アクセス要求コマンドの受信状況 1: 新規コマンドを受信 0: 未受信	0
D0	RCMDRD	レジスタ・リード・アクセス要求コマンドの受信状況 1: 新規コマンドを受信 0: 未受信	0

(118) Line1 受信要求コマンド割り込み要因マスク・レジスタ

L1RCMD_RC/R レジスタのマスク・レジスタです。このレジスタでマスク解除した L1RCMD_RC/R レジスタのビットが 1 になると、L1FS レジスタの RCMD ビット、FMAS レジスタの L1E ビット、IR レジスタの FRMINT ビットが 1 になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
208	L1RCMD_M	199h	R/W	1Fh	UTOPIA/POS 共通

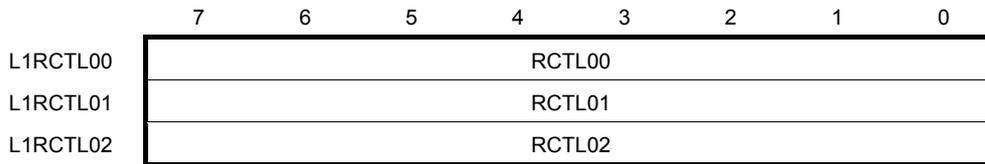
	7	6	5	4	3	2	1	0
	Reserved					RCMDMCAM	RCMDWRM	RCMDRDM

ビット	フィールド	機能	デフォルト
D7-D5	Reserved	リザーブ領域です。必ず 0 をライトしてください。	000
D4-D3	Reserved	リザーブ領域です。必ず 1 をライトしてください。	11
D2	RCMDMCAM	1: マスク 0: マスクなし	1
D1	RCMDWRM	1: マスク 0: マスクなし	1
D0	RCMDRDM	1: マスク 0: マスクなし	1

(119) Line1 受信要求コマンド付帯データ格納レジスタ

Line1 を通して受信した要求コマンドの付帯データが格納されるレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
209	L1RCTL00	19Ah	R	00h	UTOPIA/POS 共通
210	L1RCTL01	19Bh	R	00h	UTOPIA/POS 共通
211	L1RCTL02	19Ch	R	00h	UTOPIA/POS 共通

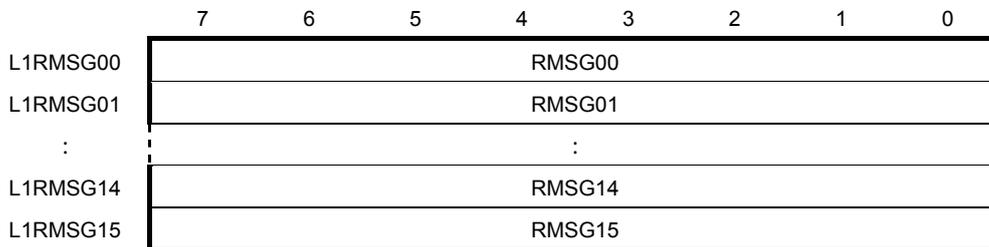


ビット	フィールド	機能	デフォルト
L1RCTLn D7-D0 (n = 00-02)	RCTLn (n = 00-02)	Line1 の受信要求コマンドの付帯データを格納します。新規要求コマンドを受信するたびに上書きします。 ・リモート μ PD98441 レジスタ・リード・アクセス アクセス要求アドレス 2 バイトを RCTL00, RCTL01 に格納 RCTL02 は未使用 ・リモート μ PD98441 レジスタ・ライト・アクセス アクセス要求アドレス 2 バイトを RCTL00, RCTL01 に格納 ライト・データを RCTL02 に格納	00000000

(120) Line1 MPU コミュニケーション受信データ格納レジスタ

Line1 の MPU コミュニケーション・アクセスで受信した 16 バイト・メッセージを格納するレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
212	L1RMSG00	19Dh	R	00h	UTOPIA/POS 共通
:	:	:	:	:	:
227	L1RMCG15	1ACh	R	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
L1RMSGn D7-D0 (n = 00-15)	RMSGn (n = 00-15)	Line1 の MPU コミュニケーション・アクセスで受信したデータ 16 バイトを格納します。新規データを受信するたびに上書きします。	00000000

(121) Line1 ローカル受信ライン・エラー割り込み要因詳細レジスタ

Line1 の回線関連でエラーを検出したことを通知する割り込み要因詳細レジスタです。このレジスタのいずれかのビットが1になると、L1FS レジスタの LRXST ビット、FMAS レジスタの L1E ビット、IR レジスタの FRMINT ビットが1になります。このレジスタを0クリアするには、L1LRXST_RC アドレスをリードします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
228	L1LRXST_RC	1AFh	RC(R)	00h	UTOPIA/POS 共通
229	L1LRXST_R	1B0h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L1LRXST_RC	Reserved			KINERR	IDT	LFR	LDER	LLOS
L1LRXST_R	Reserved			KINERR	IDT	LFR	LDER	LLOS

ビット	フィールド	機能	デフォルト
D7-D5	Reserved	リザーブ領域です。	000
D4	KINERR	異常 K コードの受信状況。 1: 異常 K キャラクタを受信 0: 未受信	0
D3	IDT	IDLE コードの受信状況。(リード・オンリー) 1: IDLE コード受信中 0: IDLE コードを受信していない	0
D2	LFR	ローカル側 FCS エラー検出状況 1: FCS エラーを検出 0: 未検出	0
D1	LDER	ローカル側 10B8B デコード・エラーの検出状況 1: デコードエラーを検出 0: 未検出	0
D0	LLOS	ローカル側 LOS の検出状況 1: LOS を検出 0: 未検出	0

- 備考 1.** このレジスタは、Line1 のフレームまたは 8B10B デコーダがディスエーブルのときは更新されません。受信フレームのイネーブル後に受信ラインの状況に応じて変化します。受信フレーム、8B10B デコーダのイネーブル制御は、FRXEN レジスタで行います。
- 2.** LLOS ビットは、LOS 状態が継続している間は、クリアしても再セットされません。
- 3.** このレジスタのうち、IDT ビットに限りリード・オンリーです。このビットは、IDLE コードを受信したときのみ 1 になり、通常フレームを受信すると 0 になります。このビットは、ラッチされることなく、受信フレームに応じて変化します。通常動作時は無視してください。

(122) Line1 ローカル受信ライン・エラー割り込み要因マスク・レジスタ

L1LRXST_RC/R レジスタのマスク・レジスタです。このレジスタでマスク解除した L1LRXST_RC/R レジスタのビットが 1 になると、L1FS レジスタの LRXST ビット、FMAS レジスタの L1E ビット、IR レジスタの FRMINT ビットが 1 になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
230	L1LRXST_M	1B1h	R/W	1Fh	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved			KINERRM	IDTM	LFRM	LDERM	LLOSM

ビット	フィールド	機 能	デフォルト
D7-D5	Reserved	リザーブ領域です。必ず 0 をライトしてください。	000
D4	KINERRM	1: マスク 0: マスクなし	1
D3	IDTM	1: マスク 0: マスクなし	1
D2	LFRM	1: マスク 0: マスクなし	1
D1	LDERM	1: マスク 0: マスクなし	1
D0	LLOSM	1: マスク 0: マスクなし	1

注意 L1LRXST_RC/R レジスタのうち、IDT ビットは、ラッチされることなく、受信フレームに応じて変化しますので、INTB 信号が受信フレームに同期して変化することを避けるため、通常動作時は IDTM ビットを常に 1 にしてマスクするようにしてください。

(123) Line1 リモート受信ライン・エラー割り込み要因詳細レジスタ

Line1 に接続されているリモート μ PD98441 がエラーを検出していることを通知する割り込み要因詳細レジスタです。このレジスタのいずれかのビットが1になると、L1FS レジスタの RRXST ビット、FMAS レジスタの L1E ビット、IR レジスタの FRMINT ビットが1になります。このレジスタを0クリアするには、L1RRXST_RC アドレスをリードします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
231	L1RRXST_RC	1B2h	RC	00h	UTOPIA/POS 共通
232	L1RRXST_R	1B3h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L1RRXST_RC	Reserved						RDER	RLOS
L1RRXST_R	Reserved						RDER	RLOS

ビット	フィールド	機能	デフォルト
D7-D2	Reserved	リザーブ領域です。	000000
D1	RDER	リモート側 10B8B デコード・エラーの検出状況 1: デコード・エラーを検出 0: 未検出	0
D0	RLOS	リモート側 LOS の検出状況 1: LOS を検出 0: 未検出	0

注意 Reserved 領域の D2 ビットは、1 になることがありますが無視してください。

備考 1. このレジスタは、フレームを受信することに更新されます。

2. このレジスタは、受信フレームまたは 8B10B デコードがディスエーブルのときは更新されません。また、ローカル側の受信でエラーが発生している場合には、正しい状態を表示できません。

(124) Line1 リモート受信ライン・エラー割り込み要因マスク・レジスタ

L1RRXST_RC/R レジスタのマスク・レジスタです。このレジスタでマスク解除した L1RRXST_RC/R レジスタのビットが1になると、L1FS レジスタの RRXST ビット、FMAS レジスタの L1E ビット、IR レジスタの FRMINT ビットが1になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
233	L1RRXST_M	1B4h	R/W	07h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
	Reserved						RDERM	RLOSM

ビット	フィールド	機能	デフォルト
D7-D3	Reserved	リザーブ領域です。必ず0をライトしてください。	000000
D2	Reserved	リザーブ領域です。必ず1をライトしてください。	1
D1	RDERM	1: マスク 0: マスクなし	1
D0	RLOSM	1: マスク 0: マスクなし	1

注意 このレジスタの Reserved 領域の D2 ビットは、必ず1にしてください。

(125) Line1 リモート EXIN 端子ステータス割り込み要因詳細レジスタ

Line1 に接続されているリモート μ PD98441 の EXIN[2:0]端子の入力状態を示すレジスタです。入力状態は、リモート μ PD98441 がフレームに格納して送信してきます。このレジスタ値は、フレームを受信するごとに更新され、保持はされません。L1REXIN_M レジスタでのマスク解除によって、このレジスタのビットの1への変化を、割り込み要因にすることができます。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
234	L1REXIN	1B5h	R	07h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved	EXIN2L	EXIN1L	EXIN0L	EXIN2H	EXIN1H	EXIN0H	

ビット	フィールド	機能	デフォルト
D7-D6	Reserved	リザーブ領域です。	00
D5	EXIN2L	リモート μ PD98441 の EXIN[2]端子の入力レベルを反転して表示します。 1: EXIN[2]端子にロウ・レベルが入力 0: EXIN[2]端子にハイ・レベルが入力	0
D4	EXIN1L	リモート μ PD98441 の EXIN[1]端子の入力レベルを反転して表示します。 1: EXIN[1]端子にロウ・レベルが入力 0: EXIN[1]端子にハイ・レベルが入力	0
D3	EXIN0L	リモート μ PD98441 の EXIN[0]端子の入力レベルを反転して表示します。 1: EXIN[0]端子にロウ・レベルが入力 0: EXIN[0]端子にハイ・レベルが入力	0
D2	EXIN2H	リモート μ PD98441 の EXIN[0]端子の入力レベルを表示します。 1: EXIN[0]端子にハイ・レベルが入力 0: EXIN[0]端子にロウ・レベルが入力	1
D1	EXIN1H	リモート μ PD98441 の EXIN[1]端子の入力レベルを表示します。 1: EXIN[1]端子にハイ・レベルが入力 0: EXIN[1]端子にロウ・レベルが入力	1
D0	EXIN0H	リモート μ PD98441 の EXIN[0]端子の入力レベルを表示します。 1: EXIN[0]端子にハイ・レベルが入力 0: EXIN[0]端子にロウ・レベルが入力	1

備考 1. このレジスタは、フレームを受信するごとに更新され、状態を保持しません。

- 2.** このレジスタがリモート μ PD98441 の EXIN[2:0]端子の入力レベルを正しく表すのは、ローカル μ PD98441 の Line1 が正しく受信できているときのみになります。

(126) Line1 リモート EXIN 端子ステータス割り込み要因マスク・レジスタ

L1REXIN レジスタのマスク・レジスタです。このレジスタでマスク解除した L1REXIN レジスタのビットが 1 になると、L1FS レジスタの EXIN ビット、FMAS レジスタの L1E ビット、IR レジスタの FRMINT ビットが 1 になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
235	L1REXIN_M	1B6h	R/W	3Fh	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved	EXIN2LM	EXIN1LM	EXIN0LM	EXIN2HM	EXIN1HM	EXIN0HM	

ビット	フィールド	機 能	デフォルト
D7-D6	Reserved	リザーブ領域です。必ず 0 をライトしてください。	00
D5	EXIN2LM	1: マスク 0: マスクなし	1
D4	EXIN1LM	1: マスク 0: マスクなし	1
D3	EXIN0LM	1: マスク 0: マスクなし	1
D2	EXIN2HM	1: マスク 0: マスクなし	1
D1	EXIN1HM	1: マスク 0: マスクなし	1
D0	EXIN0HM	1: マスク 0: マスクなし	1

(127) Line1 フレーム・カウンタ・オーバーフロー割り込み要因詳細レジスタ

Line1 のフレーム機能関連のカウンタでオーバーフローが発生したことを通知するレジスタです。このレジスタのいずれかのビットが 1 になると、L1FS レジスタの CNTOF ビット、FMAS レジスタの L1E ビット、IR レジスタの FRMINT ビットが 1 になります。L1OVF_M レジスタでマスクされている場合は、各レジスタに反映されません。このレジスタを 0 クリアするには、L1OVF_RC アドレスをリードします。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
236	L1OVF_RC	1B7h	RC	00h	UTOPIA/POS 共通
237	L1OVF_R	1B8h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L1OVF_RC	Reserved			FCSCNTOF	RDCNTOF	DECCNTOF	RFCNTOF	TFCNTOF
L1OVF_R	Reserved			FCSCNTOF	RDCNTOF	DECCNTOF	RFCNTOF	TFCNTOF

ビット	フィールド	機 能	デフォルト
D7-D5	Reserved	リザーブ領域です。	000
D4	FCSCNTOF	FCS エラーカウンタ・オーバーフロー 1: カウンタ・オーバーフローが発生 0: 未検出	0
D3	RDCNTOF	ランニング・ディスパリティ・エラー・カウンタ・オーバーフロー 1: カウンタ・オーバーフローが発生 0: 未検出	0
D2	DECCNTOF	デコードエラー・カウンタ・オーバーフロー 1: カウンタ・オーバーフローが発生 0: 未検出	0
D1	RFCNTOF	受信フレーム・カウンタ・オーバーフロー 1: カウンタ・オーバーフローが発生 0: 未検出	0
D0	TFCNTOF	送信フレーム・カウンタ・オーバーフロー 1: カウンタ・オーバーフローが発生 0: 未検出	0

注意 オーバーフローが発生したカウンタは、0 クリアを実行してください。0 クリアを実行しないと、 μ PD98441 は次回のオーバーフローを検出しません。

(128) Line1 フレーム・カウンタ・オーバフロー割り込み要因マスク・レジスタ

L1OVF レジスタのマスク・レジスタです。このレジスタでマスク解除した L1OVF レジスタのビットが 1 になると、L1FS レジスタの CNTOF ビット、FMAS レジスタの L1E ビット、IR レジスタの FRMINT ビットが 1 になります。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
238	L1OVF_M	1B9h	R/W	1Fh	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved			FCSCNTOFM	RDCNTOFM	DECCNTOFM	RFCNTOFM	TFCNTOFM

ビット	フィールド	機 能	デフォルト
D7-D5	Reserved	リザーブ領域です。必ず 0 をライトしてください。	000
D4	FCSCNTOFM	1: マスク 0: マスクなし	1
D3	RDCNTOFM	1: マスク 0: マスクなし	1
D2	DECCNTOFM	1: マスク 0: マスクなし	1
D1	RFCNTOFM	1: マスク 0: マスクなし	1
D0	TFCNTOFM	1: マスク 0: マスクなし	1

(129) Line1 フレーム・カウンタ・イネーブル・レジスタ

Line1 のフレーム関連カウンタをイネーブルにするレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
239	L1CNTEN	1BAh	R/W	00h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
Reserved			FCSCNTEN	RDCNTEN	DECCNTEN	RFCNTEN	TFCNTEN

ビット	フィールド	機 能	デフォルト
D7-D5	Reserved	リザーブ領域です。必ず 0 をライトしてください。	000
D4	FCSCNTEN	FCS エラー・カウンタのイネーブル制御 1: イネーブル 0: ディスエーブル	0
D3	RDCNTEN	ランニング・ディスパリティ・エラー・カウンタのイネーブル制御 1: イネーブル 0: ディスエーブル	0
D2	DECCNTEN	デコードエラー・カウンタのイネーブル制御 1: イネーブル 0: ディスエーブル	0
D1	RFCNTEN	受信フレーム・カウンタのイネーブル制御 1: イネーブル 0: ディスエーブル	0
D0	TFCNTEN	送信フレーム・カウンタのイネーブル制御 1: イネーブル 0: ディスエーブル	0

(130) Line1 フレーム・カウンタ制御レジスタ

Line1 のフレーム関連カウンタのロード制御およびクリア制御を行うレジスタです。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
240	L1FCNT	1BBh	R/W	00h	UTOPIA/POS 共通

7	6	5	4	3	2	1	0
FCSCNTCLR	RDCNTCLR	DECCNTCLR	RERRCNTRD	RFCNTCLR	RFCNTRD	TFCNTCLR	TFCNTRD

ビット	フィールド	機 能	デフォルト
D7	FCSCNTCLR	FCS エラー・カウンタのクリア制御 1:0 クリア 0: 何もしません	000
D6	RDCNTCLR	ランニング・ディスパリティ・エラー・カウンタのクリア制御 1:0 クリア 0: 何もしません	0
D5	DECCNTCLR	デコード・エラー・カウンタのクリア制御 1:0 クリア 0: 何もしません	0
D4	RERRCNTRD	FCS エラー・カウンタ, ランニング・ディスパリティ・エラー・カウンタ, デコード・エラー・カウンタのロード制御 1:3 カウンタをロード 0: 何もしません	0
D3	RFCNTCLR	受信フレーム・カウンタのクリア制御 1:0 クリア 0: 何もしません	0
D2	RFCNTRD	受信フレーム・カウンタのロード制御 1:ロード 0: 何もしません	0
D1	TFCNTCLR	送信フレーム・カウンタのクリア制御 1:0 クリア 0: 何もしません	0
D0	TFCNTRD	送信フレーム・カウンタのロード制御 1:ロード 0: 何もしません	0

注意 カウンタの 0 クリアには制限事項があります。詳細については、「第 9 章 制限事項」を参照してください。

(131) Line1 送信フレーム・カウンタ・ロード・レジスタ

Line1 の送信フレームの累計値をロードするレジスタです。L1FCNT レジスタの TFCNTRD ビットに 1 をライトすると、そのときの出力データ・カウンタ値がこのレジスタにロードされます。レジスタ値は、次にロードされるまで値を保持します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
241	L1TFCNT0	1BCh	R	00h	UTOPIA/POS 共通
242	L1TFCNT1	1BDh	R	00h	UTOPIA/POS 共通
243	L1TFCNT2	1BEh	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L1TFCNT0	TFCNBT7-0							
L1TFCNT1	TFCNTB15-8							
L1TFCNT2	TFCNTB23-16							

ビット	フィールド	機能	デフォルト
L1TFCNTn (n = 0-2) D7-D0	TFCNTB23-0	L1FCNT レジスタの TFCNTRD ビットに 1 をライトすると、送信フレーム・カウンタの累計値 24 ビットが格納されます。	00000000

(132) Line1 受信フレーム・カウンタ・ロード・レジスタ

Line1 の受信フレームの累計値をロードするレジスタです。L1FCNT レジスタの RFCNTRD ビットに 1 をライトすると、そのときの出力データ・カウンタ値がこのレジスタにロードされます。レジスタ値は、次にロードされるまで値を保持します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
244	L1RFCNT0	1BFh	R	00h	UTOPIA/POS 共通
245	L1RFCNT1	1C0h	R	00h	UTOPIA/POS 共通
246	L1RFCNT2	1C1h	R	00h	UTOPIA/POS 共通

	7	6	5	4	3	2	1	0
L1RFCNT0	RFCNTB7-0							
L1RFCNT1	RFCNTB15-8							
L1RFCNT2	RFCNTB23-16							

ビット	フィールド	機能	デフォルト
L1RFCNTn (n = 0-2) D7-D0	RFCNTB23-0	L1FCNT レジスタの RFCNTRD ビットに 1 をライトすると、受信フレーム・カウンタの累計値 24 ビットが格納されます。	00000000

(133) Line1 受信デコード・エラー・カウンタ・ロード・レジスタ

Line1 で検出した受信デコード・エラーの累計値をロードするレジスタです。L1FCNT レジスタの RERRCNTRD ビットに 1 をライトすると、そのときの出力データ・カウンタ値がこのレジスタにロードされます。レジスタ値は、次にロードされるまで値を保持します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
247	L1DECCNT	1C2h	R	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D0	DECNTB7-0	L1FCNT レジスタの RERRCNTRD ビットに 1 をライトすると、受信デコード・エラーの累計値 8 ビットが格納されます。	00000000

(134) Line1 受信ランニング・ディスパリティ・エラー・カウンタ・ロード・レジスタ

Line1 で検出した受信ランニング・ディスパリティ・エラーの累計値をロードするレジスタです。L1FCNT レジスタの RERRCNTRD ビットに 1 をライトすると、そのときの出力データ・カウンタ値がこのレジスタにロードされます。レジスタ値は、次にロードされるまで値を保持します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
248	L1RDCNT	1C3h	R	00h	UTOPIA/POS 共通

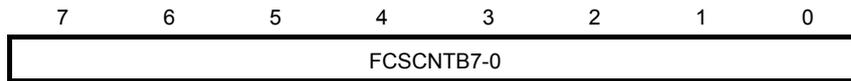


ビット	フィールド	機能	デフォルト
D7-D0	RDCNTB7-0	L1FCNT レジスタの RERRCNTRD ビットに 1 をライトすると、ランニング・ディスパリティ・エラーの累計値 8 ビットが格納されます。	00000000

(135) Line1 受信 FCS エラー・カウンタ・ロード・レジスタ

Line1 で検出した受信 FCS エラーの累計値をロードするレジスタです。L1FCNT レジスタの RERRCNTRD ビットに 1 をライトすると、そのときの出力データ・カウンタ値がこのレジスタにロードされます。レジスタ値は、次にロードされるまで値を保持します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
249	L1FCSCNT	1C4h	R	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D0	FCSCNTB7-0	L1FCNT レジスタの RERRCNTRD ビットに 1 をライトすると、それまでに検出した FCS エラーの累計値 8 ビットが格納されます。	00000000

(136) Line1 フレーム・バッファ・カウント・レジスタ

Line1 の受信フレーム内のフレーム・バッファに残留しているフレーム数を表示するレジスタです。リダクション接続時の Line の切り替えを行う際に、切り替え元のフレームのバッファ内にフレームが残っていないかを確認するために使用します。

	レジスタ名	アドレス	アクセス	デフォルト	パラレル I/F
250	L1LBFC	1C5h	R	00h	UTOPIA/POS 共通



ビット	フィールド	機能	デフォルト
D7-D0	LBFC7-0	Line1 の受信フレーム内のフレーム・バッファに残留しているフレーム数を表示します。最大で 160 までカウントします。	00000000

第7章 シリアル・インタフェース用電源 / GND の接続

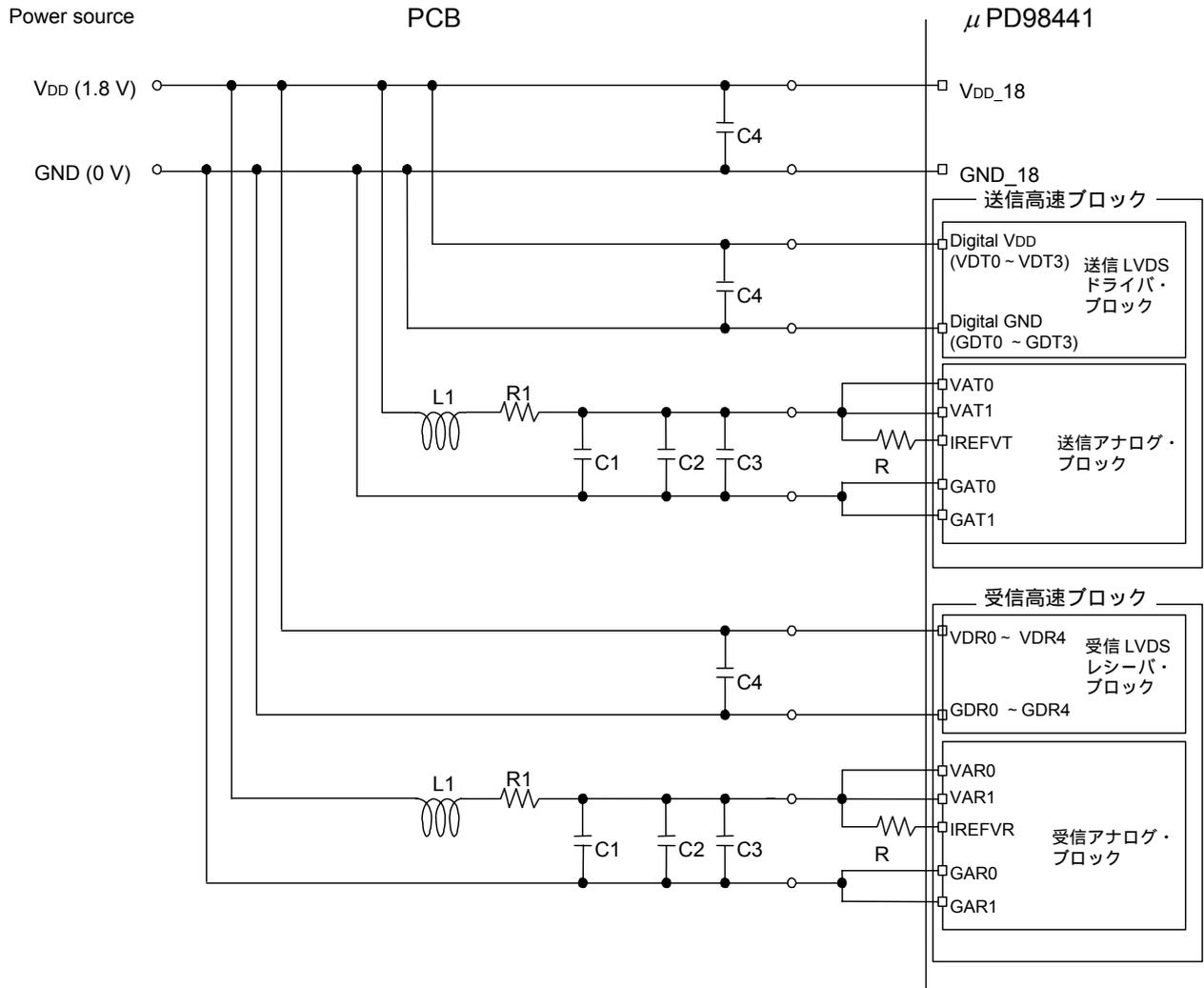
μ PD98441 のシリアル・インタフェースの高速ブロックは、ノイズに影響を受けやすい LVDS ドライバや、PLL/CDR 回路、バイアス生成回路を内蔵していますので、電源 / グランドのレイアウトは、なるべくノイズの影響を受けないように配慮する必要があります。

μ PD98441 のシリアル・インタフェース用の電源、グランド端子は、その供給先のブロックによって表 7-1 のように 4 種類に分類されています。図 7-1 に、これらの電源 / グランドの接続例を示します。

表7-1 シリアル・インタフェース用電源 / GND

端子名	供給先
VDT0, VDT1, VDT2, VDT3	送信 LVDS ドライバ用電源 / GND
GDT0, GDT1, GDT2, GDT3	
VAT0, VAT1	送信アナログ用電源 / GND
GAT0, GAT1	
VDR0, VDR1, VDR2, VDR3, VDR4	受信 LVDS ドライバ用電源 / GND
GDR0, GDR1, GDR2, GDR3, GDR4	
VAR0, VAR1	受信アナログ用電源 / GND
GAR0, GAR1	

図7-1 シリアル・インタフェース電源/GND接続例



- R1: 1.4 Ω (L1のDC抵抗成分を含みます)
- L1: 47 μH (定格電流 > 30 mA)
- C1: 47 μF
- C2: 1.0 μF
- C3: 0.1 μF
- C4: 0.1 μF (なるべく多く基板上に配置してください)
- R: 3.0 kΩ

第8章 JTAG バウンダリ・スキャン

μ PD98441 は、JTAG バウンダリ・スキャン回路を内蔵しています。

注意 1. 一部に JTAG をサポートしていない端子があります。JTAG の未適用端子は、次のとおりです。

表8 - 1 JTAG の未適用端子

分 類	JTAG 未適用端子名	端子数
LVDS レベル端子	TXLP0, TXLM0, TXLP1, TXLM1, RXLP0, RXLM0, RXLP1, RXLM1	8
PECL レベル端子	RFCKPLT, RFCKPLC	2

2. JTAG ロジック部は、RESETB 端子へのパルス入力ではリセットがかかりません。電源投入後、RESETB によるシステム・リセットとは別に、JTAG ロジック部を「2.4.6 JTAG バウンダリ・スキャン」に記述する方法でリセットしてください。

8.1 特 徴

IEEE1149.1 JTAG Boundary Scan Standard に準拠

バウンダリ・スキャン専用の 3 つのレジスタ

- ・インストラクション・レジスタ
- ・バイパス・レジスタ
- ・バウンダリ・スキャン・レジスタ

3 つの命令をサポート

- ・BYPASS 命令
- ・EXTEST 命令
- ・SAMPLE/PRELOAD 命令

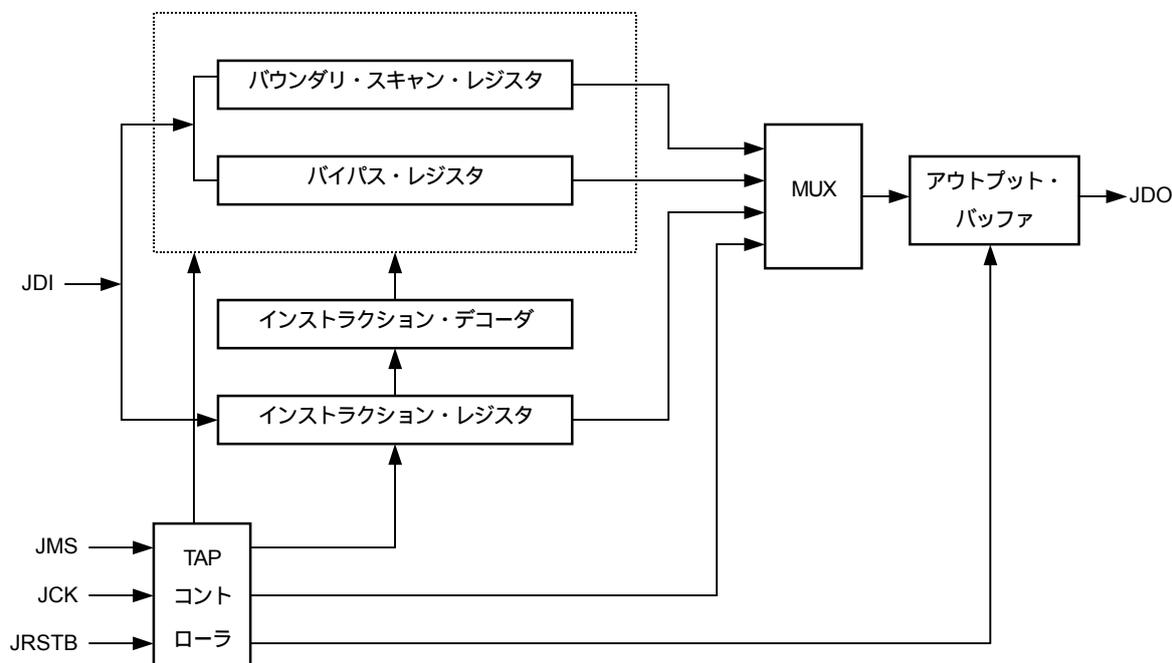
バウンダリ・スキャン専用端子 (5 端子)

- ・JCK (JTAG Clock)
- ・JMS (JTAG Mode Select)
- ・JDI (JTAG Data Input)
- ・JDO (JTAG Data Output)
- ・JRSTB (JTAG Reset)

8.2 バウンダリ・スキャン回路内部構成

図8-1に、 μ PD98441 に内蔵されている JTAG バウンダリ・スキャン回路のブロック図を示します。

図8-1 バウンダリ・スキャン回路ブロック図



8.2.1 インストラクション・レジスタ (Instruction Register)

インストラクション・レジスタは、2ビットのシフト・レジスタで構成されており、JDI 端子からの命令データを書き込みます。レジスタおよび命令の選択は、この命令データが決定します。

8.2.2 TAP コントローラ (Test Access Port Controller)

TAP コントローラは、JCK 端子に入力されるクロックの立ち上がりで JMS 端子の信号をラッチすることにより、動作状態を変更します。

8.2.3 バイパス・レジスタ (Bypass Register)

バイパス・レジスタは、TAP コントローラが Shift-DR 状態のときには、JDI 端子と JDO 端子の間で、接続される1ビットのシフト・レジスタで構成されます。TAP コントローラが Shift-DR 状態の間、このレジスタが選択されているときには、JCK 端子に入力されるクロックの立ち上がりで JDO 端子へデータをシフトします。

このレジスタが選択されているとき、JTAG バウンダリ・スキャン回路の動作は、 μ PD98441 の動作に影響を与えません。

8.2.4 バウンダリ・スキャン・レジスタ (Boundary Scan Register)

バウンダリ・スキャン・レジスタは、 μ PD98441 の外部端子と内部ロジック回路の間にあります。このレジスタが選択されたとき、TAP コントローラの命令によりデータをラッチ、またはロードします。

TAP コントローラが Shift-DR 状態の間、このレジスタが選択されている場合には、JCK 端子に入力されるクロックの立ち下がり、JDO 端子へデータを LSB から出力します。

8.3 端子機能

8.3.1 JCK 端子 (JTAG Clock Pin)

JCK 端子は、JTAG バウンダリ・スキャン回路 (バイパス・レジスタやインストラクション・レジスタ TAP コントローラ) へのクロック信号の供給に使用します。このクロック信号は、 μ PD98441 内部のほかの回路へは供給しないように分離しています。

8.3.2 JMS 端子 (JTAG Mode Select Pin)

JMS 端子への入力は、JCK 端子に入力されるクロックの立ち上がりでラッチし、TAP コントローラの動作を定義します。

8.3.3 JDI 端子 (JTAG Data Input Pin)

JDI 端子は、JTAG バウンダリ・スキャン回路レジスタへデータを入力するための端子です。

8.3.4 JDO 端子 (JTAG Data Output Pin)

JDO 端子は、JTAG バウンダリ・スキャン回路レジスタからデータを出力するための端子です。

JCK 端子に入力されるクロックの立ち下がりで出力が変化します。また、この出力端子は 3 ステート出力であり、TAP コントローラにより制御されます。

8.3.5 JRSTB 端子 (JTAG Reset Pin)

TAP コントローラを非同期的に初期化します。このリセット信号は μ PD98441 を通常の動作モードにし、バウンダリ・スキャン・レジスタを非動作状態にします。

8.4 動作説明

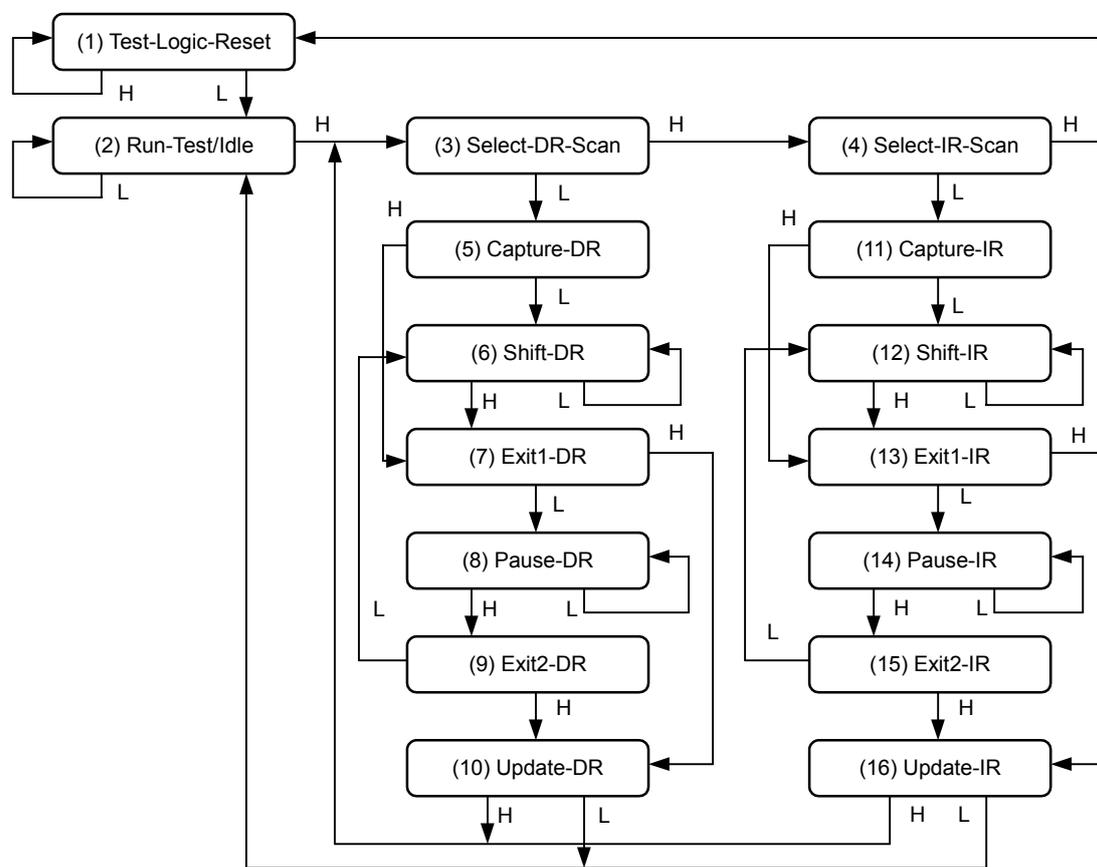
8.4.1 TAP コントローラ

TAP コントローラは、JMS 端子と JCK 端子信号の変化により同期した 16 個の状態をもつ回路です。動作は、IEEE standard 1149.1 で規定されています。

8.4.2 TAP コントローラ状態

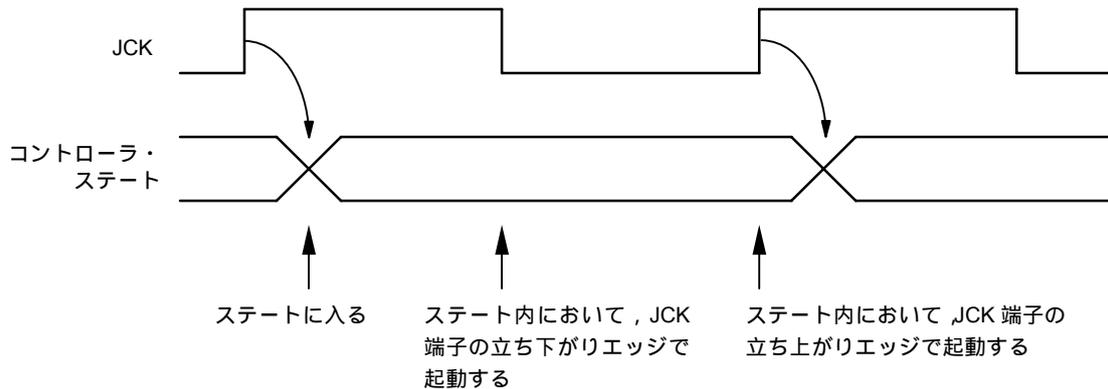
TAP コントローラの状態を図 8 - 2 に示します。TAP コントローラのすべての状態の変化は、JCK 端子に入力されるクロックの立ち上がり時の JMS 端子信号の状態によって決まります。インストラクション・レジスタ、バウンダリ・スキャン・レジスタとパイパス・レジスタの動作は、JCK 端子に入力されるクロックの立ち上がり / 立ち下がり で変化します (図 8 - 3 参照) 。

図8 - 2 TAP コントローラの状態



- 備考 1.** 図中の遷移を表す矢印の隣に示した“H”と“L”は、JCK 端子に入力されるクロックの立ち上がり時の JMS 端子の状態を示します。
- 2.** 図中にある () 内の番号は、次に述べる各状態の説明の項目番号です。

図8-3 コントローラ状態での動作タイミング



(1) Test-Logic-Reset0

JTAG バウンダリ・スキャン回路は、 μ PD98441 に対して動作しません。したがって、 μ PD98441 のシステム・ロジックには影響しません。これは、イニシャライズ時にバイパス命令がインストラクション・レジスタに格納、実行されているからです。TAP コントローラがどの状態のときでも、JMS 端子信号が少なくとも JCK 端子信号の立ち上がり 5 回分ハイ・レベル状態を保持すれば、Test-Logic-Reset 状態になります。TAP コントローラは、この状態を JMS 端子信号がハイ・レベルの間保持します。

TAP コントローラが Test-Logic-Reset 状態になる必要があるときは、JCK 端子信号の立ち上がりで JMS 端子信号に誤ったロウ・レベル信号が 1 回入力されても（たとえば外部インターフェースの影響）、JMS 端子信号が JCK 端子信号の立ち上がりエッジの 3 回分ハイ・レベル状態を保持すれば、もとの Test-Logic-Reset 状態に戻ります。

上記のエラーによって、テスト・ロジックの動作が μ PD98441 の論理動作を妨げることはありません。

Test-Logic-Reset コントローラ状態を抜けると、TAP コントローラは、Run-Test/Idle コントローラ状態に移ります。この状態では、バイパス・レジスタの動作によりカレント命令が選択設定されていますので、どのような動作も行いません。また、この JTAG バウンダリ・スキャン回路の論理動作は、Select-DR-Scan 状態と Select-IR-Scan 状態でもインアクティブです。

(2) Run-Test/Idle

スキャン動作間（Select-DR-Scan 状態、Select-IR-Scan 状態）の TAP コントローラ状態です。一度この状態になると、JMS 端子信号がロウ・レベルを保持している間は、TAP コントローラもこの状態を保持します。1 回の JCK 端子信号の立ち上がりエッジで、JMS 端子信号がハイ・レベルを保持すれば、Select-DR-Scan 状態に移ります。

カレント命令で選択されたすべてのテスト・データ・レジスタ（バウンダリ・スキャン・レジスタ、バイパス・レジスタ）には、以前の状態が保持されます（Idle）。TAP コントローラがこの状態の間、命令は変化しません。

(3) Select-DR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには、以前の状態が保持されます。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がり時にロウ・レベルが保持されると、TAP コントローラは、Capture-DR 状態に遷移します。また、選択されたレジスタへのスキャン・シーケンスが開始されます。

JCK 端子信号の立ち上がり時にハイ・レベルが保持されると、TAP コントローラは、Select-IR-Scan 状態に遷移します。TAP コントローラがこの状態の間、命令は変化しません。

(4) Select-IR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには、以前の状態が保持されます。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がり時にロウ・レベルが保持されると、TAP コントローラは、Capture-IR 状態に遷移します。また、選択されたレジスタへのスキャン・シーケンスが開始されます。

JCK 端子信号の立ち上がり時に JMS 端子信号がハイ・レベル状態に保持されると、TAP コントローラは、Test-Logic-Reset 状態に戻ります。TAP コントローラがこの状態の間、命令は変化しません。

(5) Capture-DR

コントローラ状態において、データは JCK 端子信号の立ち上がりエッジで、カレント命令により選択されたバウンダリ・スキャン・レジスタにパラレル・ロード（この場合、個々のデバイスの入力端子からそれぞれのバウンダリ・スキャン・レジスタに同時にロードすること）されます。TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号が立ち上がりエッジの場合、TAP コントローラの状態は次のようになります。

- ・ JMS 端子信号がハイ・レベルに保持されたとき：Exit1-DR 状態に遷移
- ・ JMS 端子信号がロウ・レベルに保持されたとき：Shift-DR 状態に遷移

(6) Shift-DR

このコントローラ状態では、カレント命令によって（バウンダリ・スキャン・レジスタ、またはバイパス・レジスタのどちらかで）JDI と JDO の間が接続されます。シフト・データは、JCK 端子信号の立ち上がりエッジごとにシリアル出力方向に一段ずつシフトされます。

カレント命令により選択されたバウンダリ・スキャン・レジスタ、またはバイパス・レジスタは、シリアル・パス上に位置していないとき（Shift-DR 状態でないとき）、前の状態を変化させずに保持します。TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号が立ち上がりエッジの場合、TAP コントローラの状態は次のようになります。

- ・ JMS 端子信号がハイ・レベルに保持されたとき：Exit1-DR 状態に遷移
- ・ JMS 端子信号がロウ・レベルに保持されたとき：Shift-DR 状態のまま

(7) Exit1-DR

一時的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていれば、TAP コントローラは、Update-DR 状態に遷移します。これにより、スキャン・プロセスを終了します。

また、JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていれば、TAP コントローラは、Pause-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間は、命令は変化しません。

(8) Pause-DR

コントローラ状態は、バイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらかで接続している JDI と JDO 間のシフトを一時的に停止させます。カレント命令で選択されたこれらのレジスタは、以前の状態が変化しないで保持されます。

JMS 端子信号がロウ・レベルの間、TAP コントローラをこの状態で保持します。JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されているときは、TAP コントローラは、Exit2-DR 状態に遷移します。TAP コントローラがこの状態の間は、命令は変化しません。

(9) Exit2-DR

一時的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-DR 状態に遷移し、スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Shift-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタのどちらにおいても、以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間は、命令は変化しません。

(10) Update-DR

バウンダリ・スキャン・レジスタは、ある命令（たとえば EXTEST 命令）により、パラレル出力の変化（連結されているシフト・レジスタ・パスにシフトされている期間における）を防ぐためのパラレル出力ラッチを持っています。

Update-DR コントローラ状態において、JCK 端子信号の立ち下がりエッジで、データは、シフト・レジスタ・パスからこのレジスタのパラレル・アウトプットにラッチされます。

ラッチのためパラレル・アウトプットに保持されたデータは、このコントローラの状態により変化します（他のコントローラ状態では変化しません）。

カレント命令によって選択されたバウンダリ・スキャン・レジスタにおけるすべてのシフト・レジスタの過程は、変化のない以前の状態が保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Select-DR-Scan 状態に遷移します。

また、JCK 端子信号の立ち上がりエッジでロウ・レベルが保持されると、TAP コントローラは、Run-Test/Idle 状態に遷移します。

(11) Capture-IR

このコントローラ状態において、JCK 端子信号の立ち上がりエッジで、シフト・レジスタは、インストラクション・レジスタに固定論理値のパターン【01 (2進)】をロードします。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それら以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Exit1-IR 状態に遷移します。

また、JCK 端子信号の立ち上がりエッジでロウ・レベルが保持されると、TAP コントローラは、Shift-IR 状態に遷移します。

(12) Shift-IR

このコントローラ状態において、インストラクション・レジスタ内のシフト・レジスタで JDI と JDO の間が接続されます。シフト・データは、JCK 端子信号の立ち上がりエッジごとにシリアル出力方向に一段シフトされます。

カレント命令によって選択されるバウンダリ・スキャン・レジスタか、バイパス・レジスタは、変化のないそれらの以前の状態が保持されます。

TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態において JCK 端子信号が立ち上がりエッジで、TAP コントローラは、JMS 端子信号がハイ・レベルに保持されていると、Exit1-IR 状態になります。また、JMS 端子信号がロウ・レベルに保持されていると、Shift-IR 状態のままです。

(13) Exit1-IR

一般的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-IR 状態に遷移します。これにより、スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Pause-IR に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

(14) Pause-IR

このコントローラ状態は、インストラクション・レジスタのシフトを一時的に停止させます。カレント命令で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタは、以前の状態が変化しないで保持されます。

TAP コントローラがこの状態の間、命令は変化しません。また、インストラクション・レジスタはその状態を保持します。

JMS 端子信号がロウ・レベルの間、TAP コントローラをこの状態で保持します。JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されているときは、TAP コントローラは、Exit2-IR 状態に遷移します。

(15) Exit2-IR

一時的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-IR コントローラ状態に遷移します。これにより、スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Shift-IR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態、またはインストラクション・レジスタにその状態が保持されている間は、命令は変化しません。

(16) Update-IR

このコントローラ状態において、インストラクション・レジスタにシフトされた命令は、JCK 端子信号の立ち下がりエッジで、シフト・レジスタ・パスからパラレル・アウトプット上にラッチされます。いったん、新しい命令がラッチされたらカレント命令となります。

カレント命令によって選択されたバイパス・レジスタ、またはバウンダリ・スキャン・レジスタのどちらも、前の状態を保持します。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Select-DR-Scan 状態に遷移します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されると、TAP コントローラは、Run-Test/Idle 状態に遷移します。

(8) の Pause-DR コントローラ状態と、(14) の Pause-IR コントローラ状態は、バイパス・レジスタ、バウンダリ・スキャン・レジスタ、またはインストラクション・レジスタ内のデータのシフトを一時停止します。

8.5 TAP コントローラ動作

TAP コントローラの動作は、次のとおりです。

TAP コントローラは(1),(2)のどちらかで状態遷移を行います。

- (1) JCK 端子信号の立ち上がりエッジ
- (2) JRSTB 端子入力

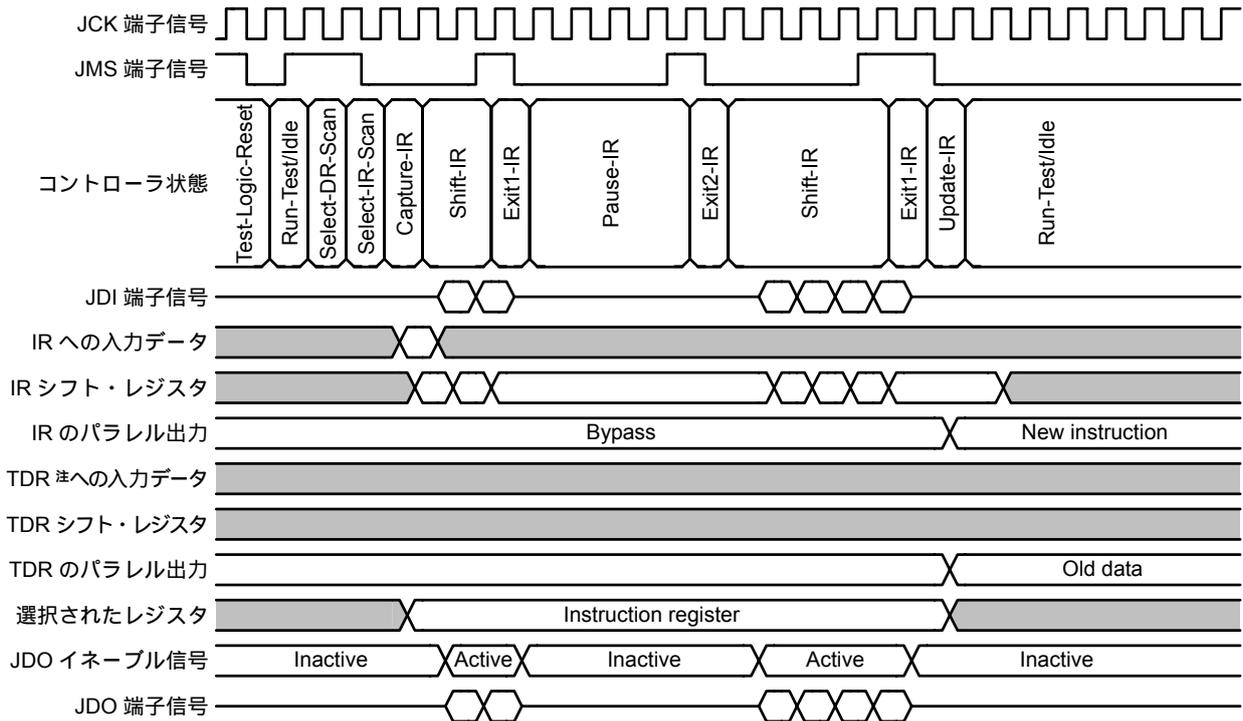
TAP コントローラは、この標準で定義されているバイパス・レジスタ、バウンダリ・スキャン・レジスタ、およびインストラクション・レジスタの動作を制御する信号を生成します(図8-4, 図8-5参照)。

JDO 端子出力バッファと、JDO 端子に出力するレジスタを選択する周辺回路は、表8-2のように制御されています。表8-2において定義される JDO 端子は、その状態に遷移したあと、JCK 端子信号の立ち上がりエッジで変化します。

表8-2 それぞれのコントローラ状態における動作

コントローラ状態	JDO 端子へドライブする選択されたレジスタ	JDO 端子ドライバ
Test-Logic-Reset	未定義	ハイ・インピーダンス
Run-Test/Idle		
Select-DR-Scan		
Select-IR-Scan		
Capture-IR		
Shift-IR	インストラクション・レジスタ	アクティブ
Exit1-IR	未定義	ハイ・インピーダンス
Pause-IR		
Exit2-IR		
Update-IR		
Capture-DR		
Shift-DR	データ・レジスタ(バウンダリ・スキャン・レジスタ, バイパス・レジスタ)	アクティブ
Exit1-DR	未定義	ハイ・インピーダンス
Pause-DR		
Exit2-DR		
Update-DR		

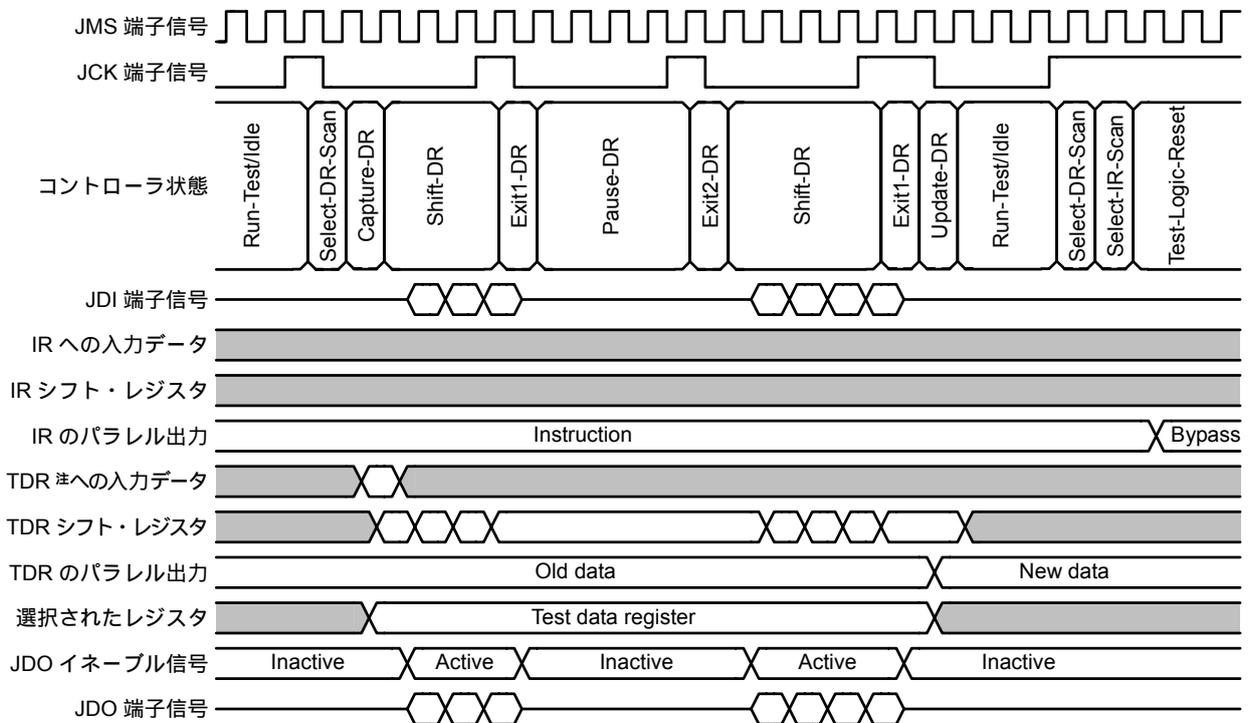
図8-4 テスト・ロジックの動作 (インストラクション・スキャン)



注 TDR (Test Data Register): バウンダリ・スキャン・レジスタおよびバイパス・レジスタ。

備考 : Don't care あるいは未定義。

図8-5 テスト・ロジックの動作 (データ・スキャン)



注 TDR (Test Data Register): バウンダリ・スキャン・レジスタ, およびバイパス・レジスタ。

備考 : Don't care あるいは未定義。

8.6 TAP コントローラの初期化

TAP コントローラの初期化は次のとおりです。

- (1) TAP コントローラは、システム・リセットのようなシステム入力の動作によっても初期化されません。
- (2) TAP コントローラは、JCK 端子信号の立ち上がりエッジ (JMS 端子信号がハイ・レベルを保持) 5 回で、Test-Logic-Reset コントローラ状態に遷移します。
- (3) JRSTB 入力により TAP コントローラは非同期に Test-Logic-Reset 状態になります。

8.7 インストラクション・レジスタ

このレジスタは、次のように定義されます (8.2 バウンダリ・スキャン回路内部構成参照)。

- (1) インストラクション・レジスタにシフト入力された命令は、Update-IR コントローラ状態と、Test-Logic-Reset コントローラ状態でのみ変化するようにラッチされます。
- (2) インストラクション・レジスタのシリアル入力と、シリアル出力間のデータの反転はありません。
- (3) Capture-IR コントローラ状態において、このレジスタ・セルは、固定された 2 進の“01”パターン・データ (LSB (Least Significant Bit) が“1”) がロードされます。
- (4) Test-Logic-Reset コントローラ状態の間、このレジスタは、固定された 2 進の“01”パターン・データ (LSB (Least Significant Bit) が“1”) がセットされます。
- (5) このレジスタが読み出されているとき、JCK 端子信号の立ち下がりエッジごとに LSB を先頭にして MSB まで、JDO 端子からデータが出力されます。

μ PD98441 におけるこの JTAG バウンダリ・スキャン回路は、このインストラクション・レジスタに指定されたデータの設定によって、次に示す 3 つの命令のみサポートすることができます。

BYPASS 命令

EXTEST 命令

SAMPLE/PRELOAD 命令

インストラクション・レジスタ		サポートする命令
D1	D0	
0	0	EXTEST 命令
0	1	SAMPLE/PRELOAD 命令
1	0	未使用 (BYPASS 命令)
1	1	BYPASS 命令

8.7.1 BYPASS 命令

この命令は、インストラクション・データ“11”または、“10”で指定されます。Shift-DR コントローラ状態において、この命令は、バイパス・レジスタ（JDI 端子と JDO 端子の間をシリアル・アクセスするためのもの）のみを選択するために使用されます。

この命令が選択されているとき、JTAG バウンダリ・スキャン回路の動作は、 μ PD98441 の動作に影響しません。

Test-Logic-Reset コントローラ状態の間、このバイパス命令が選択されます。

8.7.2 EXTEST 命令

インストラクション・データ“00”で指定されます。Shift-DR コントローラ状態において、JDI 端子と JDO 端子の間のシリアル・アクセスのバウンダリ・スキャン・レジスタを選択するために使用されます。

・この命令が選択されているとき：

システム出力端子からドライブされるすべての信号の状態は、バウンダリ・スキャン・レジスタにシフトされているデータによって完全に定義されます。また、Update-DR コントローラ状態において、JCK 端子信号の立ち下がリエッジでのみ変化します。

システム入力端子から入力されるすべての信号の状態は、Capture-DR コントローラ状態において、JCK 端子信号の立ち上がりエッジでバウンダリ・スキャン・レジスタにロードされます。

8.7.3 SAMPLE/PRELOAD 命令

インストラクション・データ“01”で指定されます。これは、SAMPLE 機能と PRELOAD 機能の 2 つを 1 つの命令で実行できる命令です。

8.7.4 バウンダリ・スキャン・データ・ビット定義

お客様のご要求により、 μ PD98441 の参考 BSDL (Boundary Scan Description Language) ファイルを提供させていただきます。巻末に示すお問い合わせ先（半導体ホットライン）にご連絡ください。

第9章 制限事項

9.1 レジスタ・ライト後の不正データ・バス・ドライブに関する制限事項

MPU インタフェースより、 μ PD98441 の内部レジスタに対してライト動作を行ったとき、DSB (WRB) 信号をデアサート後に一定の期間、 μ PD98441 がデータ・バスの DATA[7:0]信号を不正にドライブします。そのため、DATA[7:0]上で信号の衝突が生じる恐れがあります。

μ PD98441 は、ライト・アクセスの DSB (WRB) 信号の立ち上がり後に、DATA[7:0] 信号の不正ドライブを開始します。ドライブは、CSB 信号の入力状態に関係なく行われます。リード・アクセスでは、不正ドライブを行いません。 μ PD98441 が DATA[7:0] 信号を不正にドライブするタイミングは、次のとおりです。

項 目		略 号	時 間
DSB \uparrow (WRB \uparrow) から不正ドライブが開始されるまでの遅延		t1	tREFCLK \times 4
不正ドライブの期間	MPU 拡張アクセス機能の未使用	t2	tREFCLK \times 36 + tIOPCK \times 7
	MPU 拡張アクセス機能の使用時	t2	tREFCLK \times 36 + tIOPCK \times 14

- tREFCLK : 入力されているレファレンス・クロック 1 周期分の長さ (1 / fREFCLK) です。
- tIOPCK : IPCK 端子または OPCK 端子に入力されているクロックのうち、周波数の低い側のクロックの 1 周期分の長さです。
- t2 は、MPU 拡張アクセス機能を使用するか否か (L[n]CMDRJ レジスタ値) によって異なります。
未使用時とは、L0CMDRJ, L1CMDRJ ともに 1Fh の場合を指します。
使用時とは、L0CMDRJ, L1CMDRJ のどちらかが 1Fh 以外に設定されている場合を指します。

図9 - 1 DATA[7:0]の不正ドライブ期間 (1/2)

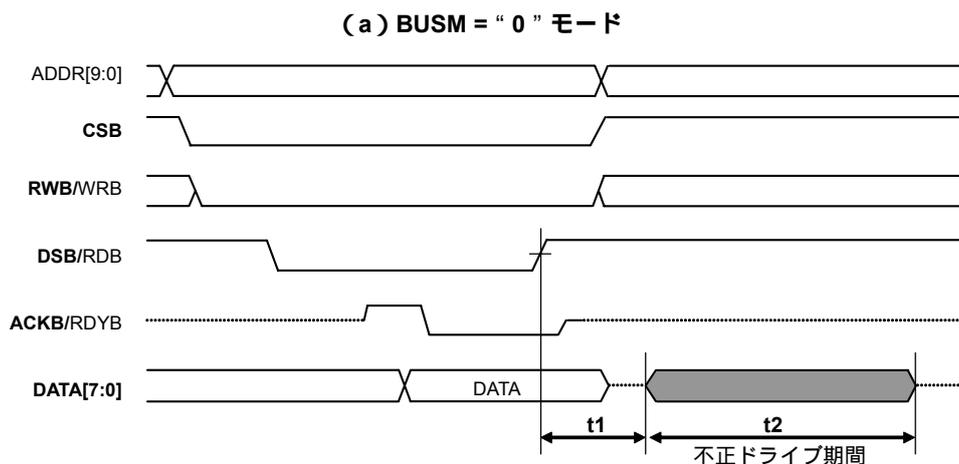
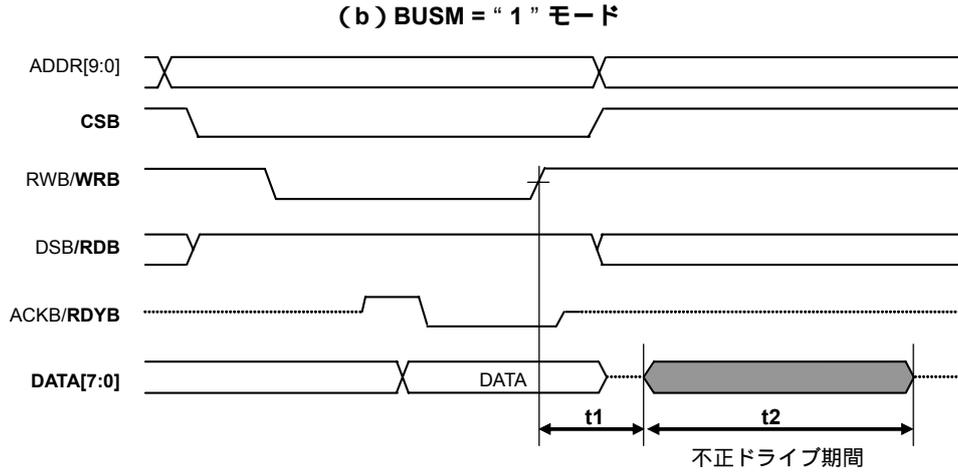


図9-1 DATA[7:0]の不正ドライブ期間 (2/2)

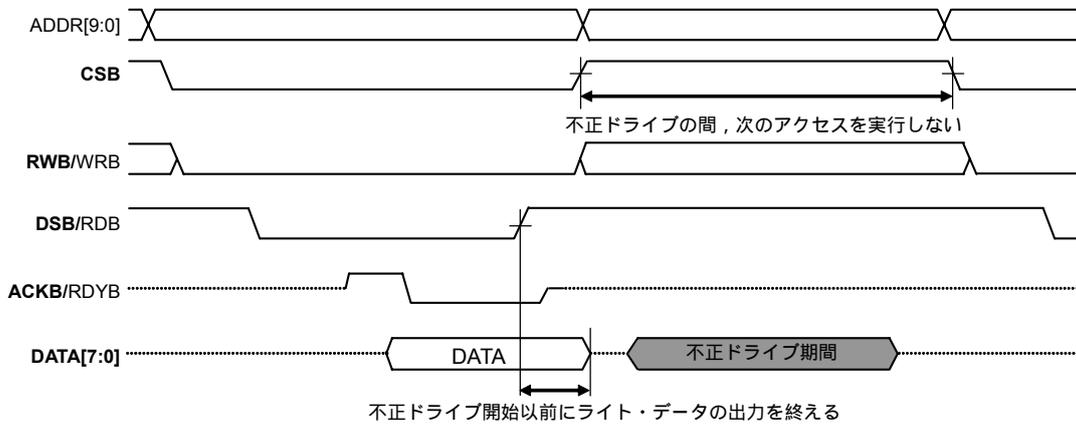


DATA[7:0]上の信号衝突回避のため、次の両方の対策をシステム上で実現してください。

μPD98441 にライト・アクセス時、DATA[7:0]へのデータ出力は、DSB↑ (RWB↑) に対する保持時間 MIN. 4 ns が経過したあと、そのサイクルの DSB↑ (RWB↑) から t1 時間が経過する前にドライブを終了してください。

μPD98441 にライト・アクセスした場合には、そのサイクルの DSB↑ (RWB↑) から t2 時間が経過するまでの間、次のアクセスを開始しないようにしてください。

図9-2 衝突の回避 (BUSM = "0" モードで表示)



9.2 カウンタのクリア異常

μ PD98441 のカウンタ機能において、 μ PD98441 がカウンタをアップする動作と、0 クリアする動作とが重なったとき、 μ PD98441 はカウント・アップを行わず、0 クリアのみを実行します。そのため、ホストが複数回のカウンタのロードおよびクリアの同時指示により得たカウンタ値の合算値が、実際に発生したカウント要因数よりも少なくなることがあります。

・対象カウンタ

この現象は、 μ PD98441 が装備するフレーム関連のカウンタ（表9-1参照）で発生します。

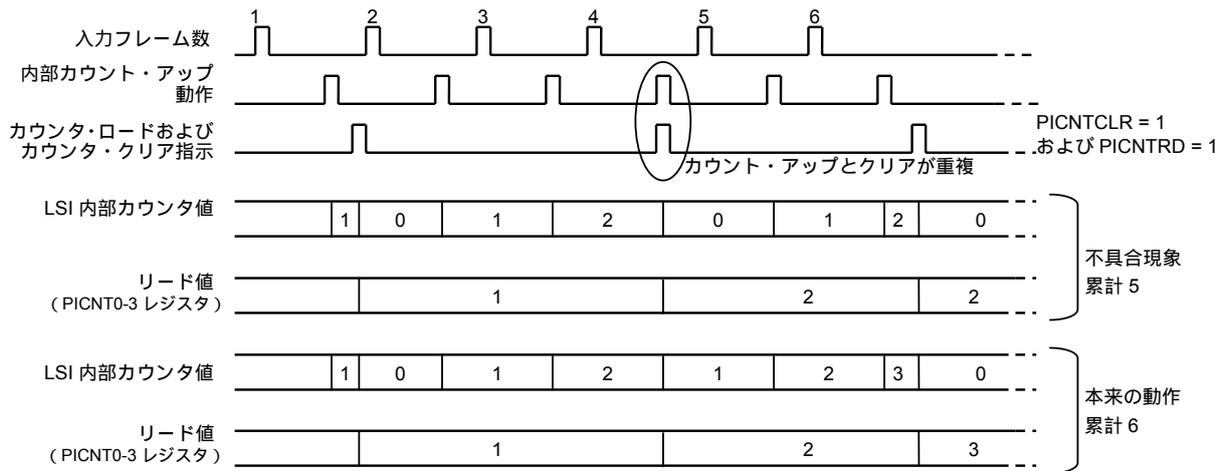
表9-1 カウンタのクリア異常対象カウンタ

カウント・ブロック	カウンタ名	カウンタ長	カウント単位
送信フレーム	送信フレーム・カウンタ	24	フレーム
受信フレーム	受信フレーム・カウンタ	24	フレーム
	受信デコード・エラー・カウンタ	8	フレーム
	受信 RD エラー・カウンタ	8	フレーム
	受信 FCS エラー・カウンタ	8	フレーム
入力パラレル・ インタフェース	出力データ・カウンタ	32	セル/パケット
	パリティ・エラー・カウンタ	16	ワード
出力パラレル・ インタフェース	出力データ・カウンタ	32	セル/パケット
	出力エラー・パケット・カウンタ	16	パケット

・現象事例（UTOPIA Level2 モードの入力データ・カウンタの場合）

ホストは、入力パラレル・インタフェース・カウンタ制御レジスタ（PICNT）の PICNTRD ビットと PICNTCLR ビットの両方に 1 をセットし、入力データ・カウンタのロード指示と 0 クリア指示を同時に行います。ホストの 2 回目のカウンタ・ロード/クリア指示と、 μ PD98441 の 4 セル目の受信によるカウント・アップとが重なり、 μ PD98441 は 0 クリアのみを実行したため、実際には 6 セルを入力したにもかかわらず、3 回のカウンタ・リードにより得たカウンタの合算値は 5 になり、差が生じます。

図9 - 3 カウンタのクリア異常



カウンタのクリア異常により、カウンタのロードとクリアを繰り返して得たカウンタ値を合算し、長期間のカウント数とする方法では、合算値が実際の発生数より少なくなることがあります。カウンタによるモニタは、観測開始から終了時まで、カウンタの0クリアを行わない単一期間のみで実施してください。その期間内にカウンタのオーバーフロー（カウンタがオール 1 (FFFF_FFFFh) を通過）が発生した場合には、カウンタを0クリアするようにしてください。

9.3 SOP エラーの不正検出異常

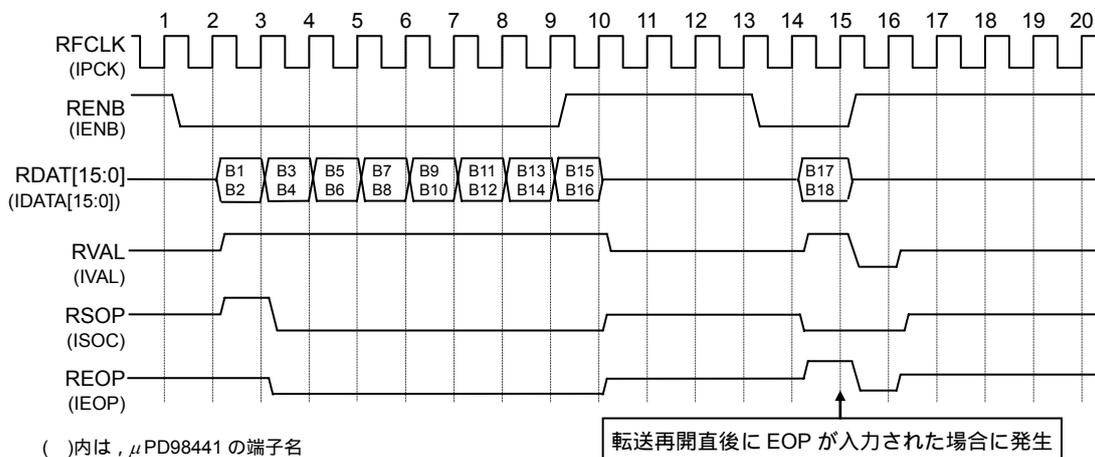
POS-PHY Level2 のマスタ・モードにおいて、要因が発生していないにもかかわらず、 μ PD98441 が SOP エラーを不正に検出することがあります。

本来 SOP エラーは、 μ PD98441 がポーリングでパケット・アベイラブル (PRPA = 1) だった論理ポートをセレクション後、3 クロック期間を待っても RSOP (ISOC) が入力されなかった場合に検出し、PIERR レジスタの TSOCE ビットに 1 をセットしてホストに通知するエラーです。

SOP エラーの不正検出は、下記のタイミング・チャートに示すように、スレーブ・デバイスからのパケット転送を μ PD98441 が一度中断し、転送を再開した直後に TEOP (IEOP) が入力された場合に起こります。 μ PD98441 がパケット入力中に RENB (IENB) をデアサートし、スレーブ・デバイスにデータ転送の中断を要求するのは、入力 FIFO 内に空き領域がなくなり次のデータを取り込めなくなったときです。

SOP エラーの不正検出の要因になったパケットは、問題なくシリアル・インタフェースに転送されます。

図9-4 SOP エラーの不正検出が発生するタイミング



μ PD98441 がパケット転送の中断を要求するようなトラフィックにおいては、 μ PD98441 が SOP エラーを検出した場合、その検出が実際の SOP エラーによるものか、不正検出異常によるものかを判断することができません。

μ PD98441 を POS-PHY モードで、かつマスタ・モードにて使用する場合は、SOP エラーの検出機能を使用しないでください。またこの場合、 μ PD98441 が SOP エラーを検出 (PIERR レジスタの TSOCE ビット = 1) しても、それを無視するようにしてください。

9.4 全ポート・ループバック・モードの設定 / 解除時の制限事項

μ PD98441 の全ポート・ループバック・モード (ALPP モード, および ALPS モード) において, 通常モードからループバック・モードへ切り替えたあと, または, ループバック・モードから通常モードへ戻したあとに, μ PD98441 のフレーム回路が, セル / パケットの送受信動作, およびフレーム関連カウンタのカウント動作を正常に行わなくなる場合があります。

- ・全ポート・パラレル・ループバック (ALPP モード) と通常モードとの切り替え
切り替えを行った場合には, 次のいずれかの手順でリセットを実行してください。

〔手順1〕

ALPP モード 通常モード, または通常モード ALPP モードに変更
SRST レジスタの LRST ビットをセットし, 送受信のロジック・ブロックをリセット
ADDR = 000h ~ 029h, および 90h ~ 98h 以外のレジスタを再設定

備考 LRST リセットを実行すると, μ PD98441 のレジスタのうち, ADDR = 000h ~ 029h, および 90h ~ 98h 以外のレジスタがリセットされ, デフォルト値に戻ります。モード・レジスタなどの再設定を行ってください。

〔手順2〕

ALPPモード 通常モード, または通常モード ALPPモードに変更
SRSTレジスタのL0RRST/L1RRSTビットをセットして, 受信フレーム・ブロックをリセット
受信フレーム関連のカウンタ (下記) を各カウンタ制御レジスタのクリア・ビットにより0クリア

- ・受信フレーム・カウンタ
- ・受信デコード・エラー・カウンタ
- ・受信RDエラー・カウンタ
- ・受信FCエラー・カウンタ

備考 L0RRST, L1RRST ビットによるリセットでは, レジスタは初期化されません。

- ・全ポート・シリアル・ループバック (ALPS モード) と通常モードとの切り替え
切り替えを行った場合には, 次の手順でリセットを実行してください。

ALPSモード 通常モード, または通常モード ALPSモードに変更
SRSTレジスタのLRSTビットをセットし, 送受信のロジック・ブロックをリセット
ADDR = 000h ~ 029h, および090h ~ 098h以外のレジスタを再設定

備考 LRST リセットを実行すると, μ PD98441 のレジスタのうち, ADDR = 000h ~ 029h, および 090h ~ 098h 以外のレジスタがリセットされ, デフォルト値に戻ります。モード・レジスタなどの再設定を行ってください。

付録A 8B10B 符号化対応表

表A - 1 通常データ (1/4)

Data Byte Name	Bits		Current RD -		Current RD +		Data Byte Name	Bits		Current RD -		Current RD +	
	HGF	EDCBA	abcdei	fghj	abcdei	fghj		HGF	EDCBA	abcdei	fghj	abcdei	fghj
D0.0	000	00000	100111	0100	011000	1011	D0.1	001	00000	100111	1001	011000	1001
D1.0	000	00001	011101	0100	100010	1011	D1.1	001	00001	011101	1001	100010	1001
D2.0	000	00010	101101	0100	010010	1011	D2.1	001	00010	101101	1001	010010	1001
D3.0	000	00011	110001	1011	110001	0100	D3.1	001	00011	110001	1001	110001	1001
D4.0	000	00100	110101	0100	001010	1011	D4.1	001	00100	110101	1001	001010	1001
D5.0	000	00101	101001	1011	101001	0100	D5.1	001	00101	101001	1001	101001	1001
D6.0	000	00110	011001	1011	011001	0100	D6.1	001	00110	011001	1001	011001	1001
D7.0	000	00111	111000	1011	000111	0100	D7.1	001	00111	111000	1001	000111	1001
D8.0	000	01000	111001	0100	000110	1011	D8.1	001	01000	111001	1001	000110	1001
D9.0	000	01001	100101	1011	100101	0100	D9.1	001	01001	100101	1001	100101	1001
D10.0	000	01010	010101	1011	010101	0100	D10.1	001	01010	010101	1001	010101	1001
D11.0	000	01011	110100	1011	110100	0100	D11.1	001	01011	110100	1001	110100	1001
D12.0	000	01100	001101	1011	001101	0100	D12.1	001	01100	001101	1001	001101	1001
D13.0	000	01101	101100	1011	101100	0100	D13.1	001	01101	101100	1001	101100	1001
D14.0	000	01110	011100	1011	011100	0100	D14.1	001	01110	011100	1001	011100	1001
D15.0	000	01111	010111	0100	101000	1011	D15.1	001	01111	010111	1001	101000	1001
D16.0	000	10000	011011	0100	100100	1011	D16.1	001	10000	011011	1001	100100	1001
D17.0	000	10001	100011	1011	100011	0100	D17.1	001	10001	100011	1001	100011	1001
D18.0	000	10010	010011	1011	010011	0100	D18.1	001	10010	010011	1001	010011	1001
D19.0	000	10011	110010	1011	110010	0100	D19.1	001	10011	110010	1001	110010	1001
D20.0	000	10100	001011	1011	001011	0100	D20.1	001	10100	001011	1001	001011	1001
D21.0	000	10101	101010	1011	101010	0100	D21.1	001	10101	101010	1001	101010	1001
D22.0	000	10110	011010	1011	011010	0100	D22.1	001	10110	011010	1001	011010	1001
D23.0	000	10111	111010	0100	000101	1011	D23.1	001	10111	111010	1001	000101	1001
D24.0	000	11000	110011	0100	001100	1011	D24.1	001	11000	110011	1001	001100	1001
D25.0	000	11001	100110	1011	100110	0100	D25.1	001	11001	100110	1001	100110	1001
D26.0	000	11010	010110	1011	010110	0100	D26.1	001	11010	010110	1001	010110	1001
D27.0	000	11011	110110	0100	001001	1011	D27.1	001	11011	110110	1001	001001	1001
D28.0	000	11100	001110	1011	001110	0100	D28.1	001	11100	001110	1001	001110	1001
D29.0	000	11101	101110	0100	010001	1011	D29.1	001	11101	101110	1001	010001	1001
D30.0	000	11110	011110	0100	100001	1011	D30.1	001	11110	011110	1001	100001	1001
D31.0	000	11111	101011	0100	010100	1011	D31.1	001	11111	101011	1001	010100	1001

表 A - 1 通常データ (2/4)

Data Byte Name	Bits		Current RD -		Current RD +		Data Byte Name	Bits		Current RD -		Current RD +	
	HGF	EDCBA	abcdei	fghj	abcdei	fghj		HGF	EDCBA	abcdei	fghj	abcdei	fghj
D0.2	010	00000	100111	0101	011000	0101	D0.3	011	00000	100111	0011	011000	1100
D1.2	010	00001	011101	0101	100010	0101	D1.3	011	00001	011101	0011	100010	1100
D2.2	010	00010	101101	0101	010010	0101	D2.3	011	00010	101101	0011	010010	1100
D3.2	010	00011	110001	0101	110001	0101	D3.3	011	00011	110001	1100	110001	0011
D4.2	010	00100	110101	0101	001010	0101	D4.3	011	00100	110101	0011	001010	1100
D5.2	010	00101	101001	0101	101001	0101	D5.3	011	00101	101001	1100	101001	0011
D6.2	010	00110	011001	0101	011001	0101	D6.3	011	00110	011001	1100	011001	0011
D7.2	010	00111	111000	0101	000111	0101	D7.3	011	00111	111000	1100	000111	0011
D8.2	010	01000	111001	0101	000110	0101	D8.3	011	01000	111001	0011	000110	1100
D9.2	010	01001	100101	0101	100101	0101	D9.3	011	01001	100101	1100	100101	0011
D10.2	010	01010	010101	0101	010101	0101	D10.3	011	01010	010101	1100	010101	0011
D11.2	010	01011	110100	0101	110100	0101	D11.3	011	01011	110100	1100	110100	0011
D12.2	010	01100	001101	0101	001101	0101	D12.3	011	01100	001101	1100	001101	0011
D13.2	010	01101	101100	0101	101100	0101	D13.3	011	01101	101100	1100	101100	0011
D14.2	010	01110	011100	0101	011100	0101	D14.3	011	01110	011100	1100	011100	0011
D15.2	010	01111	010111	0101	101000	0101	D15.3	011	01111	010111	0011	101000	1100
D16.2	010	10000	011011	0101	100100	0101	D16.3	011	10000	011011	0011	100100	1100
D17.2	010	10001	100011	0101	100011	0101	D17.3	011	10001	100011	1100	100011	0011
D18.2	010	10010	010011	0101	010011	0101	D18.3	011	10010	010011	1100	010011	0011
D19.2	010	10011	110010	0101	110010	0101	D19.3	011	10011	110010	1100	110010	0011
D20.2	010	10100	001011	0101	001011	0101	D20.3	011	10100	001011	1100	001011	0011
D21.2	010	10101	101010	0101	101010	0101	D21.3	011	10101	101010	1100	101010	0011
D22.2	010	10110	011010	0101	011010	0101	D22.3	011	10110	011010	1100	011010	0011
D23.2	010	10111	111010	0101	000101	0101	D23.3	011	10111	111010	0011	000101	1100
D24.2	010	11000	110011	0101	001100	0101	D24.3	011	11000	110011	0011	001100	1100
D25.2	010	11001	100110	0101	100110	0101	D25.3	011	11001	100110	1100	100110	0011
D26.2	010	11010	010110	0101	010110	0101	D26.3	011	11010	010110	1100	010110	0011
D27.2	010	11011	110110	0101	001001	0101	D27.3	011	11011	110110	0011	001001	1100
D28.2	010	11100	001110	0101	001110	0101	D28.3	011	11100	001110	1100	001110	0011
D29.2	010	11101	101110	0101	010001	0101	D29.3	011	11101	101110	0011	010001	1100
D30.2	010	11110	011110	0101	100001	0101	D30.3	011	11110	011110	0011	100001	1100
D31.2	010	11111	101011	0101	010100	0101	D31.3	011	11111	101011	0011	010100	1100

表 A - 1 通常データ (3/4)

Data Byte Name	Bits		Current RD -		Current RD +		Data Byte Name	Bits		Current RD -		Current RD +	
	HGF	EDCBA	abcdei	fghj	abcdei	fghj		HGF	EDCBA	abcdei	fghj	abcdei	fghj
D0.4	100	00000	100111	0010	011000	1101	D0.5	101	00000	100111	1010	011000	1010
D1.4	100	00001	011101	0010	100010	1101	D1.5	101	00001	011101	1010	100010	1010
D2.4	100	00010	101101	0010	010010	1101	D2.5	101	00010	101101	1010	010010	1010
D3.4	100	00011	110001	1101	110001	0010	D3.5	101	00011	110001	1010	110001	1010
D4.4	100	00100	110101	0010	001010	1101	D4.5	101	00100	110101	1010	001010	1010
D5.4	100	00101	101001	1101	101001	0010	D5.5	101	00101	101001	1010	101001	1010
D6.4	100	00110	011001	1101	011001	0010	D6.5	101	00110	011001	1010	011001	1010
D7.4	100	00111	111000	1101	000111	0010	D7.5	101	00111	111000	1010	000111	1010
D8.4	100	01000	111001	0010	000110	1101	D8.5	101	01000	111001	1010	000110	1010
D9.4	100	01001	100101	1101	100101	0010	D9.5	101	01001	100101	1010	100101	1010
D10.4	100	01010	010101	1101	010101	0010	D10.5	101	01010	010101	1010	010101	1010
D11.4	100	01011	110100	1101	110100	0010	D11.5	101	01011	110100	1010	110100	1010
D12.4	100	01100	001101	1101	001101	0010	D12.5	101	01100	001101	1010	001101	1010
D13.4	100	01101	101100	1101	101100	0010	D13.5	101	01101	101100	1010	101100	1010
D14.4	100	01110	011100	1101	011100	0010	D14.5	101	01110	011100	1010	011100	1010
D15.4	100	01111	010111	0010	101000	1101	D15.5	101	01111	010111	1010	101000	1010
D16.4	100	10000	011011	0010	100100	1101	D16.5	101	10000	011011	1010	100100	1010
D17.4	100	10001	100011	1101	100011	0010	D17.5	101	10001	100011	1010	100011	1010
D18.4	100	10010	010011	1101	010011	0010	D18.5	101	10010	010011	1010	010011	1010
D19.4	100	10011	110010	1101	110010	0010	D19.5	101	10011	110010	1010	110010	1010
D20.4	100	10100	001011	1101	001011	0010	D20.5	101	10100	001011	1010	001011	1010
D21.4	100	10101	101010	1101	101010	0010	D21.5	101	10101	101010	1010	101010	1010
D22.4	100	10110	011010	1101	011010	0010	D22.5	101	10110	011010	1010	011010	1010
D23.4	100	10111	111010	0010	000101	1101	D23.5	101	10111	111010	1010	000101	1010
D24.4	100	11000	110011	0010	001100	1101	D24.5	101	11000	110011	1010	001100	1010
D25.4	100	11001	100110	1101	100110	0010	D25.5	101	11001	100110	1010	100110	1010
D26.4	100	11010	010110	1101	010110	0010	D26.5	101	11010	010110	1010	010110	1010
D27.4	100	11011	110110	0010	001001	1101	D27.5	101	11011	110110	1010	001001	1010
D28.4	100	11100	001110	1101	001110	0010	D28.5	101	11100	001110	1010	001110	1010
D29.4	100	11101	101110	0010	010001	1101	D29.5	101	11101	101110	1010	010001	1010
D30.4	100	11110	011110	0010	100001	1101	D30.5	101	11110	011110	1010	100001	1010
D31.4	100	11111	101011	0010	010100	1101	D31.5	101	11111	101011	1010	010100	1010

表 A - 1 通常データ (4/4)

Data Byte Name	Bits		Current RD -		Current RD +		Data Byte Name	Bits		Current RD -		Current RD +	
	HGF	EDCBA	abcdei	fghj	abcdei	fghj		HGF	EDCBA	abcdei	fghj	abcdei	fghj
D0.6	110	00000	100111	0110	011000	0110	D0.7	111	00000	100111	0001	011000	1110
D1.6	110	00001	011101	0110	100010	0110	D1.7	111	00001	011101	0001	100010	1110
D2.6	110	00010	101101	0110	010010	0110	D2.7	111	00010	101101	0001	010010	1110
D3.6	110	00011	110001	0110	110001	0110	D3.7	111	00011	110001	1110	110001	0001
D4.6	110	00100	110101	0110	001010	0110	D4.7	111	00100	110101	0001	001010	1110
D5.6	110	00101	101001	0110	101001	0110	D5.7	111	00101	101001	1110	101001	0001
D6.6	110	00110	011001	0110	011001	0110	D6.7	111	00110	011001	1110	011001	0001
D7.6	110	00111	111000	0110	000111	0110	D7.7	111	00111	111000	1110	000111	0001
D8.6	110	01000	111001	0110	000110	0110	D8.7	111	01000	111001	0001	000110	1110
D9.6	110	01001	100101	0110	100101	0110	D9.7	111	01001	100101	1110	100101	0001
D10.6	110	01010	010101	0110	010101	0110	D10.7	111	01010	010101	1110	010101	0001
D11.6	110	01011	110100	0110	110100	0110	D11.7	111	01011	110100	1110	110100	1000
D12.6	110	01100	001101	0110	001101	0110	D12.7	111	01100	001101	1110	001101	0001
D13.6	110	01101	101100	0110	101100	0110	D13.7	111	01101	101100	1110	101100	1000
D14.6	110	01110	011100	0110	011100	0110	D14.7	111	01110	011100	1110	011100	1000
D15.6	110	01111	010111	0110	101000	0110	D15.7	111	01111	010111	0001	101000	1110
D16.6	110	10000	011011	0110	100100	0110	D16.7	111	10000	011011	0001	100100	1110
D17.6	110	10001	100011	0110	100011	0110	D17.7	111	10001	100011	0111	100011	0001
D18.6	110	10010	010011	0110	010011	0110	D18.7	111	10010	010011	0111	010011	0001
D19.6	110	10011	110010	0110	110010	0110	D19.7	111	10011	110010	1110	110010	0001
D20.6	110	10100	001011	0110	001011	0110	D20.7	111	10100	001011	0111	001011	0001
D21.6	110	10101	101010	0110	101010	0110	D21.7	111	10101	101010	1110	101010	0001
D22.6	110	10110	011010	0110	011010	0110	D22.7	111	10110	011010	1110	011010	0001
D23.6	110	10111	111010	0110	000101	0110	D23.7	111	10111	111010	0001	000101	1110
D24.6	110	11000	110011	0110	001100	0110	D24.7	111	11000	110011	0001	001100	1110
D25.6	110	11001	100110	0110	100110	0110	D25.7	111	11001	100110	1110	100110	0001
D26.6	110	11010	010110	0110	010110	0110	D26.7	111	11010	010110	1110	010110	0001
D27.6	110	11011	110110	0110	001001	0110	D27.7	111	11011	110110	0001	001001	1110
D28.6	110	11100	001110	0110	001110	0110	D28.7	111	11100	001110	1110	001110	0001
D29.6	110	11101	101110	0110	010001	0110	D29.7	111	11101	101110	0001	010001	1110
D30.6	110	11110	011110	0110	100001	0110	D30.7	111	11110	011110	0001	100001	1110
D31.6	110	11111	101011	0110	010100	0110	D31.7	111	11111	101011	0001	010100	1110

表 A - 2 K コード

Special Code Name	Current RD -		Tn(7:0)	Special Code Name	Current RD -		Tn(7:0)		
	abcdei	fghj			abcdei	fghj			
K28.0	001111	0100	110000 1011	000 11100	K28.6	001111	0110	110000 1001	110 11100
K28.1	001111	1001	110000 0110	001 11100	K28.7	001111	1000	110000 0111	111 11100
K28.2	001111	0101	110000 1010	010 11100	K23.7	111010	1000	000101 0111	111 10111
K28.3	001111	0011	110000 1100	011 11100	K27.7	110110	1000	001001 0111	111 11011
K28.4	001111	0010	110000 1101	100 11100	K29.7	101110	1000	010001 0111	111 11101
K28.5	001111	1010	110000 0101	101 11100	K30.7	011110	1000	100001 0111	111 11110

付録B 改版履歴

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この" "を PDF 上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

B.1 第5版で改訂された主な箇所

章	改訂箇所
第4章	4.2.5 UTOPIA スレーブ受信インタフェース 記述を修正
第5章	5.2 リード・オペレーション 図5-2 リード・オペレーションの ADDR 信号数を修正 5.3 ライト・オペレーション 本文および図5-3 ライト・オペレーションの ADDR 信号数を修正 注意2を追加
第6章	6.1 レジスタ・マップ 注意4を追加 6.2 レジスタ詳細 (1) ソフト・リセット・コマンド・レジスタの PLLINIT ビットの機能説明を修正, 備考3を追加 (4) パラレル・インタフェース・モード設定レジスタの EPM ビットに UTOPIA マスタ時の機能説明を追加 (34) 出力ポート・イネーブル・レジスタに注意2を追加
第9章	9.4 全ポート・ループバック・モードの設定 / 解除時の制限事項を追加

B.2 第4版で改訂された主な箇所

(1/3)

章	改訂箇所
第1章	1.2 オーダ情報 オーダ名称を変更 1.4 ブロック図 ブロック図を修正
第2章	2.4.2 シリアル・インタフェース TXLP[1:0], TXLM[1:0], RXLP[1:0], RXLM[1:0]は、未使用時オープンにしてください。 2.4.3 MPU インタフェース 注意を追加 2.5 未使用端子の処理 RXLP[1:0], RXLM[1:0]は、未使用時オープンにしてください。 2.6 端子の初期状態 ALM[2],[0]の初期状態を変更 2.7.1 モードの接続形態 ISOC, SOC (端子名)を修正

章	改訂箇所
第 3 章	<p>図 3 - 1 μPD98441 の機能ブロック構成を修正</p> <p>3. 2. 3 シリアル・インタフェースの接続</p> <p>図 3 - 6 シングル・ライン・モードの動作概要を修正</p> <p>3. 2. 4 デュアル・ライン・モード</p> <p>図 3 - 9 デュアル・ライン・モードの動作概要を修正</p> <p>3. 3. 5 シリアル・ラインの切り替え</p> <p>図 3 - 13 アクティブとスタンバイの切り替えを修正</p> <p>図 3 - 14 アクティブとスタンバイの切り替えフローを修正</p> <p>3. 4. 3 セル・フォーマットの設定</p> <p>UDFEN (ビット名) の誤記を修正</p> <p>3. 4. 5 拡張アクセス・モード</p> <p>UDFEN (ビット名) の誤記を修正</p> <p>注意 4 を追加</p> <p>(2) デュアル・ライン・モード接続時のポート・アドレス変換の記述を修正</p> <p>3. 4. 11 エラー検出</p> <p>表 3 - 18 入力パラレル・インタフェースで検出するエラーの TSOCE (ビット名) を修正</p> <p>3. 4. 13 バス幅設定の異なる μPD98441 の接続</p> <p>表 3 - 21 CHGB レジスタの CBSZ フィールド設定を修正</p> <p>[標準アクセス・モード, および拡張アクセス・モードでの制限事項] を修正</p> <p>図 3 - 31 バス幅設定の異なる μPD98441 の接続を修正</p> <p>3. 5. 4 サポート論理ポート数</p> <p>(2) デュアル・ライン・モード接続の記述を修正</p> <p>3. 5. 6 入力 FIFO のしきい値設定</p> <p>備考を追加</p> <p>図 3 - 39 STPA/PTPA をデアサートするまでの遅延を追加</p> <p>3. 5. 7 エラー検出</p> <p>表 3 - 26 入力パラレル・インタフェースで検出するエラー (POS-PHY モード) の TRSOCE (ビット名) を修正</p> <p>注意を追加</p> <p>3. 6 POS-PHY/UTOPIA インタフェース変換</p> <p>標準アクセス・モードの場合の記述を修正</p> <p>3. 7. 1 カウンタのモニタ方法</p> <p>注意を追加</p> <p>3. 7. 3 パラレル・インタフェースのカウンタ</p> <p>備考 2 を追加</p> <p>3. 8 MPU 拡張アクセス機能</p> <p>記述を修正</p> <p>3. 11. 2 全ポート・ループバック</p> <p>注意 2 を追加</p>
第 4 章	<p>4. 3. 1 信号の対応</p> <p>ISOC, SOC (端子名) を修正</p> <p>4. 3. 3 POS-PHY マスタ受信オペレーション</p> <p>(1) パケット・レベル・モードの記述を修正</p> <p>注意を追加</p> <p>図 4 - 40 転送停止状態に陥る入力波形例を追加</p> <p>(2) バイト・レベル・モードの記述を修正</p> <p>4. 3. 4 POS-PHY スレーブ送信オペレーション</p> <p>記述を修正</p> <p>4. 3. 5 POS-PHY スレーブ受信オペレーション</p> <p>記述を修正</p>

章	改訂箇所
第 5 章	5.3 ライト・オペレーション 備考 2 を追加
第 6 章	6.2 レジスタ詳細 (5) UTOPIA セル・フォーマット 0 レジスタを修正, (6) UTOPIA セル・フォーマット 1 レジスタを修正の UDFEN (ビット名) の誤記を修正 (7) バス幅変換モード設定レジスタを修正 (30) 入力パラレル・インタフェース・カウンタ制御レジスタに注意を追加 (37) 出力パラレル・インタフェース・カウンタ制御レジスタに注意を追加 (53) 入力パラレル・プロトコル・エラー割り込み要因詳細レジスタを修正, 注意 2 を追加 (58) 入力パラレル・カウンタ・オーバーフロー割り込み要因詳細マスク・レジスタに注意を追加 (62) 出力 FIFO エラー割り込み要因詳細レジスタに備考 2 を追加 (64) 出力パラレル・カウンタ・オーバーフロー割り込み要因詳細レジスタに注意を追加 (100) Line0 フレーム・カウンタ・オーバーフロー割り込み要因詳細レジスタに注意を追加 (103) Line0 フレーム・カウンタ制御レジスタに注意を追加 (127) Line1 フレーム・カウンタ・オーバーフロー割り込み要因詳細レジスタに注意を追加 (130) Line1 フレーム・カウンタ制御レジスタに注意を追加
第 9 章	9.2 カウンタのクリア異常を追加 9.3 SOP エラーの不正検出異常を追加

B.3 第3版で改訂された主な箇所

(1/2)

章	改訂箇所
全般	暫定削除
第1章	1.1 特徴 表 1-1 パラレル・インタフェース・モードを修正
第2章	2.4.1 パラレル・インタフェース OENB[3:0]の機能を修正 OERR, OMOD, OPCK のシリアル番号, アドレス番号を修正 2.6 端子の初期状態 備考を追加 2.7.1 モードの接続形態 注を削除
第3章	3.2.5 バンドル・モード 図 3-9 デュアル・ライン・モードの動作概要を修正 3.3.6 フロー制御と出力 FIFO の設定 図, 本文を修正 3.4.1 マスタ/スレーブ動作の切り替え 図 3-18 マスタ/スレーブの設定の注意 4 を削除 3.4.3 セル・フォーマットの設定 図 3-19 ATM セルの構造 (ユーザ・網インタフェース (UNI) の場合) を修正 図 3-20 セル・フォーマットを修正 表 3-7 セル・フォーマット設定とトータル・セル長を修正 3.4.6 HEC の生成 (オプション) (1) HEC の生成 (UCF0 レジスタ: HGEN ビット = 1) を修正 3.4.7 論理ポートのイネーブル/ディスエーブル 図 3-29 デュアル・ライン・モード接続時のポート・アドレス変換 (UTOPIA 標準アクセス時) を修正 3.4.11 エラー検出 表 3-18 入力パラレル・インタフェースで検出するエラーを修正 表 3-19 出力パラレル・インタフェースで検出するエラー (UTOPIA モード) を修正 3.4.12 カウンタ機能 表 3-20 UTOPIA インタフェースでカウントするイベントを修正 3.5.1 マスタ/スレーブ動作の切り替え 注意を削除 3.5.6 入力 FIFO のしきい値設定を修正 3.5.7 エラー検出を修正 3.7.3 パラレル・インタフェースのカウンタ (1) 入力データ・カウンタに備考を追加 3.11.1 単一ポート・ループバック (1) LPP モード (入力 FIFO から出力 FIFO へのループ) に注意を追加 (2) LPS モード (シリアル入力からシリアル出力へのループ) に注意を追加 (3) 単一ポート・ループバック時の注意事項に項目を追加 3.11.2 全ポート・ループバックを修正 3.13.3 受信オペレーション 図 3-52 受信パラレル・データの出カタイミングを修正

章	改訂箇所
第 4 章	<p>4.2.1 信号の対応</p> <p>図 4-2 UTOPIA インタフェース信号の注意を削除</p> <p>表 4-1 μPD98441 信号名と UTOPIA 標準の信号名の対応 (μPD98441 がマスタ・モード時) を修正</p> <p>4.3.1 信号の対応</p> <p>注意を削除</p> <p>4.3.4 POS-PHY スレーブ送信オペレーション</p> <p>本文を修正</p> <p>4.3.5 POS-PHY スレーブ受信オペレーション</p> <p>本文を修正</p>
第 6 章	<p>6.1 レジスタ・マップ</p> <p>本文を修正</p> <p>6.2 レジスタ詳細</p> <p>(1) ソフト・リセット・コマンド・レジスタの PLLINIT ビットを修正</p> <p>(4) パラレル・インタフェース・モード設定レジスタを修正</p> <p>図 6-3 識別子の挿入位置設定を修正</p> <p>(11) LPP ポート・アドレス設定レジスタに注意 3 を追加</p> <p>(12) LPS ポート・アドレス設定レジスタに注意を追加</p> <p>(20) MPU インタフェース割り込み要因詳細レジスタを修正</p> <p>(38) 出力データ・カウンタ対象ポート設定レジスタを修正</p> <p>(42) 入力 FIFO 設定レジスタ 1 を修正</p> <p>(43) 入力 FIFO 設定レジスタ 2 を修正</p> <p>(44) 入力 FIFO オーバフロー・アドレス・レジスタを修正</p> <p>(60) 出力パラレル・プロトコル・エラー割り込み要因詳細レジスタを修正</p> <p>(62) 出力 FIFO エラー割り込み要因詳細レジスタを修正</p> <p>(70) BIST モニタ・レジスタに備考 2 を追加</p> <p>(74) ALM 端子出力設定レジスタを修正</p> <p>表 6-2 RALMn レジスタの設定と ALM 端子出力情報を修正</p> <p>(76) フレーム送信イネーブル・レジスタを修正</p> <p>(79) フレーム受信イネーブル・レジスタを修正</p> <p>(82) 擬似 FCS エラー・フレーム送出コマンド・レジスタを修正</p> <p>(87) Line0 応答データ受信割り込み要因詳細レジスタを修正</p> <p>(88) Line0 応答データ受信割り込み要因マスク・レジスタを修正</p> <p>(90) Line0 受信要求コマンド割り込み要因詳細レジスタを修正</p> <p>(91) Line0 受信要求コマンド割り込み要因マスク・レジスタを修正</p> <p>(96) Line0 リモート受信ライン・エラー割り込み要因詳細レジスタを修正</p> <p>(98) Line0 リモート EXIN 端子ステータス割り込み要因詳細レジスタを修正</p> <p>(99) Line0 リモート EXIN 端子ステータス割り込み要因マスク・レジスタを修正</p> <p>(114) Line1 応答データ受信割り込み要因詳細レジスタを修正</p> <p>(115) Line1 応答データ受信割り込み要因マスク・レジスタを修正</p> <p>(117) Line1 受信要求コマンド割り込み要因詳細レジスタを修正</p> <p>(118) Line1 受信要求コマンド割り込み要因マスク・レジスタを修正</p> <p>(123) Line1 リモート受信ライン・エラー割り込み要因詳細レジスタを修正</p> <p>(124) Line1 リモート受信ライン・エラー割り込み要因マスク・レジスタを修正</p> <p>(125) Line1 リモート EXIN 端子ステータス割り込み要因詳細レジスタを修正</p> <p>(126) Line1 リモート EXIN 端子ステータス割り込み要因マスク・レジスタを修正</p>
第 7 章	<p>第 7 章 シリアル・インタフェース用電源 / GND の接続</p> <p>図 7-1 シリアル・インタフェース電源 / GND 接続例を修正</p>
第 9 章	第 9 章 制限事項を追加

(メ モ)

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：**044(435)5111**

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) **<http://www.necel.co.jp/>**

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電話：**044-435-9494**

E-mail：**info@necel.com**

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
