

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

ユーザース・マニュアル

保守/廃止

μ PD98431

10/100 Mbps イーサネット™・コントローラ

資料番号 S14054JJ4V0UM00 (第4版)
発行年月 July 2001 NS CP(K)

© NEC Corporation 1999

〔メモ〕

目 次 要 約

第1章 概 説 ...	13
第2章 端子機能 ...	18
第3章 機能説明 ...	29
第4章 レジスタ説明 ...	73
第5章 統計カウンタ ...	112
第6章 JTAGバウンダリ・スキャン ...	127

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

イーサネットは、米国ゼロックス社の商標です。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

本版で改訂された主な箇所

箇 所	内 容
p.19	第 2 章 (1) レジスタ・インタフェース HCLK の注意を修正
p.20	第 2 章 (2) FIFO インタフェース FCLK の注意を修正
p.27	第 2 章 (4) JTAG ピン TRST#の記述を修正
p.34	3. 4. 1 (2) CRC の付加に記述を追加および修正
p.35	3. 4. 1 (3) PAD の追加の記述を一部削除
p.54	3. 7. 1 (2) (b) SKIP 信号の記述を修正
p.73, 74	4. 1 (1) ポート制御レジスタ・マップ 次のレジスタのデフォルト値を修正 CLRT, MACC3, TIMR, RIMR, TSVREG1, TSVREG2, RSVREG, FSVREG
p.76-105	4. 2 ポート設定レジスタ 次のレジスタに記述を追加および修正 MACC1, CAR1, CAR2, CAM1, MACC3, TSVREG1, TSVREG2, RSVREG, TFIC 次のレジスタのビット名を修正 MIIC 次のレジスタのデフォルト値を修正 MACC3 : PTIME

本文欄外の 印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者 このマニュアルは、 μ PD98431の機能を理解し、それを設計、開発するユーザを対象としています。

目的 このマニュアルは、次の構成に示す μ PD98431の持つハードウェア機能を、ユーザに理解していただくことを目的としています。

構成 このマニュアルは、大きく分けて次の内容で構成しています。

概説
端子機能
機能説明
レジスタ説明
統計カウンタ
JTAG バウンダリ・スキャン

読み方 このマニュアルを読むにあたっては、電気、論理回路およびマイクロコンピュータの一般知識を必要とします。

一通り μ PD98431の機能を理解しようとするとき
目次に従ってお読みください。

凡例

データ表記の重み	: 左が上位桁, 右が下位桁
アクティブ・ロウの表記	: XXX# (端子, 信号名称に#)
メモリ・マップのアドレス	: 上部 - 上位, 下部 - 下位
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文中の補足説明
数の表記	: 2進数 ... $x \times x \times x$ または $x \times x \times x \times B$
	10進数 ... $x \times x \times x$
	16進数 ... $x \times x \times x \times H$

2のべき数を示す接頭語 (アドレス空間, メモリ容量):

K (キロ)	: $2^{10}=1024$
M (メガ)	: $2^{20}=1024^2$
G (ギガ)	: $2^{30}=1024^3$

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

データ・シート: S14150J

目 次

第 1 章 概 説 ...	13
1.1 特 徴 ...	13
1.2 オーダ情報 ...	13
1.3 端子配置 ...	14
1.4 内部ブロック図 ...	17
1.5 システム構成例 ...	17
第 2 章 端子機能 ...	18
第 3 章 機能説明 ...	29
3.1 システム構成 ...	29
3.2 機能ブロック ...	30
3.2.1 MAC モジュール ...	30
3.2.2 PCS モジュール ...	31
3.2.3 SAL (Station Address Logic) モジュール ...	31
3.2.4 STAT (STATistics counter) モジュール ...	31
3.2.5 内蔵 FIFO ...	31
3.2.6 FIFO バス・モジュール ...	32
3.2.7 MII マネジメント・モジュール ...	32
3.2.8 レジスタ・バス・モジュール ...	32
3.2.9 動作クロック ...	32
3.3 フレーム・フォーマット ...	33
3.4 送信動作 ...	34
3.4.1 送信パケットの生成 ...	34
3.4.2 パケット送信の開始 ...	35
3.4.3 パケット間ギャップの設定 ...	35
3.4.4 コリジョンと再送信 ...	36
3.4.5 送信の終了とアポート ...	37
3.5 受信動作 ...	38
3.5.1 プリアンブルおよび SFD の検出 ...	38
3.5.2 レングス・フィールド・チェック ...	38
3.5.3 CRC チェック ...	38
3.5.4 パケット・フィルタリング ...	38
3.5.5 アドレス・フィルタリング ...	39
3.5.6 受信 FIFO オーバフロー ...	40
3.5.7 受信 FIFO のクリア ...	40

- 3.6 全二重動作 ... 40
- 3.7 システム・バス・インタフェース ... 41
 - 3.7.1 FIFO バス・インタフェース ... 41
 - 3.7.2 レジスタ・バス・インタフェース ... 59
- 3.8 ネットワーク・インタフェース ... 62
 - 3.8.1 MII (Media Independent Interface) ... 62
 - 3.8.2 MII マネジメント・インタフェース ... 62
 - 3.8.3 μ PD98431 MII 出力信号端子の接続 ... 64
 - 3.8.4 10 Mbps シリアル・インタフェース ... 64
- 3.9 フロー制御 ... 64
 - 3.9.1 コントロール・フレーム受信 ... 65
 - 3.9.2 フロー制御ポーズ・タイマ ... 65
 - 3.9.3 ポーズ・コントロール・フレーム送信 ... 65
- 3.10 バック・プレッシャ ... 66
- 3.11 VLAN フレームに対する動作 ... 66
 - 3.11.1 VLAN フレームの検出 ... 66
 - 3.11.2 VLAN フレームの受信 ... 66
 - 3.11.3 VLAN フレームの送信 ... 66
- 3.12 統計カウンタ ... 67
- 3.13 ループバック ... 67
- 3.14 ミラー・ポート機能 ... 67
- 3.15 低電力モード ... 69
- 3.16 μ PD98431 使用上の注意事項 ... 70

第 4 章 レジスタ説明 ... 73

- 4.1 制御レジスタ・マップ ... 73
- 4.2 ポート設定レジスタ ... 75
- 4.3 グローバル・レジスタ ... 106

第 5 章 統計カウンタ ... 112

第 6 章 JTAG バウンダリ・スキャン ... 127

- 6.1 特 徴 ... 127
- 6.2 バウンダリ・スキャン回路内部構成 ... 128
 - 6.2.1 インストラクション・レジスタ (Instruction register) ... 128
 - 6.2.2 TAP コントローラ (Test Access Port controller) ... 128
 - 6.2.3 バイパス・レジスタ (Bypass register) ... 128
 - 6.2.4 バウンダリ・スキャン・レジスタ (Boundary Scan register) ... 129
- 6.3 端子機能 ... 129
 - 6.3.1 TCK 端子 (JTAG Test Clock pin) ... 129
 - 6.3.2 TMS 端子 (JTAG Test Mode Select pin) ... 129

- 6.3.3 TDI 端子 (JTAG Test Data Input pin) ... 129
- 6.3.4 TDO 端子 (JTAG Test Data Output pin) ... 129
- 6.3.5 TRST#端子 (JTAG Reset pin) ... 129
- 6.4 動作説明 ... 130**
 - 6.4.1 TAP コントローラ ... 130
 - 6.4.2 TAP コントローラ状態 ... 130
- 6.5 TAP コントローラ動作 ... 137**
- 6.6 TAP コントローラの初期化 ... 140**
- 6.7 インストラクション・レジスタ ... 140**
 - 6.7.1 BYPASS 命令 ... 141
 - 6.7.2 EXTEST 命令 ... 141
 - 6.7.3 SAMPLE/PRELOAD 命令 ... 141

図の目次

図番号	タイトル, ページ
3 - 1	μ PD98431 を使ったシステム構成例 ... 29
3 - 2	μ PD98431 機能ブロック図 ... 30
3 - 3	イーサネット / IEEE802.3 フレーム構造 ... 33
3 - 4	VLAN フレーム構造 ... 34
3 - 5	FIFO インタフェース書き込みタイミング ... 42
3 - 6	TXFPT[2:0]による送信データ書き込みポートの切り替えタイミング ... 45
3 - 7	FIFO インタフェース読み出しタイミング ... 47
3 - 8	受信データ読み出し完了後のポート切り替えタイミング ... 50
3 - 9	SKIP 信号による読み出しポート切り替えタイミング (読み出し開始前) ... 53
3 - 10	SKIP 信号による読み出しポート切り替えタイミング (読み出し中) ... 55
3 - 11	64 ビット・シングル・バス・モードにおける FIFO バス・リード / ライト切り替えタイミング ... 58
3 - 12	レジスタ・アドレス・バス ... 61
3 - 13	MII マネジメント・フレーム構造 ... 63
3 - 14	MII 出力信号端子の接続 ... 64
3 - 15	MII データのミラー・ポートへの出力 ... 68
6 - 1	バウンダリ・スキャン回路ブロック図 ... 128
6 - 2	TAP コントローラの状態 ... 130
6 - 3	コントローラ状態での動作タイミング ... 131
6 - 4	テスト・ロジックの動作 (インストラクション・スキャン) ... 138
6 - 5	テスト・ロジックの動作 (データ・スキャン) ... 139

表の目次

表番号	タイトル, ページ
3 - 1	TXFDQ 端子と送信データ属性 (32 ビット・デュアル・バス) ... 43
3 - 2	FDQ 端子と送信データ属性 (64 ビット・シングル・バス) ... 44
3 - 3	RXFDQ 端子と受信データ属性 (32 ビット・デュアル・バス) ... 48
3 - 4	FDQ 端子と受信データ属性 (64 ビット・シングル・バス) ... 49
3 - 5	MIIC レジスタ : CLKS ビットと HCLK の周波数 ... 62
3 - 6	ミラー・ポート 0 設定 ... 68
3 - 7	ミラー・ポート 4 設定 ... 69
6 - 1	それぞれのコントローラ状態における動作 ... 137

第1章 概 説

μPD98431 は IEEE 802.3 および IEEE 802.3u に準拠した Media Access Control (MAC) 機能を、8 ポート内蔵した 10/100 Mbps イーサネット・コントローラです。主な特長は次のとおりです。

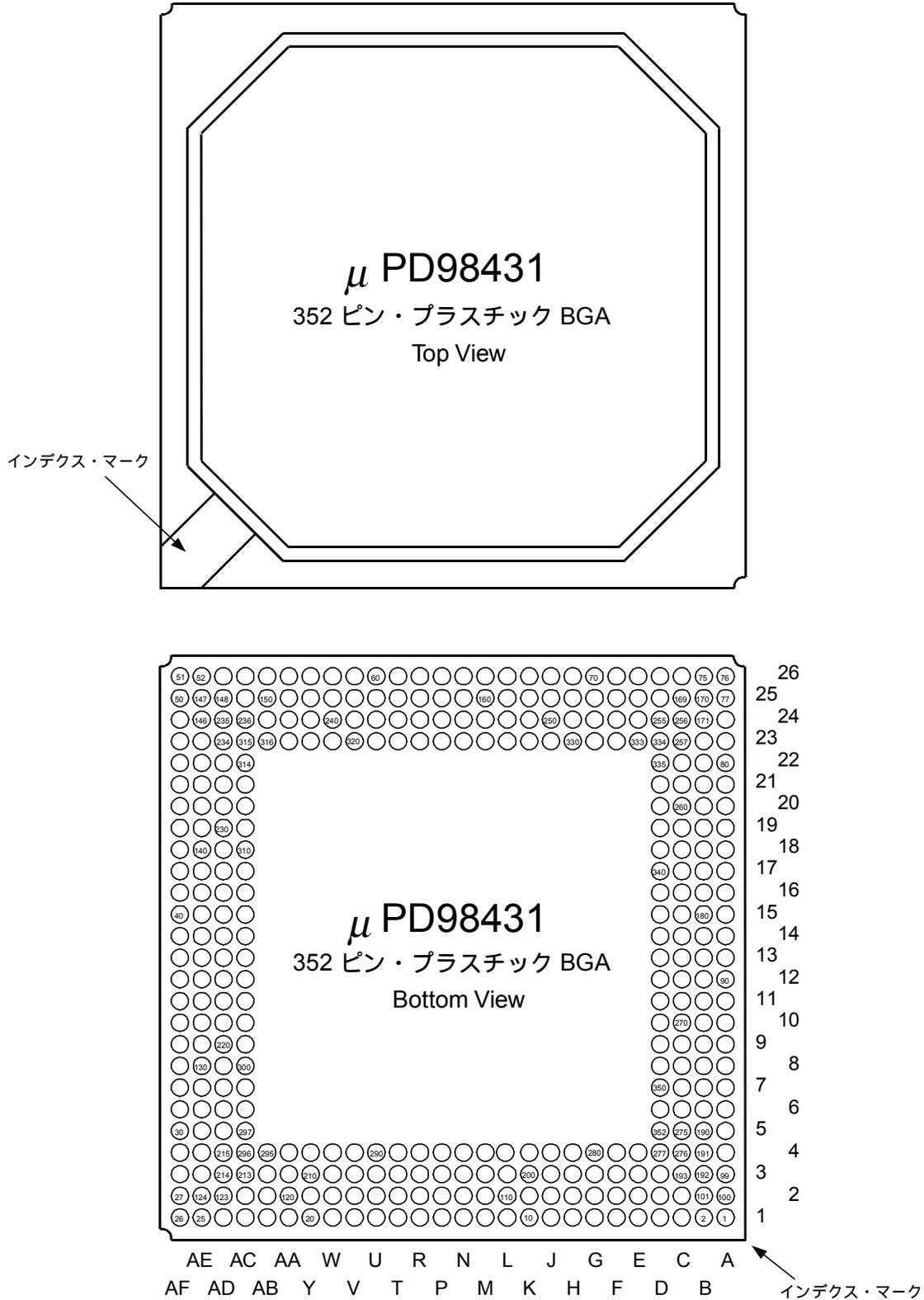
1.1 特 徴

- ・ IEEE 802.3 および IEEE 802.3u に準拠した 10/100 Mbps イーサネット MAC を 8 ポート内蔵
- ・ 物理層デバイスとのインタフェースとして MII および 10 Mbps シリアル・インタフェースをサポート
- ・ 各ポートごと、受信 FIFO : 2K バイト、送信 FIFO : 512 バイトの FIFO を内蔵
- ・ 32/64 ビット×66 MHz の高速 FIFO データ・バス・インタフェースを実現
- ・ 全二重動作可能で、IEEE 802.3x フロー制御にも対応
- ・ RMON/SNMP をサポートするための統計情報カウンタを内蔵
- ・ アドレス・タイプに応じたフィルタリング条件の設定が可能
- ・ VLAN フレーム検出機能内蔵
- ・ ミラー・ポート機能内蔵
- ・ JTAG サポート
- ・ 電源電圧 : 3.3 V

1.2 オーダ情報

オーダ名称	パッケージ
μPD98431S1-F6	352 ピン・プラスチック BGA (35 × 35)

1.3 端子配置



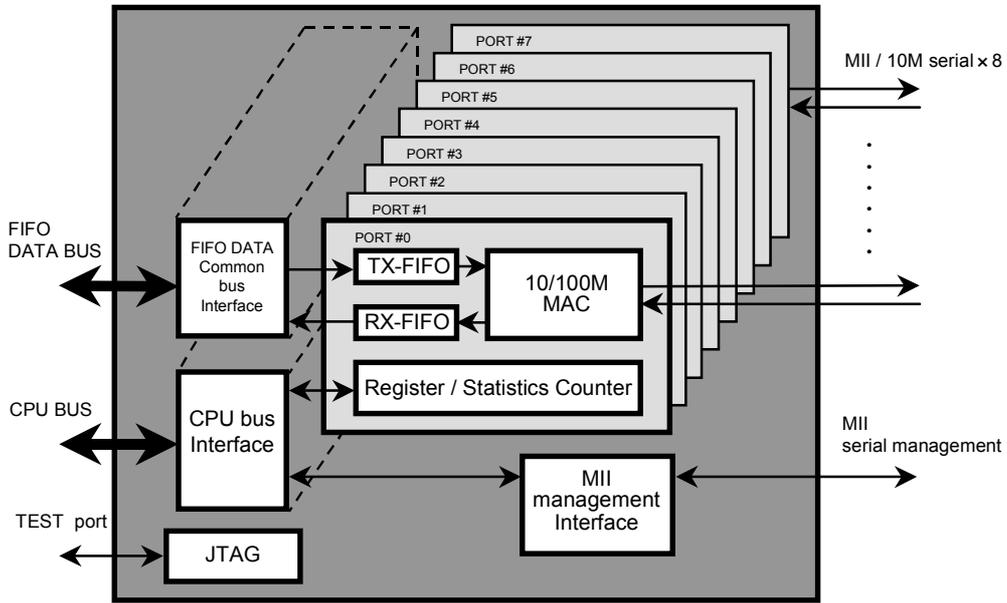
(1/2)

端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
1(A1)	TXFD30/FD62	51(AF26)	D28	101(B2)	TXFD27/FD59	151(AA25)	D16
2(B1)	TXFD29/FD61	52(AE26)	D27	102(C2)	TXFD28/FD60	152(Y25)	D13
3(C1)	TXFD26/FD58	53(AD26)	D24	103(D2)	TXFD24/FD56	153(W25)	D9
4(D1)	TXFD23/FD55	54(AC26)	D21	104(E2)	TXFD21/FD53	154(V25)	D6
5(E1)	TXFD20/FD52	55(AB26)	D18	105(F2)	TXFD18/FD50	155(U25)	D3
6(F1)	TXFD17/FD49	56(AA26)	D15	106(G2)	TXFD15/FD47	156(T25)	TXFBA7
7(G1)	TXFD14/FD46	57(Y26)	D12	107(H2)	TXFD11/FD43	157(R25)	TXFBA4
8(H1)	TXFD10/FD42	58(W26)	D8	108(J2)	TXFD8/FD40	158(P25)	TXFBA0
9(J1)	TXFD7/FD39	59(V26)	D5	109(K2)	TXFD5/FD37	159(N25)	TXFBA1
10(K1)	TXFD4/FD36	60(U26)	D2	110(L2)	TXFD1/FD33	160(M25)	TXFPT2
11(L1)	TXFD0/FD32	61(T26)	TXFBA6	111(M2)	RXFDQ1/FDQ1	161(L25)	TXFPT0
12(M1)	RXFDQ2/FDQ2	62(R26)	TXFBA3	112(N2)	FCLK	162(K25)	TXFDQ1
13(N1)	RXFD31/FD31	63(P26)	RXFPT2	113(P2)	RXFA	163(J25)	TXFEN#/FRW
14(P1)	RXFD30/FD30	64(N26)	RXFPT1	114(R2)	RXFD28/FD28	164(H25)	ACK#
15(R1)	RXFD29/FD29	65(M26)	RXFPT0	115(T2)	RXFD26/FD26	165(G25)	RW
16(T1)	RXFD27/FD27	66(L26)	TXFPT1	116(U2)	RXFD23/FD23	166(F25)	A8
17(U1)	RXFD24/FD24	67(K26)	TXFDQ2	117(V2)	RXFD20/FD20	167(E25)	A5
18(V1)	RXFD21/FD21	68(J26)	RXFEN#/FEN#	118(W2)	RXFD17/FD17	168(D25)	A3
19(W1)	RXFD18/FD18	69(H26)	SKIP	119(Y2)	RXFD13/FD13	169(C25)	TCK
20(Y1)	RXFD14/FD14	70(G26)	CS#	120(AA2)	RXFD10/FD10	170(B25)	TEST3
21(AA1)	RXFD11/FD11	71(F26)	A9	121(AB2)	RXFD7/FD7	171(B24)	MDIO
22(AB1)	RXFD8/FD8	72(E26)	A6	122(AC2)	RXFD5/FD5	172(B23)	TXER0
23(AC1)	RXFD4/FD4	73(D26)	A2	123(AD2)	RXFD1/FD1	173(B22)	TXD02
24(AD1)	RXFD0/FD0	74(C26)	TDO	124(AE2)	TXD43	174(B21)	TXCLK0
25(AE1)	TEST0	75(B26)	TRST#	125(AE3)	TXEN4	175(B20)	RXD03
26(AF1)	CRS4	76(A26)	TDI	126(AE4)	TXD40	176(B19)	RXD00
27(AF2)	TXER4	77(A25)	MDC	127(AE5)	RXDV4	177(B18)	CRS1
28(AF3)	TXD42	78(A24)	COL0	128(AE6)	RXD41	178(B17)	TXD12
29(AF4)	TXCLK4	79(A23)	TXEN0	129(AE7)	COL5	179(B16)	TXCLK1
30(AF5)	RXD43	80(A22)	TXD01	130(AE8)	TXEN5	180(B15)	RXD13
31(AF6)	RXD40	81(A21)	RXER0	131(AE9)	TXD51	181(B14)	RXCLK1
32(AF7)	CRS5	82(A20)	RXD02	132(AE10)	RXDV5	182(B13)	RXD10
33(AF8)	TXD53	83(A19)	RXCLK0	133(AE11)	RXD51	183(B12)	TXEN2
34(AF9)	TXD50	84(A18)	TXER1	134(AE12)	COL6	184(B11)	TXD22
35(AF10)	RXD53	85(A17)	TXD11	135(AE13)	TXD63	185(B10)	RXER2
36(AF11)	RXD50	86(A16)	RXER1	136(AE14)	TXEN6	186(B9)	RXD22
37(AF12)	CRS6	87(A15)	RXD12	137(AE15)	TXCLK6	187(B8)	RXCLK2
38(AF13)	TXD62	88(A14)	COL2	138(AE16)	RXDV6	188(B7)	TXER3
39(AF14)	TXD61	89(A13)	CRS2	139(AE17)	RXD60	189(B6)	TXD32
40(AF15)	TXD60	90(A12)	TXER2	140(AE18)	CRS7	190(B5)	TXCLK3
41(AF16)	RXER6	91(A11)	TXD23	141(AE19)	TXD73	191(B4)	RXDV3
42(AF17)	RXD61	92(A10)	TXCLK2	142(AE20)	TXD70	192(B3)	RXD30
43(AF18)	COL7	93(A9)	RXD23	143(AE21)	RXDV7	193(C3)	TXFD31/FD63
44(AF19)	TXEN7	94(A8)	RXD20	144(AE22)	RXD71	194(D3)	TXFD25/FD57
45(AF20)	TXD71	95(A7)	CRS3	145(AE23)	RXCLK7	195(E3)	TXFD22/FD54
46(AF21)	RXER7	96(A6)	TXD33	146(AE24)	TEST2	196(F3)	TXFD19/FD51
47(AF22)	RXD72	97(A5)	TXD30	147(AE25)	D25	197(G3)	TXFD16/FD48
48(AF23)	RESET#	98(A4)	RXD33	148(AD25)	D26	198(H3)	TXFD12/FD44
49(AF24)	D31	99(A3)	RXCLK3	149(AC25)	D22	199(J3)	TXFD9/FD41
50(AF25)	D30	100(A2)	TEST1	150(AB25)	D19	200(K3)	TXFD6/FD38

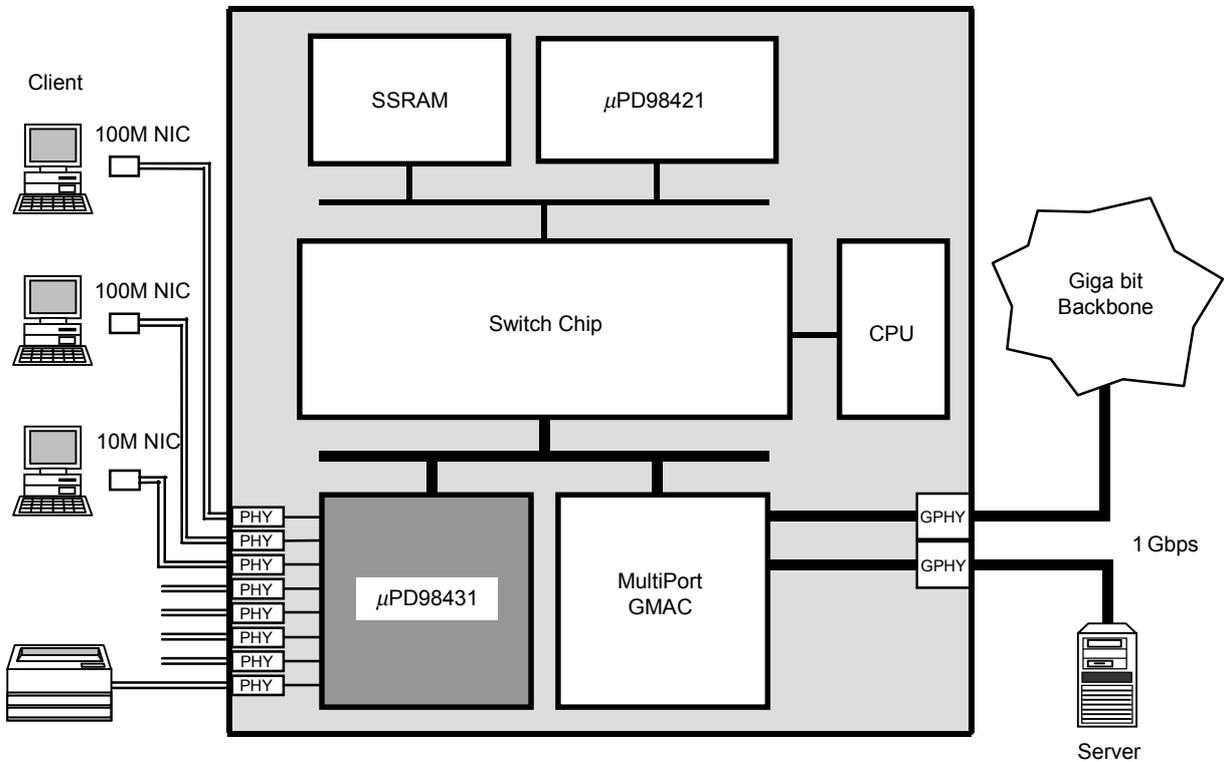
(2/2)

端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
201(L3)	TXFD3/FD35	239(Y24)	D14	277(D4)	GND	315(AC23)	GND
202(M3)	TXFD2/FD34	240(W24)	D10	278(E4)	GND	316(AB23)	GND
203(N3)	RXFDQ0/FDQ0	241(V24)	D7	279(F4)	VDD	317(AA23)	VDD
204(P3)	RXFDQ3/FDQ3	242(U24)	D4	280(G4)	GND	318(Y23)	GND
205(R3)	RXFD25/FD25	243(T24)	D1	281(H4)	GND	319(W23)	GND
206(T3)	RXFD22/FD22	244(R24)	D0	282(J4)	TXFD13/FD45	320(V23)	D11
207(U3)	RXFD19/FD19	245(P24)	TXFBA5	283(K4)	VDD	321(U23)	VDD
208(V3)	RXFD16/FD16	246(N24)	TXFBA2	284(L4)	GND	322(T23)	GND
209(W3)	RXFD12/FD12	247(M24)	TXFDQ3	285(M4)	VDD	323(R23)	VDD
210(Y3)	RXFD9/FD9	248(L24)	TXFDQ0	286(N4)	GND	324(P23)	GND
211(AA3)	RXFD6/FD6	249(K24)	PASS	287(P4)	GND	325(N23)	GND
212(AB3)	RXFD3/FD3	250(J24)	HCLK	288(R4)	VDD	326(M23)	VDD
213(AC3)	RXFD2/FD2	251(H24)	A10	289(T4)	GND	327(L23)	GND
214(AD3)	COL4	252(G24)	A7	290(U4)	VDD	328(K23)	VDD
215(AD4)	TXD41	253(F24)	A4	291(V4)	RXFD15/FD15	329(J23)	INT#
216(AD5)	RXER4	254(E24)	A1	292(W4)	GND	330(H23)	GND
217(AD6)	RXD42	255(D24)	A0	293(Y4)	GND	331(G23)	GND
218(AD7)	RXCLK4	256(C24)	TMS	294(AA4)	VDD	332(F23)	VDD
219(AD8)	TXER5	257(C23)	CRS0	295(AB4)	GND	333(E23)	GND
220(AD9)	TXD52	258(C22)	TXD03	296(AC4)	GND	334(D23)	GND
221(AD10)	RXER5	259(C21)	TXD00	297(AC5)	VDD	335(D22)	VDD
222(AD11)	TXCLK5	260(C20)	RXDV0	298(AC6)	CLAMP	336(D21)	CLAMP
223(AD12)	RXD52	261(C19)	RXD01	299(AC7)	GND	337(D20)	GND
224(AD13)	RXCLK5	262(C18)	COL1	300(AC8)	VDD	338(D19)	VDD
225(AD14)	TXER6	263(C17)	TXD13	301(AC9)	CLAMP	339(D18)	CLAMP
226(AD15)	RXD63	264(C16)	TXEN1	302(AC10)	GND	340(D17)	GND
227(AD16)	RXCLK6	265(C15)	TXD10	303(AC11)	VDD	341(D16)	VDD
228(AD17)	TXER7	266(C14)	RXDV1	304(AC12)	CLAMP	342(D15)	CLAMP
229(AD18)	TXD72	267(C13)	RXD11	305(AC13)	GND	343(D14)	GND
230(AD19)	TXCLK7	268(C12)	TXD21	306(AC14)	RXD62	344(D13)	TXD20
231(AD20)	RXD73	269(C11)	RXDV2	307(AC15)	VDD	345(D12)	VDD
232(AD21)	RXD70	270(C10)	RXD21	308(AC16)	VDD	346(D11)	VDD
233(AD22)	TEST4	271(C9)	COL3	309(AC17)	GND	347(D10)	GND
234(AD23)	TEST5	272(C8)	TXEN3	310(AC18)	CLAMP	348(D9)	CLAMP
235(AD24)	D29	273(C7)	TXD31	311(AC19)	VDD	349(D8)	VDD
236(AC24)	D23	274(C6)	RXER3	312(AC20)	GND	350(D7)	GND
237(AB24)	D20	275(C5)	RXD32	313(AC21)	CLAMP	351(D6)	CLAMP
238(AA24)	D17	276(C4)	RXD31	314(AC22)	VDD	352(D5)	VDD

1.4 内部ブロック図



1.5 システム構成例



第2章 端子機能

(1) レジスタ・インタフェース

(1/2)

端子名	端子番号	I/O	機 能
CS#	70	I	チップ・セレクト この信号がロウ・レベルであるとき、チップ内のレジスタへのアクセスが可能になります。
RW	165	I	ホスト・リード/ライト レジスタ・バスに対してホスト・システムがアクセスを行う際に使用します。この端子にハイ・レベルが入力されるとリード・アクセス、ロウが入力されるとライト・アクセスを実行します。
A[10:0]	251,71,166,252, 72,167,253,168, 73,254,255	I	レジスタ・アドレス A[10:0] には、 μ PD98431 内のレジスタにアクセスする際、アクセスするポートおよびレジスタを選択するために必要なアドレスを与えます。 μ PD98431 は各ポートごとに 32 ビット幅のレジスタを持っています。A[10:8]はポートを指定し、A[7:0]はレジスタ・アドレスを指定します。 A[10:8]の設定とポート番号の関係を次に示します。 ポート 0 A[10:8] = 000B ポート 1 A[10:8] = 001B ポート 2 A[10:8] = 010B ポート 3 A[10:8] = 011B ポート 4 A[10:8] = 100B ポート 5 A[10:8] = 101B ポート 6 A[10:8] = 110B ポート 7 A[10:8] = 111B
D[31:0]	49,50,235,51,52, 148,147,53,236, 149,54,237,150, 55,238,151,56, 239,152,57,320, 240,153,58,241, 154,59,242,155, 60,243,244	I/O 3 ステート	レジスタ・データ μ PD98431 内部のレジスタにアクセスするための双方向データ・バスです。
INT#	329	O オープン・ドレーン	割り込み信号 割り込み要求信号です。割り込み要因が発生した場合にロウ・レベルになります。割り込みが発生した場合、すべての割り込みステータスがクリアされるまで、ロウ・レベルを保持します。 この信号はオープン・ドレーン出力になっています。

(2/2)

端子名	端子番号	I/O	機能
RESET#	48	I	ハードウェア・リセット アクティブ・ロウの非同期リセット信号です。ハードウェア・リセット直後は、すべてのレジスタはデフォルト値となり、すべての FIFO およびすべてのカウンタはクリアされます。
ACK#	164	O 3ステート	レジスタ・データ・アクノリッジ レジスタ・リード動作時には、D[31:0]上のデータが有効であることを示します。この信号がロウ・レベルのとき、D[31:0]上に読み出されたデータが存在します。 レジスタ・ライト動作時には、書き込み動作が終了したことを示します。
HCLK	250	I	レジスタ・インタフェース・クロック レジスタ・アクセスのための同期クロック入力です。最大周波数は 66 MHz となります。 注意 HCLK の周波数が RXCLK および TXCLK の周波数を常に越えるように設定してください。

(2) FIFO インタフェース

(1/4)

端子名	端子番号	I/O	機能
RXFEN#/ FEN#	68	I	FIFO バス受信イネーブル / FIFO バス・イネーブル この信号の機能は、FIFO バス・モードによって異なります。 (1)32 ビット・デュアル・バス・モード RXFEN#として機能します。この信号がロウ・レベルになると、受信 FIFO バス・インタフェースがイネーブルされ、受信 FIFO からの読み出しが可能になります。 (2)64 ビット・シングル・バス・モード FEN#として機能します。この信号がロウ・レベルになると、FIFO バス・インタフェースがイネーブルされ、受信 FIFO からの読み出しおよび送信 FIFO への書き込みが可能になります。
TXFEN#/ FRW	163	I	FIFO バス送信イネーブル / FIFO バス方向 この信号の機能は、FIFO バス・モードによって異なります。 (1)32 ビット・デュアル・バス・モード TXFEN#として機能します。この信号がロウ・レベルになると、送信 FIFO バス・インタフェースがイネーブルされ、送信 FIFO への書き込みが可能になります。 (2)64 ビット・シングル・バス・モード FRW として機能します。FIFO バス・アクセスの方向を指定します。 この信号がハイ・レベルの場合、受信 FIFO からのリード・アクセスとなります。 この信号がロウ・レベルのときは、送信 FIFO へのライト・アクセスとなります。

(2/4)

端子名	端子番号	I/O	機 能
FCLK	112	I	<p>FIFO バス・クロック</p> <p>FIFO バスは FCLK に同期して動作します。最大周波数は 66 MHz となります。</p> <p>注意 FCLK の周波数が RXCLK および TXCLK の周波数を常に越えるように設定してください。</p>
RXFPT[2:0]	63-65	O 3 ステート	<p>受信ポート番号</p> <p>受信 FIFO リード・アクセス時に、受信データが出力されるポート番号を示します。RXFPT[2:0]とポート番号の関係を次に示します。</p> <p>ポート 0 RXFPT[2:0]=000B ポート 1 RXFPT[2:0]=001B ポート 2 RXFPT[2:0]=010B ポート 3 RXFPT[2:0]=011B ポート 4 RXFPT[2:0]=100B ポート 5 RXFPT[2:0]=101B ポート 6 RXFPT[2:0]=110B ポート 7 RXFPT[2:0]=111B</p>
TXFPT[2:0]	160,66,161	I	<p>送信ポート番号</p> <p>送信 FIFO ライト・アクセス時に、送信データを書き込む送信 FIFO のポート番号を示します。TXFPT[2:0]とポート番号の関係を次に示します。</p> <p>ポート 0 TXFPT[2:0]=000B ポート 1 TXFPT[2:0]=001B ポート 2 TXFPT[2:0]=010B ポート 3 TXFPT[2:0]=011B ポート 4 TXFPT[2:0]=100B ポート 5 TXFPT[2:0]=101B ポート 6 TXFPT[2:0]=110B ポート 7 TXFPT[2:0]=111B</p>

(3/4)

端子名	端子番号	I/O	機 能
TXFD[31:0], RXFD[31:0]/ FD[63:0]	193,1,2,102,101, 3,194,103,4,195, 104,5,196,105,6, 197,106,7,282, 198,107,8,199, 108,9,200,109, 10,201,202,110, 11,13-15,114,16, 115,205,17,116, 206,18,117,207, 19,118,208,291, 20,119,209,21, 120,210,22,121, 211,122,23,212, 213,123,24	I, O/ I/O 3 ステート	<p>32 ビット送信 FIFO データ・バス,32 ビット受信 FIFO データ・バス / 64 ビット FIFO データ・バス</p> <p>FIFO バス・インタフェースのデータ・バスを提供します。この信号の機能は、FIFO バス・モードによって異なります。</p> <p>(1)32 ビット・デュアル・バス・モード TXFD[31:0]および RXFD[31:0]として機能します。MISCR レジスタ：BUSWTH ビットが 0 に設定されているとき、この 64 ビット幅のデータ・バスは、TXFD[31:0]と RXFD[31:0]の 2 つの単方向バスに分離されます。</p> <p>(2)64 ビット・シングル・バス・モード FD[63:0]として機能します。MISCR レジスタ：BUSWTH ビットが 1 に設定されているとき、この 64 ビット幅のデータ・バスは、64 ビット双方向バスとして FIFO アクセスに用いられます。</p>
RXFDQ[3:0]/ FDQ[3:0]	204,12,111,203	O/ I/O 3 ステート	<p>受信データ属性 / FIFO バス属性</p> <p>FIFO バス上にあるデータの属性を示します。この信号の機能はバス・モードによって異なります。</p> <p>(1)32 ビット・デュアル・バス・モード RXFDQ[3:0]として機能します。受信 FIFO からのリード・アクセス時、RXFD[31:0]上に出力された受信データの属性を出力します。RXFDQ[3:0]の出力パターンについては、表 3 - 3 を参照してください。</p> <p>(2)64 ビット・シングル・バス・モード FDQ[3:0]として機能します。送信 FIFO へのライト・アクセス時には、FD[63:0]上においた送信データの属性を入力します。受信 FIFO からのリード・アクセス時には、FD[63:0]上に出力された受信データの属性を出力します。FDQ[3:0]の入力パターンおよび出力パターンは、表 3 - 2 および表 3 - 4 を参照してください。</p>
TXFDQ[3:0]	247,67,162,248	I	<p>送信データ属性</p> <p>32 ビット・デュアル・バス・モードにおいて、FIFO バス上にある送信データの属性を示します。送信 FIFO へのライト・アクセス時に、FD[63:0]上においた送信データの属性を入力します。TXFDQ[3:0]の入力パターンは、表 3 - 1 を参照してください。64 ビット・シングル・バス・モードの場合、この信号は意味を持ちません。</p>

(4/4)

端子名	端子番号	I/O	機 能
TXFBA[7:0]	156,61,245,157, 62,246,159,158	○ 3 ステート	送信 FIFO バッファ・アベイラブル この信号がハイ・レベルのとき、送信 FIFO 内に送信データを書き込むための空間が空いていることを示します。送信 FIFO 内のデータ量が、TFIC レジスタ：TFDMH フィールドに設定される値を越えると、この信号はロウ・レベルになります。 TXFBA 信号は各ポートごとに設置されており、TXFBA[n]はポート n の TXFBA 信号を示しています。
RXFA	113	○ 3 ステート	受信フレーム・アベイラブル この信号がハイ・レベルのとき、ホスト・システムへ転送することが可能な受信データ・ストリームが、RXFPT で示されるポートにおいて、少なくとも 1 パケット分、準備できていることを示します。
PASS	249	I	受信フレームのパス 受信 FIFO からのリード・アクセス時、現在 FIFO パス上にあるポートの受信データの転送を開始する場合に入力する信号です。
SKIP	69	I	受信フレームのスキップ 受信 FIFO からのリード・アクセス時に、現在 FIFO パス上にあるポートをスキップして、次のポートからの読み出しをするために入力する信号です。

(3) MII (Media Independent Interface)

(1/5)

端子名	端子番号	I/O	機能
TXCLK[7:0]	230,137,222,29, 190,92,179,174	I	<p>MII 送信クロック</p> <p>各ポートに接続される PHY デバイスに対し、送信データを出力するために必要な送信クロック入力です (50%デューティ)。各ポートからの送信データである TXD7[3:0]-TXD0[3:0]、および TXD 上の送信データが有効であることを示す TXEN[7:0]は、各ポートごとにそれぞれこのクロックに同期して出力されます。</p> <p>MII モードの場合、10 Mbps 動作では 2.5 MHz、100 Mbps 動作では 25 MHz のクロックが入力されます。このモードでは TXCLK の立ち上がり同期して TXD および TXEN が出力されます。</p> <p>10 Mbps シリアル・モードの場合、入力されるクロックは 10 MHz となります。このモードでは TXCLK の立ち上がり同期して TXD および TXEN が出力されます。</p> <p>未使用のポートについては、TXCLK をハイ・レベルまたはロウ・レベル固定にしておいてください。</p>
TXD0[3:0]	258,173,80,259	O	<p>MII 送信データ (ポート 0)</p> <p>ポート 0 の PHY デバイスに対する送信データ出力です。</p> <p>MII モードの場合、ニブル幅(4 ビット幅)の送信データを TXCLK0 の立ち上がりエッジに同期して出力します。</p> <p>10 Mbps シリアル・モードの場合 TXD0[0]のみを使用し、シリアル送信データを TXCLK0 の立ち上がりエッジに同期して出力します。</p>
TXD1[3:0]	263,178,85,265	O	<p>MII 送信データ (ポート 1)</p> <p>ポート 1 の PHY デバイスに対する送信データ出力です。</p> <p>MII モードの場合、ニブル幅(4 ビット幅)の送信データを TXCLK1 の立ち上がりエッジに同期して出力します。</p> <p>10 Mbps シリアル・モードの場合 TXD1[0]のみを使用し、シリアル送信データを TXCLK1 の立ち上がりエッジに同期して出力します。</p>
TXD2[3:0]	91,184,268,344	O	<p>MII 送信データ (ポート 2)</p> <p>ポート 2 の PHY デバイスに対する送信データ出力です。</p> <p>MII モードの場合、ニブル幅(4 ビット幅)の送信データを TXCLK2 の立ち上がりエッジに同期して出力します。</p> <p>10 Mbps シリアル・モードの場合 TXD2[0]のみを使用し、シリアル送信データを TXCLK2 の立ち上がりエッジに同期して出力します。</p>
TXD3[3:0]	96,189,273,97	O	<p>MII 送信データ (ポート 3)</p> <p>ポート 3 の PHY デバイスに対する送信データ出力です。</p> <p>MII モードの場合、ニブル幅(4 ビット幅)の送信データを TXCLK3 の立ち上がりエッジに同期して出力します。</p> <p>10 Mbps シリアル・モードの場合 TXD3[0]のみを使用し、シリアル送信データを TXCLK3 の立ち上がりエッジに同期して出力します。</p>

(2/5)

端子名	端子番号	I/O	機 能
TXD4[3:0]	124,28,215,126	○	<p>MII 送信データ (ポート 4)</p> <p>ポート 4 の PHY デバイスに対する送信データ出力です。</p> <p>MII モードの場合、ニブル幅(4 ビット幅)の送信データを TXCLK4 の立ち上がりエッジに同期して出力します。</p> <p>10 Mbps シリアル・モードの場合 TXD4[0]のみを使用し、シリアル送信データを TXCLK4 の立ち上がりエッジに同期して出力します。</p>
TXD5[3:0]	33,220,131,34	○	<p>MII 送信データ (ポート 5)</p> <p>ポート 5 の PHY デバイスに対する送信データ出力です。</p> <p>MII モードの場合、ニブル幅(4 ビット幅)の送信データを TXCLK5 の立ち上がりエッジに同期して出力します。</p> <p>10 Mbps シリアル・モードの場合 TXD5[0]のみを使用し、シリアル送信データを TXCLK5 の立ち上がりエッジに同期して出力します。</p>
TXD6[3:0]	135,38-40	○	<p>MII 送信データ (ポート 6)</p> <p>ポート 6 の PHY デバイスに対する送信データ出力です。</p> <p>MII モードの場合、ニブル幅(4 ビット幅)の送信データを TXCLK6 の立ち上がりエッジに同期して出力します。</p> <p>10 Mbps シリアル・モードの場合 TXD6[0]のみを使用し、シリアル送信データを TXCLK6 の立ち上がりエッジに同期して出力します。</p>
TXD7[3:0]	141,229,45,142	○	<p>MII 送信データ (ポート 7)</p> <p>ポート 7 の PHY デバイスに対する送信データ出力です。</p> <p>MII モードの場合、ニブル幅(4 ビット幅)の送信データを TXCLK7 の立ち上がりエッジに同期して出力します。</p> <p>10 Mbps シリアル・モードの場合 TXD7[0]のみを使用し、シリアル送信データを TXCLK7 の立ち上がりエッジに同期して出力します。</p>
TXEN[7:0]	44,136,130,125, 272,183,264,79	○	<p>MII 送信イネーブル</p> <p>各ポートごとに、送信データ (TXD) が有効であるかどうかを示す信号です。</p> <p>10 Mbps シリアル・モードの場合、プリアンプルの最初のビットから送信フレームの最後のビットが出力されるまで、ハイ・レベルとなります。</p> <p>MII モードの場合、プリアンプルを示す最初のニブル・データから送信フレームの最後のニブル・データが出力されるまで、ハイ・レベルとなります。</p>

(3/5)

端子名	端子番号	I/O	機能
RXCLK[7:0]	145,227,224,218, 99,187,181,83	I	<p>MII 受信クロック</p> <p>PHY デバイスから与えられる、受信クロック入力です (50%デューティ)。各ポートからの受信データである RXD7[3:0]-RXD0[3:0]、および TXD 上の送信データが有効であることを示す TXEN[7:0]は、それぞれこのクロックに同期して出力されます。MII モードの場合、10 Mbps 動作では 2.5 MHz、100 Mbps 動作では 25 MHz のクロックが入力されます。このモードでは RXCLK の立ち上がりに同期して RXD および RXDV が入力されます。</p> <p>10 Mbps シリアル・モードの場合、入力されるクロックは 10MHz となります。このモードでは RXCLK の立ち上がりに同期して RXD が入力されます。</p> <p>未使用のポートについては、RXCLK をハイ・レベルまたはロウ・レベル固定にしておいてください。</p>
RXD0[3:0]	175,82,261,176	I	<p>MII 受信データ (ポート 0)</p> <p>ポート 0 の PHY デバイスからの受信データ入力です。</p> <p>MII モードの場合、ニブル幅 (4 ビット幅) の受信データを RXCLK0 の立ち上がりエッジで入力します。</p> <p>10 Mbps シリアル・モードの場合 RXD0[0]のみを使用し、シリアル受信データを RXCLK0 の立ち上がりエッジで入力します。</p>
RXD1[3:0]	180,87,267,182	I	<p>MII 受信データ (ポート 1)</p> <p>ポート 1 の PHY デバイスからの受信データ入力です。</p> <p>MII モードの場合、ニブル幅 (4 ビット幅) の受信データを RXCLK1 の立ち上がりエッジで入力します。</p> <p>10 Mbps シリアル・モードの場合 RXD1[0]のみを使用し、シリアル受信データを RXCLK1 の立ち上がりエッジで入力します。</p>
RXD2[3:0]	93,186,270,94	I	<p>MII 受信データ (ポート 2)</p> <p>ポート 2 の PHY デバイスからの受信データ入力です。</p> <p>MII モードの場合、ニブル幅 (4 ビット幅) の受信データを RXCLK2 の立ち上がりエッジで入力します。</p> <p>10 Mbps シリアル・モードの場合 RXD2[0]のみを使用し、シリアル受信データを RXCLK2 の立ち上がりエッジで入力します。</p>
RXD3[3:0]	98,275,276,192	I	<p>MII 受信データ (ポート 3)</p> <p>ポート 3 の PHY デバイスからの受信データ入力です。</p> <p>MII モードの場合、ニブル幅 (4 ビット幅) の受信データを RXCLK3 の立ち上がりエッジで入力します。</p> <p>10 Mbps シリアル・モードの場合 RXD3[0]のみを使用し、シリアル受信データを RXCLK3 の立ち上がりエッジで入力します。</p>

(4/5)

端子名	端子番号	I/O	機能
RXD4[3:0]	30,217,128,31	I	<p>MII 受信データ (ポート4)</p> <p>ポート4のPHYデバイスからの受信データ入力です。</p> <p>MIIモードの場合、ニブル幅(4ビット幅)の受信データをRXCLK4の立ち上がりエッジで入力します。</p> <p>10 Mbps シリアル・モードの場合 RXD4[0]のみを使用し、シリアル受信データをRXCLK4の立ち上がりエッジで入力します。</p>
RXD5[3:0]	35,223,133,36	I	<p>MII 受信データ (ポート5)</p> <p>ポート5のPHYデバイスからの受信データ入力です。</p> <p>MIIモードの場合、ニブル幅(4ビット幅)の受信データをRXCLK5の立ち上がりエッジで入力します。</p> <p>10 Mbps シリアル・モードの場合 RXD5[0]のみを使用し、シリアル受信データをRXCLK5の立ち上がりエッジで入力します。</p>
RXD6[3:0]	226,306,42,139	I	<p>MII 受信データ (ポート6)</p> <p>ポート6のPHYデバイスからの受信データ入力です。</p> <p>MIIモードの場合、ニブル幅(4ビット幅)の受信データをRXCLK6の立ち上がりエッジで入力します。</p> <p>10 Mbps シリアル・モードの場合 RXD6[0]のみを使用し、シリアル受信データをRXCLK6の立ち上がりエッジで入力します。</p>
RXD7[3:0]	231,47,144,232	I	<p>MII 受信データ (ポート7)</p> <p>ポート7のPHYデバイスからの受信データ入力です。</p> <p>MIIモードの場合、ニブル幅(4ビット幅)の受信データをRXCLK7の立ち上がりエッジで入力します。</p> <p>10 Mbps シリアル・モードの場合 RXD7[0]のみを使用し、シリアル受信データをRXCLK7の立ち上がりエッジで入力します。</p>
CRS[7:0]	140,37,32,26,95, 89,177,257	I	<p>キャリア・センス</p> <p>各ポートに接続されるPHYデバイスからのキャリア・センス信号入力です。</p> <p>未使用のポートについては、CRSをロウ・レベル固定にしてください。</p>
RXDV[7:0]	143,138,132,127, 191,269,266,260	I	<p>MII 受信データ・バリッド</p> <p>MIIモード時にRXD上の受信データが有効であることを、各ポートごとに示す信号です。</p> <p>この信号がハイ・レベルのとき、RXD上のデータが有効であることを示します。</p> <p>未使用のポートについては、RXDVをハイ・レベルまたはロウ・レベル固定にしてください。</p>
COL[7:0]	43,134,129,214, 271,88,262,78	I	<p>コリジョン</p> <p>各ポートに接続されるPHYデバイスによって検出されたコリジョン信号入力です。</p> <p>未使用のポートについては、COLをロウ・レベル固定にしてください。</p>
TXER[7:0]	228,225,219,27, 188,90,84,172	O	<p>MII 送信エラー</p> <p>各ポートにおいて、送信中にμPD98431でエラーが発生したことを示す信号です。</p>

(5/5)

端子名	端子番号	I/O	機能
RXER[7:0]	46,41,221,216, 274,185,86,81	I	MII 受信エラー 各ポートにおいて、受信中に PHY デバイスで発生したエラーを検出するための入力信号です。 未使用のポートについては、RXER をロウ・レベル固定にしてください。
MDC	77	O	MII マネジメント・クロック MII シリアル・マネジメント・データの転送クロックです。
MDIO	171	I/O	MII マネジメント・データ 双方向の MII シリアル・マネジメント・データ信号です。

(4) JTAG ピン (お客様の要求により、本機能をサポートすることができます。)

端子名	端子番号	I/O	機能
TMS	256	I	JTAG テスト・モード・セレクト この信号はバウンダリ・スキャン・ステート・マシンの制御を行います。この端子は内部でプルアップされています (プルアップ抵抗 : 50 kΩ)。
TDI	76	I	JTAG テスト・データ入力 この信号はバウンダリ・スキャン用のシリアル・データ入力です。この端子は内部でプルアップされています (プルアップ抵抗 : 50 kΩ)。
TDO	74	O 3 ステート	JTAG テスト・データ出力 この信号はバウンダリ・スキャン用のシリアル・データ出力です。
TCK	169	I	JTAG テスト・クロック テスト・データ入出力の同期をとるために使われるクロック入力です。 この端子は内部でプルアップされています (プルアップ抵抗 : 50 kΩ)。
TRST#	75	I	JTAG リセット この信号をロウ・レベルにするとバウンダリ・スキャン動作がリセットされます。 バウンダリ・スキャン動作中はハイ・レベルにしておく必要があります。JTAG 機能を使わない場合には、ロウ・レベルにします。 この端子は内部でプルアップされています (プルアップ抵抗 : 50 kΩ)。

(5) テスト・ピンおよび電源ピン

端子名	端子番号	I/O	機 能
TEST[5:0]	234,233,170,146, 100,25	I	テスト・ピン デバイス・テスト用の端子です。常にロウ・レベル固定にしてください。
VDD	279,283,285,288, 290,294,297,300, 303,307,308,311, 314,317,321,323, 326,328,332,335, 338,341,345,346, 349,352	-	電源 (+3.3V)
GND	277,278,280,281, 284,286,287,289, 292,293,295,296, 299,302,305,309, 312,315,316,318, 319,322,324,325, 327,330,331,333, 334,337,340,343, 347,350	-	グラウンド (0V)
CLAMP	298,301,304,310, 313,336,339,342, 348,351	-	クランプ用電源 MII バッファ回路にクランプ電圧を与えます。外付けで 5V - PHY デバイスを使用する際には +5V を供給します。また 3.3V - PHY デバイスを使用する際には +3.3V を供給します。

第3章 機能説明

3.1 システム構成

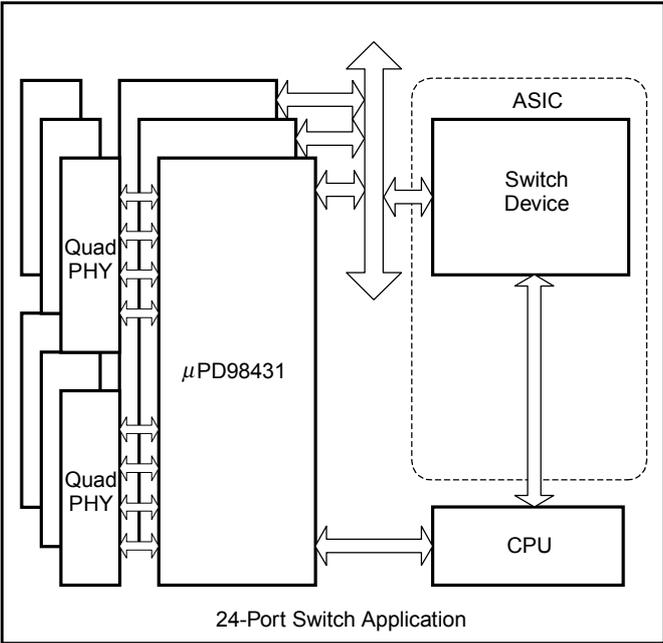
μ PD98431 は、豊富な動作モード、特長をもつ 8 ポート 10/100 Mbps イーサネット MAC (Media Access Control) です。 μ PD98431 は LAN スイッチやルータといった、複数ポートを必要とするネットワーク機器向けに開発されたデバイスです。

μ PD98431 では、ネットワーク側のインタフェースとして、2 つのインタフェースをサポートしています。MII モードにおいては、IEEE802.3u で規格化されている MII (Media Independent Interface) に対応したインタフェースを提供します。MII に対応した PHY デバイスを接続することで、10 Mbps および 100 Mbps イーサネットを実現することができます。10 Mbps シリアル・インタフェース・モードでは、クロック同期されたシリアル・データにより外部 10 Mbps トランシーバとのインタフェースを提供します。すべてのポートおよび各ネットワーク・インタフェース・モードにおいて、半二重 / 全二重動作ができます。

システム側インタフェースには、FIFO バス・インタフェースとレジスタ・バス・インタフェースの 2 つがあります。FIFO バス・インタフェースは、上位システムと μ PD98431 内の FIFO を接続するためのインタフェースで、最大 66 MHz \times 64 ビット幅の高速インタフェースを提供します。内蔵 FIFO については各ポートごとに受信 2K バイト、送信 512 バイトが内蔵されています。

レジスタ・バス・インタフェースは制御レジスタおよび統計カウンタのアクセスのために用いられるバスで、特定の CPU には依存しない汎用バスとなっています。

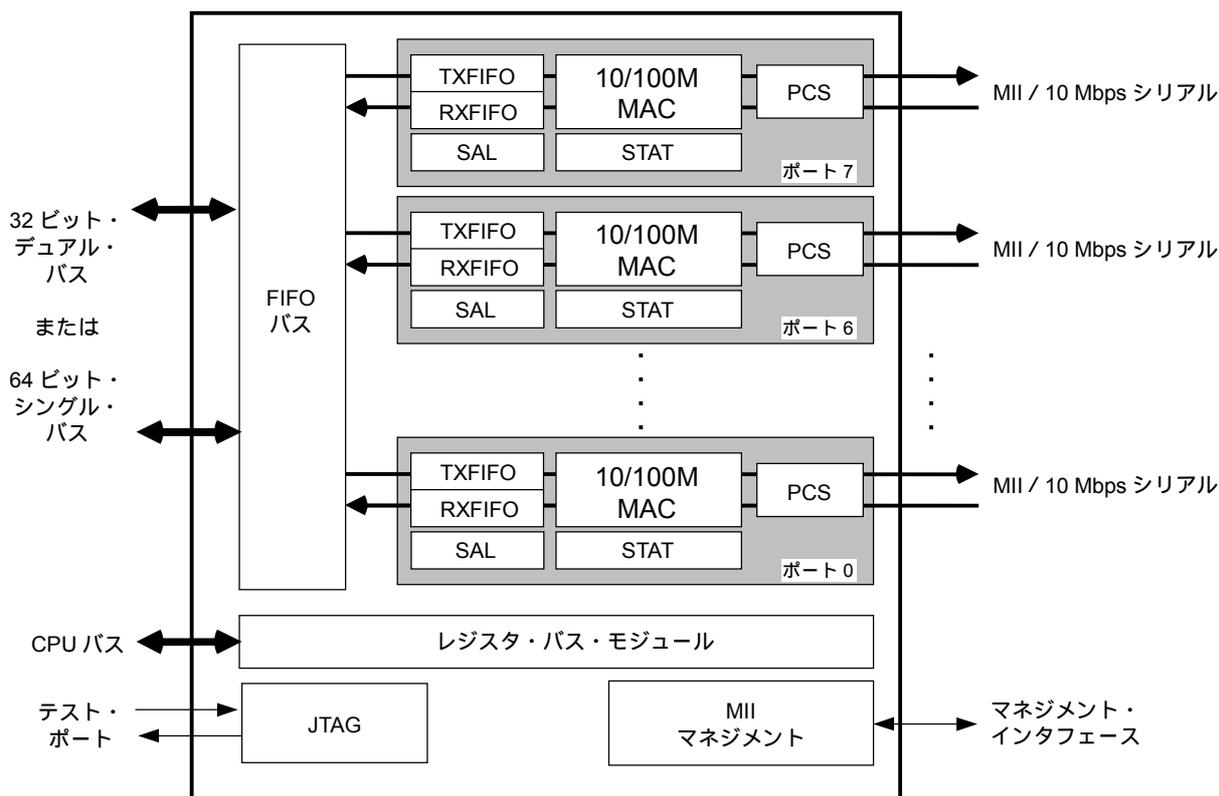
図 3 - 1 μ PD98431 を使ったシステム構成例



3.2 機能ブロック

μ PD98431 は機能ブロックとして、各ポートごとに MAC モジュール、PCS モジュール、SAL モジュール、STAT モジュールおよび FIFO を内蔵しています。また共通モジュールとして、FIFO バス・モジュール、MII マネジメント・モジュールおよびレジスタ・バス・モジュールが内蔵されています（図 3 - 2 参照）。

図 3 - 2 μ PD98431 機能ブロック図



3.2.1 MAC モジュール

MAC モジュールは 10/100M イーサネット MAC 機能を実現する部分で、MII をサポートした PHY デバイスを接続できるよう、設計されています。MAC モジュールに PCS モジュールが接続されると、10 Mbps シリアル・インタフェースを持った 10BASE-T トランシーバに接続することが可能になります。

MAC モジュール内には、さらに送信部、受信部および MAC 制御部が内蔵されています。送信部および受信部は、IEEE802.3 および IEEE802.3u で規格化されているイーサネット送受信動作を実現します。MAC 制御部はフロー制御を処理するブロックで、IEEE802.3x で定義されるフロー制御フレームの受信処理および送信処理を行います。

MAC モジュールでは、データ処理以外に、後段ブロックに対して、受信動作および送信動作のステータス情報を発信することで、後段におけるデータ処理を助けます。

3.2.2 PCS モジュール

PCS モジュールは、10 Mbps シリアル・インタフェースに接続するための Physical Coding Sublayer 機能を実現するためのモジュールで、システム側は MAC モジュールに接続されています。PCS モジュールのネットワーク側には、外部デバイスとして MII 対応 PHY デバイスあるいは 10BASE-T トランシーバが接続することができます。

PCS モジュールがネットワーク側の外部デバイスとして MII 対応 PHY デバイスを接続するよう設定されている場合には、PCS モジュールは MAC モジュールからの MII 信号をそのまま外部デバイスに接続します。また PCS モジュールが外部デバイスと 10 Mbps シリアル・バス・インタフェースで接続するよう設定されている場合には、PCS モジュールでは MII ニブル・データをシリアル・データに変換する処理を行っています。このように μ PD98431 では、この PCS モジュールにより、MII 経由での 10/100BASE-TX システム、および 10 Mbps シリアル・インタフェースによる 10BASE-T システム構成が可能になっています。

3.2.3 SAL (Station Address Logic) モジュール

SAL モジュールでは、受信パケットのデスティネーション・アドレス・フィールドの値を検出しあらかじめ設定された条件に従いアドレス比較を行い、その結果を後段の受信 FIFO に知らせます。受信 FIFO では SAL モジュールからの報告に従いアドレス条件による受信パケットの取捨を行います。

アドレス条件は各ポートごと、アドレス・タイプ別に設定することができます。

ユニキャスト・アドレスに対しては、各ポートごとの制御レジスタ内に設定されるステーション・アドレス・レジスタの値との比較を行います。マルチキャスト・アドレスに対しては、すべてのマルチキャスト・パケットを受信する場合と、ハッシュ・テーブルにより選択されたマルチキャスト・パケットのみを受信する場合の、2 つを選択することができます。またブロードキャスト・アドレスに対しては、ブロードキャスト・パケットを受信するか否かの設定ができます。

さらに μ PD98431 では、すべてのアドレス・タイプに対して、あらゆるパケットを受け付け可能とする設定も用意されています。アドレス・フィルタリング条件に関しては **3.5.5 アドレス・フィルタリング** を参照してください。

3.2.4 STAT (STATistics counter) モジュール

μ PD98431 には、RMON/SMNP を実現するために有効な統計カウンタ・セットが各ポートごとに用意されています。STAT モジュールはこの統計カウンタ・セットを実現するモジュールです。統計カウンタについては **3.12 統計カウンタ** を参照してください。

3.2.5 内蔵 FIFO

FIFO には高速デュアル・ポート SRAM を内蔵し、各ポートごとに受信 2K バイト、送信 512 バイトの容量を持たせています。また FIFO では、ネットワーク側からの送受信クロックとホスト・システム側からの FIFO バス・クロックとの調停を受け持っています。

3.2.6 FIFO バス・モジュール

FIFO バス・モジュールは、内蔵 FIFO と上位システム側とのインタフェースをとるためのモジュールです。バス帯域としては、最大 66 MHz×64 ビットの高速インタフェースが可能です。データ・バスにつきましては、64 ビット幅で双方向のデータ転送を行うモード（64 ビット・シングル・バス・モード）と、送受信データ・バスを 32 ビット幅で分離し、それぞれ単方向のデータ転送を行うモード（32 ビット・デュアル・バス・モード）のどちらかを選択することができます。

3.2.7 MII マネジメント・モジュール

MII マネジメント・モジュールでは IEEE802.3u で規定されている MII シリアル・マネジメント機能を実現します。このモジュールにより、 μ PD98431 は、外部 MII-PHY デバイスとの間で MII マネジメント・フレームを用いて PHY レジスタにアクセスするためのシリアル・インタフェースを 1 系統、提供します。

3.2.8 レジスタ・バス・モジュール

レジスタ・バス・モジュールは、各ポートごとあるいはチップ全体に対して設定を行うための制御レジスタや、各ポートごとの統計カウンタにアクセスするためのレジスタ・バスを提供します。アドレス・バス：11 ビット幅、データ・バス：双方向 32 ビット幅の分離バスとなっており、特定の CPU に依存しない汎用バスとなっています。

3.2.9 動作クロック

μ PD98431 では、動作クロックとして 4 つのクロックを必要とします。これらは、PHY デバイスから与えられる送信クロックおよび受信クロック、レジスタ・アクセスのためのクロックおよび FIFO バスからのデータ転送を行うためのクロックの 4 つです。

MAC モジュールの送信部は、PHY デバイスから入力される送信クロックに同期して送信 FIFO から送信データを読み出し、送信フレームを生成し PHY デバイスへ出力します。一方、MAC モジュールの受信部は、PHY デバイスから入力される受信クロックに同期して受信フレームを受信し、ホスト・システムへのデータを受信 FIFO に書き込みます。送信クロックおよび受信クロックには、100 Mbps 動作時に 25 MHz、10 Mbps 動作時に 2.5 MHz が入力されます。

レジスタ・アクセスのためのクロックは HCLK 信号として与えられます。66 MHz から 25 MHz までの範囲で設定することができます。MII マネジメント・インタフェースに使われる MDC 信号は、この HCLK を分周して生成されます。

FIFO バスに与えられるクロックは、FCLK 信号として与えられます。 μ PD98431 では、ホスト・システムから内蔵送信 FIFO へのライト動作、および内蔵受信 FIFO からホスト・システムへのリード動作を、この FCLK 信号に同期して行います。FCLK 信号は 66 MHz から 25 MHz の範囲で与えることができます。

3.3 フレーム・フォーマット

イーサネット・ネットワークにおいては、情報はパケットあるいはフレームと呼ばれる形式で送信および受信が行われます。イーサネットで用いられるフレーム・フォーマットは、プリアンブル (PA)、フレーム開始デリミタ (SFD)、デスティネーション・アドレス (DA)、ソース・アドレス (SA)、タイプ/レンゲス・フィールド (TYPE/LEN)、データ・フィールド (DATA) およびフレーム・チェック・シーケンス (FCS) から構成されます (図 3-3 参照)。

フレーム長はプリアンブルおよび SFD を除き、最小で 64 バイト、最大で 1518 バイトと定義されています。

図 3-3 イーサネット/IEEE802.3 フレーム構造

PA	SFD	DA	SA	TYPE /LEN	DATA	FCS
7B	1B	6B	6B	2B	46B-1500B	4B

B = バイト

(1) プリアンブルおよび SFD

プリアンブルおよび SFD は 62 ビットの連続した“10”の繰り返しと“11”からなり、各フレームの先頭部を示します。

(2) デスティネーション・アドレス

デスティネーション・アドレス・フィールドは宛先の MAC アドレスを示しており、ユニキャスト・アドレス、マルチキャスト・アドレスあるいはブロードキャスト・アドレスが書き込まれます。

(3) ソース・アドレス

ソース・アドレス・フィールドには、送信元の MAC アドレスが書き込まれます。

(4) タイプ/レンゲス・フィールド

イーサネット・フレームではプロトコル・タイプを示すフィールドとして使われます。IEEE802.3 フレームではデータ・フィールドの長さを示すレンゲス・フィールドとして使われます。

(5) データ・フィールド

データ・フィールドは、46 バイトから 1500 バイトの間で設定されます。

(6) フレーム・チェック・シーケンス

フレーム・チェック・シーケンス・フィールドは、転送データのチェックを行うために 32 ビット CRC (Cyclic Redundancy Check) の書き込みフィールドとして使われます。

VLAN フレームの場合には、通常のフレーム構造とは若干異なります。ソース・アドレス・フィールドの直後に4バイトのVLAN ヘッダが挿入されます。 μ PD98431 ではVLAN フレーム検出機能をもっており、送信パケットあるいは受信パケットがVLAN フレームとして検出された場合、このフレーム長を基準にパケット処理を行います。詳しくは3.11 VLAN フレームに対する動作を参照してください。

図3-4 VLAN フレーム構造

PA	SFD	DA	SA	TPID	TCI	LEN	DATA	FCS
7B	1B	6B	6B	2B	2B	2B	42B-1500B	4B

VLAN ヘッダ B = バイト

TPID=Tag Protocol ID, TCI=Tag Control Information

3.4 送信動作

μ PD98431 では、ホスト・システムより送信 FIFO に与えられたデータをもとに、送信データ・フレームを生成します。衝突発生時にはバックオフ・アルゴリズムを実行し送信 FIFO 内のデータの再送信を行います。送信バイト数、エラー発生などの送信パケットごとのステータス情報は、送信終了後に TSVREG1 レジスタおよび TSVREG2 レジスタにセットされます。

3.4.1 送信パケットの生成

ホスト・システムが送信 FIFO に書き込む送信データは、通常、デスティネーション・アドレスからデータ・フィールド中の最後の有効データまでです。送信パケット・フレームとして必要なプリアンブル、SFD および FCS は、 μ PD98431 によって自動的に付加することができます。

(1) プリアンブルおよび SFD の付加

μ PD98431 では送信 FIFO に内蔵された送信データに対し、常にプリアンブルおよび SFD を付加してネットワーク側へ出力します。

(2) CRC の付加

μ PD98431 では CRC の値を自動的に計算し、パケットの最後、FCS フィールドに自動的に付加することができます。自動付加するか否かは、TXFDQ 信号による指定と MACC1 レジスタ：CRCEN ビットおよび PADEN ビットの設定により決定されます。

TXFDQ 信号により CRC 付加が指定された場合には、常に送信パケットの最後に CRC が自動付加されます。TXFDQ 信号により CRC 付加が指定されなかった場合には、MACC1 レジスタ：CRCEN ビットの設定に依存します。この場合 CRCEN ビットが0だとCRCは自動付加されず、このビットが1だとCRCは自動付加されます。

また、PAD 付加を指定する PADEN ビットが1のときは、TXFDQ 信号による指定や CRCEN ビットの設定に関わらず、常に正しいCRCが μ PD98431によって自動付加されます。

CRC を自動的に付加しないように設定した場合には、上位システム側で送信 FIFO に書き込む送信データ・ストリームの最後に、FCS フィールドの値を付加する必要があります。

(3) PAD の追加

送信 FIFO に書き込まれた 1 パケットのデータ長が、最小フレーム長 64 バイト (VLAN フレームの場合は 68 バイト) を満たさない場合、 μ PD98431 では自動的に PAD を追加し最小フレーム長を確保することができます。MACC1 レジスタ: PADEN ビットを 1 にした場合、あるいは TXFDQ 信号で CRC 付加を指示した場合、PAD 付加機能がイネーブルされます。

VLAN フレームに対する PAD 追加は、MACC2 レジスタ: APD ビットおよび VPD ビットに依存します。詳しくは 3.11 VLAN フレームに対する動作を参照してください。

3.4.2 パケット送信の開始

ネットワーク側へのパケット送信動作は次のどちらかの条件により開始されます。

- ・送信 FIFO 内のデータ量があらかじめ設定されたスレッシュ・レベル以上になった場合
- ・送信 FIFO に書き込まれる送信データと同時に、データ終了を示す属性が TXFDQ または FDQ に与えられた場合

送信開始スレッシュ・レベルは、TFIC レジスタ: TFDWL フィールドに設定します。

半二重動作の場合、送信動作が開始されると、まずキャリア・センスを行いネットワーク上で他局の送信が行われていないかどうか確認します。他局のデータ転送がない場合、かつ前回のデータ転送終了からあらかじめ設定されるパケット間ギャップが満了している場合、ただちに PHY デバイスに対して送信データ・ストリームの出力を開始します。他局のデータ転送が行われている場合は、その通信の終了を待ち、さらにパケット間ギャップが満了するまで送信開始を延期します。

全二重動作の場合はキャリア・センスを無視しますので、送信開始の条件が満たされた時点で PHY デバイスへの送信データ出力を開始します。

3.4.3 パケット間ギャップの設定

μ PD98431 では、パケット間ギャップをレジスタ設定する必要があります。パケット間ギャップは最小ギャップ幅で連続送信する場合に適用される Back to Back IPG と、それ以外の場合に適用される NON Back to Back IPG があります。

(1) Back to Back IPG

Back to Back 時の IPG は IPGT レジスタに設定されます。Back to Back IPG は自局の送信後、最小ギャップ幅で連続送信する場合に適用されます。このときの最小ギャップ幅が IPGT レジスタに設定されることとなります。自局の送信が終了したあと、この最小ギャップ時間の間で次の送信開始の条件が満たされると、 μ PD98431 は Back to Back 送信とみなし IPGT レジスタに設定される IPG 時間を経過したあと、ただちに次の送信データ・ストリームを PHY デバイスに対して出力します。

(2) NON Back to Back IPG

他局の送信終了後 IPG 時間が満了するのを待って、PHY デバイスに対する送信データ・ストリームの出力を開始する場合には、IPGR レジスタで設定される NON Back to Back IPG が適用されます。NON Back to Back IPG は 2 つの部分から構成されます。NON Back to Back IPG の前半においてはキャリア・センスが行われており、この期間内でキャリアが検出された場合には IPG カウントがクリアされ、キャリア検出されなくなるのを待って再び IPG カウントを始めます。キャリア・センスが行われている期間でキャリアが検出されなかった場合には、IPG 期間満了後、ただちに送信データ・ストリームの出力を開始します。

IPGR レジスタでは NON Back to Back IPG 時間全体を IPGR2 フィールドに設定し、前半のキャリア・センス期間を IPGR1 フィールドに設定します。

3.4.4 コリジョンと再送信

CLRT レジスタで設定される最大衝突回数を越えてコリジョンが発生するか、あるいは同じく CLRT レジスタで設定されるコリジョン・ウインドウ期間を過ぎてコリジョンが発生する場合を除き、 μ PD98431 はコリジョンが発生すると自動的にパケットの再送信を行います。コリジョンが発生すると送信 FIFO からのデータ送信を停止し、ジャムの送信を開始します。送信 FIFO 内の読み出しポインタは送信データの先頭に戻されます。ジャム・パターンの送信が終了すると、 μ PD98431 はバックオフ・アルゴリズムに従い送信を待機します。バックオフ期間が終了すると、自動的に再送信を開始します。

CLRT レジスタで設定される最大衝突回数を越えてコリジョンが発生するか、あるいは同じく CLRT レジスタで設定されるコリジョン・ウインドウ期間を過ぎてコリジョンが発生した場合はネットワーク・エラーとみなされます。どちらかの条件が発生した場合には、条件が発生したパケットの送信 FIFO 内に残っているデータはクリアされ、それ以外ですでに蓄積されている他の送信パケット・データには影響を与えません。また、この条件発生が INT#信号をロウ・レベルとする要因となります。最大衝突回数を越えてコリジョンが発生した場合、TSVREG1 レジスタ：ECOL ビットに 1 がセットされます。コリジョン・ウインドウ期間を過ぎてコリジョンが発生した場合には、TSVREG1 レジスタ：LCOL ビットに 1 が設定されます。

再送信の間隔は、バックオフ・アルゴリズムによって決定され、 μ PD98431 はランダムなスロット時間 (512 ビット時間) の間、再送信を待機します。このアルゴリズムでは、 n 回目の再送信を行う前に μ PD98431 が待機状態となるスロット時間の係数 r を、次の式により決定します。

$$0 < r < 2^n \quad \text{ただし、} n \text{ が } 10 \text{ を越える場合は } n = 10 \text{ とする。}$$

3.4.5 送信の終了とアボート

μ PD98431 では次の条件で送信を終了、あるいは送信をアボートします。送信アボートが発生した場合、送信 FIFO 内に残っているアボートされたパケット・データはクリアされます。また送信 FIFO に書き込み中のパケットにおいて送信アボートが発生した場合、アボート発生後に送信 FIFO に書き込まれたデータは、TXFDQ/FDQ 信号の入力によってデータ終了が指定されるまで、すべて無視されます（3.7.1 FIFO バス・インタフェース参照）。

送信が終了もしくはアボートされるごとに、TSVREG1 レジスタおよび TSVREG2 レジスタに、終了した送信動作に関するステータス情報が報告されます。これらのステータス情報は TIMR レジスタの設定により割り込みマスクを解除することにより、INT#信号による割り込み要因とすることもできます。

(1) 通常終了

データ送信が問題なく完了した場合、通常終了として TSVREG1 レジスタ：TDONE ビットに 1 を設定します。送信が完了するまでの間にコリジョンによる再送信が発生した場合には、再送信回数が TSVREG1 レジスタ：TCBC フィールドに報告されます。

(2) 最大衝突回数を越える衝突

CLRT レジスタ：RETRY フィールドで設定される最大衝突回数を越えてコリジョンが発生した場合送信動作をアボートし、TSVREG1 レジスタ：ECOL ビットに 1 をセットします。

(3) レイト・コリジョンの発生

CLRT レジスタ：LCOL フィールドで設定されるコリジョン・ウインドウを越えたところでコリジョンが発生した場合、レイト・コリジョンとみなし、送信動作をアボートします。レイト・コリジョンが発生した場合、TSVREG1 レジスタ：LCOL ビットに 1 をセットします。

(4) 送信過剰遅延

μ PD98431 が送信を開始しようとしてから、24288 ビット時間が経過しても送信が開始されない場合、過剰遅延とみなされ送信をアボートします。過剰遅延が発生した場合、TSVREG1 レジスタ：TEDFR ビットに 1 をセットします。

(5) 最大パケット長を越えるパケットを送信しようとした場合

LMAX レジスタで設定される最大パケット長を越える長さを持つパケットを送信しようとした場合、 μ PD98431 はパケット長が LMAX レジスタの値に達するまで送信を継続し、LMAX レジスタの値を越えると送信をアボートします。ただし、MACC1 レジスタ：HUGEN ビットが 1 にセットされている場合には、LMAX レジスタによる送信パケット長の制限はキャンセルされます。この条件により送信アボートが発生した場合には、TSVREG2 レジスタ：TGNT ビットに 1 がセットされます。

(6) 送信 FIFO アンダランの発生

送信 FIFO 内のデータがすべて送信されシステム側からの送信データの書き込みが間に合わないとき、送信 FIFO はアンダランを発生し送信動作をアボートします。送信 FIFO アンダランにより送信がアボートされた場合には、ただちに FSVREG レジスタ：TUDR ビットに 1 がセットされます。

3.5 受信動作

μ PD98431 は PHY デバイスより送られる受信データ・ストリームから、ホスト・システムに対する受信データを供給します。 μ PD98431 では、プリアンプルおよび SFD の検出、レンジス・フィールド・チェック、CRC チェックなどを行います。受信バイト数、エラー発生などの受信パケットごとのステータス情報は受信終了後に RSVREG レジスタに設定されると同時に、MACCC3 レジスタの設定により受信 FIFO からホスト・システムに出力されるデータ・ストリームにステータス情報を付加することができます。またアドレス条件などによりパケット・フィルタリングを設定することができます。

3.5.1 プリアンプルおよび SFD の検出

MII モードの場合、各ポートは RXDVn 信号がハイ・レベルになると、RXDn 信号上のデータを受信データと認識します。10 Mbps シリアル・モードの場合には、CRSn 信号がハイ・レベルになると RXDn[0]上のデータを受信データと認識します。受信データとして認識されると、RXD データは μ PD98431 内でシリアル - パラレル変換されます。各ポートは、シリアル - パラレル変換されたデータから、プリアンプル・パターン(1,0,1,0,...)が検出されると、その最後に連続する(1,1)、SFD が検出されるのを待ちます。SFD が検出されると受信パケットの先頭を認識し、受信 FIFO へのデータ蓄積を開始します。プリアンプルおよび SFD は受信パケットより除去され、受信 FIFO には蓄積されません。

3.5.2 レンゲス・フィールド・チェック

μ PD98431 の各ポートは、受信パケットの長さをカウントし、ソース・アドレス・フィールドに続く 2 バイトをレンジス・フィールドとみなして、データ・フィールド長のチェックを行います。VLAN フレームとみなされたパケットは、VLAN ヘッダに続く 2 バイトをレンジス・フィールドとみなします。VLAN フレームの検出については、**3.11.1 VLAN フレームの検出**を参照してください。なお、チェックした結果はステータス情報として、ホスト・システムに知らされます。

3.5.3 CRC チェック

μ PD98431 の各ポートは、受信パケット・データから 4 バイトのフレーム・チェック・シーケンス (FCS) を自動的に計算し、受信パケットの最後に付加されている CRC データとの比較を行います。比較結果はステータス情報としてホスト・システムに知らされます。

3.5.4 パケット・フィルタリング

μ PD98431 では、下記の条件により受信パケットのフィルタリングを行うことができます。フィルタリングの設定は各ポートごとに設定することができます。またフィルタリング条件は組み合わせて使うこともできます。

- ・ デスティネーション・アドレス
- ・ ショート・パケット：パケット長が 64 バイト未満のパケット
- ・ CRC エラー・パケット
- ・ コントロール・フレーム

デスティネーション・アドレスを条件にパケット・フィルタリングを行う手順については、**3.5.5 アドレス・フィルタリング**を参照してください。CRC エラー・パケット、コントロール・フレーム、ショート・パケットに対するフィルタリングは、RFIC2 レジスタによって設定することができます。このレジスタ設定により、CRC エラーが発生したパケット、コントロール・フレームおよびショート・パケットを、受信 FIFO から除去することができます。すべてのフィルタリング条件はキャンセルすることが可能で、すべてキャンセルした場合には受信されたパケットをすべてホスト・システムに転送します。

3.5.5 アドレス・フィルタリング

μPD98431 では受信パケットのデスティネーション・アドレスによるフィルタリングを実行し、条件に適合しない受信パケットを除去することができます。アドレス・フィルタリング条件は AFR, HT1, HT2 の各レジスタに設定します。ユニキャスト・アドレス、マルチキャスト・アドレス、ブロードキャスト・アドレスと、アドレス・タイプごとにフィルタリング条件を設定することが可能です。またこれらのフィルタリング条件を組み合わせることも可能です。

(1) ユニキャスト・アドレスのフィルタリング

LSA1 レジスタおよび LSA2 レジスタに設定されるステーション・アドレスをユニキャスト・アドレスとし、受信パケットのデスティネーション・アドレスと比較します。比較した結果、アドレスが一致すると受信パケットを受信 FIFO に蓄積します。ユニキャスト・アドレスの一致検出は AFR レジスタ : PRO ビットに 1 が設定されない限り、受信パケットごとに常に行われます。

(2) マルチキャスト・アドレスのフィルタリング

マルチキャスト・アドレスのフィルタリングには 2 通りあります。AFR レジスタ : PRM ビットに 1 を設定すると、すべてのマルチキャスト・パケットを受信 FIFO に蓄積します。

AFR レジスタ : AMC ビットに 1 を設定すると、HT1 レジスタおよび HT2 レジスタに用意されるハッシュ・テーブルを用い、テーブルに一致したマルチキャスト・パケットのみを受信 FIFO に蓄積します。ハッシュ・テーブルによる一致検出の方法は次のとおりです。

ハッシュ・テーブルは、受信されたマルチキャスト・アドレスの CRC 計算を行い、その結果である 32 ビット CRC のうちビット 28 ~ ビット 23 を用いて参照されます。CRC 計算には多項式として次の式を使用しています。

$$X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$$

HT1 レジスタおよび HT2 レジスタ上で、先の 6 ビットで示されるビット位置に 1 が設定されている場合、そのマルチキャスト・パケットを受信 FIFO に蓄積します。ハッシュ・テーブルを設定するためには、あらかじめマルチキャスト・アドレスの CRC 計算を行い、対応するビットに 1 を設定しておく必要があります。

(3) ブロードキャスト・アドレスのフィルタリング

AFR レジスタ : ABC ビットに 1 を設定すると、ブロードキャスト・パケットを受信 FIFO に蓄積します。

(4) プロミスカス・モード

AFR レジスタ：PRO ビットに 1 を設定するとプロミスカス・モードとなり、すべてのアドレス・タイプのパケットを受信 FIFO に蓄積します。

(5) アドレス・フィルタリング条件の設定

アドレス・フィルタリングの設定は次のように行います。

まず MACC1 レジスタ：SRXEN ビットに 0 を設定します。SRXEN ビットが 0 であるとき、すべての受信パケットは無視され受信 FIFO には受信されません。次に LSA1 レジスタおよび LSA2 レジスタにステーション・アドレスを設定します。AFR レジスタには、必要なフィルタリング条件の組み合わせを設定します。条件付マルチキャスト・パケット受信を行う場合には HT1 レジスタおよび HT2 レジスタによってハッシュ・テーブルの設定が必要になります。これらの設定が完了したあとで、SRXEN ビットに 1 を設定することでパケット受信をイネーブルにします。

3.5.6 受信 FIFO オーバフロー

受信パケットを蓄積中に受信 FIFO にてオーバフローが発生すると、データの蓄積をただちに中止します。蓄積が中断されたパケットは受信 FIFO 内でクリアされ、オーバフロー発生後に受信された残りの受信データは無視されます。ホスト・システムへは FSVREG レジスタによりオーバフローを検出することができます。

3.5.7 受信 FIFO のクリア

ホスト・システムは MACC3：RXFFLH ビットに 1 をセットすることで、受信 FIFO の内容をクリアすることができます。受信 FIFO に受信パケットを蓄積している最中にこのビットをセットすると、受信中のパケットは破棄されます。このとき、すでに受信 FIFO 内に前の受信パケットが格納されている場合、このパケットもクリアされます。

3.6 全二重動作

μ PD98431 の各ポートは、パケットの送信と受信を同時に行う全二重動作が可能です。MACC1 レジスタ：FULLD ビットに 1 を設定すると、全二重動作がイネーブルされます。全二重動作がイネーブルになると、COLn 信号および CRSn 信号は無視されます。ただし例外として、CRSn 信号がハイ・レベルである間に MACC1 レジスタ：SRXEN ビットの設定を変更した場合、FULLD ビットの設定に関わらず、CRSn 信号がロウ・レベルになったあとで SRXEN ビットの変更が有効になります。

3.7 システム・バス・インタフェース

μ PD98431 にはホスト・システムとのインタフェースをとるために、FIFO バス・インタフェースとレジスタ・バス・インタフェースを内蔵しています。FIFO バス・インタフェースは、 μ PD98431 の内蔵 FIFO とホスト・システムとの間で、送受信データの転送を行うために用いられます。レジスタ・バス・インタフェースは、 μ PD98431 内部レジスタや統計カウンタへのアクセスのために使われます。

3.7.1 FIFO バス・インタフェース

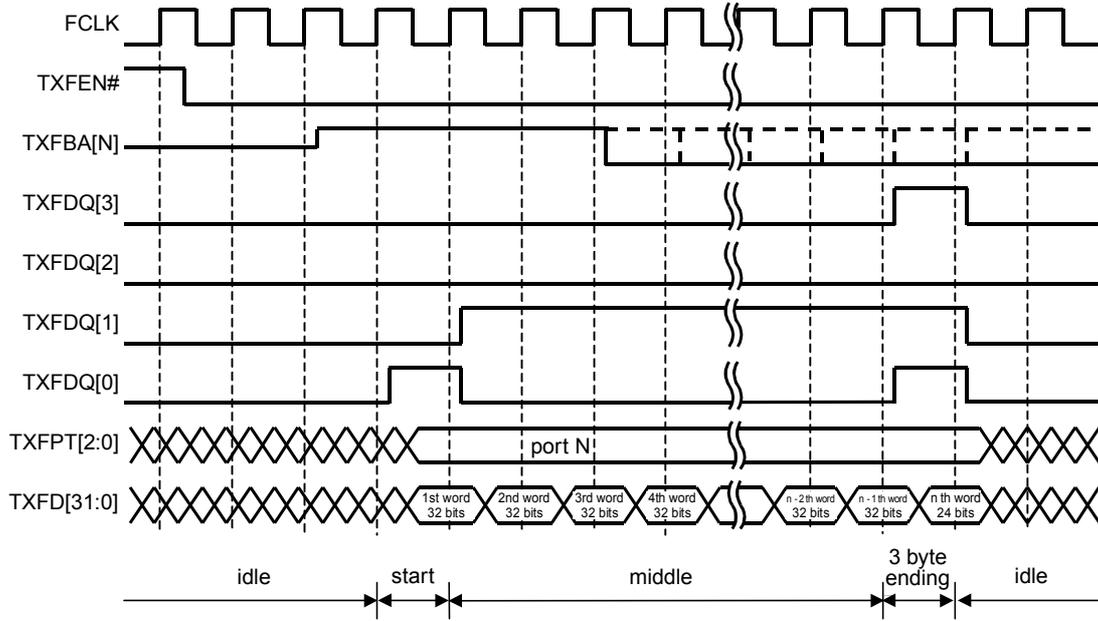
μ PD98431 では 2 モードの FIFO バス・インタフェースを持っています。32 ビット・デュアル・バス・モードは送信データ・バス、受信データ・バスを 32 ビット幅ずつに分離し 2 つの単方向バスで送受信データの転送を行うモードです。64 ビット・シングル・バス・モードは、双方向データ・バスを用いて、データ幅 64 ビットの送受信データを一つのバスで転送するモードです。これらのバス・モードは、MISCR レジスタの設定によって選択されます。

FIFO バス・インタフェースのデータ転送速度は、2 つのバス・モードともに最大 66 MHz のバス・サイクルで転送することができます。

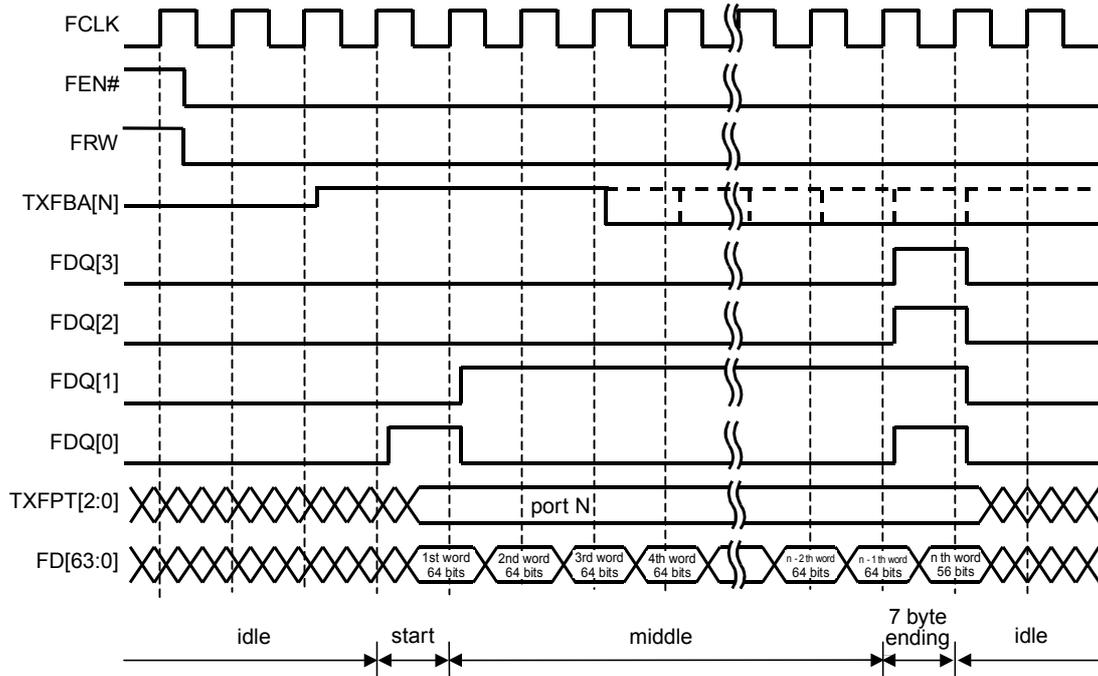
(1) 送信 FIFO バス・インタフェース動作

図3-5 FIFO インタフェース書き込みタイミング

(a) 32ビット・デュアル・バス・モード時の一例



(b) 64ビット・シングル・バス・モード時の一例



32 ビット・デュアル・バス・モードでは TXFEN#信号をロウ・レベルにすることで送信 FIFO への書き込みをイネーブルにします。また 64 ビット・シングル・バス・モードの場合は、FEN#信号と FRW 信号をロウ・レベルにします。

これらの信号がアサートされると、すべてのポートの TXFBAn 信号機能がイネーブルされます。各ポートは、送信 FIFO に蓄積されているデータが TFIC レジスタ：TFDMH フィールドに設定される値を越えていない場合、TXFBAn 信号をハイ・レベルにします。これによりホスト・システムは、あらかじめ設定しておいた空き空間が送信 FIFO 内に最低限確保されていることを、各ポートごとに認識することができます。

TXFBAn 信号がハイ・レベルであることが確認されたら、ホスト・システムは送信データの書き込みを開始します。ホスト・システムは、32 ビット・デュアル・バスの場合 TXFPT[2:0], TXFD[31:0], TXFDQ[3:0] に、また 64 ビット・シングル・バスの場合 TXFPT[2:0], FD[63:0], FDQ[3:0]に必要なデータを用意します。

TXFPT[2:0]はパケット送信を行うポートのポート番号を指定するための信号で、ホスト・システムは書き込みたい送信 FIFO のポート番号をこの端子に与えます。TXFD[31:0]および FD[63:0]は、それぞれのバス・モードで設定されているバス幅に対応して送信 FIFO に書き込むためのデータ・バスです。TXFDQ[3:0]および FDQ[3:0]は FIFO データ・バス上のデータの属性を示すための信号で、ホスト・システムはそれぞれのバス・モードに対応して TXFD[31:0]あるいは FD[64:0]上のデータの属性を入力します。

データの属性には、アイドル、データ開始、中間データ、データ終了があります。終了データにおいて端数が発生する場合には、このデータ属性によって端数処理が必要なことをμPD98431 に知らせます。またこの属性設定により CRC コードの自動付加を指示することもできます。TXFDQ[3:0]および FDQ[3:0]入力とデータ属性の関係を表 3 - 1、表 3 - 2 に示します。

表 3 - 1 TXFDQ 端子と送信データ属性 (32 ビット・デュアル・バス)

TXFDQ 端子				データ属性	有効データ・バイト位置	
[3]	[2]	[1]	[0]		リトル・エンディアン	ビッグ・エンディアン
0	0	0	0	アイドル	-	-
0	0	0	1	データ開始	TXFD[31:0]	TXFD[31:0]
0	0	1	0	中間データ	TXFD[31:0]	TXFD[31:0]
0	0	1	1	データ開始 (CRC 付加)	TXFD[31:0]	TXFD[31:0]
0	1	x	x	予約	-	-
1	0	0	0	データ終了 0	TXFD[31:0]	TXFD[31:0]
1	0	0	1	データ終了 1	TXFD[7:0]	TXFD[31:24]
1	0	1	0	データ終了 2	TXFD[15:0]	TXFD[31:16]
1	0	1	1	データ終了 3	TXFD[23:0]	TXFD[31:8]
1	1	x	x	予約	-	-

表3-2 FDQ 端子と送信データ属性 (64 ビット・シングル・バス)

FDQ 端子				データ属性	有効データ・バイト位置	
[3]	[2]	[1]	[0]		リトル・エンディアン	ビッグ・エンディアン
0	0	0	0	アイドル	-	-
0	0	0	1	データ開始	FD[63:0]	FD[63:0]
0	0	1	0	中間データ	FD[63:0]	FD[63:0]
0	0	1	1	データ開始 (CRC 付加)	FD[63:0]	FD[63:0]
0	1	x	x	予約	-	-
1	0	0	0	データ終了0	FD[63:0]	FD[63:0]
1	0	0	1	データ終了1	FD[7:0]	FD[63:56]
1	0	1	0	データ終了2	FD[15:0]	FD[63:48]
1	0	1	1	データ終了3	FD[23:0]	FD[63:40]
1	1	0	0	データ終了4	FD[31:0]	FD[63:32]
1	1	0	1	データ終了5	FD[39:0]	FD[63:24]
1	1	1	0	データ終了6	FD[47:0]	FD[63:16]
1	1	1	1	データ終了7	FD[55:0]	FD[63:8]

リトル・エンディアン/ビッグ・エンディアンについては、3.7.1(4)リトル・エンディアン/ビッグ・エンディアンを参照してください。

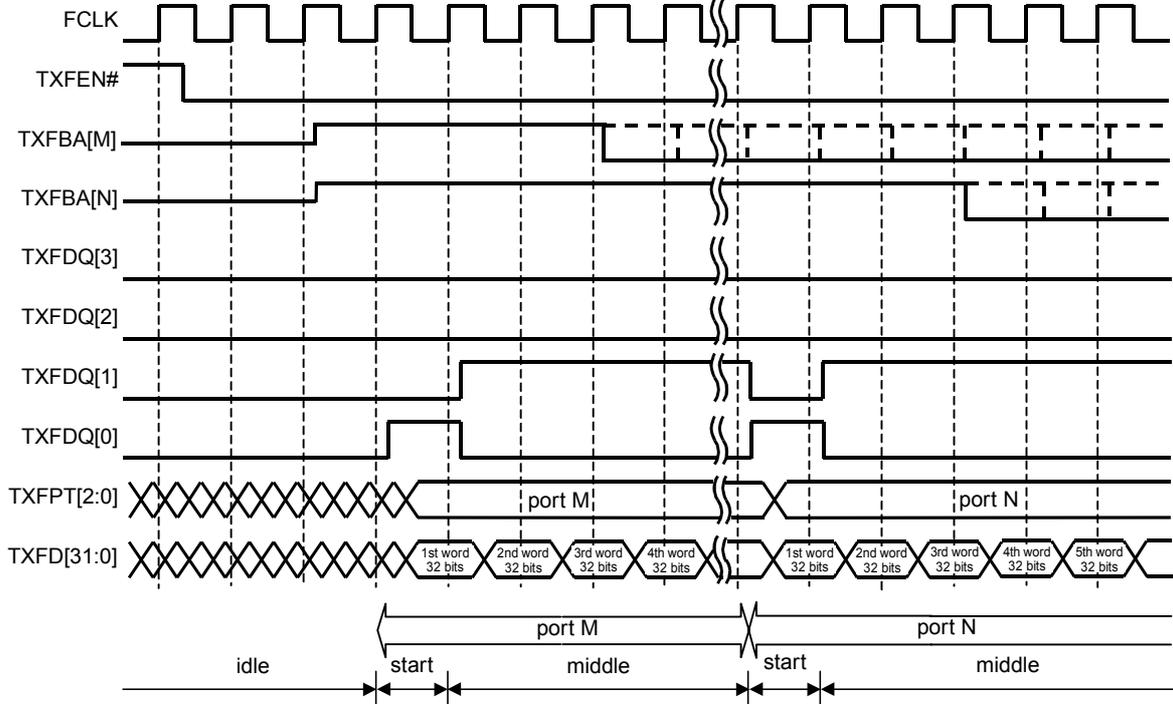
一度データ開始を書き込むと、残りのデータはバースト転送により送信 FIFO へ書き込まれます。

送信 FIFO 内のデータ量が TFIC レジスタ:TFDWL フィールドに設定される値を越えると、MAC モジュールに対して送信データの送出を開始します。また送信 FIFO 内のデータ量が、TFIC レジスタ:TFDMH フィールドに設定される値を越えると、TXFBA_n 信号をロウ・レベルにします。バースト転送の途中でアイドルを指示することで、送信 FIFO への書き込みを延ばすことが可能です。

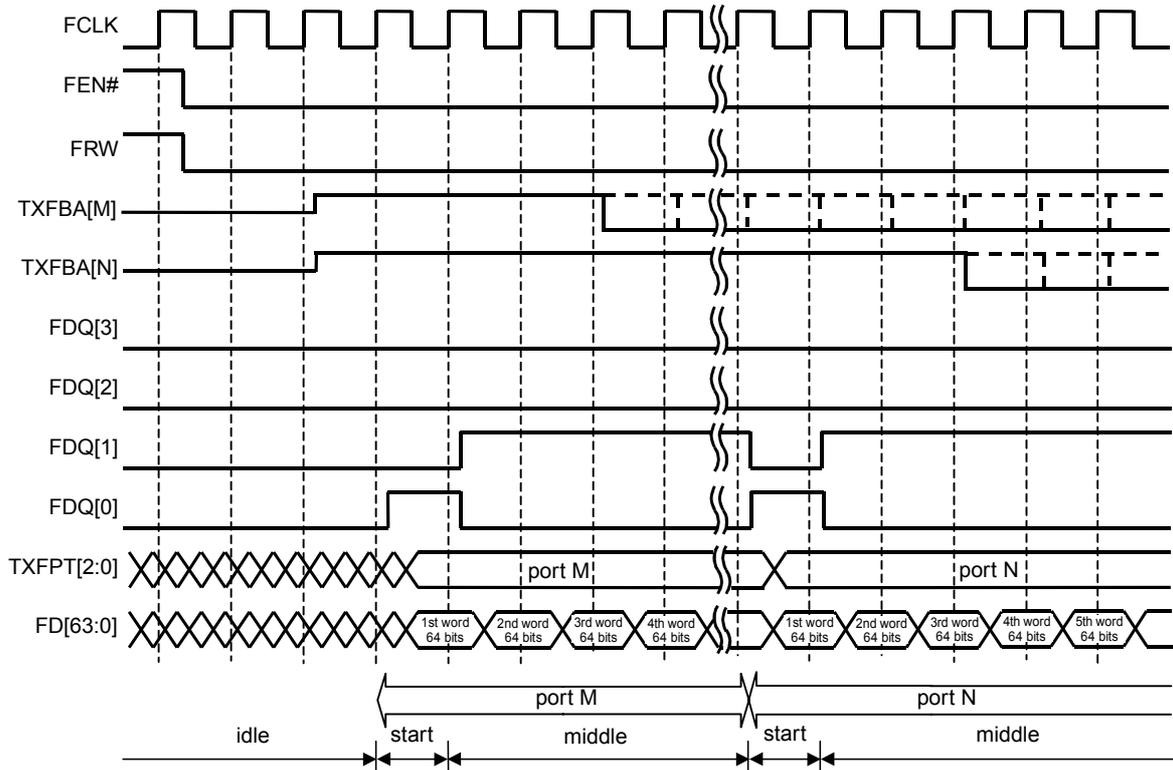
送信 FIFO に書き込みを行っている間に TXFPT[2:0] を切り替えることで、別のポートの送信 FIFO に続けて送信データを書き込むことができます。この場合、切り替えた直後の FCLK の立ち上がりから別のポートに書き込むことができますが、別のポートに対応した TXFBA 信号の状態がハイ・レベルであることを確認する必要があります。また、新たに別のポートに書き込まれるデータ・ストリームは、データ開始/中間データ/終了データと、いずれの属性をもつデータからでも開始することが可能であり、これにより送信パケットをブロック分割して、順次、各ポートに書き込むことが可能になります。ただし、ポートを切り替えるごとに、書き込むデータの属性を正しく与える必要があります。図3-6にTXFPT[2:0]による送信データ書き込みポートの切り替えタイミング例を示します。

図3-6 TXFPT[2:0]による送信データ書き込みポートの切り替えタイミング

(a) 32ビット・デュアル・バス・モード時の一例



(b) 64ビット・シングル・バス・モード時の一例



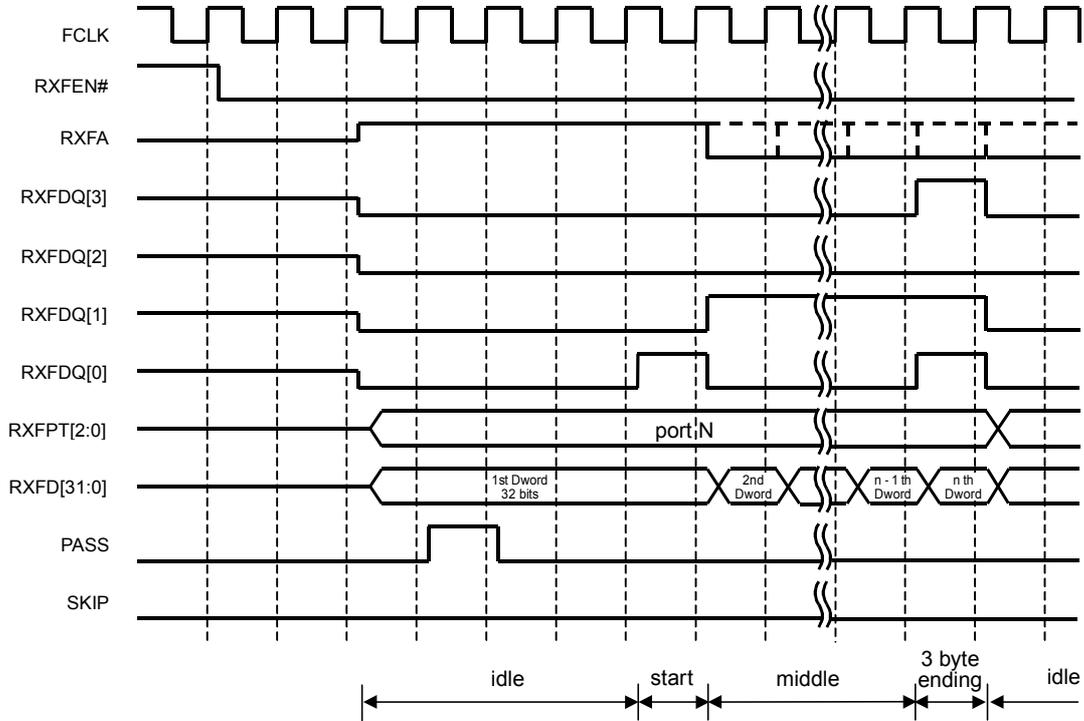
データを送信 FIFO に書き込んでいる間、書き込み中の送信パケットにおいて送信アボートとなる要因（過剰衝突、過剰遅延など）が発生した場合、現在書き込み中の送信パケット・データのうち、すでに送信 FIFO に蓄積された分はクリアされます。さらに、アボート発生後に書き込まれるデータについては、終了データを示す属性データ(EOF)が TXFDQ あるいは FDQ 端子に与えられるまで無視します。ホスト・システムは EOF を入力したあと、次のパケットを書き込むことができます。

また、データを送信 FIFO に書き込んでいる間、すでに送信 FIFO 内に蓄積されていて送信を待機している送信パケットにおいて送信アボートとなる要因が発生した場合、その送信は打ち切れ、送信 FIFO 内の該当パケットの残りはクリアされます。このとき、送信 FIFO 内に蓄積されている他のパケット・データや現在書き込み中であるパケット・データには、影響を与えません。

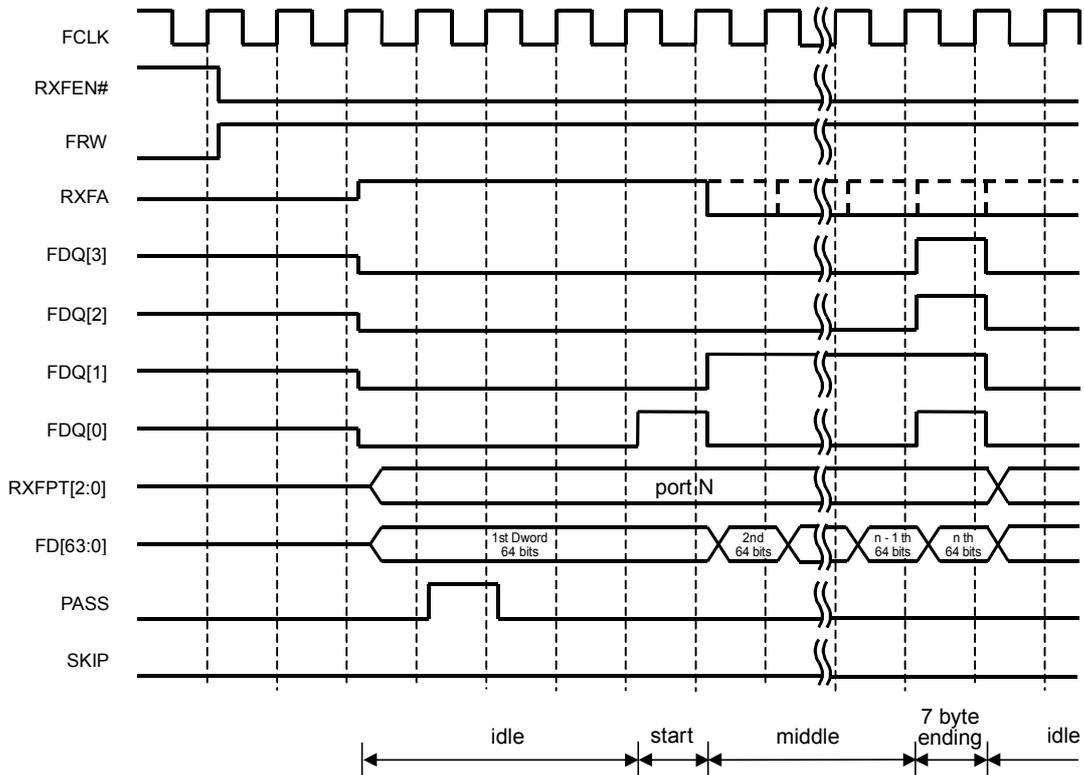
(2) 受信 FIFO バス・インタフェース動作

図3-7 FIFO インタフェース読み出しタイミング

(a) 32ビット・デュアル・バス・モード時の一例



(b) 64ビット・シングル・バス・モード時の一例



μPD98431 では、ネットワーク側からの受信が終了し、1 パケット分完全に受信 FIFO に格納されてから、ホスト・システムへの転送を開始します。受信 FIFO からの読み出し手順は次のとおりです。

(a) 受信 FIFO からの読み出し

受信 FIFO からのデータ読み出しは、32 ビット・デュアル・バス・モードの場合、RXFEN#信号をロウ・レベルにすることでイネーブルにされます。64 ビット・シングル・バス・モードの場合は、FEN#信号をロウ・レベルにし FRW 信号をハイ・レベルにすることでイネーブルにされます。

μPD98431 では、FIFO バス・インタフェースを通じて読み出される受信 FIFO のポート番号は、μPD98431 側から指示します。まず受信 FIFO からの読み出しがイネーブルになると、μPD98431 は各ポートの受信 FIFO をスキャンし、いずれかのポートの受信 FIFO に受信データが1パケット分完全に格納されているかどうか確認します。その結果、いずれかの受信 FIFO に少なくとも1パケット分完全に格納されている場合、RXFA 信号をハイ・レベルにし受信データの転送準備ができていることをホスト・システムに知らせます。それと同時に RXFPT[2:0]上にデータ転送が準備できている受信 FIFO のポート番号を出力します。ホスト・システムが RXFPT[2:0]を認識したあと、そのポートの受信 FIFO からデータを読み出すためには、PASS 信号を入力することが必要です。PASS 信号が入力されると受信データは、FCLK に同期した受信データ・ストリームとして、RXFD[31:0]あるいは FD[63:0]からバースト形式で読み出されます。

受信データが読み出されると同時にμPD98431 は、RXFDQ あるいは FDQ 信号にそれぞれのバス・モードに対応して、FIFO データ・バス上のデータ属性を出力します。受信データの最後で、バイト単位での端数が発生した場合にはこのデータ属性によって、有効なバイト位置を知ることができます。RXFDQ[3:0]および FDQ[3:0]出力とデータ属性の関係を表 3 - 3、表 3 - 4 に示します。

表 3 - 3 RXFDQ 端子と受信データ属性 (32 ビット・デュアル・バス)

RXFDQ 端子				データ属性	有効データ・バイト位置	
[3]	[2]	[1]	[0]		リトル・エンディアン	ビッグ・エンディアン
0	0	0	0	アイドル	-	-
0	0	0	1	データ開始	TXFD[31:0]	TXFD[31:0]
0	0	1	0	中間データ	TXFD[31:0]	TXFD[31:0]
0	0	1	1	予約	-	-
0	1	0	0	ステータス情報 (先頭)	TXFD[31:0]	TXFD[31:0]
0	1	0	1	ステータス情報 (最後)	TXFD[31:0]	TXFD[31:0]
0	1	1	x	予約	-	-
1	0	0	0	データ終了 0	TXFD[31:0]	TXFD[31:0]
1	0	0	1	データ終了 1	TXFD[7:0]	TXFD[31:24]
1	0	1	0	データ終了 2	TXFD[15:0]	TXFD[31:16]
1	0	1	1	データ終了 3	TXFD[23:0]	TXFD[31:8]
1	1	x	x	予約	-	-

表3-4 FDQ 端子と受信データ属性 (64 ビット・シングル・バス)

FDQ 端子				データ属性	有効データ・バイト位置	
[3]	[2]	[1]	[0]		リトル・エンディアン	ビッグ・エンディアン
0	0	0	0	アイドル	-	-
0	0	0	1	データ開始	FD[63:0]	FD[63:0]
0	0	1	0	中間データ	FD[63:0]	FD[63:0]
0	0	1	1	予約	FD[63:0]	FD[63:0]
0	1	0	0	ステータス情報 (先頭)	FD[31:0]	FD[63:32]
0	1	0	1	ステータス情報 (最後)	FD[31:0]	FD[63:32]
0	1	1	×	予約	-	-
1	0	0	0	データ終了0	FD[63:0]	FD[63:0]
1	0	0	1	データ終了1	FD[7:0]	FD[63:56]
1	0	1	0	データ終了2	FD[15:0]	FD[63:48]
1	0	1	1	データ終了3	FD[23:0]	FD[63:40]
1	1	0	0	データ終了4	FD[31:0]	FD[63:32]
1	1	0	1	データ終了5	FD[39:0]	FD[63:24]
1	1	1	0	データ終了6	FD[47:0]	FD[63:16]
1	1	1	1	データ終了7	FD[55:0]	FD[63:8]

ステータス情報の付加については、3.7.1(2)(c) ステータス情報の付加を参照してください。またリトル・エンディアン/ビッグ・エンディアンについては、3.7.1(4) リトル・エンディアン/ビッグ・エンディアンを参照してください。

RXFPT で指定されたポートからの1パケット分の読み出しが終了し、次に受信データ読み出し準備が完了しているポートがある場合には、RXFA 信号をハイ・レベルにし、RXFPT にそのポート番号を出力して、次の受信データ読み出しを待ちます。

RXFA 信号は、RXFPT で示されるポートに読み出し準備が完了した受信データが存在する場合、ハイ・レベルを維持します。例外として、SKIP 信号入力により読み出し途中で他のポートに移る場合、RXFA 信号は必ずいったんロウ・レベルになります。

μ PD98431 では受信データの転送を行うポートの順序があらかじめ決められており、ポート0 ポート1 ポート2 ... ポート7 ポート0 ...の順番で繰り返されます。ただし、次のポートへ移る際に、次のポートに1パケット分の受信データが完全に蓄積されていない場合、そのポートはスキップされ、さらに次のポートへと順番が移ります。

あるポートから受信データの読み出しが完了したあと、次のポートの読み出しを開始するまでのタイミング例を図3-8に示します。

図3-8 受信データ読み出し完了後のポート切り替えタイミング (1/2)

(a) 32ビット・デュアル・バス・モード時の一例

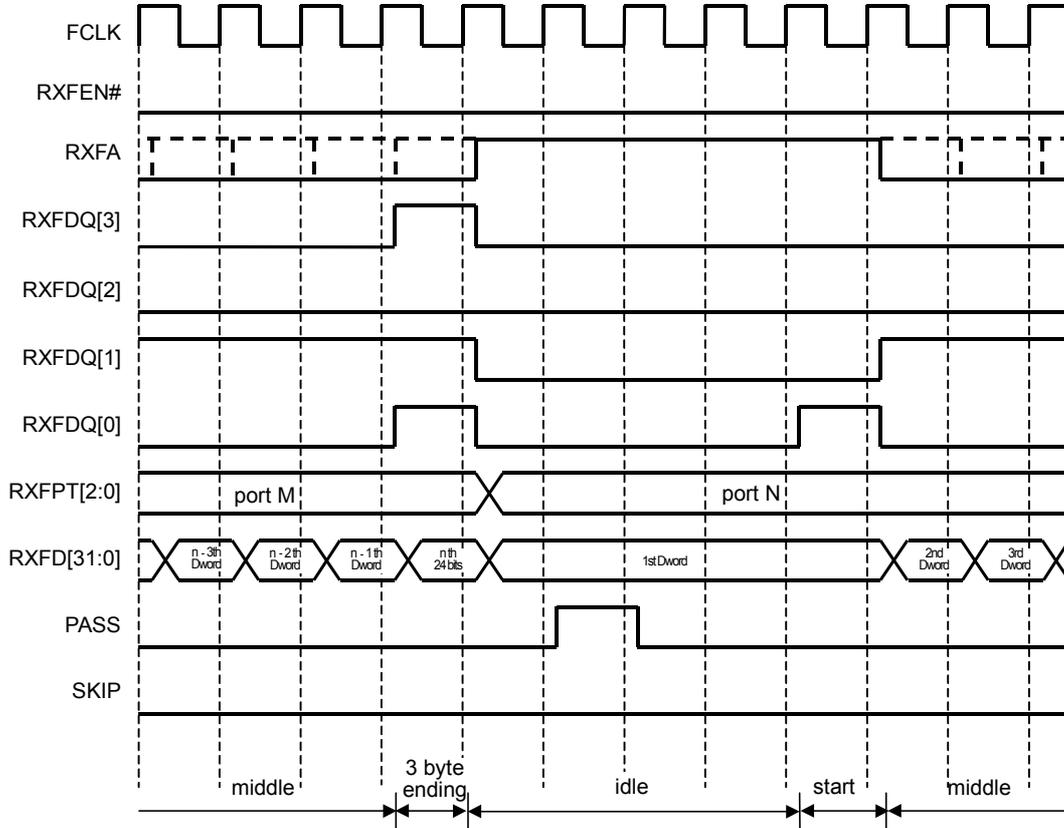
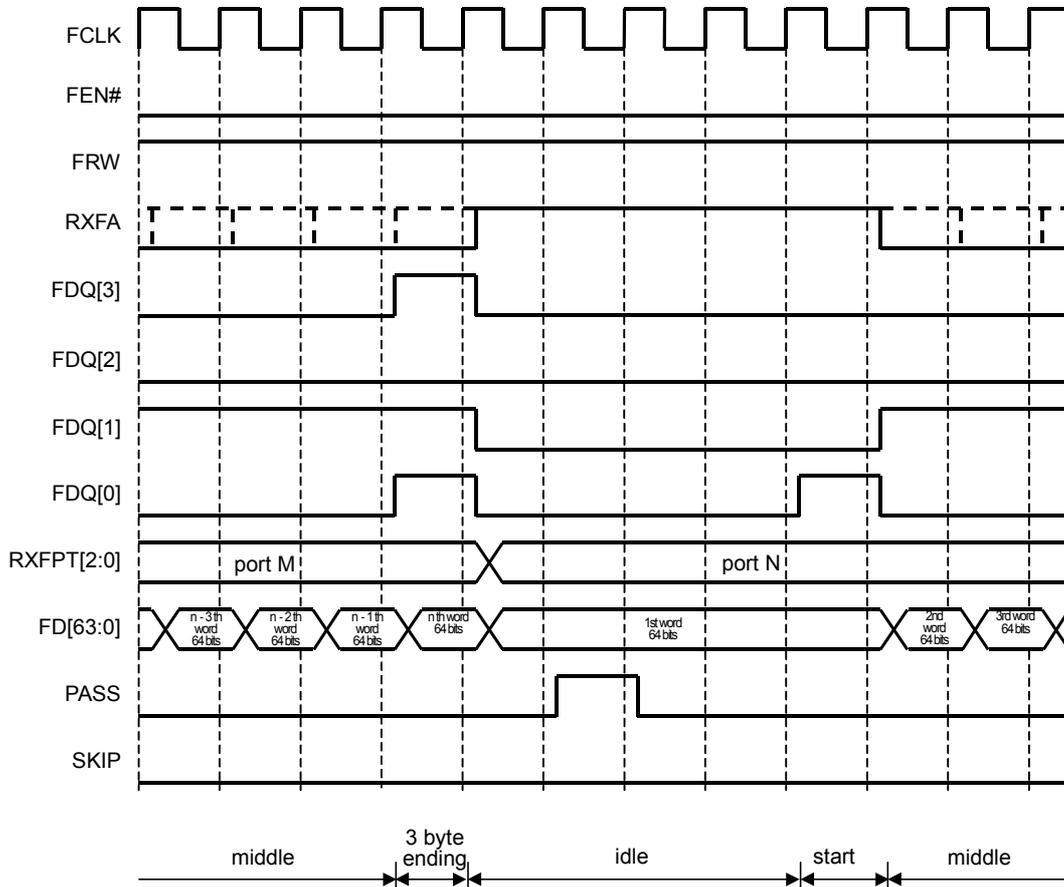


図3-8 受信データ読み出し完了後のポート切り替えタイミング(2/2)

(b) 64ビット・シングル・バス・モード時の一例



受信 FIFO にネットワーク側から書き込まれる受信データは、レジスタ設定によってフィルタリング条件を設定することができます。CRC エラーを含むパケットやコントロール・フレーム、ショート・パケットを受信しないようにレジスタ設定した場合、これらのパケットはいったん受信 FIFO に蓄積されますが、CRC エラーなどが確認された時点で受信 FIFO 内に蓄積された分はクリアされ、ホスト・システムに対してはパケットが蓄積されたことを知らせません。アドレス・フィルタリングに関しても同様に、フィルタリング条件を満足しないパケットは受信 FIFO より削除され、ホスト・システムには転送されません。

受信 FIFO がオーバーフローした場合には、受信中のパケットはいったん受信 FIFO には書き込まれませんが、オーバーフロー検出後受信中のパケットにおいて、すでに受信 FIFO に蓄積されたデータはクリアされ、同様にホスト・システムに対してデータの転送は行われません。

なお、データ長が 8 バイト以下のデータがネットワーク側から受信 FIFO に蓄積された場合、受信 FIFO はこのデータを無条件に削除します。

(b) SKIP 信号

FIFO バスを通じてデータが読み出される受信 FIFO のポート番号は μ PD98431 によって指示されますが、受信 FIFO の読み出しがイネーブルされ RXFA 信号がハイ・レベルになった時点、もしくは受信データをバースト転送により読み出ししている最中に SKIP 信号を入力することにより、ホスト・システムは μ PD98431 が指定する別のポートの読み出しを行うことができます。

前述のとおり、 μ PD98431 では各ポートに対して受信データの転送を行う順序があらかじめ決められており、SKIP 信号はこの順序に従いホスト・システムの指示により強制的に次のポートからの受信データ読み出しへ移行させるために用いられます。

SKIP 信号が入力されると、 μ PD98431 は現在のポートの受信データ読み出しを中断し、RXFDQ 端子あるいは FDQ 端子に 0000B を出力してアイドル状態になります。RXFA 信号はいったんロウ・レベルになります。次に、ホスト・システムへの受信データの転送準備が完了している次のポート番号を RXFPT に出力し、再び RXFA 信号をハイ・レベルにします。ここでホスト・システムより PASS 信号が入力されると、移行したポートからのデータ読み出しが開始されます。

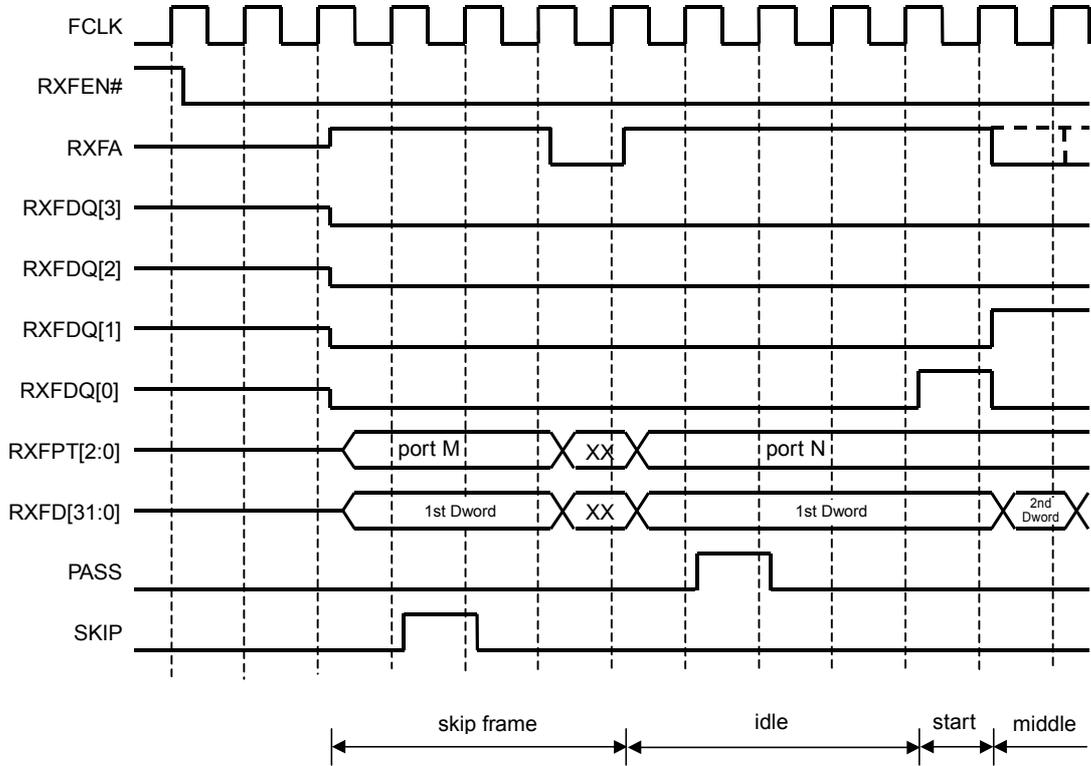
SKIP 信号によりスキップされたポートのデータは保持されます。他のポートの受信データ読み出しが完了するか、あるいは新たな SKIP 信号の入力により再び自分の順番が回ってきた場合、スキップされたポートは新たな PASS 信号の入力を待ってから、残りの受信データの転送を開始します。

図 3 - 9 に、読み出し開始前に SKIP 信号によってポートを切り替える場合のタイミング例を示します。この場合、SKIP 信号を検出後、FCLK で 2 クロック後にポートが切り替わります。

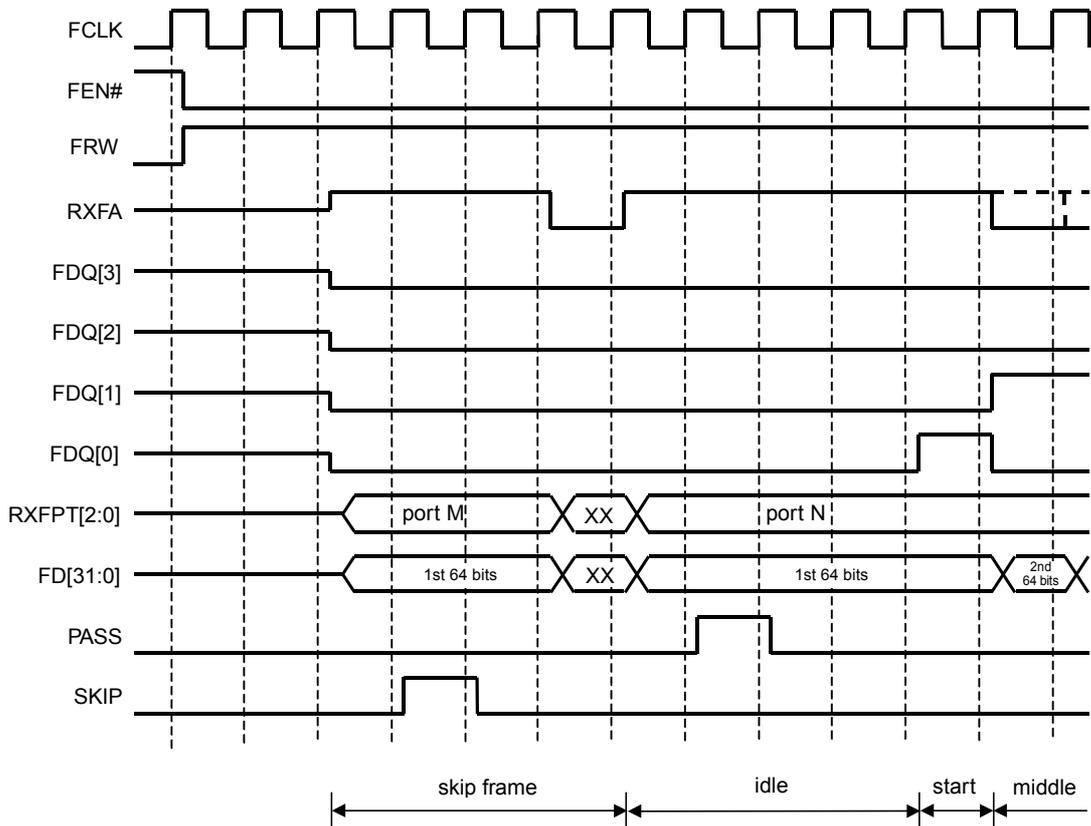
なお、SKIP 信号は複数クロック幅では与えないでください。SKIP 信号を複数回入力し連続してポートをスキップさせたい場合は、1 クロック分の SKIP 信号入力後、ポートの切り替わりを確認してから次の SKIP 信号を入力するようにしてください。

図3-9 SKIP信号による読み出しポート切り替えタイミング(読み出し開始前)

(a) 32ビット・デュアル・バス・モード時の一例



(b) 64ビット・シングル・バス・モード時の一例



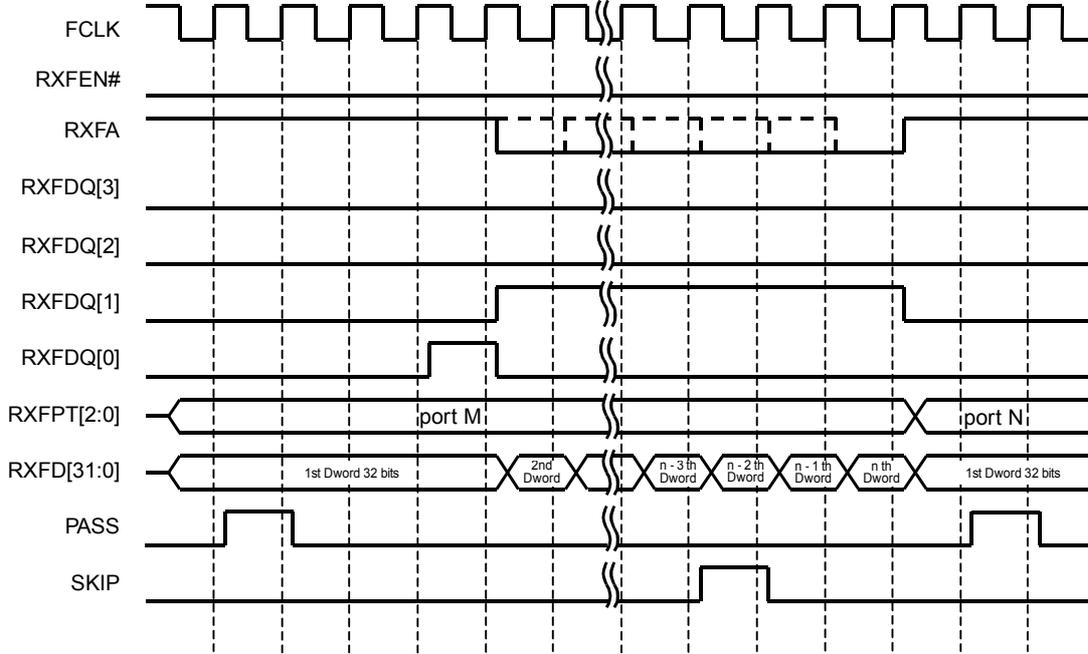
次に、読み出し中に SKIP 信号によってポートを切り替える場合のタイミング例を図 3 - 10 に示します。この場合、SKIP 信号が検出されてから、FCLK2 クロック先でポートが切り替わります。 μ PD98431 はポートが切り替わるまでに 2 クロック分の有効な受信データを出力します。ただし、SKIP 信号によってスキップされたポートと同じポートから続けて読み出される場合（他のポートに読み出し可能な受信データが存在しない場合）は、2 クロック分の有効データのあと、さらに 2 クロックにおいて RXFPT[2:0] に元のポートを示します（図 3 - 10 (b), (d) を参照してください）。なお、SKIP 信号入力後、次のポートを示した時点では IDLE 状態になりますので、読み出しを開始するためには PASS 信号の入力が必要になります。

SKIP 信号によりスキップされたポートに再び順番が回ってきた場合、前回スキップされた時点で最後に出力した受信データの次のデータからデータの出力を開始します。これらの動作により、SKIP 信号を使って各ポートに受信されたデータをブロック分割して読み出すことができます。あらかじめ読み出し単位を決めておき、RXFDQ 信号または FDQ 信号にデータ終了が現れるまで、読み出し単位ごとに SKIP 信号を入力します。これにより各ポートより読み出し単位ごとに順次連続して読み出すことができます。ただし送信 FIFO への書き込みとは違い、読み出されるポートについては μ PD98431 側が指定することになります。

なお、SKIP 信号や PASS 信号は複数クロック幅では与えないでください。SKIP 信号を複数回入力し連続してポートをスキップさせたい場合は、1 クロック分の SKIP 信号入力後、ポートが切り替わったことを確認してから、次の SKIP 信号を入力するようにしてください。

図3-10 SKIP信号による読み出しポート切り替えタイミング(読み出し中)(1/2)

(a) 32ビット・デュアル・バス・モード時の一例(SKIPされたポートと次のポートが異なる場合)



(b) 32ビット・デュアル・バス・モード時の一例(SKIPされたポートと次のポートが同じ場合)

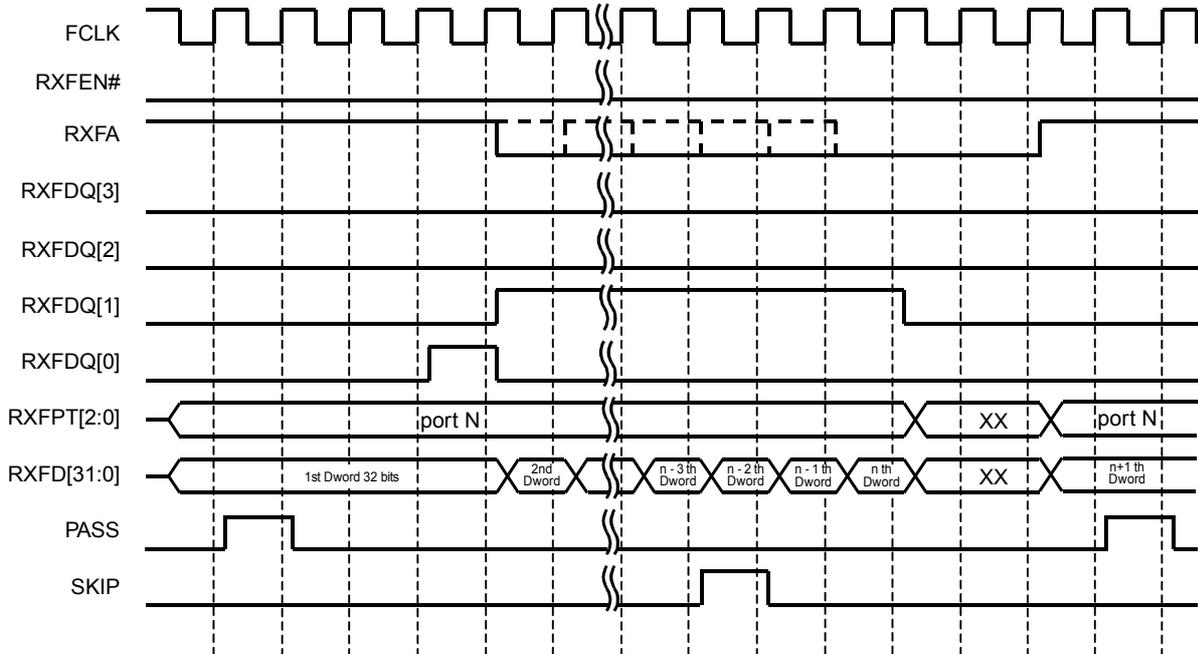
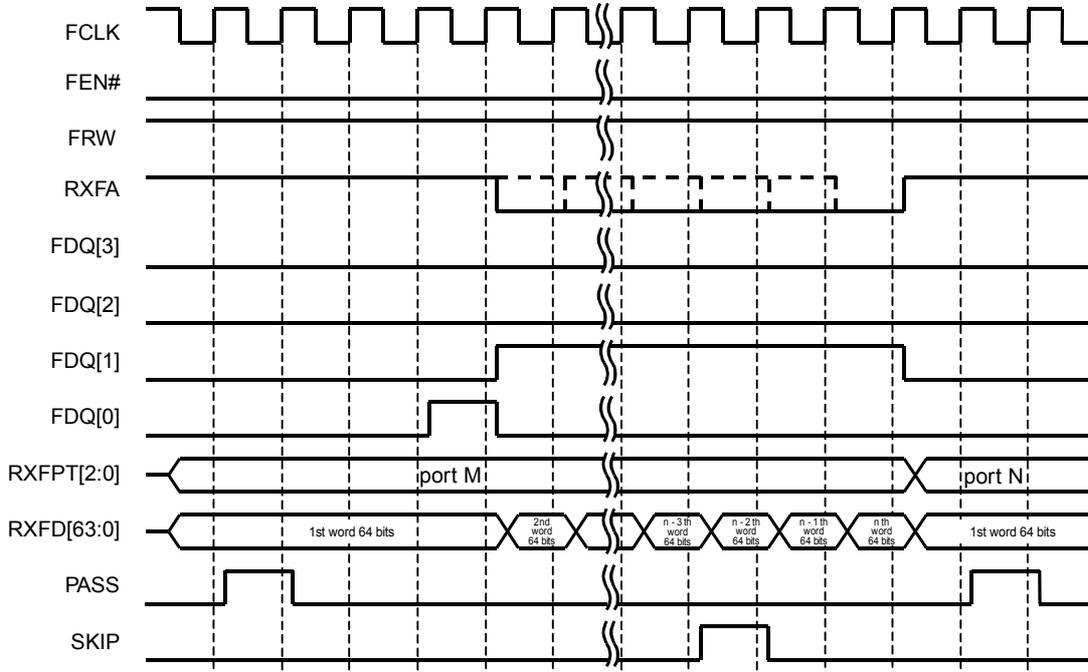
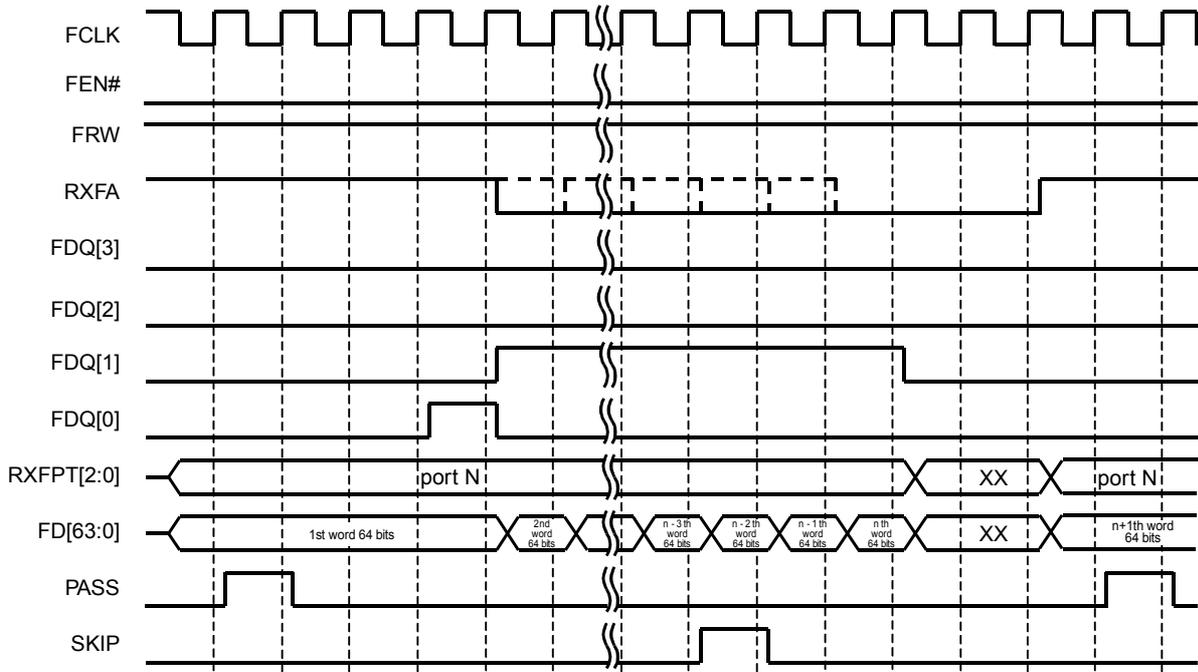


図3-10 SKIP信号による読み出しポート切り替えタイミング(読み出し中)(2/2)

(c) 64ビット・シングル・バス・モード時の一例(SKIPされたポートと次のポートが異なる場合)



(d) 64ビット・シングル・バス・モード時の一例(SKIPされたポートと次のポートが同じ場合)



(c) ステータス情報の付加

μPD98431 では、FIFO バスより読み出される受信データ・ストリームに、そのパケットのステータス情報を付加することができます。MACC3 レジスタ：APSS ビットに 1 をセットすると、受信データ・ストリームの先頭に読み出されるパケットのステータス情報が付加されます。また MACC3 レジスタ：APSE ビットに 1 をセットすると、受信データ・ストリームの最後にステータス情報を付加します。付加されるステータス情報は、パケット受信ごとに更新される RSVREG レジスタの内容がそのまま 32 ビット幅のデータとして添付されます。

(3) 64 ビット・シングル・バス・モード時における FIFO バスのアクセス方向切り替えタイミング

64 ビット・シングル・バス・モードを使用した場合に、受信データ読み出しと送信データ書き込みを切り替える場合のタイミングを図 3-11 に示します。リードからライト、あるいはライトからリードに切り替える際には、FEN#信号を必ずいったんディアサートしてください。

ライト動作から FEN#信号をディアサートする場合は、FEN#信号のディアサート検出後、次の FCLK 立ち上がりまでを有効な書き込みとみなします。

リード動作から FEN#信号をディアサートする場合は、FEN#信号のディアサート検出後、次の FCLK 立ち上がりまで有効なデータが出力されます。ただし FEN#信号ディアサート時の最後の読み出しデータが読み出し中のパケットの中間データであった場合、FEN#信号のディアサートではチップ内部における受信 FIFO からの読み出し動作が停止しませんので、読み出し再開時に残りのデータを正しく読み出すことができません。これを回避するためには、リード動作から FEN#信号をディアサートする前にパケットの最後まで読み出してデータ終了を確認するか、SKIP 信号を入力して FIFO バスを IDLE 状態にしてから FEN#信号をディアサートするようにしてください。

図3-11 64ビット・シングル・バス・モードにおけるFIFOバス・リード/ライト切り替えタイミング(1/2)

(a) ライト・サイクルからリード・サイクルへの切り替えタイミング例

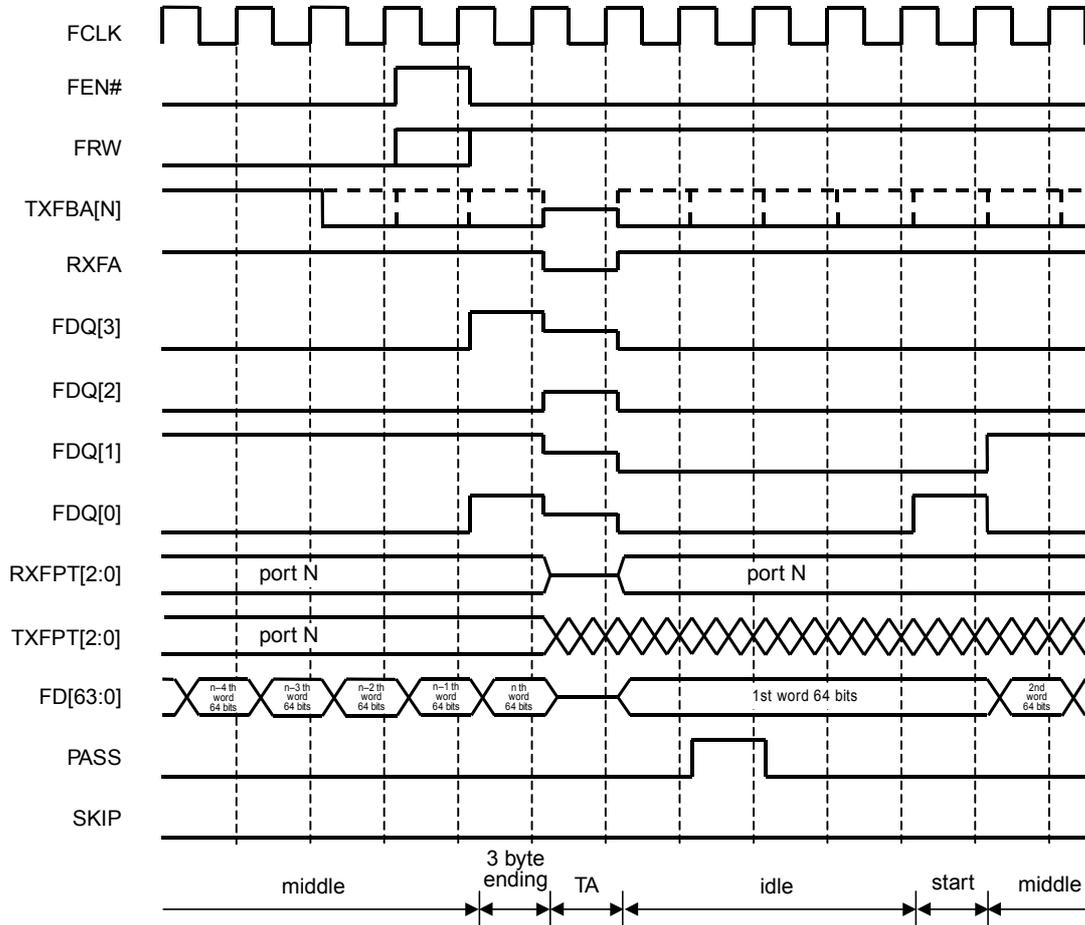
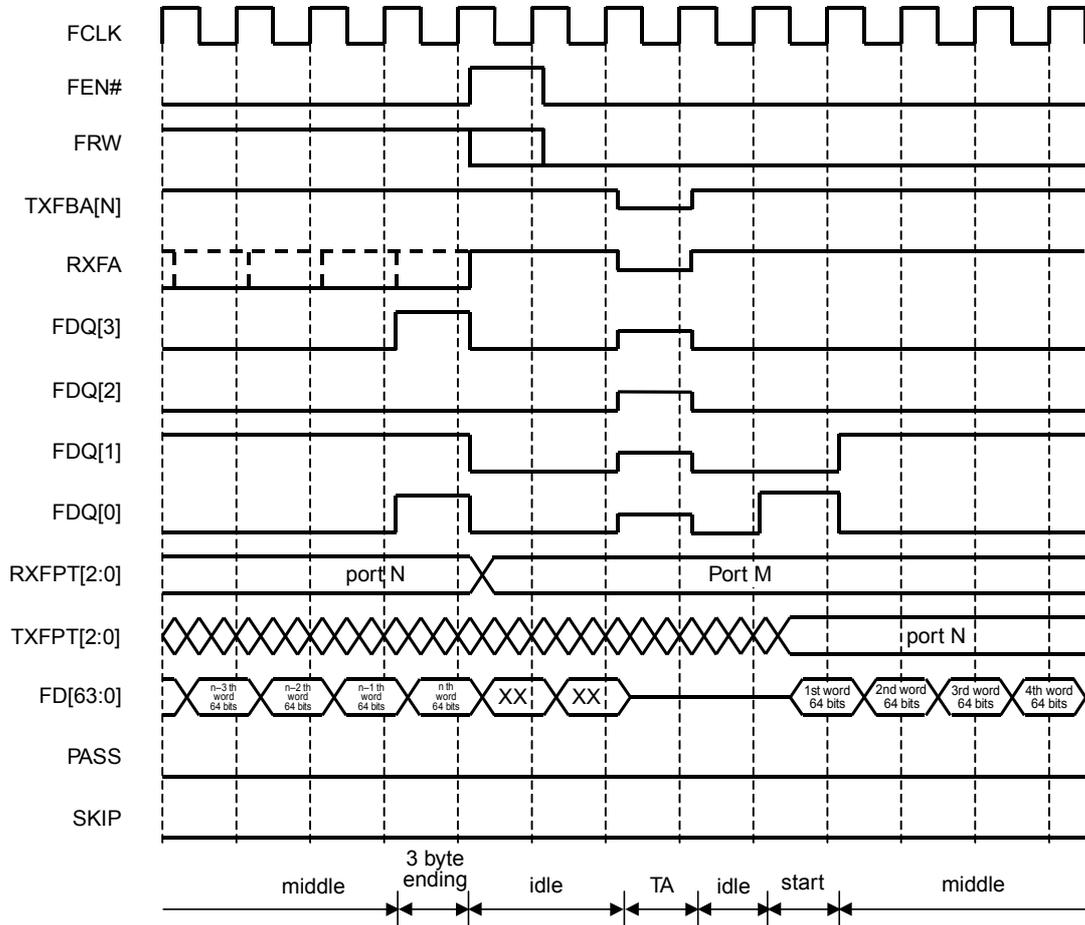


図 3 - 11 64 ビット・シングル・バス・モードにおける FIFO バス・リード/ライト切り替えタイミング (2/2)

(b) リード・サイクルからライト・サイクルへの切り替えタイミング例



(4) リトル・エンディアン/ビッグ・エンディアン

μPD98431 には、FIFO バス・インタフェースにおいて送受信データのバイト・オーダをリトル・エンディアンもしくはビッグ・エンディアンに設定する機能を持っています。MACC3 レジスタ: BUSMODE ビットの設定によって、リトル・エンディアンとビッグ・エンディアンを選択します。

リトル・エンディアン・モードの場合、データ・バスの最下位バイトを先頭にデータ転送されます。ビッグ・エンディアン・モードの場合は最上位バイトを先頭にデータ転送されます。なお、MACC3 レジスタ: BUSMODE ビットの設定は、レジスタ・バス・インタフェースのバイト・オーダには影響を与えません。

3.7.2 レジスタ・バス・インタフェース

μPD98431 は、制御レジスタ、統計カウンタなどのμPD98431 に内蔵しているレジスタにアクセスするためのレジスタ・バス・インタフェースを提供します。レジスタ・バス・インタフェースは 32 ビット幅の双方向データ・バスおよび 11 ビット幅のアドレス・バスと、制御信号 (CS#信号, RW 信号, ACK#信号) から構成されます。

(1) レジスタ・リード/ライト制御

内部レジスタにリード・アクセスする場合、ホスト・システムはリードするレジスタのアドレスを A[10:0] にセットし、RW 信号をハイ・レベル、CS#信号をロウ・レベルにします。μPD98431 は RW 信号、CS#信号の状態によりリード・アクセスを認識すると、ACK#信号をいったんハイ・レベルにし、必要なデータを読み出します。読み出したデータが D[31:0]上にセットされると、μPD98431 は ACK#信号をロウ・レベルにします。ホスト・システムは ACK#信号がロウ・レベルになったあと、D[31:0]上のデータを取り込み、次に CS#信号をハイ・レベルに戻します。ホスト・システムは ACK#信号がロウ・レベルになりデータを取り込むまで、A[10:0]、RW 信号、CS#信号の状態を保持する必要があります。ホスト・システムが読み出しデータを取り込み CS#信号をハイ・レベルにすると、μPD98431 はリード・サイクルを終了します。ACK#信号は、HCLK で 1 サイクルの間、ロウ・レベルになります。

内部レジスタにライト・アクセスする場合、ホスト・システムはライトするレジスタのアドレスを A[10:0] に、書き込みデータを D[31:0]にセットし、RW 信号をロウ・レベル、CS#信号をロウ・レベルにします。μPD98431 は RW 信号、CS#信号の状態によりライト・アクセスを認識すると、ACK#信号をいったんハイ・レベルにし、D[31:0]上のデータの書き込みを開始します。書き込みが終了するとμPD98431 は ACK#信号をロウ・レベルにし、ホスト・システムに知らせます。ホスト・システムは ACK#信号がロウ・レベルになりデータの書き込みが終了するまで、A[10:0]、D[31:0]、RW 信号、CS#信号の状態を保持する必要があります。書き込みが終了しホスト・システムが CS#信号をハイ・レベルにすると、μPD98431 はライト・サイクルを終了します。ACK#信号は、HCLK で 1 サイクルの間、ロウ・レベルになります。

(2) レジスタ・アドレス・マッピング

ホスト CPU がアクセスするレジスタは、ポート制御レジスタ、統計カウンタおよびグローバル・レジスタに分類されます。ポート制御レジスタおよび統計カウンタは各ポートごとに設置されており、各ポートごとの動作設定およびステータス情報の読み出し、あるいは統計情報を読み出すために使われます。一方、グローバル・レジスタはすべてのポートに関する設定を行うためのレジスタで、各ポートを使用するに当たって共通に使われます。

これらのレジスタは A[10:0]上のアドレス・データにより指定されます。A[10:0]は、2つの部分に分かれており、上位ビットの A[10:8]にはレジスタ・アクセスしたいポートのポート番号を入力し、下位ビットの A[7:0]にはアクセスしたいレジスタのアドレスを入力します。図 3-12 に A[10:0]とポート番号/レジスタ・アドレスの関係と参考例を示します。

図3-12 レジスタ・アドレス・バス

A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
ポート番号			レジスタ・アドレス							

例 ポート3のMACC3レジスタ(レジスタ・アドレス:90H)にアクセスする場合

A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	1	1	1	0	0	1	0	0	0	0

グローバル・レジスタにアクセスする場合には、A[10:8]の値は無視されます。

また MII マネジメント・インタフェースに関するレジスタ(MIIC, MCMD, MADR, MWTD, MRDD, MIND)の各レジスタは、ポート番号を0に設定したときのみ有効になります。

(3) 割り込み処理

μ PD98431 は割り込み要因が発生すると、INT#信号をロウ・レベルにしてホスト・システムへ知らせます。割り込み要因となるのは次のとおりです。

- ・ TSVREG1 レジスタに示される送信パケット・ステータス情報
- ・ RSVREG レジスタに示される受信パケット・ステータス情報
- ・ FSVREG レジスタ内に示される FIFO ステータス情報
- ・ CAR1 および CAR2 レジスタに示される統計カウンタのオーバフロー

INT#信号がアサートされたあと、ホスト・システムは STIR レジスタを読み出すことで、どのポートで発生したか、どのステータス要因によってINT#信号がアサートされたか、知ることができます。さらに、対応する各ポートのステータス・レジスタを読み出すことで、詳細な割り込み要因を特定することができます。

STIR レジスタにおいては、各ポートに設置されているステータス・レジスタにおいてINT#信号をアサートする割り込み要因が発生している場合、対応するビットに1がセットされます。STIR レジスタを読み出しても、ステータス・レジスタあるいはINT#信号はクリアされません。

各割り込み要因は、要因ごとに個別に割り込みマスクを設定することができます。マスクされている要因において割り込みが発生した場合には各ステータス・レジスタの対応するビットに1が設定されますが、INT#信号をアサートする要因とはならず、STIR レジスタ内の対応するビットにも1はセットされません。

各ステータス・レジスタは、MISCR レジスタ:SRRC ビットに1がセットされているときに読み出すと、自動的にクリアされます。INT#信号は、全ポートのステータス・レジスタ(マスクされているビットを除く)がすべてクリアされるとディアサートされます。

3.8 ネットワーク・インタフェース

μ PD98431 は、ネットワーク側のインタフェースとして、MII(Media Independent Interface)と 10 Mbps シリアル・インタフェースを内蔵しています。PCSC レジスタ：EXINT ビットの設定により、各ポートごとに使用するインタフェースを選択することができます。

3.8.1 MII (Media Independent Interface)

MII は IEEE802.3u で定義されるインタフェースで、メディア・タイプ (STP, UTP, 光ファイバなど) および転送速度 (10 Mbps および 100 Mbps) に依存しない送受信データのインタフェースを実現します。このインタフェースは、送受信データ用に 4 ビット幅 (ニブル) のデータ・バスと制御信号を持ちます。また PHY デバイスとの間で MII マネジメント・フレームを用いたアクセスを行うための 2 線式のシリアル・インタフェース、MII マネジメント・インタフェースを提供します。

μ PD98431 では、各ポートごとに送受信・ニブル・データ・バスおよび制御信号をサポートします。また MII マネジメント・インタフェースは 1 ポート分実装されています。

3.8.2 MII マネジメント・インタフェース

(1) MDC クロック

μ PD98431 では、HCLK 端子に入力されるクロックを分周することにより、MII マネジメント・インタフェースに使われる MDC クロックを生成しています。IEEE 規格を満たすために、HCLK 入力に合わせて分周比を設定する必要があります。分周比は MIIC レジスタ：CLKS ビットによって設定されます。HCLK 入力と CLKS ビット設定との関係を表 3 - 5 に示します。

表 3 - 5 MIIC レジスタ：CLKS ビットと HCLK の周波数

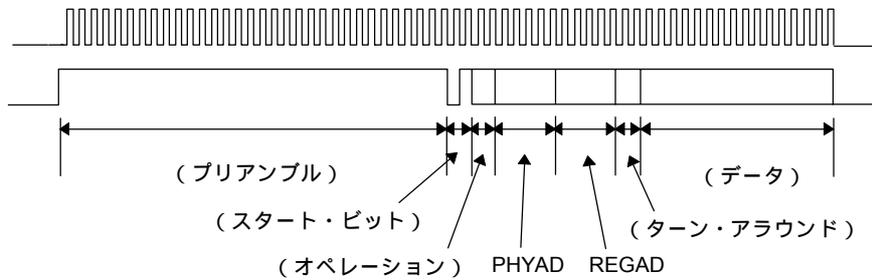
MIIC : CLKS ビット		HCLK 入力の周波数範囲
ビット 3	ビット 2	
0	0	未使用
0	1	33 MHz 以下
1	0	50 MHz 以下
1	1	66 MHz 以下

MDC は、マネジメント・フレームを送信あるいは受信しているときのみ出力されます。

(2) MII マネジメント・フレーム・データ

図 3 - 13 に MII マネジメント・フレーム構造を示します。

図 3 - 13 MII マネジメント・フレーム構造



μ PD98431 では、MII マネジメント・フレーム中のプリアンブル、スタート・ビットを自動的に生成します。オペコードは、外部 PHY デバイスのレジスタへのリード/ライトに応じて自動的に付加されます。PHYAD と REGAD は、PHY デバイスのデバイス・アドレスと、その PHY デバイス内にあるレジスタ・アドレスを示しており、それぞれ MADR レジスタ：FIAD フィールドと RGAD フィールドに設定された値が付加されます。

PHY デバイスからの読み出し動作は、MCMD レジスタ：RSTAT ビットを 1 にすることで実行されます。PHY デバイスへの書き込み動作は MWTD レジスタ：CTLD フィールドにデータを書き込むことで実行されます。

μ PD98431 では、まずプリアンブルから REGAD までのデータを MDIO 信号としてシリアル出力し、ターン・アラウンド後、ライト・アクセスの場合は MWTD レジスタ：CTLD フィールドに設定されたデータを出力します。リード・アクセスの場合には、MDIO 信号よりシリアル・データが入力され、MRDD レジスタ：PRSD フィールドに書き込まれます。

(3) アクセス手順

MII マネジメント・フレームの送受信は次のように行います。

まず、MIND レジスタ：BUSY ビットを確認し、現在 MII マネジメント・アクセス中であるかどうかを確認します。BUSY ビットがオンの場合は、オフされるまで待ちます。次にターゲットとなる外部 PHY のデバイス・アドレスおよび PHY 内のレジスタ・アドレスをそれぞれ、MADR レジスタの FIAD フィールドと RGAD フィールドに設定します。

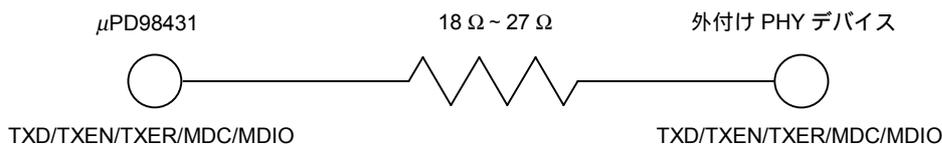
ライト・アクセスの場合は、MWTD レジスタ：CTLD フィールドにライト・データを書き込むことで、アクセスが開始されます。BUSY ビットは、MWTD レジスタに書き込みが行われるとオンされ、ライト・アクセスが終了するとオフします。

リード・アクセスの場合は MCMD レジスタ：RSTAT ビットを 1 にすることで開始されます。RSTAT ビットに 1 が設定されると BUSY ビットがオンとなり、リード・アクセス終了後 BUSY ビットはオフとなります。ホスト・システムは、BUSY ビットのオフを確認したあと MRDD レジスタ：PRSD フィールドを読み出すことで、リード・データを得ることができます。

3.8.3 μ PD98431 MII 出力信号端子の接続

MI I 出力信号 (TXD, TXEN, TXER, MDC, MDIO) を PHY デバイスに接続する場合, MII 出力バッファの駆動能力を IEEE802.3u 規格に合わせるために, 図 3 - 14 のように各 MII 出力信号に $18\ \Omega \sim 27\ \Omega$ の直列抵抗を接続してください。

図 3 - 14 MII 出力信号端子の接続



3.8.4 10 Mbps シリアル・インタフェース

μ PD98431 は 10 Mbps トランシーバと接続するためのシリアル・インタフェースを提供します。このインタフェースは送受信ともに 1 ビットのシリアル・データとクロックおよび制御信号から構成されています。

ポート n の送信インタフェースには, TXCLKn, TXDn[0], TXENn を使用します。また衝突検出には COLn 信号を使用します。送信シリアル・データは TXDn[0]より, TXCLKn の立ち上がり同期して出力されます。TXENn は, TXDn[0]上のデータが有効であるときハイ・レベルになります。

ポート n の受信インタフェースには, RXCLKn, RXDn[0], CRSn を使用します。 μ PD98431 は RXCLKn の立ち上がりで, RXDn[0]より入力される受信シリアル・データをサンプリングします。このとき CRSn がハイ・レベルであれば, μ PD98431 はサンプリングしたデータを有効な受信データとみなします。

3.9 フロー制御

μ PD98431 では, IEEE 802.3x Annex31B にあるポーズ・コントロール・フレームの処理を行い, フロー制御を実現します。

フロー制御の目的は, 全二重動作においてポイント・ツー・ポイントで接続されている他方の端末から送信されてくるパケットの送信頻度を下げることにあります。

ポーズ・コントロール・フレームを受信した場合, コントロール・フレーム内のポーズ・タイマ・フィールドの値を MAC 内のポーズ・タイマにロードします。ポーズ・タイマが 0 でない場合, ポーズ・タイマに設定されている時間を経過したあと, 次の送信を開始します。

一方, ネットワーク上のもう一方の端末からのデータ送信を抑えたい場合には, 予約されたマルチキャスト・アドレス (01-80-C2-00-00-01), ポーズ・オペコードおよび 16 ビットのポーズ・タイマ値を生成し, ポーズ・コントロール・フレームとして送信します。

3.9.1 コントロール・フレーム受信

μ PD98431 では、MACC1 レジスタ：RXFC ビットが1のとき、コントロール・フレームの受信検出を有効にします。ポーズ・コントロール・フレームの検出は、デスティネーション・アドレスおよびタイプ・フィールドのオペコードをチェックすることで行われます。受信データ・ストリームがポーズ・コントロール・フレームとして検出されるためには、デスティネーション・アドレスに予約されているマルチキャスト・アドレス（01-80-C2-00-00-01）か、あるいはその MAC に与えられたユニキャスト・アドレスのどちらかを持っていないければなりません。また、長さ/タイプ・フィールドには 8808H を、さらにコントロール・オペコード・フィールドには正しいポーズ・オペコード 0001H を持っていません。

μ PD98431 は、有効なポーズ・コントロール・フレームを受信すると、受信したポーズ・コントロール・パケットに含まれるポーズ・タイム値の期間、送信を抑制します。

3.9.2 フロー制御ポーズ・タイマ

フロー制御ポーズ・タイマは 16 ビット幅のタイマとして用意されており、受信されたポーズ・コントロール・フレーム内のポーズ・タイム値が格納されます。ポーズ・コントロール・フレームのポーズ・タイム値が0でない場合は、新たなフレームの送信をすべきでないことを示しています。受信されたコントロール・フレームのポーズ・タイム値が0である場合、通常の送信が再開されます。

MACC1 レジスタ：RXFC ビットが0の場合、ポーズ・タイマにロードされた値は無視されます。なおポーズ・タイマには RXFC ビットの設定に関係なく、有効なコントロール・フレームが受信された場合、常に更新されます。RXFC ビットの設定を変更した場合は、MACC2 レジスタ：MCRST ビットによるソフトウェア・リセットをかける必要があります。

3.9.3 ポーズ・コントロール・フレーム送信

μ PD98431 では MACC3 レジスタ：FLWCNT ビットが1のとき、受信 FIFO 内のデータ量と RFIC1 レジスタの RFDML フィールドおよび RFDML フィールドに設定されるしきい値との関係によって、ポーズ・コントロール・フレームの生成と送信を自動的に行います。

FLWCNT ビットが1のとき、受信 FIFO 内のデータ量が RFDML フィールドで設定されるスレッシュ・レベルを越えると、ポーズ・コントロール・フレームを自動的に送信します。ポーズ・フレームを送信しようとした時点ですでに送信中のデータ・フレームがあった場合、そのフレームの送信終了を待ってポーズ・フレームの送信を行います。

このとき送信されるポーズ・コントロール・フレームは次のように生成されます。予約されているマルチキャスト・アドレス（01-80-C2-00-00-01）がハード的にデスティネーション・アドレスとして与えられ、LSA1 レジスタおよび LSA2 レジスタで設定されるステーション・アドレスがソース・アドレスとして付加されます。長さ/タイプ・フィールドには 8808H が、コントロール・オペコード・フィールドにはポーズ・オペコード 0001H がそれぞれ付加され、さらに MACC3 レジスタ：PTIME フィールドに設定される値がポーズ・タイムの値として付加されます。

受信 FIFO 内のデータ量がいったん RFDML フィールドの値を越えてポーズ・コントロール・フレームを自動的に送信したあと、受信 FIFO に蓄積されたデータが上位システムに転送され受信 FIFO 内のデータ量が RFDML フィールドに設定されたスレッシュ・レベルを下回ったとき、 μ PD98431 はポーズ・タイム値：0 のポーズ・コントロール・フレームを生成し自動的に送信し、相手先からの送信再開を促します。

3.10 バック・プレッシャ

μ PD98431は、バック・プレッシャ機能を内蔵しています。この機能は半二重動作時にのみ有効な機能で、MACC3レジスタ：BACKPEビットが1のときに受信FIFOのデータ量がRFIC1レジスタ：RFDMMHフィールドに設定されるスレッシュ・レベルを越えると、イネーブルされます。この機能がイネーブルされた状態でパケット受信を検出すると、ただちにダミー・パケットを送信し強制的にコリジョンを発生させます。受信FIFO内のデータがホスト・システムへ転送され、受信FIFO内のデータ量がRFIC1レジスタ：RFDMMHフィールドの値を下回ると、この機能はディスエーブルされます。

3.11 VLAN フレームに対する動作

μ PD98431は、あらかじめレジスタに設定された値と受信あるいは送信パケット内のTPIDフィールドと比較することにより、VLANフレームを検出します。VLANフレームに対する動作について下記に記します。各設定はポートごとにレジスタを設けていますので、各ポート単位で設定することが可能です。

3.11.1 VLAN フレームの検出

μ PD98431では、受信パケットあるいは送信パケット内のソース・アドレスに続く2オクテット、TPIDフィールドの値と、 μ PD98431内のVLTPレジスタの値との比較を常に行っています。この2つの値が一致したパケットを、 μ PD98431内ではVLANフレームとみなします。

3.11.2 VLAN フレームの受信

受信パケットにおいてTPIDフィールドの値がVLTPレジスタの値と一致した場合、RSVREGレジスタ：VLANビットに1を設定します。このとき受信フレーム・サイズに関する判定は、MAX:1522バイト、MIN:64バイトを基準に行われます。RFIC2レジスタ：SIFTビット（ショート・パケットの破棄）によりフィルタリングをする場合、VLANフレームと認識された受信パケットであっても、64バイト未満を基準にパケット破棄を行います。

3.11.3 VLAN フレームの送信

MACC2レジスタ：APDビットを1に設定すると、VLANパケットとみなされる送信パケットに対し、MAX:1522バイト、MIN:64バイトを基準としてパケット長に関する判定を行います。例外として、APDビットが1で、MACC1レジスタ：PADENビットが1である場合、VLANパケットとみなされる送信パケットのうち、68バイト未満のパケットに対しては、パッドとCRCの自動付加を行い、68バイトのパケットとして送信します。

TPIDフィールドの値がVLTPレジスタの値に一致しないフレームの送信、あるいはAPDビットが0の場合、通常のフレーム・サイズ（MAX:1518バイト、MIN:64バイト）を基準に処理されます。

なおMACC2レジスタ：VPDビットが1である場合には、VLTPレジスタとの一致/不一致に関わらず、送信するパケットはすべてVLANフレームであるとみなして前述の動作を行います。VPDビットによる設定は、APDビットによる設定よりも優先されます。

3.12 統計カウンタ

μ PD98431 は、RMON や SNMP を実現するために有効な統計カウンタ・セットを各ポートごとに内蔵しています。統計カウンタは 32 ビットのカウンタで構成され、送受信合わせて 41 個の情報を上位システムに提供します。

統計カウンタは、パケットの送受信に関する統計情報を各項目ごとにカウントし保持します（カウントされる項目については、第 5 章 統計カウンタを参照してください）。統計カウンタの更新はパケットの送信あるいはパケットの受信が終了するたびに行われます。各ステータス情報は動作終了後 μ PD98431 内にあるステータス FIFO にいったん格納され、その情報に基づき統計カウンタが順次更新されます。

各カウンタはオーバフローが発生すると 0 クリアされ、カウントを継続します。また各カウンタにおいてオーバフローが発生した場合、あるいはステータス FIFO においてオーバーランが発生した場合には、CAR1 レジスタおよび CAR2 レジスタの対応するビットに 1 が設定され、割り込みを発生させる要因となります。この割り込みは CAM1 レジスタおよび CAM2 レジスタにより、各カウンタごとにマスクを設定することが可能です。

統計カウンタはハードウェア・リセットによりクリアされます。

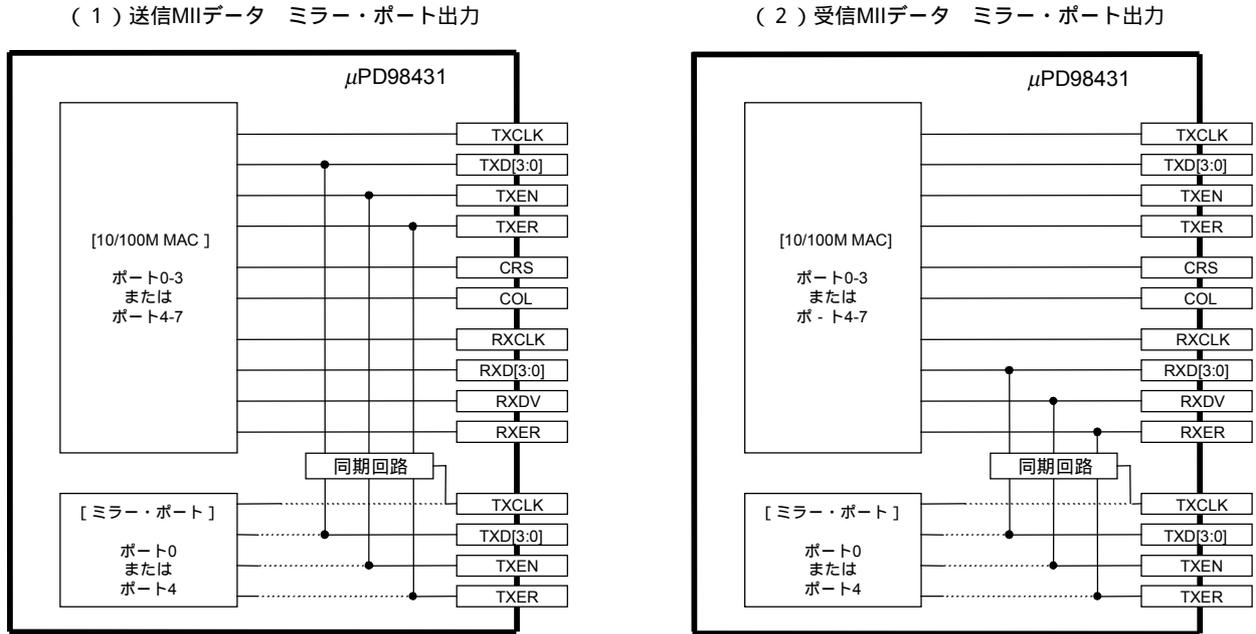
3.13 ループバック

MACC1 レジスタ：MACLB ビットに 1 を設定すると、MII 送信データ・ストリームが MII 受信データ・ストリームとして、内部でループバックされます。RXCLKn には TXCLKn が内部で接続されます。COLn および CRSn は無視されます。なおループバックで使用する場合には、MACC1 レジスタ：FULLD ビットに 1 を設定し、全二重動作モードに設定する必要があります。これらの設定は各ポートごとに独立して設定することが可能です。

3.14 ミラー・ポート機能

ミラー・ポート機能とは、レジスタによって指定されたポートの状況を、特定のポートからモニタするための機能です。 μ PD98431 は、MIRR レジスタで指定されたポートの受信あるいは送信 MII データ・ストリームを、特定のポートの送信 MII データ・ストリームとして出力します。図 3-15 を参照してください。

図3-15 MIIデータのミラー・ポートへの出力



ポート1, ポート2およびポート3は, ミラー・ポートとしてポート0を使用します。またポート5, ポート6およびポート7は, ミラー・ポートとしてポート4を使用します。ミラー・ポート0およびミラー・ポート4はそれぞれ, MIRRレジスタ:P0ENビット, P4ENビットに1を設定することでイネーブルされます。P0ENビットあるいはP4ENビットに1が設定されると, それぞれのミラー・ポートに, MIRRレジスタ:MP0[1:0]フィールドまたはMP4[1:0]フィールドによって選択されたポートのMIIデータ・ストリームが, ミラー・ポートの送信MIIデータ・ストリームとして出力されます。ミラーされるデータ・ストリームが送信データであるか受信データであるかの選択は, MIRRレジスタ:T/R0ビットおよびT/R4ビットによって設定します。MIRRレジスタの設定と各ミラー・ポートに出力されるMIIデータ・ストリームの関係を表3-6, 表3-7に示します。

表3-6 ミラー・ポート0設定

ミラー・ポート [P0EN=1]	ポート選択 MP0[1:0]	送受信選択 T/R0	ミラー・ポート0 MII 出力
ポート0	00	0	ポート0 MII 受信データ
	00	1	ポート0 MII 送信データ
	01	0	ポート1 MII 受信データ
	01	1	ポート1 MII 送信データ
	10	0	ポート2 MII 受信データ
	10	1	ポート2 MII 送信データ
	11	0	ポート3 MII 受信データ
	11	1	ポート3 MII 送信データ

表 3-7 ミラー・ポート4 設定

ミラー・ポート [P4EN=1]	ポート選択 MP4[1:0]	送受信選択 T/R4	ミラー・ポート4 MII 出力
ポート4	00	0	ポート4 MII 受信データ
	00	1	ポート4 MII 送信データ
	01	0	ポート5 MII 受信データ
	01	1	ポート5 MII 送信データ
	10	0	ポート6 MII 受信データ
	10	1	ポート6 MII 送信データ
	11	0	ポート7 MII 受信データ
	11	1	ポート7 MII 送信データ

注意 ミラー・ポート機能は、選択されたポートとミラー・ポートが MII モード (PCSC レジスタ: EXINT ビットが 0) の場合のみ使用可能です。

3.15 低電力モード

μ PD98431 には、未使用のポートがある場合、消費電力を低減させるための設定レジスタを内蔵しています。POWD レジスタ内の各ビットに 1 を設定することで、対応するポート・ブロックへのクロック供給をカットし消費電力を抑えます。

POWD レジスタの各ビットは μ PD98431 が動作中に ON/OFF することができます。POWD レジスタに 1 が設定されているポートはスリープ状態となり、受信動作におけるラウンド・ロビンによるシーケンスから除外されます。

スリープ中のポートには HCLK が供給されませんので、スリープ中にポート設定レジスタにアクセスすることはできません。またスリープ状態になる前のレジスタ設定は保存されませんので、スリープ解除後に再設定する必要があります。

割り込み要因をクリアせずにスリープ状態にした場合、INT#信号がアサートされたままになる可能性があります。スリープ中はポート設定レジスタにアクセスすることができないためクリアすることができませんので、POWD レジスタを設定する前に該当するポートの割り込み要因をクリアしてから、スリープにするようにしてください。

受信 FIFO からの読み出し動作中あるいは送信 FIFO への書き込み動作中に該当するポートをスリープ状態にする場合には、該当するポートに対する FIFO バス動作が IDLE 状態になってから行ってください。

ネットワークから受信中あるいはネットワークへ送信中にスリープが設定された場合は、受信中あるいは送信中のパケットは打ち切られます。すでに FIFO 内に蓄積されたデータも保存されません。スリープを解除する際には、スリープ解除後、ソフトウェア・リセットを実行してください (ソフトウェア・リセットの手順は、3.16 (3), (4) を参照してください)。

3. 16 μ PD98431 使用上の注意事項

(1) PHY デバイスとの接続性

一部のメーカーの PHY デバイスを接続した場合に、MII マネジメント・アクセスにおいて、ライト・アクセスが正しく完了せず、PHY レジスタにデータが正しく書き込まれない場合があります。本現象が発生する PHY デバイスとして、現在報告されているのは次の製品です。

・Broadcom 社 BCM5208

μ PD98431 では MII マネジメント・フレームに対して、プリアンブルからデータまで、MDC を 64 クロック出力します。本現象が発生する PHY デバイスはデータに続く“IDLE”時に MDC が入力されないと、つまりプリアンブルから始まって MDC が最低 65 クロック以上入力されないと、ライト・アクセスが完了しないことが報告されています。本件に関する回避策につきましては、各 PHY デバイス・メーカーにご確認いただきますよう、お願いいたします。

(2) ポーズ・フレームの自動送信

ポーズ・フレームを自動送信する条件が短時間で複数回発生した場合、最後に成立した条件を有効として該当するポーズ・フレームを送信しますが、場合によって最後に成立した条件によるポーズ・フレームを 2 回送信することがあります。

自動送信されるポーズ・フレームには、MACC3 レジスタ:PTIME の値を持ったポーズ・フレーム (PTIME ポーズ・フレーム) と、ポーズ・タイム値:0 のポーズ・フレーム (0 ポーズ・フレーム) があります。PTIME ポーズ・フレーム、0 ポーズ・フレームはそれぞれ次の条件で自動送信されます。

PTIME ポーズ・フレームは、受信 FIFO のデータ量が RFIC1 レジスタ:RFDMH を越えたときに送信されます。この条件が短い間隔で連続して発生した場合には、通常、最後の 1 回のみを有効として PTIME ポーズ・フレームを 1 回送信しますが、条件の発生間隔によって PTIME ポーズ・フレームが 2 回送信されることがあります。

0 ポーズ・フレームは、PTIME ポーズ・フレーム送信条件成立後、受信 FIFO のデータ量が RFIC1 レジスタ:RFDML を下回ったときに送信されます。このとき PTIME ポーズ・フレーム送信後に 0 ポーズ・フレームが送信されることとなります。PTIME ポーズ・フレーム送信条件成立後、受信 FIFO のデータ量が RFIC1 レジスタ:RFDML を下回るまでの間隔が短い場合、PTIME ポーズ・フレームの送信はキャンセルされ 0 ポーズ・フレームのみが送信されますが、条件の発生間隔によって 0 ポーズ・フレームが 2 回送信されることがあります。

本件に関しては外部回路、ソフトウェアなどによる回避策はありませんが、いずれの場合も最後に成立した条件によるポーズ・フレームが単独あるいは連続送信されるもので、システム的には問題なく動作するものと考えられます。

(3) 受信動作 / 送信動作がハングアップした場合の復帰方法

ケーブルが外れるなどの原因により送受信動作が強制的に中断された場合、PHY デバイスが規定から外れたタイミングで MII 信号を発生する可能性があり、この場合、 μ PD98431 が誤動作を起こし、その後の送受信動作ができなくなることがあります。このような原因により送受信動作がフリーズしてしまった場合、次の手順によって問題が発生したポートのみを復帰させることができます。

動作状態の検出

PHY デバイスのリンク信号などにより、送受信が中断したことを検出します。

パケット送受信の禁止

MACC1 レジスタ：SRXEN ビットを 0 にして新たなパケット受信を禁止します。

送信については上位システムからの新たなパケット書き込みを禁止します。

受信 FIFO に残存するデータの読み出し

受信 FIFO 内に残存するパケット・データを読み出します。

受信が中断したときに、受信 FIFO に完全に蓄積されているパケットがあった場合、そのパケットを読み出すことができます。受信途中のパケットについては読み出すことはできません。また残存パケットを破棄する場合には読み出す必要はありません。

ソフトウェア・リセットの実行

次の手順でソフトウェア・リセットをかけます。

- <1> PCSC レジスタ：PCRST ビットに 1 を設定する。
- <2> MACC2 レジスタ：MCRST, RFRST, TFRST ビットを 1 に設定する。
- <3> MACC3 レジスタ：RXFFLH, TXFFLH ビットを 1 に設定する。
- <4> MACC3 レジスタ：RXFFLH ビットを 0 にする。
- <5> MACC2 レジスタ：RFRST ビットを 0 にする。
- <6> PCSC レジスタ：PCRST ビットを 0 にする。
- <7> MACC2 レジスタ：MCRST, TFRST ビットを 0 にする。
- <8> MACC3 レジスタ：TXFFLH ビットを 0 にする。

各手順の間隔は、TXCLK および RXCLK で 20 クロック分以上、空けるようにしてください。

受信動作の再開

MACC1 レジスタ：SRXEN ビットを 1 にして受信を再開します。

なお、ハードウェア・リセットによっても復帰しますが、この場合、全ポートが初期化されてしまうので注意してください。

(4) MACC1, MACC2, MACC3, PCSC レジスタ設定切り替え時の注意

MACC1, MACC2, MACC3, PCSC レジスタの設定を切り替える場合、次の点に注意が必要です。

MACC1 レジスタ：SRXEN ビット，MACC3 レジスタ：PTIME および各ソフトウェア・リセット・ビットを除く MACC1, MACC2, MACC3, PCSC レジスタの各設定ビットを切り替える場合には、レジスタ設定後、必ず次の手順にてソフトウェア・リセットをかけるようにしてください。

PCSC レジスタ：PCRST ビットに 1 を設定する。

MACC2 レジスタ：MCRST, RFRST, TFRST ビットを 1 に設定する。

MACC3 レジスタ：RXFFLH, TXFFLH ビットを 1 に設定する。

MACC3 レジスタ：RXFFLH ビットを 0 にする。

MACC2 レジスタ：RFRST ビットを 0 にする。

PCSC レジスタ：PCRST ビットを 0 にする。

MACC2 レジスタ：MCRST, TFRST ビットを 0 にする。

MACC3 レジスタ：TXFFLH ビットを 0 にする。

各手順の間隔は、TXCLK および RXCLK で 20 クロック分以上、空けるようにしてください。

(5) MII マネジメント・インタフェース・ブロック・ソフトウェア・リセット解除時の注意

MIIC レジスタ：MISRT ビットで MII マネジメント・インタフェース・ブロックにソフトウェア・リセットをかけたあと、リセット解除後にマネジメント・アクセスする場合には、HCLK で 60 クロック分以上経過してから MCMD レジスタあるいは MWTD レジスタにアクセスするようにしてください。

第4章 レジスタ説明

4.1 制御レジスタ・マップ

(1) ポート制御レジスタ・マップ

(1/2)

レジスタ・アドレス A[7:0]	名 称	機 能	R/W	デフォルト
00H	MACC1	MACコンフィギュレーション・レジスタ1	R/W	00000800H
01H	MACC2	MACコンフィギュレーション・レジスタ2	R/W	00000000H
02H	IPGT	Back-to-Back IPGレジスタ	R/W	00000013H
03H	IPGR	Non Back-to-Back IPGレジスタ	R/W	00000E13H
04H	CLRT	コリジョン・レジスタ	R/W	0000380FH
05H	LMAX	最大パケット長レジスタ	R/W	00000600H
06H-14H	-	Reserved	-	-
15H	LSA1	ステーション・アドレス・レジスタ1	R/W	00000000H
16H	LSA2	ステーション・アドレス・レジスタ2	R/W	00000000H
17H	PTVR	ポーズ・タイム値リード・レジスタ	R	00000000H
18H	-	Reserved	-	-
19H	VLTP	VLANタイプ・レジスタ	R/W	00000000H
1AH-1FH	-	Reserved	-	-
20H	MIIC	MIIコンフィギュレーション・レジスタ	R/W	00000000H
21H-24H	-	Reserved	-	-
25H	MCMD	MIIコマンド・レジスタ	W	00000000H
26H	MADR	MIIアドレス・レジスタ	R/W	00000000H
27H	MWTD	MIIライト・データ・レジスタ	R/W	00000000H
28H	MRDD	MIIリード・データ・レジスタ	R	00000000H
29H	MIND	MIIインジケータ・レジスタ	R	00000000H
2AH-31H	-	Reserved	-	-
32H	AFR	アドレス・フィルタ・レジスタ	R/W	00000000H
33H	HT1	ハッシュ・テーブル・レジスタ1	R/W	00000000H
34H	HT2	ハッシュ・テーブル・レジスタ2	R/W	00000000H
35H-36H	-	Reserved	-	-
37H	CAR1	CARRYレジスタ1	R/W	00000000H
38H	CAR2	CARRYレジスタ2	R/W	00000000H

注意 “Reserved”となっているアドレスにはアクセスしないでください。

(2/2)

レジスタ・アドレス A[7:0]	名 称	機 能	R/W	デフォルト
39H-4BH	-	Reserved	-	-
4CH	CAM1	CARRYレジスタ1・マスク・レジスタ	R/W	00000000H
4DH	CAM2	CARRYレジスタ2・マスク・レジスタ	R/W	00000000H
4EH-4FH	-	Reserved	-	-
50H-81H	-	第5章 統計カウンタを参照してください。	-	-
82H-8FH	-	Reserved	-	-
90H	MACC3	MACコンフィギュレーション・レジスタ3	R/W	FFFF0000H
91H	TIMR	送信割り込みマスク・レジスタ	R/W	00000000H
92H	RIMR	受信割り込みマスク・レジスタ	R/W	00000000H
93H	TSVREG1	送信ステータス・レジスタ1	R	00000000H
94H	TSVREG2	送信ステータス・レジスタ2	R	00000000H
95H	RSVREG	受信ステータス・レジスタ	R	00000000H
96H	FSVREG	FIFOステータス・レジスタ	R	00000000H
97H	-	Reserved	-	-
98H	PCSC	PCS コンフィギュレーション・レジスタ	R/W	00000000H
99H-9AH	-	Reserved	-	-
9BH	RFIC1	受信 FIFO コンフィギュレーション・レジスタ 1	R/W	07FF0000H
9CH	RFIC2	受信 FIFO コンフィギュレーション・レジスタ 2	R/W	07FF0007H
9DH	TFIC	送信 FIFO コンフィギュレーション・レジスタ 1	R/W	00FF00FFH
9EH-F9H	-	Reserved	-	-

注意 “Reserved”となっているアドレスにはアクセスしないでください。

(2) グローバル・レジスタ・マップ

レジスタ・アドレス A[7:0]	名 称	機 能	R/W	デフォルト
FAH	-	Reserved	-	-
FBH	STIR	ステータス情報レジスタ	R	00000000H
FCH	MISCR	バス幅 / 割り込み設定レジスタ	R/W	00000000H
FDH	MIRR	ミラー・ポート設定レジスタ	R/W	00000000H
FEH	-	Reserved	-	-
FFH	POWD	パワーダウン制御レジスタ	R/W	00000000H

4.2 ポート設定レジスタ

ポート設定レジスタは、ポートごとにその動作を定義、あるいはポートごとのステータス確認を行うためのレジスタです。各ポートのレジスタにアクセスするためには、アドレス・バス A[10:0]のうち、A[10:8]にはポート番号を入力し、A[7:0]には各レジスタのアドレスを入力します。

MACC1 – MAC コンフィギュレーション・レジスタ 1 (レジスタ・アドレス A[7:0] = 00H) R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	MACLB	Reserved	Reserved	RXFC	SRXEN	Reserved	PUREP	FLCHT	NOBO	Reserved	CRCEN	PADEN	FULLD	HUGEN	

(1/2)

ビット	名称	機能	デフォルト
31:15	-	Reserved 0を書き込んでください。	-
14	MACLB	MACループバック 1に設定すると、MAC内部で送信部から受信部へループバックします。	0
13:12	-	Reserved 0を書き込んでください。	-
11	-	Reserved 1を書き込んでください。	1
10	RXFC	受信フロー制御イネーブル 1に設定すると、ポーズ・タイマに設定されているポーズ時間中、ポーズ動作を実行します。ポーズ・タイマの値はこのビットの設定に関係なく、有効なポーズ・コントロール・フレームを受信すると更新されます。	0
9	SRXEN	受信イネーブル 1に設定すると、ネットワーク側から受信FIFOへの受信パケット・データの書き込みを許可します。CRSn信号がアサートされている間に変更された場合は、CRSn信号のディアサート後、設定変更が有効になります。	0
8	-	Reserved 0を書き込んでください。	0
7	PUREP	ピュア・プリアンプル 1に設定すると、プリアンプル中に'0101'以外のデータを許可しません。	0
6	FLCHT	リングス・フィールド・チェック 1に設定すると、リングス・フィールドの値とデータ・フィールド長をチェックし、ステータス・ベクタとして報告します。	0
5	NOBO	No Back Off 1に設定すると、常にバックオフせずにパケット送信を行います。	0
4	-	Reserved 0を書き込んでください。	-
3	CRCEN	CRC付加 1に設定すると、自動的にパケット末尾にCRCを付加します。	0

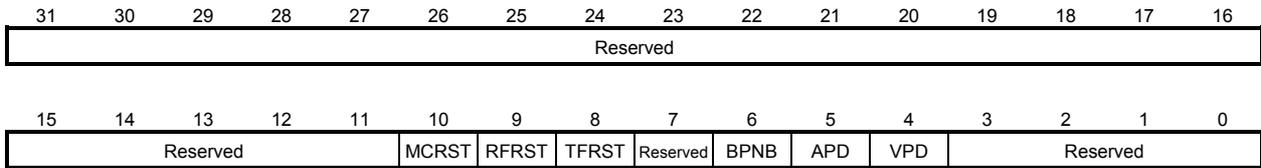
(2/2)

ビット	名称	機能	デフォルト
2	PADEN	PAD付加 1に設定すると、パケット長が64バイト（VLANフレームの場合は68バイト）に満たないとき、パディングを行います。このビットが1のとき、 μ PD98431は、TXFDQ信号による指定やCRCENビットの設定に関わらず、CRCを自動的に付加します。	0
1	FULLD	全二重イネーブル 1に設定すると、全二重動作を行います。	0
0	HUGEN	ラージ・パケット・イネーブル 0のとき、LMAXレジスタの値を越えたパケットの送受信を中断します。 注意 このビットが1のとき、LMAXレジスタによる制限は解除されますが、RFIC2レジスタ：RFUBで設定される受信FIFOの上限を越えてパケットを受信した場合には、受信FIFOオーバーランとなります。	0

備考 SRXENビット以外の設定ビットを切り替える場合には、レジスタ設定後にソフトウェア・リセットをかけるようにしてください。ソフトウェア・リセットの手順は、3.16(4) MACC1, MACC2, MACC3, PCSCレジスタ設定切り替え時の注意を参照してください。



MACC2 – MAC コンフィギュレーション・レジスタ 2 (レジスタ・アドレス A[7:0] = 01H) R/W

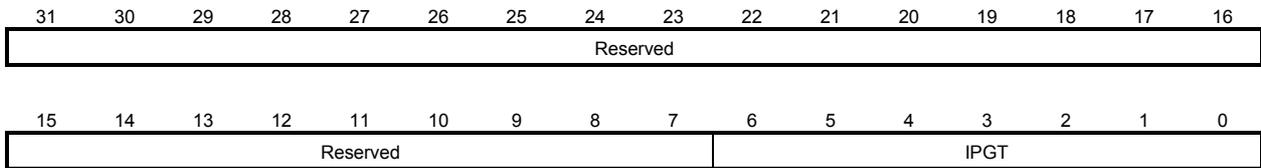


ビット	名 称	機 能	デフォルト
31:11	-	Reserved 0を書き込んでください。	-
10	MCRST	MAC制御部ソフトウェア・リセット 1に設定すると、ソフトウェア・リセットがかかります。 ソフトウェア・リセットの解除には0を書き込む必要があります。	0
9	RFRST	受信ブロック・ソフトウェア・リセット 1に設定すると、ソフトウェア・リセットがかかります。 ソフトウェア・リセットの解除には0を書き込む必要があります。	0
8	TFRST	送信ブロック・ソフトウェア・リセット 1に設定すると、ソフトウェア・リセットがかかります。 ソフトウェア・リセットの解除には0を書き込む必要があります。	0
7	-	Reserved 0を書き込んでください。	-
6	BPNB	Back Pressure No Back Off 1に設定すると、バックプレッシャ後の送信に限り、バックオフしません。	0
5	APD	オートVLANパッド 1に設定すると、VLANパケットとみなされる送信パケットに対し、MAX:1522バイト、MIN:64バイトを基準としてパケット処理を行います。例外として、このビットが1でかつMACC1レジスタ：PADENビットが1である場合、VLANパケットとみなされる送信パケットのうち、68バイト未満のパケットに対しては、パッドとCRCの自動付加を行い、68バイトのパケットとして送信します。 μPD98431では、VLTPレジスタに登録されたVLANタイプと一致するパケットが送信された場合、VLANパケットとみなしています。	0
4	VPD	VLANパッド・モード 1に設定すると、すべての送信パケットをVLANパケットとみなし、MAX:1522バイト、MIN:64バイトを基準としてパケット処理を行います。例外として、このビットが1でかつMACC1レジスタ：PADENビットが1である場合、すべての送信パケットのうち、68バイト未満のパケットに対しては、パッドとCRCの自動付加を行い、68バイトのパケットとして送信します。 VPDビットの設定は、APDビットの設定より優先されます。	0
3:0	-	Reserved 0を書き込んでください。	-

備考 ソフトウェア・リセット・ビットを除く設定ビットを切り替える場合には、レジスタ設定後にソフトウェア・リセットをかけるようにしてください。ソフトウェア・リセットの手順は **3.16(4)MACC1, MACC2, MACC3, PCSCレジスタ設定切り替え時の注意**を参照してください。

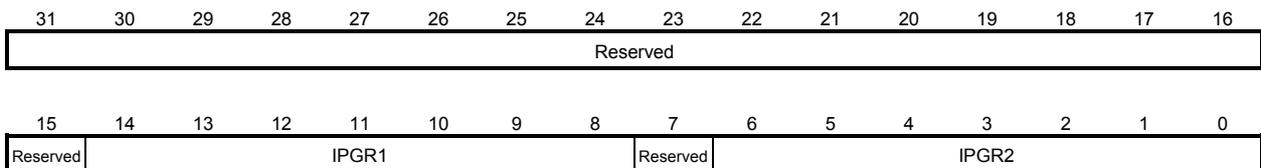


IPGT – Back-to-Back IPG レジスタ (レジスタ・アドレス A[7:0] = 02H) R/W



ビット	名 称	機 能	デフォルト
31:7	-	Reserved 0を書き込んでください。	-
6:0	IPGT	Back-To-Back時のIPG Back-To-Back時のIPGを設定します。計算式は次のとおりです。 IPG = (5 + IPGT) × 4 bits time	13H

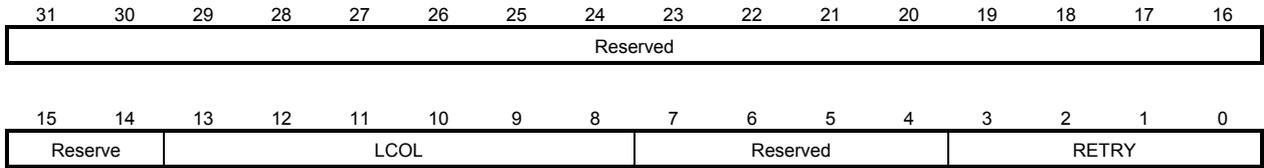
IPGR – Non Back-to-Back IPG レジスタ (レジスタ・アドレス A[7:0] = 03H) R/W



ビット	名 称	機 能	デフォルト
31:15	-	Reserved 0を書き込んでください。	-
14:8	IPGR1	キャリア・センス期間 Back-To-Back時以外で、IPG前半のキャリア・センス期間を設定します。計算式は次のとおりです。 キャリア・センス期間 = (2 + IPGR1) × 4 bits time	0EH
7	-	Reserved 0を書き込んでください。	-
6:0	IPGR2	Back-To-Back時以外のIPG Back-To-Back時以外におけるIPGを設定します。計算式は次のとおりです。 IPG = (5 + IPGR2) × 4 bits time IPGR1フィールドで設定されるキャリア・センス期間は、IPGR2フィールドで設定されるIPGの中に含まれます。	13H

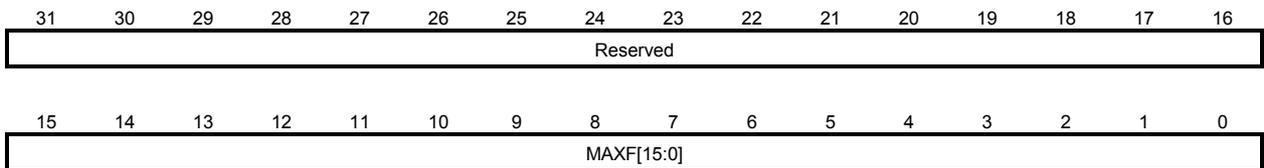


CLRT – コリジョン・レジスタ (レジスタ・アドレス A[7:0] = 04H) R/W



ビット	名 称	機 能	デフォルト
31:14	-	Reserved 0を書き込んでください。	-
13:8	LCOL	コリジョン・ウインドウ コリジョン・ウインドウ幅を設定します。設定されるコリジョン・ウインドウの幅は次の式で与えられます。 $\text{コリジョン・ウインドウ幅} = (\text{LCOL} + 8) \times 8 \text{ bits time}$	38H
7:4	-	Reserved 0を書き込んでください。	-
3:0	RETRY	コリジョン発生時最大再送回数 コリジョンが発生した場合の最大再送回数を設定します。この値以内で再送信が完了しない場合は、送信をアポートします。この値は最大衝突回数を示しています。	0FH

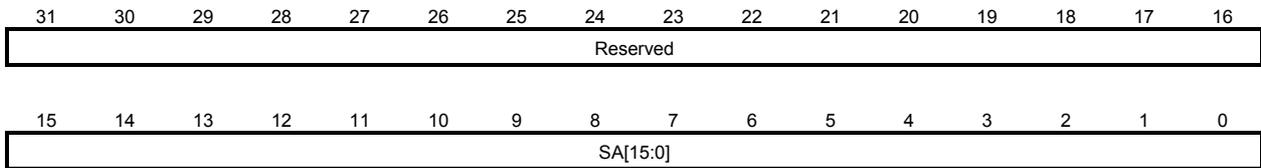
LMAX – 最大パケット長レジスタ (レジスタ・アドレス A[7:0] = 05H) R/W



ビット	名 称	機 能	デフォルト
31:16	-	Reserved 0を書き込んでください。	-
15:0	MAXF	最大パケット長 (オクテット) MACC1レジスタ: HUGENビットが0のとき、送受信パケット長がこの値で制限されます。 受信: 受信フレーム長がMAXFを越えると、ただちに受信を中断します。 受信FIFOに蓄積されたMAXFまでのデータは破棄されます。 送信: 送信フレーム長がMAXFを越えると、ただちに送信アポートします。 MAXFの最大値は、7FFHです。	0600H

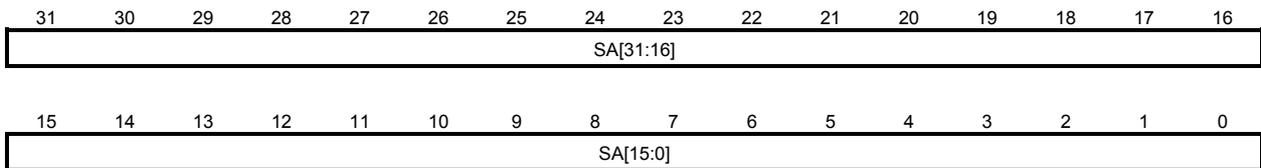


LSA1 – ステーション・アドレス・レジスタ1 (レジスタ・アドレス A[7:0] = 15H) R/W



ビット	名 称	機 能	デフォルト
31:16	-	Reserved 0を書き込んでください。	0
15:0	LSA1	ステーション・アドレス SA[47:32] SA[47:0]は、ポーズ・コントロール・フレームを組み立てるときのソース・アドレス、およびアドレス・フィルタリングを使用する場合のデスティネーション・アドレスの比較に使用されます。	0

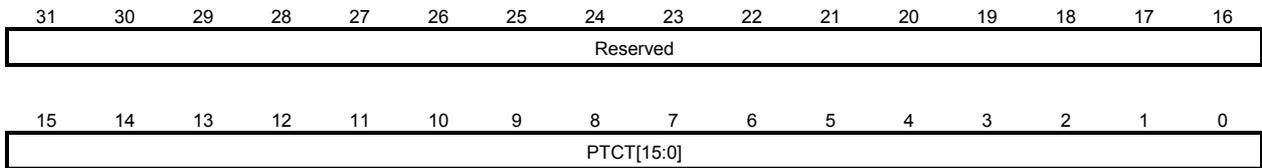
LSA2 – ステーション・アドレス・レジスタ2 (レジスタ・アドレス A[7:0] = 16H) R/W



ビット	名 称	機 能	デフォルト
31:0	LSA2	ステーション・アドレス SA[31:0]	0

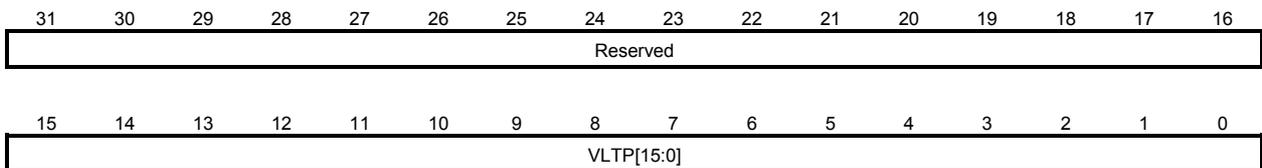


PTVR – ポーズ・タイマ値リード・レジスタ (レジスタ・アドレス A[7:0] = 17H) Read only



ビット	名 称	機 能	デフォルト
31:16	-	Reserved	-
15:0	PTCT	ポーズ・タイマ・カウンタ 現在ポーズ・タイマに設定されている値を示します。 注意 受信フロー制御がイネーブルである間(MACC1レジスタ:RXFCビットが1である間)のみ、このレジスタは有効な値を持ちます。	0

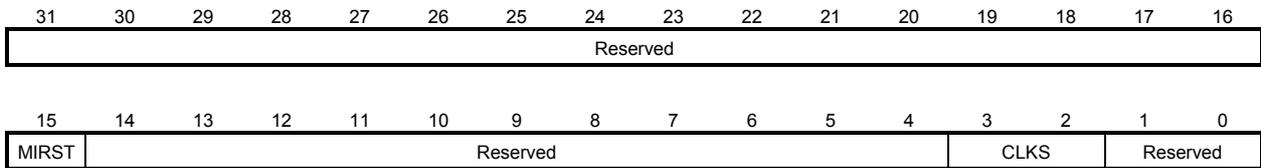
VLTP – VLANタイプ・レジスタ (レジスタ・アドレス A[7:0] = 19H) R/W



ビット	名 称	機 能	デフォルト
31:16	-	Reserved 0を書き込んでください。	-
15:0	VLTP	VLANタイプ VLANタイプを指定します。 受信：この値と受信フレームのTPIDフィールドの値を比較し、VLANフレームの検出をします。 送信：MACC2レジスタ:APDビットが1のとき、送信フレームのTPIDフィールドとこの値が一致すれば、VLANフレームとしてPADの付加を行います。	0



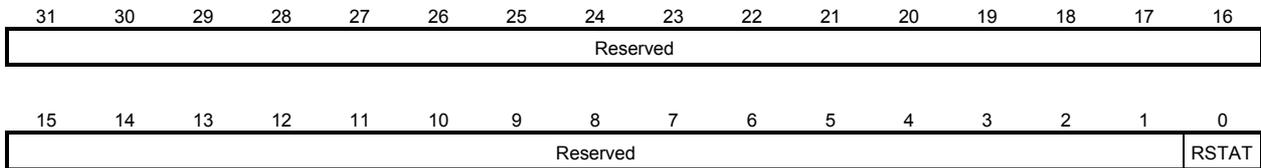
MIIC – MIIコンフィギュレーション・レジスタ (レジスタ・アドレス A[7:0] = 20H) R/W



ビット	名 称	機 能	デフォルト
31:16	-	Reserved 0を書き込んでください。	-
15	MIRST	MIIマネジメント・インタフェース・ブロック・ソフトウェア・リセット 1に設定すると、MIIマネジメント・インタフェース・ブロックをソフトウェア・リセットします。ソフトウェア・リセットの解除には、0を書き込む必要があります。	0
14:4	-	Reserved 0を書き込んでください。	-
3:2	CLKS	ホスト・クロック・スピード設定 クロック・スピード選択。 入力したHCLKに合わせて設定します。この設定により、HCLKを分周し、MDCが2.5 MHz以下になるように生成します。 00 = 未使用 01 = 33 MHz以下 10 = 50 MHz以下 11 = 66 MHz以下	0
1:0	-	Reserved 0を書き込んでください。	-

注意 このレジスタにアクセスするときは、A[10:8]に000Bを入力してください。

MCMD – MIIコマンド・レジスタ (レジスタ・アドレス A[7:0] = 25H) Write only

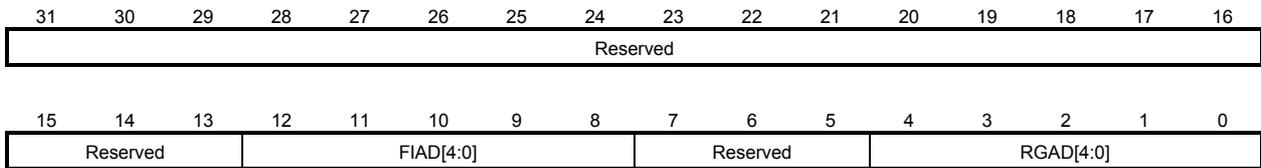


ビット	名 称	機 能	デフォルト
31:1	-	Reserved 0を書き込んでください。	-
0	RSTAT	MIIマネジメント・リード 1に設定すると、MIIマネジメント・インタフェースによるリード・アクセスを実行します。	0

注意 このレジスタにアクセスするときは、A[10:8]に000Bを入力してください。



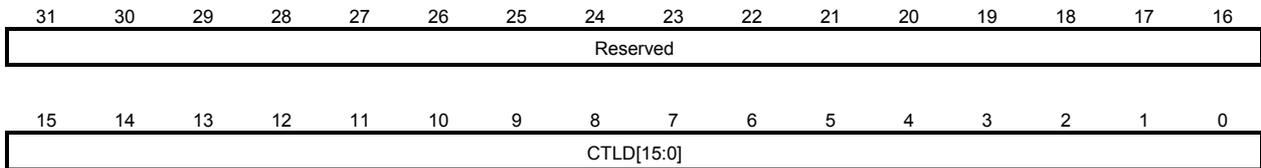
MADR – MIIアドレス・レジスタ (レジスタ・アドレス A[7:0] = 26H) R/W



ビット	名 称	機 能	デフォルト
31:13	-	Reserved 0を書き込んでください。	-
12:8	FIAD	MII PHYアドレス 32個のPHYから1つを選択するためのPHYアドレスを設定します。	0
7:5	-	Reserved 0を書き込んでください。	-
4:0	RGAD	MII レジスタ・アドレス PHY内の16ビット・レジスタから、アクセスされるレジスタを1つ選択します。	0

注意 このレジスタにアクセスするときは、A[10:8]に000Bを入力してください。

MWTD – MIIライト・データ・レジスタ (レジスタ・アドレス A[7:0] = 27H) R/W

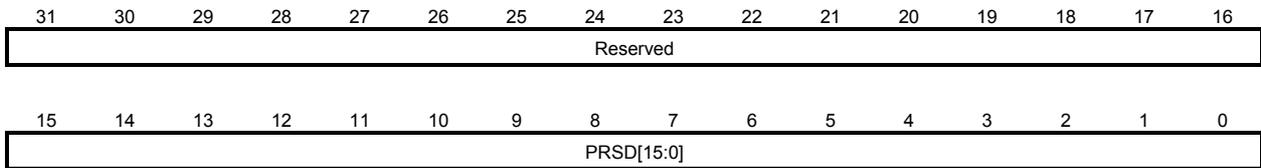


ビット	名 称	機 能	デフォルト
31:16	-	Reserved 0を書き込んでください。	-
15:0	CTLD	MIIライト・データ MIIマネジメント・インタフェースにおいてライト・アクセスする際のライト・データ・フィールドです。	0

注意 このレジスタにアクセスするときは、A[10:8]に000Bを入力してください。



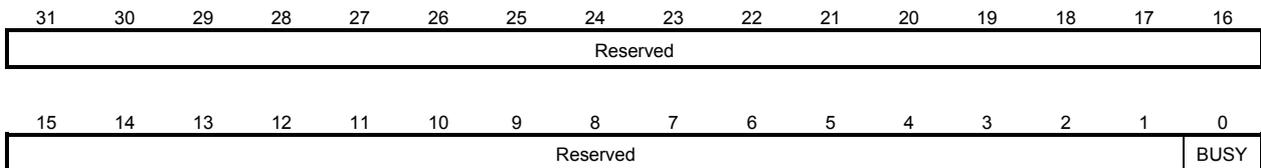
MRDD – MIIリード・データ・レジスタ (レジスタ・アドレス A[7:0] = 28H) Read only



ビット	名 称	機 能	デフォルト
31:16	-	Reserved	-
15:0	PRSD	MIIリード・データ MIIマネジメント・インタフェースにおいてリード・アクセスする際のリード・データ・フィールドです。	0

注意 このレジスタにアクセスするときは、A[10:8]に000Bを入力してください。

MIND – MIIインジケータ・レジスタ (レジスタ・アドレス A[7:0] = 29H) Read only



ビット	名 称	機 能	デフォルト
31:1	-	Reserved	-
0	BUSY	BUSY MIIマネジメント・インタフェースにより、μPD98431が外部PHYとアクセス中であることを示します。アクセス中である場合、1が設定されます。	0

注意 このレジスタにアクセスするときは、A[10:8]に000Bを入力してください。

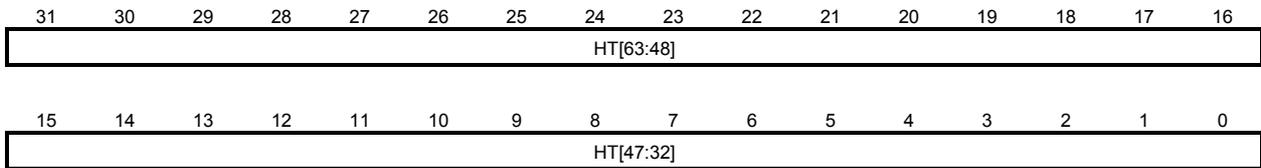
AFR – アドレス・フィルタ・レジスタ (レジスタ・アドレス A[7:0] = 32H) R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												PRO	PRM	AMC	ABC

ビット	名称	機能	デフォルト
31:4	-	Reserved 0を書き込んでください。	-
3	PRO	プロミスカス・モード すべてのパケットをアクセプトするモードです。	0
2	PRM	マルチキャスト受信 すべてのマルチキャスト・パケットをアクセプトするモードです。	0
1	AMC	条件付きマルチキャスト受信 条件に一致したマルチキャスト・パケットをアクセプトするモードです。 ハッシュ・テーブルを用い、テーブルに一致したマルチキャスト・パケットをアクセプトします。	0
0	ABC	ブロードキャスト受信 ブロードキャスト・パケットをアクセプトするモードです。	0

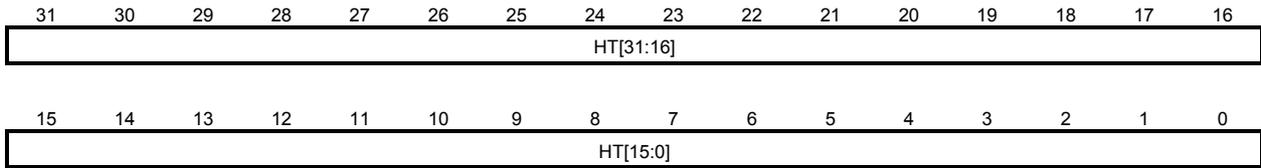


HT1 – ハッシュ・テーブル・レジスタ1 (レジスタ・アドレス A[7:0] = 33H) R/W



ビット	名称	機能	デフォルト
31:0	HT1	ハッシュ・テーブル1 条件付きマルチキャスト・パケット検出で用います。 ハッシュ・テーブルの上位32ビット。HT[63:32]	0

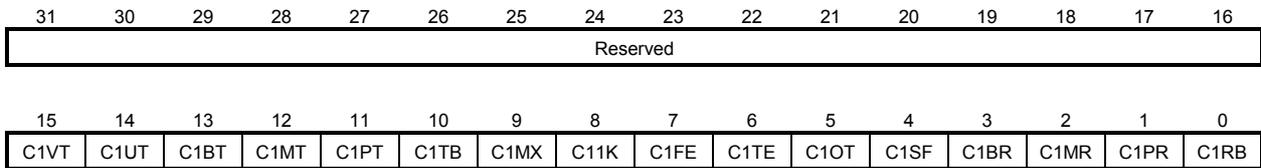
HT2 – ハッシュ・テーブル・レジスタ2 (レジスタ・アドレス A[7:0] = 34H) R/W



ビット	名称	機能	デフォルト
31:0	HT2	ハッシュ・テーブル2 条件付きマルチキャスト・パケット検出で用います。 ハッシュ・テーブルの下位32ビット。HT[31:0]	0



CAR1 – CARRYレジスタ1 (レジスタ・アドレス A[7:0] = 37H) R/W



統計カウンタがオーバフローしたことを示します。各ビットがそれぞれ各統計カウンタと対応しており、統計カウンタにおいてオーバフローが発生すると、対応するビットに1が設定されます。統計カウンタについては、**第5章 統計カウンタ**を参照してください。

MISCRレジスタ：SRRRCビットに1が設定されているとき、このレジスタを読み出すと、すべてのビットは自動的にクリアされます。

ビット	名 称	機 能	デフォルト
31:16	-	Reserved 0を書き込んでください。	-
15	C1VT	RVBTカウンタ・キャリー・ビット	0
14	C1UT	TUCAカウンタ・キャリー・ビット	0
13	C1BT	TBCAカウンタ・キャリー・ビット	0
12	C1MT	TMCAカウンタ・キャリー・ビット	0
11	C1PT	TPKTカウンタ・キャリー・ビット	0
10	C1TB	TBYTカウンタ・キャリー・ビット	0
9	C1MX	RMAXカウンタ・キャリー・ビット	0
8	C11K	R1Kカウンタ・キャリー・ビット	0
7	C1FE	R511カウンタ・キャリー・ビット	0
6	C1TF	R255カウンタ・キャリー・ビット	0
5	C1OT	R127カウンタ・キャリー・ビット	0
4	C1SF	R64カウンタ・キャリー・ビット	0
3	C1BR	RBCAカウンタ・キャリー・ビット	0
2	C1MR	RMCAカウンタ・キャリー・ビット	0
1	C1PR	RPKTカウンタ・キャリー・ビット	0
0	C1RB	RBYTカウンタ・キャリー・ビット	0



CAR2 – CARRYレジスタ2 (レジスタ・アドレス A[7:0] = 38H) R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
C2DV	Reserved								C2IM	C2CS	C2NC	C2XC	C2LC	C2MC	C2SC
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
C2XC	C2DF	C2XF	C2TE	C2JB	C2FG	C2OV	C2UN	C2FC	C2CD	C2FO	C2AL	C2UO	C2PF	C2CF	C2RE

統計カウンタがオーバフローしたことを示します。各ビットがそれぞれ各統計カウンタと対応しており、統計カウンタにおいてオーバフローが発生すると、対応するビットに1が設定されます。統計カウンタについては、**第5章 統計カウンタ**を参照してください。

MISCRレジスタ：SRRCビットに1が設定されているとき、このレジスタを読み出すと、すべてのビットは自動的にクリアされます。

ビット	名称	機能	デフォルト
31	C2DV	ステータス・ベクタ・オーバラン 統計カウンタ内部でステータスFIFOがオーバランしたことを示します。	0
30:23	-	Reserved 0を書き込んでください。	-
22	C2IM	TIMEカウンタ・キャリア・ビット	0
21	C2CS	TCSEカウンタ・キャリア・ビット	0
20	C2NC	TNCLカウンタ・キャリア・ビット	0
19	C2XC	TXCLカウンタ・キャリア・ビット	0
18	C2LC	TLCLカウンタ・キャリア・ビット	0
17	C2MC	TMCLカウンタ・キャリア・ビット	0
16	C2SC	TSCLカウンタ・キャリア・ビット	0
15	C2XD	TXDFカウンタ・キャリア・ビット	0
14	C2DF	TDFRカウンタ・キャリア・ビット	0
13	C2XF	TXPFカウンタ・キャリア・ビット	0
12	C2TE	TFCSカウンタ・キャリア・ビット	0
11	C2JB	RBJRカウンタ・キャリア・ビット	0
10	C2FG	RFRGカウンタ・キャリア・ビット	0
9	C2OV	ROVRカウンタ・キャリア・ビット	0
8	C2UN	RUNDカウンタ・キャリア・ビット	0
7	C2FC	RFCRカウンタ・キャリア・ビット	0
6	C2CD	RCDEカウンタ・キャリア・ビット	0
5	C2FO	RFLRカウンタ・キャリア・ビット	0
4	C2AL	RALNカウンタ・キャリア・ビット	0
3	C2UO	RXUOカウンタ・キャリア・ビット	0
2	C2PF	RXPFカウンタ・キャリア・ビット	0
1	C2CF	RXCFカウンタ・キャリア・ビット	0
0	C2RE	RFCSカウンタ・キャリア・ビット	0



CAM1 – CARRYレジスタ1・マスク・レジスタ (レジスタ・アドレス A[7:0] = 4CH) R/W



CAR1レジスタ内のビットに1が設定されたときに発生するINT#信号をマスクします。このビットに1を設定すると、マスクが解除されます。

各ビットごとのマスクが可能です。

ビット	名 称	機 能	デフォルト
31:16	-	Reserved 0を書き込んでください。	-
15	M1VT	RVBTカウンタ・キャリア・マスク・ビット	0
14	M1UT	TUCAカウンタ・キャリア・マスク・ビット	0
13	M1BT	TBCAカウンタ・キャリア・マスク・ビット	0
12	M1MT	TMCAカウンタ・キャリア・マスク・ビット	0
11	M1PT	TPKTカウンタ・キャリア・マスク・ビット	0
10	M1TB	TBYTカウンタ・キャリア・マスク・ビット	0
9	M1MX	RMAXカウンタ・キャリア・マスク・ビット	0
8	M11K	R1Kカウンタ・キャリア・マスク・ビット	0
7	M1FE	R511カウンタ・キャリア・マスク・ビット	0
6	M1TF	R255カウンタ・キャリア・マスク・ビット	0
5	M1OT	R127カウンタ・キャリア・マスク・ビット	0
4	M1SF	R64カウンタ・キャリア・マスク・ビット	0
3	M1BR	RBCAカウンタ・キャリア・マスク・ビット	0
2	M1MR	RMCAカウンタ・キャリア・マスク・ビット	0
1	M1PR	RPKTカウンタ・キャリア・マスク・ビット	0
0	M1RB	RBYTカウンタ・キャリア・マスク・ビット	0

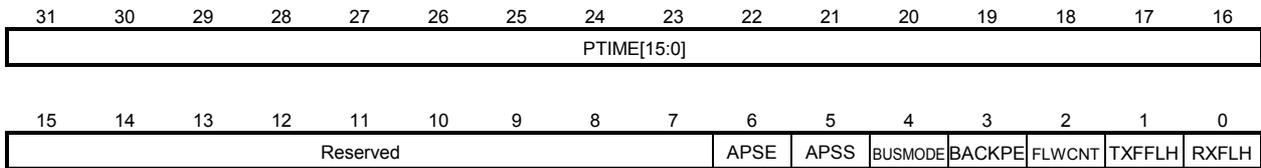
CAM2 – CARRYレジスタ2・マスク・レジスタ (レジスタ・アドレス A[7:0] = 4DH) R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
M2DV	Reserved								M2IM	M2CS	M2NC	M2XC	M2LC	M2MC	M2SC
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M2XD	M2DF	M2XF	M2TE	M2JB	M2FG	M2OV	M2UN	M2FC	M2CD	M2FO	M2AL	M2UO	M2PF	M2CF	M2RE

ビット	名称	機能	デフォルト
31	M2DV	ステータス・ベクタ・オーバラン・マスク・ビット	0
30:23	-	Reserved 0を書き込んでください。	-
22	M2IM	TIMEカウンタ・キャリー・マスク・ビット	0
21	M2CS	TCSEカウンタ・キャリー・マスク・ビット	0
20	M2NC	TNCLカウンタ・キャリー・マスク・ビット	0
19	M2XC	TXCLカウンタ・キャリー・マスク・ビット	0
18	M2LC	TLCLカウンタ・キャリー・マスク・ビット	0
17	M2MC	TMCLカウンタ・キャリー・マスク・ビット	0
16	M2SC	TSCLカウンタ・キャリー・マスク・ビット	0
15	M2XD	TXDFカウンタ・キャリー・マスク・ビット	0
14	M2DF	TDFRカウンタ・キャリー・マスク・ビット	0
13	M2XF	TXPFカウンタ・キャリー・マスク・ビット	0
12	M2TE	TFCSカウンタ・キャリー・マスク・ビット	0
11	M2JB	RJBRカウンタ・キャリー・マスク・ビット	0
10	M2FG	RFRGカウンタ・キャリー・マスク・ビット	0
9	M2OV	ROVRカウンタ・キャリー・マスク・ビット	0
8	M2UN	RUNDカウンタ・キャリー・マスク・ビット	0
7	M2FC	RFCRカウンタ・キャリー・マスク・ビット	0
6	M2CD	RCDEカウンタ・キャリー・マスク・ビット	0
5	M2FO	RFLRカウンタ・キャリー・マスク・ビット	0
4	M2AL	RALNカウンタ・キャリー・マスク・ビット	0
3	M2UO	RXUOカウンタ・キャリー・マスク・ビット	0
2	M2PF	RXPFカウンタ・キャリー・マスク・ビット	0
1	M2CF	RXCFカウンタ・キャリー・マスク・ビット	0
0	M2RE	RFCSカウンタ・キャリー・マスク・ビット	0



MACC3 – MACコンフィギュレーション・レジスタ3 (レジスタ・アドレス A[7:0] = 90H) R/W



Bit	名称	機能	デフォルト
31:16	PTIME	ポーズ・タイム値 μPD98431 がポーズ・コントロール・フレームを生成する際に、ポーズ・タイム値として用いられます。	FFFFH
15:7	-	Reserved 0 を書き込んでください。	
6	APSE	ステータス情報追加 (末尾) このビットが 1 のとき、FIFO バスから読み出される受信データ・ストリームの末尾に、その受信パケットのステータス情報が付加されます。	0
5	APSS	ステータス情報追加 (先頭) このビットが 1 のとき、FIFO バスから読み出される受信データ・ストリームの先頭に、その受信パケットのステータス情報が付加されます。 注意 APSE ビットと APSS ビットは、同時に 1 に設定しないでください。	0
4	BUSMODE	リトル・エンディアン / ビッグ・エンディアン このビットが 1 のとき、FIFO バスのバイト・オーダはビッグ・エンディアンになります。	0
3	BACKPE	バック・プレッシャ・イネーブル このビットが 1 のとき、バック・プレッシャ機能がイネーブルになります。	0
2	FLWCNT	送信フロー制御イネーブル このビットが 1 のとき、ポーズ・コントロール・フレームの自動送信がイネーブルになります。	0
1	TXFFLH	送信 FIFO フラッシュ このビットを 1 にすると、送信 FIFO の内容はすべてクリアされます。この機能を解除するには、0 を書き込む必要があります。	0
0	RXFFLH	受信 FIFO フラッシュ このビットを 1 にすると、受信 FIFO の内容はすべてクリアされます。この機能を解除するには、0 を書き込む必要があります。	0

備考 PTIMEを除く設定ビットを切り替える場合には、レジスタ設定後にソフトウェア・リセットをかけるようにしてください。ソフトウェア・リセットの手順は、3. 16 (4) MACC1, MACC2, MACC3, PCSCレジスタ設定切り替え時の注意を参照してください。



TIMR – 送信割り込みマスク・レジスタ (レジスタ・アドレス A[7:0] = 91H) R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													ITFOV	ITFUN	ITWMH
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ICSE	ITBP	ITPP	ITPCF	ITCFR	ITGNT	ILCOL	IECOL	ITEDFR	ITDFR	ITBRO	ITMUL	ITDONE	ITFLOR	ITFLER	ITCRCE

各要因によるINT#信号の発生をマスクします。各ビットに1を設定すると、マスクが解除されます。

(1/2)

ビット	名称	機能	デフォルト
31:19	-	Reserved 0を書き込んでください。	-
18	ITFOV	送信FIFOオーバラン 0のとき、FSVREGレジスタの対応するビットの割り込みをマスクします。	0
17	ITFUN	送信FIFOアンダラン 0のとき、FSVREGレジスタの対応するビットの割り込みをマスクします。	0
16	ITWMH	送信フルレベル・オーバ 0のとき、FSVREGレジスタの対応するビットの割り込みをマスクします。	0
15	ICSE	キャリア・センス・エラー 0のとき、TSVREG1レジスタの対応するビットの割り込みをマスクします。	0
14	ITBP	バック・プレッシャ 0のとき、TSVREG1レジスタの対応するビットの割り込みをマスクします。	0
13	ITPP	ポーズ中の送信リクエスト 0のとき、TSVREG1レジスタの対応するビットの割り込みをマスクします。	0
12	ITPCF	ポーズ・コントロール・フレーム送信 0のとき、TSVREG1レジスタの対応するビットの割り込みをマスクします。	0
11	ITCFR	コントロール・フレーム送信 0のとき、TSVREG1レジスタの対応するビットの割り込みをマスクします。	0
10	ITGNT	LMAXを越える長さの packets 送信 0のとき、TSVREG1レジスタの対応するビットの割り込みをマスクします。	0
9	ILCOL	レイト・コリジョン 0のとき、TSVREG1レジスタの対応するビットの割り込みをマスクします。	0
8	IECOL	過剰コリジョン 0のとき、TSVREG1レジスタの対応するビットの割り込みをマスクします。	0
7	ITEDFR	過剰遅延 0のとき、TSVREG1レジスタの対応するビットの割り込みをマスクします。	0
6	ITDFR	送信遅延 0のとき、TSVREG1レジスタの対応するビットの割り込みをマスクします。	0

(2/2)

ビット	名称	機能	デフォルト
5	ITBRO	ブロードキャスト・パケット送信 0のとき, TSVREG1レジスタの対応するビットの割り込みをマスクします。	0
4	ITMUL	マルチキャスト・パケット送信 0のとき, TSVREG1レジスタの対応するビットの割り込みをマスクします。	0
3	ITDONE	送信終了 0のとき, TSVREG1レジスタの対応するビットの割り込みをマスクします。	0
2	ITFLOR	リングス・フィールド・チェック 0のとき, TSVREG1レジスタの対応するビットの割り込みをマスクします。	0
1	ITFLER	データ長不一致 0のとき, TSVREG1レジスタの対応するビットの割り込みをマスクします。	0
0	ITCRCE	送信CRCエラー 0のとき, TSVREG1レジスタの対応するビットの割り込みをマスクします。	0

RIMR – 受信割り込みマスク・レジスタ (レジスタ・アドレス A[7:0] = 92H) R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													IRFOV	IRWMH	IRWML
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRLENE	IVLAN	IUSOP	IRPCF	IRCFR	IDNB	IRBRO	IRMUL	IRXOK	IRLOR	IRLER	IRCRCE	IRCV	ICEPS	IREPS	IPAIG

各要因によるINT#信号の発生をマスクします。各ビットに1を設定すると、マスクが解除されます。

(1/2)

ビット	名称	機能	デフォルト
31:19	-	Reserved 0を書き込んでください。	-
18	IRFOV	受信FIFOオーバーラン 0のとき、FSVREGレジスタの対応するビットの割り込みをマスクします。	0
17	IRWMH	ポーズ・フレーム送信レベル 0のとき、FSVREGレジスタの対応するビットの割り込みをマスクします。	0
16	IRWML	ゼロ・フレーム送信レベル 0のとき、FSVREGレジスタの対応するビットの割り込みをマスクします。	0
15	IRLENE	受信パケット長エラー 0のとき、RSVREGレジスタの対応するビットの割り込みをマスクします。	0
14	IVLAN	VLANフレーム 0のとき、RSVREGレジスタの対応するビットの割り込みをマスクします。	0
13	IUSOP	未定義のオペコードを含むコントロール・フレーム受信 0のとき、RSVREGレジスタの対応するビットの割り込みをマスクします。	0
12	IRPCF	ポーズ・コントロール・フレーム受信 0のとき、RSVREGレジスタの対応するビットの割り込みをマスクします。	0
11	IRCFR	コントロール・フレーム受信 0のとき、RSVREGレジスタの対応するビットの割り込みをマスクします。	0
10	IDNB	ドリブル・ニブル・エラー 0のとき、RSVREGレジスタの対応するビットの割り込みをマスクします。	0
9	IRBRO	ブロードキャスト・パケット受信 0のとき、RSVREGレジスタの対応するビットの割り込みをマスクします。	0
8	IRMUL	マルチキャスト・パケット受信 0のとき、RSVREGレジスタの対応するビットの割り込みをマスクします。	0
7	IRXOK	受信終了 0のとき、RSVREGレジスタの対応するビットの割り込みをマスクします。	0
6	IRLOR	リングス・フィールド・チェック 0のとき、RSVREGレジスタの対応するビットの割り込みをマスクします。	0

(2/2)

ビット	名称	機能	デフォルト
5	IRLER	データ長不一致 0のとき、RSVREGレジスタの対応するビットの割り込みをマスクします。	0
4	IRCRCE	CRCエラー 0のとき、RSVREGレジスタの対応するビットの割り込みをマスクします。	0
3	IRCV	RXER検出 0のとき、RSVREGレジスタの対応するビットの割り込みをマスクします。	0
2	ICEPS	False Carrier検出 0のとき、RSVREGレジスタの対応するビットの割り込みをマスクします。	0
1	IREPS	無効パケット受信 0のとき、RSVREGレジスタの対応するビットの割り込みをマスクします。	0
0	IPAIG	受信パケット無視 0のとき、RSVREGレジスタの対応するビットの割り込みをマスクします。	0



TSVREG1 – 送信ステータス・レジスタ1 (レジスタ・アドレス A[7:0] = 93H) Read only

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved												TCBC			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSE	TBP	ITPP	TPCF	TCFR	TGNT	LCOL	ECOL	TEDFR	TDFR	TBRO	TMUL	TDONE	TFLOr	TFLER	TCRCE

このレジスタは、送信パケットのステータスによってINT#信号がロウ・レベルになったときの割り込み要因を示します(ビット31 - ビット16を除く)。各ビットの割り込み要因が発生した場合には、対応するビットに1をセットし、INT#信号をロウ・レベルにします。TIMRレジスタによってマスクされている要因により割り込みが発生した場合には、対応するビットに1をセットするだけでINT#信号をロウ・レベルにする要因とはなりません。

このレジスタは、送信が終了すること、または送信アポートが発生することに更新されます。

MISCRレジスタ：SRRCビットに1が設定されているとき、このレジスタを読み出すと、すべてのビットは自動的にクリアされます。

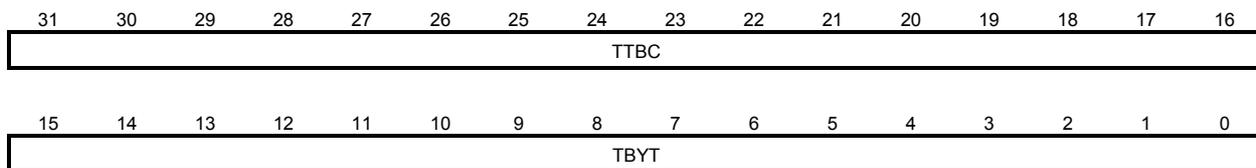
(1/2)

ビット	名称	機能	デフォルト
31:20	-	Reserved 0を書き込んでください。	-
19:16	TCBC	コリジョン・カウント 送信完了するまでに発生したコリジョン回数を示します。送信がアポートされた場合、0になります。	
15	CSE	キャリア・センス・エラー 1のとき、送信中にキャリア・センス・エラーが発生したことを示します。	0
14	TBP	バック・プレッシャ 1のとき、前回の送信以降で、バック・プレッシャによりダミー・パケットが送信され、コリジョンが発生したことを示します。	0
13	ITPP	ポーズ中の送信リクエスト 1のとき、ポーズ中に送信要求されたパケットの送信が終了したことを示します。ポーズ中に送信要求されたパケットが、μPD98431が自動で送信するポーズ・フレームの場合、このビットは1になりません。	0
12	TPCF	ポーズ・コントロール・フレーム送信 1のとき、ポーズ・コントロール・フレームが送信されたことを示します。	0
11	TCFR	コントロール・フレーム送信 1のとき、コントロール・フレームが送信されたことを示します。	0
10	TGNT	LMAXを越える長さのパケット送信 1のとき、LMAXレジスタで設定されたパケット長を越える長さのパケットが送信されたことを示します。このビットはMACC1レジスタ：HUGENビットが0である場合のみ、1になります。	0
9	LCOL	レイト・コリジョン 1のとき、CLRTレジスタで設定されたコリジョン・ウィンドウを越えてコリジョンが発生したことを示します。	0

(2/2)

ビット	名称	機能	デフォルト
8	ECOL	過剰コリジョン 1のとき,CLRTレジスタで設定された最大再送回数を越えてコリジョンが発生したことを示します。	0
7	TEDFR	過剰遅延 1のとき,過剰遅延(24288 bit timeを経過しても送信が開始されない)が発生したことを示します。	0
6	TDFR	送信遅延 1のとき,送信遅延が発生したことを示します。送信がアボートされた場合には,1になりません。	0
5	TBRO	ブロードキャスト・パケット送信 1のとき,ブロードキャスト・パケットを送信したことを示します。送信がアボートされた場合には,1になりません。	0
4	TMUL	マルチキャスト・パケット送信 1のとき,マルチキャスト・パケットまたはブロードキャスト・パケットを送信したことを示します。送信がアボートされた場合には,1になりません。	0
3	TDONE	送信終了 1のとき,送信が正常に終了したことを示します。送信がアボートされた場合は,このビットは1になりません。	0
2	TFLOR	リングス・フィールド・チェック 1のとき,送信パケットのリングス・フィールドの値が1500を越えていることを示します。MACC1レジスタ:FLCHTビットが0のとき,このビットは1になりません。	0
1	TFLER	データ長不一致 1のとき,送信パケットのデータ・フィールド長と,リングス・フィールドの値が一致していないことを示します。MACC1レジスタ:FLCHTビットが0のとき,このビットは1になりません。またリングス・フィールドの値が1500を越える場合,TFLORは1になりますが,TFLERは1になりません。	0
0	TCRCE	送信CRCエラー 1のとき,ホストが送信パケットに付加したCRCコードが正しくないことを示します。MACC1レジスタ:CRCEENビットが1のとき,このビットは1になりません。また,送信がアボートされた場合には,1になりません。	0

TSVREG2 – 送信ステータス・レジスタ2 (レジスタ・アドレス A[7:0] = 94H) Read only



このレジスタは、パケット送信ごとの送信バイト数を示します。このレジスタは、送信が終了すること、または送信アボートが発生することによって更新されます。

MISCRレジスタ：SRRCビットに1が設定されているとき、このレジスタを読み出すと、すべてのビットは自動的にクリアされます。

ビット	名称	機能	デフォルト
31:16	TTBC	トータル送信バイト数 コリジョン発生によりキャンセルされたパケットを含め、送信が完了するまでに送信した総バイト数を示します。	0
15:0	TBYT	送信バイト数 正常に送信されたバイト数を示します。送信アボート時は正しい値をとりません。	0

RSVREG – 受信ステータス・レジスタ (レジスタ・アドレス A[7:0] = 95H) Read only

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RBYT															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RLENE	VLAN	USOP	RPCF	RCFR	DBNB	RBRO	RMUL	RXOK	RLOR	RLER	RCRCE	RCV	CEPS	REPS	PAIG

このレジスタは、受信パケットのステータスによってINT#信号がロウ・レベルになったときの割り込み要因を示します(ビット31 - ビット16を除く)。各ビットの割り込み要因が発生した場合には、対応するビットに1をセットし、INT#信号をロウ・レベルにします。RIMRレジスタによってマスクされている要因により割り込みが発生した場合には、対応するビットに1をセットするだけでINT#信号をロウ・レベルにする要因とはなりません。

このレジスタは、MACモジュールにパケットが受信されるごとに更新されます。

MISCRレジスタ：SRRCビットに1が設定されているとき、このレジスタを読み出すと、すべてのビットは自動的にクリアされます。

(1/2)

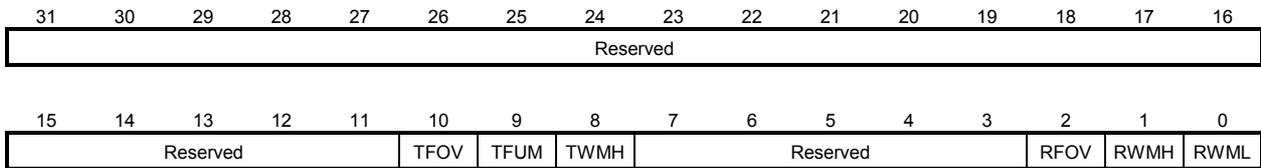
ビット	名称	機能	デフォルト
31:16	RBYT	受信バイト数 受信したパケットの長さをバイト単位で示します。	-
15	RLENE	受信パケット長エラー 1のとき、受信パケットの長さが64オクテット未満か、1518オクテットを超える長さであることを示します(VLANの場合は64オクテット未満または1522オクテットより大きい場合)。	0
14	VLAN	VLANフレーム 1のとき、受信したパケットのTPIDフィールドがVLTPレジスタの値と一致したことを示します。CRCエラー、RXERが発生した場合、このビットは1になりません。	0
13	USOP	未定義のオペコードを含むコントロール・フレーム受信 1のとき、未定義のオペコードを含むコントロール・フレームを受信したことを示します。CRCエラーが発生した場合、このビットは1になりません。	0
12	RPCF	ポーズ・コントロール・フレーム受信 1のとき、ポーズ・コントロール・フレームを受信したことを示します。CRCエラーが発生した場合、このビットは1になりません。	0
11	RCFR	コントロール・フレーム受信 1のとき、コントロール・フレームを受信したことを示します。CRCエラーが発生した場合、このビットは1になりません。	0
10	DBNB	ドリブル・ニブルを含むパケットの受信 1のとき、受信したパケットでドリブル・ニブルが発生したことを示します。	0
9	RBRO	ブロードキャスト・パケット受信 1のとき、ブロードキャスト・パケットを受信したことを示します。	0

(2/2)

ビット	名称	機能	デフォルト
8	RMUL	マルチキャスト・パケット受信 1のとき、マルチキャスト・パケットまたはブロードキャスト・パケットを受信したことを示します。	0
7	RXOK	受信終了 1のとき、受信が終了したことを示します。CRCエラー、RXERが発生した場合、このビットは1になりません。	0
6	RLOR	レングス・フィールド・チェック 1のとき、受信したパケットのレングス・フィールドの値が1500を越える値であったことを示します。MACC1レジスタ:FLCHTビットが0のとき、このビットは1になりません。	0
5	RLER	データ長不一致 1のとき、受信したパケットのデータ・フィールド長と、そのレングス・フィールドの値が不一致であったことを示します。MACC1レジスタ:FLCHTビットが0のとき、このビットは1になりません。またレングス・フィールドの値が1500を越える場合、RLORは1になりますが、RLERは1になりません。	0
4	RRCCE	CRCエラー 1のとき、受信したパケットでCRCエラーが発生したことを示します。	0
3	RCV	RXER検出 1のとき、RXERが検出されたことを示します。	0
2	CEPS	False Carrier検出 1のとき、前回の受信以降でFalse Carrierが検出されたことを示します。	0
1	REPS	無効パケット受信 1のとき、前回の受信以降で無効なパケット（プリアンブル+SFDのみ、あるいはデータが1ニブル分しかないパケット）受信があったことを示します。このビットが1となる原因となった無効なパケットは、MAC内部で破棄されます。	0
0	PAIG	受信パケット無視 1のとき、前回の受信以降で次の条件によるデータ受信があったことを示します。 ・キャリア長：6072ニブルを越えるキャリア長を検出した場合 ・パケット受信後、IPGが80bit time以下で次のパケットが受信された場合 ・MACC1：PUREPビットが設定されているときに、不正なプリアンブルまたはSFDを受信 このビットが1となる原因となった無効なパケットは、MAC内部で破棄されます。	0



FSVREG – FIFOステータス・レジスタ (レジスタ・アドレス A[7:0] = 96H) Read only



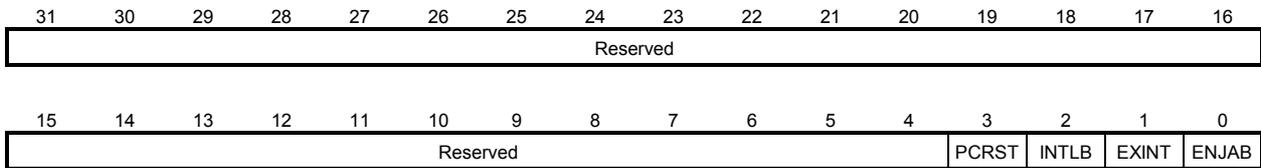
このレジスタは、各ステータスによってINT#信号がロウ・レベルになったときの割り込み要因を示します (Reservedを除く)。各ビットの割り込み要因が発生した場合には、対応するビットに1をセットし、INT#信号をロウ・レベルにします。TIMRレジスタおよびRIMRレジスタによってマスクされている要因により割り込みが発生した場合には、対応するビットに1をセットするだけでINT#信号をロウ・レベルにする要因とはなりません。

MISCRレジスタ：SRRCビットに1が設定されているとき、このレジスタを読み出すと、すべてのビットは自動的にクリアされます。

ビット	名 称	機 能	デフォルト
31:11	-	Reserved	-
10	TFOV	送信 FIFO オーバラン 送信 FIFO でオーバランが発生した場合、1 が設定されます。	0
9	TFUN	送信 FIFO アンダラン 送信 FIFO でアンダランが発生した場合、1 が設定されます。	0
8	TWMH	送信フル・レベル・オーバ 送信 FIFO 内のデータ量が、TFIC レジスタ：TFDMH フィールドに設定された値を越えると、1 が設定されます。	0
7:3	-	Reserved	
2	RFOV	受信 FIFO オーバフロー 受信 FIFO 内のデータ量が RFIC2 レジスタ：RFUB フィールドの値を越えるとオーバランとみなされ、このビットに 1 が設定されます。	0
1	RWMH	ポーズ・フレーム送信レベル・オーバ 受信 FIFO 内のデータ量が RFIC1 レジスタ：RFDMH フィールドに設定される値を越えると、このビットに 1 が設定されます。	0
0	RWML	ゼロ・フレーム送信レベル以下 受信 FIFO 内のデータ量が、いったん RFIC1 レジスタ：RFDMH フィールドに設定される値を越えたあとに、RFDML フィールドに設定された値を下回ると、このビットに 1 が設定されます。	0



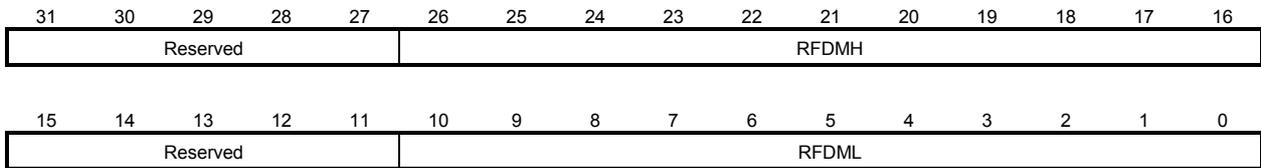
PCSC – PCS コンフィギュレーション・レジスタ (レジスタ・アドレス A[7:0] = 98H) R/W



Bit	名 称	機 能	デフォルト
31:4	-	Reserved 0を書き込んでください。	0
3	PCRST	PCSブロック・ソフトウェア・リセット 1に設定すると、ソフトウェア・リセットがかかります。 ソフトウェア・リセットの解除には、0を書き込む必要があります。	0
2	INTLB	PCSループバック 1に設定すると、PCS送信データ出力が、PCS受信データ入力としてループバックされます。	0
1	EXINT	物理層インタフェース選択 物理層デバイスとのインタフェースを選択します。 このビットに0を設定するとMIIモード、1を設定すると10 Mbpsシリアル・モードとなります。	0
0	ENJAB	ジャバ・プロテクション・イネーブル このビットに1を設定すると、10 Mbpsシリアル・モードにおいて、ジャバ・パケットを送信しないようにします。	0

備考 ソフトウェア・リセット・ビットを除く設定ビットを切り替える場合には、レジスタ設定後にソフトウェア・リセットをかけるようにしてください。ソフトウェア・リセットの手順は、3. 16(4)MACC1, MACC2, MACC3, PCSCレジスタ設定切り替え時の注意を参照してください。

RFIC1 – 受信FIFOコンフィギュレーション・レジスタ1 (レジスタ・アドレス A[7:0] = 9BH) R/W

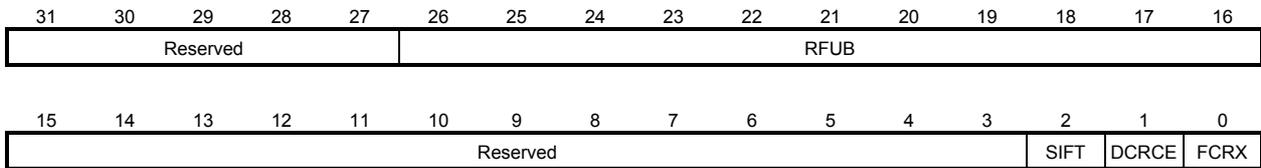


ビット	名 称	機 能	デフォルト
31:27	-	Reserved 0 を書き込んでください。	0
26:16	RFDMH	ポーズ・フレーム送信レベル 送信フロー制御機能がイネーブルされているときに受信 FIFO のデータ量がこの値を越えると、MACC3 レジスタに設定されたポーズ・タイム値を持ったポーズ・フレームが自動的に送信されます。	7FFH
15:11	-	Reserved 0 を書き込んでください。	0
10:0	RFDML	ゼロ・フレーム送信レベル 送信フロー制御機能がイネーブルされ受信 FIFO のデータ量がいったん RFDMH フィールドに設定される値を越えたあとに、データ量がこの値未満になった場合、ポーズ・タイム値を 0 にしたコントロール・フレームが自動的に送信されます。 注意 RFDMH および RFDML の設定値は、次の式を守ってください。 0 RFDML < RFDMH 7FFH	000H

注意 μ PD98431 の FIFO 内では、パケット・データ量が 32 ビット・バス・モードの場合 4 バイト単位で用いられ、64 ビット・バス・モードの場合 8 バイト単位で用いられます。パケットの終端において端数が生じた場合は、FIFO 内部では各バス・モードに応じたデータ単位で切り上げた値が蓄積されたデータ量とみなされます。RFDMH および RFDML と FIFO データ量の比較は、レジスタ値に対して各バス・モードに対応した 1 データ単位分 (32 ビット・バス・モードで 4 バイト、64 ビット・バス・モードで 8 バイト) を加算した値と、前述のデータ単位で蓄積されたデータ量を使って比較を行います。



RFIC2 – 受信FIFOコンフィギュレーション・レジスタ2 (レジスタ・アドレス A[7:0] = 9CH) R/W



ビット	名称	機能	デフォルト
31:27	-	Reserved 0 を書き込んでください。	0
26:16	RFUB	受信 FIFO 上限設定 ^{注1} 受信 FIFO の上限を設定します。受信 FIFO 内に蓄積されているデータ量がこの値を越えると、μPD98431 は受信 FIFO・オーバランが発生したと見なします。設定可能な範囲は、40H から 7FFH です。	7FFH
15:3	-	Reserved 0 を書き込んでください。	0
2	SIFT	ショート・パケットの破棄 このビットが1のとき、64バイト未満のパケットを破棄します。VLANパケットの場合も同様に、64バイト未満のパケットを破棄します。	1
1	DCRCE	CRC エラー・パケットの破棄 ^{注2} このビットが1のとき、CRC エラーおよび RXER が発生したパケットを破棄します。	1
0	FCRX	コントロール・パケットの破棄 このビットが1のとき、ポーズ・コントロール・フレームを破棄します。ポーズ・フレーム以外の未定義コントロール・フレームは破棄されません。	1

注1. μPD98431 の FIFO 内では、パケット・データ量が 32 ビット・バス・モードの場合 4 バイト単位で用いられ、64 ビット・バス・モードの場合 8 バイト単位で用いられます。パケットの終端において端数が生じた場合は、FIFO 内部では各バス・モードに応じたデータ単位で切り上げた値が蓄積されたデータ量とみなされます。RFUB と FIFO データ量の比較は、次にあげる例外を除き、レジスタ値に対して各バス・モードに対応した 1 データ単位分 (32 ビット・バス・モードで 4 バイト、64 ビット・バス・モードで 8 バイト) を加算した値と、前述のデータ単位で蓄積されたデータ量を使って比較を行います。

例外 1. ステータス情報を受信データの先頭に付加する場合 (MACC3 レジスタ: APSS ビット = 1), RFUB のレジスタ値と、前述のデータ単位で蓄積されたデータ量を使って比較を行います。

2. 64 ビット・バス・モード時において 8 バイト単位で区切ったときに 1~4 バイトの端数が発生する RFUB 値を設定した場合、その端数を切り捨てた値に 64 ビット・バス・モードでの 1 データ単位である 8 バイトを加算した値と、前述のデータ単位で蓄積されたデータ量を使って比較を行います。

2. コリジョン発生時に受信されるジャム・データを μPD98431 で破棄する場合には、DCRCE ビットを 1 に設定してください。

TFIC – 送信FIFOコンフィギュレーション・レジスタ (レジスタ・アドレス A[7:0] = 9DH) R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								TFDMH							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								TFDWL							

ビット	名称	機能	デフォルト
31:25	-	Reserved 0 を書き込んでください。	0
24:16	TFDMH	送信フル・レベル 送信 FIFO 内のデータ量がこの値以下である場合、 μ PD98431 は TXFBA[n] 信号をハイ・レベルにし、ホスト・システムに対して、送信 FIFO 内に空きがあることを示します。送信 FIFO データ量がこの値を越えると、TXFBA[n] 信号をロウ・レベルにします。 この値は、3FH から 1FFH の範囲で設定してください。	0FFH
15:9	-	Reserved 0 を書き込んでください。	0
8:0	TFDWL	送信ドレーン・レベル 送信 FIFO 内のデータ量がこの値を越えると、パケットの送信を開始します。 この値は、(CLRT レジスタ: LCOL + 8) の値以上、1FFH 以下の範囲で設定してください。	0FFH

注意 μ PD98431 の FIFO 内では、パケット・データ量が 32 ビット・バス・モードの場合 4 バイト単位で用いられ、64 ビット・バス・モードの場合 8 バイト単位で用いられます。パケットの終端において端数が生じた場合は、FIFO 内部では各バス・モードに応じたデータ単位で切り上げた値が蓄積されたデータ量とみなされます。TFDMH および TFDWL と FIFO データ量の比較は、レジスタ値と、前述のデータ単位で蓄積されたデータ量を使って比較を行います。

4.3 グローバル・レジスタ

グローバル・レジスタは、全ポートに対する設定およびステータスの確認のために用いられるレジスタです。

グローバル・レジスタをアクセスするときにアドレス・バス A[10:0]は A[7:0]のみ有効で、A[10:8]は無視されます。

STIR – ステータス情報レジスタ (レジスタ・アドレス A[7:0] = FBH) Read only

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
P7TS	P7RS	P7FS	P7CA												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
P7TS	P7RS	P7FS	P7CA	P7TS	P7RS	P7FS	P7CA	P7RS	P7RS	P7FS	P7CA	P7TS	P7RS	P7FS	P7CA

このレジスタは、各ポートに設けられている TSVREG1, RSVREG, FSVREG, CAR1, CAR2 各レジスタのいずれかのビットに1がセットされると、対応するビットが1になります。このレジスタは各ステータス・レジスタのカレントの状態を示していますので、各ステータス・レジスタがクリアされればこのレジスタ内の対応するビットもクリアされます。このレジスタを読み出しても、各ステータス・レジスタはクリアされず、また INT# 信号もディASSERT されません。

(1/3)

ビット	名称	機能	デフォルト
31	P7TS	ポート 7 TSVREG ステータス ポート 7 の TSVREG1 レジスタ内のいずれかのビットに1がセットされているとき、このビットに1がセットされます。	0
30	P7RS	ポート 7 RSVREG ステータス ポート 7 の RSVREG レジスタ内のいずれかのビットに1がセットされているとき、このビットに1がセットされます。	0
29	P7FS	ポート 7 FSVREG ステータス ポート 7 の FSVREG レジスタ内のいずれかのビットに1がセットされているとき、このビットに1がセットされます。	0
28	P7CA	ポート 7 CAR ステータス ポート 7 の CAR1 および CAR2 レジスタ内のいずれかのビットに1がセットされているとき、このビットに1がセットされます。	0
27	P7TS	ポート 6 TSVREG ステータス ポート 6 の TSVREG1 レジスタ内のいずれかのビットに1がセットされているとき、このビットに1がセットされます。	0
26	P7RS	ポート 6 RSVREG ステータス ポート 6 の RSVREG レジスタ内のいずれかのビットに1がセットされているとき、このビットに1がセットされます。	0
25	P7FS	ポート 6 FSVREG ステータス ポート 6 の FSVREG レジスタ内のいずれかのビットに1がセットされているとき、このビットに1がセットされます。	0

(2/3)

ビット	名称	機能	デフォルト
24	P7CA	ポート 6CAR ステータス ポート 6 の CAR1 および CAR2 レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
23	P7TS	ポート 5TSVREG ステータス ポート 5 の TSVREG1 レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
22	P7RS	ポート 5RSVREG ステータス ポート 5 の RSVREG レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
21	P7FS	ポート 5FSVREG ステータス ポート 5 の FSVREG レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
20	P7CA	ポート 5CAR ステータス ポート 5 の CAR1 および CAR2 レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
19	P7TS	ポート 4TSVREG ステータス ポート 4 の TSVREG1 レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
18	P7RS	ポート 4RSVREG ステータス ポート 4 の RSVREG レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
17	P7FS	ポート 4FSVREG ステータス ポート 4 の FSVREG レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
16	P7CA	ポート 4CAR ステータス ポート 4 の CAR1 および CAR2 レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
15	P7TS	ポート 3TSVREG ステータス ポート 3 の TSVREG1 レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
14	P7RS	ポート 3RSVREG ステータス ポート 3 の RSVREG レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
13	P7FS	ポート 3FSVREG ステータス ポート 3 の FSVREG レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0

(3/3)

ビット	名称	機能	デフォルト
12	P7CA	ポート 3CAR ステータス ポート 3 の CAR1 および CAR2 レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
11	P7TS	ポート 2TSVREG ステータス ポート 2 の TSVREG1 レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
10	P7RS	ポート 2RSVREG ステータス ポート 2 の RSVREG レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
9	P7FS	ポート 2FSVREG ステータス ポート 2 の FSVREG レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
8	P7CA	ポート 2CAR ステータス ポート 2 の CAR1 および CAR2 レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
7	P7TS	ポート 1TSVREG ステータス ポート 1 の TSVREG1 レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
6	P7RS	ポート 1RSVREG ステータス ポート 1 の RSVREG レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
5	P7FS	ポート 1FSVREG ステータス ポート 1 の FSVREG レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
4	P7CA	ポート 1CAR ステータス ポート 1 の CAR1 および CAR2 レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
3	P7TS	ポート 0TSVREG ステータス ポート 0 の TSVREG1 レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
2	P7RS	ポート 0RSVREG ステータス ポート 0 の RSVREG レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
1	P7FS	ポート 0FSVREG ステータス ポート 0 の FSVREG レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0
0	P7CA	ポート 0CAR ステータス ポート 0 の CAR1 および CAR2 レジスタ内のいずれかのビットに 1 がセットされているとき、このビットに 1 がセットされます。	0

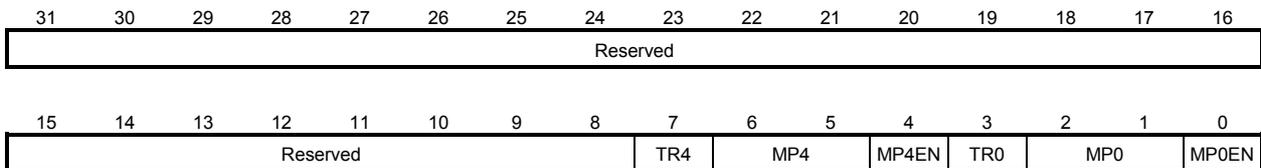
MISCR – FIFOバス幅/割り込み設定レジスタ (レジスタ・アドレス A[7:0] = FCH) R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															BUSWTH
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							INTEN	Reserved							SRRC

ビット	名称	機能	デフォルト
31:17	-	Reserved 0を書き込んでください。	-
16	BUSWTH	FIFOバス・インタフェース・データ・バス幅 0のとき, FIFOバス・インタフェースのデータ・バス幅が32bit (32bitデュアル・バス・モード) になります。 1のとき, FIFOバス・インタフェースのデータ・バス幅が64bit (64bitシングル・バス・モード) になります。	0
15:9	-	Reserved 0を書き込んでください。	-
8	INTEN	割り込みイネーブル 1のとき, INT#信号の機能をイネーブルにします。	0
7:1	-	Reserved 0を書き込んでください。	0
0	SRRC	ステータス・レジスタ・リード・クリア設定 1のとき, 各ステータス・レジスタは, 読み出し動作によってクリアされます。	0



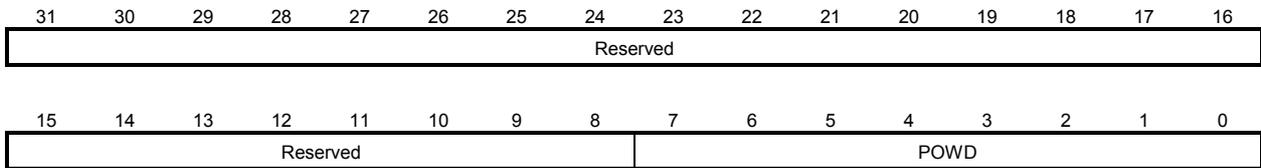
MIRR – ミラー・ポート設定レジスタ (レジスタ・アドレス A[7:0] = FDH) R/W



ビット	名称	機能	デフォルト
31:8	-	Reserved 0を書き込んでください。	-
7	TR4	送信 / 受信選択 (ミラー・ポート : ポート4) ポート4をミラー・ポートに使った場合に、送信あるいは受信、どちらのミラーリングを行うか指定します。 1のとき、MP4[1:0]で設定されるポートのMII送信データが、ポート4のMII送信データとして出力されます。 0のとき、MP4[1:0]で設定されるポートのMII受信データが、ポート4のMII送信データとして出力されます。	0
6:5	MP4[1:0]	ポート選択 (ミラー・ポート : ポート4) ポート4にミラーリングされるポートを指定します。ビットとポートの関係は次のとおりです。 MP4[1:0] = 11B : ポート7 MP4[1:0] = 10B : ポート6 MP4[1:0] = 01B : ポート5 MP4[1:0] = 00B : ポート4	0
4	MP4EN	ポート4・ミラーリング・イネーブル 1のとき、ポート4におけるポート・ミラーリングをイネーブルします。	0
3	TR0	送信 / 受信選択 (ミラー・ポート : ポート0) ポート0をミラー・ポートに使った場合に、送信あるいは受信、どちらのミラーリングを行うか指定します。 1のとき、MP0[1:0]で設定されるポートのMII送信データが、ポート0のMII送信データとして出力されます。 0のとき、MP0[1:0]で設定されるポートのMII受信データが、ポート0のMII送信データとして出力されます。	0
2:1	MP0[1:0]	ポート選択 (ミラー・ポート : ポート0) ポート0にミラーリングされるポートを指定します。ビットとポートの関係は次のとおりです。 MP0[1:0] = 11B : ポート3 MP0[1:0] = 10B : ポート2 MP0[1:0] = 01B : ポート1 MP0[1:0] = 00B : ポート0	0
0	MP0EN	ポート0・ミラーリング・イネーブル 1のとき、ポート0におけるポート・ミラーリングをイネーブルします。	0



POWD – パワー・ダウン制御レジスタ (レジスタ・アドレス A[7:0] = FFH) R/W



ビット	名 称	機 能	デフォルト
31:8	-	Reserved 0を書き込んでください。	-
7:0	POWD	パワーダウン・モードの設定 パワーダウン・モードを設定します。 対応するビットを1にすることで、デバイス内のポート・ブロックへのクロック供給を、ポートごとにカットします。ビット7からビット0はそれぞれ、ポート7からポート0に対応します。	0

第5章 統計カウンタ

統計カウンタ・マップ

(1/2)

レジスタ・アドレス A[7:0]	名 称	機 能	R/W	デフォルト
50H	RBYT	バイト受信カウンタ	R/W	00000000H
51H	RPKT	パケット受信カウンタ	R/W	00000000H
52H	RFCS	CRC エラー受信カウンタ	R/W	00000000H
53H	RMCA	マルチキャスト・パケット受信カウンタ	R/W	00000000H
54H	RBCA	ブロードキャスト・パケット受信カウンタ	R/W	00000000H
55H	RXCF	コントロール・フレーム受信カウンタ	R/W	00000000H
56H	RXPF	ポーズ・フレーム受信カウンタ	R/W	00000000H
57H	RXUO	未定義コントロール・フレーム受信カウンタ	R/W	00000000H
58H	RALN	アラインメント・エラー受信カウンタ	R/W	00000000H
59H	RFLR	データ長不一致受信カウンタ	R/W	00000000H
5AH	RCDE	コード・エラー受信カウンタ	R/W	00000000H
5BH	RFCR	False Carrier 受信カウンタ	R/W	00000000H
5CH	RUND	ショート・パケット受信カウンタ	R/W	00000000H
5DH	ROVR	ジャバ・パケット受信カウンタ	R/W	00000000H
5EH	RFRG	エラー・ショート・パケット受信カウンタ	R/W	00000000H
5FH	RJBR	エラー・ジャバ・パケット受信カウンタ	R/W	00000000H
60H	R64	64 バイト・フレーム受信カウンタ	R/W	00000000H
61H	R127	65-127 バイト・フレーム受信カウンタ	W	00000000H
62H	R255	128-255 バイト・フレーム受信カウンタ	R/W	00000000H
63H	R511	256-511 バイト・フレーム受信カウンタ	R/W	00000000H
64H	R1K	512-1023 バイト・フレーム受信カウンタ	R/W	00000000H
65H	RMAX	1024-RMAX バイト・フレーム受信カウンタ	R/W	00000000H
66H	RVBT	有効バイト受信カウンタ	R/W	00000000H
67H-6FH	-	Reserved	-	-
70H	TBYT	バイト送信カウンタ	R/W	00000000H
71H	TPKT	パケット送信カウンタ	R/W	00000000H
72H	TFCS	CRC エラー送信カウンタ	R/W	00000000H
73H	TMCA	マルチキャスト・パケット送信カウンタ	R/W	00000000H
74H	TBCA	ブロードキャスト・パケット送信カウンタ	R/W	00000000H
75H	TUCA	ユニキャスト・パケット送信カウンタ	R/W	00000000H
76H	TXPF	ポーズ・コントロール・フレーム送信カウンタ	R/W	00000000H
77H	TDFR	送信遅延カウンタ	R/W	00000000H

注意 “Reserved” となっているアドレスにはアクセスしないでください。

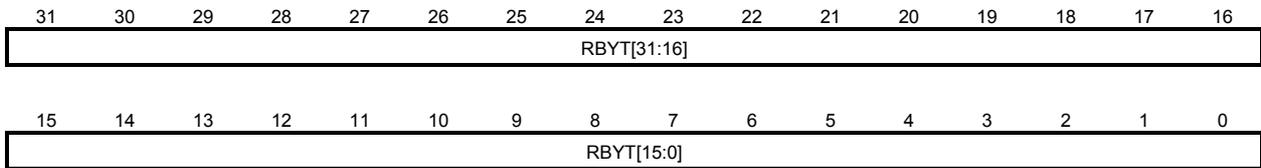
(2/2)

レジスタ・アドレス A[7:0]	名 称	機 能	R/W	デフォルト
78H	TXDF	送信過剰遅延カウンタ	R/W	00000000H
79H	TSCL	シングル・コリジョン・パケット送信カウンタ	R/W	00000000H
7AH	TMCL	マルチ・コリジョン・パケット送信カウンタ	R/W	00000000H
7BH	TLCL	レイト・コリジョン・カウンタ	R/W	00000000H
7CH	TXCL	過剰コリジョン・カウンタ	R/W	00000000H
7DH	TNCL	トータル・コリジョン回数カウンタ	R/W	00000000H
7EH	TCSE	キャリア・センス・エラー数カウンタ	R/W	00000000H
7FH	TIME	MAC 内部エラー数カウンタ	R/W	00000000H
80H	RFOVR	受信 FIFO オーバラン・カウンタ	R/W	00000000H
81H	TFUNR	送信 FIFO アンダラン・カウンタ	R/W	00000000H

注意 “Reserved” となっているアドレスにはアクセスしないでください。



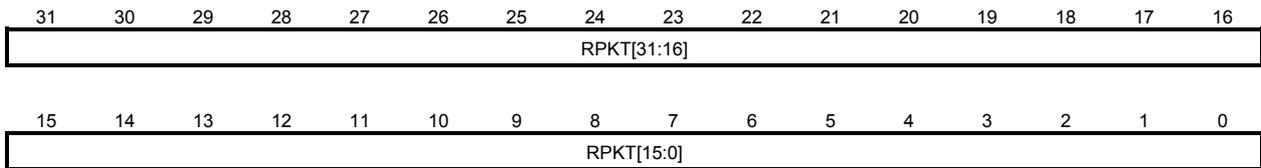
RBYT – バイト受信カウンタ (レジスタ・アドレス A[7:0] = 50H) R/W



受信パケットのバイト・カウントを示します。デスティネーション・アドレスから FCS バイトまでをカウントし、エラーが発生した場合もカウントします。

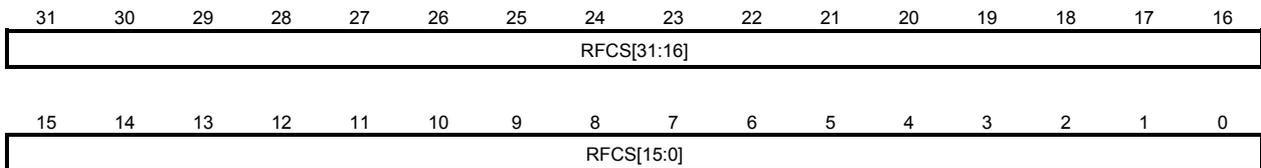
MACC1 レジスタ : HUGEN ビット = 0 のとき, LMAX レジスタに設定された長さを越えるパケットが受信された場合, LMAX レジスタの値がパケット長としてカウントされます。

RPKT – パケット受信カウンタ (レジスタ・アドレス A[7:0] = 51H) R/W



すべてのパケット受信ごとにカウントされます。エラーが発生したパケット, すべてのユニキャスト・パケット, すべてのマルチキャスト・パケットおよびブロードキャスト・パケットを含みます。

RFCS – CRC エラー受信カウンタ (レジスタ・アドレス A[7:0] = 52H) R/W

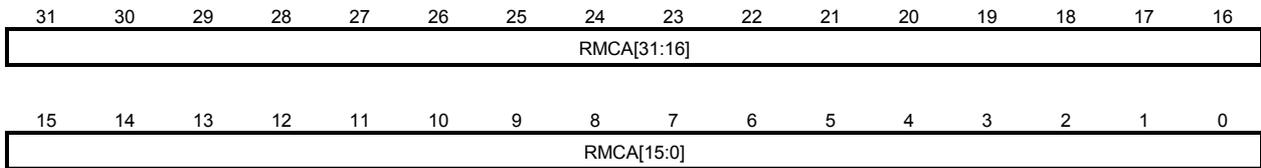


受信パケットにおいて, CRC エラーが発生した場合にカウントされます。

MACC1 レジスタ : HUGEN ビット = 0 のとき, LMAX レジスタで設定された長さを越えるパケットが受信された場合には, LMAX レジスタの設定値に達した時点で CRC チェックを行いますので, CRC エラー受信としてカウントされることがあります。

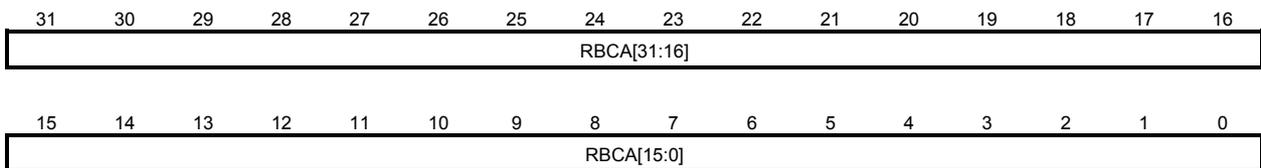


RMCA – マルチキャスト・パケット受信カウンタ (レジスタ・アドレス A[7:0] = 53H) R/W



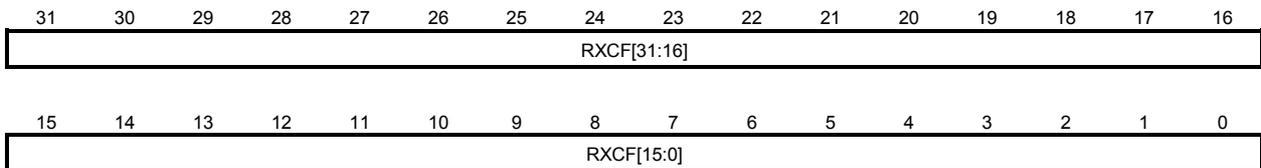
受信パケット長が 64 バイト以上でかつ 1518 バイト (VLAN フレーム時は 1522 バイト) 以下のマルチキャスト・パケットが受信された場合、カウントされます。ブロードキャスト・パケットは含まれません。また、CRC エラーが発生した受信パケットはカウントされません。

RBCA – ブロードキャスト・パケット受信カウンタ (レジスタ・アドレス A[7:0] = 54H) R/W



受信パケット長が 64 バイト以上でかつ 1518 バイト (VLAN フレーム時は 1522 バイト) 以下のブロードキャスト・パケットが受信された場合、カウントされます。マルチキャスト・パケットは含まれません。また、CRC エラーが発生した受信パケットはカウントされません。

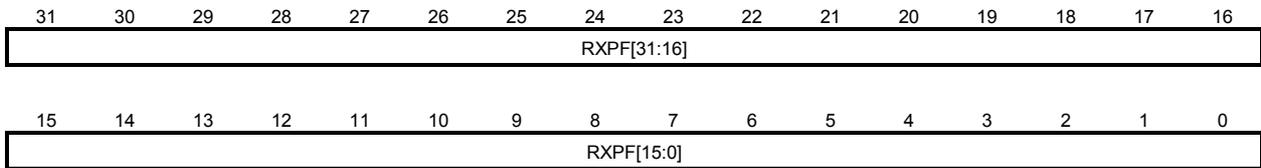
RXCF – コントロール・フレーム・パケット受信カウンタ (レジスタ・アドレス A[7:0] = 55H) R/W



コントロール・フレームが受信された場合、カウントされます。ポーズ・フレームおよびサポートされていないコントロール・フレームを含みます。CRC エラーが検出された場合はカウントされません。

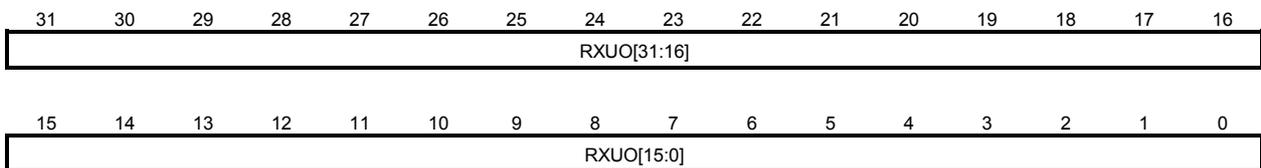


RXPF – ポーズ・フレーム受信カウンタ (レジスタ・アドレス A[7:0] = 56H) R/W



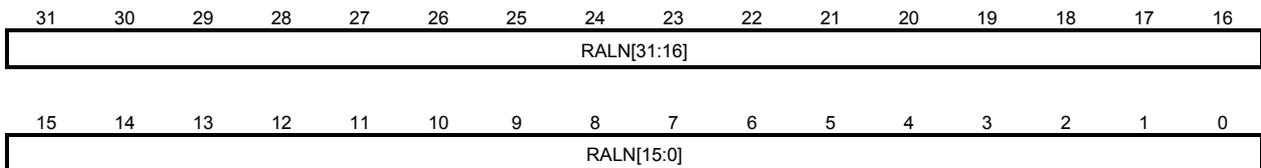
有効なポーズ・コントロール・フレームを受信した場合、カウントされます。

RXUO – 未定義コントロール・フレーム受信カウンタ (レジスタ・アドレス A[7:0] = 57H) R/W



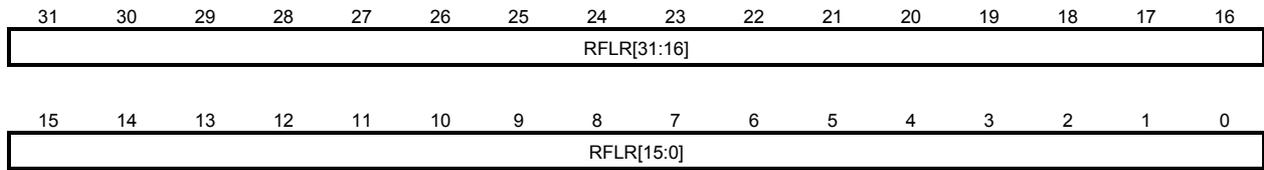
PAUSE 以外の OP コードを含むコントロール・フレーム ,または無効なデスティネーション・アドレスを持つポーズ・コントロール・フレームを受信した場合、カウントされます。CRC エラーが検出された場合はカウントされません。

RALN – アラインメント・エラー受信カウンタ (レジスタ・アドレス A[7:0] = 58H) R/W

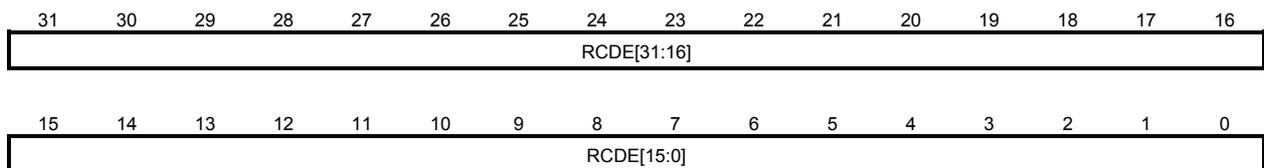


受信パケットにおいて、CRC エラーが発生しかつドリブル・ニブルが発生した場合にカウントされます。

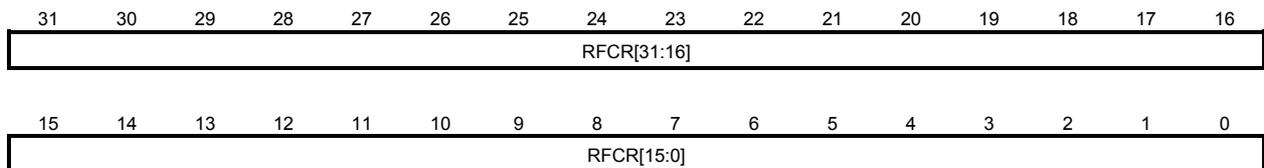
MACC1 レジスタ : HUGEN ビット = 0 のとき、LMAX レジスタで設定された長さを越えるパケットが受信された場合には、LMAX レジスタの設定値 (バイト単位) に達した時点でアラインメント・エラーのチェックが行われま
すので、このカウンタは常にカウントされません。

RFLR – データ長不一致受信カウンタ (レジスタ・アドレス A[7:0] = 59H) R/W

受信パケットのレングス・フィールドの値が、実際に受信されたパケットのデータ・フィールド長と一致しない場合、カウントされます。レングス・フィールドの値が 1501 以上の場合 (たとえば、レングス・フィールドに相当するバイトがイーサネット・タイプ・フィールドとして使用されている場合など)、このカウンタはインクリメントされません。

RCDE – コード・エラー受信カウンタ (レジスタ・アドレス A[7:0] = 5AH) R/W

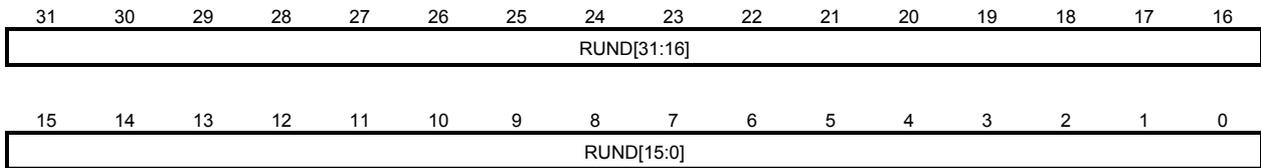
キャリアが検出されている間、不正なデータ・シンボルが少なくとも 1 回検出された場合、カウントされます。

RFCR – False Carrier 受信カウンタ (レジスタ・アドレス A[7:0] = 5BH) R/W

アイドル中に False Carrier が発生した場合、次のパケット受信のあとでカウントされます。False Carrier は RXER がハイ・レベルで RXD からニブル・データとして 1110B が入力された場合に、False Carrier が発生したと見なされます。アイドルの間に複数回の False Carrier が発生した場合でも、カウントされるのは 1 回のみです。

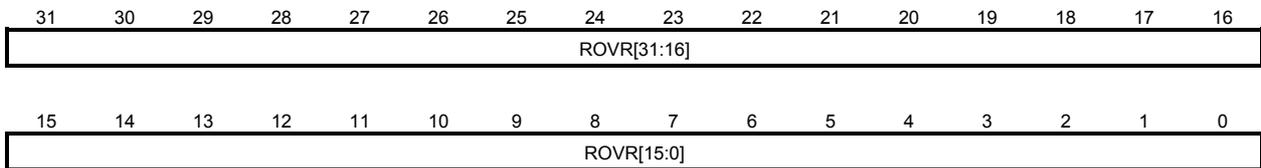


RUND – ショート・パケット受信カウンタ (レジスタ・アドレス A[7:0] = 5CH) R/W



受信パケット長が 64 バイト未満 で有効な FCS フィールドを含んでいる場合、カウントされます。

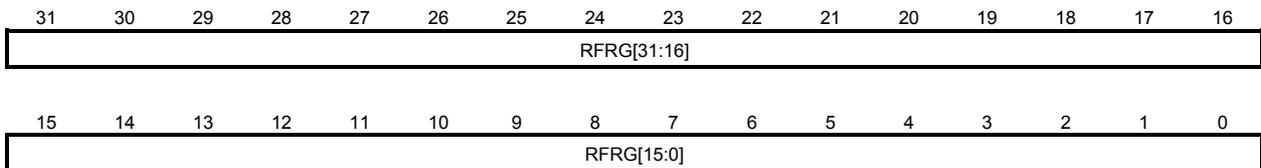
ROVR – ジャバ・パケット受信カウンタ (レジスタ・アドレス A[7:0] = 5DH) R/W



受信パケット長が 1518 バイト (VLAN フレーム時は 1522 バイト) を越えていて、かつ有効な FCS フィールドを含んでいる場合、カウントされます。

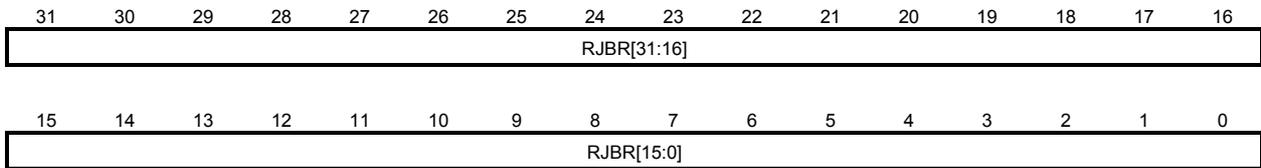
MACC1 レジスタ : HUGEN ビット = 0 のとき、LMAX レジスタで設定された長さを越えるパケットが受信された場合には、LMAX レジスタの設定値に達した時点で CRC チェックを行いますので、その時点で CRC エラーとみなされ、このカウンタがカウントされないことがあります。

RFRG – エラー・ショート・パケット受信カウンタ (レジスタ・アドレス A[7:0] = 5EH) R/W



受信パケット長が 64 バイト未満 で、かつ CRC エラーあるいはアラインメント・エラーを含んでいる場合、カウントされます。

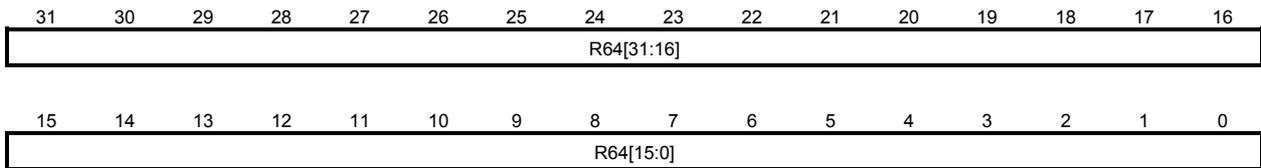
RJBR – エラー・ジャバ・パケット受信カウンタ (レジスタ・アドレス A[7:0] = 5FH) R/W



受信パケット長が 1518 バイト (VLAN フレーム時は 1522 バイト) を越えていて、かつ CRC エラーあるいはラインメント・エラーを含んでいる場合、カウントされます。

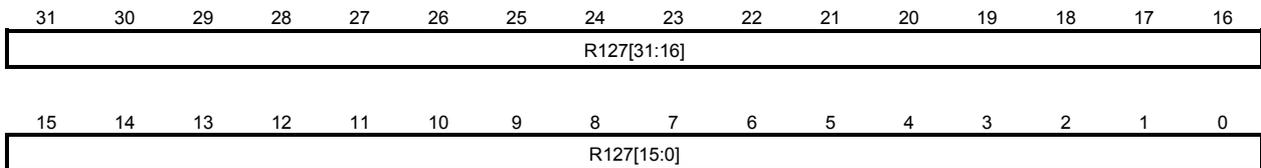
MACC1 レジスタ : HUGEN ビット = 0 のとき、LMAX レジスタで設定された長さを越えるパケットが受信された場合には、LMAX レジスタの設定値に達した時点で CRC チェックを行いますので、その時点で CRC エラーとみなされ、このカウンタがカウントされることがあります。

R64 – 64 バイト・フレーム受信カウンタ (レジスタ・アドレス A[7:0] = 60H) R/W

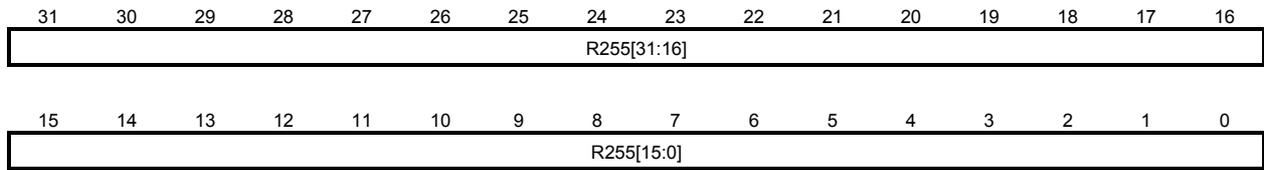


受信パケット長が 64 バイト である場合に、カウントされます。CRC エラー、シンボル・エラー、レンジノタイプ・エラーを含んだパケットもカウントされます。

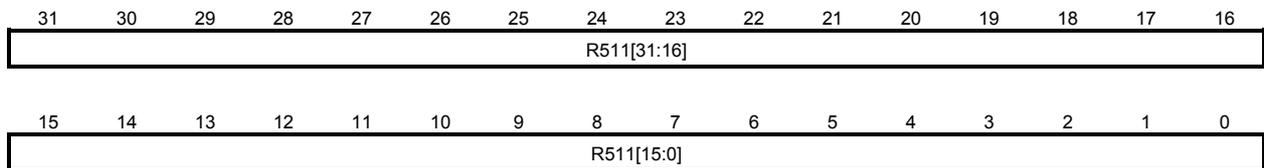
R127 – 65-127 バイト・フレーム受信カウンタ (レジスタ・アドレス A[7:0] = 61H) R/W



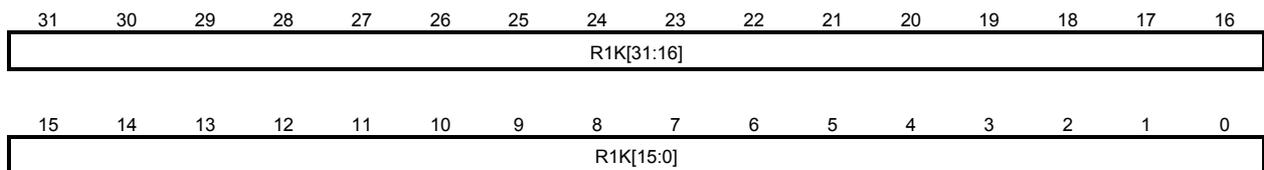
受信パケット長が 65~127 バイト である場合に、カウントされます。CRC エラー、シンボル・エラー、レンジノタイプ・エラーを含んだパケットもカウントされます。

R255 – 128-255 バイト・フレーム受信カウンタ (レジスタ・アドレス A[7:0] = 62H) R/W

受信パケット長が 128~255 バイト である場合に、カウントされます。CRC エラー、シンボル・エラー、レンジス/タイプ・エラーを含んだパケットもカウントされます。

R511 – 256-511 バイト・フレーム受信カウンタ (レジスタ・アドレス A[7:0] = 63H) R/W

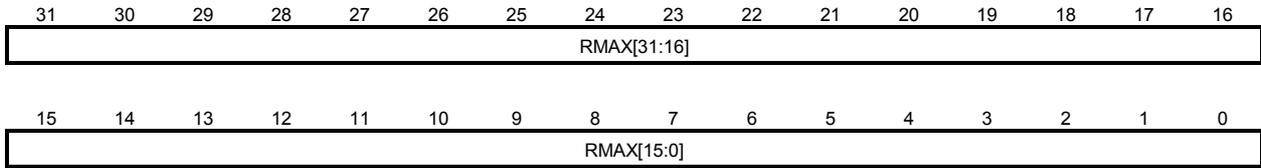
受信パケット長が 256~511 バイト である場合に、カウントされます。CRC エラー、シンボル・エラー、レンジス/タイプ・エラーを含んだパケットもカウントされます。

R1K – 512-1023 バイト・フレーム受信カウンタ (レジスタ・アドレス A[7:0] = 64H) R/W

受信パケット長が 512~1023 バイト である場合に、カウントされます。CRC エラー、シンボル・エラー、レンジス/タイプ・エラーを含んだパケットもカウントされます。

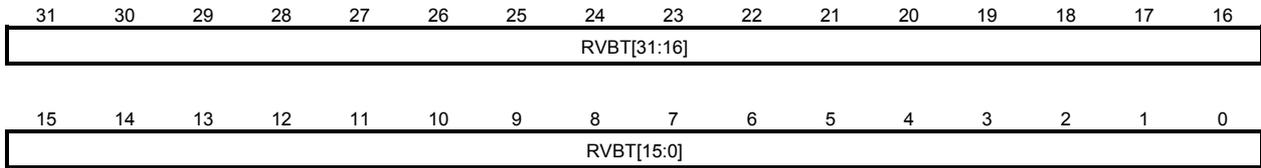


RMAX – 1024-RMAX バイト・フレーム受信カウンタ (レジスタ・アドレス A[7:0] = 65H) R/W



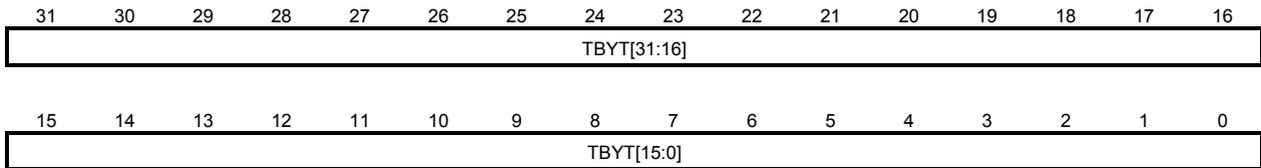
受信パケット長が 1024 ~ 1518 バイト (VLAN フレーム時は 1024 ~ 1522 バイト) である場合に、カウントされます。CRC エラー、シンボル・エラー、レングス/タイプ・エラーを含んだパケットもカウントされます。

RVBT – 有効バイト受信カウンタ (レジスタ・アドレス A[7:0] = 66H) R/W



有効なパケットのバイト・カウントを示します。デスティネーション・アドレスから FCS バイトまでをカウントします。

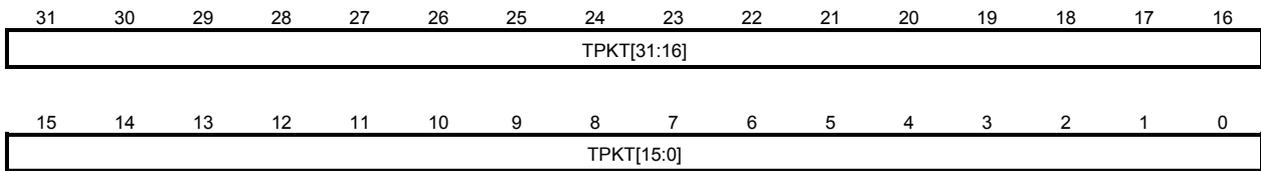
TBYT – バイト送信カウンタ (レジスタ・アドレス A[7:0] = 70H) R/W



送信パケットのバイト・カウントを示します。送信が完了あるいはアボートするまでの間にコリジョンが発生した場合には、コリジョンが発生したときの送信バイトもカウントされます。ただし、プリアンプル、SFD についてはカウントされません。

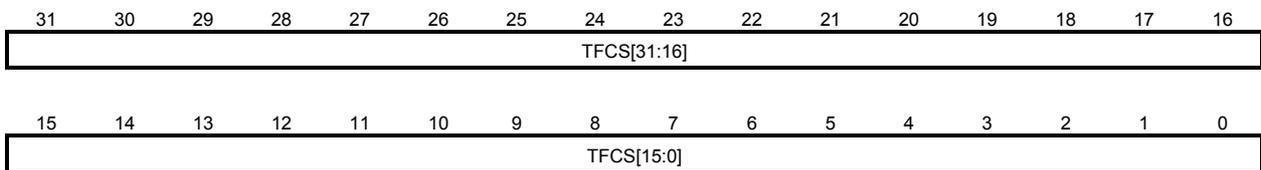


TPKT – パケット送信カウンタ (レジスタ・アドレス A[7:0] = 71H) R/W



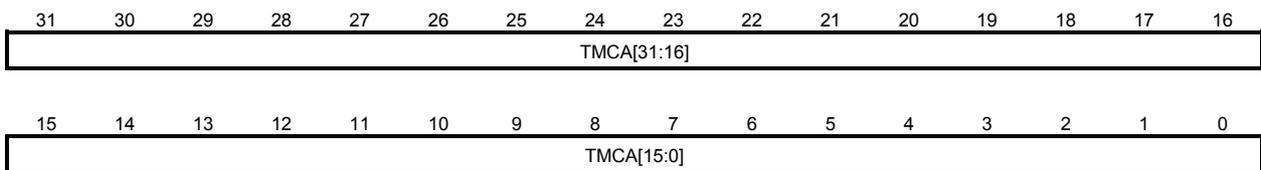
すべてのパケット送信ごとにカウントされます。エラーが発生したパケット,すべてのユニキャスト・パケット,すべてのマルチキャスト・パケットおよびブロードキャスト・パケットを含みます。

TFCS – CRC エラー送信カウンタ (レジスタ・アドレス A[7:0] = 72H) R/W



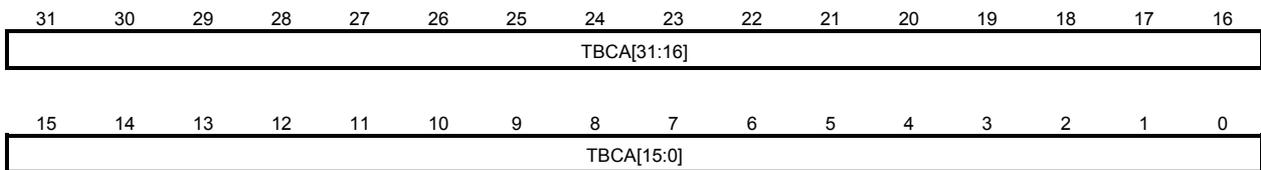
送信パケットに付加される FCS フィールドにおいて, CRC エラーが検出された場合にカウントされます。送信がアボートした場合にはカウントされません。

TMCA – マルチキャスト・パケット送信カウンタ (レジスタ・アドレス A[7:0] = 73H) R/W



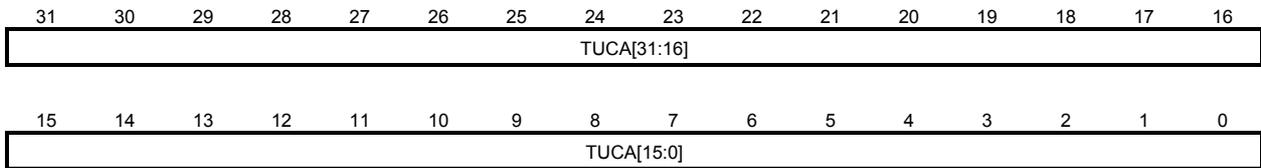
マルチキャスト・パケットを送信した場合,カウントされます。ブロードキャスト・パケットは含まれません。また,送信がアボートした場合,または CRC エラーが検出された場合はカウントされません。

TBCA – ブロードキャスト・パケット送信カウンタ (レジスタ・アドレス A[7:0] = 74H) R/W



ブロードキャスト・パケットを送信した場合,カウントされます。マルチキャスト・パケットは含まれません。また,送信がアボートした場合,または CRC エラーが検出された場合はカウントされません。

TUCA – ユニキャスト・パケット送信カウンタ (レジスタ・アドレス A[7:0] = 75H) R/W



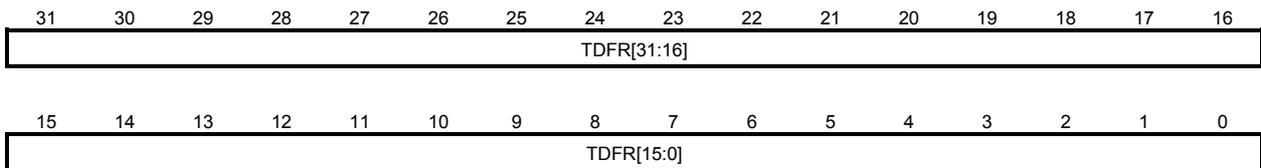
ユニキャスト・パケットを送信した場合、カウントされます。
 送信がアボートした場合、または CRC エラーが検出された場合はカウントされません。

TXPF – ポーズ・コントロール・フレーム送信カウンタ (レジスタ・アドレス A[7:0] = 76H) R/W



μPD98431 内のポーズ・コントロール・フレーム自動送信機能によって、ポーズ・コントロール・フレームを送信するたびに、カウントされます。

TDFR – 送信遅延カウンタ (レジスタ・アドレス A[7:0] = 77H) R/W

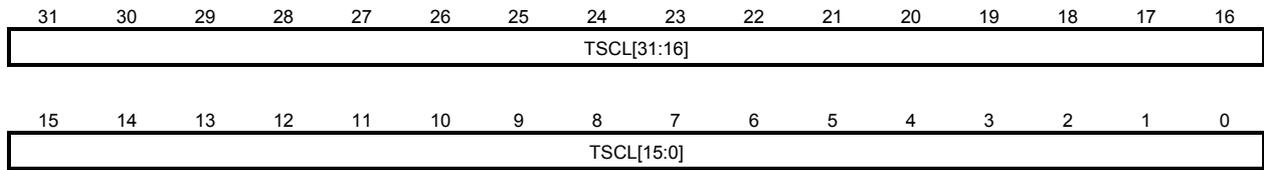


送信を開始しようとしたときにキャリア検出によって送信遅延が発生した場合、カウントされます。
 遅延発生後開始された送信中にコリジョンが発生した場合には、このカウンタはカウントされません。

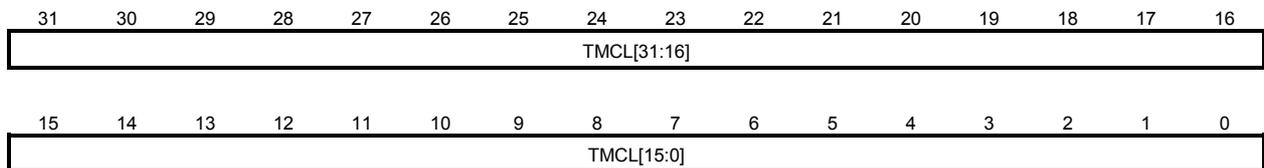
TXDF – 送信過剰遅延カウンタ (レジスタ・アドレス A[7:0] = 78H) R/W



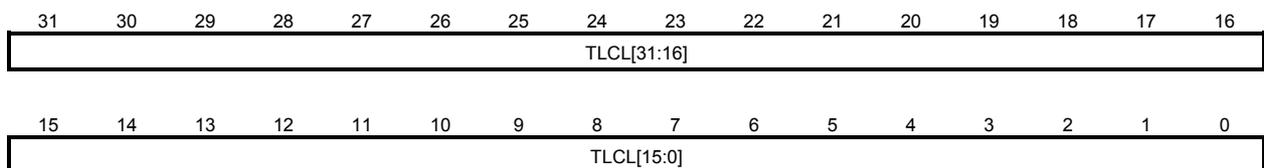
過剰遅延によって送信がアボートされた場合、カウントされます。

TSCL – シングル・コリジョン・パケット送信カウンタ (レジスタ・アドレス A[7:0] = 79H) R/W

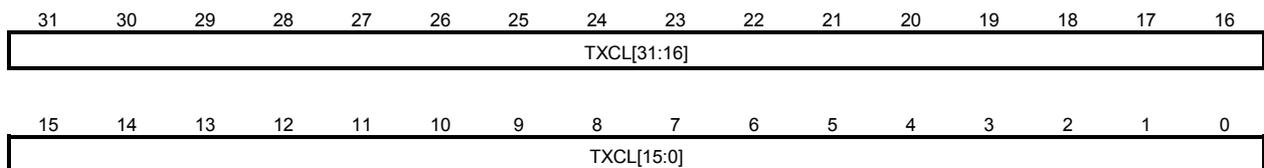
送信中に1回のコリジョンが発生したあと、送信が成功した場合、カウントされます。

TMCL – マルチ・コリジョン・パケット送信カウンタ (レジスタ・アドレス A[7:0] = 7AH) R/W

1回の送信動作で、複数回(2回以上でCLRTレジスタ:RETRYフィールドの設定値以下)のコリジョンが発生したあと、送信が成功した場合、カウントされます。

TLCL – レイト・コリジョン・カウンタ (レジスタ・アドレス A[7:0] = 7BH) R/W

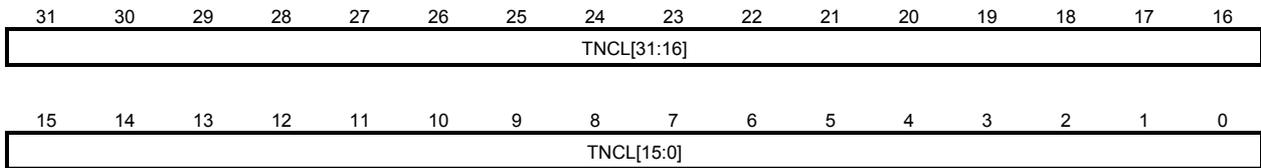
送信時にレイト・コリジョンが発生した場合、カウントされます。

TXCL – 過剰コリジョン・カウンタ (レジスタ・アドレス A[7:0] = 7CH) R/W

1回の送信動作で、CLRTレジスタ:RETRYフィールドに設定された値を越えてコリジョンが発生した場合、カウントされます。

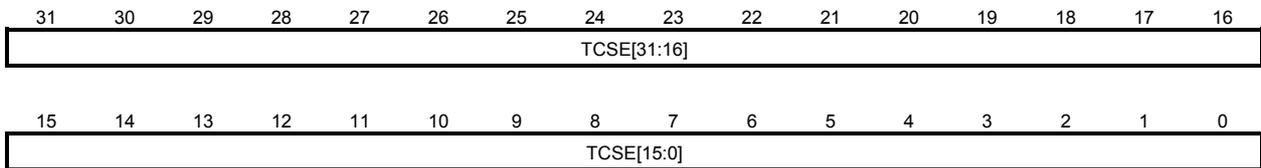


TNCL – トータル・コリジョン回数カウンタ (レジスタ・アドレス A[7:0] = 7DH) R/W



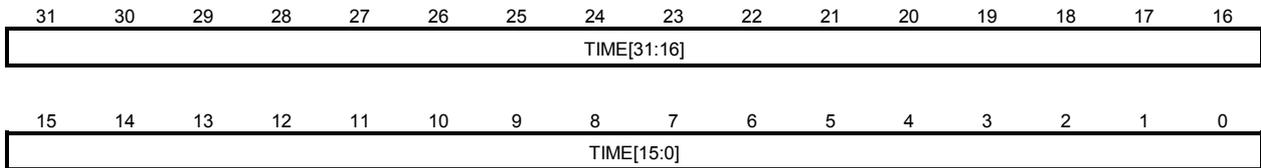
発生したコリジョンのうち、コリジョン発生後、送信が成功した場合のコリジョン回数のトータルをカウントします。

TCSE – キャリア・センス・エラー数カウンタ (レジスタ・アドレス A[7:0] = 7EH) R/W



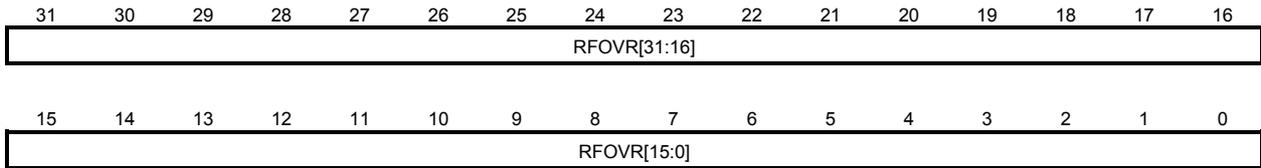
送信中にキャリア・センス・エラーが発生した場合、カウントされます。

TIME – MAC 内部エラー数カウンタ (レジスタ・アドレス A[7:0] = 7FH) R/W



送信中に MAC 内部でエラー (送信アンダランあるいは LMAX を越える送信) が発生した場合、カウントされます。

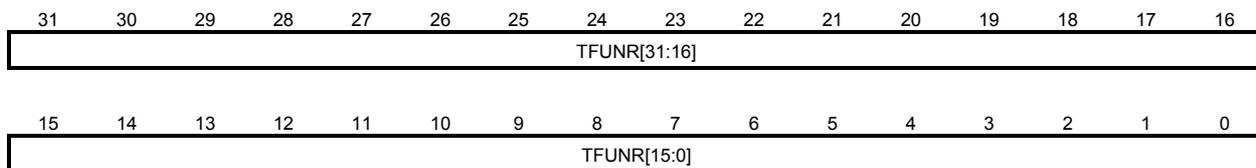
RFOVR – 受信 FIFO オーバラン・カウンタ (レジスタ・アドレス A[7:0] = 80H) R/W



受信 FIFO にてオーバランが発生した場合、カウントされます。

注意 このカウンタにはキャリア・ビットがありません。カウンタ・オーバフローが発生すると、このカウンタは他の統計カウンタ同様、0 クリアされます。

TFUNR – 送信 FIFO アンダラン・カウンタ (レジスタ・アドレス A[7:0] = 81H) R/W



送信 FIFO にてアンダランが発生した場合、カウントされます。

注意 このカウンタにはキャリー・ビットがありません。カウンタ・オーバフローが発生すると、このカウンタは他の統計カウンタ同様、0 クリアされます。

第6章 JTAG バウンダリ・スキャン

μPD98431 は、JTAG バウンダリ・スキャン回路を内蔵しています。

6.1 特 徴

IEEE 1149.1 JTAG Boundary Scan Standard に準拠

バウンダリ・スキャン専用の 3 つのレジスタ

- ・インストラクション・レジスタ
- ・バイパス・レジスタ
- ・バウンダリ・スキャン・レジスタ

3 つの命令をサポート

- ・BYPASS 命令
- ・EXTEST 命令
- ・SAMPLE/PRELOAD 命令

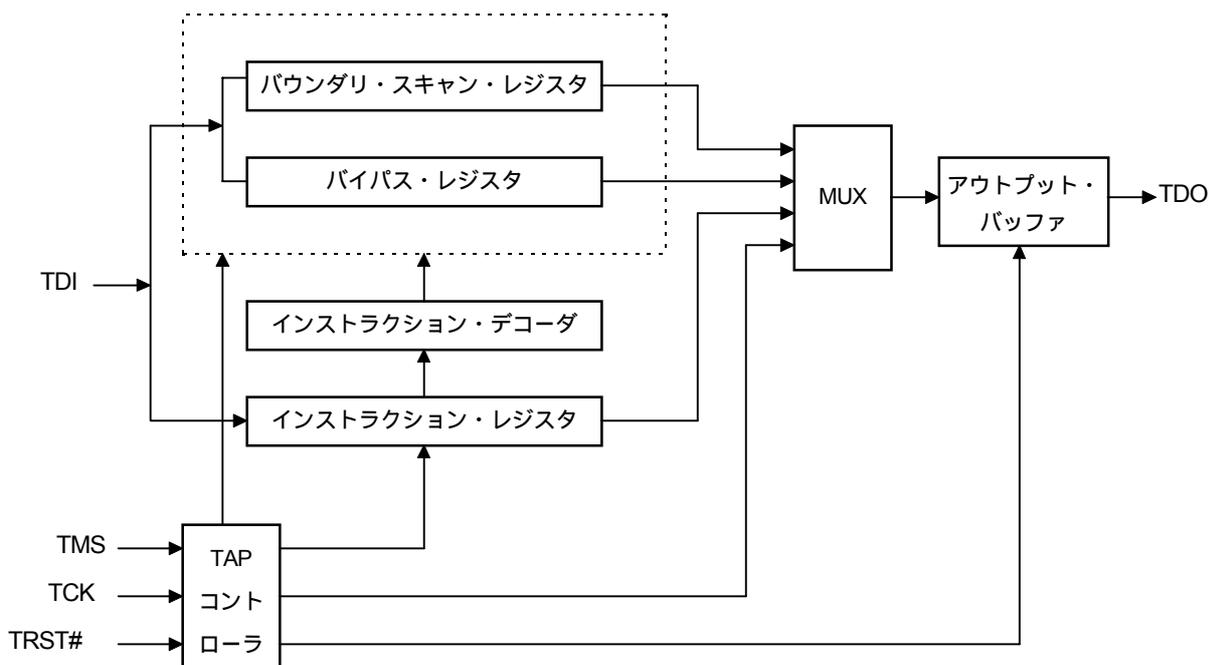
バウンダリ・スキャン専用端子 (5 端子)

- ・TCK (JTAG Test Clock)
- ・TMS (JTAG Test Mode Select)
- ・TDI (JTAG Test Data Input)
- ・TDO (JTAG Test Data Output)
- ・TRST# (JTAG Reset)

6.2 バウンダリ・スキャン回路内部構成

図 6 - 1 に、 μ PD98431 に内蔵されている JTAG バウンダリ・スキャン回路のブロック図を示します。

図 6 - 1 バウンダリ・スキャン回路ブロック図



6.2.1 インストラクション・レジスタ (Instruction register)

インストラクション・レジスタは、2 ビットのシフト・レジスタで構成されており、TDI 端子からの命令データを書き込みます。レジスタおよび命令の選択は、この命令データが決定します。

6.2.2 TAP コントローラ (Test Access Port controller)

TAP コントローラは、TCK 端子に入力されるクロックの立ち上がりで TMS 端子の信号をラッチすることにより、動作状態を変更します。

6.2.3 バイパス・レジスタ (Bypass register)

バイパス・レジスタは、TAP コントローラが Shift-DR 状態のときには、TDI 端子と TDO 端子の間で、接続される 1 ビットのシフト・レジスタで構成されます。TAP コントローラが Shift-DR 状態の間、このレジスタが選択されているときには、TCK 端子に入力されるクロックの立ち上がりで TDO 端子へデータをシフトします。

このレジスタが選択されているとき、JTAG バウンダリ・スキャン回路の動作は、 μ PD98431 の動作に影響を与えません。

6.2.4 バウンダリ・スキャン・レジスタ (Boundary Scan register)

バウンダリ・スキャン・レジスタは、 μ PD98431 の外部端子と内部ロジック回路の間にあります。このレジスタが選択されたとき、TAP コントローラの命令によりデータをラッチ、またはロードします。

TAP コントローラが Shift-DR 状態の間、このレジスタが選択されている場合には、TCK 端子に入力されるクロックの立ち下がり、TDO 端子へデータを LSB から出力します。

6.3 端子機能

6.3.1 TCK 端子 (JTAG Test Clock pin)

TCK 端子は、JTAG バウンダリ・スキャン回路 (バイパス・レジスタやインストラクション・レジスタ TAP コントローラ) へのクロック信号の供給に使用します。このクロック信号は、 μ PD98431 内部のほかの回路へは供給されないように分離しています。

6.3.2 TMS 端子 (JTAG Test Mode Select pin)

TMS 端子への入力、TCK 端子に入力されるクロックの立ち上がりでラッチされ、TAP コントローラの動作を定義します。

6.3.3 TDI 端子 (JTAG Test Data Input pin)

TDI 端子は、JTAG バウンダリ・スキャン回路レジスタへデータを入力するための入力端子です。

6.3.4 TDO 端子 (JTAG Test Data Output pin)

TDO 端子は、JTAG バウンダリ・スキャン回路レジスタからデータを出力するための出力端子です。

TCK 端子に入力されるクロックの立ち下がり、出力を変化させます。また、この出力端子は 3 ステート出力であり、TAP コントローラにより制御されます。

6.3.5 TRST#端子 (JTAG Reset pin)

TAP コントローラを非同期的に初期化します。このリセット信号は μ PD98431 を通常の動作モードにし、バウンダリ・レジスタを非動作状態にします。

6.4 動作説明

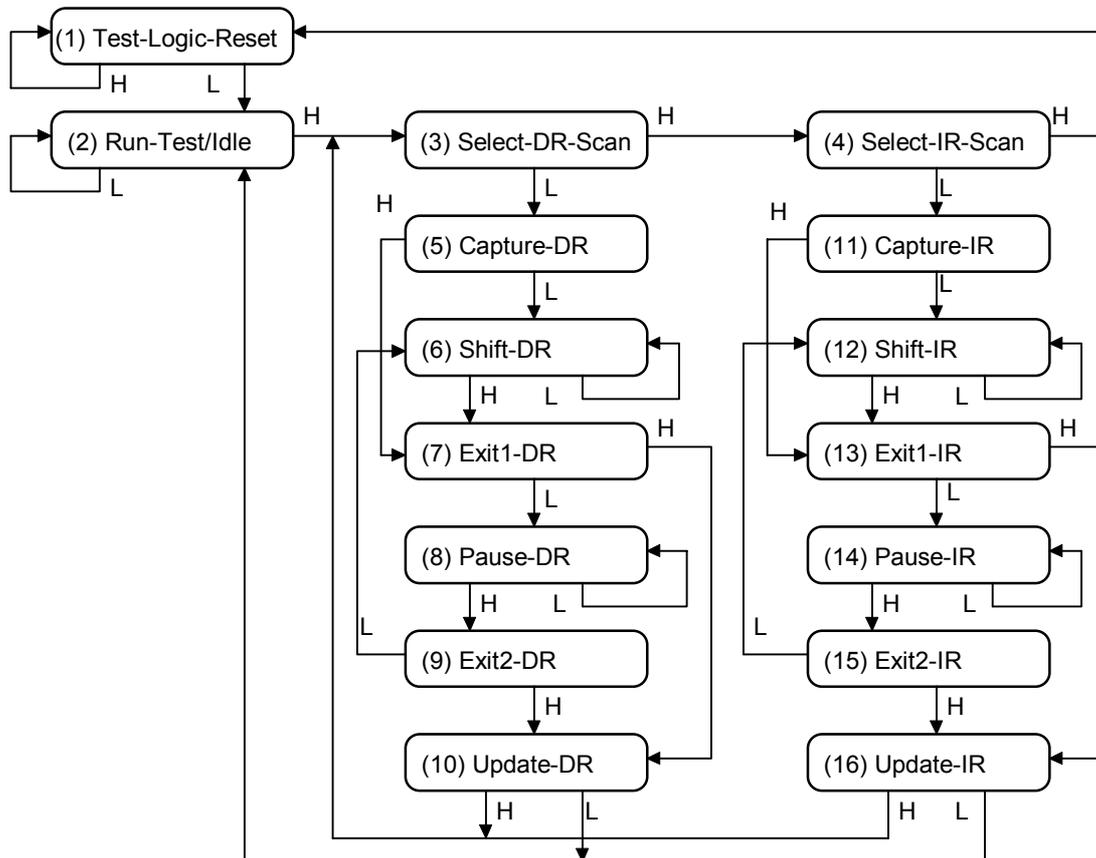
6.4.1 TAP コントローラ

TAP コントローラは、TMS 端子と TCK 端子信号の変化により同期した 16 個の状態をもつ回路です。動作は、IEEE standard 1149.1 で規定されています。

6.4.2 TAP コントローラ状態

TAP コントローラの状態を図 6-2 に示します。TAP コントローラのすべての状態の変化は、TCK 端子に入力されるクロックの立ち上がりの TMS 端子信号の状態によって決まります。インストラクション・レジスタ、バウンダリ・スキャン・レジスタとバイパス・レジスタの動作は、TCK 端子に入力されるクロックの立ち上がり/立ち下がりで変化します（図 6-3 参照）。

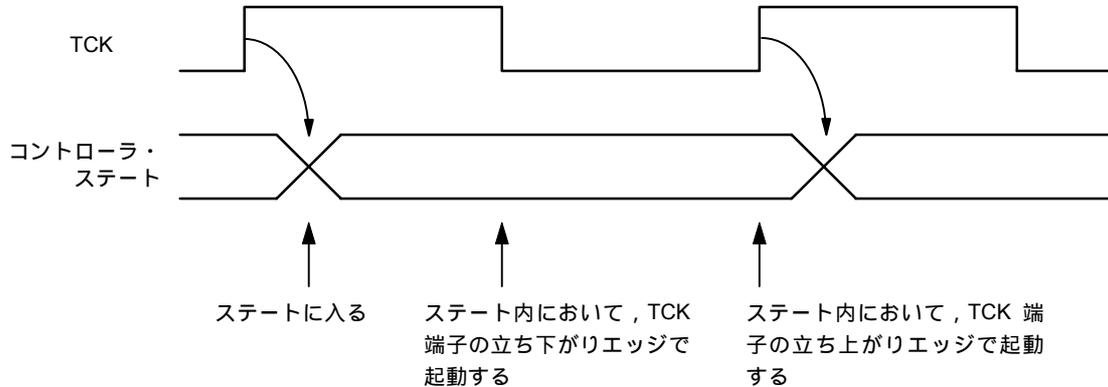
図 6-2 TAP コントローラの状態



備考 1. 図中の遷移を表す矢印の隣に示した“H”と“L”は、TCK 端子に入力されるクロックの立ち上がり時の TMS 端子の状態を示します。

2. 図中にある () 内の番号は、次に述べる各状態の説明の項目番号です。

図 6 - 3 コントローラ状態での動作タイミング



(1) Test-Logic-Reset

JTAG バウンダリ・スキャン回路は、 μ PD98431 に対して動作しません。したがって、 μ PD98431 のシステム・ロジックには影響しません。これは、イニシャライズ時にバイパス命令がインストラクション・レジスタに格納、実行されているからです。TAP コントローラがどの状態のときでも、TMS 端子信号が少なくとも TCK 端子信号の立ち上がりエッジ 5 回分ハイ・レベル状態を保持すれば、Test-Logic-Reset 状態になります。TAP コントローラは、この状態を TMS 端子信号がハイ・レベルの間、保持します。

TAP コントローラが Test-Logic-Reset 状態になる必要があるときは、TCK 端子信号の立ち上がりエッジで TMS 端子信号に誤ったロウ・レベル信号が 1 回入力されても（たとえば外部インタフェースの影響）、TMS 端子信号が TCK 端子信号の立ち上がりエッジの 3 回分ハイ・レベル状態を保持すれば、もとの Test-Logic-Reset 状態に戻ります。

上記のエラーによって、テスト・ロジックの動作が μ PD98431 の論理動作を妨げることはありません。

Test-Logic-Reset コントローラ状態を抜けると、TAP コントローラは、Run-Test/Idle コントローラ状態に遷移します。この状態では、バイパス・レジスタの動作によりカレント命令が選択設定されているので、どのような動作も行いません。また、この JTAG バウンダリ・スキャン回路の論理動作は、Select-DR-Scan 状態と Select-IR-Scan 状態でもインアクティブです。

(2) Run-Test/Idle

スキャン動作間 (Select-DR-Scan 状態, Select-IR-Scan 状態) の TAP コントローラ状態です。一度この状態になると、TMS 端子信号がロウ・レベルを保持している間は、TAP コントローラもこの状態を保持します。TCK 端子信号の立ち上がりエッジの 1 回分、TMS 端子信号がハイ・レベルを保持すれば、Select-DR-Scan 状態に遷移します。

カレント命令で選択されたすべてのテスト・データ・レジスタ (バウンダリ・レジスタ, バイパス・レジスタ) には、以前の状態が保持されます (Idle)。TAP コントローラがこの状態の間、命令は変化しません。

(3) Select-DR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには、以前の状態が保持されます。

TAP コントローラがこの状態で、TCK 端子信号の立ち上がりエッジで TMS 端子信号がロウ・レベルに保持されると、TAP コントローラは、Capture-DR 状態に遷移します。また、選択されたレジスタへのスキャン・シーケンスが開始されます。

TCK 端子信号の立ち上がりエッジで TMS 端子信号がハイ・レベルに保持されると、TAP コントローラは、Select-IR-Scan 状態に遷移します。TAP コントローラがこの状態の間、命令は変化しません。

(4) Select-IR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには、以前の状態が保持されます。

TAP コントローラがこの状態で、TCK 端子信号の立ち上がりエッジで TMS 端子信号がロウ・レベルに保持されると、TAP コントローラは、Capture-IR 状態に遷移します。また、選択されたレジスタへのスキャン・シーケンスが開始されます。

TCK 端子信号の立ち上がり時に TMS 端子信号がハイ・レベル状態に保持されると、TAP コントローラは、Test-Logic-Reset 状態に戻ります。TAP コントローラがこの状態の間、命令は変化しません。

(5) Capture-DR

このコントローラ状態において、データは TCK 端子信号の立ち上がりエッジで、カレント命令により選択されたバウンダリ・スキャン・レジスタにパラレル・ロードされます（この場合、個々のデバイスの入力端子からそれぞれのバウンダリ・スキャン・レジスタに同時にロードしてください）。TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態で、TCK 端子信号が立ち上がりエッジの場合、TAP コントローラの状態は次のようになります。

- ・ TMS 端子信号がハイ・レベルに保持されたとき：Exit1-DR 状態に遷移
- ・ TMS 端子信号がロウ・レベルに保持されたとき：Shift-DR 状態に遷移

(6) Shift-DR

このコントローラ状態では、カレント命令によって（バウンダリ・スキャン・レジスタ、またはバイパス・レジスタのどちらかで）TDI と TDO の間が接続されます。シフト・データは、TCK 端子信号の立ち上がりエッジごとにシリアル出力方向に一段ずつシフトされます。

カレント命令により選択されたバウンダリ・スキャン・レジスタ、またはバイパス・レジスタは、シリアル・パス上に位置していないとき（Shift-DR 状態でないとき）、前の状態を変化させずに保持します。TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態で、TCK 端子信号が立ち上がりエッジの場合、TAP コントローラの状態は次のようになります。

- ・ TMS 端子信号がハイ・レベルに保持されたとき：Exit1-DR 状態に遷移
- ・ TMS 端子信号がロウ・レベルに保持されたとき：Shift-DR 状態を保持

(7) Exit1-DR

一時的なコントローラ状態です。この状態において、TCK 端子信号の立ち上がりエッジで TMS 端子信号がハイ・レベルに保持されていれば、TAP コントローラは、Update-DR 状態に遷移します。これにより、スキャン・プロセスを終了します。

また、TCK 端子信号の立ち上がりエッジで TMS 端子信号がロウ・レベルに保持されていれば、TAP コントローラは、Pause-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間は、命令は変化しません。

(8) Pause-DR

コントローラ状態は、バイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらかで接続している TDI と TDO 間のシフトを一時的に停止させます。カレント命令で選択されたこれらのレジスタは、以前の状態が変化しないで保持されます。

TMS 端子信号がロウ・レベルの間、TAP コントローラをこの状態で保持します。TCK 端子信号の立ち上がりエッジで TMS 端子信号がハイ・レベルに保持されているときは、TAP コントローラは、Exit2-DR 状態に遷移します。TAP コントローラがこの状態の間は、命令は変化しません。

(9) Exit2-DR

一時的なコントローラ状態です。この状態において、TCK 端子信号の立ち上がりエッジで TMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-DR 状態に遷移し、スキャン・プロセスを終了します。

TCK 端子信号の立ち上がりエッジで TMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Shift-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタのどちらにおいても、以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間は、命令は変化しません。

(10) Update-DR

バウンダリ・スキャン・レジスタは、ある命令（たとえば EXTEST 命令）により、パラレル出力の変化（連結されているシフト・レジスタ・パスにシフトされている期間における）を防ぐためのパラレル出力ラッチを持っています。

Update-DR コントローラ状態において、TCK 端子信号の立ち下がりエッジで、データは、シフト・レジスタ・パスからこのレジスタのパラレル・アウトプットにラッチされます。

ラッチのためパラレル・アウトプットに保持されたデータは、このコントローラの状態により変化します（他のコントローラ状態では変化しません）。

カレント命令によって選択されたバウンダリ・スキャン・レジスタにおけるすべてのシフト・レジスタの過程は、変化のない以前の状態が保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

TAP コントローラがこの状態で、TCK 端子信号の立ち上がりエッジで TMS 端子信号がハイ・レベルに保持されると、TAP コントローラは、Select-DR-Scan 状態に遷移します。

また、TCK 端子信号の立ち上がりエッジで TMS 端子信号がロウ・レベルに保持されると、TAP コントローラは、Run-Test/Idle 状態に遷移します。

(11) Capture-IR

このコントローラ状態において、シフト・レジスタは、TCK 端子信号の立ち上がりエッジでインストラクション・レジスタに固定論理値のパターン【01（2進）】をロードします。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それら以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

TAP コントローラがこの状態で、TCK 端子信号の立ち上がりエッジで TMS 端子信号がハイ・レベルに保持されると、TAP コントローラは、Exit1-IR 状態に遷移します。

また、TCK 端子信号の立ち上がりエッジで TMS 端子信号がロウ・レベルに保持されると、TAP コントローラは、Shift-IR 状態に遷移します。

(12) Shift-IR

このコントローラ状態において、インストラクション・レジスタ内のシフト・レジスタで TDI と TDO の間が接続されます。シフト・データは、TCK 端子信号の立ち上がりエッジごとにシリアル出力方向に一段シフトされます。

カレント命令によって選択されるバウンダリ・スキャン・レジスタとバイパス・レジスタは、変化のないそれらの以前の状態が保持されます。

TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態で TCK 端子信号の立ち上がりエッジで TMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Exit1-IR 状態になります。また、TMS 端子信号がロウ・レベルに保持されていると、Shift-IR 状態のままです。

(13) Exit1-IR

一時的なコントローラ状態です。この状態において、TCK 端子信号の立ち上がりエッジで TMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-IR 状態に遷移します。これにより、スキャン・プロセスを終了します。

TCK 端子信号の立ち上がりエッジで TMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Pause-IR に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

(14) Pause-IR

このコントローラ状態は、インストラクション・レジスタのシフトを一時的に停止させます。カレント命令で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタは、以前の状態が変化しないで保持されます。

TAP コントローラがこの状態の間、命令は変化しません。また、インストラクション・レジスタはその状態を保持します。

TMS 端子信号がロウ・レベルの間、TAP コントローラをこの状態で保持します。TCK 端子信号の立ち上がりエッジで TMS 端子信号がハイ・レベルに保持されているときは、TAP コントローラは、Exit2-IR 状態に遷移します。

(15) Exit2-IR

一時的なコントローラ状態です。この状態において、TCK 端子信号の立ち上がりエッジで TMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-IR コントローラ状態に遷移します。これにより、スキャン・プロセスを終了します。

TCK 端子信号の立ち上がりエッジで TMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Shift-IR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態、またはインストラクション・レジスタにその状態が保持されている間、命令は変化しません。

(16) Update-IR

このコントローラ状態において、インストラクション・レジスタにシフトされた命令は、TCK 端子信号の立ち下がりエッジで、シフト・レジスタ・パスからパラレル・アウトプット上にラッチされます。一度、新しい命令がラッチされると、カレント命令となります。

カレント命令によって選択されたバイパス・レジスタ、またはバウンダリ・スキャン・レジスタのどちらも、前の状態を保持します。

TAP コントローラがこの状態で、TCK 端子信号の立ち上がりエッジで TMS 端子信号がハイ・レベルに保持されると、TAP コントローラは、Select-DR-Scan 状態に遷移します。

TCK 端子信号の立ち上がりエッジで TMS 端子信号がロウ・レベルに保持されると、TAP コントローラは、Run-Test/Idle 状態に遷移します。

(8) の Pause-DR コントローラ状態と、(14) の Pause-IR コントローラ状態は、バイパス・レジスタ、バウンダリ・スキャン・レジスタまたはインストラクション・レジスタ内のデータのシフトを一時停止します。

6.5 TAP コントローラ動作

TAP コントローラの動作は、次のとおりです。

TAP コントローラは(1)，(2)のどちらかで状態遷移を行います。

- (1) TCK 端子信号の立ち上がりエッジ
- (2) TRST#端子入力

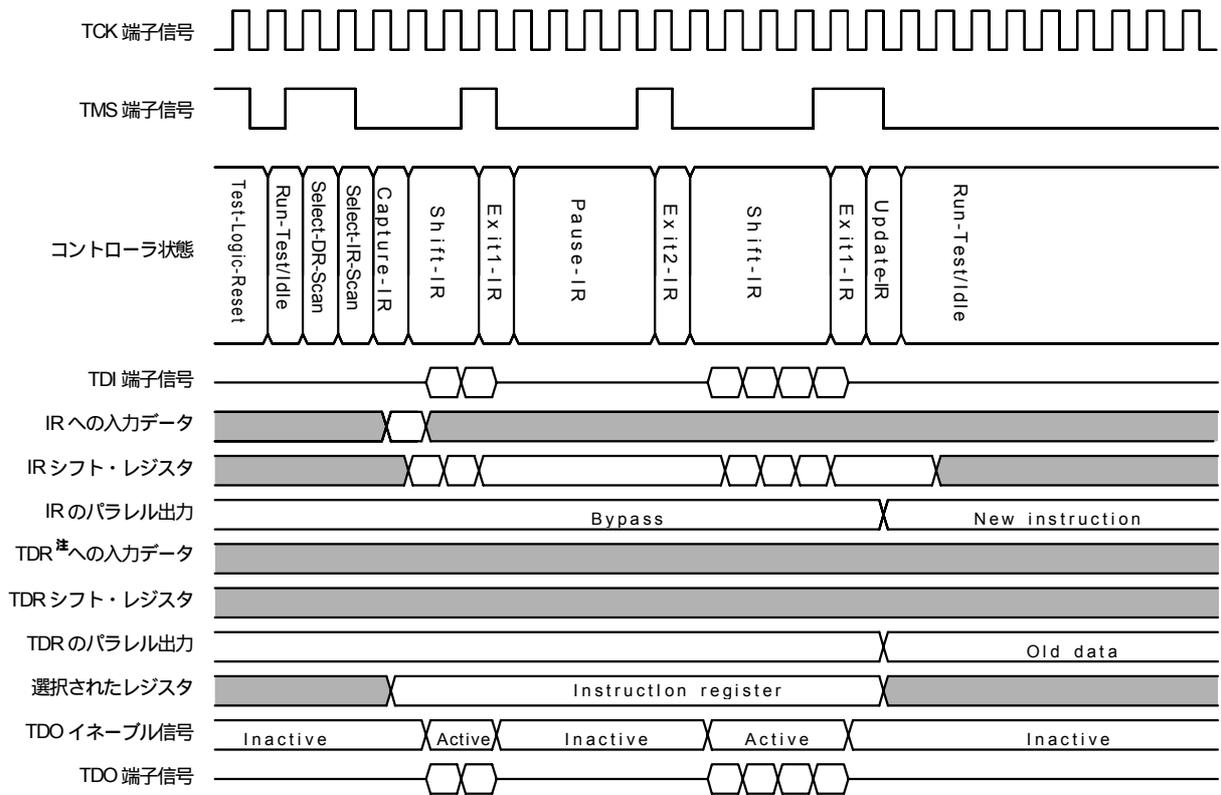
TAP コントローラは、この標準で定義されているバイパス・レジスタ、バウンダリ・スキャン・レジスタ、およびインストラクション・レジスタの動作を制御する信号を生成します(図6-4，図6-5参照)。

TDO 端子出力バッファと、TDO 端子に出力するレジスタを選択する周辺回路は、表6-1のように制御されています。表6-1において定義される TDO 端子は、その状態に遷移したあと、TCK 端子信号の立ち下がりエッジで変化します。

表6-1 それぞれのコントローラ状態における動作

コントローラ状態	TDO 端子へドライブする選択されたレジスタ	TDO 端子ドライバ
Test-Logic-Reset	未定義	ハイ・インピーダンス
Run-Test/Idle		
Select-DR-Scan		
Select-IR-Scan		
Capture-IR		
Shift-IR	インストラクション・レジスタ	アクティブ
Exit1-IR	未定義	ハイ・インピーダンス
Pause-IR		
Exit2-IR		
Update-IR		
Capture-DR		
Shift-DR	データ・レジスタ(バウンダリ・スキャン・レジスタ、バイパス・レジスタ)	アクティブ
Exit1-DR	未定義	ハイ・インピーダンス
Pause-DR		
Exit2-DR		
Update-DR		

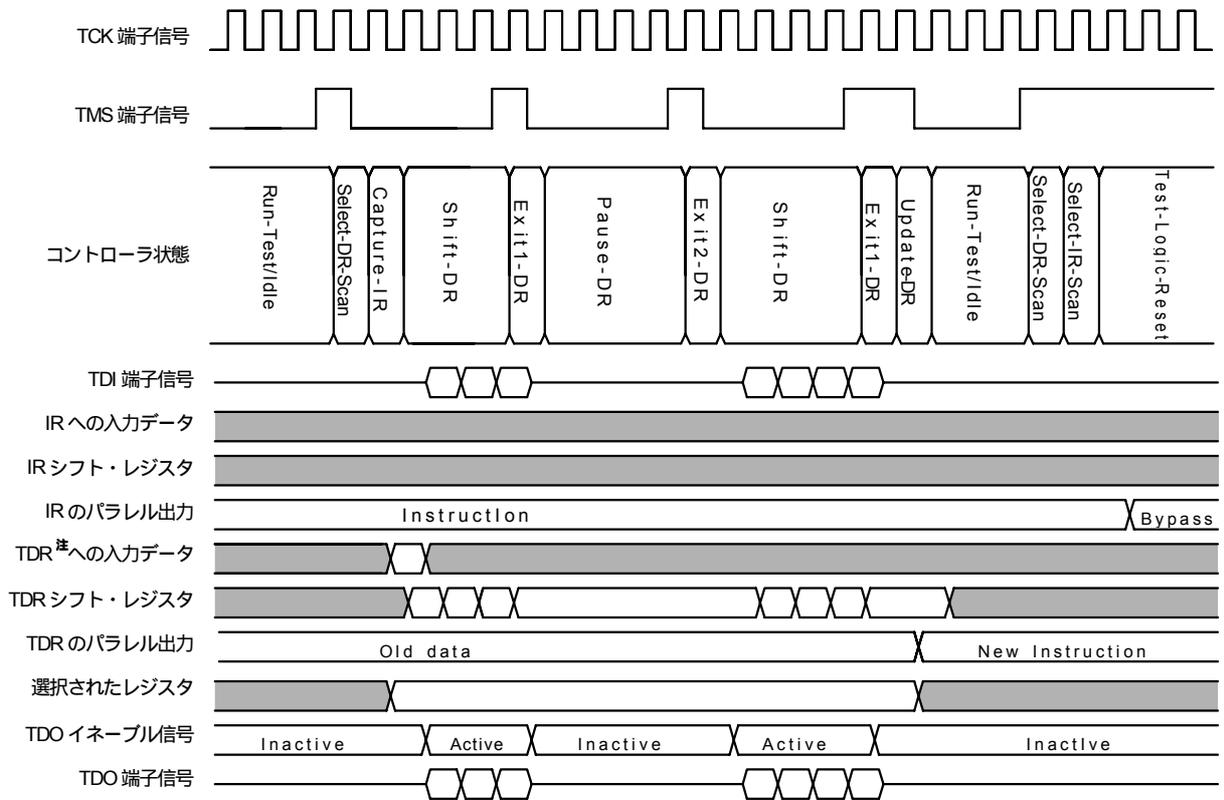
図 6-4 テスト・ロジックの動作 (インストラクション・スキャン)



注 TDR (Test Data Register) : バウンダリ・スキャン・レジスタおよびバイパス・レジスタ

備考 : Don't care あるいは未定義

図 6-5 テスト・ロジックの動作 (データ・スキャン)



注 TDR (Test Data Register) : バウンダリ・スキャン・レジスタおよびバイパス・レジスタ

備考 : Don't care あるいは未定義

6.6 TAP コントローラの初期化

TAP コントローラの初期化は次のとおりです。

- (1) TAP コントローラは、システム・リセットのようなシステム入力の動作によっても初期化されません。
- (2) TAP コントローラは、TCK 端子信号の立ち上がりエッジ (TMS 端子信号がハイ・レベルを保持) 5 回で、Test-Logic-Reset コントローラ状態に遷移します。
- (3) TRST#入力により TAP コントローラを非同期に Test-Logic-Reset 状態になります。

6.7 インストラクション・レジスタ

このレジスタは、次のように定義されます (6.2 バウンダリ・スキャン回路内部構成参照)。

- (1) インストラクション・レジスタにシフト入力された命令は、Update-IR コントローラ状態と、Test-Logic-Reset コントローラ状態でのみ変化するようにラッチされます。
- (2) インストラクション・レジスタのシリアル入力とシリアル出力間のデータの反転はありません。
- (3) Capture-IR コントローラ状態において、このレジスタ・セルは、固定された 2 進の“01”パターン・データ (LSB (Least Significant Bit) が“1”) がロードされます。
- (4) Test-Logic-Reset コントローラ状態の間、このレジスタは、固定された 2 進の“01”パターン・データ (LSB (Least Significant Bit) が“1”) がセットされます。
- (5) このレジスタが読み出されているとき、TCK 端子信号の立ち下がりエッジごとに LSB を先頭にして MSB まで、TDO 端子からデータが出力されます。

μ PD98431 におけるこの JTAG バウンダリ・スキャン回路は、このインストラクション・レジスタに指定されたデータの設定によって、以下に示す 3 つの命令のみサポートすることができます。

BYPASS 命令

EXTEST 命令

SAMPLE/PRELOAD 命令

インストラクション・レジスタ		サポートする命令
D1	D0	
0	0	EXTEST 命令
0	1	SAMPLE/PRELOAD 命令
1	0	予約
1	1	BYPASS 命令

6.7.1 BYPASS 命令

この命令は、インストラクション・データ“11”で指定されます。Shift-DR コントローラ状態において、この命令は、バイパス・レジスタ（TDI 端子と TDO 端子の間をシリアル・アクセスするためのもの）のみを選択するために使用されます。

この命令が選択されているとき、JTAG バウンダリ・スキャン回路の動作は μ PD98431 の動作に影響しません。Test-Logic-Reset コントローラ状態の間、このバイパス命令が選択されます。

6.7.2 EXTEST 命令

インストラクション・データ“00”で指定されます。Shift-DR コントローラ状態において、TDI 端子と TDO 端子の間のシリアル・アクセスのバウンダリ・スキャン・レジスタを選択するために使用されます。

・この命令が選択されているとき：

システム出力端子からドライブされるすべての信号の状態は、バウンダリ・スキャン・レジスタにシフトされているデータによって完全に定義されます。また、Update-DR コントローラ状態において、TCK 端子信号の立ち下がりエッジでのみ変化します。

システム入力端子から入力されるすべての信号の状態は、Capture-DR コントローラ状態において、TCK 端子信号の立ち上がりエッジでバウンダリ・スキャン・レジスタにロードされます。

6.7.3 SAMPLE/PRELOAD 命令

インストラクション・データ“01”で指定されます。これは、SAMPLE 機能と PRELOAD 機能の2つを1つの命令で実行できる命令です。

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部
東京 (03)3798-6106, 6107, 6108
大阪 (06)6945-3178, 3200, 3208, 3212
仙台 (022)267-8740
郡山 (024)923-5591
千葉 (043)238-8116

第二販売事業部
東京 (03)3798-6110, 6111, 6112
立川 (042)526-5981, 6167
松本 (0263)35-1662
静岡 (054)254-4794
金沢 (076)232-7303
松山 (089)945-4149

第三販売事業部
東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156
水戸 (029)226-1702
広島 (082)242-5504
前橋 (027)243-6060
鳥取 (0857)27-5313
太田 (0276)46-4014
名古屋 (052)222-2170, 2190
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス デバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。 URL(アドレス) <http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD98431 ユーザーズ・マニュアル
(S14054JJ4V0UM00 (第4版))

[お名前など] (さしつかえのない範囲で)
御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価 (各欄に をご記入ください)

項目	大変良い	良い	普通	悪い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ()					
()					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは
NEC 販売員, 特約店販売員, その他 ()

ご協力ありがとうございました。
下記あてに FAX で送信いただくか, 最寄りの販売員にコピーをお渡しください。

キ
リ
ン