

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル

保守 / 廃止

μ PD98414

(NEASCOT-P70™)

ATM 2.4Gbps SONET Framer

(メ モ)

目次要約

第 1 章	概 説	...	16
第 2 章	端子機能	...	21
第 3 章	機能説明	...	43
第 4 章	インタフェース	...	98
第 5 章	レジスタ	...	140
第 6 章	JTAG バウンダリ・スキャン	...	203

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

NEASCOT-P70 は、日本電気株式会社の商標です。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災 / 防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート / データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

本版で改訂された主な箇所

箇 所	内 容
p. 38	2. 2. 7 JTAG バウンダリ・スキャン 備考追加
p. 41	2. 2. 11 端子の初期状態 変更, 注 追加
p. 48, 49	3. 1 (5)(a) 未使用 OH バイトの内容切り替え 変更
p. 58	表 3 - 3 ポインタの解釈 変更
p. 59	図 3 - 15 H1#1・H2#1 のポインタ処理の状態遷移 変更
p. 59	表 3 - 4 H1#1・H2#1 のポインタ処理の状態遷移条件 変更
p. 62	表 3 - 7 全体のポインタ状態遷移条件 (MDR1 レジスタ CIM ビット = 0 のとき) 変更
p. 62	表 3 - 8 全体のポインタ状態遷移条件 (MDR1 レジスタ CIM ビット = 1 のとき) 変更
p. 67	3. 2 (6) HEC 誤り制御 記述変更
p. 73-75	表 3 - 14 検出警報, 障害一覧 変更
p. 76	表 3 - 15 障害 / 警報検出による μ PD98414 の処理一覧 変更
p. 77	表 3 - 16 μ PD98414 の生成する擬似フレーム, 警報を受信した場合の障害 / 警報検出 追加
p. 82	表 3 - 18 パフォーマンス・モニタリング・カウンタ 変更
p. 83	表 3 - 19 カウンタの動作条件 変更
p. 86, 87	3. 4. 1 インサート・レジスタ 記述変更
p. 93	3. 5. 2 (1) メッセージの受信動作 注意 1 追加
p. 94	3. 5. 2 (2) 受信トレース・メッセージの監視 変更
p. 96	3. 8 ループバック機能 備考 3, 4 追加
p. 100	図 4 - 1 セルのフォーマット 変更
p. 102	4. 1. 2 (3) 受信セルの最短出力周期設定 記述変更, 図 4 - 2 受信セルの出力周期例 変更
p. 120	4. 3. 2 (1) TOH エクストラクト・インタフェース 記述追加
p. 122	4. 3. 2 (2) POH エクストラクト・インタフェース 記述追加
p. 125	表 4 - 10 CD 入力の機能 記述追加
p. 152	5. 2 (7) モード・レジスタ 3 (MDR3) 変更
p. 153	5. 2 (8) モード・レジスタ 4 (MDR4) 変更
p. 155	5. 2 (10) モード・レジスタ 6 (MDR6) 記述追加
p. 160	5. 2 (19) 割り込み要因レジスタ (PICR) 変更
p. 198	5. 2 (107) 送信 J0 のインサート・レジスタ (J0T) 変更
p. 199	5. 2 (111) 送信 C2 のインサート・レジスタ (C2T) 変更
p. 203	第 6 章 JTAG バウンダリ・スキャン 注意 2 追加

本文欄外の 印は, 本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽に寄せてください。

はじめに

対象者 このマニュアルは、 μ PD98414の機能を理解し、これを用いたアプリケーション・システムを設計するエンジニアを対象としています。

目的 このマニュアルは、次の構成に示す μ PD98414の持つハードウェア機能を理解していただくことを目的としています。

構成 このマニュアルは、大きく分けて次の内容で構成しています。

- 概 説
- 端子機能
- 機能説明
- インタフェース
- レジスタ
- JTAG バウンダリ・スキャン

読み方 このマニュアルの読者には、電気、論理回路、マイクロコンピュータの一般的な知識を必要とします。

一通り μ PD98414の機能を理解しようとするとき
目次に従って読んでください。

μ PD98414の電気的特性を知りたいとき
別冊のデータ・シートを参照してください。

凡 例 このマニュアルでは、次の記号を使用しています。

- データ表記の重み : 左が上位桁, 右が下位桁
- アクティブ・ロウの表記 : $x \times x \times _B$ (端子, 信号名称のあとに $_B$)
- 注 : 本文中につけた注の説明
- 注意 : 気をつけて読んでいただきたい内容
- 備考 : 本文中の補足説明
- 数の表記 : 2進数 ... $x \times x \times$ または $x \times x \times B$
 10進数 ... $x \times x \times$
 16進数 ... $x \times x \times H$

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

μ PD98414 データ・シート : S14242J

目 次

第 1 章 概 説 ... 16

- 1. 1 特 徴 ... 16
- 1. 2 オーダ情報 ... 17
- 1. 3 システム ... 18
- 1. 4 ブロック図 ... 19
- 1. 5 端子構成図 ... 20

第 2 章 端子機能 ... 21

- 2. 1 端子接続図 (Bottom View) ... 21
- 2. 2 端子機能 ... 27
 - 2. 2. 1 ライン・インタフェース ... 27
 - 2. 2. 2 ATM レイヤ・インタフェース ... 28
 - 2. 2. 3 マネージメント・インタフェース ... 33
 - 2. 2. 4 オーバヘッド・インタフェース ... 35
 - 2. 2. 5 汎用入出力ポート ... 37
 - 2. 2. 6 アラーム信号入出力 ... 37
 - 2. 2. 7 JTAG バウンダリ・スキャン ... 38
 - 2. 2. 8 電源, グランド ... 39
 - 2. 2. 9 その他 ... 39
 - 2. 2. 10 未使用端子の処置 ... 40
 - 2. 2. 11 端子の初期状態 ... 41

第 3 章 機能説明 ... 43

- 3. 1 送信機能 ... 46
- 3. 2 受信機能 ... 54
- 3. 3 OAM 機能 ... 69
 - 3. 3. 1 警報の送出 ... 69
 - 3. 3. 2 警報, 障害の検出 ... 73
 - 3. 3. 3 APS 信号, Signal Label の監視 ... 78
 - 3. 3. 4 回線品質の監視 (パフォーマンス・モニタリング) ... 79
- 3. 4 オーバヘッドのインサート/ドロップ機能 ... 86
 - 3. 4. 1 インサート・レジスタ ... 86
 - 3. 4. 2 ドロップ・レジスタ ... 87
- 3. 5 J0/J1 トレース・メッセージの送受信 ... 88
 - 3. 5. 1 トレース・メッセージの送信 ... 88
 - 3. 5. 2 トレース・メッセージの受信 ... 91
- 3. 6 無効セルの選択 ... 94
 - 3. 6. 1 廃棄無効セルの選択 ... 94
 - 3. 6. 2 送出無効セルの選択 ... 95
- 3. 7 テスト用疑似フレームの送出機能 ... 95
- 3. 8 ループバック機能 ... 96

第4章 インタフェース ... 98

- 4.1 ATM レイヤ・インタフェース ... 98**
 - 4.1.1 信号 ... 98
 - 4.1.2 セルのフォーマット ... 100
 - 4.1.3 送信インタフェースのオペレーション ... 103
 - 4.1.4 受信 ATM レイヤ・インタフェースのオペレーション ... 107
 - 4.1.5 ATM レイヤ・インタフェースのパリティ・チェック ... 111
 - 4.1.6 ATM レイヤ・インタフェースの異常検出 ... 112
- 4.2 ライン・インタフェース ... 113**
 - 4.2.1 接続 MUX/DEMUX デバイス ... 113
 - 4.2.2 接続例 ... 113
- 4.3 オーバヘッド・インサート/エクストラクト・インタフェース ... 115**
 - 4.3.1 OH インサート・インタフェース ... 115
 - 4.3.2 OH エクストラクト・インタフェース ... 120
- 4.4 汎用入出力ポート ... 123**
- 4.5 警報関連端子 ... 124**
 - 4.5.1 警報出力端子 ... 124
 - 4.5.2 警報送出指示端子 ... 124
 - 4.5.3 CD 入力端子 ... 125
 - 4.5.4 クロック出力 ... 126
- 4.6 マネージメント・インタフェース ... 127**
 - 4.6.1 リード・オペレーション ... 128
 - 4.6.2 ライト・オペレーション ... 129
 - 4.6.3 割り込み処理 ... 130

第5章 レジスタ ... 140

- 5.1 レジスタ・マップ ... 141
- 5.2 レジスタ機能 ... 147

第6章 JTAG バウンダリ・スキャン ... 203

- 6.1 特徴 ... 203
- 6.2 バウンダリ・スキャン回路内部構成 ... 204**
 - 6.2.1 インストラクション・レジスタ (Instruction register) ... 204
 - 6.2.2 TAP コントローラ (Test Access Port controller) ... 204
 - 6.2.3 バイパス・レジスタ (Bypass register) ... 204
 - 6.2.4 バウンダリ・スキャン・レジスタ (Boundary Scan register) ... 205
- 6.3 端子機能 ... 205**
 - 6.3.1 JCK 端子 (JTAG Clock pin) ... 205
 - 6.3.2 JMS 端子 (JTAG Mode Select pin) ... 205
 - 6.3.3 JDI 端子 (JTAG Data Input pin) ... 205
 - 6.3.4 JDO 端子 (JTAG Data Output pin) ... 205
 - 6.3.5 JRST_B 端子 (JTAG Reset pin) ... 205
- 6.4 動作説明 ... 206**
 - 6.4.1 TAP コントローラ ... 206
 - 6.4.2 TAP コントローラ状態 ... 206
- 6.5 TAP コントローラ動作 ... 213**
- 6.6 TAP コントローラの初期化 ... 216**
- 6.7 インストラクション・レジスタ ... 216**

- 6. 7. 1 BYPASS 命令 ... 217
- 6. 7. 2 EXTEST 命令 ... 217
- 6. 7. 3 SAMPLE/PRELOAD 命令 ... 217
- 6. 7. 4 バウンダリ・スキャン・データ・ビット定義 ... 217

図の目次 (1/2)

図番号	タイトル, ページ
3 - 1	μ PD98414 とその周辺ブロック ... 43
3 - 2	μ PD98414 の送受信データの流れ ... 43
3 - 3	ATM セルの構造 ... 44
3 - 4	送出フレームのフォーマット ... 44
3 - 5	送信処理の流れ概要 ... 46
3 - 6	μ PD98414 が挿入する空きセルのフォーマット ... 47
3 - 7	STS-48c SPE ... 48
3 - 8	未使用 OH バイト ... 49
3 - 9	Z0 バイトの挿入値 ... 49
3 - 10	ポインタ (H1-H3 バイト) のフォーマット ... 50
3 - 11	ポインタのオフセット値 ... 51
3 - 12	受信処理の流れ ... 54
3 - 13	ポインタのフォーマット ... 56
3 - 14	ポインタの状態遷移 ... 57
3 - 15	H1#1・H2#1 のポインタ処理の状態遷移 ... 59
3 - 16	コンカチネーション・インディケーションの状態遷移 ... 61
3 - 17	全体のポインタ状態遷移 ... 62
3 - 18	セル同期状態遷移 ... 65
3 - 19	セル同期状態における HEC 検証状態遷移 ... 66
3 - 20	パフォーマンス・カウンタに関するレジスタ ... 82
3 - 21	ビット・エラー・レート・パラメータのレジスタとデフォルト値 ... 85
3 - 22	メッセージ・バッファからのデータ・リード ... 90
3 - 23	トレース・メッセージ送信の概要 ... 90
3 - 24	トレース・メッセージ受信の概要 ... 93
3 - 25	DCHPR レジスタ ... 95
3 - 26	ループバック・ポイント ... 97
4 - 1	セルのフォーマット ... 100
4 - 2	受信セルの出力周期例 ... 102
4 - 3	送信タイム・チャート 1 ... 104
4 - 4	送信タイム・チャート 2 ... 104
4 - 5	送信タイム・チャート 3 ... 105
4 - 6	送信タイム・チャート 4 ... 105
4 - 7	送信タイム・チャート 5 ... 106
4 - 8	送信タイム・チャート 6 ... 106
4 - 9	受信タイム・チャート 1 ... 108
4 - 10	受信タイム・チャート 2 ... 108
4 - 11	受信タイム・チャート 3 ... 109
4 - 12	受信タイム・チャート 4 ... 109
4 - 13	受信タイム・チャート 5 ... 110

図の目次 (2/2)

図番号	タイトル, ページ
4 - 14	受信タイム・チャート 6 ... 110
4 - 15	送信パリティ・チェック区間 ... 111
4 - 16	μ PD98414 と S3043 の接続例 (送信回線側) ... 113
4 - 17	μ PD98414 と S3044 の接続例 (受信回線側) ... 114
4 - 18	OH インサート / エクストラクト・インタフェース ... 115
4 - 19	TOH, POH インサート・インタフェース ... 115
4 - 20	TOH インサート・インタフェースのタイム・チャート例 1 (フレーム・パルス付近) ... 117
4 - 21	TOH インサート・インタフェースのタイム・チャート例 2 (クロック・エッジ間隔が変化 する付近) ... 117
4 - 22	POH インサート・インタフェースのタイム・チャート例 ... 118
4 - 23	POH エクストラクト・インタフェースのタイム・チャート例 ... 120
4 - 24	TOH エクストラクト・インタフェースのタイム・チャート例 1 (フレーム・パルス付近) ... 121
4 - 25	TOH エクストラクト・インタフェースのタイム・チャート例 2 (クロック・エッジの間隔が 変化する付近) ... 121
4 - 26	POH エクストラクト・インタフェースのタイム・チャート例 ... 122
4 - 27	警報出力端子の出力例 (OOF の場合) ... 124
4 - 28	マネージメント・インタフェースの接続例 ... 127
4 - 29	リード・オペレーション ... 128
4 - 30	ライト・オペレーション ... 129
4 - 31	割り込み要因レジスタと詳細要因レジスタの種類 ... 130
4 - 32	DTER, TMNR レジスタのビット動作 ... 135
4 - 33	LATR レジスタのビット動作 ... 136
4 - 34	詳細要因レジスタの機能 ... 137
4 - 35	割り込み要因レジスタ・マップ ... 138
6 - 1	バウンダリ・スキャン回路ブロック ... 204
6 - 2	TAP コントローラの状態 ... 206
6 - 3	コントローラ状態での動作タイミング ... 207
6 - 4	テスト・ロジックの動作 (インストラクション・スキャン) ... 214
6 - 5	テスト・ロジックの動作 (データ・スキャン) ... 215

表の目次 (1/2)

表番号	タイトル, ページ
3 - 1	フレーム同期の前後保護段数 ... 54
3 - 2	OOF, LOF, LOS 検出条件 ... 55
3 - 3	ポインタの解釈 ... 58
3 - 4	H1#1・H2#1 のポインタ処理の状態遷移条件 ... 59
3 - 5	コンカチネーション・インディケーションの解釈 ... 60
3 - 6	コンカチネーション・インディケーションの状態遷移条件 ... 61
3 - 7	全体のポインタ状態遷移条件 (MDR1 レジスタ CIM ビット= 0 のとき) ... 62
3 - 8	全体のポインタ状態遷移条件 (MDR1 レジスタ CIM ビット= 1 のとき) ... 62
3 - 9	セル同期の前後段保護段数 ... 66
3 - 10	OOF, LOF, LOS 検出条件 ... 66
3 - 11	HEC エラー制御のモード ... 67
3 - 12	警報の送出一覧 ... 69
3 - 13	警報送出手の優先順位 ... 69
3 - 14	検出警報, 障害一覧 ... 73
3 - 15	障害 / 警報検出による μ PD98414 の処理一覧 ... 76
3 - 16	μ PD98414 の生成する疑似フレーム, 警報を受信した場合の障害 / 警報検出 ... 77
3 - 17	回線品質劣化要因の一覧 ... 81
3 - 18	パフォーマンス・モニタリング・カウンタ ... 82
3 - 19	カウンタの動作条件 ... 83
3 - 20	誤り率劣化警報の検出条件 ... 84
3 - 21	インサート / ドロップ・レジスタ一覧 ... 86
3 - 22	トレース・メッセージ送信関連レジスタおよびビット ... 88
3 - 23	トレース・メッセージ受信関連レジスタおよびビット ... 91
3 - 24	送出無効セル・フォーマット ... 95
3 - 25	疑似エラー・フレーム ... 95
4 - 1	UDF のあり / なしモード ... 100
4 - 2	TAG のあり / なしモード ... 101
4 - 3	受信セルの最短出力周期一覧 ... 101
4 - 4	ATM レイヤ・インタフェースにおける異常検出一覧 ... 112
4 - 5	インサート・インタフェースから変更不可な OH バイト ... 119
4 - 6	警報送出時に変更不可な OH バイト ... 119
4 - 7	汎用入出力ポート ... 123
4 - 8	警報出力端子のリセット中, 直後のステート ... 124
4 - 9	警報送出指示端子 ... 124
4 - 10	CD 入力機能 ... 125
4 - 11	マネージメント・インタフェース・モード ... 127
4 - 12	割り込み要因レジスタ (PICR レジスタ) ... 131
4 - 13	詳細要因レジスタ ... 131
4 - 14	割り込み要因一覧 ... 133

表の目次 (2/2)

表番号	タイトル, ページ
4 - 15	詳細要因レジスタのセット, リセット条件 ... 134
4 - 16	詳細要因レジスタの機能説明 ... 137
6 - 1	それぞれのコントローラ状態における動作 ... 213

第1章 概 説

μ PD98414 (NEASCOT-P70) は、ATM 用 LSI の 1 つで、ATM フォーラムに定められている ATM プロトコルのうち、SONET/SDH ベースの物理レイヤにおいて、TC サブレイヤの機能を果たす LSI です。

その主な機能は、送信機能として上位 ATM レイヤ・デバイスから受ける ATM セルを 2.4 Gbps の SONET OC-48c/SDH STM-16 フレームのペイロード部にマッピングし回線側 MUX デバイスに出力することと、受信機能として逆に DEMUX デバイスから受けるデータ列からオーバーヘッド部と ATM セルを分離し、ATM セルを上位 ATM レイヤ・デバイスに転送することです。

LAN、WAN の ATM ネットワークを構成する伝送システム、ATM スイッチ、高速バックボーン・スイッチなどの装置に最適です。

1.1 特 徴

ATM Forum、ITU-T で勧告されている TC (Transmission Convergence) サブレイヤの機能を提供

2.4 Gbits/s SONET STS-48c/SDH STM-16c のコンカチネーション・フレームをサポート

ATM レイヤ・インタフェース

- ・ 32-bit 幅、104 MHz、LV-TTL FIFO インタフェース
- ・ 15 セル・サイズを送受信 FIFO
- ・ 52-byte / 56-byte のセル・フォーマットをサポート
- ・ 1 ワードの TAG 領域を受信セルの先頭に付加可

回線側インタフェース

- ・ 16-bit 幅 P-ECL レベル入出力

CPU インタフェースは 2 モードから選択可

- ・ 16-bit 幅データ・バス
- ・ Intel 互換モード [RD, WR, RDY スタイル] / Motorola 互換モード [DS, RW, ACK スタイル]

2 種類のオーバーヘッド・インタフェースを提供 (すべてのオーバーヘッド領域にアクセス可能)

- ・ オーバヘッド・バイトのインサート/ドロップ用レジスタを装備
- ・ オーバヘッド・バイトの挿入/抽出用の専用インタフェースを装備

豊富な OAM 機能を提供

- ・ 障害: LOS, OOF, LOF, LOP, OCD, LCD の検出
- ・ 警報: APS, Line AIS, Line RDI, Path AIS, Path RDI の検出および送出
- ・ 受信 APS 信号, Signal Label (C2 バイト) の監視機能を装備
- ・ ビット・エラー・レート・モニタリング機能を装備

J0/J1 トレース・メッセージ (16 バイト, 64 バイト長) の送受信メッセージ・バッファを装備

ループバック機能をサポート

リモート: 2 モード (ATM レイヤ・ループバック, 回線側ループバック)

テスト用エラー生成疑似フレームの送出機能を提供

汎用ポート 入力：3本，出力5本を装備

JTAG バウンダリ・スキャン・テスト (IEEE 1149.1) をサポート

0.35 μm CMOS プロセス

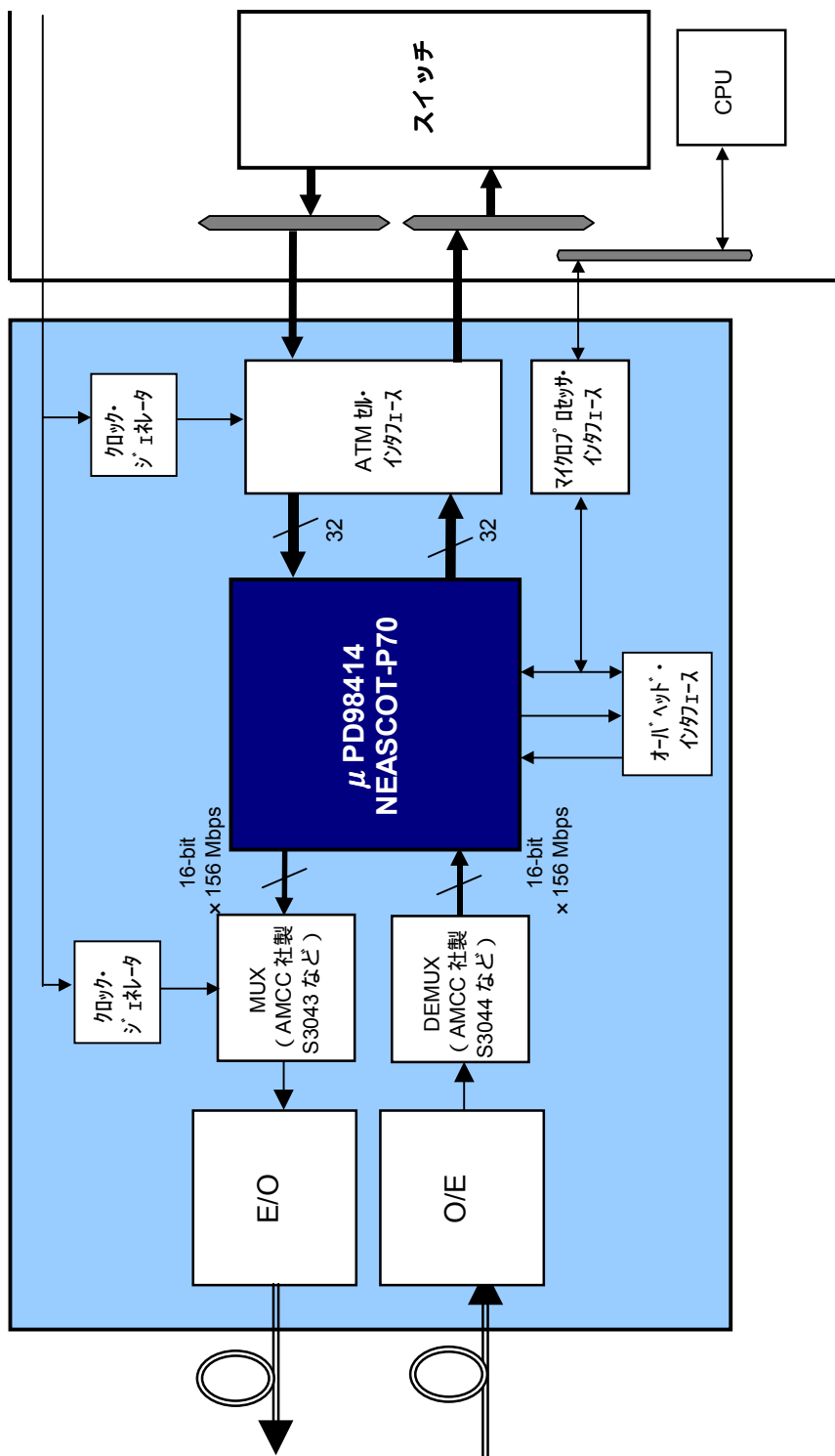
+ 3.3 V 単一電源

352 ピン・プラスチック BGA (アドバンスト) パッケージ (35 × 35 mm)

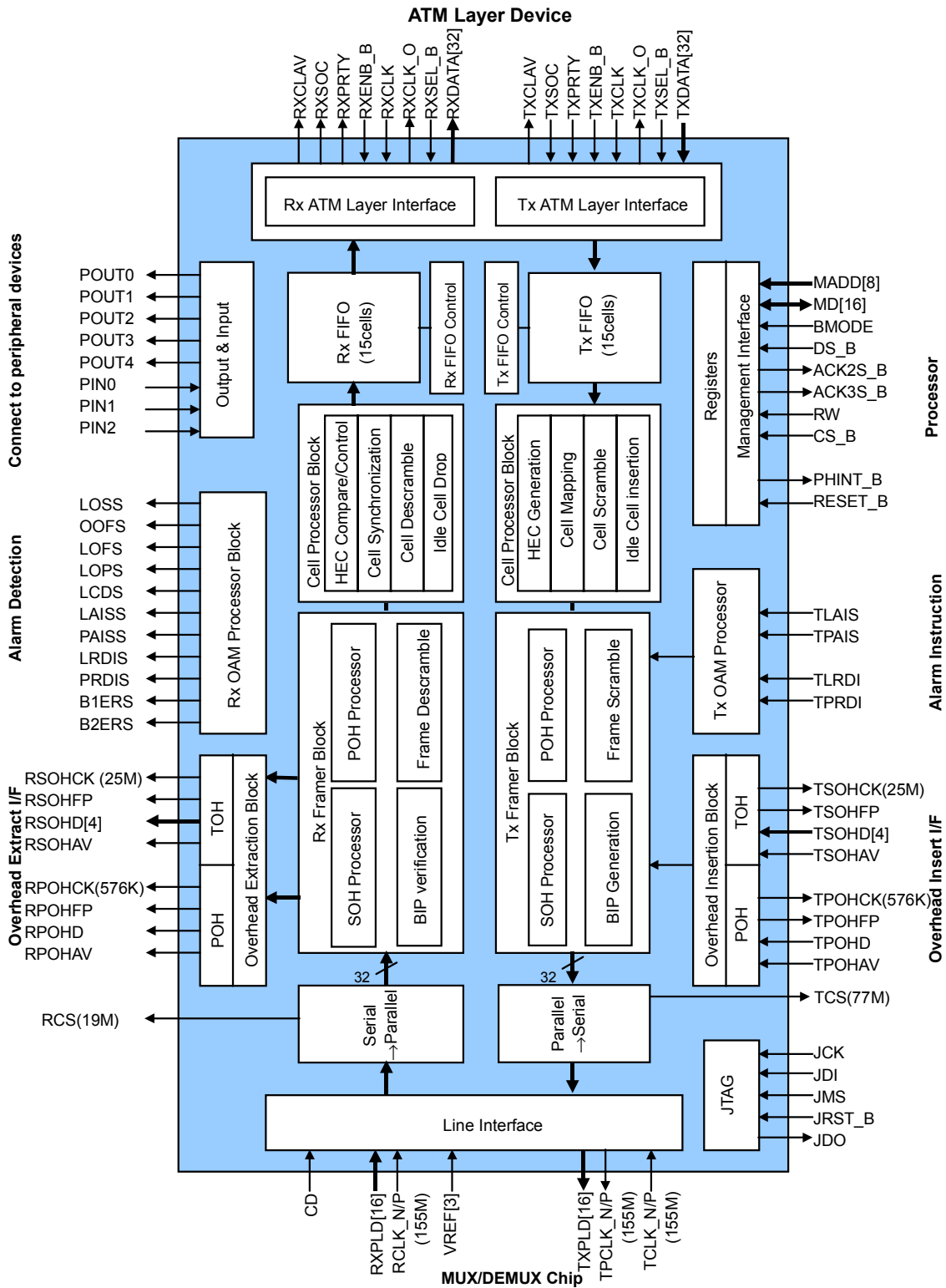
1.2 オーダ情報

オーダ名称	パッケージ
μ PD98414F2-RN1	352 ピン・プラスチック BGA (アドバンスト) (35 × 35)

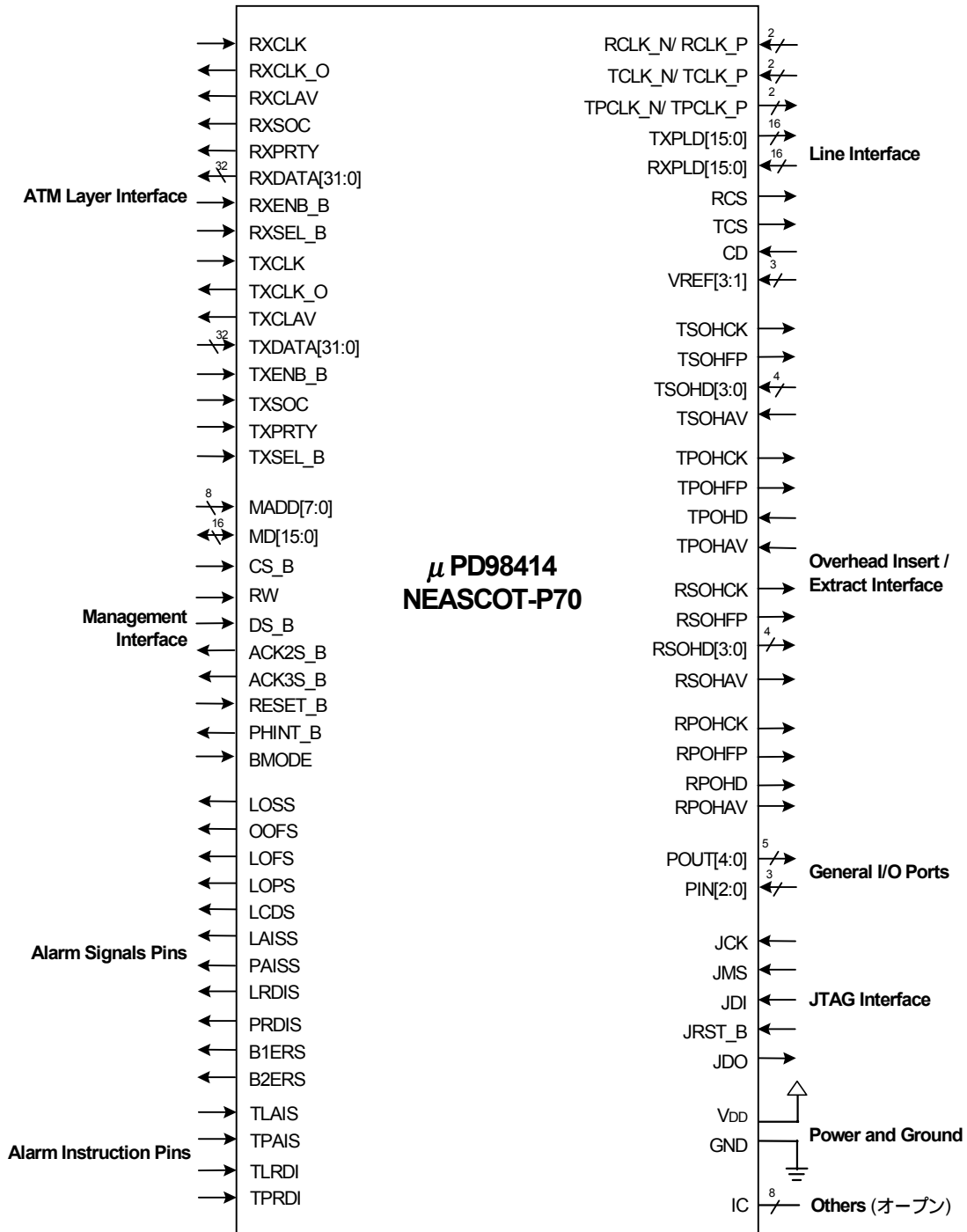
1.3 システム



1.4 ブロック図



1.5 端子構成図

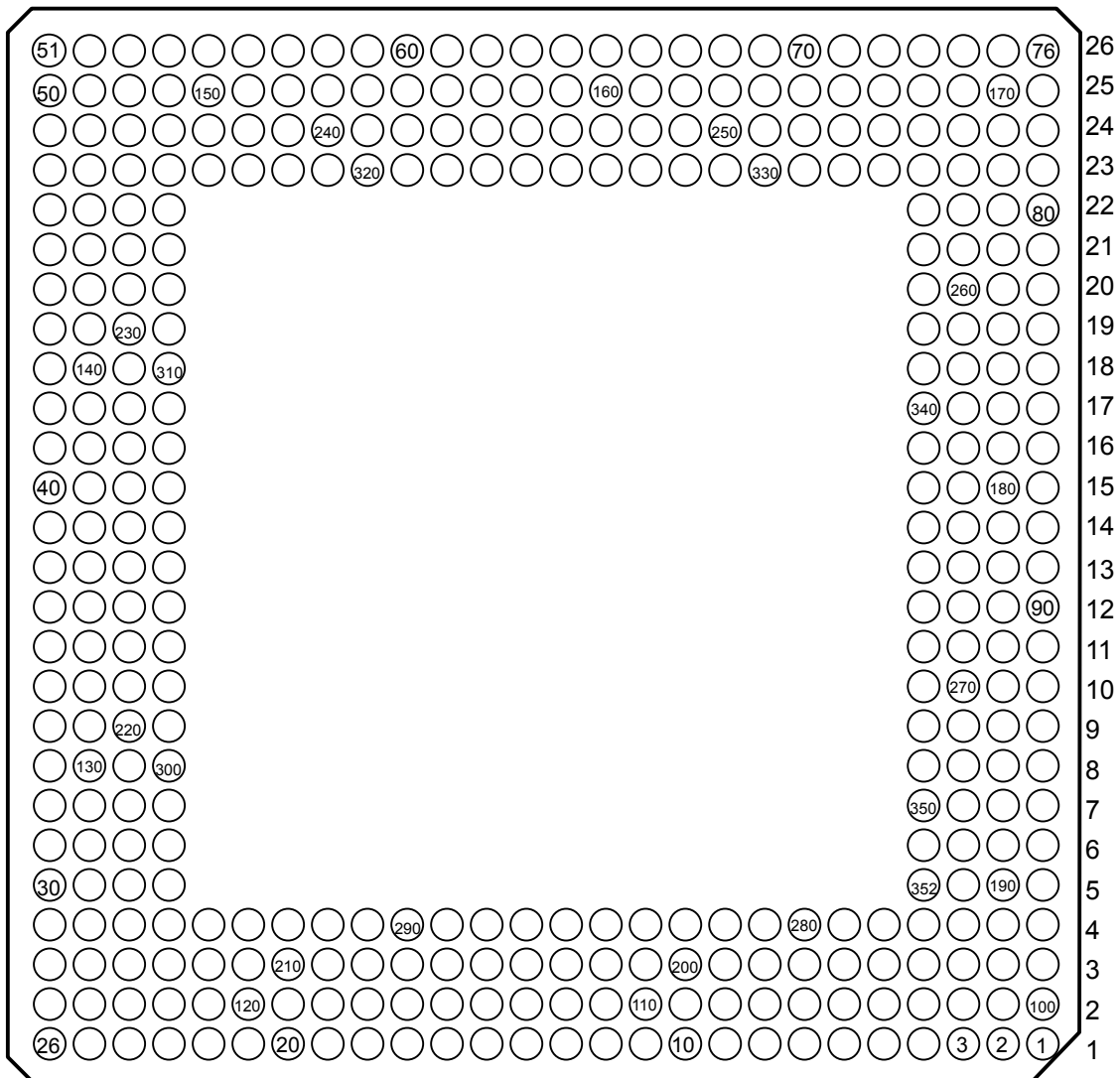


第2章 端子機能

2.1 端子接続図 (Bottom View)

・ 352 ピン・プラスチック BGA (アドバンスト) (35×35)

μ PD98414F2-RN1



AF AE AD AC AB AA Y W V U T R P N M L K J H G F E D C B A

Index mark

端子配置表

(1/4)

Serial No.	Address No.	Pin Name	Serial No.	Address No.	Pin Name	Serial No.	Address No.	Pin Name
1	A01	GND	36	AF11	RXDATA15	71	F26	TXCLAV
2	B01	TCS	37	AF12	RXDATA17	72	E26	GND
3	C01	IC	38	AF13	GND	73	D26	POUT0
4	D01	IC	39	AF14	RXDATA19	74	C26	PHINT_B
5	E01	RXPLD15	40	AF15	GND	75	B26	GND
6	F01	RXPLD13	41	AF16	RXDATA24	76	A26	GND
7	G01	GND	42	AF17	GND	77	A25	RW
8	H01	RXPLD10	43	AF18	RXDATA28	78	A24	MADD6
9	J01	RXPLD8	44	AF19	RXDATA30	79	A23	MADD4
10	K01	V _{DD}	45	AF20	RXPRTY	80	A22	MADD1
11	L01	GND	46	AF21	RXCLAV	81	A21	MD13
12	M01	RXPLD4	47	AF22	GND	82	A20	MD10
13	N01	V _{DD}	48	AF23	POUT1	83	A19	MD7
14	P01	GND	49	AF24	PRDIS	84	A18	MD3
15	R01	GND	50	AF25	V _{DD}	85	A17	MD0
16	T01	V _{DD}	51	AF26	GND	86	A16	GND
17	U01	RCLK_P	52	AE26	LAISS	87	A15	TXPLD13
18	V01	RPOHFP	53	AD26	OOFS	88	A14	GND
19	W01	RSOHD2	54	AC26	GND	89	A13	GND
20	Y01	RSOHAV	55	AB26	TXDATA1	90	A12	V _{DD}
21	AA01	TPOHAV	56	AA26	V _{DD}	91	A11	V _{DD}
22	AB01	TSOHD2	57	Y26	GND	92	A10	GND
23	AC01	TSOHD0	58	W26	V _{DD}	93	A09	V _{DD}
24	AD01	POUT4	59	V26	TXDATA10	94	A08	TXPLD3
25	AE01	GND	60	U26	TXDATA12	95	A07	V _{DD}
26	AF01	GND	61	T26	TXDATA15	96	A06	GND
27	AF02	PIN1	62	R26	TXDATA17	97	A05	TPCLK_P
28	AF03	TLRDI	63	P26	GND	98	A04	IC
29	AF04	POUT2	64	N26	TXDATA19	99	A03	JDI
30	AF05	RXDATA1	65	M26	GND	100	A02	V _{DD}
31	AF06	V _{DD}	66	L26	TXDATA24	101	B02	V _{DD}
32	AF07	GND	67	K26	GND	102	C02	RCS
33	AF08	V _{DD}	68	J26	TXDATA28	103	D02	IC
34	AF09	RXDATA10	69	H26	TXDATA30	104	E02	V _{DD}
35	AF10	RXDATA12	70	G26	TXPRTY	105	F02	GND

Serial No.	Address No.	Pin Name	Serial No.	Address No.	Pin Name	Serial No.	Address No.	Pin Name
106	G02	RXPLD12	141	AE19	RXDATA31	176	B19	MD9
107	H02	RXPLD11	142	AE20	RXENB_B	177	B18	MD5
108	J02	RXPLD9	143	AE21	V _{DD}	178	B17	MD1
109	K02	VREF2	144	AE22	RXCLK_O	179	B16	GND
110	L02	GND	145	AE23	B2ERS	180	B15	V _{DD}
111	M02	V _{DD}	146	AE24	PAISS	181	B14	TXPLD12
112	N02	RXPLD3	147	AE25	V _{DD}	182	B13	TXPLD11
113	P02	RXPLD2	148	AD25	LOSS	183	B12	TXPLD9
114	R02	RXPLD0	149	AC25	LCDS	184	B11	TXPLD7
115	T02	RCLK_N	150	AB25	V _{DD}	185	B10	GND
116	U02	RPOHD	151	AA25	TXDATA3	186	B09	V _{DD}
117	V02	RSOHD3	152	Y25	TXDATA5	187	B08	GND
118	W02	RSOHD1	153	W25	TXDATA6	188	B07	TXPLD1
119	Y02	RSOHFP	154	V25	TXDATA9	189	B06	TCLK_N
120	AA02	TPOHFP	155	U25	V _{DD}	190	B05	TPCLK_N
121	AB02	TSOHD1	156	T25	GND	191	B04	JCK
122	AC02	TSOHFP	157	R25	TXDATA16	192	B03	JRST_B
123	AD02	PIN2	158	P25	TXDATA18	193	C03	V _{DD}
124	AE02	V _{DD}	159	N25	V _{DD}	194	D03	IC
125	AE03	PIN0	160	M25	TXDATA22	195	E03	VREF3
126	AE04	TPAIS	161	L25	TXDATA25	196	F03	GND
127	AE05	V _{DD}	162	K25	TXDATA27	197	G03	V _{DD}
128	AE06	RXDATA3	163	J25	GND	198	H03	V _{DD}
129	AE07	RXDATA5	164	H25	TXDATA31	199	J03	V _{DD}
130	AE08	RXDATA6	165	G25	TXENB_B	200	K03	GND
131	AE09	RXDATA9	166	F25	V _{DD}	201	L03	RXPLD7
132	AE10	V _{DD}	167	E25	TXCLK_O	202	M03	RXPLD5
133	AE11	GND	168	D25	RESET_B	203	N03	V _{DD}
134	AE12	RXDATA16	169	C25	DS_B	204	P03	RXPLD1
135	AE13	RXDATA18	170	B25	V _{DD}	205	R03	GND
136	AE14	V _{DD}	171	B24	ACK3S_B	206	T03	GND
137	AE15	RXDATA22	172	B23	MADD5	207	U03	RPOHAV
138	AE16	RXDATA25	173	B22	MADD2	208	V03	V _{DD}
139	AE17	RXDATA27	174	B21	MD14	209	W03	RSOHD0
140	AE18	GND	175	B20	MD11	210	Y03	TPOHD

Serial No.	Address No.	Pin Name	Serial No.	Address No.	Pin Name	Serial No.	Address No.	Pin Name
211	AA03	TSOHD3	246	N24	TXDATA21	281	H04	GND
212	AB03	TSOHAV	247	M24	TXDATA23	282	J04	GND
213	AC03	POUT3	248	L24	TXDATA26	283	K04	V _{DD}
214	AD03	V _{DD}	249	K24	V _{DD}	284	L04	GND
215	AD04	CD	250	J24	V _{DD}	285	M04	RXPLD6
216	AD05	RXDATA0	251	H24	V _{DD}	286	N04	GND
217	AD06	GND	252	G24	TXSEL_B	287	P04	V _{DD}
218	AD07	RXDATA4	253	F24	TXCLK	288	R04	VREF1
219	AD08	V _{DD}	254	E24	IC	289	T04	V _{DD}
220	AD09	RXDATA8	255	D24	CS_B	290	U04	RPOHCK
221	AD10	RXDATA11	256	C24	V _{DD}	291	V04	GND
222	AD11	RXDATA13	257	C23	ACK2S_B	292	W04	RSOHCK
223	AD12	V _{DD}	258	C22	MADD3	293	Y04	TPOHCK
224	AD13	V _{DD}	259	C21	MADD0	294	AA04	GND
225	AD14	RXDATA21	260	C20	MD12	295	AB04	TSOHCK
226	AD15	RXDATA23	261	C19	V _{DD}	296	AC04	GND
227	AD16	RXDATA26	262	C18	MD6	297	AC05	TPRDI
228	AD17	V _{DD}	263	C17	MD2	298	AC06	V _{DD}
229	AD18	V _{DD}	264	C16	V _{DD}	299	AC07	RXDATA2
230	AD19	V _{DD}	265	C15	TXPLD14	300	AC08	GND
231	AD20	RXSEL_B	266	C14	V _{DD}	301	AC09	RXDATA7
232	AD21	RXCLK	267	C13	TXPLD10	302	AC10	GND
233	AD22	TLAIS	268	C12	GND	303	AC11	GND
234	AD23	LRDIS	269	C11	TXPLD6	304	AC12	RXDATA14
235	AD24	V _{DD}	270	C10	TXPLD5	305	AC13	GND
236	AC24	LOPS	271	C09	V _{DD}	306	AC14	RXDATA20
237	AB24	TXDATA0	272	C08	TXPLD2	307	AC15	V _{DD}
238	AA24	GND	273	C07	TXPLD0	308	AC16	V _{DD}
239	Y24	TXDATA4	274	C06	V _{DD}	309	AC17	RXDATA29
240	W24	V _{DD}	275	C05	IC	310	AC18	GND
241	V24	TXDATA8	276	C04	JMS	311	AC19	GND
242	U24	TXDATA11	277	D04	GND	312	AC20	RXSOC
243	T24	TXDATA13	278	E04	IC	313	AC21	GND
244	R24	V _{DD}	279	F04	V _{DD}	314	AC22	B1ERS
245	P24	V _{DD}	280	G04	RXPLD14	315	AC23	GND

(4/4)

Serial No.	Address No.	Pin Name	Serial No.	Address No.	Pin Name	Serial No.	Address No.	Pin Name
316	AB23	LOFS	331	G23	TXSOC	346	D11	V _{DD}
317	AA23	V _{DD}	332	F23	GND	347	D10	TXPLD4
318	Y23	TXDATA2	333	E23	BMODE	348	D09	GND
319	W23	GND	334	D23	GND	349	D08	GND
320	V23	TXDATA7	335	D22	MADD7	350	D07	TCLK_P
321	U23	GND	336	D21	V _{DD}	351	D06	GND
322	T23	GND	337	D20	MD15	352	D05	JDO
323	R23	TXDATA14	338	D19	GND			
324	P23	GND	339	D18	MD8			
325	N23	TXDATA20	340	D17	MD4			
326	M23	V _{DD}	341	D16	GND			
327	L23	V _{DD}	342	D15	TXPLD15			
328	K23	TXDATA29	343	D14	GND			
329	J23	GND	344	D13	V _{DD}			
330	H23	GND	345	D12	TXPLD8			

端子名称

ACK2S_B	Acknowledge 2 State	RXCLAV	Rx Cell Available
ACK3S_B	Acknowledge 3 State	RXCLK	UTOPIA Rx Clock In
B1ERS	B1 Error Rate Degrade	RXCLK_O	UTOPIA Rx Clock Out
B2ERS	B2 Error Rate Degrade	RXDATA0-	UTOPIA Rx Data
BMODE	Bus Mode	RXDATA31	
CD	Carrier Detect	RXENB_B	Rx Cell Enable
CS_B	Chip Select	RXPLD0-	Rx Line Data
DS_B	Data Strobe	RXPLD15	
GND	Ground	RXPRTY	Rx Parity
IC	Internal Circuits Connection	RXSEL_B	Rx Cell Select
JCK	JTAG Test Clock	RXSOC	Rx Start Of Cell
JDI	JTAG Test Data In	TCLK_N	Tx Clock In - (155 MHz)
JDO	JTAG Test Data Out	TCLK_P	Tx Clock In + (155 MHz)
JMS	JTAG Test Mode Select	TCS	Tx Line Clock Signal Out (77 MHz)
JRST_B	JTAG Test Reset	TLAIS	Tx Line AIS Frame Send
LAISS	Line AIS State	TLRDI	Tx Line RDI Frame Send
LCDS	LCD State	TPAIS	Tx Path AIS Frame Send
LOFS	LOF State	TPCLK_N	Tx Clock Out - (155 MHz)
LOPS	LOP State	TPCLK_P	Tx Clock Out + (155 MHz)
LOSS	LOS State	TPOHAV	Tx POH Insert Available
LRDIS	Line RDI State	TPOHCK	Tx POH Insert Clock
MADD0-MADD7	Management Address	TPOHD	Tx POH Insert Data
MD0-MD15	Management Data	TPOHFP	Tx POH Insert Frame Pulse
OOFS	OOF State	TPRDI	Tx Path RDI Frame Send
PAISS	Path AIS State	TSOHAV	Tx TOH Insert Available
PHINT_B	Interrupt	TSOHCK	Tx TOH Insert Clock
PIN0-PIN2	General In	TSOHD0-TSOHD3	Tx TOH Insert Data
POUT0-POUT4	General Out	TSOHFP	Tx TOH Insert Frame Pulse
PRDIS	Path RDI State	TXCLAV	Tx Cell Available
RCLK_N	Rx Line Clock - (155 MHz)	TXCLK	UTOPIA Tx Clock In
RCLK_P	Rx Line Clock + (155 MHz)	TXCLK_O	UTOPIA Tx Clock Out
RCS	Rx Line Clock Signal Out (19M)	TXDATA0-	UTOPIA Tx Data
RESET_B	Reset	TXDATA31	
RPOHAV	Rx POH Insert Available	TXENB_B	Tx Cell Enable
RPOHCK	Rx POH Insert Clock	TXPLD0-TXPLD15	Tx Line Data
RPOHD	Rx POH Insert Data	TXPRTY	Tx Parity
RPOHFP	Rx POH Insert Frame Pulse	TXSEL_B	Tx Cell Select
RSOHAV	Rx SOH Insert Available	TXSOC	Tx Start Of Cell
RSOHCK	Rx SOH Insert Clock	V _{DD}	VDD
RSOHD0-RSOHD3	Rx SOH Insert Data	VREF1-VREF3	Voltage Reference For PECL In
RSOHFP	Rx SOH Insert Frame Pulse		
RW	Management Data Read/Write		

2.2 端子機能

2.2.1 ライン・インタフェース

ライン・インタフェースは、回線側 MUX/DEMUX デバイスと接続するためのインタフェースです。

(1/2)

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
RCLK_N	115	T02	I PECL	受信クロック入力 (155.52 MHz)。 受信データに同期したクロック155.52 MHzを入力します。
RCLK_P	17	U01		
TCLK_N	189	B06	I PECL	送信クロック入力 (155.52 MHz)。 送信用クロックを入力します。μPD98411 は送信データ TXPLD15-TXPLD0 をこのクロックの立ち上がりエッジに同期して更新します。
TCLK_P	350	D07		
TPCLK_N	190	B05	O PECL	送信クロック出力 (155.52 MHz)。 TCLK_N, TCLK_P に入力されるクロックを内部で反転して出力します。
TPCLK_P	97	A05		
RXPLD15 - RXPLD0	5, 280, 6, 106, 107, 8, 108, 9, 201, 285, 202, 12, 112, 113, 204, 114	E01, G04, F01, G02, H02, H01, J02, J01, L03, M04, M03, M01, N02, P02, P03, R02	I PECL	受信 16-bit パラレル・データ入力。
TXPLD15 - TXPLD0	342, 265, 87, 181, 182, 267, 183, 345, 184, 269, 270, 347, 94, 272, 188, 273	D15, C15, A15, B14, B13, C13, B12, D12, B11, C11, C10, D10, A08, C08, B07, C07	O PECL	送信 16-bit パラレル・データ出力。
TCS	2	B01	O LVTTTL	送信システム・クロック出力 (77.76 MHz)。 TCLK_N, TCLK_P に入力される送信クロックを μPD98414 内部で2分周して出力します。
RCS	102	C02	O LVTTTL	受信システム・クロック出力 (19.44 MHz) RCLK_N, RCLK_P に入力される受信クロックを μPD98414内部で8分周して出力します。

(2/2)

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
CD	215	AD04	I LVTTTL (5V-tolerant)	受信フレーム機能リセット。 この端子の入力レベルがロウになると、その間受信フレーム・ブロック（回線から受信FIFOの手前まで）は、リセット状態になります。また、この信号レベルのロウへの変化は、LOS検出の条件に加えることができます。受信光リンク・モジュールが出力する光入力断アラーム信号を入力して使用できます。
VREF3 - VREF1	195, 109, 288	E03, K02, R04	I VREF	シングル・エンドPECL入力信号（RXPLD[15:0]）のためのレファレンス電位（中間電位）を入力する端子です。

2.2.2 ATM レイヤ・インタフェース

上位 ATM レイヤ・デバイスとセル転送を行うインタフェースです。

(1/5)

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
RXCLK	232	AD21	I LVTTTL	受信 FIFO クロック入力。 DC から 104 MHz までの受信データを転送用のクロックを入力します。
RXCLK_O	144	AE22	O LVTTTL	受信FIFOクロック折り返し出力。 RXCLKに入力されるクロックを、折り返し出力します。
RXSOC	312	AC20	O LVTTTL	受信セル先頭位置信号出力。 RXDATA 上に受信セルの先頭バイトを出力しているクロック・サイクルの間、RXSOC をハイにして、ATM レイヤ・デバイスに通知します。
RXCLAV	46	AF21	O LVTTTL	受信FIFOセル・データ転送可信号出力。 受信FIFO内に転送すべき受信データが1セル以上存在するとき、 μ PD98414はRXCLAVをハイにして、ATM レイヤ・デバイスに通知します。受信セル・データの転送を開始すると、セルの出力を始めてから、7クロック・サイクル目以降で、受信FIFO内にさらに1セル以上の有効データがある場合は、RXCLAVをハイに維持し、ない場合は、ロウに変化させます。

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
RXENB_B	142	AE20	I LVTTTL	<p>受信イネーブル信号入力（バイト単位制御）。</p> <p>ATMレイヤ・デバイスが、μPD98414の受信セル・データ出力をバイト単位でイネーブル制御します。</p> <p>μPD98414は、RXENB_BをRXCLKの立ち上がりエッジごとにサンプリングし、ロウ検出した場合はその次のクロック・サイクルからRSOC,RXDATAの出力を更新し、受信セル・データの転送を行います。ハイを検出したときは、その次のクロック・サイクルからRSOC,RXDATAの出力を停止します。</p> <p>注意：この信号は、RXSEL_Bとの同時併用ができません。使用しない場合はロウに固定してください。</p>
RXSEL_B	231	AD20	I LVTTTL	<p>受信イネーブル信号入力（セル単位制御）。</p> <p>ATMレイヤ・デバイスが、μPD98414の受信セル・データの出力をセル単位でイネーブル制御します。</p> <p>μPD98414は、RXSOCをハイにする1クロック・サイクル前の立ち上がりエッジでRXSEL_Bをサンプリングし、RXSEL_Bがロウの場合は次のクロック・サイクルから受信セル・データの出力を開始します。一度RXSEL_Bのロウを検出すると、μPD98414は次のサンプル・タイミング（RXSOCをハイにする1クロック前）まで、RXSEL_Bをサンプリングしません。サンプリング・タイミングでハイを検出すると、RXSEL_Bを毎クロックごとにサンプリングし続け、ロウを検出した時点の次のクロック・サイクルからセルの出力を開始します。</p> <p>注意：この信号はRXENB_Bとの同時併用ができません。使用しない場合は、ロウ固定にしてください。</p>
RXPRTY	45	AF20	O LVTTTL	<p>パリティ・ビット出力。</p> <p>RXDATA上の出力データに対して奇数パリティ・ビットを生成しRXPRTYより出力します。パリティ・ビットの出力は常に行います。</p> <p>生成するパリティ・ビットは、MDR5レジスタのRRPMビットへの設定により、偶数パリティに切り替えることができます。</p>

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
RXDATA31 - RXDATA0	141, 44, 309, 43, 139, 227, 138, 41, 226, 137, 225, 306, 39, 135, 37, 134, 36, 304, 222, 35, 221, 34, 131, 220, 301, 130, 129, 218, 128, 299, 30, 216	AE19, AF19, AC17, AF18, AE17, AD16, AE16, AF16, AD15, AE15, AD14, AC14, AF14, AE13, AF12, AE12, AF11, AC12, AD11, AF10, AD10, AF09, AE09, AD09, AC09, AE08, AE07, AD07, AE06, AC07, AF05, AD05	O LVTTTL	受信セル・データ出力バス。 ATM レイヤ・デバイスに向けて受信セル・データを入力する 32-bit データ・バスです。RXCLK の立ち上がりエッジで更新します。
TXCLK	253	F24	I LVTTTL	送信 FIFO クロック入力。 DC から 104 MHz までの送信データ転送用のクロックを入力します。
TXCLK_O	167	E25	O LVTTTL	送信 FIFO クロック折り返し出力。 TXCLK に入力されるクロックを、折り返し出力します。
TXSOC	331	G23	I LVTTTL	送信セル先頭位置信号入力。 送信セルの先頭位置を示す信号を入力します。 μ PD98414 は、TXSOC がハイのクロック・サイクルをセルの先頭ワードとして認識します。
TXCLAV	71	F26	O LVTTTL	送信 FIFO セル・データ受け付け可信号出力。 送信 FIFO の空き状況を ATM レイヤ・デバイスに通知します。送信 FIFO 内に溜まったセル数が、MDR5 レジスタの TCAV[1:0]ビットに設定したしきい値に到達すると μ PD98414 は、TXCLAV をロウに変化させます。しきい値セル数は、9, 11, 13, 15 セル数のいずれかから選択でき、デフォルトは送信 FIFO がフルになる 15 セルに設定されています。 μ PD98414 は、TXCLAV をロウにしても、送信 FIFO がフルになる 15 セルまではセルを受け付け、それ以上は廃棄して送信 FIFO オーパフローの検出を通知します。

(4/5)

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
TXENB_B	165	G25	I LVTTTL	<p>送信イネーブル信号入力（バイト単位制御）。</p> <p>ATM レイヤ・デバイスが、有効な送信セル・データを TXDATA 上に出力していることをバイト単位で通知する信号です。μPD98414 は、TXENB_B を TXCLK の立ち上がりエッジごとにサンプリングし、ロウのときはそのエッジで TXSOC ,TXDATA 上のデータを送信 FIFO に取り込みます。ハイのときは、取り込みません。</p> <p>注意:この信号は ,TXSEL_B との同時併用ができません。使用しないときは、ロウ固定にしてください。</p>
TXSEL_B	252	G24	I LVTTTL	<p>送信イネーブル信号入力（セル単位制御）。</p> <p>ATMレイヤ・デバイスが有効な送信セル・データを TXDATA上に出力していることをμPD98414にセル単位で通知する信号です。</p> <p>μPD98414は、送信セルをATMレイヤ・デバイスから受ける際 ,TXSOCにハイが入力される直前のTXCLKクロックの立ち上がりエッジで、TXSEL_Bをサンプリングし、ロウならばμPD98414は次のクロック・サイクルから入力されるセルを送信FIFOに取り込みます。一度 TXSEL_Bのロウを検出しセルを取り込み始めると、μPD98414は次のサンプリング・タイミング（次の TXSOC入力の直前クロック）まで、TXSEL_Bをサンプリングしません。TXSOCにハイが入力される直前のクロックでTXSEL_Bがハイであった場合は、μPD98414は次のセルを送信FIFOに取り込みません。</p> <p>注意:この信号は ,TXENB_Bとの同時併用ができません。使用しないときは、ロウ固定にしてください。</p>

(5/5)

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
TXPRTY	70	G26	I LVTTTL (Internal pull-up)	パリティ・ビット入力。 TXDATA に入力するデータの奇数パリティ・ビットを入力します。 μ PD98414 は、入力されるデータとパリティ・ビットから、パリティ演算を行い、エラーを検出した場合は、UEDR レジスタの UPED ビットをセットして通知します。 μ PD98414 がパリティ演算を行うデータの範囲は、送信セルの 53 バイト (H1~P48) のみです。パリティ演算は、MDR5 レジスタの TRPM ビットへの設定により、偶数パリティ演算に切り替えることができます。
TXDATA31 - TXDATA0	164, 69, 328, 68, 162, 248, 161, 66, 247, 160, 246, 325, 64, 158, 62, 157, 61, 323, 243, 60, 242, 59, 154, 241, 320, 153, 152, 239, 151, 318, 55, 237	H25, H26, K23, J26, K25, L24, L25, L26, M24, M25, N24, N23, N26, P25, R26, R25, T26, R23, T24, U26, U24, V26, V25, V24, V23, W25, Y25, Y24, AA25, Y23, AB26, AB24	I LVTTTL	送信セル・データ入力バス。 送信セル・データを入力する 32-bit データ・バスです。 μ PD98414 は、TXCLK の立ち上がりエッジで取り込みます。

2.2.3 マネージメント・インタフェース

μ PD98414 のレジスタにアクセスするためのインタフェースです。

(1/2)

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
RESET_B	168	D25	I LVTTTL (5 V-tolerant)	システム・リセット入力。 μ PD98414を初期化します。少なくとも1 μ s以上の幅を持つロウ・パルス信号を入力してください。
PHINT_B	74	C26	O LVTTTL (5 V-tolerant)	割り込み信号出力。 割り込み要因が発生したことを、ホストに通知するための信号です。
BMODE	333	E23	I LVTTTL (5 V-tolerant)	バス・モード選択入力。 リセット後の BMODE の入力レベルによって、マネージメント・インタフェースのモードが決定します。 BMODE = ロウ: <DS,RW, ACK>スタイルを選択。 ハイ: <RD, WR, RDY>スタイルを選択。
MADD7 - MADD0	335, 78, 172, 79, 258, 173, 80, 259	D22, A24, B23, A23, C22, B22, A22, C21	I LVTTTL (5 V-tolerant)	アドレス入力。 内部レジスタのアドレスを入力する 8-bit ラインです。
MD15 - MD0	337, 174, 81, 260, 175, 82, 176, 339, 83, 262, 177, 340, 84, 263, 178, 85	D20, B21, A21, C20, B20, A20, B19, D18, A19, C18, B18, D17, A18, C17, B17, A17	I/O LVTTTL (5 V-tolerant)	16-bit データ・バス。 内部レジスタとデータを転送し合う 16-bit データ・ラインです。
RW (WR_B)	77	A25	I LVTTTL (5 V-tolerant)	リード/ライト信号入力, またはライト信号入力。 この信号は, BMODE で設定されるモードによって機能が異なります。 BMODE = ロウのとき, リード/ライト制御信号 (RW) として機能。 RW = ハイ: リード・サイクル ロウ: ライト・サイクル BMODE = ハイのとき, ライト・アクセスを指定するライト信号 (WR_B) として機能。

(2/2)

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
ACK2S_B (RDY_B)	257	C23	0 LVTTTL (5 V-tolerant)	アクノリッジ信号出力,またはレディ信号2ステート出力。 リード・アクセスのとき,データの準備ができたことを通知し,ライト・サイクルのとき,データを受け付け可能であることを通知するアクノリッジ,レディ信号を2ステートで出力します。
ACK3S_B (RDY_B)	171	B24	0 3-state LVTTTL (5 V-tolerant)	アクノリッジ信号出力,またはレディ信号3ステート出力。 リード・アクセスのとき,データの準備ができたことを通知し,ライト・サイクルのとき,データを受け付け可能であることを通知するアクノリッジ,レディ信号を3ステートで出力します。
CS_B	255	D24	1 LVTTTL (5 V-tolerant)	チップ・セレクト信号入力。 ロウ・レベルのとき, μ PD98414 内部レジスタへのアクセスをイネーブルにします。
DS_B (RD_B)	169	C25	1 LVTTTL (5 V-tolerant)	データ・ストローブ信号入力,またはリード信号入力。 この端子は,BMODE 端子の入力で選択されるマネージメント・インタフェース・モードによって機能が異なります。 BMODE = ロウ: MD 上にデータを出力していることを示すデータ・ストローブ信号(DS_B)として機能。 BMODE = ハイ: リード・アクセスを指定するリード信号(RD_B)として機能。

2.2.4 オーバヘッド・インタフェース

周辺デバイスから μ PD98414 の送受信するセクション・オーバヘッド (SOH) , パス・オーバヘッド (POH) の内容を転送し合うためのインタフェースです。

(1/2)

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
TSOHCK	295	AB04	O LVTTTL	送信TOHインタフェース・クロック出力 (25.92 MHz)。送信クロックTCLK (155.52 MHz) を内部で6分周したクロック25.92 MHzを出力します。TSOHFP, TSOHDは、このクロックに同期して出力されます。
TSOHFP	122	AC02	O LVTTTL	送信TOHフレーム・パルス出力。 送信TOHデータの入力を開始するクロック・サイクルの1サイクル前に、TSOHFPをハイにします。
TSOHD3 - TSOHD0	211, 22, 121, 23	AA03, AB01, AB02, AC01	I LVTTTL (5 V-tolerant/ Internal pull-down)	送信 TOH データ入力 4-bit バス。 送信TOHデータを入力する4-bitデータ・バスです。 TSOHFPを出力した次のクロック・サイクルから、TSOHD上のTOHデータを2クロック・サイクルで1バイトとして取り込みます。
TSOHAV	212	AB03	I LVTTTL (5 V-tolerant/ Internal pull-down)	送信TOHデータ有効表示信号入力。 有効なTOHデータをTSOHD上に出力していることを μ PD98414に通知するための信号です。SOHデータを取り込む2クロック・サイクルごとの周期のうち、1サイクル目のTSOHCKの立ち上がりエッジでTSOHAVをサンプリングし、ハイだった場合にそのサイクルと次のサイクルでTSOHD上のデータを取り込みます。ロウの場合は取り込みません。
TPOHCK	293	Y04	O LVTTTL	送信POHインタフェース・クロック出力 (576 kHz)。送信クロックTCLK (155.52 MHz) を内部で270分周したクロック576 kHzを出力します。TPOHFP, TPOHDは、このクロックに同期して出力されます。
TPOHFP	120	AA02	O LVTTTL	送信POHフレーム・パルス出力。 送信POHデータの入力を開始するクロック・サイクルの1サイクル前に、TPOHFPをハイにします。
TPOHD	210	Y03	I LVTTTL (5 V-tolerant/ Internal pull-down)	送信 POH データ入力。 送信POHデータをシリアルで入力します。TPOHFPを出力した次のクロック・サイクルから、TPOHD上の送信POHデータを8クロック・サイクルで1バイトとして取り込みます。

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
TPOHAV	21	AA01	I LVTTTL (5 V-tolerant/ Internal pull-down)	送信POHデータ有効表示信号入力。 有効なPOHデータをTPOHDに出力していることを μ PD98414に通知するための信号です。POHデータを取り込む8クロック・サイクルごとの周期のうち、1サイクル目のTPOHCKの立ち上がりエッジでTPOHAVをサンプリングし、ハイだった場合にそのサイクルから8サイクルの間は、TPOHDのデータを取り込みます。ロウの場合は取り込みません。
RSOHCK	292	W04	O LVTTTL	受信TOHインタフェース・クロック出力 (25.92 MHz)。 受信クロックRCLK (155.52 MHz) を内部で6分周したクロック25.92 MHzを出力します。RSOHFP, RSOHAVはこのクロックに同期して出力されます。
RSOHFP	119	Y02	O LVTTTL	受信TOHフレーム・パルス出力。 受信SOHデータの出力を開始するクロック・サイクルの1サイクル前に、RSOHFPをハイにします。
RSOHD3 - RSOHD0	117, 19, 118, 209	V02, W01, W02, W03	O LVTTTL	受信 TOH データ出力 4-bit バス。 受信TOHデータを出力する4-bitデータ・バスです。 RSOHFPを出力した次のクロック・サイクルから、RSOHD上に受信SOHデータの出力を開始します。
RSOHAV	20	Y01	O LVTTTL	受信TOHデータ有効表示信号出力。 有効な受信TOHデータをRSOHD上に出力していることを示します。RSOHDに有効データを出力しているクロック・サイクルではRSOHAVをハイに、出力していないサイクルでは、ロウにします。
RPOHCK	290	U04	O LVTTTL	受信POHインタフェース・クロック出力 (576 kHz)。 受信クロックRCLK (155.52 MHz) を内部で270分周したクロック576 kHzを出力します。RPOHFP, RPOHAVはこのクロックに同期して出力されます。
RPOHFP	18	V01	O LVTTTL	受信POHフレーム・パルス出力。 受信POHデータの出力を開始するクロック・サイクルの1サイクル前に、RPOHFPをハイにします。
RPOHD	116	U02	O LVTTTL	受信 POH データ出力。 受信POHデータをシリアルで出力します。RPOHFPを出力した次のクロック・サイクルから、RPOHD上に受信POHデータを8クロック・サイクルで1バイトとして出力します。
RPOHAV	207	U03	O LVTTTL	受信POHデータ有効表示信号出力。 有効な受信POHデータをRPOHD上に出力していることを示します。RPOHDに有効データを出力しているクロック・サイクルではRPOHAVをハイに、出力していないサイクルでは、ロウにします。

2.2.5 汎用入出力ポート

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
PIN2	123	AD02	I LVTTTL (Internal pull-down)	汎用入力ポート。 外部周辺デバイスのステート信号などを入力する汎用入力端子です。この端子の信号レベルは、内部GPSRレジスタのビットに反映され、そのビットの変化を割り込み要因にすることができます。
PIN1, PIN0	27, 125	AF02, AE03	I LVTTTL (5 V-tolerant/ Internal pull-down)	注意：PIN2 - PIN0のうち、PIN2のみ5Vトレラント端子ではありません。
POUT4 - POUT0	24, 213, 29, 48, 73	AD01, AC03, AF04, AF23, D26	O LVTTTL	汎用出力ポート。 内部POUTRレジスタへのビット設定が、これら端子の信号レベルとして出力されます。外部周辺デバイスのコントロールなどに使用できます。

2.2.6 アラーム信号入出力

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
B1ERS, B2ERS LAISS, LCDS LOFS, LOPS LOSS, LRDIS OOFs, PAISS PRDIS	314, 145 52, 149 316, 236 148, 234 53, 146 49	AC22, AE23 AE26, AC25 AB23, AC24 AD25, AD23 AD26, AE24 AF24	O LVTTTL	アラーム信号出力。 これらのアラーム信号は、 μ PD98414が受信側で障害、警報などのイベントを検出して内部ESTRレジスタの対応するビットをセットしたとき、同時に対応する信号をハイにして外部に通知します。イベントが消滅しESTRレジスタのビットがリセットされると、信号もロウになります。
TLAIS TLRDI TPAIS TPRDI	233 28 126 297	AD22 AF03 AE04 AC05	I LVTTTL (5 V-tolerant/ Internal pull-down)	アラーム送信指示入力。 これらの信号にハイを入力すると、その間対応する警報フレーム (Line AIS, Line RDI, Path AIS, Path RDI) を送出します。警報フレームの送出は、他に CMR1 レジスタへの設定によっても同様に指示することができます。

2.2.7 JTAG バウンダリ・スキャン

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
JCK	191	B04	I LVTTTL (5 V-tolerant)	バウンダリ・スキャン・クロック入力です。 未使用時は、グラウンドに接続してください。
JDI	99	A03	I LVTTTL (5 V-tolerant)	バウンダリ・スキャン・データ入力です。 未使用時は、グラウンドに接続してください。
JDO	352	D05	O LVTTTL 3-state (5 V-tolerant)	バウンダリ・スキャン・データ出力です。 未使用時は、オープンにしてください。
JMS	276	C04	I LVTTTL (5 V-tolerant)	バウンダリ・スキャン・モード選択信号入力です。 未使用時は、グラウンドに接続してください。
JRST_B	192	B03	I LVTTTL (5 V-tolerant)	バウンダリ・スキャン・リセット信号入力です。 未使用時は、グラウンドに接続してください。

★ 備考 通常動作時の JTAG バウンダリ・スキャン用端子の処置について

JTAG ロジックは、RESET_B 端子へのパルス入力ではリセットがかかりません。

JTAG ロジックがリセット状態にないと、 μ PD98414 は通常動作を行えない場合があります。JTAG ロジックのリセット方法には次の2つがありますので、JRST_B 端子をグラウンドに接続していない場合には、電源投入後、必ずどちらかの方法で JTAG ロジックをリセットしてください。

・ JRST_B 端子を使用せずに JTAG ロジックをリセット状態にする

JMS, JCK 端子を使用して、JTAG ロジックをリセット状態に移行させ、リセット状態から動かさないようにします (JRST_B 端子は、pull-up している状態です)。

JMS 端子を 1 に固定 (pull-up) して、JCK 端子に 5 クロック・サイクル以上入力してください。

・ JRST_B 端子を使用して JTAG ロジックをリセット状態にする

JRST_B 端子にロウ・パルスを入力して、その後 JMS, JRST_B 端子を pull-up してハイ・レベルを維持していると、JTAG ロジックはリセット状態から動きませんので、通常動作に影響を及ぼしません。他の JDI, JCK 端子は、pull-down/pull-up のどちらかで入力レベルを固定してください。

2.2.8 電源, グランド

端子名	シリアル番号	アドレス番号	I/O	機能
V _{DD}	10, 13, 16, 31, 33, 50, 56, 58, 90, 91, 93, 95, 100, 101, 104, 111, 124, 127, 132, 136, 143, 147, 150, 155, 159, 166, 170, 180, 186, 193, 197, 198, 199, 203, 208, 214, 219, 223, 224, 228, 229, 230, 235, 240, 244, 245, 249, 250, 251, 256, 261, 264, 266, 271, 274, 279, 283, 287, 289, 298, 307, 308, 317, 326, 327, 336, 344, 346	K01, N01, T01, AF06, AF08, AF25, AA26, W26, A12, A11, A09, A07, A02, B02, E02, M02, AE02, AE05, AE10, AE14, AE21, AE25, AB25, U25, N25, F25, B25, B15, B09, C03, G03, H03, J03, N03, V03, AD03, AD08, AD12, AD13, AD17, AD18, AD19, AD24, W24, R24, P24, K24, J24, H24, C24, C19, C16, C14, C09, C06, F04, K04, P04, T04, AC06, AC15, AC16, AA23, M23, L23, D21, D13, D11	--	電源供給端子 (+ 3.3 V ± 5 %)。
GND	1, 7, 11, 14, 15, 25, 26, 32, 38, 40, 42, 47, 51, 54, 57, 63, 65, 67, 72, 75, 76, 86, 88, 89, 92, 96, 105, 110, 133, 140, 156, 163, 179, 185, 187, 196, 200, 205, 206, 217, 238, 268, 277, 281, 282, 284, 286, 291, 294, 296, 300, 302, 303, 305, 310, 311, 313, 315, 319, 321, 322, 324, 329, 330, 332, 334, 338, 341, 343, 348, 349, 351	A01, G01, L01, P01, R01, AE01, AF01, AF07, AF13, AF15, AF17, AF22, AF26, AC26, Y26, P26, M26, K26, E26, B26, A26, A16, A14, A13, A10, A06, F02, L02, AE11, AE18, T25, J25, B16, B10, B08, F03, K03, R03, T03, AD06, AA24, C12, D04, H04, J04, L04, N04, V04, AA04, AC04, AC08, AC10, AC11, AC13, AC18, AC19, AC21, AC23, W23, U23, T23, P23, J23, H23, F23, D23, D19, D16, D14, D09, D08, D06	--	グランド端子。

2.2.9 その他

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
IC	3, 4, 98, 103, 194, 254, 275, 278	C01, D01, A04, D02, D03, E24, C05, E04,	--	内部回路接続テスト用端子。 必ずオープンにしてください。

2.2.10 未使用端子の処置

設定モードに応じて発生する使用しない端子は、次のように処置してください。

端子名	処置
IC	オープン
RCLK_N, TCLK_N	グラウンドに接続
RCLK_P, TCLK_P	3.3Vにプルアップ
RXPLD[15:0], TXPLD[15:0]	3.3Vにプルアップ
CD	3.3Vまたは、5Vにプルアップ
RXCLK, RXENB_B, RXSEL_B, TXCLK, TXENB_B, TXSOC, TXSEL_B	グラウンドに接続
TXPRTY	オープン
CS_B	3.3Vまたは、5Vにプルアップ
MADD[7:0], DS_B, RW	グラウンドに接続
TSOHD[3:0], TSOHAV, TPOHD, TPOHAV,	グラウンドに接続
PIN[2:0]	オープン
TLAIS, TPAIS, TLRDI, TPRDI	グラウンドに接続
JCK, JMS, JDI, JRST_B	グラウンドに接続
各出力端子	オープン

2.2.11 端子の初期状態

端子名	リセット中	リセット直後	CD 端子 = L による 受信フレーム・ ブロックのリセット中	
TPCLK_N/TPCLK_P	リセットがかかりません。TCLK_N/P 入力に依存します。			
TXPLD15-TXPLD0	L	L		
TCS	リセットがかかりません。TCLK_N/P 入力に依存します。			
RCS	L	L		
RXCLK_O	リセットがかかりません。RXCLK 入力に依存します。			
RXSOC	L	L		
RXCLAV	L	L		
RXPRTY	RXDATA[31:0]のバリティ・ビットを出力しています。			
RXDATA31-RXDATA0	L	L		
TXCLK_O	リセットがかかりません。TXCLK 入力に依存します。			
TXCLAV	L	L		
PHINT_B	H	H		
MD15-MD0	入力モードになっています。(不定)			
ACK2S_B	H	H		
ACK3S_B	Hi-Z	Hi-Z		
TSOHCK	L	L		
TSOHFP	L	L		
TPOHCK	L	L		
TPOHFP	L	L		
RSOHCK	L	L		L
RSOHFP	L	L		L
RSOHD3-RSOHD0	L	L		L
RSOHAV	L	L		L
RPOHCK	L	L		L
RPOHFP	L	L	L	
RPOHD	L	L	L	
RPOHAV	L	L	L	
POUT4-POUT0	L	L		
B1ERS, B2ERS LAISS, LCDS LOFS, LOPS LOSS, LRDIS OOFs, PAISS PRDIS	L	LOPS,OOFs 以外 : L LOPS,OOFs : H	LOSS, OOFs, LOFS : 注 LOFS, LCDS : H B1ERS, B2ERS, LAISS, LRDIS, PAISS, PRDIS : L	
JDO	不定	不定		

★

★

注 CD = L にしても , LOS, OOF, LOF の検出回路にはリセットがかかりません。ライン側の入力状態に依存します。

[注 意]

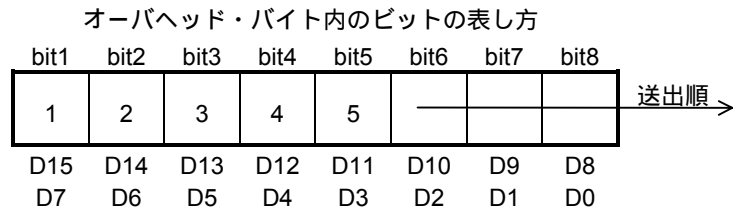
SONET/SDH フレームのデータ・ビット列は、ライン・インタフェース（回線側）から送出される時、MSB より順に送出されます。本ドキュメントでは、MSB は、すべての図表において左に配置されます。なお SONET/SDH フレームのオーバーヘッド・バイト（OH バイト）データ内の各ビットを示すとき、次のように 2 通りの呼び方で記述しています。注意してお読みください。

呼び方 bit1-bit8

主に SONET/SDH フレーム内オーバーヘッド・バイトのビット列を示すのに使用され、ライン・インタフェースからの出力順となっています。

呼び方 D7-D0 ビット

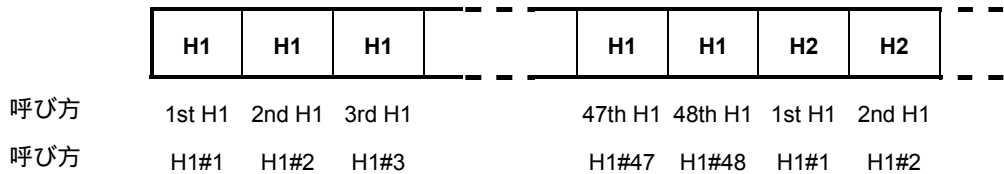
主に μ PD98414 内部のレジスタ内のビットを示すのに使用され、外部 CPU インタフェースの D15-D8 , D7-D0 端子に相当します。



内部レジスタ内ビットの表し方

（ D15 は、CPU インタフェースのデータ・バス MD15 から入出力します。 ）

SDH/SONET フレーム内での同一オーバーヘッド・バイトを示す場合についても、本ドキュメントでは次の 2 通りで記述しています。



第3章 機能説明

μ PD98414は、上位ATMレイヤ・デバイスとMUX/DEMUXデバイスの間に位置し、ATMプロトコルのうち、SONET/SDHベースの物理レイヤにおけるTCサブレイヤの機能を果たすLSIです。その主な機能は、ATMレイヤから受けるATMセルを2.4 Gbps SONET STS-48c/SDH STM-16フレームにマッピングし回線側へ出力する、また、受信SONET/SDHフレームからATMセルを抽出し、ATMレイヤへ出力することです。μ PD98414に対するモードの設定、コマンド発行、ステート・レジスタのポーリングなどは、マネージメント・インタフェースを介して行います。

図 3 - 1 μ PD98414 とその周辺ブロック

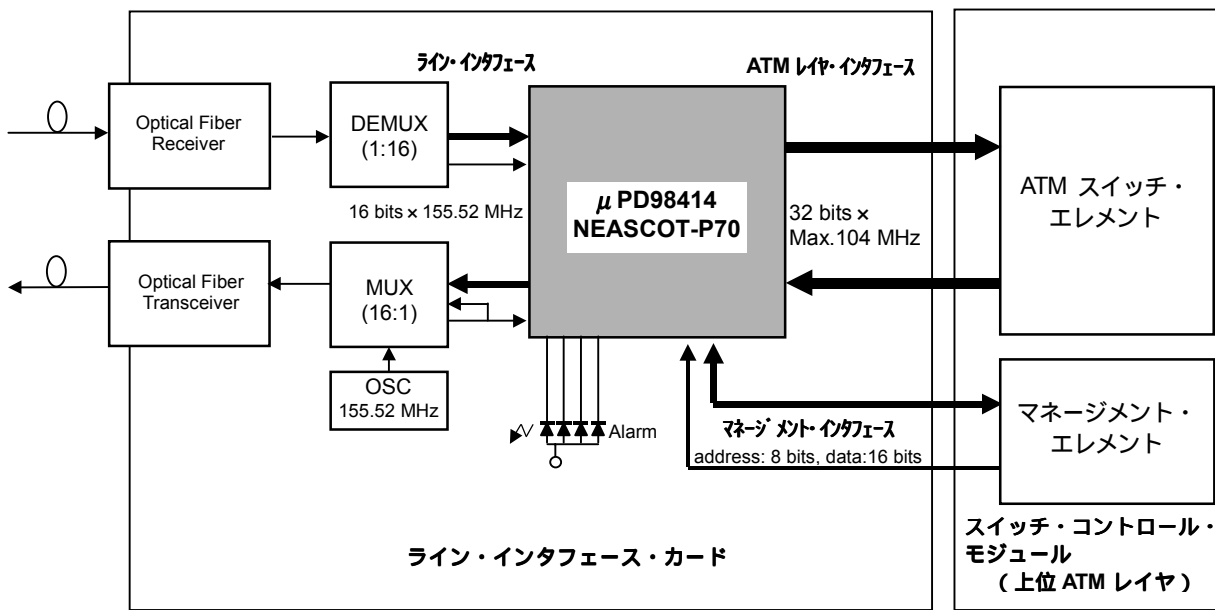
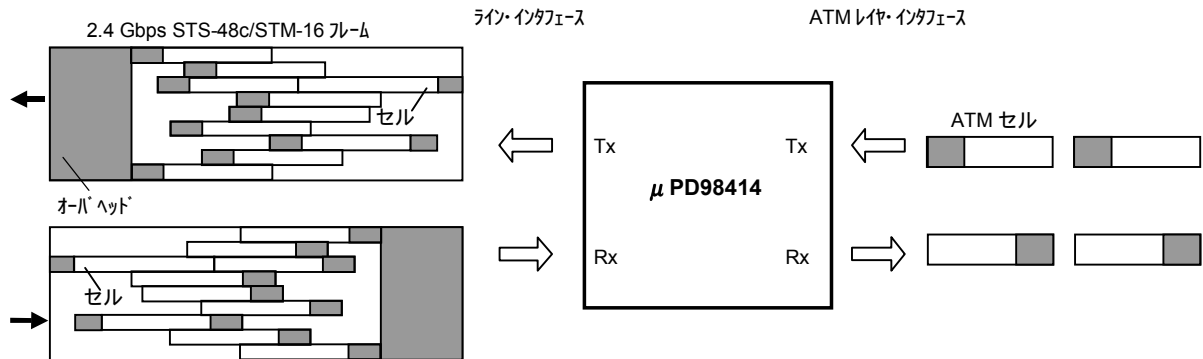
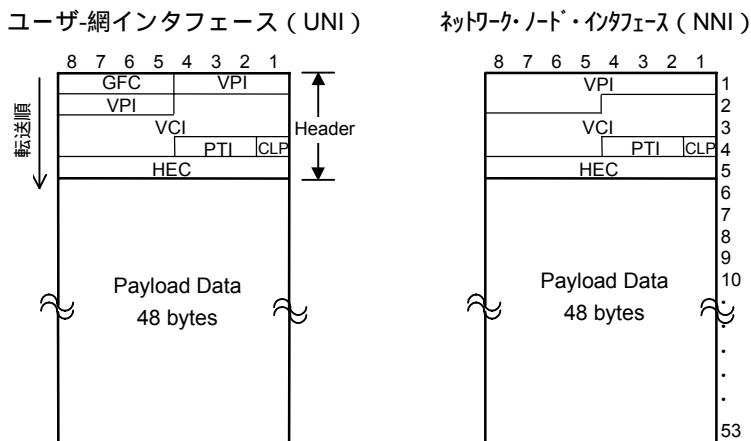


図 3 - 2 μ PD98414 の送受信データの流れ



ATM セル (ユーザ-網インタフェース) のフォーマットを図 3 - 3 に示します。ATM セルは、5 バイトのヘッダ部と 48 バイトのペイロード・データ部で構成されています。ユーザ-網インタフェース (UNI) の場合は、ヘッダ部分には GFC フィールド (4 ビット) がありますが、ネットワーク・ノード・インタフェース (NNI) では、対応するフィールドは VPI フィールドとして規定され、VPI フィールドが 12 ビット長になります。

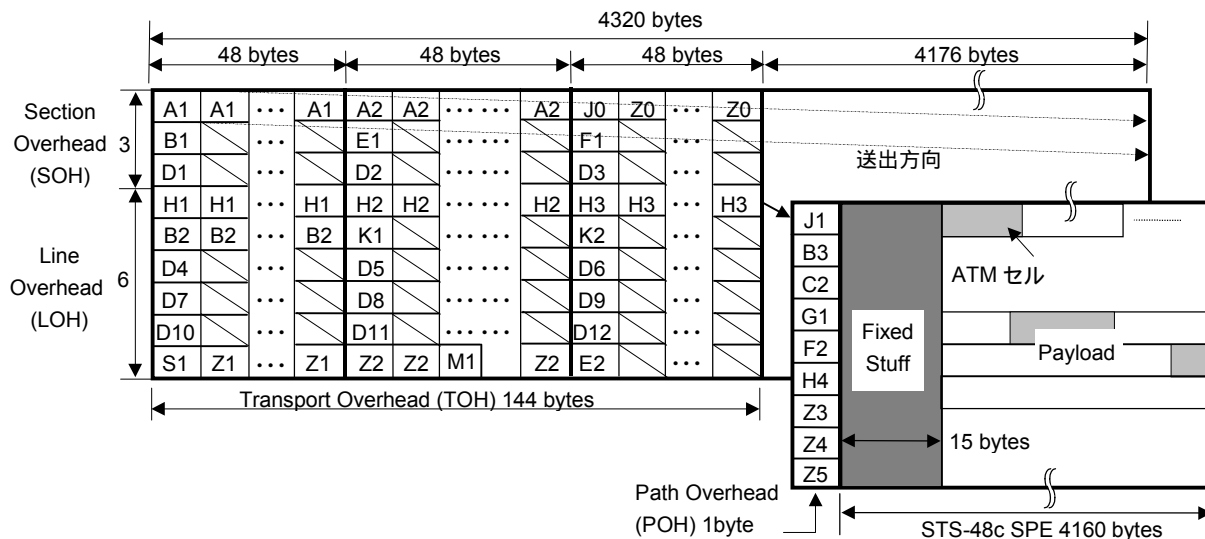
図 3 - 3 ATM セルの構造



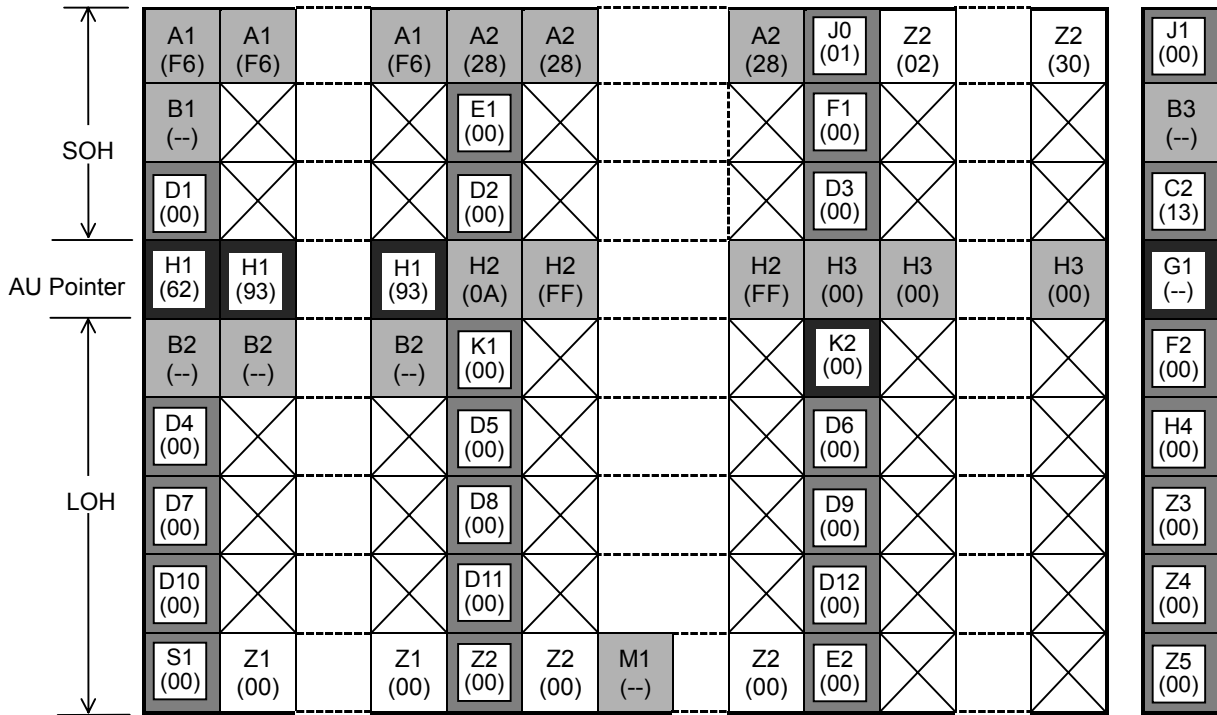
- GFC (Generic Flow Control) : 一般フロー制御
- VPI (Virtual Path Identifier) : バーチャルパス識別子
- VCI (Virtual Channel Identifier) : バーチャルチャネル識別子
- PTI (Payload Type Identifier) : ペイロード・タイプ識別子
- CLP (Cell Loss Priority) : セル損失優先表示
- HEC (Header Error Control) : ヘッダ誤り制御

μ PD98414 のサポートするフレームのフォーマットを図 3 - 4 に示します。コンカチネーション・フレームで、1 つの SPE (Synchronous Payload Envelope) を連結します。

図 3 - 4 送出フレームのフォーマット



オーバヘッド (OH) フィールド



備考 () 内 : デフォルト値 (H)

- : 外部からの書き換え不可能なバイト領域 (μ PD98414 が自動で設定)
- : レジスタ・ライトによって変更可能なバイト領域。
(OH バイトの外部挿入インタフェースからも変更可能。)
- : 一部のビットがレジスタ・ライトによって変更可能なバイト領域。
(H1 バイトは、SS ビットのみ書き換え可能。)
(K2, G1 はレジスタ設定とμ PD98414 自動設定の両方の動作あり。)
- : OH バイトの外部挿入インタフェースより変更可能なバイト領域。
- : 未使用バイト領域。デフォルトは 00H。
(OH バイトの外部挿入インタフェースからは変更可能。)

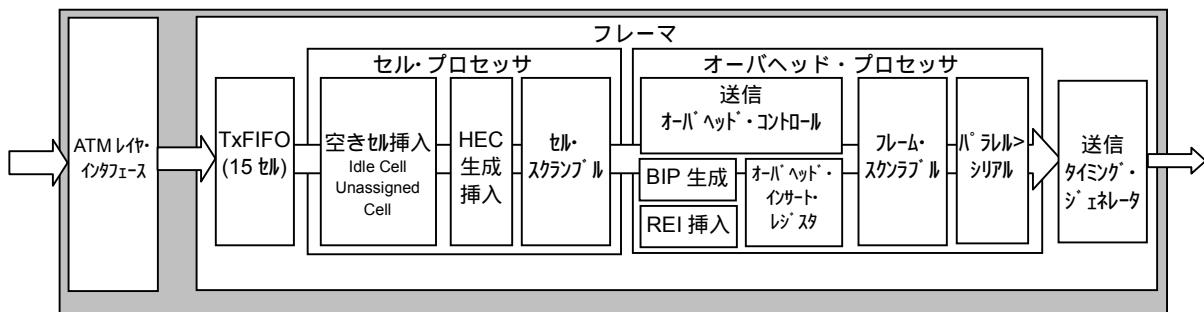


- | | | |
|--------------------|---------------------|-------------------|
| A1, A2 : フレーム同期 | B2 : BIP-24 | J1 : パス・トレース |
| J0 : セクション・トレース | K1 : 切り替え制御 | B3 : パス BIP-8 |
| Z0 : 予備 | K2 : セクション警報表示 | C2 : 信号ラベル |
| B1 : BIP-8 | D4-D12 : データ通信チャンネル | G1 : 誤り表示, パス状態 |
| E1 : オーダ・ワイヤ | S1 : 同期状態 | F2 : パス・ユーザ・チャンネル |
| F1 : ユーザ・チャンネル | Z1 : 予備 | H4 : 位置表示 |
| D1-D3 : データ通信チャンネル | Z2 : 予備 | Z3-Z5 : 予備 |
| H1, H2 : ポインタ | M1 : 誤り表示 | |
| H3 : ポインタ・アクション | E2 : オーダ・ワイヤ | |

3.1 送信機能

送信機能は、ATMレイヤ・インタフェースを介して上位ATMレイヤ・デバイスより受けるセルをSONET STS-48cフレームのペイロード部にマッピングし、ライン・インタフェース（回線側）より出力することです。ここでは、 μ PD98414のデータの処理の流れに基づいて送信機能の概要を説明し、各機能の詳細については後述します。

図3-5 送信処理の流れ概要



(1) ATM レイヤ・デバイスからのセル・データ受信

32-bit × Max.104 MHz の ATM レイヤ・インタフェースを介して上位 ATM レイヤ・デバイスよりセルを受け取り、15 セル分のサイズを持つ送信 FIFO に取り込みます。

送信 ATM レイヤ・インタフェースに関連するモード設定、機能として次の (a) ~ (d) の項目があります。ATM インタフェースの詳細については、4.1 ATM レイヤ・インタフェースを参照してください。

(a) 送信セルのフォーマット選択

TXDATA[31:0]に入力する送信セルのフォーマットとして、HEC フィールドを 1 ワード含まない 52 バイト・モードと、含む 56 バイト・モード、TAG フィールドを挿入する場合としない場合の複数のフォーマットをサポートしています。セルの挿入を開始する前に、MDR5 レジスタ (14H) への設定によってセル・フォーマットを合わせる必要があります。

(b) セル受け取り可能を通知する TXCLAV 信号のデアサート条件の設定

送信 FIFO に空き領域があるとき、TXCLAV 信号をアサートして次のセルを受け取れることを ATM レイヤ・デバイスに通知します。送信 FIFO がフルになって、次のセルを受け取れない場合は TXCLAV 信号をデアサートします。TXCLAV 信号をデアサートする送信 FIFO 内のセル数を、フルの 15 セルから、9, 10, 13 セル数に、MDR5 レジスタ (14H) の TCAV[1:0]ビットの設定によって変更することができます。この設定は、TXCLAV のデアサートを認識してから、すぐにセル転送を停止できない ATM レイヤ・デバイスと接続するのに有効です。

(c) 送信 FIFO オーバラン・エラーの検出

送信 FIFO に 15 セルが溜まり、フルになった状態で、なお 16 セル目が入力されようとする時、送信 FIFO オーバラン・エラーの検出として UEDR レジスタのビットをセットして通知します。16 セル目のデータは無視され、送信 FIFO に取り込みません。送信 FIFO に空き領域が発生するとオーバフローの検出を解除します。

(d) パリティのチェック

ATM レイヤ・インタフェースの送信側において、TXDATA[31:0]に入力されるセルのデータと TXPRTY に入力されるパリティ・ビットからパリティ検証を行います。検証する範囲は、入力セル 53 バイト(H1 ~ P48)の間です。セルが入力されていないときは検証しません。エラーを検出した場合、UEDR レジスタ (40-44H) の UPED ビットをセットして通知します。演算は、デフォルト・モードでは奇数パリティ演算ですが、オプションとして MDR5 レジスタ (14H) の UTPM ビットの設定を変更することで偶数に切り替えることができます。

また、自己動作のチェック機能として、送信 FIFO を通過する際にもデータのパリティ・チェックも行います。エラーを検出した場合、UEDR レジスタ (40-44H) の TRPD ビットをセットして通知します。

(2) HEC の生成・挿入

ATM セルのヘッダ 5 バイトのうち上位 4 バイトに対して次の多項式で CRC 演算を行い、この値に “55H” を加算した値を ATM ヘッダの 5 バイト目に挿入し HEC (Header Error Control : ヘッダ誤り制御) とします。

$$\text{多項式 } G(X) = X^8 + X^2 + X + 1$$

(3) 空きセルの挿入

ATM レイヤからセル・データが送られてこず、送信 FIFO 内のデータが 1 セル分に満たなくなったときは、空きセル(アイドル・セル)を生成して、データ・セルの間に挿入します。このとき挿入するセルは、MDR1 レジスタ (10H) の INVC ビットの設定変更によってアンアサインド・セル・フォーマットに切り替えることができます。 μ PD98414 が生成するアイドル・セル、アンアサインド・セルのそれぞれのフォーマットを図 3 - 6 に示します。

図 3 - 6 μ PD98414 が挿入する空きセルのフォーマット



(4) ATM セルのスクランブル

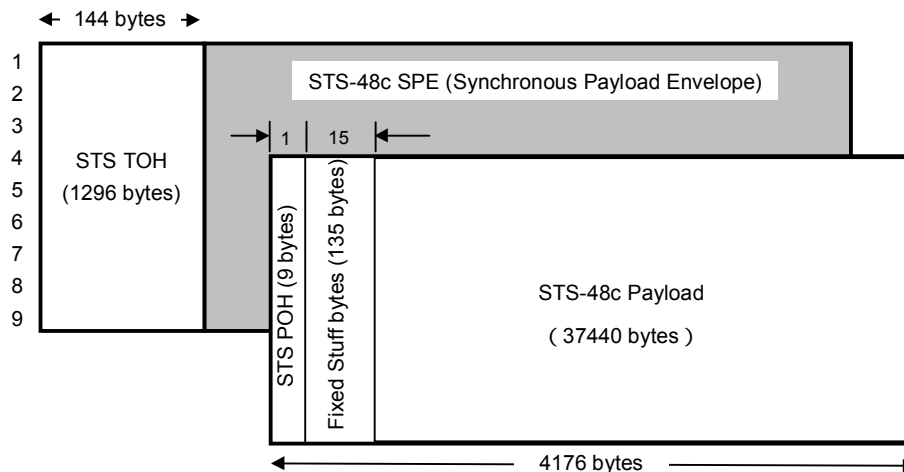
次の多項式で、ATM セルのデータに対してスクランブルを行います。スクランブルの範囲は、ATM セルの 48 バイトのペイロード部だけです。

$$\text{多項式 } G(X) = X^{43} + 1$$

また、ユーザはテスト時などのためにスクランブル停止モードを設定することができます。スクランブル停止モードは MDR4 レジスタの CSCE ビットで設定します。

(5) SONET フレームの生成

セル流は、SONETのSTS-48c SPEのペイロード領域にマッピングされ、パス・オーバーヘッド (POH) とトランスポート・オーバーヘッド (TOH) 情報を付加してSONET STS-48cフレームを生成します。セルの境界は、STS-48cのバイト境界に整合していますが、SPEペイロード容量 (37440 バイト) は、セル長 (53 バイト) の整数倍ではないため、セルは 2 個の別のフレーム上のSPEペイロード境界にまたがって存在することがあります。生成するフレームのフォーマットは、**図 3 - 4 送付フレームのフォーマット**を参照してください。

図 3 - 7 STS-48c SPE

μ PD98414 が生成するオーバーヘッドとそれに関する各種モードの切り替えは次のとおりです。

(a) 未使用 OH バイトの内容切り替え

TOH のうち次の 4 領域には (図 3 - 8 のハッチングの領域) にオール 00H が挿入されます。MDR1 レジスタ (10H) の設定変更によって、挿入値を FFH に変更することができます。

未使用バイト領域 (図 3 - 8 中の マークの領域)

H3 バイト (Negative Stuff バイト)

Z1, Z2 バイト (1st Z2 バイトは除きます)

★

★

図3-8 未使用 OH バイト

A1 (F6)	A1 (F6)		A1 (F6)	A2 (28)	A2 (28)		A2 (28)	J0 (01)	Z0 (02)		Z0 (30)	J1 (00)	Fixed Stuff
B1 (-)				E1 (00)				F1 (00)				B3 (-)	
D1 (00)				D2 (00)				D3 (00)				C2 (13)	
H1 (62)	H1 (93)		H1 (93)	H2 (0A)	H2 (FF)		H2 (FF)	H3 (00)	H3 (00)		H3 (00)	G1 (-)	
B2 (-)	B2 (-)		B2 (-)	K1 (00)				K2 (00)				F2 (00)	
D4 (00)				D5 (00)				D6 (00)				H4 (00)	
D7 (00)				D8 (00)				D9 (00)				Z3 (00)	
D10 (00)				D11 (00)				D12 (00)				Z4 (00)	
S1 (00)	Z1 (00)		Z1 (00)	Z2 (00)	Z2 (00)	M1 (00)		Z2 (-)	E2 (00)			Z5 (00)	

備考 未使用 OH バイト領域には、OH インタフェースからも任意の値を挿入することができます。OH インタフェースからのバイト・データ挿入は、本モードの変更よりも優先されて挿入されます。

(b) Fixed Stuff バイト

SPE の 2 列 ~ 16 列は、Fixed Stuff バイトです。デフォルト・モードではオール FFH が挿入されます。MDR1 レジスタ FSBA ビットの設定変更により、オール 00H に切り替えることができます。

(c) Z0 の 16 バイト目以降の挿入値変更

デフォルト・モードでは、47 の Z0 バイトには、02H ~ 30H が順に格納されます。MDR1 レジスタ (10H) のビット設定を変更することで、Z0 バイトの 16 バイト目以降から 47 バイト目までに AAH に変更することができます。

図3-9 Z0 バイトの挿入値

	← 16 バイト							← 32 バイト														
	J0	Z0	Z0	Z0	Z0	Z0		Z0	Z0	Z0	Z0	Z0	Z0		Z0	Z0	Z0	Z0	Z0	Z0	Z0	Z0
	0	1	2	3	4	5		14	15	16	17	18	19		41	42	43	44	45	46	47	
デフォルト	01	02	03	04	05	06	..	0F	10	11	12	13	14	..	2A	2B	2C	2D	2E	2F	30	
AA モード	01	02	03	04	05	06	..	0F	10	AA	AA	AA	AA	..	AA	AA	AA	AA	AA	AA	AA	

(d) ポインタの生成

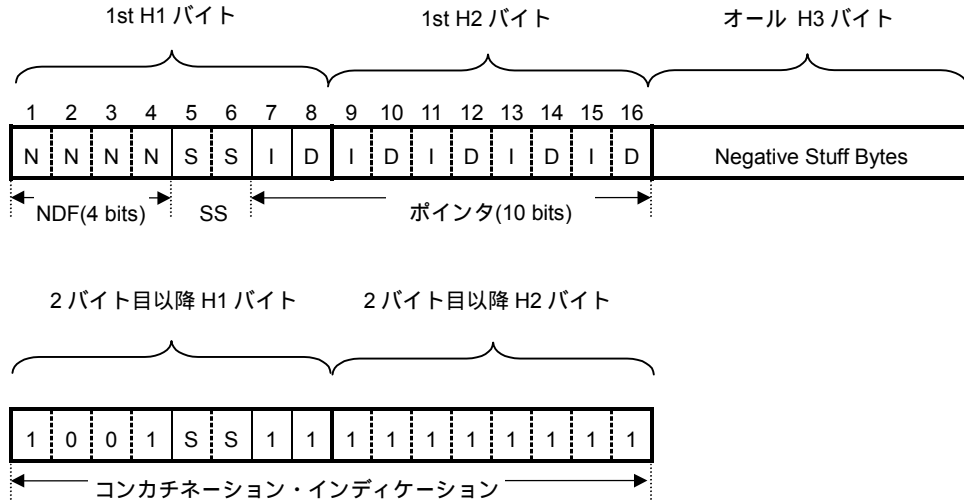
TOH の 4 行目に位置し、H1、H2 および H3 の 3 種類のバイトからなるポインタは、SPE の先頭バイト (POH の J1 バイト) の位置を識別するアドレスとして用いられます。

μPD98414 が送出するフレームは、POH (パス・オーバーヘッド) の位置を変化させることはなく、J1 バイトの位置も変動することはありません。したがって H1、H2 バイトに格納するポインタ値は常に 20AH = "1000001010" で、NDF も "0110" のディスエーブル指示に固定されています。

H1 バイトの bit5、bit6 に当たる SS ビットは、デフォルトでは、"00" が格納され、MDR1 レジスタの SST1、SST0 ビットに設定することで変更することができます。

また、送信側では、Frequency Justification (スタッフ動作) を要求することがないため、Negative Stuff バイトとして用いられる H3 バイトには、ペイロード・データを設定することはなく、オール 0 を常に格納して送出します。

図3-10 ポインタ (H1-H3 バイト) のフォーマット



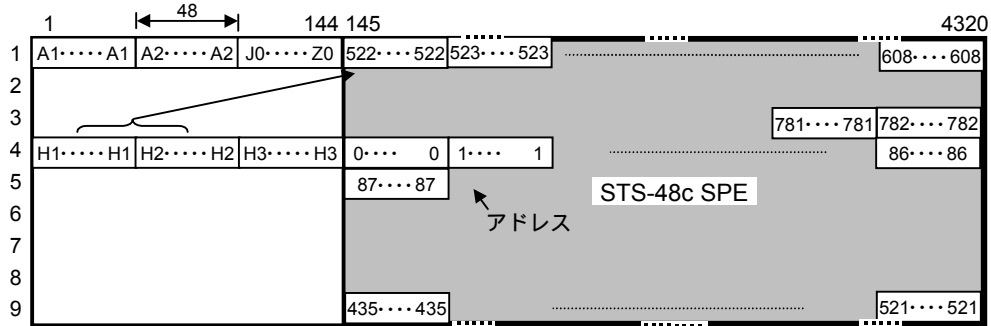
- NDF : New Data Flag。ポインタ値を変更する場合のイネーブル / ディスエーブル指示。
 μPD98414 は、ポインタ値を変更しないのでディスエーブル “0110” を固定送出。
 (NDF Enable=1001, NDF Disable=0010, 0110, 0100, 0111, 1110)
- SS ビット : SPE の種別表示。μPD98414 は MDR1 レジスタ (10H) の SST ビットに設定されたビットを挿入します。デフォルト値は “00” です。
- ポインタ : POH の先頭バイト J1 の位置表示, および Frequency Justification 動作の要求指示。
 I (Increment ビット) : Positive Justification 動作要求
 D (Decrement ビット) : Negative Justification 動作要求
- コンカチネーション・インディケーション: 連結表示

μPD98414 の送出する H1-H3 バイトの内容

	H1 バイト	H2 バイト	H3 バイト
1st バイト	0110 <u>SS</u> 10	0000 1010	0000 0000
2nd 以降	1001 <u>SS</u> 11	1111 1111	0000 0000

備考 ポインタ値は、0~782 の範囲の 2 進数で、SPE の先頭バイト (J1) のアドレスを示します。STS-48c では、図 3-11 に示すようにオフセット・アドレス値は 48 バイトごとに増加します。たとえば、ポインタ値が 0 である場合には、SPE が H3 バイトの直後のバイト位置から始まることを示し、522 (20AH) である場合には、2nd Z0 の直後の位置から始まることを示します。

図3-11 ポインタのオフセット値



(e) BIP 生成

オーバーヘッドの B1, B2, B3 バイトは、フレームの誤り監視に用いられます。μ PD98414 は、送信フレーム・データについて BIP (Bit Interleaved Parity) 演算を行い、演算結果を次のオーバーヘッドのうち、B1, B2, B3 バイトに相当する位置に挿入します。

(f) REI 送出

受信側で BIP エラーが生じているかどうかを、送信先装置に通報します。受信フレームで B2 エラーを検出すると、その誤り数を Line REI (Remote Error Indication) として M1 に、B3 エラーを検出すると、その誤り数を Path REI として G1 (bits1-4) に格納し送出します。

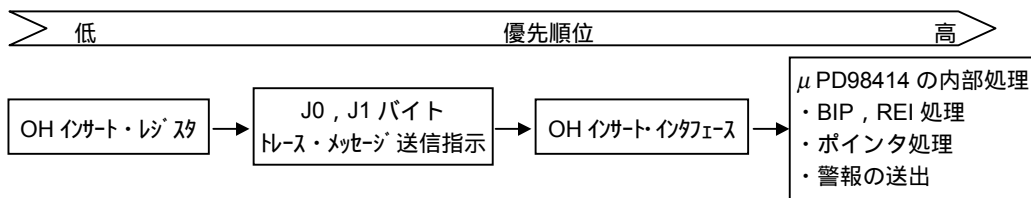
BIP の生成、および REI の送出については、3. 3. 4 (1) 送信パフォーマンス・モニタリング関連機能で詳しく説明していますので、参照してください。

(6) 送信 OH バイトのインサート機能

μ PD98414 は、送信フレームの OH バイトの内容を設定する手段として次の 3 種類を提供しています。

- ・ OH インサート・レジスタ
- ・ OH インサート・インタフェース
- ・ J0/J1 バイト・トレース・メッセージの設定

同じ OH バイトに対して、複数の手段で設定された場合の優先順位は次のとおりです。



(a) OH インサート・レジスタの設定

μ PD98414 は、オーバーヘッドのうち下記のバイト領域に対して、任意の値を設定して送出するためのインサート用レジスタを備えています。マネージメント・インタフェースを介してインサート・レジスタに設定することにより、任意の値を送出できます。設定するまでは、レジスタのデフォルト値を送出します。インサート・レジスタの詳細については、**3.4 オーバヘッドのインサート/ドロップ機能**で説明しています。

・インサート・レジスタを持つ OH バイト

TOH : K1, K2, E1, E2, F1, D1 ~ D3, D4 ~ D12, J0, S1, 1st Z2

POH : J1, C2, F2, G1, H4, Z3, Z4, Z5

このうち、K2 (bits6-8), G1 (bits1-4)については、 μ PD98414 が警報を送出する必要がある場合には、 μ PD98414 が内部で行う警報処理が優先されて送出されます。

(b) OH インサート・インタフェース

μ PD98414 は、周辺デバイスから送信 TOH と POH の OH バイト内容を設定するための入力インタフェースを備えています。周辺デバイスは、 μ PD98414 が与えるタイミング信号に合わせて、TOH バイトは、25.92 MHz の速度で 4-bit パラレル・インタフェースに入力し、POH バイトは、576 kHz の速度でシリアル・インタフェースに入力します。次に挙げる 10 バイト以外のすべての OH バイトに入力することができます。

・変更できない OH バイト : A1, A2, B1, B2, B3, H1, H2, H3, G1 (bits1-4), M1

(これら 10 バイトにおいては、入力するタイミングはありますが、入力しても μ PD98414 が内部処理において上書きして出力するため、変更することはできません。)

詳細については、**4.3 オーバヘッド・インサート/エクストラクト・インタフェース**で説明しています。

(c) J0, J1 トレース・メッセージの設定

SOH の J0 バイトと POH の J1 バイトのそれぞれに、16 もしくは、64 バイト長のトレース・メッセージを設定して送出する機能を備えています。

J0 : セクション・トレース・メッセージ

J1 : パス・トレース・メッセージ

送信メッセージは、マネージメント・インタフェースを介して μ PD98414 内のバッファに設定します。コマンドを発行すると、 μ PD98414 は、メッセージをバイトごとに J0, J1 バイトの位置に設定し送出します。

(7) フレームのスクランブル

送信するフレームに対し次の多項式でスクランブルをします。スクランブルは、フレームの先頭から9バイト“A1(48)・A2(48)・J0(1)・Z0(47)”の計144バイトを除いたすべての範囲に対して行います。

$$\text{多項式 } G(X) = 1 + X^6 + X^7$$

また、ユーザはテスト時などのためにスクランブルを停止させることができます。スクランブルの停止は、MDR4レジスタのFSCEビットで設定します。

(8) ライン・インタフェースへのフレーム出力

生成したフレーム・データを TCLK_N/TCLK_P に入力される 155.52 MHz のクロックに同期して 16-bit パラレル・データとしてライン・インタフェースより回線側へと出力します。

(9) 警報の送出

必要に応じて CMR1 レジスタにコマンド設定することにより、Line AIS、Path AIS、Line RDI、Path RDI の警報情報を送信フレームの所定のオーバーヘッド領域に挿入し送出することができます。

また、Line RDI、Path RDI の警報情報においては、受信側の回線状態に応じて自動的に送出することができます。この自動送出機能は、MDR1 レジスタへの設定によってマスクすることもできます。警報送出の詳細は、**3.3.1 警報の送出**で説明しています。

(10) エラーを発生させる疑似フレームの送出

テスト用に、対向受信装置にエラーを検出させる疑似フレームを送出する機能があります。CMR4 レジスタに設定することにより、各種疑似フレームの送出を開始します。疑似エラー・フレームの送出機能の詳細は、**3.7 テスト用疑似フレームの送出機能**で説明しています。

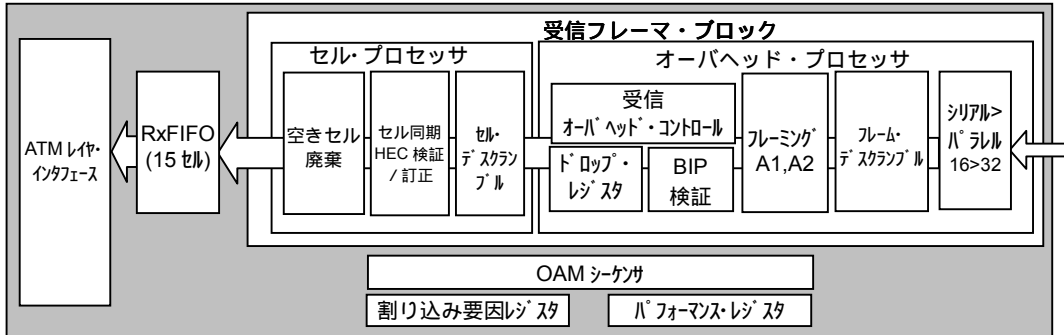
・生成する疑似フレームの種類

LOS	OOF/LOF	LOP	OCD/LCD
B1 エラー	B2 エラー	B3 エラー	
Line REI	Path REI		

3.2 受信機能

受信機能は、ライン・インタフェースより受ける SONET STS-48c フレームから ATM セルを抽出し、ATM レイヤ・インタフェース側に出力して ATM レイヤ・デバイスに渡します。

図 3 - 12 受信処理の流れ

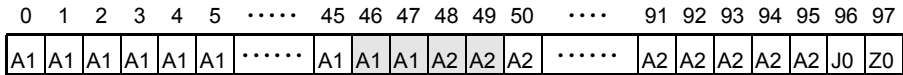


(1) フレーム同期の確立

受信データのビット列から、A1、A2 バイトの同期パターンを検出して、フレーム同期を確立します。
 μ PD98414 は、1 フレームごとに 48 バイトずつ受ける A1 と A2 バイトの境界の前後 2 バイト (A1 A1 A2 A2) の 4 バイトを検出すると、次のフレームの A1、A2 バイト位置にあたるビット列を調べ、再度同期パターンに一致すると、フレーム同期状態 (In frame) になります。

フレーム同期パターン：4 バイト (A1 A1 A2 A2)

A1=11110110 (F6H), A2=00101000 (28H)



フレーム同期状態においても、受信フレーム A1、A2 バイト (4 バイト) の位置にあたるビット列をモニタし続け、同期パターンと異なるパターンを 4 回連続で検出すると、フレーム同期外れ (Out Of Frame : OOF) 状態になります。

In frame 状態になるまでのフレーム数 (後方保護段数)、OOF 状態になるまでのフレーム数 (前方保護段数) は、MDR3 レジスタの設定変更によって変更することができます。

表 3 - 1 フレーム同期の前後保護段数

前方保護段数	MDR3 レジスタ OOFB[1:0]	後方保護段数	MDR3 レジスタ OOFA[1:0]
3	00	1	00
4 (デフォルト)	01	2 (デフォルト)	01
5	10	3	10
6	11	4	11

OOF 状態が 3 ms 継続すると、Loss Of Frame (LOF) 状態になります。OOF 状態を抜けた状態が 3 ms 継続すると LOF は解除されます。LOF の検出解除時間、3 ms は、MDR3 レジスタの LOFM ビットの設定によって 0 ms に変更でき、OOF、LOF の検出解除条件を同じにすることができます。

また、25 μ s 時間の間、RXPLD[15:0]に入力される信号が変化しなかったときは、Loss Of Signal (LOS) 状態になります。LOS 状態になると、強制的に OOF 状態になります。LOS 状態は、OOF が解除したときに、同時に解除されます。

表 3 - 2 OOF , LOF , LOS 検出条件

	検出条件	解除条件
OOF	前方保護段数 回連続でフレーム同期パターンを検出できないとき。 LOS 状態になったときは、強制的に OOF になります。	後方保護段数 回連続でフレーム同期パターンを検出したとき。
LOF	OOF が 3 ms 継続したとき。 MDR3 レジスタ LOFM ビットが 1 の場合、OOF の検出と同時	OOF 状態から抜けた状態が 3ms 継続したとき。 MDR3 レジスタ(12H)LOFM ビットが 1 の場合、OOF の解除と同時
LOS	25 μ s 時間の間、RXPLD[15:0]入力信号が変化しなかったとき。 (MDR1 レジスタの CDS ビットが 1 の場合は、CD 端子がロウになったときも LOS 状態を報告)	OOF 状態の解除と同時に解除

(2) 受信フレームのデスクランブル

フレーム同期確立後、受信フレームを次の多項式でデスクランブルします。デスクランブルは、フレームの先頭 144 バイト分 “ A1 (48) · A2 (48) · J0 (1) · Z0 (47) ” を除いたすべての範囲に対して行います。

$$\text{多項式 } G(X) = 1 + X^6 + X^7$$

テスト時のために、フレームのデスクランブルをディスエーブルにするオプション・モードがあります。設定は、MDR4 レジスタ (13H) の FSCE ビットに行います。

(3) ポインタ処理

デスクランブルした受信フレームから H1, H2 バイトを抽出して、次の処置を行います。

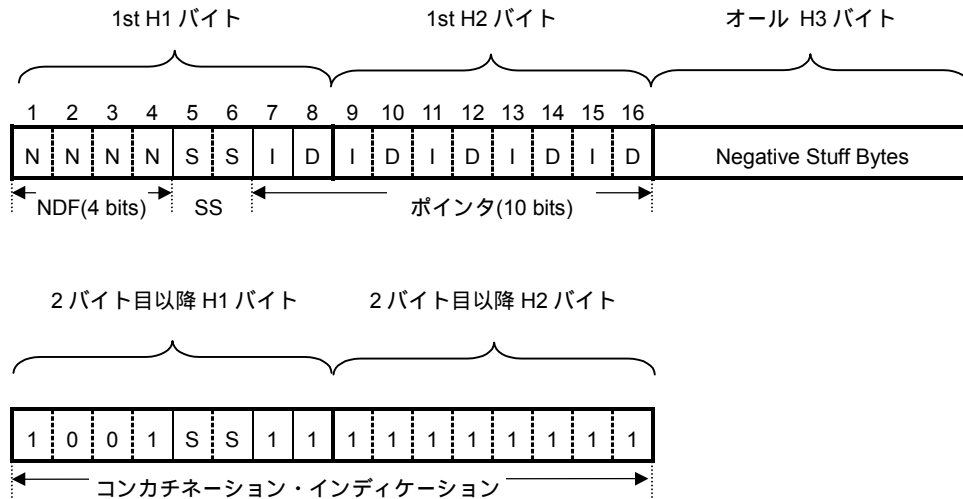
ポインタ値の抽出

Frequency Justification 動作

ポインタ同期状態の監視

ポインタのフォーマットは、**図 3 - 10 ポインタ (H1-H3 バイト) のフォーマット**、**図 3 - 11 ポインタのオフセット値**を参考にしてください。

図3-13 ポインタのフォーマット



NDF : New Data Flag。ポインタ値を変更する場合のイネーブル/ディスエーブル指示。

- ・ NDF Enable = ポインタ値の変更を要求
4ビット中、3ビット以上が 1001 に一致したとき (1001,1000,1011,1101,0001)
- ・ NDF Disable = ポインタ値の変更を要求しない
4ビット中、3ビット以上が 0110 に一致したとき (0010, 0110, 0100, 0111, 1110)

SS ビット : SPE の種別表示。

ポインタ : POH の先頭バイト J1 の位置表示, および Frequency Justification (スタッフ動作) の指示。

- I (Increment ビット) : Positive Justification 動作要求
- D (Decrement ビット) : Negative Justification 動作要求

コンカチネーション・インディケーション : 連結表示

(a) 状態遷移

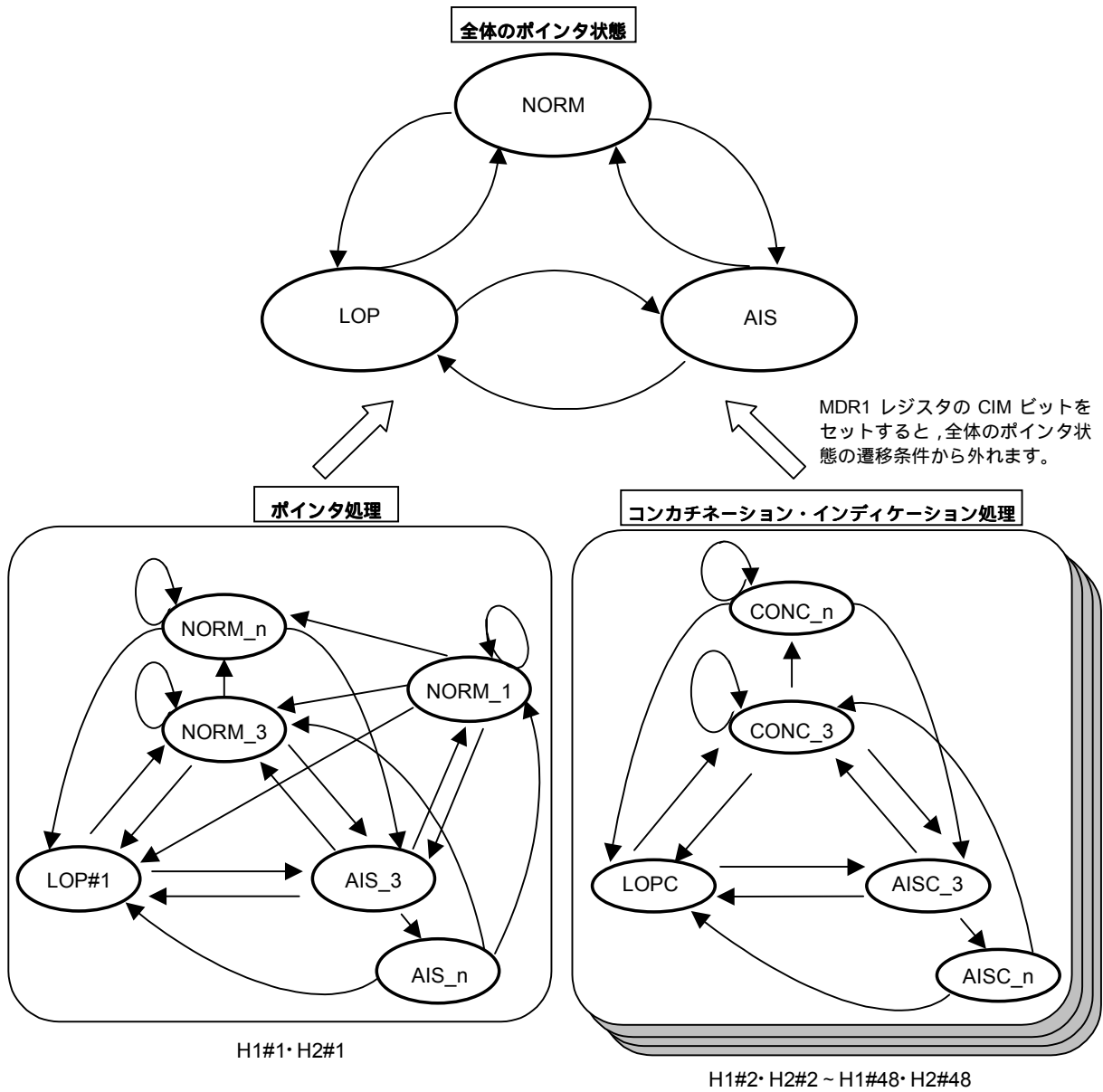
受信ポインタは、抽出する H1, H2 バイトの値によって、図3-14 の NORM, LOP, AIS の3つの状態に分類できます。

全体のポインタの状態遷移は、さらに H1#1・H2#1 のポインタ処理による状態遷移と、H1#2・H2#2 から H1#48・H2#48 のコンカチネーション・インディケーション処理による個々の状態遷移を、それぞれ独立して監視した結果を、遷移条件としています。

ただし、MDR1 レジスタ (10H) の CIM ビットのセットによって、H1#2・H2#2 ~ H1#48・H2#48 は無視し、H1#1・H2#1 のみをポインタ状態の遷移条件にすることができます。

図3-14 ポインタの状態遷移

- NORM 状態 : 受信したポインタが正常で、正常に受信できている状態。
- AIS 状態 : 上流の装置または伝送路で異常が発生し、正常に受信できていない状態。
- LOP 状態 : 受信したポインタ値が異常で、正常に受信できない状態。



(b) H1#1・H2#1 のポインタ処理

H1#1・H2#1 バイトから、抽出した NDF、SS ビット、ポインタ値により表 3 - 3 に示すインディケーションとして解釈します。

表 3 - 3 ポインタの解釈

	インディケーション	NDF	SS ビット	ポインタ
★	1 normal_point	Disable	Don't Care ^{注1} or 期待値に一致	現在のポインタと同じポインタで、かつ 0 ~ 782 の範囲
	2 NDF_enable ^{注2}	Enable	Don't Care ^{注1} or 期待値に一致	0 ~ 782 の範囲
	3 AIS_ind	1111	11	オール 1
	4 inc_ind ^{注3}	Disable	Don't Care	1 ビットが 3 ビット以上反転, かつ D ビット 3 ビット以上反転なし
	5 dec_ind ^{注3}	Disable	Don't Care	1 ビットが 3 ビット以上反転なし, かつ D ビットが 3 ビット以上反転
★	6 new_point	Disable	Don't Care or 期待値に一致	0 ~ 782 の範囲のポインタ ^{注4}
	7 inv_point	上記 1 ~ 5 に当てはまらないケース		

注 1. ポインタの解釈に SS ビットをチェックするかどうかは、MDR1 レジスタの SSM ビットで切り替えられ、照合する期待値は、同レジスタの SSR[1:0] ビットに設定できます。デフォルト設定では、SS ビットをチェックしないモードになっています。

- ★ 2. 過去 3 フレーム以内に NDF_enable, inc_ind および dec_ind を受信していないことを条件とします。ただし、この条件は、MDR3 レジスタの NDFREC ビット (NDF_enable の場合)、FJREC (inc_ind, dec_ind の場合) の設定により無効にできます。
- ★ 3. 過去 3 フレーム以内に NDF_enable, inc_ind および dec_ind を受信していないことを条件とします。ただし、この条件は、MDR3 レジスタの NDFREC ビット (NDF_enable の場合)、FJREC (inc_ind, dec_ind の場合) の設定により無効にできます。
- ★ 4. new_point で、現在ポインタと異なる point を受信した場合は、inv_point として扱います。

備考 競合条件は次のとおりです。

- ・ NDF_enable と inc_ind, dec_ind が競合したとき NDF enable を優先します。
- ・ inc_ind と dec_ind が競合したとき Frequency Justification 動作は無効とします。
- ・ Frequency Justification 動作要求と判断したが、実は新ポインタへの変更だったとき Frequency Justification 動作後、新ポインタへ移行します。

表 3 - 4 に H1#1・H2#1 のポインタ処理による状態遷移条件、図 3 - 15 にその状態遷移図を示します。

★ 図3-15 H1#1・H2#1 のポインタ処理の状態遷移

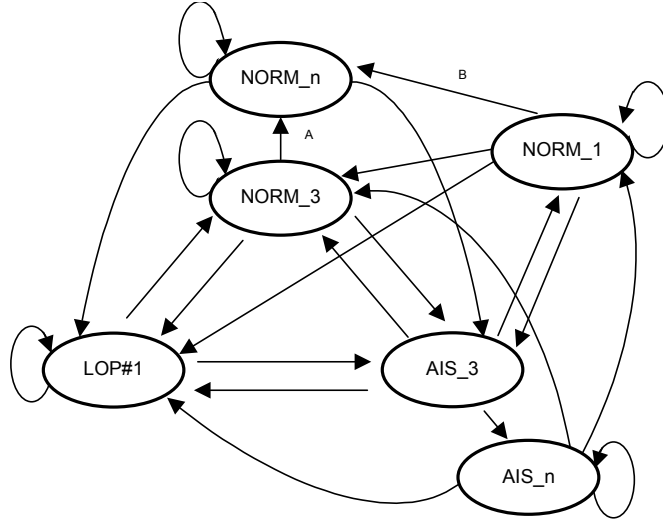


表3-4 H1#1・H2#1 のポインタ処理の状態遷移条件

遷移	遷移内容	条件 (複数ある場合は, OR 条件)
★	NORM_n AIS_3	AIS_ind を 3 回連続受信
	NORM_3 AIS_3	
	NORM_1 AIS_3	
	LOP#1 AIS_3	
★	NORM_3 LOP#1	・inv_point を n 回連続受信 ^{注1}
	NORM_n LOP#1	・NDF_enable を 9 回連続受信
	NORM_1 LOP#1	
★	AIS_3 NORM_3	SS ビットを参照しない場合
	AIS_n NORM_3	・new_point を 3 回連続受信 (同じ値)
	LOP#1 NORM_3	SS ビットを参照する場合 ・new_point かつ SS ビットが期待値に一致を 3 回連続受信 (ポインタ値は同じ値)
★	AIS_n NORM_1	NDF_enable を 1 回受信
	AIS_3 NORM_1	
★	AIS_n LOP#1	・inv_point を n 回連続受信 ^{注1}
	AIS_3 LOP#1	・NDF_enable を 9 回連続受信
	LOP#1 LOP#1	
★	A NORM_3 NORM_n	NORM_3 を (n-3) フレーム間継続
★	B NORM_1 NORM_n	NORM_3 に遷移して, NORM_3 を (n-3) フレーム間継続
★	AIS_3 AIS_n	AIS_ind を合計 n 回以上連続 ^{注1,2}
	AIS_n AIS_n	
★	NORM_1 NORM_1	・norm_point を受信
	NORM_3 NORM_3	・NDF_enable を 1 回受信
	NORM_n NORM_n	・new_point を 3 回受信 ・inc_ind を 3 回連続受信 ・dec_ind を 3 回連続受信
★	NORM_1 NORM_3	norm_point を 3 回受信

注1. n: デフォルトでは, 受信回数は 9 回に設定されていますが, 8 回, 10 回に変更することができます。変更は, MDR6 レジスタの PROTN[1:0]ビットへの設定によって行います。

2. NORM_1, NORM_3, NORM_n, LOP#1 から遷移してくるための AIS_ind の 3 回受信と合わせて n 回です。

(c) Frequency Justification 動作

表 3 - 3 における 4. inc_ind , 5. dec_ind のインディケーションを受信すると , ポインタの 1 ビット , D ビットの反転を多数決判定して行う Frequency Justification 動作を実行します。

ただし , 過去 3 フレーム以内に , inc_ind , dec_ind , NDF_enable を受信していないことが条件です。受信している場合には , inv_point になります。この条件は , MDR3 レジスタへの FJREC ビットへの設定で無効にすることができます。

・ inc_ind : Positive Justification

NDF = Disable で , 新たなポインタにおいて , 1 ビット : 3 ビット以上 , あるいは D ビット : 2 ビット以下が反転していることを検出した場合 , ポインタ 0 番地のバイト (Positive Stuff バイト) をペイロード・データとして受信しません。

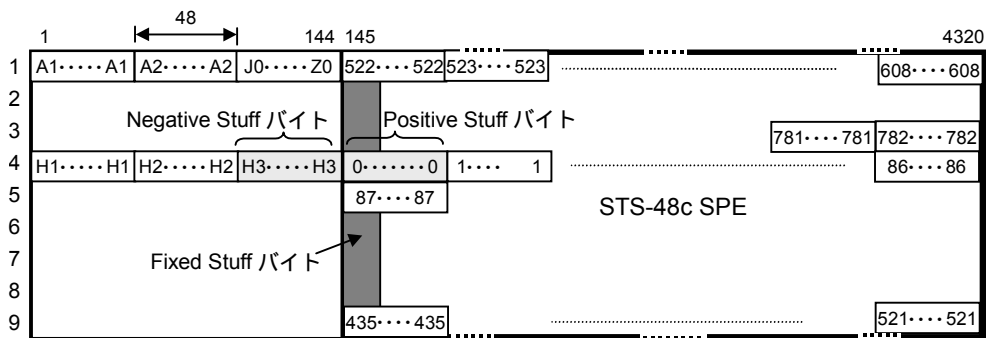
・ dec_ind : Negative Justification

NDF = Disable で , 新たなポインタ値において , 1 ビット : 2 ビット以下 , あるいは D ビット : 3 ビット以上が反転していることを検出した場合 , H3 バイト領域をペイロード・データとして受信します。

・ inc_ind と dec_ind が競合した場合 , Frequency Justification 動作は無効とします。

・ Frequency Justification 動作のあとは , 指定された新ポインタへ移行します。

スタッフ・バイト



(d) コンカチネーション・インディケーション処理

H1#2・H2#2 ~ H1#48・H2#48 は , H1#m・H2#m のそれぞれの組で独立してチェックされます。それぞれから抽出する NDF , SS ビット , ポインタの値は次のインディケーションに分類して解釈します。

表 3 - 5 コンカチネーション・インディケーションの解釈

	インディケーション	NDF	SS ビット	ポインタ
1	conc_point	1001	Don't Care	1111 1111 11
2	AIS_ind	1111	11	1111 1111 11
3	inv_point	上記 1 , 2 に当てはまらないケース		

図3-16 コンカチネーション・インディケーションの状態遷移

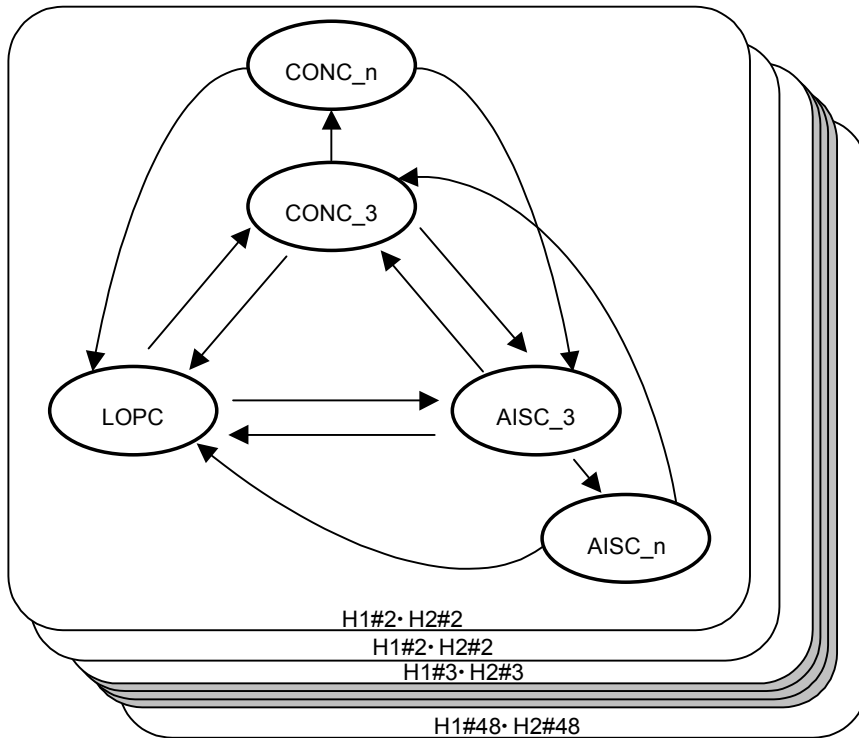


表3-6 コンカチネーション・インディケーションの状態遷移条件

遷移	遷移内容	条件 (複数ある場合は、OR条件)
	CONC_n AISC_3	AIS_ind を 3 回
	CONC_3 AISC_3	
	LOPC AISC_3	
	CONC_3 LOPC	inv_point を n 回連続受信 ^{注1}
	CONC_n LOPC	
	AISC_n LOPC	
	AISC_3 LOPC	
	AISC_3 CONC_3	CONC_ind を 3 回連続受信
	AISC_n CONC_3	
	LOPC CONC_3	
	NORM3 CONC_n	CONC_ind を合計 n 回以上連続受信 ^{注1,2}
	AISC_3 AISC_n	AIS_ind を合計 n 回以上連続 ^{注1,2}

注1. n: デフォルトでは、受信回数は9回に設定されていますが、8回、10回に変更することができます。変更は、MDR6レジスタのPROTN[1:0]ビットへの設定によって行います。

- LOPC, AIS_3, AIS_n から遷移してきたときの CONC_ind の3回受信と合わせての合計 n 回。
CONC_3, CONC_n, LOPC から遷移してきたときの AIS_ind の3回受信と合わせての n 回。

(e) 全体のポインタ状態

全体のポインタの状態遷移は、H1#1・H2#1 のポインタ処理による状態遷移と、H1#2・H2#2 から H1#48・H2#48 のコンカチネーション・インディケーション処理による個々の状態遷移を、それぞれ独立して監視した結果を、遷移条件とします。MDR1 レジスタの CIM ビットのセットによって、H1#2・H2#2 ~ H1#48・H2#48 は無視し、H1#1・H2#1 のみがポインタ状態の遷移条件になります。

図 3 - 17 全体のポインタ状態遷移

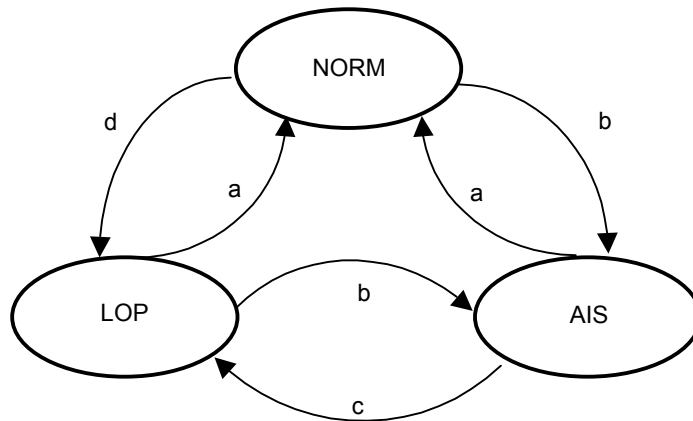


表 3 - 7 全体のポインタ状態遷移条件 (MDR1 レジスタ CIM ビット=0 のとき)

遷移	遷移内容		条件
★ a	LOP	NORM	H1#1・H2#1 ~ H1#48・H2#48 のすべてで [NORM_3 or NORM_n or NORM_1] and [CONC_3 or CONC_n]
	AIS	NORM	
★ b	LOP	AIS	H1#1・H2#1 ~ H1#48・H2#48 のすべてで [AIS_3 or AIS_n] and [AISC_3 or AISC_n]
	NORM	AIS	
c	AIS	LOP	H1#1・H2#1 ~ H1#48・H2#48 のいずれかで LOP#1 or LOPC or NORM_n or CONC_n ただし、遷移 a が優先します。
★ d	NORM	LOP	H1#1・H2#1 ~ H1#48・H2#48 のいずれかで LOP#1 or LOPC or AIS_n or AISC_n ただし、遷移 b が優先します。

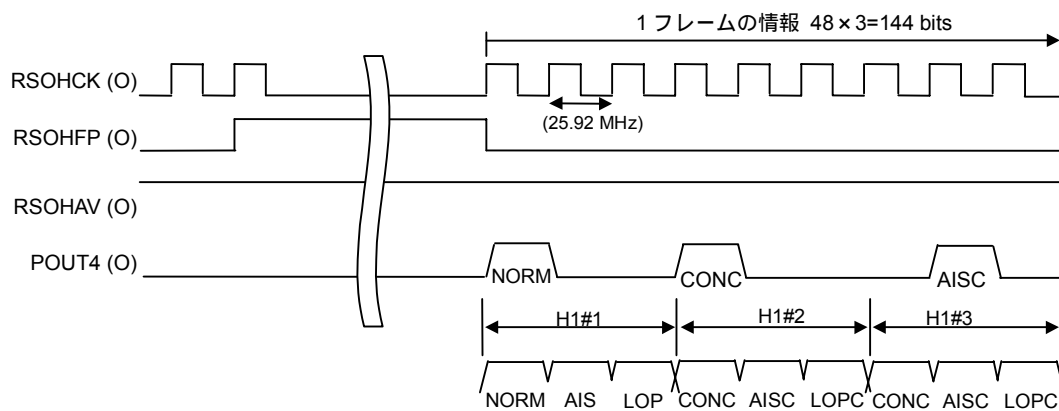
表 3 - 8 全体のポインタ状態遷移条件 (MDR1 レジスタ CIM ビット=1 のとき)

遷移	遷移内容		条件
★ a	LOP	NORM	H1#1・H2#1 が、NORM_3 or NORM_n or NORM_1
	AIS	NORM	
★ b	LOP	AIS	H1#1・H2#1 が、AIS_3 or AIS_n
	NORM	AIS	
c	AIS	LOP	H1#1・H2#1 が、LOP#1
★ d	NORM	LOP	H1#1・H2#1 が、LOP#1

(f) 受信ポインタ、コンカチネーション・インディケーション情報の端子出力

オプション機能として、H1#1・H2#1 によるポインタの状態と H1#2・H2#2 ~ H1#48・H2#48 によるコンカチネーション・インディケーションの状態を、POUT4 端子からシリアル・データとして出力するモードがあります。POUT4 端子は、通常汎用ポート出力端子として機能し、MDR6 レジスタの D6: PSTATE ビットを 1 に設定することで、オプション・モードのシリアル・データ出力に切り替わります。シリアル・データは、RSOHCK クロックに同期し、フレーム・パルス RSOHFP の立ち下がったサイクルから、H1#1・H2#1 の組より順に出力します。

シリアル・データは、3 サイクルで 1 組の H1#n・H2#n の状態を表し、 3×48 組 = 144 サイクルの間出力します。3 サイクルは、先頭のサイクルから [NORM], [AIS], [LOP] の順に割り当てられおり (コンカチネーション・インディケーションでは、[CONC], [AISC], [LOPC]), 信号がハイになったサイクルが、その H1#n・H2#n の状態を示します。



(4) 受信 OH バイトのドロップ機能

μ PD98414 は、受信フレームの OH バイトの内容を得る手段として次の 3 種類を提供しています。

- ・ドロップ・レジスタ
- ・OH エキストラクト・インタフェース
- ・J0/J1 バイト・トレース・メッセージの受信

いずれの手段においても、フレーム同期が確立しており、正常に受信できていることが前提になります。

(a) OH ドロップ・レジスタ

μ PD98414 は、受信オーバヘッドのうち、下記のバイト領域の受信内容を格納するレジスタを備えています。CPU は、マネージメント・インタフェースを介して各レジスタをリードすることにより、受信内容を確認することができます。ドロップ・レジスタの詳細については、**3.4 オーバヘッドのインサート/ドロップ機能**で説明しています。

- ・ドロップ・レジスタを持つ OH バイト
TOH : K1, K2, E1, E2, F1, D1 ~ D3, D4 ~ D12, J0, S1, 1st Z2
POH : J1, C2, F2, G1, H4, Z3, Z4, Z5

(b) OH エキストラクト・インタフェース

μ PD98414 は、周辺デバイスが受信 TOH と POH の OH バイト内容を信号として得るための OH の出力インタフェースを備えています。μ PD98414 は、フレームの開始を示すパルス信号と共に、TOH バイトは、25.92 MHz の速度で 4-bit パラレル・インタフェースから、POH バイトは、576kHz の速度でシリアル・インタフェースから出力します。詳細については、**4.3 オーバヘッド・インサート/エキストラクト・インタフェース**で説明しています。

(c) J0, J1 トレース・メッセージの受信

μ PD98414 は、SOH の J0 バイトと POH の J1 バイトに、格納されてくる 16 もしくは、64 バイト長のトレース・メッセージを、専用のバッファに格納して CPU に通知する機能を備えています。メッセージ・サイズの選択、および同期パターン（メッセージの先頭もしくは終了パターン）の設定を行ったあとに、受信指示をすることで、μ PD98414 は、受信 OH の J0 (J1) バイト列から新たなメッセージを検出すると、受信バッファに格納し、割り込みで CPU に通知します。

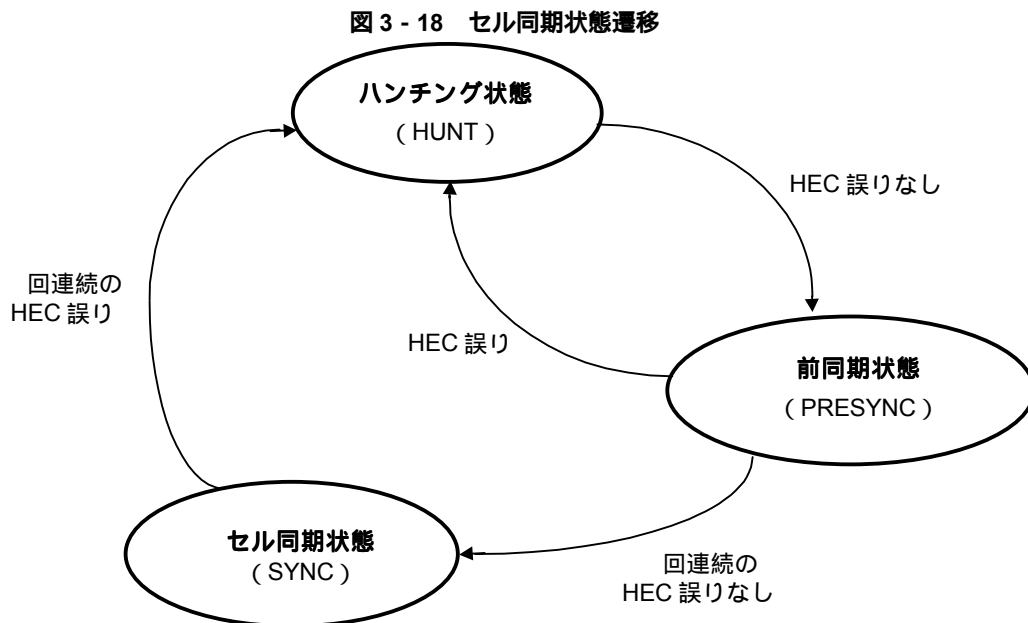
トレース・メッセージの受信機能の詳細については、**3.5.2 トレース・メッセージの受信**で説明しています。

(5) セル同期

セル同期は、SPE ペイロード領域に収容されているビット列から ATM セルを抽出するための、セル境界を識別する処理のことを言います。セル境界の識別は、セル・ヘッダにおけるヘッダ誤り制御 (HEC) 領域を利用して行います。SPE ペイロード領域に収容されているビット列に対して CRC 演算のチェックを1ビットずつずらして行い、シンドロームが0になる境界を調べて、セルの位置を特定します。演算には、次の多項式を用います。

$$G(X) = X^8 + X^2 + X + 1$$

図3-18は、ヘッダ誤り制御によるセル同期の状態遷移を示しています。



- ・ハンチング状態は、同期が外れておりセル境界を探索している状態です。CRC (Cyclic Redundancy Check, 巡回符号検査) チェックを1ビットずつずらして行い、剰余が0になるかを検査しています。誤りのない HEC を検出すると前同期状態に遷移します。
- ・前同期状態では、ハンチング状態からセル境界の候補を見つけ、それが正しいかをチェックしている状態です。回連続で誤りのない HEC を受信した場合にセル同期状態に遷移します。HEC 誤りを検出した場合は、ハンチング状態に戻ります。誤りのない 番目のセルは廃棄され、その次のセルから受信 FIFO に格納されます。
- ・セル同期状態は、セル同期が確認している正常な状態です。回連続で HEC 誤りを検出すると、セル同期が外れたとし、ハンチング状態に遷移します。
- ・前方保護段数 () と後方保護段数 () は、 =7, =6 がデフォルト・モードになっていますが、前方保護段数 () は、MDR3 レジスタの OCDB[1:0] ビットで、後方保護段数 () は、OCDA[1:0] ビットの設定で変更することができます。

表 3 - 9 セル同期の前後段保護段数

前方保護段数	MDR3 レジスタ OCDB[1:0]	後方保護段数	MDR3 レジスタ OCDA[1:0]
6	00	5	00
7 (デフォルト)	01	6 (デフォルト)	01
8	10	7	10
9	11	8	11

・セル同期から外れている状態は、Out Of Cell Delineation (OCD) 状態として通知します。さらに OCD 状態が 4 ms 継続した場合、Loss Of Cell Delineation (LCD) 状態となります。LCD は 4 ms の間セル同期状態が継続するとクリアされます。LCD 状態の検出解除時間、4 ms は、MDR3 レジスタの LCDM ビットの設定によって 0 ms に変更でき、OCD と LCD の検出解除条件を同じにすることができます。

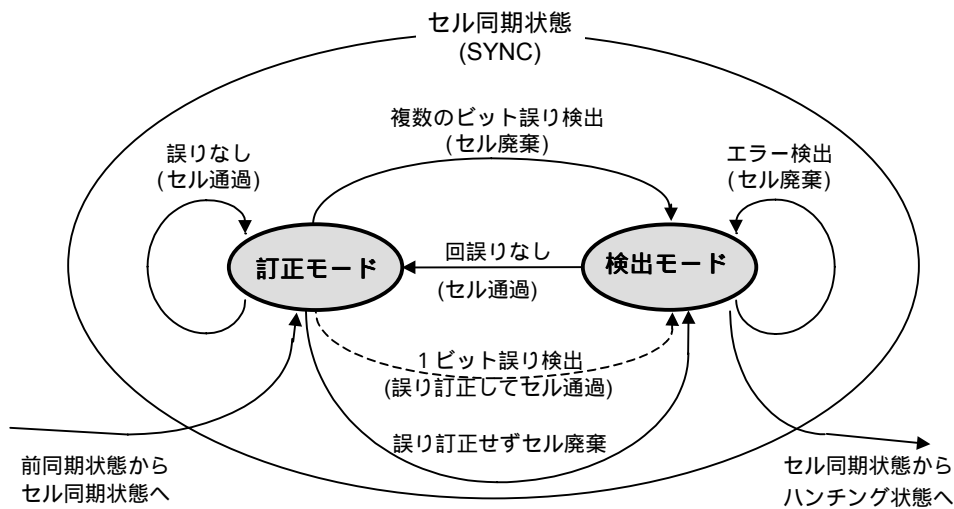
表 3 - 10 OOF, LOF, LOS 検出条件

	検出条件	解除条件
OCD	前方保護段数 回連続で正常な HEC を検出できないとき	後方保護段数 +1 回連続で正常な HEC を検出したとき
LCD	OCD が 4 ms 継続したとき。 MDR3 レジスタの LCDM ビットが 1 の場合、 OOF の検出と同時	セル同期状態が 4 ms 継続したとき。 MDR3 レジスタの LCDM ビットが 1 の場合、 OOF の解除と同時

(6) HEC 誤り制御

セル同期の確立中、ヘッダ誤り制御(HEC)により、セル・ヘッダに対して 1 ビット誤りの訂正と複数ビット誤りの検出を行います。ヘッダ誤り制御処理の結果、誤り訂正を含みヘッダに誤り訂正がないとみなされた有効セルのみ、受信 FIFO に格納され ATM レイヤに転送されます。ヘッダ誤り制御の状態遷移を図 3 - 19 に示します。

図 3 - 19 セル同期状態における HEC 検証状態遷移



- ・訂正モード中は1ビットの誤りのみ訂正され、その後検出モードに移行します。
- ★ デフォルト・モードでは、1ビット誤りを検出したセルは訂正せずに廃棄します。誤りを訂正し、上位にセルを通過させるには、MDR4レジスタのHECCEビットをセットしてください。
- ・検出モードにおいて連続してHEC誤りを検出し、 n 回目を検出した場合、セル同期状態からハンチング状態に遷移します。HEC誤りが無いセルを検出した場合には訂正モードに戻ります。
- ★ 検出モードから訂正モードへに復帰する条件は、MDR4レジスタのHECCCビットで切り替えられます。
- ★ セル同期状態にあるときのHEC誤り検出によるセル廃棄の有無は、MDR6レジスタのRHECビットの設定によって切り替えることができます。RHECビットを設定すると、セル同期状態にある間に受信したHEC誤りを含むセルは、すべて上位に転送します。

表3-11 HECエラー制御のモード

ヘッダの1ビット誤り訂正の実行	MDR4レジスタ HECCEビット
なし(デフォルト)	0
訂正実行	1

検出モードから訂正モードへの 復帰段数()	MDR4レジスタ HECCC[1:0]ビット
1(デフォルト)	00
2	01
4	10

HEC誤り検出によるセル廃棄	MDR6レジスタ RHECビット
廃棄(デフォルト)	0
すべて通過	1

(7) ATMセルのデスクランブル

セル同期状態のとき、次の多項式にて、セルのデータに対してデスクランブルを行います。デスクランブルの範囲は、セルのペイロード部のみです。

$$\text{多項式 } G(X) = X^{43} + 1$$

テスト時のために、セルのデスクランブルをディスエーブルにするオプション・モードがあります。設定は、MDR4レジスタのCSCEビットによって行います。

(8) アイドル・セル/アンアサインド・セルの廃棄

フレームから抽出したセル流のヘッダの上位4バイトを監視し、アイドル・セルを検出した場合には、受信FIFOに格納することなく廃棄します。監視するヘッダのVPI/VCIフィールド以外のパターンは、DCHPRレジスタへの設定によって変更することができ、アンアサインド・セルを合わせて廃棄させたり、あるいは、共に通過させることもできます。詳細は、**3.6.1 廃棄無効セルの選択**で説明しています。

(9) ATM レイヤ・インタフェースからのセル出力

セル同期が確立していて、DCHPRレジスタの設定のパターンに当てはまらないセルは、有効セルとして約15セル分の大きさを持つ受信FIFOへ格納します。格納されたセルは、ATMレイヤ・インタフェースを介してATMレイヤ・デバイスに転送します。受信FIFOがフルになっても、なおセルを受けた場合には受信FIFOオーバーフロー・エラーとして、そのセルを廃棄します。FIFOオーバーフロー・エラーの発生は、割り込み要因にすることができます。

電源投入後、 μ PD98414はただちにデフォルト・モードに従ってフレームの受信を開始しますが、ATMレイヤ・インタフェースの受信FIFOへの書き込みは、デフォルト・モードではディスエーブルになっています。ATMレイヤ・インタフェースがイネーブルになるまでに受けたセルは、廃棄します。ATMインタフェースの受信側をイネーブルにするには、MDR5レジスタのRUTEビットを1にセットします。

(10) 回線の障害の検出

回線の障害や警報、回線品質の劣化など、受信データをモニタし検出するイベントを、OAM (Operation, Administration and Maintenance) 情報としてレジスタを通してホストに通知する機能を備えています。

- ・ 障害 / 警報の検出
- ・ 回線品質劣化要因の検出
- ・ パフォーマンス・モニタリング・カウンタ
- ・ ビット・エラー・レートの監視

詳細については、**3.3 OAM 機能**を参照してください。

3.3 OAM 機能

μPD98414 はネットワークの保守、監視を行うための OAM 機能 (Operations, Administration, Maintenance) を装備しています。次にμPD98414 がサポートする OAM 機能を説明します。

3.3.1 警報の送出

送信フレームの所定のオーバーヘッド領域に警報情報をセットして送出します。送出方法には、レジスタに設定する方法、警報送出指示端子に信号を入力する方法、受信側回線状況に応じて自動で送出する方法があります。

表 3 - 12 警報の送出一覧

警 報		送出 / 解除方法	送出フレーム
(1)	APS	K12T レジスタへの設定。 OH インサート・インタフェースからの K1, K2 バイト設定。	毎フレーム送出するごとに K12T レジスタの内容を K1, K2 バイトの位置にロードし送出。
(2)	Line AIS	CMR1 レジスタへのビット設定。 TLAIS, TPAIS 端子への信号入力。	SOH 領域以外 (LOH+POH+SPE 領域) の全ビットが "1"。
(3)	Path AIS		H1, H2, H3 バイトのすべてと、フレーム・スクランブル前の SPE 領域の全ビットが "1"。
(4)	Line RDI	CMR1 レジスタへのビット設定。 TLRDI, TPRDI 端子への信号入力。 内部要因発生による自動送出 (自動送出は MDR1 レジスタの ALRDI, APRDI ビットへの設定によってマスクすることができます)。	OH バイトの K2 バイトのうち, bit6-8 が "110"。
(5)	Path RDI		OH バイトの G1 バイトの bit5 が "1"。

複数の警報に、同時に送出指示をした場合や、Line RDI, Path RDI の自動折り返し送出中にほかの警報に送出指示をした場合の優先順位は次のとおりです。

表 3 - 13 警報送出の優先順位

	Line AIS	Path AIS	Line RDI	Path RDI	APS
Line AIS		Line AIS	Line-AIS	Line AIS	Line AIS
Path AIS	Line AIS		同時設定可	Path AIS	同時設定可
Line RDI	Line AIS	同時設定可		同時設定可	Line RDI
Path RDI	Line AIS	Path AIS	同時設定可		同時設定可
APS	Line AIS	同時設定可	Line RDI	同時設定可	

(1) APS (Automatic Protection Switching) の送出

APS 機能は、回線の故障に対して、信号を予備に切り替えるために用意されたものです。回線の多重化区間において、OH 内の K1, K2 バイトを用い、ANSI T1.105.01, または、ITU-T G.783 で定義されたコマンドとプロトコルに従って、切り替え動作の要求や確認応答を伝達します。送出方法は、次のとおりです。

送出 / 解除方法

転送する APS 信号を、OH インサート・レジスタの K12T レジスタに設定します。μ PD98414 は、K12T レジスタの内容を毎フレーム送出することに K1, K2 バイトの位置にロードし送出します。APS 信号の内容を変更したり、解除する場合には、K12T レジスタの内容を変更します。

OH インサート・インタフェースからも、K1, K2 バイトの送出内容を入力することができます。

K2 バイトの bit6-8 は、警報 Line RDI, Line AIS を送出する場合にも使用されるフィールドです。警報 Line RDI, Line AIS の送出を指示したときには、K12T レジスタのこの部分に相当する K2T[2:0]への設定は無視されて、警報送出に処理の方が優先されます。

OH インサート・インタフェースから入力した場合も、K2 バイトの bit6-8 に相当する部分は無視されます。

(2) Line AIS の送出 (Line Alarm Indication Signal)

Line AIS は、中継時に上流で故障が検出され、警報が伝えられたことを下流に伝達するための警報表示信号です。

送出 / 解除方法

Line AIS フレームの送出方法には、次の 2 種類があります。フレームの送出、解除動作は、フレームの境界を守って行われます。

CMR1 レジスタの LAISC ビットを 1 に設定します。1 に設定されている間、Line AIS フレームを送出し続けます。

TLAIS 端子入力をハイにします。ハイの間、Line AIS フレームを送出します。

Line AIS フレーム

送信フレームうち SOH 領域を除くすべての領域 (LOH+POH+SPE) の全ビットが“1”のフレームです。

(3) Path AIS (Path Alarm Indication Signal) の送出

Path AIS は、中継時に上流で故障が検出され警報が伝えられたことを下流に伝達するためのパス遠端受信故障情報です。

送出 / 解除方法

Path AIS フレームの送出方法には、次の2種類があります。フレームの送出、解除動作は、フレームの境界を守って行われます。

CMR1 レジスタの PAISC ビットを 1 に設定します。1 に設定されている間、Line AIS フレームを送出し続けます。

TPAIS 端子入力をハイにします。ハイの間、Path AIS フレームを送出します。

Path AIS フレーム

送信フレームの OH バイトのうち、AU ポインタの H1, H2, H3 バイトのすべてと、フレーム・サンプル前の SPE 領域 (POH とペイロード部) の全ビットが “1” のフレームです。

(4) Line RDI (Line Remote Detect Indication) の送出

ライン受信故障 (LOS, LOF, Line AIS) が検出されていることを、上流の装置に通報する信号です。

送出 / 解除方法

Line RDI フレームの送出方法には、次の3種類があります。フレームの送出、解除動作は、フレームの境界を守って行われます。

自動折り返し送出

受信側で LOS, LOF, Line AIS のいずれかイベントを検出しているとき、自動的に Line RDI フレームを送出します。イベントから復旧すると通常フレームの送出に戻ります。この機能はディフォルト・モードでは、イネーブルになっていますが、MDR1 レジスタの ALRDI ビットを設定することによりディスエーブルにすることができます。

CMR1 レジスタの LRDIC ビットを 1 に設定します。1 に設定されている間、Line RDI フレームを送出し続けます。

TLRDI 端子入力をハイにします。ハイの間、Line RDI フレームを送出します。

Line RDI フレーム

OH バイトの K2 バイトのうち、bits6-8 が “110” のフレームです。

(5) Path RDI (Path Remote Detect Indication) の送出

パス受信故障 (LOS, LOF, Line AIS, LOP, Path AIS, (LCD)) が検出されていることを上流の装置に通報する信号です。

送出 / 解除方法

Path RDI フレームの送出方法には、次の3種類があります。フレームの送出、解除動作は、フレームの境界を守って行われます。

自動折り返し送出

受信側で LOS, LOF, Line AIS, LOP, Path AIS, (LCD) のいずれかのイベントを検出しているとき、自動的に Path RDI フレームを送出します。

イベントから復旧すると、通常フレームの送出に戻ります。この機能はデフォルトでは、イネーブルになっていますが、MDR1 レジスタの APRDI ビットを設定することによりディスエーブルにすることができます。LCD は、デフォルト・モードでは Path RDI の自動送出の条件には、含まれていません。MDR1 レジスタの APRDIC ビットを設定することで、条件に含むことができます。

CMR1 レジスタの PRDIC ビットを 1 に設定します。1 に設定されている間、Path RDI フレームを送出し続けます。

TLRDI 端子入力をハイにします。ハイの間、Line RDI フレームを送出します。

Path RDI フレーム

OH バイトの G1 バイトの、bit5 が “1” のフレームです。

3.3.2 警報，障害の検出

表 3 - 14 に， μ PD98414 が監視する障害，警報の一覧を示します。これらイベントを検出した場合は，次のアクションを行います。

- 割り込み要因詳細レジスタの対応ビットをセット
- CPU は，レジスタのリードによって，発生したイベントが何かを調べます。
- 割り込み信号をアクティブにしてホストに通知
- イベントごとに割り込み信号をアクティブにするかどうか（マスク，マスク解除）の選択ができます。
- 対応端子をアクティブにする
- イベントが発生すると対応する警報出力端子をハイにして外部周辺デバイスに通知します。

表 3 - 14 検出警報，障害一覧

(1/3)

LOS (Loss Of Signal)	出力端子
<p>受信信号の消失状態。</p> <p>検出：フレーム・デスクランブル前の受信データ・ビット列をモニタし，25 μs 時間以上変化がなかったとき（1 もしくは 0 が連続）。</p> <p>MDR1 レジスタの CDS ビットを 1 に設定することによって，CD 端子の入力レベルの変化を LOS 状態の検出条件に加えることができます。CD 端子入力が高くなったときに，受信フレーム・ブロックをリセット状態にすると同時に，LOS 状態になります。デフォルト・モードでは，加わっていません。</p> <p>不安定な受信信号を上位に伝達し続けることを避けるため，LOS 状態になると μPD98414 の受信フレーム・ブロックをリセットするように設定することができます。設定は，MDR1 レジスタの LOSR ビットで行い，デフォルト・モードではリセットは行われません。</p> <div data-bbox="287 1187 1197 1590" style="text-align: center;"> </div> <p>解除：OOF 状態から復旧したとき。</p> <p>CD 端子入力に LOS 条件に加わっている場合は，CD 端子入力がハイに戻ったとき。</p> <p>★ * LOS を検出すると，強制的に OOF 状態にします。また，内部で受信データ線をオール 1 にしますので，Line AIS，Path AIS などが後続して検出されます。</p>	<p>LOSD</p>

OOF (Out Of Frame)	出力端子
<p>フレームの同期はずれ。</p> <p>検出：A1, A2 バイトの位置に 回連続でフレーム同期パターンを検出できなかったとき。</p> <p>解除：回連続してフレーム同期パターンを検出したとき。</p> <p>★ * = 3, 4, 5, 6, = 1, 2, 3, 4。MDR3 レジスタ OOFB[1:0], OOF A[1:0] ビットで切り替え可能です。デフォルト・モードは = 4, = 2 です。</p>	OOFD
LOF (Loss Of Frame)	出力端子
<p>フレームの消失状態。</p> <p>検出：OOF 状態が T ms 継続したとき。</p> <p>解除：OOF 状態を抜けた状態が T ms 継続したとき。</p> <p>* T = 3ms, 0ms。MDR3 レジスタの LOFM ビットで切り替え可能です。</p> <p>デフォルト・モードは T = 3ms です。0ms のときは、OOF と同じ検出解除条件になります。</p> <p>* LOF を検出すると、内部処理における受信データをオール 1 にしますので、LOF に続いて Line AIS, Path AIS などが検出されます。</p>	LOFD
LOP (Loss Of Pointer)	出力端子
<p>ポインタ異常検出。</p> <p>検出：3.2(3) ポインタ処理を参照してください。</p> <p>解除：3.2(3) ポインタ処理を参照してください。</p>	LOPD
OCD (Loss Of Cell Delineation)	出力端子
<p>セル同期はずれ。</p> <p>検出：HEC 検査で誤りが検出されるセルを 回連続で受信したとき。</p> <p>解除：HEC 検査で誤りないセルを +1 回連続で受信したとき。</p> <p>★ * = 6, 7, 8, 9, = 5, 6, 7, 8。MDR1 レジスタ OCDB[1:0], OCDA[1:0] ビットで切り替え可能です。デフォルト・モードは = 7, = 6 です。</p>	なし
LCD (Loss Of Cell Delineation)	出力端子
<p>フレームの消失状態。</p> <p>検出：OCD 状態が T ms 継続したとき。</p> <p>解除：OCD 状態を抜けた状態が T ms 継続したとき。</p> <p>* T = 4ms, 0ms。MDR3 レジスタの LCDM ビットで切り替え可能です。</p> <p>デフォルト・モードは T = 4ms です。0ms のときは、OCD と同じ検出解除条件になります。</p>	LCDD
Line AIS (Line Alarm Indication Signal)	出力端子
<p>ライン警報表示信号。送信元（上流）の装置で Line AIS が発生していることを示す信号です。</p> <p>検出：K2 バイト (bits 6-8) が “111” のフレームを n 回連続で受信したとき。</p> <p>解除：K2 バイト (bits 6-8) が “111” 以外のフレームを n 回連続で受信したとき。</p> <p>* n = 3, 5。MDR3 レジスタの LAISM ビットで切り替え可能です。デフォルト・モードは n = 5 です。</p> <p>* Line AIS を検出したときは、内部処理における受信データの SOH 以外の領域をオール 1 にしますので、Line AIS に続いて、Path AIS などが検出されます。</p>	LAISD
Path AIS (Path Alarm Indication Signal)	出力端子
<p>パス警報表示信号。送信元（上流）の装置で Path AIS が発生していることを示す信号です。</p> <p>検出：3.2(3) ポインタ処理を参照してください。</p> <p>解除：3.2(3) ポインタ処理を参照してください。</p>	PAISD

Line RDI (Line Remote Defect Indication)	出力端子
<p>ライン遠端受信故障情報。送信先（下流）装置でライン受信故障（LOS, LOF, Line AIS）が検出されていることを示す信号です。</p> <p>検出：K2 バイト（bit6-8）が “110” のフレームを n 回連続で受信したとき。</p> <p>解除：K2 バイト（bit6-8）が “110” 以外のフレームを n 回連続で受信したとき。</p> <p>* n = 3, 5。MDR3 レジスタの LRDIM ビットで切り替え可能です。デフォルト・モードは n = 5 です。</p>	LRDID
Path RDI (Path Remote Defect Indication)	出力端子
<p>パス遠端受信故障情報。送信先（下流）装置でパス受信故障（LOS, LOF, Line AIS, LOP, Path AIS）が検出されていることを示す信号です。</p> <p>検出：G1 バイトの bit5 が “1” のフレームを n 回連続で受信したとき。</p> <p>解除：G1 バイトの bit5 が “0” のフレームを n 回連続で受信したとき。</p> <p>★ * n = 3, 5, 10。MDR3 レジスタの PRDIM[1:0] ビットで切り替え可能です。デフォルト・モードは n = 5 です。</p>	PRDID
CDD (CD Pin State Change)	出力端子
<p>CD 端子入力がロウ・レベルになったことを示します。</p> <p>CD 端子がロウになると μ PD98414 の受信フレーム・ブロック（回線から受信 FIFO までのブロック）をリセット状態にします。光リンク・モジュールなどが出力する光検出信号と接続することにより、信号断状態に陥ったときにリセット状態にすることで、不安定な受信データ・ストリームの上位への伝達を避けることができます。</p> <p>検出：CD 端子入力レベルがロウ・レベルになったとき。</p> <p>解除：入力がハイ・レベルに復帰したとき。</p> <p>CD 端子の入力レベルの変化は、MDR1 レジスタの CDS ビットをセットすることにより LOS の検出条件に加えることができます。</p> <p>CD 端子 = ロウ：LOS 状態 ハイ：通常状態</p> <p>（端子入力レベルと、レジスタのビットの論理が反転していることに注意してください。）</p>	なし

表3 - 15 に、 μ PD98414 が障害、警報を検出した場合に LSI 内部で行う処理について示します。

★ **表3 - 15 障害 / 警報検出による μ PD98414 の処理一覧**

検出警報 LSI 内部処理	CD = L	LOS	OOF	LOF	LOP	OCD	LCD	LAIS	PAIS	LRDI	PRDI	B1E	B2E	B3E	LREI	PREI
受信データ線を All 1 に変更		×		×												
受信フレーム・ブロックをリセット	×															
受信データの STS-48c Payload 部を All 1 に変更								×								
受信FIFOへの書き込み停止		×	×	×	×	×	×	×	×							
Line RDI の折り返し送出		×		×	×		×	×	×							
Path RDI の折り返し送出		×		×				×								
検出誤り数を Line-REI として送出													×			
検出誤り数を Path-REI として送出															×	

備考 × : 内部処理を実施する該当イベントを意味します。

イベントを検出した場合、パフォーマンス・カウンタを強制的に停止させます。表3 - 19 を参照してください。

表3 - 16 に、μPD98414 同士を対向に接続し、一方からテスト用疑似エラー・フレーム、または警報をコマンドで入力した場合に、もう一方のμPD98414 が検出するイベントを例として示します。

★ 表3 - 16 μPD98414 の生成する疑似フレーム、警報を受信した場合の障害 / 警報検出

検出障害/警報 入力フレーム	LOS	OOF	LOF	LOP	OCD	LCD	LAIS	PAIS	LRDI	PRDI	B1E	B2E	B3E	LREI	PREI
テスト用疑似 LOS を入力	×	×	×		×	×	×	×	× ^{注1}	×	× ^{注1}	× ^{注1}	×	×	×
テスト用疑似 OOF/LOF フレームを入力		×	×	× ^{注1}	×	×	×	×	× ^{注1}	×	×	×	×	×	×
テスト用疑似 LOP フレームを入力				× ^{注1}	×	×				×			×		×
テスト用疑似 OCD/LCD フレームを入力					×	×									
警報 Line AIS を入力					×	×	×	×		×		× ^{注1}	×	×	×
警報 Path AIS を入力					×	×		×		×			×		×
警報 Line RDI を入力									×						
警報 Path RDI を入力										×					
テスト用疑似 B1 エラーフレームを入力											×				
テスト用疑似 B2 エラーフレームを入力												×			
テスト用疑似 B3 エラーフレームを入力													×		
テスト用疑似 LREI フレームを入力														×	
テスト用疑似 PREI フレームを入力															×
CD 端子をロウにする ^{注2}	×			×	×	×									

注1. テスト用フレームの入力を開始した直後、または入力を停止した直後のみ検出します。

2. CD 入力の変化を LOS 検出条件に加えているとき (MDR1 レジスタの CDS ビットを 1), 回線データは正常に受信したまま, CD 入力のみをロウに変化させた場合の例です。

備考 × : 検出する障害 / 警報を意味します。

3.3.3 APS 信号, Signal Label の監視

(1) APS (Automatic Protection Switching)の監視

(a) APS 信号

フレーム同期が取れているとき, K1, K2 (bit1-5) バイトの 13 ビットを監視し, APS 信号の着信を通知する機能があります。毎フレーム受信するごとに APS 信号の 13 ビットを記憶し, 次の APS 信号と比較します。前回と異なる APS 信号を検出して, さらにその APS 信号が 3 フレーム連続で同じだった場合, ATPR レジスタの APSD ビットをセットして CPU に通知します。変化しないまま, 同じ APS 信号を受け続けても APSD をセットしません。CPU は, APSD ビットがセットされたことを検知すると, OH ドロップ・レジスタの K12R レジスタをリードして, APS 信号を得ます。K12R レジスタは, 3 フレーム連続で同じ値を受けた場合にのみ更新されます。3 フレーム以上同じ値が連続しないランダムな値を受信していたり, フレーム同期が外れているときは更新されません。

(b) K1K2 Unstable の検出

μ PD98414 は, 安定して APS 信号を得ているかを監視するために K1, K2 (bit1-5) バイトの 13 ビットをチェックします。12 連続フレームの中に, 3 連続の同じ 13 ビットを持つフレームがなかった場合, K1K2 Unstable (K12UL) として状態表示します。K12UL 状態は, 同じ値の 13 ビットを持つフレームを 3 回連続で受信した場合に解除されます。

(2) Signal Label バイトの監視

(a) Signal Label Byte Unstable の検出

μ PD98414 は, C2 バイトに格納されてくる Signal Label が安定して受信できているかをチェックします。毎フレーム受信するごとに, C2 バイトに前フレームの値と同じかを調べます。異なっていた場合, 内部のカウンタをカウント・アップします。たとえば, 期待値どおりの C2 バイトを連続して受信している間に, 1 バイトの壊れた C2 バイトを受信した場合, 壊れたバイトの受信時に +1, 次に正常バイトを受信したときに +1 加算され, 計 +2 加算されることとなります。内部カウンタが 5 まで到達すると, Signal Label Byte Unstable (SLBU) として状態表示します。内部カウンタは, 同じ C2 バイトを持つフレームを 3 回連続で受信すると 0 にリセットします。SLBU 状態も, 同じタイミングで解除されます。

OH ドロップ・レジスタの C2R レジスタは, 上記 SLBUL 状態でない場合で, かつ 3 回連続で同じ C2 バイトの値を受けたときに, その値が格納されます。

(b) Signal Label Byte Mismatch の検出

期待値どおりの C2 バイトが受信できているかをチェックする機能があります。C2R レジスタに格納された値 (SLBUL 状態のチェックを通過したバイト) と期待値を設定しておいた C2C レジスタと内容を比較します。不一致を検出した場合, Signal Label Byte Mismatch (SLBMD) として状態表示します。SLBMD 状態は, C2C レジスタと一致した C2 バイトを受信したときに解除されます。C2C レジスタのデフォルト値は 13H です。

3.3.4 回線品質の監視 (パフォーマンス・モニタリング)

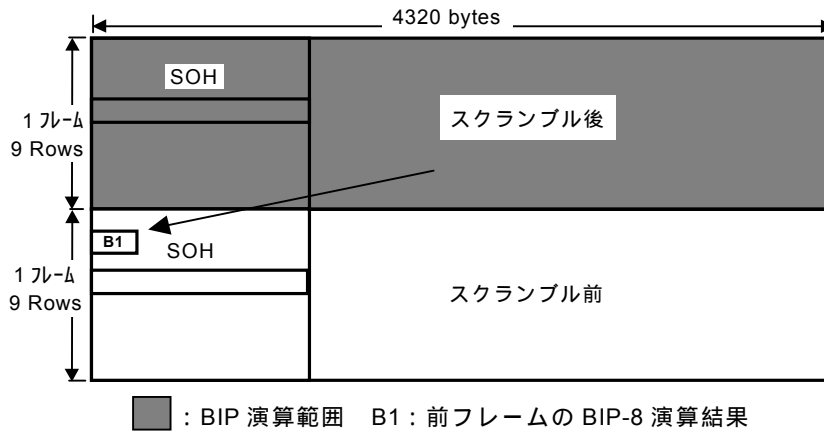
(1) 送信パフォーマンス・モニタリング関連機能

送信側回線品質の符号誤り監視機能として所定領域に対して Bit Interleaved Parity (BIP) 演算を行い OH バイトとして挿入します。また、受信側で誤り検出した Interleaved Bit Block 数を、送信側の OH バイトに挿入して上り側に伝送します。

(a) Bit Interleaved Parity (BIP)

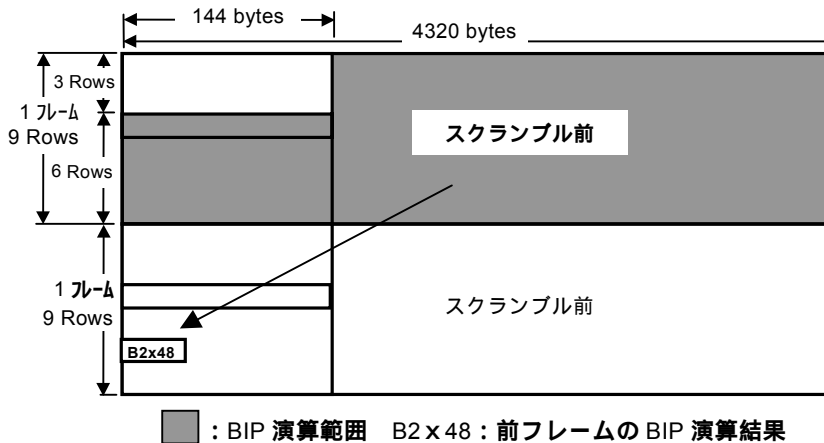
(i) B1 バイト (Section BIP-8)

フレーム・スクランブル後のフレーム全ビットについて BIP-8 演算を行い、その演算結果を次のフレームのフレーム・スクランブル前の B1 バイトに挿入して送ります。



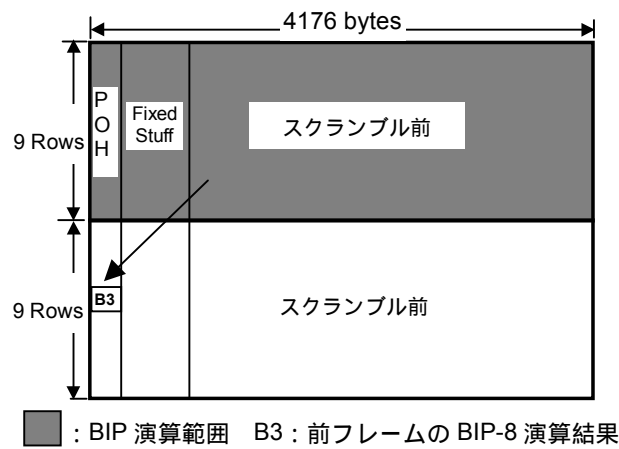
(ii) B2 バイト (Line BIP-384)

フレーム・スクランブル前のフレームうち SOH の 1-3 行目を除く全ビットについて BIP-384 演算を行い、その演算結果を次のフレームのフレーム・スクランブル前の B2 バイトに挿入して送ります。



(iii) B3 バイト (Path BIP-8)

フレーム・スクランブル前の STS-48c SPE 領域について BIP-8 演算を行い、その演算結果を次の送信フレームのフレーム・スクランブル前の POH の B3 バイトに挿入して送ります。



(b) Line REI の送出 (Line Remote Error Indication)

Line BIP-384 エラーが生じているかどうかを上流の装置に通報します。受信フレームに B2 エラーを検出すると、自動的に送信フレームの M1 バイトにその誤りインタリーブド・ビット・ブロック数を 0 ~ 255 の範囲で 2 進数で格納し送ります。255 を越えるブロック数は、FFH として格納します。

(c) Path REI の送出 (Path Remote Error Indication)

Path BIP-8 エラーが生じているかどうかを上流の装置に通報します。 μ PD98414 は受信フレームに B3 エラーを検出すると、自動的に送信フレームの G1 バイト (bits1-4) にその誤りインタリーブド・ビット・ブロック数を格納し送ります。

(2) 受信パフォーマンス・モニタリング機能

受信回線の品質を監視する機能として、表 3 - 17 のイベントを検出します。検出すると PCR レジスタのビットをセットし、割り込み信号を通じてホストへ通知します。ホストは、PCR レジスタをリードすることにより、発生したイベントの種別を知ることができます。割り込みは、各イベントごとにマスク / アンマスクを設定することができます。

表3 - 17 回線品質劣化要因の一覧

B1 エラー検出
受信データのセクション・レイヤ BIP-8 をチェックします。1 フレーム前の全フレーム・ビット (フレーム・デスクランブル前のデータ) について BIP-8 演算を行い、その演算結果と現フレームの B1 バイトの値とを照合します。
B2 エラー検出
受信データのライン・レイヤ BIP-384 をチェックします。1 フレーム前の SOH 1~3 行目を除く全ビット (フレーム・デスクランブル後のデータ) について BIP-384 演算を行い、その演算結果と現フレームの B2 バイトの値とを照合します。
B3 エラー検出
受信データのパス・レイヤ BIP-8 をチェックします。1 フレーム前の STS-48c SPE 領域 (フレーム・デスクランブル後のデータ) について BIP-8 演算を行い、その演算結果と現フレームの B3 バイトの値とを照合します。
Line REI 検出 (Line Remote Error Indication)
ライン遠端ブロック誤り情報。00H 以外の M1 バイトを受信したとき、Line REI の検出となります。M1 バイトに格納されてくる値は、送信先 (下流) でライン・レイヤ BIP-384 によって誤り検出されたインタリーブ・ビット・ブロック数です。
Path REI 検出 (Path Remote Error Indication)
パス遠端ブロック誤り情報。G1 バイトの bits1-4 が "0" 以外のフレームを受信したとき Path REI の検出となります。この領域に格納されてくる値は、送信先 (下流) でパス・レイヤ BIP-8 演算により誤り検出されたインタリーブ・ビット・ブロック数です。

(3) パフォーマンス・モニタリング・カウンタ

表3-18に示すパフォーマンス・モニタ, およびセル受信に関する各種イベントの発生回数を累計する32ビット・カウンタを装備しています。ホストはこの累計をレジスタをリードすることにより知ることができます。

★

表3-18 パフォーマンス・モニタリング・カウンタ

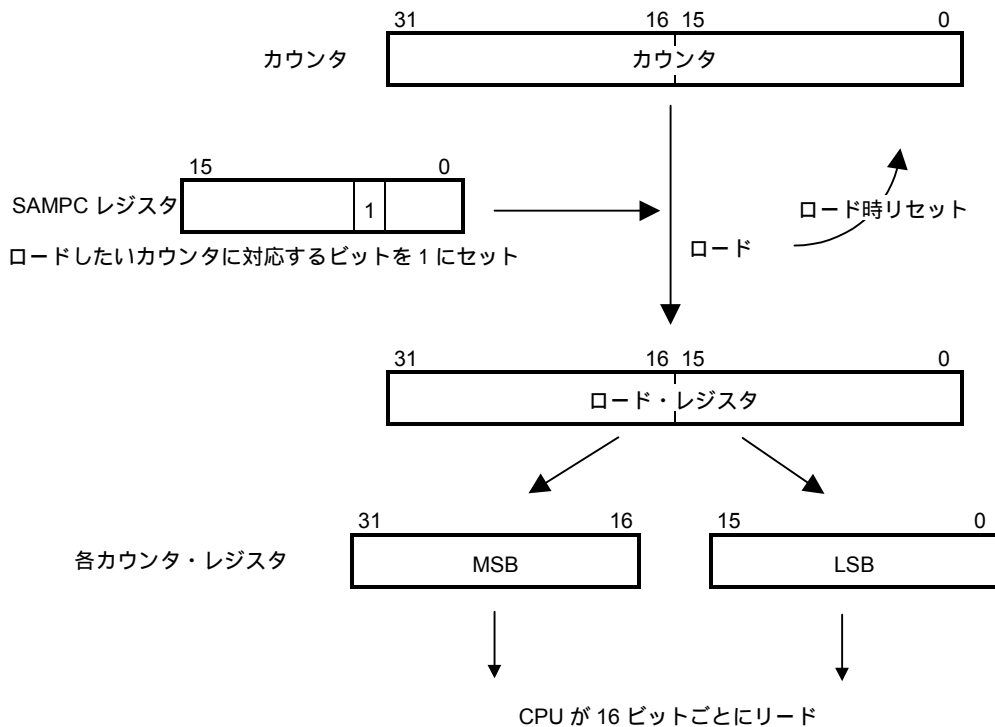
分類	カウンタ名	カウンタ内容
回線モニタ・カウンタ	B1エラー・カウンタ	B1エラー検出数
	B2エラー・カウンタ	B2エラー検出数
	B3エラー・カウンタ	B3エラー検出数
	Line REI カウンタ	Line REI で受ける誤り数
	Path REI カウンタ	Path REI で受ける誤り数
セル・モニタ・カウンタ	HECエラー・ドロップ・セル・カウンタ	HEC 検証により廃棄されたセル数 ^注
	HECコレクト・セル・カウンタ	HEC 検証により修正が行われたセル数 ^注
	受信有効セル・カウンタ	受信 FIFO に書き込んだセル数
	送信有効セル・カウンタ	送信 FIFO から回線に送出したセル数

注 HEC ドロップ・セル・カウンタ, HEC コレクト・セル・カウンタは, MDR4, MDR6 レジスタの HEC エラー制御のモード設定によって動作が異なります。1ビット誤り訂正モードにおいては, 1ビット誤りを修正したセルは, HEC コレクト・セル・カウンタと受信有効セル・カウンタの両方にカウントされます。

★

カウンタに関する機能と, それを実現するレジスタを示します。

図3-20 パフォーマンス・カウンタに関するレジスタ



(a) カウンタのモニタ

すべてのカウンタは 32 ビット幅です。電源投入後、各カウンタはイベントのカウント・アップを開始します。各カウンタは、実際のイベントをカウント・アップする**カウンタ**、内容をいったん退避する**ロード・レジスタ**で構成されています。

1. CPU は、カウンタ値を得たいカウンタに対応する SAMPC レジスタ内のビットを 1 にセットします。
2. μ PD98414 は 1 にセットされたカウンタの、その時点におけるカウンタ値をロード・レジスタにロードし、カウンタを 0 クリアします。そして SAMPC レジスタのビットは 0 に戻します。
3. CPU は、カウンタのレジスタを上位と下位の 16 ビットずつ 2 回に分けてリードします。一度ロード・レジスタに格納されたカウンタ値は再度 SAMPC レジスタによりロードされるまで値を保持します。
4. いつまでもロードされることなくカウント・アップを続けた結果、FF FF(H)に到達してしまったカウンタは、オーバーフロー検出として PCOR レジスタの対応ビットを 1 にセットして CPU に通知します。一度 FF FF(H)に到達したカウンタは、ロードされるまで FF FF(H)に固定されたままとなります。
5. 障害 / 警報検出時のカウンタ動作を表 3 - 19 に示します。

★

表3 - 19 カウンタの動作条件

カウンタ	LOS	LOF	OOF	L-AIS	L-RDI	LOP	P-AIS	P-RDI	LCD	OCD
B1E カウンタ	×		×							
B2E カウンタ	×	×		×						
B3E カウンタ	×	×		×		×	×			
L-REI カウンタ	×	×		×	×					
P-REI カウンタ	×	×		×	×	×	×	×		
HEC エラー・ドロップ・セル・カウンタ	×	×	×	×					×	×
HEC コレクト・セル・カウンタ	×	×	×	×					×	×
受信有効セル数	×	×	×	×		×	×		×	×
送信有効セル数										

備考 ×：イベントが発生するとカウント動作を停止することを意味します。

空欄：イベントが発生してもカウント動作を強制的に停止しません。

(4) ビット・エラー・レート・モニタリング

B1, B2 エラーに関して誤り率 (ビット・エラー・レート) をモニタし, あらかじめ設定した誤り率に到達すると, 信号劣化の検出として状態表示します。割り込み (DTER, TMNR, LATR, ESTR レジスタ) または, 警報出力端子 (B1ERS, B2ERS) を通して CPU や周辺デバイスに通知します。

表3 - 20 誤り率劣化警報の検出条件

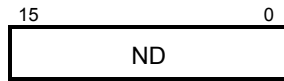
B1ER (B1 Bit Error Rate Degradation)	出力端子
B1 による誤り率劣化警報。 検出: ND フレームを 1 監視フレームとし, 1 監視フレーム中に LD 個以上の誤りを検出するイベントが MD 回連続したとき。 解除: NT フレームを 1 監視フレームとし, 1 監視フレーム中に LT 個以上の誤りを検出しないイベントが MT 回連続したとき。 * MDR6 レジスタの B2_SF ビットを 1 に設定することで, この B1 誤り劣化モニタ機能を 2 つ目の条件での B2 誤り劣化モニタ機能に切り替えることができます。	B1ERS
B2ER (B2 Bit Error Rate Degradation)	出力端子
B2 による誤り率劣化警報。 検出: ND フレームを 1 監視フレームとし, 1 監視フレーム中に LD 個以上の誤りを検出するイベントが MD 回連続したとき。 解除: NT フレームを 1 監視フレームとし, 1 監視フレーム中に LT 個以上の誤りを検出しないイベントが MT 回連続したとき。	B2ERS

検出条件の ND, LD, MD, および解除条件の NT, LT, MT のパラメータは, 2 進数で B1, B2 ごとのレジスタに設定します。

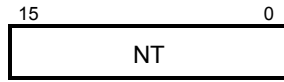
ビット・エラー・モニタ機能は, 電源投入後, デフォルト値に従ってモニタを開始します。パラメータを変更する場合は, CMR1 レジスタの B1ERE, B2ERE ビットで一度モニタ機能をディスエーブルにしてから変更します。

図3-21 ビット・エラー・レート・パラメータのレジスタとデフォルト値

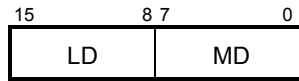
NFDB1R, NFDB2R レジスタ



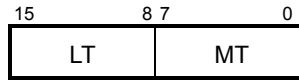
NFTB1R, NFTB2R レジスタ



LMDB1R, LMDB2R レジスタ



LMTB1R, LMTB2R レジスタ



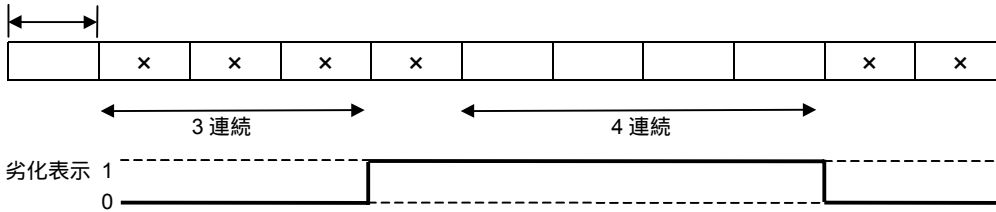
パラメータのデフォルト値

パラメータ			B1	B2
ND	NT	フレーム数 (16 ビット)	20	16
LD	LT	検出誤り個数 (8 ビット)	6	5
MD	MT	連続フレーム数 (8 ビット)	3	3

(例) MD = 3, MT = 4 の場合

- : ND フレーム中, LD 個以上の誤りを検出しない。
- × : ND フレーム中, LD 個以上の誤りを検出する。
- : NT フレーム中, LT 個以上の誤りを検出しない。

1 監視フレーム



[B1 誤り劣化モニタ機能を, B2 の誤り劣化機能に切り替えるモード]

B1 の誤り劣化モニタ機能を 2 つ目の B2 の誤り劣化機能に切り替えるモードがあります。MDR6 レジスタの B2_SF ビットを 1 に設定すると, B1 劣化モニタ・ブロックは B2 エラーの累計をソースにするようになります。NFDB1R, LMDB1R, NFTB1R, LMTB1R レジスタのパラメータは, B2 のエラー・レートの 2 つ目のモニタ条件となり, B1 劣化モニタ・ブロックと, B2 劣化モニタ・ブロックは, それぞれ独立して B2 エラー・レートの劣化監視, 状態表示を行います。B2 エラー・レートを元に, SF(Signal Fail), SD(Signal Degrade) の 2 条件で監視する場合, このモードを使用してください。

3.4 オーバヘッドのインサート/ドロップ機能

表3-21に挙げるOHバイトは、インサート/ドロップ用レジスタを通して任意の値を送信フレームに設定し送出する、あるいは受信フレームに格納されてくる値を読み出すことができます。

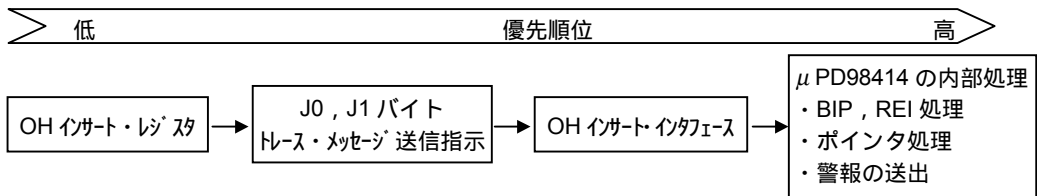
表3-21 インサート/ドロップ・レジスタ一覧

OHバイト	インサート		ドロップ	OHバイト	インサート		ドロップ			
	レジスタアドレス	デフォルト	レジスタアドレス		レジスタアドレス	デフォルト	レジスタアドレス			
SOH	J0	J0T (D0)	01(H)	J0R (B0)	PTR	H1#1SS	MDR1 (10)	00(B)		
	E1	E1T (C1)	00(H)	E1R (A1)		LOH	K1, K2	K12T (C0)	00(H)	K12R (A0)
	F1	F1T (C3)	00(H)	F1R (A3)			D4	D4T (C7)	00(H)	D4R (A7)
	D1	D1T (C4)	00(H)	D1R (A4)			D5	D5T (C8)	00(H)	D5R (A8)
	D2	D2T (C5)	00(H)	D2R (A5)			D6	D6T (C9)	00(H)	D6R (A9)
	D3	D3T (C6)	00(H)	D3R (A6)			D7	D7T (CA)	00(H)	D7R (AA)
	POH	J1	J1T (D3)	13(H)			J1R (B3)	D8	D8T (CB)	00(H)
C2		C2T (D4)	00(H)	C2R (B4)	D9		D9T (CC)	00(H)	D9R (AC)	
F2		F2T (D5)	00(H)	F2R (B5)	D10		D10T (CD)	00(H)	D10R (AD)	
G1		G1T (D6)	00(H)	G1R (B6)	D11		D11T (CE)	00(H)	D11R (AE)	
H4		H4T (D7)	00(H)	H4R (B7)	D12		D12T (CF)	00(H)	D12R (AF)	
Z3		Z3T (D8)	00(H)	Z3R (B8)	S1	S1T (D1)	00(H)	S1R (B1)		
Z4		Z4T (D9)	00(H)	Z4R (B9)	Z2#1	Z2#1T (D2)	00(H)	Z2#1R (B2)		
Z5		Z5T (DA)	00(H)	Z5R (BA)	E2	E2T (C2)	00(H)	E2R (A2)		

3.4.1 インサート・レジスタ

レジスタに設定された値を、送信 OH バイトの所定の位置に格納して送出します。レジスタに変更がないかぎり、インサート・レジスタのデフォルト値を格納して送出します。

備考 OH インサート・インタフェースから有効バイトとして入力されたオーバーヘッド・バイトは、本インサート・レジスタへの設定よりも優先されて送出されます。また、J0, J1 バイトにトレース・メッセージが設定された場合は、インサート・レジスタへの設定よりも優先されて送出されます。



1st H1 バイトは、“0110 SS10”のSSビット(2ビット)のみ変更できます。

★ K2 バイトの bits6-8 は、μPD98414 が送信する警報 Line AIS, Line RDI でも使用する領域です。警報の送出は、インサート・レジスタ (K12T : D2-D0) の設定よりも優先されます。μPD98414 が警報を送出するのは、次の3つの場合です。

- ・ Line RDI の自動折り返し機能が働いた場合 (ディスエーブル可)
- ・ 警報送出コマンド (CMR1 レジスタの LAISC, LRDIC ビット) をセットした場合

- ・警報送出指示端子 (TLAIS, TLRDI 端子) にハイを入力した場合

G1 バイトの bits1-4 は、 μ PD98414 が Path REI を転送するのに常に使用するため、インサート・レジスタからは変更できません。この部分に相当する G1T レジスタの D7-D4 への設定は、無視されます。

★

G1 バイトの bit5 は、 μ PD98414 が警報 Path RDI を送出する場合に 1 に変更します。 μ PD98414 が警報を送出するのは、次の 3 つの場合です。警報の送出は、インサート・レジスタ (G1T) の D3 ビットへの設定よりも優先されます。

- ・ Path RDI の自動折り返し機能が働いた場合 (ディスエーブル可)
- ・警報送出コマンド (CMR1 レジスタの PRDIC ビット) をセットした場合
- ・警報送出指示端子 (TPRDI 端子) にハイを入力した場合

3.4.2 ドロップ・レジスタ

受信フレームの OH バイトの内容を格納します。CPU はレジスタをリードすることで受信内容を得ることができます。ドロップ・レジスタは、K12R レジスタ、C2R レジスタ以外は、フレーム受信ごとに内容が更新されます。ただし、障害、警報が検出されていないことが条件です。

備考 回線障害 LOS, LOF, Line AIS を検出している場合には、SOH, LOH, POH のドロップ・レジスタは更新されず、内容は不定となります。

LOP, Path AIS を検出している場合には、POH のドロップ・レジスタは更新されず、内容は不定になります。

K12R レジスタは、APS 信号が格納されます。K12R レジスタは、K1, K2 (bits1-5) の 13 ビットをチェックして、3 フレーム連続で同じ値を受信したときに更新されます。

C2R レジスタは、Signal Label が格納されます。C2R レジスタは、Signal Label Byte Unstable (SLBU) 状態でない場合において、3 フレーム連続で同じ値を受信したときに更新されます。3 回一致するまでは、変更されません。

3.5 J0/J1 トレース・メッセージの送受信

SOH の J0 バイトと、POH の J1 バイトは、16、あるいは 64 バイトのトレース・メッセージの転送に用いられます。 μ PD98414 は、このトレース・メッセージを送受信するための機能を備えています。

J0 : セクション・トレース・メッセージ

J1 : パス・トレース・メッセージ

3.5.1 トレース・メッセージの送信

μ PD98414 は、トレース・メッセージを設定するためのメッセージ・バッファを J0, J1 それぞれに 2 面 (バッファ A, バッファ B) ずつ装備しており、どちらを送信するかは CPU からの指示に従います。バッファ A から送信している間に、もう一方のバッファ B に新たなメッセージを設定するようにして、2 バッファを交互に用います。トレース・メッセージを送信するのに関連するレジスタおよびコマンドの一覧を表 3 - 22 に示します。

表3 - 22 トレース・メッセージ送信関連レジスタおよびビット

分類	ビット名 / レジスタ名		R/W	概要
モード MDR2 レジスタ	TJ0LS	TJ1LS	R/W	16 バイト or 64 バイト長選択
送信コマンド CMR3 レジスタ	TJ0AE	TJ1AE	R/W	バッファ A の送信指示コマンド
	TJ0BE	TJ1BE	R/W	バッファ B の送信指示コマンド
レジスタ	TJ0AWR	TJ1AWR	R/W	バッファ A のアクセス・レジスタ
	TJ0BWR	TJ1BWR	R/W	バッファ B のアクセス・レジスタ
	TJ0APR	TJ1APR	R/W	バッファ A のポインタ・レジスタ
	TJ0BPR	TJ1BPR	R/W	バッファ B のポインタ・レジスタ

- トレース・メッセージのサイズが 16 か 64 バイト長のどちらかを MDR2 レジスタの TJ0LS ビットに設定します。デフォルト・モードでは 64 バイト・モードになっています。
- バッファ・メモリにメッセージを設定します。ここでは、J0 のバッファ A を使用してトレース・メッセージを送信する場合を例にします。まず、ポインタ・レジスタ (TJ0APR) に 00H をライトします。次にアクセス・レジスタ (TJ0AWR) に 1 ワード (16 ビット) ずつデータをライトしていきます。バッファ A のライト・ポインタは、ライトするたびに自動で 1 ワードずつインクリメント (+1) します。したがって、初期の 1 回だけポインタ値の設定 (00H) を行い、その後はアクセス・レジスタへのライトを繰り返すだけで、64 バイト、あるいは 16 バイトのデータを設定することができます。
- ライト・アクセスするごとにインクリメントされるポインタは、最上位アドレスの書き込みが完了した時点で、自動で 0 に戻ります。最上位アドレスは、メッセージ長の設定より異なります。

TJ0LS [MDR2]	メッセージ長	最上位アドレス
0	64 バイト長モード	1FH
1	16 バイト長モード	07H

4. ポインタ・レジスタ (TJ0APR) には、次にライトした場合に書き込めるワードのポインタ値が表示されます。次に設定したいポインタを直接ポインタ・レジスタに指定することで、メッセージの一部だけを更新することもできます。
5. データ設定後、送信コマンドをイネーブル (CMR3 レジスタの TJ0AE ビットを 1) にすると、 μ PD98414 は、バッファ A の先頭ワードの上位 8 ビットから順に、1 バイトずつ送信フレームの J0 バイトの位置に挿入します。
6. メッセージの送信を中断するには、送信コマンドをディスエーブル (CMR3 レジスタの TJ0AE ビットを 0) にします。ディスエーブルにするまではバッファ A の内容を繰り返し送出し続けます。TJ0AE ビットが 0 にされると、たとえメッセージの途中であっても、メッセージの転送は中断され、J0 バイト位置には OH インサート・レジスタの J0T レジスタの設定値が挿入されるようになります。再度送信コマンドをセットした場合には、バッファの先頭バイトから送信を始めます。
7. バッファ A のメッセージを送信している間に、次のメッセージをもう一方のバッファ B に設定します。
8. バッファ A の送信コマンドをディスエーブルにすると同時に、バッファ B の送信コマンドをイネーブルにします。
9. バッファ A、B ともに送信コマンドがイネーブルになっている場合は、バッファ A の送信が優先されます。
10. 設定したバッファ内のメッセージは、アクセス・レジスタ (TJ0AWR) をリードすることにより読み取ることができます。ただし、CPU が、バッファ A のアクセス・レジスタ (TJ0AWR) にリード・アクセスしてメッセージを読み込む場合は、直接バッファからリードせずに、内部のレジスタを 1 段介して行います。内部レジスタにデータを取り込ませるために、ダミー・リードを一度行う必要があります。
11. ポインタ・レジスタの値は、アクセス・レジスタをリードした場合でも、インクリメントされます。したがって、バッファからのデータの読み出しは、ポインタ値の設定後、初回はダミー・リードが必要になりますが、その後連続して読み出す場合にはダミー・リードは不要です。ポインタは、最上位アドレスの読み出しが完了した時点で自動で 0 に戻ります。

- 注意 1.** 送信コマンド・イネーブルになっている (CMR3 レジスタの TJ0AE ビットが 1) バッファには、アクセス・レジスタ、およびポインタ・レジスタを介してアクセスしないでください。バッファにアクセスするときは、必ず送信コマンドをディスエーブルにしてから行ってください。
- 2.** 送信メッセージ用バッファにリード・アクセスを行う場合、ダミー・リードが 1 度必要になることと、ダミー・リードのためにポインタも 1 つインクリメントされることに注意してください。

図3-22 メッセージ・バッファからのデータ・リード

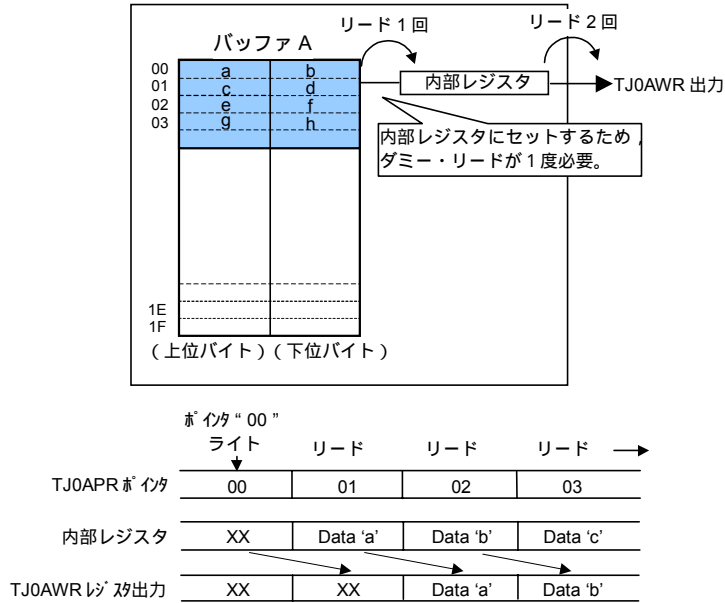
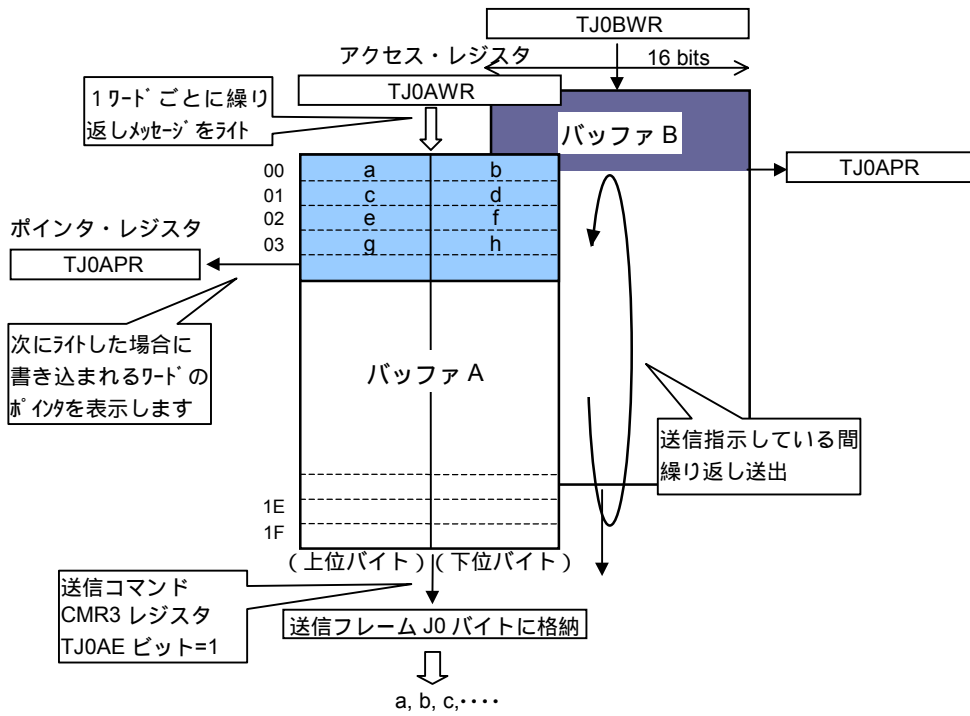


図3-23 トレース・メッセージ送信の概要



3.5.2 トレース・メッセージの受信

受信トレース・メッセージを格納するための64バイト・サイズのバッファをJ0, J1それぞれに2面ずつ(バッファA, バッファB)装備しています。バッファA, バッファBのどちらにメッセージを格納するかは、CPUからの指示に従います。一方のバッファに格納されたメッセージを解読中に、もう一方のバッファに新たなメッセージを格納するように指示し、交互に使用します。トレース・メッセージの受信に関連するレジスタおよびコマンドの一覧を次に示します。

表3-23 トレース・メッセージ受信関連レジスタおよびビット

分類	ビット名 / レジスタ名		R/W	概要
モード	RJ0LS	RJ1LS	R/W	16 or 64 バイト長選択
MDR2 レジスタ	RJ0TIM	RJ1TIM	R/W	設定同期パターンがメッセージの先頭 or 終了か設定
コマンド	RJ0AS	RJ1AS	R/W	バッファ A 格納開始指示コマンド
CMR3 レジスタ	RJ0BS	RJ1BS	R/W	バッファ B 格納開始指示コマンド
通知	RJ0AO	RJ1AO	R	バッファ A に格納完
ATPR レジスタ	RJ0BO	RJ1BO	R	バッファ B に格納完
RDUR レジスタ	RJ0MUL	RJ1MUL	R	J0, J1 Trace Message Unstable の通知
バッファ関連 レジスタ	RJ0CMR	RJ1CMR	R/W	同期パターン設定
	RJ0MKR	RJ1MKR	R/W	同期パターンのマスク・ビット指定
	RJ0ARR	RJ1ARR	R	バッファ A のアクセス・レジスタ
	RJ0BRR	RJ1BRR	R	バッファ B のアクセス・レジスタ
	RJ0APR	RJ1APR	R/W	バッファ A のポインタ・レジスタ
	RJ0BPR	RJ1BPR	R/W	バッファ B のポインタ・レジスタ

(1) メッセージの受信動作

セクション・トレース・メッセージ (J0) を受信する場合を例にして、メッセージ受信の手順を説明します。

1. トレース・メッセージのサイズが16か64バイト長のどちらであるかをMDR2レジスタのRJ0LSビットに設定します。デフォルト・モードでは64バイト・モードになっています。
2. メッセージの先頭、あるいは終了を示す同期パターンを2バイト長でRJ0CMRレジスタとRJ0MKRレジスタに設定します。RJ0CMRレジスタには検出するパターンを設定し、RJ0MKRレジスタには、RJ0CMRレジスタのビット列で、Don't Careにするビットを指定します。
3. 設定した同期パターンがメッセージの先頭なのか終了なのかをMDR2レジスタのRJ0TIMビットに設定します。デフォルトでは、終了パターンであると設定されています。

たとえば、MSBが1にされている1バイト(1XXXb)をメッセージの終了パターンとして、認識させたいときは、次のような設定になり、RJ0TIMビットは0になります。

RJ0CMR (16ビット)	1000 0000 0000 0000	RJ0TIM [MDR2]	検出パターンの位置
RJ0MKR (16ビット)	0111 1111 1111 1111	0	メッセージの最後尾を指定
検出するパターン	1XXX XXXX XXXX XXXX	1	メッセージの先頭を指定

4. μ PD98414 は、J0, J1 のそれぞれに A, B の 2 面ずつのバッファを持ちます。どちらに格納するかは、CPU の指示に従います。ここでは、バッファ A に格納指示を出す場合を例にします。

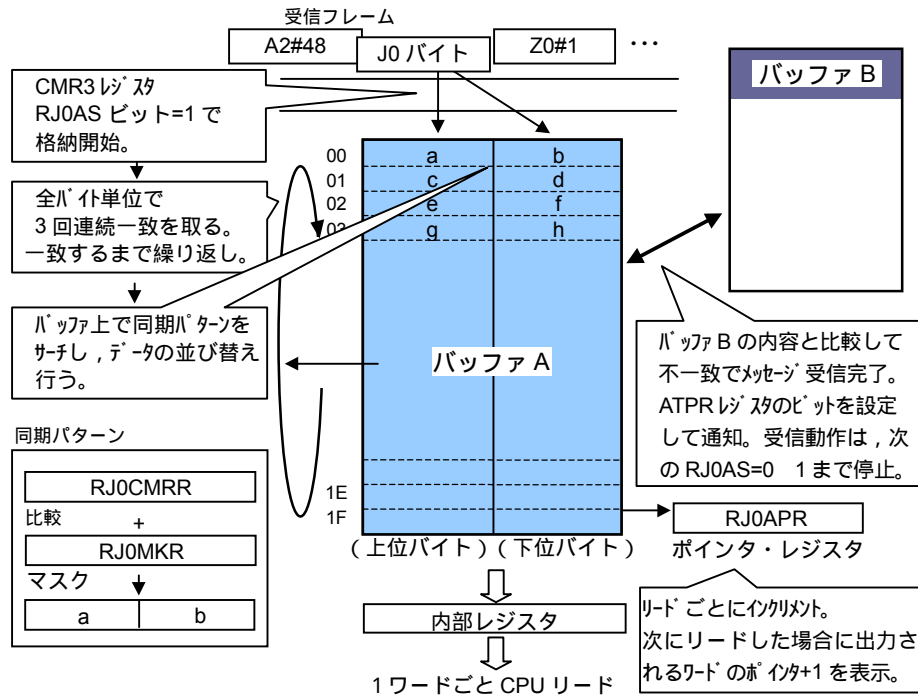
5. CPU は、CMR3 レジスタの RJ0AS ビットを 1 にセットしてバッファ A のメッセージ受信をイネーブルにします。
6. μ PD98414 は、受信フレームの J0 バイト位置のデータを順に受信バッファ A に格納し、更新を繰り返しながら、データ列の内容を確認します。バッファ A に格納したデータ列が、次の 3 つの条件を満たすと、新規メッセージの着信として、CMR3 レジスタの RJ0AS ビットを 0 に戻すと同時に、ATPR レジスタの RJ0AO ビットをセットして CPU に通知します。RJ0AO ビットのセットは、割り込み要因にすることができます。
 - 条件 1. 同期パターンを含む
 - 条件 2. 同じメッセージを 3 回以上連続で受信した
 - 条件 3. 前回受けたメッセージと異なる（もう一方のバッファ B の内容と異なる）
7. CPU は、新規メッセージ着信の通知を受けると、次のメッセージ受信を行うため、CMR3 レジスタの RJ0BS ビットをセットしてバッファ B の受信動作を開始します（バッファ B のデータの読み込みが完了し新規メッセージを上書きしてもよい場合）。
8. バッファ内に格納されたメッセージは、 μ PD98414 によって自動でデータの並べ替えが行われます。同期パターンをメッセージの先頭に指定した場合は、バッファの先頭（ポインタ = 00H）に同期パターンが位置するように、同期パターンをメッセージの終了バイトとして指定した場合は、メッセージの最後に同期パターンが位置するように配置しなおされています。
9. CPU は、アクセス・レジスタ（RJ0ARR）を介してバッファ A のメッセージを読み出します。CPU がレジスタをリードすると、バッファ A 内のデータがレジスタに格納されます。初回のリードでは、バッファ内のデータが格納される前のレジスタの不定値を読み出しますので、新規メッセージを取り込む場合には、バッファ A のポインタ・レジスタ（RJ0APR）に 00H を設定した後に、アクセス・レジスタ（RJ0ARR）を一度ダミー・リードするようにしてください。ダミー・リード時にもポインタは 1 つ進みますので、ダミー・リード後に読み出すデータとポインタとの間には 1 のズレが生じます（図 3 - 22 を参照してください）。
10. CPU が、アクセス・レジスタにアクセスするたびに、 μ PD98414 は、バッファのポインタを自動でインクリメント（+1）します。1 メッセージのデータを先頭から最後まで連続して読み出す場合には、初回にダミー・リードを必要としますが、その後にダミー・リードは不要です。ポインタは、最上位アドレスのデータをリードすると自動で 0 に戻ります。最上位アドレスは、メッセージ長が 64 バイトの場合と 16 バイト長の場合で異なります。

RJ0LS [MDR2]	メッセージ長	最上位アドレス
0	64 バイト長モード	1FH
1	16 バイト長モード	07H

11. ポインタ・レジスタ（RJ0APR レジスタ）には、次に CPU がリードすると得られるアドレスのさらに +1 された値が表示されます。
12. CPU は、ポインタ・レジスタに、次に読み込みたいポインタを直接指定することができますが、ポインタを設定してからリードする場合、必ずダミー・リードが一度必要になります。
13. メッセージの受信動作は、メッセージ受信完了と同時に動作を停止し、CMR3 レジスタの RJ0AS がふたたび 0 → 1 に変化すると、動作を開始します。バッファ A とバッファ B に対して同時に受信指示が発行された場合は、バッファ A が優先されます。
14. J0, J1 バイトの OH ドロップ・レジスタへの格納、および OH エキストラクト・インタフェースへの出力は、トレース・メッセージの受信動作とは無関係に実行されます。

- ★ 注意 1. 同じメッセージを 3 回以上連続受信した場合に新規メッセージの着信と判断しますが、最短長の 3 回連続メッセージのみ受信した場合には、検出できないことがあります。μ PD98414 がメッセージ着信を必ず検出するには、同じメッセージを 7 回連続で受信させるようにしてください。
- 2. アクセス・レジスタにアクセスする場合は、必ず受信コマンドがディスエーブル (CMR3 レジスタの RJ0AS ビットが 0) になってからにしてください。

図 3 - 24 トレース・メッセージ受信の概要



(2) 受信トレース・メッセージの監視

(a) J0 Section Trace Message Unstable の検出

★ J0 バイトに格納されて受ける 16 バイト、もしくは 64 バイト長のセクション・トレース・メッセージを安定して受信しているかをチェックします。J0 メッセージ・バッファに格納されたメッセージが、前回のメッセージの内容と異なる場合、内部カウンタをインクリメント (+1) し、そのカウンタが 5 まで到達すると、J0 Section Trace Message Unstable (RJ0MUL) として状態表示します。RJ0MUL 状態は、3 回連続して同じ内容のメッセージを受信すると内部カウンタのリセットとともに解除されます。

(b) J1 Path Trace Message Unstable の検出

★ J1 バイトに格納されて受ける 16 バイト、もしくは 64 バイト長のパス・トレース・メッセージを安定して受信しているかをチェックします。J1 メッセージ・バッファに格納されたメッセージが、前回のメッセージの内容と異なる場合、内部カウンタをインクリメント (+1) し、そのカウンタが 5 まで到達すると、J1 Path Trace Message Unstable (RJ1MUL) として状態表示します。RJ1MUL 状態は、3 回連続して同じ内容のメッセージを受信すると解除されます。

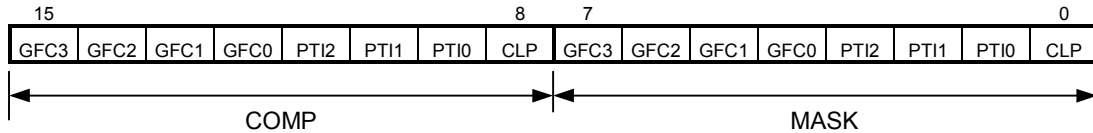
3.6 無効セルの選択

3.6.1 廃棄無効セルの選択

μ PD98414 は、VPI/VCI フィールドがオール 0 であるセルを受信すると、そのセルを無効セルと判断します。無効セルは、さらに VPI/VCI 以外のヘッダ値と、DCHPR レジスタの COMP フィールドの設定値とをベリファイして、一致する場合は廃棄します。一致しない場合は、廃棄せずに受信 FIFO に格納し ATM レイヤ・インタフェースより出力します。COMP フィールドとのベリファイは、MASK フィールドの設定によってヘッダのビットごとにマスク設定することができます。MASK フィールドに 1 がセットされたビットに対応する COMP フィールドのビットは、Don't Care になり、ベリファイされません。

デフォルト・モードでは、MASK フィールドの CLP ビットのみがマスク設定されており、CLP ビットが Don't Care になっていますので、ほかのヘッダ・フィールドが一致すれば廃棄されるので、アイドル・セルとアンアサインド・セルをととも廃棄する設定になっています。

図3-25 DCHPR レジスタ



DCHPR レジスタの設定例

COMP 領域 CLP ビット	MASK 領域 CLP ビット	セル廃棄
Don't Care	1	アイドル・セル&アンアサインド・セル廃棄 (デフォルト・モード)
1	0	アイドル・セル廃棄
0	0	アンアサインド・セル廃棄

3.6.2 送出無効セルの選択

μPD98414 は、送信 FIFO の有効セル・データが 1 セルに満たなくなると、アイドル・セルを挿入します。レジスタの設定によって、送出無効セルをアイドル・セルからアンアサインド・セルに変更することができます。

表3-24 送出無効セル・フォーマット

	GFC	VPI	VCI	PTI	CLP	Payload
アイドル・セル	0	0	0	0	1	オール 6AH
アンアサインド・セル	0	0	0	0	0	オール 00H

3.7 テスト用疑似フレームの送出機能

表3-25 に示すエラーを対向装置に引き起こさせる疑似フレームを内部で生成し、送出することができます。この機能は、システム・テスト時に有効です。CMR4 レジスタへ設定することで実行できます。

表3-25 疑似エラー・フレーム

ターゲット・エラー	疑似フレーム名	送出フレームの内容
LOS	PLOS フレーム	送信データを 00H に固定します。
OOF/LOF	POOF フレーム	A1, A2 バイトを 00H に固定します。
LOP	PLOP フレーム	H1, H2, H3 バイトを FF, FE, FFH に固定します。
OCD, LCD	POCD フレーム	HEC フィールドの LSB ビットを反転させたセルをマッピングします。
B1 エラー	PB1 フレーム	B1 バイトの LSB ビットを反転します。
B2 エラー	PB2 フレーム	B2 バイトの LSB ビットを反転します。
B3 エラー	PB3 フレーム	B3 バイトの LSB ビットを反転します。
Line REI	PLREI フレーム	M1 バイトを 01H に固定して送出します。
Path REI	PPREI フレーム	G1 バイトの bits1-4 を "0001" に固定して送出します。

3.8 ループバック機能

2種類のループバック・モードを装備しています。設定はMDR4レジスタで行います。

(1) ATM Loop back

ATM レイヤ・インタフェースの送信側に入力されたセル・データを FIFO ブロックで折り返し、ATM レイヤ・インタフェースの受信側から出力します。受信側のフレーム・ブロックは通常どおりの動作を行っており、障害、警報検出のレジスタ情報 (OCD, LCD を含む) は、回線側から受ける受信データの状態を表します。ループバック設定時は、ループ・データを送信回線側へ出力せず、代わりにアイドル・セルまたは、アンアサインド・セルをマッピングしたフレームを送信します。MDR4 レジスタの ALPDE ビットを設定すると、ループ・データを折り返すのと同時に、送信回線側にも同時に送ることができます。

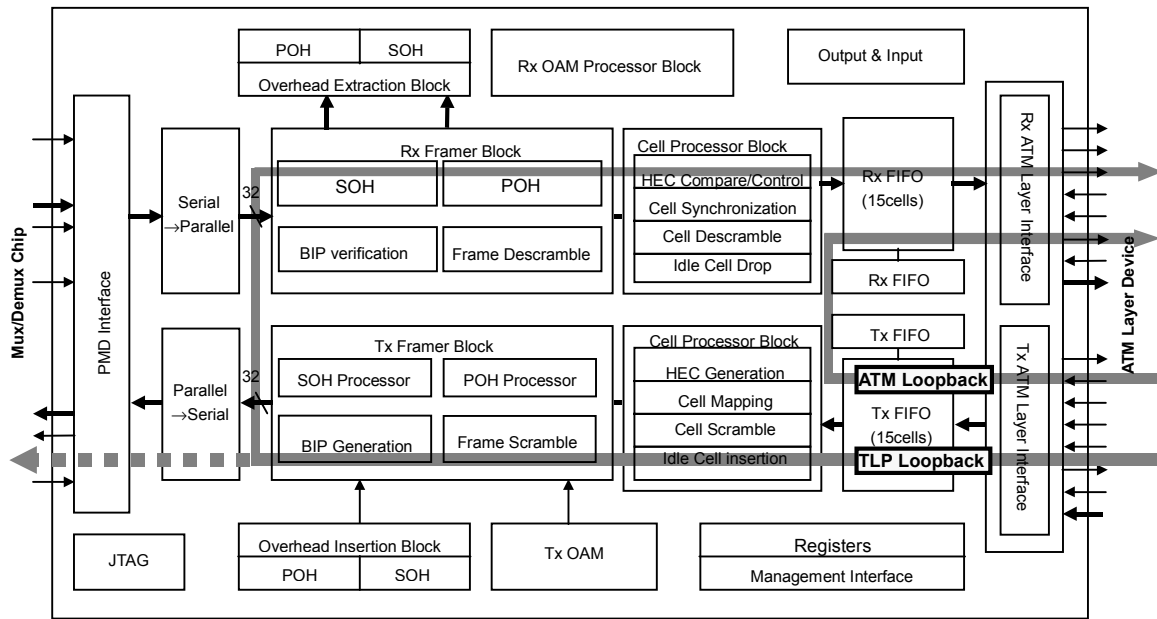
(2) TLP Loop Back

ATM レイヤ・インタフェース側からのセル・データをシリアル / パラレル変換部の直前で折り返し、ATM レイヤ・インタフェースの受信側から出力します。このモードでは、送信回線側にループバック・データを送出します。LOS 以外の障害、警報検出のレジスタ情報は、ループバック・データの状態を表します。LOS の検出ブロックは、ループバック・ポイントよりも回線側に位置しているため、TLP モード時においても μ PD98414 は受信回線の入力状態をモニタして表します。

- 注意 1.** TLP モード時に LOS を検出した場合は、回線状態が LOS 状態から復帰しても μ PD98414 は TLP モードに
いる間、LOS を表示し続けます。TLP モード時に検出された LOS は、TLP モードから抜けてから正常フレームを受信することで解除されます。
- 2.** 内部回路のループバック・モードのオン / オフは、フレーム、あるいはセルの転送中であっても切り替えるため、モードが切り替わった直後は寸断されたフレーム、セルがループ・データとして発生します。したがって、ループバック・モードの設定、解除を行った直後は、受信側にエラーを検出します。

- 備考 1.** TLP モードでは、ループ・データを回線側へ出力します。ループ・データを回線側に出力したくない場合は、CMR1 レジスタの LAISC ビットを設定することにより、代わりに Line AIS フレームを回線側に送出することができます。Line AIS フレームの生成ポイントは、TLP モードの折り返しポイントより回線側にあるため、Line AIS フレームは、折り返されることなく回線側だけへの出力になります。
- 2.** ループバック・モード時は、CD 端子にロウが入力されたことによる受信フレーム・ブロックのリセット機能、または、LOS 検出によるリセット機能はキャンセルされ、ループバックは行えます。
- ★ **3.** ATM ループバック・モードでは、 μ PD98414 は HEC フィールドを付加していないセルを折り返します。
- ★ **4.** HEC エラー・ドロップ・セル・カウンタ、HEC コレクト・セル・カウンタ、受信有効セル・カウンタは、ATM ループバック・モード時においても、折り返すセルではなく回線側から入力されるセルをカウント対象とします。

図3-26 ループバック・ポイント



第4章 インタフェース

4.1 ATM レイヤ・インタフェース

ATM レイヤ・インタフェースは上位 ATM レイヤ・デバイスに対し、送受信セル・データの転送を行うためのインタフェースです。その機能概要を次に示します。

- ・ 32-bit のデータ幅で、最大 104 MHz の速度で転送。
- ・ 送受信共に、15 セル分の送受信 FIFO を搭載。
- ・ モード設定により、転送セル・フォーマットを 52 バイト長、56 バイト長から選択可。
- ・ 受信セルを連続出力する場合の最短周期を設定可。
- ・ 送信セルのパリティ・チェックを実行、受信セルのパリティ・ビットを生成して出力。
- ・ 送受信 FIFO の RAM 内でもパリティ・チェックを実行。
- ・ 送受信 FIFO の書き込みオーバーフローを検出。
- ・ 送信 FIFO に空き領域があることを通知する TXCLAV 信号を、デアサートする FIFO のしきい値条件 (送信 FIFO の蓄積セル数) を、9, 11, 13, 15 セルから選択可能。
- ・ オプション機能として、受信セルの先頭に 1 ワードのフィールドを付加して、セルごとに TAG を付ける動作をアシストするモードをサポート。

4.1.1 信 号

(1) 送信インタフェース

送信インタフェースで使用する信号線の定義を示します。

TXCLK :	ATM レイヤから供給される 104 MHz までのクロック信号です。送信インタフェースのデータ転送におけるすべての動作は、このクロックに同期して実行されます。
TXCLK_O :	TXCLK に入力されるクロックを、折り返し出力します。
TXDATA[31:0] :	送信セル・データを入力する 32-bit データ・バスです。μPD98414 は、TXCLK の立ち上がりエッジで取り込みます。
TXSOC :	送信セルの先頭位置を示す信号を入力します。
TXENB_B :	ATM レイヤ・デバイスが、有効な送信データを TXDATA 上に出力していることをバイト単位で μPD98414 に通知する信号です。
TXSEL_B :	ATM レイヤ・デバイスが有効な送信データを TXDATA 上に出力することをセル単位で μPD98414 に通知する信号です。
TXCLAV :	送信 FIFO の空き状況を ATM レイヤ・デバイスに通知します。
TXPRTY :	TXDATA に入力するデータの奇数パリティ・ビットを入力します。

(2) 受信インタフェース

受信インタフェースで使用する信号線の定義を示します。

RXCLK :	104 MHz までの受信データ転送用のクロックを入力します。
RXCLK_O :	RXCLK に入力されるクロックを、折り返し出力します。
RXDATA[31:0] :	ATM レイヤ・デバイスに向けて受信セル・データを出力する 32-bit データ・バスです。RXCLK の立ち上がりエッジで更新します。
RXSOC :	ATM レイヤ・デバイスに、受信セルの先頭位置を通知します。
RXENB_B :	ATM レイヤ・デバイスが、 μ PD98414 の受信セル・データの出力をバイト単位でイネーブル制御するための信号です。
RXSEL_B	ATM レイヤ・デバイスが、 μ PD98414 の受信セル・データの出力をセル単位でイネーブル制御する信号です。
RXCLAV :	μ PD98414 は RXCLAV をハイにして、転送すべき受信データがあることを、ATM レイヤ・デバイスに通知します。受信 FIFO 内にさらに 1 セル以上の有効データがある場合は、RXCLAV をハイに維持し、ない場合は、ロウに変化させます。
RXPRTY :	RXDATA より受信セル・データを出力するとき、奇数パリティ・ビットを生成し RXPRTY より出力します。

注意 μ PD98414 の ATM レイヤ・インタフェースにおけるセルのトラフィック制御方法は、

TXENB_B , RXENB_B によるバイト単位制御

TXSEL_B , RXSEL_B によるセル単位制御

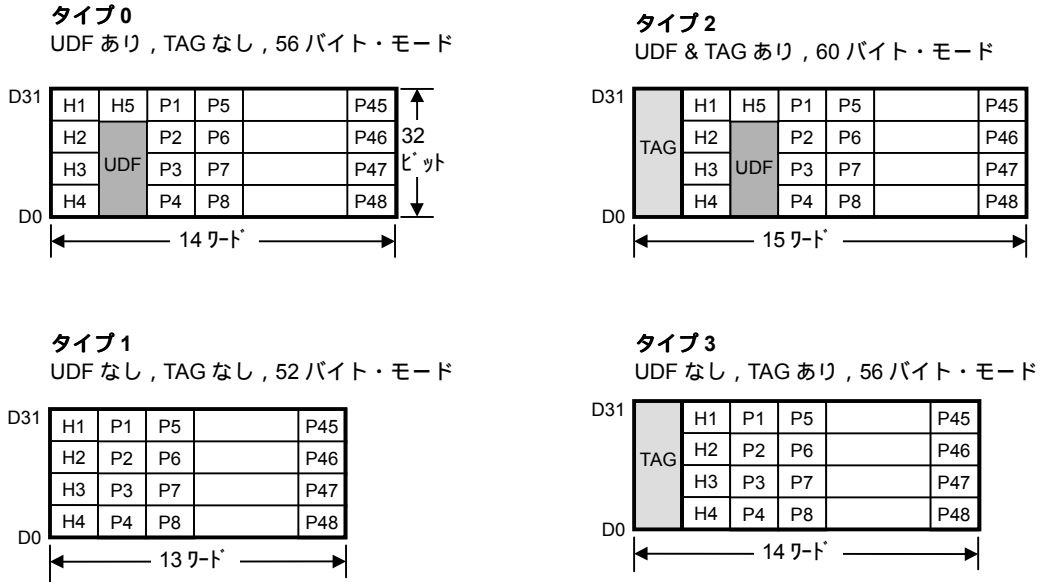
の 2 種類が存在することになりますが、制御はどちらか一方のみで行うようにしてください。両方を併用して行う動作は保証できません。使用しない側の制御信号は、必ずロウに固定するようにしてください。

4.1.2 セルのフォーマット

ATM レイヤ・インタフェースを流すセルのフォーマットを、図 4 - 1 に示す 4 種類から選択することができます。

★

図 4 - 1 セルのフォーマット



UDF (User Defined Field): 受信側ではオール '00H' を出力, 送信側では内部で廃棄します。
TAG: 受信側ではオール '00H' を出力, 送信側では内部で廃棄します。

(1) UDF (H5 バイト) のあり/なし

μ PD98414 は、セル・オーバーヘッドの HEC フィールドにあたる 5 バイト目 (H5 バイト) を除いた 52 バイト長セルと、含めた 56 バイト長セルのフォーマットをサポートしています。H5 を含める場合には、一緒にダミー・データの 'UDF' が挿入されますので、本マニュアル上では 56 バイト長セル・フォーマットを 'UDF ありモード'、52 バイト長セル・フォーマットを 'UDF なしモード' と表しています。

表 4 - 1 UDF のあり/なしモード

	UDF ありモード (デフォルト) UDFE ビット = 0	UDF なしモード UDFE ビット = 1
送信	セルを 56 バイト長 (14 ワード) として取り込みます。H5 バイトには、内部で演算した HEC 値を上書きし、UDF は内部で廃棄します。	セルを 52 バイト長 (13 ワード) として取り込みます。μ PD98414 内部で H4 と P1 の間に HEC 値を挿入します。
受信	受信した HEC 値と UDF (オール '00H') を合わせて、セルの 2 ワード目に挿入してセルを 56 バイト長 (14 ワード) で出力します。	受信した HEC を μ PD98414 内部で廃棄し、52 バイト長 (13 ワード) セルとして出力します。

(2) TAG のあり / なし

上位 ATM レイヤ・デバイスにおいて、セルごとに TAG (ラベル) を付加する場合に、それをアシストする機能として、セルの先頭ワードに 1 ワードのスペースを開けて送出するモードをサポートしています。これを、TAG のあり / なしモードと表しています。

表 4 - 2 TAG のあり / なしモード

	TAG なしモード (デフォルト) TAGE ビット = 0	TAG ありモード TAGE ビット = 1
送信	TXSOC がハイになって示されるワードからセルの先頭ワードとして取り込み始めます。	TXSOC がハイになって示されるワードの次のサイクルのワードからセルの先頭ワードとして取り込み始めます。 μ PD98414 は先頭ワード (TAG) を無視します。
受信	セルの先頭ワードを出力するときに RXSOC をハイにします。	セルの先頭ワードの前に 1 ワードの TAG スペース (オール '00H') を挿入し、TAG スペースを出力するときに RXSOC をハイにします。

(3) 受信セルの最短出力周期設定

RXENB_B および RXSEL_B がロウに固定されていて、μ PD98414 が連続して受信セルを出力できる状態において、セルの出力周期を可変することができます。

セル周期は、52 ~ 64 バイト・モードまで 4 段階で設定できます。

表 4 - 3 受信セルの最短出力周期一覧

セル周期	MDR5 レジスタ RINT[1:0]	TAG なし (TAGE = 0)		TAG あり (TAGE = 1)	
		UDF なし (UDFE = 1)	UDF あり (UDFE = 0)	UDF なし (UDFE = 1)	UDF あり (UDFE = 0)
52 バイト・モード	00	52 バイト			
56 バイト・モード	01	56 バイト	56 バイト	56 バイト	
60 バイト・モード	10	60 バイト	60 バイト	60 バイト	60 バイト
64 バイト・モード	11	64 バイト	64 バイト	64 バイト	64 バイト

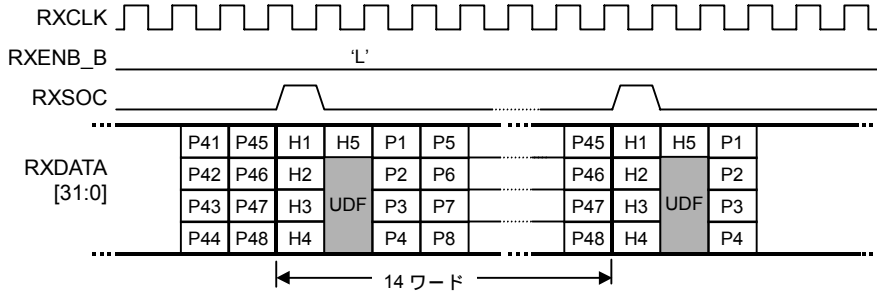
デフォルト・モードは、セル周期 56 バイトで、TAG なし、UDF ありのモードになっています (表中のハッチング箇所)。セル周期の設定値が、TAG と UDF の設定によるセル・フォーマットのサイズを下回ってしまう場合、セル周期は、可能な最小値に強制的になります。たとえば、TAG なし、UDF ありと設定した場合、セル・フォーマットは 56 バイト長になるため、セル周期を 52 バイトにモード設定しても 56 バイト長になります。

★ 図4-2(a)は、UDFあり、TAGなし、最短出力周期を56バイト・モードに設定した場合に、受信セルを連続出力するときの周期例を示しています。セルの間隔は14ワードになります。図4-2(b)は、(a)と同じセル・フォーマットで最短出力周期を64バイト・モードにした場合の例です。この場合、セルの最終ワードの後ろには、オール“00H”のダミー・データが2ワード挿入され、セルの間隔は必ず16ワードになります。

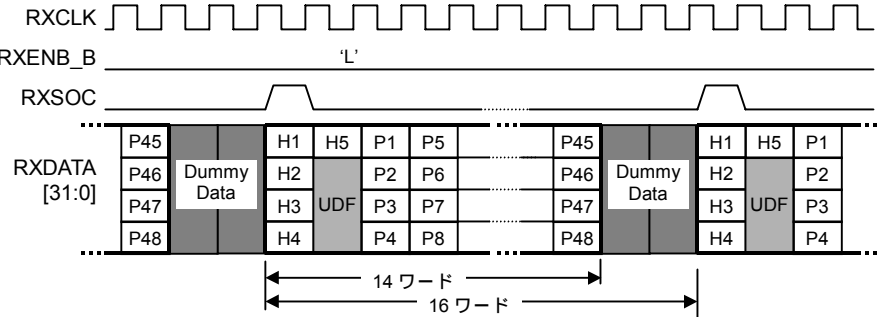
★

図4-2 受信セルの出力周期例

(a) UDFあり、TAGなし、最短出力周期56バイト・モード設定時(セル長=周期)



(b) UDFあり、TAGなし、最短出力周期64バイト・モード設定時(セル長<周期)



■ Dummy Data : 受信セルの最短出力周期を調整するためのオール‘00H’のダミー・データ。

セルの最短出力周期の設定は、ATMインタフェースの受信側にのみ働く設定で、送信側には関係ありません。送信側 ATM レイヤ・インタフェースにおいて、TXENB_B、TXSEL_B がロウに固定されている場合は、μPD98414 は入力セルの先頭を TXSOC のハイにより識別し、そのサイクルからセル・フォーマットに応じたデータ数をカウントして取り込みます。1セル分のワード・データを取り込んだあと、次に TXSOC がハイになるまでの間のデータは無視し取り込みません。また、TXSOC が1セル分に満たない間隔で入力された場合は、そのセルを異常なショート・セルと認識し送信 FIFO に格納することなく廃棄します。

注意 ATM レイヤ・インタフェースにおいて、セルの転送中に MDR5 レジスタへの設定によってセル・フォーマットのモードを変更した場合、変更した直後はごみセルが発生します。セル・フォーマットのモードを変更する場合、セルを転送する前に行ってください。

4.1.3 送信インタフェースのオペレーション

(1) TXCLAV 信号に関する設定

現在取り込み中のセルで送信 FIFO 内のセルが 'n セル' になる場合、 μ PD98414 は TXCLAV をロウにデアサートして、次のセルの転送を行わないよう ATM レイヤ・デバイスに通知します。n の値を変更することができます。デフォルト・モードでは、n = 15 に設定されており、現在取り込み中のセルで、送信 FIFO がフルになる場合に、TXCLAV はロウになります。n の設定は、MDR5 レジスタの TCAV[1:0]ビットによって行います。

TCLAV がロウになっても、セルを転送し続けた場合、15 セル分のサイズを持つ送信 FIFO がフルになるまでは、セルを受け取ります。送信 FIFO 内に 15 セルが存在し、さらに 16 セル目を入力した場合には、送信 FIFO オーバフロー状態の検出として、UEDR レジスタの TFOD ビットに状態表示します。16 セル目以降のセルは廃棄されます。FIFO に空き領域が生じるとオーバフロー状態は解除され、通常どおりデータの取り込みが行われます。

TCAV0, TCAV1	しきい値 'n'
00	15 セル (デフォルト)
01	13 セル
10	11 セル
11	9 セル

(2) TXSEL_B による送信セル入力制御

図 4-3 は、TXSEL_B を使用したときの送信インタフェースのタイム・チャートです。タイム・チャート上の送受信データ線 TXDATA[31:0]の最上位バイトのみ表現しています。H1 は、H1-H4 の 4 バイトであることに注意してください。

図 4-3 では、'TAG なし&UDF あり'のセルを入力しています。TXSEL_B を使用するときには、TXENB_B は、必ずロウに固定しなければなりません。 μ PD98414 は、TXSEL_B = ロウを検出した次のクロック・エッジで、TXSOC = ハイであれば、そのクロック・エッジから入力されるセルを送信 FIFO に取り込みます。一度、TXSEL_B = ロウを検出しセルの取り込みを開始すると、次に TXSOC = ハイになる直前のクロック・エッジまで TXSEL_B はサンプリングしません。

現在取り込んでいるセルにより送信 FIFO がフルになる場合は、クロック・エッジ 9 以降で TXCLAV = ロウにデアサートされます。クロック・エッジ 2 から 9 までの TXCLAV の状態は、不定です。送信 FIFO がフルにならないならば、クロック・エッジ 9 以降も TXCLAV = ハイを維持します。

図4-3 送信タイム・チャート1

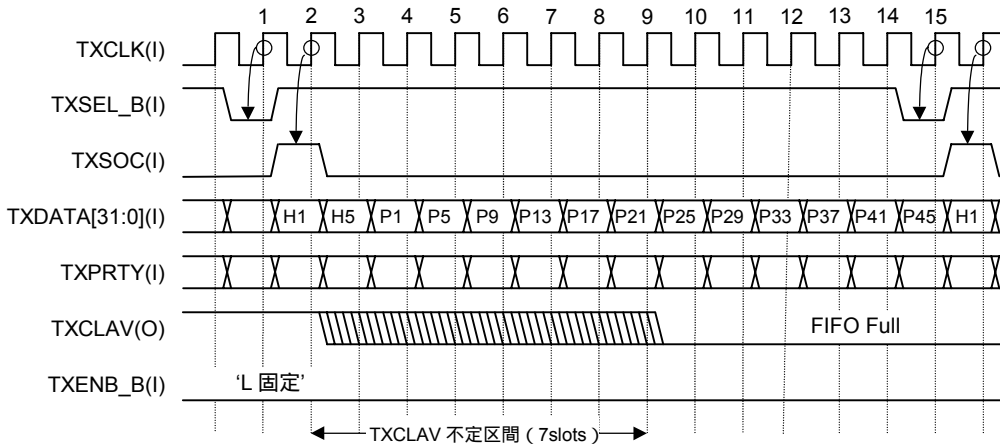


図4-4は、連続してセルを入力せず、セルとセル間隔を開けて入力した場合の例です。μ PD98414は、TXSOC = ハイを検出すると、設定されているセル・フォーマットに応じたクロック数をカウントしてセルを取り込みます (UDFあり&TAGなしの場合14クロック、UDFなし&TAGなしの場合13クロック、UDFあり&TAGありの場合15クロック)。それ以降のデータは次にTXSOC = ハイになるまで(クロック・エッジ6~9のデータ)、送信FIFOに取り込みません。'P45'以降の無効データ区間の長さには制限はありません。

図4-4 送信タイム・チャート2

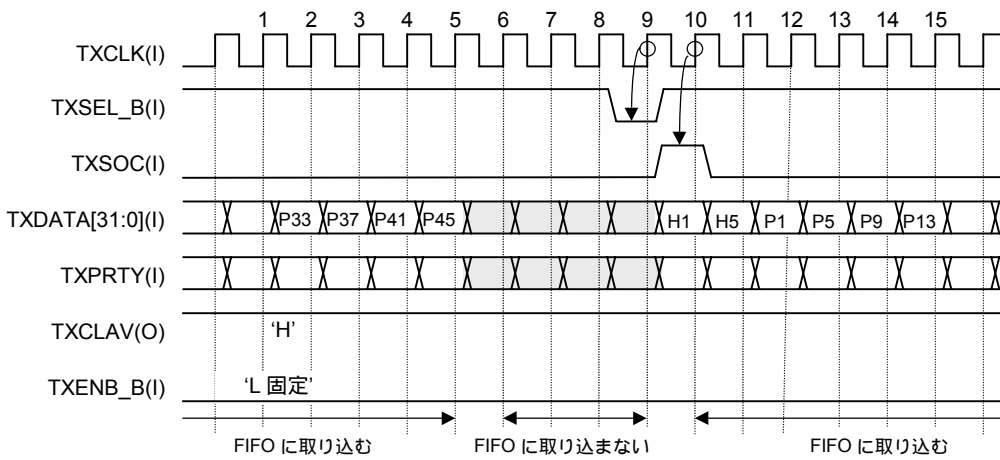


図4-5は、セルの先頭にTXSOCがない場合の例です。μ PD98414はクロック・エッジ9以降のセルを送信FIFOに取り込みません。送信側インタフェースでは、TXSOCの入力を停止すればセルの入力をコントロールできます。

図4-5 送信タイム・チャート3

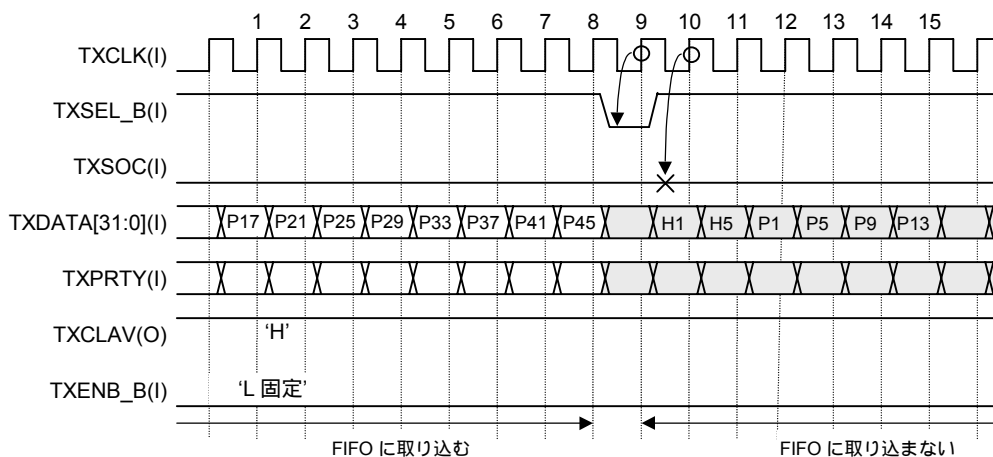
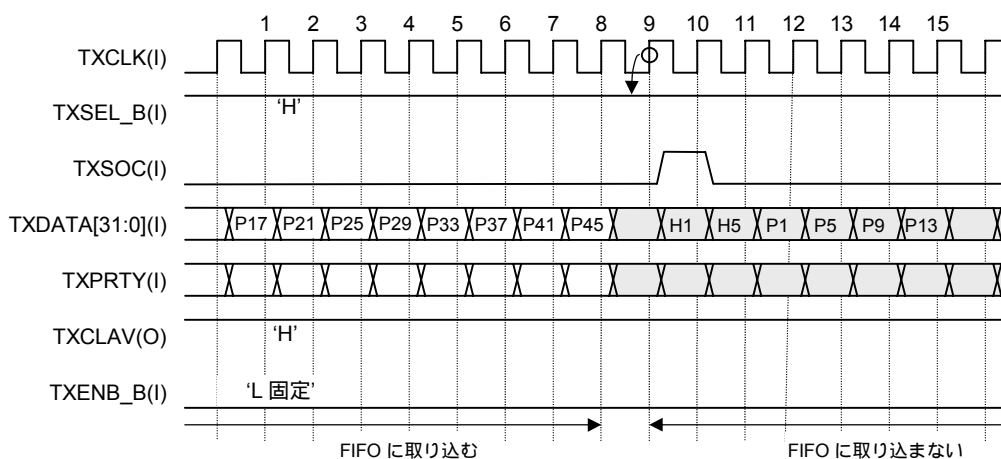


図4-5のようにTXSOCを一定周期で入力することでセル入力周期を制御できますが、TXSEL_Bを併用することで、図4-6のようにTXSOC入力の停止を行わなくても、セル入力を制御することができます。

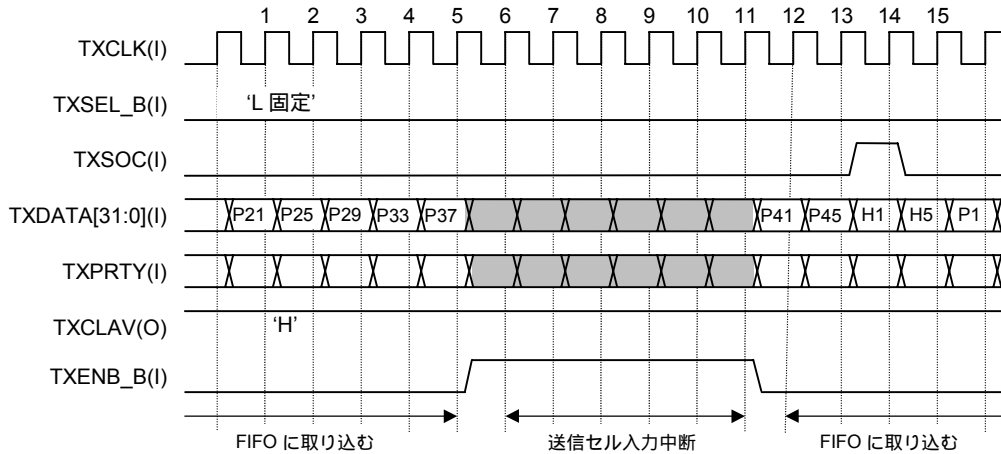
図4-6 送信タイム・チャート4



(3) TXENB_Bによる送信セル入力制御

図4-7は、セル転送中にTXENB_B = ハイにすることによって、送信を中断している例を示しています。
 μ PD98414は、TXENB_B = ハイのクロック・サイクルでは、TXDATA上データを送信FIFOに取り込みません。

図4-7 送信タイム・チャート5

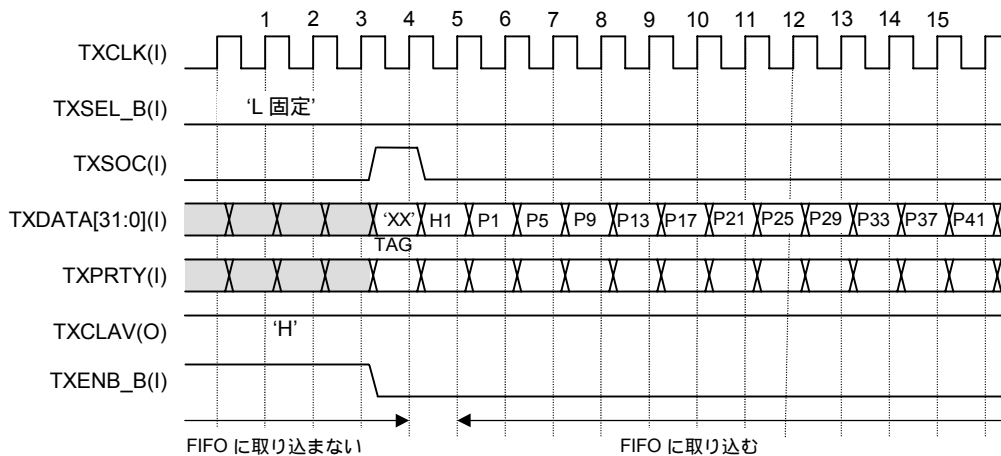


(4) TAG ありの UDF なしの送信セルの入力

図4-8は、'TAGあり&UDFなし'のフォーマットのセルを取り込む場合の例を示しています。μPD98414は、TXSOC = ハイのクロック・サイクルのデータは、TAGとして認識し、送信FIFOには取り込みません。H1-H4ワード・データの次のワードはP1-P4のデータとして取り込みます。

MDR5レジスタでセル・フォーマットを変更した場合、その後に入力するセルはその設定に合わせたフォーマットでなければなりません。MDR5レジスタの設定と異なるセルを入力してしまった場合、μPD98414は設定されたフォーマットに応じてTXDATA上のデータを送信FIFOに取り込み、回線側に出力します。たとえば、MDR5レジスタの設定が、'TAGあり&UDFなし'のフォーマットに設定されている場合に、'TAGなし&UDFあり'のフォーマットで入力すると、μPD98414は、入力セルの先頭H1-H4のワードをTAGとして内部で廃棄します。また、MDR5レジスタは'TAGあり&UDFあり'のとき、'TAGなし&UDFなし'のフォーマットでセルを連続入力した場合、TXSOCの入力周期が、セル・フォーマットよりも短くなり、異常なショート・セルとして内部で廃棄します。

図4-8 送信タイム・チャート6



注意 TXSEL_B と TXENB_B では、 μ PD98414 がロウをサンプリングしてから、TXDATA 上の送信セル・データの取り込みを開始するタイミングが異なることに注意してください。TXSEL_B の場合は、ロウを検出したクロック・エッジの次のクロックで TXDATA 上のデータを取り込みます。TXENB_B の場合は、ロウを検出したクロックの同じ立ち上がりエッジでデータを取り込みます。

4.1.4 受信 ATM レイヤ・インタフェースのオペレーション

(1) 受信 FIFO への書き込みインタフェースのイネーブル/ディスエーブル

リセット後のデフォルト状態では、ATM インタフェースの受信 FIFO への書き込みがディスエーブル状態になっています。これは、 μ PD98414 が、リセット直後、不安定な回線信号を受信してごみセルを ATM レイヤ・デバイスに送出してしまうことを避けるためです。回線側の受信フレーム・ブロックは、リセット直後からフレーム同期およびセル同期を確立するように動作を開始し、受信フレームからセルを抽出しますが、受信 FIFO への書き込みがイネーブルになるまでは受信 FIFO に格納されず廃棄されます。受信 FIFO への書き込みがディスエーブルの間に廃棄されたセルは、HEC ドロップ・セル・カウンタや、受信有効セル・カウンタのカウント対象にならず、受信 FIFO オーバフロー・エラーも検出されません。

受信 FIFO への書き込みをイネーブルにするには、MDR5 レジスタの RUTE ビットを、ATM インタフェースのモード設定とともに 1 にセットしてください。

受信 FIFO の書き込み制御は、MDR5 レジスタによる制御以外にも、 μ PD98414 が、受信回線の障害 (LOS 検出時など) に応じて自動で書き込みをディスエーブルにする場合があります。

(2) RXSEL_B による受信セルの出力制御

図 4-9 は、RXSEL_B を使用して受信セルを出力した場合のタイム・チャートです。セル・フォーマットが、'TAG なし&UDF あり' で、セル出力最短周期が 56 バイト・モードに設定されている場合を例にしています。 μ PD98414 は、RXSOC = ハイにしてセル出力を開始するエッジより 1 クロック前のエッジで RXSEL_B の状態をサンプリングし、RXSEL_B = ロウならば 1 クロック後からセルの出力を開始します。一度、RXSEL_B = ロウを検出し、セル出力を開始した場合は、次のサンプル・タイミング (RXSOC を出力する 1 クロック前のエッジ) まで RXSEL_B の状態は Don't Care です (この Don't Care の長さは、次に RXSOC を出力する 1 クロック前までなので、設定されたセル・フォーマットに依存します)。現在、出力中のセルで受信 FIFO 内のセルが 1 セルに満たなくなった場合は、クロック・サイクル 11 から RXCLAV = ロウにします。クロック・サイクル 4 から 10 までは、RXCLAV の状態は不定です。受信 FIFO に 1 セル以上のセル・データがある場合には、クロック・サイクル 10 以降も RXCLAV = ハイに維持します。

図4-9 受信タイム・チャート1

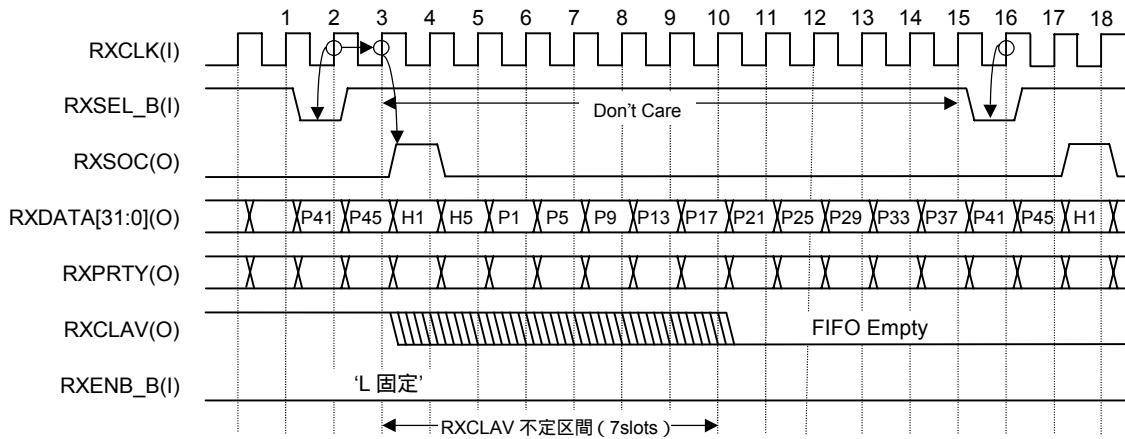


図4-10は、 μ PD98414がRXCLAV = ロウにして受信FIFOがEmptyであることを通知しているにもかかわらず、RXSEL_B = ロウを入力してさらに次のセルを読み出そうとした場合の例を示しています。この場合、 μ PD98414は出力するセル・データがないので、RXDATAからロウを出力し、RXSOCもハイにすることはありません。

図4-10 受信タイム・チャート2

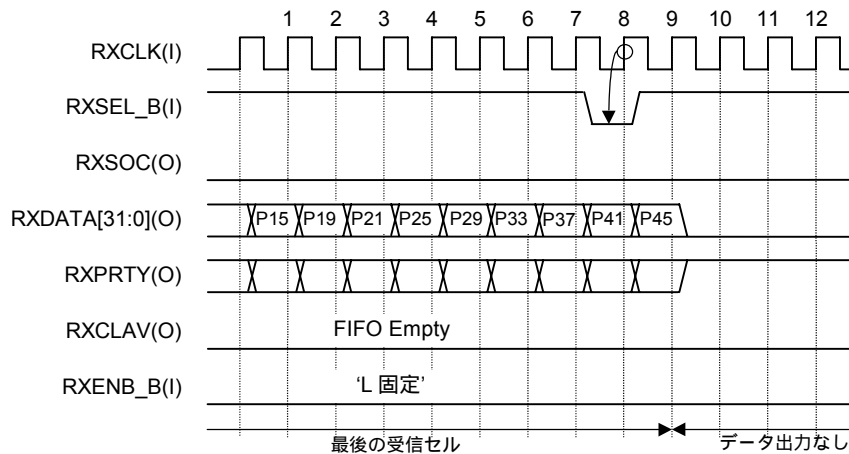


図4-11は、'TAGなし&UDFあり'のセル・フォーマットで、最短出力周期が56バイト・モードの場合の例です。RXSOC = ハイにする出力タイミングの1クロック前でRXSEL_B = ハイであった場合は、その後、毎クロックごとにRXSEL_Bの状態をサンプリングし続けます。その間、RXDATAの出力を停止します。RXSEL_Bとなったクロック・エッジの1クロック後に、セル出力を開始します。

図4-11 受信タイム・チャート3

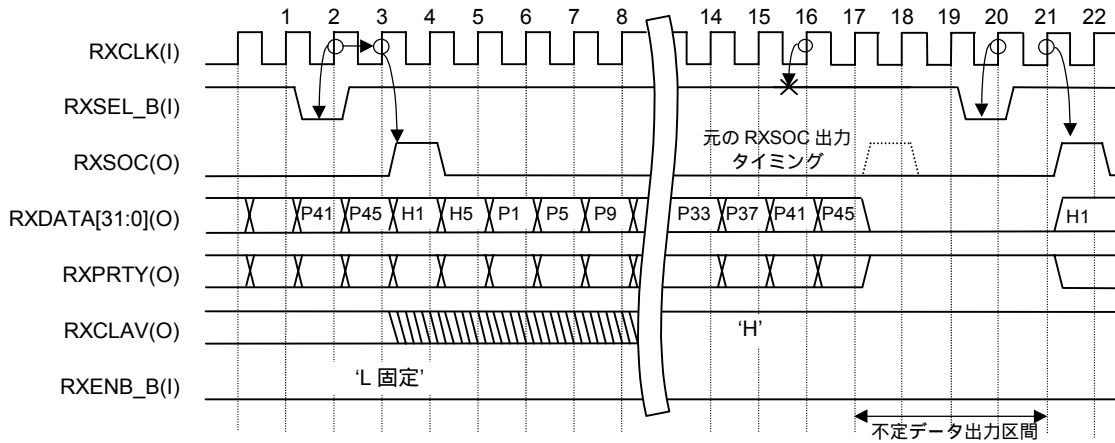


図4-12に示すように、RXSEL_Bに1クロック幅のパルスを一定周期で入力することで、 μ PD98414から一定周期でセルを出力させることができます。ただし、RXSEL_Bに入力するパルスの周期は、MDR5レジスタに設定された受信セルの最短出力周期に等しいか、あるいはそれ以上の周期で入力する必要があります。最短出力周期設定より短い周期のパルスをRXSEL_Bに入力した場合は、周期が合いません。

セルの出力停止は、RXSEL_Bへパルスを入力しないことで実現できますが、RXSEL_Bにパルスを入力しても、受信FIFOにセル・データがない場合には、セルは出力されずRXSOCも出力されません。

図4-12 受信タイム・チャート4

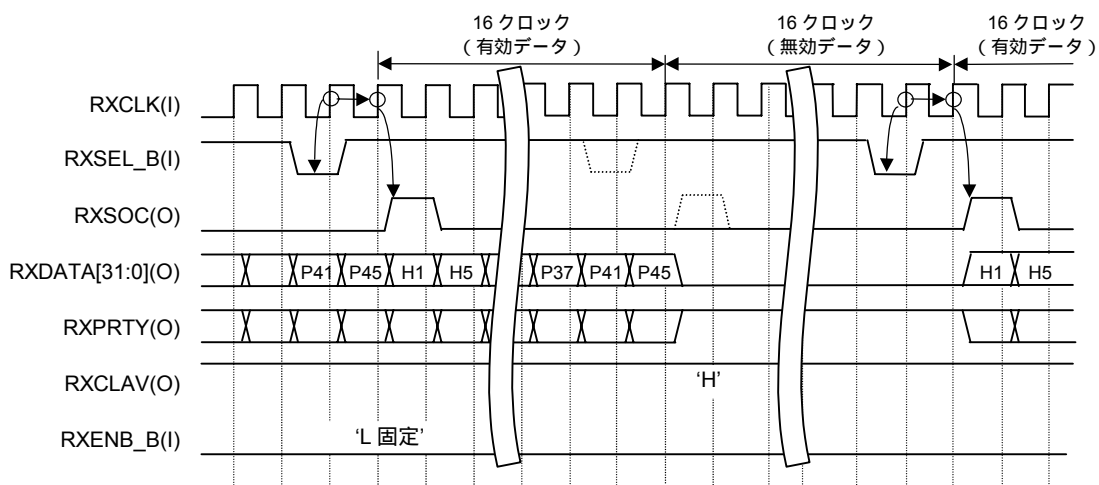
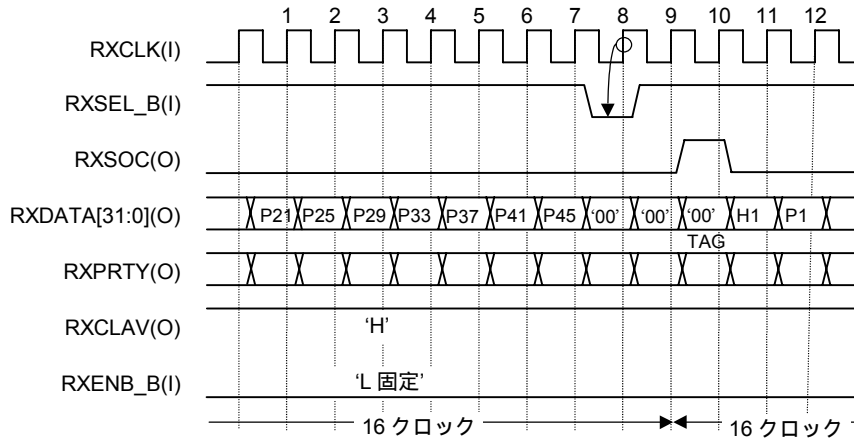


図4-13は、TAGあり&UDFなしのセル・フォーマットで、最短出力周期が64バイト・モードの設定時における受信セルの連続出力を示しています。P45のデータから次のセルの先頭までのデータ、およびTAGフィールドには'00H'を出力します。

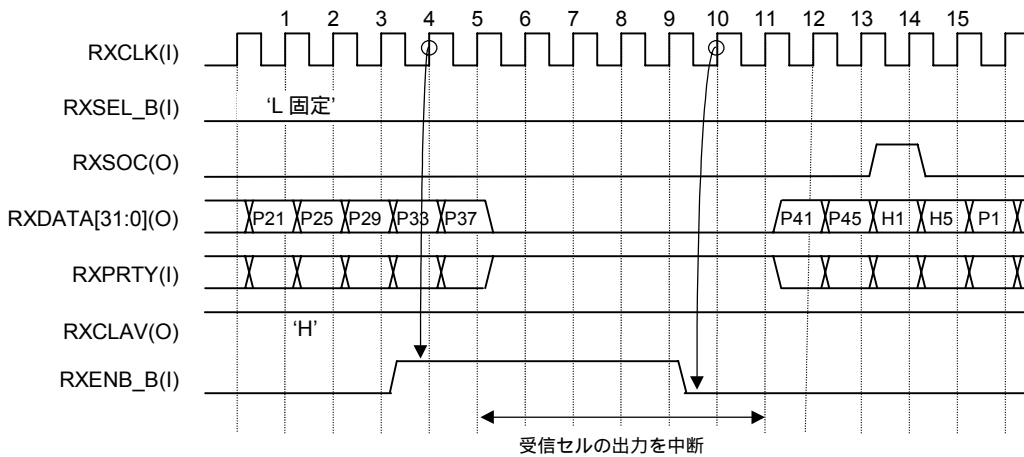
図4-13 受信タイム・チャート5



(3) RXENB_B による受信セル出力制御

図4-14は、RXENB_B信号によってμPD98414のセル・データ出力を中断している例です。RXENB_B = ハイにすることで受信セルの出力を一時中断することができます。RXENB_B = ハイになったことをμPD98414が検出したクロック・エッジから、RXDATAの出力を停止するまで、1クロック・サイクルの遅延があります。次にRXENB_B = ロウにすると、μPD98414は受信セルの出力を再開しますが、RXENB_B = ロウを検出したクロック・エッジからμPD98414がRXDATAの出力を開始するクロック・エッジまで1クロックの遅延があります。

図4-14 受信タイム・チャート6



(4) 受信 FIFO オーバフロー状態の検出

受信 FIFO 内に未読セルが 15 セル存在し、さらに 16 セル目を入力することになった場合、受信 FIFO オーバフロー状態として UEDR レジスタの RFOD ビットに状態表示します。16 セル目以降のセルは廃棄されます。FIFO に空き領域が生じたら FIFO オーバフロー状態の解除とし、通常どおりセル・データを FIFO に書き込みます。

4.1.5 ATM レイヤ・インタフェースのパリティ・チェック

(1) 送信側のパリティ・チェック

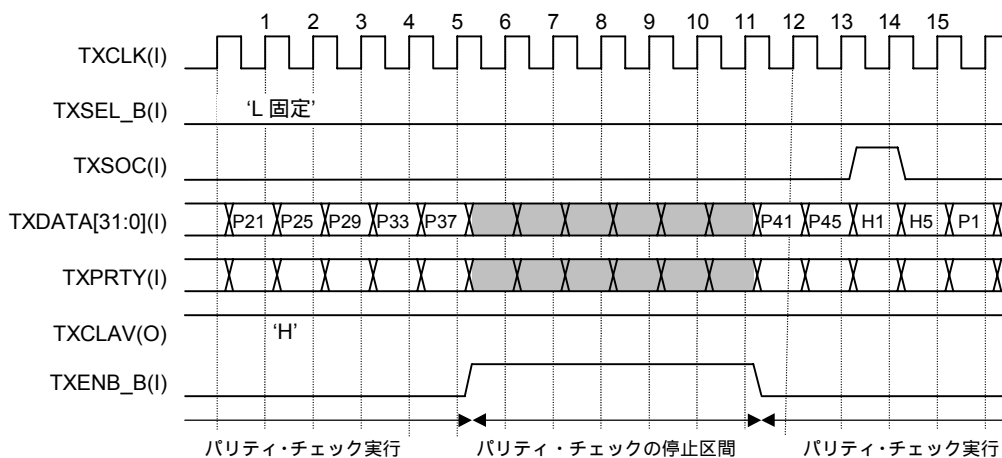
図 4-15 に送信側 ATM レイヤ・インタフェースの送信パリティ・チェック区間を示します。μPD98414 は、入力される送信セル・データの H1 から P48 バイトまでパリティ・チェックを行います。TAG フィールドや、セルとセルの間に挿入される無効データに対しては、パリティ・チェックを行いません。また、TXDATA にセルが入力されていても TXSEL_B, TXENB_B による制御によってセルを取り込まない場合はパリティ・チェックは行いません。

パリティ演算は、デフォルト・モードでは、奇数演算ですが、オプション・モードとして MDR5 レジスタの UTPM ビットに設定することにより、偶数演算でチェックさせることができます。パリティ・エラーを検出した場合には、UEDR レジスタの UPED ビットをセットして通知します。

パリティ・エラーの要因となったセルは、通常の処理が行われ、回線側より送出されます。強制廃棄することはありません。

μPD98414 は自己診断機能として、送信 FIFO 内をセル・データが通過する場合にもパリティ・チェックを行っており、エラーを検出した場合には、UEDR レジスタの TRPD ビットをセットして通知します。

図 4-15 送信パリティ・チェック区間



(2) 受信側パリティ・ビットの生成

ATM レイヤ・インタフェースの受信側では、RXDATA の出力データに対して奇数パリティ・ビットを生成し、RXPRTY から出力します。RXPRTY は、RXSEL_B, RXENB_B の入力ステータスに関係なく、常に RXDATA に対するパリティ・ビットを出力しています。オプション機能として、MDR5 レジスタの URPM ビットの設定により、パリティ生成をデフォルト・モードの奇数演算から偶数演算に切り替えることができます。

自己診断機能として、受信 FIFO 内をセル・データが通過するときにもパリティ・ビットを付加し自らチェックしています。受信 FIFO 内でパリティ・エラーを検出した場合には、UEDR レジスタの RRPD ビットをセットして通知します。受信 FIFO 内でパリティ・エラーが発生した場合には、RXPRTY から出力するパリティ・ビットは誤ったビットが出力されます。

4.1.6 ATM レイヤ・インタフェースの異常検出

ATM レイヤ・インタフェース・ブロックにおいて μ PD98414 が検出する異常を表 4 - 4 にまとめて示します。
検出した異常イベントは、UEDR レジスタの対応ビットをセットして通知します。

表 4 - 4 ATM レイヤ・インタフェースにおける異常検出一覧

送信 ATM I/F パリティ・エラー検出
TXDATA と TXPRTY から送信セル・データに対してパリティ演算を行い、エラーを検出します。
受信 FIFO オーバフローの検出
受信 FIFO がフルの状態でも、なおセルが入力された場合、そのセルは廃棄され、オーバフローの検出となります。
送信 FIFO オーバフローの検出
送信 FIFO がフルに状態でも、なおセルが入力された場合、そのセルを廃棄し、オーバフローの検出となります。
送信 FIFO RAM のパリティ・エラー検出
送信 FIFO として使用する内部 RAM の入出力動作においてデータの正誤をチェックするため、パリティ演算を実施します。エラーを検出した場合、通知します。
受信 FIFO RAM のパリティ・エラー検出
受信 FIFO として使用する内部 RAM の入出力動作においてデータの正誤をチェックするため、パリティ演算を実施します。エラーを検出した場合、通知します。

4.2 ライン・インタフェース

ライン・インタフェースは、回線側の MUX, DEMUX デバイスと接続するためのインタフェースです。155 MHz × 16-bit で、P-ECL レベルのインタフェースです。

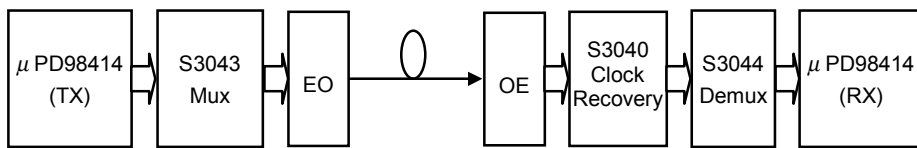
4.2.1 接続 MUX/DEMUX デバイス

MUX, DEMUX のデバイスの製品として次のデバイスを推奨しています。

AMCC 社製 SONET/SDH OC-48 16:1 TRANSMITTER S3043

1:16 RECEIVER S3044

Clock Recovery S3040



(光リンク・モジュール(OE)に Clock Recovery 機能が含まれている場合、S3040 は不要です)

4.2.2 接続例

AMCC 社製 S3043, S3044 との接続例を図 4 - 16, 図 4 - 17 に示します。

図 4 - 16 μ PD98414 と S3043 の接続例 (送信回線側)

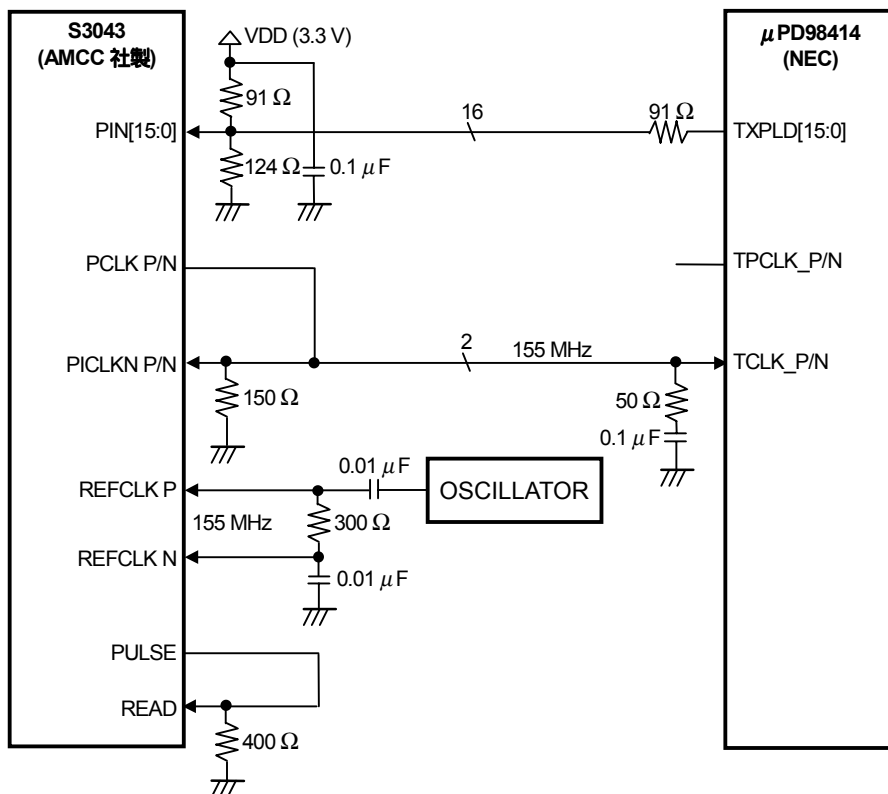
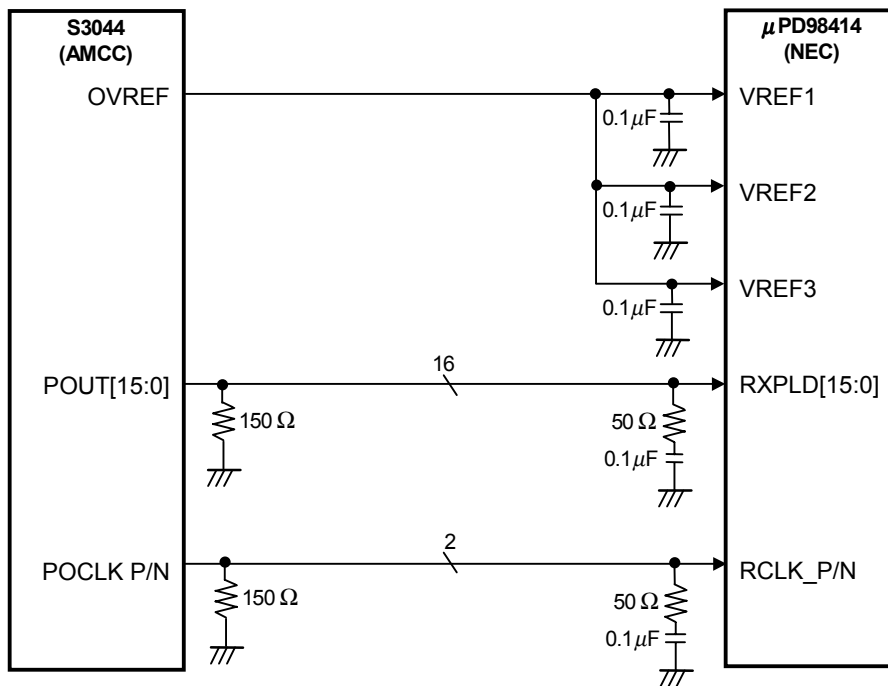


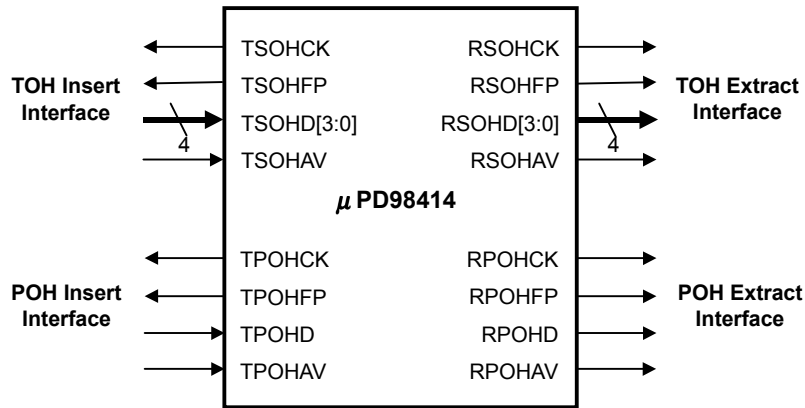
図4-17 μ PD98414 と S3044 の接続例 (受信回線側)

注意 図4-16, 図4-17の接続例は, 試案に基づく暫定的なものです。接続回路例の最新情報は, NEC までお問い合わせください。

4.3 オーバヘッド・インサート/エクストラクト・インタフェース

μ PD98414 は、送信する TOH, POH を外部周辺デバイスから入力するインサート・インタフェースと、受信した TOH, POH の内容を出力するエクストラクト・インタフェースを装備しています。

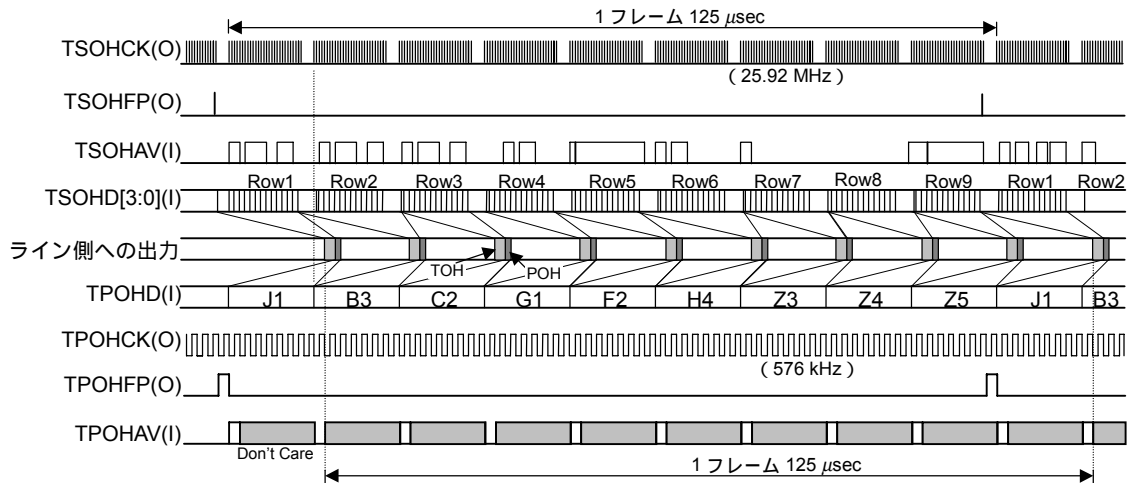
図 4 - 18 OH インサート/エクストラクト・インタフェース



4.3.1 OH インサート・インタフェース

TOH は、25.92 MHz のクロックに同期して 4-bit パラレル・データで入力し、POH は、576 kHz のクロックでシリアル・データとして入力します。

図 4 - 19 TOH, POH インサート・インタフェース



(1) TOH インサート・インタフェース

図 4 - 20 , 4 - 21 に , TOH インサート・インタフェースのタイム・チャートを示します。

μ PD98414 は , TCLK_P/N 端子に入力される 155.52 MHz クロックを 6 分周した 25.92 MHz クロックを TSOHCK から出力します。TSOHCK クロックは 送信フレームのうち TOH データのビット分だけクロック・エッジが現れ , 1Row (144 バイト) ごとにエッジ間隔が延びるクロックです。

μ PD98414 は TSOHFP からパルスを出力して , 外部 OH 入力コントローラ (周辺デバイス) に TOH データの挿入開始タイミングを通知します。通常の送信時においては , TSOHFP は前フレームの最終 Row の最後から 2 番目の立ち上がりエッジより 1 サイクル期間ハイになります。

外部 OH 入力コントローラは , クロックの立ち下がりエッジで TSOHFP をサンプリングします。TSOHFP がハイになったことを検出すると , その次の立ち上がりエッジに同期して , TOH データのフレーム先頭バイト A1#1 から順に TSOHD[3:0]に入力します。

TOH データは , 4-bit パラレル・データ線の TSOHD[3:0]に 2 クロック・サイクルで 1 バイトを入力します。 μ PD98414 は , TSOHCK の立ち上がりエッジで TSOHD[3:0]をサンプリングし取り込みます。

TSOHAV は 外部 OH 入力コントローラが TSOHD[3:0]上に有効なデータを出力していることを μ PD98414 に通知する信号です。 μ PD98414 は , 1 バイトを取り込むのに費やす 2 サイクルのうち , 1 サイクル目の立ち上がりエッジで TSOHAV をサンプリングします。TSOHAV がハイの場合は取り込み , ロウの場合はそのバイトを無視します。2 サイクル目のエッジでは , TSOHAV は , Don't Care です。

TOH 情報の挿入タイミングは , 144 バイト \times 9Row のすべての TOH バイトに対して割り当てられています。ただし , 表 4 - 5 にあげる TOH バイトについては , TSOHAV をハイにして有効データとして挿入しても , μ PD98414 が内部処理において上書きして送出不しますので , TOH インサート・インタフェースからは変更できません。

図4-20 TOH インサート・インタフェースのタイム・チャート例1
(フレーム・パルス付近)

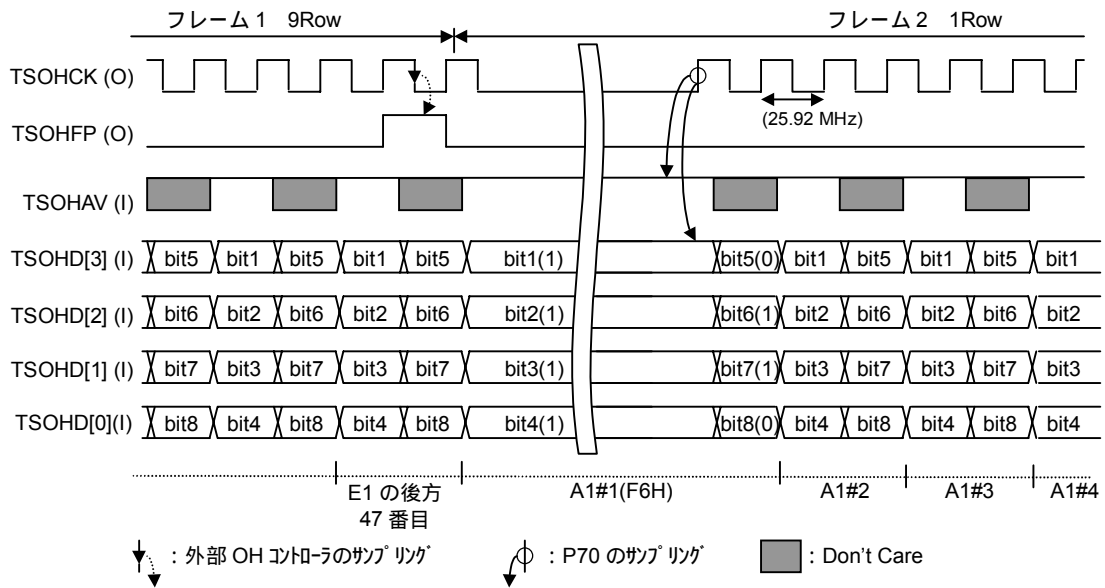
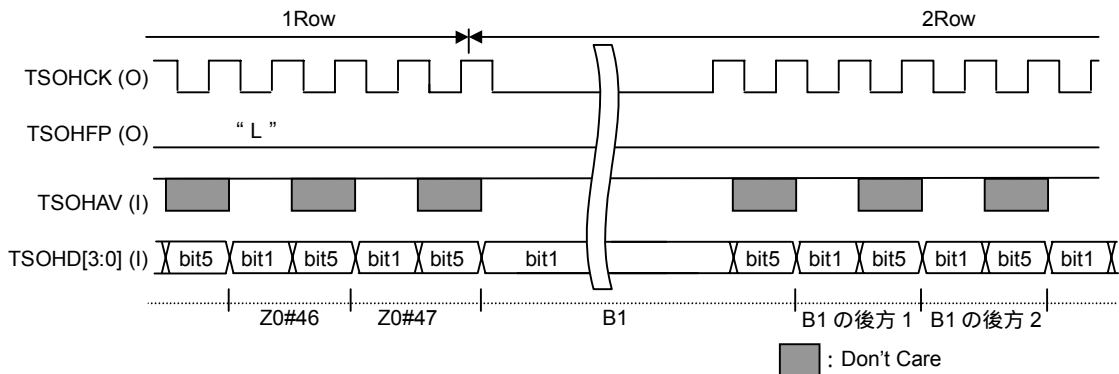


図4-21 TOH インサート・インタフェースのタイム・チャート例2
(クロック・エッジ間隔が変化する付近)



(2) POH インサート・インタフェース

図4-22に、POH インサート・インタフェースのタイム・チャートを示します。

POH データの入力は、 μ PD98414 が TPOHCK から出力する 576 kHz クロックに同期して行います。TPOHCK クロックは、TCLK_P/N 端子に入力される 155.52 MHz クロックを 270 分周したクロックです。TPOHCK クロックのように、クロック・エッジの出力間隔が変化することはありません。

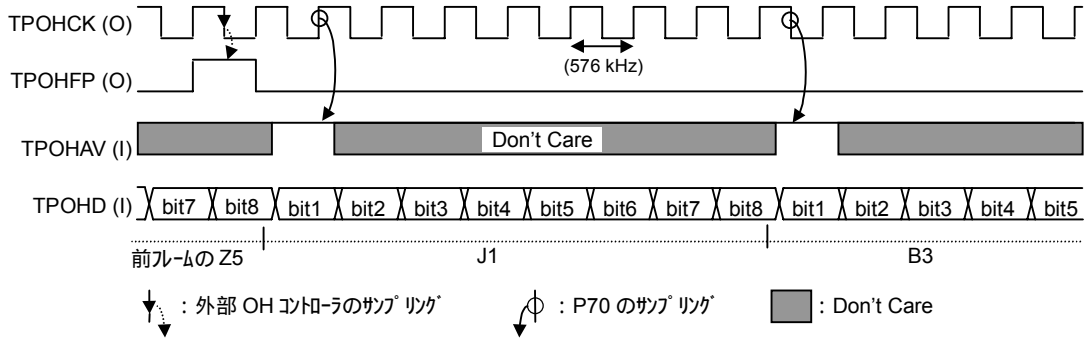
μ PD98414 は、外部 OH コントローラに POH データの挿入開始タイミングを通知するため、TPOHFP からパルスを出力します。外部 OH 入力コントローラは、TPOHCK の立ち下がりエッジで TPOHFP をサンプリングし、ハイを検出した立ち下がりエッジの次の立ち上がりエッジから、TPOHD に POH データをシリアル・データで入力してください。 μ PD98414 は、TPOHCK の立ち上がりエッジで TPOHD をサンプリングし、8 サイクルで 1 バイトを取り込みます。

TPOHAV は、外部 OH コントローラが TPOHD 上に有効なデータを出力していることを μ PD98414 に通知する信号です。 μ PD98414 は、POH データ 1 バイトを取り込む 8 サイクルのうち、1 サイクル目のクロックの立ち上がりエッジで TPOHAV をサンプリングし、ハイの場合はその 1 バイトを取り込み、ロウの場合は無視します。次のサンプリング・タイミング (8 サイクル後) までは、TPOHAV は Don't Care です。

挿入タイミングは、9 バイトの POH 情報のすべてに割り当てられており周期的に POH バイトの挿入タイ

ミングが回ってきますが、表 4 - 5 にあける POH バイトについては、TPOHAV をハイにして有効データを挿入しても、 μ PD98414 が内部処理において上書きして送りますので、POH インサート・インタフェースからは変更できません。

図 4 - 22 POH インサート・インタフェースのタイム・チャート例



TOH, POH インサート・インタフェースから有効バイトとして入力された OH バイトは、インサート・レジスタへの設定、および J0, J1 トレース・メッセージの送信設定よりも優先されて送出されます。

ただし、BIP, REI の送出やポインタの送出など、 μ PD98414 が内部で行う処理の方がより優先されるためインサート・インタフェースから入力しても、上書きされるバイトがあります。

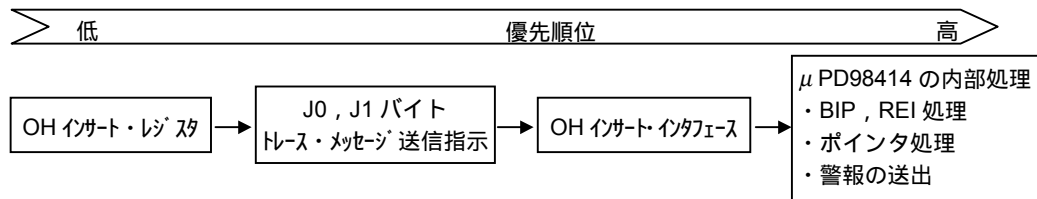


表 4 - 5 インサート・インタフェースから変更不可な OH バイト

TOH	A1	同期パターンが常時送出されます。
	A2	
	B1	Section BIP-8 が送出されます。
	B2#1 ~ B2#48	Line BIP-384 が常時送出されます。
	H1	ポインタが常時送出されます。
	H2	
	H3	
	M1	Line REI が常時送出されます。
POH	B3	Path BIP-8 が常時送出されます。
	G1 (bit1-4)	Path REI が常時送出されます。

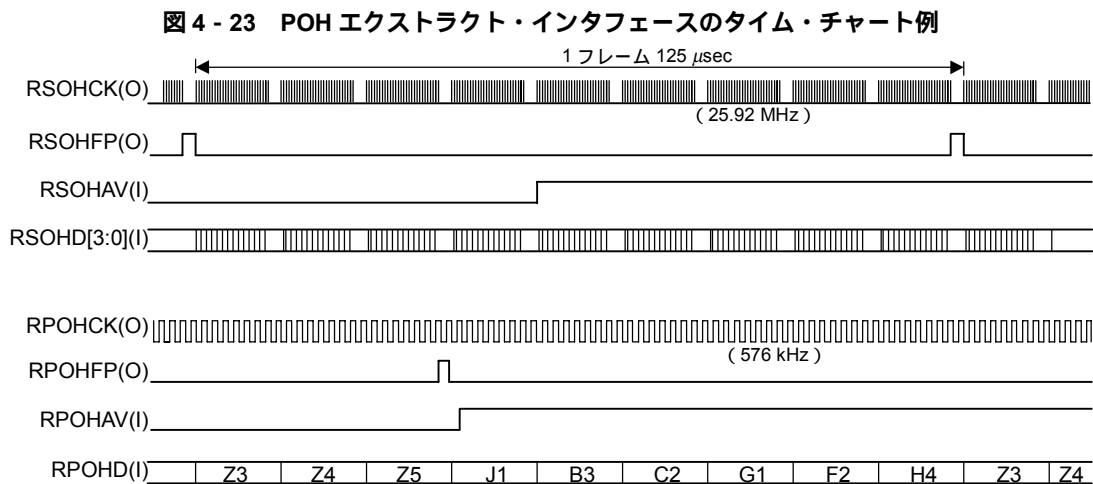
レジスタ，端子への指示により，Line AIS，Line RDI，Path RDI の送出が設定された場合には，警報送出の方が優先されます。

表 4 - 6 警報送出時に変更不可な OH バイト

K2 (bit6-8)	Line RDI の自動折り返し機能が働いた場合，CMR1 レジスタの LRDIC ビットをセットした場合，あるいは TLRDI 端子にハイを入力した場合には， μ PD98414 が警報を送出する処理の方が優先され ' 110 ' が送出されます。
G1 (bit5)	Path RDI の自動折り返し機能が働いた場合，CMR1 レジスタの PRDIC ビットをセットした場合，あるいは TPRDI 端子にハイを入力した場合には，その警報送出の方が優先され，1 になります。
LOH, POH の全バイト	μ PD98414 が警報 Line AIS を送出する場合，その警報送出の方が優先され，すべてのビットがオール 1 になって送出されます。

4.3.2 OHエクストラクト・インタフェース

μ PD98414 が、受信フレームの SOH, POH を抽出して周辺デバイスに出力するためのインタフェースです。



(1) TOH エクストラクト・インタフェース

図 4 - 24, 4 - 25 に、TOH エクストラクト・インタフェースのタイム・チャートを示します。

受信フレームの全 TOH バイトを出力するインタフェースです。 μ PD98414 は、RCLK_P/N に入力される受信クロックを 6 分周した 25.92 MHz クロックを RSOHCK から出力します。RSOHCK クロックは、TOH データのビット数分だけエッジが現れるクロックで、各 Row ごとにクロック・エッジの間隔が延びるクロックです。

μ PD98414 は、RSOHFP からパルスを出力して TOH データの出力開始位置を外部 OH コントローラに通知します。RSOHFP は、フレーム同期が確立している通常受信状態では、前フレームの最終 Row の最後の立ち上がりエッジでハイになり、次のフレームの最初の立ち上がりエッジでロウになります。クロック・エッジの間隔が延びる期間をまたぐため、RSOHFP のパルス幅も長くなることに注意してください。

TOH データの出力は、RSOHFP がロウに変化する立ち上がりエッジから開始します。RSOHD[3:0]上に、A1#1 バイトから 2 クロック・サイクルごとに TOH のすべてのバイト (144 バイト \times 9Row) を出力します。

★ 外部 OH 入力コントローラは、クロックの立ち下がりエッジで RSOHFP, RSOHD[3:0]をサンプリングしてください。

RSOHAV は、 μ PD98414 が RSOHD[3:0]上に有効な TOH データを出力しているかどうかを外部 OH コントローラに通知する信号です。フレーム同期が確立し、正常に TOH データを抽出できている間は、RSOHAV をハイにします。受信回線において LOS, LOF, OOF, Line-AIS の警報、障害を検出した場合は、 μ PD98414 は、RSOHAV をロウにして RSOHD[3:0]上の出力データが無効であることを示します。RSOHAV は、内部の LOS, LOF, OOF, Line-AIS のステート信号を OR して出力している信号で、RSOHD[3:0]上の TOH データのフレーム境界、バイト境界に関係なく回線障害、警報の検出/解除に応じて非同期に変化します。

警報、障害の検出している状態では、RSOHCK, RSOHFP, RSOHD[3:0]の出力は、不定です。CD 端子入力がロウになる、あるいは LOS 検出によって受信フレーム・ブロックがリセットされた場合には、これら端子の出力レベルはロウ固定になります。

図4-24 TOH エクストラクト・インタフェースのタイム・チャート例1
(フレーム・パルス付近)

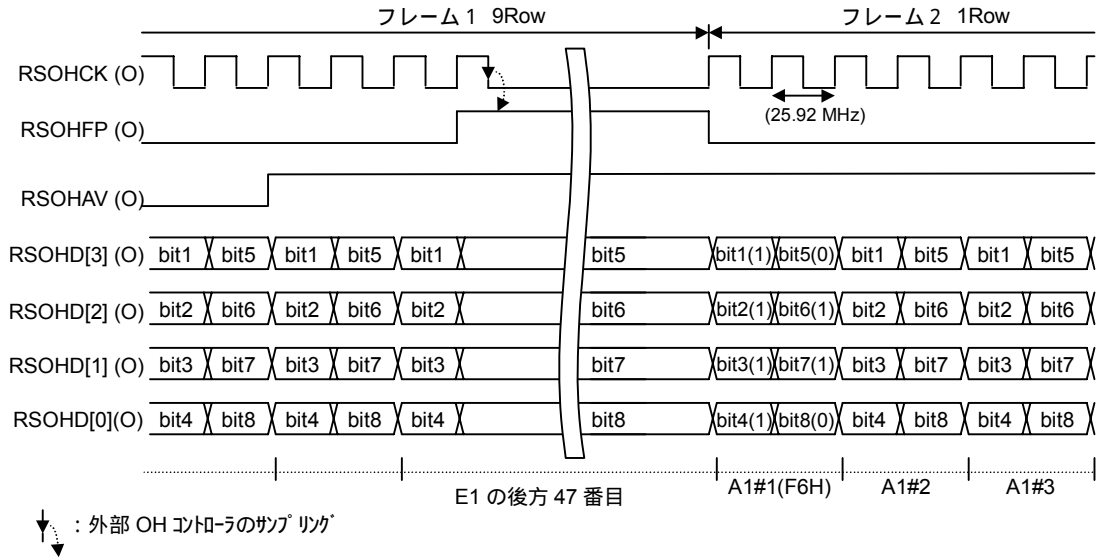
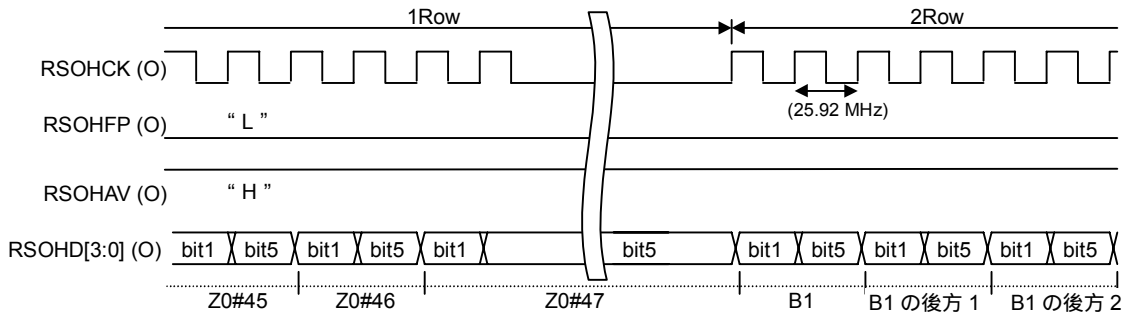


図4-25 TOH エクストラクト・インタフェースのタイム・チャート例2
(クロック・エッジの間隔が変化する付近)



(2) POH エクストラクト・インタフェース

受信 POH 情報を出力するインタフェースです。図 4 - 26 に、タイム・チャートを示します。受信クロックを 270 分周した 576 kHz クロックを RPOHCK から出力し、このクロックの立ち上がりエッジに同期して、POH バイトを RPOHD よりシリアル・データとして出力します。μ PD98414 は、POH データの先頭 J1 バイトの位置を外部 OH コントローラに通知するため、RPOHFP からパルスを出力します。

J1 バイトの出力は、RPOHFP がロウに変化する立ち上がりエッジに同期して出力を開始します。8 サイクルで 1 バイトを出力し、9 バイトすべての POH データを出力します。

RPOHAV は、RPOHD 上のデータが有効であるかどうかを表示する信号です。フレーム同期、ポインタ同期が確立し、正常に POH 情報が抽出できている間は、RPOHAV をハイにします。

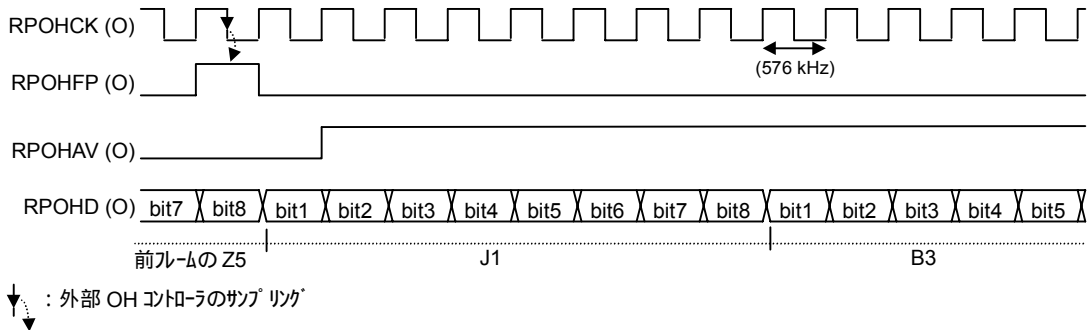
★ 外部 OH 入力コントローラは、クロックの立ち下がりエッジで RPOHFP、RPOHD をサンプリングしてください。

受信回線において LOS、LOF、OOF、Line-AIS、LOP、Path-AIS の警報、障害を検出した場合には、μ PD98414 は受信 POH を正常に抽出できなくなるため、RPOHAV をロウにして RPOHD 上のデータが無効であることを通知します。RPOHAV は、内部の LOS、LOF、OOF、Line-AIS、LOP、Path-AIS の状態信号を OR して出力している信号で、RPOHD 上の POH データのフレーム境界、バイト境界に関係なく、回線障害、警報の検出 / 解除に応じて非同期に変化します。

警報、障害検出状態では、RPOHCK、RPOHFP、RPOHD の出力は、不定になります。

CD 端子入力がロウになる、または LOS 検出によって受信フレーム・ブロックがリセットされた場合には、これら端子の出力レベルはロウ固定になります。

図 4 - 26 POH エクストラクト・インタフェースのタイム・チャート例



4.4 汎用入出力ポート

μ PD98414 は、5 ポートの汎用出力ポートと、3 ポートの汎用入力ポートを装備しています。汎用入力ポートの入力レベルの変化は、CPU に通知する割り込み要因にすることができます。

表 4-7 汎用入出力ポート

端子名	機能
POUT0-POUT4	5 ポートの汎用出力ポートです。POUTR レジスタへの設定によって出力レベルを変化させます。対応ビットを 1 に設定するとハイを出力、0 をセットするとロウを出力します（デフォルトでは 0 です）。
PIN0-PIN2	3 ポートの汎用入力ポートです。この信号の入力レベルは、 μ PD98414 の GPSR レジスタに反映されます。 注意 GPSR レジスタのビットは、ラッチされません。

GPSR レジスタには、汎用入力ポートごとに、入力レベルをそのまま表示するビットと反転表示するビットがペアであります。このペアのステータス・ビットと、GPMR レジスタへのマスク設定によって汎用入力ポートのハイ ロウ、ロウ ハイのどちらの変化でも割り込み要因にすることができます。

GPSR レジスタ & GPMR レジスタ

D5	D4	D3	D2	D1	D0
PI2S	PI1S	PI0S	PI2SB	PI1SB	PI0SB

GPSR レジスタの状態表示

入力	PI0S-PI2S	PI0SB-PI2SB
L	0	1
H	1	0

[使用例]

PIN0 端子がロウになったことを、割り込みとして通知させたいとき

PIN0=L PI0S ビット=0
 PI0SB ビット=1

GPMR レジスタで、PI0S ビットをマスク設定、PI0SB ビットをマスク解除することで、PI0SB ビットが 1 にセットされたとき、PICR レジスタの GPI ビットが 1 になり、結果、割り込み通知されます。GPSR レジスタの PI0S、PI0SB ビットは、ラッチされません。

4.5 警報関連端子

4.5.1 警報出力端子

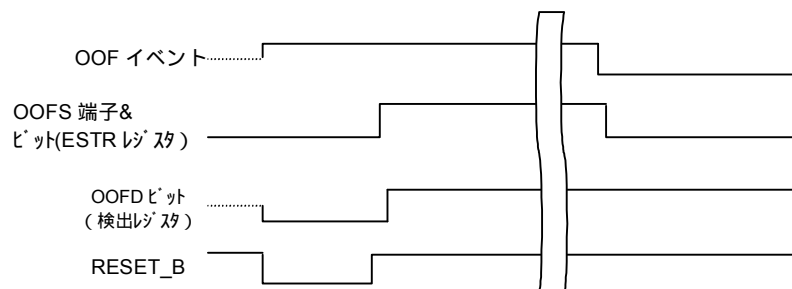
受信回線の警報、障害状態を信号として周辺デバイスに通知するための警報出力端子を備えています。これら、警報出力端子は、ESTR レジスタのビットに対応して出力します。

警報出力端子のリセット中、リセット直後の端子状態を表 4 - 8 に示します。リセット直後の μ PD98414 の受信フレーム・ブロックのフレーム同期および、ポインタ同期の状態は、それぞれ OOF, LOP の状態を起点として遷移を始めますので、ESTR レジスタの OOFs, LOPS ビットはセットされ、OOFs, LOPS 端子もハイを出力します。

表 4 - 8 警報出力端子のリセット中、直後のステート

端子名	リセット中の内部ステート	リセット中の端子出力	リセット直後の端子出力	端子名	リセット中の内部ステート	リセット中の端子出力	リセット直後の端子出力
LOS	0	L	L	B1ERS	0	L	L
OOF	1	L	H	B2ERS	0	L	L
LOF	0	L	L	LAISS	0	L	L
LOP	1	L	H	PAISS	0	L	L
LCD	0	L	L	LRDIS	0	L	L
				PRDIS	0	L	L

図 4 - 27 警報出力端子の出力例 (OOF の場合)



4.5.2 警報送出指示端子

μ PD98414 は、表 4 - 9 の警報について、送出指示を外部周辺デバイスから行うための端子を備えています。未使用時はロウに固定してください。

表 4 - 9 警報送出指示端子

端子名	概要
TLAIS	それぞれの入力は、CMR1 レジスタの警報送出を指示する LAISC, PAISC, LRDIC, PRDI ビットと μ PD98414 内部で OR しており、どちらか一方が 1 にセットされると、警報が送出されます。
TPAIS	
TLRDI	
TPRDI	

4.5.3 CD 入力端子

μ PD98414 の受信フレーム・ブロックを強制的にリセットするための入力信号です。これは、回線側に接続されるデバイス（光モジュールなど）が信号断状態などに陥り、不定なデータ・ストリームを入力してくる場合に、受信ブロックを強制的にリセット状態にすることで、μ PD98414 の上位デバイス、または周辺デバイスに不定なデータを出力することを避けるためのオプション機能です。

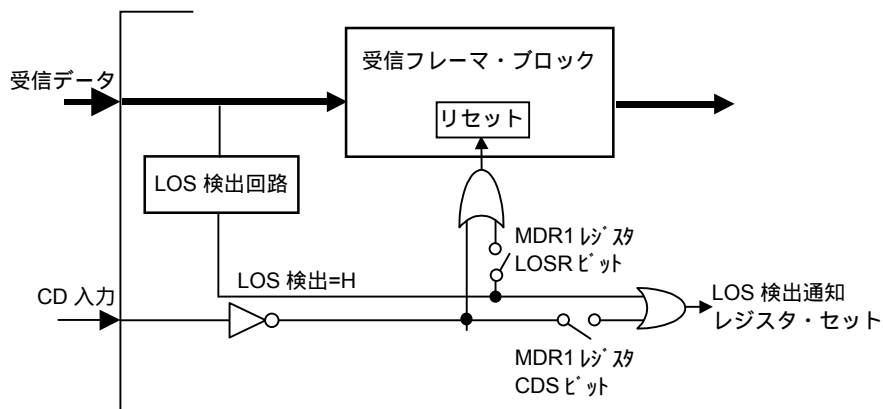
光モジュールの Carrier Detect（もしくは Signal Detect）信号に接続して使用することができます。

表 4 - 10 CD 入力の機能

CD 入力	動作
ロウ	<ul style="list-style-type: none"> ・ μ PD98414 の受信フレーム・ブロック（回線側から受信 FIFO の手前まで）は、リセット状態になります（LOS、OOF、LOF 検出ブロックには、リセットがかかりません）。 ・ OH エキストラクト・インタフェースの出力レベルは固定されます。 ・ 送信側は、影響なく動作します。 ・ TLP ループバック・モードに設定されている場合には、CD 端子による受信フレーム・ブロックのリセット動作は、キャンセルされてデータ折り返しが可能になります。 ・ イベントが発生したことを通知するレジスタ（DTER、LATR）のビット（CDD、CDL）を 1 にセットします。これは、割り込み要因にすることができます（入力レベルとビット表示の論理が反転することに注意してください）。 <p>OCD、LCD、LOP もともにセットされます。Path RDI の自動折返し機能がマスクされていないときは、LCP がセットされることで、Path RDI を自動送出します。</p>
ハイ	<ul style="list-style-type: none"> ・ 受信フレーム・ブロックが通常動作します。 ・ イベントが消滅したことを通知するレジスタ（TMNR）のビット（CDT）を 1 にセットします。

CD 端子入力の变化は、LOS 検出の条件に加えることができます。デフォルトでは、LOS 検出条件に含まれていません。MDR1 レジスタの CDS ビットに設定します。

また、逆に LOS 検出を、受信フレーム・ブロックのリセット条件にすることもできます。



4.5.4 クロック出力

TCS (出力) : TCLK_P/N に入力される送信 155.52 MHz クロックを 2 分周した 77.76 MHz クロックを出力します。ソフトウェア・リセット, およびハードウェア・リセット時においても, この端子出力はリセットされず, TCLK_P/N 入力の分周クロックを出力し続けます。

RCS (出力) : RCLK_P/N に入力される受信 155.52 MHz クロックの 8 分周した 19.44 MHz クロックを出力します。この端子出力は, ソフトウェア・リセット, ハードウェア・リセットによってリセットされるため, リセット期間中はロウ固定になります。

備考 ソフトウェア・リセット : CMR2 レジスタへのビット設定。
ハードウェア・リセット : RESET_B 端子入力をロウにする。

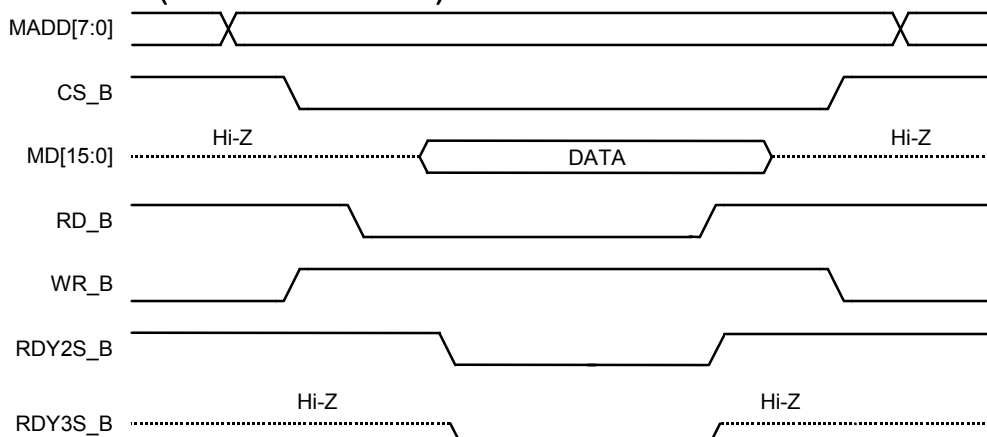
4.6.1 リード・オペレーション

ホストCPUは、MADD [7:0]にアドレスをドライブし、CS_BとRD_Bあるいは(DS_B)をロウにしてリード・オペレーションを開始します。BMODE = 1モードのときは、WR_Bがハイの状態、RD_Bをロウにすることでリード・サイクルと認識し、BMODE = 0モードのときは、DS_Bをロウにし、RWをハイにすることによってリード・サイクルと認識します。 μ PD98414は、要求されたレジスタのデータをMD[15:0]上に出かし、RDY(ACK)をロウにして伝送の完了を伝えます。

μ PD98414は、RDY(ACK)信号として、3ステート出力のRDY3S_B(ACK3S_B)と2ステート出力のRDY2S_B(ACK2S_B)との両方を備えています。両端子は常時イネーブルになっており、システムに応じて、どちらでも使用できます。3ステート出力のRDY3S_B(ACK3S_B)の場合、 μ PD98414は、CS_Bがロウになると、要求されたデータをMD[15:0]に寄せ、RDY3S_B(ACK3S_B)をロウにして伝送の完了を伝えます。CS_Bにより選択されていないときは、RDY3S_B(ACK3S_B)、MD[15:0]はHi-Zにします。リード・オペレーションのタイミングを図4-29に示します。

図4-29 リード・オペレーション

BMODE = 1 モード (インテル・コンパチブル)



BMODE = 0 モード (モトローラ・コンパチブル)

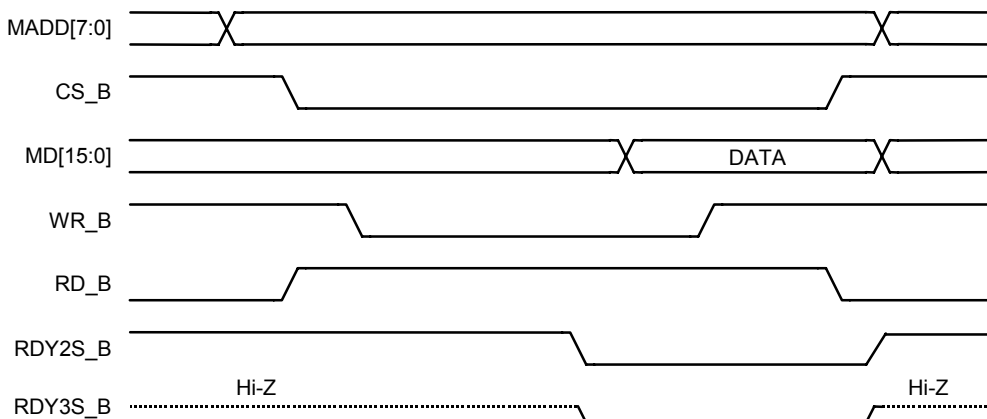


4.6.2 ライト・オペレーション

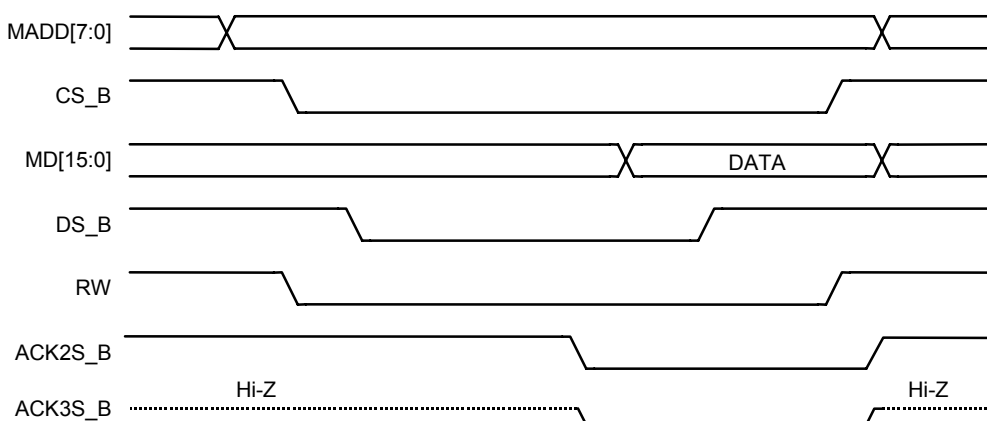
ホスト CPU は MADD0[7:0]上にアドレスをドライブし、 μ PD98414 のレジスタに書き込むデータを MD [15:0] 上に乗せ、CS_B と WR_B あるいは DS_B をロウにしてライト・オペレーションを開始します。BMODE = 1 モードのときは、RD_B がハイの状態、WR_B をロウにすることでライト・サイクルになり、BMODE = 0 モードのときは、DS_B、RW をロウに設定することでライト・サイクルになります。 μ PD98414 は、MD[15:0]上のデータを取り込むと、RDY_B (ACK_B) をロウにしてサイクルの終了を通知します。 μ PD98414 は、RDY_B (ACK_B) 信号として、3 ステート出力の RDY3S_B (ACK3S_B) と 2 ステート出力の RDY2S_B (ACK2S_B) との両方を備えています。3 ステート出力の場合は、CS_B がロウになると、RDY3S_B (ACK3S_B) をロウにしてデータの取り込みが完了したことを伝えます。CS_B で選択されていないときは、RDY3S_B (ACK3S_B) は Hi-Z にします。ライト・オペレーションのタイミングを図 4 - 30 に示します。

図 4 - 30 ライト・オペレーション

BMODE = 1 モード (インテル・コンパチブル)



BMODE = 0 モード (モトローラ・コンパチブル)



4.6.3 割り込み処理

μ PD98414 は回線上の障害、警報の検出、パフォーマンス・カウンタのオーバーフローなどのイベントが発生した場合、割り込み信号 (PHINT_B) をアクティブにしてホストに通知します。

(1) 割り込み要因レジスタと詳細要因レジスタ

割り込みの要因を表すレジスタは、「割り込み要因レジスタ (PICR)」と「詳細要因レジスタ」の2段構成になっています。割り込み信号は、PICR レジスタのビットが1つでも1にセットされるとアクティブになります。PICR レジスタのビットは、対応する下段の詳細要因レジスタのビットが1つでも1にセットされた場合にセットされます。ホストは、割り込み信号がアクティブになったことを検出すると、まず PICR レジスタをリードし、セットされているビットに対応する詳細要因レジスタをリードして、発生したイベントを調べます。

PICR レジスタのビットは、詳細要因レジスタのビットが OR 表示されているだけで、ラッチされません。詳細要因レジスタがリード・クリア (もしくはライト・クリア) され、オール0になると、PICR レジスタの対応ビットも0になります。

PICR レジスタ、および詳細要因レジスタには、それぞれにマスク・レジスタがあります。マスク・レジスタは、対応要因レジスタと同じビット配列になっており、各イベントごとにマスク/マスク解除の設定が可能です。PICR レジスタへのマスク設定では、マスクしたビットが1になっても PHINT_B がアクティブになることがなくなります。詳細要因レジスタに対するマスク設定では、マスクしたビットが1になっても、PICR レジスタに反映しなくなります。マスクした場合でも、PICR レジスタ、詳細要因レジスタのビットは、障害、警報の検出状態に応じてセット、リセットされます。デフォルトでは、すべての要因がマスク設定になっています。

図4-31 割り込み要因レジスタと詳細要因レジスタの種類

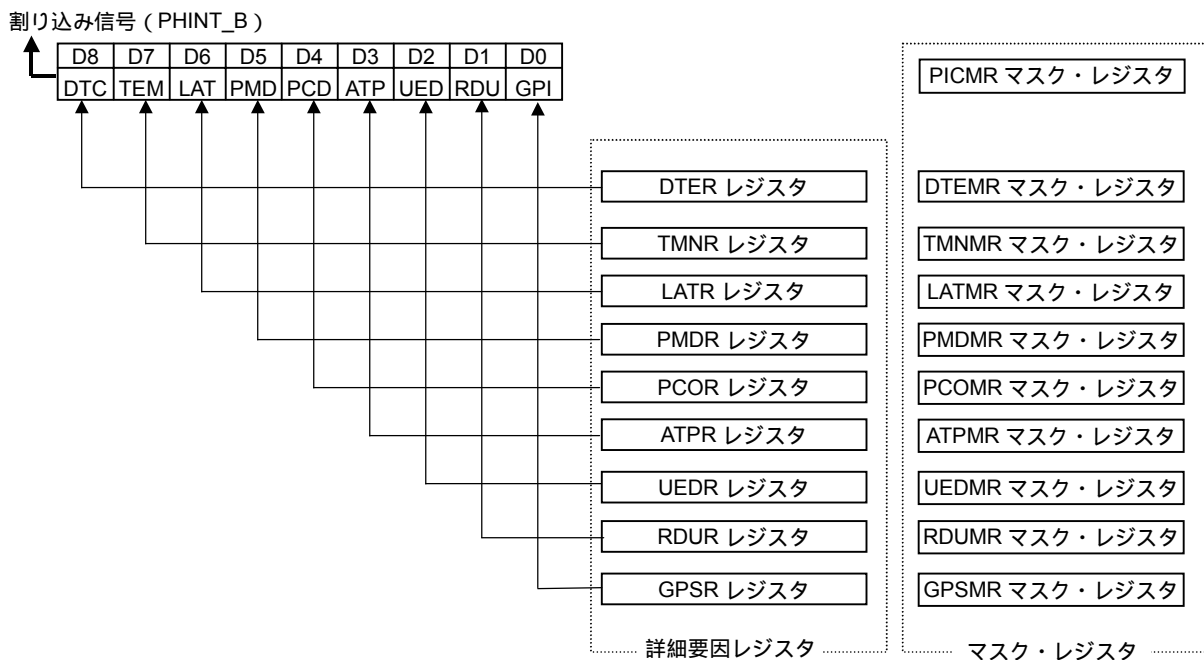


表 4 - 12 割り込み要因レジスタ (PICR レジスタ)

レジスタ	概要	格納ビット名
割り込み要因レジスタ (PICR)	<ul style="list-style-type: none"> どの詳細要因レジスタのビットがセットされたのかを表示します。 このレジスタのビットが1つでもセットされると、割り込み信号 (PHINT_B) がアクティブになります。 このレジスタのビットは、ラッチされません。詳細要因レジスタが0クリアされると本レジスタのビットも0になります。 	DTE, TEM, LAT, PMD, PCD, ATP, UED, RDU, GPI

表 4 - 13 詳細要因レジスタ

(1/2)

レジスタ	概要	格納ビット名
検出レジスタ (DTER レジスタ)	<ul style="list-style-type: none"> イベントを検出したことを通知するレジスタです。 このレジスタのビットが1つでもセットされると、PICR の DTE ビットが1にセットされます。 ビットは、CPU によるクリアまでラッチされます。 このレジスタを0クリアすると、DTE ビットが0になります。 	LOSD, LOFD, OOFD, LCDD, OCDD, LAISD, PAISD, LRDID, PRDID, B1ERD, B2ERD, CDD
消滅レジスタ (TMNR レジスタ)	<ul style="list-style-type: none"> イベントが消滅したことを通知するレジスタです。 このレジスタのビットが1つでもセットされると、PICR の TEM ビットが1にセットされます。 ビットは、CPU によるクリアまでラッチされます。 	LOST, LOFT, OOF, LCDT, OCDT, LAIST, PAIST, LRDIT, PRDIT, B1ERT, B2ERT, CDT
ラッチ・レジスタ (LATR レジスタ)	<ul style="list-style-type: none"> イベントをスルーラッチした状態を通知します。 このレジスタのビットが1つでもセットされると、PICR の LAT ビットが1になります。 イベント発生中に CPU がクリアした場合、いったんクリアされふたたび1にセットされます。 	LOSL, LOFL, OOF, LCDL, OCDL, LAISL, PAISL, LRDIL, PRDIL, B1ERL, B2ERL, CDL
イベント・ステータス・レジスタ (ESTR レジスタ)	<ul style="list-style-type: none"> イベントの発生状態を表示するレジスタです。 このレジスタのビット変化は割り込み要因にはなりません。 イベントの状態に応じて変化し、ラッチされません。 	LOSS, LOFS, OOF, LCDS, OCDS, LAISS, PAISS, LRDIS, PRDIS, B1ERS, B2ERS, CDS
PM レジスタ (PMDR レジスタ)	<ul style="list-style-type: none"> パフォーマンス・モニタ (PM) に関するイベントを検出したことを通知するレジスタです。 このレジスタのビットが1つでもセットされると、PICR の PMD ビットが1になります。 CPU によるクリアまで、ビットはラッチされます。 	B1D, B2D, B3D, LREID, PREID
PM カウンタ・レジスタ (PCOR レジスタ)	<ul style="list-style-type: none"> PM カウンタのオーバフロー発生を通知するレジスタです。 このレジスタのビットが1つでもセットされると、PICR レジスタの PCD ビットが1になります。 CPU によるクリアまで、ビットはラッチされます。 	B1CD, B2CD, B3CD, LRICD, PRICD, HEDCD, HCCCD, RVCCD, TVCCD
APS & トレース・メッセージ・レジスタ (ATPDR レジスタ)	<ul style="list-style-type: none"> APS コード受信, J0, J1 バイトのトレース・メッセージを受信したことを通知するレジスタです。 このレジスタのビットが1つでもセットされると、PICR レジスタの ATD ビットが1になります。 CPU によるクリアまで、ビットはラッチされます。 	APSD, SLBMD, RJ0AO, RJ0BO, RJ1AO, RJ1BO

(2/2)

レジスタ	概要	格納ビット名
ATM レイヤ I/F エラー・レジスタ (UEDR レジスタ)	<ul style="list-style-type: none"> ・ATM レイヤ・インタフェースに関する障害を検出したことを通知するレジスタです。 ・このレジスタのビットが1つでもセットされると、PICR レジスタの UED ビットが1になります。 ・CPU によるクリアまで、ビットはラッチされます。 	RRPD, TRPD RFOD, TFOD UPED
受信アンステイブル・ レジスタ (RDUR レジスタ)	<ul style="list-style-type: none"> ・Signal Label, J0, J1 メッセージ・データを安定して受信できていない異常を通知するレジスタです。 ・このレジスタのビットが1つでもセットされると、PICR レジスタの RDU ビットが1になります。 ・イベント発生中に CPU がクリアした場合は、いったんクリアされふたたび1にセットされます。 	PSBFL, SLBUL, J0MUL, J1MUL
汎用入カステータス・ レジスタ (GPSR レジスタ)	<ul style="list-style-type: none"> ・汎用入力ポート PIN0-PIN2 のレベルが変化したことを通知するレジスタです。 ・このレジスタのビットが1つでも1になると、PICR の GPI ビットが1になります。 ・このレジスタのビットはラッチされません。汎用入力ポートの入力レベルに応じて変化します。 	PI0S, PI0SB PI1S, PI1SB PI2S, PI2SB

(2) 割り込み要因

表4-14に μ PD98414の割り込み要因すべてを示します。

表4-14 割り込み要因一覧

分類	イベント	ビット	レジスタ
障害, 警報の検出/ 解除	Loss Of Signal 検出	LOSD, LOST, LOSL, (LOSS)	DTER
	Loss Of Frame 検出	LOFD, LOFT, LOFL, (LOFS)	TMNR
	Out Of Frame 検出	OOFD, OOF, OOF, (OOF)	LATR
	Loss Of Pointer 検出	LOPD, LOPT, LOPL, (LOPS)	ESTR
	Loss Of Cell Delineation 検出	LCDD, LCDT, LCDL, (LCDS)	
	Out Of Cell Delineation 検出	OCDD, OCDT, OCDL, (OCDS)	
	Line AIS 受信	LAISD, LAIST, LAISL, (LAISS)	
	Path AIS 受信	PAISD, PAIST, PAISL, (PAISS)	
APS	Line RDI 受信	LRDID, LRDIT, LRDIL, (LRDIS)	
	Path RDI 受信	PRDID, PRDIT, PRDIL, (PRDIS)	
シグナル・ラベル	APS 信号受信	APSD	ATPR
	K1K2 Unstable 検出	K12UL	RDUR
汎用入力端子の レベル変化	Signal Label Byte Unstable 検出	SLBUL	RDUR
	Signal Label Byte Mismatch 検出	SLBMD	ATPR
CD 端子入力の アクティブ	PIN0 入力レベルの変化	PI0S, PI0SB	GPSR
	PIN1 入力レベルの変化	PI1S, PI1SB	
パフォーマンス・ モニタ	PIN2 入力レベルの変化	PI2S, PI2SB	
	CD 端子の入力のロウ検出	CDD, CDT, CDL, (CDS)	DTER, LATR TMNR, ESTR
PM カウンタ・ オーバフロー検出	B1 エラー検出	B1D	PMDR
	B2 エラー検出	B2D	
	B3 エラー検出	B3D	
	Line REI 受信	LREID	
	Path REI 受信	PREID	
ビット・エラー・ レート	B1 カウンタ Overflow 発生	B1CD	PCOR
	B2 カウンタ Overflow 発生	B2CD	
	B3 カウンタ Overflow 発生	B3CD	
	Line REI カウンタ Overflow 発生	LRICD	
	Path REI カウンタ Overflow 発生	PRICD	
	HEC エラー・ドロップ・セル・カウンタ Overflow 発生	HEDCD	
	HEC コレクト・セル・カウンタ Overflow 発生	HCCCD	
	受信有効セル・カウンタ Overflow 発生	RVCCD	
送信有効セル・カウンタ Overflow 発生	TVCCD		
トレース・メッセージ 受信	B1 誤り率劣化警報	B1ERD, B1ERT, B1ERL (B1ERS)	DTER, LATR TMNR, ESTR
	B2 誤り率劣化警報	B2ERD, B2ERT, B2ERL (B2ERS)	
	J0 Message 受信バッファ A 格納	RJ0AO	ATPR
	J0 Message 受信バッファ B 格納	RJ0BO	
	J1 Message 受信バッファ A 格納	RJ1AO	RDUR
	J1 Message 受信バッファ B 格納	RJ1BO	
ATM レイヤ I/F 異常検出	J0 Trace Message Unstable 検出	RJ0MUL	RDUR
	J1 Trace Message Unstable 検出	RJ1MUL	
	受信 FIFO Overflow 検出	RFOD	UEDR
	送信 FIFO Overflow 検出	RRPD	
	受信 FIFO-RAM パリティ・エラー検出	TFOD	
送信 FIFO-RAM パリティ・エラー検出	TRPD		
ATM レイヤ I/F パリティ・エラー検出	UPED		

(3) 詳細要因レジスタのビット変化

詳細要因レジスタは、それぞれにビットのセット，リセット条件が異なります。

表 4 - 15 詳細要因レジスタのセット，リセット条件

レジスタ	セット条件	リセット条件
DTER レジスタ [XXXD ビット]	イベントの検出	CPU によりクリア
TMNR レジスタ [XXXT ビット]	イベントの消滅	CPU によりクリア
LATR レジスタ [XXXL ビット]	イベントの検出	イベント発生中は CPU がクリアしてもふたたびセット。 イベントが消滅してから CPU によりクリア
ESTR レジスタ [XXXS ビット]	イベントを検出	イベントが消滅
PMDR レジスタ	イベントの検出	CPU によりクリア
PCOR レジスタ		
ATPDR レジスタ		
UEDR レジスタ		
RDUR レジスタ	イベントの検出	イベント発生中は CPU がクリアしてもふたたびセット。 イベントが消滅してから CPU によりクリア
GPSR レジスタ	汎用ポートのレベル変化	汎用ポートのレベル変化

(4) DTER, TMNR, LATR レジスタの使用方法

次の 13 イベントは，DTER, TMNR レジスタ, LATR レジスタ, ESTR レジスタの 4 つのレジスタに，状態が表示され，CPU はこれら複数のレジスタを使い分けることによりイベントの発生，消滅，履歴を知ることができます。

イベント： LOS, LOF, OOF, LOP, LCD, OCD, Line AIS, Path AIS, Line RDI, Path RDI

B1 誤り率劣化警報, B2 誤り率劣化警報, CD 端子入力

DTER, TMNR レジスタを用いて，LOS のイベントを検知する場合の例を図 4 - 32 に示します。DTER, TMNR レジスタのビット・セットが PICR レジスタに反映されるように，それぞれのマスク・レジスタを解除します。同様に PICR レジスタのビット・セットが割り込み信号に反映されるように，PICR レジスタのマスクを解除します（LATR レジスタはマスク状態とします）。

LOS イベントが検出されると，DTER レジスタの LOSD ビット，および PICR レジスタの DTE ビットが 1 にセットされ，PHINT_B 信号がアクティブになります。割り込みを受けた CPU は，PICR レジスタ，DTER レジスタの順でリードし，割り込み要因を調べます。CPU が DTER レジスタの，LOSD ビットをクリアすると，PICR レジスタの DTE ビットも 0 に戻り，PHINT_B はインアクティブになります。LOSD ビットは，CPU がクリアするまで 1 を保持します。

LOS イベントが消滅すると，TMNR レジスタの LOST ビット，PICR レジスタの TEM ビットがセットさ

れて、ふたたび PHINT_B がアクティブになります。TMNR レジスタの LOST ビットをクリアすると PHINT_B はインアクティブになります。LOST ビットは、CPU がクリアするまで 1 を保持します。

ESTR レジスタは、イベントの状態を示すレジスタです。LOS が検出されてから消滅するまでの間、LOSS ビットを 1 にセットしています。このレジスタのビットのセットは、割り込み要因になりません。CPU がリードしたとき、PICR レジスタの DTE、TEM ビットが共にセットされていた場合、ESTR レジスタの LOSS ビットの状態を確認することにより、LOS イベントが検出、消滅、もしくは消滅 検出のどちらであるかを知ることができます。

図 4 - 32 DTER, TMNR レジスタのビット動作

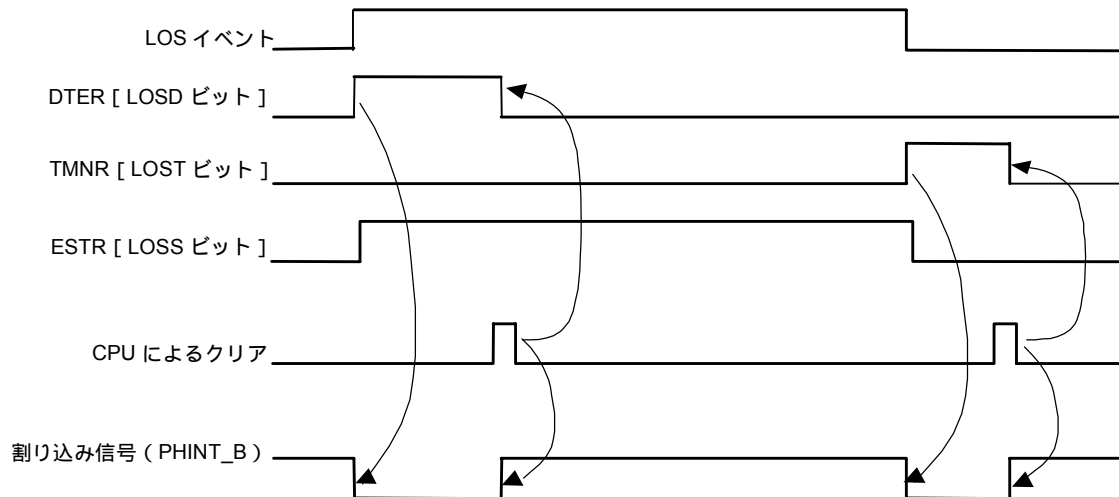
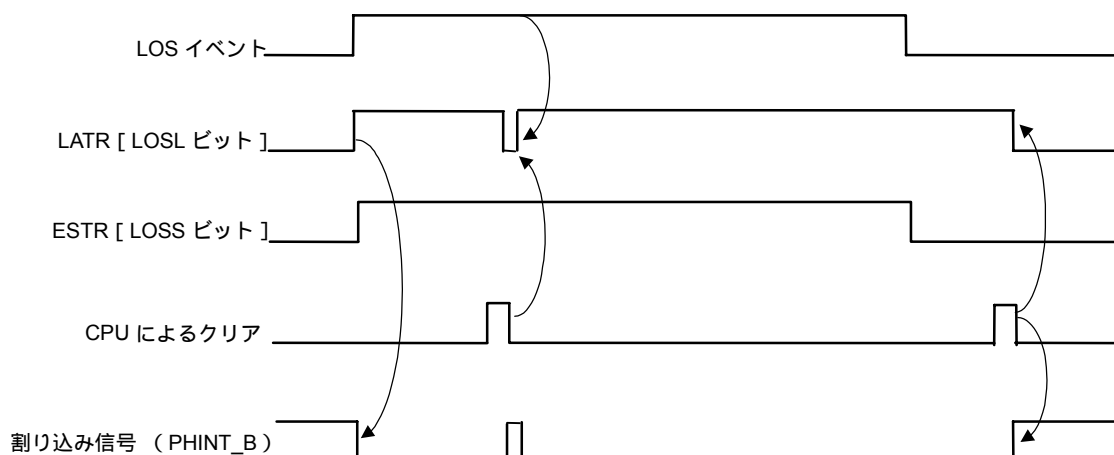


図 4 - 33 は、LATR レジスタを使用して LOS イベントを検知する場合の例です。LATR レジスタのビットのセットが PICR レジスタの LAT ビットに反映され、割り込み信号がアクティブになるように、LATR レジスタ、PICR レジスタのマスクを解除します (DTER, TMNR レジスタはマスク状態です)。

LOS イベントを検出すると LATR レジスタの LOSL ビット、PICR レジスタ LAT ビットがセットされ、PHINT_B 信号がアクティブになります。CPU は PICR レジスタ、LATR レジスタをリードして割り込み要因を調べます。LOSL ビットは、LOS イベントが発生中に、CPU がクリア動作を行うといったんクリアされて、ふたたび 1 にセットされます。PHINT_B もふたたびアクティブになります。PHINT_B を一度インアクティブに戻すには、LATR レジスタのマスク設定を行ってください。イベントが消滅したあとに、CPU がクリアをすることで、LOSL ビットは 0 に戻ります。

図4-33 LATRレジスタのビット動作



RDUR レジスタのビットは、この LATR レジスタと同じセット・リセット条件です。

(5) 詳細要因レジスタのクリア方法

GPSR レジスタおよび、ESTR レジスタを除く、詳細要因レジスタのセットされたビットは、CPU のアクセスによってクリアします。クリア方法には、リード・クリアとライト・クリアの 2 通りがあります。どちらの方法でクリアするかは、ビットごとに設定が可能です。各々の詳細要因レジスタ (GPSR, ESTR レジスタを除く、8 レジスタ) は、リード・クリア、ライト・クリア、ならびにリード・クリアをイネーブルにするための 3 つのアドレスを持っています。

(a) リード・クリア

リードした場合にクリアしてもよいビットは、リード・クリア・イネーブル・アドレスの同じビット位置に 1 をライトしておきます。リード・クリア・アドレスをリードすると、リード・クリア・イネーブル・アドレスに 1 を設定したビットにかぎり 0 クリアされます。リード・クリア・イネーブル・レジスタでディスエーブルにしているビットは、クリアされません。デフォルトでは、全レジスタの全ビットがリード・クリア・イネーブルになっています。

(b) ライト・クリア

リード・オンリー・アドレスにより、レジスタ内容をリードしたあと、ライト・アドレス・レジスタにクリアしたいビットと同じ位置に 1 をライトします。なお、ライト・クリア・アドレスにリード・アクセスをしても、常に 00H が返され、レジスタ内容を得ることはできません。

図4-34 詳細要因レジスタの機能

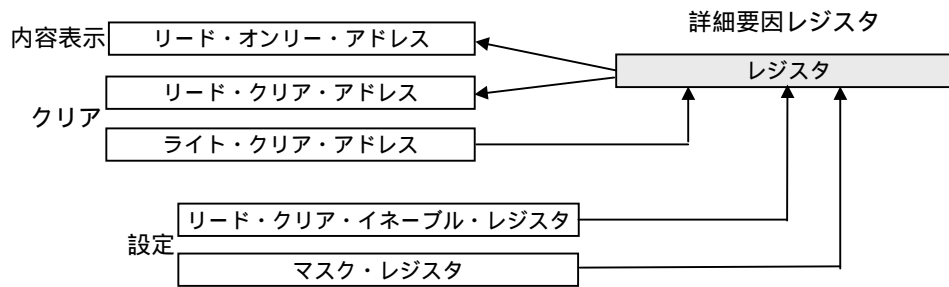


表4-16 詳細要因レジスタの機能説明

アクセス先	説明
リード・オンリー・アドレス	レジスタ内容をリードするためのアドレスです。このアドレスにライト・アクセスしても無視されます。
ライト・クリア・アドレス	レジスタ内容をライト・クリア設定するためのアドレスです。ライト・クリアしたいビットに1を上書きするようにライトします。このアドレスにリード・アクセスをしても、常に00Hが返され、レジスタ内容を得ることはできません。
リード・クリア・アドレス	レジスタ内容をリードし、同時にクリアするためのアドレスです。ただし、クリアされるのはリード・クリア・イネーブル・レジスタにおいてイネーブル設定されているビットに限ります。このアドレスに対するライト動作は、無視されます。
リード・クリア・イネーブル・レジスタ	リード・クリアをビットごとにイネーブルにするレジスタです。このレジスタに1をセットしたビットは、リード・クリア・アドレスへのリード・アクセスによってクリアされます。デフォルトでは、オール1になっており、すべてイネーブルになっています。
マスク・レジスタ	割り込み要因となることをマスク設定するためのレジスタです。詳細要因レジスタのマスク設定は、PICRレジスタに反映されることがマスクされ、PICRレジスタのマスクは、割り込み信号がアクティブになることがマスクされます。デフォルトでは、オール1に設定されており、すべての要因がマスクされています。

図4-35 割り込み要因レジスタ・マップ

PICR (RO:20, MR:21)

D8	D7	D6	D5	D4	D3	D2	D1	D0
DTC	TEM	LAT	PMD	PCD	ATP	UED	RDU	GPI

1) DTER (RO:22, WC:23, RC:24, RE:25, MR:26)

D15	D14	D13	D12	D11	D10	D9	D8
			LOSD	LOFD	OOFD	LOPD	LCDD
D7	D6	D5	D4	D3	D2	D1	D0
OCDD	LAISD	PAISD	LRDID	PRDID	B1ERD	B2ERD	CDD

2) TMNR (RO:27, WC:28, RC:29, RE:2A, MR:2B)

D15	D14	D13	D12	D11	D10	D9	D8
			LOST	LOFT	OOFD	LOPT	LCDT
D7	D6	D5	D4	D3	D2	D1	D0
OCDD	LAIST	PAIST	LRDIT	PRDIT	B1ERT	B2ERT	CDT

3) LATR (RO:2C, WC:2D, RC:2E, RE:2F, MR:30)

D15	D14	D13	D12	D11	D10	D9	D8
			LOSL	LOFL	OOFD	LOPL	LCDL
D7	D6	D5	D4	D3	D2	D1	D0
OCDD	LAISL	PAISL	LRDIL	PRDIL	B1ERL	B2ERL	CDL

4) PMDR (RO:31, WC:32, RC:33, RE:34, MR:35)

D15	D14	D13	D12	D11	D10	D9	D8
D7	D6	D5	D4	D3	D2	D1	D0
			B1D	B2D	B3D	LREID	PREID

5) PCOR (RO:36, WC:37, RC:38, RE:39, MR:3A)

D15	D14	D13	D12	D11	D10	D9	D8
							B1CD
D7	D6	D5	D4	D3	D2	D1	D0
B2CD	B3CD	LRICD	PRICD	HEDCD	HCCCD	RVCCD	TVCCD

6) ATPR (RO:3B, WC:3C, RC:3D, RE:3E, MR:3F)

D15	D14	D13	D12	D11	D10	D9	D8
D7	D6	D5	D4	D3	D2	D1	D0
		APSD	SLBMD	RJ0AO	RJ0BO	RJ1AO	RJ1BO

7) UEDR (RO:40, WC:41, RC:42, RE:43, MR:44)

D15	D14	D13	D12	D11	D10	D9	D8
D7	D6	D5	D4	D3	D2	D1	D0
			RFOD	RRPD	TFOD	TRPD	UPED

8) RDUR (RO:45, WC:46, RC:47, RE:48, MR:49)

D15	D14	D13	D12	D11	D10	D9	D8
D7	D6	D5	D4	D3	D2	D1	D0
				K12UL	SLBUL	RJ0MU	RJ1MU

9) GPSR (RO:4A, MR:4B)

D15	D14	D13	D12	D11	D10	D9	D8
D7	D6	D5	D4	D3	D2	D1	D0
		PI0S	PI1S	PI2S	PI1SB	PI1SB	PI2SB

10) ESTR レジスタ (RO:4C)

D15	D14	D13	D12	D11	D10	D9	D8
			LOSS	LOFS	OOFD	LOPS	LCDS
D7	D6	D5	D4	D3	D2	D1	D0
OCDS	LAISS	PAISS	LRDIS	PRDIS	B1ERS	B2ERS	CDS

RO : リード・オンリー・アドレス
 WC : ライト・クリア・アドレス
 RC : リード・クリア・アドレス
 RE : リード・クリア・イネーブル・アドレス
 MR : マスク・レジスタ・アドレス

- 備考 1.** 割り込み要因レジスタ (PICR) の 1 つでもビットが 1 にセットされると、割り込み信号がアクティブになります。
2. PICR レジスタの 9 ビット (DTC, TEM, LAT, PMD, PCD, ATP, UED, RDU, GPI) は、それぞれに対応する詳細要因レジスタのビットが 1 つでもセットされると、セットされます。
 3. PICR レジスタの 8 ビット (DTC, TEM, LAT, PMD, PCD, ATP, UED, RDU) は、関連する詳細要因レジスタが 0 クリアされるとリセットされます。
 4. PICR レジスタの GPI ビットは、GPSR レジスタのビットが 1 つでもセットされると 1 になります。GPSR レジスタのビットは、ラッチされません。汎用入力ポート PINn 端子入力のレベルが変化し GPSR レジスタのすべてのビットが 0 になったとき、PICR レジスタの GPI ビットも 0 になります。

第5章 レジスタ

μ PD98414 は、CPU インタフェースを介してアクセスし、コマンド指示、各動作モードの設定、割り込み要因解析を行うレジスタがあります。

[注 意]

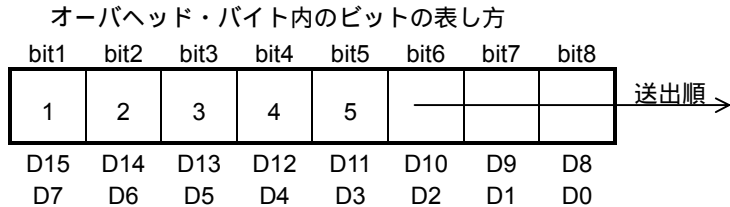
SONET/SDH フレームのデータ・ビット列は、ライン・インタフェース（回線側）から送出される時、MSB より順に送出されます。本ドキュメントでは、MSB は、すべての図表において左に配置されます。なお SONET/SDH フレームのオーバーヘッド・バイト（OH バイト）データ内の各ビットを示すとき、次のように 2 通りの呼び方で記述しています。注意してお読みください。

呼び方 bit1-bit8

主に SONET/SDH フレーム内オーバーヘッド・バイトのビット列を示すのに使用され、ライン・インタフェースからの出力順となっています。

呼び方 D7-D0 ビット

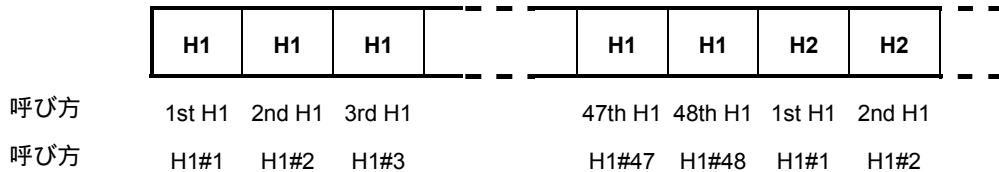
主に μ PD98414 内部のレジスタ内のビットを示すのに使用され、外部 CPU インタフェースの D15-D8、D7-D0 端子に相当します。



内部レジスタ内ビットの表し方

（D15 は、CPU インタフェースのデータ・バス MD15 から入出力します。）

SDH/SONET フレーム内での同一オーバーヘッド・バイトを示す場合についても、本ドキュメントでは次の 2 通りで記述しています。



5.1 レジスタ・マップ

μ PD98414 の内部レジスタ・マップです。デフォルト値はリセット後の値を示します。

(1/6)

No.	アドレス MADD[7:0]	名称	機能	R/W	ビット数	デフォルト	
1	00	CMR1	コマンド 1: 警報フレームの送出を設定	RW	6	0003H	
2	01	CMR2	コマンド 2: リセット	RW	1	0000H	
3	02	CMR3	コマンド 3: トレース・メッセージの送受	RW	8	0000H	
4	03	CMR4	コマンド 4: 疑似エラー・フレームの送出	RW	9	0000H	
5	10	MDR1	モード 1: フレーム動作のモード選択	RW	15	0800H	
6	11	MDR2	モード 2: トレース・メッセージのモード	RW	6	0000H	
7	12	MDR3	モード 3: フレーム動作の条件設定	RW	16	55FBH	
8	13	MDR4	モード 4: Loop Back フレーム動作に関するモード設定	RW	16	0000H	
9	14	MDR5	モード 5: ATM レイヤ・インタフェースに関するモード設定	RW	14	0040H	
10	15	MDR6	モード 6: 受信セル廃棄, HEC 生成, LOP 保護段数に関するモード設定	RW	4	0001H	
11	16	NFDB1R	B1 劣化観測検出条件のフレーム ND の設定	RW	16	0014H	
12	17	LMDB1R	B1 劣化観測検出条件の閾値 LD と連続回数 MD の設定	RW	16	0603H	
13	18	NFDB2R	B2 劣化観測検出条件のフレーム ND の設定	RW	16	0010H	
14	19	LMDB2R	B2 劣化観測検出条件の閾値 LD と連続回数 MD の設定	RW	16	0503H	
15	1A	NFTB1R	B1 劣化観測解除条件のフレーム NT の設定	RW	16	0014H	
16	1B	LMTB1R	B1 劣化観測解除条件の閾値 LT と連続回数 MT の設定	RW	16	0603H	
17	1C	NFTB2R	B2 劣化観測解除条件のフレーム NT の設定	RW	16	0010H	
18	1D	LMTB2R	B2 劣化観測解除条件の閾値 LT と連続回数 MT の設定	RW	16	0503H	
19	20	PICR	割り込み要因表示	R	9	注	
20	21	PIMR	PICR レジスタのマスク設定	RW	9	01FFH	
21	22	DTER_RO	イベント検出レジスタ	リード・オンリー	R	13	注
22	23	DTER_WC		ライト・クリア	RW	13	0000H
23	24	DTER_RC		リード・クリア	R	13	注
24	25	DTER_RE		リード・イネーブル	RW	13	1FFFH
25	26	DTEMR		マスク・レジスタ	RW	13	1FFFH
26	27	TMNR_RO	イベント消滅レジスタ	リード・オンリー	R	13	注
27	28	TMNR_WC		ライト・クリア	RW	13	0000H
28	29	TMNR_RC		リード・クリア	R	13	注
29	2A	TMNR_RE		リード・イネーブル	RW	13	1FFFH
30	2B	TMNMR		マスク・レジスタ	RW	13	1FFFH

注 受信回線の入力状態に依存

(2/6)

No.	アドレス MADD[7:0]	名称	機能	R/W	ビット数	デフォルト	
31	2C	LATR_RO	イベント・スルーラッチ・レジスタ	リード・オンリー	R	13	注1
32	2D	LATR_WC		ライト・クリア	RW	13	0000H
33	2E	LATR_RC		リード・クリア	R	13	注1
34	2F	LATR_RE		リード・イネーブル	RW	13	1FFFH
35	30	LATMR		マスク・レジスタ	RW	13	1FFFH
36	31	PMDR_RO	PM 検出レジスタ	リード・オンリー	R	5	注1
37	32	PMDR_WC		ライト・クリア	RW	5	0000H
38	33	PMDR_RC		リード・クリア	R	5	注1
39	34	PMDR_RE		リード・イネーブル	RW	5	001FH
40	35	PMDMR		マスク・レジスタ	RW	5	001FH
41	36	PCOR_RO	PM カウンタ・オーバフロー・レジスタ	リード・オンリー	R	9	0000H
42	37	PCOR_WC		ライト・クリア	RW	9	0000H
43	38	PCOR_RC		リード・クリア	R	9	0000H
44	39	PCOR_RE		リード・イネーブル	RW	9	01FFH
45	3A	PCOMR		マスク・レジスタ	RW	9	01FFH
46	3B	ATPR_RO	APS&トレース・メッセージ・レジスタ	リード・オンリー	R	6	注1
47	3C	ATPR_WC		ライト・クリア	RW	6	0000H
48	3D	ATPR_RC		リード・クリア	R	6	注1
49	3E	ATPR_RE		リード・イネーブル	RW	6	003FH
50	3F	ATPMR		マスク・レジスタ	RW	6	003FH
51	40	UEDR_RO	ATM レイヤ・インタフェース・エラー・レジスタ	リード・オンリー	R	5	0000H
52	41	UEDR_WC		ライト・クリア	RW	5	0000H
53	42	UEDR_RC		リード・クリア	R	5	0000H
54	43	UEDR_RE		リード・イネーブル	RW	5	001FH
55	44	UEDMR		マスク・レジスタ	RW	5	001FH
56	45	RDUR_RO	受信アンステイブル・スルーラッチ・レジスタ	リード・オンリー	R	4	注1
57	46	RDUR_WC		ライト・クリア	RW	4	0000H
58	47	RDUR_RC		リード・クリア	R	4	注1
59	48	RDUR_RE		リード・イネーブル	RW	4	000FH
60	49	RDUMR		マスク・レジスタ	RW	4	000FH
61	4A	GPSR	汎用入力ステータス・レジスタ	リード・オンリー	R	6	注2
62	4B	GPMR		マスク・レジスタ	RW	6	003FH
63	4C	ESTR	イベント・ステータス・レジスタ	R	13	0000H	

- 注 1. 受信回線の入力状態に依存
 2. PIN2 - PIN0 端子入力に依存

(3/6)

No.	アドレス MADD[7:0]	名称	機能	R/W	ビット数	デフォルト
64	50	TESTR	LSI テスト用レジスタ領域 (リード・ライト・アクセス禁止)		16	0000H
65	51	POUTR	汎用出力ポート (POUT0-POUT4 端子) の出力レベル設定	R/W	5	0000H
66	52	DCHPR	ドロップ・セル・ヘッダ・パターンを設定	R/W	16	0001H
67	53	C2CR	受信 Signal Label (C2) の期待値レジスタ	R/W	8	0013H
68	60	RJ0CMR	J0 受信メッセージ同期パターン設定	R/W	16	0000H
69	61	RJ0MKR	J0 受信メッセージ同期パターン・マスク・ビット設定	R/W	16	0000H
70	62	RJ0ARR	J0 受信バッファ A のアクセス・レジスタ	R	16	0000H
71	63	RJ0APR	J0 受信バッファ A のポインタ・レジスタ	R/W	5	0000H
72	64	RJ0BRR	J0 受信バッファ B のアクセス・レジスタ	R	16	0000H
73	65	RJ0BPR	J0 受信バッファ B のポインタ・レジスタ	R/W	5	0000H
74	66	RJ1CMR	J1 受信メッセージ同期パターン設定	R/W	16	0000H
75	67	RJ1MKR	J1 受信メッセージ同期パターン・マスク・ビット設定	R/W	16	0000H
76	68	RJ1ARR	J1 受信バッファ A のアクセス・レジスタ	R	16	0000H
77	69	RJ1APR	J1 受信バッファ A のポインタ・レジスタ	R/W	5	0000H
78	6A	RJ1BRR	J1 受信バッファ B のアクセス・レジスタ	R	16	0000H
79	6B	RJ1BPR	J1 受信バッファ B のポインタ・レジスタ	R/W	5	0000H
80	6C	TJ0AWR	J0 送信バッファ A のアクセス・レジスタ	R/W	16	0000H
81	6D	TJ0APR	J0 送信バッファ A のポインタ・レジスタ	R/W	5	0000H
82	6E	TJ0BWR	J0 送信バッファ B のアクセス・レジスタ	R/W	16	0000H
83	6F	TJ0BPR	J0 送信バッファ B のポインタ・レジスタ	R/W	5	0000H
84	70	TJ1AWR	J1 送信バッファ A のアクセス・レジスタ	R/W	16	0000H
85	71	TJ1APR	J1 送信バッファ A のポインタ・レジスタ	R/W	5	0000H
86	72	TJ1BWR	J1 送信バッファ B のアクセス・レジスタ	R/W	16	0000H
87	73	TJ1BPR	J1 送信バッファ B のポインタ・レジスタ	R/W	5	0000H

(4/6)

No.	アドレス MADD[7:0]	名称	機能	R/W	ビット数	デフォルト
88	80	SAMPC	カウンタのサンプリングを指示	R/W	9	0000H
89	81	B1ECH	B1 エラー・カウンタ・レジスタ (上位 16 ビット)	R	16	0000H
90	82	B1ECL	B1 エラー・カウンタ・レジスタ (下位 16 ビット)	R	16	0000H
91	83	B2ECH	B2 エラー・カウンタ・レジスタ (上位 16 ビット)	R	16	0000H
92	84	B2ECL	B2 エラー・カウンタ・レジスタ (下位 16 ビット)	R	16	0000H
93	85	B3ECH	B3 エラー・カウンタ・レジスタ (上位 16 ビット)	R	16	0000H
94	86	B3ECL	B3 エラー・カウンタ・レジスタ (下位 16 ビット)	R	16	0000H
95	87	LRICH	Line REI カウンタ・レジスタ (上位 16 ビット)	R	16	0000H
96	88	LRICL	Line REI カウンタ・レジスタ (下位 16 ビット)	R	16	0000H
97	89	PRICH	Path REI カウンタ・レジスタ (上位 16 ビット)	R	16	0000H
98	8A	PRICL	Path REI カウンタ・レジスタ (下位 16 ビット)	R	16	0000H
99	8B	HECDCH	HEC エラー・ドロップ・セル・カウンタ・レジスタ (上位 16 ビット)	R	16	0000H
100	8C	HECDCL	HEC エラー・ドロップ・セル・カウンタ・レジスタ (下位 16 ビット)	R	16	0000H
101	8D	HECCCH	HEC エラー・コレクト・セル・カウンタ・レジスタ (上位 16 ビット)	R	16	0000H
102	8E	HECCCL	HEC エラー・コレクト・セル・カウンタ・レジスタ (下位 16 ビット)	R	16	0000H
103	8F	RVCCH	受信有効セル・カウンタ・レジスタ (上位 16 ビット)	R	16	0000H
104	90	RVCCL	受信有効セル・カウンタ・レジスタ (下位 16 ビット)	R	16	0000H
105	91	TVCCH	送信有効セル・カウンタ・レジスタ (上位 16 ビット)	R	16	0000H
106	92	TVCCL	送信有効セル・カウンタ・レジスタ (上位 16 ビット)	R	16	0000H

No.	アドレス MADD[7:0]	名称	機能	R/W	ビット数	デフォルト
107	A0	K12R	K1, K2 のドロップ・レジスタ	R	16	注
108	A1	E1R	E1 バイト・ドロップ・レジスタ	R	8	注
109	A2	E2R	E2 バイト・ドロップ・レジスタ	R	8	注
110	A3	F1R	F1 バイト・ドロップ・レジスタ	R	8	注
111	A4	D1R	D1 バイト・ドロップ・レジスタ	R	8	注
112	A5	D2R	D2 バイト・ドロップ・レジスタ	R	8	注
113	A6	D3R	D3 バイト・ドロップ・レジスタ	R	8	注
114	A7	D4R	D4 バイト・ドロップ・レジスタ	R	8	注
115	A8	D5R	D5 バイト・ドロップ・レジスタ	R	8	注
116	A9	D6R	D6 バイト・ドロップ・レジスタ	R	8	注
117	AA	D7R	D7 バイト・ドロップ・レジスタ	R	8	注
118	AB	D8R	D8 バイト・ドロップ・レジスタ	R	8	注
119	AC	D9R	D9 バイト・ドロップ・レジスタ	R	8	注
120	AD	D10R	D10 バイト・ドロップ・レジスタ	R	8	注
121	AE	D11R	D11 バイト・ドロップ・レジスタ	R	8	注
122	AF	D12R	D12 バイト・ドロップ・レジスタ	R	8	注
123	B0	J0R	J0 バイト・ドロップ・レジスタ	R	8	注
124	B1	S1R	S1 バイト・ドロップ・レジスタ	R	8	注
125	B2	Z2#1R	1st Z1 バイト・ドロップ・レジスタ	R	8	注
126	B3	J1R	J1 バイト・ドロップ・レジスタ	R	8	注
127	B4	C2R	C2 バイト・ドロップ・レジスタ	R	8	注
128	B5	F2R	F2 バイト・ドロップ・レジスタ	R	8	注
129	B6	G1R	G1 バイト・ドロップ・レジスタ	R	8	注
130	B7	H4R	H4 バイト・ドロップ・レジスタ	R	8	注
131	B8	Z3R	Z3 バイト・ドロップ・レジスタ	R	8	注
132	B9	Z4R	Z4 バイト・ドロップ・レジスタ	R	8	注
133	BA	Z5R	Z5 バイト・ドロップ・レジスタ	R	8	注

注 受信するデータに依存

No.	アドレス MADD[7:0]	名称	機能	R/W	ビット数	デフォルト
134	C0	K12T	K1, K2 バイト・インサート・レジスタ	RW	16	0000H
135	C1	E1T	E1 バイト・インサート・レジスタ	RW	8	0000H
136	C2	E2T	E2 バイト・インサート・レジスタ	RW	8	0000H
137	C3	F1T	F1 バイト・インサート・レジスタ	RW	8	0000H
138	C4	D1T	D1 バイト・インサート・レジスタ	RW	8	0000H
139	C5	D2T	D2 バイト・インサート・レジスタ	RW	8	0000H
140	C6	D3T	D3 バイト・インサート・レジスタ	RW	8	0000H
141	C7	D4T	D4 バイト・インサート・レジスタ	RW	8	0000H
142	C8	D5T	D5 バイト・インサート・レジスタ	RW	8	0000H
143	C9	D6T	D6 バイト・インサート・レジスタ	RW	8	0000H
144	CA	D7T	D7 バイト・インサート・レジスタ	RW	8	0000H
145	CB	D8T	D8 バイト・インサート・レジスタ	RW	8	0000H
146	CC	D9T	D9 バイト・インサート・レジスタ	RW	8	0000H
147	CD	D10T	D10 バイト・インサート・レジスタ	RW	8	0000H
148	CE	D11T	D11 バイト・インサート・レジスタ	RW	8	0000H
149	CF	D12T	D12 バイト・インサート・レジスタ	RW	8	0000H
150	D0	J0T	J0 バイト・インサート・レジスタ	RW	8	0001H
151	D1	S1T	S1 バイト・インサート・レジスタ	RW	8	0000H
152	D2	Z2#1T	1st Z2 バイト・インサート・レジスタ	RW	8	0000H
153	D3	J1T	J1 バイト・インサート・レジスタ	RW	8	0000H
154	D4	C2T	C2 バイト・インサート・レジスタ	RW	8	0013H
155	D5	F2T	F2 バイト・インサート・レジスタ	RW	8	0000H
156	D6	G1T	G1 バイト・インサート・レジスタ	RW	4	0000H
157	D7	H4T	H4 バイト・インサート・レジスタ	RW	8	0000H
158	D8	Z3T	Z3 バイト・インサート・レジスタ	RW	8	0000H
159	D9	Z4T	Z4 バイト・インサート・レジスタ	RW	8	0000H
160	DA	Z5T	Z5 バイト・インサート・レジスタ	RW	8	0000H
161	DB	VERR	バージョン・レジスタ	R	16	注
162	E0	TESTR	LSI テスト用レジスタ領域 (リード・ライト・アクセス禁止)		16	0000H
163	E1				16	0000H
164	E2				16	0000H
165	E3				16	0000H
166	E4				8	0000H

注 NEC にお問い合わせください。

5.2 レジスタ機能

備考 レジスタ説明におけるフィールド枠が“-”のマークになっているビット領域は、機能が割り当てられていないことを示しています。このビット領域へのライトは無視され、リードした場合は0が読み出されます。

(1) コマンド・レジスタ1 (CMR1)

警報送信を設定します。

No.	レジスタ名	アドレス	アクセス	デフォルト
1	CMR1	00H	R/W	0003H

ビット	フィールド	機能	デフォルト
D15-D6	-	このフィールドへのライトは無視されます。	all 0
D5	LAISC	1: Line AIS フレームの送信。1に設定されている間は連続して送信します。 0: 通常動作。	0
D4	PAISC	1: Path AIS フレームの送信。1に設定されている間は連続して送信します。 0: 通常動作。	0
D3	LRDIC	1: Line RDI フレームの送信。1に設定されている間は連続して送信します。 0: 通常動作。	0
D2	PRDIC	1: Path RDI フレームの送信。1に設定されている間は連続して送信します。 0: 通常動作。	0
D1	B1ERE	1: B1 エラー・レート・モニタリング・イネーブル。 0: ディスエーブル。	1
D0	B2ERE	1: B2 エラー・レート・モニタリング・イネーブル。 0: ディスエーブル。	1

- LAISC, PAISC, LRDIC, PRDIC を同時に設定した場合の動作については、**3.3.1 警報の送出**を参照してください。
- ビット・エラー・レートのパラメータ (NFB1R, LMB1R, NFB2R, LMB2R) を変更する場合は、このレジスタの B1ERE, B2ERE ビットを0にしてエラー・レート・モニタリングをディスエーブルにしてからにしてください。

(2) コマンド・レジスタ 2 (CMR2)

μPD98414 の初期化を行います。

No.	レジスタ名	アドレス	アクセス	デフォルト
2	CMR2	01H	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D1	-	このフィールドへのライトは無視されます。	all 0
D0	RESET	1: μPD98414 のソフトウェア・リセットを実行。リセット実行後、自動で 0 に戻ります。 0: 通常動作。	0

(3) コマンド・レジスタ 3 (CMR3)

セクション・トレース・メッセージの送受信を設定します。

No.	レジスタ名	アドレス	アクセス	デフォルト
3	CMR3	02H	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	このフィールドへのライトは無視されます。	all 0
D7	TJ0AE	1: J0 メッセージの送信開始。バッファ A のデータを J0 バイトに挿入。 0: 送信停止。	0
D6	TJ0BE	1: J0 メッセージの送信開始。バッファ B のデータを J0 バイトに挿入。 0: 送信停止。	0
D5	TJ1AE	1: J1 メッセージの送信開始。バッファ A のデータを J1 バイトに挿入。 0: 送信停止。	0
D4	TJ1BE	1: J1 メッセージの送信開始。バッファ B のデータを J1 バイトに挿入。 0: 送信停止。	0
D3	RJ0AS	1: J0 メッセージのバッファ A へ格納開始。格納後、自動で 0 に戻ります。 0: バッファ A のメッセージ格納完了。	0
D2	RJ0BS	1: J0 メッセージのバッファ B へ格納開始。格納後、自動で 0 に戻ります。 0: バッファ B のメッセージ格納完了。	0
D1	RJ1AS	1: J1 メッセージのバッファ A へ格納開始。格納後、自動で 0 に戻ります。 0: バッファ A のメッセージ格納完了。	0
D0	RJ1BS	1: J1 メッセージのバッファ B へ格納開始。格納後、自動で 0 に戻ります。 0: バッファ B のメッセージ格納完了。	0

- J0, J1 メッセージの送受信指示において、バッファ A, バッファ B の両方に対して同時に指示した場合は、バッファ A への指示を優先します。

(4) コマンド・レジスタ4 (CMR4)

テスト機能である擬似エラー・フレームの送出を設定します。

No.	レジスタ名	アドレス	アクセス	デフォルト
4	CMR4	03H	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D9	-	このフィールドへのライトは無視されます。	all 0
D8	PLOS	1: LOS 発生用疑似フレームの送信。1の間は連続して送信します。 0: 通常動作。	0
D7	POOF	1: OOF/LOF 発生用疑似フレームの送信。1の間は連続して送信します。 0: 通常動作。	0
D6	PLOP	1: LOP 発生用疑似フレームの送信。1の間は連続して送信します。 0: 通常動作。	0
D5	POCD	1: OCD/LCD 疑似フレームの送信。1の間は連続して送信します。 0: 通常動作。	0
D4	PB1F	1: B1 エラー発生用疑似フレームの送信。1の間は連続して送信します。 0: 通常動作。	0
D3	PB2F	1: B2 エラー発生用疑似フレームの送信。1の間は連続して送信します。 0: 通常動作。	0
D2	PB3F	1: B3 エラー発生用疑似フレームの送信。1の間は連続して送信します。 0: 通常動作。	0
D1	PLRI	1: Line REI 発生用疑似フレームの送信。1の間は連続して送信します。 0: 通常動作。	0
D0	PPRI	1: Path REI 発生用疑似フレームの送信。1の間は連続して送信します。 0: 通常動作。	0

(5) モード・レジスタ 1 (MDR1)

フレーム送受信動作に関するモード設定を行います。

No.	レジスタ名	アドレス	アクセス	デフォルト
5	MDR1	10H	R/W	0800H

ビット	フィールド	機能	デフォルト
D15	INVC	送出する無効セルのフォーマットを選択。 1: アンアサインド・セル 0: アイドル・セル	0
D14	SST1	送信 AU ポインタの SS ビットの内容を設定します。	00
D13	SST0		
D12	SSM	受信 AU ポインタ・アクションの判定時に SS ビットをチェックするかどうかを選択します。 1: チェックする。 0: Don't Care。	0
D11	SSR	受信 AU ポインタ・アクションの判定時に SS ビットをチェックする場合 (SSM=1), 照合する SS ビットの期待値を設定します。	10
D10	SSR		
D9	CIM	受信 AU ポインタ状態遷移の条件に関して選択します。 1: 2nd H1, H2 以降 (コンカチネーション・インディケーション) は, 状態遷移条件に含めない。 0: 1st H1, H2 ~ 48th H1, H2 のすべてをポインタ状態遷移条件として監視する。	0
D8	UUAB	送信オーバヘッドの未使用バイト領域の挿入値を切り替えます。 1: FFH を挿入。 0: 00H を挿入。	0
D7	FSBA	送信フレームの Fixed Stuff バイト領域の挿入値を切り替えます。 1: 00H を挿入。 0: FFH を挿入。	0
D6	Z0AB	送信オーバヘッドの Z0#16 ~ Z0#47 バイトの挿入値を切り替えます。 1: AAH を挿入。 0: 02H から 30H まで順に挿入。	0
D5	ALRDI	Line RDI の自動折り返し送出機能のマスク設定。 1: マスク。 0: マスク解除。	0
D4	APRDI	Path RDI の自動折り返し送出機能のマスク設定。 1: マスク。 0: マスク解除。:	0
D3	APRDIC	Path RDI の自動折り返し送出の条件に, LCD 検出を含みます。 1: Path RDI の送出条件に LCD 検出を含みます。 0: 含みません。	0
D2	TEST	LSI テスト用領域。必ず 0 をライトしてください。	0
D1	LOSR	LOS を検出したとき, 受信フレーム・ブロックをリセットするようにします。 1: LOS 検出時に受信フレーム・ブロックをリセットします。 0: リセットしません。	0
D0	CDS	CD 端子入力レベルのロウへの変化を LOS 検出条件に含みます。 1: CD 端子入力レベルがロウになると, LOS 状態になります。 0: CD 端子入力レベルがロウになっても LOS 状態にはなりません。	0

(6) モード・レジスタ 2 (MDR2)

トレース・メッセージ送受信に関するモード設定を行います。

No.	レジスタ名	アドレス	アクセス	デフォルト
6	MDR2	11H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D6	-	このフィールドへのライトは無視されます。	all 0
D5	TJ0LS	送信 J0 セクション・トレース・メッセージのサイズを切り替えます。 1: 16 バイト長 0: 64 バイト長	0
D4	TJ1LS	送信 J1 パス・トレース・メッセージのサイズを切り替えます。 1: 16 バイト長 0: 64 バイト長	0
D3	RJ0LS	受信 J0 セクション・トレース・メッセージのサイズを切り替えます。 1: 16 バイト長 0: 64 バイト長	0
D2	RJ1LS	受信 J1 パス・トレース・メッセージのサイズを切り替えます。 1: 16 バイト長 0: 64 バイト長	0
D1	RJ0TIM	J0 セクション・トレース・メッセージを受信する場合に、RJ0CMR レジスタに設定する同期パターンが、メッセージの先頭パターンなのか、あるいは最終パターンなのかを設定します。 1: メッセージの先頭ワードを同期パターンとして設定。 0: メッセージの最終ワードを同期パターンとして設定。	0
D0	RJ1TIM	J1 パス・トレース・メッセージを受信する場合に、RJ1CMR レジスタに設定する同期パターンが、メッセージの先頭パターンなのか、あるいは最終パターンなのかを設定します。 1: メッセージの先頭ワードを同期パターンとして設定。 0: メッセージの最終ワードを同期パターンとして設定。	0

(7) モード・レジスタ 3 (MDR3)

警報検出のモードを設定します。

No.	レジスタ名	アドレス	アクセス	デフォルト
7	MDR3	12H	R/W	55FBH

ビット	フィールド	機 能	デフォルト
D15,D14	OCDB[1:0]	OCD 検出の前段保護段数 を設定します。受信セル流に 回連続で正常な HEC を検出できな いとき OCD 状態になります。 11:9 10:8 01:7 00:6	01
D13,D12	OCDA[1:0]	OCD 検出の後段保護段数 を変更します。受信セル流に +1 回連続で正常な HEC を検出し たとき, OCD 状態を解除します。 11:8 10:7 01:6 00:5	01
D11,D10	OOFB[1:0]	OOF 検出の前段保護段数 を変更します。受信データ・ストリームに 回連続でフレーム同 期パターンを検出できないとき, OOF 状態になります。 11:6 10:5 01:4 00:3	01
D9,D8	OOFA[1:0]	OOF 検出の後段保護段数 を変更します。受信データ・ストリームに 回連続でフレーム同 期パターンを検出したとき, OOF 状態を解除します。 11:4 10:3 01:2 00:1	01
D7	FJREC	受信 AU ポインタを Frequency Justification 要求と認知する条件を変更します。 1: Frequency Justification 要求は, 最低 3 フレーム間隔で受け付けます。 0: Frequency Justification 要求は, 毎フレーム受け付けます。	1
D6	NDFREC	受信 AU ポインタを NDF = Enable と認知する条件を変更します。 1: NDF = Enable は, 最低 3 フレーム間隔で受け付けます。 0: NDF = Enable は, 毎フレーム受け付けます。	1
D5	LOFM	LOF の検出条件を変更します。 1: OOF 状態が 3ms 継続した場合に LOF 状態になります。 0: OOF 検出と同時に LOF 状態になります。	1
D4	LCDM	LCD の検出条件を変更します。 1: OCD 状態が 4ms 継続した場合に LCD 状態になります。 0: OCD 検出と同時に LCD 状態になります。	1
D3	LRDIM	Line RDI の検出条件である「K2 バイト(bits6-8)が ⁿ 110」のフレームを n 回受信したときに Line RDI を検出」の “n” を変更します。 1: n = 5 0: n = 3	1
D2,D1	PRDIM[1:0]	Path RDI の検出条件である「G1 バイト (bit5) が “1” のフレームを n 回連続した場合に Path RDI を検出」の “n” を変更します。 11&10: n = 10 01: n = 5 00: n = 3	01
D0	LAISM	Line AIS の検出条件である「K2 バイト(bits6-8)が ⁿ 111」のフレームを n 回受信したときに Line AIS を検出」の “n” を変更します。 1: n = 5 0: n = 3	1

★

(8) モード・レジスタ 4 (MDR4)

フレームのテスト動作に関するモード設定を行います。

No.	レジスタ名	アドレス	アクセス	デフォルト
8	MDR4	13H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15	ATMLP	1: ATM レイヤ・ループバック・モード (ALP モード) になります。 0: 通常動作。	0
D14	ALPDE	1: ALP モード設定時にループ・データ (セル) を回線側へ出力します。 0: ALP モード設定時にループ・データを回線側へ出力しません。回線側へは、アイドル・セル, アンアサインド・セルを出力します。	0
D13	TPLP	1: 回線側ループバック・モード (TLP モード) になります。 0: 通常動作。	0
D12,D11	TEST	LSI テスト用領域。必ず 0 をライトしてください。	0
D10	FSCE	フレームのスクランブル / デスクランブル動作を制御します。 1: ディスエーブル。 0: イネーブル。	0
D9	CSCE	セルのスクランブル / デスクランブル動作を制御します。 1: ディスエーブル。 0: イネーブル。	0
D8	HECCE	HEC 検証によるヘッダの 1 ビット誤り訂正動作を制御します。 1: 1 ビット誤りの訂正してセルを通過させます。 0: 1 ビット誤りを実行せずセルを廃棄します。	0
★ D7,D6	HECCC [1:0]	HEC 検証状態遷移における「検出モード」から「訂正モード」への復帰段数 を変更します。 11: 設定禁止 10: 4 01: 2 00: 1	00
D5	B1TPM	送信セクション BIP-8 (B1) パリティ演算の偶奇を切り替えます。 1: 奇数パリティ 0: 偶数パリティ	0
★ D4	B2TPM	送信ライン BIP-384 (B2) パリティ演算の偶奇を切り替えます。 1: 奇数パリティ 0: 偶数パリティ	0
★ D3	B3TPM	送信パス BIP-8 (B3) パリティ演算の偶奇を切り替えます。 1: 奇数パリティ 0: 偶数パリティ	0
★ D2	B1RPM	受信セクション BIP-8 (B1) パリティ演算の偶奇を切り替えます。 1: 奇数パリティ 0: 偶数パリティ	0
★ D1	B2RPM	受信ライン BIP-384 (B2) パリティ演算の偶奇を切り替えます。 1: 奇数パリティ 0: 偶数パリティ	0
★ D0	B3RPM	受信パス BIP-8 (B3) パリティ演算の偶奇を切り替えます。 1: 奇数パリティ 0: 偶数パリティ	0

- ALPDE への設定は、ALP モード設定時以外は無効です。

(9) モード・レジスタ 5 (MDR5)

ATM レイヤ・インタフェースに関するモードの設定を行います。

No.	レジスタ名	アドレス	アクセス	デフォルト
9	MDR5	14H	R/W	0040H

ビット	フィールド	機能	デフォルト																																		
D15-D13	-	このフィールドへのライトは無視されます。	all 0																																		
D12	RUTE	受信 ATM レイヤ・インタフェースにおける受信 FIFO へのセル・データ書き込みのイネーブル / ディスエーブルを制御します。 1: イネーブル 0: ディスエーブル	0																																		
D11,D10	TCAV[1:0]	送信 ATM レイヤ・インタフェースにおける TXCLAV のデアサート・タイミングを設定します。受け付け中のセルを含めて、送信 FIFO 内にセルが n セル溜まったとき TXCLAV をデアサートします。 11: n=9 10: n=11 01: n=13 00: n=15	00																																		
D9	TAGE	ATM レイヤ・インタフェースで転送する送受信セルのフォーマットにおいて TAG のあり / なしを選択します。 1: あり 0: なし	0																																		
D8	UDFE	ATM レイヤ・インタフェースで転送する送受信セルのフォーマットにおいて UDF のあり / なしを選択します。 1: なし 0: あり	0																																		
D7,D6	RINT[1:0]	ATM レイヤ・インタフェースで転送する受信セルの送出において最短周期を選択します。この設定は、TAGE、UDFE ビットの設定に依存します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th rowspan="2">RINT [1:0]</th> <th rowspan="2">セル周期</th> <th colspan="2">TAGE=0</th> <th colspan="2">TAGE=1</th> </tr> <tr> <th>UDFE=1</th> <th>UDFE=0</th> <th>UDFE=1</th> <th>UDFE=0</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>52 バイト・モード</td> <td>52</td> <td></td> <td></td> <td></td> </tr> <tr> <td>01</td> <td>56 バイト・モード</td> <td>56</td> <td>56</td> <td>56</td> <td></td> </tr> <tr> <td>10</td> <td>60 バイト・モード</td> <td>60</td> <td>60</td> <td>60</td> <td>60</td> </tr> <tr> <td>11</td> <td>64 バイト・モード</td> <td>64</td> <td>64</td> <td>64</td> <td>64</td> </tr> </tbody> </table> ハッチングがデフォルト。	RINT [1:0]	セル周期	TAGE=0		TAGE=1		UDFE=1	UDFE=0	UDFE=1	UDFE=0	00	52 バイト・モード	52				01	56 バイト・モード	56	56	56		10	60 バイト・モード	60	60	60	60	11	64 バイト・モード	64	64	64	64	01
RINT [1:0]	セル周期	TAGE=0			TAGE=1																																
		UDFE=1	UDFE=0	UDFE=1	UDFE=0																																
00	52 バイト・モード	52																																			
01	56 バイト・モード	56	56	56																																	
10	60 バイト・モード	60	60	60	60																																
11	64 バイト・モード	64	64	64	64																																
D5,D4	TEST	LSI テスト用領域。必ず 0 をライトしてください。	00																																		
D3	UTPM	送信 ATM レイヤ・インタフェースにおけるパリティ演算の偶奇を切り替えます。 1: 偶数 0: 奇数	0																																		
D2	URPM	受信 ATM レイヤ・インタフェースのパリティ演算の偶奇を切り替えます。 1: 偶数 0: 奇数	0																																		
D1,D0	TEST	LSI テスト用領域。必ず 0 をライトしてください。	00																																		

(10) モード・レジスタ 6 (MDR6)

受信セル廃棄，ポインタ処理の保護段数に関するモードの設定を行います。

No.	レジスタ名	アドレス	アクセス	デフォルト
10	MDR6	15H	R/W	0001H

ビット	フィールド	機 能	デフォルト
D15-D7	-	このフィールドへのライトは無視されます。	all 0
D6	PSTATE	受信する H1#n・H2#n (n = 1 ~ 48) の組で決まる内部ポインタ状態 (NORM, AIS, LOP), およびコンカチネーション・インディケーションの状態 (CONC, AISC, LOPC) を, POUT4 端子からシリアル・データとして出力します。 1: POUT4 端子から受信ポインタ状態, およびコンカチネーション・インディケーションの状態をシリアル出力します。 0: 通常動作。(POUT4 端子は, 汎用出力ポートとして動作します。)	0
D5	TEST	このフィールドには, 必ず 0 をライトするようにしてください。	0
D4	B2_SF	B1 誤り劣化ブロックを 2 つ目の B2 誤り劣化機能に切り替えます。 1: B1 誤り劣化モニタ・ブロックは, B2 エラーの累計をソースに検出を行うようになります。回線の劣化検出条件を B2 エラーを元に 2 条件で監視することができます。 0: 通常動作。(B1 誤り劣化モニタ・ブロックは B1 エラーの累計をソースに, B2 誤り劣化モニタ・ブロックは B2 エラーの累計をソースにモニタします。)	0
★ D3	RHEC	受信セル流で HEC エラーを検出した場合の処置を制御します。 1: 廃棄せず通過させます (セル同期が外れるまで)。 0: 廃棄します。	0
★ D2	THEC	送信セルの HEC フィールドの挿入を制御します (μPD98414 が生成するアンアサインド・セルを除く)。 1: ディスエーブル。送信セルに HEC を挿入しません。セルの HEC フィールドには, ATM レイヤから内容がそのまま出力されます。 0: HEC を挿入します。	0
D1,D0	PROTN [1:0]	ポインタ処理の状態遷移における LOP, Path AIS 検出の保護段数 n を設定します。 11: 設定禁止 10: n=10 01: n=9 00: n=8	01

- PROTN[1:0]の設定で n の変更によるポインタ処理動作の相違は, 3.2 受信機能 (3) ポインタ処理を参照してください。

(11) B1 エラー・レート劣化検出パラメータ ND 設定レジスタ (NFDB1R)

B1 劣化観測時の検出条件 ND パラメータの設定を行います。

No.	レジスタ名	アドレス	アクセス	デフォルト
11	NFDB1R	16H	R/W	0014H

ビット	フィールド	機能	デフォルト
D15-D0	ND_B1 [15:0]	B1 エラー・レート・モニタリングのパラメータ “ND” を設定します。 ND は、B1 エラー・レート・モニタリングの劣化検出条件のうち、1 監視フレーム長を規定します。	0014H

- このレジスタの設定内容を変更する場合は、CMR1 レジスタの B1ERE ビットを 0 にして、B1 エラー・レート・モニタリング機能をディスエーブルにしてからにしてください。

(12) B1 エラー・レート劣化検出パラメータ LD, MD 設定レジスタ (LMDB1R)

B1 劣化観測時の検出条件、エラー個数の閾値 LD と連続回数 MD の設定を行います。

No.	レジスタ名	アドレス	アクセス	デフォルト
12	LMDB1R	17H	R/W	0603H

ビット	フィールド	機能	デフォルト
D15-D8	LD_B1[7:0]	B1 エラー・レート・モニタリングのパラメータ “LD” を設定します。 LD は、B1 エラー・レートの劣化検出条件のうち、ND フレーム中に検出するエラー個数の閾値を規定します。	06H
D7-D0	MD_B1[7:0]	B1 エラー・レート・モニタリングのパラメータ “MD” を設定します。 MD は、B1 エラー・レートの劣化検出条件のうち、1 監視フレーム（連続する ND フレーム）中に LD 個以上のエラーが検出されるというイベントの連続回数を規定します。	03H

- このレジスタの設定内容を変更する場合は、CMR1 レジスタの B1ERE ビットを 0 にして、B1 エラー・レート・モニタリング機能をディスエーブルにしてからにしてください。

(13) B2 エラー・レート劣化検出パラメータ ND 設定レジスタ (NFDB2R)

B2 劣化観測時の検出条件 ND パラメータの設定を行います。

No.	レジスタ名	アドレス	アクセス	デフォルト
13	NFDB2R	18H	R/W	0010H

ビット	フィールド	機能	デフォルト
D15-D0	ND_B2 [15:0]	B2 エラー・レート・モニタリングのパラメータ“ND”を設定します。 ND は、B2 エラー・レート・モニタリングの劣化検出条件のうち、1 監視フレーム長を規定します。	0010H

- このレジスタの設定内容を変更する場合は、CMR1 レジスタの B2ERE ビットを 0 にして、B2 エラー・レート・モニタリング機能をディスエーブルにしてからにしてください。

(14) B2 エラー・レート劣化検出パラメータ LD, MD 設定レジスタ (LMDB2R)

B2 劣化観測時の検出条件、エラー個数の閾値 LD と連続回数 MD の設定を行います。

No.	レジスタ名	アドレス	アクセス	デフォルト
14	LMDB2R	19H	R/W	0503H

ビット	フィールド	機能	デフォルト
D15-D8	LD_B2[7:0]	B2 エラー・レート・モニタリングのパラメータ“LD”を設定します。 LD は、B2 エラー・レートの劣化検出条件のうち、ND フレーム中に検出するエラー個数の閾値を規定します。	05H
D7-D0	MD_B2[7:0]	B2 エラー・レート・モニタリングのパラメータ“MD”を設定します。 MD は、B2 エラー・レートの劣化検出条件のうち、1 監視フレーム（連続する ND フレーム）中に LD 個以上のエラーが検出されるといイベントの連続回数を規定します。	03H

- このレジスタの設定内容を変更する場合は、CMR1 レジスタの B2ERE ビットを 0 にして、B2 エラー・レート・モニタリング機能をディスエーブルにしてからにしてください。

(15) B1 エラー・レート劣化解除パラメータ NT 設定レジスタ (NFTB1R)

B1 劣化観測時の解除条件 NT パラメータの設定を行います。

No.	レジスタ名	アドレス	アクセス	デフォルト
15	NFTB1R	1AH	R/W	0014H

ビット	フィールド	機能	デフォルト
D15-D0	NT_B1 [15:0]	B1 エラー・レート・モニタリングのパラメータ“NT”を設定します。 NT は、B1 エラー・モニタリングの劣化解除条件のうち、1 監視フレーム長を規定します。	0014H

- このレジスタの設定内容を変更する場合は、CMR1 レジスタの B1ERE ビットを 0 にして、B1 エラー・レート・モニタリング機能をディスエーブルにしてからにしてください。

(16) B1 エラー・レート劣化解除パラメータ LT, MT 設定レジスタ (LMTB1R)

B1 劣化観測時の解除条件、エラー個数の閾値 LT と連続回数 MT の設定を行います。

No.	レジスタ名	アドレス	アクセス	デフォルト
16	LMTB1R	1BH	R/W	0603H

ビット	フィールド	機能	デフォルト
D15-D8	LT_B1[7:0]	B1 エラー・レート・モニタリングのパラメータ“LT”を設定します。 LT は、B1 エラー・レートの劣化解除条件のうち、NT フレーム中に検出するエラー個数の閾値を規定します。	06H
D7-D0	MT_B1[7:0]	B1 エラー・レート・モニタリングのパラメータ“MT”を設定します。 MT は、B1 エラー・レートの劣化解除条件のうち、1 監視フレーム（連続する NT フレーム）中に LT 個以上のエラーが検出されないというイベントの連続回数を規定します。	03H

- このレジスタの設定内容を変更する場合は、CMR1 レジスタの B1ERE ビットを 0 にして、B1 エラー・レート・モニタリング機能をディスエーブルにしてからにしてください。

(17) B2 エラー・レート劣化解除パラメータ NT 設定レジスタ (NFTB2R)

B2 劣化観測時の解除条件 NT パラメータの設定を行います。

No.	レジスタ名	アドレス	アクセス	デフォルト
17	NFTB2R	1CH	R/W	0010H

ビット	フィールド	機能	デフォルト
D15-D0	NT_B2 [15:0]	B2 エラー・レート・モニタリングのパラメータ“NT”を設定します。 NT は、B2 エラー・モニタリングの劣化解除条件のうち、1 監視フレーム長を規定します。	0010H

- このレジスタの設定内容を変更する場合は、CMR1 レジスタの B2ERE ビットを 0 にして、B2 エラー・レート・モニタリング機能をディスエーブルにしてからにしてください。

(18) B2 エラー・レート劣化解除パラメータ LT, MT 設定レジスタ (LMTB2R)

B2 劣化観測時の解除条件、エラー個数の閾値 LT と連続回数 MT の設定を行います。

No.	レジスタ名	アドレス	アクセス	デフォルト
18	LMTB2R	1DH	R/W	0503H

ビット	フィールド	機能	デフォルト
D15-D8	LT_B2[7:0]	B2 エラー・レート・モニタリングのパラメータ“LT”を設定します。 LT は、B2 エラー・レートの劣化解除条件のうち、NT フレーム中に検出するエラー個数の閾値を規定します。	05H
D7-D0	MT_B2[7:0]	B2 エラー・レート・モニタリングのパラメータ“MT”を設定します。 MT は、B2 エラー・レートの劣化解除条件のうち、1 監視フレーム（連続する NT フレーム）中に LT 個以上のエラーが検出されないというイベントの連続回数を規定します。	03H

- このレジスタの設定内容を変更する場合は、CMR1 レジスタの B2ERE ビットを 0 にして、B2 エラー・レート・モニタリング機能をディスエーブルにしてからにしてください。

(19) 割り込み要因レジスタ (PICR)

割り込み要因を示します。

★

No.	レジスタ名	アドレス	アクセス	デフォルト	機能
19	PICR_RO	20H	R	注	リード・オンリー
20	PIMR	21H	R/W	01FFH	マスク・レジスタ

★

ビット	フィールド	機能 (PICR の場合)	デフォルト
D15-D9	-	このフィールドへのライトは無視されます。	PICR_RO : 注 PIMR : 01FFH
D8	DTC	1 : DTER レジスタのビットがセットされていることを示します。 0 : DTER レジスタは、オール 0 です。	
D7	TEM	1 : TMNR レジスタのビットがセットされていることを示します。 0 : TMNR レジスタは、オール 0 です。	
D6	LAT	1 : LATR レジスタのビットがセットされていることを示します。 0 : LATR レジスタは、オール 0 です。	
D5	PMD	1 : PMDR レジスタのビットがセットされていることを示します。 0 : PMDR レジスタは、オール 0 です。	
D4	PCD	1 : PCOR レジスタのビットがセットされていることを示します。 0 : PCOR レジスタは、オール 0 です。	
D3	ATP	1 : ATPR レジスタのビットがセットされていることを示します。 0 : ATPR レジスタは、オール 0 です。	
D2	UED	1 : UEDR レジスタのビットがセットされていることを示します。 0 : UEDR レジスタは、オール 0 です。	
D1	RDU	1 : RDUR レジスタのビットがセットされていることを示します。 0 : RDUR レジスタは、オール 0 です。	
D0	GPI	1 : GPSR レジスタのビットがセットされていることを示します。 0 : GPDR レジスタは、オール 0 です。	

注 受信回線の入力状態に依存します。

- PICR レジスタのビットが 1 つでも 1 にセットされると PHINT_B 信号がアクティブになります。
- PICR レジスタのビットは、ラッチされません。対応する詳細要因レジスタがオール 0 に戻ると、PICR レジスタのビットも 0 に戻ります。
- PIMR レジスタは、PICR レジスタのマスク・レジスタです。PIMR レジスタに 1 がセットされている PICR レジスタのビットは、1 になっても PHINT_B 信号はアクティブになりません。
デフォルトは、すべてマスクされています。

(20) イベント検出レジスタ (DTER)

イベント発生を検出したことを通知します。

No.	レジスタ名	アドレス	アクセス	デフォルト	機能
21	DTER_RO	22H	R	注	リード・オンリー
22	DTER_WC	23H	R/W	0000H	ライト・クリア
23	DTER_RC	24H	R	注	リード・クリア
24	DTER_RE	25H	R/W	1FFFH	リード・クリア・イネーブル
25	DTEMR	26H	R/W	1FFFH	マスク・レジスタ

ビット	フィールド	機能 (DTER_RO, DTER_RC の場合)	デフォルト
D15-D13	-	このフィールドへのライトは無視されます。	DTER_RO : 注
D12	LOSD	1 : LOS イベントの発生を検出。 0 : 未検出。	DTER_WC : 0000H
D11	LOFD	1 : LOF イベントの発生を検出。 0 : 未検出。	DTER_RC : 注
D10	OOFD	1 : OOF イベントの発生を検出。 0 : 未検出。	DTER_RE : 1FFFH
D9	LOPD	1 : LOP イベントの発生を検出。 0 : 未検出。	DTEMR : 1FFFH
D8	LCDD	1 : LCD イベントの発生を検出。 0 : 未検出。	
D7	OCDD	1 : OCD イベントの発生を検出。 0 : 未検出。	
D6	LAISD	1 : Line AIS イベントの発生を検出。 0 : 未検出。	
D5	PAISD	1 : Path AIS イベントの発生を検出。 0 : 未検出。	
D4	LRDID	1 : Line RDI イベントの発生を検出。 0 : 未検出。	
D3	PRDID	1 : Path RDI イベントの発生を検出。 0 : 未検出。	
D2	B1ERD	1 : B1 誤り率劣化イベントの発生を検出。 0 : 未検出。	
D1	B2ERD	1 : B2 誤り率劣化イベントの発生を検出。 0 : 未検出。	
D0	CDD	1 : CD 端子入力が入ったことを検出。 0 : 未検出。	

注 受信回線の入力状態に依存します。

- DTER レジスタのビットが1つでもセットされると、PICR レジスタの DTE ビットがセットされます。
- DTER レジスタのビットはラッチされ、CPU がクリアするまで 1 を保持します。
- DTER_RO、もしくは DTER_RC アドレスをリードしてレジスタ内容を得ます。
- CPU からのクリア方法にはリード・クリアとライト・クリアの2通りがあります。DTER_RE アドレスに 1 がセットされているビットは、DTER_RC アドレスをリードしたときに、同時に 0 クリアされます。
- ライト・クリアの場合、DTER_WC アドレスに、クリアしたいビットの位置に 1 をライトします。
- DTEMR レジスタは、DTER レジスタのビットがセットされたときに、PICR レジスタの DTE ビットがセットされることをマスク設定するレジスタです (デフォルトは、すべてマスク設定されています)。

(21) イベント消滅レジスタ (TMNR)

イベントが消滅したことを通知します。

No.	レジスタ名	アドレス	アクセス	デフォルト	機能
26	TMNR_RO	27H	R	注	リード・オンリー
27	TMNR_WC	28H	R/W	0000H	ライト・クリア
28	TMNR_RC	29H	R	注	リード・クリア
29	TMNR_RE	2AH	R/W	1FFFH	リード・クリア・イネーブル
30	TMNMR	2BH	R/W	1FFFH	マスク・レジスタ

ビット	フィールド	機能 (TMNR_RO, TMNR_RC の場合)	デフォルト
D15-D13	-	このフィールドへのライトは無視されます。	TMNR_RO : 注
D12	LOST	1 : LOS イベントの消滅を検出。 0 : 未検出。	TMNR_WC : 0000H
D11	LOFT	1 : LOF イベントの消滅を検出。 0 : 未検出。	TMNR_RC : 注
D10	OOFT	1 : OOF イベントの消滅を検出。 0 : 未検出。	TMNR_RE : 1FFFH
D9	LOPT	1 : LOP イベントの消滅を検出。 0 : 未検出。	TMNR : 1FFFH
D8	LCDT	1 : LCD イベントの消滅を検出。 0 : 未検出。	
D7	OCDT	1 : OCD イベントの消滅を検出。 0 : 未検出。	
D6	LAIST	1 : Line AIS イベントの消滅を検出。 0 : 未検出。	
D5	PAIST	1 : Path AIS イベントの消滅を検出。 0 : 未検出。	
D4	LRDIT	1 : Line RDI イベントの消滅を検出。 0 : 未検出。	
D3	PRDIT	1 : Path RDI イベントの消滅を検出。 0 : 未検出。	
D2	B1ERT	1 : B1 誤り率劣化イベントの消滅を検出。 0 : 未検出。	
D1	B2ERT	1 : B2 誤り率劣化イベントの消滅を検出。 0 : 未検出。	
D0	CDT	1 : CD 端子入力がハイに戻ったことを検出。 0 : 未検出。	

注 受信回線の入力状態に依存します。

- TMNR レジスタのビットが1つでもセットされると、PICR レジスタの TEM ビットがセットされます。
- TMNR レジスタのビットはラッチされ、CPU がクリアするまで 1 を保持します。
- TMNR_RO、もしくは TMNR_RC アドレスをリードしてレジスタ内容を得ます。
- CPU からのクリア方法にはリード・クリアとライト・クリアの2通りがあります。TMNR_RE アドレスに 1 がセットされているビットは、TMNR_RC アドレスをリードしたときに、同時に 0 クリアされます。
- ライト・クリアの場合、TMNR_WC アドレスに、クリアしたいビットの位置に 1 をライトします。
- TMNMR レジスタは、TMNR レジスタのビットがセットされたときに、PICR レジスタの TEM ビットがセットされることをマスク設定するレジスタです (デフォルトは、すべてマスク設定されています)。

(22) イベント・スルーラッチ・レジスタ (LATR)

イベントをスルーラッチした状態を通知します。

No.	レジスタ名	アドレス	アクセス	デフォルト	機能
31	LATR_RO	2CH	R	注	リード・オンリー
32	LATR_WC	2DH	R/W	0000H	ライト・クリア
33	LATR_RC	2EH	R	注	リード・クリア
34	LATR_RE	2FH	R/W	1FFFH	リード・クリア・イネーブル
35	LATMR	30H	R/W	1FFFH	マスク・レジスタ

ビット	フィールド	機能 (LATR_RO, LATR_RC の場合)	デフォルト
D15-D13	-	このフィールドへのライトは無視されます。	LATR_RO : 注
D12	LOSL	1 : LOS イベントを検出。 0 : 未検出。	LATR_WC : 0000H
D11	LOFL	1 : LOF イベントを検出。 0 : 未検出。	LATR_RC : 注
D10	OOFL	1 : OOF イベントを検出。 0 : 未検出。	LATR_RE : 1FFFH
D9	LOPL	1 : LOP イベントを検出。 0 : 未検出。	LATMR : 1FFFH
D8	LCDL	1 : LCD イベントを検出。 0 : 未検出。	
D7	OCDL	1 : OCD イベントを検出。 0 : 未検出。	
D6	LAISL	1 : Line AIS イベントを検出。 0 : 未検出。	
D5	PAISL	1 : Path AIS イベントを検出。 0 : 未検出。	
D4	LRDIL	1 : Line RDI イベントを検出。 0 : 未検出。	
D3	PRDIL	1 : Path RDI イベントを検出。 0 : 未検出。	
D2	B1ERL	1 : B1 誤り率劣化イベントを検出。 0 : 未検出。	
D1	B2ERL	1 : B2 誤り率劣化イベントを検出。 0 : 未検出。	
D0	CDL	1 : CD 端子入力が入ロウになったことを検出。 0 : 未検出。	

注 受信回線の入力状態に依存します。

- LATR レジスタのビットが1つでもセットされると、PICR レジスタの LAT ビットがセットされます。
- LATR レジスタのイベントをスルーラッチした状態を示します。イベント発生中に CPU がビット・クリアした場合、いったんクリアされ、ふたたび1にセットされます。
- LATR_RO, もしくは LATR_RC アドレスをリードしてレジスタ内容を得ます。
- CPU からのクリア方法にはリード・クリアとライト・クリアの2通りがあります。LATR_RE アドレスに1がセットされているビットは、LATR_RC アドレスをリードしたときに、同時に0クリアされます。
- ライト・クリアの場合、LATR_WC アドレスに、クリアしたいビットの位置に1をライトします。
- LATMR レジスタは、LATR レジスタのビットがセットされたときに、PICR レジスタの LAT ビットがセットされることをマスク設定するレジスタです (デフォルトは、すべてマスク設定されています)。

(23) PM 検出レジスタ (PMDR)

パフォーマンス・モニタリング関連のイベントを検出したこと通知します。

No.	レジスタ名	アドレス	アクセス	デフォルト	機能
36	PMDR_RO	31H	R	注	リード・オンリー
37	PMDR_WC	32H	R/W	0000H	ライト・クリア
38	PMDR_RC	33H	R	注	リード・クリア
39	PMDR_RE	34H	R/W	001FH	リード・クリア・イネーブル
40	PMDMR	35H	R/W	001FH	マスク・レジスタ

ビット	フィールド	機能 (PMDR_RO, PMDR_RC の場合)	デフォルト
D15-D5	-	このフィールドへのライトは無視されます。	PMDR_RO : 注
D4	B1D	1 : B1 エラーを検出。 0 : 未検出。	PMDR_WC : 0000H
D3	B2D	1 : B2 エラーを検出。 0 : 未検出。	PMDR_RC : 注
D2	B3D	1 : B3 エラーを検出。 0 : 未検出。	PMDR_RE : 001FH
D1	LREID	1 : Line REI を検出。 0 : 未検出。	PMDMR : 001FH
D0	PREID	1 : Path REI を検出。 0 : 未検出。	

注 受信回線の入力状態に依存します。

- PMDR レジスタのビットが1つでもセットされると、PICR レジスタの PMD ビットがセットされます。
- PMDR レジスタのビットはラッチされ、CPU がクリアするまで 1 を保持します。
- PMDR_RO, もしくは PMDR_RC アドレスをリードしてレジスタ内容を得ます。
- CPU からのクリア方法にはリード・クリアとライト・クリアの2通りがあります。PMDR_RE アドレスに 1 がセットされているビットは、PMDR_RC アドレスをリードしたときに、同時に 0 クリアされます。
- ライト・クリアの場合、PMDR_WC アドレスに、クリアしたいビットの位置に 1 をライトします。
- PMDMR レジスタは、PMDR レジスタのビットがセットされたときに、PICR レジスタの PMD ビットがセットされることをマスク設定するレジスタです (デフォルトは、すべてマスク設定されています)。

(24) PM カウンタ・オーバーフロー・レジスタ (PCOR)

パフォーマンス・モニタリング・カウンタがオールFになったとき、オーバーフロー発生として通知します。

No.	レジスタ名	アドレス	アクセス	デフォルト	機能
41	PCOR_RO	36H	R	0000H	リード・オンリー
42	PCOR_WC	37H	R/W	0000H	ライト・クリア
43	PCOR_RC	38H	R	0000H	リード・クリア
44	PCOR_RE	39H	R/W	01FFH	リード・クリア・イネーブル
45	PCOMR	3AH	R/W	01FFH	マスク・レジスタ

ビット	フィールド	機能 (PCOR_RO, PCOR_RC の場合)	デフォルト
D15-D9	-	このフィールドへのライトは無視されます。	PCOR_RO : 0000H
D8	B1CD	1: B1 エラー・カウンタのオーバーフロー発生を検出。 0: 未発生。	PCOR_WC : 0000H
D7	B2CD	1: B2 エラー・カウンタのオーバーフロー発生を検出。 0: 未発生。	PCOR_RC : 0000H
D6	B3CD	1: B3 エラー・カウンタのオーバーフロー発生を検出。 0: 未発生。	PCOR_RE : 01FFH
D5	LRICD	1: Line REI カウンタのオーバーフロー発生を検出。 0: 未発生。	PCOMR : 01FFH
D4	PRICD	1: Path REI カウンタのオーバーフロー発生を検出。 0: 未発生。	
D3	HEDCD	1: HEC エラー廃棄カウンタのオーバーフロー発生を検出。 0: 未発生。	
D2	HCCCD	1: HEC 修正セル・カウンタのオーバーフロー発生を検出。 0: 未発生。	
D1	RVCCD	1: 受信有効セル・カウンタのオーバーフロー発生を検出。 0: 未発生。	
D0	TVCCD	1: 送信有効セル・カウンタのオーバーフロー発生を検出。 0: 未発生。	

- PCOR レジスタのビットが1つでもセットされると、PICR レジスタの PCO ビットがセットされます。
- PCOR レジスタのビットはラッチされ、CPU がクリアするまで 1 を保持します。
- PCOR_RO, もしくは PCOR_RC アドレスをリードしてレジスタ内容を得ます。
- CPU からのクリア方法にはリード・クリアとライト・クリアの2通りがあります。PCOR_RE アドレスに 1 がセットされているビットは、PCOR_RC アドレスをリードしたときに、同時に 0 クリアされます。
- ライト・クリアの場合、PCOR_WC アドレスに、クリアしたいビットの位置に 1 をライトします。
- PCOMR レジスタは、PCOR レジスタのビットがセットされたときに、PICR レジスタの PCO ビットがセットされることをマスク設定するレジスタです (デフォルトは、すべてマスク設定されています)。

(25) APS&トレース・メッセージ・レジスタ (ATPR)

APS 信号の受信や、トレース・メッセージを受信したことを通知します。

No.	レジスタ名	アドレス	アクセス	デフォルト	機能
46	ATPR_RO	3BH	R	注	リード・オンリー
47	ATPR_WC	3CH	R/W	0000H	ライト・クリア
48	ATPR_RC	3DH	R	注	リード・クリア
49	ATPR_RE	3EH	R/W	003FH	リード・クリア・イネーブル
50	ATPMR	3FH	R/W	003FH	マスク・レジスタ

ビット	フィールド	機能 (ATPR_RO, ATPR_RC の場合)	デフォルト
D15-D6	-	このフィールドへのライトは無視されます。	ATPR_RO : 注
D5	APSD	1 : APS 信号を受信した。 0 : 未検出。	ATPR_WC : 0000H
D4	SLBMD	1 : Signal Label Mismatch を検出した。 0 : 未検出。	ATPR_RC : 注
D3	RJ0AO	1 : J0 メッセージをバッファ A に格納完了。 0 : 未完了。	ATPR_RE : 003FH
D2	RJ0BO	1 : J0 メッセージをバッファ B に格納完了。 0 : 未完了。	ATPMR : 003FH
D1	RJ1AO	1 : J1 メッセージをバッファ A に格納完了。 0 : 未完了。	
D0	RJ1BO	1 : J1 メッセージをバッファ B に格納完了。 0 : 未完了。	

注 受信回線の入力状態に依存します。

- ATPR レジスタのビットが1つでもセットされると、PICR レジスタの ATP ビットがセットされます。
- ATPR レジスタのビットはラッチされ、CPU がクリアするまで 1 を保持します。
- ATPR_RO、もしくは ATPR_RC アドレスをリードしてレジスタ内容を得ます。
- CPU からのクリア方法にはリード・クリアとライト・クリアの2通りがあります。ATPR_RE アドレスに 1 がセットされているビットは、ATPR_RC アドレスをリードしたときに、同時に 0 クリアされます。
- ライト・クリアの場合、ATPR_WC アドレスに、クリアしたいビットの位置に 1 をライトします。
- ATPMR レジスタは、ATPR レジスタのビットがセットされたときに、PICR レジスタの ATP ビットがセットされることをマスク設定するレジスタです (デフォルトは、すべてマスク設定されています)。

(26) ATM レイヤ・インタフェース・エラー・レジスタ (UEDR)

ATM レイヤ・インタフェース上でエラーを検出したことを通知します。

No.	レジスタ名	アドレス	アクセス	デフォルト	機能
51	UEDR_RO	40H	R	0000H	リード・オンリー
52	UEDR_WC	41H	R/W	0000H	ライト・クリア
53	UEDR_RC	42H	R	0000H	リード・クリア
54	UEDR_RE	43H	R/W	001FH	リード・クリア・イネーブル
55	UEDMR	44H	R/W	001FH	マスク・レジスタ

ビット	フィールド	機能 (UEDR_RO, UEDR_RC の場合)	デフォルト
D15-D5	-	このフィールドへのライトは無視されます。	UEDR_RO : 0000H
D4	RFOD	1: 受信 FIFO オーバフローを検出。 0: 未検出。	UEDR_WC : 0000H
D3	RRPD	1: 受信 FIFO RAM のパリティ・エラーを検出。 0: 未検出。	UEDR_RC : 0000H
D2	TFOD	1: 送信 FIFO オーバフローを検出。 0: 未検出。	UEDR_RE : 001FH
D1	TRPD	1: 送信 FIFO RAM のパリティ・エラーを検出。 0: 未検出。	UEDMR : 001FH
D0	UPED	1: 送信 UTOPIA バスでパリティ・エラーを検出。 0: 未検出。	

- UEDR レジスタのビットが1つでもセットされると、PICR レジスタの UED ビットがセットされます。
- UEDR レジスタのビットはラッチされ、CPU がクリアするまで 1 を保持します。
- UEDR_RO、もしくは UEDR_RC アドレスをリードしてレジスタ内容を得ます。
- CPU からのクリア方法にはリード・クリアとライト・クリアの2通りがあります。UEDR_RE アドレスに 1 がセットされているビットは、UEDR_RC アドレスをリードしたときに、同時に 0 クリアされます。
- ライト・クリアの場合、UEDR_WC アドレスに、クリアしたいビットの位置に 1 をライトします。
- UEDMR レジスタは、UEDR レジスタのビットがセットされたときに、PICR レジスタの UED ビットがセットされることをマスク設定するレジスタです (デフォルトは、すべてマスク設定されています)。

(27) 受信アンステイブル・スルーラッチ・レジスタ (RDUR)

APS 信号や, Signal Label が安定して受信できていないことを通知します。

No.	レジスタ名	アドレス	アクセス	デフォルト	機能
56	RDUR_RO	45H	R	注	リード・オンリー
57	RDUR_WC	46H	R/W	0000H	ライト・クリア
58	RDUR_RC	47H	R	注	リード・クリア
59	RDUR_RE	48H	R/W	000FH	リード・クリア・イネーブル
60	RDUMR	49H	R/W	000FH	マスク・レジスタ

ビット	フィールド	機能 (RDUR_RO, RDUR_RC の場合)	デフォルト
D15-D4	-	このフィールドへのライトは無視されます。	RDUR_RO : 注
D3	K12UL	1 : K1K2 Unstable 状態になったことを検出。 0 : 未検出。	RDUR_WC : 0000H
D2	SLBUL	1 : Signal Label Unstable 状態になったことを検出。 0 : 未検出。	RDUR_RC : 注
D1	RJ0MUL	1 : J0 Section Trace Message Unstable 状態になったことを検出。 0 : 未検出。	RDUR_RE : 000FH
D0	RJ1MUL	1 : J1 Path Trace Message Unstable 状態になったことを検出。 0 : 未検出。	RDUMR : 000FH

注 受信回線の入力状態に依存します。

- RDUR レジスタのビットが1つでもセットされると, PICR レジスタの RDU ビットがセットされます。
- RDUR レジスタのイベントをスルーラッチした状態を示します。イベント発生中に CPU がビット・クリアした場合, いったんクリアされ, ふたたび1にセットされます。
- RDUR_RO, もしくは RDUR_RC アドレスをリードしてレジスタ内容を得ます。
- CPU からのクリア方法にはリード・クリアとライト・クリアの2通りがあります。RDUR_RE アドレスに1がセットされているビットは, RDUR_RC アドレスをリードしたときに, 同時に0クリアされます。
- ライト・クリアの場合, RDUR_WC アドレスに, クリアしたいビットの位置に1をライトします。
- RDUMR レジスタは, RDUR レジスタのビットがセットされたときに, PICR レジスタの RDU ビットがセットされることをマスク設定するレジスタです (デフォルトは, すべてマスク設定されています)。

(28) 汎用入力ポート・ステータス・レジスタ (GPSR)

汎用入力端子の信号レベルを表示します。

No.	レジスタ名	アドレス	アクセス	デフォルト	機能
61	GPSR_RO	4AH	R	注	リード・オンリー
62	GPMR	4BH	R/W	003FH	マスク・レジスタ

ビット	フィールド	機能 (GPSR_RO, GPSR_RC の場合)	デフォルト
D15-D6	-	このフィールドへのライトは無視されます。	GPSR_RO : 注 GPMR : 003FH
D5	PI2S	PIN2 端子の入力レベルを表示。 1: ハイ 0: ロウ	
D4	PI1S	PIN1 端子の入力レベルを表示。 1: ハイ 0: ロウ	
D3	PI0S	PIN0 端子の入力レベルを表示。 1: ハイ 0: ロウ	
D2	PI2SB	PIN2 端子の入力レベルを反転表示。 1: ロウ 0: ハイ	
D1	PI1SB	PIN1 端子の入力レベルを反転表示。 1: ロウ 0: ハイ	
D0	PI0SB	PIN0 端子の入力レベルを反転表示。 1: ロウ 0: ハイ	

注 GPSR_RO レジスタのデフォルト値は、PIN0 – PIN2 端子の入力レベルに依存します。

- このレジスタのビットが1つでもセットされると、PICR レジスタの GPI ビットがセットされます。
- このレジスタのビットはラッチされません。端子の入力レベルに応じて随時変化します。
- GPMR レジスタは、GPSR レジスタのビットがセットされたときに、PICR レジスタの GPI ビットがセットされることをマスク設定するレジスタです (デフォルトは、すべてマスク設定されています)。
- 割り込みとして端子の入力レベルのロウへの変化を通知させるか、ハイへの変化を通知させるかをマスク・レジスタの設定で選択することができます。

(29) イベント・ステータス・レジスタ (ESTR)

イベントの現在の状態を表示します。

No.	レジスタ名	アドレス	アクセス	デフォルト
63	ESTR	4CH	R	0000H

ビット	フィールド	機 能		デフォルト
D15-D13	-			all 0
D12	LOSS	1: LOS イベントが発生中。	0: 発生していない。	0
D11	LOFS	1: LOF イベントが発生中。	0: 発生していない。	0
D10	OOFs	1: OOF イベントが発生中。	0: 発生していない。	0
D9	LOPS	1: LOP イベントが発生中。	0: 発生していない。	0
D8	LCDS	1: LCD イベントが発生中。	0: 発生していない。	0
D7	OCDS	1: OCD イベントが発生中。	0: 発生していない。	0
D6	LAISS	1: Line AIS イベントが発生中。	0: 発生していない。	0
D5	PAISDS	1: Path AIS イベントが発生中。	0: 発生していない。	0
D4	LRDIS	1: Line RDI イベントが発生中。	0: 発生していない。	0
D3	PRDIS	1: Path RDI イベントが発生中。	0: 発生していない。	0
D2	B1ERS	1: B1 誤り率劣化イベントが発生中。	0: 発生していない。	0
D1	B2ERS	1: B2 誤り率劣化イベントが発生中。	0: 発生していない。	0
D0	CDS	1: CD 入力が高レベル。	0: CD 入力が低レベル。	0

- ESTR レジスタのビットのセットは、割り込み要因にはなりません。
- ESTR レジスタのビットはラッチされず、イベントの発生 / 消滅に応じて変化します。
- CDS ビットの表示は、CD 端子入力レベルと論理が逆になっていることに注意してください。

(30) LSI テスト用レジスタ (TESTR)

LSI のテストを行うためのレジスタです。アクセスしないようにしてください。

No.	レジスタ名	アドレス	アクセス	デフォルト
64	TESTR	50H	R/W 禁止	0000H

ビット	フィールド	機 能	デフォルト
D15-D0	TEST[15:0]	LSI テスト用のレジスタ領域です。 この領域へのリード、ライト・アクセスは行わないようにしてください。	0000H

(31) 汎用出力ポート制御レジスタ (POUTR)

汎用出力ポートの出力レベルを変更します。

No.	レジスタ名	アドレス	アクセス	デフォルト
65	POUTR	51H	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D5	-	このフィールドへのライトは無視されます。	all 0
D4	POUT4	1 : POUT4 端子からハイを出力。 0 : ロウを出力。	0
D3	POUT3	1 : POUT3 端子からハイを出力。 0 : ロウを出力。	0
D2	POUT2	1 : POUT2 端子からハイを出力。 0 : ロウを出力。	0
D1	POUT1	1 : POUT1 端子からハイを出力。 0 : ロウを出力。	0
D0	POUT0	1 : POUT0 端子からハイを出力。 0 : ロウを出力。	0

(32) ドロップ・セル・ヘッダ・パターン・レジスタ (DCHPR)

無効セルとして廃棄する受信セルのヘッダ・パターンを設定します。

No.	レジスタ名	アドレス	アクセス	デフォルト
66	DCHPR	52H	R/W	0001H

ビット	フィールド	機能	デフォルト
D15	GFC3C	VPI/VCI がオール 0 の受信セルは、さらに VPI/VCI 領域以外のセル・ヘッダ領域をこの領域に設定したパターンとベリファイします。この領域のパターンと一致したセルは、受信 FIFO に格納せずに廃棄します。ただし、下位 8 ビットの領域でマスク設定されているビットは、ベリファイせずに Don't Care になります。	0
D14	GFC2C		0
D13	GFC1C		0
D12	GFC0C		0
D11	PTI2C		0
D10	PTI1C		0
D9	PTI0C		0
D8	CLPC		0
D7	GFC3M	上位 8 ビットのマスク設定をします。 このフィールドに 1 が設定されたセル・ヘッダのビットは、上位 8 ビットのビット設定とベリファイされません。 デフォルトでは、CLPM=1 になっていますので、セル・ヘッダの CLP ビットは Don't Care になります。CLP 以外がオール 0 であれば、廃棄されるので、アイドル・セル、アンアサインド・セルともに廃棄するモードになっています。	0
D6	GFC2M		0
D5	GFC1M		0
D4	GFC0M		0
D3	PTI2M		0
D2	PTI1M		0
D1	PTI0M		0
D0	CLPM		1

(33) シグナル・ラベル期待値レジスタ (C2CR)

受信 C2 バイトの期待値を設定します。

No.	レジスタ名	アドレス	アクセス	デフォルト
67	C2CR	53H	R/W	0013H

ビット	フィールド	機能	デフォルト
D15-D8	-	このフィールドへのライトは無視されます。	00H
D7-D0	C2C[7:0]	受信 C2 バイト (Signal Label) の期待値を設定します。 3 フレーム連続で受信 OH バイトの C2 バイトの位置に同じ値を受けたとき、その内容を C2R レジスタに格納します。C2R レジスタに格納した値は、この C2C レジスタの設定値とベリファイされ、異なった場合は、“Signal Label Mismatch”検出として ATPR レジスタのビットをセットして CPU に通知します。	13H

(34) J0 トレース・メッセージの同期パターン設定レジスタ (RJ0CMR)

受信 J0 トレース・メッセージの先頭, または終了ワードのパターンを設定します。

No.	レジスタ名	アドレス	アクセス	デフォルト
68	RJ0CMR	60H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D0	RJ0CMR [15:0]	J0 トレース・メッセージの先頭, または終了パターン (16-bit) を設定します。	0000H

(35) J0 同期パターン・マスク・ビット設定 (RJ0MKR)

RJ0CMR レジスタのマスクを設定します。

No.	レジスタ名	アドレス	アクセス	デフォルト
69	RJ0MKR	61H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D0	RJ0MKR [15:0]	RJ0CMR に設定する J0 トレース・メッセージの先頭, または終了パターン (16-bit) のうち, マスクするビットを指定します。このレジスタに 1 が設定されたビットと同じ位置にあたる RJ0CMR レジスタのビットは, 受信 J0 バイトのデータ列に RJ0CMR レジスタの設定値をサーチするとき, Don't Care になります。	0000H

(36) J0 受信バッファ A のアクセス・レジスタ (RJ0ARR)

J0 トレース・メッセージを格納する受信バッファ A からデータをリードするレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
70	RJ0ARR	62H	R	0000H

ビット	フィールド	機能	デフォルト
D15-D0	RJ0ARR [15:0]	J0 トレース・メッセージを格納した受信バッファ A から, メッセージ・データを 1 ワード (2 バイト) ずつ読みとるためのレジスタです。 このレジスタにリード・アクセスするたびにバッファのリード・ポインタ (RJ0APR レジスタ) は自動でインクリメント (+1) されます。 このレジスタからのメッセージ・データの出力は, バッファとの間に位置する内部レジスタを介して行います。このレジスタを 1 度リードすることで, バッファ A から内部レジスタにデータが取り込まれ, 2 度目のリードでこのレジスタからバスにデータを出力します。したがって, CPU がメッセージ・データをリードするには, ダミー・リードを 1 回行う必要があります。 このレジスタにリード・アクセスする場合は, 必ずコマンド・レジスタ 3 (CMR3) の RJ0AS ビットが 0 になってからにしてください。	0000H

(37) J0 受信バッファ A のポインタ・レジスタ (RJ0APR)

J0 トレース・メッセージを格納する受信バッファ A のポインタ・レジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
71	RJ0APR	63H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D5	-	このフィールドへのライトは無視されます。	all 0
D4-D0	RJ0APR [4:0]	J0 トレース・メッセージの受信バッファ A のリード・ポインタを表示します。 このレジスタに表示するポインタは、RJ0ARR レジスタにアクセスするたびに自動でインクリメント (+1) されます。バッファのボトムに到達したとき (16 バイト長モードの場合は 07H, 64 バイト長モードの場合は、1FH まで到達したとき) は、自動で 0 に戻ります。次に得たいワードのポインタを、このレジスタに直接ライト指定することができます。ただし、ポインタを設定後、1 度 RJ0ARR レジスタに対してダミー・リードを行う必要があり、2 度目のリードで得る値が指定ポインタのデータになります。無効ポインタをライトしようとした場合、 μ PD98414 は無視します (16 バイト・モードの場合は 08H 以上, 64 バイト・モードの場合は、20H 以上)。	all 0

(38) J0 受信バッファ B のアクセス・レジスタ (RJ0BRR)

J0 トレース・メッセージを格納する受信バッファ B からデータをリードするレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
72	RJ0BRR	64H	R	0000H

ビット	フィールド	機能	デフォルト
D15-D0	RJ0BRR [15:0]	J0 トレース・メッセージを格納した受信バッファ B から、メッセージ・データを 1 ワード (2 バイト) ずつ読みとるためのレジスタです。 このレジスタにリード・アクセスするたびにバッファのリード・ポインタ (RJ0BPR レジスタ) は自動でインクリメント (+1) されます。 このレジスタからのメッセージ・データの出力は、バッファとの間に位置する内部レジスタを介して行います。このレジスタを 1 度リードすることで、バッファ B から内部レジスタにデータが取り込まれ、2 度目のリードでこのレジスタからバスにデータを出力します。したがって、CPU がメッセージ・データをリードするには、ダミー・リードを 1 回行う必要があります。 このレジスタにリード・アクセスする場合は、必ずコマンド・レジスタ 3 (CMR3) の RJ0BS ビットが 0 になってからにしてください。	0000H

(39) J0 受信バッファ B のポインタ・レジスタ (RJ0BPR)

J0 トレース・メッセージを格納する受信バッファ B のポインタ・レジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
73	RJ0BPR	65H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D5	-	このフィールドへのライトは無視されます。	all 0
D4-D0	RJ0BPR [4:0]	J0 トレース・メッセージの受信バッファ B のリード・ポインタを表示します。 このレジスタに表示するポインタは、RJ0BRR レジスタにアクセスするたびに自動でインクリメント (+1) されます。バッファのボトムに到達したとき (16 バイト長モードの場合は 07H、64 バイト長モードの場合は、1FH まで到達したとき) は、自動で 0 に戻ります。次に得たいワードのポインタを、このレジスタに直接ライト指定することができます。ただし、ポインタを設定後、1 度 RJ0BRR レジスタに対してダミー・リードを行う必要があり、2 度目のリードで得る値が指定ポインタのデータになります。無効ポインタをライトしようとした場合、 μ PD98414 は無視します (16 バイト・モードの場合は 08H 以上、64 バイト・モードの場合は、20H 以上)。	all 0

(40) J1 トレース・メッセージの同期パターン設定レジスタ (RJ1CMR)

受信 J1 トレース・メッセージの先頭、または終了ワードのパターンを設定します。

No.	レジスタ名	アドレス	アクセス	デフォルト
74	RJ1CMR	66H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D0	RJ1CMR [15:0]	J1 トレース・メッセージの先頭、または終了パターン (16-bit) を設定します。	0000H

(41) J1 同期パターン・マスク・ビット設定 (RJ1MKR)

RJ1CMR レジスタのマスクを設定します。

No.	レジスタ名	アドレス	アクセス	デフォルト
75	RJ1MKR	67H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D0	RJ1MKR [15:0]	RJ1CMR に設定する J0 トレース・メッセージの先頭、または終了パターン (16-bit) のうち、マスクするビットを指定します。このレジスタに 1 が設定されたビットと同じ位置にあたる RJ1CMR レジスタのビットは、受信 J1 バイトのデータ列に RJ1CMR レジスタの設定値をサーチするとき、Don't Care になります。	0000H

(42) J1 受信バッファ A のアクセス・レジスタ (RJ1ARR)

J1 トレース・メッセージを格納する受信バッファ A からデータをリードするレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
76	RJ1ARR	68H	R	0000H

ビット	フィールド	機能	デフォルト
D15-D0	RJ1ARR [15:0]	J1 トレース・メッセージを格納した受信バッファ A から、メッセージ・データを 1 ワード (2 バイト) ずつ読みとるためのレジスタです。 このレジスタにリード・アクセスするたびにバッファのリード・ポインタ (RJ1APR レジスタ) は自動でインクリメント (+1) されます。 このレジスタからのメッセージ・データの出力は、バッファとの間に位置する内部レジスタを介して行います。このレジスタを 1 度リードすることで、バッファ A から内部レジスタにデータが取り込まれ、2 度目のリードでこのレジスタからバスにデータを出力します。したがって、CPU がメッセージ・データをリードするには、ダミー・リードを 1 回行う必要があります。 このレジスタにリード・アクセスする場合は、必ずコマンド・レジスタ 3 (CMR3) の RJ1AS ビットが 0 になってからにしてください。	0000H

(43) J1 受信バッファ A のポインタ・レジスタ (RJ1APR)

J1 トレース・メッセージを格納する受信バッファ A のポインタ・レジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
77	RJ1APR	69H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D5	-	このフィールドへのライトは無視されます。	all 0
D4-D0	RJ1APR [4:0]	J1 トレース・メッセージの受信バッファ A のリード・ポインタを表示します。 このレジスタに表示するポインタは、RJ1ARR レジスタにアクセスするたびに自動でインクリメント (+1) されます。バッファのボトムに到達したとき (16 バイト長モードの場合は 07H、64 バイト長モードの場合は、1FH まで到達したとき) は、自動で 0 に戻ります。次に得たいワードのポインタを、このレジスタに直接ライト指定することができます。ただし、ポインタを設定後、1 度 RJ1ARR レジスタに対してダミー・リードを行う必要があり、2 度目のリードで得る値が指定ポインタのデータになります。無効ポインタをライトしようとした場合、 μ PD98414 は無視します (16 バイト・モードの場合は 08H 以上、64 バイト・モードの場合は、20H 以上)。	all 0

(44) J1 受信バッファ B のアクセス・レジスタ (RJ1BRR)

J1 トレース・メッセージを格納する受信バッファ B からデータをリードするレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
78	RJ1BRR	6AH	R	0000H

ビット	フィールド	機能	デフォルト
D15-D0	RJ1BRR [15:0]	J1 トレース・メッセージを格納した受信バッファ B から、メッセージ・データを 1 ワード (2 バイト) ずつ読みとるためのレジスタです。 このレジスタにリード・アクセスするたびにバッファのリード・ポインタ (RJ1BPR レジスタ) は自動でインクリメント (+1) されます。 このレジスタからのメッセージ・データの出力は、バッファとの間に位置する内部レジスタを介して行います。このレジスタを 1 度リードすることで、バッファ B から内部レジスタにデータが取り込まれ、2 度目のリードでこのレジスタからバスにデータを出力します。したがって、CPU がメッセージ・データをリードするには、ダミー・リードを 1 回行う必要があります。 このレジスタにリード・アクセスする場合は、必ずコマンド・レジスタ 3 (CMR3) の RJ1BS ビットが 0 になってからにしてください。	0000H

(45) J1 受信バッファ B のポインタ・レジスタ (RJ1BPR)

J1 トレース・メッセージを格納する受信バッファ B のポインタ・レジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
79	RJ1BPR	6BH	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D5	-	このフィールドへのライトは無視されます。	all 0
D4-D0	RJ1BPR [4:0]	J1 トレース・メッセージの受信バッファ B のリード・ポインタを表示します。 このレジスタに表示するポインタは、RJ1BRR レジスタにアクセスするたびに自動でインクリメント (+1) されます。バッファのボトムに到達したとき (16 バイト長モードの場合は 07H、64 バイト長モードの場合は、1FH まで到達したとき) は、自動で 0 に戻ります。次に得たいワードのポインタを、このレジスタに直接ライト指定することができます。ただし、ポインタを設定後、1 度 RJ1BRR レジスタに対してダミー・リードを行う必要があり、2 度目のリードで得る値が指定ポインタのデータになります。無効ポインタをライトしようとした場合、 μ PD98414 は無視します (16 バイト・モードの場合は 08H 以上、64 バイト・モードの場合は、20H 以上)。	all 0

(46) J0 送信バッファ A のアクセス・レジスタ (TJ0AWR)

J0 トレース・メッセージを送信バッファ A に設定するためのレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
80	TJ0AWR	6CH	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D0	TJ0AWR [15:0]	J0 トレース・メッセージを送信バッファ A に 1 ワード (2 バイト) ずつ書き込むためのレジスタです。このレジスタにアクセスするたびにバッファのポインタ (TJ0APR レジスタ) は自動でインクリメント (+1) されます。 このレジスタにリード・アクセスする場合、データの出力は、バッファとの間に位置する内部レジスタを介して行います。このレジスタを 1 度リードすることで、バッファ A から内部レジスタにデータが取り込まれ、2 度目のリードでこのレジスタからバスにデータを出力します。したがって、CPU がメッセージ・データをリードするには、ダミー・リードを 1 度行う必要があります。ライトにはダミー・アクセスは必要ありませんので注意してください。このレジスタにアクセスする場合は、必ずコマンド・レジスタ 3 (CMR3) の TJ0AE ビットを 0 にしてメッセージの送信コマンドをディスエーブルにしてからにしてください。	0000H

(47) J0 送信バッファ A のポインタ・レジスタ (TJ0APR)

J0 トレース・メッセージの送信バッファ A のポインタ・レジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
81	TJ0APR	6DH	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D5	-	このフィールドへのライトは無視されます。	all 0
D4-D0	TJ0APR [4:0]	J0 トレース・メッセージの送信バッファ A のアクセス・ポインタを表示します。 このレジスタに表示するポインタは、TJ0AWR レジスタにアクセスするたびに自動でインクリメント (+1) されます。送信バッファ A のサイズは、MDR2 レジスタの TJ0LS ビットへの設定で 16 バイト長か、64 バイト長に切り替わります。 バッファのボトムに到達したとき (16 バイト長モードの場合は 07H、64 バイト長モードの場合は、1FH まで到達したとき) は、自動で 0 に戻ります。 次にライトしたい、またはリードしたワードのポインタを、このレジスタに直接ライトすることができます。無効ポインタをライトしようとした場合、 μ PD98414 は無視します (16 バイト・モードの場合は 08H 以上、64 バイト・モードの場合は、20H 以上)。	all 0

(48) J0 送信バッファ B のアクセス・レジスタ (TJ0BWR)

J0 トレース・メッセージを送信バッファ B に設定するためのレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
82	TJ0BWR	6EH	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D0	TJ0BWR [15:0]	J0 トレース・メッセージを送信バッファ B に 1 ワード (2 バイト) ずつ書き込むためのレジスタです。このレジスタにアクセスするたびにバッファのポインタ (TJ0BPR レジスタ) は自動でインクリメント (+1) されます。 このレジスタにリード・アクセスする場合、データの出力は、バッファとの間に位置する内部レジスタを介して行います。このレジスタを 1 度リードすることで、バッファ B から内部レジスタにデータが取り込まれ、2 度目のリードでこのレジスタからバスにデータを出力します。したがって、CPU がメッセージ・データをリードするには、ダミー・リードを 1 度行う必要があります。ライトにはダミー・アクセスは必要ありませんので注意してください。このレジスタにアクセスする場合は、必ずコマンド・レジスタ 3 (CMR3) の TJ0BE ビットを 0 にしてメッセージの送信コマンドをディスエーブルにしてからにしてください。	0000H

(49) J0 送信バッファ B のポインタ・レジスタ (TJ0BPR)

J0 トレース・メッセージの送信バッファ B のポインタ・レジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
83	TJ0BPR	6FH	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D5	-	このフィールドへのライトは無視されます。	all 0
D4-D0	TJ0BPR [4:0]	J0 トレース・メッセージの送信バッファ B のアクセス・ポインタを表示します。 このレジスタに表示するポインタは、TJ0BWR レジスタにアクセスするたびに自動でインクリメント (+1) されます。送信バッファ A のサイズは、MDR2 レジスタの TJ0LS ビットへの設定で 16 バイト長か、64 バイト長に切り替わります。 バッファのボトムに到達したとき (16 バイト長モードの場合は 07H、64 バイト長モードの場合は、1FH まで到達したとき) は、自動で 0 に戻ります。 次にライトしたい、またはリードしたワードのポインタを、このレジスタに直接ライトすることができます。無効ポインタをライトしようとした場合、 μ PD98414 は無視します (16 バイト・モードの場合は 08H 以上、64 バイト・モードの場合は、20H 以上)。	all 0

(50) J1 送信バッファ A のアクセス・レジスタ (TJ1AWR)

J1 トレース・メッセージを送信バッファ A に設定するためのレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
84	TJ1AWR	70H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D0	TJ1AWR [15:0]	J1 トレース・メッセージを送信バッファ A に 1 ワード (2 バイト) ずつ書き込むためのレジスタです。このレジスタにアクセスするたびにバッファのポインタ (TJ1APR レジスタ) は自動でインクリメント (+1) されます。 このレジスタにリード・アクセスする場合、データの出力は、バッファとの間に位置する内部レジスタを介して行います。このレジスタを 1 度リードすることで、バッファ A から内部レジスタにデータが取り込まれ、2 度目のリードでこのレジスタからバスにデータを出力します。したがって、CPU がメッセージ・データをリードするには、ダミー・リードを 1 度行う必要があります。ライトにはダミー・アクセスは必要ありませんので注意してください。このレジスタにアクセスする場合は、必ずコマンド・レジスタ 3 (CMR3) の TJ1AE ビットを 0 にしてメッセージの送信コマンドをディスエーブルにしてからにしてください。	0000H

(51) J1 送信バッファ A のポインタ・レジスタ (TJ1APR)

J1 パス・トレース・メッセージの送信バッファ A のポインタ・レジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
85	TJ1APR	71H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D5	-	このフィールドへのライトは無視されます。	all 0
D4-D0	TJ1APR [4:0]	J1 トレース・メッセージの送信バッファ A のアクセス・ポインタを表示します。 このレジスタに表示するポインタは、TJ1AWR レジスタにアクセスするたびに自動でインクリメント (+1) されます。送信バッファ A のサイズは、MDR2 レジスタの TJ1LS ビットへの設定で 16 バイト長か、64 バイト長に切り替わります。 バッファのボトムに到達したとき (16 バイト長モードの場合は 07H、64 バイト長モードの場合は、1FH まで到達したとき) は、自動で 0 に戻ります。 次にライトしたい、またはリードしたワードのポインタを、このレジスタに直接ライトすることができます。無効ポインタをライトしようとした場合、 μ PD98414 は無視します (16 バイト・モードの場合は 08H 以上、64 バイト・モードの場合は、20H 以上)。	all 0

(52) J1 送信バッファ B のアクセス・レジスタ (TJ1BWR)

J1 トレース・メッセージを送信バッファ B に設定するためのレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
86	TJ1BWR	72H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D0	TJ1BWR [15:0]	J1 トレース・メッセージを送信バッファ B に 1 ワード (2 バイト) ずつ書き込むためのレジスタです。このレジスタにアクセスするたびにバッファのポインタ (TJ1BPR レジスタ) は自動でインクリメント (+1) されます。 このレジスタにリード・アクセスする場合、データの出力は、バッファとの間に位置する内部レジスタを介して行います。このレジスタを 1 度リードすることで、バッファ B から内部レジスタにデータが取り込まれ、2 度目のリードでこのレジスタからバスにデータを出力します。したがって、CPU がメッセージ・データをリードするには、ダミー・リードを 1 度行う必要があります。ライトにはダミー・アクセスは必要ありませんので注意してください。このレジスタにアクセスする場合は、必ずコマンド・レジスタ 3 (CMR3) の TJ1BE ビットを 0 にしてメッセージの送信コマンドをディスエーブルにしてからにしてください。	0000H

(53) J1 送信バッファ B のポインタ・レジスタ (TJ1BPR)

J1 トレース・メッセージの送信バッファ B のポインタ・レジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
87	TJ1BPR	73H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D5	-	このフィールドへのライトは無視されます。	all 0
D4-D0	TJ1BPR [4:0]	J1 トレース・メッセージの送信バッファ B のアクセス・ポインタを表示します。 このレジスタに表示するポインタは、TJ1BWR レジスタにアクセスするたびに自動でインクリメント (+1) されます。送信バッファ A のサイズは、MDR2 レジスタの TJ1LS ビットへの設定で 16 バイト長か、64 バイト長に切り替わります。 バッファのボトムに到達したとき (16 バイト長モードの場合は 07H、64 バイト長モードの場合は、1FH まで到達したとき) は、自動で 0 に戻ります。 次にライトしたい、またはリードしたワードのポインタを、このレジスタに直接ライトすることができます。無効ポインタをライトしようとした場合、 μ PD98414 は無視します (16 バイト・モードの場合は 08H 以上、64 バイト・モードの場合は、20H 以上)。	all 0

(54) カウンタ・サンプリング・レジスタ (SAMPC)

パフォーマンス・モニタリング・カウンタのカウンタ値を対応するロード・レジスタに退避させるコマンドを指定します。

No.	レジスタ名	アドレス	アクセス	デフォルト
88	SAMPC	80H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D9	-	このフィールドへのライトは無視されます。	all 0
D8	B1ECS	1: B1 エラー・カウンタをロード。 0: ロード完。	0
D7	B2ECS	1: B2 エラー・カウンタをロード。 0: ロード完。	0
D6	B3ECS	1: B3 エラー・カウンタをロード。 0: ロード完。	0
D5	LREICS	1: Line REI カウンタをロード。 0: ロード完。	0
D4	PREICS	1: Path REI カウンタをロード。 0: ロード完。	0
D3	HECDCS	1: HEC エラー・ドロップ・セル・カウンタをロード。 0: ロード完。	0
D2	HECCCS	1: HEC コレクト・セル・カウンタをロード。 0: ロード完。	0
D1	RVCCS	1: 受信有効セル・カウンタをロード。 0: ロード完。	0
D0	TVCCS	1: 送信有効セル・カウンタをロード。 0: ロード完。	0

- このレジスタに 1 をセットしたビットに対応するカウンタは、その時点でのカウンタ値をロード・レジスタにロードします。このレジスタにセットしたビットは、ロード実行後に自動で 0 に戻ります。
- ロードを実行したカウンタは、リセットされます。

(55) B1 エラー・カウンタのロード・レジスタ (B1ECH, B1ECL)

B1 エラー・カウンタ値をリードするレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
89	B1ECH	81H	R	0000H
90	B1ECL	82H	R	0000H

- SAMPC レジスタの B1ECS ビットをセットすると、その時点での B1 エラー・カウンタ値 (32 ビット) の上位 16 ビットが B1ECH レジスタに、下位 16 ビットが B1ECL レジスタに格納されます。格納後 B1ECS ビットは、自動で 0 に戻ります。
- このレジスタに格納された値は、ふたたび B1ECS ビットがセットされて上書きされるまで保持されます。

(56) B2 エラー・カウンタのロード・レジスタ (B2ECH, B2ECL)

B2 エラー・カウンタ値をリードするレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
91	B2ECH	83H	R	0000H
92	B2ECL	84H	R	0000H

- SAMPC レジスタの B2ECS ビットをセットすると、その時点での B2 エラー・カウンタ値 (32 ビット) の上位 16 ビットが B2ECH レジスタに、下位 16 ビットが B2ECL レジスタに格納されます。格納後 B2ECS ビットは、自動で 0 に戻ります。
- このレジスタに格納された値は、ふたたび B2ECS ビットがセットされて上書きされるまで保持されます。

(57) B3 エラー・カウンタのロード・レジスタ (B3ECH, B3ECL)

B3 エラー・カウンタ値をリードするレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
93	B3ECH	85H	R	0000H
94	B3ECL	86H	R	0000H

- SAMPC レジスタの B3ECS ビットをセットすると、その時点での B2 エラー・カウンタ値 (32 ビット) の上位 16 ビットが B3ECH レジスタに、下位 16 ビットが B3ECL レジスタに格納されます。格納後 B3ECS ビットは、自動で 0 に戻ります。
- このレジスタに格納された値は、ふたたび B3ECS ビットがセットされて上書きされるまで保持されます。

(58) Line REI カウンタのロード・レジスタ (LRICH, LRICL)

Line REI カウンタ値をリードするレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
95	LRICH	87H	R	0000H
96	LRICL	88H	R	0000H

- SAMPC レジスタの LREICS ビットをセットすると、その時点での Line REI カウンタ値 (32 ビット) の上位 16 ビットが LRICH レジスタに、下位 16 ビットが LRICL レジスタに格納されます。格納後 LREICS ビットは、自動で 0 に戻ります。
- このレジスタに格納された値は、ふたたび LREICS ビットがセットされて上書きされるまで保持されます。

(59) Path REI カウンタのロード・レジスタ (PRICH, PRICL)

Path REI カウンタ値をリードするレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
97	PRICH	89H	R	0000H
98	PRICL	8AH	R	0000H

- SAMPC レジスタの PREICS ビットをセットすると、その時点での Path REI カウンタ値 (32 ビット) の上位 16 ビットが PRICH レジスタに、下位 16 ビットが PRICL レジスタに格納されます。格納後 PREICS ビットは、自動で 0 に戻ります。
- このレジスタに格納された値は、ふたたび PREICS ビットがセットされて上書きされるまで保持されます。

(60) HEC エラー・ドロップ・セル・カウンタのロード・レジスタ (HECDCH, HECDCL)

HEC エラー・ドロップ・セル・カウンタ値をリードするレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
99	HECDCH	8BH	R	0000H
100	HECDCL	8CH	R	0000H

- SAMPC レジスタの HECDCS ビットをセットすると、その時点での HEC エラー・ドロップ・セル・カウンタ値 (32 ビット) の上位 16 ビットが HECDCH レジスタに、下位 16 ビットが HECDCL レジスタに格納されます。格納後 HECDCS ビットは、自動で 0 に戻ります。
- このレジスタに一度格納された値は、ふたたび HECDCS ビットがセットされて上書きされるまで保持されます。

(61) HEC コレクト・セル・カウンタのロード・レジスタ (HECCCH, HECCCL)

HEC コレクト・セル・カウンタ値をリードするレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
101	HECCCH	8DH	R	0000H
102	HECCCL	8EH	R	0000H

- SAMPC レジスタの HECCCS ビットをセットすると、その時点での HEC コレクト・セル・カウンタ値 (32 ビット) の上位 16 ビットが HECCCH レジスタに、下位 16 ビットが HECCCL レジスタに格納されます。格納後 HECDCS ビットは、自動で 0 に戻ります。
- このレジスタに格納された値は、HECCCS ビットがふたたびセットされて上書きされるまで保持されます。

(62) 受信有効セル・カウンタのロード・レジスタ (RVCCH, RVCCL)

受信有効セル・カウンタ値をリードするレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
103	RVCCH	8FH	R	0000H
104	RVCCL	90H	R	0000H

- SAMPC レジスタの RVCCS ビットをセットすると、その時点での受信有効セル・カウンタ値 (32 ビット) の上位 16 ビットが RVCCH レジスタに、下位 16 ビットが RVCCL レジスタに格納されます。格納後 RVCCS ビットは、自動で 0 に戻ります。
- このレジスタに格納された値は、ふたたび RVCCS ビットがセットされて上書きされるまで保持されます。

(63) 送信有効セル・カウンタのロード・レジスタ (TVCCH, TVCCL)

送信有効セル・カウンタ値をリードするレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
105	TVCCH	91H	R	0000H
106	TVCCL	92H	R	0000H

- SAMPC レジスタの TVCCS ビットをセットすると、その時点での送信有効セル・カウンタ値 (32 ビット) の上位 16 ビットが TVCCH レジスタに、下位 16 ビットが TVCCL レジスタに格納されます。格納後 TVCCS ビットは、自動で 0 に戻ります。
- このレジスタに格納された値は、ふたたび TVCCS ビットがセットされて上書きされるまで保持されます。

(64) 受信 K1, K2 のドロップ・レジスタ (K12R)

受信 K1, K2 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
107	K12R	A0H	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	K1R[7:0]	受信 K1 バイトが格納されます。	all 0
D7-D0	K2R[7:0]	受信 K2 バイトが格納されます。	受信値

- 変化してから 3 フレーム連続で同じ K1, K2 バイトを受信したとき、このレジスタは更新されます。

(65) 受信 E1 のドロップ・レジスタ (E1R)

受信 E1 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
108	E1R	A1H	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	E1R[7:0]	受信 E1 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(66) 受信 E2 のドロップ・レジスタ (E2R)

受信 E2 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
109	E2R	A2H	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	E2R[7:0]	受信 E2 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(67) 受信 F1 のドロップ・レジスタ (F1R)

受信 F1 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
110	F1R	A3H	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	F1R[7:0]	受信 F1 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(68) 受信 D1 のドロップ・レジスタ (D1R)

受信 D1 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
111	D1R	A4H	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	D1R[7:0]	受信 D1 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(69) 受信 D2 のドロップ・レジスタ (D2R)

受信 D2 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
112	D2R	A5H	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	D2R[7:0]	受信 D2 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(70) 受信 D3 のドロップ・レジスタ (D3R)

受信 D3 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
113	D3R	A6H	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	D3R[7:0]	受信 D3 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(71) 受信 D4 のドロップ・レジスタ (D4R)

受信 D4 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
114	D4R	A7H	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	D4R[7:0]	受信 D4 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(72) 受信 D5 のドロップ・レジスタ (D5R)

受信 D5 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
115	D5R	A8H	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	D5R[7:0]	受信 D5 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(73) 受信 D6 のドロップ・レジスタ (D6R)

受信 D6 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
116	D6R	A9H	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	D6R[7:0]	受信 F1 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(74) 受信 D7 のドロップ・レジスタ (D7R)

受信 D7 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
117	D7R	AAH	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	D7R[7:0]	受信 D7 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(75) 受信 D8 のドロップ・レジスタ (D8R)

受信 D8 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
118	D8R	ABH	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	D8R[7:0]	受信 D8 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(76) 受信 D9 のドロップ・レジスタ (D9R)

受信 D9 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
119	D9R	ACH	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	D9R[7:0]	受信 D9 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(77) 受信 D10 のドロップ・レジスタ (D10R)

受信 D10 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
120	D10R	ADH	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	D10R[7:0]	受信 D10 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(78) 受信 D11 のドロップ・レジスタ (D11R)

受信 D11 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
121	D11R	AEH	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	D11R[7:0]	受信 D11 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(79) 受信 D12 のドロップ・レジスタ (D12R)

受信 D12 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
122	D12R	AFH	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	D12R[7:0]	受信 D12 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(80) 受信 J0 のドロップ・レジスタ (J0R)

受信 J0 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
123	J0R	B0H	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	J0R[7:0]	受信 J0 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。このレジスタへの格納動作は、J0 トレース・メッセージの受信動作とは無関係に行われます。	受信値

(81) 受信 S1 のドロップ・レジスタ (S1R)

受信 S1 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
124	S1R	B1H	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	S1R[7:0]	受信 DS1 イトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(82) 受信 1st Z2 のドロップ・レジスタ (Z2#1R)

受信 1st Z2 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
125	Z2#1R	B2H	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	Z2#1R[7:0]	受信 1st Z2 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(83) 受信 J1 のドロップ・レジスタ (J1R)

受信 J1 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
126	J1R	B3H	R	受信値

ビット	フィールド	機 能	デフォルト
D15-D8	-		all 0
D7-D0	J1R[7:0]	受信 J1 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS, LOP, Path AIS) を検出している場合には、このレジスタの内容は不定になります。このレジスタへの格納動作は、J1 トレース・メッセージの受信動作とは無関係に行われます。	受信値

(84) 受信 C2 のドロップ・レジスタ (C2R)

受信 C2 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
127	C2R	B4H	R	受信値

ビット	フィールド	機 能	デフォルト
D15-D8	-		all 0
D7-D0	C2R[7:0]	Signal Label Unstable 状態でない場合でかつ、3 フレーム連続で同じ内容の C2 バイトを受信した場合に、その受信 C2 バイトの内容が格納されます。 回線障害 (LOS, LOF, Line AIS, LOP, Path AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(85) 受信 F2 のドロップ・レジスタ (F2R)

受信 F2 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
128	F2R	B5H	R	受信値

ビット	フィールド	機 能	デフォルト
D15-D8	-		all 0
D7-D0	F2R[7:0]	受信 F2 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS, LOP, Path AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(86) 受信 G1 のドロップ・レジスタ (G1R)

受信 G1 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
129	G1R	B6H	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	G1R[7:0]	受信 G1 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS, LOP, Path AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(87) 受信 H4 のドロップ・レジスタ (H4R)

受信 H4 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
130	H4R	B7H	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	H4R[7:0]	受信 H4 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS, LOP, Path AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(88) 受信 Z3 のドロップ・レジスタ (Z3R)

受信 Z3 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
131	Z3R	B8H	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	Z3R[7:0]	受信 Z3 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS, LOP, Path AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(89) 受信 Z4 のドロップ・レジスタ (Z4R)

受信 Z4 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
132	Z4R	B9H	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	Z4R[7:0]	受信 Z4 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS, LOP, Path AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(90) 受信 Z5 のドロップ・レジスタ (Z5R)

受信 Z5 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
133	Z5R	BAH	R	受信値

ビット	フィールド	機能	デフォルト
D15-D8	-		all 0
D7-D0	Z5R[7:0]	受信 Z5 バイトが格納されます。フレーム受信ごとに更新されます。 回線障害 (LOS, LOF, Line AIS, LOP, Path AIS) を検出している場合には、このレジスタの内容は不定になります。	受信値

(91) 送信 K1, K2 のインサート・レジスタ (K12T)

送信フレームに格納する K1, K2 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
134	K12T	C0	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D8	K1T[7:0]	送信フレームの K1 バイトの位置に挿入するデータを設定します。	all 0
D7-D0	K2T[7:0]	送信フレームの K2 バイトの位置に挿入するデータを設定します。 K2 バイトの bit6-8 は、 μ PD98414 が警報 Line AIS, Line RDI を送信する場合に使用されます。 Line RDI の自動折り返し機能が働いた場合、CMR1 レジスタの LAISC, LRDIC ビットをセットした場合、あるいは TLAIS, TLRDI 端子にハイを入力した場合には、このレジスタの K2T[2:0] への設定よりも μ PD98414 が警報を送出する方が優先されます。 μ PD98414 が警報 Line AIS, Line RDI を送出していないときは、このレジスタの K2T[2:0] の値が送出されます。	all 0

(92) 送信 E1 のインサート・レジスタ (E1T)

送信 E1 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
135	E1T	C1H	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	E1T[7:0]	送信フレームの E1 バイトの位置に挿入するデータを設定します。	all 0

(93) 送信 E2 のインサート・レジスタ (E2T)

送信 E2 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
136	E2T	C2H	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	E2T [7:0]	送信フレームの E2 バイトの位置に挿入するデータを設定します。	all 0

(94) 送信 F1 のインサート・レジスタ (F1T)

送信 F1 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
137	F1T	C3H	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	F1T[7:0]	送信フレームの F1 バイトの位置に挿入するデータを設定します。	all 0

(95) 送信 D1 のインサート・レジスタ (D1T)

送信 D1 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
138	D1T	C4H	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	D1T[7:0]	送信フレームの D1 バイトの位置に挿入するデータを設定します。	all 0

(96) 送信 D2 のインサート・レジスタ (D2T)

送信 D2 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
139	D2T	C5H	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	D2T[7:0]	送信フレームの D2 バイトの位置に挿入するデータを設定します。	all 0

(97) 送信 D3 のインサート・レジスタ (D3T)

送信 D3 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
140	D3T	C6H	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	D3T[7:0]	送信フレームの D3 バイトの位置に挿入するデータを設定します。	all 0

(98) 送信 D4 のインサート・レジスタ (D4T)

送信 D4 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
141	D4T	C7H	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	D4T[7:0]	送信フレームの D4 バイトの位置に挿入するデータを設定します。	all 0

(99) 送信 D5 のインサート・レジスタ (D5T)

送信 D5 バイトを設定します。

No.	レジスタ名	アドレス	アクセス	デフォルト
142	D5T	C8H	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	D5T[7:0]	送信フレームの D5 バイトの位置に挿入するデータを設定します。	all 0

(100) 送信 D6 のインサート・レジスタ (D6T)

送信 D6 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
143	D6T	C9H	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	D6T[7:0]	送信フレームの D6 バイトの位置に挿入するデータを設定します。	all 0

(101) 送信 D7 のインサート・レジスタ (D7T)

送信 D7 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
144	D7T	CAH	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	D7T[7:0]	送信フレームの D7 バイトの位置に挿入するデータを設定します。	all 0

(102) 送信 D8 のインサート・レジスタ (D8T)

送信 D8 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
145	D8T	CBH	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	D8T[7:0]	送信フレームの D8 バイトの位置に挿入するデータを設定します。	all 0

(103) 送信 D9 のインサート・レジスタ (D9T)

送信 D9 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
146	D9T	CCH	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	D9T[7:0]	送信フレームの D9 バイトの位置に挿入するデータを設定します。	all 0

(104) 送信 D10 のインサート・レジスタ (D10T)

送信 D10 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
147	D10T	CDH	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	D10T[7:0]	送信フレームの D10 バイトの位置に挿入するデータを設定します。	all 0

(105) 送信 D11 のインサート・レジスタ (D11T)

送信 D11 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
148	D11T	CEH	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	D11T[7:0]	送信フレームの D11 バイトの位置に挿入するデータを設定します。	all 0

(106) 送信 D12 のインサート・レジスタ (D12T)

送信 D12 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
149	D12T	CFH	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	D12T[7:0]	送信フレームの D12 バイトの位置に挿入するデータを設定します。	all 0

(107) 送信 J0 のインサート・レジスタ (J0T)

送信 J0 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
150	J0T	D0H	R/W	0001H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
★ D7-D0	J0T[7:0]	送信フレームの J0 バイトの位置に挿入するデータを設定します。	01

(108) 送信 S1 のインサート・レジスタ (S1T)

送信 S1 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
151	S1T	D1H	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	S1T[7:0]	送信フレームの S1 バイトの位置に挿入するデータを設定します。	all 0

(109) 送信 1st Z2 のインサート・レジスタ (Z2#1T)

送信 1st Z2 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
152	Z2#1T	D2H	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	Z2#1T[7:0]	送信フレームの 1st Z2 バイトの位置に挿入するデータを設定します。	all 0

(110) 送信 J1 のインサート・レジスタ (J1T)

送信 J1 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
153	J1T	D3H	R/W	0000H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	J1T[7:0]	送信フレームの J1 バイトの位置に挿入するデータを設定します。	all 0

(111) 送信 C2 のインサート・レジスタ (C2T)

送信 C2 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
154	C2T	D4H	R/W	0013H

ビット	フィールド	機 能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
★ D7-D0	C2T[7:0]	送信フレームの C2 バイトの位置に挿入するデータを設定します。	13

(112) 送信 F2 のインサート・レジスタ (F2T)

送信 F2 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
155	F2T	D5H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	F2T[7:0]	送信フレームの F2 バイトの位置に挿入するデータを設定します。	all 0

(113) 送信 G1 のインサート・レジスタ (G1T)

送信 G1 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
156	G1T	D6H	R-W	0000H

ビット	フィールド	機能	デフォルト
D15-D4	-	この領域へのライトは、無視されます。	all 0
D3-D0	G1T[3:0]	送信フレームの G1 バイト (bits5-8) の位置に挿入する 4 ビットを設定します。 bit5 は、コマンドまたは、自動折り返し機能によって、 μ PD98414 が Path RDI を送出するとき、 μ PD98414 が 1 に上書きします。	all 0

(114) 送信 H4 のインサート・レジスタ (H4T)

送信 H4 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
157	H4T	D7H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	H4T[7:0]	送信フレームの H4 バイトの位置に挿入するデータを設定します。	all 0

(115) 送信 Z3 のインサート・レジスタ (Z3T)

送信 Z3 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
158	Z3T	D8H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	Z3T[7:0]	送信フレームの Z3 バイトの位置に挿入するデータを設定します。	all 0

(116) 送信 Z4 のインサート・レジスタ (Z4T)

送信 Z4 バイトを格納するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
159	Z4T	D9H	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	Z4T[7:0]	送信フレームの Z4 バイトの位置に挿入するデータを設定します。	all 0

(117) 送信 Z5 のインサート・レジスタ (Z5T)

送信 Z5 バイトを設定するレジスタです。

No.	レジスタ名	アドレス	アクセス	デフォルト
160	Z5T	DAH	R/W	0000H

ビット	フィールド	機能	デフォルト
D15-D8	-	この領域へのライトは、無視されます。	all 0
D7-D0	Z5T[7:0]	送信フレームの Z5 バイトの位置に挿入するデータを設定します。	all 0

(118) バージョン・レジスタ (VERR)

LSI のバージョンが格納されています。

No.	レジスタ名	アドレス	アクセス	デフォルト
161	VERR	DBH	R	注

ビット	フィールド	機能	デフォルト
D15-D0	VERR[15:0]	LSI のバージョン番号が格納されています。	注

注 NEC にお問い合わせください。

(119) LSI テスト用レジスタ (TESTR)

LSI のテストを行うためのレジスタです。アクセスしないようにしてください。

No.	レジスタ名	アドレス	アクセス	デフォルト
162	TESTR	E0	R/W 禁止	0000H
163		E1		
164		E2		
165		E3		
166		E4		

ビット	フィールド	機能	デフォルト
D15-D0	TEST[15:0]	LSI テスト用のレジスタ領域です。 この領域へのリード、ライト・アクセスは行わないようにしてください。	all 0

第6章 JTAG バウンダリ・スキャン

μ PD98414 は、JTAG バウンダリ・スキャン回路を内蔵しています。

注意1. 一部に JTAG をサポートしていない端子があります。JTAG の未適用端子は、次のとおりです。

分 類	JTAG 未適用端子名	端子数
PECL レベルの端子	RXPLD [15:0], TXPLD [15:0], RCLK_P, RCLK_N, TCLK_P, TCLK_N, TPCLK_P, TPCLK_N	38
ATM レイヤ・インタフェースのクロック端子	RXCLK, TXCLK	2
その他	VREF [3:1], IC (No. 194)	4

- ★ 2. JTAG ロジック部は、RESET_B 端子へのパルス入力ではリセットがかかりません。電源投入後、RESET_B によるシステム・リセットとは別に、JTAG ロジック部を「2.2.7 JTAG バウンダリ・スキャン」に記述する方法でリセットするようにしてください。

6.1 特 徴

IEEE1149.1 JTAG Boundary Scan Standard に準拠

バウンダリ・スキャン専用の 3 つのレジスタ

- ・インストラクション・レジスタ
- ・バイパス・レジスタ
- ・バウンダリ・スキャン・レジスタ

3 つの命令をサポート

- ・BYPASS 命令
- ・EXTEST 命令
- ・SAMPLE/PRELOAD 命令

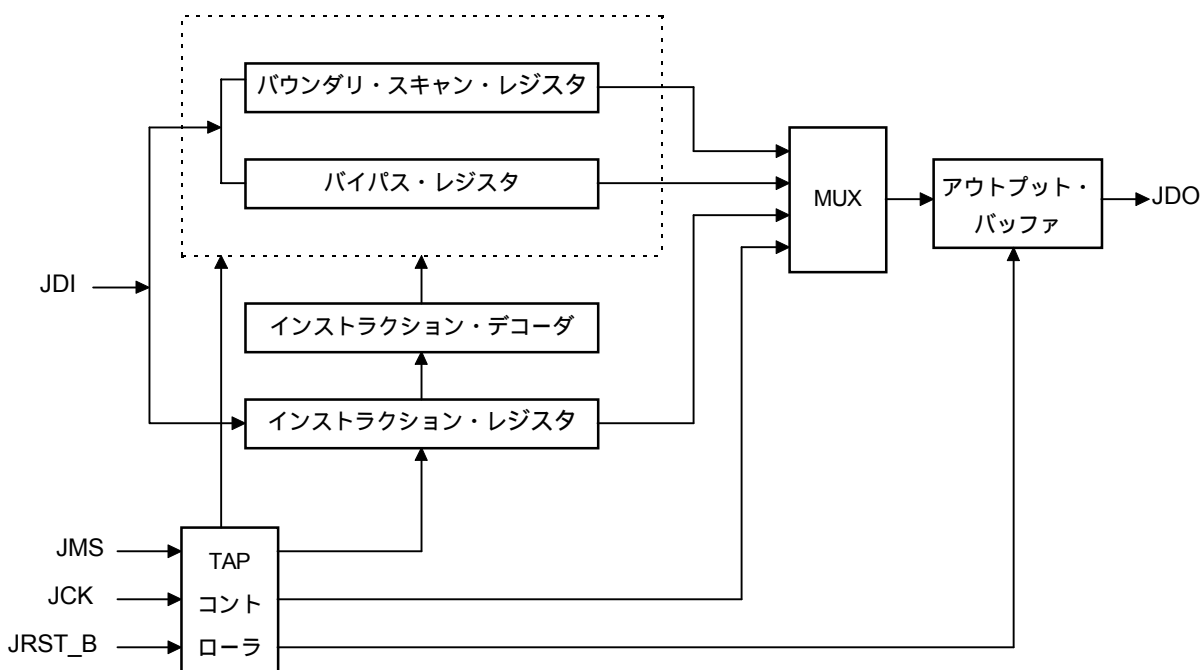
バウンダリ・スキャン専用端子 (5 端子)

- ・JCK (JTAG Clock)
- ・JMS (JTAG Mode Select)
- ・JDI (JTAG Data Input)
- ・JDO (JTAG Data Output)
- ・JRST_B (JTAG Reset)

6.2 バウンダリ・スキャン回路内部構成

図 6 - 1 に、 μ PD98414 に内蔵されている JTAG バウンダリ・スキャン回路のブロック図を示します。

図 6 - 1 バウンダリ・スキャン回路ブロック



6.2.1 インストラクション・レジスタ (Instruction register)

インストラクション・レジスタは、2 ビットのシフト・レジスタで構成されており、JDI 端子からの命令データを書き込みます。レジスタおよび命令の選択は、この命令データが決定します。

6.2.2 TAP コントローラ (Test Access Port controller)

TAP コントローラは、JCK 端子に入力されるクロックの立ち上がりで JMS 端子の信号をラッチすることにより、動作状態を変更します。

6.2.3 バイパス・レジスタ (Bypass register)

バイパス・レジスタは、TAP コントローラが Shift-DR 状態のときには、JDI 端子と JDO 端子の間で、接続される 1 ビットのシフト・レジスタで構成されます。TAP コントローラが Shift-DR 状態の間、このレジスタが選択されているときには、JCK 端子に入力されるクロックの立ち上がりで JDO 端子へデータをシフトします。

このレジスタが選択されているとき、JTAG バウンダリ・スキャン回路の動作は、 μ PD98414 の動作に影響を与えません。

6.2.4 バウンダリ・スキャン・レジスタ (Boundary Scan register)

バウンダリ・スキャン・レジスタは、 μ PD98414 の外部端子と内部ロジック回路の間にあります。このレジスタが選択されたとき、TAP コントローラの命令によりデータをラッチ、またはロードします。

TAP コントローラが Shift-DR 状態の間、このレジスタが選択されている場合には、JCK 端子に入力されるクロックの立ち下がりで、JDO 端子へデータを LSB から出力します。

6.3 端子機能

6.3.1 JCK 端子 (JTAG Clock pin)

JCK 端子は、JTAG バウンダリ・スキャン回路 (バイパス・レジスタやインストラクション・レジスタ TAP コントローラ) へのクロック信号の供給に使用します。このクロック信号は、 μ PD98414 内部のほかの回路へは供給されないように分離しています。

6.3.2 JMS 端子 (JTAG Mode Select pin)

JMS 端子への入力、JCK 端子に入力されるクロックの立ち上がりでラッチされ、TAP コントローラの動作を定義します。

6.3.3 JDI 端子 (JTAG Data Input pin)

JDI 端子は、JTAG バウンダリ・スキャン回路レジスタへデータを入力するための入力端子です。

6.3.4 JDO 端子 (JTAG Data Output pin)

JDO 端子は、JTAG バウンダリ・スキャン回路レジスタからデータを出力するための出力端子です。JCK 端子に入力されるクロックの立ち下がりで出力を変化させます。また、この出力端子は 3 ステート出力であり、TAP コントローラにより制御されます。

6.3.5 JRST_B 端子 (JTAG Reset pin)

TAP コントローラを非同期的に初期化します。このリセット信号は、 μ PD98414 を通常の動作モードにし、バウンダリ・レジスタを非動作状態にします。

6.4 動作説明

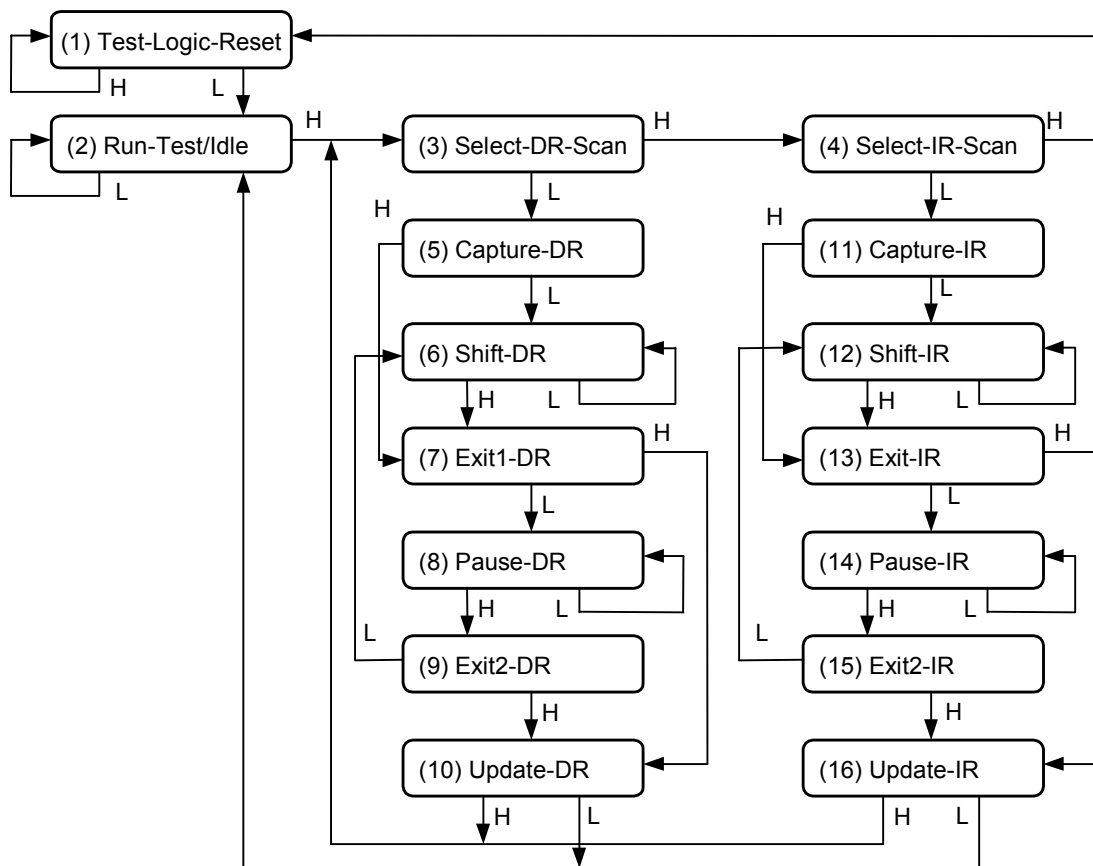
6.4.1 TAP コントローラ

TAP コントローラは、JMS 端子と JCK 端子信号の変化により同期した 16 個の状態をもつ回路です。動作は、IEEE standard 1149.1 で規定されています。

6.4.2 TAP コントローラ状態

TAP コントローラの状態を図 6-2 に示します。TAP コントローラのすべての状態の変化は、JCK 端子に入力されるクロックの立ち上がりの JMS 端子信号の状態によって決まります。インストラクション・レジスタ、バウンダリ・スキャン・レジスタとパイパス・レジスタの動作は、JCK 端子に入力されるクロックの立ち上がり/立ち下がりで変化します（図 6-3 参照）。

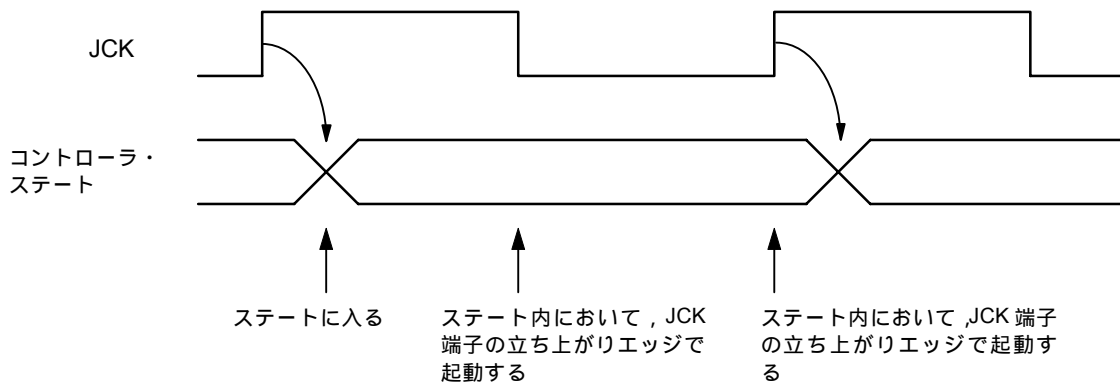
図 6-2 TAP コントローラの状態



備考 1. 図中の遷移を表す矢印の隣に示した“H”と“L”は、JCK 端子に入力されるクロックの立ち上がり時の JMS 端子の状態を示します。

2. 図中にある () 内の番号は、次に述べる各状態の説明の項目番号です。

図6-3 コントローラ状態での動作タイミング



(1) Test-Logic-Reset

JTAG バウンダリ・スキャン回路は、 μ PD98414 に対して動作しません。したがって、 μ PD98414 のシステム・ロジックには影響しません。これは、イニシャライズ時にバイパス命令がインストラクション・レジスタに格納、実行されているからです。TAP コントローラがどの状態のときでも、JMS 端子信号が少なくとも JCK 端子信号の立ち上がり 5 回分ハイ・レベル状態を保持すれば、Test-Logic-Reset 状態になります。TAP コントローラは、この状態を JMS 端子信号がハイ・レベルの間保持します。

TAP コントローラが Test-Logic-Reset 状態になる必要があるときは、JCK 端子信号の立ち上がりで JMS 端子信号に誤ったロウ・レベル信号が 1 回入力されても（たとえば外部インタフェースの影響）、JMS 端子信号が JCK 端子信号の立ち上がりエッジの 3 回分ハイ・レベル状態を保持すれば、もとの Test-Logic-Reset 状態に戻ります。

上記のエラーによって、テスト・ロジックの動作が μ PD98414 の論理動作を妨げることはありません。

Test-Logic-Reset コントローラ状態を抜けると、TAP コントローラは、Run-Test/Idle コントローラ状態に移ります。この状態では、バイパス・レジスタの動作によりカレント命令が選択設定されていますので、どのような動作も行いません。また、この JTAG バウンダリ・スキャン回路の論理動作は、Select-DR-Scan 状態と Select-IR-Scan 状態でもインアクティブです。

(2) Run-Test/Idle

スキャン動作間 (Select-DR-Scan 状態, Select-IR-Scan 状態) の TAP コントローラ状態です。一度この状態になると、JMS 端子信号がロウ・レベルを保持している間は、TAP コントローラもこの状態を保持します。1 回の JCK 端子信号の立ち上がりエッジで、JMS 端子信号がハイ・レベルを保持すれば、Select-DR-Scan 状態に移ります。

カレント命令で選択されたすべてのテスト・データ・レジスタ (バウンダリ・レジスタ, バイパス・レジスタ) には、以前の状態が保持されます (Idle)。TAP コントローラがこの状態の間、命令は変化しません。

(3) Select-DR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには、以前の状態が保持されます。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がり時にロウ・レベルが保持されると、TAP コントローラは、Capture-DR 状態に遷移します。また、選択されたレジスタへのスキャン・シーケンスが開始されます。

JCK 端子信号の立ち上がり時にハイ・レベルが保持されると、TAP コントローラは、Select-IR-Scan 状態に遷移します。TAP コントローラがこの状態の間、命令は変化しません。

(4) Select-IR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには、以前の状態が保持されます。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がり時にロウ・レベルが保持されると、TAP コントローラは、Capture-IR 状態に遷移します。また、選択されたレジスタへのスキャン・シーケンスが開始されます。

JCK 端子信号の立ち上がり時に JMS 端子信号がハイ・レベル状態に保持されると、TAP コントローラは、Test-Logic-Reset 状態に戻ります。TAP コントローラがこの状態の間、命令は変化しません。

(5) Capture-DR

コントローラ状態において、データは JCK 端子信号の立ち上がりエッジで、カレント命令により選択されたバウンダリ・スキャン・レジスタにパラレル・ロード（この場合、個々のデバイスの入力端子からそれぞれのバウンダリ・スキャン・レジスタに同時にロードすること）されます。TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号が立ち上がりエッジの場合、TAP コントローラの状態は次のようになります。

- ・ JMS 端子信号がハイ・レベルに保持されたとき：Exit1-DR 状態に遷移
- ・ JMS 端子信号がロウ・レベルに保持されたとき：Shift-DR 状態に遷移

(6) Shift-DR

このコントローラ状態では、カレント命令によって (バウンダリ・スキャン・レジスタ, またはバイパス・レジスタのどちらかで) JDI と JDO の間が接続されます。シフト・データは, JCK 端子信号の立ち上がりエッジごとにシリアル出力方向に一段ずつシフトされます。

カレント命令により選択されたバウンダリ・スキャン・レジスタ, またはバイパス・レジスタは, シリアル・パス上に位置していないとき (Shift-DR 状態でないとき), 前の状態を変化させずに保持します。TAP コントローラがこの状態の間, 命令は変化しません。

TAP コントローラがこの状態で, JCK 端子信号が立ち上がりエッジの場合, TAP コントローラの状態は次のようになります。

- ・ JMS 端子信号がハイ・レベルに保持されたとき : Exit1-DR 状態に遷移
- ・ JMS 端子信号がロウ・レベルに保持されたとき : Shift-DR 状態のまま

(7) Exit1-DR

一時的なコントローラ状態です。この状態において, JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていれば, TAP コントローラは, Update-DR 状態に遷移します。これにより, スキャン・プロセスを終了します。

また, JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていれば, TAP コントローラは, Pause-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと, バウンダリ・スキャン・レジスタのどちらにおいても, 以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間は, 命令は変化しません。

(8) Pause-DR

コントローラ状態は, バイパス・レジスタと, バウンダリ・スキャン・レジスタのどちらかで接続している JDI と JDO 間のシフトを一時的に停止させます。カレント命令で選択されたこれらのレジスタは, 以前の状態が変化しないで保持されます。

JMS 端子信号がロウ・レベルの間, TAP コントローラをこの状態で保持します。JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されているときは, TAP コントローラは, Exit2-DR 状態に遷移します。TAP コントローラがこの状態の間は, 命令は変化しません。

(9) Exit2-DR

一時的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-DR 状態に遷移し、スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Shift-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタのどちらにおいても、以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間は、命令は変化しません。

(10) Update-DR

バウンダリ・スキャン・レジスタは、ある命令（たとえば EXTEST 命令）により、パラレル出力の変化（連結されているシフト・レジスタ・パスにシフトされている期間における）を防ぐためのパラレル出力ラッチを持っています。

Update-DR コントローラ状態において、JCK 端子信号の立ち下がりエッジで、データは、シフト・レジスタ・パスからこのレジスタのパラレル・アウトプットにラッチされます。

ラッチのためパラレル・アウトプットに保持されたデータは、このコントローラの状態により変化します（他のコントローラ状態では変化しません）。

カレント命令によって選択されたバウンダリ・スキャン・レジスタにおけるすべてのシフト・レジスタの過程は、変化のない以前の状態が保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Select-DR-Scan 状態に遷移します。

また、JCK 端子信号の立ち上がりエッジでロウ・レベルが保持されると、TAP コントローラは、Run-Test/Idle 状態に遷移します。

(11) Capture-IR

このコントローラ状態において、JCK 端子信号の立ち上がりエッジで、シフト・レジスタは、インストラクション・レジスタに固定論理値のパターン【01（2進）】をロードします。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それら以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Exit1-IR 状態に遷移します。

また、JCK 端子信号の立ち上がりエッジでロウ・レベルが保持されると、TAP コントローラは、Shift-IR 状態に遷移します。

(12) Shift-IR

このコントローラ状態において、インストラクション・レジスタ内のシフト・レジスタで JDI と JDO の間が接続されます。シフト・データは、JCK 端子信号の立ち上がりエッジごとにシリアル出力方向に一段シフトされます。

カレント命令によって選択されるバウンダリ・スキャン・レジスタか、バイパス・レジスタは、変化のないそれらの以前の状態が保持されます。

TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態において JCK 端子信号が立ち上がりエッジで、TAP コントローラは、JMS 端子信号がハイ・レベルに保持されていると、Exit1-IR 状態になります。また、JMS 端子信号がロウ・レベルに保持されていると、Shift-IR 状態のままです。

(13) Exit1-IR

一般的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-IR 状態に遷移します。これにより、スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Pause-IR に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

(14) Pause-IR

このコントローラ状態は、インストラクション・レジスタのシフトを一時的に停止させます。カレント命令で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタは、以前の状態が変化しないで保持されます。

TAP コントローラがこの状態の間、命令は変化しません。また、インストラクション・レジスタはその状態を保持します。

JMS 端子信号がロウ・レベルの間、TAP コントローラをこの状態で保持します。JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されているときは、TAP コントローラは、Exit2-IR 状態に遷移します。

(15) Exit2-IR

一時的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-IR コントローラ状態に遷移します。これにより、スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Shift-IR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態、またはインストラクション・レジスタにその状態が保持されている間は、命令は変化しません。

(16) Update-IR

このコントローラ状態において、インストラクション・レジスタにシフトされた命令は、JCK 端子信号の立ち下がりエッジで、シフト・レジスタ・パスからパラレル・アウトプット上にラッチされます。いったん、新しい命令がラッチされたらカレント命令となります。

カレント命令によって選択されたバイパス・レジスタ、またはバウンダリ・スキャン・レジスタのどちらも、前の状態を保持します。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Select-DR-Scan 状態に遷移します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されると、TAP コントローラは、Run-Test/Idle 状態に遷移します。

(8)の Pause-DR コントローラ状態と、(14)の Pause-IR コントローラ状態は、バイパス・レジスタ、バウンダリ・スキャン・レジスタ、またはインストラクション・レジスタ内のデータのシフトを一時停止します。

6.5 TAP コントローラ動作

TAP コントローラの動作は、次のとおりです。

TAP コントローラは(1),(2)のどちらかで状態遷移を行います。

- (1) JCK 端子信号の立ち上がりエッジ
- (2) JRST_B 端子入力

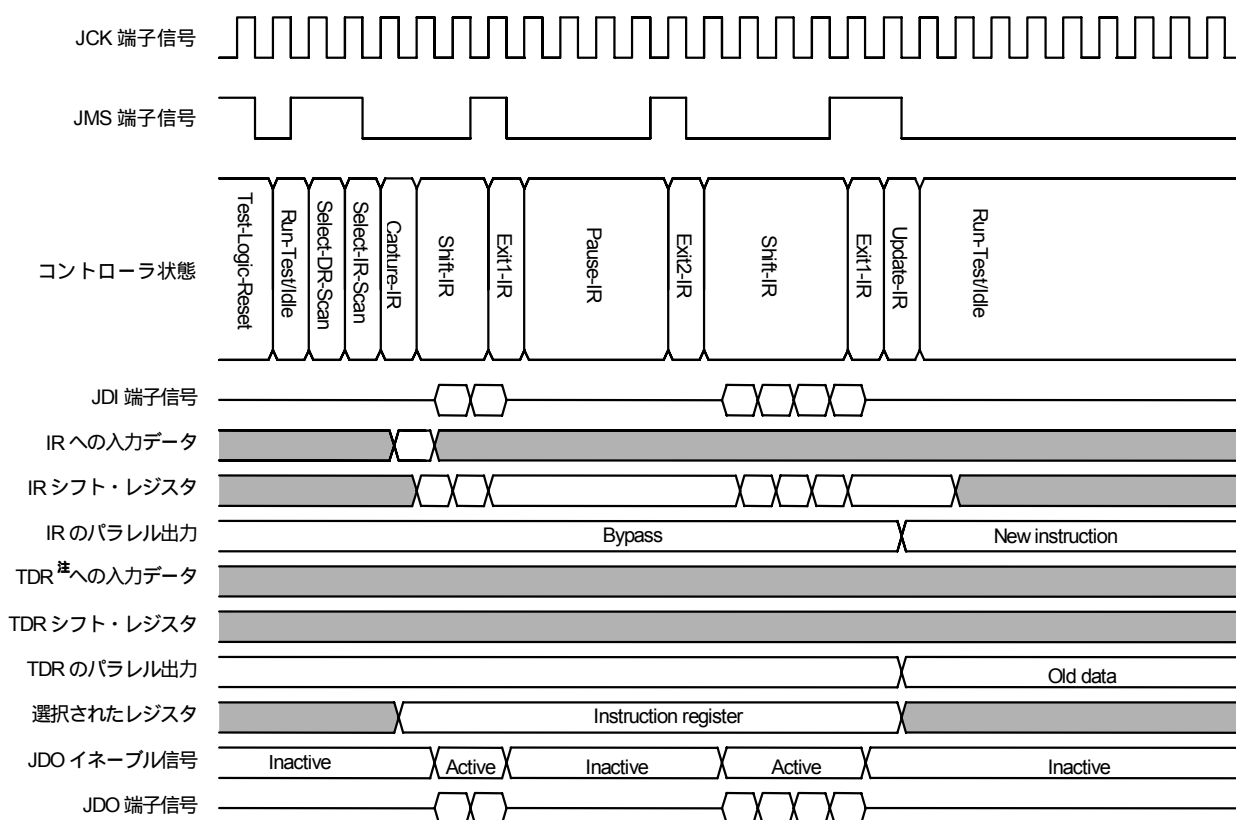
TAP コントローラは、この標準で定義されているバイパス・レジスタ、バウンダリ・スキャン・レジスタ、およびインストラクション・レジスタの動作を制御する信号を生成します(図6-4, 図6-5参照)。

JDO 端子出力バッファと、JDO 端子に出力するレジスタを選択する周辺回路は、表6-1のように制御されています。表6-1において定義される JDO 端子は、その状態に遷移したあと、JCK 端子信号の立ち下がりエッジで変化します。

表6-1 それぞれのコントローラ状態における動作

コントローラ状態	JDO 端子へドライブする選択されたレジスタ	JDO 端子ドライバ
Test-Logic-Reset	未定義	ハイ・インピーダンス
Run-Test/Idle		
Select-DR-Scan		
Select-IR-Scan		
Capture-IR		
Shift-IR	インストラクション・レジスタ	アクティブ
Exit1-IR	未定義	ハイ・インピーダンス
Pause-IR		
Exit2-IR		
Update-IR		
Capture-DR		
Shift-DR	データ・レジスタ(バウンダリ・スキャン・レジスタ, バイパス・レジスタ)	アクティブ
Exit1-DR	未定義	ハイ・インピーダンス
Pause-DR		
Exit2-DR		
Update-DR		

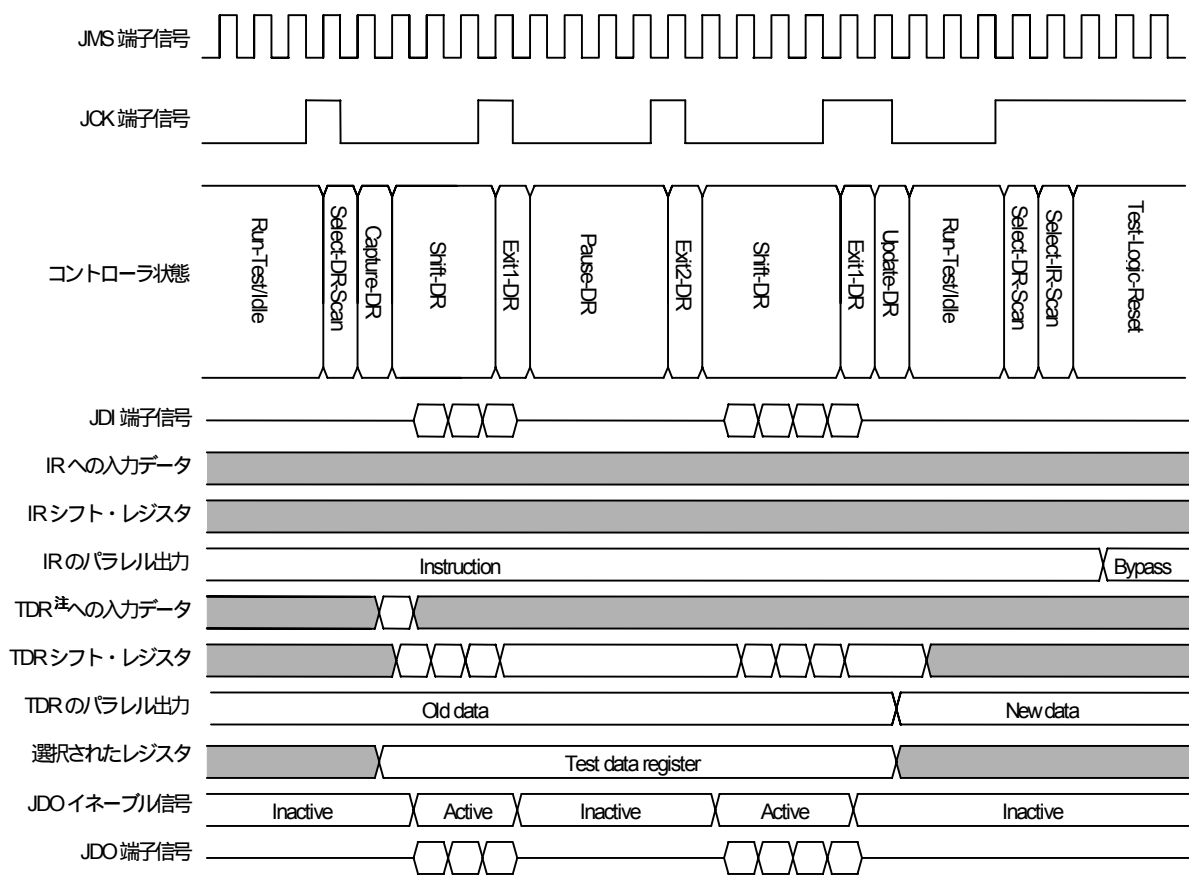
図 6 - 4 テスト・ロジックの動作 (インストラクション・スキャン)



注 TDR (Test Data Register) :バウンダリ・スキャン・レジスタ , およびバイパス・レジスタ。

備考 : Don't care あるいは未定義。

図 6 - 5 テスト・ロジックの動作 (データ・スキャン)



注 TDR (Test Data Register): バウンダリ・スキャン・レジスタ, およびバイパス・レジスタ。

備考 : Don't care あるいは未定義。

6.6 TAP コントローラの初期化

TAP コントローラの初期化は次のとおりです。

- (1) TAP コントローラは、システム・リセットのようなシステム入力の動作によっても初期化されません。
- (2) TAP コントローラは、JCK 端子信号の立ち上がりエッジ (JMS 端子信号がハイ・レベルを保持) 5 回で、Test-Logic-Reset コントローラ状態に遷移します。
- (3) JRST_B 入力により TAP コントローラを非同期に Test-Logic-Reset 状態になります。

6.7 インストラクション・レジスタ

このレジスタは、次のように定義されます (6.2 バウンダリ・スキャン回路内部構成 参照)。

- (1) インストラクション・レジスタにシフト入力された命令は、Update-IR コントローラ状態と、Test-Logic-Reset コントローラ状態でのみ変化するようにラッチされます。
- (2) インストラクション・レジスタのシリアル入力と、シリアル出力間のデータの反転はありません。
- (3) Capture-IR コントローラ状態において、このレジスタ・セルは、固定された 2 進の “01” パターン・データ (LSB (Least Significant Bit) が “1”) がロードされます。
- (4) Test-Logic-Reset コントローラ状態の間、このレジスタは、固定された 2 進の “01” パターン・データ (LSB (Least Significant Bit) が “1”) がセットされます。
- (5) このレジスタが読み出されているとき、JCK 端子信号の立ち下がりエッジごとに LSB を先頭にして MSB まで、JDO 端子からデータが出力されます。

μ PD98414 におけるこの JTAG バウンダリ・スキャン回路は、このインストラクション・レジスタに指定されたデータの設定によって、以下に示す 3 つの命令のみサポートすることができます。

BYPASS 命令

EXTEST 命令

SAMPLE/PRELOAD 命令

インストラクション・レジスタ		サポートする命令
D1	D0	
0	0	EXTEST 命令
0	1	SAMPLE/PRELOAD 命令
1	0	未使用 (BYPASS 命令)
1	1	BYPASS 命令

6.7.1 BYPASS 命令

この命令は、インストラクション・データ“11”または、“10”で指定されます。Shift-DR コントローラ状態において、この命令は、バイパス・レジスタ（JDI 端子と JDO 端子の間をシリアル・アクセスするためのもの）のみを選択するために使用されます。

この命令が選択されているとき、JTAG バウンダリ・スキャン回路の動作は μ PD98414 の動作に影響しません。

Test-Logic-Reset コントローラ状態の間、このバイパス命令が選択されます。

6.7.2 EXTEST 命令

インストラクション・データ“00”で指定されます。Shift-DR コントローラ状態において、JDI 端子と JDO 端子の間のシリアル・アクセスのバウンダリ・スキャン・レジスタを選択するために使用されます。

・この命令が選択されているとき：

システム出力端子からドライブされるすべての信号の状態は、バウンダリ・スキャン・レジスタにシフトされているデータによって完全に定義されます。また、Update-DR コントローラ状態において、JCK 端子信号の立ち下がりエッジでのみ変化します。

システム入力端子から入力されるすべての信号の状態は、Capture-DR コントローラ状態において、JCK 端子信号の立ち上がりエッジでバウンダリ・スキャン・レジスタにロードされます。

6.7.3 SAMPLE/PRELOAD 命令

インストラクション・データ“01”で指定されます。これは、SAMPLE 機能と PRELOAD 機能の2つを1つの命令で実行できる命令です。

6.7.4 バウンダリ・スキャン・データ・ビット定義

お客様のご要求により、 μ PD98414 の参考 BSDL (Boundary Scan Description Language) ファイルを提供させていただきます。巻末の [NEC 半導体テクニカル・ホットライン] までご連絡ください。

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00 ~ 12:00, 午後 1:00 ~ 5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : info@lsi.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107,
6108
大阪 (06)6945-3178, 3200,
3208, 3212
広島 (082)242-5504
仙台 (022)267-8740
郡山 (024)923-5591
千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111,
6112
立川 (042)526-5981, 6167
松本 (0263)35-1662
静岡 (054)254-4794
金沢 (076)232-7303
松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156
水戸 (029)226-1702
前橋 (027)243-6060
鳥取 (0857)27-5313
太田 (0276)46-4014
名古屋 (052)222-2170, 2190
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス デバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD98414 ユーザーズ・マニュアル
(S14166JJ4V0UM00 (第4版))

[お名前など] (さしつかえのない範囲で)
御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価 (各欄に をご記入ください)

項目	大変良い	良い	普通	悪い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ()					
()					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは
NEC 販売員, 特約店販売員, その他 ()

ご協力ありがとうございました。
下記あてに FAX で送信いただくか, 最寄りの販売員にコピーをお渡しください。