

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル

保守 / 廃止

μ PD98412

(NEASCOT - X15™)

1.5G ATM Switch LSI

資料番号 S14169JJ2V0UM00 (第2版)

発行年月 October 1999 NS CP(K)

[メ モ]

目 次 要 約

- 第1章 概 説 ... 17**
- 第2章 端子機能 ... 25**
- 第3章 機能概要 ... 65**
- 第4章 内部レジスタ ... 201**
- 第5章 JTAGバウンダリ・スキャン ... 267**
- 第6章 設定例と動作例 ... 283**
- 第7章 規格別相違点 ... 317**

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

本版で改訂された主な個所

ページ	内 容
p.20-64	第1章 概説, 第2章 端子機能 CBD端子増加
p.138 p.150 p.196 p.198	第3章 機能概要 3.12.4 (2) <手順>の注意 追加, 注意2追加 3.12.7 (2) 備考 変更 3.20.1 注意 追加 図3 - 52 変更
p.211 p.213 p. 255	第4章 内部レジスタ 4.3.2 モード0レジスタ 説明追加 4.3.3 モード1レジスタ HMの機能説明追加, EOのビット3の設定 変更 4.3.37 スイッチング・モード・エリア設定レジスタ 追加
p.317	第7章 規格別相違点 追加

本文欄外の 印は, 本版で改訂された主な個所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者 このマニュアルは、 μ PD98412の機能を理解し、それを用いたアプリケーション・システムを設計するエンジニアを対象としています。

目的 このマニュアルは、次の構成に示す μ PD98412の持つハードウェア機能をユーザに理解していただくことを目的としています。

構成 このマニュアルは、次の内容で構成されています。

- 概 説
- 端子機能
- 機能概要
- 内部レジスタ
- JTAGバウンダリ・スキャン
- 設定例と動作例
- 規格別相違点

読み方 このマニュアルの読者には、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

一通り μ PD98412の機能を理解しようとするとき
目次に従ってお読みください。

- 凡 例**
- データ表記の重み : 左が上位桁, 右が下位桁
 - アクティブ・ロウの表記 : XXX_B (端子, 信号名称のあとに_B)
 - メモリ・マップのアドレス : 上部 - 上位, 下部 - 下位
 - 注 : 本文中につけた注の説明
 - 注意 : 気をつけて読んでいただきたい内容
 - 備考 : 本文の補足説明
 - 数の表記 : 2進数...XXXXまたは, XXXXB
10進数...XXXX
16進数...XXXXh

関連資料 関連資料は暫定の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

- データ・シート : S14237J

[メ モ]

目 次

第1章 概 説 ...	17
1.1 特 徴 ...	17
1.2 オーダ情報 ...	17
1.3 システム構成例(用途) ...	18
1.4 ブロック図 ...	19
1.5 端子構成図 ...	20
第2章 端子機能 ...	25
2.1 端子概要図 (Bottom View) ...	25
2.2 端子配置 ...	29
2.3 端子機能 ...	44
2.3.1 パワー・サブライ ...	44
2.3.2 UTOPIAインタフェース ...	45
2.3.3 メモリ・インタフェース信号 ...	59
2.3.4 マイクロプロセッサ・インタフェース信号 ...	61
2.3.5 JTAG ...	62
2.3.6 その他 ...	62
2.4 未使用端子の処理方法 ...	63
2.5 リセット時の端子の状態 ...	64
第3章 機能概要 ...	65
3.1 UTOPIAインタフェース ...	65
3.1.1 ボーリング・モードの設定 ...	66
3.1.2 クロック周波数の条件 ...	66
3.1.3 UTOPIAインタフェースの実効スループット ...	67
3.2 ボーリング概要 ...	68
3.3 入力ポート・ハンドシェーク・モード ...	70
3.3.1 X10ライク・ハンドシェーク・モード ...	70
3.3.2 X15ハンドシェーク・モード ...	70
3.4 シングルPHYとマルチPHYモード ...	71
3.5 12-PHY pollingモード ...	73
3.5.1 入力ポート・インタフェース ...	73
3.5.2 入力ポート・セル転送タイミング ...	74
3.5.3 出力ポート・インタフェース ...	82
3.6 15-PHY pollingモード ...	88
3.6.1 入力ポート・インタフェース ...	88

3.6.2 出力ポート・インタフェース ...	92
3.7 Multiplexed status pollingモード ...	95
3.7.1 入力ポート・インタフェース ...	96
3.7.2 出力ポート・インタフェース ...	100
3.8 2-group weighted pollingモード ...	103
3.8.1 入力ポート・インタフェース ...	104
3.8.2 出力ポート・インタフェース ...	109
3.9 1-group weighted pollingモード ...	112
3.9.1 入力ポート・インタフェース ...	112
3.9.2 出力ポート・インタフェース ...	118
3.10 PHYデバイスに対する要求（入力ポート） ...	121
3.11 PHYデバイスに対する要求（出力ポート） ...	124
3.11.1 レイテンシ ...	124
3.11.2 PHYデバイス接続に関する制限 ...	125
3.11.3 連続出力禁止モード ...	127
3.12 ヘッダ変換 ...	129
3.12.1 HTT（ヘッダ変換テーブル）メモリ・マップ ...	129
3.12.2 概要 ...	130
3.12.3 HTTの形式 ...	133
3.12.4 HTTへのアクセス方法 ...	137
3.12.5 ヘッダ変換の流れ ...	142
3.12.6 RMセルの際のHTTへのアクセス ...	146
3.12.7 マイクロプロセッサ接続ポート ...	149
3.12.8 RMセルのルーティング ...	151
3.13 キュー制御 ...	153
3.13.1 シングルキャスト ...	153
3.13.2 マルチキャスト ...	154
3.13.3 輻輳制御 ...	155
3.13.4 クラス別セル廃棄 ...	159
3.13.5 EPD（Early Packet Discard）制御 ...	161
3.13.6 PPD（Partial Packet Discard）制御 ...	163
3.13.7 最小キュー長 ...	164
3.13.8 セル排出機能 ...	166
3.14 ABR輻輳制御 ...	167
3.14.1 EFCI（Explicit Forward Congestion Indicator） ...	167
3.14.2 RMセルCI / NIマーキング（Resource Management Cell CI / NI Congestion Indication Marking） ...	167
3.14.3 RMセル・マージ（Resource Management Cell Merge） ...	169
3.15 WFQ（Weighted Fairness Queue） ...	170
3.15.1 概要 ...	170
3.15.2 使用するカウンタ，フラグ ...	170
3.16 ピーク・レート・シェーピング機能 ...	173

- 3.16.1 概要 ... 173
- 3.16.2 詳細 ... 175
- 3.16.3 シェーピング誤差補正 ... 178
- 3.17 割り込み要求 ... 179**
 - 3.17.1 パリティ・エラー ... 179
 - 3.17.2 FIFOコントロール・エラー ... 179
 - 3.17.3 キュー・ポインタ・エラー ... 179
 - 3.17.4 キャスト・カウンタ・エラー ... 180
 - 3.17.5 セル・バッファ・メモリ不足 ... 180
 - 3.17.6 コントロール・メモリ不足 ... 180
 - 3.17.7 HEC/CRCエラー ... 181
 - 3.17.8 ヘッダ変換エラー ... 181
 - 3.17.9 バッファしきい値越え ... 182
 - 3.17.10 マルチキャスト・ビット・マップ・エラー ... 182
- 3.18 モニタリング ... 184**
 - 3.18.1 エラー・モニタ ... 184
 - 3.18.2 しきい値越えによるセル廃棄カウント ... 184
 - 3.18.3 ヘッダ変換エラーによるセル廃棄カウント ... 185
 - 3.18.4 HECエラー, CRCエラーによるセル廃棄カウント ... 185
 - 3.18.5 コントロール/セル・バッファ・メモリ不足によるセル廃棄カウント ... 186
 - 3.18.6 受信セル数のカウント ... 186
 - 3.18.7 入力セル・モニタリング機能 ... 187
 - 3.18.8 キュー長モニタリング機能 ... 188
 - 3.18.9 マルチキャスト滞留セル・モニタリング機能 ... 188
 - 3.18.10 セル・バッファのエンプティ・フラグ ... 189
- 3.19 マイクロプロセッサ・インタフェース ... 190**
 - 3.19.1 I/Oマッピング, メモリ・マッピング ... 190
 - 3.19.2 32ビット多重同期バス ... 194
- 3.20 外部メモリ・インタフェース ... 196**
 - 3.20.1 HTT & コントロール・メモリ・インタフェース ... 196
 - 3.20.2 セル・バッファ・インタフェース ... 197

第4章 内部レジスタ ... 201

- 4.1 レジスタ一覧 ... 201**
- 4.2 レジスタ・マップ ... 204**
- 4.3 レジスタ機能説明 ... 210**
 - 4.3.1 コマンド・レジスタ (0000h) ... 210
 - 4.3.2 モード0レジスタ (0004h) ... 211
 - 4.3.3 モード1レジスタ (0006h) ... 212
 - 4.3.4 割り込みマスク・レジスタ (0008h) ... 214
 - 4.3.5 ステータス・レジスタ (000Ch) ... 215
 - 4.3.6 しきい値越え廃棄表示マスク・レジスタ (0010h) ... 218

- 4.3.7 しきい値越え廃棄表示レジスタ (0014h) ... 219
- 4.3.8 ヘッダ変換エラー廃棄表示レジスタ (0018h) ... 222
- 4.3.9 HEC / CRCエラー廃棄表示レジスタ (001Ah) ... 224
- 4.3.10 UTOPIAステータス・レジスタ (001Ch) ... 225
- 4.3.11 マルチキャスト・ビット・マップ・エラー表示レジスタ (001Eh) ... 226
- 4.3.12 しきい値越え廃棄セル・カウント・イネーブル・レジスタ (0020h) ... 227
- 4.3.13 ヘッダ変換エラー廃棄セル・カウント・イネーブル・レジスタ (0024h) ... 228
- 4.3.14 HEC / CRCエラー廃棄セル・カウント・イネーブル・レジスタ (0026h) ... 229
- 4.3.15 コントロール / セル・バッファ・メモリ不足廃棄セル・カウント・イネーブル・レジスタ (0028h) ... 230
- 4.3.16 受信セル・カウント・イネーブル・レジスタ (002Ah) ... 231
- 4.3.17 受信セル・カウント・レジスタ (002Ch) ... 232
- 4.3.18 しきい値越え廃棄セル・カウント・レジスタ (0030h) ... 233
- 4.3.19 ヘッダ変換エラー廃棄セル・カウント・レジスタ (0034h) ... 234
- 4.3.20 HEC / CRCエラー廃棄セル・カウント・レジスタ (0038h) ... 235
- 4.3.21 コントロール / セル・バッファ・メモリ不足廃棄セル・カウント・レジスタ (003Ch) ... 236
- 4.3.22 出力キュー最小しきい値レジスタ (0040h, 0044h, 0048h, 004Ch) ... 237
- 4.3.23 マルチキャスト・キュー最小しきい値レジスタ (0050h, 0054h, 0058h, 005Ch) ... 238
- 4.3.24 TC (Total Cell) カウンタ最小しきい値レジスタ (0060h, 0064h, 0068h, 006Ch) ... 239
- 4.3.25 総セル数最小しきい値レジスタ (007Eh) ... 240
- 4.3.26 出力キュー最大しきい値レジスタ (0080h, 0082h, 0090h, 0092h, 00A0h, 00B0h) ... 241
- 4.3.27 出力キューEPDしきい値レジスタ (00A2h, 00B2h) ... 242
- 4.3.28 出力キューEFCIしきい値レジスタ (0094h, 00A4h, 00B4h) ... 243
- 4.3.29 出力キューCLPしきい値レジスタ (0086h, 0096h, 00A6h, 00B6h) ... 244
- 4.3.30 マルチキャスト・キュー最大しきい値レジスタ (00C0h, 00C4h, 00C8h, 00CCh) ... 245
- 4.3.31 UC (Used Cell) カウンタ最大しきい値レジスタ (00D0h, 00D4h, 00D8h, 00DCh, 00E0h, 00E8h) ... 246
- 4.3.32 UC (Used Cell) カウンタEPDしきい値レジスタ (00E2h, 00EAh) ... 248
- 4.3.33 ポート・コンフィギュレーション・レジスタ ... 249
- 4.3.34 クラス優先制御レジスタ ... 252
- 4.3.35 周期カウント・レジスタ (01FCh) ... 253
- 4.3.36 ヘッダ変換コンフィギュレーション・レジスタ ... 254
- 4.3.37 スイッチング・モード・エリア設定レジスタ (027Ch) ... 255
- 4.3.38 キュー長モニタ・レジスタ (0280h) ... 256
- 4.3.39 マルチキャスト滞留セル・モニタ・レジスタ (0284h) ... 257
- 4.3.40 特殊ルーティング論理ポート・レジスタ (0288h) ... 258
- 4.3.41 特殊ルーティング・フィルタ・レジスタ (028Ah) ... 260
- 4.3.42 UTOPIAコンフィギュレーション・レジスタ (0290h, 0294h, 0298h, 029Ch) ... 261
- 4.3.43 入力セル・カウント・イネーブル・レジスタ (02A0h, 02A4h, 02A8h, 02ACh) ... 263
- 4.3.44 入力セル・カウント・レジスタ (02B0h, 02B4h, 02B8h, 02BCh) ... 265

第5章	JTAGバウンダリ・スキャン	...	267
5.1	特 徴	...	267
5.2	バウンダリ・スキャン回路内部構成	...	268
5.2.1	インストラクション・レジスタ (Instruction register)	...	268
5.2.2	TAPコントローラ (Test Access Port controller)	...	268
5.2.3	バイパス・レジスタ (Bypass register)	...	268
5.2.4	バウンダリ・スキャン・レジスタ (Boundary Scan register)	...	269
5.3	端子機能	...	269
5.3.1	JCK端子 (JTAG Clock pin)	...	269
5.3.2	JMS端子 (JTAG Mode Select pin)	...	269
5.3.3	JDI端子 (JTAG Data Input pin)	...	269
5.3.4	JDO端子 (JTAG Data Output pin)	...	269
5.3.5	JRST_B端子 (JTAG Reset pin)	...	269
5.4	動作説明	...	270
5.4.1	TAPコントローラ	...	270
5.4.2	TAPコントローラ状態	...	270
5.5	TAPコントローラ動作	...	277
5.6	TAPコントローラの初期化	...	280
5.7	インストラクション・レジスタ	...	280
5.7.1	BYPASS命令	...	281
5.7.2	EXTEST命令	...	281
5.7.3	SAMPLE / PRELOAD命令	...	281
5.8	バウンダリ・スキャン・データ・ビット定義	...	281
第6章	設定例と動作例	...	283
6.1	コネクション設定手順例	...	283
6.1.1	シングルキャスト・コネクション	...	283
6.1.2	マルチキャスト・コネクション	...	284
6.2	ポーリング順序例	...	286
6.3	特殊ルーティング補足	...	294
6.3.1	特殊ルーティング機能	...	294
6.3.2	ルーティング例	...	298
第7章	規格別相違点	...	317
7.1	追加機能項目	...	317
7.2	追加機能概要	...	317

図の目次 (1/2)

図番号	タイトル, ページ
3 - 1	μ PD98412の構成要素 ... 68
3 - 2	シングルPHYモードとマルチPHYモード ... 71
3 - 3	UTOPIAの受信インタフェース接続例 ... 73
3 - 4	セル入力時のポーリング基本動作 ... 74
3 - 5	ポーリング制御と基本動作サイクルの関係 (セル入力時) ... 74
3 - 6	セル入力の基本タイミング1 ... 75
3 - 7	セル入力の基本タイミング2 ... 76
3 - 8	連続入力における転送レートの低下 ... 77
3 - 9	連続入力の制御 ... 77
3 - 10	UTOPIAの送信インタフェース接続例 ... 82
3 - 11	ポーリング制御と基本動作サイクルの関係 (マルチPHYモード時) ... 83
3 - 12	セル出力中のポーリング動作 ... 84
3 - 13	セル出力中のポーリング動作 ... 84
3 - 14	ポーリング制御と基本動作サイクルの関係 (シングルPHYモード時) 85
3 - 15	連続出力の制御 ... 86
3 - 16	ポーリング・クラスと“ポーリング・スロット”の関係 ... 107
3 - 17	ポーリング・アドレスの生成 ... 107
3 - 18	ポーリング・クラスと“ポーリング・スロット”の関係 ... 115
3 - 19	ポーリング・アドレスの生成 ... 115
3 - 20	HTT & コントロール・メモリ・マップ ... 129
3 - 21	シングルキャストの例 ... 130
3 - 22	HTT (ヘッダ変換テーブル) ... 130
3 - 23	シングルキャスト時のヘッダ変換情報の流れ ... 131
3 - 24	マルチキャストの例 ... 132
3 - 25	マルチキャスト時のヘッダ変換情報の流れ ... 132
3 - 26	HTT Area-Aフォーマット ... 133
3 - 27	HTT Area-Bフォーマット ... 136
3 - 28	VPコネクションとVCコネクション ... 137
3 - 29	VPCとVCCのHTTへのアクセスの違い (シングルキャスト時) ... 139
3 - 30	HTTアドレスの求め方 ... 140
3 - 31	OVPCの設定形式 ... 141
3 - 32	VCC, シングルキャスト時のヘッダ変換の流れ ... 142
3 - 33	VCC, マルチキャスト時のヘッダ変換の流れ ... 143

図の目次 (2/2)

図番号	タイトル, ページ
3 - 34	VPC, シングルキャスト時のヘッダ変換の流れ ... 144
3 - 35	VPC, マルチキャスト時のヘッダ変換の流れ ... 145
3 - 36	セル・アドレスのキューイング (シングルキャスト) ... 153
3 - 37	セル・アドレスのキューイング (マルチキャスト) ... 154
3 - 38	サービス・クラス別キューとカウンタ ... 157
3 - 39	EPD制御が有効の場合 ... 161
3 - 40	EPD制御有効の場合の状態遷移 ... 162
3 - 41	EPD制御による状態遷移 ... 162
3 - 42	PPD制御の状態遷移 ... 164
3 - 43	RM Cell構成 (ATM Forum TM Ver. 4.0) ... 168
3 - 44	出力キューとカウンタ ... 170
3 - 45	内部基本サイクルと各UTOPIAインタフェースの出力許可タイミング関係 ... 174
3 - 46	μ PD98412と端末との接続例 ... 174
3 - 47	I/Oレジスタ・マッピング ... 192
3 - 48	HTT & コントロール・メモリ, セル・バッファ・メモリ・マッピング ... 193
3 - 49	32ビット多重同期バスのアクセス・タイミング ... 195
3 - 50	HTT & コントロール・メモリ接続例 (最小構成) ... 196
3 - 51	HTT & コントロール・メモリ接続例 (最大構成) ... 197
3 - 52	セル・バッファ格納フォーマット ... 198
3 - 53	セル・バッファ・メモリ接続例 ... 199
5 - 1	バウンダリ・スキャン回路ブロック図 ... 268
5 - 2	TAPコントローラの状態 ... 270
5 - 3	コントローラ状態での動作タイミング ... 271
5 - 4	テスト・ロジックの動作 (インストラクション・スキャン) ... 278
5 - 5	テスト・ロジックの動作 (データ・スキャン) ... 279

表の目次

表番号	タイトル, ページ
2 - 1	パワー・サプライ ... 44
2 - 2	受信インタフェース信号 ... 46
2 - 3	送信インタフェース信号 ... 48
2 - 4	受信インタフェース信号 ... 50
2 - 5	送信インタフェース信号 ... 52
2 - 6	受信インタフェース信号 ... 53
2 - 7	送信インタフェース信号 ... 55
2 - 8	受信インタフェース信号 ... 57
2 - 9	送信インタフェース信号 ... 58
2 - 10	HTT & コントロール・メモリ・インタフェース信号 ... 59
2 - 11	セル・バッファ・メモリ・インタフェース信号 ... 60
2 - 12	マイクロプロセッサ・インタフェース信号 ... 61
2 - 13	JTAGインタフェース信号 ... 62
2 - 14	その他のインタフェース信号 ... 62
2 - 15	未使用端子の処理方法 ... 63
2 - 16	リセット時の端子の状態 ... 64
3 - 1	総セル数に関するセル廃棄しきい値 ... 160
3 - 2	出力キュー長に関するセル廃棄しきい値 ... 160
3 - 3	マルチキャスト・キュー長に関するセル廃棄しきい値 ... 160
3 - 4	総セル数 (Used Cell Counter) に関する最小キュー長 ... 164
3 - 5	クラス別総セル数 (Total Cell Counter for each class) に関する最小キュー長 ... 164
3 - 6	出力キュー長に関する最小キュー長 ... 165
3 - 7	マルチキャスト・キュー長に関する最小キュー長 ... 165
3 - 8	しきい値の分類と名称 ... 166
3 - 9	出力キュー長に関するEFCIしきい値 ... 167
3 - 10	出力キュー長に関するCIしきい値 ... 168
3 - 11	マイクロプロセッサ・インタフェース端子 ... 190
3 - 12	アクセス対象の選択 ... 190
3 - 13	アクセス対象別のアクセス・ビット幅 ... 191
5 - 1	それぞれのコントローラ状態における動作 ... 277

第1章 概 説

μ PD98412 (NEASCOT-X15) は、ATM スイッチ機能を 1 チップに搭載した LSI で、UTOPIA Level2 インタフェースを持ち、マルチ PHY 接続を利用して 30×30 回線をスイッチングできます。また、共有バッファ方式ノンブロッキング型スイッチを採用し、外部接続の SRAM をセルのバッファリングに使用して、スイッチ容量 1.5 Gbps を実現します。

1.1 特 徴

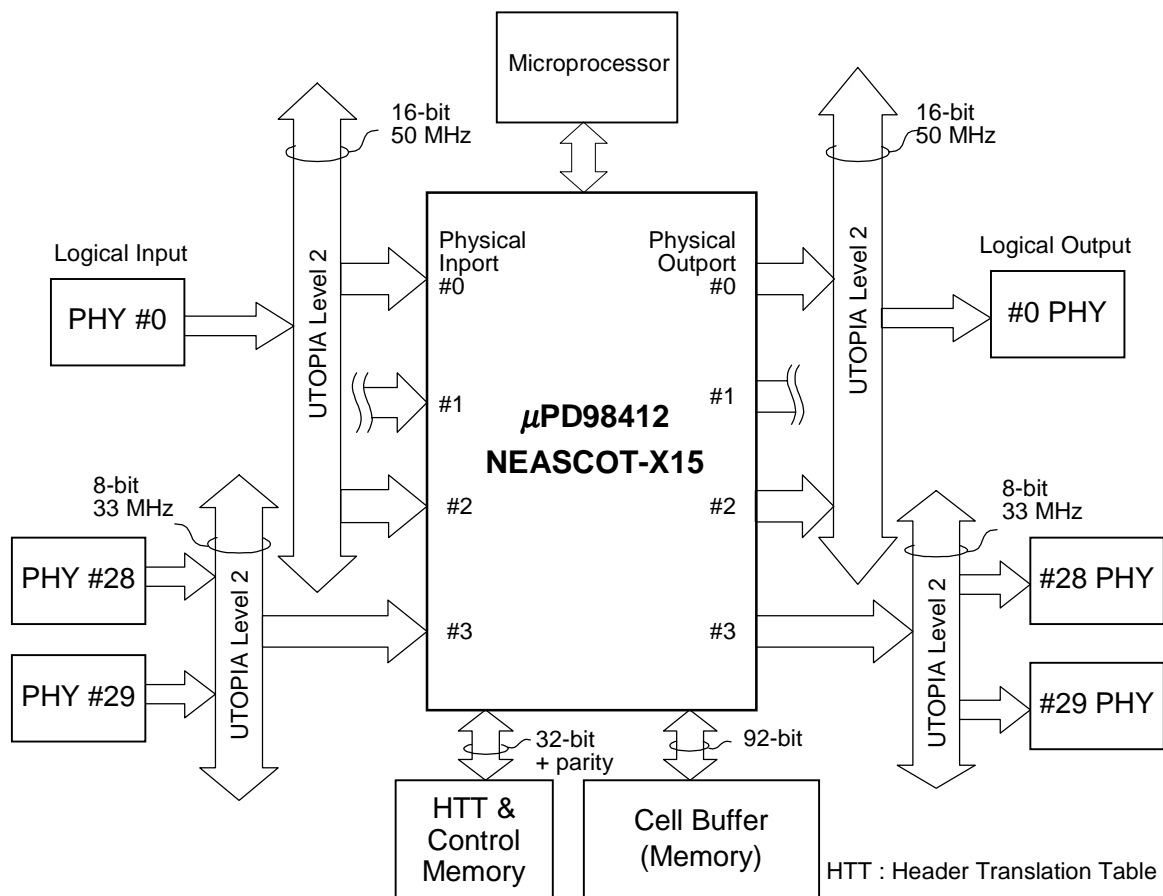
ATM FORUM UNI Version 3.1 & Traffic Management 4.0 に準拠
 1 チップですべてのスイッチ機能を実現
 ノンブロッキングでスイッチ容量 1.5 Gbps を実現
 ビット幅の選べる UTOPIA Level2 インタフェース
 (4 ポート×8 ビット, 2 ポート×8 ビット+1 ポート×16 ビット, 2 ポート×16 ビット)
 UTOPIA Level2 インタフェースに各種ポーリング・モードを採用
 30 論理ポートのスイッチングが可能
 マルチスピード対応 (622 Mbps, 155 Mbps, 52 Mbps, 25 Mbps etc.)
 シグナリング処理, OAM セル処理用にマイクロプロセッサ接続ポートを設定可能
 16K/32K/64K ユニキャスト VP/VC と 1K/2K/4K マルチキャスト VP/VC をサポート
 標準 SRAM を使用した共有バッファ・アーキテクチャ
 セル・バッファ容量 12.8K/25.6K/51.2K セル
 4 つの QOS クラス (CBR, VBR, ABR, UBR) をサポート
 ABR トラフィック制御 (バイナリ・モード)
 EPD (Early Packet Discard), PPD (Partial Packet Discard) をサポート
 +3.3 V 単一電源 (+5 V TTL レベル信号と直接接続も可能)
 テスト機能: JTAG (IEEE 1149.1) サポート

1.2 オータ情報

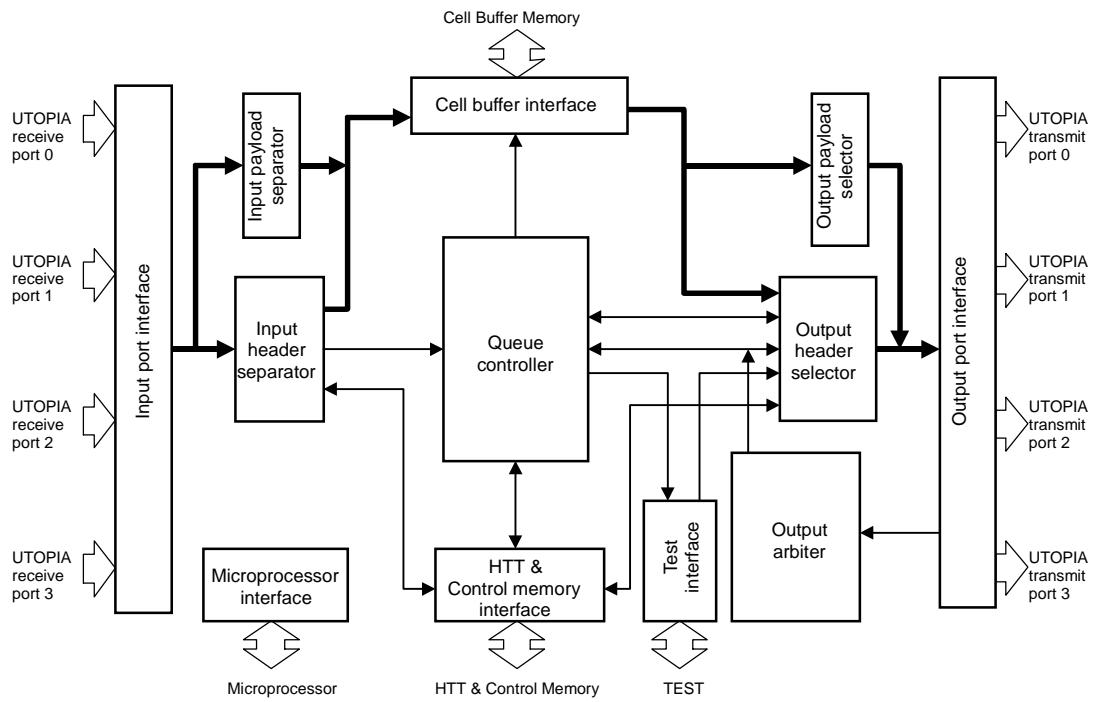
オーダ名称	パッケージ
μ PD98412N7-H6	576 ピン・テープ BGA (40×40 mm)

1.3 システム構成例（用途）

μPD98412 は、マイクロプロセッサとセル・バッファ格納用 SRAM およびヘッダ変換テーブル（HTT） / コントロール情報格納用 SRAM を下図のように接続して、ATM レイヤにおけるセル・スイッチング機能を実現できます。

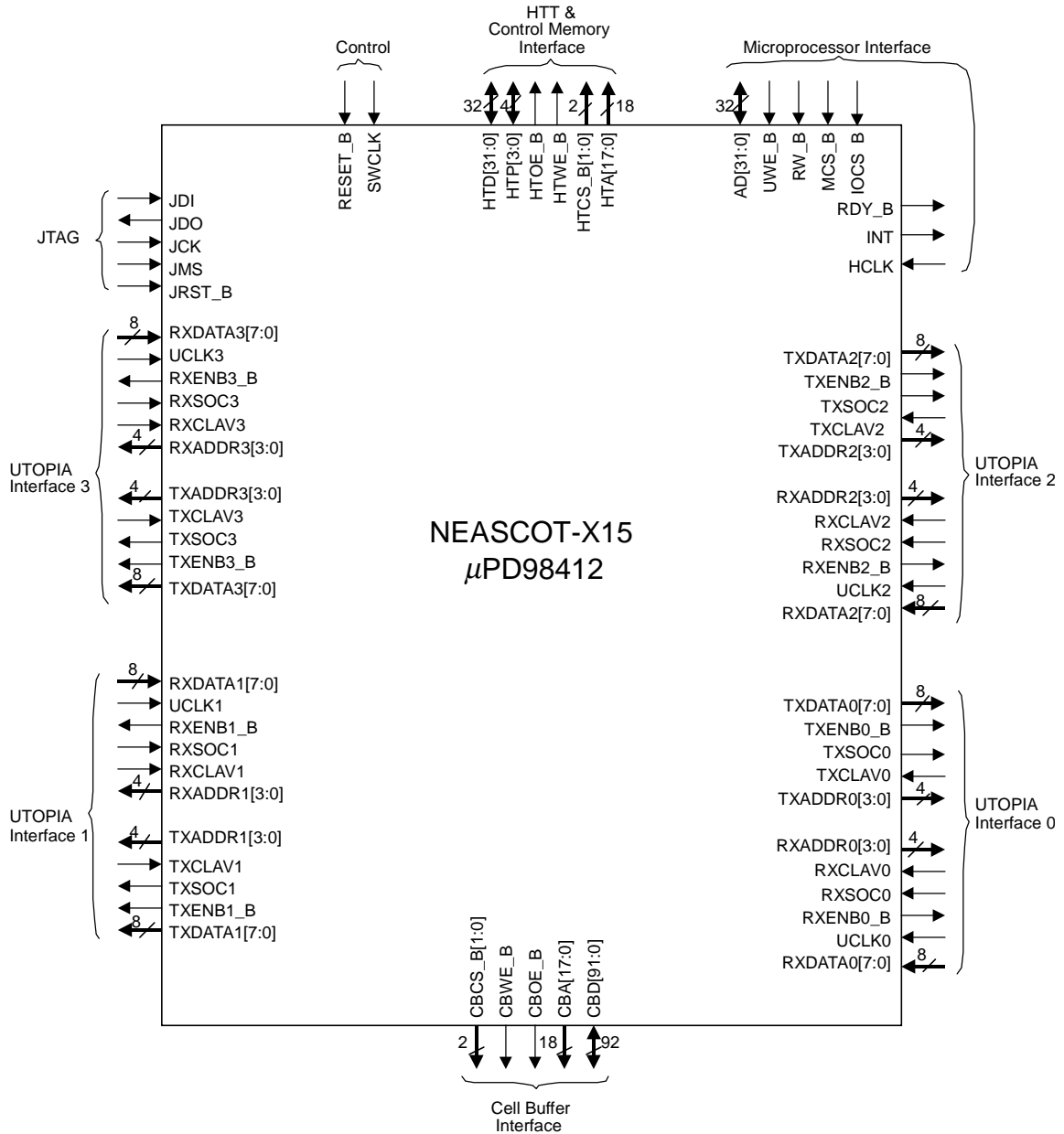


1.4 ブロック図

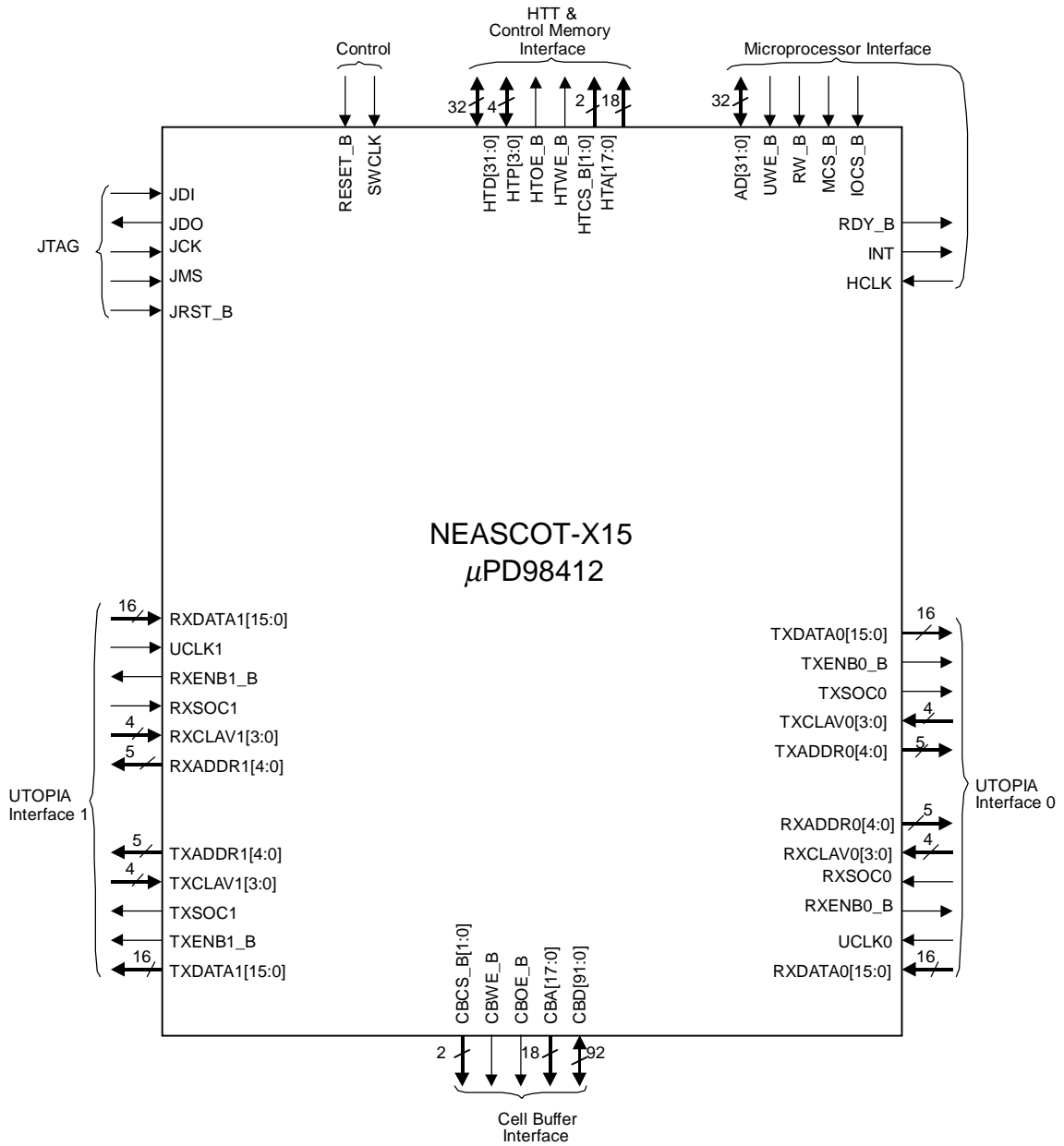


1.5 端子構成図

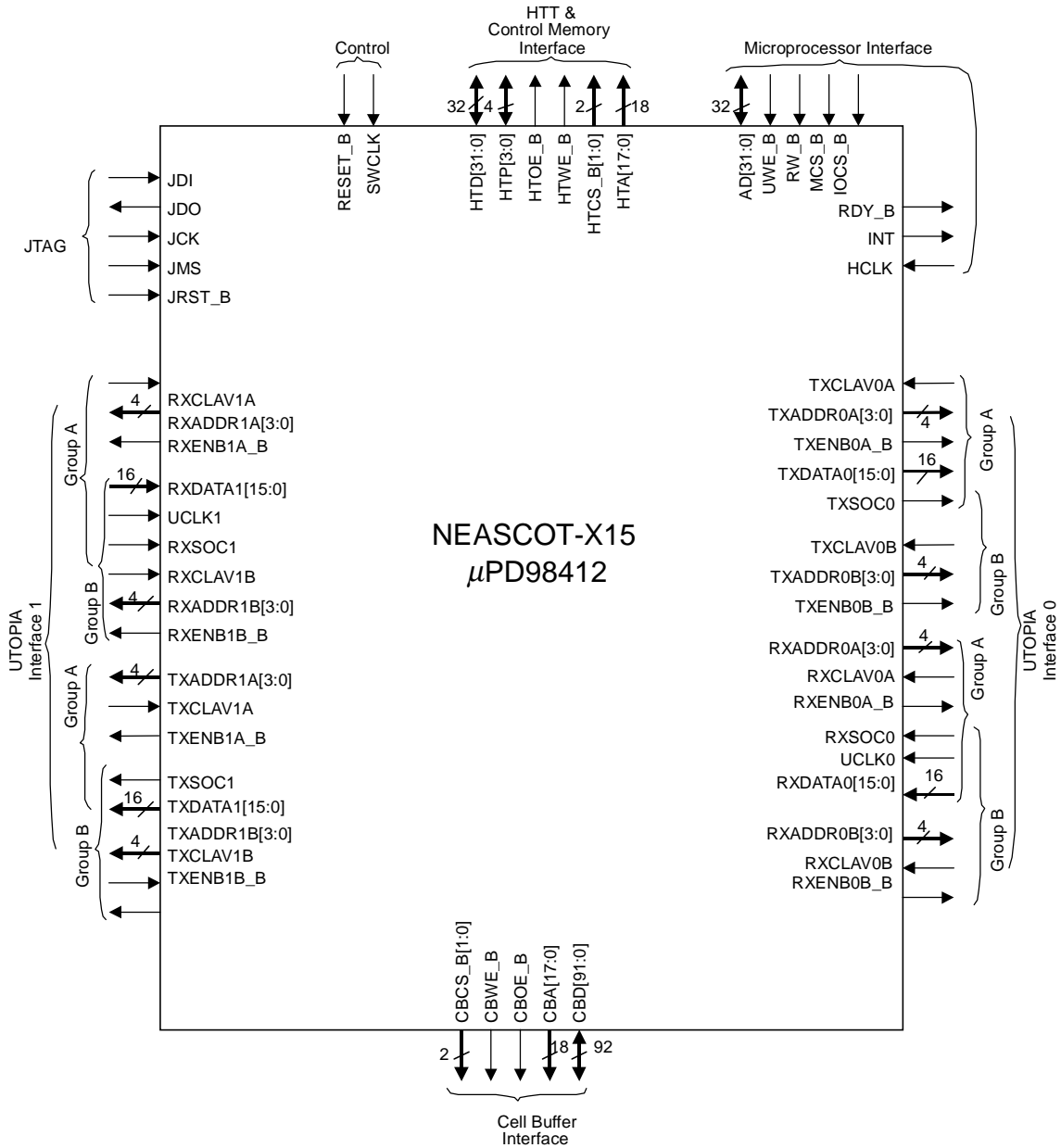
(1) 8-bit 12-PHY Polling Mode / 15-PHY Polling Mode



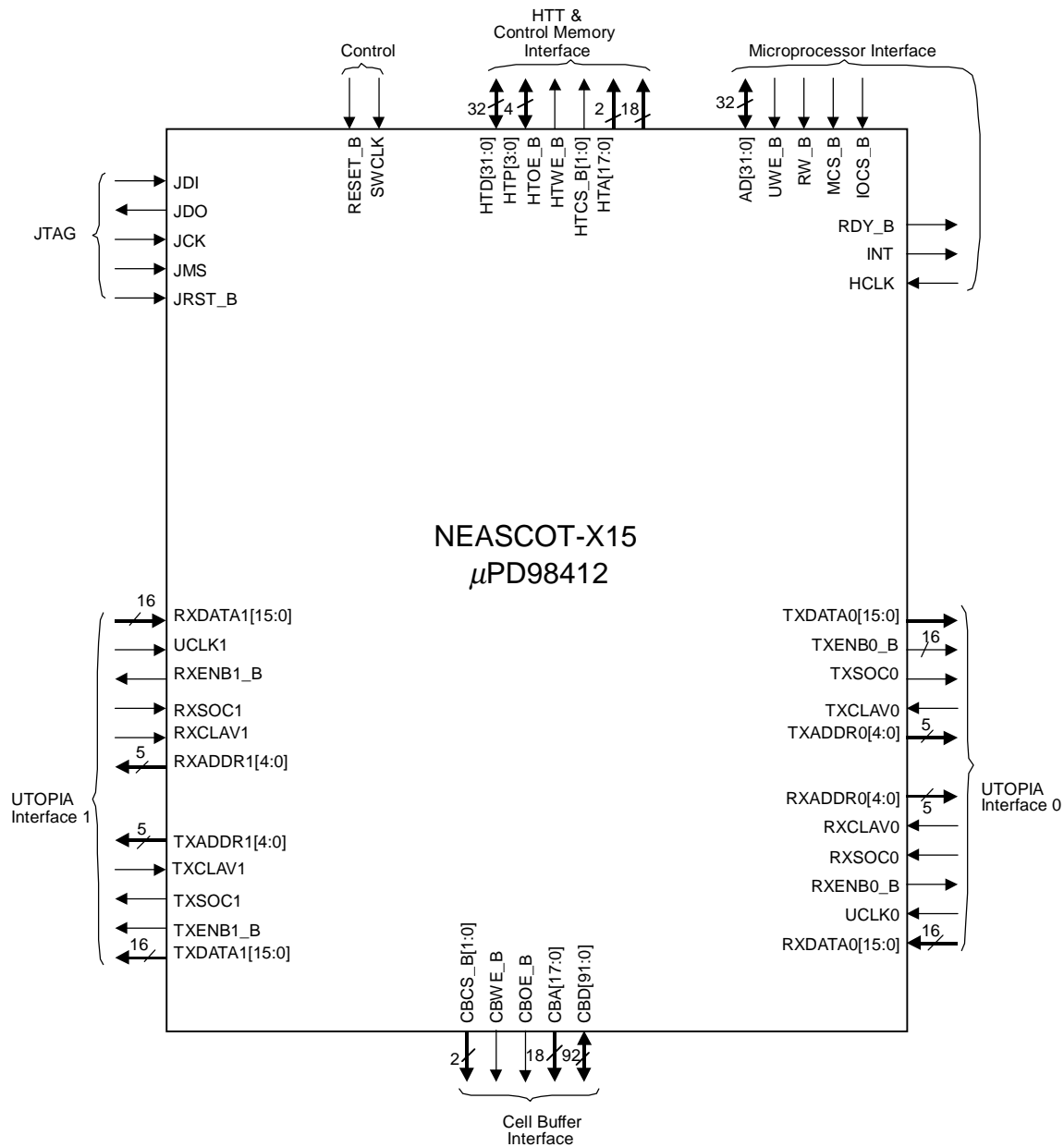
(2) 16-bit Multiplexed Status Polling Mode



(3) 16-bit 2-Group Weighted Polling Mode



(4) 16-bit 1-Group Weighted Polling Mode



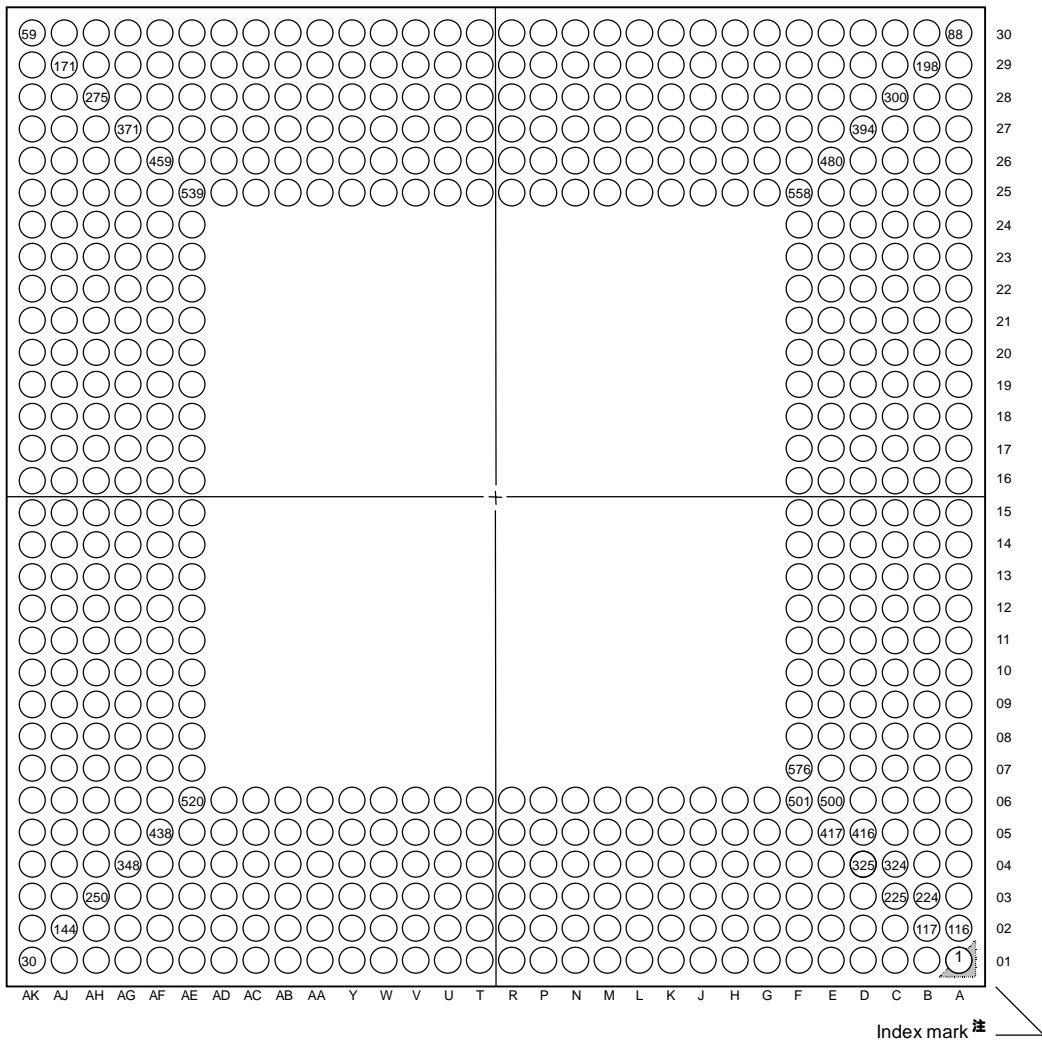
[メ モ]

第2章 端子機能

2.1 端子概要図 (Bottom View)

・ 576 ピン・テープ BGA (40 × 40 mm)

μPD98412N7-H6



注 Index mark は Top View 側にマーキングされています。

端子名称

1. Power

VDD : Supply Voltage
GND : Ground

2. Memory Interface

HTA17-HTA00 : HTT Memory Address
HTD31-HTD00 : HTT Memory Data Bus
HTP3-HTP0 : HTT Memory Data Bus Parity
HTCS1_B,HTCS0_B: HTT Memory Chip Select
HTWE_B : HTT Memory Write Enable
HTOE_B : HTT Memory Output Enable
CBA17-CBA00 : Cell Buffer Memory Address
CBD91-CBD00 : Cell Buffer Memory Data Bus
CBCS1_B,CBCS0_B: Cell Buffer Memory Chip Select
CBWE_B : Cell Buffer Memory Write Enable
CBOE_B : Cell Buffer Memory Output Enable

3. CPU Interface

IOCS_B : I/O Chip Select
MCS_B : Memory Chip Select
RDY_B : I/O Ready , Memory Ready
INT : Interrupt Request
HCLK : Host Clock
AD31-AD00 : Address and Data
R/W_B : Read/Write
UWE_B : Upper Word Enable

4. JTAG

JDI : JTAG Data Input
JDO : JTAG Data Output
JCK : JTAG Data Clock
JMS : JTAG Mode Select
JRST_B : JTAG Reset

5. Other

SWCLK : System Clock
RESET_B : Hardware Reset
IC : Internal Connected
CG : Connect Ground
PU : Pull-up

6. UTOPIA

(1) 8-bit 12-PHY Polling Mode / 15-PHY Polling Mode

UCLK0	: UTOPIA Clock	RXADDR33-RXADDR30	: Receive Address
RXADDR03-RXADDR00	: Receive Address	RXDATA307-RXDATA300	: Receive Data Bus
RXDATA007-RXDATA000	: Receive Data Bus	RXSOC3	: Receive Start of Cell
RXSOC0	: Receive Start of Cell	RXENB3_B	: Receive Enable Data Transfers
RXENB0_B	: Receive Enable Data Transfers	RXCLAV3	: Receive Cell Buffer Available
RXCLAV0	: Receive Cell Buffer Available	TXADDR33-TXADDR30	: Transmit Address
TXADDR03-TXADDR00	: Transmit Address	TXDATA307-TXDATA300	: Transmit Data Bus
TXDATA007-TXDATA000	: Transmit Data Bus	TXSOC3	: Transmit Start of Cell
TXSOC0	: Transmit Start of Cell	TXENB3_B	: Transmit Enable Data Transfers
TXENB0_B	: Transmit Enable Data Transfers	TXCLAV3	: Transmit Cell Buffer Available
TXCLAV0	: Transmit Cell Buffer Available		
UCLK1	: UTOPIA Clock		
RXADDR13-RXADDR10	: Receive Address		
RXDATA107-RXDATA100	: Receive Data Bus		
RXSOC1	: Receive Start of Cell		
RXENB1_B	: Receive Enable Data Transfers		
RXCLAV1	: Receive Cell Buffer Available		
TXADDR13-TXADDR10	: Transmit Address		
TXDATA107-TXDATA100	: Transmit Data Bus		
TXSOC1	: Transmit Start of Cell		
TXENB1_B	: Transmit Enable Data Transfers		
TXCLAV1	: Transmit Cell Buffer Available		
UCLK2	: UTOPIA Clock		
RXADDR23-RXADDR20	: Receive Address		
RXDATA207-RXDATA200	: Receive Data Bus		
RXSOC2	: Receive Start of Cell		
RXENB2_B	: Receive Enable Data Transfers		
RXCLAV2	: Receive Cell Buffer Available		
TXADDR23-TXADDR20	: Transmit Address		
TXDATA207-TXDATA200	: Transmit Data Bus		
TXSOC2	: Transmit Start of Cell		
TXENB2_B	: Transmit Enable Data Transfers		
TXCLAV2	: Transmit Cell Buffer Available		
UCLK3	: UTOPIA Clock		

(2) 16-bit Multiplexed Status Polling Mode

UCLK0	: UTOPIA Clock
RXADDR04-RXADDR00	: Receive Address
RXDATA015-RXDATA000	: Receive Data Bus
RXSOC0	: Receive Start of Cell
RXENB0_B	: Receive Enable Data Transfers
RXCLAV0[3]-RXCLAV0[0]	: Receive Cell Buffer Available
TXADDR04-TXADDR00	: Transmit Address
TXDATA015-TXDATA000	: Transmit Data Bus
TXSOC0	: Transmit Start of Cell
TXENB0_B	: Transmit Enable Data Transfers
TXCLAV0[3]-TXCLAV0[0]	: Transmit Cell Buffer Available
UCLK1	: UTOPIA Clock
RXADDR14-RXADDR10	: Receive Address
RXDATA115-RXDATA100	: Receive Data Bus
RXSOC1	: Receive Start of Cell
RXENB1_B	: Receive Enable Data Transfers
RXCLAV1[3]-RXCLAV1[0]	: Receive Cell Buffer Available
TXADDR14-TXADDR10	: Transmit Address
TXDATA115-TXDATA100	: Transmit Data Bus
TXSOC1	: Transmit Start of Cell
TXENB1_B	: Transmit Enable Data Transfers
TXCLAV1[3]-TXCLAV1[0]	: Transmit Cell Buffer Available

(3) 16-bit 2-Group Weighted Polling Mode

UCLK0 : UTOPIA Clock
 RXADDR0A3-RXADDR0A0: Receive Address
 RXADDR0B3-RXADDR0B0: Receive Address
 RXDATA015-RXDATA000 : Receive Data Bus
 RXSOC0 : Receive Start of Cell
 RXENB0A_B,RXENB0B_B : Receive Enable Data Transfers
 RXCLAV0A,RXCLAV0B : Receive Cell Buffer Available
 TXADDR0A3-TXADDR0A0 : Transmit Address
 TXADDR0B3-TXADDR0B0 : Transmit Address
 TXDATA015-TXDATA000 : Transmit Data Bus
 TXSOC0 : Transmit Start of Cell
 TXENB0A_B,TXENB0B_B : Transmit Enable Data Transfers
 TXCLAV0A,TXCLAV0B : Transmit Cell Buffer Available
 UCLK1 : UTOPIA Clock
 RXADDR1A3-RXADDR1A0: Receive Address
 RXADDR1B3-RXADDR1B0: Receive Address
 RXDATA115-RXDATA100 : Receive Data Bus
 RXSOC1 : Receive Start of Cell
 RXENB1A_B,RXENB1B_B : Receive Enable Data Transfers
 RXCLAV1A,RXCLAV1B : Receive Cell Buffer Available
 TXADDR1A3-TXADDR1A0 : Transmit Address
 TXADDR1B3-TXADDR1B0 : Transmit Address
 TXDATA115-TXDATA100 : Transmit Data Bus
 TXSOC1 : Transmit Start of Cell
 TXENB1A_B,TXENB1B_B : Transmit Enable Data Transfers
 TXCLAV1A,TXCLAV1B : Transmit Cell Buffer Available

(4) 16-bit 1-Group Weighted Polling Mode

UCLK0 : UTOPIA Clock
 RXADDR04-RXADDR00 : Receive Address
 RXDATA015-RXDATA000: Receive Data Bus
 RXSOC0 : Receive Start of Cell
 RXENB0_B : Receive Enable Data Transfers
 RXCLAV0 : Receive Cell Buffer Available
 TXADDR04-TXADDR00 : Transmit Address
 TXDATA015-TXDATA000: Transmit Data Bus
 TXSOC0 : Transmit Start of Cell
 TXENB0_B : Transmit Enable Data Transfers
 TXCLAV0 : Transmit Cell Buffer Available
 UCLK1 : UTOPIA Clock
 RXADDR14-RXADDR10 : Receive Address
 RXDATA115-RXDATA100: Receive Data Bus
 RXSOC1 : Receive Start of Cell
 RXENB1_B : Receive Enable Data Transfers
 RXCLAV1 : Receive Cell Buffer Available
 TXADDR14-TXADDR10 : Transmit Address
 TXDATA115-TXDATA100: Transmit Data Bus
 TXSOC1 : Transmit Start of Cell
 TXENB1_B : Transmit Enable Data Transfers
 TXCLAV1 : Transmit Cell Buffer Available

2.2 端子配置

(1/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
1	A01	AD30	←	←	←	I/O
2	B01	GND	←	←	←	
3	C01	AD24	←	←	←	I/O
4	D01	AD20	←	←	←	I/O
5	E01	AD16	←	←	←	I/O
6	F01	GND	←	←	←	
7	G01	AD10	←	←	←	I/O
8	H01	AD06	←	←	←	I/O
9	J01	GND	←	←	←	
10	K01	AD01	←	←	←	I/O
11	L01	HTA17	←	←	←	O
12	M01	HTA13	←	←	←	O
13	N01	HTA09	←	←	←	O
14	P01	GND	←	←	←	
15	R01	HTA06	←	←	←	O
16	T01	HTA02	←	←	←	O
17	U01	HTCS0_B	←	←	←	O
18	V01	HTD31	←	←	←	I/O
19	W01	HTD29	←	←	←	I/O
20	Y01	VDD	←	←	←	
21	AA01	HTD24	←	←	←	I/O
22	AB01	HTD21	←	←	←	I/O
23	AC01	HTD17	←	←	←	I/O
24	AD01	HTP1	←	←	←	I/O
25	AE01	VDD	←	←	←	
26	AF01	GND	←	←	←	
27	AG01	HTD06	←	←	←	I/O
28	AH01	HTD05	←	←	←	I/O
29	AJ01	HTD01	←	←	←	I/O
30	AK01	PU	←	←	←	I
31	AK02	VDD	←	←	←	
32	AK03	GND	←	←	←	
33	AK04	JCK	←	←	←	I
34	AK05	RXDATA307	RXDATA115	RXDATA115	RXDATA115	I
35	AK06	VDD	←	←	←	
36	AK07	RXDATA301	RXDATA109	RXDATA109	RXDATA109	I
37	AK08	GND	←	←	←	
38	AK09	RXCLAV3	RXCLAV1[2]	RXCLAV1B	CG	I
39	AK10	VDD	←	←	←	
40	AK11	TXADDR33	IC	TXADDR1B3	IC	O

(2/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
41	AK12	CG	TXCLAV1[3]	CG	CG	I
42	AK13	TXDATA307	TXDATA115	TXDATA115	TXDATA115	O
43	AK14	VDD	←	←	←	
44	AK15	TXDATA304	TXDATA112	TXDATA112	TXDATA112	O
45	AK16	TXDATA300	TXDATA108	TXDATA108	TXDATA108	O
46	AK17	RXDATA104	RXDATA104	RXDATA104	RXDATA104	I
47	AK18	RXDATA100	RXDATA100	RXDATA100	RXDATA100	I
48	AK19	UCLK1	UCLK1	UCLK1	UCLK1	I
49	AK20	RXCLAV1	RXCLAV1[0]	RXCLAV1A	RXCLAV1	I
50	AK21	RXADDR12	RXADDR12	RXADDR1A2	RXADDR12	O
51	AK22	TXADDR12	TXADDR12	TXADDR1A2	TXADDR12	O
52	AK23	TXCLAV1	TXCLAV1[0]	TXCLAV1A	TXCLAV1	I
53	AK24	TXDATA107	TXDATA107	TXDATA107	TXDATA107	O
54	AK25	TXDATA103	TXDATA103	TXDATA103	TXDATA103	O
55	AK26	CBD87	←	←	←	I/O
56	AK27	CBD84	←	←	←	I/O
57	AK28	VDD	←	←	←	
58	AK29	GND	←	←	←	
59	AK30	CBD77	←	←	←	I/O
60	AJ30	GND	←	←	←	
61	AH30	VDD	←	←	←	
62	AG30	CBD68	←	←	←	I/O
63	AF30	CBD64	←	←	←	I/O
64	AE30	VDD	←	←	←	
65	AD30	CBD58	←	←	←	I/O
66	AC30	CBD54	←	←	←	I/O
67	AB30	VDD	←	←	←	
68	AA30	CBD49	←	←	←	I/O
69	Y30	CBD47	←	←	←	I/O
70	W30	CBCS1_B	←	←	←	O
71	V30	CBA17	←	←	←	O
72	U30	VDD	←	←	←	
73	T30	CBA14	←	←	←	O
74	R30	CBA10	←	←	←	O
75	P30	CBA06	←	←	←	O
76	N30	CBA02	←	←	←	O
77	M30	CBA00	←	←	←	O
78	L30	VDD	←	←	←	
79	K30	CBD39	←	←	←	I/O
80	J30	CBD35	←	←	←	I/O

(3/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
81	H30	VDD	←	←	←	
82	G30	CBD29	←	←	←	I/O
83	F30	CBD25	←	←	←	I/O
84	E30	GND	←	←	←	
85	D30	CBD18	←	←	←	I/O
86	C30	VDD	←	←	←	
87	B30	VDD	←	←	←	
88	A30	CBD11	←	←	←	I/O
89	A29	VDD	←	←	←	
90	A28	CBD05	←	←	←	I/O
91	A27	CBD01	←	←	←	I/O
92	A26	RXDATA005	RXDATA005	RXDATA005	RXDATA005	I
93	A25	RXDATA003	RXDATA003	RXDATA003	RXDATA003	I
94	A24	VDD	←	←	←	
95	A23	RXCLAV0	RXCLAV0[0]	RXCLAV0A	RXCLAV0	I
96	A22	VDD	←	←	←	
97	A21	TXADDR03	TXADDR03	TXADDR0A3	TXADDR03	O
98	A20	TXADDR01	TXADDR01	TXADDR0A1	TXADDR01	O
99	A19	TXSOC0	TXSOC0	TXSOC0	TXSOC0	O
100	A18	TXDATA005	TXDATA005	TXDATA005	TXDATA005	O
101	A17	GND	←	←	←	
102	A16	TXDATA001	TXDATA001	TXDATA001	TXDATA001	O
103	A15	RXDATA205	RXDATA013	RXDATA013	RXDATA013	I
104	A14	RXDATA201	RXDATA009	RXDATA009	RXDATA009	I
105	A13	RXENB2_B	IC	RXENB0B_B	IC	O
106	A12	RXCLAV2	RXCLAV0[2]	RXCLAV0B	CG	I
107	A11	RXADDR21	IC	RXADDR0B1	IC	O
108	A10	TXADDR22	IC	TXADDR0B2	IC	O
109	A09	TXCLAV2	TXCLAV0[2]	TXCLAV0B	CG	I
110	A08	GND	←	←	←	
111	A07	TXDATA203	TXDATA011	TXDATA011	TXDATA011	O
112	A06	VDD	←	←	←	
113	A05	GND	←	←	←	
114	A04	R/W_B	←	←	←	I
115	A03	UWE_B	←	←	←	I
116	A02	CG	←	←	←	I
117	B02	AD29	←	←	←	I/O
118	C02	AD27	←	←	←	I/O
119	D02	VDD	←	←	←	
120	E02	AD19	←	←	←	I/O

(4/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
121	F02	AD15	←	←	←	I/O
122	G02	AD11	←	←	←	I/O
123	H02	AD09	←	←	←	I/O
124	J02	AD05	←	←	←	I/O
125	K02	AD04	←	←	←	I/O
126	L02	AD00	←	←	←	I/O
127	M02	HTA14	←	←	←	O
128	N02	HTA10	←	←	←	O
129	P02	VDD	←	←	←	
130	R02	HTA05	←	←	←	O
131	T02	HTA01	←	←	←	O
132	U02	HTWE_B	←	←	←	O
133	V02	HTD30	←	←	←	I/O
134	W02	HTD26	←	←	←	I/O
135	Y02	HTD25	←	←	←	I/O
136	AA02	HTD22	←	←	←	I/O
137	AB02	HTD20	←	←	←	I/O
138	AC02	HTD16	←	←	←	I/O
139	AD02	HTD13	←	←	←	I/O
140	AE02	HTD10	←	←	←	I/O
141	AF02	HTD07	←	←	←	I/O
142	AG02	HTD02	←	←	←	I/O
143	AH02	GND	←	←	←	
144	AJ02	GND	←	←	←	
145	AJ03	CBD91	←	←	←	I/O
146	AJ04	JDO	←	←	←	O
147	AJ05	VDD	←	←	←	
148	AJ06	RXDATA306	RXDATA114	RXDATA114	RXDATA114	I
149	AJ07	RXDATA302	RXDATA110	RXDATA110	RXDATA110	I
150	AJ08	RXDATA300	RXDATA108	RXDATA108	RXDATA108	I
151	AJ09	RXENB3_B	IC	RXENB1B_B	IC	O
152	AJ10	VDD	←	←	←	
153	AJ11	RXADDR30	RXADDR14	RXADDR1B0	RXADDR14	O
154	AJ12	TXADDR30	TXADDR14	TXADDR1B0	TXADDR14	O
155	AJ13	TXENB3_B	IC	TXENB1B_B	IC	O
156	AJ14	GND	←	←	←	
157	AJ15	TXDATA303	TXDATA111	TXDATA111	TXDATA111	O
158	AJ16	RXDATA107	RXDATA107	RXDATA107	RXDATA107	I
159	AJ17	RXDATA103	RXDATA103	RXDATA103	RXDATA103	I
160	AJ18	VDD	←	←	←	

(5/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
161	AJ19	VDD	←	←	←	
162	AJ20	GND	←	←	←	
163	AJ21	TXADDR13	TXADDR13	TXADDR1A3	TXADDR13	O
164	AJ22	TXADDR10	TXADDR10	TXADDR1A0	TXADDR10	O
165	AJ23	TXENB1_B	TXENB1_B	TXENB1A_B	TXENB1_B	O
166	AJ24	TXDATA104	TXDATA104	TXDATA104	TXDATA104	O
167	AJ25	TXDATA101	TXDATA101	TXDATA101	TXDATA101	O
168	AJ26	CBD85	←	←	←	I/O
169	AJ27	VDD	←	←	←	
170	AJ28	CBD80	←	←	←	I/O
171	AJ29	CBD76	←	←	←	I/O
172	AH29	CBD74	←	←	←	I/O
173	AG29	GND	←	←	←	
174	AF29	CBD67	←	←	←	I/O
175	AE29	CBD63	←	←	←	I/O
176	AD29	CBD59	←	←	←	I/O
177	AC29	CBD57	←	←	←	I/O
178	AB29	CBD53	←	←	←	I/O
179	AA29	CBD52	←	←	←	I/O
180	Y29	CBD48	←	←	←	I/O
181	W29	CBD44	←	←	←	I/O
182	V29	CBOE_B	←	←	←	O
183	U29	GND	←	←	←	
184	T29	CBA13	←	←	←	O
185	R29	CBA09	←	←	←	O
186	P29	CBA05	←	←	←	O
187	N29	CBA01	←	←	←	O
188	M29	CBD41	←	←	←	I/O
189	L29	CBD40	←	←	←	I/O
190	K29	CBD36	←	←	←	I/O
191	J29	CBD34	←	←	←	I/O
192	H29	CBD30	←	←	←	I/O
193	G29	CBD26	←	←	←	I/O
194	F29	CBD23	←	←	←	I/O
195	E29	CBD19	←	←	←	I/O
196	D29	GND	←	←	←	
197	C29	CBD14	←	←	←	I/O
198	B29	CBD10	←	←	←	I/O
199	B28	CBD08	←	←	←	I/O
200	B27	CBD02	←	←	←	I/O

(6/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
201	B26	CBD00	←	←	←	I/O
202	B25	RXDATA004	RXDATA004	RXDATA004	RXDATA004	I
203	B24	RXDATA000	RXDATA000	RXDATA000	RXDATA000	I
204	B23	RXENB0_B	RXENB0_B	RXENB0A_B	RXENB0_B	O
205	B22	RXADDR03	RXADDR03	RXADDR0A3	RXADDR03	O
206	B21	RXADDR02	RXADDR02	RXADDR0A2	RXADDR02	O
207	B20	TXADDR02	TXADDR02	TXADDR0A2	TXADDR02	O
208	B19	TXCLAV0	TXCLAV0[0]	TXCLAV0A	TXCLAV0	I
209	B18	TXDATA006	TXDATA006	TXDATA006	TXDATA006	O
210	B17	TXDATA002	TXDATA002	TXDATA002	TXDATA002	O
211	B16	TXDATA000	TXDATA000	TXDATA000	TXDATA000	O
212	B15	RXDATA204	RXDATA012	RXDATA012	RXDATA012	I
213	B14	RXDATA200	RXDATA008	RXDATA008	RXDATA008	I
214	B13	RXSOC2	RXCLAV0[3]	CG	CG	I
215	B12	GND	←	←	←	
216	B11	TXADDR23	IC	TXADDR0B3	IC	O
217	B10	CG	TXCLAV0[3]	CG	CG	I
218	B09	TXENB2_B	IC	TXENB0B_B	IC	O
219	B08	TXDATA204	TXDATA012	TXDATA012	TXDATA012	O
220	B07	TXDATA200	TXDATA008	TXDATA008	TXDATA008	O
221	B06	IOCS_B	←	←	←	I
222	B05	CG	←	←	←	I
223	B04	CG	←	←	←	I
224	B03	IC	←	←	←	O
225	C03	AD28	←	←	←	I/O
226	D03	AD26	←	←	←	I/O
227	E03	AD22	←	←	←	I/O
228	F03	AD18	←	←	←	I/O
229	G03	AD14	←	←	←	I/O
230	H03	VDD	←	←	←	
231	J03	AD08	←	←	←	I/O
232	K03	VDD	←	←	←	
233	L03	GND	←	←	←	
234	M03	HTA15	←	←	←	O
235	N03	HTA11	←	←	←	O
236	P03	HTA07	←	←	←	O
237	R03	HTA03	←	←	←	O
238	T03	HTA00	←	←	←	O
239	U03	HTOE_B	←	←	←	O
240	V03	VDD	←	←	←	

(7/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
241	W03	GND	←	←	←	
242	Y03	HTD23	←	←	←	I/O
243	AA03	VDD	←	←	←	
244	AB03	GND	←	←	←	
245	AC03	HTD14	←	←	←	I/O
246	AD03	HTD11	←	←	←	I/O
247	AE03	HTP0	←	←	←	I/O
248	AF03	HTD03	←	←	←	I/O
249	AG03	HTD00	←	←	←	I/O
250	AH03	IC	←	←	←	O
251	AH04	CBD90	←	←	←	I/O
252	AH05	JDI	←	←	←	I
253	AH06	JMS	←	←	←	I
254	AH07	RXDATA305	RXDATA113	RXDATA113	RXDATA113	I
255	AH08	GND	←	←	←	
256	AH09	GND	←	←	←	
257	AH10	RXSOC3	RXCLAV1[3]	CG	CG	I
258	AH11	RXADDR31	IC	RXADDR1B1	IC	O
259	AH12	TXADDR31	IC	TXADDR1B1	IC	O
260	AH13	TXSOC3	IC	IC	IC	O
261	AH14	TXDATA305	TXDATA113	TXDATA113	TXDATA113	O
262	AH15	TXDATA301	TXDATA109	TXDATA109	TXDATA109	O
263	AH16	RXDATA106	RXDATA106	RXDATA106	RXDATA106	I
264	AH17	RXDATA102	RXDATA102	RXDATA102	RXDATA102	I
265	AH18	GND	←	←	←	
266	AH19	RXADDR13	RXADDR13	RXADDR1A3	RXADDR13	O
267	AH20	RXADDR10	RXADDR10	RXADDR1A0	RXADDR10	O
268	AH21	TXADDR11	TXADDR11	TXADDR1A1	TXADDR11	O
269	AH22	TXSOC1	TXSOC1	TXSOC1	TXSOC1	O
270	AH23	TXDATA105	TXDATA105	TXDATA105	TXDATA105	O
271	AH24	TXDATA102	TXDATA102	TXDATA102	TXDATA102	O
272	AH25	CBD86	←	←	←	I/O
273	AH26	CBD81	←	←	←	I/O
274	AH27	CBD79	←	←	←	I/O
275	AH28	CBD75	←	←	←	I/O
276	AG28	CBD73	←	←	←	I/O
277	AF28	CBD69	←	←	←	I/O
278	AE28	CBD66	←	←	←	I/O
279	AD28	CBD62	←	←	←	I/O
280	AC28	GND	←	←	←	

(8/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
281	AB28	CBD56	←	←	←	I/O
282	AA28	GND	←	←	←	
283	Y28	VDD	←	←	←	
284	W28	CBD45	←	←	←	I/O
285	V28	CBWE_B	←	←	←	O
286	U28	CBA15	←	←	←	O
287	T28	CBA11	←	←	←	O
288	R28	CBA08	←	←	←	O
289	P28	CBA04	←	←	←	O
290	N28	VDD	←	←	←	
291	M28	GND	←	←	←	
292	L28	CBD37	←	←	←	I/O
293	K28	VDD	←	←	←	
294	J28	CBD31	←	←	←	I/O
295	H28	CBD27	←	←	←	I/O
296	G28	CBD24	←	←	←	I/O
297	F28	CBD20	←	←	←	I/O
298	E28	CBD15	←	←	←	I/O
299	D28	CBD13	←	←	←	I/O
300	C28	CBD09	←	←	←	I/O
301	C27	CBD07	←	←	←	I/O
302	C26	CBD03	←	←	←	I/O
303	C25	RXDATA007	RXDATA007	RXDATA007	RXDATA007	I
304	C24	GND	←	←	←	
305	C23	GND	←	←	←	
306	C22	RXSOC0	RXSOC0	RXSOC0	RXSOC0	I
307	C21	GND	←	←	←	
308	C20	VDD	←	←	←	
309	C19	CG	TXCLAV0[1]	CG	CG	I
310	C18	TXDATA007	TXDATA007	TXDATA007	TXDATA007	O
311	C17	TXDATA003	TXDATA003	TXDATA003	TXDATA003	O
312	C16	RXDATA206	RXDATA014	RXDATA014	RXDATA014	I
313	C15	GND	←	←	←	
314	C14	GND	←	←	←	
315	C13	VDD	←	←	←	
316	C12	RXADDR20	RXADDR04	RXADDR0B0	RXADDR04	O
317	C11	TXADDR20	TXADDR04	TXADDR0B0	TXADDR04	O
318	C10	TXSOC2	IC	IC	IC	O
319	C09	TXDATA205	TXDATA013	TXDATA013	TXDATA013	O
320	C08	TXDATA201	TXDATA009	TXDATA009	TXDATA009	O

(9/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
321	C07	CG	←	←	←	I
322	C06	RDY_B	←	←	←	O
323	C05	GND	←	←	←	
324	C04	VDD	←	←	←	
325	D04	VDD	←	←	←	
326	E04	AD25	←	←	←	I/O
327	F04	GND	←	←	←	
328	G04	AD17	←	←	←	I/O
329	H04	VDD	←	←	←	
330	J04	GND	←	←	←	
331	K04	AD07	←	←	←	I/O
332	L04	VDD	←	←	←	
333	M04	HTA16	←	←	←	O
334	N04	HTA12	←	←	←	O
335	P04	HTA08	←	←	←	O
336	R04	HTA04	←	←	←	O
337	T04	VDD	←	←	←	
338	U04	HTP3	←	←	←	I/O
339	V04	GND	←	←	←	
340	W04	HTP2	←	←	←	I/O
341	Y04	GND	←	←	←	
342	AA04	VDD	←	←	←	
343	AB04	HTD15	←	←	←	I/O
344	AC04	HTD12	←	←	←	I/O
345	AD04	HTD08	←	←	←	I/O
346	AE04	HTD04	←	←	←	I/O
347	AF04	RESET_B	←	←	←	I
348	AG04	IC	←	←	←	O
349	AG05	CBD89	←	←	←	I/O
350	AG06	IC	←	←	←	
351	AG07	JRST_B	←	←	←	I
352	AG08	GND	←	←	←	
353	AG09	VDD	←	←	←	
354	AG10	UCLK3	CG	CG	CG	I
355	AG11	RXADDR32	IC	RXADDR1B2	IC	O
356	AG12	TXADDR32	IC	TXADDR1B2	IC	O
357	AG13	TXCLAV3	TXCLAV1[2]	TXCLAV1B	CG	I
358	AG14	TXDATA306	TXDATA114	TXDATA114	TXDATA114	O
359	AG15	TXDATA302	TXDATA110	TXDATA110	TXDATA110	O
360	AG16	VDD	←	←	←	

(10/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
361	AG17	RXDATA101	RXDATA101	RXDATA101	RXDATA101	I
362	AG18	RXENB1_B	RXENB1_B	RXENB1A_B	RXENB1_B	O
363	AG19	RXADDR11	RXADDR11	RXADDR1A1	RXADDR11	O
364	AG20	GND	←	←	←	
365	AG21	GND	←	←	←	
366	AG22	TXDATA106	TXDATA106	TXDATA106	TXDATA106	O
367	AG23	GND	←	←	←	
368	AG24	GND	←	←	←	
369	AG25	CBD82	←	←	←	I/O
370	AG26	GND	←	←	←	
371	AG27	VDD	←	←	←	
372	AF27	CBD72	←	←	←	I/O
373	AE27	CBD70	←	←	←	I/O
374	AD27	CBD65	←	←	←	I/O
375	AC27	GND	←	←	←	
376	AB27	VDD	←	←	←	
377	AA27	CBD55	←	←	←	I/O
378	Y27	GND	←	←	←	
379	W27	CBD46	←	←	←	I/O
380	V27	CBCS0_B	←	←	←	O
381	U27	CBA16	←	←	←	O
382	T27	CBA12	←	←	←	O
383	R27	VDD	←	←	←	
384	P27	CBA03	←	←	←	O
385	N27	GND	←	←	←	
386	M27	CBD38	←	←	←	I/O
387	L27	GND	←	←	←	
388	K27	GND	←	←	←	
389	J27	CBD28	←	←	←	I/O
390	H27	GND	←	←	←	
391	G27	CBD21	←	←	←	I/O
392	F27	CBD16	←	←	←	I/O
393	E27	VDD	←	←	←	
394	D27	GND	←	←	←	
395	D26	CBD06	←	←	←	I/O
396	D25	GND	←	←	←	
397	D24	RXDATA006	RXDATA006	RXDATA006	RXDATA006	I
398	D23	VDD	←	←	←	
399	D22	UCLK0	UCLK0	UCLK0	UCLK0	I
400	D21	CG	RXCLAV0[1]	CG	CG	I

(11/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
401	D20	GND	←	←	←	
402	D19	TXADDR00	TXADDR00	TXADDR0A0	TXADDR00	O
403	D18	TXENB0_B	TXENB0_B	TXENB0A_B	TXENB0_B	O
404	D17	TXDATA004	TXDATA004	TXDATA004	TXDATA004	O
405	D16	RXDATA207	RXDATA015	RXDATA015	RXDATA015	I
406	D15	VDD	←	←	←	
407	D14	UCLK2	CG	CG	CG	I
408	D13	RXADDR23	IC	RXADDR0B3	IC	O
409	D12	TXADDR21	IC	TXADDR0B1	IC	O
410	D11	GND	←	←	←	
411	D10	TXDATA206	TXDATA014	TXDATA014	TXDATA014	O
412	D09	TXDATA202	TXDATA010	TXDATA010	TXDATA010	O
413	D08	GND	←	←	←	
414	D07	INT	←	←	←	O
415	D06	CG	←	←	←	I
416	D05	AD31	←	←	←	I/O
417	E05	VDD	←	←	←	
418	F05	VDD	←	←	←	
419	G05	AD21	←	←	←	I/O
420	H05	VDD	←	←	←	
421	J05	AD12	←	←	←	I/O
422	K05	VDD	←	←	←	
423	L05	AD02	←	←	←	I/O
424	M05	VDD	←	←	←	
425	N05	GND	←	←	←	
426	P05	VDD	←	←	←	
427	R05	VDD	←	←	←	
428	T05	HTCS1_B	←	←	←	O
429	U05	VDD	←	←	←	
430	V05	HTD28	←	←	←	I/O
431	W05	VDD	←	←	←	
432	Y05	HTD19	←	←	←	I/O
433	AA05	VDD	←	←	←	
434	AB05	GND	←	←	←	
435	AC05	VDD	←	←	←	
436	AD05	VDD	←	←	←	
437	AE05	SWCLK	←	←	←	I
438	AF05	VDD	←	←	←	
439	AF06	CBD88	←	←	←	I/O
440	AF07	GND	←	←	←	

(12/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
441	AF08	VDD	←	←	←	
442	AF09	RXDATA303	RXDATA111	RXDATA111	RXDATA111	I
443	AF10	VDD	←	←	←	
444	AF11	GND	←	←	←	
445	AF12	VDD	←	←	←	
446	AF13	VDD	←	←	←	
447	AF14	VDD	←	←	←	
448	AF15	VDD	←	←	←	
449	AF16	RXDATA105	RXDATA105	RXDATA105	RXDATA105	I
450	AF17	VDD	←	←	←	
451	AF18	RXSOC1	RXSOC1	RXSOC1	RXSOC1	I
452	AF19	VDD	←	←	←	
453	AF20	VDD	←	←	←	
454	AF21	VDD	←	←	←	
455	AF22	VDD	←	←	←	
456	AF23	VDD	←	←	←	
457	AF24	CBD83	←	←	←	I/O
458	AF25	VDD	←	←	←	
459	AF26	VDD	←	←	←	
460	AE26	GND	←	←	←	
461	AD26	VDD	←	←	←	
462	AC26	VDD	←	←	←	
463	AB26	CBD60	←	←	←	I/O
464	AA26	VDD	←	←	←	
465	Y26	CBD50	←	←	←	I/O
466	W26	VDD	←	←	←	
467	V26	VDD	←	←	←	
468	U26	VDD	←	←	←	
469	T26	VDD	←	←	←	
470	R26	CBA07	←	←	←	O
471	P26	VDD	←	←	←	
472	N26	CBD43	←	←	←	I/O
473	M26	VDD	←	←	←	
474	L26	CBD33	←	←	←	I/O
475	K26	VDD	←	←	←	
476	J26	VDD	←	←	←	
477	H26	VDD	←	←	←	
478	G26	CBD17	←	←	←	I/O
479	F26	GND	←	←	←	
480	E26	VDD	←	←	←	

(13/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
481	E25	VDD	←	←	←	
482	E24	VDD	←	←	←	
483	E23	VDD	←	←	←	
484	E22	RXDATA001	RXDATA001	RXDATA001	RXDATA001	I
485	E21	VDD	←	←	←	
486	E20	RXADDR00	RXADDR00	RXADDR0A0	RXADDR00	O
487	E19	VDD	←	←	←	
488	E18	VDD	←	←	←	
489	E17	VDD	←	←	←	
490	E16	VDD	←	←	←	
491	E15	RXDATA202	RXDATA010	RXDATA010	RXDATA010	I
492	E14	VDD	←	←	←	
493	E13	RXADDR22	IC	RXADDR0B2	IC	O
494	E12	VDD	←	←	←	
495	E11	VDD	←	←	←	
496	E10	VDD	←	←	←	
497	E09	HCLK	←	←	←	I
498	E08	VDD	←	←	←	
499	E07	VDD	←	←	←	
500	E06	IC	←	←	←	
501	F06	GND	←	←	←	
502	G06	AD23	←	←	←	I/O
503	H06	GND	←	←	←	
504	J06	AD13	←	←	←	I/O
505	K06	GND	←	←	←	
506	L06	AD03	←	←	←	I/O
507	M06	GND	←	←	←	
508	N06	VDD	←	←	←	
509	P06	GND	←	←	←	
510	R06	GND	←	←	←	
511	T06	GND	←	←	←	
512	U06	GND	←	←	←	
513	V06	HTD27	←	←	←	I/O
514	W06	GND	←	←	←	
515	Y06	HTD18	←	←	←	I/O
516	AA06	GND	←	←	←	
517	AB06	HTD09	←	←	←	I/O
518	AC06	GND	←	←	←	
519	AD06	VDD	←	←	←	
520	AE06	GND	←	←	←	

(14/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
521	AE07	VDD	←	←	←	
522	AE08	GND	←	←	←	
523	AE09	RXDATA304	RXDATA112	RXDATA112	RXDATA112	I
524	AE10	GND	←	←	←	
525	AE11	RXADDR33	IC	RXADDR1B3	IC	O
526	AE12	GND	←	←	←	
527	AE13	GND	←	←	←	
528	AE14	GND	←	←	←	
529	AE15	GND	←	←	←	
530	AE16	GND	←	←	←	
531	AE17	GND	←	←	←	
532	AE18	CG	RXCLAV1[1]	CG	CG	I
533	AE19	GND	←	←	←	
534	AE20	CG	TXCLAV1[1]	CG	CG	I
535	AE21	GND	←	←	←	
536	AE22	TXDATA100	TXDATA100	TXDATA100	TXDATA100	O
537	AE23	GND	←	←	←	
538	AE24	CBD78	←	←	←	I/O
539	AE25	GND	←	←	←	
540	AD25	CBD71	←	←	←	I/O
541	AC25	GND	←	←	←	
542	AB25	CBD61	←	←	←	I/O
543	AA25	GND	←	←	←	
544	Y25	CBD51	←	←	←	I/O
545	W25	GND	←	←	←	
546	V25	GND	←	←	←	
547	U25	GND	←	←	←	
548	T25	GND	←	←	←	
549	R25	GND	←	←	←	
550	P25	GND	←	←	←	
551	N25	CBD42	←	←	←	I/O
552	M25	GND	←	←	←	
553	L25	CBD32	←	←	←	I/O
554	K25	GND	←	←	←	
555	J25	CBD22	←	←	←	I/O
556	H25	GND	←	←	←	
557	G25	CBD12	←	←	←	I/O
558	F25	GND	←	←	←	
559	F24	CBD04	←	←	←	I/O
560	F23	GND	←	←	←	

(15/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
561	F22	RXDATA002	RXDATA002	RXDATA002	RXDATA002	I
562	F21	GND	←	←	←	
563	F20	RXADDR01	RXADDR01	RXADDR0A1	RXADDR01	O
564	F19	GND	←	←	←	
565	F18	GND	←	←	←	
566	F17	GND	←	←	←	
567	F16	GND	←	←	←	
568	F15	RXDATA203	RXDATA011	RXDATA011	RXDATA011	I
569	F14	GND	←	←	←	
570	F13	VDD	←	←	←	
571	F12	GND	←	←	←	
572	F11	TXDATA207	TXDATA015	TXDATA015	TXDATA015	O
573	F10	GND	←	←	←	
574	F09	MCS_B	←	←	←	I
575	F08	GND	←	←	←	
576	F07	GND	←	←	←	

2.3 端子機能

μ PD98412 は 3.3V 動作デバイスですが、5V TTL インタフェースを持つ PHY デバイス、CPU やメモリと直接接続可能です。

2.3.1 パワー・サプライ

表 2 - 1 パワー・サプライ

端子名	端子番号	I/O	機能
VDD	20, 25, 31, 35, 39, 43, 57, 61, 64, 67, 72, 78, 81, 86, 87, 89, 94, 96, 112, 119, 129, 147, 152, 160, 161, 169, 230, 232, 240, 243, 283, 290, 293, 308, 315, 324, 325, 329, 332, 337, 342, 353, 360, 371, 376, 383, 393, 398, 406, 417, 418, 420, 422, 424, 426, 427, 429, 431, 433, 435, 436, 438, 441, 443, 445 - 448, 450, 452 - 456, 458, 459, 461, 462, 464, 466 - 469, 471, 473, 475 - 477, 480 - 483, 485, 487 - 490, 492, 494 - 496, 498, 499, 508, 519, 521, 570	-	+ 3.3 V \pm 5% の電源を供給する端子です。
GND	2, 6, 9, 14, 26, 32, 37, 58, 60, 84, 101, 110, 113, 143, 144, 156, 162, 173, 183, 196, 215, 233, 241, 244, 255, 256, 265, 280, 282, 291, 304, 305, 307, 313, 314, 323, 327, 330, 339, 341, 352, 364, 365, 367, 368, 370, 375, 378, 385, 387, 388, 390, 394, 396, 401, 410, 413, 425, 434, 440, 444, 460, 479, 501, 503, 505, 507, 509 - 512, 514, 516, 518, 520, 522, 524, 526 - 531, 533, 535, 537, 539, 541, 543, 545 - 550, 552, 554, 556, 558, 560, 562, 564 - 567, 569, 571, 573, 575, 576	-	グランド端子です。

2.3.2 UTOPIA インタフェース

μ PD98412 は、PHY レイヤと ATM レイヤ間のインタフェースとして UTOPIA Level 2 (セル・レベル転送) を採用しています。各 polling mode により記号、端子番号、機能が異なります。

(1) 8-bit 12-PHY Polling Mode / 15-PHY Polling Mode

表 2 - 2 受信インタフェース信号 (1/2)

端子名	端子番号	I/O	機能
RXADDR03 -RXADDR00	205, 206, 563, 486	O	受信インタフェース 0 番のマルチ PHY 選択アドレス RXADDR03 が MSB です。
RXDATA007 -RXDATA000	303, 397, 92, 202, 93, 561, 484, 203	I	受信インタフェース 0 番のセル・データ入力 PHY レイヤ・デバイスから 8 ビット単位で入力します。 μ PD98412 は UCLK0 の立ち上がりエッジに同期してデータを読み込みます。RXDATA007 が MSB です。
RXSOC0	306	I	受信インタフェース 0 番のセル転送スタート信号 PHY レイヤ・デバイスからセル・データの先頭に同期して入力される信号です。
RXENB0_B	204	O	受信インタフェース 0 番の転送イネーブル信号 μ PD98412 が次のクロック・サイクルで受信可能であることを PHY レイヤ・デバイスに示します。
RXCLAV0	95	I	受信インタフェース 0 番のセル転送有効信号 PHY レイヤ・デバイスから、 μ PD98412 に転送するセルが 1 セル以上存在することを通知する信号を入力します。
UCLK0	399	I	受信インタフェース 0 番の UTOPIA クロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行います。
RXADDR13 -RXADDR10	266, 50, 363, 267	O	受信インタフェース 1 番のマルチ PHY 選択アドレス RXADDR13 が MSB です。
RXDATA107 -RXDATA100	158, 263, 449, 46, 159, 264, 361, 47	I	受信インタフェース 1 番のセル・データ入力 PHY レイヤ・デバイスから 8 ビット単位で入力します。 μ PD98412 は UCLK1 の立ち上がりエッジに同期してデータを読み込みます。RXDATA107 が MSB です。
RXSOC1	451	I	受信インタフェース 1 番のセル転送スタート信号 PHY レイヤ・デバイスからセル・データの先頭に同期して入力される信号です。
RXENB1_B	362	O	受信インタフェース 1 番の転送イネーブル信号 μ PD98412 が次のクロック・サイクルで受信可能であることを PHY レイヤ・デバイスに示します。
RXCLAV1	49	I	受信インタフェース 1 番のセル転送有効信号 PHY レイヤ・デバイスから、 μ PD98412 に転送するセルが 1 セル以上存在することを通知する信号を入力します。
UCLK1	48	I	受信インタフェース 1 番の UTOPIA クロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行います。

表 2 - 2 受信インタフェース信号 (2/2)

端子名	端子番号	I/O	機 能
RXADDR23 -RXADDR20	408, 493, 107, 316	O	受信インタフェース 2 番のマルチ PHY 選択アドレス RXADDR23 が MSB です。
RXDATA207 -RXDATA200	405, 312, 103, 212, 568, 491, 104, 213	I	受信インタフェース 2 番のセル・データ入力 PHY レイヤ・デバイスから 8 ビット単位で入力します。 μ PD98412 は UCLK2 の立ち上がりエッジに同期してデータを読み込みます。RXDATA207 が MSB です。
RXSOC2	214	I	受信インタフェース 2 番のセル転送スタート信号 PHY レイヤ・デバイスからセル・データの先頭に同期して入力される信号です。
RXENB2_B	105	O	受信インタフェース 2 番の転送イネーブル信号 μ PD98412 が次のクロック・サイクルで受信可能であることを PHY レイヤ・デバイスに示します。
RXCLAV2	106	I	受信インタフェース 2 番のセル転送有効信号 PHY レイヤ・デバイスから、 μ PD98412 に転送するセルが 1 セル以上存在することを通知する信号を入力します。
UCLK2	407	I	受信インタフェース 2 番の UTOPIA クロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行います。
RXADDR33 -RXADDR30	525, 355, 258, 153	O	受信インタフェース 3 番のマルチ PHY 選択アドレス RXADDR33 が MSB です。
RXDATA307 -RXDATA300	34, 148, 254, 523, 442, 149, 36, 150	I	受信インタフェース 3 番のセル・データ入力 PHY レイヤ・デバイスから 8 ビット単位で入力します。 μ PD98412 は UCLK3 の立ち上がりエッジに同期してデータを読み込みます。RXDATA307 が MSB です。
RXSOC3	257	I	受信インタフェース 3 番のセル転送スタート信号 PHY レイヤ・デバイスからセル・データの先頭に同期して入力される信号です。
RXENB3_B	151	O	受信インタフェース 3 番の転送イネーブル信号 μ PD98412 が次のクロック・サイクルで受信可能であることを PHY レイヤ・デバイスに示します。
RXCLAV3	38	I	受信インタフェース 3 番のセル転送有効信号 PHY レイヤ・デバイスから、 μ PD98412 に転送するセルが 1 セル以上存在することを通知する信号を入力します。
UCLK3	354	I	受信インタフェース 3 番の UTOPIA クロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行います。

表 2 - 3 送信インタフェース信号 (1/2)

端子名	端子番号	I/O	機 能
TXADDR03 -TXADDR00	97, 207, 98, 402	O	送信インタフェース 0 番のマルチ PHY 選択アドレス TXADDR03 が MSB です。
TXDATA007 -TXDATA000	310, 209, 100, 404, 311, 210, 102, 211	O	送信インタフェース 0 番のセル・データ出力 PHY レイヤ・デバイスへ 8 ビット単位で出力します。 μPD98412 は UCLK0 の立ち上がりエッジに同期してデータを出力 します。TXDATA007 が MSB です。 (3 ステート・バッファ)
TXSOC0	99	O	送信インタフェース 0 番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3 ステート・バッファ)
TXENB0_B	403	O	送信インタフェース 0 番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることを PHY レイヤ・デバイスに示します。
TXCLAV0	208	I	送信インタフェース 0 番のセル転送有効信号 現在のセル転送終了後、次の 1 セル・データをすべて受け取れるこ とを通知する信号を入力します。
TXADDR13 -TXADDR10	163, 51, 268, 164	O	送信インタフェース 1 番のマルチ PHY 選択アドレス TXADDR13 が MSB です。
TXDATA107 -TXDATA100	53, 366, 270, 166, 54, 271, 167, 536	O	送信インタフェース 1 番のセル・データ出力 PHY レイヤ・デバイスへ 8 ビット単位で出力します。 μPD98412 は UCLK1 の立ち上がりエッジに同期してデータを出力 します。TXDATA107 が MSB です。 (3 ステート・バッファ)
TXSOC1	269	O	送信インタフェース 1 番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3 ステート・バッファ)
TXENB1_B	165	O	送信インタフェース 1 番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることを PHY レイヤ・デバイスに示します。
TXCLAV1	52	I	送信インタフェース 1 番のセル転送有効信号 現在のセル転送終了後、次の 1 セル・データをすべて受け取れるこ とを通知する信号を入力します。

表 2 - 3 送信インタフェース信号 (2/2)

端子名	端子番号	I/O	機 能
TXADDR23 -TXADDR20	216, 108, 409, 317	O	送信インタフェース 2 番のマルチ PHY 選択アドレス TXADDR23 が MSB です。
TXDATA207 -TXDATA200	572, 411, 319, 219, 111, 412, 320, 220	O	送信インタフェース 2 番のセル・データ出力 PHY レイヤ・デバイスへ 8 ビット単位で出力します。 μPD98412 は UCLK2 の立ち上がりエッジに同期してデータを出力 します。TXDATA207 が MSB です。 (3 ステート・バッファ)
TXSOC2	318	O	送信インタフェース 2 番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3 ステート・バッファ)
TXENB2_B	218	O	送信インタフェース 2 番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることを PHY レイヤ・デバイスに示します。
TXCLAV2	109	I	送信インタフェース 2 番のセル転送有効信号 現在のセル転送終了後、次の 1 セル・データをすべて受け取れるこ とを通知する信号を入力します。
TXADDR33 -TXADDR30	40, 356, 259, 154	O	送信インタフェース 3 番のマルチ PHY 選択アドレス TXADDR33 が MSB です。
TXDATA307 -TXDATA300	42, 358, 261, 44, 157, 359, 262, 45	O	送信インタフェース 3 番のセル・データ出力 PHY レイヤ・デバイスへ 8 ビット単位で出力します。 μPD98412 は、立ち上がりエッジに同期してデータを出力します。 TXDATA307 が MSB です。 (3 ステート・バッファ)
TXSOC3	260	O	送信インタフェース 3 番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3 ステート・バッファ)
TXENB3_B	155	O	送信インタフェース 3 番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることを PHY レイヤ・デバイスに示します。
TXCLAV3	357	I	送信インタフェース 3 番のセル転送有効信号 現在のセル転送終了後、次の 1 セル・データをすべて受け取れるこ とを通知する信号を入力します。

(2) 16-bit Multiplexed Status Polling Mode

表 2 - 4 受信インタフェース信号 (1/2)

端子名	端子番号	I/O	機能
RXADDR04 -RXADDR00	316, 205, 206, 563, 486	O	受信インタフェース 0 番のマルチ PHY 選択アドレス RXADDR04 が MSB です。
RXDATA015 -RXDATA000	405, 312, 103, 212, 568, 491, 104, 213, 303, 397, 92, 202, 93, 561, 484, 203	I	受信インタフェース 0 番のセル・データ入力 PHY レイヤ・デバイスから 16 ビット単位で入力します。 μ PD98412 は UCLK0 の立ち上がりエッジに同期してデータを読み 込みます。RXDATA015 が MSB です。
RXSOC0	306	I	受信インタフェース 0 番のセル転送スタート信号 PHY レイヤ・デバイスからセル・データの先頭 に同期して入力さ れる信号です。
RXENB0_B	204	O	受信インタフェース 0 番の転送イネーブル信号 μ PD98412 が次のクロック・サイクルで受信可能であることを PHY レイヤ・デバイスに示します。
RXCLAV0[0] -RXCLAV0[3]	95, 400, 106, 214	I	受信インタフェース 0 番のセル転送有効信号 PHY レイヤ・デバイスから、 μ PD98412 に転送するセルが 1 セル 以上存在することを通知する信号を入力します。接続する PHY の PHY アドレスにより、接続する端子 (RXCLAV0[0]-[3]) が異なっ てきます。詳細は、3.7 Multiplexed status polling モードを参照し てください。
UCLK0	399	I	受信インタフェース 0 番の UTOPIA クロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行 います。

表 2 - 4 受信インタフェース信号 (2/2)

端子名	端子番号	I/O	機能
RXADDR14 -RXADDR10	153, 266, 50, 363, 267	O	受信インタフェース 1 番のマルチ PHY 選択アドレス RXADDR14 が MSB です。
RXDATA115 -RXDATA100	34, 148, 254, 523, 442, 149, 36, 150, 158, 263, 449, 46, 159, 264, 361, 47	I	受信インタフェース 1 番のセル・データ入力 PHY レイヤ・デバイスから 16 ビット単位で入力します。 μ PD98412 は UCLK1 の立ち上がりエッジに同期してデータを読み込みます。RXDATA115 が MSB です。
RXSOC1	451	I	受信インタフェース 1 番のセル転送スタート信号 PHY レイヤ・デバイスからセル・データの先頭に同期して入力される信号です。
RXENB1_B	362	O	受信インタフェース 1 番の転送イネーブル信号 μ PD98412 が次のクロック・サイクルで受信可能であることを PHY レイヤ・デバイスに示します。
RXCLAV1[0] -RXCLAV1[3]	49, 532, 38, 257	I	受信インタフェース 1 番のセル転送有効信号 PHY レイヤ・デバイスから、 μ PD98412 に転送するセルが 1 セル以上存在することを通知する信号を入力します。接続する PHY の PHY アドレスにより、接続する端子 (RXCLAV1[0]-[3]) が異なってきます。詳細は、 3.7 Multiplexed Status Polling モード を参照してください。
UCLK1	48	I	受信インタフェース 1 番の UTOPIA クロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行います。

表 2 - 5 送信インタフェース信号

端子名	端子番号	I/O	機 能
TXADDR04 -TXADDR00	317, 97, 207, 98, 402	O	送信インタフェース 0 番のマルチ PHY 選択アドレス TXADDR04 が MSB です。
TXDATA015 -TXDATA000	572, 411, 319, 219, 111, 412, 320, 220, 310, 209, 100, 404, 311, 210, 102, 211	O	送信インタフェース 0 番のセル・データ出力 PHY レイヤ・デバイスへ 16 ビット単位で出力します。 μPD98412 は UCLK0 の立ち上がりエッジに同期してデータを出力 します。TXDATA015 が MSB です。 (3 ステート・バッファ)
TXSOC0	99	O	送信インタフェース 0 番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3 ステート・バッファ)
TXENB0_B	403	O	送信インタフェース 0 番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることを PHY レイヤ・デバイスに示します。
TXCLAV0[0] -TXCLAV0[3]	208, 309, 109, 217	I	送信インタフェース 0 番のセル転送有効信号 現在のセル転送終了後、次の 1 セル・データをすべて受け取れるこ とを通知する信号を入力します。接続する PHY の PHY アドレスに より、接続する端子 (TXCLAV0[0]-[3]) が異なってきます。詳細は、 3.7 Multiplexed Status Polling モ - ド を参照してください。
TXADDR14 -TXADDR10	154, 163, 51, 268, 164	O	送信インタフェース 1 番のマルチ PHY 選択アドレス TXADDR14 が MSB です。
TXDATA115 -TXDATA100	42, 358, 261, 44, 157, 359, 262, 45, 53, 366, 270, 166, 54, 271, 167, 536	O	送信インタフェース 1 番のセル・データ出力 PHY レイヤ・デバイスへ 16 ビット単位で出力します。 μPD98412 は UCLK1 の立ち上がりエッジに同期してデータを出力 します。TXDATA115 が MSB です。 (3 ステート・バッファ)
TXSOC1	269	O	送信インタフェース 1 番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3 ステート・バッファ)
TXENB1_B	165	O	送信インタフェース 1 番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることを PHY レイヤ・デバイスに示します。
TXCLAV1[0] -TXCLAV1[3]	52, 534, 357, 41	I	送信インタフェース 1 番のセル転送有効信号 現在のセル転送終了後、次の 1 セル・データをすべて受け取れるこ とを通知する信号を入力します。接続する PHY の PHY アドレスに より、接続する端子 (TXCLAV1[0]-[3]) が異なってきます。詳細は、 3.7 Multiplexed Status Polling モ - ド を参照してください。

(3) 16-bit 2-Group Weighted Polling Mode

表 2 - 6 受信インタフェース信号 (1/2)

端子名	端子番号	I/O	機 能
RXADDR0A3 -RXADDR0A0	205, 206, 563, 486	O	受信インタフェース 0 番, グループ A のマルチ PHY 選択アドレス RXADDR0A3 が MSB です。
RXADDR0B3 -RXADDR0B0	408, 493, 107, 316	O	受信インタフェース 0 番, グループ B のマルチ PHY 選択アドレス RXADDR0B3 が MSB です。
RXENB0A_B	204	O	受信インタフェース 0 番, グループ A の転送イネーブル信号 μ PD98412 が次のクロック・サイクルで受信可能であることを PHY レイヤ・デバイスに示します。
RXENB0B_B	105	O	受信インタフェース 0 番, グループ B の転送イネーブル信号 μ PD98412 が次のクロック・サイクルで受信可能であることを PHY レイヤ・デバイスに示します。
RXCLAV0A	95	I	受信インタフェース 0 番, グループ A のセル転送有効信号 PHY レイヤ・デバイスから, μ PD98412 に転送するセルが 1 セル以 上存在することを通知する信号を入力します。
RXCLAV0B	106	I	受信インタフェース 0 番, グループ B のセル転送有効信号 PHY レイヤ・デバイスから, μ PD98412 に転送するセルが 1 セル以 上存在することを通知する信号を入力します。
RXDATA015 -RXDATA000	405, 312, 103, 212, 568, 491, 104, 213, 303, 397, 92, 202, 93, 561, 484, 203	I	受信インタフェース 0 番のセル・データ入力 PHY レイヤ・デバイスから 16 ビット単位で入力します。 μ PD98412 は UCLK0 の立ち上がりエッジに同期してデータを読み 込みます。RXDATA015 が MSB です。
RXSOC0	306	I	受信インタフェース 0 番のセル転送スタート信号 PHY レイヤ・デバイスからセル・データの先頭に同期して入力さ れる信号です。
UCLK0	399	I	受信インタフェース 0 番の UTOPIA クロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行 います。

表 2 - 6 受信インタフェース信号 (2/2)

端子名	端子番号	I/O	機 能
RXADDR1A3 -RXADDR1A0	266, 50, 363, 267	O	受信インタフェース 1 番, グループ A のマルチ PHY 選択アドレス RXADDR1A3 が MSB です。
RXADDR1B3 -RXADDR1B0	525, 355, 258, 153	O	受信インタフェース 1 番, グループ B のマルチ PHY 選択アドレス RXADDR1B3 が MSB です。
RXENB1A_B	362	O	受信インタフェース 1 番, グループ A の転送イネーブル信号 μ PD98412 が次のクロック・サイクルで受信可能であることを PHY レイヤ・デバイスに示します。
RXENB1B_B	151	O	受信インタフェース 1 番, グループ B の転送イネーブル信号 μ PD98412 が次のクロック・サイクルで受信可能であることを PHY レイヤ・デバイスに示します。
RXCLAV1A	49	I	受信インタフェース 1 番, グループ A のセル転送有効信号 PHY レイヤ・デバイスから, μ PD98412 に転送するセルが 1 セル以 上存在することを通知する信号を入力します。
RXCLAV1B	38	I	受信インタフェース 1 番, グループ B のセル転送有効信号 PHY レイヤ・デバイスから, μ PD98412 に転送するセルが 1 セル以 上存在することを通知する信号を入力します。
RXDATA115 -RXDATA100	34, 148, 254, 523, 442, 149, 36, 150, 158, 263, 449, 46, 159, 264, 361, 47	I	受信インタフェース 1 番のセル・データ入力 PHY レイヤ・デバイスから 16 ビット単位で入力します。 μ PD98412 は UCLK1 の立ち上がりエッジに同期してデータを読み 込みます。RXDATA115 が MSB です。
RXSOC1	451	I	受信インタフェース 1 番のセル転送スタート信号 PHY レイヤ・デバイスからセル・データの先頭 に同期して入力さ れる信号です。
UCLK1	48	I	受信インタフェース 1 番の UTOPIA クロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行 います。

表 2 - 7 送信インタフェース信号 (1/2)

端子名	端子番号	I/O	機 能
TXADDR0A3 -TXADDR0A0	97, 207, 98, 402	O	送信インタフェース 0 番, グループ A のマルチ PHY 選択アドレス TXADDR0A3 が MSB です。
TXADDR0B3 -TXADDR0B0	216, 108, 409, 317	O	送信インタフェース 0 番, グループ B のマルチ PHY 選択アドレス TXADDR0B3 が MSB です。
TXENB0A_B	403	O	送信インタフェース 0 番, グループ A の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることを PHY レイヤ・デバイスに示します。
TXENB0B_B	218	O	送信インタフェース 0 番, グループ B の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることを PHY レイヤ・デバイスに示します。
TXCLAV0A	208	I	送信インタフェース 0 番, グループ A のセル転送有効信号 現在のセル転送終了後, 次の 1 セル・データをすべて受け取れるこ とを通知する信号を入力します。
TXCLAV0B	109	I	送信インタフェース 0 番, グループ B のセル転送有効信号 現在のセル転送終了後, 次の 1 セル・データをすべて受け取れるこ とを通知する信号を入力します。
TXDATA015 -TXDATA000	572, 411, 319, 219, 111, 412, 320, 220, 310, 209, 100, 404, 311, 210, 102, 211	O	送信インタフェース 0 番のセル・データ出力 PHY レイヤ・デバイスへ 16 ビット単位で出力します。 μPD98412 は UCLK0 の立ち上がりエッジに同期してデータを出力 します。TXDATA015 が MSB です。 (3 ステート・バッファ)
TXSOC0	99	O	送信インタフェース 0 番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3 ステート・バッファ)

表 2 - 7 送信インタフェース信号 (2/2)

端子名	端子番号	I/O	機 能
TXADDR1A3 -TXADDR1A0	163, 51, 268, 164	O	送信インタフェース 1 番, グループ A のマルチ PHY 選択アドレス TXADDR1A3 が MSB です。
TXADDR1B3 -TXADDR1B0	40, 356, 259, 154	O	送信インタフェース 1 番, グループ B のマルチ PHY 選択アドレス TXADDR1B3 が MSB です。
TXENB1A_B	165	O	送信インタフェース 1 番, グループ A の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることを PHY レイヤ・デバイスに示します。
TXENB1B_B	155	O	送信インタフェース 1 番, グループ B の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることを PHY レイヤ・デバイスに示します。
TXCLAV1A	52	I	送信インタフェース 1 番, グループ A のセル転送有効信号 現在のセル転送終了後, 次の 1 セル・データをすべて受け取れるこ とを通知する信号を入力します。
TXCLAV1B	357	I	送信インタフェース 1 番, グループ B のセル転送有効信号 現在のセル転送終了後, 次の 1 セル・データをすべて受け取れるこ とを通知する信号を入力します。
TXDATA115 -TXDATA100	42, 358, 261, 44, 157, 359, 262, 45, 53, 366, 270, 166, 54, 271, 167, 536	O	送信インタフェース 1 番のセル・データ出力 PHY レイヤ・デバイスへ 16 ビット単位で出力します。 μPD98412 は UCLK1 の立ち上がりエッジに同期してデータを出力 します。TXDATA115 が MSB です。 (3 ステート・バッファ)
TXSOC1	269	O	送信インタフェース 1 番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3 ステート・バッファ)

(4) 16-bit 1-Group Weighted Polling Mode

表 2 - 8 受信インタフェース信号

端子名	端子番号	I/O	機能
RXADDR04 -RXADDR00	316, 205, 206, 563, 486	O	受信インタフェース 0 番のマルチ PHY 選択アドレス RXADDR04 が MSB です。
RXDATA015 -RXDATA000	405, 312, 103, 212, 568, 491, 104, 213, 303, 397, 92, 202, 93, 561, 484, 203	I	受信インタフェース 0 番のセル・データ入力 PHY レイヤ・デバイスから 16 ビット単位で入力します。 μ PD98412 は UCLK0 の立ち上がりエッジに同期してデータを読み込みます。RXDATA015 が MSB です。
RXSOC0	306	I	受信インタフェース 0 番のセル転送スタート信号 PHY レイヤ・デバイスからセル・データの先頭に同期して入力される信号です。
RXENB0_B	204	O	受信インタフェース 0 番の転送イネーブル信号 μ PD98412 が次のクロック・サイクルで受信可能であることを PHY レイヤ・デバイスに示します。
RXCLAV0	95	I	受信インタフェース 0 番のセル転送有効信号 PHY レイヤ・デバイスから、 μ PD98412 に転送するセルが 1 セル以上存在することを通知する信号を入力します。
UCLK0	399	I	受信インタフェース 0 番の UTOPIA クロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行います。
RXADDR14 -RXADDR10	153, 266, 50, 363, 267	O	受信インタフェース 1 番のマルチ PHY 選択アドレス RXADDR14 が MSB です。
RXDATA115 -RXDATA100	34, 148, 254, 523, 442, 149, 36, 150, 158, 263, 449, 46, 159, 264, 361, 47	I	受信インタフェース 1 番のセル・データ入力 PHY レイヤ・デバイスから 16 ビット単位で入力します。 μ PD98412 は UCLK1 の立ち上がりエッジに同期してデータを読み込みます。RXDATA115 が MSB です。
RXSOC1	451	I	受信インタフェース 1 番のセル転送スタート信号 PHY レイヤ・デバイスからセル・データの先頭に同期して入力される信号です。
RXENB1_B	362	O	受信インタフェース 1 番の転送イネーブル信号 μ PD98412 が次のクロック・サイクルで受信可能であることを PHY レイヤ・デバイスに示します。
RXCLAV1	49	I	受信インタフェース 1 番のセル転送有効信号 PHY レイヤ・デバイスから、 μ PD98412 に転送するセルが 1 セル以上存在することを通知する信号を入力します。
UCLK1	48	I	受信インタフェース 1 番の UTOPIA クロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行います。

表 2 - 9 送信インタフェース信号

端子名	端子番号	I/O	機 能
TXADDR04 -TXADDR00	317, 97, 207, 98, 402	O	送信インタフェース 0 番のマルチ PHY 選択アドレス TXADDR04 が MSB です。
TXDATA015 -TXDATA000	572, 411, 319, 219, 111, 412, 320, 220, 310, 209, 100, 404, 311, 210, 102, 211	O	送信インタフェース 0 番のセル・データ出力 PHY レイヤ・デバイスへ 16 ビット単位で出力します。 μPD98412 は UCLK0 の立ち上がりエッジに同期してデータを出力 します。TXDATA015 が MSB です。 (3 ステート・バッファ)
TXSOC0	99	O	送信インタフェース 0 番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3 ステート・バッファ)
TXENB0_B	403	O	送信インタフェース 0 番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることを PHY レイヤ・デバイスに示します。
TXCLAV0	208	I	送信インタフェース 0 番のセル転送有効信号 現在のセル転送終了後, 次の 1 セル・データをすべて受け取れるこ とを通知する信号を入力します。
TXADDR14 -TXADDR10	154, 163, 51, 268, 164	O	送信インタフェース 1 番のマルチ PHY 選択アドレス TXADDR14 が MSB です。
TXDATA115 -TXDATA100	42, 358, 261, 44, 157, 359, 262, 45, 53, 366, 270, 166, 54, 271, 167, 536	O	送信インタフェース 1 番のセル・データ出力 PHY レイヤ・デバイスへ 16 ビット単位で出力します。 μPD98412 は UCLK1 の立ち上がりエッジに同期してデータを出力 します。TXDATA115 が MSB です。 (3 ステート・バッファ)
TXSOC1	269	O	送信インタフェース 1 番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3 ステート・バッファ)
TXENB1_B	165	O	送信インタフェース 1 番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることを PHY レイヤ・デバイスに示します。
TXCLAV1	52	I	送信インタフェース 1 番のセル転送有効信号 現在のセル転送終了後, 次の 1 セル・データをすべて受け取れるこ とを通知する信号を入力します。

2.3.3 メモリ・インタフェース信号

μPD98412 は、2 種類のメモリ・インタフェースを持ちます。一方の HTT&コントロール・メモリにはセルのヘッダ変換テーブルとセル・バッファへのアドレス・ポインタを格納し、もう一方のセル・バッファ・メモリにはセル・データを格納します。表 2 - 10 に HTT&コントロール・メモリのインタフェース信号を示します。また、表 2 - 11 にセル・バッファ・メモリのインタフェース信号を示します。

表 2 - 10 HTT & コントロール・メモリ・インタフェース信号

端子名	端子番号	I/O	機能
HTA17 -HTA00	11, 333, 234, 127, 12, 334, 235, 128, 13, 335, 236, 15, 130, 336, 237, 16, 131, 238	O	アドレス出力
HTD31 -HTD00	18, 133, 19, 430, 513, 134, 135, 21, 242, 136, 22, 137, 432, 515, 23, 138, 343, 245, 139, 344, 246, 140, 517, 345, 141, 27, 28, 346, 248, 142, 29, 249	I/O	データ入出力バス (32-bit / word 単位) (プルダウン抵抗付き)
HTP3 -HTP0	338, 340, 24, 247	I/O	パリティ入出力 (プルダウン抵抗付き)
HTCS1_B, HTCS0_B	428, 17	O	チップ・セレクト信号
HTWE_B	132	O	ライト・イネーブル信号
HTOE_B	239	O	出力イネーブル信号

表2-11 セル・バッファ・メモリ・インタフェース信号

端子名	端子番号	I/O	機能
CBA17 -CBA00	71, 381, 286, 73, 184, 382, 287, 74, 185, 288, 470, 75, 186, 289, 384, 76, 187, 77	○	アドレス出力
CBD91 -CBD00	145, 251, 349, 439, 55, 272, 168, 56, 457, 369, 273, 170, 274, 538, 59, 171, 275, 172, 276, 372, 540, 373, 277, 62, 174, 278, 374, 63, 175, 279, 542, 463, 176, 65, 177, 281, 377, 66, 178, 179, 544, 465, 68, 180, 69, 379, 284, 181, 472, 551, 188, 189, 79, 386, 292, 190, 80, 191, 474, 553, 294, 192, 82, 389, 295, 193, 83, 296, 194, 555, 391, 297, 195, 85, 478, 392, 298, 197, 299, 557, 88, 198, 300, 199, 301, 395, 90, 559, 302, 200, 91, 201	I/O	データ入出力バス (92-bit / word 単位) (プルダウン抵抗付き)
CBCS1_B, CBCS0_B	70, 380	○	チップ・セレクト信号
CBWE_B	285	○	ライト・イネーブル信号
CBOE_B	182	○	出力イネーブル信号

2.3.4 マイクロプロセッサ・インタフェース信号

μPD98412 は、32 ビット・アドレス・データ多重同期バスをマイクロプロセッサ・インタフェースとしてサポートしています。

表 2 - 12 マイクロプロセッサ・インタフェース信号

端子名	端子番号	I/O	機能
IOCS_B	221	I	I/O チップ・セレクト信号
MCS_B	574	I	メモリ・チップ・セレクト信号
INT	414	O	割り込み要求信号
HCLK	497	I	マイクロプロセッサ・バス・クロック (8 ~ 33 MHz)
AD31-AD0	416, 1, 117, 225, 118, 226, 326, 3, 502, 227, 419, 4, 120, 228, 328, 5, 121, 229, 504, 421, 122, 7, 123, 231, 331, 8, 124, 125, 506, 423, 10, 126	I/O	アドレス/データ・バス
R/W_B	114	I	リード/ライト選択信号
UWE_B	115	I	上位ワード・イネーブル信号
RDY_B	322	O	レディ信号 (3 ステート・バッファ)

2.3.5 JTAG

表 2 - 13 JTAG インタフェース信号

端子名	端子番号	I/O	機能
JDI	252	I	JTAG シリアル・データ入力
JDO	146	O	JTAG シリアル・データ出力 (通常時, オープン) (3 ステート・バッファ)
JCK	33	I	JTAG シリアル・クロック入力
JMS	253	I	JTAG モード・セレクト信号
JRST_B	351	I	JTAG リセット信号

2.3.6 その他

表 2 - 14 その他のインタフェース信号

端子名	端子番号	I/O	機能
SWCLK	437	I	システム・クロック入力 (8 ~ 40 MHz)
RESET_B	347	I	ハードウェア・リセット信号 (シュミット入力バッファ)
CG	116, 222, 223, 321, 415	I	常時, GND に接続
PU	30	I	常時, V _{DD} にプルアップ
IC	224, 250, , 348, , 350, , 500	O	内部接続信号 (常時, オープン)

2.4 未使用端子の処理方法

表 2 - 15 未使用端子の処理方法

端子名	I/O	未使用時の推奨接続方法
RXDATA * * *	I	GND に接続してください。
RXSOC *	I	GND に接続してください。
RXCLAV *	I	GND に接続してください。
UCLK *	I	GND に接続してください。
TXCLAV *	I	GND に接続してください。
HTD31-HTD00	I/O (プルダウン抵抗付き)	オープンにしてください。
HTP3-HTP0	I/O (プルダウン抵抗付き)	オープンにしてください。
CBD91-CBD00	I/O (プルダウン抵抗付き)	オープンにしてください。
IOCS_B	I	V _{DD} にプルアップしてください。
MCS_B	I	V _{DD} にプルアップしてください。
AD31-AD00	I/O	V _{DD} にプルアップしてください。
R/W_B	I	V _{DD} にプルアップしてください。
UWE_B	I	V _{DD} にプルアップしてください。
JDI	I	GND に接続してください。
JCK	I	GND に接続してください。
JMS	I	GND に接続してください。
JRST_B	I	GND に接続してください。
全出力端子	O	オープンにしてください。

2.5 リセット時の端子の状態

表 2 - 16 リセット時の端子の状態

端子名	I/O	リセット時の端子状態
RXADDR *	0	ハイ
RXENB *_B	0	ハイ
TXADDR *	0	ハイ
TXDATA * * *	0 (3 ステート・バッファ)	Hi-Z
TXSOC *	0 (3 ステート・バッファ)	Hi-Z
TXENB *_B	0	ハイ
HTA17-HTA00	0	ロウ
HTCS1_B, HTCS0_B	0	ハイ
HTWE_B	0	ハイ
HTOE_B	0	ハイ
HTP3-HTP0	I/O (プルダウン抵抗付き)	ロウ
HTD31-HTD00	I/O (プルダウン抵抗付き)	ロウ
CBD91-CBD00	I/O (プルダウン抵抗付き)	ロウ
CBA17-CBA00	0	ロウ
CBOE_B	0	ハイ
CBWE_B	0	ハイ
CBCS1_B, CBCS0_B	0	ハイ
INT	0	ロウ
RDY_B	0 (3 ステート・バッファ)	Hi-Z
AD31-AD00	I/O	Hi-Z
JDO	0 (3 ステート・バッファ)	Hi-Z

第3章 機能概要

μ PD98412 は、ヘッダ変換機能を持つ共有バッファ方式ノンブロッキング型 ATM スイッチです。回線インタフェースは UTOPIA Level 2 に準拠しており、マルチ PHY 接続により速度の異なる回線を 30 回線まで接続できます。スイッチング時には外部 SRAM に設定されるヘッダ変換テーブルを参照して、同時に最大 64K コネクション（メモリ最大実装時）までヘッダ変換を行うことができます。共有バッファには外部 SRAM を使用し、最大 51.2K セル（メモリ最大実装時）まで蓄えることができます。

また μ PD98412 では、EPD（Early Packet Discard）、PPD（Partial Packet Discard）、優先セル廃棄制御および ABR（Available Bit Rate）トラフィック制御による転送品質制御を行います。

3.1 UTOPIA インタフェース

μ PD98412 は、UTOPIA Level 2 に準拠した UTOPIA インタフェースを採用しています。サポートしているのは、シングル ATM-マルチ PHY、8 ビット・データ幅（8 ビット UTOPIA インタフェース）、および 16 ビット・データ幅（16 ビット UTOPIA インタフェース）です。どちらのインタフェースも、セル・レベル・ハンドシェイクのインタフェースをサポートしており、オクテット・レベル・ハンドシェイクはサポートしていません。

これらの 8 ビットおよび 16 ビット UTOPIA インタフェースは、次のモードにおいて動作します。

8 ビット UTOPIA インタフェース

- ◆ 12-PHY polling モード（ μ PD98410 互換モード、12-PHY まで接続可能）
- ◆ 15-PHY polling モード（15-PHY まで接続可能）

16 ビット UTOPIA インタフェース

- ◆ Multiplexed status polling モード（30-PHY まで接続可能）
- ◆ 2-group weighted polling モード（30-PHY まで接続可能）
- ◆ 1-group weighted polling モード（30-PHY まで接続可能）

μ PD98412 では 8-bit UTOPIA インタフェースを 2 ポート分使用して 16-bit UTOPIA インタフェースを構成します。また、8-bit UTOPIA インタフェースと 16-bit UTOPIA インタフェースの混在が可能です。したがって、次に示す構成が可能となります。

- ◆ 4 つの 8-bit UTOPIA インタフェース
- ◆ 2 つの 8-bit UTOPIA インタフェースと、1 つの 16-bit UTOPIA インタフェース
- ◆ 2 つの 16-bit UTOPIA インタフェース

16-bit UTOPIA インタフェースのポート 0 番は ,8-bit UTOPIA インタフェースのポート 0 番と 2 番を使用し , 16-bit UTOPIA インタフェースのポート 1 番は ,8-bit UTOPIA インタフェースのポート 1 番と 3 番を使用します。

3.1.1 ポーリング・モードの設定

ポーリング・モードの設定は , UTOPIA コンフィギュレーション・レジスタ (UTPCFG0-3) で行います。各 UTOPIA コンフィギュレーション・レジスタと , UTOPIA ポートの対応は , 次のようになっています。

設定レジスタ	8-bit UTOPIA I/F 使用時	16-bit UTOPIA I/F 使用時
UTPCFG0	UTOPIA8#0	UTOPIA16#0
UTPCFG1	UTOPIA8#1	UTOPIA16#1
UTPCFG2	UTOPIA8#2	未使用
UTPCFG3	UTOPIA8#3	未使用

UTPCFG0 , UTPCFG1 レジスタの BW ビットは , 8 ビット UTOPIA インタフェースと 16 ビット UTOPIA インタフェースの切り替えに使用します。

UTPCFG0-3 レジスタの NPC0-2 フィールドは , ポーリング・クラスの設定に使用します。ポーリング・クラスとは , ポーリングとセレクションの優先クラスのことです。ポーリング・クラスは , 1 つの UTOPIA インタフェースに速度の異なる PHY が接続されている場合に設定します。なお , ポーリングとセレクションの優先制御方法は , ポーリング・モードにより異なります。

μ PD98412 では , 電源投入時 , およびリセット直後は , 8-bit UTOPIA インタフェースの 12-PHY Polling モードになります。

3.1.2 クロック周波数の条件

μ PD98412 では , UTOPIA クロック周波数とシステム・クロック周波数は , 次の関係を守って設定してください。

8-bit UTOPIA I/F の 12-PHY ポーリング・モード時

システム・クロック周波数 $33/40 \times$ UTOPIA クロック周波数

他のポーリング・モード時

システム・クロック周波数 $33/50 \times$ UTOPIA クロック周波数

3.1.3 UTOPIA インタフェースの実効スループット

μPD98412 では、1 つの UTOPIA インタフェース当たりの実効スループットを次のように定義します。

1 UTOPIA 当たりの実効スループット =

$$\min(1 \text{ UTOPIA I/F 当たりの最大転送速度}, 1 \text{ UTOPIA I/F 当たりの内部処理速度})$$

8-bit UTOPIA I/F と 16-bit UTOPIA I/F の 1 UTOPIA 当たりの最大転送速度は、次の式により計算されます。

8-bit UTOPIA インタフェース

- Rx 側

1) UTPCFGn レジスタの UH ビットが"0"の場合 (X10 ライク・ハンドシェイク・モード)

12-PHY/15-PHY polling モード

$$1 \text{ UTOPIA 当たりの最大転送速度 [Mbps]} = \text{UTOPIA clock [MHz]} \times 8 \text{ [bits]} \times 53/54$$

2) UTPCFGn レジスタの UH ビットが"1"の場合 (X15 ハンドシェイク・モード)

15-PHY polling モード

$$1 \text{ UTOPIA 当たりの最大転送速度 [Mbps]} = \text{UTOPIA clock [MHz]} \times 8 \text{ [bits]} \times 53/56$$

- Tx 側

$$1 \text{ UTOPIA 当たりの最大転送速度 [Mbps]} = \text{UTOPIA clock [MHz]} \times 8 \text{ [bits]} \times 53/54$$

16-bit UTOPIA インタフェース

- Rx 側

1) UTPCFGn レジスタの UH ビットが"0"の場合 (X10 ライク・ハンドシェイク・モード)

$$1 \text{ UTOPIA 当たりの最大転送速度 [Mbps]} = \text{UTOPIA clock [MHz]} \times 8 \text{ [bits]} \times 53/28$$

2) UTPCFGn レジスタの UH ビットが"1"の場合 (X15 ハンドシェイク・モード)

$$1 \text{ UTOPIA 当たりの最大転送速度 [Mbps]} = \text{UTOPIA clock [MHz]} \times 8 \text{ [bits]} \times 53/30$$

- Tx 側

$$1 \text{ UTOPIA 当たりの最大転送速度 [Mbps]} = \text{UTOPIA clock [MHz]} \times 8 \text{ [bits]} \times 53/28$$

8-bit UTOPIA I/F と 16-bit UTOPIA I/F の 1 UTOPIA 当たりの内部処理速度は、次の式により計算されます。

8-bit UTOPIA インタフェース

$$1 \text{ UTOPIA 当たりの内部処理速度[Mbps]} = \text{system clock [MHz]} \times 8 \text{ [bits]} \times 53/44$$

16-bit UTOPIA インタフェース

$$1 \text{ UTOPIA 当たりの内部処理速度[Mbps]} = \text{system clock [MHz]} \times 8 \text{ [bits]} \times 53/22$$

μPD98412 では、1 つの UTOPIA インタフェースに接続される PHY のスループットの合計が、1 つの UTOPIA インタフェース当たりの実効スループットよりも小さくなるように使用してください。

3.2 ポーリング概要

μ PD98412 にセルが入力される際の流れは、次のようになります。

PHY がセルを保持しているかを問い合わせる（ポーリング）。

保持していればセル入力を行い、保持していなければポート・コンフィギュレーション・レジスタの設定により論理ポートにマッピングされた PHY の中で、次の PHY に対し問い合わせを行う。

また、出力キューからセルが出力されるまでの流れは、次のようになります。

各 PHY にセルを送信可能であるかを問い合わせる（ポーリング）。

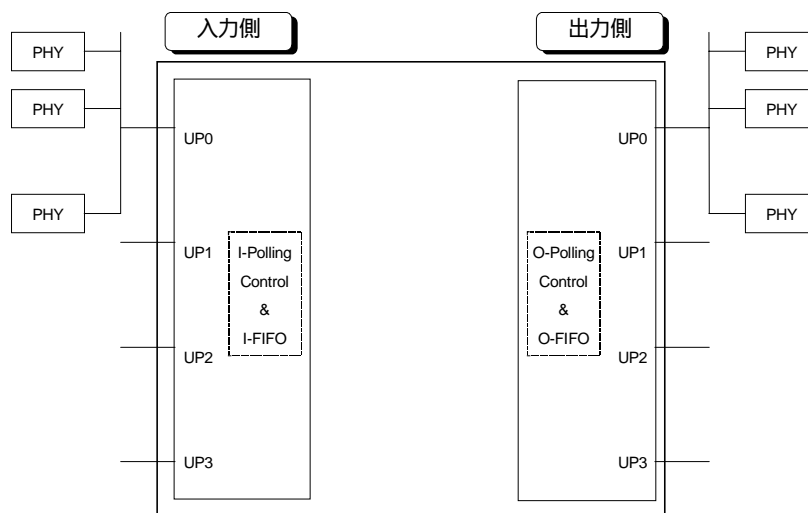
出力レート制御（シェーピング）、セル滞留情報および のポーリングの結果をもとに、どの論理出力ポートから出力するかを決定する。

決定された論理出力ポートに対応する出力キューのうち、どのサービス・クラスのキューからセルを出力するかを決定する（WFQ（Weighted Fairness Queue））。

ここでは、このセル入出力時の流れの中で、ポーリング部分について説明します。

関連する μ PD98412 の構成要素を図 3 - 1 に示します。

図 3 - 1 μ PD98412 の構成要素



- UP0-UP3 ; UTOPIA インタフェース・ポート
- I/O-Polling Control ; 入力, 出力側ポーリング制御部
- I/O-FIFO ; 入力, 出力 FIFO, それぞれの UTOPIA インタフェース・ポートに FIFO が存在し, UP0-UP3 に対応します。

基本的なセル入出力の動作は、次のようになります。

(入力時)

- ポーリング制御部は、各 PHY に対しセル送信が可能かどうかを問い合わせ、セル入力を行う論理入力ポートを決定する。
- セルが、I-FIFO に入力される。

(出力時)

- ポーリング制御部は、各 PHY に対しセルを受信できるかどうかを問い合わせる。
- ポーリングの結果およびシェーピング、WFQ から出力セルが決定され、O-FIFO に格納される。
- 該当する論理出力ポートに向けて、セルが送信される。

なお、1つの UTOPIA ポートには、ポーリング・モードにより最大 12、15 または 30 個の PHY が接続可能です。

入力側および出力側のポーリングについては、**3.5 12-PHY polling モード** ~ **3.9 1-goup weighted polling モード**を参照してください。

3.3 入力ポート・ハンドシェーク・モード

μ PD98412 は、入力 UTOPIA インタフェースのために、X10 ライク・ハンドシェーク・モードと、X15 ハンドシェーク・モードの2つのハンドシェーク・モードを持っています。

3.3.1 X10 ライク・ハンドシェーク・モード

UTOPIA コンフィギュレーション (UTPCFGn) レジスタの UH ビットが“0”に設定されているとき、 μ PD98412 の入力 UTOPIA インタフェースは、X10 ライク・ハンドシェーク・モード動作になります。

X10 ライク・ハンドシェーク・モードで 12-PHY polling mode 時、 μ PD98412 は μ PD98410 と同じハンドシェーク動作 (μ PD98410 互換) をします。

3.3.2 X15 ハンドシェーク・モード

UTPCFGn レジスタの UH ビットが“1”に設定されているとき、 μ PD98412 の入力 UTOPIA インタフェースは、X15 ハンドシェーク・モード動作になります。

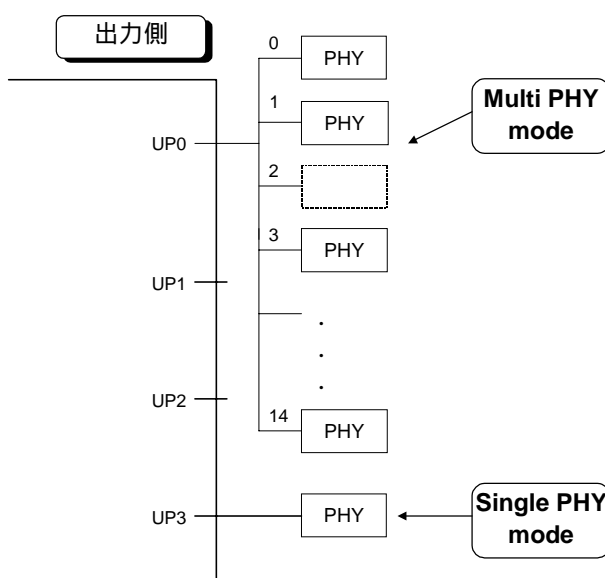
X10 ライク・ハンドシェークと、X15 ハンドシェークには次に示す違いがあります。

- (1) 連続したセル転送の間隔 (セルの終わり - ペイロード 48 - の出力から、次セルの先頭 - ヘッダ 1 - の出力までの間隔)
 - X10 ライク・ハンドシェークでは、最小 1 クロックかかります。
 - X15 ハンドシェークでは、最小 3 クロックかかります。
- (2) セル入力中の PHY に対するポーリング
 - X10 ライク・ハンドシェークでは、セル入力中はセル入力中の PHY に対して、ポーリング動作を行いません。また、セルの終わり (8-bit UTOPIA 時ペイロード 48 / 16-bit UTOPIA 時ペイロード 47, 48) の入力クロックまでに、次にセル入力を行う PHY が決まらない場合は、今までセル入力を行っていた PHY に引き続き入力の許可を与えます。
 - X15 ハンドシェークでは、セル入力中の PHY に対して、セルの終わり (8-bit UTOPIA 時ペイロード 48 / 16-bit UTOPIA 時ペイロード 47, 48) のタイミングでポーリング動作を行います。

3.4 シングルPHYとマルチPHYモード

出力 UTOPIA ポート側の PHY 接続形態により、マルチPHYモード、シングルPHYモードが存在します。

図3-2 シングルPHYモードとマルチPHYモード



それぞれのモードを次に示します。

マルチPHYモード

1つのUTOPIA出力ポートに対し、複数のPHYが接続可能であるモードです。実際に接続されているPHYが1つであってもシングルPHYモードとは異なります。

シングルPHYモード

1つのUTOPIA出力ポートに対し、1つのPHYが接続されるモードです。

SinglePHY接続モードは、8-bit UTOPIA インタフェースと16-bit UTOPIA インタフェースの両方で使用可能です。SinglePHYモードが設定されると、 μ PD98412は転送中のPHYに対して、8-bit UTOPIA時はP45(ペイロード45)の転送タイミング時に、16-bit UTOPIA時はP41, P42の転送タイミング時に、次のセルの受け取り余裕があるかどうかポーリングに行きます。ほかのPHYに対するポーリングは行いません。

マルチPHYモード、シングルPHYモードの設定は、ポート・コンフィギュレーション(P_{Tn})レジスタのSGビットで各論理出力ポートごとに設定できます。シングルPHYモードは、1つのUTOPIA出力ポートに対して、1つのPHYを設定します。もし複数のPHYを設定した場合は、論理出力ポートNo.の一番小さい設定が選択されます。

- 注意 1. μ PD98412 の動作中にポート・コンフィギュレーション・レジスタの SG ビットの設定を切り替えると、シングル/マルチ PHY モードの切り替わる直前とあとで、ポーリング結果の整合がとれないため、2 セル分が不正な PHY へ出力されたり、セル消失が起きる可能性があります。ただし、移行期間終了後の送信動作は、問題なく行われます。
2. μ PD98412 の動作中にポート・コンフィギュレーション・レジスタの PHY, UPN, EN の設定を替えることによって出力論理ポートへのマッピングが変更されると、変更直前とあとで、ポーリング結果の整合がとれないため、2 セル分が不正な PHY へ出力されたり、セル消失が起こる可能性があります。ただし、移行期間終了後の送信動作は、問題なく行われます。

3.5 12-PHY polling モード

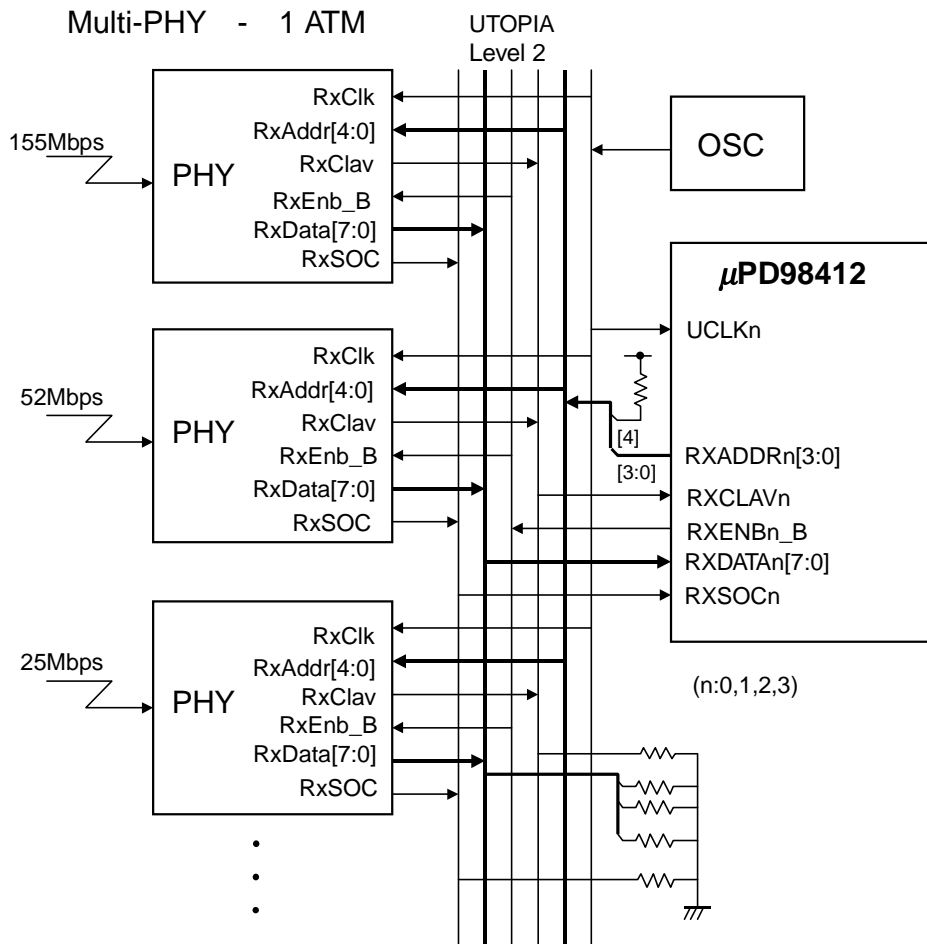
12-PHY polling モードは、8ビット UTOPIA インタフェースで使用可能なモードで、マルチ PHY 接続により最大 12 までの PHY をサポートします。12-PHY polling モードは、 μ PD98410 の互換モードです。

3.5.1 入力ポート・インタフェース

入力ポートは、ポート・コンフィギュレーション (PTn) レジスタに設定された内容に従って、PHY アドレスと UTOPIA インタフェース番号から、論理入力ポート番号にマッピングされます。 μ PD98412 の内部では、論理入力ポート番号を用いて処理を行います。

1つのUTOPIAインタフェースにマルチPHY接続した場合の例を図3 - 3に示します。

図3 - 3 UTOPIA の受信インタフェース接続例

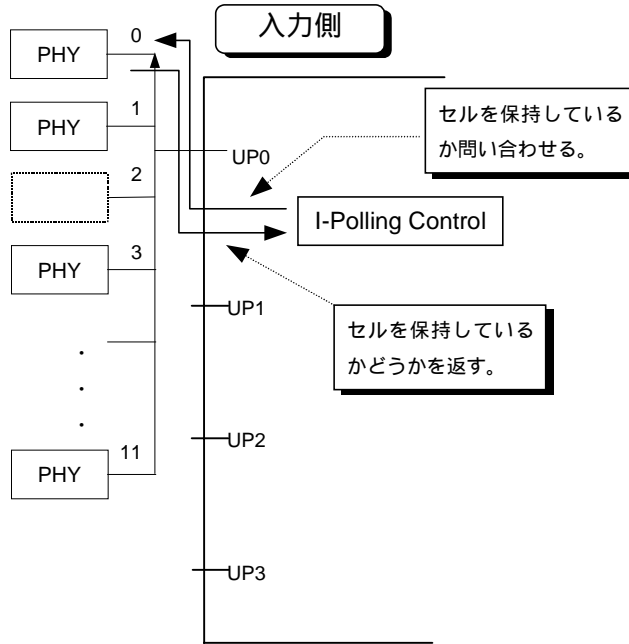


備考 PHY アドレス 5 ビットのうち、 μ PD98412 には下位 4 ビットを接続します。上位 1 ビットは、プルアップしてください。 μ PD98412 はポーリングのために、“0” - “11” の PHY アドレスを出力します。また、 μ PD98412 は RxClk 出力をサポートしていません。UTOPIA クロックとして UCLKn を μ PD98412 に供給してください。

3.5.2 入力ポート・セル転送タイミング

(1) 基本動作

図3-4 セル入力時のポーリング基本動作



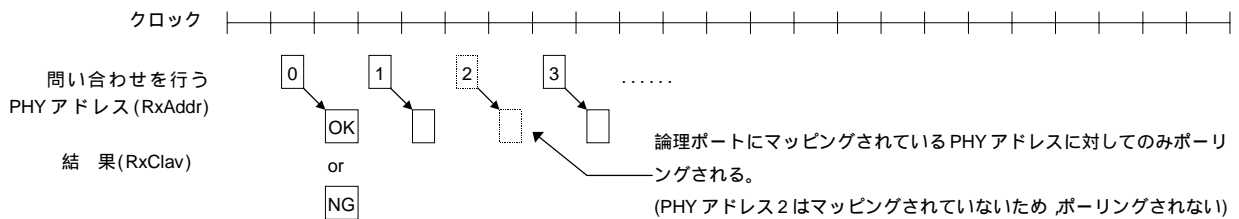
セル入力時には、次に示す の手順を行います。

PHY に対し、セルを保持しているかどうかを問い合わせる。

PHY は、セルを保持しているかどうかの情報を返す。

この手順は、ポート・コンフィギュレーション・レジスタ PHY, UPN, EN の設定より、論理ポートにマッピングされている PHY に対して順に行われます。このときのクロックとポーリング制御の関係を図3-5に示します。なお、入力側のポーリング制御は、基本動作サイクル (= 54 UTOPIA クロック) 単位に関係ありません。

図3-5 ポーリング制御と基本動作サイクルの関係 (セル入力時)

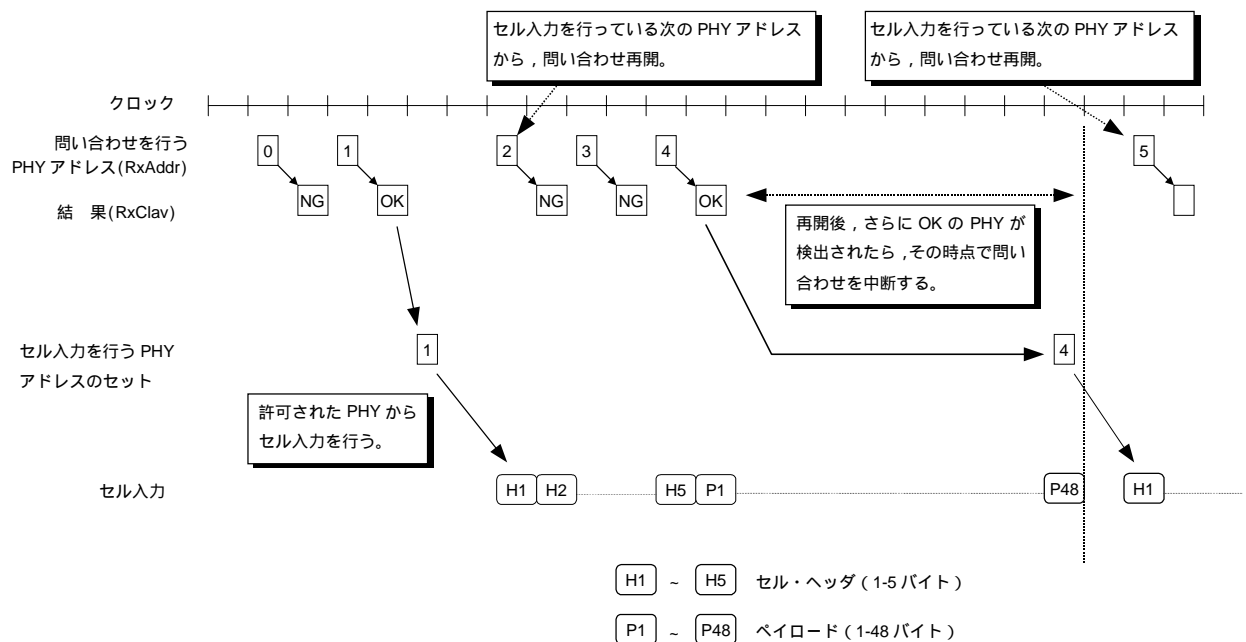


注意 未接続の PHY に対しては、絶対に論理ポートにマッピングしないようにしてください。未接続の PHY が論理ポートにマッピングされると、存在しない PHY に対して入力側のポーリングが行われてしまい、該当する UTOPIA 受信インタフェース・ポートがハングアップを起こす可能性があります。

(2) セル入力のタイミング

ポーリングの結果が OK (セルを保持) の場合、セル入力は次のように行われます。

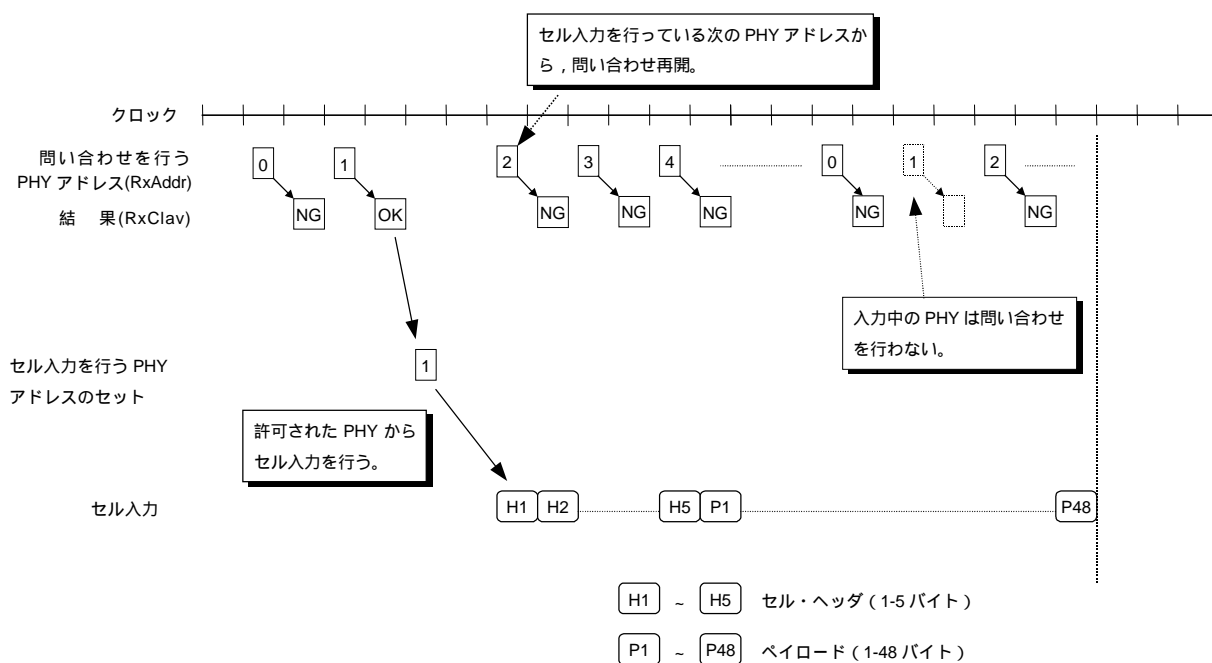
図 3 - 6 セル入力の基本タイミング 1



< 動作 >

- 問い合わせに対し OK が返された場合は、次のクロックでその PHY を選択します。
- さらに次のクロックで、選択された PHY からセルを入力します。
- H1 の入力タイミングから、問い合わせを再開します。このときの PHY アドレスは、セル入力を行っている PHY の次の PHY となります。
- 論理ポートにマッピングされていない PHY に対しては問い合わせを行いません。なお、セル入力が行われている PHY に対しても、問い合わせを行いません（図 3 - 7 参照）。
- セル入力が行われている間にさらに OK の PHY が検出されたら、その時点で問い合わせを中断します。
- P48 の入力タイミングで、次にセル入力を行う PHY を選択します。
- また、H1 の入力タイミングから、問い合わせを再開します。このときの PHY アドレスも、現在セル入力を行っている PHY アドレスの次の PHY となります。

図 3 - 7 セル入力の基本タイミング 2



(3) 連続入力の制御

1 つの UTOPIA 入力ポートに接続されている PHY が 1 つのみの場合、セル入力中の PHY に対して問い合わせを行わないと、図 3 - 8 のように次のセル入力までの間隔が開いて、転送レートの低下を招いてしまいます。そのため、μPD98412 では、P48 の入力クロックまでに次にセル入力を行う PHY が決まらない場合は、今までセル入力を行っていた PHY に引き続き入力の許可を与えるようにしています。

図 3 - 8 連続入力における転送レートの低下

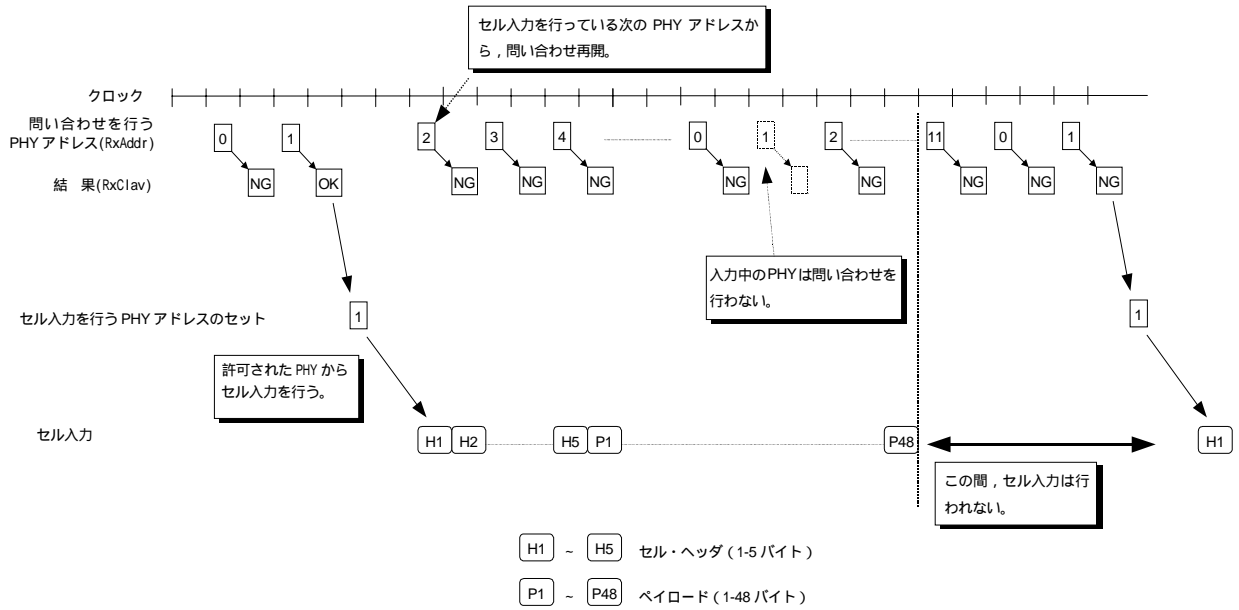
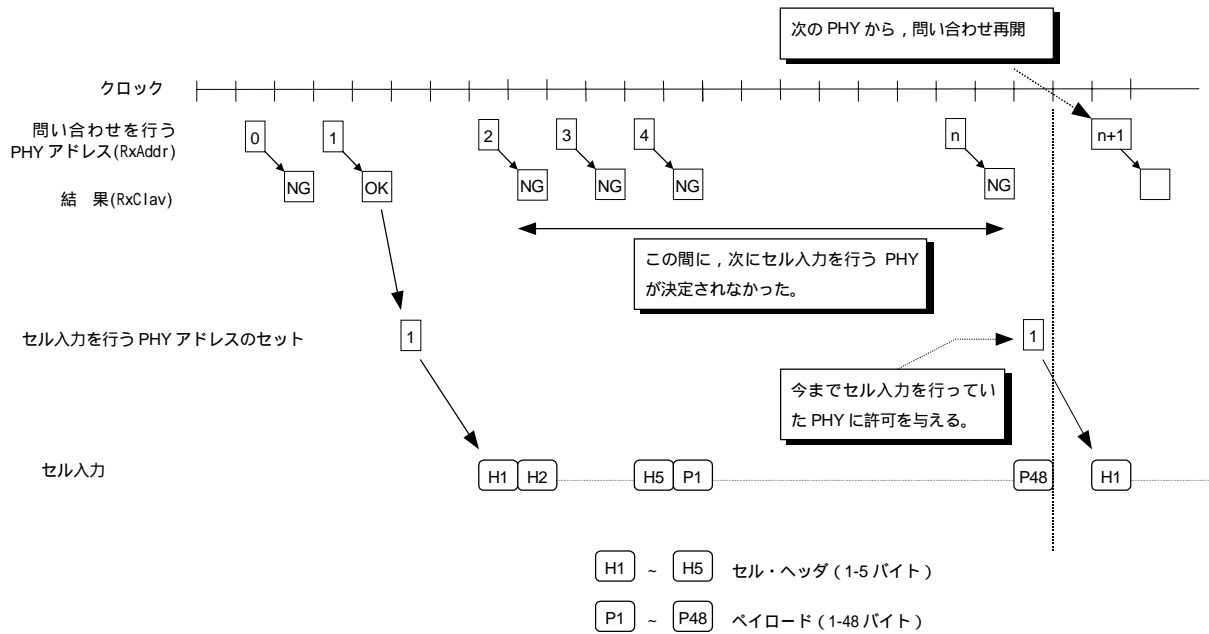
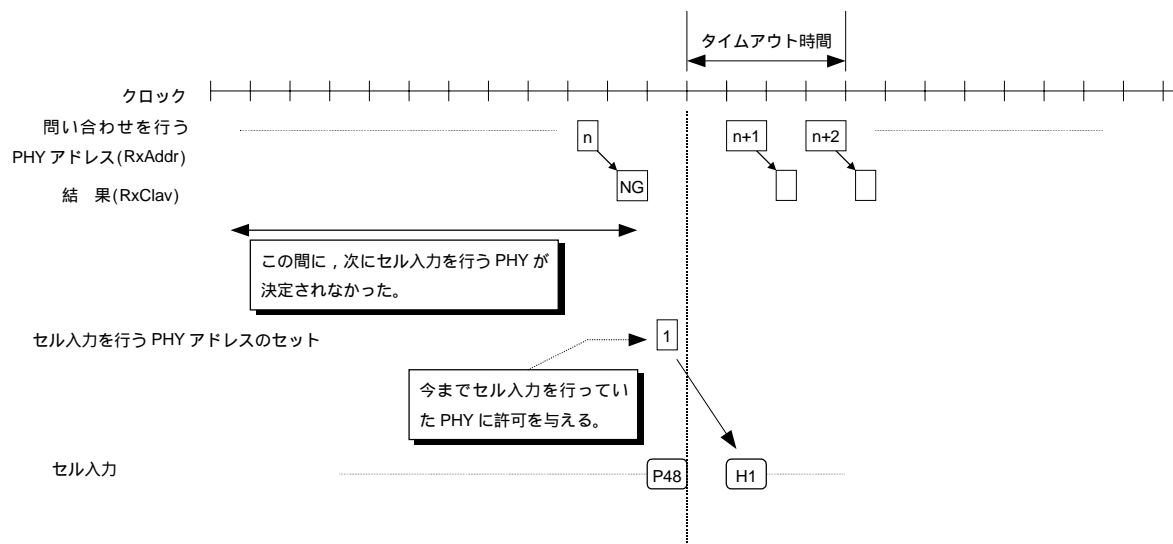


図 3 - 9 連続入力の制御



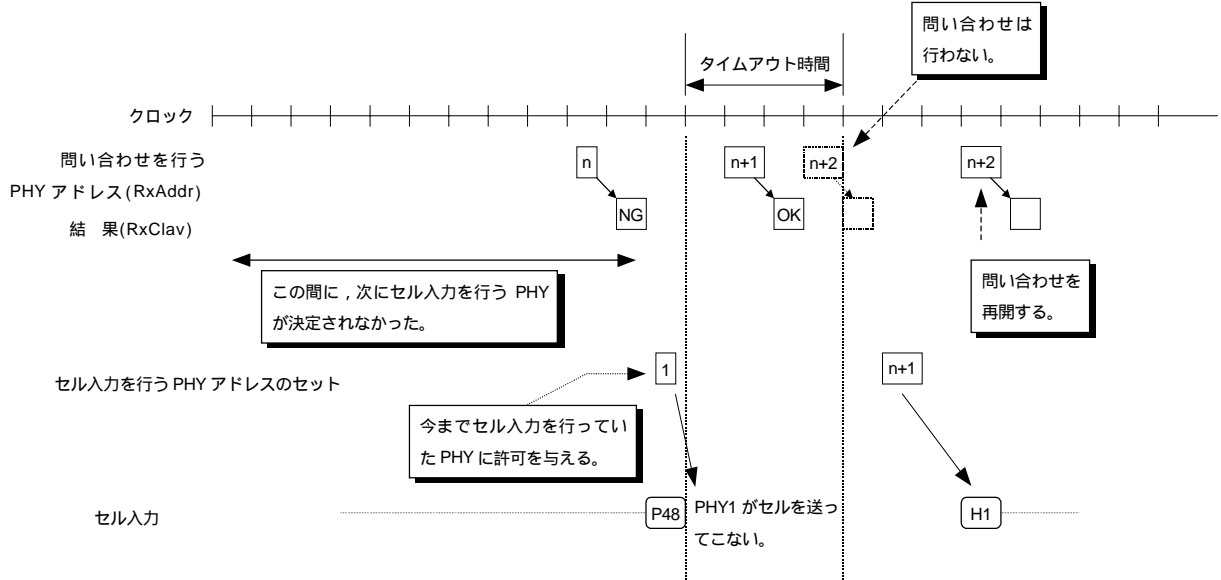
これにより、図 3 - 9 の場合でもセル入力を連続して行うことができ、転送レートの低下を防ぐことができます。このとき、今までセル入力を行っていた PHY に許可を与えても、この PHY にセルが存在しない可能性があります。このような場合のために、 μ PD98412 では 4 クロック分のタイムアウト時間を設けています。このときの動作を次に示します。

(a) タイムアウト時間内にセルが入力された場合

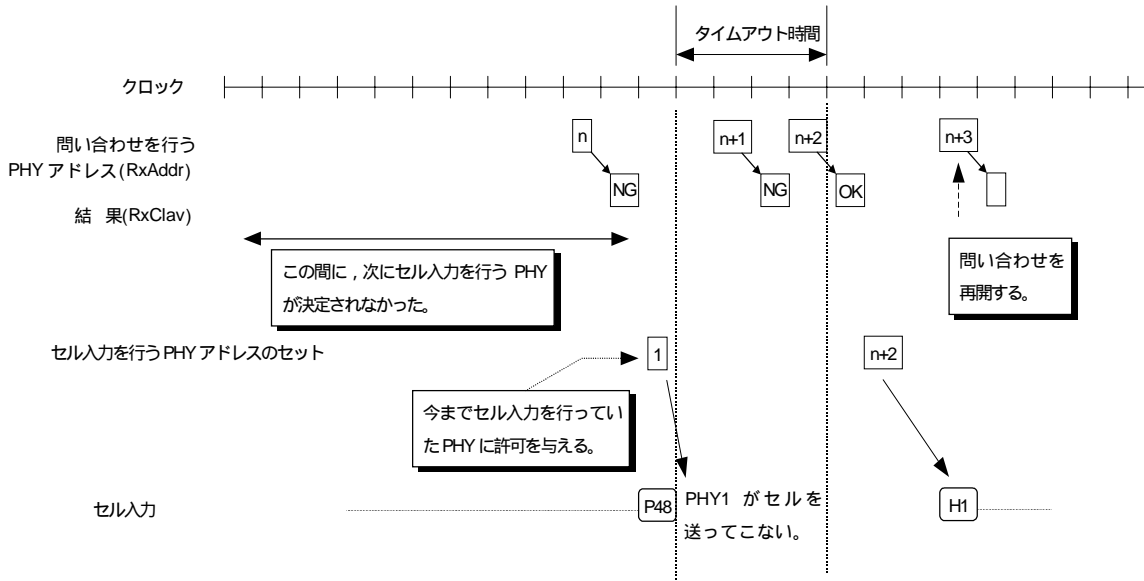


(b) タイムアウト時間内にセルが入力されなかった場合

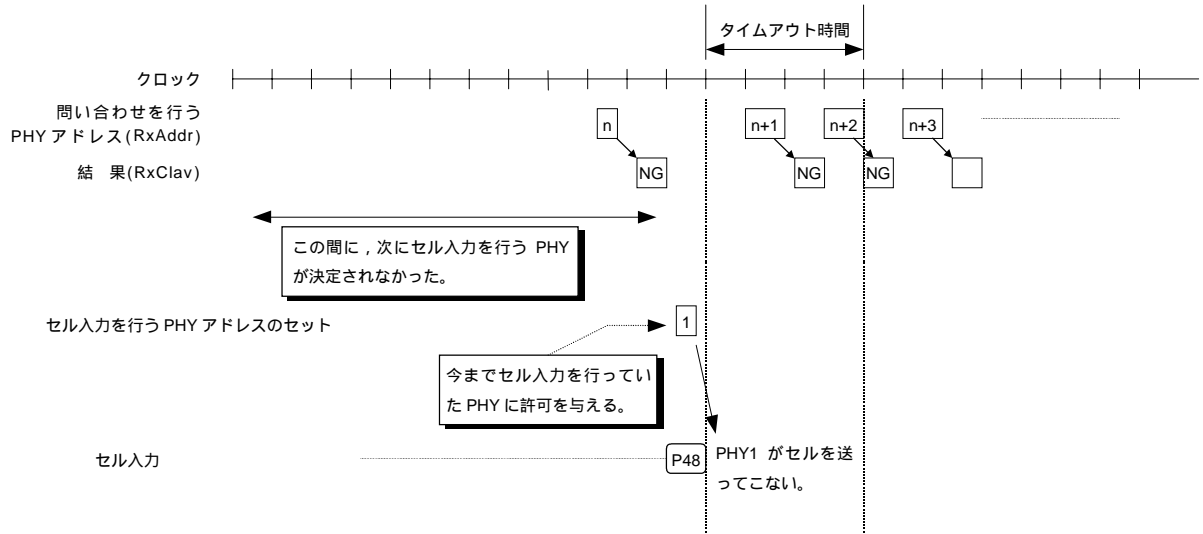
(i) PHY アドレス n+1 に対する問い合わせ結果が OK のとき



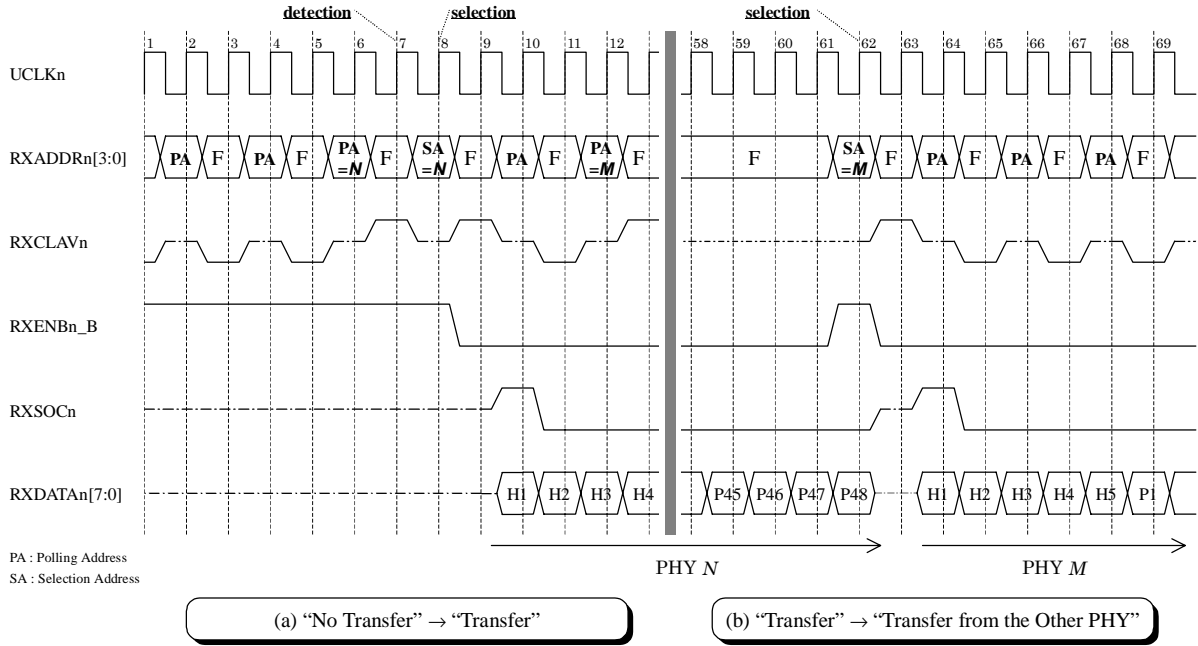
(ii) PHY アドレス n+2 に対する問い合わせ結果が OK のとき



(iii) PHY アドレス n+1, n+2 に対する問い合わせ結果がいずれも NG のとき

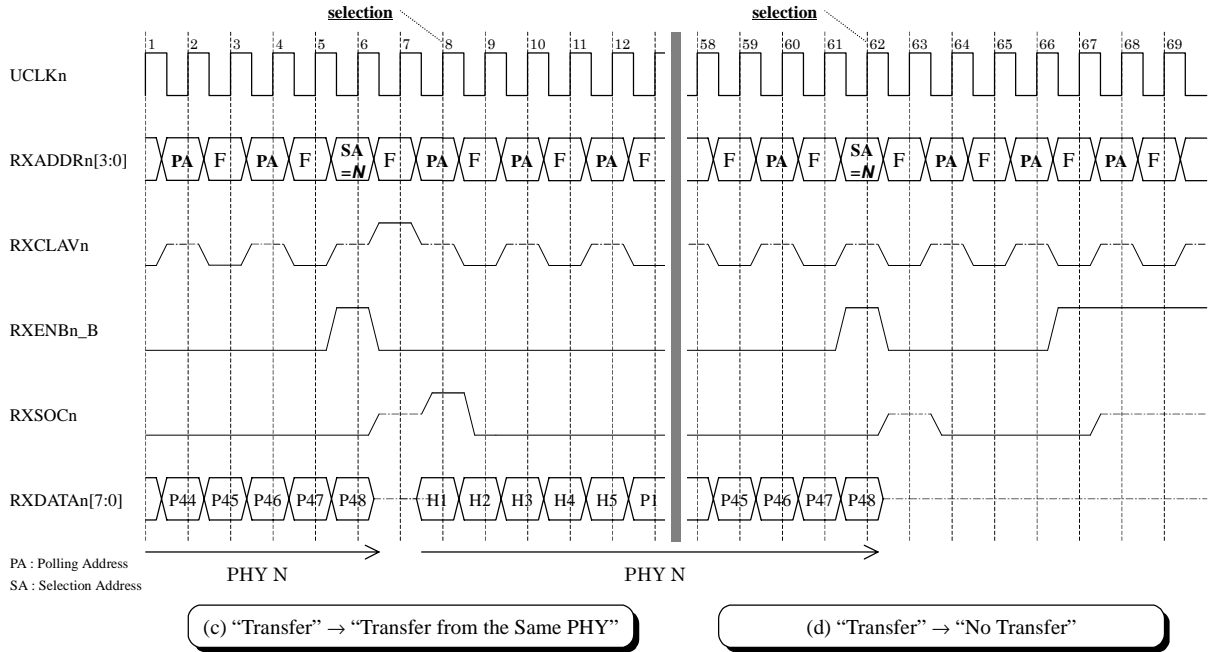


• タイミング・チャート



(a)側：一度セル転送が開始されたら，セルを受信し終えるまで，RXENBn_B はデアサートされません。

(b)側：RXENBn_B は P48（ペイロード 48）のタイミングで必ずデアサートされます。もし P48 のタイミングで RXADDRn [3:0]が “Fh”を示す場合は，SA タイミングを 1 クロック遅らせます（セル間隔：1 クロック → 2 クロック）。



(c)側：セルが同一 PHY から連続して転送される場合には，一度 RXENBn_B がデアサートされ，セレクションがふたたび行われます。

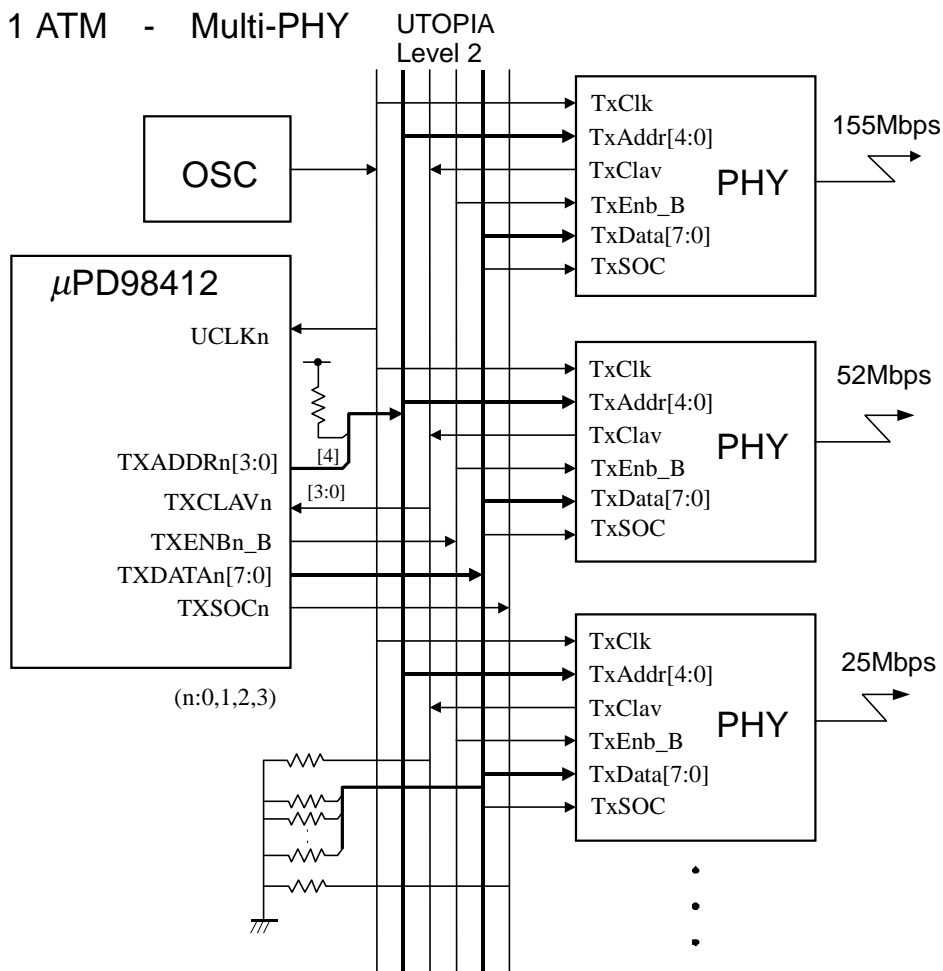
3.5.3 出力ポート・インタフェース

μPD98412 は、12-PHY polling モード時 UTOPIA インタフェースに出力ポートを最大 12 ポート接続できます。

出力ポートは、ポート・コンフィギュレーション・レジスタに設定された内容に従って、PHY アドレスと UTOPIA インタフェース番号から論理出力ポート番号にマッピングされます。μPD98412 の内部では、論理出力ポート番号を用いて処理を行います。

1 つの UTOPIA インタフェースにマルチ PHY 接続した場合の例を図 3 - 10 に示します。

図 3 - 10 UTOPIA の送信インタフェース接続例

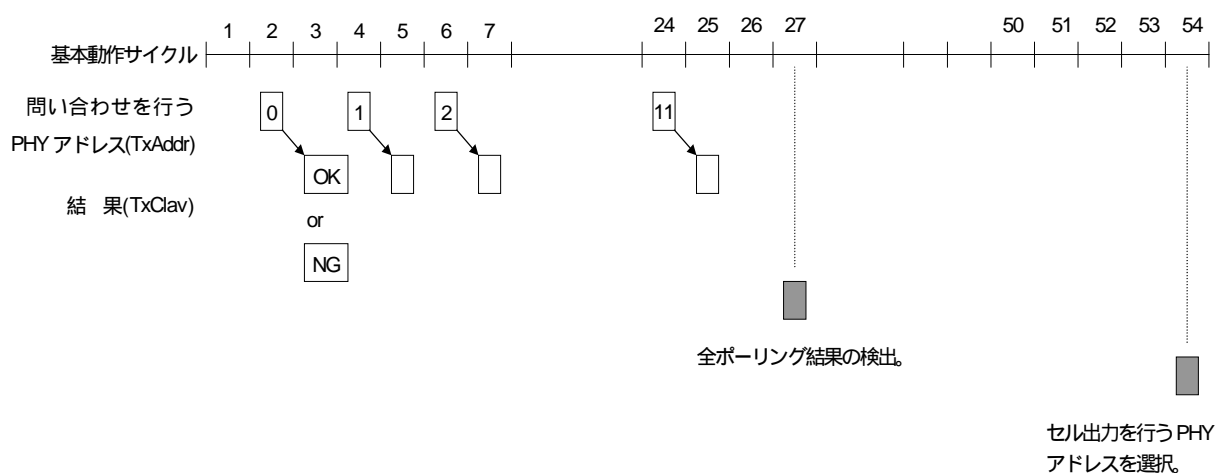


備考 PHY アドレス 5 ビットのうち、μPD98412 には下位 4 ビットを接続します。上位 1 ビットは、プルアップしてください。μPD98412 はポーリングのために、“0” - “11” の PHY アドレスを出力します。また、μPD98412 は TxClk 出力をサポートしていません。UTOPIA クロックとして UCLKn を μPD98412 に供給してください。

(1) マルチ PHY モード時のポーリング

ポーリング制御と、基本動作サイクルの関係を次に示します。

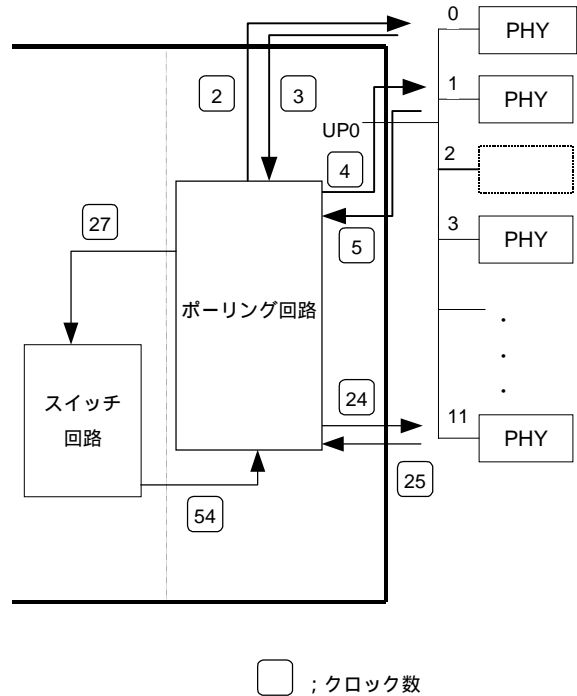
図3-11 ポーリング制御と基本動作サイクルの関係 (マルチ PHY モード時)



< 基本的な動作 >

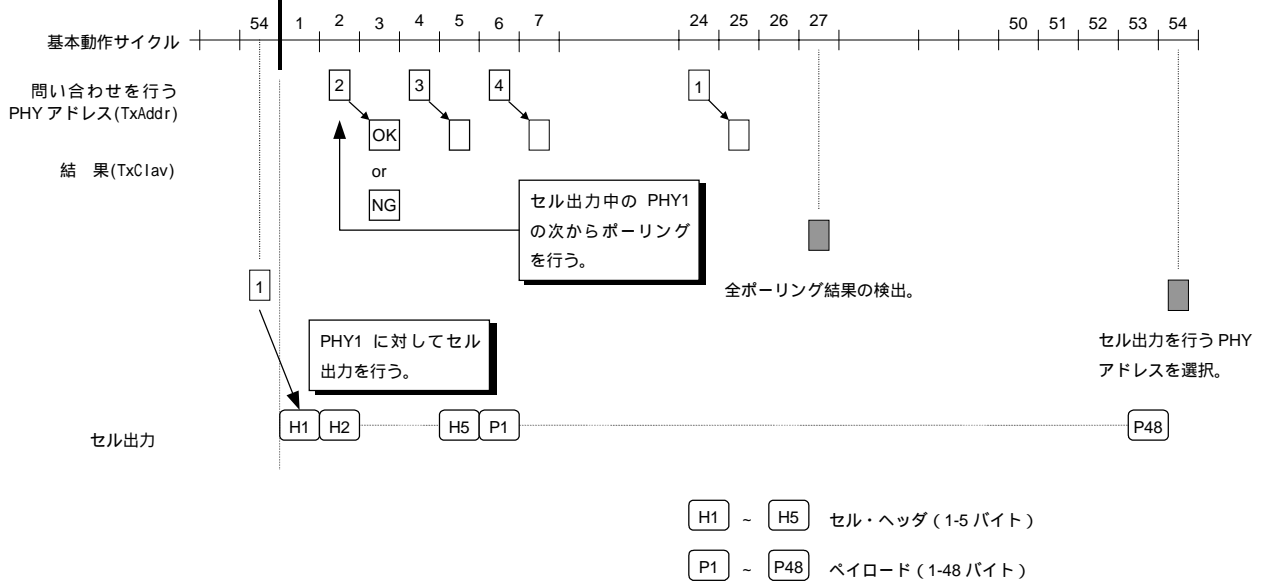
- ポーリングは、基本動作サイクルの2クロック目から行います。
- PHY アドレスの0番から順に問い合わせを行い(2, 4, 6, ...クロック目), 次のクロック(3, 5, 7, ...クロック目)でその結果が返されます。
- 27クロック目ですべてのPHYに対するポーリング結果をスイッチ回路に返します。
- 54クロック目にセル出力を行うPHYが選択されます(出力するセルがない場合には, どのPHYも選択されません)。

図 3 - 12 セル出力中のポーリング動作



また、セル出力は基本動作サイクルの 54 クロック目で選択された PHY に対して行われます(ポーリングとセル出力は並行して動作します)。このとき、現在セル転送を行っている PHY の次の PHY アドレスからポーリングを行います。

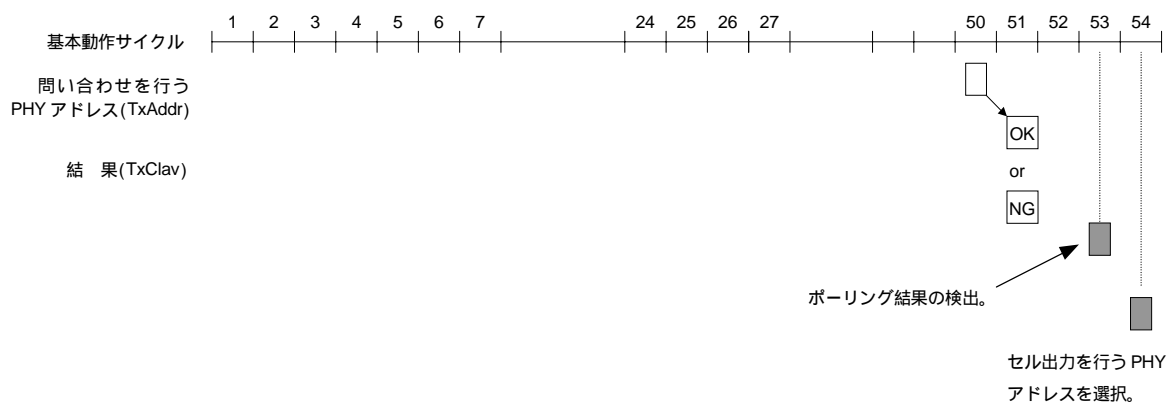
図 3 - 13 セル出力中のポーリング動作



(2) シングルPHYモード時のポーリング

ポーリング制御と、基本動作サイクルの関係を次に示します。

図3-14 ポーリング制御と基本動作サイクルの関係(シングルPHYモード時)



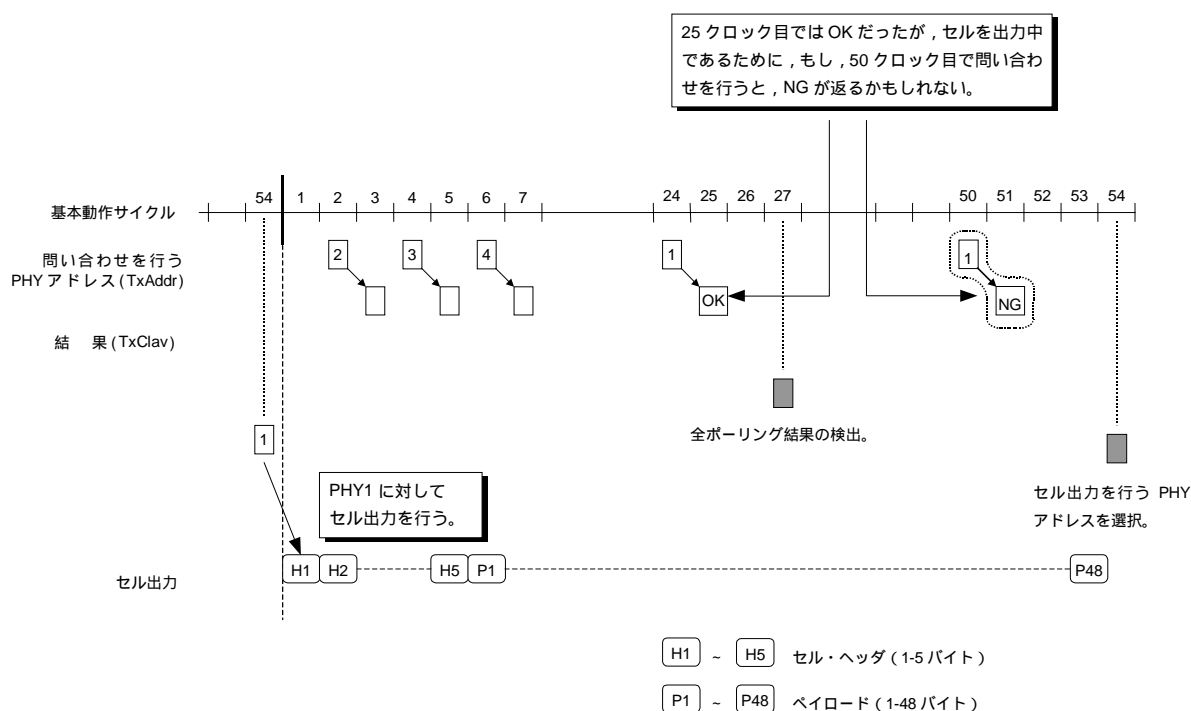
< 基本的な動作 >

- シングルPHYモードでは、接続されているPHYアドレスは既知であるため、そのPHYに対して50クロック目で問い合わせを行います。
- 51クロック目でPHYより結果が返ります。
- 53クロック目に、結果をスイッチ回路に渡します。
- 54クロック目では、51クロックの結果がOKの場合、そのPHYが選択されます。NGであればそのPHYは選択されません。なお、51クロック目の結果がOKでも、出力すべきセルが存在しない場合は、そのPHYは選択されません。

(3) 連続出力の制御

UTOPIA Level 2 では、セル出力中の PHY に対するセル出力が可能かどうかの問い合わせを 50 クロック目以降で行うように規定されています。ところが μ PD98412 のマルチ PHY モードでは 2-25 クロック目で問い合わせを行い、27 クロック目で μ PD98412 内部のスイッチ回路に結果を渡します。このため、たとえば図 3 - 15 のようなとき、問い合わせに対する結果が不正となる可能性があります。

図 3 - 15 連続出力の制御

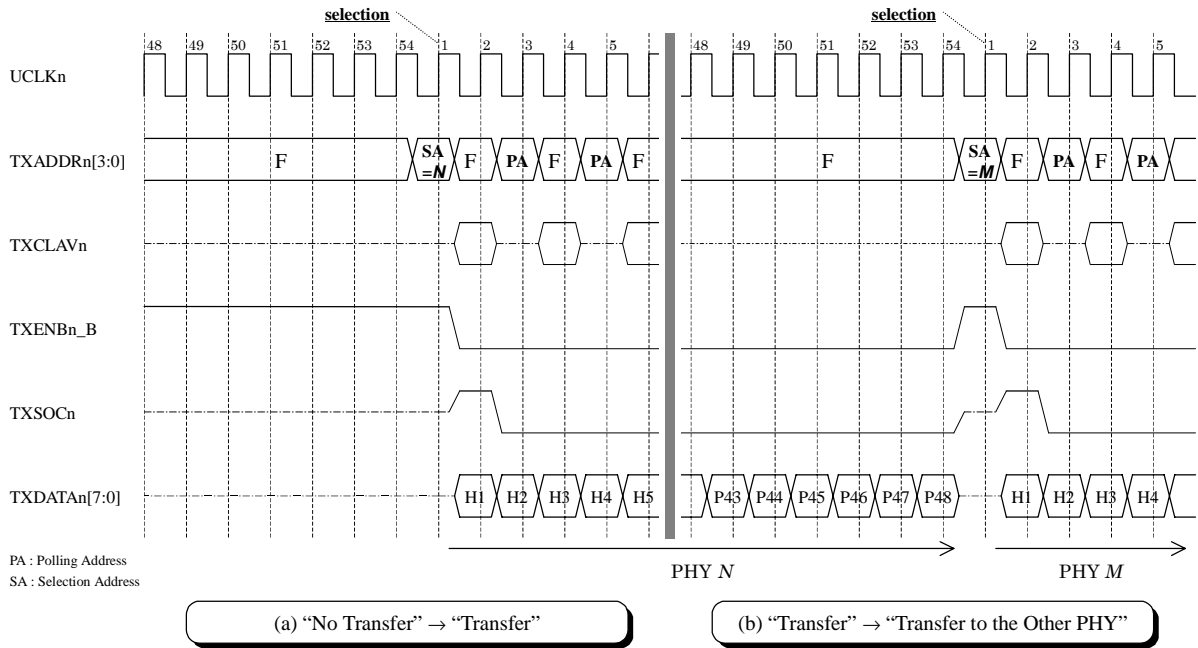


つまり 27 クロック目で検出する値 (セル出力中の PHY に対するポーリング結果) は、UTOPIA Level2 では規定されていないため、論理出力ポート側に接続される PHY の仕様によっては 1 サイクル前の結果を返し、本来の結果と異なる可能性があります。このような場合、次の基本動作サイクルにおいても、PHY アドレス 1 に対して連続してセル出力を行ったとしたら、セルが損失するなどの障害が発生する危険性があります。 μ PD98412 では、この回避策として RP ビットにより連続出力の制御を行っています。

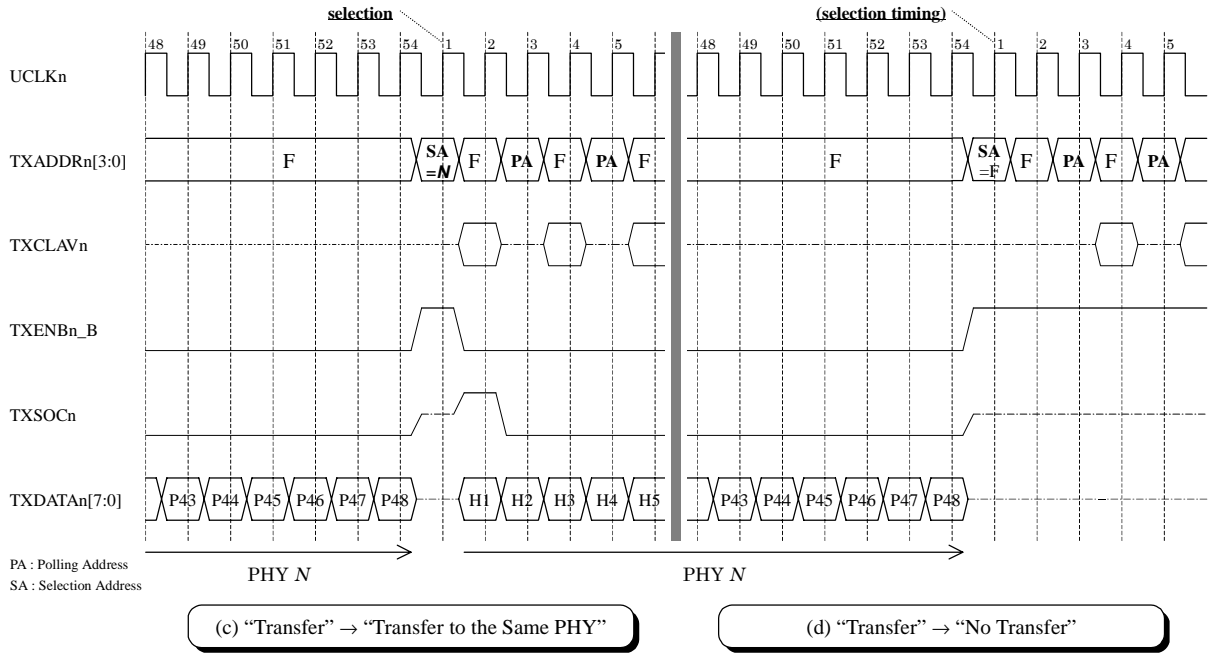
- RP=0 同一の PHY に対し、連続出力を許可しない
- RP=1 同一の PHY に対し、連続出力を許可する

なお、連続出力を行う場合には、27 クロック目で検出した結果の妥当性が保証されている必要があります。NEC 製 155Mbps PHY μ PD98404 (P30) および μ PD98411 (P40) は、この要件を満たすので、連続出力が可能です。

• タイミング・チャート



(a)側：一度セル転送が開始されたら，セルを送信し終えるまで，TXENBn_B はデアサートされません。



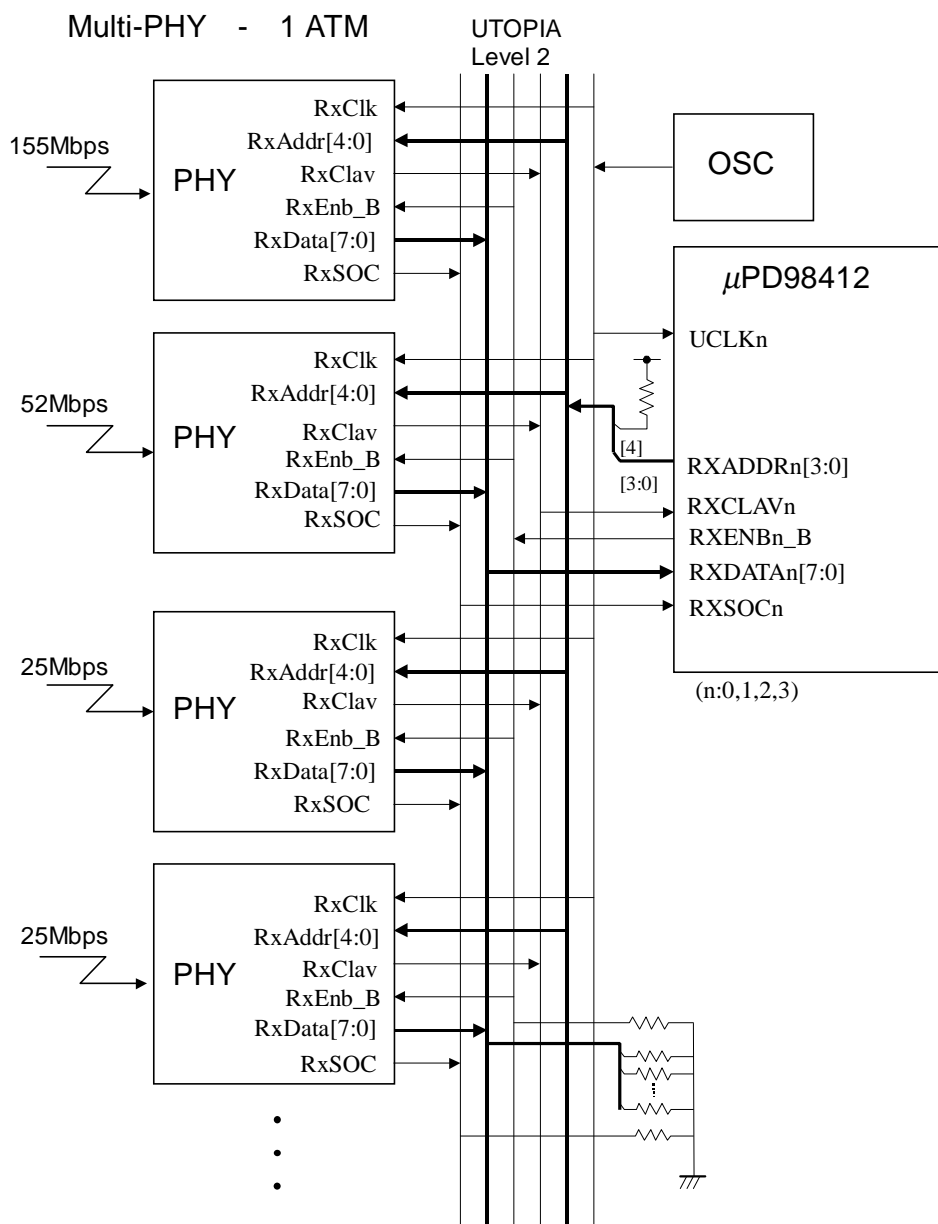
(c)側：セルが同一 PHY から連続して転送される場合には，一度 TXENBn_B がデアサートされ，セレクションがふたたび行われます。

3.6 15-PHY polling モード

15-PHY polling モードでは、UTOPIA インタフェースに接続できる入力ポートは最大 15 ポートです。

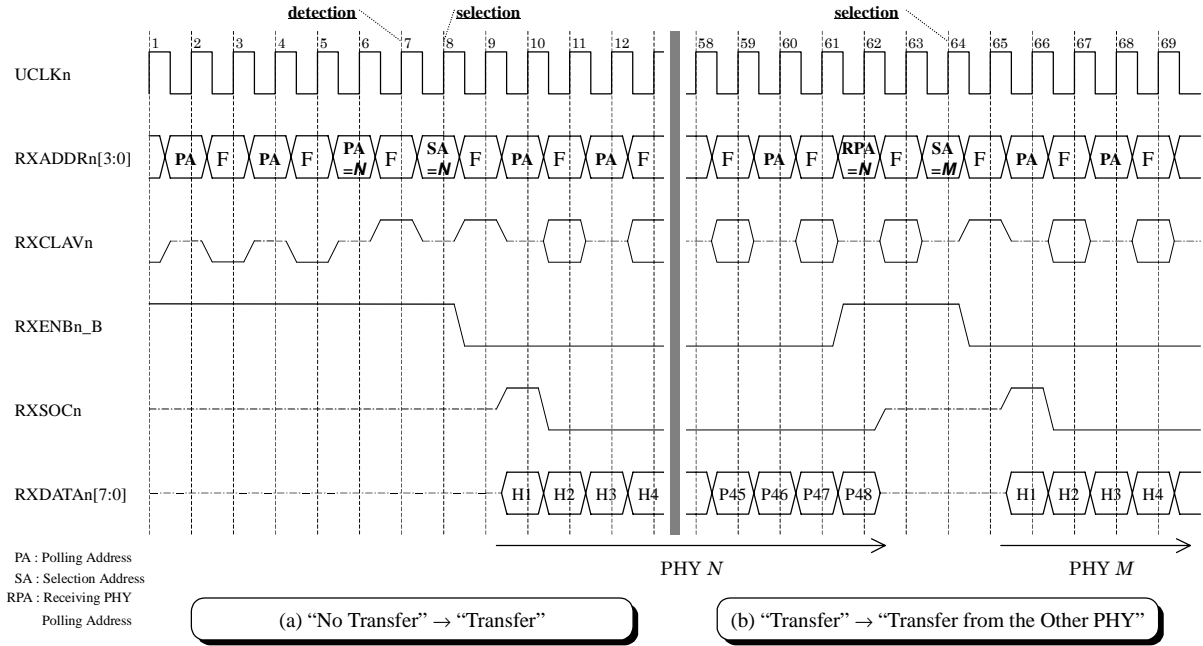
3.6.1 入力ポート・インタフェース

接続例を次に示します。



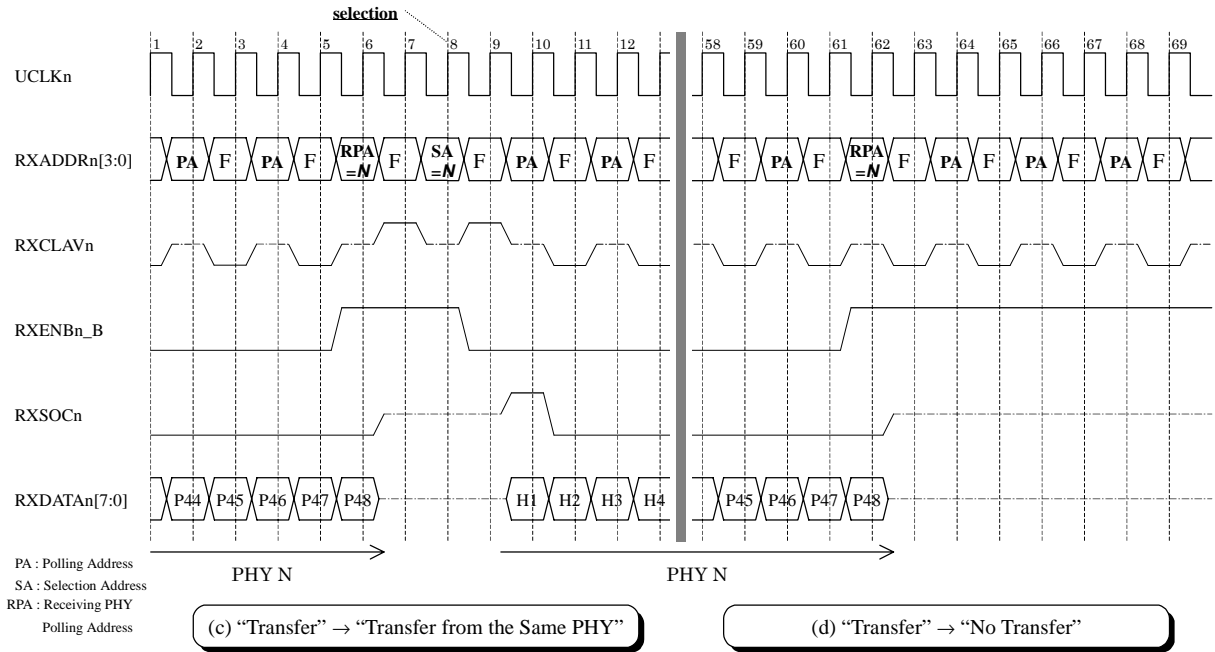
備考 PHY アドレスは 5 ビットで構成されています。これらのビットのうち、下位 4 ビットを μPD98412 に接続します。上位 1 ビットはプルアップしてください。なお、μPD98412 は、RxClk 出力をサポートしていません。UTOPIA クロックとして UCLKn を μPD98412 に供給してください。

• タイミング・チャート (X15 ハンドシェーク・モード)



(a)側：一度セル転送が開始されたら，セルを受信し終えるまで，RXENBn_B はデアサートされません。

(b)側：RXENBn_B は P48 (ペイロード 48) のタイミングで必ずデアサートされます。もし P48 のタイミングで RXADDRn [3:0]が“Fh”を示す場合は ,RPA と SA タイミングを 1 クロック遅らせます(セル間隔：3 クロック → 4 クロック)。



(c)側：セルが同一 PHY から連続して転送される場合には，一度 RXENBn_B がデアサートされ，セレクションがふたたび行われます。

- ポーリング

ポーリング・アドレスは、タイミング・チャート中の PA (ポーリング・アドレス) のタイミングで出力されます。ポーリング・アドレスは、“0h”-“Eh”が繰返し出力されます。ただし、次の 2 つの規則を適用します。

- (1) いずれのポート・コンフィギュレーション・レジスタ (PT レジスタ) にも設定されていない PHY アドレスは出力されず、代わりに“Fh”が出力されます。
- (2) μ PD98412 がセル受信動作中 (RXEN_{Bn}_B=“L”のとき) の場合、受信のために選択された PHY のアドレスは出力されず、代わりに“Fh”が出力されます。

- 受信中 PHY ポーリング

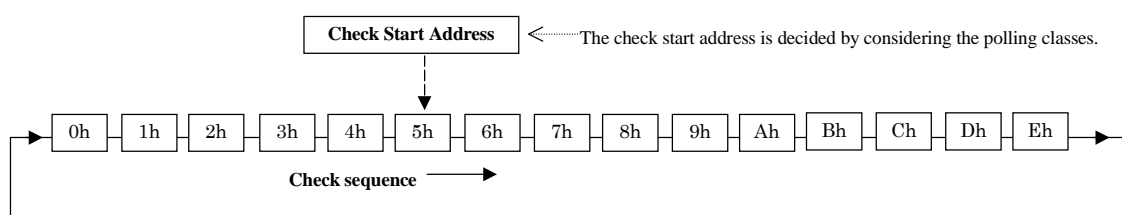
セル受信中における受信中 PHY に対するポーリングは、タイミング・チャート中の RPA (受信中 PHY ポーリング・アドレス) のタイミングで行われます。

- セレクション

セレクション・アドレスは、得られたポーリング結果とポーリング・クラスを考慮して選択されます。セレクション・アドレスは、タイミング・チャート中の SA (セレクション・アドレス) のタイミングで出力されます。なお、セレクション・アドレスに対する RXCLAV_n はポーリング結果に反映されません。

次に、セレクション・アドレスを決めるセレクション・アルゴリズムについて説明します。

15-PHY ポーリング・モードでは、転送可能な PHY デバイスを選択するために、ポーリング・クラスを考慮して決定された判定開始アドレス (Check Start Address) からポーリング結果を判定します。



たとえば、ポーリング結果が下表だとすると、上図のようにポーリング結果の判定が PHY アドレス“5h”からはじめられる場合は、PHY アドレス“7h”の PHY がセレクトされます。

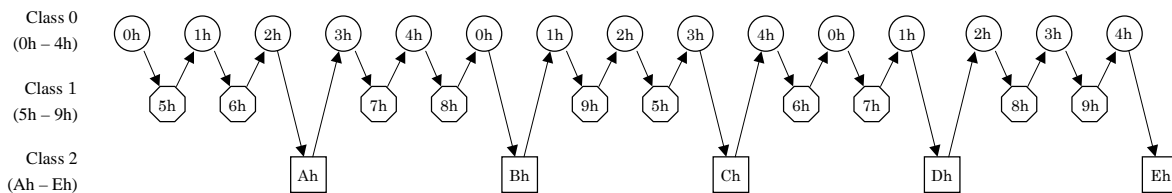
PHY address	0h	1h	2h	3h	4h	5h	6h	7h	8h	9h	Ah	Bh	Ch	Dh	Eh
RxClav	L	L	L	L	L	L	L	H	H	H	L	L	L	H	H

次に判定開始アドレスの決定方法を説明します。

μ PD98412 は、判定開始アドレスを決定するために、ポーリング・クラスを使用します。ポーリング・クラスの詳細については、2-Group Weighted polling モードにおけるポーリングの説明を参照してください。

ここでは説明を簡単にするために、各クラスに 5 個の PHY デバイスが割り当てられている場合を考えます。

NPC0=5, NPC1=5, NPC2=5



- UTPCFG レジスタの設定

NPC0 = 5, NPC1 = 5, NPC2 = 5

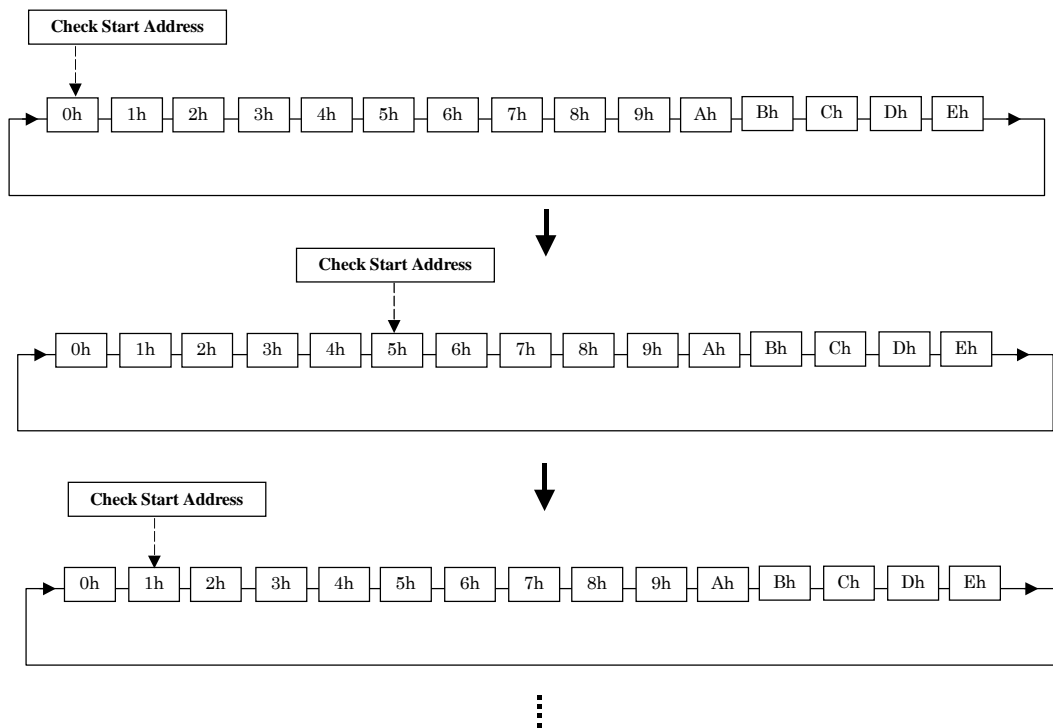
- PHY アドレス

もし UTPCFG レジスタが上記のように設定されているならば、

PHY アドレスは次のように各ポーリング・クラスに割り当てられます。

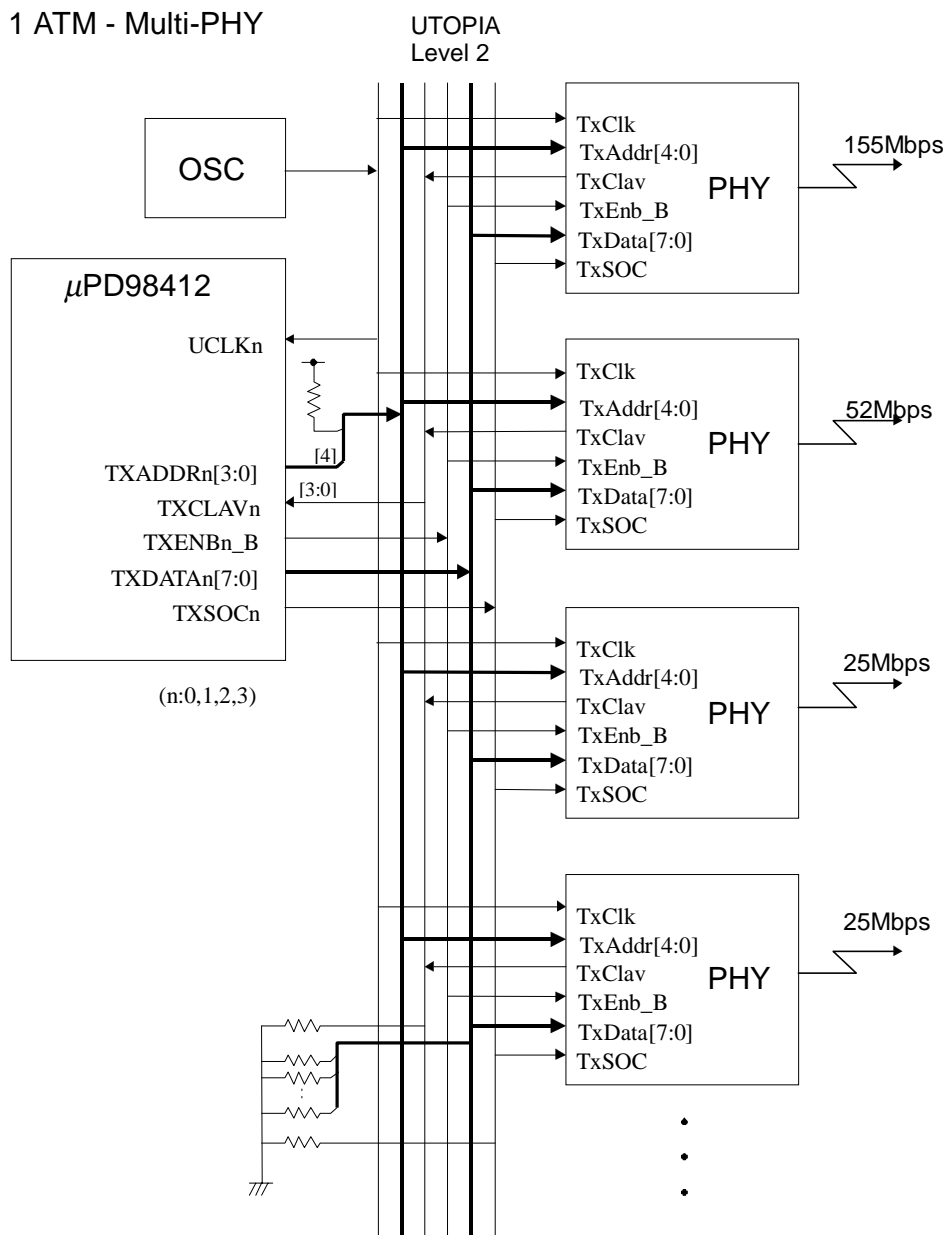
- クラス 0: 0h-4h
- クラス 1: 5h-9h
- クラス 2: Ah-Eh

μPD98412 では、ポーリング結果の判定開始アドレスは、上図に従って"0h" "5h" "1h" "6h"...のように変化します。



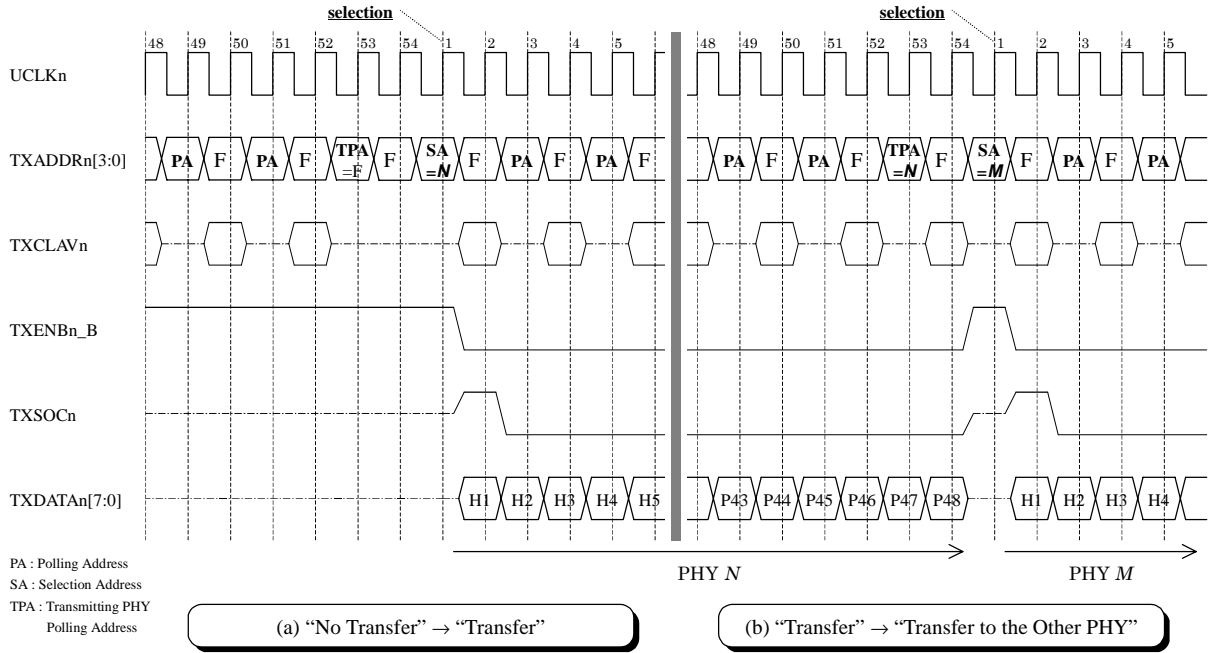
3.6.2 出力ポート・インタフェース

接続の例を次に示します。

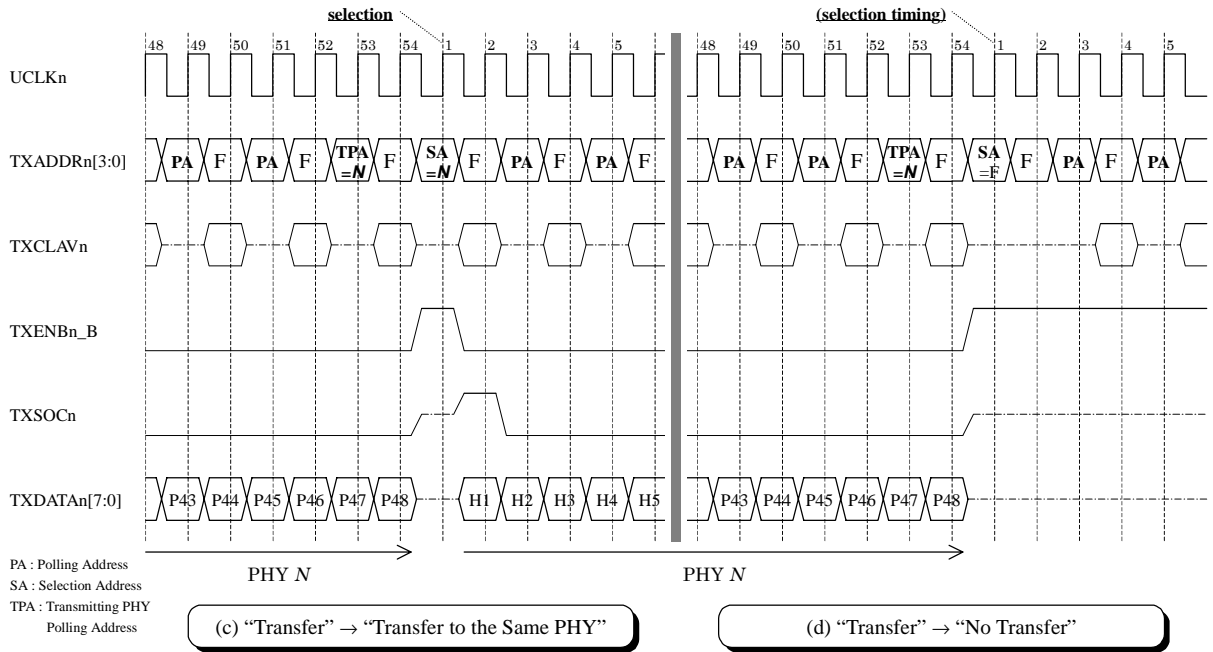


備考 PHY アドレスは5ビットで構成されています。これらのビットのうち、下位4ビットを μ PD98412に接続します。上位1ビットはプルアップしてください。なお、 μ PD98412は、TxClk 出力をサポートしていません。UTOPIA クロックとして UCLKn を μ PD98412 に供給してください。

• タイミング・チャート



(a)側：一度セル転送が開始されたら、セルを送信し終えるまで、TXENBn_B はデアサートされません。



(c)側：セルが同一 PHY から連続して転送される場合には、一度 TXENBn_B がデアサートされ、セレクションがふたたび行われます。

- ポーリング

ポーリング・アドレスは、タイミング・チャート中の PA (ポーリング・アドレス) のタイミングで出力されます。ポーリング・アドレスの出力順序は、入力ポート・インタフェースと同じです。

- 転送中 PHY ポーリング

セル転送中における転送中 PHY に対するポーリングは、タイミング・チャート中の TPA (転送中 PHY ポーリング・アドレス) のタイミングで行われます。

セルが転送中でない場合は、"Fh"が TPA タイミングで出力されます。

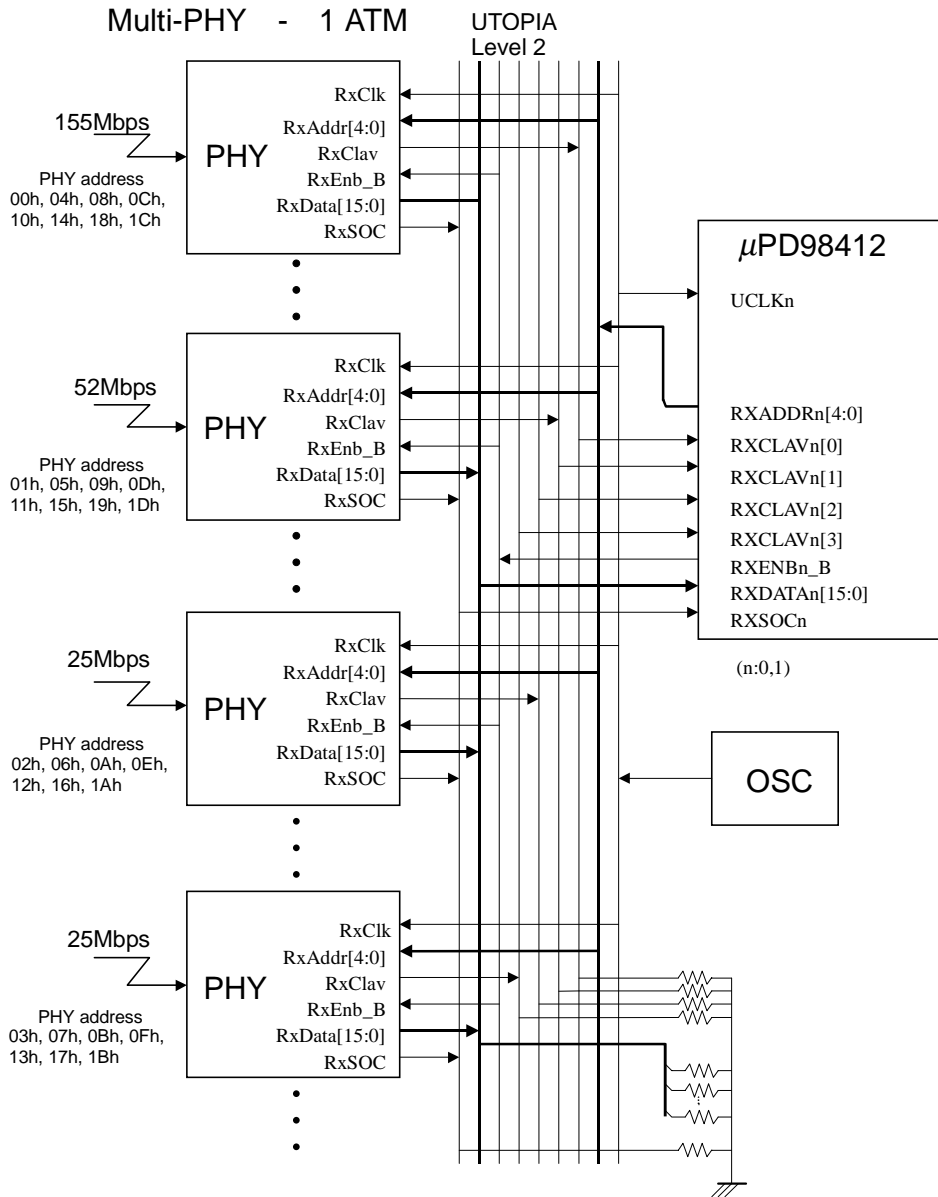
- セレクション

セレクション・アドレスは、タイミング・チャート中の SA (セレクション・アドレス) のタイミングで出力されます。なお、セレクション・アドレスに対する TXCLAVn は、ポーリング結果に反映されません。

3.7 Multiplexed status polling モード

Multiplexed status polling モードは、16 ビット UTOPIA インタフェースで、マルチ PHY 接続により最大 30 までの入出力ポートをサポートします。PHY アドレス別に 4 つのグループを形成でき、各グループごとに RXCLAV 信号と TXCLAV 信号を制御します。

3.7.1 入力ポート・インタフェース

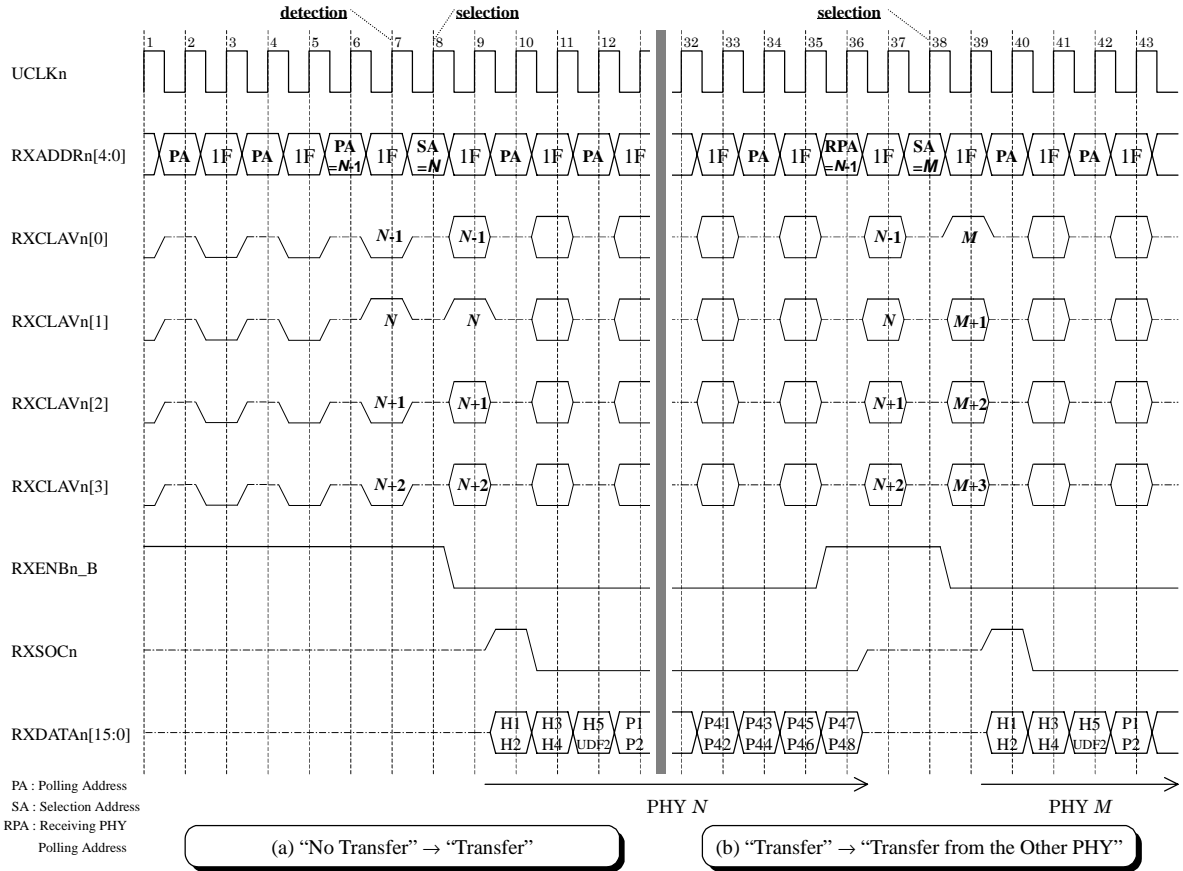


備考 PHY アドレスと接続する RXCLAVn[m]の対応

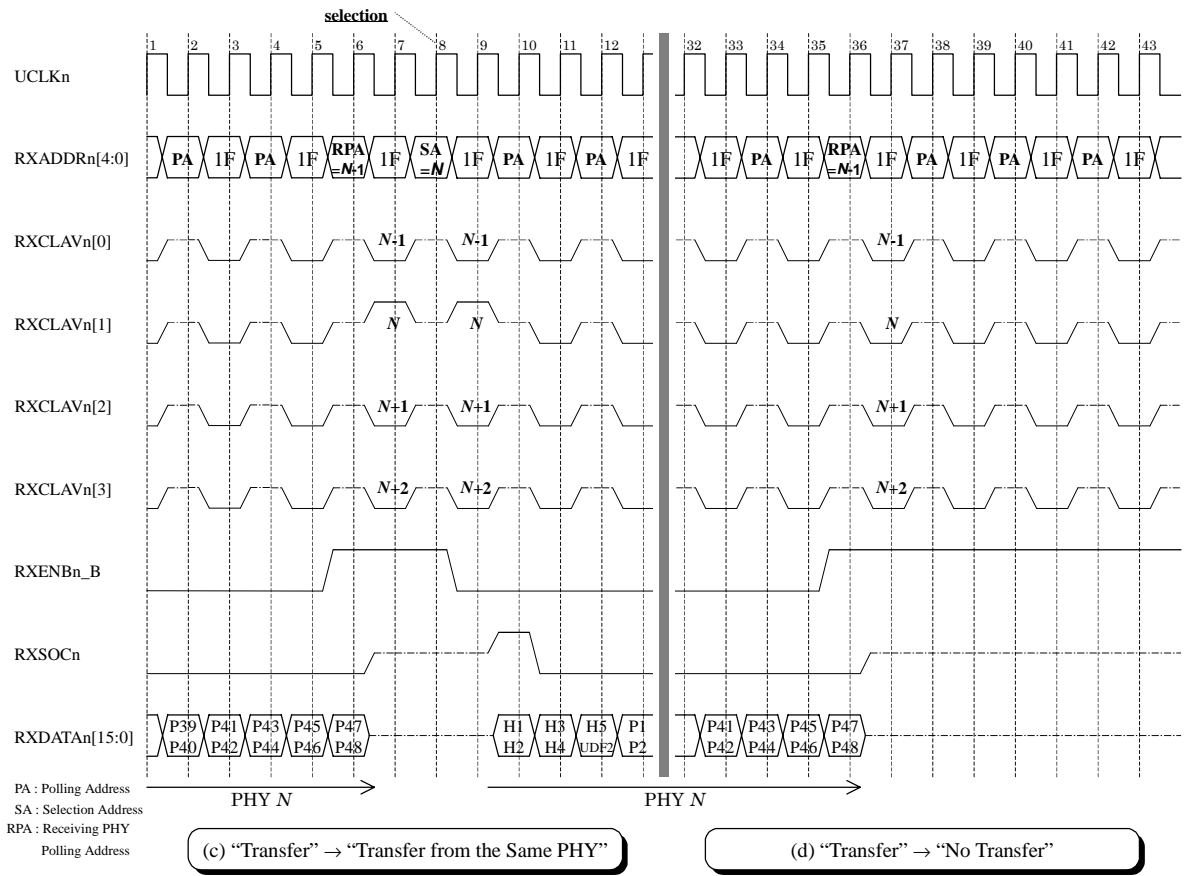
PHY アドレス	RXCLAVn[m]
"00h", "04h", "08h", "0Ch", "10h", "14h", "18h", "1Ch"	RXCLAVn[0]
"01h", "05h", "09h", "0Dh", "11h", "15h", "19h", "1Dh"	RXCLAVn[1]
"02h", "06h", "0Ah", "0Eh", "12h", "16h", "1Ah"	RXCLAVn[2]
"03h", "07h", "0Bh", "0Fh", "13h", "17h", "1Bh"	RXCLAVn[3]

μPD98412 は、RxClk 出力をサポートしていません。UTOPIA クロックとして UCLKn を μPD98412 に供給してください。

• タイミング・チャート (X15 ハンドシェーク・モード)



- (a)側：一度セル転送が開始されたら，セルを受信し終えるまで，RXENBn_B はデアサートされません。
- (b)側：RXENBn_B は P47/P48 (ペイロード 47/48) のタイミングで必ずデアサートされます。P47/P48 のタイミングで RXADDRn [4:0]が"1Fh"を示す場合は，RPA と SA タイミングを 1 クロック遅らせます(セル間隔：3 クロック → 4 クロック)。



(c)側：セルが同一 PHY から連続して転送される場合には、一度 RXENBn_B がデアサートされ、セレクションがふたたび行われます。

• ポーリング

ポーリング・アドレスは、タイミング・チャート中の PA (ポーリング・アドレス) のタイミングで出力されます。また、ポーリング・アドレスは、“00h”, “04h”, “08h”, “0Ch”, “10h”, “14h”, “18h”, “1Ch”が繰り返し出力されます。

• 受信中 PHY ポーリング

セル受信中における受信 PHY に対するポーリングは、タイミング・チャート中の RPA (受信中 PHY ポーリング・アドレス) のタイミングで行われます。

• セレクション

セレクション・アドレスは、得られたポーリング結果とポーリング・クラスを考慮して選択されます。セレクション・アドレスは、タイミング・チャート中の SA (セレクション・アドレス) のタイミングで出力されます。なお、セレクション・アドレスに対する RXCLAVn [0], RXCLAVn [1], RXCLAVn [2], RXCLAVn [3]は、ポーリング結果に反映されません。

セレクション・アドレスの決定方法については、15-PHY polling モード時の説明を参照してください。た

だし、本モードでは、次の点が異なります。

(判定順序)

接続可能な PHY デバイスの数が 30 であるので、それらのアドレスは次に示すように"00h"- "1Dh" になります。

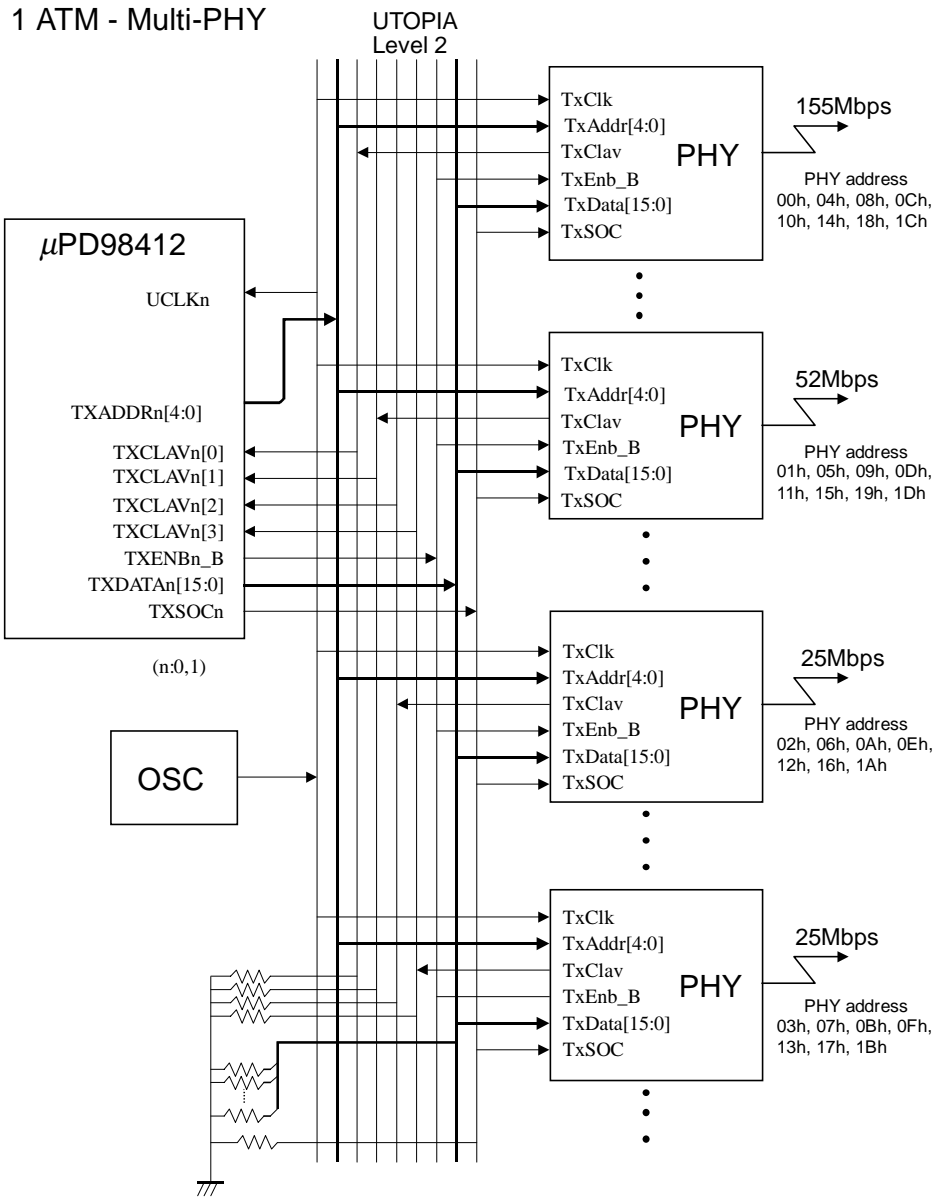


(判定開始アドレス)

判定開始アドレスは、15-PHY ポーリング・モードと同様にポーリング・クラスを考慮して決められます。ただし PHY デバイスの数が 30 に増えていることに注意してください。

3.7.2 出力ポート・インタフェース

接続の例を次に示します。

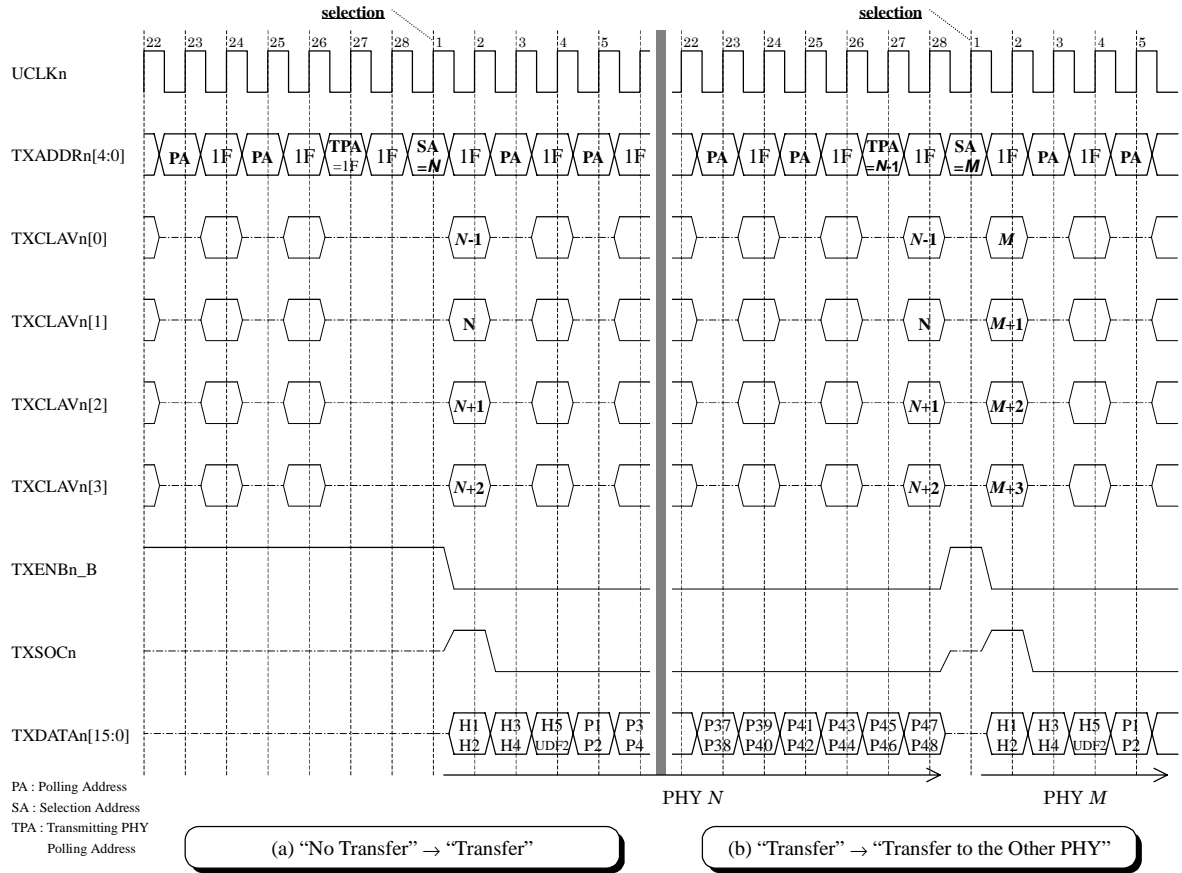


備考 PHY アドレスと接続する TXCLAVn[m]の対応

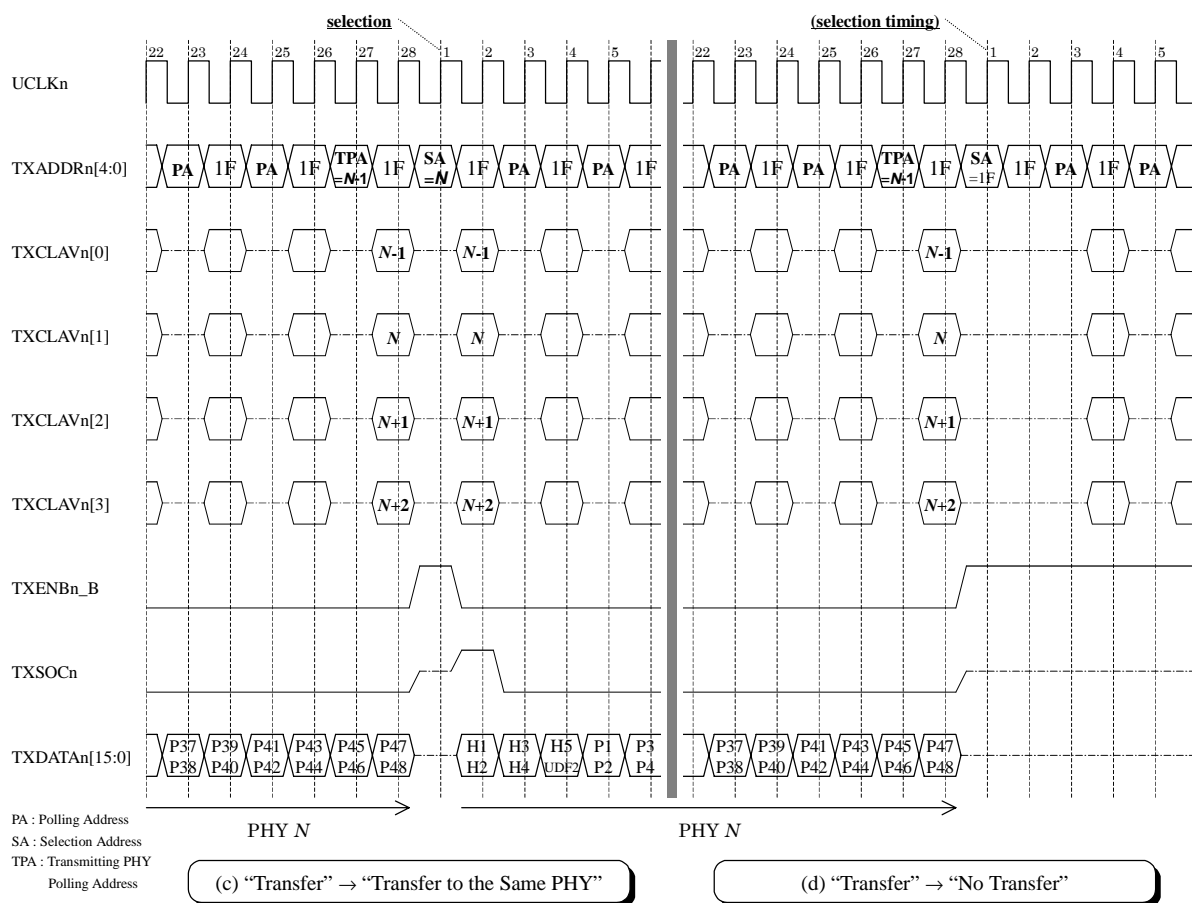
PHY アドレス	TXCLAVn[m]
"00h", "04h", "08h", "0Ch", "10h", "14h", "18h", "1Ch"	TXCLAVn[0]
"01h", "05h", "09h", "0Dh", "11h", "15h", "19h", "1Dh"	TXCLAVn[1]
"02h", "06h", "0Ah", "0Eh", "12h", "16h", "1Ah"	TXCLAVn[2]
"03h", "07h", "0Bh", "0Fh", "13h", "17h", "1Bh"	TXCLAVn[3]

μPD98412 は、TxClk 出力をサポートしていません。UTOPIA クロックとして UCLKn を μPD98412 に供給してください。

• タイミング・チャート (マルチ PHY 接続モード)



(a)側：一度セル転送が開始されたら、セルを送信し終わるまで、TXENBn_B はデアサートされません。



(c)側：セルが同一 PHY から連続して転送される場合には，一度 TXENBn_B がデアサートされ，セレクションがふたたび行われます。

• ポーリング

ポーリング・アドレスは，タイミング・チャート中の PA (ポーリング・アドレス) のタイミングで出力されます。ポーリング・アドレスの出力順序は，入力ポート・インタフェースと同じです。

• 転送中 PHY ポーリング

セル転送中における転送中 PHY に対するポーリングは，タイミング・チャート中の TPA (転送中 PHY ポーリング・アドレス) のタイミングで行われます。

セルが転送中でない場合は，"1Fh"が TPA タイミングで出力されます。

• セレクション

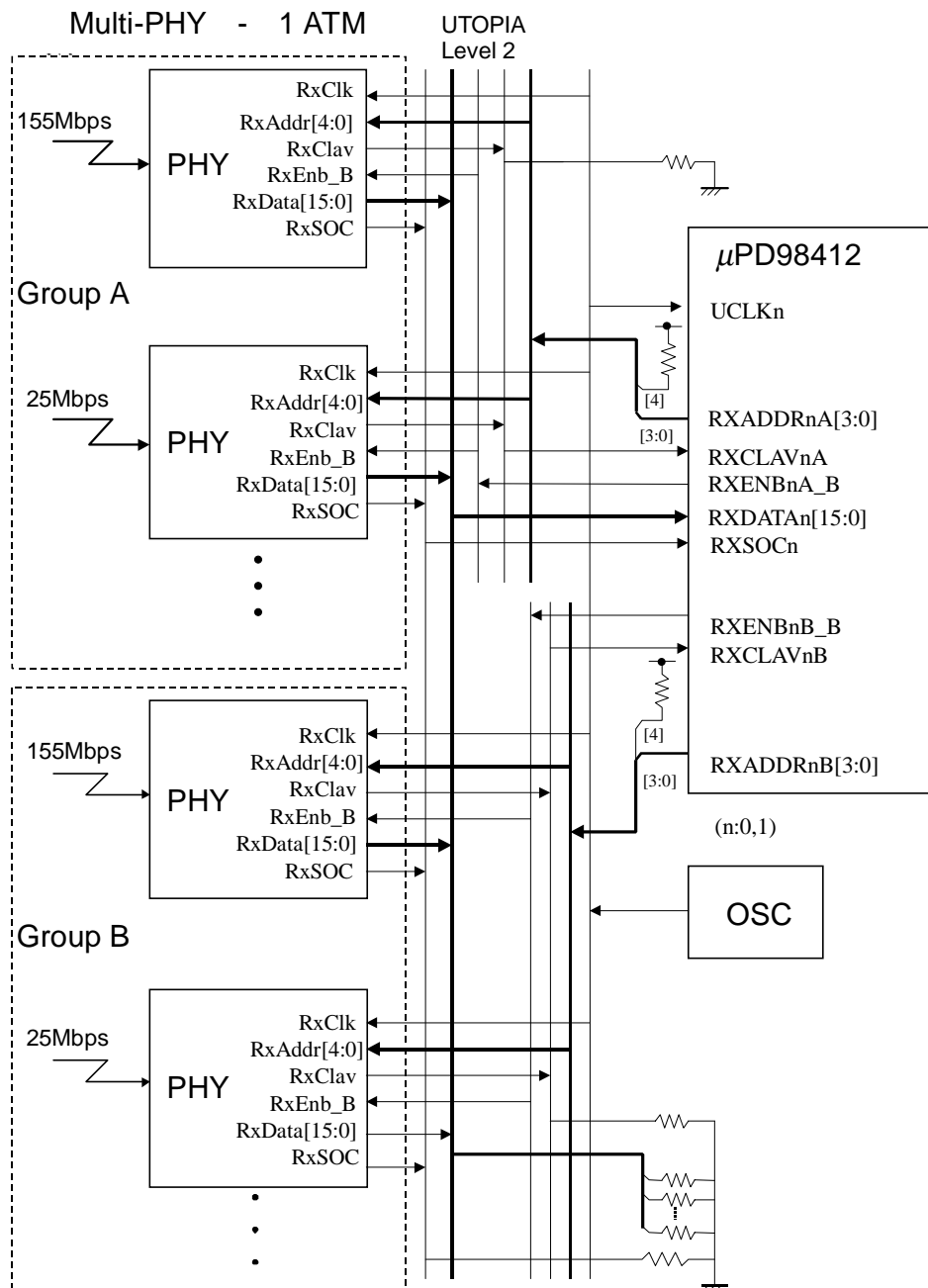
セレクション・アドレスは，タイミング・チャート中の SA (セレクション・アドレス) のタイミングで出力されます。なお，セレクション・アドレスに対する TXCLAVn [0], TXCLAVn [1], TXCLAVn [2], TXCLAVn [3], は，ポーリング結果に反映されません。

3.8 2-group weighted polling モード

2-group weighted polling モードは、16 ビット UTOPIA インタフェースで、マルチ PHY 接続により最大 30 までの入出力ポートをサポートします。1 つの UTOPIA インタフェース上に接続される複数 PHY ポートを 2 つのグループに形成でき、各グループごとにアドレス制御、RXCLAV 信号と TXCLAV 信号を制御します。

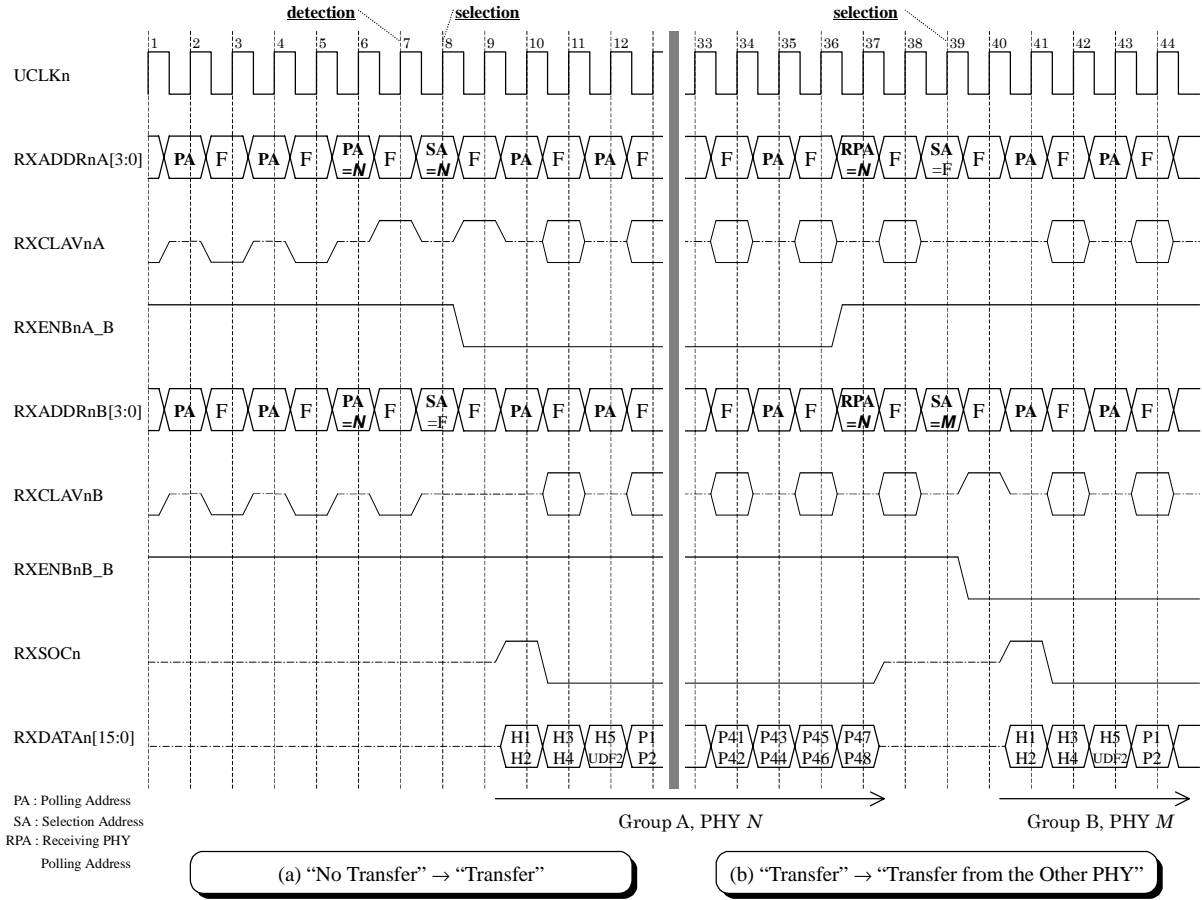
3.8.1 入力ポート・インタフェース

接続の例を示します。



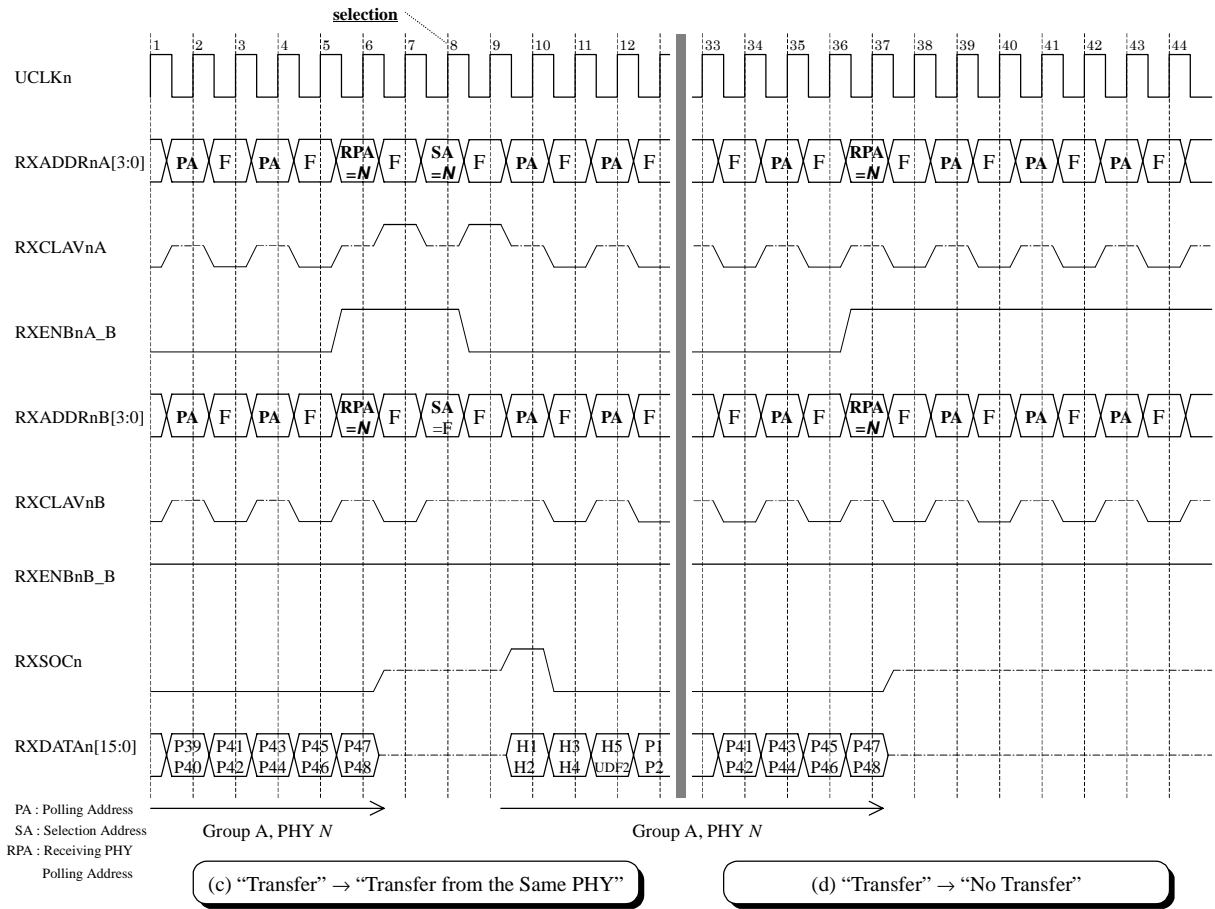
備考 PHY アドレスは5ビットで構成されています。これらのビットのうち、下位4ビットをμPD98412に接続します。上位1ビットはプルアップしてください。なお、μPD98412は、RxClk出力をサポートしていません。UTOPIAクロックとしてUCLKnをμPD98412に供給してください。

• タイミング・チャート (X15 ハンドシェーク・モード)



(a)側：一度セル転送が開始されたら，セルを受信し終えるまで，RXENBn_B はデアサートされません。

(b)側：RXENBn_B は P47/P48 (ペイロード 47/48) のタイミングで必ずデアサートされます。もし P47/P48 のタイミングで RXADDRn [3:0]が“Fh”を示す場合は，RPA と SA タイミングを 1クロック遅らせます (セル間隔：3クロック → 4クロック)。



(c)側：セルが同一 PHY から連続して転送される場合には、一度 RXENBn_B がデアサートされ、セレクションがふたたび行われます。

● ポーリング

ポーリング・アドレスは、タイミング・チャート中の PA (ポーリング・アドレス) のタイミングで出力されます。また、ポーリング・アドレスの出力順序は、UTOPIA コンフィギュレーション・レジスタ (UTPCFG0-3 レジスタ) の NPC0-2 の設定に従って、次のように決定されます。

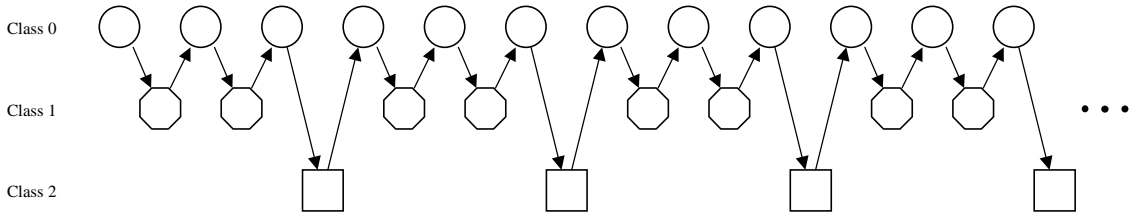
図 3 - 16 に示すように、ポーリング・クラス 0-2 は、それぞれ固有の "ポーリング・スロット" を持っています。ポーリング・アドレスは、各ポーリング・クラス (UTPCFG0-3 レジスタの NPC0-2) に割り当てられた PHY デバイスの数とポーリング・スロットの頻度により決定されます。図 3 - 17 はポーリング・アドレス生成の具体例を示しています。

なお、同じ値がグループ A と、グループ B のアドレスとして出力されます。ただし、次の 2 つの規則を適用します。

- (1) いずれのポート・コンフィギュレーション・レジスタ (PT レジスタ) にも設定されていない PHY アドレスは出力されず、代わりに "Fh" が出力されます。
- (2) μ PD98412 がセル受信動作中の場合 (RXENBnA_B = "L" または、RXENBnB_B = "L")、受信動作

中のグループ側は、受信のために選択された PHY のアドレスは出力されず、代わりに“Fh”が出力されます。

図3-16 ポーリング・クラスと“ポーリング・スロット”の関係

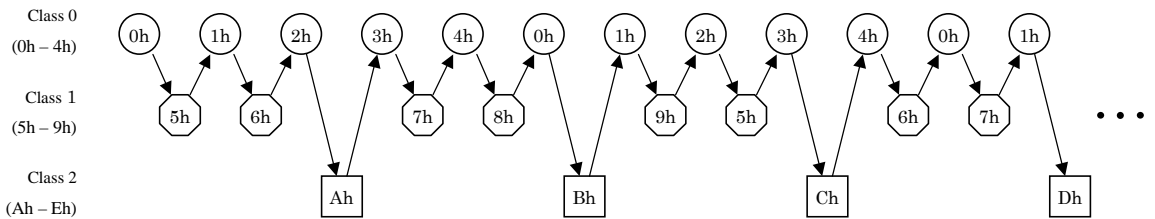


○, ◐, ◑ は、各ポーリング・クラスに対応したポーリング・スロットを示しています。また、1サイクルは6ポーリング・スロットから構成されています。

クラス0をポーリングするために、ポーリング・スロットが6回に3回の頻度で割り当てられています。同様にクラス1をポーリングするために、ポーリング・スロットが6回に2回の頻度で割り当てられています。さらに、クラス2をポーリングするために、ポーリング・スロットが6回に1回の頻度で割り当てられています。

図3-17 ポーリング・アドレスの生成

Case of “NPC0=5, NPC1=5, NPC2=5”



各ポーリング・クラスへ割り当てられる PHY デバイスの数は、UTPCFG0-3 レジスタの NPC0-2 に設定された値を使って決定されます。図3-17では、NPC0 = 5, NPC1 = 5, NPC2 = 5 に設定した例が示されています。

ポーリング・クラス0のポーリング・スロット(図中では ◐ で示す)には、PHY アドレス 0h-4h が割り当てられ、ポーリング・クラス1のポーリング・スロット(図中では ◑ で示す)には、PHY アドレス 5h-9h が割り当てられ、ポーリング・クラス2のポーリング・スロット(図中では ◒ で示す)には、PHY アドレス Ah-Eh が割り当てられます。ポーリング・アドレスは、次のような順番で出力されます。

0h, 5h, 1h, 6h, 2h, Ah, 3h, 7h, 4h, ...

• 受信中 PHY ポーリング

セル受信中における受信中 PHY に対するポーリングは、タイミング・チャート中の RPA (受信中 PHY ポーリング・アドレス) のタイミングで行われます。受信中でないグループでも、同じ RPA タイミングで、同じ値が出力されます。

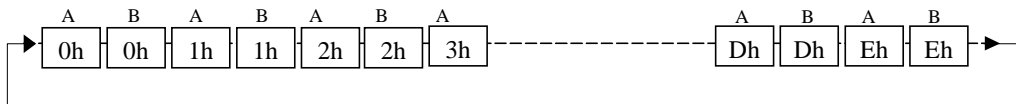
• セレクション

セレクション・アドレスは、得られたポーリング結果とポーリング・クラスを考慮して選択されます。セレクション・アドレスは、タイミング・チャート中の SA (セレクション・アドレス) のタイミングで出力されます。もう一方のグループでは、"Fh"が出力されます。なお、セレクション・アドレスに対する RXCLAVnA または RXCLAVnB のステータスはポーリング結果に反映されません。

セレクション・アドレスの決定方法については、15-PHY ポーリング・モード時の説明を参照してください。ただし、本モードでは、次の点が異なります。

判定順序)

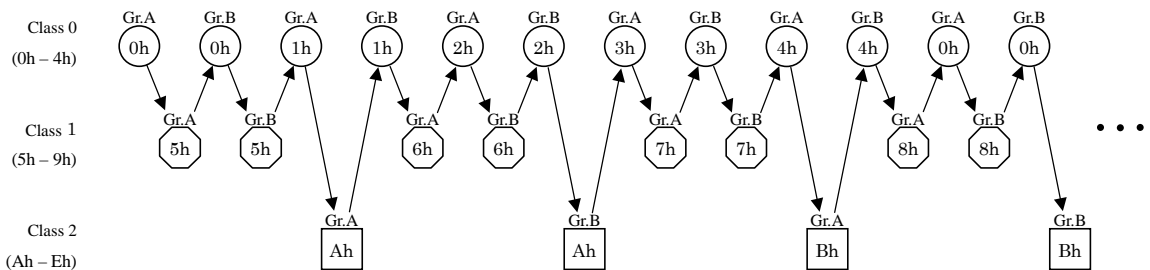
グループ A と B の PHY デバイスは、次に示す順序で判定されます。



判定開始アドレス)

2つのグループ(グループ A, B)があるため、判定開始アドレスは、下図に示すように2つのグループの間で切り替えられます。なお下図は、15-PHY ポーリング・モード時の説明と同じ値を UTPCFG に設定した場合を想定しています。

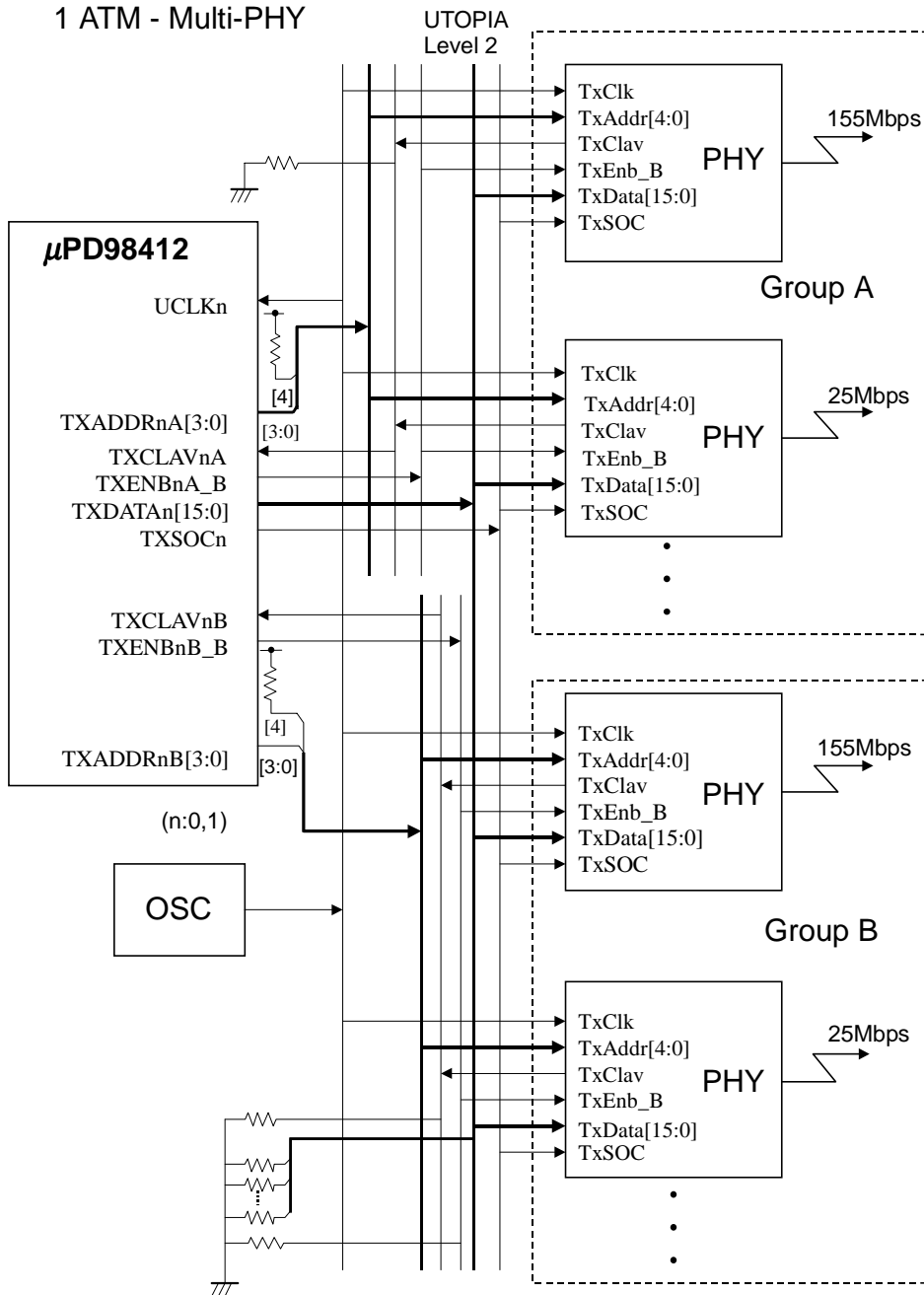
Case of "NPC0=5, NPC1=5, NPC2=5"



3.8.2 出力ボ - ト・インタフェ - ス

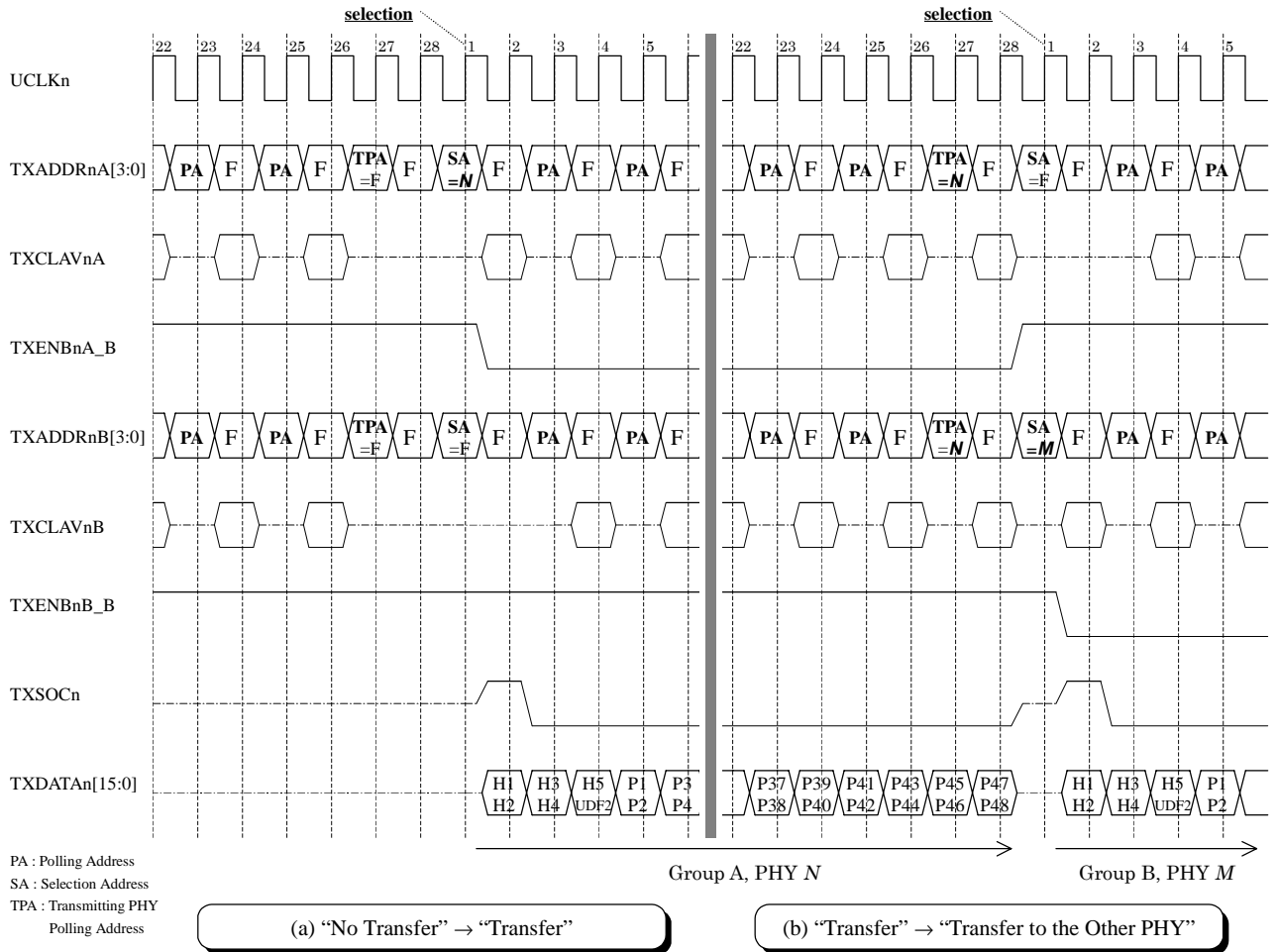
接続の例を次に示します。

1 ATM - Multi-PHY

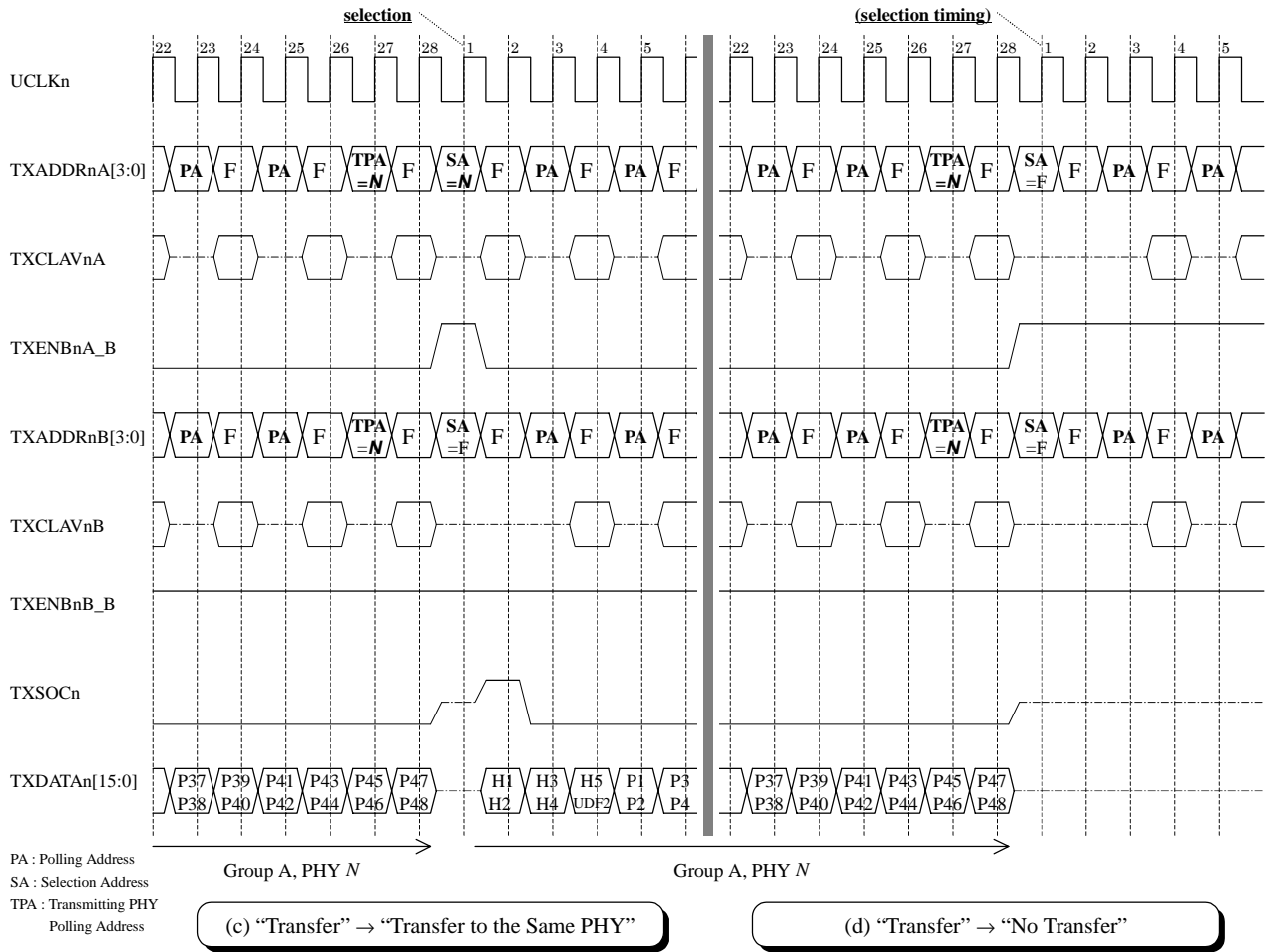


備考 PHY アドレスは 5 ビットで構成されています。これらのビットのうち、下位 4 ビットを μ PD98412 に接続します。上位 1 ビットはプルアップしてください。なお、 μ PD98412 は、TxClk 出力をサポートしていません。UTOPIA クロックとして UCLKn を μ PD98412 に供給してください。

• タイミング・チャート (マルチ PHY 接続モード)



(a)側：一度セル転送が開始されたら，セルを送信し終えるまで，TXENBn_B はデアサートされません。



(c)側：セルが同一 PHY から連続して転送される場合には，一度 TXENBn_B がデアサートされ，セレクションがふたたび行われます。

● ポーリング

ポーリング・アドレスは，タイミング・チャート中の PA (ポーリング・アドレス) のタイミングで出力されます。ポーリング・アドレスの出力順序は，入力ポート・インタフェースと同じです。

● 転送中 PHY ポーリング

セル転送中における転送中 PHY に対するポーリングは，タイミング・チャート中の TPA (転送中 PHY ポーリング・アドレス) のタイミングで行われます。もう一方のグループでも，同じ値が，同じ TPA タイミングで出力されます。セルが転送中でない場合は，"Fh"が TPA タイミングで出力されます。

● セレクション

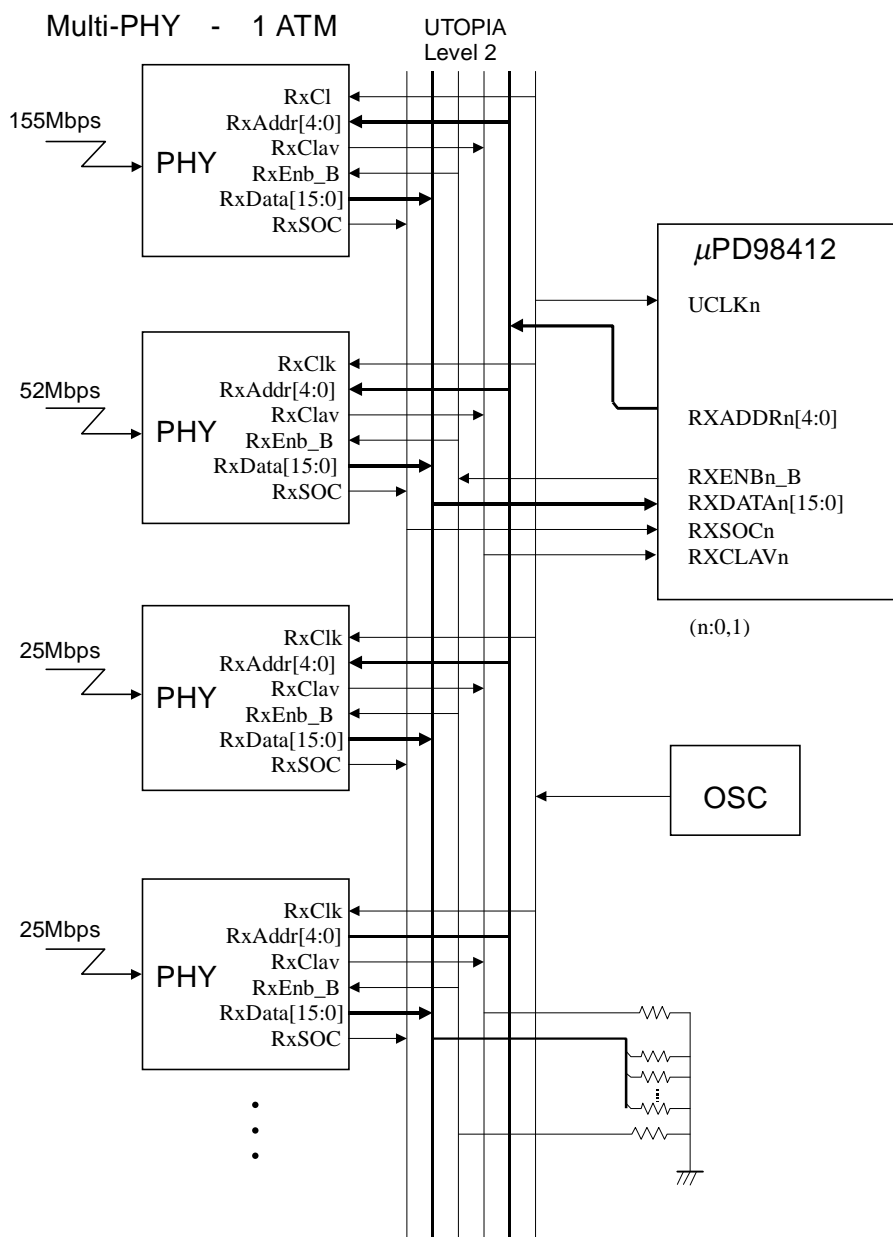
セレクション・アドレスは，タイミング・チャート中の SA (セレクション・アドレス) のタイミングで出力されます。もう一方のグループでは，同じ SA タイミングで"Fh"が出力されます。なお，セレクション・アドレスに対する TXCLAVnA，TXCLAVnB は，ポーリング結果に反映されません。

3.9 1-group weighted polling モード

1-group weighted polling モードは、16 ビット UTOPIA インタフェースで、マルチ PHY 接続により最大 30 までの入出力ポートをサポートします。1 つの UTOPIA インタフェース上に接続される複数 PHY ポートを 1 つのグループに形成して制御します。

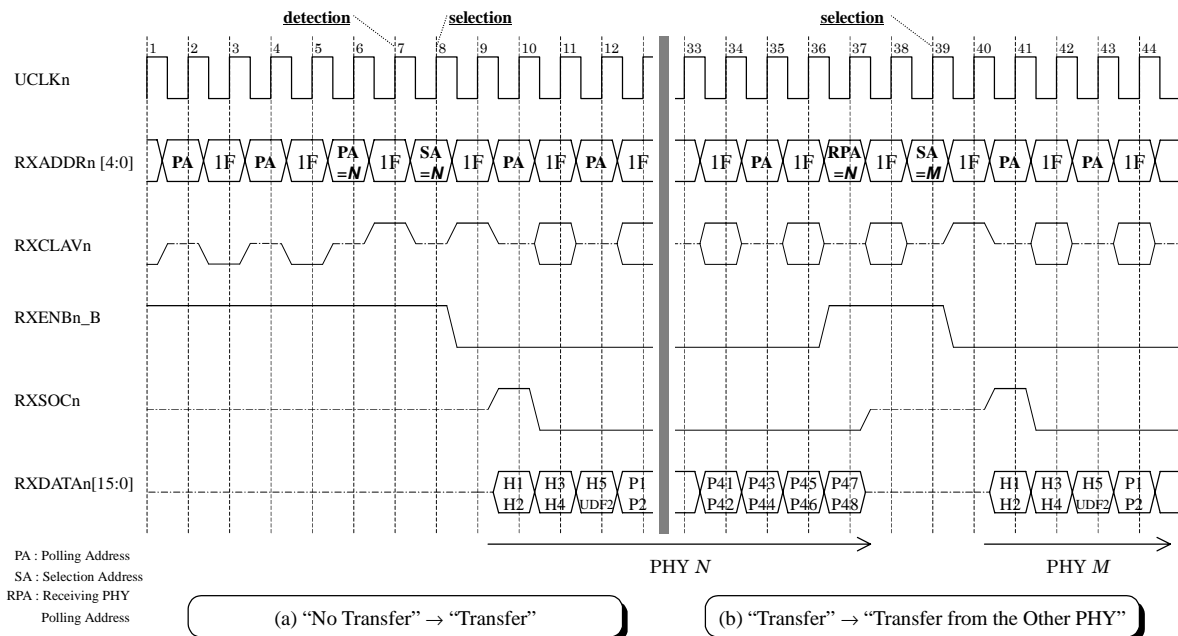
3.9.1 入力ポート・インタフェース

接続の例を示します。

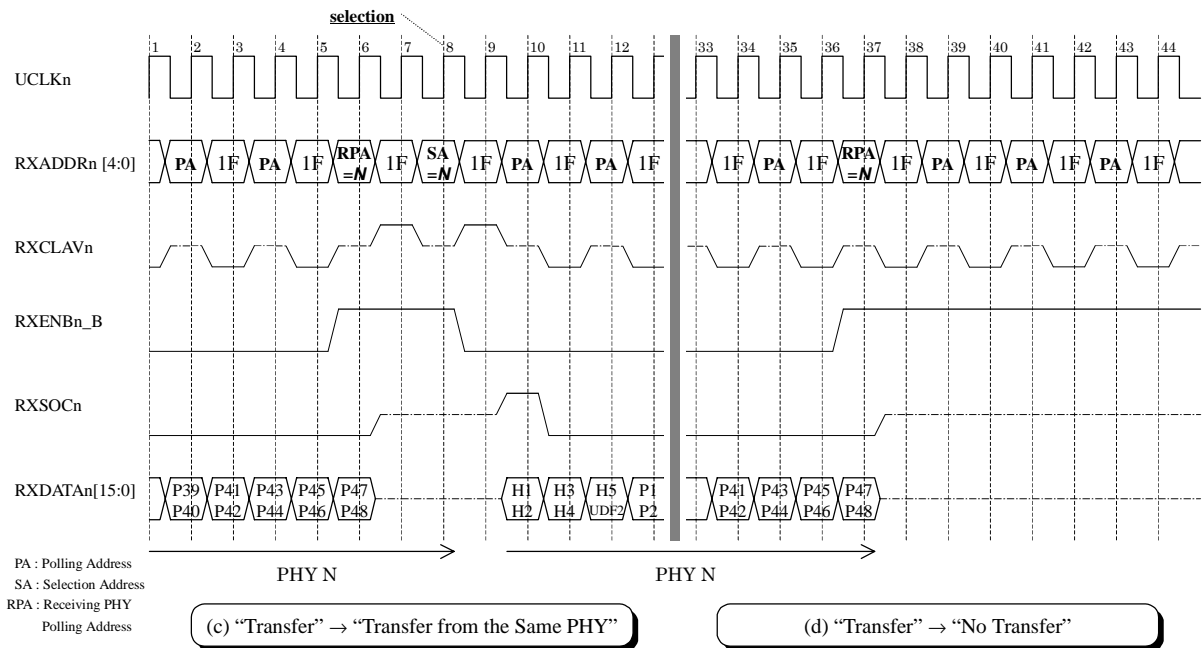


備考 μPD98412 は、RxClk 出力をサポートしていません。UTOPIA クロックとして UCLKn を μPD98412 に供給してください。

• タイミング・チャート (X15 ハンドシェイク・モード)



- (a)側：一度セル転送が開始されたら，セルを受信し終えるまで，RXENBn_B はデアサートされません。
- (b)側：RXENBn_B は P47/P48 (ペイロード 47/48) のタイミングで必ずデアサートされます。P47/P48 のタイミングで RXADDRn [4:0]が"1Fh"を示す場合は，RPA と SA タイミングを1クロック遅らせます(セル間隔：3クロック → 4クロック)。



(c)側：セルが同一 PHY から連続して転送される場合には、一度 RXENBn_B がデアサートされ、セレクションがふたたび行われます。

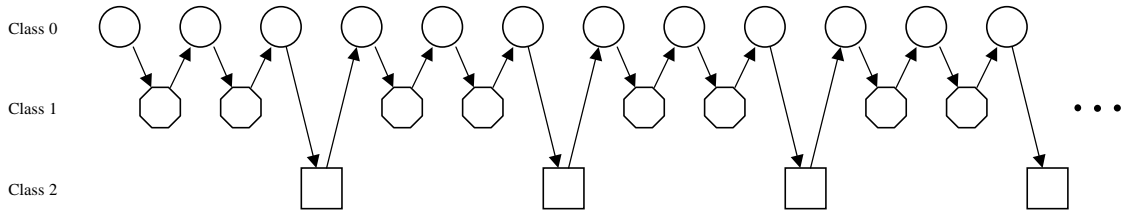
• ポーリング

ポーリング・アドレスは、タイミング・チャート中の PA (ポーリング・アドレス) のタイミングで出力されます。また、ポーリング・アドレスの出力順序は、UTOPIA コンフィギュレーション・レジスタの NPC0-2 の設定に従って、次のように決定されます。

図 3 - 18 に示すように、ポーリング・クラス 0-2 は、それぞれ固有の“ポーリング・スロット”を持っています。ポーリング・アドレスは、各ポーリング・クラス (UTPCFG0-3 レジスタの NPC0-2) に割り当てられた PHY デバイスの数と“ポーリング・スロット”の頻度により決定されます。図 3 - 19 はポーリング・アドレス生成の具体例を示しています。ただし、次の 2 つの規則を適用します。

- (1) いずれのポート・コンフィギュレーション・レジスタ (PT レジスタ) にも設定されていない PHY アドレスは出力されず、代わりに“1Fh”が出力されます。
- (2) μ PD98412 がセル受信動作中の場合 (RXENBn_B = “L”)、受信のために選択された PHY のアドレスは出力されず、代わりに“1Fh”が出力されます。

図3-18 ポーリング・クラスと“ポーリング・スロット”の関係

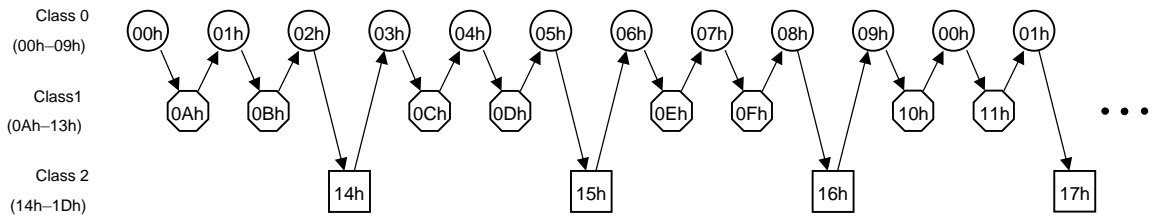


○, ◐, ◑ は、各ポーリング・クラスに対応したポーリング・スロットを示しています。また、1サイクルは6ポーリング・スロットから構成されています。

クラス0をポーリングするために、ポーリング・スロットが6回に3回の頻度で割り当てられています。同様にクラス1をポーリングするために、ポーリング・スロットが6回に2回の頻度で割り当てられています。さらに、クラス2をポーリングするために、ポーリング・スロットが6回に1回の頻度で割り当てられています。

図3-19 ポーリング・アドレスの生成

Case of "NPC0=10, NPC1=10, NPC2=10"



各ポーリング・クラスへ割り当てられるPHYデバイスの数は、UTPCFG0-3レジスタのNPC0-2に設定された値を使って決定されます。図3-19では、NPC0=10, NPC1=10, NPC2=10に設定した例が示されています。

ポーリング・クラス0のポーリング・スロット(図中では ◐ で示す)には、PHYアドレス00h-09hが割り当てられ、ポーリング・クラス1のポーリング・スロット(図中では ◑ で示す)には、PHYアドレス0Ah-13hが割り当てられ、ポーリング・クラス2のポーリング・スロット(図中では ◒ で示す)には、PHYアドレス14h-1Dhが割り当てられます。ポーリング・アドレスは、次のような順番で出力されます。

00h, 0Ah, 01h, 0Bh, 02h, 14h, 03h, 0Ch, 04h, ...

● 受信PHYポーリング

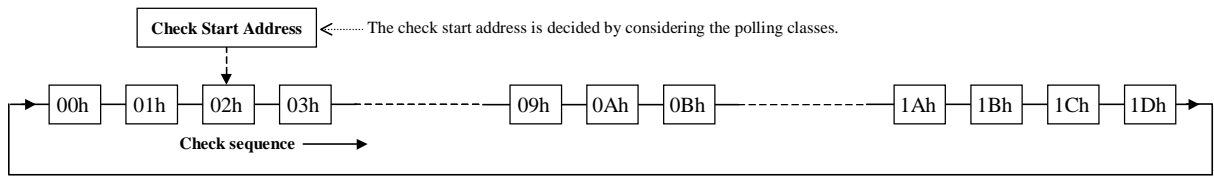
セル受信における受信PHYに対するポーリングは、タイミング・チャート中のRPA(受信PHYポーリング・アドレス)のタイミングで行われます。

• セレクション

セレクション・アドレスは、得られたポーリング結果とポーリング・クラスを考慮して選択されます。セレクション・アドレスは、タイミング・チャート中の SA (セレクション・アドレス) のタイミングで出力されます。なお、セレクション・アドレスに対する RXCLAVn のステータスはポーリング結果に反映されません。

次に、セレクション・アドレスを決めるセレクション・アルゴリズムについて説明します。

1-group weighted polling モードでは、μPD98412 は、最初に転送可能な PHY デバイスを選択するために、ポーリング・クラスを考慮して決定された判定開始アドレス (Check Start Address) からポーリング結果を判定します。



たとえば、ポーリング結果が下表だとすると、上図のようにポーリング結果の判定が PHY アドレス"02h"からはじめる場合は、PHY アドレス"07h"の PHY がセレクションされます。

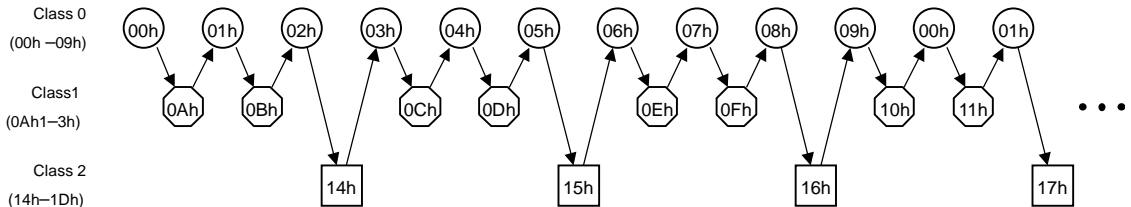
PHY address	00h	01h	02h	03h	04h	05h	06h	07h	08h	09h	0Ah	0Bh	0Ch	0Dh	0Eh	0Fh
RxClav	L	L	L	L	L	L	L	H	H	H	L	L	L	H	H	L

PHY address	10h	11h	12h	13h	14h	15h	16h	17h	18h	19h	1Ah	1Bh	1Ch	1Dh
RxClav	L	H	H	H	L	L	L	H	L	H	H	L	L	L

次に判定開始アドレスの決定方法を説明します。

μPD98412 は、判定開始アドレスを決定するために、ポーリング・クラスを使用します。ここでは説明を簡単にするために、各クラスに 10 個の PHY デバイスが割り当てられている場合を考えます。

“Case of NPC0=10, NPC1=10, NPC2=10”



- UTPCFG レジスタの設定

NPC0 = 10, NPC1 = 10, NPC2 = 10

- PHY アドレス

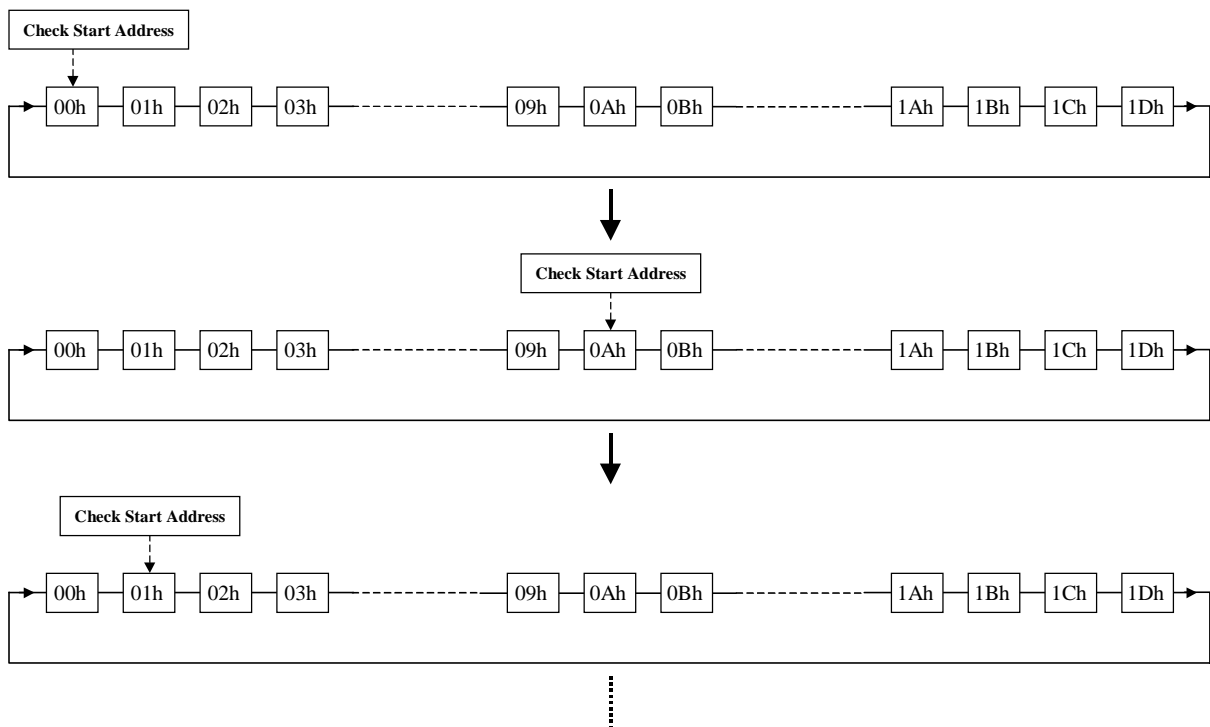
もし UTPCFG レジスタが上記のように設定されているならば、PHY アドレスは次のように各ボーリング・クラスに割り当てられます。

クラス 0: 00h-09h

クラス 1: 0Ah-13h

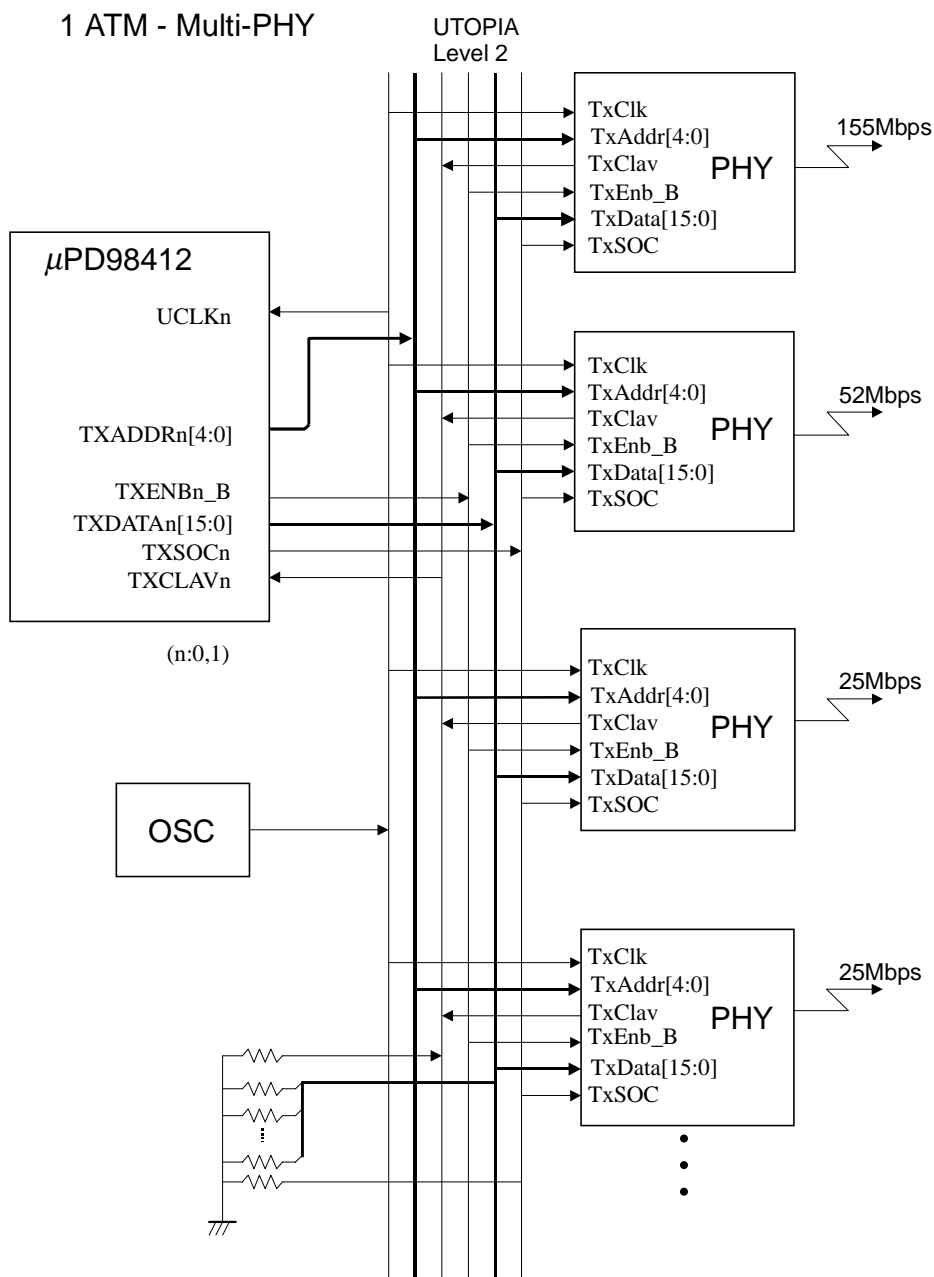
クラス 2: 14h-1Dh

μ PD98412 では、ボーリング結果の判定開始アドレスは、上図に従って"00h" "0Ah" "01h" "0Bh"...のように変化します。



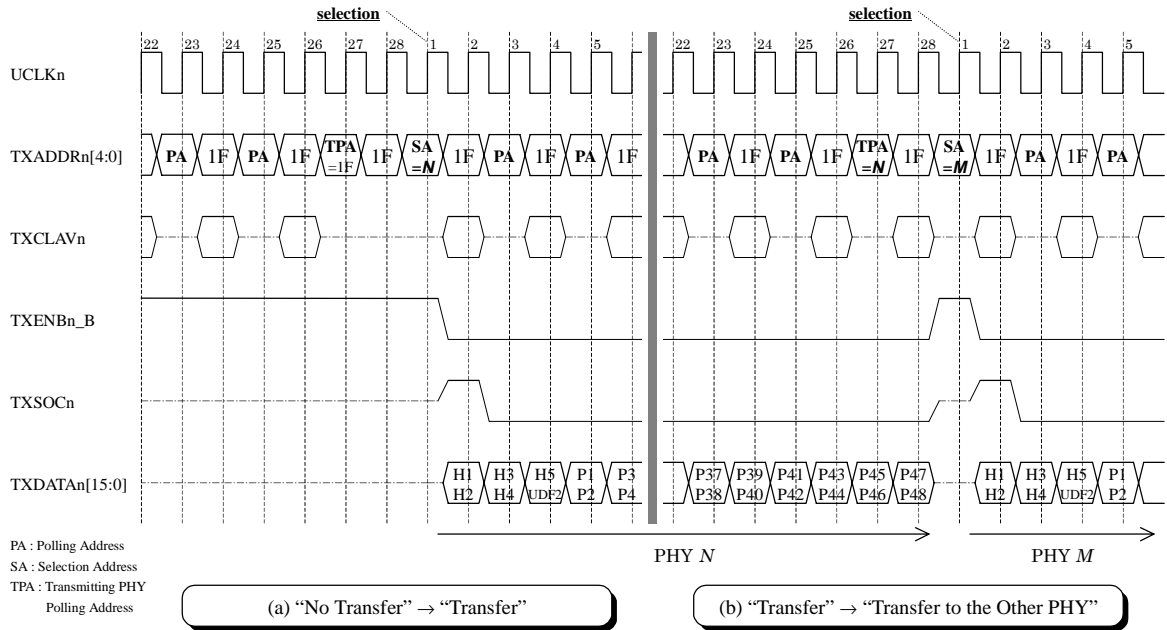
3.9.2 出力ポート・インタフェース

接続の例を次に示します。

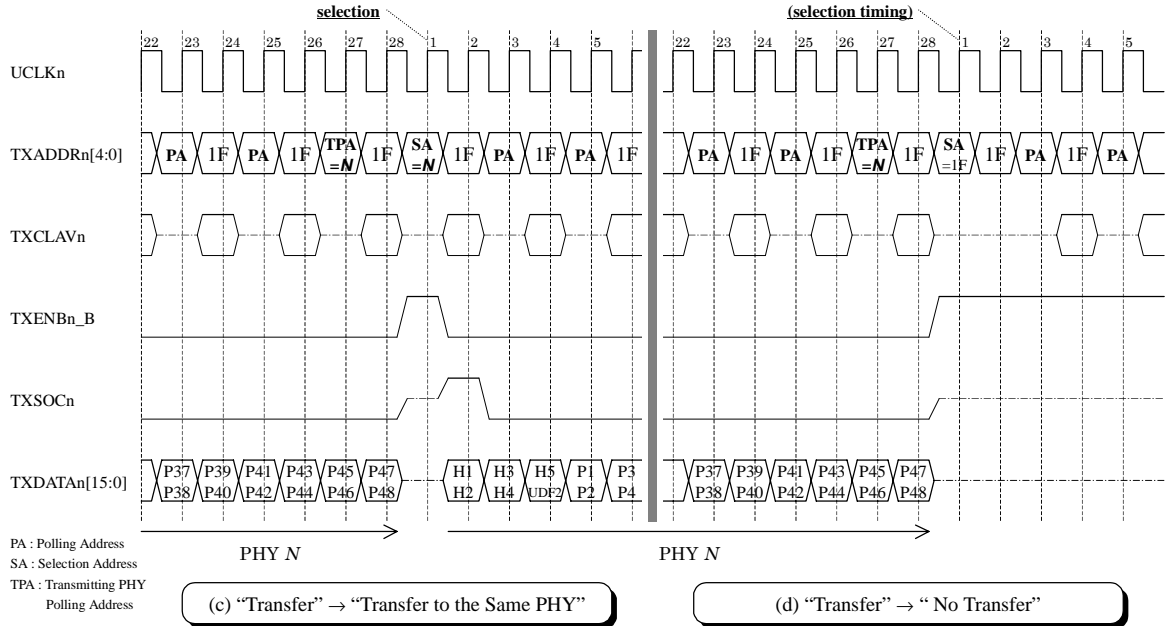


備考 μ PD98412 は、TxClk 出力をサポートしていません。UTOPIA クロックとして UCLKn を μ PD98412 に供給してください。

• タイミング・チャート (マルチ PHY 接続モード)



(a)側：一度セル転送が開始されたら，セルを送信し終えるまで，TXENBn_B はデアサートされません。



(c)側：セルが同一 PHY から連続して転送される場合には，一度 TXENBn_B がデアサートされ，セレクションがふたたび行われます。

- ポーリング

ポーリング・アドレスは、タイミング・チャート中の PA (ポーリング・アドレス) のタイミングで出力されます。ポーリング・アドレスの出力順序は、入力ポート・インタフェースと同じです。

- 転送中 PHY ポーリング

セル転送中における転送中 PHY に対するポーリングは、タイミング・チャート中の TPA (転送中 PHY ポーリング・アドレス) のタイミングで行われます。

セルが転送中でない場合は、"1Fh"が TPA タイミングで出力されます。

- セレクション

セレクション・アドレスは、タイミング・チャート中の SA (セレクション・アドレス) のタイミングで出力されます。なお、セレクション・アドレスに対する TXCLAVn は、ポーリング結果に反映されません。

3.10 PHY デバイスに対する要求（入力ポート）

複数の PHY デバイスが 1 つの UTOPIA インタフェースに接続される時、たとえ転送可能なセルがあっても、PHY デバイスは、 μ PD98412 へのセル転送を待たされることがあります。 μ PD98412 が、この PHY デバイスからセルを受け取る前に、同じ UTOPIA インタフェースに接続されたほかの PHY デバイスからセルを受信するとき、PHY デバイスは転送待ち状態になります。もしセル転送待ち時間が、PHY デバイスのセル・バッファリングの限界を越えた場合には、PHY デバイス中のセルは失われます。

μ PD98412 では、最大セル転送の待ち時間は、UTOPIA インタフェースの実効スループット、ポーリング・モード、ポーリング・クラス、接続されている PHY デバイスの数により、次のように求められます。したがって、 μ PD98412 には、少なくとも、次の式を使って得られる最大待ち時間分のセル・バッファリングができる PHY デバイスを接続してください。

(式)

15-PHY polling mode

$$T_{Wn} = \left(\frac{15}{26} + k_n \times NPCn \right) \times T$$

Multiplexed status polling mode

$$T_{Wn} = \left(\frac{8}{13} + k_n \times NPCn \right) \times T$$

2-group weighted polling mode

$$T_{Wn} = \left(\frac{k_n \times NPCn}{13} + 2 \times k_n \times NPCn \right) \times T$$

1-group weighted polling mode

$$T_{Wn} = \left(\frac{k_n \times NPCn}{13} + k_n \times NPCn \right) \times T$$

各記号は次の意味を表します。

n : ポーリング・クラス (0-2)

T_{Wn} : ポーリング・クラス n に属す PHY デバイスの最大待ち時間 [sec]

k_n : ポーリング・クラス n の係数

$$k_0 = 2$$

$$k_1 = 4$$

$$k_2 = 6$$

$NPCn$: ポーリング・クラス n に属す PHY デバイスの数

(UTPCFG レジスタの説明参照)

T : 次の式によって得られる 1 セルあたりの転送時間 [sec]

$$T = \frac{8[\text{bit}] \times 53[\text{byte}]}{(\text{Effective throughput per UTOPIA interface}[\text{bps}])}$$

(例)

<< 条件 >>

次のクロック周波数条件もと、2個の 155 Mbps の PHY デバイス、3個の 52 Mbps の PHY デバイス、6個の 25 Mbps の PHY デバイスが、1-group weighted polling mode の UTOPIA インタフェースに接続されています。

$$UCLK = 50\text{MHz}, SWCLK = 33\text{MHz}$$

ここで、155 Mbps の PHY デバイス、52 Mbps の PHY デバイス、25 Mbps の PHY デバイスは、それぞれ、ポーリング・クラス 0、ポーリング・クラス 1、ポーリング・クラス 2 に割り当てられ、NPC n は、次のように設定されているとします。

$$NPC0 = 2, NPC1 = 3, NPC2 = 6$$

<< 式 >>

最初に、1セルあたりの転送時間 (T) を次のように求めます。

$$\begin{aligned} T &= \frac{8 \times 53}{\min(50 \times 10^6 \times 8 \times 53 / 28, 33 \times 10^6 \times 8 \times 53 / 22)} \\ &= 0.67 \times 10^{-6} [\text{sec}] \end{aligned}$$

ポーリング・クラス 0 に属す PHY の最大待ち時間は、次のようになります。

$$\begin{aligned} T_{w0} &= \left(\frac{k_0 \times NPC0}{13} + k_0 \times NPC0 \right) \times T \\ &= \left(\frac{2 \times 2}{13} + 2 \times 2 \right) \times 0.67 \times 10^{-6} \\ &= 2.9 \times 10^{-6} [\text{sec}] \end{aligned}$$

最大待ち時間分のセル・バッファリングが可能な PHY デバイスのバッファ・サイズは、次の式で求められます。なぜなら、155 Mbps の PHY デバイスは、2.8 [μsec]ごとに、セルを受信するからです。

$$(\text{buffer size}) = \frac{2.9 \times 10^{-6}}{2.8 \times 10^{-6}} = 1.04 \approx 2$$

同様に、52 Mbps の PHY デバイスの場合、最大待ち時間と、PHY のバッファ・サイズは、次のようになります（52 Mbps の PHY デバイスは 8.5 [μsec]ごとにセルを受信します）。

$$\begin{aligned} T_{w1} &= \left(\frac{4 \times 3}{13} + 4 \times 3 \right) \times 0.67 \times 10^{-6} \\ &= 8.7 \times 10^{-6} \\ (\text{buffer size}) &= \frac{8.7 \times 10^{-6}}{8.5 \times 10^{-6}} = 1.02 \approx 2 \end{aligned}$$

25 Mbps の PHY デバイスの場合、最大待ち時間と、PHY のバッファ・サイズは、次のようになります（25 Mbps の PHY デバイスは 16.9 [μsec]ごとにセルを受信します）。

$$\begin{aligned} T_{w2} &= \left(\frac{6 \times 6}{13} + 6 \times 6 \right) \times 0.67 \times 10^{-6} \\ &= 26.0 \times 10^{-6} \\ (\text{buffer size}) &= \frac{26.0 \times 10^{-6}}{16.9 \times 10^{-6}} = 1.54 \approx 2 \end{aligned}$$

（注 意）

各 PHY デバイスに流れるトラフィック特性によっては、PHY デバイス中でセル・ロスを引き起こす場合があります。したがって、上記の要求を満たした PHY デバイスにおいても、セル・ロスが発生しないことを完全に保証はできません。

実際には、上記の要求にマージンとして次のバッファ・サイズを加えてください。

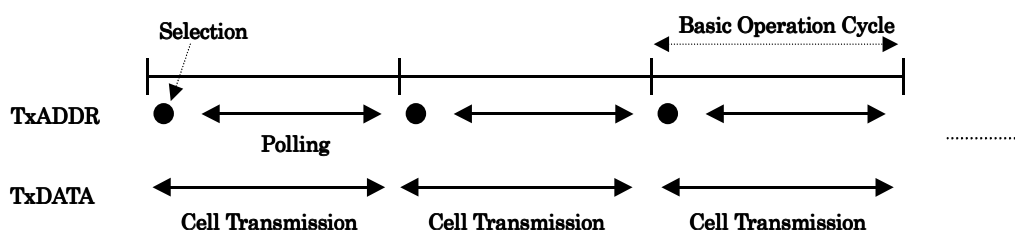
- μPD98412 へ転送するために待たされている、受信されたセル用の 1 セル分のバッファ
- ユーザのシステムに依存して必要なバッファ

3.11 PHY デバイスに対する要求（出力ポート）

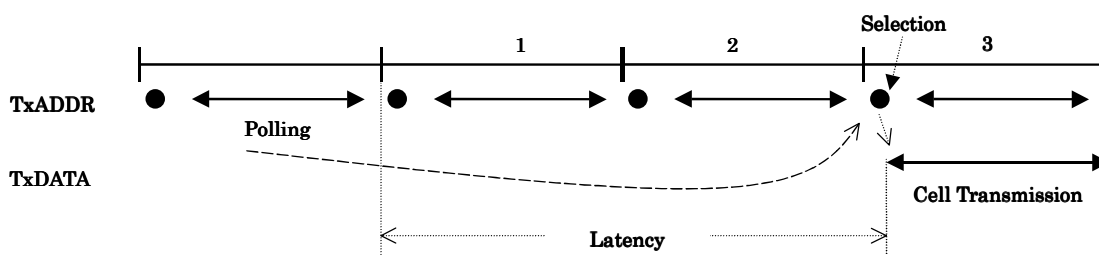
PHY デバイスがセルを受信可能であると μ PD98412 が検出した時間と、 μ PD98412 がセルを送信した時間の間には、レイテンシと呼ばれる遅延があります。ここでは、レイテンシとレイテンシによる制限について説明します。

3.11.1 レイテンシ

μ PD98412 の出力 UTOPIA インタフェースにおいて、8 ビット UTOPIA インタフェースの基本動作サイクルは 54 UTOPIA クロック・パルス、16 ビット UTOPIA インタフェースは 28 UTOPIA クロック・パルスです。基本動作サイクル内では、ポーリング、セレクション（セルを転送する PHY の決定）、および 1 セルの転送が行われます。



下図において示されているフローは、セル転送の過程（ポーリング セレクション セル転送）を示しています。図に示されているように、ポーリング結果がセレクションに反映されて、実際にセルが転送されるまでに数サイクルの遅延があります。この遅延がレイテンシと呼ばれます。図では、レイテンシが 3 の場合を示しています。



このレイテンシは、ポーリング結果を受け取ってからセルを送信するまでに、 μ PD98412 によって行われる以下の内部処理のために発生します。

処理 1:

次の情報に従って送信するセルが決定されます。

- UTOPIA インタフェースに接続された全 PHY デバイスのポーリング結果
- シェーピング、および連続出力の可否
- ポートの優先順位
- WFQ

処理 2:

送信すべきセルがセル・バッファから取り出されて、O-FIFO (μPD98412 内部の出力 FIFO バッファ) に格納されます。

レイテンシ期間は、UTOPIA インタフェースおよび使われるポーリング・モードにより次のように異なります。

UTOPIA I/F	最大レイテンシ
8-bit UTOPIA I/F, 12-PHY Polling mode	2 基本動作サイクル
8-bit UTOPIA I/F, 15-PHY Polling mode	3 基本動作サイクル
16-bit UTOPIA I/F	4 基本動作サイクル

上記の表は、最大レイテンシの値を示しています。処理 1 を行うポーリング回路と、処理 2 を行うスイッチング回路が非同期に動作しているため、これらの回路間のタイミングによっては、より少ないレイテンシで送信される場合があります。

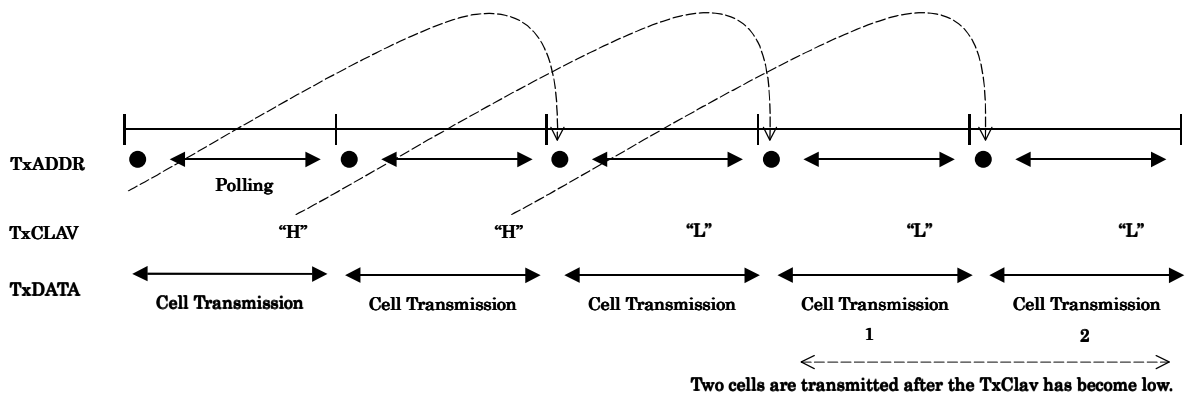
3.11.2 PHY デバイス接続に関する制限

μPD98412 へ接続される PHY デバイスは、レイテンシのため、TxClav の制御方法が、一定の条件を満たしている必要があります。ここでは、この条件について説明します。さらに 8-bit UTOPIA インタフェースの 12-PHY polling mode を使う場合は、ポーリングのタイミングに起因する条件もあります。

ここでは、あわせてこの条件についても説明します。

(1) レイテンシに起因する条件

μPD98412 が、特定の PHY デバイスへ連続的にセルを転送していると仮定します。もし PHY デバイスが TxClav をデアサートしたとしても、μPD98412 は、すぐにセルの送信を停止することができず、μPD98412 は、PHY デバイスが TxClav をデアサートしたあと、PHY デバイスへ 2 個のセルを送信します。次の図は、3 のレイテンシの例を示しています。



したがって、この例では、PHY デバイスは、3 セル以上受信可能な場合にのみ、TxClav をアサートする必要があります。なお、受信可能なセル数と TxClav の状態の関係は、使われる UTOPIA インタフェースとポーリング・モードによって異なります。

8-bit UTOPIA I/F, 12-PHY Polling mode ...	2 セル (下記(2)で説明する制限あり)
8-bit UTOPIA I/F, 15-PHY Polling mode ...	3 セル
16-bit UTOPIA I/F ...	4 セル

(2) ポーリング・タイミングに起因する条件

8-bit UTOPIA インタフェースの 12-PHY ポーリング・モードでは、セル送信中の PHY に対するポーリングのタイミングが他の場合と異なります。

8-bit UTOPIA I/F, 12-PHY polling モード

P18 (ペイロードの 18 オクテット目) の送信後にポーリングが行われます。

他のモード

P44 (ペイロードの 44 オクテット目) の送信後にポーリングが行われます。

8-bit UTOPIA インタフェースの 12-PHY ポーリング・モードでの転送中の PHY に対するポーリング・タイミングは、レイテンシを減らすことを意図しています。これは、UTOPIA レベル 2 標準ではありません。このため、このインタフェースを使用する場合は、次の条件のうち、いずれかを満たす PHY デバイスを接続する必要があります。

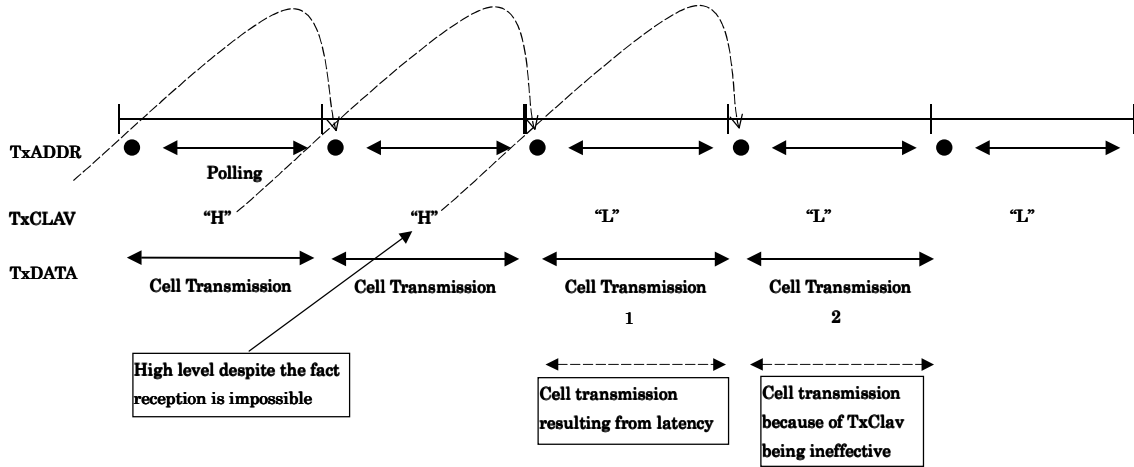
条件 1:

P18 送信後のポーリングに対して有効な TxClav を出力可能でなければならない。(有効な TxClav とは、上記(1)で示したように、2 セル以上受信可能な場合にのみ TxClav がアサートされ、2 セル未満受信可能な場合は、TxClav がデアサートされるという意味です)

条件 2:

TxClav がアサートされるときは、PHY デバイスが 3 セル(上記(1)で説明した 2 セル+1 セル)以上受信可能な場合のみでなければならない。

条件 2 は、P18 送信後のポーリングに対して有効な TxClav を出力できない PHY に適用します。本来セルを受信できない状態であるにもかかわらず TxClav に"H"を出力してしまう場合でも、あらかじめ受信可能セル数に 1 セル分の余裕をもっておくことで、セルを受信することが可能となります。



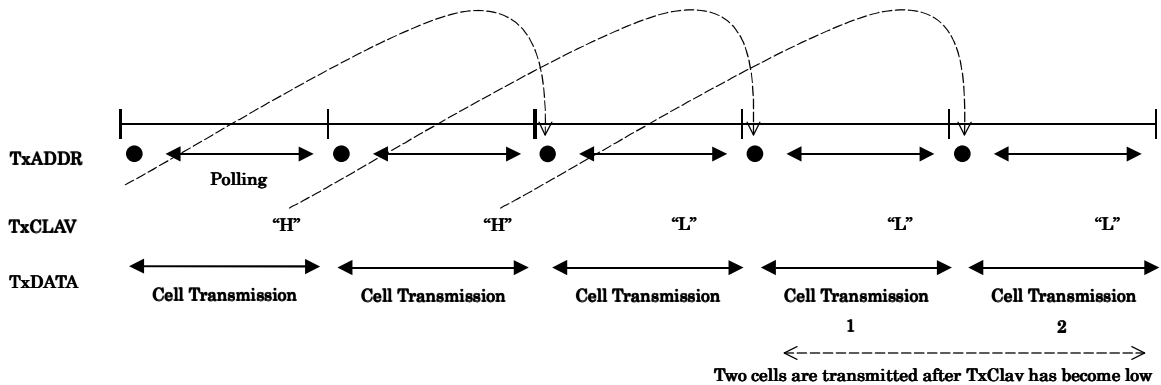
(1) (2) で説明された PHY デバイスに対する条件は次のようになります。

UTOPIA I/F, ポーリング・モード			TxClav がアサートされるときの受信可能セル数
8-bit	12-PHY polling mode	(2) の条件 1 の PHY デバイス	2 セル以上
		(2) の条件 2 の PHY デバイス	3 セル以上
	15-PHY polling mode		3 セル以上
16-bit			4 セル以上

3.11.3 連続出力禁止モード

3.10 PHY デバイスに対する要求 (入力ポート) で説明された PHY デバイスに対する条件を緩和するために、μPD98412 は、連続出力禁止モードをサポートしています。このモードでは、セルは同一の PHY デバイスに対して連続的に転送されません。したがって、TxClav がアサートされる場合の受信可能セル数に関する条件を緩和することができます。連続出力禁止モードでは、何回出力が休止されるかを指定することができます。次の図は、3 のレイテンシにおける連続出力モードと連続出力禁止モード (出力が 1 回または 2 回休止される) での PHY デバイスに対する条件を示しています。

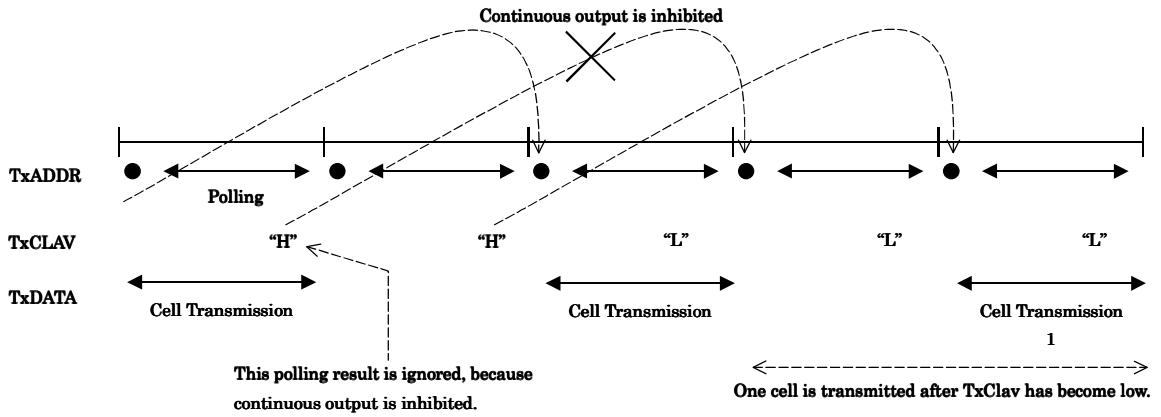
(1) 連続出力モード



PHY デバイスは、3 セル以上受信可能な場合に、TxClav をアサートしてください。

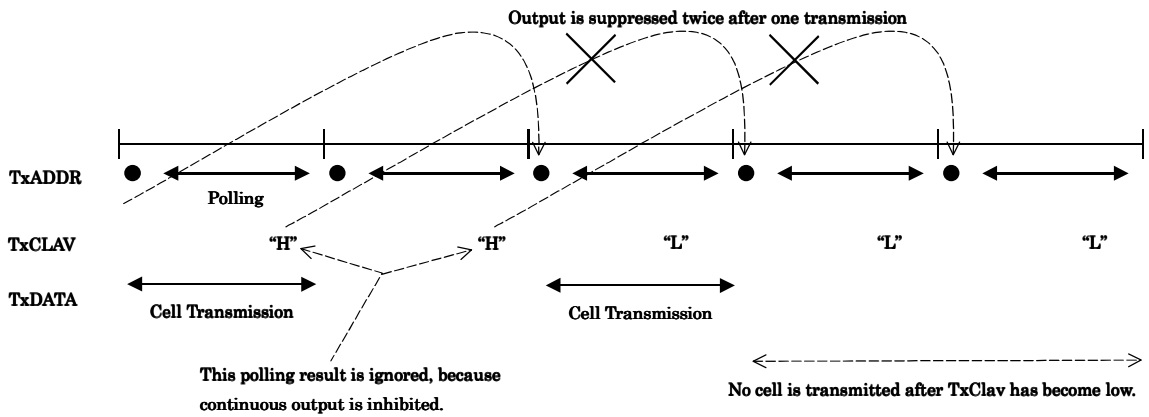
(2) 連続出力禁止モード

(a) 出力が1回休止される場合



PHY デバイスは、2 セル以上受信可能ならば、TxClav をアサートできます。。

(b) 出力が2回休止される場合



PHY デバイスは、少なくとも1セル以上受信可能であれば、TxClav をアサートできます。

3.12 ヘッダ変換

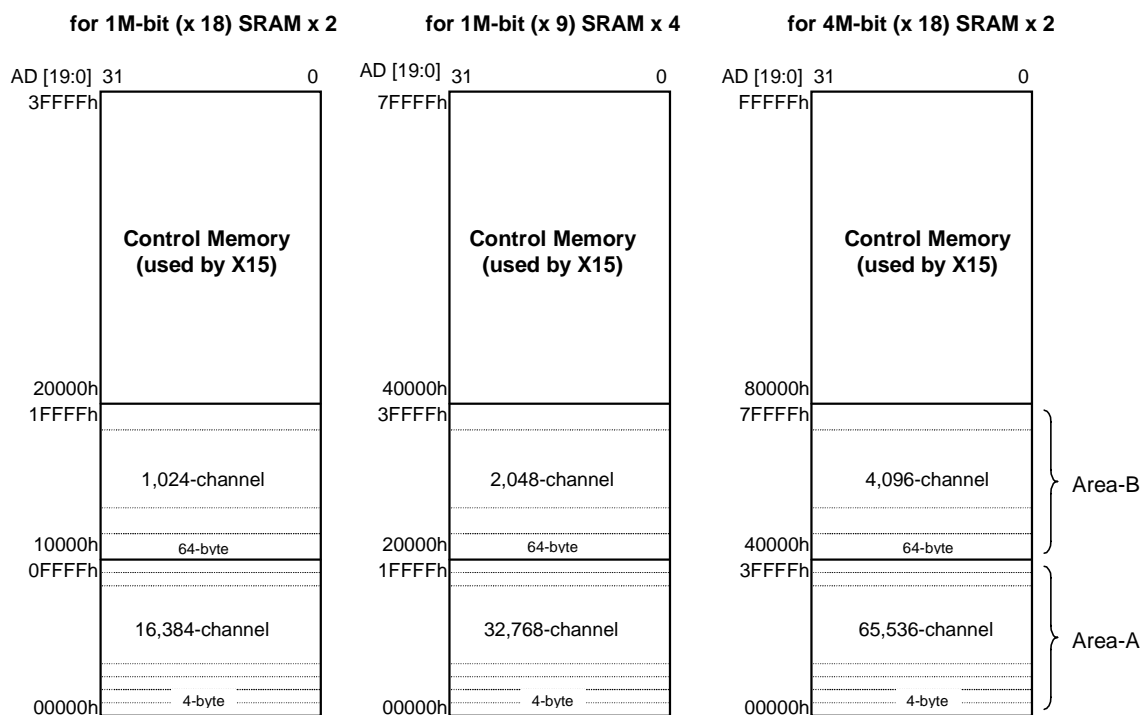
μ PD98412 は、外部 SRAM に設定されているヘッダ変換テーブル (HTT) に従ってヘッダ変換を行います。シングルキャストではセル入力時にヘッダ変換を行い、マルチキャストではセル入力時およびセル出力時にヘッダ変換を行います。HTT に対する設定は、コネクション時に外部マイクロプロセッサが行います。

次に、HTT のフォーマットおよびヘッダ変換の手順を説明します。

3.12.1 HTT (ヘッダ変換テーブル) メモリ・マップ

HTT (Header Translation Table) は、HTT&コントロール・メモリの一部に Area-A, Area-B として配置されます。接続できるメモリの容量として、次の3種類をサポートします。

図3-20 HTT &コントロール・メモリ・マップ



Area-B: Multicast bitmap & Output VPI, VCI

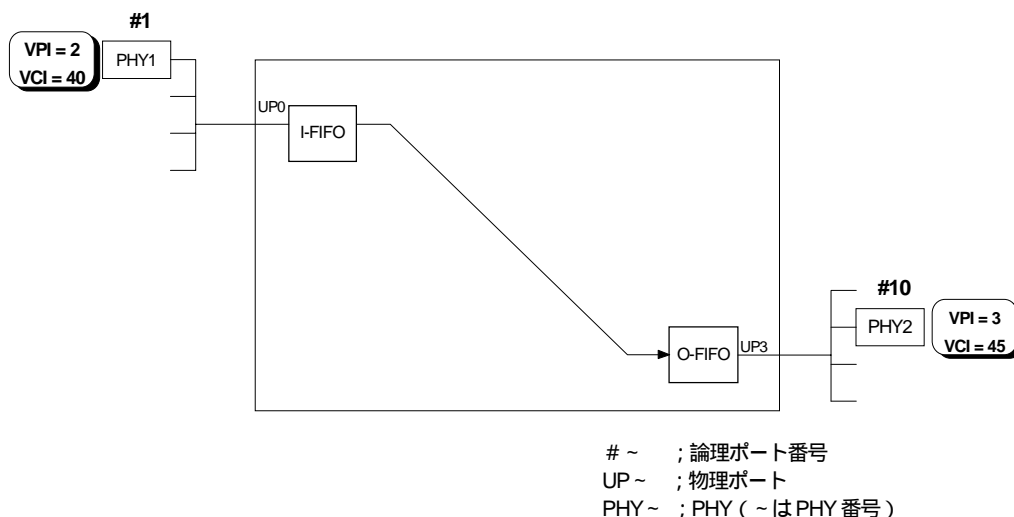
Area-A: Header translation table for channel

- 備考 1.** ここに示したアドレスは、マイクロプロセッサがアクセスする場合のアドレスを示しています。
- 2.** μ PD98412 はマイクロプロセッサからのアドレス AD [19:0]を4分の1して、4バイトを1ワードとしてHTT &コントロール・メモリをアクセスします。このためHTA [17:0]からは、4分の1したアドレスが出力されます。

3.12.2 概要

ここではセルのスイッチングおよびヘッダ変換の処理概要について説明します。まず図3-21のように論理入力ポート#1から入力されたセルが論理出力ポート#10から出力される例を示します。

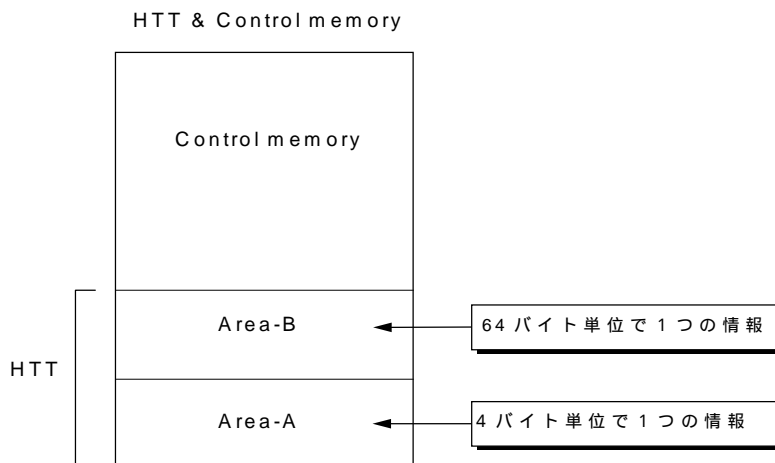
図3-21 シングルキャストの例



このときμPD98412 内部では，“論理入力ポート#1から入力されたセルは論理出力ポート#10に出力する”という情報を持つ必要があります。この情報を設定するためのテーブルがHTT（ヘッダ変換テーブル）です。このHTTは、HTT&コントロール・メモリ上に構築され、用途によりArea-A、Area-Bに分かれています。

- Area-A ... シングルキャスト，マルチキャストどちらでも使用される領域
- Area-B ... マルチキャストのときのみ使用される領域

図3-22 HTT（ヘッダ変換テーブル）



このHTTには、出力側の情報が格納されています。また、情報がHTT領域内のどこに格納されているかというアドレスの算出に、入力側の情報が使用されます。これにより、入力側の情報をもとに出力側の情報を得ることができます。

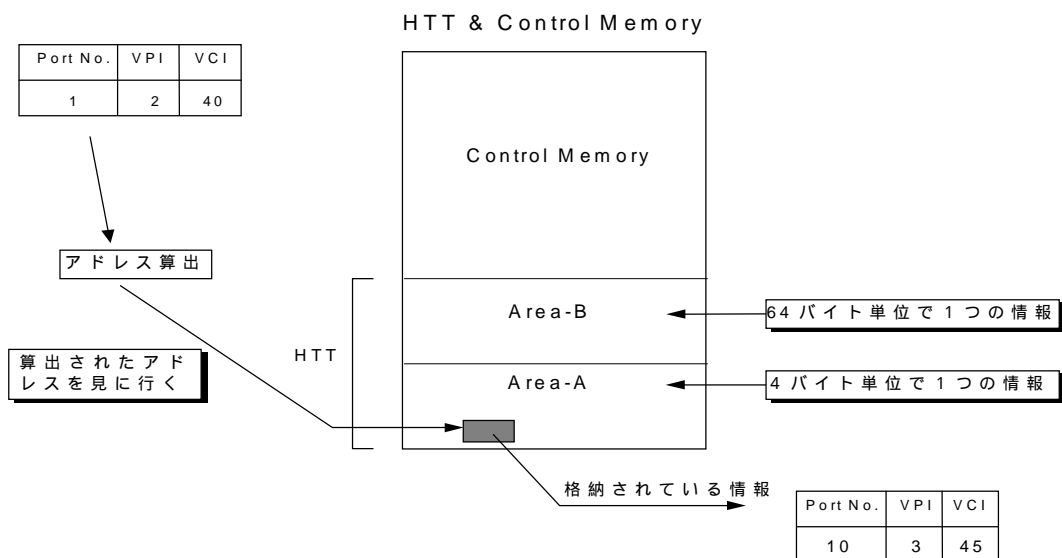
出力側の情報

Port No.	VPI	VCI
10	3	45

入力側の情報

Port No.	VPI	VCI
1	2	40

図3-23 シングルキャスト時のヘッダ変換情報の流れ



また、マルチキャストの場合はArea-Bも使用されます。このとき、Area-A内にはArea-Bをアクセスするためのポインタが格納され、出力側の情報はArea-Bに格納されます。このときのイメージを、図3-24、3-25に示します。

図3-24 マルチキャストの例

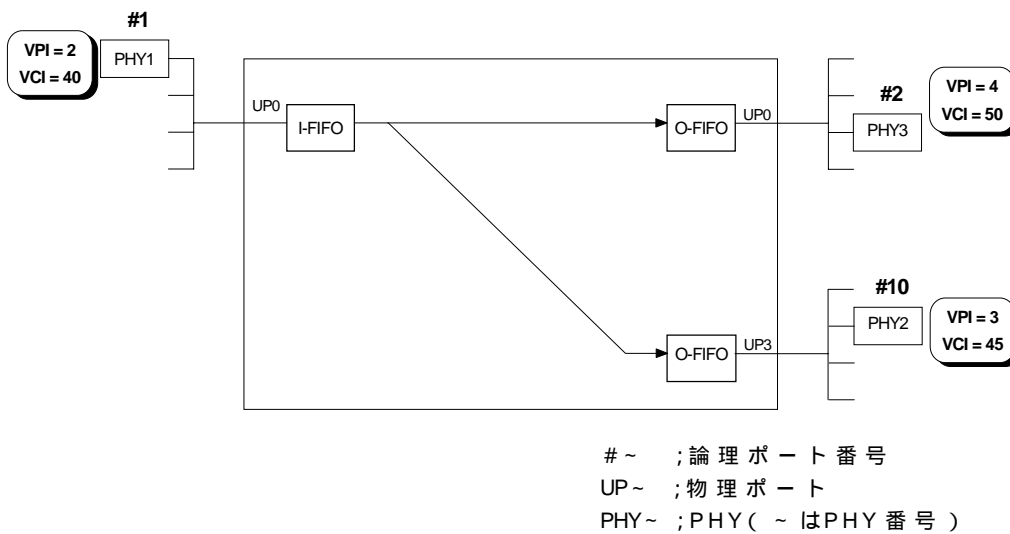
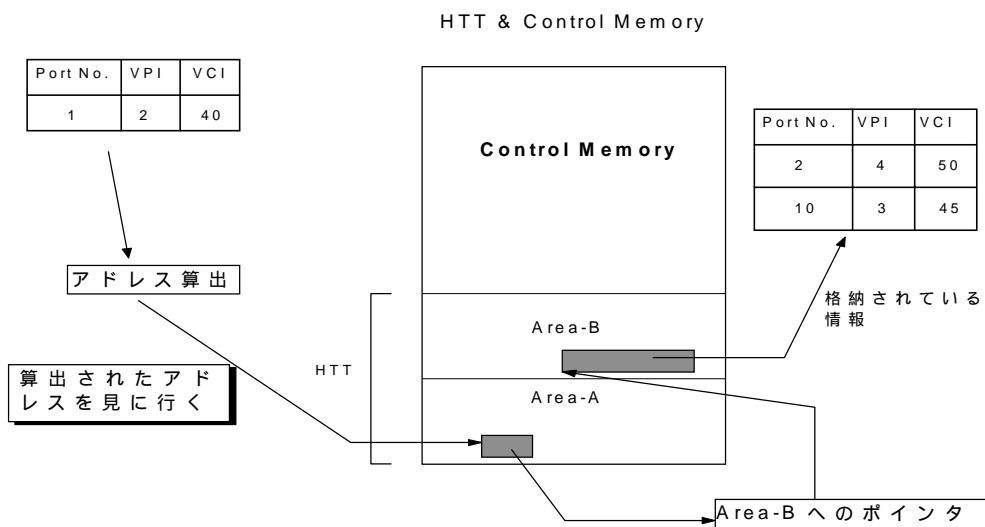


図3-25 マルチキャスト時のヘッダ変換情報の流れ



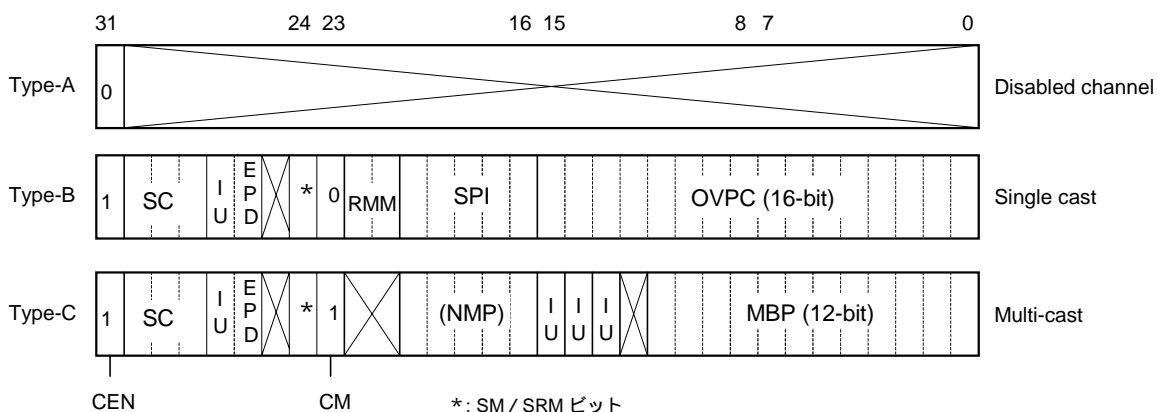
3.12.3 HTT の形式

ここでは Area-A , Area-B 領域に , どのような形式で情報が格納されているかについて説明します。

(1) Area-A フォーマット

μPD98412 は , セル入力時に論理入力ポート番号 , VPI, VCI をポインタとして , Area-A をアクセスします。Area-A には 4 バイト単位で次のような情報が格納されています。

図 3 - 26 HTT Area-A フォーマット



X 領域は Reserved を示します。設定時は “ 0 ” を書き込み , 読み出し時は “ 不定 ” として取り扱ってください。

IU 領域は , μPD98412 内部処理で使用します。設定時は , Type-C の 13 ビットは “ 1 ” に設定し , 14 , 15 , 27 ビットは “ 0 ” に設定してください。読み出し時は “ 不定 ” として取り扱ってください。

(1/2)

記号	名称	サイズ	説明
CEN	Channel Enable	1ビット	テーブルの有効 / 無効を設定します。 0 : 無効 1 : 有効
SC	Service Class	3ビット	サービス・クラスを設定します。 000 : CBR 001 : rtVBR 010 : Reserved 011 : nrtVBR 100 : ABR 101 : Reserved 110 : UBR 111 : Reserved
EPD	Early Packet Discard Enable	1ビット	EPD の有効 / 無効を設定します。CEN がアクティブの場合は、μPD98412 が値を書き換えるため、読み出した値は保証されません。 0 : EPD 無効 1 : EPD 有効
SM/SRM	Switching Mode /Special Routing Mode	1ビット	SM ビットは、VP/VC コネクションを設定します。VCI = 20h または、VCI = SMA フィールド設定値の場合にアクセスされる HTT 領域でのみ SM ビットとしての意味を持ちます。 0 : VC コネクション 1 : VP コネクション Pre-Defined Channel の場合にアクセスされる HTT 領域では、特殊ルーティング・モード (SRM) を設定します。ただし、RM セルにおいては例外があります。 0 : 特殊ルーティングを行わない 1 : 特殊ルーティングを行う VCI = 21h 以上の場合にアクセスされる HTT 領域では、“0” を設定してください。
CM	Cast Mode	1ビット	マルチ / シングルキャストを設定します。 0 : シングルキャスト 1 : マルチキャスト
RMM	RM Cell Merge Enable	2ビット	マルチキャスト・コネクションに対するバックワード方向のシングルキャスト・コネクションに対して、RM セル・マージ処理を設定します。これ以外のコネクションの場合は“00”を設定してください。 00 : No merge & transfer 01 : Reserved 10 : Merge & transfer 11 : Merge & discard

(2/2)

記号	名称	サイズ	説明
SPI	Single Cast Port ID	5ビット	シングルキャストの場合の論理出力ポート番号(0-29)を設定します。 00h - 1Dh : 論理出力ポート 0-29 1Eh - 1Fh : Reserved
(NMP)	Number of Multi-Cast Port	5ビット	μ PD98412では, 00hを設定してください。 μ PD98412は, このフィールドによって, 動作が変化することはありません。このフィールドは, μ PD98410との互換性維持のために残されています。
OVPC	Output VPI, VCI	16ビット	シングルキャストの場合に出力セル(ヘッダ変換後)に付けるVPI/VCIを設定します。
MBP	Multicast Bitmap Pointer	12ビット	マルチキャストの場合にArea-Bをアクセスするためのポインタを設定します。
IU	Internal used	-	μ PD98412がワーク領域として使用します。 設定時はビット13を“1”, ビット14, 15, 27を“0”に設定してください。

備考 MBPビットの設定例を示します。

MODE1レジスタのHMSビット = 10 および MBPビット = 001hを設定した場合, MBPが指し示すポインタのHTT&コントロール・メモリ・アドレスは, 40000h (Area-Bの開始アドレス) + 40h = 40040h になります。

(2) Area-B フォーマット

μPD98412 は、MBP をポインタとして、マルチキャストのセル入力時に Area-B をアクセスします。
Area-B には、64 バイト単位で次のような情報が格納されています。

図 3 - 27 HTT Area-B フォーマット

Offset address	31	24	23	16	15	8	7	0
3Ch	L	L	L	L	L	L	L	L
	P	P	P	P	P	P	P	P
	N	N	N	N	N	N	N	N
	29	28	27	26	25	24	23	22
	21	20	19	18	17	16	15	14
	13	12	11	10	9	8	7	6
	5	4	3	2	1	0		
38h	OVPC for LPN29				OVPC for LPN28			
34h	OVPC for LPN27				OVPC for LPN26			
30h	OVPC for LPN25				OVPC for LPN24			
2Ch	OVPC for LPN23				OVPC for LPN22			
	↑				↑			
08h	OVPC for LPN5				OVPC for LPN4			
04h	OVPC for LPN3				OVPC for LPN2			
00h	OVPC for LPN1				OVPC for LPN0			

X領域は Reserved を示します。設定時は“0”を書き込み、読み出し時は“不定”として取り扱ってください。

記号	名称	サイズ	説明
LPN0 - LPN30 (MB)	Logical Port Number (Multicast Bitmap)	30 ビット	マルチキャストの場合にキャスト先の論理出力ポートの該当ビットを設定します。 0: 対応するポートにキャストしない 1: 対応するポートにキャストする
OVPC	OutputVPI, VCI	16 ビット	マルチキャストの場合に出力セル(ヘッダ変換後)に付ける VPI, VCI を設定します。

3.12.4 HTT へのアクセス方法

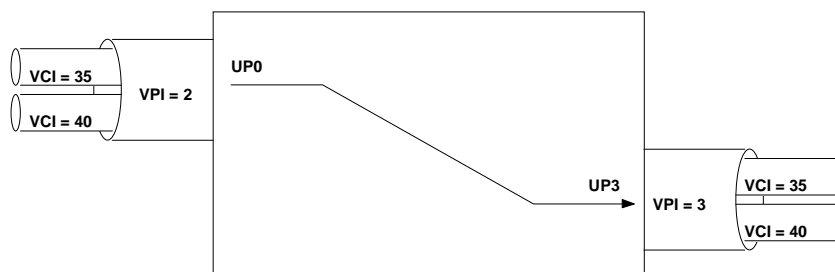
3.12.2 概要で HTT へアクセスする際のイメージを説明しましたが、ここではその詳細について説明します。

(1) VP コネクションと VC コネクション

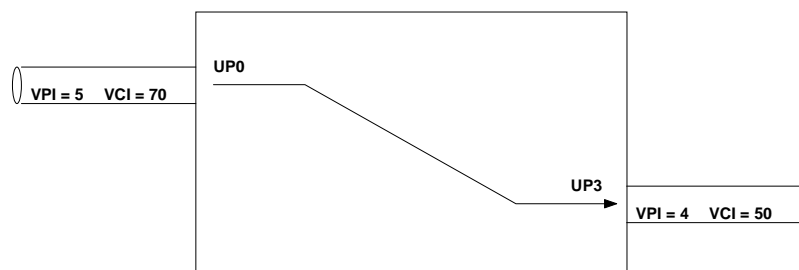
μ PD98412 におけるスイッチングの方式には、VP コネクションと VC コネクションがあります。この2つのスイッチング方式の違いについて次に示します。

図3-28 VP コネクションと VC コネクション

VP コネクション



VC コネクション



(VP コネクション)

- セル・ヘッダの VPI のみの付け替えを行います。

(VC コネクション)

- セル・ヘッダの VPI, VCI の付け替えを行います。

(2) HTT へのアクセス

3.12.2 概要 で、論理入力ポート番号、VPI および VCI を用いて HTT へアクセスする際のアドレスを求めることを述べましたが、実際には VP コネクション、VC コネクションの違いにより、次のような手順でアドレスを算出しています。なお、図 3 - 29にはシングルキャスト時の HTT アクセスのイメージを示していますが、マルチキャストにおいても Area-A へアクセスするまでの手順は同一です。

<手順>

次の値を使用して HTT にアクセスする。リードした値により、スイッチング・モード (SM) が VPC (VP コネクション) か VCC (VC コネクション) かを判断する。

Port No.	VPI	VCI
論理入力ポートの番号	入力セル・ヘッダ内の VPI	20h または、SMA フィールド設定値

注意 スイッチング・モード・アドレス (SMA) レジスタの EN フィールド設定値により、VCI が変わります。

EN フィールド = 0 の場合、VCI = 20h になります。

EN フィールド = 1 の場合、SMA レジスタの SMA フィールドに設定した値になります。

- 1 VP コネクションであれば、 でアクセスした領域にヘッダ変換情報が設定されている。
- 2 VC コネクションであれば、次の値を使用して HTT に再度アクセスする。この領域に (スイッチング・モード (SM) 以外の) ヘッダ変換情報が設定されている。

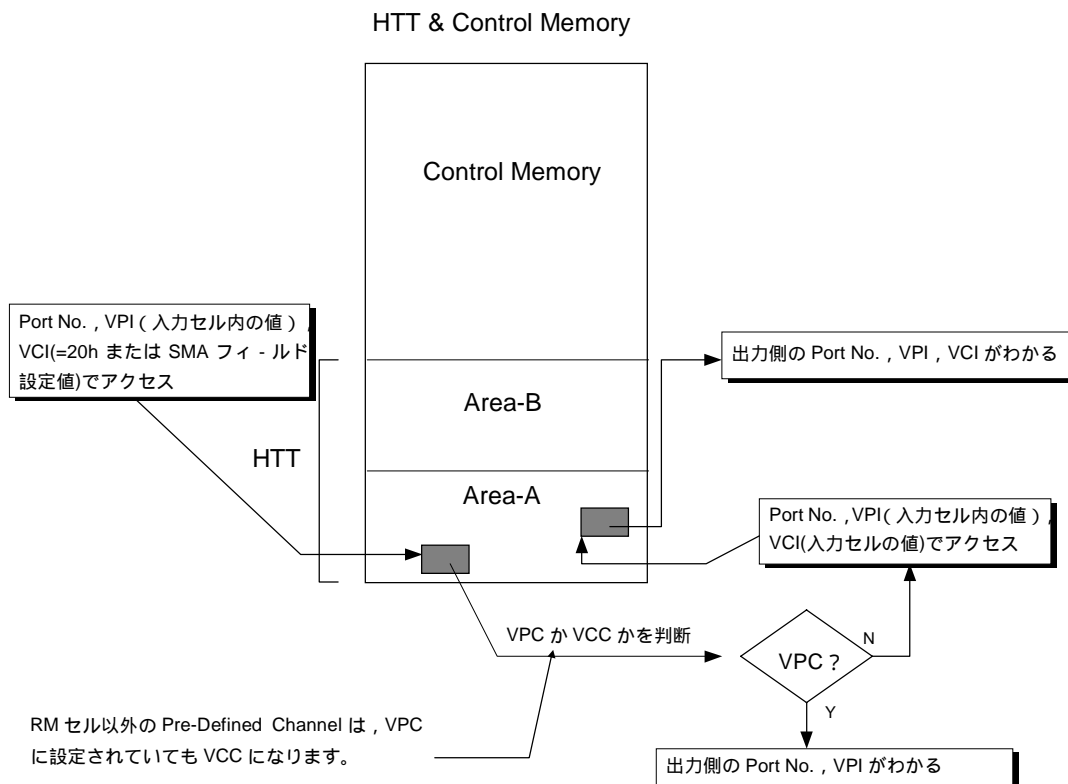
Port No.	VPI	VCI
論理入力ポートの番号	入力セル・ヘッダ内の VPI	入力セル・ヘッダ内の VCI

注意 1 . RM セル以外の Pre-Defined Channel では、 で得られるスイッチング・モード (SM) の情報が、VP コネクションに設定されていても、通常の VC コネクションによるヘッダ変換が行われます。RM セルの HTT アクセス手順については、3.12.8 RM セルのルーティングを参照してください。

2 . μ PD98412 が、Pre-Defined Channel として扱う入力セルの VCI の範囲は、ヘッダ変換コンフィギュレーション・レジスタ (HT) の NVCI フィールドと SMA レジスタの設定値により、次のように変わります。

NVCI	SMA レジスタの設定	Pre-defined Channel
3	EN = 1, SMA = 0-7(h)	VCI = 0-7(h) ただし VCI = SMA は除く
4	EN = 1, SMA = 0-F(h)	VCI = 0-F(h) ただし VCI = SMA は除く
5	EN = 1, SMA は任意 (0-1F(h))	VCI = 0-1F(h) ただし VCI = SMA は除く
6-15	任意	VCI = 0-1F(h) ただし EN = 1 の場合、VCI = SMA は除く

図3-29 VPC と VCC の HTT へのアクセスの違い (シングルキャスト時)



(3) HTT アドレスの求め方

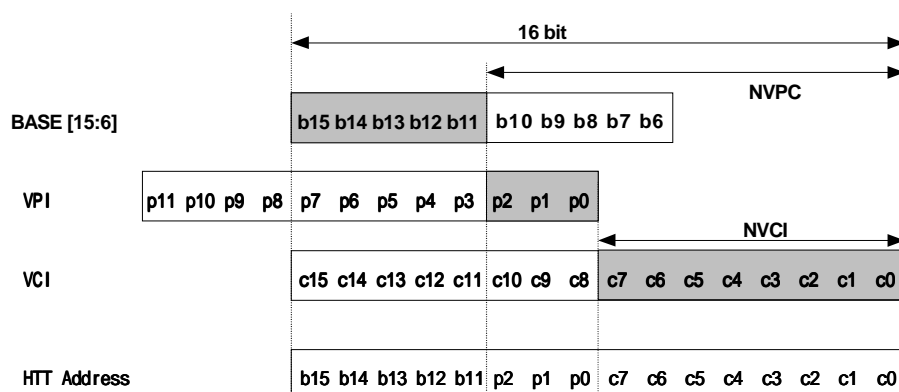
(2)HTT へのアクセスでは HTT の Area-A にアクセスする際のアドレスの計算に論理入力ポート番号, VPI, VCI を使用することを説明しました。ここでは, これらを用いて実際にどのようにアドレスを求めているかについて説明します。

まず μ PD98412 内部では, 論理入力ポートごとに次の情報を持っています。

NVPC	VPI の有効ビット数 + VCI の有効ビット数
NVCI	VCI の有効ビット数
BASE [15:6]	ベース・アドレス (オフセット値)

実際の HTT アドレスは, これらの情報を使用して, 図 3 - 30に示すように求められます。この例では NVPC = 11, NVCI = 8 としています。

図3-30 HTTアドレスの求め方



備考 この図により算出されるアドレスは、ワード（4バイト）単位での値を示しています。マイクロプロセッサがアクセスする場合は、4倍してバイト単位のアドレスを指定してください。

なお、BASE と HTT アドレスの有効範囲は、実装する HTT&コントロール・メモリのサイズ(MODE レジスタの HMS ビットの値) に依存します。このサイズと BASE、HTT アドレスの有効範囲の関係を次に示します (図3-30は、HMS = 10 の場合を例としています)。

HMS (32-bit per word)	BASE	HTT アドレス
00 (64K word)	[13:6]	[13:0]
01 (128K word)	[14:6]	[14:0]
10 (256K word)	[15:6]	[15:0]

(4) 出力セルの VPI, VCI

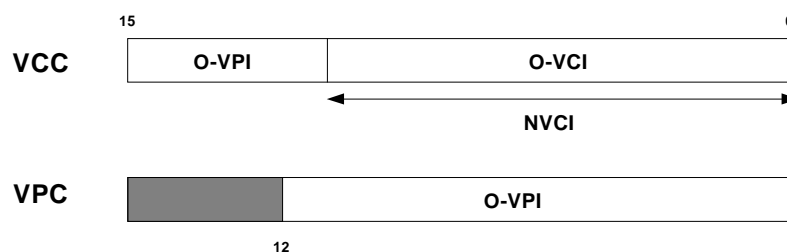
これまで、出力側のポート番号、出力セルに付ける VPI, VCI の情報を得るまでの手順を示してきました。この手順により、論理出力ポート番号は次に示すものから情報を得ることができます。

- シングルキャスト時は、Area-A の SPI
- マルチキャスト時は、Area-B の LPN0-LPN23

また VPI, VCI は次のものから情報を得ることになります。この OVPC は、スイッチング・モードの違いにより図 3 - 31 のように設定されています。

- シングルキャスト時は、Area-A の OVPC
- マルチキャスト時は、Area-B の OVPC

図 3 - 31 OVPC の設定形式



ここでは NVCI は、OVPC (16 ビット幅) のうち何ビットを O-VCI (Output VCI) として使用するかというパラメータです。VPC の場合は O-VPI (Output VPI) (12 ビット) のみが格納されます。これは VPC では VPI のみの付け替えを行い、VCI は入力セルの値をそのまま出力するためです。

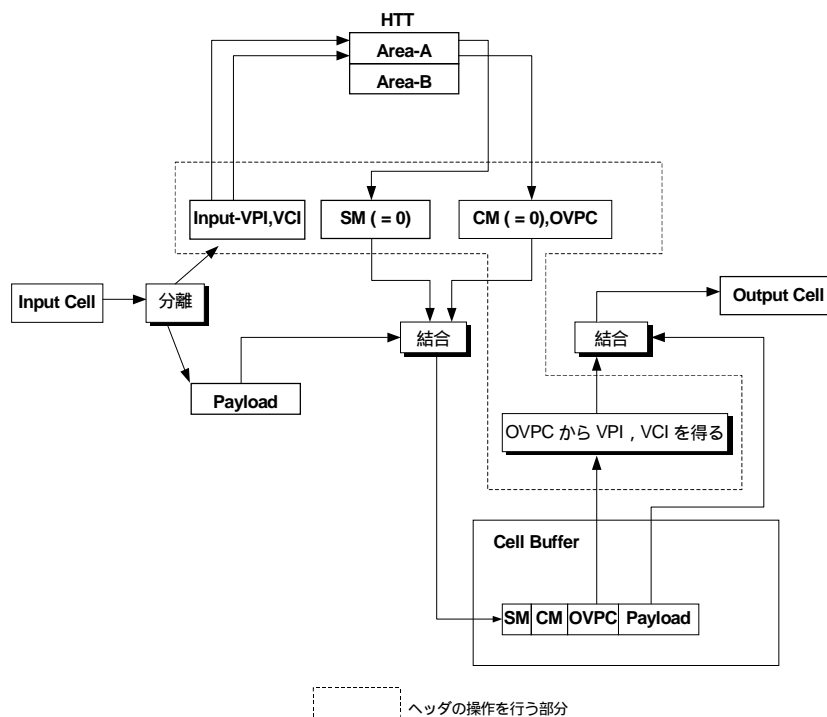
なお VCC の場合、使用できるのは VPI と VCI の両方で 16 ビットまでです。一方、セル・ヘッダ内の VPI, VCI フィールドはそれぞれ 12 ビット (NNI 時)、16 ビットです。この不足ビットについては、セル出力時に固定値 "0" が設定されます。

3.12.5 ヘッダ変換の流れ

ここでは、スイッチング・モード、キャスト・モードの違いによるヘッダ変換の流れについて説明します。

(1) VCC, シングルキャスト

図3-32 VCC, シングルキャスト時のヘッダ変換の流れ



<手順>

論理入力ポート番号, Input-VPI, VCI = 20h または, SMA フィールド設定値を使用して Area-A をアクセスする。

VC コネクション (SM = 0) という情報が得られる。

論理入力ポート番号, Input-VPI, Input-VCI を使用して, 再度 Area-A をアクセスする。

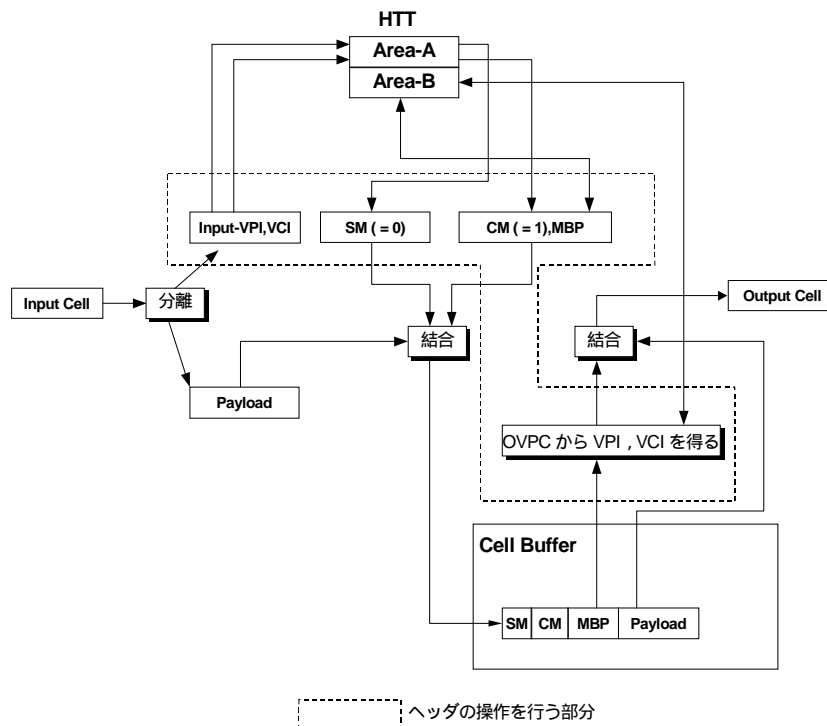
シングルキャスト (CM = 0), OVPC が得られる。また, サービス・クラス (SC), 論理出力ポート番号 (SPI) も得られるので, セル・アドレスを格納する出力キューも決定される。

入力セルのペイロードとともに, SM, CM, OVPC をセル・バッファに格納する。

セル出力時に, OVPC をもとに出力セル・ヘッダの VPI, VCI を設定する。

(2) VCC, マルチキャスト

図3-33 VCC, マルチキャスト時のヘッダ変換の流れ



<手順>

論理入力ポート番号, Input-VPI, VCI = 20h または, SMA フィールド設定値を使用して Area-A をアクセスする。

VC コネクション (SM = 0) という情報が得られる。

論理入力ポート番号, Input-VPI, Input-VCI を使用して, 再度 Area-A をアクセスする。

マルチキャスト (CM = 1), Area-B へのポインタ (MBP), サービス・クラス (SC) などが得られる。

入力セルのペイロードとともに, SM, CM, MBP をセル・バッファに格納する。セル・アドレスはマルチキャスト・キューに格納される。

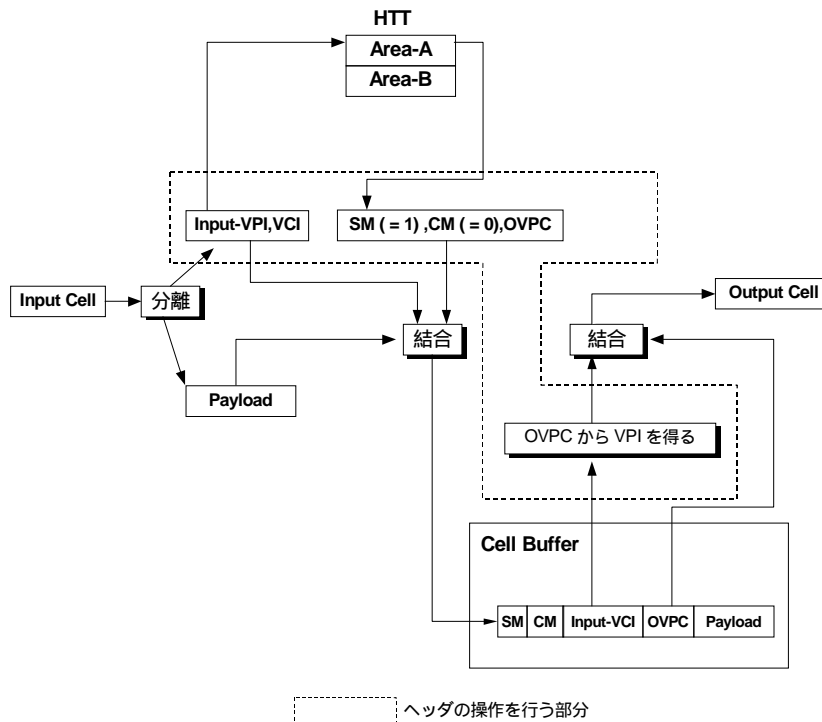
リキューイングを行う際に, MBP を用いて Area-B をアクセスし, キャストすべき論理出力ポートの番号を得る。このとき, セル・アドレスは出力キューに格納される。

セル出力時にふたたび Area-B をアクセスし, 各論理出力ポートの OVPC 情報を得る。

OVPC から出力セル・ヘッダの VPI, VCI を設定する。

(3) VPC, シングルキャスト

図3-34 VPC, シングルキャスト時のヘッダ変換の流れ



<手順>

論理入力ポート番号, Input-VPI, VCI = 20h または, SMA フィールド設定値を使用して Area-A をアクセスする。

VP コネクション (SM=1) という情報とともに, シングルキャスト (CM=0), OVPC (OVPC 内は O-VPI 情報のみ) を得る。サービス・クラス (SC), 論理出力ポート番号 (SPI) も得られるので, セル・アドレスを格納すべき出力キューが決定される。

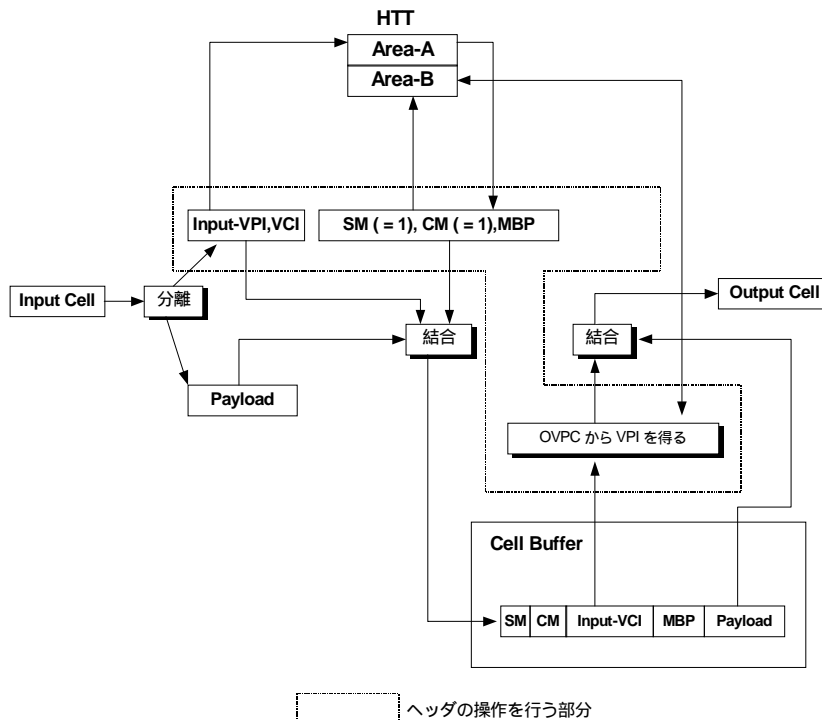
入力セルのペイロードとともに, SM, CM, Input-VCI, OVPC を格納する。

セル出力時に, OVPC から VPI を得る。また, VCI は Input-VCI をそのまま使用する。

注意 RM セル以外の Pre-Defined Channel では, 得られる SM の情報が VP コネクションに設定されていても, 通常の VC コネクションによるヘッダ変換が行われます。OVPC 情報より, 通常の VC コネクションと同様に O-VPI, O-VCI が得られます。また, EPD の設定も, SM が VP コネクションに設定されていても有効に働きます。RM セルに関しては, 3.12.8 RM セルのルーティングを参照してください。

(4) VPC , マルチキャスト

図 3 - 35 VPC , マルチキャスト時のヘッダ変換の流れ



<手順>

論理入力ポート番号, Input-VPI, VCI = 20h または, SMA フィールド設定値を使用して Area-A をアクセスする。

VP コネクション (SM = 1) という情報が得られる。同時にマルチキャスト (CM = 1) , Area-B へのポインタ (MBP) , サービス・クラス (SC) などが得られる。

入力セルのペイロードとともに, Input-VCI, SM, CM, MBP をセル・バッファに格納する。セル・アドレスはマルチキャスト・キューに格納される。

リキューイングを行う際に, MBP を用いて Area-B をアクセスし, キャストすべき論理出力ポートの番号を得る。このとき, セル・アドレスは出力キューに格納される。

セル出力時にふたび Area-B をアクセスし, 各論理出力ポートの OVPC 情報を得る。

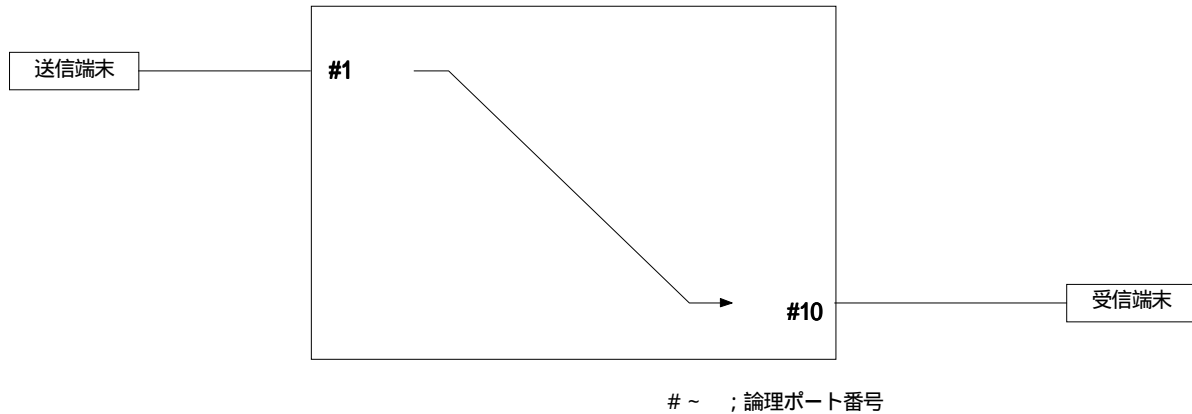
OVPC から VPI を得る。また VCI は Input-VCI をそのまま使用する。

注意 RM セル以外の Pre-Defined Channel では, 得られる SM の情報が VP コネクションに設定されていても, 通常の VC コネクションによるヘッダ変換が行われます。OVPC 情報より, 通常の VC コネクションと同じに O-VPI, O-VCI が得られます。また, EPD の設定も, SM が VP コネクションに設定されていても有効に働きます。RM セルに関しては, 3.12.8 RM セルのルーティングを参照してください。

3.12.6 RM セルの際の HTT へのアクセス

(1) ABR クラスにおけるコネクション

ABR (Available Bit Rate) クラスでは送信端末方向に輻輳情報を通知する Backward RM セルのコネクションを設定する必要があります。

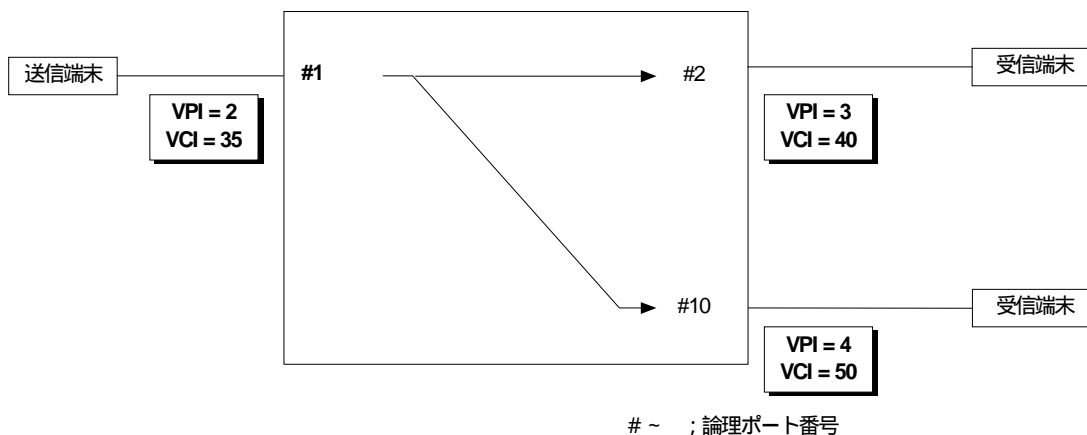


つまり、下表の (A) ような組み合わせでセルの送信を行うと仮定すると、Backward RM セルを返すためには (B) の組み合わせでバックワード方向のコネクションを設定する必要があります。

	論理入力ポート番号	論理出力ポート番号
(A)	1	10
(B)	10	1

(2) マルチキャストとRMセル・マージ機能

次に、マルチキャストの場合を考えます。



この場合、セルの送信方向には (a) のマルチキャスト・コネクションを設定する必要があり、一方バックワード方向には、(b) のような 2 つのシングルキャスト・コネクションを設定する必要があります。

	論理入力ポート番号	論理出力ポート番号
(a)	1	2, 10
(b)	2	1
	10	1

ここで、RMセル・マージ機能を使用する場合を考えます。この機能では、(b) で設定された 2 つのコネクションから入力される Backward RMセルの CI, NI ビットについて論理和を取り、BN ビットについて論理積を取る必要があります。このとき、論理和、論理積を取るために使用されるワーク領域は (a) で使用する HTT 内に取られます。このため (b) のコネクションに Backward RMセルが入力された場合は、何らかの方法で (a) で使用している HTT のアドレス (下表で求められるアドレス) を知る必要があります。

	論理入力ポート番号	VPI	VCI
VPC 時	1	2	20h または、SMA フィールド設定値
VCC 時	1	2	35

ここで、(b)は(a)と入出力がまったく逆なので、表の値を得るには(b)のHTTに設定されている次の値を使用します。

	(a)の論理入力ポート番号	(a)のVPI	(a)のVCI
VPC時	論理出力ポート番号(SPI)	OVPC	20hまたは、SMAフィールド設定値
VCC時	論理出力ポート番号(SPI)	OVPC	OVPC

したがって、入力されたセルが Backward RM セルである場合(かつセル・マージを行う場合)は、ヘッダ変換と RM セル・マージのために、HTT に 2 回アクセスすることになります。なお、RM セル・マージ機能は、MODE1 レジスタの RMA を “0x” に設定したときのみ利用可能です。ただし、この設定では、HTT の参照回数を減らすために HTT の SM ビットを参照せずに、次の方法でスイッチング・モードを判断します。

- セル・ヘッダ内の VCI = 6 VPC
- セル・ヘッダ内の VCI 6 VCC

詳細は、3.12.8 RM セルのルーティングを参照してください。

(VPC)

RMA = 00 論理入力ポート番号，入力セルの VPI，VCI = 20h または，SMA フィールド設定値

RMA = 01 論理入力ポート番号，入力セルの VPI，VCI

を用いて (b) の HTT にアクセス

論理出力ポート番号 (SPI)，OVPC，VCI = 20h または，SMA フィールド設定値を用いて

(a) の HTT にアクセス

(VCC)

論理入力ポート番号，入力セルの VPI，VCI を用いて (b) の HTT にアクセス

論理出力ポート番号 (SPI)，OVPC 内の VPI，VCI を用いて (a) の HTT にアクセス

3.12.7 マイクロプロセッサ接続ポート

μPD98412 は、通常ルーティングのほかに、特殊ルーティングをサポートしています。

μPD98412 では、マイクロプロセッサによるシグナリング処理、OAM セルの処理のために、他ポートと区別して扱うことができるマイクロプロセッサ接続ポートを設定することができます。ここでは、マイクロプロセッサ接続ポートでのセル送受信の際に使われる機能を説明します。

マイクロプロセッサ接続ポートは、特殊ルーティング論理ポート (SRLP) レジスタに論理ポート番号を設定することで指定できます。

(1) 特殊ルーティング

マイクロプロセッサ接続ポートに対してセルを出力するには、HTT の出力ポートにマイクロプロセッサ接続ポートを指定する通常ルーティングと、特殊ルーティングの機能を使う方法があります。特殊ルーティングは、HTT にどんな論理出力ポートが設定されていても、マイクロプロセッサ接続ポートへセルを出力させることを可能にします。特殊ルーティングによってサポートされるセルは、Pre-Defined Channel とユーザ・チャンネルで異なります。

チャンネル		特殊ルーティングでサポートされるセル
Pre-defined channel		HTT Area-A において、SRM ビットが 1 のコネクションに属するセル
ユーザ・チャンネル	VC コネクション	セル・ヘッダの PT が、指定された PT フィルタの値と一致するセル
	VP コネクション	なし

備考 1. SRM ビットの詳細については、HTT の形式を参照してください。

2. PT フィルタの詳細については、SRFLT レジスタの説明を参照してください。

3. マイクロプロセッサ接続ポートから入力されたセルは、特殊ルーティングされません。

特殊ルーティングは、次に示すように、マイクロプロセッサ接続ポートに出力されるセルを処理します。

- VPI/VCI 入力セルの VPI, VCI は変更されません。
- PT EFCI マーキングが行われます。
- CLP 入力セルの CLP の値は変更されません。

(2) セル・ヘッダの情報

マイクロプロセッサ接続ポートに対して出力されるセルのセル・ヘッダに特別な情報が付加でき、入力されるセルのセル・ヘッダから特別な情報を得ることができます。この情報の位置は次に示された設定が可能です。

- VPI ビットの上位 (UNI のとき VPI [7:3], NNI のとき VPI [11:7])
- VCI ビットの上位 (VCI [15:11])

- UDF1 [4:0] (UDF [4:0])
- UDF2 [4:0]

セルがマイクロプロセッサ接続ポートに出力されるときに付加される情報

セルがマイクロプロセッサ接続ポートに出力される場合、セルが入力されたポートの論理ポート番号が、セル・ヘッダに付加できます。論理入力ポート番号は、SRLP レジスタの IA ビットによって定義されるセルに対して付加できます。

IA bit	対象セル
0	マイクロプロセッサ接続ポートに出力される全セル (通常ルーティングと特殊ルーティング)
1	特殊ルーティングによってマイクロプロセッサ接続ポートに出力されるセル (SRM = 1, または PTI = PTF)

備考 UTOPIA インタフェースが 8-bit タイプであるにもかかわらず情報の付加位置として UDF2 が指定されている場合は、情報の付加は行われません。エラーとしても扱われません。

セルがマイクロプロセッサ接続ポートから入力されるときに得られる情報

マイクロプロセッサ接続ポートから入力されるセルには、仮想的な論理入力ポート番号を付加することができます。仮想論理入力ポート番号は、ヘッダ変換のためにアクセスされる HTT Area-A のアドレス計算に用いられます。このため、マイクロプロセッサ接続ポートから入力されたセルは、仮想論理入力ポートとして指定されたポートから入力されたセルと同様のルーティングを行うことができます。この情報を使わない場合は、マイクロプロセッサ接続ポート番号が使用されます。なお、仮想論理入力ポート番号は、SRLP レジスタの VA ビットによって定義されたセルから得られます。

VA bit	対象セル
0	マイクロプロセッサ接続ポートから入力される全セル
1	マイクロプロセッサ接続ポートから入力されるセルで、PTFLT レジスタによって定義された PTI フィールドを持つセル

備考 1. 入力セルのセル・ヘッダから得られる情報の位置として UDF (または UDF1) が指定された場合、次のようになります。

- (1) VA ビット = 0 または VA ビット = 1 で PTFLT レジスタによって定義された PTI フィールドを持つセルは、MODE1 レジスタの HM ビットがセットされているかどうかにかかわらず、HEC エラー検査は行われません。
- (2) VA ビット = 1 で PTFLT レジスタによって定義された PTI フィールドを持たないセルは、MODE1 レジスタの HM ビットがセットされている設定値により、HEC エラー検査あり / なし選択可能です。

- 備考 2.** 仮想入力ポート番号として無効な値が指定された場合、ヘッダ変換エラーが検出され、セル廃棄の原因になります。この場合、ERHT レジスタの IIP ビットがセットされ、CTERHT レジスタの値が更新されます。
- 3.** UTOPIA インタフェースが 8-bit タイプであるにもかかわらず情報の位置として UDF2 が指定されている場合は、ヘッダ変換エラーが検出され、セル廃棄の原因となります。この場合 ERHT レジスタの IIP ビットがセットされ、CTERHT レジスタの値が更新されます。

3.12.8 RM セルのルーティング

μ PD98412 では、RM セルは、指定されたサービス・クラスにかかわらず、RM/nrtVBR キューにキューイングされます。ここでは、 μ PD98412 での RM セルの判定方法を説明します。

μ PD98412 では、RM セルの判定方法が、モード 1 (MODE1) レジスタの RMA フィールドの設定によって異なります。

RMA	RM セルの判定方法
10	1. セルが入力されたとき、VCI = 20 または、SMA フィールド設定値で参照される HTT Area-A の SM ビットを参照します。 2. RM セルの判定方法は、次のように SM ビットの値で異なります。 SM = 0 (VC コネクション) セルの構成が次のとき、このセルは VC RM セルとみなされます。 PTI = 110, PID = 1 (VCI の値は無関係) SM = 1 (VP コネクション) PTI = 110, PID = 1, VCI = 6 このセルは VP RM セルとみなされます。 PTI = 110, PID = 1, VCI = 6 このセルは RM セルとしてみなされません (ユーザ・セルとしてみなされます)。
0x	セルの VCI, PTI, PID を考慮してセルを判定します (HTT Area-A の SM ビットは参照されません)。 PTI = 110, PID = 1, VCI = 6 VC RM セルとみなされます。 PTI = 110, PID = 1, VCI = 6 VP RM セルとみなされます。

RMA = "10" の設定が μ PD98412 の基本モードです。しかし、このモードでは RM セル・マージ機能が利用できません。一方、RMA = "0x" の設定は、RM セル・マージ機能が利用可能なモードです。

RMA = "10" RM セル・マージ機能が利用不可

RMA = "0x" RM セル・マージ機能が利用可能

しかし、RMA = "0x" モードを使用する場合は、HTT の SM ビットが参照されないため、次の制限があります。

RMA = "0x" モードに関する制限

VP コネクション中の VC RM セルは、ユーザ・セルと同様に扱うことができません。このため、ABR の VC コネクションを VP コネクション中に含めることができません (VP コネクション中に ABR の VC コネクションが設定された場合は、VP コネクションの VC RM セルは廃棄される可能性があります)。

さらに、VP RM セルの特殊ルーティングが可能かどうかは、各 RMA モードによって、HTT Area-A を参照するアドレスが異なるため、RMA によって異なります。

RMA	VP RM セルの特殊ルーティング	参照する HTT Area-A
10	可能	VCI = 20h または SMA フィールド設定値で参照される領域の SM ビットと、VCI = 入力セルの VCI (= 06h) で参照される領域
00	不可能	VCI = 20h または SMA フィールド設定値で参照される領域 (μ PD98410 互換モード)
01	可能	VCI = 入力セルの VCI (= 06h) で参照される領域

RMA = "01", "10" の設定を使用するときは、VCI = 06h を使って参照される HTT Area-A の SRM ビットの設定によって、VP RM セルの特殊ルーティング機能が可能になります。RMA = "00" の設定は、 μ PD98410 互換を意図しています。RMA = "00" の設定を使用するときは、特殊ルーティング機能は使用できません。ただし、 μ PD98412 は、RMA の設定にかかわらず、VC RM セルの特殊ルーティングを行うことが可能です。

3.13 キュー制御

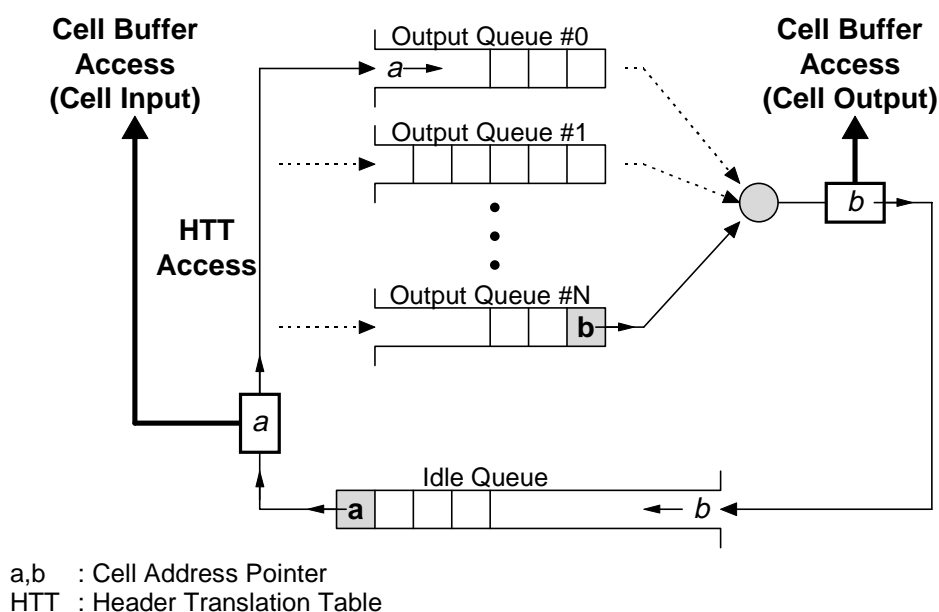
μ PD98412 は、次に説明するキューをコントロール・メモリ上に構築して、セル・バッファの管理を行います。

- アイドル・キューは、セル・バッファ上のセル格納可能な位置を示すアドレス・ポインタをキューイングします。
- マルチキャスト・キューは、マルチキャストするセル格納位置を示すアドレス・ポインタをキューイングします。
- 論理出力ポートごとにある出力キューは、各論理出力ポート別のセル格納位置を示すアドレス・ポインタをキューイングします。

3.13.1 シングルキャスト

シングルキャストにおけるキューイングの処理手順を説明します。

図 3 - 36 セル・アドレスのキューイング (シングルキャスト)



セル入力の手順（セル・バッファのライト・アドレスの取得）

1. アイドル・キューからセル・アドレス a を取り出します。
2. セル・アドレス a でアドレッシングされるセル・バッファに，入力セルを格納します。
3. ヘッダ変換テーブル（HTT）から論理出力ポート番号を得ます。
4. 得られた論理出力ポートの出力キューに，セル・アドレス a を入れます。

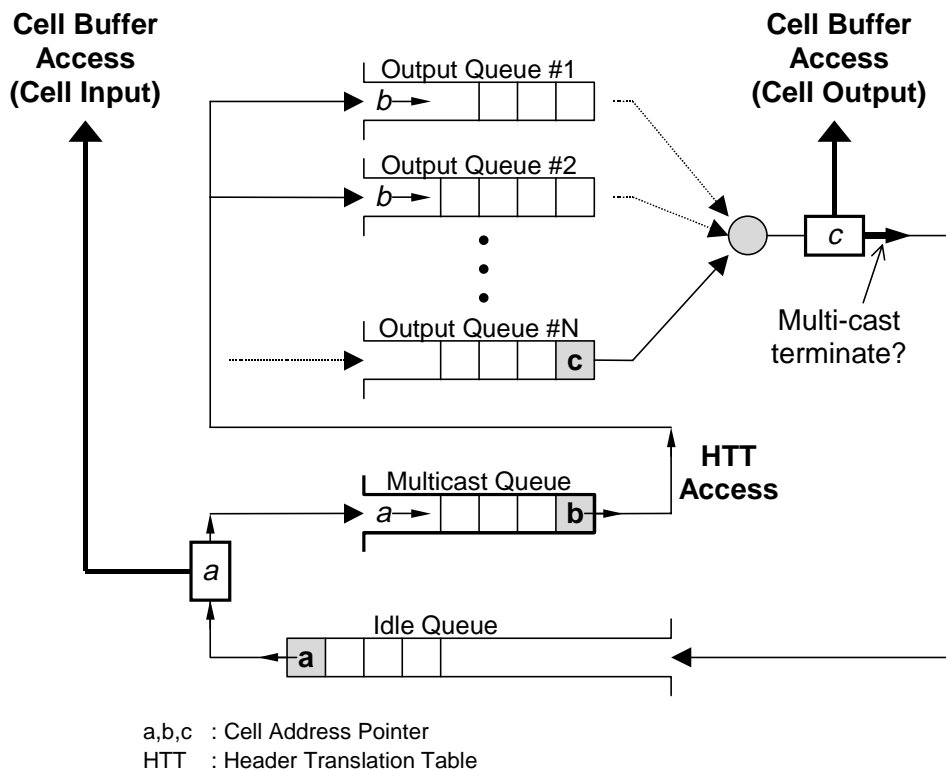
セル出力の手順（セル・バッファのリード・アドレスの取得）

1. 論理出力ポートの出力キューからセル・アドレス b を取り出します。
2. セル・アドレス b が示すセル・バッファから，出力セルを取り出します。
3. セル・アドレス b を，アイドル・キューに入れます。

3.13.2 マルチキャスト

μPD98412 では，入力セルをセル・バッファ上の 1 箇所に格納し，セル・アドレスを複数の論理出力ポートのそれぞれの出力キューに入れることで，マルチキャストを実現します。この方法の特徴は，53 バイトのセルを複数回コピーせずに済むことです。これにより，セル・バッファの有効活用と，高速なキャストイングが期待できます。

図 3 - 37 セル・アドレスのキューイング（マルチキャスト）



セル入力の手順（セル・バッファのライト・アドレスの取得）

1. アイドル・キューからセル・アドレス a を取り出します。
2. セル・アドレス a が示すセル・バッファに，入力セルを格納します。
3. セル・アドレス a を，マルチキャスト・キューに入れます。

リキューイングの手順

1. マルチキャスト・キューからセル・アドレス b を取り出します。
2. ヘッダ変換テーブル（HTT）から論理出力ポート番号を得ます。
3. それぞれの論理出力ポートの出力キューに，セル・アドレス b を入れます。

セル出力の手順（セル・バッファのリード・アドレスの取得）

1. 論理出力ポートの出力キューからセル・アドレス c を取り出します。
2. セル・アドレス c が示すセル・バッファから，出力セルを取り出します。
3. マルチキャストすべきすべての論理出力ポートからセルを出力したあと，セル・アドレス c を，アイドル・キューに入れます。

3.13.3 輻輳制御

ATM では，セルのトラフィック状態およびセルの転送品質を示す Cell Loss / Cell Transfer Delay / Cell Delay Variance を基に，サービス・クラスを定義しています。 μ PD98412 は，サービス・クラスを次の 4 クラスに分類して管理します。

CBR (Constant Bit Rate Service) ， rtVBR (Real time Variable Bit Rate Service)

RM (RM cell) ， nrtVBR (Non real time VBR Service)

ABR (Available Bit Rate Service)

UBR (Unspecified Bit Rate Service)

備考 RM セルは ABR クラスに含まれるセルですが， μ PD98412 では RM セルをサービス・クラスの 1 つとして取り扱います。また，ユーザが RM セルに対してクラス指定を行うことはできません。

μ PD98412 は，次に示すキューと，カウンタを持っています。これらのキューとカウンタに設定されるしきい値を用いて，輻輳制御を行います。キュー，カウンタとしきい値の関係を，図 3 - 38 に示します。

- UC :Used Cell Counter

セル・バッファ上に滞留している総セル数を示します。最小キュー長保証として ALLmin レジスタに設定する値も滞留セルとして取り扱います。また，マルチキャストを行う場合は，同報数によらず 1 セルとしてカウントします。

- **TC :Total Cell Counter for each class (4 classes)**

出力キューに滞留しているセル数が、各クラス別の最小キュー長 OQminCRV / OQminRNV / OQminABR / OQminUBR を越えている場合、越えた分のセル数の総和をクラスごとに示します。マルチキャストを行う場合は、同報数に応じたセル数をカウントします。

- **IQ :Idle Queue**

セル・バッファ上の空き領域のアドレスをキューイングします。

- **OQ :Output Queue (30 ports x 4 classes)**

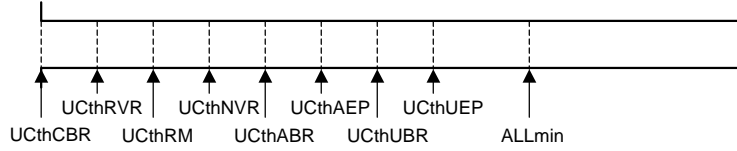
各論理出力ポート別、各クラス別に、セル・バッファ上にセルを格納したアドレスをキューイングします。

- **MQ :Multicast Queue (4 classes)**

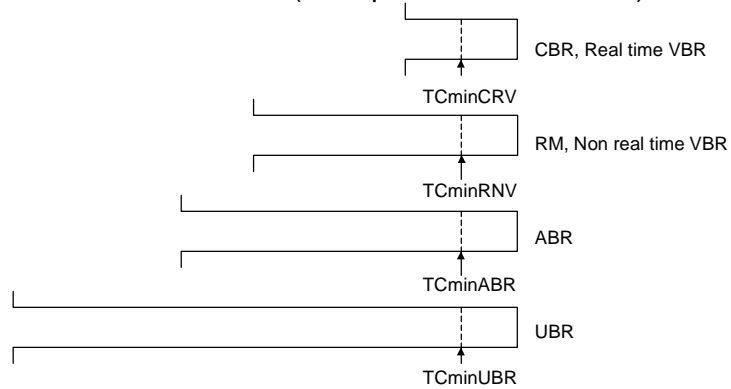
各クラス別に、セル・バッファ上にセルを格納したアドレスをキューイングします。

図3-38 サービス・クラス別キューとカウンタ

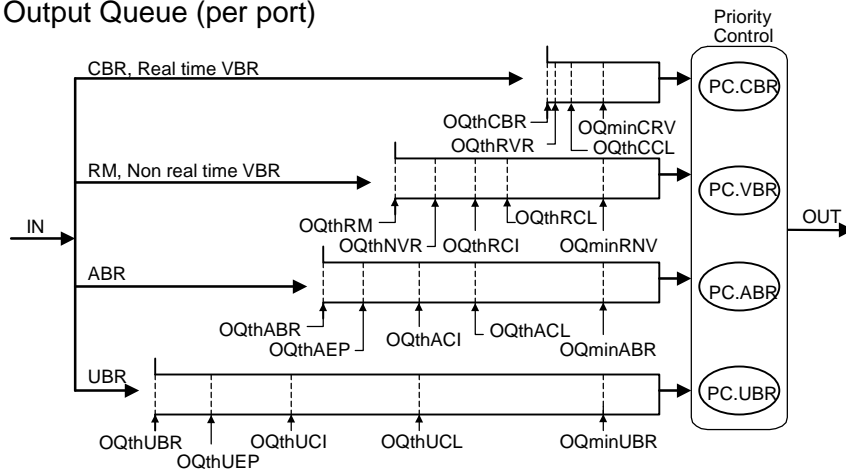
Used Cell Counter (on cell buffer)



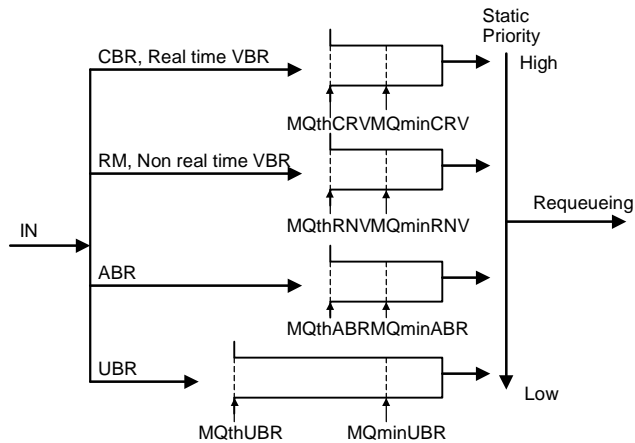
Total Cell Counter for each class (except each OQminXXX)



Output Queue (per port)



Multicast Queue



UC: Used Cell Counter に関するしきい値

- UCthCBR CBR セル廃棄しきい値
- UCthRVR rtVBR セル廃棄しきい値
- UCthRM RM セル廃棄しきい値
- UCthNVR nrtVBR セル廃棄しきい値
- UCthABR ABR セル廃棄しきい値
- UCthAEP ABR セル EPD しきい値
- UCthUBR UBR セル廃棄しきい値
- UCthUEP UBR セル EPD しきい値

TC: Total Cell Counter for each class に関するしきい値 (設定なし)**IQ: Idle Queue に関するしきい値 (設定なし)****OQ: Output Queue に関するしきい値**

- OQthCBR 出力ポートの CBR セル廃棄しきい値
- OQthRVR 出力ポートの rtVBR セル廃棄しきい値
- OQthCCL 出力ポートの CBR / rtVBR セル CLP 廃棄しきい値
- OQthRM 出力ポートの RM セル廃棄しきい値
- OQthNVR 出力ポートの nrtVBR セル廃棄しきい値
- OQthRCI 出力ポートの RM / nrtVBR セル EFCI しきい値
- OQthRCL 出力ポートの RM / nrtVBR セル CLP 廃棄しきい値
- OQthABR 出力ポートの ABR セル廃棄しきい値
- OQthAEP 出力ポートの ABR セル EPD しきい値
- OQthACI 出力ポートの ABR セル EFCI しきい値
- OQthACL 出力ポートの ABR セル CLP 廃棄しきい値
- OQthUBR 出力ポートの UBR セル廃棄しきい値
- OQthUEP 出力ポートの UBR セル EPD しきい値
- OQthUCI 出力ポートの UBR セル EFCI しきい値
- OQthUCL 出力ポートの UBR セル CLP 廃棄しきい値

MQ: Multicast Queue に関するしきい値

- MQthCRV マルチキャスト・キューの CBR / rtVBR セル廃棄しきい値
- MQthRNV マルチキャスト・キューの RM / nrtVBR セル廃棄しきい値
- MQthABR マルチキャスト・キューの ABR セル廃棄しきい値
- MQthUBR マルチキャスト・キューの UBR セル廃棄しきい値

UC: Used Cell Counter に関する最小キュー長

- ALLmin 各最小キュー長の総和

TC: Total Cell Counter for each class に関する最小キュー長

- TCminCRV CBR / rtVBR クラスに割り当てる最小キュー長
- TCminRNV RM / nrtVBR クラスに割り当てる最小キュー長
- TCminABR ABR クラスに割り当てる最小キュー長
- TCminUBR UBR クラスに割り当てる最小キュー長

IQ: Idle Queue に関する最小キュー長 (設定なし)**OQ: Output Queue に関する最小キュー長**

- OQminCRV 出力ポートの CBR / rtVBR クラスに割り当てる最小キュー長
- OQminRNV 出力ポートの RM / nrtVBR クラスに割り当てる最小キュー長
- OQminABR 出力ポートの ABR クラスに割り当てる最小キュー長
- OQminUBR 出力ポートの UBR クラスに割り当てる最小キュー長

MQ: Multicast Queue に関するしきい値

- MQminCRV マルチキャスト・キューの CBR / rtVBR クラスに割り当てる最小キュー長
- MQminRNV マルチキャスト・キューの RM / nrtVBR クラスに割り当てる最小キュー長
- MQminABR マルチキャスト・キューの ABR クラスに割り当てる最小キュー長
- MQminUBR マルチキャスト・キューの UBR クラスに割り当てる最小キュー長

3.13.4 クラス別セル廃棄

μ PD98412 は、クラス別セル廃棄しきい値により輻輳状態を検出すると、輻輳地点を通過するセルを強制廃棄します。

優先セル廃棄制御を行うのは、次の期間です。

総セル数がセル廃棄しきい値を越えている間

論理出力ポートごとの出力キュー長が各セル廃棄しきい値を越えている間

表3-1 総セル数に関するセル廃棄しきい値

しきい値名称	しきい値を越えた場合の制御（セル入力時の処理）
UCthCBR	CBR セルを廃棄します。
UCthRVR	rtVBR セルを廃棄します。
UCthRM	RM セルを廃棄します。
UCthNVR	nrtVBR セルを廃棄します。
UCthABR	ABR セルを廃棄します。
UCthUBR	UBR セルを廃棄します。

備考 ABR, UBR の各クラスで EPD を無効に設定しているチャンネルに対しては、UCthAEP, UCthUEP がセル廃棄しきい値となります。

表3-2 出力キュー長に関するセル廃棄しきい値

しきい値名称	しきい値を越えた場合の制御（セル入力時の処理）
OQthCBR	該当ポートの CBR セルを廃棄します。
OQthRVR	該当ポートの rtVBR セルを廃棄します。
OQthCCL	該当ポートの CLP = 1 に設定された CBR/rtVBR セルを廃棄します。
OQthRM	該当ポートの RM セルを廃棄します。
OQthNVR	該当ポートの nrtVBR セルを廃棄します。
OQthRCL	該当ポートの CLP = 1 に設定された RM/nrtVBR セルを廃棄します。
OQthABR	該当ポートの ABR セルを廃棄します。
OQthACL	該当ポートの CLP = 1 に設定された ABR セルを廃棄します。
OQthUBR	該当ポートの UBR セルを廃棄します。
OQthUCL	該当ポートの CLP = 1 に設定された UBR セルを廃棄します。

- 備考** 1. ABR, UBR の各クラスで EPD を無効に設定してあるチャンネルに対しては、OQthAEP, OQthUEP がセル廃棄しきい値となります。
2. CLP はヘッダ内に含まれる情報で、同一チャンネル内での優先度を示します。

表3-3 マルチキャスト・キュー長に関するセル廃棄しきい値

しきい値名称	しきい値を越えた場合の制御（セル入力時の処理）
MQthCRV	マルチキャスト・キューの CBR / rtVBR セルを廃棄します。
MQthRNV	マルチキャスト・キューの RM / nrtVBR セルを廃棄します。
MQthABR	マルチキャスト・キューの ABR セルを廃棄します。
MQthUBR	マルチキャスト・キューの UBR セルを廃棄します。

3.13.5 EPD (Early Packet Discard) 制御

μ PD98412 は、EPD 制御機能を持っています。EPD 制御機能は、輻輳状態に陥る前に、VC コネクションを設定しているチャネルの AAL-5 CS-PDU パケットを単位としてセルを廃棄する機能です。入力を開始しても途中で廃棄される可能性の高いパケットを最初から廃棄することで、すでに入力が開始されているパケットの廃棄を抑える効果が期待できます。

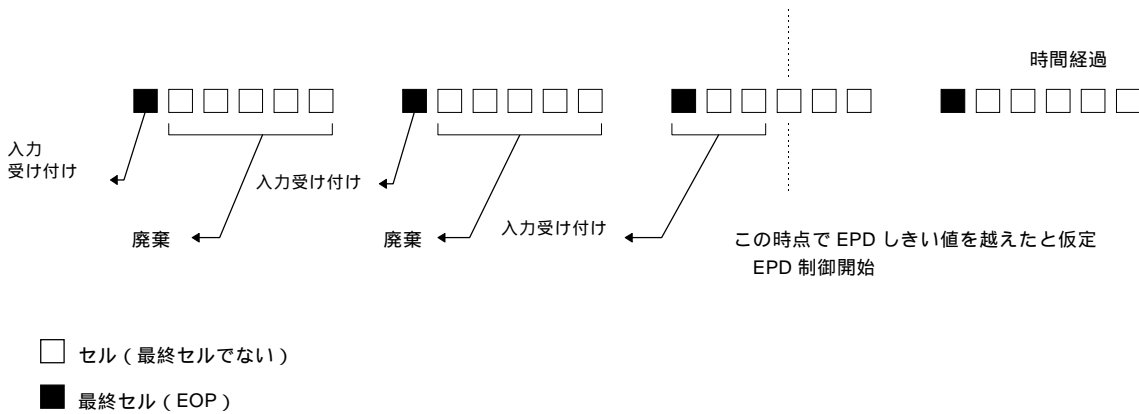
各キュー長が EPD しきい値を越えた場合に EPD 制御が働くかどうかは、制御を有効に設定してあるチャネルかどうか (HTT の EPD ビットの値) によります。制御の有効 / 無効により、 μ PD98412 の行う処理に次のような違いがあります。

(1) EPD 制御が有効の場合

総セル数、出力キュー長が EPD しきい値を越えた時点で EPD 制御が開始されます。いったん EPD 制御が開始されると、その後入力されるセルに対し、次のような判断を行います。

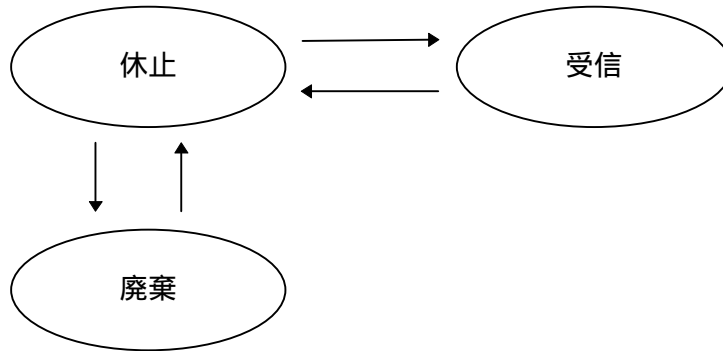
- (a) EPD 制御が開始された時点で、すでに入力が開始されているパケットに含まれるセルの場合
パケットの終端を表す最終セル (EOP : End Of Packet) まで入力を受け付けます。
- (b) EPD 制御が開始されてから、新しく入力されるパケットのセルの場合
EOP を除くすべてのパケットのセルが廃棄されます。これは、EOP の廃棄により、受信端末側で意味のない不正なパケットとして処理されないようにするためです。

図 3 - 39 EPD 制御が有効の場合



なお、有効の場合の動作は、次のような状態遷移図を用いて表すことができます。

図3-40 EPD制御有効の場合の状態遷移

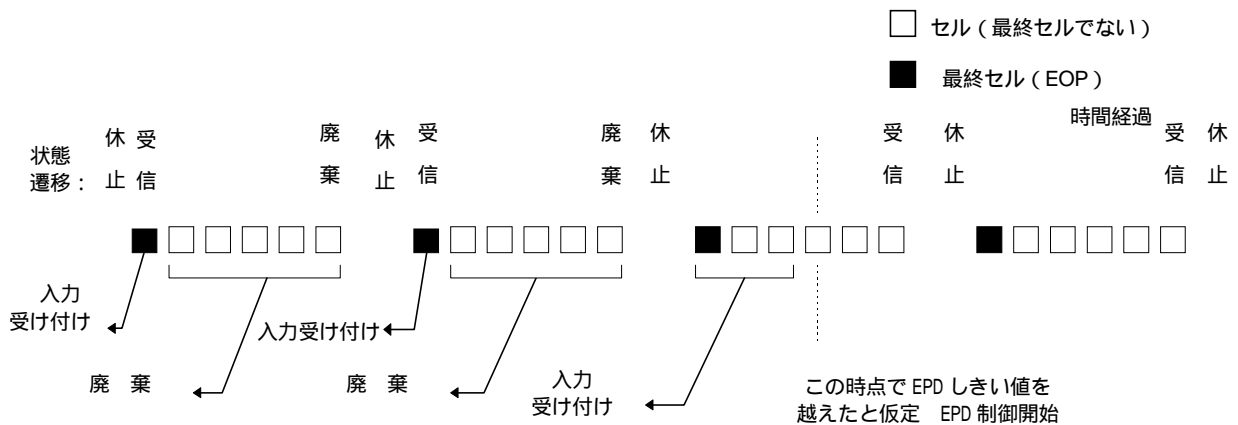


<処理の流れと状態の遷移>

初期状態では、制御は休止の状態にあります。休止の状態でセルが入力されると、まず現在の総セル数、出力キュー長がEPDしきい値を越えているかどうかの判断を行います。

ここでEPDしきい値を越えていなければ受信状態に移行し(), 越えていれば廃棄となります()。その後 AAL-5 パケットの最終セルが入力されるとふたたび休止の状態となります(,)。これにより、パケットの先頭のセルが入力された時点で受信状態となった場合は、最終セルまで受信され、先頭セルが入力された時点で廃棄状態となった場合は、最終セルを除くすべてのセルが廃棄されます。最終セルはどの状態においても受信されます。

図3-41 EPD制御による状態遷移



なお、AAL-5以外のパケットには最終セルによるパケット管理がないため、EPD制御は無効にしておく必要があります。

次に EPD 制御に使用されるしきい値を示します。

- 総セル数に関する EPD しきい値

しきい値	説明
UCthAEP	ABR クラスのセルに対する EPD しきい値
UCthUEP	UBR クラスのセルに対する EPD しきい値

- 出力キュー長に関する EPD しきい値

しきい値	説明
OQthAEP	ABR クラスのセルに対する EPD しきい値
OQthUEP	UBR クラスのセルに対する EPD しきい値

備考 EPD 制御を無効に設定してあるチャンネルでは、キュー長がこれらの値を越えた場合にセルが廃棄されます。このため ABR、UBR クラスに関しては、**3.13.4 クラス別セル廃棄**に示した UCthABR、UCthUBR、OQthABR、OQthUBR と、ここに示したしきい値の両方がセル廃棄しきい値の役割を果たします。

(2) EPD 制御が無効の場合

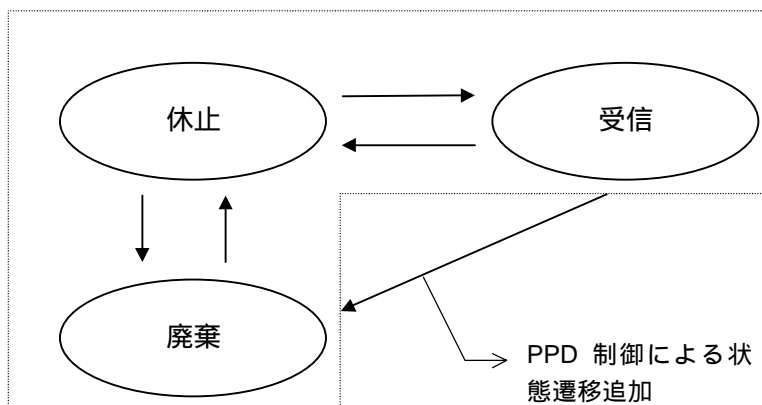
前記のような判断は行わず、パケット内のすべてのセルが EPD しきい値を越えた時点で廃棄されます。

3.13.6 PPD (Partial Packet Discard) 制御

PPD 制御とは、パケット内のセルが廃棄された場合に、それ以降のパケット内のセルを入力時にすべて廃棄する機能です。したがって、EPD しきい値を越えて EPD 制御が働くと、すでに入力が始まっているパケットは EOP (End of Packet) まで受信されますが、EPD 制御による受信中に EPD しきい値以外のしきい値越えによりセル廃棄が起これば、それ以後 EOP を除くパケット内のセルはすべて廃棄されます。

PPD 制御による状態遷移は図 3 - 42 のようになります。EPD 制御による状態遷移に対して、の遷移が追加されます。EPD 制御による受信状態から、EPD しきい値以外の廃棄しきい値越えが起きると、廃棄状態に遷移します。

図3-42 PPD制御の状態遷移



3.13.7 最小キュー長

共有バッファ方式では、ある論理出力ポートのクラスが輻輳状態にあると、そのクラスの総セル数(Used Cell Counter)に関するしきい値を越えてしまい、ほかの論理出力ポートの同一クラスのセルが廃棄されてしまうという現象が生じる可能性があります。

μPD98412では、出力キュー長に対してほかの論理出力ポートの輻輳状態によって影響を受けない最小キュー長 (Minimum Queue Length) を確保し、これを防止します。また、クラス別にもキュー長を管理し、ほかのクラスの輻輳状態によって影響を受けない最小キュー長を確保し、ポート別最小キュー長を越えたセルに対しては、クラス別に最小キュー長を保証します。

表3-4 総セル数 (Used Cell Counter) に関する最小キュー長

しきい値名称	セル入力時の処理
ALLmin	設定されたセル数を最小キュー長保証用としてセル・バッファ上に確保します。各最小キュー長の合計を設定する必要があります。設定値の求め方は、4.3.25 総セル数最小しきい値レジスタの説明を参照してください。

表3-5 クラス別総セル数 (Total Cell Counter for each class) に関する最小キュー長

しきい値名称	セル入力時の処理
TCminCRV	出力ポートの OQminCRV を越えた CBR / rtVBR セルについて、さらにクラスの最小キュー保証を行います。
TCminRNV	出力ポートの OQminRNV を越えた RM / nrtVBR セルについて、さらにクラスの最小キュー保証を行います。
TCminABR	出力ポートの OQminABR を越えた ABR セルについて、さらにクラスの最小キュー保証を行います。
TCminUBR	出力ポートの OQminUBR を越えた UBR セルについて、さらにクラスの最小キュー保証を行います。

表3-6 出力キュー長に関する最小キュー長

しきい値名称	セル入力時の処理
OQminCRV	出力ポートごとに CBR4/rtVBR セルについて最小キュー保証を行います。
OQminRNV	出力ポートごとに RM/nrtVBR セルについて最小キュー保証を行います。
OQminABR	出力ポートごとに ABR セルについて最小キュー保証を行います。
OQminUBR	出力ポートごとに UBR セルについて最小キュー保証を行います。

表3-7 マルチキャスト・キュー長に関する最小キュー長

しきい値名称	セル入力時の処理
MQminCRV	マルチキャスト・キューの CBR/rtVBR セルについて最小キュー保証を行います。
MQminRNV	マルチキャスト・キューの RM/nrtVBR セルについて最小キュー保証を行います。
MQminABR	マルチキャスト・キューの ABR セルについて最小キュー保証を行います。
MQminUBR	マルチキャスト・キューの UBR セルについて最小キュー保証を行います。

しきい値越えによるセル廃棄の優先順位は、次に示す(1) > (2) > (3) > (4)の優先順位でしきい値越えの判定を行い、セル廃棄、またはキューイングが行われます。また、しきい値越えとは、キュー長 しきい値の状態です。

- (1) 出力キュー、マルチキャスト・キューの廃棄しきい値 (MAX.しきい値(*1)、非 EPD 対象セルの EPD しきい値(*2)、CLP 対象セルの CLP しきい値(*3))のいずれかのしきい値越えにより廃棄されます。
- (2) 最小しきい値 (出力キュー、マルチキャスト・キューの MIN.しきい値(*4)、またはクラス別総セル数 (Total Cell counter for each class) の MIN.しきい値(*5)) を越えていない場合にキューイングされます。
- (3) 総セル数 (Used Cell Counter) の廃棄しきい値 (MAX.しきい値(*6)、または非 EPD 対象セルによる EPD しきい値(*7))のいずれかのしきい値越えにより廃棄されます。
- (4) 上記条件のいずれにも該当しない場合は、キューイングされます。

なお、各しきい値は次のように分類されます。

表 3 - 8 しきい値の分類と名称

分 類		OQ (Output Queue) / MQ (Multicast Queue)	TC (Total Cell Counter for each class)	UC (Used Cell Counter)
廃棄しきい値	MAX. しきい値	(*1) OQthCBR,OQthRVR OQthRM,OQthNVR OQthABR,OQthUBR MQthCRV,MQthRNV MQthABR,MQthUBR	-	(*6) UCthCBR,UCthRVR UCthRM,UCthNVR UCthABR,UCthUBR
	EPD しきい値	(*2) OQthAEP,OQthUEP	-	(*7) UCthAEP,UCthUEP
	CLP しきい値	(*3) OQthCCL,OQthRCL OQthACL,OQthUCL	-	-
MIN. しきい値		(*4) OQminCRV,OQminRNV OQminABR,OQminUBR MQminCRV,MQminRNV MQminABR,MQminUBR	(*5) TCminCRV,TCminRNV TCminABR,TCminUBR	-
EFCI しきい値		OQthRCI OQthACI,OQthUCI	-	-

3.13.8 セル排出機能

μPD98412 は、出力キュー中の滞留セルを排出することができます。この機能は、たとえば、ネットワーク障害により、出力されなくなったセルを廃棄するのに使われます。ポート・コンフィギュレーション・レジスタ (PT0-PT29) の CD ビットをセットすることによって排出を開始します。排出が終了したかどうかは、キュー長モニタリングによって確認することができます。なお、セルは、ほかのアクティブな論理ポートと調節されたタイミングで、1 つずつ排出されます。セル排出中は、レジスタの設定が参照されるので、ポート・コンフィギュレーション・レジスタ (PT0-PT29) を更新してはいけません。

3.14 ABR 輻輳制御

μ PD98412 では、輻輳状態を検出すると、ユーザ・セルの EFCI ビットにより着信端末方向に輻輳を通知することと、Backward RM セルの CI, NI, BN ビットにより送信端末方向に輻輳を通知することができます。

3.14.1 EFCI (Explicit Forward Congestion Indicator)

μ PD98412 では、EFCI しきい値により輻輳状態を検出すると、着信端末方向に通知するために、輻輳地点を通過するユーザ・セルのヘッダに含まれる EFCI ビットのセット (PTI = 010, 011) を行います。EFCI ビットのセットは、nrtVBR, ABR および UBR クラスに属するセルに対して行います。

EFCI 制御を行うのは、出力キュー長が EFCI しきい値を越えている間です。

表 3 - 9 出力キュー長に関する EFCI しきい値

しきい値名称	しきい値を越えている場合の制御 (セル出力時の処置)
OQthRCI	該当ポートの nrtVBR クラスのユーザ・セルの EFCI マーキングを行います。
OQthACI	該当ポートの ABR クラスのユーザ・セルの EFCI マーキングを行います。
OQthUCI	該当ポートの UBR クラスのユーザ・セルの EFCI マーキングを行います。

μ PD98412 は、EFCI マーキングについて 2 つのモードを持っています。モード・ビットは、MODE0 レジスタの EF ビットです。

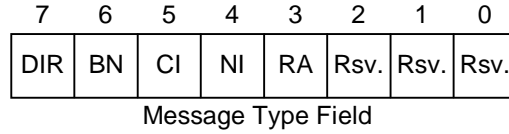
EF bit	EFCI マーキング対象セル
0	全ユーザ・セル (VPC&VCC, PTI = 000, 001)
1	VC コネクション中の全ユーザ・セル (VCC, PTI = 000, 001)

3.14.2 RM セル CI / NI マーキング (Resource Management Cell CI / NI Congestion Indication Marking)

μ PD98412 は、EFCI しきい値により ABR クラスの輻輳状態を検出すると、送信端末方向に通知するために、輻輳地点を通過する Backward RM セルに対して、ペイロードに含まれる CI ビットのセット (CI Marking)、および NI ビットのセット (NI Marking) を行います。この場合の輻輳地点を通過する Backward RM セルとは、輻輳状態にある論理出力ポートと同一番号の論理入力ポートに入力する Backward RM セルを指します。図 3 - 43 に、RM セル (Resource Management Cell) の構成を示します。

図3-43 RM Cell 構成 (ATM Forum TM Ver. 4.0)

OCTET	FIELD
1-5	ATM Header RM-VPC: VCI=6 and PTI=110 RM-VCC: PTI=110
6	RM Protocol Identifier
7	Message Type
8-9	ER (Explicit Cell Rate)
10-11	CCR (Current Cell Rate)
12-13	MCR (Minimum Cell Rate)
14-17	QL (Queue Length)
18-21	SN (Sequence Number)
22-51	Reserved
52-53	Reserved(6 bits) + CRC-10



- DIR = 0 for forward RM cells
= 1 for backward RM cells
- BN = 0 for Source Generated RM cells
= 1 for Switch Generated (BECN) RM cells
- CI = 0 otherwise
= 1 for to indicate congestion
- NI = 0 otherwise
= 1 to indicate no additive increase allowed
- RA - Not used for ABR (set to zero)

使用するしきい値は、3.14.1 EFCI (Explicit Forward Congestion Indicator) と同じです。CI/NI マーキング制御を行うのは、次の条件です。

Backward RM セルを入力した論理ポートの ABR クラスの出力キュー長が EFCI しきい値を越えている間

なお、RM セルの判定方法については3.12.8 RM セルのルーティングを参照してください。Backward RM セルとは、RM セルと判断されたセルのうち、DIR = 1 のセルを指します。

表3-10 出力キュー長に関する CI しきい値

しきい値名称	しきい値を越えている場合の制御 (セル入力時の処置)
OQthACI	該当ポートに入力される Backward RM セルの CI マーキングを行います。

μPD98412 は、CI/NI マーキング機能のマスク・ビットを持っています。マスク・ビットは、MODE1 レジスタの CI ビットです。

CI bit	処 理
0	CI/NI マーキング機能がマスクされない (active)
1	CI/NI マーキング機能がマスクされる (inactive)

3.14.3 RM セル・マージ (Resource Management Cell Merge)

μ PD98412 は、マルチキャストのバックワード方向のコネクションに対して、RM セル・マージを行います (3.12.6 RM セルの際の HTT へのアクセス参照)。

マルチキャストの場合、Backward RM セルは複数のチャンネルから 1 つのチャンネルに送られてきます。 μ PD98412 は、複数の Backward RM セルを 1 つの RM セルにマージして出力する機構を持っています。

マルチキャストのバックワード方向のコネクションは、同報数と同じ個数のヘッダ変換テーブル (HTT) を設定する必要があります。このうち少なくとも 1 つのコネクションに対して RMM = 10 (RM cell merge and transfer) を設定し、残りのコネクションに対しては RMM = 11 (RM cell merge and discard) を設定すると、RM セル・マージ機能を利用できます。

マルチキャストに設定されたチャンネルに Backward RM セルが送られてくると、RMM = 11 のチャンネルの場合は、 μ PD98412 の管理下にある該当チャンネルの輻輳状態を示す CI,NI ビットと Backward RM セルの CI, NI ビットとを論理和して新たに保持し、セルを廃棄します。RMM = 10 のチャンネルの場合は、保持している CI, NI ビットと Backward RM セルの CI, NI ビットとをそれぞれ論理和して出力ポートから送信します。

同様に、RM セルを誰が生成した (スイッチ, ソース) かを示す BN ビットは、RMM = 11 のチャンネルの場合、 μ PD98412 の管理下にある該当チャンネルの BN ビットと Backward RM セルの BN ビットとを論理積して新たに保持し、セルを廃棄します。RMM = 10 のチャンネルの場合、保持している BN ビットと Backward RM セルの BN ビットとを論理積して出力ポートから送信します。

3.15 WFQ (Weighted Fairness Queue)

3.15.1 概要

出力キューからセルの出力を行う際、どのセルを出力するかは、次の2つを決定することによって決めます。

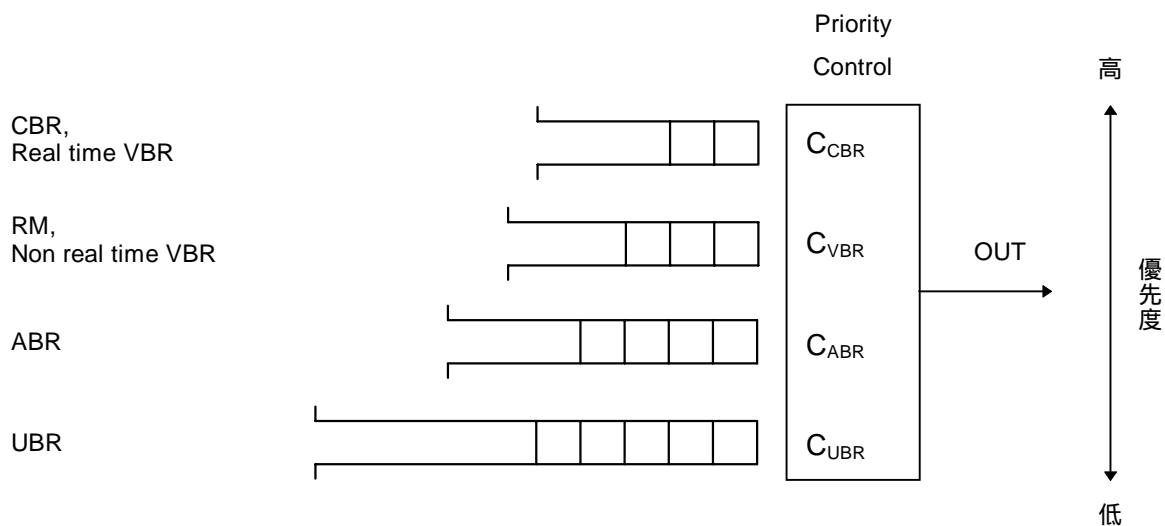
<出力セルの決定条件>

- (1) どの論理出力ポートから出力するかを決定する。
- (2) 決定された論理出力ポートに割り当てられている出力キューのうち、どのサービス・クラスのキューからセルを取り出すかを決定する。

この2つの条件のうち、ここでは(2)においてどのような判断によりサービス・クラスを決定するかについて説明します。なお、この(2)における決定の方式をWFQ (Weighted Fairness Queuing) と呼びます。

3.15.2 使用するカウンタ, フラグ

図3-44 出力キューとカウンタ



μ PD98412 の各論理出力ポートには、4つのサービス・クラスのキューを持ちます。

- CBR/rtVBR クラスの出力キュー
- RM/hrtVBR クラスの出力キュー
- ABR クラスの出力キュー
- UBR クラスの出力キュー

また、これらのキュー間には、図 3 - 44のような優先度が設定されており、優先度の高いキューにキューイングされているセルから優先的に出力されます。C_{CBR}、C_{VBR}、C_{ABR}、C_{UBR}は、この優先度を制御するために使用するカウンタであり、初期値は次のように設定します。

- C_{CBR}、C_{VBR} ...ある一定周期内に、対応するキューから出力を許可するセル数。
- C_{ABR}、C_{UBR} ...ABR クラスのセルと UBR クラスのセルの出力の割合（比率）。
たとえば、ABR クラスのセルと UBR クラスのセルを 2 : 1 の割合で出力するには、
C_{ABR} = 2、C_{UBR} = 1 と設定します。

C_{CBR}、C_{VBR}、C_{ABR}、C_{UBR}の設定は、クラス優先制御レジスタにより行われます。また、一定周期をカウントするカウンタとして周期カウンタも設けています。

この設定の違いは各クラスの特性によるものです。つまり CBR、VBR クラスでは、帯域予約を行うのに対し、ABR、UBR クラスでは、帯域予約を行わず、そのとき可能な転送レートでの転送を行います。このため、C_{ABR}、C_{UBR}は、比率を指定するのみで、一定期間内に実際にどれだけのセルが出力されるかは関知しません。

これらのカウンタにより、各サービス・クラスの優先制御は、次のような規則で行われています。

(1) 周期カウンタ (8 bit)

- ・リセット後カウンタ初期値として、1 がロードされます。
- ・8 ビット UTOPIA インタフェースの場合、システム・クロック 44 クロックごとに、ダウン・カウントされます。16 ビット UTOPIA インタフェースの場合、システム・クロック 22 クロックごとに、ダウン・カウントされます。
- ・周期カウンタ・レジスタ設定時に、設定値がカウンタにロードされます。
- ・カウンタがタイムアウト（カウンタ値 = “1”）すると、周期カウンタ・レジスタ設定値がロードされ、以後ダウン・カウントを続けます。

(2) C_{CBR}、C_{VBR} (7 bit)

- ・クラス優先制御レジスタの設定値が変更（初期設定時を含む）されると、C_{CBR}には 127 がロードされ、C_{VBR}カウンタにはクラス優先制御レジスタの設定値がロードされます。
- ・CBR、VBR クラスのどちらにも滞留セルがある場合は、CBR クラスが優先的に出力許可が与えられます。CBR クラスに滞留セルがない場合は、VBR クラスに出力許可が与えられます。CBR、VBR クラスでそれぞれセル出力されると、C_{CBR}、C_{VBR}カウンタは 1 減らされます。
- ・カウンタの値が 0 になると、該当サービス・クラスからの出力は禁止されます。
- ・周期カウンタのタイムアウト（カウンタ値 = “1”）で、クラス優先制御レジスタの設定値が C_{CBR}、C_{VBR}カウンタに足されてロードされます。
- ・CBR、VBR 両方のクラスに滞留セルがない、または C_{CBR}、C_{VBR}両方のカウンタが 0 となり出力禁止になった場合は、(3)の C_{ABR}、C_{UBR}カウンタによる優先制御が起動されます。

(3) C_{ABR}, C_{UBR} (3 bit)

- ・ 周期カウンタに関係なく、両方のカウンタが0になった時点で、初期値がロードされます。
- ・ ABR クラス, UBR クラスのどちらのキューにも滞留セルがあり, C_{ABR}, C_{UBR} のカウンタが両者とも0でない(出力禁止でない)ならば, 交互に出力許可が与えられます。対応するキューからセルが出力されるたびに, C_{ABR}, C_{UBR} カウンタは1減らされます。
- ・ カウンタの値が0になると, 該当サービス・クラスからの出力は禁止されます。
ただし, UBR クラスの出力禁止 (C_{UBR} = 0) により, ABR クラスに出力許可を与えても, ABR クラスに滞留セルがない場合は, UBR クラスに出力許可を与えます。同様に, ABR クラスの出力禁止 (C_{ABR} = 0) により, UBR クラスに出力許可を与えても, UBR クラスに滞留セルがない場合は, ABR クラスに出力許可を与えます。
- ・ C_{ABR}, C_{UBR} カウンタによる優先制御が起動されたあと, ふたたび C_{CBR}, C_{VBR} カウンタによる優先制御に戻るタイミングは, 次のようになります。
 - 1) C_{CBR} = 0 かつ C_{VBR} = 0 の場合, 周期カウンタのタイムアウト
 - 2) C_{CBR} = 0 または C_{VBR} = 0 の場合, CBR, VBR クラスにセルが滞留したとき

3.16 ピーク・レート・シェーピング機能

μ PD98412 は、各論理出力ポートごとに簡単なピーク・レート・シェーピング機能を持ちます。 μ PD98412 の持つシェーピング機能は、SWCLK で決まる 1 UTOPIA インタフェース当たりの転送スループットに対して働きます。UCLK3-UCLK0 で決まる UTOPIA インタフェースの転送速度に対して働くわけではないので注意してください。

1 UTOPIA インタフェース当たりの転送スループットおよびシェーピング後の転送スループットは、PT レジスタの SPR に設定した値により、8-bit UTOPIA I/F 対象時に 44 SWCLK、16-bit UTOPIA I/F 対象時に 22 SWCLK を 1 基本サイクルとして、次のように求められます。

8-bit UTOPIA I/F 対象時

転送スループット [bps] = SWCLK 周波数 [Hz] \div 44 [SWCLK] \times 53 [octet] \times 8 [bit]

16-bit UTOPIA I/F 対象時

転送スループット [bps] = SWCLK 周波数 [Hz] \div 22 [SWCLK] \times 53 [octet] \times 8 [bit]

シェーピング後の転送スループット [bps] = 転送スループット [bps] \div (SPR + 1)

たとえば 8-bit UTOPIA I/F 対象時、SWCLK = 33 MHz で SPR = 3 の場合は、4 基本サイクル (SPR + 1 = 4) に 1 回出力するように抑制され、シェーピング後の転送スループットは 79.5 Mbps となります。

また、同一の UTOPIA インタフェースに接続された複数の論理出力ポートが同時にセル送信要求を出す場合は出力競合が発生し、出力できなかった論理出力ポートは、転送スループットの低下を招きます。 μ PD98412 ではシェーピング誤差補正機能により転送スループットの低下を防いでおり、出力できなかった論理出力ポートは、出力競合で待たされた基本サイクル数分 (N) を、次のセル転送間隔を短く (SPR + 1 - N) することにより補正します。

次の 3.16.1、3.16.2 では、8-bit UTOPIA I/F を対象に、12-PHY polling モード時を例として説明します。ほかのモードとの違いは、3.16.3 に示します。

3.16.1 概要

(1) UTOPIA インタフェースと論理出力ポート

μ PD98412 は、UTOPIA Level2 に準拠した UTOPIA インタフェースを持っています。各 UTOPIA インタフェースの出力許可タイミングと μ PD98412 内部の基本動作サイクルとの関係は、次のようになります。

図3 - 45 内部基本サイクルと各 UTOPIA インタフェースの出力許可タイミング関係

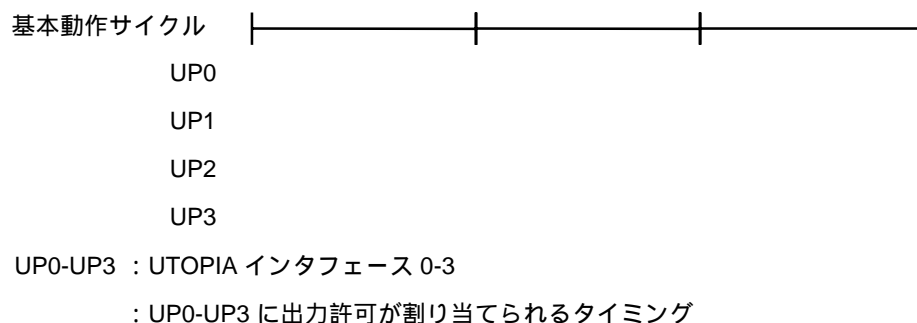
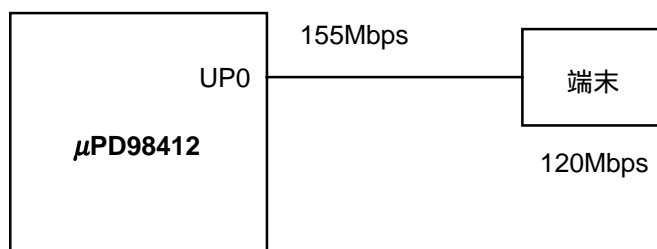


図3 - 45のように、1サイクルに1回各 UTOPIA インタフェースが割り当てられるようになっています。このとき各 UTOPIA インタフェースが割り当てられた場合に必ずセルの出力が行われると仮定すると、1つの UTOPIA インタフェースは 318 Mbps の転送能力を持っています（SWCLK Rate が 33 MHz としたとき）。

また、 μ PD98412 では、マルチ PHY 接続により最大 30 の論理出力ポートを接続できます。ただし、1つの UTOPIA インタフェースの転送レートは **3.1 UTOPIA インタフェース** で示した値で制限されるので、1つの UTOPIA インタフェースに割り当てる論理出力ポートの転送速度の合計も、この値以下に設定する必要があります。

(2) ピーク・レート・シェーピング機能

たとえば、図3 - 46のように μ PD98412 と端末が接続されている場合を考えます。

図3 - 46 μ PD98412 と端末との接続例

- μ PD98412 の UTOPIA インタフェースの転送レート最大値が 318 Mbps
- 回線速度が 155 Mbps
- 受信端末の処理能力が 120 Mbps
- UTOPIA インタフェース (UP0) には、1つの論理出力ポート (LP0) のみが割り当てられている。

この場合、 μ PD98412 側が 155 Mbps でセル出力を行ったとしても、端末側がそれを処理できないので、 μ PD98412 側で 120 Mbps 以下に転送レートを下げてセル出力を行う必要があります。この転送レートを制御するための機能がピーク・レート・シェーピング機能です。

ピーク・レート・シェーピング機能では、 μ PD98412 の各基本動作サイクルにおいて、該当論理出力ポートへの割り当てを制限することにより転送レートの制御を行います。(1) UTOPIA インタフェースと論理出力ポートで説明したように、基本動作サイクルごとにセル出力が行われた場合の転送レートが 318 Mbps なので、転送レートを 120 Mbps 以下に下げるには、3 サイクルに 1 回割り当てを行えばよいこととなります。

次に、この制御を行うための詳細を説明します。

3.16.2 詳細

(1) シェーピング・レート

概要で述べたように、サイクルごとに論理出力ポートへの割り当てを行うかどうかを制御するために、次のようなカウンタ、およびレジスタを設けています。

- Ct カウンタ ... シェーピング・レート制御のためのカウンタ
- SPR レジスタ ... シェーピング・レート設定レジスタ (0 SPR 255)
出力の転送レートを $1 / (SPR + 1)$ に制限します。

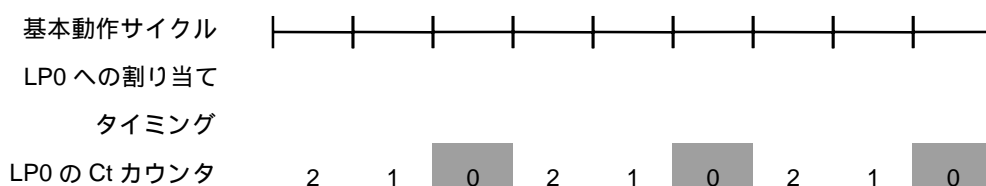
図 3 - 46の例では、 $SPR = 2$ と設定すれば転送レートは $1 / (1 + 2)$ で制限されるので、 $318 \times 1 / 3 = 106$ Mbps となり、120 Mbps 以下という制限を満足します。このとき 3 サイクルに 1 回論理出力ポートへの割り当てを行うためにどのような処理を行っているかについて説明します。

Ct カウンタは次の規則で更新され、 $Ct = 0$ となったときに論理出力ポートへの割り当てが行われます。

- 論理出力ポートへの割り当てが行われた時点 ($Ct = 0$) で、Ct カウンタに初期値 (SPR の値) がロードされる。
- 論理出力ポートへの割り当てが行われなるとき ($Ct \neq 0$ 時) は、 $Ct = Ct - 1$ され $Ct = 0$ となったときに出力許可を割り当てる。

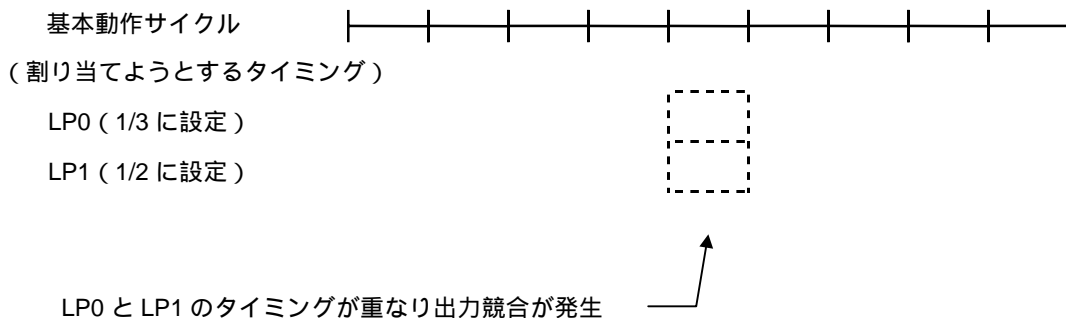
このときの基本サイクル、論理出力ポートの割り当て、カウンタ値の関係を、下図に示します。

$SPR = 2$ 、Ct の初期値 = 2 の場合、転送レートは $1 / (SPR + 1) = 1/3$ に制限されます。



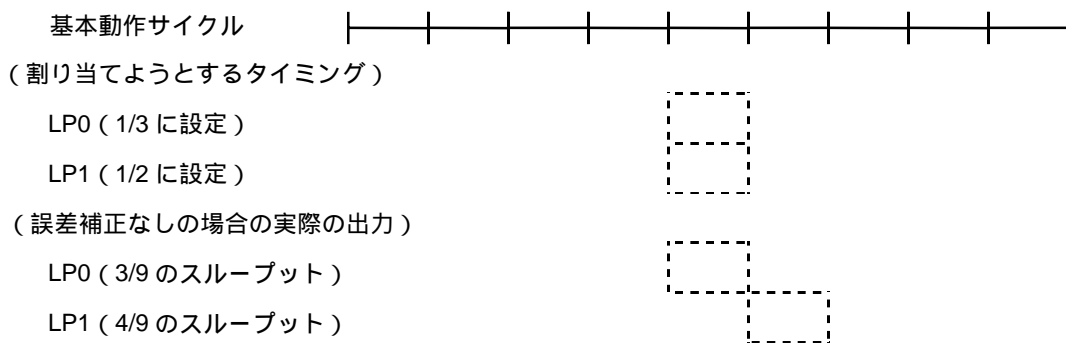
(2) シェーピング誤差補正

1つのUTOPIA インタフェース UP0 に複数の論理出力ポート LP0-LPn が接続されている場合には、次のように各論理出力ポートへの割り当てタイミングの重なり（出力競合）が発生し、スループットの低下を招きます。



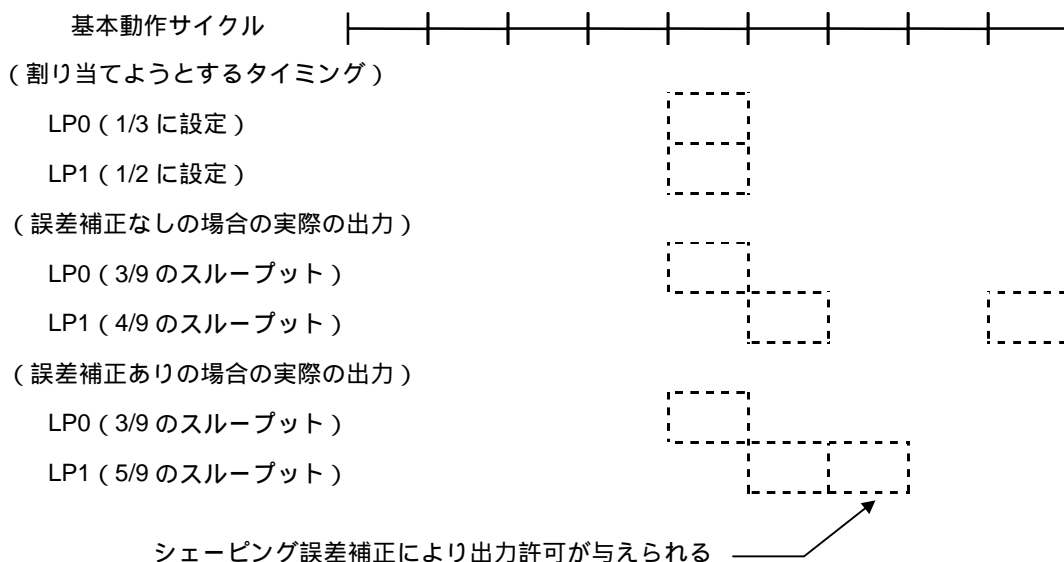
μPD98412 では、出力競合によるスループット低下を防ぐためシェーピング誤差補正機能を設けています。次にその機能について説明します。

まず、シェーピング誤差補正なしの場合には、スループットの低下を招くことについて説明します。



上図のように、出力競合時に LP0 より 1セルが出力された次のサイクルでは、競合を回避できるため、LP1 より 1セルが出力されます。その後、LP1 は SPR + 1 の基本サイクルをダウン・カウントして Ct = 0 のときに出力許可を割り当て、1セルを出力します。この結果、LP1 に設定したスループットよりも、実際のスループットは低下 (1/2 → 4/9) しています。

このような出力競合によるスループットの低下は、シェーピング誤差補正機能により抑えられます。その動作を次に説明します。



次に、このような制御を行うために、どのような処理を行っているのかを説明します。まず、シェーピング誤差補正を行うために新たにカウンタ Cs を設けます。

Cs : シェーピング誤差補正を制御するためのカウンタ

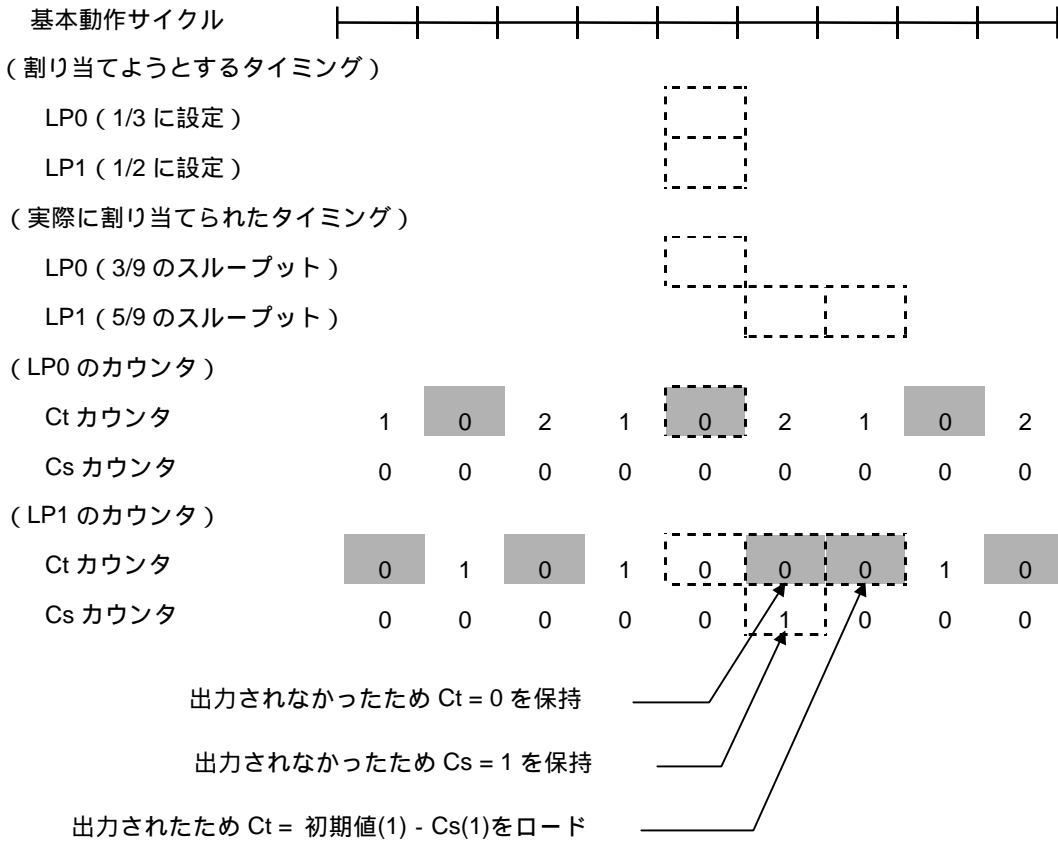
このシェーピング誤差補正カウンタ Cs は次のような規則で更新され、Ct = 0 のとき、論理出力ポートへの割り当てが行われます。

- 論理出力ポートへの割り当て (Ct = 0) 時に、セルを出力できた場合は、Cs = 0 とする。
- 論理出力ポートへの割り当て (Ct = 0) 時に、セルを出力できなかった場合は、Cs = Cs + 1 とする。なお、0 ≤ Cs ≤ 11 とする。

シェーピングのためのカウンタ Ct の更新は次のように行われます。

- 論理出力ポートへの割り当て時以外 (Ct ≠ 0) は、Ct = Ct - 1 となる。
- 論理出力ポートへの割り当て (Ct = 0) 時に、セルを出力できた場合は、初期値 (SPR) - Cs が Ct カウンタにロードされる。割り当てられたにもかかわらず、セルを出力できなかった場合は、Ct カウンタは 0 のまま保持される。

このときのカウンタの変化を次に示します。



次に、Ct の取りうる値が 0 から 11 の 12 個である理由について説明します。

今まで説明してきた例では、次の出力サイクルで LP1 が割り当てられることとなりますが、さらに複数の論理出力ポートが接続されているとき、次のサイクルでもほかの論理出力ポートと競合する可能性が発生します(このとき、さらに Ct をカウントアップして、次のサイクルに移ることになる)。ところが、12-PHY polling モードでは 1 つの UTOPIA インタフェースに割り当てられる論理出力ポートの最大数は 12 であることから、最大でも 12 サイクル待っていれば少なくとも 1 回は割り当てられる可能性を持つこととなります。このことから、Ct は 11 までの 12 個の値を取れるようになっています。

3.16.3 シェーピング誤差補正

μPD98412 では、シェーピング誤差補正の最大値が、次に示すようにポーリング・モードによって異なります。

12-PHY polling mode	11 cycle
15-PHY polling mode	14 cycle
Multiplexed status polling mode	29 cycle
2-group weighted polling mode	29 cycle
1-group weighted polling mode	29 cycle

3.17 割り込み要求

μ PD98412 がマイクロプロセッサに対して要求する割り込みの要因について説明します。

3.17.1 パリティ・エラー

μ PD98412 では、HTT & コントロール・メモリおよびセル・バッファに対してパリティ・エラーのチェックを行います。パリティ・エラーを検出した場合は、マイクロプロセッサに対して割り込みを要求します。

パリティ・エラーを検出した場合でも、動作を継続しますが、以降のヘッダ変換や、スイッチング動作が保証できませんので、ただちにマイクロプロセッサが、 μ PD98412 に対してリセット動作を実行するようにしてください。

(a) HTT & コントロール・メモリ

32 ビットのデータについて 8 ビットごとに 1 ビットのパリティを生成 / 検査します。

(b) セル・バッファ

格納セル 54 バイト (格納用ヘッダ 6 バイト, ペイロード 48 バイト) に対して, 1 バイトのパリティを生成 / 検査します。

3.17.2 FIFO コントロール・エラー

μ PD98412 では、UTOPIA Level 2 インタフェースに従ってセルを入出力しますが、 μ PD98412 内部の入出力 FIFO がオーバーランまたはアンダーランを起こした場合、該当する UTOPIA 受信インタフェース・ポートを UTOPIA ステータス・レジスタ (UTPSTAT レジスタ) に格納してから、マイクロプロセッサに対して割り込みを要求します。

FIFO コントロール・エラーが検出された場合、セルの取りこぼしが起きますが、ほかの UTOPIA インタフェース・ポートに対するスイッチング動作は継続します。UTOPIA クロックとシステム・クロックの関係が **3.1 UTOPIA インタフェース** に示した条件を満たしていない場合、FIFO コントロール・エラーを起こします。

3.17.3 キュー・ポインタ・エラー

μ PD98412 では、**3.13 キュー制御** で説明しているように、セル・バッファ管理用のキューをコントロール・メモリ上に構築しており、 μ PD98412 内部のキュー・コントロール部の誤動作を検出した場合、マイクロプロセッサに対して割り込みを要求します。

キュー・ポインタ・エラーが検出された場合、ステータス・レジスタの QE ビットにエラー表示され、以後のヘッダ変換や、スイッチング動作は保証できません。

ステータス・レジスタの CE ビットにエラー表示されず、QE ビットにのみエラー表示される場合は、次に示す要因が考えられますので μ PD98412 の設定を確認してください。

- ALLmin レジスタの初期設定値が、次の式で示す値に設定されていない。
 $(OQminCRV + OQminRNV + OQminABR + OQminUBR) \times \text{enabled ports}^{\text{注}}$
 $+ MQminCRV + MQminRNV + MQminABR + MQminUBR$
 $+ TCminCRV + TCminRNV + TCminABR + TCminUBR$

注 enabled ports は、PT レジスタ EN ビットを有効に設定する予定のある論理ポートの合計を表します。

- CMD レジスタのスイッチ動作有効に設定したあと、ALLmin レジスタの再設定を行った。
- CMD レジスタのスイッチ動作有効に設定したあと、各最小しきい値レジスタの再設定を行った。
- I/O レジスタ・アクセスによりテスト・エリアを書き換えた。

3.17.4 キャスト・カウンタ・エラー

μPD98412 では、アイドル・キュー管理部、あるいはマルチキャスト数の管理部の誤動作を検出した場合、マイクロプロセッサに対して割り込みを要求します。

キャスト・カウンタ・エラーが検出された場合、ステータス・レジスタの CE ビットにエラー表示され、以後のヘッダ変換や、スイッチング動作が保証できません。ユーザのソフトウェア手順に誤りがあると考えられます。μPD98412 の設定を確認してください。

ステータス・レジスタの CE と QE ビットにエラー表示される場合には、次の要因が考えられますので、μPD98412 の設定を確認してください。

- セル・バッファ・メモリの自己診断を終了したあと、モード・レジスタの HC ビットをディスエーブルにしていないため、誤ってセル・バッファ・メモリを書き換えた。
- I/O レジスタ・アクセスによりテスト・エリアを書き換えた。

3.17.5 セル・バッファ・メモリ不足

μPD98412 では、マルチキャストの割合が多い場合は、セル・データを格納するセル・バッファ・メモリ・エリア不足を起こします。セル・バッファ・メモリ不足を起こした場合、セルの格納ができないので、セルの廃棄および廃棄セル・カウントを行い、マイクロプロセッサに対して割り込みを要求します。

セル・バッファ・メモリ不足を起こしても、セル・バッファ・メモリ上に余裕ができれば通常の動作に復帰してスイッチング動作を継続します。全滞留セルの平均同報数が 2 より大きい場合に、セル・バッファ・メモリ不足が起きる可能性があります。

3.17.6 コントロール・メモリ不足

μPD98412 では、3.13 キュー制御で説明しているように、セル・バッファ管理用のキューをコントロール・メモリ上に構築します。マルチキャストの割合が多い場合は、セル・バッファより先にコントロール・メモリが足りなくなってしまう、コントロール・メモリ不足を起こします。コントロール・メモリ不足を起こした場合、セルの格納ができないので、セルの廃棄および廃棄セル・カウントを行い、マイクロプロセッサ

サに対して割り込みを要求します。

コントロール・メモリ不足を起こしても、コントロール・メモリ上に余裕ができれば、通常の動作に復帰してスイッチング動作を継続します。全滞留セルの平均同報数が 2 より大きい場合に、コントロール・メモリ不足が起きる可能性があります。

3.17.7 HEC/CRC エラー

μ PD98412 では、入力セルの HEC 検査および CRC-10 検査を行います。ただし、MODE1 レジスタの HM = 1 が設定されている場合は、HEC 検査を行わず、HEC エラー・セルは通過します。HEC エラー / CRC-10 エラーを検出した場合は、該当するセルを廃棄し、該当する論理入力ポート番号をモニタ・レジスタに格納してから、マイクロプロセッサに対して割り込みを要求します。マイクロプロセッサは要因レジスタ (ERHEC レジスタ) をリードして、HEC エラー / CRC-10 エラーを起こしたセルの論理入力ポートを知ることができます。

HEC エラー / CRC-10 エラーを検出した場合でも、ほかのセルに対するスイッチング動作は継続します。

また、 μ PD98412 では、1 ビットの HEC エラーの場合でも自動補正は行わず、HEC エラーを通知します。

(a) HEC 検査エラー (ヘッダ・エラー・チェック)

μ PD98412 では、入力セルの HEC 検査および出力セルの HEC 生成を行います。

(b) RM セル CRC-10 エラー

μ PD98412 では、入力セルが Backward RM セルであることを検出した場合、CRC-10 検査を行います。また、ペイロードの値を書き換えるため出力セルの CRC-10 生成を行います。なお、Backward RM セルとは、3.12.8 RM セルのルーティングで説明する判別方法で RM セルと判別されたセルのうち、DIR = 1 のセルを指します。

3.17.8 ヘッダ変換エラー

μ PD98412 では、セルが入力された際にヘッダ変換テーブル (HTT) をアクセスした結果、ヘッダ変換エラーを検出した場合、該当するセルを廃棄し、論理入力ポート番号をモニタ・レジスタ (ERHT レジスタ) に格納してから、マイクロプロセッサに対して割り込みを要求します。

ヘッダ変換エラーを検出した場合でも、ほかのセルに対するスイッチング動作は継続します。

(a) 無効ヘッダ変換

該当ポートに割り当てられた HTT 領域を越えて HTT をアクセスしようとした場合、ヘッダ変換エラーとなります。入力セルの VPI、VCI の無効部が“0”でないことを検出した場合にヘッダ変換エラーになります。ただし、HT0-HT29 レジスタで UNI の接続に設定されたチャンネルの場合は、入力セルの GFC フィールド (4 ビット) は“don't care”として扱います。

(b) 無効チャンネル

HTT アクセスの結果、該当チャンネルが無効 (CEN = 0) に設定されていることを検出した場合は、ヘッダ変換エラーとなります。

(c) 無効出力ポート

HTT アクセスの結果、得られた論理出力ポートにセルを出力しようとして、該当する論理出力ポートが無効 (PT レジスタ EN = 0) に設定されていることを検出した場合は、ヘッダ変換エラーとなります。

(d) 無効 RM セル・マージ

バックワード RM セルのマージを行う際に、出力先のチャンネルの HTT をアクセスした結果、チャンネルが無効 (CEN = 0) に設定されているかシングルキャスト (CM = 0) に設定されていることを検出した場合は、ヘッダ変換エラーとなります。

μ PD98412 は非割当セルによる IC エラーのマスク・ビットを持っています。IC エラーは HTT エラーの 1 種類です。マスク・ビットは、MODE1 レジスタの UA ビットです。

UA bit	処 理
0	IC エラーがマスクされない。
1	IC エラーがマスクされる。

備考 μ PD98412 は非割当セルを次のように定義しています。

GFC = 0, VPI = 0, VCI = 0, CLP = 0

3.17.9 バッファしきい値越え

μ PD98412 は、各しきい値を越えてセル・バッファにセルが滞留すると、優先セル廃棄制御および EPD 制御により、対応する入力セルを選択的に廃棄し、該当するしきい値の種類、クラス、および論理出力ポート番号をモニタ・レジスタ (EXTH レジスタ) に格納してから、マイクロプロセッサに対して割り込みを要求します。

セル廃棄を行った場合でも、ほかのセルに対するスイッチング動作は継続します。

3.17.10 マルチキャスト・ビット・マップ・エラー

マルチキャスト滞留セルがあるときに、 μ PD98412 がマルチキャスト・ビット・マップ・エラーを検出すると、マルチキャスト・ビット・マップ・エラー表示レジスタにマルチキャスト・ビット・マップ・エラーの要因を保持して、マイクロプロセッサに対して割り込みを要求します。

マルチキャスト・ビット・マップ・エラーを検出したあとも、 μ PD98412 はほかのセルに対するスイッチング動作を継続します。

(a) 無効出力ポート

得られたマルチキャスト・ビット・マップから、論理出力ポートにセルをリキューイングしようとしたとき、論理出力ポートが無効 (PT レジスタ EN = 0) に設定されている場合は、マルチキャスト・ビット・マップ・エラーが検出されます。この場合、該当セルは廃棄されます。

(b) 無効ビット・マップ

得られたマルチキャスト・ビット・マップが、どの論理出力ポートにもリキューイングしない設定 (MB = "0") になっている場合は、マルチキャスト・ビット・マップ・エラーが検出されます。この場合、該当セルは廃棄されます。

(c) 無効同報数

マルチキャスト滞留セルがあるときに同報数が増減した場合、マルチキャスト・ビット・マップ・エラーが検出されます。この場合、該当コネクションのセルがなくなるまで該当セルが廃棄されます。

注意 マルチキャスト・ビット・マップ・エラーの要因が、(a) 無効出力ポート、(b) 無効ビット・マップの場合、 μ PD98412 は μ PD98410 との互換を維持するためにヘッダ変換エラー表示レジスタの IM ビットを同時にセットし、ヘッダ変換エラー割り込み要求も発生させます。

3.18 モニタリング

3.18.1 エラー・モニタ

μPD98412 は、各種エラー（パリティ・エラーを除く）の要因となったポート番号などをモニタ・レジスタに格納します。各レジスタには、要因が発生した時点で有効な値が格納され、各要因のステータス・ビットがセットされている状態で有効です。この値はマイクロプロセッサがステータス・ビットをクリアするまで変化しません。

モニタ・レジスタに格納するのは、次の情報です。

- しきい値越えを検出したしきい値の種類、クラスおよび論理出力ポート番号
- ヘッド変換エラーを検出したセルを入力した論理入力ポート番号
- HEC エラー、CRC-10 エラーを検出したセルを入力した論理入力ポート番号
- 入力ポート・オーバラン・エラーを検出した UTOPIA インタフェースのポート番号

3.18.2 しきい値越えによるセル廃棄カウント

μPD98412 は、各しきい値を越えてセル・バッファにセルが滞留すると、優先セル廃棄制御および EPD 制御により、対応する入力セルを選択的に廃棄します。μPD98412 では、任意に設定した条件のセルに対して、任意の期間のセル廃棄数を観測することができます。

(a) 観測条件

次の条件をレジスタに設定できます。

- しきい値の指定 : MAX.しきい値 / CLP しきい値 / EPD しきい値
- クラス指定 : CBR / rtVBR / RM / nrtVBR / ABR / UBR
- ポート番号 : 論理出力ポート番号の指定

(b) 観測期間

カウント許可 (EN) ビットを “1” に設定するとカウントを行い、EN = “0” に設定すると中断します。

(c) セル廃棄数表示

観測を終了すると、セル廃棄数レジスタに表示されます。最大カウント数まで達した場合は、次にセル廃棄が起こるとカウンタは 0 になり、カウントを継続します。この場合、セル廃棄カウンタのカウント・オーバをステータス・レジスタに表示します。

- 最大カウント数 : FFFFFFFFh ($2^{32} - 1$)

3.18.3 ヘッダ変換エラーによるセル廃棄カウント

μPD98412 は、入力セルのヘッダ変換エラーによりセル廃棄します。μPD98412 では、任意に設定した論理入力ポート条件のセルに対して、任意の期間のセル廃棄数を観測することができます。

(a) 観測条件

次の条件をレジスタに設定できます。

- ポート番号 : 論理入力ポート番号の指定

(b) 観測期間

カウント許可 (EN) ビットを “1” に設定するとカウントを行い, EN = “0” に設定すると中断します。

(c) セル廃棄数表示

観測を終了すると、セル廃棄数レジスタに表示されます。最大カウント数まで達した場合は、次にセル廃棄が起こるとカウンタは 0 になり、カウントを継続します。この場合、セル廃棄カウンタのカウント・オーバをステータス・レジスタに表示します。

- 最大カウント数 : FFFFFFFFh ($2^{32} - 1$)

3.18.4 HEC エラー, CRC エラーによるセル廃棄カウント

μPD98412 は、HEC エラー, CRC エラーによりセル廃棄します。μPD98412 では、任意に設定した論理入力ポート条件のセルに対して、任意の期間のセル廃棄数を観測することができます。

(a) 観測条件

次の条件をレジスタに設定できます。

- ポート番号 : 論理入力ポート番号の指定

(b) 観測期間

カウント許可 (EN) ビットを “1” に設定するとカウントを行い, EN = “0” に設定すると中断します。

(c) セル廃棄数表示

観測を終了すると、セル廃棄数レジスタに表示されます。最大カウント数まで達した場合は、次にセル廃棄が起こるとカウンタは 0 になり、カウントを継続します。この場合、セル廃棄カウンタのカウント・オーバをステータス・レジスタに表示します。

- 最大カウント数 : FFFFFFFFh ($2^{32} - 1$)

注意 HEC エラーによるセル廃棄カウントは、MODE1 レジスタで HEC エラー・セル通過に設定されている場合には、カウントされません。

3.18.5 コントロール/セル・バッファ・メモリ不足によるセル廃棄カウント

μ PD98412 は、HTT & コントロール・メモリのコントロール領域の空き不足、またはセル・バッファ・メモリの空き領域不足によりセル廃棄します。 μ PD98412 では、任意に設定したエラー要因に対して、任意の期間のセル廃棄数を観測することができます。

(a) 観測条件

次の条件をレジスタに設定できます。

- エラー要因 : コントロール / セル・バッファ・メモリ不足

(b) 観測期間

カウント許可 (EN) ビットを“1”に設定するとカウントを行い、EN = “0”に設定すると中断します。

(c) セル廃棄数表示

観測を終了すると、セル廃棄数レジスタに表示されます。最大カウント数まで達した場合は、次にセル廃棄が起こるとステータス・レジスタを更新し、0 になりカウントを継続します。この場合、セル廃棄カウンタのカウント・オーバをステータス・レジスタに表示します。

- 最大カウント数 : FFFFFFFFh ($2^{32} - 1$)

3.18.6 受信セル数のカウント

μ PD98412 は、任意に設定した UTOPIA インタフェース・ポートに受信されたセルのカウントを、任意に設定した期間で観測することができます。

(a) 観測条件

次の条件をレジスタに設定できます。

- UTOPIA インタフェース・ポート番号 : UTOPIA0/1/2/3

(b) 観測期間

カウント許可 (EN) ビットを“1”に設定するとカウントを行い、EN = “0”に設定すると中断します。

(c) 受信セル数表示

観測を終了すると、入力セル数レジスタに表示されます。最大カウント数まで達した場合は、次にセル受信されるとカウンタは0 になり、カウントを継続します。この場合、入力カウンタのカウント・オーバをステータス・レジスタに表示します。

- 最大カウント数 : FFFFFFFFh ($2^{32} - 1$)

3.18.7 入力セル・モニタリング機能

μPD98412 は、特定の論理ポートから入力された特定のサービス・クラスのセル数をカウントできます。また、VP 単位 / VC 単位に入力セルをカウントする機能も持っています。

(a) モニタリング条件

次の条件が CTENINP0-CTENINP3 レジスタに設定できます。

- ポート番号 : 論理入力ポート番号
- クラス : サービス・クラス
- カウント対象 : 入力セルの HTT アクセス・アドレス

(b) モニタリング期間

CTENINP0-CTENINP3 レジスタのカウント許可 (EN) ビットに 1 を設定することで、セル・カウントを開始します。

ビットを 0 へ設定することで、カウンタを停止します。

(c) 入力セル数の表示

入力セル数は、入力セル・カウント・レジスタ (CTINP0-CTINP3) に示されます。入力セル数がレジスタの最大カウント値に達したあとにセルが入力されると、レジスタが 0 にリセットされ、カウントが継続されます。またこの場合、入力セル・カウンタのカウント・オーバフローが、ステータス・レジスタに示されます。

- 最大カウント: FFFFFFFFh ($2^{32} - 1$)

(d) 備考

HEC エラー、CRC エラー、ヘッダ変換エラーのため廃棄されたセルは、カウントされません。

セルがマイクロプロセッサ接続ポートから入力されるときに仮想論理入力ポート番号がセル・ヘッダから得られる場合 (SRLP レジスタの VLPNP フィールドが 0 でない場合) は、モニタリング条件として、仮想論理入力ポート番号が設定されたときに、カウントされます。仮想論理入力ポート番号がセル・ヘッダから得られない場合、モニタリング条件として、マイクロプロセッサ接続ポートが設定されたときに、カウントされます。

しきい値越えのため廃棄されたセルはカウントされません。

3.18.8 キュー長モニタリング機能

μ PD98412 は、各クラスごとに指定された出力 / マルチキャスト・キューのセル数 (キュー長) のモニタリングができます。

(a) モニタリング条件

観測条件として次の項目を MONQL レジスタに設定します。

- キュー・タイプ
出力キューがマルチキャスト・キューを設定します。
- ポート番号
出力キューの論理ポート番号 0-29 の値を設定します。キュー・タイプとしてマルチキャスト・キューが設定されたときは、このフィールドに 0 を設定してください。
- キュー・クラス
次のキュー・クラスを設定します。

CBR/rtVBR キュー

RM/nrtVBR キュー

ABR キュー

UBR キュー

(b) キュー長表示

キュー長は、MONQL レジスタを読み出す度に、その時点でのキュー長を読み出すことができます。

3.18.9 マルチキャスト滞留セル・モニタリング機能

マルチキャスト・コネクションにおいて、 μ PD98412 は、マルチキャスト・ビット・マップ・ポインタ (MBP) によって指定された HTTP Area-B を参照している滞留セル数をモニタリングできます。この機能は、HTTP Area-B を書き換える前に、HTTP Area-B を参照している滞留セルがないことを確認するために用いられます。

(a) モニタリング条件

MONNMC レジスタにマルチキャスト・ビット・マップ・ポインタ (MBP) を設定します。

(b) 滞留セル数の表示

滞留セル数は、MONNMC レジスタを読み出す度に、その時点での滞留セル数を読み出すことができます。

3.18.10 セル・バッファのエンプティ・フラグ

μPD98412 はセル・バッファのエンプティ・フラグを持っています。エンプティ・フラグは、ステータス・レジスタの EC ビットです。

EC bit	ステータス
0	セル・バッファはエンプティでない。
1	セル・バッファはエンプティである。

ステータス・レジスタが読み出されたとき、EC ビットは、セル・バッファの現在のステータスを示します。

3.19 マイクロプロセッサ・インタフェース

マイクロプロセッサは、 μ PD98412 内部の I/O レジスタに対するアクセスのほかに、 μ PD98412 を通じて HTT & コントロール・メモリおよびセル・バッファ・メモリに対するアクセスを行うことができます。

- I/O レジスタ : 初期設定, コマンド発行, ステータス確認など
- HTT & コントロール・メモリ : 初期設定, HTT へのコネクション設定, 自己診断
- セル・バッファ・メモリ : 自己診断

μ PD98412 は、マイクロプロセッサとの接続に 32 ビット多重同期バスをサポートしています。一般的 I/O バス (PCI Bus, S Bus, AP Bus, 86 系 Bus) にわずかな外部回路で接続できるような汎用バス・インタフェースとなっています。

表 3 - 11 マイクロプロセッサ・インタフェース端子

32 ビット多重同期バス
HCLK (Processor bus clock)
R/W_B (Read / Write mode)
UWE_B (Upper word enable)
AD [31:0] (Address / Data bus)
IOCS_B (I/O chip select)
MCS_B (Memory chip select)
INT (Interrupt request)
RDY_B (Bus ready)

3.19.1 I/O マッピング, メモリ・マッピング

IOCS_B をアクティブにすると I/O レジスタが選択され、MCS_B をアクティブにすると外部メモリが選択されます。さらにメモリ・モード・レジスタの HC ビットにより、外部メモリとして HTT & コントロール・メモリとセル・バッファ・メモリのどちらかが選択されます。

表 3 - 12 アクセス対象の選択

IOCS_B 端子	MCS_B 端子	メモリ・モード・ レジスタの HC ビット	オブジェクト	オフセット・アドレス
				32 ビット・バス
1	1	Don't care	設定禁止	設定禁止
0	1	Don't care	I/O レジスタ	0000h-7FFFh
1	0	1	HTT & コントロール・メモリ	000000h-0FFFFFFh
		0	セル・バッファ・メモリ	000000h-3FFFFFFh
0	0	Don't care	設定禁止	設定禁止

マイクロプロセッサは、 μ PD98412 に対して 32 ビット・アクセスを行うことができますが、セル・バッファ・メモリへライトする場合は、88 ビット・ライトしかできません。プロセッサからセル・バッファ・メモリへライトされたデータは、いったん μ PD98412 内部のテンポラリ・レジスタに格納され、CB [31:0] のライトと同時に 88 ビット単位でセル・バッファにライトされます。このため、セル・バッファにライトする場合は、必ず 1 ワード 88 ビット分のデータをライトし、CB [31:0] を最後に書き込んでください。

表 3 - 13 アクセス対象別のアクセス・ビット幅

アクセス	リード動作	ライト動作
I/O レジスタ	32 ビット	32 ビット
HTT & コントロール・メモリ	32 ビット	32 ビット
セル・バッファ・メモリ	32 ビット	88 ビット

32 ビット・アクセスで CBA [17:0] = 00000h 番地にデータをライトする場合は、AD [21:0] = 000008h, 000004h, 000000h の順番でライトを行います。

また、将来の拡張にも対応できるように、未使用領域に対しては、データ“0”をライトし、不定を想定したリードを行ってください。

注意 μ PD98412 に対して 8 ビット・アクセスは行わないでください。8 ビット・アクセスまたは 24 ビット・アクセスでデータをライトした場合、ワード・ペアの残りの 8 ビットにはドライブされていないデータ・バスの不定状態が書き込まれるため、動作保証はできません。

図3-47 I/Oレジスタ・マッピング

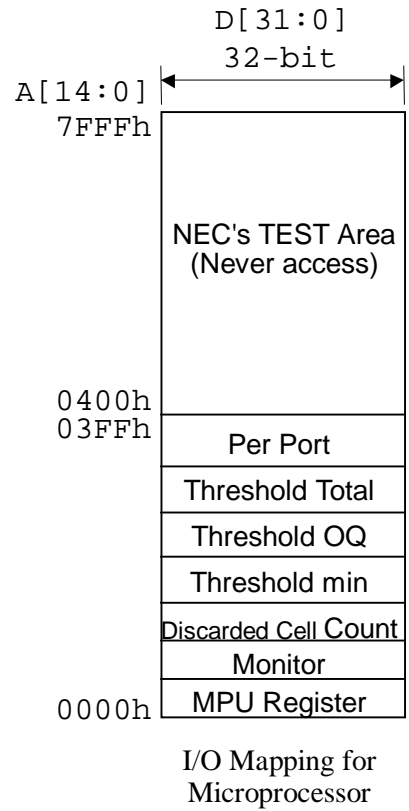
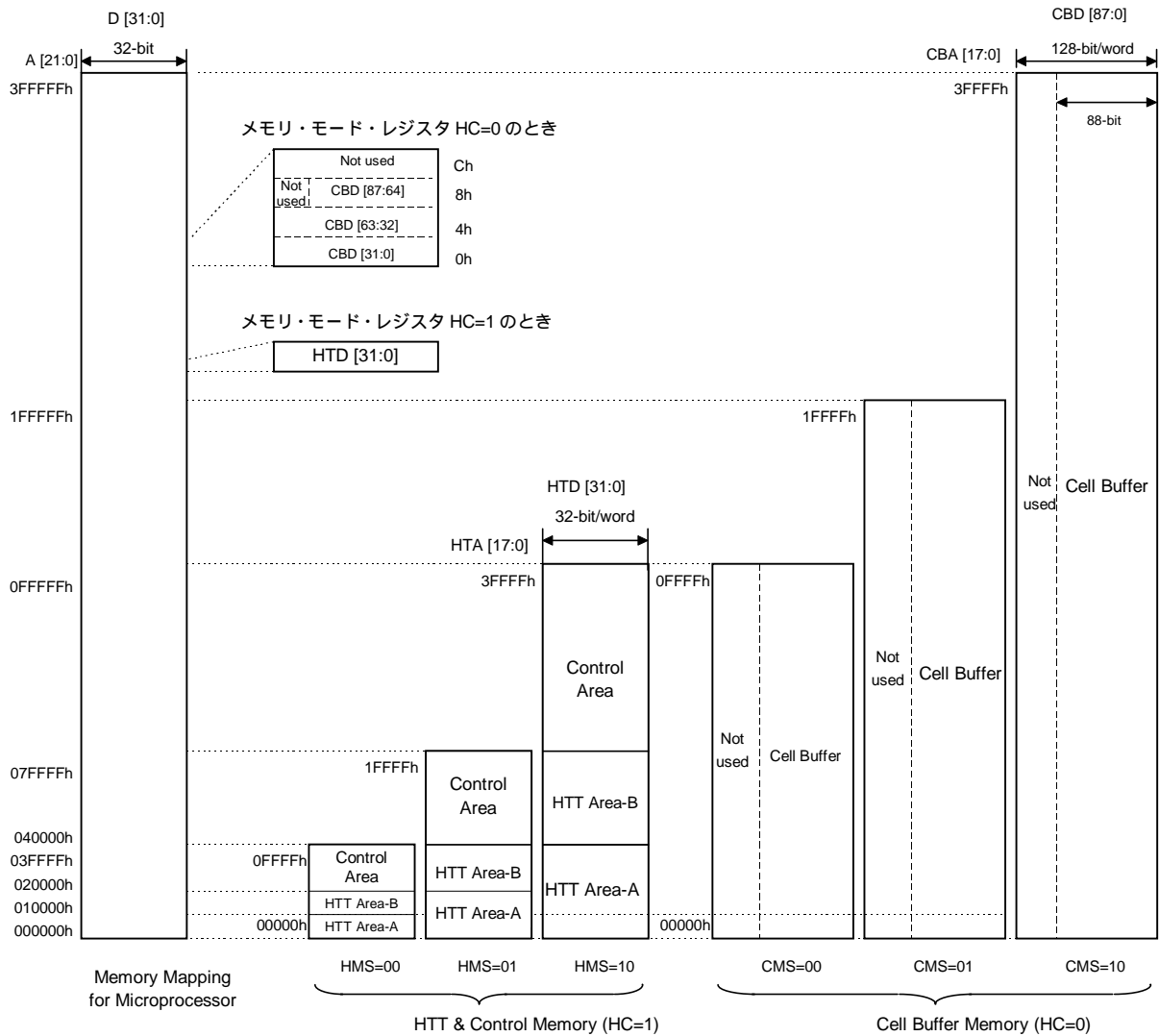


図 3 - 48 HTT & コントロール・メモリ, セル・バッファ・メモリ・マッピング



3.19.2 32ビット多重同期バス

(1) エンディアン

リセット後のデフォルト状態では、マイクロプロセッサ・バスはリトル・エンディアンとなっています。ビッグ・エンディアンのマイクロプロセッサを接続する場合は、メモリ・モード・レジスタのBLビットに“1”を設定してください。

μPD98412 は、AD1（アドレス）、UWE_B を用いて次の様にアクセス制御を行います。UWE_B には、負論理の上位ワード有効信号、または負論理の4バイト有効信号を接続できます。

(a) リトル・エンディアン時のアクセス（BL = “0”）

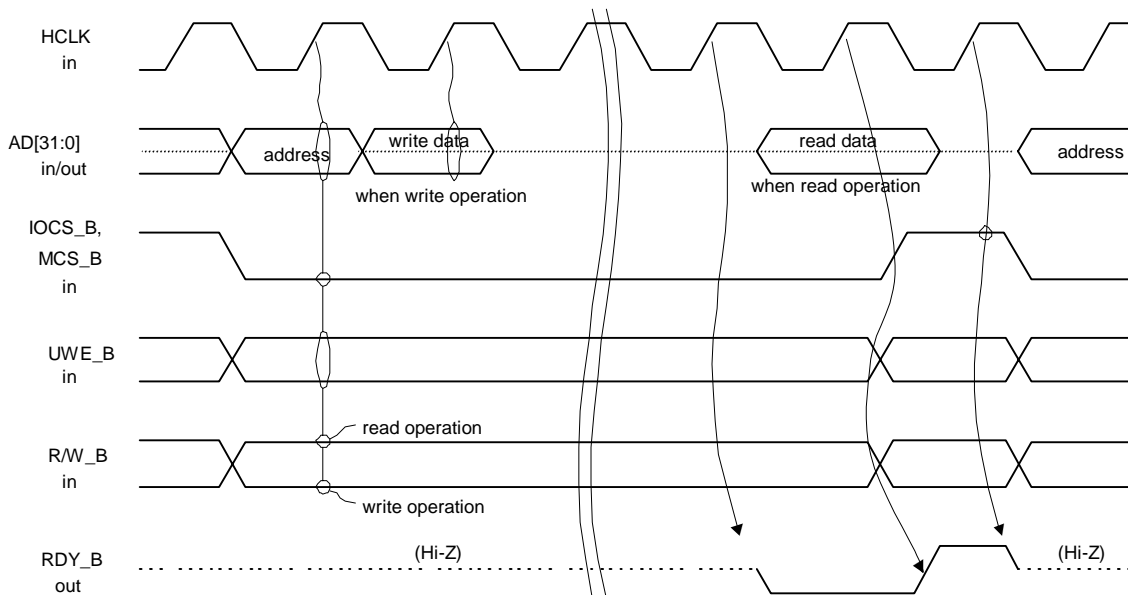
アドレス AD1	UWE_B	データ	
		AD [31:16]	AD [15:0]
0	0	bit [31:16]	bit [15:0]
0	1	Invalid	bit [15:0]
1	0	bit [31:16]	Invalid
1	1	bit [31:16]	Invalid

(b) ビッグ・エンディアン時のアクセス（BL = “1”）

アドレス AD1	UWE_B	データ	
		AD [31:16]	AD [15:0]
0	0	bit [31:16]	bit [15:0]
0	1	bit [31:16]	Invalid
1	0	Invalid	bit [15:0]
1	1	Invalid	bit [15:0]

(2) アクセス・タイミング

図3-49 32ビット多重同期バスのアクセス・タイミング



IOCS_B または MCS_B がアサートされると、HCLK の立ち上がり同期して AD [31:0]、UWE_B および R/W_B を取り込み、AD [31:0] で指示されるアドレスのレジスタまたはメモリに対してアクセスを行います。

R/W_B がハイ・レベルの場合、リード・オペレーションを開始します。データ出力の準備ができると、HCLK の立ち上がり同期して AD [31:0] にデータを出力するとともに、RDY_B をアサートします。マイクロプロセッサがデータを受け取り IOCS_B および MCS_B をネゲートすると、 μ PD98412 は RDY_B をネゲートし AD [31:0] をハイ・インピーダンスにします。さらに次の HCLK の立ち上がりで RDY_B をハイ・インピーダンスにします。

R/W_B がロウ・レベルの場合、ライト・オペレーションを開始します。次の HCLK の立ち上がり同期して AD [31:0] 上のデータを取り込み、次のバス・サイクルのオペレーションが可能になると RDY_B をアサートします。マイクロプロセッサが IOCS_B および MCS_B をネゲートすると、 μ PD98412 は RDY_B をネゲートし、さらに次の HCLK の立ち上がりで RDY_B をハイ・インピーダンスにします。

3.20 外部メモリ・インタフェース

3.20.1 HTT & コントロール・メモリ・インタフェース

HTT & コントロール・メモリには、1ワードが36ビット（32ビット+4ビット・パリティ）幅で、深さが64Kワードのメモリを接続します。拡張する場合はセル・バッファと一緒にいき、128Kワードおよび256Kワードを接続することができます。このメモリには、HTT（Header Translation Table）とセル・アドレス（アイドル・キュー / 出力キュー / マルチキャスト・キュー）が格納されます。

μPD98412はHTTを使用してヘッダ変換を行います。セル入力 / マルチキャストのリキューイング / セル出力の各場合にHTTをアクセスします。HTTへの設定は、コネクション時に、マイクロプロセッサがフォーマットに従って設定する必要があります。

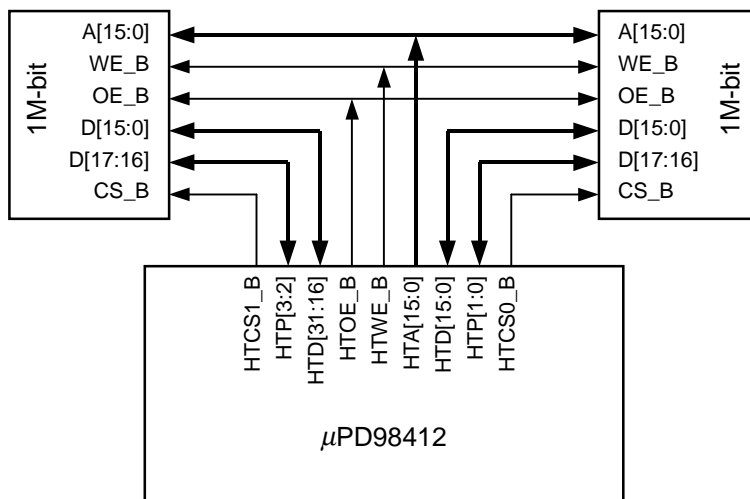
注意 マイクロプロセッサは、μPD98412がスイッチ動作中でも、常時HTTへアクセスすることができますが、マイクロプロセッサのアクセスが許可されるまで、最大16システム・クロックの期間ウエイト信号が挿入されます。

μPD98412はコントロール・メモリを使用してセル・バッファの管理を行います。セル・バッファへのポインタ（CBA [17:0]を1/5した値）を16ビット幅で格納します。

リセット後には、必要に応じてマイクロプロセッサがメモリの自己診断を行うためにメモリをアクセスします。メモリの自己診断を終了したあと、CMDレジスタにコマンドを発行する前に、MODE1レジスタのHCビットに“1”を設定してHTT & コントロール・メモリを選択しておきます。スイッチ動作が有効な期間は、マイクロプロセッサがアクセスできる外部メモリは、ヘッダ変換テーブル（HTT）だけです。コントロール・メモリへのアクセスは行わないでください。

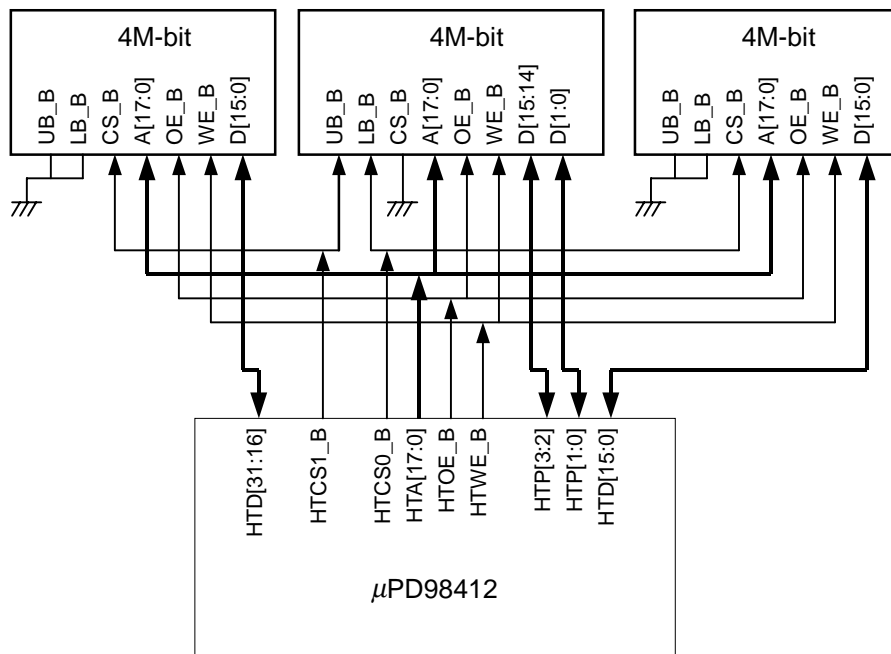
注意 パワーオン時およびリセット時、μPD98412は外部メモリに対して自動的に‘0’クリアを行いません。HTT & コントロール・メモリについては、誤動作の危険があるためCPU側から‘0’クリアしてください。

図3-50 HTT & コントロール・メモリ接続例（最小構成）



HTT & コントロール・メモリを最大構成で接続する場合、256K ワード×18 ビットのメモリを使用すると2個で構成できますが、256K ワード×16 ビットのメモリを使用すると3個または4個で構成します。256K ワード×16 ビットのメモリの場合、バイト・データ制御のできるメモリ（たとえばμPD434016AL）を使用すれば、3個で構成可能になります。

図3-51 HTT & コントロール・メモリ接続例（最大構成）



3.20.2 セル・バッファ・インタフェース

μPD98412 は、セル・バッファ・メモリを共有バッファとして使用します。

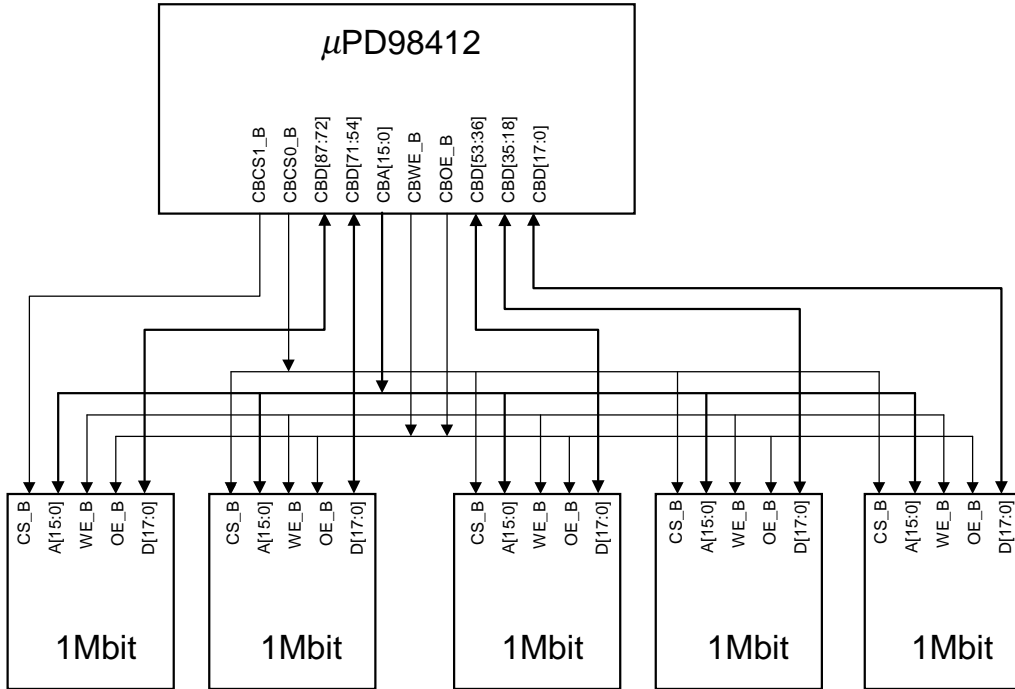
セル・バッファ・メモリには、1 ワードが 88 ビット幅（UDF フィールド透過の場合は、92 ビット幅）で、深さが 64K ワード（拡張時 128K ワード/256K ワード）のメモリを接続します。拡張する場合は、HTT & コントロール・メモリにも同じ深さのメモリを接続します。セルはのフォーマットで 1 セル当たり 55 バイトを使用しセル・バッファに格納されます。

μPD98412 は、UDF フィールド未透過の場合、セル・バッファ・メモリに対して 88 ビット単位で、5 サイクルのライトまたは 6 サイクルのリードを行い、1 セルのライトまたはリードを行います。リード時の 1 サイクル分は、キャスト・カウンタ（CC）をデクリメントして書き戻すためのライト・サイクルです。CBCS1_B 信号は、このライト・サイクルのために CC および CCP（パリティ）を書き込む許可信号です。セル・バッファ・メモリとして 18 ビット幅の SRAM を接続した場合、CBCS1_B は CBD [87:72] を接続するメモリに接続することを推奨します。CC の書き戻しの際には CBD [87:70] をドライブしているため、接続する SRAM の種類により、CBD [87:82] から CBD [87:70] まで自由に CBCS1_B を接続することが可能です。

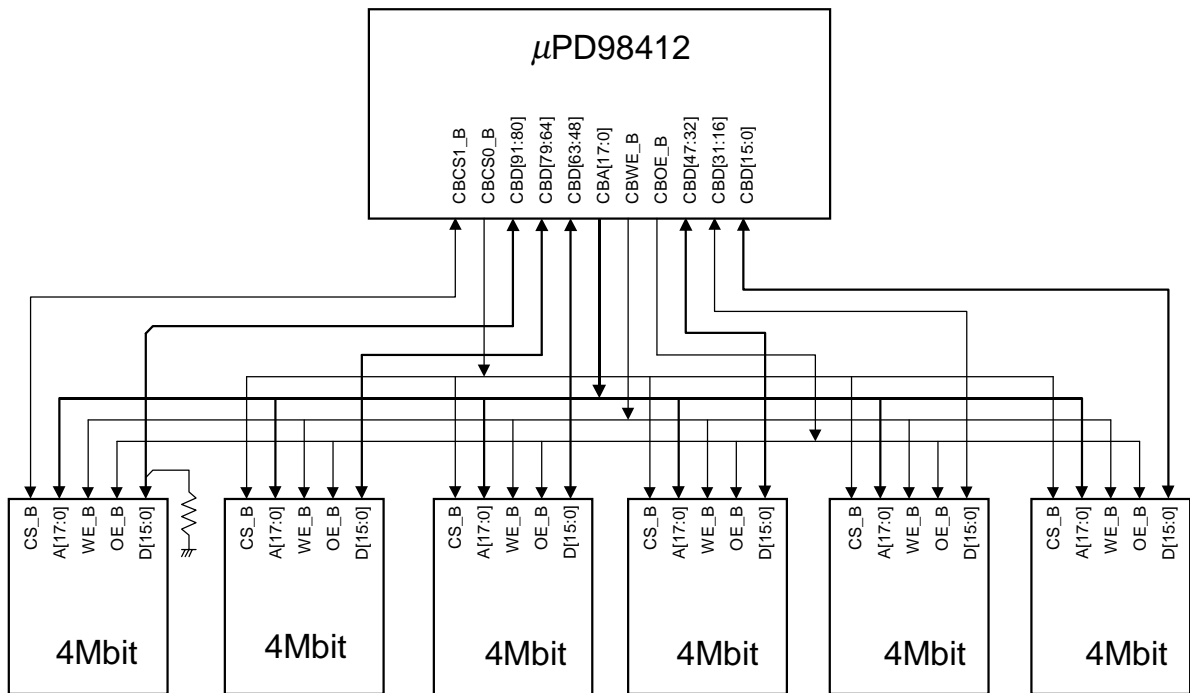
リセット後には、マイクロプロセッサが必要に応じてメモリの自己診断を行うためにメモリをアクセスします。メモリの自己診断を終了したあと、CMD レジスタにコマンドを発行する前に、メモリ・モード・レ

図3-53 セル・バッファ・メモリ接続例

(a) 最小構成時で、UDF フィールド未透過



(b) 最大構成時で、UDF フィールド透過



[× モ]

第4章 内部レジスタ

4.1 レジスタ一覧

(1/3)

アドレス	レジスタ名	機能	ビット	R/W	節番号
0000h	CMD	コマンド	16	R/W	4.3.1
0004h	MODE0	モード0	16	R/W	4.3.2
0006h	MODE1	モード1	16	R/W	4.3.3
0008h	INTMASK	割り込みマスク	32	R/W	4.3.4
000Ch	STATUS	ステータス	32	R/W	4.3.5
0010h	EXTHMS	しきい値越え廃棄表示マスク	32	R/W	4.3.6
0014h	EXTH	しきい値越え廃棄表示	32	R	4.3.7
0018h	ERHT	ヘッダ変換エラー廃棄表示	16	R	4.3.8
001Ah	ERHEC	HEC / CRCエラー廃棄表示	16	R	4.3.9
001Ch	UTPSTAT	UTOPIAステータス	16	R	4.3.10
001Eh	ERMB	マルチキャスト・ビット・マップ・エラー表示	16	R	4.3.11
0020h	CTENTH	しきい値越え廃棄セル・カウント・イネーブル	32	R/W	4.3.12
0024h	CTENHT	ヘッダ変換エラー廃棄セル・カウント・イネーブル	16	R/W	4.3.13
0026h	CTENHEC	HEC / CRCエラー廃棄セル・カウント・イネーブル	16	R/W	4.3.14
0028h	CTENMEM	コントロール / セル・バッファ・メモリ不足廃棄セル・カウント・イネーブル	16	R/W	4.3.15
002Ah	CTENRCV	受信セル・カウント・イネーブル	16	R/W	4.3.16
002Ch	CTRCV	受信セル・カウント	32	R/W	4.3.17
0030h	CTEXTH	しきい値越え廃棄セル・カウント	32	R/W	4.3.18
0034h	CTERHT	ヘッダ変換エラー廃棄セル・カウント	32	R/W	4.3.19
0038h	CTERHEC	HEC / CRCエラー廃棄セル・カウント	32	R/W	4.3.20
003Ch	CTMEMEMP	コントロール / セル・バッファ・メモリ不足廃棄セル・カウント	32	R/W	4.3.21
0040h	OQminCRV	CBR+rtVBRクラス出力キュー最小しきい値	16	R/W	4.3.22
0044h	OQminRNV	RM+nrtVBRクラス出力キュー最小しきい値	16	R/W	
0048h	OQminABR	ABRクラス出力キュー最小しきい値	16	R/W	
004Ch	OQminUBR	UBRクラス出力キュー最小しきい値	16	R/W	
0050h	MQminCRV	CBR+rtVBRクラス・マルチキャスト・キュー最小しきい値	16	R/W	4.3.23
0054h	MQminRNV	RM+nrtVBRクラス・マルチキャスト・キュー最小しきい値	16	R/W	
0058h	MQminABR	ABRクラス・マルチキャスト・キュー最小しきい値	16	R/W	
005Ch	MQminUBR	UBRクラス・マルチキャスト・キュー最小しきい値	16	R/W	

(2/3)

アドレス	レジスタ名	機能	ビット	R/W	節番号
0060h	TCminCRV	CBR+nrVBRクラスTC (Total Cell) カウンタ最小しきい値	16	R/W	4.3.24
0064h	TCminRNV	RM+nrtVBRクラスTC (Total Cell) カウンタ最小しきい値	16	R/W	
0068h	TCminABR	ABRクラスTC (Total Cell) カウンタ最小しきい値	16	R/W	
006Ch	TCminUBR	UBRクラスTC (Total Cell) カウンタ最小しきい値	16	R/W	
007Eh	ALLmin	総セル数最小しきい値 (各出力キュー , マルチキャスト・キュー , TCカウンタの最低保証セル数合計)	16	R/W	4.3.25
0080h	OQthCBR	CBRクラス出力キュー最大しきい値	16	R/W	4.3.26
0082h	OQthRVR	rtVBRクラス出力キュー最大しきい値	16	R/W	
0086h	OQthCCL	CBR+rtVBRクラス出力キューCLPしきい値	16	R/W	4.3.29
0090h	OQthRM	RMクラス出力キュー最大しきい値	16	R/W	4.3.26
0092h	OQthNVR	nrtVBRクラス出力キュー最大しきい値	16	R/W	
0094h	OQthRCI	RM+nrtVBRクラス出力キューEFCIしきい値	16	R/W	4.3.28
0096h	OQthRCL	RM+nrtVBRクラス出力キューCLPしきい値	16	R/W	4.3.29
00A0h	OQthABR	ABRクラス出力キュー最大しきい値	16	R/W	4.3.26
00A2h	OQthAEP	ABRクラス出力キューEPDしきい値	16	R/W	4.3.27
00A4h	OQthACI	ABRクラス出力キューEFCIしきい値	16	R/W	4.3.28
00A6h	OQthACL	ABRクラス出力キューCLPしきい値	16	R/W	4.3.29
00B0h	OQthUBR	UBRクラス出力キュー最大しきい値	16	R/W	4.3.26
00B2h	OQthUEP	UBRクラス出力キューEPDしきい値	16	R/W	4.3.27
00B4h	OQthUCI	UBRクラス出力キューEFCIしきい値	16	R/W	4.3.28
00B6h	OQthUCL	UBRクラス出力キューCLPしきい値	16	R/W	4.3.29
00C0h	MQthCRV	CBR+rtVBRクラス・マルチキャスト・キュー最大しきい値	16	R/W	4.3.30
00C4h	MQthRNV	RM+nrtVBRクラス・マルチキャスト・キュー最大しきい値	16	R/W	
00C8h	MQthABR	ABRクラス・マルチキャスト・キュー最大しきい値	16	R/W	
00CCh	MQthUBR	UBRクラス・マルチキャスト・キュー最大しきい値	16	R/W	
00D0h	UCthCBR	CBRクラスUC (Used Cell) カウンタ最大しきい値	16	R/W	4.3.31
00D4h	UCthRVR	rtVBRクラスUC (Used Cell) カウンタ最大しきい値	16	R/W	
00D8h	UCthRM	RMクラスUC (Used Cell) カウンタ最大しきい値	16	R/W	
00DCh	UCthNVR	nrtVBRクラスUC (Used Cell) カウンタ最大しきい値	16	R/W	
00E0h	UCthABR	ABRクラスUC (Used Cell) カウンタ最大しきい値	16	R/W	
00E2h	UCthAEP	ABRクラスUC (Used Cell) カウンタEPDしきい値	16	R/W	4.3.32
00E8h	UCthUBR	UBRクラスUC (Used Cell) カウンタ最大しきい値	16	R/W	4.3.31
00EAh	UCthUEP	UBRクラスUC (Used Cell) カウンタEPDしきい値	16	R/W	4.3.32

(3/3)

アドレス	レジスタ名	機能	ビット	R/W	節番号
注1	PT0-PT29	ポート・コンフィギュレーション	32	R/W	4.3.33
注2	PC0-PC29	クラス優先制御	32	R/W	4.3.34
01FCh	PERIOD	周期カウント	16	R/W	4.3.35
注3	HT0-HT29	ヘッダ変換コンフィギュレーション	32	R/W	4.3.36
027Ch	SMA	スイッチング・モード・エリア設定	16	R/W	4.3.37
0280h	MONQL	キュー長モニタ	32	R/W	4.3.38
0284h	MONNMC	マルチキャスト滞留セル・モニタ	32	R/W	4.3.39
0288h	SRLP	特殊ルーティング論理ポート	16	R/W	4.3.40
028Ah	SRFLT	特殊ルーティング・フィルタ	16	R/W	4.3.41
注4	UTPCFG0-3	UTOPIAコンフィギュレーション	32	R/W	4.3.42
注5	CTENINP0-3	入力セル・カウント・イネーブル	32	R/W	4.3.43
注6	CTINP0-3	入力セル・カウント	32	R/W	4.3.44

- 注1. 0100h, 0104h, 0108h, 010Ch, 0110h, 0114h, 0118h, 011Ch, 0120h, 0124h, 0128h, 012Ch, 0130h, 0134h, 0138h, 013Ch, 0140h, 0144h, 0148h, 014Ch, 0150h, 0154h, 0158h, 015Ch, 0160h, 0164h, 0168h, 016Ch, 0170h, 0174h
2. 0180h, 0184h, 0188h, 018Ch, 0190h, 0194h, 0198h, 019Ch, 01A0h, 01A4h, 01A8h, 01ACh, 01B0h, 01B4h, 01B8h, 01BCh, 01C0h, 01C4h, 01C8h, 01CCh, 01D0h, 01D4h, 01D8h, 01DCh, 01E0h, 01E4h, 01E8h, 01ECh, 01F0h, 01F4h
3. 0200h, 0204h, 0208h, 020Ch, 0210h, 0214h, 0218h, 021Ch, 0220h, 0224h, 0228h, 022Ch, 0230h, 0234h, 0238h, 023Ch, 0240h, 0244h, 0248h, 024Ch, 0250h, 0254h, 0258h, 025Ch, 0260h, 0264h, 0268h, 026Ch, 0270h, 0274h
4. 0290h, 0294h, 0298h, 029Ch
5. 02A0h, 02A4h, 02A8h, 02ACh
6. 02B0h, 02B4h, 02B8h, 02BCh

4.2 レジスタ・マップ

(1/6)

	31	24	23	16	15	8	7	0														
07C	ALLmin																					
078																						
074																						
070																						
06C	TCminUBR																					
068	TCminABR																					
064	TCminRNV																					
060	TCminCRV																					
05C	MQminUBR																					
058	MQminABR																					
054	MQminRNV																					
050	MQminCRV																					
04C	OQminUBR																					
048	OQminABR																					
044	OQminRNV																					
040	OQminCRV																					
03C	CTMEMEMP																					
038	CTERHEC																					
034	CTERHT																					
030	CTEXTH																					
02C	CTRCV																					
028	CTENRCV				CTENMEM																	
	EN	CL	UP _{N3}	UP _{N2}	UP _{N1}	UP _{N0}	CT	CB	EN	CL												
024	CTENHEC				CTENHT																	
	EN	CL	IPN		EN	CL	IPN															
020	CTENTH																					
	OM	OE	ON	OC	TM	TE	TN	MM	QM	QN	QC	UB	AB	NV	RM	RV	CB	EN	CL	OPN		
01C	ERMB				UTPSTAT																	
	IME	IMZ	IMN	MBP	UB _{Y3}	UB _{Y2}	UB _{Y1}	UB _{Y0}	UP _{N3}	UP _{N2}	UP _{N1}	UP _{N0}										
018	ERHEC				ERHT																	
	HE _C	IC _C	IPN	IH	IC	IIP	IOP	IM	IR	IPN												
014	EXTH																					
	OM	OE	ON	OC	TM	TE	TN	MM	OF	QM	QN	QC	UB	AB	NV	RM	RV	CB	OPN			
010	EXTHMS																					
	OM	OE	ON	OC	TM	TE	TN	MM	OF	QM	QN	QC	UB	AB	NV	RM	RV	CB				
00C	STATUS																					
	BY	PH	PC	UE	QE	CE	CB	CT	HE	HT	EX	MB	EC	CIN ₃	CIN ₂	CIN ₁	CIN ₀	CM _E	CH _E	CH _T	CE _X	CR _V
008	INTMASK																					
	PH	PC	UE	QE	CE	CB	CT	HE	HT	EX	MB	CIN ₃	CIN ₂	CIN ₁	CIN ₀	CM _E	CH _E	CH _T	CE _X	CR _V		
004	MODE1				MODE0																	
	HS	BL	UA	CI	RMA	HM	HC	EO	HMS	EO	CMS	EF	UP	BANK								
000	CMD																					
	REV				IU				CMD													

(2/6)

	31	24	23	16	15	8	7	0
0FC								
0F8								
0F4								
0F0								
0EC								
	UChUEP				UChUBR			
0E8								
0E4								
	UChAEP				UChABR			
0E0								
					UChNVR			
0DC								
					UChRM			
0D8								
					UChRVR			
0D4								
					UChCBR			
0D0								
					MQthUBR			
0CC								
					MQthABR			
0C8								
					MQthRNV			
0C4								
					MQthCRV			
0C0								
0BC								
0B8								
	QQthUCI				QQthUCI			
0B4								
	QQthUEP				QQthUBR			
0B0								
0AC								
0A8								
	QQthACI				QQthACI			
0A4								
	QQthAEP				QQthABR			
0A0								
09C								
098								
	QQthRCI				QQthRCI			
094								
	QQthNVR				QQthRM			
090								
08C								
088								
	QQthCCI							
084								
	QQthRVR				QQthCBR			
080								

(3/6)

	31	24	23			16	15			8	7			0
17C														
178														
174														
170														
16C														
168														
164														
160														
15C														
158														
154														
150														
14C														
148														
144														
140														
13C														
138														
134														
130														
12C														
128														
124														
120														
11C														
118														
114														
110														
10C														
108														
104														
100														

(4/6)

	31	24	23	16	15	8	7	PERIOD	0
1FC									
1F8									
1F4			UBR		ABR		VBR		CBR
1F0			UBR		ABR		VBR		CBR
1EC			UBR		ABR		VBR		CBR
1E8			UBR		ABR		VBR		CBR
1E4			UBR		ABR		VBR		CBR
1E0			UBR		ABR		VBR		CBR
1DC			UBR		ABR		VBR		CBR
1D8			UBR		ABR		VBR		CBR
1D4			UBR		ABR		VBR		CBR
1D0			UBR		ABR		VBR		CBR
1CC			UBR		ABR		VBR		CBR
1C8			UBR		ABR		VBR		CBR
1C4			UBR		ABR		VBR		CBR
1C0			UBR		ABR		VBR		CBR
1BC			UBR		ABR		VBR		CBR
1B8			UBR		ABR		VBR		CBR
1B4			UBR		ABR		VBR		CBR
1B0			UBR		ABR		VBR		CBR
1AC			UBR		ABR		VBR		CBR
1A8			UBR		ABR		VBR		CBR
1A4			UBR		ABR		VBR		CBR
1A0			UBR		ABR		VBR		CBR
19C			UBR		ABR		VBR		CBR
198			UBR		ABR		VBR		CBR
194			UBR		ABR		VBR		CBR
190			UBR		ABR		VBR		CBR
18C			UBR		ABR		VBR		CBR
188			UBR		ABR		VBR		CBR
184			UBR		ABR		VBR		CBR
180			UBR		ABR		VBR		CBR

(5/6)

	31	24	23	16	15	8	7	0
27C							SMA	EN
278								SMA
274		NVPC		NVCI	UN			BASE
270		NVPC		NVCI	UN			BASE
26C		NVPC		NVCI	UN			BASE
268		NVPC		NVCI	UN			BASE
264		NVPC		NVCI	UN			BASE
260		NVPC		NVCI	UN			BASE
25C		NVPC		NVCI	UN			BASE
258		NVPC		NVCI	UN			BASE
254		NVPC		NVCI	UN			BASE
250		NVPC		NVCI	UN			BASE
24C		NVPC		NVCI	UN			BASE
248		NVPC		NVCI	UN			BASE
244		NVPC		NVCI	UN			BASE
240		NVPC		NVCI	UN			BASE
23C		NVPC		NVCI	UN			BASE
238		NVPC		NVCI	UN			BASE
234		NVPC		NVCI	UN			BASE
230		NVPC		NVCI	UN			BASE
22C		NVPC		NVCI	UN			BASE
228		NVPC		NVCI	UN			BASE
224		NVPC		NVCI	UN			BASE
220		NVPC		NVCI	UN			BASE
21C		NVPC		NVCI	UN			BASE
218		NVPC		NVCI	UN			BASE
214		NVPC		NVCI	UN			BASE
210		NVPC		NVCI	UN			BASE
20C		NVPC		NVCI	UN			BASE
208		NVPC		NVCI	UN			BASE
204		NVPC		NVCI	UN			BASE
200		NVPC		NVCI	UN			BASE

(6/6)

	31				24	23									16	15											8	7								0
2FC																																				
2F8																																				
2F4																																				
2F0																																				
2EC																																				
2E8																																				
2E4																																				
2E0																																				
2DC																																				
2D8																																				
2D4																																				
2D0																																				
2CC																																				
2C8																																				
2C4																																				
2C0																																				
2BC																																				
2B8																																				
2B4																																				
2B0																																				
2AC																																				
2A8																																				
2A4																																				
2A0																																				
29C	EN																																			
298	EN																																			
294	EN	BW																																		
290	EN	BW																																		
28C																																				
288																																				
284																																				
280	OM																																			

4.3 レジスタ機能説明

μ PD98412 のレジスタについて説明します。□ は、リザーブ領域を示します。リザーブ領域のビットに関しては、書き込み時は“0”を設定し、読み出し時は“Don't care”として取り扱ってください。

4.3.1 コマンド・レジスタ (0000h)

レジスタ名	アドレス	デフォルト	R/W
CMD	0000h	----_----_0xxx_x000	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
REV								IU	Reserved				CMD			

フィールド	ビット	R/W	機 能	デフォルト値
REV	bit [15:8]	R	μ PD98412 の版数を示します。上位ニブルがメジャー・バージョン、下位ニブルがマイナ・バージョンを示します。たとえば、“20h”は版数 2.0 を示します。書き込み時の値は意味を持ちません。	-
IU	bit [7]	R/W	μ PD98412 に対するテスト・モード・ビットであり、使用時は必ず“0”に設定してください。	0
CMD	bit [2:0]	R/W	μ PD98412 に対するコマンドを設定します。ステータス・レジスタ BY ビットがインアクティブになってから、各レジスタおよびヘッダ変換テーブル (HTT) に設定を行ったあと、CMD にスイッチ動作有効を設定してください。スイッチ動作停止に設定した場合は、処理中のセルを終了してから停止します。スイッチ動作停止後、CMD にスイッチ動作有効を設定するときは、ステータス・レジスタ BY ビットがインアクティブであることを確認後、設定してください。 000：スイッチ動作停止 111：スイッチ動作有効	000

4.3.2 モード0 レジスタ (0004h)

レジスタ名	アドレス	デフォルト	R/W
MODE0	0004h	00xx_xxxx_x000_0000	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EF	UP	Reserved						BANK							

フィールド	ビット	R/W	機能	デフォルト値
EF	bit [15]	R/W	EFCI マーキング対象セルを設定します。 0 : 全ユーザ・セル (VPC & VCC, PTI = 000, 001) 1 : VC コネクションの全ユーザ・セル (VCC, PTI = 000, 001)	0
UP	bit [14]	R/W	UDF フィールド透過機能の有効 / 無効を設定します。 0 : UDF フィールド透過機能無効 (HEC チェックは, MODE1 レジスタの HM ビットの設定に従います) 1 : UDF フィールド透過機能有効 (HEC チェックは行いません)	0
BANK	bit [6:0]	R/W	このレジスタの設定値は意味を持ちません。 従来μPD98410 で, 16 ビット分離型非同期バス・インタフェースの場合に使用していましたが, μPD98412 では, 16 ビット分離型非同期バス・インタフェースに対応していませんので, 設定不要です。書き込み時は, 全ビット "0" を設定してください。	00h

出力セルに透過される UDF フィールドは, UTOPIA I/F のデータ幅により, 下表のようになります。

Rx	Tx	出力セルの UDF1	出力セルの UDF2
16-bit I/F	16-bit I/F	入力セルの UDF1 を透過	入力セルの UDF2 を透過
	8-bit I/F	入力セルの UDF1 を透過	-
8-bit I/F	16-bit I/F	入力セルの UDF1 を透過	FFh
	8-bit I/F	入力セルの UDF1 を透過	-

ただし, SRLP レジスタ ILPNP フィールドの設定が 011 / 100 の場合は, UDF フィールド透過機能が有効であっても, 入力論理ポート番号が出力セルの UDF1 / UDF2 フィールドの下位 5 ビットに付加されません。上位 3 ビットは透過されます。

また, 入力セルの UDF1 / UDF2 フィールドの下位 5 ビットに仮想論理ポート番号が付加されている (SRLP レジスタ VLPNP フィールド = 011 / 100) 場合は, UDF フィールドは付加された仮想論理ポート番号も含めて透過されます。

UDF フィールド透過機能が有効と設定された (MODE0 レジスタ UP ビット = 1) 場合は, MODE1 レジスタ HM ビットの設定にかかわらず, HEC チェックは行いません。

4.3.3 モード1 レジスタ (0006h)

レジスタ名	アドレス	デフォルト	R/W
MODE1	0006h	0000_0000_0x00_0x00	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HS	BL	UA	CI	RMA	HM	HC	EO			HMS	EO			CMS	

注意 リセット後、CMD レジスタにコマンドを発行する前に、この MODE1 レジスタに設定を行ってください。CMD レジスタにコマンドを発行したあとは、次にリセットを行うまでは書き込みを行わないでください。書き込みにより値を変えて動作を継続した場合、スイッチ動作を保証できません。

フィールド	ビット	R/W	機能	デフォルト値
HS	bit [15]	R	0 固定です。	0
BL	bit [14]	R/W	接続するマイクロプロセッサのバイト・アラインメントを設定します。リセット後の初期値はリトル・エンディアンになっているので、ビッグ・エンディアンのマイクロプロセッサがリセット後最初にこのレジスタにアクセスする場合は注意が必要です。 0: リトル・エンディアン 1: ビッグ・エンディアン	0
UA	bit [13]	R/W	非割り当てセルによる ERHT レジスタの IC エラーのマスクを設定します。 0: IC エラーがマスクされない 1: IC エラーがマスクされる	0
CI	bit [12]	R/W	RM セルの CI/NI マーキング機能のマスクを設定します。 0: CI/NI マーキングがマスクされない 1: CI/NI マーキングがマスクされる	0
RMA	bit [11:10]	R/W	VP スイッチング時、RM セルが入力されたときの HTT のアクセス方法と、RM セル・マージ機能を使用するかどうかを設定します。 00: VCI = 20h によって参照される領域をアクセス。RM セル・マージ機能は使用可能 (μPD98410 互換)。 01: VCI = 06h によって参照される領域をアクセス。RM セル・マージ機能は使用可能。 10: VCI = 06h によって参照される領域をアクセス。RM セル・マージ機能は使用不可。 11: Reserved	00

フィールド	ビット	R/W	機能	デフォルト値
HM	bit [9]	R/W	<p>HEC エラーによるセル廃棄機能の有効/無効を設定します。ただし、MODE0 レジスタの UP ビット = 1 のとき、常にセル廃棄機能は、無効になります。</p> <p>0: HEC エラーによるセル廃棄機能有効 (HEC エラー・セル廃棄)</p> <p>1: HEC エラーによるセル廃棄機能無効 (HEC エラー・セル通過)</p> <p>HEC エラーによる廃棄機能を無効に設定した場合でも、μPD98412 より出力されるセルの HEC は、正常に生成されません。</p>	0
HC	bit [8]	R/W	<p>メモリ・チップ・セレクト端子がアクティブのときに、2 つの外部メモリのうちどちらを選択するかを設定します。CMD レジスタにコマンドを発行する前には、“1”を設定して HTT & コントロール・メモリを選択しておきます。スイッチ動作有効な期間は、マイクロプロセッサがアクセスできる外部メモリは、ヘッダ変換テーブル (HTT) だけです。コントロール・メモリへのアクセスは無効です。</p> <p>0: セル・バッファ・メモリを選択</p> <p>1: HTT & コントロール・メモリを選択</p>	0
EO	bit [7], bit [3]	R/W	<p>外部メモリのパリティ・チェックとして偶数パリティまたは奇数パリティを設定します。</p> <ul style="list-style-type: none"> ・ビット 7: HTT & コントロール・メモリの設定 ・ビット 3: セル・バッファ・メモリの設定 <p>0: 偶数パリティ</p> <p>1: 奇数パリティ</p>	0, 0
HMS	bit [5:4]	R/W	<p>HTT & コントロール・メモリのサイズを設定します (32 ビット/ワード)。</p> <p>00: 64 K ワード</p> <p>01: 128 K ワード</p> <p>10: 256 K ワード</p> <p>11: Reserved</p>	00
CMS	bit [1:0]	R/W	<p>セル・バッファ・メモリのサイズを設定します (88 ビット/ワード)。</p> <p>00: 64 K ワード</p> <p>01: 128 K ワード</p> <p>10: 256 K ワード</p> <p>11: Reserved</p>	00

4.3.4 割り込みマスク・レジスタ (0008h)

レジスタ名	アドレス	デフォルト	R/W
INTMASK	0008h	x000_00xx_0000_00xx_xxxx_0000_xxx0_0000	R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PH	PC	UE	QE	CE	Reserved	CB	CT	HE	HT	EX	MB	Reserved		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Reserved			CIN3	CIN2	CIN1	CIN0	Reserved		CME	CHE	CHT	CEX	CRV	

INTMASK レジスタは、該当するステータスがアクティブになることにより発生する割り込み要因をマスクするために設定します。ステータス・レジスタへの表示はマスクされません。設定は各ビット共通です。要因はステータス・レジスタを参照してください。

- 0：該当要因による割り込みをマスクする
- 1：該当要因による割り込みを要求する

備考 ステータス・レジスタ BY ビットがアクティブになっても、割り込み要求は発生しません。

4.3.5 ステータス・レジスタ (000Ch)

レジスタ名	アドレス	デフォルト	R/W
STATUS	000Ch	0000_00xx_0000_00x1_xxxx_0000_xxx0_0000	R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BY	PH	PC	UE	QE	CE	Reserved	CB	CT	HE	HT	EX	MB			EC
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			Reserved		CIN3	CIN2	CIN1	CIN0		Reserved	CME	CHE	CHT	CEX	CRV

ステータス・レジスタは、該当要因がアクティブになるとセットされます。また、BY ビットおよび EC ビットを除く該当要因により、割り込みが発生します。読み出し時にはステータスを示します。書き込み時にはステータスのクリアを設定します。機能は各ビット共通です。

読み出し時

- 0：該当ステータスがインアクティブである
- 1：該当ステータスがアクティブである

書き込み時

- 0：該当ステータスを保持する
- 1：該当ステータスをクリアする

フィールド	ビット	R/W	機能	デフォルト値
BY	bit [31]	R	<p>μPD98412 が以下に示す動作状態にあることを示します。この要因が変化することによる割り込みは発生しません。また、このビットに対する書き込みは意味を持ちません。</p> <ul style="list-style-type: none"> リセット時は、初期化動作中であることを示します。RESET_B 端子によりμPD98412 をリセットするとアクティブとなり、LSI 内部の初期化を終了するとインアクティブとなります。 リセット時以外では、スイッチ動作が有効であることを示します。CMD レジスタによりμPD98412 を動作有効に設定するとアクティブとなり、動作停止に設定するとスイッチ動作を停止してからインアクティブとなります。 <p>注意 リセット時にこのビットがインアクティブになる前に、μPD98412 に対してステータス・レジスタのリード以外のアクセスを行わないでください。リセット時、このビットがアクティブな期間にステータス・レジスタ以外にアクセスを行った場合、初期化動作が正常に行われないことがあります。</p>	0
PH	bit [30]	R	HTT & コントロール・メモリのパリティ・エラーを示します。	0
PC	bit [29]	R	セル・バッファ・メモリのパリティ・エラーを示します。	0
UE	bit [28]	R	FIFO オーバランまたはアンダーラン・エラーが発生したことを示します。	0
QE	bit [27]	R	キューを管理しているポインタの異常状態を示します。	0
CE	bit [26]	R	マルチキャスト数を管理しているキャスト・カウンタの異常状態を示します。	0
CB	bit [23]	R/W	セル・バッファ・メモリにデータを格納するための空きエリアが不足しているため、セル廃棄が起きたことを示します。	0
CT	bit [22]	R/W	HTT & コントロール・メモリのキューを管理しているコントロール・メモリ領域の空きエリア不足のため、セル廃棄されたことを示します。平均同報数が2を越えている場合に起こることがあります。	0
HE	bit [21]	R/W	受信セルの HEC エラーまたは CRC エラーを示します。MODE1 レジスタの HM ビットが“1”の場合は、HEC エラー・セルは廃棄されないため、HEC エラー表示されません。	0
HT	bit [20]	R/W	ヘッダ変換エラーを示します。	0
EX	bit [19]	R/W	EXTHMS レジスタの各しきい値越え要因、サービス・クラス、出力論理ポート・ナンバの条件で、しきい値越えによるセル廃棄がされたことを示します。	0

フィールド	ビット	R/W	機能	デフォルト値
MB	bit [18]	R/W	マルチキャスト・ビット・マップ・エラーが発生したことを表示します。	0
EC	bit [16]	R	セル・バッファに空きがあるか、または空きがないかを示します。 0: セル・バッファに空きがない 1: セル・バッファに空きがある この要因が変化することによる割り込みは発生しません。また、このビットに対する書き込みは意味を持ちません。	1
CIN3, CIN2, CIN1, CIN0	bit [11:8]	R/W	入力セル・カウンタ CTINPn がオーバフローしたことを示します。	0
CME	bit [4]	R/W	CTMEMEMP がカウント・オーバしたことを示します。	0
CHE	bit [3]	R/W	CTERHEC がカウント・オーバしたことを示します。	0
CHT	bit [2]	R/W	CTERHT がカウント・オーバしたことを示します。	0
CEX	bit [1]	R/W	CTEXTH がカウント・オーバしたことを示します。	0
CRV	bit [0]	R/W	CTRCV がカウント・オーバしたことを示します。	0

4.3.6 しきい値越え廃棄表示マスク・レジスタ (0010h)

レジスタ名	アドレス	デフォルト	R/W
EXTHMS	0010h	0000_000x_0xx0_0x00_x0x0_0000_xxxx_xxxx	R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OM	OE	ON	OC	TM	TE	TN		MM	Reserved	OF	QM		QN	QC	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UB		AB	NV	RM	RV	CB	Reserved							

EXTHMS レジスタは、しきい値を越えたことを EXTH レジスタへ反映することをマスクするために設定します。ステータス・レジスタの EX ビットおよび割り込み要因への反映は、EXTHMS レジスタに、該当しきい値要因かつ該当クラスの条件を設定することにより行われます。EXTHMS レジスタの値によらず、しきい値を越えたことによるセルの廃棄は行われます。設定は各ビット共通です。要因は EXTH レジスタを参照してください。

- 0：該当要因をステータスに反映しない
- 1：該当要因をステータスに反映する

4.3.7 しきい値越え廃棄表示レジスタ (0014h)

レジスタ名	アドレス	デフォルト	R/W
EXTH	0014h	0000_000x_0xx0_0x00_x0x0_0000_xxx0_0000	R

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OM	OE	ON	OC	TM	TE	TN		MM	Reserved	OF	QM		QN	QC	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UB		AB	NV	RM	RV	CB		Reserved					OPN	

EXTH レジスタは、ステータス・レジスタの EX ビットがクリアされてから、最初にセル廃棄を引き起こしたしきい値、クラスおよび出力ポートを示します。セル廃棄を引き起こしたしきい値は、複数示されることがあります。しきい値越え（キュー長 しきい値）によりセルの廃棄が起こると、該当するビットをセットすると同時に、CTEXTH レジスタをインクリメントし、ステータス・レジスタの EX ビットをセットします。EX ビットがセットされているあいだ、このレジスタは更新されずに値を保持します。マイクロプロセッサが EX ビットをクリアすると、ふたたびこのレジスタの更新が有効となります。EX ビットがクリアされた状態では、EXTH レジスタは正しい値を示していません。

EXTHMS レジスタによってマスクされているクラスおよびしきい値でセル廃棄が起きた場合、EXTH レジスタには反映されません。また、ステータス・レジスタの EX ビットもセットされません。

bit [31-25, 23, 19, 17, 16] OM, OE, ON, OC, TM, TE, TN, MM, QM, QN, QC

0: 該当要因が最初にセル廃棄を起こした要因ではない

1: 該当要因が最初にセル廃棄を起こした要因である

bit [14,12-8] UB, AB, NV, RM, RV, CB

0: 該当クラスが最初にセル廃棄を起こした要因ではない

1: 該当クラスが最初にセル廃棄を起こした要因である

フィールド	ビット	R/W	機能	デフォルト値
OM	bit [31]	R	出力キュー長が OQthCBR, OQthRVR, OQthRM, OQthNVR, OQthABR, OQthUBR しきい値を越えたことにより、セル廃棄が起きたことを示します。	0
OE	bit [30]	R	OE, TE ビットは、出力キュー長が OQthAEP, OQthUEP しきい値、または UC (Used Cell) カウンタが UCthAEP, UCthUEP しきい値を越えたことにより、EPD 設定されたチャンネルのパケットが EPD 制御により廃棄されたことを同時に示します。	0
TE	bit [26]	R	OE, TE ビットの機能的区別はありません。	0

フィールド	ビット	R/W	機能	デフォルト値
ON	bit [29]	R	出力キュー長が OQthAEP, OQthUEP しきい値を越えたことにより, EPD 設定されていないチャンネルのセルが廃棄されたことを示します。	0
OC	bit [28]	R	出力キュー長が OQthCCL, OQthRCL, OQthACL, OQthUCL しきい値を越えたことにより, CLP 設定されたセルが廃棄されたことを示します。	0
TM	bit [27]	R	UC (Used Cell) カウンタが UCthCBR, UCthRVR, UCthRM, UCthNVR, UCthABR, UCthUBR しきい値を越えたことにより, セル廃棄が起きたことを示します。	0
TN	bit [25]	R	UC (Used Cell) カウンタが UCthAEP, UCthUEP しきい値を越えたことにより, EPD 設定されていないチャンネルのセルが廃棄されたことを示します。	0
MM	bit [23]	R	マルチキャスト・キュー長が MQthCRV, MQthRNV, MQthABR, MQthUBR しきい値を越えたことにより, マルチキャストのセルが廃棄されたことを示します。	0
OF	bit [20]	R	キューイング時, またはマルチキャストのリキューイング時に出力キュー長が OQthRCI, OQthACI, OQthUCI しきい値を越えたことにより EFCI マーキングされたことを示します。 備考 このビットはテスト用に使用しています。将来の変更により削除する場合がありますので, 使用しないでください。	0
QM	bit [19]	R	マルチキャストのリキューイング時に, 出力キュー長が OQthCBR, OQthRVR, OQthRM, OQthNVR, OQthABR, OQthUBR しきい値, または UC (Used Cell) カウンタが UCthCBR, UCthRVR, UCthRM, UCthNVR, UCthABR, UCthUBR しきい値を越えたことにより, セル廃棄が起きたことを示します。	0
QN	bit [17]	R	マルチキャストのリキューイング時に, 出力キュー長が OQthAEP, OQthUEP しきい値, または UC (Used Cell) カウンタが UCthAEP, UCthUEP しきい値を越えたことにより, EPD 設定されていないチャンネルのセルが廃棄されたことを示します。	0
QC	bit [16]	R	マルチキャストのリキューイング時に, 出力キュー長が OQthCCL, OQthRCL, OQthACL, OQthUCL しきい値を越えたことにより, CLP 設定されたセルが廃棄されたことを示します。	0
UB	bit [14]	R	各しきい値を越えたことにより, UBR クラスのセルが廃棄されたことを示します。	0
AB	bit [12]	R	各しきい値を越えたことにより, ABR クラスのセルが廃棄されたことを示します。	0

フィールド	ビット	R/W	機 能	デフォルト値
NV	bit [11]	R	各しきい値を越えたことにより、nrtVBR クラスのセルが廃棄されたことを示します。	0
RM	bit [10]	R	各しきい値を越えたことにより、RM セルが廃棄されたことを示します。	0
RV	bit [9]	R	各しきい値を越えたことにより、rtVBR クラスのセルが廃棄されたことを示します。	0
CB	bit [8]	R	各しきい値を越えたことにより、CBR クラスのセルが廃棄されたことを示します。	0
OPN	bit [4:0]	R	各しきい値を越えたことにより、セルが廃棄された論理出力ポート番号を示します。 00h-1Dh : 論理出力ポート 0-29 を示す 1Fh : MM, QM, QN, QC 要因の場合	00h

4.3.8 ヘッド変換エラー廃棄表示レジスタ (0018h)

レジスタ名	アドレス	デフォルト	R/W
ERHT	0018h	0000_00xx_xxx1_1111	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IH	IC	IIP	IOP	IM	IR	Reserved					IPN				

ERHT レジスタは、ステータス・レジスタの HT ビットがクリアされてから、最初にセル廃棄を引き起こしたヘッド変換エラーおよび入力ポートを示します。セルの廃棄が起こると該当するビットをセットすると同時に、CTERHT レジスタをインクリメントし、ステータス・レジスタの HT ビットをセットします。HT ビットがセットされているあいだ、ERHT レジスタは更新されずに値を保持します。マイクロプロセッサが HT ビットをクリアすると、ふたたび ERHT レジスタの更新が有効となります。HT ビットがクリアされた状態では、ERHT レジスタは正しい値を示していません。

bit [15:10] IH, IC, IIP, IOP, IM, IR

- 0 : 該当要因が最初にセル廃棄を起こした要因ではない
- 1 : 該当要因が最初にセル廃棄を起こした要因である

フィールド	ビット	R/W	機能	デフォルト値
IH	bit [15]	R	HT レジスタに設定された範囲を越えて、 μ PD98412 が HTTP をアクセスしようとしたことにより、セル廃棄が起きたことを示します。HT レジスタに設定してある有効ビット数よりも受信セルの VPI, VCI が大きい場合に起こります。	0
IC	bit [14]	R	μ PD98412 が HTTP をアクセスした結果、該当チャンネルがディスエーブル (CEN = "0") に設定されていたことにより、セル廃棄が起きたことを示します。コネクションが張られていない VPI, VCI を持つセルを受信した場合に起こり得ます。	0
IIP	bit [13]	R	仮想論理入力ポートとして指定された論理入力ポートがディスエーブル (PT レジスタ EN ビット = "0") に設定されていたことにより、セル廃棄が起きたことを示します。	0
IOP	bit [12]	R	μ PD98412 が HTTP をアクセスした結果、得られた出力論理ポートがディスエーブル (PT レジスタ EN ビット = "0") に設定されていることにより、セル廃棄が起きたことを示します。	0

フィールド	ビット	R/W	機能	デフォルト値
IM	bit [11]	R	μPD98412 が HTT をアクセスした結果、マルチキャスト (CM = “1”) に設定されたチャンネルでありながら、マルチキャスト・ビット・マップ (MB) がゼロであること、および MB により得られた出力論理ポートがディスエーブル (PT レジスタ EN ビット = “0”) に設定されていることにより、セル廃棄が起きたことを示します。	0
IR	bit [10]	R	μPD98412 が HTT をアクセスした結果、ディスエーブル (CEN = “0”) に設定されているチャンネルに対して RM セル・マージを行おうとした、または、シングルキャスト (CM = “0”) に設定されたチャンネルに対して RM セル・マージを行おうとしたことにより、セル廃棄が起きたことを示します。コネクションが張られていない VPI, VCI を持つセルを受信した場合に起こり得ます。	0
IPN	bit [4:0]	R	ヘッダ変換エラー要因となったセルを受信した入力論理ポート番号を示します。IIP および IM 要因は、入力論理ポート番号として “1Fh” を示します。 00h-1Dh : 論理入力ポート 0-29 を示す 1Fh : IIP, IM 要因の場合	1Fh

4.3.9 HEC / CRC エラー廃棄表示レジスタ (001Ah)

レジスタ名	アドレス	デフォルト	R/W
ERHEC	001Ah	00xx_xxxx_xxx1_1111	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HEC	CRC	Reserved										IPN			

ERHEC レジスタは、ステータス・レジスタの HE ビットがクリアされてから、最初にセル廃棄を引き起こした HEC エラーまたは CRC-10 エラーおよび入力ポートを示します。セルの廃棄が起こると該当するビットをセットすると同時に、CTERHEC レジスタをインクリメントし、ステータス・レジスタの HE ビットをセットします。HE ビットがセットされているあいだ、このレジスタは更新されずに値を保持します。マイクロプロセッサが HE ビットをクリアすると、ふたたび ERHEC レジスタの更新が有効となります。HE ビットがクリアされた状態では、このレジスタは正しい値を示していません。

bit [15:14] HEC, CRC

- 0 : 該当要因が最初にセル廃棄を起こした要因ではない
- 1 : 該当要因が最初にセル廃棄を起こした要因である

フィールド	ビット	R/W	機能	デフォルト値
HEC	bit [15]	R	受信セルのヘッダ領域のチェックを行った結果、HEC エラーにより、セル廃棄が起きたことを示します。MODE1 レジスタの HM ビットが“1”に設定されている場合は、HEC エラー・セルは廃棄されないため表示されません。	0
CRC	bit [14]	R	受信セルが Backward の RM セルである場合にペイロード領域のチェックを行った結果、CRC-10 エラーによりセル廃棄が起きたことを示します。	0
IPN	bit [4:0]	R	HEC エラーまたは CRC-10 エラーとなったセルを受信した論理入力ポート番号を示します。 00h-1Dh : 論理入力ポート 0-29 を示す	1Fh

4.3.10 UTOPIA ステータス・レジスタ (001Ch)

レジスタ名	アドレス	デフォルト	R/W
UTPSTAT	001Ch	xxxx_0000_xxxx_0000	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				UBY3	UBY2	UBY1	UBY0	Reserved				UPN3	UPN2	UPN1	UPN0

UTPSTAT レジスタは、UTOPIA インタフェースの動作状態と、FIFO 制御エラーが発生したかどうかを示します。FIFO 制御エラーは、 μ PD98412 の内部で、FIFO のオーバラン、またはアンダーランを起こしたことを意味します。

UTOPIA インタフェースの動作状態は、このレジスタを読み出した時点でのステータスを示します。

UTOPIA クロックと、システム・クロックの間関係を満たしていないとき、FIFO 制御エラーが発生します。FIFO 制御エラーが起こると、該当する UPN ビットと、ステータス・レジスタの UE ビットがセットされます。UE ビットがセットされているあいだでも、このレジスタは更新されます。このエラーによりセル廃棄が起きた場合は、廃棄セル数はカウントされません。一度 UPN ビットがセットされると μ PD98412 に対してリセットを行わないかぎり UPN ビットをクリアできません。この FIFO 制御エラーが起きる場合は、クロックを再検討する必要があります。

フィールド	ビット	R/W	機能	デフォルト値
UBY3-UBY0	bit [11:8]	R	UTOPIA インタフェースの動作モードを示します。 0: 休止中 1: 動作中	0000
UPN3-UPN0	bit [3:0]	R	FIFO 制御エラーを起こした UTOPIA インタフェースを示します。 0: 該当 UTOPIA インタフェースは FIFO 制御エラーを起こしていない 1: 該当 UTOPIA インタフェースは FIFO 制御エラーを起こしている	0000

備考 次に示す UTOPIA インタフェースの設定を変更する場合は、UBYn ビットが“0: 休止中”であることを確認してから変更してください。

- ・ UTOPIA コンフィギュレーション・レジスタ (UTPCFGn) の内容変更
- ・ PHY 接続モード (PTn レジスタの SG ビット) の変更

4.3.11 マルチキャスト・ビット・マップ・エラー表示レジスタ (001Eh)

レジスタ名	アドレス	デフォルト	R/W
ERMB	001Eh	000x_0000_0000_0000	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IME	IMZ	IMN		MBP											

ERMB レジスタは、ステータス・レジスタの MB ビットがクリアされてから、最初にマルチキャスト・ビット・マップ・エラーを引き起こした MBP を示します。また、エラーの要因も示します。マルチキャスト・ビット・マップ・エラーが起こると、該当するビットをセットするだけでなく、ステータス・レジスタの MB ビットもセットします。ステータス・レジスタの MB ビットがセットされている場合は、ERMB レジスタは更新されず、現在の値を保持します。マイクロプロセッサがステータス・レジスタの MB ビットをクリアすると、ERMB レジスタの更新が可能になります。ステータス・レジスタの MB ビットがクリアされた状態では、このレジスタは正しい値を示していません。

フィールド	ビット	R/W	機能	デフォルト値
IME	bit [15]	R	マルチキャスト・ビット・マップが、無効な論理ポートへ出力する設定エラーになっているかどうかを示します。 0: エラーなし 1: エラーあり	0
IMZ	bit [14]	R	マルチキャスト・ビット・マップが、どの論理ポートにも出力しない設定エラーになっているかどうかを示します。 0: エラーなし 1: エラーあり	0
IMN	bit [13]	R	滞留セルがあるときに、マルチキャスト・ビット・マップが書き換えられた（同報数が変化した）かどうかを示します。 0: エラーなし 1: エラーあり	0
MBP	bit [11:0]	R	エラーの発生したマルチキャスト・ビット・マップを示しています。	000h

4.3.12 しきい値越え廃棄セル・カウント・イネーブル・レジスタ (0020h)

レジスタ名	アドレス	デフォルト	R/W
CTENTH	0020h	0000_000x_0xxx_0x00_x0x0_0000_00x0_0000	R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OM	OE	ON	OC	TM	TE	TN		MM	Reserved		QM		QN	QC	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UB		AB	NV	RM	RV	CB	EN	CL		OPN				

CTENTH レジスタには、しきい値を越えたことによるセル廃棄をカウント対象とする条件を設定します。カウントした値は CTEXTH レジスタに示されます。該当のしきい値、該当クラス、該当出力ポートの条件を与え、EN ビットでカウントを許可します。

フィールド	ビット	R/W	機能	デフォルト値
OM, OE, ON, OC, TM, TE, TN, MM, QM, QN, QC	bit [31:25], bit [23], bit [19], bit [17], bit [16]	R/W	セル廃棄をカウント対象とするしきい値を設定します。各ビットとしきい値の対応は、EXTH レジスタを参照してください。OE, TE ビットは、どちらかのビットを設定すると OE, TE 要因のカウントを行います。 0: 該当しきい値によるセル廃棄はカウントしない 1: 該当しきい値によるセル廃棄をカウントする	0
UB, AB, NV, RM, RV, CB	bit [14], bit [12:8]	R/W	しきい値によるセル廃棄をカウント対象とするクラスを設定します。各ビットとしきい値の対応は、EXTH レジスタを参照してください。 0: 該当クラスのセル廃棄はカウントしない 1: 該当クラスのセル廃棄をカウントする	0
EN, CL	bit [7:6]	R/W	しきい値によるセル廃棄のカウントを許可/禁止します。 0x: しきい値によるセル廃棄はカウントしない 10: しきい値によるセル廃棄をカウントする 11: CTEXTH レジスタをクリアしてから、しきい値によるセル廃棄をカウントする。ただし、EN ビットを“0”にしてから EN = “1”, CL = “1” に設定してください	00
OPN	bit [4:0]	R/W	しきい値によるセル廃棄をカウント対象とする出力ポートを設定します。MM, QM, QN, QC 要因だけは、OPN に“1Fh”を設定した場合のみカウントします。 00h-1Dh : 該当する論理出力ポート 0-29 のセル廃棄をカウントする 1Eh : Reserved 1Fh : 全論理出力ポートのセル廃棄をカウントする	00h

4.3.13 ヘッド変換エラー廃棄セル・カウント・イネーブル・レジスタ(0024h)

レジスタ名	アドレス	デフォルト	R/W
CTENHT	0024h	xxxx_xxxx_00x0_0000	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								EN	CL		IPN				

CTENHT レジスタには、ヘッド変換エラーによるセル廃棄をカウント対象とする論理入力ポートを設定します。カウントした値は CTERHT レジスタに示されます。IPN で条件を与え、EN ビットでカウントを許可します。

フィールド	ビット	R/W	機能	デフォルト値
EN, CL	bit [7:6]	R/W	ヘッド変換エラーによるセル廃棄のカウントを許可/禁止します。 0x : ヘッド変換エラーによるセル廃棄はカウントしない 10 : ヘッド変換エラーによるセル廃棄をカウントする 11 : CTERHT をクリアしてから、ヘッド変換エラーによるセル廃棄をカウントする。ただし、EN ビットを“0”にしてから EN = “1”, CL = “1” に設定してください	00
IPN	bit [4:0]	R/W	ヘッド変換エラーによるセル廃棄をカウント対象とする論理入力ポートを設定します。IIP 要因および IM 要因によるセル廃棄は、IPN に “1Fh” を設定した場合にのみカウントします。 00h-1Dh : 該当する論理入力ポート 0-29 について、IM 要因以外のヘッド変換エラーによるセル廃棄をカウントする 1Eh : Reserved 1Fh : 全論理入力ポートのヘッド変換エラーによるセル廃棄をカウントする	00h

4.3.14 HEC / CRC エラー廃棄セル・カウント・イネーブル・レジスタ(0026h)

レジスタ名	アドレス	デフォルト	R/W
CTENHEC	0026h	xxxx_xxxx_00x0_0000	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								EN	CL		IPN				

CTENHEC レジスタには、HEC / CRC エラーによるセル廃棄をカウント対象とする論理入力ポートを設定します。カウントした値は CTERHEC レジスタに示されます。IPN で条件を与え、EN ビットでカウントを許可します。MODE1 レジスタの HM ビットが“1”に設定されている場合は、HEC エラー・セルは廃棄されないため、カウントされません。

フィールド	ビット	R/W	機 能	デフォルト値
EN, CL	bit [7:6]	R/W	HEC / CRC エラーによるセル廃棄のカウントを許可 / 禁止します。 0x : HEC / CRC エラーによるセル廃棄はカウントしない 10 : HEC / CRC エラーによるセル廃棄をカウントする 11 : CTERHT レジスタをクリアしてから、HEC / CRC エラーによるセル廃棄をカウントする。ただし、EN ビットを“0”にしてから EN = “1”，CL = “1” に設定してください	00
IPN	bit [4:0]	R/W	HEC / CRC エラーによるセル廃棄をカウント対象とする論理入力ポートを設定します。 00h-1Dh : 該当する論理入力ポート 0-29 のセル廃棄をカウントする 1Eh : Reserved 1Fh : 全論理入力ポートのセル廃棄をカウントする	00h

4.3.15 コントロール/セル・バッファ・メモリ不足廃棄セル・カウント・イネーブル・レジスタ (0028h)

レジスタ名	アドレス	デフォルト	R/W
CTENMEM	0028h	00xx_xxxx_00xx_xxxx	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CT	CB	Reserved						EN	CL	Reserved					

CTENMEM レジスタには、HTT & コントロール・メモリのコントロール領域の空き不足、またはセル・バッファ・メモリの空き領域不足によるセル廃棄をカウント対象とするかどうかを設定します。カウントした値は CTMEMEMP レジスタに示されます。EN ビットでカウントを許可します。

フィールド	ビット	R/W	機能	デフォルト値
CT	bit [15]	R/W	HTT & コントロール・メモリのコントロール領域の空き不足によるセル廃棄をカウント対象とするかどうかを設定します。 0: コントロール・メモリ空き領域不足によるセル廃棄はカウント対象としない 1: コントロール・メモリ空き領域不足によるセル廃棄をカウント対象とする	0
CB	bit [14]	R/W	セル・バッファ・メモリ空き領域不足によるセル廃棄をカウント対象とするかどうかを設定します。 0: セル・バッファ・メモリ空き領域不足によるセル廃棄はカウント対象としない 1: セル・バッファ・メモリ空き領域不足によるセル廃棄をカウント対象とする	0
EN, CL	bit [7:6]	R/W	コントロール・メモリ空き領域不足、またはセル・バッファ・メモリ空き領域不足によるセル廃棄のカウントを許可/禁止します。 0x: コントロール・メモリ空き領域不足、またはセル・バッファ・メモリ空き領域不足によるセル廃棄はカウントしない 10: コントロール・メモリ空き領域不足、またはセル・バッファ・メモリ空き領域不足によるセル廃棄をカウントする 11: CTMEMEMP レジスタをクリアしてから、コントロール・メモリ空き領域不足、またはセル・バッファ・メモリ空き領域不足によるセル廃棄をカウントする。ただし、EN ビットを“0”にしてから EN = “1”, CL = “1” に設定してください	00

4.3.16 受信セル・カウント・イネーブル・レジスタ (002Ah)

レジスタ名	アドレス	デフォルト	R/W
CTENRCV	002Ah	xxxx_xxxx_00xx_0000	R/W

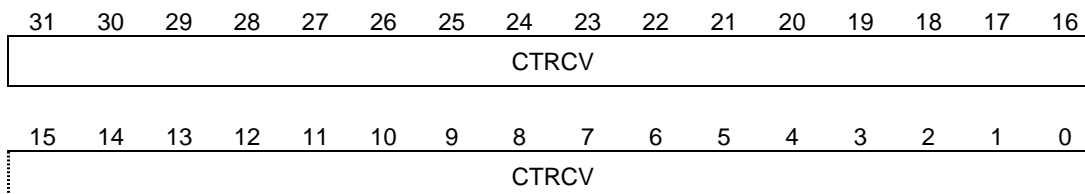
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								EN	CL	Reserved	UPN3	UPN2	UPN1	UPN0	

CTENRCV レジスタは、各 UTOPIA インタフェース・ポートごとに受信されたセル数をカウント対象とするかどうか設定します。カウントした値は CTCRCV レジスタに示されます。EN ビットでカウントを許可します。

フィールド	ビット	R/W	機能	デフォルト値
EN, CL	bit [7:6]	R/W	受信されたセル数のカウントを許可/禁止します。 0x: 受信されたセル数はカウントしない 10: 受信されたセル数をカウントする 11: CTCRCV レジスタをクリアしてから、受信されたセル数をカウントする。ただし、EN ビットを“0”にしてから EN = “1”, CL = “1” に設定してください	00
UPN3, UPN2, UPN1, UPN0	bit [3:0]	R/W	受信されたセル数をカウント対象とする UTOPIA インタフェース・ポート番号をビット・マップで設定します。 0: 該当 UTOPIA インタフェース・ポートの受信セル数はカウント対象としない 1: 該当 UTOPIA インタフェース・ポートの受信セル数をカウント対象にする 備考 16ビット UTOPIA インタフェースのポート0をカウント対象とする場合は、UPN0 および UPN2 の両方のビットに“1”を設定してください。 16ビット UTOPIA インタフェースのポート1をカウント対象とする場合は、UPN1 および UPN3 の両方のビットに“1”を設定してください。	0h

4.3.17 受信セル・カウント・レジスタ (002Ch)

レジスタ名	アドレス	デフォルト	R/W
CTRCV	002Ch	0000_0000_0000_0000_0000_0000_0000_0000	R/W



CTRCV レジスタは、CTENRCV レジスタに設定された条件で受信されたセル数を示します。CTENRCV レジスタの EN ビット = “1” の状態でカウントを行います。μPD98412 に対するリセット信号および CTENRCV レジスタが CL = “1”、EN = “1” に設定された場合にクリアされます。

カウント値が “FFFFFFFFh” の状態でセルを受信すると、ステータス・レジスタの CRV ビットをセットし、マイクロプロセッサに対して割り込みを要求すると同時に、カウント値を “00000000h” にしてカウントを継続します。INTMASK レジスタの CRV ビット = “0” の場合は、マイクロプロセッサに対して割り込みを要求しません。

フィールド	ビット	R/W	機能	デフォルト値
CTRCV	bit [31:0]	R/W	00000000h - FFFFFFFFh : セル受信数	00000000h

備考 CTRCV レジスタは、カウント対象と設定された UTOPIA インタフェース・ポートの合計セル受信数を示します。

たとえば、CTENRCV レジスタに、EN = 1, CL = 0 で UPN0 = UPN2 = 1, UPN1 = UPN3 = 0 と設定した場合、CTRCV レジスタは、UTOPIA0 および UTOPIA2 に接続された全 PHY ポートから受信したセル数の合計値を表示します。

4.3.18 しきい値越え廃棄セル・カウント・レジスタ (0030h)

レジスタ名	アドレス	デフォルト	R/W
CTEXTH	0030h	0000_0000_0000_0000_0000_0000_0000_0000	R/W



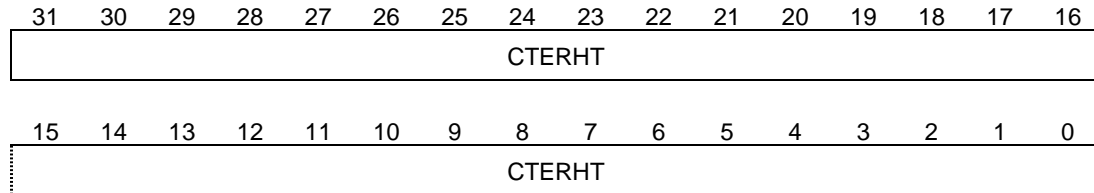
CTEXTH レジスタは、CTENTH レジスタに設定された条件で廃棄されたセル数を示します。CTENTH レジスタの EN ビット = “1” の状態でカウントを行います。μPD98412 に対するリセット信号および CTENTH レジスタが CL = “1”, EN = “1” に設定された場合にクリアされます。

カウント値が“FFFFFFFFh”の状態でセルが廃棄されると、ステータス・レジスタの CEX ビットをセットし、マイクロプロセッサに対して割り込みを要求すると同時に、カウント値を“00000000h”にしてカウントを続けます。INTMASK レジスタの CEX ビット = “0” の場合は、マイクロプロセッサに対して割り込みを要求しません。

フィールド	ビット	R/W	機能	デフォルト値
CTEXTH	bit [31:0]	R/W	00000000h - FFFFFFFFh : セル廃棄数	00000000h

4.3.19 ヘッド変換エラー廃棄セル・カウント・レジスタ (0034h)

レジスタ名	アドレス	デフォルト	R/W
CTERHT	0034h	0000_0000_0000_0000_0000_0000_0000_0000	R/W



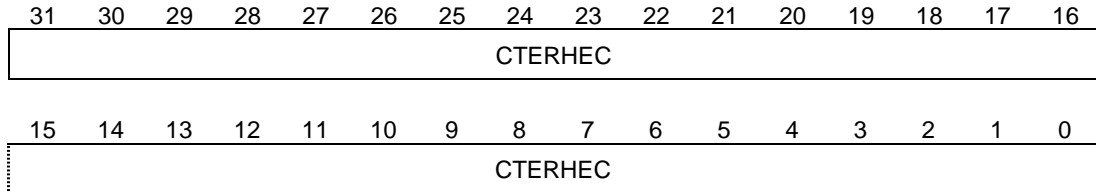
CTERHT レジスタは、CTENHT レジスタに設定された条件で廃棄されたセル数を示します。CTENHT レジスタの EN ビット = “1” の状態でカウントを行います。μPD98412 に対するリセット信号および CTENHT レジスタが CL = “1”, EN = “1” に設定された場合にクリアされます。

カウント値が“FFFFFFFFh”の状態ではセルが廃棄されると、ステータス・レジスタの CHT ビットをセットし、マイクロプロセッサに対して割り込みを要求すると同時に、カウント値を“00000000h”にしてカウントを継続します。INTMASK レジスタの CHT ビット = “0” の場合は、マイクロプロセッサに対して割り込みを要求しません。

フィールド	ビット	R/W	機能	デフォルト値
CTERHT	bit [31:0]	R/W	00000000h - FFFFFFFFh : セル廃棄数	00000000h

4.3.20 HEC / CRC エラー廃棄セル・カウント・レジスタ (0038h)

レジスタ名	アドレス	デフォルト	R/W
CTERHEC	0038h	0000_0000_0000_0000_0000_0000_0000_0000	R/W



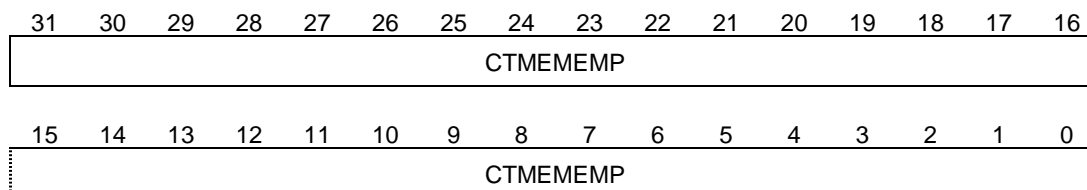
CTERHEC レジスタは、CTENHEC レジスタに設定された条件で廃棄されたセル数を示します。CTENHEC レジスタの EN ビット = “1” の状態でカウントを行います。μPD98412 に対するリセット信号および CTENHEC レジスタが CL = “1”, EN = “1” に設定された場合にクリアされます。また、MODE1 レジスタの HM ビットが “1” に設定されている場合は、HEC エラー・セルは廃棄されないためカウントは行いません。

カウント値が“FFFFFFFFh”の状態でセルが廃棄されると、ステータス・レジスタの CHE ビットをセットし、マイクロプロセッサに対して割り込みを要求すると同時に、カウント値を“00000000h”にしてカウントを継続します。INTMASK レジスタの CHE ビット = “0” の場合は、マイクロプロセッサに対して割り込みを要求しません。

フィールド	ビット	R/W	機能	デフォルト値
CTERHEC	bit [31:0]	R/W	00000000h - FFFFFFFFh : セル廃棄数	00000000h

4.3.21 コントロール/セル・バッファ・メモリ不足廃棄セル・カウント・レジスタ (003Ch)

レジスタ名	アドレス	デフォルト	R/W
CTMEMEMP	003Ch	0000_0000_0000_0000_0000_0000_0000	R/W



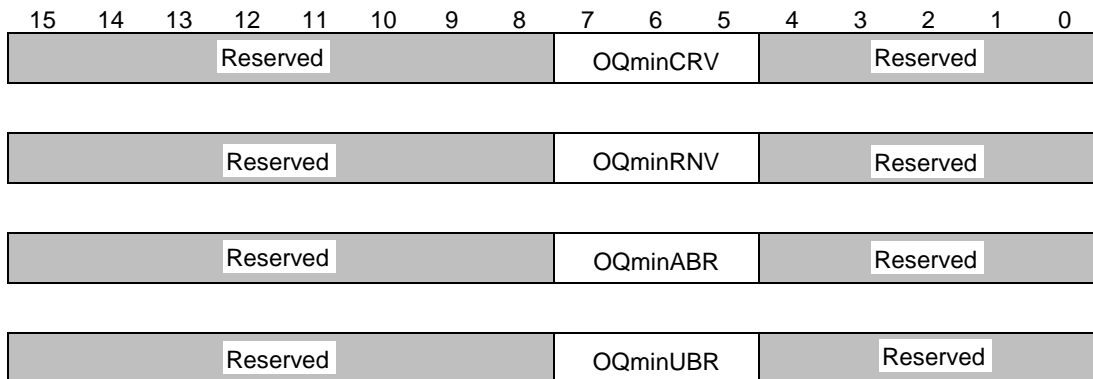
CTMEMEMP レジスタは、コントロール・メモリ、またはセル・バッファ・メモリの空き領域不足で廃棄されたセル数を示します。CTENMEM レジスタの CT ビットが“1”に設定されている場合はコントロール・メモリ空き領域不足によるセル廃棄カウントを対象とし、CTENMEM レジスタの CB ビットが“1”に設定されている場合はセル・バッファ・メモリ空き領域不足によるセル廃棄カウントを対象とします。CTENMEM レジスタの EN ビット = “1” の状態でカウントを行います。μPD98412 に対するリセット信号および CTENMEM レジスタが CL = “1”，EN = “1” に設定された場合にクリアされます。

カウント値が“FFFFFFFFh”の状態でセルが廃棄されると、ステータス・レジスタの CME ビットをセットし、マイクロプロセッサに対して割り込みを要求すると同時に、カウント値を“00000000h”にしてカウントを継続します。INTMASK レジスタの CME ビット = “0” の場合は、マイクロプロセッサに対して割り込み要求しません。

フィールド	ビット	R/W	機能	デフォルト値
CTMEMEMP	bit [31:0]	R/W	00000000h - FFFFFFFFh : セル廃棄数	00000000h

4.3.22 出力キュー最小しきい値レジスタ (0040h, 0044h, 0048h, 004Ch)

レジスタ名	アドレス	デフォルト	R/W
OQminCRV	0040h	xxxx_xxxx_000x_xxxx	R/W
OQminRNV	0044h	xxxx_xxxx_000x_xxxx	R/W
OQminABR	0048h	xxxx_xxxx_000x_xxxx	R/W
OQminUBR	004Ch	xxxx_xxxx_000x_xxxx	R/W



このレジスタには、各論理出力ポートごとに各クラスの最低保証セル数を設定します。

必ず CMD レジスタにスイッチ動作有効の設定を行う前に、最小しきい値を設定してください。いったん、スイッチ動作有効にしたあとは、再設定しないでください。再設定を行った場合は、キュー管理が保証できなくなり誤動作します。

フィールド	ビット	R/W	機能	デフォルト値
OQminCRV	bit [7:5]	R/W	000-111 : CBR+rtVBR クラスの最低保証セル数 (32セル単位 : 0 / 32 / 64 / ... / 224)	000 (0000h)
OQminRNV	bit [7:5]	R/W	000-111 : RM+nrtVBR クラス最低保証セル数 (32セル単位 : 0 / 32 / 64 / ... / 224)	000 (0000h)
OQminABR	bit [7:5]	R/W	000-111 : ABR クラスの最低保証セル数 (32セル単位 : 0 / 32 / 64 / ... / 224)	000 (0000h)
OQminUBR	bit [7:5]	R/W	000-111 : UBR クラスの最低保証セル数 (32セル単位 : 0 / 32 / 64 / ... / 224)	000 (0000h)

4.3.23 マルチキャスト・キュー最小しきい値レジスタ (0050h, 0054h, 0058h, 005Ch)

レジスタ名	アドレス	デフォルト	R/W
MQminCRV	0050h	xxxx_xxxx_000x_xxxx	R/W
MQminRNV	0054h	xxxx_xxxx_000x_xxxx	R/W
MQminABR	0058h	xxxx_xxxx_000x_xxxx	R/W
MQminUBR	005Ch	xxxx_xxxx_000x_xxxx	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								MQminCRV				Reserved			
Reserved								MQminRNV				Reserved			
Reserved								MQminABR				Reserved			
Reserved								MQminUBR				Reserved			

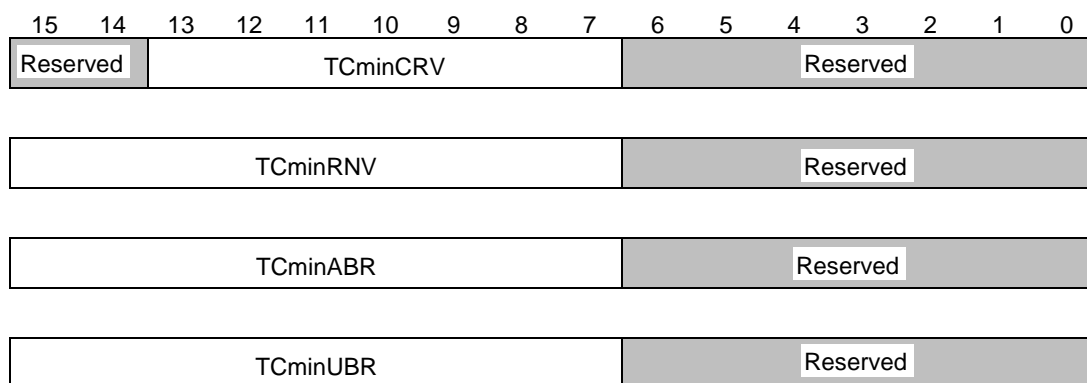
このレジスタには、マルチキャスト・キューの各クラス最低保証セル数を設定します。

必ず CMD レジスタにスイッチ動作有効の設定を行う前に、最小しきい値を設定してください。いったん、スイッチ動作有効にしたあとは、再設定しないでください。再設定を行った場合は、キュー管理が保証できなくなり誤動作します。

フィールド	ビット	R/W	機能	デフォルト値
MQminCRV	bit [7:5]	R/W	000-111 : CBR+rtVBR クラスの最低保証セル数 (32 セル単位 : 0 / 32 / 64 / ... / 224)	000 (0000h)
MQminRNV	bit [7:5]	R/W	000-111 : RM+nrtVBR クラスの最低保証セル数 (32 セル単位 : 0 / 32 / 64 / ... / 224)	000 (0000h)
MQminABR	bit [7:5]	R/W	000-111 : ABR クラスの最低保証セル数 (32 セル単位 : 0 / 32 / 64 / ... / 224)	000 (0000h)
MQminUBR	bit [7:5]	R/W	000-111 : UBR クラスの最低保証セル数 (32 セル単位 : 0 / 32 / 64 / ... / 224)	000 (0000h)

4.3.24 TC(Total Cell)カウンタ最小しきい値レジスタ(0060h, 0064h, 0068h, 006Ch)

レジスタ名	アドレス	デフォルト	R/W
TCminCRV	0060h	xx00_0000_0xxx_xxxx	R/W
TCminRNV	0064h	0000_0000_0xxx_xxxx	R/W
TCminABR	0068h	0000_0000_0xxx_xxxx	R/W
TCminUBR	006Ch	0000_0000_0xxx_xxxx	R/W



これらのレジスタには、クラス別に各クラスの最低保証セル数を設定します。各論理出力ポートの最低保証セル数を越えてから、クラス別の最低保証セル数としてカウントされます。

必ず CMD レジスタにスイッチ動作有効の設定を行う前に、最小しきい値を設定してください。いったん、スイッチ動作有効にしたあとは、再設定しないでください。再設定を行った場合は、キュー管理が保証できなくなり誤動作します。

フィールド	ビット	R/W	機 能	デフォルト値
TCminCRV	bit [13:7]	R/W	00_0000_0 - 11_1111_1 : CBR+rtVBR クラスの最低保証セル数 (128セル単位 : 0 / 128 / 256 / ... / 16256)	00_0000_0 (0000h)
TCminRNV	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : RM+nrtVBR クラスの最低保証セル数 (128セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)
TCminABR	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : ABR クラスの最低保証セル数 (128セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)
TCminUBR	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : UBR クラスの最低保証セル数 (128セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)

4.3.25 総セル数最小しきい値レジスタ (007Eh)

レジスタ名	アドレス	デフォルト	R/W
ALLmin	007Eh	0000_0000_000x_xxxx	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ALLmin												Reserved			

ALLmin レジスタには、各最低保証セル数の合計を設定します。必ず CMD レジスタにスイッチ動作有効の設定を行う前に、次の式で計算した値を設定してください。いったん、スイッチ動作有効にしたあとは ALLmin レジスタは再設定しないでください。再設定を行った場合は、キュー管理が保証できなくなり誤動作します。

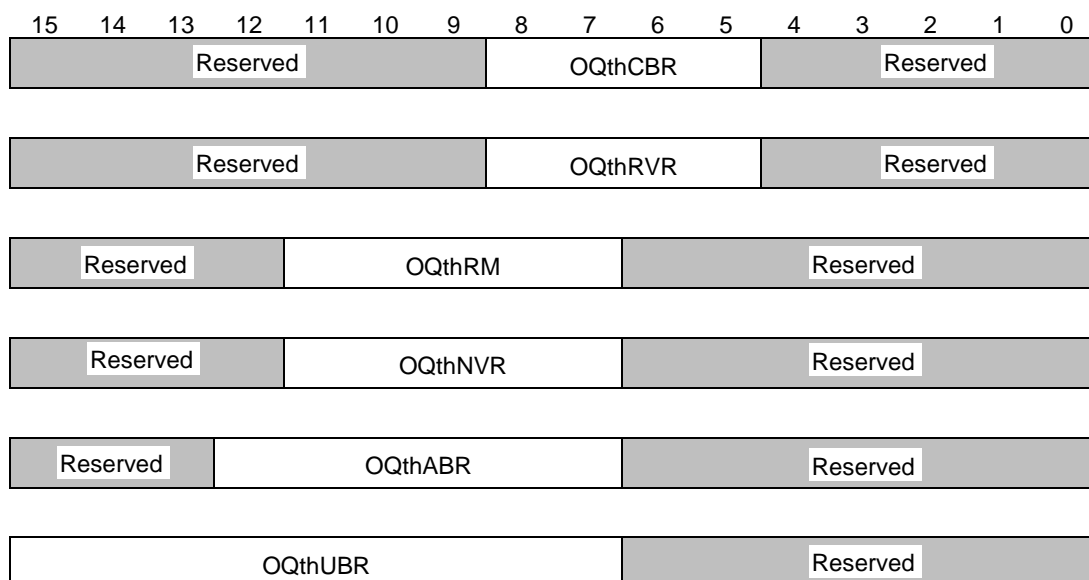
$$\begin{aligned}
 & (OQminCRV + OQminRNV + OQminABR + OQminUBR) \times \text{enabled ports}^{\text{注}} \\
 & + MQminCRV + MQminRNV + MQminABR + MQminUBR \\
 & + TCminCRV + TCminRNV + TCminABR + TCminUBR
 \end{aligned}$$

注 enabled ports は、PT レジスタの EN ビットを有効に設定する予定の論理ポートの合計を表します。

フィールド	ビット	R/W	機能	デフォルト値
ALLmin	bit [15:5]	R/W	0000_0000_000 - 1111_1111_111 : 各最低保証セル数の合計 (32セル単位 : 0 / 32 / 64 / ... / 65504)	0000_0000_000 (0000h)

4.3.26 出力キュー最大しきい値レジスタ (0080h, 0082h, 0090h, 0092h, 00A0h, 00B0h)

レジスタ名	アドレス	デフォルト	R/W
OQthCBR	0080h	xxxx_xxx0_000x_xxxx	R/W
OQthRVR	0082h	xxxx_xxx0_000x_xxxx	R/W
OQthRM	0090h	xxxx_0000_0xxx_xxxx	R/W
OQthNVR	0092h	xxxx_0000_0xxx_xxxx	R/W
OQthABR	00A0h	xxx0_0000_0xxx_xxxx	R/W
OQthUBR	00B0h	0000_0000_0xxx_xxxx	R/W



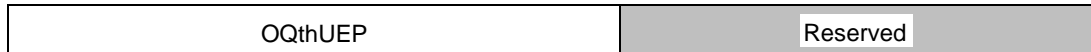
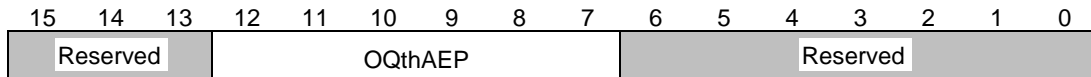
このレジスタには、各論理出力ポートのクラス別上限しきい値を設定します。各クラスのセルが該当するしきい値を越えて出力キューに滞留すると、セルを廃棄します。

フィールド	ビット	R/W	機能	デフォルト値
OQthCBR	bit [8:5]	R/W	0_000 - 1_111 : CBR クラスの上限しきい値 (32 セル単位 : 0 / 32 / 64 / ... / 480)	0_000 (0000h)
OQthRVR	bit [8:5]	R/W	0_000 - 1_111 : rtVBR クラスの上限しきい値 (32 セル単位 : 0 / 32 / 64 / ... / 480)	0_000 (0000h)
OQthRM	bit [11:7]	R/W	0000_0 - 1111_1 : RM クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 3968)	0000_0 (0000h)
OQthNVR	bit [11:7]	R/W	0000_0 - 1111_1 : nrtVBR クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 3968)	0000_0 (0000h)
OQthABR	bit [12:7]	R/W	0_0000_0 - 1_1111_1 : ABR クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 8064)	0_0000_0 (0000h)

フィールド	ビット	R/W	機能	デフォルト値
OQthUBR	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : UBR クラスの上限しきい値 (128セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)

備考 1.OQthCBR と OQthRVR は同一の出力キューに付随するしきい値です。

2.OQthRM と OQthNVR は同一の出力キューに付随するしきい値です。



3.EPD を無効に設定してある ABR, UBR クラスのセルは ,OQthAEP, OQthUEP が上限しきい値となります。

4.3.27 出力キューEPD しきい値レジスタ (00A2h, 00B2h)

レジスタ名	アドレス	デフォルト	R/W
OQthAEP	00A2h	xxx0_0000_0xxx_xxxx	R/W
OQthUEP	00B2h	0000_0000_0xxx_xxxx	R/W

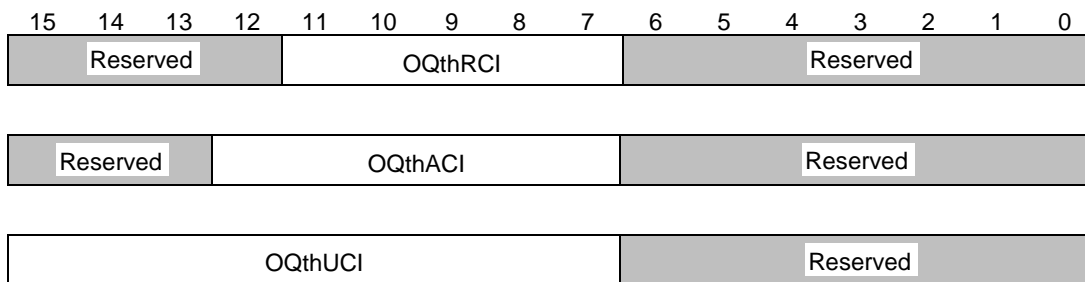
このレジスタには、各論理出力ポートのクラス別 EPD しきい値を設定します。各クラスのセルが該当するしきい値を越えて出力キューに滞留すると EPD 制御が働きます。EPD 制御が働くと次の処理を行います。

- ・ EPD 有効セル : 新たに受信するパケットに属するセルは廃棄されます。最終パケット (EOP) は受信されません。
- ・ EPD 無効セル : セルは廃棄されます。

フィールド	ビット	R/W	機能	デフォルト値
OQthAEP	bit [12:7]	R/W	0_0000_0 - 1_1111_1 : ABR クラスの EPD しきい値 (128セル単位 : 0 / 128 / 256 / ... / 8064)	0_0000_0 (0000h)
OQthUEP	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : UBR クラスの EPD しきい値 (128セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)

4.3.28 出力キューEFCI しきい値レジスタ (0094h, 00A4h, 00B4h)

レジスタ名	アドレス	デフォルト	R/W
OQthRCI	0094h	xxxx_0000_0xxx_xxxx	R/W
OQthACI	00A4h	xxx0_0000_0xxx_xxxx	R/W
OQthUCI	00B4h	0000_0000_0xxx_xxxx	R/W

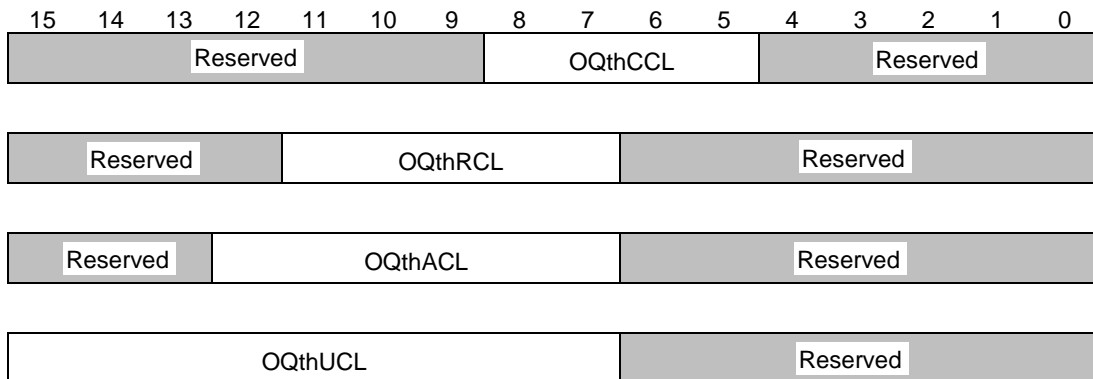


このレジスタには、各論理出力ポートのクラス別 EFCI しきい値を設定します。各クラスのセルが該当するしきい値を越えて出力キューに滞留すると、ユーザ・セルに対する EFCI マーク、バックワード RM セルに対する CI/NI のマークを行います。

フィールド	ビット	R/W	機 能	デフォルト値
OQthRCI	bit [11:7]	R/W	0000_0 - 1111_1 : RM+nrtVBR クラスの EFCI しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 3968)	0000_0 (0000h)
OQthACI	bit [12:7]	R/W	0_0000_0 - 1_1111_1 : ABR クラスの EFCI しきい値 (CI/NI しきい値兼用) (128 セル単位 : 0 / 128 / 256 / ... / 8064)	0_0000_0 (0000h)
OQthUCI	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : UBR クラスの EFCI しきい 値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)

4.3.29 出力キューCLP しきい値レジスタ (0086h, 0096h, 00A6h, 00B6h)

レジスタ名	アドレス	デフォルト	R/W
OQthCCL	0086h	xxxx_xxx0_000x_xxxx	R/W
OQthRCL	0096h	xxxx_0000_0xxx_xxxx	R/W
OQthACL	00A6h	xxx0_0000_0xxx_xxxx	R/W
OQthUCL	00B6h	0000_0000_0xxx_xxxx	R/W

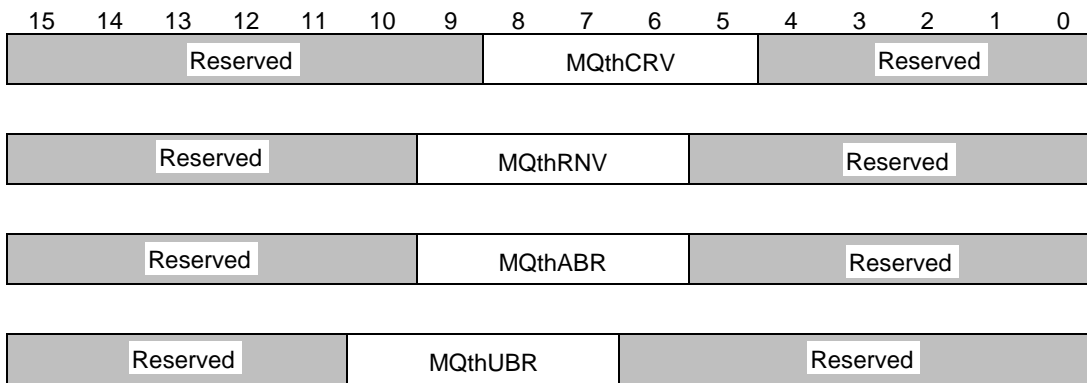


このレジスタには、各論理出力ポートのクラス別 CLP しきい値を設定します。各クラスのセルが該当するしきい値を越えて出力キューに滞留すると、CLP がセットされているセルを廃棄します。

フィールド	ビット	R/W	機能	デフォルト値
OQthCCL	bit [8:5]	R/W	0_000 - 1_111 : CBR+rtVBR クラスの CLP しきい値 (32 セル単位 : 0 / 32 / 64 / ... / 480)	0_000 (0000h)
OQthRCL	bit [11:7]	R/W	0000_0 - 1111_1 : RM+nrtVBR クラスの CLP しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 3968)	0000_0 (0000h)
OQthACL	bit [12:7]	R/W	0_0000_0 - 1_1111_1 : ABR クラスの CLP しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 8064)	0_0000_0 (0000h)
OQthUCL	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : UBR クラスの CLP しきい 値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)

4.3.30 マルチキャスト・キュー最大しきい値レジスタ(00C0h, 00C4h, 00C8h, 00CCh)

レジスタ名	アドレス	デフォルト	R/W
MQthCRV	00C0h	xxxx_xxx0_000x_xxxx	R/W
MQthRNV	00C4h	xxxx_xx00_00xx_xxxx	R/W
MQthABR	00C8h	xxxx_xx00_00xx_xxxx	R/W
MQthUBR	00CCh	xxxx_x000_0xxx_xxxx	R/W

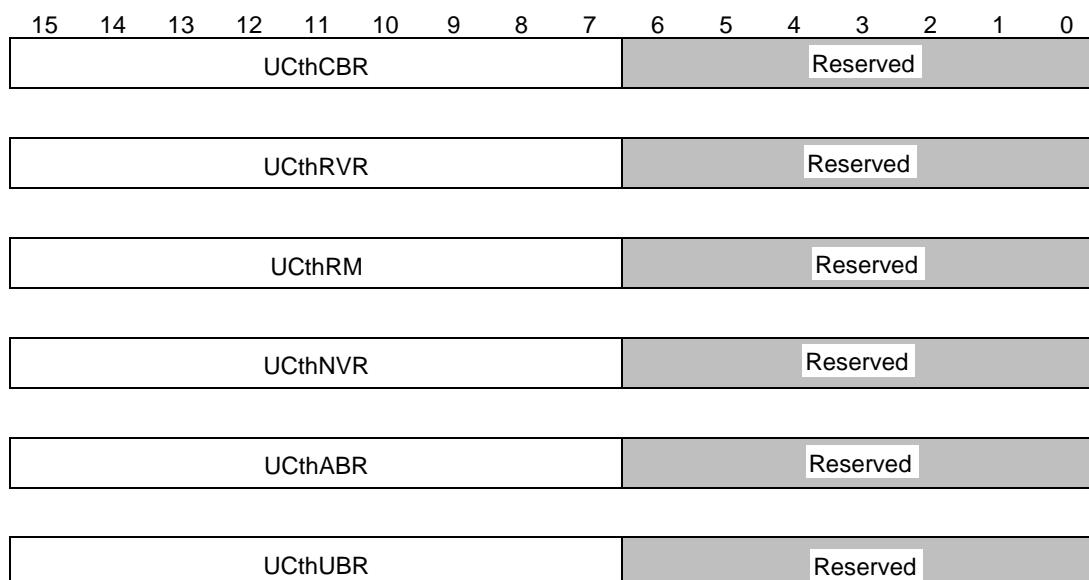


このレジスタには、マルチキャスト・キューのクラス別上限しきい値を設定します。各クラスのセルが該当するしきい値を越えてマルチキャスト・キューに滞留すると、セルを廃棄します。

フィールド	ビット	R/W	機 能	デフォルト値
MQthCRV	bit [8:5]	R/W	0_000 - 1_111 : CBR+rtVBR クラスの上限しきい値 (32 セル単位 : 0 / 32 / 64 / ... / 480)	0_000 (0000h)
MQthRNV	bit [9:6]	R/W	00_00 - 11_11 : RM+nrtVBR クラスの上限しきい値 (64 セル単位 : 0 / 64 / 128 / ... / 960)	00_00 (0000h)
MQthABR	bit [9:6]	R/W	00_00 - 11_11 : ABR クラスの上限しきい値 (64 セル単位 : 0 / 64 / 128 / ... / 960)	00_00 (0000h)
MQthUBR	bit [10:7]	R/W	000_0 - 111_1 : UBR クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 1920)	000_0 (0000h)

4.3.31 UC(Used Cell)カウンタ最大しきい値レジスタ(00D0h, 00D4h, 00D8h, 00DCh, 00E0h, 00E8h)

レジスタ名	アドレス	デフォルト	R/W
UCthCBR	00D0h	0000_0000_0xxx_xxxx	R/W
UCthRVR	00D4h	0000_0000_0xxx_xxxx	R/W
UCthRM	00D8h	0000_0000_0xxx_xxxx	R/W
UCthNVR	00DCh	0000_0000_0xxx_xxxx	R/W
UCthABR	00E0h	0000_0000_0xxx_xxxx	R/W
UCthUBR	00E8h	0000_0000_0xxx_xxxx	R/W



このレジスタには、UC (Used Cell) カウンタのクラス別上限しきい値を設定します。各クラスのセルが該当するしきい値を越えてセル・バッファ上に滞留すると、セルを廃棄します。

フィールド	ビット	R/W	機能	デフォルト値
UCthCBR	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : CBR クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)
UCthRVR	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : rtVBR クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)
UCthRM	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : RM クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)

フィールド	ビット	R/W	機 能	デフォルト値
UCthNVR	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : nrtVBR クラスの上限しき い値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)
UCthABR	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : ABR クラスの上限しき い値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)
UCthUBR	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : UBR クラスの上限しき い値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)

備考 EPD を無効に設定してある ABR, UBR クラスのセルは, UCthAEP, UCthUEP が上限しきい値となります。

4.3.32 UC (Used Cell) カウンタ EPD しきい値レジスタ (00E2h, 00EAh)

レジスタ名	アドレス	デフォルト	R/W
UCthAEP	00E2h	0000_0000_0xxx_xxxx	R/W
UCthUEP	00EAh	0000_0000_0xxx_xxxx	R/W



このレジスタには、UC (Used Cell) カウンタのクラス別 EPD しきい値を設定します。各クラスのセルが該当するしきい値を越えてセル・バッファ上に滞留すると EPD 制御が働きます。EPD 制御が働くと次の処理を行います。

- ・ EPD 有効セル：新たに受信するパケットに属するセルは廃棄されます。最終パケット (EOP) は受信されず
- ・ EPD 無効セル：セルは廃棄されます。

フィールド	ビット	R/W	機能	デフォルト値
UCthAEP	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1: ABR クラスの EPD しきい値 (128 セル単位: 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)
UCthUEP	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1: UBR クラスの EPD しきい値 (128 セル単位: 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)

4.3.33 ポート・コンフィギュレーション・レジスタ

レジスタ名	アドレス	デフォルト	R/W
PT0-PT29	注	xxxx_xx00_0001_1111_xxx0_0000_0000_0000	R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						CD	SG	EN	UPN			PHY			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			NTP			SC	RP	SPR							

注 0100h, 0104h, 0108h, 010Ch, 0110h, 0114h, 0118h, 011Ch, 0120h, 0124h, 0128h, 012Ch, 0130h, 0134h, 0138h, 013Ch, 0140h, 0144h, 0148h, 014Ch, 0150h, 0154h, 0158h, 015Ch, 0160h, 0164h, 0168h, 016Ch, 0170h, 0174h

このレジスタには、物理ポートを論理ポートへマッピングするための設定を行います。未接続の PHY (物理ポート) を論理ポートにマッピングしないようにしてください。未接続の PHY を論理ポートにマッピングすると、存在しない PHY に対してポーリングを行い、 μ PD98412 の誤動作を引き起こします。

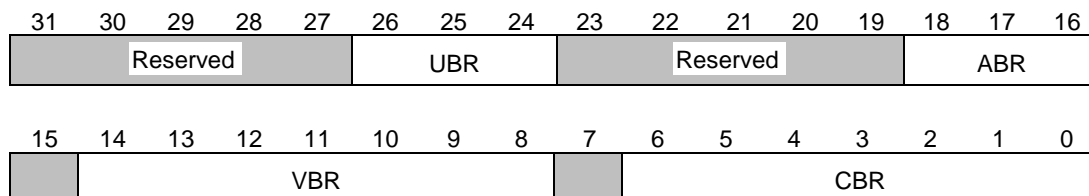
フィールド	ビット	R/W	機能	デフォルト値
CD	bit [25]	R/W	セル排出モードを設定します。 0 : セル排出を行わない 1 : セル排出を行う	0
SG	bit [24]	R/W	0 : 該当論理ポートにマッピングされる物理ポートをマルチ PHY 接続モードにする。 1 : 該当論理ポートにマッピングされる物理ポートをシングル PHY 接続モードにする。複数の物理ポートをシングル PHY 接続モードに設定した場合は、各 UTOPIA インタフェースごとで最も小さい論理ポート番号の設定が選択される。	0
EN	bit [23]	R/W	0 : 該当論理ポートを無効にする 1 : 該当論理ポートを有効にする	0

フィールド	ビット	R/W	機能	デフォルト値
UPN	bit [22:21]	R/W	<p>UTOPIA インタフェースを設定します。</p> <p>8-bit UTOPIA インタフェース</p> <p>00 : UTOPIA8#0 01 : UTOPIA8#1 10 : UTOPIA8#2 11 : UTOPIA8#3</p> <p>16-bit UTOPIA インタフェース</p> <p>00 : UTOPIA16#0 01 : UTOPIA16#1 10 : Reserved 11 : Reserved</p>	00
PHY	bit [20:16]	R/W	<p>PHY アドレスを設定します。</p> <p>(1) 12-PHY polling mode (μPD98410 互換モード)</p> <p>00000 - 01011 : PHY アドレス 01100 - 11111 : Reserved</p> <p>(2) 15-PHY polling mode</p> <p>00000 - 01110 : PHY アドレス 01111 - 11111 : Reserved</p> <p>(3) Multiplexed status polling mode および 1-group weighted polling mode</p> <p>00000 - 11101 : PHY アドレス 11110 - 11111 : Reserved</p> <p>(4) 2-group weighted polling mode</p> <p>PHY[4]</p> <p>0 : Polling Group A 1 : Polling Group B</p> <p>PHY[3:0]</p> <p>0000 - 1110 : PHY アドレス 1111 : Reserved</p>	11111
NTP	bit [12:10]	R/W	<p>連続出力禁止モード (RP = " 0 ") での出力休止回数を設定します。</p> <p>0 : 出力が 1 回休止される 1 : 出力が 1 回休止される 2 : 出力が 2 回休止される 3 : 出力が 3 回休止される 4-7 : Reserved</p> <p>12-PHY polling モードでは、これらのビットに 0 を設定してください。</p>	000

フィールド	ビット	R/W	機能	デフォルト値
SC	bit [9]	R/W	シェーピング制御で、誤差補正を設定します。同一 UTOPIA インタフェースに接続される複数の出力ポートが同時にセルを送信しようとした場合、ある出力ポートに送信することによって、残りの出力ポートからの出力が遅れることにより、そのポートのスループットが低下するのを防止します。 0: シェーピング誤差補正を行わない 1: シェーピング誤差補正を行う	0
RP	bit [8]	R/W	同一論理出力ポートに対する連続出力の許可を設定します。 0: 同一論理出力ポートに対して連続出力を行わない 1: 同一論理出力ポートに対して連続出力を行う 接続する PHY によって、“1”を設定するとセル消失を起こす場合がありますので、その場合は“0”を設定してください。	0
SPR	bit [7:0]	R/W	論理出力ポートのシェーピング・レートを $1/(SPR+1)$ に設定します。 たとえば、SPR = 1 に設定された場合、セルは 2 基本動作サイクルごとに送信されます。1 基本動作サイクルは、8-bit UTOPIA インタフェースで 44 SWCLK、16-bit UTOPIA インタフェースで 22 SWCLK です。 00h - FFh: シェーピング・レートを $1/1 \sim 1/256$ の間で設定します。	00h

4.3.34 クラス優先制御レジスタ

レジスタ名	アドレス	デフォルト	R/W
PC0-PC29	注	xxxx_x000_xxxx_x001_x111_1111_x111_1111	R/W



注 0180h, 0184h, 0188h, 018Ch, 0190h, 0194h, 0198h, 019Ch, 01A0h, 01A4h, 01A8h, 01ACh, 01B0h, 01B4h, 01B8h, 01BCh, 01C0h, 01C4h, 01C8h, 01CCh, 01D0h, 01D4h, 01D8h, 01DCh, 01E0h, 01E4h, 01E8h, 01ECh, 01F0h, 01F4h

このレジスタは、論理出力ポートごとのクラス優先制御を設定します。CBR+rtVBR クラスと RM+nrtVBR クラスは、PERIOD レジスタに設定されている期間に送信を許可するセル数を設定します。ABR クラスと UBR クラスは、送信比率を ABR : UBR として設定します。

フィールド	ビット	R/W	機能	デフォルト値
CBR	bit [6:0]	R/W	00h-7Fh : PERIOD 期間に許可する CBR+rtVBR セル送信数	7Fh
VBR	bit [14:8]	R/W	00h-7Fh : PERIOD 期間に許可する RM+nrtVBR セル送信数	7Fh
ABR	bit [18:16]	R/W	0h-7h : ABR クラスのセル送信比率 (比率は ABR : UBR)	1h
UBR	bit [26:24]	R/W	0h-7h : UBR クラスのセル送信比率 (比率は UBR : ABR)	0h

4.3.35 周期カウント・レジスタ (01FCh)

レジスタ名	アドレス	デフォルト	R/W
PERIOD	01FCh	xxxx_xxxx_0000_0001	R/W

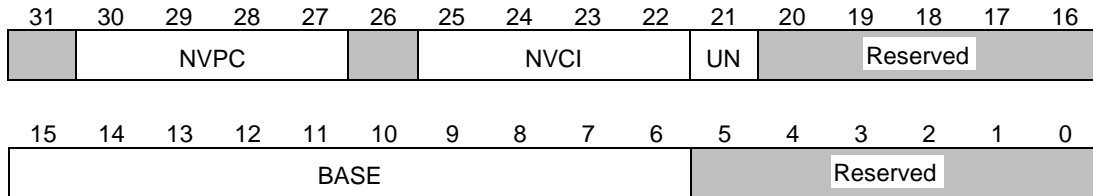


このレジスタは、PC0-PC29のCBR、VBRを更新する周期を設定します。PC0-PC29のCBR、VBRの設定とともに、論理出力ポートごとのクラス優先制御を行います。

フィールド	ビット	R/W	機能	デフォルト値
PERIOD	bit [7:0]	R/W	00h-FFh：クラス優先制御の周期	01h

4.3.36 ヘッダ変換コンフィギュレーション・レジスタ

レジスタ名	アドレス	デフォルト	R/W
HT0-HT29	注	x000_0x00_000x_xxxx_0000_00xx_xxxx	R/W



注 0200h, 0204h, 0208h, 020Ch, 0210h, 0214h, 0218h, 021Ch, 0220h, 0224h, 0228h, 022Ch, 0230h, 0234h, 0238h, 023Ch, 0240h, 0244h, 0248h, 024Ch, 0250h, 0254h, 0258h, 025Ch, 0260h, 0264h, 0268h, 026Ch, 0270h, 0274h

このレジスタには、受信セルの VPI, VCI をヘッダ変換テーブル (HTT) のアドレスに変換するための設定、HTT に設定された OVPC から送信セルの VPI, VCI に変換するための設定、および NNI/UNI の設定を行います。論理出力ポートごとに設定します。

フィールド	ビット	R/W	機能	デフォルト値
NVPC	bit [30:27]	R/W	6h-Fh : 有効 VPI ビット数 + 有効 VCI ビット数 (6 ビット-15 ビット)	0h
NVCI	bit [25:22]	R/W	3h-Fh : 有効 VCI ビット数 (3 ビット-15 ビット)	0h
UN	bit [21]	R/W	0 : NNI に設定します。受信セルの VPI は 12 ビットとして扱い、VPI の無効部が 0 でない (VPI [11: (NVPC - NVCI)] 0) ならば、ヘッダ変換エラーとしてセル廃棄されステータス・レジスタの HE ビット、および ERHT レジスタの IH ビットに表示されます。 1 : UNI に設定します。受信セルの VPI は 8 ビットとして扱い、GFC フィールドの VPI [11:8] は "don't care" として扱います。VPI の無効部が "0" でない (VPI [7: (NVPC - NVCI)] 0) ならば、ヘッダ変換エラーとしてセル廃棄されステータス・レジスタの HE ビット、および ERHT レジスタの IH ビットに表示されます。	0
BASE	bit [15:6]	R/W	0000_0000_00 - 1111_1111_11 : HTT ベース・アドレス	000h

4.3.37 スイッチング・モード・エリア設定レジスタ (027Ch)

レジスタ名	アドレス	デフォルト	R/W
SMA	027Ch	xxxx_xxxx_0xx0_0000	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								EN	Reserved			SMA			

スイッチング・モード (SM) を判断するためにアクセスする HTT のアドレスを設定します。

フィールド	ビット	R/W	機能	デフォルト値
EN	bit [7]	R/W	0: SMA フィールドの設定を無効 (スイッチング・モードを判断するための HTT アドレスを算出するときに、入力セルの VCI を 20h に置き換える) にします。 1: SMA フィールドの設定を有効にします。	0
SMA	bit [4:0]	R/W	00h-1Fh: スイッチング・モードを判断するための HTT アドレスを算出するときに、入力セルの VCI と置き換える値を設定します。	00h

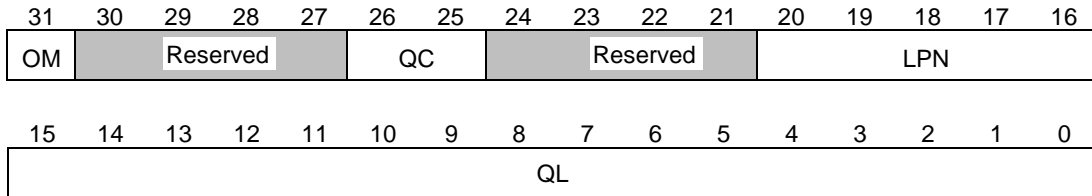
HTn (n = 0-29)レジスタ NVCI フィールドの設定値によって、SMA レジスタの設定可能範囲は、下表のように制限されます。この制限外の入力セルは、ヘッダ変換エラーとしてセル廃棄され、ステータス・レジスタの HE ビット、および ERHT レジスタの IH ビットに表示されます。なお、論理ポートごとに NVCI フィールドの設定値が異なる場合は、一番小さい値に合わせて SMA レジスタの設定を行わなければなりません。

また、 μ PD98412 が、PDC (Pre-defined channel)として扱う入力セルの VCI の範囲も下表のように異なります。PDC として扱われないセルは、すべてユーザ・チャンネルとして扱われます。

NVCI	SMA レジスタの設定	PDC
3	EN = 1, SMA = 0h-7h	VCI = 0h-7h, ただし, VCI = SMA は除く。
4	EN = 1, SMA = 0h-Fh	VCI = 0h-Fh, ただし, VCI = SMA は除く。
5	EN = 1, SMA は任意 (0h-1Fh)	VCI = 0h-1Fh, ただし, VCI = SMA は除く。
6-15	任意	VCI = 0h-1Fh, ただし, EN = 1 の場合, VCI = SMA は除く。

4.3.38 キュー長モニタ・レジスタ (0280h)

レジスタ名	アドレス	デフォルト	R/W
MONQL	0280h	0xxx_x00x_xxx0_0000_0000_0000_0000	R/W



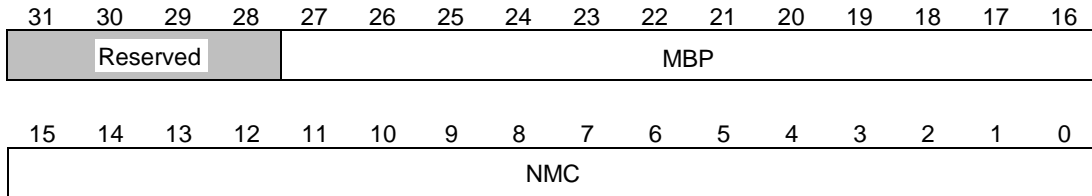
このレジスタは、モニタ条件（出力キュー/マルチキャスト・キュー、キュー・クラス、論理ポート番号）で指定されたキューのキュー長を示します。

なお、マイクロプロセッサによるアクセスが可能になるまでに、最大 16 システム・クロックの期間のウエイト信号が挿入される場合があります。

フィールド	ビット	R/W	機能	デフォルト値
OM	bit [31]	R/W	モニタするキューのタイプを設定します。 0：出力キュー 1：マルチキャスト・キュー	0
QC	bit [26:25]	R/W	モニタするキューのクラスを設定します。 00：CBR/rtVBR キュー・クラス 01：RM/nrtVBR キュー・クラス 10：ABR キュー・クラス 11：UBR キュー・クラス	00
LPN	bit [20:16]	R/W	モニタする論理ポートを設定します。 00h-1Dh：論理ポート番号 1Eh-1Fh：Reserved	00h
QL	bit [15:0]	R	キュー長を表示します。 0000h - FFFFh：キュー長	0000h

4.3.39 マルチキャスト滞留セル・モニタ・レジスタ (0284h)

レジスタ名	アドレス	デフォルト	R/W
MONNMC	0284h	xxxx_0000_0000_0000_0000_0000_0000	R/W



このレジスタに、HTT Area-A に設定したマルチキャスト・ビット・マップ・ポインタ (MBP) を書き込むことにより、MBP によって指定された HTT Area-B 領域を参照する滞留セル数のカウントを可能にします。

なお、MONNMC レジスタのアクセスが可能になるまでに、最大 16 システム・クロックの期間のウェイト信号が挿入される場合があります。

フィールド	ビット	R/W	機能	デフォルト値
MBP	bit [27:16]	R/W	モニタするマルチキャスト・ビット・マップ・ポインタを設定します。 000h - FFFh : マルチキャスト・ビット・マップ・ポインタ	000h
NMC	bit [15:0]	R	設定された MBP に対応する滞留セル数を示します。 0000h - FFFFh : 滞留セル数	0000h

4.3.40 特殊ルーティング論理ポート・レジスタ (0288h)

レジスタ名	アドレス	デフォルト	R/W
SRLP	0288h	0000_0000_0xx0_0000	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IA	ILPNP			VA	VLPNP			EN	Reserved	LPN					

特殊ルーティングでの次の条件を設定するために使用します。

- マイクロプロセッサ接続ポート
- 仮想論理ポート番号が得られる位置
- 入力論理ポート番号が付加される位置

フィールド	ビット	R/W	機能	デフォルト値
IA	bit [15]	R/W	論理入力ポート番号が付加される対象セルを設定します。 0 : 通常ルーティングと特殊ルーティングによってマイクロプロセッサ接続ポートに出力される全セル 1 : 特殊ルーティングによってマイクロプロセッサ接続ポートに出力されるセルのみ	0
ILPNP	bit [14:12]	R/W	論理入力ポート番号が付加される位置を設定します。 000 : ポート番号を付加しない 001 : VPI の上位ビット ^注 010 : VCI [15:11]ビット 011 : UDF (User Defined Field) [4:0] / UDF1 [4:0]ビット 100 : UDF2 [4:0]ビット 101-111 : Reserved	000
VA	bit [11]	R/W	仮想入力論理ポート番号が得られるセルを設定します。 0 : マイクロプロセッサ接続ポートから入力される全セル 1 : マイクロプロセッサ接続ポートから入力されて ,SRFLT レジスタによって定義された PTI を持つセル	0
VLPNP	bit [10:8]	R/W	仮想論理入力ポート番号が得られる位置を設定します。 000 : ポート番号を使わない 001 : VPI の上位ビット ^注 010 : VCI [15:11] ビット 011 : UDF [4:0] / UDF1 [4:0]ビット 100 : UDF2 [4:0]ビット 101-111 : Reserved	000

注 上位ビットとは、マイクロプロセッサ接続ポートが UNI の場合は VPI [7:3]で、NNI の場合は VPI [11:7]を意味します。

フィールド	ビット	R/W	機能	デフォルト値
EN	bit [7]	R/W	特殊ルーティングを有効にするかどうかを設定します。 0 : 無効 1 : 有効	0
LPN	bit [4:0]	R/W	特殊ルーティングのためのマイクロプロセッサ接続ポートを設定します。 00h-1Dh : 論理ポート番号 0-29 1Eh-1Fh : Reserved	00h

4.3.41 特殊ルーティング・フィルタ・レジスタ (028Ah)

レジスタ名	アドレス	デフォルト	R/W
SRFLT	028Ah	xxxx_xxxx_xxxx_0000	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												PTF			

SRFLT レジスタは、特殊ルーティングによってサポートされるセルの PT (ペイロード・タイプ) フィールド・パターンを設定するのに使われます。

フィールド	ビット	R/W	機能	デフォルト値
PTF	bit [3:0]	R/W	特殊ルーティングのための PT フィルタを設定します。 PTF [3] : PT = 111 のセル PTF [2] : PT = 110 のセル PTF [1] : PT = 101 のセル PTF [0] : PT = 100 のセル 0 : 特殊ルーティングを行わない 1 : 特殊ルーティングを行う	0000

4.3.42 UTOPIA コンフィギュレーション・レジスタ (0290h, 0294h, 0298h, 029Ch)

レジスタ名	アドレス	デフォルト	R/W
UTPCFG0	0290h	1000_0xxx_xxx0_0000_xxx0_0000_xxx0_0000	R/W
UTPCFG1	0294h	1000_0xxx_xxx0_0000_xxx0_0000_xxx0_0000	R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EN	BW	PM	UH	Reserved							NPC2				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				NPC1				Reserved			NPC0				

レジスタ名	アドレス	デフォルト	R/W
UTPCFG2	0298h	1xx0_0xxx_xxx0_0000_xxx0_0000_xxx0_0000	R/W
UTPCFG3	029Ch	1xx0_0xxx_xxx0_0000_xxx0_0000_xxx0_0000	R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EN	Reserved	PM	UH	Reserved							NPC2				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				NPC1				Reserved			NPC0				

これらのレジスタは、UTOPIA インタフェースのポーリング・モードを設定するために用います。

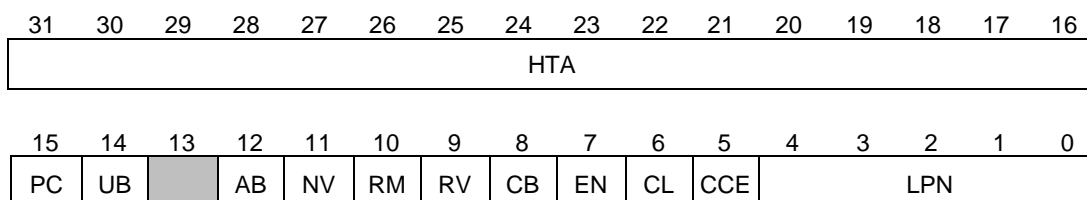
注意 UTPCFG0 の BW ビットが 1 に設定されている場合は、UTPCFG2 のすべてのフィールドを 0 に設定してください。UTPCFG1 の BW ビットが 1 に設定されている場合も、UTPCFG3 のすべてのフィールドを 0 に設定してください。

フィールド	ビット	R/W	機能	デフォルト値
EN	bit [31]	R/W	UTOPIA インタフェースの有効/無効を設定します。 0 : UTOPIA ポートは無効 1 : UTOPIA ポートは有効	1
BW	bit [30]	R/W	UTOPIA インタフェースのバス幅を設定します。 0 : 8-bit I/F 1 : 16-bit I/F	0

フィールド	ビット	R/W	機 能	デフォルト値
PM (UTPCFG0, UTPCFG1)	bit [29:28]	R/W	ポーリング・モードを設定します。 [BW = "0" (8-bit I/F)] 00 : 12-PHY polling mode (μ PD98410 互換) 01 : 15-PHY polling mode 10 : Reserved 11 : Reserved [BW = "1" (16-bit I/F)] 00 : Multiplexed status polling mode 01 : 2-group weighted polling mode 10 : 1-group weighted polling mode 11 : Reserved	00
PM (UTPCFG2, UTPCFG3)	bit [28]	R/W	ポーリング・モードを設定します。 0 : 12-PHY polling mode (μ PD98410 互換) 1 : 15-PHY polling mode	0
UH	bit [27]	R/W	UTOPIA のハンドシェイク・モードを設定します。 0 : X10-like handshake mode 1 : X15 handshake mode	0
NPC2	bit [20:16]	R/W	ポーリング・クラス 2 の PHY デバイスの数を設定します。 00h-1Eh : PHY デバイスの数 1Fh : Reserved	00h
NPC1	bit [12:8]	R/W	ポーリング・クラス 1 の PHY デバイスの数を設定します。 00h-1Eh : PHY デバイスの数 1Fh : Reserved	00h
NPC0	bit [4:0]	R/W	ポーリング・クラス 0 の PHY デバイスの数を設定します。 00h-1Eh : PHY デバイスの数 1Fh : Reserved	00h

4.3.43 入力セル・カウント・イネーブル・レジスタ (02A0h, 02A4h, 02A8h, 02ACh)

レジスタ名	アドレス	デフォルト	R/W
CTENINP0	02A0h	0000_0000_0000_0000_00x0_0000_0000_0000	R/W
CTENINP1	02A4h	0000_0000_0000_0000_00x0_0000_0000_0000	R/W
CTENINP2	02A8h	0000_0000_0000_0000_00x0_0000_0000_0000	R/W
CTENINP3	02ACh	0000_0000_0000_0000_00x0_0000_0000_0000	R/W



これらのレジスタは、入力セル数をカウントするための条件を設定するのに用います。カウント結果は、CTINPn レジスタに表示され、EN ビットは、カウントするかどうか用いられます。

フィールド	ビット	R/W	機能	デフォルト値
HTA	bit [31:16]	R/W	カウント対象とする入力セルの HTT アクセス・アドレスを設定します。 VP 単位のカウントの場合、下位 NVCI ビットは、don't care となります。 また、MODE1 レジスタの HMS フィールドが 00/01 の場合は、上位 1/2 ビットは、don't care となります。	000h
PC	bit [15]	R/W	VC 単位のカウント実行か、VP 単位のカウント実行かを設定します。 0: VC 単位のカウント 1: VP 単位のカウント	0
UB, AB, NV, RM, RV, CB	bit [14], bit [12:8]	R/W	カウントされるセルのサービス・クラスを設定します。 各サービス・クラス略号は、UB:UBR クラス, AB:ABR クラス, NV:Non real time VBR クラス, RM:RM クラス, RV:Real time VBR, CB:CBR クラスを表します。 0: カウントしない 1: カウントする	0
EN, CL	bit [7:6]	R/W	セルのカウントを許可するかどうかを設定します。 0x: カウントしない 10: カウントする 11: カウンタがクリアされたあとカウントする	00

フィールド	ビット	R/W	機能	デフォルト値
CCE	bit [5]	R/W	VP/VC 単位の入力セル・カウント機能の有効/無効を設定します。 0 : VP/VC 単位の入力セル・カウント機能無効 1 : VP/VC 単位の入力セル・カウント機能有効	0
LPN	bit [4:0]	R/W	カウントされるセルの論理ポートを設定します。 00h-1Dh : 論理ポート 0-29 1Eh : Reserved 1Fh : 全論理ポート	00h

カウント対象となる入力セルは、CTENINPn (n = 0-3)レジスタ CCE ビットが“0”のときは、サービス・クラスの条件 (UB, AB, NV, RM, RV, CB) と入力論理ポートの条件 (LPN) を満たした場合にカウントされます。CCE ビットが“1”のときは、サービス・クラスの条件 (UB, AB, NV, RM, RV, CB) と入力論理ポートの条件 (LPN) に加え、HTT のアクセス・アドレスの条件 (PC, HTA) を満たした場合にカウントされます。

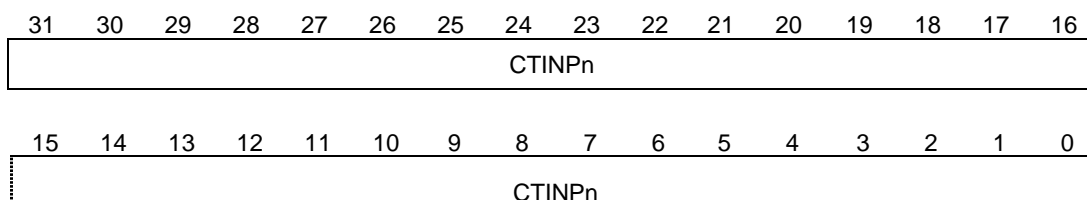
HTA フィールドの説明にある「入力セルの HTT アクセス・アドレス」とは、入力論理ポートの BASE、入力 VPI、入力 VCI より算出される HTT アクセス・アドレスのことです。入力 VCI を 20h (SMA レジスタ EN ビットが“1”の場合は、20h ではなく SMA フィールドに設定されている値) に置き換えて算出される HTT アクセス・アドレスのことではありません。

VP/VC 単位の入力セル・カウント機能には、次の制限があります。

- (1) VP スイッチング中のユーザ・チャンネルに対しては、VC 単位の入力セル・カウントはできません。
- (2) MODE1 レジスタの RMA フィールドが“00”と設定されている場合には、VCI = 6、または 20h (SMA レジスタ EN ビットが“1”の場合は、20h ではなく SMA フィールドに設定されている値) の RM セルに対して、VC 単位の入力セル・カウントが正しく行われません。

4.3.44 入力セル・カウント・レジスタ (02B0h, 02B4h, 02B8h, 02BCh)

レジスタ名	アドレス	デフォルト	R/W
CTINP0	02B0h	0000_0000_0000_0000_0000_0000_0000_0000	R/W
CTINP1	02B4h	0000_0000_0000_0000_0000_0000_0000_0000	R/W
CTINP2	02B8h	0000_0000_0000_0000_0000_0000_0000_0000	R/W
CTINP3	02BCh	0000_0000_0000_0000_0000_0000_0000_0000	R/W



CTINPn レジスタは、CTENINPn レジスタに設定された条件に従って入力されたセル数を示します。入力セルは、CTENINPn レジスタの EN ビットが 1 に設定されているあいだ、カウントされます。リセット信号が μ PD98412 へ発行されるとき、または、CTENINPn レジスタの CL と EN ビットが 1 に設定されるとき、CTINPn レジスタは、クリアされます。

カウンタが FFFFFFFFh のときにセルが入力されると、ステータス・レジスタの CINn ビットがセットされ、割り込み要求がマイクロプロセッサへ発行されます。そして同時に、カウンタは 00000000h へクリアされ、カウントは継続されます。INTMASK レジスタの CINn ビットが 0 に設定されているあいだは、割り込み要求がマイクロプロセッサへ発行されません。

フィールド	ビット	R/W	機能	デフォルト値
CTINPn	bit [31:0]	R/W	入力セル数を示します。 00000000h - FFFFFFFFh : 入力セル数	00000000h

[メ モ]

第5章 JTAG バウンダリ・スキャン

μPD98412 は、JTAG バウンダリ・スキャン回路を内蔵しています。

5.1 特 徴

IEEE1149.1 JTAG Boundary Scan Standard に準拠

バウンダリ・スキャン専用の 3 つのレジスタ

- ・インストラクション・レジスタ
- ・バイパス・レジスタ
- ・バウンダリ・スキャン・レジスタ

3 つの命令をサポート

- ・BYPASS 命令
- ・EXTEST 命令
- ・SAMPLE/PRELOAD 命令

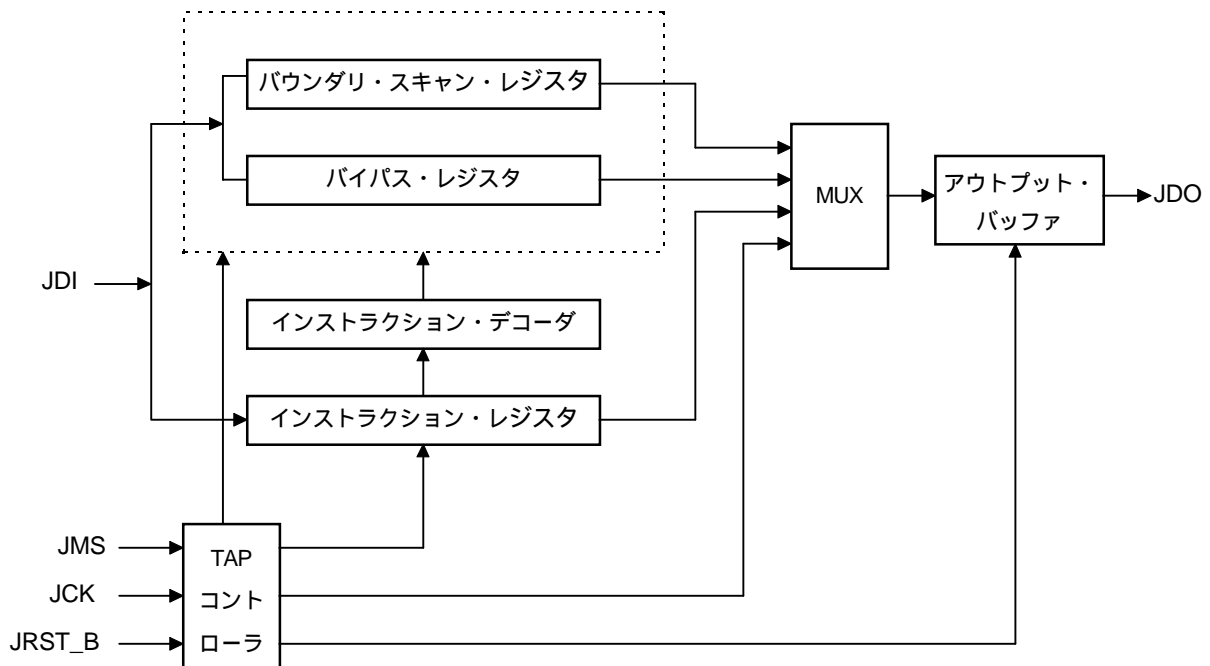
バウンダリ・スキャン専用端子 (5 端子)

- ・JCK (JTAG Clock)
- ・JMS (JTAG Mode Select)
- ・JDI (JTAG Data Input)
- ・JDO (JTAG Data Output)
- ・JRST_B (JTAG Reset)

5.2 バウンダリ・スキャン回路内部構成

図5-1に、 μ PD98412 に内蔵されている JTAG バウンダリ・スキャン回路のブロック図を示します。

図5-1 バウンダリ・スキャン回路ブロック図



5.2.1 インストラクション・レジスタ (Instruction register)

インストラクション・レジスタは、2ビットのシフト・レジスタで構成されており、JDI 端子からの命令データを書き込みます。レジスタおよび命令の選択は、この命令データが決定します。

5.2.2 TAP コントローラ (Test Access Port controller)

TAP コントローラは、JCK 端子に入力されるクロックの立ち上がりで JMS 端子の信号をラッチすることにより、動作状態を変更します。

5.2.3 バイパス・レジスタ (Bypass register)

バイパス・レジスタは、TAP コントローラが Shift-DR 状態のときには、JDI 端子と JDO 端子の間で、接続される 1 ビットのシフト・レジスタで構成されます。TAP コントローラが Shift-DR 状態の間、このレジスタが選択されているときには、JCK 端子に入力されるクロックの立ち上がりで JDO 端子へデータをシフトします。

このレジスタが選択されているとき、JTAG バウンダリ・スキャン回路の動作は、 μ PD98412 の動作に影響を与えません。

5.2.4 バウンダリ・スキャン・レジスタ (Boundary Scan register)

バウンダリ・スキャン・レジスタは、 μ PD98412 の外部端子と内部ロジック回路の間にあります。このレジスタが選択されたとき、TAP コントローラの命令によりデータをラッチ、またはロードします。

TAP コントローラが Shift-DR 状態の間、このレジスタが選択されている場合には、JCK 端子に入力されるクロックの立ち下がり、JDO 端子へデータを LSB から出力します。

5.3 端子機能

5.3.1 JCK 端子 (JTAG Clock pin)

JCK 端子は、JTAG バウンダリ・スキャン回路 (バイパス・レジスタやインストラクション・レジスタ TAP コントローラ) へのクロック信号の供給に使用します。このクロック信号は、 μ PD98412 内部のほかの回路へは供給されないように分離しています。

5.3.2 JMS 端子 (JTAG Mode Select pin)

JMS 端子への入力、JCK 端子に入力されるクロックの立ち上がりでラッチされ、TAP コントローラの動作を定義します。

5.3.3 JDI 端子 (JTAG Data Input pin)

JDI 端子は、JTAG バウンダリ・スキャン回路レジスタへデータを入力するための入力端子です。

5.3.4 JDO 端子 (JTAG Data Output pin)

JDO 端子は、JTAG バウンダリ・スキャン回路レジスタからデータを出力するための出力端子です。

JCK 端子に入力されるクロックの立ち下がり、出力を変化させます。また、この出力端子は 3 ステート出力であり、TAP コントローラにより制御されます。

5.3.5 JRST_B 端子 (JTAG Reset pin)

TAP コントローラを非同期的に初期化します。このリセット信号は μ PD98412 を通常の動作モードにし、バウンダリ・レジスタを非動作状態にします。

5.4 動作説明

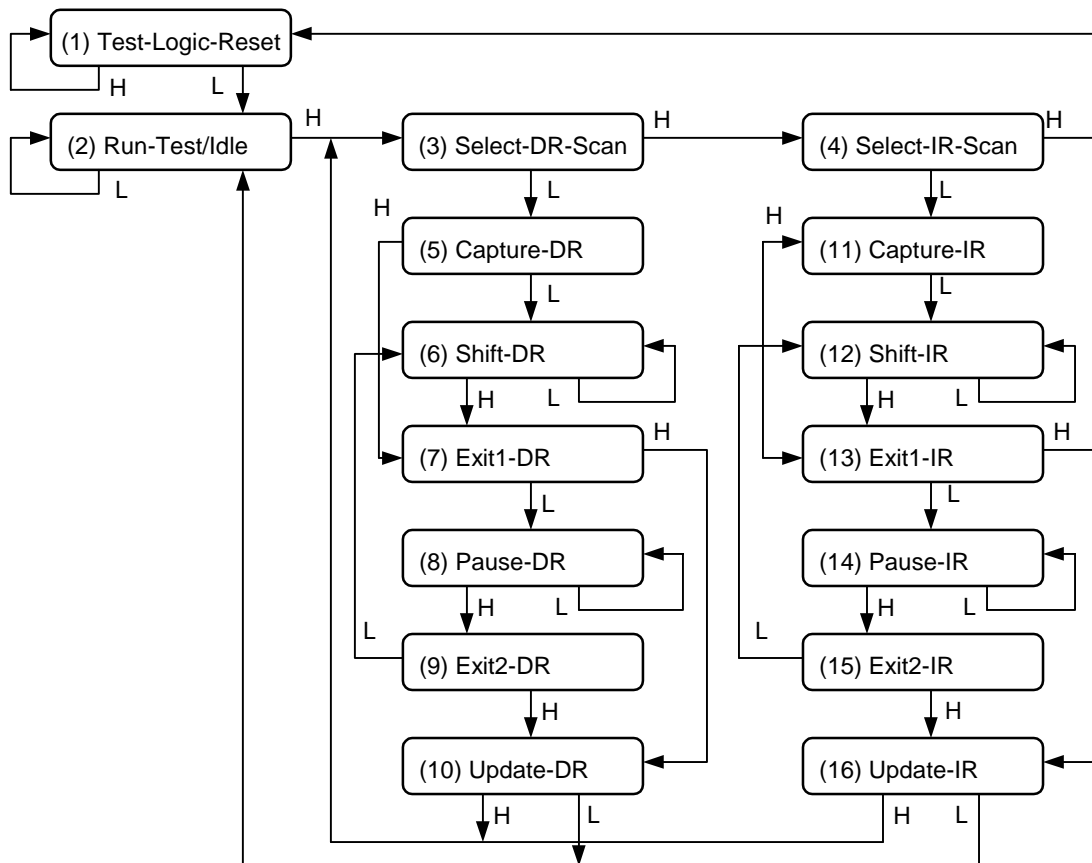
5.4.1 TAP コントローラ

TAP コントローラは、JMS 端子と JCK 端子信号の変化により同期した 16 個の状態をもつ回路です。動作は、IEEE standard 1149.1 で規定されています。

5.4.2 TAP コントローラ状態

TAP コントローラの状態を図 5 - 2 に示します。TAP コントローラのすべての状態の変化は、JCK 端子に入力されるクロックの立ち上がりの JMS 端子信号の状態によって決まります。インストラクション・レジスタ、バウンダリ・スキャン・レジスタとバイパス・レジスタの動作は、JCK 端子に入力されるクロックの立ち上がり / 立ち下がりで変化します (図 5 - 3 参照)。

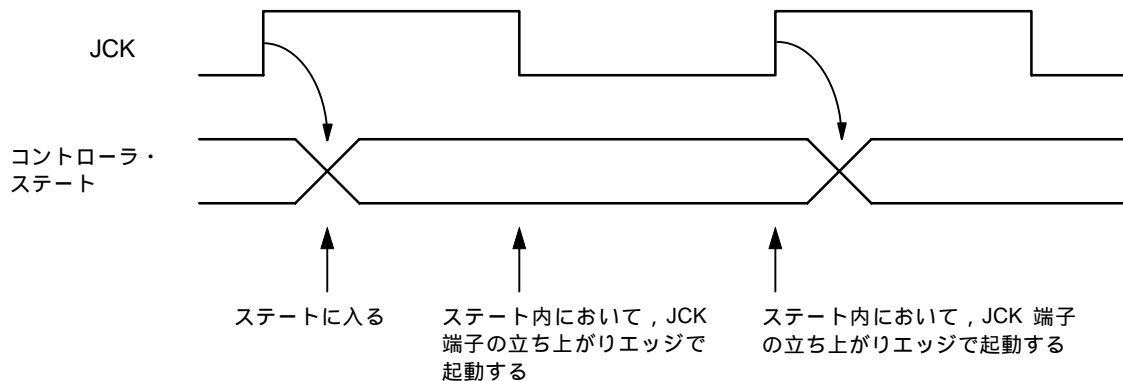
図 5 - 2 TAP コントローラの状態



備考 1 . 図中の遷移を表す矢印の隣に示した “H” と “L” は、JCK 端子に入力されるクロックの立ち上がり時の JMS 端子の状態を示します。

2 . 図中にある () 内の番号は、次に述べる各状態の説明の項目番号です。

図5-3 コントローラ状態での動作タイミング



(1) Test-Logic-Reset

JTAG バウンダリ・スキャン回路は、 μ PD98412 に対して動作しません。したがって、 μ PD98412 のシステム・ロジックには影響しません。これは、イニシャライズ時にバイパス命令がインストラクション・レジスタに格納、実行されているからです。TAP コントローラがどの状態のときでも、JMS 端子信号が少なくとも JCK 端子信号の立ち上がり 5 回分ハイ・レベル状態を保持すれば、Test-Logic-Reset 状態になります。TAP コントローラは、この状態を JMS 端子信号がハイ・レベルの間保持します。

TAP コントローラが Test-Logic-Reset 状態になる必要があるときは、JCK 端子信号の立ち上がりで JMS 端子信号に誤ったロウ・レベル信号が 1 回入力されても（たとえば外部インターフェースの影響）、JMS 端子信号が JCK 端子信号の立ち上がりエッジの 3 回分ハイ・レベル状態を保持すれば、もとの Test-Logic-Reset 状態に戻ります。

上記のエラーによって、テスト・ロジックの動作が μ PD98412 の論理動作を妨げることはありません。

Test-Logic-Reset コントローラ状態を抜けると、TAP コントローラは、Run-Test/Idle コントローラ状態に遷移します。この状態では、バイパス・レジスタの動作によりカレント命令が選択設定されていますので、どのような動作も行いません。また、この JTAG バウンダリ・スキャン回路の論理動作は、Select-DR-Scan 状態と Select-IR-Scan 状態でもインアクティブです。

(2) Run-Test/Idle

スキャン動作間（Select-DR-Scan 状態、Select-IR-Scan 状態）の TAP コントローラ状態です。一度この状態になると、JMS 端子信号がロウ・レベルを保持している間は、TAP コントローラもこの状態を保持します。1 回の JCK 端子信号の立ち上がりエッジで、JMS 端子信号がハイ・レベルを保持すれば、Select-DR-Scan 状態に遷移します。

カレント命令で選択されたすべてのテスト・データ・レジスタ（バウンダリ・レジスタ、バイパス・レジスタ）には、以前の状態が保持されます（Idle）。TAP コントローラがこの状態の間、命令は変化しません。

(3) Select-DR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには、以前の状態が保持されます。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がり時にロウ・レベルが保持されると、TAP コントローラは、Capture-DR 状態に遷移します。また、選択されたレジスタへのスキャン・シーケンスが開始されます。

JCK 端子信号の立ち上がり時にハイ・レベルが保持されると、TAP コントローラは、Select-IR-Scan 状態に遷移します。TAP コントローラがこの状態の間、命令は変化しません。

(4) Select-IR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには、以前の状態が保持されます。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がり時にロウ・レベルが保持されると、TAP コントローラは、Capture-IR 状態に遷移します。また、選択されたレジスタへのスキャン・シーケンスが開始されます。

JCK 端子信号の立ち上がり時に JMS 端子信号がハイ・レベル状態に保持されると、TAP コントローラは、Test-Logic-Reset 状態に戻ります。TAP コントローラがこの状態の間、命令は変化しません。

(5) Capture-DR

コントローラ状態において、データは JCK 端子信号の立ち上がりエッジで、カレント命令により選択されたバウンダリ・スキャン・レジスタにパラレル・ロード（この場合、個々のデバイスの入力端子からそれぞれのバウンダリ・スキャン・レジスタに同時にロードすること）されます。TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号が立ち上がりエッジの場合、TAP コントローラの状態は次のようになります。

- ・ JMS 端子信号がハイ・レベルに保持されたとき：Exit1-DR 状態に遷移
- ・ JMS 端子信号がロウ・レベルに保持されたとき：Shift-DR 状態に遷移

(6) Shift-DR

このコントローラ状態では、カレント命令によって（バウンダリ・スキャン・レジスタ、またはバイパス・レジスタのどちらかで）JDI と JDO の間が接続されます。シフト・データは、JCK 端子信号の立ち上がりエッジごとにシリアル出力方向に一段ずつシフトされます。

カレント命令により選択されたバウンダリ・スキャン・レジスタ、またはバイパス・レジスタは、シリアル・パス上に位置していないとき（Shift-DR 状態でないとき）、前の状態を変化させずに保持します。TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号が立ち上がりエッジの場合、TAP コントローラの状態は次のようになります。

- ・ JMS 端子信号がハイ・レベルに保持されたとき：Exit1-DR 状態に遷移
- ・ JMS 端子信号がロウ・レベルに保持されたとき：Shift-DR 状態のまま

(7) Exit1-DR

一時的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていれば、TAP コントローラは、Update-DR 状態に遷移します。これにより、スキャン・プロセスを終了します。

また、JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていれば、TAP コントローラは、Pause-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間は、命令は変化しません。

(8) Pause-DR

コントローラ状態は、バイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらかで接続している JDI と JDO 間のシフトを一時的に停止させます。カレント命令で選択されたこれらのレジスタは、以前の状態が変化しないで保持されます。

JMS 端子信号がロウ・レベルの間、TAP コントローラをこの状態で保持します。JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されているときは、TAP コントローラは、Exit2-DR 状態に遷移します。TAP コントローラがこの状態の間は、命令は変化しません。

(9) Exit2-DR

一時的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-DR 状態に遷移し、スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Shift-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタのどちらにおいても、以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間は、命令は変化しません。

(10) Update-DR

バウンダリ・スキャン・レジスタは、ある命令（たとえば EXTEST 命令）により、パラレル出力の変化（連結されているシフト・レジスタ・パスにシフトされている期間における）を防ぐためのパラレル出力ラッチを持っています。

Update-DR コントローラ状態において、JCK 端子信号の立ち下がりエッジで、データは、シフト・レジスタ・パスからこのレジスタのパラレル・アウトプットにラッチされます。

ラッチのためパラレル・アウトプットに保持されたデータは、このコントローラの状態により変化します（ほかのコントローラ状態では変化しません）。

カレント命令によって選択されたバウンダリ・スキャン・レジスタにおけるすべてのシフト・レジスタの過程は、変化のない以前の状態が保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Select-DR-Scan 状態に遷移します。

また、JCK 端子信号の立ち上がりエッジでロウ・レベルが保持されると、TAP コントローラは、Run-Test/Idle 状態に遷移します。

(11) Capture-IR

このコントローラ状態において、JCK 端子信号の立ち上がりエッジで、シフト・レジスタは、インストラクション・レジスタに固定論理値のパターン“01B”をロードします。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それら以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Exit1-IR 状態に遷移します。

また、JCK 端子信号の立ち上がりエッジでロウ・レベルが保持されると、TAP コントローラは、Shift-IR 状態に遷移します。

(12) Shift-IR

このコントローラ状態において、インストラクション・レジスタ内のシフト・レジスタで JDI と JDO の間が接続されます。シフト・データは、JCK 端子信号の立ち上がりエッジごとにシリアル出力方向に1段シフトされます。

カレント命令によって選択されるバウンダリ・スキャン・レジスタか、バイパス・レジスタは、変化のないそれらの以前の状態が保持されます。

TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態において JCK 端子信号が立ち上がりエッジで、TAP コントローラは、JMS 端子信号がハイ・レベルに保持されていると、Exit1-IR 状態になります。また、JMS 端子信号がロウ・レベルに保持されていると、Shift-IR 状態のままです。

(13) Exit1-IR

一般的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-IR 状態に遷移します。これにより、スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Pause-IR に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

(14) Pause-IR

このコントローラ状態は、インストラクション・レジスタのシフトを一時的に停止させます。カレント命令で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタは、以前の状態が変化しないで保持されます。

TAP コントローラがこの状態の間、命令は変化しません。また、インストラクション・レジスタはその状態を保持します。

JMS 端子信号がロウ・レベルの間、TAP コントローラをこの状態で保持します。JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されているときは、TAP コントローラは、Exit2-IR 状態に遷移します。

(15) Exit2-IR

一時的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-IR コントローラ状態に遷移します。これにより、スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Shift-IR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態、またはインストラクション・レジスタにその状態が保持されている間は、命令は変化しません。

(16) Update-IR

このコントローラ状態において、インストラクション・レジスタにシフトされた命令は、JCK 端子信号の立ち下がりエッジで、シフト・レジスタ・パスからパラレル・アウトプット上にラッチされません。いったん、新しい命令がラッチされたらカレント命令となります。

カレント命令によって選択されたバイパス・レジスタ、またはバウンダリ・スキャン・レジスタのどちらも、前の状態を保持します。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Select-DR-Scan 状態に遷移します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されると、TAP コントローラは、Run-Test/Idle 状態に遷移します。

(8) の Pause-DR コントローラ状態と、(14) の Pause-IR コントローラ状態は、バイパス・レジスタ、バウンダリ・スキャン・レジスタ、またはインストラクション・レジスタ内のデータのシフトを一時停止します。

5.5 TAP コントローラ動作

TAP コントローラの動作は、次のとおりです。

TAP コントローラは(1)、(2)のどちらかで状態遷移を行います。

- (1) JCK 端子信号の立ち上がりエッジ
- (2) JRST_B 端子入力

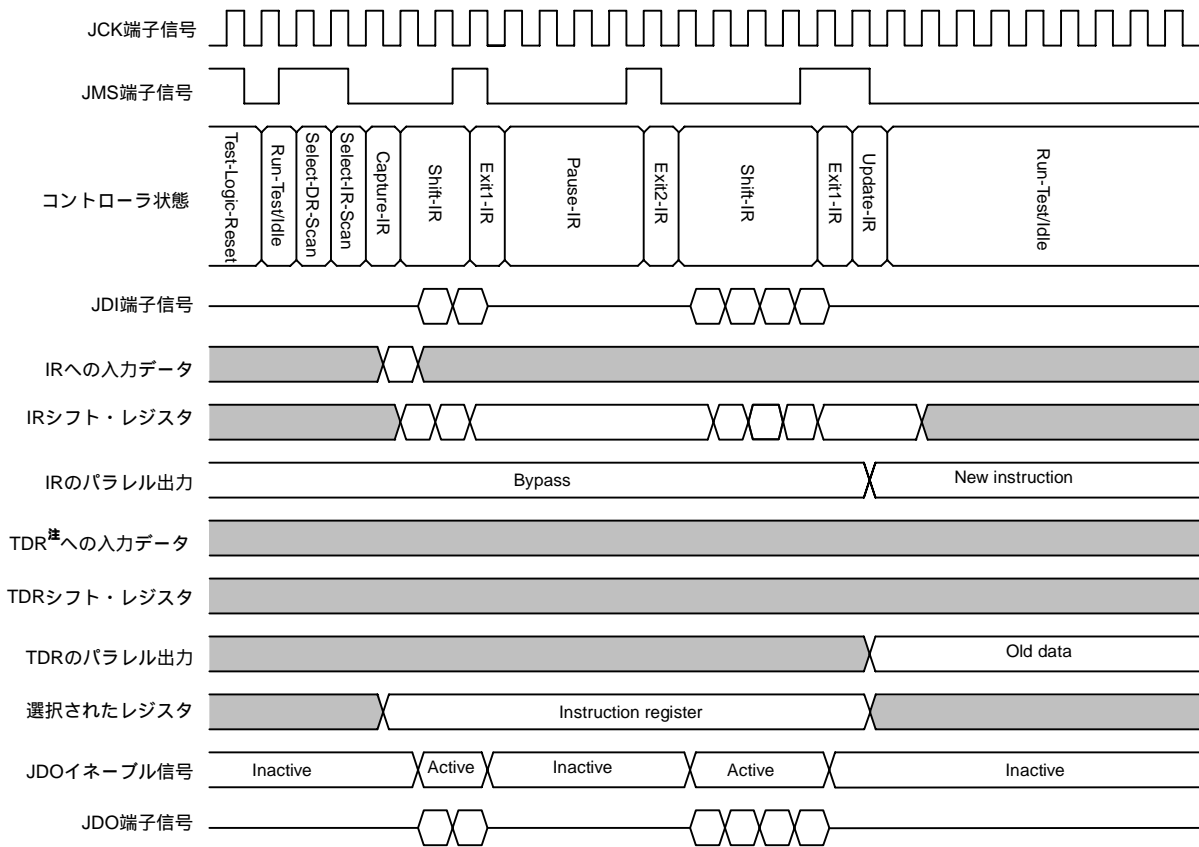
TAP コントローラは、この標準で定義されているバイパス・レジスタ、バウンダリ・スキャン・レジスタ、およびインストラクション・レジスタの動作を制御する信号を生成します(図5-4, 図5-5参照)。

JDO 端子出力バッファと、JDO 端子に出力するレジスタを選択する周辺回路は、表5-1のように制御されています。表5-1において定義される JDO 端子は、その状態に遷移したあと、JCK 端子信号の立ち下がりエッジで変化します。

表5-1 それぞれのコントローラ状態における動作

コントローラ状態	JDO 端子へドライブする選択されたレジスタ	JDO 端子ドライバ
Test-Logic-Reset	未定義	ハイ・インピーダンス
Run-Test/Idle		
Select-DR-Scan		
Select-IR-Scan		
Capture-IR		
Shift-IR	インストラクション・レジスタ	アクティブ
Exit1-IR	未定義	ハイ・インピーダンス
Pause-IR		
Exit2-IR		
Update-IR		
Capture-DR		
Shift-DR	データ・レジスタ(バウンダリ・スキャン・レジスタ, バイパス・レジスタ)	アクティブ
Exit1-DR	未定義	ハイ・インピーダンス
Pause-DR		
Exit2-DR		
Update-DR		

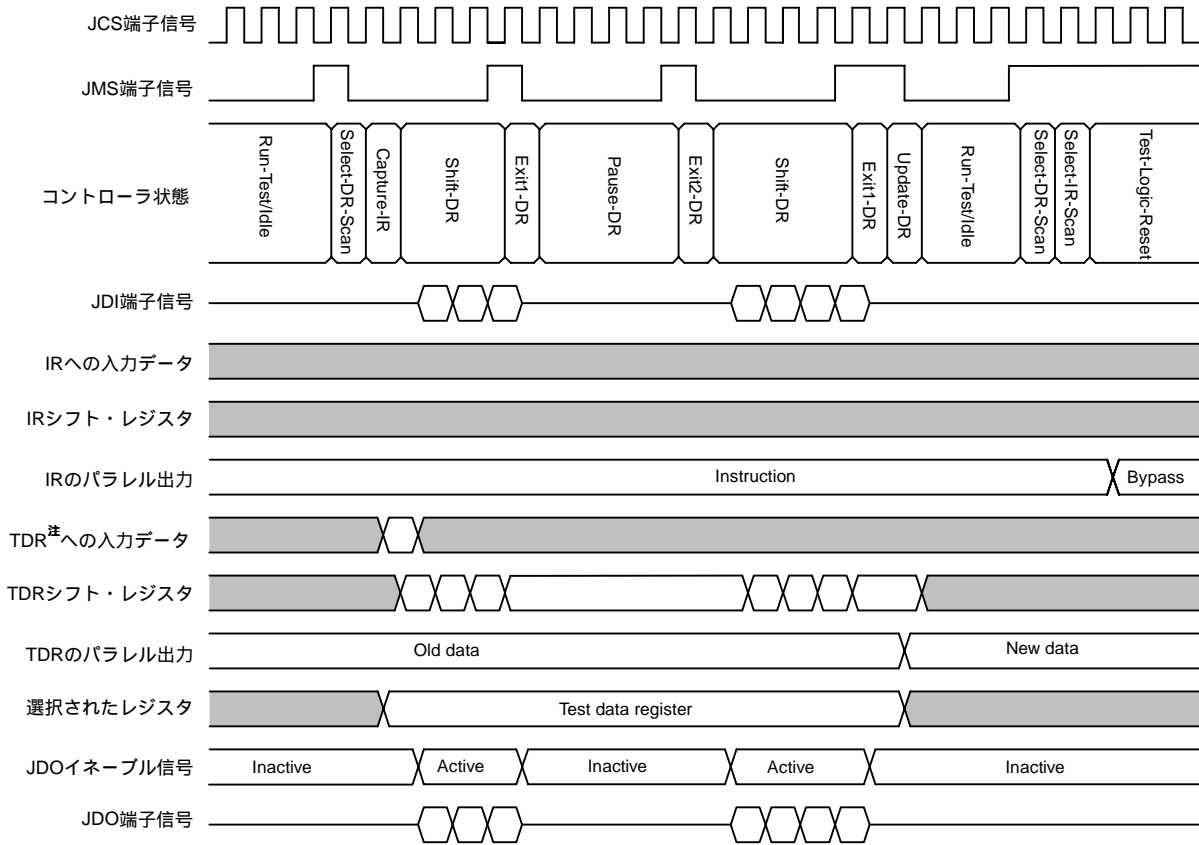
図5-4 テスト・ロジックの動作 (インストラクション・スキャン)



注 TDR (Test Data Register) : バウンダリ・スキャン・レジスタおよびバイパス・レジスタ

備考 : Don't care あるいは未定義

図5-5 テスト・ロジックの動作 (データ・スキャン)



注 TDR (Test Data Register) : バウンダリ・スキャン・レジスタおよびバイパス・レジスタ

備考 : Don't care あるいは未定義

5.6 TAP コントローラの初期化

TAP コントローラの初期化は次のとおりです。

- (1) TAP コントローラは、システム・リセットのようなシステム入力の動作によっても初期化されません。
- (2) TAP コントローラは、JCK 端子信号の立ち上がりエッジ (JMS 端子信号がハイ・レベルを保持) 5 回で、Test-Logic-Reset コントローラ状態に遷移します。
- (3) JRST_B 入力により TAP コントローラは非同期に Test-Logic-Reset 状態になります。

5.7 インストラクション・レジスタ

このレジスタは、次のように定義されます (5.2 バウンダリ・スキャン回路内部構成参照)。

- (1) インストラクション・レジスタにシフト入力された命令は、Update-IR コントローラ状態と、Test-Logic-Reset コントローラ状態でのみ変化するようにラッチされます。
- (2) インストラクション・レジスタのシリアル入力と、シリアル出力間のデータの反転はありません。
- (3) Capture-IR コントローラ状態において、このレジスタ・セルは、固定された 2 進の “ 01 ” パターン・データ (LSB (Least Significant Bit) が “ 1 ”) がロードされます。
- (4) Test-Logic-Reset コントローラ状態の間、このレジスタは、固定された 2 進の “ 01 ” パターン・データ (LSB が “ 1 ”) がセットされます。
- (5) このレジスタが読み出されているとき、JCK 端子信号の立ち下がりエッジごとに LSB を先頭にして MSB まで、JDO 端子からデータが出力されます。

μ PD98412 におけるこの JTAG バウンダリ・スキャン回路は、このインストラクション・レジスタに指定されたデータの設定によって、次に示す 3 つの命令のみをサポートすることができます。

BYPASS 命令

EXTEST 命令

SAMPLE / PRELOAD 命令

x : 0 or 1

インストラクション・レジスタ			サポートする命令
D2	D1	D0	
0	0	0	EXTEST 命令
1	0	0	未使用
x	0	1	未使用
x	1	0	未使用
0	1	1	SAMPLE / PRELOAD 命令
1	1	1	BYPASS 命令

5.7.1 BYPASS 命令

この命令は、インストラクション・データ“11”で指定されます。Shift-DR コントローラ状態において、この命令は、バイパス・レジスタ（JDI 端子と JDO 端子の間をシリアル・アクセスするためのもの）のみを選択するために使用されます。この命令が選択されているとき、JTAG バウンダリ・スキャン回路の動作は μ PD98412 の動作に影響しません。

Test-Logic-Reset コントローラ状態の間、このバイパス命令が選択されます。

5.7.2 EXTEST 命令

インストラクション・データ“00”で指定されます。Shift-DR コントローラ状態において、JDI 端子と JDO 端子の間のシリアル・アクセスのバウンダリ・スキャン・レジスタを選択するために使用されます。

・この命令が選択されているとき：

システム出力端子からドライブされるすべての信号の状態は、バウンダリ・スキャン・レジスタにシフトされているデータによって完全に定義されます。また、Update-DR コントローラ状態において、JCK 端子信号の立ち下がりエッジでのみ変化します。

システム入力端子から入力されるすべての信号の状態は、Capture-DR コントローラ状態において、JCK 端子信号の立ち上がりエッジでバウンダリ・スキャン・レジスタにロードされます。

5.7.3 SAMPLE / PRELOAD 命令

この命令は、デバイスおよび外部ロジックに影響を与えることなく、デバイスの入出力データをサンプリングしたり、セットしたりするためのものです。TAP コントローラのステートによって、SAMPLE 機能として働くか、PRELOAD 機能として働くかが決定します。ノーマル動作時に SAMPLE 機能を使用すると、テスト時点でのデバイス各端子の入出力データの状態をバウンダリ・スキャン・レジスタにラッチすることができます。PRELOAD 機能は、EXTEST 命令などの実行に先立って、使用するテスト・データをあらかじめセットしておくためのものです。

5.8 バウンダリ・スキャン・データ・ビット定義

お客様のご要求により、 μ PD98412 の BSDL (Boundary Scan Description Language) ファイルを提出させていただきます。巻末に示したお問い合わせ先の NEC 半導体テクニカルホットラインにお問い合わせください。

[メ モ]

第6章 設定例と動作例

ここでは、 μ PD98412 の具体的な設定例、および μ PD98412 動作例について示します。

6.1 コネクション設定手順例

コネクションの新規設定、更新、削除の方法を説明します。 μ PD98412 の動作中は、これらの手順に従ってください。

6.1.1 シングルキャスト・コネクション

<新規設定と更新の手順>

- (1) VCI = 入力セルの VCI によって参照される HTT Area-A を設定します。
- (2) VCI = 20h または VCI = SMA フィールド設定値によって参照される HTT Area-A を設定します。

<削除手順>

- VC コネクション時
 - (1) VCI = 入力セルの VCI によって参照される HTT Area-A の CEN フィールドに 0 を書き込みます。

- VP コネクション時
 - (1) VCI = 20h または VCI = SMA フィールド設定値によって参照される HTT Area-A の CEN フィールドに 0 を書き込みます。

補 足

シングルキャスト・コネクションのためには、HTT Area-A のみを設定します。HTT Area-A が更新されたあとに入力されるセルは、更新された設定に従います。シングルキャスト・コネクションでは、HTT Area-A がセル入力時に参照されるため、HTT Area-A が更新される前にキューイングされたセルは、更新前の設定に従って出力されます。

6.1.2 マルチキャスト・コネクション

マルチキャスト・コネクションのためには、HTT Area-A と HTT Area-B の両方を設定する必要があります。このため、新規設定、更新、削除のために次に示す手順を守る必要があります。ここでは、最初に基本手順を説明し、次に新規設定、更新、削除の個々の手順を説明します。

<基本手順>

- (1) マルチキャスト滞留セルのモニタ機能を使って、滞留セルがないことを確認します。
滞留セルがあるときは、該当 HTT Area-B がすでに使われていることを意味します。この場合、滞留セルがなくなるまで待つか、別の HTT Area-B を使います。
- (2) HTT Area-B の更新
ステップ(1)で検査された HTT Area-B に、出力セルへ付加されるヘッダ情報(OVPC)と、同報先(MB)を設定します。
- (3) HTT Area-A の更新
シングルキャスト・コネクションと同じ手順に従って HTT Area-A を設定し、マルチキャスト・コネクションを有効にします。

マルチキャスト・コネクションでは、次のタイミングで HTT Area-B が参照されます。

- リキューイング(マルチキャスト・キューから出力キューへのセル移動)
- 出力キューからのセル出力

滞留セルがあるときに、HTT Area-B を再設定すると、滞留セルの出力先は保証されません。

次に、コネクションの新規設定、更新、削除の手順を個々に示します。

<新規設定手順>

- (1) マルチキャスト滞留セルのモニタ機能を使って、滞留セルがないことを確認します。
滞留セルがあるときは、該当 HTT Area-B が別のコネクションによって参照されていることを意味します。この場合、滞留セルがなくなるまで待つか、別の HTT Area-B を使います。
- (2) HTT Area-B の設定
HTT Area-B の OVPC と MB を設定します。
- (3) HTT Area-A の設定
HTT Area-A を設定し、マルチキャスト・コネクションを有効にします。

更新手順は、2通りの方法があります。

<更新手順1> マルチキャスト・コネクションをいったん無効にする方法

この手順は、コネクションの削除と新規設定の組み合わせです。

- (1) マルチキャスト・コネクションを無効にするために HTTP Area-A の CEN フィールドを 0 に再設定します。
- (2) マルチキャスト滞留セル・モニタ機能を使って滞留セルがないことを確認します。
滞留セルがある場合、HTTP Area-B の更新はできません。滞留セルがなくなるまで待ってください。
- (3) HTTP Area-B の OVPC と MB の更新
- (4) HTTP Area-A の CEN フィールドに 1 を設定し、マルチキャスト・コネクションを再び有効にします。

<更新手順2> マルチキャスト・コネクションが有効のまま更新する方法

HTTP Area-B を 2 個使用し、次の手順で切り替えます。

- (1) マルチキャスト滞留セル・モニタ機能を使って、ほかのコネクションによって使われていない HTTP Area-B を見つけ、確保します。
マルチキャスト滞留セルがある場合、ほかのコネクションによって該当 HTTP Area-B が使われていることを意味しています。この場合、滞留セルがなくなるまで待つか、別の HTTP Area-B を使ってください。
- (2) HTTP Area-B の設定
ステップ(1)で使用可能と確認された HTTP Area-B へ新しい設定を書き込みます。
- (3) HTTP Area-A のマルチキャスト・ビット・マップ・ポイントを更新します。
新しく設定された HTTP Area-B が参照されるように、MBP の値を更新します。新しく入力されるセルは、更新された設定に従います。MBP が更新される前にキューイングされたセルは、以前の MBP によって設定された HTTP Area-B の設定に従って出力されます。このため、更新前の HTTP Area-B を再利用するためには、ステップ(4)に従う必要があります。
- (4) マルチキャスト滞留セル・モニタ機能を使って HTTP Area-A の以前の設定を参照しているセルがないことを確認します。
滞留セルがない場合は、以前の HTTP Area-B の再利用が可能です。

<削除手順>

- (1) HTTP Area-A の CEN フィールドを 0 に設定し、マルチキャスト・コネクションを無効にします。
- (2) マルチキャスト滞留セル・モニタ機能を使って、滞留セルがないことを確認します。

6.2 ポーリング順序例

[例 1] 2-group weighted polling mode

[設 定]

Entries in Utopia Configuration 0 (UTPCFG0) Register:

EN = 1 (UTOPIA Interface enable)
 BW = 1 (UTOPIA Interface 16-bit)
 PM = 01 (2-group weighted polling)
 UH = 1 (X15 handshake mode)
 NPC0 = 0011 (3 PHYs in class 0)
 NPC1 = 0100 (4 PHYs in class 1)
 NPC2 = 0101 (5 PHYs in class 2)

Entries in Port Configuration (PT) Registers:

PT 0:	UPN = 00 (UTOPIA16#0) PHY[4] = 0 (Group A)	EN = 1 (Port Enable), SG = 0 (Multi-PHY), RP = 1 (Continuous Output Enable), PHY[3:0] = 0000 (PHY address 0h)
PT 1:	UPN = 00 PHY[4] = 0 (Group A)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0010 (PHY address 2h)
PT 2:	UPN = 00 PHY[4] = 0 (Group A)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0100 (PHY address 4h)
PT 3:	UPN = 00 PHY[4] = 0 (Group A)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0111 (PHY address 7h)
PT 10:	UPN = 00 PHY[4] = 1 (Group B)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0010 (PHY address 2h)
PT 11:	UPN = 00 PHY[4] = 1 (Group B)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0011 (PHY address 3h)
PT 20:	UPN = 00 PHY[4] = 1 (Group B)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0101 (PHY address 5h)
PT 21:	UPN = 00 PHY[4] = 1 (Group B)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0111 (PHY address 7h)
PT 22:	UPN = 00 PHY[4] = 1 (Group B)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 1000 (PHY address 8h)
For all other PTxx Register:	EN = 0 (disabled)	

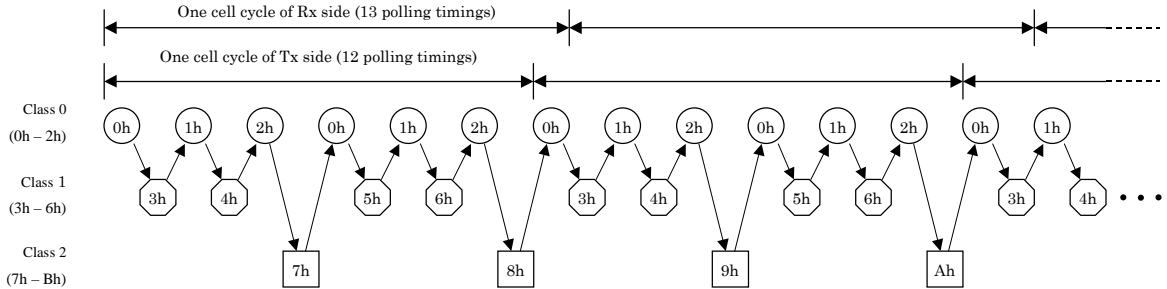
[動作]

PHY アドレスと論理ポートは次に示す表のようにポーリング・クラスへ割り当てられます。

Polling Class		PHY address	Logical port (PTxx)
Class 0	Group A	0h 1h 2h	0 1
	Group B	0h 1h 2h	10
Class 1	Group A	3h 4h 5h 6h	2
	Group B	3h 4h 5h 6h	11 20
Class 2	Group A	7h 8h 9h Ah Bh	3
	Group B	7h 8h 9h Ah Bh	21 22
No assign	Group A	Ch Dh Eh	none
	Group B	Ch Dh Eh	none

ポーリング・アドレスの順序は、次のように、ポーリング・クラスと PHY アドレスの関係から決められます。

Case of “NPC0=3, NPC1=4, NPC=5”



備考 どのポーリング・クラスにも属していない PHY アドレスは、この順序に現れません。

上図のポーリング・アドレスは、SA (Selection Address), RPA (Receiving Polling Address) / TPA (Transmitting Polling Address) タイミングを除いたすべてのタイミングで, RxADDR/TxADDR へ出力されます。しかし, PHY アドレスがポーリング・クラスに割り当てられているにもかかわらず, PT レジスタに設定されていない PHY アドレスは, Fh でマスクされます。

したがって、セル転送中の RxADDR/TxADDR の PHY アドレス順序は、次のようになります。

Rx Group A	0h - Fh - Fh - 4h - 2h - 7h - 0h - Fh - Fh - Fh - 2h - Fh - 0h	- PRA - SA
Rx Group B	Fh - 3h - Fh - Fh - 2h - 7h - Fh - 5h - Fh - Fh - 2h - 8h - Fh	- PRA - SA
Tx Group A	0h - Fh - Fh - 4h - 2h - 7h - 0h - Fh - Fh - Fh - 2h - Fh	TPA - SA
Tx Group B	Fh - 3h - Fh - Fh - 2h - 7h - Fh - 5h - Fh - Fh - 2h - 8h	TPA - SA

[例 2] 2-group weighted polling mode

[設 定]

Entries in Utopia Configuration 0 (UTPCFG0) Register:

EN = 1 (UTOPIA Interface enable)
 BW = 1 (UTOPIA Interface 16-bit)
 PM = 01 (2-group weighted polling)
 UH = 1 (X15 handshake mode)
 NPC0 = 0011 (3 PHYs in class 0)
 NPC1 = 0101 (5 PHYs in class 1)
 NPC2 = 0000 (0 PHYs in class 2)

Entries in Port Configuration (PT) Registers: (例 1 と同じ設定)

PT 0:	UPN = 00 PHY[4] = 0 (Group A)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0000 (PHY address 0h)
PT 1:	UPN = 00 PHY[4] = 0 (Group A)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0010 (PHY address 2h)
PT 2:	UPN = 00 PHY[4] = 0 (Group A)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0100 (PHY address 4h)
PT 3:	UPN = 00 PHY[4] = 0 (Group A)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0111 (PHY address 7h)
PT 10:	UPN = 00 PHY[4] = 1 (Group B)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0010 (PHY address 2h)
PT 11:	UPN = 00 PHY[4] = 1 (Group B)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0011 (PHY address 3h)
PT 20:	UPN = 00 PHY[4] = 1 (Group B)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0101 (PHY address 5h)
PT 21:	UPN = 00 PHY[4] = 1 (Group B)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0111 (PHY address 7h)
PT 22:	UPN = 00 PHY[4] = 1 (Group B)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 1000 (PHY address 8h)

For all other PTxx Register: EN = 0 (disabled)

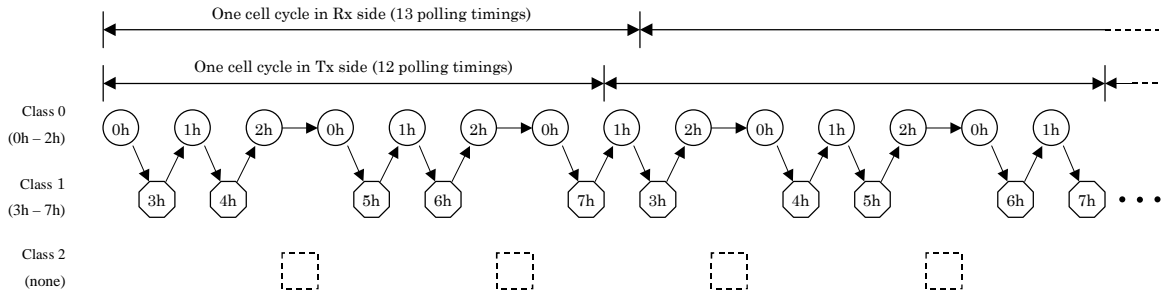
[動作]

PHY アドレスと論理ポートは次に示す表のようにポーリング・クラスへ割り当てられます。

Polling Class		PHY address	Logical port (PTxx)
Class 0	Group A	0h 1h 2h	0 1
	Group B	0h 1h 2h	10
Class 1	Group A	3h 4h 5h 6h 7h	2 3
	Group B	3h 4h 5h 6h 7h	11 20 21
Class 2	Group A	none	none
	Group B	none	none
No assign	Group A	8h 9h Ah Bh Ch Dh Eh	none
	Group B	8h 9h Ah Bh Ch Dh Eh	22

ポーリング・アドレスの順序は、次のように、ポーリング・クラスと PHY アドレスの関係から決められます。

Case of “NPC0=3, NPC1=5, NPC=0”



備考 どのポーリング・クラスにも属していない PHY アドレスは、この順序に現れません。

セル転送中の RxADDR/TxADDR の PHY アドレス順序は、次のようになります。

Rx Group A 0h - Fh - Fh - 4h - 2h - 0h - Fh - Fh - Fh - 2h - 0h - 7h - Fh - PRA - SA

Rx Group B Fh - 3h - Fh - Fh - 2h - Fh - 5h - Fh - Fh - 2h - Fh - 7h - Fh - PRA - SA

Tx Group A 0h - Fh - Fh - 4h - 2h - 0h - Fh - Fh - Fh - 2h - 0h - 7h - TPA - SA

Tx Group B Fh - 3h - Fh - Fh - 2h - Fh - 5h - Fh - Fh - 2h - Fh - 7h - TPA - SA

[例 3] 2-group weighted polling mode**[設 定]**

Entries in Utopia Configuration 0 (UTPCFG0) Register:

EN = 1 (UTOPIA Interface enable)
 BW = 1 (UTOPIA Interface 16-bit)
 PM = 01 (2-group weighted polling)
 UH = 1 (X15 handshake mode)
 NPC0 = 0100 (4 PHYs in class 0)
 NPC1 = 0000 (0 PHYs in class 1)
 NPC2 = 0010 (2 PHYs in class 2)

Entries in Port Configuration (PT) Registers:

PT 0:	UPN = 00 PHY[4] = 0 (Group A)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0001 (PHY address 1h)
PT 1:	UPN = 00 PHY[4] = 0 (Group A)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0010 (PHY address 2h)
PT 2:	UPN = 00 PHY[4] = 0 (Group A)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0011 (PHY address 3h)
PT 3:	UPN = 00 PHY[4] = 0 (Group A)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0100 (PHY address 4h)
PT 10:	UPN = 00 PHY[4] = 1 (Group B)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 1011 (PHY address Bh)
PT 11:	UPN = 00 PHY[4] = 1 (Group B)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 1100 (PHY address Ch)
PT 20:	UPN = 00 PHY[4] = 0 (Group A)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0110 (PHY address 6h)
PT 21:	UPN = 00 PHY[4] = 0 (Group A)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 0111 (PHY address 7h)
PT 22:	UPN = 00 PHY[4] = 1 (Group B)	EN = 1, SG = 0, RP = 1, PHY[3:0] = 1101 (PHY address Dh)

For all other PTxx Register: EN = 0 (disabled)

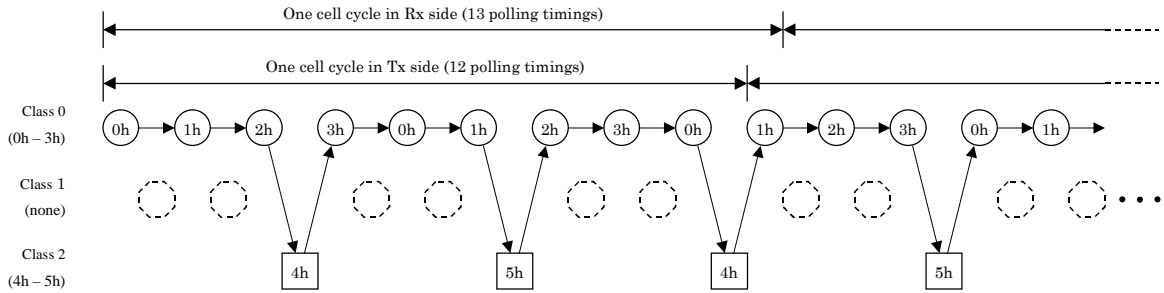
[動作]

PHY アドレスと論理ポートは次に示す表のようにポーリング・クラスへ割り当てられます。

Polling Class		PHY address	Logical port (PTxx)
Class 0	Group A	0h 1h 2h 3h	0 1 2
	Group B	0h 1h 2h 3h	none
Class 1	Group A	none	none
	Group B	none	none
Class 2	Group A	4h 5h	3
	Group B	4h 5h	none
No assign	Group A	6h 7h 8h 9h Ah Bh Ch Dh Eh	20 21
	Group B	6h 7h 8h 9h Ah Bh Ch Dh Eh	10 11 22

ポーリング・アドレスの順序は、次のように、ポーリング・クラスと PHY アドレスの関係から決められます。

Case of “NPC0=4, NPC1=0, NPC=2”



備考 どのポーリング・クラスにも属していない PHY アドレスは、この順序に現れません。

セル転送中の RxADDR/TxADDR の PHY アドレス順序は、次のようになります。

- Rx Group A Fh- 1h- 2h- 4h- 3h- Fh- 1h- Fh- 2h- 3h- Fh- 4h- 1h - PRA- SA
- Rx Group B Fh- Fh- Fh- Fh- Fh- Fh- Fh- Fh- Fh- Fh- Fh- Fh - PRA- SA
- Tx Group A Fh- 1h- 2h- 4h- 3h- Fh- 1h- Fh- 2h- 3h- Fh- 4h- TPA- SA
- Tx Group B Fh- Fh- Fh- Fh- Fh- Fh- Fh- Fh- Fh- Fh- Fh- TPA- SA

[例 4] 1-group weighted polling mode**[設 定]**

Entries in Utopia Configuration 0 (UTPCFG0) Register:

EN = 1 (UTOPIA Interface enable)
 BW = 1 (UTOPIA Interface 16-bit)
 PM = 10 (1-group weighted polling)
 UH = 1 (X15 handshake mode)
 NPC0 = 00100 (4 PHYs in class0)
 NPC1 = 01000 (8 PHYs in class1)
 NPC2 = 01100 (12 PHYs in class 2)

Entries in Port Configuration (PT) Registers:

PT 0: UPN = 00 EN = 1, SG = 0, RP = 1,
 PHY[4-0] = 00001 (PHY address 01h)
 PT 1: UPN = 00 EN = 1, SG = 0, RP = 1,
 PHY[4-0] = 00010 (PHY address 02h)
 PT 2: UPN = 00 EN = 1, SG = 0, RP = 1,
 PHY[4-0] = 00011 (PHY address 03h)
 PT 3: UPN = 00 EN = 1, SG = 0, RP = 1,
 PHY[4-0] = 00100 (PHY address 04h)
 PT 10: UPN = 00 EN = 1, SG = 0, RP = 1,
 PHY[4-0] = 01011 (PHY address 0Bh)
 PT 11: UPN = 00 EN = 1, SG = 0, RP = 1,
 PHY[4-0] = 01100 (PHY address 0Ch)
 PT 20: UPN = 00 EN = 1, SG = 0, RP = 1,
 PHY[4-0] = 00110 (PHY address 06h)
 PT 21: UPN = 00 EN = 1, SG = 0, RP = 1,
 PHY[4-0] = 00111 (PHY address 07h)
 PT 22: UPN = 00 EN = 1, SG = 0, RP = 1,
 PHY[4-0] = 01101 (PHY address 0Dh)

For all other PTxx: EN = 0 (disabled)

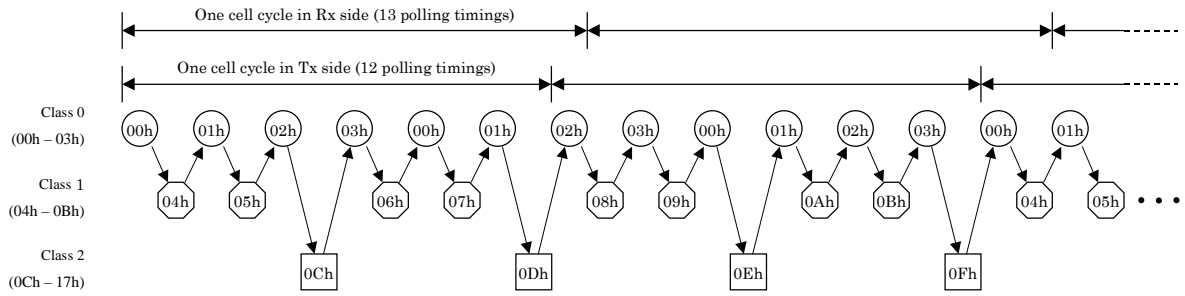
[動 作]

PHY アドレスと論理ポートは次に示す表のようにポーリング・クラスへ割り当てられます。

Polling Class	PHY address	Logical port (PTxx)
Class 0	00h 01h 02h 03h	0 1 2
Class 1	04h 05h 06h 07h 08h 09h 0Ah 0Bh	3 10 20 21
Class 2	0Ch 0Dh 0Eh 0Fh 10h 11h 12h 13h 14h 15h 16h 17h	11 22
No assign	18h 19h 1Ah 1Bh 1Ch 1Dh	none

ポーリング・アドレスの順序は、次のように、ポーリング・クラスと PHY アドレスの関係から決められます。

Case of "NPC0=4, NPC1=8, NPC=12"



備考 どのポーリング・クラスにも属していない PHY アドレスは、この順序に現れません。

セル転送中の RxADDR/TxADDR の PHY アドレス順序は、次のようになります。

Rx 1Fh- 04h- 01h- 1Fh- 02h- 0Ch- 03h- 06h- 1Fh- 07h- 01h- 0Dh- 02h - RPA - SA

Tx 1Fh- 04h- 01h- 1Fh- 02h- 0Ch- 03h- 06h- 1Fh- 07h- 01h- 0Dh- TPA - SA

6.3 特殊ルーティング補足

6.3.1 特殊ルーティング機能

特殊ルーティングでは、次の 3 つの機能が可能になります。

- (機能 1) 通常ルーティング内の特定セルを、マイクロプロセッサ接続ポートへ出力する機能
- (機能 2) マイクロプロセッサ接続ポートへ出力されるセルへ論理入力ポート番号を付加する機能
- (機能 3) マイクロプロセッサ接続ポートから入力されるセルのルーティングに対して、仮想論理入力ポート番号を使う機能

次に、これらの機能について詳細を説明します。

機能 1 通常ルーティング内の特定セルを、マイクロプロセッサ接続ポートへ出力する機能

(a) シングルキャスト・コネクション

入力セルが設定された条件を満たす場合に、マイクロプロセッサ接続ポートに出力されます。

(b) マルチキャスト・コネクション

入力セルが設定された条件を満たす場合に、マイクロプロセッサ接続ポートだけに出力されます。ほかの同報先へセルは出力されません。

[特殊ルーティングで、サポートされる特定セルの条件]

(a) セルが非マイクロプロセッサ接続ポートから入力される場合

- Pre-defined Channel のとき

HTT Area-A で SRM = 1 に設定されているコネクションに属するセル

- User Channel のとき

PT フィルタ (SRFLT レジスタの PTF フィールド) の値と一致する PTI を持つセル

ただし、コネクションは VC コネクション (HTT Area-A の SM ビットが 0) に設定されていなければなりません。

なお、VP コネクションのセルは、特殊ルーティングで、サポートされません。

(b) セルがマイクロプロセッサ接続ポートから入力される場合

特殊ルーティングで、サポートされません。

[マイクロプロセッサ接続ポート]

マイクロプロセッサ接続ポートは、SRLP レジスタの LPN フィールドによって設定された論理ポートを意味します。

[PT フィルタ]

PT フィルタの値は、SRFLT レジスタに設定できます。

PT フィルタでは、次に示す値が、特殊ルーティングによってサポートされる PTI フィールドとして設定できます。

PTI = 111

PTI = 110

PTI = 101

PTI = 100

[出力セルの VPI と VCI]

セルが、特殊ルーティングによってマイクロプロセッサ接続ポートへ出力される場合、その出力セルは、入力 VPI と VCI の値を保持しています。

[EFCI マーキング]

マイクロプロセッサ接続ポートのキュー長が EFCI しきい値を越えている場合、特殊ルーティングは、次のようにセルの PTI フィールドを処理します。

(a) MODE0 レジスタの EF ビットが 0 の場合

VC/VP コネクションのセル: EFCI マーキングを行う

PTI = 000 → 010

PTI = 001 → 011

(b) MODE0 レジスタの EF ビットが 1 の場合

VC コネクションのセル: EFCI マーキングを行う

PTI = 000 → 010

PTI = 001 → 011

VP コネクションのセル: EFCI マーキングを行わない

[RM セルの CI/NI マーキング]

RM セルが、特殊ルーティングによってマイクロプロセッサ接続ポートへ出力される場合、CI/NI マーキングは行われません。

[RM セルのマージ]

RM セルが、特殊ルーティングによってマイクロプロセッサ接続ポートへ出力される場合、RM セル・マージは行われません。

[CLP]

セルが、特殊ルーティングによってマイクロプロセッサ接続ポートへ出力される場合、入力セルの CLP は、変更されません。

[セル廃棄のしきい値]

セルが、マイクロプロセッサ接続ポートへ出力される場合、マイクロプロセッサ接続ポートのしきい値が使われます。

機能2 マイクロプロセッサ接続ポートへ出力されるセルへ論理入力ポート番号を付加する機能

特殊ルーティングだけでなく、通常ルーティングでも、マイクロプロセッサ接続ポートへセルを出力することができます。

(a) SRLP レジスタの IA ビットが 0 の場合

特殊ルーティングおよび通常ルーティングによってマイクロプロセッサ接続ポートへ出力されるセルに論理入力ポート番号を付加します。

(b) SRLP レジスタの IA ビットが 1 の場合

特殊ルーティングによってマイクロプロセッサ接続ポートへ出力されるセルに論理入力ポート番号を付加します。

[論理入力ポート番号の位置]

付加される論理入力ポート番号の位置は、SRLP レジスタの ILPNP フィールドで設定できます。

論理入力ポートの位置

VPI [11:7] (NNI の場合)

VPI [7:3] (UNI の場合)

VCI [15:11]

UDF [4:0] (8-bit UTOPIA I/F の場合)

UDF1 [4:0] (16-bit UTPOIA I/F の場合)

UDF2 [4:0] (16-bit UTOPIA I/F の場合)

論理入力ポート番号を付加しない設定も可能です。

備考 UDF (User Defined Field) , UDF1 , UDF2 とは、次のフィールドを示します。

- 16-bit UTOPIA Interface

Bit15	Bit0
Header1	Header2
Header3	Header4
UDF1	UDF2
Payload1	Payload2
:	:
Payload47	Payload48

- 8-bit UTOPIA Interface

Bit8	E
Header1	
Header2	
Header3	
Header4	
UDF	
Payload1	
:	
Payload48	

機能3 マイクロプロセッサ接続ポートから入力されるセルのルーティングに対して、仮想論理入力ポート番号を使う機能

HTT をアクセスする際に、仮想論理入力ポート番号を使用して HTT のアドレス計算を行います。

(a) SRLP レジスタの VA ビットが 0 の場合

マイクロプロセッサ接続ポートから入力されるセルすべてに、仮想論理入力ポート番号を使います。

(b) SRLP レジスタの VA ビットが 1 の場合

マイクロプロセッサ接続ポートから入力されるセルで、PTFLT レジスタによって定義された PTI フィールドを持つセルだけに、仮想論理入力ポート番号を使います。

[仮想論理入力ポート番号の位置]

仮想論理入力ポート番号が得られる位置は、SRLP レジスタの VLPNP フィールドで設定できます。

仮想論理入力ポートの位置

VPI [11:7]	(NNI の場合)
VPI [7:3]	(UNI の場合)
VCI [15:11]	
UDF [4:0]	(8-bit UTOPIA I/F の場合)
UDF1 [4:0]	(16-bit UTPOIA I/F の場合)
UDF2 [4:0]	(16-bit UTOPIA I/F の場合)

仮想論理入力ポート番号を使わない設定も可能です。この場合、マイクロプロセッサ接続ポート番号を使って HTT をアクセスします。

6.3.2 ルーティング例**(1) シングルキャスト , および非マイクロプロセッサ接続ポートからセル入力する場合****基本設定 1**

レジスタ

```

MODE0 EF=1
MODE1 HMS=00, CMD=00
HT0 NVPC=1010 (10), NVCI=1000 (8), UN=1 (UNI), BASE=0000_0000_00
HT1 NVPC=1010 (10), NVCI=1000 (8), UN=1 (UNI), BASE=0000_0100_00
HT2 NVPC=1010 (10), NVCI=1000 (8), UN=1 (UNI), BASE=0000_1000_00
HT3 NVPC=1010 (10), NVCI=1000 (8), UN=1 (UNI), BASE=0000_1100_00
SRLP EN=1, ILPNP=010 (VCI), VLPNP=010 (VCI), LPN=0_0011 (3), IA=0, VA=0
SRFLT PTF=0010
論理ポート番号 0 のキュー長 < OQthACI (EFCI しきい値)
論理ポート番号 0 のキュー長 < OQthACL (CLP しきい値)
論理ポート番号 1 のキュー長 < OQthACI (EFCI しきい値)
論理ポート番号 1 のキュー長 < OQthACL (CLP しきい値)
論理ポート番号 2 のキュー長 < OQthACI (EFCI しきい値)
論理ポート番号 2 のキュー長 < OQthACL (CLP しきい値)
論理ポート番号 3 のキュー長 < OQthACI (EFCI しきい値)
論理ポート番号 3 のキュー長 < OQthACL (CLP しきい値)

```

(例.1-01)特殊ルーティングの機能なし

Pre-defined channel, SRM=0, 非マイクロプロセッサ接続ポートへ出力

基本設定 1 + 次の設定の場合

```

HTT
// LPN#1, VPI=1, VCI=04h (VP OAM / F4)

```

01410h CEN=1, SC=100 (ABR), SRM=0, CM=0, SPI=0_0010 (2), OVPC=0208h

入力セル: // VP OAM(End-End) / F4 OAM

LPN#1,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0000_0100 (0004h),
PTI=000
CLP=0

出力セル:

LPN#2,
VPI=0000_0000_0010 (002h),
VCI=0000_0000_0000_1000 (0008h),
PTI=000
CLP=0

(例.1-02)特殊ルーティングの機能 2

Pre-defined channel, SRM=0, マイクロプロセッサ接続ポートへの出力

基本設定 1 + 次の設定の場合

HTT

// LPN#1, VPI=1, VCI=04h (VP OAM / F4)

01410h CEN=1, SC=100 (ABR), SRM=0, CM=0, SPI=0_0011 (3), OVPC=0208h

入力セル: // VP OAM(End-End) / F4 OAM

LPN#1,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0000_0100 (0004h),
PTI=000
CLP=0

出力セル:

LPN#3,
VPI=0000_0000_0010 (002h),
VCI=0000_1000_0000_1000 (0808h),
PTI=000
CLP=0

(例.1-03)特殊ルーティングの機能 1 と機能 2

Pre-defined channel, SRM=1, 非マイクロプロセッサ接続ポートへの出力

基本設定 1 + 次の設定の場合

HTT

// LPN#1, VPI=1, VCI=04h (VP OAM / F4)

01410h CEN=1, SC=100 (ABR), SRM=1, CM=0, SPI=0_0010 (2), OVPC=0208h

入力セル: // VP OAM(End-End) / F4 OAM

LPN#1,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0000_0100 (0004h),

```

PTI=000
CLP=0
出力セル:
LPN#3,
VPI=0000_0000_0001 (001h),
VCI=0000_1000_0000_0100 (0804h),
PTI=000
CLP=0

```

(例.1-04)特殊ルーティングの機能 1 と機能 2

Pre-defined channel, SRM=1, マイクロプロセッサ接続ポートへの出力

基本設定 1 + 次の設定の場合

```

HTT
// LPN#1, VPI=1, VCI=04h (VP OAM / F4)
01410h CEN=1, SC=100 (ABR), SRM=1, CM=0, SPI=0_0011 (3), OVPC=0208h

```

入力セル: // VP OAM(End-End) / F4 OAM

```

LPN#1,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0000_0100 (0004h),
PTI=000
CLP=0

```

出力セル:

```

LPN#3,
VPI=0000_0000_0001 (001h),
VCI=0000_1000_0000_0100 (0804h),
PTI=000
CLP=0

```

(例.1-05)特殊ルーティングの機能なし

User channel, SM=1 (VPC), CM=0, 非マイクロプロセッサ接続ポートへの出力

基本設定 1 + 次の設定の場合

```

HTT
// LPN#1, VPI=1, VCI=20h
01480h CEN=1, SC=100 (ABR), SM=1, CM=0, SPI=0_0010 (2), OVPC=0002h

```

入力セル: // VC OAM(End-End) / F5 OAM

```

LPN#1,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0010_0010 (0022h),
PTI=101
CLP=0

```

出力セル:

```

LPN#2,
VPI=0000_0000_0010 (002h),
VCI=0000_0000_0010_0010 (0022h),

```

PTI=101
CLP=0

(例.1-06)特殊ルーティングの機能 2

User channel, SM=1 (VPC), CM=0, マイクロプロセッサ接続ポートへの出力

基本設定 1 + 次の設定の場合

HTT

// LPN#1, VPI=1, VCI=20h

01480h CEN=1, SC=100 (ABR), SM=1, CM=0, SPI=0_0011 (3), OVPC=0002h

入力セル: // VC OAM(End-End) / F5 OAM

LPN#1,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0010_0010 (0022h),
PTI=101
CLP=0

出力セル:

LPN#3,
VPI=0000_0000_0010 (002h),
VCI=0000_1000_0010_0010 (0822h),
PTI=101
CLP=0

(例.1-07)特殊ルーティングの機能なし

User channel, SM=0 (VCC), CM=0, 非マイクロプロセッサ接続ポートへの出力, PTI≠PTF

基本設定 1 + 次の設定の場合

HTT

// LPN#1, VPI=1, VCI=20h

01480h CEN=1, SM=0,

// LPN#1, VPI=1, VCI=22h

01488h CEN=1, SC=100 (ABR), SM=0, CM=0, SPI=0_0010 (2), OVPC=0224h

入力セル: // VC OAM(Segment) / F5 OAM

LPN#1,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0010_0010 (0022h),
PTI=100
CLP=0

出力セル:

LPN#2,
VPI=0000_0000_0010 (002h),
VCI=0000_0000_0010_0100 (0024h),
PTI=100
CLP=0

(例.1-08)特殊ルーティングの機能 1 と機能 2

User channel, SM=0 (VCC), CM=0, 非マイクロプロセッサ接続ポートへの出力, PTI=PTF

基本設定 1 + 次の設定の場合

HTT

// LPN#1, VPI=1, VCI=20h

01480h CEN=1, SM=0,

// LPN#1, VPI=1, VCI=22h

01488h CEN=1, SC=100 (ABR), SM=0, CM=0, SPI=0_0010 (2), OVPC=0224h

入力セル: // VC OAM(End-End) / F5 OAM

LPN#1,

VPI=0000_0000_0001 (001h),

VCI=0000_0000_0010_0010 (0022h),

PTI=101

CLP=0

出力セル:

LPN#3,

VPI=0000_0000_0001 (001h),

VCI=0000_1000_0010_0010 (0822h),

PTI=101

CLP=0

(例.1-09)特殊ルーティングの機能 2

User channel, SM=0 (VCC), CM=0, マイクロプロセッサ接続ポートへの出力, PTI≠PTF

基本設定 1 + 次の設定の場合

HTT

// LPN#1, VPI=1, VCI=20h

01480h CEN=1, SM=0,

// LPN#1, VPI=1, VCI=22h

01488h CEN=1, SC=100 (ABR), SM=0, CM=0, SPI=0_0011 (3), OVPC=0224h

入力セル: // VC OAM(Segment) / F5 OAM

LPN#1,

VPI=0000_0000_0001 (001h),

VCI=0000_0000_0010_0010 (0022h),

PTI=100

CLP=0

出力セル:

LPN#3,

VPI=0000_0000_0010 (002h),

VCI=0000_1000_0010_0100 (0824h),

PTI=100

CLP=0

(例.1-10)特殊ルーティングの機能 1 と機能 2

User channel, SM=0 (VCC), CM=0, マイクロプロセッサ接続ポートへの出力, PTI=PTF

基本設定 1 + 次の設定の場合

HTT

// LPN#1, VPI=1, VCI=20h

01480h CEN=1, SM=0,

// LPN#1, VPI=1, VCI=22h

01488h CEN=1, SC=100 (ABR), SM=0, CM=0, SPI=0_0011 (3), OVPC=0224h

入力セル: // VC OAM(End-End) / F5 OAM

LPN#1,

VPI=0000_0000_0001 (001h),

VCI=0000_0000_0010_0010 (0022h),

PTI=101

CLP=0

出力セル:

LPN#3,

VPI=0000_0000_0001 (001h),

VCI=0000_1000_0010_0010 (0822h),

PTI=101

CLP=0

(2) マルチキャスト, および非マイクロプロセッサ接続ポートからセル入力する場合

(例.2-01)特殊ルーティングの機能なし

Pre-defined channel, SRM=0, 非マイクロプロセッサ接続ポートへの出力

基本設定 1 + 次の設定の場合

HTT

// LPN#1, VPI=1, VCI=04h (VP OAM / F4)

01410h CEN=1, SC=100 (ABR), SRM=0, CM=1, MBP=000h

// MBP=0

10000h OVPC for LPN0 = 0207h

| OVPC for LPN2 = 0308h

1003Fh LPN0=1, LPN2=1, others=0

入力セル: // VP OAM(End-End) / F4 OAM

LPN#1,

VPI=0000_0000_0001 (001h),

VCI=0000_0000_0000_0100 (0004h),

PTI=000

CLP=0

出力セル:

LPN#0,

VPI=0000_0000_0010 (002h),

VCI=0000_0000_0000_0111 (0007h),

PTI=000

CLP=0

LPN#2,

VPI=0000_0000_0011 (003h),

```
VCI=0000_0000_0000_1000 (0008h),
PTI=000
CLP=0
```

(例.2-02)特殊ルーティングの機能 2

Pre-defined channel, SRM=0, マイクロプロセッサ接続ポートへの出力

基本設定 1 + 次の設定の場合

```
HTT
// LPN#1, VPI=1, VCI=04h (VP OAM / F4)
01410h CEN=1, SC=100 (ABR), SRM=0, CM=1, MBP=000h
//MBP=0
10000h OVPC for LPN2 = 0208h
|      OVPC for LPN3 = 0309h
1003Fh LPN2=1, LPN3=1, others=0
```

入力セル: // VP OAM(End-End) / F4 OAM

```
LPN#1,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0000_0100 (0004h),
PTI=000
CLP=0
```

出力セル:

```
LPN#2,
VPI=0000_0000_0010 (002h),
VCI=0000_0000_0000_1000 (0008h),
PTI=000
CLP=0
```

```
LPN#3,
VPI=0000_0000_0011 (003h),
VCI=0000_1000_0000_1001 (0809h),
PTI=000
CLP=0
```

(例.2-03)特殊ルーティングの機能 1 と機能 2

Pre-defined channel, SRM=1, マイクロプロセッサ接続ポートへの出力

基本設定 1 + 次の設定の場合

```
HTT
// LPN#1, VPI=1, VCI=04h (VP OAM / F4)
01410h CEN=1, SC=100 (ABR), SRM=1, CM=1, MBP=000h
// MBP=0
10000h OVPC for LPN2 = 0208h
|      OVPC for LPN3 = 0309h
1003Fh LPN2=1, LPN3=1, others=0
```

入力セル: // VP OAM(End-End) / F4 OAM

```

LPN#1,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0000_0100 (0004h),
PTI=000
CLP=0

```

出力セル:

```

LPN#3,
VPI=0000_0000_0001 (001h),
VCI=0000_1000_0000_0100 (0804h),
PTI=000
CLP=0

```

(3) マイクロプロセッサ接続ポートを変更した場合

基本設定 2

レジスタ...SRLP レジスタの LPN フィールドを変更。その他は基本設定 1 と同じ。

SRLP EN=1, ILPNP=010 (VCI), VLPNP=010 (VCI), LPN=0_0010 (2), IA=0, VA=0

(例.3-01).....特殊ルーティングの機能 2

Pre-defined channel, SRM=0, マイクロプロセッサ接続ポートへの出力

基本設定 2 + 次の設定

HTT

// LPN#1, VPI=1, VCI=04h (VP OAM / F4)

01410h CEN=1, SC=100 (ABR), SRM=0, CM=0, SPI=0_0010 (2), OVPC=0208h

入力セル: // VP OAM(End-End) / F4 OAM

```

LPN#1,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0000_0100 (0004h),
PTI=000
CLP=0

```

出力セル:

```

LPN#2,
VPI=0000_0000_0010 (002h),
VCI=0000_1000_0000_1000 (0808h),
PTI=000
CLP=0

```

(例.3-02).....特殊ルーティングの機能なし

Pre-defined channel, SRM=0, 非マイクロプロセッサ接続ポートへの出力

基本設定 2 + 次の設定の場合 ,

HTT

// LPN#1, VPI=1, VCI=04h (VP OAM / F4)

01410h CEN=1, SC=100 (ABR), SRM=0, CM=0, SPI=0_0011 (3), OVPC=0208h

入力セル: // VP OAM(End-End) / F4 OAM

LPN#1,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0000_0100 (0004h),
PTI=000
CLP=0

出力セル:

LPN#3,
VPI=0000_0000_0010 (002h),
VCI=0000_0000_0000_1000 (0008h),
PTI=000
CLP=0

(4) ILPNP を変更した場合

基本設定 3

レジスタ...SRLP レジスタの ILPNP フィールドを変更。その他は基本設定 1 と同じ

SRLP EN=1, ILPNP=011 (UDF), VLPNP=010 (VCI), LPN=0_0011 (3), IA=0, VA=0

(例.4-01).....特殊ルーティングの機能 1 と機能 2

User channel, SM=0 (VCC), CM=0, 非マイクロプロセッサ接続ポートへの出力, PTI=PTF

基本設定 3 + 次の設定の場合

HTT

// LPN#1, VPI=1, VCI=20h

01480h CEN=1, SM=0,

// LPN#1, VPI=1, VCI=22h

01488h CEN=1, SC=100 (ABR), SM=0, CM=0, SPI=0_0010 (2), OVPC=0224h

入力セル: // VC OAM(End-End) / F5 OAM

LPN#1,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0010_0010 (0022h),
PTI=101
CLP=0

出力セル:

LPN#3,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0010_0010 (0022h),
PTI=101
CLP=0
UDF=0000_0001 (01h)

基本設定 4

レジスタ...SRLP レジスタの ILPNP フィールドを変更。その他は基本設定 1 と同じ。

SRLP EN=1, ILPNP=000 (none), VLPNP=010 (VCI), LPN=0_0011 (3), IA=0, VA=0

(例.4-02) 特殊ルーティングの機能 1

User channel, SM=0 (VCC), CM=0, 非マイクロプロセッサ接続ポートへの出力, PTI=PTF

基本設定 4 + 次の設定

HTT

// LPN#1, VPI=1, VCI=20h

01480h CEN=1, SM=0,

// LPN#1, VPI=1, VCI=22h

01488h CEN=1, SC=100 (ABR), SM=0, CM=0, SPI=0_0010 (2), OVPC=0224h

入力セル: // VC OAM(End-End) / F5 OAM

LPN#1,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0010_0010 (0022h),
PTI=101
CLP=0

出力セル:

LPN#3,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0010_0010 (0022h),
PTI=101
CLP=0

(5) しきい値を越えた場合

基本設定 5

論理ポート番号 3 のキュー長 > OQthACI (EFCI しきい値)

その他は基本設定 1 と同じ

(例.5-01).....特殊ルーティングの機能 1 と機能 2

Pre-defined channel, SRM=1, 非マイクロプロセッサ接続ポートへの出力

基本設定 5 + 次の設定の場合

HTT

// LPN#1, VPI=1, VCI=04h (VP OAM / F4)

01410h CEN=1, SC=100 (ABR), SRM=1, CM=0, SPI=0_0010 (2), OVPC=0208h

入力セル: // VP OAM(End-End) / F4 OAM

LPN#1,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0000_0100 (0004h),
PTI=000
CLP=0

出力セル:

```

LPN#3,
VPI=0000_0000_0001 (001h),
VCI=0000_1000_0000_0100 (0804h),
PTI=010
CLP=0

```

(例.5-02).....特殊ルーティングの機能 1 と機能 2

User channel, SM=0 (VCC), CM=0, 非マイクロプロセッサ接続ポートへの出力, PTI=PTF

基本設定 5 + 次の設定の場合

HTT

```

// LPN#1, VPI=1, VCI=20h
01480h  CEN=1, SM=0,
// LPN#1, VPI=1, VCI=22h
01488h  CEN=1, SC=100 (ABR), SM=0, CM=0, SPI=0_0010 (2), OVPC=0224h

```

入力セル: // VC OAM(End-End) / F5 OAM

```

LPN#1,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0010_0010 (0022h),
PTI=101
CLP=0

```

出力セル:

```

LPN#3,
VPI=0000_0000_0001 (001h),
VCI=0000_1000_0010_0010 (0822h),
PTI=101
CLP=0

```

基本設定 6

論理ポート番号 3 のキュー長 > OQthACL (CLP しきい値)

その他は基本設定 1 と同じ

(例.5-03).....特殊ルーティングの機能なし

User channel, SM=0 (VCC), CM=0, 非マイクロプロセッサ接続ポートへの出力, PTI=PTF

基本設定 6 + 次の設定

HTT

```

// LPN#1, VPI=1, VCI=20h
01480h  CEN=1, SM=0,
// LPN#1, VPI=1, VCI=22h
01488h  CEN=1, SC=100 (ABR), SM=0, CM=0, SPI=0_0010 (2), OVPC=0224h

```

入力セル: // VC OAM(End-End) / F5 OAM

```

LPN#1,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0010_0010 (0022h),

```

PTI=101

CLP=1

出力セル: CLP しきい値越えによってセルは廃棄される。

(6) マイクロプロセッサ接続ポートから入力

(例.6-01).....特殊ルーティングの機能3

Pre-defined channel, SRM=0, 非マイクロプロセッサ接続ポートへの出力

基本設定 1 + 次の設定

HTT

// LPN#1, VPI=1, VCI=04h (VP OAM / F4)

01410h CEN=1, SC=100 (ABR), SRM=0, CM=0, SPI=0_0010 (2), OVPC=0208h

入力セル: // VP OAM(End-End) / F4 OAM

LPN#3,

VPI=0000_0000_0001 (001h),

VCI=0000_1000_0000_0100 (0804h),

PTI=000

CLP=0

出力セル:

LPN#2,

VPI=0000_0000_0010 (002h),

VCI=0000_0000_0000_1000 (0008h),

PTI=000

CLP=0

(例.6-02).....特殊ルーティングの機能3

Pre-defined channel, SRM=1, 非マイクロプロセッサ接続ポートへの出力

基本設定 1 + 次の設定

HTT

// LPN#1, VPI=1, VCI=04h (VP OAM / F4)

01410h CEN=1, SC=100 (ABR), SRM=1, CM=0, SPI=0_0010 (2), OVPC=0208h

入力セル: // VP OAM(End-End) / F4 OAM

LPN#3,

VPI=0000_0000_0001 (001h),

VCI=0000_1000_0000_0100 (0804h),

PTI=000

CLP=0

出力セル:

LPN#2,

VPI=0000_0000_0010 (002h),

VCI=0000_0000_0000_1000 (0008h),

PTI=000

CLP=0

(例.6-03).....特殊ルーティングの機能 3

User channel, SM=1 (VPC), CM=0, 非マイクロプロセッサ接続ポートへの出力

基本設定 1 + 次の設定

HTT

// LPN#1, VPI=1, VCI=20h

01480h CEN=1, SC=100 (ABR), SM=1, CM=0, SPI=0_0010 (2), OVPC=0002h

入力セル: // VC OAM(End-End) / F5 OAM

LPN#3,

VPI=0000_0000_0001 (001h),

VCI=0000_1000_0010_0010 (0822h),

PTI=101

CLP=0

出力セル:

LPN#2,

VPI=0000_0000_0010 (002h),

VCI=0000_0000_0010_0010 (0022h),

PTI=101

CLP=0

(例.6-04).....特殊ルーティングの機能 3

User channel, SM=0 (VCC), CM=0, 非マイクロプロセッサ接続ポートへの出力, PTI=PTF

基本設定 1 + 次の設定

HTT

// LPN#1, VPI=1, VCI=20h

01480h CEN=1, SM=0,

// LPN#1, VPI=1, VCI=22h

01488h CEN=1, SC=100 (ABR), SM=0, CM=0, SPI=0_0010 (2), OVPC=0224h

入力セル: // VC OAM(End-End) / F5 OAM

LPN#3,

VPI=0000_0000_0001 (001h),

VCI=0000_1000_0010_0010 (0822h),

PTI=101

CLP=0

出力セル:

LPN#2,

VPI=0000_0000_0010 (002h),

VCI=0000_0000_0010_0100 (0024h),

PTI=101

CLP=0

基本設定 7

レジスタ....SRLP レジスタの VLPNP フィールドを変更。その他は基本設定 1 と同じ。

SRLP EN=1, ILPNP=010 (VCI), VLPNP=000 (none), LPN=0_0011 (3), IA=0, VA=0

(例.6-05).....特殊ルーティングの機能なし

User channel, SM=0 (VCC), CM=0, 非マイクロプロセッサ接続ポートへの出力, PTI=PTF

基本設定 7 + 次の設定

HTT

// LPN#3, VPI=1, VCI=20h

03480h CEN=1, SM=0,

// LPN#3, VPI=1, VCI=22h

03488h CEN=1, SC=100 (ABR), SM=0, CM=0, SPI=0_0010 (2), OVPC=0224h

入力セル: // VC OAM(End-End) / F5 OAM

LPN#3,

VPI=0000_0000_0001 (001h),

VCI=0000_0000_0010_0010 (0022h),

PTI=101

CLP=0

出力セル:

LPN#2,

VPI=0000_0000_0010 (002h),

VCI=0000_0000_0010_0100 (0024h),

PTI=101

CLP=0

(例.6-06).....特殊ルーティングの機能 3

User channel, SM=0 (VCC), CM=0, 非マイクロプロセッサ接続ポートへの出力, PTI=PTF

基本設定 1 + 次の設定

HTT

// LPN#3, VPI=1, VCI=20h

03480h CEN=1, SM=0,

// LPN#3, VPI=1, VCI=22h

03488h CEN=1, SC=100 (ABR), SM=0, CM=0, SPI=0_0010 (2), OVPC=0224h

入力セル: // VC OAM(End-End) / F5 OAM

LPN#3,

VPI=0000_0000_0001 (001h),

VCI=0001_1000_0010_0010 (1822h),

PTI=101

CLP=0

出力セル:

LPN#2,

VPI=0000_0000_0010 (002h),

VCI=0000_0000_0010_0100 (0024h),

PTI=101

CLP=0

(7) 非マイクロプロセッサ接続ポートからの入力 (EF = 0, IA = 1, VA = 1)**(例.7-01).....特殊ルーティングの機能なし**

Pre-defined channel, SRM=0, マイクロプロセッサ接続ポートへの出力

EF=0, IA=1, VA=1 を除いて基本設定 1 + 次の設定の場合

HTT

// LPN#1, VPI=1, VCI=04h (VP OAM / F4)

01410h CEN=1, SC=100 (ABR), SRM=0, CM=0, SPI=0_0011 (3), OVPC=0208h

入力セル: // VP OAM(End-End) / F4 OAM

LPN#1,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0000_0100 (0004h),
PTI=000
CLP=0

出力セル:

LPN#3,
VPI=0000_0000_0010 (002h),
VCI=0000_0000_0000_1000 (0008h),
PTI=000
CLP=0**(8) マイクロプロセッサ接続ポートからの入力 (EF = 0, IA = 1, VA = 1)****(例.8-01).....特殊ルーティングの機能3**

Pre-defined channel, SRM=0, 非マイクロプロセッサ接続ポートへの出力

EF=0, IA=1, VA=1 を除いて基本設定 1 + 次の設定

HTT

// LPN#3, VPI=1, VCI=04h (VP OAM / F4)

03410h CEN=1, SC=100 (ABR), SRM=0, CM=0, SPI=0_0010 (2), OVPC=0208h

入力セル: // VP OAM(End-End) / F4 OAM

LPN#3,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0000_0100 (0004h),
PTI=000
CLP=0

出力セル:

LPN#2,
VPI=0000_0000_0010 (002h),
VCI=0000_0000_0000_1000 (0008h),
PTI=000
CLP=0

(例.8-02).....特殊ルーティングの機能3

Pre-defined channel, SRM=1, 非マイクロプロセッサ接続ポートへの出力

EF=0, IA=1, VA=1 を除いて基本設定1 + 次の設定

HTT

// LPN#3, VPI=1, VCI=04h (VP OAM / F4)

03410h CEN=1, SC=100 (ABR), SRM=1, CM=0, SPI=0_0010 (2), OVPC=0208h

入力セル: // VP OAM(End-End) / F4 OAM

LPN#3,
 VPI=0000_0000_0001 (001h),
 VCI=0000_0000_0000_0100 (0004h),
 PTI=000
 CLP=0

出力セル:

LPN#2,
 VPI=0000_0000_0010 (002h),
 VCI=0000_0000_0000_1000 (0008h),
 PTI=000
 CLP=0

(例.8-03).....特殊ルーティングの機能3

User channel, SM=1 (VPC), CM=0, 非マイクロプロセッサ接続ポートへの出力, PTI=PTF

EF=0, IA=1, VA=1 を除いて基本設定1 + 次の設定

HTT

// LPN#1, VPI=1, VCI=20h

01480h CEN=1, SC=100 (ABR), SM=1, CM=0, SPI=0_0010 (2), OVPC=0002h

入力セル: // VC OAM(End-End) / F5 OAM

LPN#3,
 VPI=0000_0000_0001 (001h),
 VCI=0000_1000_0010_0010 (0822h),
 PTI=101
 CLP=0

出力セル:

LPN#2,
 VPI=0000_0000_0010 (002h),
 VCI=0000_0000_0010_0010 (0022h),
 PTI=101
 CLP=0

(例.8-04).....特殊ルーティングの機能3

User channel, SM=0 (VCC), CM=0, 非マイクロプロセッサ接続ポートへの出力, PTI=PTF

EF=0, IA=1, VA=1 を除いて基本設定1 + 次の設定

HTT

```
// LPN#1, VPI=1, VCI=20h
01480h  CEN=1, SM=0,
// LPN#1, VPI=1, VCI=22h
01488h  CEN=1, SC=100 (ABR), SM=0, CM=0, SPI=0_0010 (2), OVPC=0224h
```

入力セル: // VC OAM(End-End) / F5 OAM

```
LPN#3,
VPI=0000_0000_0001 (001h),
VCI=0000_1000_0010_0010 (0822h),
PTI=101
CLP=0
```

出力セル:

```
LPN#2,
VPI=0000_0000_0010 (002h),
VCI=0000_0000_0010_0100 (0024h),
PTI=101
CLP=0
```

(例.8-05).....特殊ルーティングの機能なし

User channel, SM=0 (VCC), CM=0, 非マイクロプロセッサ接続ポートへの出力, PTI=PTF

EF=0, IA=1, VA=1 を除いて基本設定 7 + 次の設定

HTT

```
// LPN#3, VPI=1, VCI=20h
03480h  CEN=1, SM=0,
// LPN#3, VPI=1, VCI=22h
03488h  CEN=1, SC=100 (ABR), SM=0, CM=0, SPI=0_0010 (2), OVPC=0224h
```

入力セル: // VC OAM(End-End) / F5 OAM

```
LPN#3,
VPI=0000_0000_0001 (001h),
VCI=0000_0000_0010_0010 (0022h),
PTI=101
CLP=0
```

出力セル:

```
LPN#2,
VPI=0000_0000_0010 (002h),
VCI=0000_0000_0010_0100 (0024h),
PTI=101
CLP=0
```

(例.8-06).....特殊ルーティングの機能 3

User channel, SM=0 (VCC), CM=0, 非マイクロプロセッサ接続ポートへの出力, PTI=PTF

EF=0, IA=1, VA=1 を除いて基本設定 1 + 次の設定

HTT

```
// LPN#3, VPI=1, VCI=20h
03480h  CEN=1, SM=0,
```

```
// LPN#3, VPI=1, VCI=22h  
03488h CEN=1, SC=100 (ABR), SM=0, CM=0, SPI=0_0010 (2), OVPC=0224h
```

入力セル: // VC OAM(End-End) / F5 OAM

```
LPN#3,  
VPI=0000_0000_0001 (001h),  
VCI=0001_1000_0010_0010 (1822h),  
PTI=101  
CLP=0
```

出力セル:

```
LPN#2,  
VPI=0000_0000_0010 (002h),  
VCI=0000_0000_0010_0100 (0024h),  
PTI=101  
CLP=0
```

[メ モ]

第7章 規格別相違点

7.1 追加機能項目

μPD98412 では、最初にリリースしたK規格品のみ未対応で、その後のE規格品から対応している新たな機能があります。

新たに追加した機能項目を次に示します。

- (1) UDF フィールド透過機能
- (2) VP 数の拡張
- (3) VP/VC 単位の入力セル・カウント機能

7.2 追加機能概要

(1) UDF フィールド透過機能

入力セルの UDF フィールドを、出力セルの UDF フィールドにそのまま通過させることができる機能です。

UDF フィールド透過機能は、MODE0 レジスタの UP ビットにより使用可能となり、出力セルに透過される UDF フィールドは、UTOPIA I/F のデータ幅により、下表のようになります。

Rx	Tx	出力セルの UDF1	出力セルの UDF2
16-bit I/F	16-bit I/F	入力セルの UDF1 を透過	入力セルの UDF2 を透過
	8-bit I/F	入力セルの UDF1 を透過	-
8-bit I/F	16-bit I/F	入力セルの UDF1 を透過	FF(h)
	8-bit I/F	入力セルの UDF1 を透過	-

UDF フィールド透過機能のため、セル・バッファのデータ幅を 88-bit から 92-bit に拡張し、端子に新たな機能を追加しています。

端子名	端子番号	K 規格品での機能
CBD [88]	439	内部接続信号 (IC), オ - プン
CBD [89]	349	内部接続信号 (IC), オ - プン
CBD [90]	251	内部接続信号 (IC), オ - プン
CBD [91]	145	内部接続信号 (IC), オ - プン

ただし、UDF フィールド透過機能を使用しない場合は、増設された端子をオープンにしてください。
UDF フィールド透過機能を使用しない場合、K 規格品と E 規格以降の規格品では、ピン互換となります。

(2) VP 数の拡張

ヘッダ変換時に取り扱える VP 数（入力セルの有効な VPI ビット幅を 13 ビットまで）を拡張できます。このため、HTn (n = 0-29) レジスタ NVCI フィールドの設定範囲が 6h-Fh から、3h-Fh へ拡大されています。

また、VP 数の拡張に伴い、スイッチング・モード (SM) を判断するためにアクセスする HTT の位置 (K 規格品では、入力セルの VCI を 20h と置き換えて算出する HTT アドレス) が、新設されたスイッチング・モード・エリア設定 (SMA) レジスタにより設定可能となります。

(3) VP/VC 単位の入力セル・カウント機能

入力セル・カウンタ (CTINPn (n = 0-3)) レジスタに、VP/VC 単位に入力セルをカウントできる機能を追加しています。このため、入力セル・カウント・イネーブル (CTENINPn (n = 0-3)) レジスタに、新たに CCE ビット、PC ビット、HTA フィールドを追加しています。

[× モ]

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン（インフォメーションセンター）	電話	: 044-548-8899
	FAX	: 044-548-7900
（電話：午前 9:00～12:00，午後 1:00～5:00）	E-mail	: s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

半導体第一販売事業部	半導体第二販売事業部	半導体第三販売事業部						
	〒108-8001	東京都港区芝5-7-1	（日本電気本社ビル）			(03)3454-1111		
中部支社	半導体第一販売部	半導体第二販売部	〒460-8525	愛知県名古屋市中区錦1-17-1	（日本電気中部ビル）	(052)222-2170 (052)222-2190		
関西支社	半導体第一販売部	半導体第二販売部	半導体第三販売部	〒540-8551	大阪府大阪市中央区城見1-4-24	（日本電気関西ビル） (06)6945-3178 (06)6945-3200 (06)6945-3208		
北海道支社	札幌	(011)231-0163	甲府支店	甲府	(055)224-4141	京都支社	京都	(075)344-7824
東北支社	仙台	(022)267-8740	長野支店	甲府	(0263)35-1662	神戸支社	神戸	(078)333-3854
岩手支店	盛岡	(019)651-4344	静岡支店	静岡	(054)254-4794	中国支社	広島	(082)242-5504
郡山支店	郡山	(024)923-5511	立川支店	立川	(042)526-5981,6167	鳥取支店	鳥取	(0857)27-5311
長岡支店	長岡	(0258)36-2155	埼玉支店	大宮	(048)649-1415	岡山支店	岡山	(086)225-4455
水戸支店	水戸	(029)226-1717	千葉支店	千葉	(043)238-8116	四国支社	松山	(089)945-4149
群馬支店	高崎	(027)326-1255	神奈川支店	横浜	(045)682-4524	九州支社	福岡	(092)261-2806
太田支店	太田	(0276)46-4011	三重支店	津	(059)225-7341			
宇都宮支店	宇都宮	(028)621-2281	北陸支店	金沢	(076)232-7303			

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD98412 ユーザーズ・マニュアル
(S14169JJ2V0UM00 (第2版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価 (各欄に をご記入ください)

項 目	大変良い	良い	普通	悪い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ()					
()					

2. わかりやすい所(第 章,第 章,第 章,第 章,その他)
理由 []

3. わかりにくい所(第 章,第 章,第 章,第 章,その他)
理由 []

4. ご意見, ご要望
[]

5. このドキュメントをお届けしたのは
NEC 販売員, 特約店販売員, NEC 半導体ソリューション技術本部員,
その他 ()

ご協力ありがとうございました。
下記あてに FAX で送信いただくか, 最寄りの販売員にコピーをお渡しください。

キ
リ
ト
リ