

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル

保守 / 廃止

μ PD98411

(NEASCOT-P40™)

ATM QUAD SONET FRAMER

[メ モ]

目 次 要 約

第 1 章	概 説	...	15
第 2 章	端子機能	...	21
第 3 章	機能説明	...	36
第 4 章	インタフェース	...	79
第 5 章	レジスタ	...	124
第 6 章	JTAG バウンダリ・スキャン	...	187
第 7 章	ボード・レイアウトについて	...	202
第 8 章	制限事項	...	206

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

NEASCOT-P40, NEASCOT-X15 は, 日本電気株式会社の商標です。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

本版で改訂された主な箇所

ページ	内 容
全般 p.34 p.35	第2章 端子機能 VDD-PE VDD-RPE, VDD-TPE, GND-PE GND-RPE, GND-TPE, CMOS TTL 2.2.8 未使用端子の処置 TDOT, TDOC, RDIT, RDIC 追加 2.2.9 端子の初期状態 ACK/RDY_B 変更
p.39~p.44 p.52~p.65 p.67~p.70 p.72 p.74 p.74 p.78	第3章 機能説明 3.1 送信機能(2)説明・備考追加, (3)備考追加, (10)説明変更・注意追加 3.2 受信機能(13)追加, 表3-6(3)LOSの説明・注意追加, 表3-9内容追加 3.3.2 受信OAM制御(3)(d)説明・注意1~4追加, (e)注意・備考追加, 表3-12備考追加 3.4 フレーム・オーバヘッドのインサート/ドロップ (3)追加 3.5.1 PALM[2:0]出力端子 PALM 端子の使用例 追加, 3.5.3 SD 入力端子 説明追加 3.8 ループバック機能 注意1~4追加
p.81~p.87 p.100, p.101 p.101 p.105~p.108 p.111 p.114, p.115 p.118	第4章 インタフェース 4.1.2 モード 表4-1注意追加, (2)(c)説明変更, 図4-2変更 4.1.3 オペレーション(3)(c)説明変更, 図4-19変更 4.1.4 UTOPIA パリティ・ビットのサポート (2)注意追加 4.2.3 送受信クロック(1)(2)説明変更 4.2.4 μ PD98411 とトランシーバとの接続例 図4-24備考追加 4.3.2 ライト・オペレーション 注意1, 2追加 4.4.3 割り込み処理 説明追加
p.126, p.127 p.130~p.163 p.173~p.185	第5章 レジスタ 5.1.1 ポート・レジスタ デフォルト値変更 5.2.1 ポート・レジスタ機能(2)注意・備考追加, 機能欄説明変更・追加, (5), (13), (33), (35)ビット名・ビット内容変更, (39), (40)デフォルト値変更, (62), (72)レジスタ名追加 5.2.2 共通レジスタ機能(101)ビット名・ビット内容変更, (103)~(108)説明追加, (109), (110)機能欄説明変更・注意追加, (113)機能欄説明追加, (114)注意追加, (116)機能欄説明変更, (119)レジスタ名・ビット名・ビット内容変更
p.187 p.201	第6章 JTAG バウンダリ・スキャン 注意追加 6.7.4 バウンダリ・スキャン・データ・ビット定義 表6-2削除
p.202, p.203	第7章 ボード・レイアウトについて 表7-1 図7-1 VDD-PE VDD-RPE, VDD-TPE, GND-PE GND-RPE, GND-TPE
p.206	第8章 制限事項 追加

本文欄外の 印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽に寄せてください。

はじめに

対象者 このマニュアルは、 μ PD98411の機能を理解し、これを用いたアプリケーション・システムを設計するエンジニアを対象としています。

目的 このマニュアルは、次の構成に示す μ PD98411の持つハードウェア機能を理解していただくことを目的としています。

構成 このマニュアルは、大きく分けて次の内容で構成しています。

- 概 説
- 端子機能
- 機能説明
- インタフェース
- レジスタ
- JTAG バウンダリ・スキャン
- ボード・レイアウトについて
- 制限事項

読み方 このマニュアルの読者には、電気、論理回路、マイクロコンピュータの一般的な知識を必要とします。

一通り μ PD98411の機能を理解しようとするとき

目次に従って読んでください。

μ PD98411の電気的特性を知りたいとき

別冊のデータ・シートを参照してください。

μ PD98411 には制限事項があります。第8章 制限事項を必ずご確認ください。

凡 例 このマニュアルでは、次の記号を使用しています。

データ表記の重み : 左が上位桁, 右が下位桁

アクティブ・ロウの表記 : $x \times x_B$ (端子, 信号名称のあとに $_B$)

注 : 本文中につけた注の説明

注意 : 気をつけて読んでいただきたい内容

備考 : 本文中の補足説明

数の表記 : 2進数 ... $x \times x \times x$ または $x \times x \times x \times B$

10進数 ... $x \times x \times x$

16進数 ... $x \times x \times x \times H$

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

μPD98411 データ・シート : S12953J

目 次

第1章 概 説 ...	15
1.1 特 徴 ...	15
1.2 オーダ情報 ...	16
1.3 システム ...	17
1.3.1 アプリケーション ...	17
1.3.2 システム構成 ...	18
1.4 ブロック図 ...	19
1.5 端子構成図 ...	20
第2章 端子機能 ...	21
2.1 端子接続図 ...	21
2.2 端子機能 ...	25
2.2.1 PMD インタフェース ...	25
2.2.2 UTOPIA インタフェース ...	27
2.2.3 マネジメント・インタフェース ...	31
2.2.4 アラーム信号入出力 ...	32
2.2.5 JTAG バウンダリ・スキャン ...	32
2.2.6 電源, グランド ...	33
2.2.7 その他 ...	33
2.2.8 未使用端子の処置 ...	34
2.2.9 端子の初期状態 ...	35
第3章 機能説明 ...	36
3.1 送信機能 ...	39
3.2 受信機能 ...	45
3.3 OAM 機能 ...	53
3.3.1 送信 OAM 制御 ...	54
3.3.2 受信 OAM 制御 ...	60
3.4 フレーム・オーバヘッドのインサート/ドロップ ...	70
3.5 警報通知入出力端子 (PALM, CMD) ...	73
3.5.1 PALM[2:0]出力端子 ...	73
3.5.2 CMD 入力端子 ...	74
3.5.3 SD 入力端子 ...	74
3.6 警報検出条件の切り替えモード ...	75

- 3.7 無効セルの選択 ... 75
 - 3.7.1 廃棄無効セルの選択 ... 75
 - 3.7.2 送出無効セルの選択 ... 76
- 3.8 ループバック機能 ... 77

第4章 インタフェース ... 79

- 4.1 UTOPIA インタフェース ... 79
 - 4.1.1 信号 ... 79
 - 4.1.2 モード ... 81
 - 4.1.3 オペレーション ... 87
 - 4.1.4 UTOPIA パリティ・ビットのサポート ... 101
- 4.2 PMD インタフェース ... 102
 - 4.2.1 信号 ... 102
 - 4.2.2 PMD インタフェース・ブロック ... 103
 - 4.2.3 送受信クロック ... 105
 - 4.2.4 μ PD98411 とトランシーバとの接続例 ... 110
- 4.3 マネジメント・インタフェース ... 112
 - 4.3.1 リード・オペレーション ... 112
 - 4.3.2 ライト・オペレーション ... 114
- 4.4 割り込み処理 ... 115
 - 4.4.1 割り込み要因レジスタ ... 115
 - 4.4.2 割り込み信号の通知モード ... 117
 - 4.4.3 割り込み処理 ... 118

第5章 レジスタ ... 124

- 5.1 レジスタ・マップ ... 125
 - 5.1.1 ポート・レジスタ ... 125
 - 5.1.2 共通レジスタ ... 128
- 5.2 レジスタ機能 ... 129
 - 5.2.1 ポート・レジスタ機能 ... 129
 - 5.2.2 共通レジスタ機能 ... 173

第6章 JTAG バウンダリ・スキャン ... 187

- 6.1 特徴 ... 187
- 6.2 バウンダリ・スキャン回路内部構成 ... 188
 - 6.2.1 インストラクション・レジスタ (Instruction register) ... 188
 - 6.2.2 TAP コントローラ (Test Access Port controller) ... 188
 - 6.2.3 バイパス・レジスタ (Bypass register) ... 188
 - 6.2.4 バウンダリ・スキャン・レジスタ (Boundary Scan register) ... 189

- 6.3 端子機能 ... 189
 - 6.3.1 JCK 端子 (JTAG Clock pin) ... 189
 - 6.3.2 JMS 端子 (JTAG Mode Select pin) ... 189
 - 6.3.3 JDI 端子 (JTAG Data Input pin) ... 189
 - 6.3.4 JDO 端子 (JTAG Data Output pin) ... 189
 - 6.3.5 JRST_B 端子 (JTAG Reset pin) ... 189
- 6.4 動作説明 ... 190
 - 6.4.1 TAP コントローラ ... 190
 - 6.4.2 TAP コントローラ状態 ... 190
- 6.5 TAP コントローラ動作 ... 197
- 6.6 TAP コントローラの初期化 ... 200
- 6.7 インストラクション・レジスタ ... 200
 - 6.7.1 BYPASS 命令 ... 201
 - 6.7.2 EXTEST 命令 ... 201
 - 6.7.3 SAMPLE/PRELOAD 命令 ... 201
 - 6.7.4 バウンダリ・スキャン・データ・ビット定義 ... 201

第7章 ボード・レイアウトについて ... 202

第8章 制限事項 ... 206

- 8.1 制限項目 ... 206
- 8.2 制限事項説明 ... 206
 - 8.2.1 SD = L 検出時の Performance Counter の停止 ... 206
 - 8.2.2 ICR ビットによるソフト・リセット時の警報検出の消滅 ... 207
 - 8.2.3 SD = L による LOS 検出中のセル転送 ... 207
 - 8.2.4 レジスタのアクセス間隔に関する制限 ... 207
 - 8.2.5 エラー・レート・モニタの設定手順に関する制限 ... 208
 - 8.2.6 疑似エラー・フレーム送出設定 / 解除時に関する制限 ... 208
 - 8.2.7 送信 OH バイト・インサート・レジスタ変更に関する制限 ... 208
 - 8.2.8 受信セル処理のモード変更に関する制限 ... 208
 - 8.2.9 ATM ループバックモードの設定 / 解除制限 ... 209
 - 8.2.10 FIFO フル時の ATM ループバック・モード切り替え制限 ... 209
 - 8.2.11 Dual 8-bit モード時の UTOPIA パリティ機能制限 ... 209
 - 8.2.12 割り込み要因レジスタ・リードに関する制限 ... 209

図の目次 (1/2)

図番号	タイトル, ページ
3 - 1	μ PD98411 とその周辺ブロック ... 36
3 - 2	μ PD98411 の送受信データの流れ ... 36
3 - 3	ATM セルの構造 (ユーザ-網インタフェース (UNI) の場合) ... 37
3 - 4	STS-3c のフォーマット ... 37
3 - 5	送信処理の流れ ... 39
3 - 6	μ PD98411 が挿入する空きセルのフォーマット ... 40
3 - 7	AU ポインタ (H1-H3 バイト) のフォーマット ... 42
3 - 8	AU ポインタのオフセット値 ... 43
3 - 9	受信処理の流れ ... 45
3 - 10	ポインタ値による状態遷移 ... 46
3 - 11	スタッフ・バイト ... 48
3 - 12	セル同期状態遷移 ... 49
3 - 13	セル同期状態における HEC 検証状態遷移 ... 50
3 - 14	カウンタ関連レジスタ (例: HEC エラー・カウンタ) ... 65
3 - 15	DCHPR と DCHPMR レジスタ ... 75
4 - 1	TCLAV の変化タイミング ... 84
4 - 2	RCLAV の変化タイミング ... 85
4 - 3	1TCLAV & 1RCLAV 方式 ... 88
4 - 4	1TCLAV & 1RCLAV 方式の送信タイミング ... 89
4 - 5	セル送定の終了と再送定 ... 89
4 - 6	セル送定中断例 (不可) ... 90
4 - 7	1TCLAV & 1RCLAV 方式の受信タイミング例 (1) ... 91
4 - 8	1TCLAV & 1RCLAV 方式の受信タイミング例 (2) ... 92
4 - 9	同一ポートからの 2 セル連続送定例 (1) ... 92
4 - 10	同一ポートからの 2 セル連続送定例 (2) ... 93
4 - 11	ATM レイヤによる受信セル転送の中断 ... 94
4 - 12	DSI 方式 ... 94
4 - 13	DSI 方式の送信タイミング例 (1) ... 95
4 - 14	DSI 方式の送信タイミング例 (2) ... 96
4 - 15	DSI モードの受信タイミング例 (1) ... 97
4 - 16	DSI モードの受信タイミング例 (2) ... 97
4 - 17	MSP モード接続例 (1) (送信方向) (μ PD98411 \times 8) ... 100
4 - 18	MSP モード接続例 (2) (μ PD98411 \times 4) ... 100
4 - 19	MSP モードのタイミング (受信方向) ... 101
4 - 20	μ PD98411 の PMD レイヤ側ブロック概略 ... 104
4 - 21	内蔵シンセサイザ PLL を使用する場合の例 ... 108
4 - 22	外部 PLL を使用する場合の例 ... 109
4 - 23	3.3 V 光トランシーバとの接続例 ... 110

図の目次 (2/2)

図番号	タイトル, ページ
4 - 24	5V 光トランシーバとの接続例 ... 111
4 - 25	マネジメント・インタフェース ... 112
4 - 26	リード・オペレーション ... 113
4 - 27	ライト・オペレーション ... 114
4 - 28	割り込み要因レジスタ相関図 ... 116
4 - 29	割り込み端子モード ... 117
4 - 30	RCM = 0 モードの要因レジスタのビット動作例 ... 119
4 - 31	処理フロー概要 ... 120
4 - 32	RCM = 1 モードによる要因レジスタのビット動作例 ... 121
4 - 33	RCM = 1 モードでの割り込み処理フロー概要 ... 122
6 - 1	バウンダリ・スキャン回路ブロック図 ... 188
6 - 2	TAP コントローラの状態 ... 190
6 - 3	コントローラ状態での動作タイミング ... 191
6 - 4	テスト・ロジックの動作 (インストラクション・スキャン) ... 198
6 - 5	テスト・ロジックの動作 (データ・スキャン) ... 199
7 - 1	μ PD98411 とその周辺ブロック ... 203
7 - 2	電源グランド・プレーン ... 204
7 - 3	PECL インタフェース ... 205
8 - 1	レジスタ・アクセス間隔 (リード リードの例) ... 207

表の目次

表番号	タイトル, ページ
3 - 1	ポインタ処理一覧 ... 47
3 - 2	HEC 誤り訂正モード ... 51
3 - 3	OAM 機能一覧 ... 53
3 - 4	警報の送出 ... 54
3 - 5	疑似エラー・フレーム ... 59
3 - 6	警報, 障害一覧 ... 60
3 - 7	回線品質劣化要因の一覧 ... 63
3 - 8	障害, 警報検出による μ PD98411 の処理一覧 ... 64
3 - 9	パフォーマンス・モニタリング・カウンタ ... 65
3 - 10	障害, 警報とカウンタ動作の関係 ... 68
3 - 11	カウンタ関連レジスタ一覧 ... 69
3 - 12	インサート/ドロップ・レジスタ一覧 ... 70
3 - 13	PALM 端子通知イベント ... 73
3 - 14	検出条件が変更できる警報 ... 75
3 - 15	DCHPR レジスタの設定例 ... 76
3 - 16	μ PD98411 が送出する無効セルのフォーマット ... 76
3 - 17	ループバック機能 ... 77
4 - 1	UTOPIA インタフェースのモード選択一覧 ... 81
4 - 2	UTOPIA インタフェース・モード一覧 ... 86
4 - 3	UTOPIA インタフェースの選択モードと使用端子の対応表 ... 86
4 - 4	ポート・アドレス下位 2 ビットにおけるグループ分け (グループ分け A) ... 98
4 - 5	ポート・アドレス上位 3 ビットでのグループ分け (グループ分け B) ... 99
4 - 6	送信クロックの選択肢一覧 ... 105
4 - 7	マネジメント・インタフェース・モード ... 112
4 - 8	割り込み要因の種別 ... 118
4 - 9	モードによる要因レジスタ・ビットのセット/リセット条件の相違一覧 ... 123
6 - 1	それぞれのコントローラ状態における動作 ... 197
7 - 1	電源グラウンドの分類 ... 202
8 - 1	制限事項一覧 ... 206
8 - 2	モード変更内容と誤動作 ... 208
8 - 3	該当ビット ... 210
8 - 4	対策案 ... 210

第1章 概 説

μPD98411 (NEASCOT-P40) は ATM-LAN 用 LSI の 1 つで、ATM フォーラムに定められている ATM プロトコルのうち、SONET/SDH ベースの物理レイヤにおいて、TC サブレイヤの機能を果たす LSI です。その主な機能は、送信機能として上位 ATM スイッチ・デバイス、または、SAR デバイスから受ける ATM セルを 155 Mbps の SONET STS-3c/SDH STM-1 フレームのペイロード部にマッピングし、回線側トランシーバに送出することと、受信機能として、逆にレシーバから受けるデータ列からオーバーヘッド部と ATM セルを分離して ATM セルを ATM レイヤに送出することです。μPD98411 は、この送受信機能を 1 組のポート機能として、4 ポート分を 1 チップで実現する LSI で、ATM ネットワークを構成する ATM ハブや、ATM スイッチなどの装置に最適です。

さらに、受信データのビット・ストリームから受信同期クロックを抽出するクロック・リカバリ機能を各ポートごとにサポートしており、送信用クロックを生成するクロック・シンセシス機能も搭載しています。

1.1 特 徴

ATM ユーザ・ネットワーク・インタフェース TC サブレイヤの機能 4 チャンネル分を 1 チップに搭載

ATM FORUM UNI v3.1 に適合

クロック・リカバリ PLL×4、クロック・シンセサイザ PLL×1 を内蔵

ATM レイヤ・インタフェースは、ATM FORUM UTOPIA Level2 v1.0 に適合

・マルチ PHY インタフェース (最大で 800 Mbps) で各種モードから選択可

シングル 16 ビット	1TCLAV/1RCLAV (Cell Available) 信号モード
シングル 8 ビット	Direct Status Indication モード
デュアル 8 ビット	Multiplexed Status Polling モード

・CPU インタフェースは 2 モードから選択可

RD, WR, RDY スタイル (Intel 互換モード)
DS, R/W, ACK スタイル (Motorola 互換モード)

回線側 PMD インタフェースは、P-ECL レベル入力

ループバック機能をサポート

疑似エラー生成フレームの送出機能を装備

汎用ポート 入力：チャンネルごとに 1 本、出力：チャンネルごとに 3 本 (LED ドライブ可) を装備

JTAG バウンダリ・スキャン・テスト (IEEE1149.1) をサポート

豊富な OAM (Operation, Administration, Maintenance) 機能を装備

・送 信

警報 , 障害の検出	回線品質の監視
APS	B1 バイト演算挿入
Line AIS/Path AIS	B2 バイト演算挿入
Line RDI/Path RDI	B3 バイト演算挿入
	Line REI の自動送出
	Path REI の自動送出

・受 信

警報 , 障害の検出	回線品質低下の通知	回線品質モニタ・カウンタ (24 ビット幅)
外部入力信号の変化	B1 エラー	B1 エラー・カウンタ
LOS	B2 エラー	B2 エラー・カウンタ
OOF	B3 エラー	B3 エラー・カウンタ
LOF	Line REI	Line REI カウンタ
LOP	Path REI	Path REI カウンタ
OCD	Frequency Justification	Frequency Justification カウンタ
LCD	FIFO Overflow	HEC 処理廃棄セル・カウンタ
Line AIS/Path AIS		FIFO オーバフロー廃棄セル・カウンタ
Line RDI/Path RDI		受信アイドル・セル・カウンタ
APS		有効セル・カウンタ

0.35 μm CMOS プロセス

低消費電力 , + 3.3 V 単一電源

1.2 オーダ情報

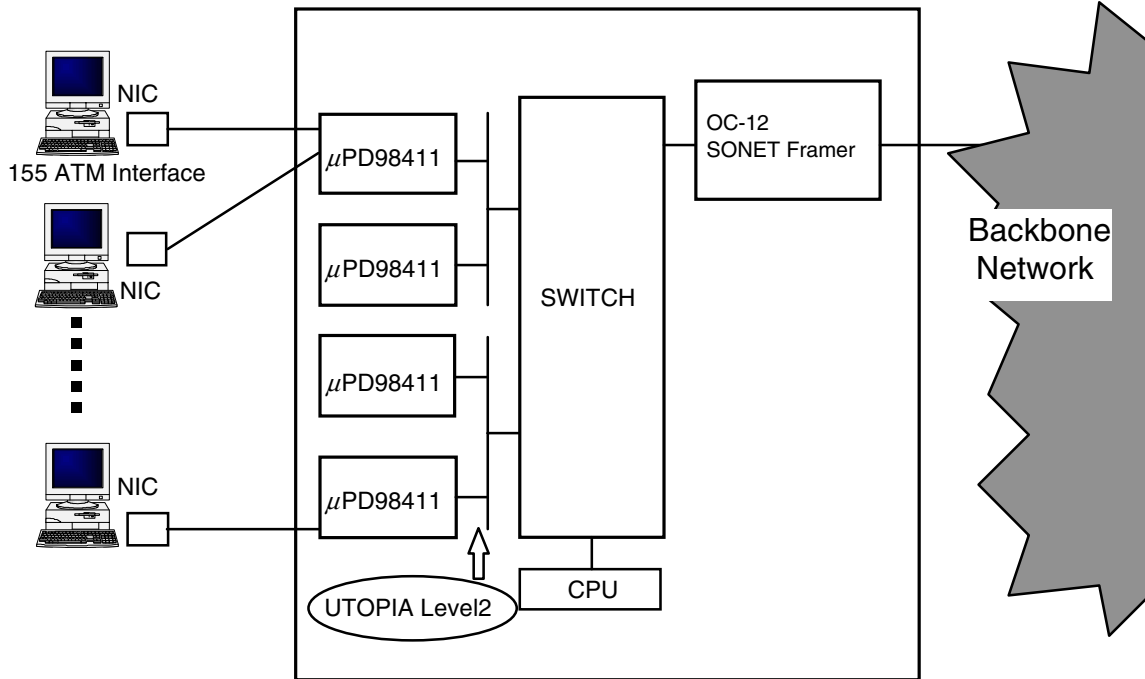
オーダ名称	パッケージ
μPD98411GN-MMU	240 ピン・プラスチック QFP (ファインピッチ) (32×32)

1.3 システム

1.3.1 アプリケーション

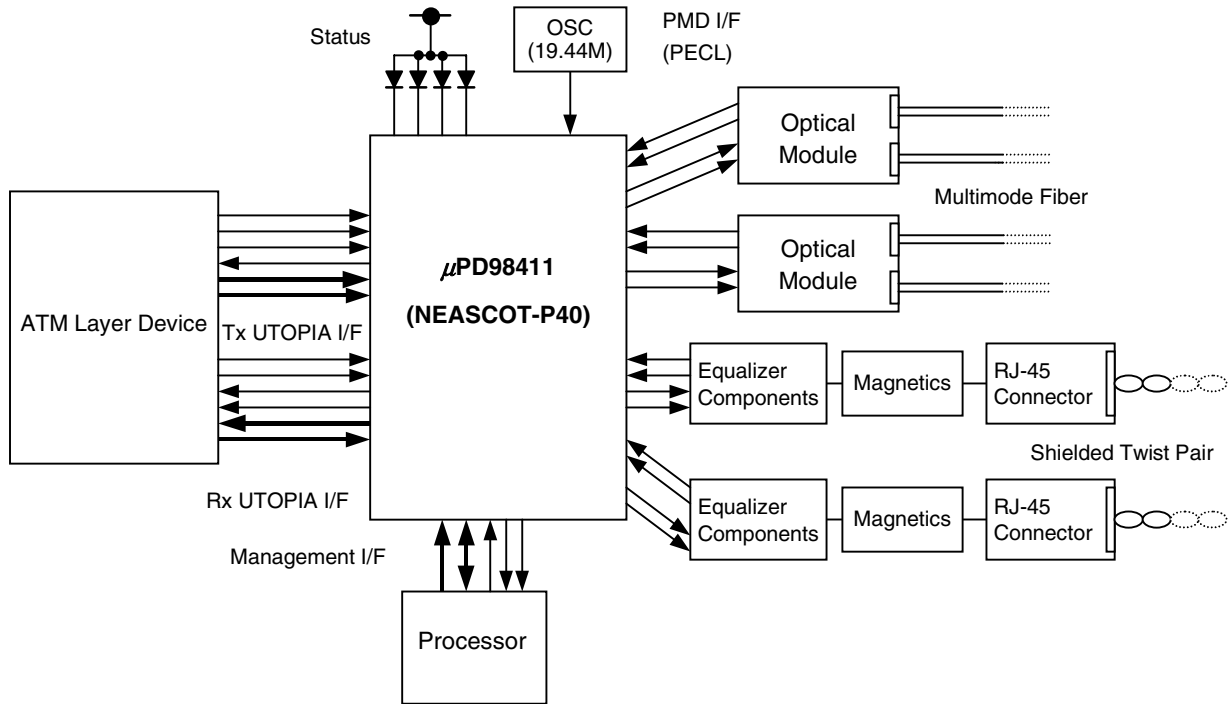
μPD98411 を用いたシステム構成例を示します。

例：ATM スイッチ



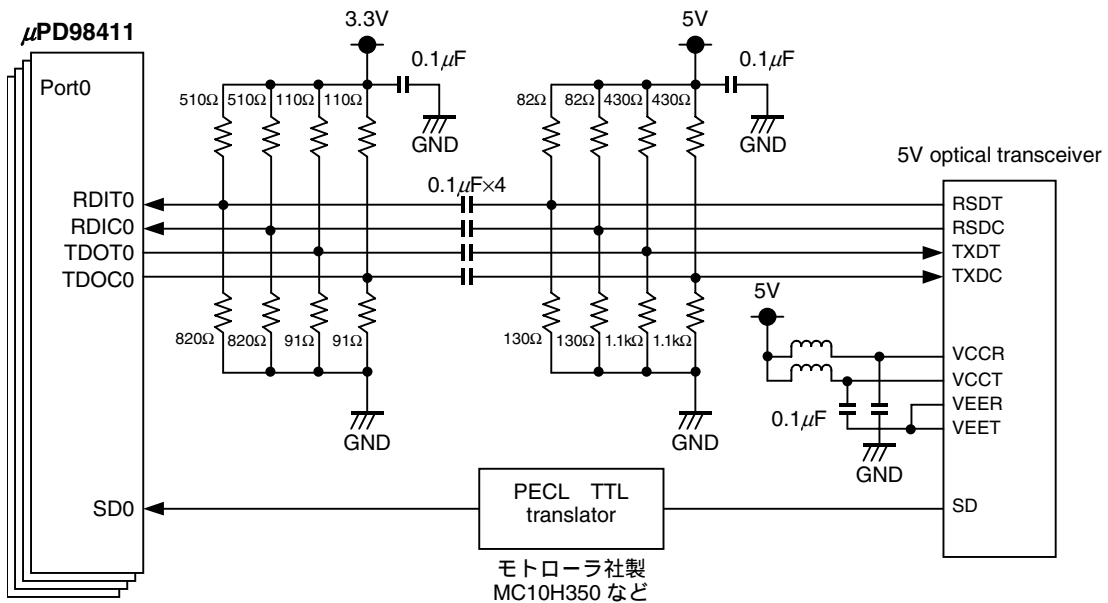
1.3.2 システム構成

(1) μ PD98411 周辺

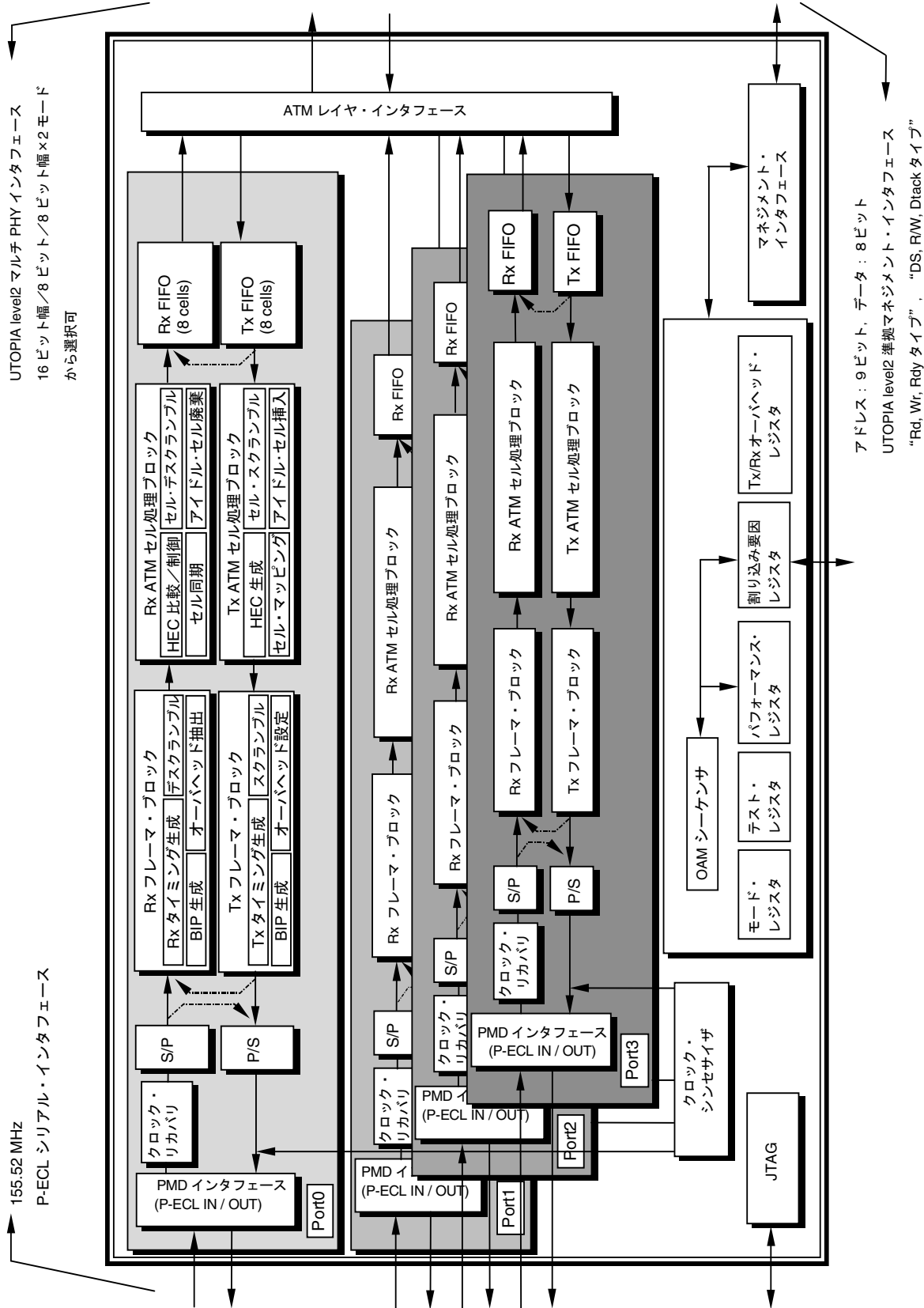


(2) 5V トランシーバとの接続例

μ PD98411 を 5 V 光トランシーバへ接続する場合の例を次に示します。 μ PD98411 は 3.3 V 動作なので、5 V デバイスに接続する場合は AC カップリング回路を追加してください。



1.4 ブロック図

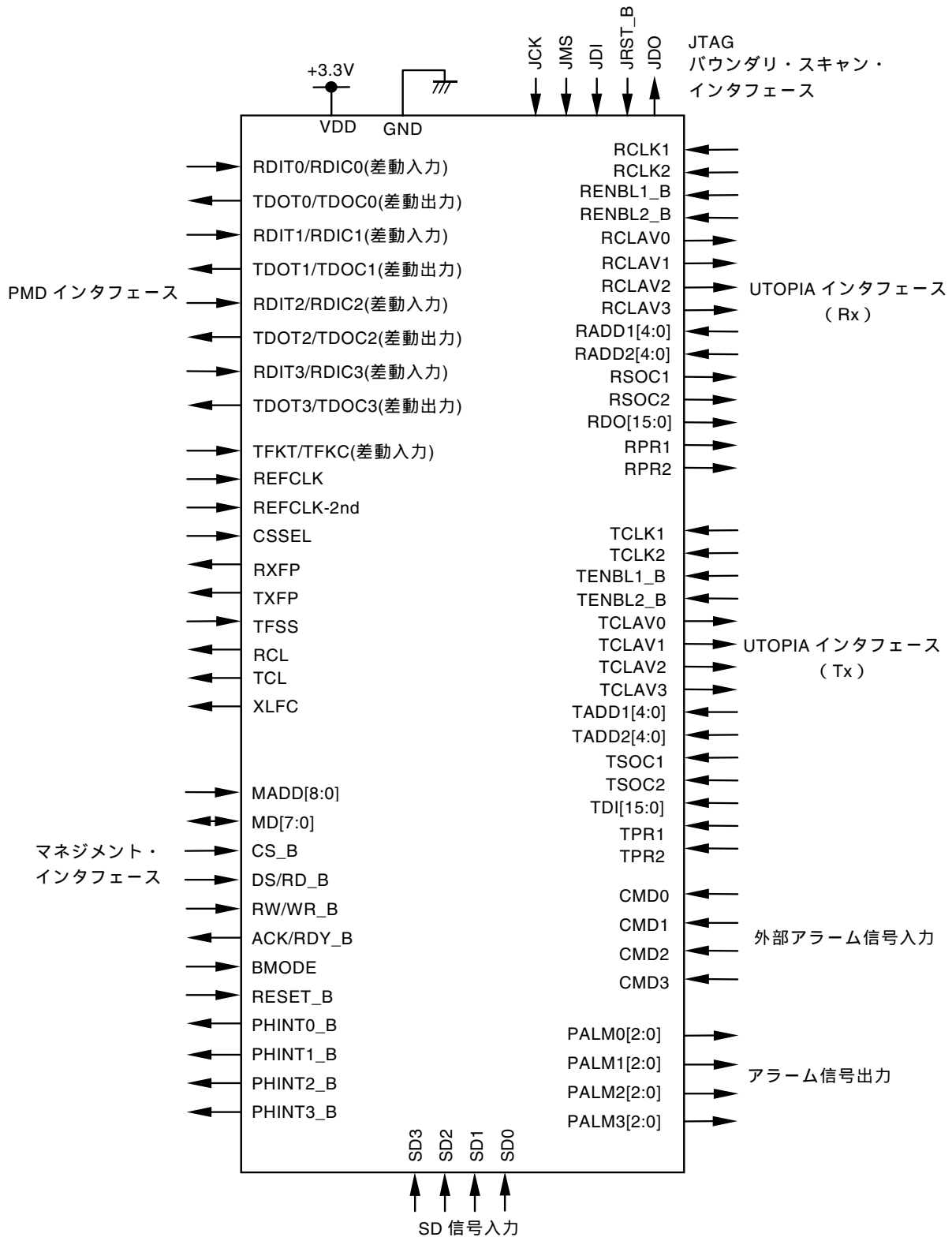


UTOPIA level2 マルチ PHY インタフェース
16 ビット幅 / 8 ビット幅 / 8 ビット幅 × 2 モード
から選択可

155.52 MHz
P-ECL シリアル・インタフェース

アドレス: 9ビット, データ: 8ビット
UTOPIA level2 準拠マネジメント・インタフェース
"Rd, Wr, Rd, W, Diack タイプ"

1.5 端子構成図

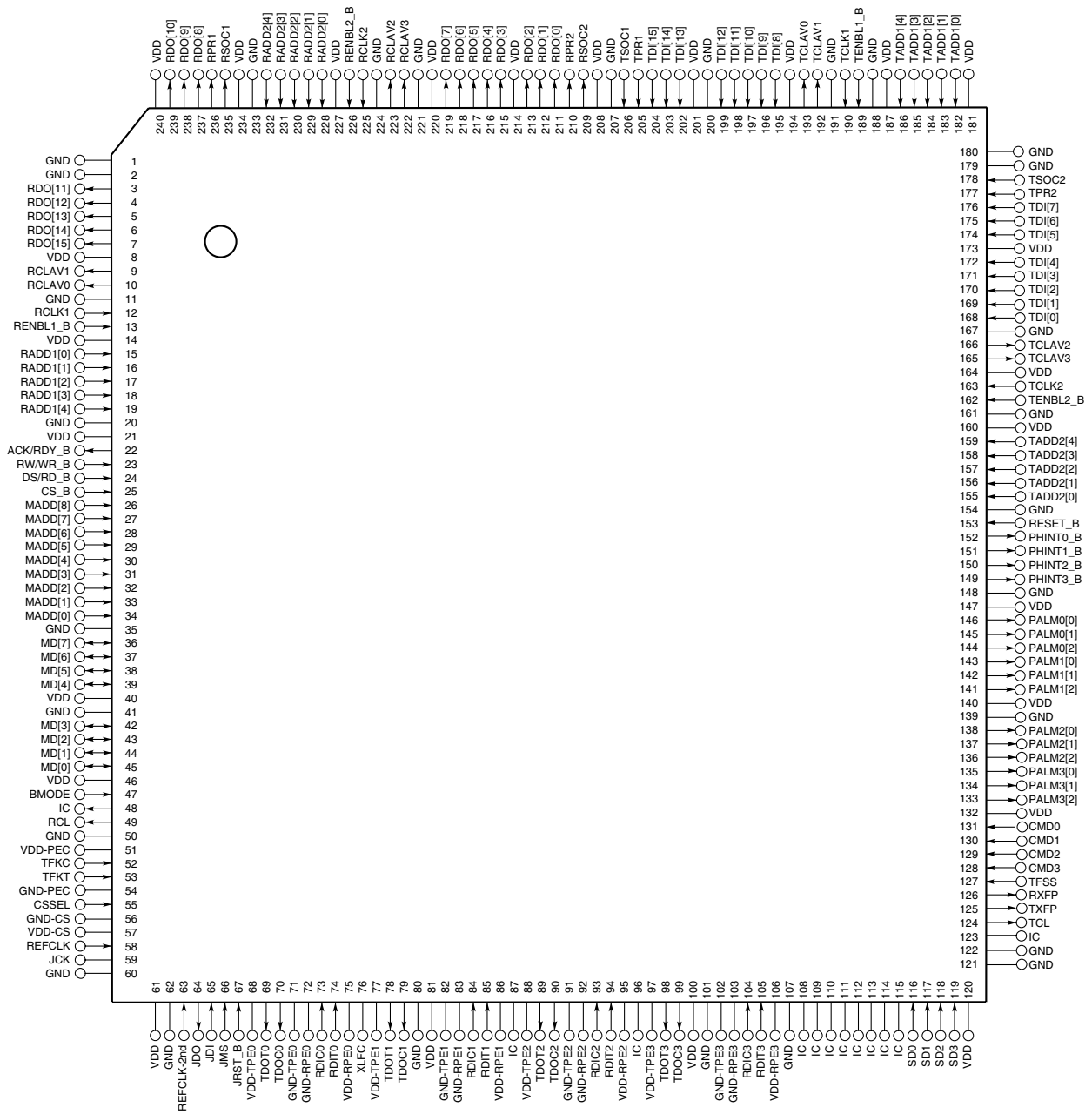


第2章 端子機能

2.1 端子接続図

・ 240ピン・プラスチック QFP（ファインピッチ）（32×32）

μPD98411GN-MMU



備考 IC：内部接続端子です。必ずオープンにしてください。

端子配置表

(1/2)

No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	GND	40	VDD	79	TDOC1	118	SD2
2	GND	41	GND	80	GND	119	SD3
3	RDO[11]	42	MD[3]	81	VDD	120	VDD
4	RDO[12]	43	MD[2]	82	GND-TPE1	121	GND
5	RDO[13]	44	MD[1]	83	GND-RPE1	122	GND
6	RDO[14]	45	MD[0]	84	RDIC1	123	IC
7	RDO[15]	46	VDD	85	RDIT1	124	TCL
8	VDD	47	BMODE	86	VDD-RPE1	125	TXFP
9	RCLAV1	48	IC	87	IC	126	RXFP
10	RCLAV0	49	RCL	88	VDD-TPE2	127	TFSS
11	GND	50	GND	89	TDOT2	128	CMD3
12	RCLK1	51	VDD-PEC	90	TDOC2	129	CMD2
13	RENBL1_B	52	TFKC	91	GND-TPE2	130	CMD1
14	VDD	53	TFKT	92	GND-RPE2	131	CMD0
15	RADD1[0]	54	GND-PEC	93	RDIC2	132	VDD
16	RADD1[1]	55	CSSEL	94	RDIT2	133	PALM3[2]
17	RADD1[2]	56	GND-CS	95	VDD-RPE2	134	PALM3[1]
18	RADD1[3]	57	VDD-CS	96	IC	135	PALM3[0]
19	RADD1[4]	58	REFCLK	97	VDD-TPE3	136	PALM2[2]
20	GND	59	JCK	98	TDOT3	137	PALM2[1]
21	VDD	60	GND	99	TDOC3	138	PALM2[0]
22	ACK/RDY_B	61	VDD	100	VDD	139	GND
23	RW/WR_B	62	GND	101	GND	140	VDD
24	DS/RD_B	63	REFCLK-2nd	102	GND-TPE3	141	PALM1[2]
25	CS_B	64	JDO	103	GND-RPE3	142	PALM1[1]
26	MADD[8]	65	JDI	104	RDIC3	143	PALM1[0]
27	MADD[7]	66	JMS	105	RDIT3	144	PALM0[2]
28	MADD[6]	67	JRST_B	106	VDD-RPE3	145	PALM0[1]
29	MADD[5]	68	VDD-TPE0	107	GND	146	PALM0[0]
30	MADD[4]	69	TDOT0	108	IC	147	VDD
31	MADD[3]	70	TDOC0	109	IC	148	GND
32	MADD[2]	71	GND-TPE0	110	IC	149	PHINT3_B
33	MADD[1]	72	GND-RPE0	111	IC	150	PHINT2_B
34	MADD[0]	73	RDIC0	112	IC	151	PHINT1_B
35	GND	74	RDIT0	113	IC	152	PHINT0_B
36	MD[7]	75	VDD-RPE0	114	IC	153	RESET_B
37	MD[6]	76	XLFC	115	IC	154	GND
38	MD[5]	77	VDD-TPE1	116	SD0	155	TADD2[0]
39	MD[4]	78	TDOT1	117	SD1	156	TADD2[1]

(2 / 2)

No.	端子名	No.	端子名	No.	端子名	No.	端子名
157	TADD2[2]	179	GND	201	VDD	223	RCLAV2
158	TADD2[3]	180	GND	202	TDI[13]	224	GND
159	TADD2[4]	181	VDD	203	TDI[14]	225	RCLK2
160	VDD	182	TADD1[0]	204	TDI[15]	226	RENBL2_B
161	GND	183	TADD1[1]	205	TPR1	227	VDD
162	TENBL2_B	184	TADD1[2]	206	TSOC1	228	RADD2[0]
163	TCLK2	185	TADD1[3]	207	GND	229	RADD2[1]
164	VDD	186	TADD1[4]	208	VDD	230	RADD2[2]
165	TCLAV3	187	VDD	209	RSOC2	231	RADD2[3]
166	TCLAV2	188	GND	210	RPR2	232	RADD2[4]
167	GND	189	TENBL1_B	211	RDO[0]	233	GND
168	TDI[0]	190	TCLK1	212	RDO[1]	234	VDD
169	TDI[1]	191	GND	213	RDO[2]	235	RSOC1
170	TDI[2]	192	TCLAV1	214	VDD	236	RPR1
171	TDI[3]	193	TCLAV0	215	RDO[3]	237	RDO[8]
172	TDI[4]	194	VDD	216	RDO[4]	238	RDO[9]
173	VDD	195	TDI[8]	217	RDO[5]	239	RDO[10]
174	TDI[5]	196	TDI[9]	218	RDO[6]	240	VDD
175	TDI[6]	197	TDI[10]	219	RDO[7]		
176	TDI[7]	198	TDI[11]	220	VDD		
177	TPR2	199	TDI[12]	221	GND		
178	TSOC2	200	GND	222	RCLAV3		

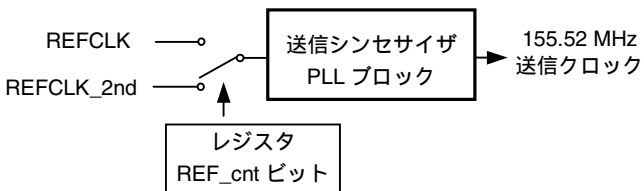
端子名称

ACK/RDY_B	: Acknowledge/Ready	RENBL2_B,	: Receive Data Enable
BMODE	: Bus Mode	RENBL1_B	
CMD3-CMD0	: Command Signal	RESET_B	: System Reset
CS_B	: Chip Select	RPR2, RPR1	: Receive Data Path Parity
CSSEL	: Clock Source Select	RSOC2, RSOC1	: Receive Start Of Cell
DS/RD_B	: Data Strobe/Read	RW/WR_B	: Management Interface Read/Write
GND	: Ground		
GND-CS	: Ground for Analog PLL Block	RXFP	: Receive Frame Pulse
GND-PEC	: Ground for TFKT/TFKC PECL Block	SD3-SD0	: Signal Detect
GND-RPE3 ~	: Ground for Rx PECL Block	TADD2[4:0],	: Transmit Address
GND-RPE0		TADD1[4:0]	
GND-TPE3 ~	: Ground for Tx PECL Block	TCL	: Internal Transmit System Clock
GND-TPE0		TCLAV3-TCLAV0	: Transmit Cell Available Signals
JCK	: JTAG Clock	TCLK2, TCLK1	: Transmit Data transferring Clock
JDI	: JTAG Data Input	TDI[15:0]	: Transmit Data Input from the ATM Layer
JDO	: JTAG Data Output	TDOC3-TDOC0	: Transmit Data Output Complement
JMS	: JTAG Mode Select		
JRST_B	: JTAG Reset	TDOT3-TDOT0	: Transmit Data Output True
MADD[8:0]	: Management Interface Address	TENBL2_B,	: Transmit Data Enable
	Bus	TENBL1_B	
MD[7:0]	: Management Interface Data Bus	TFKC	: Transmit Reference Clock Complement
PALM3[2:0],	: Physical Alarm Output Signals	TFKT	: Transmit Reference Clock True
PALM2[2:0],		TFSS	: Transmit Frame Set Signal
PALM1[2:0],		TPR2, TPR1	: Transmit Data Path Parity
PALM0[2:0]		TSOC2, TSOC1	: Transmit Start Of Cell
PHINT3_B-PHINT0_B	: Physical Interrupt	TXFP	: Transmit Frame Pulse
RADD2[4:0],	: Receive Address	VDD	: Supply Voltage
RADD1[4:0]		VDD-CS	: Supply Voltage for Analog PLL Block
RCL	: Internal Receive System Clock	VDD-PEC	: Supply Voltage for TFKT/TFKC PECL Block
RCLAV3-RCLAV0	: Receive Cell Available Signals		
RCLK2, RCLK1	: Receive Data Transferring Clock	VDD-RPE3 ~	: Supply Voltage for Rx PECL Block
RDIC3-RDIC0	: Receive Data Input Complement	VDD-RPE0	
RDIT3-RDIT0	: Receive Data Input True	VDD-TPE3 ~	: Supply Voltage for Tx PECL Block
RDO[15:0]	: Receive Data Output	VDD-TPE0	
REFCLK	: System Clock		
REFCLK-2nd	: 2nd Reference Clock	XLFC	: Tx Loop Filter Capacity

2.2 端子機能

2.2.1 PMD インタフェース

(1/3)

端子名	端子番号	入出力レベル	I/O	機能
RDIT3-RDI T0	105, 94, 85, 74	P-ECL True(+)	I	受信シリアル・データ入力。 P-ECL レベルの差動入力です。
RDIC3-RD IC0	104, 93, 84, 73	P-ECL Complement(-)	I	
TDOT3-TD OT0	98, 89, 78, 69	P-ECL True(+)	O	送信シリアル・データ出力。 P-ECL レベルの差動出力です。
TDOC3- TDOC0	99, 90, 79, 70	P-ECL Complement(-)	O	
SD3-SD0	119-116	TTL	I	<p>回線信号検出信号入力。</p> <p>回線トランシーバ（光モジュールなど）の SD（Signal Detect）信号を入力するための端子です。この信号がロウ・レベルになると、そのポートは LOS 検出となります。</p> <p>ハイ・レベル：正常 ロウ・レベル：LOS 状態</p>
REFCLK	58	TTL	I	<p>システム・クロック（19.44 MHz）入力。</p> <p>内部シンセサイザ PLL / クロック・リカバリ PLL のレファレンス・クロック，およびレジスタが動作するためのシステム・クロックとして使用します。</p>
REFCLK-2 nd	63	TTL	I	<p>第2レファレンス・クロック（19.44 MHz）入力。</p> <p>内部シンセサイザ PLL の2番目のレファレンス・クロックを入力する端子です。シンセサイザ PLL のレファレンス・クロックを切り替える必要がない場合は使用しません。REFCLK と REFCLK-2nd のどちらのクロックをレファレンス・クロックにするかは，CSSC レジスタ（アドレス：076H）で設定します。デフォルトでは，REFCLK 入力を選択されています。REFCLK-2nd をシンセサイザ PLL のレファレンス・クロックにする場合でも，REFCLK はレジスタ動作などにも使用するため，クロックを入力する必要があります。</p> 

(2/3)

端子名	端子番号	入出力レベル	I/O	機能
RXFP	126	TTL	O	<p>受信フレーム・パルス出力 (8 kHz)。</p> <p>受信するフレームの先頭に同期して、パルス信号を出力します。パルス信号は、RCL クロックの1サイクル分です。</p> <p>内部 FPMSK レジスタ (アドレス: 07CH) への設定で、4ポートのうち、どのポートが受信するフレームに同期したパルスを出力するかを選択します。デフォルト設定ではどのポートも選択されておらず、出力しません。</p>
XLFC	76	アナログ	O	<p>ループ・フィルタ容量接続端子。</p> <p>シンセサイザ PLL のループ・フィルタを接続する端子です。オープンにしてください。</p>
TXFP	125	TTL	O	<p>送信側フレーム・パルス信号出力 (8 kHz)。</p> <p>送信フレームの先頭に同期して、TCL クロックの1周期分に相当するパルス信号を出力します。内部 FPMSK レジスタ (アドレス: 07CH) への設定で、4ポートのうち、どのポートが送信するフレームに同期したパルスを出力するかを選択します。デフォルト設定ではどのポートも選択されておらず、出力しません。</p>
TFSS	127	TTL	I	<p>フレーム送信ディスエーブル信号入力。</p> <p>この端子にハイ・レベルを入力すると、すべてのポートは、出力データ列を0か1のどちらかに固定し、フレームの送出を停止します。ロウ・レベルを入力すると、TCL クロックの約9サイクル時間後に、フレームの先頭 (1st A1 バイト) から送出を開始します。</p>
RCL	49	TTL	O	<p>受信システム・クロック出力 (19.44 MHz)。</p> <p>各ポートは、内部受信処理に受信クロック 155.52 MHz の8分周クロックを使用しており、そのクロックをこの端子から出力します。どのポートのシステム・クロックを出力するかは、RCMSK レジスタ (アドレス: 07BH) への設定で選択します。デフォルト設定では、ポート0のクロックが選択されています。リセット中および、どのポートも選択されていないときは、ロウ・レベルを出力します。また、REFCLK_2nd クロックもこの端子から出力させることができます。</p> <p>注 受信クロックの8分周クロックを出力している場合、基となる受信クロックが、受信回線の状況に応じて変化したとき、この端子からスパイクが出力されることがあります。</p>
TCL	124	TTL	O	<p>送信システム・クロック出力 (19.44 MHz)。</p> <p>各ポートは、内部送信処理に送信クロック 155.52 MHz の8分周クロックを使用しており、そのクロックをこの端子から出力します。どのポートのシステム・クロックを出力するかは、TCMSK レジスタ (アドレス: 07AH) への設定で選択します。リセット中および、どのポートも選択されていないときは、ロウ・レベルを出力します。</p>

(3/3)

端子名	端子番号	入出力レベル	I/O	機 能
TFKT	53	P-ECL True(+)	I	外部生成送信クロック 155.52 MHz 入力。 内部に搭載するシンセサイザ PLL を使用せず、外部で生成した送信クロック (155.52 MHz) を入力するための端子です。この端子は、CSSEL 端子をハイ・レベルにするとイネーブルになります。
TFKC	52	P-ECL Complement(-)	I	
CSSEL	55	TTL	I	TFKT/TFKC 端子イネーブル信号入力。 チップ外部からの 155.52 MHz クロックを TFKT/TFKC 端子に入力する場合に、TFKT/TFKC 端子のイネーブル信号を入力する端子です。 ハイ・レベル：TFKT/TFKC 端子イネーブル ロウ・レベル：TFKT/TFKC 端子ディスエーブル

2.2.2 UTOPIA インタフェース

UTOPIA インタフェースの各信号は、内部 MitUT レジスタ (アドレス: 079H) で選択するモードに応じて使用する端子が異なります。詳細については、4.1 UTOPIA インタフェース を参照してください。

(1/4)

端子名	端子番号	入出力レベル	I/O	機 能
RDO[15:11] RDO[10:8] RDO[7:3] RDO[2:0]	7-3 239-237 219-215 213-211	TTL	O 3 ｽﾀｰﾄ	受信データ・バス。 ATM レイヤ・デバイスに受信データを転送する 16 ビット・データ・バスです。RCLK クロックの立ち上がり同期して出力します。 MitUT レジスタ(アドレス:079H)で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 ・ Single 8-bit バス : RDO[7:0] ・ Single 16-bit バス : RDO[15:0] ・ Dual 8-bit バス : RDO[15:8] / RDO[7:0]
RCLK2 RCLK1	225 12	TTL	I	受信クロック入力。 受信データ転送用クロックを入力する端子です。50 MHz までのクロックを入力します。MitUT レジスタ(アドレス:079H)で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 ・ Single 8-bit バス : RCLK2 ・ Single 16-bit バス : RCLK1 ・ Dual 8-bit バス : RCLK1 / RCLK2
RSOC2 RSOC1	209 235	TTL	O 3 ｽﾀｰﾄ	受信セル開始位置信号出力。 ATM レイヤ・デバイスに対して受信セルの先頭バイト位置を示す信号を出力します。MitUT レジスタ(アドレス:079H)で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 ・ Single 8-bit バス : RSOC2 ・ Single 16-bit バス : RSOC2 ・ Dual 8-bit バス : RSOC1 / RSOC2

(2/4)

端子名	端子番号	入出力レベル	I/O	機能
RENBL2_B RENBL1_B	226 13	TTL	I	<p>受信イネーブル信号入力。</p> <p>対向 ATM レイヤ・デバイスが受信データ受け付け可能であることを示す信号を入力します。MitUT レジスタ（アドレス：079H）で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。</p> <ul style="list-style-type: none"> ・ Single 8-bit バス : RENBL2_B ・ Single 16-bit バス : RENBL1_B ・ Dual 8-bit バス : RENBL1_B / RENBL2_B
RCLAV3 RCLAV2 RCLAV1 RCLAV0	222 223 9 10	TTL	O 3ポート	<p>受信セル転送可通知信号出力。</p> <p>受信 FIFO に 1 セル以上のデータが存在することを ATM レイヤ・デバイスに通知する信号です。</p> <p>1TCLAV&1RCLAV モードの場合、各ポートの RCLAV 信号は、内部でマルチプレクスされて 1 信号として出力します。</p> <p>RCLAV0-RCLAV3 の 4 信号のうち使用する信号は、MitUT レジスタ（アドレス：079H）で選択する UTOPIA インタフェース・モードに応じて異なります。</p> <ul style="list-style-type: none"> ・ Single 8-bit バス : RCLAV2 ・ Single 16-bit バス : RCLAV1 ・ Dual 8-bit バス : RCLAV1 / RCLAV2 <p>Direct Status Indication (DSI) モード、および Multiplexed Status Polling (MSP) モードの場合には、RCLAV0-RCLAV3 の 4 信号が各ポートに割り当てられ、それぞれの FIFO 状態を通知します。ポート 0 には RCLAV0、ポート 3 には RCLAV3 が対応します。</p>
RADD2[4:0] RADD1[4:0]	232-228 19-15	TTL	I	<p>受信側 PHY アドレス入力。</p> <p>ポートを選択するアドレスを入力します。MitUT レジスタ（アドレス：079H）で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。</p> <ul style="list-style-type: none"> ・ Single 8-bit バス : RADD2[4:0] ・ Single 16-bit バス : RADD1[4:0] ・ Dual 8-bit バス : RADD1[4:0] / RADD2[4:0]
RPR2 RPR1	210 236	TTL	O	<p>パリティ・ビット出力端子。</p> <p>RDO[15]-RDO[0]上に出力するデータに対して、奇数パリティ・ビットを生成し、この端子より出力します。MitUT レジスタ（アドレス：079H）で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。</p> <ul style="list-style-type: none"> ・ Single 8-bit バス : RPR2 ・ Single 16-bit バス : RPR2 ・ Dual 8-bit バス : RPR1 / RPR2

(3/4)

端子名	端子番号	入出力レベル	I/O	機能
TDI[15:13] TDI[12:8] TDI[7:5] TDI[4:0]	204-202 199-195 176-174 172-168	TTL	I	送信データ・バス。 ATM レイヤ・デバイスから送信データを入力するデータ・バスです。 TCLK クロックの立ち上がりエッジで取り込みます。MitUT レジスタ (アドレス : 079H) で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 <ul style="list-style-type: none"> ・ Single 8-bit バス : TDI[15:8] ・ Single 16-bit バス : TDI[15:0] ・ Dual 8-bit バス : TDI[15:8] / TDI[7:0]
TCLK2 TCLK1	163 190	TTL	I	送信クロック入力。 送信データ転送用のクロックを入力する端子です。50 MHz までのクロックを入力します。MitUT レジスタ (アドレス : 079H) で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 <ul style="list-style-type: none"> ・ Single 8-bit バス : TCLK1 ・ Single 16-bit バス : TCLK2 ・ Dual 8-bit バス : TCLK1 / TCLK2
TSOC2 TSOC1	178 206	TTL	I	送信セル開始位置信号入力。 送信セルの先頭バイト位置を示す信号を入力する端子です。MitUT レジスタ (アドレス : 079H) で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 <ul style="list-style-type: none"> ・ Single 8-bit バス : TSOC1 ・ Single 16-bit バス : TSOC1 ・ Dual 8-bit バス : TSOC1 / TSOC2
TENBL2_B TENBL1_B	162 189	TTL	I	送信イネーブル信号入力。 ATM レイヤ・デバイスが有効な送信データを TDI[15]-TDI[0]に出力していることを示す信号を入力します。MitUT レジスタ (アドレス : 079H) で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 <ul style="list-style-type: none"> ・ Single 8-bit バス : TENBL1_B ・ Single 16-bit バス : TENBL2_B ・ Dual 8-bit バス : TENBL1_B / TENBL2_B

(4/4)

端子名	端子番号	入出力レベル	I/O	機能
TCLAV3 TCLAV2 TCLAV1 TCLAV0	165 166 192 193	TTL	O 3ポート	<p>送信セル受け付け可能通知信号出力。</p> <p>送信 FIFO に 1 セル以上の空き領域があることを ATM レイヤ・デバイスに通知する信号です。</p> <p>1TCLAV&1RCLAV モードの場合、各ポートの TCLAV 信号は、内部でマルチプレクスされて 1 信号として出力します。TCLAV0-TCLAV3 の 4 信号のうち使用する信号は、MitUT レジスタ（アドレス：079H）で選択する UTOPIA インタフェース・モードに応じて異なります。</p> <ul style="list-style-type: none"> ・ Single 8-bit バス : TCLAV1 ・ Single 16-bit バス : TCLAV2 ・ Dual 8-bit バス : TCLAV1 / TCLAV2 <p>Direct Status Indication (DSI) モード、および Multiplexed Status Polling (MSP) モードの場合には、TCLAV0-TCLAV3 の 4 端子を各ポートに 1 信号ずつ割り当て、それぞれのポートの FIFO 状態を通知します。ポート 0 には TCLAV0 が、ポート 3 には TCLAV3 が対応しています。</p>
TADD2[4:0] TADD1[4:0]	159-155 186-182	TTL	I	<p>送信側 PHY アドレス入力。</p> <p>選択するポートのアドレスを入力します。MitUT レジスタ（アドレス：079H）で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。</p> <ul style="list-style-type: none"> ・ Single 8-bit バス : TADD1[4:0] ・ Single 16-bit バス : TADD2[4:0] ・ Dual 8-bit バス : TADD1[4:0] / TADD2[4:0]
TPR2 TPR1	177 205	TTL	I	<p>パリティ・ビット入力端子。</p> <p>TDO[15:0]から入力するデータの奇数パリティ・ビットを入力します。MitUT レジスタ（アドレス：079H）で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。</p> <ul style="list-style-type: none"> ・ Single 8-bit バス : TPR1 ・ Single 16-bit バス : TPR1 ・ Dual 8-bit バス : TPR1 / TPR2

2.2.3 マネジメント・インタフェース

端子名	端子番号	入出力レベル	I/O	機能
BMODE	47	TTL	I	モード選択入力。 この端子入力によって、マネジメント・インタフェースのモードを選択します。 BMODE = 1: 端子機能として<RD_B, WR_B, RDY_B>を選択。 BMODE = 0: 端子機能として<DS_B, R/W_B, ACK_B>を選択。
MADD[8:0]	26-34	TTL	I	アドレス入力。 内部レジスタのアドレスを入力する9ビット・アドレスです。
MD[7:4] MD[3:0]	36-39 42-45	TTL	I/O 3スト	8ビット・データ・バス。 内部レジスタのデータをリード/ライトするための8ビット・データ・バスです。
CS_B	25	TTL	I	チップ・セレクト信号入力。 ロウ・レベルのとき、内部レジスタへのアクセスをイネーブルにします。
DS/RD_B	24	TTL	I	データ・ストローブ信号入力、またはリード信号入力。 この端子は、BMODE 端子の入力で選択されるマネジメント・インタフェース・モードによって機能が異なります。 BMODE = 0: データ・ストローブ信号 DS_B として機能 BMODE = 1: リード・アクセスを選択する RD_B として機能
RW/WR_B	23	TTL	I	リード/ライト信号入力、またはライト信号入力。 この端子は、BMODE 端子入力で選択されるマネジメント・インタフェース・モードによって機能が異なります。 BMODE = 0 の場合、リード/ライト制御信号 R/W_B として機能 R/W_B = ハイ: リード・サイクル R/W_B = ロウ: ライト・サイクル BMODE = 1 の場合、内部レジスタに対してライトを選択する WR_B として機能
ACK/RDY_B	22	TTL	O 3スト	データ・アクノリッジ信号出力、またはレディ信号出力。 内部レジスタに対するリード/ライト・サイクルを受け付けるアクノリッジおよびレディ信号を出力します。
PHINT3_B- PHINT0_B	149-152	TTL	O	割り込み信号出力。 割り込み要因が発生したことをホストに通知するための信号です。4ポートの割り込み要因を PHINT0_B 信号から通知するモードと PHINT0_B-PHINT3_B の4端子を使用し、各ポートが個別に割り込みを通知するモードがあります。ポート0には PHINT0_B が、ポート3には PHINT3_B 端子が対応します。
RESET_B	153	TTL	I	システム・リセット信号入力。 μ PD98411 を初期化します。1 μ s 以上の幅を持つロウ・パルスを入力します。特に、電源投入時には少なくとも電源電圧のレベルが90%以上に到達してから上述のパルス幅を確保しなければなりません。RESET_B 信号を入力するときは、REFCLK 端子にクロックが入力されている必要があります。

2.2.4 アラーム信号入出力

端子名	端子番号	入出力レベル	I/O	機能
CMD3-CM D0	128-131	TTL	I	汎用入力信号。 外部周辺デバイスのステート信号などを入力する汎用入力端子です。この端子の信号レベルは、内部レジスタのステート・ビットに反映され、そのビットの変化を割り込み要因にすることもできます。各ポートごとに1端子あり、CMD0はポート0に、CMD3はポート3に対応します。
PALM3[2:0] PALM2[2:0] PALM1[2:0] PALM0[2:0]	133-135 136-138 141-143 144-146	TTL	O	PHY レイヤ・アラーム検出信号出力。 これらの端子は、ポートが警告、障害 (LOS, OOF, LOF, LOP, OCD, LCD, Line AIS, Path AIS, Line RDI, Path RDI) を検出したこと、または CMD 端子入力のレベルが変化したことをステートとして出力します。さらに、内部レジスタのビットのステートを反映させる汎用出力ポートとしても使用できます。出力するステートは、AMPR, AMPR1, AMPR2 レジスタを用いて選択します。

2.2.5 JTAG バウンダリ・スキャン

端子名	端子番号	入出力レベル	I/O	機能
JDI	65	TTL	I	バウンダリ・スキャン・データ入力です。 未使用時は、グラウンドに接続してください。
JDO	64	TTL	O 3ポート	バウンダリ・スキャン・データ出力です。 未使用時は、オープンにしてください。
JCK	59	TTL	I	バウンダリ・スキャン・クロック入力です。 未使用時は、グラウンドに接続してください。
JMS	66	TTL	I	バウンダリ・スキャン・モード選択信号入力です。 未使用時は、グラウンドに接続してください。
JRST_B	67	TTL	I	バウンダリ・スキャン・リセット信号入力です。 未使用時は、グラウンドに接続してください。

備考 通常動作時の JTAG バウンダリ・スキャン用端子の処置について

JTAG ロジックは、RESET_B 端子へのパルス入力ではリセットがかかりません。

JTAG ロジックがリセット状態にないと、 μ PD98411 は通常動作を行えない場合があります。JTAG ロジックのリセット方法には次の2つがありますので、JRST_B 端子をグラウンドに接続していない場合には、電源投入後、必ずどちらかの方法で JTAG ロジックをリセットしてください。

・JRST_B 端子を使用せずに JTAG ロジックをリセット状態にする

JMS, JCK 端子を使用して、JTAG ロジックをリセット状態に移行させ、リセット状態から動かさないようにします (JRST_B 端子は、pull-up している状態です)。

JMS 端子を 1 に固定 (pull-up) して、JCK 端子に 5 クロック・サイクル以上入力してください。

・JRST_B 端子を使用して JTAG ロジックをリセット状態にする

JRST_B 端子に μ PD98411 の RESET_B と同じ幅のロウ・パルスを入力して、その後 JMS, JRST_B 端子を pull-up してハイ・レベルを維持していると、JTAG ロジックはリセット状態から動きませんので、通常動作に影響を及ぼしません。他の JDI, JCK 端子は、pull-down/pull-up のどちらかで入力レベルを固定してください。

2.2.6 電源, グランド

端子名	端子番号	I/O	機能
VDD	8, 14, 21, 40, 46, 61, 81, 100, 120, 132, 140, 147, 160, 164, 173, 181, 187, 194, 201, 208, 214, 220, 227, 234, 240	-	低速部ロジック用電源 (+3.3V±5%) とグランド。
GND	1, 2, 11, 20, 35, 41, 50, 60, 62, 80, 101, 107, 121, 122, 139, 148, 154, 161, 167, 179, 180, 188, 191, 200, 207, 221, 224, 233	-	
VDD-PEC	51	-	TFKT / TFKC 入力高速部用電源 (+3.3V±5%) とグランド。 この電源のノイズは、ジッタ特性に影響を及ぼします。フィルタなどの対策によりノイズ削減するようにしてください。
GND-PEC	54	-	
VDD-CS	57	-	送信クロック・シンセサイザ PLL 用電源 (+3.3V±5%) とグランド。 この電源のノイズは、ジッタ特性に影響を及ぼします。フィルタなどの対策によりノイズを削減してください。
GND-CS	56	-	
VDD-TPE3	97	-	各ポートのシリアル/パラレル変換部, 送信 P-ECL バッファ用電源 (+3.3V±5%) とグランド。 この電源のノイズは、ジッタ特性に影響を及ぼします。フィルタなどの対策によりノイズを削減してください。
VDD-TPE2	88		
VDD-TPE1	77		
VDD-TPE0	68		
GND-TPE3	102	-	
GND-TPE2	91		
GND-TPE1	82		
GND-TPE0	71		
VDD-RPE3	106	-	各ポートの受信クロック・リカバリ部, 受信 P-ECL バッファ用電源 (+3.3V±5%) とグランド。 この電源のノイズは、ジッタ特性に影響を及ぼします。フィルタなどの対策によりノイズを削減してください。
VDD-RPE2	95		
VDD-RPE1	86		
VDD-RPE0	75		
GND-RPE3	103	-	
GND-RPE2	92		
GND-RPE1	83		
GND-RPE0	72		

2.2.7 その他

端子名	端子番号	入出力レベル	I/O	機能
IC	48, 87, 96, 108-115, 123	CMOS	-	内部回路接続テスト端子です。必ずオープンにしてください。

2.2.8 未使用端子の処置

設定モードに応じて発生する使用しない端子は、次のように処置してください。

端子名	処置
RCLK2, RCLK1 RENBL2_B, RENBL1_B RADD2[4:0], RADD1[4:0] TDI[15:0] TCLK2, TCLK1 TSOC2, TSOC1 TENBL2_B, TENBL1_B TADD2[4:0], TADD1[4:0] TPR2, TPR1	グラウンドに接続してください。
RDO[15:0] RSOC2, RSOC1 RPR2, RPR1 RCLAV3-RCLAV0 TCLAV3-TCLAV0 TDOT, TDOC	オープンにしてください。
CMD3-CMD0	グラウンドに接続してください。
SD3-SD0	プルアップしてください。
TFKT, TFKC RDIT, RDIC	TFKT, RDIT はプルアップ, TFKC, RDIC はグラウンドに接続してください。
TFSS	グラウンドに接続してください。
XLFC	オープンにしてください。
REFCLK-2nd	グラウンドに接続してください。
上記以外の出力端子	オープンにしてください。

2.2.9 端子の初期状態

端子名	リセット中	リセット後
RDO[15:0] RSOC2, RSOC1 RCLAV3-RCLAV0 TCLAV3-TCLAV0 RPR2, RPR1	Hi-Z	Hi-Z
PHINT3_B-PHINT0_B	H	H
PALM3[2:0]-PALM0[2:0]	L	L
RXFP	L	L
TXFP	L	L
TCL	L	L
RCL	L	L
MD[7:0]	Hi-Z	Hi-Z
ACK/RDY_B	Hi-Z	Hi-Z
TDOT3-TDOT0	L	L
TDOC3-TDOC0	H	H

第3章 機能説明

μ PD98411 は、ATM プロトコルのうち、SONET/SDH ベースの物理レイヤにおける TC サブレイヤの機能を果たすフレイマ 4 ポート分を 1 チップに搭載した LSI です。その主な機能は、ATM レイヤから受ける ATM セルを 155 Mbps SONET STS-3c/SDH STM-1 フレームに挿入し回線側に出力する、また、受信 SONET/SDH フレームから ATM セルを取り出し、ATM レイヤに出力することです。 μ PD98411 に対するモードの設定、コマンド発行、ステート・レジスタのポーリングなどは、マネジメント・インタフェースを介して行います。

図 3 - 1 μ PD98411 とその周辺ブロック

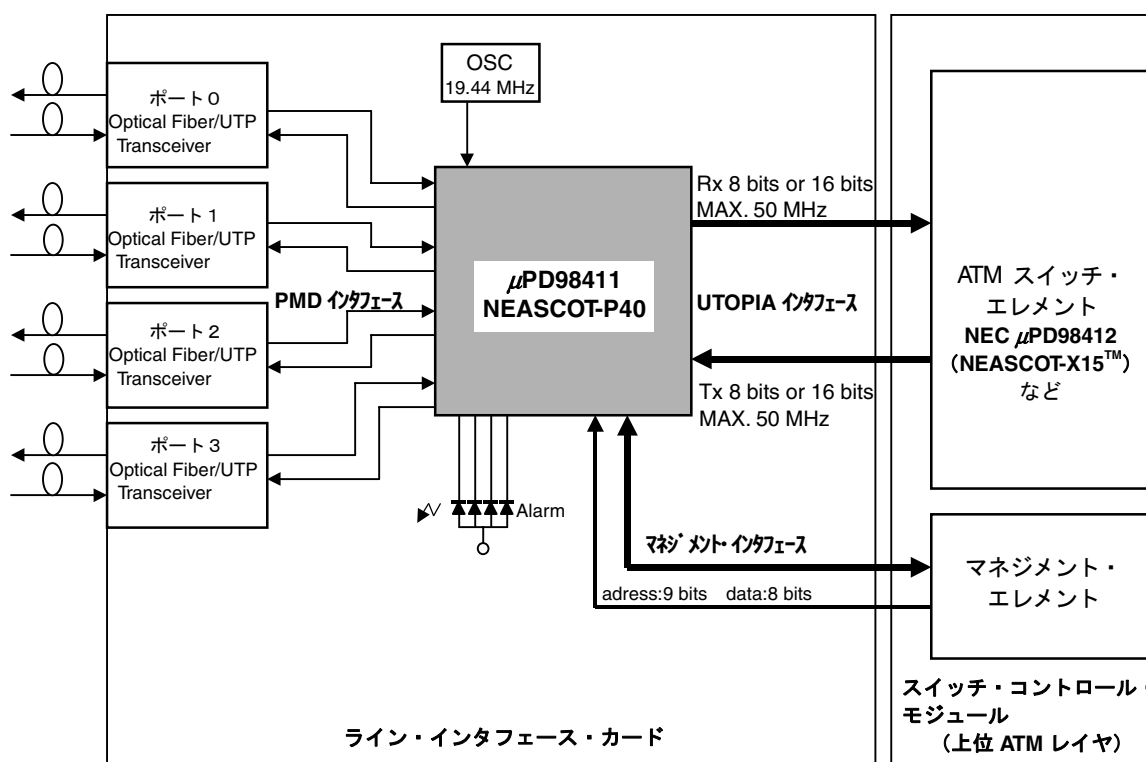
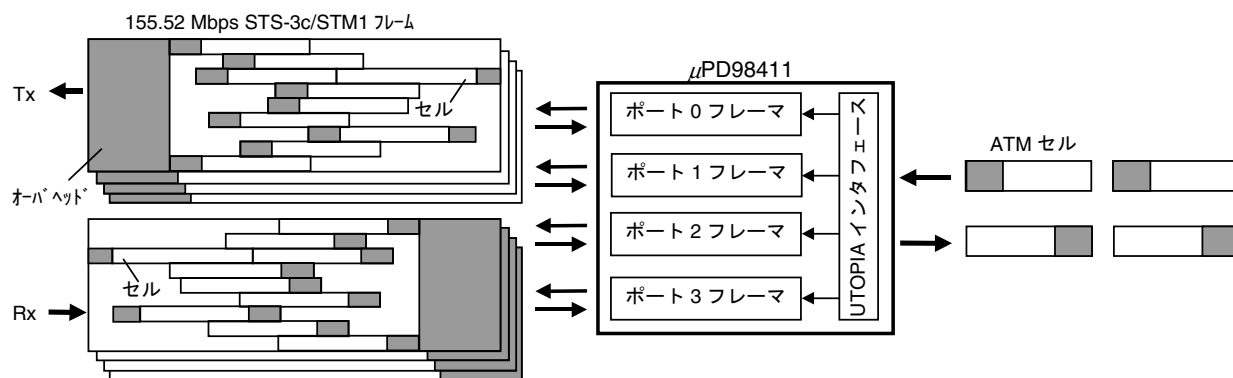
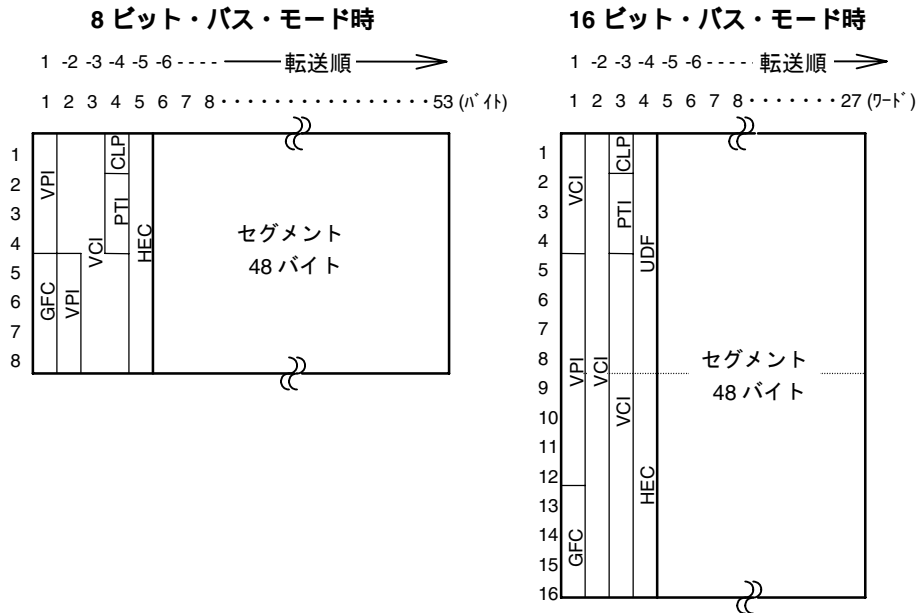


図 3 - 2 μ PD98411 の送受信データの流れ



ATMセル(ユーザ-網インタフェース)のフォーマットを図3-3に示します。

図3-3 ATMセルの構造(ユーザ-網インタフェース(UNI)の場合)



- GFC(Generic Flow Control) : 一般フロー制御
- PTI(Payload Type Identifier) : ペイロード・タイプ識別子
- VPI(Virtual Path Identifier) : バーチャル・パス識別子
- CLP(Cell Loss Priority) : セル損失優先表示
- VCI(Virtual Channel Identifier) : バーチャルチャネル識別子
- HEC(Header Error Control) : ヘッダ誤り制御
- UDF(User Defined) : μ PD98411は送信側(ATMレイヤからセルを受ける)ではこのフィールドを無視し,受信側(μ PD98411がATMレイヤにセルを送出する)では,オール0にして送出します。

図3-4 STS-3cのフォーマット(1/2)

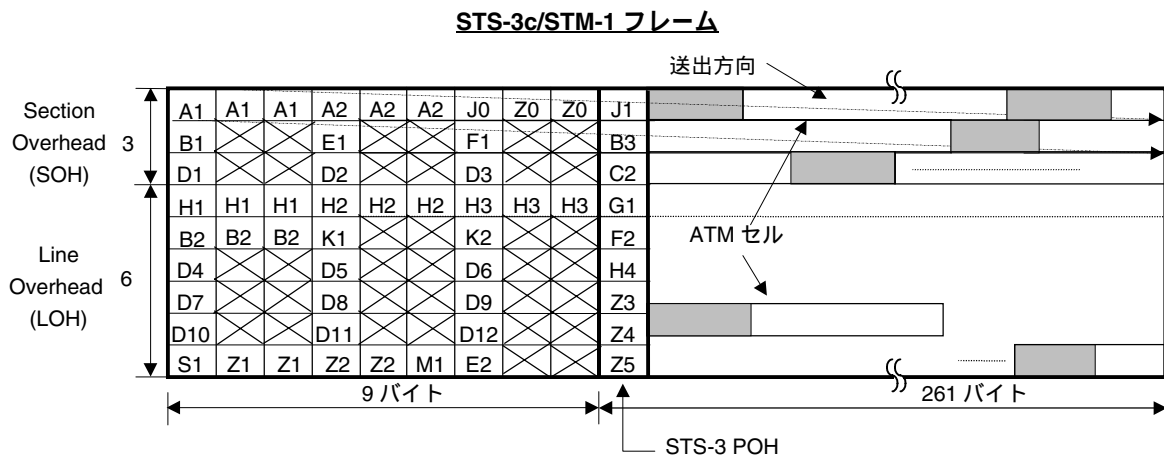
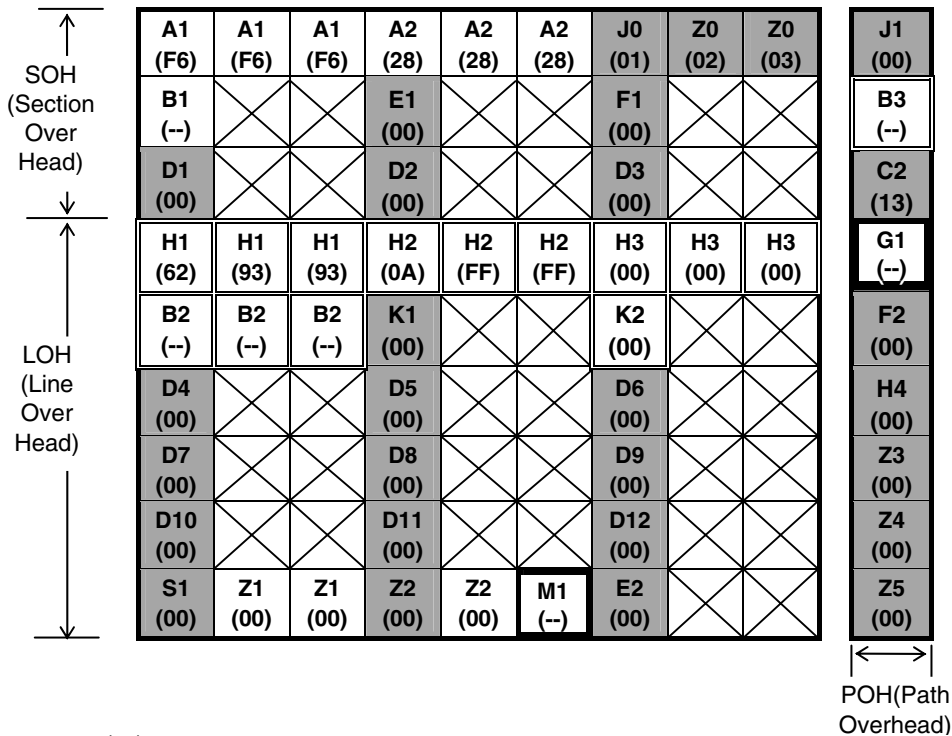


図3-4 STS-3cのフォーマット(2/2)



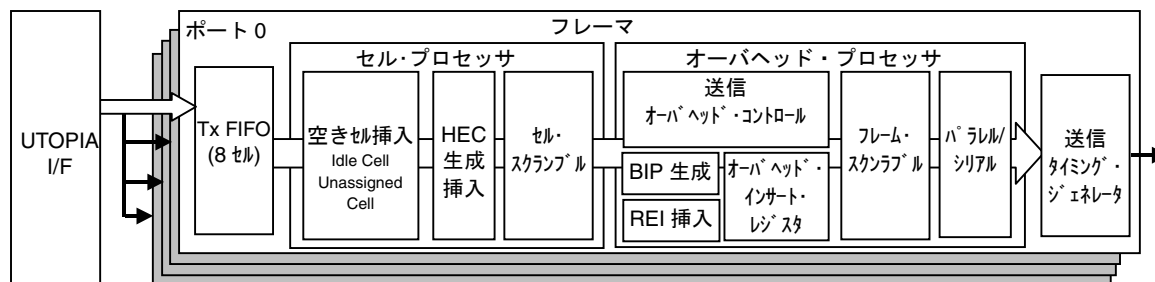
- 備考**
- () : 送信側デフォルト値 (H)
 - : レジスタへのリード・ライト・アクセスによって値の挿入/抽出が可能なバイト領域。
 - : μPD98411 が自動挿入/検証するバイト領域で、かつ、疑似フレーム送出時にかぎり、レジスタ・リード・ライトによって値の挿入/抽出も可能なバイト領域。
 - : 受信バイトのリードのみ可能なバイト領域。
 - : μPD98411 が自動挿入/検証し、外部から挿入/抽出できないバイト領域。
 - : 未使用バイト領域。00H を挿入します。

- | | | |
|-------------------|--------------------|-------------------|
| A1, A2 : フレーム同期 | B2 : BIP-24 | J1 : パス・トレース |
| J0 : セクション・トレース | K1 : 切り替え制御 | B3 : パス BIP-8 |
| Z0 : 予備 | K2 : セクション警報表示 | C2 : 信号ラベル |
| B1 : BIP-8 | D4-D12 : データ通信チャネル | G1 : 誤り表示, パス状態 |
| E1 : オーダ・ワイヤ | S1 : 同期状態 | F2 : パス・ユーザ・チャンネル |
| F1 : ユーザ・チャンネル | Z1 : 予備 | H4 : 位置表示 |
| D1-D3 : データ通信チャネル | Z2 : 予備 | Z3-Z5 : 予備 |
| H1, H2 : ポインタ | M1 : 誤り表示 | |
| H3 : ポインタ・アクション | E2 : オーダ・ワイヤ | |

3.1 送信機能

送信機能は、マルチ PHY UTOPIA インタフェースを介して上位 ATM レイヤ・デバイスより受けるセルを指定されたポートが生成する SONET STS-3c/SDH STM-1 フレームに挿入し、PMD インタフェース（回線側）より出力することです。ここでは、 μ PD98411 のフレームの送信機能を主に処理の流れに基づいて説明します。

図3-5 送信処理の流れ



(1) 送信側デフォルト状態

電源投入後、すべてのポートのフレーム機能はイネーブルになっており、デフォルト・モードに従って送信動作を開始します。デフォルト・モードでは、送信クロックのソースは、内蔵シンセサイザ PLL の生成するクロックが選択されています。内蔵シンセサイザ PLL は、電源投入後ただちに REFCLK 端子に入力される 19.44 MHz を基準にして 155.52 MHz クロックの生成を開始しますが、各ポートに安定した 155.52 MHz のクロックを供給できるまで約 10 ms の時間がかかります。

UTOPIA インタフェースは、レジスタ・アクセスによりモードが選択されるまでディスエーブルになっています。初期設定されてから、上位 ATM レイヤ・デバイスからセルを受けるまでの間は、フレームにアイドル・セル（空きセル）または、アンアサインド・セルを挿入して送出します。

(2) ATM レイヤ・デバイスからのセル・データ受信

セルは、UTOPIA インタフェースを介して上位 ATM レイヤ・デバイスより受け取ります。 μ PD98411 の ATM レイヤ・デバイスとのセル転送インタフェースは、ATM Forum の “The ATM Forum UTOPIA Level2 v1.0 af-phy-0039.00 June 1995” のマルチ PHY インタフェースに適合しており、さまざまなシステム構成に対応できるようにバス幅、ハンドシェイク信号の動作など、モード選択ができるようになっています。UTOPIA インタフェースの詳細については、4.1 UTOPIA インタフェースを参照してください。

電源投入後（リセット後）のデフォルト状態では、UTOPIA インタフェースはディスエーブルになっています。UTOPIA インタフェースをイネーブルにするには、次の手順で μ PD98411 のレジスタに設定を行います。UTOPIA インタフェースのモードにかかわるレジスタ（AVLC、MitUT）の設定は、セル・データを受ける前に、セル・データ転送を開始してからは変更しないようにしてください。

設定 (H/W, S/W リセット後)	レジスタ
受信ブロックのディスエーブル (4 ポート)	CMR2 レジスタ RDIS = 1
PHY アドレス設定およびアドレス・イネーブル (4 ポート)	PHYIDR レジスタ
CLAV 信号の応答タイミング設定 (変更不要の場合なし)	AVLC レジスタ
UTOPIA インタフェース・モードの設定およびバス・イネーブル	MiUT レジスタ
受信ブロックのイネーブル (4 ポート)	CMR2 レジスタ RDIS = 0

ATM レイヤ・デバイスからセル・データを受け取ると、アドレスによって指定されたポートの送信 FIFO に格納します。4 つのポートは、それぞれに約 8 セル分の大きさの送信 FIFO を持ち、ATM レイヤ側と PMD 側とのレート調整を行うためのバッファ機能として働きます。

受け取り中のセルで送信 FIFO がフルになるため、これ以上セルを受け取れない場合は、TCLAV 信号をロウ・レベルにして ATM レイヤに通知します。そのしきい値は、**AVLC** レジスタの **AVL1-AVL3** ビットへの設定により、1-7 セル分までプログラマブルに変更することができます。この設定は、TCLAV 信号によりもう受け取れないことを通知してから、すぐにセル転送を止めることができない ATM レイヤのデバイスと接続する場合に有効です。

ATM レイヤからセル・データが送られてこない期間があり、FIFO に残り 1 セル分の送信データがなくなったときは、空きセル (アイドル・セル) を挿入します。このとき挿入するアイドル・セルをモード設定によってアンアサインド・セルに切り替えることができます。モードの切り替えは、**AVLC** レジスタ (アドレス: 78H) の **UCS** ビットをセットすることにより行います。それぞれのフォーマットを図 3-6 に示します。

図 3-6 μ PD98411 が挿入する空きセルのフォーマット



備考 μ PD98411 の送信側 UTOPIA インタフェースにアイドル・セル / アンアサインド・セルのフォーマットのセルを入力した場合、 μ PD98411 はそれらを通常有効データと同じように扱い、フレームにマッピングして回線側へ出力します。特に内部で廃棄はしません。

(3) HEC の生成, 挿入

ATM セルのヘッダ 5 バイトのうち上位 4 バイトに対して次の多項式で CRC 演算を行い、この値に “55H” を加算した値を ATM ヘッダの 5 バイト目に挿入し HEC (Header Error Control : ヘッダ誤り制御) とします。

$$\text{多項式 } G(X) = X^8 + X^2 + X + 1$$

備考 μ PD98411 は、ATM レイヤ・デバイスから入力されるセル・データの先頭から 5 バイト目 (HEC の位置) の内容を調べたり、 μ PD98411 内部で用いたりすることはありません。このバイト領域には、演算した HEC の値を上書きしますので、ATM レイヤ・デバイスは “00H” などのダミー・バイトを挿入してください。

(4) ATM セルのスクランブル

次の多項式で、ATM セルのデータに対してスクランブルを行います。スクランブルの範囲は、ATM セルの 48 バイトのペイロード部だけです。

$$\text{多項式 } G(X) = X^{43} + 1$$

また、ユーザはテスト時などのためにスクランブル停止モードを設定することができます。スクランブル停止モードは MDR3 レジスタの CSCR ビットで設定します。

(5) SONET/SDH フレームの生成

ATMセル流は、SONET/SDHのバーチャル・コンテナのVC-4のペイロード領域にマッピングされ、 μ PD98411 は、VC-4 パス・オーバーヘッド (POH) および、セクション・オーバーヘッド (SOH) 情報と結合して SONET STS-3c/SDH STM-1 フレームを生成します。ATM セルの境界は、VC-4 ペイロード領域のバイトの境界に整合していますが、容量 (2340 バイト) は、セル長 (53 バイト) の整数倍ではないため、セルは 2 個の別のフレームの VC-4 ペイロード境界に存在することもあります。生成するフレームのフォーマットは、**図 3-4 STS-3c のフォーマット**を参照してください。

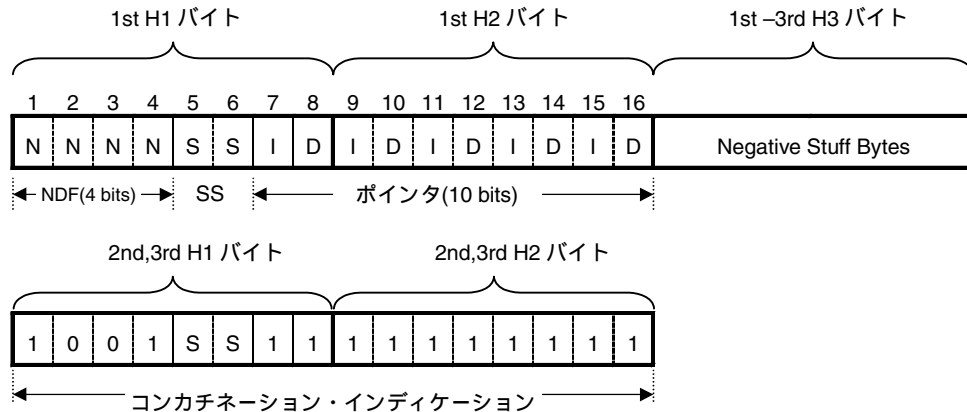
(a) AU ポインタ

オーバーヘッドの第 4 行目に位置し、H1、H2 および H3 の 3 種類のバイトからなる AU-4 ポインタは、VC-4 の先頭バイト (POH の J1 バイト) を識別するアドレスとして用いられます。

μ PD98411 が送出する送信フレームは、POH (パス・オーバーヘッド) の位置を変化させることはなく、J1 バイトの位置も変動することはありません。したがって H1、H2 バイトに格納するポインタ値は常に 20AH = “100001010” で、NDF も “0110” のディスプレイ指示に固定されています。H1 バイトの第 5、第 6 ビット目に当たる SS ビットは、デフォルトでは “00” が格納され、MDR1 レジスタの SS ビット・テーブルに設定することで変更することができます。

また、送信側では、Frequency Justification (スタッフ動作) を要求することがないため、デスタッフ・バイトとして用いられる H3 バイトには、ペイロード・データを設定することなく、オール 0 を常に格納して送出します。

図3-7 AUポインタ(H1-H3バイト)のフォーマット



備考 NDF : New Data Flag. ポインタ値を変更する場合のイネーブル/ディスエーブル指示。
 μPD98411 は、ポインタ値を変更しないのでディスエーブルを設定。

NDF Enable = 1001, NDF Disable = 0010, 0110, 0100, 0111, 1110

SS ビット: パーチャル・コンテナの種類を表示。μPD98411 は MDR1 レジスタの SS テーブルに格納されたビットを挿入します。デフォルト値は“00”です。

ポインタ: POH の先頭バイト J1 の位置表示, および Frequency Justification (スタッフ動作) の指示。

I (Increment ビット) : Positive Justification (正スタッフ) 動作要求

D (Decrement ビット) : Negative Justification (負スタッフ) 動作要求

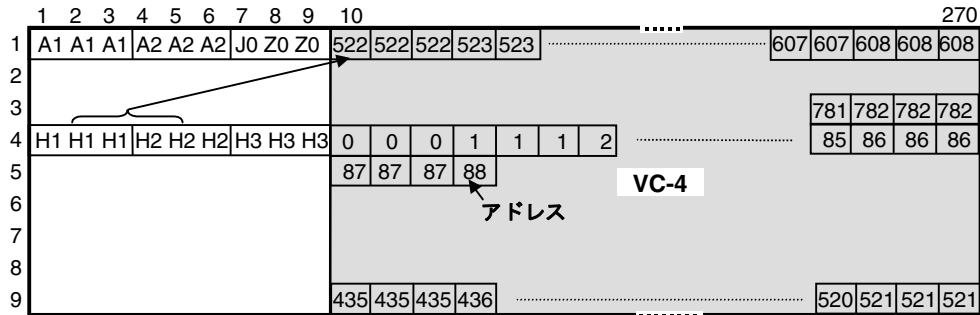
コンカチネーション・インディケーション: 連結表示

μPD98411 の送化する H1-H3 バイトの内容

	H1 バイト	H2 バイト	H3 バイト
1st	0110 <u>SS</u> 10	0000 1010	0000 0000
2nd	1001 <u>SS</u> 11	1111 1111	0000 0000
3rd	1001 <u>SS</u> 11	1111 1111	0000 0000

備考 AU-4 におけるポインタ値は、0-782 の範囲の 2 進数で、VC-4 の先頭バイト (J1) の位置を示します。AU-4 では、図 3-8 に示すように VC のオフセット値は 3 バイトごとに増加します。たとえば、AU-4 ポインタ値が 0 である場合には、VC-4 が H3 バイトの直後のバイト位置から始まることを示し、522 (20AH) である場合には、2nd Z0 の直後の位置から始まることを示します。

図3-8 AUポインタのオフセット値

**(b) BIP 生成**

オーバーヘッドの B1, B2, B3 バイトは、フレームの誤り監視に用いられます。μPD98411 は、送信データについて BIP (Bit Interleaved Parity) 演算を行い、演算結果を次の送信オーバーヘッド・データのうち、B1, B2, B3 バイトに相当する位置に挿入します。

(c) REI 送出

受信側で BIP エラーが生じているかどうかを、送信先装置に通報します。受信フレームで B2 エラーを検出すると、その誤り数を Line REI (Remote Error Indication) として M1 (第 4-8 ビット) に、B3 エラーを検出すると、その誤り数を Path REI として G1 (第 1-4 ビット) に格納し送出します。

BIP の生成、および REI の送出については、3.3.1(2) **送信側回線品質のモニタ関連機能** で詳しく後述していますので、参照してください。

(d) インサート・レジスタを持つオーバーヘッド領域

μPD98411 は、オーバーヘッドのうち下記のバイト領域に対して、任意の値を設定して送出するためのインサート用レジスタを備えています。マネジメント・インタフェースを介してインサート・レジスタに設定することにより、任意の値を送出できます。設定するまでは、レジスタのデフォルト値を送出します。インサート・レジスタの詳細については、3.4 **フレーム・オーバーヘッドのインサート/ドロップ** に後述しています。

・インサートレジスタを持つオーバーヘッド・バイト

SOH: J0, 1st Z0, 2nd Z0, F1, E1, K1, K2, E2, S1, 1st Z2, D1-D3, D4-D12

POH: J1, H4, F2, Z3, Z4, Z5

(6) フレームのスクランブル

送信するフレームに対し次の多項式でスクランブルをします。スクランブルは、フレームの先頭から 9 バイト “A1・A1・A1・A2・A2・A2・J0・Z0・Z0” を除いたすべての範囲に対して行います。

$$\text{多項式 } G(X) = 1 + X^6 + X^7$$

また、ユーザはテスト時などのためにスクランブル停止モードを設定することができます。スクランブル停止モードは MDR3 レジスタの FSCR ビットで設定します。

(7) PMD インタフェースへのフレーム出力

生成したフレーム・データをシリアル・データ列に変換して PMD インタフェースから回線側へと出力します。データを出力するソース・クロックとして次の5種類から選択できます。PMD インタフェースの詳細は、**4.2 PMD インタフェース** を参照してください。

- 内蔵シンセサイザ PLL が REFCLK 入力クロックを基に生成するクロック
- 内蔵シンセサイザ PLL が REFCLK-2nd 入力クロックを基に生成するクロック
- 自ポートの内蔵クロック・リカバリ PLL が抽出したクロック
- 他のポートの内蔵クロック・リカバリ PLL が抽出したクロック
- TFKT/TFKC 端子に入力されるクロック

送信データの出力は、TFSS 端子にロウ・レベルが入力されていることが前提になります。この端子にハイ・レベルが入力されている場合は、すべてのポートは、オール1を出力します。

(8) 警報の送出

必要に応じて **CMR1** レジスタへ設定することにより、APS、Line AIS、Path AIS、Line RDI、Path RDI の警報情報を送信フレームの所定のオーバーヘッド領域に挿入し送出することができます。また、Line RDI、Path RDI の警報情報においては、受信側の状態に応じて自動的に送出します。**IACM** レジスタへの設定によって自動送出をマスクすることもできます。警報送出の詳細は、**3.3.1 送信 OAM 制御** を参照してください。

(9) エラーを生成させる疑似フレームの送出

テスト用に、疑似エラーを生成し送出する機能があります。**CMR3** レジスタへの設定によって実行することができます。

(10) 送信ディスエーブル設定

CMR2 レジスタの **TDIS** ビットを1に設定することにより、ポートごとに送信機能をディスエーブルにすることができます。**TDIS** ビットを1に設定されたポートは、送信ブロックへのシステム・クロック供給を停止し、回線側にオール0のビット列を出力し続けます。レジスタ設定は維持しているため、TDIS ビットを0にすると、以前のモードのまま動作を再開します。

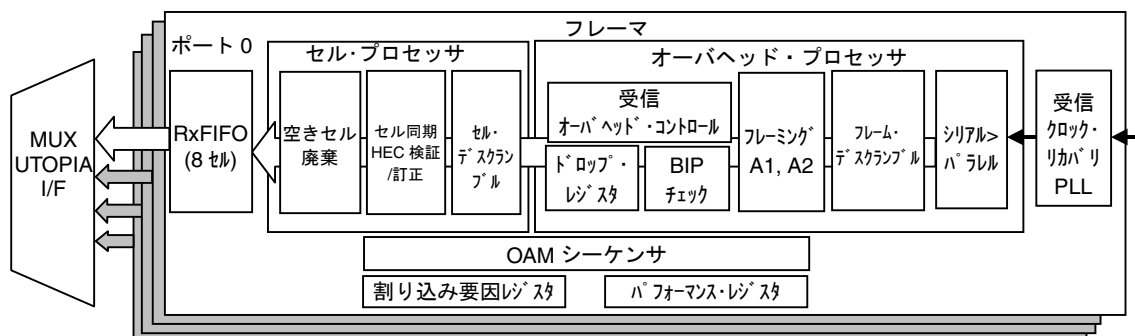
注意 UTOPIA インタフェース・ブロックは、TDIS ビットを設定しても停止しません。TDIS が1に設定されたポートは、送信 FIFO がリセット状態になります。 μ PD98411 の UTOPIA インタフェース・ブロックは、そのポートの送信 FIFO を空と認識し、TCLAV 信号をハイにして ATM レイヤ・デバイスに返しません。

シンセサイザ PLL は、TDIS を設定しても停止しません。

3.2 受信機能

受信機能は、PMD インタフェースより受ける SONET STS-3c/SDH STM-1 フレームから ATM セルを抽出し、UTOPIA インタフェース側に出力して ATM レイヤ・デバイスに渡します。

図3-9 受信処理の流れ



(1) 受信側デフォルト状態

電源投入後、すべてのポートのフレーム機能はイネールになっており、デフォルト・モードに従って受信動作を開始します。4つのポートがそれぞれに持つクロック・リカバリPLLは、RDIT/RDIC端子に入力されるビット列に同期したクロックを抽出し始めます。このリカバリ・クロックは、受信クロックとして、受信データのサンプリング、内部の受信回路の動作に使用されます。クロック・リカバリの動作についての詳細は、**4.2.3 (2) 受信クロック**を参照してください。

デフォルトでは、UTOPIA インタフェースはディスエーブルになっています。

(2) フレーム同期の確立

受信データのビット列をリカバリ・クロックでサンプリングしモニタします。ビット列中に一度A1, A2バイトの同期パターン6バイトを検出すると、次のフレームのA1, A2バイト位置にあたるビット列を調べ、再度同期パターンに一致すると、フレーム同期状態 (In frame) になります。

フレーム同期パターン : 6 バイト (A1 A1 A1 A2 A2 A2)

A1 = 11110110 (F6H)

A2 = 00101000 (28H)

フレーム同期状態においても、受信フレームA1, A2バイト(6バイト)の位置にあたるビット列をモニタし続け、同期パターンと異なるパターンを4回連続で検出すると、**フレーム同期外れ (Out of Frame)**状態になります。

(3) 受信フレームのデスクランブル

フレーム同期確立後，受信フレームを次の多項式でデスクランブルします。デスクランブルは，フレームの先頭9バイト分“ $A1 \cdot A1 \cdot A1 \cdot A2 \cdot A2 \cdot A2 \cdot J0 \cdot Z0 \cdot Z0$ ”を除いたすべての範囲に対して行います。

$$\text{多項式 } G(X) = 1 + X^6 + X^7$$

テスト時のために，フレームのデスクランブルをディスエーブルにするオプション・モードがあります。設定は，MDR3レジスタのFSCRビットに行います。

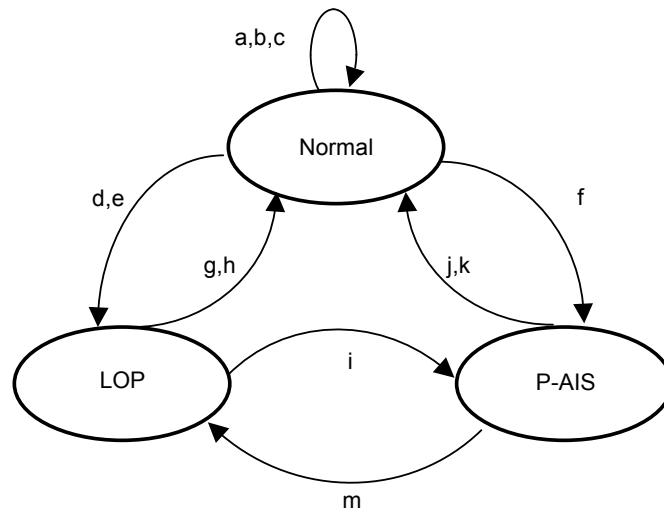
(4) ポインタ処理

デスクランブルした受信フレームのH1，H2バイトよりVC-4の先頭バイト（J1バイト）のアドレスを示すポインタ値を抽出し，ポインタ同期を確立します。

異常なポインタを検出した場合は，LOP（Loss Of Pointer：ポインタ喪失）状態となります。また，H1，H2バイト領域から警報Path AISの検出を行います。

ポインタのフォーマットは，**図3-7 AUポインタ（H1-H3バイト）のフォーマット**を参照してください。

図3-10 ポインタ値による状態遷移



Normal 状態：受信したポインタが正常で，正常に受信できている状態。

Path-AIS 状態：上流の装置または伝送路で異常が発生し，正常に受信できていない状態。

LOP 状態：受信したポインタ値が異常で，正常に受信できない状態。

表3-1 ポインタ処理一覧

遷 移		条 件
a	Normal Normal	NDF Disable + 同一有効ポインタを連続3回受信
b		NDF Enable + 有効ポインタを1回受信
c		Positive Justification/ Negative Justification 検出 (5) 受信 Frequency Justification を参照
d	Normal LOP	無効なポインタを連続8回受信
e		NDF Enable を連続8回受信
f	Normal Path-AIS	H1, H2 バイトがオール“1”を連続3回受信
g	LOP Normal	NDF Disable + 同一有効ポインタを連続3回受信
h		NDF Enable + 有効なポインタを1回受信
i	LOP Path-AIS	H1, H2 バイトがオール“1”を連続3回受信
j	Path-AIS Normal	NDF Disable + 同一有効ポインタを連続3回受信
k		NDF Enable + 有効ポインタを1回受信
m	Path-AIS LOP	H1, H2 バイトがオール1でなく, 上記 j,k の条件に当てはまらないポインタ値が連続8回受信

フレーム同期外れ (OOF) 状態になった場合は、強制的に LOP 状態に遷移します。

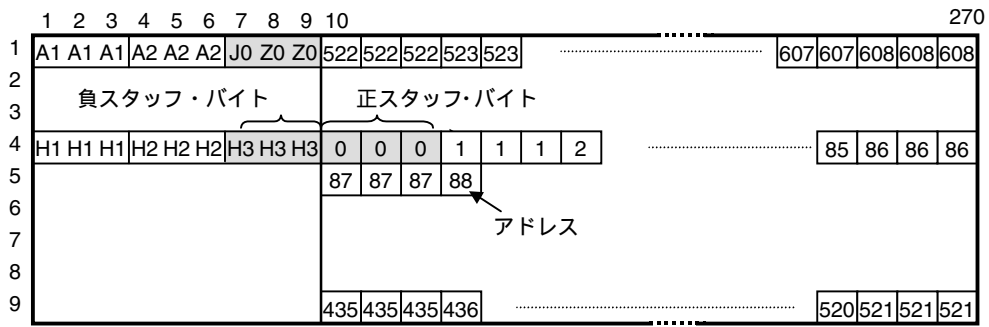
(5) 受信 Frequency Justification (スタップ動作)

受信側のポインタ処理において I ビットあるいは、D ビットについて、それぞれの反転を多数決判定し、Frequency Justification (スタップ動作) を実行します (図3-7 AU ポインタ (H1-H3 バイト) のフォーマットを参照してください)。

Positive Justification (正スタップ) : NDF = Disable で、新たなポインタにおいて、I ビット (3 ビット以上)、あるいは D ビット (2 ビット以下) が反転していることを検出した場合、ポインタ 0 番地のバイトをペイロード・データとして受信しません。

Negative Justification (負スタップ) : NDF = Disable で、新たなポインタ値において、I ビット (2 ビット以下)、あるいは D ビット (3 ビット以上) が反転していることを検出した場合、H3 バイト領域をペイロード・データとして受信します。

図3-11 スタッフ・バイト



(6) オーバヘッド情報のドロップ・レジスタ

受信オーバヘッドのうち、下記のバイト位置の受信内容を読み出すためのドロップ用レジスタを備えています。マネジメント・インタフェースを介してそれぞれのドロップ・レジスタにリード・アクセスすることにより、受信内容を読み出すことができます。ドロップ・レジスタの内容はフレームを受信するごとに更新されますが、SOH、LOHの値は、フレーム同期が外れると更新されず、POH領域の値は、ポインタ同期が外れると更新されません。詳細については、3.4 フレーム・オーバヘッドのインサート/ドロップに記載しています。

・ドロップ・レジスタを持つオーバヘッド・バイト

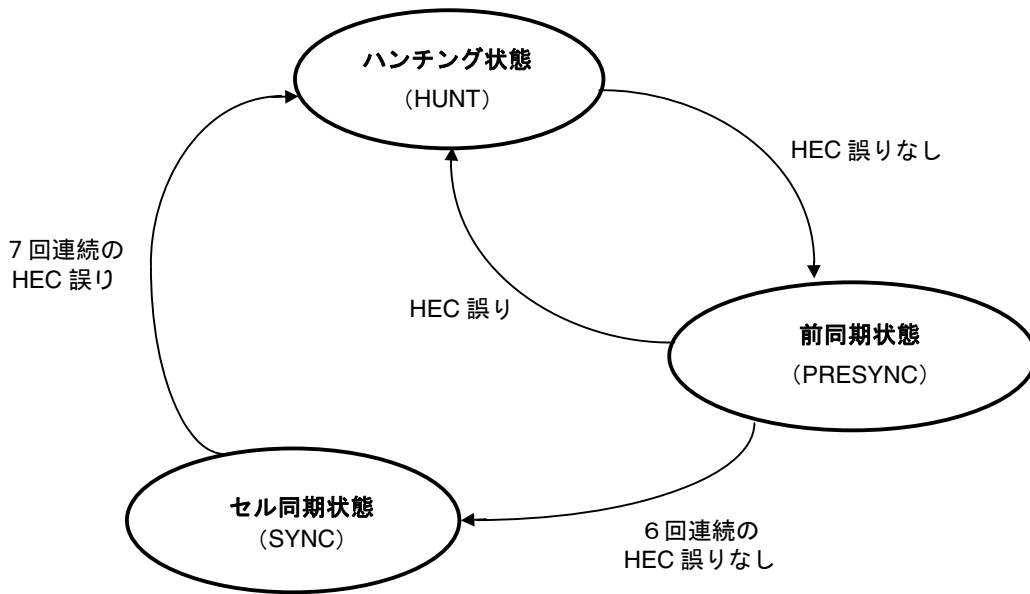
SOH, LOH : J0, 1st Z0, 2nd Z0, F1, E1, K1, K2, E2, S1, 1st Z2, D1-D3, D4-D12

POH : J1, H4, F2, Z3, Z4, Z5

(7) セル同期

セル同期は、VC-4のペイロード領域に収容されているビット列からATMセルを抽出するために、セル境界を識別する処理のことを言います。セル境界の識別は、セル・ヘッダにおけるヘッダ誤り制御(HEC)領域を利用して行います。図3-12は、ヘッダ誤り制御によるセル同期の状態遷移を示しています。保護段数は前方7段、後方6段です。

図3-12 セル同期状態遷移

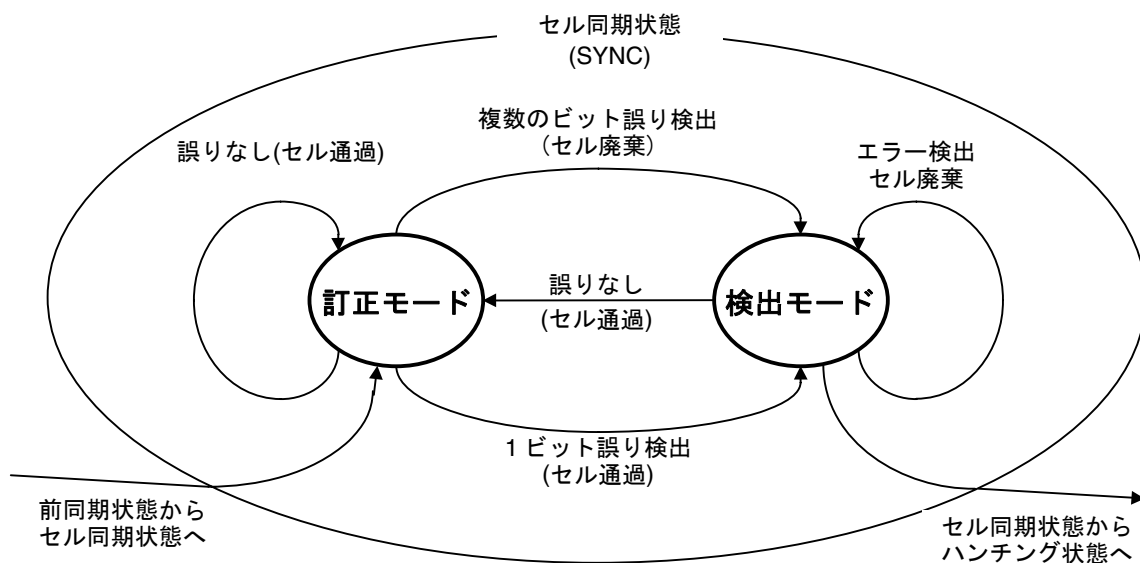


- ・ハンチング状態は、同期が外れておりセル境界を探索している状態です。HEC 誤りがなければ検査しています（CRC (Cyclic Redundancy Check, 巡回符号検査) チェックを1ビットずつずらして行い、剰余が0になるかを検査しています）。HEC が一致し、誤りのない HEC を検出すると前同期状態に遷移します。
- ・前同期状態では、6回連続で誤りのない HEC を受信するまで繰り返します。HEC 誤りを検出した場合は、ハンチング状態に戻ります。誤りのない6番目のセルは、受け取られ受信 FIFO に格納されます。
- ・セル同期状態では、7回連続で HEC 誤りを検出すると、セル同期が外れたとし、ハンチング状態に遷移します。
- ・セル同期が確立しているかどうかは、ACR レジスタの **OCD (Out Of Cell Delineation)** ビットで表示されます。OCD = 1 がハンチング、前同期状態、OCD = 0 は、セル同期状態を示します。
- ・さらに OCD 状態が 4 ms 継続した場合、**LCD (Loss Of Cell Delineation)** 状態となります。LCD は 4 ms の間セル同期状態が継続するとクリアされます。

(8) HEC 誤り制御

セル同期の確立中、ヘッダ誤り制御 (HEC) により、セル・ヘッダに対して1ビット誤りの訂正と複数ビット誤りの検出を行います。ヘッダ誤り制御処理の結果、誤り訂正を含みヘッダに誤り訂正がないとみなされた有効セルのみ、受信 FIFO に格納され ATM レイヤに転送されます。ヘッダ誤り制御の状態遷移を図3-13に示します。

図3-13 セル同期状態におけるHEC検証状態遷移



- ・訂正モード中は1ビットの誤りのみ訂正され、その後検出モードに移行します。
- ・検出モードにおいて連続してHEC誤りを検出し、7回目を検出した場合、セル同期状態からハンチング状態に遷移します。
- ・セル・ヘッダ誤り制御は、MDR3レジスタのHECEビットおよびCOREビットの設定によって異なります。

セル同期状態におけるヘッダ誤り制御について、MDR3 レジスタの HECE ビットおよび CORE ビットの設定によって次のようにモードを変更することができます。

表3-2 HEC 誤り訂正モード

HECE	CORE	現在のモード	イベント	処理	移行するモード
0	0	訂正モード	誤りなし	-	訂正モード
			1ビット誤り検出	誤り訂正	検出モード
			複数ビット誤り検出	セルを廃棄	検出モード
		検出モード	誤りなし	-	訂正モード
			1ビット誤り検出	セルを廃棄	検出モード
			複数ビット誤り検出	セルを廃棄	検出モード
	1	訂正モード	誤りなし	-	訂正モード
			1ビット誤り検出	セルを廃棄	検出モード
			複数ビット誤り検出	セルを廃棄	検出モード
		検出モード	誤りなし	-	訂正モード
			1ビット誤り検出	セルを廃棄	検出モード
			複数ビット誤り検出	セルを廃棄	検出モード
1	x	訂正モード	誤りなし	-	訂正モード
			1ビット誤り検出	-	検出モード
			複数ビット誤り検出	-	検出モード
		検出モード	誤りなし	-	訂正モード
			1ビット誤り検出	-	検出モード
			複数ビット誤り検出	-	検出モード

(9) ATM セルのデスクランブル

セル同期状態のとき、次の多項式にて、ATM セルのデータに対してデスクランブルを行います。デスクランブルの範囲は、ATM セルのペイロード部のみです。

$$\text{多項式 } G(X) = X^{43} + 1$$

テスト時のために、セルのデスクランブルをディスエーブルにするオプション・モードがあります。設定は、MDR3 レジスタの CSCRM ビットに行います。

(10) アイドル・セル/アンアサインド・セルの廃棄

フレームから抽出したセル流のヘッダの上位4バイトを監視し、アイドル・セルを検出した場合には、受信 FIFO に格納することなく廃棄します。監視するヘッダの VPI/VCI フィールド以外のパターンは、DCHPR レジスタと DCHPMR レジスタへの設定によって変更することができ、アンアサインド・セルを合わせて廃棄させたり、あるいは、共に通過させることもできます。詳細は、3.7 無効セルの選択 を参照してください。

(11) UTOPIA インタフェースからの ATM セル出力

各ポートは、約 8 セル分の大きさの受信用 FIFO を持っています。セル同期が確立していて、**DCHPR** レジスタと **DCHPMR** レジスタの設定のパターンに当てはまらないセルは、有効セルとして受信 FIFO へ格納します。格納されたセルは、UTOPIA インタフェースを介して ATM レイヤ・デバイスに転送します。受信 FIFO がフルになってもセルを受けた場合には、受信 FIFO オーバフロー・エラーとして、そのセルを廃棄します。FIFO オーバフロー・エラーの発生は、割り込み要因にすることができます。

電源投入時、 μ PD98411 はデフォルト・モードに従ってフレームの受信を開始しますが、UTOPIA インタフェースは、ホストが初期設定を行うまでディスエーブルになっています。UTOPIA インタフェースがイネーブルになるまでに、受信 FIFO サイズ以上のセルを受けると FIFO オーバフローとして廃棄します。UTOPIA インタフェースをイネーブルにするには、次の手順で μ PD98411 のレジスタに設定を行います。

設定 (H/W, S/W リセット後)	レジスタ
受信ブロックのディスエーブル (4 ポート)	CMR2 レジスタ RDIS = 1
PHY アドレス設定およびアドレス・イネーブル (4 ポート)	PHYIDR レジスタ
CLAV 信号の応答タイミング設定 (変更不要の場合なし)	AVLC レジスタ
UTOPIA インタフェース・モードの設定およびバス・イネーブル	MitUT レジスタ
受信ブロックのイネーブル (4 ポート)	CMR2 レジスタ RDIS = 0

(12) 回線の障害の検出

回線の障害や警報、回線品質の劣化など、受信データをモニタし検出するイベントを、OAM (Operation, Administration, Maintenance) 情報として、レジスタを通してホストに通知する機能を備えています。

- ・ 障害、警報の検出
- ・ 回線品質劣化要因の検出
- ・ パフォーマンス・モニタリング・カウンタ
- ・ イベント発生レートの監視

詳細については、**3.3.2 受信 OAM 制御** を参照してください。

(13) 受信ディスエーブル設定

CMR2 レジスタの **RDIS** ビットを 1 に設定することにより、ポートごとに受信機能をディスエーブルにすることができます。**RDIS** ビットを 1 に設定されたポートは、受信ブロックへのシステム・クロック供給を停止し、さらにクロック・リカバリ PLL の動作を停止します。

注意 1. **RDIS** ビットが設定されると、そのポートの受信 FIFO はリセット状態になります。ポートが受信セル・データを UTOPIA インタフェースから出力している途中で、**RDIS** ビットを 1 に設定すると、転送中のデータが途切れ、**RCLAV** 信号をロウにします。

2. **RDIS** ビットを 1 に設定しても、一部レジスタ関連機能は動作し続けるため、ステータス・レジスタは受信回線の状態に応じてセットされることがあります。

3.3 OAM 機能

μPD98411 はネットワークの保守，監視を行うための OAM (Operations, Administration, Maintenance) 機能を装備しています。以下に μPD98411 がサポートする OAM 機能を説明します。すべての機能は，4 ポートそれぞれが独立して備えています。

表 3 - 3 OAM 機能一覧

アクション イベント	送 信		受 信		
	警報の送出	疑似エラーフレーム送出	警報，障害の検出	累計カウンタ	発生レートのモニタ
OOL	コマンドまたは，自動折り返し	疑似エラーフレーム生成し，送出します。 テスト時に使用されることを目的とした機能です。	検出した場合，レジスタを介して通知します。	イベントをカウントし，カウンタ値をレジスタに表示します。	設定フレーム数を受信するうちに設定しきい値を越えないか，監視し，越えた場合は通知します。
LOS					
OOF					
LOF					
LOP					
OCD					
LCD					
Line RDI					
Path RDI	コマンドまたは，自動折り返し				
Line AIS	コマンド設定による送出				
Path AIS					
APS					
B1 エラー	毎フレームごとに演算し，送出				
B2 エラー					
B3 エラー					
Line REI					
Path REI					
FJ					
FIFO Overflow 廃棄セル					
HEC 処理廃棄セル					
受信アイドル・セル					
有効セル					

3.3.1 送信 OAM 制御

(1) 警報の送出

送信フレームの所定のオーバーヘッド領域に警報情報を書き込んで送出します。送出方法は、表 3 - 4 に示すように、レジスタにコマンドを設定する方法と、受信側回線状況に応じて自動で送出する方法があり、警報の種別によって異なります。

表 3 - 4 警報の送出

警 報		送 出 方 法	関連レジスタ
(a)	APS	コマンドによる送出 / 解除	CMR1 レジスタに設定
(b)	Line AIS		
(c)	Path AIS		
(d)	Line RDI	・ コマンドによる送出 / 解除 ・ 内部要因発生による自動送出 (自動送出はマスクすることができます。)	CMR1 レジスタに設定 IACM レジスタにて自動折り返しをマスク
(e)	Path RDI		

(a) APS (Automatic Protection Switching) の送出

APS 機能は、回線の故障に対して、信号を予備に切り替えるために用意されたものです。回線の多重化区間において、セクション・オーバーヘッド内の K1 , K2 バイトを用い、ANSI T1.105.01、または、ITU-T G.783 で定義されたコマンドとプロトコルに従って、切替動作の要求や確認応答を伝達します。APS 信号の送出方法は、以下のとおりです。

K1T , K2T レジスタに APS 信号を設定します。

CMR1 レジスタの TAPS ビットを 1 に設定します。K1T , K2T レジスタの内容は、オーバーヘッドの所定のバイト位置に格納され、送出されます。

APS 信号を変更する場合には、K1T , K2T レジスタの内容を更新してから、再度 TAPS ビットに 1 をセットします。K1T , K2T レジスタを更新しても、TAPS ビットに 1 をセットするまでは有効になりません。

APS 信号の送出を解除するときは、TAPS ビットに 0 をライトします。解除されると、送信フレームの K1 , K2 バイトは、デフォルトの " 00H " に戻るか、条件によっては、Line AIS , Line RDI の送出に戻ります。

- 備考 1.** CMR1 レジスタの TAPS ビットを 1 にセットしたのが、 μ PD98411 が送信フレームの K1 バイトを送出した直後であったとき、K2 バイトのみ更新されたフレームが、1 度送出されることがあります。
- 2.** CMR1 レジスタに Line AIS , Line RDI , および APS コマンドが同時に設定された場合は、APS 送出、Line AIS 送出、Line RDI 送出の順に優先されて送信されます。

備考3. Path AIS と同時に設定した場合には、APS 信号と Path AIS が同じフレームに設定されて送信されてしまいます。

4. TAPS を 1 に設定し、APS 信号を送出している間は、K2 バイトの第 6-第 8 ビットは、K2T レジスタの D2-D0 ビットの設定が優先して設定されます。したがって、Line RDI の自動送出手は行われません。

(b) Line AIS の送出 (Line Alarm Indication Signal)

Line AIS は、中継時に上流で故障が検出され、警報が伝えられたことを下流に伝達するための警報表示信号です。レジスタへのコマンド設定によって送出/解除をコントロールします。

送出方法：CMR1 レジスタへのコマンドの TLAIS ビットを 1 に設定

解除方法：CMR1 レジスタへのコマンドの TLAIS ビットを 0 にクリア

Line AIS フレーム：送信フレームのうち、K2 バイトの第 6-第 8 ビットを “111” にし、スクランブル前の VC-4 領域 (パス・オーバーヘッドとペイロード部) のすべてのビットを “1” に変更して送出します。

(c) Path AIS (Path Alarm Indication Signal) の送出

Path AIS は、中継時に上流で故障が検出され警報が伝えられたことを下流に伝達するためのパス遠端受信故障情報です。レジスタへのコマンド設定によって送出/解除をコントロールします。

送出方法：CMR1 レジスタへのコマンドの TPAIS ビットを 1 に設定

解除方法：CMR1 レジスタへのコマンドの TPAIS ビットを 0 にクリア

Path AIS フレーム：送信フレームのセクション・オーバーヘッド領域のうち、H1, H2, H3 バイトのすべてと、スクランブル前の VC-4 領域 (パス・オーバーヘッドとペイロード部) のすべてのビットを “1” に変更して送出します。

CMR1 レジスタに Path AIS と Path RDI の送出コマンドが同時に設定された場合、あるいは、Path RDI の自動折り返し送出中に Path AIS の送出コマンドを設定した場合、Path AIS、Path RDI の優先順で送出されます。

(d) Line RDI (Line Remote Detect Indication) の送出

ライン受信故障 (LOS, LOF, Line AIS) が検出されていることを上流の装置に通報する信号です。レジスタへのコマンド設定によって、送出/解除をコントロールする方法と、受信側で障害、警報を検出した場合に自動で送出する2通りの送出方法があります。

- 送出方法： i) CMR1 レジスタの TLRDI ビットを 1 に設定
 ii) IACM レジスタの LRDIm ビットが 0 になっている場合は、受信側で LOS, LOF, Line AIS のいずれかを検出すると自動で折り返し送出します。LRDIm ビットが 1 になっている場合は、自動送出はマスクされます。デフォルトでは、マスクされています。

- 解除条件： i) CMR1 レジスタの TLRDI ビットを 0 にクリア
 ii) IACM レジスタの LRDIm ビットが 0 になっている場合は、受信側で LOS, LOF, Line AIS のいずれの事象も解除されたとき

Line RDI フレーム：オーバーヘッドの K2 バイトの第 6-第 8 ビットを “110” にして送出します。

(e) Path RDI (Path Remote Detect Indication) の送出

パス受信故障 (LOS, LOF, Line AIS, LOP, LCD, Path AIS) が検出されていることを上流の装置に通報する信号です。レジスタへのコマンド設定によって、送出/解除をコントロールする方法と、受信側で障害、警報を検出した場合に自動で送出する2通りの送出方法があります。

- 送出方法： i) CMR1 レジスタの TPRDI ビットを 1 に設定
 ii) IACM レジスタの PRDIm ビットが 0 になっている場合は、受信側で LOS, LOF, Line AIS, LOP, LCD, Path AIS のいずれかを検出すると、自動で送出します。PRDIm ビットが 1 になっている場合は、自動送出はマスクされます。デフォルトでは、マスクされています。

- 解除条件： i) CMR1 レジスタの TPRDI ビットを 0 にクリア
 ii) IACM レジスタの PRDIm ビットが 0 になっている場合は、受信側で LOS, LOF, Line AIS, LOP, LCD, Path AIS のいずれの事象も解除されたとき

Path RDI フレーム：オーバーヘッドの G1 バイトの第 5 ビットを 1 に設定して送出します。

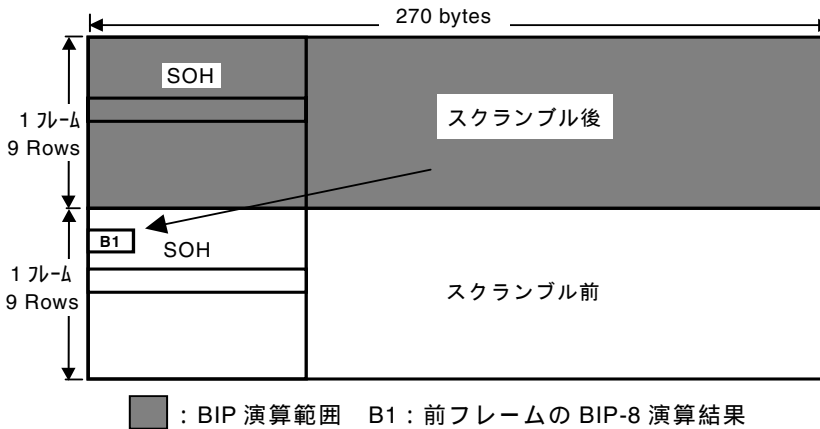
備考 Line RDI, Path RDI の自動送出機能において、受信側で条件にあたる障害、警報が検出されたために、Line RDI, もしくは Path RDI の自動送出を行っているとき、ポートの受信フレーム機能をディスエーブルにすると (CMR2 レジスタの RDIS ビット = 0)、そのポートの送信側は、ふたたび受信フレーム機能がイネーブルにされて障害、警報が解除されるまで、Line RDI, Path RDI のフレームを送出し続けてしまいます。これが不都合になる場合は、自動送出機能をマスクするようにしてください。

(2) 送信側回線品質のモニタ関連機能

(a) Bit Interleaved Parity (BIP)

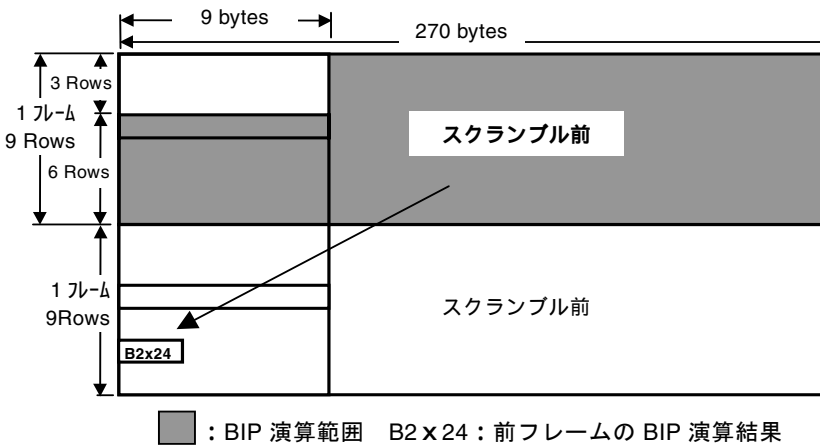
● B1 バイト (Section BIP-8)

送信フレームの SOH (セクション・オーバーヘッド) の 1 行目を除く全フレーム・データ (フレーム・スクランブル後のデータ) について BIP-8 演算を行い, 所定領域に対して BIP-8 演算をし, その演算結果を次の送信フレームの B1 バイトに挿入して送出します。



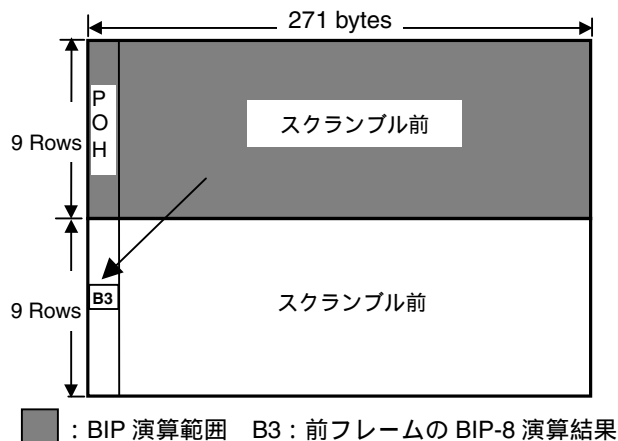
● B2 バイト (Line BIP-24)

1 フレーム前の SOH の 1-3 行目を除く全フレーム・データ (フレーム・スクランブル前のデータ) について BIP-24 演算を行い, その演算結果を次の送信フレームの B2 バイトに挿入して送出します。



- **B3 バイト (Path BIP-8)**

送信フレームの全ペイロード・データ (フレーム・スクランブル前のデータ) について BIP-8 演算を行い, その演算結果を次の送信フレームの POH (パス・オーバーヘッド) の B3 バイトに挿入して送ります。



(b) Line REI の送出 (Line Remote Error Indication)

Line BIP-24 エラーが生じているかどうかを上流の装置に通報します。

受信フレームに B2 エラーを検出したとき,自動的に送信フレームの M1 バイト(第4ビット-第8ビット)にその誤り数を格納し,送ります。

(c) Path REI の送出 (Path Remote Error Indication)

Path BIP-8 エラーが生じているかどうかを上流の装置に通報します。

受信フレームに B3 エラーを検出したとき,自動的に送信フレームの G1 バイト(第1ビット-第4ビット)にその誤り数を格納し,送ります。

(3) テスト用疑似フレームの送出機能

表3-5に示すエラーを対向に引き起こさせる疑似フレームを内部で生成して送出することができます。この機能は、システム・テスト時などに有効です。CMR3レジスタ3に設定することで実行できます。

表3-5 疑似エラー・フレーム

ターゲット・エラー	疑似フレーム名	送出フレームの内容
LOS	PLOS フレーム	送信データを 00 H に固定します。
OOF/LOF	POOF フレーム	A1, A2 バイトを 00H に固定します。
LOP	PLOP フレーム	H1, H2, H3 バイトを FF, FE, FFH 固定します。
	PLOP フレーム	H1, H2, H3 バイトを H1T, H2T, H3T レジスタに設定された内容に変更します。
OCD, LCD	POCD フレーム	HEC フィールドの LSB ビットを反転させたセルをマッピングします。
B1 エラー	PB1 フレーム	B1 バイトの LSB ビットを反転します。
B2 エラー	PB2 フレーム	B2 バイトの LSB ビットを反転します。
	PB1 フレーム	送信する B2 バイト・データを B2T レジスタに設定された内容に変更します。
B3 エラー	PB3 フレーム	B3 バイトの LSB ビットを反転します。
	PB2 フレーム	送信する B3 バイト・データを B3T レジスタに設定された内容に変更します。
Line REI	PLREI フレーム	受信フレームの B2 バイトの LSB ビットを反転して B2 検証ブロックに渡します。
Path REI	PPREI フレーム	受信フレームの B3 バイトの LSB ビットを反転して B3 検証ブロックに渡します。

3.3.2 受信 OAM 制御

(1) 障害，警報の検出

表 3 - 6 に， μ PD98411 が監視する障害，警報の一覧を示します。これらのイベントを検出した場合は，次のアクションを行います。

割り込み要因レジスタの対応ビットをセット

ホストは，割り込み要因レジスタのリードによって，発生したイベントが何かを調べます。

割り込み信号をアクティブにしてホストに通知

イベントごとに割り込み信号をアクティブにするかどうかの選択ができます。

イベント発生に応じて PALM 出力端子をドライブ

イベントが発生したことを PALM[2:0]端子を通して外部周辺デバイスに通知したり，LED を点灯させることができます。

表 3 - 6 警報，障害一覧 (1/3)

<p>(1) OOL (Out Of Link)</p> <p>受信クロック・リカバリ PLL と受信データの位相関係を表します。</p> <ul style="list-style-type: none"> 検出：クロック・リカバリ PLL の抽出クロックのエッジに対して，受信データのエッジの位相が 180 度以上シフトしたとき 解除：クロック・リカバリ PLL の抽出クロックのエッジに対して 180 度以上シフトしていないエッジを持つ受信データを 2048 ビット期間受信したとき 表示レジスタ：PICR レジスタ (OOL ビット)
<p>(2) exCMD (External Device State)</p> <p>汎用入力ポートの CMD 端子の状態を表します。</p> <ul style="list-style-type: none"> 検出：CMD 端子入力がハイ・レベルになったとき 解除：CMD 端子入力がロウ・レベルに復帰したとき 表示レジスタ：PICR レジスタ (exCMD ビット)
<p>(3) LOS (Loss Of Signal)</p> <p>受信信号の消失状態</p> <ul style="list-style-type: none"> 検出：50 μs の間連続でオール 0 のデータ列を受信したとき。または，SD 端子への入力レベルがロウになったことを検出したとき。 解除：125 μs の間オール 0 のパターンを受信しなかったとき。または，SD 端子への入力レベルがハイになったとき。 表示レジスタ：PICR レジスタ (LOS ビット) <p>SD 端子の入力レベル変化を LOS 検出条件に加えるためには，IACM レジスタの SDm ビットを 0 にする必要があります。</p> <p>注意 μPD98411 では，LOS 検出状態になった場合に，強制的に受信セルを UTOPIA インタフェース側に出力しない制御を行っていないため，LOS 検出状態であってもセル同期が確立すると，そのセルを受信 UTOPIA インタフェース側に出力します。回線側から通常の受信データを受けているときに，SD 端子入力のみを強制的にロウ・レベルにすると，μPD98411 は LOS 検出を報告しますが，受信セルは出力されますので，ご注意ください。</p>

表3-6 警報, 障害一覧 (2/3)

(4) OOF (Out Of Frame)
<p>フレームの同期はずれ</p> <ul style="list-style-type: none"> ・検出：フレーム同期パターン (A1, A2) エラーを連続する4フレームで検出したとき。 ・解除：連続する2フレームでフレーム同期パターンを検出できたとき。 ・表示レジスタ：ACR レジスタ (OOF ビット)
(5) LOF (Loss Of Frame)
<p>フレームの消失状態</p> <ul style="list-style-type: none"> ・検出：OOF 状態が3ms 継続したとき。 ・解除：OOF 状態を抜けた状態が3ms 継続したとき。 ・表示ビット：PICR レジスタ (LOF ビット)
(6) LOP (Loss Of Pointer)
<p>ポインタ異常検出。有効なポインタを得られないときに発生します。</p> <ul style="list-style-type: none"> ・検出：3.2 (4) ポインタ処理 を参照してください。 ・解除：3.2 (4) ポインタ処理 を参照してください。 ・表示レジスタ：ACR レジスタ (LOP ビット)
(7) OCD (Out of Cell Delineation)
<p>セル同期はずれ。セル同期状態からハンチング状態に移ったときに発生します。</p> <ul style="list-style-type: none"> ・検出：HEC 検証において誤りを含むセルを7セル連続で検出したとき (セル同期状態 ハンチング状態)。 ・解除：有効なヘッダを持つセルを7セル連続で受信したとき (ハンチング状態 前同期状態 セル同期状態)。 ・表示レジスタ：ACR レジスタ (OCD ビット)
(8) LCD (Loss Of Cell Delineation)
<p>セル同期喪失。OCD 状態が持続したときに発生します。</p> <ul style="list-style-type: none"> ・検出：OCD 異常が4ms 以上持続した場合 ・解除：OCD 異常から抜けて4ms 連続でセル同期状態が継続したとき ・表示レジスタ：ACR レジスタ (LCD ビット)
(9) Line AIS (Line Alarm Indication Signal)
<p>ライン警報表示信号。送信元 (上流) の装置で Line AIS が発生していることを検出する信号です。</p> <ul style="list-style-type: none"> ・検出：オーバヘッド K2 バイト (第6-第8ビット) が "111" のフレームを5回連続で受信したとき ・解除：オーバヘッド K2 バイト (第6-第8ビット) が "111" 以外のフレームを5回連続で受信したとき ・表示レジスタ：ACR レジスタ (LAIS ビット) <p>備考 ITUR レジスタへの設定によって、検出/解除条件を5回連続から3回連続に切り替えられます。 デフォルトは、5回です。</p>

表3-6 警報, 障害一覧 (3/3)

<p>(10) Path AIS (Path Alarm Indication Signal)</p> <p>バス警報表示信号。送信元(上流)の装置で Path AIS が発生していることを検出する信号です。</p> <ul style="list-style-type: none"> ・検出: 3.2 (4) ポインタ処理 を参照してください。 ・解除: 3.2 (4) ポインタ処理 を参照してください。 ・表示レジスタ: ACR レジスタ (PAIS ビット)
<p>(11) Line RDI (Line Remote Defect Indication)</p> <p>ライン遠端受信故障情報。送信先(下流)装置でライン受信故障 (LOS, LOF, Line AIS) が検出されていることを検出する信号です。</p> <ul style="list-style-type: none"> ・検出: オーバヘッド K2 バイト (第6-第8ビット) が “110” のフレームを5回連続で受信。 ・解除: オーバヘッド K2 バイト (第6-第8ビット) が “110” 以外のフレームを5回連続で受信。 ・表示レジスタ: ACR レジスタ (LRDI ビット) <p>備考 ITUR レジスタへの設定によって 検出/解除条件を5回連続から3回連続に切り替えられます。デフォルトは、5回です。</p>
<p>(12) Path RDI (Path Remote Defect Indication)</p> <p>バス遠端受信故障情報。送信先(下流)装置でバス受信故障 (LOS, LOF, Line AIS, LOP, LCD, Path AIS) が検出されていることを検出する信号です。</p> <ul style="list-style-type: none"> ・検出: オーバヘッド G1 バイトの第5ビットが “1” のフレームを5回連続で受信する。 ・解除: オーバヘッド G1 バイトの第5ビットが “0” のフレームを5回連続で受信する。 ・表示レジスタ: ACR レジスタ (PRDI ビット) <p>備考 ITUR レジスタへの設定によって 検出/解除条件を5回連続から3回連続に切り替えられます。デフォルトは、5回です。</p>
<p>(13) APS (Automatic Protection Switching)</p> <p>予備切換動作のための、APS バイト (K1, K2 バイト) を受信したことを検出します。</p> <ul style="list-style-type: none"> ・検出: APS バイトが “00 00H” 以外で、かつ同じ値のフレームを3回連続受信したとき ・解除: APS バイトが “00 00H” のフレームを3回連続受信したとき または、MDR3 レジスタの RAPSCR ビットを1にセットしたとき。 ・表示レジスタ: PCR レジスタ (RAPS ビット) <p>“00 00H” 以外の同じ値の APS バイトを3フレーム連続で受信すると PCR レジスタの RAPS ビットを1にセットします。このビットのセットは割り込み要因にできません。PCR レジスタをリード、RAPS ビットがセットされたことを検知すると、K1R, K2R レジスタをリードして APS バイトを得ます。その後、MDR3 レジスタの RAPSC ビットに1をセットし、これにより、APS 検出状態から抜け出します。“00 00” の APS バイトを3フレーム連続で受けた場合も APS 検出状態から抜け出します。割り込みモードが RCM = 0 モードのときは、さらに PCR レジスタを再リードし RAPS ビットをクリアします。</p> <p>次に RAPS ビットがセットされるのは、前の APS バイトとは異なるパターンを3フレーム以上連続で受信した場合です。前の APS バイトと同じパターンを受け続けている場合は、RAPS ビットは、セットされません。</p> <p>備考 RAPS ビットは、K2 バイトを用いて伝送される Line AIS, Line RDI の警報表示フレームを受信したときも、セットされます。</p>

(2) 回線品質劣化要因の検出 (パフォーマンス・モニタ)

受信回線の品質を監視するとして、表 3-7 のイベントを検出します。検出すると PCR レジスタのビットをセットし、割り込み信号を通じてホストへ通知します。ホストは、PCR レジスタをリードすることにより、発生したイベントの種別を知ることができます。割り込みは、各イベントごとにマスク/アンマスクを設定することができます。

表 3-7 回線品質劣化要因の一覧

B1 エラー検出
受信データのセクション・レイヤ BIP-8 エラーを検出します。1 フレーム前の SOH 1 行目を除く全フレーム・データ (フレーム・デスクランブル前のデータ) について BIP-8 演算を行い、現フレームの B1 バイトに格納されている送信元 (上流) で行った Section BIP-8 演算の結果と照合し、B1 エラーを検出します。
B2 エラー検出
受信データのライン・レイヤ BIP-24 エラーを検出します。1 フレーム前の SOH 1,2,3 行目を除く全フレーム・データ (フレーム・デスクランブル後のデータ) について BIP-24 演算を行い、現フレームの B2 バイトに格納されている送信元 (上流) で行った Line BIP-24 演算の結果と照合し、B2 エラーを検出します。
B3 エラー検出
受信データのパス・レイヤ BIP-8 エラーを検出します。1 フレーム前の全ペイロード・データ (フレーム・デスクランブル後のデータ) について BIP-8 演算を行い、現フレームの B3 バイトに格納されている送信元 (上流) で行った Path BIP-8 演算の結果と照合し、B3 エラーを検出します。
Line REI 検出 (Line Remote Error Indication)
ライン遠端ブロック誤り情報。送信先 (下流) の装置で Line BIP-24 エラーが生じているかどうかを検出します。 検出: 受信 M1 バイトの第 4-第 8 ビットが 01-18(H)である場合に Line REI を検出します。 解除: 受信 M1 バイトの第 4-第 8 ビットが 00(H)である場合に Line REI を解除します。
Path REI 検出 (Path Remote Error Indication)
パス遠端ブロック誤り情報。送信先 (下流) の装置で Path BIP-8 エラーが生じているかどうかを検出します。 検出: 受信 G1 バイトの第 1-第 4 ビットが 1-8(H)である場合に Path REI を検出します。 解除: 受信 G1 バイトの第 1-第 4 ビットが 0(H)である場合に Path REI を解除します。
Frequency Justification 発生
Frequency Justification が発生したことを検出します。

表3-8に、 μ PD98411の内部処理における障害、警報、およびパフォーマンス・モニタリングのイベント検出の関係を示します。

表3-8 障害、警報検出による μ PD98411の処理一覧

警報, 障害	μ PD98411の内部処理		
LOS	(Line/Path RDIの自動折り返し送出)		
OOF	SOH, LOH の喪失	H1, H2, H3 バイト位置喪失	LOP
		K2 バイト位置喪失	Line AIS 検出停止 Line RDI 検出停止 APS 検出停止
		B1 バイト位置喪失	B1 エラー検出停止
		B2 バイト位置喪失	B2 エラー検出停止
			送信 Line REI 送出
		M1 バイト位置喪失	受信 Line REI 検出停止
	3ms 継続	LOF	
LOF	(Line/Path RDIの自動折り返し送出)		
Path AIS	ポインタ喪失		LOP ^注
	(Path RDIの自動折り返し送出)		
LOP	POH の喪失	G1 バイト位置喪失	Path RDI 検出停止 受信 Path REI 検出停止
		B3 バイト位置喪失	B3 エラー検出停止 送信 Path REI 送出停止
		セル抽出停止	OCD
	(Path RDIの自動折り返し送出)		
OCD	4ms 継続	LCD	
LCD	(Path RDIの自動折り返し送出)		
Line AIS	(Line/Path RDIの自動折り返し送出)		
Path PDI	なし		
Line RDI	なし		

注 ACR レジスタの LOP ビットはセットされませんが、内部処理的には LOP 検出状態と同じ“ポインタ喪失”状態になります。

(3) パフォーマンス・モニタリング・カウンタ

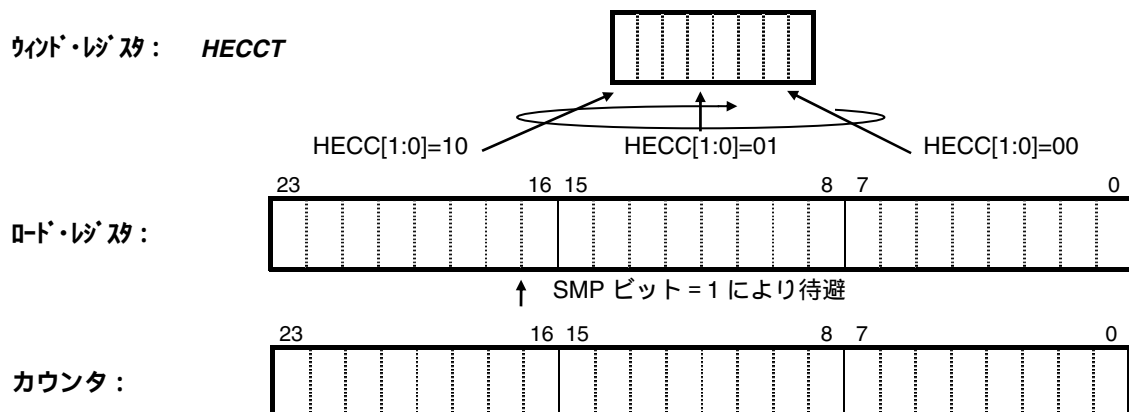
各ポートごとに、表3-9に示すようなパフォーマンス・モニタ、およびセル受信に関する各種イベントの発生回数を累計するカウンタを備えています。

表3-9 パフォーマンス・モニタリング・カウンタ

分類	カウンタ名	内 容	カウンタ幅
回線	B1エラー・カウンタ	B1エラー検出数累計。1フレーム受信ごとに検出したB1エラー数(1~8)をカウントアップ。	16-bit
	B2エラー・カウンタ	B2エラー検出数累計。1フレーム受信ごとに検出したB2エラー数(1~24)をカウントアップ。	24-bit
	B3エラー・カウンタ	B3エラー検出数累計。1フレーム受信ごとに検出したB3エラー数(1~8)をカウントアップ。	16-bit
	L-REIカウンタ	Line REIで受けるエラー数の累計。1フレーム受信ごとに検出したB3エラー数(1~24)をカウントアップ。	24-bit
	P-REIカウンタ	Path REI受けるエラー数の累計。1フレーム受信ごとに検出したB3エラー数(1~8)をカウントアップ。	16-bit
	FJ カウンタ	Frequency Justification処理回数	16-bit
セル 受信	HEC カウンタ	HEC処理により廃棄したセルの累計。	24-bit
	FIFO Full カウンタ	受信FIFOオーバーフローにより廃棄したセルの累計。	24-bit
	Idle Cell カウンタ	DCHPR レジスタと DCHPMR レジスタの設定により廃棄したセルの累計。 DCHPR/DCHPMR レジスタのデフォルト設定では、アイドル・セルを廃棄します。	24-bit
	Information Cell カウンタ	受信セルのうち、HECカウンタ、Idle Cellカウンタにカウントしたセルを除いたセルの累計。 受信FIFOオーバーフローにより廃棄されたセルは、FIFO FullカウンタとInformation Cell カウンタの両方にカウントされます。	24-bit

カウンタに関する機能と、それを実現するレジスタを示します。

図3-14 カウンタ関連レジスタ(例: HEC エラー・カウンタ)



(a) カウンタのモニタ

カウンタには、16ビット幅と24ビット幅の2種類があり、カウンタ、ロード・レジスタ、ウィンド・レジスタの3段構成になっています。すべてのカウンタは、デフォルトではディスエーブルになっています。

(カウンタをモニタする手順)

カウントするイベントのカウンタをイネーブルにする (PCFR1, PCFR2 レジスタ)。

PCSR レジスタの SMP ビットに 1 を設定 (サンプリング)

その時点におけるすべてのカウンタの値をロード・レジスタに待避します。

カウンタは 0 クリアされます。

SMP ビットは自動で 0 に戻ります。

カウンタのウィンド・レジスタをリード

16ビット・カウンタの場合、2回のリードで下位 上位の順で8ビットずつ得ます。

24ビット・カウンタの場合では、下位 中位 上位の順で3回リードを行います。

次にウィンド・レジスタを読み出すと、下位、中位、上位のいずれのバイトが得られるかを PCPR1, PCPR2 レジスタに示します。ウィンド・レジスタをリードするたびに、16ビット・カウンタの場合では 0 1 0 を、24ビット・カウンタでは 00 01 10 00 を繰り返し変化します。

1度ロード・レジスタに待避した値は、ふたたび SMP ビットをセットして上書きするまで値を保持します。

(b) カウンタの初期化

カウンタを初期化 (0 クリア) する方法には次の3通りがあります。

i) CMR2 レジスタの PCCR ビットを 1 にセット。

すべてのカウンタ、およびロード・レジスタが 0 クリアされます。

ii) PCIR1, PCIR2 レジスタの各カウンタに対応するビットを 1 にセット。

セットされたカウンタ、およびロード・レジスタは 0 クリアされます。

PCIR1, PCIR2 にセットされたビットは、クリア後 0 に戻ります。

iii) サンプル・レジスタの SMP ビットを 1 にセット。

すべてのカウンタは、カウント値をロード・レジスタに格納されると同時に 0 クリアもされます。

(c) カウンタ・オーバフロー検出の通知

カウンタが累計動作を開始し、値がオール F(H)を通過すると、オーバフロー検出として、PCOCR1, PCOCR2 レジスタ内の対応ビットを 1 にセットします。このビットのセットは、PCOMR1, PCOMR2 レジスタの設定によって、割り込み要因にすることができます。

オール F(H)に到達したカウンタは、0 に戻ってイベントのカウントアップを継続します。

(d) エラー・レート・モニタ

10 種のカウンタのうち、回線品質の劣化のモニタを目的とする B1 エラー、B2 エラー、B3 エラー、Line REI、Path REI、Frequency Justification の 6 種のカウンタは、オーバフロー検出の代わりに、一定の時間（周期）としきい値を設定し、時間内にしきい値に到達したことを通知させることができます。

(エラー・レート・モニタの設定手順)

カウンタをイネーブルにします（PCFR1、PCFR2 レジスタ）。

スレッシュホールド・レジスタにしきい値を設定します（B1THR、B2THR など）。

時間（周期）は、次の中から選択し FRMN レジスタに設定します。設定は、4 ポートすべての共通の値となります。

設定ビット	周期（時間）
00000000	ディスエーブル（無限）
00000010	8 フレーム（1ms）
00000100	80 フレーム（10 ms）
00001000	400 フレーム（50 ms）
00010000	1000 フレーム（125 ms）
00100000	2000 フレーム（250 ms）
01000000	4000 フレーム（500 ms）
10000000	8000 フレーム（1s）

時間内にしきい値に到達すると、PCOCR1、PCOCR2 レジスタの対応ビットを 1 にセットします。このビットのセットは割り込み要因にすることができます。

カウントは、0 に戻ってカウントを継続します。

しきい値に到達することなく、設定した時間を迎えたときは、カウンタを 0 クリアして、ふたたびカウントアップを始めます。

(エラー・レート・モニタの設定解除手順)

スレッシュホールド・レジスタ（B1THR、B2THR など）に FFH を設定します。

FRMN レジスタをオール 0000H にします。

- 注意 1.** スレッシュホールド・レジスタに設定した“しきい値”は、設定後、FRMN にライト・アクセスしなければ有効になりません。そのため、FRMN レジスタの設定は、スレッシュホールド・レジスタの後に行ってください。
- 2.** FRMN レジスタへのアクセスは、その前に行った FRMN レジスタへのアクセスから、「130 × REFCK 周期（約 7 μs 時間）」の間隔を空ける必要があります。
- 3.** エラー・レート・モニタ機能を使用する場合、ホストは任意のタイミングでカウンタ値をロードすることができません。ロードするために PCSR レジスタの SMP ビットを 1 にセットすると、すべてのカウンタを 0 クリアしてしまい、エラー・レートのしきい値判定が正しく行えないためです。

4. エラー・レート・モニタ機能を使用する場合、セル関連カウンタをディスエーブルにしてください。セル関連カウンタ（アイドル・セル・カウンタなど）は、エラー・レート・モニタ機能が設定されている場合でも、イネーブルになってるとカウント動作を行い、オールFHを通過するとオーバーフローのステータス・ビットをセットしてしまいます。

(e) 障害，警報の検出とカウンタ動作の相関

表3-10にカウンタの動作条件を示します。

表3-10 障害，警報とカウンタ動作の関係

障害，警報	μPD98411のカウンタ動作						
	B1	B2	Line REI	FJ	B3	Path REI	セル関連
LOS	x	x	x	x	x	x	x
OOF	x	x	x				
LOF	x	x	x	x	x	x	x
Line AIS		x	x	x	x	x	x
Line RDI			x				
LOP				x	x	x	x
Path AIS				x	x	x	x
Path RDI						x	
OCD							
LCD							x

x : イベントが発生するとカウント動作を停止することを意味します。

空欄 : イベントが発生してもカウント動作を継続することを意味します。

注意 LOS 検出中では、すべてのパフォーマンス・モニタリング・カウンタは、強制的に停止する仕様になっており、LOS 検出中に受信したセルについても Information Cell カウンタはカウントしません。受信回線ケーブルを切断し、μPD98411 を LOS 検出した状態で、TPLP ループバック・モードに設定して折り返し試験を行うとき、μPD98411 に入力したセルは内部を通過して受信 UTOPIA インタフェースからループされてきますが、受信セルをカウントする Information Cell カウンタ(情報セル・カウンタ)は、そのセルをカウントしませんのでご注意ください。

備考 E 規格品までは、Path RDI 検出時にセル関連のカウンタは停止していましたが、X 規格品以降は、停止しないように変更しました。

(f) カウンタ関連レジスタ

表3-11にカウンタ機能に関するすべてのレジスタを示します。

表3-11 カウンタ関連レジスタ一覧

種 別	機 能
各ポートごとにあるカウンタ関連のレジスタ	
ウィンド・レジスタ B1ECT, B2ECT, B3ECT, LRECT, PRECT, FJCT, HECCT, FULCT, IDLCT, INFCT	カウンタ値をリードするレジスタ。リードするたびに16ビット幅のカウンタでは、下位 上位 下位 上位 ...の順で、24ビット幅の場合には、下位 中位 上位の順です。
リード・ポインタ・レジスタ PCPR1, PCPR2	ウィンド・レジスタを次にリードしたとき、16または24ビット幅の下位、中位、上位のいずれの8ビットが得られるかを示します。
サンプル・レジスタ PCSR	カウンタをロード・レジスタに待避することを指示するためのレジスタです。
初期化レジスタ PCIR1, PCIR2	カウンタごとに0クリア指示をするためのレジスタです。
フリーズ・レジスタ PCFR1, PCFR2	カウンタ動作をイネーブル・ディスエーブル制御をするためのレジスタです。デフォルトでは、すべてのカウンタはディスエーブルになっています。
オーバフロー通知レジスタ PCOCR1, PCOCR2	しきい値に到達したカウンタがあることを示します。このレジスタのビットのセットは、割り込み要因にすることができます。
マスク・レジスタ PCOMR1, PCOMR2	オーバフロー要因レジスタ(PCOCR1, PCOCR2)がセットされたとき割り込み要因レジスタ(PICR)のPCOビットに反映させることをマスクするためのレジスタです。
4ポート共通のカウンタ関連レジスタ	
スレッシュホールド・レジスタ B1THR, B2THR, B3THR, LRETHR, PRETHR, FJTHR	すべてのポートの“しきい値”を設定するレジスタです。16ビット・カウンタのしきい値を設定する場合は、下位 上位の順に8ビットずつ2回に分けてライトします。24ビット・カウンタの場合は、下位 中位 上位の順で3回に渡ってライトします。 ホストが次に書き込んだ場合、下位、上位のいずれの8ビットに対して書き込むのは、SYSPRレジスタに示されます。
ライト・ポインタ・レジスタ SYSPR	各スレッシュホールド・レジスタに対応してホストが次に書き込むのは下位、中位、上位のいずれの8ビットに対してかを示します。
タイム・レジスタ FRMN	モニタする時間(周期)を設定します。 カウンタは、設定された周期ごとにリセットされます。デフォルトはオール0で、周期設定はディスエーブルになっています。

3.4 フレーム・オーバーヘッドのインサート/ドロップ

フレーム・オーバーヘッドのうちインサート/ドロップ用レジスタがあり、任意の値を送信フレームに設定し送出する、あるいは受信フレームに格納されてくる値を読み出すことができます。

表 3 - 12 インサート/ドロップ・レジスタ一覧

バイト		送信側			受信側	
		レジスタ名	デフォルト	インサート条件	レジスタ名	ドロップ条件
SOH	J0	J0T	01(H)	常に有効	J0R	OOF 検出時は、レジスタの更新動作を停止し、検出前の値を保持します。
	1st Z0	Z0#1T	02(H)		Z0#1R	
	2nd Z0	Z0#2T	03(H)		Z0#2R	
	F1	F1T	00(H)		F1R	
	E1	E1T	00(H)		E1R	
	D1-D3	DsecT	00(H)		DsecR	
LOH	SS	MDR1	00(b)	疑似フレーム PLOP,PLOP 送出時以外有効	なし	
	H1	H1T	00(H)	疑似フレーム PLOP 送出時のみ有効	H1R	
	H2	H2T	00(H)		H2R	
	H3	H3T	00(H)		H3R	
	B2	B2T	00(H)	疑似フレーム PB2 送出時のみ有効	B2R	
	K1	K1T	00(H)	CMR1 レジスタの TAPS ビット設定時のみ有効	K1R	
	K2	K2T	00(H)		K2R	
	D4-D12	DlineT	00(H)	常に有効	DlineR	
	S1	S1T	00(H)		S1R	
	1st Z2	Z2#1T	00(H)		Z2#1R	
	M1	なし	なし		M1R	
	E2	E2T	00(H)	常に有効	E2R	
	POH	J1	J1T	00(H)		
C2		C2T	13(H)	C2R		
B3		B3T	00(H)	疑似フレーム PB3 送出時のみ有効	B3R	
G1		なし	なし		G1R	
F2		F2T	00(H)	常に有効	F2R	
H4		H4T	00(H)		H4R	
Z3-Z5		Z345T	00(H)		Z345R	

備考 受信側ドロップ・レジスタの Z2#1R および B3R レジスタは、MDR2 レジスタの MGM ビットを 1 にすることで、機能が切り替わります。3.4 (3) 受信 Z2 # 1 バイトに関する保護段数および割り込み通知機能を参照してください。

(1) インサート・レジスタ

レジスタに設定された値を、オーバーヘッドの所定のバイト位置に格納して送出します。レジスタに変更がないかぎり、インサート・レジスタのデフォルト値を格納して送出します。

- ・疑似フレームの PLOS フレームの送出時は、すべてのインサート・レジスタの設定は、無視され、オール0送信になります。
- ・複数の設定条件があるバイトの優先順位

(a) H1, H2, H3 バイト (ポインタ関連)

優先順位	設 定	H1,H2,H3 の内容
	疑似エラー-LOS フレーム送出 (CMR3 レジスタ)	オール0 送出
	コマンド Path AIS 警報送出 (CMR1 レジスタ)	オール FF 送出
	疑似エラー-LOP フレーム送出 (CMR3 レジスタ)	H1T, H2T, H3T レジスタ値を送出
	疑似エラー-LOP フレーム送出 (CMR3 レジスタ)	FF, FF, FF, FE, FE, FE, FF, FF, FF

(b) K2 バイト

優先順位	設 定	K2 の内容
	疑似エラー-LOS フレーム送出 (CMR3 レジスタ)	オール0 送出
	APS バイト送出 (CMR1 レジスタ:TAPS ビット = 1)	K1T, K2T バイト・レジスタ値を送出
	コマンド Line AIS 警報送出 (CMR1 レジスタ)	K2 バイト第 6-8 ビット = 111
	コマンド Line RDI 警報送出 (CMR1 レジスタ)	K2 バイト第 6-8 ビット = 110

CMR1 レジスタの TAPS ビットをセットすると K2T レジスタが有効になり、Line AIS、Line RDI の送出コマンドは無視されます。

(2) ドロップ・レジスタ

受信フレームのオーバーヘッドの内容を対応するドロップ・レジスタに格納し、毎フレームごとに更新します。ドロップ・レジスタをリードすることで受信オーバーヘッドに格納されてくるバイト領域の値を知ることができます。

- ・ OOF 状態になると、すべてのドロップ・レジスタは更新されません。OOF 状態にならないかぎりには、更新し続けます。
- ・ LOP、または Path AIS 状態になると POH のドロップ・レジスタは更新されません。いずれの状態でもない場合は、更新し続けます。

(3) 受信 Z2#1 バイトに関する保護段数および割り込み通知機能

MDR2 レジスタの MGM ビットを 1 にセットすることにより、受信 1st Z2 バイトのレジスタへの格納動作にかかわる機能が変わります。

Z2#1R レジスタが Z2_6R レジスタとしての機能に切り替わります。

B3R レジスタが Z2_12R レジスタとしての機能に切り替わります。

PCOCR2 レジスタの D7 : Z2_6, D6 : Z2_12 ビットの機能がイネーブルになります。

PCOMR2 レジスタの D7 : Z2_6m, D6 : Z2_12m ビットの機能がイネーブルになります。

(a) Z2_6R レジスタ, Z2_6, Z2_6m ビットの動作

受信 1st Z2 バイトの dd ビット (bit6, bit7) を監視し、dd ビットが変化してから、6 回連続して同じ値を受信すると、受信 1st Z2 バイトの内容を Z2_6R レジスタに格納します。

	bit1	bit2	bit3	bit4	bit5	bit6	bit7	bit8	
受信 1st Z2 バイト	x	x	x	x	x	d	d	x	x : don't care

7 回目以降、同じ dd ビットを受信し続ける間は、Z2_6R レジスタを更新することはありません。

7 回目以降、dd が変化し 6 回連続同じ値を受信すると、受信 1st Z2 バイトの内容を Z2_6R レジスタに格納し更新します。

モード設定後、dd ビットが '00' を受信している間は、Z2_6R レジスタを更新することはありません。

'00' 以外の dd ビットを 6 回連続で受けたときに更新します。

Z2_6R レジスタを更新したとき、PCOCR2 レジスタの D7 : Z2_6 ビットを 1 にセットします。

Z2_6 ビットのセットは、割り込み信号 PHINT_B をアクティブにする要因にすることができ、Z2_6R レジスタが更新されたことを割り込みにより検知することができます。

PCOMR2 の D7 : Z2_6m ビットをセットすることで、PCOCR2 レジスタの Z2_6 ビットによる割り込みをマスクすることができます。

PCOCR2 レジスタの Z2_6 ビットは、リードされることにより 0 クリアされます。

(b) Z2_12R レジスタ, Z2_12, Z2_12m ビットの動作

受信 1st Z2 バイトの mm ビット (bit7, bit8) を監視し、mm ビットが変化してから、12 回連続して同じ値を受信すると、受信 1st Z2 バイトの内容を Z2_12R レジスタに格納します。

	bit1	bit2	bit3	bit4	bit5	bit6	bit7	bit8	
受信 1st Z2 バイト	x	x	x	x	x	x	m	m	x : don't care

13 回目以降、同じ mm ビットを受信し続ける間は、Z2_12R レジスタを更新することはありません。

13 回目以降、mm が変化し 12 回連続同じ値を受信すると、受信 1st Z2 バイトの内容を Z2_12R レジスタに格納し更新します。

Z2_12R レジスタを更新したとき、PCOCR2 レジスタの D6 : Z2_12 ビットを 1 にセットします。

Z2_12 ビットのセットは、割り込み信号 PHINT_B をアクティブにする要因にすることができ、Z2_12R レジスタが更新されたことを割り込みにより検知することができます。

PCOMR2 の D6 : Z2_12m ビットをセットすることで、PCOCR2 レジスタの Z2_12 ビットによる割り込みをマスクすることができます。

PCOCR2 レジスタの Z2_12 ビットは、リードされることにより 0 クリアされます。

備考 前述の (3) 受信 Z2#1 バイトに関する保護段数および割り込み通知機能 は、X 規格品より加えられた機能です。それ以前の P, E 規格品では、対応していません。

3.5 警報通知入出力端子 (PALM, CMD)

3.5.1 PALM[2:0]出力端子

各ポートは、汎用出力端子 PALM を 3 端子ずつ備えています。この端子は、CMR1 レジスタのビット設定に応じて出力レベルを変化させることができます。

また、この端子には、ポートが障害、警報を検出した場合に合わせて自動的にハイ・レベルをドライブさせる設定ができます。1 端子ごとに通知するイベントを 1 つあるいは複数アサインします。設定は **AMPR**、**AMR1**、**AMR2** レジスタの 3 つのレジスタで行います。

(PALM 端子へのイベントのアサイン手順)

AMPR レジスタに今から設定する PALM0-PALM2 端子のどの端子かを指定します。

AMR1、AMR2 レジスタに通知するイベントに対応しているビットのマスク解除を指定します。

端子ごとにこの作業を繰り返します。

表 3 - 13 に、AMR1、AMR2 レジスタで選択するイベントを示します。

表 3 - 13 PALM 端子通知イベント

イベント	PHYALM 出力タイミング
CMD1, CMD2, CMD3	CMR1 レジスタの CMD1, CMD2, CMD3 ビットを 1 に設定したときに PALM 端子がハイ・レベルになります。汎用ポート出力としての機能です。
exCMD	外部 CMD 入力端子がハイ・レベルになったことを検出したとき、PALM 端子がハイ・レベルになります。
OOL, LOS, OOF, LOF, LOP, OCD, LCD, Line AIS, Path AIS, Line RDI, Path RDI	イベントを検出したとき、PALM 端子がハイ・レベルになります。それぞれの要因が消滅するまでの間、ハイ・レベルを維持します。

《PALM 端子の使用例》

例1： μ PD98411 のポート 0 が LOS，または LOF を検出したとき，PALM1 端子からハイ・レベルを出力するように設定する。

AMPRレジスタ (024H) に '01H'をライト : PALM1端子を選択
AMR1レジスタ (025H) に 'DEH'をライト : LOS, LOFのマスクを解除
AMR2レジスタ (026H) に 'FFH'をライト : デフォールトのまま (マスク解除なし)
(2つ以上の要因がマスク解除設定された場合は, OR出力になります。)

例2：ソフトウェアがCMR1レジスタのCMD2ビットを1に設定したら，ポート2のPALM0端子からハイ・レベルを出力するように設定する。

AMPRレジスタ (124H) に '00H'をライト
AMR1レジスタ (125H) に 'FFH'をライト : デフォールトのまま (マスク解除なし)
AMR2レジスタ (126H) に 'BFH'をライト : CMD2ビットのマスクを解除

3.5.2 CMD 入力端子

各ポートは, 周辺 LSI からのステータス信号を入力する汎用入力端子として CMD 端子を備えています。この端子に入力されるレベルは, 各ポートの PICR レジスタにある **exCMD** ビットに反映され, ハイ・レベルが入力された場合に, ビットが 1 にセットされます。このビットのセットは, 割り込み要因にすることができます。

3.5.3 SD 入力端子

SD 端子は, 回線側にトランシーバとして接続する光リンク・モジュールの Signal Detect 信号を入力するための端子です。各ポートに 1 端子ずつあります。この端子を使用する場合は, IACM レジスタの SDm ビットを 0 にする必要があります。この端子の入力レベルがロウ・レベルになると, そのポートは, LOS 検出状態となり, PICR レジスタの LOS ビットをセットします。使用しない場合は, ハイ・レベルに固定してください。

3.6 警報検出条件の切り替えモード

オプションとして、警報検出条件を変更するモードがあります。変更設定は、ITUR レジスタの ITU ビットで行います。表 3 - 14 に、検出条件が変わる警報とその条件を示します。

表 3 - 14 検出条件が変更できる警報

警 報	ITU ビット = 0 (デフォルト)	ITU ビット = 1
Line RDI	K2 バイト (第 6-第 8 ビット) = 110 のフレームを 5 回連続で受信	K2 バイト (第 6-第 8 ビット) = 110 のフレームを 3 回連続で受信
Path RDI	G1 バイト (第 5 ビット) = 1 フレームを 5 回連続で受信	G1 バイト (第 5 ビット) = 1 フレームを 3 回連続で受信
Line AIS	K2 バイト (第 6-第 8 ビット) = 111 のフレームを 5 回連続で受信	K2 バイト (第 6-第 8 ビット) = 111 のフレームを 3 回連続で受信

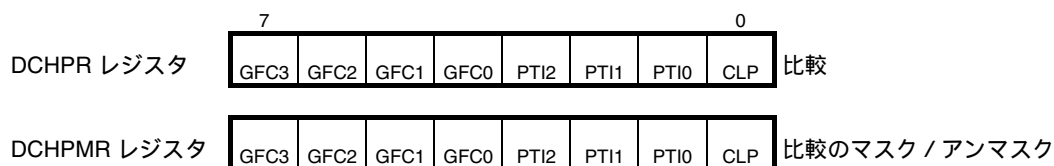
3.7 無効セルの選択

3.7.1 廃棄無効セルの選択

受信するセル流のなかで、VPI/VCI フィールドがオール 0 のセルを検出すると、そのセルを無効セルと判断し、そのセルはさらに他のヘッダ領域について、DCHPR と DCHPMR レジスタの設定と比較し、一致する場合、そのセルを受信 FIFO に格納することなく廃棄します。一致しない場合は、廃棄されず受信 FIFO に格納して UTOPIA インタフェースより出力します。

この設定によって、アイドル・セル、およびアンアサインド・セルを廃棄したり、あるいは、共に通過させたりすることができます。デフォルト・モードでは、アイドル・セルのみの廃棄になっています。

図 3 - 15 DCHPR と DCHPMR レジスタ



DCHPR レジスタに廃棄するビット・パターンを設定します。

DCHPMR レジスタに、DCHPR と比較させたいビットの位置にあたるビットを 0 にします。

これにより、VPI/VCI フィールドがオール 0 のセルを検出すると、DCHPMR レジスタで 0 のビットに位置する DCHPR レジスタのビットと設定と比較して、同じ場合は廃棄します。

表3-15 DCHPR レジスタの設定例

DCHPR CLP ビット	DCHPMR CLP ビット	廃棄セル
1	0	アイドル・セル (デフォルト)
0	0	アンアサインド・セル
X	1	アイドル・セル&アンアサインド・セル

3.7.2 送出無効セルの選択

送信 FIFO の有効セル・データが 1 セルに満たなくなったとき、アイドル・セルを挿入します。レジスタの設定によって、送出無効セルをアイドル・セルからアンアサインド・セルに変更することができます。変更は、AVLC レジスタの UCS ビットの設定で行います。

表3-16 μ PD98411 が送出する無効セルのフォーマット

設 定	挿入セル	フォーマット					
		GFC	VPI	VCI	PTI	CLP	Payload
UCS = 0	アイドル・セル	0	0	0	0	1	オール 6A(H)
UCS = 1	アンアサインド・セル	0	0	0	0	0	オール 6A(H)

3.8 ループバック機能

表3-17に示す3種類のループバック・モードを装備しています。設定はMDR2レジスタLP[1:0]ビットで行います。

表3-17 ループバック機能(1/2)

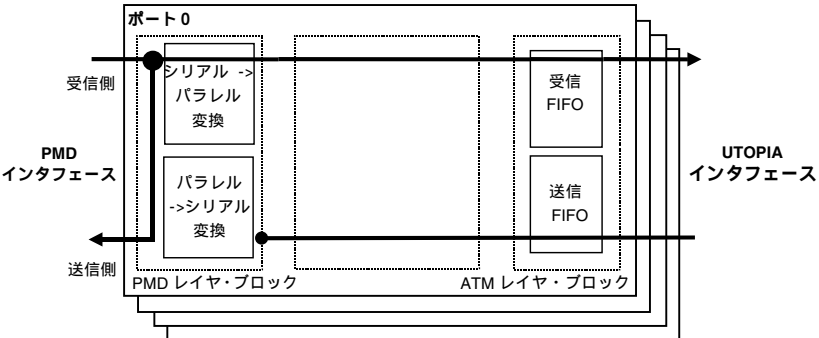
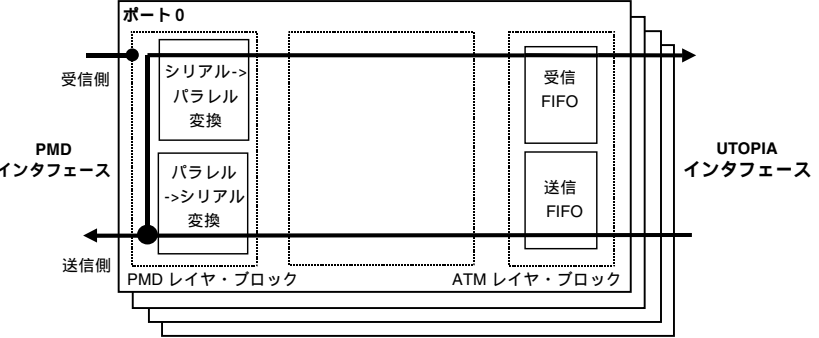
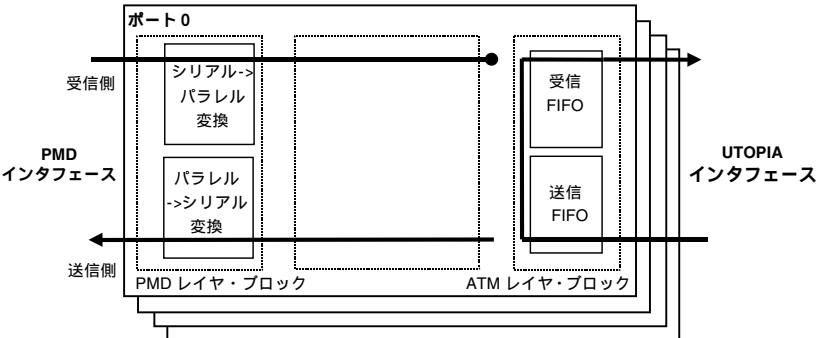
LP[1:0]	モード
00	ノーマル・モード
01	<p>RPLP モード</p> <p>PMD インタフェースの受信側から入力されるデータをシリアル/パラレル・コンバータ・ブロックで折り返し、PMD インタフェースの送信側より出力します。受信するデータは、折り返されるのと同時に、通常どおりに処理が進められ、UTOPIA インタフェースからも出力されます。また、送信ブロックもシリアル/パラレル・コンバータ・ブロックまで通常どおりに処理が進められるので、UTOPIA インタフェースの送信側も通常どおりにセルを受け取りますが、回線側には送出されません。</p> 
10	<p>TPLP モード</p> <p>UTOPIA インタフェースから受ける送信セル・データをシリアル/パラレル・コンバータ・ブロックまで処理を進め、そこで折り返して UTOPIA インタフェースの受信側に出力します。PICR レジスタなどに反映される障害、警報検出状態は、折り返る送信データの状態を表します。送信データは、PMD インタフェースからも通常どおりに出力されます。このモードにおいて PMD インタフェースの受信側に入力されるデータは、無視されます。</p> 

表3-17 ループバック機能(2/2)

LP[1:0]	モード
11	<p>ALP モード</p> <p>UTOPIA インタフェースから受ける送信セルを、ATM レイヤ・ブロックの送信 FIFO の後ろですぐに折り返し受信セルとして UTOPIA インタフェースから出力します。このとき、PMD インタフェースからは、AVLC レジスタの USC ビットの設定に従って、アイドル・セルかアンアサインド・セルが連続送出されます。PICR レジスタなどに反映される障害、警報検出状態は、PMD インタフェースに入力される受信データの状態です。</p> 

- 注意 1. 受信回線ケーブルを切断し、 μ PD98411 を LOS 検出した状態で、TPLP ループバック・モードで試験を行うとき、 μ PD98411 に入力したセルは、内部を通過して受信 UTOPIA インタフェースからループされてきますが、受信セルをカウントする Information Cell カウンタ（情報セル・カウンタ）は、そのセルをカウントしませんので注意してください。LOS 検出中では、すべてのパフォーマンス・モニタリング・カウンタは、強制的に停止する仕様になっているためです。
- ALP モードの設定 / 解除は、必ず $3.5 \mu\text{s}$ 以上の時間を空けて行ってください。
 - ALP モード設定中に、そのポートの CMR2 レジスタの TDIS ビットを 1 にセット（送信ディスエーブル）しないでください。
 - 受信 FIFO がフル状態（8 セル格納中）のときに ALP モードの設定 / 解除を行うと、セルを廃棄していないにもかかわらず、受信 FIFO オーバフロー・エラーを通知するステータス・ビットをセットし、FIFO Full カウンタのインクリメントを行うことがあります。不正に通知するステータス・ビットおよびカウンタは、クリアするようにしてください。

第4章 インタフェース

4.1 UTOPIA インタフェース

UTOPIA インタフェースは上位 ATM レイヤ・デバイスに対し、送受信セル・データの転送を行うためのインタフェースです。 μ PD98411 の ATM レイヤとのインタフェースは“ UTOPIA Level2 version1.0 June'95 ”標準の“ MPHY Data Path Operation ” に適合しています。

4.1.1 信号

(1) 送信インタフェース

送信インタフェースで使用する信号線の定義を説明します。

- TCLK2, TCLK1** : ATM レイヤから供給される 8 MHz ~ 50 MHz のクロック信号です。送信インタフェースのデータ転送動作は、このクロックに同期して実行されます。
- TADD2[4:0], TADD1[4:0]** : ATM レイヤからのポートを選択するための 5 ビット幅のアドレス信号です。TADD[4]が MSB になります。アドレスは、各ポートの **PHYIDR** レジスタに設定する値を用い、送受信で同一のアドレスを使用します。ただし、31 (1FH) は設定不可です。
- TDI[15:0]** : ATM レイヤから μ PD98411 に送信セル・データを転送するデータ信号です。TDI[15]が MSB で TDI[0]が LSB になります。
- TSOC2, TSOC1** : TDI[15:0]上を流れるセル・データの開始位置を入力する信号です。
- TENBL2_B, TENBL1_B** : ATM レイヤが、現在のクロック・サイクルで TDI[15:0]上に有効データを出力していることを示す信号です。
- TCLAV3-TCLAV0** : μ PD98411 が ATM レイヤに対して出力するアクティブ・ハイの 3 ステート信号です。TADD[4:0]信号上のアドレスで選択されたポートが、そのアドレスの次のクロックでこの信号をドライブします。1 セル・データを受け付けることができる場合にハイ・レベルにドライブし、できなければロウ・レベルにします。
- TPR2, TPR1** : TDI[15:0]の奇数パリティ信号をデータと同期して入力します。 μ PD98411 はこのパリティ・ビットを検証しエラーを検出した場合は **IMST** レジスタの **UT** ビットを 1 にセットします。

(2) 受信インタフェース

受信インタフェースで使用する信号線の定義を説明します。

- RCLK2, RCLK1** : ATM レイヤから供給される 8 MHz ~ 50 MHz のクロック信号です。受信インタフェースのデータ転送動作は、すべてこのクロックに同期して実行されます。
- RADD2[4:0], RADD1[4:0]** : ATM レイヤから μ PD98411 のポートを選択するための 5 ビット幅のアドレス信号です。RADD[4]が MSB になります。アドレスは、各ポートの **PHYIDR** レジスタに設定する値を用い、送受信は同一のアドレスを使用します。
ただし、31 (1FH) は設定不可です。
- RDO[15:0]** : μ PD98411 が ATM レイヤに受信データを転送する 3 ステートのデータ信号です。RDO[15]が MSB で RDO[0]が LSB になります。RENBL_B 信号がアクティブの場合のみドライブします。
- RSOC2, RSOC1** : RDO[15:0]上を流れるセル・データの開始位置を示す 3 ステート信号です。 μ PD98411 が出力するセルの先頭バイトに同期して出力します。RENBL 信号がアクティブの場合のみドライブします。
- RENBL2_B, RENBL1_B** : イネーブル信号です。ATM レイヤが、 μ PD98411 の RDO[15:0]と RSOC 信号をイネーブルにするのに使用します。
- RCLAV3-RCLAV0** : μ PD98411 が ATM レイヤに対して出力するアクティブ・ハイの 3 ステート信号です。RADD[4:0]信号上のアドレスで選択されたポートがそのアドレスの次のクロック・サイクルでドライブします。選択されたポートは、受信 FIFO に転送すべきセル・データを 1 セル以上持っている場合はハイ・レベルにドライブし、持っていなければロウ・レベルにします。
- RPR2, RPR1** : RDO[15:0]の奇数パリティ信号です。この信号は 3 ステートで、 μ PD98411 は RENBL_B 信号がアクティブの場合にのみデータに同期してドライブします。

4.1.2 モード

電源投入後のデフォルト状態では、UTOPIA インタフェースはディスエーブルになっています。イネーブルにしてセル転送を開始するためには、次の手順で UTOPIA インタフェースに関するレジスタにモード設定を行います。

設定 (H/W, S/W リセット後)	レジスタ
受信ブロックのディスエーブル (4 ポート)	CMR2 レジスタ RDIS = 1
PHY アドレス設定およびアドレス・イネーブル (4 ポート)	PHYIDR レジスタ
CLAV 信号の応答タイミング設定 (変更不要の場合なし)	AVLC レジスタ
UTOPIA インタフェース・モードの設定およびバス・イネーブル	MitUT レジスタ
受信ブロックのイネーブル (4 ポート)	CMR2 レジスタ RDIS = 0

の受信ブロックを一度ディスエーブルにするのは、電源立ち上げ時に不安定なフレーム受信によって受信 FIFO にごみデータが格納されてしまった場合に、UTOPIA インタフェースをイネーブル後に排出されることを避け、受信 FIFO をリセットするためです。

、で行うモード設定には、次の項目があります。

表 4 - 1 UTOPIA インタフェースのモード選択一覧

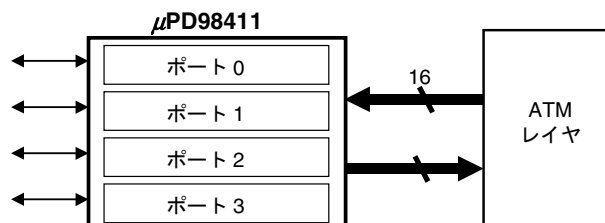
	分類	項目	関連レジスタおよびビット名
1	バスに関する設定	Single16-bit or Dual8-bit or Single8-bit	MitUT レジスタ MSL[1:0]
2	セル・アベイラブル	1 × TCLAV/1RCLAV or 4 × TCLAV/1RCLAV	MitUT レジスタ MSL2
3	信号に関する設定	送信セル・アベイラブル信号が有効になるタイミング	AVLC レジスタ TCAC
4		送信セル・アベイラブル信号が通知するしきい値設定	AVLC レジスタ AVC[2:0]
5		受信セル・アベイラブル信号が有効になるタイミング	AVLC レジスタ RCAC
6		PHY アドレスのデコード方式	MitUT レジスタ MSL3

注意 MitUT レジスタの設定/変更は、UTOPIA インタフェース上のセル転送を開始してからは行わないでください。

(1) バスに関する設定

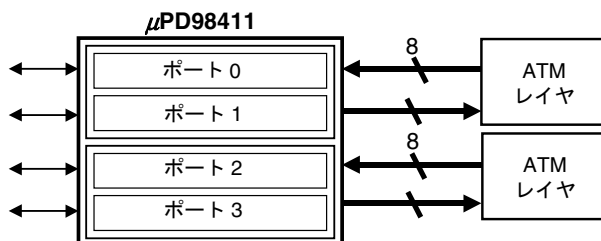
(a) Single 16 ビット (MitUT レジスタ MSL = 11)

4 ポートすべてのセル・データを 16 ビット・バスを介して転送するモードです。最大送信レートは、800 Mbps (16-bit × 50 MHz)になります。



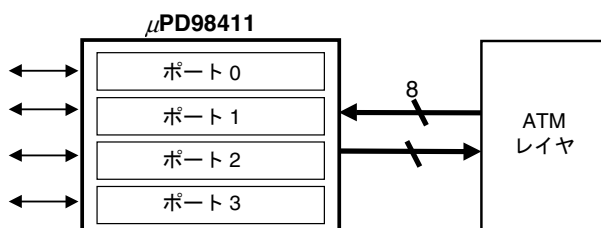
(b) Dual 8 ビット (MItUT レジスタ MSL[1:0] = 01)

2ポートに対して8ビットのデータ・バスを使用するモードです。ポート0とポート1で、1つの8ビット・バスを介して転送し、ポート2とポート3は、もう一方の8ビット・バスを介して転送します。各ポートは独立して動作します。



(c) Single 8 ビット (MItUT レジスタ MSL[1:0] = 10)

4ポートすべてのセル・データを8ビット・バスを介して転送するモードです。最大送信レートは、400 Mbps(8-bit × 50 MHz)ですので、4ポートすべての送出フレームにセルをフルに埋めることはできません。



8ビットと16ビットのデータ・バス上のセルのフォーマットはそれぞれ以下ようになります。

Single8-bit /Dual8-bit モード

7	0
Header1	
Header2	
Header3	
Header4	
HEC	
Payload1	
:	
:	
Payload47	
Payload48	

Single16-bit モード

15	0
Header1	Header2
Header2	Header4
HEC	'XX'
Payload1	Payload2
Payload3	Payload4
Payload5	Payload6
:	:
:	:
Payload45	Payload46
Payload47	Payload48

'XX': 受信側ではダミー・バイト'00'を挿入し、送信側ではこの位置のバイトを無視して内部でHECに上書きします。

(2) セル・アベイラブル信号に関する設定

(a) セル・アベイラブル信号のポートへの割り当て

(i) 1×TCLAV/RCLAV を使用 [MitUT レジスタ MSL2 = 0]

4ポートのFIFO状態を、1本のセル・アベイラブル信号にマルチプレクサして通知します。セル・アベイラブル信号は3ステート出力となり、ポーリング時にアドレス指定されたポートのみがセル・アベイラブル信号をドライブしてレスポンスを返します。

- ・ Single 16-bit バス設定時 : TCLAV2, RCLAV1 ペアのみ使用
- ・ Dual 8-bit バス設定時 : ポート0 / ポート1 = TCLAV1, RCLAV1 を使用
ポート2 / ポート3 = TCLAV2, RCLAV2 を使用
- ・ Single 8-bit バス設定時 : TCLAV1, RCLAV2 信号のペアを使用

(ii) 4×TCLAV/RCLAV を使用 [MitUT レジスタ MSL2 = 1]

TCLAV3-TCLAV0, RCLAV3-RCLAV0 のすべてのセル・アベイラブル信号をイネーブルにし、各ポートごとに1ペアのTCLAV#n, RCLAV#nを割り当てます(例: TCLAV0, RCLAV0 ポート0, TCLAV2, RCLAV2 ポート2)。ポートの番号と、信号の番号の関係が変わることはありません。

さらにMSL3 = 0の場合は、アドレス指定に関係なく、TCLAV, RCLAVが常時それぞれのポートのFIFO状態を表示する2ステート出力に切り替わります。ATMレイヤ・デバイスは、アドレス指定せずにFIFOステートを得ることができます(Direct Status Indication (DSI)方式)。

MSL3 = 1の場合は、セル・アベイラブル信号は3ステート出力に切り替わり、アドレス指定されたポートのみが、セル・アベイラブル信号をドライブしてレスポンスを返します。

(b) セルを受け付け中のポートが送信セル・アベイラブル信号を有効にするタイミング

(i) セル最後尾から4サイクル前に有効 [AVLC レジスタ TCAC = 0 (デフォルト)]

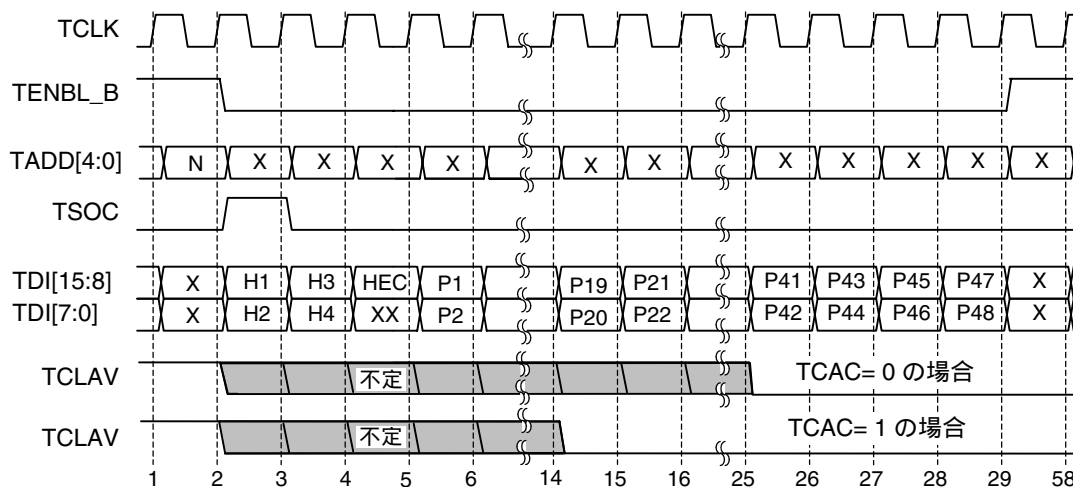
セルを受け付け中のポートは、現在受け付け中のセルの最後尾より4クロック・サイクル前にTCLAVを有効にします。現在受け付け中のセルとは別に、さらに送信FIFOに1セル分を格納できる空き領域がある場合はTCLAVをハイ・レベルに維持し、ない場合はロウ・レベルに変化させます。

(ii) 20バイト目送出力以降に通知 [AVLC レジスタ TCAC = 1]

セル受け付け中のポートは、現在受け付け中のセルの20バイト目を受け付けた以降にTCLAVを有効にします。現在、受け付け中のセルとは別に送信FIFOに、さらに1セル分を格納できる空き領域がある場合にはTCLAVをハイ・レベルに維持し、ない場合はロウ・レベルに変化させます。

図4-1 TCLAV の変化タイミング

(16ビット・バス・ダイレクト・ステータス・モードの場合の例)



(c) 送信セル・アベイラブル信号の変化条件の設定 (AVLC レジスタ AVC[2:0])

上記 (b) の TCLAV 信号の動作説明において、TCLAV 信号が変化する送信 FIFO の空き領域条件 (下線部) を変更することができます。

送信 FIFO の残り空き領域を n セル分残して TCLAV 信号をインアクティブさせる場合の、n を設定します。

デフォルトは 000 = 1 セルになっています。現在取り込み中のセルで送信 FIFO がフルになる (空き領域が 1 セル分に満たなくなる) と、TCLAV をロウ・レベルにします。

011 = 3 セルに設定した場合は、8 セル分のサイズを持つ FIFO に 6 セル目書き込まれたとき、空き容量が 3 セルに満たなくなるので、TCLAV をロウ・レベルにします。

AVC2-AVC0	送信 FIFO の残り空き領域セル数
000-001	1 セル (デフォルト)
010	2 セル
011	3 セル
100	4 セル
101	5 セル
110	6 セル
111	7 セル

この設定は、TCLAV がロウ・レベルになる送信 FIFO のしきい値条件を変更します。TCLAV がロウ・レベルになってもセルを転送し続けた場合、8 セル分のサイズを持つ送信 FIFO がフルになるまで受け取ります。フルになっても転送し続けられた場合は、そのセルを無視します。

(d) セル転送中のポートが受信セル・アベイラブル信号を有効にするタイミング

(i) セルの最後尾までハイ・レベルを維持 [AVLC レジスタ : RCAC = 0]

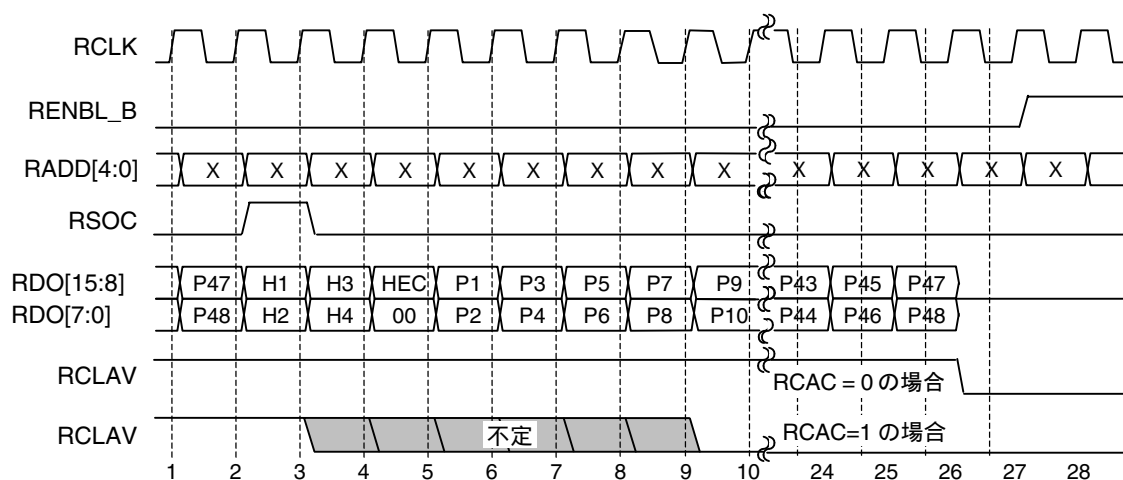
受信セル・データ出力中は、RCLAV をハイ・レベルに維持し、転送中のセルの最後尾バイト（ペイロード・データ 48 バイト目）を出力した次のクロックのタイミング以降で、受信 FIFO に 1 セル分以上の有効データがある場合は RCLAV をハイ・レベルにし、ない場合はロウ・レベルにします。

(ii) 最後のセルを転送して 7 サイクル以降 [AVLC レジスタ : RCAC = 1]

送中中のセルによって受信 FIFO のデータが 1 セルに満たなくなったとき、セル送を開始して 7 クロック・サイクル後にロウ・レベルにします。

図 4 - 2 RCLAV の変化タイミング

(16 ビット・バスで、ダイレクト・ステータスの場合の例)



(e) PHY アドレスのデコード方式

(i) アドレス 5 ビットすべてをチェック [MitUT レジスタ : MSL3 = 0]

ATM レイヤが各ポートの FIFO 状態をポーリングするとき、アドレス信号の 5 ビットすべてが一致したポートが TCLAV/RCLAV 信号をドライブします。また、ATM レイヤがセルを転送するポートを選択するときも同様に、アドレス 5 ビットが一致したポートがセレクトされます。

(ii) アドレスの上位 3 ビットのみをチェック [MitUT レジスタ : MSL3 = 1]

ポーリング時、アドレス TADD, RADD 上の下位 2 ビットを無視し、上位 3 ビットが PHYIDR レジスタの ID4-ID2 に一致したポートが、TCLAV, RCLAV をドライブします (**Multiplexed Status Polling (MSP) 方式**)。

ATM レイヤがセルを転送するポートを選択するときは、アドレス 5 ビットすべて一致したポートがセレクトされます。

この場合、MSL2 = 1 が設定されている場合においても、TCLAV, RCLAV は、ポーリング時に上位 3 ビットが自アドレスに一致したポートだけがドライブする 3 ステート出力になります。

前述のモード選択によって、システムに応じたさまざまな UTOPIA インタフェースを構築することができます。
 選択されたモードにおける動作は、4.1.3 オペレーション に記述しています。

表 4 - 2 UTOPIA インタフェース・モード一覧

MSL[3:0]	バス・モード	ステータスを得る方式	使用する CLAV 信号	CLAV 出力
0001	Dual 8-bit	2TCLAV/2RCLAV	2 × TCLAV/RCLAV	3 ステート
0101		Direct Status Indication	4 × TCLAV/RCLAV	2 ステート
1001		Multiplexed Status	1 × TCLAV/RCLAV	3 ステート
1101		Polling	4 × TCLAV/RCLAV	
0010	Single 8-bit	1TCLAV/1RCLAV	1 × TCLAV/RCLAV	3 ステート
0110		Direct Status Indication	4 × TCLAV/RCLAV	2 ステート
1010		Multiplexed Status	1 × TCLAV/RCLAV	3 ステート
1110		Polling	4 × TCLAV/RCLAV	
0011	Single 16-bit	1TCLAV/1RCLAV	1 × TCLAV/RCLAV	3 ステート
0111		Direct Status Indication	4 × TCLAV/RCLAV	2 ステート
1011		Multiplexed Status	1 × TCLAV/RCLAV	3 ステート
1111		Polling	4 × TCLAV/RCLAV	

選択する UTOPIA インタフェースのモードに応じて、使用する端子が異なりますので注意してください。表 4 - 3 に各モードと使用する端子の対応表を示します。

表 4 - 3 UTOPIA インタフェースの選択モードと使用端子の対応表 (1/2)

モード		MSL[3:0]	使用端子 (_B 省略)		
Dual 8-bit	2TCLAV/2RCLAV	0001	Tx	Port 0/1	TCLK1,TDI[15:8],TADD1,TPR1,TENBL1_B,TCLAV1,TSOC1
				Port 2/3	TCLK2,TDI[7:0],TADD2,TPR2,TENBL2_B,TCLAV2,TSOC2
			Rx	Port 0/1	RCLK1,RDO[15:8],RADD1,RPR1,RENBL1_B,RCLAV1,RSOC1
				Port 2/3	RCLK2,RDO[7:0],RADD2,RPR2,RENBL2_B,RCLAV2,RSOC2
	Direct Status Indication 4TCLAV/4RCLAV 信号 使用 (2 ステート出力)	0101	Tx	Port 0/1	TCLK1,TDI[15:8],TADD1,TPR1,TENBL1_B,TCLAV1,TCLAV0,TSOC1
				Port 2/3	TCLK2,TDI[7:0],TADD2,TPR2,TENBL2_B,TCLAV3,TCLAV2,TSOC2
			Rx	Port 0/1	RCLK1,RDO[15:8],RADD1,RPR1,RENBL1_B,RCLAV1,RCLAV0,RSOC1
				Port 2/3	RCLK2,RDO[7:0],RADD2,RPR2,RENBL2_B,RCLAV3,RCLAV2,RSOC2
	Multiplexed Status Polling 1TCLAV/1RCLAV 信号 使用 (3 ステート出力)	1001	Tx	Port 0/1	TCLK1,TDI[15:8],TADD1,TPR1,TENBL1_B,TCLAV1,TSOC1
				Port 2/3	TCLK2,TDI[7:0],TADD2,TPR2,TENBL2_B,TCLAV2,TSOC2
			Rx	Port 0/1	RCLK1,RDO[15:8],RADD1,TPR1,RENBL1_B,RCLAV1,RSOC1
				Port 2/3	RCLK2,RDO[7:0],RADD2,TPR2,RENBL2_B,RCLAV2,RSOC2
Multiplexed Status Polling 4TCLAV/4RCLAV 信号 使用 (3 ステート出力)	1101	Tx	Port 0/1	TCLK1,TDI[15:8],TADD1,TPR1,TENBL1_B,TCLAV1,TCLAV0,TSOC1	
			Port 2/3	TCLK2,TDI[7:0],TADD2,TPR2,TENBL2_B,TCLAV3,TCLAV2,TSOC2	
		Rx	Port 0/1	RCLK1,RDO[15:8],RADD1,RPR1,RENBL1_B,RCLAV1,RCLAV0,RSOC1	
			Port 2/3	RCLK2,RDO[7:0],RADD2,RPR2,RENBL2_B,RCLAV3,RCLAV2,RSOC2	

表4-3 UTOPIA インタフェースの選択モードと使用端子の対応表 (2/2)

モード		MSL[3:0]	使用端子 (_B 省略)	
Single 8-bit	1TCLAV/1RCLAV	0010	Tx	TCLK1,TDI[15:8],TADD1,TPR1,TENBL1_B,TCLAV1,TSOC1
			Rx	RCLK2,RDO[7:0],RADD2,RPR2,RENBL2_B,RCLAV2,RSOC2
	Direct Status Indication 4TCLAV/4RCLAV 信号 使用 (2 ステート出力)	0110	Tx	TCLK1,TDI[15:8],TADD1,TPR1,TENBL1_B,TCLAV3-TCLAV0,TSOC1
			Rx	RCLK2,RDO[7:0],RADD2,RPR2,RENBL2_B,RCLAV3-RCLAV0,RSOC2
Multiplexed Status Polling 1TCLAV/1RCLAV 信号 使用 (3 ステート出力)	1010	Tx	TCLK1,TDI[15:8],TADD1,TPR1,TENBL1_B,TCLAV1,TSOC1	
		Rx	RCLK2,RDO[7:0],RADD2,RPR2,RENBL2_B,RCLAV2,RSOC2	
Multiplexed Status Polling 4TCLAV/4RCLAV 信号 使用 (3 ステート出力)	1110	Tx	TCLK1,TDI[15:8],TADD1,TPR1,TENBL1_B,TCLAV3-TCLAV0,TSOC1	
		Rx	RCLK2,RDO[7:0],RADD2,RPR2,RENBL2_B,RCLAV3-RCLAV0,RSOC2	
Single 16-bit	1TCLAV/1RCLAV	0011	Tx	TCLK2,TDI[15:0],TADD2,TPR1,TENBL2_B,TCLAV2,TSOC1
			Rx	RCLK1,RDO[15:0],RADD1,RPR2,RENBL1_B,RCLAV1,RSOC2
	Direct Status Indication 4TCLAV/4RCLAV 信号 使用 (2 ステート出力)	0111	Tx	TCLK2,TDI[15:0],TADD2,TPR1,TENBL2_B,TCLAV3-TCLAV0,TSOC1
			Rx	RCLK1,RDO[15:0],RADD1,RPR2,RENBL1_B,RCLAV3-RCLAV0,RSOC2
Multiplexed Status Polling 1TCLAV/1RCLAV 信号 使用 (3 ステート出力)	1011	Tx	TCLK2,TDI[15:0],TADD2,TPR1,TENBL2_B,TCLAV2,TSOC1	
		Rx	RCLK1,RDO[15:0],RADD1,RPR2,RENBL1_B,RCLAV1,RSOC2	
Multiplexed Status Polling 4TCLAV/4RCLAV 信号 使用 (3 ステート出力)	1111	Tx	TCLK2,TDI[15:0],TADD2,TPR1,TENBL2_B,TCLAV3-TCLAV0,TSOC1	
		Rx	RCLK1,RDO[15:0],RADD1,RPR2,RENBL1_B,RCLAV3-RCLAV0,RSOC2	

4.1.3 オペレーション

ここでは、セル・アベイラブル信号のモード選択によって変わる次の3方式のオペレーション動作について説明します。

1TCLAV&1RCLAV 方式

Direct Status Indication 方式

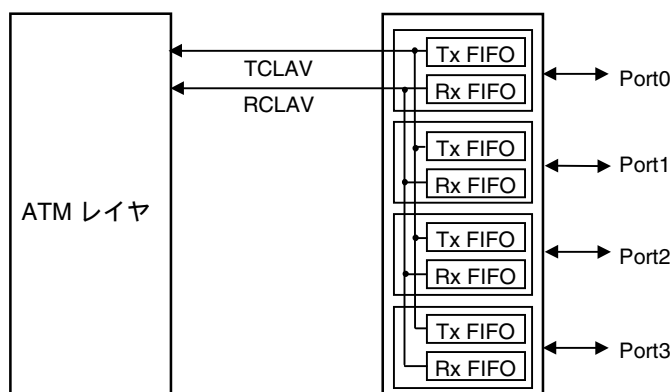
Multiplexed Status Polling 方式

説明では、おもに Single 8-bit モードの場合を図例に取り上げています。

(1) 1TCLAV&1RCLAV 方式

1TCLAV&1RCLAV モードは、4 ポートがそれぞれに持つ送受信 FIFO の状態信号を LSI 内部で 1 ペアの TCLAV/RCLAV 信号にマルチプレクサして出力するモードです。ATM レイヤは、各ポートの FIFO 状態を知るため、ポートのアドレス指定をして TCLAV, RCLAV をサンプリングするというポーリング作業を繰り返し実施します。アドレスで指定されたポートだけが FIFO 状態に応じて TCLAV, RCLAV 信号をドライブし、それ以外は Hi-Z になります。

図 4 - 3 1TCLAV & 1RCLAV 方式



(a) 1TCLAV での送信インタフェース

ATM レイヤは、ポートのアドレスを TADD 上に出だし、次のクロック・サイクルで TCLAV 信号のレベルをサンプリングします。各ポートは、TADD 上のアドレスが自アドレスと一致するかどうかをチェックして、一致したポートは、そのアドレスが出力された次のクロック・サイクルで TCLAV 信号をドライブします。送信 FIFO に空き領域があり、セル・データを受け付け可能ならハイ・レベルを、不可能ならロウ・レベルをドライブします。アドレスが一致しない場合は Hi-Z にします。TCLAV の応答条件における、送信 FIFO の空き領域のサイズは、AVLC レジスタの AVC2-AVC0 ビットへ設定によって変更することができます。ATM レイヤは、このポーリング作業を繰り返し、各ポートの FIFO 状態を知ります。

自アドレスとは、マネジメント・インタフェースを介して、各ポートの **PHYIDR** レジスタに設定されているアドレスを指します（アドレス 31 (1FH) は、いずれのポートにも当たらないアドレス値として使用されるため、設定不可になっています）。

ATM レイヤは、セル受け付け可能なレスポンスを返したポートの中から 1 ポートを選択し、そのポートのアドレスを TADD 上に出出して、TENBL_B を次のクロック・サイクルでロウ・レベルにします。TENBL_B がロウ・レベルになる直前、最後にハイ・レベルであったクロック・サイクルで、TADD 上に自アドレスが出力されていたポートは、セレクト状態となります。ポートのセレクト状態は、自アドレスが TADD 上に出力され、TENBL_B がロウ・レベルになったサイクルからふたたび TENBL_B がロウ・レベルになって他のポートが選択されるまで続きます。

ポートをセレクトすると、ATM レイヤはセル・データの転送を開始します。 μ PD98411 は、TENBL_B がロウ・レベルの間は有効データが TDI 上に出力されているとして、TCLK の立ち上がりエッジで TDI をサンプリングしデータを取り込みます。TENBL_B が、ハイ・レベルになるとデータの取り込みを中止します。TSOC にハイ・レベルが入力されたサイクルで取り込んだデータは、セルの先頭であると認識します。

セル・データ転送中、ATM レイヤは次に転送すべきポートを選択するため、ふたたびポーリング動作を実施します。

図4-4は、複数の μ PD98411がSingle8-bitモードで1つのATMレイヤ・デバイスに接続されている場合において、ポーリング動作からセル転送を開始するまでの一連のサイクルを示した例です。この例では、アドレス(N)のポートに対するセル転送中のポーリングで(N-3)と(N+3)のポートが次にセル受け付け可能なレスポンスを返し、その結果、エッジ16でポート(N+3)がセレクトされています。ポート(N+3)に対するセル転送が開始されると、ATMレイヤはポーリングを再開しています。

図4-4 1TCLAV & 1RCLAV方式の送信タイミング

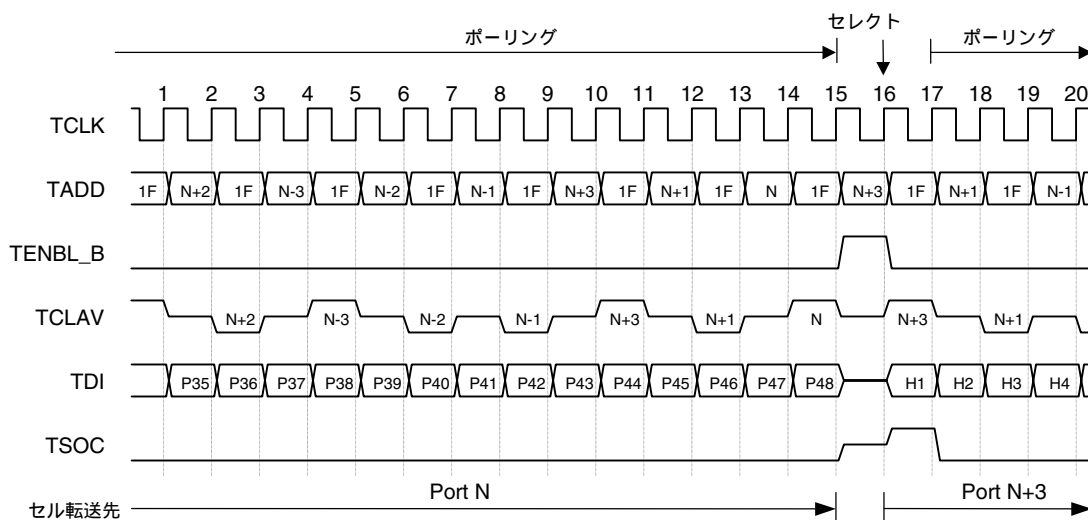
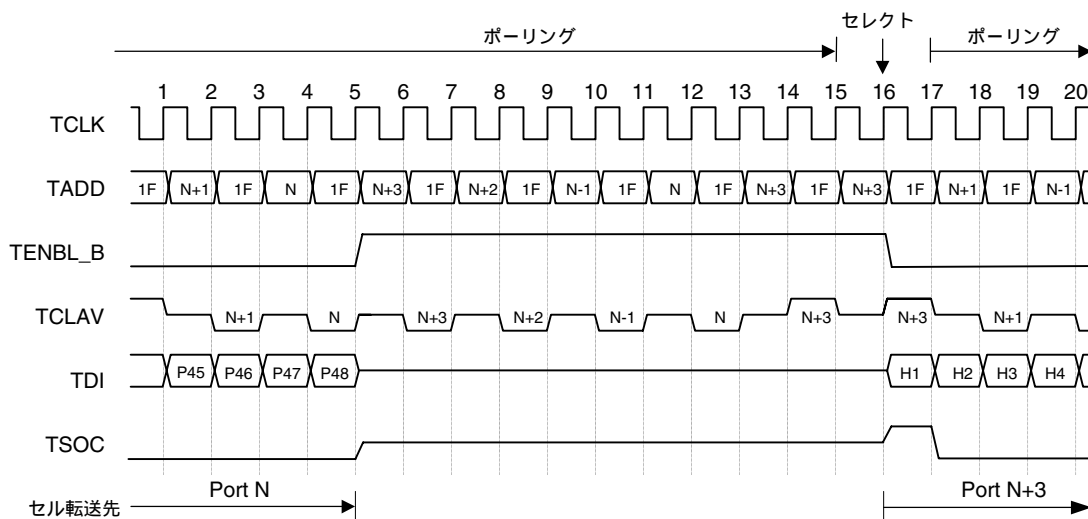


図4-5は、ポーリング時にすべてのポートがTCLAVをロウ・レベルにドライブし、セル受け付け不可のレスポンスを返したため、セル転送の間隔がしばらく空いている例を示しています。セル転送を行っていない間も、ポーリングは継続しています。

エッジ15でポート(N+3)が受け付け可能になったことを通知したので、セレクトのためにエッジ16でもう一度、アドレス(N+3)を出力し、TENBL_Bをロウ・レベルにしてセル転送を再開しました。

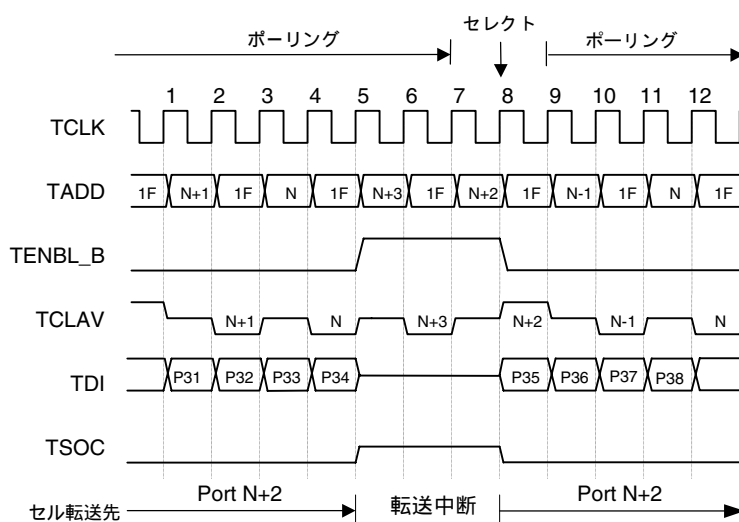
図4-5 セル送の終了と再送



<注意>

- (1) 図4-6は、ATM レイヤがセル転送中に、TENBL_B をハイ・レベルにして、データ出力を中断している例を表しています。 μ PD98411 では、この例のようなセル転送途中での中断は避けてください。いったん TENBL_B をロウ・レベルにしてセル転送を開始したら、そのセルの 53 バイト・データを転送し終えるまでの間、TENBL_B はロウ・レベルを維持するようにしてください。
- 1セルの転送途中に TENBL_B の制御によってデータ入力の中断/再開を行うことはできません。
- (2) TENBL_B がロウ・レベルになってセル転送を開始してから、転送中のセルが 53 バイトを満たさないうちに、TSOC にハイ・レベルが入力されると、それまで転送中であったセルは無効なショート・セルとして、送信 FIFO に入力されず廃棄されます。
- (3) セル転送が開始されてから、53 バイト以上の期間、TENBL_B をロウ・レベルに維持した場合、 μ PD98411 は 53 バイトまでを有効なセルと見なし、54 バイト目以降のデータは無視します。

図4-6 セル送出中断例(不可)



(b) 1RCLAV での受信インタフェース

ATM レイヤは、ポートのアドレスを RADD 上に出力し、次のクロック・サイクルで RCLAV をサンプリングして各ポートの受信 FIFO 状態をポーリングします。それぞれのポートは、RADD 上のアドレスが、自アドレスと一致するかどうかをチェックし、一致したポートはそのアドレスが出力された次のクロック・サイクルで RCLAV をドライブします。1セル以上の有効データが受信 FIFO 内にある場合はハイ・レベルを、1セルを満たしていない場合はロウ・レベルをドライブします。アドレスが一致しない場合は、Hi-Z にします。

この場合の自アドレスとは、マネジメント・インタフェースを介して、各ポートの PHYIDR レジスタに設定されたアドレスを指します。PHYIDR レジスタに設定されるアドレスは、そのポートの UTOPIA インタフェース動作において送受信共通のアドレスとして用いられます(アドレス 31(1FH)は、いずれのポートにも当たらないアドレス値として使用されるため、設定不可です)。ATM レイヤは、このポーリング作業を繰り返し、各ポートの受信 FIFO 状態を知ります。

ATM レイヤは、有効セルありのレスポンスを返したポートの中から 1ポートを選択し、そのポートのアドレスを RADD 上に出力して、次のクロック・サイクルで RENBL_B をロウ・レベルにします。RENBL_B がロウ・レベルになる直前、最後にハイ・レベルだったクロック・サイクルで、RADD 上に自アドレスが出

力されていたポートは、セレクト状態となります。ポートのセレクト状態は、自アドレスが RADD 上に出
力され、RENBL_B がロウ・レベルになったサイクルから、ふたたび RENBL_B がロウ・レベルになって他
のポートが選択されるまで続きます。

セレクト状態に入ると、そのポートは ATM レイヤに向けてセル・データの転送を開始します。RENBL_B
がロウ・レベルの間は RCLK クロックに同期して RDO 上にデータを出力します。RENBL_B が、ハイ・レ
ベルになったことを検出した場合は、出力を中止し、RDO を Hi-Z にします。セル・データの先頭バイトを
出力するサイクルでは、RSOC をハイ・レベルにします。

セル・データの転送が開始されると、ATM レイヤは次のポートを選択するためにふたたびポーリングを
実施します。

図 4 - 7 は、複数の μ PD98411 が Single8-bit モードで 1 つの ATM レイヤ・デバイスに接続されている場
合において、ポーリング動作からセル転送を開始するまでの一連のサイクルを示した例です。

この例では、ポート (N) からのセル転送中のポーリングで、(N-3) と (N+3) のポートが有効セルを
持っていることを通知しており、その結果、ATM レイヤは、エッジ 16 で (N+3) のポートをセレクトして
います。セレクトされたポート (N+3) は、セルの転送を開始し、セルの先頭バイトを出力しているサイク
ルでは、RSOC もハイ・レベルを出力します。ATM レイヤは、続けてポーリングを行います。

図 4 - 7 1TCLAV & 1RCLAV 方式の受信タイミング例 (1)

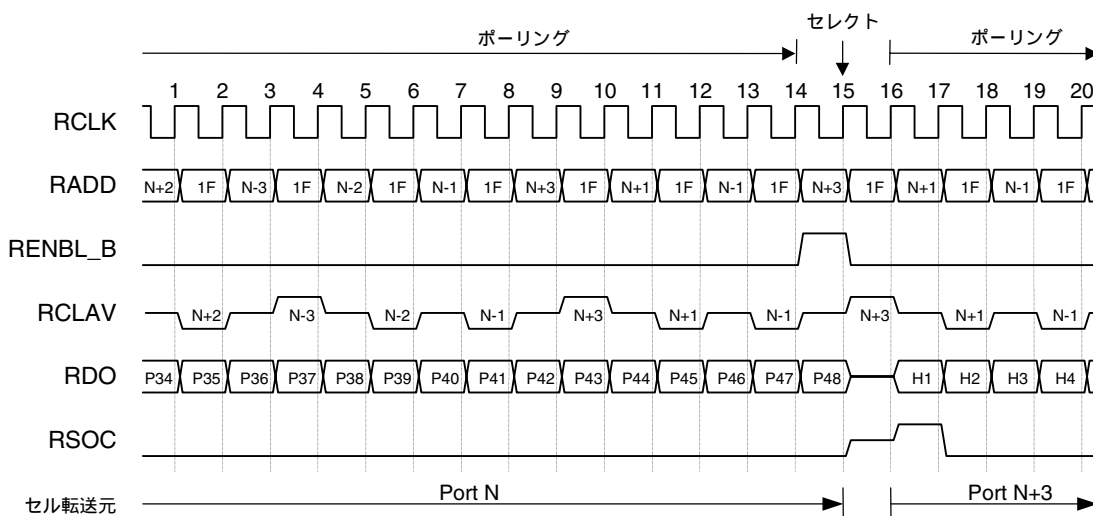


図 4 - 8 は、ポート (N) からのセル転送が完了したが、それまでのポーリングでいずれのポートも有効
セルを持っていなかった場合の例を示しています。ATM レイヤは、他のポートをセレクトする必要がない
ので、ポート (N) をセレクトしたままにしていますが、ポート (N) は、続けて有効セルを持っていなかつ
たため、RSOC をロウ・レベルにドライブし、RDO 上にもデータを出力していません。ATM レイヤは、エッ
ジ 9 で RSOC がハイ・レベルにならなかったため、次のセル転送はないと判断し、RENBL_B をハイ・レ
ベルに戻します。

μ PD98411 は、RENBL_B のハイ・レベルを検出すると、その後のクロック・サイクルは、RSOC、RDO
を Hi-Z にします。

図4-8 1TCLAV&1RCLAV方式の受信タイミング例(2)

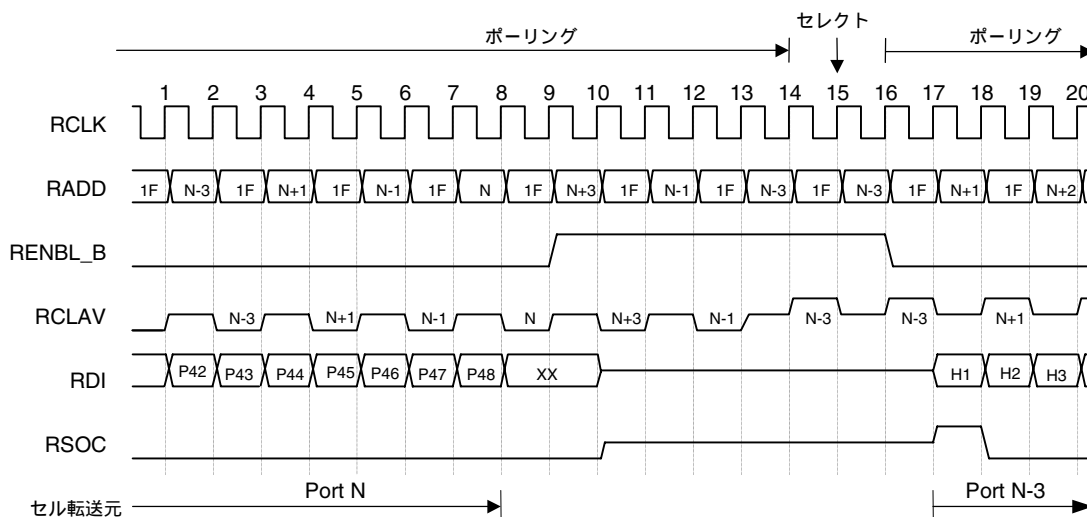


図4-9は、ポート(N)が、セル転送を終了してから1クロック・サイクル後にふたたび転送すべき有効セルが発生する場合の例を示しています。1セルの転送を終えた直後のエッジ8では、まだポート(N)は、次のセルを持ち合わせていないので、続けてセルを転送することはありません。しかし、1クロック・サイクル後のエッジ9で、次の有効セルがポート(N)の受信FIFOに発生したため、セルの先頭H1バイトをRDO上に出力するとともにRSOCをハイ・レベルにします。ATMレイヤは、ポート(N)がエッジ9でRSOCをハイ・レベルにしなかったために、次の有効セルは出力されないとみなしてRENBL_Bを一度ハイ・レベルに戻しますが、エッジ10でポート(N)がデータ出力を開始したことを検出して再セレクトします。

μPD98411(セレクトされたポート)は、RCLKの立ち上がりエッジでRDOを更新し、RENBLをサンプリングします。RENBL_Bのロウ・レベルを検出した次のサイクルでは、RSOC,RDOをドライブし、ハイ・レベルを検出した次のサイクルではRSOC,RDOをHi-Zにします。ATMレイヤは、RENBL_Bをハイ・レベルにした立ち上がりエッジの次のエッジまでRSOC,RDOを取り込みます。

図4-9 同一ポートからの2セル連続送出力例(1)

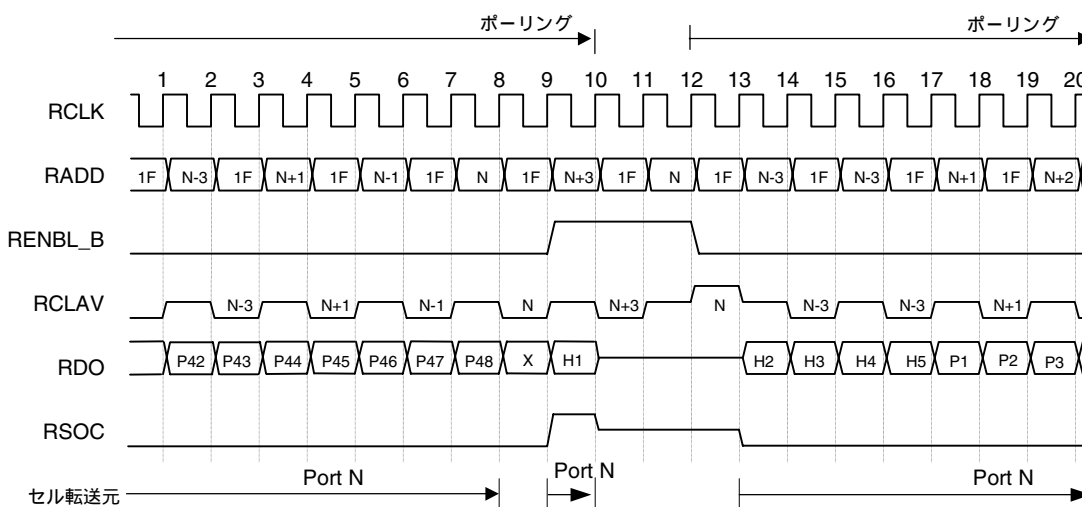


図4-10は、同じポートから2セルのデータを連続送出する場合を表した例です。ポート(N)が、1セル目の転送を終えるとき、他のポートのRCLAVがアクティブになっていないため、ATMレイヤは、ポート(N)をセレクトし続けます。通常モードでは、セル転送中のポートは、セルの最後尾バイトまでRCLAVをハイ・レベルに維持するので、そのポートが次の有効セルをすでに受信FIFO内に持っているかどうかを、ATMレイヤは最後尾バイトまで判断できません。この例の場合では、ポート(N)が受信FIFOにもう1セル持っていたので、続けて転送を行いました。ATMレイヤは、エッジ9でRSOCがハイ・レベルになり、連続転送が行われていることを知ります。

μPD98411は、受信FIFO内にセルが複数あって、RENBL_Bがロウ・レベルのまま続けてセレクトされているとき、図4-10のようにセルを連続して送出します。連続で送出させない場合は、1セルの転送を終えた時点で、RENBL_Bで制御します。

μPD98411の通知するRCLAVのタイミングは、AVLCレジスタのRCACビットへの設定によって、変更することができます。4.1.2(2)(d)セル送信中のポートが受信セル・アベイラブル信号を有効にするタイミングを参照してください。

図4-10 同一ポートからの2セル連続送出例(2)

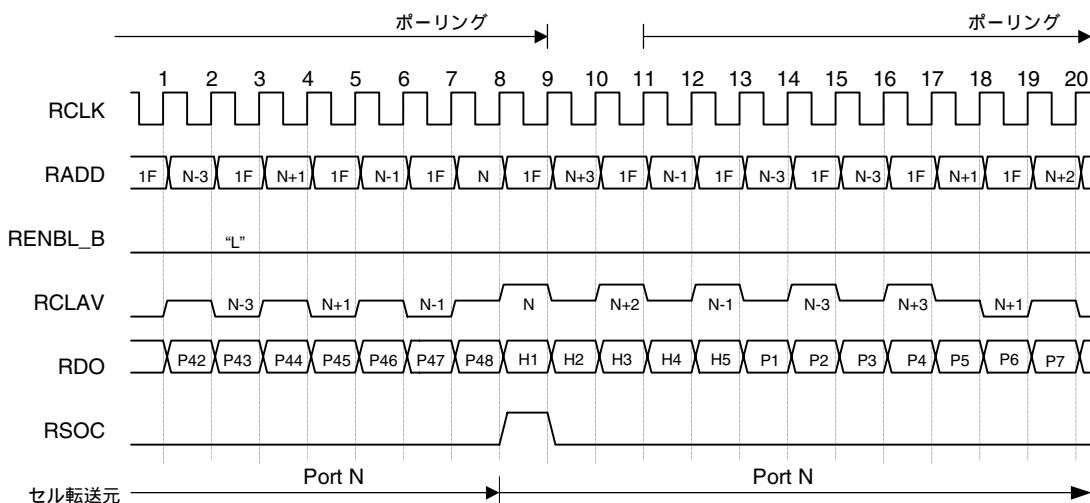
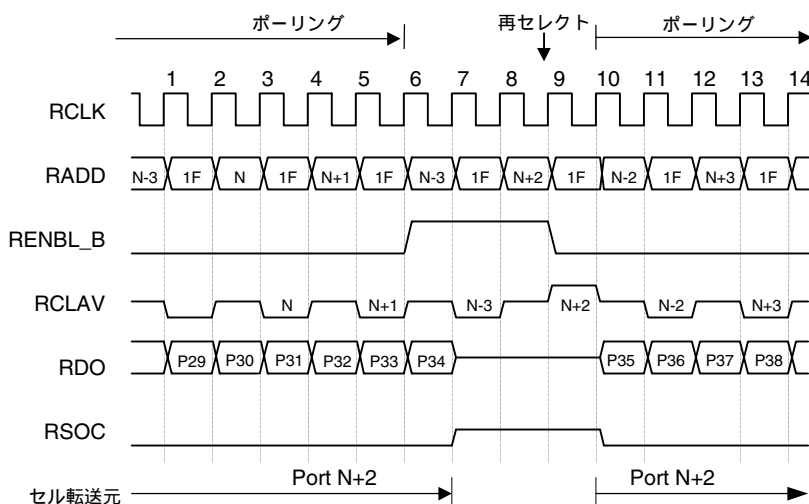


図4-11は、ポート(N+2)からのセル送信中に、ATMレイヤがRENBL_Bをハイ・レベルにすることで、3クロック・サイクルの間、中断されている例を表しています。ATMレイヤは、RENBL_Bをふたたびロウ・レベルにする前に、中断前の同じポート・アドレスを出力し、再セレクトする必要があります。

μPD98411(セレクトされたポート)は、セルの転送中であってもRENBL_Bがハイ・レベルになったことを検出したエッジのあとのクロック・サイクルでは、RSOC、RDOをHi-Zにしてセル転送を中断します。

図4-11 ATMレイヤによる受信セル転送の中断

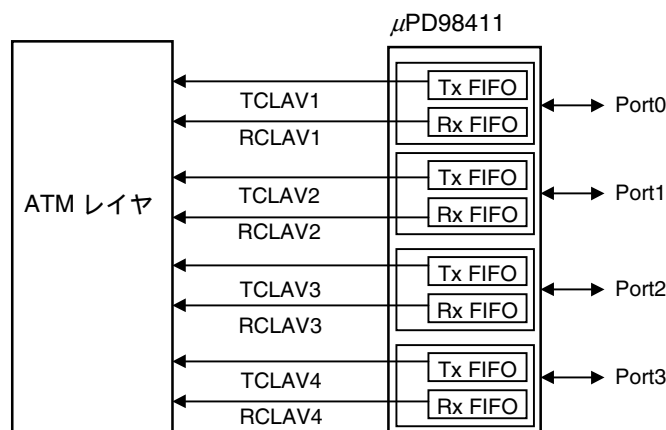


(2) Direct Status Indication (DSI) 方式

DSI方式は、4つのポートそれぞれが、専用のTCLAV/RCLAVのペアを使用するモードです。各ポートのTCLAV/RCLAVは、それぞれの送受信FIFOの状態を表示します。ATMレイヤは、各ポートのTCLAV/RCLAVの信号レベルを調べることで、FIFOの状態(ステータス)をいつでも知ることができるため、(1)1TCLAV&1RCLAV方式と違い、ポーリング動作が不要になります。アドレス線は、セル転送先、またはセル転送元のポートをセレクトするためだけに使用します。

ポートのセレクトは、1TCLAV&1RCLAV方式と同様で、TEBNL_B、RENBL_Bがハイ・レベルのときにセレクト・ポートのアドレスをTADD、RADD上に出力し、次のクロック・サイクルでTENBL_B、RENBL_Bをロウ・レベルにすることで行います。

図4-12 DSI方式



(a) DSI 方式送信インタフェース

図4-13は、DSI方式における送信インタフェースの動作例を表しています。この例では、ポート0からポート3のそれぞれに、アドレス1-4を設定しています。

はじめ、すべてのポートがTCLAVをロウ・レベルにして、セルを受け付け不可であることを示しているため、ATMレイヤは、セルの転送を行っていません。TCLKの立ち上がりエッジ2で、ポート0がTCLAVをハイ・レベルにして、セルを受け可になったことを通知します。ATMレイヤは、エッジ3でそのことを検出し、TADD上にアドレス1を出力し、次のクロック・サイクルでTENBL_Bをロウ・レベルにしてポート0をセレクトします。TENBL_Bがハイ・レベルである最後のサイクルでTADD上に自アドレスを検出したポート0はセレクト状態に入ります。ATMレイヤは、セルの転送を開始します。

エッジ4でポート2のTCLAVもハイ・レベルになりました。エッジ52では、ポート0がTCLAVをロウ・レベルにして次のセルの受け付け不可を通知しています。

μPD98411では、TCLAVが有効になるタイミングを、AVLCレジスタのTCACビットで変更することができます。4.1.2(2)(b)セルを受け付け中のポートが送信セル・アベイラブル信号を有効にするタイミングを参照してください。

エッジ58では、セレクト・ポートをポート2に切り替えるため、TENBL_Bを一度ハイ・レベルにしてTADD上にアドレス3を出力し、すぐにTENBL_Bをロウ・レベルしています。

ポートのセレクト動作は、TENBL_Bがハイ・レベルからロウ・レベルにする最後のハイ・レベルのサイクルで、TADD上にセレクト・ポートのアドレスを出力して行います。

図4-13 DSI方式の送信タイミング例(1)

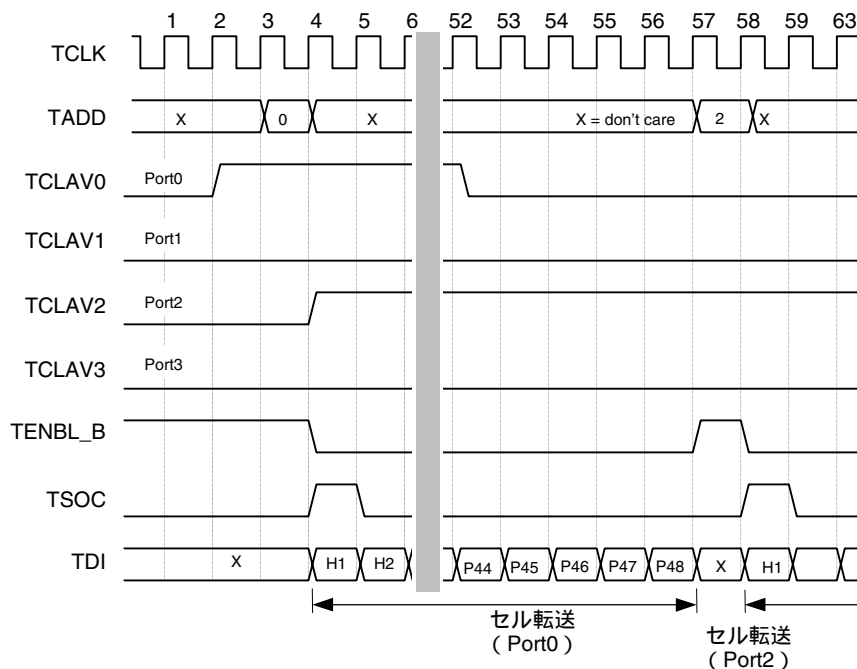
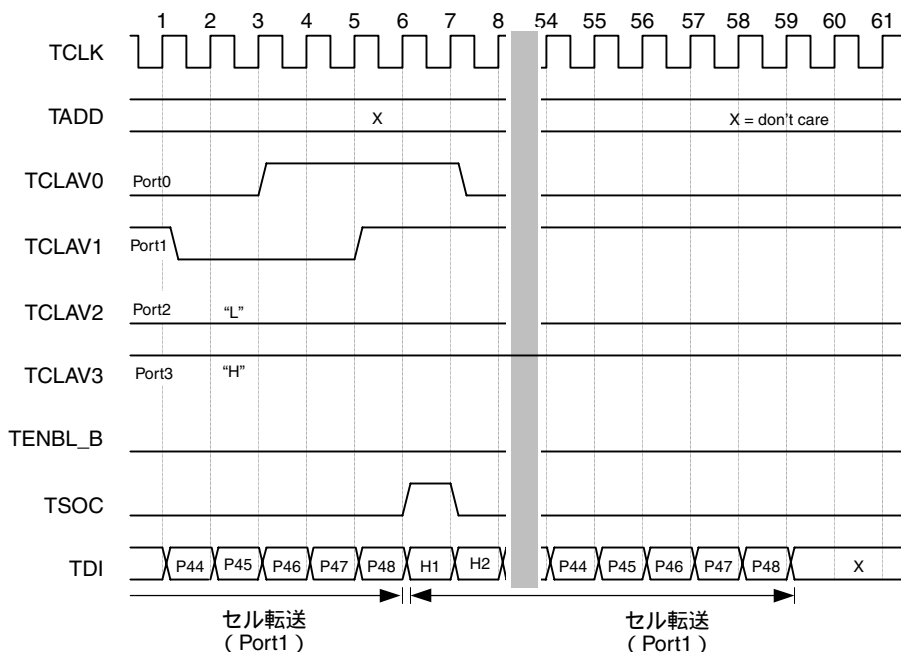


図4-14は、ATMレイヤがポート1へセルを連続転送している様子を表した例です。ATMレイヤは、1セル目の転送が終了する間際のエッジ6で、ポート1がさらにセルを受け付け可であることを知りました。ATMレイヤは、TENBL_Bをロウ・レベルにしたまま、2セル目の転送を開始しています。

図4-14 DSI方式の送信タイミング例(2)



(b) DSI方式受信インタフェース

図4-15は、DSI方式における受信インタフェースの動作例を表しています。この例では、ポート0からポート3のそれぞれに、アドレス1-4を設定しています。

ATMレイヤは、4本すべてのRCLAVをモニタし、エッジ3で、ポート0のRCLAVがハイ・レベルになったことを検出します。ポート0をセレクトするため、RADD上にポート0のアドレスを出力し、RENBL_Bをロウ・レベルにします。ポート0は、RENBL_Bがロウ・レベルになる前のサイクルで自アドレスがRADD上に出力されたのでセレクト状態に入り、セル転送を開始します。

エッジ5において、ATMレイヤはポート2のRCLAVがハイ・レベルになったことを検出します。ポート0のセルを取り込んだあと、ポート2にセレクトを切り替えるために、RENBL_Bを一度ハイ・レベルにし、RADD上にアドレス3を出力してRENBL_Bをロウ・レベルにします。

ポート2のセル転送が終了しても他のポートのRCLAVはどれもハイ・レベルになっていないので、ATMレイヤは、RENBL_Bをロウ・レベルに維持してポート2をセレクトしたままにします。ポート2は、2セル目を連続転送しています。さらに2セル目の転送が終了しても他のポートがRCLAVをハイ・レベルにしないため、セレクト・ポートを変更しませんが、ポート2は3セル目の送出手を始めたので、エッジ166でRENBL_Bをハイ・レベルに戻します。

図4-15 DSIモードの受信タイミング例(1)

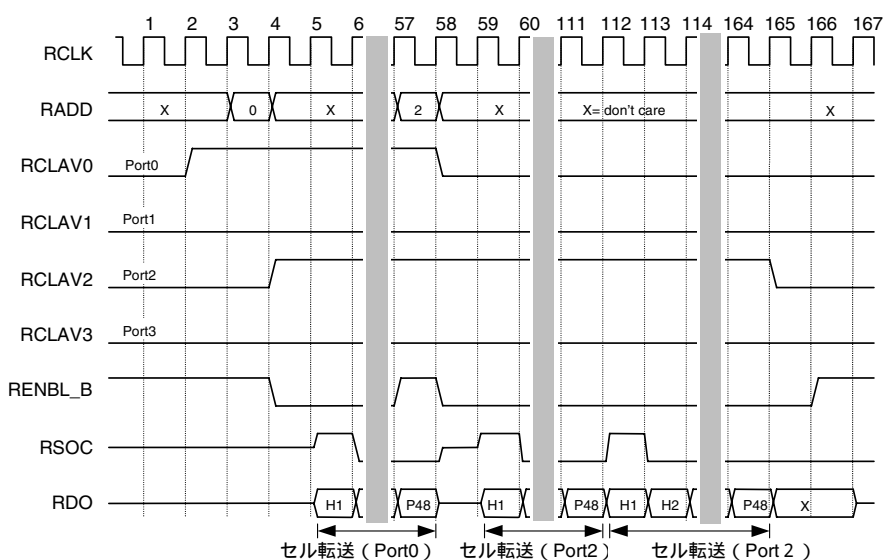
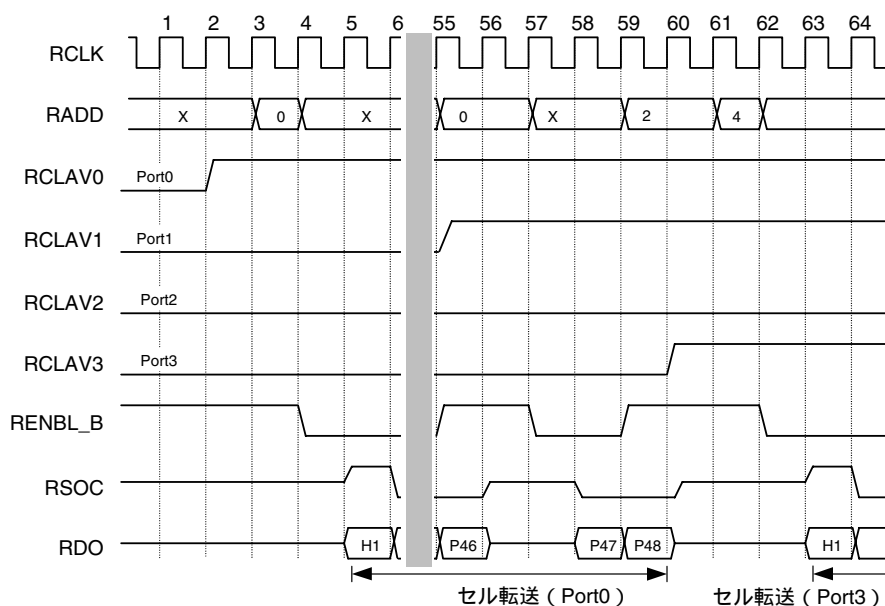


図4-16は、ポート0のセル転送中に、ATMレイヤがRENBL_Bをハイ・レベルにして、セル転送を中断している様子を表しています。ATMレイヤは、RENBL_Bをハイ・レベルにすることで、 μ PD98411のセル転送の中断を要求することができます。 μ PD98411はRENBL_BをRCLKクロックの立ち上がりエッジでサンプリングしてハイ・レベルになったことを検出すると、次のサイクルでRDOをHi-Zにしてセル転送を中断します。ATMレイヤは、RENBL_Bをふたたびロウ・レベルにする前に、RADD上に中断したポート0のアドレスを出力し、再セレクトします。

また、この例のATMレイヤは、セレクトするポートの優先順位を制御しています。ATMレイヤはエッジ56でポート1のRCLAVがハイ・レベルになったことを検出したので、ポート0のセル転送が終了すると、ポート1をセレクトするため、RENBL_Bをハイ・レベルにしてアドレス2を出力します。しかし、RENBL_Bをロウ・レベルにする前に、エッジ61でポート3のRCLAVがハイ・レベルになったことを検出したため、ATMレイヤはRADD上のアドレスを4に切り替え、ポート3をセレクトしています。

図4-16 DSIモードの受信タイミング例(2)



(3) Multiplexed Status Polling (MSP) 方式

MSP 方式では、1TCLAV & 1RCLAV 方式と同様に、ATM レイヤは各ポートの送受 FIFO のステータス情報を知るために、アドレスを指定してポーリングを実施します。MSP 方式は、ATM レイヤが、多くのポートを接続したときに、1度のポーリングで複数のポートのステータス情報を知るためのモードです。

MSP モードに設定するには、MILUT レジスタの MSL3 ビットを 1 にセットします。このビットがセットされると、ATM レイヤからのポーリングに対して、アドレス線上の上位 3 ビットが自アドレスの上位 3 ビットと一致したポートがレスポンスを返すようになり、下位 2 ビットは無視されるようになります。ただし、ポートを選択するためのアドレスは 5 ビットすべてをチェックします。

(a) MSP モードの使用例

ここでは、1つの ATM レイヤに 8 つの μ PD98411 を接続し、計 31 ポートを制御する例を示します。ポート 0 からポート 30 には、それぞれ 0H-1EH のポート・アドレスを設定します。

表 4-4、4-5 は、31 ポートを 2 種類の定義でグループ分けしています。表 4-4 は、アドレスの下位 2 ビットが同じポートを同一グループにしています (グループ分け A)。グループ分け A で分類されたグループで TCLAV/RCLAV の 1 ペアを割り当て多重します。表 4-5 は、ポート・アドレスの上位 3 ビットが同じポートを同一グループにしています (グループ分け B)。グループが共通になるアドレスの上位 3 ビットを、グループ・アドレスとします。

ATM レイヤは、ポーリングをするためにグループ・アドレス (アドレスの上位 3 ビット) をアドレス線に出力します。MSP モードでは、 μ PD98411 の各ポートはアドレス線の上位 3 ビットだけをチェックし、自アドレスと一致したポートが、そのアドレスの次のクロック・サイクルで TCLAV、RCLAV をドライブします。ATM レイヤは、ドライブされた TCLAV、RCLAV 信号が、グループ分け A のどのグループに割り当てられた信号かを知ることでポートを特定することができます。1度のポーリングで 4 ポート分のステータスを得ることができます。

表 4-4 ポート・アドレス下位 2 ビットにおけるグループ分け (グループ分け A)

割り当てる CLAV 信号	ポート・アドレス	下位 2 ビット
RCLAV0	0, 4, 8, 12, 16, 20, 24, 28	XXX00
RCLAV1	1, 5, 9, 13, 17, 21, 25, 29	XXX01
RCLAV2	2, 6, 10, 14, 18, 22, 26, 30	XXX10
RCLAV3	3, 7, 11, 15, 19, 23, 27	XXX11
TCLAV0	0, 4, 8, 12, 16, 20, 24, 28	XXX00
TCLAV1	1, 5, 9, 13, 17, 21, 25, 29	XXX01
TCLAV2	2, 6, 10, 14, 18, 22, 26, 30	XXX10
TCLAV3	3, 7, 11, 15, 19, 23, 27	XXX11

表4-5 ポート・アドレス上位3ビットでのグループ分け(グループ分けB)

ポート・アドレス	グループ番号	グループ・アドレス
0, 1, 2, 3	0	000XX
4, 5, 6, 7	1	001XX
8, 9, 10, 11	2	010XX
12, 13, 14, 15	3	011XX
16, 17, 18, 19	4	100XX
20, 21, 22, 23	5	101XX
24, 25, 26, 27	6	110XX
28, 29, 30	7	111XX

X = don't care

(b) MSP モードを利用する接続例

図4-17は、8つの μ PD98411を接続して31ポートを1つのATMレイヤに接続した場合の送信方向の例を表しています。全 μ PD98411は、MItUTレジスタのMSL2ビットとMSL3ビットを1にセットし、各ポートごとにTCLAV、RCLAVのペアを割り当て、アドレスの下位2ビットが同じポートのTCLAV、RCLAVを多重します。

注意 MItUTレジスタのMSL2ビットを1にセットし、各ポートごとにTCLAV、RCLAVのペアを割り当てる場合、ポート#nには、必ず同じ#nの番号を持つTCLAV#n、RCLAV#nが割り当てられます(例：TCLAV0、RCLAV0のペア ポート0、TCLAV3、RCLAV3 ポート3)。ポートの番号と、TCLAV、RCLAV信号の番号の関係を変えることができません。したがってMSPモードで使用する場合、ポートに割り当てられるポート・アドレスの制限になりますので注意してください。

設定できるアドレスは、次のとおりです。

Port 0 は、#00, #04, #08, ... (下位2ビットは必ず00)

Port 1 は、#01, #05, #09, ... (下位2ビットは必ず01)

Port 2 は、#02, #06, #0A, ... (下位2ビットは必ず10)

Port 3 は、#03, #07, #0B, ... (下位2ビットは必ず11)

次のようなアドレスの割り当てはできません。

Port 0 = #00, #01, #08

Port 1 = #04, #02, #07

Port 2 = #08, #03, #06

Port 3 = #0C, #04, #05

図4-17 MSPモード接続例(1)(送信方向)(μPD98411×8)

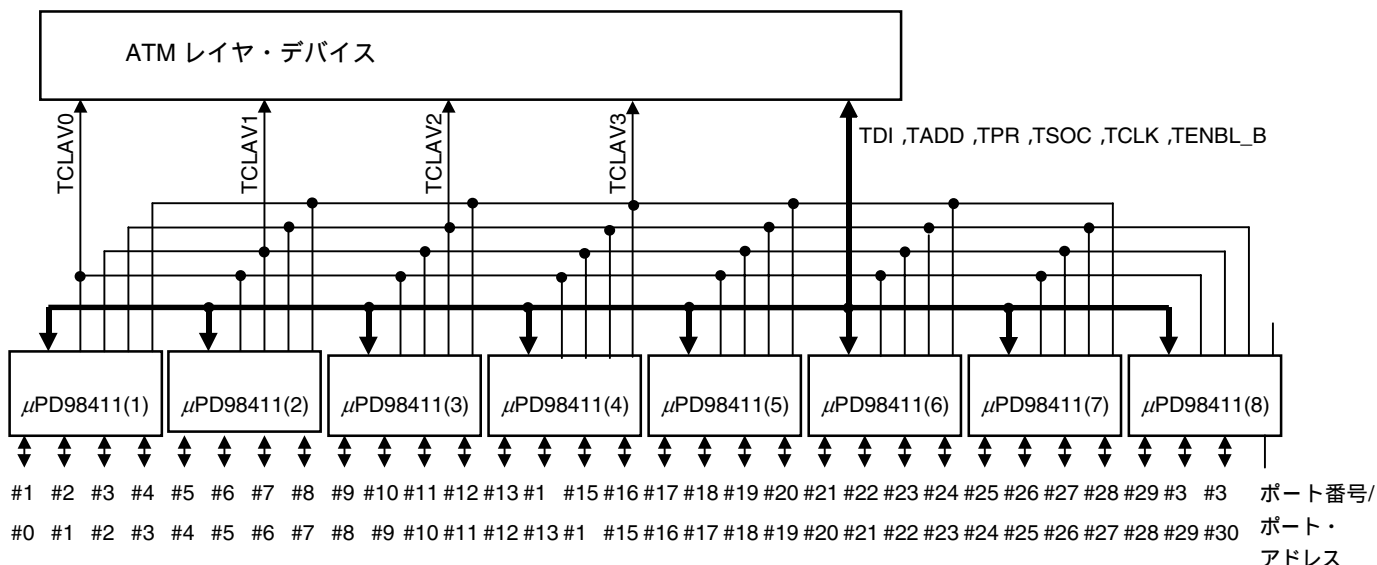
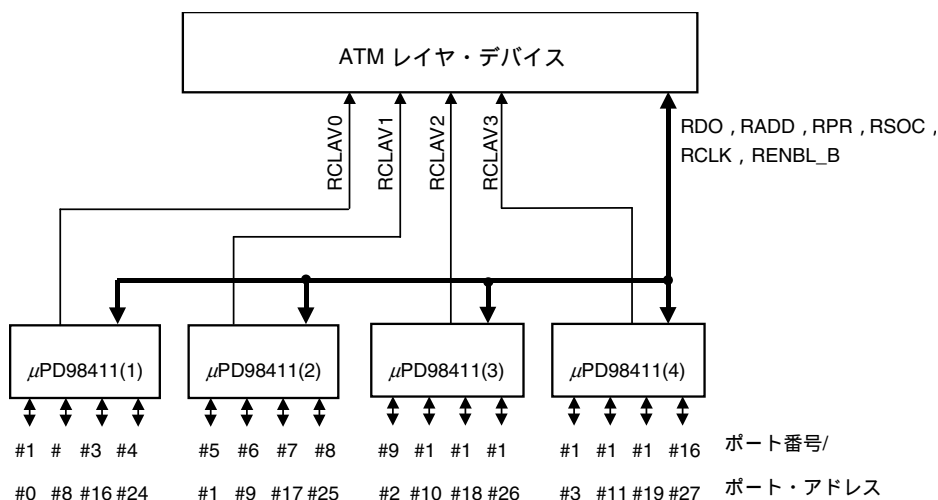


図4-18は、4つのμPD98411がATMレイヤに接続されている例です。各ポートの送受FIFOを表すTCLAV, RCLAVは、μPD98411内部で多重されています。4ポート分を1ペアのTCLAV, RCLAVで通知します。

図4-18 MSPモード接続例(2)(μPD98411×4)

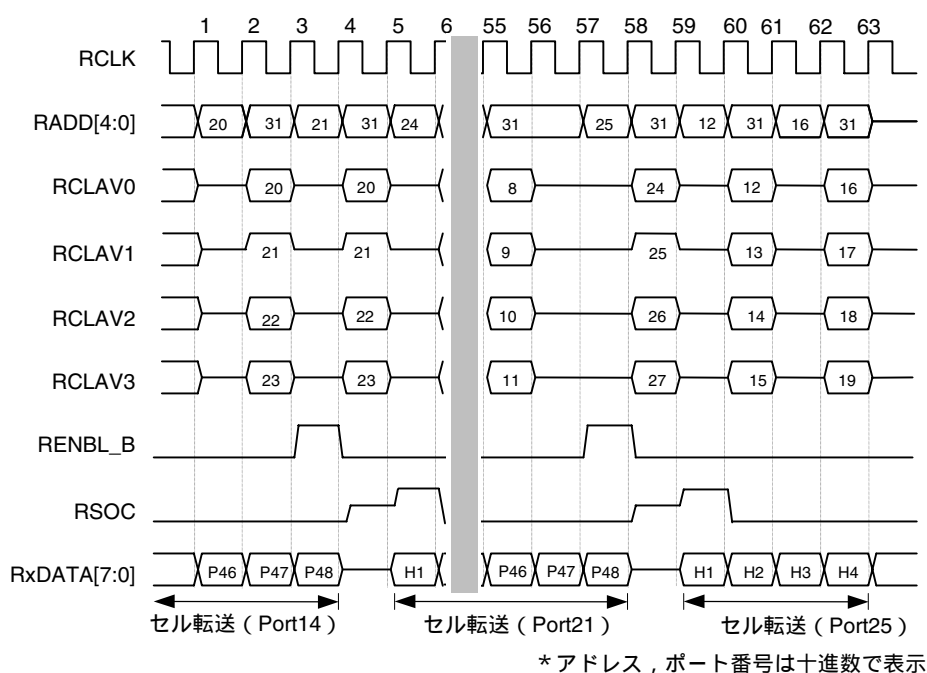


(c) MSPモードの動作例

図4-19に、MSPモードにおける受信方向の動作例を示します。表4-4, 4-5のグループ分けA,Bと、図4-17をあわせてご覧ください。エッジ1は、ATMレイヤのポーリング動作です。ATMレイヤは、RADD上にグループ番号5(101XX)にあたるアドレスを出力します。上位3ビットの“101”と自アドレスが一致するグループに所属するポート20, 21, 22, 23は、次のクロック・サイクルでRCLAVをドライブします。たとえば、RCLAV1信号がハイ・レベルを返した場合、ポート21が有効セルを持つことになります。

エッジ3では、ATMレイヤが、ポート21をセレクトしています。セレクト動作については、他のモードと同じで、RENBL_Bをロウ・レベルにする前のサイクルでターゲットのポート・アドレスをRADD上に出力します。

図4-19 MSPモードのタイミング(受信方向)



4.1.4 UTOPIA パリティ・ビットのサポート

μ PD98411 は、UTOPIA インタフェースにパリティ・ビット入出力用の端子 TPR1, TPR2, RPR1, RPR2 を装備しています。

(1) 受信パリティ

RDO [15:0] 上に出力するデータの奇数パリティ・ビットを生成し、データに同期して RPR より出力します。RENBL_B がハイ・レベルのときは、RDO と同様に RPR を Hi-Z にします。

AVLC レジスタの UPR ビットを 1 にすることで、受信パリティ・ビットの演算、出力はディスエーブルにできます。デフォルトでは、イネーブルになっています。

(2) 送信パリティ

TENBL_B がロウ・レベルになっているとき、TDI[15:0]のデータに対して TPR に入力される奇数パリティ・ビットのベリファイを行います。パリティ・エラーを検出した場合、IMST レジスタの UT ビットを 1 にセットします。ホストはレジスタのチェックによりパリティ・エラーが発生したかどうかの履歴を知ることができます。

TPR を使用しない場合は、ロウ・レベル固定にしてください。AVLC レジスタの UTC ビットを 1 にセットすることでパリティのベリファイをディスエーブルにすることができます。

一度セットされた IMST レジスタの UT ビットをクリアする場合は、この UTC ビットを 1 にセットしたあと、ふたたび 0 に戻すことでクリアされます。

注意 UTOPIA インタフェースを Dual 8 ビット・モードで使用している場合は、送信側 UTOPIA パリティ・チェックを使用することができません。

4.2 PMD インタフェース

PMD インタフェースは、回線側トランシーバ/レシーバ(光リンク・モジュール、UTP トランシーバなど)を接続するためのインタフェースです。

4.2.1 信号

PMD インタフェースの信号線を説明します。

- TDOT0-TDOT3/** : 送信シリアル・データを出力する端子です。PECL レベルの差動出力です。この出力は、モードで選択される送信クロック 155.52 MHz に同期して出力します。TDOT0/TDOC0 がポート 0 用で、TDOT3/TDOC3 がポート 3 用の端子です。
- TDOC0-TDOC3**
- RDIT0-RDIT3/** : 受信シリアル・データを入力する端子です。PECL レベルの差動入力です。RDIT0/RDIC0 がポート 0 用で、RDIT3/RDIC3 がポート 3 用の端子です。
- RDIC0-RDIC3**
- TFKT/TFKC** : 外部デバイスで送受信クロックを生成した場合に、そのクロックを入力する端子です。この端子を使用する場合は、CSSEL にハイ・レベルを入力します。
- CSSEL** : TFKT/TFKC 入力をイネーブルにする端子です。
ハイ・レベル：イネーブル、 ロウ・レベル：ディスエーブル
- SD0-SD3** : 光リンク・モジュールが出力する SD (Signal Detect) 信号を接続する端子です。この入力レベルの変化は、 μ PD98411 内部で LOS 検出の条件になります。この端子は TTL レベル入力であるため、光リンク・モジュール側の出力が PECL レベルの場合には、レベルを変換してください。
入力レベル ハイ・レベル：正常、 ロウ・レベル：LOS 状態
- TCL** : 送信クロックを 8 分周したクロック 19.44 MHz を出力します。デフォルトでは、ポート 0 の送信クロックがソースになっていますが、**TCMSK** レジスタへの設定によって、ソースとするポートを変更したり、出力をディスエーブルにすることができます。デバイスのリセット中は、クロック出力は停止します。
- RCL** : 受信クロックを 8 分周したクロック 19.44 MHz を出力します。デフォルトでは、ポート 0 の受信クロックがソースになっていますが、**RCMSK** レジスタへの設定によって、ソースとするポートを変更したり、出力をディスエーブルにすることができます。デバイスのリセット中は、クロック出力は停止します。
- TFSS** : 4 ポートの送信データ出力をコントロールする端子です。 μ PD98411 はこの入力を TCL クロックの立ち上がりでサンプリングし、ハイ・レベルを最後に検知したエッジから 9 クロック・サイクル後の立ち上がりエッジに同期して、送信フレームの先頭から出力を開始します。ハイ・レベルを入力すると、4 ポートの送信データ出力はオール 0 か、あるいはオール 1 の連続出力になります。
- TxFP** : 送信するフレームの先頭 (A1 バイト) に同期して、TCL クロックの 1 サイクル分の幅にあたる 8 kHz のパルス信号を出力します。デフォルトでは、出力しませんが、**FPMSK** レジスタにソースとするポートを設定することで出力を開始します。

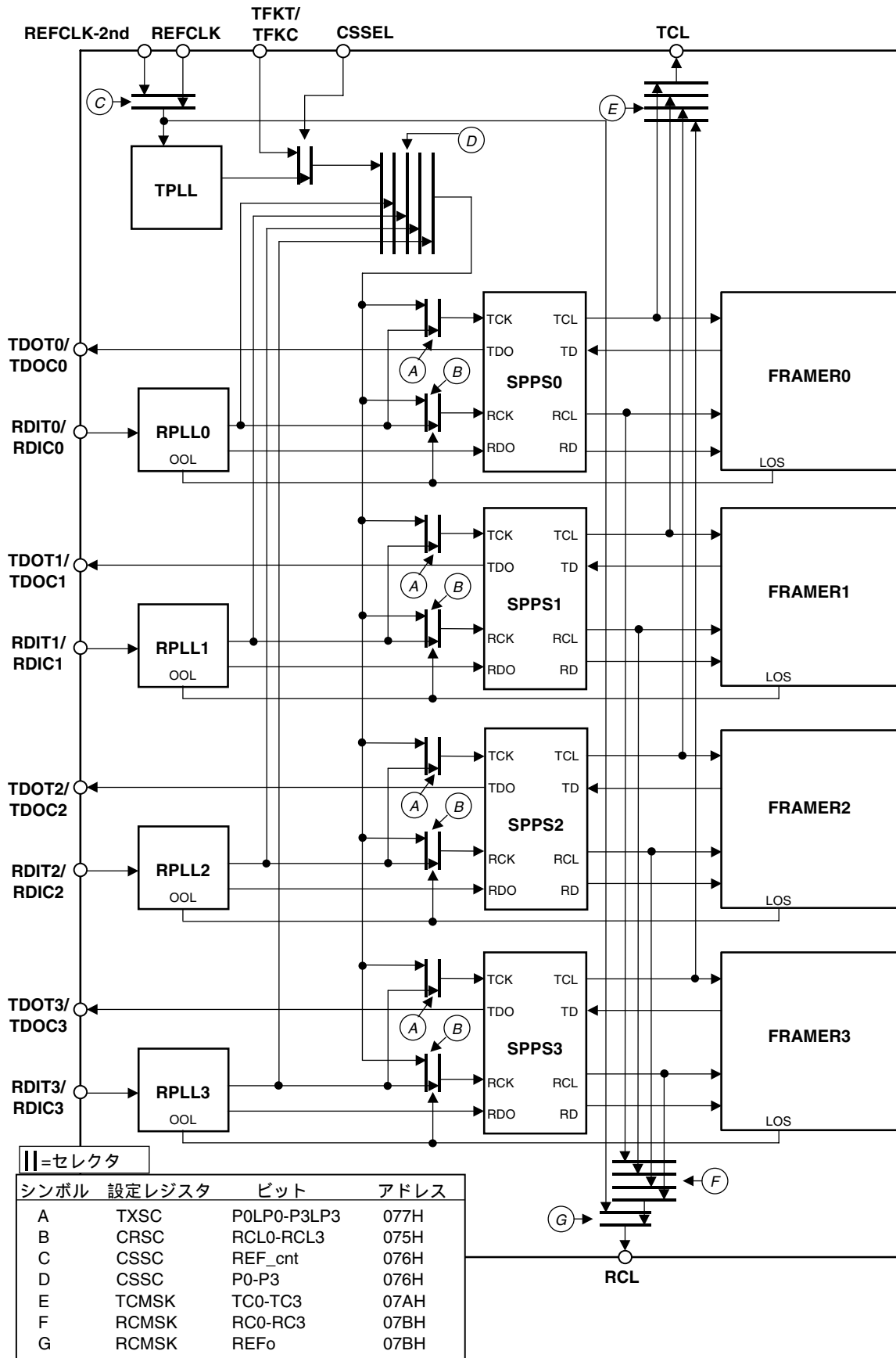
REFCLK, REFCLK-2nd : μ PD98411 のロジックが動作するためのシステム・クロックおよび送信シンセサイザ PLL の基準となるクロック 19.44 MHz を入力する端子です。送信シンセサイザ PLL の基準クロックは、**CSSC** レジスタの **REF_cnt** ビットの設定により、REFCLK-2nd 入力に切り替えることができます。ただし、その場合も REFCLK には、システム・クロックとしてクロックを入力する必要があります。

4.2.2 PMD インタフェース・ブロック

図 4 - 20 に μ PD98411 の PMD インタフェースのブロック概略図を示します。端子、レジスタの設定によって、送受信クロックのパスを変更することができます。

- TPLL 部** : 送信クロックを生成するシンセサイザ PLL。REFCLK, または REFCLK-2nd に入力される 19.44 MHz から 155.52 MHz クロックを生成します。
- RPLL0-RPLL3 部** : RDIT/RDIC に入力される受信データ列から受信クロックを抽出するクロック・リカバリ PLL。
- SPPS 部** : シリアル パラレル/パラレル シリアル変換ブロック。受信シリアル・データを 8 ビット・パラレル・データに変換, 送信 8 ビット・パラレル・データをシリアル・データに変換します。。FRAMER 部の処理動作のために, 送受信クロックを 8 分周した 19.44 MHz クロックを供給します。
- FRAMER 部** : オーバヘッド処理, エラー検出, ATM セル・データの挿入/抽出などフレーム処理を果たすブロック。SPPS ブロックから供給される 19.44 MHz クロックで動作します。

図4-20 μ PD98411 のPMD レイヤ側ブロック概略



4.2.3 送受信クロック

送受信クロックのソースをシステムに応じて、レジスタ設定、および端子入力によって各種モードから選択することができます。

(1) 送信クロック

送信データを出力するクロックは、次の4つから選択することができます。

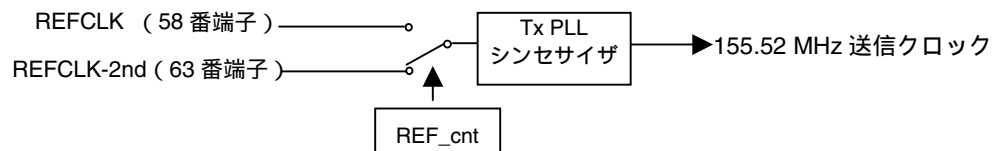
表4-6 送信クロックの選択肢一覧

	送信クロック・ソース	設定方法
a	内蔵シンセサイザ PLL (TPLL) が生成するクロック	デフォルト
b	外部デバイスより TFKT/TFKC 端子に入力するクロック	CSSEL 端子 = ハイ・レベル
c	クロック・リカバリ PLL が抽出するクロック	1ポートのリカバリ・クロックを4ポートすべての送信クロックとして分配。
d		自ポートの受信クロックを自ポートだけの送信クロックとして使用。

設定の優先度は、 $d > c > b > a$ です。

(a) 内蔵シンセサイザ PLL が生成するクロック

CSSEL 端子がロウ・レベルで、CSSC, TXSC レジスタに何も設定していないデフォルトでは、内蔵シンセサイザ PLL が、REFCLK を基準に生成する 155.52 MHz クロックを送信クロックとして使用します。送信の出力ジッタを SONET, SDH の規格 (Bellcore, ITU-T) で規定されている 0.01 U.I.rms 以下にするためには、少なくとも 40 ppm 以上の精度を持つ基準クロックを入力するようにしてください。2 端子の REFCLK と REFCLK-2nd のどちらの入力クロックを基準にするかは、CSSC レジスタの REF_cnt ビットで切り替えることができます。デフォルトは、REFCLK 入力を基準にしています。切り替える必要がない場合には REFCLK に入力し、REFCLK-2nd は、ロウ・レベル固定にしてください。内蔵シンセサイザ PLL を使用しない場合や、基準クロックを REFCLK-2nd にした場合でも、REFCLK には、システム・クロックとして 19.44 MHz クロックを入力する必要があります。



シンセサイザ PLL は、電源立ち上げ後クロック生成を開始しますが、クロックが 155.52 MHz に落ち着くまでに約 10 ms の時間を要します。その間は、送信フレームも正常に送出することができませんので注意してください。また、デバイスのリセット中は、シンセサイザ PLL にもリセットがかかりますので、クロックの生成は中断します。

(b) 外部デバイスより TFKT/TFKC 端子に入力するクロック

CSSEL 端子の入力をハイ・レベルにすると、TFKT/TFKC 端子入力がいネーブルになり、すべてのポートは、TFKT/TFKC に入力されるクロックを送信クロックにします。外部で生成した 155.52 MHz クロックを TFKT/TFKC 端子に入力します。

この設定では、内蔵シンセサイザ PLL の生成するクロックは使用しなくなりますが、REFCLK には、システム・クロックを入力する必要があります。

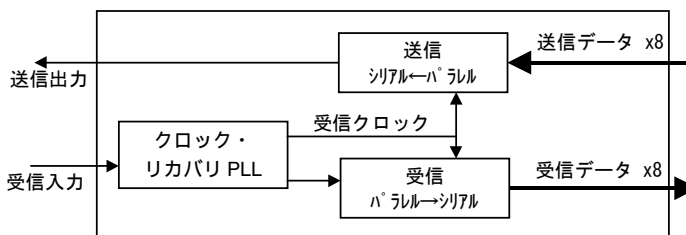
CSSC、TXSC レジスタへの設定は CSSEL 端子の入力より優先され、ポートの送信クロックは切り替わります。

(c) 1 ポートのリカバリ・クロックを全ポートの送信クロックとして分配

CSSC レジスタの P0-P3 ビットのいずれかに 1 を設定すると、設定された番号に対応するポートのリカバリ・クロックを、すべてのポートが送信クロックとして使用します。P0-P3 の 4 ビットのうち、複数ビットを 1 に設定した場合は、 $P0 > P1 > P2 > P3$ の順で、最も順位の高いポートのリカバリ・クロックが選択されます。選択されているポートが、OOL、LOS 状態になると、CSSC レジスタのセットされているポートのうち、次の高順位にあたるポートが選択されるように自動で切り替わります。CSSC レジスタに設定されているすべてのポートが、OOL、LOS 状態になった場合は、シンセサイザ PLL の生成するクロックを送信クロックとして使用するように切り替わります。高順位のポートが、OOL、LOS 状態から解除されると、自動で戻ります。

(d) 自ポートの受信クロックを自ポートのみの送信クロックとして使用

TXSC レジスタの P0LP-P3LP ビットに 1 を設定すると、対応するポートはリカバリ・クロックを送信クロックに使用するように切り替わります。この設定は、ポートごとに行うことができ、他ポートの送信クロック設定には影響を与えません。

**(2) 受信クロック**

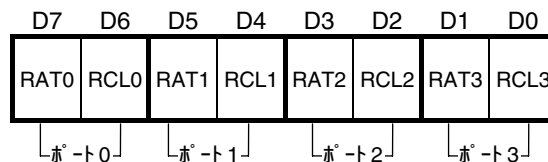
受信クロックは、各ポートが RDIT/RDIC に入力される受信データ列からクロック・リカバリ PLL が抽出します。電源立ち上げ後、各ポートのクロック・リカバリ PLL は、受信データの追従を開始します。正常な受信データが入力されていると、追従を開始してから約 500 μ s の時間で同期クロックを得ることができます。 μ PD98411 に対してリセットが実行されると、クロック・リカバリ PLL にもリセットがかかるので、受信クロックの抽出は中断します。 μ PD98411 の搭載するリカバリ PLL のジッタ・トレランスは、SONET、SDH の規格 (Bellcore, ITU-T) に適合しています。抽出したクロックは、受信データのサンプリングと受信回路全般の処理クロックとして用いられます。

各ポートには、クロック・リカバリ PLL が受信データ列を追従し、期待どおりのクロックを抽出できる状況下にあるかを監視する OOL (Out of Link) 検出回路があります。この回路は、クロック・リカバリ PLL

の抽出しているクロックと受信データのエッジの位相差を監視し、抽出クロックのエッジに対して受信データのエッジが180度以上シフトしたことを検出すると、OOL状態となります。OOLの状態はPICRレジスタのビットに反映され、割り込み要因にすることもできます。抽出クロックのエッジに対して180度以上シフトしないエッジを持つ受信データを、2048ビット期間連続して受けると、OOL状態から解除されます。抽出クロックと受信データのエッジの位相差の拡大は、即座にビット・エラーの検出につながるわけではありませんが、受信クロック・リカバリPLLが正常にクロックを抽出できる状況下にいるかどうかの目安になります。

ポートがOOL状態、または、受信信号自体を喪失した状態(LOS状態)になり、正常なリカバリ・クロックを得られなくなると、送信側のクロックをリカバリ・クロックの代わりに受信ブロックに供給するよう自動で切り替える機能があります。また、レジスタ設定により強制的に切り替えることもできます。どちらもCRSCレジスタに設定します。

CRSC レジスタ (アドレス: 75H)



(a) RAT0-RAT3: 自動切り替え

ポートがOOLまたは、LOS状態になり、正常なクロックを抽出できなくなったとき、自動的に受信クロックを切り替えます。

1: OOL, LOS状態になったとき、そのポートが送信クロックとして使用しているクロックを受信ブロック側のクロックとしても使用するように自動で切り替わります。ポートが送信クロックとして使用しているクロックは、CSSEL端子の入力、CSSCレジスタの設定に依存し、シンセサイザPLLの生成クロック、TFKT/TFKC入力クロック、または、いずれかのポートのリカバリ・クロックです。

OOL, LOS状態から復帰したときは、元に戻ります。

0: OOL, LOS状態になっても、リカバリ・クロックを受信ブロック側のクロックとして使用し続けます。

(b) RCL0-RCL3: 強制切り替え

このビットを1にセットすると、その間、そのポートは、送信クロックに使用しているクロックを受信ブロック側のクロックとして使用するように強制的に切り替えます。また、ポートのクロック・リカバリPLLはリセットがかかり、OOLビットがセットされます。

注意 RCL0-RCL3ビットを設定している間、ポートのクロック・リカバリPLLにはリセットがかかっているため、受信回線に正常なデータを入力しても、OOLビットはセットされたままとなります。OOLビットの変化をRCL0-RCL3の設定/解除の判断条件に使用することはできませんのでご注意ください。

備考 TFKT/TFKC に外部クロック・リカバリ PLL の抽出クロックを入力し ,RCL ビットを設定すれば ,
1 ポートにかぎって外部クロック・リカバリの抽出クロックで送受信することができます。

(3) 送受信クロック例

図 4 - 21 は , μ PD98411 を 2 つ使用する際 , 1 つのオシレータのクロックを両 μ PD98411 のシンセサイザ PLL の基準クロックとして使用した場合の例です。

図 4 - 21 内蔵シンセサイザ PLL を使用する場合の例

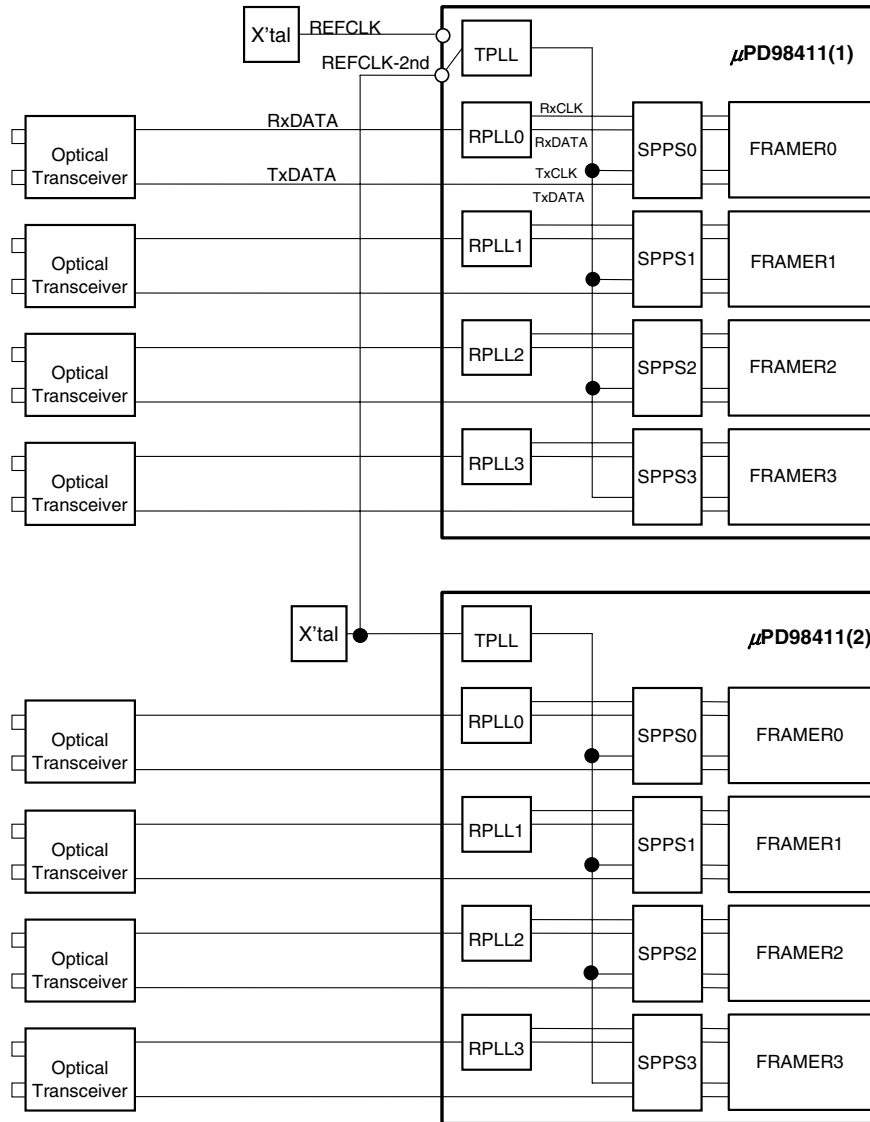
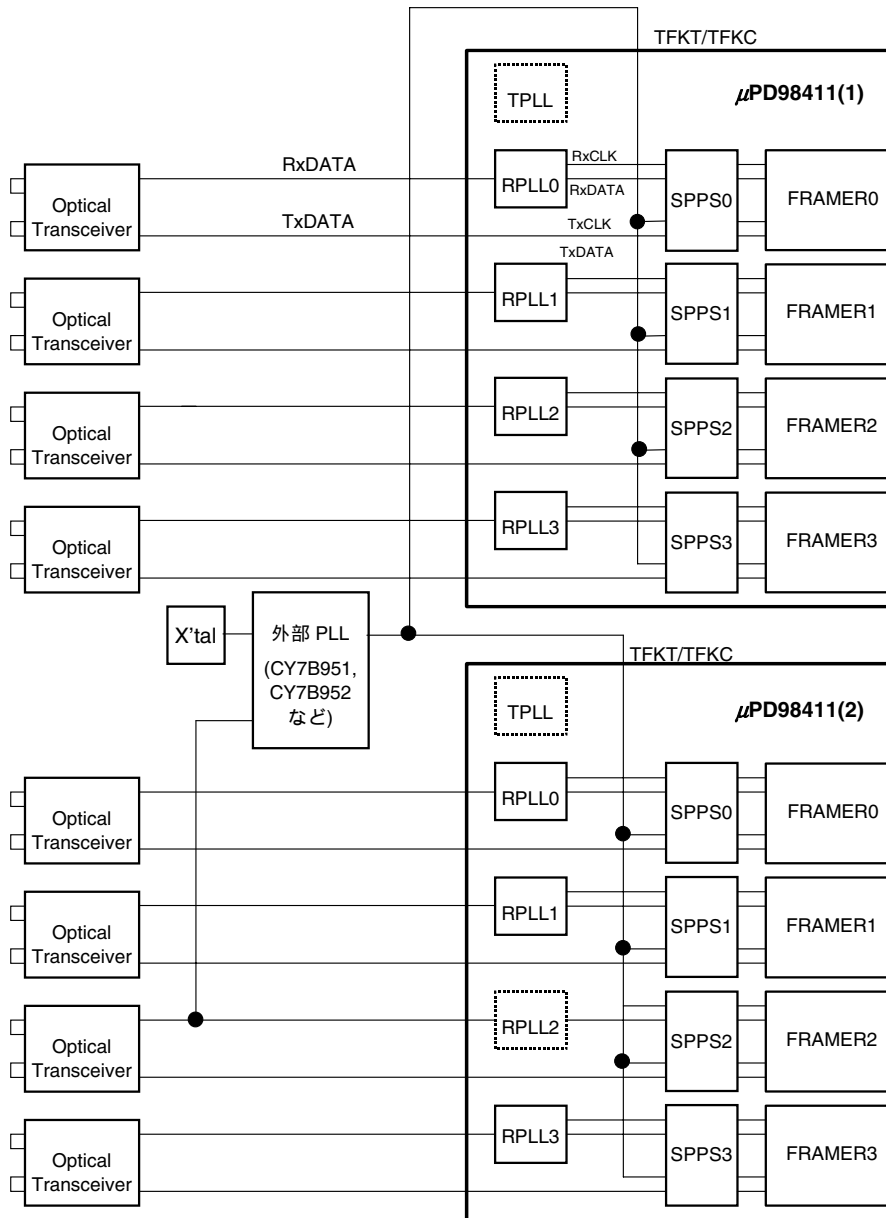


図4-22は、 μ PD98411を2つ使用する際、一方の μ PD98411のポート3が受信するデータから外部クロック・リカバリPLLで抽出した155.52 MHzクロックを、8ポートすべての送信クロックとして使用した場合の例です。外部クロック・リカバリPLLが抽出したクロックを両 μ PD98411のTFKT/TFKC端子に入力し、ポート3の受信クロックとしても使用します。CSSEL端子入力と、CRSCレジスタのRCLビットによって設定します。

図4-22 外部PLLを使用する場合の例

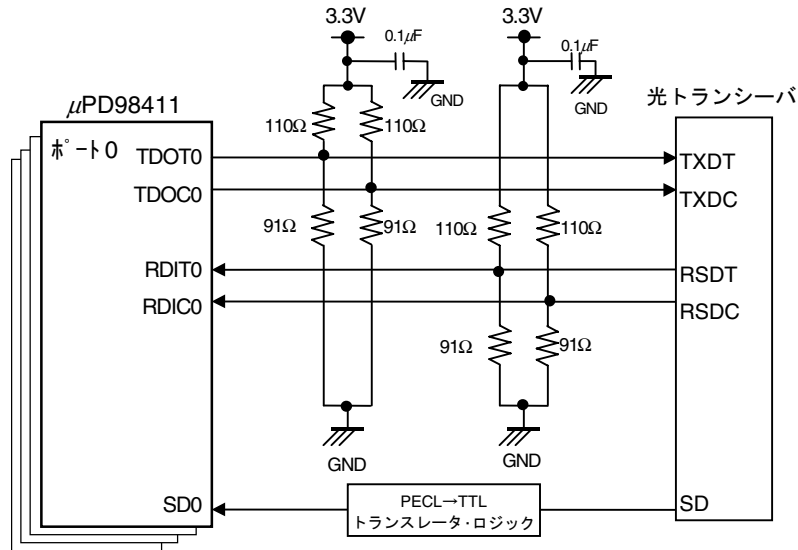


4.2.4 μ PD98411 とトランシーバとの接続例

(1) 3.3 V トランシーバ/レシーバとの接続

送受信データの入出力端子は PECL レベル・インタフェースです。VDD-2 V で 50 Ω 終端してください。SD3-SD0 端子は、TTL レベル入力であるため、光トランシーバ側が PECL レベル出力の場合、レベル変換を行うロジックを付加する必要があります。図 4 - 23 に 3.3 V 光トランシーバと接続した例を示します。

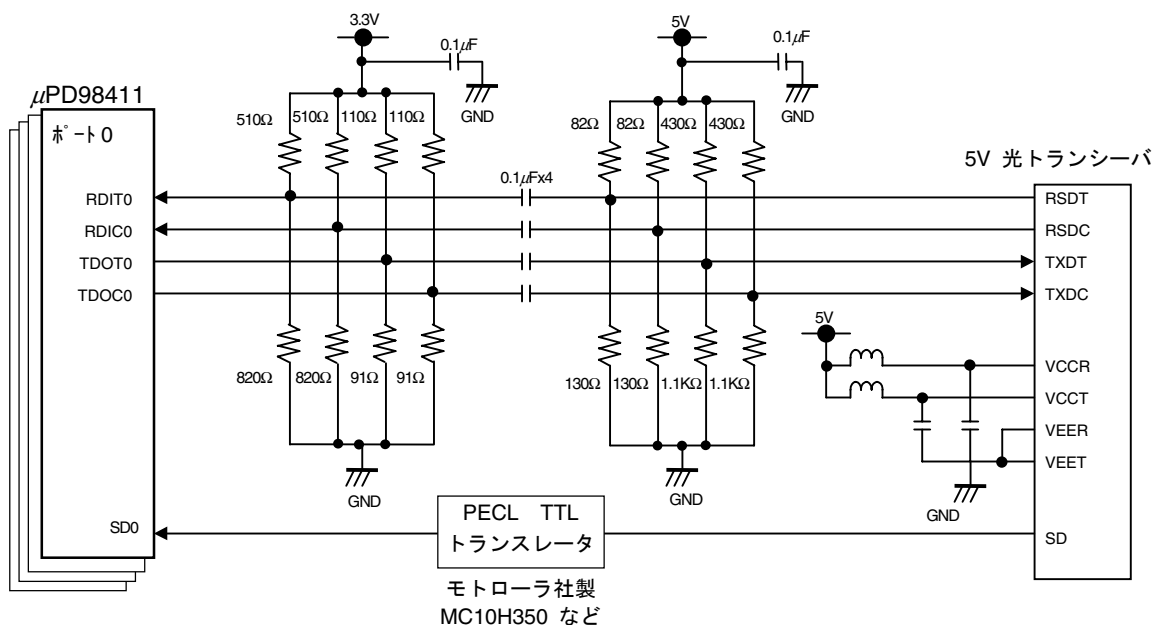
図 4 - 23 3.3 V 光トランシーバとの接続例



(2) 5V トランシーバ/レシーバとの接続

図4-24は、 μ PD98411と5V光トランシーバを接続した例です。 μ PD98411は3.3V動作であるため、5V動作のデバイスと接続する場合にはACカップリングにより接続します。

図4-24 5V光トランシーバとの接続例



備考 図4-24のように、 μ PD98411と光モジュールとをACカップリング接続した場合、光モジュールが光信号断状態になってRDIT/RDICへの入力データを0の連続にすると、RDIT/RDICの電位レベルに差分がなくなり、 μ PD98411は、受信データを0連として認識できず、LOS検出が行えない場合があります。

この場合、光モジュールと μ PD98411のSD端子を接続してLOS検出を行ってください。IACMレジスタのSDmビットを0にすると、LOS検出条件にSD端子入力レベルの変化が加わります。

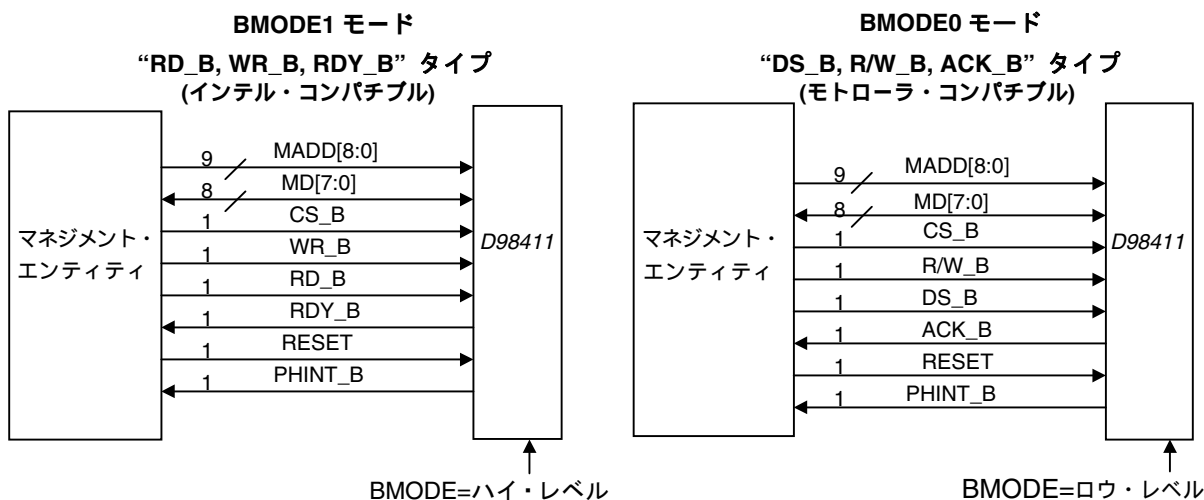
4.3 マネジメント・インタフェース

マネジメント・インタフェースは、ホスト・プロセッサがμPD98411 のレジスタにアクセスするインタフェースを提供します。μPD98411 は、表4-7の2つのモードをサポートしています。BMODE0モードとBMODE1モードのどちらで動作するかは、ハードウェア・リセット時のBMODE端子の入力状態により決まります。

表4-7 マネジメント・インタフェース・モード

モード	BMODE 入力	スタイル
BMODE1モード	ハイ・レベル	RD_B, WR_B, RDY_B スタイル (インテル互換モード)
BMODE0モード	ロウ・レベル	DS_B, R/W_B, ACK_B スタイル (モトローラ互換モード)

図4-25 マネジメント・インタフェース

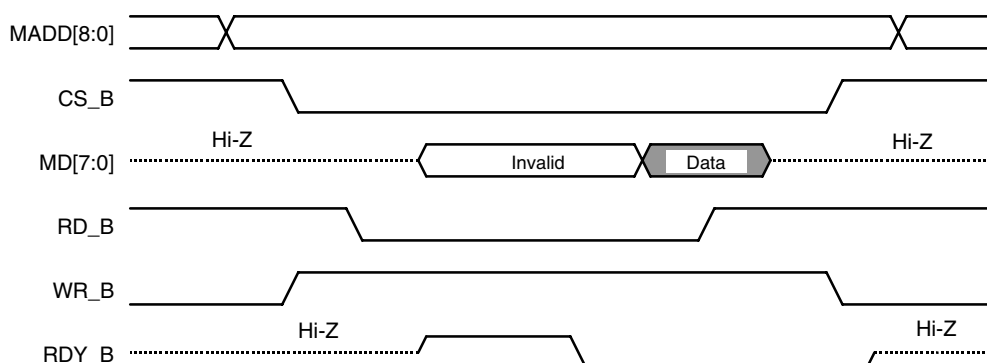


4.3.1 リード・オペレーション

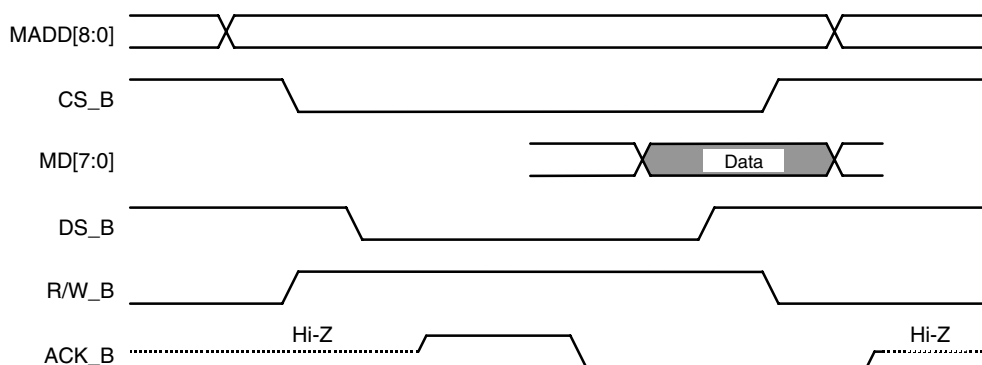
ホストは MADD[8:0]にアドレスをドライブし、CS_B と RD_B (DS_B) をロウ・レベル (アクティブ) にすることによってリード・オペレーションを開始します。これに応じてμPD98411 は、RDY_B (ACK_B) をいったんハイ・レベルにドライブし、要求されたデータを MD [7:0]上に出力する準備が完了するとロウ・レベルにします。ホストは、RDY_B (ACK_B) のロウ・レベルを確認したあと、RD_B (DS_B) をハイ・レベルに立ち上げ、MD[7:0]上のデータを取り込みます。μPD98411 は CS_B により選択されていないときは、RDY_B (ACK_B)、MD[7:0]を Hi-Z にします。BMODE1モードのときは、WR_B がハイ・レベルで、RD_B をロウ・レベルにすることによってリード・サイクルと認識し、BMODE0モードのときは、DS_B をロウ・レベルにし、RW_B をハイ・レベルにすることによってリード・サイクルと認識します。各モードにおけるリード・タイミングを図4-26に示します。

図4-26 リード・オペレーション

BMODE1 モード (インテル・コンパチブル)



BMODE0 モード (モトローラ・コンパチブル)



注意1. DS_B (RD_B) がロウ・レベルになってから、 μ PD98411 が RDY_B (ACK_B) をロウ・レベルにするまでの時間は、アクセスするレジスタによって異なります。MD [7:0]上のデータは、RDY_B (ACK_B) がロウ・レベルになったことを確認してから取り込んでください。

DS_B (RD_B) がロウ・レベルになってから、 μ PD98411 が RDY_B (ACK_B) をロウ・レベルにするまでの時間は、最大で「 $4.5 \times \text{REFCLK}$ 周期 (約 235 ns)」です。RDY_B (ACK_B) を使用せずに、どのレジスタに対してもリードできるようにする場合は、DS_B (RD_B) のパルス幅を少なくとも「 $4.5 \times \text{REFCLK}$ 周期」以上にしてください。

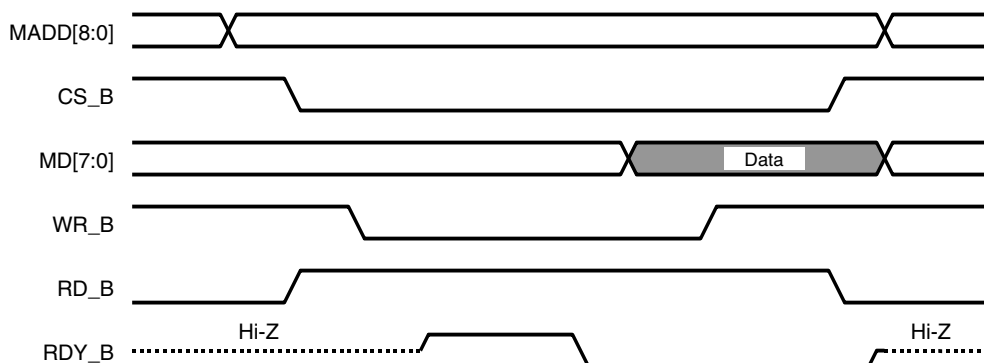
2. DS_B (RD_B) のリカバリ・タイムは、REFCLK クロックの7周期にあたる約 364 ns です。7周期より短い間隔でレジスタにアクセスしないでください。

4.3.2 ライト・オペレーション

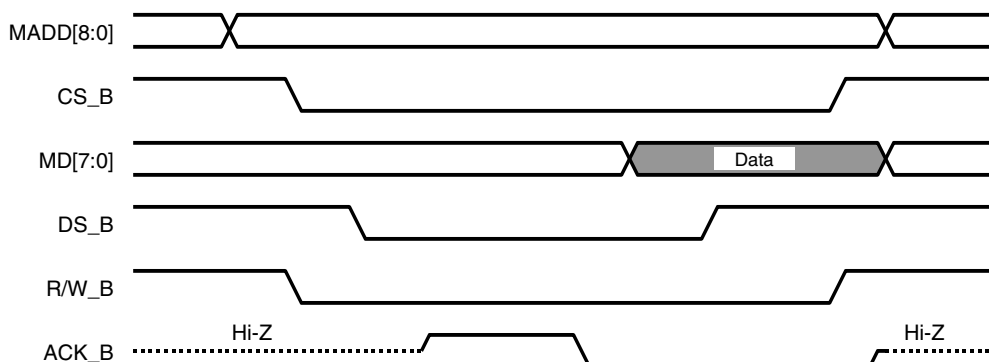
ホストは MADD [8:0]上にアドレスをドライブし、書き込むデータを MD[7:0]に出力して、CS_B と WR_B (DS_B) をロウ・レベルにすることによってライト・サイクルを開始します。これに応じて μ PD98411 は、RDY_B (ACK_B) をいったんハイ・レベルにドライブし、データを取り込む準備が完了するとロウ・レベルにします。ホストは、RDY_B (ACK_B) がロウ・レベルになったことを確認したあと、WR_B (DS_B) を一定時間後にハイ・レベルに立ち上げます。 μ PD98411 は、WR_B (DS_B) が立ち上がりで、MD[7:0]上のデータを取り込みます。CS_B により選択されていないときは、RDY_B (ACK_B) はハイ・インピーダンスにします。BMODE1 モードのときは、RD_B がハイ・レベルで、WR_B がロウ・レベルになることによってライト・サイクルと認識し、BOMODE0 モードのときには、DS_B と RW_B がロウ・レベルになることによってライト・アクセスと認識します。ライト・タイミングは図4-27のとおりです。

図4-27 ライト・オペレーション

BMODE1 モード (インテル・コンパチブル)



BMODE0 モード (モトローラ・コンパチブル)



注意1. DS_B (WR_B) がロウ・レベルになってから、 μ PD98411 が RDY_B (ACK_B) をロウ・レベルにするまでの時間は、アクセスするレジスタによって異なります。DS_B (WR_B) は、RDY_B (ACK_B) がロウ・レベルになったことを確認してからハイ・レベルにしてください。

DS_B (WR_B) がロウ・レベルになってから、 μ PD98411 が RDY_B (ACK_B) をロウ・レベルにするまでの時間は、最大で「 $4.5 \times \text{REFCLK}$ 周期 (約 235 ns)」です。RDY_B (ACK_B) を使用せずに、

どのレジスタに対してもライトできるようにする場合は、DS_B(WR_B)のパルス幅を少なくとも「4.5 × REFCLK 周期」以上にしてください。

2. DS_B(WR_B)のリカバリ・タイムは、REFCLK クロックの7周期にあたる約 364 ns です。その間隔より短い間隔でレジスタにアクセスしないでください。

4.4 割り込み処理

各ポートにおいて、回線上的エラーの検出や、パフォーマンス・カウンタのオーパフローなどが発生した場合、割り込み信号 PHINT_B をロウ・レベルにしてホストに通知します。ホストは PHINT_B がロウ・レベルになったことを検出すると、割り込み要因レジスタをリードし、要因を調べます。各要因ごとに割り込みをマスク設定することもできます。

割り込み処理の方法は、使用 PHINT_B 端子の選択、および処理モードの選択によって異なります。

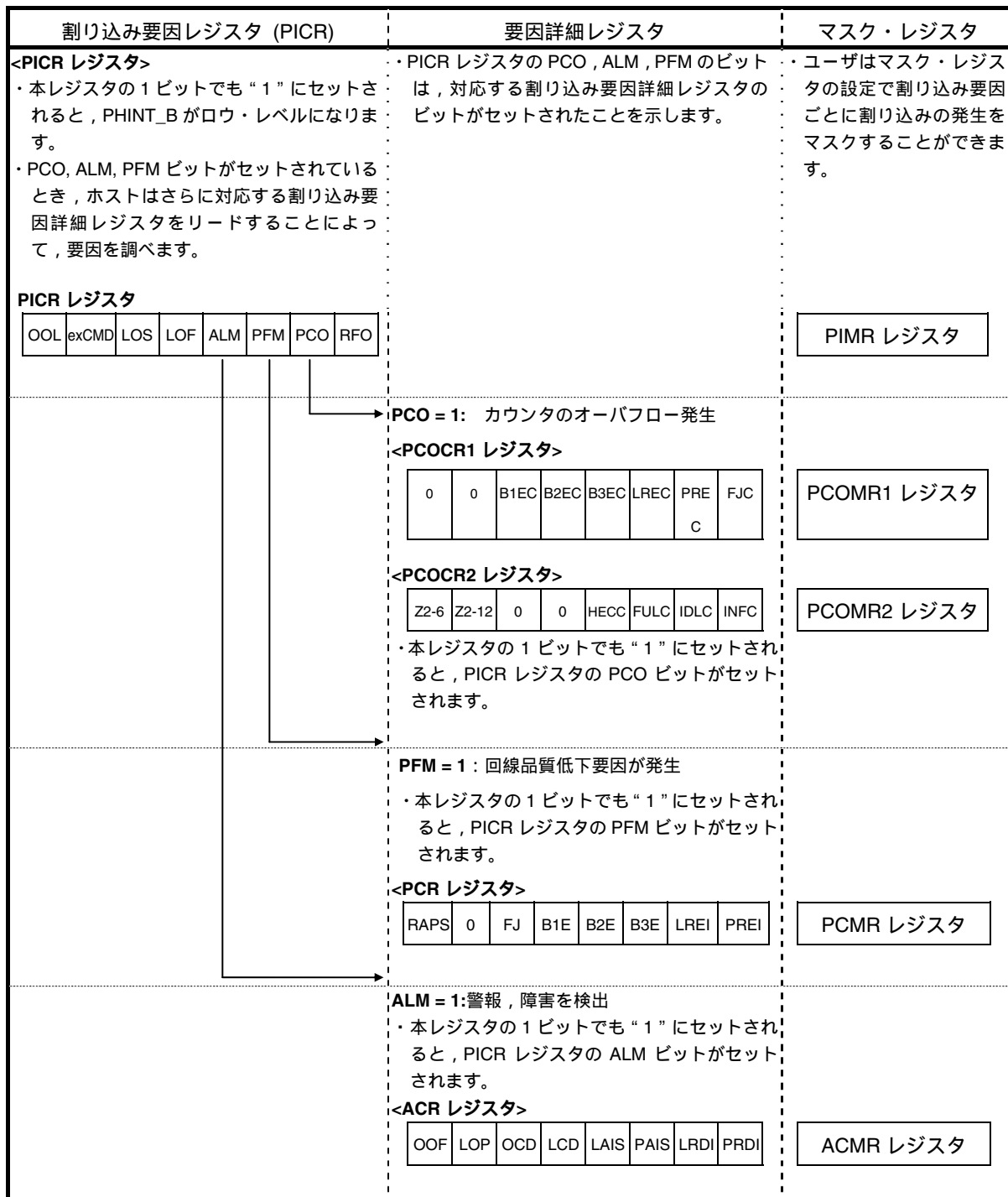
4.4.1 割り込み要因レジスタ

各ポートには、ホストに割り込み要因を示す5つの割り込み要因レジスタ、および要因詳細レジスタがあります。また、それぞれのレジスタには、割り込み要因をマスクするマスク・レジスタがあります。

割り込み信号 PHINT_B は、要因レジスタ (PICR) のビットが1つでも1にセットされたときにロウ・レベルになります。ホストは、PHINT_B がロウ・レベルになったことを検出すると、割り込み要因レジスタ (PICR レジスタ) をリードし、セットされているビットをチェックして割り込み要因を調べます。ALM, PFM, PCO ビットがセットされていた場合、ホストはさらに割り込み詳細要因レジスタ (ACR, PCR, PCOCR1, PCOCR2) をリードして要因を調べます。割り込み関連レジスタとレジスタの相関図を図 4 - 28 に示します。

備考 電源立ち上げ直後、またはリセット直後（ハードウェア・リセット、CMR2 レジスタの ALL ビットによるソフトウェア・リセット）、不定なフレーム受信によって、割り込み要因レジスタのビットがセットされることがあります。電源立ち上げ後、リセット後、モード・レジスタに初期設定を行ってから、すべての割り込み要因レジスタをリード・クリアするようにしてください。

図4-28 割り込み要因レジスタ関連図



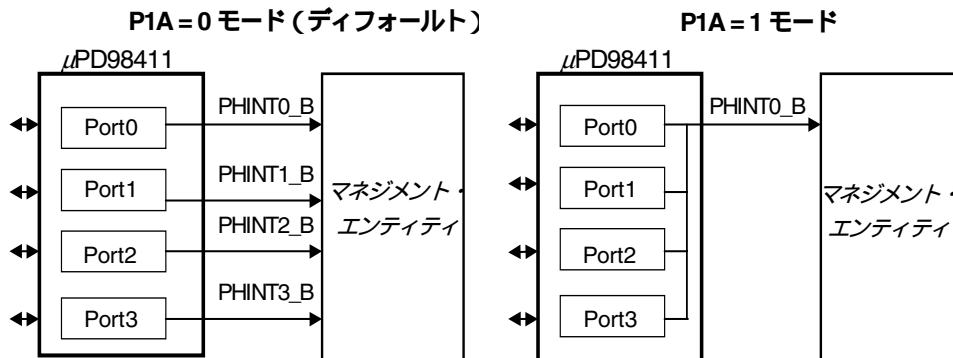
4.4.2 割り込み信号の通知モード

μ PD98411 は、割り込み信号 PHINT_B を各ポートごとに 1 端子ずつ (PHINT0_B-PHINT3_B) 備えており、各ポートごとに独立して通知することができます。また、モード設定によって 4 ポートの割り込み信号を μ PD98411 内部でマルチプレクサして 1 信号として出力することもできます。モードの切り替えは、ICNT レジスタの P1A ビットの設定によって行います。デフォルトでは、PHINT_B 信号を 4 端子使用して各ポートごとに独立して通知するモードになっています。

すべてのポートの割り込み信号を 1 信号で示す P1A = 1 のモードでは、どのポートの割り込みであるかを IMST レジスタにセットします。ホストは IMST レジスタをリードし、ポートの番号を調べてから各ポートの PICR レジスタをリードします。

ICNT レジスタ (アドレス : 7EH)	
P1A = 1	4 ポートすべての割り込み信号をマルチプレクサして PHINT0_B 端子から出力します。どのポートの要因による出力かは、IMST レジスタ(アドレス:7FH)に示されます。
P1A = 0	各ポートごとに独立して 1 本の割り込み信号 (PHINT3_B-PHINT0_B) を使用します (デフォルト)。

図 4 - 29 割り込み端子モード



4.4.3 割り込み処理

ホストは、PHINT_B 信号がアクティブになったことを検出すると、割り込み要因レジスタをリードして発生したイベントを調べます。

μPD98411 の通知するイベントは、障害、警報のように一度発生するとある期間連続してその状態にあり、状態の検出、消滅を通知するイベントと、回線品質劣化要因やパフォーマンス・カウンタのオーバフローのように単発的に発生し、履歴を通知するイベントの2種類に分類されます。

表 4 - 8 割り込み要因の種類

種別	割り込み要因	
	レジスタ	イベント（レジスタのビット名で表記）
状態を通知するイベント	PICR	OOL, exCMD, LOS, LOF
	ACR	OOF, LOP, OCD, LCD, LAIS, PAIS, LRD1, PRDI
	PCR	RAPS
履歴を通知するイベント	PICR	RFO
	PCR	FJ, B1E, B2E, B3E, LREI, PREI
	PCOCR1	B1EC, B2EC, B3EC, LREC, PREC, FJC
	PCOCR2	HECC, FULC, IDLC, INFC, Z2-6, Z2-12
上記に属さないイベント	PICR	ALM, PFM, PCO

状態を通知するイベントについて、その状態の検出、消滅を通知する方法として2種類のモードから選択できます。

選択するモードによって、ホストの割り込み処理の手順が異なります。モードの設定は、ICNT レジスタの RCM ビットで設定します。

ICNT レジスタ（アドレス：7EH）	
RCM = 1	割り込み信号 PHINT_B は、イベントが発生したときと、解除されたときの両方でロウ・レベルになります。ホストは、イベントが解除されたことも割り込み信号によって検知します。
RCM = 0	割り込み信号 PHINT_B は、イベントが発生したときにロウ・レベルになり、状態の消滅まで割り込み信号はロウ・レベルを維持します。状態が消滅したことは、レジスタのポーリングで検知します（デフォルト）。

LOSなどの状態を通知するイベントを検出した場合にセットされる割り込み要因レジスタのビットは、イベントから復旧し、かつレジスタをリードするまでセットを保持する仕様になっています。しかし、CMR2レジスタのICRビット（割り込み要因レジスタの初期化）を使って、PICRレジスタ（割り込み要因レジスタ）を一度クリアすると、その後イベント検出状態が継続していても、イベントから一度復旧し、ふたたび検出されるまで、ビットは再セットされません。これは、LOS, LOF, AIS, RDI, OCD, LCD, OOF, LOP, RAPS, OOL, CMDの状態を通知するイベントすべてにあてはまります。

ハードウェア・リセット、およびCMR2レジスタのALL, ALRビットによるリセットでは、割り込み要因レジスタは再セットされますので問題ありません。レジスタ・リードによるリセットにおいても、要因が消滅して

いるときにのみクリアされ、状態が継続している間はセットされたままになるので問題ありません。

(1) RCM = 0 モードでの割り込み処理

ホストは、PHINT_B がロウ・レベルになったことを検出すると PICR レジスタをリードします。ALM、PFM、PCO ビットがセットされていた場合は、対応する要因詳細レジスタ(ACR、PCR、PCOCR1、PCOCR2)をリードします。

要因レジスタにセットされたビットのクリア、および PHINT_B 信号のインアクティブは、イベントの分類によって異なります。表 4 - 8 で状態を通知するイベントの場合には、そのイベントから復旧してからレジスタをリードすると、要因レジスタのビットと PHINT_B がクリアされます。イベントの発生状態にある間は、レジスタをリードしても、ビットおよび PHINT_B はクリアされません。履歴を通知するイベントの場合には、レジスタのリードによってビットと PHINT_B がクリアされます。

PHINT_B 信号の変化条件

- ・ハイ → ロウ：PICR レジスタのビットが 1 ビットでもセットされたとき。
- ・ロウ → ハイ：PICR レジスタのビットがオール 0 になったとき。

割り込み要因レジスタのビットの変化条件

- ・状態を通知するイベント：イベントが発生したときにセットされ、イベントから復旧し、かつそのレジスタをリードしたときにリセットされる。
- ・履歴を通知するイベント：イベントが発生したときにセットされ、レジスタをリードしたときにリセットされる。
- ・PICR レジスタの ALM、PFM、PCO ビットは、それぞれ ACR、PCR、{PCOCR1、PCOCR2} レジスタのビットが 1 ビットでも 1 にセットされたときにセットされ、すべて 0 になったときにリセットされる。

図 4 - 30 は、ポートが LOS 状態になったため、PICR レジスタの LOS ビットがセットされ、PHINT_B 信号がロウ・レベルになった場合の例を示しています。ホストは、割り込み通知を受け、PICR レジスタをリードしましたが、このときポートは依然 LOS 状態であるため、ビットはクリアされず、PHINT_B 信号もインアクティブになりません。その後ポートは LOS 状態から復旧しましたが、LOS ビットと PHINT_B 信号はセットされたままです。ホストの再リードで、ビットがクリア、PHINT_B がインアクティブになります。ふたたび LOS が発生しホストがリードすると、すでに LOS 状態から復旧していたため、PHINT_B 信号はインアクティブになります。

図 4 - 30 RCM = 0 モードの要因レジスタのビット動作例

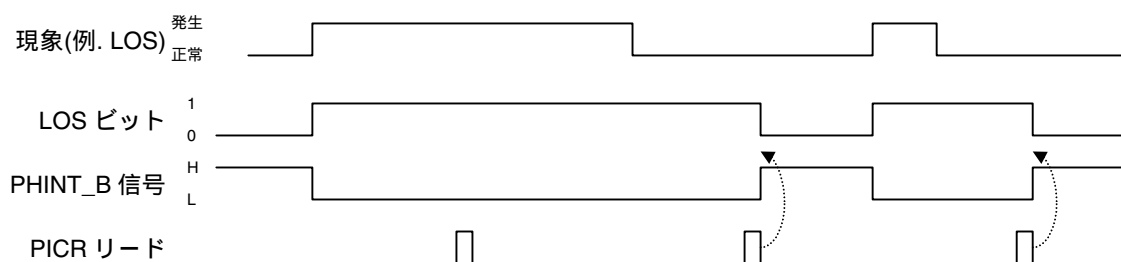
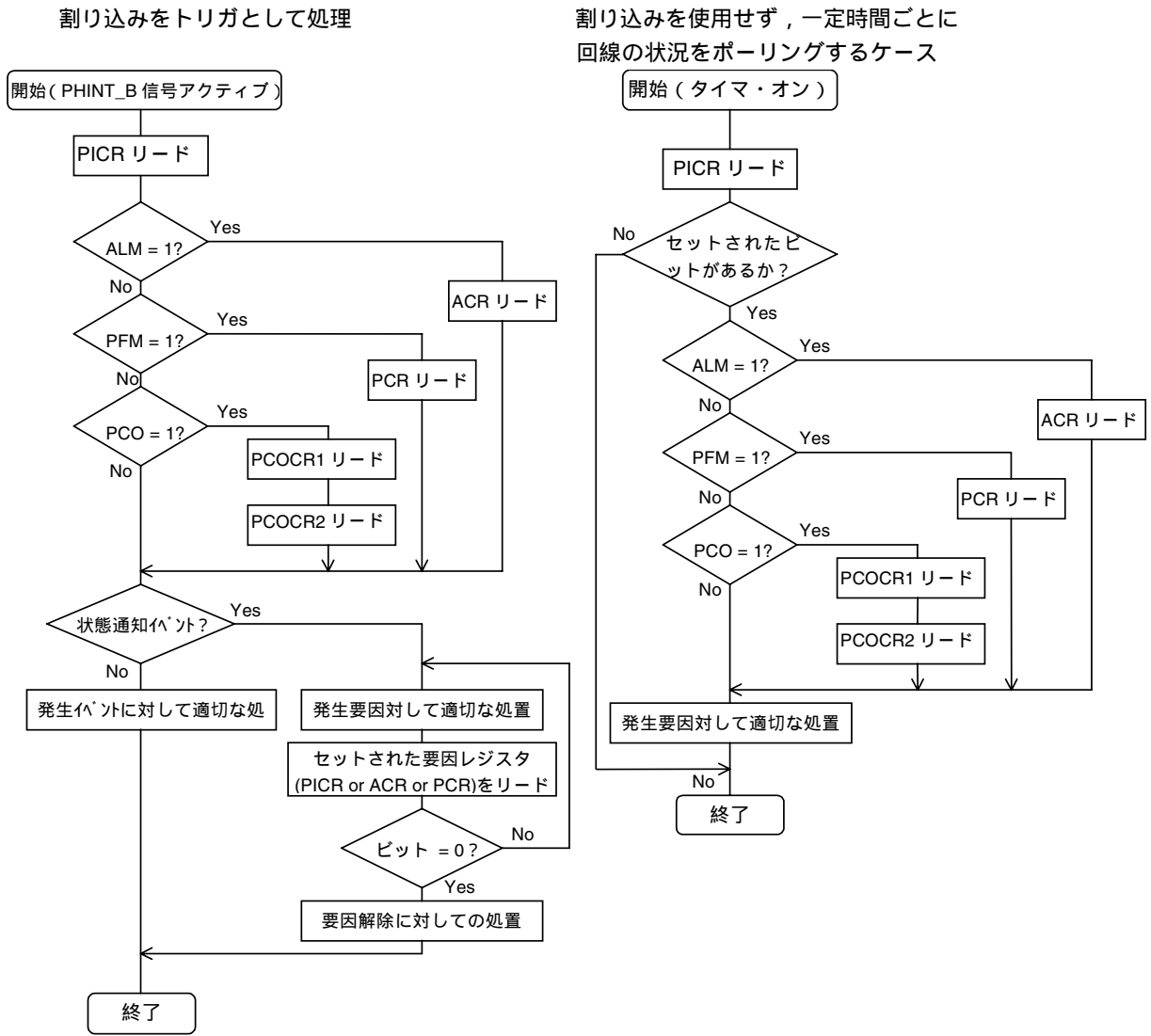


図4-31 処理フロー概要



(2) RCM = 1 モードでの割り込み処理

このモードは、表4-8で状態を通知するイベントが発生した場合に、状態の検出と状態の消滅の両方で割り込み信号をロウ・レベルにして通知するモードです。ホストは、PHINT_B がロウ・レベルになったことを検出すると PICR レジスタをリードします。ALM、PFM、PCO ビットがセットされていた場合は、さらに対応する要因詳細レジスタ (ACR、PCR、PCOCR1、PCOCR2) をリードします。履歴を通知するイベントの場合は、要因レジスタのリードでビットはクリアされ、PHINT_B 信号もインアクティブになります。状態を通知するイベントの場合、要因レジスタをリードすると PHINT_B 信号はハイ・レベルになります。ただし、要因レジスタのビットは、イベントから復旧するまでセットされたままです。ホストは、リードしたときのレジスタ値をスタックしておきます。イベントが復旧すると要因レジスタのビットは自動的に0にリセットされます。レジスタのビットが1つでも10に変化したとき、PHINT_B 信号はふたたびアクティブになります。ホストは、要因レジスタをリードし、その値とスタックしておいた前のリード値を比較し、復旧したイベントを検知します。

PHINT_B 信号の変化条件

- ・ハイ ロウ：状態を通知するイベントが1ビットでも0 1になったとき
状態を通知するイベントが1ビットでも1 0になったとき
履歴を通知するイベントが1ビットでも0 1になったとき
- ・ロウ ハイ：PICR レジスタをリードしたとき

割り込み要因レジスタのビットの変化条件

- ・状態を通知するイベント：要因が発生したときにセットされ、そのレジスタをリードしたあとにイベントから復旧したとき、またはイベントから復旧したあとにレジスタをリードしたときにリセットされる。
- ・履歴を通知するイベント：イベントが発生したときにセットされ、レジスタをリードしたときにリセットされる。
- ・PICR レジスタの ALM, PFM, PCO ビットは、それぞれ ACR, PCR, {PCOCR1,PCOCR2} レジスタのビットが1ビットでも1にセットされたときにセットされ、すべて0になったときにリセットされる。

図4-32は、ポートがLOS状態になった場合の例です。イベントが発生し、PICR レジスタのLOSビットがセットされ、PHINT_B信号がアクティブになります。ホストはPICR レジスタをリードし、PHINT_B信号がインアクティブになります。ただし、LOS状態が継続している間は、LOSビットもセットされたままです。その後、ポートはLOS状態から復旧し、それを通知するため、ふたたびPHINT_B信号がアクティブになります。ホストはPICR レジスタをリードし、PHINT_B信号をインアクティブにします。ホストは得たレジスタ・リード値と得たレジスタ値を比較し、LOSから復旧したことを知ります。ふたたびLOSが発生します。ホストが、PICR レジスタをリードします。それによりPHINT_Bがインアクティブになり、すでにLOS状態から復旧しているため、PICR レジスタのビットもリセットされます。LOSビットがリセットされたことにより、イベントから復旧したことを通知するため、PHINT_Bがすぐにアクティブになります。ホストはPICR レジスタをリードします。

図4-32 RCM = 1 モードによる要因レジスタのビット動作例

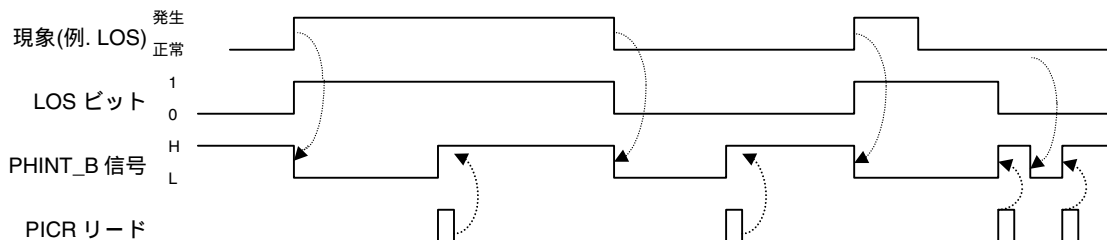


図4-33 RCM = 1 モードでの割り込み処理フロー概要

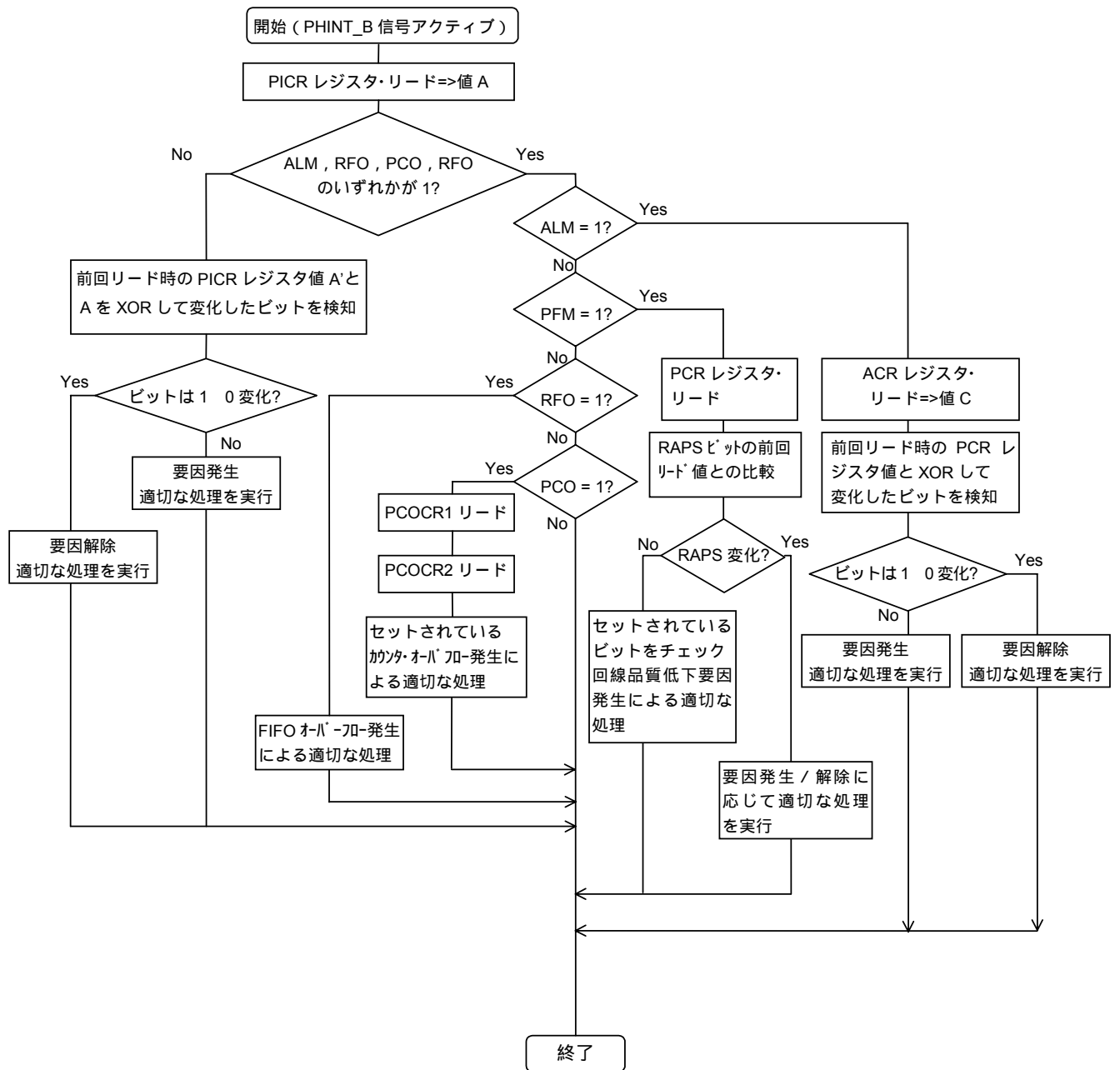


表4-9 モードによる要因レジスタ・ビットのセット/リセット条件の相違一覧

レジスタ	ビット	セット条件	リセット条件			
			RCM = 0 モード	RCM = 1 モード		
PICR	OOL exCMD LOF LOS	イベントの発生	イベントが消滅後,本レジスタをリード	本レジスタをリードしたあとにイベントから復旧したとき,または,イベント復旧後本レジスタをリードしたとき		
	ALM	ACR レジスタのビットが1つでもセットされたとき	ACR レジスタのビットがオール0になったとき	ACR レジスタのビットがオール0になったとき		
	PFM	PCR レジスタのビットが1つでもセットされたとき	PCR レジスタのビットがオール0になったとき	PCR レジスタをリードしたとき または本レジスタがリードされたとき		
	PCO	PCOOCR1, PCOOCR2 レジスタのビットが1つでもセットされたとき	PCOOCR1, PCOOCR2 レジスタのビットがオール0になったとき	PCOOCR1, PCOOCR2 レジスタのビットがリード・クリアしたとき または本レジスタをリードしたとき		
	RFO	受信 FIFO オーバランが発生したとき	本レジスタのリード	本レジスタのリード		
ACR	OOF LOP OCD LCD LAIS PAIS LRDI PRDI	イベントの発生	イベントが消滅後,本レジスタをリード	本レジスタをリードしたあとイベントから復旧したとき, または,イベントから復旧後,本レジスタをリードしたとき		
	PCR	RAPS	イベントの発生	イベントから復旧後,本レジスタをリード	本レジスタをリードしたあとイベントから復旧したとき, または,イベントから復旧後,本レジスタをリードしたとき	
		FJ B1E B2E B3E LREB PREB	各エラーの検出	本レジスタのリード	本レジスタのリード	
	PCOOCR1	B1EC B2EC B3EC LREC PREC FJC	カウンタの値が オール“FF”を通過したとき	本レジスタのリード	本レジスタのリード	
		PCOOCR2	Z2_6 Z2_12 HECC FULC IDLC INFC	カウンタの値が オール“FF”を通過したとき	本レジスタのリード	本レジスタのリード

第5章 レジスタ

μPD98411 は、マネジメント・インタフェースを介してアクセスし、各動作モードの設定や、コマンドを指示するレジスタがあります。レジスタには、1ポートに対して設定し、ポートごとに同じ領域を持つ「ポート・レジスタ群」と、4ポートに対して設定しデバイス全体に働く「共通レジスタ群」の2種類があります。ポート・レジスタは、アドレス線 MADD[8:7]の上位2ビットでポート0-ポート3のうちの1ポートを選択し、MADD[6:0]でレジスタのアドレスを指定します。共通レジスタは、ポート0の後半に位置しています。

アドレス	レジスタ
000H-065H	ポート0の設定レジスタ
06CH-07FH	共通レジスタ
080H-0C5H	ポート1の設定レジスタ
100H-165H	ポート2の設定レジスタ
180H-1C5H	ポート3の設定レジスタ

【注意】

μPD98411 が PMD インタフェースから送出する SONET/SDH フレームのデータ・ビット列は、MSB より順に送出されます。このマニュアルでは、SONET/SDH フレームのオーバーヘッド内のバイトのビット名を次のように2通りの呼び方で記載していますので、注意してお読みください。

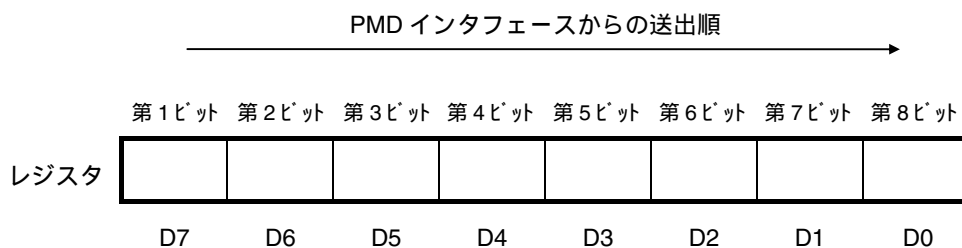
(1) 第1ビット-第8ビット

主に SONET/SDH フレーム内オーバーヘッド・バイトのビット列を示すのに使用され、PMD インタフェースからの出力順となっています。

(2) D7 ビット-D0 ビット

主にμPD98404 内部レジスタ内のビットを示す際に使用され、外部マネジメント・インタフェースの D7-D0 端子に相当します。

・内部レジスタ・ビットの表し方



5.1 レジスタ・マップ

5.1.1 ポート・レジスタ

ポートごとに同じ配列で持つレジスタです。ポートはアドレス上位 MADD[8:7]の2ビットで選択し、表中のアドレスはレジスタを指定する MADD[6:0]ビットを指します。デフォルト値はリセット後のレジスタ値を示します。

(1/3)

No.	アドレス(H)				名称	機能	R/W	ビット数	デフォルト値
	Port0	Port1	Port2	Port3					
(1)	000	080	100	180	CMR1	コマンド 1。警報フレームの送信を設定	R/W	5	00H
(2)	001	081	101	181	CMR2	コマンド 2。レジスタの初期化を設定	R/W	4	00H
(3)	002	082	102	182	CMR3	コマンド 3。疑似エラー・フレームの送出	R/W	5	00H
(4)	003	083	103	183	MDR1	モード 1。SS ビット設定	R/W	2	00H
(5)	004	084	104	184	MDR2	モード 2。ループバック・モード設定	R/W	2	00H
(6)	005	085	105	185	MDR3	モード 3。スクランブル・モードを設定	R/W	5	00H
(7)	006	086	106	186	PICR	割り込み要因を表示	R	8	00H
(8)	007	087	107	187	PIMR	割り込み要因をマスク	R/W	8	FFH
(9)	008	088	108	188	ACR	回線障害の割り込み詳細要因を表示	R	8	00H
(10)	009	089	109	189	ACMR	回線障害の割り込み要因をマスク	R/W	8	FFH
(11)	00A	08A	10A	18A	PCR	パフォーマンス・モニタリングの詳細要因を表示	R	7	00H
(12)	00B	08B	10B	18B	PCMR	パフォーマンス・モニタリングの詳細要因をマスク	R/W	7	FFH
(13)	00C	08C	10C	18C	IACM	Path/Line RDI の自動送信をマスク	R/W	2	FFH
(14)	00D	08D	10D	18D	B1ECT	B1 エラー・カウンタ・レジスタ	R	8	00H
(15)	00E	08E	10E	18E	B2ECT	B2 エラー・カウンタ・レジスタ	R	8	00H
(16)	00F	08F	10F	18F	B3ECT	B3 エラー・カウンタ・レジスタ	R	8	00H
(17)	010	090	110	190	LRECT	Line REI カウンタ・レジスタ	R	8	00H
(18)	011	091	111	191	PRECT	Path REI カウンタ・レジスタ	R	8	00H
(19)	012	092	112	192	FJCT	Frequency Justifications カウンタ・レジスタ	R	8	00H
(20)	013	093	113	193	HECCT	HEC エラー廃棄セル・カウンタ・レジスタ	R	8	00H
(21)	014	094	114	194	FULCT	FIFO フル廃棄セル・カウンタ・レジスタ	R	8	00H
(22)	015	095	115	195	IDLCT	受信アイドル・セル・カウンタ・レジスタ	R	8	00H
(23)	016	096	116	196	INFCT	受信有効セル・カウンタ・レジスタ	R	8	00H
(24)	017, 018	097, 098	117, 118	197, 198		リザーブ領域	禁止	8	
(25)	019	099	119	199	PCPR1	カウンタの読み込みバイト位置を表示	R	8	00H
(26)	01A	099	11A	19A	PCPR2	カウンタの読み込みバイト位置を表示	R	8	00H
(27)	01B	09A	11B	19B	PCSR	カウンタのサンプル・タイミング設定	R/W	1	00H
(28)	01C	09C	11C	19C	PCIR1	カウンタの初期化を設定	R/W	6	00H
(29)	01D	09D	11D	19D	PCIR2	カウンタの初期化を設定	R/W	4	00H
(30)	01E	09E	11E	19E	PCFR1	カウンタのイネーブル設定	R/W	6	FFH

(2/3)

No.	アドレス(H)				名称	機能	R/W	ビット数	デフォルト値
	Port0	Port1	Port2	Port3					
(31)	01F	09F	11F	19F	PCFR2	カウンタのイネーブル設定	R/W	4	FFH
(32)	020	0A0	120	1A0	PCOCR1	カウンタのオーバフロー要因を表示	R	6	00H
(33)	021	0A1	121	1A1	PCOCR2	カウンタのオーバフロー要因を表示	R	4	00H
(34)	022	0A2	122	1A2	PCOMR1	カウンタのオーバフロー要因をマスク	R/W	6	FFH
(35)	023	0A3	123	1A3	PCOMR2	カウンタのオーバフロー要因をマスク	R/W	4	FFH
(36)	024	0A4	124	1A4	AMPR	設定する PALM 端子を選択	R/W	2	00H
(37)	025	0A5	125	1A5	AMR1	PALM 端子から出力する警報をマスク	R/W	8	FFH
(38)	026	0A6	126	1A6	AMR2	PALM 端子から出力する警報をマスク	R/W	8	FFH
(39)	027	0A7	127	1A7	DCHPR	ドロップ・セル・ヘッダ・パターンを設定	R/W	8	01H
(40)	028	0A8	128	1A8	DCHPMR	ドロップ・セル・ヘッダ・パターンをマスク	R/W	8	00H
(41)	029	0A9	129	1A9	PHYIDR	PHY IDアドレスを設定	R/W	6	01H
(42)	02A	0AA	12A	1AA	J0R	受信J0バイトのドロップ・レジスタ	R	8	00H
(43)	02B	0AB	12B	1AB	Z0#1R	受信1st Z0バイトのドロップ・レジスタ	R	8	00H
(44)	02C	0AC	12C	1AC	Z0#2R	受信2nd Z0バイトのドロップ・レジスタ	R	8	00H
(45)	02D	0AD	12D	1AD	F1R	受信F1バイトのドロップ・レジスタ	R	8	00H
(46)	02E	0AE	12E	1AE	K1R	受信K1バイトのドロップ・レジスタ	R	8	00H
(47)	02F	0AF	12F	1AF	K2R	受信K2バイトのドロップ・レジスタ	R	8	00H
(48)	030	0B0	130	1B0	C2R	受信C2バイトのドロップ・レジスタ	R	8	00H
(49)	031	0B1	131	1B1	F2R	受信F2バイトのドロップ・レジスタ	R	8	00H
(50)	032	0B2	132	1B2	H4R	受信H4バイトのドロップ・レジスタ	R	8	00H
(51)	033	0B3	133	1B3	J0T	送信J0バイトのインサート・レジスタ	R/W	8	01H
(52)	034	0B4	134	1B4	Z0#1T	送信1st Z0バイトのインサート・レジスタ	R/W	8	02H
(53)	035	0B5	135	1B5	Z0#2T	送信2nd Z0バイトのインサート・レジスタ	R/W	8	03H
(54)	036	0B6	136	1B6	F1T	送信F1バイトのインサート・レジスタ	R/W	8	00H
(55)	037	0B7	137	1B7	K1T	送信K1バイトのインサート・レジスタ	R/W	8	00H
(56)	038	0B8	138	1B8	K2T	送信K2バイトのインサート・レジスタ	R/W	8	00H
(57)	039	0B9	139	1B9	C2T	送信C2バイトのインサート・レジスタ	R/W	8	13H
(58)	03A	0BA	13A	1BA	F2T	送信F2バイトのインサート・レジスタ	R/W	8	00H
(59)	03B	0BB	13B	1BB	H4T	送信H4バイトのインサート・レジスタ	R/W	8	00H
(60)	03C -03E	0BC -0BE	13C -13E	1BC -1BE		リザーブ領域	禁止	8	
(61)	03F	0BF	13F	1BF	VERR	LSIのバージョン名を格納	R	3	XXH
(62)	040	0C0	140	1C0	Z2#1R, Z2_6R	受信1st Z2バイトのドロップ・レジスタ	R	8	00H
(63)	041	0C1	141	1C1	E1R	受信E1バイトのドロップ・レジスタ	R	8	00H
(64)	042	0C2	142	1C2	H1R	受信1st-3rd H1バイトのドロップ・レジスタ	R	8	00H
(65)	043	0C3	143	1C3	H2R	受信1st-3rd H2のドロップ・レジスタ	R	8	00H
(66)	044	0C4	144	1C4	H3R	受信1st-3rd H3バイトのドロップ・レジスタ	R	8	00H
(67)	045	0C5	145	1C5	B2R	受信1st-3rd B2バイトのドロップ・レジスタ	R	8	00H
(68)	046	0C6	146	1C6	S1R	受信S1バイトのドロップ・レジスタ	R	8	00H

(3/3)

No.	アドレス(H)				名称	機能	R/W	ビット数	デフォルト値
	Port0	Port1	Port2	Port3					
(69)	047	0C7	147	1C7	M1R	受信M1バイトのドロップ・レジスタ	R	8	00H
(70)	048	0C8	148	1C8	E2R	受信E2バイトのドロップ・レジスタ	R	8	00H
(71)	049	0C9	149	1C9	J1R	受信J1バイトのドロップ・レジスタ	R	8	00H
(72)	04A	0CA	14A	1CA	B3R, Z2#_12	受信B3バイトのドロップ・レジスタ	R	8	00H
(73)	04B	0CB	14B	1CB	G1R	受信G1バイトのドロップ・レジスタ	R	8	00H
(74)	04C	0CC	14C	1CC	DsecR	受信D3-D1バイトのドロップ・レジスタ	R	8	00H
(75)	04D	0CD	14D	1CD	DlineR	受信D12-D4バイトのドロップ・レジスタ	R	8	00H
(76)	04E	0CE	14E	1CE	Z345R	受信Z3-Z5バイトのドロップ・レジスタ	R	8	00H
(77)	04F	0CF	14F	1CF		リザーブ領域	禁止	8	
(78)	050	0D0	150	1D0	Z2#1T	送信1st Z2バイトのインサート・レジスタ	R/W	8	00H
(79)	051	0D1	151	1D1	E1T	送信E1バイトのインサート・レジスタ	R/W	8	00H
(80)	052	0D2	152	1D2	H1T	送信1st-3rd H1バイトのインサート・レジスタ	R/W	8	00H
(81)	053	0D3	153	1D3	H2T	送信1st-3rd H2バイトのインサート・レジスタ	R/W	8	00H
(82)	054	0D4	154	1D4	H3T	送信1st-3rd H3バイトのインサート・レジスタ	R/W	8	00H
(83)	055	0D5	155	1D5	B2T	送信1st-3rd B2バイトのインサート・レジスタ	R/W	8	00H
(84)	056	0D6	156	1D6	S1T	送信S1バイトのインサート・レジスタ	R/W	8	00H
(85)	057	0D7	157	1D7		リザーブ領域	禁止	8	
(86)	058	0D8	158	1D8	E2T	送信E2バイトのインサート・レジスタ	R/W	8	00H
(87)	059	0D9	159	1D9	J1T	送信J1バイトのインサート・レジスタ	R/W	8	00H
(88)	05A	0DA	15A	1DA	B3T	送信B3バイトのインサート・レジスタ	R/W	8	00H
(89)	05B	0DB	15B	1DB		リザーブ領域	禁止	8	
(90)	05C	0DC	15C	1DC	DsecT	送信 D1-D3 バイトのインサート・レジスタ	R/W	8	00H
(91)	05D	0DD	15D	1DD	DlineT	送信 D4-D12 バイトのインサート・レジスタ	R/W	8	00H
(92)	05E	0DE	15E	1DE	Z345T	送信 Z3,Z4,Z5 バイトのインサート・レジスタ	R/W	8	00H
(93)	05F	0DF	15F	1DF		リザーブ領域	禁止	8	
(94)	060	0E0	160	1E0	ROHPL	受信 H1,H2,H3 ドロップ・レジスタのポインタ・ロック	R/W	3	00H
(95)	061	0E1	161	1E1	ROHPR1	受信 H1,H2,H3 ドロップ・レジスタのポインタ・レジスタ	R/W	8	00H
(96)	062	0E2	162	1E2	ROHPR2	受信 DsecR,DlineR,Z345R レジスタのポインタ・レジスタ	R/W	8	00H
(97)	063	0E3	163	1E3	TOHPL	送信 H1,H2,H3 インサート・レジスタのポインタ・ロック	R/W	3	00H
(98)	064	0E4	164	1E4	TOHPR1	送信 H1,H2,H3 インサート・レジスタのポインタ・レジスタ	R/W	8	00H
(99)	065	0E5	165	1E5	TOHPR2	送信 DsecT,DlineT,Z345T レジスタのポインタ・レジスタ	R/W	8	00H
(100)	066 -06F	0E6 -0EF	166 -16F	1E6 -1EF		リザーブ領域	禁止	8	

5.1.2 共通レジスタ

No.	アドレス	名称	機能	R/W	ビット数	デフォルト値
(101)	06CH	SYSPR	しきい値設定レジスタのポインタ・レジスタ	R/W	6	00H
(102)	06DH	ITUR	警報の検出条件変更レジスタ	R/W	3	00H
(103)	06EH	B1THR	B1 エラー検出しきい値設定レジスタ	R/W	7	FFH
(104)	06FH	B2THR	B2 エラー検出しきい値設定レジスタ	R/W	8	FFH
(105)	070H	B3THR	B3 エラー検出しきい値設定レジスタ	R/W	8	FFH
(106)	071H	LRETHR	Line REI エラー検出しきい値設定レジスタ	R/W	6	FFH
(107)	072H	PRETHR	Path REI エラー検出しきい値設定レジスタ	R/W	6	FFH
(108)	073H	FJTHR	Frequency Justification 検出しきい値設定レジスタ	R/W	3	FFH
(109)	074H	FRMN	しきい値モニタ・フレーム数設定レジスタ	R/W	7	00H
(110)	075H	CRSC	受信クロック・リカバリ・コントロール・レジスタ	R/W	7	00H
(111)	076H	CSSC	クロック・シンセサイザ・ソース設定レジスタ	R/W	8	00H
(112)	077H	TXSC	送信クロック・ソース・コントロール・レジスタ	R/W	8	00H
(113)	078H	AVLC	UTOPIA インタフェース関連レジスタ	R/W	6	00H
(114)	079H	MitUT	マルチ PHY モード切り替えレジスタ	R/W	6	00H
(115)	07AH	TCMSK	送信オペレーション・クロック出力選択レジスタ	R/W	3	00H
(116)	07BH	RCMSK	リカバリ・クロック出力レジスタ	R/W	6	01H
(117)	07CH	FPMSK	フレーム・パルス出力レジスタ	R/W	6	00H
(118)	07DH		リザーブ領域	禁止	8	
(119)	07EH	ICNT	ソフトウェア・リセット/割り込みモード・レジスタ	R/W	2	00H
(120)	07FH	IMST	割り込みポート表示レジスタ	R	5	00H

5.2 レジスタ機能

5.2.1 ポート・レジスタ機能

(1) コマンド・レジスタ1 (CMR1)

Line AIS, Path AIS, Line RDI Path RDI の警報送信を設定します。また, PALM 端子出力レベルを設定します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
CMR1	TAPS	CMD3	CMD2	CMD1	TLAIS	TPAIS	TLRDI	TPRDI	Port0 : 000H Port1 : 080H Port2 : 100H Port3 : 180H	00H	R/W

フィールド	機能	デフォルト値
D7:TAPS	このビットに1をライトすると, K1T, K2T レジスタの値を送信オーバーヘッドの K1, K2 バイト位置にロードして送出します。K1T, K2T レジスタの値を変更した場合は, このビットに再度1をライトして, 送信オーバーヘッドに再ロードします。0をライトすると, K1T, K2T レジスタのロードを停止します。このビットは, 1をライトしたあとにリードしても0が読み出され, 値を保持することはありません。	0
D6-D4: CMD3-CMD1	これらのビットの変化を, PALM 端子の出力レベルに反映させることができます。これらのビット設定と PALM 端子との関係づけは, AMPR, AMR1, AMR2 に設定します。 1 : PALM[2:0]をハイ・レベルにします。 0 : PALM[2:0]をロウ・レベルにします。	0
D3: TLAIS	このビットを1にセットすると Line AIS の警報フレームを送信します。ビットを0に戻すまで連続して送信します。	0
D2: TPAIS	このビットを1にセットすると Path AIS の警報フレームを送信します。ビットを0に戻すまで連続して送信します。	0
D1: TLRDI	このビットを1にセットすると Line RDI の警報フレームを送信します。ビットを0に戻すまで連続して送信します。	0
D0: TPRDI	このビットを1にセットすると Path RDI の警報フレームを送信します。ビットを0に戻すまで連続して送信します。	0

備考 Line AIS と Line RDI が同じフレームに設定された場合は, Line AIS が優先されます。

(2) コマンド・レジスタ2 (CMR2)

送受信機能のディスエーブル、およびポートの初期化を指示します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
CMR2	0	0	TDIS	RDIS	ALL	ICR	PCCR	ALR	Port0 : 001H	00H	R/W
									Port1 : 081H		
									Port2 : 101H		
									Port3 : 181H		

フィールド	機能	デフォルト値
D7, D6	このビット領域には必ず0を設定してください。	00
D5: TDIS	送信機能ディスエーブル設定。 このビットを1に設定すると、その間、送信フレーム処理ブロックは動作を停止します。停止している間の送信データ出力は、オール0の連続出力になります。送信動作の停止は、レジスタ設定には影響を及ぼしませんので、モード設定などは保持され、このビットを0に戻してふたたびイネーブルにしたときは、ディスエーブルにする前のモードで動作を始めます。	0
D4: RDIS	受信機能ディスエーブル設定。 このビットを1にすると、その間、受信フレーム処理ブロック、および受信クロック・リカバリPLLは動作を停止します。この受信ブロックの動作の停止は、レジスタの設定には影響を及ぼしませんので、このビットを0に戻してふたたびイネーブルにしたときは、ディスエーブルにする前のモードで動作を始めます。また、このビットが1にセットされていても、回線障害のLOS、LOFは検出し続けるため、回線状態に応じて割り込み要因レジスタがセットされることもあります。	0
D3: ALL	ポートのソフトウェア・リセット。 このビットを1にセットすると、ポートのすべてのロジック、レジスタを初期化します。このビットは、リセットを実行したあと、自動で0に戻ります。共通レジスタにはリセットがかかりません。	0
D2: ICR	割り込み要因レジスタのリセット。 このビットを1にセットすると、割り込み要因レジスタ、および要因詳細レジスタのビットをクリアします。このビットは、リセットを実行したあと、自動で0に戻ります。	0
D1: PCCR	パフォーマンス・カウンタのリセット。 このビットを1にセットすると、パフォーマンス・カウンタ関連レジスタのすべてをリセットします。このビットは、リセットを実行したあと、自動で0に戻ります。	0
D0: ALR	レジスタのリセット。 このビットを1にセットすると、ポート・レジスタのすべてをリセットします。このビットは、リセットを実行したあと、自動的に0に戻ります。	0

注意 ICRビットによって、割り込み要因レジスタを一度クリアすると、その後イベント検出状態が継続していても、イベントから一度復旧し、ふたたび検出されるまで、ビットが再セットされません。

備考 LSI全体をリセットするためのコマンドは、ICNTレジスタ(07EH)にあります。

(3) コマンド・レジスタ3 (CMR3)

テスト時などに対向装置に障害，エラーを検出させる疑似フレームの送信指示を行います。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
CMR3	0	0	0	CM4	CM3	CM2	CM1	CM0	Port0:002H Port1:082H Port2:102H Port3:182H	00H	R/W

フィールド	機能	デフォルト値																																				
D7-D5	このビット領域には必ず0を設定してください。	000																																				
D4-D0: CM4-CM0	<p>疑似フレームの送信指示。</p> <table border="1"> <thead> <tr> <th>CM4-CM0</th> <th>送信フレーム</th> </tr> </thead> <tbody> <tr> <td>00000</td> <td>疑似フレーム送出ディセーブル(通常)。</td> </tr> <tr> <td>00001</td> <td>PLOS フレームを送信</td> </tr> <tr> <td>00010</td> <td>POOF フレームを送信</td> </tr> <tr> <td>00011</td> <td></td> </tr> <tr> <td>00100</td> <td>PLOP フレームを送信</td> </tr> <tr> <td>00101</td> <td>POCD フレームを送信</td> </tr> <tr> <td>00110</td> <td></td> </tr> <tr> <td>00111</td> <td>PB1 フレームを送信</td> </tr> <tr> <td>01000</td> <td>PB2 フレームを送信</td> </tr> <tr> <td>01001</td> <td>PB3 フレームを送信</td> </tr> <tr> <td>01010</td> <td>PLREI フレームを送信</td> </tr> <tr> <td>01011</td> <td>PPREI フレームを送信</td> </tr> <tr> <td>10001</td> <td>APS フレームを送信(CMR1 の TAPS と同等)</td> </tr> <tr> <td>10010</td> <td>PLOP フレームを送信</td> </tr> <tr> <td>10100</td> <td>PB2 フレームを送信</td> </tr> <tr> <td>10101</td> <td>PB3 フレームを送信</td> </tr> <tr> <td>その他</td> <td>設定禁止</td> </tr> </tbody> </table> <p>送出する疑似フレームの内容は，3.3.1 (3) テスト用疑似フレームの送出機能 を参照してください。</p>	CM4-CM0	送信フレーム	00000	疑似フレーム送出ディセーブル(通常)。	00001	PLOS フレームを送信	00010	POOF フレームを送信	00011		00100	PLOP フレームを送信	00101	POCD フレームを送信	00110		00111	PB1 フレームを送信	01000	PB2 フレームを送信	01001	PB3 フレームを送信	01010	PLREI フレームを送信	01011	PPREI フレームを送信	10001	APS フレームを送信(CMR1 の TAPS と同等)	10010	PLOP フレームを送信	10100	PB2 フレームを送信	10101	PB3 フレームを送信	その他	設定禁止	オール0
CM4-CM0	送信フレーム																																					
00000	疑似フレーム送出ディセーブル(通常)。																																					
00001	PLOS フレームを送信																																					
00010	POOF フレームを送信																																					
00011																																						
00100	PLOP フレームを送信																																					
00101	POCD フレームを送信																																					
00110																																						
00111	PB1 フレームを送信																																					
01000	PB2 フレームを送信																																					
01001	PB3 フレームを送信																																					
01010	PLREI フレームを送信																																					
01011	PPREI フレームを送信																																					
10001	APS フレームを送信(CMR1 の TAPS と同等)																																					
10010	PLOP フレームを送信																																					
10100	PB2 フレームを送信																																					
10101	PB3 フレームを送信																																					
その他	設定禁止																																					

(4) モード・レジスタ1 (MDR1)

送信オーバーヘッドの AU ポインタの SS ビットを設定します。

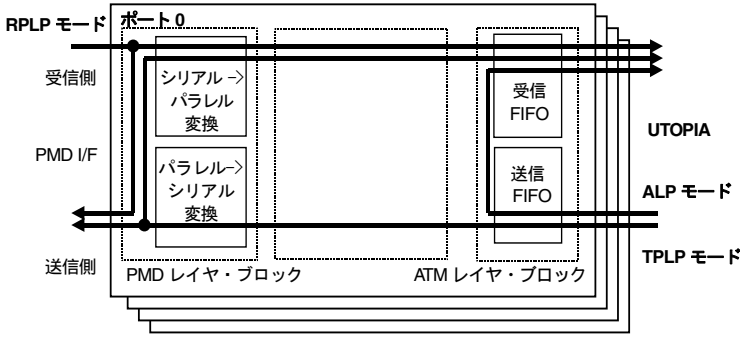
レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
MDR1	0	SS1	SS0	0	0	0	0	0	Port0:003H Port1:083H Port2:103H Port3:183H	00H	R/W

フィールド	機能	デフォルト値																																				
D7, D4-D0	このビット領域には必ず 0 を設定してください。	オール 0																																				
D6 : SS1 D5 : SS0	送信フレームの オーバヘッド 1st H1 - 3rd H1 バイト の SS ビットを設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th></th> <th>B7</th> <th>B6</th> <th>B5</th> <th>B4</th> <th>B3</th> <th>B2</th> <th>B1</th> <th>B0</th> </tr> </thead> <tbody> <tr> <td>1st H1</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>SS1</td> <td>SS0</td> <td>1</td> <td>0</td> </tr> <tr> <td>2nd H1</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>SS1</td> <td>SS0</td> <td>1</td> <td>1</td> </tr> <tr> <td>3rd H1</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>SS1</td> <td>SS0</td> <td>1</td> <td>1</td> </tr> </tbody> </table>		B7	B6	B5	B4	B3	B2	B1	B0	1st H1	0	1	1	0	SS1	SS0	1	0	2nd H1	1	0	0	1	SS1	SS0	1	1	3rd H1	1	0	0	1	SS1	SS0	1	1	00
	B7	B6	B5	B4	B3	B2	B1	B0																														
1st H1	0	1	1	0	SS1	SS0	1	0																														
2nd H1	1	0	0	1	SS1	SS0	1	1																														
3rd H1	1	0	0	1	SS1	SS0	1	1																														

(5) モード・レジスタ 2 (MDR2)

ループバック・モードの設定を行います。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
MDR2	MGM	0	0	LP1	LP0	0	0	0	Port0:004H Port1:084H Port2:104H Port3:184H	00H	R/W

フィールド	機能	デフォルト値										
D7 : MGM	このビットを 1 にセットすると、 Z2#1R レジスタが Z2_6R レジスタとしての機能に切り替わり、B3R レジスタが Z2_12R レジスタとしての機能に切り替わります。 PCOCR2 レジスタの D7 : Z2_6、D6 : Z2_12 ビット、および PCOMR2 レジスタの D7 : Z2_6m、D6 : Z2_12m ビットの機能がイネーブルになります。	0										
D6, D5, D2-D0	このビット領域には必ず 0 を設定してください。	オール 0										
D4: LP1 D3: LP0	ループバック・モードを設定 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>LP[1:0]</th> <th>モード</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>ノーマル・モード。(通常)</td> </tr> <tr> <td>01</td> <td>RPLP モード シリアル/パラレル・コンバータ回路を通して PMD 側入力から PMD 側出力へのループバックを設定します。</td> </tr> <tr> <td>10</td> <td>TPLP モード シリアル/パラレル・コンバータ回路を通して ATM 側入力から ATM 側出力へのループバックを設定します。</td> </tr> <tr> <td>11</td> <td>ALP モード 受信 FIFO と送信 FIFO を通して ATM 側入力から ATM 側出力へのループバックを設定します。</td> </tr> </tbody> </table> 	LP[1:0]	モード	00	ノーマル・モード。(通常)	01	RPLP モード シリアル/パラレル・コンバータ回路を通して PMD 側入力から PMD 側出力へのループバックを設定します。	10	TPLP モード シリアル/パラレル・コンバータ回路を通して ATM 側入力から ATM 側出力へのループバックを設定します。	11	ALP モード 受信 FIFO と送信 FIFO を通して ATM 側入力から ATM 側出力へのループバックを設定します。	00
LP[1:0]	モード											
00	ノーマル・モード。(通常)											
01	RPLP モード シリアル/パラレル・コンバータ回路を通して PMD 側入力から PMD 側出力へのループバックを設定します。											
10	TPLP モード シリアル/パラレル・コンバータ回路を通して ATM 側入力から ATM 側出力へのループバックを設定します。											
11	ALP モード 受信 FIFO と送信 FIFO を通して ATM 側入力から ATM 側出力へのループバックを設定します。											

(6) モード・レジスタ3 (MDR3)

フレーム、セル・スクランブルのイネーブル/ディスエーブル、HEC 処理のモードを設定します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
MDR3	0	FSCR	CSCR	HECE	CORE	0	0	RAPSC	Port0:005H Port1:085H Port2:105H Port3:185H	00H	R/W

フィールド	機能	デフォルト値
D7, D2, D1	このビット領域には必ず 0 を設定してください。	オール 0
D6: FSCR	フレーム・スクランブル/デスクランブルのディスエーブル。 このビットを 1 にセットすると、送信フレームをスクランブルせず、受信フレームをデスクランブルしなくなります。	0
D5: CSCR	セル・スクランブル/デスクランブルのディスエーブル。 このビットを 1 にセットすると、送信セルをスクランブルせず、受信セルをデスクランブルしなくなります。	0
D4: HECE	HEC エラー・セル廃棄機能のディスエーブル。 このビットを 1 にセットすると、HEC 検証で 2 ビット以上のエラーが検出されたセルを廃棄せず、UTOPIA インタフェースから出力します。	0
D3: CORE	HEC エラー修正機能のディスエーブル。 このビットを 1 にセットすると HEC 検証で 1 ビット・エラーを検出した場合、修正することなく、そのセルを廃棄します。	0
D0: RAPSC	PCR レジスタの RAPS ビットのクリア指示。 このビットを 1 にセットすると PCR レジスタの RAPS ビットがクリアされます。このビットは、クリア動作後、自動で 0 に戻ります。	0

(7) PHY割り込み要因レジスタ (PICR)

割り込み要求 (PHINT_B 端子からの出力) の要因を表示します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
PICR	OOL	exCMD	LOS	LOF	ALM	PFM	PCO	RFO	Port0 : 006H Port1 : 086H Port2 : 106H Port3 : 186H	00H	R

フィールド	機能	デフォルト値
D7: OOL	リカバリ・クロック状態表示。 1 のとき、クロック・リカバリ PLL が抽出するクロックと受信データの位相差が 180 度シフトしたことを示します。	0
D6: exCMD	CMD 端子の入力レベル表示。 1 のとき、CMD 端子入力がハイ・レベルになったことを示します。	0
D5: LOS	LOS 発生の状態表示。 1 のとき、LOS (Loss Of Signal) 状態が発生したことを示します。	0
D4: LOF	LOF 発生の状態表示。 1 のとき、LOF (Loss Of Frame) 状態が発生したことを示します。	0
D3: ALM	ACR レジスタの状態表示。 ACR レジスタのビットが 1 つでも 1 にセットされていることを示します。	0
D2: PFM	PCR レジスタの状態表示。 PCR レジスタのビットが 1 つでも 1 にセットされていることを示します。	0
D1: PCO	PCOCR1 , PCOCR2 レジスタの状態表示。 1 のとき、PCOCR1 , PCOCR2 レジスタのビットが 1 つでも 1 にセットされていることを示します。	0
D0: RFO	受信 FIFO のオーバーフロー発生の履歴表示。 1 のとき、受信 FIFO のオーバーフローが発生したことを表示します。	0

備考1 RCM = 0 モードでは、(ICNT レジスタ)このレジスタのビットが1つでも1にセットされると、PHINT_B がロウ・レベルになります。RCM = 1 モードでは、このレジスタのビットの変化(0 1, 1 0)で、PHINT_B がロウ・レベルになります。ただし、PIMR レジスタでマスクされているビットの場合は、PHINT_B は、ロウ・レベルになりません。

2. セットされたビットは、リードによってクリアされますが、クリア条件は ICNT レジスタの RCM ビットの設定によって異なります。4.4.3 **割り込み処理** を参照してください。

(8) PHY 割り込みマスク・レジスタ (PIMR)

PICR レジスタのマスク設定をします。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
PIMR	OOL	exCMD	LOS	LOF	ALM	PFM	PCO	RFO	Port0 : 007H Port1 : 087H Port2 : 107H Port3 : 187H	FFH	R/W

フィールド	機 能	デフォルト値
D7: OOL D6: exCMD D5: LOS D4: LOF D3: ALM D2: PFM D1: PCO D0: RFO	PICR レジスタのマスク設定。 1 にセットしたビットは、対応する PICR レジスタのビットが 1 にセットされても、PHINT_B をロウ・レベルにしなくなります。	オール 1

(9) 警告要因レジスタ (ACR)

発生した回線障害の詳細を示します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
ACR	OOF	LOP	OCD	LCD	LAIS	PAIS	LRDI	PRDI	Port0 : 008H Port1 : 088H Port2 : 108H Port3 : 188H	00H	R

フィールド	機能	デフォルト値
D7: OOF	OOF (Out Of Frame) の状態表示。 1 のとき, OOF 状態にある, あるいは, あったことを示します。	0
D6: LOP	LOP (Loss Of Pointer) の状態表示。 1 のとき, LOP 状態にある, あるいは, あったことを示します。	0
D5: OCD	OCD (Out of Cell Delineation) の状態表示。 1 のとき, OCD 状態にある, あるいは, あったことを示します。	0
D4: LCD	LCD (Loss of Cell Delineation) の状態表示。 1 のとき, LCD を検出している, あるいは検出したことを示します。	0
D3: LAIS	Line AIS 受信の状態表示。 1 のとき, Line AIS を受信している, あるいは受信していたことを示します。	0
D2: PAIS	Path AIS 受信の状態表示。 1 のとき, Path AIS を受信している, あるいは受信していたことを示します。	0
D1: LRDI	Line RDI 受信の状態表示。 1 のとき, Line RDI を受信している, あるいは受信していたことを示します。	0
D0: PRDI	Path RDI 受信の状態表示。 1 のとき, Path RDI を受信している, あるいは受信していたことを示します。	0

- 備考1.** このレジスタのうち1ビットでも1にセットされると, PICR レジスタの ALM ビットが1にセットされます。ただし, ACRM レジスタでマスクされている場合には, ALM ビットはセットされません。このレジスタのビットがオール0になると, PICR レジスタの ALM ビットも0になります。
- 2.** セットされたビットは, リードによってクリアされますが, クリア条件は ICNT レジスタの RCM ビットの設定によって異なります。**4.4.3 割り込み処理** を参照してください。

(10) 警告要因マスク・レジスタ (ACMR)

ACR レジスタのビットがセットされたことによる PICR レジスタの ALM ビットへの反映をイベントごとにマスク設定します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
ACMR	OOF	LOP	OCD	LCD	LAIS	PAIS	LRDI	PRDI	Port0 : 009H Port1 : 089H Port2 : 109H Port3 : 189H	FFH	R/W

フィールド	機能	デフォルト値
D7: OOF D6: LOP D5: OCD D4: LCD D3: LAIS D2: PAIS D1: LRDI D0: PRDI	ACR レジスタのマスク設定。 1 にセットしたビットは、対応する ACR レジスタのビットが変化しても、PICR レジスタの ALM ビットはセットされなくなります。	オール1

(11) パフォーマンス要因レジスタ (PCR)

パフォーマンス詳細要因を示します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
PCR	RAPS	0	FJ	B1E	B2E	B3E	LREI	PREI	Port0 : 00AH Port1 : 08AH Port2 : 10AH Port3 : 18AH	00H	R

フィールド	機 能	デフォルト値
D7: RAPS	APS 受信状態にあることを表示。 [μ PD98411 が APS 受信状態になる条件] μ PD98411 は、内部に受信 K1, K2 バイトのカレント値を保持するレジスタを持っており、受信する K1, K2 と毎フレーム比較しています。 オール 0 以外でカレント値と異なる K1, K2 バイトを 3 回連続して同じ値で受信した場合、APS 受信状態になり、カレント値を保持するレジスタも更新されます。このとき RAPS をセットします。 [RAPS 状態から抜ける条件] オール 0 の K1, K2 バイトを 3 回連続で受信したとき。 MDR3 の RAPSC ビットをセットしたとき。 APS 受信状態にある間、RAPS はリード・クリアされません。RAPS 状態から抜けてからリードすることでクリアされます。	0
D5: FJ	FJ (Frequency Justification) の履歴を表示。 1 のとき、FJ 動作を行ったことを示します。	0
D4: B1E	B1 エラーの履歴を表示。 1 のとき、B1 エラーを検出したことを示します。	0
D3: B2E	B2 エラーの履歴を表示。 1 のとき、B2 エラーを検出したことを示します。	0
D2: B3E	B3 エラーの履歴を表示。 1 のとき、B3 エラーを検出したことを示します。	0
D1: LREI	Line REI の履歴を表示。 1 のとき、Line REI を検出したことを示します。	0
D0: PREI	Path REI の履歴を表示。 1 のとき、Path REI を検出したことを示します。	0

備考 1. このレジスタのうち 1 ビットでも 1 にセットされると、PICR レジスタの PFM ビットが 1 にセットされます。

2. RAPS ビットは、K2 バイトを用いて伝送される Line AIS, Line RDI の警報表示フレームを受信したときも、セットされます。

(12) パフォーマンス要因マスク・レジスタ (PCMR)

PCRレジスタのビットがセットされたことによるPICRレジスタのPFMビットへの反映をイベントごとにマスクします。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
PCMR	RAPS	1	FJ	B1E	B2E	B3E	LREI	PREI	Port0 : 00BH Port1 : 08BH Port2 : 10BH Port3 : 18BH	FFH	R/W

フィールド	機能	デフォルト値
D6	このビット領域には必ず1を設定してください。	1
D7: RAPS D5: FJ D4: B1E D3: B2E D2: B3E D1: LREI D0: PREI	PCRレジスタのマスク設定。 1にセットしたビットは、対応するPCRレジスタのビットがセットされても、PICRレジスタのPFMビットはセットされなくなります。	オール1

(13) 内部警報要因マスク・レジスタ (IACM)

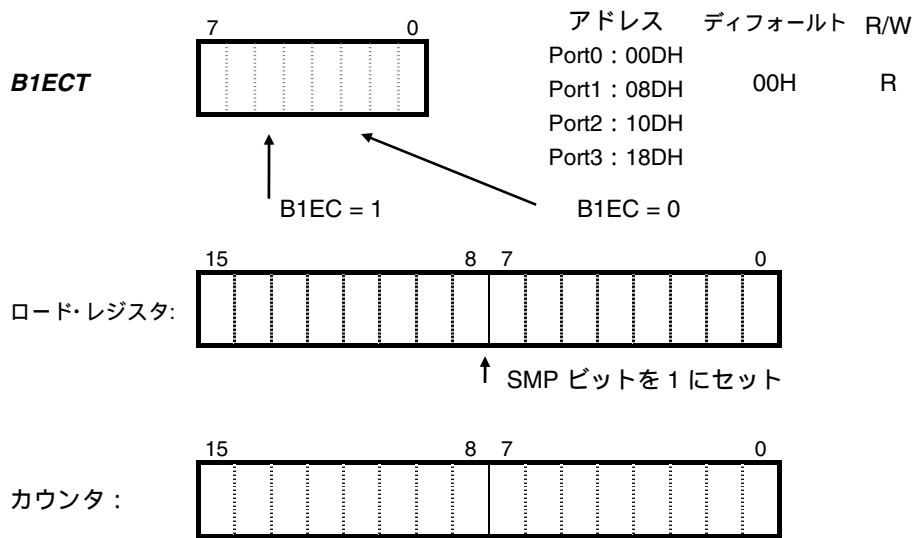
Line RDI , Path RDI の自動折り返し送信に関するマスク解除を行います。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
IACM	1	1	1	1	1	SDm	LRDI _m	PRDI _m	Port0:00CH Port1:08CH Port2:10CH Port3:18CH	FFH	R/W

フィールド	機能	デフォルト値
D7-D3	このビット領域には、常に1を設定してください。	オール1
D2 : SDm	SD端子入力によるLOS検出をマスクします。 1 : SD端子がロウ・レベルになっても、PICRレジスタのLOSビットは1にセットされません。 0 : SD端子がロウ・レベルになると、PICRレジスタのLOSビットが1にセットされます。	1
D1: LRDI _m	このビットを0にセットすると、受信側でLOS、LOF、Line AISを検出した場合に、送信側よりLine RDIを自動で折り返し送信するようになります。1にセットすると、Line RDIの折り返し送信はマスクされます。	1
D0: PRDI _m	このビットを0にセットすると、受信側でLOS、LOF、Line AIS、LOP、LCD、Path AIS)を検出した場合に、送信側よりPath RDIを自動で折り返し送信します。1にセットすると、Path RDIの折り返し送信はマスクされます。	1

(14) B1エラー・カウント・レジスタ (B1ECT)

検出した B1 エラーの累計をリードするためのレジスタです。



16 ビットの B1 エラー・カウンタの値を 8 ビットずつ、2 回に分けて読み出すためのレジスタです。カウンタ値を得るには、まず **PCSR** レジスタの **SMP** ビットを 1 にセットし、カウンタ値をロード・レジスタにいったん待避させます。このとき、カウンタは 0 クリアされます。一度ロード・レジスタに格納した値は、上書きされるまで保持されます。


それから、この B1ECT レジスタをリードすると、最初に下位 8 ビット 上位 8 ビットの順で読み出せます。次に読み出すとき、下位、上位のどちらが読み出されるかは、**PCPR1** レジスタの **B1EC** ビットに表示され、本レジスタがリードされるたびに自動的に 0 1 0 と変化し、0 が下位を、1 が上位を表します。

カウンタの値がオール F を通過すると、カウンタ・オーバフロー検出として、**PCIR1** の **B1EC** ビットを 1 にセットし、さらに **PICR** レジスタの **PCO** ビットを 1 にセットして、割り込み要因にすることができます。オール F を通過すると、カウンタはふたたび 0 からカウント・アップを続けます。

エラー・レート・モニタ機能をイネーブルにすると、**FRMN** レジスタに設定したフレーム数を受信する間に、カウンタが設定しきい値に到達するかをチェックしますが、**PCSR** レジスタの **SMP** ビットを 1 にセットすると、すべてのカウンタを 0 クリアしてしまうため、エラー・レートはチェックのやり直しになります。

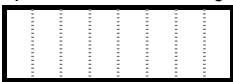
(15) B2エラー・カウンタ・レジスタ (B2ECT)

24 ビットの B2 エラー・カウンタの値を 8 ビットずつ、3 回に分けて読み出すためのレジスタです。このレジスタをリードすると、下位 8 ビット 中位 8 ビット 上位 8 ビットの順でカウント値が読み出せます。

B2ECT	7	0	アドレス	デフォルト	R/W
			Port0 : 00EH		
			Port1 : 08EH	00H	R
			Port2 : 10EH		
			Port3 : 18EH		

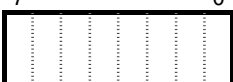
(16) B3エラー・カウンタ・レジスタ (B3ECT)

16 ビットの B3 エラー・カウンタ値を 8 ビットずつ、2 回に分けて読み出すためのレジスタです。このレジスタをリードすると、下位 8 ビット 上位 8 ビットの順で読み出せます。

B3ECT	7	0	アドレス	デフォルト	R/W
			Port0 : 00FH		
			Port1 : 08FH	00H	R
			Port2 : 10FH		
			Port3 : 18FH		

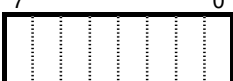
(17) Line REIカウンタ・レジスタ (LRECT)

24 ビットの Line REI のカウンタ値を 8 ビットずつ、3 回に分けて読み出すためのレジスタです。このレジスタをリードすると、下位 8 ビット 中位 8 ビット 上位 8 ビットの順で読み出せます。

LRECT	7	0	アドレス	デフォルト	R/W
			Port0 : 010H		
			Port1 : 090H	00H	R
			Port2 : 110H		
			Port3 : 190H		


(18) Path REIカウンタ・レジスタ (PRECT)

16 ビットの Path REI カウンタ値を 8 ビットずつ、2 回に分けて読み出すためのレジスタです。このレジスタをリードすると、下位 8 ビット 上位 8 ビットの順で読み出せます。

PRECT	7	0	アドレス	デフォルト	R/W
			Port0 : 011H		
			Port1 : 091H	00H	R
			Port2 : 111H		
			Port3 : 191H		

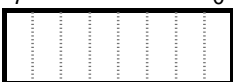
(19) Frequency Justificationカウンタ・レジスタ (FJCT)

16 ビットの Frequency Justification 動作カウンタ値を 8 ビットずつ、2 回に分けて読み出すためのレジスタです。このレジスタをリードすると、下位 8 ビット 上位 8 ビットの順で読み出せます。

FJCT	7	0	アドレス	デフォルト	R/W
			Port0 : 012H		
			Port1 : 092H	00H	R
			Port2 : 112H		
			Port3 : 192H		

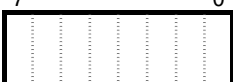
(20) HECエラー・カウンタ・レジスタ (HECCT)

HEC エラー検出により廃棄されたセル数を累計する、24 ビットのカウンタ値を、8 ビットずつ 3 回に分けて読み出すためのレジスタです。このレジスタをリードすると、下位 8 ビット 中位 8 ビット 上位 8 ビットの順で読み出せます。

HECCT	7	0	アドレス	デフォルト	R/W
			Port0 : 013H		
			Port1 : 093H	00H	R
			Port2 : 113H		
			Port3 : 193H		

(21) FIFOフル・カウンタ・レジスタ (FULCT)


受信 FIFO オーバランにより廃棄されたセル数を累計する、24 ビットのカウンタ値を、8 ビットずつ 3 回に分けて読み出すためのレジスタです。このレジスタをリードすると、下位 8 ビット 中位 8 ビット 上位 8 ビットの順で読み出せます。

FULCT	7	0	アドレス	デフォルト	R/W
			Port0 : 014H		
			Port1 : 094H	00H	R
			Port2 : 114H		
			Port3 : 194H		

(22) アイドル・セル(空きセル) カウント・レジスタ (IDLCT)

受信したアイドル・セル数を累計する 24 ビットのカウンタ値を、8 ビットずつ 3 回に分けて読み出すためのレジスタです。このレジスタをリードすると、下位 8 ビット 中位 8 ビット 上位 8 ビットの順で読み出せます。


DCHPR レジスタで、アンアサインド・セルを廃棄するモードに設定したとき、廃棄されたアンアサインド・セルもカウントに含まれます。

IDLCT	7	0	アドレス	デフォルト	R/W
			Port0 : 015H		
			Port1 : 095H	00H	R
			Port2 : 115H		
			Port3 : 195H		

(23) インフォメーション・セル・カウント・レジスタ (INFCT)

正常に受信し、UTOPIA インタフェースを介して転送した有効セルを累計する 24 ビットのカウンタ値を、8 ビットずつ 3 回に分けて読み出すためのレジスタです。このレジスタをリードすると、下位 8 ビット 中位 8 ビット 上位 8 ビットの順で読み出せます。

DCHPR レジスタでアンアサインド・セルが廃棄されないモードとなっているとき、受信するアンアサインド・セル数もカウントに含まれます。

INFCT	7	0	アドレス	デフォルト	R/W
			Port0 : 016H		
			Port1 : 096H	00H	R
			Port2 : 116H		
			Port3 : 196H		

(24) リザーブ領域

- アドレス 017H -018H , 097H-116H , 117H-118H , 196H-197H
- この領域にリード/ライトを行わないでください。

(25) パフォーマンス・カウンタ・ポイント・レジスタ 1 (PCPR1)

カウンタ・レジスタをリードしたとき、次に読み出されるのはカウンタのどのバイト位置かを表示します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
PCPR1	B1EC	B2EC1	B2EC0	B3EC	LREC1	LREC0	PREC	FJC	Port0 : 019H Port1 : 099H Port2 : 119H Port3 : 199H	00H	R

フィールド	機 能	デフォルト値								
D7: B1EC	次に B1 エラー・カウンタのどの部分が読み出されるかを表示します。	0								
	1 次に上位 8 ビットが読み出されます。									
	0 次に下位 8 ビットが読み出されます。									
D6: B2EC1 D5: B2EC0	次に B2 エラー・カウンタのどの部分が読み出されるかを表示します。	00								
	<table border="1" style="width: 100%; text-align: center;"> <tr> <td>B2EC[1:0]</td> <td>次に読み出される部分</td> </tr> <tr> <td>00</td> <td>下位 8 ビット</td> </tr> <tr> <td>01</td> <td>中位 8 ビット</td> </tr> <tr> <td>10</td> <td>上位 8 ビット</td> </tr> </table>		B2EC[1:0]	次に読み出される部分	00	下位 8 ビット	01	中位 8 ビット	10	上位 8 ビット
	B2EC[1:0]		次に読み出される部分							
	00		下位 8 ビット							
	01		中位 8 ビット							
10	上位 8 ビット									
D4: B3EC	次に B3 エラー・カウンタのどの部分が読み出されるかを表示します。	0								
	1 次に上位 8 ビットが読み出されます。									
	0 次に下位 8 ビットが読み出されます。									
D3: LREC1 D2: LREC0	次に Line REI カウンタのどの部分が読み出されるかを表示します。	00								
	<table border="1" style="width: 100%; text-align: center;"> <tr> <td>LREC[1:0]</td> <td>次に読み出される部分</td> </tr> <tr> <td>00</td> <td>下位 8 ビット</td> </tr> <tr> <td>01</td> <td>中位 8 ビット</td> </tr> <tr> <td>10</td> <td>上位 8 ビット</td> </tr> </table>		LREC[1:0]	次に読み出される部分	00	下位 8 ビット	01	中位 8 ビット	10	上位 8 ビット
	LREC[1:0]		次に読み出される部分							
	00		下位 8 ビット							
	01		中位 8 ビット							
10	上位 8 ビット									
D1: PREC	次に Path REI カウンタのどの部分が読み出されるかを表示します。	0								
	1 次に上位 8 ビットが読み出されます。									
	0 次に下位 8 ビットが読み出されます。									
D0: FJC	次に FJ カウンタのどの部分が読み出されるかを表示します。	0								
	1 次に上位 8 ビットが読み出されます。									
	0 次に下位 8 ビットが読み出されます。									

(26) パフォーマンス・カウンタ・ポイント・レジスタ 2 (PCPR2)

各ウィンドウ・レジスタに対応して、次に読み出されるのはロード・レジスタのどのバイトかを表示します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
PCPR2	HECC1	HECC0	FULC1	FULC0	IDLC1	IDLC0	INFC1	INFC0	Port0 : 01AH Port1 : 09AH Port2 : 11AH Port3 : 19AH	00H	R

フィールド	機能	デフォルト値
D7: HECC1 D6: HECC0	次に HEC カウンタ (HECCT レジスタ) をリードすると、24 ビット・カウンタのうち、どの部分が読み出されるかを表示します。 00 : 下位 8 ビット[23:16] 01 : 中位 8 ビット[15:8] 10 : 上位 8 ビット[7:0]	00
D5: FULC1 D4: FULC0	次に FIFO フル・カウンタ (FULCT レジスタ) をリードすると、24 ビット・カウンタのうち、どの部分が読み出されるかを表示します。 00 : 下位 8 ビット[23:16] 01 : 中位 8 ビット[15:8] 10 : 上位 8 ビット[7:0]	00
D3: IDLC1 D2: IDLC0	次にアイドル・セル・カウンタ (IDLCT レジスタ) をリードすると、24 ビット・カウンタのうち、どの部分が読み出されるかを表示します。 00 : 下位 8 ビット[23:16] 01 : 中位 8 ビット[15:8] 10 : 上位 8 ビット[7:0]	00
D1: INFC1 D0: INFC0	次にインフォメーション・セル・カウンタ (INFCT レジスタ) をリードすると、24 ビット・カウンタのうち、どの部分が読み出されるかを表示します。 00 : 下位 8 ビット[23:16] 01 : 中位 8 ビット[15:8] 10 : 上位 8 ビット[7:0]	00

(27) パフォーマンス・カウンタ・サンプル・レジスタ (PCSR)

パフォーマンス・カウンタのサンプル・タイミングを設定します。SMP ビットに 1 をセットすると、全カウンタの値が、対応した各ロード・レジスタに格納され、カウンタ値は 0 クリアされます。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
PCSR	0	0	0	0	0	0	0	SMP	Port0 : 01BH Port1 : 09BH Port2 : 11BH Port3 : 19BH	00H	R/W

フィールド	機能	デフォルト値
D7-D1	このビット領域には必ず 0 を設定してください。	オール 0
D0: SMP	1 にセットすると、すべてのカウンタの内容をそれぞれのロード・レジスタに格納します。このとき、同時にすべてのカウンタを 0 クリアします。 セットしたビットは、格納後、自動で 0 に戻ります。 エラー・レート・モニタ機能を使用しているとき、このビットを 1 にセットすると、カウンタを 0 クリアしてしまうため、正常にエラー・レートを調べることができなくなります。	0

(28) パフォーマンス・カウンタ初期化レジスタ 1 (PCIR1)

パフォーマンス・カウンタごとの初期化を指示するレジスタです。カウンタ、およびロード・レジスタを 0 クリアします。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
PCIR1	0	0	B1EC	B2EC	B3EC	LREC	PREC	FJC	Port0 : 01CH Port1 : 09CH Port2 : 11CH Port3 : 19CH	00H	R/W

フィールド	機能	デフォルト値
D7, D6	このビット領域には必ず 0 を設定してください。	00
D5: B1EC D4: B2EC D3: B3EC D2: LREC D1: PREC D0: FJC	1 をセットすると、カウンタとそのロード・レジスタを 0 クリアします。 セットしたビットは、0 クリア後自動で 0 に戻ります。	オール 0

(29) パフォーマンス・カウンタ初期化レジスタ 2 (PCIR2)

パフォーマンス・カウンタごとの初期化を指示するレジスタです。カウンタ，およびロード・レジスタを 0 クリアします。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
PCIR2	0	0	0	0	HECC	FULC	IDLC	INFC	Port0 : 01DH Port1 : 09DH Port2 : 11DH Port3 : 19DH	00H	R/W

フィールド	機 能	デフォルト値
D7-D4	このビット領域には必ず 0 を設定してください。	オール 0
D3: HECC D2: FULC D1: IDLC D0: INFC	1 にセットすると，カウンタとそのロード・レジスタを 0 クリアします。 セットされたビットは，0 クリア後自動で 0 に戻ります。	オール 0

(30) パフォーマンス・カウンタ停止レジスタ 1 (PCFR1)

すべてのカウンタは，電源立ち上げ後のデフォルト状態ではディスエーブルになっています。本レジスタに設定することで使用するカウンタをイネーブルにします。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
PCFR1	1	1	B1EC	B2EC	B3EC	LREC	PREC	FJC	Port0 : 01EH Port1 : 09EH Port2 : 11EH Port3 : 19EH	FFH	R/W

フィールド	機 能	デフォルト値
D7, D6	このビット領域には必ず 1 を設定してください。	オール 1
D5: B1EC D4: B2EC D3: B3EC D2: LREC D1: PREC D0: FJC	カウンタのイネーブル/ディスエーブルを制御します。 0 : イネーブルになり，カウント動作を開始します。 1 : ディスエーブルになり，カウント動作を停止。	オール 1

(31) パフォーマンス・カウンタ停止レジスタ 2 (PCFR2)

すべてのカウンタは、電源立ち上げ後のデフォルト状態ではディスエーブルになっています。本レジスタに設定することで使用するカウンタをイネーブルにします。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
PCFR2	1	1	1	1	HECC	FULC	IDLC	INFC	Port0 : 01FH Port1 : 09FH Port2 : 11FH Port3 : 19FH	FFH	R/W

フィールド	機 能	デフォルト値
D7-D4	このビット領域には必ず 1 を設定してください。	オール 1
D3: HECC D2: FULC D1: IDLC D0: INFC	カウンタのイネーブル / ディスエーブルを制御します。 0 : イネーブルになり、カウント動作を開始します。 1 : ディスエーブルになり、カウント動作を停止します。	オール 1

(32) パフォーマンス・カウンタ・オーバフロー要因レジスタ 1 (PCOCR1)

パフォーマンス・カウンタがオール F を通過したとき、また、エラー・レート・モニタ機能のイネーブルのときにはカウンタ値が設定しきい値に到達したことを通知します。このレジスタのビットのうち 1 つでも 1 にセットされると、PICR レジスタの PCO ビットがセットされます。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
PCOCR1	0	0	B1EC	B2EC	B3EC	LREC	PREC	FJC	Port0 : 020H Port1 : 0A0H Port2 : 120H Port3 : 1A0H	00H	R

フィールド	機 能	デフォルト値
D5: B1EC D4: B2EC D3: B3EC D2: LREC D1: PREC D0: FJC	このビットのセットは、カウンタがオール F を通過したことを示します。 エラー・レート・モニタ機能のイネーブル時には、FRMN レジスタに設定したフレーム数内にカウンタがそれぞれの設定しきい値 (B1THR レジスタなど) に到達したことを示します。 このレジスタのビットのうち 1 つでも 1 にセットされると、PICR の PCO ビットがセットされます。ただし、PCOMR1 レジスタでマスク設定されているビットの場合は、セットされても PCO ビットはセットされません。 このレジスタは、リードすることにより 0 クリアされます。	オール 0

(33) パフォーマンス・カウンタ・オーバフロー要因レジスタ 2 (PCOCR2)

パフォーマンス・カウンタがオール F を通過したことを通知します。このレジスタのビットのうち 1 つでも 1 にセットされると、PICR レジスタの PCO ビットがセットされます。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
PCOCR2	Z2_6	Z2_12	0	0	HECC	FULC	IDLC	INFC	Port0 : 021H Port1 : 0A1H Port2 : 121H Port3 : 1A1H	00H	R

フィールド	機 能	デフォルト値
D7: Z2_6	このビットのセットは、Z2_6 レジスタが更新されたことを示します。MDR2 レジスタの MGM ビット = 1 の場合にのみ有効になるビットです。	0
D6: Z2_12	このビットのセットは、Z2_12 レジスタが更新されたことを示します。MDR2 レジスタの MGM ビット = 1 の場合にのみ有効になるビットです。	0
D3: HECC D2: FULC D1: IDLC D0: INFC	このビットのセットは、対応するカウンタがオール F を通過したことを示します。このレジスタのビットのうち 1 つでも 1 にセットされると、PICR の PCO ビットがセットされます。ただし、PCOMR1 レジスタでマスク設定されているビットの場合は、セットされても PCO ビットはセットされません。このレジスタは、リードすることにより 0 クリアされます。	オール 0

(34) パフォーマンス・カウンタ・オーバフロー・マスク・レジスタ 1 (PCOMR1)

PCOCR1 レジスタのビットセットによる PICR レジスタの PCO ビットへの反映をマスクします。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
PCOMR1	1	1	B1EC	B2EC	B3EC	LREC	PREC	FJC	Port0 : 022H Port1 : 0A2H Port2 : 122H Port3 : 1A2H	FFH	R/W

フィールド	機 能	デフォルト値
D7, D6	このビット領域には必ず 1 を設定してください。	オール 1
D5: B1EC D4: B2EC D3: B3EC D2: LREC D1: PREC D0: FJC	1 にセットすると、対応する PCOCR1 レジスタのビットがセットされても PICR レジスタの PCO ビットは 1 にセットされません。	オール 1

(35) パフォーマンス・カウンタ・オーバフロー・マスク・レジスタ 2 (PCOMR2)

PCOMR2 レジスタのビットセットによる PICR レジスタの PCO ビットへの反映をマスクします。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
PCOMR2	Z2_6m	Z2_12m	1	1	HECC	FULC	IDLC	INFC	Port0 : 023H	FFH	R/W
									Port1 : 0A3H		
									Port2 : 123H		
									Port3 : 1A3H		

フィールド	機能	デフォルト値
D7: Z2_6m D6: Z2_12m	1 にセットすると、対応する PCOCR2 レジスタのビットがセットされても PICR レジスタの PCO ビットは 1 にセットされません。 MDR2 レジスタの MGM ビット = 1 の場合にのみ有効になるビットです。	オール 1
D5, D4	このビット領域には常に 1 を設定してください。	
D3: HECC D2: FULC D1: IDLC D0: INFC	1 にセットすると、対応する PCOCR2 レジスタのビットがセットされても PICR レジスタの PCO ビットは 1 にセットされません。	オール 1

(36) PALM 端子設定レジスタ (AMPR)

PALM[2:0]の 3 端子のうち、これから AMR1 と AMR2 レジスタにセットする PALM 端子を選択するレジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
AMPR	0	0	0	0	0	0	AMP1	AMP0	Port0 : 024H	00H	R/W
									Port1 : 0A4H		
									Port2 : 124H		
									Port3 : 1A4H		

フィールド	機能	デフォルト値								
D7-D2	このビット領域には必ず 0 を設定してください。	オール 0								
D1: AMP1 D0: AMP0	PALM2, PALM1, PALM0 のうち、これから AMR1, AMR2 レジスタに設定する端子を指定。 <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 15%;">AMP[1:0]</th> <th style="width: 85%;">選択される PALM 端子</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>PALM0 出力端子が選択されます。</td> </tr> <tr> <td>01</td> <td>PALM1 出力端子が選択されます。</td> </tr> <tr> <td>1X</td> <td>PALM2 出力端子が選択されます。</td> </tr> </tbody> </table>	AMP[1:0]	選択される PALM 端子	00	PALM0 出力端子が選択されます。	01	PALM1 出力端子が選択されます。	1X	PALM2 出力端子が選択されます。	00
AMP[1:0]	選択される PALM 端子									
00	PALM0 出力端子が選択されます。									
01	PALM1 出力端子が選択されます。									
1X	PALM2 出力端子が選択されます。									

(37) 出力警報マスク・レジスタ1 (AMR1)

AMPR レジスタに指定された PALM 端子が，出力する警報またはエラーを選択します。このレジスタでマスク解除されたイベントを検出すると，PALM 端子の出力信号をハイ・レベルにして周辺デバイスに通知します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
AMR1	OOL	exCMD	LOS	OOF	LOF	LOP	OCD	LCD	Port0 : 025H Port1 : 0A5H Port2 : 125H Port3 : 1A5H	FFH	R/W

フィールド	機能	デフォルト値
D7: OOL D6: exCMD D5: LOS D4: OOF D3: LOF D2: LOP D1: OCD D0: LCD	0 に設定されたビットにあたるイベントを検出すると，そのイベントの検出状態の間，PALM 端子をハイ・レベルにします。複数のビットを 0 にすると，それらのイベントを OR して出力します。	オール 1

(38) 出力警告マスク・レジスタ2 (AMR2)

AMPR レジスタに指定された PALM 端子が，出力する警報またはエラーを選択します。このレジスタでマスク解除されたイベントを検出すると，PALM 端子の出力信号をハイ・レベルにして周辺デバイスに通知します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
AMR2	CMD1	CMD2	CMD3	RAPS	LAIS	PAIS	LRDI	PRDI	Port0 : 026H Port1 : 0A6H Port2 : 126H Port3 : 1A6H	FFH	R/W

フィールド	機能	デフォルト値
D7: CMD1 D6: CMD2 D5: CMD3 D4: RAPS D3: LAIS D2: PAIS D1: LRDI D0: PRDI	0 に設定されたビットにあたるイベントを検出すると，そのイベントの検出状態の間，PALM 端子をハイ・レベルにします。複数のビットを 0 にすると，それらのイベントを OR して出力します。	オール 1

(39) ドロップ・セル・ヘッダ・パターン・レジスタ (DCHPR)

廃棄する無効セルの設定を行います。アイドル・セルのみか、あるいはアイドル・セルとアンアサインド・セルをとともに廃棄するかを選択できます。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
DCHPR	GFC3	GFC2	GFC1	GFC0	PTI2	PTI1	PTI0	CLP	Port0 : 027H Port1 : 0A7H Port2 : 127H Port3 : 1A7H	01H	R/W

フィールド	機能	デフォルト値
D7:GFC3 D6:GFC2 D5:GFC1 D4:GFC0 D3:PTI2 D2:PTI1 D1:PTI0 D0:CLP	μPD98411 は、抽出した受信セルを受信 FIFO に格納する前にセル・ヘッダのパターンをチェックします。VPI/VCI フィールドがオール 0 のセルは、他のヘッダ・フィールドをこのレジスタの設定値と比較します。このレジスタの設定と一致した場合には、そのセルは受信 FIFO に格納されることなく廃棄されます。	01H

(40) ドロップ・セル・ヘッダ・パターン・マスク・レジスタ (DCHPMR)

DCHPR レジスタのマスク設定をします。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
DCHPMR	GFC3	GFC2	GFC1	GFC0	PTI2	PTI1	PTI0	CLP	Port0 : 028H Port1 : 0A8H Port2 : 128H Port3 : 1A8H	FFH	R/W

フィールド	機能	デフォルト値
D7:GFC3 D6:GFC2 D5:GFC1 D4:GFC0 D3:PTI2 D2:PTI1 D1:PTI0 D0:CLP	このレジスタのビットを 1 にセットされると、対応する DCHPR レジスタのビットと、VPI/VCI フィールドがオール 0 の受信セルの各ビットに対応するフィールドとを比較しません。0 がセットされているビット領域のみ比較します。	オール 1

DCHPR レジスタの設定例

DCHPR CLP ビット	DCHPMR CLP ビット	廃棄セル
1	0	アイドル・セル (デフォルト)
0	0	アンアサインド・セル
X	1	アイドル・セル&アンアサインド・セル

(41) PHY ID レジスタ (PHYIDR)

UTOPIA インタフェースにおいて、ポートを選択するためのポート・アドレス5ビットと、アドレス・デコードのイネーブルを設定します。ポート・アドレスは、送受信の UTOPIA インタフェースの両方に共通です。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
PHYIDR	ENB	0	0	ID4	ID3	ID2	ID1	ID0	Port0 : 029H Port1 : 0A9H Port2 : 129H Port3 : 1A9H	01H	R/W

フィールド	機能	デフォルト値
D7:ENB	アドレス・デコードのイネーブル・ビット。 このビットを1にセットすると、ポートは、TADD、RADD 上の信号と ID4-ID0 をベリファイし始めます。	0
D6, D5	このビット領域には必ず0を設定してください。	オール0
D4-D0: ID4-ID0	ポートの送受 UTOPIA インタフェースで用いる5ビット・アドレスを設定します。ただし、アドレス値に“1FH”は設定できません。	00001

(42) 受信 J0 ドロップ・レジスタ (J0R)

受信側 SOH (Section Overhead) の J0 バイトを格納するレジスタです。

フレーム受信ごとに更新します。OOF 状態のときは、更新しません。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
J0R									Port0 : 02AH Port1 : 0AAH Port2 : 12AH Port3 : 1AAH	00H	R

(43) 受信 Z0 ドロップ・レジスタ (Z0#1R)

受信側 SOH の 1st Z0 バイトを格納するレジスタです。

フレーム受信ごとに更新します。OOF 状態のときは、更新しません。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
Z0#1R									Port0 : 02BH Port1 : 0ABH Port2 : 12BH Port3 : 1ABH	00H	R

(44) 受信 2nd Z0 ドロップ・レジスタ (Z0#2R)

受信側 SOH の 2nd Z0 バイトを格納するレジスタです。

フレーム受信ごとに更新します。OOF 状態のときは、更新しません。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
Z0#2R									Port0 : 02CH Port1 : 0ACH Port2 : 12CH Port3 : 1ACH	00H	R

(45) 受信 F1 ドロップ・レジスタ (F1R)

受信側 SOH の F1 バイト・データを格納するレジスタです。

フレーム受信ごとに更新します。OOF 状態のときは、更新しません。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
F1R									Port0 : 02DH Port1 : 0ADH Port2 : 12DH Port3 : 1ADH	00H	R

(46) 受信 K1 ドロップ・レジスタ (K1R)

受信側の LOH (Line Overhead) の K1 バイト・データを格納するレジスタです。

フレーム受信ごとに更新します。OOF 状態のときは、更新しません。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
K1R									Port0 : 02EH Port1 : 0AEH Port2 : 12EH Port3 : 1AEH	00H	R

(47) 受信 K2 ドロップ・レジスタ (K2R)

受信側の LOH の K2 バイト・データを格納するレジスタです。

フレーム受信ごとに更新します。OOF 状態のときは、更新しません。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
K2R									Port0 : 02FH Port1 : 0AFH Port2 : 12FH Port3 : 1AFH	00H	R

(48) 受信 C2 ドロップ・レジスタ (C2R)

受信側 POH (Path Overhead) の C2 バイト・データを格納するレジスタです。
 フレーム受信ごとに更新します。OOF, LOP, Path AIS 状態のときは、更新しません。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
C2R									Port0 : 030H	00H	R
									Port1 : 0B0H		
									Port2 : 130H		
									Port3 : 1B0H		

(49) 受信 F2 ドロップ・レジスタ (F2R)

受信側 POH (Path Overhead) の F2 バイト・データを格納するレジスタです。
 フレーム受信ごとに更新します。OOF, LOP, Path AIS 状態のときは、更新しません。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
F2R									Port0 : 031H	00H	R
									Port1 : 0B1H		
									Port2 : 131H		
									Port3 : 1B1H		

(50) 受信 H4 ドロップ・レジスタ (H4R)

受信側 POH (Path Overhead) の H4 バイト・データを格納するレジスタです。
 フレーム受信ごとに更新します。OOF, LOP, Path AIS 状態のときは、更新しません。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
H4R									Port0 : 032H	00H	R
									Port1 : 0B2H		
									Port2 : 132H		
									Port3 : 1B2H		

(51) 送信 J0 インサート・レジスタ (J0T)

送信側 SOH (Section Overhead) の J0 バイトを設定するレジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
J0T									Port0 : 033H	01H	R/W
									Port1 : 0B3H		
									Port2 : 133H		
									Port3 : 1B3H		

(52) 送信 1st Z0 インサート・レジスタ (Z0#1T)

送信側 SOH (Section Overhead) の 1st Z0 バイトを設定するレジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
Z0#1T									Port0 : 034H Port1 : 0B4H Port2 : 134H Port3 : 1B4H	02H	R/W

(53) 送信 2nd Z0 インサート・レジスタ (Z0#2T)

送信側 SOH (Section Overhead) の 2nd Z0 バイトを設定するレジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
Z0#2T									Port0 : 035H Port1 : 0B5H Port2 : 135H Port3 : 1B5H	03H	R/W

(54) 送信 F1 インサート・レジスタ (F1T)

送信側 SOH (Section Overhead) の F1 データを設定するレジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
F1T									Port0 : 036H Port1 : 0B6H Port2 : 136H Port3 : 1B6H	00H	R/W

(55) 送信 K1 インサート・レジスタ (K1T)

送信側 LOH (Line Overhead) の K1 データを設定するレジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
K1T									Port0 : 037H	00H	R/W
									Port1 : 0B7H		
									Port2 : 137H		
									Port3 : 1B7H		

- K1T レジスタの設定, 変更後に CMR1 レジスタの TAPS ビットに 1 をセットすることで, 送信オーバーヘッドの K1 バイト位置にレジスタ値を挿入します。
- TAPS に 0 をライトすることで, レジスタ値を送信オーバーヘッドのバイト位置に挿入することを停止します。

(56) 送信 K2 インサート・レジスタ (K2T)

送信側 LOH (Line Overhead) の K2 データを設定するレジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
K2T									Port0 : 038H	00H	R/W
									Port1 : 0B8H		
									Port2 : 138H		
									Port3 : 1B8H		

- K2T レジスタの設定, 変更後に CMR1 レジスタの TAPS ビットに 1 をセットすることで送信オーバーヘッドの K2 バイト位置にレジスタ値を挿入します。
- TAPS に 0 をライトすることで, レジスタ値を送信オーバーヘッドのバイト位置に挿入することを停止します。
- Line AIS, Line RDI フレームの送出コマンドと, TAPS ビットを同時に CMR1 レジスタに設定した場合, TAPS の設定が優先され, 送信オーバーヘッドの K2 バイトには K2T レジスタの設定が送出されます。

(57) 送信 C2 インサート・レジスタ (C2T)

送信側 POH (Path Overhead) C2 バイトを設定するレジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
C2T									Port0 : 039H	13H	R/W
									Port1 : 0B9H		
									Port2 : 139H		
									Port3 : 1B9H		

(58) 送信 F2 インサート・レジスタ (F2T)

送信側 POH (Path Overhead) の F2 バイトを設定するレジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
F2T									Port0 : 03AH Port1 : 0BAH Port2 : 13AH Port3 : 1BAH	00H	R/W

(59) 送信 H4 インサート・レジスタ (H4T)

送信側 POH (Path Overhead) の H4 バイトを設定するレジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
H4T									Port0 : 03BH Port1 : 0BBH Port2 : 13BH Port3 : 1BBH	00H	R/W

(60) リザーブ領域

- アドレス 03CH-03EH , 0BCH-0BEH , 13CH-13EH , 1BCH-1BEH
- この領域にリード / ライトを行わないでください。

(61) バージョン・レジスタ (VERR)

この LSI のバージョン・ネームを格納します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
VERR	0	0	0	0	0	VER2	VER1	VER0	Port0 : 03FH Port1 : 0BFH Port2 : 13FH Port3 : 1BFH	XXH	R

フィールド	機能	デフォルト値
D2-D0: VER2-VER0	本 LSI のバージョンを表します。	X

(62) 受信 1st Z2 ドロップ・レジスタ (Z2#1R, Z2_6R)

受信側 SOH (Section Overhead) の 1st Z2 バイトを格納するレジスタです。

MDR2 レジスタの D7:MGM = 0 のときは, Z2#1R レジスタとして機能します。フレーム受信ごとに受信 Z2#1 バイトを格納し更新します。OOF 状態のときは, 更新しません。

MGM = 1 のときは, Z2_6R レジスタとして機能します。受信 1st Z2 バイトの bit6, bit7 の 2 ビットを監視し, この 2 ビットが変化してから, 6 回連続して同じ値を受信したときに, 受信 1st Z2 バイトを格納し更新します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
Z2#1R (Z2_6R)									Port0 : 040H Port1 : 0C0H Port2 : 140H Port3 : 1C0H	00H	R

(63) 受信 E1 ドロップ・レジスタ (E1R)

受信側 SOH (Section Overhead) の E1 バイトを格納するレジスタです。

フレーム受信ごとに更新します。OOF 状態のときは, 更新しません。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
E1R									Port0 : 041H Port1 : 0C1H Port2 : 141H Port3 : 1C1H	00H	R

(64) 受信 1st H1 - 3rd H1 ドロップ・レジスタ (H1R)

受信オーバヘッドの 1st H1 バイト - 3rd H1 バイトを格納するレジスタです。

フレーム受信ごとに更新します。OOF 状態のときは, 更新しません。

3 回リードを繰り返すことにより, 1st H1 2nd H1 3rd H1 の順で値を得ることができます。次にリードすると, どのバイトが得られるかは, ROHPR1 レジスタの H1r1, H1r0 ビットに示します。また, ROHPL レジスタの H1L ビットを 1 にセットすることによって, リードするバイト位置を固定することができます。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
H1R									Port0 : 042H Port1 : 0C2H Port2 : 142H Port3 : 1C2H	00H	R

(65) 受信 1st H2 - 3rd H2 ドロップ・レジスタ (H2R)

受信オーバーヘッドの 1st H2 バイト - 3rd H2 バイトを格納するレジスタです。

フレーム受信ごとに更新します。OOF 状態のときは、更新しません。

3 回繰り返してリードすることにより、1st H2 2nd H2 3rd H2 の順で値を得ることができます。次にリードすると、どのバイトが得られるかは、ROHPR1 レジスタの H2r1, H2r0 ビットに示します。また、ROHPL レジスタの H2L ビットを 1 にセットすることによって、リードするバイト位置を固定することができます。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
H2R									Port0 : 043H Port1 : 0C3H Port2 : 143H Port3 : 1C3H	00H	R

(66) 受信 1st H3 - 3rd H3 ドロップ・レジスタ (H3R)

受信オーバーヘッドの 1st H3 バイト - 3rd H3 バイトを格納するレジスタです。

フレーム受信ごとに更新します。OOF 状態のときは、更新しません。

3 回繰り返してリードすることにより、1st H3 2nd H3 3rd H3 の順で値を得ることができます。次にリードすると、どのバイトが得られるかは、ROHPR1 レジスタの H3r1, H3r0 ビットに示します。また、ROHPL レジスタの H3L ビットを 1 にセットすることによって、リードするバイト位置を固定することができます。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
H3R									Port0 : 044H Port1 : 0C4H Port2 : 144H Port3 : 1C4H	00H	R

(67) 受信 1st B2 - 3rd B2 ドロップ・レジスタ (B2R)

受信側 LOH (Line Overhead) の 1st B2 バイト - 3rd B2 バイトを格納するレジスタです。

フレーム受信ごとに更新します。OOF 状態のときは、更新しません。

3 回繰り返してリードすることにより、1st B2 2nd B2 3rd B2 の順で値を得ることができます。次にリードすると、どのバイトが得られるかは、ROHPR1 レジスタの B2r1, B2r0 ビットに示します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
B2R									Port0 : 045H Port1 : 0C5H Port2 : 145H Port3 : 1C5H	00H	R

(68) 受信 S1 ドロップ・レジスタ (S1R)

受信側 LOH (Line Overhead) の S1 バイトを格納するレジスタです。

フレーム受信ごとに更新します。OOF 状態のときは、更新しません。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
S1R									Port0 : 046H	00H	R
									Port1 : 0C6H		
									Port2 : 146H		
									Port3 : 1C6H		

(69) 受信 M1 ドロップ・レジスタ (M1R)

受信側 LOH (Line Overhead) の M1 バイトを格納するレジスタです。

フレーム受信ごとに更新します。OOF 状態のときは、更新しません。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
M1R									Port0 : 047H	00H	R
									Port1 : 0C7H		
									Port2 : 147H		
									Port3 : 1C7H		

(70) 受信 E2 ドロップ・レジスタ (E2R)

受信側 LOH (Line Overhead) の E2 バイトを格納するレジスタです。

フレーム受信ごとに更新します。OOF 状態のときは、更新しません。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
E2R									Port0 : 048H	00H	R
									Port1 : 0C8H		
									Port2 : 148H		
									Port3 : 1C8H		

(71) 受信 J1 ドロップ・レジスタ (J1R)

受信側 POH (Path Overhead) の J1 バイトを格納するレジスタです。

フレーム受信ごとに更新します。OOF, LOP, Path AIS 状態のときは、更新しません。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
J1R									Port0 : 049H	00H	R
									Port1 : 0C9H		
									Port2 : 149H		
									Port3 : 1C9H		

(72) 受信 B3 ドロップ・レジスタ (B3R, Z2#_12R)

受信側 POH (Path Overhead) の B3 バイト, またはを 1st Z2 バイトを格納するレジスタです。

MDR2 レジスタの D7:MGM = 0 のときは, B3 レジスタとして機能します。フレーム受信ごとに受信 B3 バイトを格納し更新します。OOF, LOP, Path AIS 状態のときは, 更新しません。

MGM = 1 のときは, Z2#_12R レジスタとして機能します。受信 1st Z2 バイトの bit7, bit8 の 2 ビットを監視し, この 2 ビットが変化してから, 12 回連続して同じ値を受信したときに, 受信 1st Z2 バイトを格納し更新します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
B3R (Z2#_12R)									Port0 : 04AH Port1 : 0CAH Port2 : 14AH Port3 : 1CAH	00H	R

(73) 受信 G1 ドロップ・レジスタ (G1R)

受信側 POH (Path Overhead) の G1 バイトを格納する 8 ビット・レジスタです。

フレーム受信ごとに更新します。OOF, LOP, Path AIS 状態のときは, 更新しません。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
G1R									Port0 : 04BH Port1 : 0CBH Port2 : 14BH Port3 : 1CBH	00H	R

(74) 受信 D1-D3 ドロップ・レジスタ (DsecR)

受信側 SOH (Section Overhead) の D1-D3 バイトを格納するレジスタです。

フレーム受信ごとに更新します。OOF 状態のときは, 更新しません。

繰り返しリードすることによって D1 D2 D3 の順で値を得られます。次にリードすると, どのバイトが得られるかは, ROHPR2 レジスタの Dsr1, Dsr0 ビットに示します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
DsecR									Port0 : 04CH Port1 : 0CCH Port2 : 14CH Port3 : 1CCH	00H	R

(75) 受信 D4-D12 ドロップ・レジスタ (DlineR)

受信側 LOH (Line Overhead) の D4-D12 バイトを格納するレジスタです。

フレーム受信ごとに更新します。OOF 状態のときは、更新しません。

繰り返しリードすることによって D4 D5 …… D11, D12 データの順で値を得られます。次にリードすると、どのバイトが得られるかは、ROHPR2 レジスタの DLr3-DLr0 ビットに示します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
DlineR									Port0 : 04DH Port1 : 0CDH Port2 : 14DH Port3 : 1CDH	00H	R

(76) 受信 Z3, Z4, Z5 ドロップ・レジスタ (Z345R)

受信側 POH (Path Overhead) の Z3, Z4, Z5 バイトを格納するレジスタです。

繰り返しリードすることによって Z3 Z4 Z5 の順で値を得られます。

次にリードすると、どのバイトが得られるかは、ROHPR2 レジスタの Zr1, Zr0 ビットに示します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
Z345R									Port0 : 04EH Port1 : 0CEH Port2 : 14EH Port3 : 1CEH	00H	R

(77) リザーブ領域

- アドレス : 04FH, 0CFH, 14FH, 1CFH
- この領域にリード/ライトを行わないでください。

(78) 送信 1st Z2 インサート・レジスタ (Z2#1T)

送信側 SOH (Section Overhead) の 1st Z2 バイトを設定するレジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
Z2#1T									Port0 : 050H Port1 : 0D0H Port2 : 150H Port3 : 1D0H	00H	R/W

(79) 送信 E1 インサート・レジスタ (E1T)

送信側 SOH (Section Overhead) の E1 バイトを設定する 8 ビット・レジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
E1T									Port0 : 051H Port1 : 0D1H Port2 : 151H Port3 : 1D1H	00H	R/W

(80) 送信 1st H1-3rd H1 インサート・レジスタ (H1T)

送信側オーバーヘッドの 1st H1 バイト - 3rd H1 バイトを設定するレジスタです。

このレジスタは、疑似フレーム PLOP 送出設定時 (CMR3 レジスタ = 10010B) にのみ有効です。

1st H1 2nd H1 3rd H1 の順で 3 回繰り返しライトすることで設定します。次にライトすると、どのバイトを設定するのかは、TOHPR1 レジスタの H1w1, H1w0 ビットに示します。また、TOHPL レジスタの H1L ビットを 1 にセットすることによって、設定するバイトを固定することができます。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
H1T									Port0 : 052H Port1 : 0D2H Port2 : 152H Port3 : 1D2H	00H	R/W

(81) 送信 1st H2-3rd H2 インサート・レジスタ (H2T)

送信側オーバーヘッドの 1st H2 バイト - 3rd H2 バイトを設定するレジスタです。

このレジスタは、疑似フレーム PLOP 送出設定時 (CMR3 レジスタ = 10010B) にのみ有効です。

1st H2 2nd H2 3rd H2 の順で 3 回繰り返しライトすることで設定します。次にライトすると、どのバイトを設定するのかは、TOHPR1 レジスタの H2w1, H2w0 ビットに示します。また、TOHPL レジスタの H2L ビットを 1 にセットすることによって、設定するバイトを固定することができます。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
H2T									Port0 : 053H Port1 : 0D3H Port2 : 153H Port3 : 1D3H	00H	R/W

(82) 送信 1st H3-3rd H3 インサート・レジスタ (H3T)

送信側オーバーヘッドの 1st H3 バイト - 3rd H3 バイトを設定するレジスタです。

このレジスタは、疑似フレーム PLOP 送出設定時 (CMR3 レジスタ = 10010B) にのみ有効です。

1st H3 2nd H3 3rd H3 の順で 3 回繰り返しライトすることで設定できます。次にライトすると、どのバイトを設定するのは、TOHPR1 レジスタの H3w1, H3w0 ビットに示します。また、TOHPL レジスタの H3L ビットを 1 にセットすることによって、設定するバイトを固定することができます。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
H3T									Port0 : 054H	00H	R/W
									Port1 : 0D4H		
									Port2 : 154H		
									Port3 : 1D4H		

(83) 送信 1st B2-3rd B2 インサート・レジスタ (B2T)

送信側 LOH (Line Overhead) の 1st B2 バイト - 3rd B2 バイトを設定するレジスタです。

このレジスタは、疑似フレーム PB2 送出設定時 (CMR3 レジスタ = 10100B) にのみ有効です。

1st B2 2nd B2 3rd B2 の順で 3 回繰り返しライトすることで設定します。次にライトすると、どのバイトを設定するのは、TOHPR1 レジスタの B2w1, B2w0 ビットに示します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
B2T									Port0 : 055H	00H	R/W
									Port1 : 0D5H		
									Port2 : 155H		
									Port3 : 1D5H		

(84) 送信 S1 インサート・レジスタ (S1T)

送信側 LOH (Line Overhead) の S1 バイトを設定するレジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
S1T									Port0 : 056H	00H	R/W
									Port1 : 0D6H		
									Port2 : 156H		
									Port3 : 1D6H		

(85) リザーブ領域

- アドレス : 057, 0D7, 157, 1D7H
- この領域にリード/ライトを行わないでください。

(86) 送信 E2 インサート・レジスタ (E2T)

送信側 LOH (Line Overhead) の E2 バイトを設定するレジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
E2T									Port0 : 058H Port1 : 0D8H Port2 : 158H Port3 : 1D8H	00H	R/W

(87) 送信 J1 インサート・レジスタ (J1T)

送信側 POH (Path Overhead) の J1 バイトを設定する 8 ビット・レジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
J1T									Port0 : 059H Port1 : 0D9H Port2 : 159H Port3 : 1D9H	00H	R/W

(88) 送信 B3 インサート・レジスタ (B3T)

送信側 POH (Path Overhead) の B3 バイトを設定するレジスタです。

このレジスタは、疑似フレーム PB3 送出設定時 (CMR3 レジスタ = 10101B) にのみ、有効になります。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
B3T									Port0 : 05AH Port1 : 0DAH Port2 : 15AH Port3 : 1DAH	00H	R/W

(89) リザーブ領域

- アドレス : 05B, 0DB, 15B, 1DBH
- この領域にリード/ライトを行わないでください。

(90) 送信 D1-D3 インサート・レジスタ (DsecT)

送信側 SOH (Section Overhead) の D1, D2, D3 バイトを設定するレジスタです。

D1 D2 D3 の順で 3 繰り返しライトすることで設定できます。次にライトすると、どのバイトを設定することになるかは、TOHPR2 レジスタの DSw1, DSw0 ビットに示します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
DsecT									Port0 : 05CH Port1 : 0DCH Port2 : 15CH Port3 : 1DCH	00H	R/W

(91) 送信 D4-D12 インサート・レジスタ (DlineT)

送信側 LOH (Line Overhead) の D4, D5, D6, D7, D8, D9, D11, D12 バイトを設定する 64 ビット・レジスタです。繰り返しライトすることによって D4 D5 D11, D12 データの順で 8 ビットずつ設定できます。次にライトすると、どのバイトを設定することになるかは、TOHPR2 レジスタの DLw3-DLw0 ビットに示します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
DlineT									Port0 : 05DH	00H	R/W
									Port1 : 0DDH		
									Port2 : 15DH		
									Port3 : 1DDH		

(92) 送信 Z3, Z4, Z5 インサート・レジスタ (Z345T)

送信側 POH (Path Overhead) の Z3, Z4, Z5 バイトを設定するレジスタです。

Z3 Z4 Z5 データの順で繰り返しライトすることで設定します。次にライトすると、どのバイトを設定することになるかは、TOHPR2 レジスタの Zw1, Zw0 ビットに示します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
Z345T									Port0 : 05EH	00H	R/W
									Port1 : 0DEH		
									Port2 : 15EH		
									Port3 : 1DEH		

(93) リザーブ領域

- アドレス : 05FH, 0DFH, 15FH, 1DFH
- この領域にリード/ライトを行わないでください。

(94) 受信オーバヘッド・ポインタ・ロック・レジスタ (ROHPL)

H1R, H2R, H3R レジスタは、繰り返しリードすることによって内部レジスタを指すポインタが遷移し、得られるデータが 1st 2nd 3rd バイトの順で切り替わります。このビットを 1 に設定すると、ROHPR1 レジスタのポインタがロックされ、次にリードするバイトを 1st, 2nd, 3rd のどれか 1 バイトに固定できます。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
ROHPL	0	0	0	0	0	H3L	H2L	H1L	Port0 : 060H Port1 : 0E0H Port2 : 160H Port3 : 1E0H	00H	R/W

フィールド	機能	デフォルト値
D7-D3	このビット領域には必ず 0 を設定してください。	オール 0
D2:H3L D1:H2L D0:H1L	ビットを 1 にセットすると、ROHPR1 レジスタのポインタがロックされ、次にリードして得るバイトをポインタの指すバイトに固定できます。	オール 0

(95) 受信オーバヘッド・ポインタ・レジスタ 1 (ROHPR1)

H1R, H2R, H3R レジスタ、および B2 レジスタは、繰り返しリードすることによって、内部レジスタを指すポインタが遷移し、得られるバイトが 1st 2nd 3rd バイトの順で切り替わります。本レジスタは、次にそれぞれのレジスタをリードすると、どのバイトが得られるのかを示すポインタ・レジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
ROHPR1	H1r1	H1r0	H2r1	H2r0	H3r1	H3r0	B2r1	B2r0	Port0 : 061H Port1 : 0E1H Port2 : 161H Port3 : 1E1H	00H	R/W

フィールド	機能	デフォルト値
D7, D6: H1r1, H1r0	H1r[1:0] 次に読み出されるデータ 00 1st H1 バイト 01 2nd H1 バイト 10 3rd H1 バイト	00
D5, D4: H2r1, H2r0	H2r[1:0] 次に読み出されるデータ 00 1st H2 バイト 01 2nd H2 バイト 10 3rd H2 バイト	00
D3, D2: H3r1, H3r0	H3r[1:0] 次に読み出されるデータ 00 1st H3 バイト 01 2nd H3 バイト 10 3rd H3 バイト	00
D1, D0: B2r1, B2r0	B2r[1:0] 次に読み出されるデータ 00 1st B2 バイト 01 2nd B2 バイト 10 3rd B2 バイト	00

(96) オーバヘッド・ポインタ・レジスタ 2 (ROHPR2)

Z345R, DsecR, DlineR レジスタは、繰り返しリードすることによって内部レジスタを指すポインタが遷移し、得られるバイト情報が切り替わります。本レジスタは、次にリードすると、どのバイトが得られるのかを示すポインタ・レジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
ROHPR2	Zr1	Zr0	DSr1	DSr0	DLr3	DLr2	DLr1	DLr0	Port0 : 062H Port1 : 0E2H Port2 : 162H Port3 : 1E2H	00H	R/W

フィールド	機 能				デフォルト値
D7, D6: Zr1, Zr0	Zr[1:0]	次に読み出されるデータ			00
	00	Z3 バイト			
	01	Z4 バイト			
	10	Z5 バイト			
D5, D4: DSr1, DSr0	DSr[1:0]	次に読み出されるデータ			00
	00	D1 バイト			
	01	D2 バイト			
	10	D3 バイト			
D3-D0: DLr3-DLr0	DLr[3:0]	次のデータ	DLr[3:0]	次のデータ	0000
	0000	D4 バイト	0101	D9 バイト	
	0001	D5 バイト	0110	D10 バイト	
	0010	D6 バイト	0111	D11 バイト	
	0011	D7 バイト	1000	D12 バイト	
	0100	D8 バイト			

(97) 送信オーバヘッド・ポインタ・ロック・レジスタ (TOHPL)

H1T, H2T, H3T レジスタは、繰り返しライトすることによって内部レジスタを指すポインタが遷移し、設定するデータが 1st 2nd 3rd バイトの順で切り替わります。このビットを 1 に設定すると、TOHPR1 レジスタのポインタがロックされ、次にライトするバイトがポインタの指すバイトに固定できます。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
TOHPL	0	0	0	0	0	H3L	H2L	H1L	Port0 : 063H Port1 : 0E3H Port2 : 163H Port3 : 1E3H	00H	R/W

フィールド	機 能	デフォルト値
D7-D3	このビット領域には必ず 0 を設定してください。	オール 0
D2:H3L D1:H2L D0:H1L	ビットを 1 にセットすると、TOHPR1 レジスタのポインタがロックされ、次にライトするバイトを固定できます。	オール 0

(98) 送信オーバヘッド・ポインタ・レジスタ1 (TOHPR1)

H1T, H2T, H3T レジスタ, および B2T レジスタは, 繰り返しライトすることによって内部レジスタを指すポインタが遷移し, 設定できるデータが切り替わります。本レジスタは, 次にそれらのレジスタにライトすると, どのバイトに設定されるのかを示すポインタ・レジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
TOHPR1	H1w1	H1w0	H2w1	H2w0	H3w1	H3w0	B2w1	B2w0	Port0 : 064H Port1 : 0E4H Port2 : 164H Port3 : 1E4H	00H	R/W

フィールド	機能		デフォルト値
D7, D6: H1w1, H1w0	H1w[1:0]	次に設定できるデータ 1st H1 バイト 2nd H1 バイト 3rd H1 バイト	00
D5, D4: H2w1, H2w0	H2w[1:0]	次に設定できるデータ 1st H2 バイト 2nd H2 バイト 3rd H2 バイト	00
D3, D2: H3w1, H3w0	H3w[1:0]	次に設定できるデータ 1st H3 バイト 2nd H3 バイト 3rd H3 バイト	00
D1, D0: B2w1, B2w0	B2w[1:0]	次に設定できるデータ 1st B2 バイト 2nd B2 バイト 3rd B2 バイト	00

(99) 送信オーバヘッド・ポインタ・レジスタ 2 (TOHPR2)

Z345T, DsecT, DlineT レジスタは、繰り返しライトすることによって内部レジスタを指すポインタが遷移し、設定できるデータが切り替わります。本レジスタは、次にそれらのレジスタをライトすると、どのバイトに設定されるのかを示すポインタ・レジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
TOHPR2	Zw1	Zw0	DSw1	DSw0	DLw3	DLw2	DLw1	DLw0	Port0 : 065H	00H	R/W
									Port1 : 0E5H		
									Port2 : 165H		
									Port3 : 1E5H		

フィールド	機 能				デフォルト値
D7, D6: Zwr1, Zw0	Zw[1:0]	次に設定できるデータ			00
	00	Z3 バイト			
	01	Z4 バイト			
	10	Z5 バイト			
D5, D4: DSw1, DSw0	DSw[1:0]	次に設定できるデータ			00
	00	D1 バイト			
	01	D2 バイト			
	10	D3 バイト			
D3-D0: DLw3 - DLw0	DLw[3:0]	次の設定データ	DLw[3:0]	次の設定データ	0000
	0000	D4 バイト	0101	D9 バイト	
	0001	D5 バイト	0110	D10 バイト	
	0010	D6 バイト	0111	D11 バイト	
	0011	D7 バイト	1000	D12 バイト	
	0100	D8 バイト			

(100) リザーブ領域

- アドレス : 066H-06BH, 0E6H-0EFH, 166H-16FH, 1E6H-1EFH
- この領域にリード/ライトを行わないでください。

5.2.2 共通レジスタ機能

共通レジスタは、 μ PD98411 の 4 ポートすべてにかかわる設定を行うレジスタです。

(101) スレッシュホールド・レジスタ・ライト・ポインタ・レジスタ (SYSPR)

エラー・レート・モニタ機能を使用するとき、各カウンタのしきい値を設定するスレッシュホールド・レジスタ (アドレス: 06E-073H) において、次にライトするのが、上位、下位のどの位置かを示すポインタを表示します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
SYSPR	FJtw	PREtw	LREtw1	LREtw0	B3tw	B2tw1	B2tw0	B1tw	06CH	00H	R/W

フィールド	機 能	デフォルト値
D7: FJtw	1 ビットで表すポインタは、16 ビット・カウンタのスレッシュホールド・レジスタ用のポインタで、次にライトするのは、16 ビットのうち、上位か、下位かを示します。	オール 0
D6: PREtw		
D5: LREtw1		
D4: LREtw0		
D3: B3tw	0: 下位 8 ビット	
D2: B2tw1	1: 上位 8 ビット	
D1: B2tw0	2 ビットのポインタは、次にライトするのは、24 ビットのうち、上位、中位、下位の 8 ビットのどれであるかを示します。	
D0: B1tw		00: 下位 8 ビット
		01: 中位 8 ビット
	10: 上位 8 ビット	

(102) 警報検出条件変更レジスタ (ITUR)

警報の検出および解除条件を変更します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
ITUR	0	0	0	0	0	0	0	ITU	06DH	00H	R/W

フィールド	機能	デフォルト値												
D7-D1	このビット領域には必ず0を設定してください。	オール0												
D0: ITU	<p>本ビットの設定を変更することによって、警報の検出 / 解除条件が切り替わります。</p> <table border="1"> <thead> <tr> <th>警 報</th> <th>ITU ビット = 0</th> <th>ITU ビット = 1</th> </tr> </thead> <tbody> <tr> <td>Line RDI</td> <td>K2 バイト(第6-第8ビット) = 110 のフレームを 5 回連続受信で検出。110 以外のフレームを 5 回連続受信で解除。</td> <td>K2 バイト(第6-第8ビット) = 110 のフレームを 3 回連続受信で検出。110 以外のフレームを 3 回連続受信で解除。</td> </tr> <tr> <td>Path RDI</td> <td>G1 バイト(第5ビット)=1 フレームを 5 回連続受信で検出。1 以外のフレームを 5 回連続受信で解除。</td> <td>G1 バイト(第5ビット)=1 フレームを 3 回連続受信で検出。1 以外のフレームを 3 回連続受信で解除。</td> </tr> <tr> <td>Line AIS</td> <td>K2 バイト(第6-第8ビット) = 111 のフレームを 5 回連続受信で検出。それ以外のフレームを 5 回連続受信で解除。</td> <td>K2 バイト(第6-第8ビット) = 111 のフレームを 3 回連続受信で検出。それ以外のフレームを 5 回連続受信で解除。</td> </tr> </tbody> </table>	警 報	ITU ビット = 0	ITU ビット = 1	Line RDI	K2 バイト(第6-第8ビット) = 110 のフレームを 5 回連続受信で検出。110 以外のフレームを 5 回連続受信で解除。	K2 バイト(第6-第8ビット) = 110 のフレームを 3 回連続受信で検出。110 以外のフレームを 3 回連続受信で解除。	Path RDI	G1 バイト(第5ビット)=1 フレームを 5 回連続受信で検出。1 以外のフレームを 5 回連続受信で解除。	G1 バイト(第5ビット)=1 フレームを 3 回連続受信で検出。1 以外のフレームを 3 回連続受信で解除。	Line AIS	K2 バイト(第6-第8ビット) = 111 のフレームを 5 回連続受信で検出。それ以外のフレームを 5 回連続受信で解除。	K2 バイト(第6-第8ビット) = 111 のフレームを 3 回連続受信で検出。それ以外のフレームを 5 回連続受信で解除。	0
警 報	ITU ビット = 0	ITU ビット = 1												
Line RDI	K2 バイト(第6-第8ビット) = 110 のフレームを 5 回連続受信で検出。110 以外のフレームを 5 回連続受信で解除。	K2 バイト(第6-第8ビット) = 110 のフレームを 3 回連続受信で検出。110 以外のフレームを 3 回連続受信で解除。												
Path RDI	G1 バイト(第5ビット)=1 フレームを 5 回連続受信で検出。1 以外のフレームを 5 回連続受信で解除。	G1 バイト(第5ビット)=1 フレームを 3 回連続受信で検出。1 以外のフレームを 3 回連続受信で解除。												
Line AIS	K2 バイト(第6-第8ビット) = 111 のフレームを 5 回連続受信で検出。それ以外のフレームを 5 回連続受信で解除。	K2 バイト(第6-第8ビット) = 111 のフレームを 3 回連続受信で検出。それ以外のフレームを 5 回連続受信で解除。												

(103) B1 エラー・スレッシュホールド・レジスタ (B1THR)

エラー・レート・モニタ機能使用時に、B1 エラー検出回数のしきい値を設定するレジスタです。2 度繰り返しライトすることで、下位 8 ビット 上位 8 ビットの順で 16 ビットを設定します。次にライトすると、上位、下位のどちらにライトされるかは、SYSPR レジスタに示されます。ここで設定したしきい値は、各ポートで B1 エラー・カウンタの値と比較され、カウンタ値がしきい値に到達したポートは、PCOCR1 レジスタの B1o ビットに 1 がセットされます。

本レジスタのしきい値は、設定後、FRMN レジスタにライト・アクセスしなければ有効になりません。FRMN レジスタの前に、設定してください。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
B1THR									06EH	FFH	R/W

(104) B2 エラー・スレッシュホールド・レジスタ (B2THR)

エラー・レート・モニタ機能使用時に、B2 エラー検出回数のしきい値を設定するレジスタです。下位 8 ビット 中位 8 ビット 上位 8 ビットの順で 24 ビットを設定します。次にライトすると、上位、中位、下位のどこにライトされるかは、SYSPR レジスタに示されます。カウンタ値がしきい値に到達したポートは、PCOCR1 レジスタの B2o ビットに 1 がセットされます。

本レジスタのしきい値は、設定後、FRMN レジスタにライト・アクセスしなければ有効になりません。FRMN レジスタの前に、設定してください。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
B2THR									06FH	FFH	R/W

(105) B3 エラー・スレッシュホールド・レジスタ (B3THR)

ビット・エラー・レート・モニタ機能使用時に、B3 エラー検出回数のしきい値を設定するレジスタです。下位 8 ビット 上位 8 ビットの順で 16 ビットを設定します。次にライトすると、上位、下位のどちらにライトされるかは、SYSPR レジスタに示されます。カウンタ値がしきい値に到達したポートは、PCOCR1 レジスタの B3o ビットを 1 にセットします。

本レジスタのしきい値は、設定後、FRMN レジスタにライト・アクセスしなければ有効になりません。FRMN レジスタの前に、設定してください。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
B32THR									070H	FFH	R/W

(106) Line REI スレッシュホールド・レジスタ (LRETHR)

ビット・エラー・レート・モニタ機能において、Line REI 検出数のしきい値を設定するレジスタです。下位 8 ビット 中位 8 ビット 上位 8 ビットの順で 24 ビットを設定します。次にライトすると、下位、中位、上位のどこにライトされるかは、SYSPR レジスタに示されます。カウンタ値がしきい値に到達したポートは、PCOCR1 レジスタの LREo ビットを 1 にセットします。

本レジスタのしきい値は、設定後、FRMN レジスタにライト・アクセスしなければ有効になりません。FRMN レジスタの前に、設定してください。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
LRETHR									071H	FFH	R/W

(107) Path REI スレッシュホールド・レジスタ (PRETHR)

エラー・レート・モニタ機能使用時に、Path REI 検出数のしきい値を設定するレジスタです。下位 8 ビット 上位 8 ビットの順で 16 ビットを設定します。次にライトすると、上位、下位のどちらにライトされるかは、SYSPR レジスタに示されます。カウンタ値がしきい値に到達したポートは、PCOCR1 レジスタの PREo ビットを 1 にセットします。

本レジスタのしきい値は、設定後、FRMN レジスタにライト・アクセスしなければ有効になりません。FRMN レジスタの前に、設定してください。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
PRETHR									072H	FFH	R/W

(108) FJ スレッシュホールド・レジスタ (FJTHR)

エラー・レート・モニタ機能使用時に、Frequency Justification 検出回数のしきい値を設定する 16 ビットのレジスタです。下位 8 ビット 上位 8 ビットの順で 16 ビットを設定します。次にライトすると、上位、下位のどちらにライトされるかは、SYSPR レジスタに示されます。カウンタ値がしきい値に到達したポートは、PCOCR1 レジスタの FJo ビットに 1 をセットします。

本レジスタのしきい値は、設定後、FRMN レジスタにライト・アクセスしなければ有効になりません。FRMN レジスタの前に、設定してください。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
FJTHR									073H	FFH	R/W

(109) しきい値モニタ・フレーム・ナンバ・レジスタ (FRMN)

エラー・レートを観測する期間を設定します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
FRMN	FRM7	FRM6	FRM5	FRM4	FRM3	FRM2	FRM1	FRM0	074H	00H	R/W

フィールド	機能	デフォルト値																				
D7-D0: FRM7-FRM0	<table border="1"> <thead> <tr> <th>FRM7-FRM0</th> <th>比較の周期</th> </tr> </thead> <tbody> <tr> <td>00000000</td> <td>無限</td> </tr> <tr> <td>00000010</td> <td>8 フレーム (1 ms)</td> </tr> <tr> <td>00000100</td> <td>80 フレーム (10 ms)</td> </tr> <tr> <td>00001000</td> <td>400 フレーム (50 ms)</td> </tr> <tr> <td>00010000</td> <td>1000 フレーム (125 ms)</td> </tr> <tr> <td>00100000</td> <td>2000 フレーム (250 ms)</td> </tr> <tr> <td>01000000</td> <td>4000 フレーム (500 ms)</td> </tr> <tr> <td>10000000</td> <td>8000 フレーム (1s)</td> </tr> <tr> <td>その他</td> <td>設定禁止</td> </tr> </tbody> </table>	FRM7-FRM0	比較の周期	00000000	無限	00000010	8 フレーム (1 ms)	00000100	80 フレーム (10 ms)	00001000	400 フレーム (50 ms)	00010000	1000 フレーム (125 ms)	00100000	2000 フレーム (250 ms)	01000000	4000 フレーム (500 ms)	10000000	8000 フレーム (1s)	その他	設定禁止	オール 0
FRM7-FRM0	比較の周期																					
00000000	無限																					
00000010	8 フレーム (1 ms)																					
00000100	80 フレーム (10 ms)																					
00001000	400 フレーム (50 ms)																					
00010000	1000 フレーム (125 ms)																					
00100000	2000 フレーム (250 ms)																					
01000000	4000 フレーム (500 ms)																					
10000000	8000 フレーム (1s)																					
その他	設定禁止																					

注意 エラー・レート・モニタ機能を使用する場合、本レジスタは、スレッショールド・レジスタにしきい値を設定したあとに設定してください。

(110) クロック・リカバリ・コントロール・レジスタ (CRSC)

クロック・リカバリ PLL を自ポートの送信クロックとして使用している場合 (TXSC レジスタ設定) などに、そのポートが OOL または、LOS 状態になり、正常なクロックを抽出できなくなったとき、自ポートの送信クロックが不安定になるのを回避するため、自動的に、もしくは強制的にクロックを切り替える機能を提供します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
CRSC	RAT0	RCL0	RAT1	RCL1	RAT2	RCL2	RAT3	RCL3	075H	00H	R/W

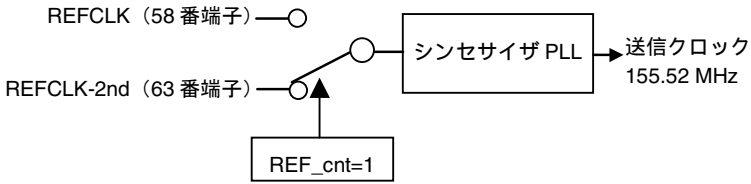
フィールド	機能	デフォルト値
D7, D5, D3, D1: RAT0-RAT3	<p>ポートが OOL または、LOS 状態になり、正常なクロックを抽出できなくなったとき、自動的にクロックを切り替えます。</p> <p>1: OOL, LOS 状態になったとき、そのポートが送信クロックとして使用しているクロックを受信ブロック側のクロックとしても使用するように自動で切り替わります。ポートが送信クロックとして使用しているクロックは、CSSEL 端子の入力、CSSC レジスタの設定に依存し、シンセサイザ PLL の生成クロック、TFKT/TFKC 入力クロック、または、いずれかのポートのリカバリ・クロックです。</p> <p>OOL, LOS 状態から復帰したときは、元に戻ります。</p> <p>0: OOL, LOS 状態になっても、リカバリ・クロックを受信ブロック側のクロックとして使用し続けます。</p>	オール 0
D6, D4, D2, D0: RCL0-RCL3	<p>このビットを 1 にセットすると、その間、そのポートは、送信クロックに使用しているクロックを受信ブロック側のクロックとして使用するように強制的に切り替えます。また、ポートのクロック・リカバリ PLL はリセットがかかり、OOL ビットがセットされます。</p>	オール 0

注意 RCL0-RCL3 ビットを設定している間、ポートのクロック・リカバリ PLL にはリセットがかかっているため、受信回線に正常なデータを入力しても、OOL ビットはセットされたままとなります。OOL ビットの変化を RCL0-RCL3 の設定 / 解除の判断条件に使用することはできませんのでご注意ください。

(111) クロック・ソース・コントロール・レジスタ (CSSC)

4ポートのうち選択した1ポートのクロック・リカバリPLLが抽出する受信クロックを、4ポートすべての送信クロックとして使用します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
CSSC	0	0	0	REF_cnt	P0	P1	P2	P3	076H	00H	R/W

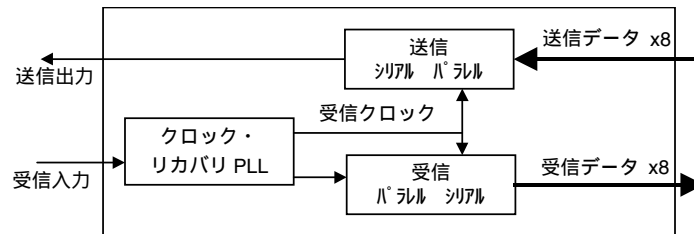
フィールド	機能	デフォルト値
D7-D5	このビット領域には必ず0を設定してください。	オール0
D4: REF_cnt	<p>送信クロックを生成するシンセサイザPLLに与える基準クロックを切り替えます。</p> <p>1: シンセサイザPLLは、REFCLK-2ndに輸入されるシステム・クロックを基準にします。</p> <p>0: シンセサイザPLLは、REFCLK入力を基準にします。</p>  <p>このビット設定により、シンセサイザPLLの基準クロックをREFCLK-2ndに切り替えた場合においても、REFCLKにはシステム・クロックとして19.44MHzを入力する必要があります。</p>	0
D3-D0: P0-P3	<p>P'nのビットを1にセットするとポート'n'のクロック・リカバリPLLが抽出するリカバリ・クロックを4ポートすべてが送信クロックとして使用します。複数のビットが1にセットされた場合、'n'がより小さいポートの抽出するクロックが優先されます。また、その場合、最も優先順位の高いポートがOOL, LOS状態になって、正常なクロックを供給できなくなると、自動で次の優先順位のポートのリカバリ・クロックに切り替わります。このビットへの設定は、CSSEL端子入力による外部送信クロックの使用設定より、優先度が高くなります。</p>	オール0

(112) 送信クロック・ソース・コントロール・レジスタ (TXSC)

各ポートのクロック・リカバリ PLL が抽出する受信クロックを，自ポートの送信クロックとして使
 用します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
TXSC	0	0	0	0	P0LP	P1LP	P2LP	P3LP	077H	00H	R/W

フィールド	機能	デフォルト値
D7-D4	このビット領域には必ず 0 を設定してください。	オール 0
D3-D0: P0LP-P3LP	P ' n ' LP のビットを 1 にセットするとポート ' n ' は，送信クロックとして自ポートのクロック・リカバリ PLL が抽出するクロックを使用します。 この設定は，他のポートの送信クロック設定には影響しません。 このレジスタへの設定は，ポートの送信クロック選択に関する CSSEL 端子，および CSSC レジスタへの設定より優先されます。	オール 0



(113) UTOPIA インタフェース関連レジスタ (AVLC)

UTOPIA インタフェースに関するモードを設定します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
AVLC	UCS	RCAC	AVC2	AVC1	AVC0	UPR	UTC	TCAC	078H	00H	R/W

フィールド	機能	デフォルト値
D7: UCS	送信 FIFO のセル・データが 1 セルを満たなくなったとき、送信フレームに挿入する無効セルのフォーマットを変更します。 1: アンアサインド・セル・フォーマット 0: アイドル・セル・フォーマット (デフォルト)	0
D6: RCAC	受信 UTOPIA インタフェースにおいて、セルを転送中のポートが RCLAV を有効にするタイミングを変更します。 1: 転送し始めたセルによって受信 FIFO のデータが 1 セルを満たなくなったとき、セルを転送し始めて 7 クロック・サイクル (RCLK) 後に有効になります。 0: 転送し始めたセルによって受信 FIFO のデータが 1 セルを満たなくなっても、転送中のセルの最後尾バイト (ペイロード 48 バイト目) までは、ハイ・レベルを維持します。最後尾バイトの出力以降に RCLAV が有効になります (デフォルト)。	0
D5-D3: AVC2-AVC0	TCLAV 信号の変化条件を変更します。 送信 FIFO の残り空き容量が何セル分になった時点で送信セル受け付け可能信号 TCLAV をインアクティブにするかを設定します。 デフォルトは 000 = 1 セルになっているので、現在取り込み中のセルでフルになると TCLAV をロウ・レベルにします。 011=3 セルに設定した場合は、FIFO の中の 6 セル目が書き込まれると、残り空き領域が 3 セルに満たなくなるので、TCLAV をロウ・レベルにします。 000-001 : 1 セル 010 : 2 セル 011 : 3 セル 101 : 5 セル 100 : 4 セル 110 : 6 セル 111 : 7 セル セル受け付け可能信号 TCLALV をロウ・レベルにしても、その後セルが転送されてくる場合、μPD98411 は、送信 FIFO がフルになるまで、セルを取り込みます。 このビット領域の設定 / 変更は、μPD98411 の UTOPIA インタフェースに送信セル・データを入力する前に行ってください。	000
D2: UPR	受信 UTOPIA インタフェースにおいて、RPR からのパリティ出力をディスエーブルにします。 1: ディスエーブル 0: イネーブル	0
D1: UTC	送信 UTOPIA インタフェースにおいて、TPR 入力のパリティ・チェックをディスエーブルにします。同時にパリティ・エラー検出を通知する IMST レジスタの UT ビットをクリアします。 1: ディスエーブル 0: イネーブル	0

フィールド	機 能	デフォルト値
D0: TCAC	送信 UTOPIA インタフェースにおいて、セルを受け取り中のポートが TCLAV を有効にするタイミングを変更します。 1: セル転送中のポートは、現在受け取り中のセルの 20 バイト目を出力したあとで TCLAV を有効にします。 0: セル転送中のポートは、現在受け取り中のセルの最後尾より 4 クロック前で有効にします。	0

(114) マルチ PHY モード切り替えレジスタ (MItUT)

UTOPIA インタフェースに関するモードを選択すると同時に、UTOPIA インタフェースをイネーブルにします。詳細は、4.1.2 モードを参照ください。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
MItUT	0	0	0	0	MSL3	MSL2	MSL1	MSL0	079H	00H	R/W

フィールド	機 能	デフォルト値
D7-D4	このビット領域には必ず 0 を設定してください。	オール 0
D3: MSL3	Multi Status Polling の設定のために、ポーリング時にチェックするアドレスのビットを選択します。 1: ポーリング時アドレスの上位 3 ビットのみをチェック。 TADD, RADD 上の上位 3 ビットが PHYIDR レジスタの ID4-ID2 に一致したポートが、TCLAV, RCLAV をドライブします。 0: ポーリング時アドレス 5 ビットすべてをチェック。 TADD, RADD 上の 5 ビットが PHYIDR レジスタの ID4-ID0 に一致したポートが、TCLAV, RCLAV をドライブします。 MSL2 = 1 の場合は、ポーリングに関係なく常にドライブします。	0
D2: MSL2	Direct Status Indication の設定のために、ポートに割り当てる TCLAV, RCLAV 信号を選択します。 1: TCLAV0-TCLAV3, RCLAV0-RCLAV3 のすべてのセル・アベイラブル信号をイネーブルにし、TCLAV0, RCLAV0 の組をポート 0 に、TCLAV2, RCLAV2 の組をポート 2 に割り当てます。 さらに MSL3 = 0 の場合は、ポーリングに関係なく、それぞれのポートが常に TCLAV, RCLAV をドライブする 2 ステート出力になり、MSL3 = 1 の場合はポーリング時にアドレスに一致したポートのみがドライブする 3 ステート出力になります。 0: TCLAV, RCLAV は、マルチプレクサして 1 信号として出力します。3 ステート出力になります。	0
D1,D0: MSL1, MSL0	バス・モードを選択します。 00: ディスエーブル 10: Single 8-bit バス 01: Dual 8-bit バス 11: Single 16-bit バス	00

次頁に注意を示します。

注意 μ PD98411 の UTOPIA インタフェースが送受信セル・データ入出力を開始してからは、MitUT レジスタの設定 / 変更を行わないでください。LSI のリセット後からセル・データの転送開始前までに設定 / 変更してください。

表 5 - 1 MSL ビットの設定と UTOPIA インタフェース・モード一覧

MSL[3:0]	バス・モード	ステータスを得る方式	使用 CLAV 信号	CLAV 出力
0001	Dual8-bit	2TCLAV/2RCLAV	2 × TCLAV/RCLAV	3 ステート
0101		Direct Status Indication	4 × TCLAV/RCLAV	2 ステート
1001		Multiplexed Status	1 × TCLAV/RCLAV	3 ステート
1101		Polling	4 × TCLAV/RCLAV	
0010	Single8-bit	1TCLAV/1RCLAV	1 × TCLAV/RCLAV	3 ステート
0110		Direct Status Indication	4 × TCLAV/RCLAV	2 ステート
1010		Multiplexed Status	1 × TCLAV/RCLAV	3 ステート
1110		Polling	4 × TCLAV/RCLAV	
0011	Single16-bit	1TCLAV/1RCLAV	1 × TCLAV/RCLAV	3 ステート
0111		Direct Status Indication	4 × TCLAV/RCLAV	2 ステート
1011		Multiplexed Status	1 × TCLAV/RCLAV	3 ステート
1111		Polling	4 × TCLAV/RCLAV	

(115) TCL クロック出力イネーブル・レジスタ (TCMSK)

TCL 端子より出力するクロックの設定を行います。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
TCMSK	0	0	0	0	TC3o	TC2o	TC1o	TC0o	07AH	00H	R/W

フィールド	機能	デフォルト値
D7-D4	このビット領域には必ず 0 を設定してください。	オール 0
D3-D0: TC3o-TC0o	TC 'n' のビットを 1 にセットすると、ポート 'n' が送信に使用している 155.52 MHz クロックを 8 分周した 19.44 MHz を TCL 端子より出力します。複数のビットを 1 にセットすると 'n' がより小さいポートが優先して選択されます。デフォルトでは、どのポートも選択されておらず、TCL からクロックは出力されません。	オール 0

(116) RCL クロック出力イネーブル・レジスタ (RCMSK)

RCL 端子出力をイネーブルにし、出力するクロック・リカバリのポートを選択します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
RCMSK	0	0	0	REF ₀	RC3 ₀	RC2 ₀	RC1 ₀	RC0 ₀	07BH	01H	R/W

フィールド	機 能	デフォルト値
D7-D5	このビット領域には必ず 0 を設定してください。	オール 0
D4: REF ₀	シンセサイザ PLL のレファレンス・クロックを RCL 端子より出力します。 このビットの設定は、RC3 ₀ -RC0 ₀ への設定より優先されます。 1: CSSC レジスタの REF_cnt ビットで選択されているシンセサイザ PLL のレファレンス・クロック, REFCLK 入力, または REFCLK-2nd 入力を RCL 端子から出力します。 0: RC3 ₀ -RC0 ₀ ビットの設定に従い、受信クロックの 8 分周クロックを出力します。	0
D3-D0: RC3 ₀ -RC0 ₀	RC 'n' のビットを 1 にセットすると、ポート 'n' が受信に使用しているクロックを 8 分周したクロックを RCL 端子より出力します。複数のビットを 1 にセットすると 'n' がより小さいポートが優先して選択されます。デフォルトでは、ポート 0 が選択されています。	0001

(117) フレーム・パルス出力イネーブル・レジスタ (FPMSK)

送受信フレームに同期したパルス信号を出力する TXFP 端子, RXFP 端子出力を設定します。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
FPMSK	RFP3 ₀	RFP2 ₀	RFP1 ₀	RFP0 ₀	TFP3 ₀	TFP2 ₀	TFP1 ₀	TFP0 ₀	07CH	00H	R/W

フィールド	機 能	デフォルト値
D7-D4: RFP3 ₀ -RFP0 ₀	RFP 'n' のビットを 1 にセットすると、ポート 'n' が受信するフレームの先頭に同期したパルス (8 kHz) を RxFP 端子より出力します。複数のビットがセットされた場合は、'n' がより小さいポートが優先して選択されます。デフォルトでは、RFP3 ₀ -RFP0 ₀ のいずれのビットもセットされておらず、RxFP 端子出力はディスエーブルになっています。	オール 0
D3-D0: TFP3 ₀ -TFP0 ₀	TFP 'n' のビットを 1 にセットすると、ポート 'n' が送信するフレームの先頭に同期したパルス (8 kHz) を TxFP 端子より出力します。複数のビットがセットされた場合は、'n' がより小さいポートが優先して選択されます。デフォルトでは、TFP3 ₀ -TFP0 ₀ のいずれのビットもセットされておらず、TxFP 端子出力はディスエーブルになっています。	オール 0

(118) リザーブ領域

- アドレス : 07DH
- この領域にリード/ライトを行わないでください。

(119) ソフトウェア・リセット/割り込みモード・レジスタ (ICNT)

割り込みのモード選択, および LSI のリセット・コマンドに関するレジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
ICNT	0	0	0	0	SYSR	0	RCM	P1A	07EH	00H	R/W

フィールド	機 能	デフォルト値
D7-D4, D2	このビット領域には常に 0 を設定してください。	オール 0
D3 : SYSR	LSI 全体のリセット。 このビットを 1 にセットすると, ハードウェア・リセットと同様に LSI 全体を初期化します。 このビットは, リセットを実行したあと, 自動で 0 に戻ります。	0
D1: RCM	状態を通知する割り込み要因イベントが発生した場合の, 割り込み信号による通知モードの選択をします。 1: 割り込み PHINT_B 信号が, 要因の発生時, 復旧時に両方においてロウ・レベルになります。 0: 割り込み要因が発生した場合にのみ, 割り込み PHINT_B 信号がアクティブになります。	0
D0: P1A	使用する割り込み信号の本数を選択します。 1: 4 ポートすべての割り込み信号をマルチプレクサして, PHINT0_B から通知します。PHINT0_B がロウ・レベルになったとき, どのポートの割り込み要因かは, IMST レジスタに示します。 0: 各ポートごとに, PHINT0_B-PHINT3_B を 1 端子ずつ割り当てます。	0

備考 ポートごとのリセット・コマンドは, CMR2 レジスタにあります。

(120) 割り込みポート表示レジスタ (IMST)

ICNT レジスタの P1A = 1 の場合に、PHINT_B がロウ・レベルになっているポートを調べるレジスタです。

レジスタ名	D7	D6	D5	D4	D3	D2	D1	D0	アドレス	デフォルト	R/W
IMST	0	0	0	UT	P3	P2	P1	P0	07FH	00H	R

フィールド	機能	デフォルト値
D4: UT	このビットのセットは、送信 UTOPIA インタフェースにおいて、パリティ・エラーを検出したことを示します。このビットをクリアするには、AVLC レジスタの UTC ビットを 1 にして、一度パリティ・チェック・ディスエーブルにします。ふたたびチェックしたいときは、UTC を 0 に戻します。	0
D3-D0: P3-P0	ICNT レジスタの P1A ビットの設定において、P1A = 1 の割り込みモードで 4 ポートの割り込み信号がマルチプレクサされて出力されている場合に、要因の発生したポートを表示します。 P 'n' ビットがセットされていると、ポート 'n' の要因により、割り込み信号がアクティブになったことを示します。 これらビットは、ポートの PHINT_B のレベルを反転して表示しており、PHINT_B がハイ・レベルに戻ることで 0 クリアされます。4.4 割り込み処理を参照してください。	0

第6章 JTAG バウンダリ・スキャン

μPD98411 は、JTAG バウンダリ・スキャン回路を内蔵しています。

注意 1. 一部の端子は、JTAG をサポートしていません。JTAG 未適用の端子は次のとおりです。

分 類	端子名	端子数
P-ECL レベル	RDIT3-RDIT0, RDIC3-RDIC0, TDOT3-TDOT0, TDOC3-TDOC0, TFKT, TFKC	18

2. JTAG ロジック部は RESET_B 端子へのパルス入力ではリセットがかかりません。電源投入後 RESET_B によるシステム・リセットとは別に、JTAG ロジック部を「2.2.5 JTAG バウンダリ・スキャン」に記述する方法でリセットするようにしてください。

6.1 特 徴

IEEE1149.1 JTAG Boundary Scan Standard に準拠

バウンダリ・スキャン専用の 3 つのレジスタ

- ・インストラクション・レジスタ
- ・バイパス・レジスタ
- ・バウンダリ・スキャン・レジスタ

3 つの命令をサポート

- ・BYPASS 命令
- ・EXTEST 命令
- ・SAMPLE/PRELOAD 命令

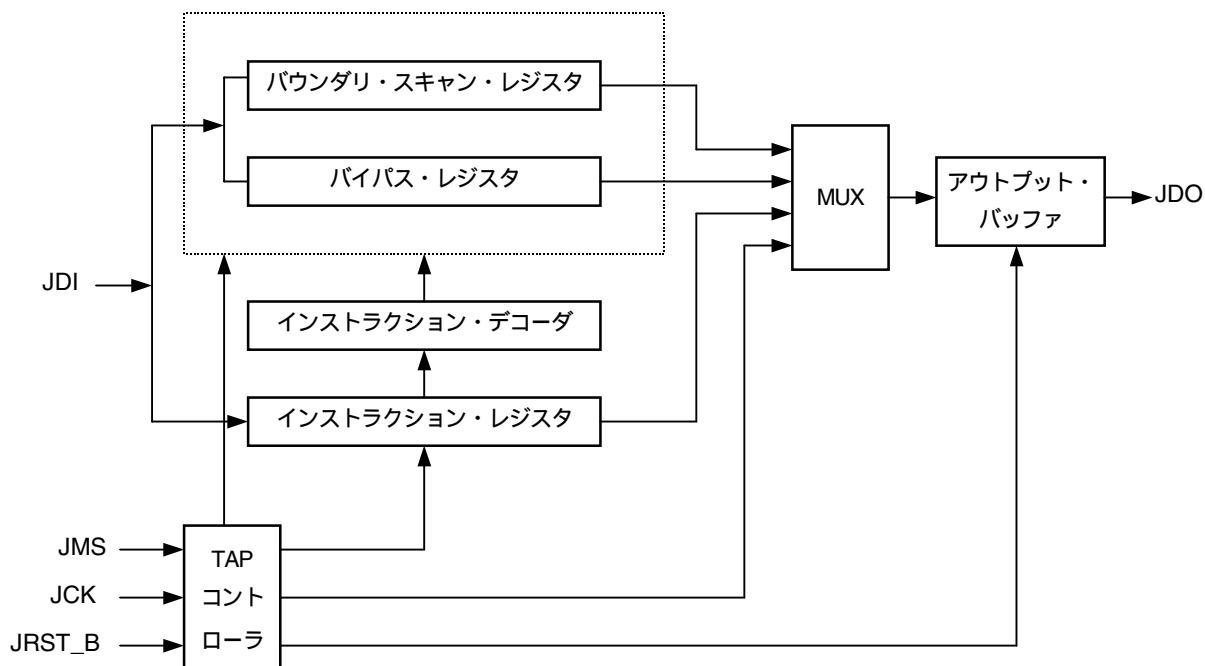
バウンダリ・スキャン専用端子 (5 端子)

- ・JCK (JTAG Clock)
- ・JMS (JTAG Mode Select)
- ・JDI (JTAG Data Input)
- ・JDO (JTAG Data Output)
- ・JRST_B (JTAG Reset)

6.2 バウンダリ・スキャン回路内部構成

図6-1に、 μ PD98411に内蔵されているJTAG バウンダリ・スキャン回路のブロック図を示します。

図6-1 バウンダリ・スキャン回路ブロック図



6.2.1 インストラクション・レジスタ (Instruction register)

インストラクション・レジスタは、2ビットのシフト・レジスタで構成されており、JDI端子からの命令データを書き込みます。レジスタおよび命令の選択は、この命令データが決定します。

6.2.2 TAP コントローラ (Test Access Port controller)

TAP コントローラは、JCK端子に入力されるクロックの立ち上がりでJMS端子の信号をラッチすることにより、動作状態を変更します。

6.2.3 バイパス・レジスタ (Bypass register)

バイパス・レジスタは、TAP コントローラが Shift-DR 状態のときには、JDI端子とJDO端子の間で、接続される1ビットのシフト・レジスタで構成されます。TAP コントローラが Shift-DR 状態の間、このレジスタが選択されているときには、JCK端子に入力されるクロックの立ち上がりでJDO端子へデータをシフトします。

このレジスタが選択されているとき、JTAG バウンダリ・スキャン回路の動作は、 μ PD98411の動作に影響を与えません。

6.2.4 バウンダリ・スキャン・レジスタ (Boundary Scan register)

バウンダリ・スキャン・レジスタは、 μ PD98411 の外部端子と内部ロジック回路の間にあります。このレジスタが選択されたとき、TAP コントローラの命令によりデータをラッチ、またはロードします。

TAP コントローラが Shift-DR 状態の間、このレジスタが選択されている場合には、JCK 端子に入力されるクロックの立ち下がり、JDO 端子へデータを LSB から出力します。

6.3 端子機能

6.3.1 JCK 端子 (JTAG Clock pin)

JCK 端子は、JTAG バウンダリ・スキャン回路 (バイパス・レジスタやインストラクション・レジスタ TAP コントローラ) へのクロック信号の供給に使用します。このクロック信号は、 μ PD98411 内部のほかの回路へは供給されないように分離しています。

6.3.2 JMS 端子 (JTAG Mode Select pin)

JMS 端子への入力は、JCK 端子に入力されるクロックの立ち上がりでラッチされ、TAP コントローラの動作を定義します。

6.3.3 JDI 端子 (JTAG Data Input pin)

JDI 端子は、JTAG バウンダリ・スキャン回路レジスタへデータを入力するための入力端子です。

6.3.4 JDO 端子 (JTAG Data Output pin)

JDO 端子は、JTAG バウンダリ・スキャン回路レジスタからデータを出力するための出力端子です。JCK 端子に入力されるクロックの立ち下がり、JDO 端子へデータを出力させます。また、この出力端子は 3 ステート出力であり、TAP コントローラにより制御されます。

6.3.5 JRST_B 端子 (JTAG Reset pin)

TAP コントローラを非同期的に初期化します。このリセット信号は μ PD98411 を通常の動作モードにし、バウンダリ・レジスタを非動作状態にします。

6.4 動作説明

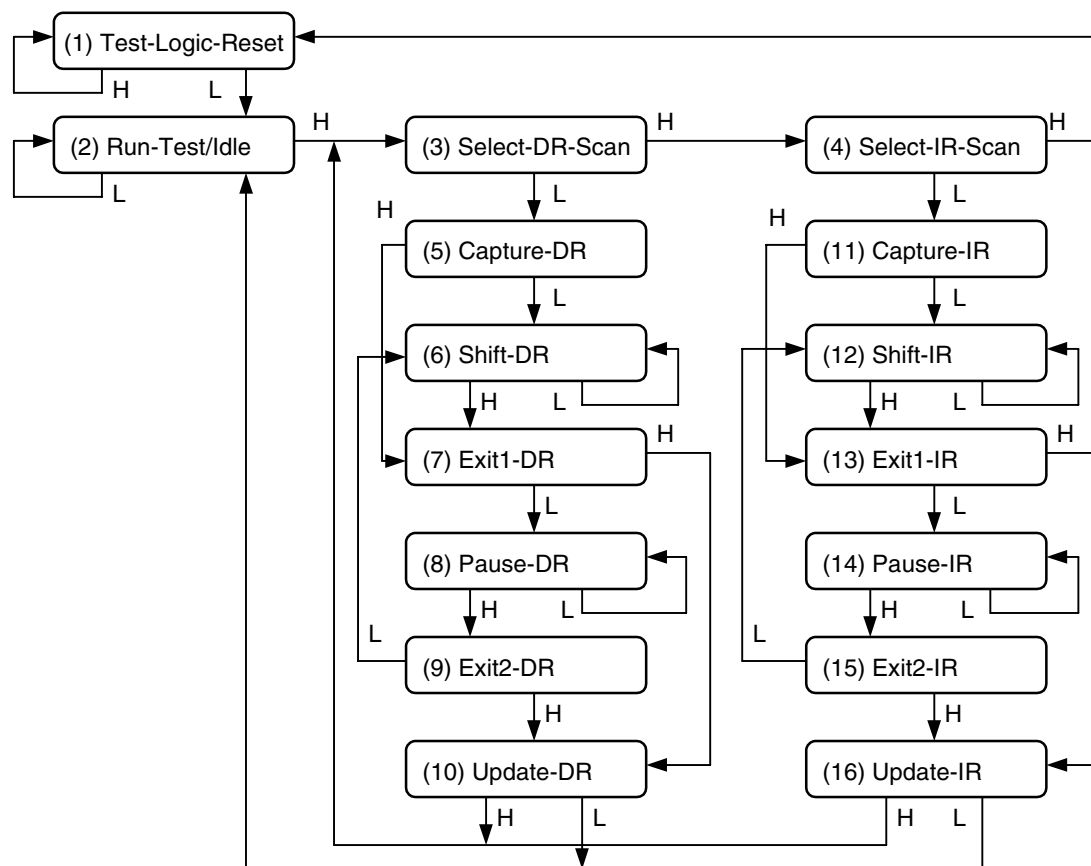
6.4.1 TAP コントローラ

TAP コントローラは、JMS 端子と JCK 端子信号の変化により同期した 16 個の状態をもつ回路です。動作は、IEEE standard 1149.1 で規定されています。

6.4.2 TAP コントローラ状態

TAP コントローラの状態を図 6 - 2 に示します。TAP コントローラのすべての状態の変化は、JCK 端子に入力されるクロックの立ち上がりの JMS 端子信号の状態によって決まります。インストラクション・レジスタ、バウンダリ・スキャン・レジスタとバイパス・レジスタの動作は、JCK 端子に入力されるクロックの立ち上がり/立ち下がりで変化します（図 6 - 3 参照）。

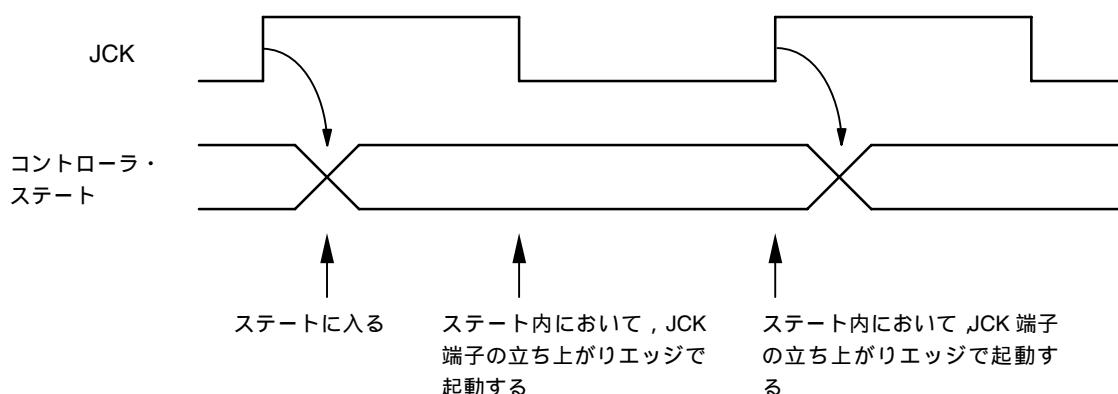
図 6 - 2 TAP コントローラの状態



備考 1. 図中の遷移を表す矢印の隣に示した“H”と“L”は、JCK 端子に入力されるクロックの立ち上がり時の JMS 端子の状態を示します。

2. 図中にある () 内の番号は、次に述べる各状態の説明の項目番号です。

図6-3 コントローラ状態での動作タイミング



(1) Test-Logic-Reset

JTAG バウンダリ・スキャン回路は、 μ PD98411 に対して動作しません。したがって、 μ PD98411 のシステム・ロジックには影響しません。これは、イニシャライズ時にバイパス命令がインストラクション・レジスタに格納、実行されているからです。TAP コントローラがどの状態のときでも、JMS 端子信号が少なくとも JCK 端子信号の立ち上がり 5 回分ハイ・レベル状態を保持すれば、Test-Logic-Reset 状態になります。TAP コントローラは、この状態を JMS 端子信号がハイ・レベルの間保持します。

TAP コントローラが Test-Logic-Reset 状態になる必要があるときは、JCK 端子信号の立ち上がりで JMS 端子信号に誤ったロウ・レベル信号が 1 回入力されても（たとえば外部インターフェースの影響）、JMS 端子信号が JCK 端子信号の立ち上がりエッジの 3 回分ハイ・レベル状態を保持すれば、もとの Test-Logic-Reset 状態に戻ります。

上記のエラーによって、テスト・ロジックの動作が μ PD98411 の論理動作を妨げることはありません。

Test-Logic-Reset コントローラ状態を抜けると、TAP コントローラは、Run-Test/Idle コントローラ状態に遷移します。この状態では、バイパス・レジスタの動作によりカレント命令が選択設定されていますので、どのような動作も行いません。また、この JTAG バウンダリ・スキャン回路の論理動作は、Select-DR-Scan 状態と Select-IR-Scan 状態でもインアクティブです。

(2) Run-Test/Idle

スキャン動作間（Select-DR-Scan 状態、Select-IR-Scan 状態）の TAP コントローラ状態です。一度この状態になると、JMS 端子信号がロウ・レベルを保持している間は、TAP コントローラもこの状態を保持します。1 回の JCK 端子信号の立ち上がりエッジで、JMS 端子信号がハイ・レベルを保持すれば、Select-DR-Scan 状態に遷移します。

カレント命令で選択されたすべてのテスト・データ・レジスタ（バウンダリ・レジスタ、バイパス・レジスタ）には、以前の状態が保持されます（Idle）。TAP コントローラがこの状態の間、命令は変化しません。

(3) Select-DR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには、以前の状態が保持されます。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がり時にロウ・レベルが保持されると、TAP コントローラは、Capture-DR 状態に遷移します。また、選択されたレジスタへのスキャン・シーケンスが開始されます。

JCK 端子信号の立ち上がり時にハイ・レベルが保持されると、TAP コントローラは、Select-IR-Scan 状態に遷移します。TAP コントローラがこの状態の間、命令は変化しません。

(4) Select-IR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには、以前の状態が保持されます。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がり時にロウ・レベルが保持されると、TAP コントローラは、Capture-IR 状態に遷移します。また、選択されたレジスタへのスキャン・シーケンスが開始されます。

JCK 端子信号の立ち上がり時に JMS 端子信号がハイ・レベル状態に保持されると、TAP コントローラは、Test-Logic-Reset 状態に戻ります。TAP コントローラがこの状態の間、命令は変化しません。

(5) Capture-DR

コントローラ状態において、データは JCK 端子信号の立ち上がりエッジで、カレント命令により選択されたバウンダリ・スキャン・レジスタにパラレル・ロード（この場合、個々のデバイスの入力端子からそれぞれのバウンダリ・スキャン・レジスタに同時にロードすること）されます。TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号が立ち上がりエッジの場合、TAP コントローラの状態は次のようになります。

- ・ JMS 端子信号がハイ・レベルに保持されたとき：Exit1-DR 状態に遷移
- ・ JMS 端子信号がロウ・レベルに保持されたとき：Shift-DR 状態に遷移

(6) Shift-DR

このコントローラ状態では、カレント命令によって（バウンダリ・スキャン・レジスタ、またはバイパス・レジスタのどちらかで）JDI と JDO の間が接続されます。シフト・データは、JCK 端子信号の立ち上がりエッジごとにシリアル出力方向に一段ずつシフトされます。

カレント命令により選択されたバウンダリ・スキャン・レジスタ、またはバイパス・レジスタは、シリアル・パス上に位置していないとき（Shift-DR 状態でないとき）、前の状態を変化させずに保持します。TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号が立ち上がりエッジの場合、TAP コントローラの状態は次のようになります。

- ・ JMS 端子信号がハイ・レベルに保持されたとき：Exit1-DR 状態に遷移
- ・ JMS 端子信号がロウ・レベルに保持されたとき：Shift-DR 状態のまま

(7) Exit1-DR

一時的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていれば、TAP コントローラは、Update-DR 状態に遷移します。これにより、スキャン・プロセスを終了します。

また、JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていれば、TAP コントローラは、Pause-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間は、命令は変化しません。

(8) Pause-DR

コントローラ状態は、バイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらかで接続している JDI と JDO 間のシフトを一時的に停止させます。カレント命令で選択されたこれらのレジスタは、以前の状態が変化しないで保持されます。

JMS 端子信号がロウ・レベルの間、TAP コントローラをこの状態で保持します。JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されているときは、TAP コントローラは、Exit2-DR 状態に遷移します。TAP コントローラがこの状態の間は、命令は変化しません。

(9) Exit2-DR

一時的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-DR 状態に遷移し、スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Shift-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタのどちらにおいても、以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間は、命令は変化しません。

(10) Update-DR

バウンダリ・スキャン・レジスタは、ある命令（たとえば EXTEST 命令）により、パラレル出力の変化（連結されているシフト・レジスタ・パスにシフトされている期間における）を防ぐためのパラレル出力ラッチを持っています。

Update-DR コントローラ状態において、JCK 端子信号の立ち下がりエッジで、データは、シフト・レジスタ・パスからこのレジスタのパラレル・アウトプットにラッチされます。

ラッチのためパラレル・アウトプットに保持されたデータは、このコントローラの状態により変化します（他のコントローラ状態では変化しません）。

カレント命令によって選択されたバウンダリ・スキャン・レジスタにおけるすべてのシフト・レジスタの過程は、変化のない以前の状態が保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Select-DR-Scan 状態に遷移します。

また、JCK 端子信号の立ち上がりエッジでロウ・レベルが保持されると、TAP コントローラは、Run-Test/Idle 状態に遷移します。

(11) Capture-IR

このコントローラ状態において、JCK 端子信号の立ち上がりエッジで、シフト・レジスタは、インストラクション・レジスタに固定論理値のパターン【01（2進）】をロードします。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それら以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Exit1-IR 状態に遷移します。

また、JCK 端子信号の立ち上がりエッジでロウ・レベルが保持されると、TAP コントローラは、Shift-IR 状態に遷移します。

(12) Shift-IR

このコントローラ状態において、インストラクション・レジスタ内のシフト・レジスタで JDI と JDO の間
が接続されます。シフト・データは、JCK 端子信号の立ち上がりエッジごとにシリアル出力方向に一段シフト
されます。

カレント命令によって選択されるバウンダリ・スキャン・レジスタか、バイパス・レジスタは、変化のない
それらの以前の状態が保持されます。

TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態において JCK 端子信号が立ち上がりエッジで、TAP コントローラは、JMS 端
子信号がハイ・レベルに保持されていると、Exit1-IR 状態になります。また、JMS 端子信号がロウ・レベルに
保持されていると、Shift-IR 状態のままです。

(13) Exit1-IR

一時的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号が
ハイ・レベルに保持されていると、TAP コントローラは、Update-IR 状態に遷移します。これにより、スキャン
・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラ
は、Pause-IR に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、
それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

(14) Pause-IR

このコントローラ状態は、インストラクション・レジスタのシフトを一時的に停止させます。カレント命令
で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタは、以前の状態が変化しないで保持され
ます。

TAP コントローラがこの状態の間、命令は変化しません。また、インストラクション・レジスタはその状態
を保持します。

JMS 端子信号がロウ・レベルの間、TAP コントローラをこの状態で保持します。JCK 端子信号の立ち上
がりエッジで JMS 端子信号がハイ・レベルに保持されているときは、TAP コントローラは、Exit2-IR 状態に遷
移します。

(15) Exit2-IR

一時的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-IR コントローラ状態に遷移します。これにより、スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Shift-IR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態、またはインストラクション・レジスタにその状態が保持されている間は、命令は変化しません。

(16) Update-IR

このコントローラ状態において、インストラクション・レジスタにシフトされた命令は、JCK 端子信号の立ち下がりエッジで、シフト・レジスタ・パスからパラレル・アウトプット上にラッチされます。いったん、新しい命令がラッチされたらカレント命令となります。

カレント命令によって選択されたバイパス・レジスタ、またはバウンダリ・スキャン・レジスタのどちらも、前の状態を保持します。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Select-DR-Scan 状態に遷移します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されると、TAP コントローラは、Run-Test/Idle 状態に遷移します。

(8) の Pause-DR コントローラ状態と、(14) の Pause-IR コントローラ状態は、バイパス・レジスタ、バウンダリ・スキャン・レジスタ、またはインストラクション・レジスタ内のデータのシフトを一時停止します。

6.5 TAP コントローラ動作

TAP コントローラの動作は、次のとおりです。

TAP コントローラは (1) , (2) のどちらかで状態遷移を行います。

- (1) JCK 端子信号の立ち上がりエッジ
- (2) JRST_B 端子入力

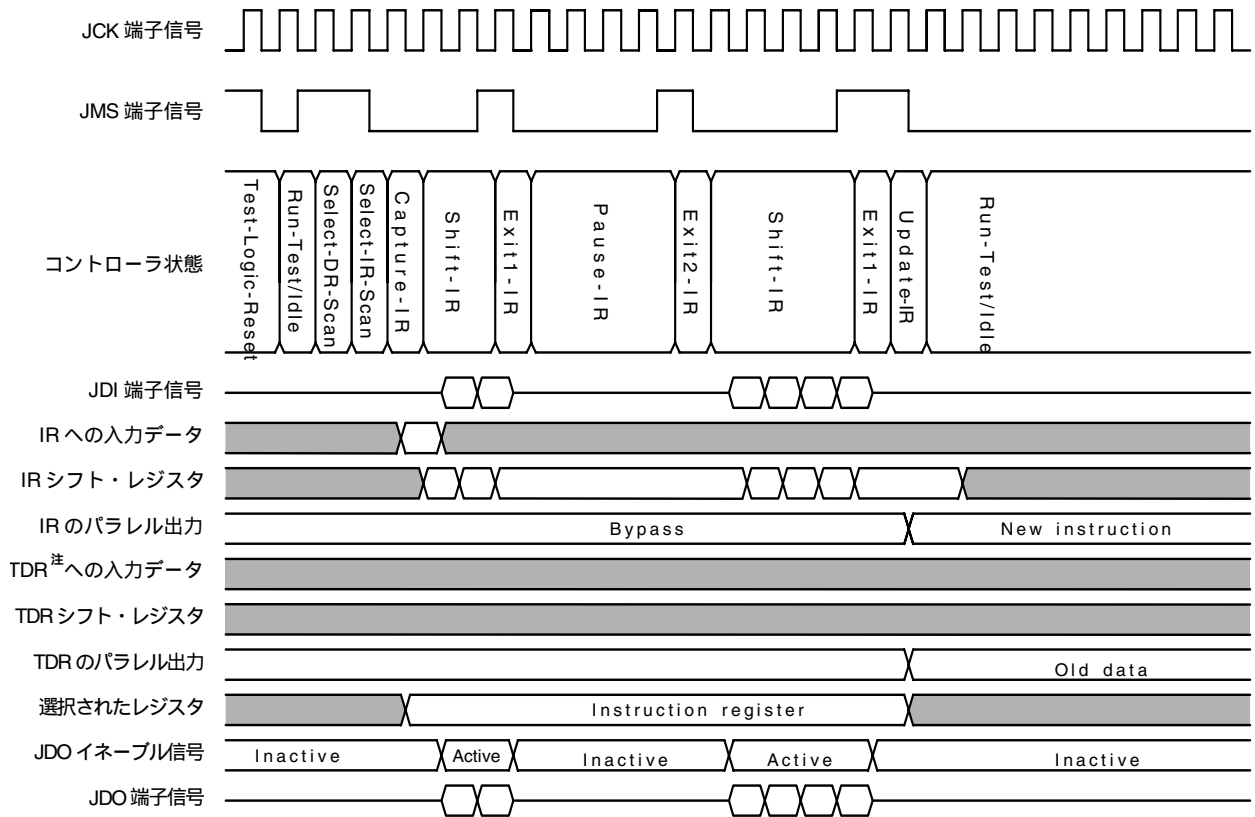
TAP コントローラは、この標準で定義されているバイパス・レジスタ、バウンダリ・スキャン・レジスタ、およびインストラクション・レジスタの動作を制御する信号を生成します (図6-4, 図6-5参照)。

JDO 端子出力バッファと、JDO 端子に出力するレジスタを選択する周辺回路は、表6-1のように制御されています。表6-1において定義される JDO 端子は、その状態に遷移したあと、JCK 端子信号の立ち下がりエッジで変化します。

表6-1 それぞれのコントローラ状態における動作

コントローラ状態	JDO 端子へドライブする選択されたレジスタ	JDO 端子ドライバ
Test-Logic-Reset	未定義	ハイ・インピーダンス
Run-Test/Idle		
Select-DR-Scan		
Select-IR-Scan		
Capture-IR		
Shift-IR	インストラクション・レジスタ	アクティブ
Exit1-IR	未定義	ハイ・インピーダンス
Pause-IR		
Exit2-IR		
Update-IR		
Capture-DR		
Shift-DR	データ・レジスタ (バウンダリ・スキャン・レジスタ, バイパス・レジスタ)	アクティブ
Exit1-DR	未定義	ハイ・インピーダンス
Pause-DR		
Exit2-DR		
Update-DR		

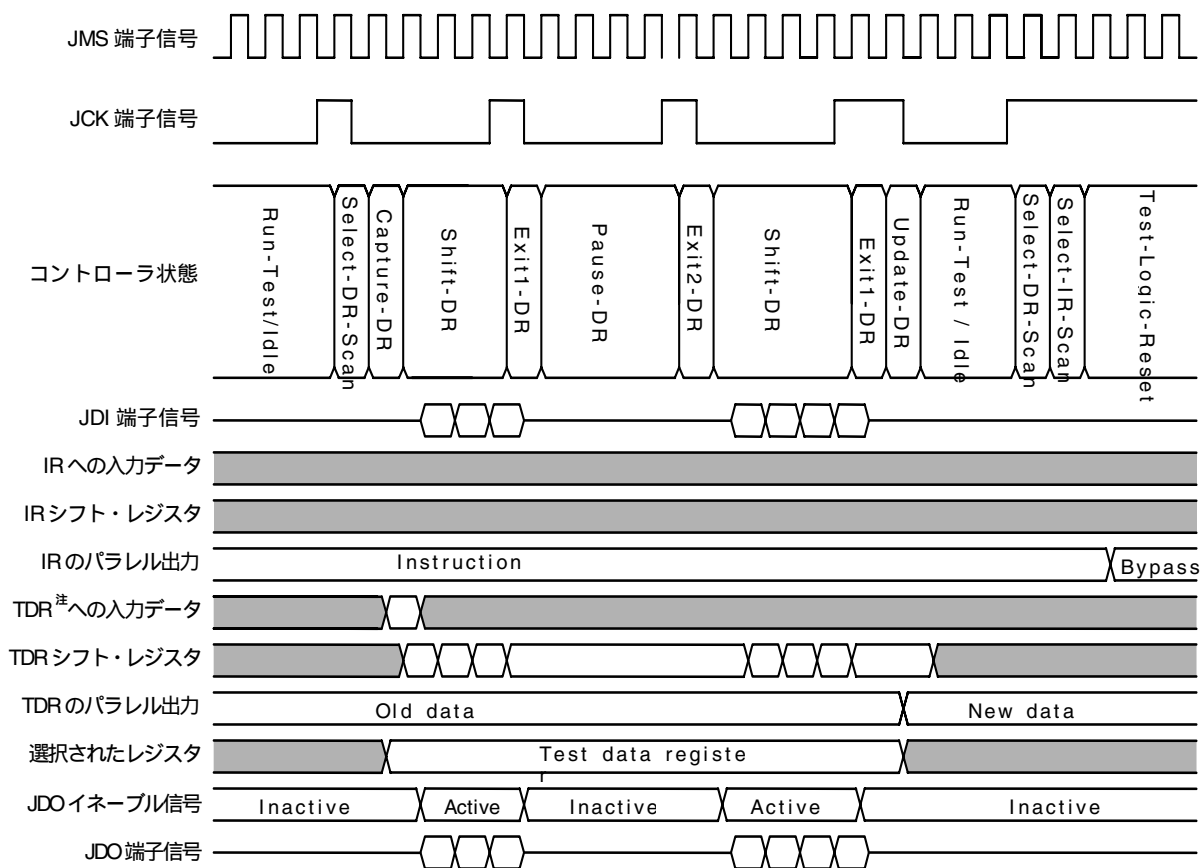
図6-4 テスト・ロジックの動作 (インストラクション・スキャン)



注 TDR (Test Data Register) :バウンダリ・スキャン・レジスタ , およびバイパス・レジスタ。

備考 : Don't care あるいは未定義。

図6-5 テスト・ロジックの動作(データ・スキャン)



注 TDR (Test Data Register) : バウンダリ・スキャン・レジスタ, およびバイパス・レジスタ。

備考 : Don't care あるいは未定義。

6.6 TAP コントローラの初期化

TAP コントローラの初期化は次のとおりです。

- (1) TAP コントローラは、システム・リセットのようなシステム入力の動作によっても初期化されません。
- (2) TAP コントローラは、JCK 端子信号の立ち上がりエッジ (JMS 端子信号がハイ・レベルを保持) 5 回で、Test-Logic-Reset コントローラ状態に遷移します。
- (3) JRST_B 入力により TAP コントローラを非同期に Test-Logic-Reset 状態になります。

6.7 インストラクション・レジスタ

このレジスタは、次のように定義されます (6.2 バウンダリ・スキャン回路内部構成 参照)。

- (1) インストラクション・レジスタにシフト入力された命令は、Update-IR コントローラ状態と、Test-Logic-Reset コントローラ状態でのみ変化するようにラッチされます。
- (2) インストラクション・レジスタのシリアル入力と、シリアル出力間のデータの反転はありません。
- (3) Capture-IR コントローラ状態において、このレジスタ・セルは、固定された 2 進の “01” パターン・データ (LSB (Least Significant Bit) が “1”) がロードされます。
- (4) Test-Logic-Reset コントローラ状態の間、このレジスタは、固定された 2 進の “01” パターン・データ (LSB (Least Significant Bit) が “1”) がセットされます。
- (5) このレジスタが読み出されているとき、JCK 端子信号の立ち上がりエッジごとに LSB を先頭にして MSB まで、JDO 端子からデータが出力されます。

μ PD98411 におけるこの JTAG バウンダリ・スキャン回路は、このインストラクション・レジスタに指定されたデータの設定によって、以下に示す 3 つの命令のみをサポートすることができます。

- BYPASS 命令
- EXTEST 命令
- SAMPLE/PRELOAD 命令

インストラクション・レジスタ		サポートする命令
D1	D0	
0	0	EXTEST 命令
0	1	SAMPLE/PRELOAD 命令
1	0	未使用 (BYPASS 命令)
1	1	BYPASS 命令

6.7.1 BYPASS 命令

この命令は、インストラクション・データ“11”または、“10”で指定されます。Shift-DR コントローラ状態において、この命令は、バイパス・レジスタ（JDI 端子と JDO 端子の間をシリアル・アクセスするためのもの）のみを選択するために使用されます。

この命令が選択されているとき、JTAG バウンダリ・スキャン回路の動作は、 μ PD98411 の動作に影響しません。

Test-Logic-Reset コントローラ状態の間、このバイパス命令が選択されます。

6.7.2 EXTEST 命令

インストラクション・データ“00”で指定されます。Shift-DR コントローラ状態において、JDI 端子と JDO 端子の間のシリアル・アクセスのバウンダリ・スキャン・レジスタを選択するために使用されます。

・この命令が選択されているとき：

システム出力端子からドライブされるすべての信号の状態は、バウンダリ・スキャン・レジスタにシフトされているデータによって完全に定義されます。また、Update-DR コントローラ状態において、JCK 端子信号の立ち下がりエッジでのみ変化します。

システム入力端子から入力されるすべての信号の状態は、Capture-DR コントローラ状態において、JCK 端子信号の立ち上がりエッジでバウンダリ・スキャン・レジスタにロードされます。

6.7.3 SAMPLE/PRELOAD 命令

インストラクション・データ“01”で指定されます。これは、SAMPLE 機能と PRELOAD 機能の2つを1つの命令で実行できる命令です。

6.7.4 バウンダリ・スキャン・データ・ビット定義

お客様のご要求により、 μ PD98411 の参考 BSDL (Boundary Scan Description Language) ファイルを提供させていただきます。巻末の [NEC 半導体テクニカル・ホットライン] までご連絡ください。

第7章 ボード・レイアウトについて

μ PD98411 は、動作がノイズに影響を受けやすい PLL 回路を内蔵しています。また、回線側のインタフェースが高速なので、ボード開発時のレイアウトについて配慮する必要があります。

μ PD98411 の電源、グランド端子は、表 7- 1 のように、その供給先ブロックに応じて 3 つに分類されます。

表 7- 1 電源グランドの分類

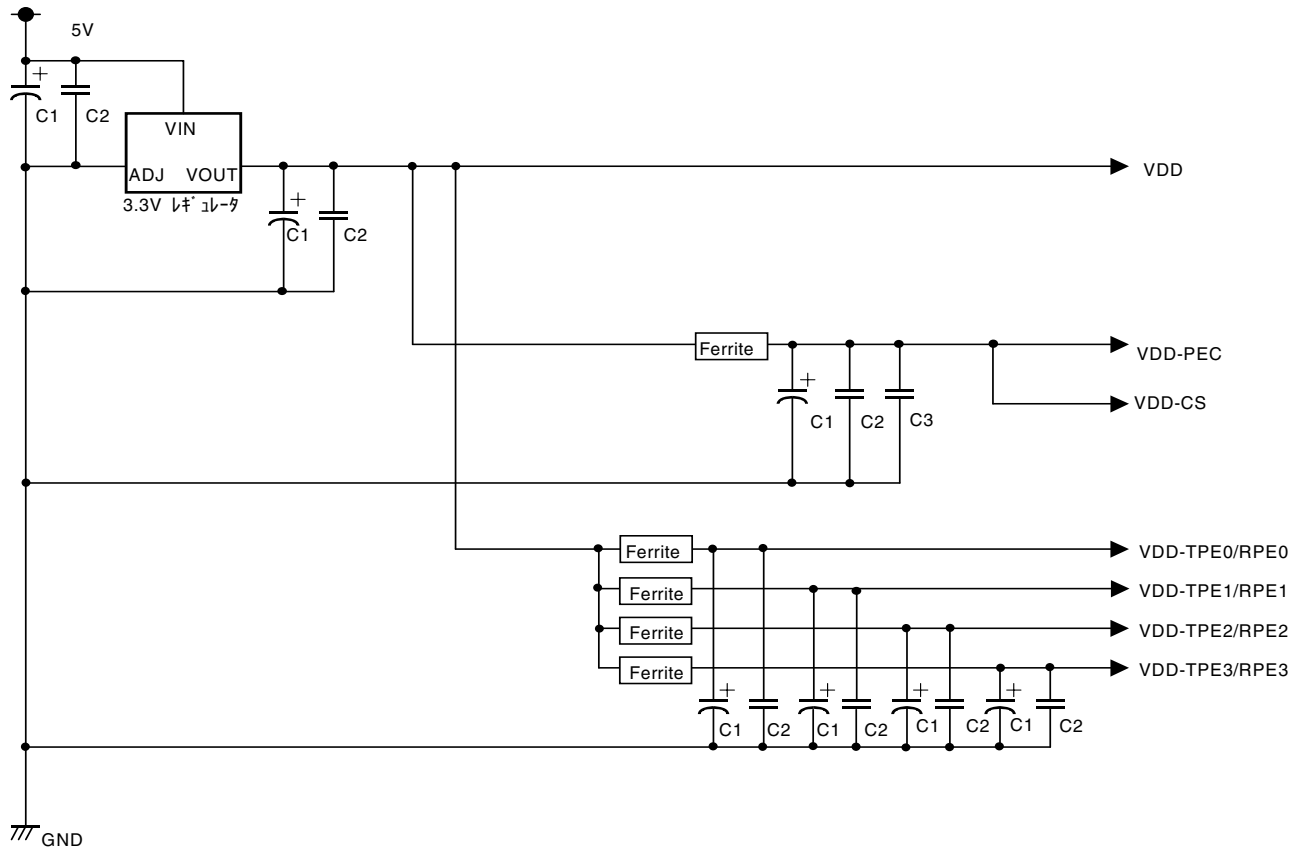
供給ブロック	端子名	端子番号	対ノイズ	
ロジック部電源グランド	VDD	8, 14, 21, 40, 46, 61, 81, 100, 120, 132, 140, 147, 160, 164, 173, 181, 187, 194, 201, 208, 214, 220, 227, 234, 240		
	GND	1, 2, 11, 20, 35, 41, 50, 60, 62, 80, 101, 107, 121, 122, 139, 148, 154, 161, 167, 179, 180, 188, 191, 200, 207, 221, 224, 233		
送信クロック・シンセサイザ PLL 部用電源グランド	VDD-PEC	51	敏感	
	GND-PEC	54		
	VDD-CS	57		
	GND-CS	56		
高速インタフェースブロック部	シリアル-パラレル変換部および送信 P-ECL 部用電源グランド	VDD-TPE0	68	敏感
		VDD-TPE1	77	
		VDD-TPE2	88	
		VDD-TPE3	97	
	クロック・リカバリ PLL ブロック部、および受信 P-ECL バッファ用電源グランド	GND-TPE0	71	
		GND-TPE1	82	
		GND-TPE2	91	
		GND-TPE3	102	
		VDD-RPE0	75	敏感
		VDD-RPE1	86	
		VDD-RPE2	95	
		VDD-RPE3	106	
		GND-RPE0	72	
		GND-RPE1	83	
		GND-RPE2	92	
GND-RPE3	103			

のロジックを除く、 μ PD98411 の端子は、 μ PD98411 内部のシンセサイザ/クロック・リカバリ PLL 部、および高速インタフェース部に電源を供給しており、これら電源グランドに乗るノイズは、送信データのジッタ出力や、受信データのジッタ・トレランスなどの特性に影響を与えますので、他からノイズが回り込まないようにする配慮が必要です。

(1) バイパス・コンデンサの挿入

各電源端子にバイパス・コンデンサを挿入します。特に， の電源端子は，それぞれに $10\ \mu\text{F}$ ~ $47\ \mu\text{F}$ の積層タンタル・コンデンサと $0.1\ \mu\text{F}$ のセラミック・コンデンサの組にして挿入し， $0.1\ \mu\text{F}$ の方は，できるかぎり端子近くに配置してください。

図7-1 $\mu\text{PD98411}$ とその周辺ブロック



C1 = $10 \sim 47\ \mu\text{F}$ 積層コンデンサ， C2 = $0.1\ \mu\text{F}$ C3 = $330\ \text{pF}$ セラミック・コンデンサ

Ferrite : (フェライト・ビーズ) ノイズの周波数によって挿入するフィルタです。必須ではありません。

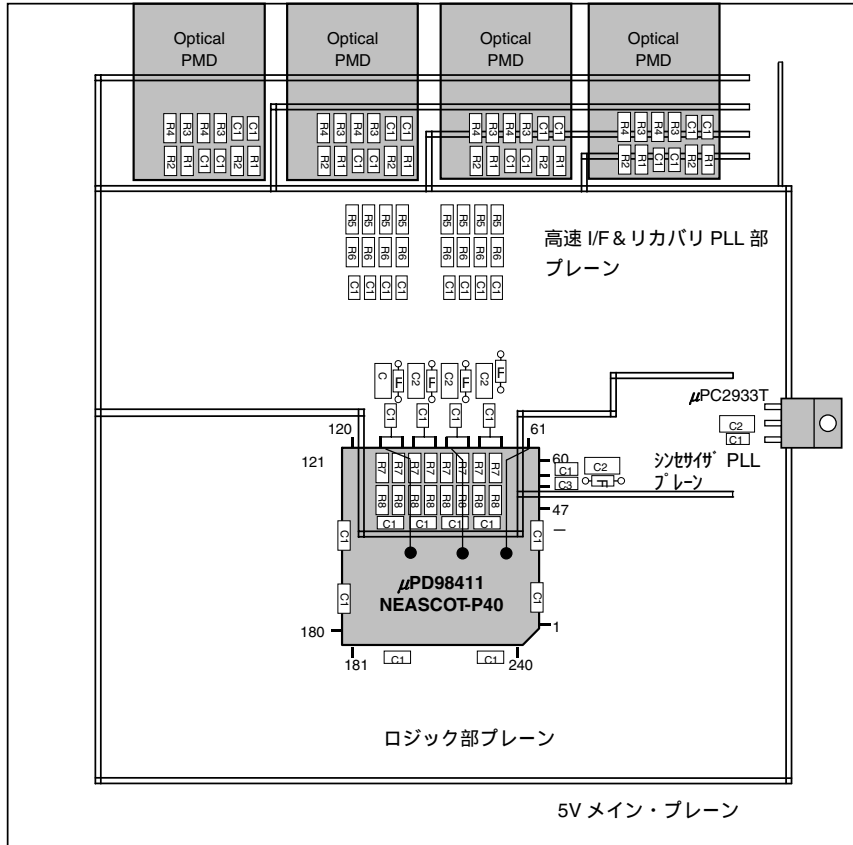
3.3V レギュレータ : $\mu\text{PD98411}$ は，最大で $800\ \text{mA}$ の電流を消費します。十分なマージンをもって選択してください。

(2) 電源プレーンの分割

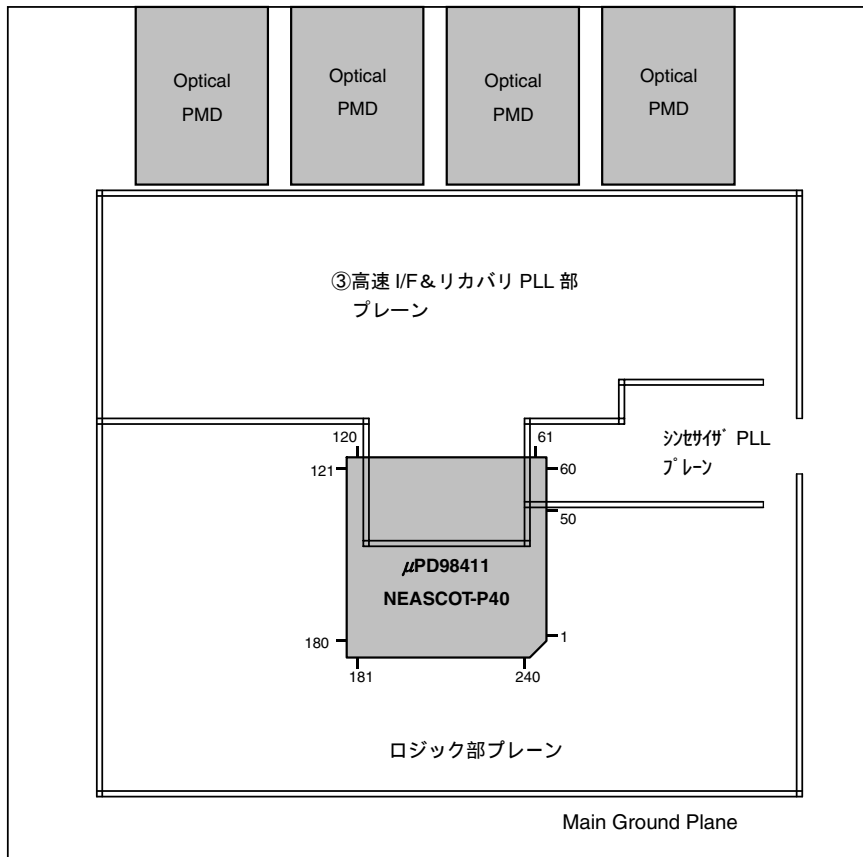
図7-2に，4層基板上で，電源とグランド・プレーンを分割した一例を示します。図中の， および は，表7-1で3種類に分類した電源，グランドです。3.3Vレギュレータは，3プレーンから等距離になるよう配置し，特に ロジック部のプレーンから， シンセサイザPLL部， 高速インタフェース部にノイズを回さないように配慮します。プレーンの細分化により各プレーンのインピーダンスが高くなるないように，それぞれの電源プレーンは，なるべく面積を大きく取ってください。中でも， 高速インタフェース部は，消費電力が大きいので，面積を比較的大きめにしてください。どうしても面積が取れない場合，グランドは分割せずに一面ベタにすることをお勧めします。

図7-2 電源グランド・プレーン

電源層



グランド層

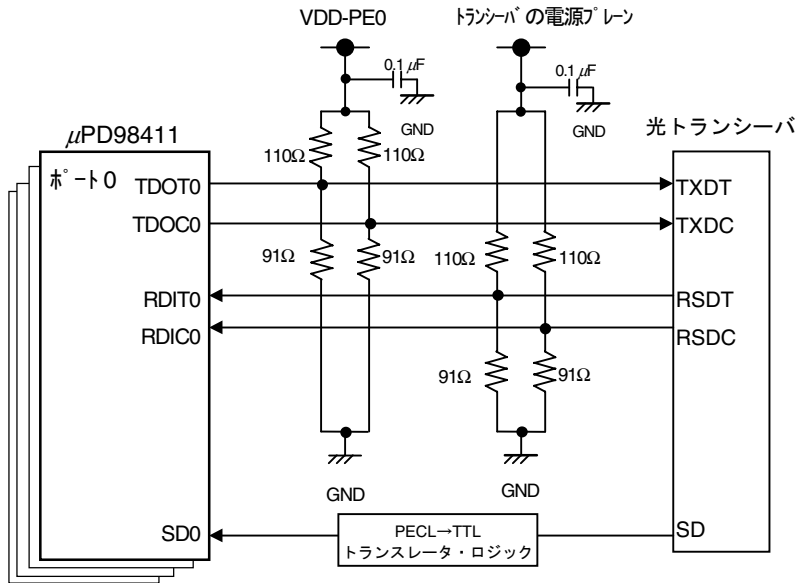


(3) PECL インタフェースのプルアップ電源

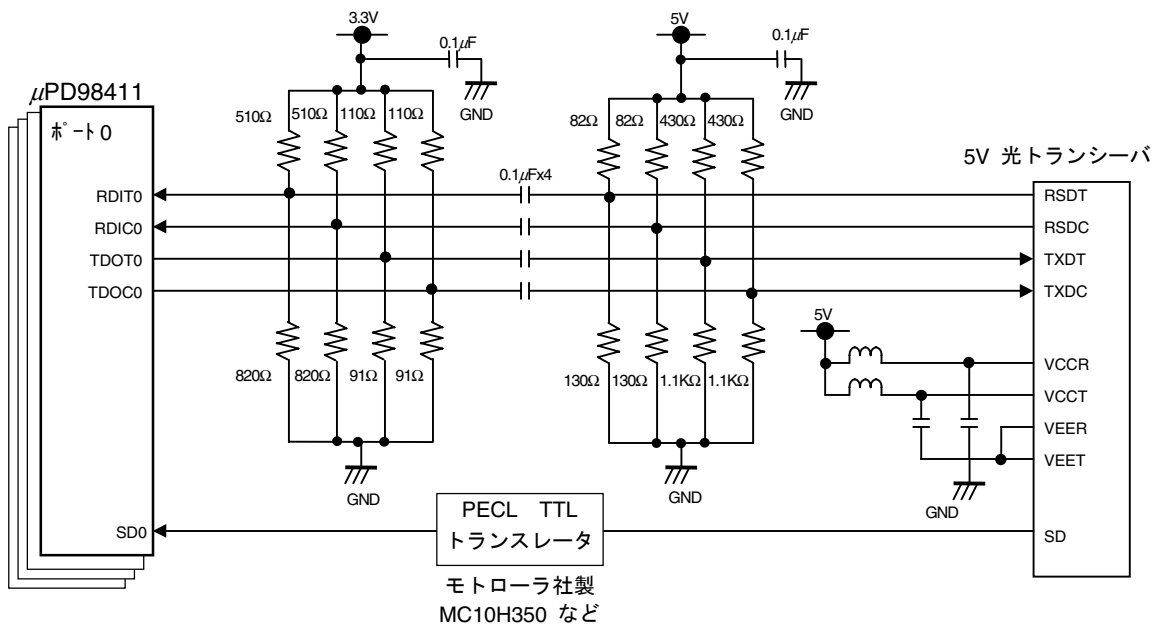
μ PD98411 の回線側インタフェースは PECL レベルで、VDD-2V で 50 Ω に終端する必要があります。そのプルアップ抵抗に供給する電源は、VDD-PE0 ~ VDD-PE3 が属する 高速インタフェース・プレーンから供給することをお勧めします。また、それぞれに 0.1 μ F のバイパス・コンデンサを挿入してください。

図7-3 PECL インタフェース

3.3 V トランシーバとの接続例



5 V トランシーバとの接続例



第8章 制限事項

8.1 制限項目

μ PD98411 には、表 8 - 1 に示す使用上の制限があります。この内容を十分にご検討のうえ、 μ PD98411 をご使用いただきますようお願いいたします。

表 8 - 1 制限事項一覧

	項 目
1	SD = L 検出時の Performance Counter の停止
2	ICR ビットによるソフト・リセット時の警報検出の消滅
3	SD = L による LOS 検出中のセル転送
4	レジスタのアクセス間隔に関する制限
5	エラー・レート・モニタの設定手順に関する制限
6	疑似エラー・フレーム送出設定 / 解除時に関する制限
7	送信 OH バイト・インサート・レジスタ変更に関する制限
8	受信セル処理のモード変更に関する制限
9	ATM ループバック・モードの設定 / 解除制限
10	FIFO フル時の ATM ループバック・モード切り替え制限
11	Dual-8bit モード時の UTOPIA パリティ機能制限
12	割り込み要因レジスタ・リードに関する制限

8.2 制限事項説明

8.2.1 SD = L 検出時の Performance Counter の停止

LOS 検出中 (50 μ s 間の 0 連続受信、もしくは、SD 端子入力がロウ・レベル) では、すべてのパフォーマンス・モニタリング・カウンタ (Information Cell, Idle Cell, FIFO Full, HEC, B1, B2, B3, L-REI, P-REI, FJ) は、強制的に停止する仕様になっています。

LOS 検出中に受信したセルに関しては、Information Cell カウンタ (情報セル・カウンタ) でカウントしません。受信回線ケーブルを切断し μ PD98411 を LOS 検出した状態で、TLP ループバック・モードに設定して折り返し試験を行うとき、 μ PD98411 に入力したセルは、内部を通過して受信 UTOPIA インタフェースからループされてきますが、受信セルをカウントする Information Cell カウンタ (情報セル・カウンタ) は、そのセルをカウントしませんので注意してください。

8.2.2 ICR ビットによるソフト・リセット時の警報検出の消滅

LOS などの状態を通知するイベントを検出した場合にセットされる割り込み要因レジスタのビットは、イベントから復旧し、かつレジスタをリードするまでセットを保持する仕様になっています。しかし、CMR2 レジスタの ICR ビット（割り込み要因レジスタの初期化）を使って、PICR レジスタ（割り込み要因レジスタ）を一度クリアすると、その後イベント検出状態が継続していても、イベントから一度復旧しふたたび検出されるまで、ビットが再セットされません。これは、LOS、LOF、AIS、RDI、OCD、LCD、OOF、LOP、RAPS、OOL、CMD の状態を通知するイベントすべてにあてはまります。

ハードウェア・リセット、および CMR2 レジスタの ALL ビットによるリセットでは、割り込み要因レジスタは再セットされますので問題ありません。レジスタ・リードによるリセットにおいても、要因が消滅しているときにのみクリアされ、状態が継続している間はセットされたままになるので問題ありません。

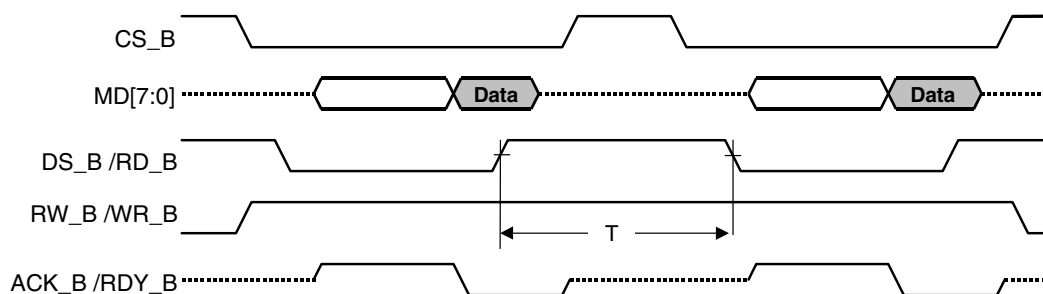
8.2.3 SD = L による LOS 検出中のセル転送

μ PD98411 は、オール 0 のデータを $50 \mu\text{s}$ 連続で受信するか、あるいは SD 端子入力がロウ・レベルになると、LOS 検出状態になります。 μ PD98411 では、LOS 検出状態になった場合に、強制的に受信セルを UTOPIA 側に出力しない制御を特に行っていないため、LOS 検出状態であってもセル同期が確立すると、そのセルを受信 FIFO に格納し受信 UTOPIA インタフェース側に出力します。回線側から正常な受信データを入力しているときに、SD 端子入力のみを強制的にロウ・レベルにすると、 μ PD98411 は LOS 検出を報告しますが、受信セルは出力されませんのでご注意ください。

8.2.4 レジスタのアクセス間隔に関する制限

ホスト CPU が、 μ PD98411 のレジスタに対して「 $7 \times \text{REFCLK}$ 周期（約 364 ns ）」時間より短い間隔でリード/ライト・アクセスを行うと、正常にリード/ライトできない場合があります。レジスタ・アクセスの間隔（図 8-1 の T）は、最短でも「 $7 \times \text{REFCLK}$ 周期」時間あけるようにしてください。

図 8-1 レジスタ・アクセス間隔（リード リードの例）



8.2.5 エラー・レート・モニタの設定手順に関する制限

エラー・レート・モニタ機能を使用する場合に必要なスレッシュホールド・レジスタ (B1THR, B2THR レジスタなど) への“しきい値”の設定, およびタイム・レジスタ (FRMN レジスタ) への“モニタ時間”の設定には, 次の制限があります。

スレッシュホールド・レジスタに設定した“しきい値”は, 設定後, FRMN にライト・アクセスしなければ有効になりません。そのため, FRMN レジスタの設定は, スレッシュホールド・レジスタのあとに行ってください。

FRMN レジスタへのアクセスは, その前に行った FRMN レジスタへのアクセスから, 「130 x REFCLK 周期 (約 7 μ s)」の間隔をあける必要があります。スレッシュホールド・レジスタの設定前に FRMN レジスタにアクセスしていない場合は必要ありません。

8.2.6 疑似エラー・フレーム送出設定 / 解除時に関する制限

送信 OH バイトの送出と, そのバイトに関連する疑似エラー・フレームの送出設定 / 解除のタイミングとが重なった場合, 送信中の OH バイトのデータが破壊されることがあります。データが破壊された OH バイトを送出するのは, タイミングが重なった直後の 1 フレームのみです。

8.2.7 送信 OH バイト・インサート・レジスタ変更に関する制限

送信 OH バイトの送出と該当 OH インサート・レジスタの変更タイミングとが重なったとき, 送信中の OH バイトのデータが破壊されることがあります。データが破壊された OH バイトを送出するのは, タイミングが重なった直後の 1 フレームのみです。インサート・レジスタに同じ値をライトした場合には, 発生しません。

8.2.8 受信セル処理のモード変更に関する制限

受信セルの処理に関するモードの変更タイミングと, その処理に該当するセルの受信タイミングが重なったとき, 誤った処理を行う場合があります。モード設定および変更は, 有効セルを受信する前に行ってください。

表 8 - 2 モード変更内容と誤動作

モード変更内容と受信セル	動作
DCHPR, DCHPMR レジスタの設定変更と VPI/VCI = 0/0 のヘッダを持つセルの受信とが重なったとき	DCHPR, DCHPMR レジスタのドロップセル・ヘッダ・パターンと一致していないにもかかわらず, セルを誤って廃棄することがあります。 誤って廃棄するセルは, VP/VCI = 0/0 のヘッダを持つセルのみです。
MDR3 レジスタの CORE ビットの変更とオーバ・ヘッドに 1 ビット・エラーを含んだセルの受信とが重なったとき	1 ビット・エラーを訂正せずに受信セルとして出力することがあります。 誤って出力するセルは 1 セルのみです。

8.2.9 ATM ループバック・モードの設定 / 解除制限

次に示す条件において、ALP モードから通常送受信モードに切り替えた場合、切り替え直後に送信回線側、および受信 UTOPIA インタフェース側へ出力する最初のセル・データが破壊されることがあります。

ALP モードの設定 / 解除を約 $3.5 \mu\text{s}$ 以内の間隔で行った場合。

ALP モード中に、送信機能をディスエーブルにした場合 (CMR2 レジスタの TDIS ビット = 1)。

ALP モードの設定 / 解除は、 $3.5 \mu\text{s}$ 以上の間隔をあげ、ALP モード設定中には、送信機能をディスエーブルにしないでください。

8.2.10 FIFO フル時の ATM ループバック・モード切り替え制限

受信 FIFO がフル状態 (8 セル格納中) のときに ATM レイヤ・ループバック・モード (ALP モード) の設定 / 解除を行うと、セルを廃棄していないにもかかわらず、受信 FIFO オーパフロー・エラーを通知するステータス・ビットのセット、および FIFO Full カウンタのインクリメントを行うことがあります。

ATM ループバックの設定 / 解除後、FIFO オーパフローに関して、不正に通知するステータス・ビット、およびカウンタ値はクリアするようにしてください。

8.2.11 Dual 8-bit モード時の UTOPIA パリティ機能制限

UTOPIA インタフェースを Dual 8-bit モードとして使用する場合、 $\mu\text{PD98411}$ は送信側 UTOPIA パリティ・チェックを正しく実行することができません。このモードでは、パリティ・チェック結果を無視するようにしてください。

8.2.12 割り込み要因レジスタ・リードに関する制限

回線障害検出、カウンタのオーパフローなどのイベント検出を通知する割り込み要因レジスタにおいて、LSI 内部でのイベント発生タイミングと、ホストからのレジスタ・リード・タイミングが重なると、レジスタにビットがセットされないことがあります。ホストは、イベントの発生を検知できないことがあります。

割り込みモード RCM=0 モードでは、イベント発生タイミングとレジスタ・リード・タイミングが重なった場合、割り込み信号がアクティブにならないことがあります。RCM=1 モードでは、イベント発生により割り込み要因レジスタがセットされるタイミングとレジスタ・リード・タイミングが重なった場合、割り込み信号がアクティブにならないことがあります。

現象が発生する割り込み要因レジスタと、ビットを表 8-3 に示します。

表 8 - 3 該当ビット

レジスタ	ビット	通知内容	備 考	
PICR	0 RFO	受信 FIFO オーバフロー発生	受信 FIFO オーバフローが要因でセルを廃棄した場合にセットされるビットです。セルごとにセットされます。セル廃棄が連続して行われた場合には、1 セル目を検知できなくなっても、2 セル目の廃棄で再びセットされます。 PICR レジスタの他のビットでは、この現象は起きません。	
PCR	5 FJ	FJ 発生通知	受信フレームで、イベントを検出した場合に、セットされるビットです。 受信フレームごとにセットされます。 PCR レジスタの他のビットでは、この現象は起きません。	
	4 B1E	B1 ビットエラー発生		
	3 B2E	B2 ビットエラー発生		
	2 B3E	B3 ビットエラー発生		
	1 LREI	LREI 検出通知		
	0 PREI	PREI 検出通知		
PCOCR1	5 B1EC	B1 カウンタのオーバフロー発生	PM カウンタがオール F(H)を通過した場合に、セットされるビットです。	
	4 B2EC	B2 カウンタのオーバフロー発生		
	3 B3EC	B3 カウンタのオーバフロー発生		
	2 LREC	LREI カウンタのオーバフロー発生		
	1 PREC	PREI カウンタのオーバフロー発生		
	0 FJC	FJ カウンタのオーバフロー発生		
PCOCR2	7 Z2_6	受信 Z2#1 バイトが 6 回一致	MDR2 レジスタの MGM ビットを 1 にセットした場合にのみに使用するビットです。受信 Z2#1 バイトにおいて、6 または 12 回連続で同値を受信した場合にセットされます。	
	6 Z2_12	受信 Z2#1 バイトが 12 回一致		
	3 HECC	HEC 廃棄セル・カウンタのオーバフロー発生		PM カウンタがオール F(H)を通過した場合に、セットするビットです。
	2 FULC	FIFO Overflow 廃棄セル・カウンタのオーバフロー発生		
	1 IDLC	アイドル・セル・カウンタのオーバフロー発生		
	0 INFC	受信セル・カウンタのオーバフロー発生		

表 8 - 4 対策案

レジスタ/ビット	対 策
PICR (RFO) PCR	これらのレジスタの履歴通知機能とは別に、検出したイベント数を累計するカウンタを装備しています。カウンタのポーリングを履歴確認の代用にご覧ください。
PCOCR1,2 (Z2_6,Z2_12 を除く)	カウンタは、CPU がリードするたびに 0 クリアされます。オーバフローする前にカウンタをリードすることで、オーバフローのイベントを発生させないようにします。最短でオーバフローを起こすカウンタは、B1, B3, P-REI カウンタで、その時間は 1.024 秒です。1 秒以内の周期でカウンタをポーリングすることで、オーバフローを検出することがなくなります。

〔メ モ〕

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話：044-435-9494
FAX：044-435-9608
E-mail：s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107,
6108
大阪 (06)6945-3178, 3200,
3208, 3212
仙台 (022)267-8740
郡山 (024)923-5591
千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111,
6112
立川 (042)526-5981, 6167
松本 (0263)35-1662
静岡 (054)254-4794
金沢 (076)232-7303
松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156
水戸 (029)226-1702
広島 (082)242-5504
前橋 (027)243-6060
鳥取 (0857)27-5313
太田 (0276)46-4014
名古屋 (052)222-2170, 2190
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス デバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD98411 ユーザーズ・マニュアル
(S12736JJ4V1UM (第4版))

[お名前など] (さしつかえない範囲で)

御社名(学校名, その他) ()
 ご住所 ()
 お電話番号 ()
 お仕事の内容 ()
 お名前 ()

1. ご評価 (各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ()					
()					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他)
 理由 []

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他)
 理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは
 NEC 販売員, 特約店販売員, その他 ()

ご協力ありがとうございました。

下記あてに FAX で送信いただくか, 最寄りの販売員にコピーをお渡しください。

日本電気(株) NEC エレクトロニクス
 半導体テクニカルホットライン

FAX : (044) 435-9608

2000.6