

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

保守 / 廃止

μ PD98410

(NEASCOT - X10™)

1.2G ATM SWITCH LSI

[メ モ]

目 次 要 約

第 1 章	概 説	...	17
第 2 章	端子機能	...	21
第 3 章	機能概要	...	41
第 4 章	内部レジスタ	...	127
第 5 章	JTAG バウンダリ・スキャン	...	177
第 6 章	使用制限事項	...	193
第 7 章	FAQ (Frequently Asked Questions)	...	203

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

NEASCOT-X10 は、日本電気株式会社の商標です。

本製品は外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当しますので、日本国外に輸出する場合には、同法に基づき日本国政府の輸出許可が必要です。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

本資料の内容は、後日変更する場合があります。

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

本版で改訂された主な箇所

ページ	内 容
p.45 , 47 , 96	第 3 章 3.2.1 ボーリング概要 , 3.2.2 セル出力時のボーリング , 3.6.2 使用するカウンタ , フラグ (3) 説明の追加
p.110	3.9.10 カウント・オーバ検出 追加
p.129	4.2 レジスタ・マップ 追加
p.177	第 5 章 JTAG バウンダリ・スキャン 追加
p.193	第 6 章 使用制限事項 追加
p.203	第 7 章 FAQ (Frequently Asked Questions) 追加

本文欄外の 印は , 本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者 このマニュアルは、 μ PD98410 の機能を理解し、それを用いたアプリケーション・システムを設計するエンジニアを対象としています。

目的 このマニュアルは、次の構成に示す μ PD98410 の持つハードウェア機能をユーザに理解していただくことを目的としています。

構成 このマニュアルは、次の内容で構成されています。

- ・概説
- ・端子機能
- ・機能概要
- ・内部レジスタ
- ・JTAG バウンダリ・スキャン
- ・使用制限事項
- ・FAQ (Frequently Asked Questions)

読み方 このマニュアルの読者には、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

- 一通り μ PD98410 の機能を理解しようとするとき
目次に従ってお読みください。
- μ PD98410 の動作について何か不明な点があるとき
第 7 章 FAQ (Frequently Asked Questions) をお読みください。

凡例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: XXX_B (端子, 信号名称に_B)
	メモリ・マップのアドレス	: 上部 - 上位, 下部 - 下位
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2 進数...XXXX または XXXXB 10 進数...XXXX 16 進数...XXXXH または XXXXh

関連資料 関連資料は暫定の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

- パンフレット：S12131J
- データシート：S12624J
- アプリケーションノート：S13107J

目 次

第 1 章 概 説 ... 17

- 1.1 特 徴 ... 17
- 1.2 オーダ情報 ... 17
- 1.3 システム構成例 (用途) ... 18
- 1.4 ブロック図 ... 19
- 1.5 端子構成図 ... 20

第 2 章 端子機能 ... 21

- 2.1 端子概要図 (Bottom View) ... 21
- 2.2 端子配置 ... 23
- 2.3 端子機能 ... 29
 - 2.3.1 パワ - ・サブライ ... 29
 - 2.3.2 UTOPIA インタフェ - ス ... 30
- 2.4 メモリ・インタフェース信号 ... 34
 - 2.4.1 マイクロプロセッサ・インタフェース信号 ... 36
 - 2.4.2 JTAG ... 38
 - 2.4.3 その他 ... 38
- 2.5 未使用端子の処理方法 ... 39
- 2.6 リセット時の端子の状態 ... 40

第 3 章 機能概要 ... 41

- 3.1 UTOPIA インタフェ - ス ... 41
 - 3.1.1 入力ポ - ト・インタフェ - ス ... 42
 - 3.1.2 出力ポ - ト・インタフェ - ス ... 43
- 3.2 ポ - リング ... 44
 - 3.2.1 ポ - リング概要 ... 44
 - 3.2.2 セル出力時のポーリング ... 46
 - 3.2.3 セル入力時のポーリング ... 52
- 3.3 ヘッド変換 ... 58

- 3.3.1 HTTP (ヘッダ変換テーブル) メモリ・マップ ... 58
- 3.3.2 概要 ... 59
- 3.3.3 HTTP の形式 ... 62
- 3.3.4 HTTP へのアクセス方法 ... 65
- 3.3.5 ヘッダ変換の流れ ... 70
- 3.3.6 RM セルの際の HTTP へのアクセス ... 74
- 3.4 キュ - 制御 ... 77**
 - 3.4.1 シングルキャスト ... 77
 - 3.4.2 マルチキャスト ... 78
 - 3.4.3 輻輳制御 ... 79
 - 3.4.4 クラス別セル廃棄 ... 84
 - 3.4.5 EPD (Early Packet Discard) ... 85
 - 3.4.6 PPD 制御 (Partial Packet Discard) ... 87
 - 3.4.7 最小キュー長 ... 88
- 3.5 ABR 輻輳制御 ... 91**
 - 3.5.1 EFCI (Explicit Forward Congestion Indicator) ... 91
 - 3.5.2 RM セル CI/NI マーキング (Resource Management Cell CI/NI Congestion Indication Marking) ... 91
 - 3.5.3 RM セル・マージ (Resource Management Cell Merge) ... 92
- 3.6 WFQ (Weighted Fairness Queue) ... 93**
 - 3.6.1 概要 ... 93
 - 3.6.2 使用するカウンタ, フラグ ... 93
- 3.7 ピーク・レート・シェーピング機能 ... 96**
 - 3.7.1 概要 ... 96
 - 3.7.2 詳細 ... 98
- 3.8 連続送信 ... 102**
- 3.9 割り込み要求 ... 106**
 - 3.9.1 パリティ・エラー ... 106
 - 3.9.2 入力ポート・オーバラン ... 106
 - 3.9.3 キュー・ポインタ・エラー ... 106
 - 3.9.4 キャスト・カウンタ・エラー ... 107
 - 3.9.5 セル・バッファ・メモリ不足 ... 107
 - 3.9.6 コントロール・メモリ不足 ... 107
 - 3.9.7 HEC/CRC エラー ... 108
 - 3.9.8 ヘッダ変換エラー ... 108
 - 3.9.9 バッファしきい値越え ... 109
 - 3.9.10 カウント・オーバ検出 ... 109

- 3.10 モニタリング ... 110**
 - 3.10.1 モニタ・レジスタ ... 110
 - 3.10.2 しきい値越えによるセル廃棄カウント ... 110
 - 3.10.3 ヘッダ変換エラーによるセル廃棄カウント ... 111
 - 3.10.4 HEC エラー, CRC エラーによるセル廃棄カウント ... 111
 - 3.10.5 コントロール/セル・バッファ・メモリ不足によるセル廃棄カウント ... 112
 - 3.10.6 受信セル数のカウント ... 112
- 3.11 マイクロプロセッサ・インタフェース ... 113**
 - 3.11.1 I/O マッピング, メモリ・マッピング ... 114
 - 3.11.2 32 ビット多重型同期バス (HSEL = Low) ... 117
 - 3.11.3 16 ビット分離型非同期バス (HSEL = High) ... 119
- 3.12 外部メモリ・インタフェース ... 122**
 - 3.12.1 HTT & コントロール・メモリ・インタフェース ... 122
 - 3.12.2 セル・バッファ・インタフェース ... 123

第 4 章 内部レジスタ ... 127

- 4.1 レジスタ一覧 ... 127**
- 4.2 レジスタ・マップ ... 129**
- 4.3 レジスタ機能説明 ... 137**
 - 4.3.1 コマンド・レジスタ (0000h) ... 137
 - 4.3.2 メモリ・バンク・レジスタ (0004h) ... 138
 - 4.3.3 メモリ・モード・レジスタ (0006h) ... 138
 - 4.3.4 割り込みマスク・レジスタ (0008h) ... 140
 - 4.3.5 ステータス・レジスタ (000Ch) ... 141
 - 4.3.6 しきい値越え廃棄表示マスク・レジスタ (0010h) ... 143
 - 4.3.7 しきい値越え廃棄表示レジスタ (0014h) ... 143
 - 4.3.8 ヘッダ変換エラー廃棄表示レジスタ (0018h) ... 146
 - 4.3.9 HEC/CRC エラー廃棄表示レジスタ (001Ah) ... 148
 - 4.3.10 入力ポート・オーバラン・エラー廃棄表示レジスタ (001Ch) ... 149
 - 4.3.11 しきい値越え廃棄セル・カウント・イネーブル・レジスタ (0020h) ... 150
 - 4.3.12 ヘッダ変換エラー廃棄セル・カウント・イネーブル・レジスタ (0024h) 151
 - 4.3.13 HEC/CRC エラー廃棄セル・カウント・イネーブル・レジスタ (0026h) ... 152
 - 4.3.14 コントロール/セル・バッファ・メモリ不足廃棄セル・カウント・イネーブル・レジスタ (0028h) ... 153

4.3.15	受信セル・カウント・イネーブル・レジスタ (002Ah)	...	154
4.3.16	受信セル・カウント・レジスタ (002Ch)	...	155
4.3.17	しきい値越え廃棄セル・カウント・レジスタ (0030h)	...	156
4.3.18	ヘッダ変換エラー廃棄セル・カウント・レジスタ (0034h)	...	157
4.3.19	HEC/CRC エラー廃棄セル・カウント・レジスタ (0038h)	...	158
4.3.20	コントロール/セル・バッファ・メモリ不足廃棄セル・カウント・レジスタ (003Ch)	...	159
4.3.21	出力キュー最小しきい値レジスタ (0040h, 0044h, 0048h, 004Ch)	...	160
4.3.22	マルチキャスト・キュー最小しきい値レジスタ (0050h, 0054h, 0058h, 005Ch)	...	161
4.3.23	TC (Total Cell) カウンタ最小しきい値レジスタ (0060h, 0064h, 0068h, 006Ch)	...	162
4.3.24	総セル数最小しきい値レジスタ (007Eh)	...	163
4.3.25	出力キュー最大しきい値レジスタ (0080h, 0082h, 0090h, 0092h, 00A0h, 00B0h)	...	164
4.3.26	出力キューEPD しきい値レジスタ (00A2, 00B2h)	...	165
4.3.27	出力キューEFCI しきい値レジスタ (0094h, 00A4h, 00B4h)	...	166
4.3.28	出力キューCLP しきい値レジスタ (0086h, 0096h, 00A6h, 00B6h)	...	167
4.3.29	マルチキャスト・キュー最大しきい値レジスタ (00C0h, 00C4h, 00C8h, 00CCh)	...	168
4.3.30	UC (Used Cell) カウンタ最大しきい値レジスタ (00D0h, 00D4h, 00D8h, 00DCh, 00E0h, 00E8h)	...	169
4.3.31	UC (Used Cell) カウンタ EPD しきい値レジスタ (00E2h, 00EAh)	...	170
4.3.32	ポート・コンフィギュレーション・レジスタ	...	171
4.3.33	クラス優先制御レジスタ	...	173
4.3.34	周期カウント・レジスタ (01FCh)	...	174
4.3.35	ヘッダ変換コンフィギュレーション・レジスタ	...	175

第5章 JTAG バウンダリ・スキャン ... 177

5.1 特徴 ... 177

5.2 バウンダリ・スキャン回路内部構成 ... 178

5.2.1	インストラクション・レジスタ (Instruction register)	...	178
5.2.2	TAP コントローラ (Test Access Port controller)	...	179
5.2.3	バイパス・レジスタ (Bypass register)	...	179

- 5.2.4 バウンダリ・スキャン・レジスタ (Boundary Scan register) ... 180
- 5.3 端子機能 ... 179**
 - 5.3.1 JCK 端子 (JTAG Clock pin) ... 179
 - 5.3.2 JMS 端子 (JTAG Mode Select pin) ... 179
 - 5.3.3 JDI 端子 (JTAG Data Input pin) ... 179
 - 5.3.4 JDO 端子 (JTAG Data Output pin) ... 179
 - 5.3.5 JRST_B 端子 (JTAG Reset pin) ... 179
- 5.4 動作説明 ... 180**
 - 5.4.1 TAP コントローラ ... 180
 - 5.4.2 TAP コントローラ状態 ... 180
- 5.5 TAP コントローラ動作 ... 187**
- 5.6 TAP コントローラの初期化 ... 190**
- 5.7 インストラクション・レジスタ ... 190**
 - 5.7.1 BYPASS 命令 ... 191
 - 5.7.2 EXTEST 命令 ... 191
 - 5.7.3 バウンダリ・スキャン・データ・ビット定義 ... 192
- 第 6 章 使用制限事項 ... 193**
 - 6.1 制限項目 ... 193
 - 6.2 制限事項説明 ... 194
- 第 7 章 FAQ (Frequently Asked Questions) ... 203**

図の目次 (1/2)

図番号	タイトル, ページ
3 - 1	UTOPIA の受信インタフェース接続例 ... 42
3 - 2	UTOPIA の送信インタフェース接続例 ... 43
3 - 3	μPD98410 の構成要素 ... 44
3 - 4	クロック関係 ... 46
3 - 5	シングル PHY モードとマルチ PHY モード ... 46
3 - 6	ポーリング制御と基本動作サイクルの関係 (マルチ PHY モード時) ... 47
3 - 7	セル出力中のポーリング動作 ... 48
3 - 8	セル出力中のポーリング動作 ... 49
3 - 9	ポーリング制御と基本動作サイクルの関係 (シングル PHY モード時) ... 50
3 - 10	連続出力の制御 ... 51
3 - 11	セル入力時のポーリング基本動作 ... 52
3 - 12	ポーリング制御と基本動作サイクルの関係 (セル入力時) ... 52
3 - 13	セル入力の基本タイミング 1 ... 53
3 - 14	セル入力の基本タイミング 2 ... 54
3 - 15	連続入力における転送レートの低下 ... 54
3 - 16	連続入力の制御 ... 55
3 - 17	HTT & コントロール・メモリ・マップ ... 58
3 - 18	シングルキャストの例 ... 59
3 - 19	HTT (ヘッダ変換テーブル) ... 59
3 - 20	シングルキャスト時のヘッダ変換情報の流れ ... 60
3 - 21	マルチキャストの例 ... 61
3 - 22	マルチキャスト時のヘッダ変換情報の流れ ... 61
3 - 23	HTT Area-A フォーマット ... 62
3 - 24	HTT Area-B フォーマット ... 64
3 - 25	VP コネクションと VC コネクション ... 65
3 - 26	VPC と VCC の HTT へのアクセスの違い (シングルキャスト時) ... 67
3 - 27	HTT アドレスの求め方 ... 68
3 - 28	OVPC の設定形式 ... 69
3 - 29	VCS, シングルキャスト時のヘッダ変換の流れ ... 70
3 - 30	VCC, マルチキャスト時のヘッダ変換の流れ ... 71
3 - 31	VPC, シングルキャスト時のヘッダ変換の流れ ... 72
3 - 32	VPC, マルチキャスト時のヘッダ変換の流れ ... 73
3 - 33	セル・アドレスのキューイング (シングルキャスト) ... 77

図の目次 (2/2)

図番号	タイトル, ページ
3 - 34	セル・アドレスのキューイング (マルチキャスト) ... 78
3 - 35	サービス・クラス別キューとカウンタ ... 81
3 - 36	EPD 制御が有効の場合 ... 85
3 - 37	EPD 制御有効の場合の状態遷移 ... 86
3 - 38	EPD 制御による状態遷移 ... 86
3 - 39	PPD 制御の状態遷移 ... 88
3 - 40	RM Cell 構成 (ATM Forum TM Ver. 4.0) ... 91
3 - 41	出力キューとカウンタ ... 93
3 - 42	内部基本サイクルと各 UTOPIA インタフェースの出力許可タイミング関係 ... 96
3 - 43	・PD98410 と端末との接続例 ... 97
3 - 44	ポーリング・タイミング (a) ... 103
3 - 45	ポーリング・タイミング (b) ... 104
3 - 46	ポーリング・タイミング (c) ... 105
3 - 47	I/O レジスタ・マッピング ... 115
3 - 48	HTT & コントロール・メモリ, セル・バッファ・メモリ・マッピング ... 116
3 - 49	32 ビット多重型同期バスのアクセス・タイミング ... 118
3 - 50	16 ビット分離型非同期バスのアクセス・タイミング ... 120
3 - 51	16 ビット分離型非同期バスのメモリ・マップ ... 121
3 - 52	HTT & コントロール・メモリ接続例 (最小構成) ... 122
3 - 53	HTT & コントロール・メモリ接続例 (最大構成) ... 123
3 - 54	セル・バッファ格納フォーマット ... 124
3 - 55	セル・バッファ・メモリ接続例 ... 125
5 - 1	バウンダリ・スキャン回路ブロック図 ... 178
5 - 2	TAP コントローラの状態 ... 180
5 - 3	コントローラ状態での動作タイミング ... 181
5 - 4	テスト・ロジックの動作 (インストラクション・スキャン) ... 188
5 - 5	テスト・ロジックの動作 (データ・スキャン) ... 189

表の目次

表番号	タイトル, ページ
2-1	受信インタフェース信号 ... 30
2-2	送信インタフェース信号 ... 32
2-3	HTT & コントロール・メモリ・インタフェース信号 ... 34
2-4	セル・バッファ・メモリ・インタフェース信号 ... 35
2-5	マイクロプロセッサ・インタフェース ... 36
2-6	32ビット多重同期インタフェース ... 36
2-7	16ビット分離型非同期インタフェース ... 37
2-8	JTAG インタフェース信号 ... 38
2-9	その他のインタフェース信号 ... 38
2-10	未使用端子の処理方法 ... 39
2-11	リセット時の端子の状態 ... 40
3-1	最大転送速度と UTOPIA クロック・レート ... 41
3-2	総セル数に関するセル廃棄しきい値 ... 84
3-3	出力キュー長に関するセル廃棄しきい値 ... 84
3-4	マルチキャスト・キュー長に関するセル廃棄しきい値 ... 85
3-5	総セル数 (Used Cell Counter) に関する最小キュー長 ... 88
3-6	クラス別総セル数 (Total Cell Counter for each class) に関する最小キュー長 ... 88
3-7	出力キュー長に関する最小キュー長 ... 89
3-8	マルチキャスト・キュー長に関する最小キュー長 ... 89
3-9	しきい値の分類と名称 ... 90
3-10	出力キュー長に関する EFCI しきい値 ... 91
3-11	出力キュー長に関する CI しきい値 ... 92
3-12	接続する PHY と μ PD98410 へのモード設定 ... 102
3-13	マイクロプロセッサ・インタフェース端子 ... 113
3-14	アクセス対象の選択 ... 114
3-15	アクセス対象別のアクセス・ビット幅 ... 114
5-1	それぞれのコントローラ状態における動作 ... 187
7-1	ヘッダ変換フロー (全体) ... 211
7-2	ヘッダ変換フロー (受信側) ... 212
7-3	ヘッダ変換フロー (送信側) ... 213
7-4	HT レジスタ設定例 ... 214
7-5	HTT メモリ・マッピング例 ... 215

第 1 章 概 説

μ PD98410 (NEASCOT-X10) は、ATM スイッチ機能を 1 チップに搭載した LSI で、4 つの UTOPIA Level2 インタフェースを持ち、マルチ PHY 接続を利用して 24 x 24 回線をスイッチングできます。また、共有バッファ方式ノンブロッキング型スイッチを採用し、外部接続の SRAM をセルのバッファリングに使用して、スイッチ容量 1.2Gbps を実現します。

1.1 特 徴

ATM FORUM UNI Version 3.1 & 4.0 に準拠

1 チップですべてのスイッチ機能を実現

ノンブロッキングでスイッチ容量 1.2 Gbps を実現

4 つの UTOPIA level2 (8 ビット / 40MHz) インタフェースを介して、24 の論理ポートのスイッチングが可能

マルチスピード対応 (155Mbps, 52Mbps, 25Mbps, etc.)

16K/32K/64K VP/VC と 1K/2K/4K マルチキャスト VP/VC をサポート

標準 SRAM を使用した共有バッファアーキテクチャ

セル・バッファ容量 12.8K/25.6K/51.2K セル

4 つの QOS クラス (CBR, VBR, ABR, UBR) をサポート

ABR トラフィック制御 (バイナリ・モード)

EPD (Early Packet Discard), PPD (Partial Packet Discard) をサポート

+3.3V 単一電源 (+5V TTL レベル信号と直接接続も可能)

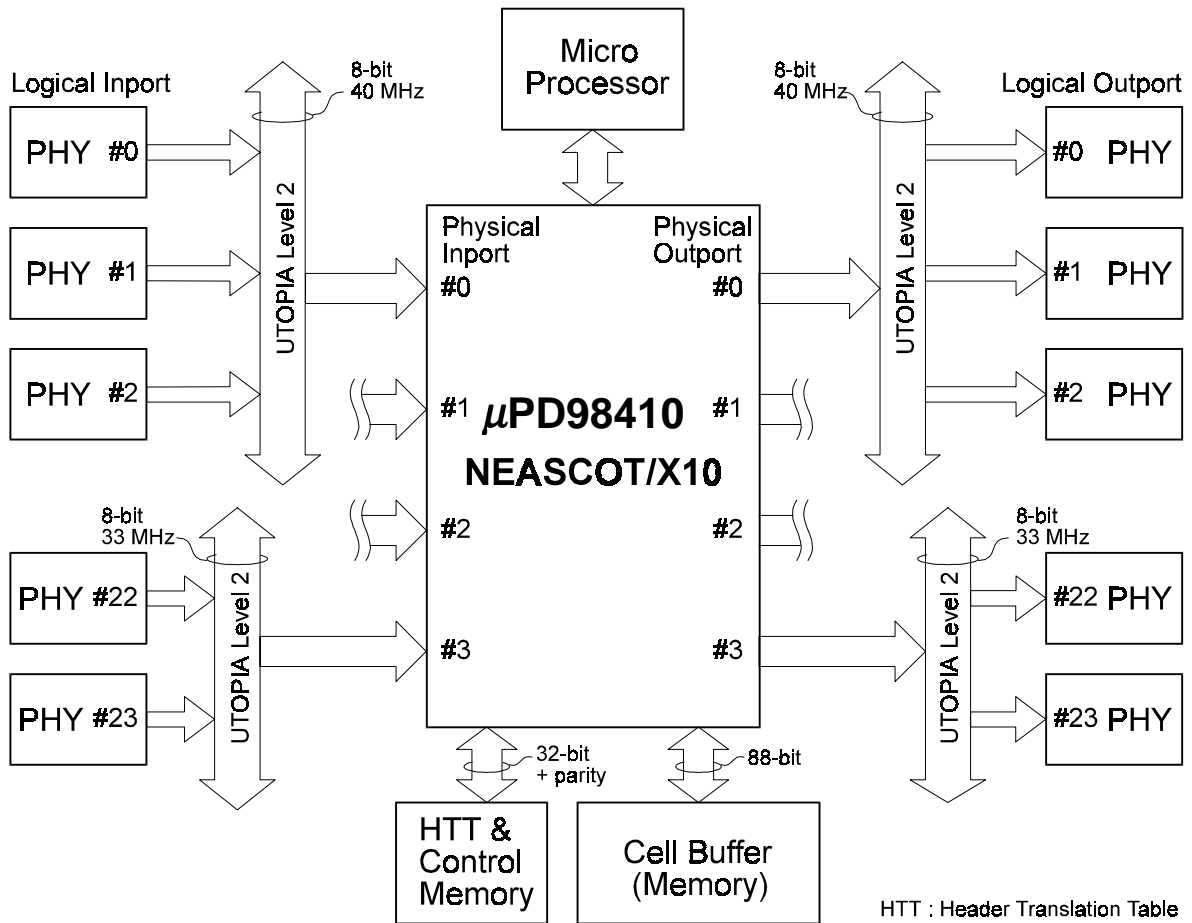
テスト機能: JTAG (IEEE 1149.1) サポート

1.2 オーダ情報

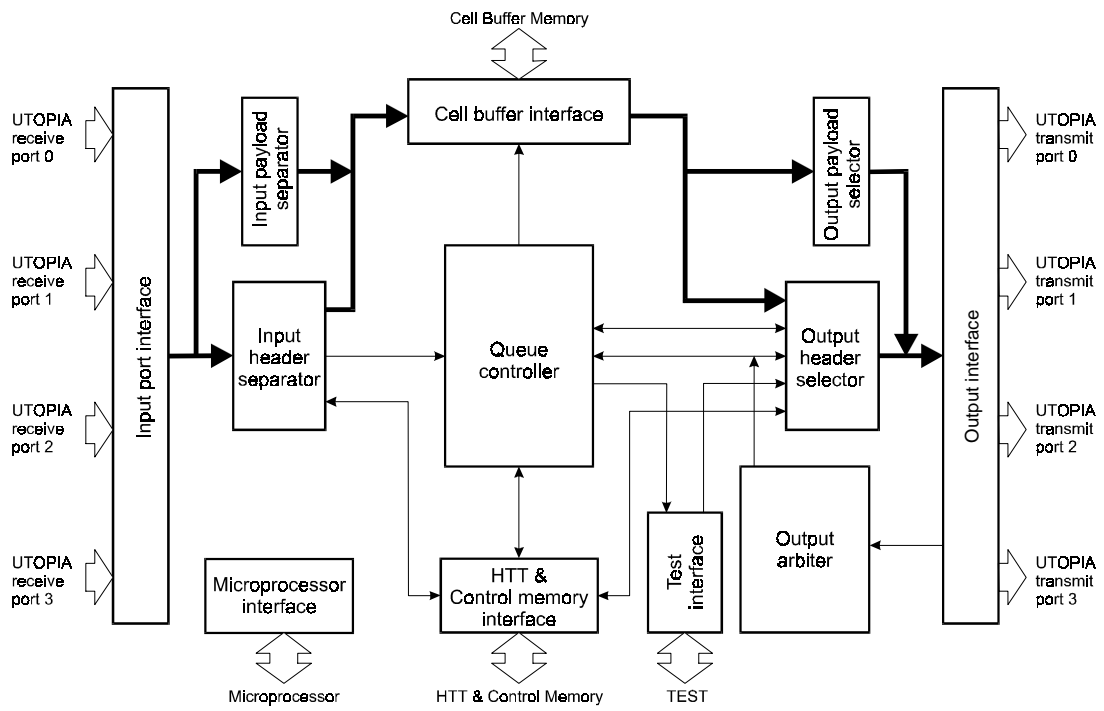
オーダ名称	パッケージ
μ PD98410S2-K6	580 ピン・プラスチック BGA (45 x 45 mm)

1.3 システム構成例（用途）

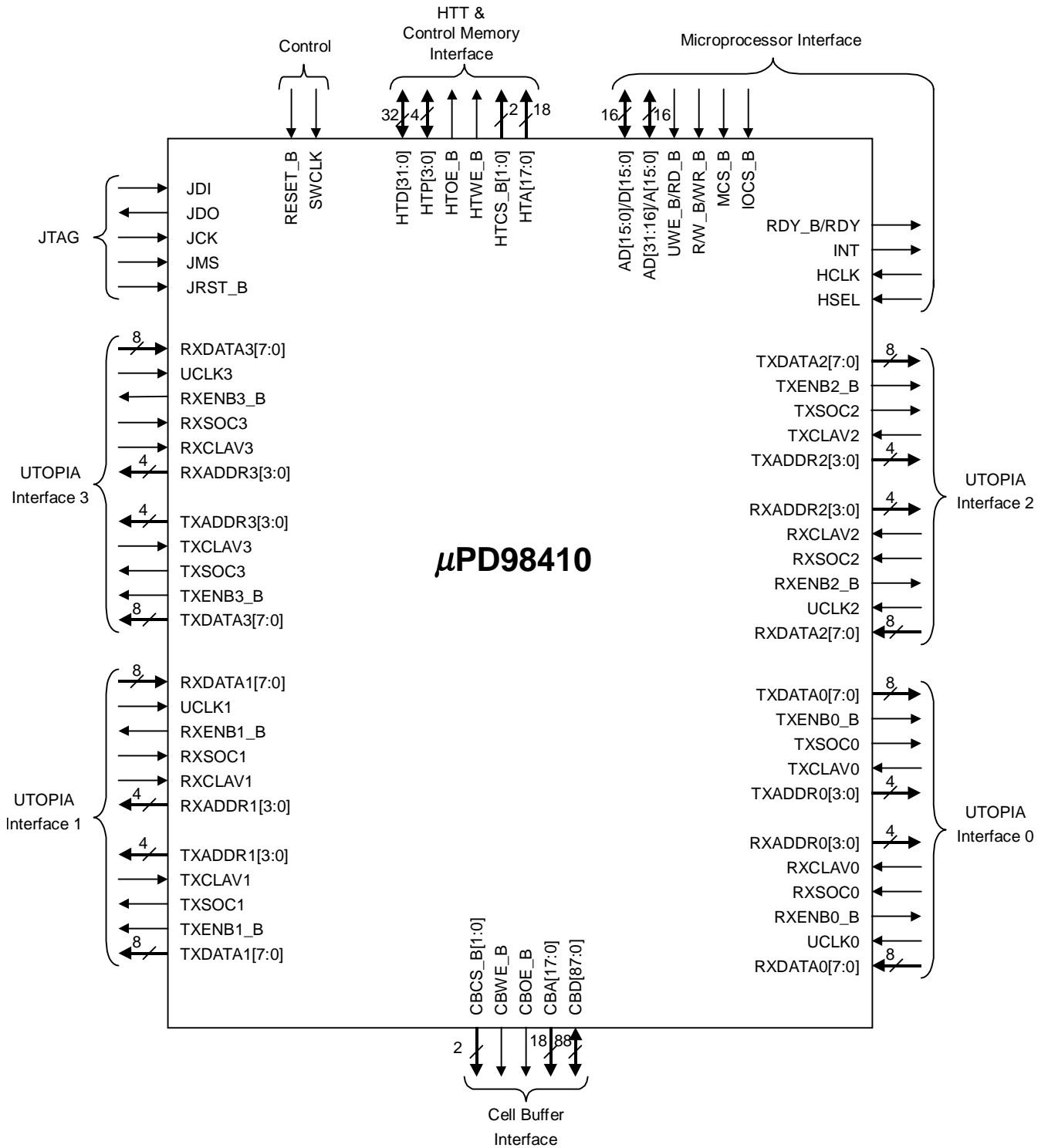
μPD98410 は、マイクロプロセッサとセル・バッファ格納用 SRAM およびヘッダ変換テーブル（HTT）/コントロール情報格納用 SRAM を下図のように接続して、ATM レイヤにおけるセル・スイッチング機能を実現できます。



1.4 ブロック図



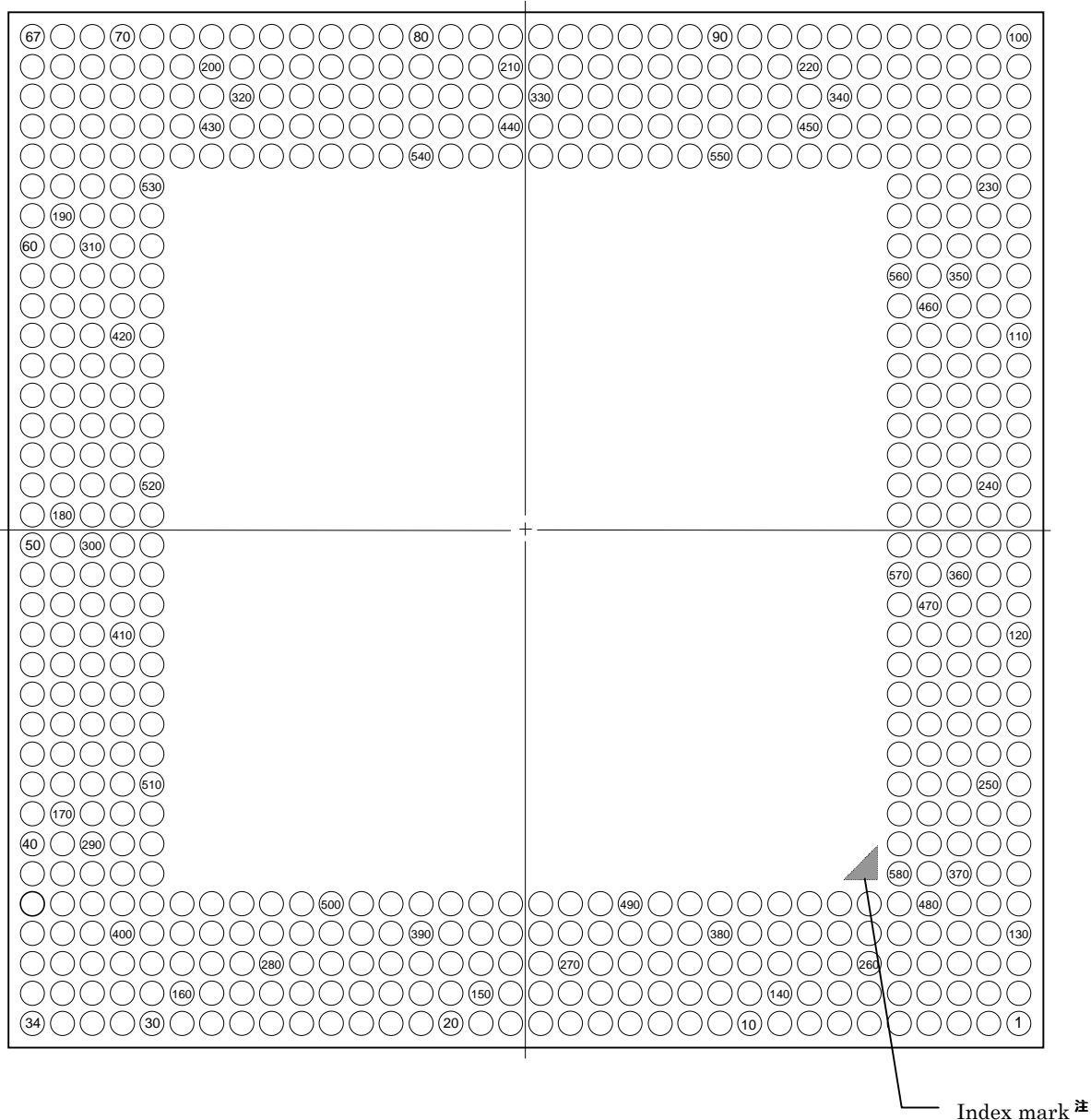
1.5 端子構成図



第2章 端子機能

2.1 端子概要図 (Bottom View)

580ピンBGAパッケージ



注 Index mark は , Top View に印されています。

端子名称

(1) Power

V_{DD} : Supply Voltage
GND : Ground

(2) UTOPIA

RXADDR*3-RXADDR*0 : Receive Address
RXDATA*7-RXDATA*0 : Receive Data Bus
RXSOC3-RXSOC0 : Receive Start of Cell
RXENB3_B-RXENB0_B : Receive Enable Data Transfers
RXCLAV3-RXCLAV0 : Receive Cell Buffer Available
UCLK3-UCLK0 : UTOPIA Clock
TXADDR*3-TXADDR*0 : Transmit Address
TXDATA*7-TXDATA*0 : Transmit Data Bus
TXSOC3-TXSOC0 : Transmit Start of Cell
TXENB3_B-TXENB0_B : Transmit Enable Data
TXCLAV3-TXCLAV0 : Transmit Cell Buffer Available

(3) Memory Interface

HTA17-HTA0 : HTT Memory Address
HTD31-HTD0 : HTT Memory Data Bus
HTP3-HTP0 : HTT Memory Data Bus Parity
HTCS1_B,HTCS0_B : HTT Memory Chip Select
HTWE_B : HTT Memory Write Enable
HTOE_B : HTT Memory Output Enable
CBA17-CBA0 : Cell Buffer Memory Address
CBD87-CBD0 : Cell Buffer Memory Data Bus
CBCS1_B,CBCS0_B : Cell Buffer Memory Chip Select
CBWE_B : Cell Buffer Memory Write Enable
CBOE_B : Cell Buffer Memory Output Enable

(4) CPU Interface

HSEL : Host Bus Mode Select
IOCS_B : I/O Chip Select
MCS_B : Memory Chip Select
RDY_B,RDY: I/O Ready , Memory Ready
INT : Interrupt Request
HCLK : Host Clock
AD31-AD0 : Address and Data
R/W_B : Read/Write
UWE_B : Upper Word Enable
A15-A0 : Address
D15-D0 : Data
WR_B : Write Strobe
RD_B : Read Strobe

(5) JTAG

JDI : JTAG Data Input
JDO : JTAG Data Output
JCK : JTAG Data Clock
JMS : JTAG Mode Select
JRST_B : JTAG Reset

(6) Other

SWCLK : System Clock
RESET_B : Hardware Reset
IC : Internal Connected
CG : Connect Ground
PU : Pull-up

*=0-3

2.2 端子配置

(1/6)

端子番号	端子名	I/O	端子番号	端子名	I/O	端子番号	端子名	I/O
1	GND		37	CBD72	I/O	73	RXDATA05	I
2	GND		38	CBD69	I/O	74	V _{DD}	
3	IC	O	39	CBD66	I/O	75	GND	
4	IC	O	40	CBD63	I/O	76	RXCLAV0	I
5	CG	I	41	IC	O	77	V _{DD}	
6	IC	O	42	CBD58	I/O	78	TXADDR01	O
7	JRST_B	I	43	CBD56	I/O	79	TXENB0_B	O
8	RXDATA36	I	44	CBD51	I/O	80	TXDATA04	O
9	RXDATA32	I	45	CBD49	I/O	81	TXDATA00	O
10	IC	O	46	CBD46	I/O	82	RXDATA26	I
11	RXSOC3	I	47	CBWE_B	O	83	V _{DD}	
12	RXADDR31	O	48	CBA17	O	84	RXDATA25	I
13	TXADDR31	O	49	GND		85	GND	
14	TXENB3_B	O	50	CBA13	O	86	GND	
15	V _{DD}		51	IC	O	87	RXCLAV2	I
16	TXDATA32	O	52	CBA9	O	88	RXADDR21	O
17	TXDATA30	O	53	CBA7	O	89	TXADDR21	O
18	TXDATA31	O	54	CBA4	O	90	TXCLAV2	I
19	RXDATA17	I	55	CBA0	O	91	GND	
20	RXDATA13	I	56	CBD41	I/O	92	TXDATA23	O
21	RXDATA10	I	57	CBD37	I/O	93	TXDATA20	O
22	RXENB1_B	O	58	CBD35	I/O	94	IOCS_B	I
23	V _{DD}		59	CBD30	I/O	95	RDY_B/RDY	O
24	RXADDR10	O	60	V _{DD}		96	CG	I
25	GND		61	CBD24	I/O	97	CG	I
26	V _{DD}		62	CBD20	I/O	98	IC	O
27	TXDATA15	O	63	CBD17	I/O	99	GND	
28	TXDATA11	O	64	CBD15	I/O	100	GND	
29	CBD86	I/O	65	GND		101	GND	
30	CBD84	I/O	66	GND		102	IC	O
31	CBD80	I/O	67	GND		103	V _{DD}	
32	V _{DD}		68	GND		104	AD18/ A2	I/O
33	GND		69	CBD10	I/O	105	AD14/ D14	I/O
34	GND		70	CBD7	I/O	106	AD10/ D10	I/O
35	GND		71	CBD4	I/O	107	AD6/ D6	I/O
36	CBD74	I/O	72	CBD2	I/O	108	AD3/ D3	I/O

(2/6)

端子番号	端子名	I/O	端子番号	端子名	I/O	端子番号	端子名	I/O
109	AD1/D1	I/O	146	TXDATA36	O	183	CBA2	O
110	HTA14	O	147	TXDATA33	O	184	CBD42	I/O
111	V _{DD}		148	TXDATA34	O	185	CBD38	I/O
112	HTA9	O	149	GND		186	V _{DD}	
113	V _{DD}		150	RXDATA15	I	187	CBD33	I/O
114	GND		151	RXDATA12	I	188	CBD28	I/O
115	HTCS1_B	O	152	V _{DD}		189	CBD26	I/O
116	GND		153	RXCLAV1	I	190	CBD23	I/O
117	HTCS0_B	O	154	RXADDR11	O	191	GND	
118	V _{DD}		155	TXADDR12	O	192	V _{DD}	
119	HTD29	I/O	156	TXCLAV1	I	193	CBD13	I/O
120	HTD26	I/O	157	TXDATA17	O	194	CBD12	I/O
121	HTD23	I/O	158	TXDATA13	O	195	GND	
122	HTD20	I/O	159	TXDATA10	O	196	CBD9	I/O
123	HTD16	I/O	160	V _{DD}		197	CBD8	I/O
124	HTD15	I/O	161	CBD82	I/O	198	IC	O
125	HTD10	I/O	162	CBD78	I/O	199	V _{DD}	
126	V _{DD}		163	CBD77	I/O	200	RXDATA06	I
127	HTD5	I/O	164	GND		201	RXDATA03	I
128	HTD2	I/O	165	CBD76	I/O	202	RXDATA01	I
129	SWCLK	I	166	CBD73	I/O	203	RXSOC0	I
130	V _{DD}		167	V _{DD}		204	RXADDR02	O
131	GND		168	CBD67	I/O	205	TXADDR03	O
132	GND		169	IC	O	206	TXCLAV0	I
133	GND		170	CBD62	I/O	207	TXDATA06	O
134	CG	I	171	CBD59	I/O	208	TXDATA02	O
135	CG	I	172	CBD57	I/O	209	V _{DD}	
136	IC	O	173	CBD53	I/O	210	RXDATA27	
137	V _{DD}		174	V _{DD}		211	RXDATA23	I
138	GND		175	GND		212	RXDATA21	I
139	V _{DD}		176	CBCS1_B	O	213	RXENB2_B	O
140	RXDATA34	I	177	V _{DD}		214	RXADDR23	O
141	RXDATA30	I	178	CBA15	O	215	TXADDR23	O
142	V _{DD}		179	CBOE_B	O	216	TXADDR20	O
143	RXADDR33	O	180	CBA11	O	217	TXENB2_B	O
144	TXADDR33	O	181	V _{DD}		218	TXDATA25	O
145	TXCLAV3	I	182	CBA6	O	219	TXDATA22	O

(3/6)

端子番号	端子名	I/O	端子番号	端子名	I/O	端子番号	端子名	I/O
220	HCLK	I	256	IC	I/O	293	V _{DD}	
221	MCS_B	I	257	IC	I/O	294	CBD54	I/O
222	R/W_B/ WR_B	I	258	GND		295	CBD52	I/O
223	AD31/A15	I/O	259	GND		296	CBD48	I/O
224	AD28/A12	I/O	260	JDI	I	297	CBD47	I/O
225	AD27/A11	I/O	261	JCK	I	298	CBD45	I/O
226	GND		262	RXDATA37	I	299	CBCS0_B	O
227	AD25/A9	I/O	263	RXDATA33	I	300	CBA16	O
228	AD22/A6	I/O	264	RXDATA31	I	301	CBA12	O
229	AD20/A4	I/O	265	RXENB3_B	O	302	CBA10	O
230	AD16/A0	I/O	266	RXADDR32	O	303	CBA5	O
231	AD12/D12	I/O	267	RXADDR30	O	304	GND	
232	AD8/D8	I/O	268	TXADDR32	O	305	CBA1	O
233	V _{DD}		269	TXSOC3	O	306	GND	
234	AD2/ D2	I/O	270	TXDATA37	O	307	CBD39	I/O
235	GND		271	V _{DD}		308	CBD34	I/O
236	HTA12	O	272	RXDATA14	I	309	GND	
237	GND		273	GND		310	CBD29	I/O
238	HTA6	O	274	RXDATA11	I	311	CBD25	I/O
239	HTA4	O	275	IC	O	312	CBD21	I/O
240	HTA1	O	276	RXSOC1	I	313	CBD18	I/O
241	HTA3	O	277	RXADDR13	O	314	CBD14	I/O
242	HTOE_B	O	278	TXADDR13	O	315	CBD11	I/O
243	HTD31	I/O	279	TXADDR10	O	316	GND	
244	HTD28	I/O	280	TXENB1_B	O	317	CBD5	I/O
245	HTD24	I/O	281	TXDATA14	O	318	CBD1	I/O
246	GND		282	TXDATA12	O	319	RXDATA07	I
247	HTD17	I/O	283	CBD85	I/O	320	RXDATA04	I
248	V _{DD}		284	GND		321	RXDATA00	I
249	HTD13	I/O	285	CBD79	I/O	322	RXENB0_B	O
250	HTD8	I/O	286	GND		323	RXADDR01	O
251	HTD7	I/O	287	V _{DD}		324	TXADDR02	O
252	HTD4	I/O	288	CBD70	I/O	325	TXADDR00	O
253	HTD0	I/O	289	CBD68	I/O	326	TXSOC0	O
254	RESET_B	I	290	CBD65	I/O	327	TXDATA05	O
255	IC	I/O	291	GND		328	TXDATA03	O
			292	GND		329	RXDATA24	I

(4/6)

端子番号	端子名	I/O	端子番号	端子名	I/O	端子番号	端子名	I/O
330	RXDATA20	I	368	HTD9	I/O	406	CBD60	I/O
331	UCLK2	I	369	HTD6	I/O	407	CBD55	I/O
332	RXSOC2	I	370	GND		408	GND	
333	RXADDR22	O	371	V _{DD}		409	CBD50	I/O
334	GND		372	IC	I/O	410	V _{DD}	
335	TXADDR22	O	373	IC	O	411	CBD44	I/O
336	TXSOC2	O	374	V _{DD}		412	V _{DD}	
337	TXDATA26	O	375	CG	I	413	CBA14	O
338	V _{DD}		376	JDO	O	414	V _{DD}	
339	V _{DD}		377	JMS	I	415	CBA8	O
340	HSEL	I	378	RXDATA35	I	416	V _{DD}	
341	V _{DD}		379	GND		417	CBA3	O
342	AD30/A14	I/O	380	UCLK3	I	418	CBD43	I/O
343	AD29/A13	I/O	381	RXCLAV3	I	419	CBD40	I/O
344	AD26/A10	I/O	382	GND		420	CBD36	I/O
345	AD23/A7	I/O	383	TXADDR30	O	421	CBD32	I/O
346	AD19/A3	I/O	384	V _{DD}		422	CBD31	I/O
347	GND		385	TXDATA35	O	423	CBD27	I/O
348	AD13/D13	I/O	386	V _{DD}		424	CBD22	I/O
349	AD09/D09	I/O	387	RXDATA16	I	425	CBD19	I/O
350	AD7/D7	I/O	388	V _{DD}		426	CBD16	I/O
351	AD4/D4	I/O	389	UCLK1	I	427	IC	O
352	HTA17	O	390	V _{DD}		428	CBD6	I/O
353	HTA15	O	391	GND		429	CBD3	I/O
354	HTA11	O	392	RXADDR12	O	430	CBD0	I/O
355	HTA10	O	393	TXADDR11	O	431	GND	
356	HTA8	O	394	TXSOC1	O	432	RXDATA02	I
357	HTA5	O	395	TXDATA16	O	433	UCLK0	I
358	HTA2	O	396	GND		434	RXADDR03	O
359	HTWE_B	O	397	CBD87	I/O	435	RXADDR00	O
360	HTP3	I/O	398	CBD83	I/O	436	GND	
361	HTD27	I/O	399	CBD81	I/O	437	TXDATA07	O
362	GND		400	CBD75	I/O	438	V _{DD}	
363	HTP2	I/O	401	CBD71	I/O	439	TXDATA01	O
364	HTD21	I/O	402	GND		440	V _{DD}	
365	HTD18	I/O	403	IC	O	441	RXDATA22	I
366	HTD14	I/O	404	CBD64	I/O	442	V _{DD}	
367	HTD11	I/O	405	CBD61	I/O	443	V _{DD}	

(5/6)

端子番号	端子名	I/O	端子番号	端子名	I/O	端子番号	端子名	I/O
444	V _{DD}		481	V _{DD}		518	GND	
445	RXADDR20	O	482	GND		519	V _{DD}	
446	V _{DD}		483	V _{DD}		520	GND	
447	TXDATA27	O	484	GND		521	V _{DD}	
448	TXDATA24	O	485	V _{DD}		522	GND	
449	TXDATA21	O	486	GND		523	V _{DD}	
450	GND		487	V _{DD}		524	GND	
451	INT	O	488	GND		525	V _{DD}	
452	UWE_B/RD_B	I	489	V _{DD}		526	GND	
453	GND		490	GND		527	V _{DD}	
454	AD24/A8	I/O	491	V _{DD}		528	GND	
455	AD21/A5	I/O	492	GND		529	V _{DD}	
456	AD17/A1	I/O	493	V _{DD}		530	GND	
457	AD15/D15	I/O	494	GND		531	V _{DD}	
458	AD11/D11	I/O	495	V _{DD}		532	GND	
459	GND		496	GND		533	V _{DD}	
460	AD5/D5	I/O	497	V _{DD}		534	GND	
461	AD0/D0	I/O	498	GND		535	V _{DD}	
462	HTA16	O	499	V _{DD}		536	GND	
463	HTA13	O	500	GND		537	V _{DD}	
464	V _{DD}		501	V _{DD}		538	GND	
465	HTA7	O	502	GND		539	V _{DD}	
466	V _{DD}		503	V _{DD}		540	GND	
467	HTA0	O	504	GND		541	V _{DD}	
468	V _{DD}		505	V _{DD}		542	GND	
469	HTD30	I/O	506	GND		543	V _{DD}	
470	V _{DD}		507	V _{DD}		544	GND	
471	HTD25	I/O	508	GND		545	V _{DD}	
472	HTD22	I/O	509	V _{DD}		546	GND	
473	HTD19	I/O	510	GND		547	V _{DD}	
474	HTP1	I/O	511	V _{DD}		548	GND	
475	HTD12	I/O	512	GND		549	V _{DD}	
476	GND		513	V _{DD}		550	GND	
477	HTP0	I/O	514	GND		551	V _{DD}	
478	HTD3	I/O	515	V _{DD}		552	GND	
479	HTD1	I/O	516	GND		553	V _{DD}	
480	PU	I	517	V _{DD}		554	GND	

(6/6)

端子番号	端子名	I/O	端子番号	端子名	I/O	端子番号	端子名	I/O
555	V _{DD}		564	GND		573	V _{DD}	
556	GND		565	V _{DD}		574	GND	
557	V _{DD}		566	GND		575	V _{DD}	
558	GND		567	V _{DD}		576	GND	
559	V _{DD}		568	GND		577	V _{DD}	
560	GND		569	V _{DD}		578	GND	
561	V _{DD}		570	GND		579	V _{DD}	
562	GND		571	V _{DD}		580	GND	
563	V _{DD}		572	GND				

2.3 端子機能

μ PD98410 は 3.3V 動作デバイスですが、5V TTL インタフェースを持つ PHY デバイス、CPU やメモリと直接接続可能です。

2.3.1 パワ - ・ サプライ

端子名	端子番号	I/O	機能
V _{DD}	15, 23, 26, 32, 60, 74, 77, 83, 103, 111, 113, 118, 126, 130, 137, 139, 142, 152, 160, 167, 174, 177, 181, 186, 192, 199, 209, 233, 248, 271, 287, 293, 338, 339, 341, 371, 374, 384, 386, 388, 390, 410, 412, 414, 416, 438, 440, 442, 443, 444, 446, 464, 466, 468, 470, 481, 483, 485, 487, 489, 491, 493, 495, 497, 499, 501, 503, 505, 507, 509, 511, 513, 515, 517, 519, 521, 523, 525, 527, 529, 531, 533, 535, 537, 539, 541, 543, 545, 547, 549, 551, 553, 555, 557, 559, 561, 563, 565, 567, 569, 571, 573, 575, 577, 579	-	+3.3V±5%の電源を供給する端子です。
GND	1, 2, 25, 33, 34, 35, 49, 65, 66, 67, 68, 75, 85, 86,91,99, 100 ,101, 114, 116, 131, 132, 133, 138, 149, 164, 175, 191, 195, 226, 235, 237, 246, 258, 259, 273, 284, 286, 291, 292, 304, 306, 309, 316, 334, 347, 362, 370, 379, 382, 391, 396, 402, 408, 431, 436, 450, 453, 459, 476, 482, 484, 486, 488, 490, 492, 494, 496, 498, 500, 502, 504, 506, 508, 510, 512, 514, 516, 518, 520, 522, 524, 526, 528, 530, 532, 534, 536, 538, 540, 542, 544, 546, 548, 550, 552, 554, 556, 558, 560, 562, 564, 566, 568, 570, 572, 574, 576, 578, 580	-	グランド端子です。

2.3.2 UTOPIA インタフェース

μPD98410 は、PHY レイヤと ATM レイヤ間のインタフェースとして UTOPIA Level 2 (セル・レベル転送) を採用しています。表 2-1, 2-2 にインタフェース信号を示します。

表 2-1 受信インタフェース信号 (1/2)

記号	端子番号	I/O	機能
RXADDR03- RXADDR00	434, 204, 323, 435	O	受信インタフェース 0 番のマルチ PHY 選択アドレス RXADDR03 が MSB です。
RXDATA07- RXDATA00	319, 200, 73, 320, 201, 432, 202, 321	I	受信インタフェース 0 番のセル・データ入力 PHY レイヤ・デバイスからバイト単位で入力します。 μPD98410 は UCLK0 の立ち上がりエッジに同期してデータを読み込みます。RXDATA07 が MSB です。
RXSOC0	203	I	受信インタフェース 0 番のセル転送スタート信号 PHY レイヤ・デバイスからセル・データの 1 バイト目に同期して入力される信号です。
RXENB0_B	322	O	受信インタフェース 0 番の転送イネーブル信号 μPD98410 が次のクロック・サイクルで受信可能であることを PHY レイヤ・デバイスに示します。
RXCLAV0	76	I	受信インタフェース 0 番のセル転送有効信号 現在のセル転送終了後、μPD98410 に供給するセルがないことを通知する信号を入力します。
UCLK0	433	I	受信インタフェース 0 番の UTOPIA クロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行います。
RXADDR13- RXADDR10	277, 392, 154, 24	O	受信インタフェース 1 番のマルチ PHY 選択アドレス RXADDR13 が MSB です。
RXDATA17- RXDATA10	19, 387, 150, 272, 20, 151, 274, 21	I	受信インタフェース 1 番のセル・データ入力 PHY レイヤ・デバイスからバイト単位で入力します。 μPD98410 は UCLK1 の立ち上がりエッジに同期してデータを読み込みます。RXDATA17 が MSB です。
RXSOC1	276	I	受信インタフェース 1 番のセル転送スタート信号 PHY レイヤ・デバイスからセル・データの 1 バイト目に同期して入力される信号です。
RXENB1_B	22	O	受信インタフェース 1 番の転送イネーブル信号 μPD98410 が次のクロック・サイクルで受信可能であることを PHY レイヤ・デバイスに示します。
RXCLAV1	153	I	受信インタフェース 1 番のセル転送有効信号 現在のセル転送終了後、μPD98410 に供給するセルがないことを通知する信号を入力します。
UCLK1	389	I	受信インタフェース 1 番の UTOPIA クロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行います。

表 2-1 受信インタフェース信号 (2/2)

記号	端子番号	I/O	機能
RXADDR23- RXADDR20	214, 333, 88, 445	O	受信インタフェース 2 番のマルチ PHY 選択アドレス RXADDR23 が MSB です。
RXDATA27- RXDATA20	210, 82, 84, 329, 211, 441, 212, 330	I	受信インタフェース 2 番のセル・データ入力 PHY レイヤ・デバイスからバイト単位で入力します。 μ PD98410 は UCLK2 の立ち上がりエッジに同期してデータを読み込みます。RXDATA27 が MSB です。
RXSOC2	332	I	受信インタフェース 2 番のセル転送スタート信号 PHY レイヤ・デバイスからセル・データの 1 バイト目に同期して入力される信号です。
RXENB2_B	213	O	受信インタフェース 2 番の転送イネーブル信号 μ PD98410 が次のクロック・サイクルで受信可能であることを PHY レイヤ・デバイスに示します。
RXCLAV2	87	I	受信インタフェース 2 番のセル転送有効信号 現在のセル転送終了後, μ PD98410 に供給するセルがないことを通知する信号を入力します。
UCLK2	331	I	受信インタフェース 2 番の UTOPIA クロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行います。
RXADDR33- RXADDR30	143, 266, 12, 267	O	受信インタフェース 3 番のマルチ PHY 選択アドレス RXADDR33 が MSB です。
RXDATA37- RXDATA30	262, 8, 378, 140, 263, 9, 264, 141	I	受信インタフェース 3 番のセル・データ入力 PHY レイヤ・デバイスからバイト単位で入力します。 μ PD98410 は UCLK3 の立ち上がりエッジに同期してデータを読み込みます。RXDATA37 が MSB です。
RXSOC3	11	I	受信インタフェース 3 番のセル転送スタート信号 PHY レイヤ・デバイスからセル・データの 1 バイト目に同期して入力される信号です。
RXENB3_B	265	O	受信インタフェース 3 番の転送イネーブル信号 μ PD98410 が次のクロック・サイクルで受信可能であることを PHY レイヤ・デバイスに示します。
RXCLAV3	381	I	受信インタフェース 3 番のセル転送有効信号 現在のセル転送終了後, μ PD98410 に供給するセルがないことを通知する信号を入力します。
UCLK3	380	I	受信インタフェース 3 番の UTOPIA クロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行います。

表 2 - 2 送信インタフェース信号 (1/2)

記号	端子番号	I/O	機能
TXADDR03- TXADDR00	205, 324, 78, 325	O	送信インタフェース 0 番のマルチ PHY 選択アドレス TXADDR03 が MSB です。
TXDATA07- TXDATA00	437, 207, 327, 80, 328, 208, 439, 81	O	送信インタフェース 0 番のセル・データ出力 PHY レイヤ・デバイスへバイト単位で出力します。 μPD98410 は UCLK0 の立ち上がりエッジに同期してデータ を出力します。TXDATA07 が MSB です。 (3 ステート・バッファ)
TXSOC0	326	O	送信インタフェース 0 番のセル転送スタート信号 送信セル・データの 1 バイト目に同期して出力される信号 です。 (3 ステート・バッファ)
TXENB0_B	79	O	送信インタフェース 0 番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていること を PHY レイヤ・デバイスに示します。
TXCLAV0	206	I	送信インタフェース 0 番のセル転送有効信号 現在のセル転送終了後、次の 1 セル・データをすべて受け 取れることを通知する信号を入力します。
TXADDR13- TXADDR10	278, 155, 393, 279	O	送信インタフェース 1 番のマルチ PHY 選択アドレス TXADDR13 が MSB です。
TXDATA17- TXDATA10	157, 395, 27, 281, 158, 282, 28, 159	O	送信インタフェース 1 番のセル・データ出力 PHY レイヤ・デバイスへバイト単位で出力します。 μPD98410 は UCLK1 の立ち上がりエッジに同期してデータ を出力します。TXDATA17 が MSB です。 (3 ステート・バッファ)
TXSOC1	394	O	送信インタフェース 1 番のセル転送スタート信号 送信セル・データの 1 バイト目に同期して出力される信号 です。(3 ステート・バッファ)
TXENB1_B	280	O	送信インタフェース 1 番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていること を PHY レイヤ・デバイスに示します。
TXCLAV1	156	I	送信インタフェース 1 番のセル転送有効信号 現在のセル転送終了後、次の 1 セル・データをすべて受け 取れることを通知する信号を入力します。

表 2 - 2 送信インタフェース信号 (2/2)

記号	端子番号	I/O	機能
TXADDR23- TXADDR20	215, 335, 89, 216	O	送信インタフェース 2 番のマルチ PHY 選択アドレス TXADDR23 が MSB です。
TXDATA27- TXDATA20	447, 337, 218, 448, 92, 219, 449, 93	O	送信インタフェース 2 番のセル・データ出力 PHY レイヤ・デバイスへバイト単位で出力します。 μPD98410 は UCLK2 の立ち上がりエッジに同期してデータ を出力します。TXDATA27 が MSB です。 (3 ステート・バッファ)
TXSOC2	336	O	送信インタフェース 2 番のセル転送スタート信号 送信セル・データの 1 バイト目に同期して出力される信号 です。 (3 ステート・バッファ)
TXENB2_B	217	O	送信インタフェース 2 番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていること を PHY レイヤ・デバイスに示します。
TXCLAV2	90	I	送信インタフェース 2 番のセル転送有効信号 現在のセル転送終了後、次の 1 セル・データをすべて受け 取れることを通知する信号を入力します。
TXADDR33- TXADDR30	144, 268, 13, 383	O	送信インタフェース 3 番のマルチ PHY 選択アドレス TXADDR33 が MSB です。
TXDATA37- TXDATA30	270, 146, 385, 148, 147, 16, 18, 17	O	送信インタフェース 3 番のセル・データ出力 PHY レイヤ・デバイスへバイト単位で出力します。 μPD98410 は、UCLK3 の立ち上がりエッジに同期して データを出力します。TXDATA37 が MSB です。 (3 ステート・バッファ)
TXSOC3	269	O	送信インタフェース 3 番のセル転送スタート信号 送信セル・データの 1 バイト目に同期して出力される信号 です。(3 ステート・バッファ)
TXENB3_B	14	O	送信インタフェース 3 番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていること を PHY レイヤ・デバイスに示します。
TXCLAV3	145	I	送信インタフェース 3 番のセル転送有効信号 現在のセル転送終了後、次の 1 セル・データをすべて受け 取れることを通知する信号を入力します。

2.4 メモリ・インタフェース信号

μPD98410 は、2種類のメモリ・インタフェースを持ちます。一方のHTT&コントロール・メモリにはセルのヘッダ変換テーブルとセル・バッファへのアドレス・ポインタを格納し、もう一方のセル・バッファ・メモリにはセル・データを格納します。表2-3にHTT&コントロール・メモリのインタフェース信号を示します。また、表2-4にセル・バッファ・メモリのインタフェース信号を示します。

表2-3 HTT & コントロール・メモリ・インタフェース信号

記号	端子番号	I/O	機能
HTA17-HTA0	352, 462, 353, 110, 463, 236, 354, 355, 112, 356, 465, 238, 357, 239, 241, 358, 240, 467	O	アドレス出力
HTD31-HTD0	243, 469, 119, 244, 361, 120, 471, 245, 121, 472, 364, 122, 473, 365, 247, 123, 124, 366, 249, 475, 367, 125, 368, 250, 251, 369, 127, 252, 478, 128, 479, 253	I/O	データ入出力バス (32-bit / word 単位) (プルダウン抵抗付き)
HTP3-HTP0	360, 363, 474, 477	I/O	パリティ入出力 (プルダウン抵抗付き)
HTCS1_B, HTCS0_B	115 117	O	チップ・セレクト信号
HTWE_B	359	O	ライト・イネーブル信号
HTOE_B	242	O	出力イネーブル信号

表2-4 セル・バッファ・メモリ・インタフェース信号

記号	端子番号	I/O	機能
CBA17- CBA0	48, 300, 178, 413, 50, 301, 180, 302, 52, 415, 53, 182, 303, 54, 417, 183, 305, 55	O	アドレス出力
CBD87- CBD0	397, 29, 283, 30, 398, 161, 399, 31, 285, 162, 163, 165, 400, 36, 166, 37, 401, 288, 38, 289, 168, 39, 290, 404, 40, 170, 405, 406, 171, 42, 172, 43, 407, 294, 173, 295, 44, 409, 45, 296, 297, 46, 298, 411, 418, 184, 56, 419, 307, 185, 57, 420, 58, 308, 187, 421, 422, 59, 310, 188, 423, 189, 311, 61, 190, 424, 312, 62, 425, 313, 63, 426, 64, 314, 193, 194, 315, 69, 196, 197, 70, 428, 317, 71, 429, 72, 318, 430	I/O	データ・バス (88-bit / word 単位) (プルダウン抵抗付き)
CBCS1_B, CBCS0_B	176 299	O	チップ・セレクト信号
CBWE_B	47	O	ライト・イネーブル信号
CBOE_B	179	O	出力イネーブル信号

2.4.1 マイクロプロセッサ・インタフェース信号

μPD98410 は、2 種類のマイクロプロセッサ・インタフェースをサポートしています。

- (1) 32 ビット・アドレス・データ多重型同期バス
- (2) 16 ビット・アドレス・データ分離型非同期バス

使用するモードにより、一部の端子機能が変わります。

表 2 - 5 マイクロプロセッサ・インタフェース

記 号	端子番号	I/O	機 能
HSEL	340	I	マイクロプロセッサ・インタフェース選択信号 ハードウェア・リセット時に、HSEL がロウ・レベルのときは 32 ビット多重型同期バス、ハイ・レベルのときは 16 ビット分離型非同期バスが選択されます。
IOCS_B	94	I	I/O チップ・セレクト信号
MCS_B	221	I	メモリ・チップ・セレクト信号
INT	451	O	割り込み要求信号

表 2 - 6 32 ビット多重型同期インタフェース

記 号	端子番号	I/O	機 能
HCLK	220	I	マイクロプロセッサ・バス・クロック (8M-33MHz)
AD31-AD0	223, 342, 343, 224, 225, 344, 227, 454, 345, 228, 455, 229, 346, 104, 456, 230, 457, 105, 348, 231, 458, 106, 349, 232, 350, 107, 460, 351, 108, 234, 109, 461	I/O	アドレス/データ・バス
R/W_B	222	I	リード/ライト選択信号
UWE_B	452	I	上位ワード・イネーブル信号
RDY_B	95	O	レディ信号 (3 ステート・バッファ)

表 2 - 7 16 ビット分離型非同期インタフェース

記号	端子番号	I/O	機能
HCLK	220	I	GND に接続するか、 V_{DD} にプルアップしてください。
A15	223	I	GND に接続するか、 V_{DD} にプルアップしてください。
A14 -A0	342, 343, 224, 225, 344, 227, 454, 345, 228, 455, 229, 346, 104, 456, 230	I	アドレス入力
D15 -D0	457, 105, 348, 231, 458, 106, 349, 232, 350, 107, 460, 351, 108, 234, 109, 461	I/O	データ・バス
WR_B	222	I	ライト・ストローク信号
RD_B	452	I	リード・ストローク信号
RDY_B,RDY	95	O	レディ信号 (3ステート・バッファ)

2.4.2 JTAG

表 2 - 8 JTAG インタフェース信号

記 号	端子番号	I/O	機 能
JDI	260	I	JTAG シリアル・データ入力
JDO	376	O	JTAG シリアル・データ出力 (通常時, オープン) (3 ステート・バッファ)
JCK	261	I	JTAG シリアル・クロック入力
JMS	377	I	JTAG モード・セレクト信号
JRST_B	7	I	JTAG リセット信号

2.4.3 その他

表 2 - 9 その他のインタフェース信号

記 号	端子番号	I/O	機 能
SWCLK	129	I	システム・クロック入力 (8-33MHz)
RESET_B	254	I	ハードウェア・リセット信号 (シュミット入力バッファ)
CG	5, 96, 97, 134, 135, 375,	I	常時, GND に接続
PU	480	I	常時, V_{DD} にプルアップ
IC	3, 4, 6, 10, 41, 98, 102, 136, 169, 198, 255, 256, 257, 275, 372, 373, 403, 427	O	内部接続信号 (常時, オープン)

2.5 未使用端子の処理方法

表 2 - 10 未使用端子の処理方法

端子名	I/O	未使用時の推奨接続方法
RXDATA07-RXDATA00 RXDATA17-RXDATA10 RXDATA27-RXDATA20 RXDATA37-RXDATA30	I	GND に接続
RXSOC3-RXSOC0	I	GND に接続
RXCLAV3-RXCLAV0	I	GND に接続
UCLK3-UCLK0	I	GND に接続
TXCLAV3-TXCLAV0	I	GND に接続
HTD31-HTD0	I/O (プルダウン抵抗付き)	オープン
HTP3-HTP0	I/O (プルダウン抵抗付き)	オープン
CBD87-CBD0	I/O (プルダウン抵抗付き)	オープン
HSEL	I	32 ビット多重型同期バス使用時 GND に接続 16 ビット分離型非同期バス使用時 V_{DD} にプルアップ
HCLK	I	V_{DD} にプルアップまたは GND に接続
IOCS_B	I	V_{DD} にプルアップ
MCS_B	I	V_{DD} にプルアップ
AD31-AD0	I/O	V_{DD} にプルアップ
A15-A0	I	GND に接続
D15-D0	I/O	V_{DD} にプルアップ
R/W_B / WR_B	I	V_{DD} にプルアップ
UWE_B/RD_B	I	V_{DD} にプルアップ
JDI	I	GND に接続
JCK	I	GND に接続
JMS	I	GND に接続
JRST_B	I	GND に接続
全出力端子	O	オ - ブン

2.6 リセット時の端子の状態

表 2 - 11 リセット時の端子の状態

端子名	I/O	リセット時の端子状態
RXADDR03-RXADDR00 RXADDR13-RXADDR10 RXADDR23-RXADDR20 RXADDR33-RXADDR30	○	ハイ・レベル
RXENB3_B-RXENB0_B	○	ハイ・レベル
TXADDR03-TXADDR00 TXADDR13-TXADDR10 TXADDR23-TXADDR20 TXADDR33-TXADDR30	○	ハイ・レベル
TXDATA07-TXDATA00 TXDATA17-TXDATA10 TXDATA27-TXDATA20 TXDATA37-TXDATA30	○ (3 ステート・バッファ)	Hi-Z
TXSOC3-TXSOC0	○ (3 ステート・バッファ)	Hi-Z
TXENB3_B-TXENB0_B	○	ハイ・レベル
HTA17-HTA0	○	ロウ・レベル
HTCS1_B, HTCS0_B	○	ハイ・レベル
HTWE_B	○	ハイ・レベル
HTOE_B	○	ハイ・レベル
HTP3-HTP0	I/O (プルダウン抵抗付き)	ロウ・レベル
HTD31-HTD0	I/O (プルダウン抵抗付き)	ロウ・レベル
CBD87-CBD0	I/O (プルダウン抵抗付き)	ロウ・レベル
CBA17-CBA0	○	ロウ・レベル
CBOE_B	○	ハイ・レベル
CBWE_B	○	ハイ・レベル
CBCS1_B, CBCS0_B	○	ハイ・レベル
INT	○	ロウ・レベル
RDY	○ (3 ステート・バッファ)	Hi-Z
AD31-AD0	I/O	Hi-Z
D15-D0	I/O	Hi-Z
JDO	○ (3 ステート・バッファ)	Hi-Z

第3章 機能概要

μPD98410は、ヘッダ変換機能を持つ共有バッファ方式ノンブロッキング型ATMスイッチです。回線インタフェースはUTOPIA Level 2に準拠しており、マルチPHY接続により速度の異なる回線を24回線まで接続できます。スイッチング時には外部SRAMに設定されるヘッダ変換テーブルを参照して、同時に最大64Kコネクション（メモリ最大実装時）までヘッダ変換を行うことができます。共有バッファには外部SRAMを使用し、最大51.2Kセル（メモリ最大実装時）まで蓄えることができます。

またμPD98410では、EPD（Early Packet Discard）、PPD（Partial Packet Discard）、優先セル廃棄制御およびABR（Available Bit Rate）トラフィック制御による転送品質制御を行います。

3.1 UTOPIAインタフェース

μPD98410は、UTOPIA Level 2に準拠したUTOPIAインタフェースを4つ持っています。サポートしているのは、シングルATM-マルチPHY、8ビット・データ幅、セル・レベル・ハンドシェークのインタフェースです。オクテット・レベル・ハンドシェークはサポートしていません。

μPD98410には、マルチPHY接続を利用して、最大24個のPHYを接続できます。1つのUTOPIAインタフェースには、最大12PHYデバイスまで接続できますが、割り当てたPHYの合計の転送速度を314Mbps以下（UTOPIAクロック・レート=40MHz時）に抑える必要があります。

UTOPIAインタフェースに接続されるPHYは、UTOPIAインタフェース番号とPHYアドレスから、ポート・コンフィギュレーション・レジスタに設定された内容に従って、論理ポート番号にマッピングされます。μPD98410の内部では、この論理ポート番号を用いて処理を行います。

1つのUTOPIAインタフェースに接続できる最大の転送速度とUTOPIAクロック・レートとの関係を次に示します。μPD98410では、UTOPIAクロック・レート=40MHzでトータル・スループット1.2Gbpsを実現しています。

表3 - 1 最大転送速度とUTOPIAクロック・レート

UTOPIA Level 2 (8-bit)	UTOPIA clock rate (Hz)	UTOPIA throughput MAX.(bps)	Total throughput MAX.(bps)
Enhanced	40M	314M	1.256G
Standard	33M	259M	1.036G
	20M	157M	628M

1つのUTOPIAインタフェースに接続できる最大の転送速度は、以下の式により計算されます。UTOPIAインタフェースの基本タイミング（54 UTOPIAクロック）で、1セル（53octet）を処理します。

$$\text{UTOPIA throughput [Mbps]} = \text{UTOPIA clock rate [MHz]} \times 8 [\text{bit}] \times 53 / 54$$

注意 UTOPIAクロック周波数とシステム・クロック周波数は、次の関係を守ってください。

$$\text{システム・クロック周波数} \quad 33/40 \times \text{UTOPIAクロック周波数}$$

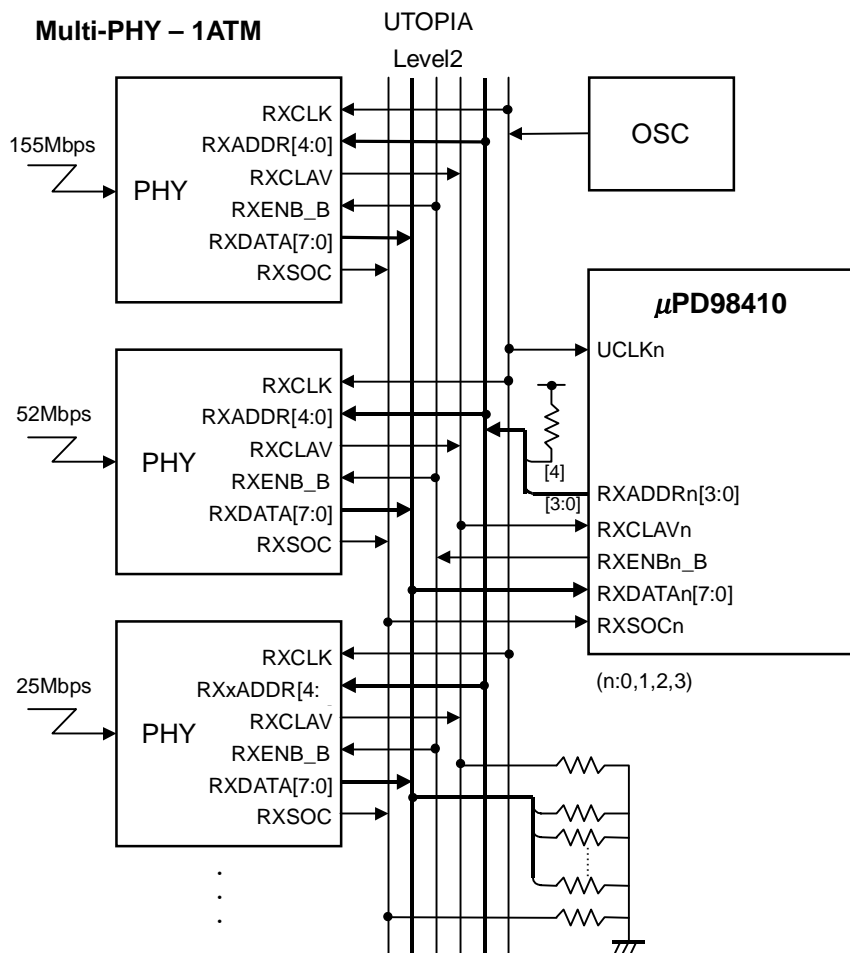
3.1.1 入力ポート・インタフェース

μPD98410は4つのUTOPIAインタフェースを持ち、マルチPHY接続により最大24までの入力ポートをサポートします。それぞれのUTOPIAインタフェースに接続できる入力ポートは最大12ポートです。

入力ポートは、ポート・コンフィギュレーション・レジスタに設定された内容に従って、PHYアドレスとUTOPIAインタフェース番号から論理入力ポート番号にマッピングされます。μPD98410の内部では、論理入力ポート番号を用いて処理を行います。

図3 - 1に、1つのUTOPIAインタフェースにマルチPHY接続した場合の例を示します。

図3 - 1 UTOPIAの受信インタフェース接続例



備考 PHYアドレス5ビットのうち、μPD98410には下位4ビットを接続します。上位1ビットは、プルアップしてください。μPD98410はポーリングのために、“0”-“11”のPHYアドレスを出力します。

なお、μPD98410にはRXCLK出力はありません。UTOPIAクロックとしてUCLKnをμPD98410に供給してください。

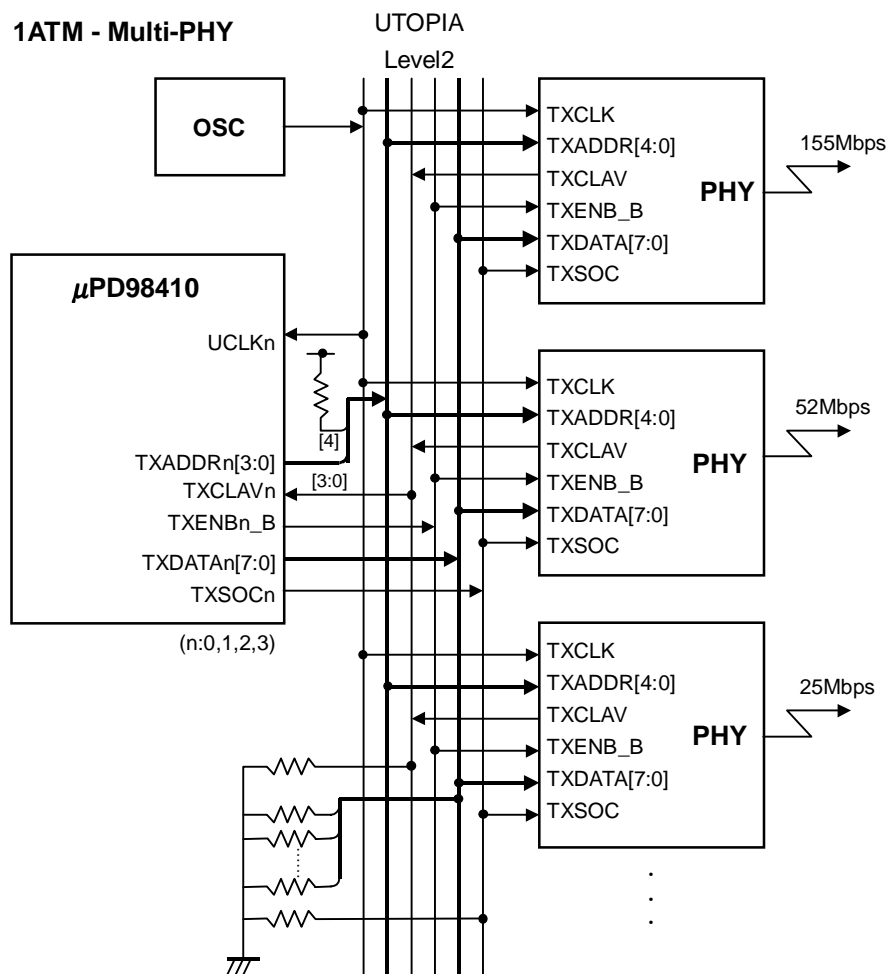
3.1.2 出力ポート・インタフェース

μPD98410は4つのUTOPIAインタフェースを持ち、マルチPHY接続により最大24までの出力ポートをサポートします。それぞれのUTOPIAインタフェースに接続できる出力ポートは最大12ポートです。

出力ポートは、ポート・コンフィギュレーション・レジスタに設定された内容に従って、PHYアドレスとUTOPIAインタフェース番号から論理出力ポート番号にマッピングされます。μPD98410の内部では、論理出力ポート番号を用いて処理を行います。

図3 - 2に、1つの UTOPIAインタフェースにマルチPHY接続した場合の例を示します。

図3 - 2 UTOPIAの送信インタフェース接続例



備考 PHYアドレス5ビットのうち、μPD98410には下位4ビットを接続します。上位1ビットは、プルアップしてください。μPD98410はポーリングのために、“0”-“11”のPHYアドレスを出力します。なお、μPD98410にはTXCLK出力はありません。UTOPIAクロックとしてUCLKnをμPD98410に供給してください。

3.2 ポーリング

μ PD98410にセルが入力される際の流れは、次のようになります。

PHYがセルを保持しているかを問い合わせる（ポーリング）。

保持していればセル入力を行い、保持していなければポート・コンフィギュレーション・レジスタの設定により論理ポートにマッピングされたPHYの中で、次のPHYに対し問い合わせを行う。

また、出力キューからセルが出力されるまでの流れは、次のようになります。

各PHYにセルを受信可能かどうか問い合わせる（ポーリング）。

出力レート制御（シェーピング）、セル滞留情報およびポーリングの結果をもとに、どの論理出力ポートから出力するかを決定する。

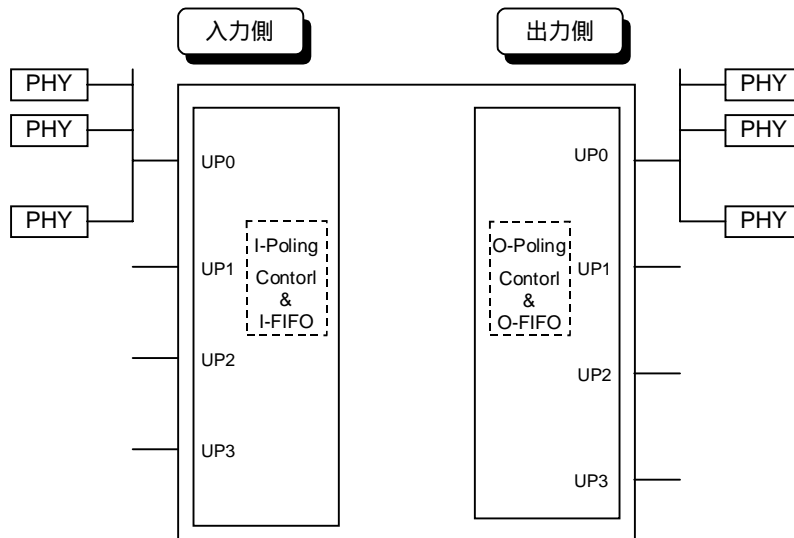
決定された論理出力ポートに対応する出力キューのうち、どのサービス・クラスのキューからセルを出力するかを決定する（WFQ（Weighted Fairness Queue））。

次に、このセル入出力時の流れの中で、ポーリング部分について説明します。

3.2.1 ポーリング概要

関連する μ PD98410の構成要素を図3 - 3に示します。

図3 - 3 μ PD98410の構成要素



- UP0-UP3 : UTOPIAインタフェース・ポート
- I/O-Poling Control : 入力, 出力側ポーリング制御部
- I/O-FIFO : 入力, 出力FIFO, それぞれのUTOPIAインタフェース・ポートにFIFOが存在し, UP0-UP3に対応します。

基本的なセル入出力の動作は、次のようになります。

(入力時)

- ポーリング制御部は、各PHYに対しセル送信が可能かどうかを問い合わせ、セル入力を行う論理入力ポートを決定する。
- セルが、I-FIFOに入力される。

(出力時)

- ポーリング制御部は、各PHYに対しセルを受信可能かどうかを問い合わせる。
- ポーリングの結果およびシェーピング、WFQから出力セルを決定し、O-FIFOに格納する。
- 該当する論理出力ポートに向けて、セルを送信する。

なお、1つのUTOPIAポートに対し最大12個のPHY (PHYアドレス0-11) が接続可能です。

入力側のポーリングは、ポート・コンフィギュレーション・レジスタのPHY、UPN、ENの設定により論理ポートにマッピングされているPHYアドレスに対してのみ行われます。

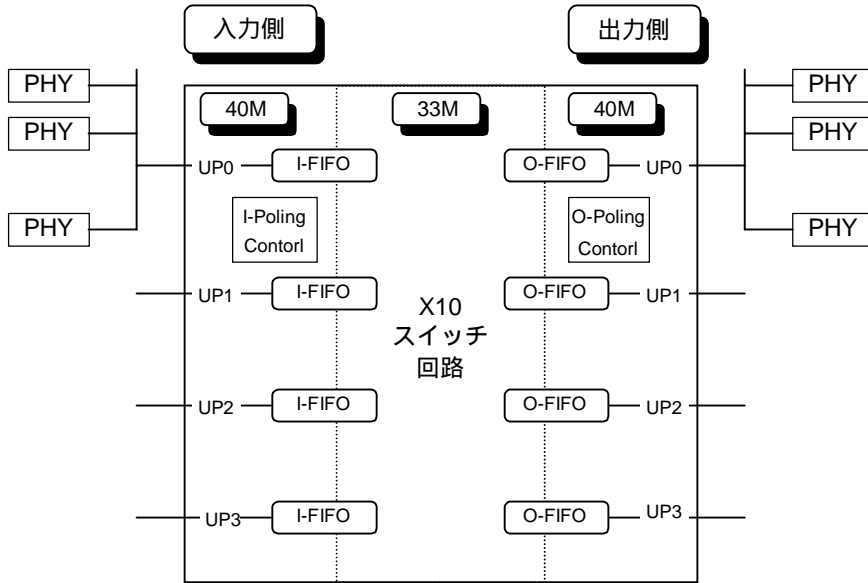
出力側のポーリングは、すべてのPHYアドレス (0-11) に対して行われます。

ここでUTOPIA Level2 に準拠したUTOPIAポートUP0-UP3のUTOPIAクロック・レートは、後述する条件を満たせば自由に設定できます (ここでは40MHzとして説明します)。同様に、 μ PD98410内部のスイッチ回路のシステム・クロックも後述する条件を満たせば、自由に設定できます (ここでは、33MHzとして説明します)。また、内部スイッチ回路では1基本処理サイクルを44システム・クロックとするのに対し、PHYは54UTOPIAクロックで動作します。したがって、内部スイッチ回路とポーリング制御部間での1サイクルの実時間に以下のような差が発生します。

	Clock rate (Hz)	基本動作サイクル	サイクルの実時間 (ns)
内部回路	33M	44クロック	1320
PHY	40M	54クロック	1350

この違いを吸収するために、 μ PD98410では入出力FIFOを設けています。

図3-4 クロック関係



注意 UTOPIAクロック周波数とシステム・クロック周波数は、以下の関係を守る必要があります。

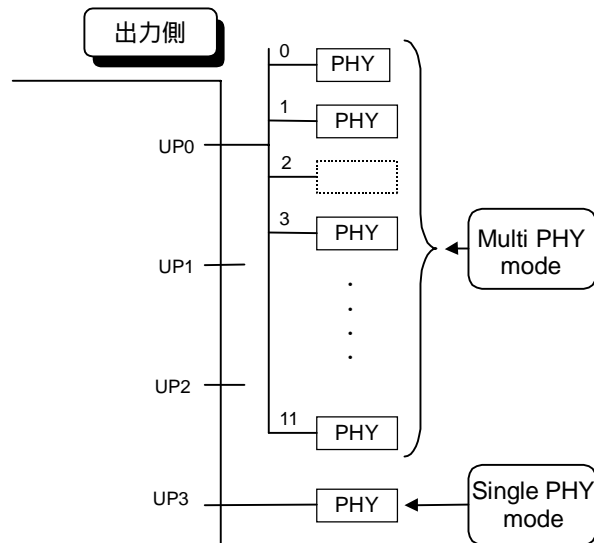
$$\text{システム・クロック周波数} = 33/40 \times \text{UTOPIAクロック周波数}$$

この関係が満たされない場合には、 μ PD98410内部の受信FIFOがオーバーランを起こすため、セルの取りこぼし(セル・ロス)が発生します。

3.2.2 セル出力時のポーリング

PHYの接続形態により、マルチPHYモード、シングルPHYモードが存在します。

図3-5 シングルPHYモードとマルチPHYモード



それぞれのモードを以下に示します。

マルチPHYモード

1つのUTOPIA出力ポートに対し、複数のPHYが接続可能であるモードです。実際に接続されているPHYが1つであっても構いません。接続されているPHYが1つの場合でも、シングルPHYモードとは異なる動作をします。

シングルPHYモード

1つのUTOPIA出力ポートに対し、1つのPHYが接続されるモードです。

マルチPHYモード、シングルPHYモードの設定は、ポート・コンフィギュレーション・レジスタのSGビットで各論理出力ポートごとに設定できます。シングルPHYモードの設定は、1つのUTOPIA出力ポートに対して、1つのPHYを設定します。複数のPHYが設定された場合は、論理出力ポートNo.の一番小さい設定が選択されます。

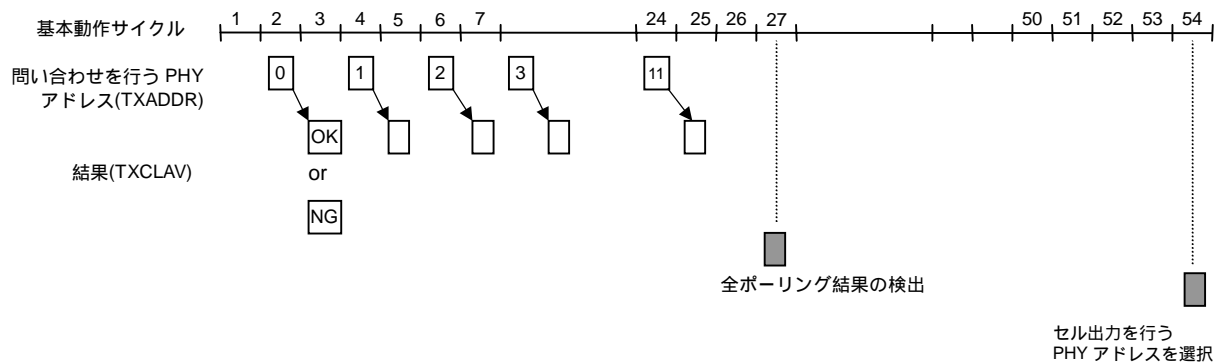
なお、1つのUTOPIA出力ポートに、マルチPHYモードとシングルPHYモードが設定された場合は、シングルPHYモードになります。

- 注意1** μ PD98410の動作中にポート・コンフィギュレーション・レジスタのSGビットの設定を切り替えると、シングル/マルチPHYモードの切り替わる直前とあとで、ポーリング結果の整合がとれないため、2セル分が不正なPHYへ出力されたり、セル消失が起きる可能性があります。ただし、移行期間終了後の送信動作は、問題なく行われます。
- 2.** μ PD98410の動作中にポート・コンフィギュレーション・レジスタのPHY、UPN、ENの設定を替えることによって出力論理ポートへのマッピングが変更されると、変更直前とあとで、ポーリング結果の整合がとれないため、2セル分が不正なPHYへ出力されたり、セル消失が起る可能性があります。ただし、移行期間終了後の送信動作は、問題なく行われます。

(1) マルチPHYモード時のポーリング

ポーリング制御と、基本動作サイクルの関係を以下に示します。

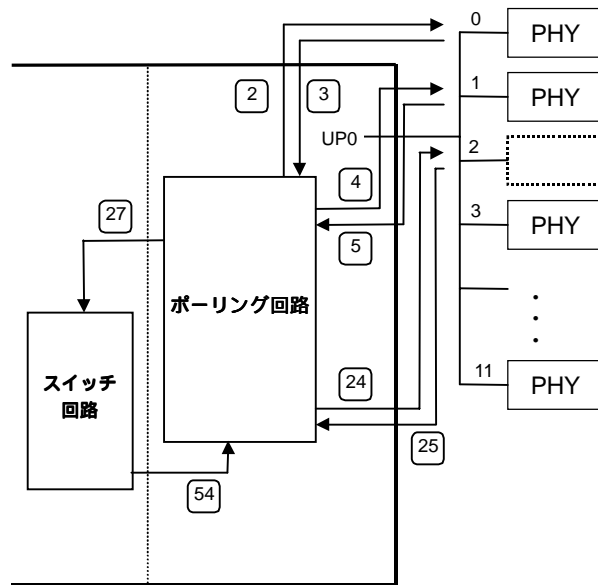
図3 - 6 ポーリング制御と基本動作サイクルの関係 (マルチPHYモード時)



<基本的な動作>

- ポーリングは、基本動作サイクルの2クロック目から行います。
- PHYアドレスの0番から順に問い合わせを行い（2, 4, 6, …クロック目）、次のクロック（3, 5, 7, …クロック目）でその結果が返されます。
- 27クロック目ですべてのPHYに対するポーリング結果をスイッチ回路に渡します。
- 54クロック目にセル出力を行うPHYを選択します。
(出力するセルがない場合には、どのPHYも選択しません。)

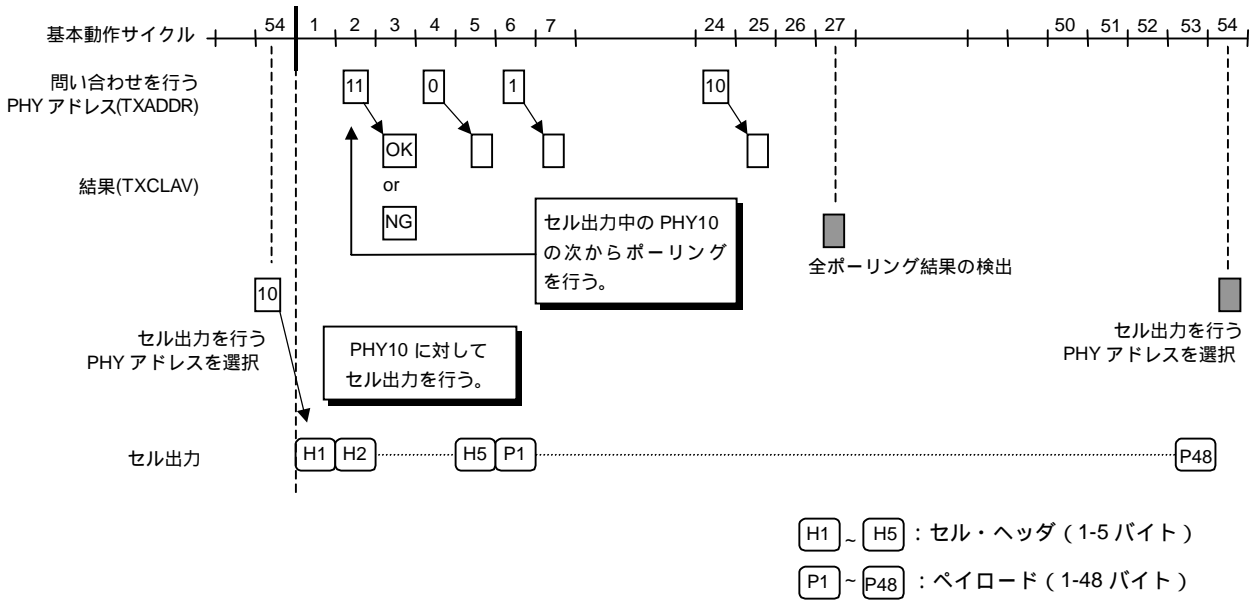
図3 - 7 セル出力中のポーリング動作



□ : クロック数

また、セル出力は基本動作サイクルの54クロック目で選択されたPHYに対して行われます（ポーリングとセル出力は並行して動作します）。このとき、現在セル転送を行っているPHYの次のPHYアドレスからポーリングを開始します。

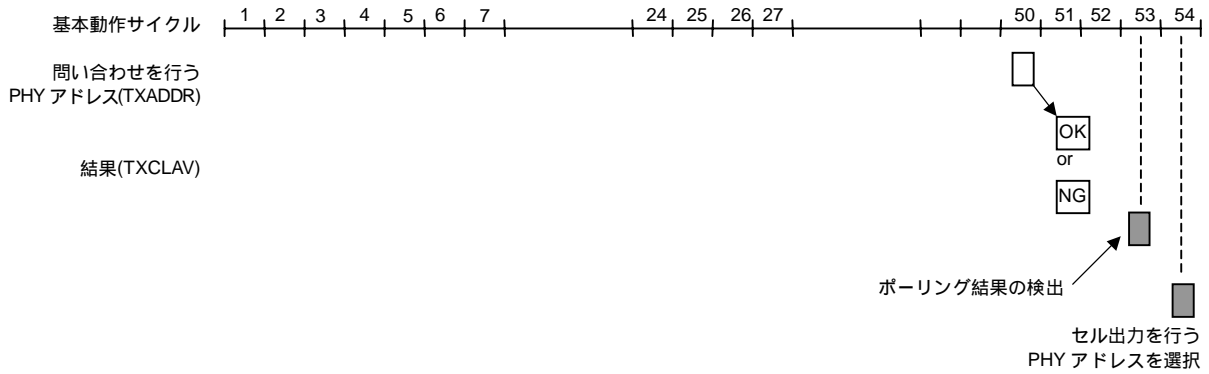
図3 - 8 セル出力中のポーリング動作



(2) シングルPHYモード時のポーリング

ポーリング制御と、基本動作サイクルの関係を以下に示します。

図3 - 9 ポーリング制御と基本動作サイクルの関係 (シングルPHYモード時)



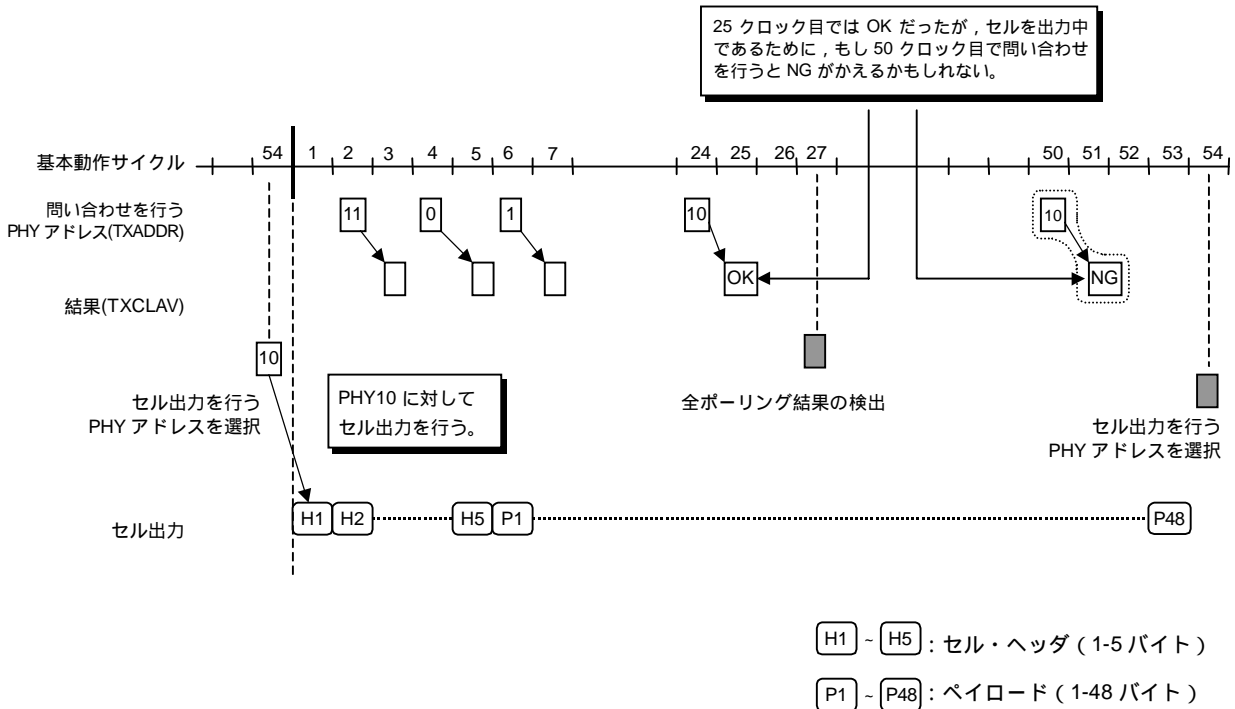
<基本的な動作>

- シングルPHYモードでは、接続されているPHYアドレスは既知であるため、そのPHYに対して50クロック目で問い合わせを行います。
- 51クロック目でPHYより結果が返ります。
- 53クロック目に、結果をスイッチ回路に渡します。
- 54クロック目では、51クロックの結果がOKの場合、そのPHYを選択します。NGであればそのPHYを選択しません。なお、51クロック目の結果がOKでも、出力すべきセルが存在しない場合は、そのPHYを選択しません。

(3) 連続出力の制御

UTOPIA Level 2では、セル出力中のPHYに対するセル出力が可能かどうかの問い合わせを50クロック目以降で行うように規定されています。ところがμPD98410のマルチ PHYモードでは2-25クロック目で問い合わせを行い、27クロック目でμPD98410内部のスイッチ回路に結果を渡します。このため、たとえば図3 - 10のようなとき、問い合わせに対する結果が不正となる可能性があります。

図3 - 10 連続出力の制御



つまり27クロック目で検出する値（セル出力中のPHYに対するポーリング結果）は、UTOPIA Level2では規定されていないため、論理出力ポート側に接続されるPHYの仕様によっては1サイクル前の結果を返し、本来の結果と異なる可能性があります。このような場合、次の基本動作サイクルにおいても、PHY10に対して連続してセル出力を行ったとしたら、セルが損失するなどの障害が発生する危険性があります。μPD98410では、この回避策としてRPビットにより連続出力の制御を行っています。

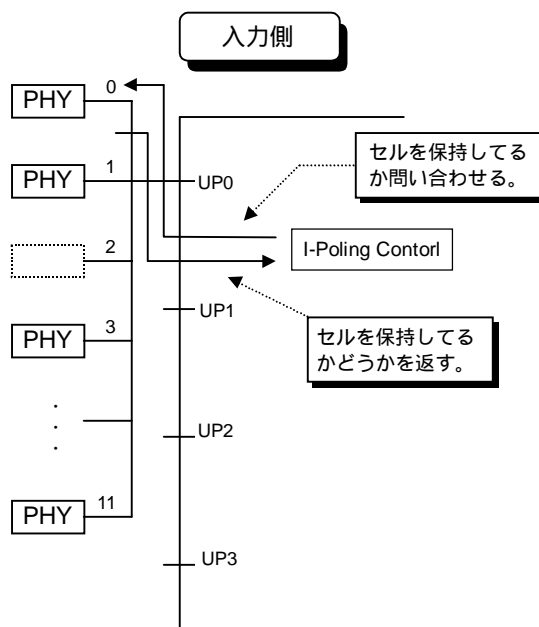
- RP=0 同一のPHYに対し、連続出力を許可しない
- RP=1 同一のPHYに対し、連続出力を許可する


なお、連続出力を行う場合には、27クロック目で検出した結果の妥当性が保証されている必要があります。NEC製155Mbps PHY μPD98404 (P30)は、この要件を満たすので、連続出力が可能ですが、他社製PHYを接続する場合は、RP=0（連続出力を許可しない）に設定しておく必要があります。

3.2.3 セル入力時のポーリング

(1) 基本動作

図3 - 11 セル入力時のポーリング基本動作

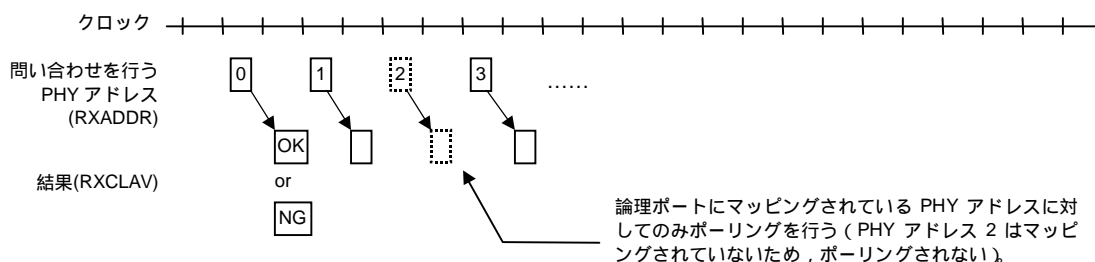


セル入力時には、以下に示す  の手順を行います。

- PHYに対し、セルを保持しているかどうかを問い合わせる。
- PHYは、セルを保持しているかどうかの情報を返す。

この手順は、ポート・コンフィギュレーション・レジスタPHY、UPN、ENの設定より、論理ポートにマッピングされているPHYに対して順に行われます。このときのクロックとポーリング制御の関係を図3 - 12に示します。なお、入力側のポーリング制御は、基本動作サイクル (=54UTOPIAクロック) 単位に関係ありません。

図3 - 12 ポーリング制御と基本動作サイクルの関係 (セル入力時)

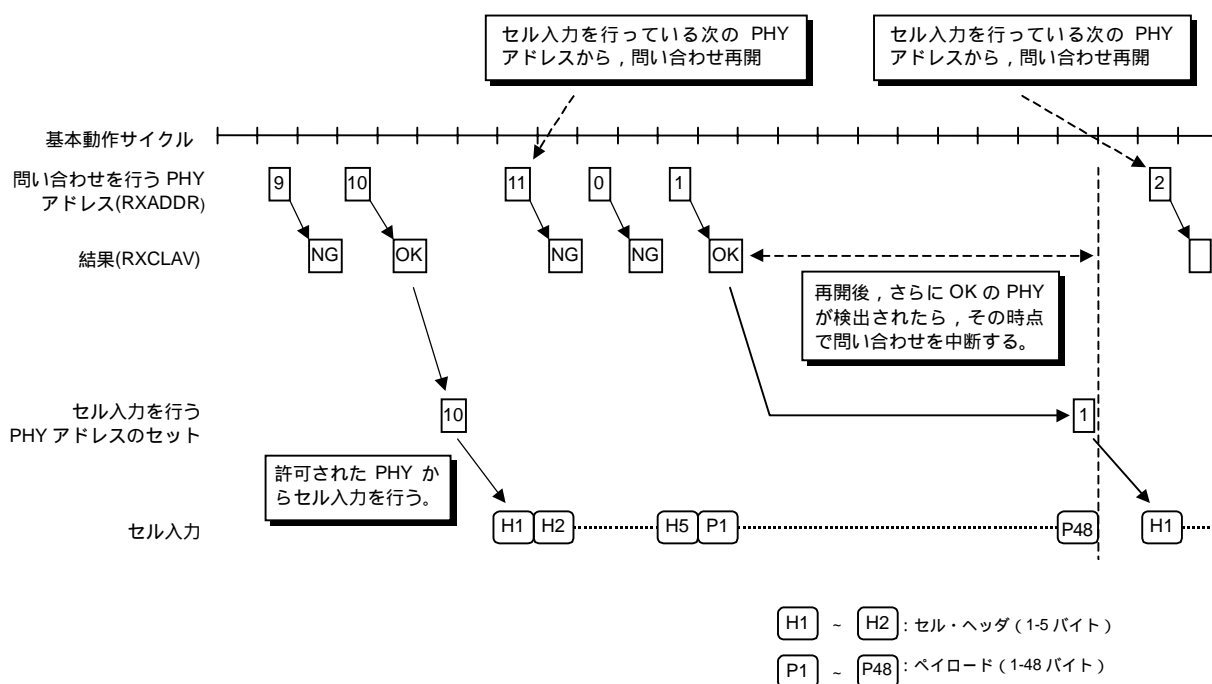


注意 未接続のPHYに対しては、絶対に論理ポートにマッピングしないようにしてください。未接続のPHYが論理ポートにマッピングされると、存在しないIPHYに対して入力側のポーリングを行い、該当するUTOPIA受信インタフェース・ポートがハングアップを起こす可能性があります。

(2) セル入力のタイミング

ポーリングの結果がOK (セルを保持) の場合、セル入力は以下のように行われます。

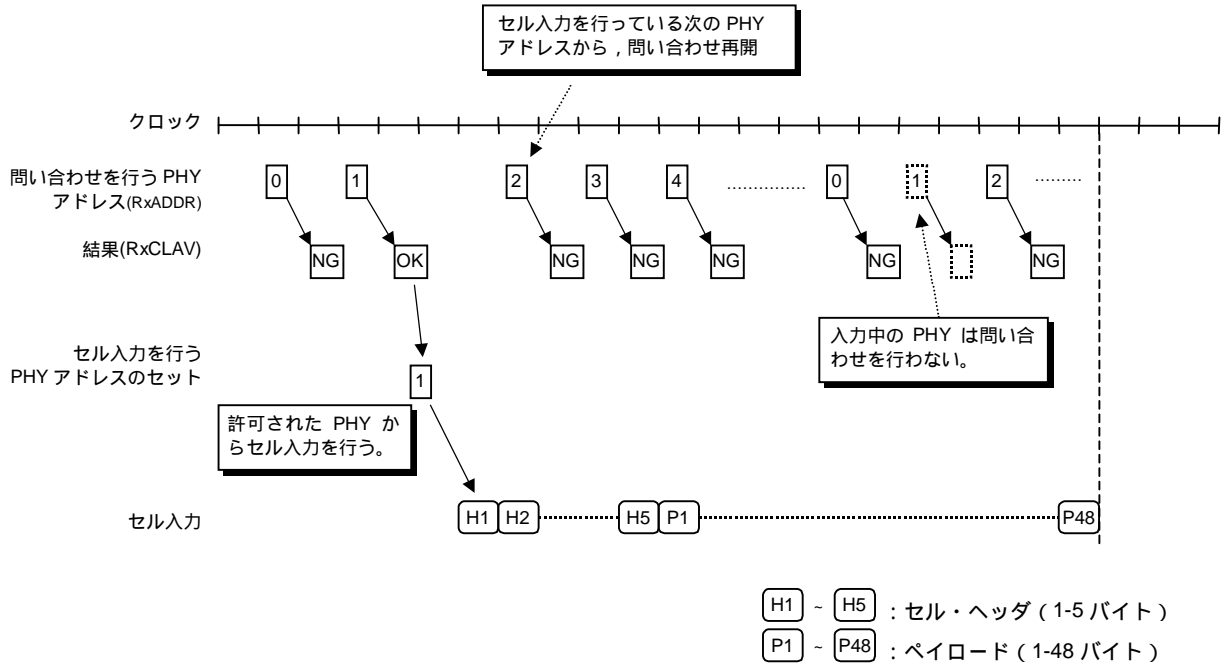
図3 - 13 セル入力の基本タイミング1



<動作>

- 問合わせに対しOKが返された場合は、次のクロックでそのPHYを選択します。
- さらに次のクロックで、選択されたPHYからセルを入力します。
- H1の入力タイミングから、問合わせを再開します。このときのPHYアドレスは、セル入力を行っているPHYの次のPHYとなります。
- 論理ポートにマッピングされていないIPHYに対しては問合わせを行いません。なお、セル入力が行われているPHYに対しても、問合わせを行いません。
- セル入力が行われている間に、さらにOKのPHYが検出されたら、その時点で問合わせを中断します。
- P48の入力タイミングで、次にセル入力を行うPHYを選択します。
- また、H1の入力タイミングから、問合わせを再開します。このときのPHYアドレスも、現在セル入力を行っているPHYアドレスの次のPHYとなります。

図3 - 14 セル入力の基本タイミング2



(3) 連続入力の制御

同一PHYから連続してセルが入力される場合、セル入力中はセル入力中のPHYに対して問い合わせを行わないため、図3 - 15のように次のセル入力までの間隔が開いてしまい、転送レートの低下を招いてしまいます。この問題を解決するため、μPD98410では、P48の入力クロックまでに、次にセル入力を行うPHYが決まらない場合は、今までセル入力を行っていたPHYに引き続き入力の許可を与えるようにしています。

図3 - 15 連続入力における転送レートの低下

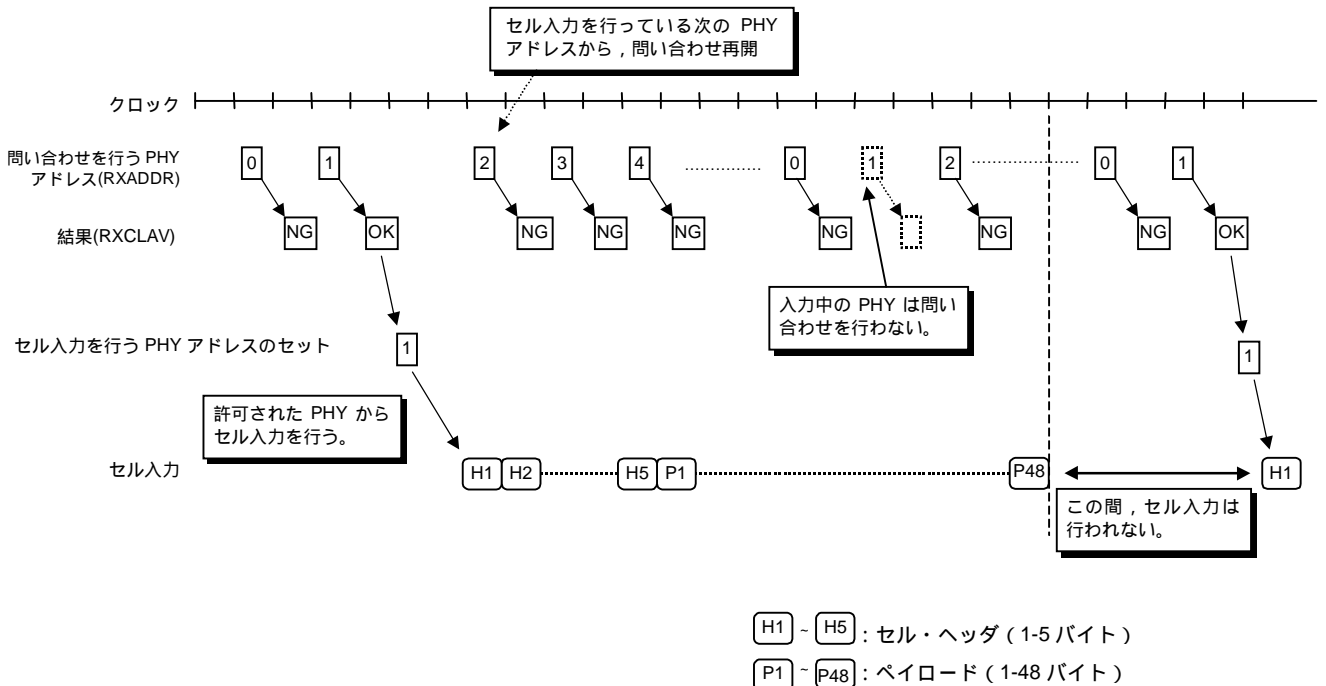
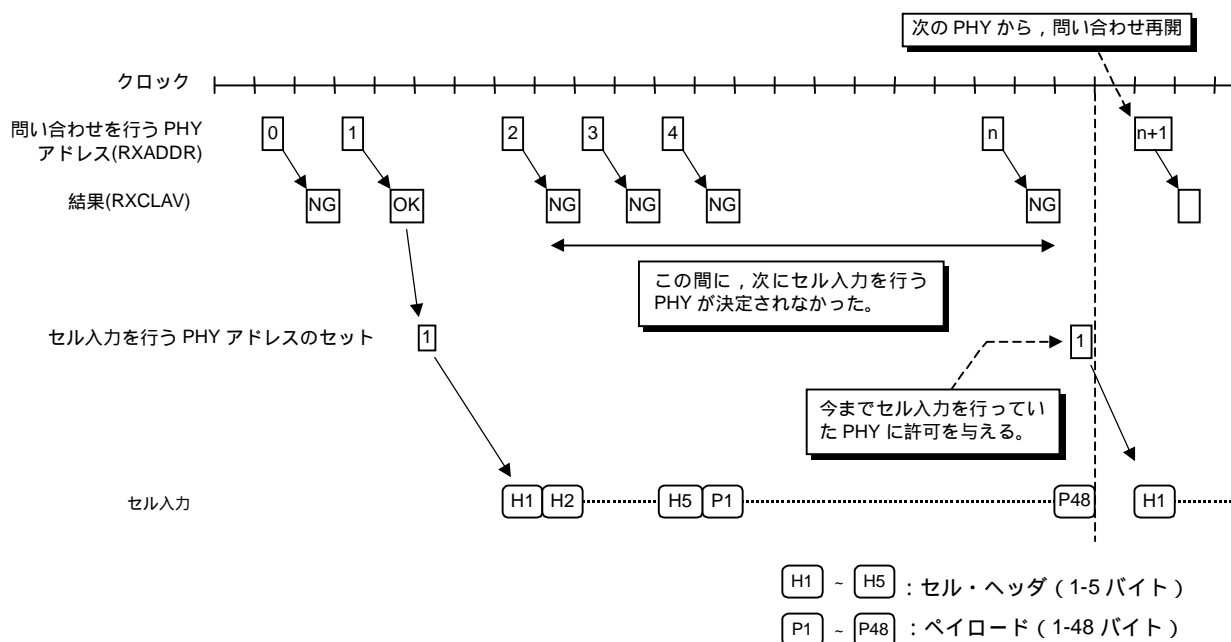
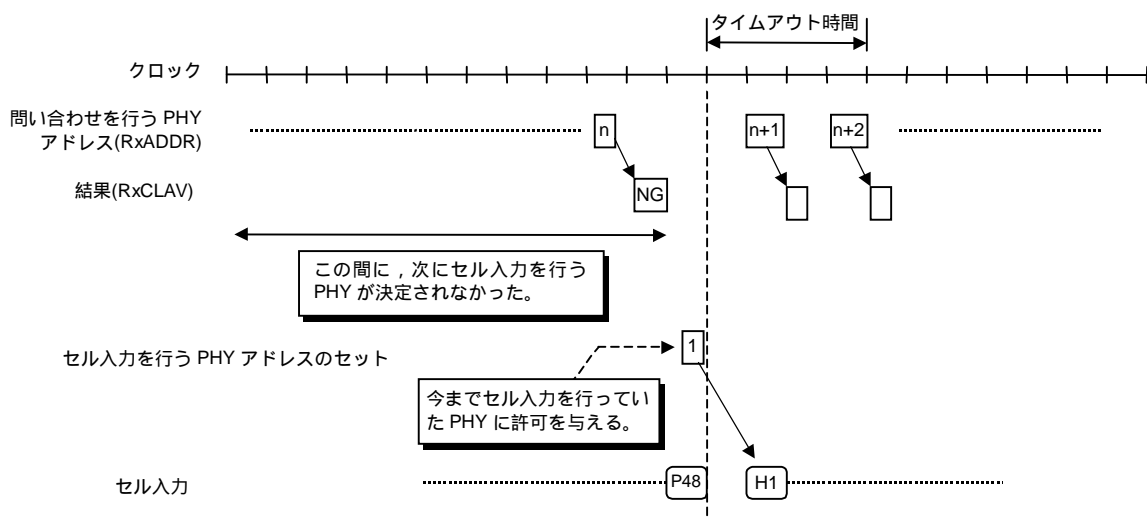


図3 - 16 連続入力制御



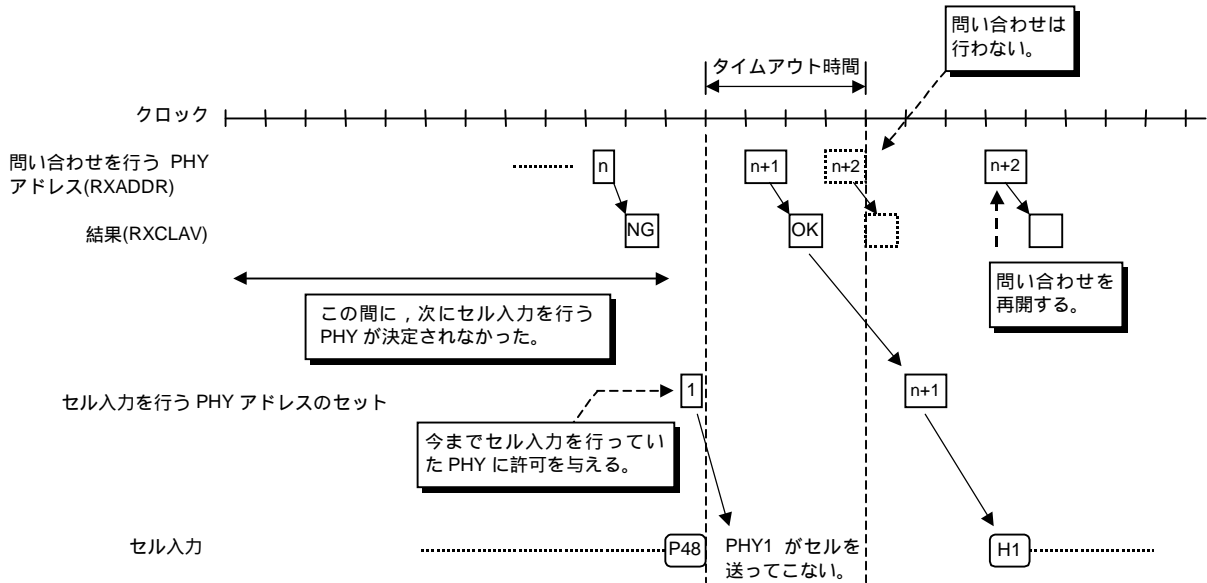
これにより、図3 - 16の場合でもセル入力を連続して行うことができ、転送レートの低下を防ぐことができます。このとき、今までセル入力を行っていたPHYに許可を与えても、このPHYにセルが存在しない可能性があります。このような場合のために、 μ PD98410では4クロック分のタイムアウト時間を設けています。このときの動作を以下に示します。

(a) タイムアウト時間内にセルが入力された場合

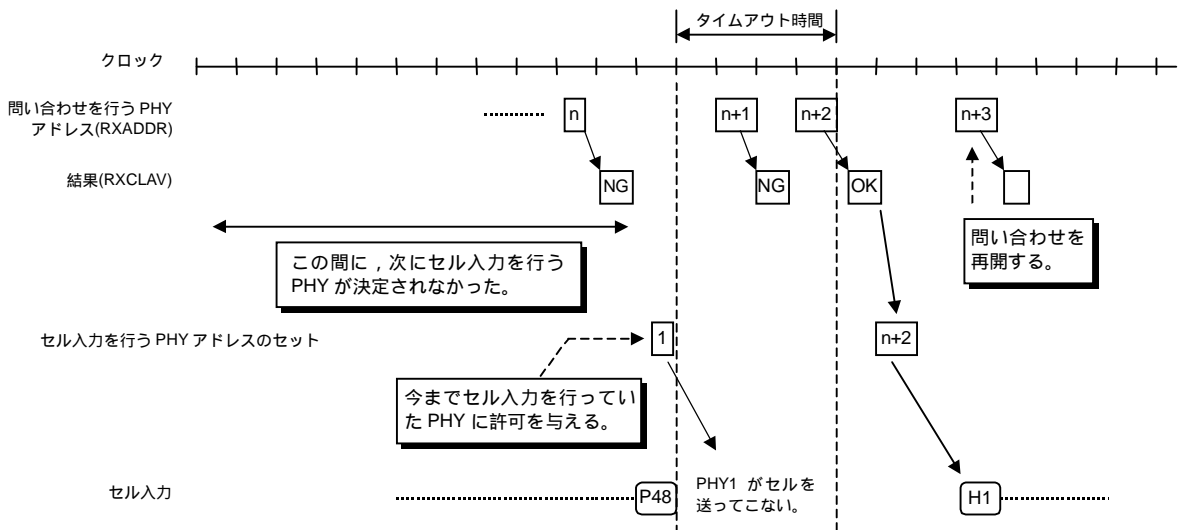


(b) タイムアウト時間内にセルが入力されなかった場合

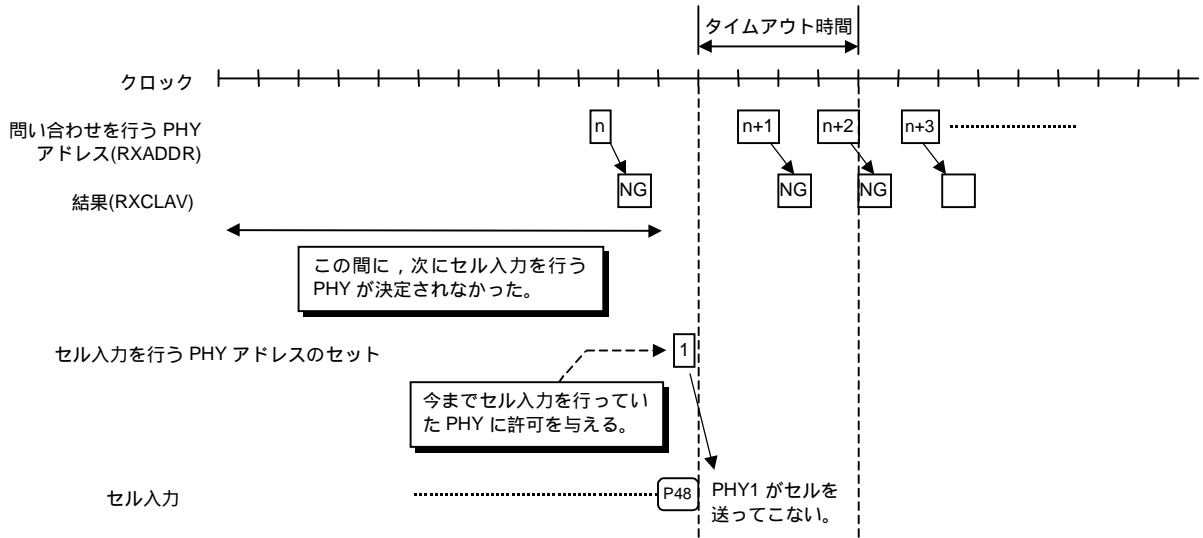
(i) PHYアドレスn+1に対する問い合わせ結果がOKのとき



(ii) PHYアドレスn+2に対する問い合わせ結果がOKのとき



(iii) PHYアドレスn+1, n+2に対する問い合わせ結果がいずれもNGのとき



3.3 ヘッダ変換

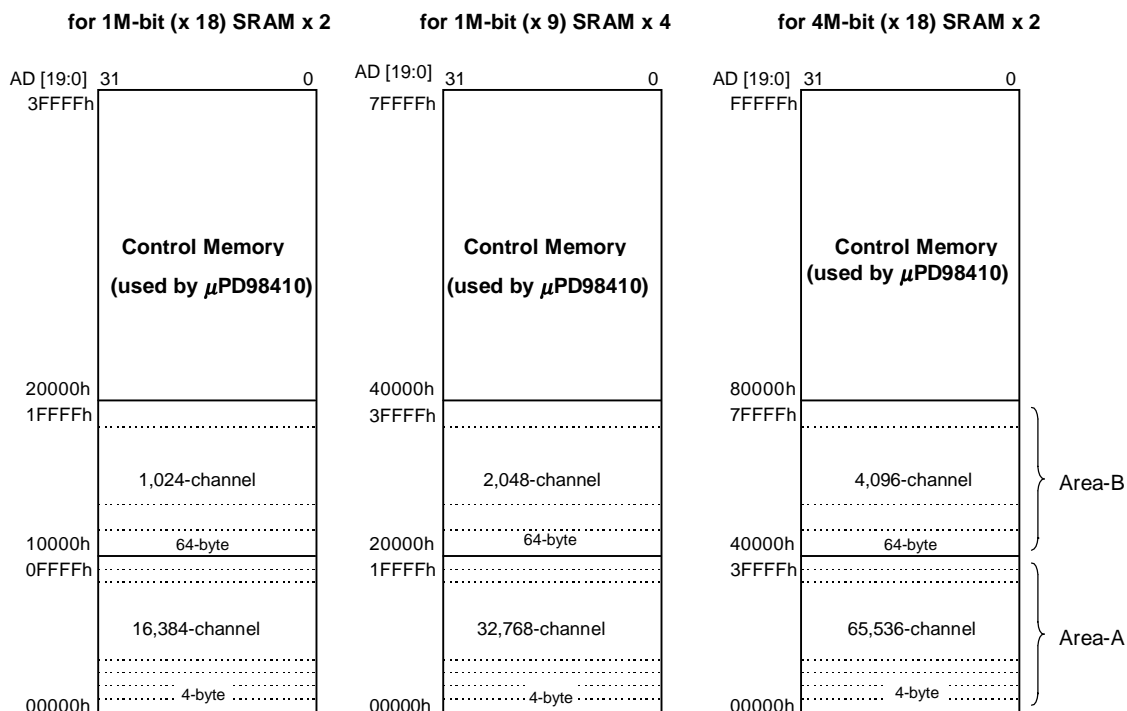
μPD98410は、外部SRAMに設定されているヘッダ変換テーブル（HTT）に従ってヘッダ変換を行います。シングルキャストではセル入力時にヘッダ変換を行い、マルチキャストではセル入力時およびセル出力時にヘッダ変換を行います。HTTに対する設定は、コネクション時に外部マイクロプロセッサが行います。

次に、HTTのフォーマットおよびヘッダ変換の手順を説明します。

3.3.1 HTT（ヘッダ変換テーブル）メモリ・マップ

HTT（Header Translation Table）は、HTT&コントロール・メモリの一部にArea-A, Area-Bとして配置されます。接続できるメモリの容量として、次の3種類をサポートします。

図3 - 17 HTT &コントロール・メモリ・マップ



Area-B: Multicast bitmap & Output VPI, VCI

Area-A: Header translation table for channel

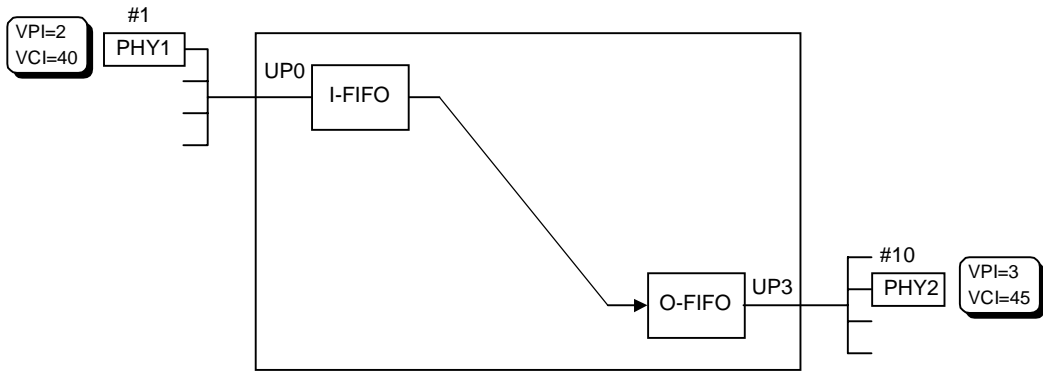
備考1. ここに示したアドレスは、マイクロプロセッサがアクセスする場合のアドレスを示しています。

2. μPD98410はマイクロプロセッサからのアドレスAD [19:0]を4分の1して、4バイトを1ワードとしてHTT &コントロール・メモリにアクセスします。このためHTA [17:0]からは、4分の1したアドレスが出力されます。

3.3.2 概要

ここではセルのスイッチングおよびヘッダ変換の処理概要について説明します。まず、図3 - 18のように論理入力ポート#1から入力されたセルが論理出力ポート#10から出力される例を示します。

図3 - 18 シングルキャストの例

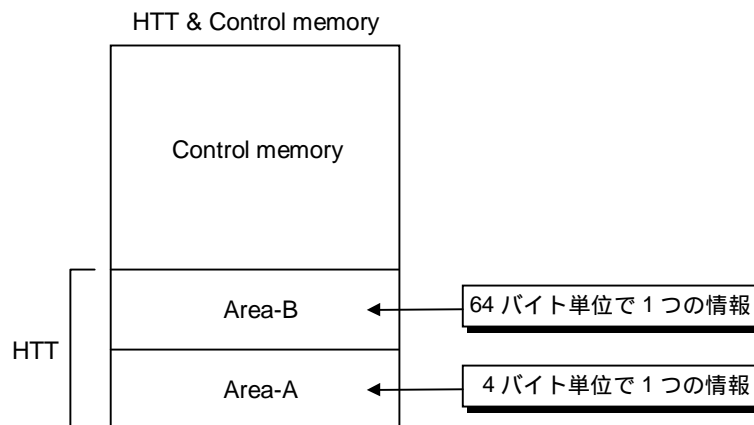


~ : 論理ポート番号
 UP ~ : UTOPIA ポート
 PHY ~ : PHY (~ は PHY 番号)

このときμPD98410内部では、“論理入力ポート#1から入力されたセルは論理出力ポート#10に出力する”という情報を持つ必要があります。この情報を設定するためのテーブルがHTT（ヘッダ変換テーブル）です。このHTTは、HTT&コントロール・メモリ上に構築され、用途によりArea-A、Area-Bに分かれています。

- Area-A ... シングルキャスト、マルチキャストどちらでも使用される領域
- Area-B ... マルチキャストのときのみ使用される領域

図3 - 19 HTT（ヘッダ変換テーブル）



このHTTには、出力側の情報が格納されています。また、情報がHTT領域内のどこに格納されているかというアドレスの算出に、入力側の情報を使用します。これにより、入力側の情報をもとに出力側の情報を得ることができます。

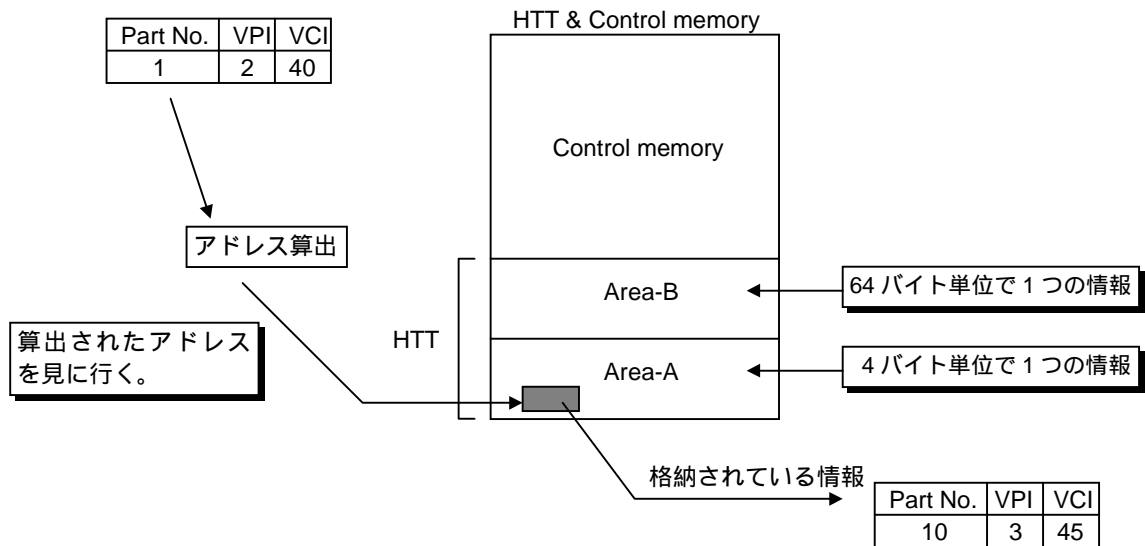
出力側の情報

Port No.	VPI	VCI
10	3	45

入力側の情報

Port No.	VPI	VCI
1	2	40

図3 - 20 シングルキャスト時のヘッダ変換情報の流れ



また、マルチキャストの場合はArea-Bも使用されます。このとき、Area-A内にはArea-Bにアクセスするためのポインタが格納され、出力側の情報はArea-Bに格納されます。このときのイメージを図3 - 21, 3 - 22に示します。

図3 - 21 マルチキャストの例

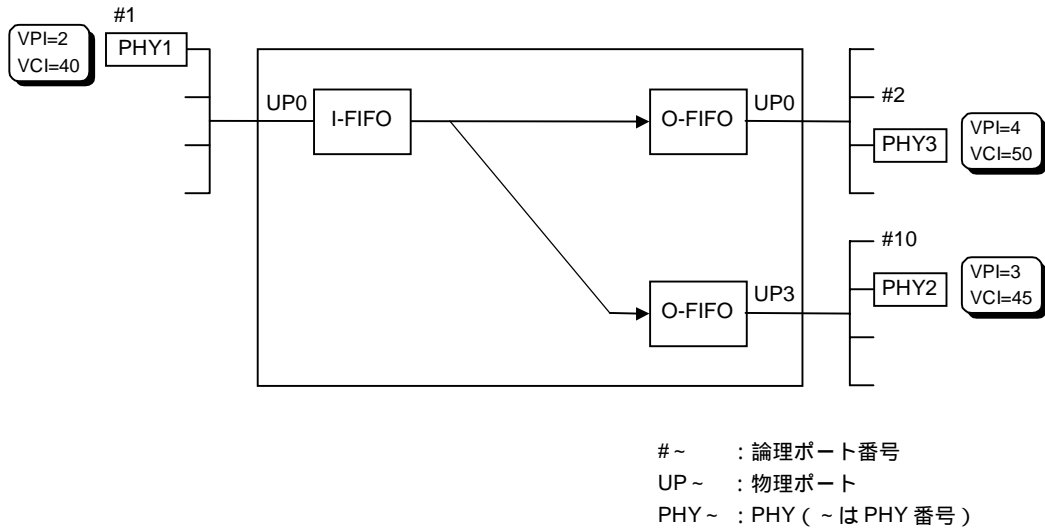
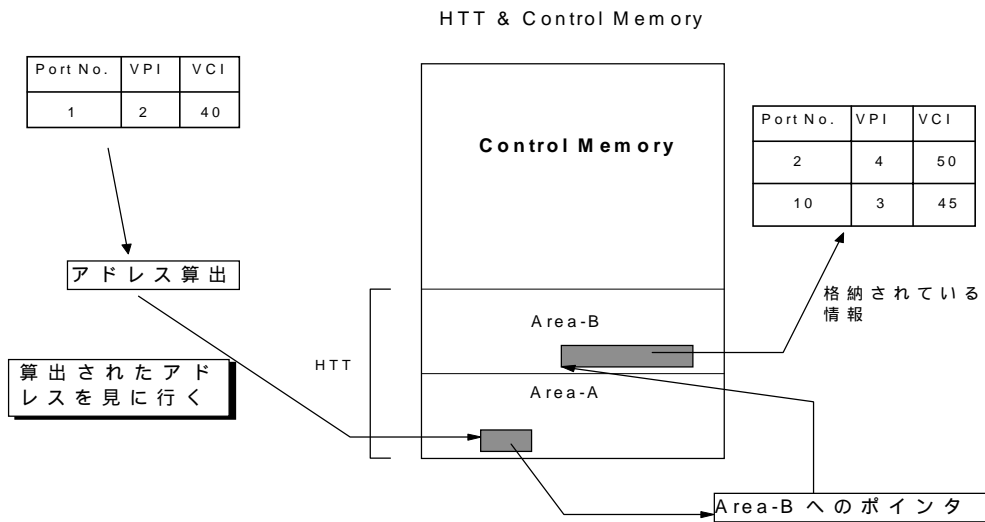


図3 - 22 マルチキャスト時のヘッダ変換情報の流れ



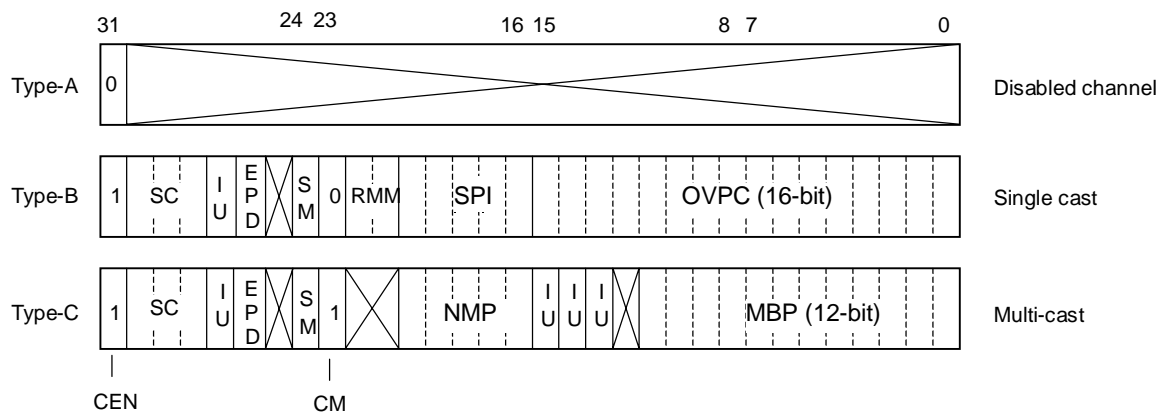
3.3.3 HTTの形式

ここではArea-A，Area-B領域に，どのような形式で情報が格納されているかについて説明します。

(a) Area-Aフォーマット

μPD98410は，セル入力時に論理入力ポート番号，VPI，VCIをポインタとして，Area-Aにアクセスします。Area-Aには4バイト単位で以下のような情報が格納されています。

図3 - 23 HTT Area-Aフォーマット



X領域はReservedを示します。設定時は“0”を書き込み，読み出し時は“不定”として取り扱ってください。

IU領域は，μPD98410内部処理で使用します。設定時は，Type-Cの13ビットは“1”に設定し，14，15，27ビットは“0”に設定してください。読み出し時は“不定”として取り扱ってください。

(1/2)

記号	名称	サイズ	説明
CEN	Channel Enable	1ビット	テーブルの有効 / 無効を設定します。 0 : 無効 1 : 有効
SC	Service Class	3ビット	サービス・クラスを設定します。 000 : CBR 001 : rtVBR 010 : Reserved 011 : nrtVBR 100 : ABR 101 : Reserved 110 : UBR 111 : Reserved

(2/2)

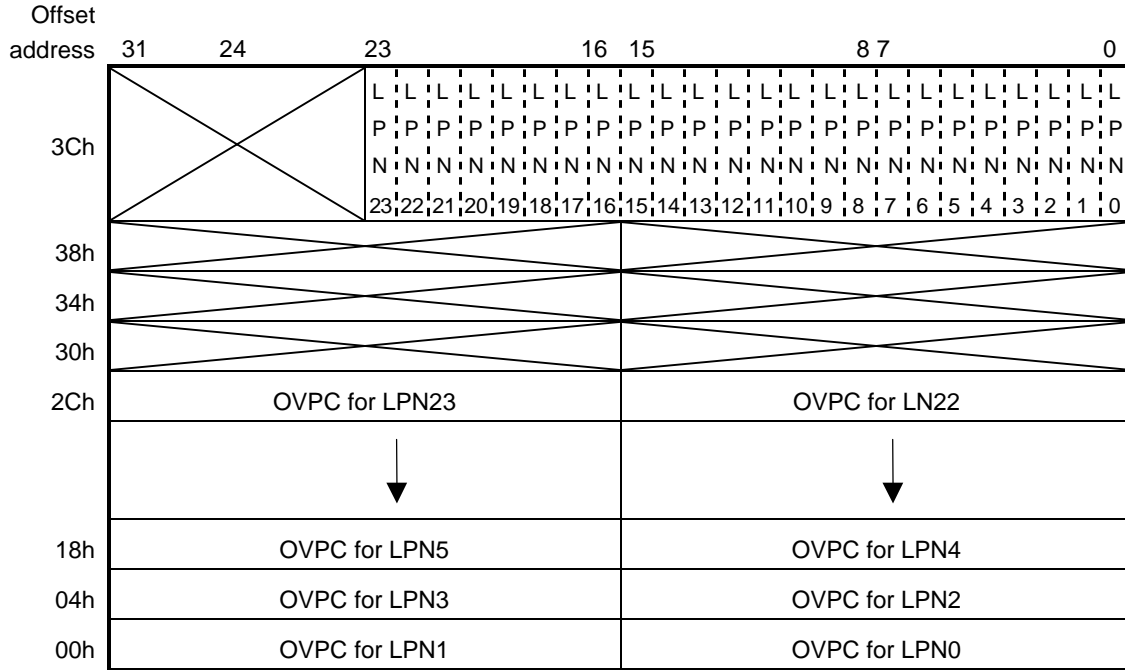
記号	名称	サイズ	説明
EPD	Early Packet Discard Enable	1 ビット	EPDの有効/無効を設定します。CENがアクティブの場合は、 μ PD98410が値を書き換えるため、読み出した値は保証されません。 0 : EPD無効 1 : EPD有効
SM	Switching Mode	1 ビット	VP/VCコネクションを設定します。VCI=20hの場合にアクセスされるHTT領域のSMビットだけが意味を持ちます。その他の領域のSMビットは0を設定してください。 ただし、PID=01hを持つRMセル以外のPre-Defined Channel (入力VCIが0-1Fh) においては、VCI=20hの場合にアクセスされるHTT領域のSMビットは意味を持ちません。VCコネクションに設定されます。 0 : VCコネクション 1 : VPコネクション
CM	Cast Mode	1 ビット	マルチ/シングルキャストを設定します。 0 : シングルキャスト 1 : マルチキャスト
RMM	RM Cell Merge Enable	2 ビット	マルチキャスト・コネクションに対するバックワード方向のシングルキャスト・コネクションに対して、RMセル・マージ処理を設定します。これ以外のコネクションの場合は“00”を設定してください。 00 : No merge & transfer 01 : Reserved 10 : Merge & transfer 11 : Merge & discard
SPI	Single Cast Port ID	5ビット	シングルキャストの場合の論理出力ポート番号(0-23)を設定します。 00h-17h : 論理出力ポート0-23
NMP	Number of Multi-Cast Port	5ビット	マルチキャストの場合の同報数を設定します。 02h-18h : 同報数2-24
OVPC	Output VPI,VCI	16ビット	シングルキャストの場合に出力セル(ヘッダ変換後)に付けるVPI, VCIを設定します。
MBP	Multicast Bitmap Pointer	12ビット	マルチキャストの場合にArea-Bにアクセスするためのポインタを設定します。
IU	Internal used	-	μ PD98410がワーク領域として使用します。 設定時はビット13を“1”, ビット14, 15, 27を“0”に設定してください。

(b) Area-Bフォーマット

μPD98410は、MBPをポインタとして、マルチキャストのセル入力時にArea-Bにアクセスします。

Area-Bには、64バイト単位で以下のような情報が格納されています。

図3 - 24 HTT Area-Bフォーマット



X領域はReservedを示します。設定時は“0”を書き込み、読み出し時は“不定”として取り扱ってください。

記号	名称	サイズ	説明
LPN0- LPN23 (MB)	Logical Port Number (Multicast Bitmap)	1ビット×24	マルチキャストの場合にキャスト先の論理出力ポートの該当ビットを設定します。 0: 対応するポートにキャストしない 1: 対応するポートにキャストする
OVPC	OutputVPI, VCI	16ビット ×24ポート	マルチキャストの場合に出力セル(ヘッダ変換後)に付けるVPI, VCIを設定します。

3.3.4 HTTへのアクセス方法

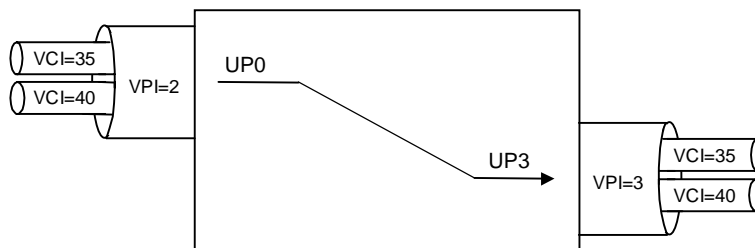
3.3.2 概要 でHTTへアクセスする際のイメージを説明しましたが、ここではその詳細について説明します。

(1) VPコネクションとVCコネクション

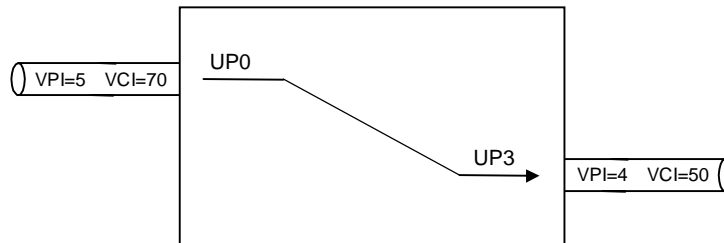
μ PD98410におけるスイッチングの方式には、VPコネクションとVCコネクションがあります。この2つのスイッチング方式の違いについて以下に示します。

図3 - 25 VPコネクションとVCコネクション

VP コネクション



VC コネクション



(VPコネクション)

- セル・ヘッダのVPIのみの付け替えを行う。

(VCコネクション)

- セル・ヘッダのVPI, VCIの付け替えを行う。

(2) HTTPへのアクセス

3.3.2 概要 で、論理入力ポート番号、VPIおよびVCIを用いてHTTPへアクセスする際のアドレスを求めることを述べましたが、実際にはVPコネクション、VCコネクションの違いにより、以下のような手順でアドレスを算出しています。なお、図3-26にはシングルキャスト時のHTTPアクセスのイメージを示していますが、マルチキャストにおいてもArea-Aへアクセスするまでの手順は同一です。

<手順>

以下の値を使用してHTTPにアクセスする。リードした値により、スイッチング・モード (SM) がVPC (VPコネクション) かVCC (VCコネクション) かを判断する。

Port No.	VPI	VCI
論理入力ポートの番号	入力セル・ヘッダ内のVPI	20h

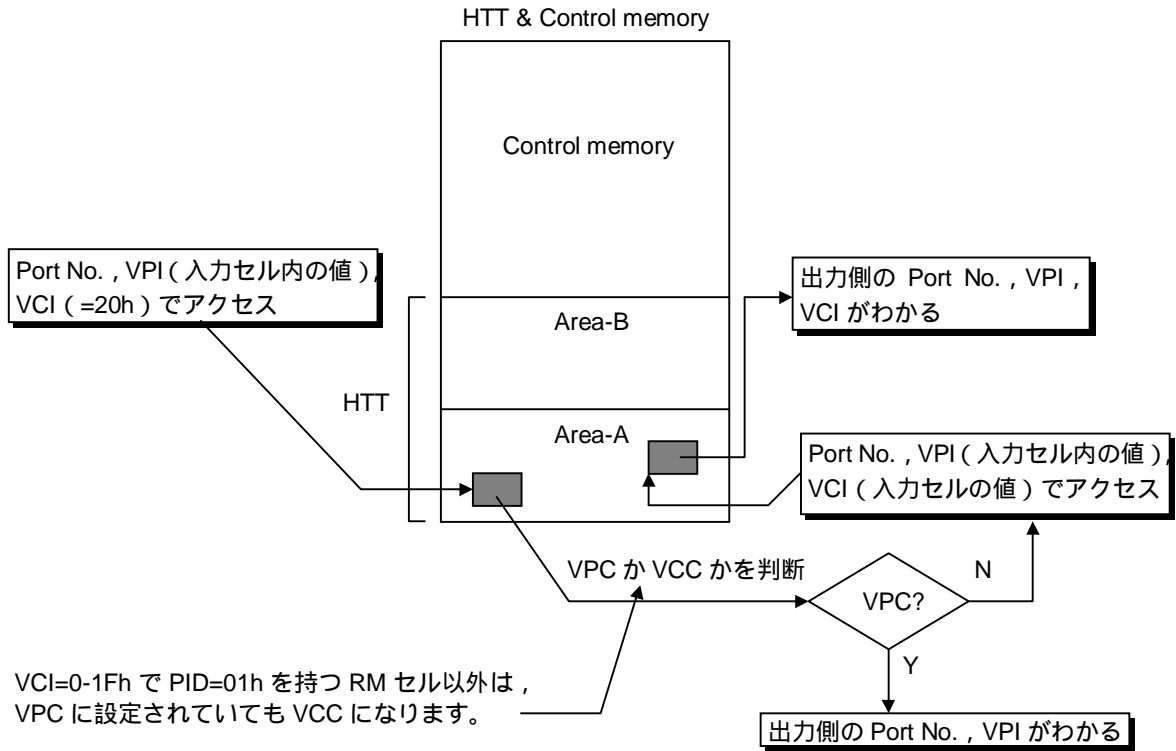
- 1 VPコネクションであれば、 でアクセスした領域にヘッダ変換情報が設定されている。
- 2 VCコネクションであれば、以下の値を使用してHTTPに再度アクセスする。この領域 (スイッチング・モード (SM) 以外) にヘッダ変換情報が設定されている。

Port No.	VPI	VCI
論理入力ポートの番号	入力セル・ヘッダ内のVPI	入力セル・ヘッダ内のVCI

注意1 . PID=01hを持つRMセル以外のPre-Defined Channel (Input-VCI=0-1Fh) では、 で得られるスイッチング・モード (SM) の情報が、VPコネクションに設定されていても、通常のVCコネクションによるヘッダ変換が行われます。

2 . PID=01hを持つRMセルは、3.3.6 RMセルの際のHTTPへのアクセス を参照してください。

図3 - 26 VPCとVCCのHTTへのアクセスの違い (シングルキャスト時)



(3) HTTアドレスの求め方

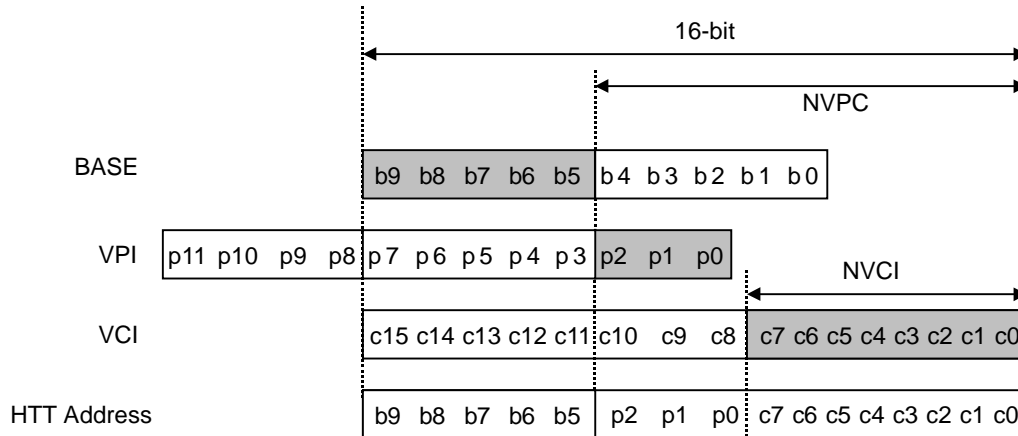
3.3.4 (2) ではHTTのArea-Aにアクセスする際のアドレスの計算に論理入力ポート番号, VPI, VCIを使用することを説明しました。ここでは, これらを用いて実際にどのようにアドレスを求めているかについて説明します。

まずμPD98410内部では, 論理入力ポートごとに以下の情報を持っています。

NVPC	VPIの有効ビット数 + VCIの有効ビット数
NVCI	VCIの有効ビット数
BASE	ベース・アドレス (オフセット値)

実際のHTTアドレスは, これらの情報を使用して, 図3 - 27に示すように求められます。この例では NVPC = 11, NVCI = 8としています。

図3 - 27 HTTアドレスの求め方



なお、BASEとHTTアドレスの有効範囲は、実装するHTT&コントロール・メモリのサイズ（MODEレジスタのHMSビットの値）に依存します。このサイズとBASE、HTTアドレスの有効範囲の関係を以下に示します（図3 - 27は、HMS=10の場合を例としています）。

HMS (32-bit per word)	BASE	HTTアドレス
00(64K word)	[7:0]	[13:0]
01(128K word)	[8:0]	[14:0]
10(256K word)	[9:0]	[15:0]

(4) 出力セルのVPI, VCI

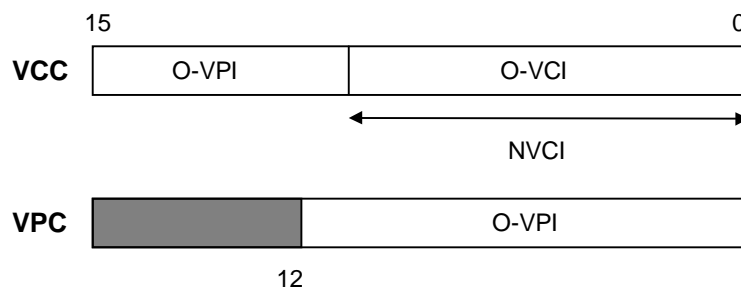
これまで、出力側のポート番号、出力セルに付けるVPI, VCIの情報を得るまでの手順を示してきました。この手順により、論理出力ポート番号は次に示すものから情報を得ることができます。

- シングルキャスト時は、Area-AのSPI
- マルチキャスト時は、Area-BのLPN0-LPN23

またVPI, VCIは以下のものから情報を得ることになります。このOVPCは、スイッチング・モードの違いにより図3 - 28のように設定されています。

- シングルキャスト時は、Area-AのOVPC
- マルチキャスト時は、Area-BのOVPC

図3 - 28 OVPCの設定形式



ここでは、NVCIはOVPC (16ビット幅)のうち、何ビットをO-VCI (Output VCI)として使用するかを表すパラメータです。VPCの場合はO-VPI (Output VPI) (12ビット)のみが格納されます。これは、VPCではVPIのみの付け替えを行い、VCIは入力セルの値をそのまま出力するためです。

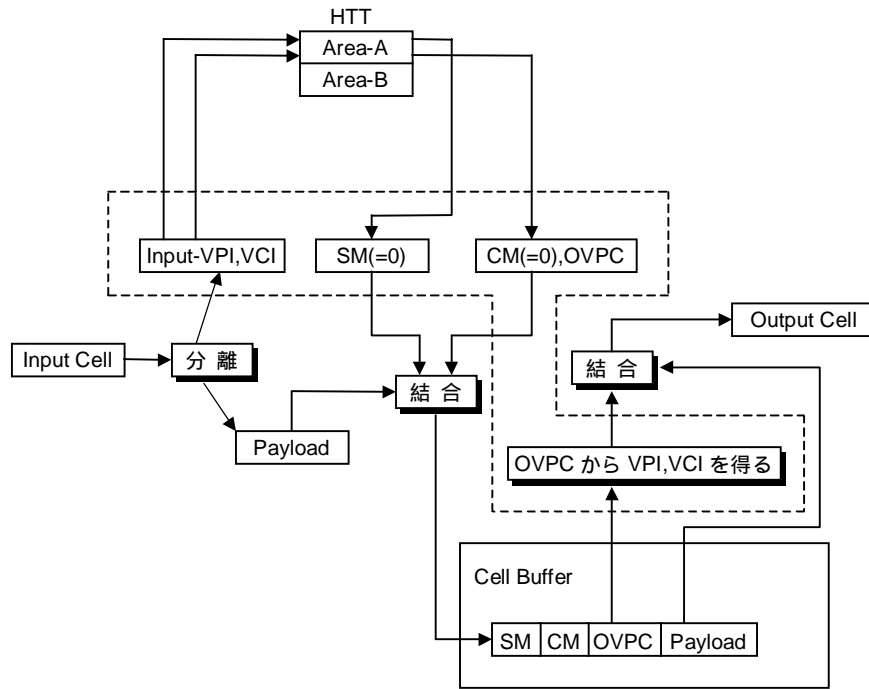
なお、VCCの場合、使用できるのはVPIとVCIの両方で16ビットまでです。一方、セル・ヘッダ内のVPI, VCIフィールドはそれぞれ12ビット (NNI時)、16ビットです。この不足ビットについては、セル出力時に固定値“0”が設定されます。

3.3.5 ヘッダ変換の流れ

ここでは、スイッチング・モード、キャスト・モードの違いによるヘッダ変換の流れについて説明します。

(1) VCC, シングルキャスト

図3 - 29 VCC, シングルキャスト時のヘッダ変換の流れ



[] ヘッダの操作を行う部分

<手順>

論理入力ポート番号, Input-VPI, VCI=20hを使用してArea-Aにアクセスする。

VCコネクション (SM=0) という情報が得られる。

論理入力ポート番号, Input-VPI, Input-VCIを使用して, 再度Area-Aにアクセスする。

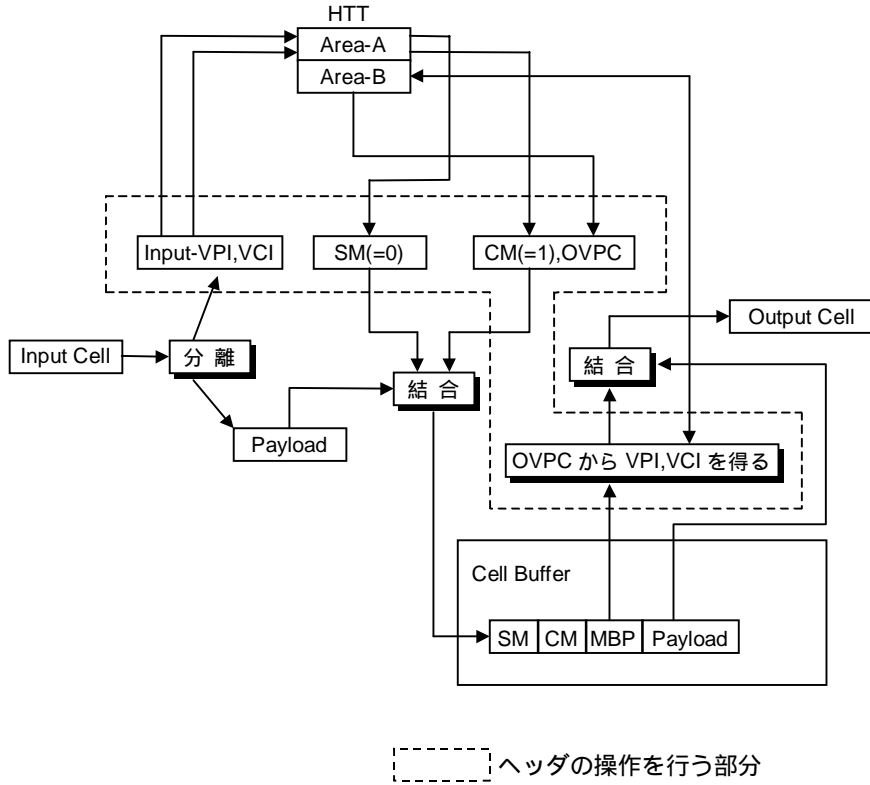
シングルキャスト (CM=0), OVPCが得られる。また, サービス・クラス (SC), 論理出力ポート番号 (SPI) も得られるので, セル・アドレスを格納する出力キューも決定される。

入力セルのペイロードとともに, SM, CM, OVPCをセル・バッファに格納する。

セル出力時に, OVPCをもとに出力セル・ヘッダのVPI, VCIを設定する。

(2) VCC, マルチキャスト

図3 - 30 VCC, マルチキャスト時のヘッダ変換の流れ



<手順>

論理入力ポート番号, Input-VPI, VCI=20hを使用してArea-Aにアクセスする。

VCコネクション (SM=0) という情報が得られる。

論理入力ポート番号, Input-VPI, Input-VCIを使用して, 再度Area-Aにアクセスする。

マルチキャスト (CM=1), Area-Bへのポインタ (MBP), 同報数 (NMP), サービス・クラス (SC) などが得られる。

入力セルのペイロードとともに, SM, CM, MBPをセル・バッファに格納する。セル・アドレスはマルチキャスト・キューに格納される。

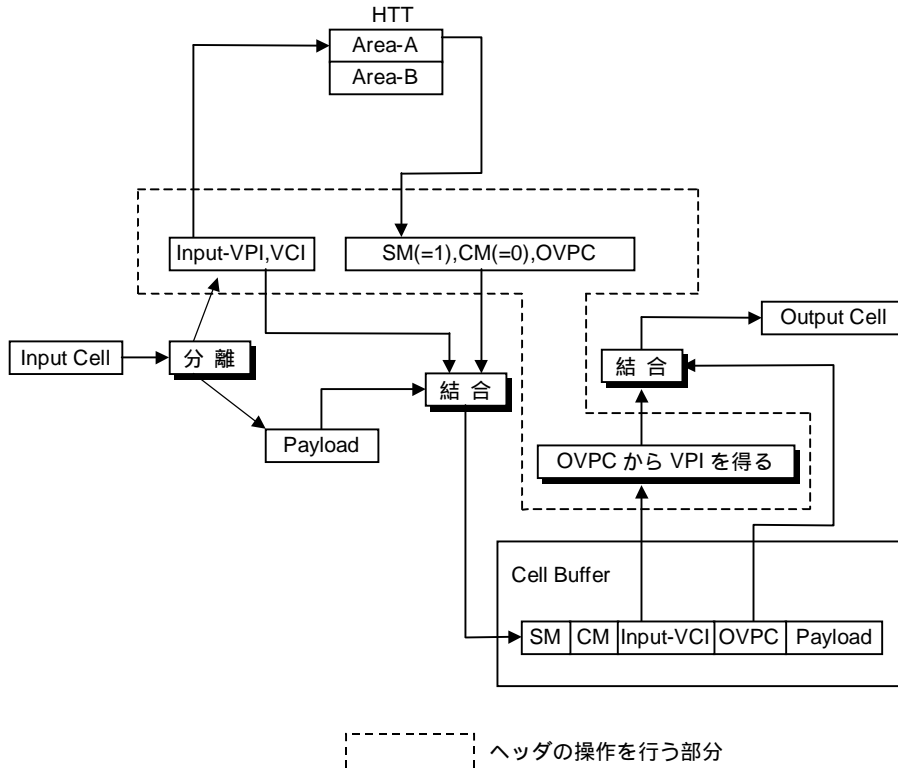
リキューイングを行う際に, MBPを用いてArea-Bにアクセスし, キャストすべき論理出力ポートの番号を得る。このとき, セル・アドレスは出力キューに格納される。

セル出力時に再びArea-Bにアクセスし, 各論理出力ポートのOVPC情報を得る。

OVPCから出力セル・ヘッダのVPI, VCIを設定する。

(3) VPC, シングルキャスト

図3-31 VPC, シングルキャスト時のヘッダ変換の流れ



<手順>

論理入力ポート番号, Input-VPI, VCI=20hを使用してArea-Aにアクセスする。

VPコネクション (SM=1) という情報とともに, シングルキャスト (CM=0), OVPC (OVPC内はO-VPI情報のみ) を得る。サービス・クラス (SC), 論理出力ポート番号 (SPI) も得られるので, セル・アドレスを格納すべき出力キューが決定される。

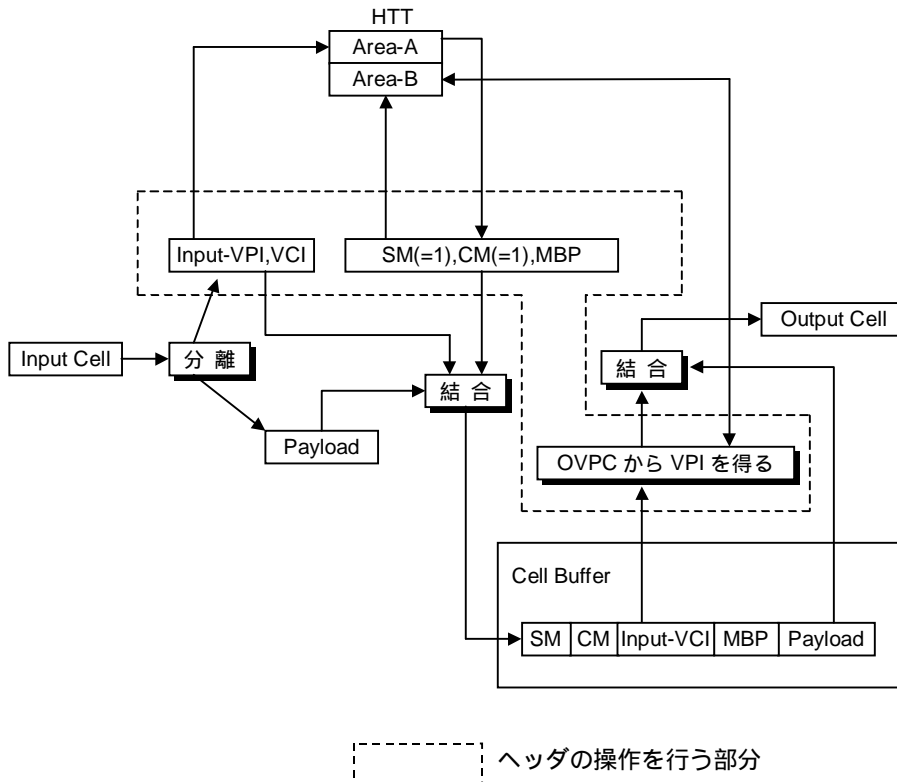
入力セルのペイロードとともに, SM, CM, Input-VCI, OVPCを格納する。

セル出力時に, OVPCからVPIを得る。また, VCIはInput-VCIをそのまま使用する。

注意 PID=01hを持つRMセル以外のPre-Defined Channel (Input-VCI=0-1Fh) では, 得られるSMの情報がVPコネクションに設定されていても, 通常のVCコネクションによるヘッダ変換が行われます。OVPC情報より, 通常のVCコネクションと同様にO-VPI, O-VCIが得られます。また, EPDの設定も, SMがVPコネクションに設定されていても有効に働きます。

(4) VPC, マルチキャスト

図3 - 32 VPC, マルチキャスト時のヘッダ変換の流れ



<手順>

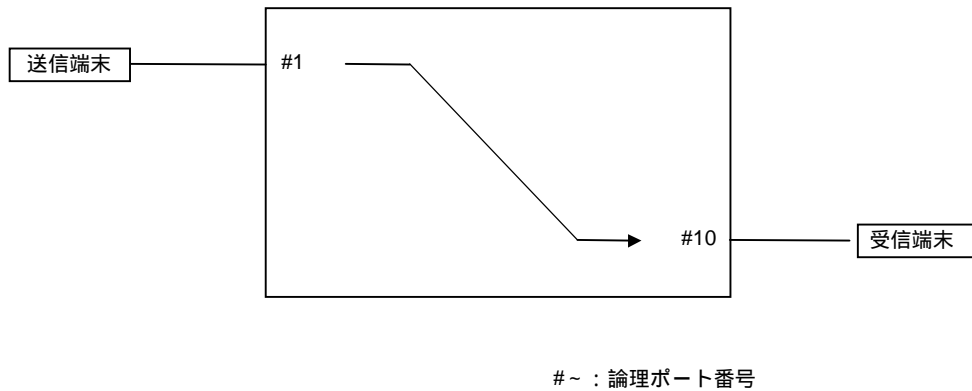
- 論理入力ポート番号, Input-VPI, VCI=20hを使用してArea-Aにアクセスする。
- VPコネクション (SM=1) という情報が得られる。同時にマルチキャスト (CM=1), Area-Bへのポインタ (MBP), 同報数 (NMP), サービス・クラス (SC) などが得られる。
- 入力セルのペイロードとともに, Input-VCI, SM, CM, MBPをセル・バッファに格納する。セル・アドレスはマルチキャスト・キューに格納される。
- リキューイングを行う際に, MBPを用いてArea-Bにアクセスし, キャストすべき論理出力ポートの番号を得る。このとき, セル・アドレスは出力キューに格納される。
- セル出力時に再びArea-Bにアクセスし, 各論理出力ポートのOVPC情報を得る。
- OVPCからVPIを得る。またVCIはInput-VCIをそのまま使用する。

注意 PID=01hを持つRMセル以外のPre-Defined Channel (Input-VCI=0-1Fh) では, 得られるSMの情報がVPコネクションに設定されていても, 通常のVCコネクションによるヘッダ変換が行われます。OVPC情報より, 通常のVCコネクションと同じにO-VPI, O-VCIが得られます。また, EPDの設定も, SMがVPコネクションに設定されていても有効に働きます。

3.3.6 RMセルの際のHTTへのアクセス

(1) ABRクラスにおけるコネクション

ABR (Available Bit Rate) クラスでは送信端末方向に輻輳情報を通知するBackward RMセルのコネクションを設定する必要があります。

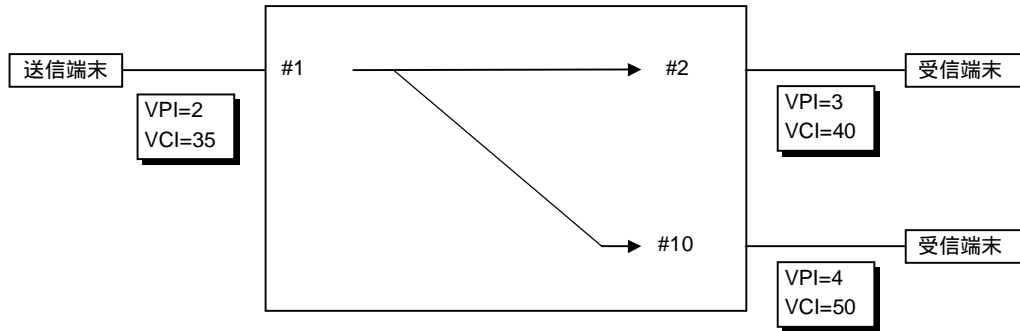


つまり、下表の (A) のような組み合わせでセルの送信を行うと仮定すると、Backward RMセルを返すためには (B) の組み合わせでバックワード方向のコネクションを設定する必要があります。

	論理入力ポート番号	論理出力ポート番号
(A)	1	10
(B)	10	1

(2) マルチキャストとRMセル・マージ機能

次に、マルチキャストの場合を考えます。



~ : 論理ポート番号

この場合、セルの送信方向には (a) のマルチキャスト・コネクションを設定する必要があり、一方バックワード方向には、(b) のような2つのシングルキャスト・コネクションを設定する必要があります。

	論理入力ポート番号	論理出力ポート番号
(a)	1	2, 10
(b)	2	1
	10	1

ここで、RMセル・マージ機能を使用する場合を考えます。この機能では、(b) で設定された2つのコネクションから入力されるBackward RMセルのCI, NIビットについて論理和を取り、BNビットについて論理積を取る必要があります。このとき、論理和、論理積を取るために使用されるワーク領域は (a) で使用するHTT内に取られます。このため (b) のコネクションにBackward RMセルが入力された場合は、何らかの方法で (a) で使用しているHTTのアドレス (下表で求められるアドレス) を知る必要があります。

	論理入力ポート番号	VPI	VCI
VPC時	1	2	20h
VCC時	1	2	35

ここで、(b)は(a)と入出力がまったく逆なので、表の値を得るには(b)のHTTに設定されている以下の値を使用します。

	(a)の論理入力ポート番号	(a)のVPI	(a)のVCI
VPC時	論理出力ポート番号(SPI)	OVPC	20h
VCC時	論理出力ポート番号(SPI)	OVPC	OVPC

したがって、入力されたセルがBackward RMセルである場合(かつセル・マージを行う場合)は、ヘッダ変換とRMセル・マージのために、HTTに2回アクセスすることになります。なお、**3.3.5 ヘッダ変換の流れ**ではVCI=20hとしてHTTにアクセスした際にSMの値によりスイッチング・モードを判断していましたが、PID=01hを持つRMセルではセル・ヘッダ内のVCIが6であればVPC、6以外ならVCCと判断します。このため、μPD98410では、VPCのRMセルと、そのVP内を流れるVCのRMセルの両方共RMセルとして処理を行うので注意が必要です。

(VPC)

論理入力ポート番号、入力セルのVPI、VCI=20hを用いて(b)のHTTにアクセス
論理出力ポート番号(SPI)、OVPC、VCI=20hを用いて(a)のHTTにアクセス

(VCC)

論理入力ポート番号、入力セルのVPI、VCIを用いて(b)のHTTにアクセス
論理出力ポート番号(SPI)、OVPC内のVPI、VCIを用いて(a)のHTTにアクセス

3.4 キュ - 制御

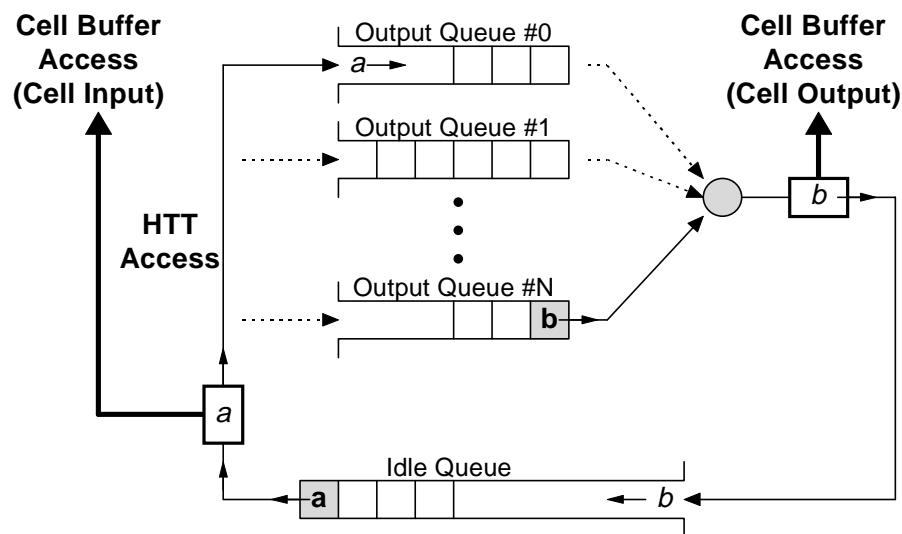
μ PD98410は、以下に説明するキューをコントロール・メモリ上に構築して、セル・バッファの管理を行います。

- アイドル・キューは、セル・バッファ上のセルの格納可能な位置を示すアドレス・ポインタをキューイングします。
- マルチキャスト・キューは、マルチキャストするセルの格納位置を示すアドレス・ポインタをキューイングします。
- 論理出力ポートごとにある出力キューは、各論理出力ポート別にセルの格納位置を示すアドレス・ポインタをキューイングします。

3.4.1 シングルキャスト

シングルキャストの場合における出力キューの処理手順を説明します。

図3 - 33 セル・アドレスのキューイング (シングルキャスト)



a,b : Cell Address Pointer
HTT : Header Translation Table

セル入力の手順 (セル・バッファのライト・アドレスの取得)

1. アイドル・キューからセル・アドレスaを取り出します。
2. セル・アドレスaが示すセル・バッファに、入力セルを格納します。
3. ヘッダ変換テーブル (HTT) から論理出力ポート番号を得ます。
4. 得られた論理出力ポートの出力キューに、セル・アドレスaを入れます。

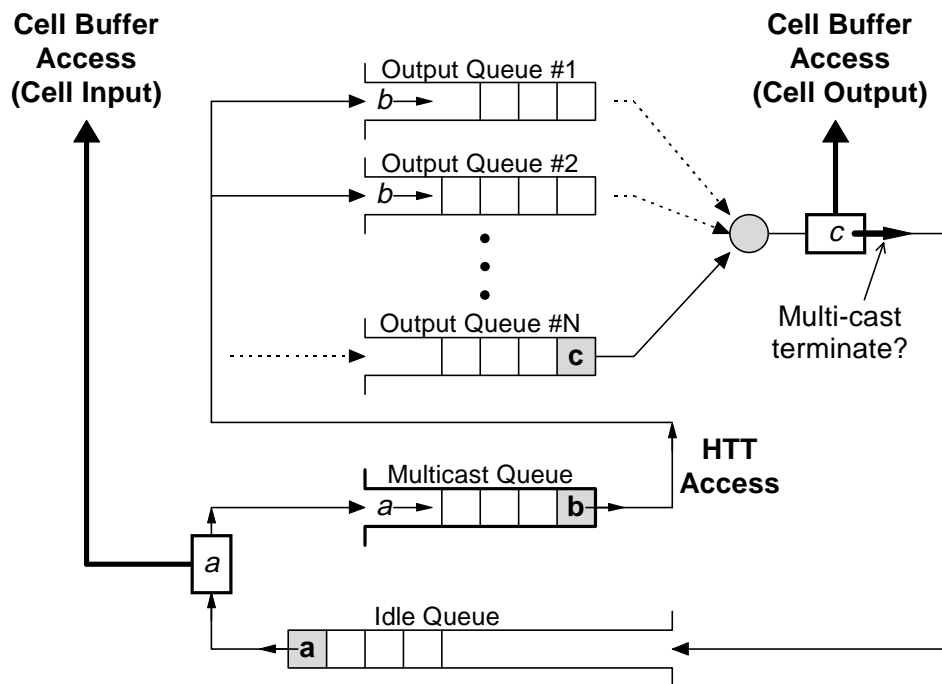
セル出力の手順（セル・バッファのリード・アドレスの取得）

1. 論理出力ポートの出力キューからセル・アドレスbを取り出します。
2. セル・アドレスbが示すセル・バッファから、出力セルを取り出します。
3. セル・アドレスbを、アイドル・キューに入れます。

3.4.2 マルチキャスト

μ PD98410では、入力セルをセル・バッファ上の1カ所に格納し、セル・アドレスを複数の論理出力ポートのそれぞれの出力キューに入れることで、マルチキャストを実現します。この方法の特徴は、53バイトのセルを複数回コピーせずに済むことです。これにより、セル・バッファの有効活用と、高速なキャストイングが期待できます。

図3 - 34 セル・アドレスのキューイング（マルチキャスト）



a,b,c : Cell Address Pointer
 HTT : Header Translation Table

セル入力の手順（セル・バッファのライト・アドレスの取得）

1. アイドル・キューからセル・アドレスaを取り出します。
2. セル・アドレスaが示すセル・バッファに、入力セルを格納します。
3. セル・アドレスaを、マルチキャスト・キューに入れます。

リキューイングの手順

1. マルチキャスト・キューからセル・アドレスbを取り出します。
2. ヘッダ変換テーブル (HTT) から論理出力ポート番号を得ます。
3. それぞれの論理出力ポートの出力キューに、セル・アドレスbを入れます。

セル出力の手順 (セル・バッファのリード・アドレスの取得)

1. 論理出力ポートの出力キューからセル・アドレスcを取り出します。
2. セル・アドレスcが示すセル・バッファから、出力セルを取り出します。
3. マルチキャストすべきすべての論理出力ポートにセルを出力したあと、セル・アドレスcを、アイドル・キューに入れます。

3.4.3 輻輳制御

ATMでは、セルのトラフィック状態およびセルの転送品質を示すCell Loss Ratio / Cell Transfer Delay / Cell Delay Variationを基に、サービス・クラスを定義しています。 μ PD98410は、サービス・クラスを次の4クラスに分類して管理します。

CBR (Constant Bit Rate Service) , rtVBR (Real time Variable Bit Rate Service)

RM (RM cell) , nrtVBR (Non real time VBR Service)

ABR (Available Bit Rate Service)

UBR (Unspecified Bit Rate Service)

備考 RMセルはABRクラスに含まれるセルですが、 μ PD98410ではRMセルをサービス・クラスの1つとして取り扱います。また、ユーザがRMセルに対してクラス指定を行うことはできません。

μ PD98410は、次に示すキューと、カウンタを持っています。これらのキューとカウンタに設定されるしきい値を用いて、輻輳制御を行います。キュー、カウンタとしきい値の関係を、**図3 - 35**に示します。

- UC :Used Cell Counter

セル・バッファ上に滞留している総セル数を示します。最小キュー長保証としてALLminレジスタに設定する値も滞留セルとして取り扱います。また、マルチキャストを行う場合は、同報数によらず1セルとしてカウントします。

- TC :Total Cell Counter for each class (4 classes)

出力キューに滞留しているセル数が、各クラス別の最小キュー長OQminCRV / OQminRNV / OQminABR / OQminUBRを越えている場合、越えた分のセル数の総和をクラスごとに示します。マルチキャストを行う場合は、同報数に応じたセル数をカウントします。

- **IQ :Idle Queue**

セル・バッファ上の空き領域のアドレスをキューイングします。

- **OQ :Output Queue (24 ports x 4 classes)**

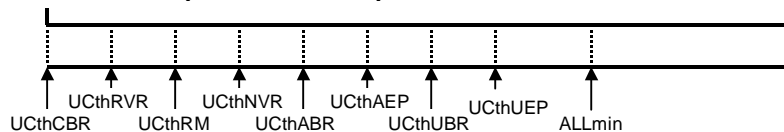
各論理出力ポート別，各クラス別に，セル・バッファ上にセルを格納したアドレスをキューイングします。

- **MQ :Multicast Queue (4 classes)**

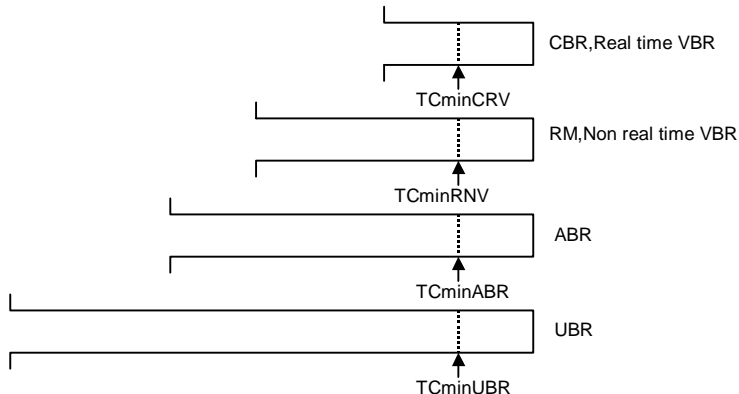
各クラス別に，セル・バッファ上にセルを格納したアドレスをキューイングします。

図3 - 35 サービス・クラス別キューとカウンタ

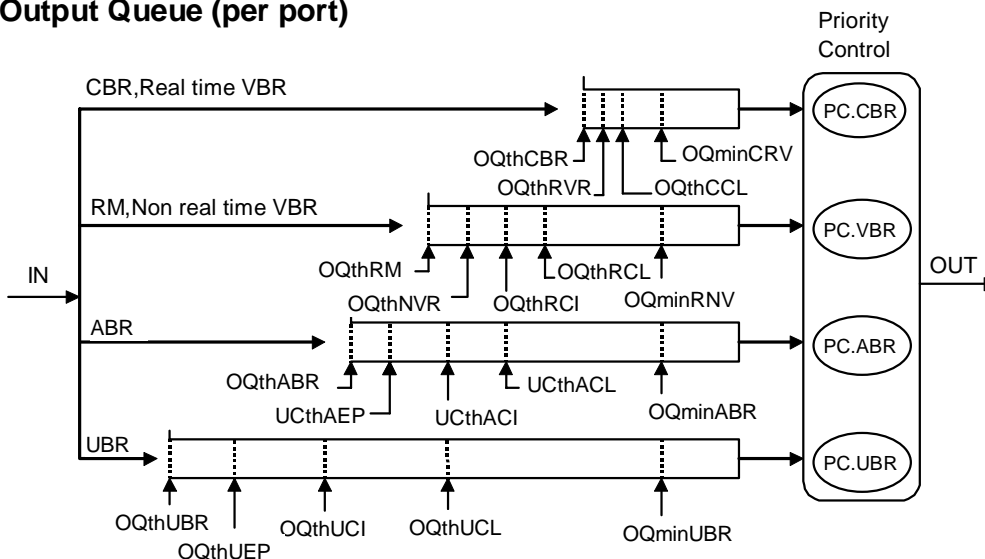
Used Cell Counter (on cell buffer)



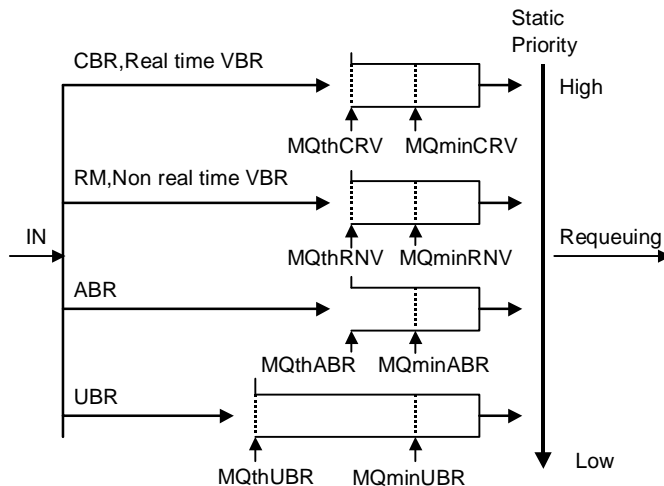
Total Cell Counter for each class (except each OQminXXX)



Output Queue (per port)



Multicast Queue



UC: Used Cell Counterに関するしきい値

- UCthCBR CBRセル廃棄しきい値
- UCthRVR rtVBRセル廃棄しきい値
- UCthRM RMセル廃棄しきい値
- UCthNVR nrtVBRセル廃棄しきい値
- UCthABR ABRセル廃棄しきい値
- UCthAEP ABRセルEPDしきい値
- UCthUBR UBRセル廃棄しきい値
- UCthUEP UBRセルEPDしきい値

TC: Total Cell Counter for each classに関するしきい値（設定なし）**IQ: Idle Queueに関するしきい値（設定なし）****OQ: Output Queueに関するしきい値**

- OQthCBR 出力ポートのCBRセル廃棄しきい値
- OQthRVR 出力ポートのrtVBRセル廃棄しきい値
- OQthCCL 出力ポートのCBR / rtVBRセルCLP廃棄しきい値
- OQthRM 出力ポートのRMセル廃棄しきい値
- OQthNVR 出力ポートのnrtVBRセル廃棄しきい値
- OQthRCI 出力ポートのRM / nrtVBRセルEFCIしきい値
- OQthRCL 出力ポートのRM / nrtVBRセルCLP廃棄しきい値
- OQthABR 出力ポートのABRセル廃棄しきい値
- OQthAEP 出力ポートのABRセルEPDしきい値
- OQthACI 出力ポートのABRセルEFCIしきい値
- OQthACL 出力ポートのABRセルCLP廃棄しきい値
- OQthUBR 出力ポートのUBRセル廃棄しきい値
- OQthUEP 出力ポートのUBRセルEPDしきい値
- OQthUCI 出力ポートのUBRセルEFCIしきい値
- OQthUCL 出力ポートのUBRセルCLP廃棄しきい値

MQ: Multicast Queueに関するしきい値

- MQthCRV マルチキャスト・キューのCBR / rtVBRセル廃棄しきい値
- MQthRNV マルチキャスト・キューのRM / nrtVBRセル廃棄しきい値
- MQthABR マルチキャスト・キューのABRセル廃棄しきい値
- MQthUBR マルチキャスト・キューのUBRセル廃棄しきい値

UC: Used Cell Counterに関する最小キュー長

- ALLmin 各最小キュー長の総和

TC: Total Cell Counter for each classに関する最小キュー長

- TCminCRV CBR / rtVBRクラスに割り当てる最小キュー長
- TCminRNV RM / nrtVBRクラスに割り当てる最小キュー長
- TCminABR ABRクラスに割り当てる最小キュー長
- TCminUBR UBRクラスに割り当てる最小キュー長

IQ: Idle Queueに関する最小キュー長 (設定なし)**OQ: Output Queueに関する最小キュー長**

- OQminCRV 出力ポートのCBR / rtVBRクラスに割り当てる最小キュー長
- OQminRNV 出力ポートのRM / nrtVBRクラスに割り当てる最小キュー長
- OQminABR 出力ポートのABRクラスに割り当てる最小キュー長
- OQminUBR 出力ポートのUBRクラスに割り当てる最小キュー長

MQ: Multicast Queueに関するしきい値

- MQminCRV マルチキャスト・キューのCBR / rtVBRクラスに割り当てる最小キュー長
- MQminRNV マルチキャスト・キューのRM / nrtVBRクラスに割り当てる最小キュー長
- MQminABR マルチキャスト・キューのABRクラスに割り当てる最小キュー長
- MQminUBR マルチキャスト・キューのUBRクラスに割り当てる最小キュー長

3.4.4 クラス別セル廃棄

μ PD98410は、クラス別セル廃棄しきい値により輻輳状態を検出すると、輻輳地点を通過するセルを強制廃棄します。

優先セル廃棄制御を行うのは、次の期間です。

総セル数がセル廃棄しきい値を越えている間

論理出力ポートごとの出力キュー長が各セル廃棄しきい値を越えている間

表3 - 2 総セル数に関するセル廃棄しきい値

しきい値名称	しきい値を越えた場合の制御（セル入力時の処理）
UCthCBR	CBRセルを廃棄します。
UCthRVR	rtVBRセルを廃棄します。
UCthRM	RMセルを廃棄します。
UCthNVR	nrtVBRセルを廃棄します。
UCthABR	ABRセルを廃棄します。
UCthUBR	UBRセルを廃棄します。

備考 ABR, UBR の各クラスでEPDを無効に設定しているチャンネルに対しては、UCthAEP, UCthUEPがセル廃棄しきい値となります。

表3 - 3 出力キュー長に関するセル廃棄しきい値

しきい値名称	しきい値を越えた場合の制御（セル入力時の処理）
OQthCBR	該当ポートのCBRセルを廃棄します。
OQthRVR	該当ポートのrtVBRセルを廃棄します。
OQthCCL	該当ポートのCLP=1に設定されたCBR/rtVBRセルを廃棄します。
OQthRM	該当ポートのRMセルを廃棄します。
OQthNVR	該当ポートのnrtVBRセルを廃棄します。
OQthRCL	該当ポートのCLP=1に設定されたRM/nrtVBRセルを廃棄します。
OQthABR	該当ポートのABRセルを廃棄します。
OQthACL	該当ポートのCLP=1に設定されたABRセルを廃棄します。
OQthUBR	該当ポートのUBRセルを廃棄します。
OQthUCL	該当ポートのCLP=1に設定されたUBRセルを廃棄します。

備考1 . ABR, UBR の各クラスでEPDを無効に設定してあるチャンネルに対しては、OQthAEP, OQthUEPがセル廃棄しきい値となります。

2 . CLPはヘッダ内に含まれる情報で、同一チャンネル内での優先度を示します。

表3-4 マルチキャスト・キュー長に関するセル廃棄しきい値

しきい値名称	しきい値を越えた場合の制御（セル入力時の処理）
MQthCRV	マルチキャスト・キューの CBR / rtVBR セルを廃棄します。
MQthRNV	マルチキャスト・キューの RM / nrtVBRセルを廃棄します。
MQthABR	マルチキャスト・キューのABRセルを廃棄します。
MQthUBR	マルチキャスト・キューのUBRセルを廃棄します。

3.4.5 EPD (Early Packet Discard) 制御

μPD98410は、EPD制御機能を持っています。EPD制御機能は、輻輳状態に陥る前に、VCコネクションとして設定されているチャンネルのAAL-5 CS-PDUパケットを単位としてセルを廃棄する機能です。入力を開始しても途中で廃棄される可能性の高いパケットを最初から廃棄することで、すでに入力が開始されているパケットの廃棄を抑える効果が期待できます。

各キュー長がEPDしきい値を越えた場合にEPD制御が働くかどうかは、制御を有効に設定してあるチャンネルかどうか（HTTのEPDビットの値）によります。制御の有効 / 無効により、μPD98410の行う処理に以下のような違いがあります。

(1) EPD制御が有効の場合

総セル数，出力キュー長がEPDしきい値を越えた時点でEPD制御が開始されます。いったんEPD制御が開始されると，その後入力されるセルに対し，以下のような判断を行います。

(a) EPD制御が開始された時点で，すでに入力が開始されているパケットに含まれるセルの場合

パケットの終端を表す最終セルであるEOPセル（End Of Packet Cell）まで入力を受け付けます。

(b) EPD制御が開始されてから，新しく入力されるパケットのセルの場合

EOPセルを除くすべてのパケットのセルが廃棄されます。これは，EOPの廃棄により，受信端末側で意味のない不正なパケットとして処理されないようにするためです。

図3-36 EPD制御が有効の場合

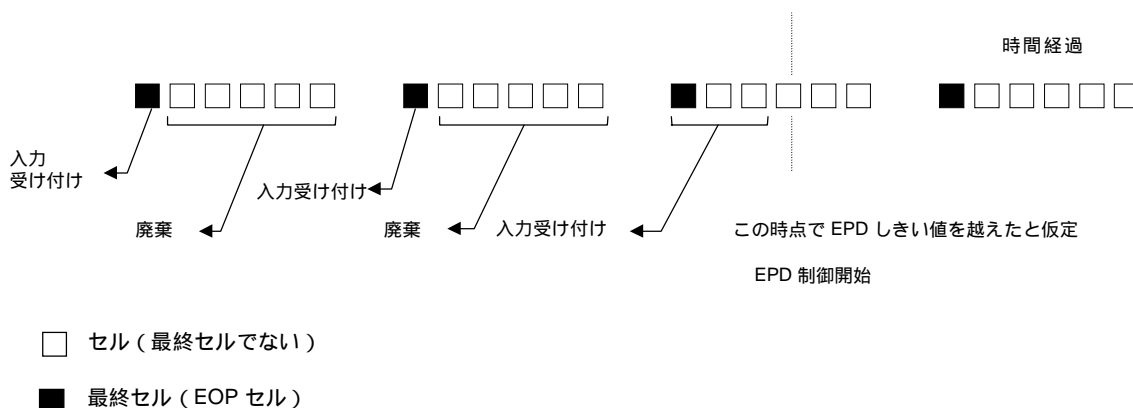
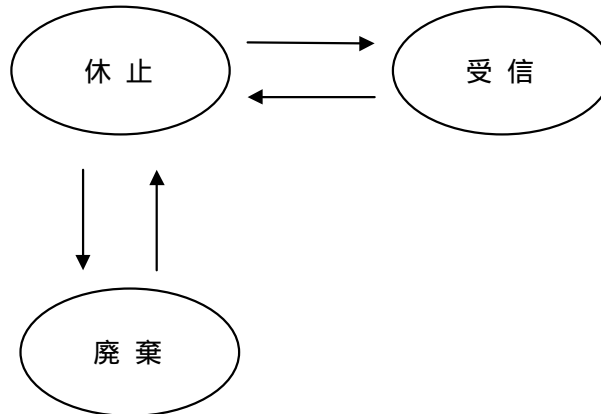


図3 - 37 EPD制御有効の場合の状態遷移



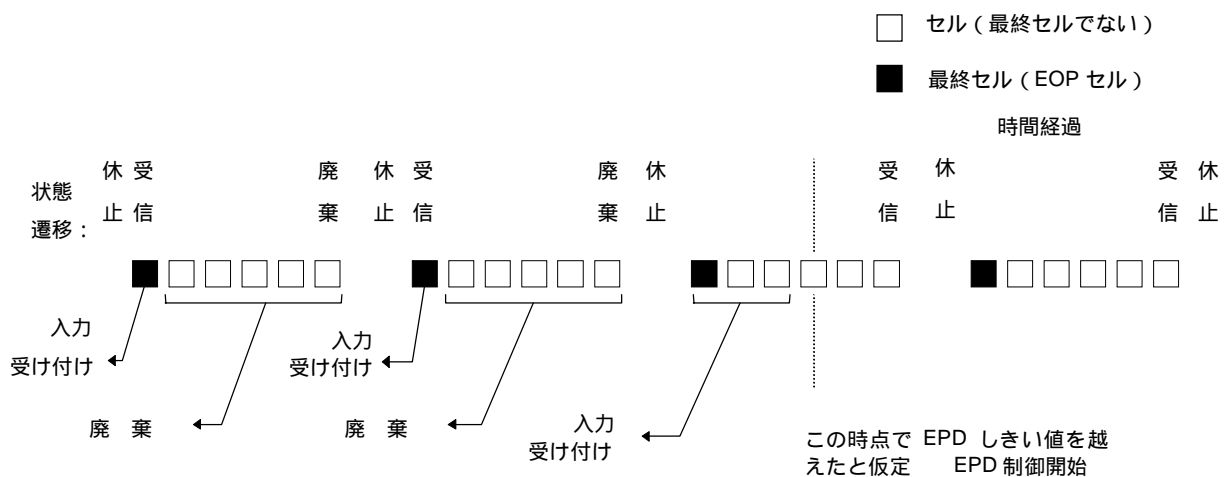
なお、有効の場合の動作は、図3 - 37に示すような状態遷移図を用いて表すことができます。

<処理の流れと状態の遷移>

初期状態では、制御は休止の状態にあります。休止の状態でセルが入力されると、まず現在の総セル数、出力キュー長がEPDしきい値を越えているかどうかの判断を行います。

ここでEPDしきい値を越えていなければ受信状態に移行し()、越えていれば廃棄となります()。その後、AAL-5パケットの最終セルが入力されると再び休止の状態となります(,)。これにより、パケットの先頭のセルが入力された時点で受信状態となった場合は、最終セルまで受信され、先頭セルが入力された時点で廃棄状態となった場合は、最終セルを除くすべてのセルが廃棄されます。最終セルはどの状態においても受信されます。

図3 - 38 EPD制御による状態遷移



なお、AAL-5以外のパケットには最終セルによるパケット管理がないため、EPD制御は無効にしておく必要があります。

以下にEPD制御に使用されるしきい値を示します。

- 総セル数に関するEPDしきい値

しきい値	説明
UCthAEP	ABRクラスのセルに対するEPDしきい値
UCthUEP	UBRクラスのセルに対するEPDしきい値

- 出力キュー長に関するEPDしきい値

しきい値	説明
OQthAEP	ABRクラスのセルに対するEPDしきい値
OQthUEP	UBRクラスのセルに対するEPDしきい値

備考 EPD制御を無効に設定してあるチャンネルでは、キュー長がこれらの値を越えた場合にセルが廃棄されます。このためABR、UBRクラスに関しては、3.4.4 クラス別セル廃棄 に示したUCthABR、UCthUBR、OQthABR、OQthUBRと、ここに示したしきい値の両方がセル廃棄しきい値の役割を果たします。

(2) EPD制御が無効の場合

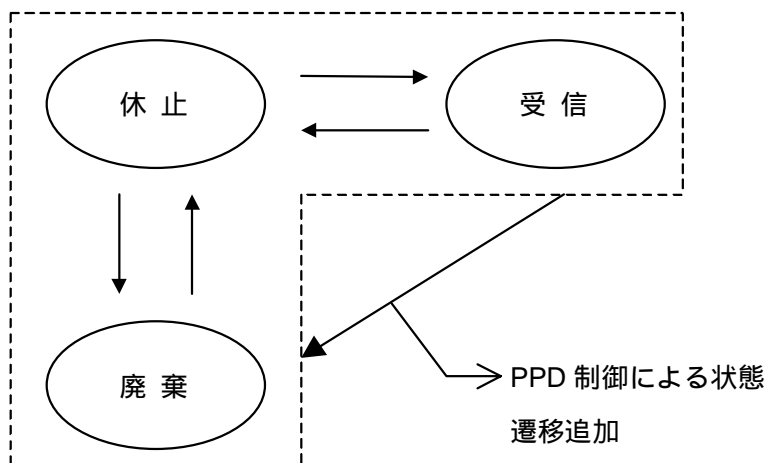
前述のような判断は行わず、パケット内のすべてのセルがEPDしきい値を越えた時点で廃棄されます。

3.4.6 PPD (Partial Packet Discard) 制御

PPD制御とは、パケット内のセルが廃棄された場合に、それ以降のパケット内のセルを入力時にすべて廃棄する機能です。したがって、EPDしきい値を越えてEPD制御が働くと、すでに入力が開始されているパケットはEOP (End of Packet) セルまで受信されますが、EPD制御による受信中にEPDしきい値以外のしきい値越えによりセル廃棄が起こると、それ以後EOPセルを除くパケット内のすべてのセルは廃棄されます。

PPD制御による状態遷移は図3 - 39のようになります。EPD制御による状態遷移に対して、の遷移が追加されます。EPD制御による受信状態から、EPDしきい値以外の廃棄しきい値越えが起きると、廃棄状態に遷移します。

図3 - 39 PPD制御の状態遷移



3.4.7 最小キュー長

共有バッファ方式では、ある論理出力ポートのクラスが輻輳状態にあると、そのクラスの総セル数（Used Cell Counter）に関するしきい値を越えてしまい、他の論理出力ポートの同一クラスのセルが廃棄されてしまうという現象が生じる可能性があります。

μPD98410では、出力キュー長に対して他の論理出力ポートの輻輳状態によって影響を受けない最小キュー長（Minimum Queue Length）を確保し、これを防止します。また、クラス別にもキュー長を管理し、他のクラスの輻輳状態によって影響を受けない最小キュー長を確保し、ポート別最小キュー長を越えたセルに対しては、クラス別に最小キュー長を保証します。

表3 - 5 総セル数（Used Cell Counter）に関する最小キュー長

しきい値名称	セル入力時の処理
ALLmin	設定されたセル数を最小キュー長保証用としてセル・バッファ上に確保します。各最小キュー長の合計を設定する必要があります。設定値の求め方は、 4.2.24 総セル数最小しきい値レジスタ の説明を参照してください。

表3 - 6 クラス別総セル数（Total Cell Counter for each class）に関する最小キュー長

しきい値名称	セル入力時の処理
TCminCRV	出力ポートのOQminCRVを越えたCBR / rtVBRセルについて、さらにクラスの最小キュー保証を行います。
TCminRNV	出力ポートのOQminRNVを越えたRM / nrtVBRセルについて、さらにクラスの最小キュー保証を行います。
TCminABR	出力ポートのOQminABRを越えたABRセルについて、さらにクラスの最小キュー保証を行います。
TCminUBR	出力ポートのOQminUBRを越えたUBRセルについて、さらにクラスの最小キュー保証を行います。

表3-7 出力キュー長に関する最小キュー長

しきい値名称	セル入力時の処理
OQminCRV	出力ポートごとにCBR/rtVBRセルについて最小キュー保証を行います。
OQminRNV	出力ポートごとにRM/nrtVBRセルについて最小キュー保証を行います。
OQminABR	出力ポートごとにABRセルについて最小キュー保証を行います。
OQminUBR	出力ポートごとにUBRセルについて最小キュー保証を行います。

表3-8 マルチキャスト・キュー長に関する最小キュー長

しきい値名称	セル入力時の処理
MQminCRV	マルチキャスト・キューのCBR / rtVBRセルについて最小キュー保証を行います。
MQminRNV	マルチキャスト・キューのRM / nrtVBRセルについて最小キュー保証を行います。
MQminABR	マルチキャスト・キューのABRセルについて最小キュー保証を行います。
MQminUBR	マルチキャスト・キューのUBRセルについて最小キュー保証を行います。

しきい値越えによるセル廃棄の優先順位は、次に示す(1) > (2) > (3) > (4)の優先順位でしきい値越えの判定を行い、セル廃棄、またはキューイングが行われます。また、しきい値越えとは、キュー長 しきい値の状態です。

- (1) 出力キュー、マルチキャスト・キューの廃棄しきい値 (MAX.しきい値(*1)、または非EPD対象セルによるEPDしきい値(*2)、またはCLP対象セルのCLPしきい値(*3))のいずれかのしきい値越えにより廃棄されます。
- (2) 最小しきい値 (出力キュー、マルチキャスト・キューのMIN.しきい値(*4)、またはクラス別総セル数 (Total Cell counter for each class)のMIN.しきい値(*5))を越えていない場合にキューイングされます。
- (3) 総セル数 (Used Cell Counter)の廃棄しきい値 (MAX.しきい値(*6)、または非EPD対象セルによるEPDしきい値(*7))のいずれかのしきい値越えにより廃棄されます。
- (4) 上記条件のいずれにも該当しない場合は、キューイングされます。

なお、各しきい値は表3-9のように分類されます。

表3-9 しきい値の分類と名称

分類		OQ (Output Queue) / MQ (Multicast Queue)	TC (Total Cell Counter for each class)	UC (Used Cell Counter)
廃棄しきい値	MAX.しきい値	(*1) OQthCBR,OQthRVR OQthRM,OQthNVR OQthABR,OQthUBR MQthCRV,MQthRNV MQthABR,MQthUBR	-	(*6) UCthCBR,UCthRVR UCthRM,UCthNVR UCthABR,UCthUBR
	EPDしきい値	(*2) OQthAEP,OQthUEP	-	(*7) UCthAEP,UCthUEP
	CLPしきい値	(*3) OQthCCL,OQthRCL OQthACL,OQthUCL	-	-
MIN.しきい値		(*4) OQminCRV,OQminRNV OQminABR,OQminUBR MQminCRV,MQminRNV MQminABR,MQminUBR	(*5) TCminCRV,TCminRNV TCminABR,TCminUBR	-
EFClしきい値		OQthRCI OQthACI,OQthUCI	-	-

3.5 ABR 輻輳制御

μPD98410 では、輻輳状態を検出すると、ユーザ・セルの EFCI ビットにより着信端末方向に輻輳を通知することと、Backward RM セルの CI, NI, BN ビットにより送信端末方向に輻輳を通知することができます。

3.5.1 EFCI (Explicit Forward Congestion Indicator)

μPD98410 では、EFCI しきい値により輻輳状態を検出すると、着信端末方向に通知するために、輻輳地点を通過するユーザ・セルのヘッダに含まれる EFCI ビットのセット (PTI=010, 011) を行います。EFCI ビットのセットは、nrtVBR, ABR および UBR クラスに属するセルに対して行います。

EFCI 制御を行うのは、出力キュー長が EFCI しきい値を越えている間です。

表 3 - 10 出力キュー長に関する EFCI しきい値

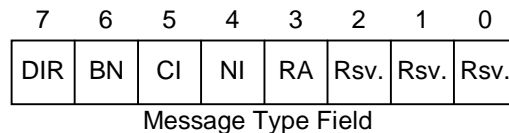
しきい値名称	しきい値を越えている場合の制御 (セル出力時の処置)
OQthRCI	該当ポートの nrtVBR クラスのユーザ・セルの EFCI マーキングを行います。
OQthACI	該当ポートの ABR クラスのユーザ・セルの EFCI マーキングを行います。
OQthUCI	該当ポートの UBR クラスのユーザ・セルの EFCI マーキングを行います。

3.5.2 RM セル CI/NI マーキング (Resource Management Cell CI/NI Congestion Indication Marking)

μPD98410 は、EFCI しきい値により ABR クラスの輻輳状態を検出すると、送信端末方向に通知するために、輻輳地点を通過するプロトコル ID=1 の Backward RM セルに対して、ペイロードに含まれる CI ビットのセット (CI Marking)、および NI ビットのセット (NI Marking) を行います。この場合の輻輳地点を通過する Backward RM セルとは、輻輳状態にある論理出力ポートと同一番号の論理入力ポートに入力する Backward RM セルを指します。図 3 - 40 に、RM セル (Resource Management Cell) の構成を示します。

図 3 - 40 RM Cell 構成 (ATM Forum TM Ver. 4.0)

OCTET	FIELD
1-5	ATM Header RM-VPC: VCI=6 and PTI=110 RM-VCC: PTI=110
6	RM Protocol Identifier
7	Message Type
8-9	ER (Explicit Cell Rate)
10-11	CCR (Current Cell Rate)
12-13	MCR (Minimum Cell Rate)
14-17	QL (Queue Length)
18-21	SN (Sequence Number)
22-51	Reserved
52-53	Reserved(6 bits) + CRC-10



- DIR = 0 for forward RM cells
= 1 for backward RM cells
- BN = 0 for Source Generated RM cells
= 1 for Switch Generated (BECN) RM cells
- CI = 0 otherwise
= 1 for to indicate congestion
- NI = 0 otherwise
= 1 to indicate no additive increase allowed
- RA - Not used for ABR (set to zero)

使用するしきい値は、3.5.1 EFCI と同じです。CI/NI マーキング制御を行うのは、次の条件です。

Backward RM セルを入力した論理ポートの ABR クラスの出力キュー長が EFCI しきい値を越えている間 Backward RM セルの識別は、次のように行います。

- PTI = 110 & DIR = 1 (VC スイッチング)
- VCI = 6 & PTI=110 & DIR = 1 (VP スイッチング)

表 3 - 11 出力キュー長に関する CI しきい値

しきい値名称	しきい値を越えている場合の制御 (セル入力時の処置)
OQthACI	該当ポートに入力される Backward RM セルの CI マーキングを行います。

3.5.3 RM セル・マージ (Resource Management Cell Merge)

μ PD98410 は、マルチキャストに設定されたチャネルに対して、RM セル・マージを行います。

マルチキャストの場合、Backward RM セルは複数のチャネルから 1 つのチャネルに送られてきます。

μ PD98410 は、複数の Backward RM セルを 1 つの RM セルにマージして出力する機構を持っています。

マルチキャストのバックワード方向のコネクションは、同報数と同じ個数のヘッダ変換テーブル (HTT) を設定する必要があります。このうち少なくとも 1 つのコネクションに対して RMM=10 (RM cell merge and transfer) を設定し、残りのコネクションに対しては RMM=11 (RM cell merge and discard) を設定すると、RM セル・マージ機能を利用できます。

マルチキャストに設定されたチャネルに Backward RM セルが送られてくると、RMM=11 のチャネルの場合は、 μ PD98410 の管理下にある該当チャネルの輻輳状態を示す CI, NI ビットと Backward RM セルの CI, NI ビットとを論理和して新たに保持し、セルを廃棄します。RMM=10 のチャネルの場合は、保持している CI, NI ビットと Backward RM セルの CI, NI ビットとをそれぞれ論理和して出力ポートから送信します。

同様に、RM セルを誰が生成した (スイッチ, ソース) かを示す BN ビットは、RMM=11 のチャネルの場合、 μ PD98410 の管理下にある該当チャネルの BN ビットと Backward RM セルの BN ビットとを論理積して新たに保持し、セルを廃棄します。RMM=10 のチャネルの場合、保持している BN ビットと Backward RM セルの BN ビットとを論理積して出力ポートから送信します。

3.6 WFQ (Weighted Fairness Queue)

3.6.1 概要

出力キューからセルの出力を行う際、どのセルを出力するかは、以下の2つを決定することによって決められます。

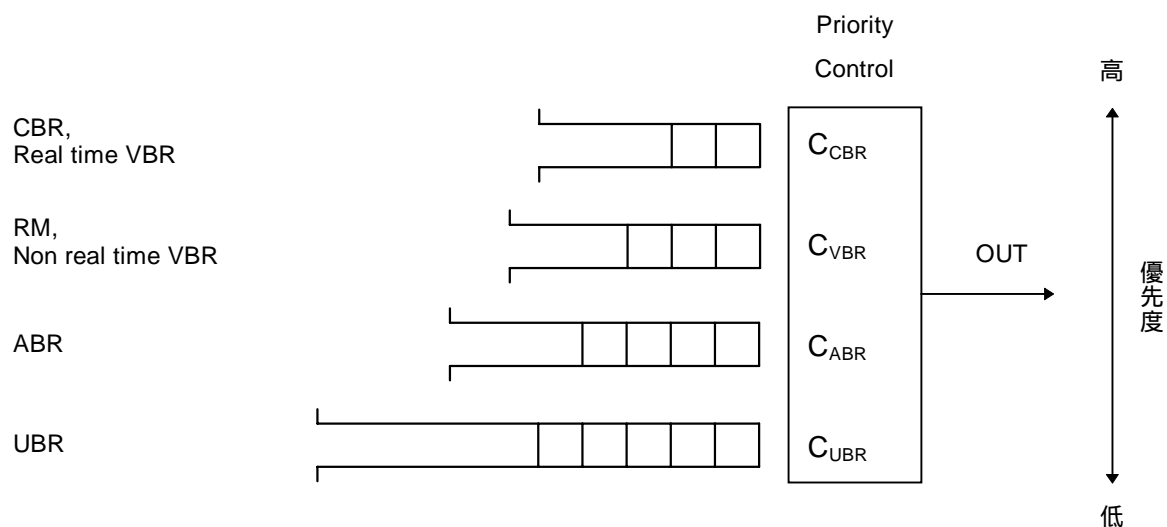
< 出力セルの決定条件 >

- (1) どの論理出力ポートから出力するかを決定する。
- (2) 決定された論理出力ポートに割り当てられている出力キューのうち、どのサービス・クラスのキューからセルを取り出すかを決定する。

この2つの条件のうち、ここでは(2)においてどのような判断によりサービス・クラスを決定するかについて説明します。なお、この(2)における決定の方式をWFQ (Weighted Fairness Queue) と呼びます。

3.6.2 使用するカウンタ, フラグ

図3-41 出力キューとカウンタ



μ PD98410 の各論理出力ポートのキューは、サービス・クラスのキューを4つ持ちます。

- ・ CBR/rtVBR クラスの出力キュー
- ・ RM/ntVBR クラスの出力キュー
- ・ ABR クラスの出力キュー
- ・ UBR クラスの出力キュー

また、これらのキュー間には、図3-41のような優先度が設定されており、優先度の高いキューにキューイングされているセルから優先的に出力されます。 C_{CBR} 、 C_{VBR} 、 C_{ABR} 、 C_{UBR} は、この優先度を制御するために使用するカウンタであり、初期値は以下のように設定します。

- C_{CBR} 、 C_{VBR} ...ある一定周期内に、対応するキューから出力を許可するセル数。
- C_{ABR} 、 C_{UBR} ...ABRクラスのセルとUBRクラスのセルの出力の割合(比率)。
たとえば、ABRクラスのセルとUBRクラスのセルを2:1の割合で出力するには、 $C_{ABR}=2$ 、 $C_{UBR}=1$ と設定します。

C_{CBR} 、 C_{VBR} 、 C_{ABR} 、 C_{UBR} の設定は、クラス優先制御レジスタにより行われます。また、一定周期をカウントするカウンタとして周期カウンタも設けています。

この設定の違いは各クラスの特性によるものです。つまりCBR、VBRクラスでは、帯域予約を行うのに対し、ABR、UBRクラスでは、帯域予約を行わず、そのとき可能な転送レートでの転送を行います。このため、 C_{ABR} 、 C_{UBR} は、比率を指定するのみで、一定期間内に実際にどれだけのセルが出力されるかは関知しません。

これらのカウンタにより、各サービス・クラスの優先制御は、以下のような規則で行われています。

(1) 周期カウンタ(8ビット)

- ・リセット後カウンタ初期値として、1がロードされます。
- ・システム・クロック44クロックごとに、ダウンカウントされます。
- ・周期カウンタ・レジスタ設定時に、設定値がカウンタにロードされます。
- ・カウンタがタイムアウト(カウンタ値="1")すると、周期カウンタ・レジスタ設定値がロードされ、以後ダウンカウントを継続します。

(2) C_{CBR} 、 C_{VBR} (7ビット)

- クラス優先制御レジスタの設定値が変更(初期設定時を含む)されると、 C_{CBR} には127がロードされ、 C_{VBR} カウンタにはクラス優先制御レジスタの設定値がロードされます。
- CBR、VBRクラスのどちらにも滞留セルがある場合は、CBRクラスが優先的に出力許可が与えられます。CBRクラスに滞留セルがない場合は、VBRクラスに出力許可が与えられます。CBR、VBRクラスでそれぞれセル出力されると、 C_{CBR} 、 C_{VBR} カウンタは1減らされます。
- カウンタの値が0になると、該当サービス・クラスからの出力は禁止されます。
- 周期カウンタのタイムアウト(カウンタ値="1")で、クラス優先制御レジスタの設定値が C_{CBR} 、 C_{VBR} カウンタに足されてロードされます。
- CBR、VBR両方のクラスに滞留セルがない、または C_{CBR} 、 C_{VBR} 両方のカウンタが0となり出力禁止になった場合は、(3)の C_{ABR} 、 C_{UBR} カウンタによる優先制

(3) C_{ABR} , C_{UBR} (3ビット)

- ・周期カウンタに関係なく、両方のカウンタが0になった時点で、初期値がロードされます。
- ・ABR クラス、UBR クラスのどちらのキューにも滞留セルがあり、 C_{ABR} , C_{UBR} のカウンタが両者とも0でない(出力禁止でない)ならば、交互に出力許可が与えられます。対応するキューからセルが出力されるたびに、 C_{ABR} , C_{UBR} カウンタは1減らされます。
- ・カウンタの値が0になると、該当サービス・クラスからの出力は禁止されます。ただし、UBR クラスの出力禁止 ($C_{UBR}=0$) により、ABR クラスに出力許可を与えても、ABR クラスに滞留セルがない場合は、UBR クラスに出力許可を与えます。同様に、ABR クラスの出力禁止 ($C_{ABR}=0$) により、UBR クラスに出力許可を与えても、UBR クラスに滞留セルがない場合は、ABR クラスに出力許可を与えます。
- ・ABR, UBR クラスともに滞留セルがなくなると、CBR クラスに滞留セルがあれば、CBR クラスに出力許可を与え、CBR に滞留セルがなく、VBR クラスに滞留セルがあれば VBR クラスに出力許可を与えます。
 C_{ABR} , C_{UBR} カウンタによる優先制御が起動されたあと、再び C_{CBR} , C_{VBR} カウンタによる優先制御に戻るタイミングは、以下のようになります。

(1) $C_{CBR} = 0$ かつ $C_{VBR} = 0$ の場合、周期カウンタのタイムアウト

(2) $C_{CBR} = 0$ または $C_{VBR} = 0$ の場合、CBR, VBR クラスにセルが滞留したとき

3.7 ピーク・レート・シェーピング機能

μ PD98410 は、各論理出力ポートごとに簡単なピーク・レート・シェーピング機能を持ちます。 μ PD98410 の持つシェーピング機能は、SWCLK で決まる 1 UTOPIA インタフェース当たりの転送スループットに対して働きます。UCLK3-UCLK0 で決まる UTOPIA インタフェースの転送速度に対して働くわけではないので注意してください。

1 UTOPIA インタフェース当たりの転送スループットおよびシェーピング後の転送スループットは、PT レジスタの SPR に設定した値により、44 SWCLK を 1 基本サイクルとして次のように求められます。

- ・転送スループット[bps] = SWCLK 周波数[Hz] \div 44[SWCLK] \times 53[octet] \times 8[bit]
- ・シェーピング後の転送スループット[bps] = 転送スループット[bps] \div (SPR + 1)

たとえば SWCLK = 33MHz で SPR = 3 の場合は、4 基本サイクル (SPR+1=4) に 1 回出力するように抑制され、シェーピング後の転送スループットは 79.5Mbps となります。

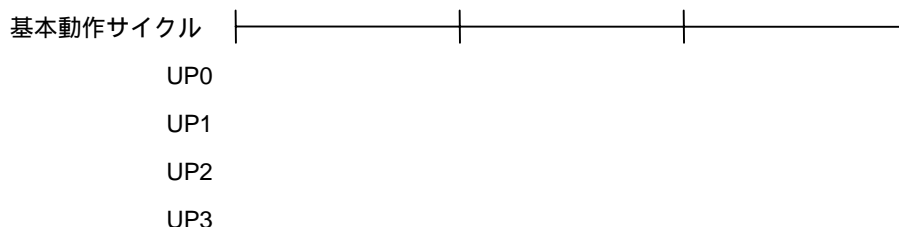
また、同一の UTOPIA インタフェースに接続された複数の論理出力ポートが同時にセル送信要求を出す場合は出力競合が発生し、出力できなかった論理出力ポートは、転送スループットの低下を招きます。 μ PD98410 ではシェーピング誤差補正機能により転送スループットの低下を防いでおり、出力できなかった論理出力ポートは、出力競合で待たされた基本サイクル数分 (N) を、最大 11 基本サイクルまで次のセル転送間隔を短く (SPR+1 - N) することにより補正します。

3.7.1 概要

(1) UTOPIA インタフェースと論理出力ポート

μ PD98410 は、UTOPIA Level2 に準拠した 4 つの UTOPIA インタフェースを持っています。各 UTOPIA インタフェースの出力許可タイミングと μ PD98410 内部の基本動作サイクルとの関係は、以下のようになります。

図 3 - 42 内部基本サイクルと各 UTOPIA インタフェースの出力許可タイミング関係



UP0-UP3 : UTOPIA インタフェース 0-3

: UP0-UP3 に出力許可が割り当てられるタイミング

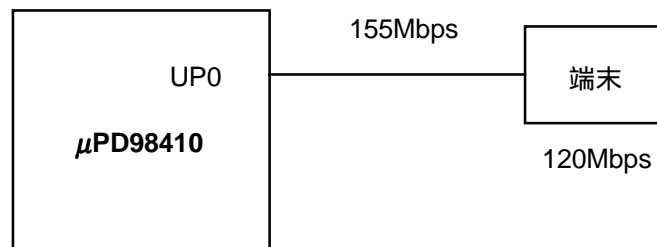
図3-42のように、1サイクルに1回各 UTOPIA インタフェースが割り当てられるようになっています。このとき各 UTOPIA インタフェースが割り当てられた場合に必ずセルの出力が行われると仮定すると、1つの UTOPIA インタフェースは 318Mbps の転送能力を持っています（SWCLK Rate が 33MHz としたとき）。

また、 μ PD98410 では、マルチ PHY 接続により最大 24 の論理出力ポートを接続でき、1つの UTOPIA インタフェースに最大 12 の論理出力ポートを割り当てることができます。ただし、1つの UTOPIA インタフェースの転送レートは **3.1 UTOPIA インタフェース** で示した値で制限されるので、1つの UTOPIA インタフェースに割り当てられる論理出力ポートの転送速度の合計も、この値以下に設定する必要があります。

(2) ピーク・レート・シェーピング機能

たとえば、図3-43のように μ PD98410 と端末が接続されている場合を考えます。

図3-43 μ PD98410 と端末との接続例



- μ PD98410 の UTOPIA インタフェースの転送レート最大値が 318Mbps
- 回線速度が 155 Mbps
- 受信端末の処理能力が 120 Mbps
- UTOPIA インタフェース (UP0) には、1つの論理出力ポート (LP0) のみが割り当てられている。

この場合、もし μ PD98410 側が 155 Mbps でセル出力を行ったとしても、端末側がそれを処理できないので、 μ PD98410 側で 120 Mbps 以下に転送レートを下げてセル出力を行う必要があります。この転送レートを制御するための機能がピーク・レート・シェーピング機能です。

ピーク・レート・シェーピング機能では、 μ PD98410 の各基本動作サイクルにおいて、該当論理出力ポートへの割り当てを制限することにより転送レートの制御を行います。**3.7.1 (1) UTOPIA インタフェースと論理出力ポート** で説明したように、基本動作サイクルごとにセル出力が行われた場合の転送レートが 318 Mbps なので、転送レートを 120 Mbps 以下に下げるには、3サイクルに1回割り当てを行えばよいことになります。

次に、この制御を行うための詳細を説明します。

3.7.2 詳細

(1) シェーピング・レート

概要で述べたように、サイクルごとに論理出力ポートへの割り当てを行うかどうかを制御するために、以下のようなカウンタ、およびレジスタを設けています。

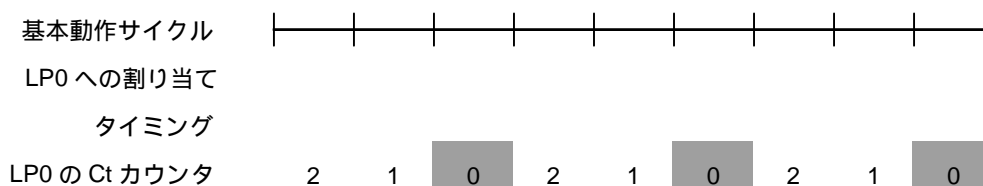
- Ct カウンタ : シェーピング・レート制御のためのカウンタ
- SPR レジスタ : シェーピング・レート設定レジスタ (0 SPR 255) ... 出力の転送レートを $1 / (SPR + 1)$ に制限します。

図 3 - 43 の例では、SPR = 2 と設定すれば転送レートは $1 / (1 + 2)$ で制限されるので、 $318 \times 1 / 3 = 106$ Mbps となり、120 Mbps 以下という制限を満足します。このとき 3 サイクルに 1 回論理出力ポートへの割り当てを行うためにどのような処理を行っているかについて説明します。

Ct カウンタは以下の規則で更新され、Ct = 0 となったときに論理出力ポートへの割り当てが行われま

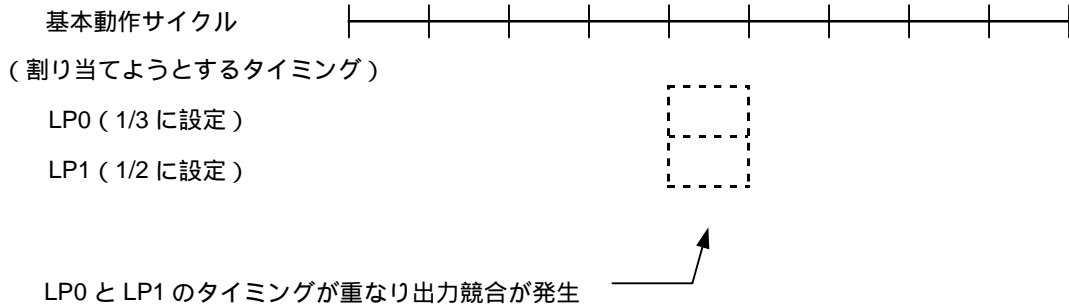
- 論理出力ポートへの割り当てが行われた時点 (Ct = 0) で、Ct カウンタに初期値 (SPR の値) がロードされる。
- 論理出力ポートへの割り当てが行われないとき (Ct ≠ 0 時) は、 $Ct = Ct - 1$ され Ct = 0 となったときに出力許可を割り当てる。

このときの基本サイクル、論理出力ポートの割り当て、カウンタ値の関係を、下図に示します。SPR = 2 , Ct の初期値 = 2 の場合、転送レートは $1 / (SPR + 1) = 1 / 3$ に制限されます。



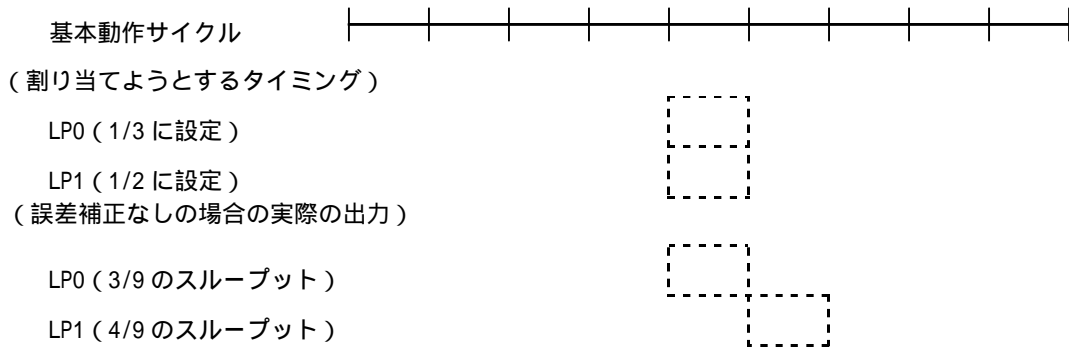
(2) シェーピング誤差補正

1つのUTOPIAインタフェースUP0に複数の論理出力ポートLP0-LPnが接続されている場合には、以下のように各論理出力ポートへの割り当てタイミングの重なり（出力競合）が発生し、スループットの低下を招きます。



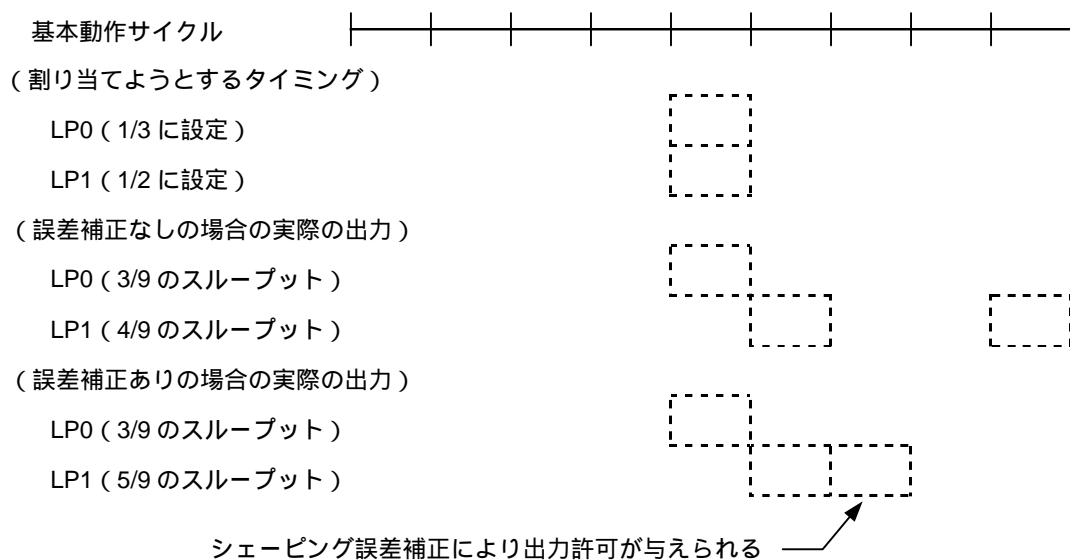
μ PD98410では、出力競合によるスループット低下を防ぐためシェーピング誤差補正機能を設けています。以下にその機能について説明します。

まず、シェーピング誤差補正なしの場合には、スループットの低下を招くことについて説明します。



上図のように、出力競合時にLP0より のセルが出力された次のサイクルでは、競合を回避できるため、LP1より のセルが出力されます。その後、LP1はSPR+1の基本サイクルをダウンカウントしてCt=0のときに出力許可を割り当て、 のセルを出力します。この結果、LP1に設定したスループットよりも、実際のスループットは低下 (1/2 4/9) しています。

このような出力競合によるスループットの低下は、シェーピング誤差補正機能により抑えられます。その動作を以下に説明します。



次に、このような制御を行うために、どのような処理を行っているのかを説明します。まず、シェーピング誤差補正を行うために新たにカウンタCsを設けます。

Cs：シェーピング誤差補正を制御するためのカウンタ

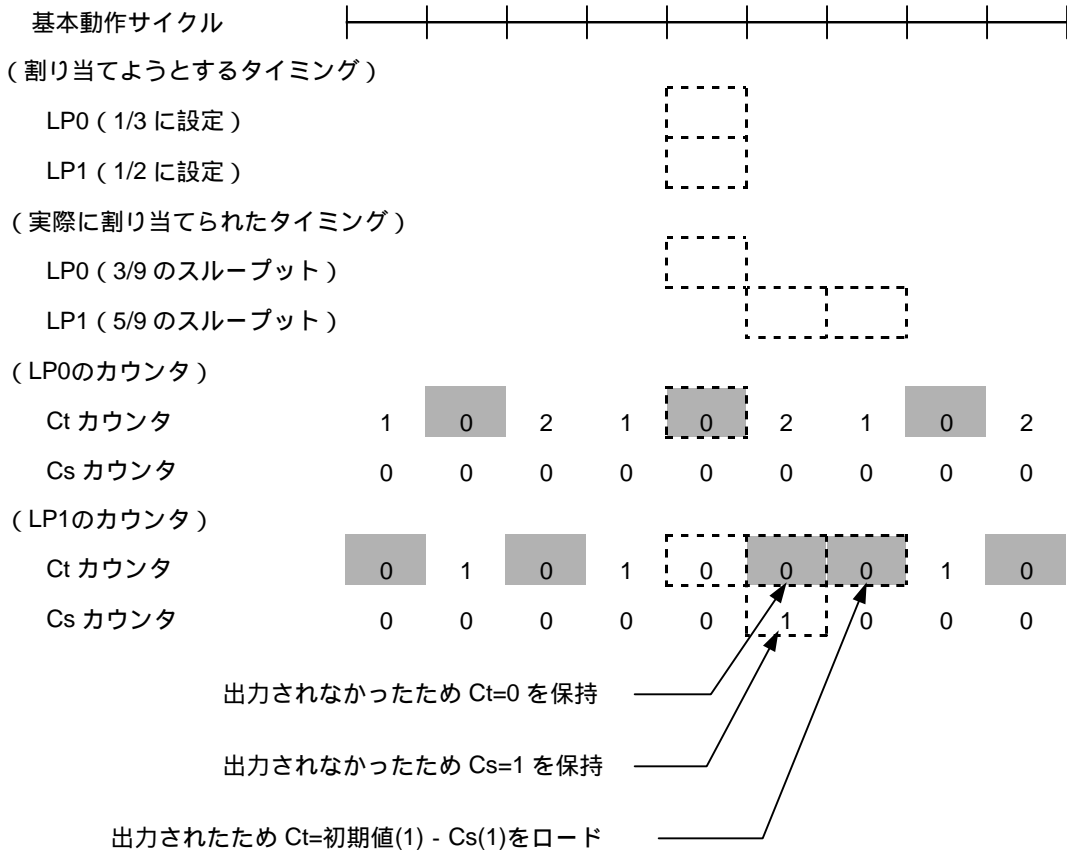
このシェーピング誤差補正カウンタCsは以下のような規則で更新され、 $C_t=0$ のとき、論理出力ポートへの割り当てが行われます。

- 論理出力ポートへの割り当て ($C_t=0$) 時に、セルを出力できた場合は、 $C_s=0$ とする。
 - 論理出力ポートへの割り当て ($C_t=0$) 時に、セルを出力できなかった場合は、 $C_s=C_s+1$ とする。
- なお、 $0 \leq C_s \leq 11$ とする。

シェーピングのためのカウンタ C_t の更新は以下のように行われます。

- 論理出力ポートへの割り当て時以外 ($C_t \neq 0$) は、 $C_t = C_t - 1$ となる。
- 論理出力ポートへの割り当て ($C_t=0$) 時に、セルを出力できた場合は、初期値 (SPR) - C_s が C_t カウンタにロードされる。割り当てられたにもかかわらず、セルを出力できなかった場合は、 C_t カウンタは0のまま保持される。

このときのカウンタの変化を以下に示します。



次に、Ctの取りうる値が0から11の12個である理由について説明します。

今まで説明してきた例では、次の出力サイクルでLP1が割り当てられることとなりますが、さらに複数の論理出力ポートが接続されているとき、次のサイクルでも他の論理出力ポートと競合する可能性が発生します(このとき、さらにCtをカウントアップして、次のサイクルに移ることになる)。ところが、μPD98410では1つのUTOPIAインタフェースに割り当てられる論理出力ポートの最大数は12であることから、最大でも12サイクル待っていれば少なくとも1回は割り当てられる可能性を持つこととなります。このことから、Ctは11までの12個の値を取れるようになっています。

3.8 連続送信

UTOPIA Level 2 インタフェースは複数の PHY を接続できるように設計されていますが、 μ PD98410 では接続する PHY に合わせてモード設定を行う必要があります。接続する PHY により、次のように分類します。

- (a) NEC 製 155Mbps PHY 『 μ PD98404 (P30) 』 連続出力モード&マルチ PHY モード
- (b) UTOPIA 転送速度の 1/3 以上の PHY シングル PHY モード
- (c) UTOPIA 転送速度の 1/3 以下の PHY 非連続出力モード&マルチ PHY モード

μ PD98410 は非連続出力モードかつマルチ PHY モードに設定されると、同一 PHY に対して連続したセル出力を行いません。このため 1 PHY 当たり保証できる最大転送速度は、UTOPIA インタフェースの転送速度に対して 1/3 となります。

転送速度が UTOPIA インタフェースの 1/3 以上の回線を接続する場合は、 μ PD98410 から連続したセル出力を行うことができる『 μ PD98404』を接続するか、1 UTOPIA インタフェースに 1 PHY のみ接続するか、どちらかの方法を選択します。

表 3 - 12 接続する PHY と μ PD98410 へのモード設定

ポーリング・モード設定		接続可能な PHY	1 PHY 当たり転送速度	同一 PHY へのセル出力
転送 PHY ポーリング	シングル/マルチ・注 ¹ ポーリング			
可	シングル/マルチ	NEC 製 『 μ PD98404 (P30) 』	PHY 上限まで	連続あり
不可	シングル	各社ベンダ製 PHY (NEC 製 『 μ PD98402A (P15) 』 含む)	PHY 上限まで	連続あり
不可	マルチ注 ²		UTOPIA 転送速度の 1/3 以下で PHY 上限まで	非連続

注 1 . マルチ PHY モードでは、1 PHY 接続を含めた複数 PHY 接続をサポートします。

2 . リセット後はマルチ PHY モードとなっています。

同一 PHY に対してセル出力を連続しないのは、ポーリングを行ったあと、セル出力までの間に再度ポーリングが行われ、出力 FIFO に 2 セル格納する可能性があるためです。PHY は 1 セル受信する余裕があればセル・アベイラブルを返すので、2 セル目を正しく受け取れない場合が生じ、セル消失を引き起こします。 μ PD98410 では、このような PHY に対しては、セル出力を連続しないことで解決しています。

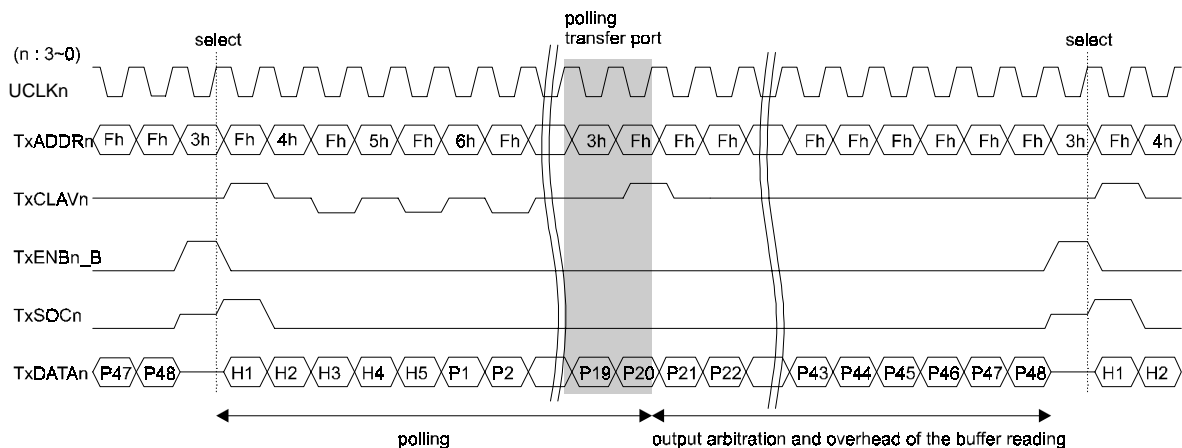
(a) 連続出力モード & マルチ PHY モード (NEC 製 155 Mbps PHY 『μPD98404』)

このモードでは、1 PHY 当たりの最大転送速度は UTOPIA インタフェースの転送速度と等価になります。ただし、UTOPIA Level 2 インタフェースとは違うタイミングでポーリングを行うため、このタイミングに合った PHY しか接続できません。また、同一 UTOPIA インタフェース上に、非連続出力モードの PHY (他社製 PHY など) が混在している場合でも、連続出力モードは有効となります。

連続出力モード (PT レジスタ RP="1") かつマルチ PHY モードが設定されると、μPD98410 は転送中の PHY に対して P19 (ペイロード 19) の転送時に次のセルの受け取りの余裕があるかどうか、問い合わせ (ポーリング) に行きます。NEC 製 155Mbps PHY 『μPD98404』は、このタイミングのポーリングに対して正しく結果を返すモードを持つため、μPD98410 との間で連続してセル出力を行うことができます。

他社製 PHY を接続して、連続出力モードを設定すると UTOPIA インタフェースでセルが消失することがありますので、絶対に設定しないでください。なお、連続出力モードの設定は、ピーク・レート・シェーピングとは別の設定です。

図 3 - 44 ポーリング・タイミング (a)



連続出力モードを設定する場合は、1 PHY しか接続しない場合でもマルチ PHY モードの設定を行って構いません。シングル PHY モードに設定した場合は、シングル PHY モードのポーリングを行います。

μPD98410 では、同一 UTOPIA インタフェースに複数の PHY が接続されている場合、転送中の PHY に対して P45 (ペイロード 45) の転送時にポーリングした結果を次のセル転送に反映することができません。しかし、P19 でポーリングを行うことにより、ポーリング結果から出力調停を経てセル・バッファをリードするオーバーヘッドを吸収して連続出力を行います。

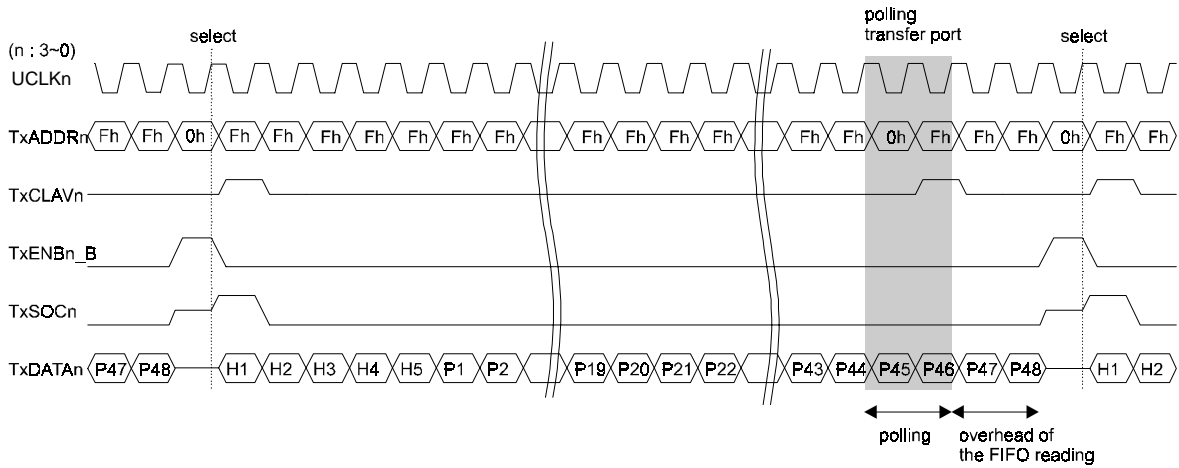
(b) シングルPHYモード (UTOPIA 転送速度の 1/3 以上の PHY)

このモードでは、1 PHY 当たりの最大転送速度は UTOPIA インタフェースの転送速度と等価になります。転送速度が UTOPIA インタフェースの 1/3 以上の PHY を接続する場合に、このモードを設定します。ただし、1 UTOPIA インタフェースに接続できるのは、1 PHY だけです。

シングルPHYモード (PT レジスタ SG="1") が設定されると、μPD98410 は転送中の PHY に対して P45 (ペイロード 45) の転送時に、次のセルの受け取りの余裕があるかどうかポーリングに行きます。他のPHYに対するポーリングは行いません。

UTOPIA インタフェースに 1 PHY のみ接続する場合はヘッド・オブ・ライン・ブロッキングが発生しないため、このモードにより、μPD98410 との間で連続してセルが転送できます。

図3-45 ポーリング・タイミング (b)



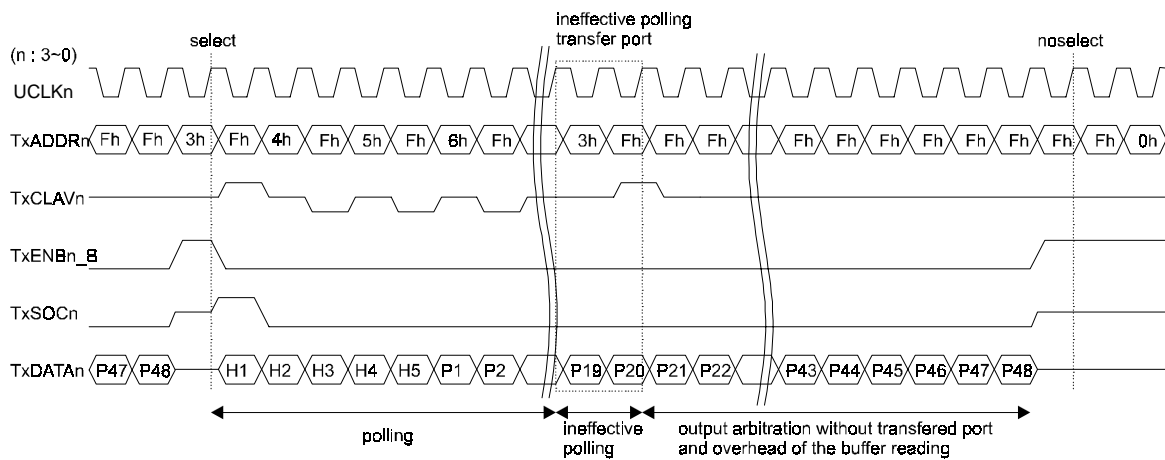
転送中のPHYに対してP45 (ペイロード 45) の転送時にポーリングを行い、出力FIFOに格納されているセルに対して次のセル転送の制御を行うとともに、セル・バッファからセルを読み出して出力FIFOに格納します。

(c) 非連続出力モード & マルチ PHY モード (UTOPIA 転送速度の 1/3 以下の PHY)

このモードでは、1 PHY 当たりには保証できる最大転送速度は UTOPIA インタフェースの転送速度に対して 1/3 となります。転送速度が UTOPIA インタフェースの 1/3 以下の PHY を接続する場合に、このモードを設定します。また、同一 UTOPIA インタフェース上に連続出力モードの PHY (NEC 製 PHY など) が混在している場合でも、非連続出力モードは有効となります。

非連続出力モード (PT レジスタ RP="0") かつマルチ PHY モードが設定されると、μPD98410 は転送中の PHY に対する P19 (ペイロード 19) の転送時のポーリング結果を出力調停に反映しないようにします。このため 1 PHY 当たりの最大転送速度が制限を受けますが、転送速度が UTOPIA インタフェースの 1/3 以下の PHY を接続するという条件では、PHY の転送速度を満足できます。

図 3-46 ポーリング・タイミング (c)



3.9 割り込み要求

μ PD98410 がマイクロプロセッサに対して要求する割り込みの要因について説明します。

3.9.1 パリティ・エラー

μ PD98410 では、HTT & コントロール・メモリおよびセル・バッファに対してパリティ・エラーのチェックを行います。パリティ・エラーを検出した場合は、マイクロプロセッサに対して割り込みを要求します。

パリティ・エラーを検出した場合でも、動作を継続しますが、以降のヘッダ変換や、スイッチング動作が保証できませんので、マイクロプロセッサが、ただちに μ PD98410 に対してリセット動作を実行するようにしてください。

(a) HTT & コントロール・メモリ

32 ビットのデータについて 8 ビットごとに 1 ビットのパリティを生成 / 検査します。

(b) セル・バッファ

格納セル 54 バイト (格納用ヘッダ 6 バイト, ペイロード 48 バイト) に対して, 1 バイトのパリティを生成 / 検査します。

3.9.2 入力ポート・オーバラン

μ PD98410 では、UTOPIA Level 2 インタフェースに従ってセルを入力しますが、 μ PD98410 内部の入力 FIFO がオーバランを起こした場合、該当する UTOPIA 受信インタフェース・ポートをモニタ・レジスタ (ERINOV レジスタ) に格納してから、マイクロプロセッサに対して割り込みを要求します。

入力ポート・オーバランが検出された場合、セルの取りこぼしは起きますが、他の UTOPIA 受信インタフェース・ポートに対するスイッチング動作は継続します。UTOPIA クロックとシステム・クロックの関係が 3.1 UTOPIA インタフェース に示した条件を満たしていない場合、入力 FIFO がオーバランを起こします。

3.9.3 キュー・ポインタ・エラー

μ PD98410 では、3.4 キュー制御 で説明しているように、セル・バッファ管理用のキューをコントロール・メモリ上に構築しており、 μ PD98410 内部のキュー・コントロール部の誤動作を検出した場合、マイクロプロセッサに対して割り込みを要求します。

キュー・ポインタ・エラーが検出された場合、ステータス・レジスタの QE ビットにエラー表示され、以後のヘッダ変換や、スイッチング動作は保証できません。

ステータス・レジスタの CE ビットにエラー表示されず、QE ビットにのみエラー表示される場合は、次に示す要因が考えられますので μ PD98410 の設定を確認してください。

- ALLmin レジスタの初期設定値が、以下の式で示す値に設定されていない。
 $(OQminCRV + OQminRNV + OQminABR + OQminUBR) \times \text{enabled ports}^{\text{注}}$
 + MQminCRV + MQminRNV + MQminABR + MQminUBR
 + TCminCRV + TCminRNV + TCminABR + TCminUBR

- CMD レジスタのスイッチ動作有効に設定したあと、ALLmin レジスタの再設定を行った。
- CMD レジスタのスイッチ動作有効に設定したあと、各最小しきい値レジスタの再設定を行った。
- I/O レジスタ・アクセスによりテスト・エリアを書き換えた。

注 enabled ports は、PT レジスタ EN ビットを有効に設定する予定のある論理ポートの合計を表します。

3.9.4 キャスト・カウンタ・エラー

μPD98410 では、アイドル・キュー管理部、あるいはマルチキャスト数の管理部の誤動作を検出した場合、マイクロプロセッサに対して割り込みを要求します。

キャスト・カウンタ・エラーが検出された場合、ステータス・レジスタの CE ビットにエラー表示され、以後のヘッダ変換や、スイッチング動作が保証できません。ユーザのソフトウェア手順に誤りがあると考えられます。μPD98410 の設定を確認してください。

ステータス・レジスタの CE と QE ビットにエラー表示される場合には、以下の要因が考えられますので、μPD98410 の設定を確認してください。

- HTT エリア A の同報数設定値と HTT エリア B のビット・マップで設定された同報数が一致しない。
- セル・バッファ・メモリの自己診断を終了したあと、モード・レジスタの HC ビットをディスエーブルにしていないため、誤ってセル・バッファ・メモリを書き換えた。
- I/O レジスタ・アクセスによりテスト・エリアを書き換えた。

3.9.5 セル・バッファ・メモリ不足

μPD98410 では、マルチキャストの割合が多い場合は、セル・データを格納するセル・バッファ・メモリ・エリア不足を起こします。セル・バッファ・メモリ不足を起こした場合、セルの格納ができないので、セルの廃棄および廃棄セル・カウントを行い、マイクロプロセッサに対して割り込みを要求します。

セル・バッファ・メモリ不足を起こしても、セル・バッファ・メモリ上に余裕ができれば通常の動作に復帰してスイッチング動作を継続します。全滞留セルの平均同報数が 2 より大きい場合に、セル・バッファ・メモリ不足が起きる可能性があります。

3.9.6 コントロール・メモリ不足

μPD98410 では、3.4 キュー制御 で説明しているように、セル・バッファ管理用のキューをコントロール・メモリ上に構築します。マルチキャストの割合が多い場合は、セル・バッファより先にコントロール・メモリが足りなくなってしまう、コントロール・メモリ不足を起こします。コントロール・メモリ不足を起こした場合、セルの格納ができないので、セルの廃棄および廃棄セル・カウントを行い、マイクロプロセッサに対して割り込みを要求します。

コントロール・メモリ不足を起こしても、コントロール・メモリ上に余裕ができれば、通常の動作に復帰してスイッチング動作を継続します。全滞留セルの平均同報数が 2 より大きい場合に、コントロール・メモリ不足が起きる可能性があります。

3.9.7 HEC/CRC エラー

μ PD98410 では、入力セルの HEC 検査および CRC-10 検査を行います。ただし、MODE レジスタで HM=1 設定されている場合は、HEC 検査を行わず、HEC エラー・セルは通過します。HEC エラー / CRC-10 エラーを検出した場合は、該当するセルを廃棄し、該当する論理入力ポート番号をモニタ・レジスタに格納してから、マイクロプロセッサに対して割り込みを要求します。マイクロプロセッサは要因レジスタ (ERHEC レジスタ) をリードして、HEC エラー / CRC-10 エラーを起こしたセルの論理入力ポートを知ることができます。

HEC エラー / CRC-10 エラーを検出した場合でも、他のセルに対するスイッチング動作は継続します。

(a) HEC 検査エラー (ヘッダ・エラー・チェック)

μ PD98410 では、入力セルの HEC 検査および出力セルの HEC 生成を行います。

(b) RM セル CRC-10 エラー

μ PD98410 では、入力セルが PID=01h を持つ RM セルであることを検出した場合、CRC-10 検査を行います。また、PID=01h を持つ Backward RM セルの場合ペイロードの値を書き換えるため出力セルの CRC-10 生成を行います。

3.9.8 ヘッダ変換エラー

μ PD98410 では、入力セルによりヘッダ変換テーブル (HTT) をアクセスした結果、ヘッダ変換エラーを検出した場合、該当するセルを廃棄し、論理入力ポート番号をモニタ・レジスタ (ERHT レジスタ) に格納してからマイクロプロセッサに対して割り込みを要求します。

ヘッダ変換エラーを検出した場合でも、他のセルに対するスイッチング動作は継続します。

(a) 無効ヘッダ変換

該当ポートに割り当てられた HTT 領域を越えて HTT をアクセスしようとした場合、ヘッダ変換エラーとなります。入力セルの VPI, VCI の無効部が "0" でないことを検出した場合に発生します。ただし、HT0-HT23 レジスタで UNI の接続に設定されたチャンネルの場合は、入力セルの GFC フィールド (4 ビット) は "don't care" として扱います。

(b) 無効チャンネル

HTT アクセスの結果、該当チャンネルが無効 (CEN=0) に設定されていることを検出した場合は、ヘッダ変換エラーとなります。

(c) 無効出力ポート

HTT アクセスの結果、得られた論理出力ポートにセルを出力しようとして、該当する論理出力ポートが無効 (PT レジスタ EN=0) に設定されていることを検出した場合は、ヘッダ変換エラーとなります。

(d) 無効マルチキャスト

HTT アクセスの結果、マルチキャスト (CM=1) に設定されているにもかかわらず、同報数 (NMP) =0 または Multicast Bitmap=0であることを検出した場合は、ヘッダ変換エラーとなります。

(e) 無効 RM セル・マージ

バックワード RM セルのマージを行う際に、出力先のチャンネルの HTT をアクセスした結果、チャンネルが無効 (CEN=0) に設定されいているかシングルキャスト (CM=0) に設定されていることを検出した場合は、ヘッダ変換エラーとなります。

3.9.9 バッファしきい値越え

μ PD98410 は、各しきい値を越えてセル・バッファにセルが滞留すると、優先セル廃棄制御および EPD 制御により、対応する入力セルを選択的に廃棄し、該当するしきい値の種類、クラス、および論理出力ポート番号をモニタ・レジスタ (EXTH レジスタ) に格納してから、マイクロプロセッサに対して割り込みを要求します。

セル廃棄を行った場合でも、他のセルに対するスイッチング動作は継続します。

3.9.10 カウント・オーバ検出

μ PD98410 は、以下に示すカウンタのカウント・オーバを検出すると、マイクロプロセッサに対して割り込みを要求します。カウント・オーバを検出した場合でも、カウンタを 0 にして、カウントを継続します。

- コントロール/セル・バッファ・メモリ不足廃棄セル・カウンタ
- HEC/CRC エラー廃棄セル・カウンタ
- ヘッダ変換エラー廃棄セル・カウンタ
- しきい値越え廃棄セル・カウンタ
- 受信セル・カウンタ

3.10 モニタリング

3.10.1 モニタ・レジスタ

μ PD98410 は、各種エラー（パリティ・エラーを除く）の要因となったポート番号などをモニタ・レジスタに格納します。各レジスタには、要因が発生した時点で有効な値が格納され、各要因のステータス・ビットがセットされている状態で有効です。この値はマイクロプロセッサがステータス・ビットをクリアするまで変化しません。

モニタ・レジスタに格納するのは、次の情報です。

- しきい値越えを検出したしきい値の種類、クラスおよび論理出力ポート番号
- ヘッド変換エラーを検出したセルを入力した論理入力ポート番号
- HEC エラー、CRC-10 エラーを検出したセルを入力した論理入力ポート番号
- 入力ポート・オーバラン・エラーを検出した UTOPIA インタフェースのポート番号

3.10.2 しきい値越えによるセル廃棄カウント

μ PD98410 は、各しきい値を越えてセル・バッファにセルが滞留すると、優先セル廃棄制御および EPD 制御により、対応する入力セルを選択的に廃棄します。 μ PD98410 では、任意に設定した条件のセルに対して、任意の期間のセル廃棄数を観測することができます。

(a) 観測条件

次の条件をレジスタに設定できます。

- しきい値の指定 : MAX.しきい値 / CLP しきい値 / EPD しきい値
- クラス指定 : CBR / rtVBR / RM / nrtVBR / ABR / UBR
- ポート番号 : 論理出力ポート番号の指定

(b) 観測期間

カウント許可 (EN) ビットを “1” に設定するとカウントを行い、EN= “0” に設定すると中断します。

(c) セル廃棄数表示

観測を終了すると、セル廃棄数レジスタに表示されます。最大カウント数まで達した場合は、次にセル廃棄が起こるとカウンタは 0 になり、カウントを継続します。この場合、セル廃棄カウンタのカウント・オーバをステータス・レジスタに表示します。

- 最大カウント数 : FFFFFFFFh ($2^{32}-1$)

3.10.3 ヘッド変換エラーによるセル廃棄カウント

μ PD98410 は、入力セルのヘッド変換エラーによりセル廃棄します。 μ PD98410 では、任意に設定した論理入力ポート条件のセルに対して、任意の期間のセル廃棄数を観測することができます。

(a) 観測条件

次の条件をレジスタに設定できます。

- ポート番号 : 論理入力ポート番号の指定

(b) 観測期間

カウント許可 (EN) ビットを “1” に設定するとカウントを行い、EN= “0” に設定すると中断します。

(c) セル廃棄数表示

観測を終了すると、セル廃棄数レジスタに表示されます。最大カウント数まで達した場合は、次にセル廃棄が起こるとカウンタは0になり、カウントを継続します。この場合、セル廃棄カウンタのカウント・オーバをステータスレジスタに表示します。

- 最大カウント数 : FFFFFFFFh ($2^{32}-1$)

3.10.4 HEC エラー , CRC エラーによるセル廃棄カウント

μ PD98410 は、HEC エラー , CRC エラーによりセル廃棄します。 μ PD98410 では、任意に設定した論理入力ポート条件のセルに対して、任意の期間のセル廃棄数を観測することができます。

(a) 観測条件

次の条件をレジスタに設定できます。

- ポート番号 : 論理入力ポート番号の指定

(b) 観測期間

カウント許可 (EN) ビットを “1” に設定するとカウントを行い、EN= “0” に設定すると中断します。

(c) セル廃棄数表示

観測を終了すると、セル廃棄数レジスタに表示されます。最大カウント数まで達した場合は、次にセル廃棄が起こるとカウンタは0になり、カウントを継続します。この場合、セル廃棄カウンタのカウント・オーバをステータス・レジスタに表示します。

- 最大カウント数 : FFFFFFFFh ($2^{32}-1$)

注意 HEC エラーによるセル廃棄カウントは、MODE レジスタで HEC エラー・セル通過に設定されている場合には、カウントされません。

3.10.5 コントロール/セル・バッファ・メモリ不足によるセル廃棄カウント

μPD98410 は、HTT&コントロール・メモリのコントロール領域の空き不足、またはセル・バッファ・メモリの空き領域不足によりセルを廃棄します。μPD98410 では、任意に設定したエラー要因に対して、任意の期間のセル廃棄数を観測することができます。

(a) 観測条件

次の条件をレジスタに設定できます。

- エラー要因 : コントロール/セル・バッファ・メモリ不足

(b) 観測期間

カウント許可 (EN) ビットを “1” に設定するとカウントを行い、EN= “0” に設定すると中断します。

(c) セル廃棄数表示

観測を終了すると、セル廃棄数レジスタに表示されます。最大カウント数まで達した場合は、次にセル廃棄が起こるとステータス・レジスタを更新し、0 になりカウントを継続します。この場合、セル廃棄カウンタのカウント・オーバをステータス・レジスタに表示します。

- 最大カウント数 : FFFFFFFFh ($2^{32}-1$)

3.10.6 受信セル数のカウント

μPD98410 は、任意に設定した UTOPIA インタフェース・ポートに受信されたセルのカウントを、任意に設定した期間で観測することができます。

(a) 観測条件

次の条件をレジスタに設定できます。

- UTOPIA インタフェース・ポート番号 : UTOPIA0/1/2/3

(b) 観測期間

カウント許可 (EN) ビットを “1” に設定するとカウントを行い、EN= “0” に設定すると中断します。

(c) 受信セル数表示

観測を終了すると、入力セル数レジスタに表示されます。最大カウント数まで達した場合は、次にセル受信されるとカウンタは 0 になり、カウントを継続します。この場合、入力カウンタのカウント・オーバをステータス・レジスタに表示します。

- 最大カウント数 : FFFFFFFFh ($2^{32}-1$)

3.11 マイクロプロセッサ・インタフェース

マイクロプロセッサは、 μ PD98410 内部の I/O レジスタに対するアクセスのほかに、 μ PD98410 を通して HTT & コントロール・メモリおよびセル・バッファ・メモリに対するアクセスを行うことができます。

- ・ I/O レジスタ : 初期設定, コマンド発行, ステータス確認など
- ・ HTT & コントロール・メモリ : 初期設定, HTT への接続設定, 自己診断
- ・ セル・バッファ・メモリ : 自己診断

μ PD98410 は、マイクロプロセッサとの接続に 32 ビット多重同期バスと、16 ビット分離型非同期バスの 2 つのインタフェースをサポートしています。一般的 I/O バス (PCI Bus, S Bus, AP Bus, 86 系 Bus) にわずかな外部回路で接続できるような汎用バス・インタフェースとなっています。

ハードウェア・リセット時の HSEL 入力端子の状態により、次のようにマイクロプロセッサとのインタフェースが決定されます。

表 3-13 マイクロプロセッサ・インタフェース端子

HSEL=Low 32 ビット多重同期バス	HSEL=High 16 ビット分離型非同期バス
HCLK (Processor bus clock)	プルアップまたはプルダウン
R/W_B (Read / Write mode)	WR_B (Write strobe)
UWE_B (Upper word enable)	RD_B (Read strobe)
AD [31:16] (Address / Data bus)	A [15] (Pull up or Pull down) A [14:0] (Address bus)
AD [15:0] (Address / Data bus)	D [15:0] (Data bus)
IOCS_B (I/O chip select)	
MCS_B (Memory chip select)	
INT (Interrupt request)	
RDY_B (Bus ready)	RDY (Bus ready)

3.11.1 I/O マッピング, メモリ・マッピング

IOCS_B をアクティブにすると I/O レジスタが選択され, MCS_B をアクティブにすると外部メモリが選択されます。さらにメモリ・モード・レジスタの HC ビットにより, 外部メモリとして HTT & コントロール・メモリとセル・バッファ・メモリのどちらかが選択されます。

表 3 - 14 アクセス対象の選択

IOCS_B 端子	MCS_B 端子	メモリ・モード・ レジスタの HC ビット	アクセス対象	オフセット・アドレス	
				32 ビット・バス	16 ビット・バス
1	1	Don't care	なし	-	-
0	1	Don't care	I/O レジスタ	0000h-7FFFh	0000h-7FFFh
1	0	1	HTT & コントロール・ メモリ	000000h-0FFFFFFh	0000h-7FFFh ^注
		0	セル・バッファ・メモリ	000000h-3FFFFFFh	0000h-7FFFh ^注
0	0	Don't care	なし	-	-

注 16 ビット分離型同期バスでは, 外部メモリ空間はメモリ・バンク・レジスタを介してマッピングされます。

マイクロプロセッサは, μ PD98410 に対して 16 ビット・アクセスおよび 32 ビット・アクセスを行うことができますが, セル・バッファ・メモリへライトする場合は, 88 ビット・ライトしかできません。プロセッサからセル・バッファ・メモリへライトされたデータは, いったん μ PD98410 内部のテンポラリ・レジスタに格納され, CB [15:0] または CB [31:0] のライトと同時に 88 ビット単位でセル・バッファにライトされます。このため, セル・バッファにライトする場合は, 必ず 1 ワード 88 ビット分のデータをライトし, CB [15:0] または CB [31:0] を最後に書き込んでください。

表 3 - 15 アクセス対象別のアクセス・ビット幅

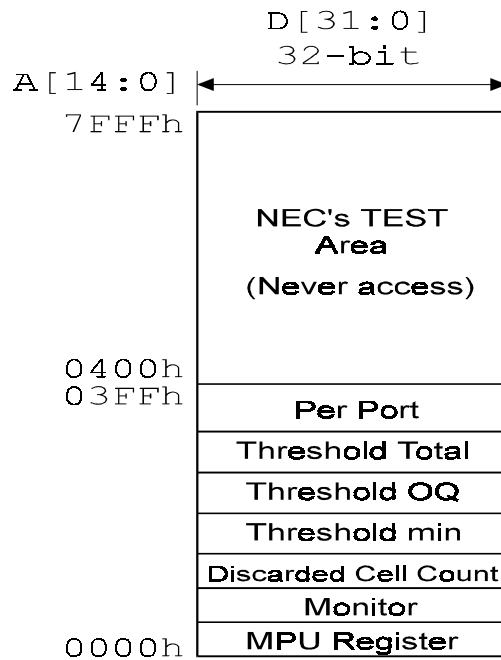
アクセス対象	リード動作	ライト動作
I/O レジスタ	16 / 32 ビット	16 / 32 ビット
HTT & コントロール・メモリ	16 / 32 ビット	16 / 32 ビット
セル・バッファ・メモリ	16 / 32 ビット	88 ビット

32 ビット・アクセスで CBA [17:0]=00000h 番地にデータをライトする場合は, AD [21:0]=000008h, 000004h, 000000h の順番でライトを行います。ビッグ・エンディアンに設定した場合は, 16-bit アクセスのときに 000002h 番地を最後にライトする点に注意します。

また, 将来の拡張にも対応できるように, 未使用領域に対しては, データ“0”をライトし, 不定を想定したリードを行ってください。

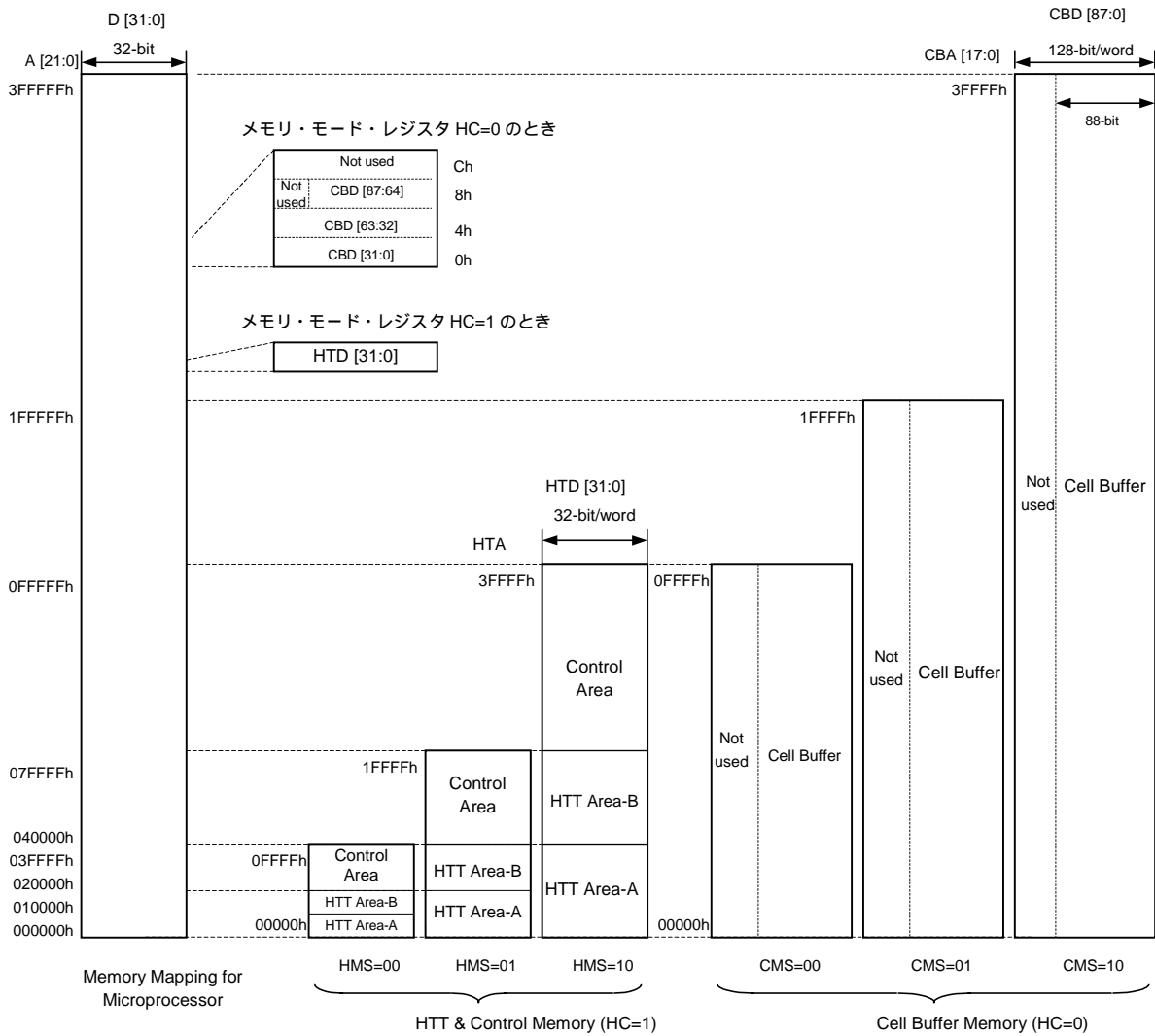
注意 μ PD98410 に対して 8 ビット・アクセスは行わないでください。8 ビット・アクセスまたは 24 ビット・アクセスでデータをライトした場合, ワード・ペアの残りの 8 ビットにはドライブされていないデータ・バスの不定状態が書き込まれるため, 動作保証はできません。

図 3 - 47 I/O レジスタ・マッピング



I/O Mapping for
Micro Processor

図 3 - 48 HTT & コントロール・メモリ, セル・バッファ・メモリ・マッピング



3.11.2 32ビット多重同期バス (HSEL = Low)

ハードウェア・リセット時に HSEL 入力端子がロウ・レベルの場合は、バス・インタフェースは 32 ビット多重同期バスに決定されます。

(1) エンディアン

リセット後のデフォルト状態では、マイクロプロセッサ・バスはリトル・エンディアンとなっています。ビッグ・エンディアンのマイクロプロセッサを接続する場合は、メモリ・モード・レジスタの BL ビットに“1”を設定してください。

μPD98410 は、AD1 (アドレス)、UWE_B を用いて次のようにアクセス制御を行います。UWE_B に、負論理の上位ワード有効信号、または負論理の 4 バイト有効信号を接続できます。

(a) リトル・エンディアン時のアクセス (BL="0")

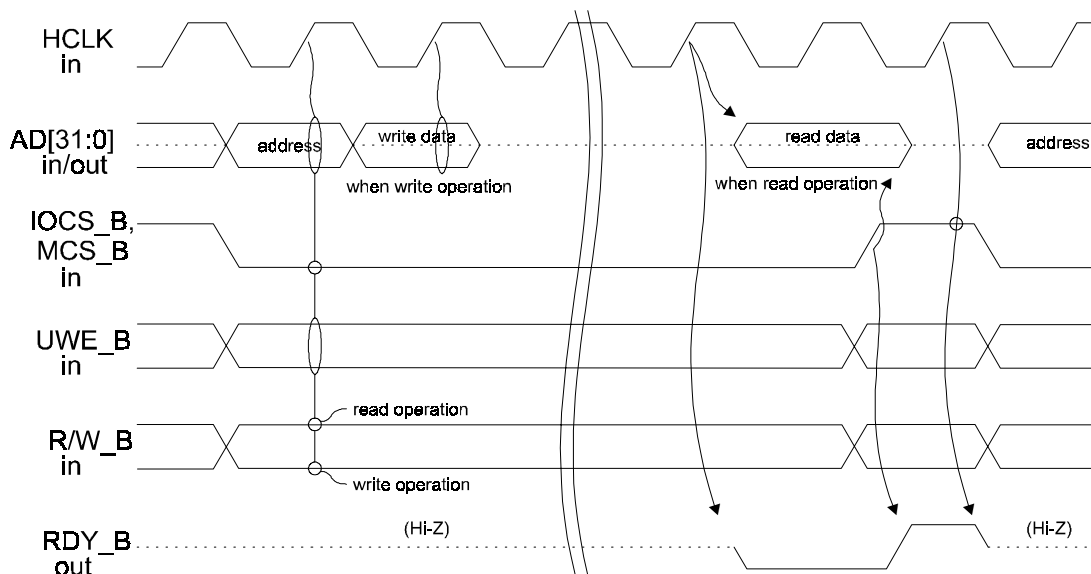
アドレス	UWE_B	データ	
AD1		AD [31:16]	AD [15:0]
0	0	bit [31:16]	bit [15:0]
0	1	Invalid	bit [15:0]
1	0	bit [31:16]	Invalid
1	1	bit [31:16]	Invalid

(b) ビッグ・エンディアン時のアクセス (BL="1")

アドレス	UWE_B	データ	
AD1		AD [31:16]	AD [15:0]
0	0	bit [31:16]	bit [15:0]
0	1	bit [31:16]	Invalid
1	0	Invalid	bit [15:0]
1	1	Invalid	bit [15:0]

(2) アクセス・タイミング

図3-49 32ビット多重同期バスのアクセス・タイミング



IOCS_B または MCS_B がアサートされると、HCLK の立ち上がり同期して AD [31:0]、UWE_B および R/W_B を取り込み、AD [31:0] で指示されるアドレスのレジスタまたはメモリに対してアクセスを行います。

R/W_B がハイ・レベルの場合、リード・オペレーションを開始します。データ出力の準備ができると、HCLK の立ち上がり同期して AD [31:0] にデータを出力するとともに、RDY_B をアサートします。マイクロプロセッサがデータを受け取り IOCS_B および MCS_B をネゲートすると、 μ PD98410 はただちに RDY_B をネゲートし AD [31:0] をハイ・インピーダンスにします。さらに次の HCLK の立ち上がりで RDY_B をハイ・インピーダンスにします。

R/W_B がロウ・レベルの場合、ライト・オペレーションを開始します。次の HCLK の立ち上がり同期して AD [31:0] 上のデータを取り込み、次のバス・サイクルのオペレーションが可能になると RDY_B をアサートします。マイクロプロセッサが IOCS_B および MCS_B をネゲートすると、 μ PD98410 はただちに RDY_B をネゲートし、さらに次の HCLK の立ち上がりで RDY_B をハイ・インピーダンスにします。

3.11.3 16ビット分離型非同期バス (HSEL = High)

ハードウェア・リセット時に HSEL 入力端子がハイ・レベルになっていると、バス・インタフェースは 16 ビット分離型非同期バスに決定されます。

(1) エンディアン

リセット後のデフォルト状態では、マイクロプロセッサ・バスはリトル・エンディアンとなっています。ビッグ・エンディアンのマイクロプロセッサを接続する場合でも、アドレスを考慮すればデフォルト状態のまま使用できますが、32 ビット単位のビッグ・エンディアンとしてアクセスする場合は、モード・レジスタの BL ビットに“1”を設定してください。

μ PD98410 は、A1 (アドレス) を用いて次のようにアクセス制御を行います。

(a) リトル・エンディアン時のアクセス (BL="0")

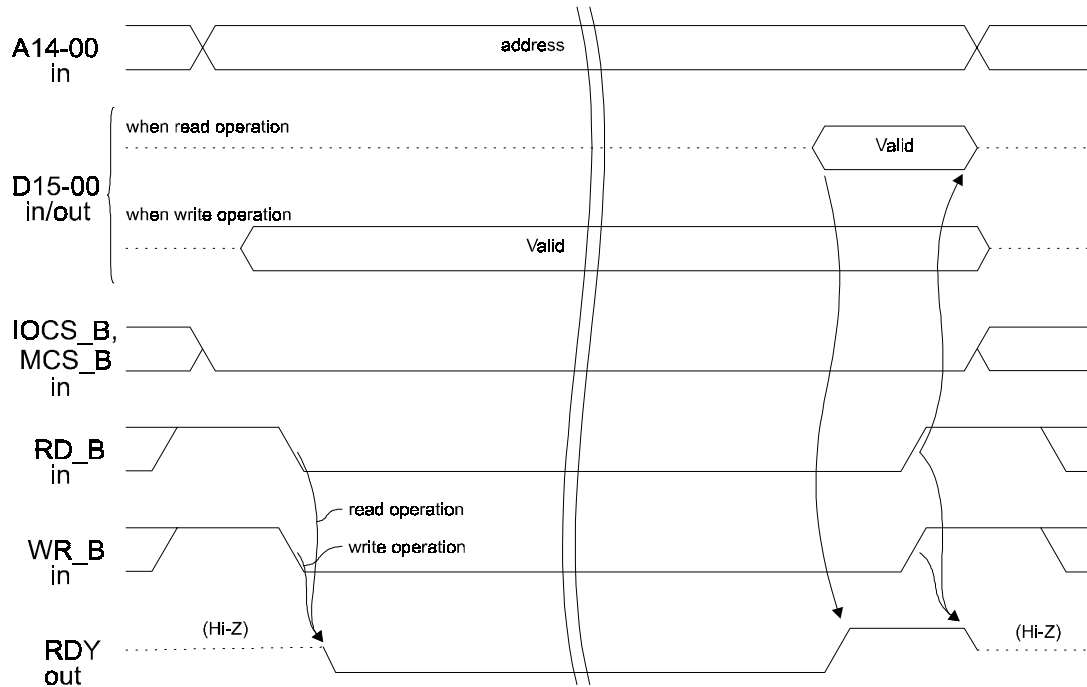
アドレス	データ
A1	D [15:0]
0	bit [15:0]
1	bit [31:16]

(b) ビッグ・エンディアン時のアクセス (BL="1")

アドレス	データ
A1	D [15:0]
0	bit [31:16]
1	bit [15:0]

(2) アクセス・タイミング

図3-50 16ビット分離型非同期バスのアクセス・タイミング



IOCS_B または MCS_B がアサートされている状態で RD_B または WR_B がアサートされると、ただちに RDY をネゲートし、A [14:0] で指示されるアドレスのレジスタまたはメモリに対してアクセスを行います。

RD_B がアサートされた場合、リード・オペレーションを開始します。データ出力の準備ができると、D [15:0] にデータを出力するとともに、RDY をアサートします。マイクロプロセッサがデータを受け取り IOCS_B および MCS_B をネゲートすると、 μ PD98410 は、ただちに RDY と D [15:0] をハイ・インピーダンスにします。

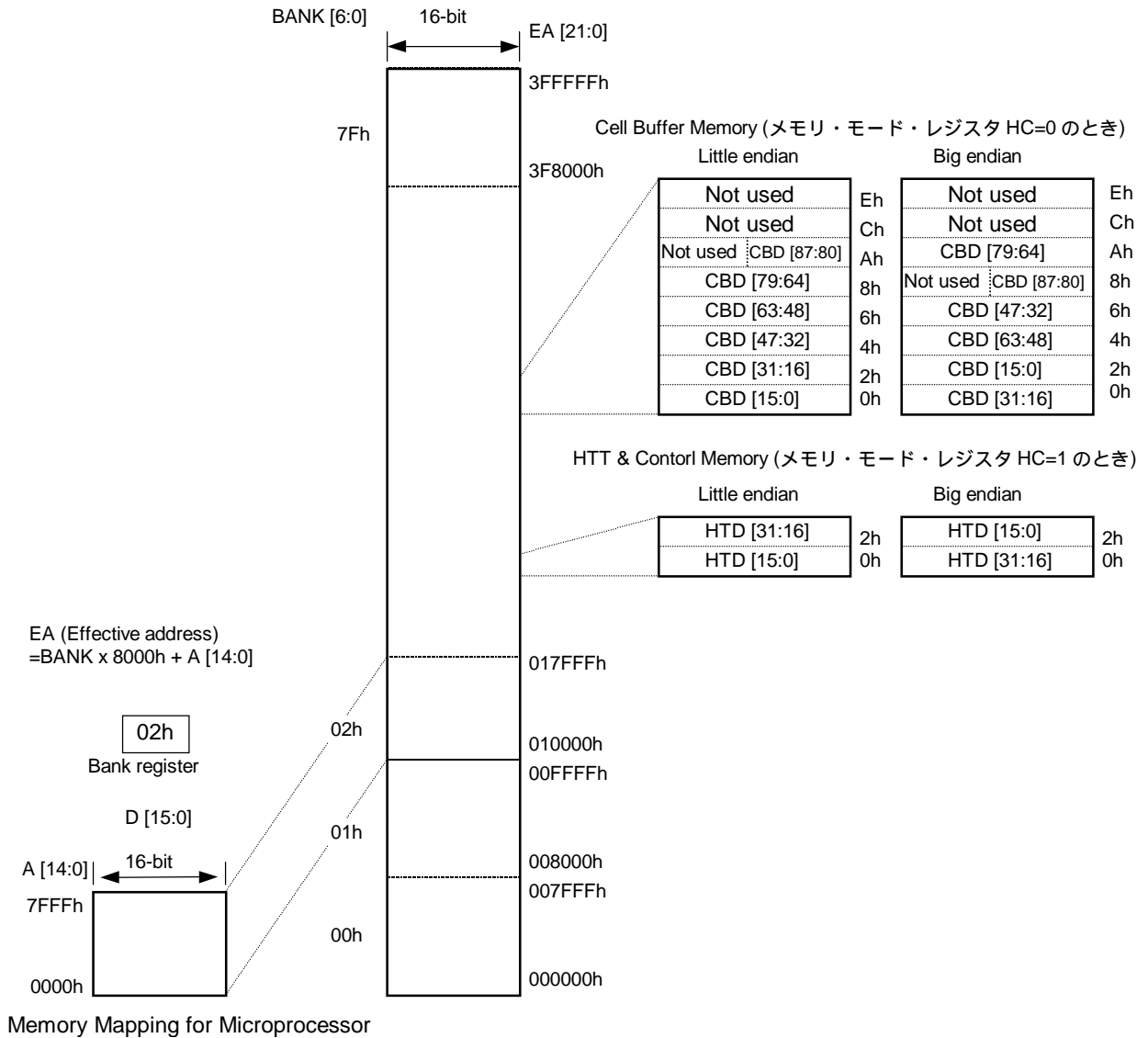
WR_B がアサートされた場合、ライト・オペレーションを開始します。D [31:0] 上のデータを取り込み、次のバス・サイクルのオペレーションが可能になると RDY をアサートします。マイクロプロセッサが IOCS_B および MCS_B をネゲートすると、 μ PD98410 は、ただちに RDY をハイ・インピーダンスにします。

注意 RD_B, WR_B を同時にアサートしないでください。

(3) バンク・レジスタ

16ビット分離型非同期バスの場合、BANKレジスタを用いて外部メモリの領域にアクセスします。

図3-51 16ビット分離型非同期バスのメモリ・マップ



3.12 外部メモリ・インタフェース

3.12.1 HTT & コントロール・メモリ・インタフェース

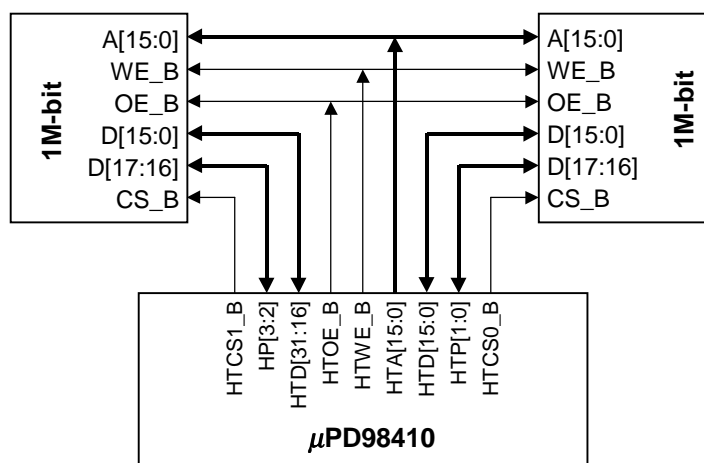
HTT & コントロール・メモリには、1ワードが36ビット（32ビット + 4ビット・パリティ）幅で、深さが64Kワードのメモリを接続します。拡張する場合はセル・バッファと一緒にを行い、128Kワードおよび256Kワードを接続することができます。このメモリには、HTT（Header Translation Table）とセル・アドレス（アイドル・キュー / 出力キュー / マルチキャスト・キュー）が格納されます。

μ PD98410 は HTT を使用してヘッダ変換を行います。セル入力 / マルチキャストのリキューイング / セル出力の各場合に HTT をアクセスします。HTT への設定は、コネクション時に、マイクロプロセッサがフォーマットに従って設定する必要があります。

注意 マイクロプロセッサは、 μ PD98410 がスイッチ動作中でも、常時 HTT へアクセスすることができますが、マイクロプロセッサのアクセスが許可されるまで、最大 16 システム・クロックの間 ウェイト信号が挿入されます。

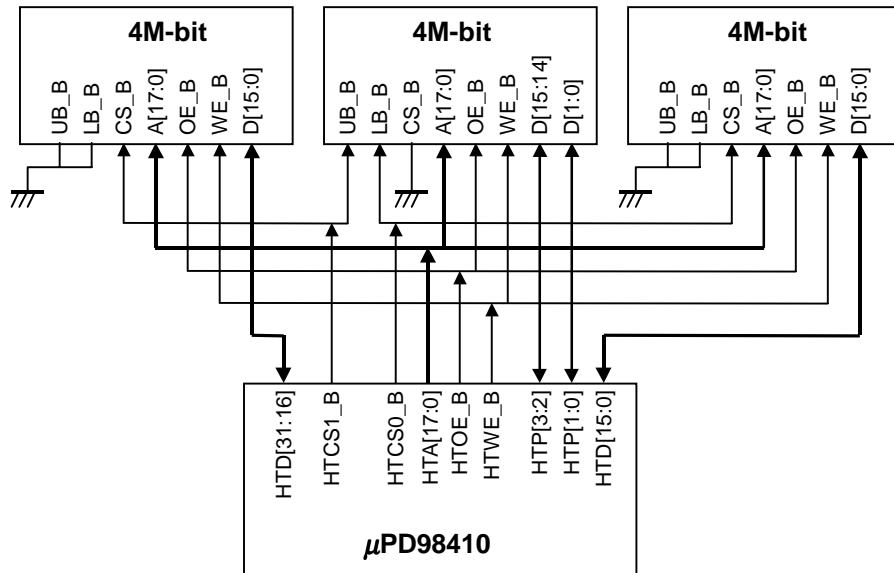
リセット後には、必要に応じてマイクロプロセッサがメモリの自己診断を行うため、メモリにアクセスすることができます。メモリの自己診断終了後は、CMD レジスタにコマンドを発行する前に、MODE レジスタの HC ビットに“1”を設定して HTT & コントロール・メモリを選択する必要があります。スイッチ動作が有効な期間中に、マイクロプロセッサがアクセスできる外部メモリは、ヘッダ変換テーブル（HTT）だけです。コントロール・メモリへのアクセスは行わないでください。

図 3 - 52 HTT & コントロール・メモリ接続例（最小構成）



HTT & コントロール・メモリを最大構成で接続する場合、256K ワード x 18 ビットのメモリを使用すると2個で構成できますが、256K ワード x 16 ビットのメモリを使用すると3個または4個で構成します。256K ワード x 16 ビットのメモリの場合、バイト・データ制御のできるメモリ（たとえば μ PD434016AL）を使用すれば、3個で構成できます。

図3-53 HTT & コントロール・メモリ接続例（最大構成）



3.12.2 セル・バッファ・インタフェース

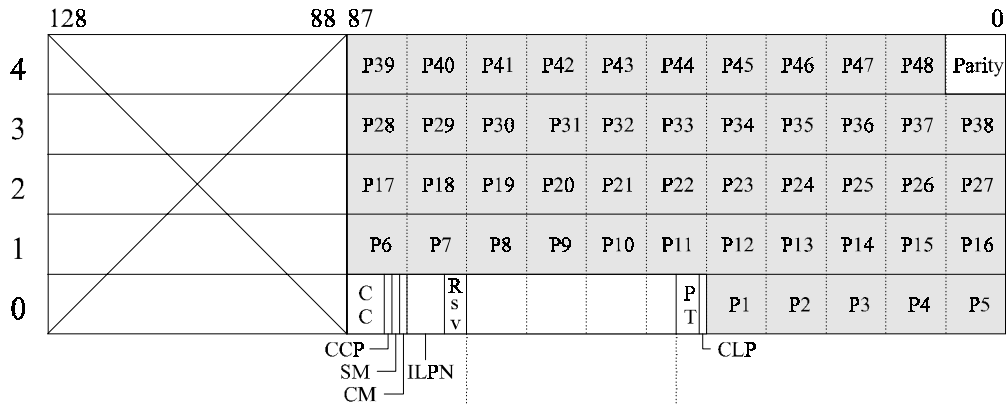
μ PD98410 は、セル・バッファ・メモリを共有バッファとして使用します。

セル・バッファ・メモリには、1 ワードが 88 ビット幅で、深さが 64K ワード（拡張時 128K ワード / 256K ワード）のメモリを接続します。拡張する場合は、HTT & コントロール・メモリにも同じ深さのメモリを接続します。セルは図3-54のフォーマットで1セル当たり55バイトを使用し、セル・バッファに格納されます。

μ PD98410 は、セル・バッファ・メモリに対して 88 ビット単位で、5 サイクルのライトまたは 6 サイクルのリードを行い、1 セルのライトまたはリードを行います。リード時の 1 サイクル分は、キャスト・カウンタ (CC) をデクリメントして書き戻すためのライト・サイクルです。CBCS1_B 信号は、このライト・サイクルのために CC および CCP (パリティ) を書き込む許可信号です。セル・バッファ・メモリとして 18 ビット幅の SRAM を接続した場合、CBCS1_B は CBD [87:72] を接続するメモリに接続することを推奨します。CC の書き戻しの際には CBD [87:70] をドライブしているため、接続する SRAM の種類により、CBD [87:82] から CBD [87:70] まで自由に CBCS1_B を接続することが可能です。

リセット後には、マイクロプロセッサが必要に応じてメモリの自己診断を行うため、メモリにアクセスすることができます。メモリの自己診断終了後は、CMD レジスタにコマンドを発行する前に、MODE レジスタの HC ビットに "1" を設定して HTT & コントロール・メモリを選択する必要があります。スイッチ動作が有効な期間中に、マイクロプロセッサがアクセスできる外部メモリは、ヘッダ変換テーブル (HTT) だけです。

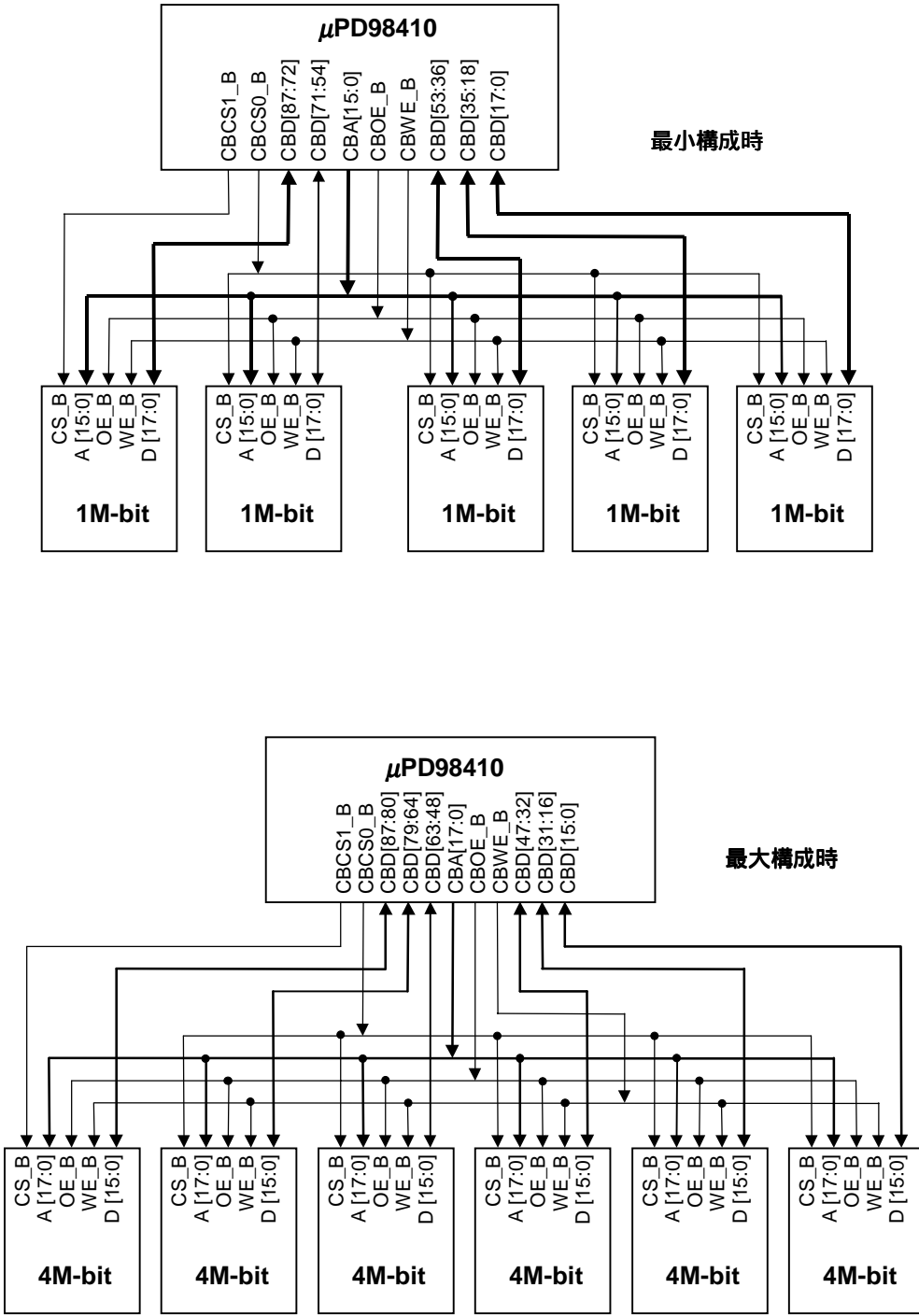
図3-54 セル・バッファ格納フォーマット



VC switching Single cast	SM=0 CM=0	Rsv.	OVPC
VC switching Multicast	SM=0 CM=1	Rsv.	MBP
VP switching Single cast	SM=1 CM=0	Input VCI	OVPC
VP switching Multicast	SM=1 CM=1	Input VCI	MBP

CC : Cast counter (5bit)
 CCP : Cast counter parity (1bit)
 SM : Switching mode (1bit)
 CM : Casting mode (1bit)
 ILPN : Input logical port number (5bit)
 PT : Payload type (3bit)
 CLP : Cell loss priority (1bit)
 Parity : Parity check code (8bit)
 P1-P48 : Payload
OVPC : Output VPI,VCI (16bit)
MBP : Multicast Bitmap Pointer(12bit)

図 3 - 55 セル・バッファ・メモリ接続例



[メ モ]

第 4 章 内部レジスタ

4.1 レジスタ一覧

(1/2)

アドレス	レジスタ名	機 能	ビット	R/W	節番号
0000h	CMD	コマンド	16	R/W	4.2.1
0004h	BANK	メモリ・バンク	16	R/W	4.2.2
0006h	MODE	メモリ・モード	16	R/W	4.2.3
0008h	INTMASK	割り込みマスク	32	R/W	4.2.4
000Ch	STATUS	ステータス	32	R/W	4.2.5
0010h	EXTHMS	しきい値越え廃棄表示マスク	32	R/W	4.2.6
0014h	EXTH	しきい値越え廃棄表示	32	R	4.2.7
0018h	ERHT	ヘッダ変換エラー廃棄表示	16	R	4.2.8
001Ah	ERHEC	HEC/CRC エラー廃棄表示	16	R	4.2.9
001Ch	ERINOV	入力ポート・オーバラン・エラー廃棄表示	16	R	4.2.10
0020h	CTENTH	しきい値越え廃棄セル・カウント・イネーブル	32	R/W	4.2.11
0024h	CTENHT	ヘッダ変換エラー廃棄セル・カウント・イネーブル	16	R/W	4.2.12
0026h	CTENHEC	HEC / CRC エラー廃棄セル・カウント・イネーブル	16	R/W	4.2.13
0028h	CTENMEM	コントロール/セル・バッファ・メモリ不足廃棄セル・カウント・イネーブル	16	R/W	4.2.14
002Ah	CTENRCV	受信セル・カウント・イネーブル	16	R/W	4.2.15
002Ch	CTRCV	受信セル・カウント	32	R/W	4.2.16
0030h	CTEXTH	しきい値越え廃棄セル・カウント	32	R/W	4.2.17
0034h	CTERHT	ヘッダ変換エラー廃棄セル・カウント	32	R/W	4.2.18
0038h	CTERHEC	HEC/CRC エラー廃棄セル・カウント	32	R/W	4.2.19
003Ch	CTMEMEMP	コントロール/セル・バッファ・メモリ不足廃棄セル・カウント	32	R/W	4.2.20
0040h	OQminCRV	CBR+rtVBR クラス出力キュー最小しきい値	16	R/W	4.2.21
0044h	OQminRNV	RM+nrtVBR クラス出力キュー最小しきい値	16	R/W	
0048h	OQminABR	ABR クラス出力キュー最小しきい値	16	R/W	
004Ch	OQminUBR	UBR クラス出力キュー最小しきい値	16	R/W	
0050h	MQminCRV	CBR+rtVBR クラス・マルチキャスト・キュー最小しきい値	16	R/W	4.2.22
0054h	MQminRNV	RM+nrtVBR クラス・マルチキャスト・キュー最小しきい値	16	R/W	
0058h	MQminABR	ABR クラス・マルチキャスト・キュー最小しきい値	16	R/W	
005Ch	MQminUBR	UBR クラス・マルチキャスト・キュー最小しきい値	16	R/W	
0060h	TCminCRV	CBR+nrtVBR クラス TC (Total Cell) カウンタ最小しきい値	16	R/W	4.2.23
0064h	TCminRNV	RM+nrtVBR クラス TC (Total Cell) カウンタ最小しきい値	16	R/W	
0068h	TCminABR	ABR クラス TC (Total Cell) カウンタ最小しきい値	16	R/W	
006Ch	TCminUBR	UBR クラス TC (Total Cell) カウンタ最小しきい値	16	R/W	

(2/2)

アドレス	レジスタ名	機能	ビット	R/W	節番号
007Eh	ALLmin	総セル数最小しきい値 (各出力キュー, マルチキャスト・キュー, TC カウンタの最低保証セル数合計)	16	R/W	4.2.24
0080h	OQthCBR	CBR クラス出力キュー最大しきい値	16	R/W	4.2.25
0082h	OQthRVR	rtVBR クラス出力キュー最大しきい値	16	R/W	4.2.25
0086h	OQthCCL	CBR+rtVBR クラス出力キューの CLP しきい値	16	R/W	4.2.28
0090h	OQthRM	RM クラス出力キュー最大しきい値	16	R/W	4.2.25
0092h	OQthNVR	nrtVBR クラス出力キュー最大しきい値	16	R/W	4.2.25
0094h	OQthRCI	RM+nrtVBR クラス出力キューの EFCI しきい値	16	R/W	4.2.27
0096h	OQthRCL	RM+nrtVBR クラス出力キューの CLP しきい値	16	R/W	4.2.28
00A0h	OQthABR	ABR クラス出力キュー最大しきい値	16	R/W	4.2.25
00A2h	OQthAEP	ABR クラス出力キューの EPD しきい値	16	R/W	4.2.26
00A4h	OQthACI	ABR クラス出力キューの EFCI/CI しきい値	16	R/W	4.2.27
00A6h	OQthACL	ABR クラス出力キューの CLP しきい値	16	R/W	4.2.28
00B0h	OQthUBR	UBR クラス出力キュー最大しきい値	16	R/W	4.2.25
00B2h	OQthUEP	UBR クラス出力キューの EPD しきい値	16	R/W	4.2.26
00B4h	OQthUCI	UBR クラス出力キューの EFCI しきい値	16	R/W	4.2.27
00B6h	OQthUCL	UBR クラス出力キューの CLP しきい値	16	R/W	4.2.28
00C0h	MQthCRV	CBR+rtVBR クラス・マルチキャスト・キュー最大しきい値	16	R/W	4.2.29
00C4h	MQthRNV	RM+nrtVBR クラス・マルチキャスト・キュー最大しきい値	16	R/W	4.2.29
00C8h	MQthABR	ABR クラス・マルチキャスト・キュー最大しきい値	16	R/W	4.2.29
00CCh	MQthUBR	UBR クラス・マルチキャスト・キュー最大しきい値	16	R/W	4.2.29
00D0h	UCthCBR	CBR クラス UC (Used Cell) カウンタ最大しきい値	16	R/W	4.2.30
00D4h	UCthRVR	rtVBR クラス UC (Used Cell) カウンタ最大しきい値	16	R/W	
00D8h	UCthRM	RM クラス UC (Used Cell) カウンタ最大しきい値	16	R/W	
00DCh	UCthNVR	nrtVBR クラス UC (Used Cell) カウンタ最大しきい値	16	R/W	
00E0h	UCthABR	ABR クラス UC (Used Cell) カウンタ最大しきい値	16	R/W	4.2.31
00E2h	UCthAEP	ABR クラス UC (Used Cell) カウンタの EPD しきい値	16	R/W	
00E8h	UCthUBR	UBR クラス UC (Used Cell) カウンタ最大しきい値	16	R/W	4.2.30
00EAh	UCthUEP	UBR クラス UC (Used Cell) カウンタの EPD しきい値	16	R/W	4.2.31
注 1	PT0-PT23	ポート・コンフィギュレーション	32	R/W	4.2.32
注 2	PC0-PC23	クラス優先制御	32	R/W	4.2.33
01FCh	PERIOD	周期カウント	16	R/W	4.2.34
注 3	HT0-HT23	ヘッダ変換コンフィギュレーション	32	R/W	4.2.35

注 1 .100h, 0104h, 0108h, 010Ch, 0110h, 0114h, 0118h, 011Ch, 0120h, 0124h, 0128h, 012Ch, 0130h, 0134h, 0138h, 013C, 0140h, 0144h, 0148h, 014Ch, 0150h, 0154h, 0158h, 015Ch

2 .0180h, 0184h, 0188h, 018Ch, 0190h, 0194h, 0198h, 019Ch, 01A0h, 01A4h, 01A8h, 01ACh, 01B0h, 01B4h, 01B8h, 01BC0h, 01C0h, 01C4h, 01C8h, 01CCh, 01D0h, 01D4h, 01D8h, 01DCh

3 .0200h, 0204h, 0208h, 020Ch, 0210h, 0214h, 0218h, 021Ch, 0220h, 0224h, 0228h, 022Ch, 0230h, 0234h, 0238h, 023Ch, 0240h, 0244h, 0248h, 024Ch, 0250h, 0254h, 0258h, 025Ch

4.2 レジスタ・マップ

	31	24	23	16	15	8	7	0
07C	ALLmin							
078								
074								
070								
06C					TCminUBR			
068					TCminABR			
064					TCminRNV			
060					TCminCRV			
05C					MQminUBR			
058					MQminABR			
054					MQminRNV			
050					MQminCRV			
04C					OQminUBR			
048					OQminABR			
044					OQminRNV			
040					OQminCRV			
03C	CTMEMEMP							
038	CTERHEC							
034	CTERHT							
030	CTEXTH							
02C	CTRCV							
028	CTENRCV				CTENMEM			
	EN	CL	UP _{N3}	UP _{N2}	UP _{N1}	UP _{N0}	CT	CB
024	CTENHEC				CTENHT			
	EN	CL	IPN		EN	CL	IPN	
020	CTENTH							
	OM	OE	ON	OC	TM	TE	TN	MM
01C					ERINOV			
	ERHEC				ERHT			
018	HEQ				IPN			
	CRC				IH	IC	IIP	IOP
014	EXTH							
	OM	OE	ON	OC	TM	TE	TN	MM
010	EXTHMS							
	OM	OE	ON	OC	TM	TE	TN	MM
00C	STATUS							
	BY	PH	PC	IN	QE	CE	CB	CT
008	INTMASK							
	PH	PC	IN	QE	CE	CB	CT	HE
004	MODE				BANK			
	HS	BL	HM	HCEO	HMS	EO	CMS	BANK
000	CMD							
					REV	IU	GMD	

	31	24	23	16	15	8	7	0	
0FC									
0F8									
0F4									
0F0									
0EC									
0E8		UCthUEP				UCthUBR			
0E4									
0E0		UCthAEP				UCthABR			
0DC						UCthNVR			
0D8						UCthRM			
0D4						UCthRVR			
0D0						UCthCBR			
0CC						MQthUBR			
0C8						MQthABR			
0C4						MQthRNV			
0C0						MQthCRV			
0BC									
0B8									
0B4		OQthUCL				OQthUCI			
0B0		OQthUEP				OQthUBR			
0AC									
0A8									
0A4		OQthACL				OQthACI			
0A0		OQthAEP				OQthABR			
09C									
098									
094		OQthRCL				OQthRCI			
090		OQthNVR				OQthRM			
08C									
088									
084		OQthCCL							
080		OQthRVR				OQthCBR			

	31	24	23	16	15	8	7	0
17C								
178								
174								
170								
16C								
168								
164								
160								
15C					PT23			
		SGEN	UPN		PHY		SCR	RP SPR
158					PT22			
		SGEN	UPN		PHY		SCR	RP SPR
154					PT21			
		SGEN	UPN		PHY		SCR	RP SPR
150					PT20			
		SGEN	UPN		PHY		SCR	RP SPR
14C					PT19			
		SGEN	UPN		PHY		SCR	RP SPR
148					PT18			
		SGEN	UPN		PHY		SCR	RP SPR
144					PT17			
		SGEN	UPN		PHY		SCR	RP SPR
140					PT16			
		SGEN	UPN		PHY		SCR	RP SPR
13C					PT15			
		SGEN	UPN		PHY		SCR	RP SPR
138					PT14			
		SGEN	UPN		PHY		SCR	RP SPR
134					PT13			
		SGEN	UPN		PHY		SCR	RP SPR
130					PT12			
		SGEN	UPN		PHY		SCR	RP SPR
12C					PT11			
		SGEN	UPN		PHY		SCR	RP SPR
128					PT10			
		SGEN	UPN		PHY		SCR	RP SPR
124					PT9			
		SGEN	UPN		PHY		SCR	RP SPR
120					PT8			
		SGEN	UPN		PHY		SCR	RP SPR
11C					PT7			
		SGEN	UPN		PHY		SCR	RP SPR
118					PT6			
		SGEN	UPN		PHY		SCR	RP SPR
114					PT5			
		SGEN	UPN		PHY		SCR	RP SPR
110					PT4			
		SGEN	UPN		PHY		SCR	RP SPR
10C					PT3			
		SGEN	UPN		PHY		SCR	RP SPR
108					PT2			
		SGEN	UPN		PHY		SCR	RP SPR
104					PT1			
		SGEN	UPN		PHY		SCR	RP SPR
100					PT0			
		SGEN	UPN		PHY		SCR	RP SPR

	31	24	23	16	15	8	7	0	
1FC						PERIOD			
1F8									
1F4									
1F0									
1EC									
1E8									
1E4									
1E0									
1DC	PC23								
		UBR		ABR		VBR		GBR	
1D8	PC22								
		UBR		ABR		VBR		GBR	
1D4	PC21								
		UBR		ABR		VBR		GBR	
1D0	PC20								
		UBR		ABR		VBR		GBR	
1CC	PC19								
		UBR		ABR		VBR		GBR	
1C8	PC18								
		UBR		ABR		VBR		GBR	
1C4	PC17								
		UBR		ABR		VBR		GBR	
1C0	PC16								
		UBR		ABR		VBR		GBR	
1BC	PC15								
		UBR		ABR		VBR		GBR	
1B8	PC14								
		UBR		ABR		VBR		GBR	
1B4	PC13								
		UBR		ABR		VBR		GBR	
1B0	PC12								
		UBR		ABR		VBR		GBR	
1AC	PC11								
		UBR		ABR		VBR		GBR	
1A8	PC10								
		UBR		ABR		VBR		GBR	
1A4	PC9								
		UBR		ABR		VBR		GBR	
1A0	PC8								
		UBR		ABR		VBR		GBR	
19C	PC7								
		UBR		ABR		VBR		GBR	
198	PC6								
		UBR		ABR		VBR		GBR	
194	PC5								
		UBR		ABR		VBR		GBR	
190	PC4								
		UBR		ABR		VBR		GBR	
18C	PC3								
		UBR		ABR		VBR		GBR	
188	PC2								
		UBR		ABR		VBR		GBR	
184	PC1								
		UBR		ABR		VBR		GBR	
180	PC0								
		UBR		ABR		VBR		GBR	

	31	24	23	16	15	8	7	0
27C								
278								
274								
270								
26C								
268								
264								
260								
25C					HT23			
	NVPC		NVCI	UN			BASE	
258					HT22			
	NVPC		NVCI	UN			BASE	
254					HT21			
	NVPC		NVCI	UN			BASE	
250					HT20			
	NVPC		NVCI	UN			BASE	
24C					HT19			
	NVPC		NVCI	UN			BASE	
248					HT18			
	NVPC		NVCI	UN			BASE	
244					HT17			
	NVPC		NVCI	UN			BASE	
240					HT16			
	NVPC		NVCI	UN			BASE	
23C					HT15			
	NVPC		NVCI	UN			BASE	
238					HT14			
	NVPC		NVCI	UN			BASE	
234					HT13			
	NVPC		NVCI	UN			BASE	
230					HT12			
	NVPC		NVCI	UN			BASE	
22C					HT11			
	NVPC		NVCI	UN			BASE	
228					HT10			
	NVPC		NVCI	UN			BASE	
224					HT9			
	NVPC		NVCI	UN			BASE	
220					HT8			
	NVPC		NVCI	UN			BASE	
21C					HT7			
	NVPC		NVCI	UN			BASE	
218					HT6			
	NVPC		NVCI	UN			BASE	
214					HT5			
	NVPC		NVCI	UN			BASE	
210					HT4			
	NVPC		NVCI	UN			BASE	
20C					HT3			
	NVPC		NVCI	UN			BASE	
208					HT2			
	NVPC		NVCI	UN			BASE	
204					HT1			
	NVPC		NVCI	UN			BASE	
200					HT0			
	NVPC		NVCI	UN			BASE	

	31	24	23	16	15	8	7	0
2FC								
2F8								
2F4								
2F0								
2EC								
2E8								
2E4								
2E0								
2DC								
2D8								
2D4								
2D0								
2CC								
2C8								
2C4								
2C0								
2BC								
2B8								
2B4								
2B0								
2AC								
2A8								
2A4								
2A0								
29C								
298								
294								
290								
28C								
288								
284								
280								

	31	24	23	16	15	8	7	0
37C								
378								
374								
370								
36C								
368								
364								
360								
35C								
358								
354								
350								
34C								
348								
344								
340								
33C								
338								
334								
330								
32C								
328								
324								
320								
31C								
318								
314								
310								
30C								
308								
304								
300								

	31	24	23	16	15	8	7	0
3FC								
3F8								
3F4								
3F0								
3EC								
3E8								
3E4								
3E0								
3DC								
3D8								
3D4								
3D0								
3CC								
3C8								
3C4								
3C0								
3BC								
3B8								
3B4								
3B0								
3AC								
3A8								
3A4								
3A0								
39C								
398								
394								
390								
38C								
388								
384								
380								

4.3 レジスタ機能説明

μ PD98410 のレジスタについて説明します。□ は、リザーブ領域を示します。リザーブ領域のビットに関しては、書き込み時は“0”を設定し、読み出し時は“Don't care”として取り扱ってください。

4.3.1 コマンド・レジスタ (0000h)

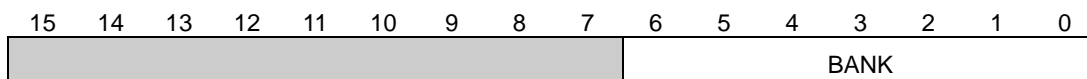
レジスタ名	アドレス	デフォルト	R/W
CMD	0000h	0001_0000_0xxx_x000	R/W または R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
REV								IU					CMD			

フィールド	ビット	R/W	機 能	デフォルト値
REV	bit [15:8]	R	μ PD98410 の版数を示します。上位ニブルがメジャー・バージョン、下位ニブルがマイナー・バージョンを示します。たとえば、“10h”は版数 1.0 を示します。書き込み時の値は意味を持ちません。	10h 固定
IU	bit [7]	R/W	μ PD98410 に対するテスト・モード・ビットであり、使用時は必ず“0”に設定してください。	0
CMD	bit [2:0]	R/W	μ PD98410 に対するコマンドを設定します。ステータス・レジスタ BY ビットがインアクティブになってから、各レジスタおよびヘッダ変換テーブル (HTT) に設定を行ったあと、CMD にスイッチ動作有効を設定してください。スイッチ動作停止に設定した場合は、処理中のセルを終了してから停止します。スイッチ動作停止後、CMD にスイッチ動作有効を設定するときは、ステータス・レジスタ BY ビットがインアクティブであることを確認後、設定してください。 000 : スイッチ動作停止 111 : スイッチ動作有効	000

4.3.2 メモリ・バンク・レジスタ (0004h)

レジスタ名	アドレス	デフォルト	R/W
BANK	0004h	xxxx_xxxx_x000_0000	R/W

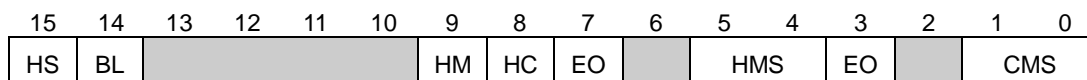


フィールド	ビット	R/W	機 能	デフォルト値
BANK	bit [6:0]	R/W	16 ビット分離型非同期バス・インタフェースの場合に、外部メモリをアクセスするためのバンクを設定します。詳細は、 3.11 マイクロプロセッサ・インタフェース を参照してください。 “00h” - “7Fh”: 外部メモリ・アクセスのための BANK 番号	00h

備考 32 ビット多重同期バス・インタフェースでは、このレジスタの設定値は意味を持ちません。

4.3.3 メモリ・モード・レジスタ (0006h)

レジスタ名	アドレス	デフォルト	R/W
MODE	0006h	!0xx_x00_0x00_0x00	R/W または R



注意 リセット後、CMD レジスタにコマンドを発行する前に、この MODE レジスタに設定を行ってください。CMD レジスタにコマンドを発行したあとは、次にリセットを行うまで書き込みを行わないでください。書き込みにより値を変えて動作を継続した場合、スイッチ動作を保証できません。

備考 デフォルトの!の部分の値は、HSEL 端子にロウ・レベルが入力されると0になり、ハイ・レベルが入力されると1になります。

フィールド	ビット	R/W	機 能	デフォルト値
HS	bit [15]	R	HSEL 端子のレベル、すなわちマイクロプロセッサとのインタフェース・モードを示します。書き込み時の値は意味を持ちません。 0: 32 ビット多重同期バス・インタフェース 1: 16 ビット分離型非同期バス・インタフェース	0 または 1 固定

フィールド	ビット	R/W	機能	デフォルト値
BL	bit [14]	R/W	<p>接続するマイクロプロセッサのバイト・アラインメントを設定します。リセット後の初期値はリトル・エンディアンになっているので、ビッグ・エンディアンのマイクロプロセッサがリセット後最初にこのレジスタにアクセスする場合は注意が必要です。</p> <p>0：リトル・エンディアン 1：ビッグ・エンディアン</p>	0
HM	bit [9]	R/W	<p>HEC エラーによるセル廃棄機能の有効/無効を設定します。</p> <p>0：HEC エラーによるセル廃棄機能有効（HEC エラー・セル廃棄） 1：HEC エラーによるセル廃棄機能無効（HEC エラー・セル通過）</p>	0
HC	bit [8]	R/W	<p>メモリ・チップ・セレクト端子がアクティブのときに、2つの外部メモリのうちどちらを選択するかを設定します。CMD レジスタにコマンドを発行する前には、“1”を設定して HTT & コントロール・メモリを選択しておきます。スイッチ動作有効な期間は、マイクロプロセッサがアクセスできる外部メモリは、ヘッダ変換テーブル（HTT）だけです。コントロール・メモリへのアクセスは無効です。</p> <p>0：セル・バッファ・メモリを選択 1：HTT & コントロール・メモリを選択</p>	0
EO	bit [7], [3]	R/W	<p>外部メモリのパリティ・チェックとして偶数パリティまたは奇数パリティを設定します。</p> <ul style="list-style-type: none"> ビット7：HTT & コントロール・メモリの設定 ビット3：セル・バッファ・メモリの設定 <p>0：奇数パリティ 1：偶数パリティ</p>	0
HMS	bit [5:4]	R/W	<p>HTT & コントロール・メモリのサイズを設定します（32 ビット/ワード）</p> <p>00：64K ワード 01：128K ワード 10：256K ワード 11：Reserved</p>	00
CMS	bit [1:0]	R/W	<p>セル・バッファ・メモリのサイズを設定します（88 ビット/ワード）</p> <p>00：64K ワード 01：128K ワード 10：256K ワード 11：Reserved</p>	00

4.3.4 割り込みマスク・レジスタ (0008h)

レジスタ名	アドレス	デフォルト	R/W
INTMASK	0008h	x000_00xx_0000_0xxx_xxxx_xxxx_xxx0_0000	R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PH	PC	IN	QE	CE			CB	CT	HE	HT	EX			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											CME	CHE	CHT	CEX	CRV

INTMASK レジスタは、該当するステータスがアクティブになることにより発生する割り込み要因をマスクするために設定します。ステータス・レジスタへの表示はマスクされません。設定は各ビット共通です。要因はステータス・レジスタを参照してください。

- 0 : 該当要因による割り込みをマスクする
- 1 : 該当要因による割り込みを要求する

備考 ステータス・レジスタ BY ビットがアクティブになっても、割り込み要求は発生しません。

4.3.5 ステータス・レジスタ (000Ch)

レジスタ名	アドレス	デフォルト	R/W
STATUS	000Ch	0000_00xx_0000_0xxx_xxxx_xxxx_xxx0_0000	R/W または R

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BY	PH	PC	IN	QE	CE			CB	CT	HE	HT	EX			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											CME	CHE	CHT	CEX	CRV

ステータス・レジスタは、該当要因がアクティブになるとセットされます。また、BY ビットを除く該当要因により、割り込みが発生します。読み出し時にはステータスを示します。書き込み時にはステータスのクリアを設定します。機能は各ビット共通です。

読み出し時

- 0：該当ステータスがインアクティブであることを示す
- 1：該当ステータスがアクティブであることを示す

書き込み時

- 0：該当ステータスを保持する
- 1：該当ステータスをクリアする

フィールド	ビット	R/W	機 能	デフォルト値
BY	bit [31]	R	<p>μPD98410 が以下に示す動作状態であることを示します。この要因が変化することによる割り込みは発生しません。また、このビットに対する書き込みは意味を持ちません。</p> <ul style="list-style-type: none"> • リセット時は、初期化動作中であることを示します。RESET_B 端子によりμPD98410 をリセットするとアクティブとなり、LSI 内部の初期化を終了するとインアクティブとなります。 • リセット時以外では、スイッチ動作が有効であることを示します。CMD レジスタによりμPD98410 を動作有効に設定するとアクティブとなり、動作停止に設定するとスイッチ動作を停止してからインアクティブとなります。 <p>注意 リセット時にこのビットがインアクティブになる前に、μPD98410 に対してステータス・レジスタのリード以外のアクセスを行わないでください。リセット時、このビットがアクティブな期間にステータス・レジスタ以外にアクセスを行った場合、初期化動作が正常に行われなことがありません。</p>	0

フィールド	ビット	R/W	機能	デフォルト値
PH	bit [30]	R	HTT & コントロール・メモリのパリティ・エラーを示します。	0
PC	bit [29]	R	セル・バッファ・メモリのパリティ・エラーを示します。	0
IN	bit [28]	R	受信側の入力 FIFO のオーバランを示します。	0
QE	bit [27]	R	キューを管理しているポインタの異常状態を示します。	0
CE	bit [26]	R	マルチキャスト数を管理しているキャスト・カウンタの異常状態を示します。	0
CB	bit [23]	R/W	セル・バッファ・メモリにデータを格納するための空きエリアが不足しているため、セル廃棄が起きたことを示します。	0
CT	bit [22]	R/W	HTT & コントロール・メモリのキューを管理しているコントロール・メモリ領域の空きエリア不足のため、セルが廃棄されたことを示します。これは、平均同報数が 2 を越えている場合に起こることがあります。	0
HE	bit [21]	R/W	受信セルの HEC エラーまたは CRC エラーを示します。 MODE レジスタの HM ビットが“1”の場合は、HEC エラー・セルは廃棄されないため、HEC エラー表示されません。	0
HT	bit [20]	R/W	ヘッダ変換エラーを示します。	0
EX	bit [19]	R/W	EXTHMS レジスタの各しきい値越え要因、サービス・クラス、出力論理ポート・ナンバの条件で、しきい値越えによるセル廃棄が起きたことを示します。	0
CME	bit [4]	R/W	CTMEMEMP がカウント・オーバしたことを示します。	0
CHE	bit [3]	R/W	CTERHEC がカウント・オーバしたことを示します。	0
CHT	bit [2]	R/W	CTERHT がカウント・オーバしたことを示します。	0
CEX	bit [1]	R/W	CTEXTH がカウント・オーバしたことを示します。	0
CRV	bit [0]	R/W	CTRCV がカウント・オーバしたことを示します。	0

4.3.6 しきい値越え廃棄表示マスク・レジスタ (0010h)

レジスタ名	アドレス	デフォルト	R/W
EXTHMS	0010h	0000_000x_0xx0_0x00_x0x0_0000_xxxx_xxxx	R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OM	OE	ON	OC	TM	TE	TN		MM			OF	QM		QN	QC
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UB		AB	NV	RM	RV	CB								

EXTHMS レジスタは、しきい値を越えたことを EXTH レジスタへ反映することをマスクするために設定します。ステータス・レジスタの EX ビットおよび割り込み要因への反映は、EXTHMS レジスタに該当しきい値要因と該当クラスの条件を設定することにより行われます。EXTHMS レジスタの値にかかわらず、しきい値を越えたことによるセルの廃棄は行われます。設定は各ビット共通です。要因は EXTH レジスタを参照してください。

0：該当要因をステータスに反映しない

1：該当要因をステータスに反映する

4.3.7 しきい値越え廃棄表示レジスタ (0014h)

レジスタ名	アドレス	デフォルト	R/W
EXTH	0014h	0000_000x_0xx0_0x00_x0x0_0000_xxx0_00	R

00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OM	OE	ON	OC	TM	TE	TN		MM			OF	QM		QN	QC
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UB		AB	NV	RM	RV	CB					OPN			

EXTH レジスタは、ステータス・レジスタの EX ビットがクリアされてから、最初にセル廃棄を引き起こしたしきい値、クラスおよび出力ポートを示します。セル廃棄を引き起こしたしきい値は、複数示されることがあります。しきい値越え（キュー長 しきい値）によりセルの廃棄が起これると、該当するビットをセットすると同時に、ステータス・レジスタの EX ビットをセットします。セル廃棄要因が CTENTH レジスタの条件を満たすとき、CTEXTH レジスタをインクリメントします。また、EX ビットがセット

されている間、このレジスタは更新されずに値を保持します。マイクロプロセッサが EX ビットをクリアすると、再びこのレジスタの更新が有効となります。EX ビットがクリアされた状態では、EXTH レジスタは正しい値を示していません。

EXTHMS レジスタによってマスクされているクラスおよびしきい値でセル廃棄が起きた場合、EXTH レジスタには反映されません。また、ステータス・レジスタの EX ビットもセットされません。

bit [31-25, 23, 19, 17, 16] OM, OE, ON, OC, TM, TE, TN, MM, QM, QN, QC

- 0 : 該当要因が最初にセル廃棄を起こした要因ではないことを示す
- 1 : 該当要因が最初にセル廃棄を起こした要因であることを示す

bit [14, 12-8] UB, AB, NV, RM, RV, CB

- 0 : 該当クラスが最初にセル廃棄を起こした要因ではないことを示す
- 1 : 該当クラスが最初にセル廃棄を起こした要因であることを示す

フィールド	ビット	R/W	機 能	デフォルト値
OM	bit [31]	R	出力キューが OQthCBR, OQthRVR, OQthRM, OQthNVR, OQthABR, OQthUBR しきい値を越えたことにより、セルが廃棄されたことを示します。	0
OE	bit [30]	R	OE, TE ビットは、出力キューが OQthAEP, OQthUEP しきい値を、または UC (Used Cell) カウンタが UCthAEP, UCthUEP しきい値を越えたことにより、EPD 設定されたチャンネルの packets が EPD 制御により廃棄されたことを同時に示します。OE, TE ビットの機能的区別はありません。	0
TE	bit [26]	R		0
ON	bit [29]	R	出力キューが OQthAEP, OQthUEP しきい値を越えたことにより、EPD 設定されていないチャンネルのセルが廃棄されたことを示します。	0
OC	bit [28]	R	出力キューが OQthCCL, OQthRCL, OQthACL, OQthUCL しきい値を越えたことにより、CLP 設定されたセルが廃棄されたことを示します。	0
TM	bit [27]	R	UC (Used Cell) カウンタが UCthCBR, UCthRVR, UCthRM, UCthNVR, UCthABR, UCthUBR しきい値を越えたことにより、セル廃棄が起きたことを示します。	0
TN	bit [25]	R	UC (Used Cell) カウンタが UCthAEP, UCthUEP しきい値を越えたことにより、EPD 設定されていないチャンネルのセルが廃棄されたことを示します。	0
MM	bit [23]	R	マルチキャスト・キューが MQthCRV, MQthRNV, MQthABR, MQthUBR しきい値を越えたことにより、マルチキャストのセルが廃棄されたことを示します。	0

フィールド	ビット	R/W	機 能	デフォルト値
OF	bit [20]	R	キューイング時、またはマルチキャストのリキューイング時に出力キューが OQthRCI, OQthACI, OQthUCI しきい値を越えたことにより、EFCI マーキングされたことを示します。 備考 このビットはテスト用に使用しています。将来の変更に より削除する場合がありますので、使用しないでください。	0
QM	bit [19]	R	マルチキャストのリキューイング時に、出力キューが OQthCBR, OQthRVR, OQthRM, OQthNVR, OQthABR, OQthUBR しきい値を、または UC (Used Cell) カウンタが UCthCBR, UCthRVR, UCthRM, UCthNVR, UCthABR, UCthUBR しきい値を越えたことにより、セル廃棄が起きたことを示します。	0
QN	bit [17]	R	マルチキャストのリキューイング時に、出力キューが OQthAEP, OQthUEP しきい値を、または UC (Used Cell) カウンタが UCthAEP, UCthUEP しきい値を越えたことにより、EPD 設定されていないチャンネルのセルが廃棄されたことを示します。	0
QC	bit [16]	R	マルチキャストのリキューイング時に、出力キューが OQthCCL, OQthRCL, OQthACL, OQthUCL しきい値を越えたことにより、CLP 設定されたセルが廃棄されたことを示します。	0
UB	bit [14]	R	各しきい値を越えたことにより、UBR クラスのセルが廃棄されたことを示します。	0
AB	bit [12]	R	各しきい値を越えたことにより、ABR クラスのセルが廃棄されたことを示します。	0
NV	bit [11]	R	各しきい値を越えたことにより、nrtVBR クラスのセルが廃棄されたことを示します。	0
RM	bit [10]	R	各しきい値を越えたことにより、RM セルが廃棄されたことを示します。	0
RV	bit [9]	R	各しきい値を越えたことにより、rtVBR クラスのセルが廃棄されたことを示します。	0
CB	bit [8]	R	各しきい値を越えたことにより、CBR クラスのセルが廃棄されたことを示します。	0
OPN	bit [4:0]	R	各しきい値を越えたことにより、セルが廃棄された論理出力ポート番号を示します。 00h-17h : 論理出力ポート 0-23 を示す 1Fh : MM, QM, QN, QC 要因の場合	00h

4.3.8 ヘッド変換エラー廃棄表示レジスタ (0018h)

レジスタ名	アドレス	デフォルト	R/W
ERHT	0018h	0000_00xx_xxx1_1111	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IH	IC	IIP	IOP	IM	IR						IPN				

ERHT レジスタは、ステータス・レジスタの HT ビットがクリアされてから、最初にセル廃棄を引き起こしたヘッド変換エラーおよび入力ポートを示します。セルの廃棄が起こると該当するビットをセットすると同時に、ステータス・レジスタの HT ビットをセットします。また、CTENHT レジスタの条件を満たすとき、CTERHT レジスタをインクリメントします。HT ビットがセットされているあいだ、ERHT レジスタは更新されずに値を保持します。マイクロプロセッサが HT ビットをクリアすると、再び ERHT レジスタの更新が有効となります。HT ビットがクリアされた状態では、ERHT レジスタは正しい値を示していません。

bit [15, 14, 12, 11, 10] IH, IC, IOP, IM, IR

0：該当要因が最初にセル廃棄を起こした要因ではないことを示す

1：該当要因が最初にセル廃棄を起こした要因であることを示す

フィールド	ビット	R/W	機能	デフォルト値
IH	bit [15]	R	HT レジスタに設定された範囲を越えて、 μ PD98410 が HTT をアクセスしようとしたことにより、セル廃棄が起きたことを示します。これは、HT レジスタに設定してある有効ビット数よりも受信セルの VPI, VCI が大きい場合に起こります。	0
IC	bit [14]	R	μ PD98410 が HTT をアクセスした結果、該当チャンネルがディスエーブル (CEN= "0") に設定されていたことにより、セル廃棄が起きたことを示します。これは、コネクションが張られていない VPI, VCI を持つセルを受信した場合に起こり得ます。	0
IIP	bit [13]	R	μ PD98410 のテスト用に使用しますので使用しないでください。	0
IOP	bit [12]	R	μ PD98410 が HTT をアクセスした結果、得られた出力論理ポートがディスエーブル (PT レジスタ EN ビット= "0") に設定されていることにより、セル廃棄が起きたことを示します。これは、コネクションが張られていない VPI, VCI を持つセルを受信した場合に起こり得ます。	0
IM	bit [11]	R	μ PD98410 が HTT をアクセスした結果、マルチキャスト (CM= "1") に設定されたチャンネルでありながら、マルチキャスト・ビット・マップ (MB) がゼロであること、および MB により得られた出力論理ポートがディスエーブル (PT レジスタ EN ビット= "0") に設定されていることにより、セル廃棄が起きたことを示します。これは、コネクションが張られていない VPI, VCI を持つセルを受信した場合に起こり得ます。	0

フィールド	ビット	R/W	機 能	デフォルト値
IR	bit [10]	R	<p>μPD98410 が HTT をアクセスした結果、ディスエーブル (CEN= “0”) に設定されてるチャンネルに対して RM セル・マージを行おうとした、またはシングルキャスト (CM= “0”) に設定されているチャンネルに対して RM セル・マージを行おうとしたことにより、セル廃棄が起きたことを示します。これは、コネクションが張られていない VPI, VCI を持つセルを受信した場合に起こり得ます。</p>	0
IPN	bit [4:0]	R	<p>ヘッダ変換エラー要因となったセルを受信した入力論理ポート番号を示します。IM 要因は、入力論理ポート番号として “1Fh” を示します。</p> <p>00h-17h : 論理入力ポート 0-23 を示す 1Fh : IM 要因の場合</p>	1Fh

4.3.9 HEC/CRC エラー廃棄表示レジスタ (001Ah)

レジスタ名	アドレス	デフォルト	R/W
ERHEC	001Ah	00xx_xxxx_xxx1_1111	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HEC	CRC										IPN				

ERHEC レジスタは、ステータス・レジスタの HE ビットがクリアされてから、最初にセル廃棄を引き起こした HEC エラーまたは CRC-10 エラーおよび入力ポートを示します。セルの廃棄が起こると、該当するビットをセットすると同時に、ステータス・レジスタの HE ビットをセットします。また、CTENHEC レジスタの条件を満たすとき、CTERHEC レジスタをインクリメントします。HE ビットがセットされているあいだ、このレジスタは更新されずに値を保持します。マイクロプロセッサが HE ビットをクリアすると、再び ERHEC レジスタの更新が有効となります。HE ビットがクリアされた状態では、このレジスタは正しい値を示していません。

bit [15:14] HEC, CRC

- 0 : 該当要因が最初にセル廃棄を起こした要因ではないことを示す
- 1 : 該当要因が最初にセル廃棄を起こした要因であることを示す

フィールド	ビット	R/W	機能	デフォルト値
HEC	bit [15]	R	受信セルのヘッダ領域のチェックを行った結果、HEC エラーにより、セル廃棄が起きたことを示します。MODE レジスタの HM ビットが "1" に設定されている場合は、HEC エラー・セルは廃棄されないため、表示されません。	0
CRC	bit [14]	R	受信セルが PTI="110" & PID="01h" の RM セルである場合にペイロード領域のチェックを行った結果、CRC-10 エラーによりセル廃棄が起きたことを示します。	0
IPN	bit [4:0]	R	HEC エラーまたは CRC-10 エラーとなったセルを受信した論理入力ポート番号を示します。 00h-17h : 論理入力ポート 0-23 を示す	1Fh

4.3.10 入力ポート・オーバラン・エラー廃棄表示レジスタ (001Ch)

レジスタ名	アドレス	デフォルト	R/W
ERINOV	001Ch	xxxx_xxxx_xxxx_0000	R

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												UPN3	UPN2	UPN1	UPN0

ERINOV レジスタは、セル廃棄を引き起こした UTOPIA 受信インタフェースのポート番号を示します。セルの廃棄は、3.1 UTOPIA インタフェースに示した UTOPIA クロックとシステム・クロック (SWCLK) の関係を満たしていない場合に、 μ PD98410 内部の受信 FIFO がオーバランを起こすために発生します。セル廃棄が起こると、該当するビットをセットすると同時に、ステータス・レジスタの IN ビットをセットします。IN ビットがセットされているあいだでも、このレジスタは更新されます。

この要因によりセル廃棄が起きた場合は、廃棄セル数のカウントは行いません。この要因が起きる場合は、クロックを再検討する必要があります。

フィールド	ビット	R/W	機能	デフォルト値
UPN3-UPN0	bit [3:0]	R	セル廃棄を引き起こした UTOPIA 受信インタフェースのポート番号をビット・マップで示します。 0: 該当 UTOPIA インタフェースはセル廃棄を起こしていないことを示す 1: 該当 UTOPIA インタフェースがセル廃棄を起こした要因であることを示す	0h

4.3.11 しきい値越え廃棄セル・カウント・イネーブル・レジスタ (0020h)

レジスタ名	アドレス	デフォルト	R/W
CTENTH	0020h	0000_000x_0xxx_0x00_x0x0_0000_00x0_0000	R/W

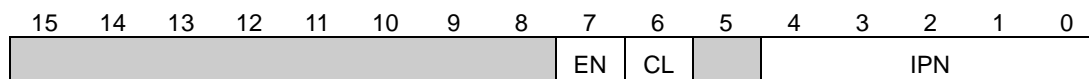
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OM	OE	ON	OC	TM	TE	TN		MM				QM		QN	QC
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UB		AB	NV	RM	RV	CB	EN	CL						OPN

CTENTH レジスタには、しきい値を越えたことによるセル廃棄をカウント対象とする条件を設定します。カウントした値は CTEXTH レジスタに示されます。該当のしきい値、該当クラス、該当出力ポートの条件を与え、EN ビットでカウントを許可します。

フィールド	ビット	R/W	機能	デフォルト値
OM, OE, ON, OC, TM, TE, TN, MM, QM, QN, QC	bit [31:25, 23, 19, 17, 16]	R/W	セル廃棄をカウント対象とするしきい値を設定します。各ビットとしきい値の対応は、EXTH レジスタを参照してください。 OE, TE ビットは、どちらかのビットを設定すると OE, TE 要因のカウントを行います。 0: 該当しきい値によるセル廃棄をカウントしない 1: 該当しきい値によるセル廃棄をカウントする	0
UB, AB, NV, RM, RV, CB	bit [14, 12:8]	R/W	しきい値によるセル廃棄をカウント対象とするクラスを設定します。各ビットとしきい値の対応は、EXTH レジスタを参照してください。 0: 該当クラスのセル廃棄をカウントしない 1: 該当クラスのセル廃棄をカウントする	0
EN, CL	bit [7:6]	R/W	しきい値によるセル廃棄のカウントを許可/禁止します。 0x: しきい値によるセル廃棄をカウントしない 10: しきい値によるセル廃棄をカウントする 11: CTEXTH をクリアしてから、しきい値によるセル廃棄をカウントする。ただし、EN ビットを“0”にしてから EN=“1”, CL=“1” に設定してください	00
OPN	bit [4:0]	R/W	しきい値によるセル廃棄をカウント対象とする出力ポートを設定します。MM, QM, QN, QC 要因だけは、OPN に“1Fh”を設定した場合にのみカウントします。 00h-17h: 該当する論理出力ポート 0-23 のセル廃棄をカウントする 1Fh : 全論理出力ポートのセル廃棄をカウントする	00h

4.3.12 ヘッダ変換エラー廃棄セル・カウント・イネーブル・レジスタ (0024h)

レジスタ名	アドレス	デフォルト	R/W
CTENHT	0024h	xxxx_xxxx_00x0_0000	R/W



CTENHT レジスタには、ヘッダ変換エラーによるセル廃棄をカウント対象とする論理入力ポートを設定します。カウントした値は CTERHT レジスタに示されます。IPN で条件を与え、EN ビットでカウントを許可します。

フィールド	ビット	R/W	機能	デフォルト値
EN, CL	bit [7:6]	R/W	ヘッダ変換エラーによるセル廃棄のカウントを許可/禁止します。 0x: ヘッダ変換エラーによるセル廃棄をカウントしない 10: ヘッダ変換エラーによるセル廃棄をカウントする 11: CTERHT をクリアしてから、ヘッダ変換エラーによるセル廃棄をカウントする。ただし、EN ビットを“0”にしてから EN=“1”, CL=“1” に設定してください	00
IPN	bit [4:0]	R/W	ヘッダ変換エラーによるセル廃棄をカウント対象とする論理入力ポートを設定します。IM 要因によるセル廃棄(マルチキャスト・ビット・マップ (MB) に起因するセル廃棄)だけは、IPN に“1Fh”を設定した場合にのみカウントします。 00h-17h: 該当する論理入力ポート 0-23 について、IM 要因以外のヘッダ変換エラーによるセル廃棄をカウントする 1Fh: 全論理入力ポートのヘッダ変換エラーによるセル廃棄をカウントする	00h

4.3.13 HEC/CRC エラー廃棄セル・カウント・イネーブル・レジスタ (0026h)

レジスタ名	アドレス	デフォルト	R/W
CTENHEC	0026h	xxxx_xxxx_00x0_0000	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								EN	CL		IPN				

CTENHEC レジスタには、HEC/CRC エラーによるセル廃棄をカウント対象とする論理入力ポートを設定します。カウントした値は CTERHEC レジスタに示されます。IPN で条件を与え、EN ビットでカウントを許可します。MODE レジスタの HM ビットが“1”に設定されている場合は、HEC エラー・セルは廃棄されないため、カウントされません。

フィールド	ビット	R/W	機能	デフォルト値
EN, CL	bit [7:6]	R/W	HEC / CRC エラーによるセル廃棄のカウントを許可 / 禁止します。 0x : HEC/CRC エラーによるセル廃棄をカウントしない 10 : HEC/CRC エラーによるセル廃棄をカウントする 11 : CTERHT をクリアしてから、HEC/CRC エラーによるセル廃棄をカウントする。ただし、EN ビットを“0”にしてから EN=“1”, CL=“1”に設定してください	00
IPN	bit [4:0]	R/W	HEC/CRC エラーによるセル廃棄をカウント対象とする論理入力ポートを設定します。 00h-17h : 該当する論理入力ポート 0-23 のセル廃棄をカウントする 1Fh : 全論理入力ポートのセル廃棄をカウントする	00h

4.3.14 コントロール/セル・バッファ・メモリ不足廃棄セル・カウント・イネーブル・レジスタ (0028h)

レジスタ名	アドレス	デフォルト	R/W
CTENMEM	0028h	00xx_xxxx_00xx_xxxx	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CT	CB							EN	CL						

CTENMEM レジスタには、HTT&コントロール・メモリのコントロール領域の空き不足、またはセル・バッファ・メモリの空き領域不足によるセル廃棄をカウント対象とするかどうかを設定します。カウントした値は CTMEMEMP レジスタに示されます。EN ビットでカウントを許可します。

フィールド	ビット	R/W	機能	デフォルト値
CT	bit [15]	R/W	HTT&コントロール・メモリのコントロール領域の空き不足によるセル廃棄をカウント対象とするかどうかを設定します。 0: コントロール・メモリ空き領域不足によるセル廃棄をカウント対象としない 1: コントロール・メモリ空き領域不足によるセル廃棄をカウント対象とする	0
CB	bit [14]	R/W	セル・バッファ・メモリ空き領域不足によるセル廃棄をカウント対象とするかどうかを設定します。 0: セル・バッファ・メモリ空き領域不足によるセル廃棄をカウント対象としない 1: セル・バッファ・メモリ空き領域不足によるセル廃棄をカウント対象とする	0
EN, CL	bit [7:6]	R/W	コントロール・メモリ空き領域不足、またはセル・バッファ・メモリ空き領域不足によるセル廃棄のカウントを許可/禁止します。 0x: コントロール・メモリ空き領域不足、またはセル・バッファ・メモリ空き領域不足によるセル廃棄をカウントしない 10: コントロール・メモリ空き領域不足、またはセル・バッファ・メモリ空き領域不足によるセル廃棄をカウントする 11: CTMEMEMP をクリアしてから、コントロール・メモリ空き領域不足、またはセル・バッファ・メモリ空き領域不足によるセル廃棄をカウントする。ただし、EN ビットを“0”にしてから EN=“1”, CL=“1” に設定してください	00

4.3.15 受信セル・カウント・イネーブル・レジスタ (002Ah)

レジスタ名	アドレス	デフォルト	R/W
CTENRCV	002Ah	xxxx_xxxx_00xx_0000	R/W

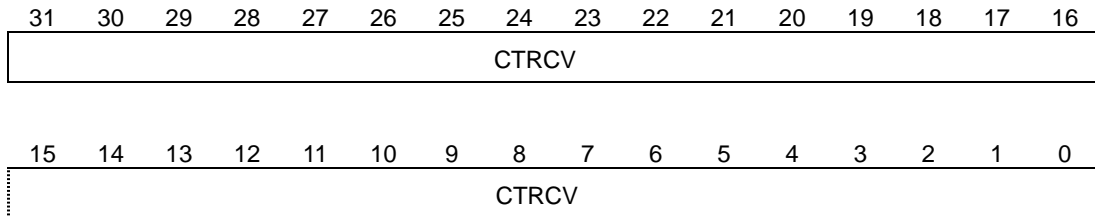
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
								EN	CL				UPN3	UPN2	UPN1	UPN0

CTENRCV レジスタは、各 UTOPIA インタフェース・ポートごとに受信されたセル数をカウント対象とするかどうかを設定します。カウントした値はCTRCV レジスタに示されます。EN ビットでカウントを許可します。

フィールド	ビット	R/W	機 能	デフォルト値
EN, CL	bit [7:6]	R/W	受信されたセル数のカウントを許可 / 禁止します。 0x : 受信されたセル数をカウントしない 10 : 受信されたセル数をカウントする 11 : CTRCV をクリアしてから、受信されたセル数をカウントする。ただし、EN ビットを“0”にしてから EN=“1”, CL=“1” に設定してください	00
UPN3-UPN0	bit [3:0]	R/W	受信されたセル数をカウント対象とする UTOPIA インタフェース・ポート番号をビットマップで設定します。 0 : 該当 UTOPIA インタフェース・ポートの受信セル数をカウント対象としない 1 : 該当 UTOPIA インタフェース・ポートの受信セル数をカウント対象とする	0h

4.3.16 受信セル・カウント・レジスタ (002Ch)

レジスタ名	アドレス	デフォルト	R/W
CTRCV	002Ch	0000_0000_0000_0000_0000_0000_0000_0000	R/W



CTRCV レジスタは、CTENRCV レジスタに設定された条件で受信されたセル数を示します。CTENRCV レジスタの EN=“1”の状態で行います。μPD98410 に対するリセット信号および CTENRCV レジスタが CL=“1”, EN=“1”に設定された場合にクリアされます。

カウント値が“FFFFFFFFh”の状態セルを受信すると、ステータス・レジスタの CRV ビットをセットし、マイクロプロセッサに対して割り込みを要求すると同時に、カウント値を“00000000h”にしてカウントを継続します。INTMASK レジスタの CRV ビット=“0”の場合は、マイクロプロセッサに対して割り込みを要求しません。

フィールド	ビット	R/W	機能	デフォルト値
CTRCV	bit [31:0]	R/W	00000000h - FFFFFFFFh : セル受信数を示す	0000_0000h

備考 CTRCV レジスタは、カウント対象と設定された UTOPIA インタフェース・ポートの合計セル受信数を示します。

たとえば、CTENRCV レジスタに、EN=1, CL=0 で UPN0=UPN2=1, UPN1=UPN3=0 と設定した場合、CTRCV レジスタは、UTOPIA0 および UTOPIA2 に接続されたすべての PHY から受信したセル数の合計値を表示します。

4.3.17 しきい値越え廃棄セル・カウント・レジスタ (0030h)

レジスタ名	アドレス	デフォルト	R/W
CTEXTH	0030h	0000_0000_0000_0000_0000_0000_0000_0000	R/W



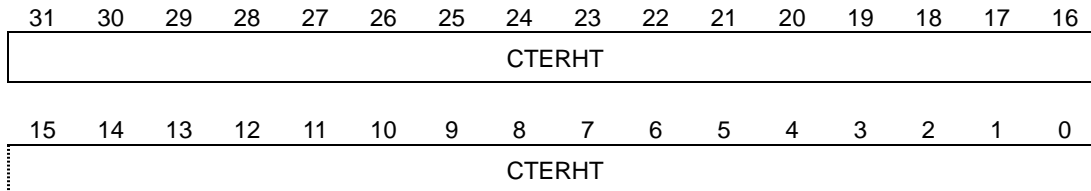
CTEXTH レジスタは、CTENTH レジスタに設定された条件で廃棄されたセル数を示します。CTENTH レジスタの EN=“1”の状態ではカウントを行います。μPD98410 に対するリセット信号および CTENTH レジスタが CL=“1”, EN=“1”に設定された場合にクリアされます。

カウント値が“FFFFFFFFh”の状態ではセルが廃棄されると、ステータス・レジスタの CEX ビットをセットし、マイクロプロセッサに対して割り込みを要求すると同時に、カウント値を“00000000h”にしてカウントを継続します。INTMASK レジスタの CEX ビット=“0”の場合は、マイクロプロセッサに対して割り込みを要求しません。

フィールド	ビット	R/W	機能	デフォルト値
CTEXTH	bit[31:0]	R/W	00000000h - FFFFFFFFh : セル廃棄数を示す	0000_0000h

4.3.18 ヘッド変換エラー廃棄セル・カウント・レジスタ (0034h)

レジスタ名	アドレス	デフォルト	R/W
CTERHT	0034h	0000_0000_0000_0000_0000_0000_0000_0000	R/W



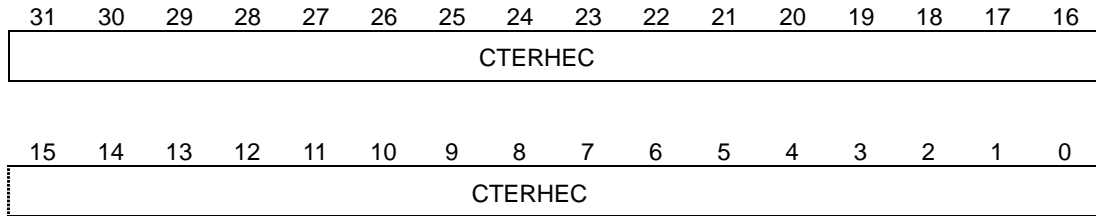
CTERHT レジスタは、CTENHT レジスタに設定された条件で廃棄されたセル数を示します。CTENHT レジスタの EN= “ 1 ” の状態でカウントを行います。μPD98410 に対するリセット信号および CTENHT レジスタが CL= “ 1 ”, EN= “ 1 ” に設定された場合にクリアされます。

カウント値が “ FFFFFFFFh ” の状態でセルが廃棄されると、ステータス・レジスタの CHT ビットをセットし、マイクロプロセッサに対して割り込みを要求すると同時に、カウント値を “ 00000000h ” にしてカウントを継続します。INTMASK レジスタの CHT ビット= “ 0 ” の場合は、マイクロプロセッサに対して割り込みを要求しません。

フィールド	ビット	R/W	機能	デフォルト値
CTERHT	bit[31:0]	R/W	00000000h - FFFFFFFFh : セル廃棄数を示す	0000_0000

4.3.19 HEC/CRC エラー廃棄セル・カウント・レジスタ (0038h)

レジスタ名	アドレス	デフォルト	R/W
CTERHEC	0038h	0000_0000_0000_0000_0000_0000_0000_0000	R/W



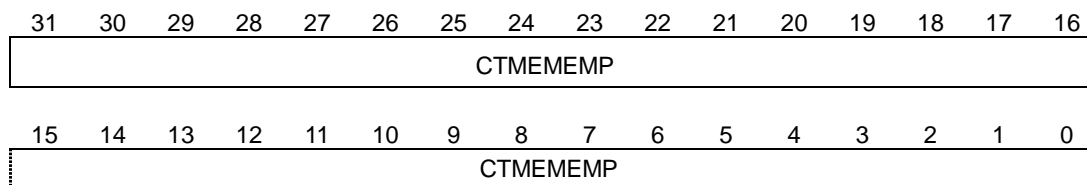
CTERHEC レジスタは、CTENHEC レジスタに設定された条件で廃棄されたセル数を示します。CTENHEC レジスタの EN=“1”の状態で行います。μPD98410 に対するリセット信号および CTENHEC レジスタが CL=“1”, EN=“1”に設定された場合にクリアされます。また、MODE レジスタの HM ビットが“1”に設定されている場合は、HEC エラー・セルは廃棄されないためカウントは行いません。

カウント値が“FFFFFFFFh”の状態ではセルが廃棄されると、ステータス・レジスタの CHE ビットをセットし、マイクロプロセッサに対して割り込みを要求すると同時に、カウント値を“00000000h”にしてカウントを継続します。INTMASK レジスタの CHE ビット=“0”の場合は、マイクロプロセッサに対して割り込みを要求しません。

フィールド	ビット	R/W	機能	デフォルト値
CTERHEC	bit [31:0]	R/W	00000000h - FFFFFFFFh : セル廃棄数を示す	0000_0000h

4.3.20 コントロール/セル・バッファ・メモリ不足廃棄セル・カウント・レジスタ (003Ch)

レジスタ名	アドレス	デフォルト	R/W
CTMEMEMP	003Ch	0000_0000_0000_0000_0000_0000_0000	R/W



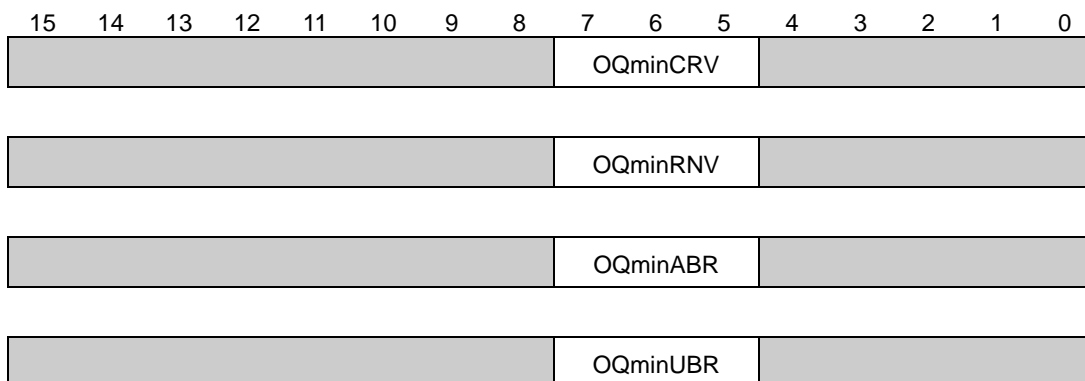
CTMEMEMP レジスタは、コントロール・メモリ、またはセル・バッファ・メモリの空き領域不足で廃棄されたセル数を示します。CTENMEM レジスタの CT ビットが“1”に設定されている場合はコントロール・メモリ空き領域不足によるセル廃棄カウントを対象とし、CTENMEM レジスタの CB ビットが“1”に設定されている場合はセル・バッファ・メモリ空き領域不足によるセル廃棄カウントを対象とします。CTENMEM レジスタの EN=“1”の状態で行います。μPD98410 に対するリセット信号および CTENMEM レジスタが CL=“1”, EN=“1”に設定された場合にクリアされます。

カウント値が“FFFFFFFFh”の状態ではセルが廃棄されると、ステータス・レジスタの CME ビットをセットし、マイクロプロセッサに対して割り込みを要求すると同時に、カウント値を“00000000h”にしてカウントを継続します。INTMASK レジスタの CME ビット=“0”の場合は、マイクロプロセッサに対して割り込み要求しません。

フィールド	ビット	R/W	機能	デフォルト値
CTMEMEMP	bit [31:0]	R/W	00000000h - FFFFFFFFh : セル廃棄数を示す	0000_0000h

4.3.21 出力キュー最小しきい値レジスタ (0040h, 0044h, 0048h, 004Ch)

レジスタ名	アドレス	デフォルト	R/W
OQminCRV	0040h	xxxx_xxxx_000x_xxxx	R/W
OQminRNV	0044h	xxxx_xxxx_000x_xxxx	R/W
OQminABR	0048h	xxxx_xxxx_000x_xxxx	R/W
OQminUBR	004Ch	xxxx_xxxx_000x_xxxx	R/W



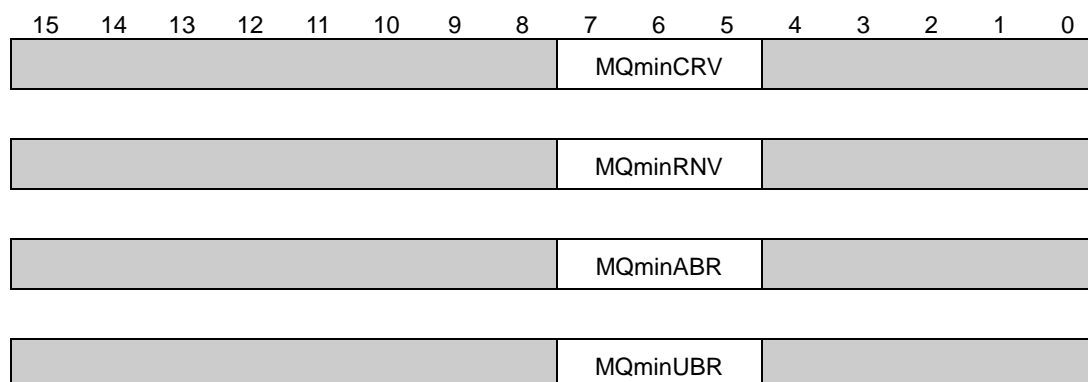
これらのレジスタには、各論理出力ポートごとに各クラスの最低保証セル数を設定します。

必ず CMD レジスタにスイッチ動作有効の設定を行う前に、最小しきい値を設定してください。いったんスイッチ動作を有効にしたあとは、再設定しないでください。再設定を行った場合は、キュー管理が保証できなくなり誤動作します。

フィールド	ビット	R/W	機能	デフォルト値
OQminCRV	bit [7:5]	R/W	000 - 111 : CBR+rtVBR クラスの最低保証セル数 (32セル単位 : 0 / 32 / 64 / ... / 224)	000 (0000h)
OQminRNV	bit [7:5]	R/W	000 - 111 : RM+nrtVBR クラス最低保証セル数 (32セル単位 : 0 / 32 / 64 / ... / 224)	000 (0000h)
OQminABR	bit [7:5]	R/W	000 - 111 : ABR クラスの最低保証セル数 (32セル単位 : 0 / 32 / 64 / ... / 224)	000 (0000h)
OQminUBR	bit [7:5]	R/W	000 - 111 : UBR クラスの最低保証セル数 (32セル単位 : 0 / 32 / 64 / ... / 224)	000 (0000h)

4.3.22 マルチキャスト・キュー最小しきい値レジスタ (0050h, 0054h, 0058h, 005Ch)

レジスタ名	アドレス	デフォルト	R/W
MQminCRV	0050h	xxxx_xxxx_000x_xxxx	R/W
MQminRNV	0054h	xxxx_xxxx_000x_xxxx	R/W
MQminABR	0058h	xxxx_xxxx_000x_xxxx	R/W
MQminUBR	005Ch	xxxx_xxxx_000x_xxxx	R/W



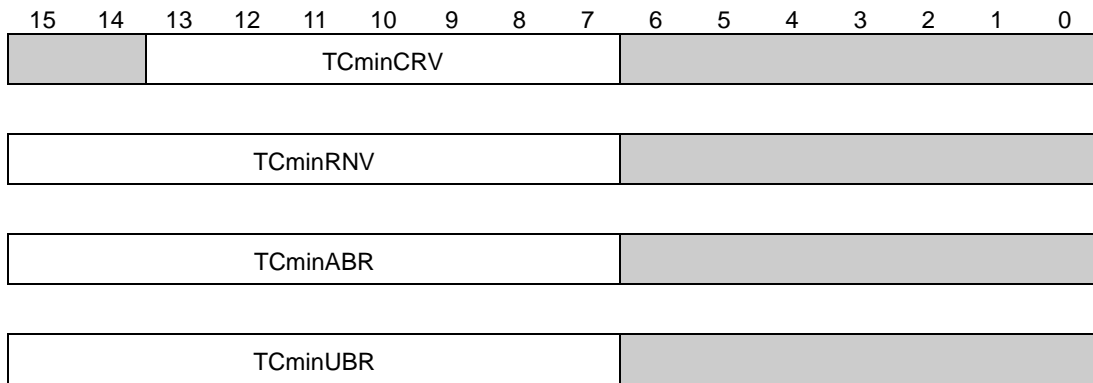
これらのレジスタには、マルチキャスト・キューに各クラスの最低保証セル数を設定します。

CMD レジスタにスイッチ動作有効の設定を行う前に、必ず最小しきい値を設定してください。いったんスイッチ動作を有効にしたあとは、再設定しないでください。再設定を行った場合は、キュー管理が保証できなくなり誤動作します。

フィールド	ビット	R/W	機能	デフォルト値
MQminCRV	bit [7:5]	R/W	000 - 111 : CBR+rtVBR クラスの最低保証セル数 (32 セル単位 : 0 / 32 / 64 / ... / 224)	000 (0000h)
MQminRNV	bit [7:5]	R/W	000 - 111 : RM+nrtVBR クラスの最低保証セル数 (32 セル単位 : 0 / 32 / 64 / ... / 224)	000 (0000h)
MQminABR	bit [7:5]	R/W	000 - 111 : ABR クラスの最低保証セル数 (32 セル単位 : 0 / 32 / 64 / ... / 224)	000 (0000h)
MQminUBR	bit [7:5]	R/W	000 - 111 : UBR クラスの最低保証セル数 (32 セル単位 : 0 / 32 / 64 / ... / 224)	000 (0000h)

4.3.23 TC (Total Cell) カウンタ最小しきい値レジスタ (0060h, 0064h, 0068h, 006Ch)

レジスタ名	アドレス	デフォルト	R/W
TCminCRV	0060h	xx00_0000_0xxx_xxxx	R/W
TCminRNV	0064h	0000_0000_0xxx_xxxx	R/W
TCminABR	0068h	0000_0000_0xxx_xxxx	R/W
TCminUBR	006Ch	0000_0000_0xxx_xxxx	R/W



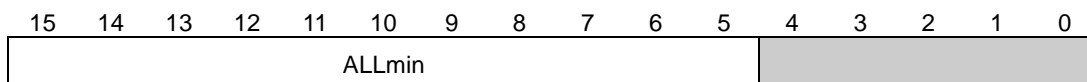
これらのレジスタには、クラス別に各クラスの最低保証セル数を設定します。各論理出力ポートの最低保証セル数を越えてから、クラス別の最低保証セル数としてカウントされます。

CMD レジスタにスイッチ動作有効の設定を行う前に、必ず最小しきい値を設定してください。いったんスイッチ動作を有効にしたあとは、再設定しないでください。再設定を行った場合は、キュー管理が保証できなくなり誤動作します。

フィールド	ビット	R/W	機能	デフォルト値
TCminCRV	bit [13:7]	R/W	00_0000_0 - 11_1111_1 : CBR+rtVBR クラスの最低保証セル数 (128 セル単位 : 0 / 128 / 256 / ... / 16256)	00_0000_0 (0000h)
TCminRNV	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : RM+nrtVBR クラスの最低保証セル数 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)
TCminABR	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : ABR クラスの最低保証セル数 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)
TCminUBR	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : UBR クラスの最低保証セル数 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)

4.3.24 総セル数最小しきい値レジスタ (007Eh)

レジスタ名	アドレス	デフォルト	R/W
ALLmin	007Eh	0000_0000_000x_xxxx	R/W



ALLmin レジスタには、各最低保証セル数の合計を設定します。CMD レジスタにスイッチ動作有効の設定を行う前に、必ず次の式で計算した値を設定してください。いったんスイッチ動作を有効にしたあとは ALLmin レジスタは再設定しないでください。再設定を行った場合は、キュー管理が保証できなくなり誤動作します。

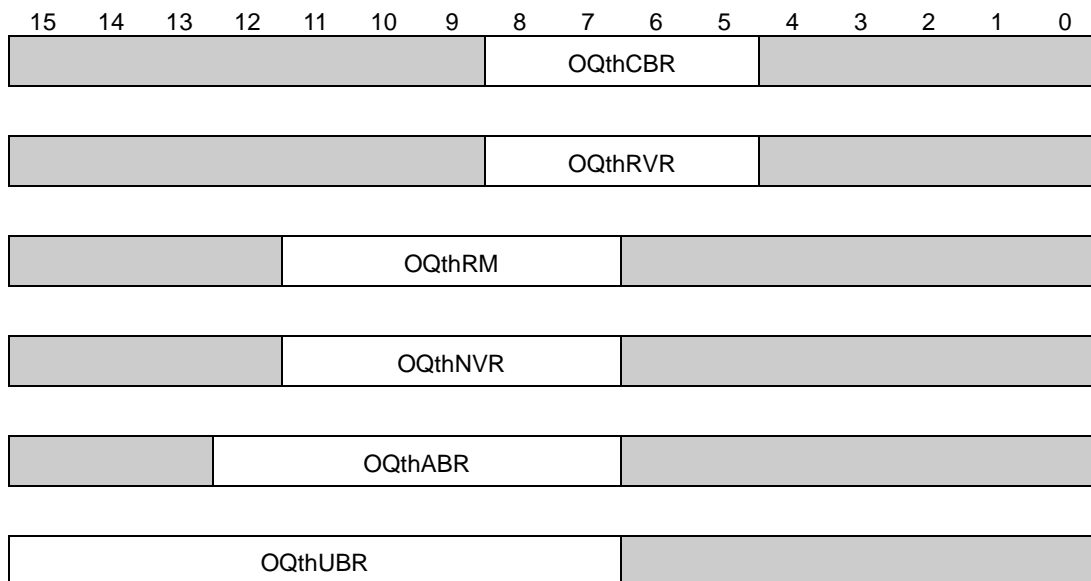
$$\begin{aligned}
 & (OQminCRV + OQminRNV + OQminABR + OQminUBR) \times \text{enabled ports} \text{ 注} \\
 & + MQminCRV + MQminRNV + MQminABR + MQminUBR \\
 & + TCminCRV + TCminRNV + TCminABR + TCminUBR
 \end{aligned}$$

注 enabled ports は、PT レジスタ EN ビットを有効に設定する予定の論理ポートの合計を表します。

フィールド	ビット	R/W	機能	デフォルト値
ALLmin	bit [15:5]	R/W	0000_0000_000 - 1111_1111_111 : 各最低保証セル数の合計 (32 セル単位 : 0 / 32 / 64 / ... / 65504)	0000_0000_000 (0000h)

4.3.25 出力キュー最大しきい値レジスタ (0080h, 0082h, 0090h, 0092h, 00A0h, 00B0h)

レジスタ名	アドレス	デフォルト	R/W
OQthCBR	0080h	xxxx_xxx0_000x_xxxx	R/W
OQthRVR	0082h	xxxx_xxx0_000x_xxxx	R/W
OQthRM	0090h	xxxx_0000_0xxx_xxxx	R/W
OQthNVR	0092h	xxxx_0000_0xxx_xxxx	R/W
OQthABR	00A0h	xxx0_0000_0xxx_xxxx	R/W
OQthUBR	00B0h	0000_0000_0xxx_xxxx	R/W



これらのレジスタには、各論理出力ポートのクラス別の上限しきい値を設定します。各クラスのセルが該当するしきい値を越えて出力キューに滞留するとセル廃棄されます。

フィールド	ビット	R/W	機能	デフォルト値
OQthCBR	bit [8:5]	R/W	0_000 - 1_111 : CBR クラスの上限しきい値 (32 セル単位 : 0 / 32 / 64 / ... / 480)	0_000 (0000h)
OQthRVR	bit [8:5]	R/W	0_000 - 1_111 : rtVBR クラスの上限しきい値 (32 セル単位 : 0 / 32 / 64 / ... / 480)	0_000 (0000h)
OQthRM	bit[11:7]	R/W	0000_0 - 1111_1 : RM クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 3968)	0000_0 (0000h)
OQthNVR	bit[11:7]	R/W	0000_0 - 1111_1 : nrtVBR クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 3968)	0000_0 (0000h)

フィールド	ビット	R/W	機 能	デフォルト値
OQthABR	bit[12:7]	R/W	0_0000_0 - 1_1111_1 : ABR クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 8064)	0_0000_0 (0000h)
OQthUBR	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : UBR クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)

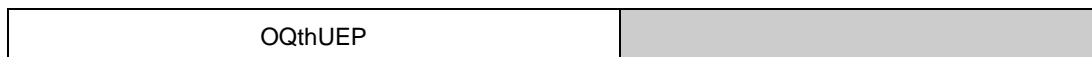
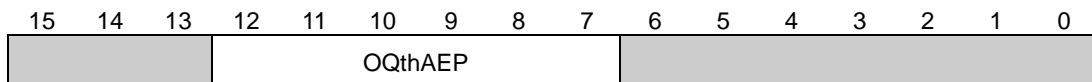
備考1. OQthCBR と OQthRVR は同一の出力キューに付随するしきい値です。

2. OQthRM と OQthNVR は同一の出力キューに付随するしきい値です。

3. EPD を無効に設定してある ABR, UBR クラスのセルは, OQthAEP, OQthUEP が上限しきい値となります。

4.3.26 出力キューEPD しきい値レジスタ (00A2, 00B2h)

レジスタ名	アドレス	デフォルト	R/W
OQthAEP	00A2h	xxx0_0000_0xxx_xxxx	R/W
OQthUEP	00B2h	0000_0000_0xxx_xxxx	R/W



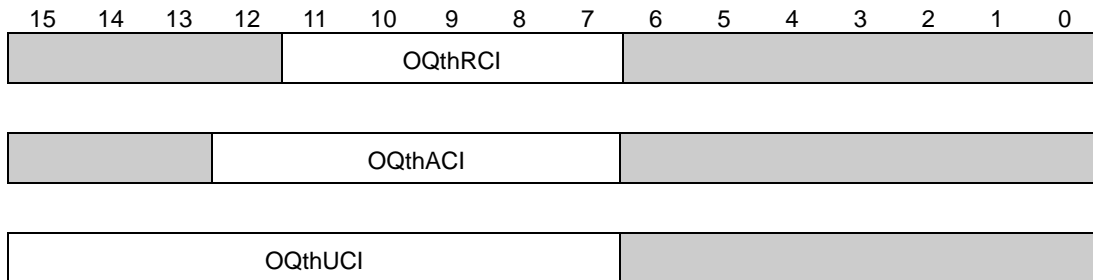
これらのレジスタには, 各論理出力ポートのクラス別の EPD しきい値を設定します。各クラスのセルが該当するしきい値を越えて出力キューに滞留すると EPD 制御が働きます。EPD 制御が働くと次の処理を行います。

- ・ EPD 有効セル : 新たに受信するパケットに属するセルは廃棄されます。パケットの最終セル (EOP) は受信されます。
- ・ EPD 無効セル : セル廃棄されます。

フィールド	ビット	R/W	機 能	デフォルト値
OQthAEP	bit [12:7]	R/W	0_0000_0 - 1_1111_1 : ABR クラスの EPD しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 8064)	0_0000_0 (0000h)
OQthUEP	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : UBR クラスの EPD しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)

4.3.27 出力キュー-EFCI しきい値レジスタ (0094h, 00A4h, 00B4h)

レジスタ名	アドレス	デフォルト	R/W
OQthRCI	0094h	xxxx_0000_0xxx_xxxx	R/W
OQthACI	00A4h	xxx0_0000_0xxx_xxxx	R/W
OQthUCI	00B4h	0000_0000_0xxx_xxxx	R/W

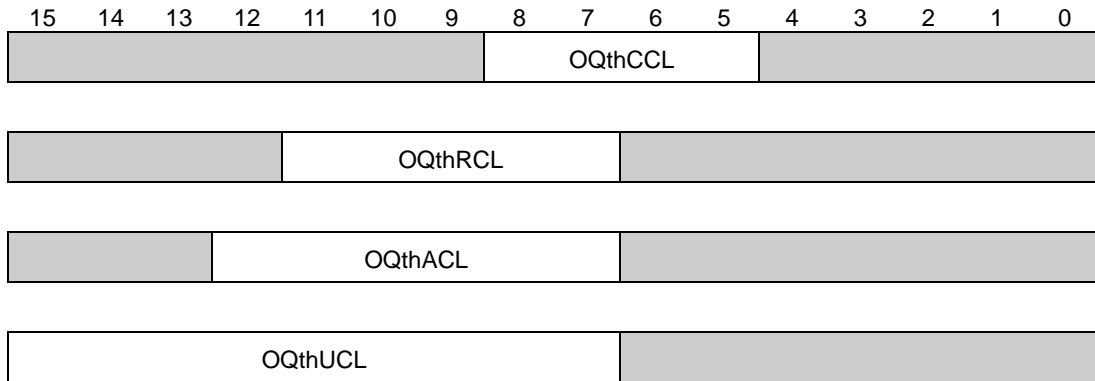


これらのレジスタには、各論理出力ポートのクラス別の EFCI しきい値を設定します。各クラスのセルが該当するしきい値を越えて出力キューに滞留すると、ユーザ・セルに対する EFCI マーキング、バックワード RM セルに対する CI/NI のマーキングを行います。

フィールド	ビット	R/W	機能	デフォルト値
OQthRCI	bit [11:7]	R/W	0000_0 - 1111_1 : RM+nrtVBR クラスの EFCI しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 3968)	0000_0 (0000h)
OQthACI	bit [12:7]	R/W	0_0000_0 - 1_1111_1 : ABR クラスの EFCI しきい値 (CI しきい値兼用) (128 セル単位 : 0 / 128 / 256 / ... / 8064)	0_0000_0 (0000h)
OQthUCI	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : UBR クラスの EFCI しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)

4.3.28 出力キュー-CLP しきい値レジスタ (0086h, 0096h, 00A6h, 00B6h)

レジスタ名	アドレス	デフォルト	R/W
OQthCCL	0086h	xxxx_xxx0_000x_xxxx	R/W
OQthRCL	0096h	xxxx_0000_0xxx_xxxx	R/W
OQthACL	00A6h	xxx0_0000_0xxx_xxxx	R/W
OQthUCL	00B6h	0000_0000_0xxx_xxxx	R/W

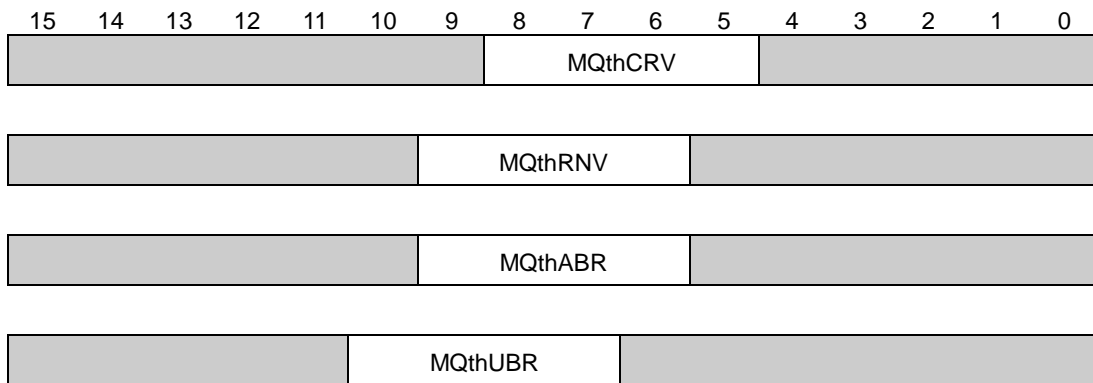


これらのレジスタには、各論理出力ポートのクラス別の CLP しきい値を設定します。各クラスのセルが該当するしきい値を越えて出力キューに滞留すると、CLP がセットされているセルを廃棄します。

フィールド	ビット	R/W	機 能	デフォルト値
OQthCCL	bit [8:5]	R/W	0_000 - 1_111 : CBR+rtVBR クラスの CLP しきい値 (32 セル単位 : 0 / 32 / 64 / ... / 480)	0_000 (0000h)
OQthRCL	bit [11:7]	R/W	0000_0 - 1111_1 : RM+nrtVBR クラスの CLP しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 3968)	0000_0 (0000h)
OQthACL	bit [12:7]	R/W	0_0000_0 - 1_1111_1 : ABR クラスの CLP しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 8064)	0_0000_0 (0000h)
OQthUCL	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : UBR クラスの CLP しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)

4.3.29 マルチキャスト・キュー最大しきい値レジスタ (00C0h, 00C4h, 00C8h, 00CCh)

レジスタ名	アドレス	デフォルト	R/W
MQthCRV	00C0h	xxxx_xxx0_000x_xxxx	R/W
MQthRNV	00C4h	xxxx_xx00_00xx_xxxx	R/W
MQthABR	00C8h	xxxx_xx00_00xx_xxxx	R/W
MQthUBR	00CCh	xxxx_x000_0xxx_xxxx	R/W

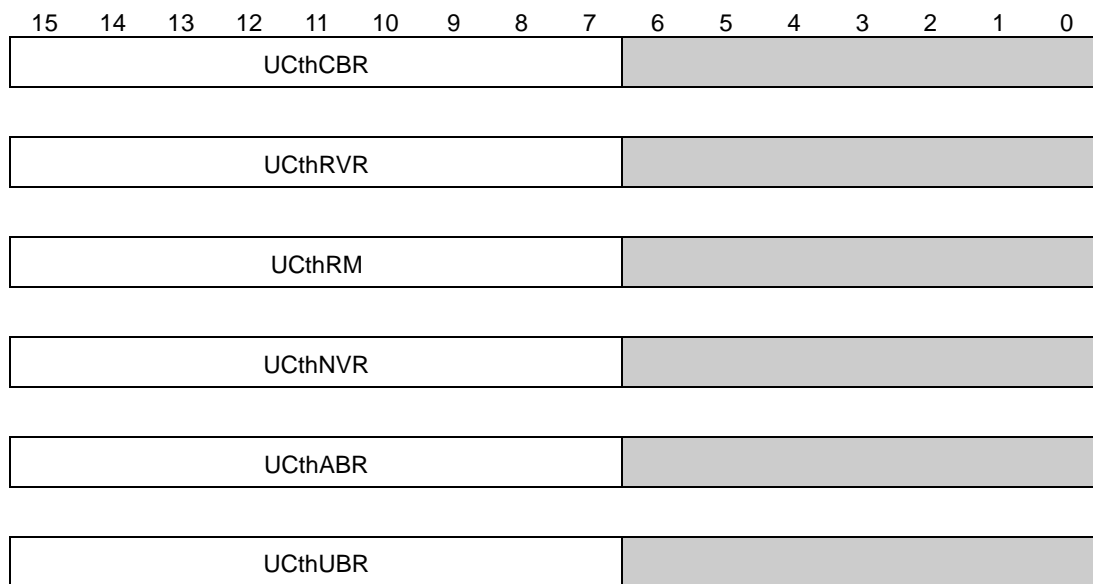


このレジスタには、マルチキャスト・キューのクラス別の上限しきい値を設定します。各クラスのセルが該当するしきい値を越えてマルチキャスト・キューに滞留すると、セルを廃棄します。

フィールド	ビット	R/W	機能	デフォルト値
MQthCRV	bit [8:5]	R/W	0_000 - 1_111 : CBR+rtVBR クラスの上限しきい値 (32 セル単位 : 0 / 32 / 64 / ... / 480)	0_000 (0000h)
MQthRNV	bit [9:6]	R/W	00_00 - 11_11 : RM+nrtVBR クラスの上限しきい値 (64 セル単位 : 0 / 64 / 128 / ... / 960)	00_00 (0000h)
MQthABR	bit [9:6]	R/W	00_00 - 11_11 : ABR クラスの上限しきい値 (64 セル単位 : 0 / 64 / 128 / ... / 960)	00_00 (0000h)
MQthUBR	bit [10:7]	R/W	000_0 - 111_1 : UBR クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 1920)	000_0 (0000h)

4.3.30 UC (Used Cell) カウンタ最大しきい値レジスタ (00D0h, 00D4h, 00D8h, 00DCh, 00E0h, 00E8h)

レジスタ名	アドレス	デフォルト	R/W
UCthCBR	00D0h	0000_0000_0xxx_xxxx	R/W
UCthRVR	00D4h	0000_0000_0xxx_xxxx	R/W
UCthRM	00D8h	0000_0000_0xxx_xxxx	R/W
UCthNVR	00DCh	0000_0000_0xxx_xxxx	R/W
UCthABR	00E0h	0000_0000_0xxx_xxxx	R/W
UCthUBR	00E8h	0000_0000_0xxx_xxxx	R/W



これらのレジスタには、Used Cell Counter のクラス別の上限しきい値を設定します。各クラスのセルが該当するしきい値を越えてセル・バッファ上に滞留するとセル廃棄されます。

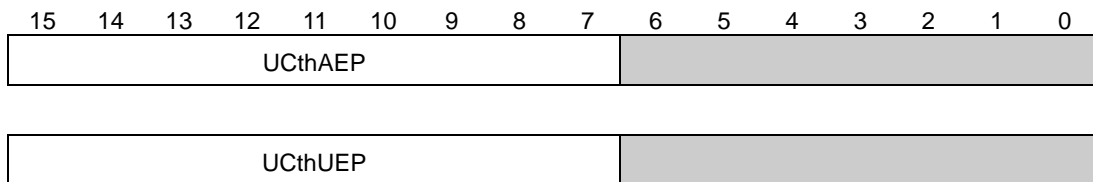
フィールド	ビット	R/W	機 能	デフォルト値
UCthCBR	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : CBR クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)
UCthRVR	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : rtVBR クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)
UCthRM	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : RM クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)
UCthNVR	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : nrtVBR クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)

フィールド	ビット	R/W	機 能	デフォルト値
UCthABR	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : ABR クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)
UCthUBR	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : UBR クラスの上限しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)

備考 EPD を無効に設定してある ABR, UBR クラスのセルは, UCthAEP, UCthUEP が上限しきい値となります。

4.3.31 UC (Used Cell) カウンタ EPD しきい値レジスタ (00E2h, 00EAh)

レジスタ名	アドレス	デフォルト	R/W
UCthAEP	00E2h	0000_0000_0xxx_xxxx	R/W
UCthUEP	00EAh	0000_0000_0xxx_xxxx	R/W



このレジスタには, Used Cell Counter のクラス別の EPD しきい値を設定します。各クラスのセルが該当するしきい値を越えてセル・バッファ上に滞留すると EPD 制御が働きます。EPD 制御が働くと次の処理を行います。

- ・ EPD 有効セル : 新たに受信するパケットに属するセルは廃棄されます。最終パケット (EOP) は受信されます
- ・ EPD 無効セル : セル廃棄されます。

フィールド	ビット	R/W	機 能	デフォルト値
UCthAEP	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : ABR クラスの EPD しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)
UCthUEP	bit [15:7]	R/W	0000_0000_0 - 1111_1111_1 : UBR クラスの EPD しきい値 (128 セル単位 : 0 / 128 / 256 / ... / 65408)	0000_0000_0 (0000h)

4.3.32 ポート・コンフィギュレーション・レジスタ

レジスタ名	アドレス	デフォルト	R/W
PT0-PT23	注 xxxx_xxx0_000x_1111_xxxx_xx00_0000_0000		R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
							SG	EN	UPN			PHY			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							SC	RP	SPR						

注 0100h, 0104h, 0108h, 010Ch, 0110h, 0114h, 0118h, 011Ch, 0120h, 0124h, 0128h, 012Ch, 0130h, 0134h, 0138h, 013C, 0140h, 0144h, 0148h, 014Ch, 0150h, 0154h, 0158h, 015Ch

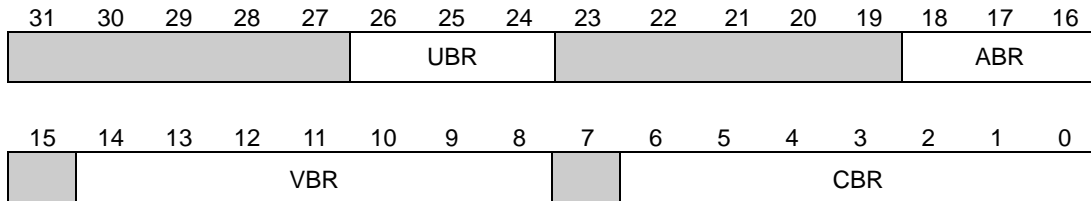
これらのレジスタには、物理ポートを論理ポートへマッピングするための設定を行います。未接続の PHY（物理ポート）を論理ポートにマッピングしないようにしてください。未接続の PHY を論理ポートにマッピングすると、存在しない PHY に対してポーリングを行い μ PD98410 の誤動作を引き起こします。

フィールド	ビット	R/W	機能	デフォルト値
SG	bit [24]	R/W	0：該当論理ポートにマッピングされる物理ポートをマルチ PHY 接続モードにする。 1：該当論理ポートにマッピングされる物理ポートをシングル PHY 接続モードにする。複数の物理ポートをシングル PHY 接続モードに設定した場合は、各 UTOPIA インタフェースごとで最も小さい論理ポート番号の設定が選択されます。	0
EN	bit [23]	R/W	0：該当論理ポートを無効にする 1：該当論理ポートを有効にする	0
UPN	bit[22:21]	R/W	00-11：0番-3番の UTOPIA インタフェースを割り当てる	00
PHY	bit[19:16]	R/W	0000-1011：0番-11番の PHY アドレスを割り当てる	1111
SC	bit [9]	R/W	シェーピング制御で、誤差補正を設定します。同一 UTOPIA インタフェースに接続される複数の出力ポートが同時にセルを送信しようとした場合、ある出力ポートに送信することによって、残りの出力ポートからの出力が遅れることにより、そのポートのスループットが低下するのを防止します。 0：シェーピング誤差補正を行わない 1：シェーピング誤差補正を行う	0

フィールド	ビット	R/W	機 能	デフォルト値
RP	bit [8]	R/W	<p>同一論理出力ポートに対する連続出力の許可を設定します。</p> <p>0 : 同一論理出力ポートに対して連続出力を行わない</p> <p>1 : 同一論理出力ポートに対して連続出力を行う</p> <p>3.8 連続送信 を参照してください。</p>	0
SPR	bit [7:0]	R/W	<p>論理出力ポートに対するシェーピング・レートを設定します。</p> <p>出力を $1/(SPR+1)$ にシェーピングします。例として SPR=“1” を設定した場合は、2 基本サイクルに 1 回送信されます。基本サイクルは、1 セル処理サイクル = $44 - SWCLK$ となっています。</p> <p>0000_0000 - 1111_1111 : シェーピング・レートを $1/1-1/256$ に設定する</p>	0000_0000

4.3.33 クラス優先制御レジスタ

レジスタ名	アドレス	デフォルト	R/W
PC0-PC23	注	xxxx_x000_xxxx_x001_x000_0001_x000_0001	R/W



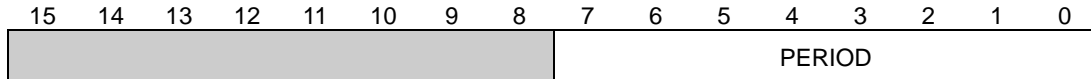
注 0180h, 0184h, 0188h, 018Ch, 0190h, 0194h, 0198h, 019Ch, 01A0h, 01A4h, 01A8h, 01ACh, 01B0h, 01B4h, 01B8h, 01BC0h, 01C0h, 01C4h, 01C8h, 01CCh, 01D0h, 01D4h, 01D8h, 01DCh

これらのレジスタには、論理出力ポートごとのクラス優先制御を設定します。CBR+rtVBR クラスと RM+nrtVBR クラスは、PERIOD レジスタに設定されている期間に送信を許可するセル数を設定します。ABR クラスと UBR クラスは、送信比率を ABR : UBR として設定します。

フィールド	ビット	R/W	機能	デフォルト値
CBR	bit [6:0]	R/W	00h-7Fh : PERIOD 期間に許可する CBR+rtVBR セル送信数	01h
VBR	bit [14:8]	R/W	00h-7Fh : PERIOD 期間に許可する RM+nrtVBR セル送信数	01h
ABR	bit [18:16]	R/W	0h-7h : ABR クラスのセル送信比率 (比率は ABR : UBR)	1h
UBR	bit [26:24]	R/W	0h-7h : UBR クラスのセル送信比率 (比率は UBR : ABR)	0h

4.3.34 周期カウント・レジスタ (01FCh)

レジスタ名	アドレス	デフォルト	R/W
PERIOD	01FCh	xxxx_xxxx_0000_0001	R/W

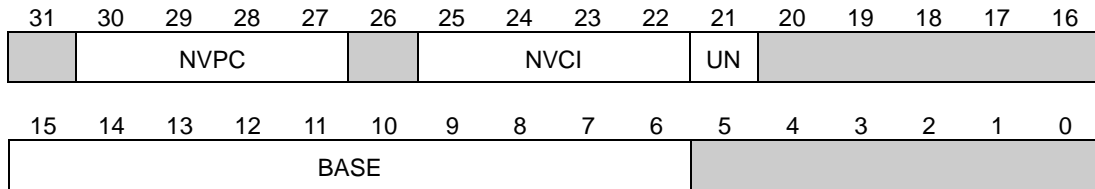


このレジスタは、PC0 - PC23 の CBR, VBR の周期を設定します。PC0 - PC23 の CBR, VBR の設定とともに、論理出力ポートごとのクラス優先制御を行います。

フィールド	ビット	R/W	機 能	デフォルト値
PERIOD	bit [7:0]	R/W	00h - FFh : クラス優先制御の周期	01h

4.3.35 ヘッダ変換コンフィギュレーション・レジスタ

レジスタ名	アドレス	デフォルト	R/W
HT0 - HT23	注	x000_0x00_000x_xxxx_0000_0000_00xx_xxxx	R/W



注 0200h, 0204h, 0208h, 020Ch, 0210h, 0214h, 0218h, 021Ch, 0220h, 0224h, 0228h, 022Ch, 0230h, 0234h, 0238h, 023Ch, 0240h, 0244h, 0248h, 024Ch, 0250h, 0254h, 0258h, 025Ch

このレジスタは、受信セルの VPI, VCI をヘッダ変換テーブル (HTT) のアドレスに変換するための設定、HTT に設定された OVPC から送信セルの VPI, VCI に変換するための設定、および NNI/UNI の設定を行います。論理出力ポートごとに設定します。

フィールド	ビット	R/W	機能	デフォルト値
NVPC	bit [30:27]	R/W	6h - Fh : 有効 VPI ビット数 + 有効 VCI ビット数 (6 ビット-15 ビット)	0h
NVCI	bit [25:22]	R/W	6h - Fh : 有効 VCI ビット数 (6 ビット-15 ビット)	0h
UN	bit [21]	R/W	0 : UNI に設定します。受信セルの VPI は 8 ビットとして扱い、GFC フィールドの VPI [11:8] は "don't care" として扱います。VPI の無効部が "0" でない (VPI [7:(NVPC-NVCI-1)] 0) ならば、ヘッダ変換エラーとしてセル廃棄されステータス・レジスタの HE ビット、および ERHT レジスタの IH ビットに表示されます。 1 : NNI に設定します。受信セルの VPI は 12 ビットとして扱い、VPI の無効部が 0 でない (VPI [11:(NVPC-NVCI-1)] 0) ならば、ヘッダ変換エラーとしてセル廃棄されステータス・レジスタの HE ビット、および ERHT レジスタの IH ビットに表示されます。	0
BASE	bit [15:6]	R/W	0000_0000_00 - 1111_1111_11 : HTT ベース・アドレス	000h

[メ モ]

第 5 章 JTAG バウンダリ・スキャン

μPD98410 は、JTAG バウンダリ・スキャン回路を内蔵しています。

5.1 特 徴

IEEE1149.1 JTAG Boundary Scan Standard に準拠

バウンダリ・スキャン専用の 3 つのレジスタ

- ・ インストラクション・レジスタ
- ・ バイパス・レジスタ
- ・ バウンダリ・スキャン・レジスタ

2 つの命令をサポート

- ・ BYPASS 命令
- ・ EXTEST 命令

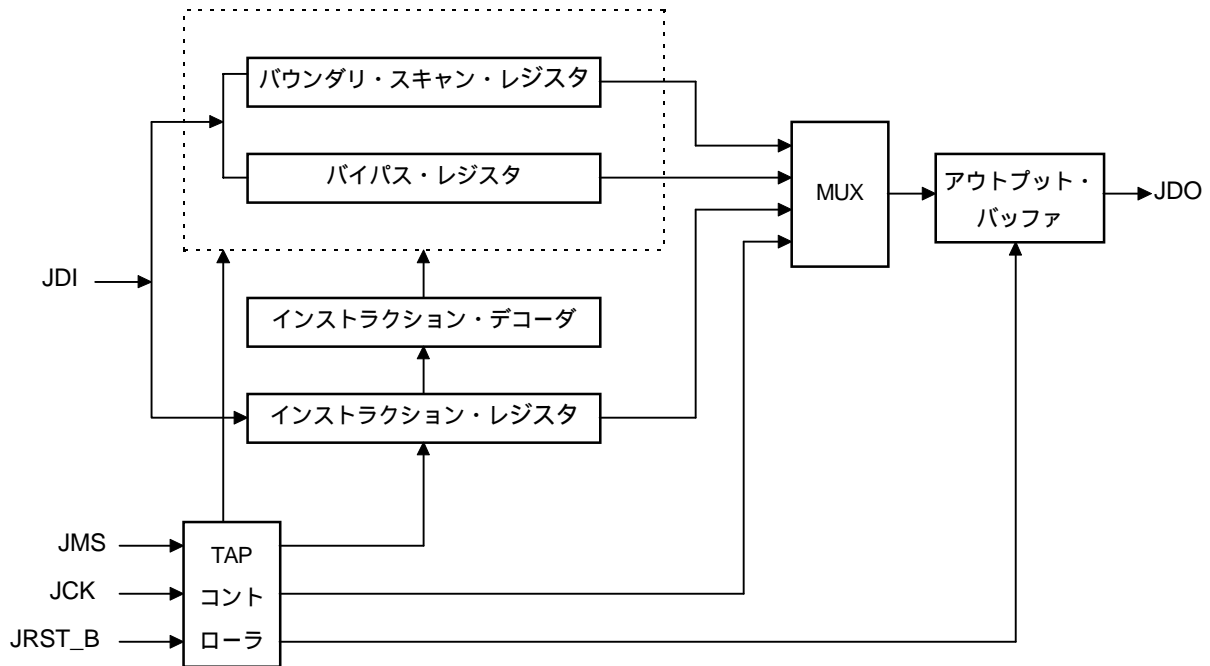
バウンダリ・スキャン専用端子 (5 端子)

- ・ JCK (JTAG Clock)
- ・ JMS (JTAG Mode Select)
- ・ JDI (JTAG Data Input)
- ・ JDO (JTAG Data Output)
- ・ JRST_B (JTAG Reset)

5.2 バウンダリ・スキャン回路内部構成

図 5 - 1 に、 μ PD98410 に内蔵されている JTAG バウンダリ・スキャン回路のブロック図を示します。

図 5 - 1 バウンダリ・スキャン回路ブロック図



5.2.1 インストラクション・レジスタ (Instruction register)

インストラクション・レジスタは、2 ビットのシフト・レジスタで構成されており、JDI 端子からの命令データを書き込みます。レジスタおよび命令の選択は、この命令データが決定します。

5.2.2 TAP コントローラ (Test Access Port controller)

TAP コントローラは、JCK 端子に入力されるクロックの立ち上がりで JMS 端子の信号をラッチすることにより、動作状態を変更します。

5.2.3 バイパス・レジスタ (Bypass register)

バイパス・レジスタは、TAP コントローラが Shift-DR 状態のときには、JDI 端子と JDO 端子の間で、接続される 1 ビットのシフト・レジスタで構成されます。TAP コントローラが Shift-DR 状態の間、このレジスタが選択されているときには、JCK 端子に入力されるクロックの立ち上がりで JDO 端子へデータをシフトします。

このレジスタが選択されているとき、JTAG バウンダリ・スキャン回路の動作は、 μ PD98410 の動作に影響を与えません。

5.2.4 バウンダリ・スキャン・レジスタ (Boundary Scan register)

バウンダリ・スキャン・レジスタは、 μ PD98410 の外部端子と内部ロジック回路の間にあります。このレジスタが選択されたとき、TAP コントローラの命令によりデータをラッチ、またはロードします。

TAP コントローラが Shift-DR 状態の間、このレジスタが選択されている場合には、JCK 端子に入力されるクロックの立ち下がりで、JDO 端子へデータを LSB から出力します。

5.3 端子機能

5.3.1 JCK 端子 (JTAG Clock pin)

JCK 端子は、JTAG バウンダリ・スキャン回路 (バイパス・レジスタやインストラクション・レジスタ、TAP コントローラ) へのクロック信号の供給に使用します。このクロック信号は、 μ PD98410 内部のほかの回路へは供給されないように分離しています。

5.3.2 JMS 端子 (JTAG Mode Select pin)

JMS 端子への入力、JCK 端子に入力されるクロックの立ち上がりでラッチされ、TAP コントローラの動作を定義します。

5.3.3 JDI 端子 (JTAG Data Input pin)

JDI 端子は、JTAG バウンダリ・スキャン回路レジスタへデータを入力するための入力端子です。

5.3.4 JDO 端子 (JTAG Data Output pin)

JDO 端子は、JTAG バウンダリ・スキャン回路レジスタからデータを出力するための出力端子です。JCK 端子に入力されるクロックの立ち下がりで出力を変化させます。また、この出力端子は 3 ステート出力であり、TAP コントローラにより制御されます。

5.3.5 JRST_B 端子 (JTAG Reset pin)

TAP コントローラを非同期的に初期化します。このリセット信号は μ PD98410 を通常の動作モードにし、バウンダリ・レジスタを非動作状態にします。

5.4 動作説明

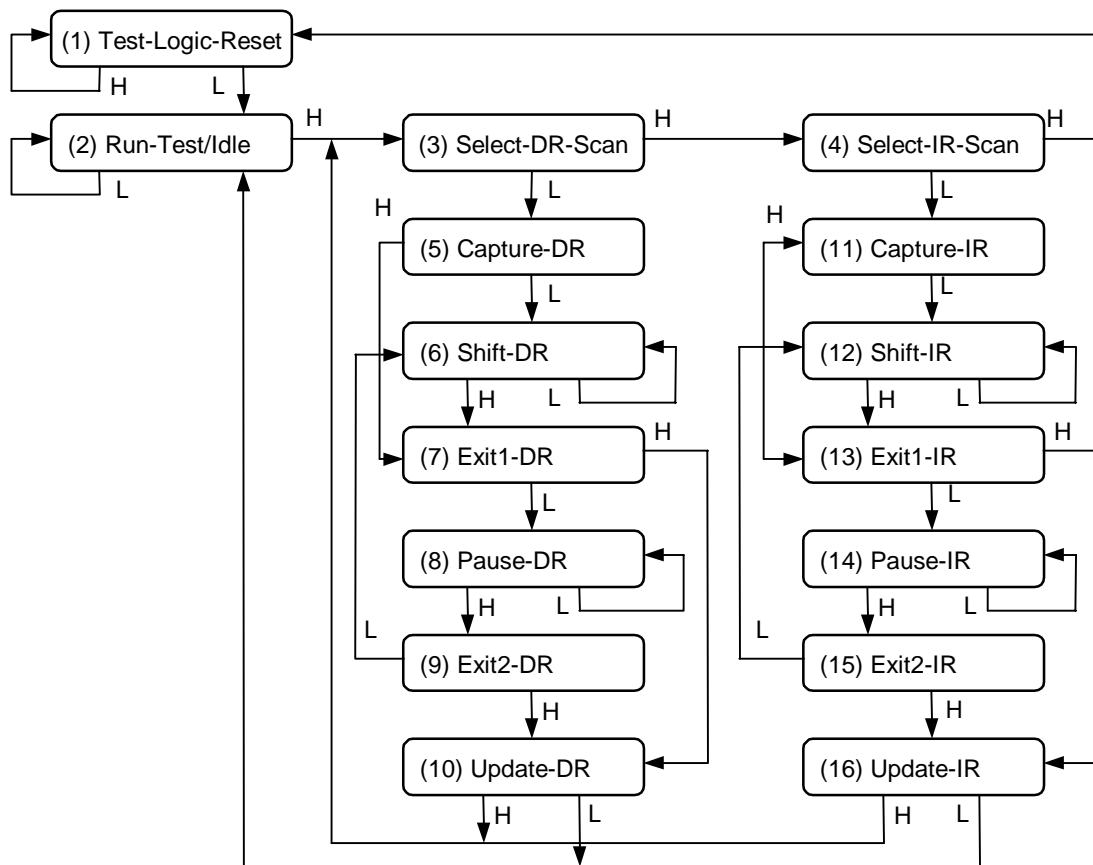
5.4.1 TAP コントローラ

TAP コントローラは、JMS 端子と JCK 端子信号の変化により同期した 16 個の状態をもつ回路です。動作は、IEEE standard 1149.1 で規定されています。

5.4.2 TAP コントローラ状態

TAP コントローラの状態を図 5 - 2 に示します。TAP コントローラのすべての状態の変化は、JCK 端子に入力されるクロックの立ち上がりの JMS 端子信号の状態によって決まります。インストラクション・レジスタ、バウンダリ・スキャン・レジスタとバイパス・レジスタの動作は、JCK 端子に入力されるクロックの立ち上がり / 立ち下がりで変化します (図 5 - 3 参照) 。

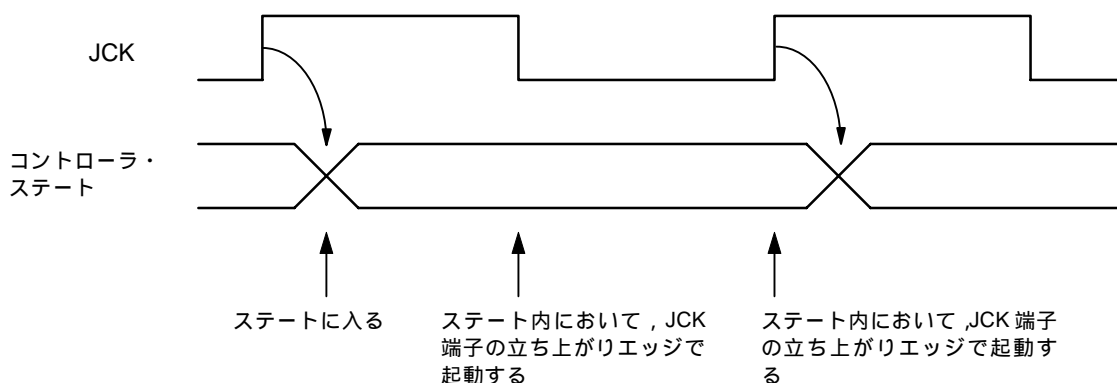
図 5 - 2 TAP コントローラの状態



備考 1 . 図中の遷移を表す矢印の隣に示した “ H ” と “ L ” は、JCK 端子に入力されるクロックの立ち上がり時の JMS 端子の状態を示します。

2 . 図中にある () 内の番号は、次に述べる各状態の説明の項目番号です。

図 5 - 3 コントローラ状態での動作タイミング



(1) Test-Logic-Reset

JTAG バウンダリ・スキャン回路は、 μ PD98410 に対して動作しません。したがって、 μ PD98410 のシステム・ロジックには影響しません。これは、イニシャライズ時にバイパス命令がインストラクション・レジスタに格納、実行されているからです。TAP コントローラがどの状態のときでも、JMS 端子信号が少なくとも JCK 端子信号の立ち上がり 5 回分ハイ・レベル状態を保持すれば、Test-Logic-Reset 状態になります。TAP コントローラは、この状態を JMS 端子信号がハイ・レベルの間保持します。

TAP コントローラが Test-Logic-Reset 状態になる必要があるときは、JCK 端子信号の立ち上がりで JMS 端子信号に誤ったロウ・レベル信号が 1 回入力されても（たとえば外部インタフェースの影響）、JMS 端子信号が JCK 端子信号の立ち上がりエッジの 3 回分ハイ・レベル状態を保持すれば、もとの Test-Logic-Reset 状態に戻ります。

上記のエラーによって、テスト・ロジックの動作が μ PD98410 の論理動作を妨げることはありません。

Test-Logic-Reset コントローラ状態を抜けると、TAP コントローラは、Run-Test/Idle コントローラ状態に遷移します。この状態では、バイパス・レジスタの動作によりカレント命令が選択設定されていますので、どのような動作も行いません。また、この JTAG バウンダリ・スキャン回路の論理動作は、Select-DR-Scan 状態と Select-IR-Scan 状態でもインアクティブです。

(2) Run-Test/Idle

スキャン動作間 (Select-DR-Scan 状態、Select-IR-Scan 状態) の TAP コントローラ状態です。一度この状態になると、JMS 端子信号がロウ・レベルを保持している間は、TAP コントローラもこの状態を保持します。1 回の JCK 端子信号の立ち上がりエッジで、JMS 端子信号がハイ・レベルを保持すれば、Select-DR-Scan 状態に遷移します。

カレント命令で選択されたすべてのテスト・データ・レジスタ (バウンダリ・レジスタ、バイパス・レジスタ) には、以前の状態が保持されます (Idle)。TAP コントローラがこの状態の間、命令は変化しません。

(3) Select-DR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには、以前の状態が保持されます。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がり時にロウ・レベルが保持されると、TAP コントローラは、Capture-DR 状態に遷移します。また、選択されたレジスタへのスキャン・シーケンスが開始されます。

JCK 端子信号の立ち上がり時にハイ・レベルが保持されると、TAP コントローラは、Select-IR-Scan 状態に遷移します。TAP コントローラがこの状態の間、命令は変化しません。

(4) Select-IR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには、以前の状態が保持されます。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がり時にロウ・レベルが保持されると、TAP コントローラは、Capture-IR 状態に遷移します。また、選択されたレジスタへのスキャン・シーケンスが開始されます。

JCK 端子信号の立ち上がり時に JMS 端子信号がハイ・レベル状態に保持されると、TAP コントローラは、Test-Logic-Reset 状態に戻ります。TAP コントローラがこの状態の間、命令は変化しません。

(5) Capture-DR

コントローラ状態において、データは JCK 端子信号の立ち上がりエッジで、カレント命令により選択されたバウンダリ・スキャン・レジスタにパラレル・ロード（この場合、個々のデバイスの入力端子からそれぞれのバウンダリ・スキャン・レジスタに同時にロードすること）されます。TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号が立ち上がりエッジの場合、TAP コントローラの状態は次のようになります。

- ・ JMS 端子信号がハイ・レベルに保持されたとき：Exit1-DR 状態に遷移
- ・ JMS 端子信号がロウ・レベルに保持されたとき：Shift-DR 状態に遷移

(6) Shift-DR

このコントローラ状態では、カレント命令によって（バウンダリ・スキャン・レジスタ、またはバイパス・レジスタのどちらかで）JDIとJDOの間が接続されます。シフト・データは、JCK 端子信号の立ち上がりエッジごとにシリアル出力方向に一段ずつシフトされます。

カレント命令により選択されたバウンダリ・スキャン・レジスタ、またはバイパス・レジスタは、シリアル・パス上に位置していないとき（Shift-DR 状態でないとき）、前の状態を変化させずに保持します。TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号が立ち上がりエッジの場合、TAP コントローラの状態は次のようになります。

- ・ JMS 端子信号がハイ・レベルに保持されたとき：Exit1-DR 状態に遷移
- ・ JMS 端子信号がロウ・レベルに保持されたとき：Shift-DR 状態のまま

(7) Exit1-DR

一時的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていれば、TAP コントローラは、Update-DR 状態に遷移します。これにより、スキャン・プロセスを終了します。

また、JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていれば、TAP コントローラは、Pause-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間は、命令は変化しません。

(8) Pause-DR

コントローラ状態は、バイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらかで接続している JDI と JDO 間のシフトを一時的に停止させます。カレント命令で選択されたこれらのレジスタは、以前の状態が変化しないで保持されます。

JMS 端子信号がロウ・レベルの間、TAP コントローラをこの状態で保持します。JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されているときは、TAP コントローラは、Exit2-DR 状態に遷移します。TAP コントローラがこの状態の間は、命令は変化しません。

(9) Exit2-DR

一時的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-DR 状態に遷移し、スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Shift-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタのどちらにおいても、以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間は、命令は変化しません。

(10) Update-DR

バウンダリ・スキャン・レジスタは、ある命令（たとえば EXTEST 命令）により、パラレル出力の変化（連結されているシフト・レジスタ・パスにシフトされている期間における）を防ぐためのパラレル出力ラッチを持っています。

Update-DR コントローラ状態において、JCK 端子信号の立ち下がりエッジで、データは、シフト・レジスタ・パスからこのレジスタのパラレル・アウトプットにラッチされます。

ラッチのためパラレル・アウトプットに保持されたデータは、このコントローラの状態により変化しません（他のコントローラ状態では変化しません）。

カレント命令によって選択されたバウンダリ・スキャン・レジスタにおけるすべてのシフト・レジスタの過程は、変化のない以前の状態が保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Select-DR-Scan 状態に遷移します。

また、JCK 端子信号の立ち上がりエッジでロウ・レベルが保持されると、TAP コントローラは、Run-Test/Idle 状態に遷移します。

(11) Capture-IR

このコントローラ状態において、JCK 端子信号の立ち上がりエッジで、シフト・レジスタは、インストラクション・レジスタに固定論理値のパターン“01H”をロードします。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それら以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Exit1-IR 状態に遷移します。

また、JCK 端子信号の立ち上がりエッジでロウ・レベルが保持されると、TAP コントローラは、Shift-IR 状態に遷移します。

(12) Shift-IR

このコントローラ状態において、インストラクション・レジスタ内のシフト・レジスタで JDI と JDO の間が接続されます。シフト・データは、JCK 端子信号の立ち上がりエッジごとにシリアル出力方向に一段シフトされます。

カレント命令によって選択されるバウンダリ・スキャン・レジスタか、バイパス・レジスタは、変化のないそれらの以前の状態が保持されます。

TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態において JCK 端子信号が立ち上がりエッジで、TAP コントローラは、JMS 端子信号がハイ・レベルに保持されていると、Exit1-IR 状態になります。また、JMS 端子信号がロウ・レベルに保持されていると、Shift-IR 状態のままです。

(13) Exit1-IR

一般的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-IR 状態に遷移します。これにより、スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Pause-IR に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

(14) Pause-IR

このコントローラ状態は、インストラクション・レジスタのシフトを一時的に停止させます。カレント命令で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタは、以前の状態が変化しないで保持されます。

TAP コントローラがこの状態の間、命令は変化しません。また、インストラクション・レジスタはその状態を保持します。

JMS 端子信号がロウ・レベルの間、TAP コントローラをこの状態で保持します。JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されているときは、TAP コントローラは、Exit2-IR 状態に遷移します。

(15) Exit2-IR

一時的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-IR コントローラ状態に遷移します。これにより、スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Shift-IR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態、またはインストラクション・レジスタにその状態が保持されている間は、命令は変化しません。

(16) Update-IR

このコントローラ状態において、インストラクション・レジスタにシフトされた命令は、JCK 端子信号の立ち下がりエッジで、シフト・レジスタ・パスからパラレル・アウトプット上にラッチされます。

いったん、新しい命令がラッチされたらカレント命令となります。

カレント命令によって選択されたバイパス・レジスタ、またはバウンダリ・スキャン・レジスタのどちらでも、前の状態を保持します。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Select-DR-Scan 状態に遷移します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されると、TAP コントローラは、Run-Test/Idle 状態に遷移します。

(8) の Pause-DR コントローラ状態と、(14) の Pause-IR コントローラ状態は、バイパス・レジスタ、バウンダリ・スキャン・レジスタ、またはインストラクション・レジスタ内のデータのシフトを一時停止します。

5.5 TAP コントローラ動作

TAP コントローラの動作は、次のとおりです。

TAP コントローラは(1)，(2)のどちらかで状態遷移を行います。

- (1) JCK 端子信号の立ち上がりエッジ
- (2) JRST_B 端子入力

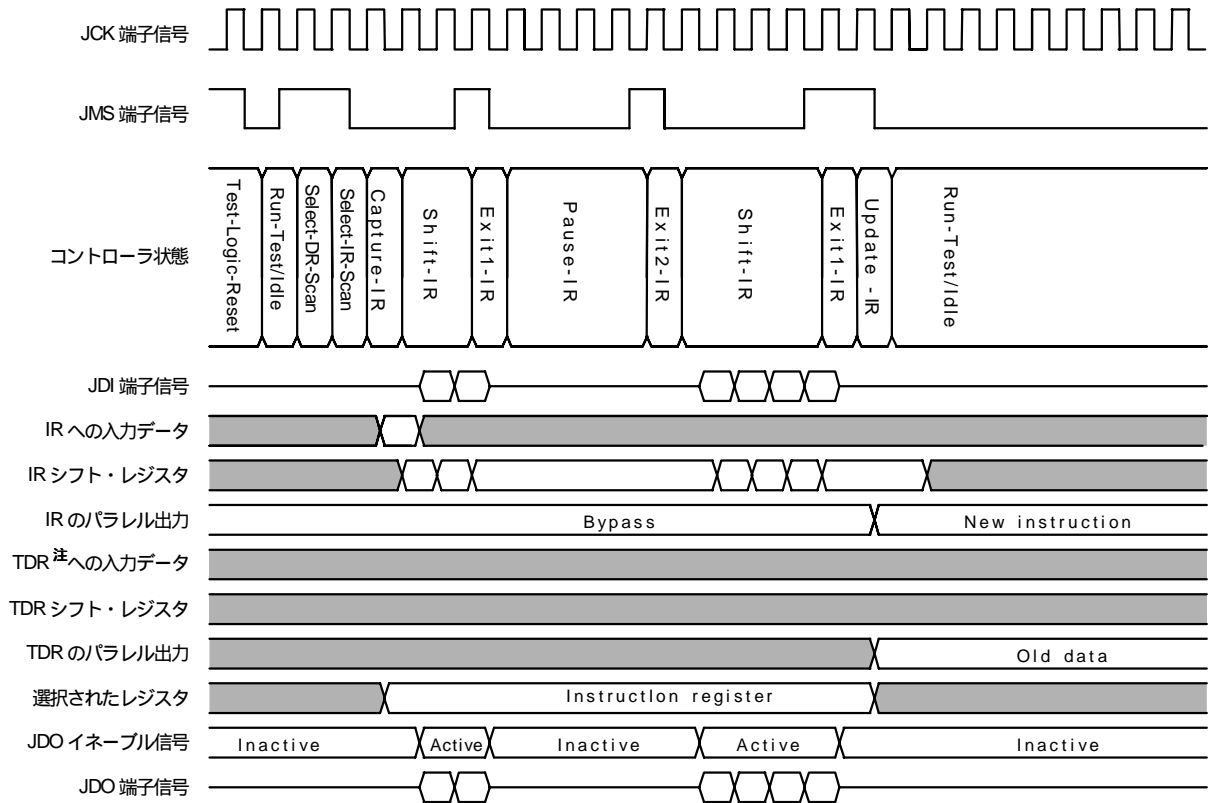
TAP コントローラは、この標準で定義されているバイパス・レジスタ、バウンダリ・スキャン・レジスタ、およびインストラクション・レジスタの動作を制御する信号を生成します(図5-4，図5-5参照)。

JDO 端子出力バッファと、JDO 端子に出力するレジスタを選択する周辺回路は、表5-1のように制御されています。表5-1において定義されるJDO 端子は、その状態に遷移したあと、JCK 端子信号の立ち下がりエッジで変化します。

表5-1 それぞれのコントローラ状態における動作

コントローラ状態	JDO 端子へドライブする選択されたレジスタ	JDO 端子ドライバ
Test-Logic-Reset	未定義	ハイ・インピーダンス
Run-Test/Idle		
Select-DR-Scan		
Select-IR-Scan		
Capture-IR		
Shift-IR	インストラクション・レジスタ	アクティブ
Exit1-IR	未定義	ハイ・インピーダンス
Pause-IR		
Exit2-IR		
Update-IR		
Capture-DR		
Shift-DR	データ・レジスタ(バウンダリ・スキャン・レジスタ、バイパス・レジスタ)	アクティブ
Exit1-DR	未定義	ハイ・インピーダンス
Pause-DR		
Exit2-DR		
Update-DR		

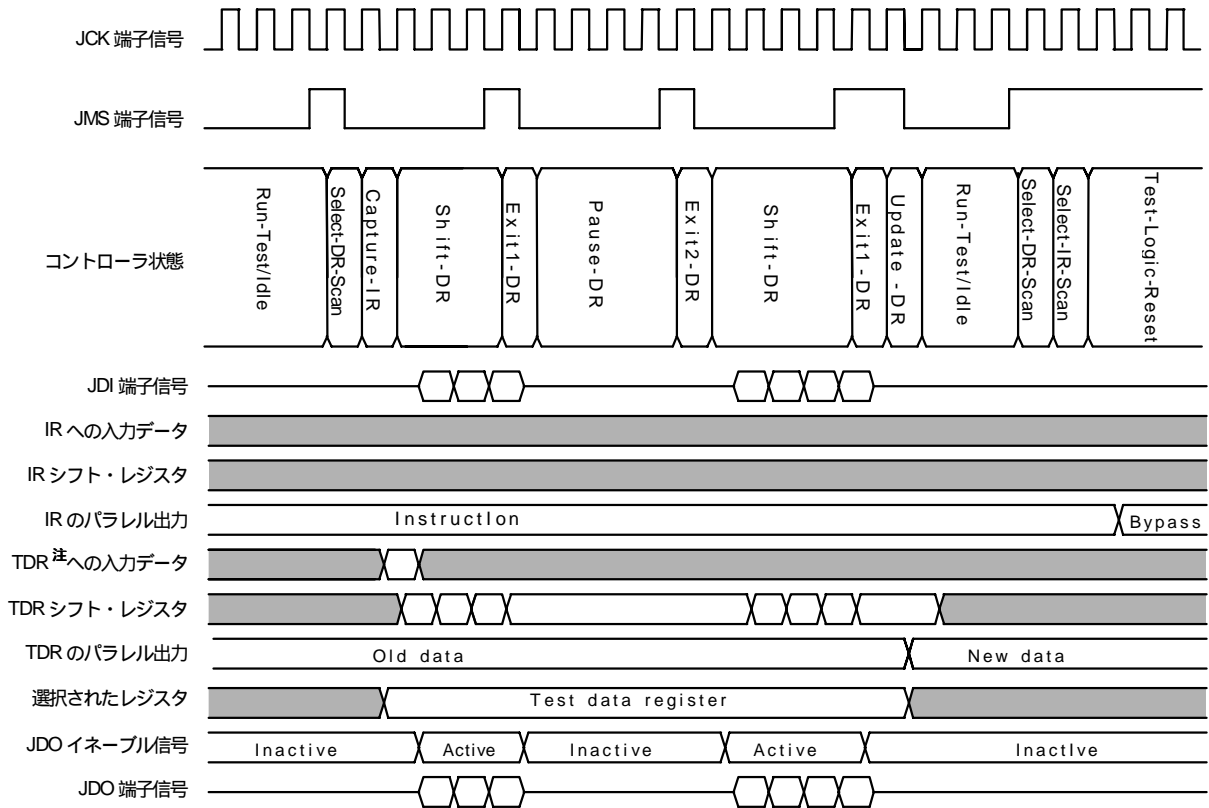
図5-4 テスト・ロジックの動作 (インストラクション・スキャン)



注 TDR (Test Data Register) : バウンダリ・スキャン・レジスタおよびバイパス・レジスタ

備考 : Don't care あるいは未定義

図5-5 テスト・ロジックの動作(データ・スキャン)



注 TDR (Test Data Register) : バウンダリ・スキャン・レジスタおよびバイパス・レジスタ

備考 : Don't care あるいは未定義

5.6 TAP コントローラの初期化

TAP コントローラの初期化は次のとおりです。

- (1) TAP コントローラは、システム・リセットのようなシステム入力の動作によっても初期化されません。
- (2) TAP コントローラは、JCK 端子信号の立ち上がりエッジ (JMS 端子信号がハイ・レベルを保持) 5 回で、Test-Logic-Reset コントローラ状態に遷移します。
- (3) JRST_B 入力により TAP コントローラは非同期に Test-Logic-Reset 状態になります。

5.7 インストラクション・レジスタ

このレジスタは、次のように定義されます (5.2 バウンダリ・スキャン回路内部構成 参照)。

- (1) インストラクション・レジスタにシフト入力された命令は、Update-IR コントローラ状態と、Test-Logic-Reset コントローラ状態でのみ変化するようにラッチされます。
- (2) インストラクション・レジスタのシリアル入力と、シリアル出力間のデータの反転はありません。
- (3) Capture-IR コントローラ状態において、このレジスタ・セルは、固定された 2 進の “ 01 ” パターン・データ (LSB (Least Significant Bit) が “ 1 ”) がロードされます。
- (4) Test-Logic-Reset コントローラ状態の間、このレジスタは、固定された 2 進の “ 01 ” パターン・データ (LSB が “ 1 ”) がセットされます。
- (5) このレジスタが読み出されているとき、JCK 端子信号の立ち下がりエッジごとに LSB を先頭にして MSB (Most Significant Bit) まで、JDO 端子からデータが出力されます。

μ PD98410 におけるこの JTAG バウンダリ・スキャン回路は、このインストラクション・レジスタに指定されたデータの設定によって、以下に示す 2 つの命令のみサポートすることができます。

BYPASS 命令

EXTEST 命令

インストラクション・レジスタ		サポートする命令
D1	D0	
0	0	EXTEST 命令
0	1	未使用
1	0	未使用
1	1	BYPASS 命令

5.7.1 BYPASS 命令

この命令は、インストラクション・データ“11”で指定されます。Shift-DR コントローラ状態において、この命令は、バイパス・レジスタ（JDI 端子と JDO 端子の間をシリアル・アクセスするためのもの）のみを選択するために使用されます。

この命令が選択されているとき、JTAG バウンダリ・スキャン回路の動作は μ PD98410 の動作に影響しません。

Test-Logic-Reset コントローラ状態の間、このバイパス命令が選択されます。

5.7.2 EXTEST 命令

インストラクション・データ“00”で指定されます。Shift-DR コントローラ状態において、JDI 端子と JDO 端子の間のシリアル・アクセスのバウンダリ・スキャン・レジスタを選択するために使用されます。

・この命令が選択されているとき：

システム出力端子からドライブされるすべての信号の状態は、バウンダリ・スキャン・レジスタにシフトされているデータによって完全に定義されます。また、Update-DR コントローラ状態において、JCK 端子信号の立ち下がりエッジでのみ変化します。

システム入力端子から入力されるすべての信号の状態は、Capture-DR コントローラ状態において、JCK 端子信号の立ち上がりエッジでバウンダリ・スキャン・レジスタにロードされます。

5.8 バウンダリ・スキャン・データ・ビット定義

お客様のご要求により、 μ PD98410 の BSDL (Boundary Scan Description Language) ファイルを提出させていただきます。巻末に示したお問い合わせ先の **NEC 半導体テクニカルホットライン** にお問い合わせください。

第6章 使用制限事項

μPD98410のK規格品に制限事項11件が内在していますので、その内容について以下に示します。

6.1 制限項目

- (1) 52バイト短セル受信不具合
- (2) マルチPHYモード変更時のセル送信不具合
- (3) 論理ポート・マッピング時の制限 (滞留セルの出力)
- (4) 動作コマンド発行時の制限
- (5) 論理ポート・マッピング時の制限 (不正セルの出力)
- (6) 論理ポート・マッピング時の制限 (未接続PHYのマッピング)
- (7) ステータス・レジスタQE, CEビット表示異常
- (8) UTOPIA出力端子ドライブ能力不足
- (9) キュー管理不具合
- (10) 同報数不整合によるキュー管理誤動作, およびArea-B再利用可能タイミング問題
- (11) セル・バッファ・メモリMPUアクセス時の制限

6.2 制限事項説明

(1) 52バイト短セル受信不具合

<現象>

次の2つの条件が同時に成り立つ場合、52バイトの短セルに続く1セルを消失してしまいます。

(a) 受信セルのP48 (ペイロード48) のタイミングで、RXSOCを受信 (RXSOC端子にロウ・レベルハイ・レベル入力) した場合

(b) (a) のRXSOC受信までに、次に転送可能なPHYを検出した場合

μ PD98410は、1セル消失後もポーリングで検出したPHYからセルを受信し、正常動作を続けます。

<対策>

PHYが正常にセルを送信しているかぎり、52バイト短セルは起こらないため、この現象は生じません。

(2) マルチPHYモード変更時のセル送信不具合

<現象>

アクティブな論理ポート (ENビット=1設定) に対して、ポート・コンフィギュレーション (PT) レジスタのSGビット=1 0 (シングルPHYモードからマルチPHYモード) に変更した際に、2セル消失することがあります。その後、正常動作を続けます。

<対策>

動作中のUTOPIAインタフェース上に新規の回線カードを挿入しないかぎり、シングルPHYモードからマルチPHYモードへの変更は不要です。したがって、回線カードの挿入を行わなければ、この現象は生じません。

(3) 論理ポート・マッピング時の制限 (滞留セルの出力)

<現象>

論理ポートのマッピングを変更した場合、該当論理ポートのキューが空になるまで不正なセルが出力されます。具体的には、変更前のPHYに出力すべきセルを、変更後のPHYに出力してしまいます。

<対策>

動作中に回線カードの挿抜を行わないかぎり、論理ポートのマッピング変更は不要です。したがって、回線カードの挿抜を行わなければ、この現象は生じません。

(4) 動作コマンド発行時の制限**<現象>**

コマンド (CMD) レジスタ中のCMDビット=000書き込み (停止コマンド発行) 後に, ステータス (STATUS) レジスタ中のBYビット=0であることを確認せずに, CMDビット=111書き込み (動作コマンド発行) を行うと不正なPHYヘセルを送信したり, 最大で2セルを消失する場合があります。その後, 正常動作を継続します。

<対策>

必ずBYビット=0であることを確認したあとに, 動作コマンドを発行してください。

(5) 論理ポート・マッピング時の制限 (不正セルの出力)**<現象>**

論理ポートがアクティブ時 (ENビット=1設定) に, 論理ポートのマッピングを変更すると, 変更直後の1セルが, 変更直前のUTOPIA上に, 変更後のPHYアドレスに対して出力される場合があります。

(例) EN= " 1 " の状態で論理ポートのマッピングを以下のように変更

変更前	変更後
UPN= " 00 "	UPN= " 10 "
PHY= " 0011 "	PHY= " 0101 "

変更直後の1セルがUPN= " 00 " , PHY= " 0101 " に対して出力される場合があります。

<対策>

論理ポートをインアクティブ (ENビット=0) にしたあとに, 44-SWCLK時間待ってからマッピングの変更を行ってください。

(6) 論理ポート・マッピング時の制限 (未接続PHYのマッピング)**<現象>**

ポート・コンフィギュレーション (PT) レジスタ中のENビット=1に設定しているPHYに対しては, PHYが未接続であってもRx側のポーリングを行ってしまいます。そのため, フローティング状態のRXCLAVを受信して誤動作を起こす場合があります, 該当UTOPIAがハングアップする可能性があります。

<対策>

未接続なPHYは, 必ずENビット=0に設定してください。

(7) ステータス・レジスタQE, CEビット表示**<現象>**

ステータス (STATUS) レジスタのQE, CEビットは、以下のいずれかの設定によりマルチキャスト・セルの廃棄が発生したときに、不正表示する可能性があります。

- (a) ヘッダ変換テーブル (HTT) のArea-B中のLPNn (n=0-23) が、すべて“0”の場合
- (b) 使用する出力論理ポートのポート・コンフィギュレーション (PT) レジスタのENビットが“0”の場合
- (c) 出力キュー最大しきい値レジスタ (OQthCBR, OQthRVR, OQthRM, OQthNVR, OQthABR, OQthUBR) のいずれかが“0”の場合
- (e) 出力キュー最小しきい値レジスタ (OQminCRV, OQminRNV, OQminABR, OQminUBR) のいずれかが“0”で、
かつ、TCカウンタ最小しきい値レジスタ (TCminCRV, TCminRNV, TCminABR, TCminUBR) のいずれかが“0”で、
かつ、UCカウンタ最大しきい値レジスタ (UCthCBR, UCthRVR, UCthRM, UCthNVR, UCthABR, UCthUBR) のいずれかが“0”の場合
- (f) 出力キューEPDしきい値レジスタ (OQthAEP, OQthUEP) のいずれかが“0”で、
かつ、入力セルがEPD非対象の場合
- (g) 出力キュー最小しきい値レジスタ (OQminCRV, OQminRNV, OQminABR, OQminUBR) のいずれかが“0”で、
かつ、TCカウンタ最小しきい値レジスタ (TCminCRV, TCminRNV, TCminABR, TCminUBR) のいずれかが“0”で、
かつ、UCカウンタEPDしきい値レジスタ (UCthAEP, UCthUEP) のいずれかが“0”で、
かつ、入力セルがEPD非対象の場合
- (h) 出力キュー-CLPしきい値レジスタ (OQthCCL, OQthRCL, OQthACL, OQthUCL) のいずれかが“0”で、
入力セルがCLP対象の場合

<対策>

上記(a)-(h)の設定をしないでください。

(8) UTOPIA出力端子ドライブ能力**<現象>**

ATM フォ - ラム勧告では、ハイ・レベル出力電流 (I_{OH}) がMIN. - 8mA以上となっていますが、 μ PD98410ではTYP. - 8mAの実力となっています。ロウ・レベル出力電流 (I_{OL}) は、8mA以上あり問題ありません。

<対策>

多くのデバイスを接続しないでください。

NECの155M - PHY (μ PD98404) 2個を1つのUTOPIAポートに接続する場合や、6ポート25M-PHY (μ PD98408) 2個を1つのUTOPIAに接続する場合は問題ありません。

(9) キュー - 管理**<現象>**

マルチキャスト・セルが多量に滞留すると、TCカウンタがオーバフローする場合があります、その結果キュー管理が誤動作してしまうことがあります。

<対策>

以下のいずれかの条件で使用すれば、この現象は生じません。

(a) 外部メモリを最小構成で使用する

(b) OQmaxしきい値とOQminしきい値とMQmaxしきい値とMQminしきい値を、以下の条件を満足するように設定してください。

$(OQ_{max}しきい値 - OQ_{min}しきい値) \times n +$

$(MQ_{max}しきい値 - MQ_{min}しきい値) < (65535 - n)$

ただし、nは使用するポート数とします。

(10) 同報数不整合によるキュー管理誤動作、およびArea-B再利用可能タイミング問題**<現象>**

μPD98410の動作中に、マルチキャスト・コネクションを追加、変更または削除すると以下の2点の現象が生じる可能性があります。

[問題点1] 同報数不整合によるキュー管理誤動作

マルチキャスト・コネクションに対して同報数の変更を行うと、該当コネクションのセルが滞留している場合、キュー管理が誤動作します。

誤動作が発生する条件としては、セルが滞留しているコネクションに対して、HTT（ヘッダ変換テーブル）メモリArea-Bの同報先出力ポートLPN0-23：Logical Port（MB：Multicast Bitmap）の変更を行った場合です。

マルチキャスト・コネクションに対して同報数の変更を行っても、セルが滞留していない場合は、キュー管理は正常に行われます。また、シングルキャスト・コネクションに対して、出力先の変更を行っても、キュー管理は正常に行われます。

この現象の発生メカニズムを以下に示します。

μPD98410は、セルを受信したときにHTTメモリArea-Aに設定してある同報数（NMP：Number of Multicast Port）を同報数（CC：Cast Counter）として、受信セルとともにセル・バッファに格納します。セルを送信するときには、HTTメモリArea-Bの同報先出力ポート（MB）と、セル・バッファの同報数（CC）を参照して、同報先ポートと同報完了を判定します。したがってセルを出力する前に、HTTメモリArea-Bの同報先出力ポート（MB）の更新を行うと、変更前の同報数（CC）と、変更後の同報先出力ポート（MB）を参照することになり、不整合が生じます。これにより、セルがセル・バッファ上に残留あるいは同報を終了していないセルの解放といった現象が発生し、μPD98410全体のキュー管理が正常に行われなくなります。

[問題点2] Area-B再利用可能タイミング問題

問題点1で述べたように、マルチキャスト・コネクションに関しては、該当コネクションのセルがすべて出力されるまで、HTTメモリArea-Bの設定を保持している必要があります。ところがすべてのセルが出力されたかどうかの判断ができないため、コネクション変更可能タイミングの判断ができません。HTTメモリArea-Aについては、任意のタイミングで変更しても、キュー管理上の問題はありません。この場合、受信済の滞留セルは変更前/変更後のいずれかの情報でスイッチングされます。

<対策案>

問題点1の“同報数不整合によるキュー管理誤動作”を回避させるためにHTTメモリのArea-Bを同報数ごとに分割して使用してください。

また、問題点2の“Area-B再利用可能タイミング問題”を回避するために、各同報数ごとに同報専用キューをマイクロプロセッサ側で用意してください。

次に、マイクロプロセッサ側からHTTメモリへの設定手順例を示します。

[初期設定]

- HTTPメモリのArea-B領域を各同報数ごとに任意に分割して、同報数が同じコネクションは同じ領域を使用します。リキューイング時にArea-Bが変更されていても、変更の前後で同報数が同じになるので、同報数には不整合が発生せず、キュー管理誤動作が発生しません（例では使用するArea-Bの領域として2048チャンネル、同報数を2-24までとして各同報数ごとに専用領域を用意します）。

（例）Area-B

0ch- 88ch	2同報専用
89ch- 177ch	3同報専用
178ch- 266ch	4同報専用
267ch- 355ch	5同報専用
	⋮
	⋮
	⋮
1958ch-2046ch	24同報専用

- HTTPメモリのArea-Bを再利用するまでのタイミングに余裕を持たせるために、マイクロプロセッサ側で各同報数ごとに同報専用キュー（待ち行列）を用意し、使用可能なチャンネル（フリー・チャンネル）を管理します。

（例）2同報専用キューでは、0ch,1ch,...,87ch,88chという並びのキューを作成します。

[新規に、マルチキャスト・コネクションを登録する場合]

- マイクロプロセッサ側で用意している同報専用キューからフリー・チャンネルを取得します。
- 取得したチャンネルのArea-B領域にコネクション情報を設定します。
- Area-A領域にコネクション情報を設定します。[※]

注 16ビット分離型非同期バス・モード使用時は、“HTTP[15:0]の設定 HTTP[31:16]の設定”の手順となります。

[既存のマルチキャスト・コネクションを削除する場合]

- Area-Aをクリアします (Type-Cの31ビット (CEN:Channel Enable) に"0"を設定します)。
- 使用していたArea-Bのチャンネルをフリー・チャンネルとして解放し、同報専用キューに書き戻します。
- 使用していたArea-Bの内容は変更しません。

[既存のマルチキャスト・コネクションを更新する場合]

- マイクロプロセッサ側で用意している同報専用キューからフリー・チャンネルを取得します。
- 取得したチャンネルのArea-B領域に更新するコネクション情報を設定します。
- Area-A領域に更新するコネクション情報を設定します。^注
- 使用していたArea-Bのチャンネルをフリー・チャンネルとして解放し、同報専用キューに書き戻します。
- 使用していたArea-Bの内容は変更しません。

注 16ビット分離型非同期バス・モード使用時は、“Type-Cの31ビット(CEN)に"0"を設定 HTT[15:0]の更新 HTT[31:16]の更新”(CEN=“1”)の手順となります。

<対策案の効果について>

上記対策を行うことにより、問題点1は回避できます。問題点2に関しては、実使用状態では、ほとんど発生を押さえることができると思われますが、完全な回避策を講じることはできません。

これは、チャンネルごとに、キューの中に滞留しているすべてのセルが出力されたかどうか知ることができないことによります。その結果、Area-Bを変更することによって同報先ポートや出力VPI/VCIなどの不整合が発生し、不正なセルが出力される可能性が残ります。

コネクションの削除や更新をしたあとでも、削除/更新前のコネクションのセルがマルチキャスト・キューに滞留しているかもしれない状況が考えられます。特に、UBRのような優先度の低いクラスのセルは長時間滞留する可能性があり、このような場合に削除/更新前のArea-Bのコネクション情報が再利用されてしまうと、リキューイング時に同報数および同報先情報の不整合が発生すると考えられます。

μPD98410では同報数の情報が特に重要で、問題点1の“同報数不整合によるキュー管理誤動作問題”を回避させるためにArea-Bを同報数ごとに分割しています。つまり、同報数毎に分割しておけば、リキューイング時にArea-Bが再利用されたとしても同報数には不整合が発生せず、キュー管理誤動作を招くことはありません。

また、問題点2の“Area-B再利用可能タイミング問題”を回避するために、各同報数ごとに同報専用キューをマイクロプロセッサ側で用意します。同報専用キューを設けることにより、Area-Bを再利用するまでのタイミングに余裕を持たせることができます。

(11) セル・バッファ・メモリへのMPUアクセス制限

リセット後、マイクロプロセッサがセル・バッファ・メモリの初期動作を確認するために、セル・バッファ・メモリに書き込み、読み出しをする場合には、以下の制限事項があります。

<制限事項>

セル・バッファ・メモリへライトする場合は、必ず1ワード88ビット分のデータをライトし、CBD (Cell Buffer Data) [31:0]またはCBD[15:0]を最後に書き込んでください。

1ワードのライト動作は、88ビット分のデータをライトすること、かつCBD[31:0]またはCBD[15:0]を最後に書き込むことより完了します。

1ワードのライト動作が完了していない状態、すなわちCBD[31:0]またはCBD[15:0]を最後に書き込まない状態で、CMDレジスタにスイッチ動作有効 (CMD=111) を設定すると、 μ PD98410は受信したセル・データをセル・バッファ・メモリに書き込みません。その結果、以後のスイッチ動作は正常に行われなくなります。

[メ モ]

第7章 FAQ (Frequently Asked Questions)

μ PD98410 (X10) に関して、問い合わせのあった質問FAQ (Frequently Asked Questions) と、その回答を以下に記述します。

Q.1

半田付け推奨条件は、何か？

A.1

当社の「半導体デバイス実装マニュアル」(C10535J) 内に記述されている、IR20-202-3という条件に該当します。

Q.2

VPI値にかかわらず、VCI = 0の入力セルをある特定の出力ポートに出力させたい場合は、X10に対して、どのような設定をすればよいか？

A.2

スイッチング動作開始前に、HTT (Header Translation Table) メモリ上に全VPI値に対するパラメータをセットしておく必要があります。

Q.3

F4とF5のOAMセルの扱いはどうなるのか？

A.3

F4のOAMセルに関しては、ハンドル可能です。X10で、入力F4のOAMセルを認識して、ある出力ポートへ出力できます。

F5のOAMセルに関しては、X10だけではハンドルできません。たとえば、入力されたF5のOAMセルをSARデバイスのポートに出力させる制御機能 (OAMフィルタリング機能) は持っていません。F5のOAMセルは、処理する必要があります。

Q.4

セル・バッファ・メモリやHTT&コントロール・メモリとして接続するSRAMのアクセス速度は、どのくらいを必要とするか？

A.4

接続するSRAMの個数や配線長により異なりますが、15ns品を推奨します。

Q.5

Area-Aのアクセスするときのアドレスは、offset+VPI/VCI合成アドレスから生成するのか？

A.5

そうです。 **3.3.4 HTTへのアクセス方法** を参照してください。

Q.6

X10はキューがたくさんあるようだが、実際はいくつあるのか？

A.6

以下に示します。トータル・キューは、実際にはキューではなく、カウンタとなっています。

アイドル・キュー	: 1個
出力キュー	: 96個 (=4クラス×24ポート)
マルチキャスト・キュー	: 4個 (=4クラス)
クラスごとのトータル・キュー	: カウンタ
トータル・キュー	: カウンタ

Q.7

OQmin X X X (出力最小キュー長) は、各論理ポートごとに同じ設定値になるのか？

A.7

各論理ポートごとに同じ設定値になります。

Q.8

- (1) 各論理出力ポートごとにある出力キューから実際のポートへセルを出力する場合の出力順番はどうなるのか？単純なround-robinか、CBRキュー等特定キューにセルがあれば常に優先か、あるいはそれ以外か？
- (2) CBRとrt-VBRは同じ出力キューに入っているが、CBRクラスのセルの出力発生間隔を一定にする仕組みはどうなっているのか？

A.8

出力キューからセルが出力されるまでの順番は、次のようになっています。

- (a) 各PHYに送信可能の問い合わせ(ポーリング)を行う
- (b) 出力レート制御(シェーピング)、セル滞留情報、ポーリング結果から論理出力ポートを決定
- (c) 決定された論理出力ポート内から、サービス・クラスを決定する

サービス・クラスは、CBR+rtVBR, RM+VBR, ABR, UBR の順にWFQ (Weighted Fairness Queueing) 方式を用いて決定されます。出力発生間隔は、ポートに関してはシェーピングで、クラスに関してはWFQとなります。CBRとrt-VBRのキューに関して、CBRのみの出力の調整はできません。CBRクラスと同様にrt-VBRクラスもリアル・タイム性が重要であるので、優先度の高い同一のキューに入れます。

Q.9

入力ポートにアイドル・セル、アンアサインド・セルなど有効セル以外のセルを入力した場合、出力ポートへの出力は、どうなるのか？

A.9

アイドル・セル、アンアサインド・セルは、ともにVPI=0, VCI=0であるので、HTTメモリの設定に従った出力ポートへ出力されます。また、HTTメモリへ未設定のセルを入力したときには、ヘッダ変換エラーが発生して入力セルは廃棄されます。

Q.10

マルチキャスト・キューは、各クラス対応に4つのキューがあり、リキューイング時に各マルチキャスト・キューに対する優先度は固定ですが、これは、上位のマルチキャスト・キューにセルが滞留していない場合、下位のマルチキャスト・キューのセルが出力される（たとえば、CBR, VBR, ABRクラスにセルが滞留していない場合、UBRクラスのセルが出力される）ことを意味しているのか？

A.10

その通りです。

Q.11

WFQ動作に関する質問で、周期カウンタがタイムアウトした際、 C_{CBR} , C_{VBR} 各カウンタに対し、 C_{CBR} , C_{VBR} 各カウンタの現在値 + クラス優先制御レジスタの設定値がそれぞれロードされるのか。

A.11

その通りです。

Q.12

C_{ABR} , C_{UBR} カウンタによる優先制御が起動されても、ABR, UBRクラスに滞留セルがなく、CBR, VBRクラスに滞留セルがあれば、CBR, VBRクラスに出力許可が与えられるが、この場合、 C_{CBR} , C_{VBR} 各カウンタがゼロでなければ、出力される分だけカウント値が減らされるのか。

A.12

C_{ABR} , C_{UBR} による優先制御になる場合は、次の場合です。

「 $C_{CBR}=0$ または、CBRキューにセルが滞留していない」かつ、

「 $C_{VBR}=0$ または、VBRキューにセルが滞留していない」。

したがって、ご質問にあるような状況でCBR, VBRクラスに出力許可が与えられる場合は、「セルは滞留しているが、カウンタが0」の場合だけです。この場合、セルを出力してもカウンタは0のままという動作になります。

Q.13

マルチキャスト・キュー - の出力 (リキュー - イング) スル - プットは、どの程度か？

A.13

マルチキャスト・セルのリキューイング (=セル格納アドレス・コピー) 時のHTT & コントロール・メモリ (SRAM) に対するアクセスは、次の3種類です。

- ・セル格納アドレスのリード
- ・HTT Area-Bのリード
- ・各出力キューに対するセル格納アドレスのライト

たとえば、1:7のマルチキャストの場合、1マルチキャスト・セルの処理には、2回のリードと7回のライトが必要になります。さらに、μPD98410ではリードとライトの間に1回のアイドル期間が必要なため、1マルチキャスト・セルの処理には10回のアクセスタイミングが必要になります。

ところで、μPD98410は44SWCLKを基本サイクルとして動作しています。マルチキャスト処理としては、基本サイクル当たり、少なくとも8回以上のメモリ・アクセスを割り当てています。

以上から、8マルチキャスト・セル分の処理には、80回 (=10回×8セル) のアクセス・タイミングを用いて56セル分 (=8ポート×7方向) のリキューイングを行うこととなります。この場合のリキューイング・スループットはSWCLK=33[MHz]のとき、約1.7[Gbps]相当となります。

このときスイッチの能力1.256[Gbps]を越えているので、出力キューにセルが滞留することとなります。

$$\frac{56(\text{Cell}) \times 53 (\text{Octet/Cell}) \times 8(\text{bit/Octet})}{\frac{80(\text{回})}{8(\text{回})} \times \frac{1}{33 \times 10^6} (\text{sec/SWCLK}) \times 44 (\text{SWCLK})} = 1.7808 \times 10^9 (\text{bps})$$

次に、マルチキャスト・キューにおけるセル滞留についてです。

上記のように、1:7のマルチキャストでは、1マルチキャスト・セルの処理において10回のアクセス・タイミングを必要としており、10回の処理時間ごとに1回マルチキャスト・キューからセルを読み出すこととなります。したがって、マルチキャスト・キューの読み出しの速度は、254.4[Mbps]相当となります。

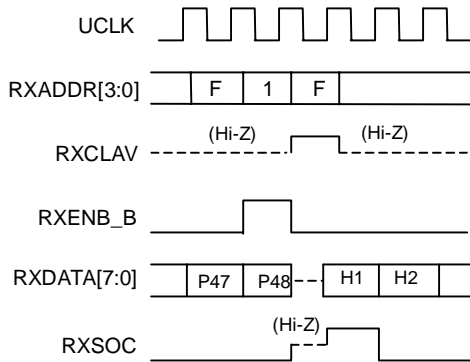
$$\frac{1(\text{Cell}) \times 53 (\text{Octet/Cell}) \times 8(\text{bit/Octet})}{\frac{10(\text{回})}{8(\text{回})} \times \frac{1}{33 \times 10^6} (\text{sec/SWCLK}) \times 44 (\text{SWCLK})} = 254.4 \times 10^6 (\text{bps})$$

マルチキャスト・コネクションの速度の総和 (入力セルのスループットの総和) が254.4[Mbps]を越える場合は、マルチキャスト・キューにセルがどんどん滞留することとなります。254.4[Mbps]を越えない場合は、マルチキャスト・キューの滞留は最大8セルまでです。

なお、254.4[Mbps]の値は能力が低いように思われるかもしれませんが、このような1:7のマルチキャスト・コネクションが8個ある場合、マルチキャスト・キューにセルが滞留するよりも、出力キューにセルが滞留することになるので、能力的に十分だと考えています。

Q.14

X10は、あるPHY (PHY#1とする) からセルを受信中に、他のPHYのポーリング結果がすべてNGの場合、前記セルを受信し終わったあと、再度PHY#1をセレクトするが、このとき、下図のように、RxENB_Bを一度ハイ・レベルに戻すのか？



A.14

X10 は、RXENB_B を一度ハイ・レベルに戻します。

Q.15

デバイス初期化例を教えてください。

A.15

電源投入

RESET_B 端子にロウ・レベル入力

ステータス・レジスタ (STATUS) リード: BY=0 なら次へ進み, BY=1 なら STATUS レジスタを繰り返しリード

メモリ・モード・レジスタ (MODE) ライト: 各フィールド設定

HTT メモリの初期化: 0 でメモリを初期化する。

割り込みマスク・レジスタ (INTMASK) ライト: 各フィールド設定

ポート・コンフィギュレーション・レジスタ (PT0-PT23) ライト: 各フィールド設定

ヘッダ変換コンフィギュレーション・レジスタ (HT0-HT23) ライト: 各フィールド設定

各種カウント・イネブル・レジスタ (CTENTH, CTENHT, CTENHEC, CTENMEM, CTENRCV) ライト: 各フィールド設定

各種しきい値・レジスタ (OQminCRVなど) ライト: 各フィールド設定

クラス優先制御・レジスタ (PC0-PC23) と周期カウント・レジスタ (PERIOD) ライト: 各フィールド設定

HTT (Header Translation Table) メモリにライト: 各フィールド設定

コマンド・レジスタ (CMD) ライト: CMD=111設定

スイッチング動作開始

Q.16

割り込み処理例を教えてください。

A.16

マイクロプロセッサが、INT_B端子のロウ・レベル信号検出

ステータスレジスタ (STATUS) リードし、割り込み要因認知

以降は、割り込み要因により処理が分岐します。

(1) パリティ・エラー (PH, PC=1)

マイクロプロセッサが、X10に対してリセット動作を実行

(2) 入力ポート・オーバーラン (IN=1)

マイクロプロセッサが、入力ポート・オーバーラン・エラー・廃棄表示レジスタ (ERINOV) リードで廃棄が発生したUTOPIA番号認知

(3) キュー・ポインタまたはキャスト・カウンタ・エラー (QE, CE=1)

マイクロプロセッサが、X10に対してリセット動作を実行

(4) セル・バッファまたはコントロール・メモリ不足 (CB, CT=1)

一時的にセル廃棄されますが、メモリ上に余裕ができれば、X10は、自動的に通常動作に復帰し、スイッチング動作を継続

(5) HEC/CRCエラー (HE=1)

マイクロプロセッサが、HEC/CRCエラー・廃棄表示レジスタ (ERHEC) リードで廃棄が発生した論理入力ポートを認知

(6) ヘッダ変換エラー (HT=1)

マイクロプロセッサが、ヘッダ変換エラー・廃棄表示レジスタ (ERHT) リードで廃棄が発生した論理入力ポートなどを認知

(7) バッファしきい値越え (EX=1)

マイクロプロセッサが、しきい値越え廃棄表示レジスタ (EXTH) リードで廃棄が発生した論理出力ポートなどを認知

(8) カウント・オーバー (CME, CHE, CHT, CEX, CRV=1)

X10は、カウント・オーバーしたカウンタ値を0に戻し、カウントを継続

Q.17

HTTメモリへの設定変更の方法例を教えてください。

A.17

(1) シングルキャスト

[新規にシングルキャスト・コネクションを登録する場合]

- ・ Area-A領域にコネクション情報を設定します。

備考 16ビット分離型バス・モード使用時は，“HTT[15:0]の設定 HTT[31:16]の設定”の手順となります。

[既存のシングルキャスト・コネクションを削除する場合]

- ・ Area-Aをクリアします (Type-Bの31ビット (CEN : Channel Enable) に “0” を設定します)。

[既存のシングルキャスト・コネクションを更新する場合]

- ・ Area-A領域に更新するコネクション情報を設定します。

備考 16ビット分離型非同期バス・モード使用時は，“Type-Bの31ビット (CEN) に “0” を設定
HTT[15:0]の更新 HTT[31:16]の更新 (CEN=1)”の手順となります。

(2) マルチキャスト

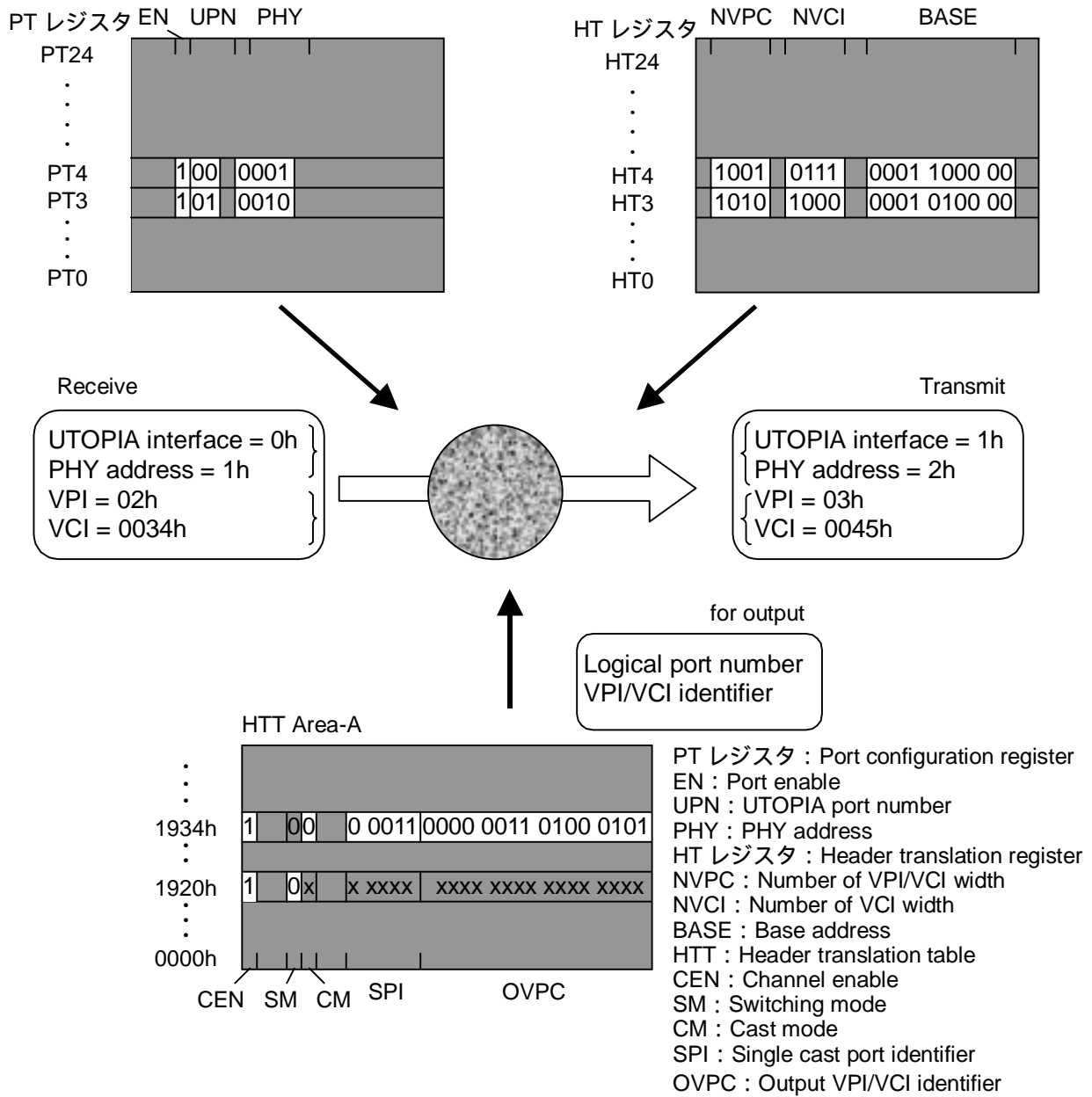
第6章 使用制限事項 (10)の項を参照してください。

Q.18
Vccスイッチング，シングルキャストの場合のヘッダ変換の動作を教えてください。

A.18

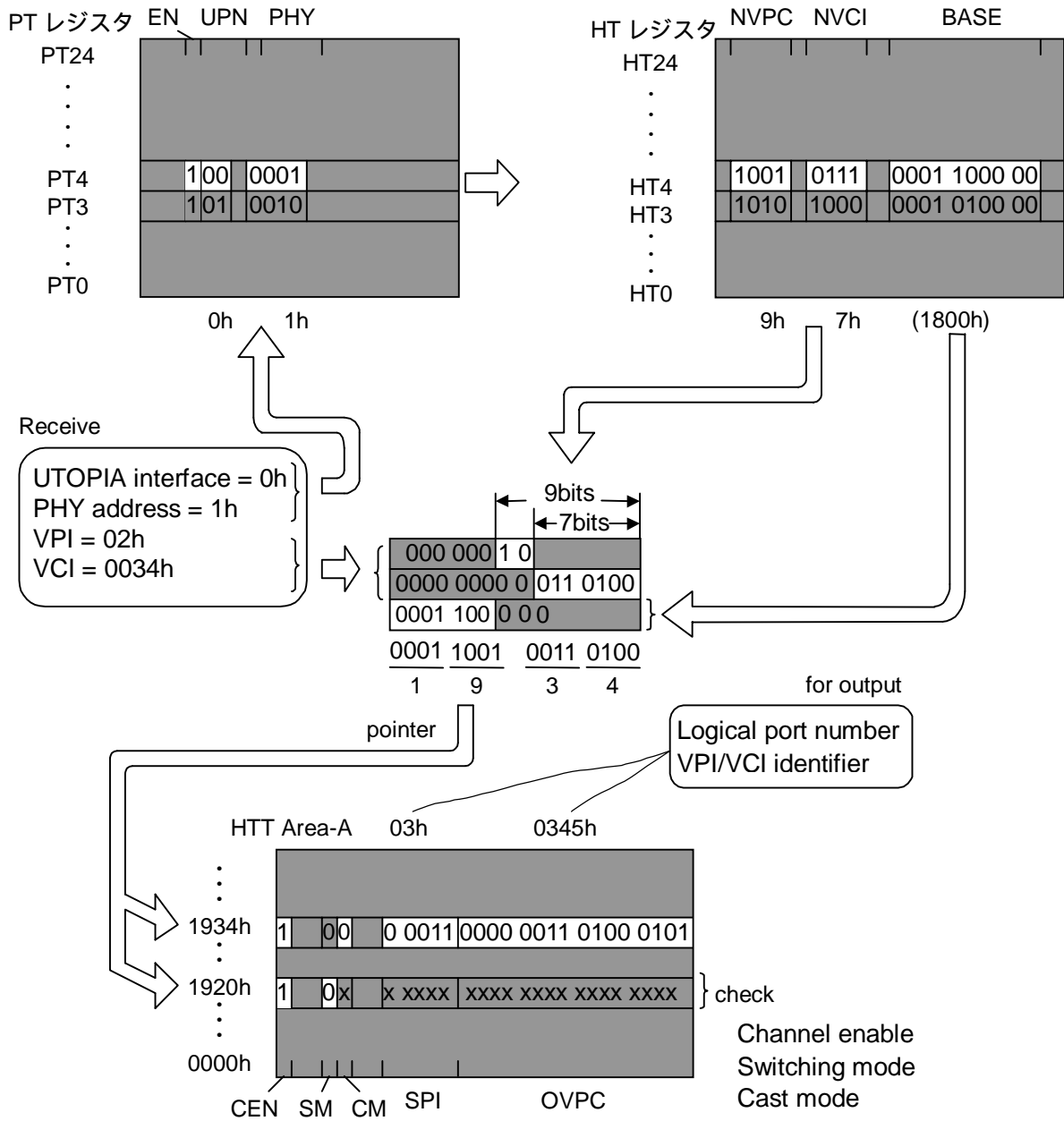
UTOPIAインタフェース=0h，PHYアドレス=1h，VPI=02h，VCI=0034hの入力セルをUTOPIAインタフェース=1h，PHYアドレス=2h，VPI=03h，VCI=0045hへ出力させる場合を想定します。
この場合のX10ヘッダ変換動作を図7-1-7-3に示します。

図7-1 ヘッダ変換フロー（全体）



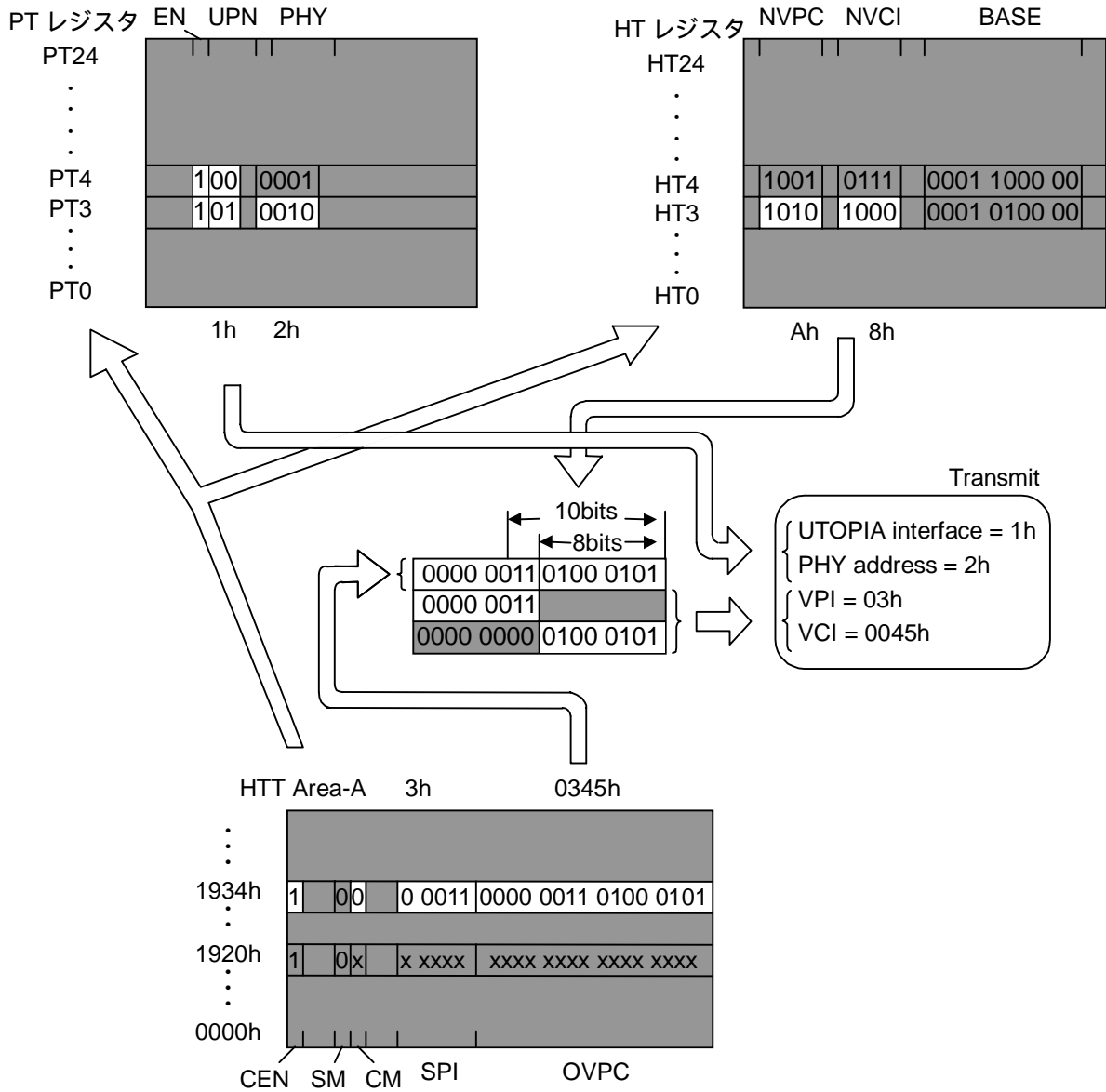
1934h x 4 = 064D0h (memory address for Processor)

図7-2 ヘッダ変換フロー(受信側)



1934h x 4 = 064D0h (memory address for Processor)

図7-3 ヘッダ変換フロー(送信側)



Q.19

HTTメモリのマッピング例を具体的に教えてほしい。

A.19

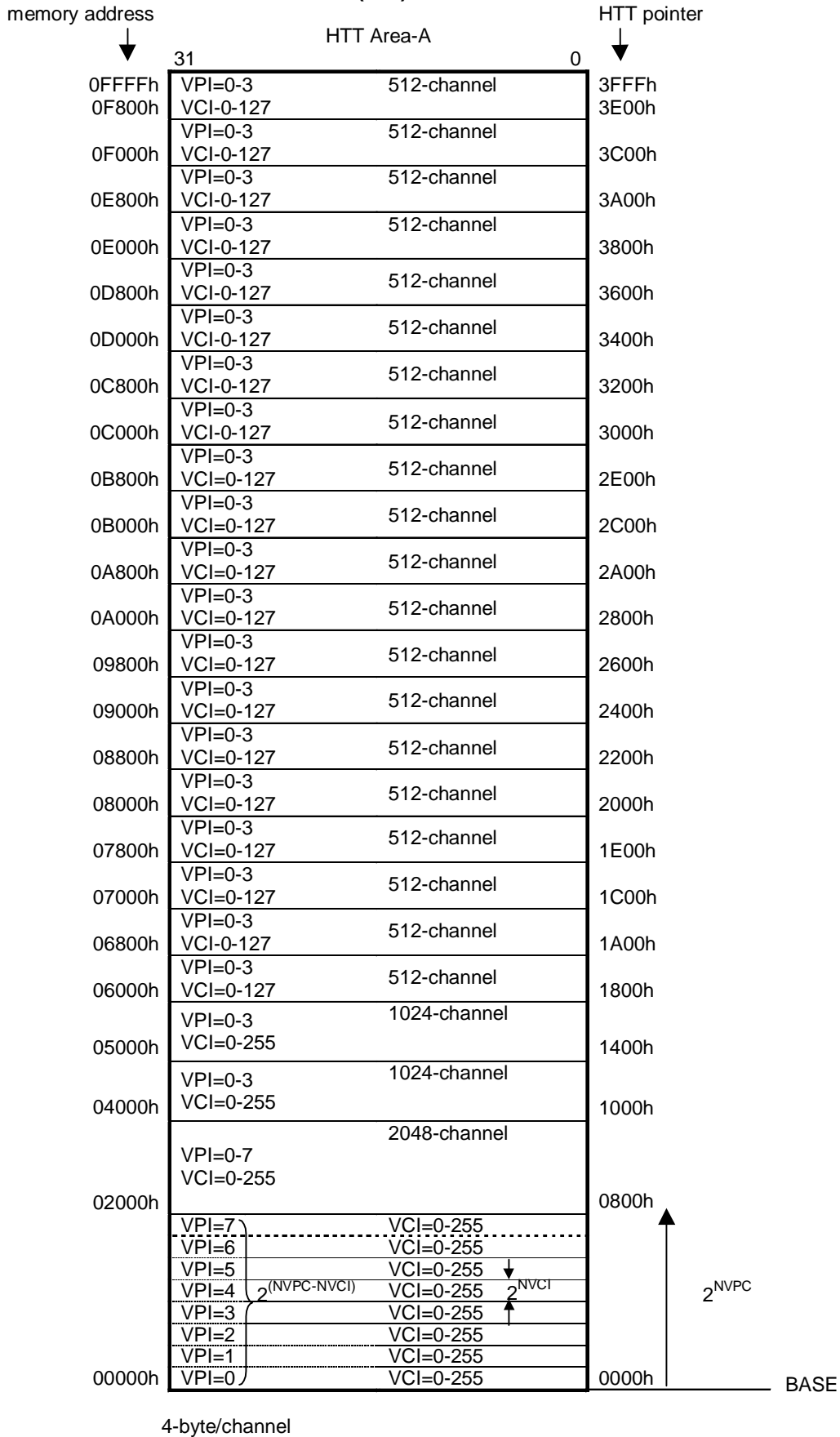
たとえば，HT23-HT0レジスタに図7 - 4の設定をした場合，HTTメモリのマッピングは図7 - 5のようになります。

図7 - 4 HTレジスタ設定例

	31		16 15		0
HT23	9h	7h			3E00h
HT22	9h	7h			3C00h
HT21	9h	7h			3A00h
HT20	9h	7h			3800h
HT19	9h	7h			3600h
HT18	9h	7h			3400h
HT17	9h	7h			3200h
HT16	9h	7h			3000h
HT15	9h	7h			2E00h
HT14	9h	7h			2C00h
HT13	9h	7h			2A00h
HT12	9h	7h			2800h
HT11	9h	7h			2600h
HT10	9h	7h			2400h
HT9	9h	7h			2200h
HT8	9h	7h			2000h
HT7	9h	7h			1E00h
HT6	9h	7h			1C00h
HT5	9h	7h			1A00h
HT4	9h	7h			1800h
HT3	Ah	8h			1400h
HT2	Ah	8h			1000h
HT1	Bh	8h			0800h
HT0	Bh	8h			0000h
	NVPC NVCI		[15:6] [5:0]		
	BASE[15:0]				

図7-5 HTTメモリ・マッピング例

ex.1M-bit(x18)SRAMx7



— お問い合わせ先 —

【技術的なお問い合わせ先】

N E C 半導体テクニカルホットライン (インフォメーションセンター)
 (電話 : 午前 9:00 ~ 12:00 , 午後 1:00 ~ 5:00)

電話 : **044-548-8899**
 FAX : **044-548-7900**
 E-mail : **s-info@saed.tmg.nec.co.jp**

【営業関係お問い合わせ先】

半導体第一販売事業部
 半導体第二販売事業部
 半導体第三販売事業部

〒108-8001 東京都港区芝 5 - 7 - 1 (日本電気本社ビル)

(03)3454-1111

中部支社 半導体第一販売部
 半導体第二販売部

〒460-8525 愛知県名古屋市中区錦 1 - 17 - 1 (日本電気中部ビル)

(052)222-2170
(052)222-2190

関西支社 半導体第一販売部
 半導体第二販売部
 半導体第三販売部

〒540-8551 大阪府大阪市中央区城見 1 - 4 - 24 (日本電気関西ビル)

(06) 945-3178
(06) 945-3200
(06) 945-3208

北海道支社	札幌	(011)251-5599	宇都宮支店	宇都宮	(028)621-2281	北陸支社	金沢	(076)232-7303
東北支社	仙台	(022)267-8740	小山支店	小山	(0285)24-5011	京都支社	京都	(075)344-7824
岩手支店	盛岡	(019)651-4344	甲府支店	甲府	(0552)24-4141	神戸支社	神戸	(078)333-3854
郡山支店	郡山	(0249)23-5511	長野支社	松本	(0263)35-1662	中国支社	広島	(082)242-5504
いわき支店	いわき	(0246)21-5511	静岡支社	静岡	(054)254-4794	鳥取支店	鳥取	(0857)27-5311
長岡支店	長岡	(0258)36-2155	立川支社	立川	(042)526-5981,6167	岡山支店	岡山	(086)225-4455
水戸支店	水戸	(029)226-1717	埼玉支社	大宮	(048)649-1415	松山支店	松山	(089)945-4149
土浦支店	土浦	(0298)23-6161	千葉支社	千葉	(043)238-8116	九州支社	福岡	(092)261-2806
群馬支店	高崎	(027)326-1255	神奈川支社	横浜	(045)682-4524			
太田支店	太田	(0276)46-4011	三重支店	津	(059)225-7341			

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD98410 ユーザーズ・マニュアル
(S12523JJ2V1UM00 (第2版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価 (各欄に をご記入ください)

項目	大変良い	良い	普通	悪い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ()					
()					

2. わかりやすい所(第 章,第 章,第 章,第 章,その他)
理由 []

3. わかりにくい所(第 章,第 章,第 章,第 章,その他)
理由 []

4. ご意見, ご要望
[]

5. このドキュメントをお届けしたのは
NEC販売員, 特約店販売員, NEC半導体ソリューション技術本部員,
その他 ()

ご協力ありがとうございました。
下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡しください。

キ
リ
ト
リ