

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

保守/廃止

μ PD98408

(NEASCOT - T20™)

6ポート 25M ATM PHY LSI

[メ 毛]

目 次 要 約

- 第 1 章 概 説 ... 15
- 第 2 章 端子機能 ... 21
- 第 3 章 機能概要 ... 31
- 第 4 章 レジスタ ... 51
- 第 5 章 JTAG バウンダリ・スキャン ... 77
- 第 6 章 アプリケーション構成例 ... 95

CMOSデバイスの一般的注意事項

静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

NEASCOT-T20 は、日本電気株式会社の商標です。

本製品は外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当しますので、日本国外に輸出する場合には、同法に基づき日本国政府の輸出許可が必要です。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

本資料の内容は、後日変更する場合があります。

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災 / 防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート / データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

本版で改訂された主な箇所

ページ	内 容
p.36	3.2.7 アイドル/アンアサインド・セル・ディテクション モード1, モード2の条件変更
p.71	図4-16 Idleセル廃棄条件設定レジスタ (DMODE2) DMOD2n=1のときのモード変更

本文欄外の 印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者 このマニュアルは、 μ PD98408 の機能を理解し、それを用いたアプリケーション・システムを設計するエンジニアを対象としています。

目的 このマニュアルは、次の構成に示す μ PD98408 の持つハードウェア機能をユーザに理解していただくことを目的としています。

構成 このマニュアルは、次の内容で構成されています。

- ・概説
- ・端子機能
- ・機能概要
- ・レジスタ
- ・JTAG バウンダリ・スキャン
- ・アプリケーション構成例

読み方 このマニュアルの読者には、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

一通り μ PD98408 の機能を理解しようとするとき
目次に従ってお読みください。

μ PD98408 の電気的特性を知りたいとき
別冊のデータ・シートを参照してください。

- 凡例**
- | | |
|--------------|--|
| データ表記の重み | : 左が上位桁, 右が下位桁 |
| アクティブ・ロウの表記 | : $x \times x_B$ (端子, 信号名称のあとに $_B$) |
| メモリ・マップのアドレス | : 上部 - 上位, 下部 - 下位 |
| 注 | : 本文中につけた注の説明 |
| 注意 | : 気をつけて読んでいただきたい内容 |
| 備考 | : 本文の補足説明 |
| 数の表記 | : 2進数... $x \times x \times x$ または $x \times x \times B$ |
| | 10進数... $x \times x \times x$ |
| | 16進数... $x \times x \times x \times H$ |

関連資料 パンフレット : S11370J
 データ・シート : S12313J

目 次

第1章 概 説 ... 15

- 1.1 特 徴 ... 15
- 1.2 オーダ情報 ... 15
- 1.3 システム構成例 (用途) ... 16
- 1.4 ブロック図 ... 17
- 1.5 端子構成図 ... 18
- 1.6 端子接続図 (Top View) ... 19

第2章 端子機能 ... 21

- 2.1 端子機能 ... 21
- 2.2 未使用端子の処理方法 ... 28
- 2.3 リセット時の端子の状態 ... 29

第3章 機能概要 ... 31

- 3.1 PMD サブレイヤ ... 31
 - 3.1.1 イコライザ ... 32
 - 3.1.2 コンパレータ ... 32
 - 3.1.3 クロック/データ・リカバリ ... 32
 - 3.1.4 ラッチ ... 32
 - 3.1.5 ドライバ ... 32
 - 3.1.6 Tx セレクタ ... 32
 - 3.1.7 Rx セレクタ ... 32
- 3.2 TC サブレイヤ ... 33
 - 3.2.1 LOS ディテクション ... 33
 - 3.2.2 NRZI エンコーディング/デコーディング ... 33
 - 3.2.3 コマンド・バイト・インサージョン/ディテクション ... 34
 - 3.2.4 4B5B ブロック・エンコーディング/デコーディング ... 34
 - 3.2.5 セル・スクランブラ/デスクランブラ ... 35
 - 3.2.6 HEC ジェネレーション/ベリフィケーション ... 36

3.2.7	アイドル / アンアサインド・セル・ディテクション ...	36
3.3	ATM レイヤ (UTOPIA) インタフェース ...	37
3.3.1	トランスミット・インタフェース ...	37
3.3.2	レシーブ・インタフェース ...	38
3.3.3	FIFO ブロック ...	39
3.4	ループバック・モード ...	40
3.4.1	PMD ループバック 1 ...	40
3.4.2	PMD ループバック 2 ...	40
3.4.3	ATM レイヤ・ループバック ...	41
3.4.4	ループバック時の送信データ選択機能 ...	41
3.5	CPU インタフェース ...	42
3.5.1	ライト・サイクル ...	43
3.5.2	リード・サイクル ...	44
3.6	疑似エラー生成機能 ...	45
3.7	エラー / 障害検出機能 ...	45
3.7.1	LOS (信号断) 検出機能 ...	45
3.7.2	HEC エラー / 4B5B コード・エラー検出機能 ...	46
3.7.3	送信 FIFO / 受信 FIFO オーバフロー検出機能 ...	46
3.8	X_8 コマンド・コード送受信機能 ...	47
3.8.1	X_8 コマンド・コード送信機能 ...	47
3.8.2	X_8 コマンド・コード受信機能 ...	47
3.9	テスト用信号生成機能 ...	47
3.10	PMD-Only モード ...	47
3.11	割り込み処理 ...	48

第 4 章 レジスタ ... 51

4.1	レジスタ・マップ (00H-3FH) ...	51
4.2	レジスタ機能 ...	52
4.2.1	スクランブラ / デスクランブラ (ON/OFF 設定) (SCRR) ...	52
4.2.2	コマンド・レジスタ (CMR) ...	53
4.2.3	PHY 割り込み要因レジスタ (PICR) ...	54
4.2.4	PHY 割り込みマスク・レジスタ (PIMR) ...	56
4.2.5	廃棄セル・カウンタ (DCCOU) ...	57
4.2.6	LOS 情報 (LOSERR) ...	58
4.2.7	LOS 割り込みマスク・レジスタ (LOSMSK) ...	59

- 4.2.8 PMD ループバック 1 設定 (LBPMDDT) ... 60
- 4.2.9 PMD ループバック 2 設定 (LBPMDDU) ... 61
- 4.2.10 ATM ループバック設定 (LBATM) ... 62
- 4.2.11 FIFO オーバフロー (FIFOOVT/FIFOOVR) ... 63
- 4.2.12 FIFO オーバフロー割り込みマスク・レジスタ (FOVTMSK/FOVRMSK) ... 64
- 4.2.13 PHY アドレス (PHYADD) ... 66
- 4.2.14 テスト・パターン生成機能選択 (TSTMOD) ... 67
- 4.2.15 PMD スタンバイ (PMDSTBY) ... 69
- 4.2.16 Idle セル廃棄指定レジスタ (DMODE1) ... 70
- 4.2.17 Idle セル廃棄条件設定レジスタ (DMODE2) ... 71
- 4.2.18 廃棄セル・カウンタ・オーバーフロー発生情報 (DCINFO) ... 72
- 4.2.19 廃棄セル・カウンタ・オーバーフロー発生情報割り込みマスク・レジスタ (DCMASK)
... 73
- 4.2.20 自己テスト 1 (HEC エラー内部発生) (SELFTST1) ... 74
- 4.2.21 自己テスト 2 (4B5B コード・エラー内部発生) (SELFTST2) ... 75
- 4.2.22 X_8 送信イネーブル (X8_IN) ... 76

第 5 章 JTAG バウンダリ・スキャン ... 77

5.1 特 徴 ... 77

5.2 バウンダリ・スキャン回路内部構成 ... 78

- 5.2.1 インストラクション・レジスタ (Instruction register) ... 78
- 5.2.2 TAP コントローラ (Test Access Port controller) ... 78
- 5.2.3 バイパス・レジスタ (Bypass register) ... 78
- 5.2.4 バウンダリ・スキャン・レジスタ (Boundary Scan register) ... 79

5.3 端子機能 ... 79

- 5.3.1 JCK 端子 (JTAG Clock pin) ... 79
- 5.3.2 JMS 端子 (JTAG Mode Select pin) ... 79
- 5.3.3 JDI 端子 (JTAG Data Input pin) ... 79
- 5.3.4 JDO 端子 (JTAG Data Output pin) ... 79
- 5.3.5 JRST_B 端子 (JTAG Reset pin) ... 79

5.4 動作説明 ... 80

- 5.4.1 TAP コントローラ ... 80
- 5.4.2 TAP コントローラ状態 ... 80

5.5 TAP コントローラ動作 ... 87

5.6 TAP コントローラの初期化 ... 90

5.7	インストラクション・レジスタ ...	90
5.7.1	BYPASS 命令 ...	91
5.7.2	EXTEST 命令 ...	91
5.7.3	バウンダリ・スキャン・データ・ビット定義 ...	92
第 6 章	アプリケ - ション構成例 ...	95
6.1	PE-67588 (Pulse 社の MAGNETIC MODULE) との接続例 ...	95
6.2	PE-67588 端子機能 ...	96
6.3	TLA-6M102 (TDK 社の MAGNETIC MODULE) との接続例 ...	97
6.4	TLA-6M102 の端子機能 ...	98
6.5	ボ - ド・レイアウト例 ...	99

図の目次 (1/2)

図番号	タイトル, ページ
3 - 1	PMD サブレイヤ・ブロック図 ... 31
3 - 2	NRZ コードおよび NRZI コード ... 33
3 - 3	SYNC イベントとセルの状態例 ... 34
3 - 4	PRNG ブロック図 ... 35
3 - 5	トランスミット・インタフェースでのポーリング・フェーズとセクション・フェーズ ... 37
3 - 6	レシーブ・インタフェースでのポーリング・フェーズとセクション・フェーズ ... 38
3 - 7	PMD ループバック 1 ... 40
3 - 8	PMD ループバック 2 ... 40
3 - 9	ATM レイヤ・ループバック ... 41
3 - 10	CPU インタフェース ... 42
3 - 11	シングル・データ・バイト・ライト・トランスファ ... 43
3 - 12	シングル・データ・バイト・リード・トランスファ ... 44
3 - 13	割り込み要因レジスタのビットおよび INT_B 信号動作 ... 49
3 - 14	割り込み要因レジスタ相関図 ... 50
4 - 1	スクランブラ / デスクランブラ (SCRR) ... 52
4 - 2	コマンド・レジスタ (CMR) ... 53
4 - 3	PHY 割り込み要因レジスタ (PICR) ... 54
4 - 4	PHY 割り込みマスク・レジスタ (PIMR) ... 56
4 - 5	LOS 情報 (LOSERR) ... 58
4 - 6	LOS 割り込みマスク・レジスタ (LOSMSK) ... 59
4 - 7	PMD ループバック 1 設定 (LBPMDDT) ... 60
4 - 8	PMD ループバック 2 設定 (LBPMDDU) ... 61
4 - 9	ATM ループバック設定 (LBPMDDU) ... 62
4 - 10	FIFO オーバフロー (FIFOOVT/FIFOOVR) ... 63
4 - 11	FIFO オーバフロー割り込みマスク・レジスタ (FOVTMSK/FOVRMSK) ... 64
4 - 12	PHY アドレス (PHYADD) ... 66
4 - 13	テスト・パターン生成機能選択 (TSTMOD) ... 67
4 - 14	PMD スタンバイ (PMDSTBY) ... 69
4 - 15	Idle セル廃棄指定レジスタ (DMODE1) ... 70
4 - 16	Idle セル廃棄条件設定レジスタ (DMODE2) ... 71
4 - 17	廃棄セル・カウンタ・オーバーフロー発生情報 (DCINFO) ... 72
4 - 18	廃棄セル・カウンタ・オーバーフロー発生情報割り込みマスク・レジスタ (DCMASK) ... 73

図の目次 (2/2)

図番号	タイトル, ページ
4 - 19	自己テスト1 (HEC エラー内部発生) (SELFTST1) ... 74
4 - 20	自己テスト2 (4B5B コード・エラー内部発生) (SELFTST2) ... 75
4 - 21	X_8 送信イネーブル (X_8IN) ... 76
5 - 1	バウンダリ・スキャン回路ブロック図 ... 78
5 - 2	TAP コントローラの状態 ... 80
5 - 3	コントローラ状態での動作タイミング ... 81
5 - 4	テスト・ロジックの動作 (インストラクション・スキャン) ... 88
5 - 5	テスト・ロジックの動作 (データ・スキャン) ... 89

表の目次

表番号	タイトル, ページ
3 - 1	4 ビット・コマンド / データから 5 ビット・シンボルへの変換テーブル ... 34
5 - 1	それぞれのコントローラ状態における動作 ... 87
5 - 2	μ PD98408 バウンダリ・スキャン・データ・ビット定義 ... 92

第1章 概 説

μPD98408 は ATM25 (25.6 Mbps) に準拠した ATM 物理レイヤ LSI で , TC サブレイヤ機能と PMD サブレイヤ機能を提供します。ATM レイヤおよび AAL レイヤ LSI とのインタフェースには UTOPIA Level 2 を採用しています。

1.1 特 徴

25.6 Mbps ATM PHY (PMD & TC) 機能を 6 回線分搭載

ATM Forum PHY インタフェ - ス・スペック (af-phy-0040.000 November 1995) 準拠

UTOPIA Level2 V1.0 (af-phy-0039.000 June 1995: MAX.8 ビット / 40MHz) インタフェ - ス

各回線ごとに 3 セル送受信 FIFO 内蔵

PMD サブレイヤ機能

- (a) クロック・リカバリ内蔵
- (b) イコライザ内蔵

TC サブレイヤ機能

- (a) NRZI エンコーダ / デコーダ
- (b) コマンド・バイト挿入 / 検出
- (c) 4B5B エンコーダ / デコーダ
- (d) スクランプラ / デスクランブラ
- (e) HEC 生成 / 検証

CPU インタフェース:インテル / モトローラ選択可能

STP および UTP (カテゴリ 3 , 4 , 5) をサポート

ループバック機能 : PMD および ATM レイヤでのループバック

OAM (Operation, Administration, Maintenance) 機能 : 入力断検出機能, HEC エラーと 4B5B コード・エラーの検出機能

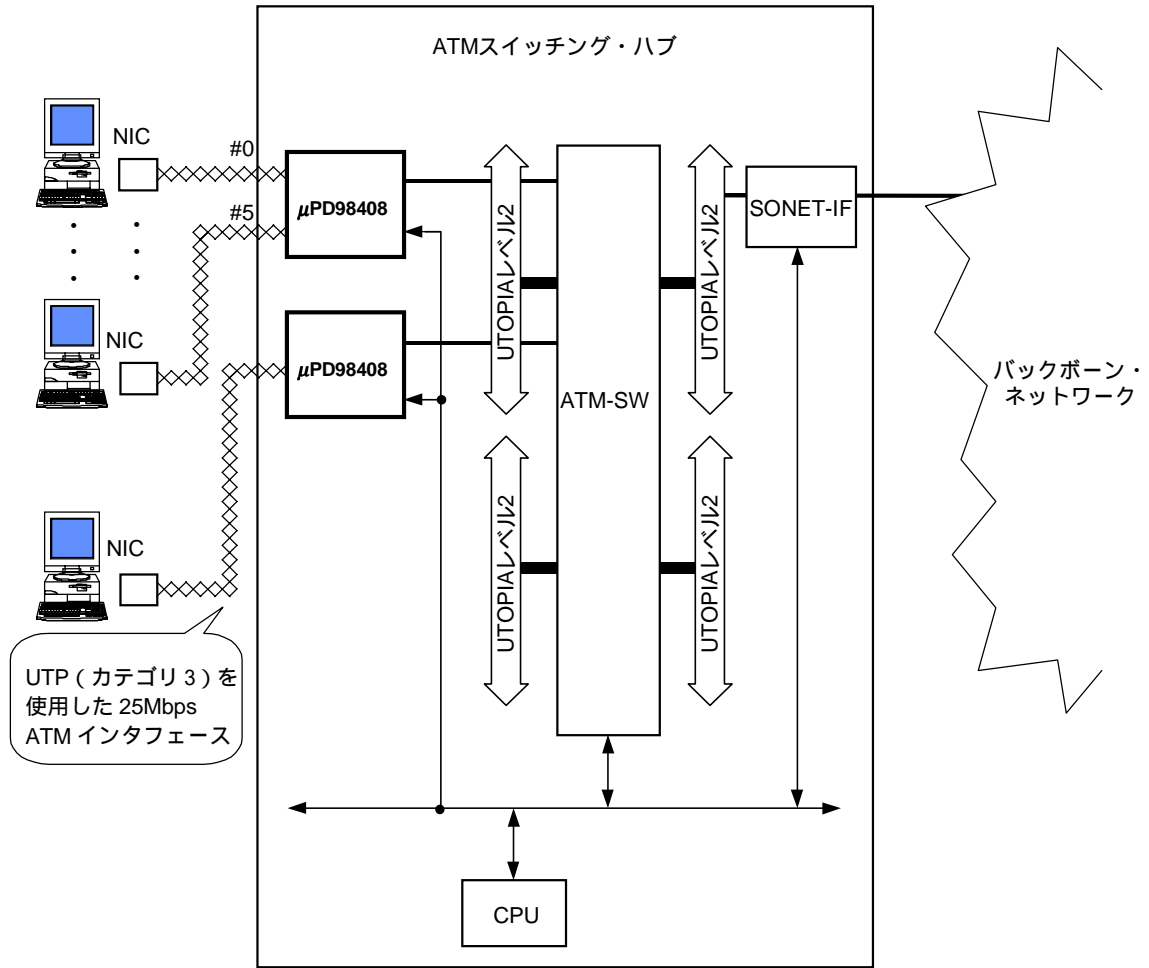
テスト機能 : JTAG (IEEE1149.1) サポ - ト

電源電圧 3.3 V ± 5%

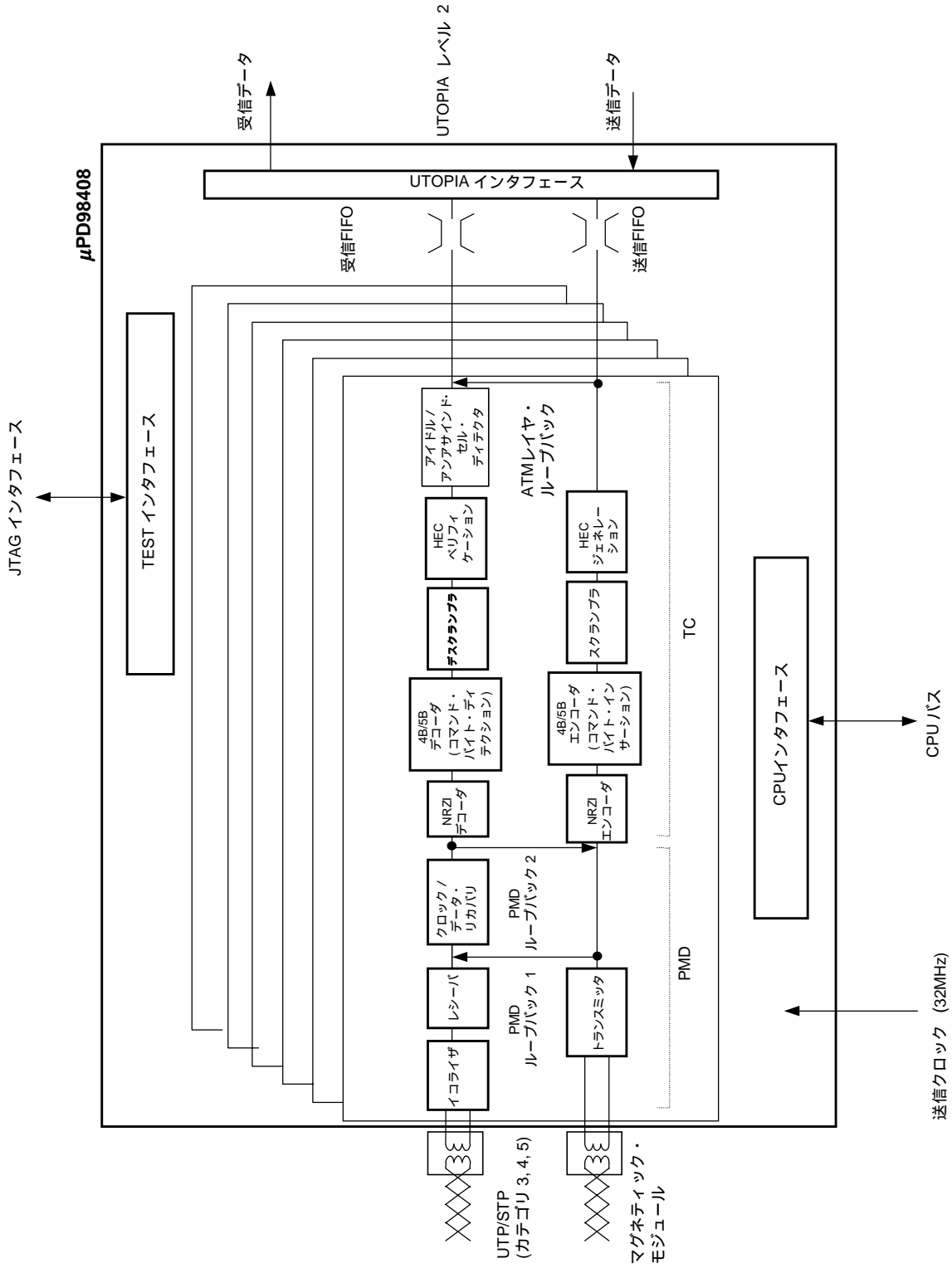
1.2 オーダ情報

オーダ名称	パッケージ
μPD98408GD-LML	208 ピン・プラスチック QFP (ファイン・ピッチ) (28mm)

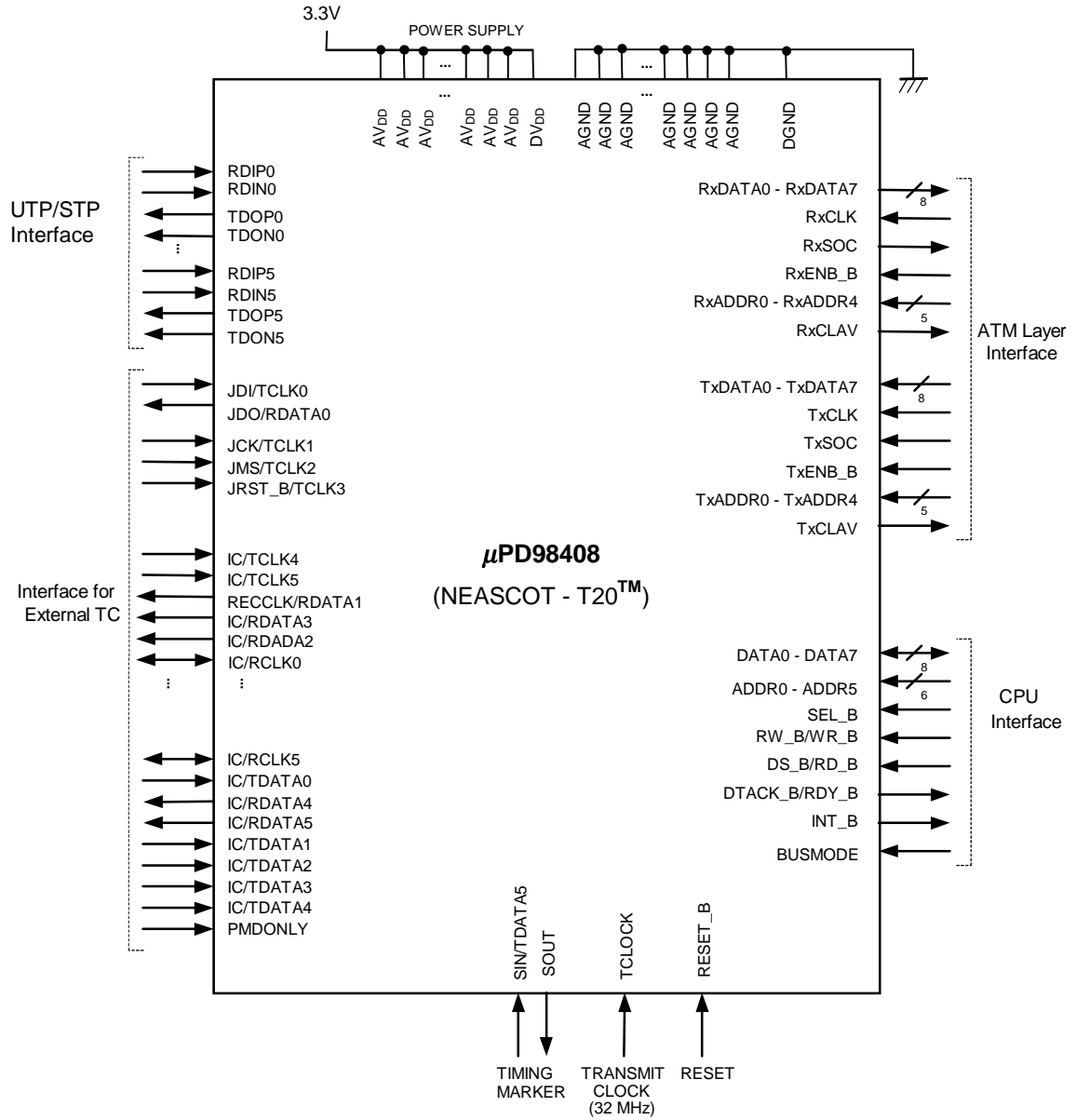
1.3 システム構成例 (用途)



1.4 ブロック図

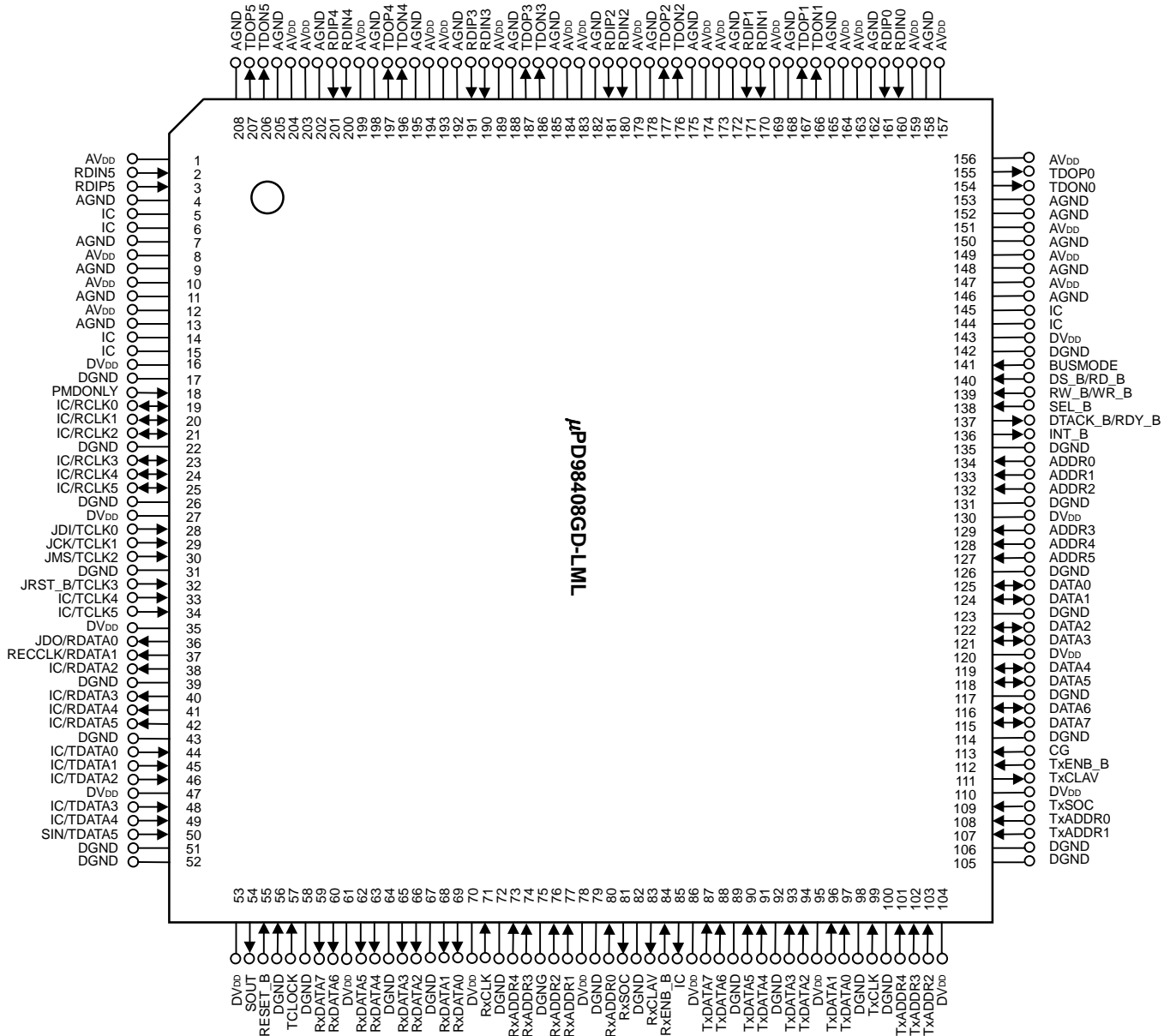


1.5 端子構成図



1.6 端子接続図 (Top View)

208ピン・プラスチック QFP (ファイン・ピッチ) (28mm)



端子名称

AV _{DD}	: Analog Supply Voltage	JDI/TCLK0	: JTAG Data Input/Transmit
DV _{DD}	: Digital Supply Voltage		Clock
AGND	: Analog Ground	JDO/RDATA0	: JTAG Data Output/Receive Data
DGND	: Digital Ground	JCK/TCLK1	: JTAG Clock/Transmit Clock
		JMS/TCLK2	: JTAG Mode Select/Transmit
			Clock
RDIP0-RDIP5	: Receive Data Input Positive	JRST_B/TCLK3	: JTAG Reset/Transmit Clock
RDIN0-RDIN5	: Receive Data Input Negative	IC/TCLK4,	: Internal Connect/Transmit
TDOP0-TDOP5	: Transmit Data Output Positive	IC/TCLK5	Clock
TDON0-TDON5	: Transmit Data Output Negative	RECCLK/RDATA1	: Recovery Clock/Receive Data
		IC/RDATA2-	: Internal Connect/Receive Data
RxDATA0-	: Receive Data	IC/RDATA5	
RxDATA07		IC/RCLK0-	: Internal Connect/Receive Clock
RxCLK	: Receive Data Clock	IC/RCLK5	
RxSOC	: Receive Start Address of ATM	IC/TDATA0-	: Internal Connect/Transmit Data
	Cell	IC/TDATA4	
RxENB_B	: Receive Enable	SIN/TDATA5	: Signal In/Transmit Data
RxADDR0-	: Receive Address		
RxADDR4		SOUT	: Signal Out
		PMDONLY	: PMD Only
RxCLAV	: Receive Cell Available	TCLOCK	: Transmit Clock
TxDATA0-TxDATA7	: Transmit Data	RESET_B	: Reset
TxCLK	: Transmit Data Clock	IC	: Internal Connect
TxSOC	: Transmit StartAddress of ATM	CG	: Connect GND
	Cell		
TxENB_B	: Transmit Enable		
TxADDR0-TxADDR4	: Transmit Address		
TxCLAV	: Transmit Cell Available		
BUSMODE	: Bus Mode		
DATA0-DATA7	: Data		
ADDR0-ADDR5	: Address		
SEL_B	: Selector		
DS_B/RD_B	: Data Strove/Read		
RW_B/WR_B	: Read Write/Write		
DTACK_B/RDY_B	: Data Acknowledge/Ready		
INT_B	: Interrupt		

第2章 端子機能

2.1 端子機能

(1) パワー・サプライ

端子名	端子番号	I/O	アクティブ・レベル	機 能
AV _{DD}	1, 8, 10, 12, 147, 149, 151, 156, 157, 159, 163, 164, 169, 173, 174, 179, 183, 184, 189, 193, 194, 199, 203, 204	-	-	アナログ部の +3.3V 電源端子です。
DV _{DD}	16, 27, 35, 47, 53, 61, 70, 78, 86, 95, 104, 110, 120, 130, 143	-	-	デジタル部の +3.3V 電源端子です。
AGND	4, 7, 9, 11, 13, 146, 148, 150, 152, 153, 158, 162, 165, 168, 172, 175, 178, 182, 185, 188, 192, 195, 198, 202, 205, 208	-	-	アナログ部の GND 端子です。
DGND	17, 22, 26, 31, 39, 43, 51, 52, 56, 58, 64, 67, 72, 75, 79, 82, 89, 92, 98, 100, 105, 106, 114, 117, 123, 126, 131, 135, 142	-	-	デジタル部の GND 端子です。

注意 基板レイアウト上で AGND と DGND は、同じ広いプレーンに接続してください。

基板レイアウト上で AV_{DD} と DV_{DD} は、同じ広いプレーンに接続してください。

詳細は、第 6 章 アプリケーション構成例 を参照してください。

(2) UTP/STP インタフェース

端子名	端子番号	I/O	アクティブ・レベル	機 能
RDIP0	161	I	-	回線#0 からの受信データ入力です (アナログ平衡信号入力)。
RDIN0	160	I	-	
TDOP0	155	O	-	回線#0 への送信データ出力です (アナログ平衡信号出力)。
TDON0	154	O	-	
RDIP1	171	I	-	回線#1 からの受信データ入力です (アナログ平衡信号入力)。
RDIN1	170	I	-	
TDOP1	167	O	-	回線#1 への送信データ出力です (アナログ平衡信号出力)。
TDON1	166	O	-	
RDIP2	181	I	-	回線#2 からの受信データ入力です (アナログ平衡信号入力)。
RDIN2	180	I	-	
TDOP2	177	O	-	回線#2 への送信データ出力です (アナログ平衡信号出力)。
TDON2	176	O	-	
RDIP3	191	I	-	回線#3 からの受信データ入力です (アナログ平衡信号入力)。
RDIN3	190	I	-	
TDOP3	187	O	-	回線#3 への送信データ出力です (アナログ平衡信号出力)。
TDON3	186	O	-	
RDIP4	201	I	-	回線#4 からの受信データ入力です (アナログ平衡信号入力)。
RDIN4	200	I	-	
TDOP4	197	O	-	回線#4 への送信データ出力です (アナログ平衡信号出力)。
TDON4	196	O	-	
RDIP5	3	I	-	回線#5 からの受信データ入力です (アナログ平衡信号入力)。
RDIN5	2	I	-	
TDOP5	207	O	-	回線#5 への送信データ出力です (アナログ平衡信号出力)。
TDON5	206	O	-	

(3) UTOPIA インタフェース

端子名	端子番号	I/O	アクティブ・レベル	機能
RxDATA0- RxDATA7	69, 68, 66, 65, 63, 62, 60, 59	O 3ステート	-	ATM レイヤ・デバイスに受信データを出力するための8ビットのデータ・バスです。RxCLKの立ち上がり同期してデータが出力されます。
RxCLK	71	I	-	ATM レイヤ・デバイスへの受信データ転送用クロックを入力します。
RxSOC	81	O 3ステート	H	受信セル開始位置信号を出力します。ATM レイヤ・デバイスに対して、受信セルの先頭バイト位置を示します。RxSOC=1の位置が先頭バイト位置です。
RxENB_B	84	I	L	RxDATA0-RxDATA7とRxSOCの出力イネーブル信号入力です。この端子に0が入力されると、RxDATA0-RxDATA7とRxSOCの出力がイネーブルになります。
RxADDR0- RxADDR4	80, 77, 76, 74, 73	I	-	μ PD98408のアドレスを示す信号を入力します。
RxCLAV	83	O 3ステート	H	セル受信可能信号を出力します。 μ PD98408が出力するセルを持つときは1になります。
TxDATA0- TxDATA7	97, 96, 94, 93, 91, 90, 88, 87	I	-	ATM レイヤ・デバイスに送信データを入力するための8ビットのデータ・バスです。TxCLKの立ち上がり同期してデータが入力されます。
TxCLK	99	I	-	ATM レイヤ・デバイスへの送信データ転送用クロックを入力します。
TxSOC	109	I	H	送信セル開始位置信号です。ATM レイヤ・デバイスから入力される送信セルの先頭バイト位置を示す信号を入力します。TxSOC=1の位置が先頭バイト位置です。
TxENB_B	112	I	L	送信イネーブル信号です。ATM レイヤ・デバイスが有効な送信データをTxDATA0-TxDATA7に出力していることを示す信号を入力します。0でイネーブル、1でディスエーブルです。
TxADDR0- TxADDR4	108, 107, 103-101	I	-	データを送信する μ PD98408のアドレスを示す信号を入力します。
TxCLAV	111	O 3ステート	H	セル送信可能信号を出力します。 μ PD98408がセルを受け付けられるときは1になります。

(4) CPU インタフェース

端子名	端子番号	I/O	アクティブ・レベル	機能
BUSMODE	141	I	-	CPU インタフェースの動作モードを選択します。 0: <DS_B, RW_B, DTACK_B> スタイル (モトローラ・コンパチブル) 1: <RD_B, WR_B, RDY_B> スタイル (インテル・コンパチブル)
DATA0- DATA7	125, 124, 122, 121, 119, 118, 116, 115	I/O	-	CPU と内部レジスタ間のデータ転送を行います(8ビット) MSB は DATA7 です。
ADDR0- ADDR5	134, 133, 132, 129, 128, 127	I	-	内部レジスタのアドレスを設定します(6ビット)。
SEL_B	138	I	L	レジスタ・アクセスに対するイネーブルです。 0でイネーブルです。
DS_B/RD_B	140	I	L/L	・BUSMODE = 0 のとき, モトローラ・コンパチブル・インタフェースのデータ・ストロブ(DS_B)となります。 リード・サイクル時: DS_B = 0 で, 読み出しデータのイネーブル ライト・サイクル時: DS_B = 0 で, 書き込みデータのストロブ ・BUSMODE = 1 のとき, インテル・コンパチブル・インタフェースのリード指示となります。 RD_B = 0 で, リード指示
RW_B/ WR_B	139	I	L/L	・BUSMODE = 0 のとき, モトローラ・コンパチブル・インタフェースのリード/ライト制御(RW_B)となります。 0: ライト・サイクル 1: リード・サイクル ・BUSMODE = 1 のとき, インテル・コンパチブル・インタフェースのライト指示となります。 WR_B = 0 でライト指示
DTACK_B/ RDY_B	137	O	L/L	・BUSMODE = 0 のとき, モトローラ・コンパチブル・インタフェースのアクノリッジ信号(DTACK_B)となります。 データ・バス上でのデータ伝送完了を示します。データ伝送が完了したら, DTACK_B = 0 とします。 ・BUSMODE = 1 のとき, インテル・コンパチブル・インタフェースのレディ信号(RDY_B)となります。 データ・バス上でのデータ伝送完了を示します。データ伝送が完了したら, RDY_B = 0 とします。
INT_B	136	O	L	割り込み要因が発生したことを CPU に通知します。

(5) その他の端子

(1/3)

端子名	端子番号	I/O	アクティブ・レベル	機能
JDI/TCLK0	28	I	-/-	2つの端子機能を持ち、PMDONLY 端子により選択されます。 <ul style="list-style-type: none"> ・PMDONLY 端子 =0 のとき (JDI) : JTAG テスト・データの入力端子 ・PMDONLY 端子 =1 のとき (TCLK0) : PMD 送信部への送信クロック入力端子 (第0回線)
JDO/RDATA0	36	O	-/-	2つの端子機能を持ち、PMDONLY 端子により選択されます。 <ul style="list-style-type: none"> ・PMDONLY 端子 =0 のとき (JDO) : JTAG テスト・データの出力端子 ・PMDONLY 端子 =1 のとき (RDATA0) : PMD 受信部からの受信データ出力端子 (第0回線)
JCK/TCLK1	29	I	-/-	2つの端子機能を持ち、PMDONLY 端子により選択されます。 <ul style="list-style-type: none"> ・PMDONLY 端子 =0 のとき (JCK) : JTAG テスト用クロックの入力端子 ・PMDONLY 端子 =1 のとき (TCLK1) : PMD 送信部への送信クロック入力端子 (第1回線)
JMS/TCLK2	30	I	-/-	2つの端子機能を持ち、PMDONLY 端子により選択されます。 <ul style="list-style-type: none"> ・PMDONLY 端子 =0 のとき (JMS) : JTAG テスト・モードの入力端子 ・PMDONLY 端子 =1 のとき (TCLK2) : PMD 送信部への送信クロック入力端子 (第2回線)
JRST_B/TCLK3	32	I	-/-	2つの端子機能を持ち、PMDONLY 端子により選択されます。 <ul style="list-style-type: none"> ・PMDONLY 端子 =0 のとき (JRST_B) : JTAG テスト・リセット信号を入力 ・PMDONLY 端子 =1 のとき (TCLK3) : PMD 送信部への送信クロック入力端子 (第3回線)
IC/TCLK4	33	I (プルダウン 抵抗付き)	-/-	2つの端子機能を持ち、PMDONLY 端子により選択されます。 <ul style="list-style-type: none"> ・PMDONLY 端子 =0 のとき (IC) : この端子には何も接続しないでください。 ・PMDONLY 端子 =1 のとき (TCLK4) : PMD 送信部への送信クロック入力端子 (第4回線)
IC/TCLK5	34	I (プルダウン 抵抗付き)	-/-	2つの端子機能を持ち、PMDONLY 端子により選択されます。 <ul style="list-style-type: none"> ・PMDONLY 端子 =0 のとき (IC) : この端子には何も接続しないでください。 ・PMDONLY 端子 =1 のとき (TCLK5) : PMD 送信部への送信クロック入力端子 (第5回線)

(2/3)

端子名	端子番号	I/O	アクティブ・レベル	機 能
RECCLK/ RDATA1	37	O	- / -	2つの端子機能を持ち、PMDONLY 端子により選択されます。 <ul style="list-style-type: none"> ・PMDONLY 端子 =0 のとき (RECCLK) : 受信データからのリカバリ・クロックの出力端子。 第0回線のリカバリ・クロックを出力する。 ・PMDONLY 端子 =1 のとき (RDATA1) : PMD 受信部からの受信データ出力端子 (第1回線)
IC/RDATA3	40	O	- / -	2つの端子機能を持ち、PMDONLY 端子により選択されます。 <ul style="list-style-type: none"> ・PMDONLY 端子 =0 のとき (IC) : この端子には何も接続しないでください。 ・PMDONLY 端子 =1 のとき (RDATA3) : PMD 受信部からの受信データ出力端子 (第3回線)
IC/RDATA2	38	O	- / -	2つの端子機能を持ち、PMDONLY 端子により選択されます。 <ul style="list-style-type: none"> ・PMDONLY 端子 =0 のとき (IC) : この端子には何も接続しないでください。 ・PMDONLY 端子 =1 のとき (RDATA2) : PMD 受信部からの受信データ出力端子 (第2回線)
IC/ RCLK0- RCLK5	19, 20, 21, 23, 24, 25	I/O (プルダウン 抵抗付き)	- / -	2つの端子機能を持ち、PMDONLY 端子により選択されます。 <ul style="list-style-type: none"> ・PMDONLY 端子 =0 のとき (IC) : この端子には何も接続しないでください。 ・PMDONLY 端子 =1 のとき (RCLK0-RCLK5) : PMD 受信部からの受信クロック出力端子 (第0回線- 第5回線)
IC/TDATA0	44	I (プルダウン 抵抗付き)	- / -	2つの端子機能を持ち、PMDONLY 端子により選択されます。 <ul style="list-style-type: none"> ・PMDONLY 端子 =0 のとき (IC) : この端子には何も接続しないでください。 ・PMDONLY 端子 =1 のとき (TDATA0) : PMD 送信部への送信データ入力端子 (第0回線)
IC/RDATA4	41	O	- / -	2つの端子機能を持ち、PMDONLY 端子により選択されます。 <ul style="list-style-type: none"> ・PMDONLY 端子 =0 のとき (IC) : この端子には何も接続しないでください。 ・PMDONLY 端子 =1 のとき (RDATA4) : PMD 受信部からの受信データ出力端子 (第4回線)
IC/RDATA5	42	O	- / -	2つの端子機能を持ち、PMDONLY 端子により選択されます。 <ul style="list-style-type: none"> ・PMDONLY 端子 =0 のとき (IC) : この端子には何も接続しないでください。 ・PMDONLY 端子 =1 のとき (RDATA5) : PMD 受信部からの受信データ出力端子 (第5回線)

(3/3)

端子名	端子番号	I/O	アクティブ・レベル	機 能
IC/TDATA1	45	I (プルダウン 抵抗付き)	- / -	2つの端子機能を持ち、PMDONLY 端子により選択されます。 ・PMDONLY 端子 =0 のとき (IC) : この端子には何も接続しないでください。 ・PMDONLY 端子 =1 のとき (TDATA1) : PMD 送信部への送信データ入力端子 (第1回線)
IC/TDATA2	46	I (プルダウン 抵抗付き)	- / -	2つの端子機能を持ち、PMDONLY 端子により選択されます。 ・PMDONLY 端子 =0 のとき (IC) : この端子には何も接続しないでください。 ・PMDONLY 端子 =1 のとき (TDATA2) : PMD 送信部への送信データ入力端子 (第2回線)
IC/TDATA3	48	I (プルダウン 抵抗付き)	- / -	2つの端子機能を持ち、PMDONLY 端子により選択されます。 ・PMDONLY 端子 =0 のとき (IC) : この端子には何も接続しないでください。 ・PMDONLY 端子 =1 のとき (TDATA3) : PMD 送信部への送信データ入力端子 (第3回線)
IC/TDATA4	49	I (プルダウン 抵抗付き)	- / -	2つの端子機能を持ち、PMDONLY 端子により選択されます。 ・PMDONLY 端子 =0 のとき (IC) : この端子には何も接続しないでください。 ・PMDONLY 端子 =1 のとき (TDATA4) : PMD 送信部への送信データ入力端子 (第4回線)
SIN/ TDATA5	50	I (プルダウン 抵抗付き)	H / -	2つの機能を持ち、PMDONLY 端子により選択されます。 ・PMDONLY 端子 =0 のとき (SIN) : X_8 コマンド送信タイミング入力端子 ・PMDONLY 端子 =1 のとき (TDATA5) : PMD 送信部への送信データ入力端子 (第5回線)
SOUT	54	O	H	X_8 コマンド受信タイミング出力端子です。
PMDONLY	18	I (プルダウン 抵抗付き)	-	μ PD98408 を、PMD+TC として動作させるか、PMD のみ動作させるかのモードを指定する端子です。 0 : PMD+TC として動作 1 : PMD のみ動作
TCLOCK	57	I	-	送信用クロック (32 MHz) を入力します。
RESET_B	55	I	L	μ PD98408 全体のリセット信号を入力します。
IC	5, 6, 14, 15, 85, 144, 145	-	-	この端子には何も接続しないでください。
CG	113	I	-	通常使用時は GND に接続してください。

2.2 未使用端子の処理方法

端子名	入出力	未使用時の推奨接続方法
RDIP0-RDIP5	入力	抵抗 (1kΩ) を介してプルアップしてください。
RDIN0-RDIN5	入力	抵抗 (1kΩ) を介してプルアップしてください。
TDOP0-TDOP5	出力	オープンにしてください。
TDON0-TDON5	出力	オープンにしてください。
JDI/TCLK0	入力	抵抗を介してプルアップしてください。
JDO/RDATA0	出力	オープンにしてください。
JCK/TCLK1	入力	抵抗を介してプルアップしてください。
JMS/TCLK2	入力	抵抗を介してプルアップしてください。
JRST_B/TCLK3	入力	抵抗を介してプルダウンしてください。
IC/TCLK4	入力 (プルダウン抵抗付き)	オープンにしてください。
IC/TCLK5	入力 (プルダウン抵抗付き)	オープンにしてください。
RECCLK/RDATA1	出力	オープンにしてください。
IC/RDATA3	出力	オープンにしてください。
IC/RDATA2	出力	オープンにしてください。
IC/RCLK0-IC/RCLK5	入出力 (プルダウン抵抗付き)	オープンにしてください。
IC/TDATA0	入力 (プルダウン抵抗付き)	オープンにしてください。
IC/RDATA4	出力	オープンにしてください。
IC/RDATA5	出力	オープンにしてください。
IC/TDATA1	入力 (プルダウン抵抗付き)	オープンにしてください。
IC/TDATA2	入力 (プルダウン抵抗付き)	オープンにしてください。
IC/TDATA3	入力 (プルダウン抵抗付き)	オープンにしてください。
IC/TDATA4	入力 (プルダウン抵抗付き)	オープンにしてください。
SIN/TDATA5	入力 (プルダウン抵抗付き)	オープンにしてください。
SOUT	出力	オープンにしてください。
PMDONLY	入力 (プルダウン抵抗付き)	オープンにしてください。

2.3 リセット時の端子の状態

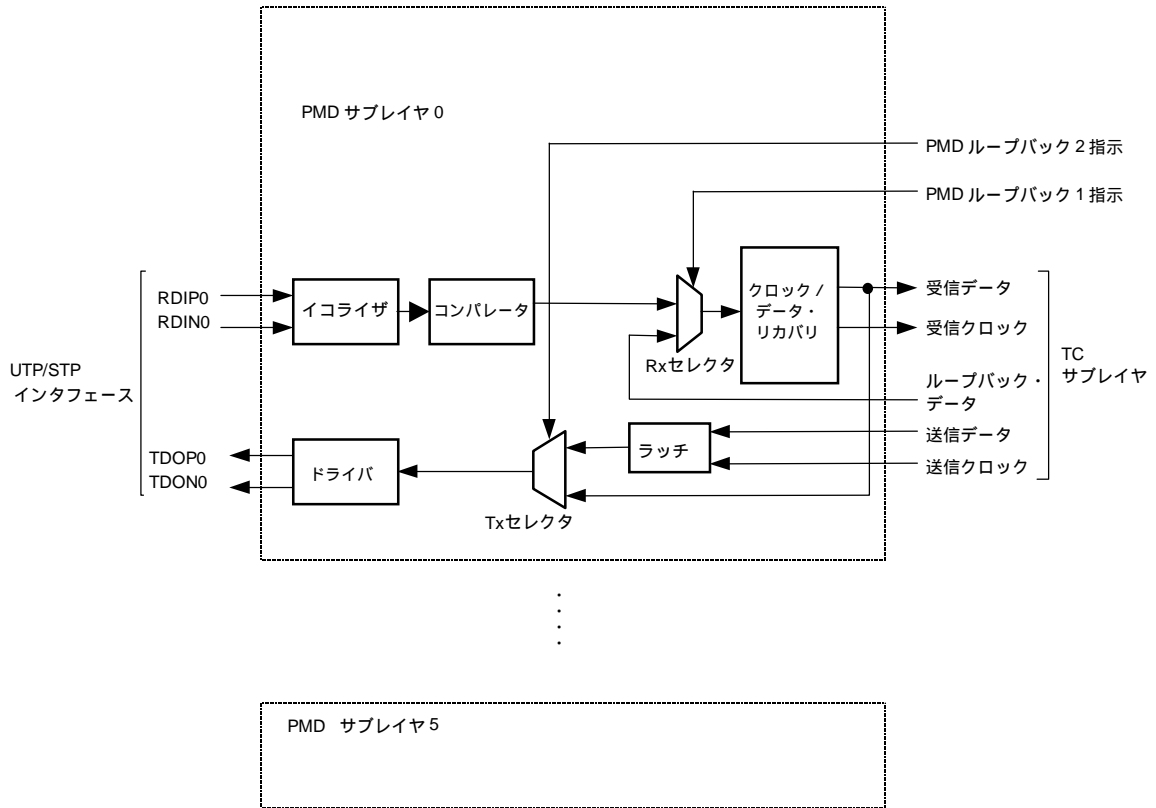
端子名	入出力	リセット時の端子状態
TDOP0-TDOP5	出力	不定
TDON0-TDON5	出力	不定
RxDATA0-RxDATA7	3 ステート出力	Hi-Z
RxSOC	3 ステート出力	Hi-Z
RxCLAV	3 ステート出力	Hi-Z
TxCLAV	3 ステート出力	Hi-Z
DATA0-DATA7	入出力	Hi-Z
DTACK_B/RDY_B	出力	ハイ・レベル
INT_B	出力	ハイ・レベル
JDO/RDATA0	出力	不定
RECCLK/RDATA1	出力	不定
SOUT	出力	ロウ・レベル

[メ 毛]

第3章 機能概要

3.1 PMD サブレイヤ

図 3 - 1 PMD サブレイヤ・ブロック図



3.1.1 イコライザ

UTP ケーブルの等化を行います。

3.1.2 コンパレータ

等化後のデータを入力し、データのハイ/ロウを判定します。

3.1.3 クロック/データ・リカバリ

受信入力データから、クロックおよびデータを再生します。

回線アイドル(送るべきコマンドや送信データがない)状態の場合でも、 μ PD98408 はスクランブルされ、4B5B ブロック・エンコーディングされたダミーデータを送信しています。また逆に、相手局も回線アイドル状態の場合でも、ATM Forum (af-phy-0040.000) によるとダミーデータを送信してきますので、クロック/データ・リカバリは動作していることとなります。その後、 μ PD98408 は相手局からの X_X や X_4 コマンドの受信を検出したあと、有効セルとして受信を開始します。

3.1.4 ラッチ

TC サブレイヤ側からの送信データを、送信クロックでラッチします。

3.1.5 ドライバ

送信トランスを差動出力で駆動します。

3.1.6 Tx セレクタ

送信側セレクタです。受信ループバック・テスト用です。テスト時にクロック、データ・リカバリの出力をドライバに入力します。

3.1.7 Rx セレクタ

受信側セレクタです。送信ループバック・テスト用です。テスト時にクロック、データ・リカバリの入力としてループバック・データを選択します。

3.2 TC サブレイヤ

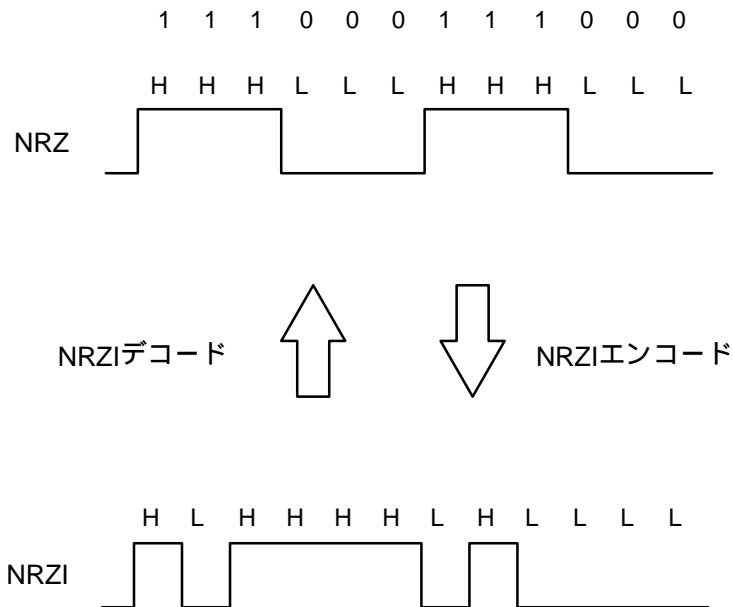
3.2.1 LOS ディテクション

受信部において、受信データ信号の入力信号断 (Loss Of Signal) を判断してアラームを出力します。
検出条件および解除条件については、3.7.1 LOS (信号断) 検出機能 を参照してください。

3.2.2 NRZI エンコーディング/デコーディング

送信部において、NRZ 符号を NRZI 符号に符号化します。また、受信部において、NRZI 符号を NRZ 符号に復号化します。

図 3 - 2 NRZ コードおよび NRZI コード

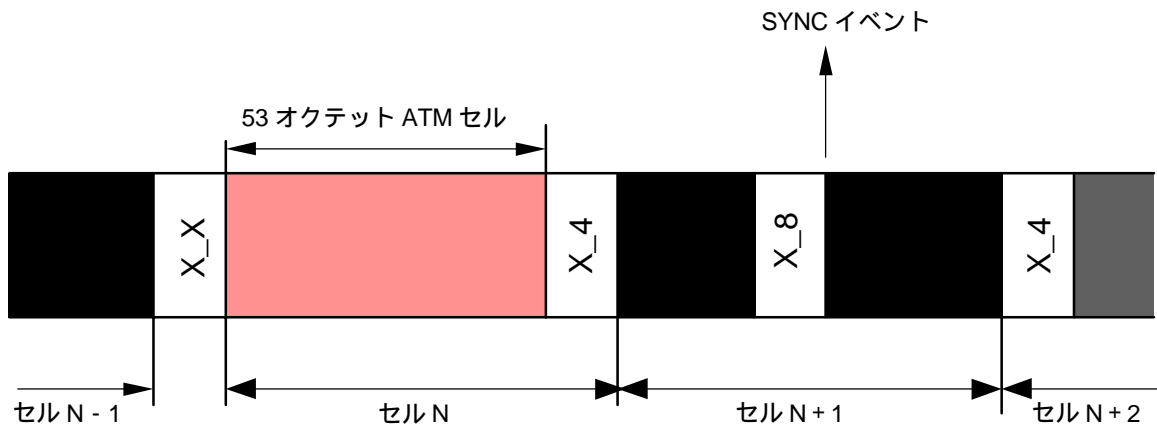


3.2.3 コマンド・バイト・インサージョン/ディテクション

25.6Mbps ATM インタフェースでは、セルの境界検出や任意のタイミング信号挿入のために、次に示すコマンド・バイトと呼ばれるものが定義されています。

- (1) X_X は、セルの先頭に挿入され、受信側でセルの境界検出を行うために利用されます。また受信側のデスクランブラのリセットも指示します。
- (2) X_4 は、セルの先頭に挿入され、受信側でセルの境界検出を行うために利用されます。しかし、受信側のデスクランブラのリセットは行いません。
- (3) X_8 は、送信データに任意のタイミング情報を付加するためのもので、SIN 端子から入力されるタイミング信号によって送信データ中に挿入されます。たとえば、音声用に 8 kHz のタイミング信号を入れたいときに使用します。セルが伝送されていないときは、無効なデータを伝送しますが、コマンド・バイト X_8 は無効なデータ中にも挿入されます。

図 3 - 3 SYNC イベントとセルの状態例



3.2.4 4B5B ブロック・エンコーディング/デコーディング

送信部では、表 3 - 1 のように送信する 8 ビットのデータを上位、下位 4 ビットごとにそれぞれ 5 ビットのシンボルに変換します。受信部では、受信した 5 ビットのシンボルを 4 ビットのデータに変換します。

表 3 - 1 4 ビット・コマンド/データから 5 ビット・シンボルへの変換テーブル

データ	シンボル	データ	シンボル	データ	シンボル	データ	シンボル
0000	10101	0001	01001	0010	01010	0011	01011
0100	00111	0101	01101	0110	01110	0111	01111
1000	10010	1001	11001	1010	11010	1011	11011
1100	10111	1101	11101	1110	11110	1111	11111

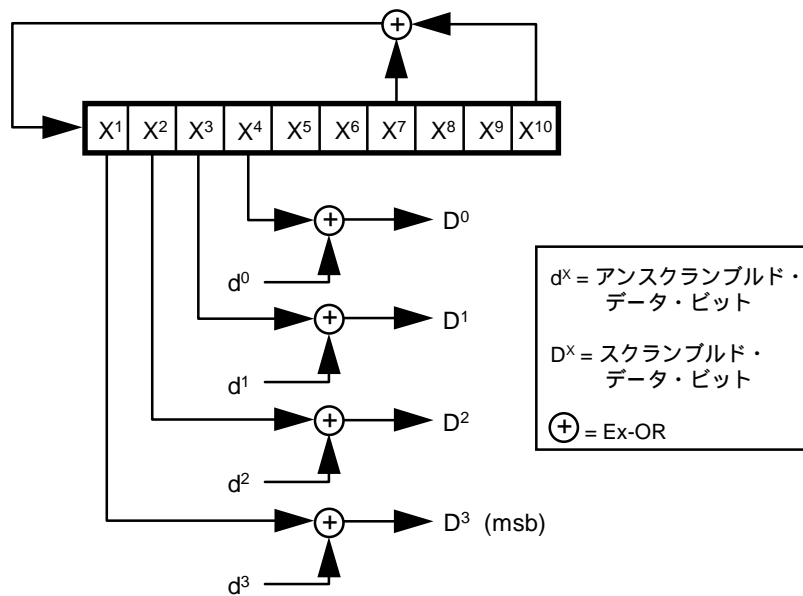
ESC(X)	00010
--------	-------

3.2.5 セル・スクランブラ / デスクランブラ

送信部では、EMI (Electro Magnetic Interference) を防止するために、送信データの周波数スペクトルを分散させて適当な分布になるように符号化します。スクランブラ / デスクランブラは、次の式の生成多項式に基づいた 10 ビットの PRNG (Pseudo Random Number Generator) を使用します。

図 3 - 4 PRNG ブロック図

$$G(X) = X^{10} + X^7 + 1$$



ATMセル 53 オクテットに対してスクランブルを行います。コマンド・バイトのスクランブルは行いません。デスクランブラでは、スクランブルされたデータとスクランブルに使用したものと同一疑似乱数で Ex-OR をとることにより、復号化します。スクランブルとデスクランブルの疑似乱数がずれると復号化できないため、定期的に PRNG をリセットして符号化 / 復号化の疑似乱数を合わせています。送信側ではスクランブラの PRNG のリセットをセルの先頭で行い、そのセルにコマンド・バイト X_X をつけます。受信側では、コマンド・バイト検出部で X_X を検出すると、そのセルの先頭でデスクランブラの PRNG をリセットします。 μ PD98408 は内部のタイマにより、一定の間隔をあけてスクランブラをリセットするために X_X コマンドを自動的に挿入して送信します。ただし、有効セルを伝送していないときは、次に有効セルの伝送を開始するときにリセットします。

また、スクランブラ / デスクランブラは、レジスタの設定によって動作を停止させることもできます。

3.2.6 HEC ジェネレーション / ベリフィケーション

送信部では、送信セルのヘッダに対して CRC 演算を行い、HEC を生成します。

- (1) ATM セルのヘッダ 5 バイト内で HEC フィールドを除いた上位 4 バイト・ヘッダの各ビット (32 ビット) を係数とした多項式

$$H(X) = a_{31}X^{31} + a_{30}X^{30} + a_{29}X^{29} + \dots + a_1X + a_0 \text{ に } X^8 \text{ をかける。}$$

- (2) この結果に対して、生成多項式 $G(X) = X^8 + X^2 + X + 1$ で割る (Modulo 2 の演算)。

- (3) さらに、除算の余りから 55H を減算し (Ex-OR をとる)、この結果を HEC フィールド (ATM セル・ヘッダ領域の最後の 1 バイト) に書き込む。

受信部では、受信セルのヘッダに対して CRC 演算を行い、HEC の検証をします。

- (1) HEC フィールドを含む 5 バイトのヘッダ の各ビット (40 ビット) を係数とした多項式

$$H(X) = a_{39}X^{39} + a_{38}X^{38} + a_{37}X^{37} + \dots + a_1X + a_0 \text{ から } 55H \text{ を減算する (Ex-OR をとる)。}$$

- (2) この結果を生成多項式 $G(X) = X^8 + X^2 + X + 1$ で割る (Modulo 2 の演算)。

- (3) このときの余りが 0 のときは、ヘッダ・エラーなし。

このときの余りが 0 でないときは、ヘッダ・エラーあり。

ヘッダ・エラーが生じていたセルについては、コマンド・レジスタ (CMR) の HECERM ビットの設定により、以下の 2 通りの処理を選択できます。

HECERM=0 ... ヘッダ・エラーが生じていたセルを廃棄する。

HECERM=1 ... ヘッダ・エラーが生じていたセルをそのまま ATM レイヤ・デバイスに転送する。

3.2.7 アイドル / アンアサインド・セル・ディテクション

受信部においてアイドル / アンアサインド・セルの検出を行い、Idle セル廃棄条件設定レジスタ (DMODE2) の設定に従って廃棄処理を行います。

モード 1 : VPI=VCI=0, GFC=PTC=LP= don't care の条件でセルを廃棄する。

モード 2 : VPI=VCI=GFC=0, PTC=LP= don't care の条件でセルを廃棄する。

モード 3 : アイドル / アンアサインド・セルを廃棄しない。

3.3 ATM レイヤ (UTOPIA) インタフェース

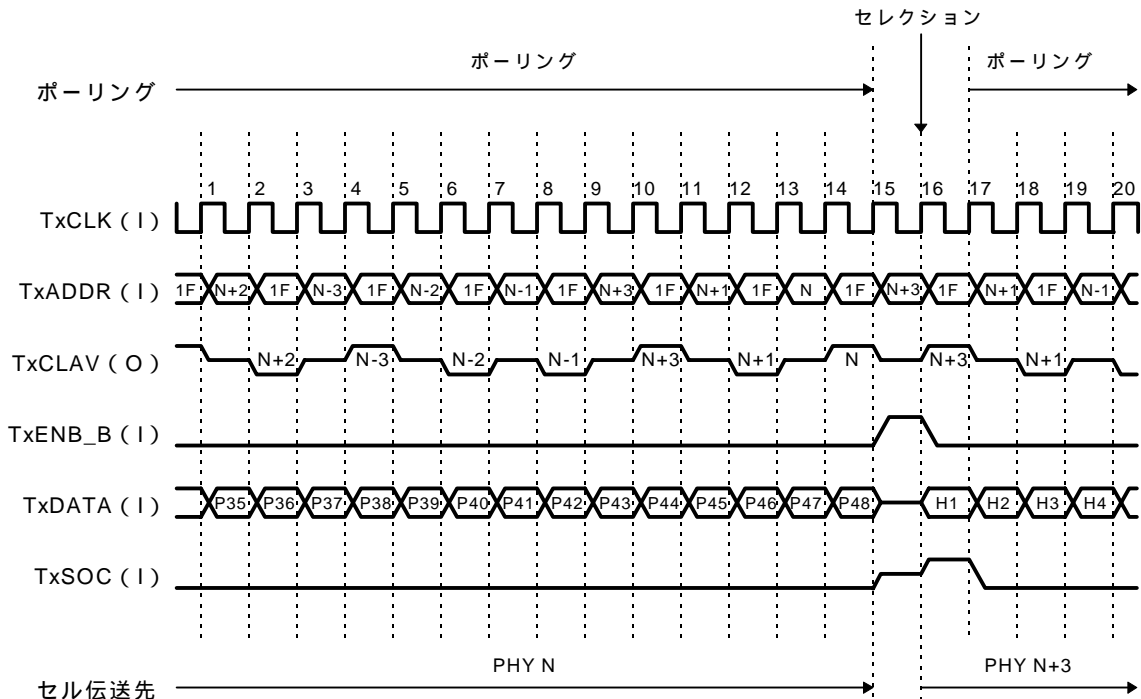
μPD98408 の ATM レイヤ・インタフェースは ATM Forum の UTOPIA Level 2 Specification Version 1.0 に準拠したインタフェースで、μPD98408 と ATM レイヤ・デバイスとの間のデータの受け渡しを行います。UTOPIA Level 2 では、複数の PHY ポートを持つマルチ PHY インタフェースをサポートしています。この場合、アドレス TxADDR や RxADDR を用いて、PHY ポートを選択しながらデータ転送を行います。送受信を行う PHY ポートは ATM レイヤ・デバイスによるポーリングで決められます。

3.3.1 トランスミット・インタフェース

ATM レイヤ・デバイスは、セルの伝送中に PHY ポートのアドレスを TxADDR に設定して各 PHY ポートの TxCLAV の状態を調べます。TxADDR にアドレスを設定された PHY ポートは、ATM レイヤ・デバイスからセルを受け付け可能な次のクロック・サイクルで TxCLAV をアクティブにし、不可能ならインアクティブにします。ATM レイヤ・デバイスは、セルを受け付け可能なポートの中の 1 つを選択し、TxENB_B がデアサートされる直前に、その PHY ポートのアドレスを TxADDR に設定します。TxENB_B がデアサートされると、ATM レイヤ・デバイスからその PHY ポートへセルの伝送が始まります。セルの伝送が始まると、ATM レイヤ・デバイスは次に送信する PHY ポートを決定するために、再びポーリングを始めます。

図 3-5 は、セル伝送サイクルが終了するまでに、PHY がポーリングされる場所を例示しています。TxCLAV 信号は PHY N-3 と PHY N+3 がセルを受け付け可能であり、そのうち PHY N+3 が選択されたことを示しています。16 クロック目の立ち上がりで PHY が選択されています。PHY N+3 へのセル伝送が始まった直後にポーリングが再び始まります。このように、2 クロックのポーリング・サイクルで、最大 26 の PHY をポーリングすることができます。

図 3-5 トランスミット・インタフェースでのポーリング・フェーズとセレクション・フェーズ

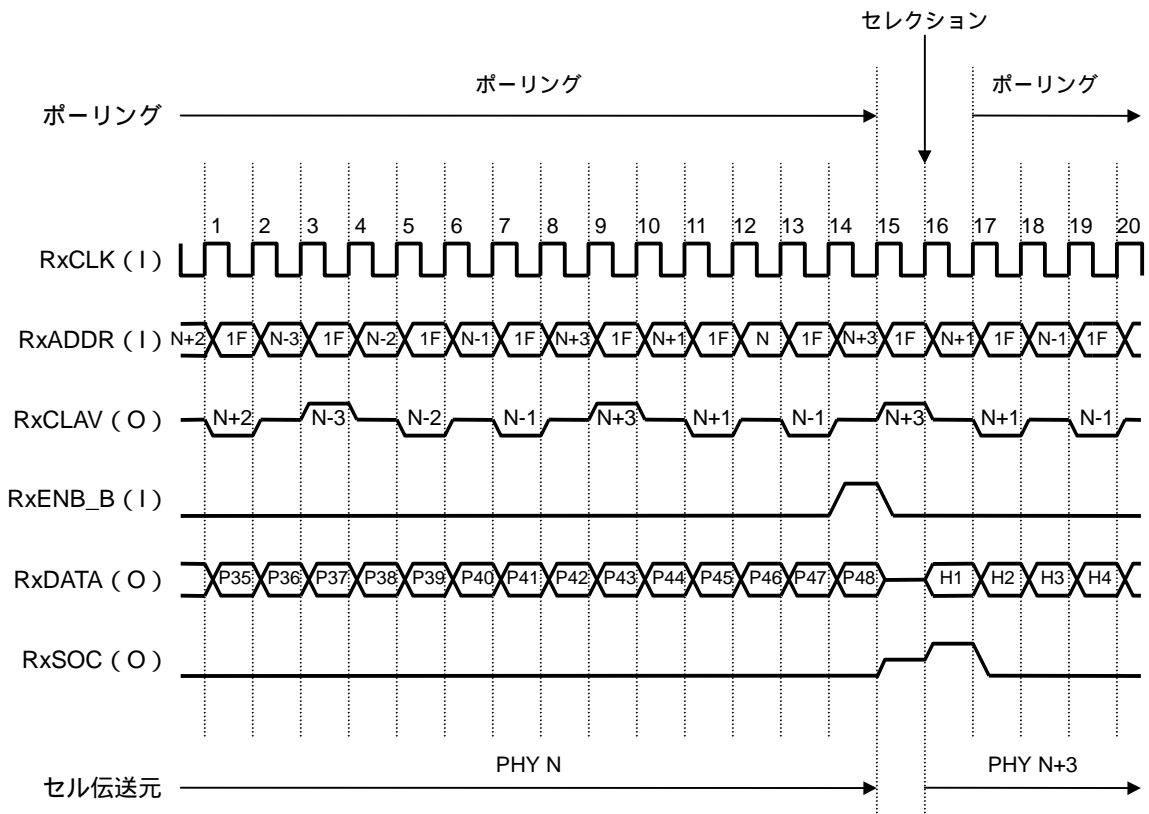


3.3.2 レシーブ・インタフェース

ATM レイヤ・デバイスは、セルの伝送中に PHY ポートのアドレスを RxADDR に設定して各 PHY ポートの RxCLAV の状態を調べます。RxADDR にアドレスを設定された PHY ポートは、ATM レイヤ・デバイスへ出力するセルがある場合は次のクロック・サイクルで RxCLAV をアクティブにし、ない場合はインアクティブにします。ATM レイヤ・デバイスは、セルを出力できる PHY ポートの中から 1 つを選択し、RxENB_B がデアサートされる直前に、その PHY ポートのアドレスを RxADDR に設定します。RxENB_B がデアサートされると、その PHY ポートから ATM レイヤ・デバイスへセルの伝送が始まります。セルの伝送が始まると、ATM レイヤ・デバイスは次に受信する PHY ポートを決定するために、再びポーリングを始めます。

図 3 - 6 は、レシーブ・インタフェースに関して図 3 - 5 と対応した場合を示すものです。PHY N からセルを受信している間は、他の PHY はポーリングされます。これは、PHY N - 3 と PHY N + 3 によってセルが有効になり、PHY N + 3 が選択されることを示しています (PHY の値は例示的に示していることに注意してください)。トランスミット・インタフェースでは 2 クロック分のポーリング・サイクル中、最大 26 の PHY がポーリングできます。

図 3 - 6 レシーブ・インタフェースでのポーリング・フェーズとセレクション・フェーズ



3.3.3 FIFO ブロック

FIFO ブロックでは、 μ PD98408 と ATM レイヤ・デバイスのタイミング調整を行います。FIFO の深さは送信部、受信部それぞれ各回線ごとに 3 セル分とします。

(1) 送信部 FIFO

ATM レイヤ・デバイスと ATM レイヤ・デバイスのデータを μ PD98408 内部のデータへ速度変換するためのバッファ機能を持ちます。送信部 FIFO に 3 セル目の書き込みが始まると、フル状態であることを示すために TxCLAV をデアサートします。

オーバフローが生じたときは CPU に通知します。

(2) 受信部 FIFO

μ PD98408 の内部データを ATM レイヤ・デバイスのデータへ速度変換するためのバッファ機能を持ちます。受信部 FIFO では、UTOPIA へセルの伝送を開始したときに、次に伝送するセルがなければ、空の状態であることを示すために RxCLAV をデアサートします。

オーバフローが生じたときは CPU に通知します。

備考 送受信 FIFO に入っているデータを強制的に廃棄する場合には、LSI リセットをしてください。

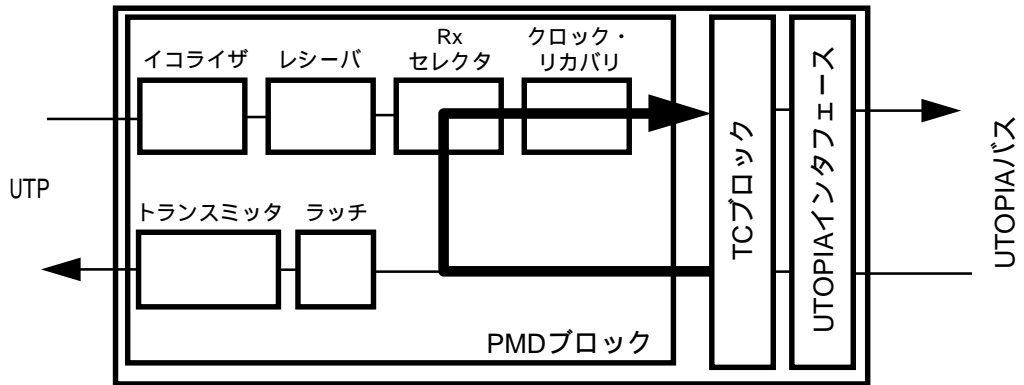
PHY アドレス (PHYADD) レジスタ中の ENn7 ビットによるアドレス・ディスエ - ブルではデータを強制廃棄できません。

3.4 ループバック・モード

3.4.1 PMD ループバック 1

PMD サブレイヤで送信データを受信部にループバックします。

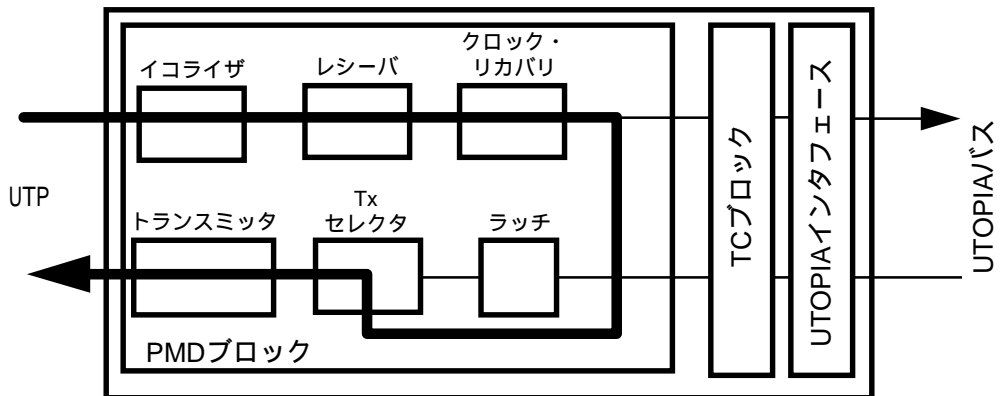
図 3 - 7 PMD ループバック 1



3.4.2 PMD ループバック 2

PMD サブレイヤで受信データを送信部にループバックします。

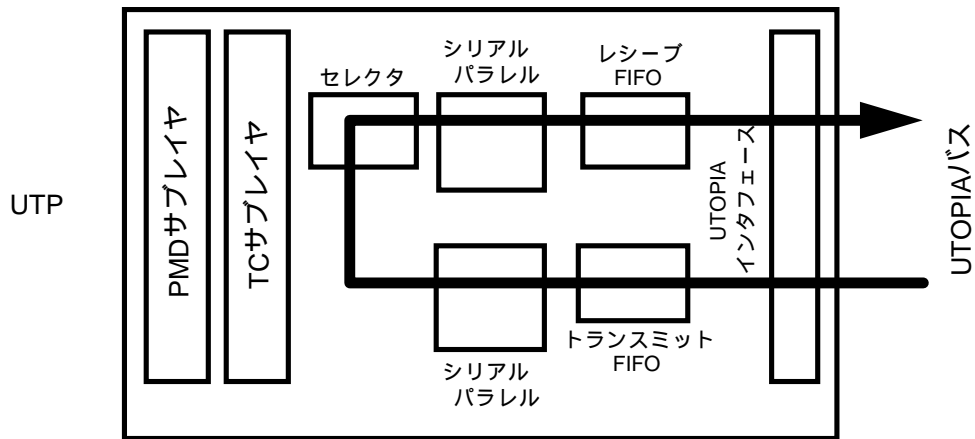
図 3 - 8 PMD ループバック 2



3.4.3 ATM レイヤ・ループバック

ATM レイヤ・インタフェースで送信データを受信部にループバックします。

図3-9 ATM レイヤ・ループバック



3.4.4 ループバック時の送信データ選択機能

PMD ループバック 1 および ATM レイヤ・ループバックを実行中の回線への送信データは、次の中から選択できます。

- ・通常セル・データ（ループバック・データと同じデータ）
- ・01010101……の繰り返しデータ
- ・すべて0

ループバック中の回線送信データの選択は、CMR レジスタ（アドレス=00H）によって6回線共通で選択されます。このループバック中の回線送信データ選択は、PMD ループバック 1 および ATM レイヤ・ループバックを実行したときのみ有効です。PMD ループバック 1 および ATM レイヤ・ループバックを実行していない場合は、CMR レジスタの設定に関係なく通常セル・データが出力されます。

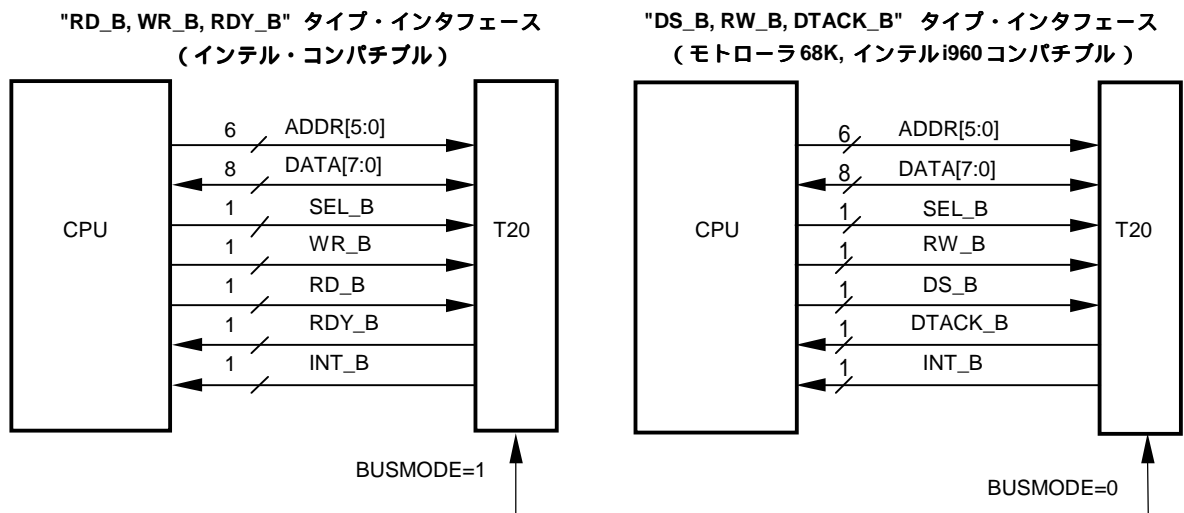
3.5 CPU インタフェース

CPU インタフェースは、 μ PD98408 を制御するためのプロセッサのバスとのインタフェースを提供します。 μ PD98408 はインテル・コンパチブルとモトローラ・コンパチブルの 2 タイプのインタフェースをサポートしています。CPU のインタフェースは、ハードウェア・リセット時の BUSMODE 端子の状態により決定します。

BUSMODE=1 : <RD_B, WR_B, RDY_B> スタイル (インテル・コンパチブル)

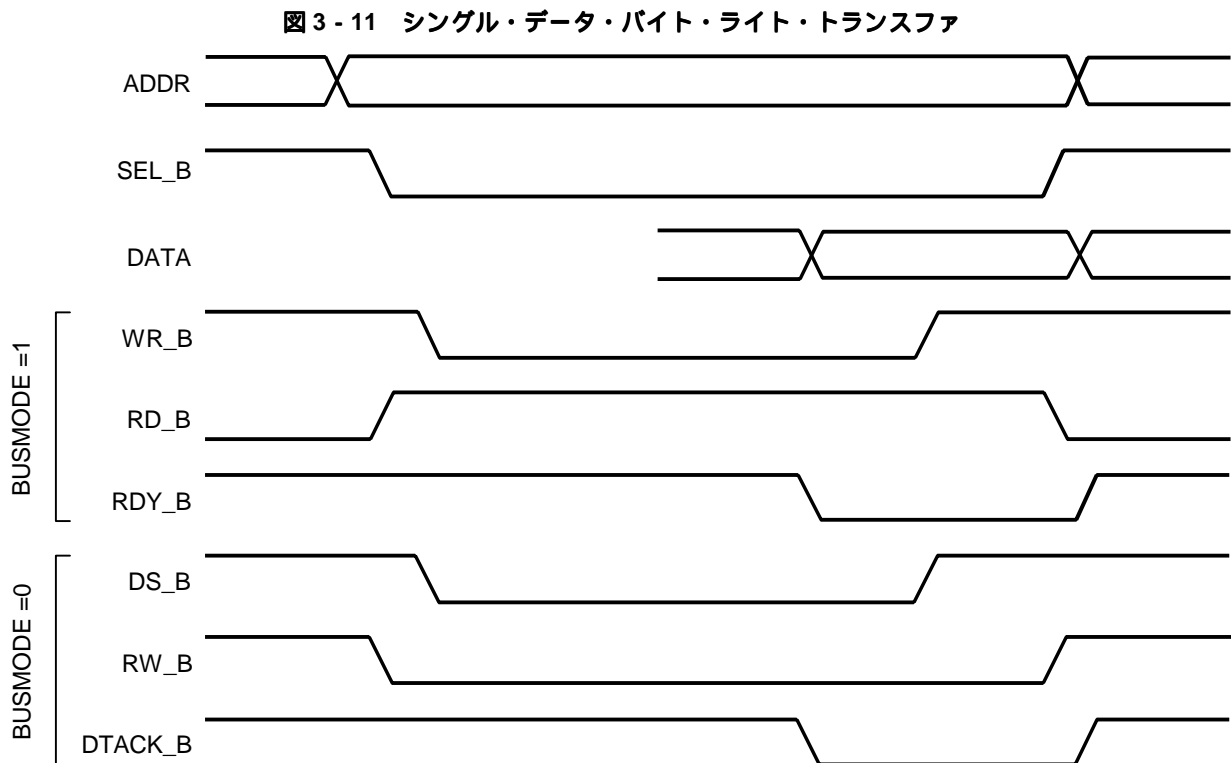
BUSMODE=0 : <DS_B, RW_B, DTACK_B> スタイル (モトローラ・コンパチブル)

図 3 - 10 CPU インタフェース



3.5.1 ライト・サイクル

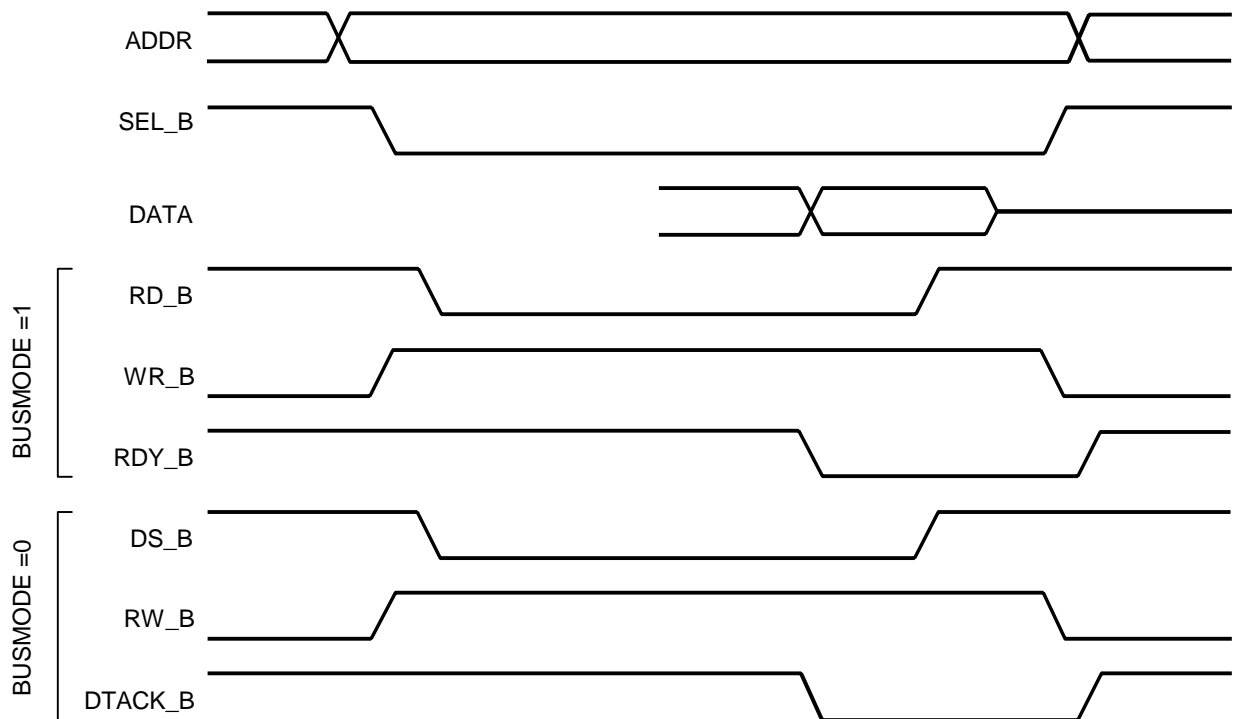
ATM レイヤは ADDR 上にアドレスをドライブし、書き込まれるデータを DATA に乗せ、適当なストロークをアサートすることによってライト・サイクルを実行します。PHY レイヤは決められた時間内に RDY_B (DTACK_B) をドライブし、RDY_B (DTACK_B) をアサートして伝送の完了を伝えます。選択されていないとき、DATA はハイ・インピーダンスにします。BUSMODE=1 のときは、RD_B が HIGH の状態で WR_B をアサートすることによってデータがストロークされます。BUSMODE =0 のときは、DS_B をアサートし RW_B を '0' にセットすることによってデータがストロークされます。ライト・サイクルのタイミングは、図 3 - 11 のようになります。



3.5.2 リード・サイクル

ATM レイヤは ADDR 上にアドレスをドライブし, SEL_B と適当なストロークをアサートすることによってリード・サイクルを実行します。PHY レイヤは決められた時間内に RDY_B (DTACK_B) をドライブし, 要求されたデータを DATA に乗せます。そして RDY_B (DTACK_B) をアサートして伝送の完了を伝えます。選択されていないとき, DATA はハイ・インピーダンスにします。BUSMODE =1 のときは, WR_B が HIGH の状態で RD_B をアサートすることによってデータがストロークされます。BUSMODE =0 のときは, DS_B をアサートし RW_B を '1' にセットすることによってデータがストロークされます。リード・サイクルのタイミングは図 3 - 12 のようになります。

図 3 - 12 シングル・データ・バイト・リード・トランスファ



3.6 疑似エラー生成機能

μ PD98408 は送信側において、HEC エラーと 4B5B コード・エラーの疑似生成機能を持ちます。PMD ループバック 1 と組み合わせることで、エラー・セル受信機能の自己診断を行うことができます。

HEC エラーの生成と 4B5B コード・エラーの生成は、レジスタ設定によって実行されますが、レジスタ設定中は連続的にエラーが挿入されます。また、HEC エラーだけでなく 4B5B コード・エラーも、有効セルにのみエラー挿入されます。セル送信がない場合はエラーも挿入されません。

3.7 エラー / 障害検出機能

μ PD98408 は、次に示すようなエラー / 障害検出機能を持ちます。

- ・ LOS (信号断) 検出機能
- ・ HEC エラー検出機能
- ・ 4B5B コード・エラー検出機能
- ・ 送信 FIFO オーバフロー検出機能
- ・ 受信 FIFO オーバフロー検出機能
- ・ 受信側廃棄セルのカウント機能
- ・ 受信側廃棄セル・カウンタのオーバフロー検出機能

このうち、次に示す機能は、CPU への割り込みを発生させることができます。

- ・ LOS (信号断) 検出機能
- ・ 送信 FIFO オーバフロー検出機能
- ・ 受信 FIFO オーバフロー検出機能
- ・ 受信側廃棄セル・カウンタのオーバフロー検出機能

3.7.1 LOS (信号断) 検出機能

μ PD98408 では、LOS 発生を次の 2 種類の方法で検出しています。(1) および (2) のどちらか一方の条件を満たしたとき、LOS 発生情報レジスタのビットが立ち、CPU への割り込みが発生します (割り込みは、回線ごとにマスク可能です)。

(1) 受信部において、受信データ信号が約 $11\mu\text{s}$ の間 (32MHz TCLOCK の 346 クロック分) 連続で変化しない場合

(2) 4B5B コード・エラーが、約 $224\mu\text{s}$ の間 (32MHz TCLOCK の 7168 クロック分) 発生している場合

また、LOS 解除の条件は、4B5B コード・エラーが約 $224\mu\text{s}$ の間、発生しない場合となります。

注意 リセット直後、全回線で LOS 発生状態となっており、少なくとも LOS 解除するまでに約 224 μ s が必要になります。また、回線接続後に LOS 発生情報レジスタ (LOSERR) をリ - ドして、LOS からの回復 (LSn ビット=0)を確認してから、LOS 発生による割り込みマスクを解除してください。

3.7.2 HEC エラー / 4B5B コード・エラー検出機能

HEC エラーと 4B5B のコード・エラーをモニタし、エラーが検出された場合はそのセルを廃棄し、廃棄セル・カウンタをカウント・アップします。廃棄セルのカウントは、HEC エラーと 4B5B コード・エラーを区別せず、同一の廃棄セル・カウンタを用います。この廃棄セル・カウンタのカウント・アップは、エラーによって廃棄されたセルのカウントを行うもので、アイドル・セルの廃棄ではカウント・アップされません。

HEC エラーについては、レジスタ設定によって HEC エラー・セルの廃棄がディスエーブルされている場合、HEC エラーが検出されても廃棄セル・カウンタはカウント・アップされません。

また、4B5B コード・エラーは、X_X または X_4 のコマンド・バイトを検出後の有効セル・データ内においてのみエラー検出を行います。有効セル・データ以外で発生した 4B5B コード・エラーは無視します。

セル・データ内で X_X, X_4, X_8 以外のコマンド・コードを受信した場合は、4B5B コード・エラーとして廃棄セル・カウンタはカウント・アップされます。

53 バイト未満のセルを受信した場合は、廃棄セル・カウンタはカウント・アップしません。この廃棄セル・カウンタでオーバフローが発生すると、CPU への割込が発生します。このとき、カウンタの値は、最大値にホールドされます。

3.7.3 送信 FIFO / 受信 FIFO オーバフロー検出機能

送信 FIFO および受信 FIFO でオーバフローが発生した場合は、CPU へ割り込み通知されます。このとき、オーバフローしたセルは廃棄されます。

FIFO のオーバフローによって廃棄されたセルは、廃棄セル・カウンタにはカウントされません。

3.8 X_8 コマンド・コード送受信機能

3.8.1 X_8 コマンド・コード送信機能

X_8 のコマンド・コードの送信は、SIN 端子よりパルス信号を入力することで実行されます。SIN 端子よりパルス信号が入力された場合、レジスタ設定で X_8 送信イネーブルされた回線へのみ X_8 コマンド・コードが送信されます。

SIN 端子への入力パルスのパルス幅は、送信 32MHz クロック (TCLK 端子) で 11 クロック以上必要です。

3.8.2 X_8 コマンド・コード受信機能

X_8 コマンド・コードを受信した場合は、SOUT 端子にパルスが出力されます。ただし、SOUT 端子へパルスが出力されるのは 6 回線中の 1 回線のみとなります。どの回線からの X_8 受信タイミング信号を出力するかは、レジスタによって選択できます。

SOUT に出力されるパルス信号のパルス幅は、クロック・リカバリした受信 32MHz クロックで 15 クロック幅です。

3.9 テスト用信号生成機能

μPD98408 は、送信パルス・マスク・テスト、送信ジッタ・テストのためのテスト信号生成機能を持っています。テスト信号の種類には次の 5 種類があり、レジスタによって選択できます。

- ・ 010101 . . . の繰り返し信号
- ・ 00110011 . . . の繰り返し信号
- ・ 000111000111 . . . の繰り返し信号
- ・ 0000111100001111 . . . の繰り返し信号
- ・ 00000111110000011111 . . . の繰り返し信号

3.10 PMD-Only モード

μPD98408 は、TC 機能を使用せず、PMD のみ動作させることができます (PMD-Only モード)。この機能を使用すると、6 回線入りの PMD チップとして動作します。この機能は PMDONLY 端子を '1' にすることによってイネーブルされます。

この PMD-Only モードでの動作中は PMD 以外の機能はすべて動作しなくなるので、CPU インタフェース、UTOPIA インタフェースはまったく意味がなくなります。また、JTAG インタフェースも使用できなくなります。

3.11 割り込み処理

μ PD98408 には割り込み出力 INT_B 端子があります。この端子により、 μ PD98408 は、回線上的エラーの検出、カウンタのオーバフロー発生などをホストに割り込み、通知します。

INT_B 信号は、PHY 割り込み要因レジスタ (PICR) のビットが1つでも '1' になるとアクティブになります。ホストは INT_B がアクティブになったことを検出すると、まず PICR レジスタをリードして、割り込み要因を認識します。LOS、FOVRT、FOVRR、DCCOU が要因であったときは、さらにそれぞれに対応する LOSERR、FIFOVVT、FIFOVVR、DCINFO レジスタをリードし、割り込み要因の詳細を調べます。

割り込み要因を解析するためのレジスタの関係を、図3-14に示します。また、ユーザは各割り込み要因ごとに割り込みをマスク設定することもできます。

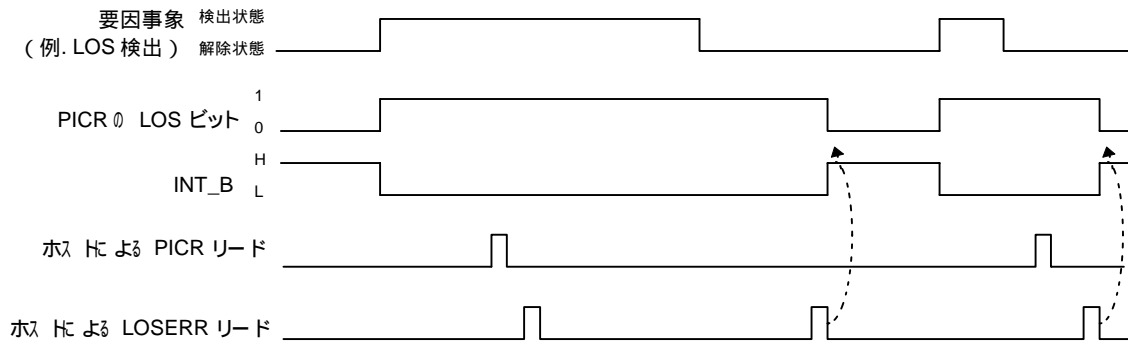
(1) 割り込み処理

割り込み要因が発生し、PICR レジスタのビットが1つでもセットされると INT_B がアクティブになります。要因の事象が消滅しても、ホストからのリードがないかぎり、レジスタのビットは維持され、INT_B 信号もアクティブになったままとなります。割り込み要因となった事象が消滅していることが条件で、ホストがレジスタ・リードを行った場合に、割り込み要因レジスタのビットがリセットされ、INT_B 信号もインアクティブになります。

図3-13の例は、LOSを検出したことにより PICR レジスタの LOS ビットがセットされ、INT_B 信号がアクティブになった場合を表しています。ホストは、PICR レジスタと LOSERR レジスタを各1度リードしましたが、このとき依然 LOS 状態であるため PICR レジスタの LOS ビットはクリアされず、INT_B 信号もインアクティブになりません。その後 LOS 状態から復帰し、要因自体は消滅しましたが、ホストの LOSERR レジスタ・リードがリセットの条件なので、LOS ビットと INT_B 信号は維持されます。2度目にホストが LOSERR レジスタ・リードしたとき、すでに LOS 状態ではなくなっているため、LOSERR レジスタの各ビットはリセットされ、自動的に PICR レジスタの LOS ビットもクリアされ、同時に INT_B 信号もインアクティブになります。

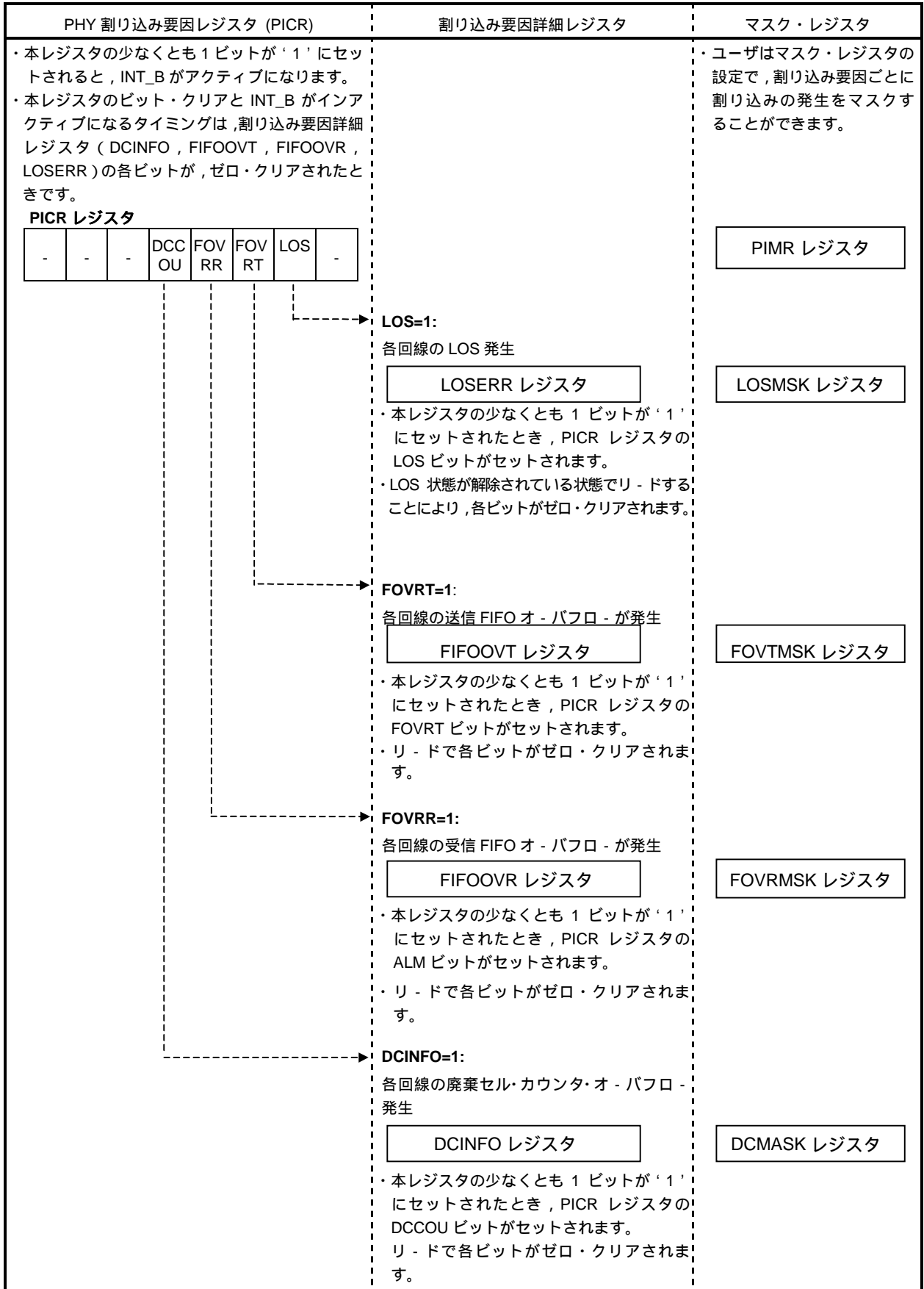
注意 μ PD98408 は電源立ち上げ直後、不定なフレームの受信によって各割り込み要因のビットがセットされることがあります。電源立ち上げ後は、デバイス・リセット動作によって、いったんすべて割り込み要因レジスタを0クリアしてください。

図3-13 割り込み要因レジスタのビットおよびINT_B信号動作



リセット条件：割り込み要因事象が消滅しているときのホストによるレジスタ・リード

図 3 - 14 割り込み要因レジスタ相關図



第4章 レジスタ

4.1 レジスタ・マップ (00H-3FH)

アドレス	R/W	初期値	名 称	機 能
00H	R/W	00H	SCRR	スクランブラ / デスクランブラ (ON/OFF 設定)
01H	R/W	00H	CMR	コマンド・レジスタ
02H	R	00H	PICR	PHY 割り込み要因レジスタ
03H	R/W	1FH	PIMR	PHY 割り込みマスク・レジスタ
04H-09H	R	00H	DCCOU0-DCCOU5	廃棄セル・カウンタ
0AH	R	00H	LOSERR	LOS 情報
0BH	R/W	3FH	LOSMSK	LOS 割り込みマスク・レジスタ
0CH	R/W	00H	LBPMDT	PMD ループバック 1 設定 (TC 側)
0DH	R/W	00H	LBPMDU	PMD ループバック 2 設定 (UTP/STP 側)
0EH	R/W	00H	LBATM	ATM ループバック設定
0FH	R	00H	FIFOOVT	FIFO オーバフロー (送信)
10H	R	00H	FIFOOVR	FIFO オーバフロー (受信)
11H	R/W	3FH	FOVTMSK	FIFO オーバフロー割り込みマスク・レジスタ (送信)
12H	R/W	3FH	FOVRMSK	FIFO オーバフロー割り込みマスク・レジスタ (受信)
13H-18H	R/W	00H	PHYADD0-PHYADD5	PHY アドレス
19H-1EH	R/W	00H	TSTMOD0-TSTMOD5	テスト・パターン生成機能選択
23H	R/W	00H	PMDSTBY	PMD スタンバイ
26H	R/W	00H	DMODE1	Idle セル廃棄指定レジスタ
27H	R/W	00H	DMODE2	Idle セル廃棄条件設定レジスタ
29H	R	00H	DCINFO	廃棄セル・カウンタ・オーバーフロー発生情報
2AH	R/W	3FH	DCMASK	廃棄セル・カウンタ・オーバーフロー発生情報割り込みマスク・レジスタ
2BH	R/W	00H	SELFST1	自己テスト 1 レジスタ (HEC エラー内部発生)
2CH	R/W	00H	SELFST2	自己テスト 2 レジスタ (4B5B コード・エラー内部発生)
2DH	R/W	00H	X8_IN	X_8 送信イネーブル
2EH-3FH	-	-	-	リザーブ領域

4.2 レジスタ機能

[表記説明]

D7	D6	D5	D4	D3	D2	D1	D0	I/O アドレス	ビット
注 ¹		S5 ^{注²}	S4	S3	S2	S1	S0		R/W ^{注³}

注 1. は未使用ビットを表します。ライト時はゼロ固定，リード時は don't care です。

2. Sn : 回線#n に関するビット (n = 0-5)

3. R/W : リード/ライト可能

R : リードのみ可能

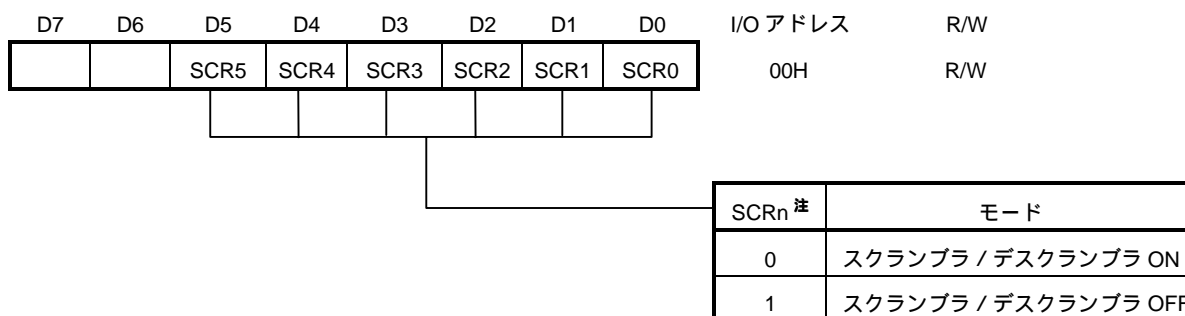
W : ライトのみ可能

4.2.1 スランブラ / デスランブラ (ON/OFF 設定) (SCRR)

D7	D6	D5	D4	D3	D2	D1	D0
		SCR5	SCR4	SCR3	SCR2	SCR1	SCR0

システム・リセット : 0 0 0 0 0 0 0 0

図 4 - 1 スランブラ / デスランブラ (SCRR)



注 SCRn : 回線#n に関するビット (n = 0-5)

[内 容]

スランブラ / デスランブラの ON/OFF の選択を各回線ごとにビット指定します。

4.2.2 コマンド・レジスタ (CMR)

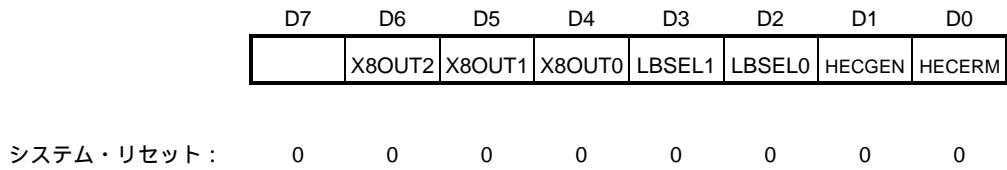
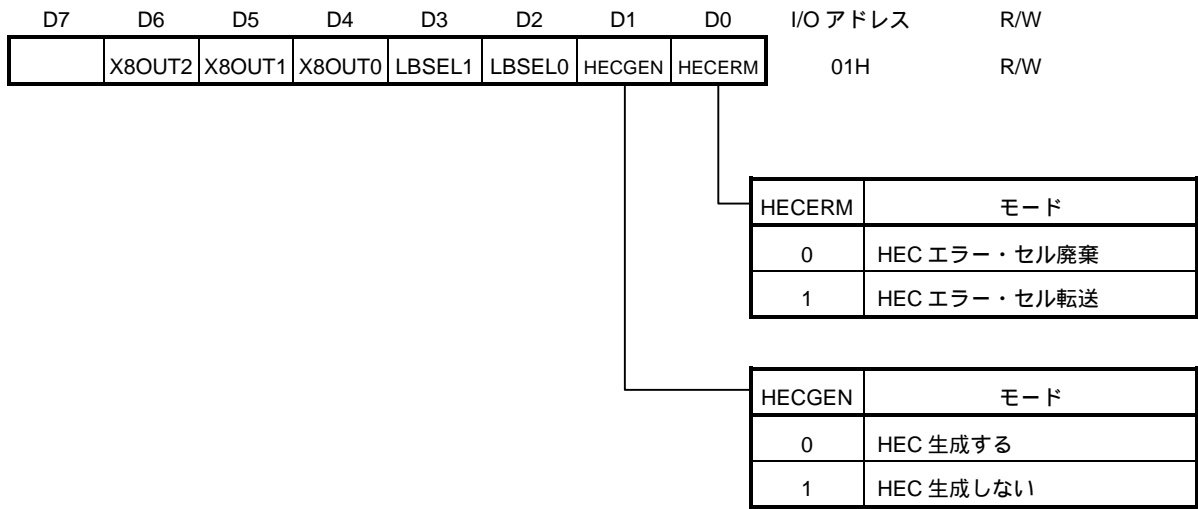


図 4 - 2 コマンド・レジスタ (CMR)



[内 容]

(X8OUT2, X8OUT1, X8OUT0) : X8 受信タイミング信号を出力する回線の設定します (デフォルト (0,0,0))。

- | | |
|---------|------------------|
| (0,0,0) | 第 0 回線の X8 信号を出力 |
| (0,0,1) | 第 1 回線の X8 信号を出力 |
| (0,1,0) | 第 2 回線の X8 信号を出力 |
| (0,1,1) | 第 3 回線の X8 信号を出力 |
| (1,0,0) | 第 4 回線の X8 信号を出力 |
| (1,0,1) | 第 5 回線の X8 信号を出力 |
| 上記以外 | 第 0 回線の X8 信号を出力 |

(LBSEL1, LBSEL0) : PMD ループバック 1 および ATM レイヤ・ル - プバック時の回線送信データを選択するビットです (デフォルト (0,0))

- | | |
|-------|-----------------------------|
| (0,0) | TC 部からの送信データ |
| (0,1) | 010101...パターン・データを出力 |
| (1,0) | 停止モード (00000...パターン・データを出力) |
| (1,1) | 禁止 |

備考 HECGEN, HECERM は, 全回線共通の設定になります。

4.2.3 PHY 割り込み要因レジスタ (PICR)

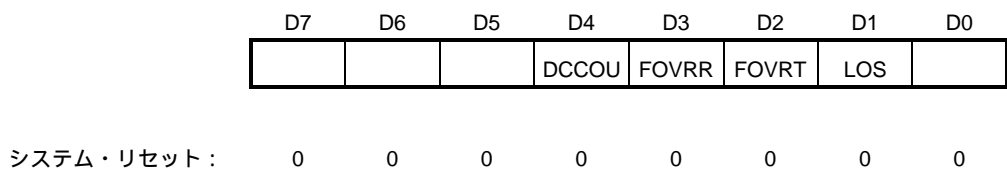
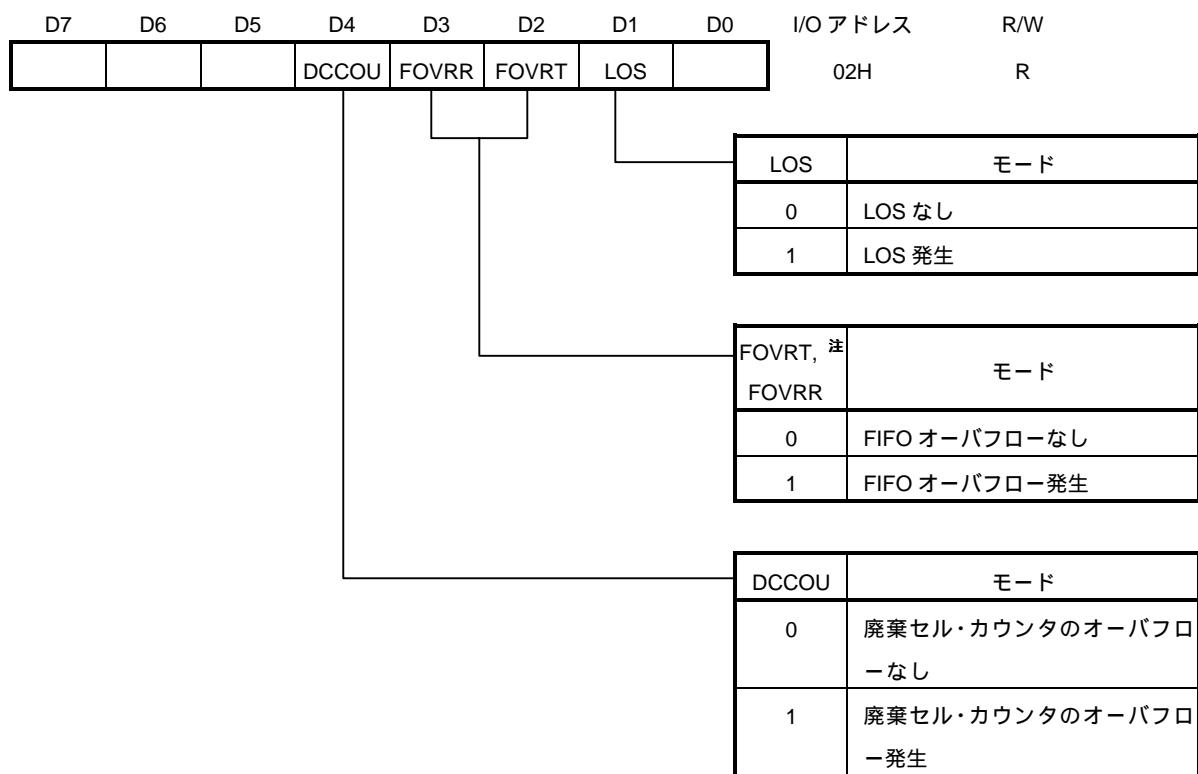


図 4 - 3 PHY 割り込み要因レジスタ (PICR)



注 FOVRT : 送信サイド
FOVRR : 受信サイド

[内 容]

割り込みフラグを格納するレジスタです。

(DCCOU ビット) : DCCOU ビットは, DCINFO レジスタ (アドレス = 29H) のいずれかのビットが '1' となっていれば, '1' となります。DCCOU ビットは PICR レジスタのリードではクリアされません。DCINFO レジスタのリードで DCINFO レジスタの各ビットがゼロ・クリアされることで, 自動的にゼロとなります。

(FOVRT ビット) : FOVRT ビットは、FIFOOVT レジスタ (アドレス = 0FH) のいずれかのビットが '1' となっていれば、'1' となります。FOVRT ビットは PICR レジスタのリードではクリアされません。FIFOOVT レジスタのリードで FIFOOVT レジスタの各ビットがゼロ・クリアされることで自動的にゼロとなります。

(FOVRR ビット) : FOVRR ビットは、FIFOOVR レジスタ (アドレス = 10H) のいずれかのビットが '1' となっていれば、'1' となります。FOVRR ビットは PICR レジスタのリードではクリアされません。FIFOOVR レジスタのリードで FIFOOVR レジスタの各ビットがゼロ・クリアされることで自動的にゼロとなります。

(LOS ビット) : LOS ビットは、LOSERR レジスタ (アドレス = 0AH) のいずれかのビットが '1' となっていれば、'1' となります。LOS ビットは、PICR レジスタのリードではクリアされません。LOSERR レジスタのリードで LOSERR レジスタの各ビットがゼロ・クリアされることで自動的にゼロとなります。ただし、回線で LOS が継続している場合は、LOSERR レジスタをリードしても LOSERR レジスタの各ビットがゼロ・クリアされないため、PHY 割り込み要因レジスタの LOS ビットもゼロになりません。

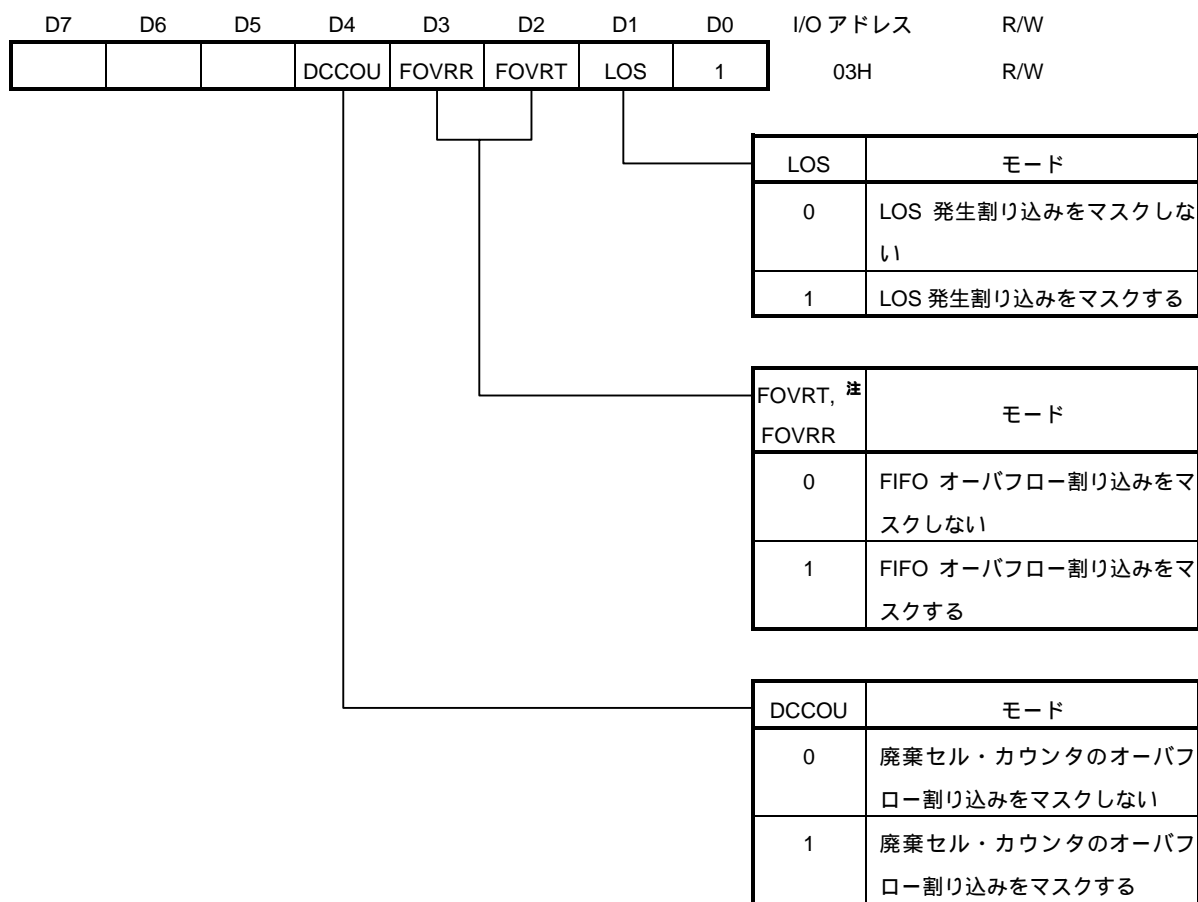
少なくとも 1 ビットのフラグが立つと、INT_B 端子がアクティブ (=0) になります。また、すべてのビットのフラグが落ちると、INT_B 端子がインアクティブ (=1) になります。割り込み処理の詳細は、**3.11 割り込み処理** を参照してください。

4.2.4 PHY 割り込みマスク・レジスタ (PIMR)

D7	D6	D5	D4	D3	D2	D1	D0
			DCCOU	FOVRR	FOVRT	LOS	1

システム・リセット: 0 0 0 1 1 1 1 1

図 4 - 4 PHY 割り込みマスク・レジスタ (PIMR)



注 FOVRT : 送信サイド
FOVRR : 受信サイド

注意 D0 ビットには必ず '1' を書き込んでください。

[内 容]

割り込み要因のマスクを設定するレジスタです。

割り込み要因自体は、割り込み要因マスクの設定にかかわらず、リードすることができます。

4.2.5 廃棄セル・カウンタ (DCCOU)

	D7	D6	D5	D4	D3	D2	D1	D0	I/O アドレス	R/W
回線#0	DCCOU07	DCCOU06	DCCOU05	DCCOU04	DCCOU03	DCCOU02	DCCOU01	DCCOU00	04H	R
	.									
	.									
	.									
回線#5	DCCOU57	DCCOU56	DCCOU55	DCCOU54	DCCOU53	DCCOU52	DCCOU51	DCCOU50	09H	R
	MSB				LSB					
システム・ リセット :	0	0	0	0	0	0	0	0		

[内 容]

各回線のエラーによる廃棄セル (HEC エラー, 4B5B エラー) の累計個数 (0-255) を格納するレジスタです。

リードすることにより, 00H にリセットされます。

オーバフロー時は, リードされるまでは FFH に固定されます。

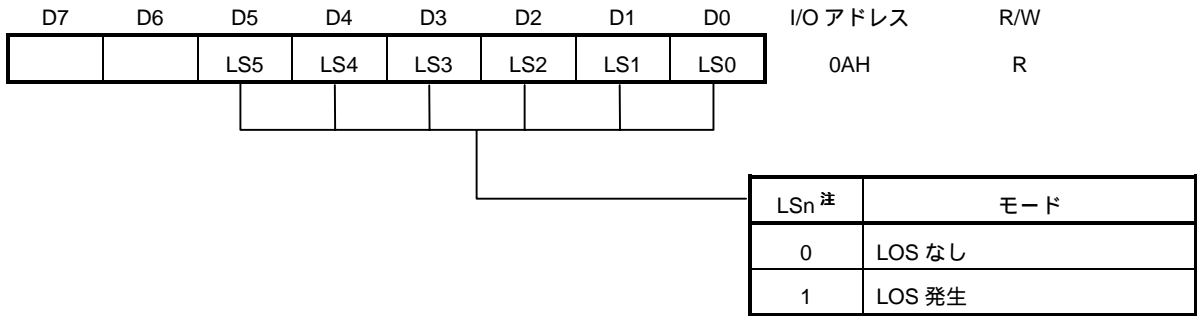
オーバフロー時, フロ - した回線番号は廃棄セル・カウンタ・オ - バフロ - 発生情報 (DCINFO) レジスタの DCINFO_n ビットに表示され, 同時に CPU へ割り込みを発生させることができます。

4.2.6 LOS 情報 (LOSERR)

D7	D6	D5	D4	D3	D2	D1	D0
		LS5	LS4	LS3	LS2	LS1	LS0

システム・リセット: 0 0 0 0 0 0 0 0

図 4 - 5 LOS 情報 (LOSERR)



注 LSn : 回線#n に関するビット (n = 0-5)

[内 容]

各回線の LOS (Loss Of Signal) 発生状況を格納するレジスタです。

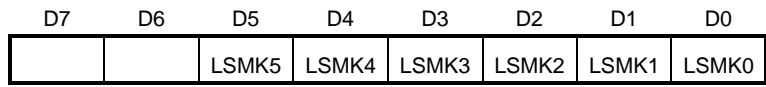
LOS の発生で割り込みを発生させることができます。

リードすることにより, 00H にリセットされます。

LOS が回復してもリードするまでゼロには戻りません。

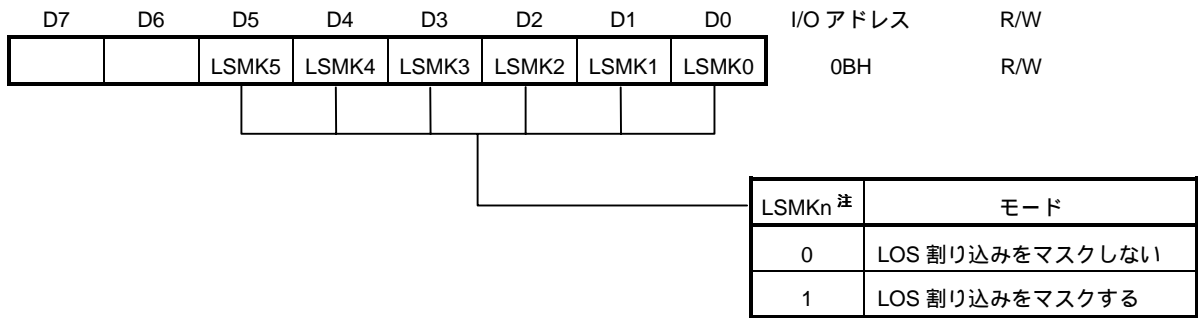
回線の LOS 状態が継続している場合は, リードしてもゼロには戻りません。

4.2.7 LOS 割り込みマスク・レジスタ (LOSMSK)



システム・リセット: 0 0 1 1 1 1 1 1

図 4 - 6 LOS 割り込みマスク・レジスタ (LOSMSK)

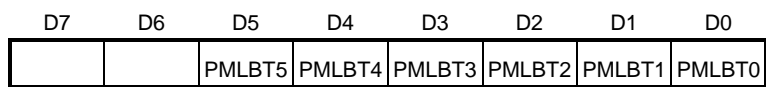


注 LSMKn : 回線#n に関するビット (n = 0-5)

[内 容]

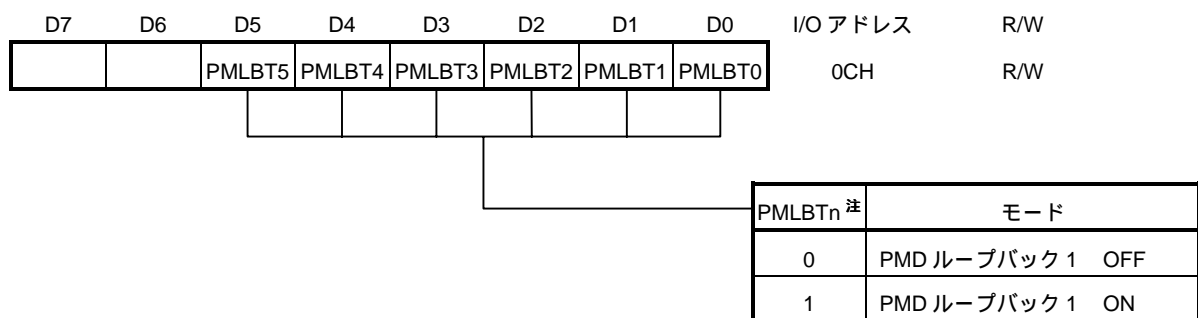
各回線の LOS (Loss Of Signal) 発生による割り込みをマスクするレジスタです。
 マスク指定によって割り込みはマスクされますが , LOSERR の要因自体はリードできます。

4.2.8 PMD ループバック 1 設定 (LBPMDT)



システム・リセット： 0 0 0 0 0 0 0 0

図 4 - 7 PMD ループバック 1 設定 (LBPMDT)



注 PMLBT_n : 回線#n に関するビット (n = 0-5)

[内 容]

各回線ごとの PMD ループバック 1 を指定するレジスタです。

この指定によって ,UTOPIA バスより入力された送信データを UTOPIA バスの受信側へそのまま折り返すことができます (ソース・ループバック)。

4.2.9 PMD ループバック 2 設定 (LBPMDU)

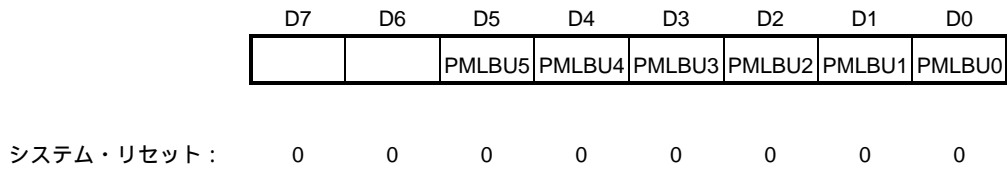
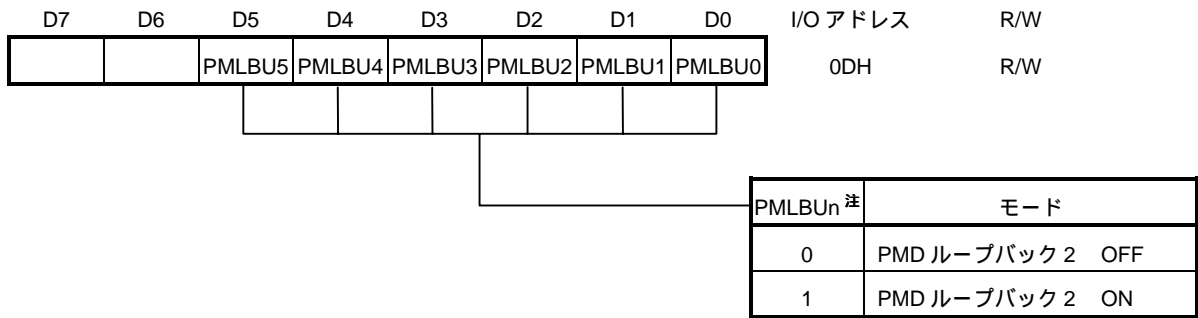


図 4 - 8 PMD ループバック 2 設定 (LBPMDU)



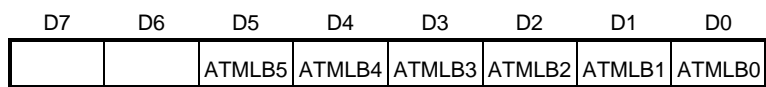
注 PMLBU_n : 回線#n に関するビット (n = 0-5)

[内 容]

各回線ごとの PMD ループバック 2 を指定するレジスタです。

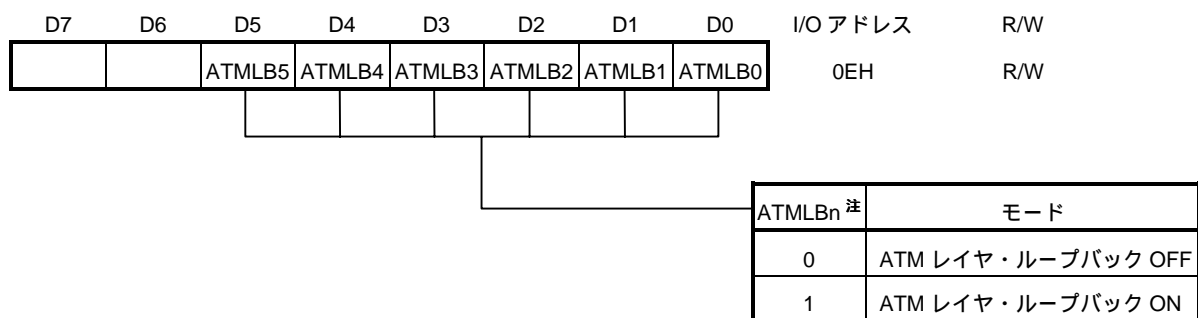
この指定によって、回線より入力された受信データを回線の送信側へそのまま折り返すことができます (リモート・ループバック)。

4.2.10 ATM ループバック設定 (LBATM)



システム・リセット： 0 0 0 0 0 0 0 0

図 4 - 9 ATM ループバック設定 (LBPM DU)



注 ATMLB_n : 回線#n に関するビット (n = 0-5)

[内 容]

各回線ごとの ATM レイヤ・ループバックを指定するレジスタです。

この指定によって ,UTOPIA パスより入力された送信データを UTOPIA パスの受信側へそのまま折り返すことができます。PMD ル - プバック 1 のデ - タ折り返し点は PMD サブレイヤでしたが , ATM レイヤ・ル - プバックの折り返し点は , UTOPIA インタフェ - スになります。

4.2.11 FIFO オーバフロー (FIFOOVT/FIFOOVR)

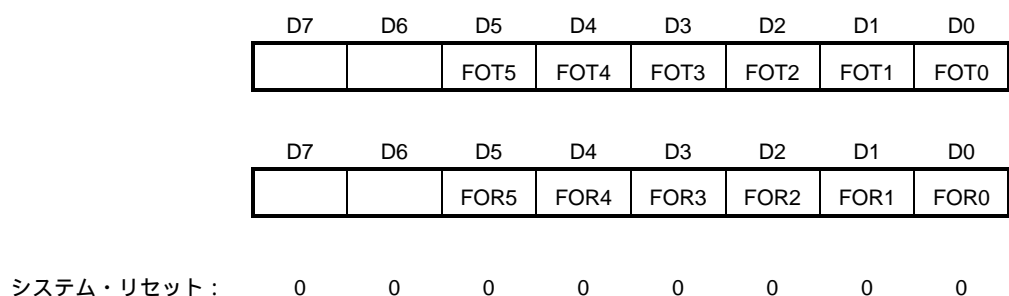
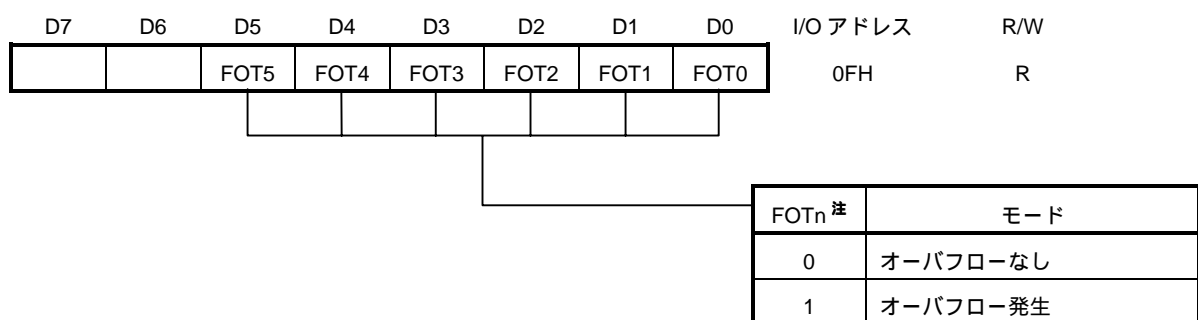


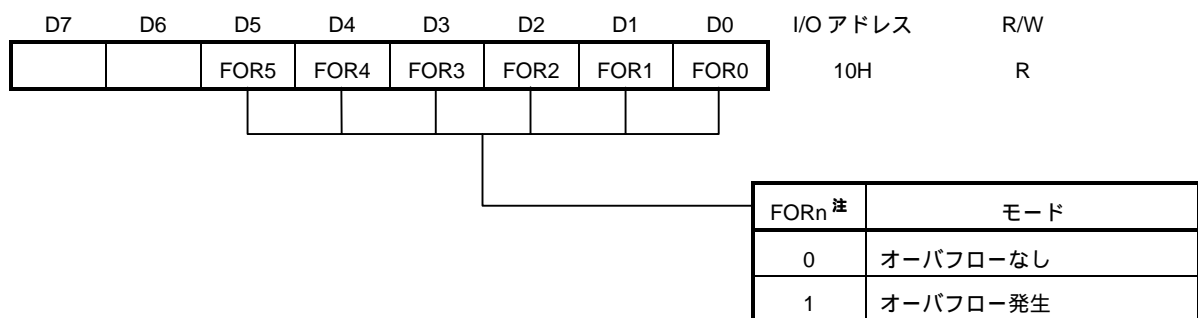
図 4 - 10 FIFO オーバフロー (FIFOOVT/FIFOOVR)

<送信> FIFOOVT レジスタ



注 FOTn：回線#n に関するビット (n = 0-5)

<受信> FIFOOVR レジスタ



注 FORn：回線#n に関するビット (n = 0-5)

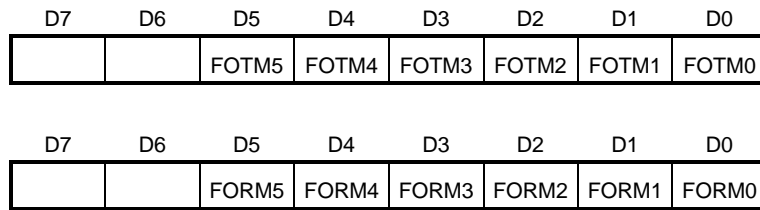
[内 容]

各回線ごとの FIFO オーバフローの発生状況を送信 / 受信別に格納するレジスタです。

リードすることにより、00H にリセットされます。

FIFO オーバフローによって、割り込みを発生させることができます。

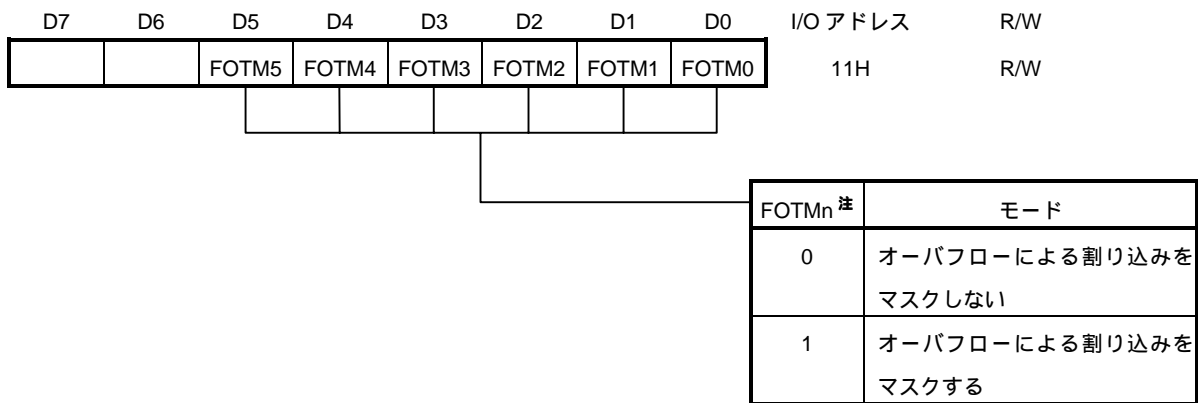
4.2.12 FIFO オーバフロー割り込みマスク・レジスタ (FOVTMSK/FOVRMSK)



システム・リセット : 0 0 1 1 1 1 1 1

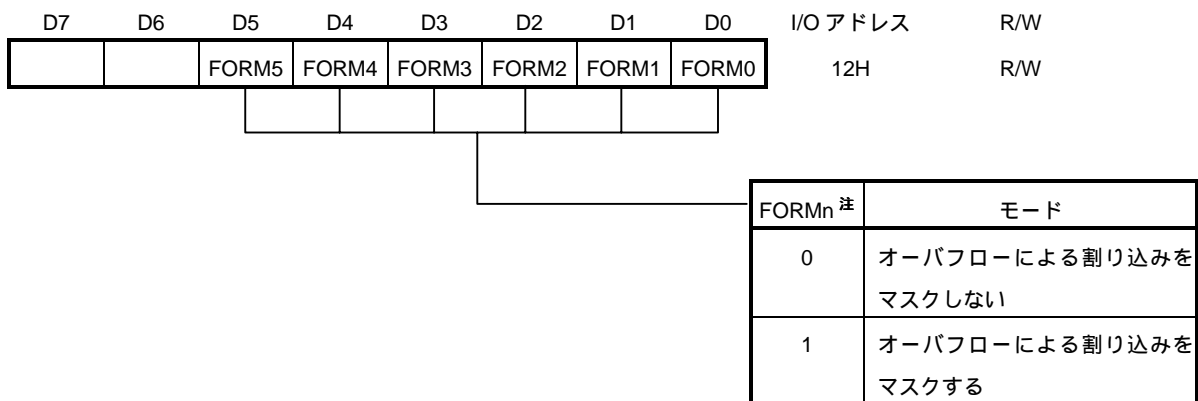
図 4 - 11 FIFO オーバフロー割り込みマスク・レジスタ (FOVTMSK/FOVRMSK)

<送信> FOVTMSK レジスタ



注 FOTM_n : 回線#n に関するビット (n = 0-5)

<受信> FOVRMSK レジスタ



注 FORM_n : 回線#n に関するビット (n = 0-5)

[内 容]

各回線ごとの FIFO オーバフロー発生による割り込みを送信 / 受信別にマスクするレジスタです。

マスク指定によって割り込みはマスクされますが、FIFOOVT/FIFOOVR の要因そのものはリードできます。

4.2.13 PHY アドレス (PHYADD)

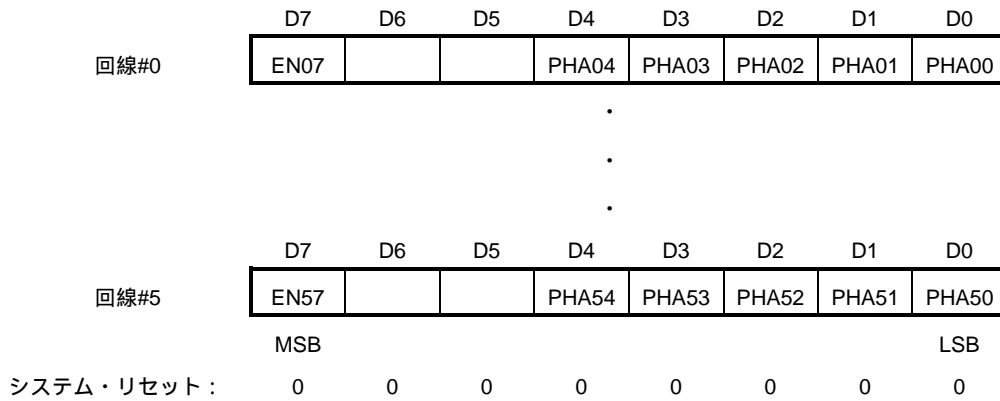
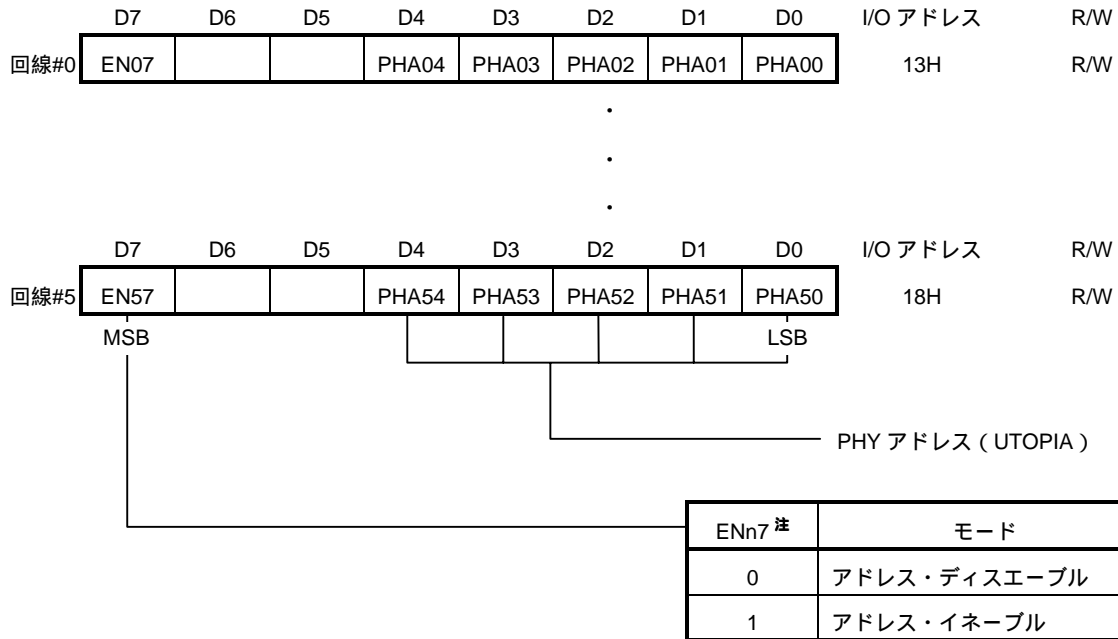


図 4 - 12 PHY アドレス (PHYADD)



注 ENn7 : 回線#n に関するビット (n = 0-5)

[内 容]

各回線の PHY アドレスを格納するレジスタです。

注意 アドレス・ディスエーブルに設定されている回線は、PMD 部および TC 部ともに動作しています。したがって、回線から入力された受信データに対しても、エラー / 障害検出機能が働いており、エラーを検出した場合には廃棄セルのカウンタなどを行います。しかし、受信データは受信 FIFO の手前で廃棄されるので、UTOPIA インタフェースには出力されません。また、回線へは、スクランブル、4B5B ブロック・コーディングされたダミーデータを送信しています。

4.2.14 テスト・パターン生成機能選択 (TSTMOD)

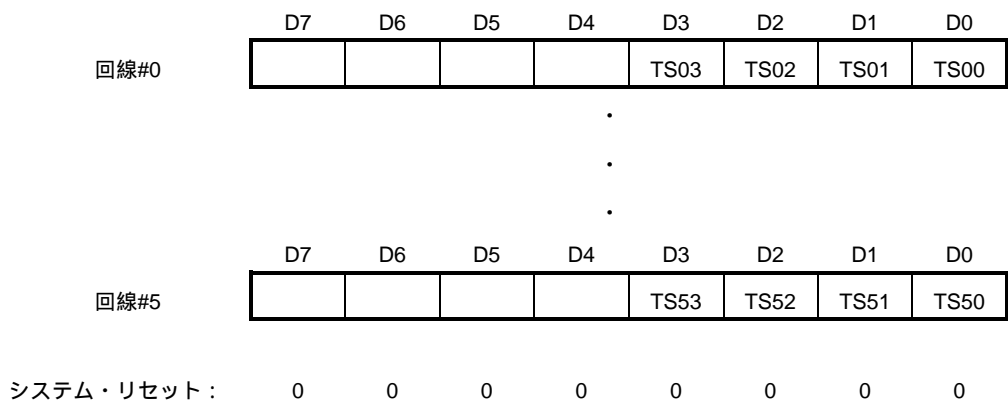
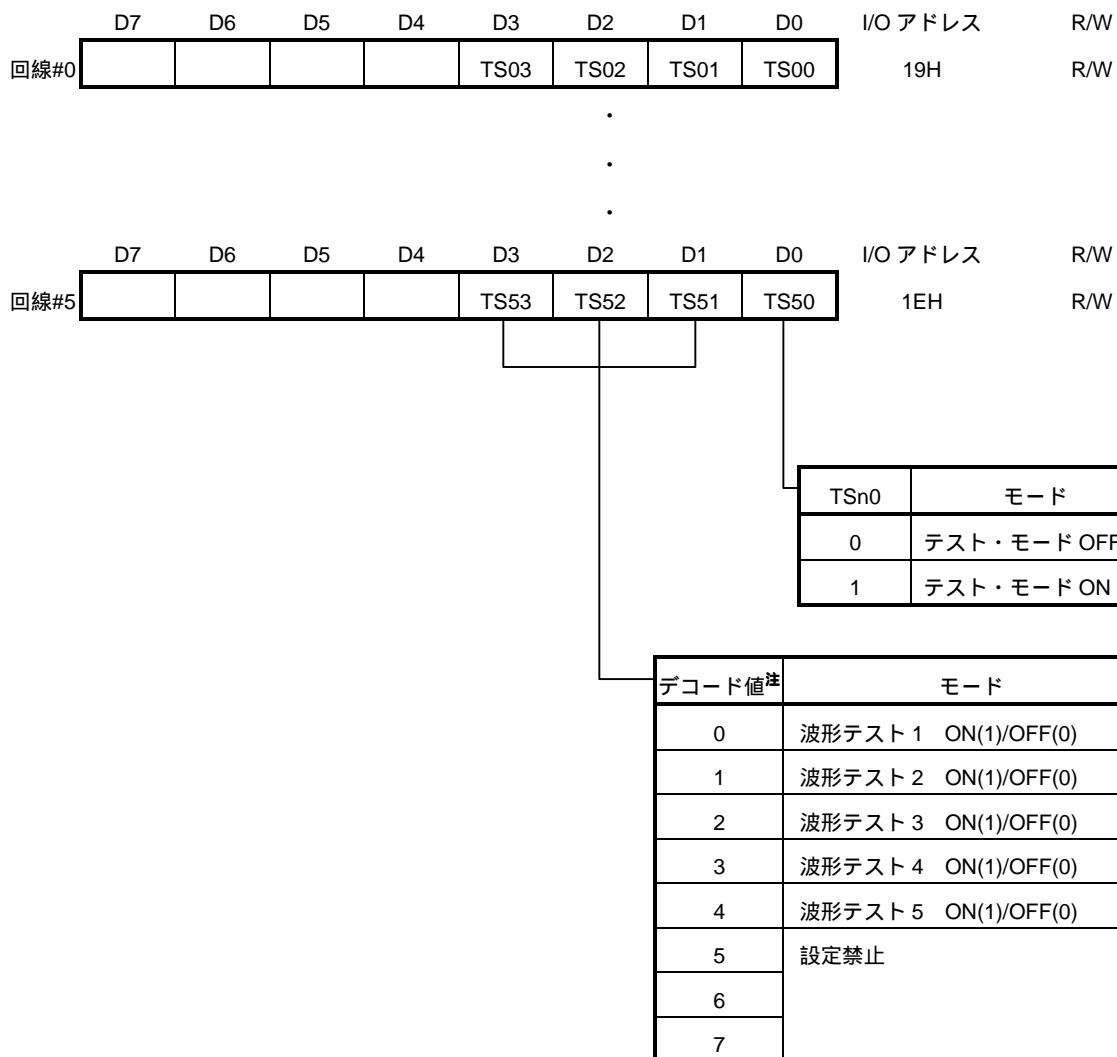


図 4 - 13 テスト・パターン生成機能選択 (TSTMOD)



注 デコード値 (TSn3, TSn2, TSn1)

(0,0,0)	0
(0,0,1)	1
(0,1,0)	2
(0,1,1)	3
(1,0,0)	4
(1,0,1)	5
(1,1,0)	6
(1,1,1)	7

[内 容]

各回線ごとのテスト・パターン生成モードの選択を指定するレジスタです。

TSn0 (n =0-5) がセットされるとテスト・パターンはスクランブル, NRZI されずに PMD 側に送信されま
す。

波形テスト1: 010101・・・の繰り返し

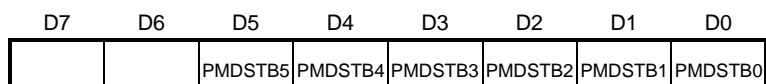
波形テスト2: 00110011・・・の繰り返し

波形テスト3: 000111000111・・・の繰り返し

波形テスト4: 0000111100001111・・・の繰り返し

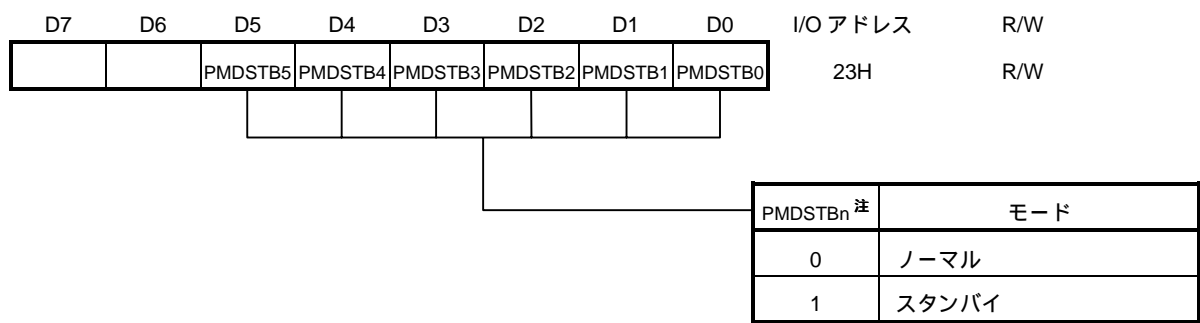
波形テスト5: 00000111110000011111・・・の繰り返し

4.2.15 PMD スタンバイ (PMDSTBY)



システム・リセット： 0 0 0 0 0 0 0 0

図 4 - 14 PMD スタンバイ (PMDSTBY)



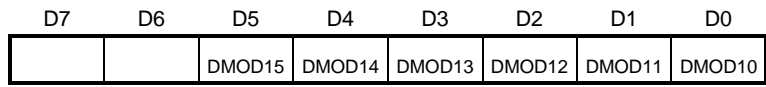
注 PMDSTB_n : 回線#n に関するビット (n = 0-5)

[内 容]

各回線の PMD スタンバイを設定するレジスタです。

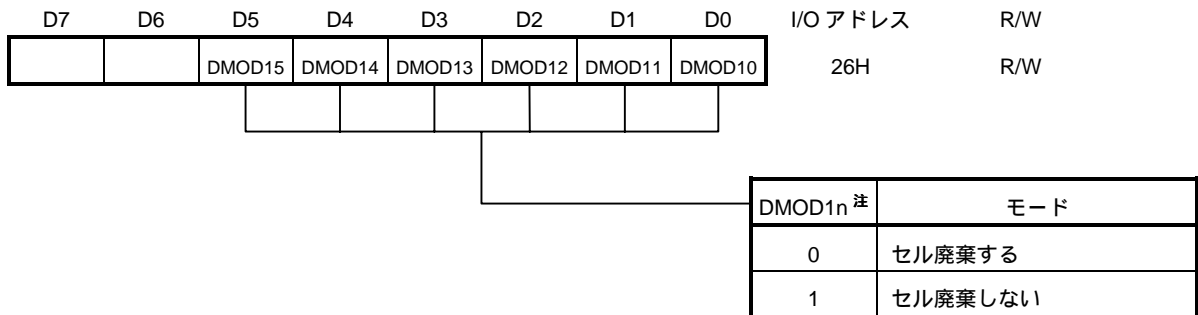
注意 PMD スタンバイ設定されている回線は、PMD 部および TC の一部分の動作が止まっています。したがって、回線から入力された受信データに対して、エラー / 障害検出機能が働かず、UTOPIA インタフェースにもデータ出力されません。また、回線へはいずれの送信データもドライブ出力せず、ハイ・インピーダンスとなります。

4.2.16 Idle セル廃棄指定レジスタ (DMODE1)



システム・リセット： 0 0 0 0 0 0 0 0

図 4 - 15 Idle セル廃棄指定レジスタ (DMODE1)



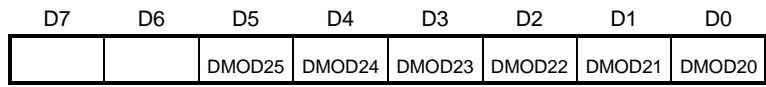
注 DMOD1n：回線#n に関するビット (n = 0-5)

[内 容]

各回線ごとに Idle セルの廃棄を実行するかしないかを指定するレジスタです。

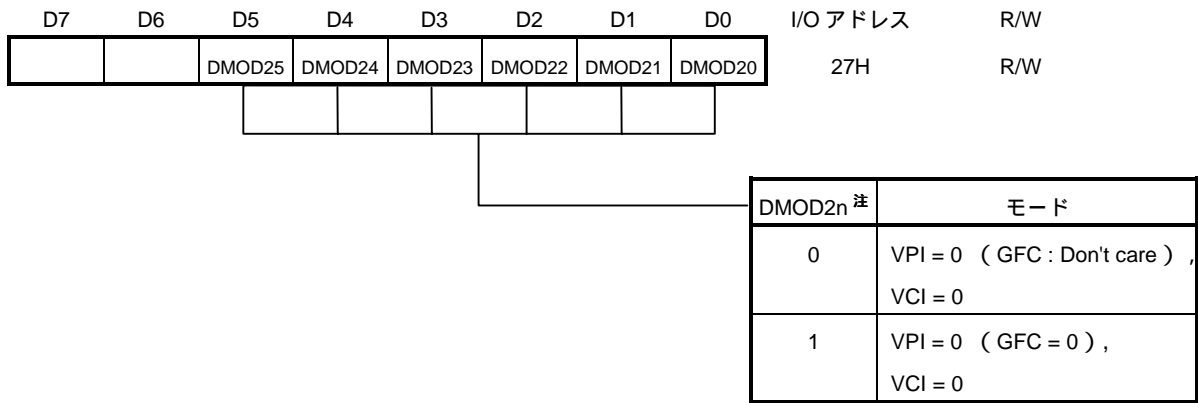
DMODE2 でセル廃棄条件を設定します。

4.2.17 Idle セル廃棄条件設定レジスタ (DMODE2)



システム・リセット： 0 0 0 0 0 0 0 0

図 4 - 16 Idle セル廃棄条件設定レジスタ (DMODE2)

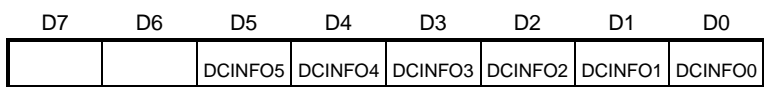


注 DMOD2n : 回線#n に関するビット (n = 0-5)

[内 容]

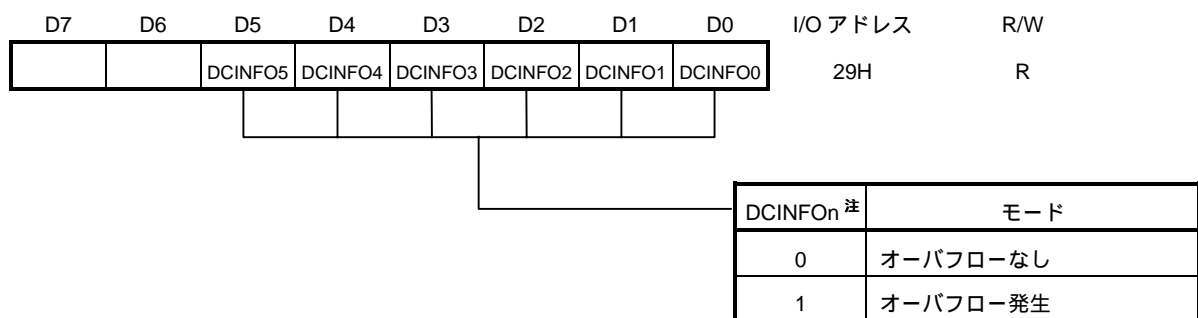
各回線ごとの Idle セル廃棄条件を設定するレジスタです。

4.2.18 廃棄セル・カウンタ・オーバーフロー発生情報 (DCINFO)



システム・リセット： 0 0 0 0 0 0 0 0

図 4 - 17 廃棄セル・カウンタ・オーバーフロー発生情報 (DCINFO)



注 DCINFO_n : 回線#n に関するビット (n = 0-5)

[内 容]

各回線ごとの廃棄セル・カウンタ・オーバーフローの発生状況を格納するレジスタです。
 リードすることにより、00H にリセットされます。
 廃棄セル・カウンタ・オーバーフローによって、割り込みを発生させることができます。

4.2.19 廃棄セル・カウンタ・オーバフロー発生情報割り込みマスク・レジスタ (DCMASK)

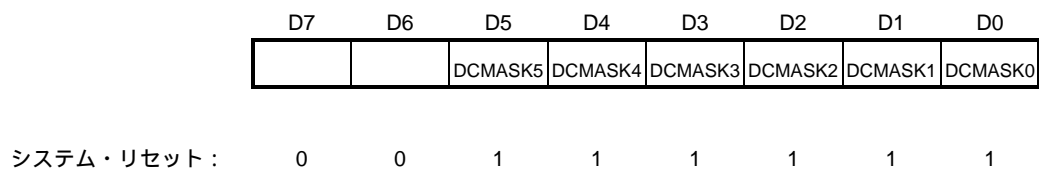
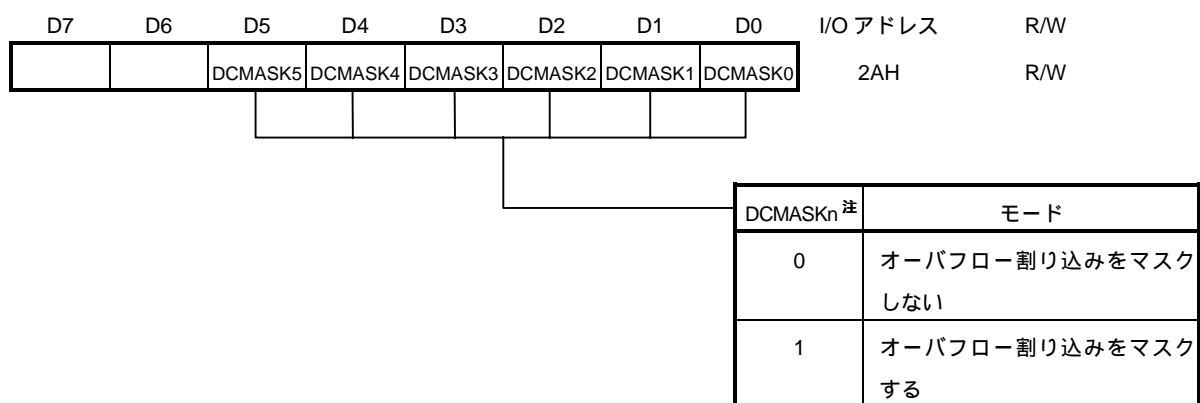


図4-18 廃棄セル・カウンタ・オーバフロー発生情報割り込みマスク・レジスタ (DCMASK)

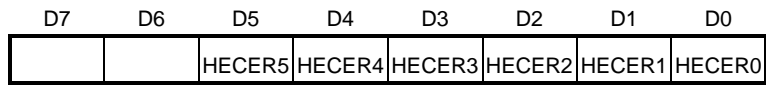


注 DCMASK_n : 回線#n に関するビット (n = 0-5)

[内 容]

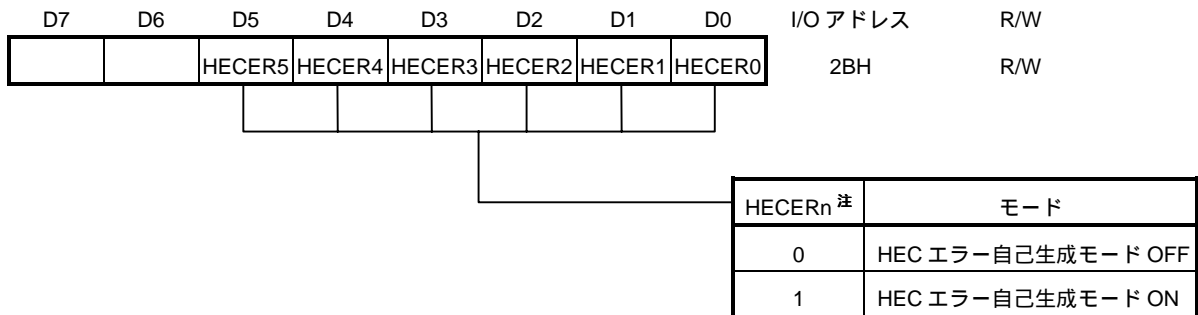
各回線ごとに、廃棄セル・カウンタのオーバフローによる割り込みをマスクするレジスタです。
このマスク指定によって割り込みはマスクされますが、DCINFO の要因自体はリードできます。

4.2.20 自己テスト1 (HEC エラー内部発生) (SELFTST1)



システム・リセット: 0 0 0 0 0 0 0 0

図4-19 自己テスト1 (HEC エラー内部発生) (SELFTST1)

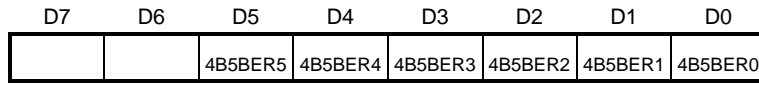


注 HECERn : 回線#n に関するビット (n = 0-5)

[内 容]

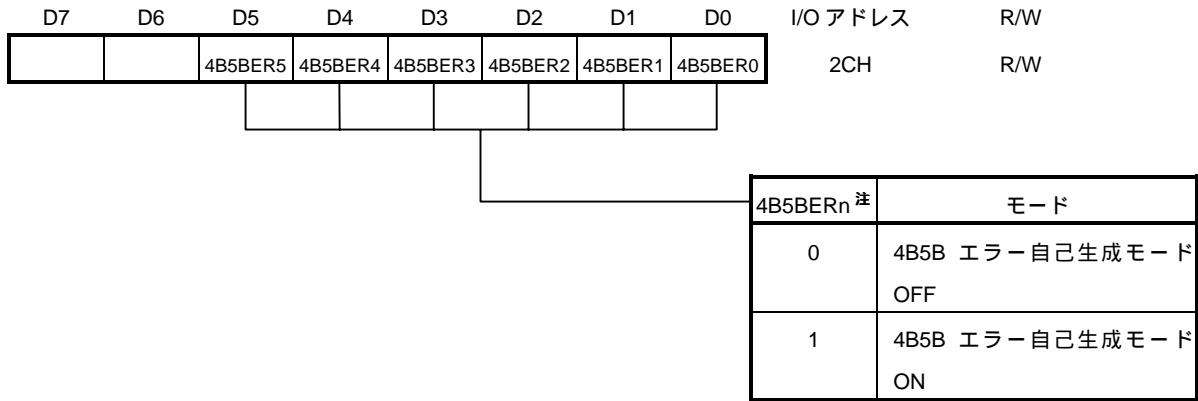
各回線ごとの HEC エラー自己生成モードを設定するレジスタです。

4.2.21 自己テスト2 (4B5B コード・エラー内部発生) (SELFTST2)



システム・リセット: 0 0 0 0 0 0 0 0

図4-20 自己テスト2 (4B5B コード・エラー内部発生) (SELFTST2)

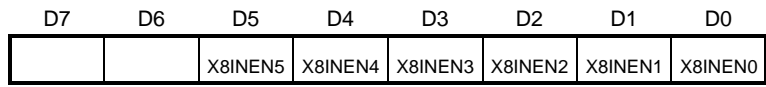


注 4B5BERn : 回線#n に関するビット (n = 0-5)

[内 容]

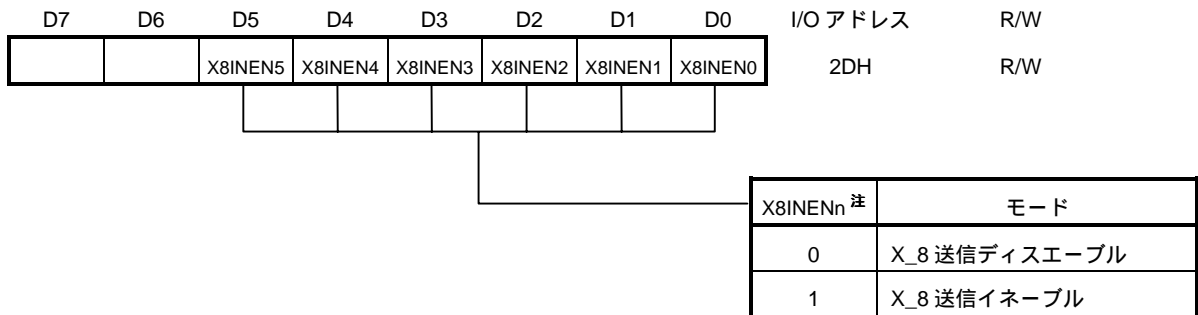
各回線ごとの4B5Bコード・エラー自己生成モードを設定するレジスタです。

4.2.22 X_8 送信イネーブル (X8_IN)



システム・リセット： 0 0 0 0 0 0 0 0

図 4 - 21 X_8 送信イネーブル (X_8IN)



注 X8INENn : 回線#n に関するビット (n = 0-5)

[内 容]

各回線ごとの X_8 コマンド信号の送信イネーブルを設定するレジスタです。

第5章 JTAG バウンダリ・スキャン

(お客様のご要求により、本機能をサポートすることができます。)

μPD98408 は、JTAG バウンダリ・スキャン回路を内蔵しています。

5.1 特 徴

IEEE1149.1 JTAG Boundary Scan Standard に準拠

バウンダリ・スキャン専用の 3 つのレジスタ

- ・ インストラクション・レジスタ
- ・ バイパス・レジスタ
- ・ バウンダリ・スキャン・レジスタ

2 つの命令をサポート

- ・ BYPASS 命令
- ・ EXTEST 命令

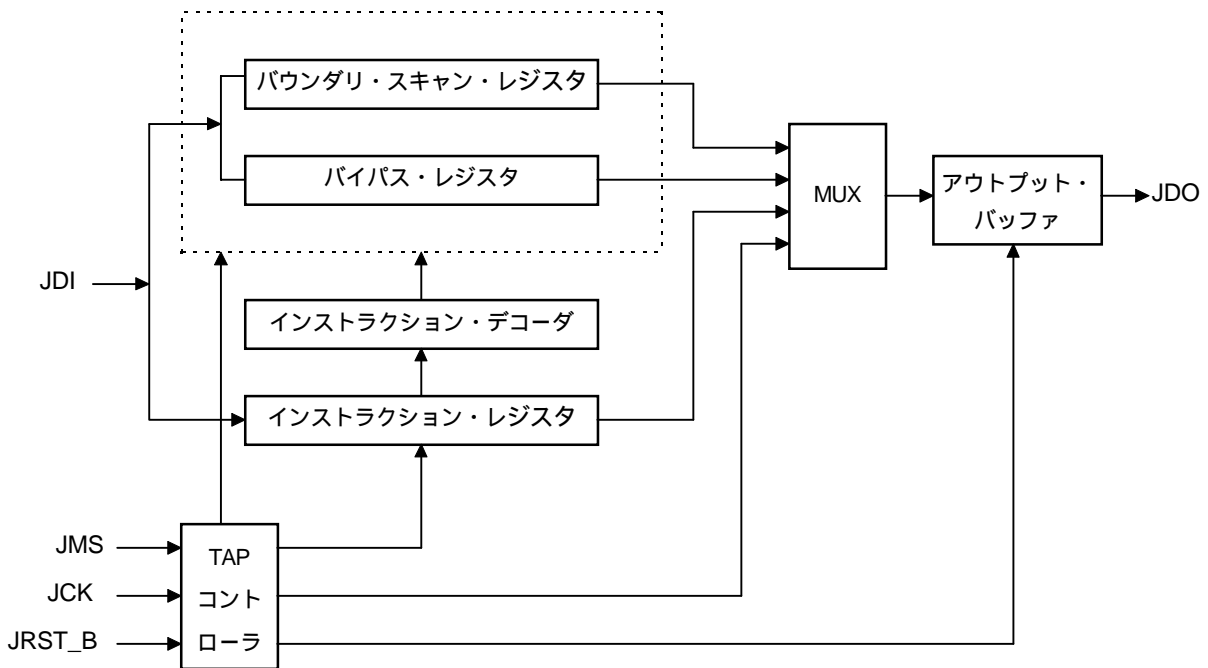
バウンダリ・スキャン端子 (5 端子)

- ・ JCK (JTAG Clock)
- ・ JMS (JTAG Mode Select)
- ・ JDI (JTAG Data Input)
- ・ JDO (JTAG Data Output)
- ・ JRST_B (JTAG Reset)

5.2 バウンダリ・スキャン回路内部構成

図5-1に、 μ PD98408に内蔵されているJTAG バウンダリ・スキャン回路のブロック図を示します。

図5-1 バウンダリ・スキャン回路ブロック図



5.2.1 インストラクション・レジスタ (Instruction register)

インストラクション・レジスタは、2ビットのシフト・レジスタで構成されており、JDI端子からの命令データを書き込みます。レジスタおよび命令の選択は、この命令データが決定します。

5.2.2 TAP コントローラ (Test Access Port controller)

TAP コントローラは、JCK端子に入力されるクロックの立ち上がりでJMS端子の信号をラッチすることにより、動作状態を変更します。

5.2.3 バイパス・レジスタ (Bypass register)

バイパス・レジスタは、TAP コントローラが Shift-DR 状態のときには、JDI端子とJDO端子の間で、接続される1ビットのシフト・レジスタで構成されます。TAP コントローラが Shift-DR 状態の間、このレジスタが選択されているときには、JCK端子に入力されるクロックの立ち上がりでJDO端子へデータをシフトします。

このレジスタが選択されているとき、JTAG バウンダリ・スキャン回路の動作は、 μ PD98408の動作に影響を与えません。

5.2.4 バウンダリ・スキャン・レジスタ (Boundary Scan register)

バウンダリ・スキャン・レジスタは、 μ PD98408 の外部端子と内部ロジック回路の間にあります。このレジスタが選択されたとき、TAP コントローラの命令によりデータをラッチ、またはロードします。

TAP コントローラが Shift-DR 状態の間、このレジスタが選択されている場合には、JCK 端子に入力されるクロックの立ち下がり、JDO 端子へデータを LSB から出力します。

5.3 端子機能

5.3.1 JCK 端子 (JTAG Clock pin)

JCK 端子は、JTAG バウンダリ・スキャン回路(バイパス・レジスタやインストラクション・レジスタ TAP コントローラ)へのクロック信号の供給に使用します。このクロック信号は、 μ PD98408 内部のほかの回路へは供給されないように分離しています。

5.3.2 JMS 端子 (JTAG Mode Select pin)

JMS 端子への入力、JCK 端子に入力されるクロックの立ち上がりでラッチされ、TAP コントローラの動作を定義します。

5.3.3 JDI 端子 (JTAG Data Input pin)

JDI 端子は、JTAG バウンダリ・スキャン回路レジスタへデータを入力するための入力端子です。

5.3.4 JDO 端子 (JTAG Data Output pin)

JDO 端子は、JTAG バウンダリ・スキャン回路レジスタからデータを出力するための出力端子です。JCK 端子に入力されるクロックの立ち下がり、出力を変化させます。また、この出力端子は 3 ステート出力であり、TAP コントローラにより制御されます。

5.3.5 JRST_B 端子 (JTAG Reset pin)

TAP コントローラを非同期的に初期化します。このリセット信号は、 μ PD98408 を通常の動作モードにし、バウンダリ・レジスタを非動作状態にします。

5.4 動作説明

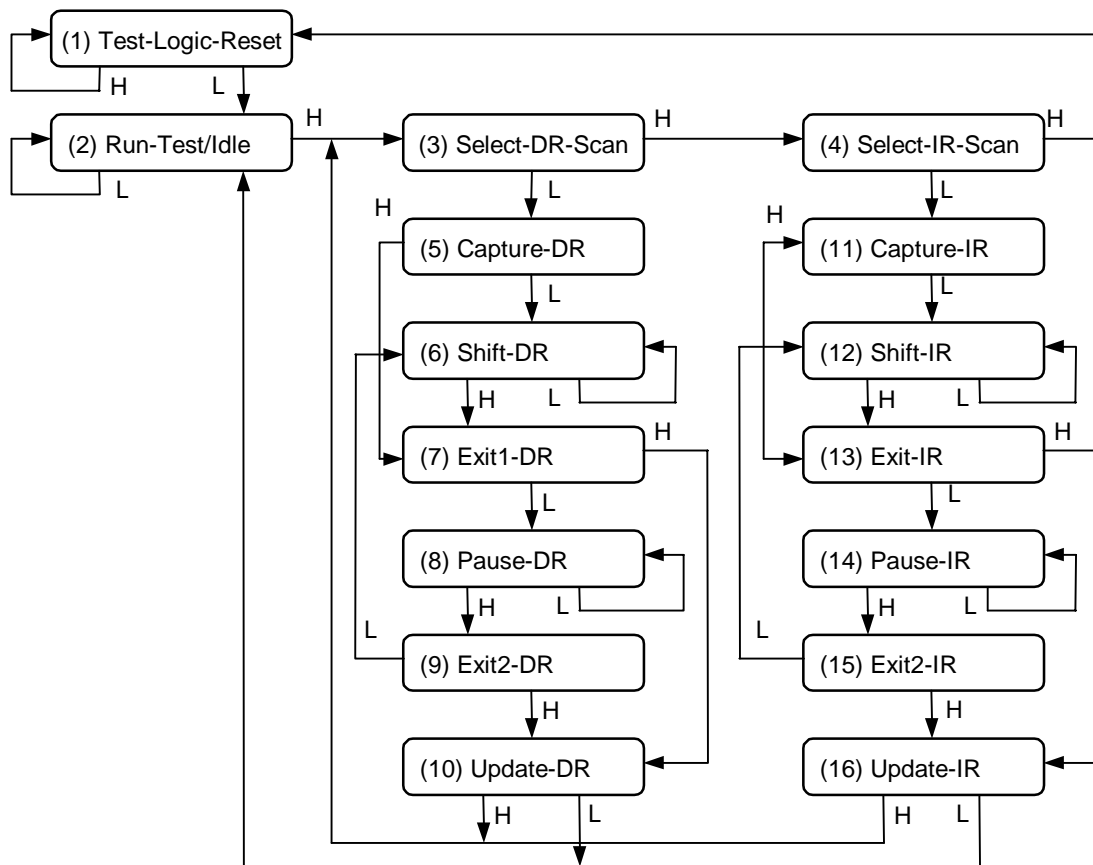
5.4.1 TAP コントローラ

TAP コントローラは、JMS 端子と JCK 端子信号の変化により同期した 16 個の状態をもつ回路です。動作は、IEEE standard 1149.1 で規定されています。

5.4.2 TAP コントローラ状態

TAP コントローラの状態を図 5 - 2 に示します。TAP コントローラのすべての状態の変化は、JCK 端子に入力されるクロックの立ち上がりの JMS 端子信号の状態によって決まります。インストラクション・レジスタ、バウンダリ・スキャン・レジスタとバイパス・レジスタの動作は、JCK 端子に入力されるクロックの立ち上がり / 立ち下がりで変化します (図 5 - 3 参照) 。

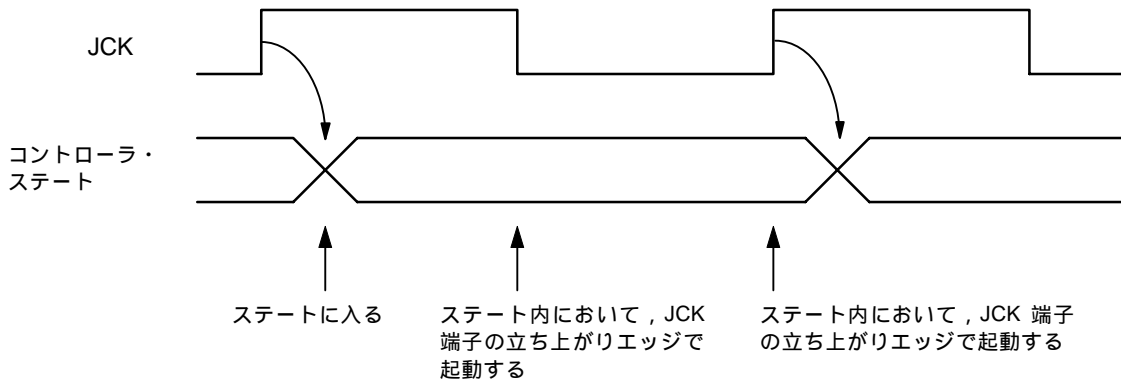
図 5 - 2 TAP コントローラの状態



備考 1. 図中の遷移を表す矢印の隣に示した“H”と“L”は、JCK 端子に入力されるクロックの立ち上がり時の JMS 端子の状態を示します。

2. 図中にある () 内の番号は、次に述べる各状態の説明の項目番号です。

図5-3 コントローラ状態での動作タイミング



(1) Test-Logic-Reset

JTAG バウンダリ・スキャン回路は、 μ PD98408 に対して動作しません。したがって、 μ PD98408 のシステム・ロジックには影響しません。これは、イニシャライズ時にバイパス命令がインストラクション・レジスタに格納、実行されているからです。TAP コントローラがどの状態のときでも、JMS 端子信号が少なくとも JCK 端子信号の立ち上がり 5 回分ハイ・レベル状態を保持すれば、Test-Logic-Reset 状態になります。TAP コントローラは、この状態を JMS 端子信号がハイ・レベルの間保持します。

TAP コントローラが Test-Logic-Reset 状態になる必要があるときは、JCK 端子信号の立ち上がりで JMS 端子信号に誤ったロウ・レベル信号が 1 回入力されても（たとえば外部インタフェースの影響）、JMS 端子信号が JCK 端子信号の立ち上がりエッジの 3 回分ハイ・レベル状態を保持すれば、もとの Test-Logic-Reset 状態に戻ります。

上記のエラーによって、テスト・ロジックの動作が μ PD98408 の論理動作を妨げることはありません。

Test-Logic-Reset コントローラ状態を抜けると、TAP コントローラは、Run-Test/Idle コントローラ状態に遷移します。この状態では、バイパス・レジスタの動作によりカレント命令が選択設定されていますので、どのような動作も行いません。また、この JTAG バウンダリ・スキャン回路の論理動作は、Select-DR-Scan 状態と Select-IR-Scan 状態でもインアクティブです。

(2) Run-Test/Idle

スキャン動作間（Select-DR-Scan 状態、Select-IR-Scan 状態）の TAP コントローラ状態です。一度この状態になると、JMS 端子信号がロウ・レベルを保持している間は、TAP コントローラもこの状態を保持します。1 回の JCK 端子信号の立ち上がりエッジで、JMS 端子信号がハイ・レベルを保持すれば、Select-DR-Scan 状態に遷移します。

カレント命令で選択されたすべてのテスト・データ・レジスタ（バウンダリ・レジスタ、バイパス・レジスタ）には、以前の状態が保持されます（Idle）。TAP コントローラがこの状態の間、命令は変化しません。

(3) Select-DR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには、以前の状態が保持されます。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がり時にロウ・レベルが保持されると、TAP コントローラは、Capture-DR 状態に遷移します。また、選択されたレジスタへのスキャン・シーケンスが開始されます。

JCK 端子信号の立ち上がり時にハイ・レベルが保持されると、TAP コントローラは、Select-IR-Scan 状態に遷移します。TAP コントローラがこの状態の間、命令は変化しません。

(4) Select-IR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには、以前の状態が保持されます。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がり時にロウ・レベルが保持されると、TAP コントローラは、Capture-IR 状態に遷移します。また、選択されたレジスタへのスキャン・シーケンスが開始されます。

JCK 端子信号の立ち上がり時に JMS 端子信号がハイ・レベル状態に保持されると、TAP コントローラは、Test-Logic-Reset 状態に戻ります。TAP コントローラがこの状態の間、命令は変化しません。

(5) Capture-DR

コントローラ状態において、データは JCK 端子信号の立ち上がりエッジで、カレント命令により選択されたバウンダリ・スキャン・レジスタにパラレル・ロード（この場合、個々のデバイスの入力端子からそれぞれのバウンダリ・スキャン・レジスタに同時にロードすること）されます。TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号が立ち上がりエッジの場合、TAP コントローラの状態は次のようになります。

- ・ JMS 端子信号がハイ・レベルに保持されたとき：Exit1-DR 状態に遷移
- ・ JMS 端子信号がロウ・レベルに保持されたとき：Shift-DR 状態に遷移

(6) Shift-DR

このコントローラ状態では、カレント命令によって（バウンダリ・スキャン・レジスタ，またはバイパス・レジスタのどちらかで）JDI と JDO の間が接続されます。シフト・データは，JCK 端子信号の立ち上がりエッジごとにシリアル出力方向に一段ずつシフトされます。

カレント命令により選択されたバウンダリ・スキャン・レジスタ，またはバイパス・レジスタは，シリアル・パス上に位置していないとき（Shift-DR 状態でないとき），前の状態を変化させずに保持します。TAP コントローラがこの状態の間，命令は変化しません。

TAP コントローラがこの状態で，JCK 端子信号が立ち上がりエッジの場合，TAP コントローラの状態は次のようになります。

- ・ JMS 端子信号がハイ・レベルに保持されたとき：Exit1-DR 状態に遷移
- ・ JMS 端子信号がロウ・レベルに保持されたとき：Shift-DR 状態のまま

(7) Exit1-DR

一時的なコントローラ状態です。この状態において，JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていれば，TAP コントローラは，Update-DR 状態に遷移します。これにより，スキャン・プロセスを終了します。

また，JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていれば，TAP コントローラは，Pause-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと，バウンダリ・スキャン・レジスタのどちらにおいても，以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間は，命令は変化しません。

(8) Pause-DR

コントローラ状態は，バイパス・レジスタと，バウンダリ・スキャン・レジスタのどちらかで接続している JDI と JDO 間のシフトを一時的に停止させます。カレント命令で選択されたこれらのレジスタは，以前の状態が変化しないで保持されます。

JMS 端子信号がロウ・レベルの間，TAP コントローラをこの状態で保持します。JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されているときは，TAP コントローラは，Exit2-DR 状態に遷移します。TAP コントローラがこの状態の間は，命令は変化しません。

(9) Exit2-DR

一時的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-DR 状態に遷移し、スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Shift-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタのどちらにおいても、以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間は、命令は変化しません。

(10) Update-DR

バウンダリ・スキャン・レジスタは、ある命令（たとえば EXTEST 命令）により、パラレル出力の変化（連結されているシフト・レジスタ・パスにシフトされている期間における）を防ぐためのパラレル出力ラッチを持っています。

Update-DR コントローラ状態において、JCK 端子信号の立ち下がりエッジで、データは、シフト・レジスタ・パスからこのレジスタのパラレル・アウトプットにラッチされます。

ラッチのためパラレル・アウトプットに保持されたデータは、このコントローラの状態により変化します（他のコントローラ状態では変化しません）。

カレント命令によって選択されたバウンダリ・スキャン・レジスタにおけるすべてのシフト・レジスタの過程は、変化のない以前の状態が保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Select-DR-Scan 状態に遷移します。

また、JCK 端子信号の立ち上がりエッジでロウ・レベルが保持されると、TAP コントローラは、Run-Test/Idle 状態に遷移します。

(11) Capture-IR

このコントローラ状態において、JCK 端子信号の立ち上がりエッジで、シフト・レジスタは、インストラクション・レジスタに固定論理値のパターン【01（2進）】をロードします。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それら以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Exit1-IR 状態に遷移します。

また、JCK 端子信号の立ち上がりエッジでロウ・レベルが保持されると、TAP コントローラは、Shift-IR 状態に遷移します。

(12) Shift-IR

このコントローラ状態において、インストラクション・レジスタ内のシフト・レジスタで JDI と JDO の間が接続されます。シフト・データは、JCK 端子信号の立ち上がりエッジごとにシリアル出力方向に一段シフトされます。

カレント命令によって選択されるバウンダリ・スキャン・レジスタか、バイパス・レジスタは、変化のないそれらの以前の状態が保持されます。

TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態において JCK 端子信号が立ち上がりエッジで、TAP コントローラは、JMS 端子信号がハイ・レベルに保持されていると、Exit1-IR 状態になります。また、JMS 端子信号がロウ・レベルに保持されていると、Shift-IR 状態のままです。

(13) Exit1-IR

一般的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-IR 状態に遷移します。これにより、スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Pause-IR に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

(14) Pause-IR

このコントローラ状態は、インストラクション・レジスタのシフトを一時的に停止させます。カレント命令で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタは、以前の状態が変化しないで保持されます。

TAP コントローラがこの状態の間、命令は変化しません。また、インストラクション・レジスタはその状態を保持します。

JMS 端子信号がロウ・レベルの間、TAP コントローラをこの状態で保持します。JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されているときは、TAP コントローラは、Exit2-IR 状態に遷移します。

(15) Exit2-IR

一時的なコントローラ状態です。この状態において、JCK 端子信号の立ち上がりエッジで JMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-IR コントローラ状態に遷移します。これにより、スキャン・プロセスを終了します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Shift-IR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態、またはインストラクション・レジスタにその状態が保持されている間は、命令は変化しません。

(16) Update-IR

このコントローラ状態において、インストラクション・レジスタにシフトされた命令は、JCK 端子信号の立ち下がりエッジで、シフト・レジスタ・パスからパラレル・アウトプット上にラッチされます。いったん、新しい命令がラッチされたらカレント命令となります。

カレント命令によって選択されたバイパス・レジスタ、またはバウンダリ・スキャン・レジスタのどちらも、前の状態を保持します。

TAP コントローラがこの状態で、JCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Select-DR-Scan 状態に遷移します。

JCK 端子信号の立ち上がりエッジで JMS 端子信号がロウ・レベルに保持されると、TAP コントローラは、Run-Test/Idle 状態に遷移します。

(8) の Pause-DR コントローラ状態と、(14) の Pause-IR コントローラ状態は、バイパス・レジスタ、バウンダリ・スキャン・レジスタ、またはインストラクション・レジスタ内のデータのシフトを一時停止します。

5.5 TAP コントローラ動作

TAP コントローラの動作は、次のとおりです。

TAP コントローラは(1)、(2)のどちらかで状態遷移を行います。

- (1) JCK 端子信号の立ち上がりエッジ
- (2) JRST_B 端子入力

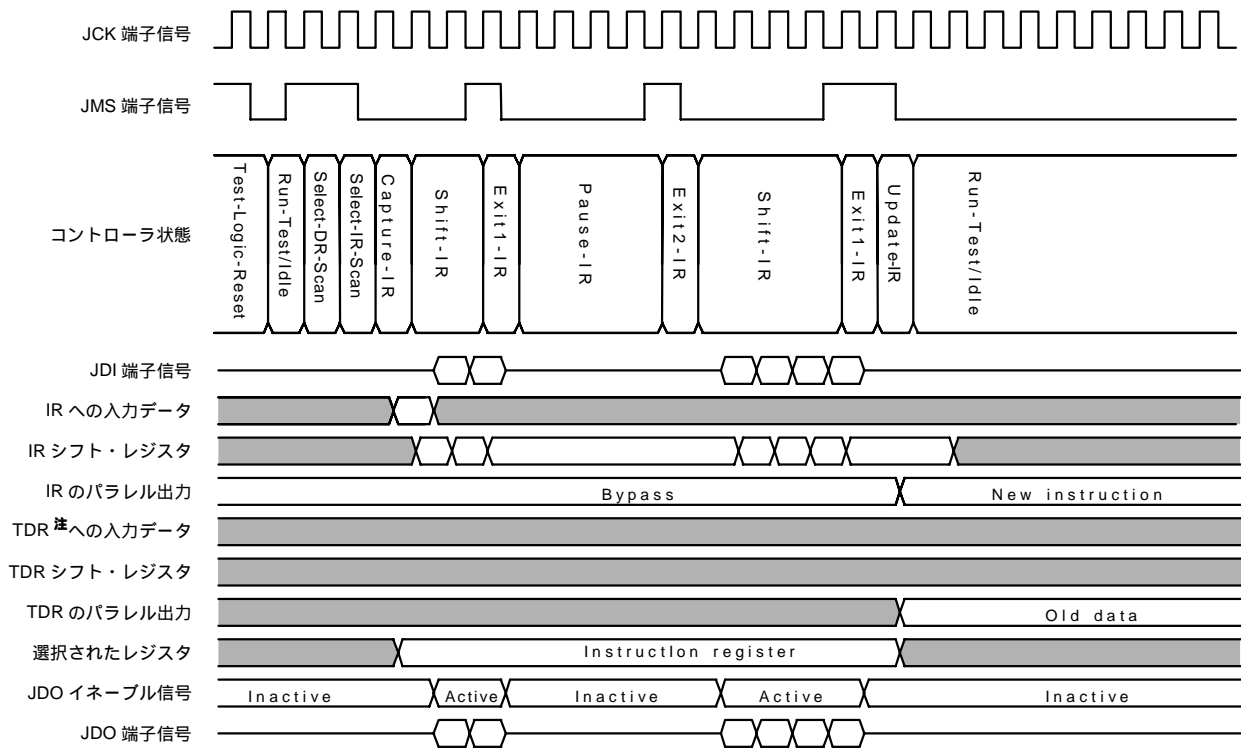
TAP コントローラは、この標準で定義されているバイパス・レジスタ、バウンダリ・スキャン・レジスタ、およびインストラクション・レジスタの動作を制御する信号を生成します(図5-4, 図5-5 参照)。

JDO 端子出力バッファと、JDO 端子に出力するレジスタを選択する周辺回路は、表5-1のように制御されています。表5-1において定義される JDO 端子は、その状態に遷移したあと、JCK 端子信号の立ち下がりエッジで変化します。

表5-1 それぞれのコントローラ状態における動作

コントローラ状態	JDO 端子へドライブする選択されたレジスタ	JDO 端子ドライバ
Test-Logic-Reset	未定義	ハイ・インピーダンス
Run-Test/Idle		
Select-DR-Scan		
Select-IR-Scan		
Capture-IR		
Shift-IR	インストラクション・レジスタ	アクティブ
Exit1-IR	未定義	ハイ・インピーダンス
Pause-IR		
Exit2-IR		
Update-IR		
Capture-DR		
Shift-DR	データ・レジスタ(バウンダリ・スキャン・レジスタ, バイパス・レジスタ)	アクティブ
Exit1-DR	未定義	ハイ・インピーダンス
Pause-DR		
Exit2-DR		
Update-DR		

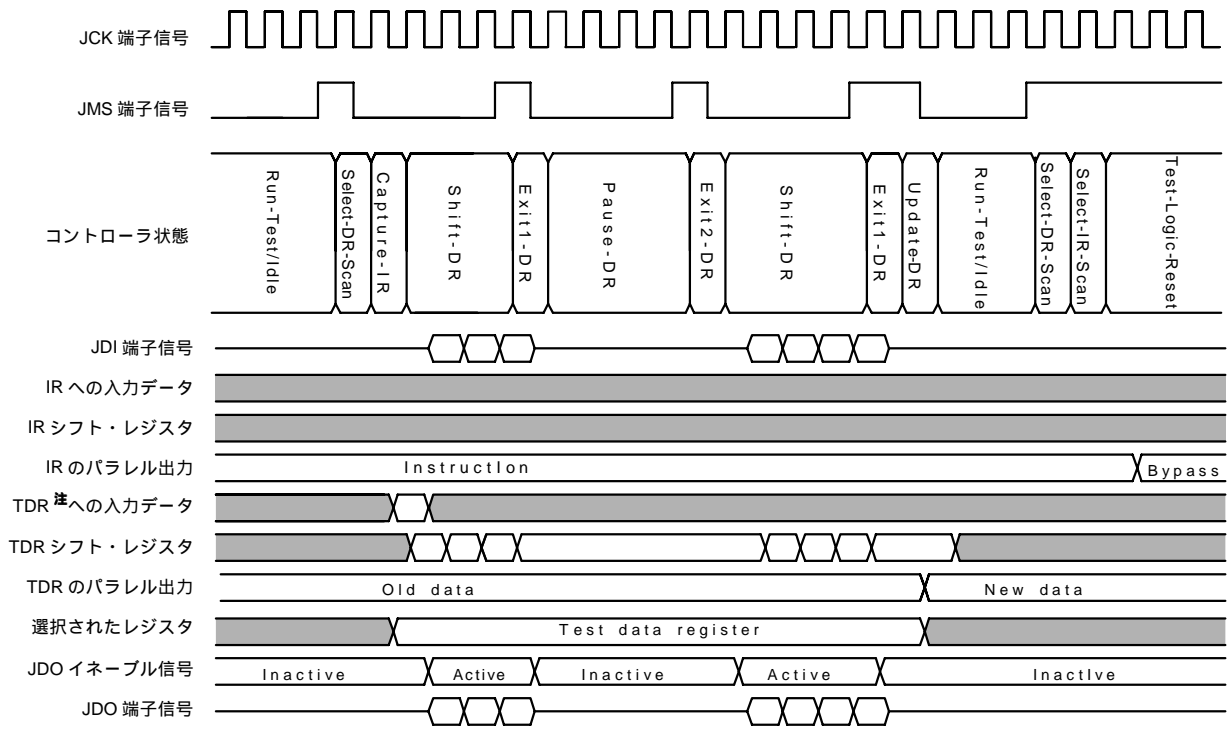
図5-4 テスト・ロジックの動作 (インストラクション・スキャン)



注 TDR (Test Data Register) : バウンダリ・スキャン・レジスタおよびバイパス・レジスタ

備考 : Don't care あるいは未定義

図 5 - 5 テスト・ロジックの動作 (データ・スキャン)



注 TDR (Test Data Register) : バウンダリ・スキャン・レジスタおよびバイパス・レジスタ

備考 : Don't care あるいは未定義

5.6 TAP コントローラの初期化

TAP コントローラの初期化は次のとおりです。

- (1) TAP コントローラは、システム・リセットのようなシステム入力の動作によっても初期化されません。
- (2) TAP コントローラは、JCK 端子信号の立ち上がりエッジ (JMS 端子信号がハイ・レベルを保持) 5 回で、Test-Logic-Reset コントローラ状態に遷移します。
- (3) JRST_B 入力により TAP コントローラを非同期に Test-Logic-Reset 状態になります。

5.7 インストラクション・レジスタ

このレジスタは、次のように定義されます (5.2 バウンダリ・スキャン回路内部構成 参照)。

- (1) インストラクション・レジスタにシフト入力された命令は、Update-IR コントローラ状態と、Test-Logic-Reset コントローラ状態でのみ変化するようにラッチされます。
- (2) インストラクション・レジスタのシリアル入力と、シリアル出力間のデータの反転はありません。
- (3) Capture-IR コントローラ状態において、このレジスタ・セルは、固定された 2 進の “ 01 ” パターン・データ (LSB (Least Significant Bit) が “ 1 ”) がロードされます。
- (4) Test-Logic-Reset コントローラ状態の間、このレジスタは、固定された 2 進の “ 01 ” パターン・データ (LSB (Least Significant Bit) が “ 1 ”) がセットされます。
- (5) このレジスタが読み出されているとき、JCK 端子信号の立ち下がりエッジごとに LSB を先頭にして MSB まで、JDO 端子からデータが出力されます。

μPD98408 におけるこの JTAG バウンダリ・スキャン回路は、このインストラクション・レジスタに指定されたデータの設定によって、以下に示す 2 つの命令のみサポートすることができます。

BYPASS 命令
EXTEST 命令

インストラクション・レジスタ			サポートする命令
D2	D1	D0	
0	0	0	EXTEST 命令
1	0	0	未使用
X	0	1	未使用
X	1	0	未使用
0	1	1	未使用
1	1	1	BYPASS 命令

x : 0 or 1

5.7.1 BYPASS 命令

この命令は、インストラクション・データ“11”または、“10”で指定されます。Shift-DR コントローラ状態において、この命令は、バイパス・レジスタ（JDI 端子と JDO 端子の間をシリアル・アクセスするためのもの）のみを選択するために使用されます。この命令が選択されているとき、JTAG バウンダリ・スキャン回路の動作は μ PD98408 の動作に影響しません。

Test-Logic-Reset コントローラ状態の間、このバイパス命令が選択されます。

5.7.2 EXTEST 命令

インストラクション・データ“00”で指定されます。Shift-DR コントローラ状態において、JDI 端子と JDO 端子の間のシリアル・アクセスのバウンダリ・スキャン・レジスタを選択するために使用されます。

・この命令が選択されているとき：

システム出力端子からドライブされるすべての信号の状態は、バウンダリ・スキャン・レジスタにシフトされているデータによって完全に定義されます。また、Update-DR コントローラ状態において、JCK 端子信号の立ち下がりエッジでのみ変化します。

システム入力端子から入力されるすべての信号の状態は、Capture-DR コントローラ状態において、JCK 端子信号の立ち上がりエッジでバウンダリ・スキャン・レジスタにロードされます。

5.7.3 バウンダリ・スキャン・データ・ビット定義

割り当てられたビットの機能を表5-2に示します。

表5-2 μ PD98408 バウンダリ・スキャン・データ・ビット定義 (1/2)

	端子名	端子番号	I/O		端子名	端子番号	I/O
D0	IC/TCLK4	33	I	D30	RxSOC	81	O(3)
D1	IC/TCLK5	34	I	D31	RxCLAV	83	O(3)
D2	RECCLK/ RDATA1	37	O	D32	RxENB_B	84	I
D3	IC/RDATA2	38	O	D33	IC	85	-
D4	IC/RDATA3	40	O	D34	TxDATA7	87	I
D5	IC/RDATA4	41	O	D35	TxDATA6	88	I
D6	IC/RDATA5	42	O	D36	TxDATA5	90	I
D7	IC/TDATA0	44	I	D37	TxDATA4	91	I
D8	IC/TDATA1	45	I	D38	TxDATA3	93	I
D9	IC/TDATA2	46	I	D39	TxDATA2	94	I
D10	IC/TDATA3	48	I	D40	TxDATA1	96	I
D11	IC/TDATA4	49	I	D41	TxDATA0	97	I
D12	SIN/TDATA5	50	I	D42	TxCLK	99	I
D13	SOUT	54	O	D43	TxADDR4	101	I
D14	RESET_B	55	I	D44	TxADDR3	102	I
D15	TCLOCK	57	I	D45	TxADDR2	103	I
D16	RxDATA7	59	O(3)	D46	TxADDR1	107	I
D17	RxDATA6	60	O(3)	D47	TxADDR0	108	I
D18	RxDATA5	62	O(3)	D48	TxSOC	109	I
D19	RxDATA4	63	O(3)	D49	TxCLAV	111	O(3)
D20	RxDATA3	65	O(3)	D50	TxENB_B	112	I
D21	RxDATA2	66	O(3)	D51	CG	113	I
D22	RxDATA1	68	O(3)	D52	DATA7	115	I/O
D23	RxDATA0	69	O(3)	D53	DATA6	116	I/O
D24	RxCLK	71	I	D54	DATA5	118	I/O
D25	RxADDR4	73	I	D55	DATA4	119	I/O
D26	RxADDR3	74	I	D56	DATA3	121	I/O
D27	RxADDR2	76	I	D57	DATA2	122	I/O
D28	RxADDR1	77	I	D58	DATA1	124	I/O
D29	RxADDR0	80	I	D59	DATA0	125	I/O
D60	ADDR5	127	I	D70	DS_B/RD_B	140	I

備考 I/O 表中の「(3)」は、3ステートを表します。

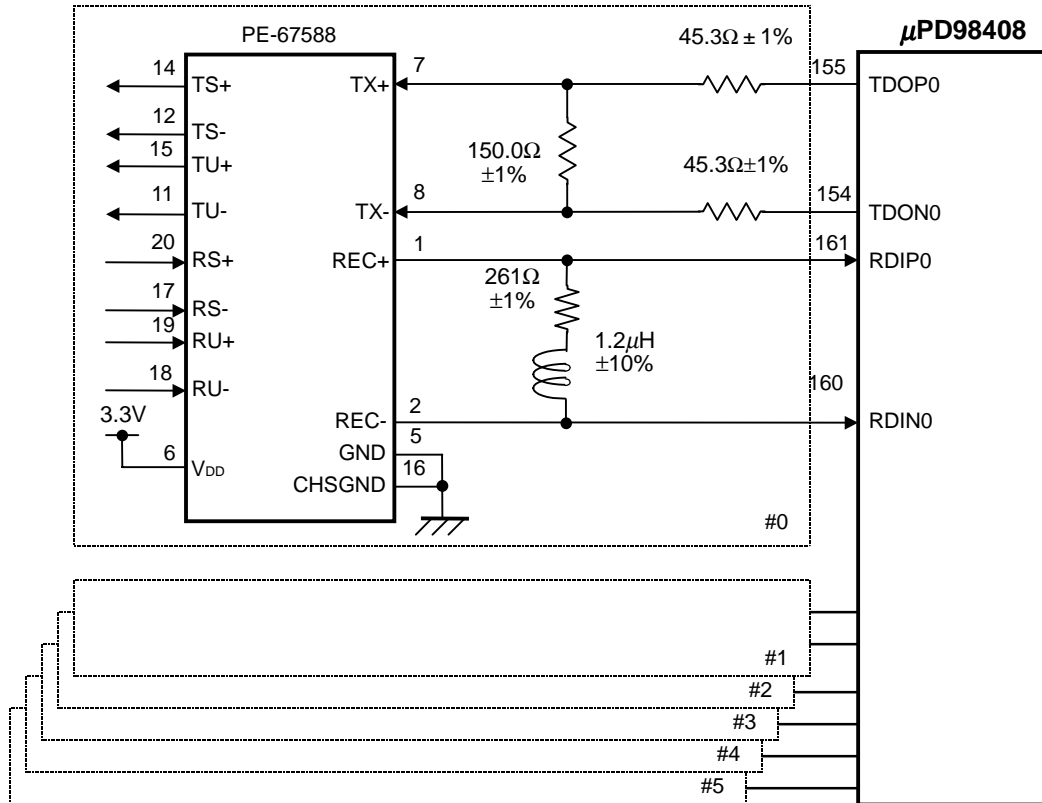
表5-2 μ PD98408 バウンダリ・スキャン・データ・ビット定義 (2/2)

	端子名	端子番号	I/O		端子名	端子番号	I/O
D61	ADDR4	128	I	D71	BUSMODE	141	I
D62	ADDR3	129	I	D72	PMDONLY	18	I
D63	ADDR2	132	I	D73	IC/RCLK0	19	I/O
D64	ADDR1	133	I	D74	IC/RCLK1	20	I/O
D65	ADDR0	134	I	D75	IC/RCLK2	21	I/O
D66	INT_B	136	O	D76	IC/RCLK3	23	I/O
D67	DTACK_B/ RDY_B	137	O	D77	IC/RCLK4	24	I/O
D68	SEL_B	138	I	D78	IC/RCLK5	25	I/O
D69	RW_B/WR_B	139	I				

[× 毛]

第6章 アプリケーション構成例

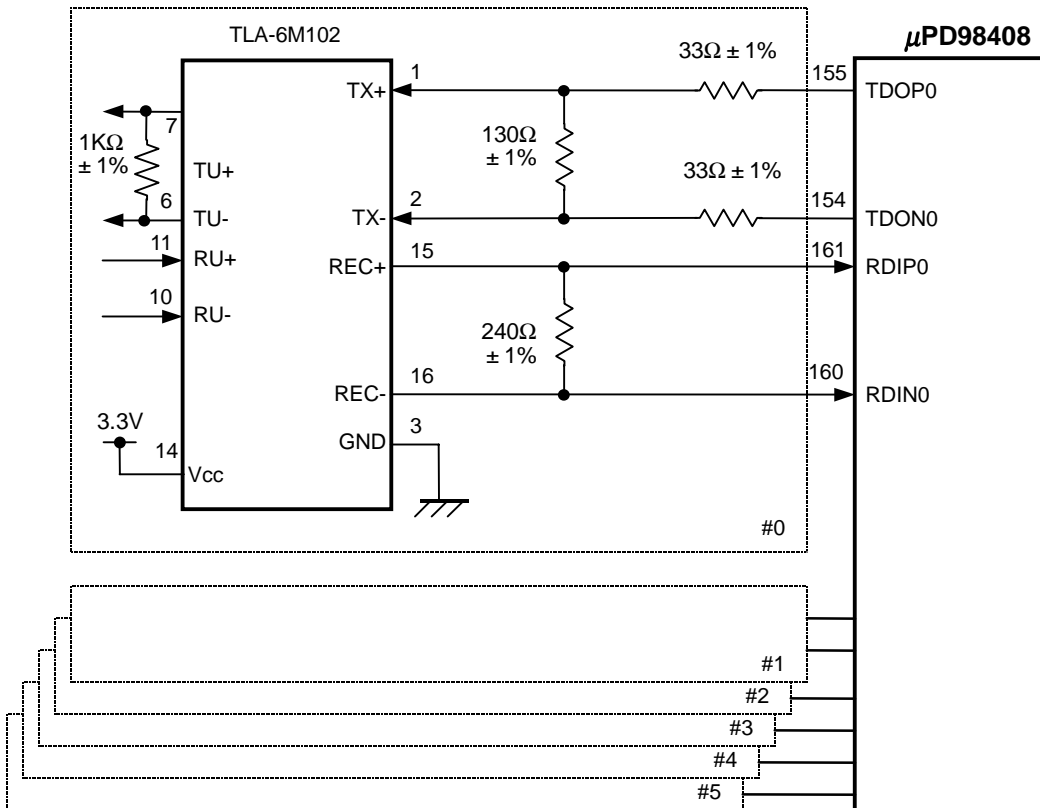
6.1 PE-67588 (Pulse 社の MAGNETIC MODULE) との接続例



6.2 PE-67588 の端子機能

端子名	端子番号	I/O	機 能
TU+/TU-	15, 11	O	UTP への送信データ出力端子です (平衡信号)。 UTP コネクタの送信データ端子に接続します。
TS+/TS-	14, 12	O	STP への送信データ出力端子です (平衡信号)。 STP コネクタの送信データ端子に接続します。
TX+/TX-	7, 8	I	送信データの入力端子です (平衡信号)。 μ PD98408 (T20) の送信データ出力端子 (TDOPn/TDONn) に接続します。 T20 との接続における正 / 負の極性はフリーです。
RU+/RU-	19, 18	I	UTP からの受信データ入力端子です (平衡信号)。 UTP コネクタの受信データ端子に接続します。
RS+/RS-	20, 17	I	STP からの受信データ入力端子です (平衡信号)。 STP コネクタの送信データ端子に接続します。
REC+/REC-	1, 2	O	受信データの出力端子です (平衡信号)。 T20 の受信データ入力端子 (RDIPn/RDINn) に接続します。 T20 との接続における正 / 負の極性はフリーです。
V _{DD}	6	-	電源端子 (3.3V) です。
GND	5	-	GND 端子です。
CHSGND	16	-	シャーシ GND 端子です。
NC	9, 10, 3, 4, 13	-	未使用端子です。 この端子には何も接続しないでください。

6.3 TLA-6M102 (TDK 社の MAGNETIC MODULE) との接続例



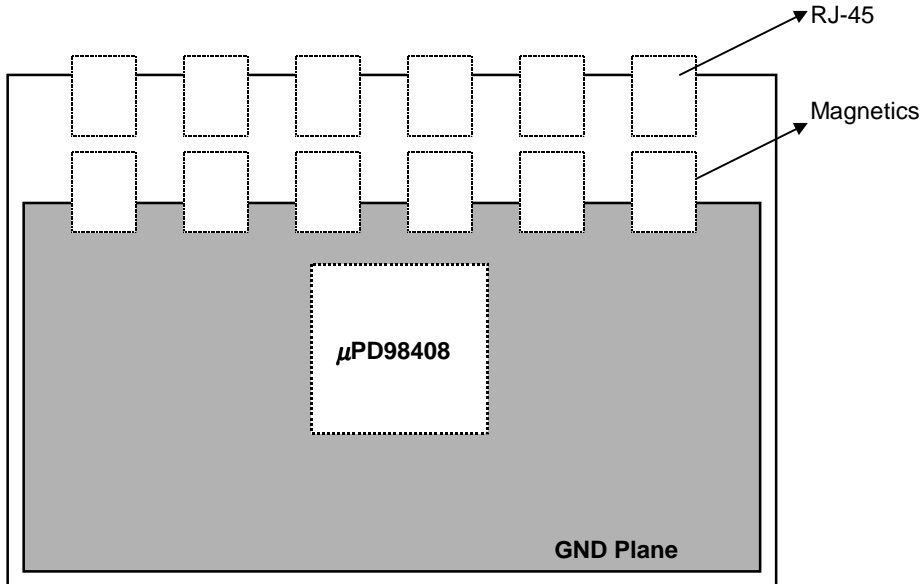
6.4 TLA-6M102 の端子機能

端子名	端子番号	I/O	機能
TU+/TU-	7, 6	O	UTP への送信データ出力端子です (平衡信号)。 UTP コネクタの送信データ端子に接続します。
TX+/TX-	1, 2	I	送信データの入力端子です (平衡信号)。 T20 の送信データ出力端子 (TDOPn/TDONn) に接続します。 T20 との接続における正 / 負の極性はフリーです。
RU+/RU-	11, 10	I	UTP からの受信データ入力端子です (平衡信号)。 UTP コネクタの受信データ端子に接続します。
REC+/REC-	15, 16	O	受信データの出力端子です (平衡信号)。 T20 の受信データ入力端子 (RDIPn/RDINn) に接続します。 T20 との接続における正 / 負の極性はフリーです。
Vcc	14	-	電源端子 (3.3V) です。
GND	3	-	GND 端子です。
NC	4, 5, 8, 9, 12, 13	-	未使用端子です。 この端子には何も接続しないでください。

備考 ケーブルは、UTP100 を使用ください。

6.5 ボードレイアウト例

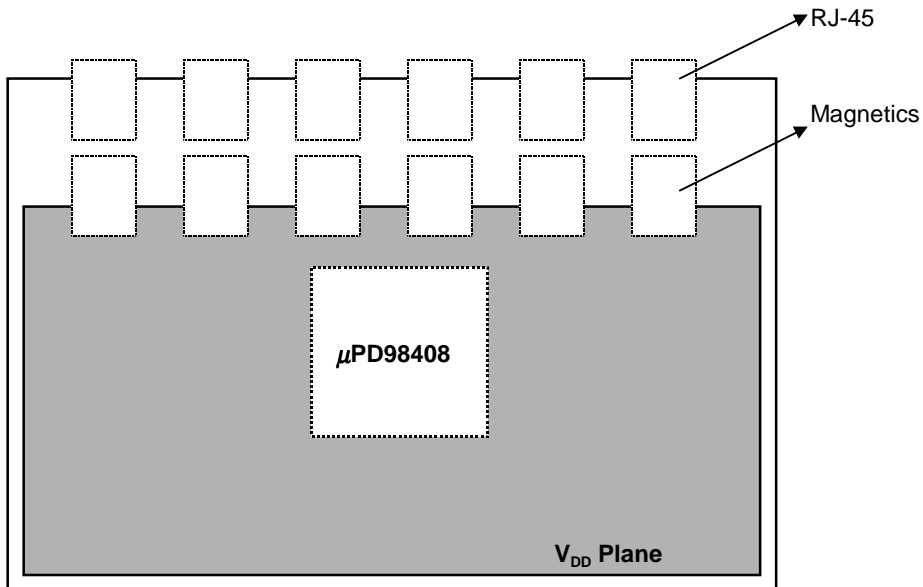
(1) グランド (GND) 面



備考1. AGNDとDGNDは、共通の面に接続してください。そして、その面はできるだけ広くとってください。

2. RJ-45コネクタとMagnetic Moduleのコネクタ側半分のエリアには、GND面を配置しないでください。

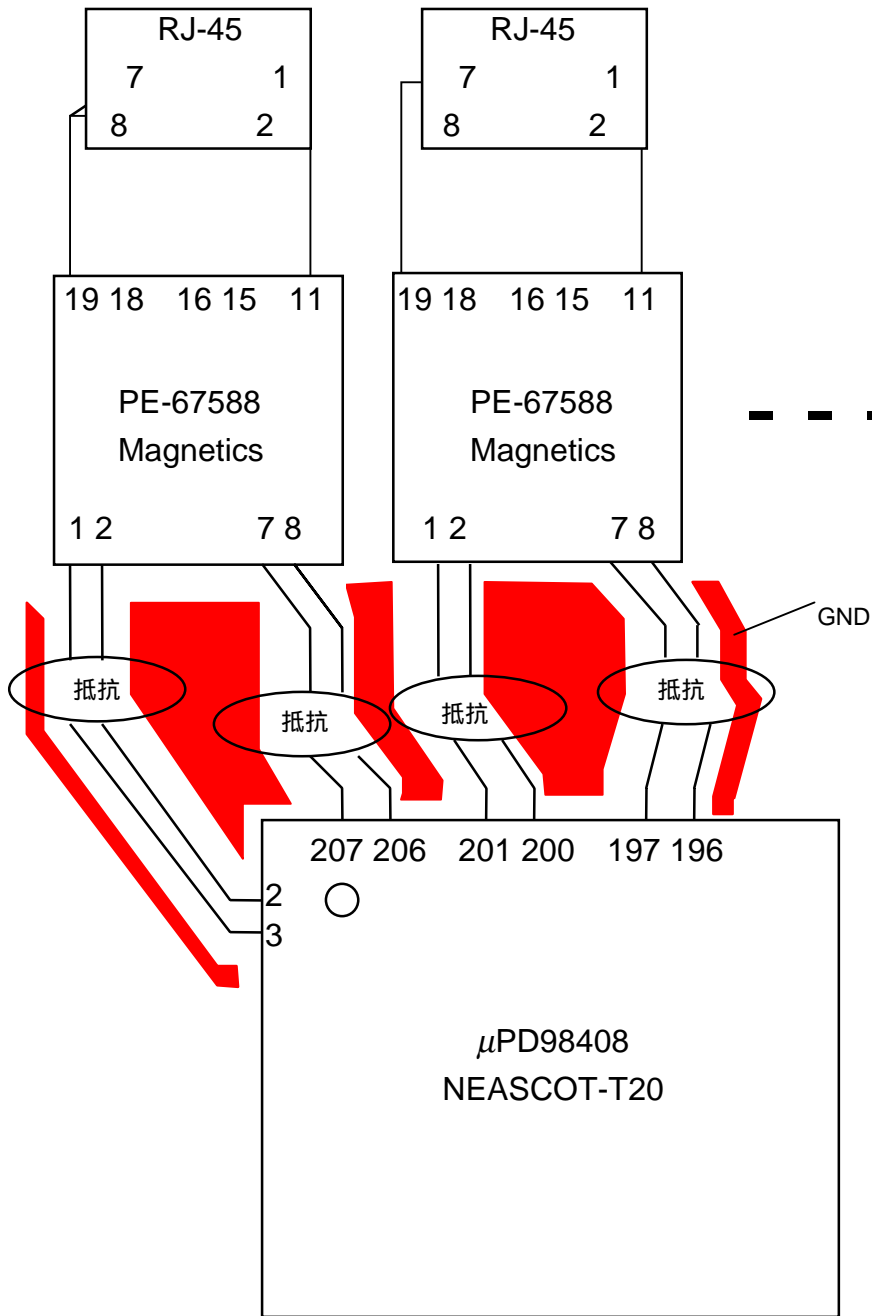
(2) 電源 (V_{DD}) 面



備考1. AV_{DD}とDV_{DD}は、共通の面に接続してください。そして、その面はできるだけ広くとってください。

2. RJ-45コネクタとMagnetic Moduleのコネクタ側半分のエリアには、V_{DD}面を配置しないでください。

(3) 回線側レイアウト (UTP ケーブルと PE-67588 使用の場合)



備考1 . RJ-45コネクタとMagnetics間の配線は、できるだけ短くしてください。

2 . MagneticsとμPD98408間の配線も、できるだけ短くしてください。

3 . MagneticsのGNDとV_{DD}ラインは、できるだけ強く、太くしてください。

4 . MagneticsとμPD98408間の信号は、とてもセンシティブで、そばの信号ラインの影響を受けやすいです。したがって、1つのペア信号線は他ペア信号線とGNDパターンで分離した方が望ましいです。

[メ 毛]

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170 名古屋 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 札幌 (011)251-5599	太田支店 太田 (0276)46-4011	福井支店 福井 (0776)22-1866
東北支社 仙台 (022)267-8740	宇都宮支店 宇都宮 (028)621-2281	富山支店 富山 (0764)31-8461
岩手支店 盛岡 (019)651-4344	小山支店 小山 (0285)24-5011	三重支店 津 (0592)25-7341
郡山支店 郡山 (0249)23-5511	長野支社 松本 (0263)35-1662	京都支社 京都 (075)344-7824
いわき支店 いわき (0246)21-5511	甲府支店 甲府 (0552)24-4141	神戸支社 神戸 (078)333-3854
長岡支店 長岡 (0258)36-2155	埼玉支社 大宮 (048)649-1415	中国支社 広島 (082)242-5504
土浦支店 土浦 (0298)23-6161	立川支社 立川 (0425)26-5981	鳥取支店 鳥取 (0857)27-5311
水戸支店 水戸 (029)226-1717	千葉支社 千葉 (043)238-8116	岡山支店 岡山 (086)225-4455
神奈川支社 横浜 (045)682-4524	静岡支社 静岡 (054)254-4794	松山支店 松山 (089)945-4149
群馬支店 高崎 (0273)26-1255	北陸支社 金沢 (076)232-7303	九州支社 福岡 (092)261-2806

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 第一システム技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-8884	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD98408 ユーザーズ・マニュアル
(S11409JJ3V0UM00 (第3版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価 (各欄に をご記入ください)

項 目	大変良い	良い	普通	悪い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ()					
()					

2. わかりやすい所(第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望
[]

5. このドキュメントをお届けしたのは
NEC販売員, 特約店販売員, NEC半導体ソリューション技術本部員,
その他 ()

ご協力ありがとうございました。
下記あてにFAXで送信いただくか、最寄りの販売員にコピーをお渡しください。

キ
リ
ト
レ