

μPD78F807x

LIN トランシーバ／ハーフブリッジドライバ
内蔵マイクロコントローラ

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ

μPD78F807x マイクロコントローラ

μPD78F8071(A)

μPD78F8072(A)

μPD78F8073(A)

μPD78F8074(A)

μPD78F8075(A)

μPD78F8077D

本資料は開示及び用途制限資料のため、当社に断り無く複製すること及び第三者に開示することを堅くお断りします。現時点開発中のため、仕様変更の可能性があります。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

- 対象者** このマニュアルは、 μ PD78F807xマイクロコントローラの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
- 目的** このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。
- 構成** μ PD78F807xマイクロコントローラのマニュアルは、このマニュアルと78K0/Kx2ユーザズ・マニュアル、78K0/Kx2 ROM拡張製品 ユーザズ・マニュアルおよび命令編（78K0マイクロコントローラ共通）の4冊に分かれています。

| | | |
|--|--|---|
| μ PD78F807x マイクロコントローラ ユーザズ・マニュアル | 78K0/Kx2 ユーザズ・マニュアル | 78K0/Kx2 ROM拡張製品 ユーザズ・マニュアル |
| <ul style="list-style-type: none">・端子機能・内部ブロック機能・内蔵周辺機能・電気的特性 | <ul style="list-style-type: none">・端子機能・内部ブロック機能・割り込み・その他の内蔵周辺機能・電気的特性 | <ul style="list-style-type: none">・CPUアーキテクチャ・メモリ・バンク切り替え機能・乗除算器・フラッシュ・メモリ |
| 78K0マイクロコントローラ ユーザズ・マニュアル 命令編 | | |
| <ul style="list-style-type: none">・CPU機能・命令セット・命令の説明 | | |

- 読み方** このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

この"★"をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

品名表記について

→このマニュアルでは、(A)を省略して記載しております。

(A)水準品のマニュアルとしてお使いの場合は、品名を次のように読み替えてください。

- ・ μ PD78F8071 → μ PD78F8071(A)
- ・ μ PD78F8072 → μ PD78F8072(A)
- ・ μ PD78F8073 → μ PD78F8073(A)
- ・ μ PD78F8074 → μ PD78F8074(A)

・ μ PD78F8075 → μ PD78F8075(A)

□ マイクロコントローラ部の機能詳細を知りたいとき

→ 別冊の78K0/Kx2 ユーザーズ・マニュアル (R01UH0008J) , 78K0/Kx2 ROM拡張製品 ユーザーズ・マニュアル (U19719J) を参照してください。

| 78K0/KC2マイコン製品名 | 78K0/KC2マイコン製品名に対応する製品名 |
|-------------------|-------------------------|
| μ PD78F0511A | μ PD78F8071 |
| μ PD78F0512A | μ PD78F8072 |
| μ PD78F0513A | μ PD78F8073 |
| μ PD78F0514A | μ PD78F8074 |
| μ PD78F0515A | μ PD78F8075 |
| μ PD78F0517DA | μ PD78F8077D |

□ 78K0マイクロコントローラの命令機能の詳細を知りたいとき

→ 別冊の78K0シリーズ ユーザーズ・マニュアル 命令編 (U12326J) を参照してください。

| | | |
|-----|-------------|---|
| 凡 例 | データ表記の重み | : 左が上位桁, 右が下位桁 |
| | アクティブ・ロウの表記 | : XXX (端子, 信号名称に上線) |
| | 注 | : 本文中につけた注の説明 |
| | 注意 | : 気をつけて読んでいただきたい内容 |
| | 備考 | : 本文の補足説明 |
| | 数の表記 | : 2進数…XXXXまたはXXXXB 10進数…XXXX 16進数…XXXXH |

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

・デバイスの関連資料

| 資料名 | 資料番号 | |
|---|------------|------------|
| | 和文 | 英文 |
| μPD78F807x LIN トランシーバ/ハーフブリッジドライバ 内蔵マイクロコントローラ ユーザーズ・マニュアル ハードウェア編 | このマニュアル | R01UH0281E |
| 78K0/Kx2 ユーザーズ・マニュアル | R01UH0008J | R01UH0008E |
| 78K0/Kx2 ROM拡張製品 ユーザーズ・マニュアル | U19719J | U19719E |
| 78K0マイクロコントローラ ユーザーズ・マニュアル 命令編 | U12326J | U12326E |
| 78K0/Kx2 アプリケーション・ノート フラッシュ・メモリ・プログラミング (プログラマ編) | U17739J | U17739E |
| 78K0マイクロコントローラ ユーザーズマニュアル セルフ・プログラミング・ライブラリ Type01 | U18274J | U18274E |
| 78K0マイクロコントローラ ユーザーズマニュアル EEPROMエミュレーション・ライブラリ Type01 | U18275J | U18275E |

・フラッシュ・メモリ書き込み用の資料

| 資料名 | 資料番号 | |
|------------------------|------------|------------|
| | 和文 | 英文 |
| PG-FP5 フラッシュ・メモリ・プログラマ | R20UT0008J | R20UT0008E |

・その他の資料

| 資料名 | 資料番号 | |
|------------------------|------------|------------|
| | 和文 | 英文 |
| ルネサス マイクロコンピュータ 総合カタログ | R01CS0001J | R01CS0001E |
| 半導体パッケージ 実装マニュアル | 注 | |
| 静電気放電 (ESD) 破壊対策ガイド | C11892J | C11892E |
| 半導体 品質/信頼性ハンドブック | C12769J | C12769E |

注 「半導体パッケージ実装マニュアル」のホーム・ページ参照

和文 : <http://japan.renesas.com/products/package/manual/index.jsp>

英文 : <http://www.renesas.com/products/package/manual/index.jsp>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

| | | |
|-----|-------------|---|
| 凡 例 | データ表記の重み | : 左が上位桁, 右が下位桁 |
| | アクティブ・ロウの表記 | : XXX (端子, 信号名称に上線) |
| | 注 | : 本文中につけた注の説明 |
| | 注意 | : 気をつけて読んでいただきたい内容 |
| | 備考 | : 本文の補足説明 |
| | 数の表記 | : 2進数…XXXXまたはXXXXB 10進数…XXXX 16進数…XXXXH |

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

・デバイスの関連資料

| 資料名 | 資料番号 | |
|---|------------|------------|
| | 和文 | 英文 |
| μPD78F807x LIN トランシーバ/ハーフブリッジドライバ 内蔵マイクロコントローラ ユーザーズ・マニュアル ハードウェア編 | このマニュアル | R01UH0281E |
| 78K0/Kx2 ユーザーズ・マニュアル | R01UH0008J | R01UH0008E |
| 78K0/Kx2 ROM拡張製品 ユーザーズ・マニュアル | U19719J | U19719E |
| 78K0マイクロコントローラ ユーザーズ・マニュアル 命令編 | U12326J | U12326E |
| 78K0/Kx2 アプリケーション・ノート フラッシュ・メモリ・プログラミング (プログラマ編) | U17739J | U17739E |
| 78K0マイクロコントローラ ユーザーズマニュアル セルフ・プログラミング・ライブラリ Type01 | U18274J | U18274E |
| 78K0マイクロコントローラ ユーザーズマニュアル EEPROMエミュレーション・ライブラリ Type01 | U18275J | U18275E |

・フラッシュ・メモリ書き込み用の資料

| 資料名 | 資料番号 | |
|------------------------|------------|------------|
| | 和文 | 英文 |
| PG-FP5 フラッシュ・メモリ・プログラマ | R20UT0008J | R20UT0008E |

・その他の資料

| 資料名 | 資料番号 | |
|------------------------|------------|------------|
| | 和文 | 英文 |
| ルネサス マイクロコンピュータ 総合カタログ | R01CS0001J | R01CS0001E |
| 半導体パッケージ 実装マニュアル | 注 | |
| 静電気放電 (ESD) 破壊対策ガイド | C11892J | C11892E |
| 半導体 品質/信頼性ハンドブック | C12769J | C12769E |

注 「半導体パッケージ実装マニュアル」のホーム・ページ参照

和文 : <http://japan.renesas.com/products/package/manual/index.jsp>

英文 : <http://www.renesas.com/products/package/manual/index.jsp>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

目次

| | |
|--|----|
| 第1章 概説 | 1 |
| 1.1 特徴 | 1 |
| 1.2 応用分野 | 4 |
| 1.3 オーダ情報 | 4 |
| 1.4 端子接続図 (Top View) | 5 |
| 1.5 ブロック図 | 7 |
| 1.5.1 マイクロコントローラ部ブロック図 | 8 |
| 1.5.2 アナログ部ブロック図 | 9 |
| 1.6 機能概要 | 10 |
| 第2章 端子機能 | 11 |
| 2.1 マイクロコントローラ部の端子機能 | 13 |
| 2.2 アナログ部の端子機能 | 17 |
| 2.3 端子機能の説明 | 19 |
| 2.3.1 P00, P01 (Port 0) | 19 |
| 2.3.2 P10-P17 (Port 1) | 20 |
| 2.3.3 P20-P24 (Port 2) | 22 |
| 2.3.4 P30-P33 (Port 3) | 23 |
| 2.3.5 P60, P61 (Port 6) | 24 |
| 2.3.6 P70 (Port 7) | 24 |
| 2.3.7 P120-P122 (Port 12) | 25 |
| 2.3.8 P130 (Port 13) | 26 |
| 2.3.9 \overline{AVREF} , \overline{AVSS} , VDD , VSS | 26 |
| 2.3.10 \overline{RESET} | 26 |
| 2.3.11 REGC | 27 |
| 2.3.12 FLMD0 | 27 |
| 2.3.13 HBO1-6 | 27 |
| 2.3.14 SUP1-6 | 27 |
| 2.3.15 GND, GND1-6, GND_DRV | 27 |
| 2.3.16 RESET_A | 27 |
| 2.3.17 LIN | 28 |
| 2.3.18 MSLP | 28 |
| 2.3.19 SUP | 28 |
| 2.3.20 MOD1, MOD2 | 28 |
| 2.3.21 VRO | 28 |
| 2.3.22 VRS | 28 |

| | | |
|--------|--------------------------------|----|
| 2.3.23 | SVDD | 28 |
| 2.3.24 | SRC | 28 |
| 2.3.25 | SCKA | 29 |
| 2.3.26 | SOA | 29 |
| 2.3.27 | SIA | 29 |
| 2.3.28 | SSA | 29 |
| 2.3.29 | PWMI | 29 |
| 2.3.30 | INH | 29 |
| 2.3.31 | IC | 29 |
| 2.4 | 端子の入出力回路と未使用端子の処理 | 30 |
| | | |
| 第3章 | マイクロコントローラ機能 | 36 |
| 3.1 | 78K0/KC2と異なる機能 | 36 |
| 3.2 | 78K0/KC2と異なる特殊機能レジスタ | 38 |
| 3.3 | 78K0/KC2 (48ピン) とビット設定が異なるレジスタ | 40 |
| 3.3.1 | ポート・モード・レジスタ | 40 |
| 3.3.2 | ポート・レジスタ | 41 |
| 3.3.3 | プルアップ抵抗オプション・レジスタ | 41 |
| 3.3.4 | アナログ入力チャンネル指定レジスタ | 42 |
| 3.3.5 | A/Dポート・コンフィギュレーション・レジスタ | 43 |
| 3.3.6 | 外部割り込み立ち上がりエッジ/立ち下りエッジ許可レジスタ | 44 |
| 3.3.7 | キー・リターン・モード・レジスタ | 45 |
| 3.3.8 | 時計用タイマ動作モード・レジスタ | 45 |
| 3.3.9 | クロック動作モード選択レジスタ | 46 |
| 3.3.10 | プロセッサ・クロック・コントロール・レジスタ | 46 |
| 3.3.11 | IICクロック選択レジスタ0 | 47 |
| 3.3.12 | 割り込み要求フラグ・レジスタ (IF1L) | 48 |
| 3.3.13 | 割り込みマスク・フラグ・レジスタ (MK1L) | 48 |
| 3.3.14 | 優先順位指定フラグ・レジスタ (PR1L) | 49 |
| | | |
| 第4章 | フラッシュ・メモリ・プログラマによる書き込み方法 | 49 |
| | | |
| 第5章 | 電源回路 | 51 |
| 5.1 | 電源機能 | 51 |
| 5.2 | レギュレータ出力機能 | 51 |
| 5.3 | 外部センサ用電源出力機能 | 51 |
| 5.4 | 過電流保護機能 | 51 |
| 5.5 | 低電圧検出回路 | 52 |
| 5.6 | 外付けドロップパー補助機能 | 52 |

| | |
|------------------------------|-----|
| 第 6 章 LIN トランシーバ回路..... | 55 |
| 6.1 LIN トランシーバ機能..... | 55 |
| 6.2 動作モード..... | 56 |
| 6.3 過電流保護機能..... | 62 |
| 第 7 章 ハーフ・ブリッジ回路..... | 63 |
| 7.1 ハーフ・ブリッジ・ドライバ..... | 63 |
| 7.2 過電流保護機能..... | 65 |
| 7.3 貫通電流保護機能..... | 65 |
| 第 8 章 SPI & PWM 制御回路..... | 67 |
| 8.1 SPI & PWM 制御機能..... | 67 |
| 8.2 SPI 通信動作..... | 68 |
| 8.3 SPI 制御レジスタ..... | 70 |
| 第 9 章 保護機能..... | 75 |
| 9.1 過熱保護動作..... | 75 |
| 9.2 過電流保護回路動作..... | 77 |
| 9.2.1 電源回路..... | 77 |
| 9.2.2 LIN トランシーバ回路..... | 77 |
| 9.2.3 ハーフ・ブリッジ回路..... | 77 |
| 第 10 章 アナログ・リセット機能..... | 77 |
| 第 11 章 電気的特性 ((A)水準品)..... | 79 |
| 11.1 絶対最大定格..... | 79 |
| 11.2 マイクロコントローラ部電気的特性..... | 82 |
| 11.3 アナログ部電気的特性..... | 102 |
| 第 12 章 外形図..... | 110 |
| 付録 A パッケージ熱抵抗..... | 111 |
| 付録 B 全損失, ジャンクション温度の算出例..... | 112 |
| 付録 C 改版履歴..... | 113 |
| C.1 本版で改訂された主な箇所..... | 113 |

第1章 概説

μ PD78F807xは、LINトランシーバ、電源およびハーフ・ブリッジ・ドライバを6チャンネル内蔵したアナログ・チップと8ビット・マイクロコントローラ・チップを1パッケージにしたMCP（Multi Chip Package）です。μ PD78F807xの8ビット・マイクロコントローラ部は、78K0/KC2を搭載しています。

1.1 特徴

OROM, RAM容量

| ROM ^注 | 高速RAM ^注 | 拡張RAM ^注 | 64ピン |
|------------------|--------------------|--------------------|--------------|
| 16 KB | 768 B | - | μ PD78F8071 |
| 24 KB | 1 KB | - | μ PD78F8072 |
| 32 KB | 1 KB | - | μ PD78F8073 |
| 48 KB | 1 KB | 1 KB | μ PD78F8074 |
| 60 KB | 1 KB | 2 KB | μ PD78F8075 |
| 128KB | 1KB | 6 KB | μ PD78F8077D |

注 メモリ・サイズ切り替えレジスタ（IMS）と内部拡張RAMサイズ切り替えレジスタ（IXS）により、内部フラッシュ・メモリ、内部高速RAM容量、内部拡張RAM容量の変更可能。

- 単電源のフラッシュ・メモリ内蔵
- セルフ・プログラミング内蔵（ブート・スワップ機能あり）
- オンチップ・デバッグ機能内蔵（μ PD78F8077Dのみ^{注1}）
- パワーオン・クリア（POC）回路、低電圧検出（LVI）回路内蔵
- ウォッチドッグ・タイマ（低速内蔵発振クロックで動作可能）内蔵
- 乗除算器内蔵^{注2}
- キー割り込み機能内蔵
- I/Oポート：μ PD78F807x 26本（N-chオープン・ドレイン：2本）

注 1. μ PD78F8077Dには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

2. フラッシュ・メモリが48Kバイト以上の製品のみ。

○タイマ : 7チャンネル

- ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル
- ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル
- ・ 8ビット・タイマ : 2チャンネル
- ・ 時計用タイマ : 1チャンネル
- ・ ウォッチドッグ・タイマ : 1チャンネル

○シリアル・インタフェース : 3チャンネル

- ・ UART (LIN (Local Interconnect Network) -bus対応) : 1チャンネル
- ・ CSI/UART^注 : 1チャンネル
- ・ I²C : 1チャンネル

○10ビット分解能A/Dコンバータ : 5チャンネル

○電源回路

- 出力電圧 : 5 V±3%
- 外部センサ用電源出力機能内蔵
- 外付けドロップパー補助機能内蔵
- 過電流保護回路内蔵

○LINトランシーバ

- LIN Specification Rev.2.0, 2.1準拠
- スリープ機能内蔵
- スレーブ・アプリケーション用プルアップ抵抗内蔵
- 過電流保護回路内蔵

○ドライバ

- ハーフ・ブリッジ・ドライバ : 6チャンネル
- 過電流保護回路内蔵

○過熱保護回路

○SPI & PWM制御回路 : 1チャンネル

○パッケージ : 64ピン・プラスチックWQFN (ファインピッチ) (9×9)

○動作周囲温度 : (A) 水準品 T_A = -40~+85 °C

注 端子を兼用しているため、どちらかを選択して使用します。

1.2 応用分野

○自動車電装

ボディ電装系のシステム制御

- ・ミラー・コントロール
- ・フラップ・コントロールなど

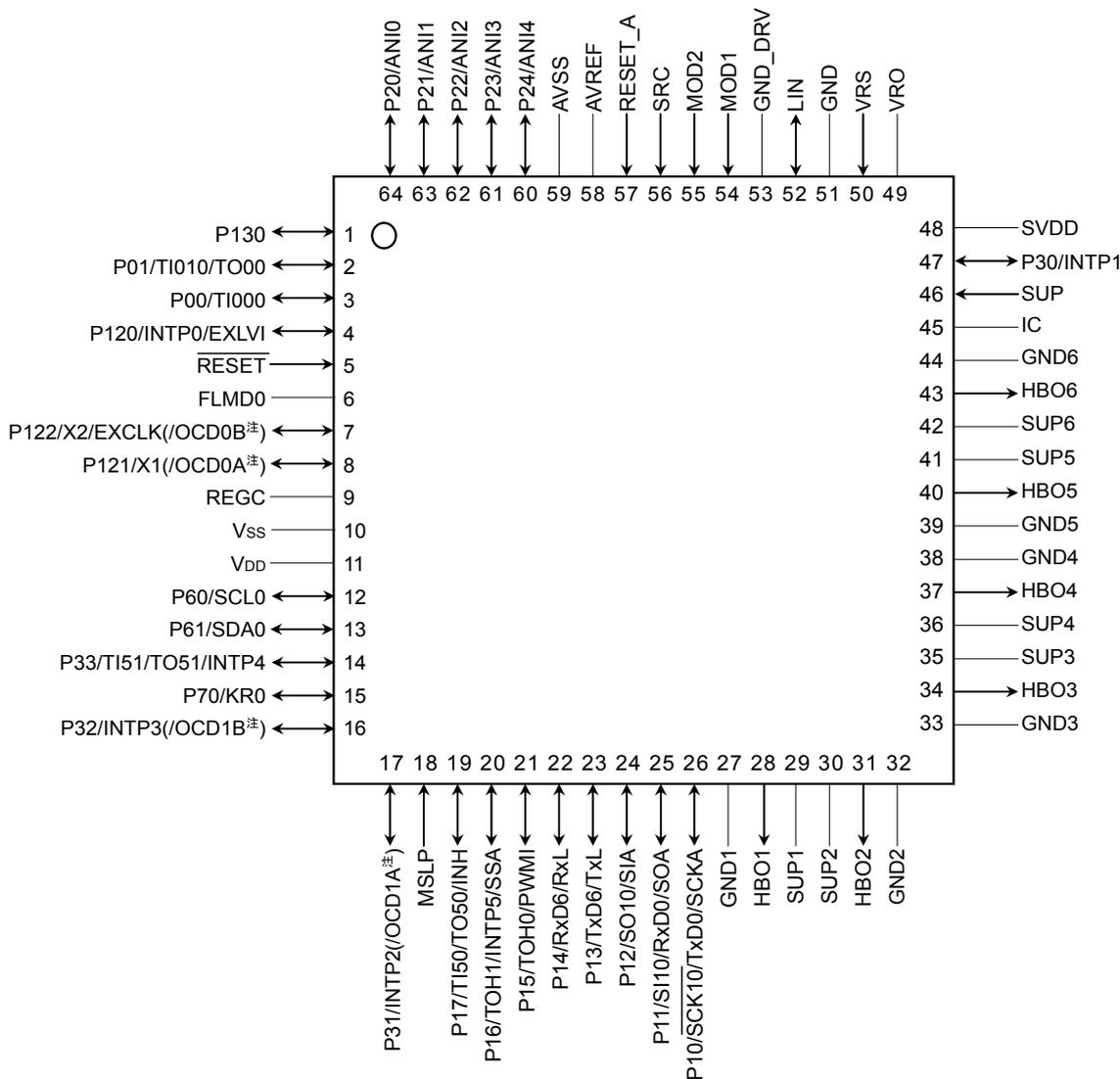
1.3 オーダ情報

| オーダ名称 | パッケージ | 品質水準 |
|-----------------------------------|---------------------------------|----------------|
| μ PD78F8071K8A-6B4-G ^注 | 64ピン・プラスチックWQFN (ファインピッチ) (9x9) | 特別 (高信頼度電子機器用) |
| μ PD78F8072K8A-6B4-G ^注 | 〃 | 〃 |
| μ PD78F8073K8A-6B4-G ^注 | 〃 | 〃 |
| μ PD78F8074K8A-6B4-G ^注 | 〃 | 〃 |
| μ PD78F8075K8A-6B4-G ^注 | 〃 | 〃 |
| μ PD78F8077DK8-6B4-G | 〃 | 標準 (一般電子機器用) |

注 (A) 水準品

1.4 端子接続図 (Top View)

・64ピン・プラスチックWQFN (ファインピッチ) (9×9)



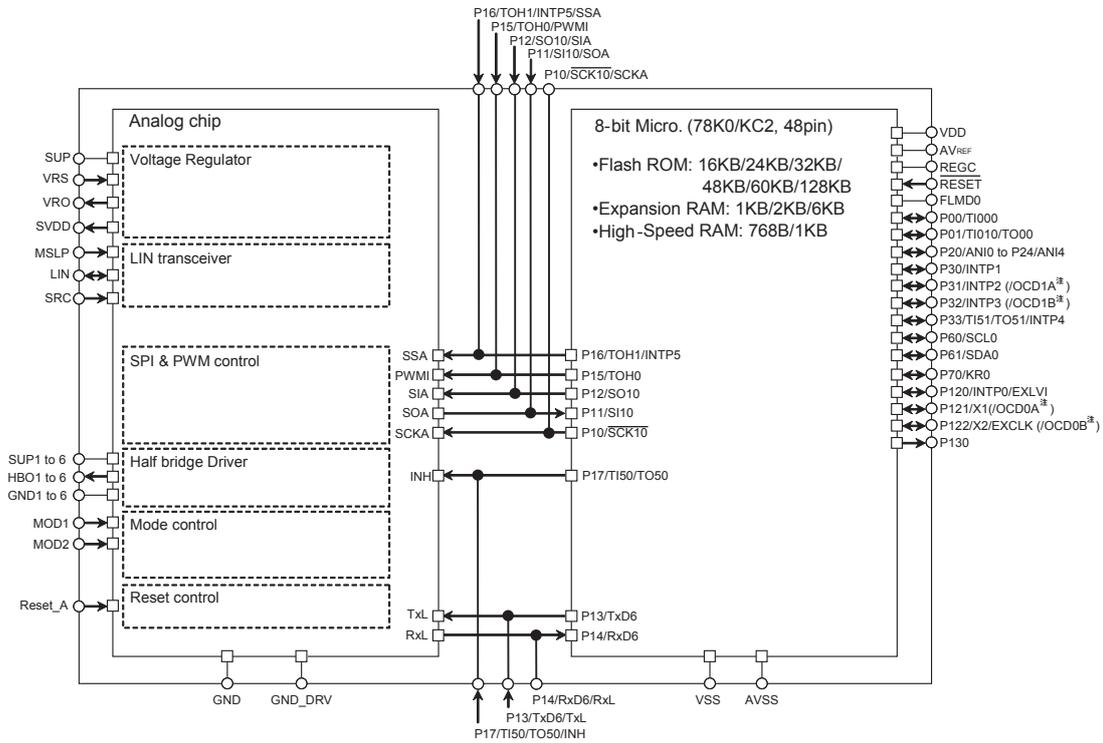
注 μPD78F8077D (オンチップ・デバッグ機能搭載品) のみ

- 注意
1. GND, GND1-6, GND_DRVは、V_{SS}およびAV_{SS}と同電位にしてください。
 2. REGCはコンデンサ (0.47 μF~1 μF) を介し、V_{SS}に接続してください。
 3. ANIO/P20-ANI4/P24は、リセット解除後にアナログ入力モードになります。
 4. SUPとSUP1-6は同電位としてください。
 5. 5V出力ドロップパーに内蔵Pch-MOSを使用する場合、VRS, VROとV_{DD}を同電位にしてください。
 6. 5V出力ドロップパーに外付けドロップパーを使用する場合、VRSとV_{DD}を同電位にしてください。

端子名称

| | | | |
|---------------------------|--|----------------------------------|--|
| ANI0-ANI4 | : Analog Input | RxD0, RxD6 | : Receive Data |
| AVREF | : Analog Reference Voltage | $\overline{\text{SCK10}}$, SCL0 | : Serial Clock Input/Output |
| AVss | : Analog Ground | SDA0 | : Serial Data Input/Output |
| EXCLK | : External Clock Input (Main System Clock) | SI10 | : Serial Data Input |
| EXLVI | : External potential Input for Low-voltage detector | SO10 | : Serial Data Output |
| FLMD0 | : Flash Programming Mode | SRC | : Slew Rate Control Input |
| GND | | SUP | |
| GND1 - 6 | | SUP1 - 6 | : Battery Power Supply |
| GND_DRV | : Ground | SCKA | : Serial Clock Input |
| HBO1 - 6 | : Half bridge Driver Output | SIA | : Serial Data Input |
| IC | : Internal Connection | SOA | : Serial Data Output |
| INTP0-INTP5 | : External Interrupt Input | SSA | : Slave Select Input |
| KR0 | : Key Return | PWMI | : PWM Input |
| LIN | : LIN Bus | TI000 TI010, | |
| MOD1, MOD2 | : Pin Mode Control Input | TI50, TI51 | : Timer Input |
| MSLP | : Sleep Mode Control Input | TO00, TO01, | |
| OCD0A, OCD0B, | | TO50, TO51, | |
| OCD1A, OCD1B | : On-Chip Debug Input/Output | TOH0, TOH1 | : Timer Output |
| P00, P01 | : Port 0 | TxD0, TxD6 | : Transmit Data |
| P10-P17 | : Port 1 | INH | : Inhibit Input for Half bridge Driver Enable |
| P20-P24 | : Port 2 | VDD | : Power Supply |
| P30-P33 | : Port 3 | VRO | : Voltage Regulator Output |
| P60, P61 | : Port 6 | VRS | : Voltage Regulator Input |
| P70 | : Port 7 | SVDD | : Voltage Regulator Output for External Sensor device |
| P120-P122 | : Port 12 | RESET_A | : Analog chip Reset |
| P130 | : Port 13 | Vss | : Ground |
| REGC | : Regulator Capacitance | X1, X2 | : Crystal Oscillator (Main System Clock) |
| $\overline{\text{RESET}}$ | : Reset | | |

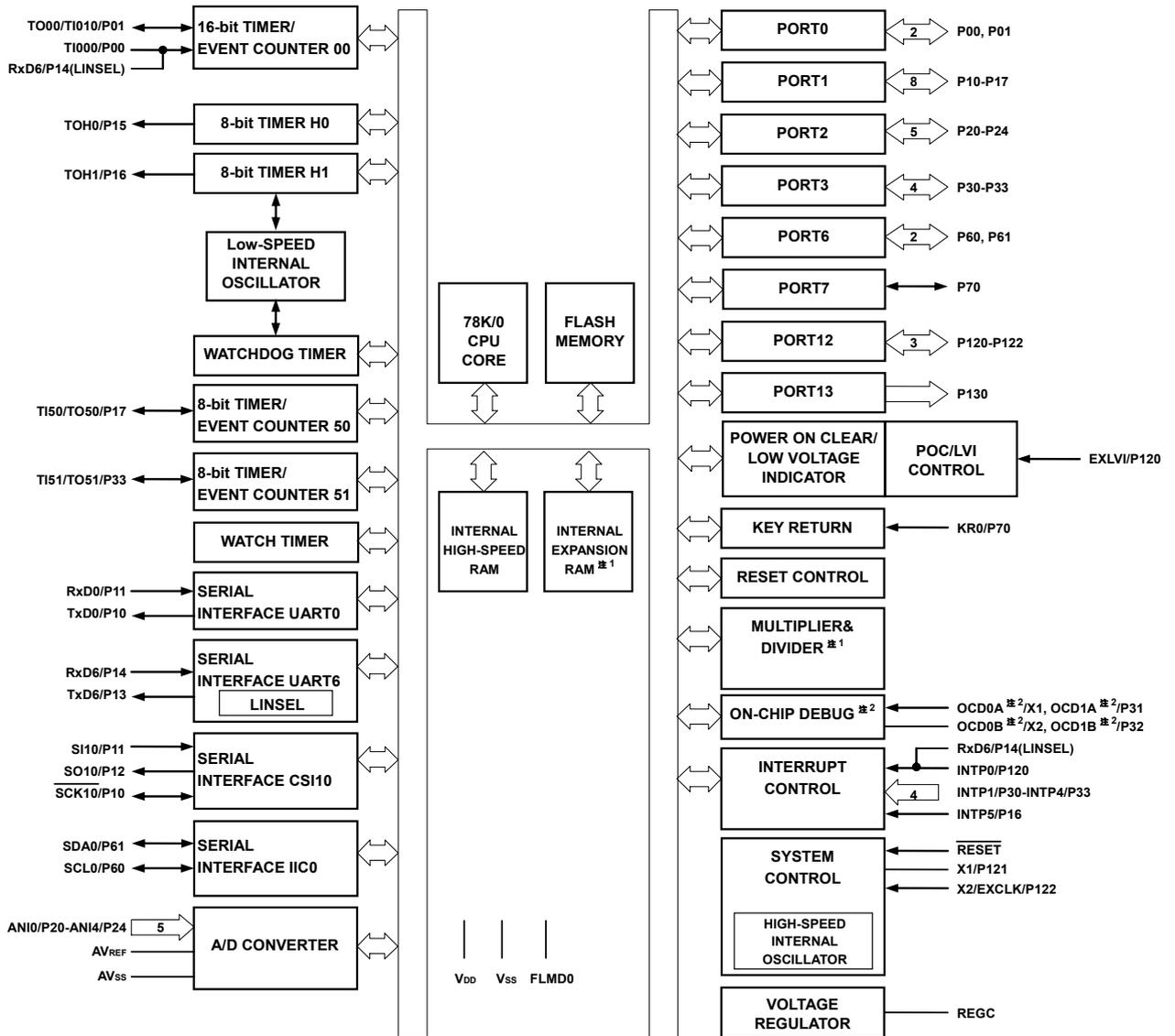
1.5 ブロック図



注 μPD78F8077D (オンチップ・デバッグ機能搭載品) のみ

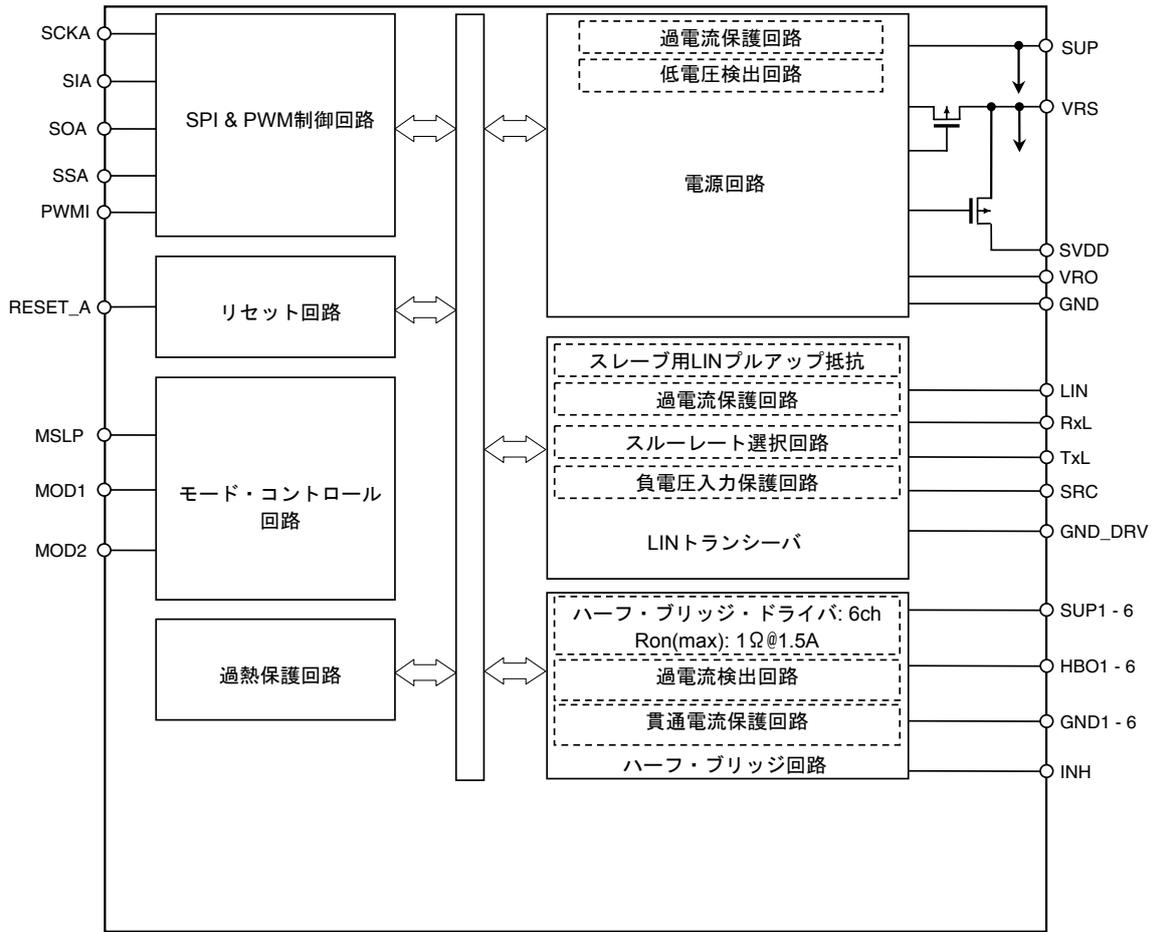
- 注意1. μPD78F807xは、マイクロコントローラとアナログ（電源回路、LINトランシーバ、ハーフブリッジ回路）の2チップを1パッケージに搭載したMCP (Multi Chip Package) です。
2. P10/SCK10/SCKA, P11/SI10/SOA, P12/SO10/SIA, P13/TxD6/TxL, P14/RxD6/RxL, P15/TOH0/PWMI, P16/TOH1/INTP5/SSA, P17/TI50/TO50/INH端子は、パッケージ内部で接続されています。

1.5.1 マイクロコントローラ部ブロック図



- 注 1. フラッシュ・メモリが48Kバイト以上の製品のみ。
- 2. μPD78F8077D (オンチップ・デバッグ機能搭載品) のみ。

1.5.2 アナログ部ブロック図



1.6 機能概要

(1/2)

| 項目 | μPD78F8071 | μPD78F8072 | μPD78F8073 | μPD78F8074 | μPD78F8075 | μPD78F8077D |
|---------------------|---|--|------------|------------|------------|-------------|
| フラッシュ・メモリ (Kバイト) | 16 | 24 | 32 | 48 | 60 | 128 |
| 高速RAM | 768 バイト | 1 Kバイト | | | | |
| 拡張RAM (Kバイト) | - | | | 1 | 2 | 6 |
| バンク (フラッシュ・メモリ) | - | | | | | 6 |
| 電源電圧 | V _{DD} = 1.8~5.5 V | | | | | |
| レギュレータ | 内蔵 | | | | | |
| 最小命令実行時間 | 0.1 μs (20 MHz : V _{DD} = 2.7~5.5 V / 0.4 μs (5 MHz : V _{DD} = 1.8 ~ 5.5 V) | | | | | |
| クロック | メイン | 20 MHz : V _{DD} = 2.7~5.5 V / 5 MHz : V _{DD} = 1.8 ~ 5.5 V | | | | |
| | 高速内蔵発振 | 8 MHz (TYP.) : V _{DD} = 1.8~5.5 V | | | | |
| | 低速内蔵発振 | 240 kHz (TYP.) : V _{DD} = 1.8~5.5 V | | | | |
| ポート | 合計 | 26 ch | | | | |
| | N-ch O.D. (6 V耐圧) | 2 ch | | | | |
| タイマ | 16ビット (TM0) | 1 ch | | | | |
| | 8ビット (TM5) | 2 ch | | | | |
| | 8ビット (TMH) | 2 ch | | | | |
| | 時計用 | 1ch | | | | |
| | ウォッチドッグ (WDT) | 1 ch | | | | |
| シリアルインタフェース | UART/3線式CSI ^注 | 1 ch | | | | |
| | LIN-bus対応UART | 1 ch | | | | |
| | I ² Cバス | 1 ch | | | | |
| 10ビットA/D | 5 ch | | | | | |
| 割り込み | 外部 | 7 | | | | |
| | 内部 | 16 | | | | |
| キー割り込み | - | | | | | |
| リセット | RESET端子 | あり | | | | |
| | POC | 1.59 V ± 0.15 V | | | | |
| | LVI | 電源電圧の検出レベルを選択可能 | | | | |
| | WDT | あり | | | | |
| 乗除算器 | なし | | | あり | | |
| オンチップ・デバッグ機能 | なし | | | | | あり |
| 動作周囲温度 | T _A = - 40 ~ + 85 | | | | | |

注 端子を兼用しているため、どちらかを選択して使用します。

(2/2)

| 項目 | μ PD78F8071 | μ PD78F8072 | μ PD78F8073 | μ PD78F8074 | μ PD78F8075 | μ PD78F8077D |
|---------------|---|-------------|-------------|-------------|-------------|--------------|
| 電源 | <ul style="list-style-type: none"> ・ パワー段はP-ch MOSを内蔵 <ul style="list-style-type: none"> ・ 出力電圧：5 V ± 3 % (動作電圧範囲：6 ~ 19 V, 出力電流：50 mA以下) ・ 外付けドロップパー (NPNトランジスタ) 補助機能内蔵 <ul style="list-style-type: none"> ・ 出力電圧：5 V ± 3 % (動作電圧範囲：7 ~ 19 V, 出力電流：150 mA以下) ・ 外部センサ用電源出力機能内蔵 ・ 過電流保護回路内蔵 ・ 低電圧検出回路 | | | | | |
| LINトランシーバ | <ul style="list-style-type: none"> ・ LIN Specification Rev.2.0, 2.1準拠 ・ スリープ機能内蔵 ・ スルー・レート選択機能内蔵 ・ スレーブ・アプリケーション用プルアップ抵抗内蔵 ・ LINドライバ過電流保護回路内蔵 | | | | | |
| ドライバ | <ul style="list-style-type: none"> ・ ハーフ・ブリッジ・ドライバ：6 ch ・ 過電流保護回路内蔵 ・ 貫通電流保護回路内蔵 | | | | | |
| SPI & PWM制御回路 | 1 ch | | | | | |
| 過熱保護回路 | 1 ch | | | | | |

次にタイマの概要を示します。

| | | 16ビット・タイマ/ イベント・カウンタ00 | 8ビット・タイマ/ イベント・カウンタ50, 51 | | 8ビット・タイマH0, H1 | | 時計用 タイマ | ウォッチ ドッグ・ タイマ |
|-------------|-------------|---------------------------|------------------------------|--------|----------------|------------------|------------|---------------------|
| | | TM00 | TM50 | TM51 | TMH0 | TMH1 | | |
| 機能 | インターバル・タイマ | 1チャンネル | 1チャンネル | 1チャンネル | 1チャンネル | 1チャンネル | — | — |
| | 外部イベント・カウンタ | 1チャンネル | 1チャンネル | 1チャンネル | — | — | — | — |
| | PPG出力 | 1出力 | — | — | — | — | — | — |
| | PWM出力 | — | 1出力 | 1出力 | 1出力 | 1出力 | — | — |
| | パルス幅測定 | 2入力 | — | — | — | — | — | — |
| | 方形波出力 | 1出力 | 1出力 | 1出力 | 1出力 | 1出力 | — | — |
| | キャリア・ジェネレータ | — | — | — | — | 1出力 ^注 | — | — |
| | 時計用タイマ | — | — | — | — | — | — | — |
| ウォッチドッグ・タイマ | — | — | — | — | — | — | 1チャンネル | |
| 割り込み要因 | | 2 | 1 | 1 | 1 | 1 | — | — |

注 TM51とTMH1を組み合わせることで、キャリア・ジェネレータ・モードとして使用できます。

第2章 端子機能

マイクロコントローラ機能端子におけるμPD78F807xと78K0/KC2で異なる端子は次のとおりです。

(1) ポート機能と兼用端子

| μPD78F807x | | 78K0/KC2 μPD78F0511A, 78F0512A, 78F0513A, 78F0514A, 78F0515A, 78F0517DA | |
|------------|---------------------|--|------------|
| 機能名称 | 兼用機能 | 機能名称 | 兼用機能 |
| P10 | SCK10/TxD0/ SCKA | P10 | SCK10/TxD0 |
| P11 | SI10/RxD0/SOA | P11 | SI10/RxD0 |
| P12 | SO10/SIA | P12 | SO10 |
| P13 | TxD6/TxL | P13 | TxD6 |
| P14 | RxD6/RxL | P14 | RxD6 |
| P15 | TOH0/PWMI | P15 | TOH0 |
| P16 | TOH1/INTP5/ SSA | P16 | TOH1/INTP5 |
| P17 | TI50/TO50/INH | P17 | TI50/TO50 |
| P20-P24 | ANI0-ANI4 | P20-P27 | ANI0-ANI7 |
| — | — | P40-P41 | — |
| — | — | P62 | EXSCL0 |
| — | — | P63 | — |
| P70 | KR0 | P70-P73 | KR0-KR3 |
| — | — | P74, P75 | — |
| — | — | P123 | XT1 |
| — | — | P124 | XT2/EXCLKS |
| — | — | P140 | PCL/INTP6 |

2.1 マイクロコントローラ部の端子機能

端子の入出力バッファ電源には、AVREF, VDDの2系統があります。それぞれの電源と端子の関係を次に示します。

表2-1 各端子の入出力バッファ電源

| 電源 | 対応する端子 |
|-------|--------------|
| AVREF | P20-P24 |
| VDD | P20-P24以外の端子 |

(1) ポート端子 (1/2)

| 端子名称 | 入出力 | 機能 | リセット時 | 兼用端子 |
|---------|-----|--|--------|-----------------------------------|
| P00 | 入出力 | ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 | 入力ポート | TI000 |
| P01 | | | | TI010/TO00 |
| P10 | 入出力 | ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 | 入力ポート | SCK10/TxD0/ SCKA ^{注1} |
| P11 | | | | SI10/RxD0/SOA ^{注1} |
| P12 | | | | SO10/SIA ^{注1} |
| P13 | | | | TxD6/TxL ^{注1} |
| P14 | | | | RxD6/RxL ^{注1} |
| P15 | | | | TOH0/PWMI ^{注1} |
| P16 | | | | TOH1/INTP5/SSA ^{注1} |
| P17 | | | | TI50/TO50/INH ^{注1} |
| P20-P24 | 入出力 | ポート2。 5ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 | アナログ入力 | ANI0-ANI4 |
| P30 | 入出力 | ポート3。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 | 入力ポート | INTP1 |
| P31 | | | | INTP2/OCD1A ^{注2} |
| P32 | | | | INTP3/OCD1B ^{注2} |
| P33 | | | | INTP4/TI51/TO51 |

注1. アナログ端子の機能です。パッケージ内部で、アナログ部の機能端子と接続されています。

2. μPD78F8077Dのみ。

(1) ポート端子 (2/2)

| 端子名称 | 入出力 | 機 能 | リセット時 | 兼用端子 |
|------|-----|--|-------|-----------------------------|
| P60 | 入出力 | ポート6。 2ビット入出力ポート (N-chオープン・ドレイン)。 1ビット単位で入力/出力の指定可能。 | 入力ポート | SCL0 |
| P61 | | | | SDA0 |
| P70 | 入出力 | ポート7。 1ビット入出力ポート。 入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 | 入力ポート | KR0 |
| P120 | 入出力 | ポート12。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 | 入力ポート | INTP0/EXLVI |
| P121 | | | | X1/OCD0A ^註 |
| P122 | | | | X2/EXCLK/OCD0B ^註 |
| P130 | 出力 | ポート13。 1ビット出力専用ポート。 | 出力ポート | — |

注 μPD78F8077Dのみ。

(2) ポート以外の端子 (1/2)

| 端子名称 | 入出力 | 機能 | リセット時 | 兼用端子 |
|-----------|-----|--|--------|------------------------------|
| ANI0-ANI4 | 入力 | A/Dコンバータのアナログ入力 | アナログ入力 | P20-P24 |
| EXLVI | 入力 | 外部低電圧検出用電位入力 | 入力ポート | P120/INTP0 |
| FLMD0 | — | フラッシュ・メモリ・プログラミング・モード引き込み。 | — | — |
| INTP0 | 入力 | 有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力 | 入力ポート | P120/EXLVI |
| INTP1 | | | | P30 |
| INTP2 | | | | P31/OCD1A ^{注2} |
| INTP3 | | | | P32/OCD1B ^{注2} |
| INTP4 | | | | P33/TI51/TO51 |
| INTP5 | | | | P16/TOH1/SSA ^{注1} |
| KR0 | 入力 | キー割り込み入力 | 入力ポート | P70 |
| REGC | — | 内部動作用レギュレータ出力（2.5 V）安定容量接続。 コンデンサ（0.47 μF～1 μF）を介し，V _{SS} に接続してください。 | — | — |
| RESET | 入力 | システム・リセット入力 | — | — |
| RxD0 | 入力 | UART0のシリアル・データ入力 | 入力ポート | P11/SI10/SOA ^{注1} |
| RxD6 | 入力 | UART6のシリアル・データ入力 | 入力ポート | P14/RxL ^{注1} |
| SCK10 | 入出力 | CSI10のクロック入力/出力 | 入力ポート | P10/TxD0/SCKA ^{注1} |
| SI10 | 入力 | CSI10のシリアル・データ入力 | 入力ポート | P11/RxD0/SOA ^{注1} |
| SO10 | 出力 | CSI10のシリアル・データ出力 | 入力ポート | P12 |
| SCL0 | 入出力 | IICのクロック入力/出力 | 入力ポート | P60 |
| SDA0 | 入出力 | IICのシリアル・データ入出力 | 入力ポート | P61 |
| TI000 | 入力 | 16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ（CR000，CR010）へのキャプチャ・トリガ入力 | 入力ポート | P00 |
| TI010 | | 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ（CR000）へのキャプチャ・トリガ入力 | | P01/TO00 |
| TI50 | 入力 | 8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力 | 入力ポート | P17/TO50/INH ^{注1} |
| TI51 | | 8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力 | | P33/TO51/INTP4 |
| TO00 | 出力 | 16ビット・タイマ/イベント・カウンタ00出力 | 入力ポート | P01/TI010 |
| TO50 | 出力 | 8ビット・タイマ/イベント・カウンタ50出力 | 入力ポート | P17/TI50/INH ^{注1} |
| TO51 | | 8ビット・タイマ/イベント・カウンタ51出力 | | P33/TI51/INTP4 |
| TOH0 | | 8ビット・タイマH0出力 | | P15/PWMI ^{注1} |
| TOH1 | | 8ビット・タイマH1出力 | | P16/INTP5/SSA ^{注1} |
| TxD0 | 出力 | UART0のシリアル・データ出力 | 入力ポート | P10/SCK10/SCKA ^{注1} |
| TxD6 | 出力 | UART6のシリアル・データ出力 | 入力ポート | P13/TxL ^{注1} |

注1. アナログ端子の機能です。パッケージ内部で，アナログ部の機能端子と接続されています。

2. μPD78F8077Dのみ。

(2) ポート以外の端子 (2/2)

| 端子名称 | 入出力 | 機 能 | リセット時 | 兼用端子 |
|-------------------|-----|--|-------|-----------------------------------|
| X1 | — | メイン・システム・クロック用発振子接続 | 入力ポート | P121/OCD0A ^注 |
| X2 | — | | | P122/EXCLK/ OCD0B ^注 |
| EXCLK | 入力 | メイン・システム・クロック用外部クロック入力 | 入力ポート | P122/X2 |
| V _{DD} | — | P20-P24以外の正電源 | — | — |
| AV _{REF} | — | A/Dコンバータの基準電圧入力およびP20-P24, A/Dコンバータの正電源 | — | — |
| V _{SS} | — | P20-P24以外のグランド電位 | — | — |
| AV _{SS} | — | A/Dコンバータのグランド電位。V _{SS} と同電位にしてください。 | — | — |

注 μPD78F8077Dのみ。

2.2 アナログ部の端子機能

(1/2)

| 機能名称 | 入出力 | 機 能 |
|-------------------|-----|--------------------|
| SSA ^注 | 入力 | スレーブ・セレクト入力 |
| PWM ^注 | 入力 | 外部PWM入力 |
| RxL ^注 | 出力 | シリアル・データ出力 |
| TxL ^注 | 入力 | シリアル・データ入力 |
| SIA ^注 | 入力 | シリアル・データ入力 |
| SOA ^注 | 出力 | シリアル・データ出力 |
| SCKA ^注 | 入力 | クロック入力 |
| GND1 | — | ハーフ・ブリッジch1用グランド電位 |
| HBO1 | 出力 | ハーフ・ブリッジch1用出力 |
| SUP1 | — | ハーフ・ブリッジch1用電源供給 |
| GND2 | — | ハーフ・ブリッジch2用グランド電位 |
| HBO2 | 出力 | ハーフ・ブリッジch2用出力 |
| SUP2 | — | ハーフ・ブリッジch2用電源供給 |
| GND3 | — | ハーフ・ブリッジch3用グランド電位 |
| HBO3 | 出力 | ハーフ・ブリッジch3用出力 |
| SUP3 | — | ハーフ・ブリッジch3用電源供給 |
| GND4 | — | ハーフ・ブリッジch4用グランド電位 |
| HBO4 | 出力 | ハーフ・ブリッジch4用出力 |
| SUP4 | — | ハーフ・ブリッジch4用電源供給 |
| GND5 | — | ハーフ・ブリッジch5用グランド電位 |
| HBO5 | 出力 | ハーフ・ブリッジch5用出力 |
| SUP5 | — | ハーフ・ブリッジch5用電源供給 |
| GND6 | — | ハーフ・ブリッジch6用グランド電位 |
| HBO6 | 出力 | ハーフ・ブリッジch6用出力 |
| SUP6 | — | ハーフ・ブリッジch6用電源供給 |

注 パッケージ内部で、マイクロコントローラ部の端子機能と接続されています。

- 注意 1. GND, GND1 – 6, GND_DRVは、V_{SS}およびAV_{SS}と同電位にしてください。
 2. SUPとSUP1 – 6 は同電位としてください。

(2/2)

| 機能名称 | 入出力 | 機 能 |
|------------------|-----|---------------------------------|
| SUP | — | 電源供給 |
| SVDD | 出力 | 外部センサ用電源出力 |
| VRO | 出力 | 電源出力 / 外付けNPNトランジスタ使用時, ベース制御出力 |
| VRS | 入力 | 電源 / 電源電圧モニタ |
| GND | - | 電源回路用グランド電位 |
| LIN | 入出力 | LIN Bus端子 |
| GND_DRV | - | LINトランシーバ回路用グランド電位 |
| MOD1, MOD2 | 入力 | 端子モード制御入力 |
| MSLP | 入力 | スリープ・モード選択 |
| SRC | 入力 | スルー・レート制御入力 |
| RESET_A | 入力 | アナログ・チップ側リセット入力 |
| INH ^注 | 入力 | ハーフ・ブリッジ出力禁止入力 |

注 パッケージ内部で、マイクロコントローラ部の端子機能と接続されています。

- 注意 1. GND, GND1 – 6, GND_DRVは、V_{SS}およびAV_{SS}と同電位にしてください。
2. SUP, SUP1 – 6 は同電位としてください。
 3. 5V出力ドロップパーに内蔵Pch-MOSを使用する場合、VRS,VROとV_{DD}を同電位にしてください。
 4. 5V出力ドロップパーに外付けドロップパーを使用する場合、VRSとV_{DD}を同電位にしてください。

2.3 端子機能の説明

2.3.1 P00, P01 (Port 0)

2ビットの入出力ポートです。入出力ポートのほかにタイマの入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力として機能します。

(a) TI000

16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ信号入力端子です。

(b) TI010

16ビット・タイマ/イベント・カウンタ00, 01のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ信号入力端子です。

(c) TO00

16ビット・タイマ/イベント・カウンタ00のタイマ出力端子です。

2.3.2 P10-P17 (Port 1)

8ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力として機能します。

(a) SI10

シリアル・インタフェースCSI10のシリアル・データ入力端子です。

(b) SO10

シリアル・インタフェースCSI10のシリアル・データ出力端子です。

(c) $\overline{\text{SCK10}}$

シリアル・インタフェースCSI10のシリアル・クロック入出力端子です。

(d) RxD0

シリアル・インタフェースUART0のシリアル・データ入力端子です。

(e) RxD6

シリアル・インタフェースUART6のシリアル・データ入力端子です。

(f) TxD0

シリアル・インタフェースUART0のシリアル・データ出力端子です。

(g) TxD6

シリアル・インタフェースUART6のシリアル・データ出力端子です。

(h) TI50

8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力端子です。

(i) TO50

8ビット・タイマ/イベント・カウンタ50のタイマ出力端子です。

(j) TOH0, TOH1

8ビット・タイマH0, H1のタイマ出力端子です。

(k) INTP5

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

2.3.3 P20-P24 (Port 2)

5ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

5ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により、1ビット単位で入力ポートまたは出力ポートとして指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI4) として機能します。アナログ入力端子として使用する場合、78K0/Kx2 ユーザーズ・マニュアル (R01UH0008J) の13.6 A/Dコンバータの注意事項を参照してください。

(a) ANI0-ANI4

A/Dコンバータのアナログ入力端子です。

注意 ANI0/P20-ANI4/P24は、リセット解除後はアナログ入力モードになります。

2.3.4 P30-P33 (Port 3)

4ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力、タイマ入出力機能があります。
1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマの入出力として機能します。

(a) INTP1-INTP4

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) TI51

8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力端子です。

(c) TO51

8ビット・タイマ/イベント・カウンタ51のタイマ出力端子です。

注意1. オンチップ・デバッグ機能搭載品 (μPD78F8077D) は、誤動作を防ぐため、リセット解除までに P31/INTP2/OCD1A端子を必ずプルダウンしてください。

2. オンチップ・デバッグ機能搭載品 (μPD78F8077D) のP31/INTP2/OCD1A端子が、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

| | | P31/INTP2/OCD1A |
|---|---------|--|
| フラッシュ・メモリ・プログラマ接続 | | 抵抗を介してV _{SS} に接続してください。 |
| オンチップ・デバッグ・エミュレータ接続 (ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合) | リセット時 | 入力時: 抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時: オープンにしてください。 |
| | リセット解除時 | |

備考 オンチップ・デバッグ機能搭載品 (μPD78F8077D) のP31, P32は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD1A, OCD1B) として使用できます。オンチップ・デバッグ対応のインサーキット・エミュレータ (QB-78K0MINI) との接続については、78K0/Kx2 ユーザーズ・マニュアル (R01UH0008J) の第28章 オンチップ・デバッグ機能を参照してください。

2.3.5 P60, P61 (Port 6)

2ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

出力はN-chオープン・ドレイン出力 (6 V耐圧) になっています。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SDA0

シリアル・インタフェースIIC0のシリアル・データの入出力端子です。

(b) SCL0

シリアル・インタフェースIIC0のシリアル・クロックの入出力端子です。

2.3.6 P70 (Port 7)

1ビットの入出力ポートです。入出力ポートのほかにキー割り込み入力機能があります。

次のような動作モードを指定できます。

(1) ポート・モード

1ビットの入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) の設定により、入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

キー割り込み入力端子として機能します。

(a) KR0

キー割り込み入力端子です。

2.3.7 P120-P122 (Port 12)

3ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力，外部低電圧検出用電位入力，メイン・システム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により，入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により，P120のみ内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力，外部低電圧検出用電位入力，メイン・システム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力として機能します。

(a) INTP0

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力 (INTP0) として機能します。

(b) EXLVI

外部低電圧検出用電位入力端子です。

(c) X1, X2

メイン・システム・クロック用発振子接続端子です。

(d) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

注意 オンチップ・デバッグ機能搭載品 (μ PD78F8077D) のP121/X1/OCD0A端子が，フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合，次のように処理してください。

| | | P121/X1/OCD0A |
|---|---------|--|
| フラッシュ・メモリ・プログラマ接続 | | 抵抗を介してV _{SS} に接続してください。 |
| オンチップ・デバッグ・エミュレータ接続 (ただし，オンチップ・デバッグ・モード引き込み用端子として使用しない場合) | リセット時 | 入力時：抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 |
| | リセット解除時 | |

備考 オンチップ・デバッグ機能搭載品 (μPD78F8077D) のP121, P122は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。オンチップ・デバッグ対応のインサーキット・エミュレータ (QB-78K0MINI) との接続については、78K0/Kx2 ユーザーズ・マニュアル (R01UH0008J) の第28章 オンチップ・デバッグ機能を参照してください。

2.3.8 P130 (Port 13)

出力専用ポートです。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます (78K0/Kx2 ユーザーズ・マニュアル (R01UH0008J) の5.2.10 ポート13の備考の図を参照)。

2.3.9 AVREF, AVSS, VDD, VSS

(a) AVREF

A/Dコンバータの基準電圧入力、およびP20-P24, A/Dコンバータの正電源供給端子です。

A/Dコンバータを使用しない場合は、V_{DD}に直接接続してください^注。

注 ポート2をデジタル・ポートとして使用する場合は、V_{DD}と同電位にしてください。

(b) AVSS

A/Dコンバータのグラウンド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}と同電位で使用してください。

(c) VDD

V_{DD}は、P20-P24以外の、正電源供給端子です。

(d) VSS

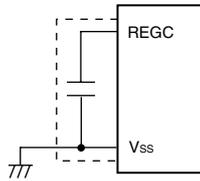
V_{SS}は、P20-P24以外の、ポート部のグラウンド電位端子です。

2.3.10 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.3.11 REGC

内部動作レギュレータ出力 (2.5 V) 安定容量接続端子です。コンデンサ (0.47 μ F~1 μ F) を介し、V_{SS}に接続してください。



注意 上図の破線部分の配線を極力短くしてください。

2.3.12 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

通常動作モード時には、FLMD0をV_{SS}に接続してください。

フラッシュ・メモリ・プログラミング・モード時には、フラッシュ・メモリ・プログラマと接続してください。

2.3.13 HBO1 - 6

ハーフ・ブリッジ・ドライバ出力端子です。

ハーフ・ブリッジ・ドライバ出力は、SPI & PWM制御回路で制御されます。

詳細は、第7章 ハーフ・ブリッジ回路を参照してください。

2.3.14 SUP1 - 6

ハーフ・ブリッジ・ドライバ用電源端子です。

SUP端子と同電位としてください。

2.3.15 GND, GND1 - 6, GND_DRV

GNDは、電源回路用グランド電位です。

GND1 - 6は、ハーフ・ブリッジ回路用グランド電位です。

GND_DRVは、LINトランシーバ回路用グランド電位です。

GND, GND1 - 6, GND_DRV端子は同電位としてください。

2.3.16 RESET_A

ロウ・レベル・アクティブのアナログ・チップ側リセット入力端子です。

2.3.17 LIN

LIN Bus端子です。

2.3.18 MSLP

モード移行命令を受ける端子です。

Normal Modeにおいて、MSLP = Lowとなったときアナログ・チップの機能ブロックは、Sleep Modeへ移行します。

Sleep Modeにおいて、MSLP = Highとなったときアナログ・チップの機能ブロックは、Normal Modeへ移行します。

また、この端子は内部でプルダウンされています。

詳細は、6.2 動作モードを参照してください。

2.3.19 SUP

電源端子です。

2.3.20 MOD1, MOD2

ポート・モードを選択するモード端子です。

詳細は、6.1 LINトランシーバ機能を参照してください。

2.3.21 VRO

5V出カドロップパーとして、内蔵Pch-MOS使用時は、電源回路の出力端子です。

5V出カドロップパーとして、外付けNPNトランジスタ使用時は、ベース制御出力として機能します。

2.3.22 VRS

電源回路の入力および出力電圧モニタ端子です。

2.3.23 SVDD

外部センサ用電源回路の出力端子です。

詳細は、第5章 電源回路を参照してください。

2.3.24 SRC

LIN通信スルー・レートを選択する端子です。

詳細は、6.1 LINトランシーバ機能を参照してください。

2.3.25 SCKA

SPI & PWM制御回路のクロック入力端子です。

2.3.26 SOA

SPI & PWM制御回路のシリアル・データ出力端子です。

2.3.27 SIA

SPI & PWM制御回路のシリアル・データ入力端子です。

2.3.28 SSA

SPI & PWM制御回路のスレーブ・セレクト入力端子です。

2.3.29 PWMI

SPI & PWM制御回路の外部PWM入力端子です。

2.3.30 INH

ハーフ・ブリッジ回路の出力禁止制御入力端子です。

詳細は、第7章 ハーフ・ブリッジ回路を参照してください。

2.3.31 IC

内部接続端子です。

2.4 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2-3に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-3 各端子の入出力回路タイプ (1/3)

| 端子名称 | 入出力回路タイプ | 入出力 | 未使用時の推奨接続方法 |
|---------------------------------------|----------|--|---|
| P00/TI000 | 5-AQ | 入出力 | 入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 |
| P01/TI010/TO00 | | | |
| P10/SCK10/TxD0/ SCKA ^{注2} | | | |
| P11/SI10/RxD0/SOA ^{注2} | | | |
| P12/SO10/SIA ^{注2} | | | |
| P13/TxD6/TxL ^{注1} | 5-AG | | |
| P14/RxD6/RxL ^{注1} | 5-AQ | | |
| P15/TOH0/PWMI ^{注2} | 5-AG | | |
| P16/TOH1/INTP5/ SSA ^{注2} | 5-AQ | | |
| P17/TI50/TO50/INH ^{注2} | 5-AQ | | 入出力時：個別に抵抗を介して、V _{SS} に接続してください。 |
| P20/ANI0-P24/ANI4 ^{注3} | 11-G | <デジタル入力設定時およびアナログ入力設定時> 個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 <デジタル出力設定時> オープンにしてください。 | |
| P30/INTP1 ^{注2} | 5-AQ | 入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 | |
| P31/INTP2 | 5-AQ | | |
| P32/INTP3 | | | |
| P33/TI51/TO51/INTP4 | | | |

注 1. LINトランシーバ機能兼用端子です。LINトランシーバ機能端子として使用する場合、オープンにしてください。

2. アナログ部端子の機能です。パッケージ内部で、アナログ部の端子機能と接続されています。

3. P20/ANI0-P24/ANI4は、リセット解除後はアナログ入力モードになります。

表2-3 各端子の入出力回路タイプ (2/3)

| 端子名称 | 入出力回路タイプ | 入出力 | 未使用時の推奨接続方法 |
|-----------------------------|----------|-----|---|
| P60/SCL0 | 13-AI | 入出力 | 入力時：V _{SS} に接続してください。 出力時：ポートの出力ラッチに0を設定して、ロウ・レベル出力でオープンにしてください。 |
| P61/SDA0 | | | |
| P70/KR0 | 5-AQ | | 入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 |
| P120/INTP0/EXLVI | | | |
| P121/X1 ^{注1} | 37 | 入出力 | 入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 |
| P122/X2/EXCLK ^{注1} | | | |
| P130 | 3-C | 出力 | オープンにしてください。 |
| RESET | 2 | 入力 | V _{DD} に直接接続または抵抗を介して接続してください |
| FLMD0 ^{注4} | 38-A | — | V _{SS} に接続してください。 |
| AV _{REF} | — | — | V _{DD} に直接接続してください。 ^{注3} |
| AV _{SS} | | | V _{SS} に直接接続してください。 |
| MOD1 | LIN-1 | 入力 | V _{SS} またはV _{RSI} に直接接続してください。 |
| MOD2 | | | |
| SRC | | 入力 | V _{SS} またはV _{RSI} に直接接続してください。 |
| SCKA ^{注3} | LIN-1-C | 入力 | オープンにしてください。 |
| SOA ^{注3} | LIN-2 | 出力 | オープンにしてください。 |
| SIA ^{注3} | LIN-1-C | 入力 | オープンにしてください。 |
| SSA ^{注3} | LIN-1-D | 入力 | オープンにしてください。 |
| PWMI ^{注3} | LIN-1-C | 入力 | オープンにしてください。 |
| INH ^{注3} | LIN-1-D | 入力 | オープンにしてください。 |
| LIN | LIN-3 | 入出力 | オープンにしてください。 |
| MSLP | LIN-1-A | 入力 | オープンにしてください。 |

注 1. 未使用時は、クロック動作モード選択レジスタ (OSCCTL) で入出力ポート・モードに設定し、上記の推奨接続方法を行ってください。

2. ポート2をデジタル・ポートとして使用する場合は、V_{DD}と同電位にしてください。
3. パッケージ内部で、マイクロコントローラの端子機能と接続されています。
4. FLMD0はフラッシュ・メモリにデータを書き込むときに使用する端子です。オンボードでフラッシュ・メモリのデータを書き換える場合は、抵抗 (10 kΩ : 推奨) を介して、V_{SS}に接続してください。オンチップ・デバッグ機能搭載品 (μPD78F8077D) でオンチップ・デバッグを行なう場合も同様です。

表2-3 各端子の入出力回路タイプ (3/3)

| 端子名称 | 入出力回路タイプ | 入出力 | 未使用時の推奨接続方法 |
|---------|----------|-----|------------------------------|
| HBO1 | LIN-4 | 出力 | オープンにしてください。 |
| HBO2 | | | |
| HBO3 | | | |
| HBO4 | | | |
| HBO5 | | | |
| HBO6 | | | |
| VRO | LIN-5 | 出力 | V _{DD} に直接接続してください。 |
| VRS | | 入力 | VROに直接接続してください。 |
| RxL | LIN-2 | 出力 | —注 |
| TxL | LIN-6 | 入力 | —注 |
| SVDD | LIN-5 | 出力 | オープンにしてください。 |
| RESET_A | LIN-1-B | 入力 | VRSIに直接接続してください。 |

注 パッケージ内部で、マイクロコントローラの端子機能と接続されています。

図2-1 端子の入出力回路一覧 (1/4)

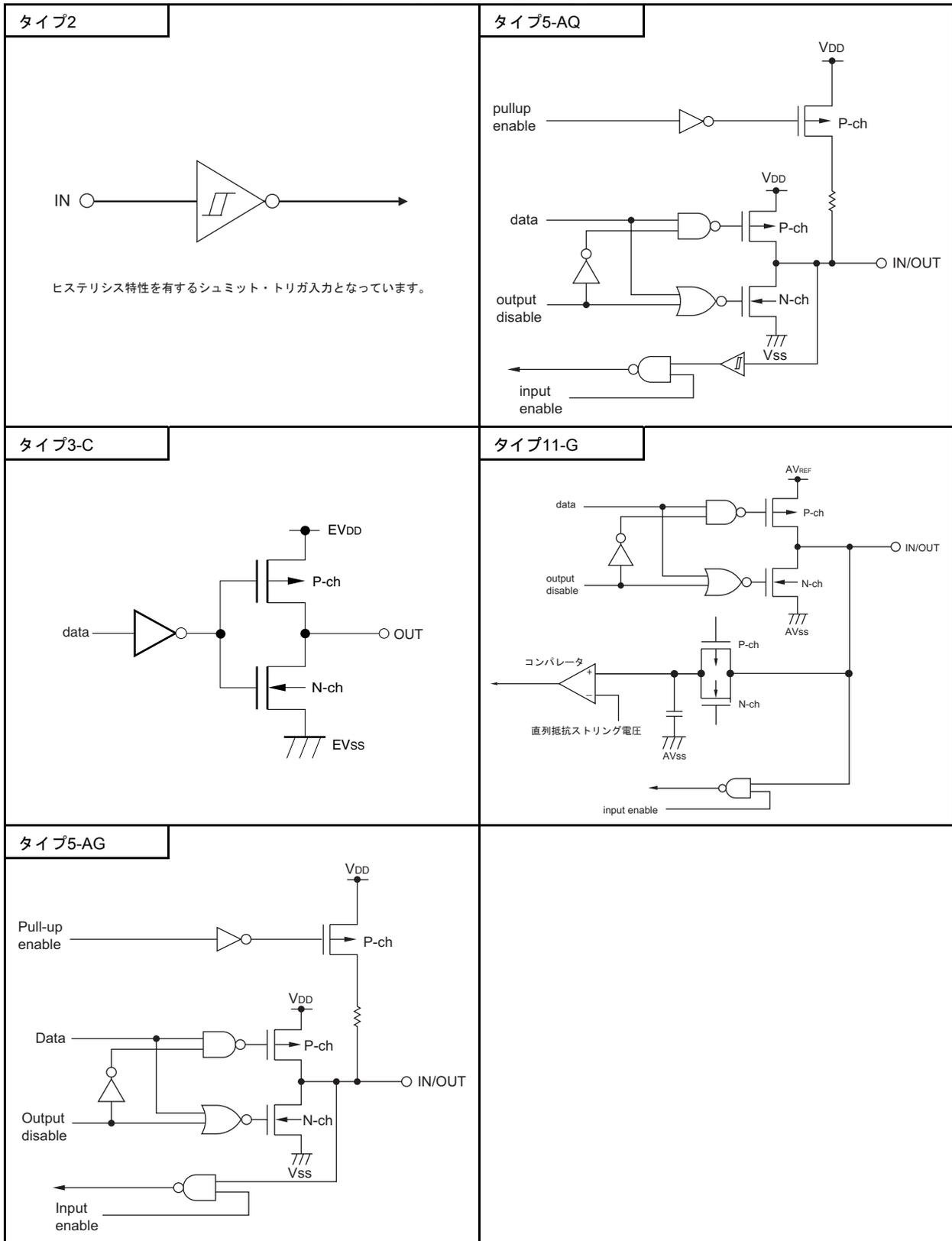


図2-1 端子の入出力回路一覧 (2/4)

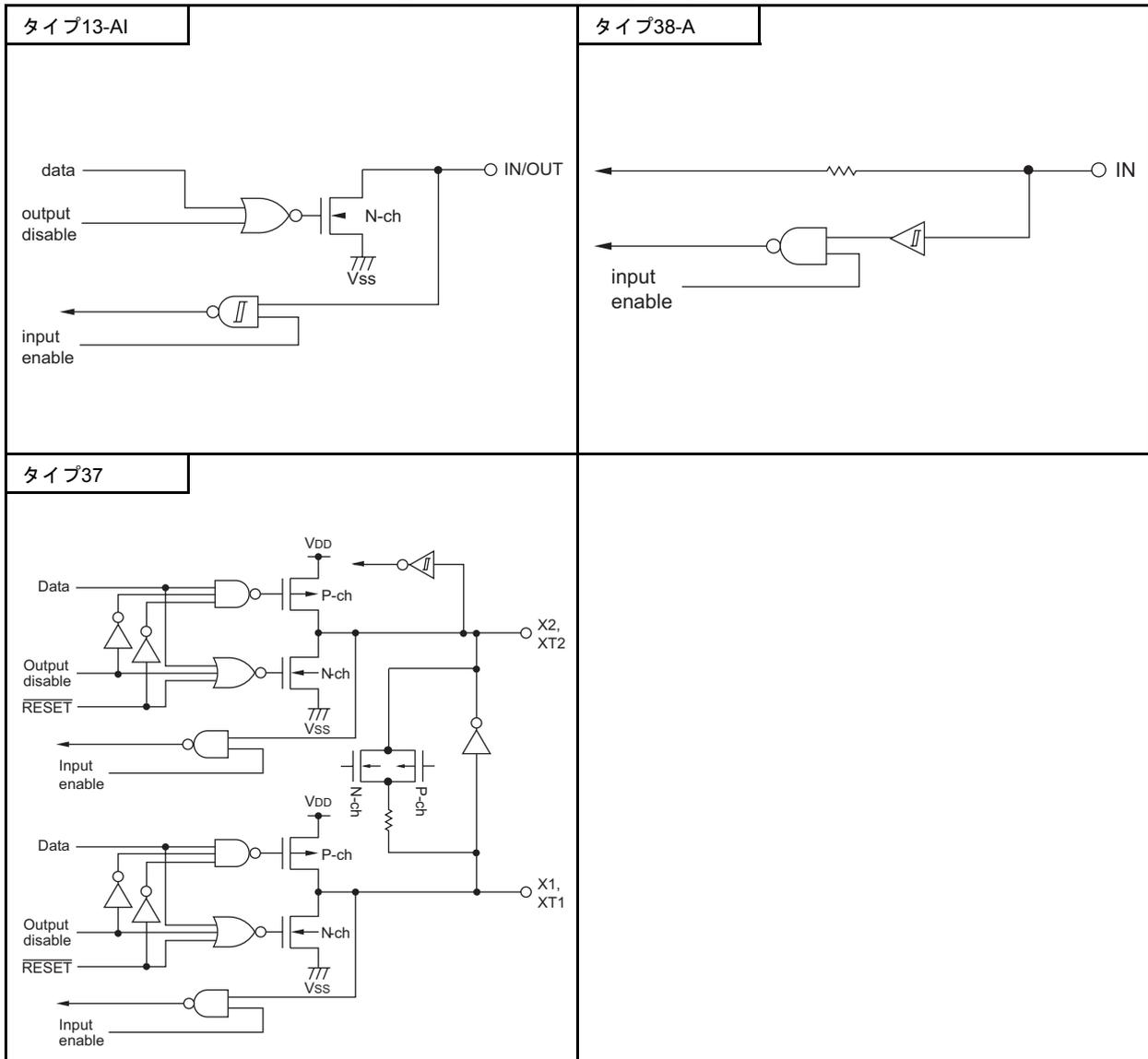


図2-1 端子の入出力回路一覧 (3/4)

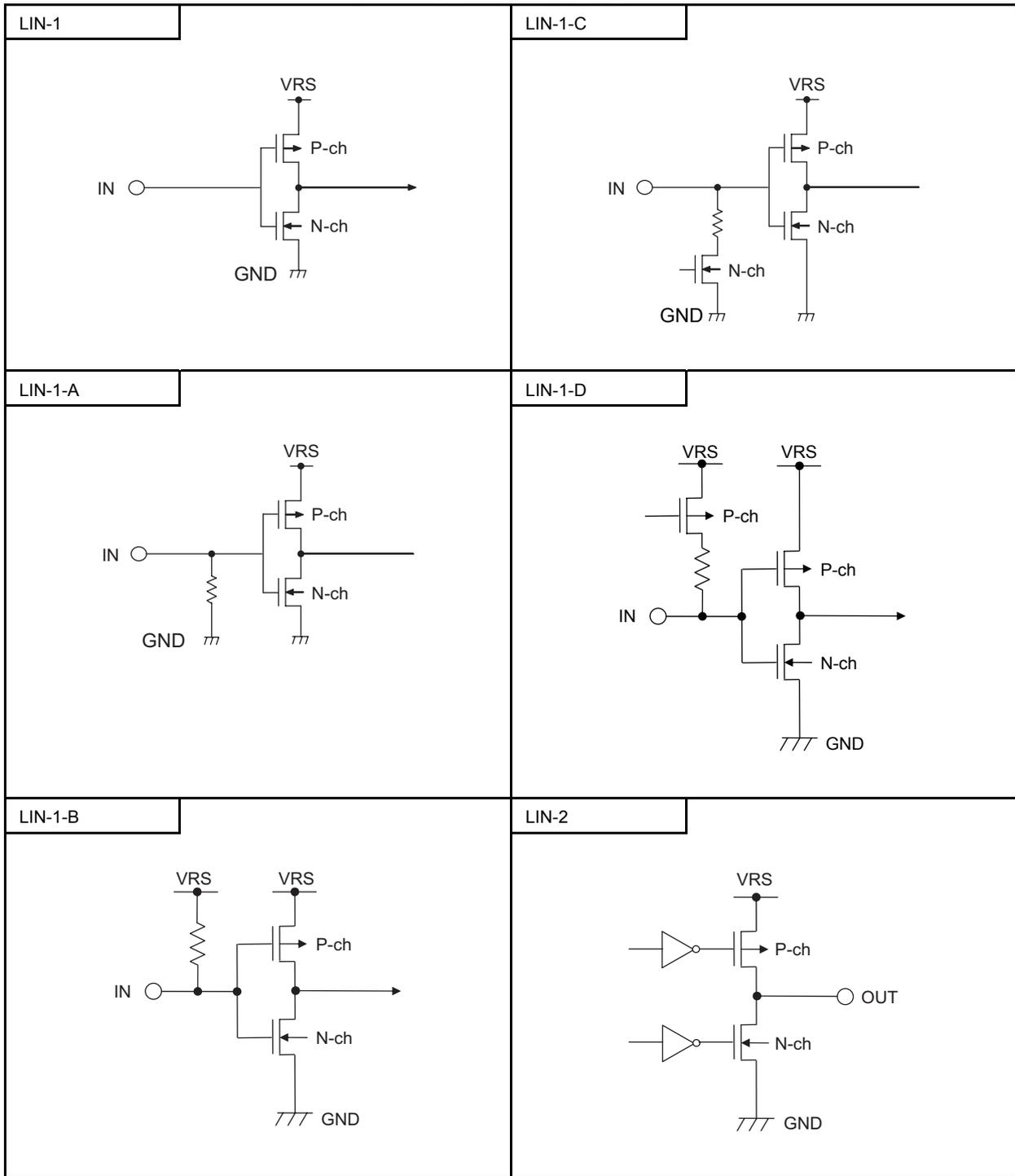
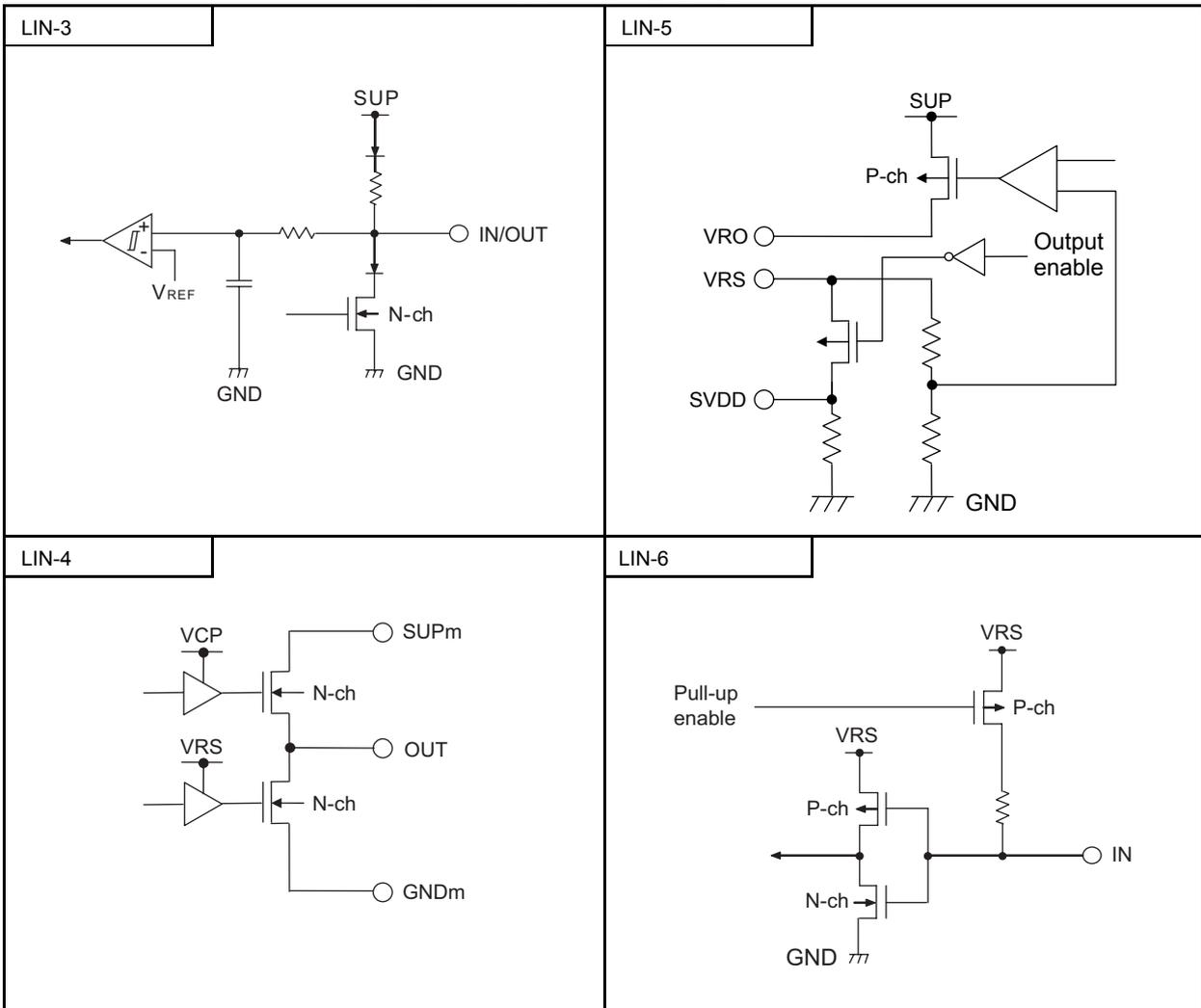


図2-1 端子の入出力回路一覧 (4/4)



備考 m = 1 - 6

第3章 マイクロコントローラ機能

8ビット・マイクロコントローラ部は、78K0/KC2を搭載しています。

しかし、μPD78F807xは、78K0/KC2の全機能端子を外に出していないため、使用できる機能が異なります。

このマニュアルでは、78K0/KC2との機能およびレジスタの違いについて示します。マイクロコントローラ部の各機能説明については、78K0/Kx2 ユーザーズ・マニュアル (R01UH0008J) を参照してください。

3.1 78K0/KC2と異なる機能

μPD78F807xと78K0/KC2 (48ピン) の違いは、次のとおりです。

| 項 目 | μPD78F807x | 78K0/KC2 (48ピン) μPD78F0511A, 78F0512A, 78F0513A 78F0514A, 78F0515A, 78F0517DA |
|------------------------|---|---|
| サブシステム・クロック (発振周波数) | — | XT1 (水晶) 発振, 外部サブシステム・クロック入力 (EXCLKS) 32.768 kHz (TYP.) : V _{DD} = 1.8~5.5 V |
| I/Oポート | 合計 : 26本 CMOS入出力 : 24本 N-chオープン・ドレイン入出力 (6V耐圧) : 2本 | 合計 : 41本 CMOS入出力 : 37本 N-chオープン・ドレイン入出力 (6V耐圧) : 4本 |
| クロック出力 | — | ・ 156.25 kHz, 312.5 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (周辺ハードウェア・クロック : f _{PRS} = 20 MHz 動作時) ・ 32.768 kHz (サブシステム・クロック : f _{SUB} = 32.768 kHz 動作時) |
| A/Dコンバータ | 10ビット分解能×5チャンネル (AV _{REF} = 2.3~5.5 V) | 10ビット分解能×8チャンネル (AV _{REF} = 2.3~5.5 V) |
| ベクタ割り込み要因 | 内部 : 16 外部 : 7 | 16 8 |
| キー割り込み | キー入力端子 (KR0) の立ち下がリエッジ検出により、キー割り込み (INTKR) 発生 | キー入力端子 (KR0-KR3) の立ち下がリエッジ検出により、キー割り込み (INTKR) 発生 |

3.2 78K0/KC2と異なる特殊機能レジスタ

μPD78F807xと78K0/KC2（48ピン）の特殊機能レジスタの違いは次のとおりです。

(1/2)

| アドレス | μPD78F807x | | 78K0/KC2 μPD78F0511A, 78F0512A, 78F0513A 78F0514A, 78F0515A, 78F0517DA | |
|-------|---------------------------------------|--------|--|--------|
| | 特殊機能レジスタ (SFR) 名称 | 略号 | 特殊機能レジスタ (SFR) 名称 | 略号 |
| FF02H | ポート・レジスタ2 ^{注1} | P2 | ポート・レジスタ2 | P2 |
| FF04H | — ^{注2} | — | ポート・レジスタ4 | P4 |
| FF06H | ポート・レジスタ6 ^{注1} | P6 | ポート・レジスタ6 | P6 |
| FF07H | ポート・レジスタ7 ^{注1} | P7 | ポート・レジスタ7 | P7 |
| FF0CH | ポート・レジスタ12 ^{注1} | P12 | ポート・レジスタ12 | P12 |
| FF0EH | — ^{注2} | - | ポート・レジスタ14 | P14 |
| FF22H | ポート・モード・レジスタ2 ^{注1} | PM2 | ポート・モード・レジスタ2 | PM2 |
| FF24H | ポート・モード・レジスタ4 ^{注1} | PM4 | ポート・モード・レジスタ4 | PM4 |
| FF26H | ポート・モード・レジスタ6 ^{注1} | PM6 | ポート・モード・レジスタ6 | PM6 |
| FF27H | ポート・モード・レジスタ7 ^{注1} | PM7 | ポート・モード・レジスタ7 | PM7 |
| FF29H | アナログ入力チャネル指定レジスタ ^{注1} | ADS | アナログ入力チャネル指定レジスタ | ADS |
| FF2CH | ポート・モード・レジスタ12 ^{注1} | PM12 | ポート・モード・レジスタ12 | PM12 |
| FF2EH | ポート・モード・レジスタ14 ^{注1} | PM14 | ポート・モード・レジスタ14 | PM14 |
| FF2FH | A/Dポート・コンフィギュレーション・レジスタ ^{注1} | ADPC | A/Dポート・コンフィギュレーション・レジスタ | ADPC |
| FF34H | プルアップ抵抗オプション・レジスタ4 ^{注1} | PU4 | プルアップ抵抗オプション・レジスタ4 | PU4 |
| FF37H | プルアップ抵抗オプション・レジスタ7 ^{注1} | PU7 | プルアップ抵抗オプション・レジスタ7 | PU7 |
| FF3EH | プルアップ抵抗オプション・レジスタ14 ^{注1} | PU14 | プルアップ抵抗オプション・レジスタ14 | PU14 |
| FF40H | — ^{注2} | — | クロック出力選択レジスタ | CKS |
| FF48H | 外部割り込み立ち上がりエッジ許可レジスタ ^{注1} | EGP | 外部割り込み立ち上がりエッジ許可レジスタ | EGP |
| FF49H | 外部割り込み立ち下がりエッジ許可レジスタ ^{注1} | EGN | 外部割り込み立ち下がりエッジ許可レジスタ | EGN |
| FF6EH | キー・リターン・モード・レジスタ ^{注1} | KRM | キー・リターン・モード・レジスタ | KRM |
| FF6FH | 時計用タイマ動作モード・レジスタ ^{注1} | WTM | 時計用タイマ動作モード・レジスタ | WTM |
| FF9FH | クロック動作モード選択レジスタ ^{注1} | OSCCTL | クロック動作モード選択レジスタ | OSCCTL |
| FFA8H | IICクロック選択レジスタ0 ^{注1} | IICCL0 | IICクロック選択レジスタ0 | IICCL0 |

注1. ビット設定が異なります。

2. このレジスタに書き込みをしないでください。

(2/2)

| アドレス | μPD78F807x | | 78K0/KC2 μPD78F0511A, 78F0512A, 78F0513A 78F0514A, 78F0515A, 78F0517DA | | | |
|-------|-------------------------------------|-------------|--|--|-------------|--|
| | 特殊機能レジスタ (SFR) 名称 | 略号 | 特殊機能レジスタ (SFR) 名称 | | 略号 | |
| FFE2H | 割り込み要求フラグ・レジスタ1L ^注 | IF1 IF1L | 割り込み要求フラグ・レジスタ1L | | IF1 IF1L | |
| FFE6H | 割り込みマスク・レジスタ1L ^注 | MK1 MK1L | 割り込みマスク・レジスタ1L | | MK1 MK1L | |
| FFEAH | 優先順位指定フラグ・レジスタ1L ^注 | PR1 PR1L | 優先順位指定フラグ・レジスタ1L | | PR1 PR1L | |
| FFFBH | プロセッサ・クロック・コントロール・レジスタ ^注 | PCC | プロセッサ・クロック・コントロール・レジスタ | | PCC | |

注 ビット設定が異なります。

3.3 78K0/KC2 (48ピン) とビット設定が異なるレジスタ

3.3.1 ポート・モード・レジスタ

μPD78F807x

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|------|---|---|------|-------|-------|-------|-------|-------|-------|-------|-----|
| PM2 | 1 | 1 | 1 | PM24 | PM23 | PM22 | PM21 | PM20 | FF22H | FFH | R/W |
| PM4 | 1 | 1 | 1 | 1 | 1 | 1 | PM41 | PM40 | FF24H | FFH | R/W |
| PM6 | 1 | 1 | 1 | 1 | PM63 | PM62 | PM61 | PM60 | FF26H | FFH | R/W |
| PM7 | 1 | 1 | PM75 | PM74 | PM73 | PM72 | PM71 | PM70 | FF27H | FFH | R/W |
| PM12 | 1 | 1 | 1 | PM124 | PM123 | PM122 | PM121 | PM120 | FF2CH | FFH | R/W |
| PM14 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | PM140 | FF2EH | FFH | R/W |

- 注意1. PM2のビット5 - 7には、必ず1を設定してください。
- PM4のビット2 - 7には、必ず1を設定してください。また、PM4のビット0, 1には、必ず0を設定してください。
 - PM6のビット4 - 7には、必ず1を設定してください。また、PM6のビット2, 3には、必ず0を設定してください。
 - PM7のビット6, 7には、必ず1を設定してください。また、PM7のビット1 - 5には、必ず0を設定してください。
 - PM12のビット5 - 7には、必ず1を設定してください。また、PM12のビット3, 4には、必ず0を設定してください。
 - PM14のビット1 - 7には、必ず1を設定してください。また、PM14のビット0には、必ず0を設定してください。

78K0/KC2

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|------|------|------|------|-------|-------|-------|-------|-------|-------|-------|-----|
| PM2 | PM27 | PM26 | PM25 | PM24 | PM23 | PM22 | PM21 | PM20 | FF22H | FFH | R/W |
| PM4 | 1 | 1 | 1 | 1 | 1 | 1 | PM41 | PM40 | FF24H | FFH | R/W |
| PM6 | 1 | 1 | 1 | 1 | PM63 | PM62 | PM61 | PM60 | FF26H | FFH | R/W |
| PM7 | 1 | 1 | PM75 | PM74 | PM73 | PM72 | PM71 | PM70 | FF27H | FFH | R/W |
| PM12 | 1 | 1 | 1 | PM124 | PM123 | PM122 | PM121 | PM120 | FF2CH | FFH | R/W |
| PM14 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | PM140 | FF2EH | FFH | R/W |

3.3.2 ポート・レジスタ

μPD78F807x

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|-----|---|---|---|-----|-----|------|------|------|-------|-------------|-----|
| P2 | 0 | 0 | 0 | P24 | P23 | P22 | P21 | P20 | FF02H | 00H (出力ラッチ) | R/W |
| P6 | 0 | 0 | 0 | 0 | 0 | 0 | P61 | P60 | FF06H | 00H (出力ラッチ) | R/W |
| P7 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | P70 | FF07H | 00H (出力ラッチ) | R/W |
| P12 | 0 | 0 | 0 | 0 | 0 | P122 | P121 | P120 | FF0CH | 00H (出力ラッチ) | R/W |

- 注意1. P2のビット5 - 7には、必ず0を設定してください。
2. P6のビット2 - 7には、必ず0を設定してください。
 3. P7のビット1 - 7には、必ず0を設定してください。
 4. P12のビット3 - 7には、必ず0を設定してください。

78K0/KC2

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|-----|-----|-----|-----|------|------|------|------|------|-------|-------------|-----|
| P2 | P27 | P26 | P25 | P24 | P23 | P22 | P21 | P20 | FF02H | 00H (出力ラッチ) | R/W |
| P6 | 0 | 0 | 0 | 0 | P63 | P62 | P61 | P60 | FF06H | 00H (出力ラッチ) | R/W |
| P7 | 0 | 0 | P75 | P74 | P73 | P72 | P71 | P70 | FF07H | 00H (出力ラッチ) | R/W |
| P12 | 0 | 0 | 0 | P124 | P123 | P122 | P121 | P120 | FF0CH | 00H (出力ラッチ) | R/W |

3.3.3 プルアップ抵抗オプション・レジスタ

μPD78F807x

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|------|---|---|---|---|---|---|---|------|-------|-------|-----|
| PU4 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | FF34H | 00H | R/W |
| PU7 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PU70 | FF37H | 00H | R/W |
| PU14 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | FF3EH | 00H | R/W |

- 注意1. PU4のビット0-7には、必ず0を設定してください。
2. PU7のビット1-7には、必ず0を設定してください。
 3. PU14のビット0-7には、必ず0を設定してください。

78K0/KC2

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|------|---|---|------|------|------|------|------|-------|-------|-------|-----|
| PU4 | 0 | 0 | 0 | 0 | 0 | 0 | PU41 | PU40 | FF34H | 00H | R/W |
| PU7 | 0 | 0 | PU75 | PU74 | PU73 | PU72 | PU71 | PU70 | FF37H | 00H | R/W |
| PU14 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PU140 | FF3EH | 00H | R/W |

3.3.4 アナログ入力チャネル指定レジスタ

μPD78F807x

アドレス：FF29H リセット時：00H R/W

| | | | | | | | | |
|-----|---|---|---|---|---|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADS | 0 | 0 | 0 | 0 | 0 | ADS2 | ADS1 | ADS0 |

| ADS2 | ADS1 | ADS0 | アナログ入力チャネルの指定 |
|------|------|------|---------------|
| 0 | 0 | 0 | ANI0 |
| 0 | 0 | 1 | ANI1 |
| 0 | 1 | 0 | ANI2 |
| 0 | 1 | 1 | ANI3 |
| 1 | 0 | 0 | ANI4 |
| 1 | 0 | 1 | 設定禁止 |
| 1 | 1 | 0 | 設定禁止 |
| 1 | 1 | 1 | 設定禁止 |

注意 ビット3-7には必ず0を設定してください。

78K0/KC2

アドレス：FF29H リセット時：00H R/W

| | | | | | | | | |
|-----|---|---|---|---|---|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADS | 0 | 0 | 0 | 0 | 0 | ADS2 | ADS1 | ADS0 |

| ADS2 | ADS1 | ADS0 | アナログ入力チャネルの指定 |
|------|------|------|---------------|
| 0 | 0 | 0 | ANI0 |
| 0 | 0 | 1 | ANI1 |
| 0 | 1 | 0 | ANI2 |
| 0 | 1 | 1 | ANI3 |
| 1 | 0 | 0 | ANI4 |
| 1 | 0 | 1 | ANI5 |
| 1 | 1 | 0 | ANI6 |
| 1 | 1 | 1 | ANI7 |

注意 ビット3-7には必ず0を設定してください。

3.3.5 A/Dポート・コンフィギュレーション・レジスタ

μPD78F807x

アドレス：FF2FH リセット時：00H R/W

| | | | | | | | | |
|------|---|---|---|---|---|-------|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADPC | 0 | 0 | 0 | 0 | 0 | ADPC2 | ADPC1 | ADPC0 |

| ADPC2 | ADPC1 | ADPC0 | アナログ入力 (A) / デジタル入出力 (D) の切り替え | | | | |
|-------|-------|-------|--------------------------------|--------------|--------------|--------------|--------------|
| | | | ANI4/ P24 | ANI3/ P23 | ANI2/ P22 | ANI1/ P21 | ANI0/ P20 |
| 0 | 0 | 0 | A | A | A | A | A |
| 0 | 0 | 1 | A | A | A | A | D |
| 0 | 1 | 0 | A | A | A | D | D |
| 0 | 1 | 1 | A | A | D | D | D |
| 1 | 0 | 0 | A | D | D | D | D |
| 1 | 0 | 1 | D | D | D | D | D |
| 上記以外 | | | 設定禁止 | | | | |

注意 ビット3 - 7には必ず0を設定してください。

78K0/KC2

アドレス：FF2FH リセット時：00H R/W

| | | | | | | | | |
|------|---|---|---|---|-------|-------|-------|-------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADPC | 0 | 0 | 0 | 0 | ADPC3 | ADPC2 | ADPC1 | ADPC0 |

| ADPC3 | ADPC2 | ADPC1 | ADPC0 | アナログ入力 (A) / デジタル入出力 (D) の切り替え | | | | | | | |
|-------|-------|-------|-------|--------------------------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|
| | | | | ANI7/ P27 | ANI6/ P26 | ANI5/ P25 | ANI4/ P24 | ANI3/ P23 | ANI2/ P22 | ANI1/ P21 | ANI0/ P20 |
| 0 | 0 | 0 | 0 | A | A | A | A | A | A | A | A |
| 0 | 0 | 0 | 1 | A | A | A | A | A | A | A | D |
| 0 | 0 | 1 | 0 | A | A | A | A | A | A | D | D |
| 0 | 0 | 1 | 1 | A | A | A | A | A | D | D | D |
| 0 | 1 | 0 | 0 | A | A | A | A | D | D | D | D |
| 0 | 1 | 0 | 1 | A | A | A | D | D | D | D | D |
| 0 | 1 | 1 | 0 | A | A | D | D | D | D | D | D |
| 0 | 1 | 1 | 1 | A | D | D | D | D | D | D | D |
| 1 | 0 | 0 | 0 | D | D | D | D | D | D | D | D |
| 上記以外 | | | | 設定禁止 | | | | | | | |

3.3.6 外部割り込み立ち上がりエッジ／立ち下りエッジ許可レジスタ

μPD78F807x

アドレス：FF48H リセット時：00H R/W

| | | | | | | | | |
|-----|---|---|------|------|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| EGP | 0 | 0 | EGP5 | EGP4 | EGP3 | EGP2 | EGP1 | EGP0 |

注意 ビット6, 7には必ず0を設定してください。

アドレス：FF49H リセット時：00H R/W

| | | | | | | | | |
|-----|---|---|------|------|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| EGN | 0 | 0 | EGN5 | EGN4 | EGN3 | EGN2 | EGN1 | EGN0 |

注意 ビット6, 7には必ず0を設定してください。

78K0/KC2

アドレス：FF48H リセット時：00H R/W

| | | | | | | | | |
|-----|---|------|------|------|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| EGP | 0 | EGP6 | EGP5 | EGP4 | EGP3 | EGP2 | EGP1 | EGP0 |

アドレス：FF49H リセット時：00H R/W

| | | | | | | | | |
|-----|---|------|------|------|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| EGN | 0 | EGN6 | EGN5 | EGN4 | EGN3 | EGN2 | EGN1 | EGN0 |

3.3.7 キー・リターン・モード・レジスタ

μPD78F807x

アドレス：FF6EH リセット時：00H R/W

| | | | | | | | | |
|-----|---|---|---|---|---|---|---|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| KRM | 0 | 0 | 0 | 0 | 0 | 0 | 0 | KRM0 |

注意 ビット1-7には必ず0を設定してください。

78K0/KC2

アドレス：FF6EH リセット時：00H R/W

| | | | | | | | | |
|-----|---|---|---|---|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| KRM | 0 | 0 | 0 | 0 | KRM3 | KRM2 | KRM1 | KRM0 |

3.3.8 時計用タイマ動作モード・レジスタ

μPD78F807x

アドレス：FF6FH リセット時：00H R/W

| | | | | | | | | |
|-----|---|------|------|------|------|------|-------------|-------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | $\boxed{1}$ | $\boxed{0}$ |
| WTM | 0 | WTM6 | WTM5 | WTM4 | WTM3 | WTM2 | WTM1 | WTM0 |

注意 ビット7は0固定、Read Onlyです。

78K0/KC2

アドレス：FF6FH リセット時：00H R/W

| | | | | | | | | |
|-----|------|------|------|------|------|------|-------------|-------------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | $\boxed{1}$ | $\boxed{0}$ |
| WTM | WTM7 | WTM6 | WTM5 | WTM4 | WTM3 | WTM2 | WTM1 | WTM0 |

| WTM7 | 時計用タイマのカウンタ・クロック選択 (fw) | | | | | |
|------|----------------------------------|--------------------------|--------------------------|---------------------------|---------------------------|------------|
| | f _{SUB} = 32.768 kHz | f _{PRS} = 2 MHz | f _{PRS} = 5 MHz | f _{PRS} = 10 MHz | f _{PRS} = 20 MHz | |
| 0 | f _{PRS} /2 ⁷ | — | 15.625 kHz | 39.062 kHz | 78.125 kHz | 156.25 kHz |
| 1 | f _{SUB} | 32.768 kHz | — | | | |

備考1. fw：時計用タイマ・クロック周波数 (f_{PRS}/2⁷またはf_{SUB})

- 2. f_{PRS}：周辺ハードウェア・クロック周波数
- 3. f_{SUB}：サブシステム・クロック周波数

3.3.9 クロック動作モード選択レジスタ

μPD78F807x

アドレス：FF9FH リセット時：00H R/W

| | | | | | | | | |
|--------|-------|--------|---|---|---|---|---|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OSCCTL | EXCLK | OSCSEL | 0 | 0 | 0 | 0 | 0 | AMPH |

注意 ビット4, 5には必ず0を設定してください。

78K0/KC2

アドレス：FF9FH リセット時：00H R/W

| | | | | | | | | |
|--------|-------|--------|--------|---------|---|---|---|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OSCCTL | EXCLK | OSCSEL | EXCLKS | OSCSELS | 0 | 0 | 0 | AMPH |

3.3.10 プロセッサ・クロック・コントロール・レジスタ

μPD78F807x

アドレス：FFFBH リセット時：01H R/W

| | | | | | | | | |
|-----|---|---|---|---|---|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PCC | 0 | 0 | 0 | 0 | 0 | PCC2 | PCC1 | PCC0 |

注意1. ビット5は、Read Onlyです。

2. ビット4, 6には必ず0を設定してください。

78K0/KC2

アドレス：FFFBH リセット時：01H R/W

| | | | | | | | | |
|-----|---|---------|-----|-----|---|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PCC | 0 | XTSTART | CLS | CSS | 0 | PCC2 | PCC1 | PCC0 |

注意 ビット5は、Read Onlyです。

3.3.11 IICクロック選択レジスタ0

μPD78F807x

アドレス：FFA8H リセット時：00H R/W

| | | | | | | | | |
|--------|---|---|------|------|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| IICCL0 | 0 | 0 | CLD0 | DAD0 | SMC0 | DFC0 | CL01 | CL00 |

選択クロックの設定

| IICX0 | IICCL0 | | | | 選択クロック (fw) | 転送クロック (fw/m) | 設定可能な選択クロック (fw) の範囲 | 動作モード |
|-------|--------|------|------|-------------|----------------|-------------------|-------------------------|-------|
| | ビット0 | ビット3 | ビット1 | ビット0 | | | | |
| | CLX0 | SMC0 | CL01 | CL00 | | | | |
| 0 | 0 | 0 | 0 | $f_{PRS}/2$ | fw/44 | 2.00 MHz~4.19 MHz | 標準モード (SMC0ビット = 0) | |
| 0 | 0 | 0 | 1 | $f_{PRS}/2$ | fw/86 | 4.19 MHz~8.38 MHz | | |
| 0 | 0 | 1 | 0 | $f_{PRS}/4$ | fw/86 | | | |
| 0 | 0 | 1 | 1 | 設定禁止 | | | | |
| 0 | 1 | 0 | x | $f_{PRS}/2$ | fw/24 | 4.00 MHz~8.38 MHz | 高速モード (SMC0ビット = 1) | |
| 0 | 1 | 1 | 0 | $f_{PRS}/4$ | fw/24 | | | |
| 0 | 1 | 1 | 1 | 設定禁止 | | | | |
| 1 | 0 | x | x | 設定禁止 | | | | |
| 1 | 1 | 0 | x | $f_{PRS}/2$ | fw/12 | 4.00 MHz~4.19 MHz | 高速モード (SMC0ビット = 1) | |
| 1 | 1 | 1 | 0 | $f_{PRS}/4$ | fw/12 | | | |
| 1 | 1 | 1 | 1 | 設定禁止 | | | | |

78K0/KC2

アドレス：FFA8H リセット時：00H R/W

| | | | | | | | | |
|--------|---|---|------|------|------|------|------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| IICCL0 | 0 | 0 | CLD0 | DAD0 | SMC0 | DFC0 | CL01 | CL00 |

選択クロックの設定

| IICX0 | IICCL0 | | | | 選択クロック (fw) | 転送クロック (fw/m) | 設定可能な選択クロック (fw) の範囲 | 動作モード |
|-------|--------|------|------|--------------|----------------|-------------------|-------------------------|-------|
| | ビット0 | ビット3 | ビット1 | ビット0 | | | | |
| | CLX0 | SMC0 | CL01 | CL00 | | | | |
| 0 | 0 | 0 | 0 | $f_{PRS}/2$ | fw/44 | 2.00 MHz~4.19 MHz | 標準モード (SMC0ビット = 0) | |
| 0 | 0 | 0 | 1 | $f_{PRS}/2$ | fw/86 | 4.19 MHz~8.38 MHz | | |
| 0 | 0 | 1 | 0 | $f_{PRS}/4$ | fw/86 | | | |
| 0 | 0 | 1 | 1 | f_{EXSCL0} | fw/66 | 6.4 MHz | | |
| 0 | 1 | 0 | x | $f_{PRS}/2$ | fw/24 | 4.00 MHz~8.38 MHz | 高速モード (SMC0ビット = 1) | |
| 0 | 1 | 1 | 0 | $f_{PRS}/4$ | fw/24 | | | |
| 0 | 1 | 1 | 1 | f_{EXSCL0} | fw/18 | 6.4 MHz | | |
| 1 | 0 | x | x | 設定禁止 | | | | |
| 1 | 1 | 0 | x | $f_{PRS}/2$ | fw/12 | 4.00 MHz~4.19 MHz | 高速モード (SMC0ビット = 1) | |
| 1 | 1 | 1 | 0 | $f_{PRS}/4$ | fw/12 | | | |
| 1 | 1 | 1 | 1 | 設定禁止 | | | | |

備考1. x : don't care

2. f_{PRS} : 周辺ハードウェア・クロック周波数

3. f_{EXSCL0} : EXSCL0端子からの外部クロック周波数

3.3.12 割り込み要求フラグ・レジスタ (IF1L)

μPD78F807x

アドレス : FFE2H リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|---|---|------|------|--------|-------|-------|------|
| IF1L | 0 | 0 | WTIF | KRIF | TMIF51 | WTIIF | SRIF0 | ADIF |

注意 ビット6, 7には必ず0を設定してください。

78K0/KC2

アドレス : FFE2H リセット時 : 00H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|---|------|------|------|--------|-------|-------|------|
| IF1L | 0 | PIF6 | WTIF | KRIF | TMIF51 | WTIIF | SRIF0 | ADIF |

3.3.13 割り込みマスク・フラグ・レジスタ (MK1L)

μPD78F807x

アドレス : FFE6H リセット時 : 01H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|---|---|------|------|--------|-------|-------|------|
| MK1L | 1 | 1 | WTMK | KRMK | TMMK51 | WTIMK | SRMK0 | ADMK |

注意1. ビット6, 7には必ず1を設定してください。

78K0/KC2

アドレス : FFE6H リセット時 : 01H R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|---|------|------|------|--------|-------|-------|------|
| MK1L | 1 | PMK6 | WTMK | KRMK | TMMK51 | WTIMK | SRMK0 | ADMK |

3.3.14 優先順位指定フラグ・レジスタ (PR1L)

μPD78F807x

アドレス : FFEAH リセット時 : 00H R/W

| | | | | | | | | |
|------|---|---|------|------|--------|-------|-------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PR1L | 1 | 1 | WTPR | KRPR | TMPR51 | WTIPR | SRPR0 | ADPR |

注意 ビット6, 7には必ず1を設定してください。

78K0/KC2

アドレス : FFEAH リセット時 : 00H R/W

| | | | | | | | | |
|------|---|------|------|------|--------|-------|-------|------|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PR1L | 1 | PPR6 | WTPR | KRPR | TMPR51 | WTIPR | SRPR0 | ADPR |

第4章 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にデバイスを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にデバイスを実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは、（株）内藤電誠町田製作所の製品です。

表4-1 専用フラッシュ・メモリ・プログラマの配線表

| 専用フラッシュ・メモリ・プログラマ接続端子 | | | CSI10使用時 | | UART6使用時 | |
|-----------------------|-----|---------------------------|-------------------|------------------------|-------------------|------------------------|
| 信号名 | 入出力 | 端子機能 | 端子名 | ピン番号 | 端子名 | ピン番号 |
| | | | | 64ピン | | 64ピン |
| SI/RxD | 入力 | 受信信号 | SO10/P12 | 24 | TxD6/P13 | 23 |
| SO/TxD | 出力 | 送信信号 | SI10/RxD0/P11 | 25 | RxD6/P14 | 22 |
| SCK | 出力 | 転送クロック | SCK10/TxD0/P10 | 26 | — | — |
| CLK | 出力 | マイコンへのクロック | 注 ¹ | - | 注 ² | 注 ² |
| /RESET | 出力 | リセット信号 | RESET | 5 | RESET | 5 |
| FLMD0 | 出力 | モード信号 | FLMD0 | 6 | FLMD0 | 6 |
| V _{DD} | 入出力 | V _{DD} 電圧生成／電源監視 | V _{DD} | 11 | V _{DD} | 11 |
| | | | AV _{REF} | 58 | AV _{REF} | 58 |
| | | | V _{RO} | 49 | V _{RO} | 49 |
| | | | V _{RS} | 50 | V _{RS} | 50 |
| | | | SUP | 46 | SUP | 46 |
| | | | SUP1 - 6 | 29, 30, 35, 36, 41, 42 | SUP1 - 6 | 29, 30, 35, 36, 41, 42 |
| | | | MOD1 | 54 | MOD1 | 54 |
| V _{SS} | — | グラウンド | V _{SS} | 10 | V _{SS} | 10 |
| | | | AV _{SS} | 59 | AV _{SS} | 59 |
| | | | GND | 51 | GND | 51 |
| | | | GND1 - 6 | 27, 32, 33, 38, 39, 44 | GND1 - 6 | 27, 32, 33, 38, 39, 44 |
| | | | GND_DRV | 53 | GND_DRV | 53 |
| | | | MOD2 | 55 | MOD2 | 55 |
| | | | MSLP | 18 | MSLP | 18 |
| | | | SRC | 56 | SRC | 56 |
| RESET_A | 57 | RESET_A | 57 | | | |

注1. CSI10使用時は、高速内蔵発振クロック (f_{RH}) のみ使用できます。

2. UART6使用時は、X1クロック (f_X) または外部メイン・システム・クロック (f_{EXCLK}) のみ使用できます。
専用フラッシュ・メモリ・プログラマのクロック・アウトを使用する場合、専用フラッシュ・メモリ・プログラマの種類により、接続する端子が異なります。

・PG-FP5, FL-PR5 : プログラムのCLKとEXCLK/X2/P122を接続してください。

第5章 電源回路

5.1 電源機能

電源回路は、12V系のバッテリー供給電圧から5V（TYP.）電圧を生成するシリーズ・レギュレータです。次の機能を搭載しています。

- ・レギュレータ出力機能
- ・外部センサ用電源出力機能
- ・過電流保護機能
- ・低電圧検出回路
- ・外付けドロップパー補助機能

5.2 レギュレータ出力機能

レギュレータ出力機能は、12V系のバッテリー供給電圧から5V（TYP.）電圧を生成する機能です。

5.3 外部センサ用電源出力機能

外部センサ用電源出力機能は、レギュレータ出力電圧5V（TYP.）から外部センサ用電圧を生成する機能です。システム・コントロール・レジスタ（SC）のSVDDONビットにより、出力制御することができます。

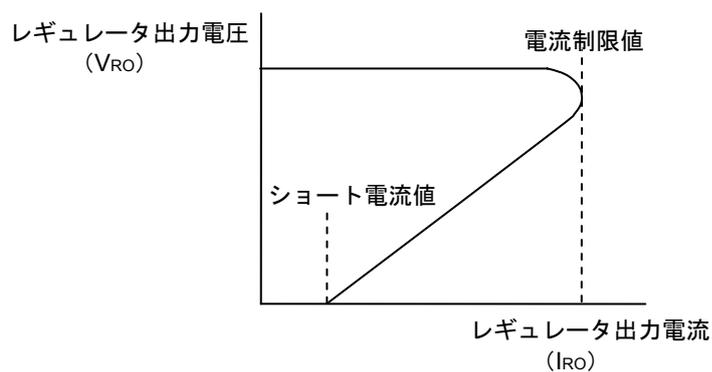
5.4 過電流保護機能

負荷ショートなどの要因により、レギュレータ出力に過電流が流れた場合、電流制限を行い保護する回路です。過電流が流れなくなった場合、自動的に復帰します。また、外部センサ用電源出力に過電流が流れた場合、システム・コントロール・レジスタ（SC）のSVDDビットをクリアし、出力を強制OFFします。外部センサ用電源出力での過電流状態は、システム・ステータス・レジスタ（SS）のSVDDOCビットから確認することができます。

レギュレータ出力電流制限値：51 mA（MIN., $7V \leq VSUP \leq 19V$ ）、26 mA（MIN., $6V \leq VSUP < 7V$ ）
SVDD出力シャット・ダウン電流値：21 mA（MIN.）

注意 外付けドロップパー補助機能使用時は、レギュレータ出力の過電流保護機能はありません。

図5-1 レギュレータ出力電流制限特性



5.5 低電圧検出回路

負荷ショートなどの要因により、レギュレータ出力電圧の低下を検出するための機能です。レギュレータ出力電圧状態は、システム・ステータス・レジスタのLVIビットから確認できます。

低電圧検出値：4.2V (TYP.)

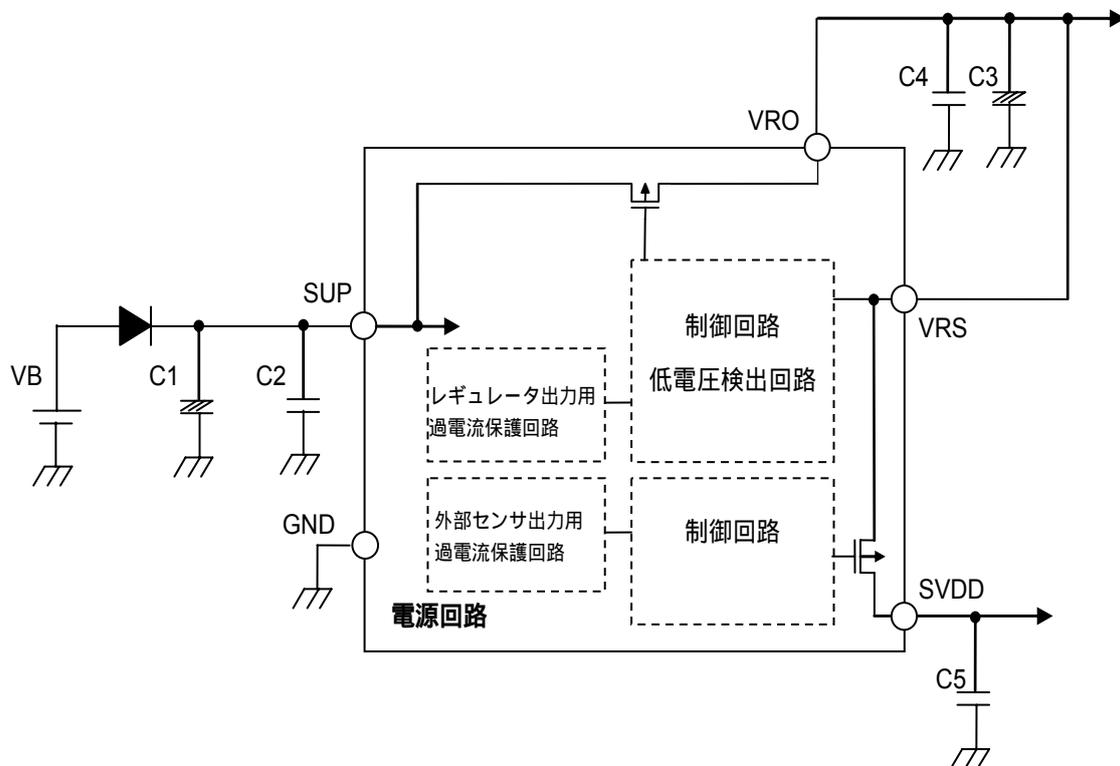
5.6 外付けドロップパー補助機能

出力電流に応じて、5Vを出力するドロップパーに、外付けドロップパ (NPNトランジスタ) を使用し出力電流能力を拡張するための補助機能です。

出力電流：2SD1584使用時、150 mA (MIN.)

注意 外付けドロップパー補助機能使用時は、レギュレータ出力の過電流保護機能はありません。

図5-2 内蔵Pch-MOS使用時の電源回路アプリケーション例



外付け容量推奨値

C1 ≥ 33 μF

C2 ≥ 0.01 μF

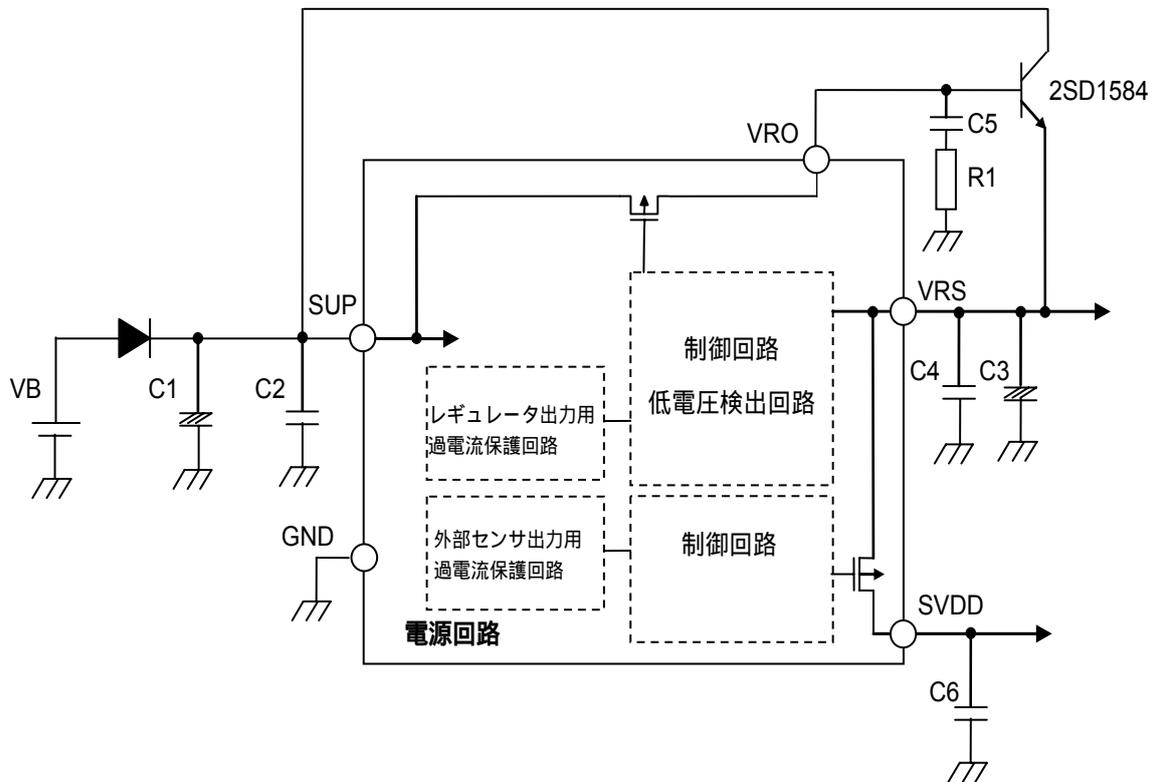
4.7 μF ≤ C3 ≤ 100 μF

C4 ≥ 0.01 μF

C5 0.01 μF

注意 SUP-GND端子間およびVRO-GND端子間のセラミック・コンデンサ (C2, C4) は、SUP端子およびVRO端子近傍に配置し配線を極力短くしてください。

図5-3 外付けNPNトランジスタ使用時の電源回路アプリケーション例



外付け容量および抵抗推奨値

- C1 ≥ 33 μF
- C2 ≥ 0.01 μF
- 4.7 μF ≤ C3 ≤ 100 μF
- C4 ≥ 0.01 μF
- C5 : TBD
- R1 : TBD
- C6 ≤ 0.01 μF

- 注意1 SUP-GND端子間およびVRS-GND端子間のセラミック・コンデンサ (C2, C4) は、SUP端子およびVRS端子近傍に配置し配線を極力短くしてください。
- 2 外付けNPNトランジスタは、VRO, VRS, SUP端子近傍に配置し、ベース, エミッタ, コレクタ配線を極力短くしてください。
- 3 VRO-GND端子間のセラミック・コンデンサ (C5) と抵抗 (R1) はVRO端子近傍に配置し配線を極力短くしてください。

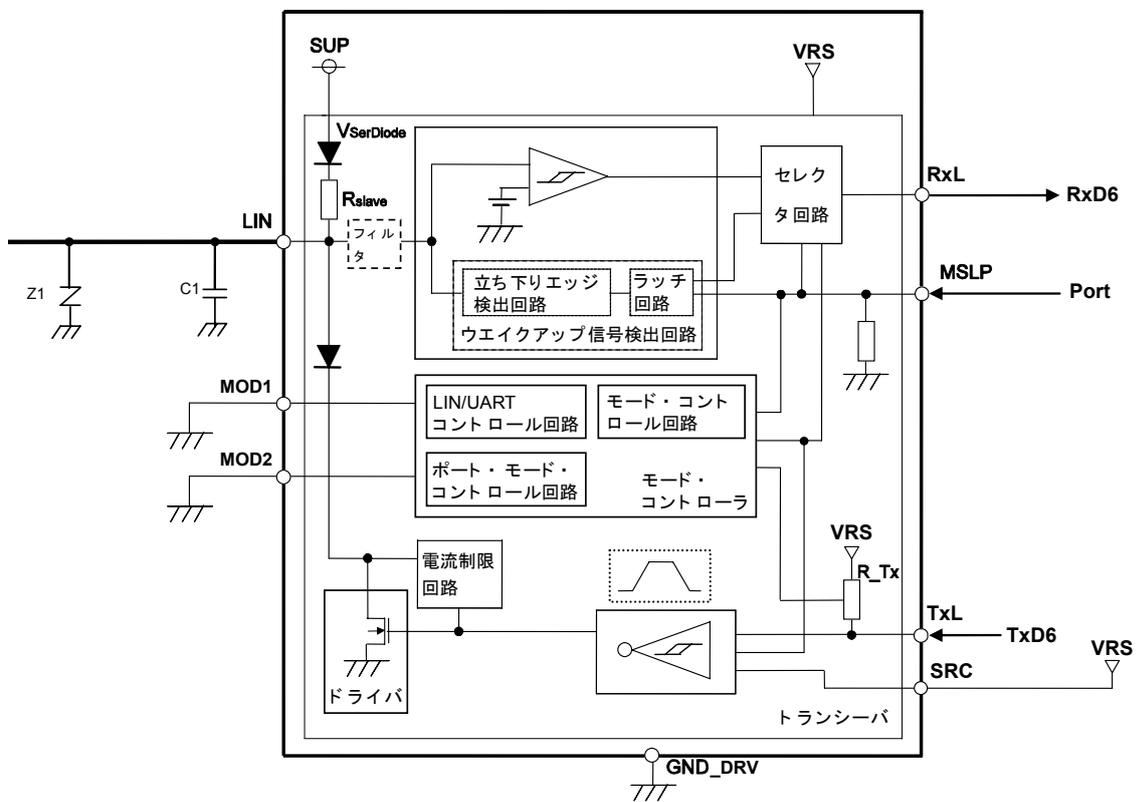
第6章 LINトランシーバ回路

6.1 LINトランシーバ機能

LINトランシーバ機能および電気的特性は、LIN Specification Rev.2.0, 2.1に準拠しています。次の機能を搭載しています。

- ・スリープ機能
- ・過電流保護機能

図6-1 LINトランシーバ回路アプリケーション例

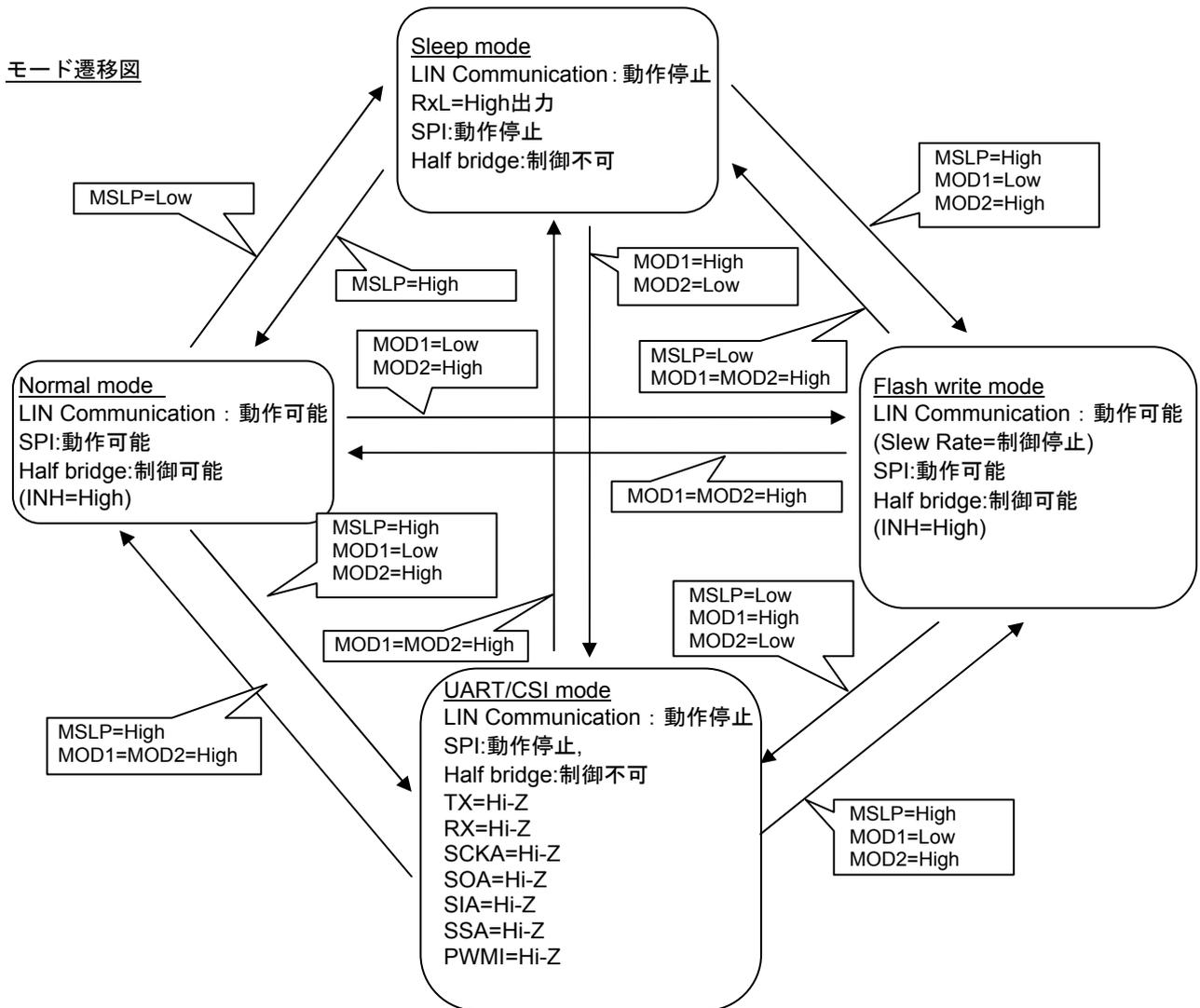


備考1. RxLとRxD6, TxLとTxD6は、パッケージ内部で接続されています。

2. LIN端子には、スレーブ用プルアップ抵抗とダイオードが内蔵されています。

6.2 動作モード

図6-2 動作モード状態遷移図



端子設定

表6-1 LIN動作モード設定

| LIN動作モード | スルー・レート | ポート・モード ^注 | MSLP | SRC | MOD1 | MOD2 |
|---------------|---------|----------------------|------|-----|------|------|
| LIN sleep | — | ポート・モードA | L | X | H | H |
| LIN normal | Fast | ポート・モードA | H | H | H | H |
| | Slow | ポート・モードA | H | L | H | H |
| Flash write | OFF | ポート・モードA | H | X | L | H |
| UART/CSI mode | — | ポート・モードB | L | X | H | L |

注 ポート・モードにおける端子状態は、表6-2 各ポート・モードの機能端子状態を参照してください。

注意 MOD1 = MOD2 = Lowは設定禁止です。

備考 × : Don't Care

表6-2 各ポート・モードの機能端子状態

| ポート・モード | INH | SCKA | SOA | SIA | SSA | PWMI | TxL | RxL | アナログ機能の状態 |
|----------|---------|---------|--------------------|---------|---------|---------|---------|------|--|
| ポート・モードA | プルアップ入力 | プルダウン入力 | 出力/ Hi-Z(Sleep) | プルダウン入力 | プルアップ入力 | プルダウン入力 | プルアップ入力 | 出力 | Normal/Flash writeモード時、SPI通信動作可能 |
| ポート・モードB | Hi-Z | Hi-Z | Hi-Z | Hi-Z | Hi-Z | Hi-Z | Hi-Z | Hi-Z | SPI通信およびLINトランシーバ動作停止 (P10, P11, P12, P13, P14, P15, P16は、マクロコントローラ機能部の端子機能のみ使用可能) |

表6-3 各アナログ機能ブロックの動作状態

| 機能ブロック | | Normal mode | Sleep mode | UART/CSI mode | Flash write mode |
|--------------------------|----------------------|--|---|--|--|
| 電源回路 | レギュレータ出力 | 動作可能 | 動作可能 | 動作可能 | 動作可能 |
| | 外部センサ用電源出力 | 制御可能 | 制御不可 (Sleep mode移行前の出力状態を保持) | 制御不可 (UART/CSI mode移行前の出力状態を保持) | 制御可能 |
| | 低電圧検出回路 | 動作可能 | 動作可能 | 動作可能 | 動作可能 |
| | 過電流保護回路 ^注 | 動作可能 | 動作可能 | 動作可能 | 動作可能 |
| LINトランシーバ回路 | | 動作可能 | 動作停止 (LIN : レセツシブ) | 動作停止 (LIN : レセツシブ) | 動作可能 |
| ハーフ・ブリッジ回路 | | INH=High : 制御可能 INH=Low : 制御不可 (Hi-Z) | 制御不可 (INH=Highの場合、Sleep mode移行前の出力状態を保持。 INH=Lowの場合、Hi-Z) | 制御不可 (INH=Highの場合、UART/CSI mode移行前の出力状態を保持。 INH=Lowの場合、Hi-Z) | INH=High : 制御可能 INH=Low : 制御不可 (Hi-Z) |
| | 過電流保護回路 | 動作可能 | 動作停止 | 動作停止 | 動作可能 |
| SPI & PWM制御回路 | | 制御可能 | 動作停止 | 動作停止 | 制御可能 |
| アナログ・パワーオン・クリア (POCA) 回路 | | 動作可能 | 動作可能 | 動作可能 | 動作可能 |
| 過熱保護機能 | | 動作可能 | 動作停止 | 動作停止 | 動作可能 |

注 5V出力ドロップパーに内蔵Pch-MOSを使用する場合のみ。

・ Sleep mode

MSLP = Low, MOD1 = MOD2 = Highとなった場合、Sleep modeに移行します（MSLP端子は内部でプルダウンされています）。

Sleep modeでのLINドライバ出力はTxL端子の入力状態に関係なくOFF（Recessive）状態となり、低消費電力状態となります。ただし、Sleep modeにおいてはLINバス・モニター機能が動作しているため、LINバスのRecessive→Dominantのエッジを検出するとRxL端子はHigh→Lowに遷移し、MSLP端子にハイ・レベルが入力され、Normal modeに移行するまで、RxL端子はロウ・レベルを保持します。

・ Normal mode

MSLP = High, MOD1 = MOD2 = Highとなった場合、Normal modeに移行します。

Normal modeではTxL端子をハイ・レベルにするとLINドライバ出力はRecessive状態となり、TxL端子をロウ・レベルにするとLINドライバはDominant状態になります。

また、LINバスがDominant状態であればRxL端子はロウ・レベルを出力し、Recessive状態であればRxL端子はハイ・レベルを出力します。

Normal modeではLINバスを使用した通信が可能となります。

また、SRC端子の状態によりスルー・レートの切り替えができます。

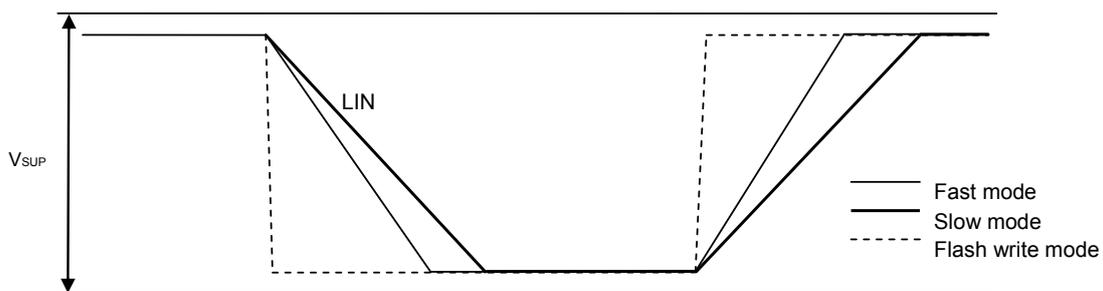
OSRC = High . . . Fast mode

対応通信ポー・レート = 20 kbpsに対応したモード

OSRC = Low . . . Slow mode

対応通信ポー・レート = 10.4 kbps に対応したモード

図6-2 スルー・レートの応答タイミング



・ Flash write mode

MSLP = High, MOD1 = Low, MOD2 = Highとなった場合, Flash write modeに移行します。

対応通信ボー・レート = 100 kbpsに対応したモードで, これを用いることによりLINバス経由での高速通信によるフラッシュROMの書き込みができます。

注意 Flash write modeはスルー・レート・モードの設定機能はありません。

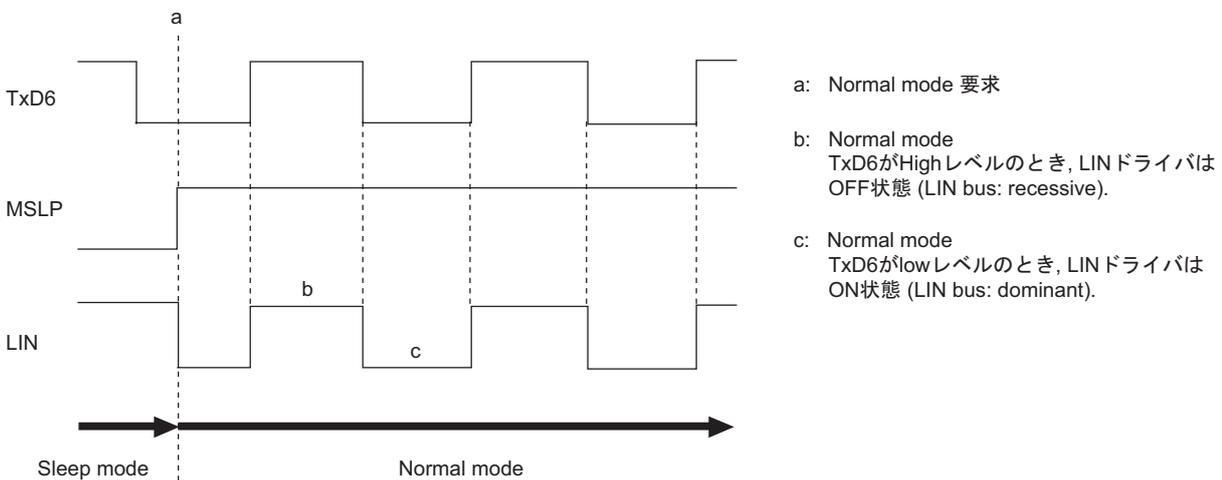
・ UART/CSI mode

MSLP = Low, MOD1 = High, MOD2 = Lowとなった場合, UART/CSIモードに移行します。

UART6経由もしくはCSI10経由でのオンボード・フラッシュROMの書き込みができます。

図6-3 Normal Mode タイミング・チャート

(a) Normal mode 送信動作 (TxD6→LIN)



(b) Normal mode 受信動作 (LIN→RxD6)

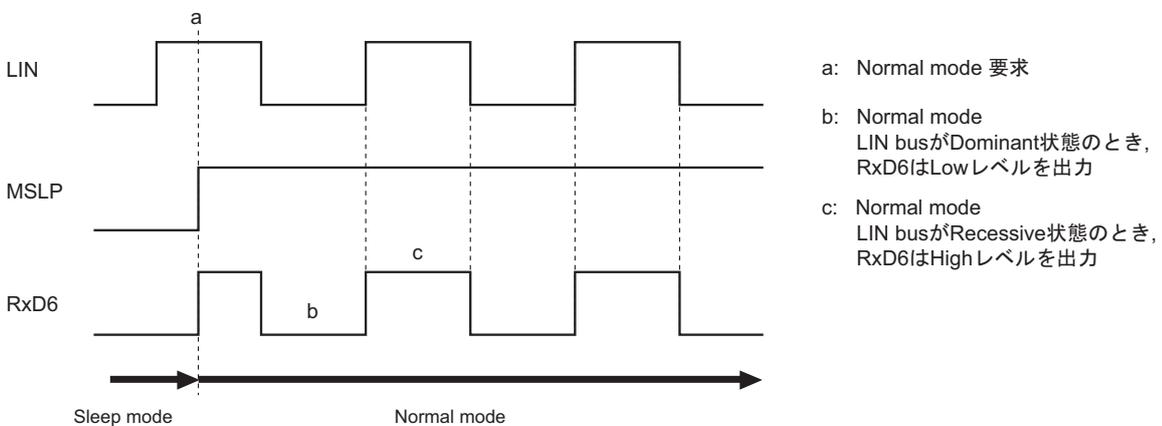
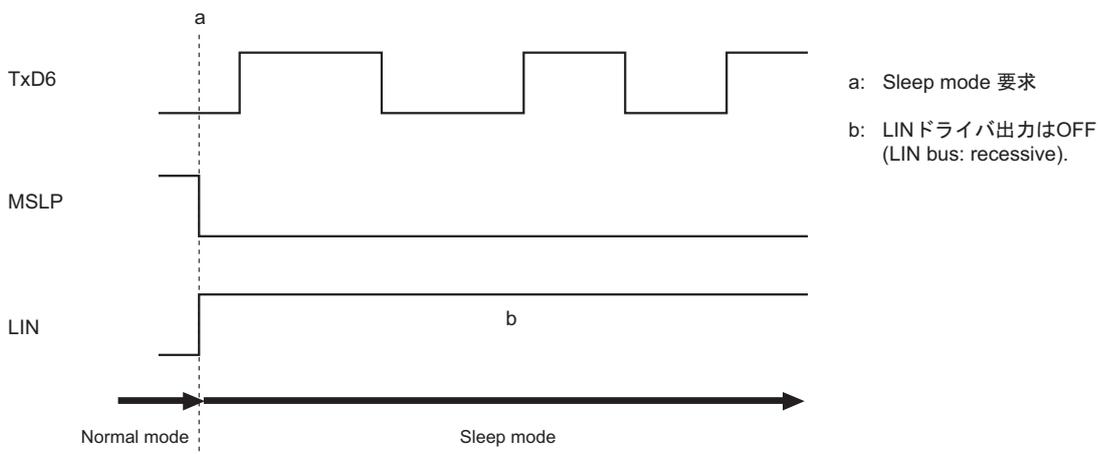
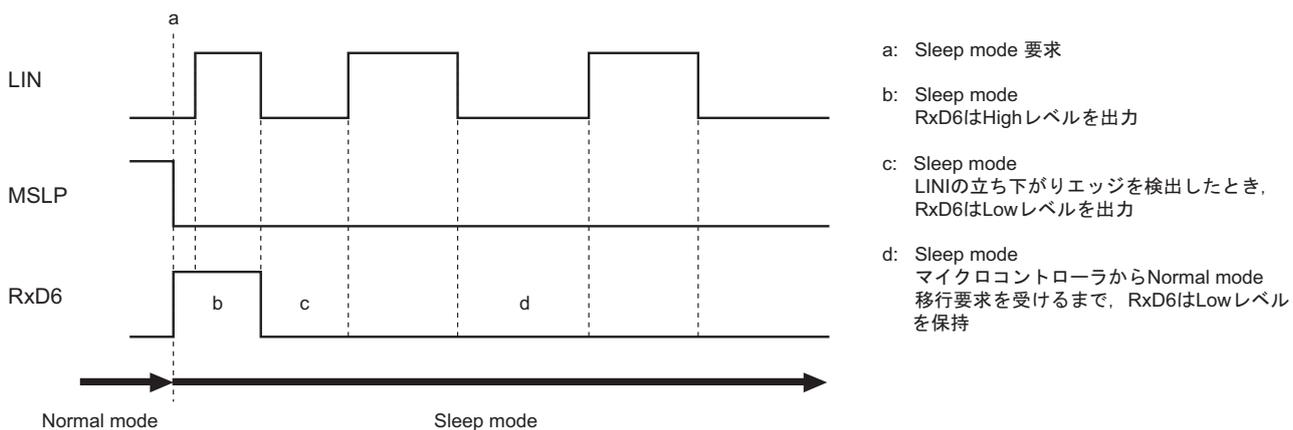


図6-4 Sleep Mode タイミング・チャート

(a) Sleep mode 送信動作 (TxD6→LIN)



(b) Sleep mode 受信動作 (LIN→RxD6)



6.3 過電流保護機能

負荷ショートなどの要因により、LINドライバに過電流が流れた場合、LINドライバを強制的にOFF (Recessive) 状態にし、LINドライバを保護する回路です。LINドライバの過電流状態は、システム・ステータス・レジスタ (SS) のLOCビットで確認することができます。

過電流を検知後、LIN BusをOFF (Recessive) 状態で保持しますが、TxL端子にHighレベルを入力することで復帰します。

電流制限値 : 40 mA (MIN.)

第7章 ハーフ・ブリッジ回路

ハーフ・ブリッジ回路には、ハーフ・ブリッジ・ドライバを6 ch搭載しています。

ハーフ・ブリッジ回路を使用する場合は、MSLP = H, INH = H, ポート・モードAに設定してください。

7.1 ハーフ・ブリッジ・ドライバ

- ・ HBO : 6 ch

用途：小型モータ駆動用ハーフ・ブリッジ・ドライバとして使用できます。

出力制御は、MSLP=ハイ・レベルかつINH=ハイ・レベルとなった場合，システム・コントロール・レジスタ（SC），ハーフ・ブリッジ制御レジスタ（HBC），PWM入力制御レジスタ（PICL）で制御できます。また、ハーフ・ブリッジ・ドライバのロー・サイドMOSFETをPWM制御する場合は、PWM入力制御レジスタ（PICL）で入力するロー・サイドMOSFETの選択ができます。PWM制御信号は、PWMI端子から入力します。

INH端子=ハイ・レベルからロー・レベルが入力された場合、ハーフ・ブリッジ制御レジスタ（HBC）およびPWM入力制御レジスタ（PICL）をクリアし、全ハーフ・ブリッジ・ドライバの出力をOFFします。INH=ロー・レベル時のハーフ・ブリッジ制御レジスタ（HBC），PWM入力制御レジスタ（PICL）への書き込みは無視されます。

Sleep mode中のハーフ・ブリッジ・ドライバの出力状態は、Sleep mode移行前の状態を保持します。ただし、ハイ・サイド・ドライバをオン状態でSleep modeへ移行した場合、Sleep mode中に内蔵チャージポンプ回路が停止するため、該当ハーフ・ブリッジ・ドライバの出力状態はHi-Zとなります。

注意 INH端子=ハイ・レベルからローレベル入力により，ハーフ・ブリッジ制御レジスタ（HBC）およびPWM入力制御レジスタ（PICL）のリセットを行う場合，INH端子に10 μ s以上のロー・レベルを入力してください。

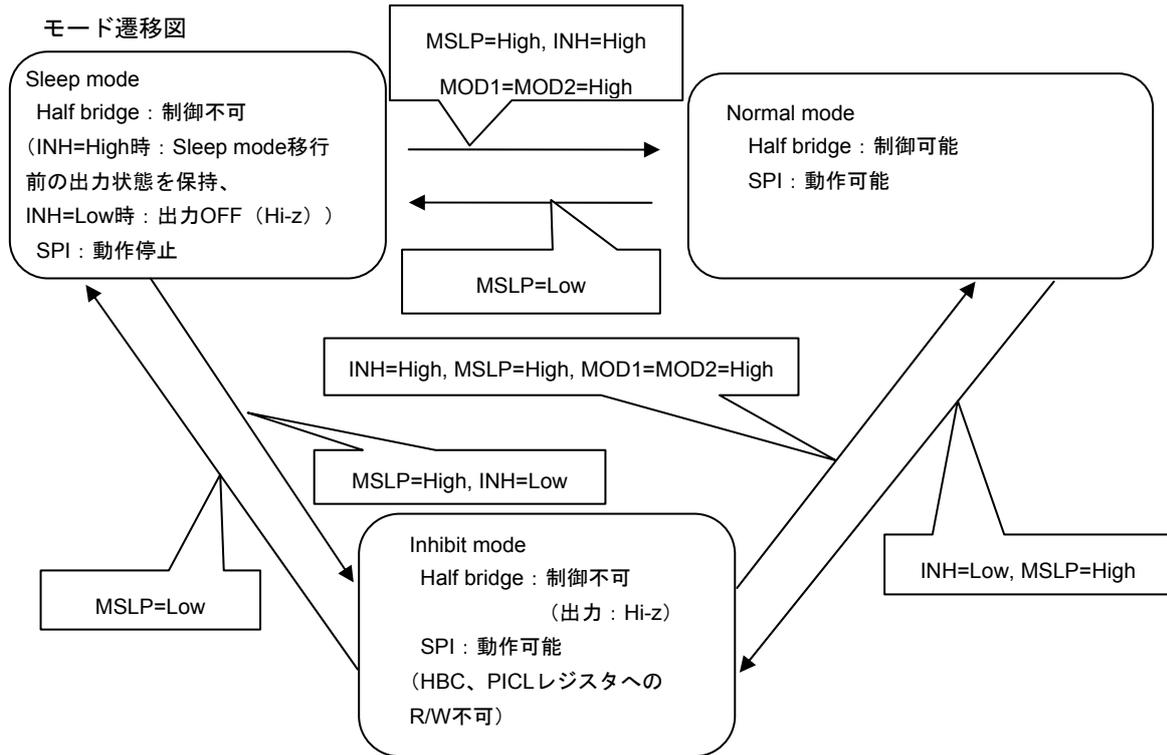


表7-1 Inhibit mode中の動作状態

| 機能ブロック | | Inhibit mode |
|--------------------------|------------|---------------------|
| 電源回路 | レギュレータ出力 | 動作可能 |
| | 外部センサ用電源出力 | 動作可能 |
| | 低電圧検出回路 | 動作可能 |
| | 過電流保護回路 | 動作可能 |
| LINトランシーバ | | 動作可能 |
| ハーフ・ブリッジ回路 | | 制御不可 (出力OFF (Hi-Z)) |
| SPI & PWM制御回路 | | 動作可能 |
| アナログ・パワーオン・クリア (POCA) 回路 | | 動作可能 |
| 過熱保護機能 | | 動作可能 |

7.2 過電流保護機能

ハーフ・ブリッジ・ドライバは、保護機能として、過電流保護回路を内蔵しています。

過電流保護回路は、負荷ショートなどの要因により、ハーフ・ブリッジ・ドライバにて過電流検出電流値（ハイ・サイドMOS FET Max: - 1.4A, ロー・サイドMOS FET Min: 1.4A）を検出した場合ハーフ・ブリッジ・ドライバの出力を強制OFFし保護する回路です。システム・コントロール・レジスタ（SC）のHBOCSビットから、過電流発生時の保護対象チャネルを選択することができます。システム・コントロール・レジスタ（SC）のHBOCSビット=0の時、HBO1 – HBO3のいずれかで過電流が発生した場合、ハーフ・ブリッジ制御レジスタ（HBC）のビット4 – 9とPWM入力制御レジスタ（PICL）のビット2-4をクリアし、HBO1 – HBO3の出力を強制的にOFFします。HBO4 – HBO6のいずれかで過電流が発生した場合、ハーフ・ブリッジ制御レジスタ（HBC）のビット10 – 15とPWM入力制御レジスタ（PICL）のビット5-7をクリアし、HBO4 – HBO6の出力を強制的にOFFします。システム・コントロール・レジスタ（SC）のHBOCSビット=1の場合、ハーフ・ブリッジ制御レジスタ（HBC）、PWM入力制御レジスタ（PICL）をクリアし、全てのハーフ・ブリッジ・ドライバの出力を強制的にOFFにします。ハーフ・ブリッジ・ドライバの過電流状態は、システム・ステータス・レジスタ（SS）およびハーフ・ブリッジ・ステータス・レジスタ（HBS）から確認できます。

注意1 ハーフ・ブリッジ回路に内蔵している過電流保護機能は、異常時におけるデバイスの保護を目的としていません。積極的な使用は避けてください。

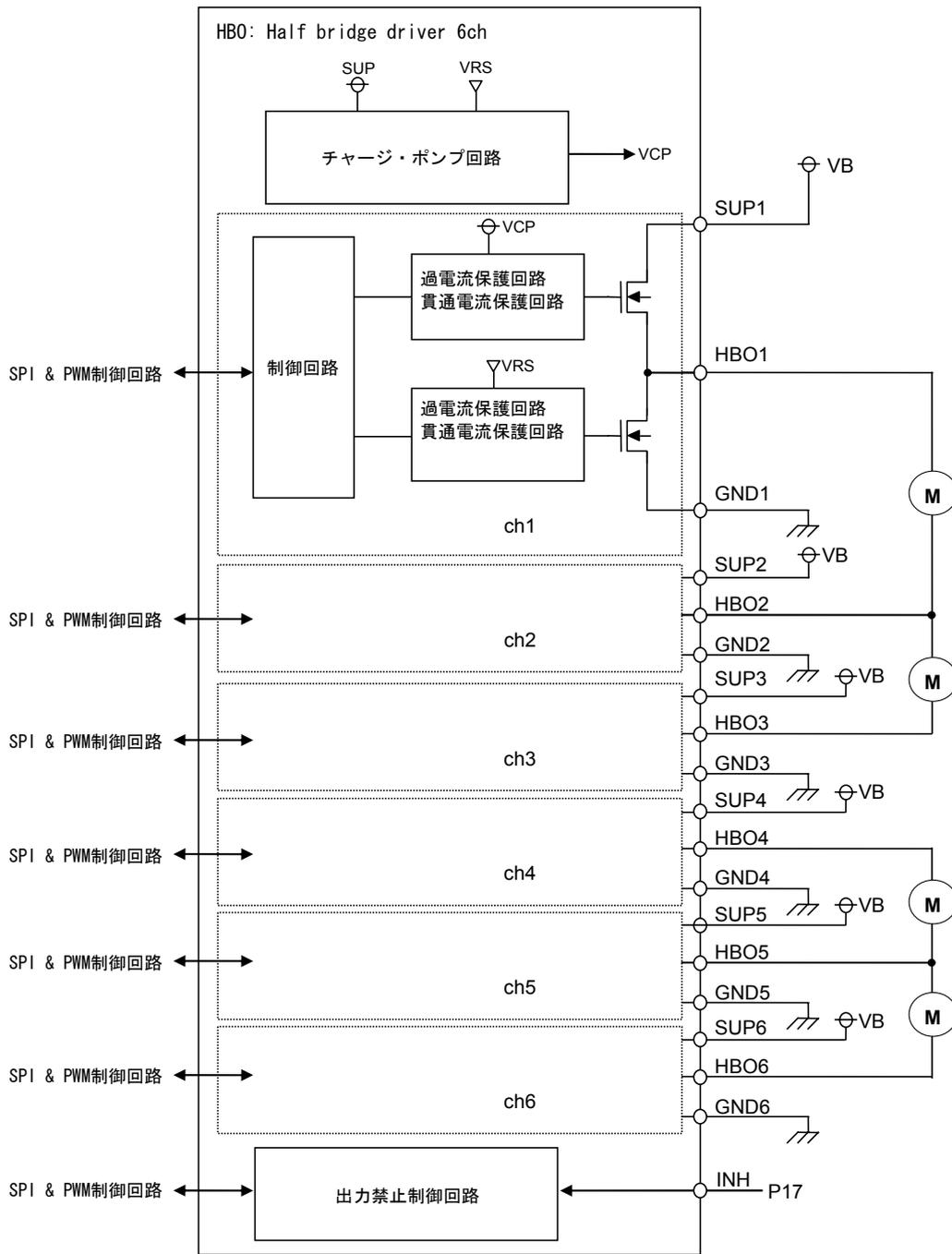
7.3 貫通電流保護機能

ハーフ・ブリッジ・ドライバは、保護機能として、貫通電流保護機能（デッド・タイム生成回路）が搭載されています。

貫通電流保護機能（デッド・タイム生成回路）は、ハーフ・ブリッジ制御レジスタ（HBC）への書き込みデータを受信し、HBnH および HBnLが0から1となるデータをラッチ後、スイッチング・ディレイ時間（Typ: TBD μ s）後、ハーフ・ブリッジ・ドライバから出力されます。

備考 n = 1 - 6

図7-1 ハーフ・ブリッジ回路のアプリケーション例



注意 SUPとSUP1-SUP6、GNDとGND1-GND6、GND_DRVは同電位としてください。

第8章 SPI & PWM制御回路

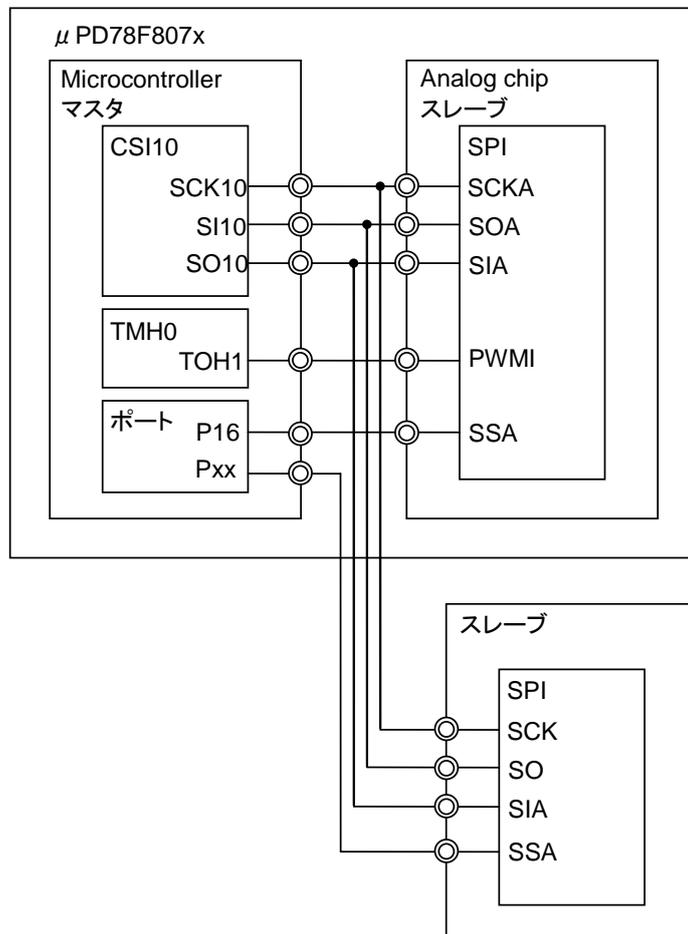
8.1 SPI & PWM制御機能

SPI & PWM制御回路は、シリアル・クロック（SCKA）とシリアル・データ（SIA, SOA）、スレーブ選択入力（SSA）の4本のラインによる、マイコンーアナログ・チップ間インターフェースとしてのクロック同期式通信機能とPWM入力（PWMI）からのハーフ・ブリッジ出力制御に使用します。

[データ送受信]

- ・ 8ビット単位のデータ長
- ・ MSBファースト

図8-1 SPI & PWM制御機能の構成例



8.2 SPI通信動作

8ビット単位でデータの送受信を行います。SSA = Lowの場合、データの送受信が可能です。データは、シリアル・クロックの立ち上がりエッジに同期して1ビットごとに送信され、シリアル・クロックの立ち下がりエッジに同期して1ビットごとに受信します。R/Wビット=1の場合、R/Wビットと受信アドレスデータ(A4 - A0)に対する偶数パリティ・ビット(Pビット)にてパリティ・チェック機能が動作します。パリティ・エラーが検出された場合、システム・ステータス・レジスタ (SS) のPEビットをセットし、次バイトの書き込み動作は停止します。パリティ・エラーが検出されなかった場合、SSAの立ち上がりエッジ検出後、SPI制御レジスタへデータが書き込まれ、その内容の動作が実行されます。R/Wビット=0の場合、パリティ・チェック機能は動作しません。

Sleep mode中 (MSLP=L) は、動作停止します。

図8-2 16ビット・レジスタ・アクセス時のSPI通信タイミング

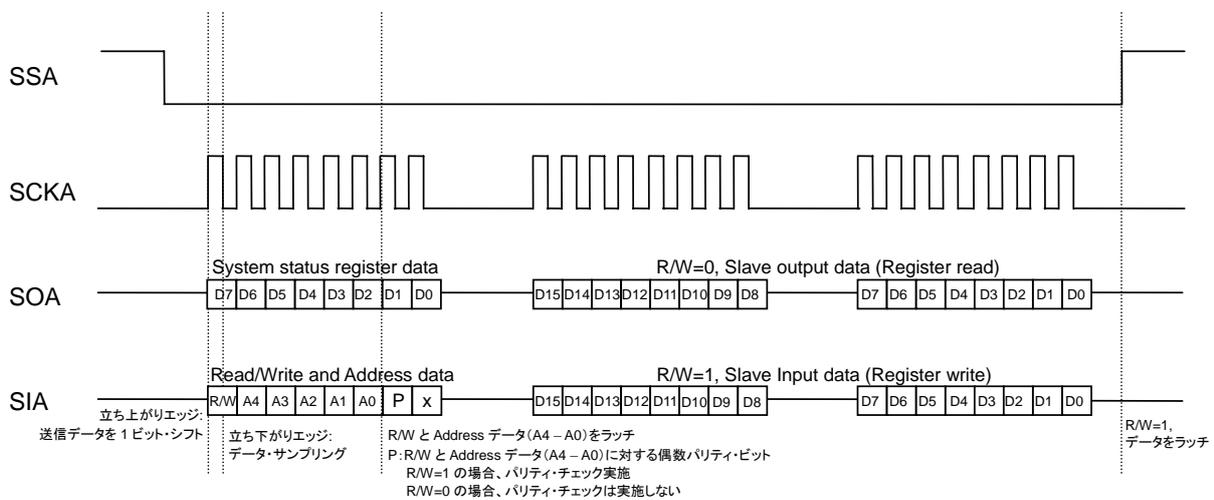


図8-3 8ビット・レジスタ・アクセス時のSPI通信タイミング

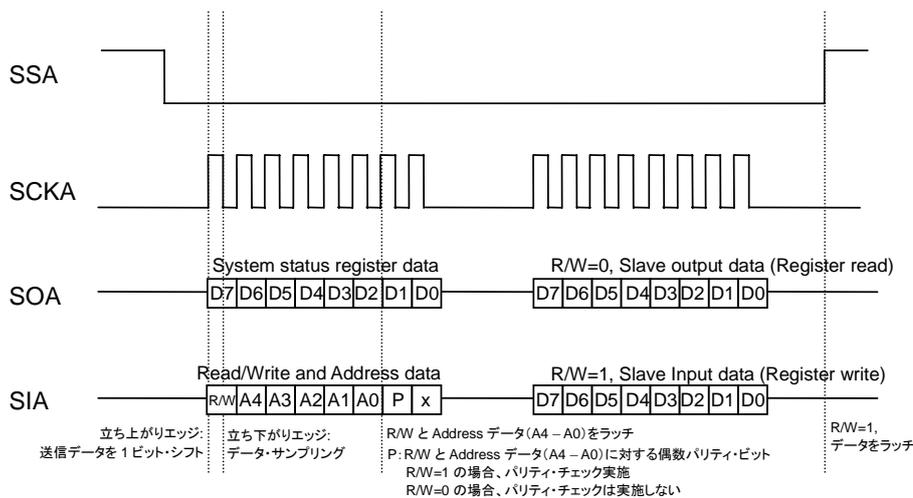


図8-4 データ・フォーマット例1 (R/W=1, Address data=01110B, Write data=9990H)

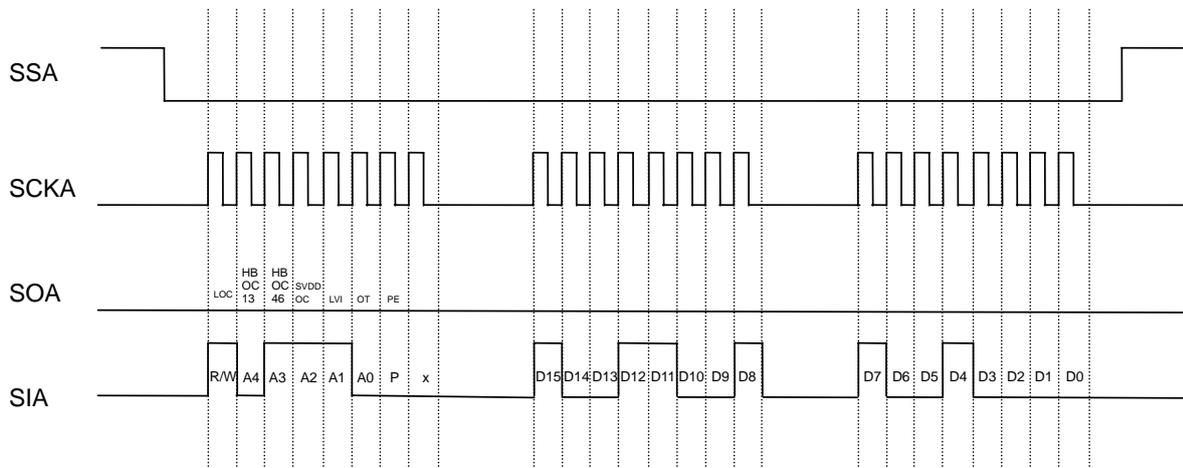
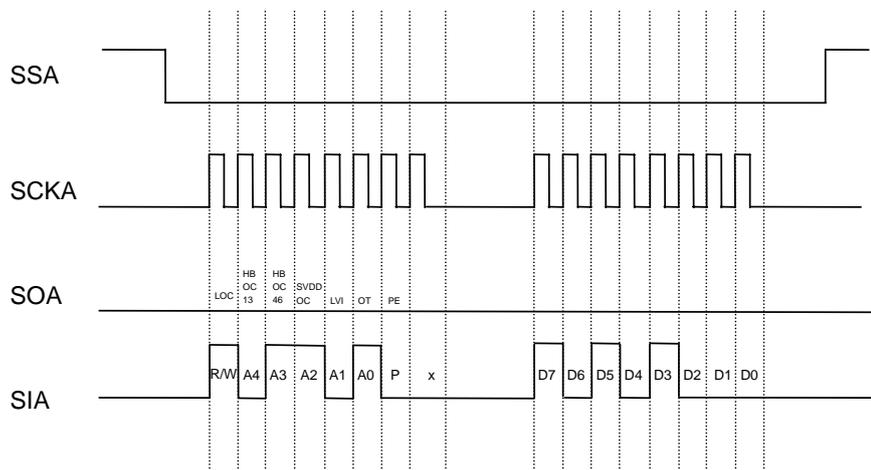


図8-5 データ・フォーマット例2 (R/W=1, Address data=01101B, Write data=10101000B)



8.3 SPI制御レジスタ

SPI & PWM制御回路は、次の6種類のレジスタを制御します。

- ・リセット・ステータス・レジスタ (RS)
- ・ハーフ・ブリッジ制御レジスタ (HBC)
- ・PWM入力制御レジスタ (PICL)
- ・システム・ステータス・レジスタ (SS)
- ・ハーフ・ブリッジ・ステータス・レジスタ (HBS)
- ・システム制御レジスタ (SC)

(1) リセット・ステータス・レジスタ (RS)

リセット・ステータス・レジスタ (RS) は、アナログ部のパワーオン・クリア (POCA) によるリセット解除状態と外部リセット端子 (RESET_A) によるリセット要求状態を示すレジスタです。

アナログ・チップのパワーオン・クリア (POCA) によるリセット要求により00Hになります。

アドレス : 01111B POCリセット時 : 00H R/W^{注1,2}

| | | | | | | | | |
|----|-----|-----|---|---|---|---|---|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RS | POC | EXR | 0 | 0 | 0 | 0 | 0 | 0 |

| | |
|------------------------------------|---------------------------------------|
| POC | アナログ部のパワーオン・クリア (POCA) によるリセット解除要求フラグ |
| 0 | POCAによるリセット解除要求は発生していない |
| 1 | POCAによるリセット解除要求は発生した |
| 更新型フラグなので、POCAによるリセット要求によりクリアされます。 | |

| | |
|-----------------------------|--------------------------------------|
| EXR | アナログ部外部リセット端子 (RESET_A) によるリセット要求フラグ |
| 0 | RESET_Aによる外部リセット要求は発生していない |
| 1 | RESET_Aによる外部リセット要求は発生した |
| 累積型フラグなので、0を書き込むまでクリアされません。 | |

注1. ビット7は、Read Onlyです。

2. ビット6への1ライトは無視されます。

(2) ハーフ・ブリッジ制御レジスタ (HBC)

各ハーフ・ブリッジの出力を制御するレジスタです。システム・ステータス・レジスタ (SS) のOTビットが1の場合、ハーフ・ブリッジ制御レジスタ (HBC) への書き込み命令は無視され、書き込み前の値を保持します。

リセット信号の発生、過熱保護回路の過熱検知およびINH端子へのローレベル入力により0000Hになります。また、ハーフ・ブリッジの過電流検出により特定ビットがクリア^注されます。

アドレス : 01110B リセット時 : 0000H R/W

| | | | | | | | | | | | | | | | | |
|-----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|
| 略号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| HBC | HB | 0 | 0 | 0 | 0 |
| | 6H | 6L | 5H | 5L | 4H | 4L | 3H | 3L | 2H | 2L | 1H | 1L | | | | |

| HBnH | HBnL | 動作モード |
|------|------|---------------------------------|
| 0 | 0 | ハイ・サイドMOSFETとロー・サイドMOSFETがオフ |
| 0 | 1 | ハイ・サイドMOSFETがオフ、ロー・サイドMOSFETがオン |
| 1 | 0 | ハイ・サイドMOSFETがオン、ロー・サイドMOSFETがオフ |
| 1 | 1 | 設定禁止 |

注 システム・コントロール・レジスタ (SC) のHBOCSビットの設定値により異なります。

注意 HBnHとHBnLにそれぞれ"1"となるデータを受信した場合、HBnHとHBnLは書き込み前の値を保持します。

備考 n : チャネル番号 (1-6)

(3) PWM入力制御レジスタ (PICL)

PWM入力 (PWMI) からのPWM信号を各ハーフ・ブリッジのロー・サイドMOSFETへの入力許可/禁止を設定するレジスタです。システム・ステータス・レジスタ (SS) のOTビットが1の場合、PWM入力制御レジスタ (PICL) への書き込み命令は無視され、書き込み前の値を保持します。

リセット信号の発生、過熱保護回路の過熱検知およびINH端子へのロー・レベル入力により00Hになります。また、ハーフ・ブリッジの過電流検出により特定ビットがクリア^注されます。

アドレス : 01101B リセット時 : 00H R/W

| | | | | | | | | |
|------|------|------|------|------|------|------|---|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PICL | PI6L | PI5L | PI4L | PI3L | PI2L | PI1L | 0 | 0 |

| PInL | 動作モード |
|------|---------|
| 0 | PWM入力禁止 |
| 1 | PWM入力許可 |

注 システム・コントロール・レジスタ (SC) のHBOCSビットの設定値により異なります。

備考 n : チャネル番号 (1-6)

(4) システム・ステータス・レジスタ (SS)

外部センサ用電源出力機能, LINトランシーバ, ハーフ・ブリッジの過電流状態とレギュレータ出力電圧状態 (5V (typ)) とアナログ・チップの過熱状態およびパリティ・エラー検出状態を示すレジスタです。

リセット信号の発生により00HIになります。

アドレス : 01100B リセット時 : 00H R/W^{注1,2}

| | | | | | | | | |
|----|-----|--------|--------|--------|-----|----|----|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SS | LOC | HBOC13 | HBOC46 | SVDDOC | LVI | OT | PE | 0 |

| | |
|-----------------------------|--------------------|
| LOC | LINトランシーバの過電流状態フラグ |
| 0 | LINドライバは過電流状態ではない |
| 1 | LINドライバに過電流が発生 |
| 累積型フラグなので、0を書き込むまでクリアされません。 | |

| | |
|--|-------------------------------|
| HBOC13 | ハーフ・ブリッジ・チャンネル1-3の過電流状態フラグ |
| 0 | ハーフ・ブリッジのチャンネル1-3は過電流状態ではない |
| 1 | ハーフ・ブリッジのチャンネル1-3のいずれかで過電流が発生 |
| 更新型フラグなので、HB1OC, HB2OC, HB3OCが全て0になるとクリアされます。 HBSレジスタのHB1OCビット、HB2OCビットとHB3OCビットとのORです。 | |

| | |
|--|-------------------------------|
| HBOC46 | ハーフ・ブリッジ・チャンネル4-6の過電流状態フラグ |
| 0 | ハーフ・ブリッジのチャンネル4-6は過電流状態ではない |
| 1 | ハーフ・ブリッジのチャンネル4-6のいずれかで過電流が発生 |
| 更新型フラグなので、HB4OC, HB5OC, HB6OCが全て0になるとクリアされます。 HBSレジスタのHB4OCビット、HB5OCビットとHB6OCビットとのORです。 | |

| | |
|-----------------------------|--------------------------|
| SVDDOC | 外部センサ用電源出力の過電流状態フラグ |
| 0 | 外部センサ用電源出力ドライバは過電流状態ではない |
| 1 | 外部センサ用電源出力ドライバに過電流状態が発生 |
| 累積型フラグなので、0を書き込むまでクリアされません。 | |

| | |
|---|-------------------------------------|
| LVI | レギュレータ出力の低電圧状態フラグ |
| 0 | レギュレータ出力電圧は、低電圧検出値 (4.2V (typ.)) 以上 |
| 1 | レギュレータ出力電圧は、低電圧検出値 (4.2V (typ.)) 未満 |
| 更新型フラグなので、レギュレータ出力電圧が、検出電圧 (4.2V (typ.)) 以上になると自動的にクリアされます。 | |

注1. ビット6, 5, 3は、Read Onlyです。

2. ビット7, 4, 2, 1への1ライトは無視されます。

備考 説明は次ページに続きます。

| | |
|-----------------------------|---------------------------------------|
| OT | アナログ・チップの過熱状態フラグ |
| 0 | 過熱検出回路が、過熱検出温度(150°C(Min.))以上を検出していない |
| 1 | 過熱検出回路が、過熱検出温度(150°C(Min.))以上を検出 |
| 累積型フラグなので、0を書き込むまでクリアされません。 | |

| | |
|---|-------------------|
| PE | パリティ・エラー検出状態フラグ |
| 0 | パリティ・エラーを検出していない。 |
| 1 | パリティ・エラーを検出。 |
| 累積型フラグなので、0を書き込むまでクリアされません。 R/Wビット=1の時、受信したパリティ(Pビット)が不正だった場合に、“1”となります。 | |

(5) ハーフ・ブリッジ・ステータス・レジスタ (HBS)

ハーフ・ブリッジの各チャンネルの過電流状態を示すレジスタです。累積型フラグなので、各フラグ・ビットは“0”を書き込まれるまでクリアされません。

リセット信号の発生により00Hになります。

アドレス：01011B リセット時：00H R/W^注

| | | | | | | | | |
|-----|-------|-------|-------|-------|-------|-------|---|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| HBS | HB6OC | HB5OC | HB4OC | HB3OC | HB2OC | HB1OC | 0 | 0 |

| | |
|-------|--------------------------|
| HBnOC | ハーフ・ブリッジの各チャンネルの過電流状態フラグ |
| 0 | 過電流状態ではない |
| 1 | 過電流状態が発生 |

注 ビット7-2への1ライトは無視されます。

備考 n：チャンネル番号 (1-6)

(6) システム・コントロール・レジスタ (SC)

外部センサ用電源出力制御とハーフ・ブリッジ機能の動作許可/禁止およびハーフ・ブリッジでの過電流発生時の過電流保護対象チャネルの選択を制御するレジスタです。

リセット信号の発生により00HIになります。

アドレス : 01010B リセット時 : 00H R/W

| | | | | | | | | |
|----|------|--------|-------|---|---|---|---|---|
| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SC | HBON | SVDDON | HBOCS | 0 | 0 | 0 | 0 | 0 |

| | |
|------|----------------|
| HBON | ハーフ・ブリッジの動作モード |
| 0 | 動作禁止 |
| 1 | 動作許可 |

| | |
|--------|-----------------|
| SVDDON | 外部センサ用電源出力動作モード |
| 0 | 出力オフ |
| 1 | 出力オン |

| | |
|-------|---|
| HBOCS | ハーフ・ブリッジの過電流保護対象チャネル |
| 0 | ハーフ・ブリッジのチャネル1 - 6のいずれかで過電流発生時、対象チャネル含めた3チャネルを出力OFF ・ハーフ・ブリッジのチャネル1 - 3のいずれかで過電流発生時、チャネル1 - 3の出力OFF ・ハーフ・ブリッジのチャネル4 - 6のいずれかで過電流発生時、チャネル4 - 6の出力OFF |
| 1 | ハーフ・ブリッジのチャネル1 - 6のいずれかで過電流発生時、全出力チャネルOFF |

第9章 保護機能

μ PD78F807x内蔵のアナログ・チップは、以下の保護機能を内蔵しています。

- ・ 過熱保護回路
- ・ 過電流保護回路

各保護回路の動作条件と復帰条件を表9-1に示します。

表9-1 各保護回路の動作条件と復帰条件

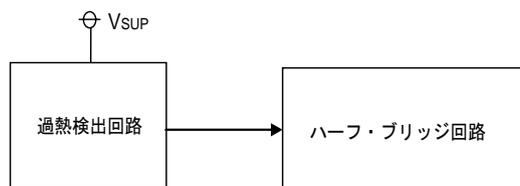
| 機能ブロック | | 保護回路 | 動作条件 | 復帰条件 |
|------------|------------|---------|-----------------------------|-------------------|
| 電源回路 | レギュレータ出力 | 過電流保護回路 | レギュレータ出力に過電流状態発生時 | レギュレータ出力の過電流状態解消時 |
| | 外部センサ用電源出力 | 過電流保護回路 | 外部センサ用電源出力に過電流状態発生時 | SVDDONビットの再設定 |
| LINトランシーバ | | 過電流保護回路 | LINドライバに過電流状態発生時 | TxL端子へのハイ・レベル入力 |
| ハーフ・ブリッジ回路 | | 過電流保護回路 | HBO1-6で過電流状態発生時 | HBCレジスタの再設定 |
| 過熱保護回路 | | 過熱保護回路 | 過熱検出温度 (Min : 150°C) 以上を検出時 | OTビットのクリア |

9.1 過熱保護動作

過熱保護回路は過熱による破壊，劣化を防止するための保護回路です。アナログ・チップ上の過熱検出回路が検出温度 (MIN: 150°C) 以上の温度を検出した場合、システム・ステータス・レジスタ (SS) のOTビットをセットと同時に、ハーフ・ブリッジ制御レジスタ (HBC)，PWM入力制御レジスタ (PICL) をクリアし、ハーフ・ブリッジ回路の全ハーフ・ブリッジ・ドライバの出力を強制的にOFFします。システム・ステータス・レジスタ (SS) のOTビットをクリアすることでハーフ・ブリッジ制御レジスタ (HBC)，PWM入力制御レジスタ (PICL) で再制御できます。

注意 アナログ・チップに内蔵している過熱保護機能は、異常動作使用時におけるデバイスの保護を目的としています。積極的な使用は避けてください。

図9-1 過熱保護機能のブロック図



9.2 過電流保護回路動作

9.2.1 電源回路

電源回路には、レギュレータ出力と外部センサ用電源出力のそれぞれに過電流保護回路を内蔵しています。詳細動作は、第5章 電源回路を参照してください。

9.2.2 LINトランシーバ回路

LINトランシーバ回路には、過電流保護回路を内蔵しています。詳細動作は、第6章 LINトランシーバ回路を参照してください。

9.2.3 ハーフ・ブリッジ回路

ハーフ・ブリッジ回路には、過電流保護回路を内蔵しています。詳細動作は、第7章 ハーフ・ブリッジ回路を参照してください。

第10章 アナログ・リセット機能

アナログ・チップには、アナログ・リセット機能を搭載しています。

アナログ・リセットを発生させる方法には、次の2種類があります。

- (1) RESET_A端子による外部リセット入力
- (2) アナログ・パワーオン・クリア (POCA) 回路の電源電圧と検出電圧との比較による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセットの発生により、SPI制御レジスタを初期化します。

RESET_A端子にロー・レベルが入力されるか、またはPOCA回路の電圧検出により、リセットがかかり、各アナログ機能ブロックとパッケージ内部で接続されているアナログ部の機能端子の状態は、表10-1、表10-2に示すような状態になります。また、リセット受け付け後のSPI制御レジスタの状態は、表10-3に示すような状態になります。

RESET_A端子にロー・レベルが入力されて、リセットがかかり、RESET_A端子にハイ・レベルが入力されると、リセットが解除され、MSLP、MOD1、MOD2端子の入力電圧レベルに応じた動作モードに移行します。POCA回路によるリセットは、リセット後 $V_{DD} \geq V_{POCA}$ になったときにリセットが解除され、MSLP、MOD1、MOD2端子の入力電圧レベルに応じた動作モードに移行します。

アナログ・リセット要因は、リセット・ステータス・レジスタ (RS) から確認ができます。

注意1. 外部リセットを行う場合、RESET_A端子に10 μ s以上のロー・レベルを入力してください。

表10-1 アナログ・リセット期間中の動作状態

| 機能ブロック | | リセット期間中 |
|--------------------------|----------------------|-------------|
| 電源回路 | レギュレータ出力 | 出力動作 |
| | 外部センサ用電源出力 | 動作停止 |
| | 低電圧検出回路 | 動作停止 |
| | 過電流検出回路 ^注 | 動作停止 |
| LINトランシーバ回路 | | 動作可能 |
| ハーフ・ブリッジ回路 | | 動作停止 (Hi-Z) |
| | 過電流保護回路 | 動作停止 |
| SPI / PWM制御回路 | | 動作停止 |
| アナログ・パワーオン・クリア (POCA) 回路 | | 動作可能 |
| 過熱保護機能 | | 動作停止 |

注 5V出力ドロップパーに内蔵Pch-MOSを使用する場合のみ。

表10-2 パッケージ内部で接続されているアナログ部の機能端子の状態

| 端子機能 | リセット期間中 |
|------|---------|
| SCKA | プルダウン入力 |
| SIA | プルダウン入力 |
| SOA | Hi-Z |
| SSA | プルアップ入力 |
| PWMI | プルダウン入力 |
| RxL | 出力 |
| TxL | プルアップ入力 |
| INH | プルアップ入力 |

表10-3 リセット受け付け後のSPI制御レジスタの状態

| SPI制御レジスタ | リセット受け付け後の状態 |
|---------------------------|--------------|
| リセット・ステータス・レジスタ (RS) | 00H |
| ハーフ・ブリッジ制御レジスタ (HBC) | 0000H |
| PWM入力制御レジスタ (PICL) | 00H |
| システム・ステータス・レジスタ (SS) | 00H |
| ハーフ・ブリッジ・ステータス・レジスタ (HBS) | 00H |
| システム制御レジスタ (SC) | 00H |

第11章 電気的特性 ((A)水準品)

11.1 絶対最大定格

マイクロコントローラ部絶対最大定格 (TA = 25°C)

| 項目 | 略号 | 条件 | | 定格 | 単位 | |
|------------------|--------------------|---|---|--|----|----|
| 電源電圧 | V _{DD} | | | -0.5~+6.5 | V | |
| | V _{SS} | | | -0.5~+0.3 | V | |
| | AV _{REF} | | | -0.5~V _{DD} +0.3 ^注 | V | |
| | AV _{SS} | | | -0.5~+0.3 | V | |
| 入力電圧 | V _{I1} | P00, P01, P10-P17, P20-P24, P30-P33, P70, P120-P122, X1, X2, RESET, FLMD0 | | -0.3~V _{DD} +0.3 | V | |
| | V _{I2} | P60-P61 (N-chオープン・ドレイン) | | -0.3~+6.5 | V | |
| REGC端子入力電圧 | V _{IREGC} | | | -0.5~+3.6かつ-0.5~V _{DD} | V | |
| 出力電圧 | V _O | | | -0.3~V _{DD} +0.3 ^注 | V | |
| アナログ入力電圧 | V _{AN} | ANI0-ANI4 | | -0.3~AV _{REF} +0.3 ^注 かつ-0.3~V _{DD} +0.3 ^注 | V | |
| ハイ・レベル出力電流 | I _{OH1} | 1端子 | P00, P01, P10-P17, P30-P33, P70, P120, P130 | -10 | mA | |
| | | 端子合計 | P00, P01, P120, P130 | -25 | | |
| | | -80 mA | P10-P17, P30-P33, P70 | -55 | | |
| | I _{OH2} | 1端子 | P20-P24 | -0.5 | mA | |
| | | 端子合計 | | -2 | | |
| | I _{OH3} | 1端子 | P121-P122 | -1 | mA | |
| | | 端子合計 | | -2 | | |
| | ロウ・レベル出力電流 | I _{OL1} | 1端子 | P00, P01, P10-P17, P30-P33, P60, P61, P70, P120, P130 | 30 | mA |
| | | | 端子合計 | P00, P01, P120, P130 | 60 | |
| 200 mA | | | P10-P17, P30-P33, P60, P61, P70 | 140 | | |
| I _{OL2} | | 1端子 | P20-P24 | 1 | mA | |
| | | 端子合計 | | 5 | | |
| I _{OL3} | | 1端子 | P121-P122 | 4 | mA | |
| | | 端子合計 | | 8 | | |

注 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

アナログ部絶対最大定格 (TA = 25°C)

| 項目 | 略号 | 条件 | 定格 | 単位 |
|----------|--------------------|--|----------------------------|----|
| 電源電圧 | V _{SUP1} | SUP, SUP1-SUP6 | -0.3~+40 ^{注3} | V |
| 入力電圧 | V _{IA1} | LIN | -0.3~+40 ^{注3} | V |
| | V _{IA2} | VRS | -0.3~+6.5 | V |
| | V _{IA3} | MOD1, MOD2, MSLP, SRC, TxL, SCKA, SIA, SSA, PWMI, RESET_A | -0.3~VRS+0.3 ^{注1} | V |
| LIN負入力電圧 | V _{ILin} | LIN, 7 V ≤ V _{SUP} ≤ 19 V, 1 s | V _{SUP} -40 | V |
| 出力電圧 | V _{OA1} | LIN, HBO1-HBO6 | -0.3~+40 ^{注3} | V |
| | V _{OA2} | VRO, SVDD | -0.3~+6.5 | V |
| | V _{OA3} | RxL, SOA | -0.3~VRS+0.3 ^{注1} | V |
| 出力電流 | I _{RO1} | VRO | セルフ・リミット ^{注2} | mA |
| | I _{SVDD0} | SVDD | セルフ・リミット ^{注2} | mA |
| | I _{LIN} | LIN | セルフ・リミット ^{注2} | mA |
| | I _{HBO} | HBO1-HBO6 | セルフ・リミット ^{注2} | mA |
| | I _{Rx} | RxL | -10~+10 | mA |
| | I _{SOA} | SOA | -10~+10 | mA |

注1. 6.5V以下であること。

- 過電流制限回路により、電流制限がかかる電流値です。
- 入力電圧25 V以上の場合、LINトランシーバ、ハーフ・ブリッジ回路の過電流保護回路が動作します。

絶対最大定格共通項目

| 項目 | 略号 | 条件 | 定格 | 単位 |
|-----------|-------------------|----|----------|----|
| 動作周囲温度 | T _A | | -40~+85 | °C |
| 保存温度 | T _{stg} | | -65~+150 | °C |
| ジャンクション温度 | T _{jmax} | | 150 | °C |

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。
つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

11.2 マイクロコントローラ部電気的特性

X1発振回路特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

| 発振子 | 推奨回路 | 項目 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--------------------|------|------------------------|--|-------------------|------|------|-----|
| セラミック発振子, 水晶振動子 | | X1クロック発振周波数 (fX) 注1 | $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ | 1.0 ^{注2} | | 20.0 | MHz |
| | | | $1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$ | 1.0 | | 5.0 | |

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. オンボード・プログラミング時にUART6を使用する場合は、2.0 MHz (MIN.) です。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

内蔵発振回路特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

| 発振子 | 項目 | 条件 | MIN. | TYP. | MAX. | 単位 | |
|---------------|----------------------------------|--|--|------|------|------|-----|
| 8 MHz 内蔵発振器 | 高速内蔵発振クロック 周波数 (f_{RH}) 注 | RSTS = 1 | $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ | 7.6 | 8.0 | 8.4 | MHz |
| | | | $1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$ | 7.6 | 8.0 | 10.4 | MHz |
| | | RSTS = 0 | | 2.48 | 5.6 | 9.86 | MHz |
| 240 kHz 内蔵発振器 | 低速内蔵発振クロック 周波数 (f_{RL}) | $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ | 216 | 240 | 264 | kHz | |
| | | $1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$ | 192 | 240 | 264 | kHz | |

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

備考1. RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

2. 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 (1/5)

(TA = -40 ~ +85 °C, 1.8 V ≤ VDD ≤ 5.5 V, AVREF ≤ VDD, VSS = AVSS = 0 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 | |
|--------------------------|--|---|---------------------------------|------|-------|-------|----|
| ハイ・レベル出力電流 ^{注1} | I _{OH1} | P00, P01, P10-P17, P30-P33, P70, P120, P130 1端子 | 4.0 V ≤ V _{DD} ≤ 5.5 V | | | -3.0 | mA |
| | | | 2.7 V ≤ V _{DD} < 4.0 V | | | -2.5 | mA |
| | | | 1.8 V ≤ V _{DD} < 2.7 V | | | -1.0 | mA |
| | | P00, P01, P120, P130 合計 ^{注2} | 4.0 V ≤ V _{DD} ≤ 5.5 V | | | -12.0 | mA |
| | | | 2.7 V ≤ V _{DD} < 4.0 V | | | -7.0 | mA |
| | | | 1.8 V ≤ V _{DD} < 2.7 V | | | -4.0 | mA |
| | | P10-P17, P30-P33, P70 合計 ^{注2} | 4.0 V ≤ V _{DD} ≤ 5.5 V | | | -18.0 | mA |
| | | | 2.7 V ≤ V _{DD} < 4.0 V | | | -15.0 | mA |
| | | | 1.8 V ≤ V _{DD} < 2.7 V | | | -10.0 | mA |
| | 全端子合計 ^{注2} | 4.0 V ≤ V _{DD} ≤ 5.5 V | | | -23.0 | mA | |
| | | 2.7 V ≤ V _{DD} < 4.0 V | | | -20.0 | mA | |
| | | 1.8 V ≤ V _{DD} < 2.7 V | | | -14.0 | mA | |
| I _{OH2} | P20-P24 1端子 | AV _{REF} = V _{DD} | | | -0.1 | mA | |
| | P121-P122 1端子 | | | | -0.1 | mA | |
| ロウ・レベル出力電流 ^{注3} | I _{OL1} | P00, P01, P10-P17, P30-P33, P70, P120, P130 1端子 | 4.0 V ≤ V _{DD} ≤ 5.5 V | | | 8.5 | mA |
| | | | 2.7 V ≤ V _{DD} < 4.0 V | | | 5.0 | mA |
| | | | 1.8 V ≤ V _{DD} < 2.7 V | | | 2.0 | mA |
| | | P60, P61 1端子 | 4.0 V ≤ V _{DD} ≤ 5.5 V | | | 15.0 | mA |
| | | | 2.7 V ≤ V _{DD} < 4.0 V | | | 5.0 | mA |
| | | | 1.8 V ≤ V _{DD} < 2.7 V | | | 2.0 | mA |
| | | P00, P01, P120, P130 合計 ^{注2} | 4.0 V ≤ V _{DD} ≤ 5.5 V | | | 20.0 | mA |
| | | | 2.7 V ≤ V _{DD} < 4.0 V | | | 15.0 | mA |
| | | | 1.8 V ≤ V _{DD} < 2.7 V | | | 8.0 | mA |
| | P10-P17, P30-P33, P60, P61, P70 合計 ^{注2} | 4.0 V ≤ V _{DD} ≤ 5.5 V | | | 45.0 | mA | |
| | | 2.7 V ≤ V _{DD} < 4.0 V | | | 35.0 | mA | |
| | | 1.8 V ≤ V _{DD} < 2.7 V | | | 20.0 | mA | |
| | 全端子合計 ^{注2} | 4.0 V ≤ V _{DD} ≤ 5.5 V | | | 65.0 | mA | |
| | | 2.7 V ≤ V _{DD} < 4.0 V | | | 50.0 | mA | |
| | | 1.8 V ≤ V _{DD} < 2.7 V | | | 28.0 | mA | |
| I _{OL2} | P20-P24 1端子 | AV _{REF} = V _{DD} | | | 0.4 | mA | |
| | P121-P122 1端子 | | | | 0.4 | mA | |

注1. V_{DD}から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 70 %の条件 (ある一定の時間をtとすると、電流を出力する時間が0.7×t、電流を出力しない時間が0.3×tの場合) でのスペックです。デューティ = 70 %以外の端子合計の出力電流は下記の計算式で求めることができます。

・ I_{OH}のデューティがn %の場合：端子合計の出力電流 = (I_{OH}×0.7) / (n×0.01)

<計算例> デューティ = 50 %, I_{OH} = -20.0 mAの場合

端子合計の出力電流 = (-20.0×0.7) / (50×0.01) = -28.0 mA

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。

また、絶対最大定格以上の電流は流せません。

3. 出力端子からGNDに流れ込んでも、デバイスの動作を保証する電流値です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (2/5)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---|------------------|---|---|--|----------------------|----------------------|
| ハイ・レベル入力電圧 (フラッシュ・メモリが48 K バイト以上の製品) 注1 | V _{IH1} | P12, P13, P15, P121-P122 | 0.7V _{DD} | | V _{DD} | V |
| | V _{IH2} | P00, P01, P10, P11, P14, P16, P17, P30-P33, P70, P120, $\overline{\text{RESET}}$, EXCLK | 0.8V _{DD} | | V _{DD} | V |
| | V _{IH3} | P20-P24 | AV _{REF} = V _{DD} | | AV _{REF} | V |
| | V _{IH4} | P60, P61 | 0.7V _{DD} | | 6.0 | V |
| ハイ・レベル入力電圧 (フラッシュ・メモリが32 K バイト以下の製品) 注2 | V _{IH1} | P12, P13, P15, P121-P122 | 0.7V _{DD} | | V _{DD} | V |
| | V _{IH2} | P00, P01, P10, P11, P14, P16, P17, P30-P33, P70, P120, $\overline{\text{RESET}}$, EXCLK | 0.8V _{DD} | | V _{DD} | V |
| | V _{IH3} | P20-P24 | AV _{REF} = V _{DD} | | AV _{REF} | V |
| | V _{IH4} | P60, P61 | 0.7V _{DD} | | 6.0 | V |
| ロウ・レベル入力電圧 (フラッシュ・メモリが48 K バイト以上の製品) 注1 | V _{IL1} | P12, P13, P15, P60, P61, P121-P122 | 0 | | 0.3V _{DD} | V |
| | V _{IL2} | P00, P01, P10, P11, P14, P16, P17, P30-P33, P70, P120, $\overline{\text{RESET}}$, EXCLK | 0 | | 0.2V _{DD} | V |
| | V _{IL3} | P20-P24 | AV _{REF} = V _{DD} | | 0.3AV _{REF} | V |
| ロウ・レベル入力電圧 (フラッシュ・メモリが32 K バイト以下の製品) 注2 | V _{IL1} | P12, P13, P15, P60, P61, P121, P122 | 0 | | 0.3V _{DD} | V |
| | V _{IL2} | P00, P01, P10, P11, P14, P16, P17, P30-P33, P70, P120, $\overline{\text{RESET}}$, EXCLK | 0 | | 0.2V _{DD} | V |
| | V _{IL3} | P20-P24 | AV _{REF} = V _{DD} | | 0.3AV _{REF} | V |
| ハイ・レベル出力電圧 | V _{OH1} | P00, P01, P10-P17, P30-P33, P70, P120, P130 | 4.0 V $V_{DD} \geq 5.5 \text{ V}$, I _{OH1} = - 3.0 mA | | V _{DD} -0.7 | V |
| | | | 2.7 V $V_{DD} < 4.0 \text{ V}$, I _{OH1} = - 2.5 mA | | V _{DD} -0.5 | V |
| | | | 1.8 V $V_{DD} < 2.7 \text{ V}$, I _{OH1} = - 1.0 mA | | V _{DD} -0.5 | V |
| | V _{OH2} | P20-P24 | AV _{REF} = V _{DD} , I _{OH2} = - 100 μA | | V _{DD} -0.5 | V |
| | | | P121, P122 | I _{OH2} = - 100 μA | | V _{DD} -0.5 |

注1. 対応製品：フラッシュ・メモリが48 Kバイト以上の製品

2. 対応製品：フラッシュ・メモリが32 Kバイト以下の製品

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (3/5)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 | | | |
|---------------|---------------|--|--|------------------------|-------------------------------------|---------------|---------------|---------------|---------------|
| ロウ・レベル出力電圧 | VOL1 | P00, P01, P10-P17, P30-P33, P70, P120, P130 | 4.0 V $V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 8.5 \text{ mA}$ | | | 0.7 | V | | |
| | | | 2.7 V $V_{DD} < 4.0 \text{ V}$, $I_{OL1} = 5.0 \text{ mA}$ | | | 0.7 | V | | |
| | | | 1.8 V $V_{DD} < 2.7 \text{ V}$, $I_{OL1} = 2.0 \text{ mA}$ | | | 0.5 | V | | |
| | | | 1.8 V $V_{DD} < 2.7 \text{ V}$, $I_{OL1} = 1.0 \text{ mA}$ | | | 0.5 | V | | |
| | | | 1.8 V $V_{DD} < 2.7 \text{ V}$, $I_{OL1} = 0.5 \text{ mA}$ | | | 0.4 | V | | |
| | VOL2 | P20-P24 P121-P122 | $AV_{REF} = V_{DD}, I_{OL2} = 0.4 \text{ mA}$ | | | 0.4 | V | | |
| | | | $I_{OL2} = 0.4 \text{ mA}$ | | | 0.4 | V | | |
| | VOL3 | P60, P61 | 4.0 V $V_{DD} \leq 5.5 \text{ V}$, $I_{OL3} = 15.0 \text{ mA}$ | | | 2.0 | V | | |
| | | | 4.0 V $V_{DD} \leq 5.5 \text{ V}$, $I_{OL3} = 5.0 \text{ mA}$ | | | 0.4 | V | | |
| | | | 2.7 V $V_{DD} < 4.0 \text{ V}$, $I_{OL1} = 5.0 \text{ mA}$ | | | 0.6 | V | | |
| | | | 2.7 V $V_{DD} < 4.0 \text{ V}$, $I_{OL1} = 3.0 \text{ mA}$ | | | 0.4 | V | | |
| | | | 1.8 V $V_{DD} < 2.7 \text{ V}$, $I_{OL1} = 2.0 \text{ mA}$ | | | 0.4 | V | | |
| | ハイ・レベル入力リーク電流 | ILIH1 | P00, P01, P10-P17, P30-P33, P60, P61, P70, P120, FLMD0, $\overline{\text{RESET}}$ | $V_i = V_{DD}$ | | | 1 | μA | |
| ILIH2 | | | | P20-P24 | $V_i = AV_{REF}, AV_{REF} = V_{DD}$ | | | 1 | μA |
| ILIH3 | | | | P121, P122 (X1, X2) | $V_i = V_{DD}$ I/Oポート・モード | | | 1 | μA |
| | OSCモード | | | | 20 | μA | | | |
| ロウ・レベル入力リーク電流 | ILIL1 | P00, P01, P10-P17, P30-P33, P60, P61, P70, P120, FLMD0, $\overline{\text{RESET}}$ | $V_i = V_{SS}$ | | | - 1 | μA | | |
| | | | ILIL2 | P20-P24 | $V_i = V_{SS}, AV_{REF} = V_{DD}$ | | | - 1 | μA |
| | | | ILIL3 | P121, P122 (X1, X2) | $V_i = V_{SS}$ I/Oポート・モード | | | - 1 | μA |
| | | | | | OSCモード | | | - 20 | μA |
| プルアップ抵抗値 | Ru | $V_i = V_{SS}$ | 10 | 20 | 100 | k Ω | | | |
| FLMD0電源電圧 | VIL | 通常動作時 | 0 | | 0.2V _{DD} | V | | | |
| | VIH | セルフ・プログラミング時 | 0.8V _{DD} | | V _{DD} | V | | | |

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (4/5)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

| 項目 | 略号 | 条件 | | | MIN. | TYP. | MAX. | 単位 | |
|--|--|--|---|-------------------------|-------|------|------|-----|----|
| 電源電流 ^{注1} | I _{DD1} | 動作モード | f _{XH} = 20 MHz ^{注2} | V _{DD} = 5.0 V | 方形波入力 | | 3.2 | 5.5 | mA |
| | | | | | 発振子接続 | | 4.5 | 6.9 | |
| | | | V _{DD} = 3.0 V | 方形波入力 | | 3.2 | 5.5 | | |
| | | | | 発振子接続 | | 4.2 | 6.6 | | |
| | | | f _{XH} = 10 MHz ^{注2, 3} | V _{DD} = 5.0 V | 方形波入力 | | 1.6 | 2.8 | mA |
| | | | | | 発振子接続 | | 2.3 | 3.9 | |
| | | V _{DD} = 3.0 V | | 方形波入力 | | 1.5 | 2.7 | | |
| | | | | 発振子接続 | | 2.2 | 3.2 | | |
| | | f _{XH} = 5 MHz ^{注2, 3} | V _{DD} = 3.0 V | 方形波入力 | | 0.9 | 1.6 | mA | |
| | | | | 発振子接続 | | 1.3 | 2.0 | | |
| | V _{DD} = 2.0 V | | 方形波入力 | | 0.7 | 1.4 | mA | | |
| | | | 発振子接続 | | 1.0 | 1.6 | | | |
| | f _{RH} = 8 MHz, V _{DD} = 5.0 V ^{注4} | | | | | 1.4 | 2.5 | mA | |
| | I _{DD2} | HALTモード | f _{XH} = 20 MHz ^{注2} , V _{DD} = 5.0 V | 方形波入力 | | 0.8 | 2.6 | mA | |
| 発振子接続 | | | | | 2.0 | 4.4 | | | |
| f _{XH} = 10 MHz ^{注2, 3} , V _{DD} = 5.0 V | | | 方形波入力 | | 0.4 | 1.3 | mA | | |
| | | | 発振子接続 | | 1.0 | 2.4 | | | |
| f _{XH} = 5 MHz ^{注2, 3} , V _{DD} = 3.0 V | | | 方形波入力 | | 0.2 | 0.65 | mA | | |
| | | | 発振子接続 | | 0.5 | 1.1 | | | |
| f _{RH} = 8 MHz, V _{DD} = 5.0 V ^{注4} | | | | | 0.4 | 1.2 | mA | | |
| I _{DD3} | STOPモード ^{注5} | | | | | 1 | 20 | μA | |
| | | T _A = -40 ~ +70 | | | | | 1 | 10 | μA |

- 注1. 内部電源 (V_{DD}) に流れるトータル電流です。周辺動作電流と入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。ただし、ポートのプルアップ抵抗と出力電流は含みません。
2. 8 MHz内蔵発振器, 240 kHz内蔵発振器と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
3. AMPH (クロック動作モード選択レジスタ (OSCCTL) のビット0) = 0設定時。
4. X1発振回路, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
5. 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。

- 備考1. f_{XH}: 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{RH}: 高速内蔵発振クロック周波数

DC特性 (5/5)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-----------------|-------------------------|--------------------------------------|------|------|------|----|
| A/Dコンバータ動作電流 | I_{ADC} ^{注1} | 2.3 V AV_{REF} V_{DD} , ADCS = 1 | | 0.86 | 1.9 | mA |
| ウォッチドッグ・タイマ動作電流 | I_{WDT} ^{注2} | 240 kHz 低速内蔵発振クロック動作時 | | 5 | 10 | μA |
| LVI動作電流 | I_{LVI} ^{注3} | | | 9 | 18 | μA |

- 注1. A/Dコンバータ (AV_{REF}) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、 I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、マイクロコントローラ部の電流値となります。
2. ウォッチドッグ・タイマにのみ流れる電流です (240 kHz内蔵発振器の動作電流を含みます)。ウォッチドッグ・タイマが動作中の場合、 I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、マイクロコントローラ部の電流値となります。
3. LVI回路にのみ流れる電流です。LVI回路が動作中の場合、 I_{DD2} または I_{DD3} に I_{LVI} を加算した値が、マイクロコントローラ部の電流値となります。

AC特性

(1) 基本動作 (1/2)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 | |
|---------------------------------------|--|---|---|-------------------|------|------|-----|
| 命令サイクル (最小命令実行時間) | T _{CY} | メイン・システム・クロック (f _{XP}) 動作 | 2.7 V V _{DD} 5.5 V | 0.1 | | 32 | μs |
| | | | 1.8 V V _{DD} < 2.7 V | 0.4 ^{注1} | | 32 | μs |
| 周辺ハードウェア・クロック周波数 | f _{PRS} | f _{PRS} = f _{XH} (XSEL = 1) | 4.0 V V _{DD} 5.5 V | | | 20 | MHz |
| | | | 2.7 V V _{DD} < 4.0 V ^{注2} | | | 20 | MHz |
| | | | 1.8 V V _{DD} < 2.7 V | | | 5 | MHz |
| | | f _{PRS} = f _{RH} (XSEL = 0) | 2.7 V V _{DD} < 5.5 V | 7.6 | | 8.4 | MHz |
| | | | 1.8 V V _{DD} < 2.7 V ^{注3} | 7.6 | | 10.4 | MHz |
| 外部メイン・システム・クロック周波数 | f _{EXCLK} | 2.7 V V _{DD} 5.5 V | 1.0 ^{注4} | | 20.0 | MHz | |
| | | 1.8 V V _{DD} < 2.7 V | 1.0 | | 5.0 | MHz | |
| 外部メイン・システム・クロック入力ハイ、ロウ・レベル幅 | t _{EXCLKH} , t _{EXCLKL} | 2.7 V V _{DD} 5.5 V | 24 | | | ns | |
| | | 1.8 V V _{DD} < 2.7 V | 96 | | | ns | |
| TI000, TI010 入力ハイ・レベル幅, ロウ・レベル幅 | t _{TIH0} , t _{TIL0} | 4.0 V V _{DD} 5.5 V | 2/f _{sam} + 0.1 ^{注5} | | | μs | |
| | | 2.7 V V _{DD} < 4.0 V | 2/f _{sam} + 0.2 ^{注5} | | | μs | |
| | | 1.8 V V _{DD} < 2.7 V | 2/f _{sam} + 0.5 ^{注5} | | | μs | |
| TI50, TI51入力周波数 | f _{TI5} | 4.0 V V _{DD} 5.5 V | | | 10 | MHz | |
| | | 2.7 V V _{DD} < 4.0 V | | | 10 | MHz | |
| | | 1.8 V V _{DD} < 2.7 V | | | 5 | MHz | |

注1. 8 MHz内蔵発振器で動作時は、0.38 μsとなります。

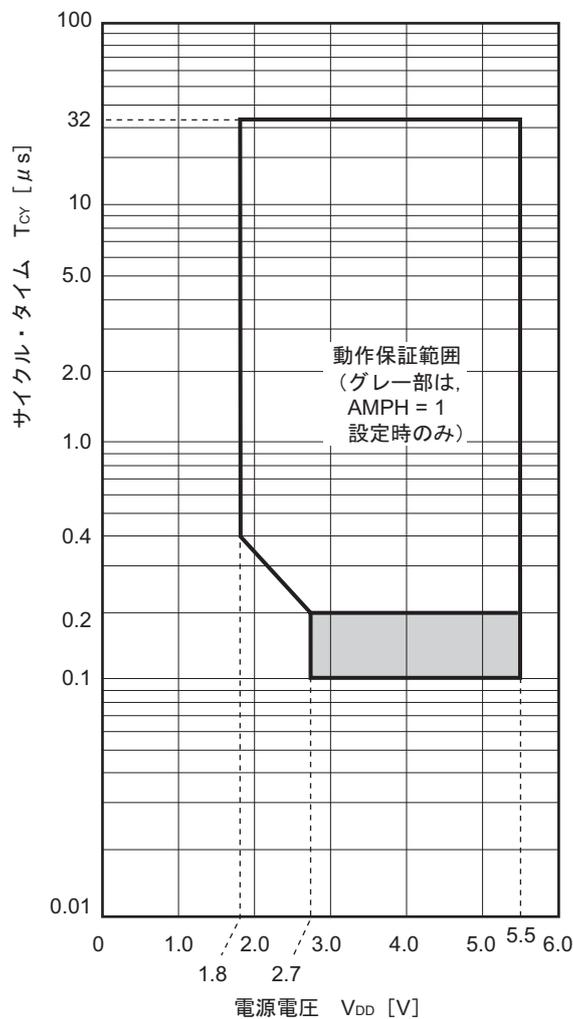
2. メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、f_{XH}/2 (10 MHz) 以下にしてください。ただし乗除算器回路については、f_{XH} (20 MHz) での動作が可能です。
3. メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、f_{RH}/2以下にしてください。
4. オンボード・プログラミング時にUART6を使用する場合は、2.0 MHz (MIN.) です。
5. プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により、f_{sam} = f_{PRS}, f_{PRS}/4, f_{PRS}/256の選択が可能です。ただし、カウント・クロックとしてTI000有効エッジを選択した場合は、f_{sam} = f_{PRS}となります。

(1) 基本動作 (2/2)

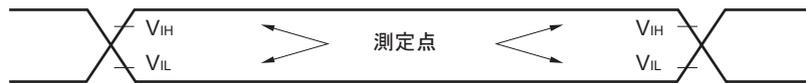
($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------------------------------------|--------------|-----------------------------------|------|------|------|---------------|
| TI50, TI51 入力ハイ・レベル幅, ロウ・レベル幅 | t_{TIH5} , | 4.0 V $V_{DD} \leq 5.5 \text{ V}$ | 50 | | | ns |
| | t_{TIL5} | 2.7 V $V_{DD} < 4.0 \text{ V}$ | 50 | | | ns |
| | | 1.8 V $V_{DD} < 2.7 \text{ V}$ | 100 | | | ns |
| 割り込み入力ハイ・レベル幅, ロウ・レベル幅 | t_{INTH} , | | 1 | | | μs |
| | t_{INTL} | | | | | |
| キー割り込み入力 ロウ・レベル幅 | t_{KR} | | 250 | | | ns |
| RESETロウ・レベル幅 | t_{RSL} | | 10 | | | μs |

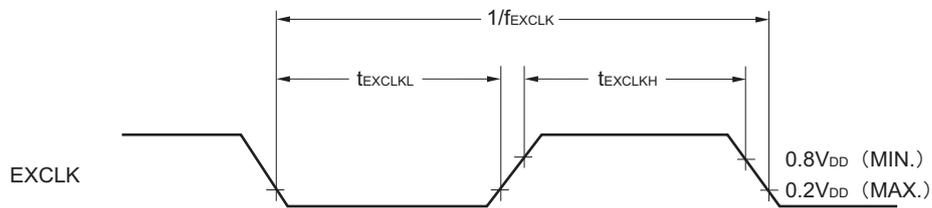
T_{CY} vs V_{DD} (メイン・システム・クロック動作時)



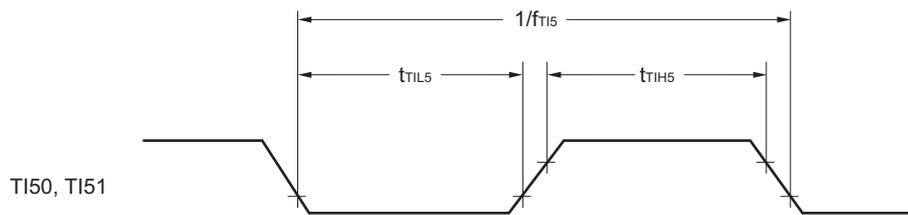
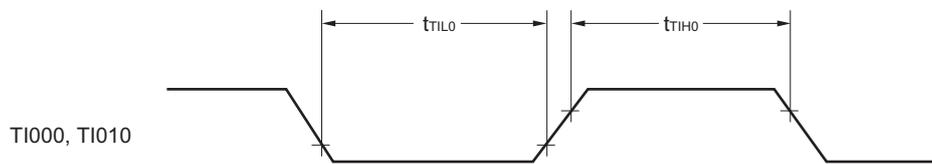
ACタイミング測定点



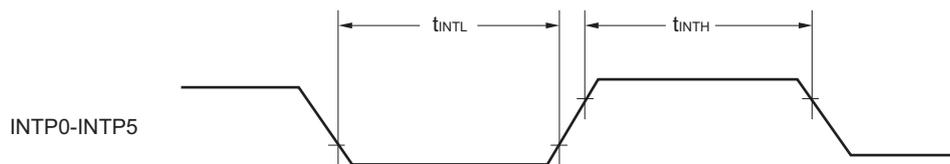
外部メイン・システム・クロック・タイミング



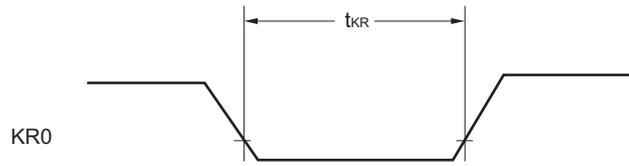
TIタイミング



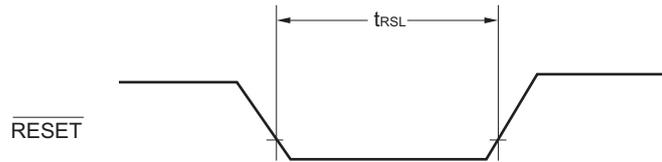
割り込み要求入力タイミング



キー割り込み入力タイミング



RESET入力タイミング



(2) シリアル・インタフェース

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $AV_{REF} \leq V_{DD}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

(a) UART6 (専用ボー・レート・ジェネレータ出力)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------|----|----|------|------|------|------|
| 転送レート | | | | | 625 | kbps |

(b) UART0 (専用ボー・レート・ジェネレータ出力)

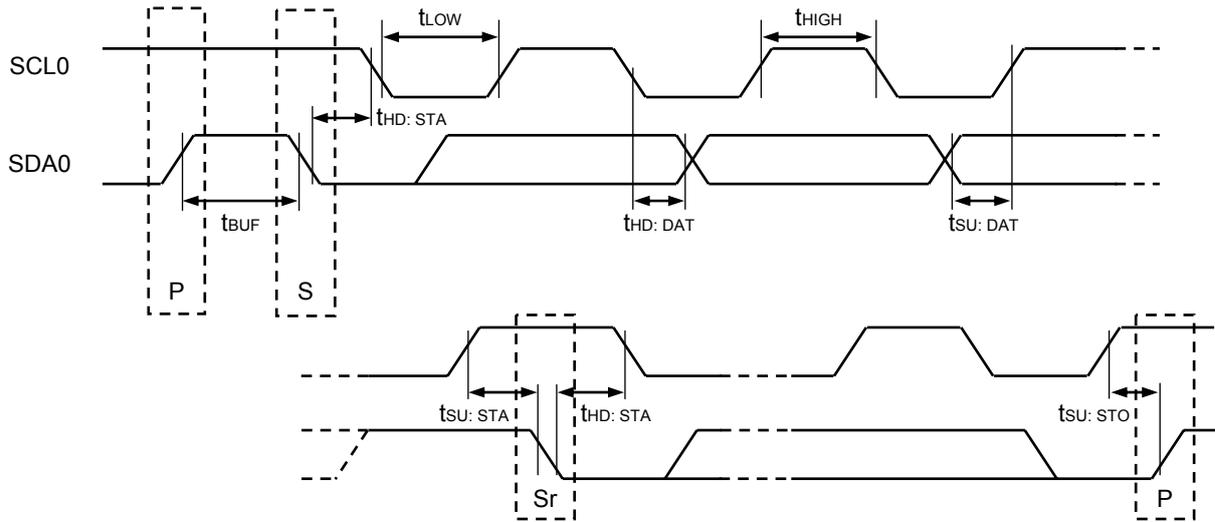
| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------|----|----|------|------|------|------|
| 転送レート | | | | | 625 | kbps |

(c) IIC0

| 項目 | 略号 | 条件 | 標準モード | | 高速モード | | 単位 |
|--------------------------------|----------------------|--|-------|------|-------|--------------------|-----|
| | | | MIN. | MAX. | MIN. | MAX. | |
| SCL0クロック周波数 | f _{CLK} | | 0 | 100 | 0 | 400 | kHz |
| リスタート・コンディションのセットアップ時間 | t _{SU: STA} | | 4.7 | | 0.6 | | μs |
| ホールド時間 ^{注1} | t _{HD: STA} | | 4.0 | | 0.6 | | μs |
| SCL0 = "L"のホールド・タイム | t _{LOW} | 内部クロック動作 | 4.7 | | 1.3 | | μs |
| SCL0 = "H"のホールド・タイム | t _{HIGH} | | 4.0 | | 0.6 | | μs |
| データ・セットアップ時間 (受信時) | t _{SU: DAT} | | 250 | | 100 | | ns |
| データ・ホールド時間 (送信時) ^{注2} | t _{HD: DAT} | f _W = f _{XH} /2 ^N 選択時 ^{注3} または | 0 | 3.45 | 0 | 0.9 ^{注4} | μs |
| | | f _W = f _{EXSCL0} 選択時 ^{注3} | | | | 1.00 ^{注5} | μs |
| | | f _W = f _{RH} /2 ^N 選択時 ^{注3} | | | | 1.05 | μs |
| ストップ・コンディションのセットアップ時間 | t _{SU: STO} | | 4.0 | | 0.6 | | μs |
| バス・フリー時間 | t _{HD: BUF} | | 4.7 | | 1.3 | | μs |

- 注1. スタート/リスタート・コンディション時は、この期間のあとに最初のクロック・パルスが生成されます。
2. t_{HD: DAT}の最大値 (MAX.) は、通常転送時の数値であり、 $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは、ウェイトがかかります。
3. f_Wは、IICL0レジスタとIICX0レジスタで選択した転送クロックを示します。
4. f_W ≥ 4.4 MHz選択時
5. f_W < 4.4 MHz選択時

IIC0転送タイミング



- P : ストップ・コンディション
- S : スタート・コンディション
- Sr : リスタート・コンディション

(d) CSI10 (マスタ・モード, SCK10...内部クロック出力)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---------------------------|--------------------|-------------------------|-----------------------|------|------|----|
| SCK10サイクル・タイム | t_{kCY1} | 4.0 V V_{DD} 5.5 V | 200 | | | ns |
| | | 2.7 V $V_{DD} < 4.0$ V | 400 | | | ns |
| | | 1.8 V $V_{DD} < 2.7$ V | 600 | | | ns |
| SCK10ハイ、ロウ・レベル幅 | t_{kH1}, t_{kL1} | 4.0 V V_{DD} 5.5 V | $t_{kCY1}/2-20$ 注1 | | | ns |
| | | 2.7 V $V_{DD} < 4.0$ V | $t_{kCY1}/2-30$ 注1 | | | ns |
| | | 1.8 V $V_{DD} < 2.7$ V | $t_{kCY1}/2-60$ 注1 | | | ns |
| SI10セットアップ時間 (対SCK10↑) | t_{SIK1} | 4.0 V V_{DD} 5.5 V | 70 | | | ns |
| | | 2.7 V $V_{DD} < 4.0$ V | 100 | | | ns |
| | | 1.8 V $V_{DD} < 2.7$ V | 190 | | | ns |
| SI10ホールド時間 (対SCK10↑) | t_{KS1} | | 30 | | | ns |
| SCK10↓→SO10出力遅延時間 | t_{kSO1} | C = 50 pF ^{注2} | | | 40 | ns |

注1. 高速システム・クロック (f_{XH}) 使用時の数値です。

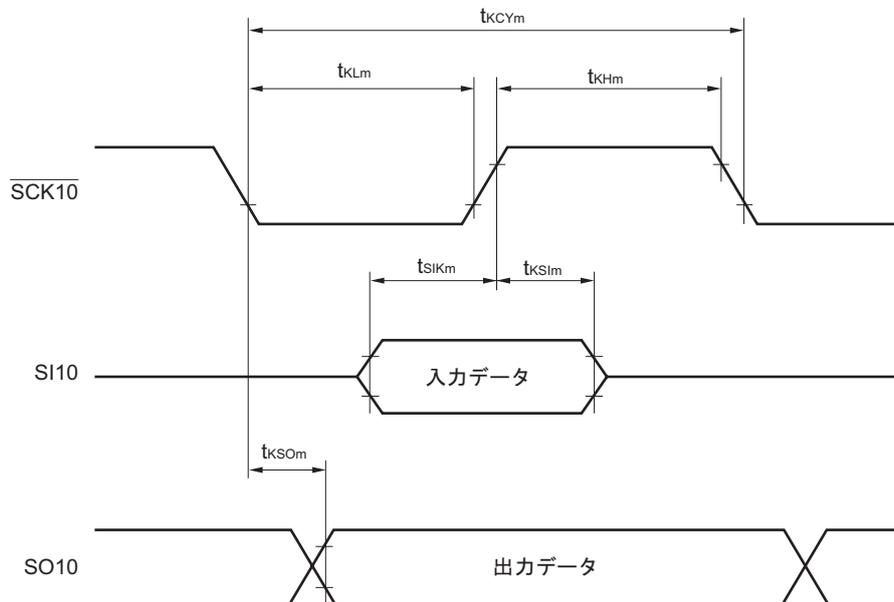
2. Cは、SCK10, SO10出力ラインの負荷容量です。

(e) CSI10 (スレーブ・モード, SCK10...外部クロック入力)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---------------------------|--------------------------|------------------------|------------------------|------|------|----|
| SCK10サイクル・タイム | t_{kCY2} | | 400 | | | ns |
| SCK10ハイ, ロウ・レベル幅 | t_{kH2} , t_{kL2} | | $t_{kCY2}/2$ | | | ns |
| SI10セットアップ時間 (対SCK10↑) | t_{SIK2} | | 80 | | | ns |
| SI10ホールド時間 (対SCK10↑) | t_{KSI2} | | 50 | | | ns |
| SCK10↓→SO10出力遅延時間 | t_{KSO2} | C = 50 pF ^注 | 4.0 V V_{DD} 5.5 V | | 120 | ns |
| | | | 2.7 V $V_{DD} < 4.0$ V | | 120 | ns |
| | | | 1.8 V $V_{DD} < 2.7$ V | | 180 | ns |

注 Cは, SO1n出カラインの負荷容量です。

CSI10転送タイミング



備考 m = 1, 2

A/Dコンバータ特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.3 \text{ V} \leq AV_{REF} \leq V_{DD}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--------------------------|-------------------|----------------------------------|------------------|------|-------------------|------|
| 分解能 | R _{ES} | | | | 10 | bit |
| 総合誤差 ^{注1,2} | A _{INL} | 4.0 V $AV_{REF} = 5.5 \text{ V}$ | | | ±0.4 | %FSR |
| | | 2.7 V $AV_{REF} < 4.0 \text{ V}$ | | | ±0.6 | %FSR |
| | | 2.3 V $AV_{REF} < 2.7 \text{ V}$ | | | ±1.2 | %FSR |
| 変換時間 | t _{CONV} | 4.0 V $AV_{REF} = 5.5 \text{ V}$ | 6.1 | | 66.6 | μs |
| | | 2.7 V $AV_{REF} < 4.0 \text{ V}$ | 12.2 | | 66.6 | μs |
| | | 2.3 V $AV_{REF} < 2.7 \text{ V}$ | 27 | | 66.6 | μs |
| ゼロスケール誤差 ^{注1,2} | E _{ZS} | 4.0 V $AV_{REF} = 5.5 \text{ V}$ | | | ±0.4 | %FSR |
| | | 2.7 V $AV_{REF} < 4.0 \text{ V}$ | | | ±0.6 | %FSR |
| | | 2.3 V $AV_{REF} < 2.7 \text{ V}$ | | | ±0.6 | %FSR |
| フルスケール誤差 ^{注1,2} | E _{FS} | 4.0 V $AV_{REF} = 5.5 \text{ V}$ | | | ±0.4 | %FSR |
| | | 2.7 V $AV_{REF} < 4.0 \text{ V}$ | | | ±0.6 | %FSR |
| | | 2.3 V $AV_{REF} < 2.7 \text{ V}$ | | | ±0.6 | %FSR |
| 積分直線性誤差 ^{注1} | I _{LE} | 4.0 V $AV_{REF} = 5.5 \text{ V}$ | | | ±2.5 | LSB |
| | | 2.7 V $AV_{REF} < 4.0 \text{ V}$ | | | ±4.5 | LSB |
| | | 2.3 V $AV_{REF} < 2.7 \text{ V}$ | | | ±6.5 | LSB |
| 微分直線性誤差 ^{注1} | D _{LE} | 4.0 V $AV_{REF} = 5.5 \text{ V}$ | | | ±1.5 | LSB |
| | | 2.7 V $AV_{REF} < 4.0 \text{ V}$ | | | ±2.0 | LSB |
| | | 2.3 V $AV_{REF} < 2.7 \text{ V}$ | | | ±2.0 | LSB |
| アナログ入力電圧 | V _{AIN} | | AV _{SS} | | AV _{REF} | V |

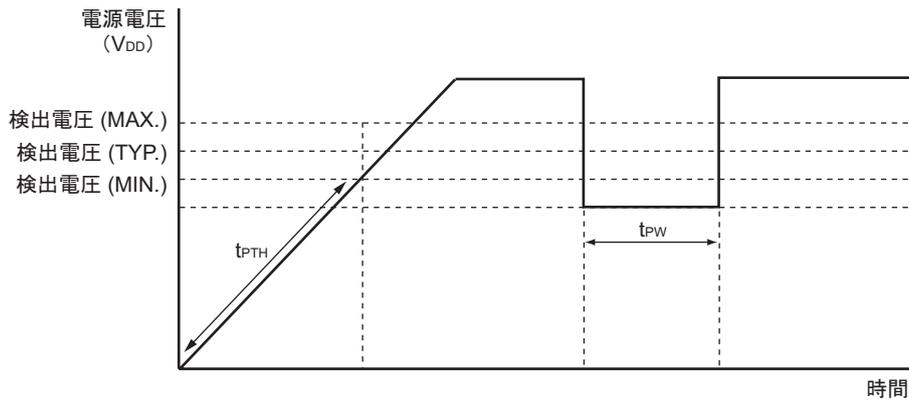
注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

1.59 V POC回路特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{SS} = 0 \text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------------|------------------|--|------|------|------|------|
| 検出電圧 | V _{POC} | | 1.44 | 1.59 | 1.74 | V |
| 電源電圧立ち上がり傾き | t _{PTH} | V _{DD} : 0 V V _{POC} の変化傾き | 0.5 | | | V/ms |
| 最小パルス幅 | t _{PW} | | 200 | | | μs |

POC回路タイミング

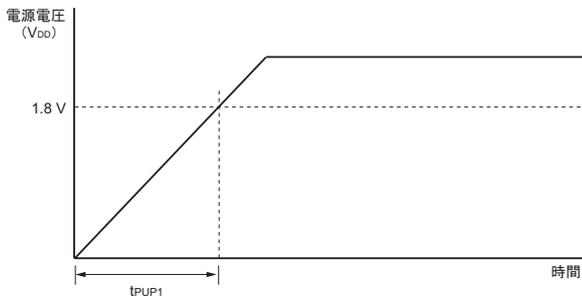


電源電圧立ち上げ時間 (TA = -40~+85 °C, VSS = 0 V)

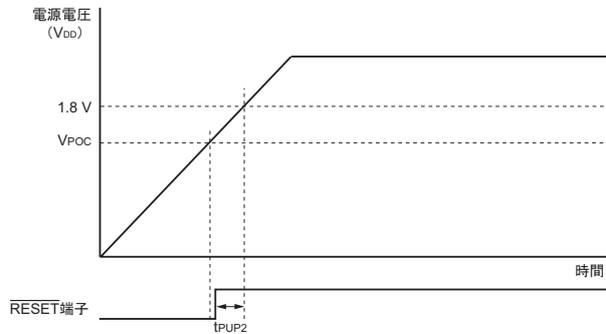
| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--|-------|---|------|------|------|----|
| 1.8 V (VDD (MIN.)) までの立ち上げ最大時間 (VDD : 0 V→1.8 V) | tPUP1 | POCMODE (オプション・バイト) = 0, RESET入力未使用時 | | | 3.6 | ms |
| 1.8 V (VDD (MIN.)) までの立ち上げ最大時間 (RESET入力解除→VDD : 1.8 V) | tPUP2 | POCMODE (オプション・バイト) = 0, RESET入力使用時 | | | 1.9 | ms |

電源電圧立ち上げ時間のタイミング

・ RESET端子入力未使用時



・ RESET端子入力使用時



2.7 V POC回路特性 (TA = -40~+85 °C, VSS = 0 V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------------|--------|-------------------------|------|------|------|----|
| 電源電圧投入時検出電圧 | VDDPOC | POCMODE (オプション・バイト) = 1 | 2.50 | 2.70 | 2.90 | V |

備考 POC回路の動作は、POCMODE (オプション・バイト) の設定により、次のようになります。

| オプション・バイトの設定 | POCモード | 動作 |
|--------------|-------------------|--|
| POCMODE = 0 | 1.59 Vモード動作 | 電源投入からV _{POC} = 1.59 V (TYP.) に達するまでリセット状態になり、V _{POC} を越えとリセットが解除されます。その後、電源投入時と同様に、V _{POC} でPOC検出が行われます。 POCMODE = 0の場合、t _{PUP1} またはt _{PUP2} の時間で電源電圧を立ち上げる必要があります。 |
| POCMODE = 1 | 2.7 V/1.59 Vモード動作 | 電源投入からV _{DDPOC} = 2.7 V (TYP.) に達するまでリセット状態になり、V _{DDPOC} を越えとリセットが解除されます。その後、V _{DDPOC} でのPOC検出は行われず、V _{POC} = 1.59 V (TYP.) でPOC検出が行われます。 電源投入から1.8 Vに達するまでの電圧の立ち上がり、t _{PTH} よりも緩やかな場合、2.7 V/1.59 V POCモードの使用を推奨します。 |

LVI回路特性 (TA = -40~+85 °C, VPOC ≤ VDD ≤ 5.5 V, AVREF ≤ VDD, VSS = 0 V)

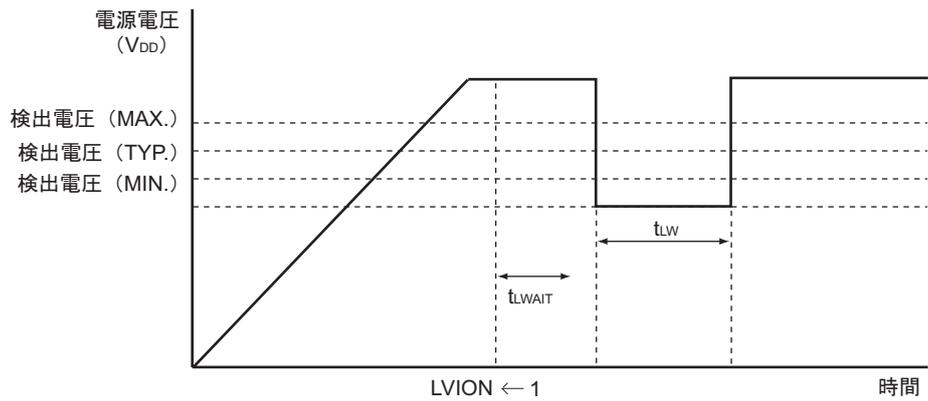
| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 | |
|------------------------|----------------------|--------------------|---|------|------|------|---|
| 検出電圧 | 電源電圧レベル | V _{LV10} | | 4.14 | 4.24 | 4.34 | V |
| | | V _{LV11} | | 3.99 | 4.09 | 4.19 | V |
| | | V _{LV12} | | 3.83 | 3.93 | 4.03 | V |
| | | V _{LV13} | | 3.68 | 3.78 | 3.88 | V |
| | | V _{LV14} | | 3.52 | 3.62 | 3.72 | V |
| | | V _{LV15} | | 3.37 | 3.47 | 3.57 | V |
| | | V _{LV16} | | 3.22 | 3.32 | 3.42 | V |
| | | V _{LV17} | | 3.06 | 3.16 | 3.26 | V |
| | | V _{LV18} | | 2.91 | 3.01 | 3.11 | V |
| | | V _{LV19} | | 2.75 | 2.85 | 2.95 | V |
| | | V _{LV110} | | 2.60 | 2.70 | 2.80 | V |
| | | V _{LV111} | | 2.45 | 2.55 | 2.65 | V |
| | | V _{LV112} | | 2.29 | 2.39 | 2.49 | V |
| | | V _{LV113} | | 2.14 | 2.24 | 2.34 | V |
| | | V _{LV114} | | 1.98 | 2.08 | 2.18 | V |
| | | V _{LV115} | | 1.83 | 1.93 | 2.03 | V |
| | 外部入力端子 ^{注1} | EXLVI | EXLVI < V _{DD} , 1.8 V V _{DD} 5.5 V | 1.11 | 1.21 | 1.31 | V |
| 最小パルス幅 | t _{LW} | | 200 | | | μs | |
| 動作安定待ち時間 ^{注2} | t _{LWAIT} | | 10 | | | μs | |

注1. EXLVI/P120/INTPO端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考 V_{LV1(n-1)} > V_{LV1n} : n = 1-15

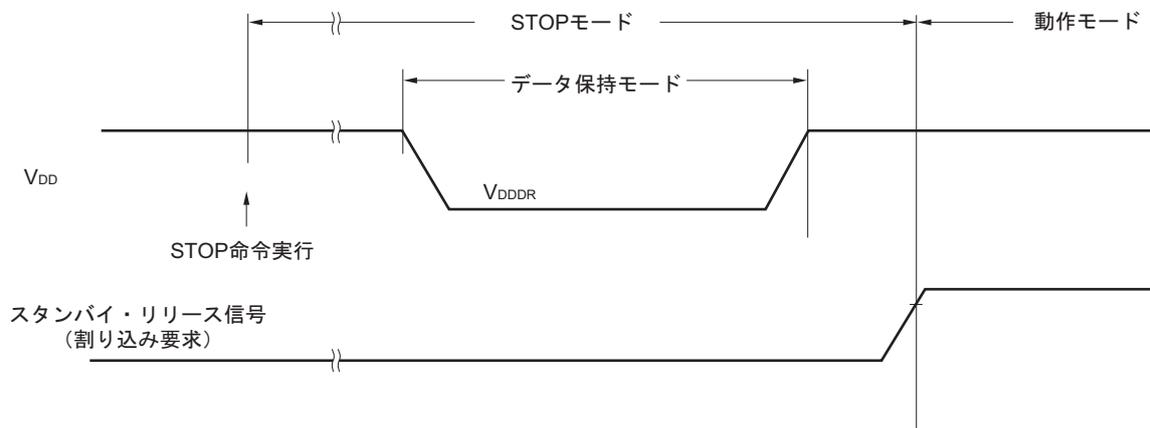
LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40~+85 °C)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-----------|-------------------|----|-------------------|------|------|----|
| データ保持電源電圧 | V _{DDDR} | | 1.44 ^注 | | 5.5 | V |

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



フラッシュ・メモリ・プログラミング特性

(TA = -40~+85 °C, 2.7 V ≤ VDD ≤ 5.5 V, AVREF ≤ VDD, VSS = AVSS = 0 V)

・基本特性

| 項目 | 略号 | 条件 | | | MIN. | TYP. | MAX. | 単位 | |
|-----------------------|-------------------|--|---|-----------------------------------|-------|------|------|-----|----|
| VDD電源電流 | I _{DD} | f _{XP} = 10 MHz (TYP.), 20 MHz (MAX.) | | | | 4.5 | 11.0 | mA | |
| 消去時間 注1,2 | 全ブロック | T _{eraca} | | | | | 20 | 200 | ms |
| | ブロック単位 | T _{erasa} | | | | | 20 | 200 | ms |
| 書き込み時間 (8ビット単位) 注1 | T _{wrwa} | | | | | 10 | 100 | μs | |
| 1チップあたりの書き換え回数 | C _{erwr} | 消去1回+消去後の書き込み1回 = 書き換え回数1回とする注3。 | フラッシュ・メモリ・プログラマ保持 15年 | 使用時および当社提供のライブラリ注4を使用時, プログラム更新用途 | 1000 | | | 回 | |
| | | | 当社提供のEEPROMエミュレーション・ライブラリ注5使用時, 書き換えROMサイズ: 4 Kバイト, データ更新用途 | 保持 5年 | 10000 | | | 回 | |
| | | | 上記以外の条件注6 | 保持 10年 | 100 | | | 回 | |

注1. フラッシュ・メモリの特性です。専用フラッシュ・メモリ・プログラマ PG-FP5使用時, およびセルフ・プログラミング時の書き換え時間につきましては, 78K0/Kx2 ユーザーズ・マニュアル (R01UH0008J) を参照してください。

2. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。

3. 出荷品に対する初回書き込み時では, 「消去→書き込み」の場合も, 「書き込みのみ」の場合も書き換え1回となります。

4. 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル (U17516J)」で指定されるサンプル・ライブラリを除きます。

5. 「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート (U17517J)」で指定されるサンプル・プログラムを除きます。

6. 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル (U17516J)」で指定されるサンプル・ライブラリ, および「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート (U17517J)」で指定されるサンプル・プログラム使用時を含みます。

備考1. f_{XP}: メイン・システム・クロック発振周波数

2. シリアル書き込みオペレーション特性につきましては, 78K0/Kx2 アプリケーション・ノート フラッシュ・メモリ・プログラミング (プログラマ編) (U17739J) を参照してください。

11.3 アナログ部電気的特性

電源回路特性 (特に指定のないかぎり, $T_A = -40 \sim +85^\circ\text{C}$, $6\text{ V} \leq V_{\text{SUP}} \leq 19\text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---------|-----------------------|---|----------------------|------|------|----|
| 出力電圧 | V _{CCOUT1} | 7 V $V_{\text{SUP}} = 19\text{ V}$ $V_{\text{CCOUT}} = V_{\text{RO}} = V_{\text{RS}}$, $I_{\text{RO}} = 1 \sim 50\text{ mA}$ | 4.85 | 5 | 5.15 | V |
| | V _{CCOUT2} | 6 V $V_{\text{SUP}} = 19\text{ V}$ $V_{\text{CCOUT}} = V_{\text{RO}} = V_{\text{RS}}$, $I_{\text{RO}} = 1 \sim 25\text{ mA}$ | 4.85 | 5 | 5.15 | V |
| | V _{CCOUT3} | 19 V < $V_{\text{SUP}} < 40\text{ V}$ $V_{\text{CCOUT}} = V_{\text{RO}} = V_{\text{RS}}$, $I_{\text{RO}} = 1\text{ mA}$ | 4.5 | 5 | 5.5 | V |
| | V _{CCOUT4} | 7 V $V_{\text{SUP}} = 19\text{ V}$, $V_{\text{ccout}} = V_{\text{RS}}$ 外付けNPNトランジスタ使用時 $I_{\text{c}} = 1\text{ mA} \sim 150\text{ mA}$ | 4.85 | 5 | 5.15 | V |
| | V _{CCOUT5} | 19 V $V_{\text{SUP}} = 40\text{ V}$, $V_{\text{ccout}} = V_{\text{RS}}$ 外付けNPNトランジスタ使用時 $I_{\text{c}} = 1\text{ mA}$ | 4.5 | 5 | 5.5 | V |
| | V _{SVDD1} | 6 V $V_{\text{SUP}} = 19\text{ V}$ $I_{\text{SVDD}} = 20\text{ mA}$ | V _{RS} -0.3 | | | V |
| | V _{SVDD2} | 7 V $V_{\text{SUP}} = 19\text{ V}$ 外付けNPNトランジスタ使用時 $I_{\text{SVDD}} = 20\text{ mA}$ | V _{RS} -0.3 | | | V |
| | V _{SVDD3} | 6 V $V_{\text{SUP}} = 19\text{ V}$ SVDD = オフ | | | TBD | V |
| 過電流検出電流 | I _{ROlim1} | 7 V $V_{\text{SUP}} = 19\text{ V}$, V _{RO} | 51 | | 300 | mA |
| | I _{ROlim2} | 6 V $V_{\text{SUP}} < 7\text{ V}$, V _{RO} | 26 | | 300 | mA |
| | I _{SVDDlim1} | 6 V $V_{\text{SUP}} = 19\text{ V}$, SVDD | 21 | 35 | 50 | mA |
| | I _{SVDDlim2} | 7 V $V_{\text{SUP}} = 19\text{ V}$, SVDD 外付けNPNトランジスタ使用時 | 21 | 35 | 50 | mA |
| ショート電流 | I _{short} | | | TBD | | mA |
| 負荷安定度 | REG _{L1} | 1 mA < I _{RO} < 50 mA, $V_{\text{SUP}} = 14\text{ V}$ | | | 60 | mV |
| | REG _{L2} | 1 mA < I _c < 150 mA, $V_{\text{SUP}} = 14\text{ V}$ 外付けNPNトランジスタ使用時 | | | 80 | mV |
| 入力安定度 | REG _{IN1} | 7 V $V_{\text{SUP}} = 19\text{ V}$, I _{RO} = 50 mA | | | 60 | mV |
| | | 6 V $V_{\text{SUP}} = 19\text{ V}$, I _{RO} = 25 mA | | | 60 | mV |
| | REG _{IN2} | 7 V $V_{\text{SUP}} = 19\text{ V}$, I _c = 150 mA 外付けNPNトランジスタ使用時 | | | 60 | mV |

電源電流特性 (特に指定のないかぎり, $T_A = -40 \sim +85^\circ\text{C}$, $6\text{ V} \leq V_{\text{SUP}} \leq 19\text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|------|-------------------------|--|------|------|------|---------------|
| 電源電流 | I_{SUP1} 注1, 2 | $I_{\text{SUP1}} = I_{\text{SUP}}$, LIN : Sleep, $T_A = 25^\circ\text{C}$, $V_{\text{SUP}} = 14\text{ V}$ | | 30 | 50 | μA |
| | I_{SUP2} 注1, 2 | $I_{\text{SUP2}} = I_{\text{SUP}}$, LIN : Sleep | | TBD | TBD | μA |
| | I_{SUP3} 注1, 2 | $I_{\text{SUP3}} = I_{\text{SUP}}$, LIN : Nomal (LIN bus: Recessive) | | TBD | 3 | mA |

注1. SUP, SUP1-SUP6, VRO内部電源に流れるトータル電流です。ただし、プルアップ抵抗に流れる電流は含みません。

2. V_{DD} に流れる電流は含みません。 V_{DD} に流れる電流 (I_{DD}) については、78K0/Kx2 ユーザーズ・マニュアル (R01UH0008J) の第31章 電気的特性 ((A)水準品) のDC特性を参照してください。

LINトランシーバ部特性

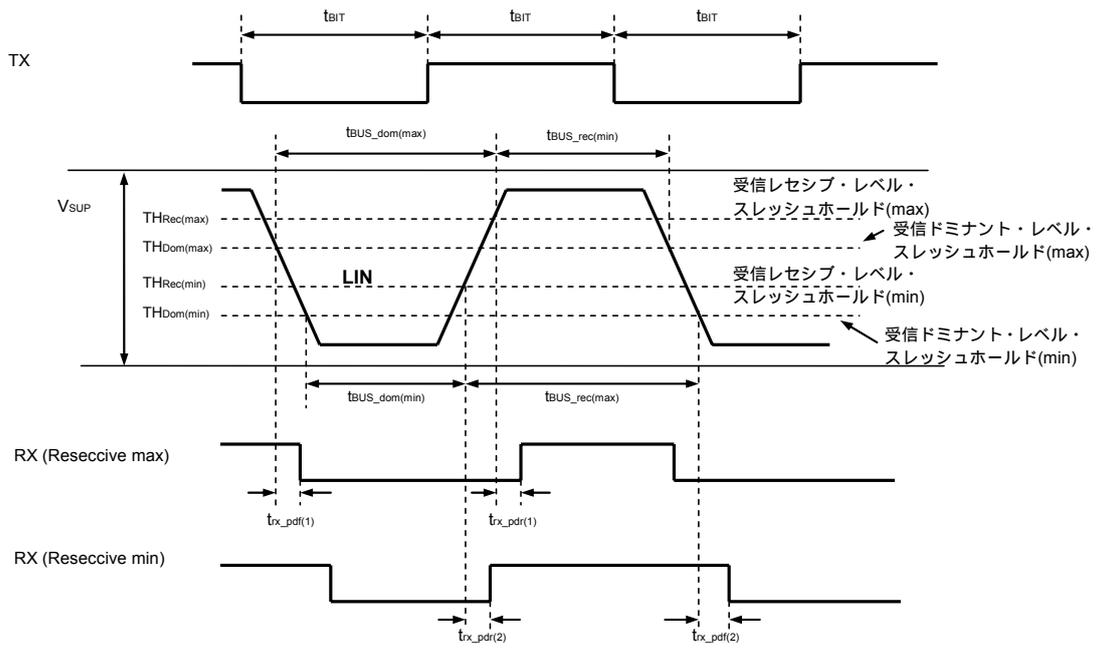
DC特性 (特に指定のないかぎり, $T_A = -40 \sim +85^\circ\text{C}$, $6\text{ V} \leq V_{\text{SUP}} \leq 19\text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--------------------------|-------------------------------|---|---------------------------|---------------------|---------------------------|----|
| LINバス・ドミナント・リーク電流 | I _{BUS_PAS_dom} | $V_{\text{BUS}} = 0\text{ V}$, $V_{\text{SUP}} = 12\text{ V}$ | - 1 | | | mA |
| LINバス・レセプ・リーク電流 | I _{BUS_PAS_rec} | $V_{\text{BUS}} = V_{\text{SUP}}$ | | | 20 | μA |
| LINバス電流1 | I _{BUS_NO_GND} | $0\text{ V} < V_{\text{BUS}} < 18\text{ V}$, $V_{\text{SUP}} = 12\text{ V}$ | - 1 | | 1 | mA |
| LINバス電流2 | I _{BUS} | $V_{\text{SUP_Device}} = \text{GND}$, $0\text{ V} < V_{\text{BUS}} < 18\text{ V}$ | | 1 | 10 | μA |
| 受信ドミナント・レベル入力電圧 | V _{BUSdom} | | | | 0.4V _{SUP} | V |
| 受信レセプ・レベル入力電圧 | V _{BUSrec} | | 0.6V _{SUP} | | | V |
| 受信センタ・レベル・スレッシュ ホールド | V _{BUS_CNT} | $(V_{\text{th_dom}} + V_{\text{th_rec}}) / 2$ | 0.475 V _{SUP} | 0.5V _{SUP} | 0.525 V _{SUP} | V |
| 受信ヒステリシス | V _{HYS} | | | | 0.175V _{SUP} | V |
| LINドミナント・レベル出力電圧 1 | V _{BUSdom_DRV_LoSUP} | $V_{\text{SUP}} = 7.3\text{ V}$, $I_{\text{lin}} = 15\text{ mA}$ | | | 1.2 | V |
| LINドミナント・レベル出力電圧 2 | V _{BUSdom_DRV_HISUP} | $V_{\text{SUP}} = 18\text{ V}$, $I_{\text{lin}} = 36\text{ mA}$ | | | 2 | V |
| LINシリアル・ダイオード・ ドロップ電圧 | V _{SerDiode} | $V_{\text{TXD}} = V_{\text{RO}}$ | 0.4 | 0.7 | 1.0 | V |
| LINブルアップ抵抗 | R _{slave} | | 20 | 30 | 60 | kΩ |
| MOD1, MOD2ハイ・レベル入力 電圧 | V _{mh} | | 0.7V _{RS} | | | V |
| MOD1, MOD2ロウ・レベル入力 電圧 | V _{ml} | | | | 0.3V _{RS} | V |
| SRCハイ・レベル入力電圧 | V _{srh} | | 0.7V _{RS} | | | V |
| SRCロウ・レベル入力電圧 | V _{srl} | | | | 0.3V _{RS} | V |
| MSLPハイ・レベル入力電圧 | V _{SLPH} | | 0.7V _{RS} | | | V |
| MSLPロウ・レベル入力電圧 | V _{SLPL} | | | | 0.3V _{RS} | V |
| MSLPプルダウン抵抗 | R _{MSLP} | | 50 | 100 | 220 | kΩ |
| LINドライバ過電流制限 | I _{const} | LIN端子流入電流制限値 | 40 | 80 | 200 | mA |

AC特性 (特に指定のないかぎり, $T_A = -40 \sim +85^\circ\text{C}$, $6\text{ V} \leq V_{\text{SUP}} \leq 19\text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|------------------------|----------------------|--|-------|------|-------|---------------|
| Duty Cycle 1 (図12-1参照) | D ₁ | $C_{\text{bus}}, R_{\text{bus}} = 1\text{ nF}; 1\text{ k}\Omega/6.8\text{ nF}; 660\ \Omega/$ $10\text{ nF}; 500\ \Omega$ $t_{\text{BIT}} = 50\ \mu\text{s}$ $TH_{\text{Rec(max)}} = 0.744 \times V_{\text{SUP}}$, $TH_{\text{Dom(max)}} = 0.581 \times V_{\text{SUP}}$ $D_1 = t_{\text{BUS_rec(min)}}/(2 \times t_{\text{BIT}})$ $7\text{ V} \leq V_{\text{SUP}} \leq 18\text{ V}$ SRC = High | 0.396 | | | - |
| Duty Cycle 2 (図12-1参照) | D ₂ | $C_{\text{bus}}, R_{\text{bus}} = 1\text{ nF}; 1\text{ k}\Omega/6.8\text{ nF}; 660\ \Omega/$ $10\text{ nF}; 500\ \Omega$ $t_{\text{BIT}} = 50\ \mu\text{s}$ $TH_{\text{Rec(min)}} = 0.422 \times V_{\text{SUP}}$, $TH_{\text{Dom(min)}} = 0.284 \times V_{\text{SUP}}$ $D_2 = t_{\text{BUS_rec(max)}}/(2 \times t_{\text{BIT}})$ $7.6\text{ V} \leq V_{\text{SUP}} \leq 18\text{ V}$ SRC = High | | | 0.581 | - |
| Duty Cycle 3 (図12-1参照) | D ₃ | $C_{\text{bus}}, R_{\text{bus}} = 1\text{ nF}; 1\text{ k}\Omega/6.8\text{ nF}; 660\ \Omega/$ $10\text{ nF}; 500\ \Omega$ $t_{\text{BIT}} = 96\ \mu\text{s}$ $TH_{\text{Rec(max)}} = 0.778 \times V_{\text{SUP}}$, $TH_{\text{Dom(max)}} = 0.616 \times V_{\text{SUP}}$ $D_3 = t_{\text{BUS_rec(min)}}/(2 \times t_{\text{BIT}})$ $7\text{ V} \leq V_{\text{SUP}} \leq 18\text{ V}$ SRC = Low | 0.417 | | | - |
| Duty Cycle 4 (図12-1参照) | D ₄ | $C_{\text{bus}}, R_{\text{bus}} = 1\text{ nF}; 1\text{ k}\Omega/6.8\text{ nF}; 660\ \Omega/$ $10\text{ nF}; 500\ \Omega$ $t_{\text{BIT}} = 96\ \mu\text{s}$ $TH_{\text{Rec(min)}} = 0.389 \times V_{\text{SUP}}$, $TH_{\text{Dom(min)}} = 0.251 \times V_{\text{SUP}}$ $D_4 = t_{\text{BUS_rec(max)}}/(2 \times t_{\text{BIT}})$ $7.6\text{ V} \leq V_{\text{SUP}} \leq 18\text{ V}$ SRC = Low | | | 0.590 | - |
| 伝達遅延時間 | $t_{\text{rx_pd}}$ | $t_{\text{rx_pdf(1)}}, t_{\text{rx_pdf(2)}}, t_{\text{rx_pdr(1)}}, t_{\text{rx_pdr(2)}}$ | | | 6 | μs |
| 立ち上がり, 立ち下がり伝達遅延時間 | $t_{\text{rx_sym}}$ | $t_{\text{rx_sym}} = t_{\text{rx_pdf(1)}} - t_{\text{rx_pdr(1)}},$ $t_{\text{rx_sym}} = t_{\text{rx_pdf(2)}} - t_{\text{rx_pdr(2)}}$ | - 2 | | 2 | μs |

図11-1 デューティ・サイクル



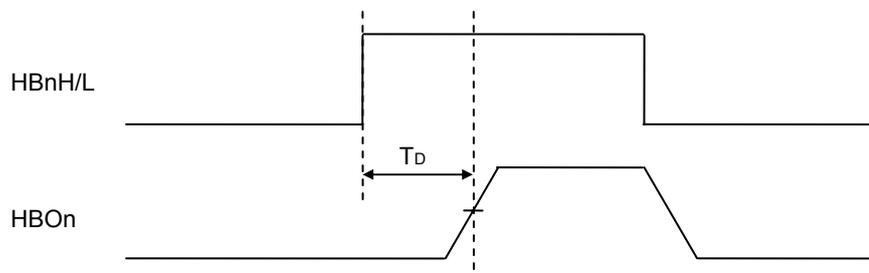
ハーフ・ブリッジ・ドライバ部特性

(特に指定のないかぎり, $T_A = -40 \sim +85^\circ\text{C}$, $6\text{ V} \leq (V_{\text{SUP}} = \text{SUP} = \text{SUP1-SUP6}) \leq 19\text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---------------|----------------------------------|----------------------------------|------|------|------|----------------|
| オン抵抗 | HBn_RONH | $I_o = -1.2\text{ A}$ | TBD | TBD | 1.0 | Ω |
| | HBn_RONL | $I_o = 1.2\text{ A}$ | TBD | TBD | 1.0 | Ω |
| 過電流検出電流 | I _{HBO_nlimH} | | -2.7 | | -1.4 | A |
| | I _{HBO_nlimL} | | 1.4 | | 2.7 | A |
| 出力オフ・リーク電流 | I _{LHBO_nH} | HBO1 - HBO6 | | | TBD | $\mu\text{ A}$ |
| | I _{LHBO_nL} | HBO1 - HBO6 | TBD | | | $\mu\text{ A}$ |
| スイッチング・ディレイ時間 | T _D | HBO1 - HBO6, High side, Low side | | TBD | | $\mu\text{ s}$ |
| スイッチング周波数 | f _{PWMIL} | Low side, HBO1 - HBO6 | | | TBD | kHz |

備考 n = 1-6

スイッチング・ディレイ・タイミング



備考1. n = 1-6

2. HBnH/L : ハーフ・ブリッジのハイ・サイドMOSFETまたはロー・サイドMOSFETの制御ビットの状態

SPI & PWM制御回路部特性

DC特性 (特に指定のないかぎり, $T_A = -40 \sim +85^\circ\text{C}$, $6\text{ V} \leq V_{\text{SUP}} \leq 19\text{ V}$)

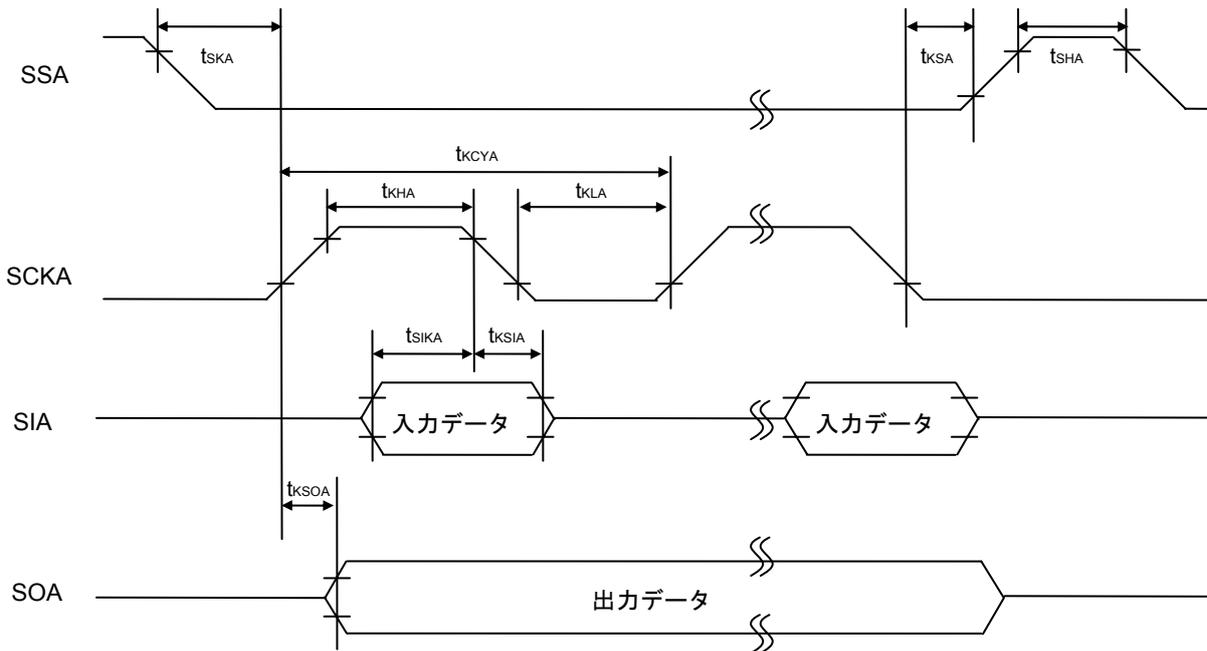
| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---------------------------------------|-----------------------|--------------------------------------|---------|------|---------|------------------|
| SCKA, SIA, SSA, PWMI ハイ・レベル入力電圧 | $V_{\text{IH_SPI}}$ | SCKA, SIA, SSA, PWMI Port mode A | 0.7 VRS | | | V |
| SCKA, SIA, SSA, PWMI ロー・レベル入力電圧 | $V_{\text{IL_SPI}}$ | SCKA, SIA, SSA, PWMI Port mode A | | | 0.3 VRS | V |
| SCKA, SIA, SSA, PWMI ハイ・レベル入力リーク電流 | $I_{\text{LH_SPI}}$ | SCKA, SIA, SSA, PWMI, Port mode B | | | 1 | μA |
| SCKA, SIA, SSA, PWMI ロー・レベル入力リーク電流 | $I_{\text{LIL_SPI}}$ | SCKA, SIA, SSA, PWMI, Port mode B | - 1 | | | μA |
| SOAハイ・レベル出力リーク電流 | $I_{\text{LOH_SPI}}$ | SOA, Port mode A | | | 1 | μA |
| SOAロー・レベル出力リーク電流 | $I_{\text{LOL_SPI}}$ | SOA, Port mode A | - 1 | | | μA |
| SSAプルアップ抵抗 | R_{SSA} | SSA, Port mode A | 50 | 100 | 200 | $\text{k}\Omega$ |
| SCKAプルダウン抵抗 | R_{SCKA} | SCK, Port mode A | 50 | 100 | 200 | $\text{k}\Omega$ |
| SIAプルダウン抵抗 | R_{SIA} | SIA, Port mode A | 50 | 100 | 200 | $\text{k}\Omega$ |
| PWMIプルダウン抵抗 | R_{PWMI} | PWMI, Port mode A | 50 | 100 | 200 | $\text{k}\Omega$ |

AC特性 (特に指定のないかぎり, $T_A = -40 \sim +85^\circ\text{C}$, $6\text{ V} \leq V_{\text{SUP}} \leq 19\text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------------------------|---------------------------------------|------------------------|---------------------|------|------|----|
| SCKAサイクル・タイム | t_{KCYA} | | 400 | | | ns |
| SCKAハイ, ロー・レベル幅 | $t_{\text{KHA}},$ t_{KLA} | | $t_{\text{KCYA}}/2$ | | | ns |
| SIAセットアップ時間 (対SCKA↑) | t_{SIKA} | | 80 | | | ns |
| SIAホールド時間 (対SCKA↓) | t_{KSIA} | | 50 | | | ns |
| SCKA↑→SOA出力遅延時間 | t_{KSOA} | C = 50 pF ^注 | 4.0 V VRS 5.25 V | | 120 | ns |
| | | | 2.7 V VRS < 4.0 V | | 120 | ns |
| SSAハイ・レベル幅 | t_{SHA} | | TBD | | | ns |
| SSA↓→SCKA↑遅延時間 | t_{SKA} | | TBD | | | ns |
| SCKA↓→SSA↑遅延時間 | t_{KSA} | | TBD | | | ns |

注 Cは, SOA出カラインの負荷容量です。

SPI転送クロック・タイミング

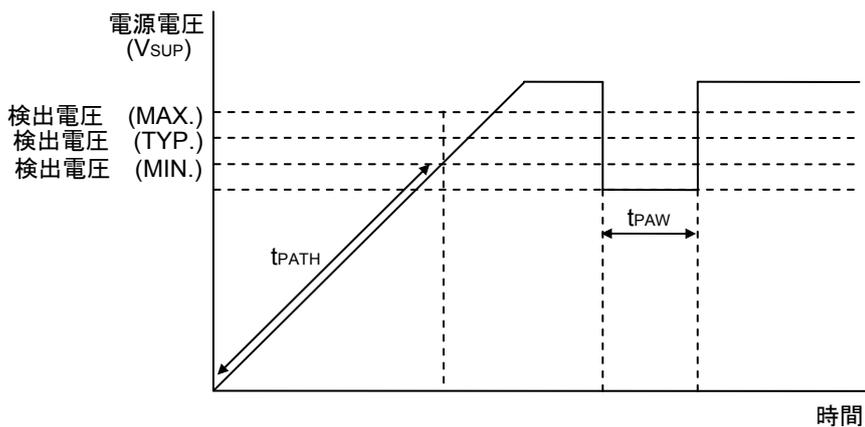


POCA回路部特性

(特に指定のないかぎり, $T_A = -40 \sim +85^\circ\text{C}$, $V_{SS} = 0\text{V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------------|------------|---|------|------|------|---------------|
| 検出電圧 | V_{POCA} | | 2.7 | 3.0 | 3.3 | V |
| 電源電圧立ち上がり傾き | t_{PATH} | $V_{DD} : 0\text{V} \rightarrow V_{POCA}$ の変化傾き | 0.5 | | | V/ms |
| 最小パルス幅 | t_{PAW} | | 200 | | | μs |

POCA回路タイミング



低電圧検出回路部特性

(特に指定のないかぎり, $T_A = -40 \sim +85^\circ\text{C}$, $6\text{ V} \leq V_{\text{SUP}} \leq 19\text{ V}$)

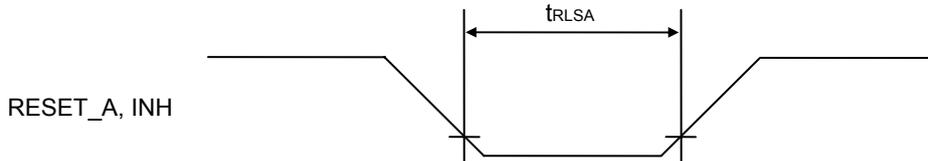
| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|---------|-------------------|-----------------------------------|------|------|------|----|
| 低電圧検出電圧 | V_{LVIA} | $V_{\text{LVIA}} = V_{\text{RS}}$ | 4.0 | 4.2 | 4.4 | V |

リセット回路部特性

(特に指定のないかぎり, $T_A = -40 \sim +85^\circ\text{C}$, $6\text{ V} \leq V_{\text{SUP}} \leq 19\text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------------------------------|-----------------------|--------------------------------------|---------------------|------|---------------------|------------------|
| RESET_A, INH ハイ・レベル入力電圧 | V_{IHW1} | RESET_A, INH | $0.7 V_{\text{RS}}$ | | | V |
| RESET_A, INH ロウ・レベル入力電圧 | V_{ILW1} | RESET_A, INH | 0 | | $0.3 V_{\text{RS}}$ | V |
| RESET_A, INH 最小ロウ・レベル幅 | t_{RLSA} | RESET_A, INH | 10 | | | μs |
| RESET_A, INH ハイ・レベル入力リーク電流 | I_{LIHW1} | RESET_A, INH, $V_i = V_{\text{SUP}}$ | | | 3 | μA |
| RESET_A, INH ロウ・レベル入力リーク電流 | I_{LILW1} | RESET_A, INH, $V_i = \text{GND}$ | -3 | | | μA |
| RESET_A, INHプルアップ抵抗 | $R_{\text{RESET_A}}$ | RESET_A, INH | 50 | 100 | 200 | $\text{k}\Omega$ |

RESET_A, INH入力タイミング



過熱検出回路部特性

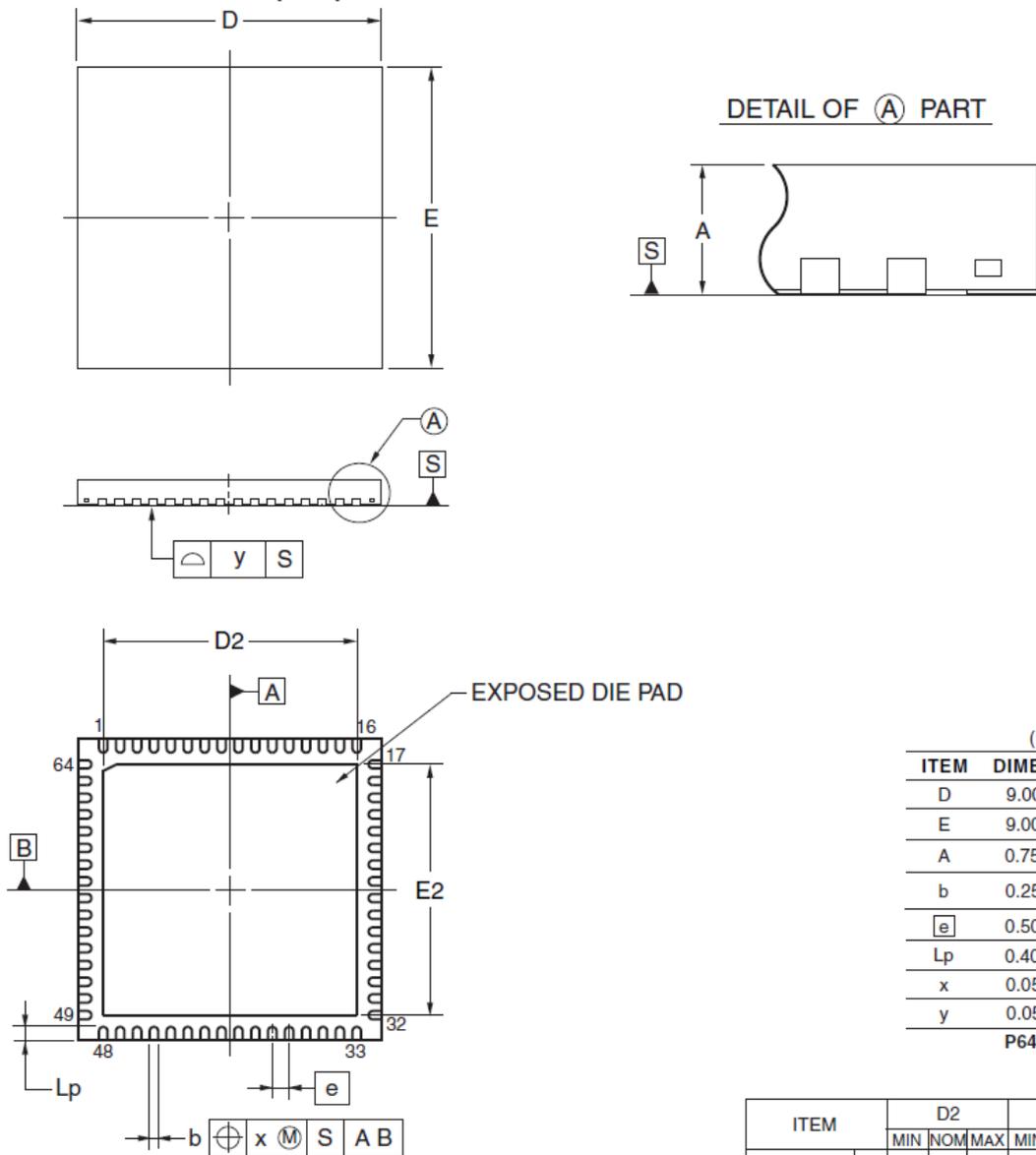
(特に指定のないかぎり, $T_A = -40 \sim +85^\circ\text{C}$, $6\text{ V} \leq V_{\text{SUP}} \leq 19\text{ V}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|--------|------------------|----|-------|-------|-------|----|
| 過熱検出温度 | V_{Rth} | | (150) | (170) | (200) | |

備考 () で示した数値は設計目標値であり、出荷テストは行いません。

第12章 外形图

64-PIN PLASTIC WQFN(9x9)

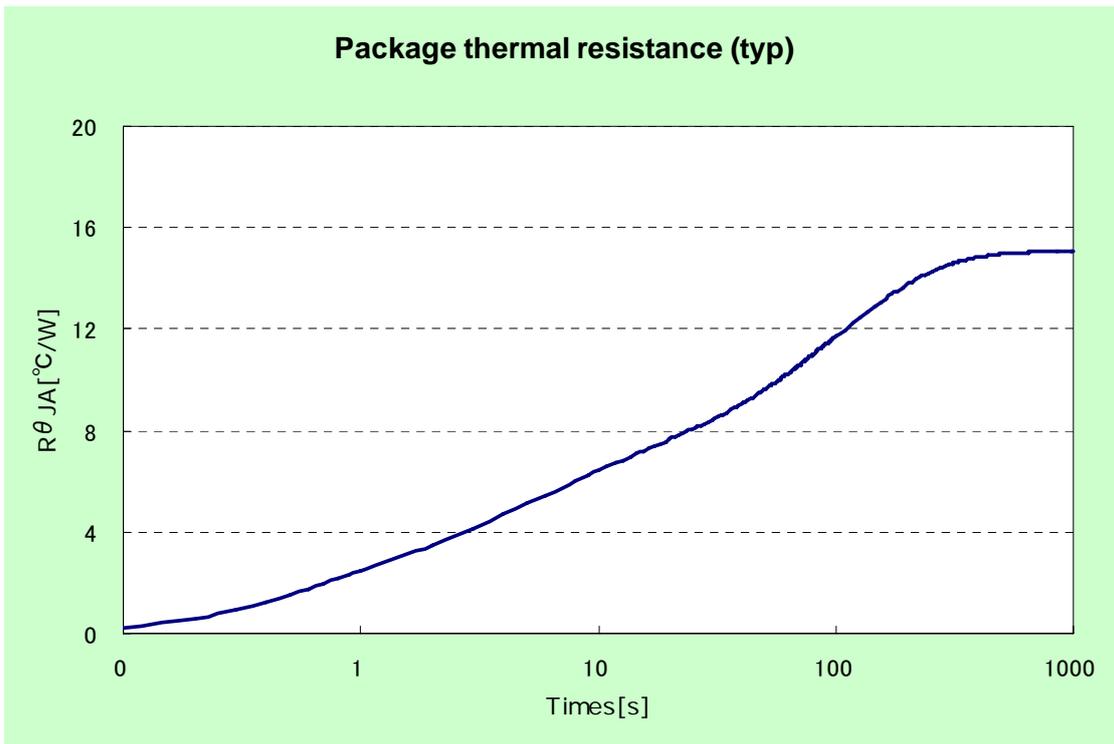


© 2010 Renesas Electronics Corporation. All rights reserved.

付録A パッケージ熱抵抗

条件

基板サイズ 76.2 mm × 114.3 mm, t = 1.60 mm
 配線 4層 (配線厚 : 70/35/35/70 μm)
 材質 FR-4



付録B 全損失、ジャンクション温度の算出例

全損失の算出例

使用条件

$$V_{SUP} = 16 \text{ V}$$

$$I_{RO} = 20 \text{ mA}$$

LIN = Normal モード (Recessive)

$$T_A = 85^\circ\text{C}$$

マイクロコントローラ部) $V_{RO} = 5 \text{ V}$, $I_{DD1} = 3.2 \text{ mA}$

$$P1 = V_{RO} \times I_{DD1} = 16 \text{ mW}$$

電源回路、LIN トランシーバ) $V_{SUP} = 16 \text{ V}$, $I_{SUP3} = 3 \text{ mA}$

$$P2 = V_{SUP} \times I_{SUP3} = 48 \text{ mW}$$

ドロップアウト電圧) $V_{SUP} = 16 \text{ V}$, $V_{RO} = 5 \text{ V}$, $I_{RO} = 20 \text{ mA}$

$$P3 = (V_{SUP} - V_{RO}) \times I_{RO} = 220 \text{ mW}$$

ハーフブリッジ) $R_{on} = 1 \Omega$, $I_{load} = 0.5 \text{ A}$, 6 ch

$$P4 = R_{on} \times I_{load}^2 \times 6 = 1.5 \text{ W}$$

Total)

$$PD = P1 + P2 + P3 + P4 = 1.784 \text{ W}$$

ジャンクション温度の算出例

$$T_J = (PD \times R_{\theta JA}^{\text{注}}) + T_A$$

$$= 111.47^\circ\text{C}$$

注 $R_{\theta JA}$ は Package thermal resistance 特性 (付録 A) 中の 400 sec 以上の値を使用。

注意 T_{jmax} 値 (150 °C) を超えない範囲で使用してください。

付録C 改版履歴

C.1 本版で改訂された主な箇所

(1/2)

| 箇所 | 内容 |
|-------------------------------------|--|
| 第1章 概説 | |
| p.2 | 1.1 特徴の本文を変更 |
| p.4, 5 | 1.4 端子接続図 (Top View) を変更 |
| p.6-8 | 1.5 ブロック図を変更 |
| p.9, 10 | 1.6 機能概要を変更 |
| 第2章 端子機能 | |
| p.11 | 2 (1) ポート機能と兼用端子を変更 |
| p.12 | 表2 - 1 各端子の入出力バッファ電源を変更 |
| p.12, 13 | 2.1 (1) ポート端子を変更 |
| p.14 | 2.1 (2) ポート以外の端子を変更 |
| p.17 | 2.2 アナログ部の端子機能を変更 |
| p.21 | 2.3.3 P20-P24 (Port 2) を変更 |
| p.25 | 2.3.8 P130 (Port 13) を追加, 2.3.9 AVREF, AVSS, VDD, VSSを変更 |
| p.27 | 2.3.19 SWI, 2.3.20 SWOを削除 |
| p.28 | 2.3.31 ICを追加 |
| p.29-31 | 表2 - 3 各端子の入出力回路タイプを変更, 注4を追加 |
| p.32, 34, 35 | 図2 - 1 端子の入出力回路一覧を変更 |
| 第3章 マイクロコントローラ機能 | |
| p.36 | 3.1 78K0/KC2と異なる機能を変更 |
| p.37 | 3.2 78K0/KC2と異なる特殊機能レジスタを変更 |
| p.39 | 3.3.1 ポート・モード・レジスタを変更 |
| p.40 | 3.3.2 ポート・レジスタ, 3.3.3 プルアップ抵抗オプション・レジスタを変更 |
| p.41 | 3.3.4 アナログ入力チャネル指定レジスタを変更 |
| p.42 | 3.3.5 A/Dポート・コンフィギュレーション・レジスタを変更 |
| 第4章 フラッシュ・メモリ・プログラマによる書き込み方法 | |
| p.50 | 表4 - 1 専用フラッシュ・メモリ・プログラマの配線表を変更 |
| 第5章 電源回路 | |
| p.51 | 5.4 過電流保護機能の本文を変更 |
| p.52 | 5.6 外付けドロップパルプ補助機能に注意を追加 |
| p.53 | 図5 - 2 内蔵Pch-MOS使用時の電源回路アプリケーション例を変更 |
| p.54 | 図5 - 3 外付けNPNトランジスタ使用時の電源回路アプリケーション例を変更 |

(2/2)

| 箇 所 | 内 容 |
|-------------------------------|--|
| 第6章 LINトランシーバ回路 | |
| p.55 | 6.1 LINトランシーバ機能の本文を変更 |
| p.56 | 図6-2 動作モード状態遷移図, 表6-1 LIN動作モード設定を変更, 注意を追加 |
| p.57 | 表6-2 各ポート・モードの機能端子状態を変更 |
| p.58 | 表6-3 各アナログ機能ブロックの動作状態を変更 |
| p.59 | 6.2 動作モードの本文を変更 |
| 第7章 ハーフ・ブリッジ回路 | |
| p.63 | 第7章 ハーフ・ブリッジ回路の本文を変更 |
| p.64 | モード遷移図, 表7-1 Inhibit mode中の動作状態を変更 |
| p.65 | 7.2 過電流保護機能の本文を変更 |
| 第8章 SPI & PWM制御回路 | |
| p.72 | 8.3 (4) システム・ステータス・レジスタ (SS) を変更 |
| 第10章 アナログ・リセット機能 | |
| p.78 | 表10-1 アナログ・リセット期間中の動作状態, 表10-2 パッケージ内部で接続されているアナログ部の機能端子の状態を変更 |
| 第11章 電気的特性 (A)水準品) | |
| p.79, 80 | 11.1 絶対最大定格マイクロコントローラ部絶対最大定を変更 |
| p.83-85, 87, 88 | 11.2 マイクロコントローラ部電気的特性を変更 |
| p.101, 106, 107, 109 | 11.3 アナログ部電気的特性を変更 |
| 付録A パッケージ熱抵抗 | |
| p.111 | 付録A パッケージ熱抵抗を追加 |
| 付録B 全損失, ジャンクション温度の算出例 | |
| p.112 | 付録B 全損失, ジャンクション温度の算出例を追加 |
| 付録C 改版履歴 | |
| p.113 | 付録C 改版履歴を追加 |

μPD78F807x
LINトランシーバ／ハーフブリッジドライバ
内蔵マイクロコントローラ
ユーザーズマニュアル ハードウェア編

発行年月日 2012年9月27日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

μPD78F807x
LIN トランシーバ／ハーフブリッジドライバ
内蔵マイクロコントローラ