

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザース・マニュアル

μ PD789835, 789835A, 789835B サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μ PD789832

μ PD789832A

μ PD789832B

μ PD789833

μ PD789833A

μ PD789833B

μ PD789834

μ PD789834A

μ PD789834B

μ PD789835

μ PD789835A

μ PD789835B

μ PD78F9835

(メモ)

目次要約

第1章	概 説	...	24
第2章	端子機能	...	35
第3章	CPUアーキテクチャ	...	44
第4章	ポート機能	...	72
第5章	クロック発生回路	...	87
第6章	8ビット・タイマ/イベント・カウンタ80-82	...	103
第7章	8ビット・タイマ30, 40	...	119
第8章	8ビット・リモコン・タイマ50	...	150
第9章	サウンド・ジェネレータ	...	154
第10章	時計用タイマ	...	172
第11章	ウォッチドッグ・タイマ	...	177
第12章	8ビットA/Dコンバータ (μ PD78983xB, 78983xA, 78F9835のみ)	...	183
第13章	シリアル・インタフェース	...	195
第14章	LCDコントローラ/ドライバ	...	224
第15章	乗 算 器	...	252
第16章	スワッピング (SWAP)	...	256
第17章	割り込み機能	...	258
第18章	スタンバイ機能	...	274
第19章	リセット機能	...	283
第20章	μ PD78F9835	...	288
第21章	命令セットの概要	...	296
第22章	電気的特性	...	307
第23章	外 形 図	...	322
第24章	応用回路例	...	323
付録A	開発ツール	...	331
付録B	ターゲット・システム設計上の注意	...	337
付録C	レジスタ索引	...	338
付録D	改版履歴	...	344

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIPは、日本電気株式会社の登録商標です。

EEPROMは、日本電気株式会社の商標です。

WindowsおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78F9835

ユーザ判定品 : μ PD789832, 789833, 789834, 789835

μ PD789832A, 789833A, 789834A, 789835A

μ PD789832B, 789833B, 789834B, 789835B

- 本資料に記載されている内容は2005年3月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

(1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

(2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

はじめに

対象者 このマニュアルは μ PD789835, 789835A, 789835Bサブシリーズの機能を理解し,その応用システムや
応用プログラムを設計,開発するユーザのエンジニアを対象としています。

対象製品は,次に示すサブシリーズの各製品です。

μ PD789835サブシリーズ : μ PD789832, 789833, 789834, 789835, 78F9835

μ PD789835Aサブシリーズ : μ PD789832A, 789833A, 789834A, 789835A, 78F9835

μ PD789835Bサブシリーズ : μ PD789832B, 789833B, 789834B, 789835B, 78F9835

目的 このマニュアルは,次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD789835, 789835A, 789835Bサブシリーズのマニュアルは,このマニュアルと命令編(78K/0Sシ
リーズ共通)の2冊に分かれています。

μ PD789835, 789835A, 789835B
サブシリーズ
ユーザズ・マニュアル

端子機能
内部ブロック機能
割り込み
その他の内蔵周辺機能
電気的特性

78K/0Sシリーズ
ユーザズ・マニュアル
命令編

CPU機能
命令セット
命令の説明

読み方 このマニュアルを読むにあたっては,電気,論理回路,マイクロコンピュータの一般知識を必要とします。
一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は,本版で改訂された主な箇所を示しています。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは,そのビット名称がアセンブラでは予約語に,Cコンパイラでは#pragma sfr指令で,sfr変数として定義されているものです。

レジスタ名が分かっているレジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

78K/0Sシリーズの命令機能の詳細を知りたいとき

別冊の**78K/0Sシリーズ ユーザズ・マニュアル 命令編(U11047J)**を参照してください。

μ PD789835, 789835A, 789835Bサブシリーズの電気的特性を知りたいとき

第22章 電気的特性を参照してください。

- 凡 例** データ表記の重み：左が上位桁，右が下位桁
- アクティブ・ロウの表記： $\overline{\text{xxx}}$ （端子，信号名称に上線）
- 注：本文中につけた注の説明
- 注意：気をつけて読んでいただきたい内容
- 備考：本文の補足説明
- 数の表記：2進数... xxx または xxxxB
 10進数... xxx
 16進数... xxxH

また，本文中で使われている以下の表記は，次の製品を指しています。

- μ PD78983x : μ PD789832, 789833, 789834, 789835
- μ PD78983xA : μ PD789832A, 789833A, 789834A, 789835A
- μ PD78983xB : μ PD789832B, 789833B, 789834B, 789835B
- マスクROM製品 : μ PD78983x, 78983xA, 78983xB
- フラッシュ・メモリ製品 : μ PD78F9835

システム・クロックの発振周波数は，セラミック/クリスタル発振をfx，RC発振をfccとしています。

関連資料 関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD789835, 789835A, 789835Bサブシリーズ ユーザーズ・マニュアル	このマニュアル	作成中
78K0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

★ **開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）**

資料名	資料番号		
	和文	英文	
RA78K0S アセンブラ・パッケージ	操作編	U16656J	U16656E
	言語編	U14877J	U14877E
	構造化アセンブリ言語編	U11623J	U11623E
CC78K0S Cコンパイラ	操作編	U16654J	U16654E
	言語編	U14872J	U14872E
SM78Kシリーズ Ver.2.52 システム・シミュレータ	操作編	U16768J	U16768E
	外部部品ユーザ・オープン・インタフェース仕様編	U15802J	U15802E
ID78K0S-NS Ver.2.52 統合デバッグ	操作編	U16584J	U16584E
PM plus Ver.5.10		U16569J	U16569E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

開発ツール（ハードウェア）の資料（ユーザズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K0S-NS インサーキット・エミュレータ	U13549J	U13549E
IE-78K0S-NS-A インサーキット・エミュレータ	U15207J	U15207E
IE-789835-NS-EM1 エミュレーション・ボード	U16290J	U16290E

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザズ・マニュアル	U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザズ・マニュアル	U15260J	U15260E

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE - Products and Packages -	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 24

- 1.1 特 徴 ... 24
- 1.2 応用分野 ... 24
- 1.3 オーダ情報 ... 25
- 1.4 端子接続図 (Top View) ... 26
- 1.5 78K/0Sシリーズの展開 ... 29
- 1.6 ブロック図 ... 32
- 1.7 機能概要 ... 33
- 1.8 μ PD78983x, μ PD78983xAと, μ PD78983xBとの違い ... 34

第2章 端子機能 ... 35

- 2.1 端子機能一覧 ... 35
- 2.2 端子機能の説明 ... 37
 - 2.2.1 P00-P07 (Port 0) ... 37
 - 2.2.2 P10, P11 (Port 1) ... 37
 - 2.2.3 P20-P27 (Port 2) ... 37
 - 2.2.4 P30-P37 (Port 3) ... 38
 - 2.2.5 P60-P62 (Port 6) ... 38
 - 2.2.6 P80-P87 (Port 8) ... 39
 - 2.2.7 LCD0-LCD87 ... 39
 - 2.2.8 CAP0-CAP3 ... 39
 - 2.2.9 VROUT0 ... 39
 - 2.2.10 VLC0-VLC4 ... 39
 - 2.2.11 $\overline{\text{RESET}}$... 39
 - 2.2.12 SEL ... 39
 - 2.2.13 X1, X2 ... 39
 - 2.2.14 CL1, CL2 ... 39
 - 2.2.15 XT1, XT2 ... 39
 - 2.2.16 VDD ... 40
 - 2.2.17 VSS ... 40
 - 2.2.18 VPP (μ PD78F9835のみ) ... 40
 - 2.2.19 IC (マスクROM製品のみ) ... 40
- 2.3 端子の入出力回路と未使用端子の処理 ... 41

第3章 CPUアーキテクチャ ... 44

- 3.1 メモリ空間 ... 44
 - 3.1.1 内部プログラム・メモリ空間 ... 49
 - 3.1.2 内部データ・メモリ空間 ... 50
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 50
 - 3.1.4 データ・メモリ・アドレッシング ... 51
- 3.2 プロセッサ・レジスタ ... 56

- 3.2.1 制御レジスタ ... 56
- 3.2.2 汎用レジスタ ... 59
- 3.2.3 特殊機能レジスタ (SFR) ... 60
- 3.3 **命令アドレスのアドレッシング** ... 63
 - 3.3.1 レラティブ・アドレッシング ... 63
 - 3.3.2 イミューディエト・アドレッシング ... 64
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 65
 - 3.3.4 レジスタ・アドレッシング ... 65
- 3.4 **オペランド・アドレスのアドレッシング** ... 66
 - 3.4.1 ダイレクト・アドレッシング ... 66
 - 3.4.2 ショート・ダイレクト・アドレッシング ... 67
 - 3.4.3 特殊機能レジスタ (SFR) アドレッシング ... 68
 - 3.4.4 レジスタ・アドレッシング ... 69
 - 3.4.5 レジスタ・インダイレクト・アドレッシング ... 70
 - 3.4.6 ベースト・アドレッシング ... 71
 - 3.4.7 スタック・アドレッシング ... 71

第4章 ポート機能 ... 72

- 4.1 **ポートの機能** ... 72
- 4.2 **ポートの構成** ... 73
 - 4.2.1 ポート0 ... 74
 - 4.2.2 ポート1 ... 75
 - 4.2.3 ポート2 ... 76
 - 4.2.4 ポート3 ... 80
 - 4.2.5 ポート6 ... 81
 - 4.2.6 ポート8 ... 82
- 4.3 **ポート機能を制御するレジスタ** ... 83
- 4.4 **ポート機能の動作** ... 86
 - 4.4.1 入出力ポートへの書き込み ... 86
 - 4.4.2 入出力ポートからの読み出し ... 86
 - 4.4.3 入出力ポートでの演算 ... 86

第5章 クロック発生回路 ... 87

- 5.1 **クロック発生回路の機能** ... 87
- 5.2 **クロック発生回路の構成** ... 87
- 5.3 **クロック発生回路を制御するレジスタ** ... 88
- 5.4 **システム・クロック発振回路** ... 91
 - 5.4.1 メイン・システム・クロック発振回路 (クリスタル/セラミック発振) ... 92
 - 5.4.2 メイン・システム・クロック発振回路 (RC発振) ... 92
 - 5.4.3 サブシステム・クロック発振回路 ... 93
 - 5.4.4 発振子の接続の悪い例 ... 94
 - 5.4.5 分周回路 ... 98
 - 5.4.6 サブシステム・クロックを使用しない場合 ... 98
- 5.5 **クロック発生回路の動作** ... 99
- 5.6 **システム・クロックとCPUクロックの設定の変更** ... 100
 - 5.6.1 システム・クロックとCPUクロックの切り替えに要する時間 ... 100
 - 5.6.2 システム・クロックとCPUクロックの切り替え手順 ... 101

第6章	8ビット・タイマ/イベント・カウンタ80-82	...	103
6.1	8ビット・タイマ/イベント・カウンタ80-82の機能	...	103
6.2	8ビット・タイマ/イベント・カウンタ80-82の構成	...	103
6.3	8ビット・タイマ/イベント・カウンタ80-82を制御するレジスタ	...	106
6.4	8ビット・タイマ/イベント・カウンタ80-82の動作	...	110
6.4.1	インターバル・タイマとしての動作	...	110
6.4.2	外部イベント・カウンタとしての動作(タイマ80のみ)	...	113
6.4.3	方形波出力としての動作(タイマ82のみ)	...	114
6.5	8ビット・タイマ/イベント・カウンタ80-82の注意事項	...	116
第7章	8ビット・タイマ30, 40	...	119
7.1	8ビット・タイマ30, 40の機能	...	119
7.2	8ビット・タイマ30, 40の構成	...	120
7.3	8ビット・タイマ30, 40を制御するレジスタ	...	125
7.4	8ビット・タイマ30, 40の動作	...	130
7.4.1	8ビット・タイマ・カウンタ・モードとしての動作	...	130
7.4.2	16ビット・タイマ・カウンタ・モードとしての動作	...	137
7.4.3	キャリア・ジェネレータとしての動作	...	143
7.4.4	PWM出力モードとしての動作(タイマ40のみ)	...	147
7.5	8ビット・タイマ30, 40の注意事項	...	149
第8章	8ビット・リモコン・タイマ50	...	150
8.1	8ビット・リモコン・タイマ50の機能	...	150
8.2	8ビット・リモコン・タイマ50の構成	...	150
8.3	8ビット・リモコン・タイマ50を制御するレジスタ	...	151
8.4	8ビット・リモコン・タイマ50の動作	...	152
第9章	サウンド・ジェネレータ	...	154
9.1	サウンド・ジェネレータの機能	...	154
9.2	サウンド・ジェネレータの構成	...	154
9.3	サウンド・ジェネレータを制御するレジスタ	...	157
9.4	サウンド・ジェネレータの設定	...	164
9.4.1	サウンド・ジェネレータの基本動作	...	164
9.5	サウンド・ジェネレータの出力モード	...	166
9.5.1	汎用ポート・モード	...	167
9.5.2	ブザー・モード0	...	167
9.5.3	ブザー・モード1	...	168
9.5.4	ブザー・モード2	...	169
9.5.5	ブザー・モード3	...	170
9.5.6	各ブザー・モードのタイミング・チャート	...	171
第10章	時計用タイマ	...	172
10.1	時計用タイマの機能	...	172

10.2	時計用タイマの構成	...	173
10.3	時計用タイマを制御するレジスタ	...	174
10.4	時計用タイマの動作	...	175
10.4.1	時計用タイマとしての動作	...	175
10.4.2	インターバル・タイマとしての動作	...	175
第11章 ウォッチドッグ・タイマ ... 177			
11.1	ウォッチドッグ・タイマの機能	...	177
11.2	ウォッチドッグ・タイマの構成	...	178
11.3	ウォッチドッグ・タイマを制御するレジスタ	...	179
11.4	ウォッチドッグ・タイマの動作	...	181
11.4.1	ウォッチドッグ・タイマとしての動作	...	181
11.4.2	インターバル・タイマとしての動作	...	182
第12章 8ビットA/Dコンバータ (μPD78983xB, 78983xA, 78F9835のみ) ... 183			
12.1	8ビットA/Dコンバータの機能	...	183
12.2	8ビットA/Dコンバータの構成	...	183
12.3	8ビットA/Dコンバータを制御するレジスタ	...	186
12.4	8ビットA/Dコンバータの動作	...	188
12.4.1	8ビットA/Dコンバータの基本動作	...	188
12.4.2	入力電圧と変換結果	...	189
12.4.3	8ビットA/Dコンバータの動作モード	...	191
12.5	8ビットA/Dコンバータの注意事項	...	192
第13章 シリアル・インタフェース ... 195			
13.1	シリアル・インタフェースの機能	...	195
13.2	シリアル・インタフェースの構成	...	198
13.3	シリアル・インタフェースを制御するレジスタ	...	200
13.4	シリアル・インタフェースの動作	...	207
13.4.1	動作停止モード	...	207
13.4.2	アシンクロナス・シリアル・インタフェース (UART) モード	...	209
13.4.3	3線式シリアルI/Oモード	...	221
第14章 LCDコントローラ/ドライバ ... 224			
14.1	LCDコントローラ/ドライバの機能	...	224
14.2	LCDコントローラ/ドライバの構成	...	224
14.3	LCDコントローラ/ドライバを制御するレジスタ	...	226
14.4	コモン信号とセグメント信号	...	231
14.5	LCDコントローラ/ドライバの設定	...	234
14.5.1	表示開始までの設定	...	234
14.5.2	表示オフ, 昇圧停止までの設定	...	234
14.6	LCD表示データ・メモリ	...	235
14.7	表示モード	...	243
14.7.1	80×8モード (1/8デューティ)	...	243
14.7.2	80×16モード (1/16デューティ)	...	245

14. 7. 3	64 × 32モード (1/32デューティ)	...	247
14. 7. 4	48 × 48モード (1/48デューティ)	...	249
14. 8	LCD駆動電圧 V_{LC0} , V_{LC1} , V_{LC2} , V_{LC3} , V_{LC4} の供給	...	251
第15章	乗算器	...	252
15. 1	乗算器の機能	...	252
15. 2	乗算器の構成	...	252
15. 3	乗算器を制御するレジスタ	...	254
15. 4	乗算器の動作	...	255
第16章	スワッピング (SWAP)	...	256
16. 1	SWAPの機能	...	256
16. 2	SWAPの構成	...	257
16. 3	SWAPの実行例	...	257
第17章	割り込み機能	...	258
17. 1	割り込み機能の種類	...	258
17. 2	割り込み要因と構成	...	258
17. 3	割り込み機能を制御するレジスタ	...	262
17. 4	割り込み処理動作	...	268
17. 4. 1	ノンマスカブル割り込み要求の受け付け動作	...	268
17. 4. 2	マスカブル割り込み要求の受け付け動作	...	270
17. 4. 3	多重割り込み処理	...	272
17. 4. 4	割り込み要求の保留	...	273
第18章	スタンバイ機能	...	274
18. 1	スタンバイ機能と構成	...	274
18. 1. 1	スタンバイ機能	...	274
18. 1. 2	スタンバイ機能を制御するレジスタ	...	275
18. 2	スタンバイ機能の動作	...	277
18. 2. 1	HALTモード	...	277
18. 2. 2	STOPモード	...	280
第19章	リセット機能	...	283
第20章	μPD78F9835	...	288
20. 1	フラッシュ・メモリの特徴	...	289
20. 1. 1	プログラミング環境	...	289
20. 1. 2	通信方式	...	290
20. 1. 3	オンボード上の端子処理	...	292
20. 1. 4	フラッシュ書き込み用アダプタ上の接続	...	295
第21章	命令セットの概要	...	296

21.1	オペレーション	...	296
21.1.1	オペランドの表現形式と記述方法	...	296
21.1.2	オペレーション欄の説明	...	297
21.1.3	フラグ動作欄の説明	...	297
21.2	オペレーション一覧	...	298
21.3	アドレッシング別命令一覧	...	304
第22章 電気的特性 ... 307			
第23章 外形図 ... 322			
第24章 応用回路例 ... 323			
付録A 開発ツール ... 331			
A.1	ソフトウェア・パッケージ	...	333
A.2	言語処理用ソフトウェア	...	333
A.3	制御ソフトウェア	...	334
A.4	フラッシュ・メモリ書き込み用ツール	...	335
A.5	デバッグ用ツール(ハードウェア)	...	335
A.6	デバッグ用ツール(ソフトウェア)	...	336
付録B ターゲット・システム設計上の注意 ... 337			
付録C レジスタ索引 ... 338			
C.1	レジスタ索引(50音順)	...	338
C.2	レジスタ索引(アルファベット順)	...	341
付録D 改版履歴 ... 344			
D.1	本版で改訂された主な箇所	...	344
D.2	前版までの改版履歴	...	347

図の目次 (1/6)

図番号	タイトル, ページ
2 - 1	端子の入出力回路一覧 ... 42
3 - 1	メモリ・マップ (μ PD789832, 789832A, 789832B) ... 44
3 - 2	メモリ・マップ (μ PD789833, 789833A, 789833B) ... 45
3 - 3	メモリ・マップ (μ PD789834, 789834A, 789834B) ... 46
3 - 4	メモリ・マップ (μ PD789835, 789835A, 789835B) ... 47
3 - 5	メモリ・マップ (μ PD78F9835) ... 48
3 - 6	データ・メモリのアドレッシング (μ PD789832, 789832A, 789832B) ... 51
3 - 7	データ・メモリのアドレッシング (μ PD789833, 789833A, 789833B) ... 52
3 - 8	データ・メモリのアドレッシング (μ PD789834, 789834A, 789834B) ... 53
3 - 9	データ・メモリのアドレッシング (μ PD789835, 789835A, 789835B) ... 54
3 - 10	データ・メモリのアドレッシング (μ PD78F9835) ... 55
3 - 11	プログラム・カウンタの構成 ... 56
3 - 12	プログラム・ステータス・ワードの構成 ... 56
3 - 13	スタック・ポインタの構成 ... 58
3 - 14	スタック・メモリへ退避されるデータ ... 58
3 - 15	スタック・メモリから復帰されるデータ ... 58
3 - 16	汎用レジスタの構成 ... 59
4 - 1	ポートの種類 ... 72
4 - 2	P00-P07のブロック図 ... 74
4 - 3	P10, P11のブロック図 ... 75
4 - 4	P20のブロック図 ... 76
4 - 5	P21のブロック図 ... 77
4 - 6	P22-P24, P26のブロック図 ... 78
4 - 7	P25, P27のブロック図 ... 79
4 - 8	P30-P37のブロック図 ... 80
4 - 9	P60-P62のブロック図 ... 81
4 - 10	P80-P87のブロック図 ... 82
4 - 11	ポート・モード・レジスタのフォーマット ... 83
4 - 12	プルアップ抵抗オプション・レジスタ0のフォーマット ... 84
4 - 13	プルアップ抵抗オプション・レジスタB2のフォーマット ... 85
4 - 14	プルアップ抵抗オプション・レジスタB3のフォーマット ... 85
5 - 1	クロック発生回路のブロック図 ... 88
5 - 2	プロセッサ・クロック・コントロール・レジスタのフォーマット ... 89
5 - 3	サブ発振モード・レジスタのフォーマット ... 90
5 - 4	サブクロック・コントロール・レジスタのフォーマット ... 91
5 - 5	メイン・システム・クロック発振回路 (セラミック/クリスタル発振) の外付け回路 ... 92

図の目次 (2/6)

図番号	タイトル, ページ
5 - 6	メイン・システム・クロック発振回路 (RC発振) の外付け回路 ... 92
5 - 7	サブシステム・クロック発振回路の外付け回路 ... 93
5 - 8	セラミック・クリスタル発振時の接続の悪い例 ... 94
5 - 9	RC発振時の接続の悪い例 ... 96
5 - 10	システム・クロックとCPUクロックの切り替え (セラミック/クリスタル発振) ... 101
5 - 11	システム・クロックとCPUクロックの切り替え (RC発振) ... 102
6 - 1	8ビット・タイマ/イベント・カウンタ80のブロック図 ... 104
6 - 2	8ビット・タイマ81のブロック図 ... 104
6 - 3	8ビット・タイマ82のブロック図 ... 105
6 - 4	8ビット・タイマ・モード・コントロール・レジスタ80のフォーマット ... 106
6 - 5	8ビット・タイマ・モード・コントロール・レジスタ81のフォーマット ... 107
6 - 6	8ビット・タイマ・モード・コントロール・レジスタ82のフォーマット ... 108
6 - 7	ポート・モード・レジスタ2のフォーマット ... 109
6 - 8	TM80, TM81のインターバル・タイマ動作のタイミング ... 112
6 - 9	TM82のインターバル・タイマ動作のタイミング ... 112
6 - 10	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 113
6 - 11	方形波出力のタイミング ... 115
6 - 12	1.5クロック (最大) の誤差が出るケース ... 116
6 - 13	TI80がハイ・レベル時にタイマ・スタートした場合のカウント動作 (立ち上がりエッジ選択時) ... 117
6 - 14	外部イベント・カウンタとしての動作時のタイミング ... 118
7 - 1	タイマ30のブロック図 ... 121
7 - 2	タイマ40のブロック図 ... 122
7 - 3	出力制御回路 (タイマ40) のブロック図 ... 123
7 - 4	8ビット・タイマ・モード・コントロール・レジスタ30のフォーマット ... 126
7 - 5	8ビット・タイマ・モード・コントロール・レジスタ40のフォーマット ... 127
7 - 6	キャリア・ジェネレータ出力コントロール・レジスタ40のフォーマット ... 128
7 - 7	ポート・モード・レジスタ2のフォーマット ... 129
7 - 8	8ビット分解能のインターバル・タイマ動作のタイミング (基本動作) ... 132
7 - 9	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = 00H設定時) ... 132
7 - 10	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = FFH設定時) ... 133
7 - 11	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N M (N < M) 変更時) ... 133
7 - 12	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N M (N > M) 変更時) ... 134
7 - 13	8ビット分解能のインターバル・タイマ動作のタイミング (タイマ30のカウント・クロックにタイマ40一致信号選択時) ... 134

図の目次 (3/6)

図番号	タイトル, ページ
7 - 14	8ビット分解能の方形波出力のタイミング ... 136
7 - 15	16ビット分解能のインターバル・タイマ動作のタイミング ... 139
7 - 16	16ビット分解能の方形波出力のタイミング ... 142
7 - 17	キャリア・ジェネレータの動作タイミング (CR40 = N, CRH = M (M > N) 設定時) ... 144
7 - 18	キャリア・ジェネレータの動作タイミング (CR40 = N, CRH = M (M < N) 設定時およびキャリア・クロックの位相がNRZ40の位相と非同期) ... 145
7 - 19	キャリア・ジェネレータの動作タイミング (CR40 = CRH40 = N設定時) ... 146
7 - 20	PWM出力モードのタイミング (基本動作) ... 148
7 - 21	PWM出力モードのタイミング (CR40, CRH40を書き換えた場合) ... 148
7 - 22	1.5クロック (最大) の誤差が出るケース ... 149
8 - 1	8ビット・リモコン・タイマ50のブロック図 ... 150
8 - 2	リモコン・タイマ・コントロール・レジスタ50のフォーマット ... 151
8 - 3	パルス幅測定のタイミング ... 152
9 - 1	サウンド・ジェネレータのブロック図 ... 155
9 - 2	8ビット・タイマ・モード・コントロール・レジスタSG0のフォーマット ... 157
9 - 3	キャリア・ジェネレータ出力コントロール・レジスタSG0のフォーマット ... 158
9 - 4	サウンド・ジェネレータ用周波数設定レジスタ00のフォーマット ... 158
9 - 5	P3ファンクション・レジスタのフォーマット ... 163
9 - 6	サウンド・ジェネレータの動作タイミング ... 165
9 - 7	各ブザー・モードでの出力波形例 ... 171
10 - 1	時計用タイマのブロック図 ... 172
10 - 2	時計用タイマ・モード・コントロール・レジスタのフォーマット ... 174
10 - 3	時計用タイマ/インターバル・タイマの動作タイミング ... 176
11 - 1	ウォッチドッグ・タイマのブロック図 ... 178
11 - 2	ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット ... 179
11 - 3	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 180
12 - 1	8ビットA/Dコンバータのブロック図 ... 184
12 - 2	A/Dコンバータ・モード・レジスタのフォーマット ... 186
12 - 3	A/D入力選択レジスタのフォーマット ... 187
12 - 4	8ビットA/Dコンバータの基本動作 ... 189
12 - 5	アナログ入力電圧とA/D変換結果の関係 ... 190
12 - 6	ソフトウェア・スタートによるA/D変換動作 ... 191
12 - 7	スタンバイ・モード時の消費電流を低減させる方法例 ... 192
12 - 8	変換結果を読み出すタイミング (変換結果が不定値の場合) ... 193

図の目次 (4/6)

図番号	タイトル, ページ
12 - 9	変換結果を読み出すタイミング (変換結果が正常値の場合) ... 193
12 - 10	アナログ入力端子の処理 ... 193
12 - 11	A/D変換終了割り込み要求発生タイミング ... 194
13 - 1	シリアル・インタフェース (SIO10) のブロック図 ... 196
13 - 2	シリアル・インタフェース (UART00) のブロック図 ... 197
13 - 3	シリアル動作モード・レジスタ10のフォーマット ... 200
13 - 4	アシンクロナス・シリアル・インタフェース・モード・レジスタ00のフォーマット ... 201
13 - 5	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00のフォーマット ... 203
13 - 6	ポー・レート・ジェネレータ・コントロール・レジスタ00のフォーマット ... 204
13 - 7	サンプリング誤差を考慮したポー・レートの許容誤差 (k = 0の場合) ... 215
13 - 8	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 216
13 - 9	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 218
13 - 10	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 219
13 - 11	受信エラー・タイミング ... 220
13 - 12	3線式シリアルI/Oモードのタイミング ... 223
14 - 1	LCDコントローラ/ドライバのブロック図 ... 225
14 - 2	LCD20表示モード・レジスタのフォーマット ... 227
14 - 3	LCD20クロック制御レジスタのフォーマット ... 228
14 - 4	LCD昇圧レベル設定レジスタ00のフォーマット ... 230
14 - 5	各表示モードにおけるLCD表示データ・メモリの割り当て ... 235
14 - 6	LCD駆動波形例 (1/8デューティ) ... 244
14 - 7	LCD駆動波形例 (1/16デューティ) ... 246
14 - 8	LCD駆動波形例 (1/32デューティ) ... 248
14 - 9	LCD駆動波形例 (1/48デューティ) ... 250
14 - 10	LCDドライバ用端子接続例 ... 251
15 - 1	乗算器のブロック図 ... 253
15 - 2	乗算器コントロール・レジスタ0のフォーマット ... 254
15 - 3	乗算器の動作タイミング (AAH × D3Hの例) ... 255
16 - 1	スワッピングの実行例 ... 256
16 - 2	SWAPのブロック図 ... 257
17 - 1	割り込み機能の基本構成 ... 260
17 - 2	割り込み要求フラグ・レジスタのフォーマット ... 263
17 - 3	割り込みマスク・フラグ・レジスタのフォーマット ... 264
17 - 4	外部割り込みモード・レジスタ0のフォーマット ... 265

図の目次 (5/6)

図番号	タイトル, ページ
17 - 5	プログラム・ステータス・ワードの構成 ... 266
17 - 6	キー・リターン・モード・レジスタ00のフォーマット ... 267
17 - 7	キー・リターン信号検出回路のブロック図 ... 267
17 - 8	ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャート ... 269
17 - 9	ノンマスカブル割り込み要求の受け付けタイミング ... 269
17 - 10	ノンマスカブル割り込み要求の受け付け動作 ... 269
17 - 11	割り込み要求受け付け処理アルゴリズム ... 270
17 - 12	割り込み要求の受け付けタイミング (MOV A, rの例) ... 271
17 - 13	割り込み要求の受け付けタイミング (命令実行中の最終クロックで割り込み要求フラグが発生したとき) ... 271
17 - 14	多重割り込みの例 ... 272
18 - 1	発振安定時間選択レジスタのフォーマット ... 275
18 - 2	電源供給コントロール・レジスタ0のフォーマット ... 276
18 - 3	HALTモードの割り込み発生による解除 ... 278
18 - 4	HALTモードのRESET入力による解除 ... 279
18 - 5	STOPモードの割り込み発生による解除 ... 281
18 - 6	STOPモードのRESET入力による解除 ... 282
19 - 1	リセット機能のブロック図 ... 283
19 - 2	RESET入力によるリセット・タイミング ... 285
19 - 3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 285
19 - 4	STOPモード中のRESET入力によるリセット・タイミング ... 285
20 - 1	フラッシュ・メモリにプログラムを書き込むための環境 ... 289
20 - 2	通信方式選択フォーマット ... 290
20 - 3	専用フラッシュ・ライタとの接続例 ... 291
20 - 4	VPP端子の接続例 ... 292
20 - 5	信号の衝突 (シリアル・インタフェースの入力端子) ... 293
20 - 6	ほかのデバイスの異常動作 ... 293
20 - 7	信号の衝突 (RESET端子) ... 294
20 - 8	3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例 ... 295
24 - 1	応用回路例1 ... 324
24 - 2	応用回路例2 ... 325
24 - 3	応用回路例3 ... 326
24 - 4	応用回路例4 ... 327
24 - 5	応用回路例5 ... 328
24 - 6	応用回路例6 ... 329

図の目次 (6/6)

図番号	タイトル, ページ
24 - 7	応用回路例7 ... 330
A - 1	開発ツール構成 ... 332
B - 1	インサーキット・エミュレータから変換コネクタまでの距離 ... 337
B - 2	ターゲット・システムの接続条件 ... 337

表の目次 (1/3)

表番号	タイトル, ページ
1 - 1	μ PD78983x, μ PD78983xAと, μ PD78983xBとの違い ... 34
2 - 1	各端子の入出力回路タイプと未使用端子の処理 ... 41
3 - 1	内部ROM容量 ... 49
3 - 2	ベクタ・テーブル ... 49
3 - 3	内部RAM容量 ... 50
3 - 4	特殊機能レジスタ一覧 ... 61
4 - 1	ポートの機能 ... 73
4 - 2	ポートの構成 ... 73
4 - 3	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 84
5 - 1	クロック発生回路の構成 ... 87
5 - 2	CPUクロックの切り替えに要する最大時間 (セラミック/クリスタル発振選択時) ... 100
5 - 3	CPUクロックの切り替えに要する最大時間 (RC発振選択時) ... 100
6 - 1	8ビット・タイマ/イベント・カウンタ80-82の構成 ... 103
6 - 2	8ビット・タイマ/イベント・カウンタ80のインターバル時間 (fx = 5.0MHz動作時) ... 110
6 - 3	8ビット・タイマ/イベント・カウンタ80のインターバル時間 (fcc = 2.0MHz動作時) ... 110
6 - 4	8ビット・タイマ81のインターバル時間 (fx = 5.0MHz, fXT = 32.768kHz動作時) ... 111
6 - 5	8ビット・タイマ81のインターバル時間 (fcc = 2.0MHz, fXT = 32.768kHz動作時) ... 111
6 - 6	8ビット・タイマ82のインターバル時間 (fx = 5.0MHz, fXT = 32.768kHz動作時) ... 111
6 - 7	8ビット・タイマ82のインターバル時間 (fcc = 2.0MHz, fXT = 32.768kHz動作時) ... 111
6 - 8	8ビット・タイマ82の方形波出力範囲 (fx = 5.0MHz, fXT = 32.768kHz動作時) ... 114
6 - 9	8ビット・タイマ82の方形波出力範囲 (fcc = 2.0MHz, fXT = 32.768kHz動作時) ... 114
7 - 1	モード一覧 ... 119
7 - 2	8ビット・タイマ30, 40の構成 ... 120
7 - 3	タイマ30のインターバル時間 (fx = 5.0 MHz動作時) ... 131
7 - 4	タイマ30のインターバル時間 (fcc = 2.0 MHz動作時) ... 131
7 - 5	タイマ40のインターバル時間 (fx = 5.0 MHz動作時) ... 131
7 - 6	タイマ40のインターバル時間 (fcc = 2.0 MHz動作時) ... 131
7 - 7	タイマ40の方形波出力範囲 (fx = 5.0 MHz動作時) ... 135
7 - 8	タイマ40の方形波出力範囲 (fcc = 2.0 MHz動作時) ... 135
7 - 9	16ビット分解能でのインターバル時間 (fx = 5.0 MHz動作時) ... 138
7 - 10	16ビット分解能でのインターバル時間 (fcc = 2.0 MHz動作時) ... 138
7 - 11	16ビット分解能の方形波出力範囲 (fx = 5.0 MHz動作時) ... 140
7 - 12	16ビット分解能の方形波出力範囲 (fcc = 2.0 MHz動作時) ... 141

表の目次 (2/3)

表番号	タイトル, ページ
8 - 1	8ビット・リモコン・タイマ50の構成 ... 150
9 - 1	サウンド・ジェネレータの構成 ... 154
9 - 2	各ブザー・モードの対応表 ... 166
9 - 3	ブザー・モード2での音量設定 (8段階) ... 166
10 - 1	インターバル・タイマのインターバル時間 ... 173
10 - 2	時計用タイマの構成 ... 173
10 - 3	インターバル・タイマのインターバル時間 ... 175
11 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 177
11 - 2	ウォッチドッグ・タイマのインターバル時間 ... 177
11 - 3	ウォッチドッグ・タイマの構成 ... 178
11 - 4	ウォッチドッグ・タイマの暴走検出時間またはインターバル時間 ... 179
11 - 5	ウォッチドッグ・タイマの暴走検出時間 ... 181
11 - 6	ウォッチドッグ・タイマのインターバル時間 ... 182
12 - 1	8ビットA/Dコンバータの構成 ... 183
13 - 1	シリアル・インタフェースの構成 ... 198
13 - 2	シリアル・インタフェースの動作モードの設定一覧 ... 202
13 - 3	メイン・システム・クロックとポー・レートの関係例 (fx = 5.0MHzの場合) ... 205
13 - 4	メイン・システム・クロックとポー・レートの関係例 (fx = 4.9152MHzの場合) ... 205
13 - 5	メイン・システム・クロックとポー・レートの関係例 (fx = 4.1943MHzの場合) ... 206
13 - 6	メイン・システム・クロックとポー・レートの関係例 (fx = 4.00MHzの場合) ... 206
13 - 7	5ビット・カウンタのソース・クロックとnの値との関係 ... 214
13 - 8	ポー・レート・ジェネレータの入力クロックとkの値との関係 ... 215
13 - 9	受信エラーの要因 ... 220
14 - 1	LCDコントローラ/ドライバの構成 ... 224
14 - 2	1/48デューティ (48×48モード)でのフレーム周波数 (Hz) ... 228
14 - 3	1/32デューティ (64×32モード)でのフレーム周波数 (Hz) ... 228
14 - 4	1/16デューティ (80×16モード)でのフレーム周波数 (Hz) ... 229
14 - 5	1/8デューティ (80×8モード)でのフレーム周波数 (Hz) ... 229
14 - 6	各表示モードにおけるLCD0-LCD95端子の配置 ... 231
14 - 7	LCD表示データ・メモリとセグメント/コモン出力の関係 ... 236
14 - 8	V _{LC0} -V _{LC4} 端子の出力電圧 ... 251
16 - 1	SWAPの構成 ... 257

表の目次 (3/3)

表番号	タイトル, ページ
17 - 1	割り込み要因一覧 ... 259
17 - 2	割り込み要求信号名に対する各種フラグ ... 262
17 - 3	マスカブル割り込み要求発生から処理までの時間 ... 270
18 - 1	HALTモード時の動作状態 ... 277
18 - 2	HALTモードの解除後の動作 ... 279
18 - 3	STOPモード時の動作状態 ... 280
18 - 4	STOPモードの解除後の動作 ... 282
19 - 1	各ハードウェアのリセット後の状態 ... 286
20 - 1	μPD78F9835とマスクROM製品の違い ... 288
20 - 2	通信方式一覧 ... 290
20 - 3	端子接続一覧 ... 291
21 - 1	オペランドの表現形式と記述方法 ... 296

第1章 概 説

1.1 特 徴

★ ROM, RAM容量

項目 品名	プログラム・メモリ (ROM)		データ・メモリ		
			内部高速RAM	内部低速RAM	LCD表示用RAM
μPD789832 μPD789832A μPD789832B	24 Kバイト	マスクROM	1024バイト	1216バイト	288バイト×2
μPD789833 μPD789833A μPD789833B	32 Kバイト				
μPD789834 μPD789834A μPD789834B	48 Kバイト			2240バイト	
μPD789835 μPD789835A μPD789835B	60 Kバイト				
μPD78F9835	60 Kバイト	フラッシュ・メモリ			

メイン・システム・クロック発振回路を、セラミック/クリスタル発振(0.4 μs : 5 MHz)またはRC発振(1.0 μs : 2 MHz)に選択可能

I/Oポート : 37本

リモコン受信入力端子 : 1本

タイマ : 8チャンネル

・8ビット・タイマ : 6チャンネル

・時計用タイマ : 1チャンネル

・ウォッチドッグ・タイマ : 1チャンネル

★ サウンド・ジェネレータ : 音量10段階, 音階3オクターブ

★ 8ビット分解能A/Dコンバータ : 3チャンネル (μPD78983xA, 78983xB, 78F9835のみ)

シリアル・インタフェース : 1チャンネル

LCDコントローラ/ドライバ (昇圧回路内蔵)

・4種類の表示モード (48×48, 64×32, 80×16, 80×8) を選択可能

・1/5バイアス

乗算器内蔵 : 8ビット×8ビット = 16ビット

電源電圧 : V_{DD} = 1.8~3.6 V (マスクROM製品)

V_{DD} = 3.0~3.6 V (フラッシュ・メモリ製品)

1.2 応用分野

LCDゲーム, リモート・コントローラ, ページャなど

★ 1.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μPD789832BGJ- x x x-UEN	144ピン・プラスチックLQFP (ファインピッチ) (20x20)	マスクROM
μPD789833BGJ- x x x-UEN	144ピン・プラスチックLQFP (ファインピッチ) (20x20)	"
μPD789834BGJ- x x x-UEN	144ピン・プラスチックLQFP (ファインピッチ) (20x20)	"
μPD789835BGJ- x x x-UEN	144ピン・プラスチックLQFP (ファインピッチ) (20x20)	"
μPD78F9835GJ-UEN	144ピン・プラスチックLQFP (ファインピッチ) (20x20)	フラッシュ・メモリ

備考 x x xはROMコード番号です。

以下の製品は、非拡販品（生産は継続中）です。新規注文の場合は、上記記載のB品になります。

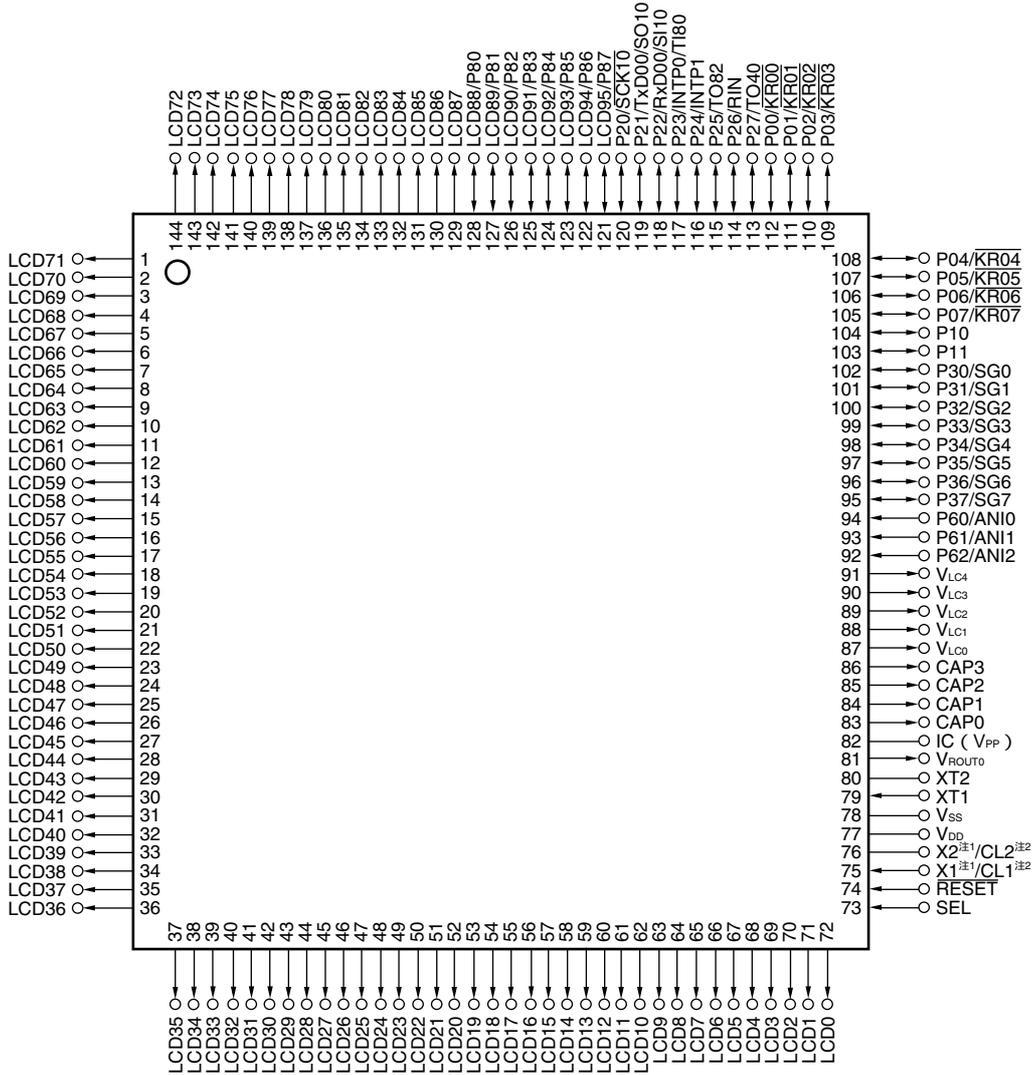
オーダ名称	パッケージ	内部ROM
μPD789832GJ- x x x-UEN	144ピン・プラスチックLQFP (ファインピッチ) (20x20)	マスクROM
μPD789833GJ- x x x-UEN	144ピン・プラスチックLQFP (ファインピッチ) (20x20)	"
μPD789834GJ- x x x-UEN	144ピン・プラスチックLQFP (ファインピッチ) (20x20)	"
μPD789835GJ- x x x-UEN	144ピン・プラスチックLQFP (ファインピッチ) (20x20)	"
μPD789832AGJ- x x x-UEN	144ピン・プラスチックLQFP (ファインピッチ) (20x20)	"
μPD789833AGJ- x x x-UEN	144ピン・プラスチックLQFP (ファインピッチ) (20x20)	"
μPD789834AGJ- x x x-UEN	144ピン・プラスチックLQFP (ファインピッチ) (20x20)	"
μPD789835AGJ- x x x-UEN	144ピン・プラスチックLQFP (ファインピッチ) (20x20)	"

備考 x x xはROMコード番号です。

1.4 端子接続図 (Top View)

★ (1) 144ピン・プラスチックLQFP (ファインピッチ) (20x20)

- μ PD789832BGJ- x x x -UEN μ PD789832AGJ- x x x -UEN
- μ PD789833BGJ- x x x -UEN μ PD789833AGJ- x x x -UEN
- μ PD789834BGJ- x x x -UEN μ PD789834AGJ- x x x -UEN
- μ PD789835BGJ- x x x -UEN μ PD789835AGJ- x x x -UEN
- μ PD78F9835BGJ-UEN



- 注1. セラミック/クリスタル発振選択時
- 2. RC発振選択時

- 注意1. IC (Internally Connected) 端子はV_{SS}端子に直接接続してください。
- 2. セラミック/クリスタル発振またはRC発振の選択はSEL端子で切り替えます。セラミック/クリスタル発振で使用する場合はSEL端子をV_{SS}に、RC発振で使用する場合はSEL端子をV_{DD}に接続してください。

- 備考1. ()内は、 μ PD78F9835のとき
- 2. μ PD78983xAは非拡販品 (個別対応のみ) です。拡販品は μ PD78983xBになります。

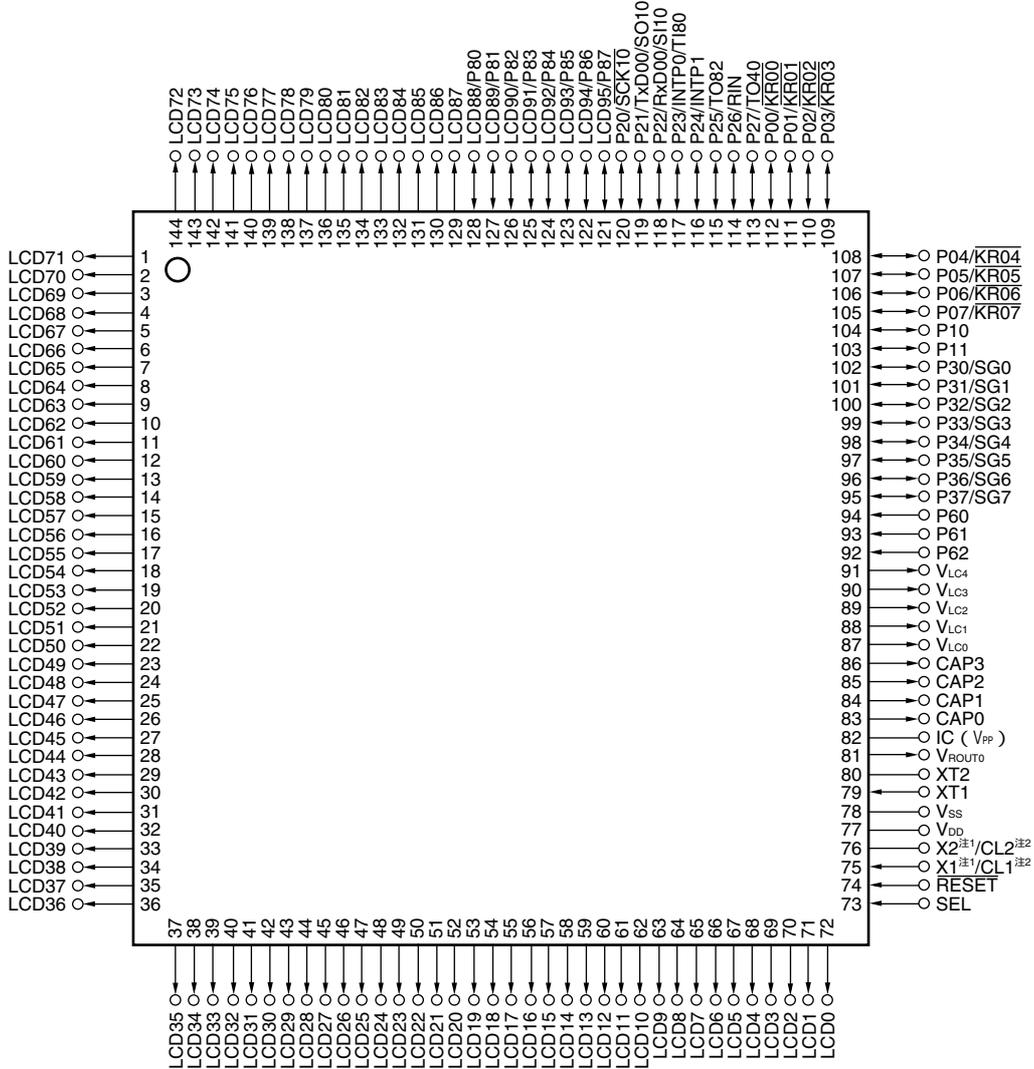
(2) 144ピン・プラスチックLQFP (ファインピッチ) (20x20)

μ PD789832GJ-x x x -UEN

μ PD789833GJ-x x x -UEN

μ PD789834GJ-x x x -UEN

μ PD789835GJ-x x x -UEN



注1. セラミック/クリスタル発振選択時

2. RC発振選択時

注意1. IC (Internally Connected) 端子はV_{SS}端子に直接接続してください。

2. セラミック/クリスタル発振またはRC発振の選択はSEL端子で切り替えます。セラミック/クリスタル発振で使用する場合はSEL端子をV_{SS}に、RC発振で使用する場合はSEL端子をV_{DD}に接続してください。

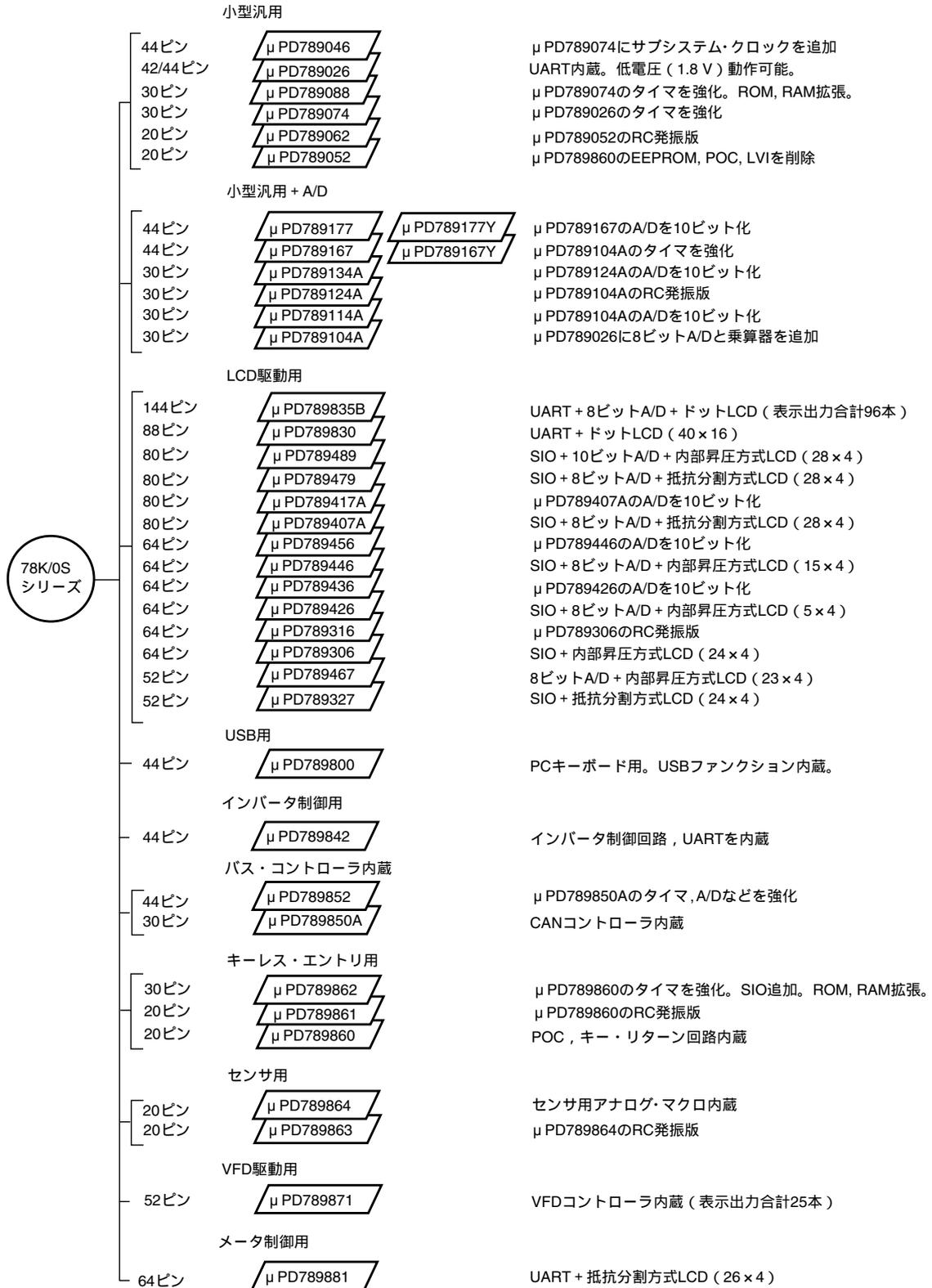
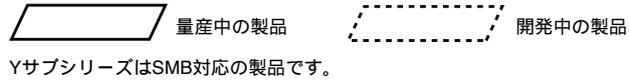
備考 μ PD78983xは非拡販品 (個別対応のみ) です。拡販品はμ PD78983xBになります。

端子名称

ANI0-ANI2	: Analog Input	RIN	: Remote Timer Input
CAP0-CAP3	: Output of Booster	RxD00	: Receive Data
CL1, CL2	: RC Oscillator (Main system clock)	SEL	: Main System Clock Selector
IC	: Internally Connected	SG0-SG7	: Sound Generator
INTP0, INTP1	: Interrupt from Peripherals	TI80	: Timer Input
LCD0-LCD95	: Segment/Common Signal for LCD	TO40, TO82	: Timer Output
$\overline{\text{KR00-KR07}}$: Key Return Input	TxD00	: Transmit Data
P00-P07	: Port 0	V _{DD}	: Power Supply
P10, P11	: Port 1	V _{LC0-V_{LC4}}	: Output of Booster
P20-P27	: Port 2	V _{PP}	: Programming Power Supply
P30-P37	: Port 3	V _{ROUT0}	: Output of Regulator
P60-P62	: Port 6	V _{SS}	: Ground
P80-P87	: Port 8	X1, X2	: Crystal (Main System Clock)
$\overline{\text{RESET}}$: Reset	XT1, XT2	: Crystal (Subsystem Clock)

★ 1.5 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP® (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

汎用，LCD駆動用シリーズ

サブシリーズ名	機 能	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
			8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
小型 汎用	μPD789046	16 K	1 ch	1 ch	1 ch	1 ch	-	-	1 ch (UART : 1ch)	34本	1.8 V	-
	μPD789026	4 K-16 K			-							
	μPD789088	16 K-32 K	3 ch							24本		
	μPD789074	2 K-8 K	1 ch									
	μPD789062	4 K	2 ch	-					-	14本		RC発振版
	μPD789052											-
小型 汎用 + A/D	μPD789177	16 K-24 K	3 ch	1 ch	1 ch	1ch	-	8 ch	1 ch (UART : 1ch)	31本	1.8 V	-
	μPD789167						8 ch	-				
	μPD789134A	2 K-8 K	1 ch		-		-	4 ch		20本		RC発振版
	μPD789124A						4 ch	-				
	μPD789114A						-	4 ch				-
	μPD789104A						4 ch	-				
LCD 駆動用	μPD789835B	24 K-60 K	6 ch	-	1 ch	1 ch	3 ch	-	1 ch (UART : 1ch)	37本	1.8 V ^注	ドットLCD
	μPD789830	24 K	1 ch	1 ch			-			30本	2.7 V	対応
	μPD789489	32 K-48 K	3 ch					8 ch	2 ch (UART : 1ch)	45本	1.8 V	-
	μPD789479	24 K-48 K					8 ch	-				
	μPD789417A	12 K-24 K					-	7 ch	1 ch (UART : 1ch)	43本		
	μPD789407A						7 ch	-				
	μPD789456	12 K-16 K	2 ch				-	6 ch		30本		
	μPD789446						6 ch	-				
	μPD789436						-	6 ch		40本		
	μPD789426						6 ch	-				
	μPD789316	8 K-16 K					-		2 ch (UART : 1ch)	23本		RC発振版
	μPD789306											-
	μPD789467	4 K-24 K		-			1 ch		-	18本		
	μPD789327						-		1 ch	21本		

注 フラッシュ・メモリ版 : 3.0 V

ASSP用シリーズ

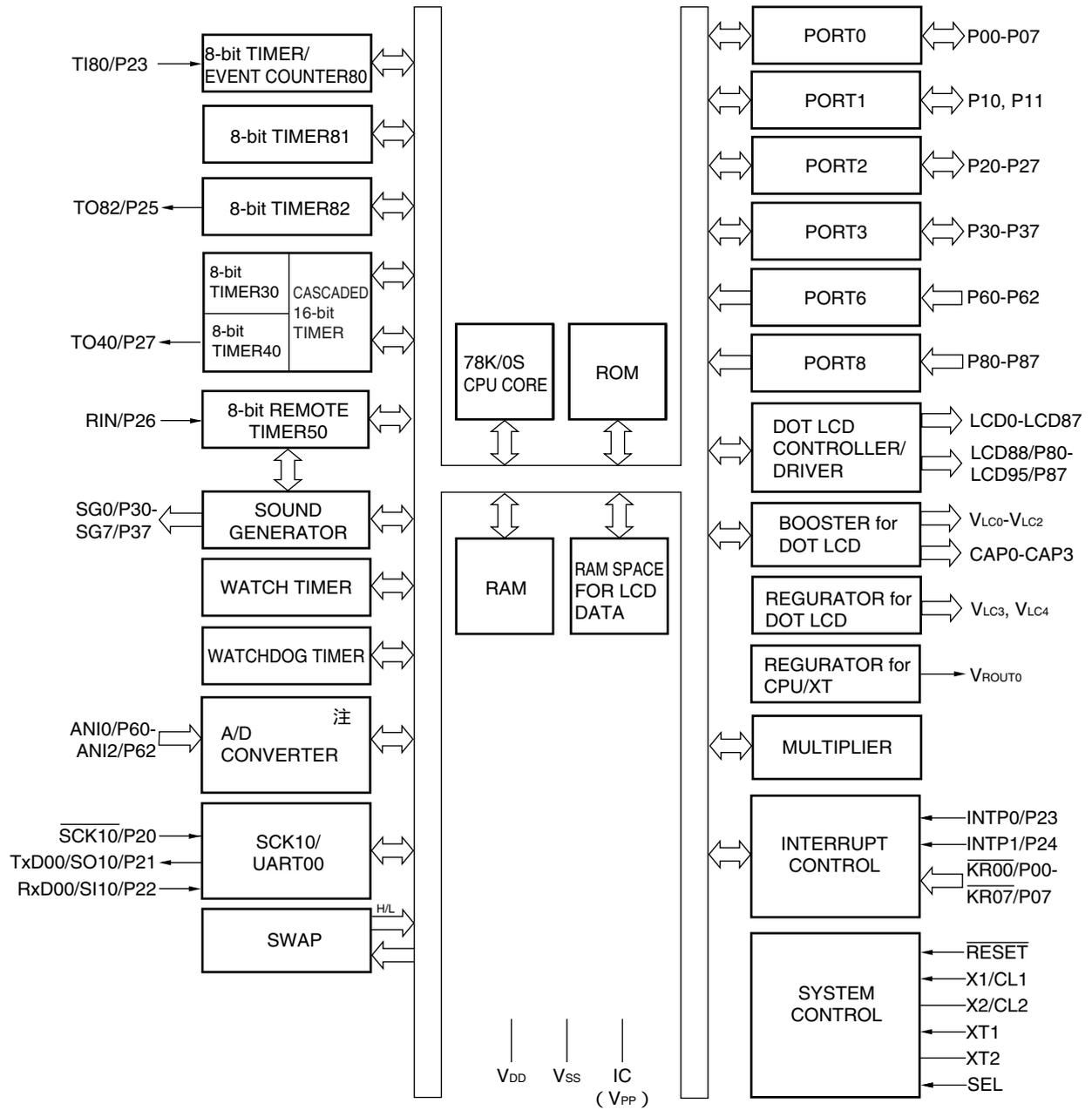
機能 サブシリーズ名	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考	
		8-bit	16-bit	時計	WDT	A/D	A/D			最小値		
USB用 μPD789800	8K	2 ch	-	-	1 ch	-	-	2 ch (USB : 1 ch)	31本	4.0 V	-	
インバー タ制御用 μPD789842	8 K-16 K	3 ch	注1	1 ch	1 ch	8 ch	-	1 ch (UART : 1ch)	30本	4.0 V	-	
バス・コント ローラ内蔵 μPD789852 μPD789850A	24 K-32 K	3 ch	1 ch	-	1 ch	-	8ch	3 ch (UART : 2ch)	31本	4.0 V	-	
	16 K	1 ch				4 ch	-	2 ch (UART : 1ch)	18本			
キーレス ・エント リ用 μPD789861 μPD789860 μPD789862	4 K	2 ch	-	-	1 ch	-	-	-	14本	1.8 V	RC発振版， EEPROM内蔵	
	16 K	1 ch						2 ch	1 ch (UART : 1ch)		22本	EEPROM内蔵
		1 ch						2 ch	1 ch (UART : 1ch)		22本	EEPROM内蔵
センサ 用 μPD789864 μPD789863	4 K	1 ch	注2	-	1 ch	-	4 ch	-	5本	1.9 V	EEPROM内蔵	
	4 K	1 ch	注2	-	1 ch	-	4 ch	-	5本		RC発振版， EEPROM内蔵	
VFD 駆動用 μPD789871	4 K-8 K	3 ch	-	1 ch	1 ch	-	-	1 ch	33本	2.7 V	-	
メータ 制御用 μPD789881	16 K	2 ch	1 ch	-	1 ch	-	-	1 ch (UART : 1ch)	28本	2.7 V ^{注3}	-	

注1. 10ビット・タイマ：1チャンネル

2. 12ビット・タイマ：1チャンネル

3. フラッシュ・メモリ版：3.0 V

1.6 ブロック図



★ 注. A/Dコンバータは、 μ PD78983xB, 78983xA, 78F9835のみ。 μ PD78983xにはありません。

備考1. 内部ROM, RAM容量は製品によって異なります。

2. ()内は、 μ PD78F9835のとき

1.7 機能概要

項 目		μ PD789832	μ PD789833	μ PD789834	μ PD789835	μ PD78F9835
		μ PD789832A	μ PD789833A	μ PD789834A	μ PD789835A	
		μ PD789832B	μ PD789833B	μ PD789834B	μ PD789835B	
内部メモリ	ROM	マスクROM				フラッシュ・メモリ
		24 Kバイト	32 Kバイト	48 Kバイト	60 Kバイト	
	高速RAM	1024バイト				
	低速RAM	1216バイト		2240バイト		
	LCD表示用RAM	288バイト×2				
最小命令実行時間	セラミック / クリスタル発振	0.4 μs / 1.6 μs (メイン・システム・クロック : 5.0 MHz動作時)				
	RC発振	1.0 μs / 4.0 μs (メイン・システム・クロック : 2.0 MHz動作時)				
		122 μs (サブシステム・クロック : 32.768 kHz動作時)				
汎用レジスタ	8ビット×8レジスタ					
命令セット	<ul style="list-style-type: none"> ・ 16ビット演算 ・ ビット操作 (セット, リセット, テスト) など 					
I/Oポート	合計 : 37本 <ul style="list-style-type: none"> ・ CMOS入出力 : 26本 ・ CMOS入力 : 11本 					
タイマ	<ul style="list-style-type: none"> ・ 8ビット・タイマ : 6チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 					
サウンド・ジェネレータ	音量 : 10段階, 音階 : 3オクターブ					
A/Dコンバータ	μ PD78983xB, 78983xA, 78F9835 : 8ビット分解能×3チャンネル μ PD78983x : なし					
シリアル・インタフェース	UART / 3線式シリアルI/Oモード選択可能 : 1チャンネル					
LCDコントローラ / ドライバ	<ul style="list-style-type: none"> ・ 4種類の表示モード (48×48, 64×32, 80×16, 80×8) を選択可能 ・ 1/5バイアス 					
乗算器	8ビット×8ビット= 16ビット					
SWAP	8ビット・レジスタの上位4ビットと下位4ビットの入れ替えが可能					
ベクタ割り込み 要因	マスカブル	内部 : 15, 外部 : 5				
	ノンマスカブル	内部 : 1				
電源電圧 (V _{DD})	1.8~3.6 V				3.0~3.6 V	
動作周囲温度	T _A = -40 ~ +85					
パッケージ	144ピン・プラスチックLQFP (ファインピッチ) (20×20)					

次にタイマの概要を示します。

		8ビット・タイマ /イベント・ カウンタ80	8ビット・ タイマ81	8ビット・ タイマ82	8ビット・ タイマ30	8ビット・ タイマ40	8ビット・ リモコン・ タイマ50	時計用タイマ	ウォッチド ッグ・タイマ
動作モード	インターバル・ タイマ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル ^{注1}	1チャンネル ^{注2}
	外部イベント・ カウンタ	1チャンネル	-	-	-	-	-	-	-
機能	タイマ出力	-	-	1出力	-	1出力	-	-	-
	方形波出力	-	-	1出力	-	1出力	-	-	-
	キャプチャ	-	-	-	-	-	-	-	-
	割り込み要因	1	1	1	1	1	3	2	2

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

★ 1.8 μ PD78983x , μ PD78983xAと , μ PD78983xBとの違い

μ PD78983x , μ PD78983xA , μ PD78983xBとは、それぞれ次の製品を指します。

μ PD78983x ... μ PD789832, 789833, 789834, 789835

μ PD78983xA ... μ PD789832A, 789833A, 789834A, 789835A (通称:A品)

μ PD78983xB ... μ PD789832B, 789833B, 789834B, 789835B (通称:B品)

μ PD78983x , μ PD78983xAと , μ PD78983xBとの違いを表1 - 1に示します。

表1 - 1 μ PD78983x , μ PD78983xAと , μ PD78983xBとの違い

項 目	μ PD78983x	μ PD78983xA	μ PD78983xB
ROM	マスクROM	マスクROM	マスクROM
A/Dコンバータ	なし	あり	あり
その他	-	-	ESD対策強化

備考 フラッシュ品 (μ PD78F9835) との違いは、表20 - 1 μ PD78F9835とマスクROM製品の違いを参照してください。

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子

端子名称	入出力	機能	リセット時	兼用端子
P00-P07	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。	入力	KR00-KR07
P10, P11	入出力	ポート1。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。	入力	-
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 プルアップ抵抗オプション・レジスタB2 (PUB2) により、内蔵プルアップ抵抗を使用可能。	入力	SCK10
P21				TxD00/SO10
P22				RxD00/SI10
★ P23				INTP0/TI80
P24				INTP1
P25				TO82
P26				RIN
P27				TO40
★ P30-P37	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 プルアップ抵抗オプション・レジスタB3 (PUB3) により、内蔵プルアップ抵抗を使用可能。	入力	SG0-SG7
P60-P62	入力	ポート6。 3ビット入力ポート。	入力	ANI0-ANI2
P80-P87	入力	ポート8。 汎用ポートとして使用する場合、8ビット入力専用ポートになります。兼用端子 (LCD表示) として使用する場合、出力専用端子となります。	出力	LCD88-LCD95

(2) ポート以外の端子

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み入力	入力	P23/TI80
INTP1				P24
KR00-KR07	入力	キー・リターン信号検出	入力	P00-P07
SI10	入力	シリアル・インタフェースのシリアル・データ入力	入力	P22/RxD00
SO10	出力	シリアル・インタフェースのシリアル・データ出力	入力	P21/TxD00
SCK10	入出力	シリアル・インタフェースのシリアル・クロック入力/出力	入力	P20
RxD00	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力	入力	P22/SI10
TxD00	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力	入力	P21/SO10
TI80	入力	8ビット・タイマ/イベント・カウンタ80への外部カウント・クロック入力	入力	P23/INTP0
TO82	出力	8ビット・タイマ82出力	入力	P25
RIN	入力	8ビット・リモコン・タイマ50への入力	入力	P26
TO40	出力	8ビット・タイマ40出力	入力	P27
SG0-SG7	出力	サウンド・ジェネレータ用周波数出力	入力	P30-P37
ANI0-ANI2	入力	A/Dコンバータのアナログ入力	入力	P60-P62
LCD0-LCD87	出力	セグメント/コモン信号出力	出力	-
LCD88-LCD95				P80-P87
V _{LC0} -V _{LC4}	-	LCD駆動用電圧	-	-
CAP0-CAP3	-	LCD駆動用コンデンサ接続端子	-	-
V _{ROUT0}	-	サブシステム・クロック発振用レギュレータ出力。0.1 μFのコンデンサを介してV _{SS} に接続してください。	-	-
SEL	入力	セラミック/クリスタル発振またはRC発振切り替え入力。セラミック/クリスタル発振として使用する場合はV _{SS} に，RC発振として使用する場合はV _{DD} に接続してください。	-	-
X1	入力	メイン・システム・クロック発振用セラミック/クリスタル接続	-	-
X2	-		-	-
CL1	入力	メイン・システム・クロック発振用抵抗（R），コンデンサ（C）接続	-	-
CL2	-		-	-
XT1	入力	サブシステム・クロック発振用クリスタル接続	-	-
XT2	-		-	-
RESET	入力	システム・リセット入力	入力	-
V _{DD}	-	ポート部の正電源	-	-
V _{SS}	-	グラウンド電位	-	-
IC	-	内部接続されています。V _{SS} に直接接続してください。	-	-
V _{PP}	-	フラッシュ・メモリ・プログラミング・モード設定。 プログラム書き込み/ベリファイ時の高電圧印加。	-	-

2.2 端子機能の説明

2.2.1 P00-P07 (Port 0)

8ビットの入出力ポートです。入出力ポートのほかに、キー・リターン信号検出機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗をポート単位で使用できます

(2) コントロール・モード

キー・リターン信号検出端子 ($\overline{KR00-KR07}$) として機能します。

2.2.2 P10, P11 (Port 1)

2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗をポート単位で使用できます。

2.2.3 P20-P27 (Port 2)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み入力、タイマ入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

★ 8ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタB2 (PUB2) の設定により内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み入力、タイマ入出力として機能します。

(a) SI10, SO10

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{SCK10}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) RxD00, TxD00

アシンクロナス・シリアル・インタフェース用シリアル・データ入出力端子です。

(d) TI80

8ビット・タイマ/イベント・カウンタ80への外部クロック入力端子です。

(e) TO40, TO82

8ビット・タイマ出力端子です。

(f) RIN

8ビット・リモコン・タイマ50への入力端子です。

(g) INTP0, INTP1

有効エッジ（立ち上がりエッジ，立ち下がりエッジ，立ち上がり立ち下がりの両エッジ）指定可能な外部割り込み入力端子です。

注意 シリアル・インタフェースの端子として使用する場合は，その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については表13-2 シリアル・インタフェースの動作モードの設定一覧を参照してください。

2.2.4 P30-P37 (Port 3)

8ビットの入出力ポートです。入出力ポートのほかにサウンド・ジェネレータ用周波数出力機能があります。P3ファンクション・レジスタ (PF3) により，次のような動作モードを指定できます。

(1) ポート・モード

★ 8ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタB3 (PUB3) により内蔵プルアップ抵抗をビット単位で使用できます。

(2) コントロール・モード

サウンド・ジェネレータ用周波数出力 (SG0-SG7) として機能します。

2.2.5 P60-P62 (Port 6)

3ビットの入力専用ポートです。汎用入力ポートのほかに，A/Dコンバータ入力機能があります。

(1) ポート・モード

3ビットの入力専用ポートとして機能します。

(2) コントロール・モード

A/Dコンバータのアナログ入力 (ANI0-ANI2) として機能します。

2.2.6 P80-P87 (Port 8)

8ビット入力ポートです。入力ポートのほかにLCDコントローラ/ドライバのセグメント信号出力があります。LCD表示モード・レジスタ20 (LCDM20) により, 8ビット単位で次のような動作モードを指定できます。

(1) コントロール・モード

LCDコントローラ/ドライバのセグメント/コモン信号出力 (LCD88-LCD95) として機能します。

(2) ポート・モード

8ビットの入力ポートとして機能します。

2.2.7 LCD0-LCD87

LCDコントローラ/ドライバのセグメント/コモン信号出力端子です。

2.2.8 CAP0-CAP3

★ LCD駆動用コンデンサ出力端子です。0.47 μ Fのコンデンサを接続してください。

2.2.9 VROUT0

サブシステム・クロック発振用のレギュレータ出力端子です。0.1 μ Fのコンデンサを介してV_{SS}に接続してください。

2.2.10 VLC0-VLC4

★ LCD駆動用電源電圧端子です。0.47 μ Fのコンデンサを接続してください。

2.2.11 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.12 SEL

セラミック/クリスタル発振またはRC発振切り替え入力端子です。セラミック/クリスタル発振として使用する場合はV_{SS}に, RC発振として使用する場合はV_{DD}に接続してください。

2.2.13 X1, X2

セラミック/クリスタル発振を選択した場合のメイン・システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは, X1に入力し, X2にその反転信号を入力してください。

2.2.14 CL1, CL2

RC発振を選択した場合のメイン・システム・クロック発振用抵抗 (R), コンデンサ (C) 接続端子です。

外部クロックを供給するときは, CL1に入力し, CL2にその反転信号を入力してください。

2.2.15 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは, XT1に入力し, XT2にその反転信号を入力してください。

2.2.16 V_{DD}

正電源供給端子です。

2.2.17 V_{SS}

グランド電位端子です。

2.2.18 V_{PP} (μ PD78F9835のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

次のどちらかの端子処理をしてください。

個別に10 k Ω のプルダウン抵抗を接続する

ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライターに、通常動作モード時はV_{SS}に直接接続するように切り替える

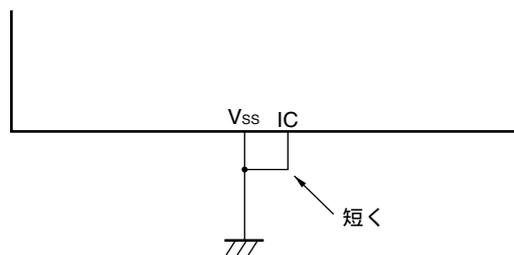
- ★ V_{PP}端子とV_{SS}端子間の配線の引き回しが長い場合や、V_{PP}端子に外来ノイズが加わったときには、お客様のプログラムが正常に動作しないことがあります。

2.2.19 IC (マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時にマスクROM製品 (μ PD789832, 789833, 789834, 789835, 789832A, 789833A, 789834A, 789835A, 789832B, 789833B, 789834B, 789835B) を検査するためのテスト・モードに設定するための端子です。通常動作時には、IC端子をV_{SS}に直接接続し、その配線長を極力短くしてください。

IC端子とV_{SS}端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とV_{SS}端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

IC端子をV_{SS}端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表2 - 1に示します。

また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

表2 - 1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法		
P00/ $\overline{\text{KR00}}$ - P07/ $\overline{\text{KR07}}$	5 - A	入出力	入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。		
P10, P11					
P20/ $\overline{\text{SCK10}}$	8 - A				
P21/TxD00/SO10	5 - A				
P22/RxD00/SI10	8 - A				
P23/INTP0/TI80					
P24/INTP1					
P25/TO82	5 - A				
P26/RIN	8 - A				
P27/TO40	5 - AA				
P30/SG0, P34/SG4	5 - AB				
P31/SG1-P33/SG3, P35/SG5-P37/SG7	5 - A				
P60/ANI0-P62/ANI2	9 - C			入力	V_{DD} または V_{SS} に直接接続してください。
P80/LCD88- P87/LCD95	17 - J			入出力	入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
LCD0-LCD87	17 - K	出力	オープンにしてください		
SEL	2	入力	-		
XT1	-		V_{SS} に接続してください。		
XT2	-		オープンにしてください。		
$\overline{\text{RESET}}$	2	入力	-		
IC (マスクROM製品)	-	-	V_{SS} に直接接続してください。		
V_{PP} (μ PD78F9835)			個別に10 k Ω のプルダウン抵抗を接続するか、 V_{SS} に直接接続してください。		

図2 - 1 端子の入出力回路一覧 (1/2)

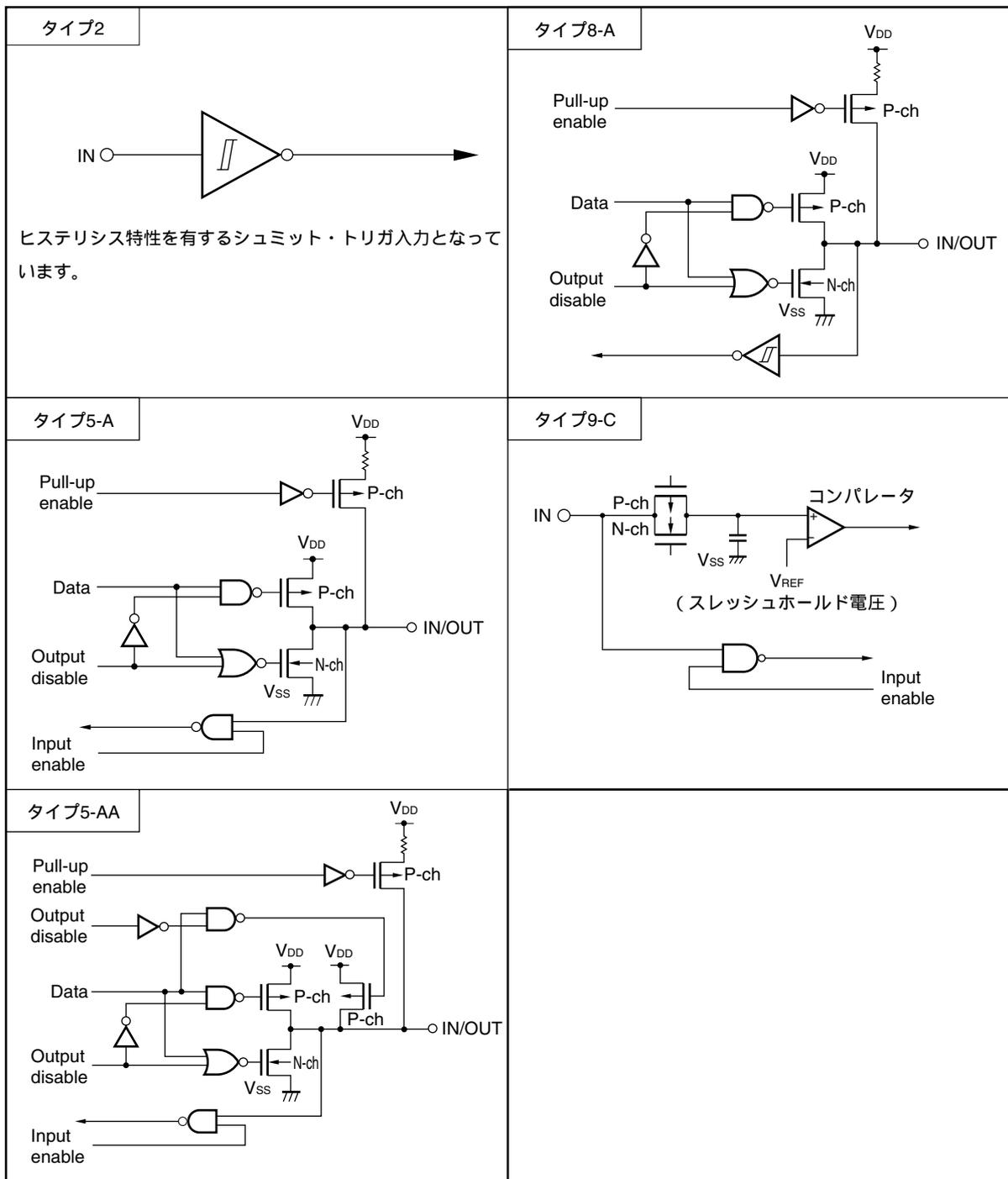
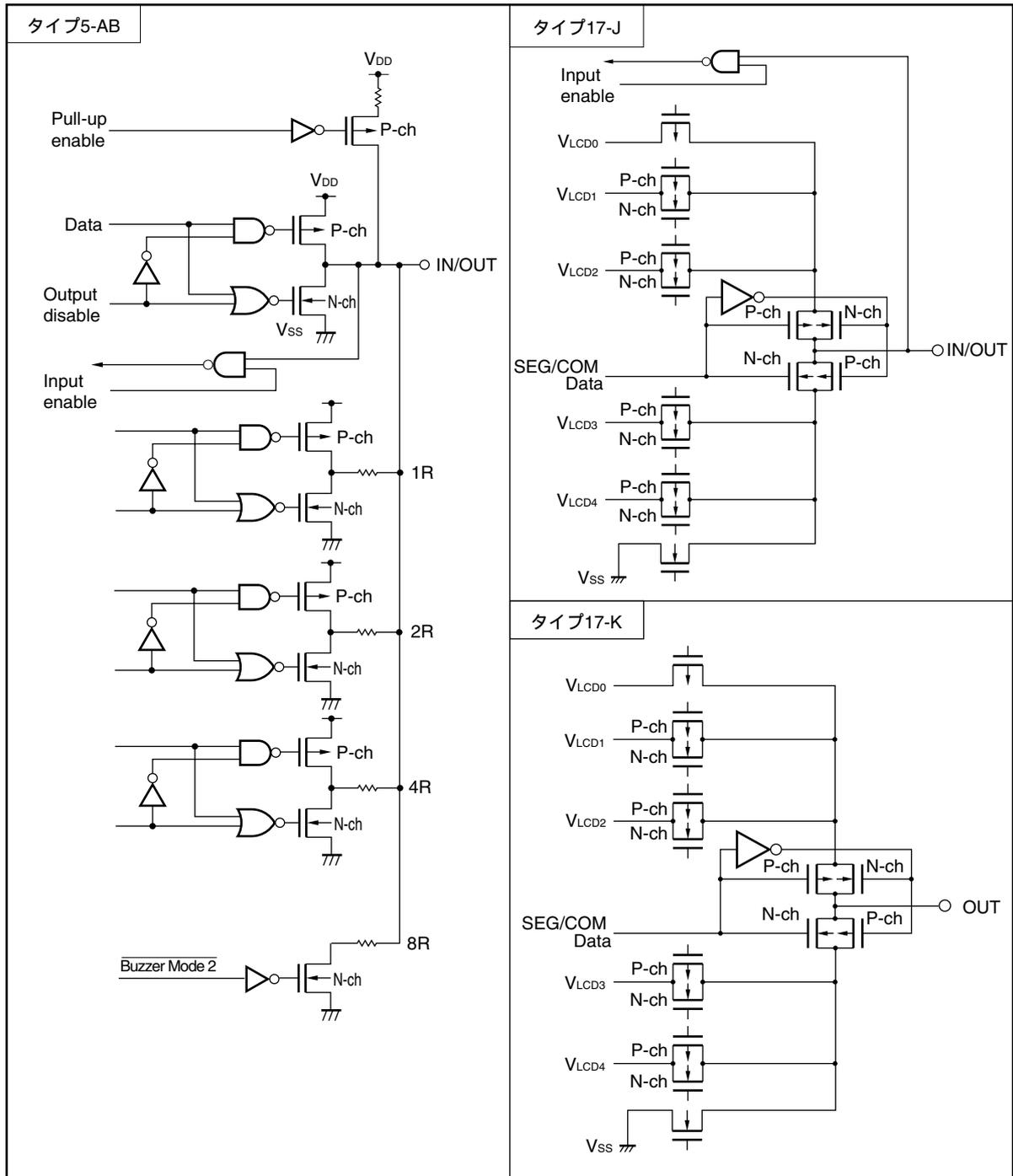


図2 - 1 端子の入出力回路一覧 (2/2)

★

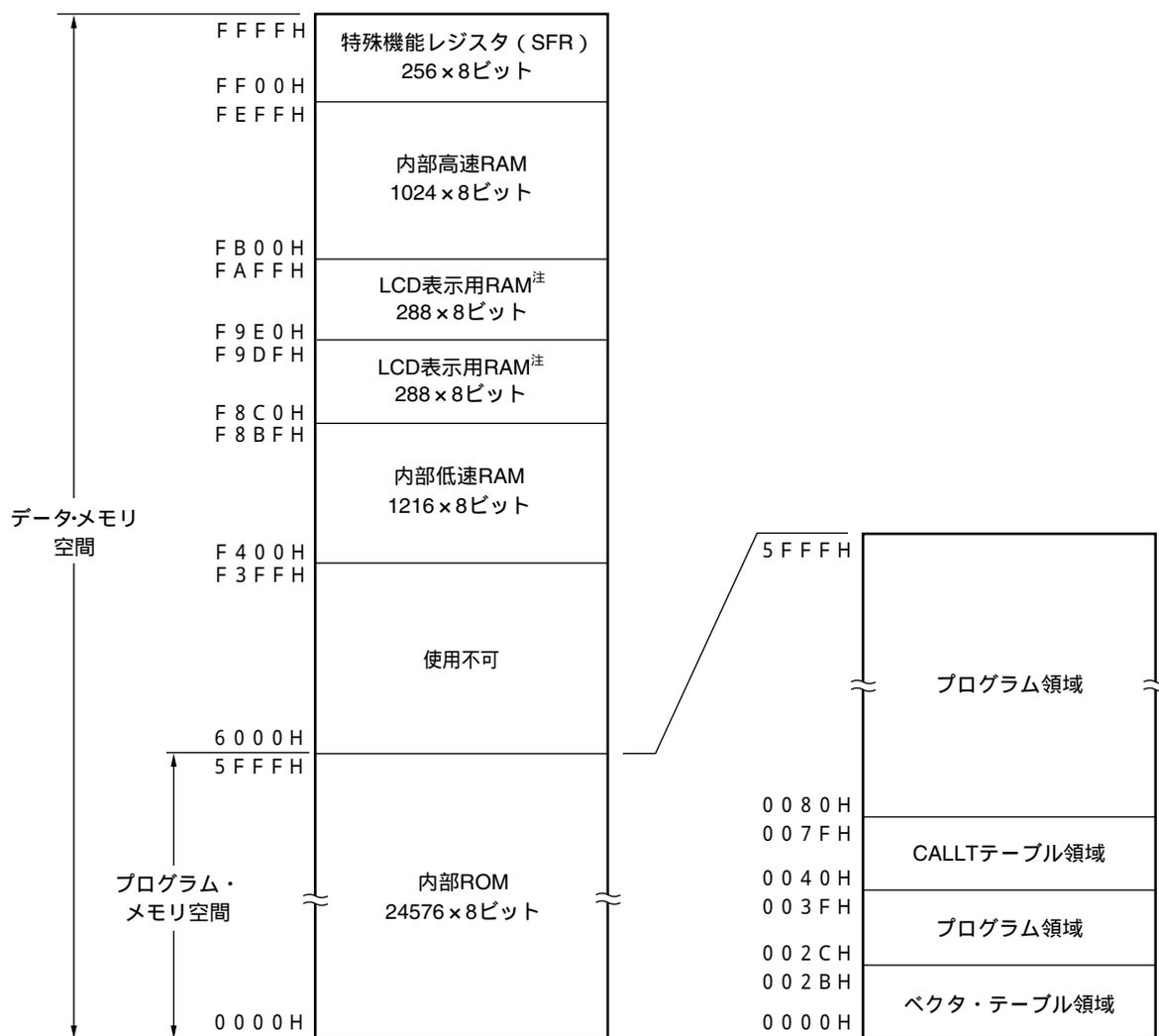


第3章 CPUアーキテクチャ

3.1 メモリ空間

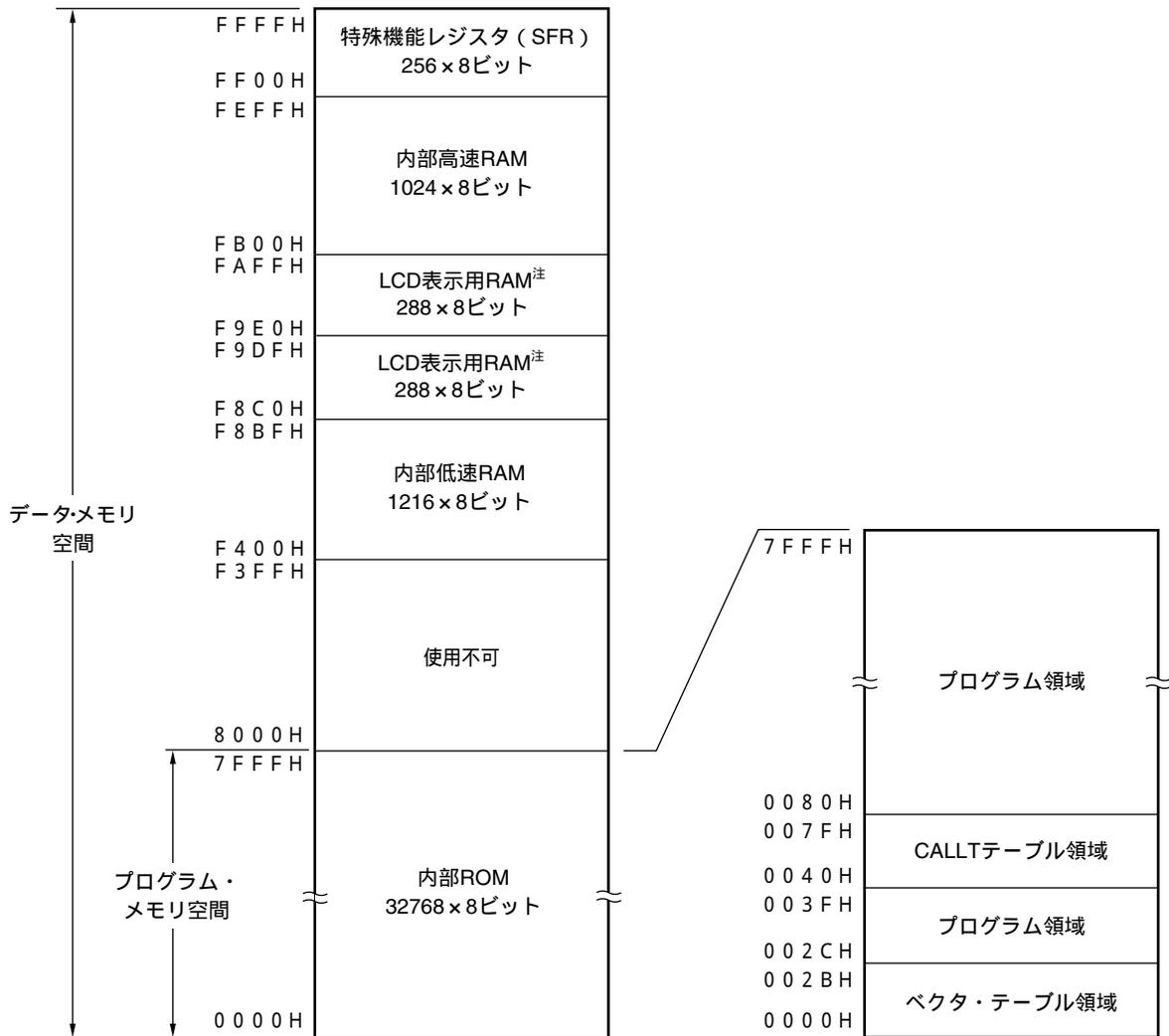
μ PD789835, 789835A, 789835Bサブシリーズは、それぞれ64 Kバイトのメモリ空間をアクセスできます。図3-1から図3-5に、メモリ・マップを示します。

図3-1 メモリ・マップ (μ PD789832, 789832A, 789832B)



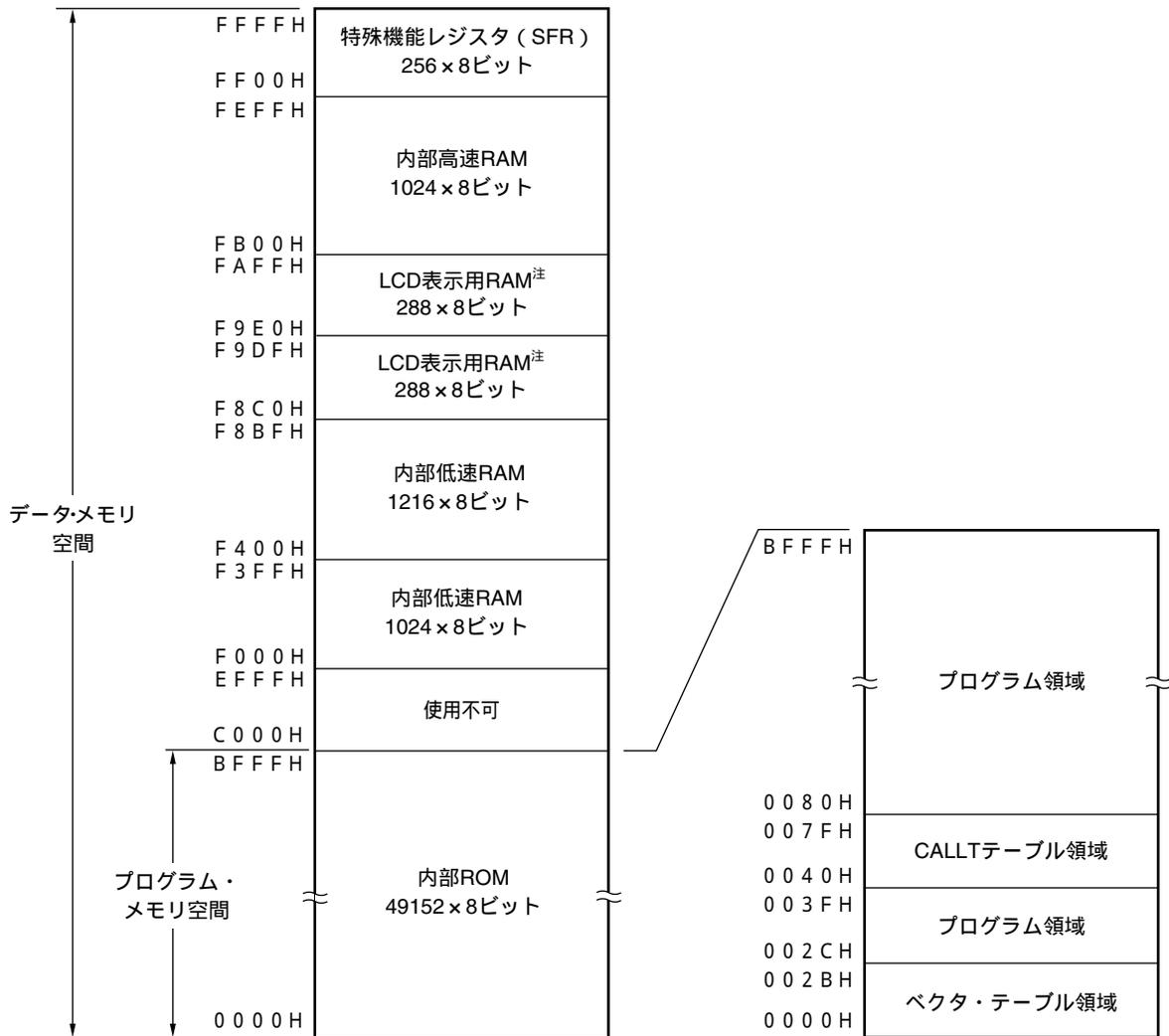
注 LCD表示に使用しない場合は通常のRAMとして使用可能です。

図3 - 2 メモリ・マップ (μ PD789833, 789833A, 789833B)



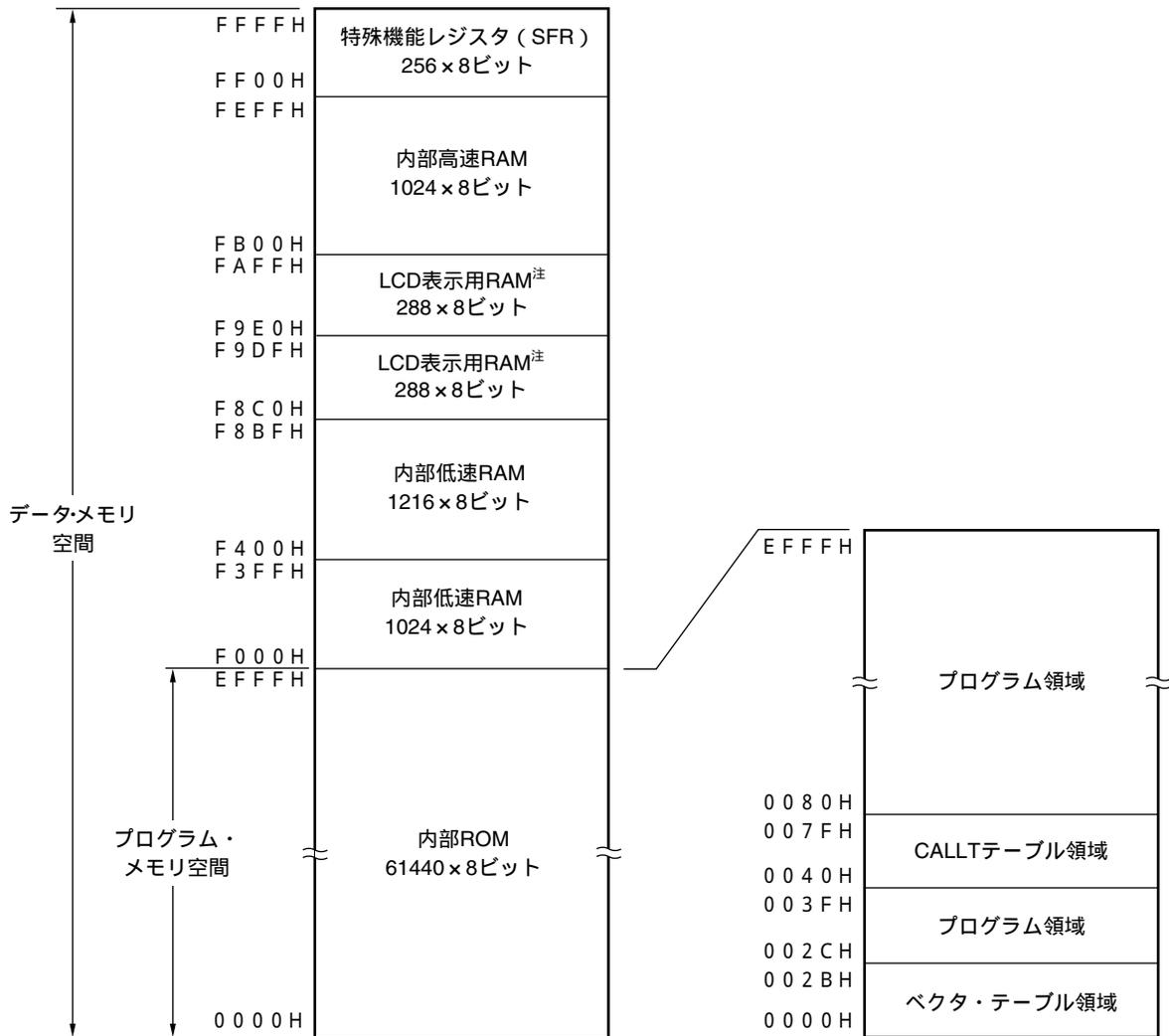
注 LCD表示に使用しない場合は通常のRAMとして使用可能です。

図3 - 3 メモリ・マップ (μ PD789834, 789834A, 789834B)



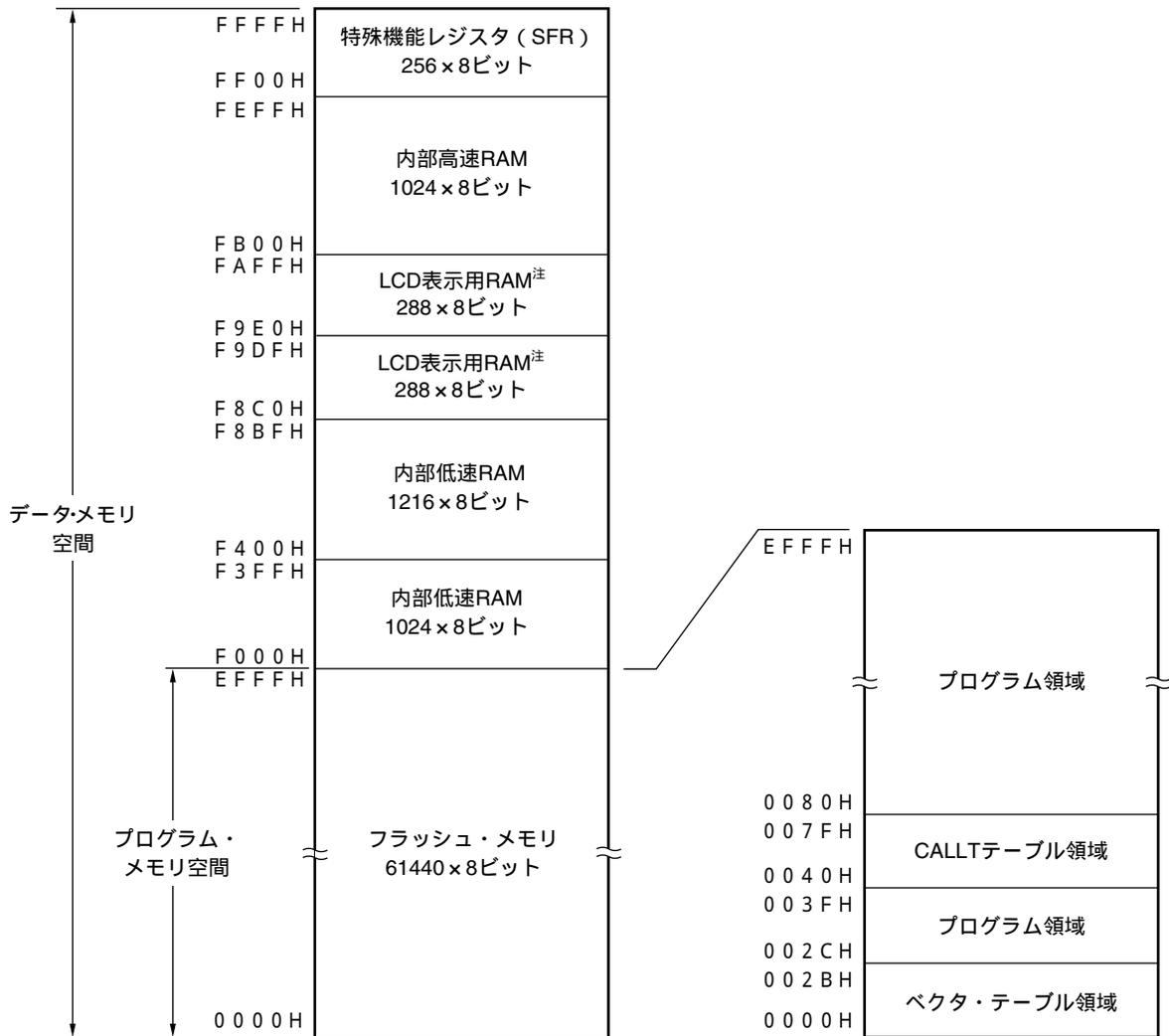
注 LCD表示に使用しない場合は通常のRAMとして使用可能です。

図3 - 4 メモリ・マップ (μ PD789835, 789835A, 789835B)



注 LCD表示に使用しない場合は通常のRAMとして使用可能です。

図3-5 メモリ・マップ (μ PD78F9835)



注 LCD表示に使用しない場合は通常のRAMとして使用可能です。

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD789835, 789835A, 789835Bサブシリーズでは、各製品ごとに次の容量の内部ROM（またはフラッシュ・メモリ）を内蔵しています。

表3 - 1 内部ROM容量

品 名	内部ROM	
	構 造	容 量
μPD789832, 789832A, 789832B	マスクROM	24576×8ビット
μPD789833, 789833A, 789833B		32768×8ビット
μPD789834, 789834A, 789834B		49152×8ビット
μPD789835, 789835A, 789835B		61440×8ビット
μPD78F9835	フラッシュ・メモリ	61440×8ビット

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-002BHの44バイトの領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、RESET入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3 - 2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0000H	RESET入力	0018H	INTWT
0004H	INTWDT1	001AH	INTWTI
0006H	INTP0	001CH	INTTM80
0008H	INTP1	001EH	INTTM81
000AH	INTCSI10	0020H	INTTM82
000CH	INTSER00	0022H	INTTM30
000EH	INTSR00	0024H	INTTM40
0010H	INTST00	0026H	INTTM50
0012H	INTTM50	0028H	INTAD
0014H	INTTM51	002AH	INTKR00
0016H	INTTM52		

(2) CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

3.1.2 内部データ・メモリ空間

μPD789835, 789835A, 789835Bサブシリーズの製品には、次に示すRAMを内蔵しています。

(1) 内部RAM

μPD789835, 789835A, 789835Bサブシリーズでは、次に示すRAMを内蔵しています。

表3 - 3 内部RAM容量

品 名	容 量
μPD789832, 789832A, 789832B	2240バイト (高速RAM1024バイト + 低速RAM1216バイト)
μPD789833, 789833A, 789833B	
μPD789834, 789834A, 789834B	3264バイト (高速RAM1024バイト + 低速RAM2240バイト)
μPD789835, 789835A, 789835B	
μPD78F9835	

内部高速RAMはスタックとしても使用できます。

(2) LCD表示用RAM

F8C0H-FAFFHの領域には、LCD表示用RAMを内蔵しています。

LCD表示用RAMは、通常のRAMとしても使用できます。

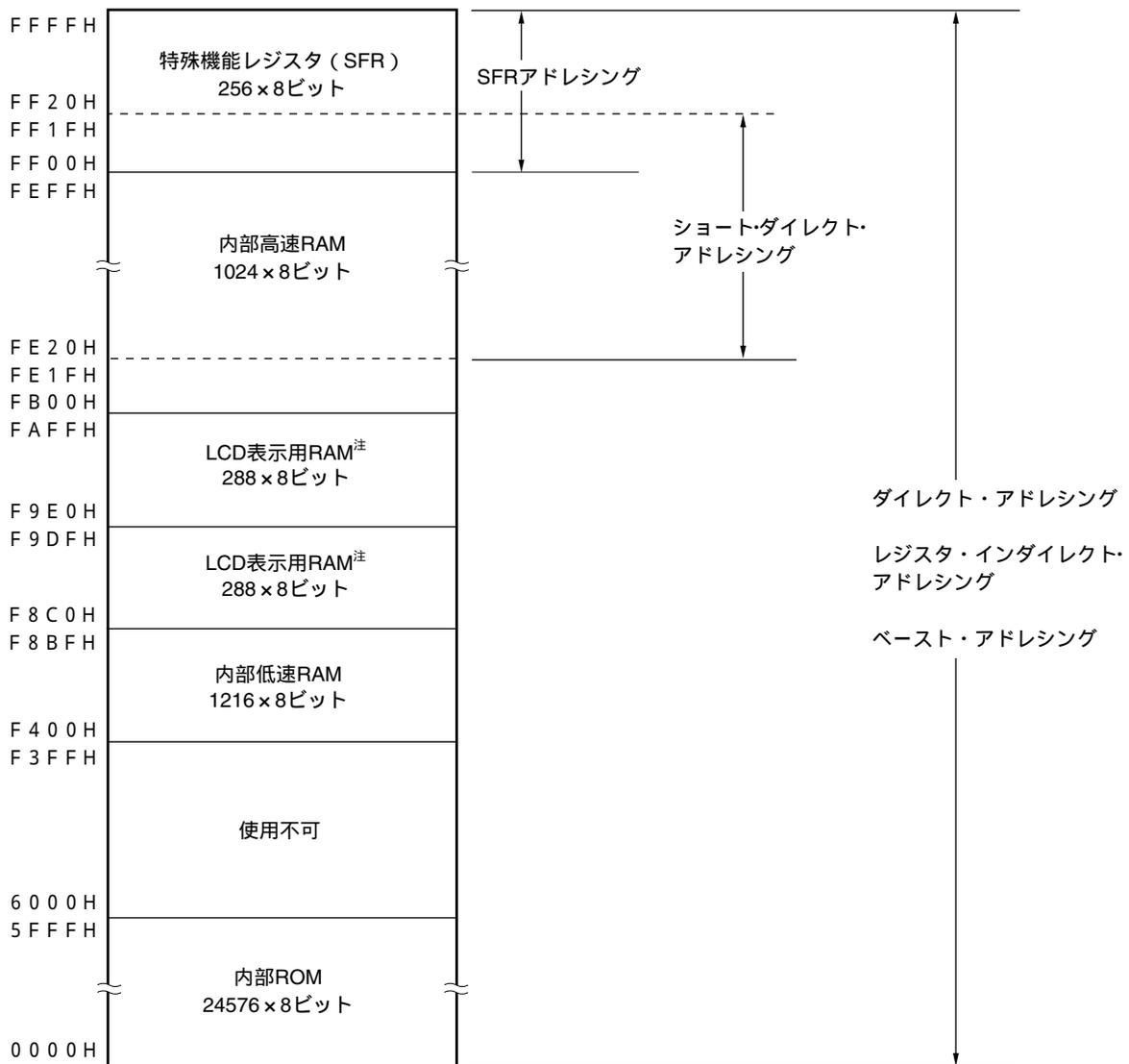
3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (表3 - 4参照)。

3.1.4 データ・メモリ・アドレッシング

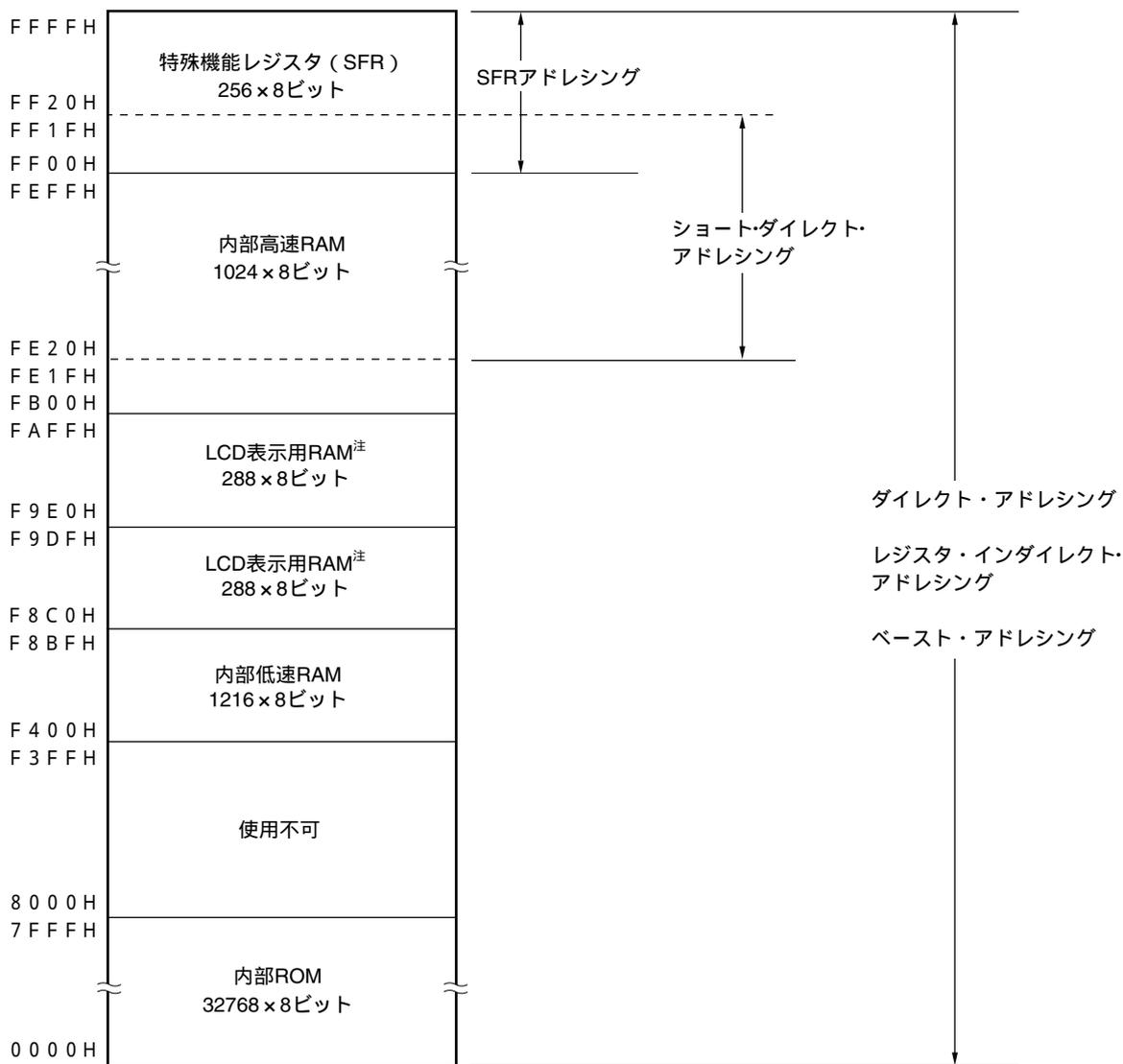
μ PD789835, 789835A, 789835Bサブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3 - 6から図3 - 10にデータ・メモリのアドレッシングを示します。

図3 - 6 データ・メモリのアドレッシング (μ PD789832, 789832A, 789832B)



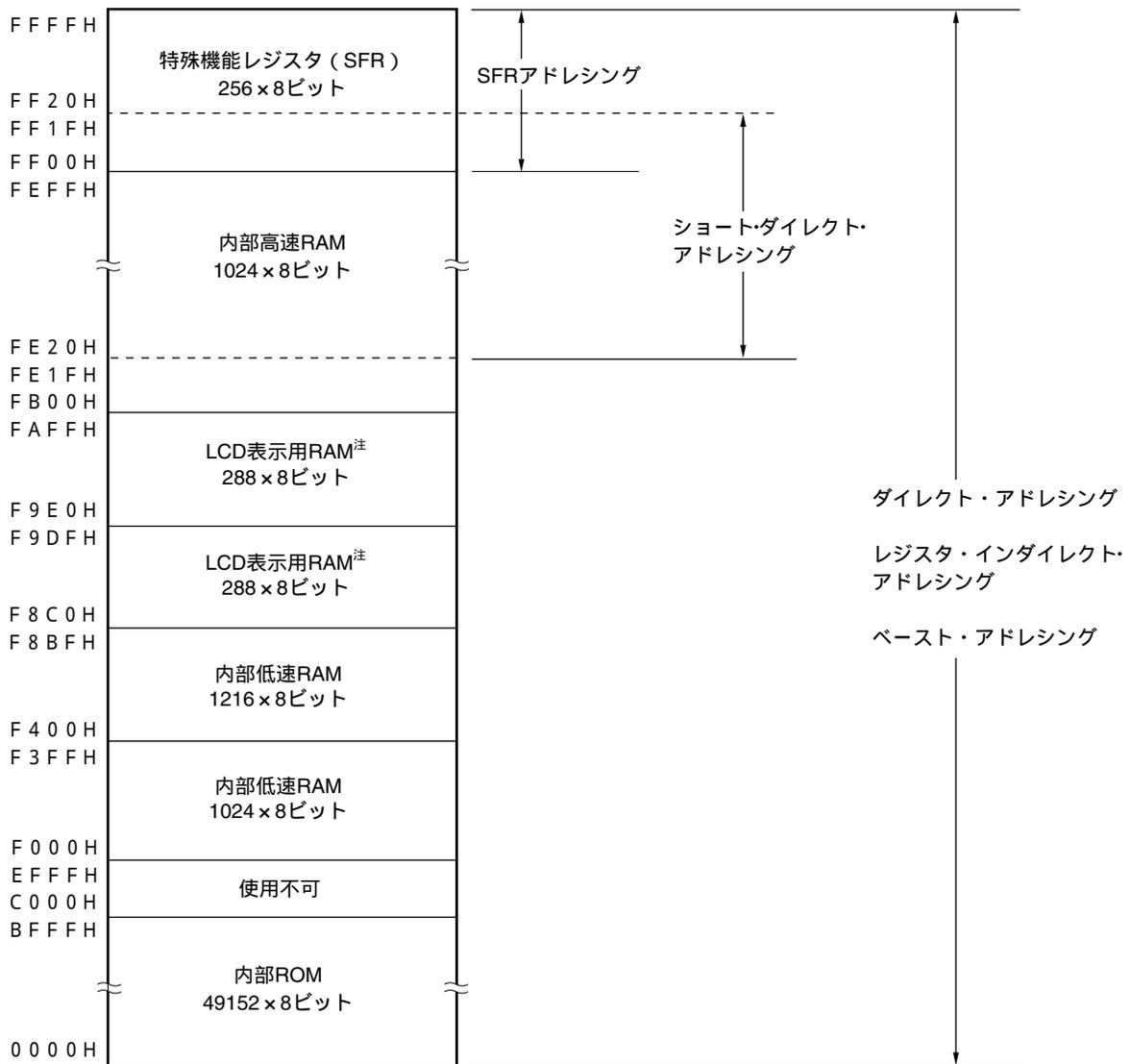
注 LCD表示に使用しない場合は通常のRAMとして使用可能です。

図3 - 7 データ・メモリのアドレッシング (μ PD789833, 789833A, 789833B)



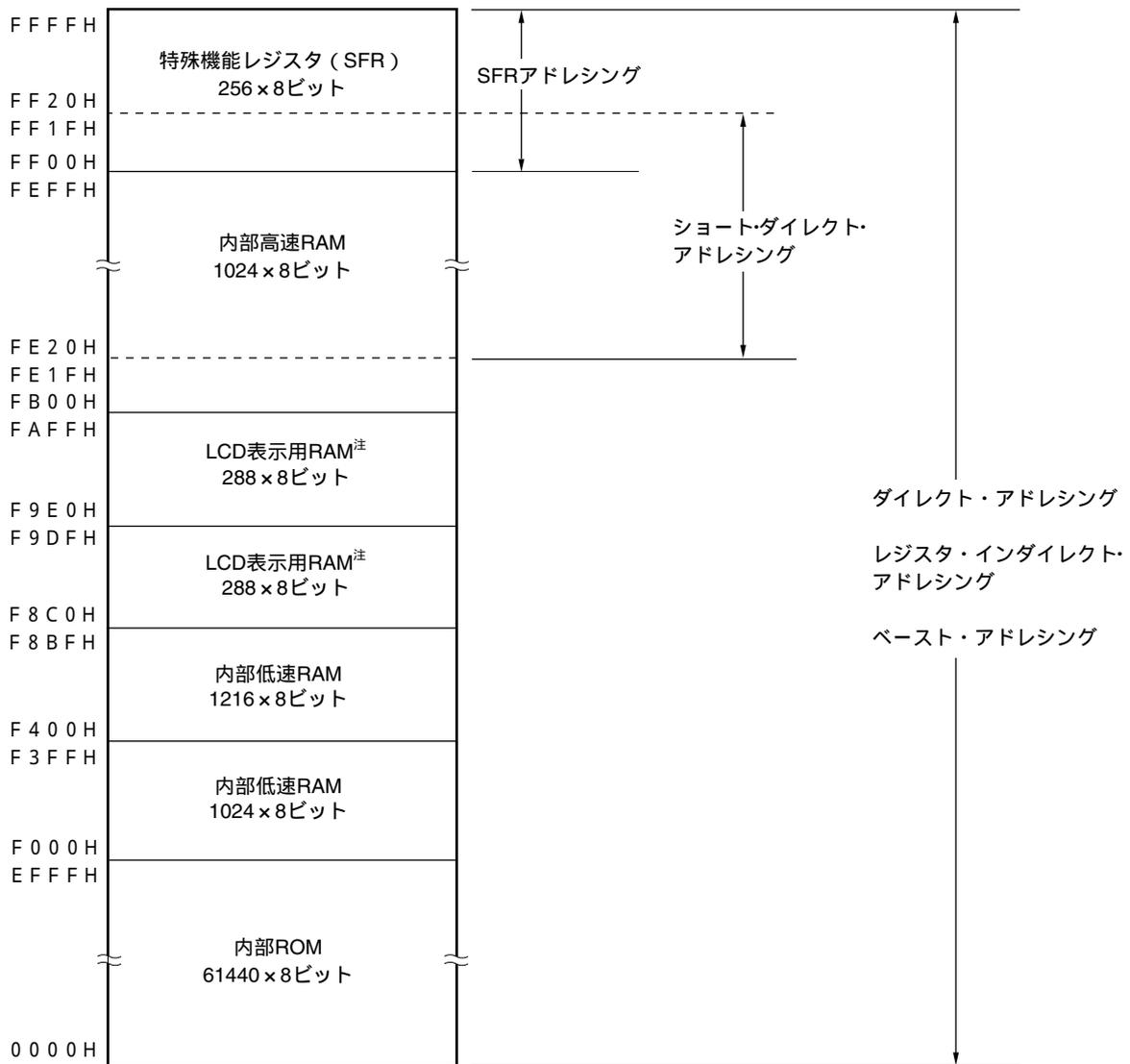
注 LCD表示に使用しない場合は通常のRAMとして使用可能です。

図3 - 8 データ・メモリのアドレッシング (μ PD789834, 789834A, 789834B)



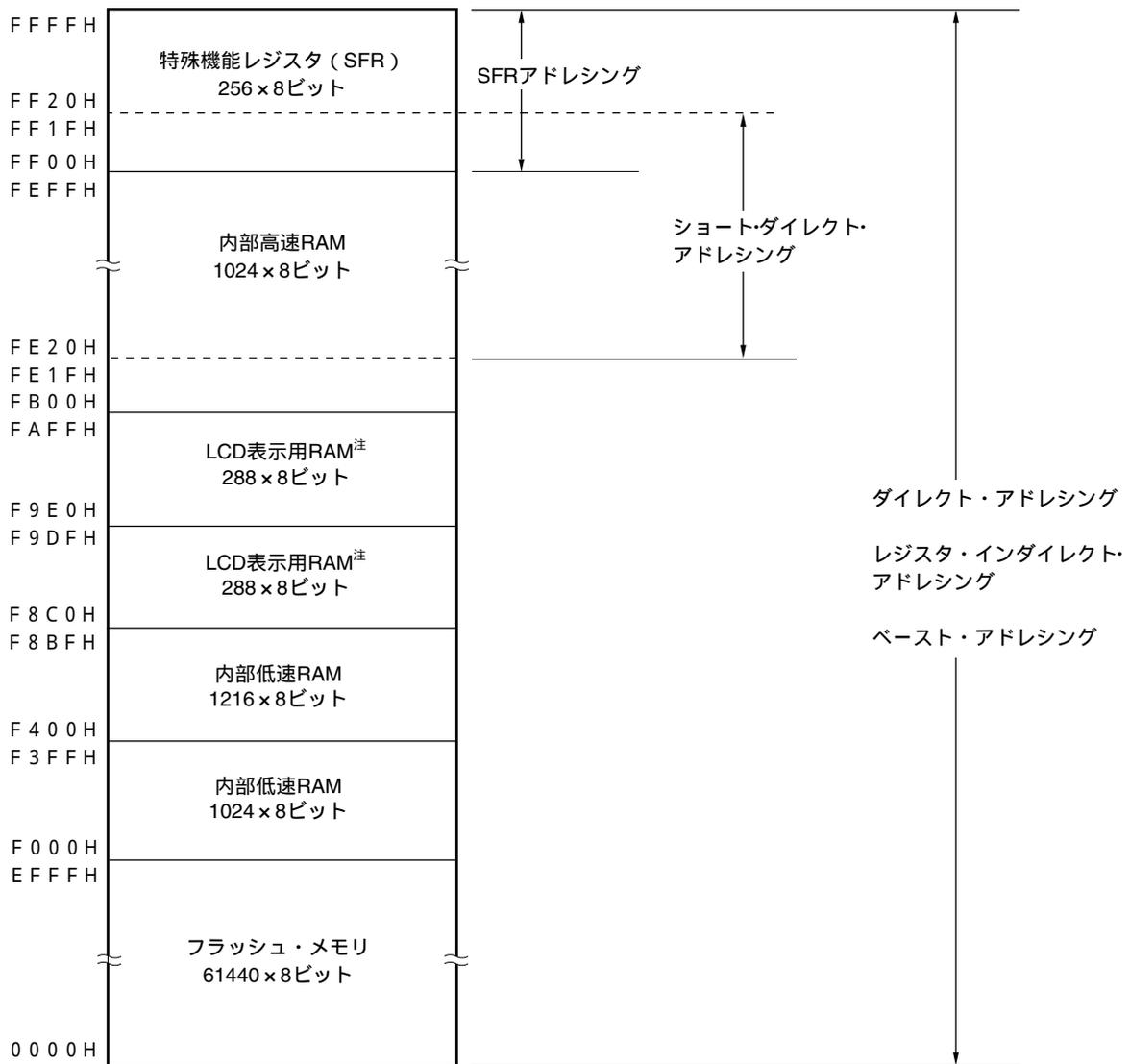
注 LCD表示に使用しない場合は通常のRAMとして使用可能です。

図3 - 9 データ・メモリのアドレッシング (μ PD789835, 789835A, 789835B)



注 LCD表示に使用しない場合は通常のRAMとして使用可能です。

図3 - 10 データ・メモリのアドレッシング (μ PD78F9835)



注 LCD表示に使用しない場合は通常のRAMとして使用可能です。

3.2 プロセッサ・レジスタ

μ PD789835, 789835A, 789835Bサブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

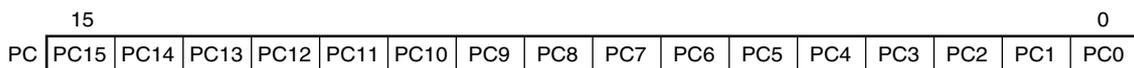
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 11 プログラム・カウンタの構成



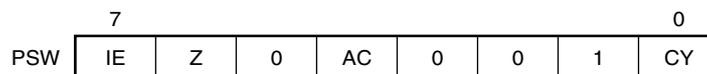
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3 - 12 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスクابل割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

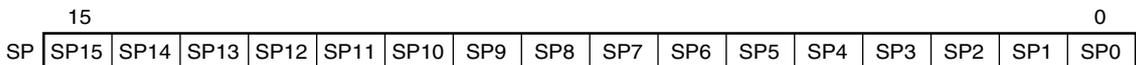
(d) キャリー・フラグ (CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 13 スタック・ポインタの構成



スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ, スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 14, 3 - 15のようになります。

注意 SPの内容はRESET入力により, 不定になりますので, 必ずスタック使用前にイニシャライズしてください。

図3 - 14 スタック・メモリへ退避されるデータ

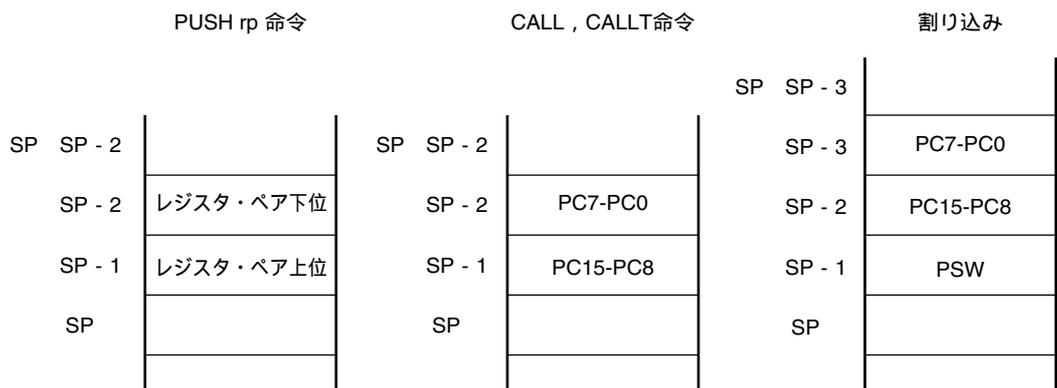
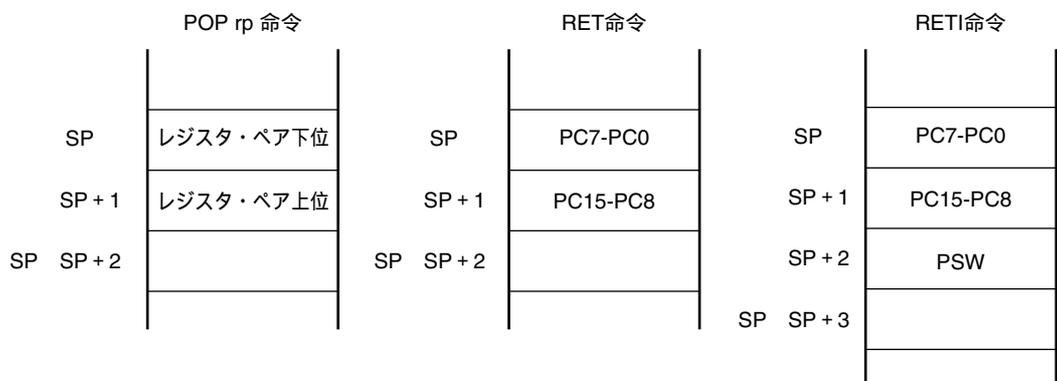


図3 - 15 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

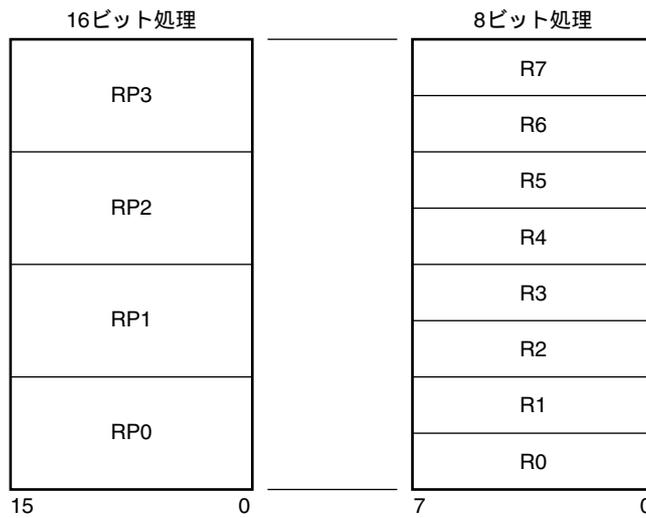
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

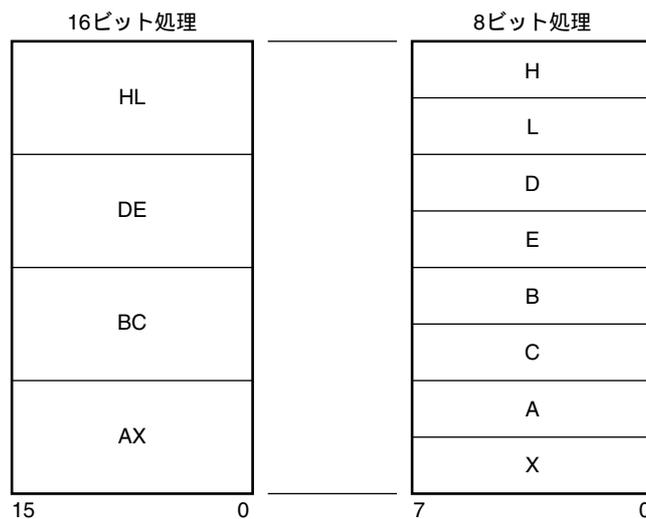
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図3 - 16 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 4に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

内蔵された特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、Cコンパイラでは #pragma sfr 指令で、sfr変数として定義されているものです。アセンブラ、統合ディバッガ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- ・ リセット時

$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表3-4 特殊機能レジスタ一覧(1/2)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット単位			リセット時	
				1ビット	8ビット	16ビット		
FF00H	ポート0	P0	R/W			-	00H	
FF01H	ポート1	P1				-		
FF02H	ポート2	P2				-		
FF03H	ポート3	P3				-		
FF06H	ポート6	P6	R			-	不定	
FF08H	ポート8	P8				-		
FF11H	A/D変換結果レジスタ	ADCR		-		-		
FF14H	16ビット乗算結果格納レジスタ0	MUL0 ^{注1}		MUL0L	-			注2
FF15H			MUL0H	-				
FF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH	
FF21H	ポート・モード・レジスタ1	PM1				-		
FF22H	ポート・モード・レジスタ2	PM2				-		
FF23H	ポート・モード・レジスタ3	PM3				-		
FF32H	ブルアップ抵抗オプション・レジスタB2	PUB2				-		00H
FF33H	ブルアップ抵抗オプション・レジスタB3	PUB3				-		
FF42H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS		-		-		
FF4AH	時計用タイマ・モード・コントロール・レジスタ	WTM				-		
FF4BH	ウォッチドッグ・タイマ・モード・レジスタ	WDTM				-		
FF53H	P3ファンクション・レジスタ	PF3				-		
FF54H	リモコン・タイマ・コントロール・レジスタ50	TMC50				-		
FF55H	リモコン・タイマ・キャプチャ・レジスタ50	CP50		R	-	-		
FF56H	リモコン・タイマ・キャプチャ・レジスタ51	CP51		-	-			
FF57H	8ビット・コンペア・レジスタ80	CR80	W	-	-	不定		
FF58H	8ビット・タイマ・カウンタ80	TM80	R	-	-	00H		
FF59H	8ビット・タイマ・モード・コントロール・レジスタ80	TMC80	R/W		-			
FF5AH	8ビット・コンペア・レジスタ81	CR81	W	-	-	不定		
FF5BH	8ビット・タイマ・カウンタ81	TM81	R	-	-	00H		
FF5CH	8ビット・タイマ・モード・コントロール・レジスタ81	TMC81	R/W		-			
FF5DH	8ビット・コンペア・レジスタ82	CR82	W	-	-	不定		
FF5EH	8ビット・タイマ・カウンタ82	TM82	R	-	-	00H		
FF5FH	8ビット・タイマ・モード・コントロール・レジスタ82	TMC82	R/W		-			
FF60H	8ビット・コンペア・レジスタ30	CR30	W	-	-	不定		
FF61H	8ビット・タイマ・カウンタ30	TM30	R	-	-	00H		
FF62H	8ビット・タイマ・モード・コントロール・レジスタ30	TMC30	R/W		-			
FF63H	8ビット・コンペア・レジスタ40	CR40	W	-	-	不定		
FF64H	8ビットH幅コンペア・レジスタ40	CRH40		-	-			
FF65H	8ビット・タイマ・カウンタ40	TM40	R	-	-	00H		
FF66H	8ビット・タイマ・モード・コントロール・レジスタ40	TMC40	R/W		-			
★ FF67H	キャリア・ジェネレータ出力コントロール・レジスタ40	TCA40	W	-	-	不定		

注1. 16ビット・アクセス専用のSFR名称です。

2. ショート・ダイレクト・アドレッシングでのみ16ビット・アクセスが可能です。

表3-4 特殊機能レジスタ一覧(2/2)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット単位			リセット時	
				1ビット	8ビット	16ビット		
FF68H	8ビット・コンペア・レジスタSG0	CRSG0	W	-		-	不定	
FF6AH	8ビット・タイマ・カウンタSG0	TMSG0	R	-		-	00H	
FF6BH	8ビット・タイマ・モード・コントロール・レジスタSG0	TMCSG0	R/W			-		
FF6CH	キャリア・ジェネレータ出力コントロール・レジスタSG0	TCASG0	W	-		-		
FF6DH	サウンド・ジェネレータ用周波数設定レジスタ00	SGFC00	R/W	-		-		
FF72H	シリアル動作モード・レジスタ10	CSIM10				-		
FF74H	送受信シフト・レジスタ10	SIO10	W	-		-	不定	
			R	-		-	00H	
FF80H	A/Dコンバータ・モード・レジスタ	ADM	R/W			-	00H	
FF84H	A/D入力選択レジスタ	ADS				-		
FFA0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	ASIM00				-		
FFA1H	ポー・レート・ジェネレータ・コントロール・レジスタ00	BRGC00			-			-
FFA2H	送信シフト・レジスタ00	TXS00		W	-			-
	受信バッファ・レジスタ00	RXB00	R	-		-	FFH	
FFA3H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00	ASIS00				-	00H	
FFABH	スワッピング機能レジスタ0	SWP0 ^注	W	-		-	不定	
			R	-		-	00H	
FFAFH	電源供給コントロール・レジスタ0	PSC0	R/W			-	00H	
FFB0H	LCD20表示モード・レジスタ	LCDM20				-		
FFB2H	LCD20クロック制御レジスタ	LCDC20		-		-		
FFB3H	LCD昇圧レベル設定レジスタ00	VLCD00		-		-		
FFD0H	乗算データ・レジスタA0	MRA0	W	-		-		不定
FFD1H	乗算データ・レジスタB0	MRB0		-		-	00H	
FFD2H	乗算器コントロール・レジスタ0	MULC0	R/W			-		
FFE0H	割り込み要求フラグ・レジスタ0	IF0				-		
FFE1H	割り込み要求フラグ・レジスタ1	IF1				-		
FFE2H	割り込み要求フラグ・レジスタ2	IF2				-		
FFE4H	割り込みマスク・フラグ・レジスタ0	MK0				-	FFH	
FFE5H	割り込みマスク・フラグ・レジスタ1	MK1				-	00H	
FFE6H	割り込みマスク・フラグ・レジスタ2	MK2				-		
FFECH	外部割り込みモード・レジスタ0	INTM0		-		-		
FFF0H	サブ発振モード・レジスタ	SCKM				-		
FFF2H	サブクロック・コントロール・レジスタ	CSS				-		
FFF5H	キー・リターン・モード・レジスタ00	KRM00				-	04H	
FFF7H	ブルアップ抵抗オプション・レジスタ0	PU0				-		
FFFAH	発振安定時間選択レジスタ	OSTS		-		-		
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC				-		
						-		02H

注 読み出しモード時と書き込みモード時では、初期値が異なります。詳しくは第16章 スワッピング(SWAP)を参照してください。

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行することにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ ユーザーズ・マニュアル命令編（U11047J）を参照してください）。

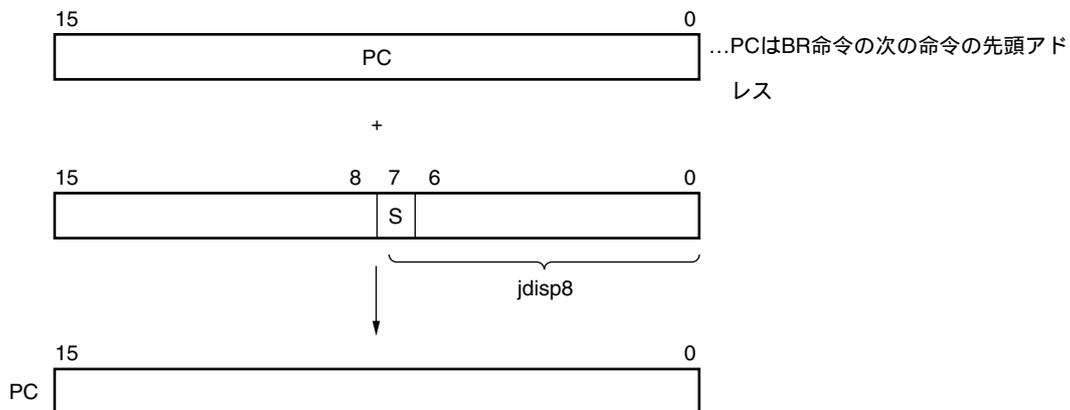
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエイト・データ（ディスプレイメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレイメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するという事です。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0 のとき、 は全ビット 0

S = 1 のとき、 は全ビット 1

3.3.2 イミディエト・アドレッシング

【機能】

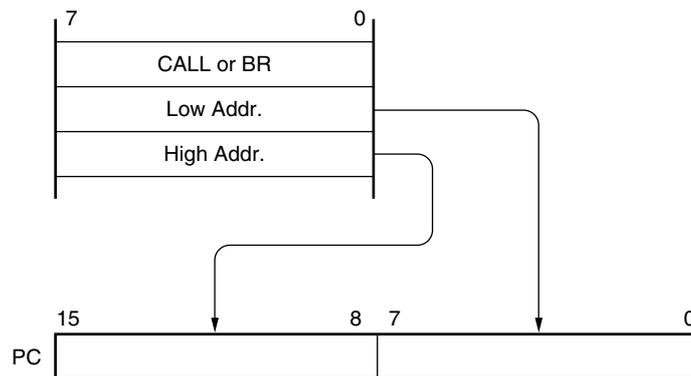
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

【図解】

CALL !addr16, BR !addr16命令の場合



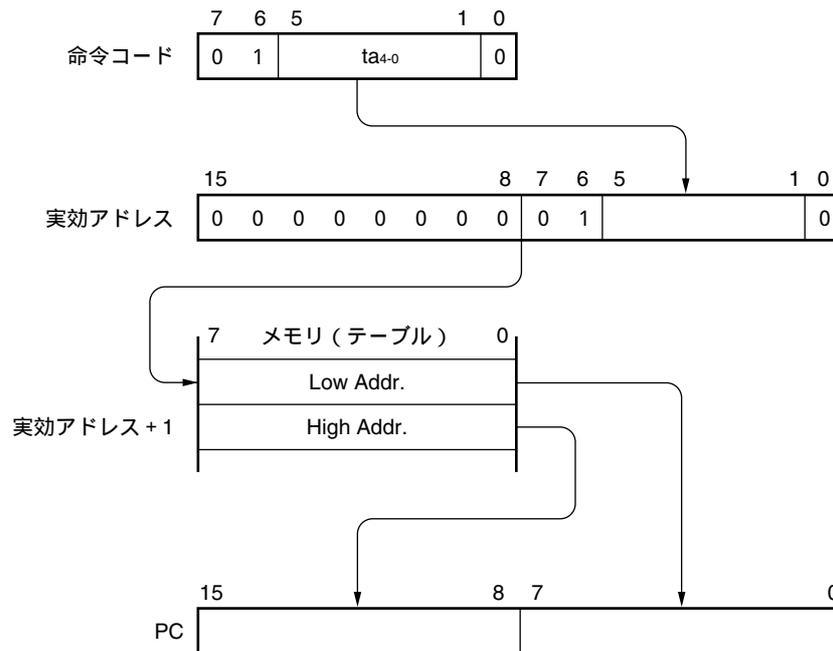
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



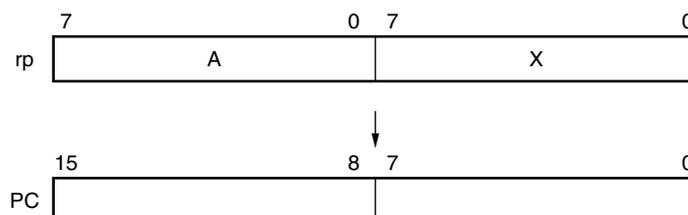
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

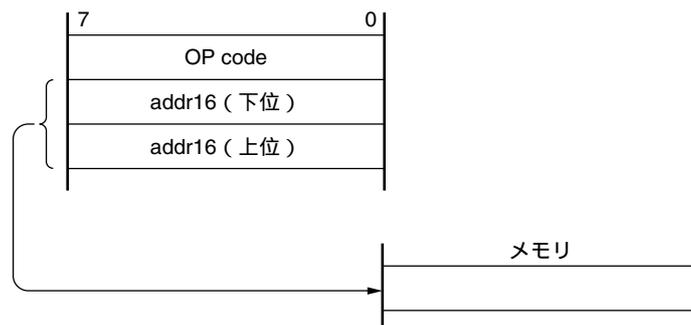
【記述例】

MOV A, !FE00H ; laddr16をFE00Hとする場合

命令コード

0 0 1 0 1 0 0 1	OPコード
0 0 0 0 0 0 0 0	0 0 H
1 1 1 1 1 1 1 0	F E H

【図解】



3.4.2 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

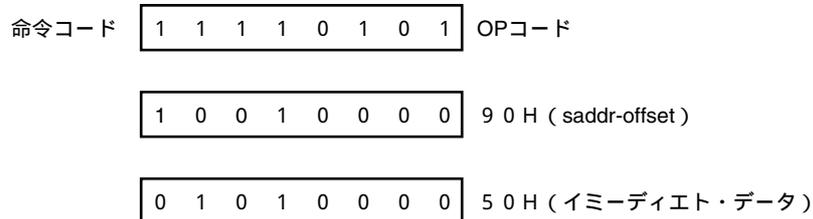
実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

【オペランド形式】

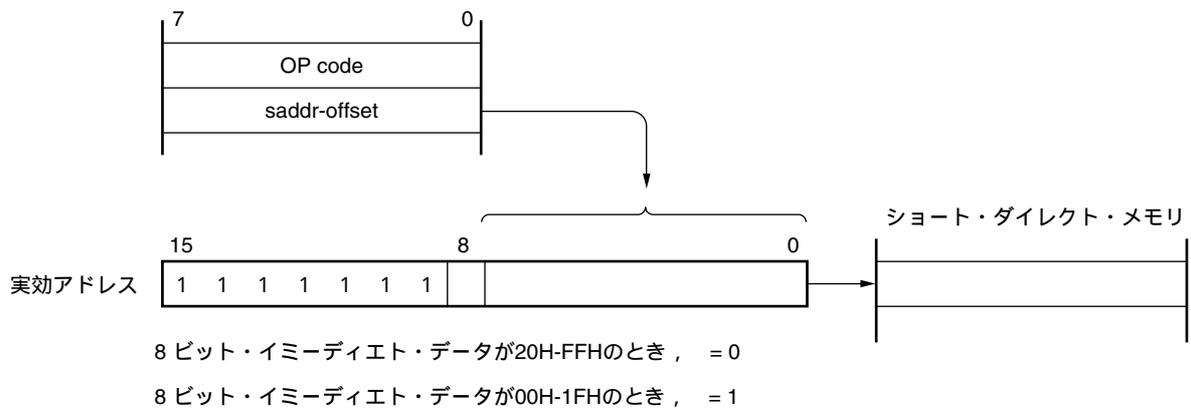
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV FE90H, #50H ; saddrをFE90H、イミディエト・データを50Hとする場合



【図解】



3.4.3 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

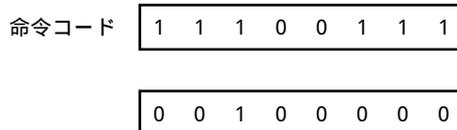
このアドレッシングが適用されるのはFF00H-FFFFHの256バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

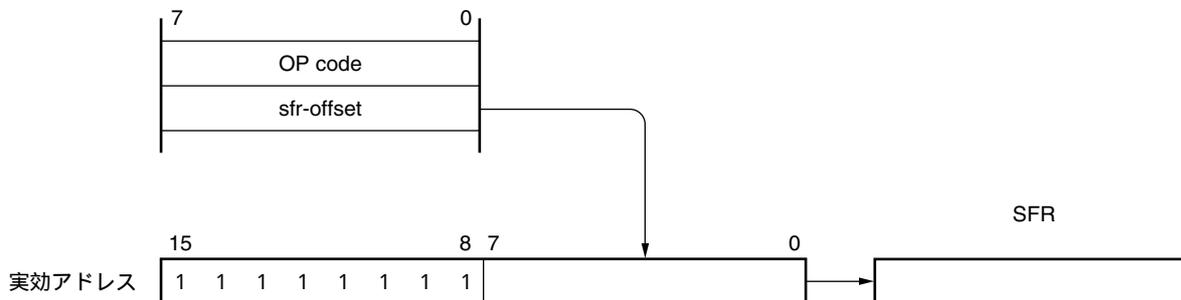
表現形式	記述方法
sfr	特殊機能レジスタ名

【記述例】

MOV PM0, A ; sfrにPM0を選択する場合



【図解】



3.4.4 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

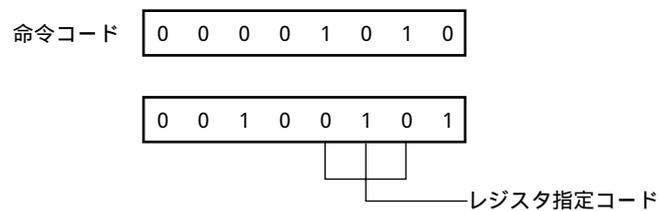
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

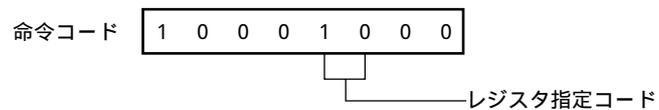
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

★ 【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.5 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

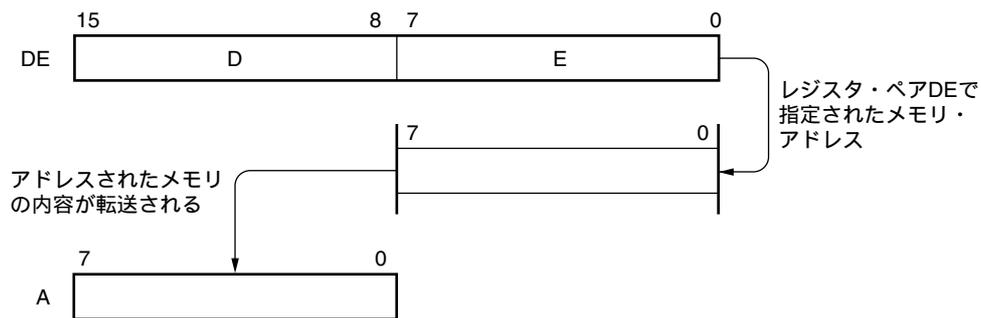
【記述例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード

0 0 1 0 1 0 1 1

【図解】



3.4.6 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

0	0	1	0	1	1	0	1
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

3.4.7 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

【記述例】

PUSH DEの場合

命令コード

1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---

第4章 ポート機能

4.1 ポートの機能

μ PD789835, 789835A, 789835Bサブシリーズは、図4 - 1に示すポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 1のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章 端子機能**を参照してください。

図4 - 1 ポートの種類

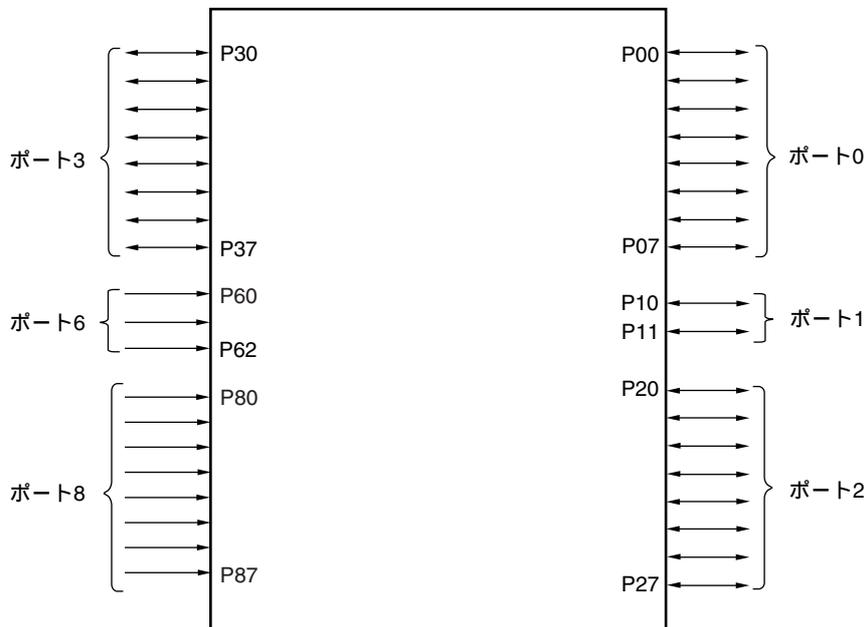


表4 - 1 ポートの機能

名 称	端子名称	機 能
ポート0	P00-P07	入出力ポート。1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。
ポート1	P10, P11	入出力ポート。1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。
★ ポート2	P20-P27	入出力ポート。1ビット単位で入力 / 出力の指定可能。 プルアップ抵抗オプション・レジスタB2 (PUB2) により、内蔵プルアップ抵抗を使用可能。
★ ポート3	P30-P37	入出力ポート。1ビット単位で入力 / 出力の指定可能。 プルアップ抵抗オプション・レジスタB3 (PUB3) により、内蔵プルアップ抵抗を使用可能。
ポート6	P60-P62	入力ポート。
ポート8	P80-P87	入力ポート。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4 - 2 ポートの構成

項 目	構 成
制御レジスタ	ポート・モード・レジスタ (PM0-PM3) プルアップ抵抗オプション・レジスタ (PU0, PUB2, PUB3)
ポート	合計：37本 (CMOS入出力：26本, CMOS入力：11本)
プルアップ抵抗	合計：26本 (ソフトウェア制御：26本)

4.2.1 ポート0

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P07端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により8ビット単位で内蔵プルアップ抵抗を使用できます。

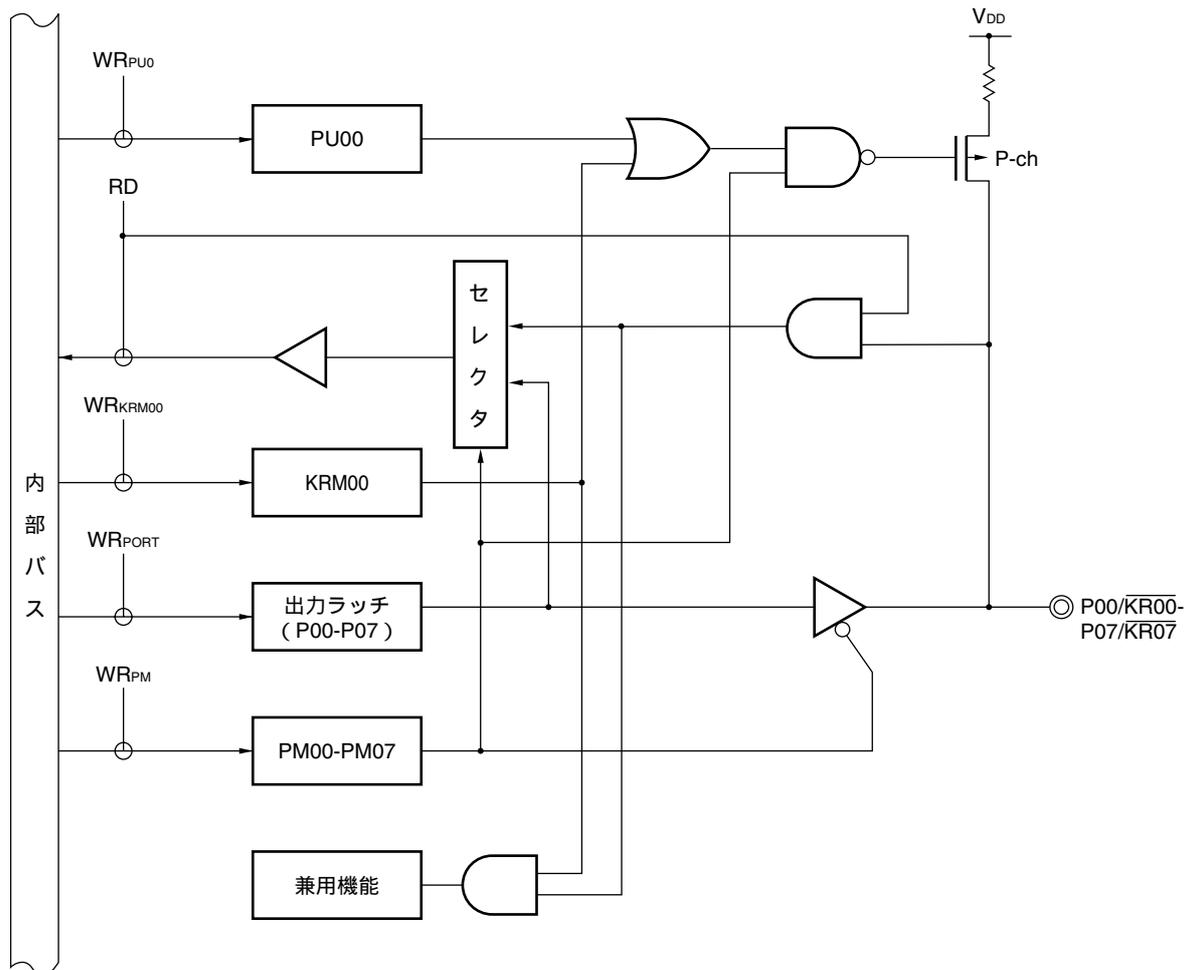
また、兼用機能としてキー・リターン入力があります。

RESET入力により、入力モードになります。

図4 - 2にポート0のブロック図を示します。

★

図4 - 2 P00-P07のブロック図



- KRM00 : キー・リターン・モード・レジスタ00
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM : ポート・モード・レジスタ
- RD : ポート0のリード信号
- WR : ポート0のライト信号

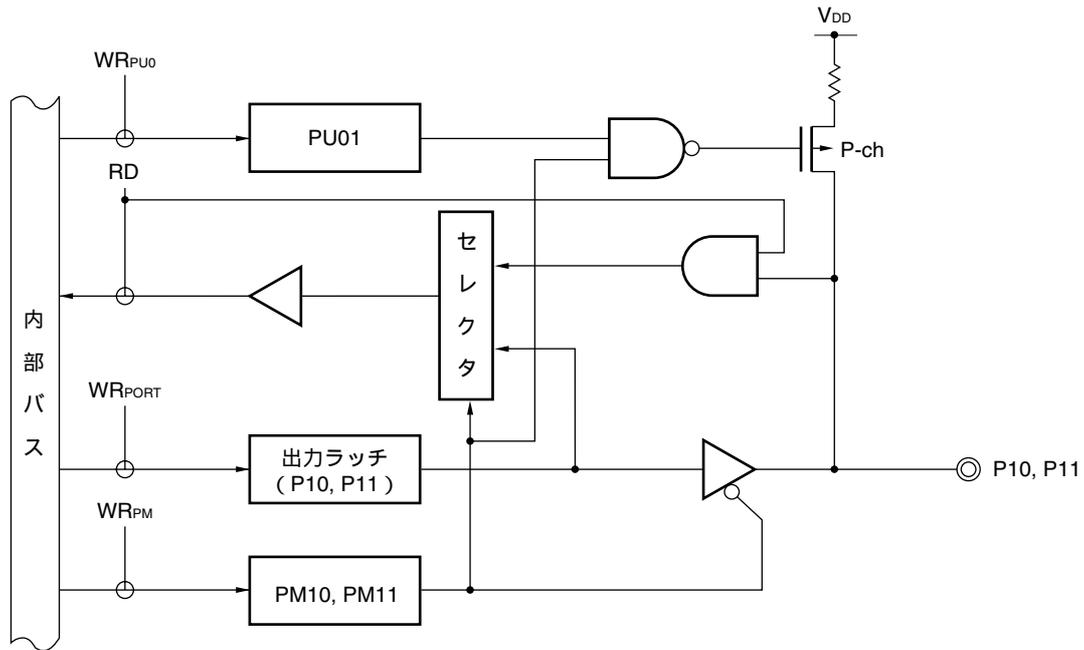
4.2.2 ポート1

出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10, P11端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により2ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 3にポート1のブロック図を示します。

図4 - 3 P10, P11のブロック図



PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート1のリード信号

WR : ポート1のライト信号

4.2.3 ポート2

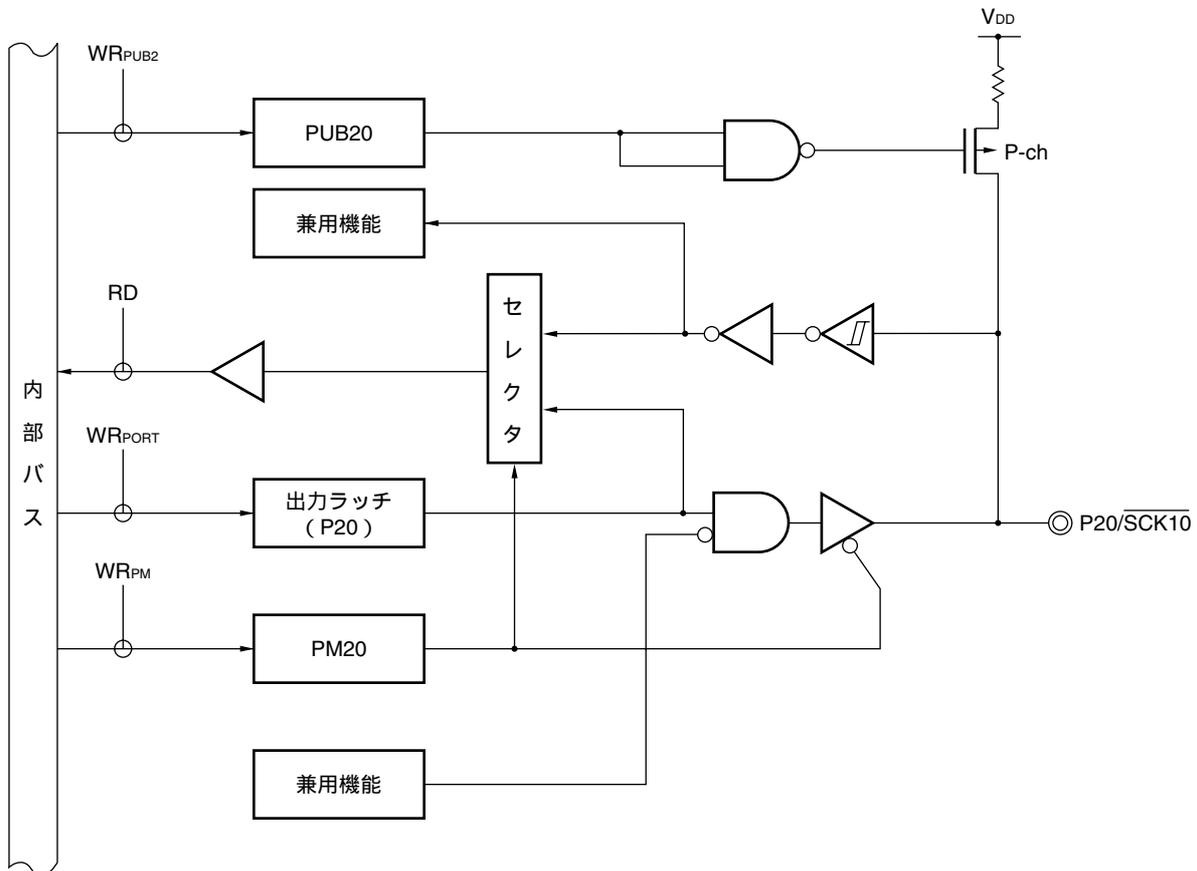
- 出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。入出力モードの設定にかかわらず、プルアップ抵抗オプション・レジスタB2 (PUB2) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてシリアル・インタフェースの入出力、外部割り込み入力、タイマ入出力があります。
 $\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 4から図4 - 7にポート2のブロック図を示します。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要になります。設定方法については、表13 - 2 シリアル・インタフェースの動作モードの設定一覧を参照してください。

★ 図4 - 4 P20のブロック図



PUB2 : プルアップ抵抗オプション・レジスタB2

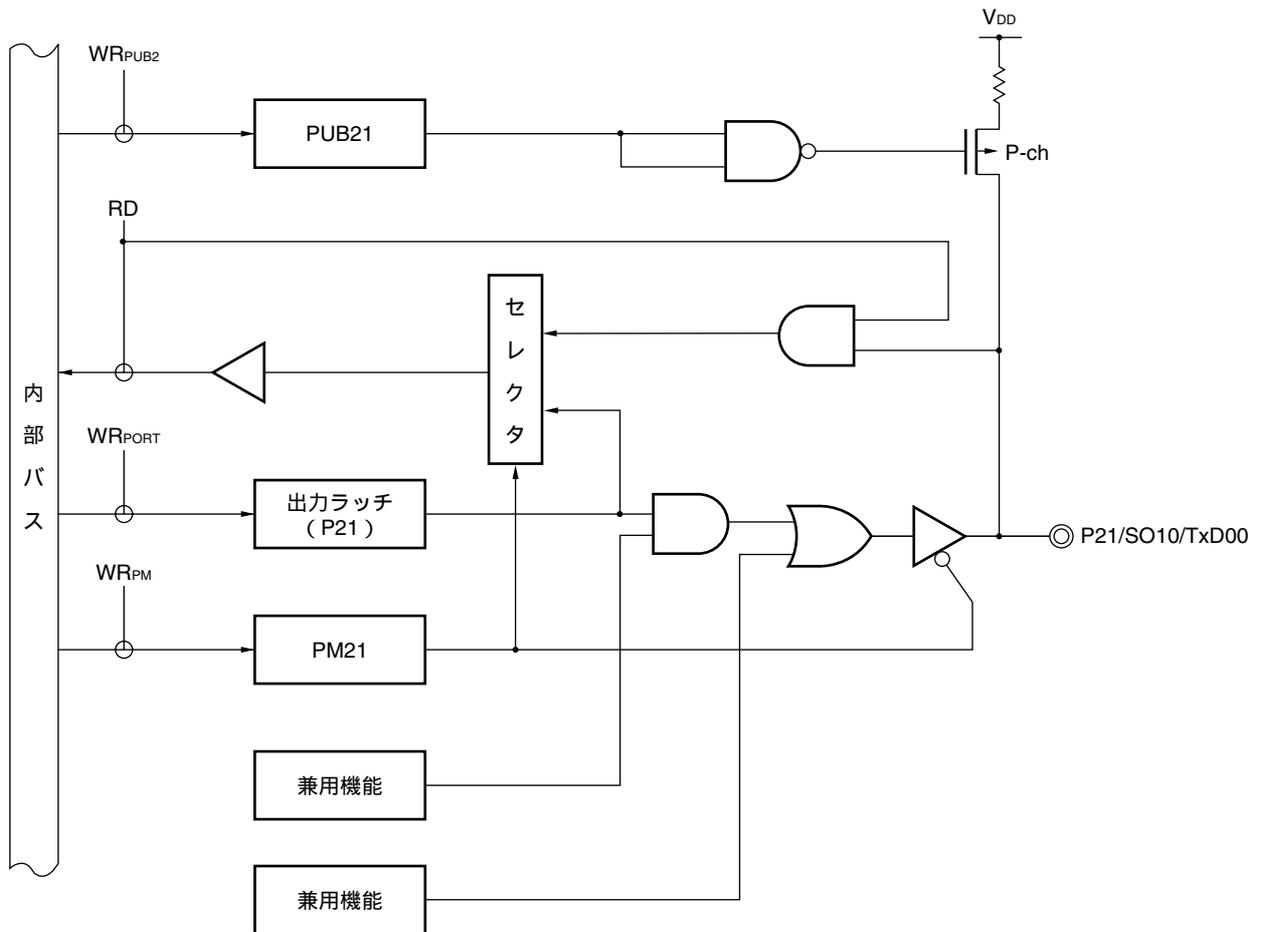
PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

★

図4 - 5 P21のブロック図



PUB2 : プルアップ抵抗オプション・レジスタB2

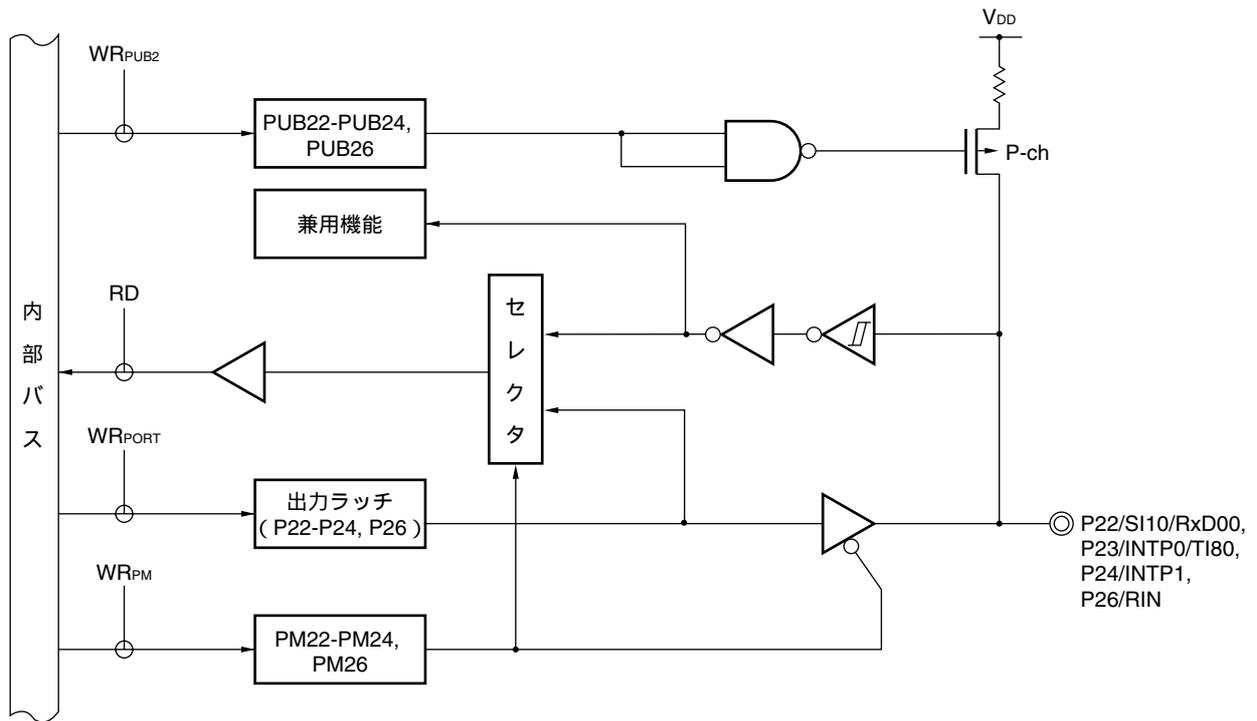
PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

★

図4 - 6 P22-P24, P26のブロック図



PUB2 : プルアップ抵抗オプション・レジスタB2

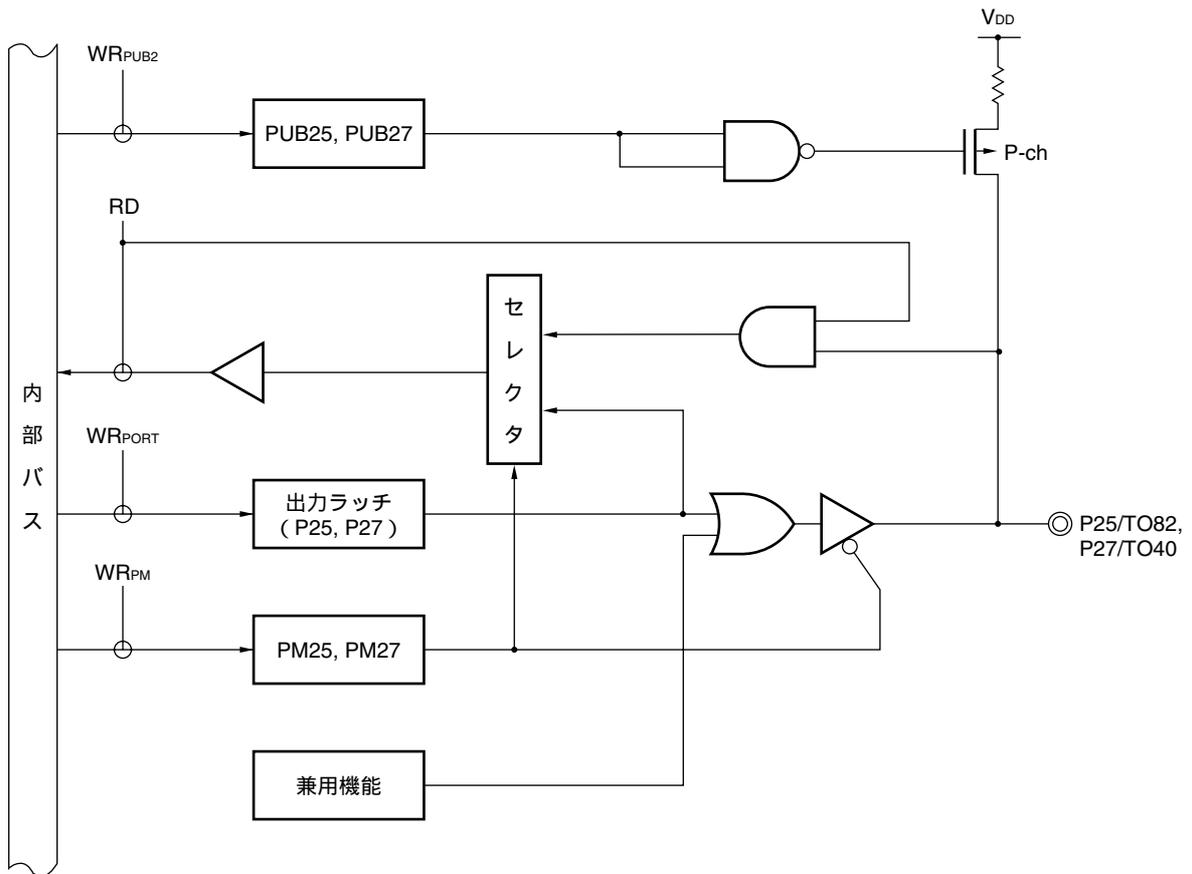
PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

★

図4 - 7 P25, P27のブロック図



PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

4.2.4 ポート3

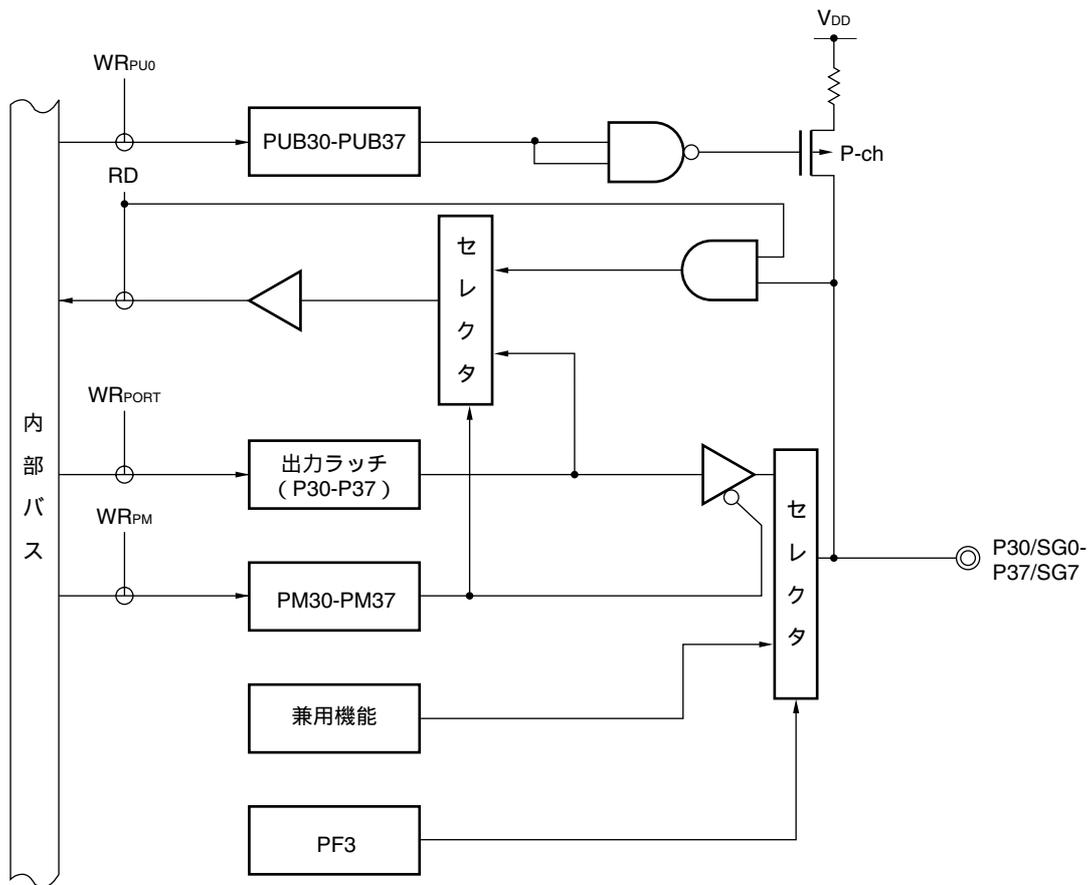
出力ラッチ付き8ビット入出力ポートです。P3ファンクション・レジスタ (PF3) により、ポート機能に指定されたビットのみ使用できます。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力モード/出力モードの指定ができます。入出力モードの設定にかかわらず、プルアップ抵抗オプション・レジスタB3 (PUB3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてサウンド・ジェネレータ出力があります。

RESET入力により、入力モードになります。

図4 - 8にポート3のブロック図を示します。

図4 - 8 P30-P37のブロック図



- PF3 : P3ファンクション・レジスタ
- PUB3 : プルアップ抵抗オプション・レジスタB3
- PM : ポート・モード・レジスタ
- RD : ポート3のリード信号
- WR : ポート3のライト信号

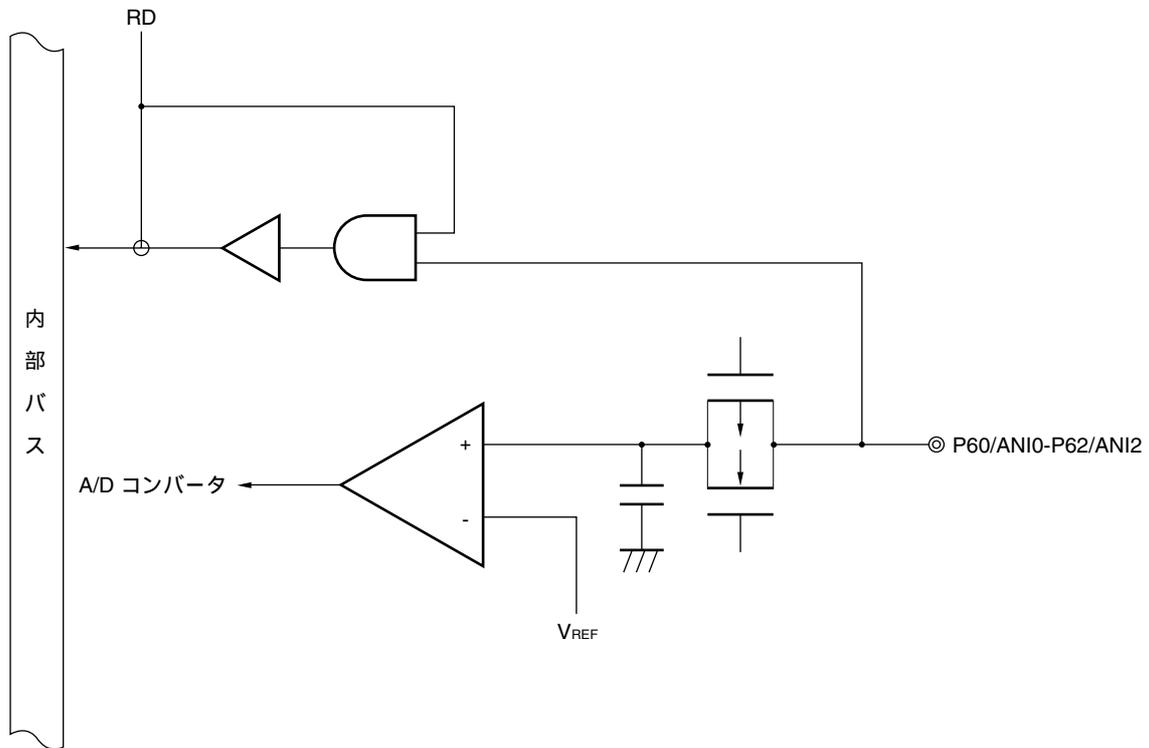
4.2.5 ポート6

3ビット入力専用ポートです。

兼用機能としてA/Dコンバータのアナログ入力があります。

図4 - 9にポート6のブロック図を示します。

図4 - 9 P60-P62のブロック図



RD : ポート6のリード信号

4.2.6 ポート8

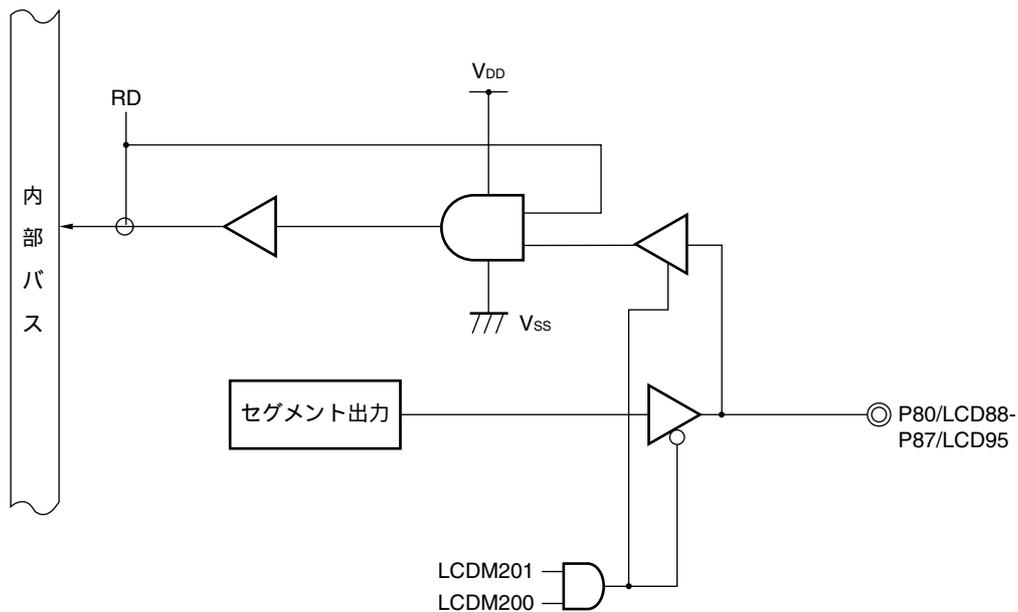
8ビットの入力専用ポートです。

また、兼用機能としてセグメント出力があります。兼用機能として使用する場合、P80/LCD88-P87/LCD95は、出力専用端子となります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 10にポート8のブロック図を示します。

図4 - 10 P80-P87のブロック図



LCDM201 : LCD20表示モード・レジスタ (LCDM20) のビット1

LCDM200 : LCD20表示モード・レジスタ (LCDM20) のビット0

RD : ポート8のリード信号

4.3 ポート機能を制御するレジスタ

ポートは、次の2種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM3)
- ・プルアップ抵抗オプション・レジスタ (PU0, PUB2, PUB3)

(1) ポート・モード・レジスタ (PM0-PM3)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-3のように設定してください。

注意 ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグ (PMK0) に1を設定してください。

図4-11 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	1	1	1	1	1	1	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-3 n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

表4 - 3 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM x x	P x x
	名称	入出力		
P00-P07	KR00-KR07	入力	1	x
P23	INTP0	入力	1	x
	TI80	入力	1	x
P24	INTP1	入力	1	x
P25	TO82	出力	0	0
P26	RIN	入力	1	x
P27	TO40	出力	0	0
P30-P37	SG0-SG7 ^{注1}	出力	x	x
P80-P87	LCD88-LCD95 ^{注2}	出力	x	x

- 注1. 兼用出力端子として使用する場合は，P3ファンクション・レジスタ（PF3）で設定します。設定方法については，[図9 - 5 P3ファンクション・レジスタのフォーマット](#)を参照してください。
2. 兼用出力端子として使用する場合は，LCD20表示モード・レジスタ（LCDM20）で設定します。設定方法については，[図14 - 2 LCD20表示モード・レジスタのフォーマット](#)を参照してください。

注意 ポート2をシリアル・インタフェースの端子として使用する場合は，その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については，[表13 - 2 シリアル・インタフェースの動作モードの設定一覧](#)を参照してください。

備考 x : don't care
 PM x x : ポート・モード・レジスタ
 P x x : ポートの出力ラッチ

(2) プルアップ抵抗オプション・レジスタ0 (PU0)

ポート0, 1の内蔵プルアップ抵抗を使用するか，しないかをポート単位で設定するレジスタです。PU0で内蔵プルアップ抵抗の使用を指定したポートで，入力モードに設定したビットにのみ，内部でプルアップ抵抗が使用できます。出力モードに設定したビットは，PU0の設定にかかわらず，内蔵プルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PU0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 RESET入力により，00Hになります。

図4 - 12 プルアップ抵抗オプション・レジスタ0のフォーマット

略号	7	6	5	4	3	2	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01 PU00	FFF7H	00H	R/W

PU0m	Pmの内蔵プルアップ抵抗の選択 (m = 0, 1)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

注意 ビット2-7には必ず0を設定してください。

(3) ブルアップ抵抗オプション・レジスタB2 (PUB2)

★ P20-P27の内蔵ブルアップ抵抗を使用するか、しないかを設定するレジスタです。PUB2で内蔵ブルアップ抵抗の使用を指定した端子は、入出力モードの設定にかかわらず、内部ブルアップ抵抗が使用できます。兼用機能として使用するときも同様です。

PUB2は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図4 - 13 ブルアップ抵抗オプション・レジスタB2のフォーマット

略号	0							アドレス	リセット時	R/W	
PUB2	PUB27	PUB26	PUB25	PUB24	PUB23	PUB22	PUB21	PUB20	FF32H	00H	R/W

PUB2n	P2nの内蔵ブルアップ抵抗の選択 (n = 0-7)
0	内蔵ブルアップ抵抗を接続しない
1	内蔵ブルアップ抵抗を接続する

★ **注意** P2nを出力モードで使用、または兼用機能の出力端子として使用するときには、PUB2nに0を設定してください。さもないと、常時ハイ・レベルが出力されることになります。

(4) ブルアップ抵抗オプション・レジスタB3 (PUB3)

★ P30-P37の内蔵ブルアップ抵抗を使用するか、しないかを設定するレジスタです。PUB3で内蔵ブルアップ抵抗の使用を指定した端子は、入出力モードの設定にかかわらず、内部ブルアップ抵抗が使用できます。兼用機能として使用するときも同様です。

PUB3は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図4 - 14 ブルアップ抵抗オプション・レジスタB3のフォーマット

略号	0							アドレス	リセット時	R/W	
PUB3	PUB37	PUB36	PUB35	PUB34	PUB33	PUB32	PUB31	PUB30	FF33H	00H	R/W

PUB3n	P3nの内蔵ブルアップ抵抗の選択 (n = 0-7)
0	内蔵ブルアップ抵抗を接続しない
1	内蔵ブルアップ抵抗を接続する

★ **注意** P3nを出力モードで使用、または兼用機能の出力端子として使用するときには、PUB3nに0を設定してください。さもないと、常時ハイ・レベルが出力されることになります。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発振回路には、次の3種類があります。

- ・**メイン・システム・クロック（セラミック/クリスタル）発振回路**
1.0～5.0 MHzの周波数を発振します。STOP命令の実行またはプロセッサ・クロック・コントロール・レジスタ（PCC）の設定により、発振を停止できます。
- ・**メイン・システム・クロック（RC）発振回路**
0.4～2.0 MHzの周波数を発振します。STOP命令の実行または、プロセッサ・クロック・コントロール・レジスタ（PCC）の設定により、発振を停止できます。
- ・**サブシステム・クロック発振回路**
32.768 kHzの周波数を発振します。サブ発振モード・レジスタ（SCKM）により発振の停止ができます。

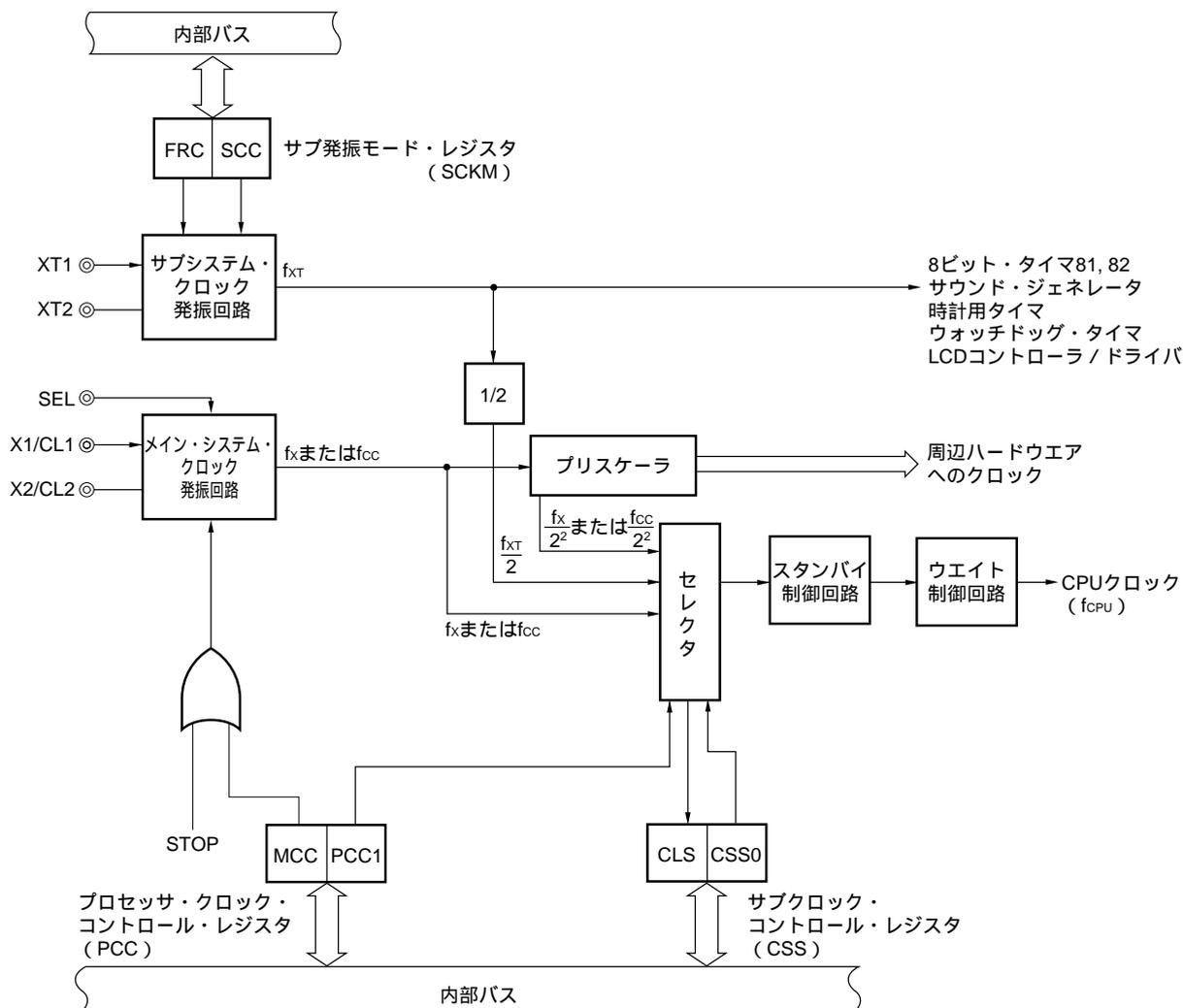
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ（PCC） サブ発振モード・レジスタ（SCKM） サブクロック・コントロール・レジスタ（CSS）
発振回路	メイン・システム・クロック発振回路 サブシステム・クロック発振回路

図5 - 1 クロック発生回路のブロック図



注意 X1, X2端子として使用するとき（セラミック/クリスタル発振（fx））はSEL端子をVssに，CL1, CL2端子として使用するとき（RC発振（fcc））はSEL端子をVDDに接続してください。

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は，次の3種類のレジスタで制御します。

- ・ プロセッサ・クロック・コントロール・レジスタ（PCC）
- ・ サブ発振モード・レジスタ（SCKM）
- ・ サブクロック・コントロール・レジスタ（CSS）

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択, 分周比を設定するレジスタです。

PCCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 02Hになります。

図5-2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	MCC	0	0	0	0	0	PCC1	0	FFFBH	02H	R/W

MCC	メイン・システム・クロック発振回路の動作の制御
0	動作許可
1	動作停止

CSS0	PCC1	CPUクロック (f_{CPU}) の選択 ^注	
		$f_x = 5.0 \text{ MHz}$ 動作時, $f_{\text{XT}} = 32.768 \text{ kHz}$ 動作時	$f_{\text{CC}} = 2.0 \text{ MHz}$ 動作時, $f_{\text{XT}} = 32.768 \text{ kHz}$ 動作時
0	0	f_x ($0.2 \mu\text{s}$)	f_{CC} ($0.5 \mu\text{s}$)
0	1	$f_x/2^2$ ($0.8 \mu\text{s}$)	$f_{\text{CC}}/2^2$ ($2.0 \mu\text{s}$)
1	0	$f_{\text{XT}}/2$ ($61 \mu\text{s}$)	
1	1		

注 CPUクロックの選択は, PCC, CSSのフラグを組み合わせで設定します (5.3 (3) サブクロック・コントロール・レジスタ (CSS) 参照)。

注意1. ビット0, 2-6には必ず0を設定してください。

2. MCCのセットはCPUクロックがサブシステム・クロックを選択しているときのみ設定できます。

備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{CC} : メイン・システム・クロック発振周波数 (RC発振)

3. f_{XT} : サブシステム・クロック発振周波数

最小命令実行時間はCPUクロック (f_{CPU}) の2クロック分で表します。次に各設定値による最小命令実行時間を示します。

CSS0	PCC1	最小命令実行時間	
		$f_x = 5.0 \text{ MHz}$ 動作時, $f_{\text{XT}} = 32.768 \text{ kHz}$ 動作時	$f_{\text{CC}} = 2.0 \text{ MHz}$ 動作時, $f_{\text{XT}} = 32.768 \text{ kHz}$ 動作時
0	0	$0.4 \mu\text{s}$	$1.0 \mu\text{s}$
0	1	$1.6 \mu\text{s}$	$4.0 \mu\text{s}$
1	0	$122 \mu\text{s}$	
1	1		

(2) サブ発振モード・レジスタ (SCKM)

サブシステム・クロックのフィードバック抵抗の選択，発振を制御するレジスタです。
 SCKMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により，00Hになります。

図5-3 サブ発振モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SCKM	0	0	0	0	0	0	FRC	SCC	FFF0H	00H	R/W

FRC	フィードバック抵抗の選択 ^注
0	内蔵フィードバック抵抗を使用する
1	内蔵フィードバック抵抗を使用しない

SCC	サブシステム・クロック発振回路の動作の制御
0	動作許可
1	動作停止

注 フィードバック抵抗は発振波形のバイアス点を電源電圧の中間付近に調整するために必要なものです。
 サブクロックを使用しない場合のみ，FRC = 1に設定することでSTOPモード時の消費電流をさらに抑えることが可能です。

注意 ビット2-7には必ず0を設定してください。

(3) サブクロック・コントロール・レジスタ (CSS)

メイン・システム・クロック発振回路とサブシステム・クロック発振回路の選択，CPUクロックの動作状態を示すレジスタです。

CSSは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

図5 - 4 サブクロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSS	0	0	CLS	CSS0	0	0	0	0	FFF2H	00H	R/W ^注

CLS	CPUクロックの動作状態
0	メイン・システム・クロックの(分周)出力で動作
1	サブシステム・クロックの出力で動作

CSS0	メイン・システム・クロック発振回路とサブシステム・クロック発振回路の選択
0	メイン・システム・クロック発振回路の(分周)出力
1	サブシステム・クロックの発振回路の出力

注 ビット5は，Read Onlyです。

注意 ビット0-3, 6, 7には必ず0を設定してください。

5.4 システム・クロック発振回路

システム・クロック発振回路には，メイン・システム・クロック発振回路とサブシステム・クロック発振回路の2種類があります。

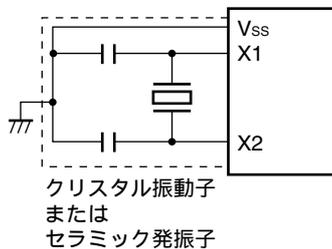
μ PD789835, 789835A, 789835Bサブシリーズでは，メイン・システム・クロック発振回路をセラミック/クリスタル発振またはRC発振の2種類から選択することができます。セラミック/クリスタル発振またはRC発振の選択は，SEL端子で切り替えます。セラミック/クリスタル発振で使用する場合はSEL端子をV_{SS}に，RC発振で使用する場合はSEL端子をV_{DD}に接続してください。

★ 5.4.1 メイン・システム・クロック発振回路（クリスタル/セラミック発振）

X1, X2端子に接続されたクリスタル振動子またはセラミック発振子（標準：5.0 MHz）によって発振します。

図5 - 5にメイン・システム・クロック発振回路の外付け回路を示します。

図5 - 5 メイン・システム・クロック発振回路（セラミック/クリスタル発振）の外付け回路

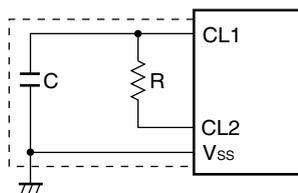


★ 5.4.2 メイン・システム・クロック発振回路（RC発振）

CL1, CL2端子に接続された抵抗（R）とコンデンサ（C）（標準：2.0 MHz）によって発振します。

図5 - 6にメイン・システム・クロック発振回路の外付け回路を示します。

図5 - 6 メイン・システム・クロック発振回路（RC発振）の外付け回路

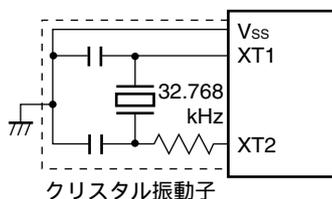


★ 5.4.3 サブシステム・クロック発振回路

サブシステム・クロック発振回路はXT1, XT2端子に接続されたクリスタル振動子（標準：32.768 kHz）によって発振します。

図5 - 7にサブシステム・クロック発振回路の外付け回路を示します。

図5 - 7 サブシステム・クロック発振回路の外付け回路



注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 5～図5 - 7の破線の部分を次のように配線してください。

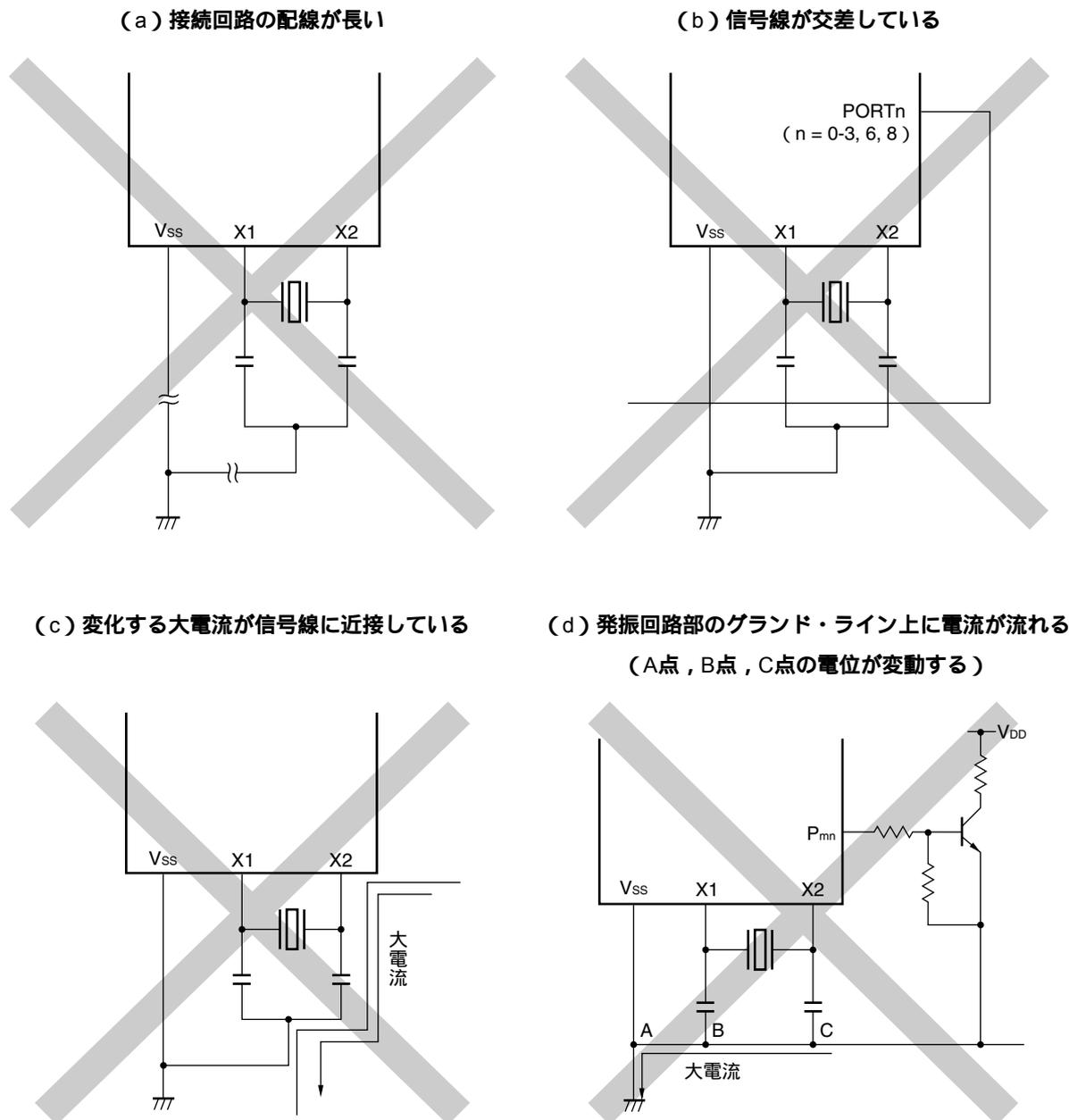
- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

特に、サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

5.4.4 発振子の接続の悪い例

図5 - 8にセラミック/クリスタル発振時の接続の悪い例，図5 - 9にRC発振時の接続の悪い例を示します。

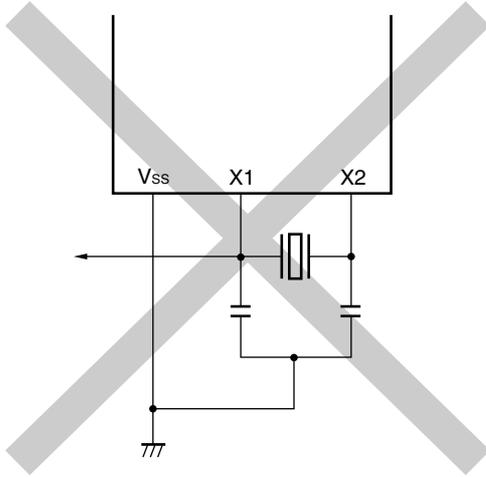
図5 - 8 セラミック/クリスタル発振時の接続の悪い例 (1/2)



備考 サブシステム・クロックをご使用の場合は，X1, X2をXT1, XT2と読み替えてください。また，XT2側に直列に抵抗を接続してください。

図5-8 セラミック/クリスタル発振時の接続の悪い例 (2/2)

(e) 信号を取り出している



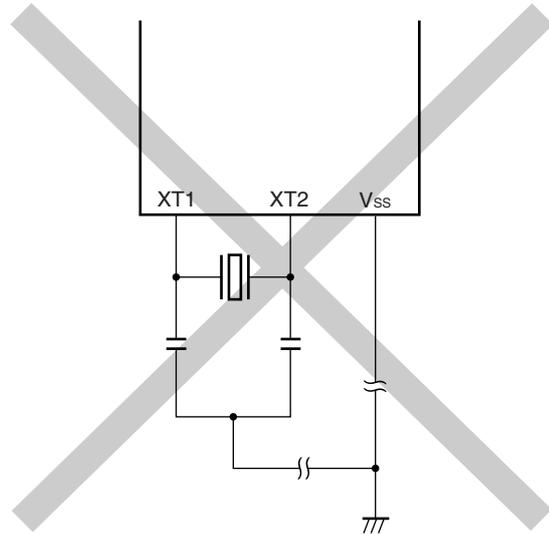
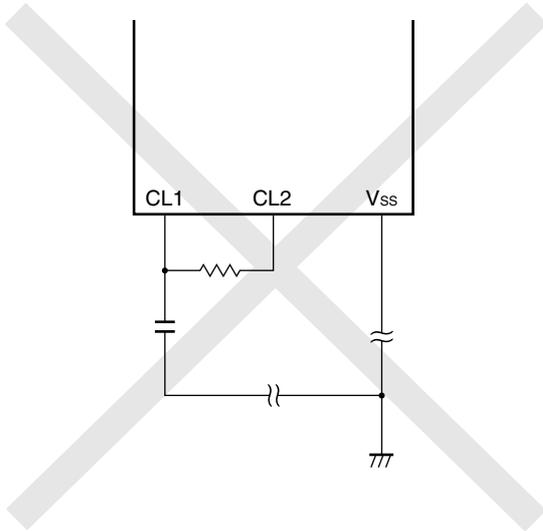
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。またXT2側に直列に抵抗を接続してください。

図5-9 RC発振時の接続の悪い例 (1/3)

(a) 接続回路の配線が長い

・メイン・システム・クロックの場合

サブシステム・クロックの場合



(b) 信号線が交差している

・メイン・システム・クロックの場合

・サブシステム・クロックの場合

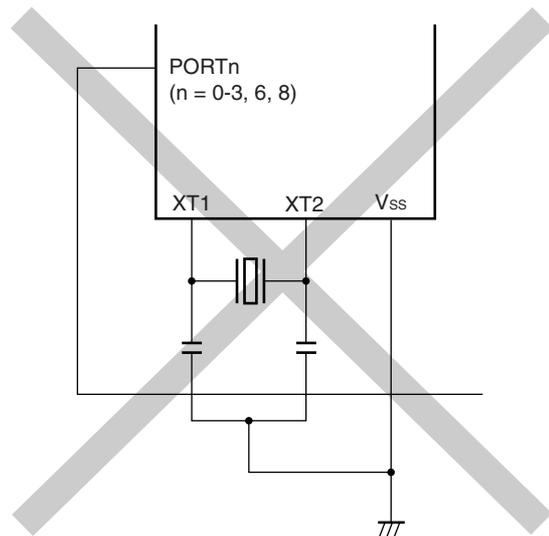
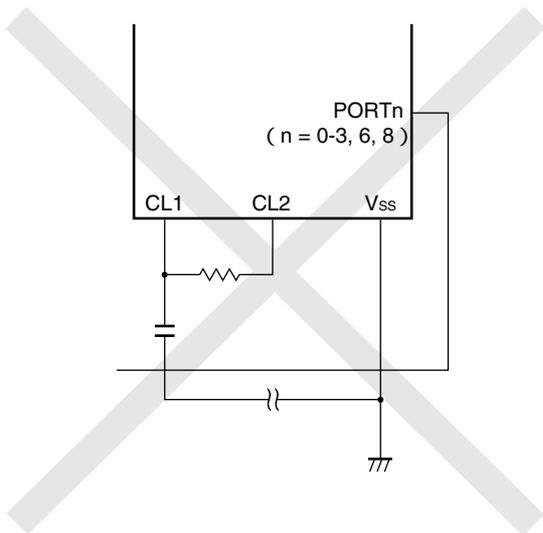
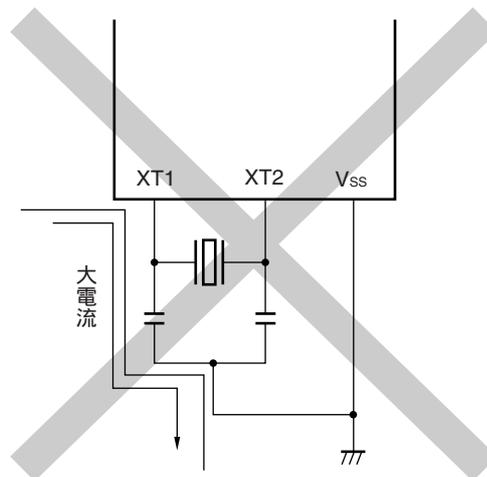
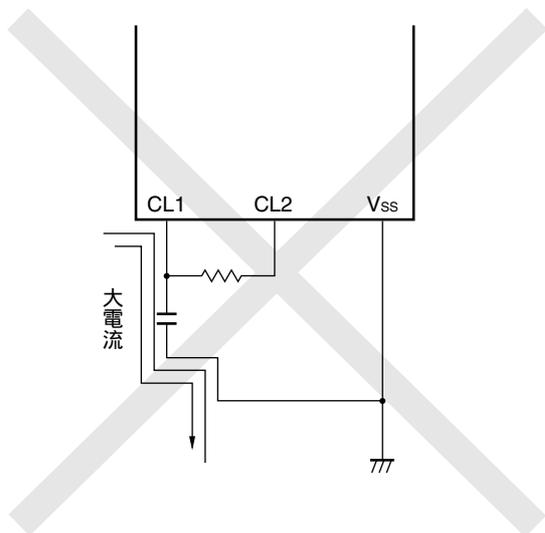


図5-9 RC発振時の接続の悪い例 (2/3)

(c) 変化する大電流が信号線に近接している

・メイン・システム・クロックの場合

・サブシステム・クロックの場合



(d) 発振回路部のグランド・ライン上に電流が流れる (A点, B点, C点の電位が変動する)

・メイン・システム・クロックの場合

・サブシステム・クロックの場合

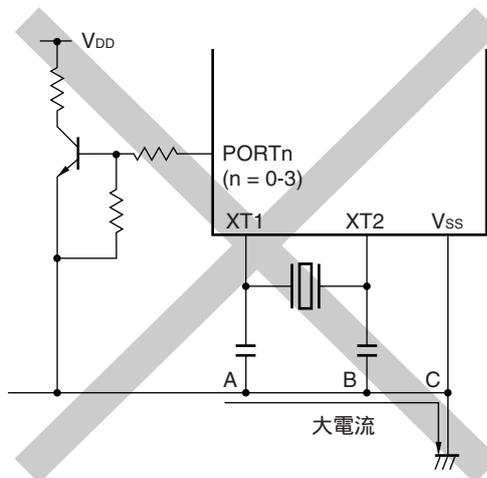
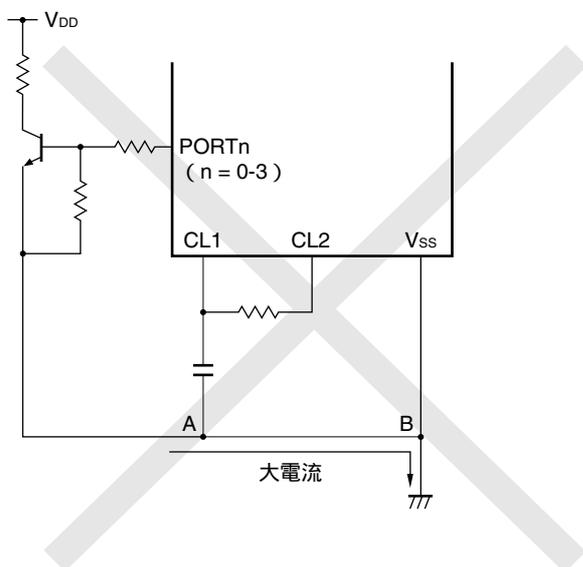
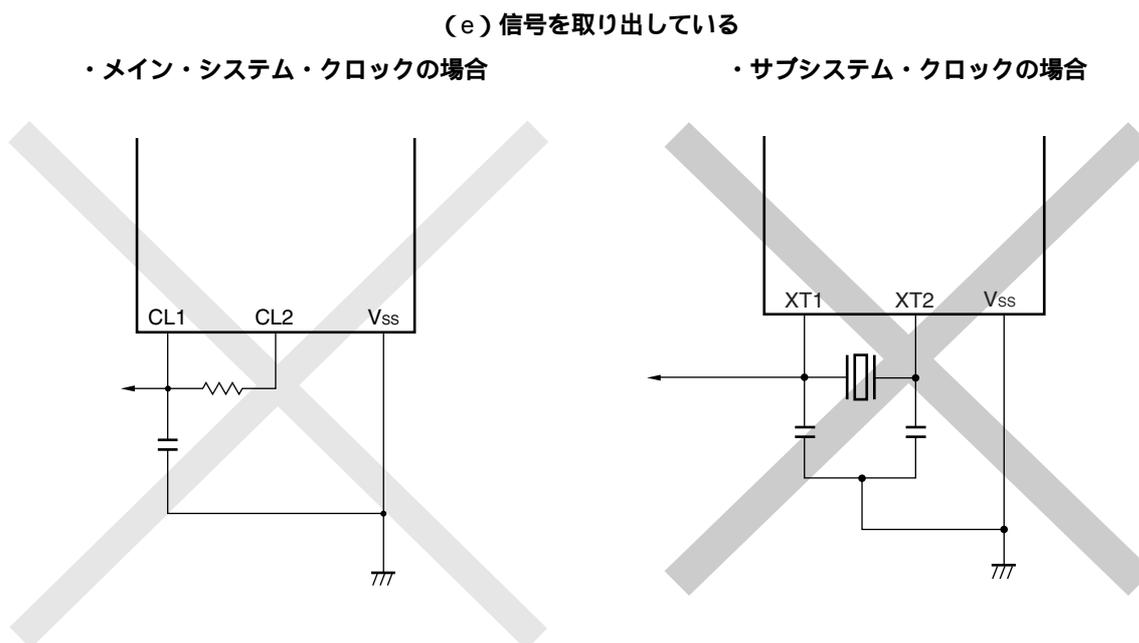


図5-9 RC発振時の接続の悪い例 (3/3)



5.4.5 分周回路

分周回路は、メイン・システム・クロック発振回路出力 (fxまたはfcc) を分周して、各種クロックを生成します。

5.4.6 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合、XT1, XT2端子を次のように処置してください。

XT1 : Vssに接続

XT2 : オープン

ただし、この状態では、メイン・システム・クロックの停止時に、サブシステム・クロック発振回路の内蔵フィードバック抵抗を介して若干のリーク電流を流してしまいます。これを抑えるには、サブ発振モード・レジスタ (SCKM) のビット1 (FRC) により上述の内蔵フィードバック抵抗を使用しない設定をしてください。このときも、XT1, XT2端子の処理は上記と同じです。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック f_x または f_{CC}
- ・サブシステム・クロック f_{XT}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC)、サブ発振モード・レジスタ (SCKM)、サブクロック・コントロール・レジスタ (CSS) により決定され、次のような機能、動作となります。

- (a) $\overline{\text{RESET}}$ 信号発生によりメイン・システム・クロックの低速モードが選択されます (PCC = 02H)。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止しません。
- (b) PCCとSCKMとCSSの設定により3段階の最小命令実行時間(詳細は、**図5-2 プロセッサ・クロック・コントロール・レジスタのフォーマット**参照)を選択できます。
- (c) メイン・システム・クロックを選択した状態でSTOPモード、HALTモードの2つのスタンバイ・モードが使用できます。また、サブシステム・クロックを使用していないシステムの場合、SCKMのビット1 (FRC) で内蔵フィードバック抵抗を使用しない設定にすることにより、STOPモード時の消費電流をさらに低減できます。サブシステム・クロックを使用しているシステムの場合、SCKMのビット0を1に設定することにより、サブシステム・クロックの発振を停止できます。
- (d) CSSのビット4 (CSS0)により、サブシステム・クロックを選択し、低消費電流で動作(122 μ s : 32.768 kHz動作時)ができます。
- (e) サブシステム・クロックを選択した状態で、PCCのビット7 (MCC)によりメイン・システム・クロックの発振を停止できます。また、HALTモードを使用できます。しかし、STOPモードは使用できません。
- (f) 周辺ハードウェアへのクロックはメイン・システム・クロックを分周して供給されますが、8ビット・タイマ81, 82, サウンド・ジェネレータ, 時計用タイマ, ウォッチドッグ・タイマ, LCDコントローラ/ドライバにのみサブシステム・クロックを供給しています。このため、スタンバイ状態でも8ビット・タイマ81, 82, サウンド・ジェネレータ, 時計用タイマ, ウォッチドッグ・タイマ, LCDコントローラ/ドライバは、継続して使用できます。しかし、そのほかの周辺ハードウェアはメイン・システム・クロックによって動作していますので、メイン・システム・クロックを停止させたときは周辺ハードウェアも停止します(ただし、外部からの入力クロック動作は除く)。

5.6 システム・クロックとCPUクロックの設定の変更

5.6.1 システム・クロックとCPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット1 (PCC1) とサブクロック・コントロール・レジスタ (CSS) のビット4 (CSS0) により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します (表5 - 2, 表5 - 3参照)。

表5 - 2 CPUクロックの切り替えに要する最大時間 (セラミック/クリスタル発振選択時)

切り替え前の設定値		切り替え後の設定値					
CSS0	PCC1	CSS0	PCC1	CSS0	PCC1	CSS0	PCC1
		0	0	0	1	1	x
0	0	2クロック		4クロック		2f _x /f _{xT} クロック (306クロック)	
	1			f _x /2f _{xT} クロック (76クロック)			
1	x	2クロック		2クロック			

備考1. 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

2. () 内は、f_x = 5.0 MHz動作時またはf_{xT} = 32.768 kHz動作時
3. x : don't care

表5 - 3 CPUクロックの切り替えに要する最大時間 (RC発振選択時)

切り替え前の設定値		切り替え後の設定値					
CSS0	PCC1	CSS0	PCC1	CSS0	PCC1	CSS0	PCC1
		0	0	0	1	1	x
0	0	2クロック		4クロック		2f _{cc} /f _{xT} クロック (122クロック)	
	1			f _{cc} /2f _{xT} クロック (31クロック)			
1	x	2クロック		2クロック			

備考1. 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

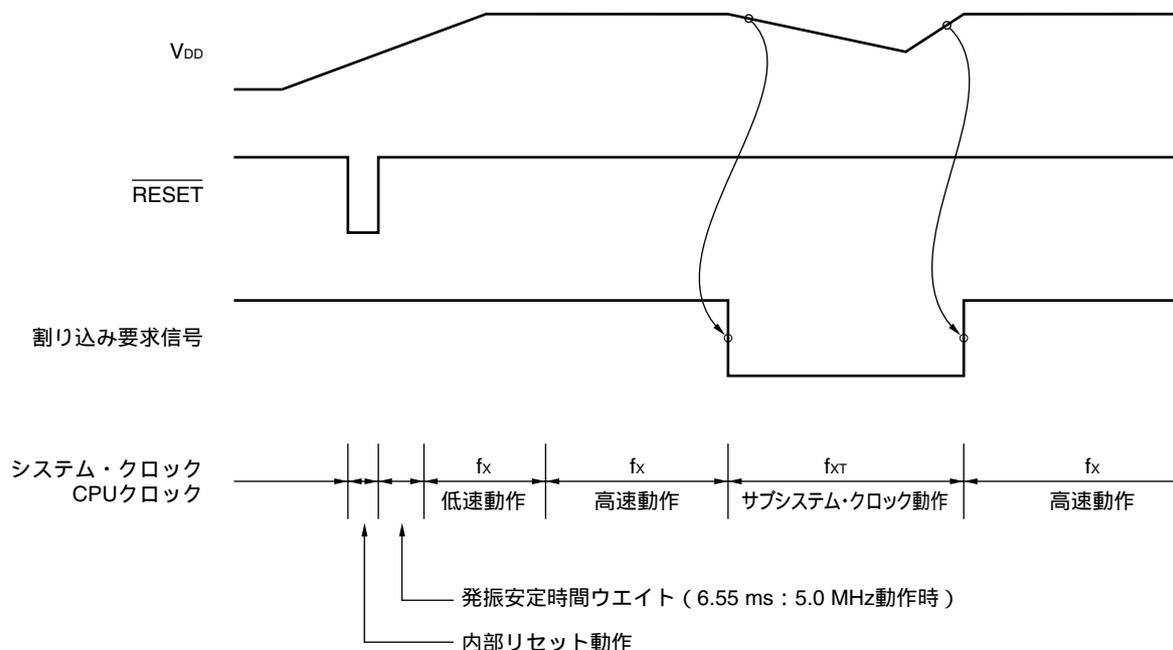
2. () 内は、f_{cc} = 2.0 MHz動作時またはf_{xT} = 32.768 kHz動作時
3. x : don't care

5.6.2 システム・クロックとCPUクロックの切り替え手順

(1) セラミック/クリスタル発振選択時

メイン・システム・クロックにセラミック/クリスタル発振を選択したときのシステム・クロックとCPUクロックの切り替えについて説明します。

図5 - 10 システム・クロックとCPUクロックの切り替え (セラミック/クリスタル発振)



電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとりセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^{15}/f_x$) を確保します。

その後、CPUはメイン・システム・クロックの低速 ($1.6 \mu\text{s}$: 5.0 MHz動作時) で命令の実行を開始します。

V_{DD}電圧が高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット1 (PCC1) とサブクロック・コントロール・レジスタ (CSS) のビット4 (CSS0) を書き換えて高速動作を行います。

V_{DD}電圧が低下したことを割り込み要求信号などにより検出し、サブシステム・クロックに切り替えます (このとき、サブシステム・クロックが発振安定状態になっていなければなりません)。

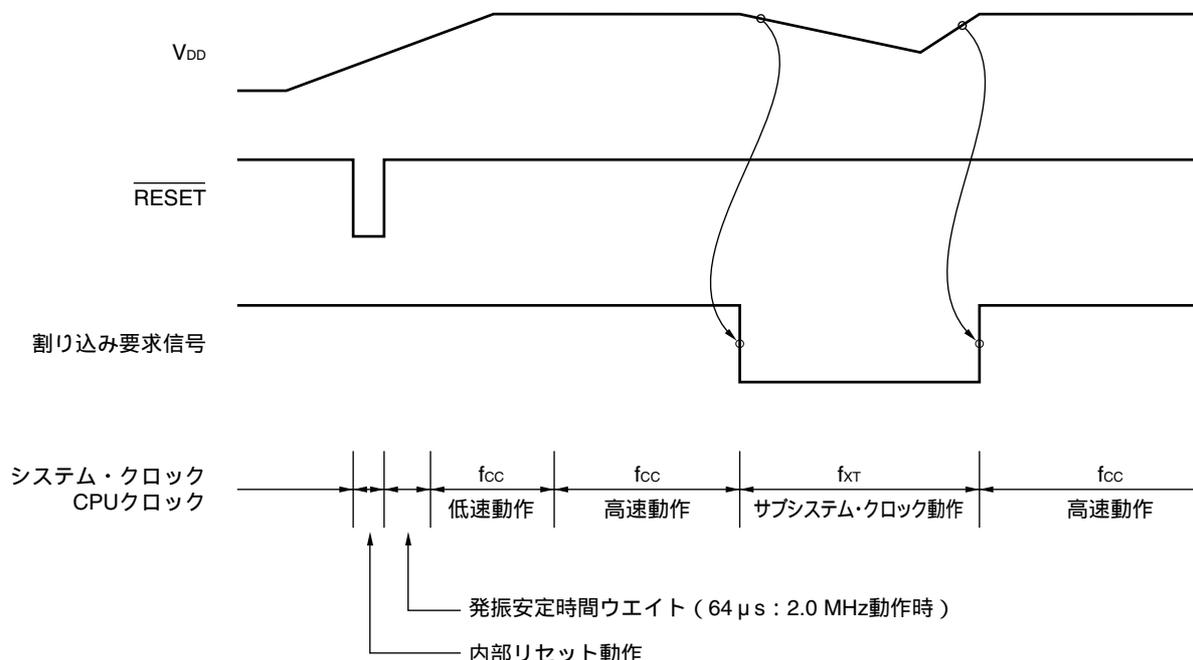
V_{DD}電圧が復帰したことを割り込み要求信号などにより検出し、PCCのビット7 (MCC) に0を設定してメイン・システム・クロックを発振開始させ、発振が安定するのに必要な時間経過後、PCC1, CSS0を書き換えて高速動作に戻します。

注意 メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

(2) RC発振選択時

メイン・システム・クロックにRC発振を選択したときのシステム・クロックとCPUクロックの切り替えについて説明します。

図5 - 11 システム・クロックとCPUクロックの切り替え (RC発振)



電源投入後、RESET端子をロウ・レベルにすることでCPUにリセットがかかります。その後、RESET端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^7/f_{cc}$) を確保します。

その後、CPUはメイン・システム・クロックの低速 ($4.0 \mu s : 2.0 \text{ MHz動作時}$) で命令の実行を開始します。

V_{DD}電圧が高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット1 (PCC1) とサブクロック・コントロール・レジスタ (CSS) のビット4 (CSS0) を書き換えて高速動作を行います。

V_{DD}電圧が低下したことを割り込み要求信号などにより検出し、サブシステム・クロックに切り替えます (このとき、サブシステム・クロックが発振安定状態になっていなければなりません)。

V_{DD}電圧が復帰したことを割り込み要求信号などにより検出し、PCCのビット7 (MCC) に0を設定してメイン・システム・クロックを発振開始させ、発振が安定するのに必要な時間経過後、PCC1, CSS0を書き換えて高速動作に戻します。

注意 メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

第6章 8ビット・タイマ/イベント・カウンタ80-82

6.1 8ビット・タイマ/イベント・カウンタ80-82の機能

8ビット・タイマ/イベント・カウンタ(タイマ80, タイマ81, タイマ82)には, 次のような機能があります。

- ・インターバル・タイマ(タイマ80, タイマ81, タイマ82)
- ・外部イベント・カウンタ(タイマ80のみ)
- ・方形波出力(タイマ82のみ)

μPD789835, 789835A, 789835Bサブシリーズでは, 8ビット・タイマ/イベント・カウンタを1チャンネル(タイマ80), 8ビット・タイマを2チャンネル(タイマ81, タイマ82)内蔵しています。タイマ81, タイマ82の説明としてお読みになる場合, 8ビット・タイマ/イベント・カウンタを8ビット・タイマと読み替えてください。

(1) 8ビット・インターバル・タイマ

あらかじめ設定した任意の間隔で割り込みを発生します。

(2) 外部イベント・カウンタ(タイマ80のみ)

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力(タイマ82のみ)

任意の周波数の方形波出力が可能です。

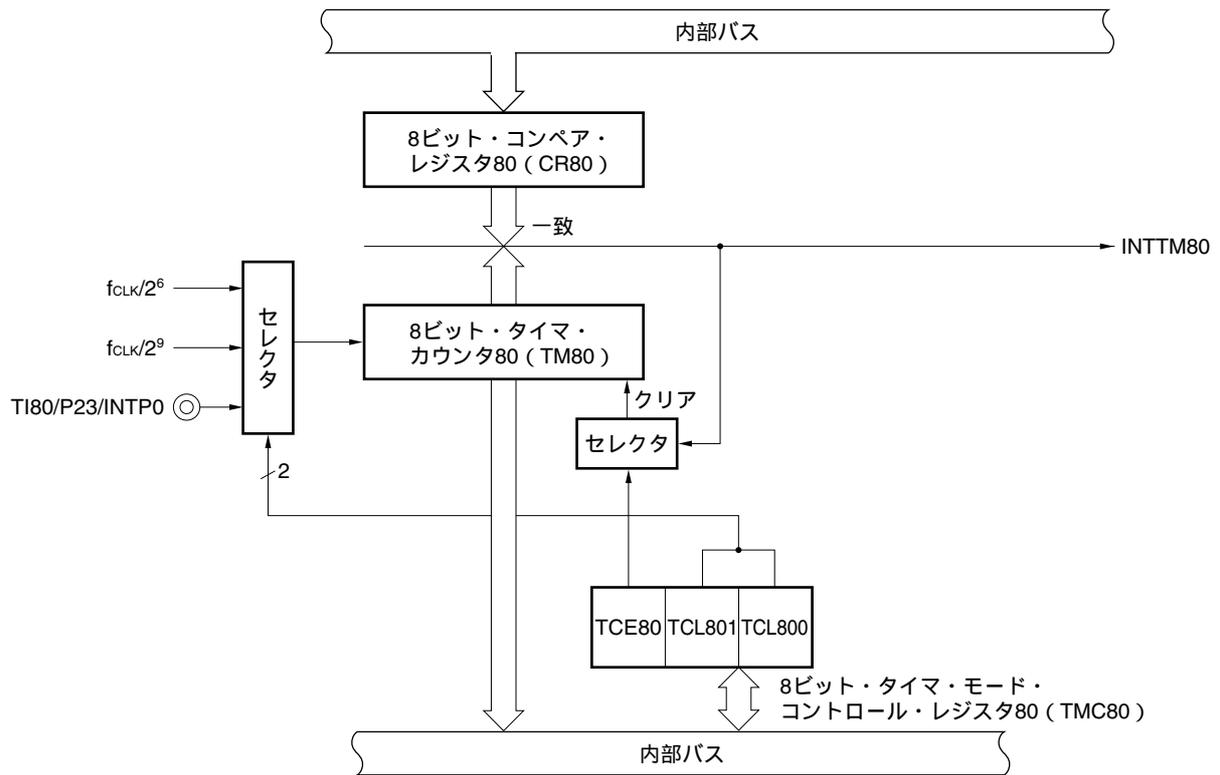
6.2 8ビット・タイマ/イベント・カウンタ80-82の構成

8ビット・タイマ/イベント・カウンタ80-82は, 次のハードウェアで構成しています。

表6-1 8ビット・タイマ/イベント・カウンタ80-82の構成

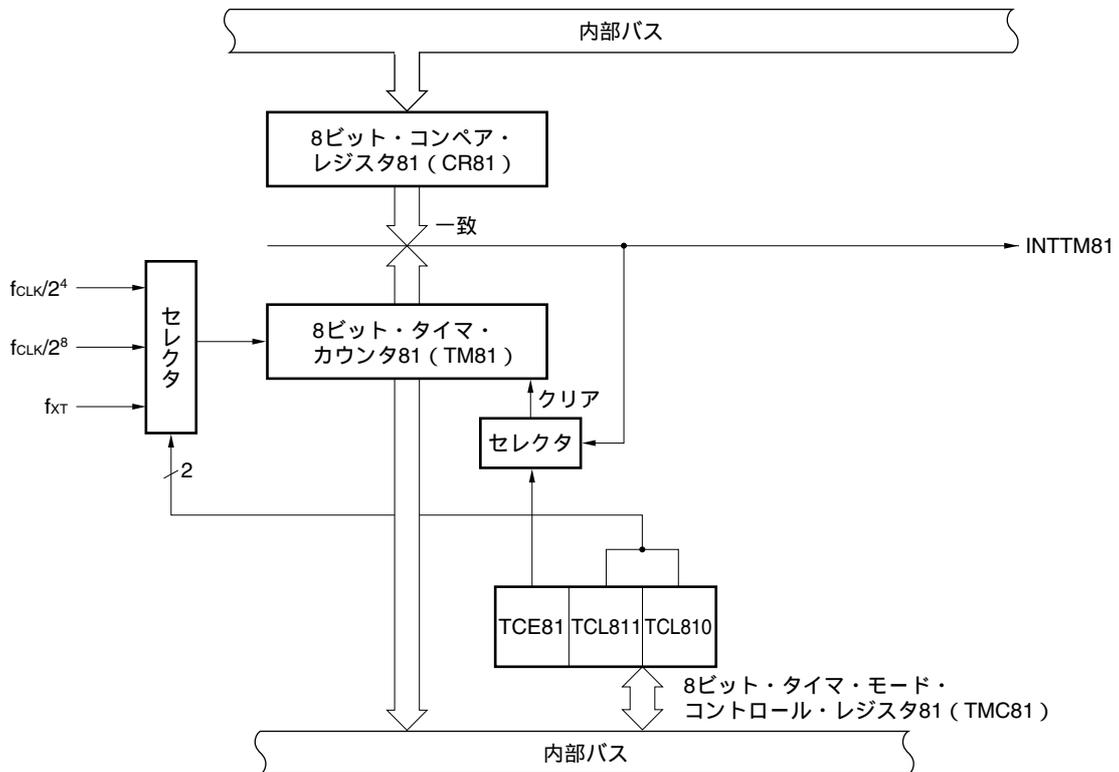
項 目	構 成
タイマ・カウンタ	8ビット×3本(TM80, TM81, TM82)
レジスタ	コンペア・レジスタ: 8ビット×3本(CR80, CR81, CR82)
タイマ出力	1本(TO82)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ80, 81, 82(TMC80, TMC81, TMC82) ポート・モード・レジスタ2(PM2)

図6 - 1 8ビット・タイマ/イベント・カウンタ80のブロック図



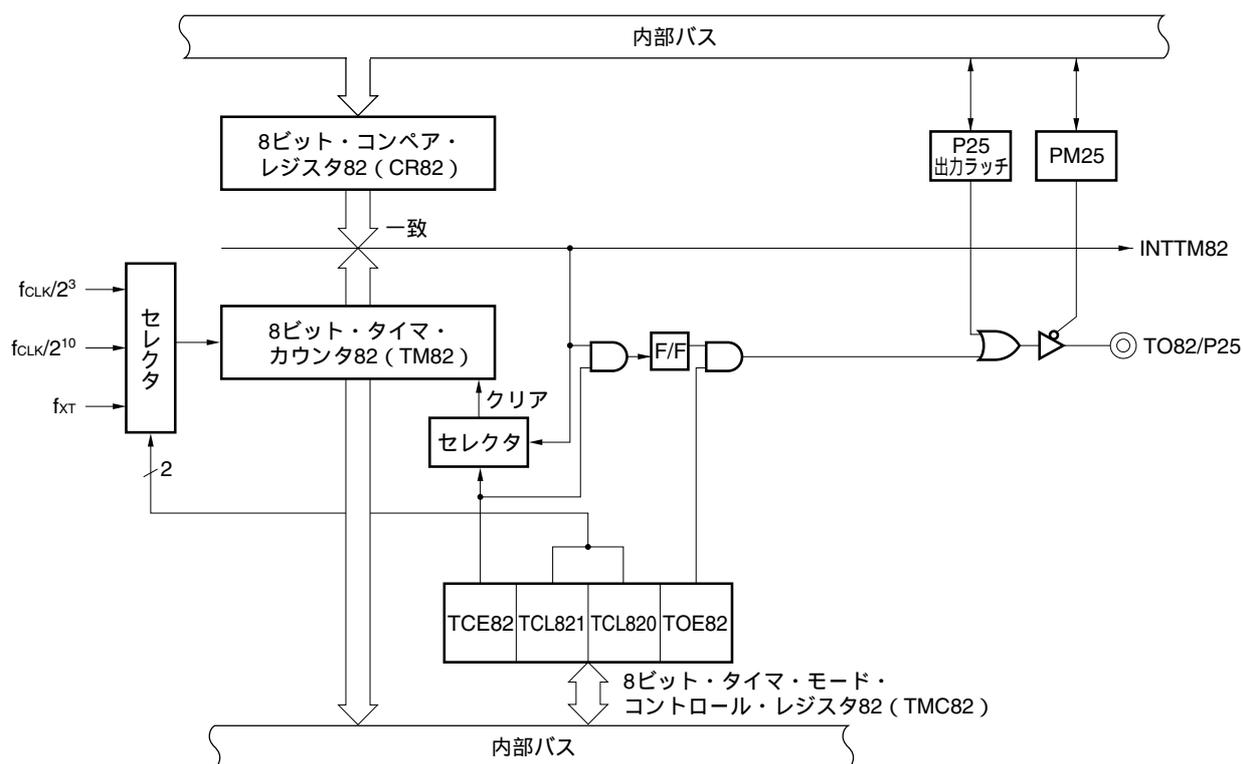
備考 fCLK : fxまたはfcc

図6 - 2 8ビット・タイマ81のブロック図



備考 fCLK : fxまたはfcc

図6-3 8ビット・タイマ82のブロック図



備考 fCLK : fxまたはfcc

(1) 8ビット・コンペア・レジスタ8n (CR8n)

CR8nに設定した値と8ビット・タイマ・カウンタ8n (TM8n)のカウンタ値を常に比較し、一致したときに割り込み要求 (INTTM8n) を発生する8ビットのレジスタです。

CR8nは、8ビット・メモリ操作命令で設定します。00H-FFHの値が設定可能です。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 CR8nを書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR8nを書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。

備考 n = 0-2

(2) 8ビット・タイマ・カウンタ8n (TM8n)

カウンタ・パルスをカウントする8ビットのレジスタです。

TM8nは、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 n = 0-2

6.3 8ビット・タイマ/イベント・カウンタ80-82を制御するレジスタ

8ビット・タイマ/イベント・カウンタ80-82は、次の2種類のレジスタで制御します。

- ・8ビット・タイマ・モード・コントロール・レジスタ80, 81, 82 (TMC80, TMC81, TMC82)
- ・ポート・モード・レジスタ2 (PM2)

(1) 8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80)

8ビット・タイマ・カウンタ80 (TM80) の動作許可/停止, TM80のカウント・クロックを設定するレジスタです。

TMC80は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図6-4 8ビット・タイマ・モード・コントロール・レジスタ80のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC80	TCE80	0	0	0	0	TCL801	TCL800	0	FF59H	00H	R/W

TCE80	8ビット・タイマ・カウンタ80の動作の制御
0	動作停止 (TM80は00Hにクリア)
1	動作許可

TCL801	TCL800	8ビット・タイマ/イベント・カウンタ80のカウント・クロックの選択	
		$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 2.0 \text{ MHz}$ 動作時
0	0	$f_x/2^6$ (78.1 kHz)	$f_{cc}/2^6$ (31.3 kHz)
0	1	$f_x/2^9$ (9.76 kHz)	$f_{cc}/2^9$ (3.91 kHz)
1	0	TI80の立ち上がりエッジ	
1	1	TI80の立ち下がりエッジ	

注意1. TMC80の設定は、必ずタイマ動作を停止させたのちに行ってください。

2. ビット3-6には、必ず0を設定してください。

備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{cc} : メイン・システム・クロック発振周波数 (RC発振)

3. () 内は、 $f_x = 5.0 \text{ MHz}$ 動作時または $f_{cc} = 2.0 \text{ MHz}$ 動作時

(2) 8ビット・タイマ・モード・コントロール・レジスタ81 (TMC81)

8ビット・タイマ・カウンタ81 (TM81) の動作許可/停止, 8ビット・タイマ81のカウント・クロックの設定をするレジスタです。

TMC81は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図6-5 8ビット・タイマ・モード・コントロール・レジスタ81のフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC81	TCE81	0	0	0	0	TCL811	TCL810	0	FF5CH	00H	R/W

TCE81	8ビット・タイマ・カウンタ81の動作の制御	
0	動作停止 (TM81は00Hにクリア)	
1	動作許可	

TCL811	TCL810	8ビット・タイマ81のカウント・クロックの選択	
		$f_x = 5.0 \text{ MHz}, f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_{CC} = 2.0 \text{ MHz}, f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	$f_x/2^4$ (312.5 kHz)	$f_{CC}/2^4$ (125 kHz)
0	1	$f_x/2^8$ (19.5 kHz)	$f_{CC}/2^8$ (7.81 kHz)
1	0	f_{XT} (32.768 kHz)	
1	1		

注意1. TMC81の設定は, 必ずタイマ動作を停止させたのちに行ってください。

2. ビット3-6には, 必ず0を設定してください。

備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{CC} : メイン・システム・クロック発振周波数 (RC発振)

3. f_{XT} : サブシステム・クロック発振周波数

4. () 内は, $f_x = 5.0 \text{ MHz}$ 動作時または $f_{CC} = 2.0 \text{ MHz}$ 動作時または $f_{XT} = 32.768 \text{ kHz}$ 動作時

(3) 8ビット・タイマ・モード・コントロール・レジスタ82 (TMC82)

8ビット・タイマ・カウンタ82 (TM82) の動作許可/停止, 8ビット・タイマ82のカウンタ・クロックの設定, および出力制御回路の動作を制御するレジスタです。

TMC82は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図6 - 6 8ビット・タイマ・モード・コントロール・レジスタ82のフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC82	TCE82	0	0	0	0	TCL821	TCL820	TOE82	FF5FH	00H	R/W

TCE82	8ビット・タイマ・カウンタ82の動作の制御	
0	動作停止 (TM82は00Hにクリア)	
1	動作許可	

TCL821	TCL820	8ビット・タイマ82のカウンタ・クロックの選択	
		$f_x = 5.0 \text{ MHz}, f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_{CC} = 2.0 \text{ MHz}, f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	$f_x/2^3$ (625 kHz)	$f_{CC}/2^3$ (250 kHz)
0	1	$f_x/2^{10}$ (4.88 kHz)	$f_{CC}/2^{10}$ (1.95 kHz)
1	0	f_{XT} (32.768 kHz)	
1	1		

TOE82	8ビット・タイマ82の動作の制御	
0	出力禁止 (ポート・モード)	
1	出力許可	

注意1. TMC82の設定は, 必ずタイマ動作を停止させたのちに行ってください。

2. ビット3-6には, 必ず0を設定してください。

備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{CC} : メイン・システム・クロック発振周波数 (RC発振)

3. f_{XT} : サブシステム・クロック発振周波数

4. () 内は, $f_x = 5.0 \text{ MHz}$ 動作時または $f_{CC} = 2.0 \text{ MHz}$ 動作時または $f_{XT} = 32.768 \text{ kHz}$ 動作時

(4) ポート・モード・レジスタ2 (PM2)

ポート2の入力/出力を1ビット単位で設定するレジスタです。

P23/INTP0/TI80端子をタイマ入力として使用するとき, PM23に1を設定してください。

P25/TO82端子をタイマ出力として使用するとき, PM25およびP25の出力ラッチに0を設定してください。

PM2は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET \bar 入力により, FFHになります。

図6-7 ポート・モード・レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W

PM2n	P2n端子の入出力モードの設定 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 8ビット・タイマ/イベント・カウンタ80-82の動作

6.4.1 インターバル・タイマとしての動作

インターバル・タイマは、あらかじめ8ビット・コンペア・レジスタ80, 81, 82 (CR80, CR81, CR82) に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

8ビット・タイマ/イベント・カウンタ80-82をインターバル・タイマとして動作させるには次の順序で設定をします。

8ビット・タイマ・カウンタ8n (TM8n) を動作禁止 (TCE8n (8ビット・タイマ・モード・コントロール・レジスタ8n (TMC8n) のビット7) = 0) に設定

8ビット・タイマ/イベント・カウンタのカウント・クロックを選択 (表6-2から表6-7参照)

CR8nにカウント値を設定

TM8nを動作許可 (TCE8n = 1) に設定

8ビット・タイマ・カウンタ8n (TM8n) のカウント値がCR8nに設定した値と一致したとき、TM8nの値を00Hにクリアしてカウントを継続するとともに、割り込み要求信号 (INTTM8n) を発生します。

表6-2から表6-7にインターバル時間を、図6-8、図6-9にインターバル・タイマ動作のタイミングを示します。

注意 TMC8nでカウント・クロックの設定とTM8nの動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。
そのため、インターバル・タイマとして動作させる際には、必ず上記の順序で操作してください。

備考 n = 0-2

表6-2 8ビット・タイマ/イベント・カウンタ80のインターバル時間 (fx = 5.0 MHz動作時)

TCL801	TCL800	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^6/f_x$ (12.8 μ s)	$2^{14}/f_x$ (3.28 ms)	$2^6/f_x$ (12.8 μ s)
0	1	$2^9/f_x$ (102 μ s)	$2^{17}/f_x$ (26.2 ms)	$2^9/f_x$ (102 μ s)
1	0	TI80入力周期	$2^8 \times$ TI80入力周期	TI80入力エッジ周期
1	1			

備考 fx : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

表6-3 8ビット・タイマ/イベント・カウンタ80のインターバル時間 (fcc = 2.0 MHz動作時)

TCL801	TCL800	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^6/f_{cc}$ (32 μ s)	$2^{14}/f_{cc}$ (8.19 ms)	$2^6/f_{cc}$ (32 μ s)
0	1	$2^9/f_{cc}$ (256 μ s)	$2^{17}/f_{cc}$ (65.5 ms)	$2^9/f_{cc}$ (256 μ s)
1	0	TI80入力周期	$2^8 \times$ TI80入力周期	TI80入力エッジ周期
1	1			

備考 fcc : メイン・システム・クロック発振周波数 (RC発振)

表6 - 4 8ビット・タイマ81のインターバル時間 ($f_x = 5.0 \text{ MHz}$, $f_{XT} = 32.768 \text{ kHz}$ 動作時)

TCL811	TCL810	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^4/f_x (3.2 \mu\text{s})$	$2^{12}/f_x (819 \mu\text{s})$	$2^4/f_x (3.2 \mu\text{s})$
0	1	$2^8/f_x (51.2 \mu\text{s})$	$2^{16}/f_x (13.1 \text{ ms})$	$2^8/f_x (51.2 \mu\text{s})$
1	0	$1/f_{XT} (30.5 \mu\text{s})$	$2^8/f_{XT} (7.81 \text{ ms})$	$1/f_{XT} (30.5 \mu\text{s})$
1	1			

備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)2. f_{XT} : サブシステム・クロック発振周波数表6 - 5 8ビット・タイマ81のインターバル時間 ($f_{CC} = 2.0 \text{ MHz}$, $f_{XT} = 32.768 \text{ kHz}$ 動作時)

TCL811	TCL810	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^4/f_{CC} (8.0 \mu\text{s})$	$2^{12}/f_{CC} (2.05 \text{ ms})$	$2^4/f_{CC} (8.0 \mu\text{s})$
0	1	$2^8/f_{CC} (128 \mu\text{s})$	$2^{16}/f_{CC} (32.8 \text{ ms})$	$2^8/f_{CC} (128 \mu\text{s})$
1	0	$1/f_{XT} (30.5 \mu\text{s})$	$2^8/f_{XT} (7.81 \text{ ms})$	$1/f_{XT} (30.5 \mu\text{s})$
1	1			

備考1. f_{CC} : メイン・システム・クロック発振周波数 (RC発振)2. f_{XT} : サブシステム・クロック発振周波数表6 - 6 8ビット・タイマ82のインターバル時間 ($f_x = 5.0 \text{ MHz}$, $f_{XT} = 32.768 \text{ kHz}$ 動作時)

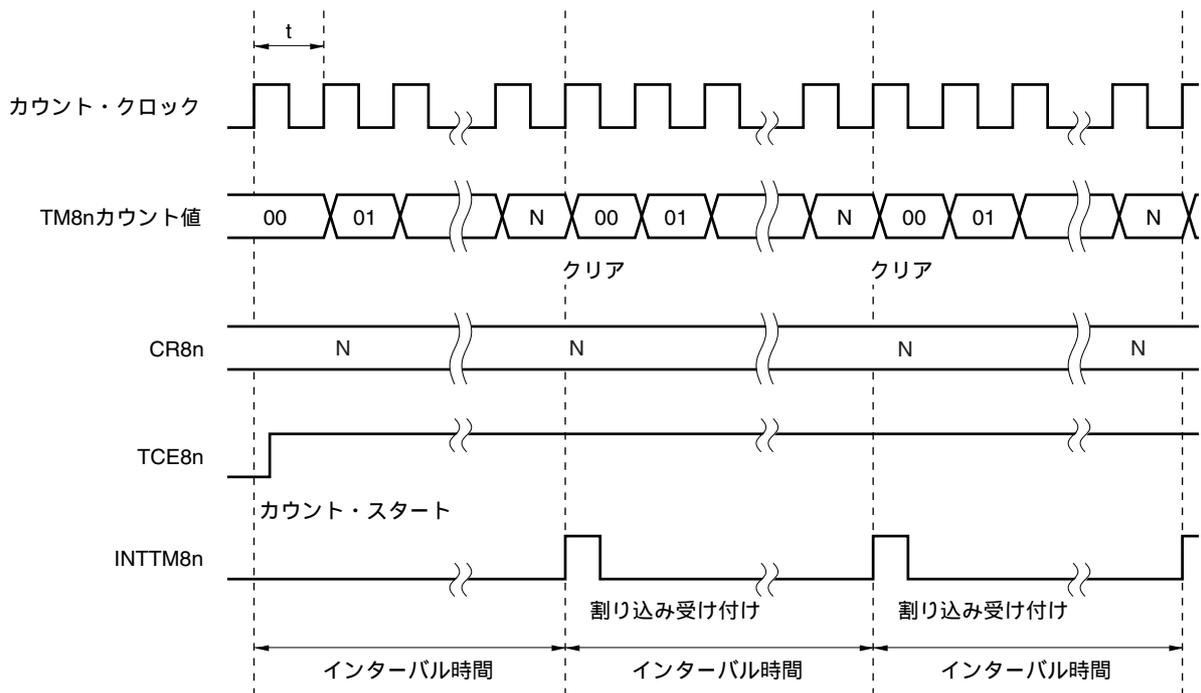
TCL821	TCL820	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^3/f_x (1.6 \mu\text{s})$	$2^{11}/f_x (410 \mu\text{s})$	$2^3/f_x (1.6 \mu\text{s})$
0	1	$2^{10}/f_x (205 \mu\text{s})$	$2^{18}/f_x (52.4 \text{ ms})$	$2^{10}/f_x (205 \mu\text{s})$
1	0	$1/f_{XT} (30.5 \mu\text{s})$	$2^8/f_{XT} (7.81 \text{ ms})$	$1/f_{XT} (30.5 \mu\text{s})$
1	1			

備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)2. f_{XT} : サブシステム・クロック発振周波数表6 - 7 8ビット・タイマ82のインターバル時間 ($f_{CC} = 2.0 \text{ MHz}$, $f_{XT} = 32.768 \text{ kHz}$ 動作時)

TCL821	TCL820	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^3/f_{CC} (4.0 \mu\text{s})$	$2^{11}/f_{CC} (1.02 \text{ ms})$	$2^3/f_{CC} (4.0 \mu\text{s})$
0	1	$2^{10}/f_{CC} (512 \mu\text{s})$	$2^{18}/f_{CC} (131 \text{ ms})$	$2^{10}/f_{CC} (512 \mu\text{s})$
1	0	$1/f_{XT} (30.5 \mu\text{s})$	$2^8/f_{XT} (7.81 \text{ ms})$	$1/f_{XT} (30.5 \mu\text{s})$
1	1			

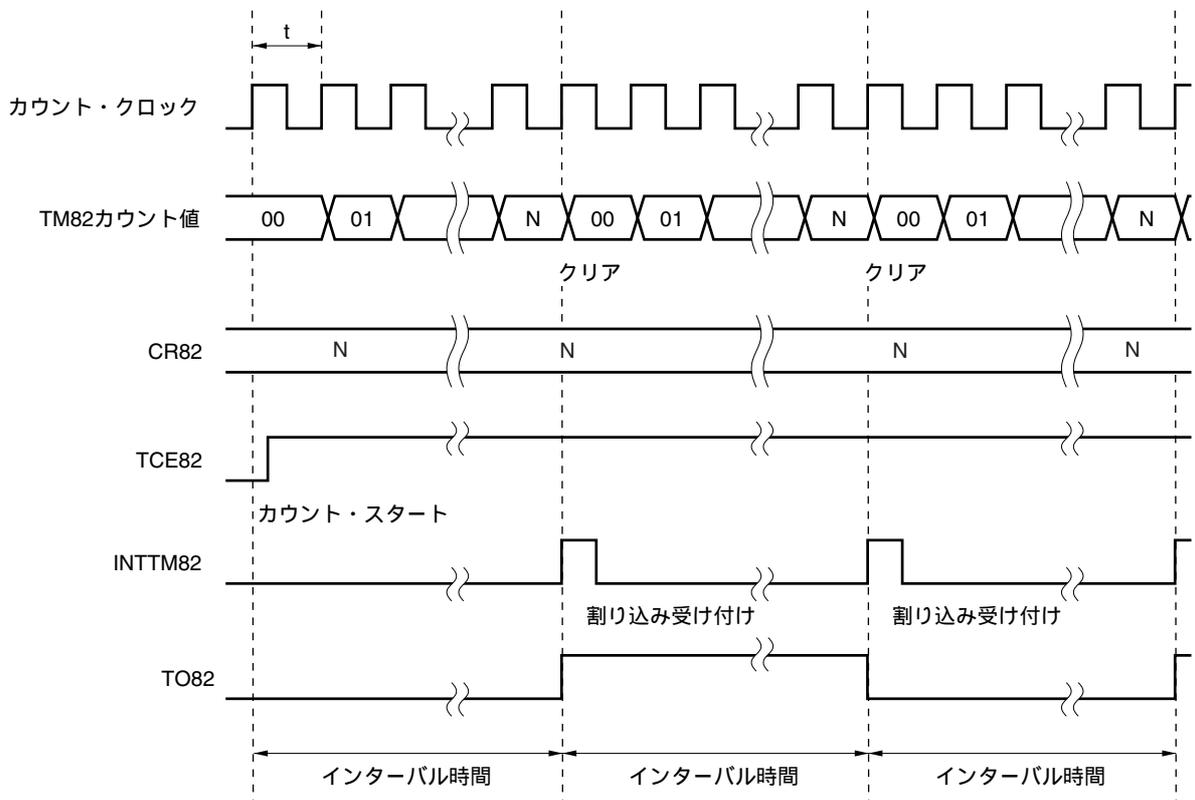
備考1. f_{CC} : メイン・システム・クロック発振周波数 (RC発振)2. f_{XT} : サブシステム・クロック発振周波数

図6-8 TM80, TM81のインターバル・タイマ動作のタイミング



- 備考1. インターバル時間 = $(N + 1) \times t$: $N = 00H\text{-}FFH$
 2. $n = 0, 1$

図6-9 TM82のインターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N + 1) \times t$: $N = 00H\text{-}FFH$

6.4.2 外部イベント・カウンタとしての動作（タイマ80のみ）

外部イベント・カウンタは、TI80/P23/INTP0端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ80（TM80）でカウントするものです。

8ビット・タイマ/イベント・カウンタ80を外部イベント・カウンタとして動作させるには次の順序で設定をします。

P23を入力モード（PM23 = 1）に設定

8ビット・タイマ・カウンタ80（TM80）を動作禁止（TCE80（8ビット・タイマ・モード・コントロール・レジスタ80（TMC80）のビット7）= 0）に設定

TI80の立ち上がり/立ち下がりエッジを指定（図6-4参照）

CR80にカウント値を設定

TM80を動作許可（TCE80 = 1）に設定

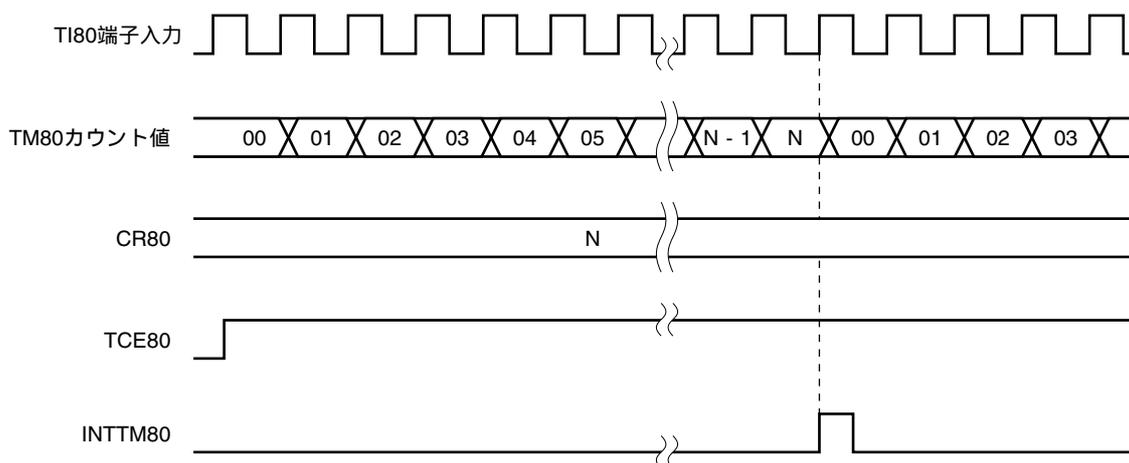
TMC80のビット1（TCL800）で指定した有効エッジが入力されるたびに8ビット・タイマ・カウンタ80（TM80）がインクリメントされます。

TM80のカウント値がCR80に設定した値と一致したとき、TM80の値を00Hにクリアしてカウントを継続するとともに、割り込み要求信号（INTTM80）を発生します。

図6-10に外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）を示します。

注意 TMC80でカウント・クロックの設定とTM80の動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、外部イベント・カウンタとして動作させる際には、必ず上記の順序で操作してください。

図6-10 外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）



備考 N = 00H-FFH

6.4.3 方形波出力としての動作 (タイマ82のみ)

8ビット・コンペア・レジスタ82 (CR82) にあらかじめ設定した値をインターバルとし、任意の周波数の方形波出力を発生させることができます。

8ビット・タイマ82を方形波出力として動作させるには次の順序で設定をします。

P25を出力モード (PM25 = 0) に、P25の出力ラッチを0に設定

8ビット・タイマ・カウンタ82 (TM82) を動作禁止 (TCE82 (8ビット・タイマ・モード・コントロール・レジスタ82 (TMC82) のビット7) = 0) に設定

8ビット・タイマ82のカウント・クロックを設定 (表6 - 8, 表6 - 9参照) し、TO82を出力許可 (TOE82 (TMC82のビット0) = 1) に設定

CR82にカウント値を設定

TM82を動作許可 (TCE82 = 1) に設定

8ビット・タイマ・カウンタ82 (TM82) のカウント値がCR82に設定した値と一致したとき、TO82/P25端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また、このとき、TM82の値は、00Hにクリアされてカウントを継続するとともに、割り込み要求信号 (INTTM82) を発生します。

方形波出力は、TMC82のビット7 (TCE82) に0を設定するとクリア (0) されます。

表6 - 8, 表6 - 9に方形波出力範囲を、図6 - 11に方形波出力のタイミングを示します。

注意 TMC82でカウント・クロックの設定とTM82の動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、方形波出力として動作させる際には、必ず上記の順序で操作してください。

表6 - 8 8ビット・タイマ82の方形波出力範囲 ($f_x = 5.0 \text{ MHz}$, $f_{XT} = 32.768 \text{ kHz}$ 動作時)

TCL821	TCL820	最小パルス幅	最大パルス幅	分解能
0	0	$2^3/f_x$ (1.6 μs)	$2^{11}/f_x$ (409 μs)	$2^3/f_x$ (1.6 μs)
0	1	$2^{10}/f_x$ (205 μs)	$2^{18}/f_x$ (52.4 ms)	$2^{10}/f_x$ (205 μs)
1	0	$1/f_{XT}$ (30.5 μs)	$2^9/f_{XT}$ (7.81 ms)	$1/f_{XT}$ (30.5 μs)
1	1			

備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{XT} : サブシステム・クロック発振周波数

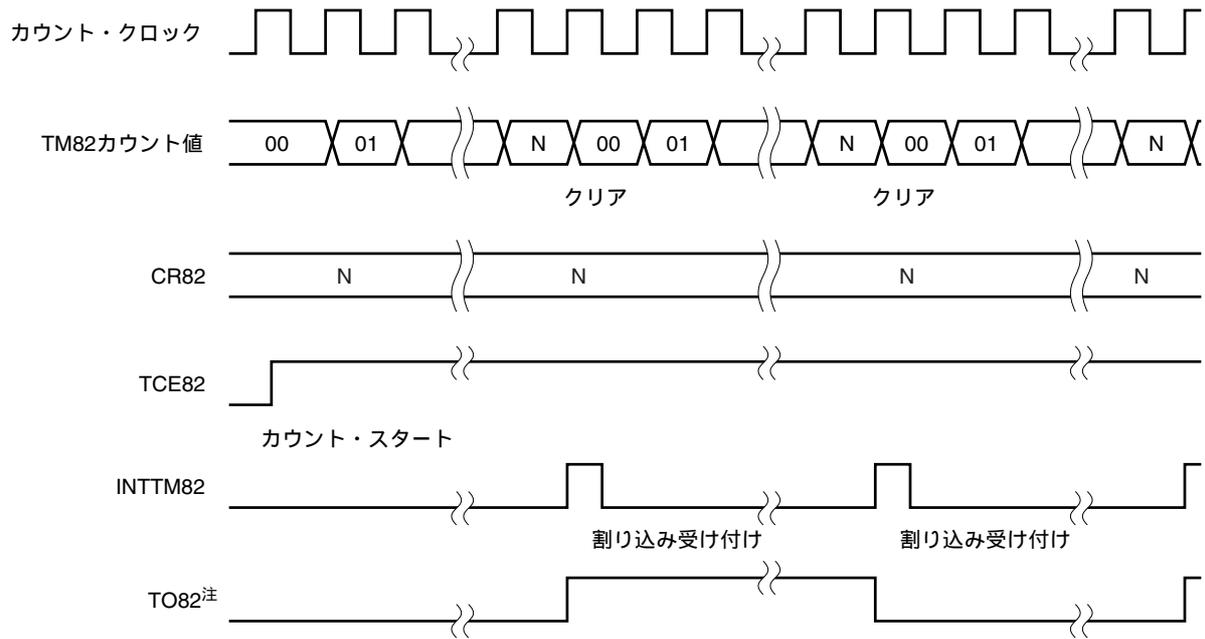
表6 - 9 8ビット・タイマ82の方形波出力範囲 ($f_{CC} = 2.0 \text{ MHz}$, $f_{XT} = 32.768 \text{ kHz}$ 動作時)

TCL821	TCL820	最小パルス幅	最大パルス幅	分解能
0	0	$2^3/f_{CC}$ (4.0 μs)	$2^{11}/f_{CC}$ (1.02 ms)	$2^3/f_{CC}$ (4.0 μs)
0	1	$2^{10}/f_{CC}$ (512 μs)	$2^{18}/f_{CC}$ (131 ms)	$2^{10}/f_{CC}$ (512 μs)
1	0	$1/f_{XT}$ (30.5 μs)	$2^9/f_{XT}$ (7.81 ms)	$1/f_{XT}$ (30.5 μs)
1	1			

備考1. f_{CC} : メイン・システム・クロック発振周波数 (RC発振)

2. f_{XT} : サブシステム・クロック発振周波数

図6 - 11 方形波出力のタイミング



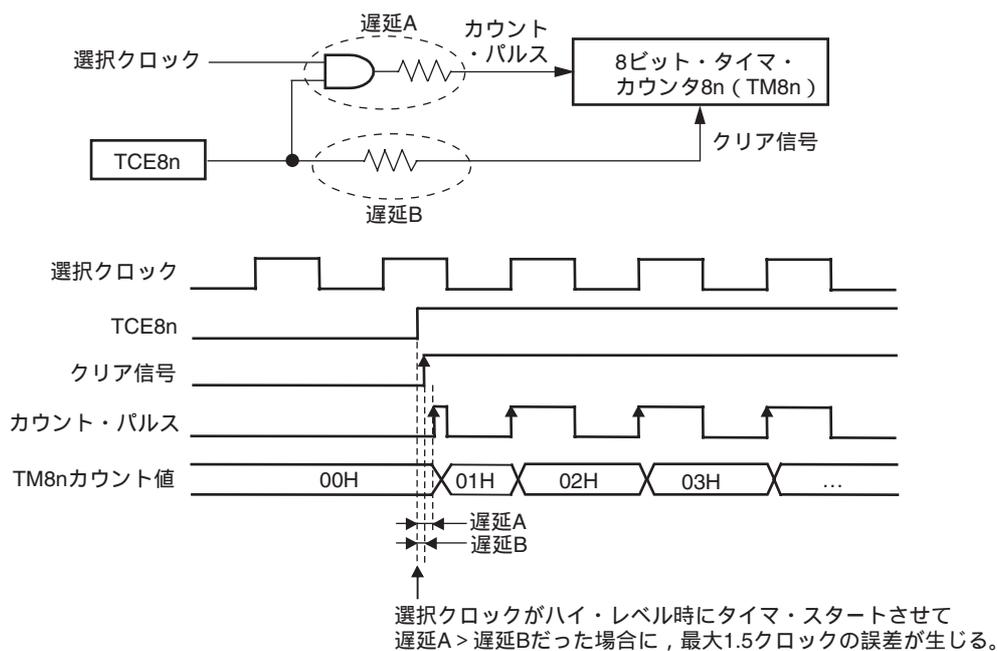
注 出力許可 (TOE82 = 1) 時のTO82の初期値は、ロウ・レベルになります。

6.5 8ビット・タイマ/イベント・カウンタ80-82の注意事項

★ (1) タイマ・スタート時の誤差

タイマ・スタート後，一致信号が発生するまでの時間は，最大で1.5クロック分の誤差が生じます。これは，カウント・クロックがハイ・レベルのときにタイマ・スタートすると，その瞬間に立ち上がりエッジが検出され，カウンタがインクリメントされてしまうことがあるためです（図6-12参照）。

図6-12 1.5クロック（最大）の誤差が出るケース



備考 n = 0-2

★ (2) TI80端子からの外部クロックを選択した場合のカウント値

カウント・クロックとしてTI80端子からの外部入力の上向きエッジを選択した際に、TI80端子がハイ・レベル期間中にタイマを動作許可 (TCE80 = 0 1) にすると、カウント値が01Hから始まる場合があります。これはTI80端子からの入力とTCE80信号とが内部でAND回路になっているので、TCE80をセットした直後に上向きエッジがタイマに入り、カウンタがインクリメントされるためです。遅延のタイミングにより、上向きエッジがカウンタ・クリアのあとで入力された場合はカウント値 + 1 となります。逆に、上向きエッジがカウンタ・クリアの前に入力された場合は影響がありません(通常動作します)。

同様の理由で、カウント・クロックとしてTI80端子からの外部入力の下向きエッジを選択した際に、TI80端子がロウ・レベル期間中にタイマを動作許可 (TCE80 = 0 1) にした場合も、カウント値が01Hから始まる場合があります。

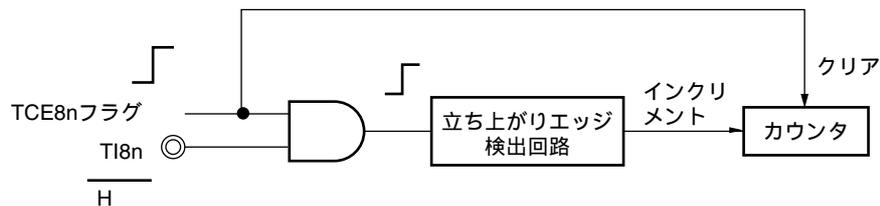
カウント値に1カウントの誤差があることを認識して使用するか、以下のA, Bどちらかの方法により対策を施してください。

<対策A> 上向きエッジ選択時は、必ずTI80端子がロウ・レベルのときにタイマ・スタートする。

下向きエッジ選択時は、必ずTI80端子がハイ・レベルのときにタイマ・スタートする。

<対策B> タイマ・スタート時のカウント値を制御レジスタに退避させておき、カウント値を読み出すときは制御レジスタに退避したカウント値とのSUBを取り、真のカウント値とする。

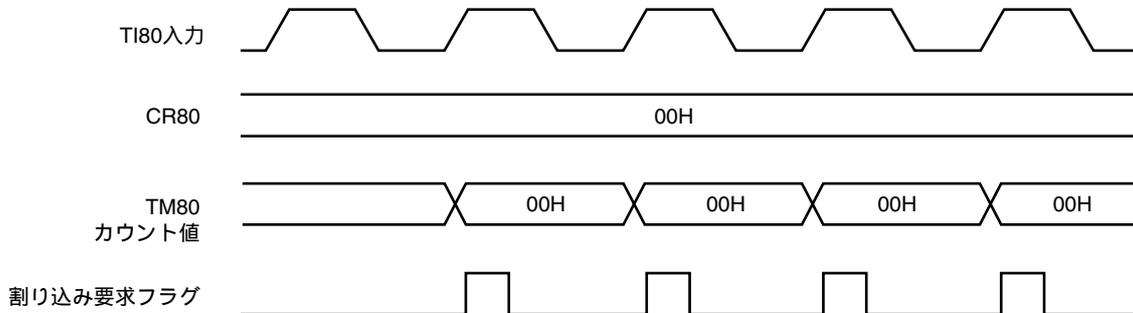
図6 - 13 TI80がハイ・レベル時にタイマ・スタートした場合のカウント動作(上向きエッジ選択時)



(3) 8ビット・コンペア・レジスタの設定

8ビット・コンペア・レジスタ80, 81, 82 (CR80, CR81, CR82) には, 00Hの設定が可能です。
したがって, タイマ80をイベント・カウンタとして使用時には, 1パルスのカウント動作が可能です。

図6 - 14 外部イベント・カウンタとしての動作時のタイミング



- ★ **注意** CR8nを書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR8nを書き換えた場合, その時点で一致割り込み要求信号が発生する場合があります。

★ (4) STOPモード設定時の注意

STOP命令を実行する前には, 必ずタイマ動作を停止 (TCE8n = 0) に設定してください。

第7章 8ビット・タイマ30, 40

7.1 8ビット・タイマ30, 40の機能

μPD789835, 789835A, 789835Bサブシリーズは8ビット・タイマを2チャンネル(タイマ30, タイマ40)内蔵しています。モード・レジスタの設定により次の表に示す動作モードが可能です。

表7-1 モード一覧

モード \ チャンネル	タイマ30	タイマ40
8ビット・タイマ・カウンタ・モード (単体モード)		
16ビット・タイマ・カウンタ・モード (カスケード接続モード)		
キャリア・ジェネレータ・モード		
PWM出力モード	x	

(1) 8ビット・タイマ・カウンタ・モード(単体モード)

次のような機能を使用できます。

- ・ 8ビット分解能のインターバル・タイマ
- ・ 8ビット分解能の方形波出力(タイマ40のみ)

(2) 16ビット・タイマ・カウンタ・モード(カスケード接続モード)

カスケード接続することにより, 16ビット・タイマとして動作します。

次のような機能を使用できます。

- ・ 16ビット分解能のインターバル・タイマ
- ・ 16ビット分解能の方形波出力

(3) キャリア・ジェネレータ・モード

タイマ40で生成されるキャリア・クロックをタイマ30で設定した周期で出力します。

(4) PWM出力モード(タイマ40のみ)

タイマ40で設定した任意のデューティ比のパルスを出力します。

7.2 8ビット・タイマ30, 40の構成

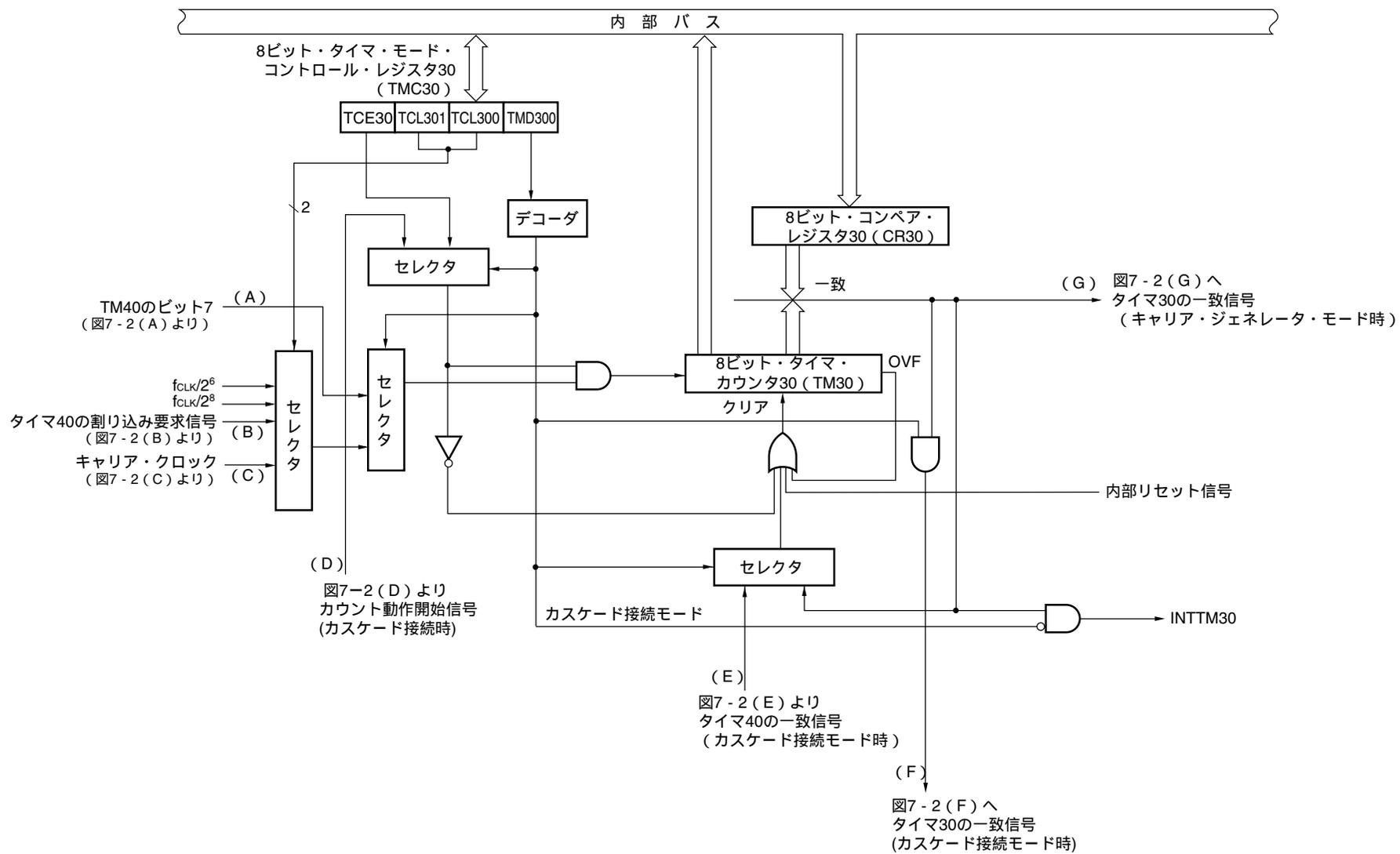
8ビット・タイマ30, 40は、次のハードウェアで構成しています。

表7 - 2 8ビット・タイマ30, 40の構成

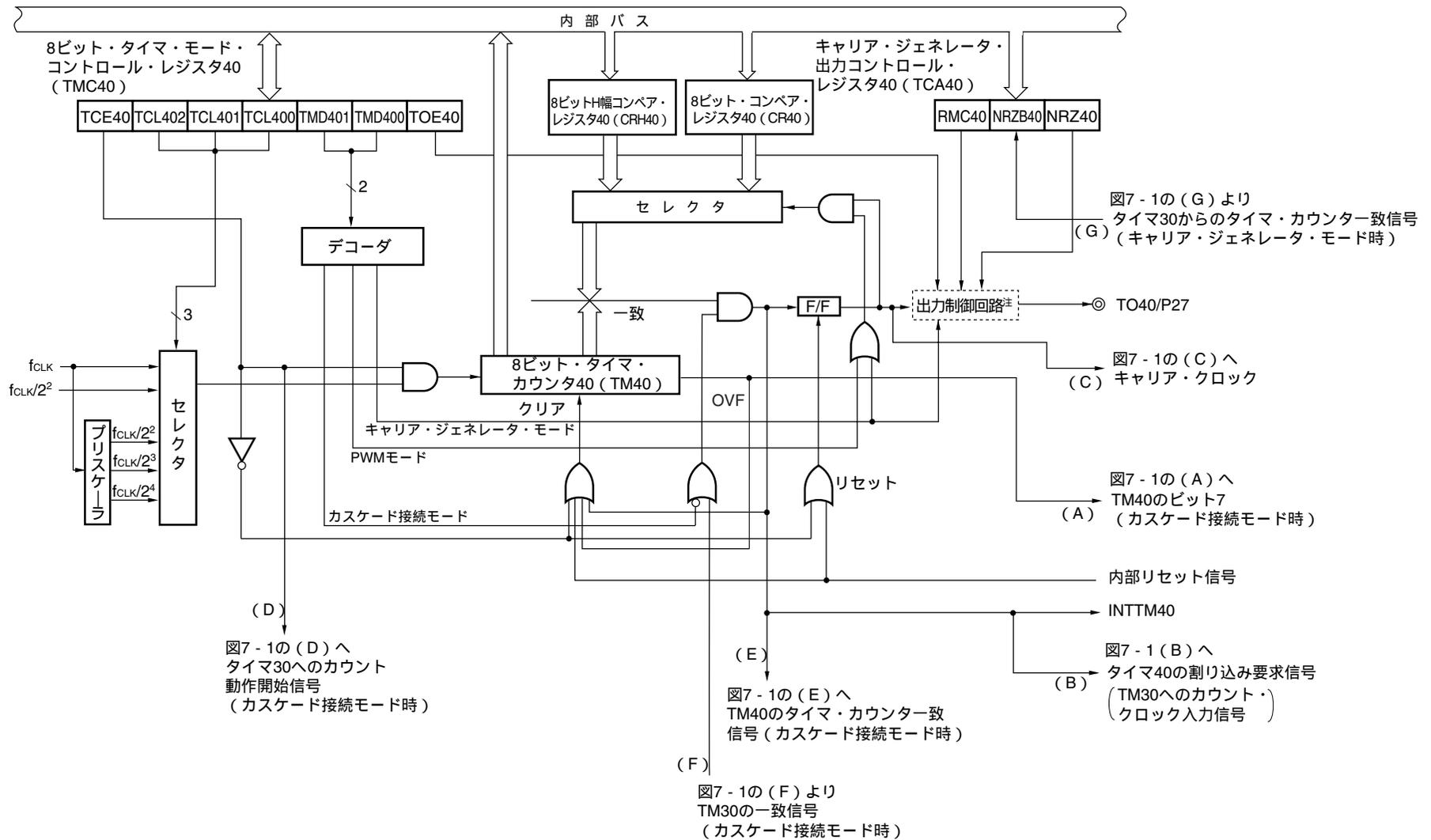
項 目	構 成
タイマ・カウンタ	8ビット×2本 (TM30, TM40)
レジスタ	コンペア・レジスタ : 8ビット×3本 (CR30, CR40, CRH40)
タイマ出力	1本 (TO40)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30) 8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40) キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40) ポート・モード・レジスタ2 (PM2)

★

図7-1 タイマ30のブロック図

備考 f_{CLK} : f_x または f_{CC}

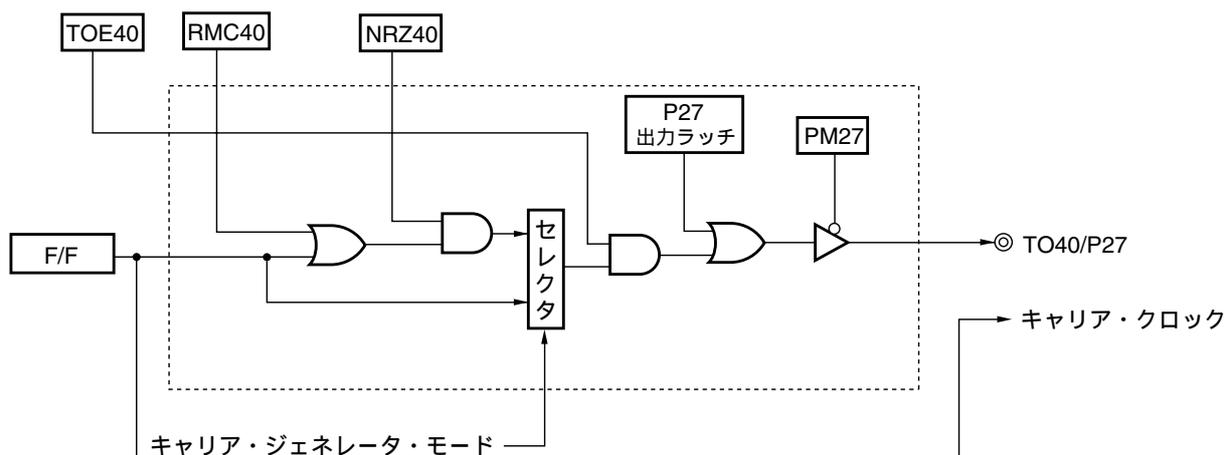
★ 図7-2 タイマ40のブロック図



注 詳細については図7-3を参照してください。

備考 f_{CLK} : fxまたはfcc

★ 図7-3 出力制御回路(タイマ40)のブロック図



(1) 8ビット・コンペア・レジスタ30 (CR30)

CR30に設定した値と8ビット・タイマ・カウンタ30 (TM30)のカウンタ値を常に比較し、一致したときに割り込み要求 (INTTM30) を発生する8ビットのレジスタです。

CR30は、8ビット・メモリ操作命令で設定します。

RESET入力により、不定になります。

注意 PWM出力モード時、CR30は使用しません。

(2) 8ビット・コンペア・レジスタ40 (CR40)

CR40に設定した値と8ビット・タイマ・カウンタ40 (TM40)のカウンタ値を常に比較し、一致したときに割り込み要求 (INTTM40) を発生する8ビットのレジスタです。また、TM30とカスケード接続して、16ビット・タイマとして使用する場合、CR30とTM30、CR40とTM40が同時に一致した場合のみ割り込み要求 (INTTM40) が発生します (INTTM30は発生しません)。

★ キャリア・ジェネレータ/PWM出力モード時は、タイマ出力のロウ・レベル幅を設定します。

CR40は、8ビット・メモリ操作命令で設定します。

RESET入力により、不定になります。

(3) 8ビットH幅コンペア・レジスタ40 (CRH40)

キャリア・ジェネレータ/PWM出力モード時、CRH40に値を書き込むことにより、タイマ出力のハイ・レベル幅を設定します。

★ CRH40に設定した値とTM40のカウンタ値を常に比較し、一致したときに割り込み要求 (INTTM40) を発生します。

CRH40は、8ビット・メモリ操作命令で設定します。

RESET入力により、不定になります。

(4) 8ビット・タイマ・カウンタ30, 40 (TM30, TM40)

カウント・パルスをカウントする8ビットのレジスタです。

TM30, TM40は、それぞれ8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、それぞれ00Hになります。

TM30, TM40が00Hにクリアされる条件を次に示します。

(a) 単体モード**() TM30の場合**

- ・リセット
- ・TCE30 (8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30) のビット7) を0にクリア
- ・TM30とCR30の一致
- ・TM30のカウント値のオーバフロー

() TM40の場合

- ・リセット
- ・TCE40 (8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40) のビット7) を0にクリア
- ・TM40とCR40の一致
- ・TM40のカウント値のオーバフロー

(b) カスケード接続モード (TM30, TM40同時に00Hにクリア)

- ・リセット
- ・TCE40フラグを0にクリア
- ・TM30とCR30およびTM40とCR40が同時に一致したとき
- ・TM30とTM40のカウント値が同時にオーバフロー

(c) キャリア・ジェネレータ/PWM出力モード (TM40のみ)

- ・リセット
- ・TCE40フラグを0にクリア
- ・TM40とCR40の一致
- ・TM40とCRH40の一致
- ・TM40のカウント値のオーバフロー

7.3 8ビット・タイマ30, 40を制御するレジスタ

8ビット・タイマ30, 40は、次の4種類のレジスタで制御します。

- ・8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30)
- ・8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40)
- ・キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40)
- ・ポート・モード・レジスタ2 (PM2)

(1) 8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30)

8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30) は、タイマ30のカウンタ・クロックの設定、および動作モードの設定を制御するレジスタです。

TMC30は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7-4 8ビット・タイマ・モード・コントロール・レジスタ30のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC30	TCE30	0	0	TCL301	TCL300	0	TMD300	0	FF62H	00H	R/W

TCE30	TM30のカウンタ動作の制御 ^{注1}
0	TM30のカウンタ値をクリアし、動作停止
1	カウンタ動作開始

TCL301	TCL300	タイマ30のカウンタ・クロックの選択	
		$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 2.0 \text{ MHz}$ 動作時
0	0	$f_x/2^6$ (78.1 kHz)	$f_{cc}/2^6$ (31.3 kHz)
0	1	$f_x/2^8$ (19.5 kHz)	$f_{cc}/2^8$ (7.81 kHz)
1	0	タイマ40一致信号	
1	1	キャリア・クロック (キャリア・ジェネレータ・モード時) またはタイマ40出力信号 (キャリア・ジェネレータ・モード時以外)	

TMD300	TMD401	TMD400	タイマ30, タイマ40の動作モードの選択 ^{注2}
0	0	0	8ビット・タイマ・カウンタ・モード (単体モード)
1	0	1	16ビット・タイマ・カウンタ・モード (カスケード接続モード)
0	1	1	キャリア・ジェネレータ・モード
0	1	0	タイマ40: PWM出力モード タイマ30: 8ビット・タイマ・カウンタ・モード
上記以外			設定禁止

注1. カスケード接続モード時ではTCE40 (TMC40のビット7) でカウンタ動作を制御するため、TCE30に設定しても無視されます。

2. 動作モードの選択は、TMC30とTMC40の両方のレジスタを組み合わせて設定します。

注意 カスケード接続モード時では、カウンタ・クロックは強制的にタイマ40出力信号が選択されます。

備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{cc} : メイン・システム・クロック発振周波数 (RC発振)

(2) 8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40)

8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40) は、タイマ40のカウンタ・クロックの設定、および動作モードの設定を制御するレジスタです。

TMC40は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7-5 8ビット・タイマ・モード・コントロール・レジスタ40のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC40	TCE40	0	TCL402	TCL401	TCL400	TMD401	TMD400	TOE40	FF69H	00H	R/W

TCE40	TM40のカウンタ動作の制御 ^{注1}
0	TM40のカウンタ値をクリアし、動作停止 (カスケード接続モード時ではTM30も同時にカウンタ値をクリア)
1	カウンタ動作開始 (カスケード接続モード時ではTM30も同時にカウンタ動作開始)

TCL402	TCL401	TCL400	タイマ40のカウンタ・クロックの選択	
			fx = 5.0 MHz動作時	f _{cc} = 2.0 MHz動作時
0	0	0	fx (5.0 MHz)	f _{cc} (2.0 MHz)
0	0	1	fx/2 ² (1.25 MHz)	f _{cc} /2 ² (500 kHz)
0	1	0	fx/2 (2.5 MHz)	f _{cc} /2 (1.0 MHz)
0	1	1	fx/2 ² (1.25 MHz)	f _{cc} /2 ² (500 kHz)
1	0	0	fx/2 ³ (625 kHz)	f _{cc} /2 ³ (250 kHz)
1	0	1	fx/2 ⁴ (313 kHz)	f _{cc} /2 ⁴ (125 kHz)
上記以外			設定禁止	

★

TMD300	TMD401	TMD400	タイマ30, タイマ40の動作モードの選択 ^{注2}
0	0	0	8ビット・タイマ・カウンタ・モード (単体モード)
1	0	1	16ビット・タイマ・カウンタ・モード (カスケード接続モード)
0	1	1	キャリア・ジェネレータ・モード
0	1	0	タイマ40 : PWM出力モード タイマ30 : 8ビット・タイマ・カウンタ・モード
上記以外			設定禁止

TOE40	タイマ出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

注1. カスケード接続モード時ではTCE40 (TMC40のビット7) でカウンタ動作を制御するため、TCE30に設定しても無視されます。

2. 動作モードの選択は、TMC30とTMC40の両方のレジスタを組み合わせで設定します。

備考1. fx : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{cc} : メイン・システム・クロック発振周波数 (RC発振)

(3) キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40)

キャリア・ジェネレータ・モード時においてタイマ出力データを設定するレジスタです。

TCA40は、8ビット・メモリ操作命令で設定します。

★ RESET入力により、不定になります。

図7-6 キャリア・ジェネレータ出力コントロール・レジスタ40のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCA40	0	0	0	0	0	RMC40	NRZB40	NRZ40	FF67H	不定	W

RMC40	リモコン出力の制御
0	NRZ40 = 1のとき、TO40/P27端子にキャリア・パルスを出力する
1	NRZ40 = 1のとき、TO40/P27端子にハイ・レベルを出力する

NRZB40	次に出力するNRZ40のデータを格納するビット。タイマ30の一致信号の立ち上がりエッジで、NRZ40にデータを転送します。NRZB40にはあらかじめプログラムによって必要な値を入力しておいてください。
0	
1	

NRZ40	ノー・リターン・ゼロ・データ
0	ロウ・レベルを出力する(キャリア・クロックは停止)
1	キャリア・パルスまたはハイレベルを出力する

注意1. ビット3-7には、必ず0を設定してください。

2. TCA40は、1ビット・メモリ操作命令を使用できません。必ず8ビット・メモリ操作命令で設定してください。

3. NRZ40フラグはキャリア・ジェネレータ出力停止 (TOE40 = 0) 時のみ書き換え可能です。

TOE40 = 1のときに書き込み命令を実行してもデータは書き換わりません。

★ 4. キャリア・ジェネレータ動作をいったん停止し、その後再度キャリア・ジェネレータ動作にすると、NRZB40は以前のデータを保持していませんので再設定してください。また、このときも1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令で設定してください。

★ 5. キャリア・ジェネレータ・モードの動作許可する場合は、事前にコンペア・レジスタ (CR30, CR40, CRH40) に値を設定し、NRZB40フラグとNRZ40フラグに必要な値を入力してから動作開始してください。さもないと、タイマー一致回路の信号が不定となり、NRZ40フラグが不定になってしまいます。

(4) ポート・モード・レジスタ2 (PM2)

ポート2の入力 / 出力を1ビット単位で設定するレジスタです。

P27/TO40端子をタイマ出力として使用するときはPM27およびP27の出力ラッチに0を設定してください。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET \bar 入力により、FFHになります。

図7-7 ポート・モード・レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W

PM2n	P2n端子の入出力モード (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

7.4 8ビット・タイマ30, 40の動作

7.4.1 8ビット・タイマ・カウンタ・モードとしての動作

タイマ30, タイマ40はそれぞれ独立して8ビット・タイマ・カウンタ・モードとして使用できます。

8ビット・タイマ・カウンタ・モードでは次のような機能を使用できます。

- ・8ビット分解能のインターバル・タイマ
- ・8ビット分解能の方形波出力（タイマ40のみ）

(1) 8ビット分解能のインターバル・タイマ

8ビット分解能のインターバル・タイマは、あらかじめ8ビット・コンペア・レジスタn0 (CRn0) に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

8ビット・タイマn0をインターバル・タイマとして動作させるには次の設定をします。

8ビット・タイマ・カウンタn0 (TMn0) を動作禁止 (TCEn0 = 0) に設定

REMのタイマ出力を禁止 (TOEn0 = 0) に設定

CRn0にカウント値を設定

タイマn0の動作モードを8ビット・タイマ・カウンタ・モードに設定 (図7-4, 図7-5参照)

タイマn0のカウント・クロックを設定 (表7-3~表7-6参照)

TMn0を動作許可 (TCEn0 = 1) に設定

8ビット・タイマ・カウンタn0 (TMn0) のカウント値がCRn0に設定した値と一致したとき, TMn0の値を00Hにクリアしてカウントを継続するとともに, 割り込み要求信号 (INTTMn0) を発生します。

表7-3~表7-6にインターバル時間を, 図7-8~図7-13にインターバル・タイマ動作のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

備考 n = 3, 4

表7-3 タイマ30のインターバル時間 (fx = 5.0 MHz動作時)

TCL301	TCL300	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^6/f_x$ (12.8 μ s)	$2^{14}/f_x$ (3.28 ms)	$2^6/f_x$ (12.8 μ s)
0	1	$2^8/f_x$ (51.2 μ s)	$2^{16}/f_x$ (13.1 ms)	$2^8/f_x$ (51.2 μ s)
1	0	タイマ40一致信号の入力周期	タイマ40一致信号の入力周期 $\times 2^8$	タイマ40一致信号の入力周期
1	1	タイマ40出力の入力周期	タイマ40出力の入力周期 $\times 2^8$	タイマ40出力の入力周期

備考 fx : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

表7-4 タイマ30のインターバル時間 (fcc = 2.0 MHz動作時)

TCL301	TCL300	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^6/f_{cc}$ (32 μ s)	$2^{14}/f_{cc}$ (8.19 ms)	$2^6/f_{cc}$ (32 μ s)
0	1	$2^8/f_{cc}$ (128 μ s)	$2^{16}/f_{cc}$ (32.8 ms)	$2^8/f_{cc}$ (128 μ s)
1	0	タイマ40一致信号の入力周期	タイマ40一致信号の入力周期 $\times 2^8$	タイマ40一致信号の入力周期
1	1	タイマ40出力の入力周期	タイマ40出力の入力周期 $\times 2^8$	タイマ40出力の入力周期

備考 fcc : メイン・システム・クロック発振周波数 (RC発振)

表7-5 タイマ40のインターバル時間 (fx = 5.0 MHz動作時)

TCL402	TCL401	TCL400	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_x$ (0.2 μ s)	$2^8/f_x$ (51.2 μ s)	$1/f_x$ (0.2 μ s)
0	0	1	$2^2/f_x$ (0.8 μ s)	$2^{10}/f_x$ (205 μ s)	$2^2/f_x$ (0.8 μ s)
0	1	0	$1/f_x$ (0.2 μ s)	$2^8/f_x$ (51.2 μ s)	$1/f_x$ (0.2 μ s)
0	1	1	$2^2/f_x$ (0.8 μ s)	$2^{10}/f_x$ (205 μ s)	$2^2/f_x$ (0.8 μ s)
1	0	0	$2^3/f_x$ (1.6 μ s)	$2^{11}/f_x$ (410 μ s)	$2^3/f_x$ (1.6 μ s)
1	0	1	$2^4/f_x$ (3.2 μ s)	$2^{12}/f_x$ (819 μ s)	$2^4/f_x$ (3.2 μ s)

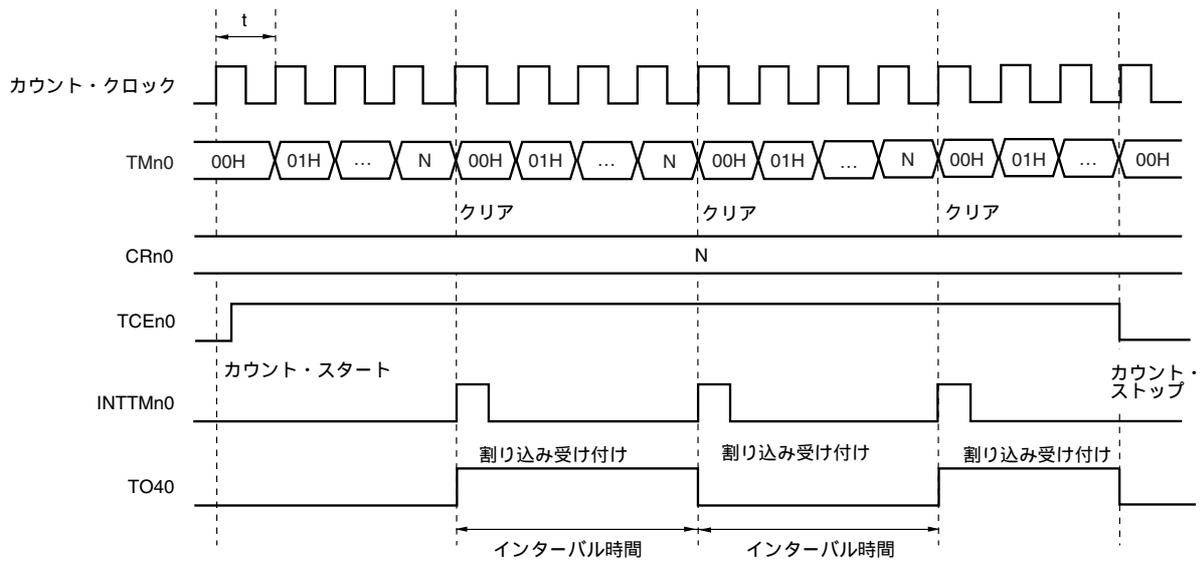
備考 fx : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

表7-6 タイマ40のインターバル時間 (fcc = 2.0 MHz動作時)

TCL402	TCL401	TCL400	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_{cc}$ (0.5 μ s)	$2^8/f_{cc}$ (128 μ s)	$1/f_{cc}$ (0.5 μ s)
0	0	1	$2^2/f_{cc}$ (2.0 μ s)	$2^{10}/f_{cc}$ (512 μ s)	$2^2/f_{cc}$ (2.0 μ s)
0	1	0	$1/f_{cc}$ (0.5 μ s)	$2^8/f_{cc}$ (128 μ s)	$1/f_{cc}$ (0.5 μ s)
0	1	1	$2^2/f_{cc}$ (2.0 μ s)	$2^{10}/f_{cc}$ (512 μ s)	$2^2/f_{cc}$ (2.0 μ s)
1	0	0	$2^3/f_{cc}$ (4.0 μ s)	$2^{11}/f_{cc}$ (1.02 ms)	$2^3/f_{cc}$ (4.0 μ s)
1	0	1	$2^4/f_{cc}$ (8.0 μ s)	$2^{12}/f_{cc}$ (4.10 ms)	$2^4/f_{cc}$ (8.0 μ s)

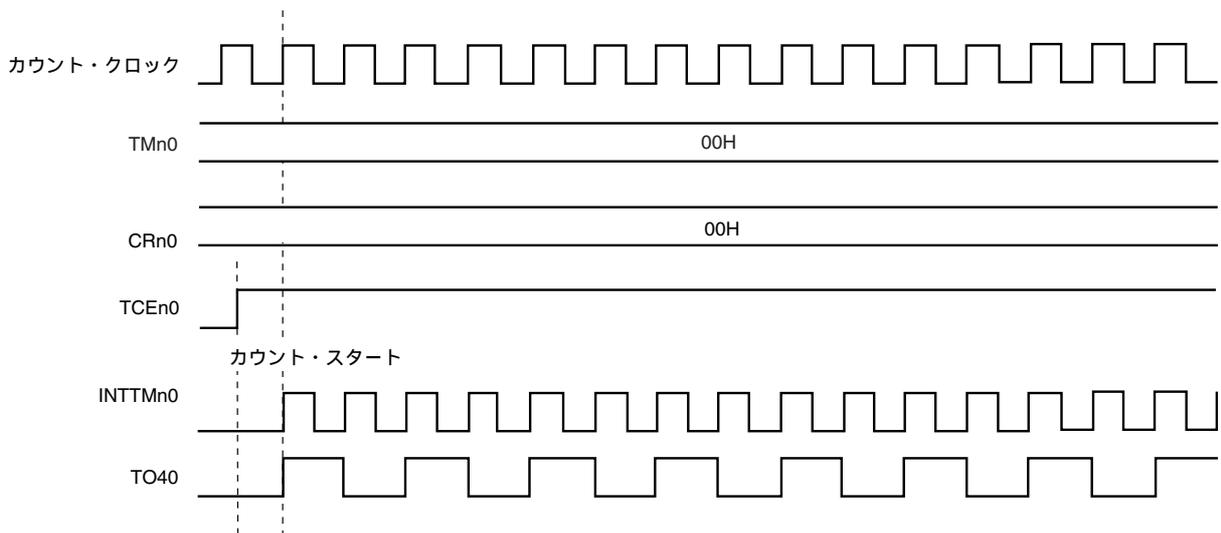
備考 fcc : メイン・システム・クロック発振周波数 (RC発振)

図7-8 8ビット分解能のインターバル・タイマ動作のタイミング(基本動作)



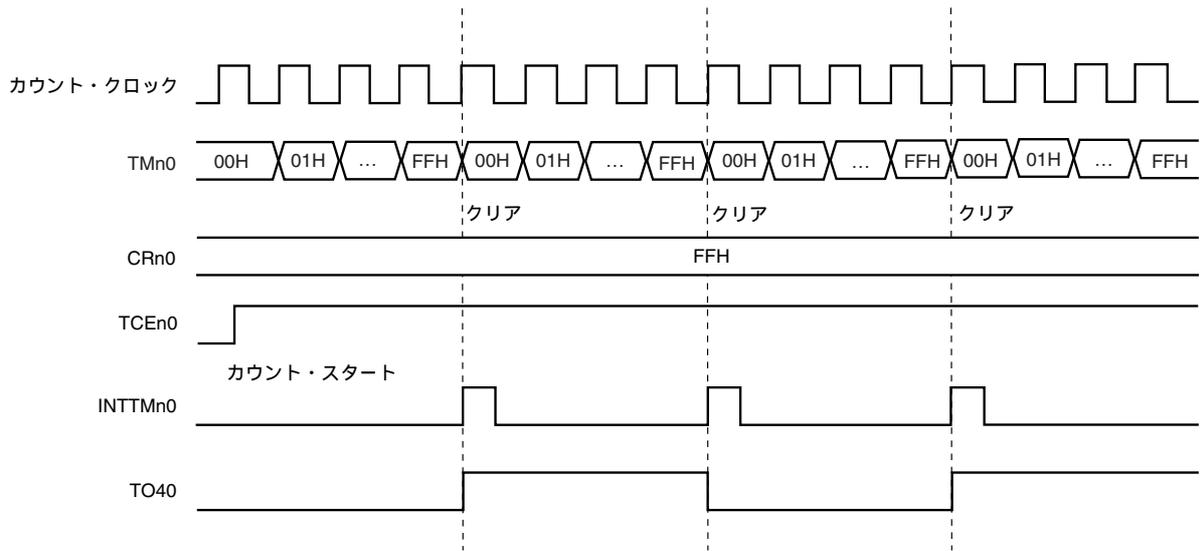
- 備考1. インターバル時間 = $(N + 1) \times t$: $N = 00H\text{-}FFH$
 2. $n = 3, 4$

図7-9 8ビット分解能のインターバル・タイマ動作のタイミング(CRn0 = 00H設定時)



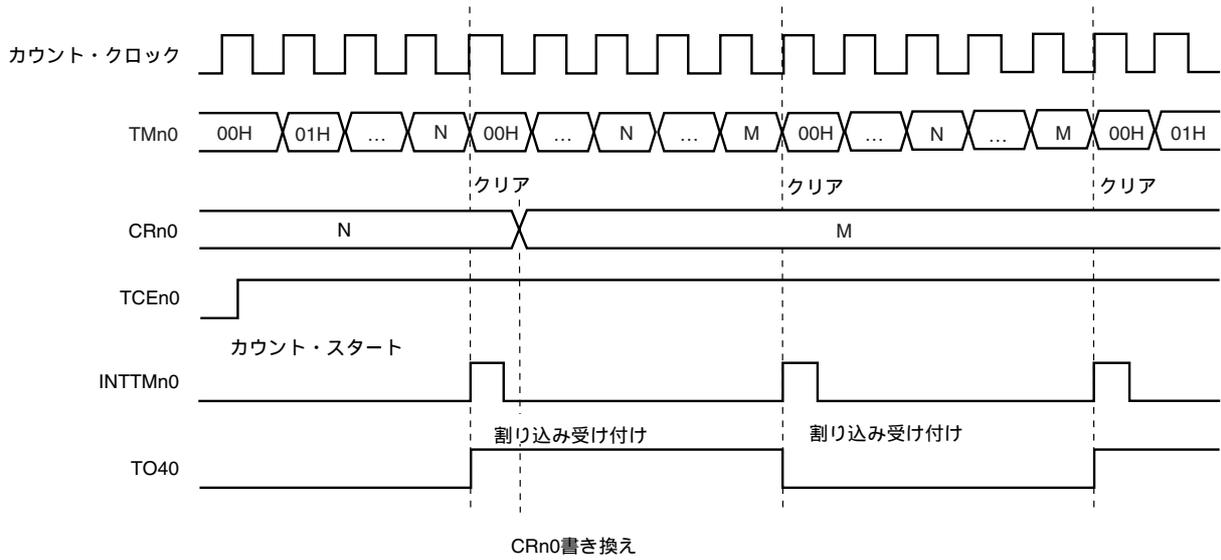
備考 $n = 3, 4$

図7 - 10 8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = FFH設定時)



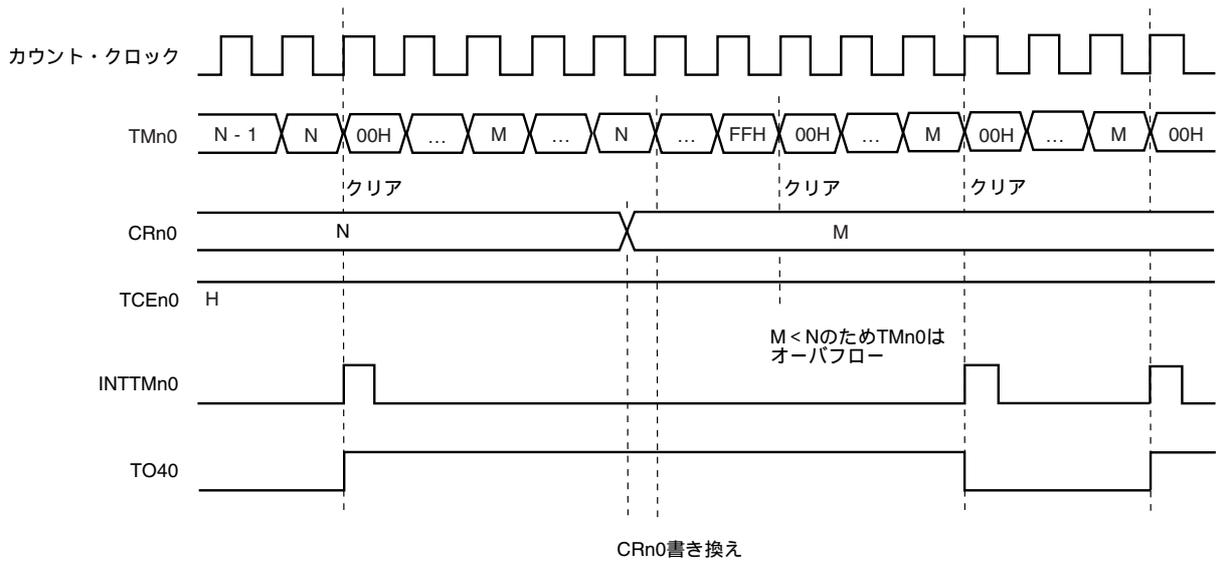
備考 n = 3, 4

図7 - 11 8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N M (N < M) 変更時)



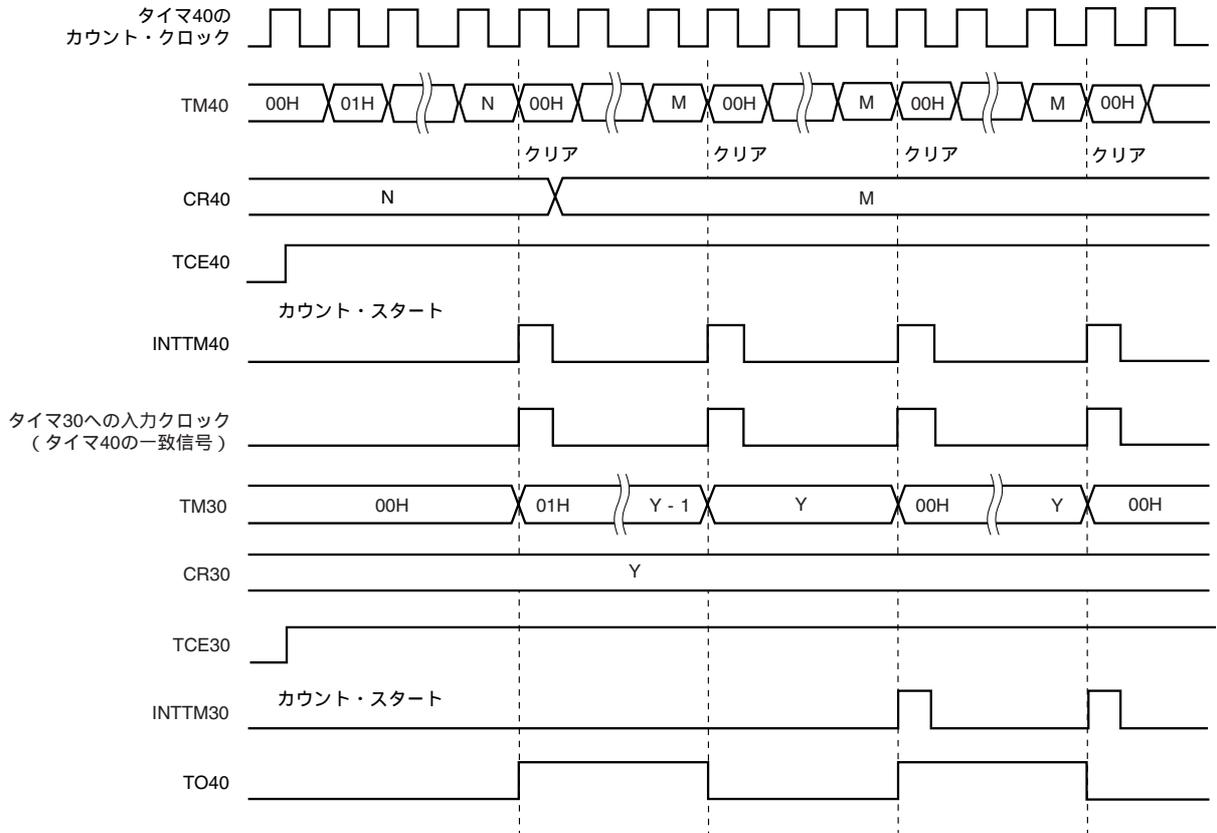
備考 n = 3, 4

図7 - 12 8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N M (N > M) 変更時)



備考 n = 3, 4

図7 - 13 8ビット分解能のインターバル・タイマ動作のタイミング (タイマ30のカウント・クロックにタイマ40一致信号選択時)



備考 n = 3, 4

(2) 8ビット分解能の方形波出力としての動作 (タイマ40のみ)

8ビット・コンペア・レジスタ40 (CR40) にあらかじめ設定した値をインターバルとし、任意の周波数の方形波出力を発生させることができます。

タイマ40を方形波出力として動作させるには次の設定をします。

P27を出力モード (PM27 = 0) に設定

P27の出力ラッチに0を設定

8ビット・タイマ・カウンタ40 (TM40) を動作禁止 (TCE40 = 0) に設定

タイマ40のカウント・クロックを設定し、TO40を出力許可 (TOE40 = 1) に設定

CR40にカウント値を設定

TM40を動作許可 (TCE40 = 1) に設定

TM40のカウント値がCR40に設定した値と一致したとき、TO40端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また、このとき、TM40の値は、00Hにクリアされてカウントを継続するとともに、割り込み要求信号 (INTTM40) を発生します。

方形波出力は、TCE40に0を設定するとクリア (0) されます。

表7 - 7、表7 - 8に方形波出力範囲を、図7 - 14に方形波出力のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。

表7 - 7 タイマ40の方形波出力範囲 (fx = 5.0 MHz動作時)

TCL402	TCL401	TCL400	最小パルス幅	最大パルス幅	分解能
0	0	0	1/fx (0.2 μs)	2 ⁸ /fx (51.2 μs)	1/fx (0.2 μs)
0	0	1	2 ² /fx (0.8 μs)	2 ¹⁰ /fx (205 μs)	2 ² /fx (0.8 μs)
0	1	0	1/fx (0.2 μs)	2 ⁸ /fx (51.2 μs)	1/fx (0.2 μs)
0	1	1	2 ² /fx (0.8 μs)	2 ¹⁰ /fx (205 μs)	2 ² /fx (0.8 μs)
1	0	0	2 ³ /fx (1.6 μs)	2 ¹¹ /fx (410 μs)	2 ³ /fx (1.6 μs)
1	0	1	2 ⁴ /fx (3.2 μs)	2 ¹² /fx (819 μs)	2 ⁴ /fx (3.2 μs)

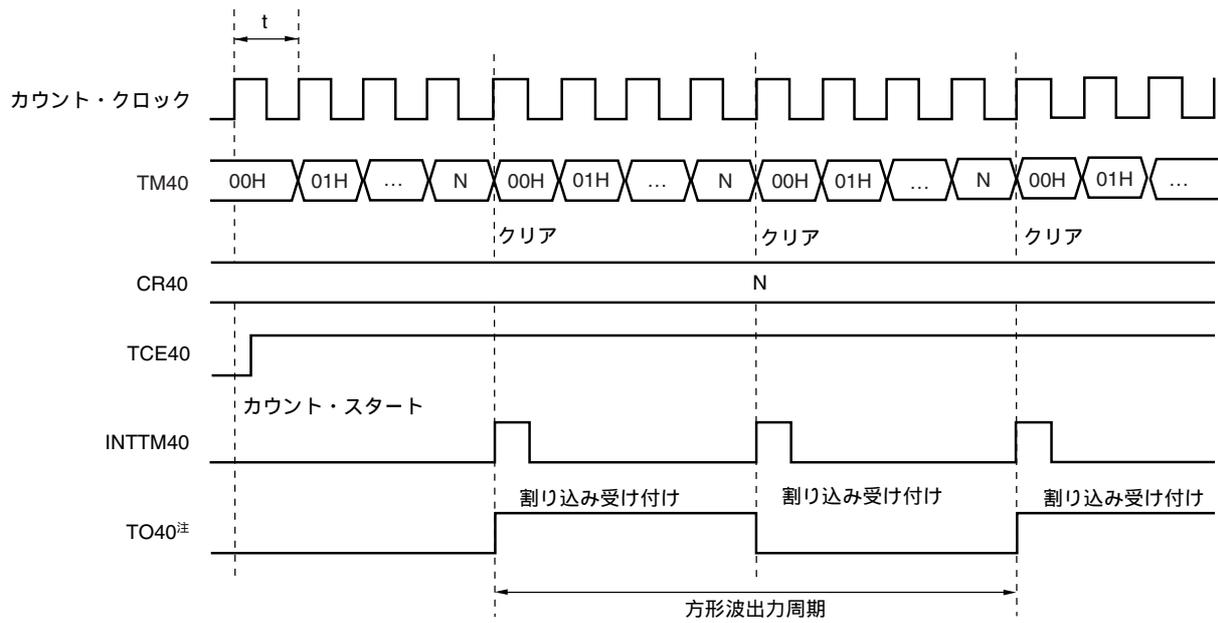
備考 fx : メイン・システム・クロック発振周波数 (セラミック / クリスタル発振)

表7 - 8 タイマ40の方形波出力範囲 (fcc = 2.0 MHz動作時)

TCL402	TCL401	TCL400	最小パルス幅	最大パルス幅	分解能
0	0	0	1/fcc (0.5 μs)	2 ⁸ /fcc (128 μs)	1/fcc (0.5 μs)
0	0	1	2 ² /fcc (2.0 μs)	2 ¹⁰ /fcc (512 μs)	2 ² /fcc (2.0 μs)
0	1	0	1/fcc (0.5 μs)	2 ⁸ /fcc (128 μs)	1/fcc (0.5 μs)
0	1	1	2 ² /fcc (2.0 μs)	2 ¹⁰ /fcc (512 μs)	2 ² /fcc (2.0 μs)
1	0	0	2 ³ /fcc (4.0 μs)	2 ¹¹ /fcc (1.02 ms)	2 ³ /fcc (4.0 μs)
1	0	1	2 ⁴ /fcc (8.0 μs)	2 ¹² /fcc (4.10 ms)	2 ⁴ /fcc (8.0 μs)

備考 fcc : メイン・システム・クロック発振周波数 (RC発振)

図7 - 14 8ビット分解能の方形波出力のタイミング



注 出力許可 (TOE40 = 1) 時のTO40の初期値は、ロウ・レベルになります。

備考 方形波出力周期 = $2(N + 1) \times t$: N = 00H-FFH

7.4.2 16ビット・タイマ・カウンタ・モードとしての動作

タイマ30, タイマ40をカスケード接続し, 16ビット・タイマ・カウンタ・モードとして使用できます。

この場合, 8ビット・タイマ・カウンタ30 (TM30) が上位8ビット, 8ビット・タイマ・カウンタ40 (TM40) が下位8ビットとなり, リセットおよびクリアは8ビット・タイマ40で制御します。

16ビット・タイマ・カウンタ・モードでは次のような機能を使用できます。

- ・ 16ビット分解能のインターバル・タイマ
- ・ 16ビット分解能の方形波出力

(1) 16ビット分解能のインターバル・タイマ

16ビット分解能のインターバル・タイマは, あらかじめ8ビット・コンペア・レジスタ30 (CR30) および8ビット・コンペア・レジスタ40 (CR40) に設定したカウント値をインターバルとし, 繰り返し割り込みを発生させることができます。

16ビット分解能のインターバル・タイマとして動作させるには次の設定をします。

8ビット・タイマ・カウンタ30 (TM30), 8ビット・タイマ・カウンタ40 (TM40) を動作禁止 (TCE30 = 0, TCE40 = 0) に設定

TO40のタイマ出力を禁止 (TOE40 = 0) に設定

タイマ40のカウント・クロックを設定 (表7-5, 表7-6参照)

タイマ30, 8ビット・タイマ40の動作モードを16ビット・タイマ・カウンタ・モードに設定 (図7-4, 図7-5参照)

CR30, CR40にカウント値を設定

TM30, TM40を動作許可 (TCE40 = 1^注) に設定

注 16ビット・タイマ・カウンタ・モード時のタイマのスタートおよびクリアはTCE40で制御します (TCE30の値は無効となります)。

TM30とTM40のカウント値がそれぞれCR30, CR40に設定した値と一致したとき, TM30, TM40の値を同時に00Hにクリアしてカウントを継続するとともに, 割り込み要求信号 (INTTM40) を発生します (INTTM30は発生しません)。

表7-9, 表7-10にインターバル時間を, 図7-15にインターバル・タイマ動作のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

表7 - 9 16ビット分解能でのインターバル時間 (fx = 5.0 MHz動作時)

TCL402	TCL401	TCL400	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_x (0.2 \mu s)$	$2^{16}/f_x (13.1 ms)$	$1/f_x (0.2 \mu s)$
0	0	1	$2^2/f_x (0.8 \mu s)$	$2^{18}/f_x (52.4 ms)$	$2^2/f_x (0.8 \mu s)$
0	1	0	$1/f_x (0.2 \mu s)$	$2^{16}/f_x (13.1 ms)$	$1/f_x (0.2 \mu s)$
0	1	1	$2^2/f_x (0.8 \mu s)$	$2^{18}/f_x (52.4 ms)$	$2^2/f_x (0.8 \mu s)$
1	0	0	$2^3/f_x (1.6 \mu s)$	$2^{19}/f_x (105 ms)$	$2^3/f_x (1.6 \mu s)$
1	0	1	$2^4/f_x (3.2 \mu s)$	$2^{20}/f_x (210 ms)$	$2^4/f_x (3.2 \mu s)$

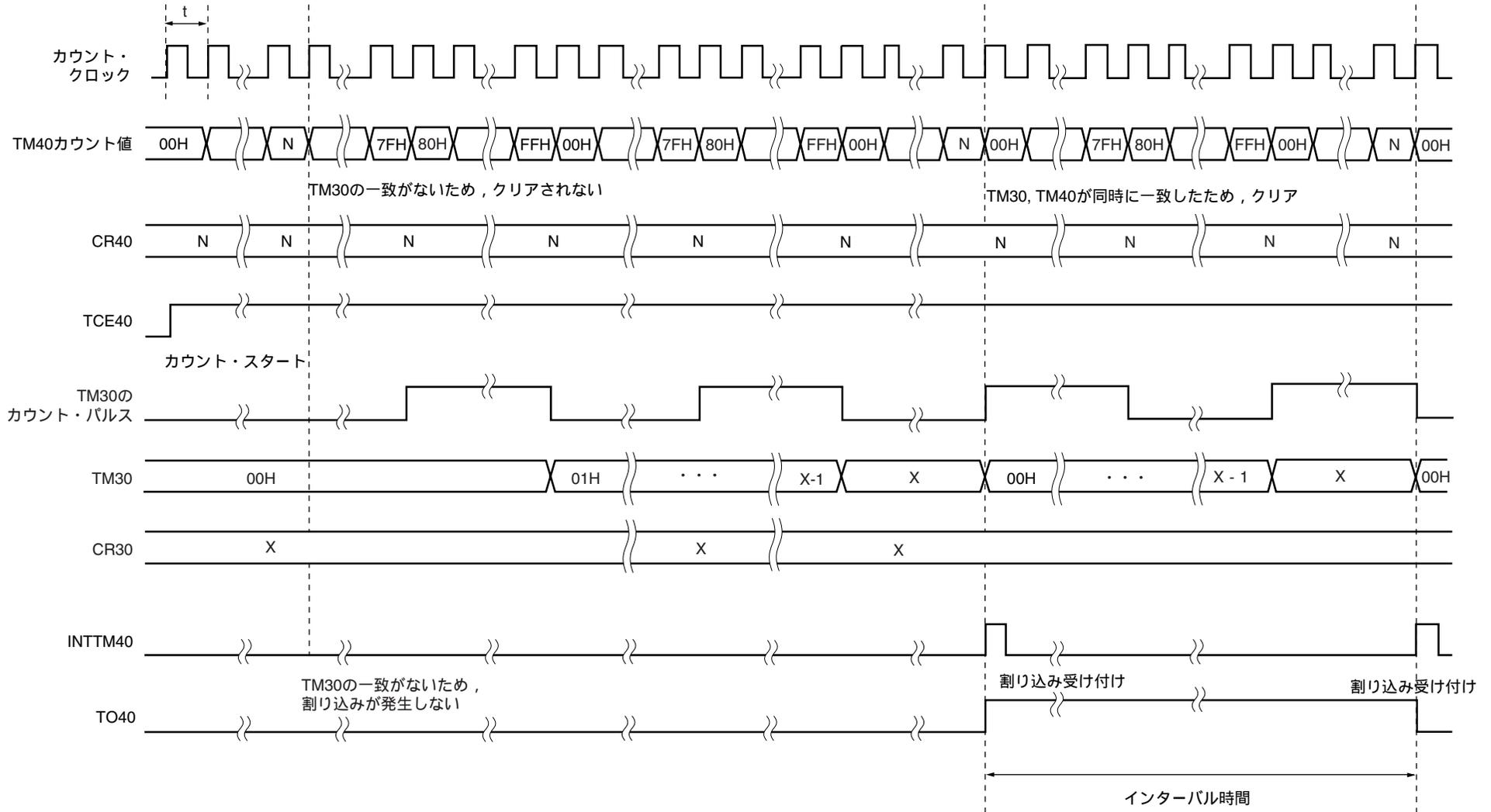
備考 fx : メイン・システム・クロック発振周波数 (セラミック / クリスタル発振)

表7 - 10 16ビット分解能でのインターバル時間 (fcc = 2.0 MHz動作時)

TCL402	TCL401	TCL400	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_{cc} (0.5 \mu s)$	$2^{16}/f_{cc} (32.8 ms)$	$1/f_{cc} (0.5 \mu s)$
0	0	1	$2^2/f_{cc} (2.0 \mu s)$	$2^{18}/f_{cc} (131 ms)$	$2^2/f_{cc} (2.0 \mu s)$
0	1	0	$1/f_{cc} (0.5 \mu s)$	$2^{16}/f_{cc} (32.8 ms)$	$1/f_{cc} (0.5 \mu s)$
0	1	1	$2^2/f_{cc} (2.0 \mu s)$	$2^{18}/f_{cc} (131 ms)$	$2^2/f_{cc} (2.0 \mu s)$
1	0	0	$2^3/f_{cc} (4.0 \mu s)$	$2^{19}/f_{cc} (262 ms)$	$2^3/f_{cc} (4.0 \mu s)$
1	0	1	$2^4/f_{cc} (8.0 \mu s)$	$2^{20}/f_{cc} (524 ms)$	$2^4/f_{cc} (8.0 \mu s)$

備考 fcc : メイン・システム・クロック発振周波数 (RC発振)

図7 - 15 16ビット分解能のインターバル・タイマ動作のタイミング



備考 インターバル時間 = (256X + N + 1) × t : X = 00H-FFH, N = 00H-FFH

(2) 16ビット分解能の方形波出力としての動作

CR30, CR40にあらかじめ設定した値をインターバルとし, 任意の周波数の方形波出力を発生させることができます。

16ビット分解能の方形波出力として動作させるには次の設定をします。

- TM30, TM40を動作禁止 (TCE30 = 0, TCE40 = 0) に設定
- TO40を出力禁止 (TOE40 = 0) に設定
- タイマ40のカウント・クロックを設定する
- P27を出力モード (PM27 = 0), P27の出力ラッチに0を設定し, TO40を出力許可 (TOE40 = 1) に設定
- CR30, CR40にカウント値を設定
- TM40を動作許可 (TCE40 = 1^注) に設定

注 16ビット・タイマ・カウンタ・モード時のタイマのスタートおよびクリアはTCE40で制御します (TCE30の値は無効となります)。

TM30, TM40のカウント値がそれぞれCR30, CR40に設定した値と同時に一致したとき, TO40端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また, このとき, TM30, TM40の値は, それぞれ00Hにクリアされてカウントを継続するとともに, 割り込み要求信号 (INTTM40) を発生します (INTTM30は発生しません)。

方形波出力は, TCE40に0を設定するとクリア (0) されます。

表7 - 11, 表7 - 12に方形波出力範囲を, 図7 - 16に方形波出力のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

表7 - 11 16ビット分解能の方形波出力範囲 (fx = 5.0 MHz動作時)

TCL402	TCL401	TCL400	最小パルス幅	最大パルス幅	分解能
0	0	0	1/fx (0.2 μs)	2 ¹⁶ /fx (13.1 ms)	1/fx (0.2 μs)
0	0	1	2 ² /fx (0.8 μs)	2 ¹⁸ /fx (52.4 ms)	2 ² /fx (0.8 μs)
0	1	0	1/fx (0.2 μs)	2 ¹⁶ /fx (13.1 ms)	1/fx (0.2 μs)
0	1	1	2 ² /fx (0.8 μs)	2 ¹⁸ /fx (52.4 ms)	2 ² /fx (0.8 μs)
1	0	0	2 ³ /fx (1.6 μs)	2 ¹⁹ /fx (105 ms)	2 ³ /fx (1.6 μs)
1	0	1	2 ⁴ /fx (3.2 μs)	2 ²⁰ /fx (210 ms)	2 ⁴ /fx (3.2 μs)

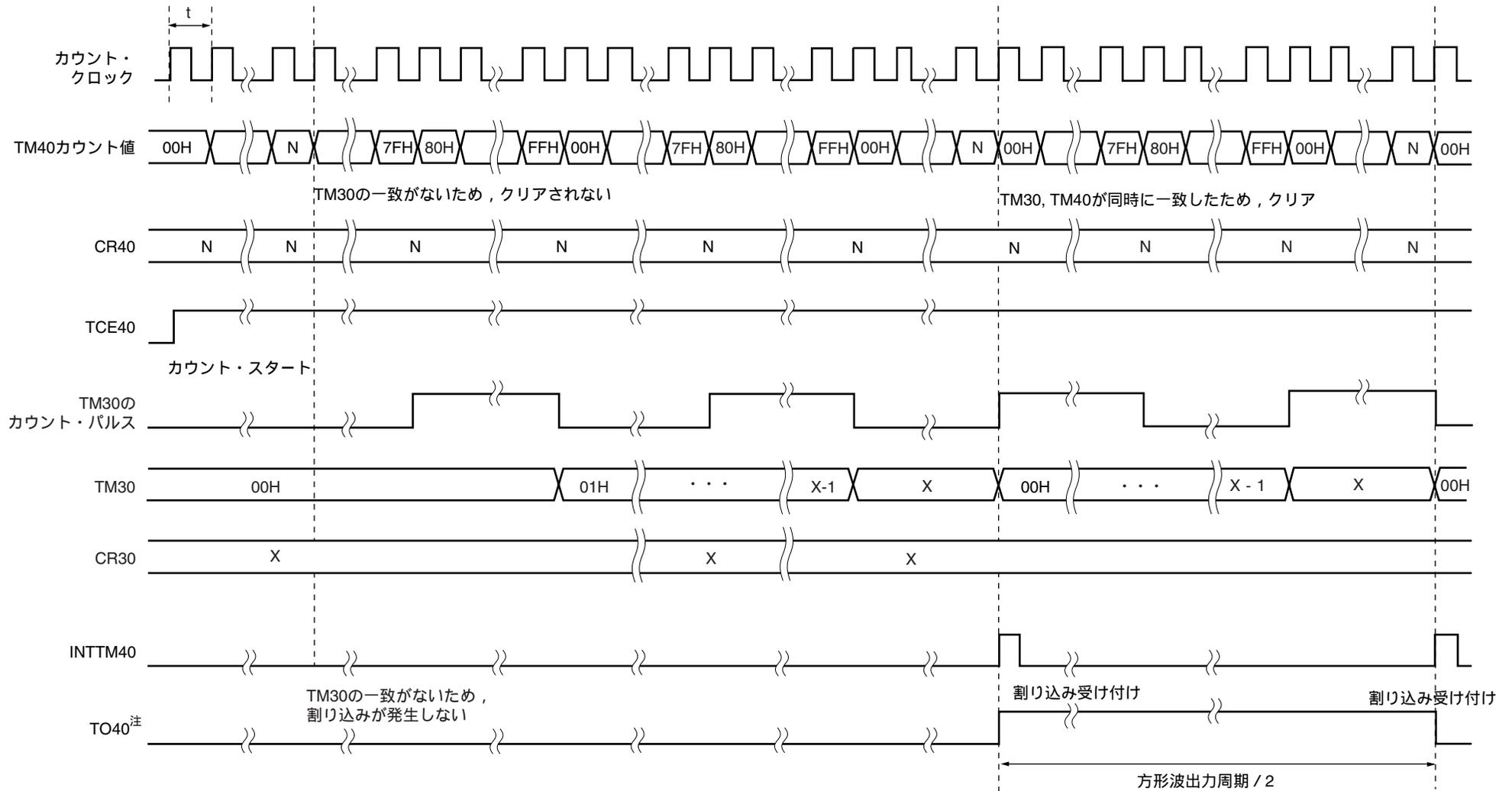
備考 fx: メイン・システム・クロック発振周波数 (セラミック / クリスタル発振)

表7 - 12 16ビット分解能での方形波出力範囲 (f_{cc} = 2.0 MHz動作時)

TCL402	TCL401	TCL400	最小パルス幅	最大パルス幅	分解能
0	0	0	$1/f_{cc}$ (0.5 μ s)	$2^{16}/f_{cc}$ (32.8 ms)	$1/f_{cc}$ (0.5 μ s)
0	0	1	$2^2/f_{cc}$ (2.0 μ s)	$2^{18}/f_{cc}$ (131 ms)	$2^2/f_{cc}$ (2.0 μ s)
0	1	0	$1/f_{cc}$ (0.5 μ s)	$2^{16}/f_{cc}$ (32.8 ms)	$1/f_{cc}$ (0.5 μ s)
0	1	1	$2^2/f_{cc}$ (2.0 μ s)	$2^{18}/f_{cc}$ (131 ms)	$2^2/f_{cc}$ (2.0 μ s)
1	0	0	$2^3/f_{cc}$ (4.0 μ s)	$2^{19}/f_{cc}$ (262 ms)	$2^3/f_{cc}$ (4.0 μ s)
1	0	1	$2^4/f_{cc}$ (8.0 μ s)	$2^{20}/f_{cc}$ (524 ms)	$2^4/f_{cc}$ (8.0 μ s)

備考 f_{cc} : メイン・システム・クロック発振周波数 (RC発振)

図7-16 16ビット分解能の方形波出力のタイミング



注 出力許可 (TOE40 = 1) 時のTO40の初期値は、ロウ・レベルになります。

備考 方形波出力周期 = $2(256X + N + 1) \times t$: X = 00H-FFH, N = 00H-FFH

7.4.3 キャリア・ジェネレータとしての動作

TM40で生成される任意のキャリア・クロックをTM30に設定した周期で出力できます。
タイマ30, タイマ40をキャリア・ジェネレータとして動作させるには次の設定をします。

TM30, TM40を動作禁止 (TCE30 = 0, TCE40 = 0) に設定

TO40のタイマ出力を禁止に設定 (TOE40 = 0)

CR30, CR40, CRH40にカウント値を設定

タイマ30, タイマ40の動作モードをキャリア・ジェネレータ・モードに設定 (図7-4, 図7-5参照)

タイマ30, タイマ40のカウント・クロックを設定

リモコン出力をキャリア・パルスに設定 (RMC40 (キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40) のビット2) = 0)

NRZB40 (TCA40のビット1) にプログラムによって必要な値を入力する。

NRZ40 (TCA40のビット0) にNRZB40からリロードするまでの値を入力する。

P27を出力モード (PM27 = 0), P27の出力ラッチに0を設定し, TOE40 = 1としてTO40の出力を許可する

TM30, TM40を動作許可 (TCE30 = 1, TCE40 = 1) に設定

★ NRZB40の値を汎用レジスタに退避しておく

★ INTTM30が立ち上がると, NRZB40の値がNRZ40に転送されます。その後, TCA40を8ビット・メモリ操作命令で書き換えます。NRZB40には次回NRZ40に転送する値を入力し, NRZ40には で退避しておいた値を入力します。

★ , の繰り返しにより, 希望するキャリア信号を生成します。

キャリア・ジェネレータの動作は次のようになります。

TM40のカウント値がCR40に設定した値と一致したとき, 割り込み要求信号 (INTTM40) が発生するとともにタイマ40の出力状態が反転します。これによりコンペア・レジスタがCR40 CRH40に切り替わります。

その後, TM40のカウント値がCRH40に設定した値と一致したとき, 割り込み要求信号 (INTTM40) が発生するとともにタイマ40の出力状態が再び反転します。これによりコンペア・レジスタがCRH40 CR40に切り替わります。

, の繰り返しにより, キャリア・クロックが生成されます。

TM30のカウント値がCR30に設定した値と一致したとき, 割り込み要求信号 (INTTM30) が発生します。このINTTM30の立ち上がりエッジがNRZB40のデータ・リロード信号となり, NRZ40へ転送されます。NRZ40が1のとき, キャリア・クロックがTO40端子より出力されます。

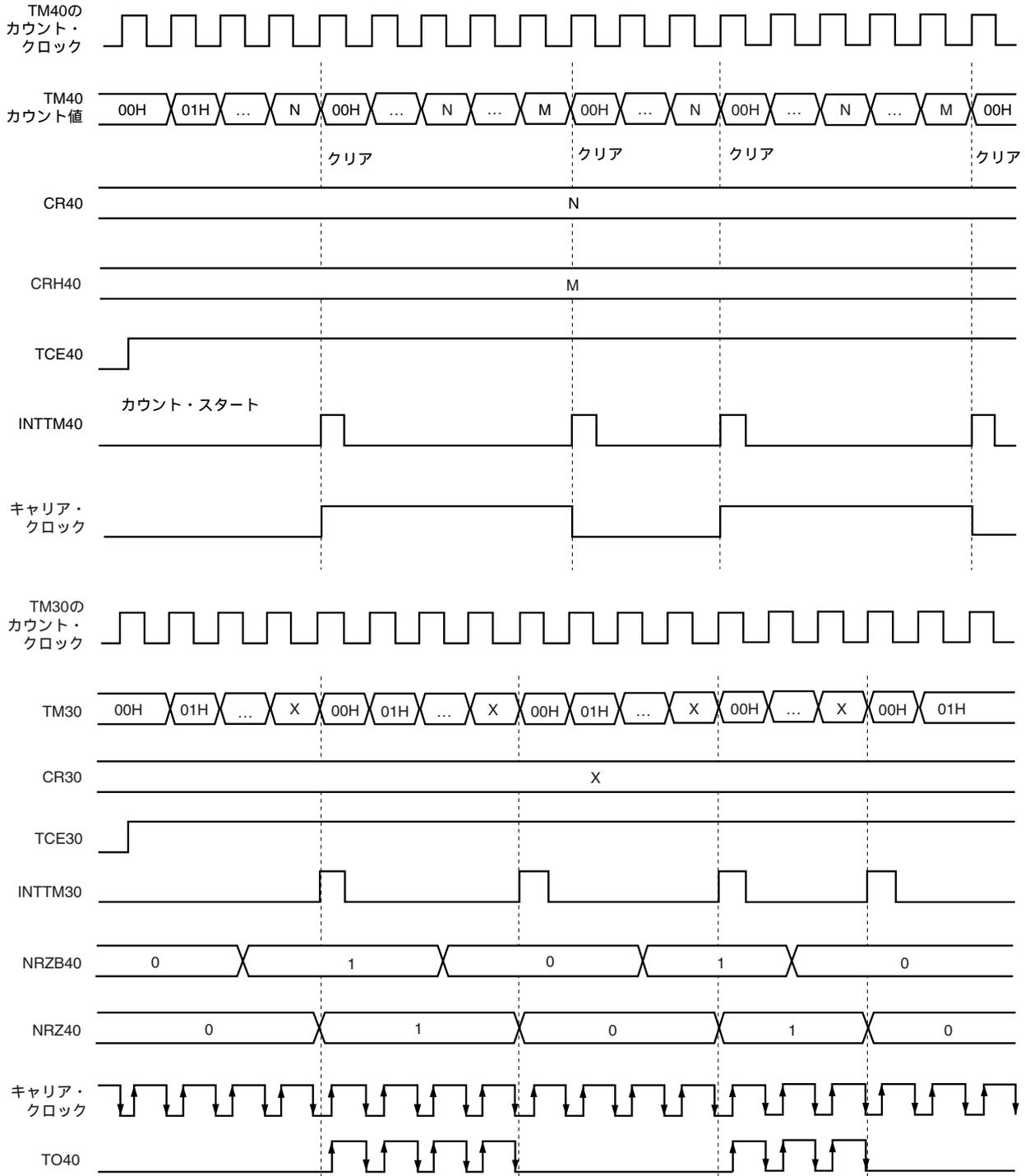
注意1 . TCA40は1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令を使用してください。

- ★ 2 . NRZ40フラグはキャリア・ジェネレータ出力停止 (TOE40 = 0) 時のみ書き換え可能です。TOE40 = 1のときに書き込み命令を実行してもデータは書き換わりません。
- 3 . キャリア・ジェネレータ動作をいったん停止し, その後再度キャリア・ジェネレータ動作にするとき, NRZB40は以前のデータを保持していませんので再設定してください。また, このときも1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令で設定してください。

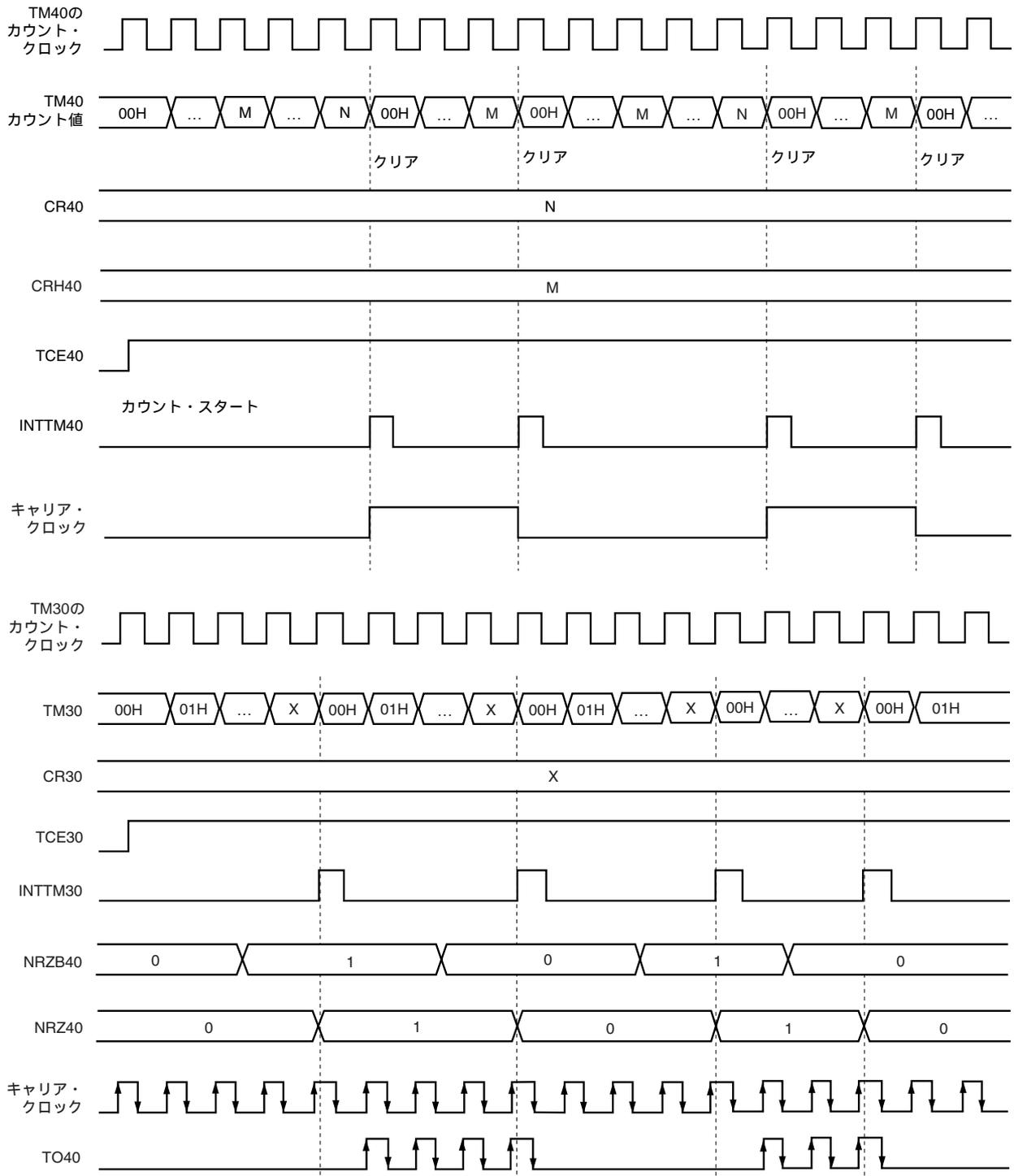
- ★ **注意4 . キャリア・ジェネレータ・モードの動作許可する場合は、事前にコンペア・レジスタ (CR30, CR40, CRH40) に値を設定し、NRZB40フラグとNRZ40フラグに必要な値を入力してから動作開始してください。さもないと、タイマー一致回路の信号が不定となり、NRZ40フラグが不定になってしまいます。**

キャリア・ジェネレータの動作タイミングを図7 - 17 ~ 図7 - 19に示します。

- ★ **図7 - 17 キャリア・ジェネレータの動作タイミング (CR40 = N, CRH40 = M (M > N) 設定時)**

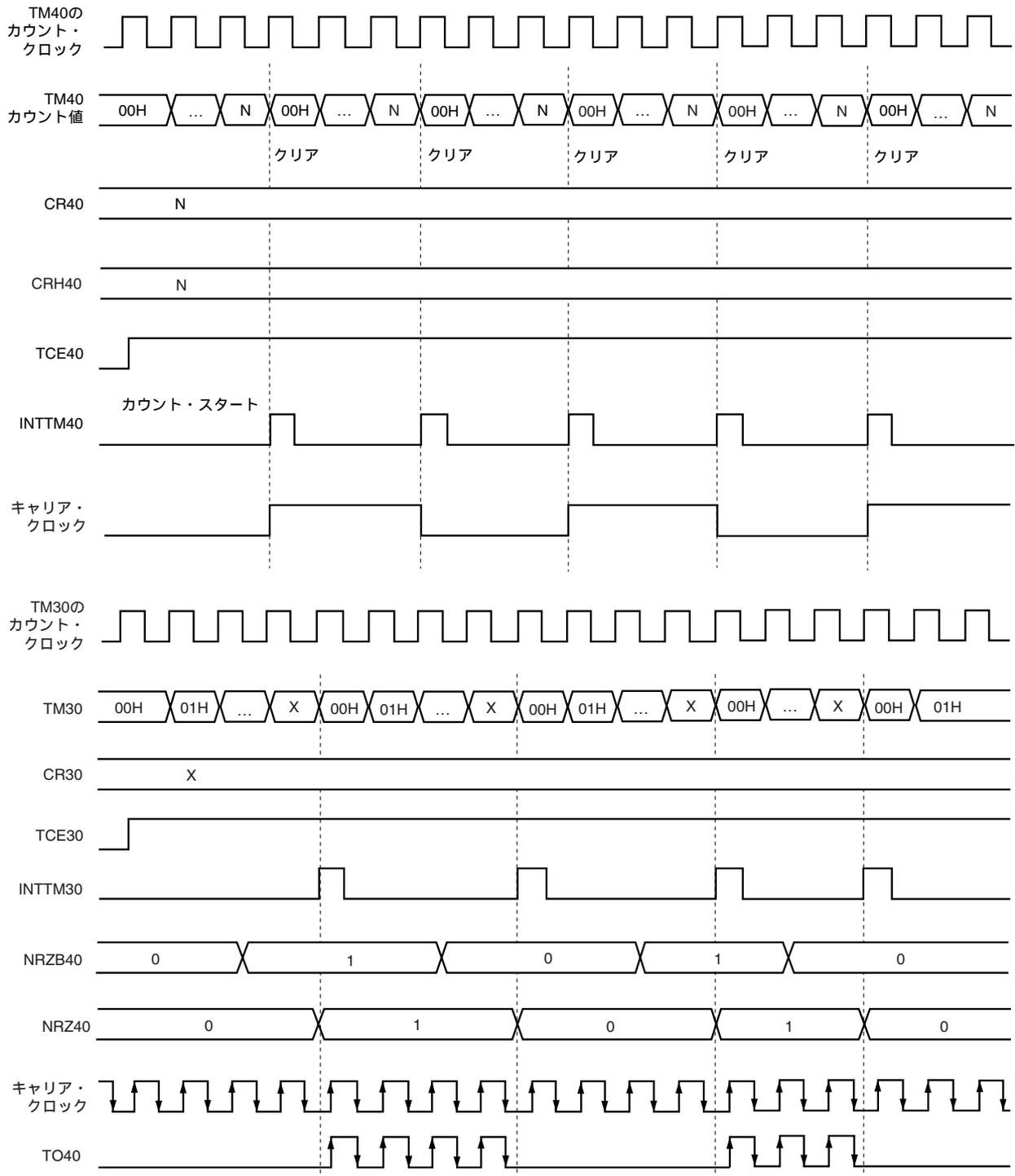


★ 図7-18 キャリア・ジェネレータの動作タイミング (CR40 = N, CRH40 = M (M < N) 設定時)



備考 この図では、キャリア・クロックのハイ・レベル時にNRZ40の値が切り替わった場合の例を示しています。

図7-19 キャリア・ジェネレータの動作タイミング (CR40 = CRH40 = N設定時)



7.4.4 PWM出力モードとしての動作（タイマ40のみ）

PWM出力モードでは、ロウ・レベル幅をCR40で、ハイ・レベル幅をCRH40で設定させることにより、任意のデューティ比のパルスを出力させることができます。

タイマ40をPWM出力モードとして動作させるには次の設定をします。

TM40を動作禁止（TCE40 = 0）に設定

TO40のタイマ出力を禁止（TOE40 = 0）に設定

CR40, CRH40にカウント値を設定

タイマ40の動作モードをキャリア・ジェネレータ・モードに設定（図7 - 5参照）

タイマ40のカウント・クロックを設定

P27を出力モード（PM27 = 0）、P27の出力ラッチに0を設定し、TO40のタイマ出力を許可（TOE40 = 1）に設定

TM40を動作許可（TCE40 = 1）に設定

PWM出力モードの動作は次のようになります。

TM40のカウント値がCR40に設定した値と一致したとき、割り込み要求信号（INTTM40）が発生するとともにタイマ40の出力状態が反転します。これによりコンペア・レジスタがCR40 CRH40に切り替わります。

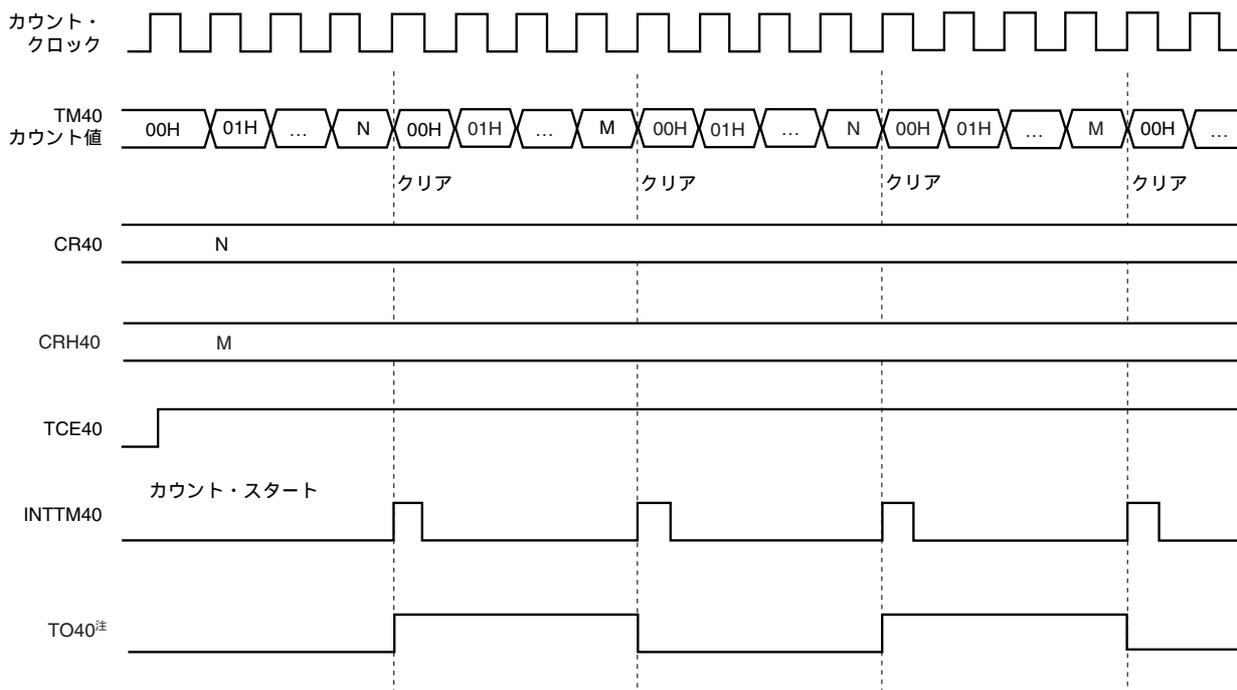
TM40とCR40の一致により、TM40の値が00Hにクリアされ、再びカウントを開始します。

その後、TM40のカウント値がCRH40に設定した値と一致したとき、割り込み要求信号（INTTM40）が発生するとともにタイマ40の出力状態が再び反転します。これによりコンペア・レジスタがCRH40 CR40に切り替わります。

TM40とCRH40の一致により、TM40の値が00Hにクリアされ、再びカウントを開始します。

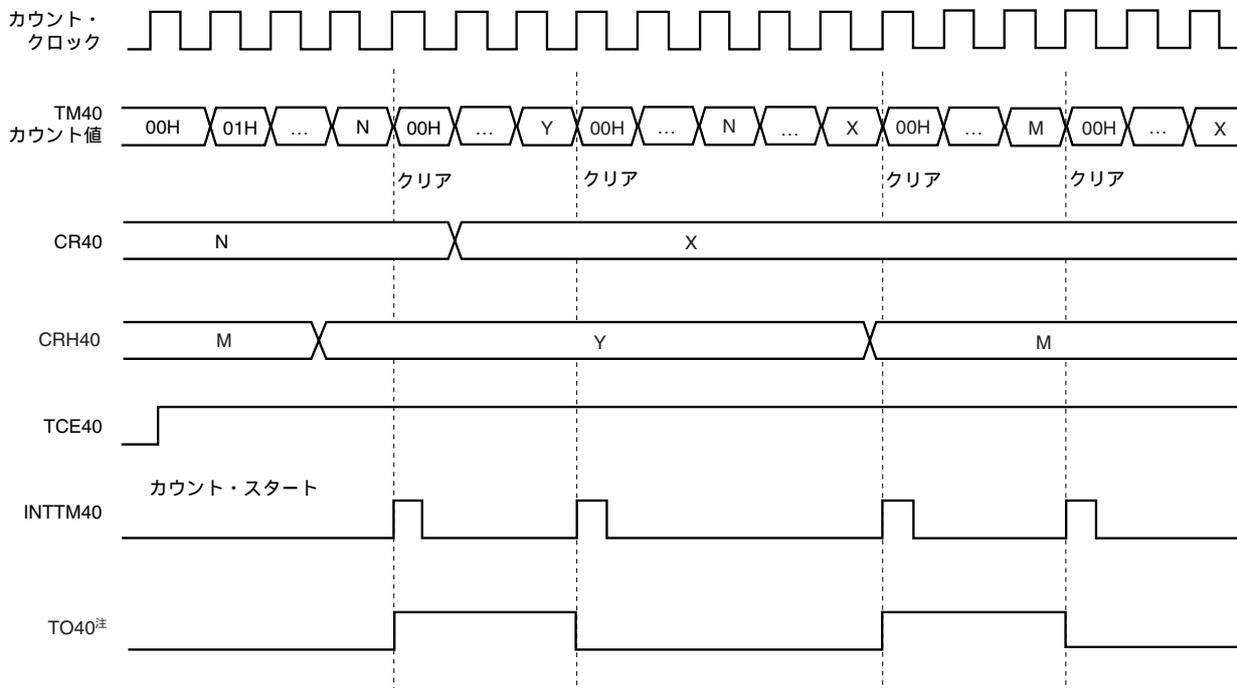
以上の繰り返しにより、任意のデューティ比のパルスを出力させます。PWM出力モードの動作タイミングを図7 - 20、図7 - 21に示します。

図7 - 20 PWM出力モードのタイミング (基本動作)



注 出力許可 (TOE40 = 1) 時のTO40の初期値は、ロウ・レベルになります。

図7 - 21 PWM出力モードのタイミング (CR40, CRH40を書き換えた場合)



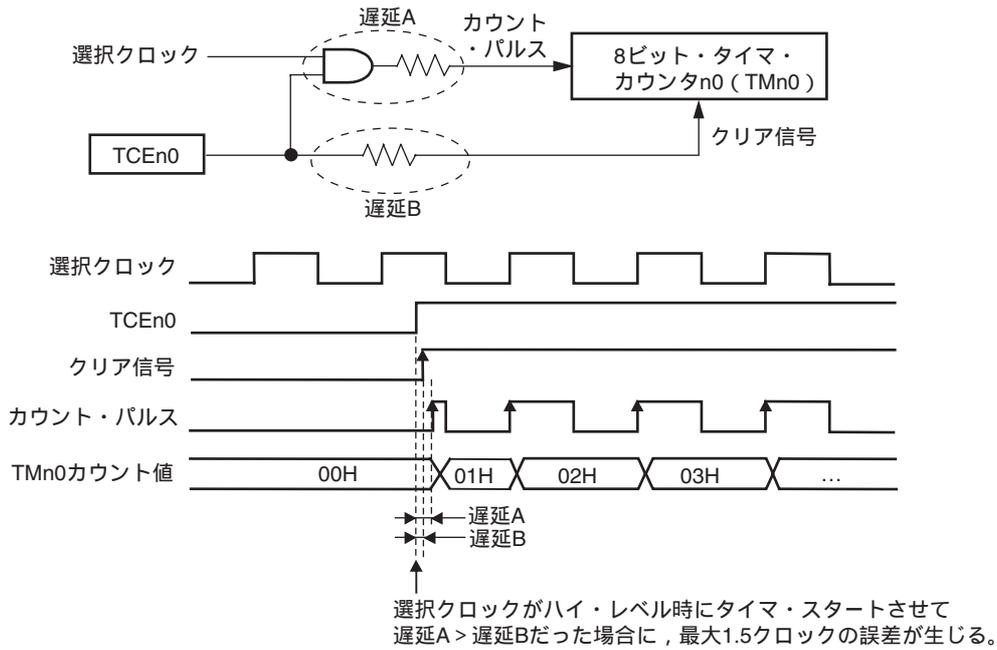
注 出力許可 (TOE40 = 1) 時のTO40の初期値は、ロウ・レベルになります。

7.5 8ビット・タイマ30, 40の注意事項

★ (1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1.5クロック分の誤差が生じます。これは、カウント・クロックがハイ・レベルのときにタイマ・スタートすると、その瞬間に立ち上がりエッジが検出され、カウンタがインクリメントされてしまうことがあるためです。(図7-22参照)

図7-22 1.5クロック(最大)の誤差が出るケース



備考 n = 3, 4

第8章 8ビット・リモコン・タイマ50

8.1 8ビット・リモコン・タイマ50の機能

8ビット・リモコン・タイマ50は、8ビット分解能のパルス幅測定機能を持っています。

タイマをフリーランニングで動作させ、有効エッジを検出したときのカウント値の差からパルス幅を測定します。

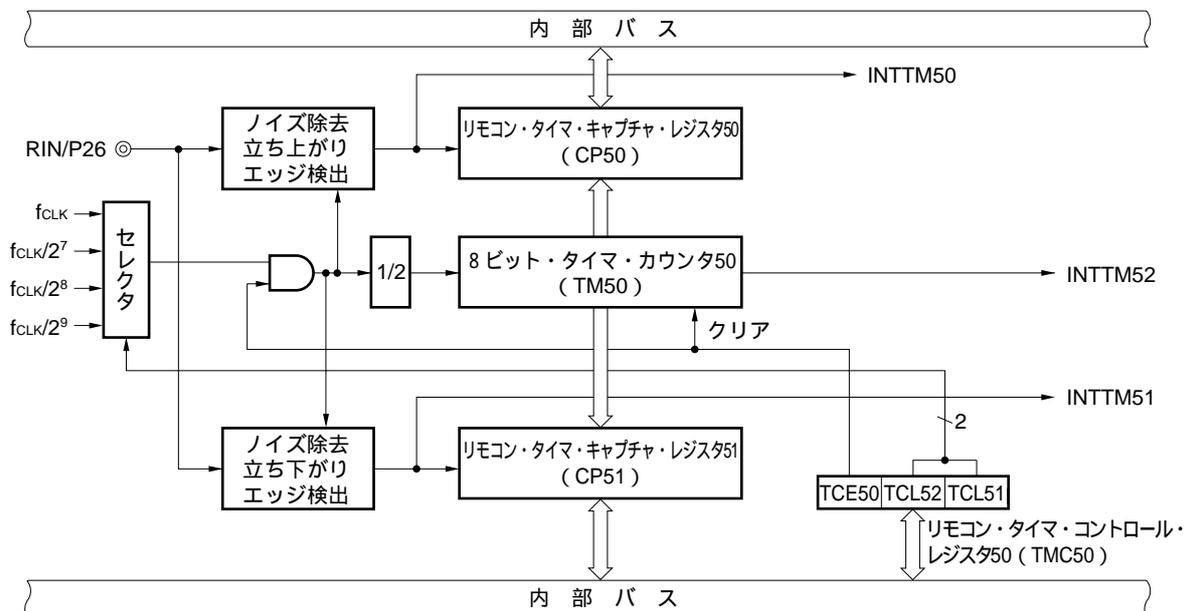
8.2 8ビット・リモコン・タイマ50の構成

8ビット・リモコン・タイマ50は、次のハードウェアで構成されています。

表8-1 8ビット・リモコン・タイマ50の構成

項目	構成
タイマ・カウンタ	8ビット×1本
レジスタ	リモコン・タイマ・キャプチャ・レジスタ：2本 (CP50, CP51)
制御レジスタ	リモコン・タイマ・コントロール・レジスタ50 (TMC50)

図8-1 8ビット・リモコン・タイマ50のブロック図



備考 f_{CLK} : f_xまたはf_{cc}

(1) リモコン・タイマ・キャプチャ・レジスタ (CP50, CP51)

8ビット・タイマ・カウンタ50 (TM50) の内容をキャプチャする8ビットのレジスタです。

キャプチャ動作は、RIN端子への有効エッジ入力(キャプチャ・トリガ)に同期します。CP50の内容は、RIN端子の次の立ち上がりエッジを検出するまで保持されます。CP51の内容は、RIN端子の次の立ち下がりエッジを検出するまで保持されます。

CP50, CP51は、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(2) 8ビット・タイマ・カウンタ50 (TM50)

カウント・パルスをカウントする8ビットのレジスタです。

TM50は、 $\overline{\text{RESET}}$ 入力、またはTCE50ビットのクリアで00Hになります。

8.3 8ビット・リモコン・タイマ50を制御するレジスタ

8ビット・リモコン・タイマは、次のレジスタで制御します。

(1) リモコン・タイマ・コントロール・レジスタ50 (TMC50)

8ビット・タイマ・カウンタ50 (TM50) の動作許可/禁止、カウント・クロックを設定するレジスタです。

TMC50は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図8-2 リモコン・タイマ・コントロール・レジスタ50のフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC50	TCE50	0	0	0	0	0	TCL501	TCL500	FF54H	00H	R/W

TCE50	TM50のカウント動作制御
0	カウンタを0にクリア後、動作停止
1	カウント動作開始

TCL501	TCL500	TM50のカウント・クロックの選択	
		$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 2.0 \text{ MHz}$ 動作時
0	0	$f_x/2^{10}$ (4.88 kHz)	$f_{cc}/2^{10}$ (1.95 kHz)
0	1	$f_x/2^9$ (9.77 kHz)	$f_{cc}/2^9$ (3.91 kHz)
1	0	$f_x/2^8$ (19.5 kHz)	$f_{cc}/2^8$ (7.81 kHz)
1	1	$f_x/2$ (2.5 MHz)	$f_{cc}/2$ (1.0 MHz)

注意1. ビット2-6には必ず0を設定してください。

2. カウント・クロックを変更する場合は、必ずタイマ動作を停止 (TCE50 = 0) させたのちに行ってください。

備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{cc} : メイン・システム・クロック発振周波数 (RC発振)

8.4 8ビット・リモコン・タイマ50の動作

8ビット・リモコン・タイマ50は、パルス幅測定回路として動作します。

パルス幅測定は、RIN端子に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。測定方法は、8ビット・タイマ・カウンタ50 (TM50) をフリーランニングさせて測定します。

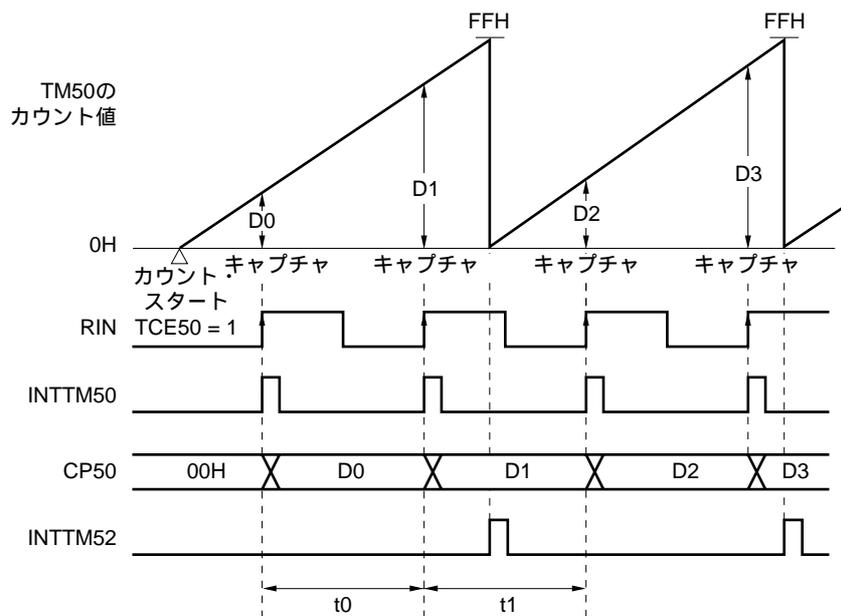
有効エッジの検出は、TCL500, TCL501で選択したカウント・クロックの2周期ごとにサンプリングを行い、2回有効レベルを検出することで始めてキャプチャ動作を行うため、短いパルス幅のノイズを検出できます。したがって、RIN端子に入力するパルス幅は、ハイ・レベル、ロウ・レベルともTCL500, TCL501で設定したカウント・クロックの5クロック以上必要で、これ以下の場合には有効エッジが検出されず、キャプチャ動作を行いません。

図8-3に示すように、RIN端子に入力されるパルスの有効エッジに同期して、カウント中のタイマ・カウンタ50 (TM50) の値をキャプチャ・レジスタ (CP50, CP51) に取り込み、保持します。

図8-3に、パルス幅測定のタイミングを示します。

図8-3 パルス幅測定のタイミング (1/2)

(1) 立ち上がりエッジに同期してパルス幅を測定する場合



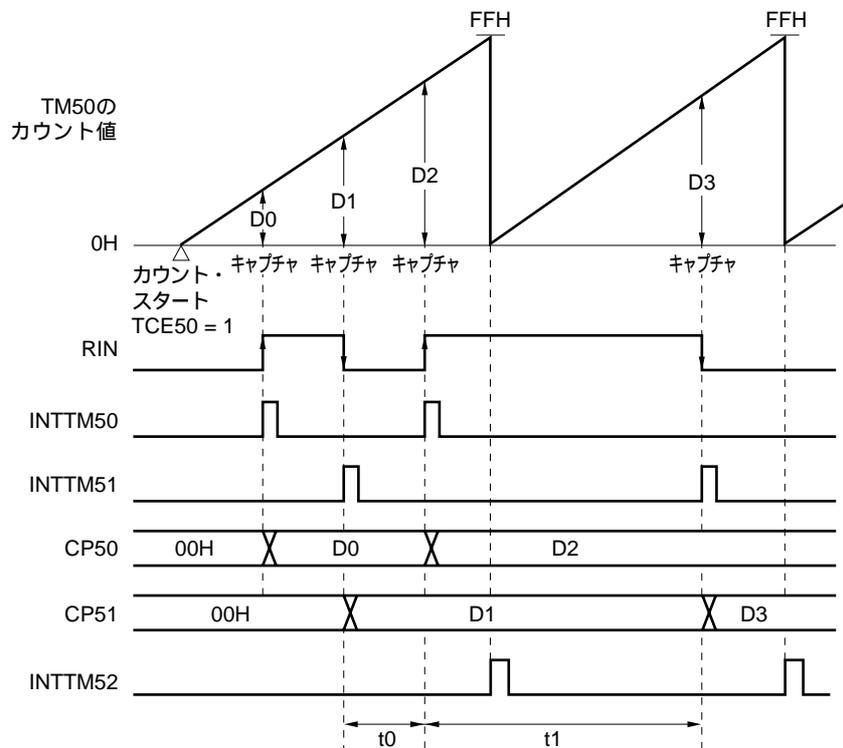
備考 $t_0 = (D1 - D0) \times 1/f_{\text{COUNT}}$

$t_1 = (100H - D1 + D2) \times 1/f_{\text{COUNT}}$

f_{COUNT} : TCL500, TCL501で設定したカウント・クロック周波数

図8 - 3 パルス幅測定のタイミング (2/2)

(2) 立ち上がり、立ち下りの両エッジに同期してパルス幅を測定する場合



備考 $t_0 = (D_2 - D_1) \times 1/f_{\text{COUNT}}$

$t_1 = (100H - D_2 + D_3) \times 1/f_{\text{COUNT}}$

f_{COUNT} : TCL500, TCL501で設定したカウント・クロック周波数

第9章 サウンド・ジェネレータ

★ 9.1 サウンド・ジェネレータの機能

コンペア・レジスタとタイマ・カウンタの一致により割り込みを発生し、そのタイミングで、選択した周波数のキャリア・クロックの出力オン/オフを制御します。これにより、ブザー出力端子に設定した端子にブザー素子を接続して、任意の周波数の音を鳴らすことができます。

- ・ 音量：10段階
- ・ 音階：3オクターブ (図9 - 4参照)

9.2 サウンド・ジェネレータの構成

表9 - 1 サウンド・ジェネレータの構成

項 目	構 成
タイマ・カウンタ	8ビット×1本 (TMSG0)
レジスタ	コンペア・レジスタ：8ビット×1本 (CRSG0)
制御レジスタ	サウンド・ジェネレータ用周波数設定レジスタ00 (SGFC00) キャリア・ジェネレータ出力コントロール・レジスタSG0 (TCASG0) 8ビット・タイマ・モード・コントロール・レジスタSG0 (TMCSG0) P3ファンクション・レジスタ (PF3)

図9-1 サウンド・ジェネレータのブロック図 (1/2)

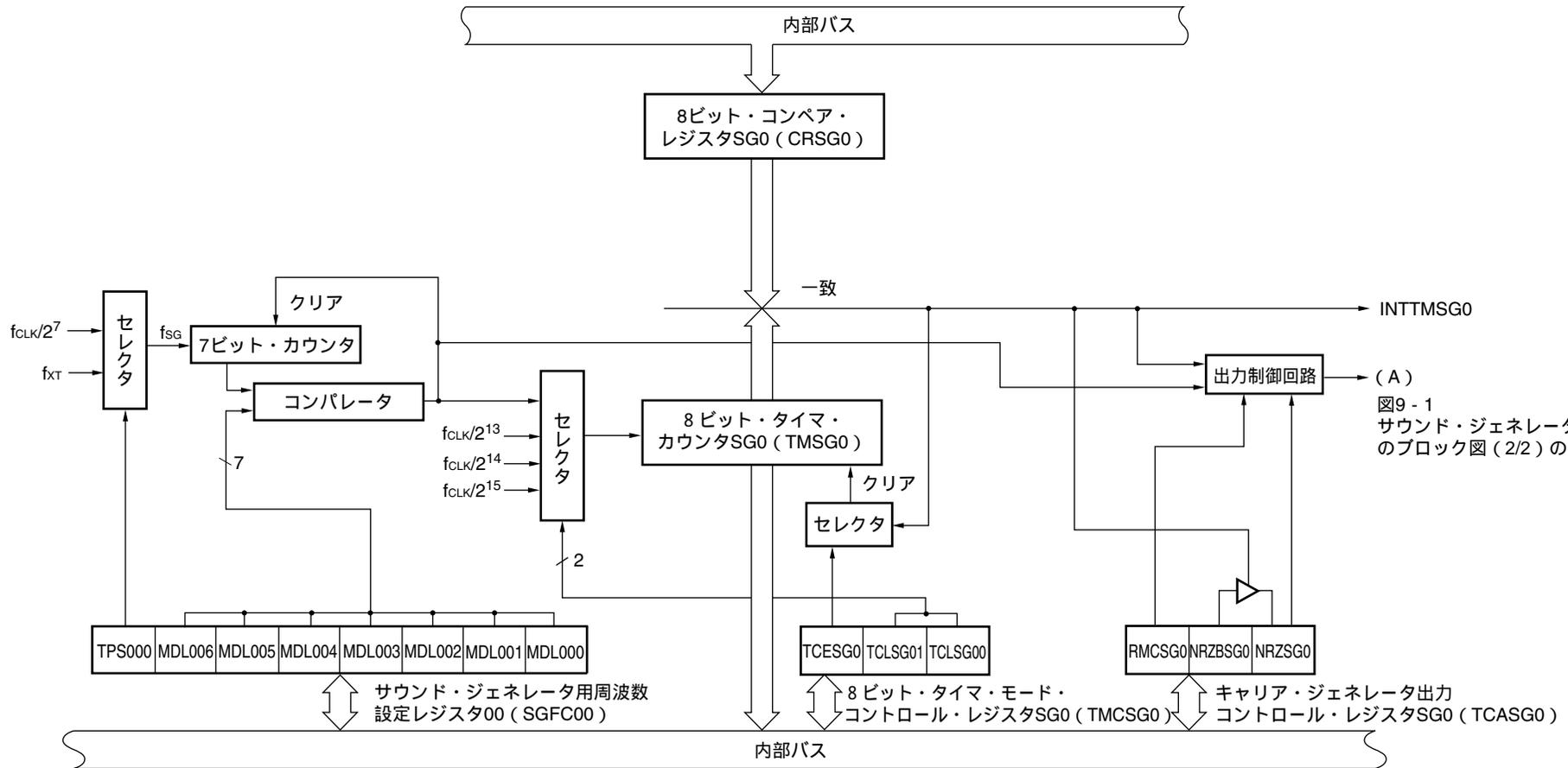
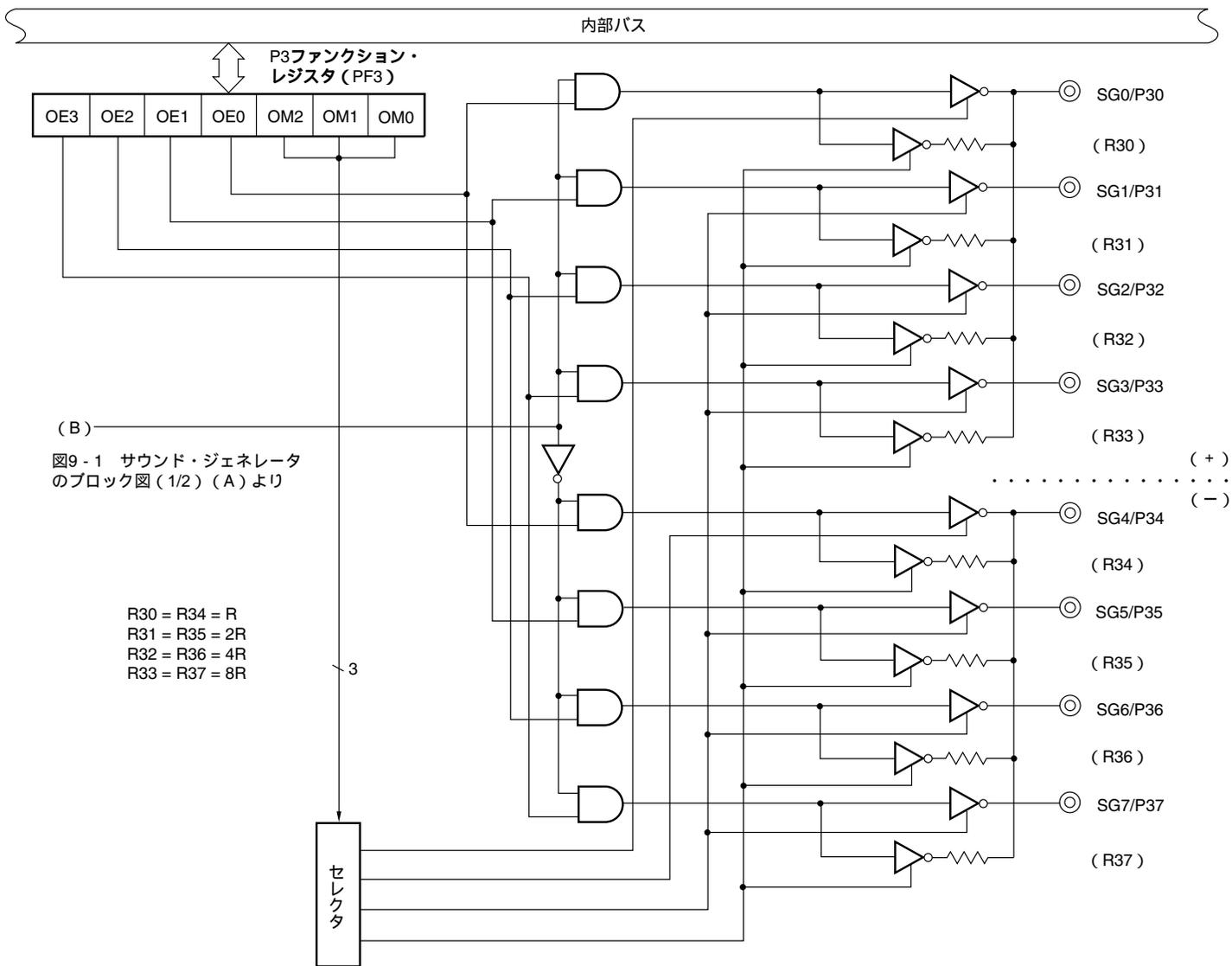


図9-1
サウンド・ジェネレータ
のブロック図 (2/2) の (B) へ

備考 fCLK : fxまたはfcc

図9 - 1 サウンド・ジェネレータのブロック図 (2/2)



(B)
図9 - 1 サウンド・ジェネレータ
のブロック図 (1/2) (A) より

R30 = R34 = R
R31 = R35 = 2R
R32 = R36 = 4R
R33 = R37 = 8R

(1) 8ビット・コンペア・レジスタSG0 (CRSG0)

CRSG0に設定した値と8ビット・タイマ・カウンタSG0 (TMSG0) のカウント値を常に比較し、一致したときに割り込み要求 (INTTMSG0) を発生する8ビットのレジスタです。

CRSG0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(2) 8ビット・タイマ・カウンタSG0 (TMSG0)

カウント・パルスをカウントする8ビットのレジスタです。

TMSG0は、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

9.3 サウンド・ジェネレータを制御するレジスタ

サウンド・ジェネレータは、次の4種類のレジスタで制御します。

- ・8ビット・タイマ・モード・コントロール・レジスタSG0 (TMCSG0)
- ・キャリア・ジェネレータ出力コントロール・レジスタSG0 (TCASG0)
- ・サウンド・ジェネレータ用周波数設定レジスタ00 (SGFC00)
- ・P3ファンクション・レジスタ (PF3)

(1) 8ビット・タイマ・モード・コントロール・レジスタSG0 (TMCSG0)

8ビット・タイマ・モード・コントロール・レジスタSG0 (TMCSG0) は、8ビット・タイマ・カウンタSG0 (TMSG0) の動作許可/停止とカウント・クロックを設定するレジスタです。

TMCSG0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図9-2 8ビット・タイマ・モード・コントロール・レジスタSG0のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMCSG0	TCESG0	0	0	TCLSG01	TCLSG00	0	0	0	FF6BH	00H	R/W

TCESG0	TMSG0のカウント動作の制御	
0	TMSG0のカウント値をクリアし、動作停止	
1	カウント動作開始	

TCLSG01	TCLSG00	TMSG0のカウント・クロックの選択	
		fx = 5.0 MHz動作時	fcc = 2.0 MHz動作時
0	0	fx/2 ¹³ (610 Hz)	fcc/2 ¹³ (244 Hz)
0	1	fx/2 ¹⁴ (305 Hz)	fcc/2 ¹⁴ (122 Hz)
1	0	fx/2 ¹⁵ (152 Hz)	fcc/2 ¹⁵ (61 Hz)
1	1	SGFC00レジスタで設定したキャリア・クロック	

備考1. fx : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. fcc : メイン・システム・クロック発振周波数 (RC発振)

(2) キャリア・ジェネレータ出力コントロール・レジスタSG0 (TCASG0)

キャリア・ジェネレータ出力データを設定するレジスタです。

TCASG0は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

★ 図9-3 キャリア・ジェネレータ出力コントロール・レジスタSG0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCASG0	0	0	0	0	0	RMCSG0	NRZBSG0	NRZSG0	FF6CH	00H	W

RMCSG0	NRZSG0	サウンド出力の制御	
		出力データ	
0	0	サウンド出力許可	ロウ・レベル出力 (キャリア出力停止)
	1		SGFC00レジスタで設定したキャリア出力
1	0	サウンド出力禁止	ロウ・レベル出力
	1		ハイ・レベル出力

NRZBSG0	次に出力するNRZSG0のデータを格納するレジスタ。TMSG0とCRSG0の一致信号発生時、NRZSG0にデータを転送します。
---------	---

注意 ビット3-7には、必ず0を設定してください。

(3) サウンド・ジェネレータ用周波数設定レジスタ00 (SGFC00)

サウンド・ジェネレータ用の周波数を設定するレジスタです。

SGFC00は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図9-4 サウンド・ジェネレータ用周波数設定レジスタ00のフォーマット (1/5)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SGFC00	TPS000	MDL006	MDL005	MDL004	MDL003	MDL002	MDL001	MDL000	FF6DH	00H	R/W

TPS000	7ビット・カウンタのソース・クロック (f _{SG}) の選択	
	f _x = 5.0 MHz動作時, f _{xT} = 32.768 kHz動作時	f _{cc} = 2.0 MHz動作時, f _{xT} = 32.768 kHz動作時
0	f _{xT} (32.768 kHz)	
1	f _x /2 ⁷ (39.1 kHz)	f _{cc} /2 ⁷ (15.6 kHz)

- 備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)
 2. f_{cc} : メイン・システム・クロック発振周波数 (RC発振)
 3. f_{xT} : サブシステム・クロック発振周波数

図9 - 4 サウンド・ジェネレータ用周波数設定レジスタ00のフォーマット (2/5)

MDL006	MDL005	MDL004	MDL003	MDL002	MDL001	MDL000	サウンド・ジェネレータ用の周波数設定
0	0	0	0	0	0	0	f _{SG} (32.768 kHz)
0	0	0	0	0	0	1	f _{SG} /2 (16.384 kHz)
0	0	0	0	0	1	0	f _{SG} /3 (10.923 kHz)
0	0	0	0	0	1	1	f _{SG} /4 (8.192 kHz)
0	0	0	0	1	0	0	f _{SG} /5 (6.554 kHz)
0	0	0	0	1	0	1	f _{SG} /6 (5.461 kHz)
0	0	0	0	1	1	0	f _{SG} /7 (4.681 kHz)
0	0	0	0	1	1	1	f _{SG} /8 (4.096 kHz)
0	0	0	1	0	0	0	f _{SG} /9 (3.641 kHz)
0	0	0	1	0	0	1	f _{SG} /10 (3.277 kHz)
0	0	0	1	0	1	0	f _{SG} /11 (2.979 kHz)
0	0	0	1	0	1	1	f _{SG} /12 (2.731 kHz)
0	0	0	1	1	0	0	f _{SG} /13 (2.521 kHz)
0	0	0	1	1	0	1	f _{SG} /14 (2.341 kHz)
0	0	0	1	1	1	0	f _{SG} /15 (2.185 kHz)
0	0	0	1	1	1	1	f _{SG} /16 (2.048 kHz) (ド)
0	0	1	0	0	0	0	f _{SG} /17 (1.928 kHz) (シ)
0	0	1	0	0	0	1	f _{SG} /18 (1.820 kHz)
0	0	1	0	0	1	0	f _{SG} /19 (1.725 kHz) (ラ)
0	0	1	0	0	1	1	f _{SG} /20 (1.638 kHz)
0	0	1	0	1	0	0	f _{SG} /21 (1.560 kHz) (ソ)
0	0	1	0	1	0	1	f _{SG} /22 (1.489 kHz)
0	0	1	0	1	1	0	f _{SG} /23 (1.425 kHz)
0	0	1	0	1	1	1	f _{SG} /24 (1.365 kHz) (ファ)
0	0	1	1	0	0	0	f _{SG} /25 (1.311 kHz) (ミ)
0	0	1	1	0	0	1	f _{SG} /26 (1.260 kHz)
0	0	1	1	0	1	0	f _{SG} /27 (1.214 kHz)
0	0	1	1	0	1	1	f _{SG} /28 (1.170 kHz) (レ)
0	0	1	1	1	0	0	f _{SG} /29 (1.130 kHz)
0	0	1	1	1	0	1	f _{SG} /30 (1.092 kHz)
0	0	1	1	1	1	0	f _{SG} /31 (1.057 kHz) (ド)
0	0	1	1	1	1	1	f _{SG} /32 (1.024 kHz)

備考1. f_{SG} : 7ビット・カウンタのソース・クロック周波数

2. () 内は, f_{SG} = f_{XT} (32.768 kHz) を選択したときの値

図9 - 4 サウンド・ジェネレータ用周波数設定レジスタ00のフォーマット (3/5)

MDL006	MDL005	MDL004	MDL003	MDL002	MDL001	MDL000	サウンド・ジェネレータ用の周波数設定
0	1	0	0	0	0	0	f _{SG} /33 (993 Hz)
0	1	0	0	0	0	1	f _{SG} /34 (964 Hz)
0	1	0	0	0	1	0	f _{SG} /35 (936 Hz)
0	1	0	0	0	1	1	f _{SG} /36 (910 Hz)
0	1	0	0	1	0	0	f _{SG} /37 (886 Hz)
0	1	0	0	1	0	1	f _{SG} /38 (862 Hz)
0	1	0	0	1	1	0	f _{SG} /39 (840 Hz)
0	1	0	0	1	1	1	f _{SG} /40 (819 Hz)
0	1	0	1	0	0	0	f _{SG} /41 (799 Hz)
0	1	0	1	0	0	1	f _{SG} /42 (780 Hz)
0	1	0	1	0	1	0	f _{SG} /43 (762 Hz)
0	1	0	1	0	1	1	f _{SG} /44 (745 Hz)
0	1	0	1	1	0	0	f _{SG} /45 (728 Hz)
0	1	0	1	1	0	1	f _{SG} /46 (712 Hz)
0	1	0	1	1	1	0	f _{SG} /47 (697 Hz)
0	1	0	1	1	1	1	f _{SG} /48 (683 Hz)
0	1	1	0	0	0	0	f _{SG} /49 (669 Hz)
0	1	1	0	0	0	1	f _{SG} /50 (655 Hz)
0	1	1	0	0	1	0	f _{SG} /51 (643 Hz)
0	1	1	0	0	1	1	f _{SG} /52 (630 Hz)
0	1	1	0	1	0	0	f _{SG} /53 (618 Hz)
0	1	1	0	1	0	1	f _{SG} /54 (607 Hz)
0	1	1	0	1	1	0	f _{SG} /55 (596 Hz)
0	1	1	0	1	1	1	f _{SG} /56 (585 Hz)
0	1	1	1	0	0	0	f _{SG} /57 (575 Hz)
0	1	1	1	0	0	1	f _{SG} /58 (565 Hz)
0	1	1	1	0	1	0	f _{SG} /59 (555 Hz)
0	1	1	1	0	1	1	f _{SG} /60 (546 Hz)
0	1	1	1	1	0	0	f _{SG} /61 (537 Hz)
0	1	1	1	1	0	1	f _{SG} /62 (529 Hz)
0	1	1	1	1	1	0	f _{SG} /63 (520 Hz)
0	1	1	1	1	1	1	f _{SG} /64 (512 Hz)

備考1. f_{SG} : 7ビット・カウンタのソース・クロック周波数

2. () 内は, f_{SG} = f_{XT} (32.768 kHz) を選択したときの値

図9 - 4 サウンド・ジェネレータ用周波数設定レジスタ00のフォーマット (4/5)

MDL006	MDL005	MDL004	MDL003	MDL002	MDL001	MDL000	サウンド・ジェネレータ用の周波数設定
1	0	0	0	0	0	0	f _{SG} /65 (504 Hz)
1	0	0	0	0	0	1	f _{SG} /66 (496 Hz)
1	0	0	0	0	1	0	f _{SG} /67 (489 Hz)
1	0	0	0	0	1	1	f _{SG} /68 (482 Hz)
1	0	0	0	1	0	0	f _{SG} /69 (475 Hz)
1	0	0	0	1	0	1	f _{SG} /70 (468 Hz)
1	0	0	0	1	1	0	f _{SG} /71 (462 Hz)
1	0	0	0	1	1	1	f _{SG} /72 (455 Hz)
1	0	0	1	0	0	0	f _{SG} /73 (449 Hz)
1	0	0	1	0	0	1	f _{SG} /74 (443 Hz)
1	0	0	1	0	1	0	f _{SG} /75 (437 Hz)
1	0	0	1	0	1	1	f _{SG} /76 (431 Hz)
1	0	0	1	1	0	0	f _{SG} /77 (426 Hz)
1	0	0	1	1	0	1	f _{SG} /78 (420 Hz)
1	0	0	1	1	1	0	f _{SG} /79 (415 Hz)
1	0	0	1	1	1	1	f _{SG} /80 (410 Hz)
1	0	1	0	0	0	0	f _{SG} /81 (405 Hz)
1	0	1	0	0	0	1	f _{SG} /82 (400 Hz)
1	0	1	0	0	1	0	f _{SG} /83 (395 Hz)
1	0	1	0	0	1	1	f _{SG} /84 (390 Hz)
1	0	1	0	1	0	0	f _{SG} /85 (386 Hz)
1	0	1	0	1	0	1	f _{SG} /86 (381 Hz)
1	0	1	0	1	1	0	f _{SG} /87 (377 Hz)
1	0	1	0	1	1	1	f _{SG} /88 (372 Hz)
1	0	1	1	0	0	0	f _{SG} /89 (368 Hz)
1	0	1	1	0	0	1	f _{SG} /90 (364 Hz)
1	0	1	1	0	1	0	f _{SG} /91 (360 Hz)
1	0	1	1	0	1	1	f _{SG} /92 (356 Hz)
1	0	1	1	1	0	0	f _{SG} /93 (352 Hz)
1	0	1	1	1	0	1	f _{SG} /94 (349 Hz)
1	0	1	1	1	1	0	f _{SG} /95 (345 Hz)
1	0	1	1	1	1	1	f _{SG} /96 (341 Hz)

備考1. f_{SG} : 7ビット・カウンタのソース・クロック周波数

2. () 内は, f_{SG} = f_{XT} (32.768 kHz) を選択したときの値

図9 - 4 サウンド・ジェネレータ用周波数設定レジスタ00のフォーマット (5/5)

MDL006	MDL005	MDL004	MDL003	MDL002	MDL001	MDL000	サウンド・ジェネレータ用の周波数設定
1	1	0	0	0	0	0	f _{SG} /97 (338 Hz)
1	1	0	0	0	0	1	f _{SG} /98 (334 Hz)
1	1	0	0	0	1	0	f _{SG} /99 (331 Hz)
1	1	0	0	0	1	1	f _{SG} /100 (328 Hz)
1	1	0	0	1	0	0	f _{SG} /101 (324 Hz)
1	1	0	0	1	0	1	f _{SG} /102 (321 Hz)
1	1	0	0	1	1	0	f _{SG} /103 (318 Hz)
1	1	0	0	1	1	1	f _{SG} /104 (315 Hz)
1	1	0	1	0	0	0	f _{SG} /105 (312 Hz)
1	1	0	1	0	0	1	f _{SG} /106 (309 Hz)
1	1	0	1	0	1	0	f _{SG} /107 (306 Hz)
1	1	0	1	0	1	1	f _{SG} /108 (303 Hz)
1	1	0	1	1	0	0	f _{SG} /109 (300 Hz)
1	1	0	1	1	0	1	f _{SG} /110 (298 Hz)
1	1	0	1	1	1	0	f _{SG} /111 (295 Hz)
1	1	0	1	1	1	1	f _{SG} /112 (293 Hz)
1	1	1	0	0	0	0	f _{SG} /113 (290 Hz)
1	1	1	0	0	0	1	f _{SG} /114 (287 Hz)
1	1	1	0	0	1	0	f _{SG} /115 (285 Hz)
1	1	1	0	0	1	1	f _{SG} /116 (282 Hz)
1	1	1	0	1	0	0	f _{SG} /117 (280 Hz)
1	1	1	0	1	0	1	f _{SG} /118 (278 Hz)
1	1	1	0	1	1	0	f _{SG} /119 (275 Hz)
1	1	1	0	1	1	1	f _{SG} /120 (273 Hz)
1	1	1	1	0	0	0	f _{SG} /121 (271 Hz)
1	1	1	1	0	0	1	f _{SG} /122 (269 Hz)
1	1	1	1	0	1	0	f _{SG} /123 (266 Hz)
1	1	1	1	0	1	1	f _{SG} /124 (264 Hz)
1	1	1	1	1	0	0	f _{SG} /125 (262 Hz)
1	1	1	1	1	0	1	f _{SG} /126 (260 Hz)
1	1	1	1	1	1	0	f _{SG} /127 (258 Hz)
1	1	1	1	1	1	1	f _{SG} /128 (256 Hz)

備考1. f_{SG} : 7ビット・カウンタのソース・クロック周波数

2. () 内は, f_{SG} = f_{XT} (32.768 kHz) を選択したときの値

(4) P3ファンクション・レジスタ (PF3)

P3ファンクション・レジスタ (PF3) は、サウンド・ジェネレータのブザー出力端子を設定するレジスタです。

PF3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

★ 図9 - 5 P3ファンクション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PF3	OE3	OE2	OE1	OE0	0	OM2	OM1	OM0	FF53H	00H	R/W

OEn	P30/SG0-P37/SG7の出力の制御
0	SGn, SGn+4端子の出力禁止
1	SGn, SGn+4端子の出力許可

OM2	OM1	OM0	P30/SG0-P37/SG7の出力モードの選択
0	0	0	汎用ポート・モード (P30-P37)
0	0	1	ブザー・モード0 P30/SG0をブザー出力として使用します。 残りのP31/SG1-P37/SG7は、通常の汎用ポートとして使用します。
0	1	0	ブザー・モード1 P30/SG0とP34/SG4をブザー出力として使用します。 P34/SG4は、P30/SG0の反転したレベルを出力します。 P30/SG0-P37/SG7の内部抵抗は使用しません。 残りのP31/SG1-P33/SG3, P35/SG5-P37/SG7は、通常の汎用ポートとして使用します。
0	1	1	ブザー・モード2 P30/SG0とP34/SG4をブザー出力として使用します。 P34/SG4は、P30/SG0の反転したレベルを出力します。 P30/SG0-P37/SG7の内部抵抗を使用します。 残りのP31/SG1-P33/SG3, P35/SG5-P37/SG7は、通常の汎用ポートとして使用します。
1	0	0	ブザー・モード3 P30/SG0-P37/SG7をブザー出力として使用します。 P34/SG4はP30/SG0の反転したレベル、P35/SG5はP31/SG1の反転したレベル、 P36/SG6はP32/SG2の反転したレベル、P37/SG7はP33/SG3の反転したレベルをそれぞれ出力します。 P30/SG0-P37/SG7の内部抵抗は使用しません (要外部抵抗)。
上記以外			設定禁止

備考1. n : 0-3

2. 各モードの詳細な説明は、9.5 サウンド・ジェネレータの出力モードを参照してください。

★ 9.4 サウンド・ジェネレータの設定

9.4.1 サウンド・ジェネレータの基本動作

このサウンド・ジェネレータは、外部にブザー回路を接続することにより、さまざまな周波数の音（ブザー）を鳴らすことができます。

- ・ 音量：10段階
- ・ 音階：3オクターブ（図9 - 4参照）

サウンド・ジェネレータとして動作させるには次の設定をします。

TMSG0を動作停止（TCESG0 = 0）に設定

SG0-SG7出力を禁止（OE0-OE3 = 0）に設定

CRSG0にカウント値を設定

OM0-OM2で、SG0-SG7の出力モードを設定（図9 - 5参照）

SGFC00で、キャリア・クロックのソース・クロックと、出力したい音の周波数を設定（図9 - 4参照）

TMSG0のカウント・クロックをキャリア・クロック（TCLSG00 = 1, TCLSG01 = 1）に設定（図9 - 2参照）

サウンド出力許可に設定（RMCSG0（キャリア・ジェネレータ出力コントロール・レジスタSG0（TCASG0）のビット2）= 0）

NRZBSG0（TCASG0のビット1）にプログラムによって必要な値を入力する

NRZSG0（TCASG0のビット0）にNRZBSG0からリロードするまでの値を入力する

ブザー出力として使用するSGn端子を出力モード（PM3n = 0, P3n = 0）に設定し、OE0-OE3によりSGnの出力を許可する（n：0-7）

TMSG0を動作許可（TCESG0 = 1）に設定

NRZBSG0の値を汎用レジスタに退避しておく

INTTMSG0が立ち上がると、NRZBSG0の値がNRZSG0に転送されます。その後、TCASG0を8ビット・メモリ操作命令で書き換えます。NRZBSG0には次回NRZSG0に転送する値を入力し、NRZSG0には退避しておいた値を入力します。

、 の繰り返しにより、希望するキャリア信号を生成します。

サウンド・ジェネレータの動作は次のようになります。

SGFC00で設定した周波数のキャリア・クロックが生成されます。

TMSG0のカウント値がCRSG0に設定した値と一致したとき、割り込み要求信号（INTTMSG0）が発生します。このINTTMSG0の立ち上がりエッジがNRZBSG0のデータ・リロード信号となり、NRZSG0へ転送されます。

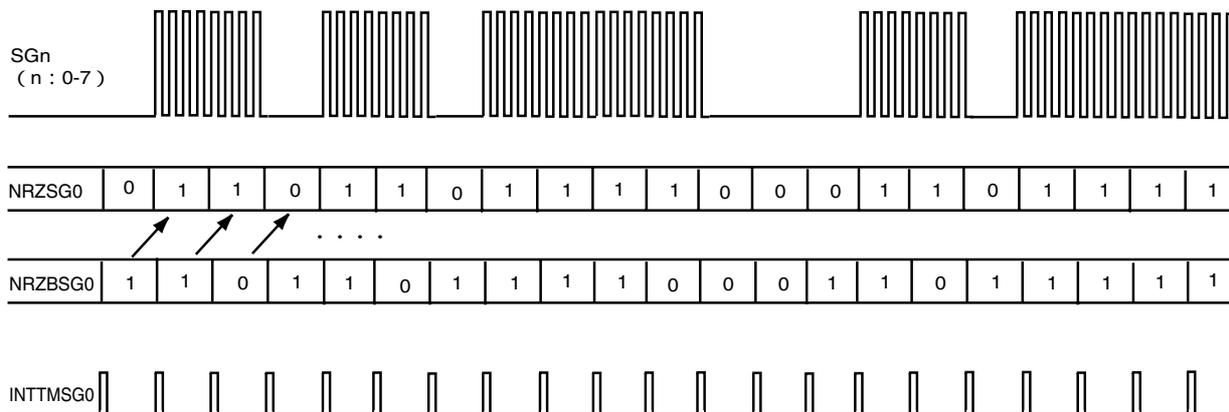
NRZSG0の値が、"1"の期間ではキャリア・クロックが、"0"の期間ではロウ・レベルが、サウンド・ジェネレータ端子（SGn）より出力されます。（n：0-7）



- 注意1 . TCASG0は1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令を使用してください。
- 2 . サウンド・ジェネレータ動作をいったん停止し、その後再度サウンド・ジェネレータ動作にするとき、NRZBSG0は以前のデータを保持していませんので再設定してください。また、このときも1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令で設定してください。
 - 3 . サウンド・ジェネレータを動作許可する場合は、事前にコンペア・レジスタ (CRSG0) に値を設定し、NRZBSG0フラグとNRZSG0フラグに必要な値を入力してから動作開始してください。さもないと、タイマー一致回路の信号が不定となり、NRZSG0フラグが不定になってしまいます。
 - 4 . INTTMSG0 (一致信号による割り込み) が出力されている期間は、TCASG0へのアクセスは禁止です。
 - 5 . 8ビット・タイマ・カウンタSG0 (TMSG0) が00Hのときは、TCASG0へのアクセスは禁止です。
もしTMSG0 = 00Hのときにアクセスする場合は、TMSG0カウント・クロックの1/2周期以上ウエイトしてからTCASG0を書き換えてください。

サウンド・ジェネレータの動作タイミングを図9 - 6に示します。

図9 - 6 サウンド・ジェネレータの動作タイミング



★ 9.5 サウンド・ジェネレータの出力モード

このサウンド・ジェネレータには、5つの出力モードがあります。

表9 - 2に、各モードの違いを示します。

表9 - 2 各ブザー・モードの対応表

ブザー・モード名	P30/SG0端子	P31/SG1-P33/SG3 端子	P34/SG4端子	P35/SG5-P37/SG7 端子	ブザー出力用 内部抵抗
汎用ポート・モード	汎用ポート	汎用ポート	汎用ポート	汎用ポート	使用不可
ブザー・モード0	ブザー出力	汎用ポート	汎用ポート	汎用ポート	使用不可
ブザー・モード1	ブザー出力	汎用ポート	ブザー出力	汎用ポート	使用不可
ブザー・モード2	ブザー出力	汎用ポート	ブザー出力	汎用ポート	使用可
ブザー・モード3	ブザー出力	ブザー出力	ブザー出力	ブザー出力	使用不可（要外部抵抗）

〔音量について〕

このサウンド・ジェネレータでは、ブザー・モード0、ブザー・モード1、ブザー・モード2（8段階）の計10段階の音量設定ができます。さらにブザー・モード3では、接続する外部抵抗をお客様がアレンジすることで、希望の音量にすることもできます。

表9 - 3に、ブザー・モード2での音量設定を示します。

表9 - 3 ブザー・モード2での音量設定（8段階）

OE3	OE 2	OE 1	OE 0	ブザー・モード2での音量 (ブザー・モード1時の音量を“100”とした場合の値)	
0	0	0	X	0	(出力停止)
0	0	1	X	67	(8/12)
0	1	0	X	80	(8/10)
0	1	1	X	86	(6/7)
1	0	0	X	89	(8/9)
1	0	1	X	91	(10/11)
1	1	0	X	92	(12/13)
1	1	1	X	93	(14/15)

備考 ここで言う「音量」とは、ブザー素子に掛かる電圧の比として表しています。

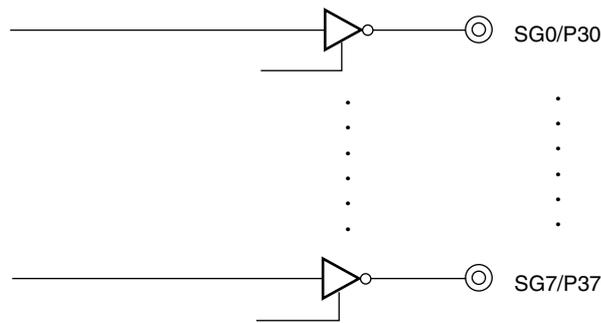
9.5.1 汎用ポート・モード

ブザー出力を使用しない場合のモードです。

P30/SG0-P37/SG7端子はすべて、通常の汎用ポートとして使用します。

汎用ポート・モード (OM2, OM1, OM0 = 000B)

OE3	OE2	OE1	OE0	P30	P31	P32	P33	P34	P35	P36	P37
X	X	X	X	P30	P31	P32	P33	P34	P35	P36	P37



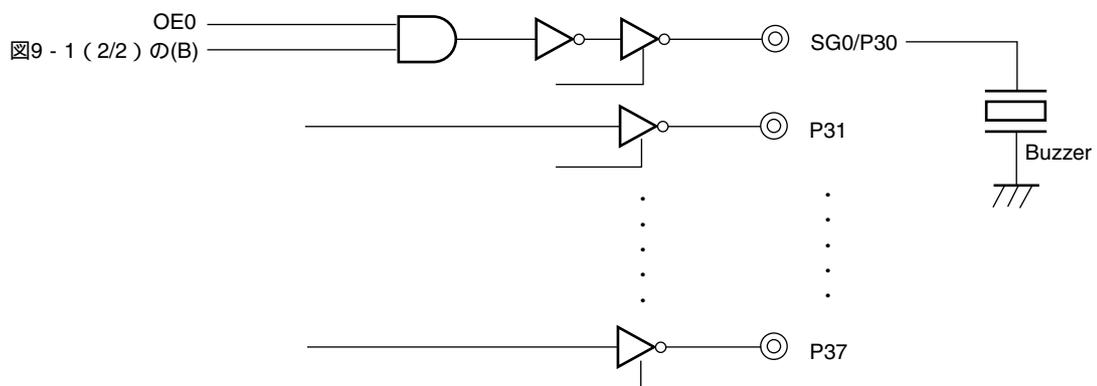
9.5.2 ブザー・モード0

P30/SG0端子をブザー出力として使用するモードです (ブザーは片端ドライブ)。

残りのP31/SG1-P37/SG7端子は、通常の汎用ポートとして使用します。

ブザー・モード0 (OM2, OM1, OM0 = 001B)

OE3	OE2	OE1	OE0	P30	P31	P32	P33	P34	P35	P36	P37
X	X	X	0	ロウ・レベル出力	P31	P32	P33	P34	P35	P36	P37
			1	ブザー出力	P31	P32	P33	P34	P35	P36	P37



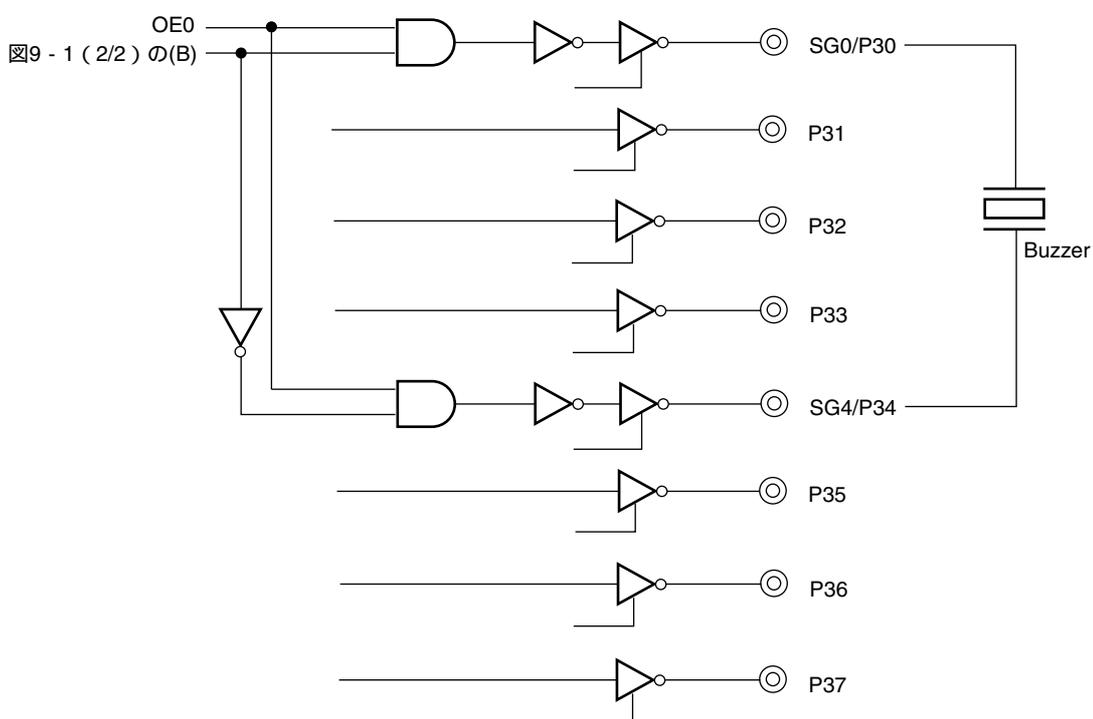
備考 片側ドライブなので、ブザー・モード1と比較すると音量は小さくなります。

9.5.3 ブザー・モード1

P30/SG0, P34/SG4端子をブザー出力として使用するモードです（ブザーは両端ドライブ）。
 残りのP31/SG1-P33/SG3, P35/SG5-P37/SG7端子は、通常の汎用ポートとして使用します。

ブザー・モード1 (OM2, OM1, OM0 = 010B)

OE3	OE2	OE1	OE0	P30	P31	P32	P33	P34	P35	P36	P37
X	X	X	0	ロウ・レベル出力	P31	P32	P33	ロウ・レベル出力	P35	P36	P37
			1	ブザー出力	P31	P32	P33	ブザー出力	P35	P36	P37



備考 両側ドライブなので、ブザー・モード0と比較すると音量は大きくなります。

9.5.4 ブザー・モード2

P30/SG0, P34/SG4端子をブザー出力として使用するモードです（ブザーは両端ドライブ）。

残りのP31/SG1-P33/SG3, P35/SG5-P37/SG7端子は、通常の汎用ポートとして使用します。

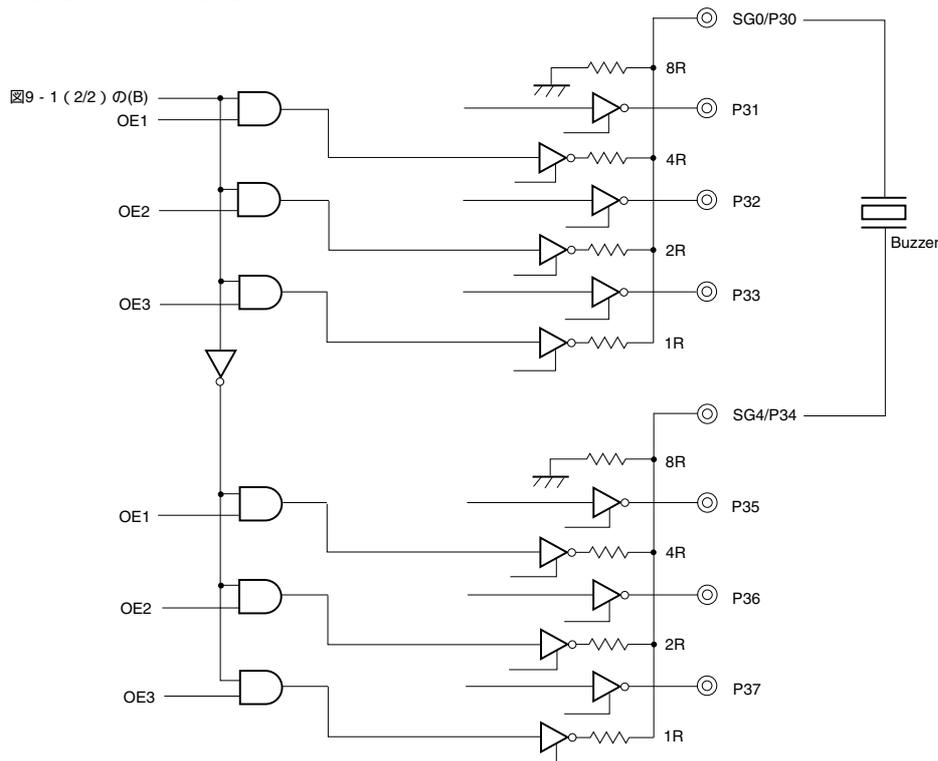
このモードでは、内部抵抗を使用することができます。OE1-OE3の設定により、接続する内部抵抗を調節することで、音量調節できます。

ブザー・モード2 (OM2, OM1, OM0 = 011B)

OE3	OE2	OE1	OE0	P30	P31	P32	P33	P34	P35	P36	P37
0	0	0	X	ロウ・レベル出力	P31	P32	P33	ロウ・レベル出力	P35	P36	P37
上記以外				ブザー出力	P31	P32	P33	ブザー出力	P35	P36	P37

OE3	OE2	OE1	OE0	P30端子への内部抵抗の接続				P34端子への内部抵抗の接続			
				1R	2R	4R	8R	1R	2R	4R	8R
0	0	0	X	-	-	-	-	-	-	-	-
0	0	1	X	-	-	-	-	-	-	-	-
0	1	0	X	-	-	-	-	-	-	-	-
0	1	1	X	-	-	-	-	-	-	-	-
1	0	0	X	-	-	-	-	-	-	-	-
1	0	1	X	-	-	-	-	-	-	-	-
1	1	0	X	-	-	-	-	-	-	-	-
1	1	1	X	-	-	-	-	-	-	-	-

備考 : 接続する - : 接続しない



9.5.5 ブザー・モード3

P30/SG0-P37/SG7端子すべてをブザー出力として使用するモードです（ブザーは両端ドライブ）。

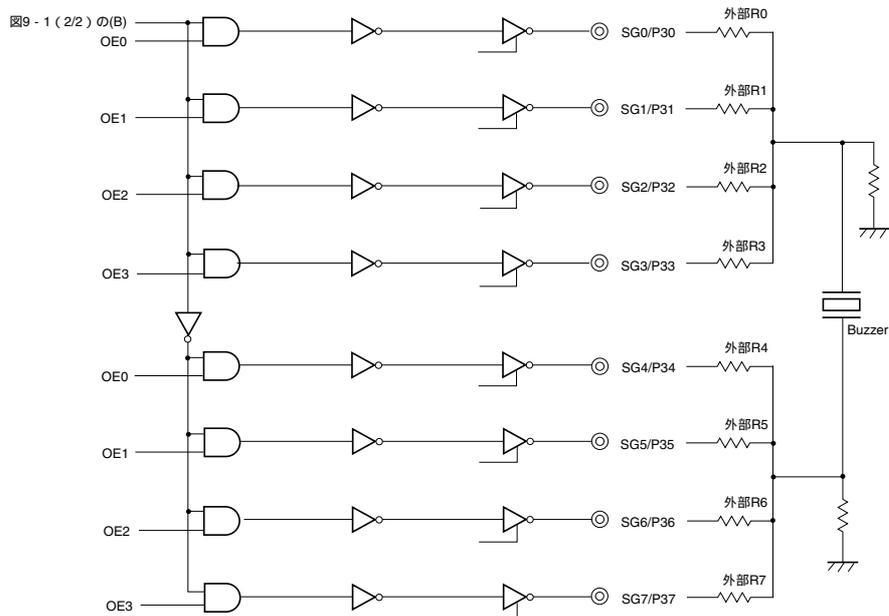
P30/SG0-P37/SG7端子を汎用ポートとしては使用できません。

このモードでは、内部抵抗を使用せず、お客様がP30/SG0-P37/SG7端子に、希望する抵抗値の外部抵抗を接続して使用します。OE1-OE3の設定により、接続する外部抵抗を調節することで、音量調節できます。

ブザー・モード3 (OM2, OM1, OM0 = 100B)

OE3	OE2	OE1	OE0	P30-P37端子の外部抵抗の接続							
				P30	P31	P32	P33	P34	P35	P36	P37
0	0	0	0	- (すべてロウ・レベル出力)							
0	0	0	1		-	-	-		-	-	-
0	0	1	0	-		-	-	-		-	-
0	0	1	1			-	-			-	-
0	1	0	0	-	-		-	-			-
0	1	0	1		-		-		-		-
0	1	1	0	-			-	-			-
0	1	1	1				-				-
1	0	0	0	-	-	-		-	-	-	
1	0	0	1		-	-			-	-	
1	0	1	0	-		-		-		-	
1	0	1	1			-				-	
1	1	0	0	-	-			-	-		
1	1	0	1		-				-		
1	1	1	0	-				-			
1	1	1	1								

備考 : 接続する - : 接続しない

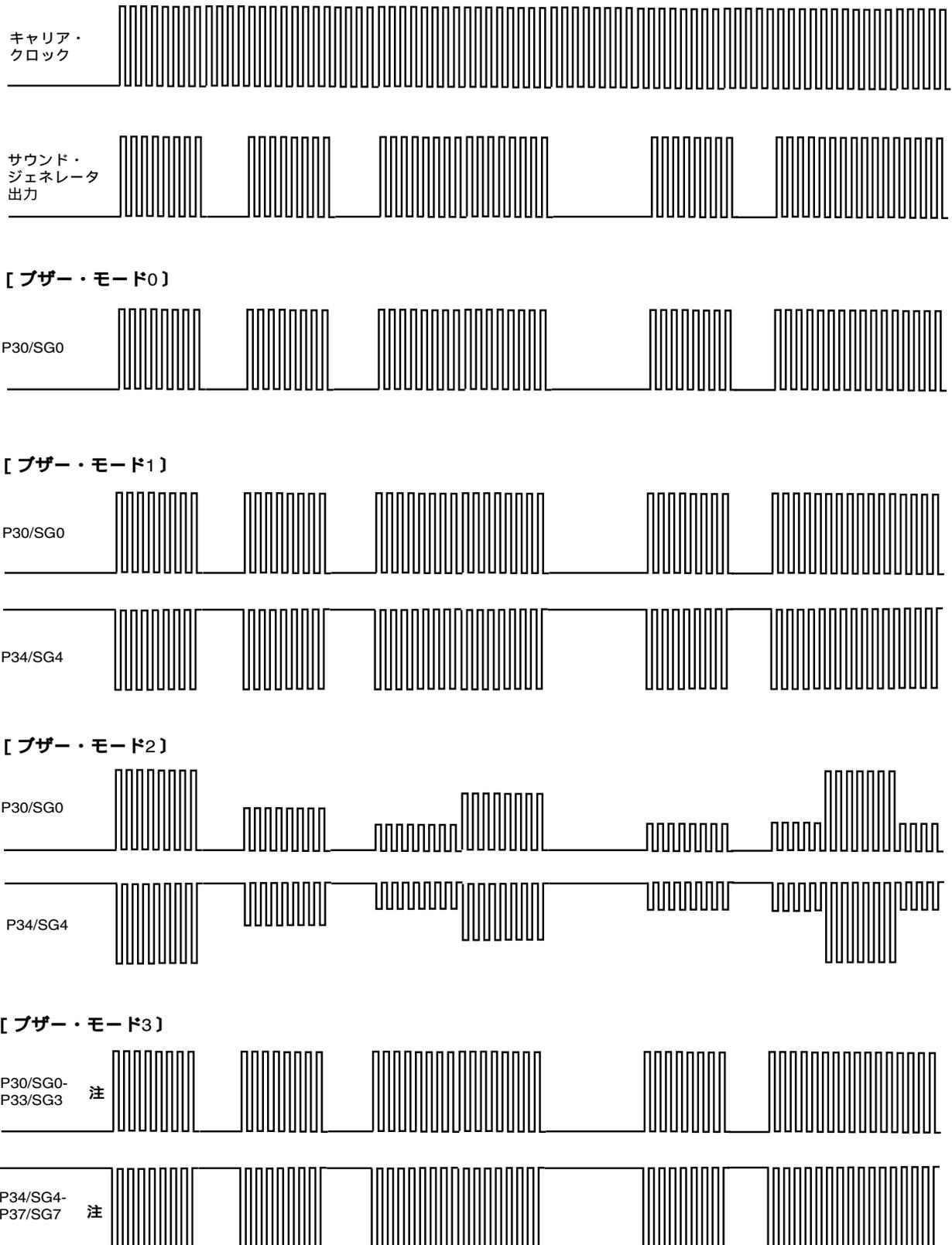


注意 必ずブザー素子の前にプルダウン抵抗を接続してください。

9.5.6 各ブザー・モードのタイミング・チャート

図9-7に、サウンド・ジェネレータのブザー・モードごとの出力波形例を示します。

図9-7 各ブザー・モードでの出力波形例



注 ブザー・モード3の波形は、お客様が接続する外部抵抗値やOE0-OE3の設定に依存します。

第10章 時計用タイマ

10.1 時計用タイマの機能

時計用タイマには、次のような機能があります。

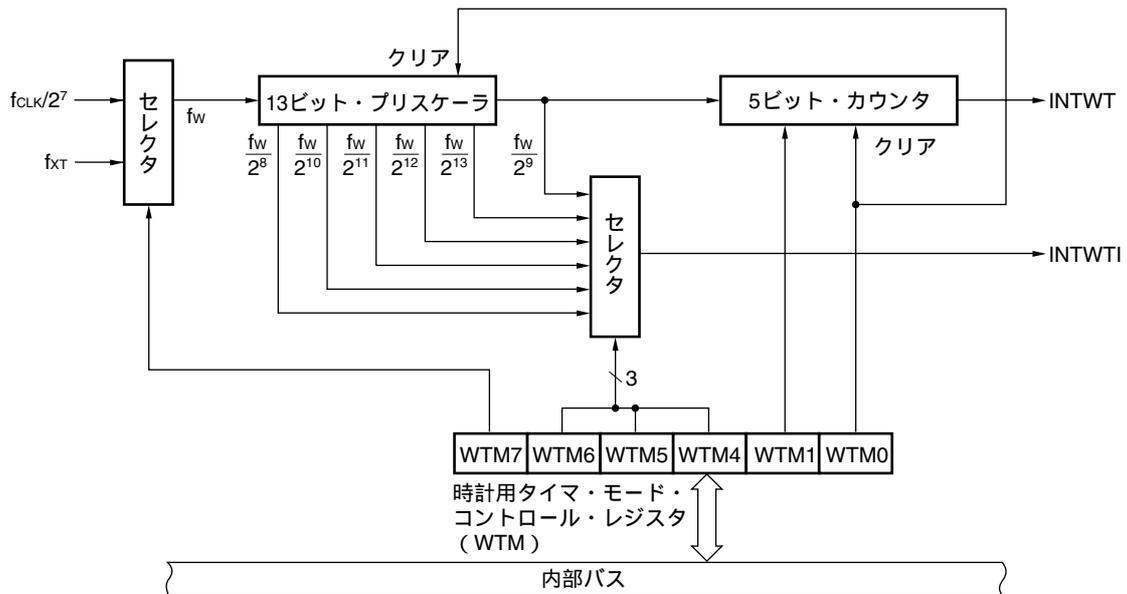
- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

図10 - 1に、時計用タイマのブロック図を示します。

★

図10 - 1 時計用タイマのブロック図



備考 f_{CLK} : f_x または f_{cc}

(1) 時計用タイマ

4.19 MHzのメイン・システム・クロックまたは32.768 kHzのサブシステム・クロックを使用することで、0.5秒の時間間隔で割り込み要求 (INTWT) を発生します。

注意 5.0 MHzまたは2.0 MHzのメイン・システム・クロックでは、0.5秒の時間間隔を作ることができません。32.768 kHzのサブシステム・クロックに切り替えて、0.5秒の時間間隔を作ってください。

(2) インターバル・タイマ

★ あらかじめ設定した時間間隔で、割り込み要求 (INTWTI) を発生します。

表10 - 1 インターバル・タイマのインターバル時間

インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時	$f_x = 4.19 \text{ MHz}$ 動作時	$f_{cc} = 2.0 \text{ MHz}$ 動作時	$f_{xt} = 32.768 \text{ kHz}$ 動作時
$2^8 \times 1/f_w$	6.55 ms	7.81 ms	16.4 ms	7.81 ms
$2^9 \times 1/f_w$	13.1 ms	15.6 ms	32.8 ms	15.6 ms
$2^{10} \times 1/f_w$	26.2 ms	31.3 ms	65.5 ms	31.3 ms
$2^{11} \times 1/f_w$	52.4 ms	62.5 ms	131 ms	62.5 ms
$2^{12} \times 1/f_w$	104.9 ms	125 ms	262 ms	125 ms
$2^{13} \times 1/f_w$	209.7 ms	250 ms	524 ms	250 ms

備考1. f_w : 時計用タイマ・クロック周波数 ($f_x/2^7$, $f_{cc}/2^7$ または f_{xt})

2. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

3. f_{cc} : メイン・システム・クロック発振周波数 (RC発振)

4. f_{xt} : サブシステム・クロック発振周波数

10.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成されています。

表10 - 2 時計用タイマの構成

項目	構成
カウンタ	5ビット×1本
プリスケアラ	13ビット×1本
制御レジスタ	時計用タイマ・モード・コントロール・レジスタ (WTM)

10.3 時計用タイマを制御するレジスタ

時計用タイマを制御するレジスタには、時計用タイマ・モード・コントロール・レジスタ (WTM) があります。

・時計用タイマ・モード・コントロール・レジスタ (WTM)

時計用タイマのカウンタ・クロックおよび動作の許可 / 禁止、プリスケアラのインターバル時間、5ビット・カウンタの動作制御を設定するレジスタです。

WTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図10-2 時計用タイマ・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	0	アドレス	リセット時	R/W	
WTM	WTM7	WTM6	WTM5	WTM4	0	0	WTM1	WTM0	FF4AH	00H	R/W

WTM7	時計用タイマのカウンタ・クロック (fw) の選択	
	fx = 5.0 MHz, fXT = 32.768 kHz動作時	fCC = 2.0 MHz, fXT = 32.768 kHz動作時
0	fx/2 ⁷ (39.1 kHz)	fCC/2 ⁷ (15.6 kHz)
1	fXT (32.768 kHz)	

WTM6	WTM5	WTM4	プリスケアラのインターバル時間の選択
0	0	0	2 ⁹ /fw
0	0	1	2 ⁹ /fw
0	1	0	2 ¹⁰ /fw
0	1	1	2 ¹¹ /fw
1	0	0	2 ¹² /fw
1	0	1	2 ¹³ /fw
上記以外			設定禁止

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケアラ, タイマともにクリア)
1	動作許可

- 備考1. fw : 時計用タイマ・クロック周波数 (fx/2⁷またはfXT)
2. fx : メイン・システム・クロック発振周波数 (セラミック / クリスタル発振)
3. fCC : メイン・システム・クロック発振周波数 (RC発振)
4. fXT : サブシステム・クロック発振周波数

10.4 時計用タイマの動作

10.4.1 時計用タイマとしての動作

メイン・システム・クロック (4.19 MHz) またはサブシステム・クロック (32.768 kHz) を使用することで、0.5秒の時間間隔の時計用タイマとして動作します。

時計用タイマは、一定の時間間隔ごとに、割り込み要求を発生します。

時計用タイマ・モード・コントロール・レジスタ (WTM) のビット0 (WTM0) とビット1 (WTM1) に1を設定するとカウント動作がスタートし、0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させているときは、WTM1に0を設定することにより、時計用タイマのみをゼロ秒スタートさせることができます。ただし、この場合、13ビット・プリスケアラはクリアされないため、時計用タイマのゼロ秒スタート後の最初のオーバフロー (INTWT) には、最大で $2^9 \times 1/f_w$ 秒の誤差が発生します。

★

10.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

時計用タイマ・モード・コントロール・レジスタ (WTM) のビット4-6 (WTM4-WTM6) により、インターバル時間を選択できます。

表10-3 インターバル・タイマのインターバル時間

インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時	$f_x = 4.19 \text{ MHz}$ 動作時	$f_{cc} = 2.0 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
$2^8 \times 1/f_w$	6.55 ms	7.81 ms	16.4 ms	7.81 ms
$2^9 \times 1/f_w$	13.1 ms	15.6 ms	32.8 ms	15.6 ms
$2^{10} \times 1/f_w$	26.2 ms	31.3 ms	65.5 ms	31.3 ms
$2^{11} \times 1/f_w$	52.4 ms	62.5 ms	131 ms	62.5 ms
$2^{12} \times 1/f_w$	104.9 ms	125 ms	262 ms	125 ms
$2^{13} \times 1/f_w$	209.7 ms	250 ms	524 ms	250 ms

備考1. f_w : 時計用タイマ・クロック周波数 ($f_x/2^7$, $f_{cc}/2^7$ または f_{XT})

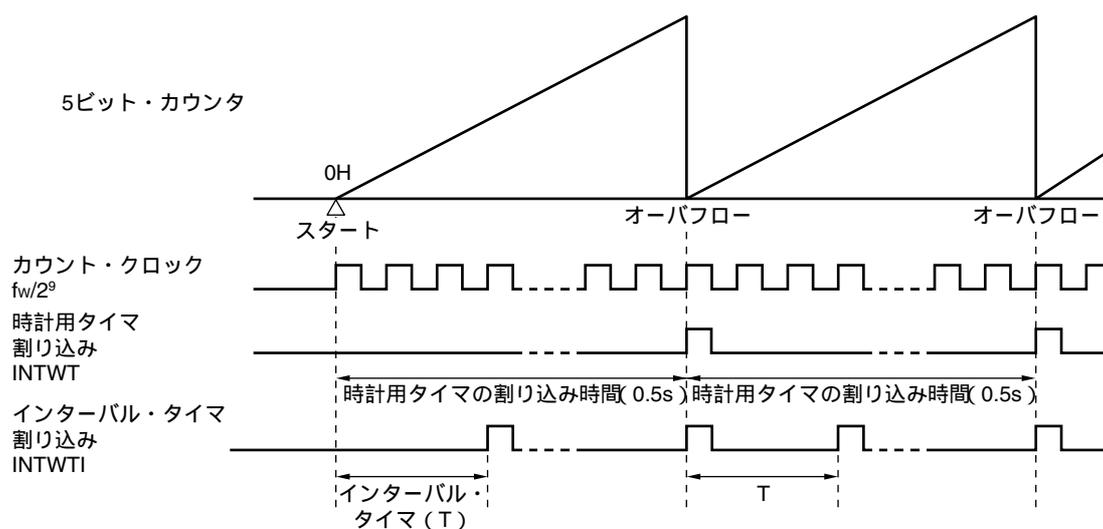
2. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

3. f_{cc} : メイン・システム・クロック発振周波数 (RC発振)

4. f_{XT} : サブシステム・クロック発振周波数

★

図10-3 時計用タイマ/インターバル・タイマの動作タイミング



注意 時計用タイマ・モード・コントロール・レジスタ (WTM) で時計用タイマおよび5ビット・カウンタを動作許可 (WTM0 (WTMのビット0) = 1) したとき、設定後の最初の割り込み要求 (INTWT) までの時間は、正確に時計用タイマ割り込み時間 (0.5 s) にはなりません。これは5ビット・カウンタのカウント開始が13ビット・プリスケアラの出力1周期分遅れるからです。2回目以降は設定時間ごとにINTWT信号が発生します。

- 備考1.** f_w : 時計用タイマ・クロック周波数
 2. () 内は, $f_w = 32.768 \text{ kHz}$ 動作時

第11章 ウォッチドッグ・タイマ

11.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

(1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込みまたは $\overline{\text{RESET}}$ を発生することができます。

表11-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 2.0 \text{ MHz}$ 動作時	$f_{xt} = 32.768 \text{ kHz}$ 動作時
$2^{13} \times 1/f_w$	210 ms	524 ms	250 ms
$2^{14} \times 1/f_w$	419 ms	1.05 s	500 ms

備考1. f_w : $f_x/2^7$, $f_{cc}/2^7$ または f_{xt}

2. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)
3. f_{cc} : メイン・システム・クロック発振周波数 (RC発振)
4. f_{xt} : サブシステム・クロック発振周波数

(2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

表11-2 ウォッチドッグ・タイマのインターバル時間

インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 2.0 \text{ MHz}$ 動作時	$f_{xt} = 32.768 \text{ kHz}$ 動作時
$2^{13} \times 1/f_w$	210 ms	524 ms	250 ms
$2^{14} \times 1/f_w$	419 ms	1.05 s	500 ms

備考1. f_w : $f_x/2^7$, $f_{cc}/2^7$ または f_{xt}

2. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)
3. f_{cc} : メイン・システム・クロック発振周波数 (RC発振)
4. f_{xt} : サブシステム・クロック発振周波数

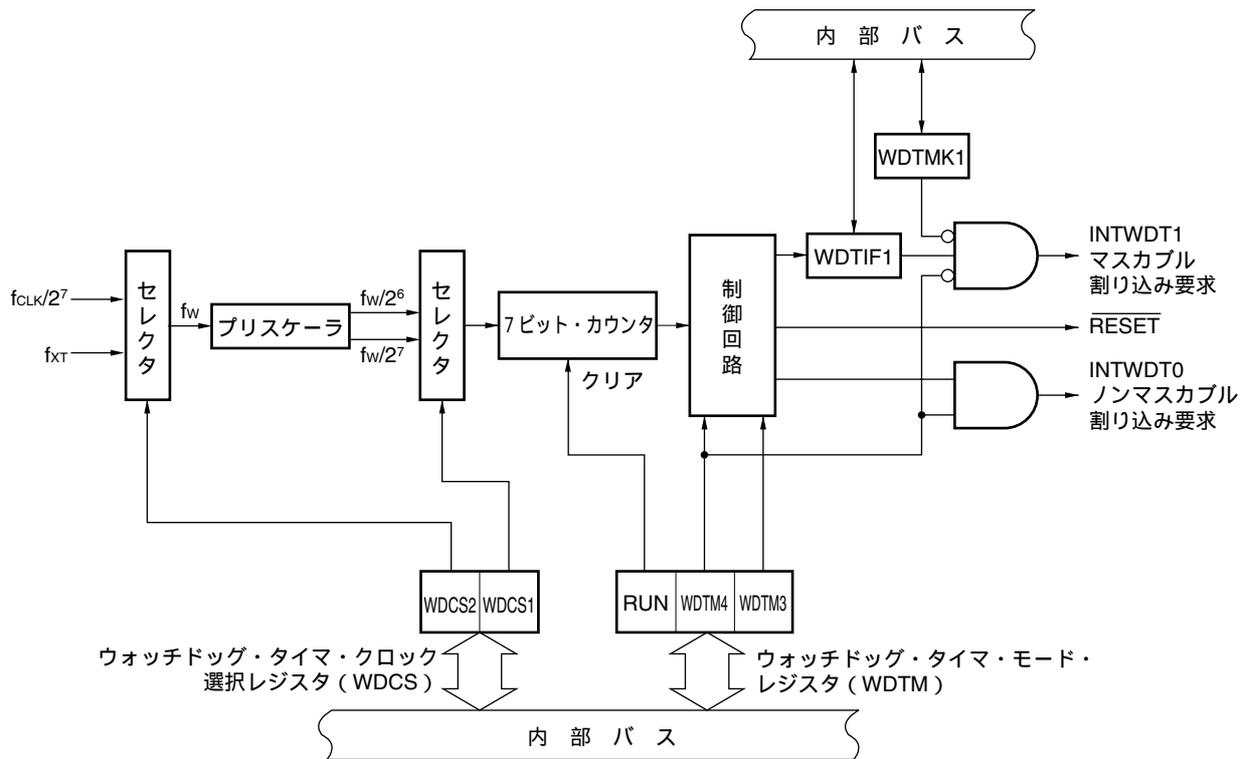
11.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表11-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図11-1 ウォッチドッグ・タイマのブロック図



備考 f_{CLK} : f_x または f_{cc}

11.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

WDCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11-2 ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDCS	0	0	0	0	0	WDCS2	WDCS1	0	FF42H	00H	R/W

WDCS2	WDCS1	カウント・クロックの選択	
		$f_x = 5.0 \text{ MHz}$ 動作時, $f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_{CC} = 2.0 \text{ MHz}$ 動作時, $f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	$f_x/2^{13}$ (610 Hz)	$f_{CC}/2^{13}$ (244 Hz)
0	1	$f_x/2^{14}$ (305 Hz)	$f_{CC}/2^{14}$ (122 Hz)
1	0	$f_{XT}/2^6$ (512 Hz)	
1	1	$f_{XT}/2^7$ (256 Hz)	

- 備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)
 2. f_{CC} : メイン・システム・クロック発振周波数 (RC発振)
 3. f_{XT} : サブシステム・クロック発振周波数

表11-4 ウォッチドッグ・タイマの暴走検出時間またはインターバル時間

WDCS2	WDCS1	暴走検出時間またはインターバル時間	
		$f_x = 5.0 \text{ MHz}$ 動作時, $f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_{CC} = 2.0 \text{ MHz}$ 動作時, $f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	$2^{20}/f_x$ (210 ms)	$2^{20}/f_{CC}$ (524 ms)
0	1	$2^{21}/f_x$ (419 ms)	$2^{21}/f_{CC}$ (1.05 s)
1	0	$2^{13}/f_{XT}$ (250 ms)	
1	1	$2^{14}/f_{XT}$ (500 ms)	

- 備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)
 2. f_{CC} : メイン・システム・クロック発振周波数 (RC発振)
 3. f_{XT} : サブシステム・クロック発振周波数

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可 / 禁止を設定するレジスタです。
 WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により，00Hになります。

図11-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FF4BH	00H	R/W

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	動作停止
0	1	インターバル・タイマ・モード (オーバーフロー発生時，マスクブル割り込み発生) ^{注3}
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時，ノンマスクブル割り込み発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時，リセット動作を起動)

- 注1. RUNは，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。したがって，カウントを開始すると， $\overline{\text{RESET}}$ 入力以外で停止させることはできません。
2. WDTM3, WDTM4は，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。
3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

- 注意1. RUNに1を設定し，ウォッチドッグ・タイマをクリアしたとき，実際のオーバーフロー時間は，ウォッチドッグ・タイマ・クロック選択レジスタ (WDGS) で設定した時間より最大0.8%短くなります。
2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は，WDTIF1 (割り込み要求フラグ・レジスタ0 (IF0)のビット0)が0になっていることを確認してからWDTM4を1にセットしてください。WDTIF1が1の状態では，ウォッチドッグ・タイマ・モード1, 2を選択すると書き換え終了と同時にノンマスクブル割り込みが発生します。

11.4 ウォッチドッグ・タイマの動作

11.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDSCS) のビット1, 2 (WDSCS1, WDSCS2) でウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込みが発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

- 注意1.** 実際の暴走検出時間は設定時間に対して最大0.8%短くなる場合があります。
2. CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。したがって、このときメイン・システム・クロックが発振していてもウォッチドッグ・タイマの動作は停止します。

表11-5 ウォッチドッグ・タイマの暴走検出時間

WDSCS2	WDSCS1	暴走検出時間	
		$f_x = 5.0 \text{ MHz}$ 動作時, $f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_{CC} = 2.0 \text{ MHz}$ 動作時, $f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	$2^{20}/f_x$ (210 ms)	$2^{20}/f_{CC}$ (524 ms)
0	1	$2^{21}/f_x$ (419 ms)	$2^{21}/f_{CC}$ (1.05 s)
1	0	$2^{13}/f_{XT}$ (250 ms)	
1	1	$2^{14}/f_{XT}$ (500 ms)	

- 備考1.** f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)
2. f_{CC} : メイン・システム・クロック発振周波数 (RC発振)
3. f_{XT} : サブシステム・クロック発振周波数

11.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0, ビット3 (WDTM3) に1を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込みを発生するインターバル・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット1, 2 (WDCS1, WDCS2) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (WDTMK1) が有効となり, マスカブル割り込み (INTWDT1) を発生させることができます。INTWDT1の優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALTモード時では動作を継続しますが, STOPモード時では動作を停止します。したがって, STOPモードに入る前にRUNを1に設定し, インターバル・タイマをクリアしたあと, STOP命令を実行してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) と $\overline{\text{RESET}}$ 入力されないかぎり, インターバル・タイマ・モードになりません。
2. WDTMで設定した直後のインターバル時間は, 設定時間に対して最大0.8%短くなるときがあります。

表11-6 ウォッチドッグ・タイマのインターバル時間

WDCS2	WDCS1	インターバル時間	
		$f_x = 5.0 \text{ MHz}$ 動作時, $f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_{CC} = 2.0 \text{ MHz}$ 動作時, $f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	$2^{20}/f_x$ (210 ms)	$2^{20}/f_{CC}$ (524 ms)
0	1	$2^{21}/f_x$ (419 ms)	$2^{21}/f_{CC}$ (1.05 s)
1	0	$2^{13}/f_{XT}$ (250 ms)	
1	1	$2^{14}/f_{XT}$ (500 ms)	

- 備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)
2. f_{CC} : メイン・システム・クロック発振周波数 (RC発振)
3. f_{XT} : サブシステム・クロック発振周波数

第12章 8ビットA/Dコンバータ (μ PD78983xB, 78983xA, 78F9835のみ)

- ★ 注意 A/Dコンバータは μ PD78983xB, 78983xA, 78F9835のみに内蔵されています。
 μ PD78983xではご使用できません。

12.1 8ビットA/Dコンバータの機能

8ビットA/Dコンバータは、アナログ入力をデジタル値に変換する8ビット分解能コンバータで、3チャンネル (ANI0-ANI2) のアナログ入力を制御できる構成になっています。

A/D変換動作の起動方法は、ソフトウェア・スタートのみです。

アナログ入力をANI0-ANI2から1チャンネル選択し、A/D変換を行います。A/D変換の動作は繰り返し行い、A/D変換を1回終了するたびに割り込み要求 (INTAD) を発生します。

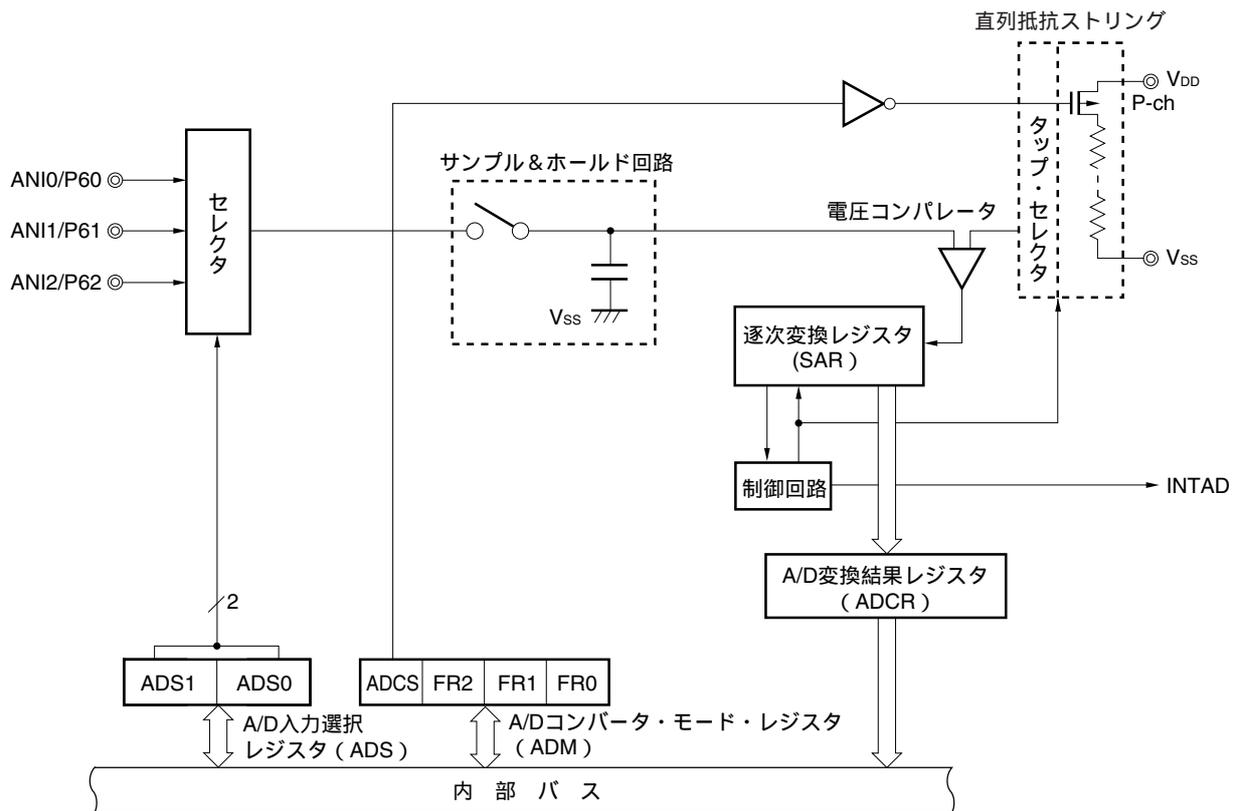
12.2 8ビットA/Dコンバータの構成

8ビットA/Dコンバータは、次のハードウェアで構成しています。

表12 - 1 8ビットA/Dコンバータの構成

項 目	構 成
アナログ入力	3チャンネル (ANI0-ANI2)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ (ADCR)
制御レジスタ	A/Dコンバータ・モード・レジスタ (ADM) A/D入力選択レジスタ (ADS)

図12-1 8ビットA/Dコンバータのブロック図



(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで設定すると (A/D変換終了), SARの内容はA/D変換結果レジスタ (ADCR) に転送されます。

(2) A/D変換結果レジスタ (ADCR)

A/D変換結果を保持します。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/Dの変換結果を保持する8ビットのレジスタです。

ADCRは、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは V_{DD} - V_{SS} 間に入っており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI2端子

A/Dコンバータへの3チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANI0-ANI2入力電圧は規格の範囲内でご使用ください。特に V_{DD} 以上、 V_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

12.3 8ビットA/Dコンバータを制御するレジスタ

8ビットA/Dコンバータを制御するレジスタには、次の2種類があります。

- ・A/Dコンバータ・モード・レジスタ (ADM)
- ・A/D入力選択レジスタ (ADS)

(1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12-2 A/Dコンバータ・モード・レジスタのフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADM	ADCS	0	FR2	FR1	FR0	0	0	0	FF80H	00H	R/W

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

FR2	FR1	FR0	A/D変換時間の選択 ^注	
			$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 2.0 \text{ MHz}$ 動作時
0	0	0	$288/f_x$ (57.6 μs)	$288/f_{cc}$ (144 μs)
0	0	1	$240/f_x$ (48 μs)	$240/f_{cc}$ (120 μs)
0	1	0	$192/f_x$ (38.4 μs)	$192/f_{cc}$ (96 μs)
1	0	0	$144/f_x$ (28.8 μs)	$144/f_{cc}$ (72 μs)
1	0	1	$120/f_x$ (24 μs)	$120/f_{cc}$ (60 μs)
1	1	0	$96/f_x$ (19.2 μs)	$96/f_{cc}$ (48 μs)
上記以外			設定禁止	

注 A/D変換時間が14 μs 以上になるように設定してください。

注意1. ビット7 (ADCS) をセット直後の変換結果は不定になります。

2. ADCSのクリア後の変換結果が不定になることがあります (詳しくは、12.5 (5) A/D変換結果が不定になるタイミングを参照)。

備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{cc} : メイン・システム・クロック発振周波数 (RC発振)

(2) A/D入力選択レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12-3 A/D入力選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADS	0	0	0	0	0	0	ADS1	ADS0	FF84H	00H	R/W

ADS1	ADS0	アナログ入力チャネルの指定
0	0	ANI0
0	1	ANI1
1	0	ANI2
1	1	設定禁止

注意 ビット2-7には、必ず0を設定してください。

12.4 8ビットA/Dコンバータの動作

12.4.1 8ビットA/Dコンバータの基本動作

A/D変換するチャンネルをA/D入力選択レジスタ(ADS)で1チャンネル選択してください。

選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ(SAR)のビット7をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを $(1/2)V_{DD}$ にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力 $(1/2)V_{DD}$ よりも大きければ、SARのMSBをセットしたままです。また、 $(1/2)V_{DD}$ よりも小さければMSBをリセットします。

次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

・ビット7 = 1 : $(3/4)V_{DD}$

・ビット7 = 0 : $(1/4)V_{DD}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。

・アナログ入力電圧 \geq 電圧タップ : ビット6 = 1

・アナログ入力電圧 < 電圧タップ : ビット6 = 0

このような比較をSARのビット0まで続けます。

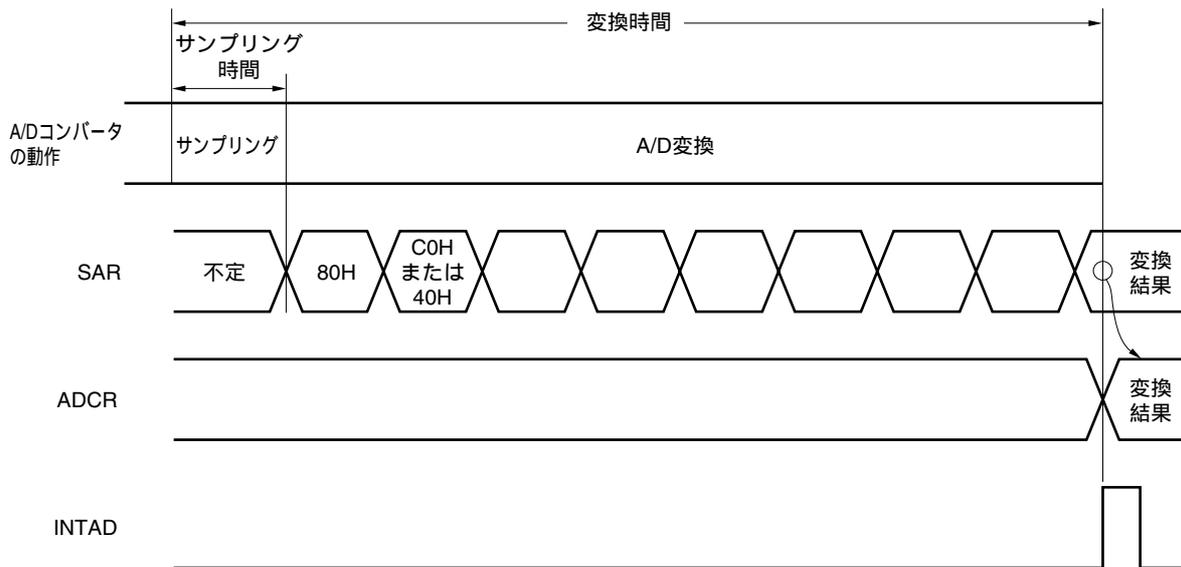
8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ(ADCR)に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求(INTAD)を発生させることができます。

注意1. A/D変換動作をスタートした直後の最初のA/D変換値は不定になることがあります。

2. スタンバイ・モード時、A/Dコンバータは動作停止となります。

図12 - 4 8ビットA/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM、A/D入力選択レジスタ (ADS) に対する書き込み操作を行うと変換動作は初期化され、ADCSがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR) は、RESETにより不定となります。

12.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI2) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$ADCR = INT \left(\frac{V_{IN}}{V_{DD}} \times 256 + 0.5 \right)$$

または、

$$(ADCR - 0.5) \times \frac{V_{DD}}{256} < V_{IN} < (ADCR + 0.5) \times \frac{V_{DD}}{256}$$

INT () : () 内の値の整数部を返す関数

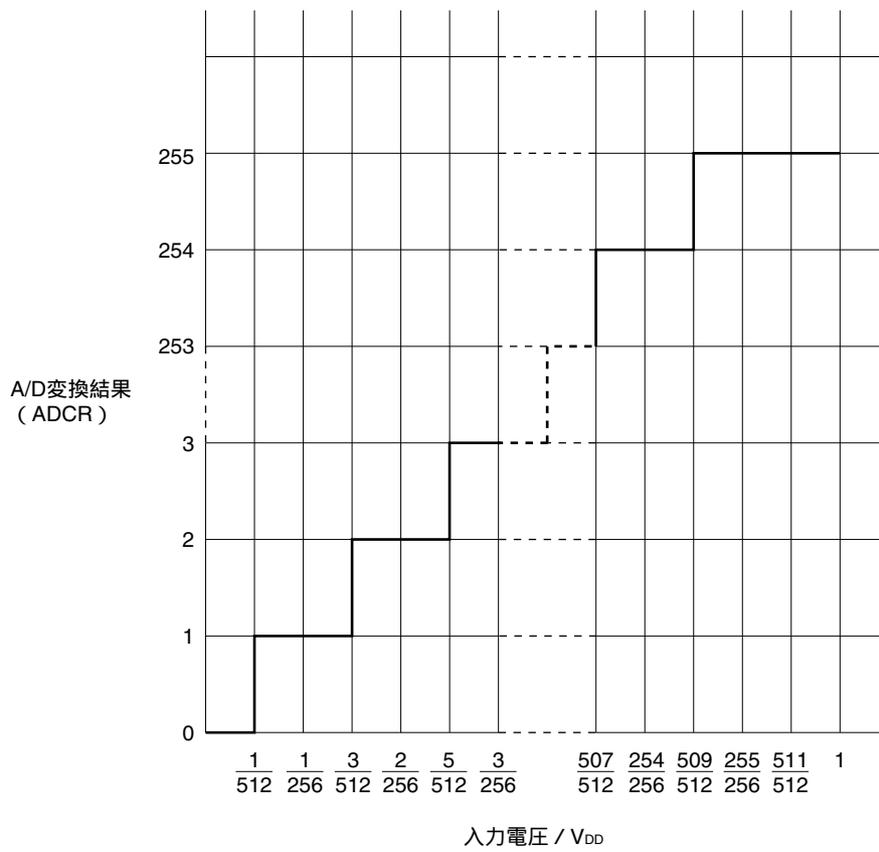
V_{IN} : アナログ入力電圧

V_{DD} : V_{DD} 端子電圧

ADCR : A/D変換結果レジスタ (ADCR) の値

図12 - 5にアナログ入力電圧とA/D変換結果の関係を示します。

図12 - 5 アナログ入力電圧とA/D変換結果の関係



12.4.3 8ビットA/Dコンバータの動作モード

動作モードは、セレクト・モードになっています。A/D入力選択レジスタ (ADS) によってANI0-ANI2からアナログ入力を1チャンネル選択し、A/D変換を行います。

A/D変換動作の起動方法は、ソフトウェア・スタート (A/Dコンバータ・モード・レジスタ (ADM) を設定することにより開始) のみです。

また、A/D変換結果は、A/D変換結果レジスタ (ADCR) に格納され、同時に割り込み要求信号 (INTAD) が発生します。

・ソフトウェア・スタートによるA/D変換動作

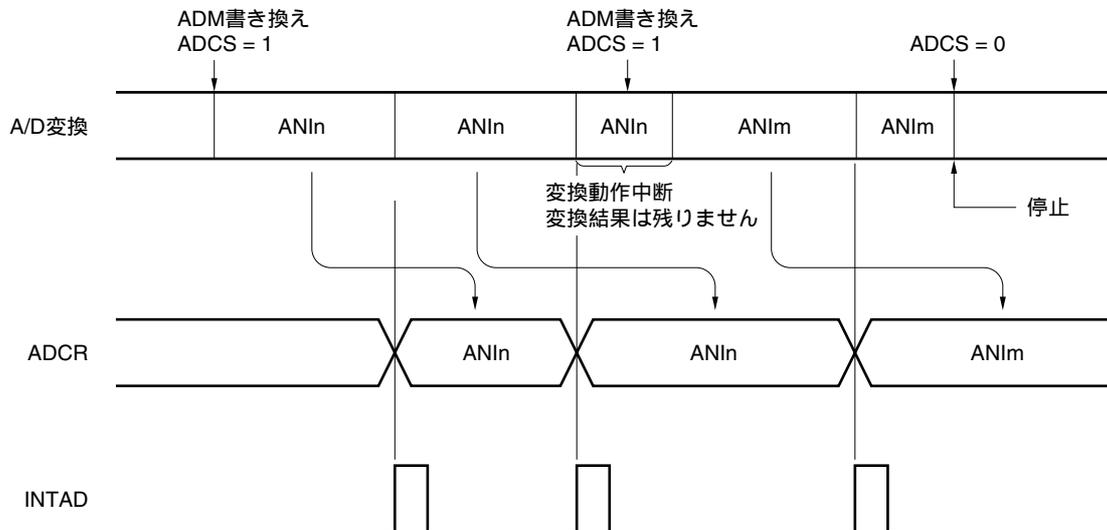
A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1を設定することにより、A/D入力選択レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、割り込み要求信号 (INTAD) が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADMに書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、再度ADCSが1であるデータをADMに書き込むと、そのとき行っていたA/D変換動作を中断し、新たに書き込んだデータのA/D変換動作を開始します。

また、A/D変換動作中にADCSが0であるデータをADMに書き込むと、ただちにA/D変換動作を停止します。

図12-6 ソフトウェア・スタートによるA/D変換動作



備考1. n = 0-2

2. m = 0-2

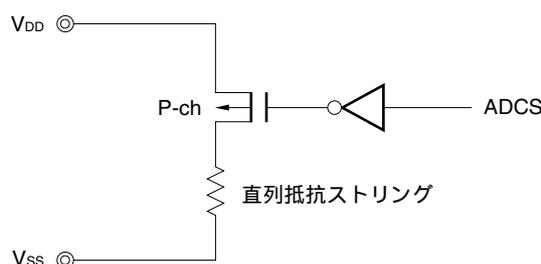
12.5 8ビットA/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このとき変換動作停止 (A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) = 0) にすることにより、消費電流を低減させることができます。

スタンバイ・モード時の消費電流を低減させる方法例を図12 - 7に示します。

図12 - 7 スタンバイ・モード時の消費電流を低減させる方法例



(2) ANI0-ANI2入力範囲について

ANI0-ANI2入力電圧は規格の範囲内でご使用ください。特にV_{DD}以上、V_{SS}以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ (ADCR) ライトと命令によるADCRリードとの競合
ADCRリードが優先されます。リードしたあと、新しい変換結果がADCRにライトされます。

変換終了時のADCRライトとA/Dコンバータ・モード・レジスタ (ADM) ライト、またはA/D入力選択レジスタ (ADS) ライトの競合

ADMまたはADSへのライトが優先されます。ADCRへのライトはされません。また、A/D変換終了割り込み要求信号 (INTAD) も発生しません。

(4) A/D変換スタート直後の変換結果について

A/D変換動作をスタートした直後の最初のA/D変換値は不定になることがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの処理を行ってください。

(5) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。また、A/D変換動作を停止してから変換結果を読み出す場合は、次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図12 - 8、図12 - 9に示します。

図12 - 8 変換結果を読み出すタイミング (変換結果が不定値の場合)

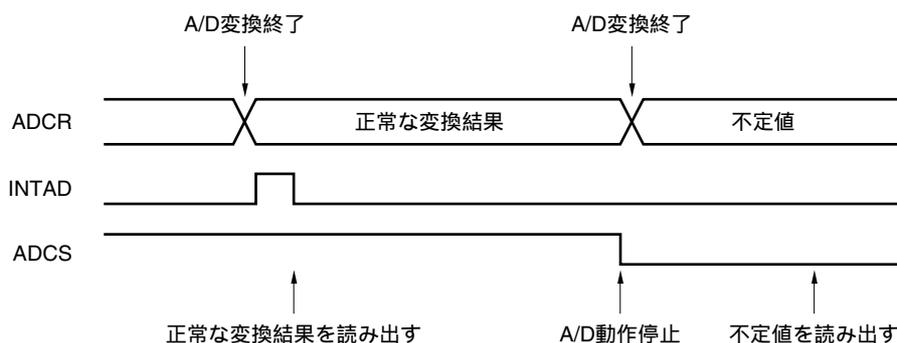
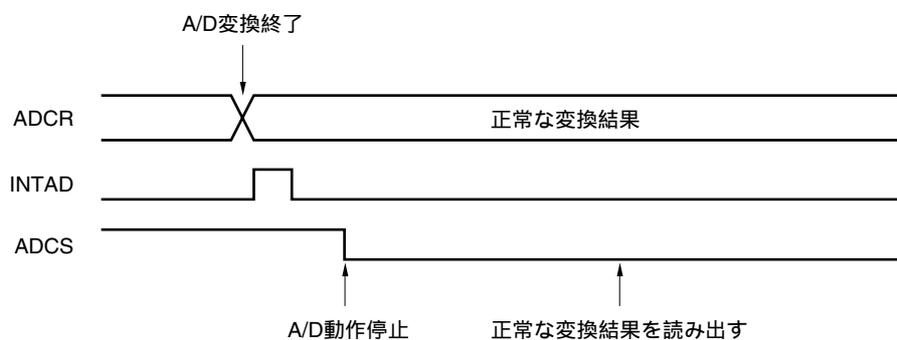


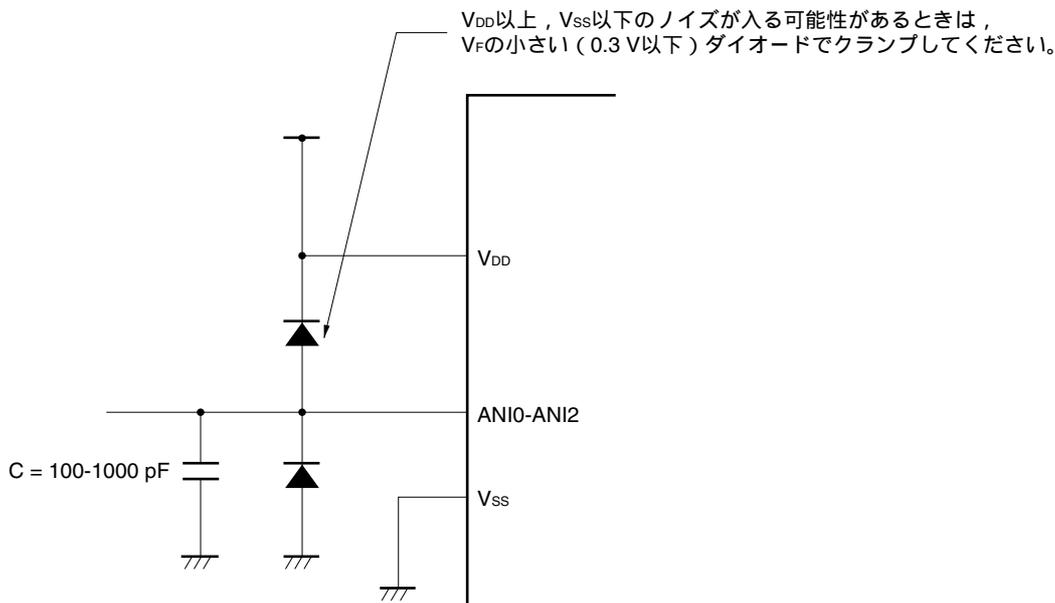
図12 - 9 変換結果を読み出すタイミング (変換結果が正常値の場合)



(6) ノイズ対策について

8ビット分解能を保つためには、 V_{DD} 、ANI0-ANI2端子へのノイズに注意する必要があります。アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図12 - 10のようにCを外付けすることを推奨します。

図12 - 10 アナログ入力端子の処理



(7) ANI0-ANI2

アナログ入力 (ANI0-ANI2) 端子はポート端子 (P60-P62) と兼用になっています。

ANI0-ANI2のいずれかを選択してA/D変換をする場合、変換中にポートの入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(8) ANI0-ANI2端子の入力インピーダンスについて

このA/Dコンバータでは、変換時間の約1/10程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出カインピーダンスを10 kΩ以下にするか、ANI0-ANI2端子に100 pF程度のコンデンサを付けることを推奨します (図12 - 10参照)。

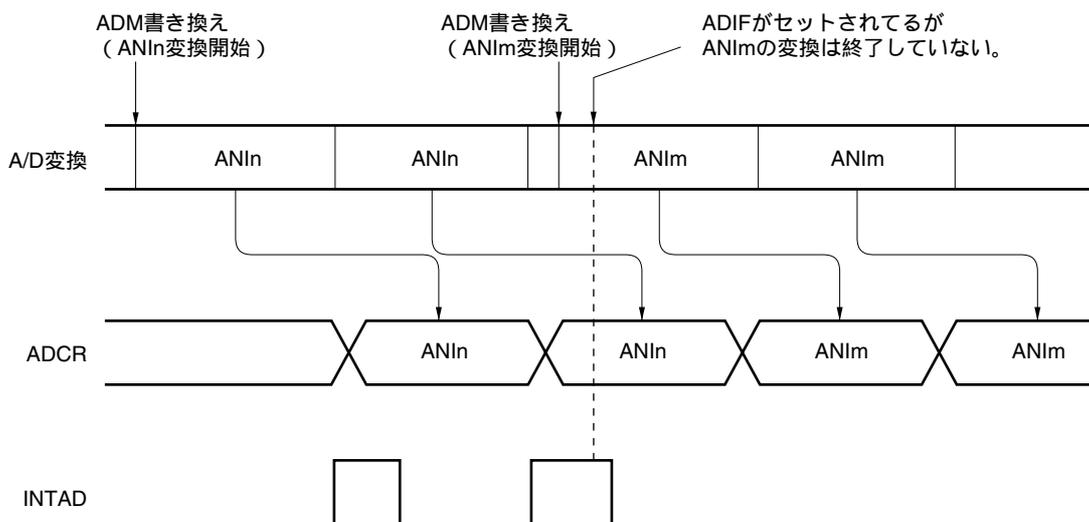
(9) 割り込み要求フラグ (ADIF) について

A/Dコンバータ・モード・レジスタ (ADM) を変更しても割り込み要求フラグ (ADIF) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADM書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADM書き換え直後にADIFを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされている場合がありますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

図12 - 11 A/D変換終了割り込み要求発生タイミング



- 備考1. n = 0-2
 2. m = 0-2

第13章 シリアル・インタフェース

13.1 シリアル・インタフェースの機能

シリアル・インタフェースには、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

(2) アシンクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

また、ASCK端子への入力クロックを分周してボー・レートを定義することもできます。

(3) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{SCK10}$) と、シリアル・データ (SI10, SO10) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

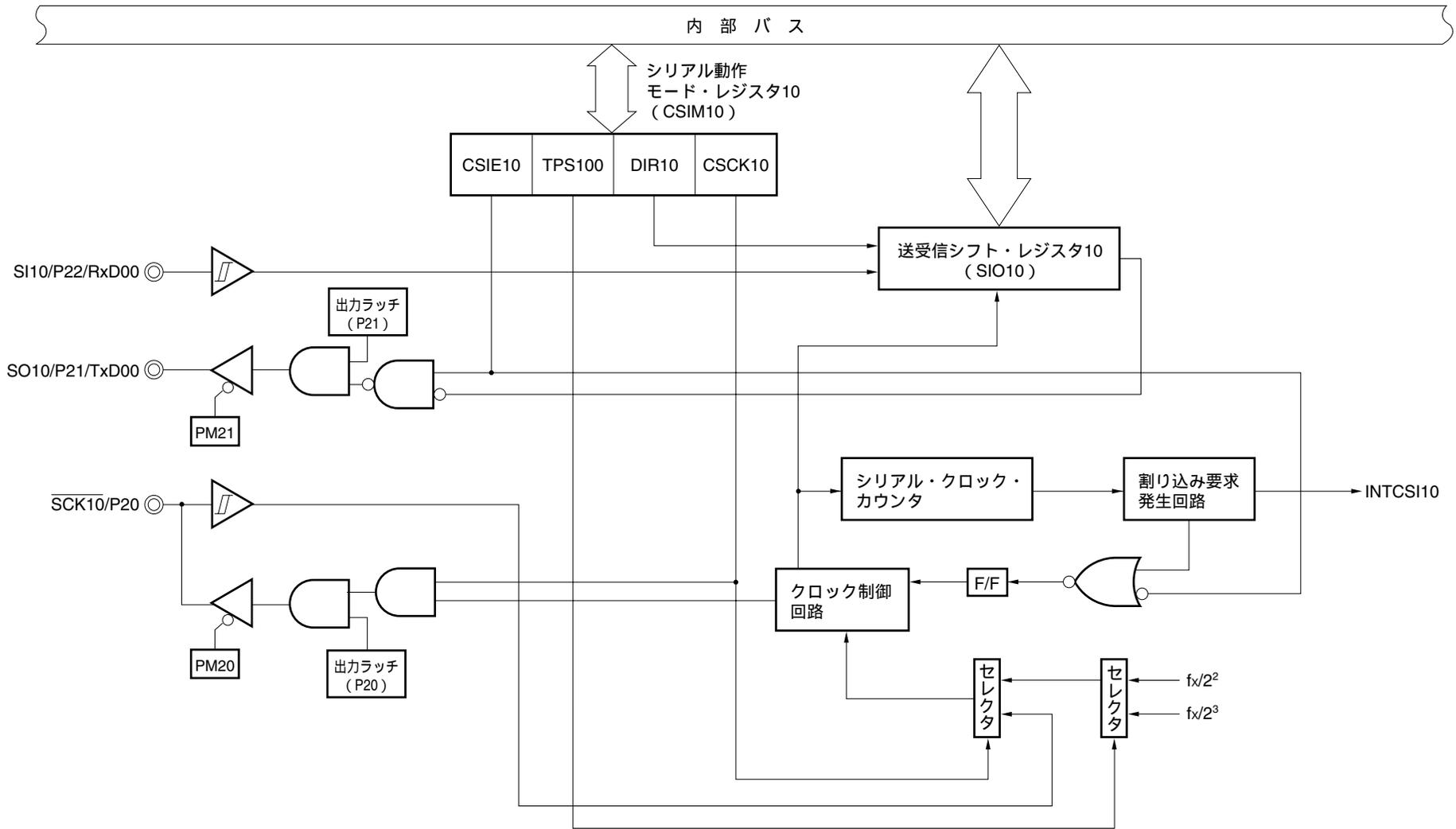
シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

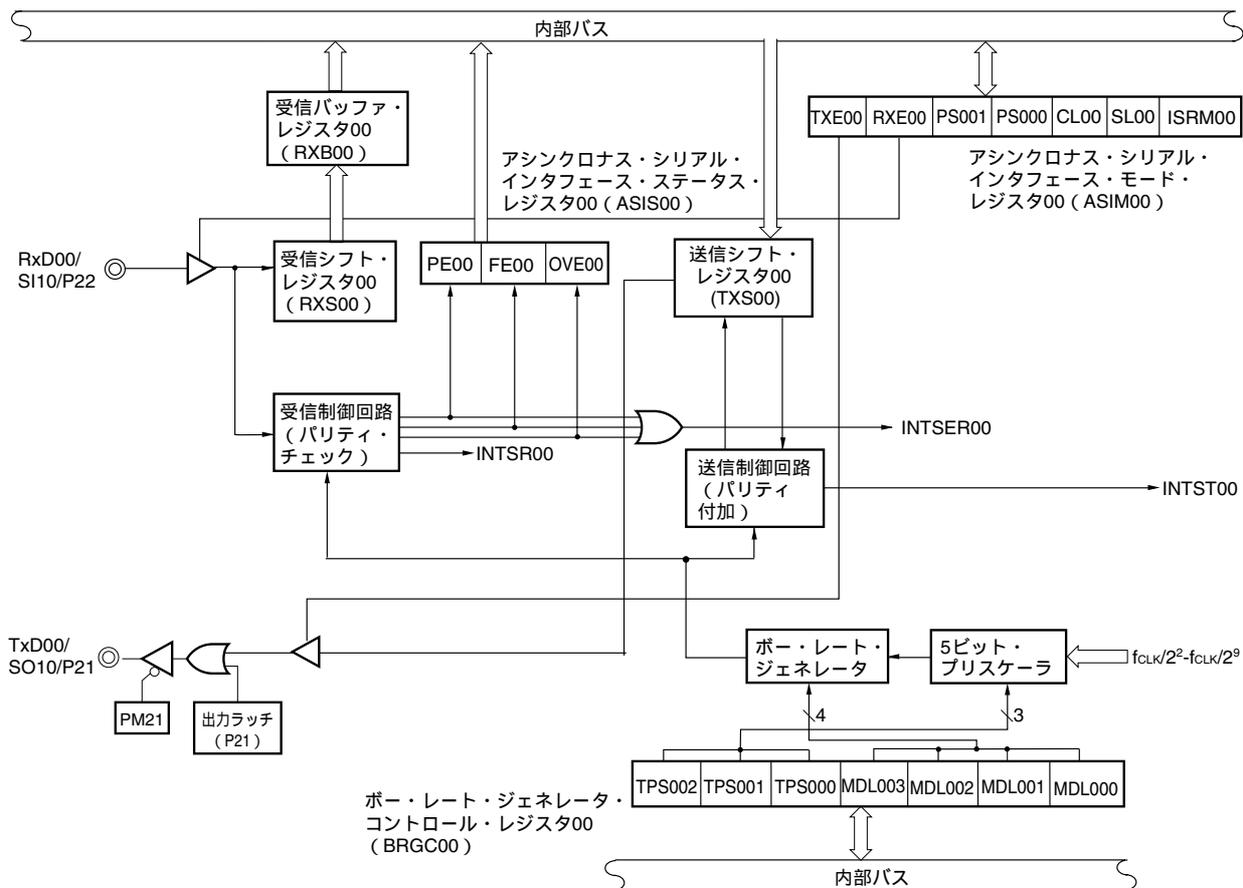
図13 - 1, 13 - 2にシリアル・インタフェースのブロック図を示します。



図13-1 シリアル・インタフェース (SIO10) のブロック図



★ 図13-2 シリアル・インタフェース (UART0) のブロック図



13.2 シリアル・インタフェースの構成

シリアル・インタフェースは、次のハードウェアで構成しています。

表13 - 1 シリアル・インタフェースの構成

項 目	構 成
レジスタ	送受信シフト・レジスタ10 (SIO10) 送信シフト・レジスタ00 (TXS00) 受信シフト・レジスタ00 (RXS00) 受信バッファ・レジスタ00 (RXB00)
制御レジスタ	シリアル動作モード・レジスタ10 (CSIM10) アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

(1) 送受信シフト・レジスタ10 (SIO10)

3線式シリアル/I/Oモードにおいて、パラレル - シリアル変換を行い、シリアル・クロックに同期してシリアル送受信を行う8ビットのレジスタです。

SIO10は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(2) 送信シフト・レジスタ00 (TXS00)

UARTモードで、送信データを設定するレジスタです。TXS00に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS00に書き込んだデータのビット0-6が送信データとして転送されます。TXS00にデータを書き込むことにより、送信動作を開始します。

TXS00は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXS00への書き込みを行わないでください。

TXS00と受信バッファ・レジスタ00 (RXB00) は同一アドレスに割り当てられており、読み出しを行った場合にはRXB00の値が読み出されます。

(3) 受信シフト・レジスタ00 (RXS00)

UARTモードで、RxD端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ00 (RXB00) へ転送します。

RXS00はプログラムで直接操作することはできません。

(4) 受信バッファ・レジスタ00 (RXB00)

UARTモードで、受信データを保持するレジスタです。データを1バイト受信することに受信シフト・レジスタ00 (RXS00) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB00のビット0-6に転送され、RXB00のMSBは必ず0になります。

RXB00は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

RESET入力により、不定になります。

注意 RXB00と送信シフト・レジスタ00 (TXS00) は同一アドレスに割り当てられており、書き込みを行った場合にはTXS00に値が書き込まれます。

(5) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) に設定された内容に従って、送信シフト・レジスタ00 (TXS00) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(6) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) に設定された内容に従って、受信動作を制御します。また受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) にセットします。

13.3 シリアル・インタフェースを制御するレジスタ

シリアル・インタフェースは、次の4種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ10 (CSIM10)
- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

(1) シリアル動作モード・レジスタ10 (CSIM10)

シリアル・インタフェースを3線式シリアルI/Oモードで使用するときを設定するレジスタです。

CSIM10は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図13-3 シリアル動作モード・レジスタ10のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM10	CSIE10	0	0	TPS100	0	DIR10	CSCK10	0	FF72H	00H	R/W

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

TPS100	内部クロック選択時のカウント・クロックの選択	
	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 2.0 \text{ MHz}$ 動作時
0	$f_x/2^2$ (1.25 MHz)	$f_{cc}/2^2$ (500 kHz)
1	$f_x/2^3$ (625 kHz)	$f_{cc}/2^3$ (250 kHz)

DIR10	先頭ビットの指定
0	MSB
1	LSB

CSCK10	SIO10のクロックの選択
0	SCK10端子への外部からの入力クロック
1	TPS100で選択した内部クロック

注意1. ビット0, 3, 5, 6には、必ず0を設定してください。

2. UARTモード選択時は、CSIM10に00Hを設定してください。

★ 3. 3線式シリアルI/Oモード時で外部からの入力クロックを選択したときは、ポート・モード・レジスタ2 (PM2) のビット0に1を設定して入力モードにください。

★ 4. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{cc} : メイン・システム・クロック発振周波数 (RC発振)

(2) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

シリアル・インタフェースをアシクロナス・シリアル・インタフェース・モードで使用するときを設定するレジスタです。

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図13 - 4 アシクロナス・シリアル・インタフェース・モード・レジスタ00のフォーマット

略号	5	4	3	2	1	0	アドレス	リセット時	R/W		
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	ISRM00	0	FFA0H	00H	R/W

TXE00	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE00	受信動作の制御
0	受信動作停止
1	受信動作許可

PS001	PS000	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL00	キャラクタ長の指定
0	7ビット
1	8ビット

SL00	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM00	エラー発生時の受信完了割り込み制御
0	エラー発生時、受信完了割り込み要求を発生する
1	エラー発生時、受信完了割り込み要求を発生しない

注意1. ビット0には、必ず0を設定してください。

2. 3線式シリアルI/Oモード選択時は、ASIM00に00Hを設定してください。

3. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

表13 - 2 シリアル・インタフェースの動作モードの設定一覧

(1) 動作停止モード

ASIM00		CSIM10			PM22	P22	PM21	P21	PM20	P20	先頭ビット	シフト・クロック	P22/SI10/RxD0 0端子の機能	P21/SO10/TxD00 端子の機能	P20/SCK10 端子の機能
TXE00	RXE00	CSIE1	DIR10	CSCK1											
0	0	0	x	x	x ^{注1}			P22	P21	P20					
上記以外											設定禁止				

★ (2) アシクロナス・シリアル・インタフェース・モード

ASIM00		CSIM10			PM22	P22	PM21	P21	PM20	P20	先頭ビット	シフト・クロック	P22/SI10/RxD0 0端子の機能	P21/SO10/TxD00 端子の機能	P20/SCK10 端子の機能
TXE00	RXE00	CSIE1	DIR10	CSCK1											
1	0	0	0	0	x ^{注1}	x ^{注1}	0	0	x ^{注1}	x ^{注1}	LSB	内部 クロック	P22	TxD00 (CMOS出力)	P20
0	1	0	0	0	1	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}			RxD00	P21	
1	1	0	0	0	1	x	0	0	x ^{注1}	x ^{注1}			TxD00 (CMOS出力)		
上記以外											設定禁止				

(3) 3線式シリアルI/Oモード

ASIM00		CSIM10			PM22	P22	PM21	P21	PM20	P20	先頭ビット	シフト・クロック	P22/SI10/RxD0 0端子の機能	P21/SO10/TxD00 端子の機能	P20/SCK10 端子の機能	
TXE00	RXE00	CSIE1	DIR10	CSCK1												
0	0	1	0	0	1 ^{注2}	x ^{注2}	0	1	1	x	MSB	外部 クロック	SI10 ^{注2}	SO10 (CMOS出力)	SCK10入力	
				0					1						SCK10出力	
				1					x			LSB			外部 クロック	SCK10入力
				0					1							内部 クロック
上記以外											設定禁止					

注1. ポート機能として自由に使用できます。

2. 送信のみ使用する場合は、P22 (CMOS入出力) として使用できます。

備考 x : don't care

(3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)

アシクロナス・シリアル・インタフェース・モードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASIS00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図13-5 アシクロナス・シリアル・インタフェース・ステータス・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS00	0	0	0	0	0	PE00	FE00	OVE00	FFA3H	00H	R

PE00	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE00	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVE00	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット2 (SL00) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ00 (RXB00) を必ず読み出してください。RXB00を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

注意 ビット3-7には、必ず0を設定してください

(4) ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

シリアル・インタフェースのシリアル・クロックを設定するレジスタです。

BRGC00は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図13 - 6 ポー・レート・ジェネレータ・コントロール・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC00	0	TPS002	TPS001	TPS000	MDL003	MDL002	MDL001	MDL000	FFA1H	00H	R/W

★

TPS002	TPS001	TPS000	5ビット・カウンタのソース・クロック (f _{sck}) の選択			
			f _x = 5.0 MHz動作時		f _{cc} = 2.0 MHz動作時	n
0	0	0	f _x /2 (2.5 MHz)		f _{cc} /2 (1.0 MHz)	0
0	0	1	f _x /2 ² (1.25 MHz)		f _{cc} /2 ² (500 kHz)	1
0	1	0	f _x /2 ³ (625 kHz)		f _{cc} /2 ³ (250 kHz)	2
0	1	1	f _x /2 ⁴ (313 kHz)		f _{cc} /2 ⁴ (125 kHz)	3
1	0	0	f _x /2 ⁵ (156 kHz)		f _{cc} /2 ⁵ (62.5 kHz)	4
1	0	1	f _x /2 ⁶ (78.1 kHz)		f _{cc} /2 ⁶ (31.3 kHz)	5
1	1	0	f _x /2 ⁷ (39.1 kHz)		f _{cc} /2 ⁷ (15.6 kHz)	6
1	1	1	f _x /2 ⁸ (19.5 kHz)		f _{cc} /2 ⁸ (7.81 kHz)	7

MDL003	MDL002	MDL001	MDL000	ポー・レート・ジェネレータの入力クロックの選択	k
0	0	0	0	f _{sck} /16	0
0	0	0	1	f _{sck} /17	1
0	0	1	0	f _{sck} /18	2
0	0	1	1	f _{sck} /19	3
0	1	0	0	f _{sck} /20	4
0	1	0	1	f _{sck} /21	5
0	1	1	0	f _{sck} /22	6
0	1	1	1	f _{sck} /23	7
1	0	0	0	f _{sck} /24	8
1	0	0	1	f _{sck} /25	9
1	0	1	0	f _{sck} /26	10
1	0	1	1	f _{sck} /27	11
1	1	0	0	f _{sck} /28	12
1	1	0	1	f _{sck} /29	13
1	1	1	0	f _{sck} /30	14
1	1	1	1	設定禁止	-

注意1. ビット7には、必ず0を設定してください。

2. 通信動作中にBRGC00への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。

備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{cc} : メイン・システム・クロック発振周波数 (RC発振)

3. f_{sck} : 5ビット・カウンタのソース・クロック

4. n : TPS000-TPS002で設定で決定される値 (1 n 8)

5. k : MDL000-MDL003で設定で決定される値 (0 k 14)

生成するボー・レート用の送受信クロックは、メイン・システム・クロックを分周した信号になります。

(a) メイン・システム・クロックによるUARTボー・レート用の送受信クロックの生成

メイン・システム・クロックを分周して送受信クロックを生成します。メイン・システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{CLK}}}{2^{n+2} \times (k + 16)} [\text{Hz}]$$

f_{CLK} : メイン・システム・クロック発振周波数 (f_x または f_{CC})

n : TPS000-TPS002の設定で決定される図13 - 6中の値 (0 n 7)

k : MDL000-MDL003の設定で決定される図13 - 6中の値 (0 k 14)

★ 表13 - 3 メイン・システム・クロックとボー・レートの関係例 ($f_x = 5.0 \text{ MHz}$ の場合)

ボー・レート (bps)	BRGC00の設定値	n	k	誤差 (%)
				$f_x = 5.0 \text{ MHz}$
600	70H	7	0	1.73
1200	60H	6	0	
2400	50H	5	0	
4800	40H	4	0	
9600	30H	3	0	
19200	20H	2	0	
31250	14H	1	4	0.00
38400	10H	1	0	1.73
76800	00H	0	0	

★ 表13 - 4 メイン・システム・クロックとボー・レートの関係例 ($f_x = 4.9152 \text{ MHz}$ の場合)

ボー・レート (bps)	BRGC00の設定値	n	k	誤差 (%)
				$f_x = 4.9152 \text{ MHz}$
600	70H	7	0	0.00
1200	60H	6	0	
2400	50H	5	0	
4800	40H	4	0	
9600	30H	3	0	
19200	20H	2	0	
31250	14H	1	4	- 1.73
38400	10H	1	0	0.00
76800	00H	0	0	

★ 表13 - 5 メイン・システム・クロックとボー・レートの関係例 (fx = 4.1943 MHzの場合)

ボー・レート (bps)	BRGC00の設定値	n	k	誤差 (%)
				fx = 4.1943 MHz
300	7BH	7	11	1.13
600	6BH	6	11	
1200	5BH	5	11	
2400	4BH	4	11	
4800	3BH	3	11	
9600	2BH	2	11	
19200	1BH	1	11	
31250	11H	1	1	- 1.33
38400	0BH	0	11	1.13

★ 表13 - 6 メイン・システム・クロックとボー・レートの関係例 (fx = 4.00 MHzの場合)

ボー・レート (bps)	BRGC00の設定値	n	k	誤差 (%)
				fx = 4.00 MHz
300	7AH	7	10	0.16
600	6AH	6	10	
1200	5AH	5	10	
2400	4AH	4	10	
4800	3AH	3	10	
9600	2AH	2	10	
19200	1AH	1	10	
31250	10H	1	0	0.00
38400	0AH	0	10	0.16

13.4 シリアル・インタフェースの動作

シリアル・インタフェースは、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード
- ・3線式シリアルI/Oモード

13.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減することができます。また、動作停止モードでは、P20/SCK10, P21/SO10/TxD00, P22/SI10/RxD00端子を通常の入出力ポートとして使用できません。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ10 (CSIM10) とアシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) で行います。

(a) シリアル動作モード・レジスタ10 (CSIM10)

CSIM10は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET \bar 入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM10	CSIE10	0	0	TPS100	0	DIR10	CSCK10	0	FF72H	00H	R/W

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

注意 ビット0, 3, 5, 6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W		
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	ISRM00	0	FFA0H	00H	R/W

TXE00	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE00	受信動作の制御
0	受信動作停止
1	受信動作許可

注意 ビット0には必ず0を設定してください。

13.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

(1) レジスタの設定

UARTモードの設定は、シリアル動作モード・レジスタ10 (CSIM10)、アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)、ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) で行います。

(a) シリアル動作モード・レジスタ10 (CSIM10)

CSIM10は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

UARTモード選択時は、CSIM10に00Hを設定してください。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM10	CSIE10	0	0	TPS100	0	DIR10	CSCK10	0	FF72H	00H	R/W

CSIE10	3線式シリアルI/Oモード時の動作の制御	
0	動作停止	
1	動作許可	

TPS100	内部クロック選択時のカウント・クロックの選択	
	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 2.0 \text{ MHz}$ 動作時
0	$f_x/2^2$ (1.25 MHz)	$f_{cc}/2^2$ (500 kHz)
1	$f_x/2^3$ (625 kHz)	$f_{cc}/2^3$ (250 kHz)

DIR10	先頭ビットの指定
0	MSB
1	LSB

CSCK10	SIO10のクロックの選択
0	SCK10端子への外部からの入力クロック
1	TPS100で選択した内部クロック

注意1. ビット0, 3, 5, 6には、必ず0を設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{cc} : メイン・システム・クロック発振周波数 (RC発振)

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 UARTモード時、ポート・モード・レジスタ (PM \times \times) を次のように設定してください。
また、出力ラッチはそれぞれ0に設定してください。

・受信時

P22 (RxD00) を入力モード (PM22 = 1) に設定

・送信時

P21 (TxD00) を出力モード (PM21 = 0) に設定

・送受信時

P22を入力モード, P21を出力モードにそれぞれ設定

略号			5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	ISRM00	0	FFA0H	00H	R/W

TXE00	RXE00	動作モード	RxD00/SI10/P22端子の機能	TxD00/SO10/P21端子の機能
0	0	動作停止	ポート機能 (P22)	ポート機能 (P21)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD00)	
1	0	UARTモード (送信のみ)	ポート機能 (P22)	シリアル機能 (TxD00)
1	1	UARTモード (送受信)	シリアル機能 (RxD00)	

PS001	PS000	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ不可 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL00	キャラクタ長の指定
0	7ビット
1	8ビット

SL00	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM00	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

- 注意1. ビット0には, 必ず0を設定してください。
2. 動作モードの切り替えは, シリアル送受信動作を停止させたのちに行ってください。

(c) アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)

ASIS00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS00	0	0	0	0	0	PE00	FE00	OVE00	FFA3H	00H	R

PE00	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE00	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVE00	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット2 (SL00) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ00 (RXB00) を必ず読み出してください。RXB00を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

注意 ビット3-7には、必ず0を設定してください

(d) ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

BRGC00は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC00	0	TPS002	TPS001	TPS000	MDL003	MDL002	MDL001	MDL000	FFA1H	00H	R/W

TPS002	TPS001	TPS000	5ビット・カウンタのソース・クロックの選択		
			$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 2.0 \text{ MHz}$ 動作時	n
0	0	0	$f_x/2$ (2.5 MHz)	$f_{cc}/2$ (1.0 MHz)	0
0	0	1	$f_x/2^2$ (1.25 MHz)	$f_{cc}/2^2$ (500 kHz)	1
0	1	0	$f_x/2^3$ (625 kHz)	$f_{cc}/2^3$ (250 kHz)	2
0	1	1	$f_x/2^4$ (313 kHz)	$f_{cc}/2^4$ (125 kHz)	3
1	0	0	$f_x/2^5$ (156 kHz)	$f_{cc}/2^5$ (62.5 kHz)	4
1	0	1	$f_x/2^6$ (78.1 kHz)	$f_{cc}/2^6$ (31.3 kHz)	5
1	1	0	$f_x/2^7$ (39.1 kHz)	$f_{cc}/2^7$ (15.6 kHz)	6
1	1	1	$f_x/2^8$ (19.5 kHz)	$f_{cc}/2^8$ (7.81 kHz)	7

MDL003	MDL002	MDL001	MDL000	ポー・レート・ジェネレータの入カクロックの選択	k
0	0	0	0	$f_{sck}/16$	0
0	0	0	1	$f_{sck}/17$	1
0	0	1	0	$f_{sck}/18$	2
0	0	1	1	$f_{sck}/19$	3
0	1	0	0	$f_{sck}/20$	4
0	1	0	1	$f_{sck}/21$	5
0	1	1	0	$f_{sck}/22$	6
0	1	1	1	$f_{sck}/23$	7
1	0	0	0	$f_{sck}/24$	8
1	0	0	1	$f_{sck}/25$	9
1	0	1	0	$f_{sck}/26$	10
1	0	1	1	$f_{sck}/27$	11
1	1	0	0	$f_{sck}/28$	12
1	1	0	1	$f_{sck}/29$	13
1	1	1	0	$f_{sck}/30$	14
1	1	1	1	設定禁止	-

注意1. ビット7には、必ず0を設定してください。

2. 通信動作中にBRGC00への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。

備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{cc} : メイン・システム・クロック発振周波数 (RC発振)

3. f_{sck} : 5ビット・カウンタのソース・クロック

4. n : TPS000-TPS002で設定で決定される値 (1 n 8)

5. k : MDL000-MDL003で設定で決定される値 (0 k 14)

生成するポー・レート用の送受信クロックは、メイン・システム・クロックを分周した信号になります。

- ・メイン・システム・クロックによるポー・レート用の送受信クロックの生成
メイン・システム・クロックを分周して送受信クロックを生成します。メイン・システム・クロックから生成するポー・レートは次の式によって求められます。

$$[\text{ポー・レート}] = \frac{f_{\text{CLK}}}{2^{n+2} \times (k+16)} [\text{Hz}]$$

f_{CLK} : f_x または f_{CC}

f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

f_{CC} : メイン・システム・クロック発振周波数 (RC発振)

BRGC00のビット4-6 (TPS000-TPS002) に割り当てた5ビット・カウンタのソース・クロックと n の値との関係を表13 - 7に、ポー・レート・ジェネレータの入力クロックと k の値との関係を表13 - 8に示します。

★

表13 - 7 5ビット・カウンタのソース・クロックと n の値との関係

TPS002	TPS001	TPS000	5ビット・カウンタのソース・クロックの選択	n
0	0	0	$f_{\text{CLK}}/2$	0
0	0	1	$f_{\text{CLK}}/2^2$	1
0	1	0	$f_{\text{CLK}}/2^3$	2
0	1	1	$f_{\text{CLK}}/2^4$	3
1	0	0	$f_{\text{CLK}}/2^5$	4
1	0	1	$f_{\text{CLK}}/2^6$	5
1	1	0	$f_{\text{CLK}}/2^7$	6
1	1	1	$f_{\text{CLK}}/2^8$	7

備考1. f_{CLK} : f_x または f_{CC}

2. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

3. f_{CC} : メイン・システム・クロック発振周波数 (RC発振)

表13-8 ポー・レート・ジェネレータの入カロックとkの値との関係

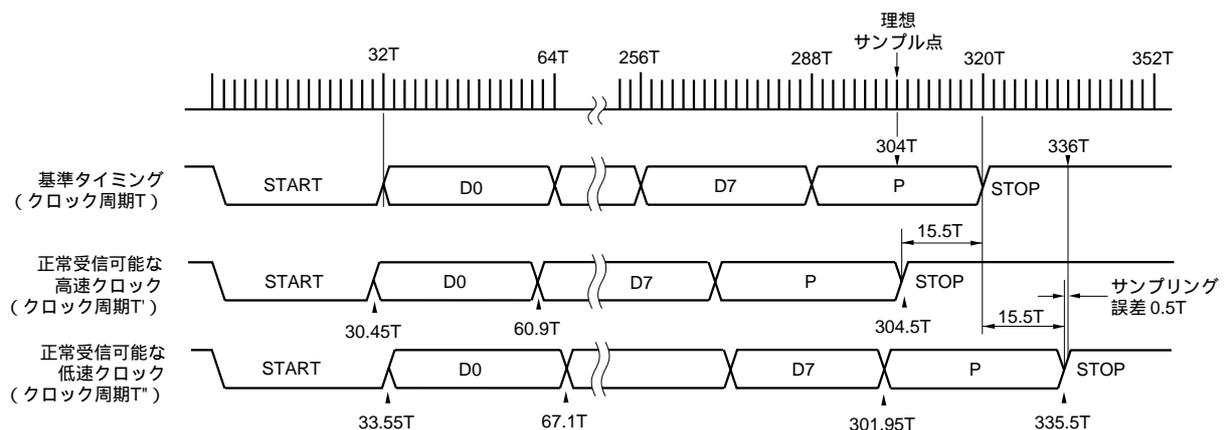
MDL003	MDL002	MDL001	MDL000	ポー・レート・ジェネレータの入カロックの選択	k
0	0	0	0	f _{sck} /16	0
0	0	0	1	f _{sck} /17	1
0	0	1	0	f _{sck} /18	2
0	0	1	1	f _{sck} /19	3
0	1	0	0	f _{sck} /20	4
0	1	0	1	f _{sck} /21	5
0	1	1	0	f _{sck} /22	6
0	1	1	1	f _{sck} /23	7
1	0	0	0	f _{sck} /24	8
1	0	0	1	f _{sck} /25	9
1	0	1	0	f _{sck} /26	10
1	0	1	1	f _{sck} /27	11
1	1	0	0	f _{sck} /28	12
1	1	0	1	f _{sck} /29	13
1	1	1	0	f _{sck} /30	14
1	1	1	1	設定禁止	-

備考 f_{sck} : 5ビット・カウンタのソース・クロック

・ポー・レートの許容誤差範囲

ポー・レートの許容範囲は、1フレームのビット数、およびカウンタの分周比 [1 / (16 + k)] に依存します。

図13-7 サンプリング誤差を考慮したポー・レートの許容誤差 (k = 0の場合)



備考 T : 5ビット・カウンタのソース・クロック周期

$$\text{ポー・レート許容範囲誤差 (k = 0の場合)} = \frac{\pm 15.5}{320} \times 100 = 4.8438 (\%)$$

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットを図13-8に示します。

図13-8 アシncロナス・シリアル・インタフェースの送受信データのフォーマット



1データ・フレームは、次に示す各ビットで構成されます。

- ・スタート・ビット : 1ビット
- ・キャラクタ・ビット : 7ビット/8ビット
- ・パリティ・ビット : 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット : 1ビット/2ビット

1データ・フレーム内のキャラクタ・ビット長の指定,パリティ選択,ストップ・ビット長の指定は,アシncロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) によって行います。

キャラクタ・ビットとして7ビットを選択した場合,下位7ビット(ビット0-6)のみが有効となり,送信の場合は最上位ビット(ビット7)は無視され,受信の場合は必ず最上位ビット(ビット7)は“0”になります。

シリアル転送レートの設定は,ASIM00とポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) によって行います。

また,シリアル・データの受信エラーが発生した場合,アシncロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) の状態を読むことによって受信エラーの内容を判定できます。

(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一のものを使用します。偶数パリティと奇数パリティは、1ビット(奇数個)の誤りを検出できます。0パリティとパリティなしとは、誤りを検出できません。

() 偶数パリティ**・送信時**

パリティ・ビットを含めた送信データ中の値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

() 奇数パリティ**・送信時**

偶数パリティとは逆にパリティ・ビットを含めた送信データ中の値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に値が“1”のビットの数が奇数個：0

送信データ中に値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

() 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

() パリティなし

送信データにパリティ・エラーを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

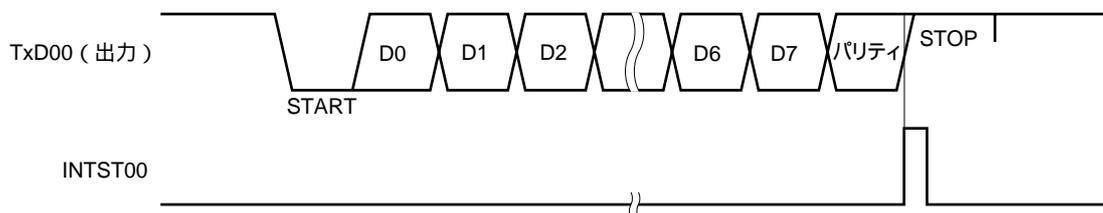
送信動作は、アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット7 (TXE00) がセット (1) されると許可状態になり、送信シフト・レジスタ00 (TXS00) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXS00内のデータがシフト・アウトされTXS00が空になると、送信完了割り込み要求 (INTST00) が発生します。

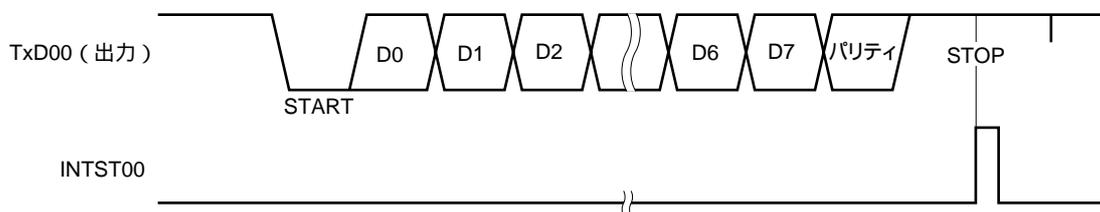
送信完了割り込みのタイミングを図13 - 9に示します。

図13 - 9 アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング

() ストップ・ビット長 : 1



() ストップ・ビット長 : 2



注意 送信動作中にはアシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) を書き換えないでください。送信中にASIM00レジスタを書き換えると、それ以降の送信動作ができなくなる場合があります (RESET入力により、正常になります)。

送信中かどうかは、送信完了割り込み要求 (INTST00) またはINTST00によってセットされる割り込み要求フラグ (STIF00) を用いて、ソフトウェアにより判断できます。

(d) 受信

受信動作はアシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット6 (RXE00) がセット (1) されると許可状態となり, RxD00端子入力のサンプリングを行います。

RxD00端子入力のサンプリングは, BRGC00で指定したシリアル・クロックで行います。

RxD00端子入力がロウ・レベルになると, ポー・レート・ジェネレータの5ビット・カウンタがカウントを開始し, 設定したポー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD00端子入力をサンプリングした結果, ロウ・レベルであれば, スタート・ビットとして認識し, 5ビット・カウンタを初期化してカウントを開始し, データのサンプリングを行います。スタート・ビットに続いて, キャラクタ・データ, パリティ・ビットおよび1ビットのストップ・ビットが検出されると, 1フレームのデータ受信が終了します。

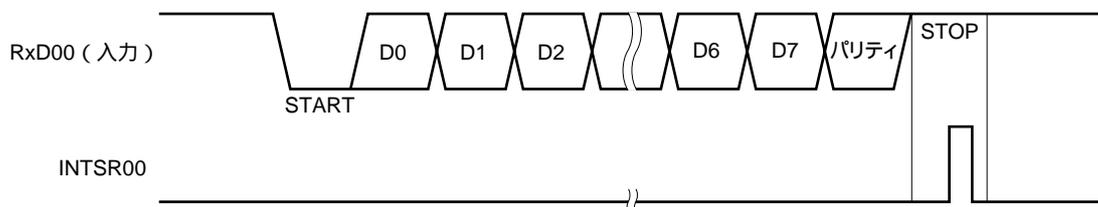
1フレームのデータ受信が終了すると, シフト・レジスタ内の受信データを受信バッファ・レジスタ00 (RXB00) に転送し, 受信完了割り込み要求 (INTSR00) を発生します。

また, エラーが発生しても, RXB00にエラーの発生した受信データを転送します。エラー発生時, ASIM00のビット1 (ISRM00) がクリア (0) されている場合は, INTSR00は発生します (図13 - 11参照)。ISRM00ビットがセット (1) されている場合は, INTSR00は発生しません。

なお, 受信動作中にRXE00ビットをクリア (0) すると, ただちに受信動作を停止します。このとき, RXB00およびASIS00の内容は変化せず, また, INTSR00, INTSER00も発生しません。

図13 - 10にアシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミングを示します。

図13 - 10 アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



注意 受信エラー発生時にも受信バッファ・レジスタ00 (RXB00) は必ず読み出してください。RXB00を読み出さないと, 次のデータ受信時にオーバラン・エラーが発生し, いつまでも受信エラーの状態が続いてしまいます。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) 内に立つと、受信エラー割り込み要求 (INTSER00) を発生します。受信エラー割り込みは、受信完了割り込み要求 (INTSR00) より先に発生します。受信エラー要因を表13 - 9に示します。

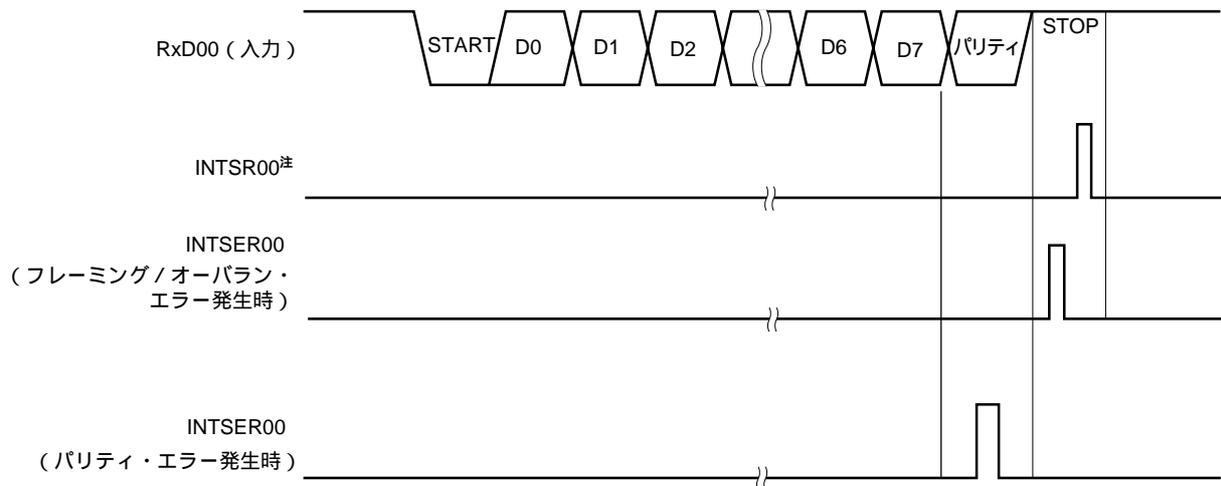
受信エラー割り込み処理 (INTSER00) 内でASIS00の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます (表13 - 9, 図13 - 11参照)。

ASIS00の内容は、受信バッファ・レジスタ00 (RXB00) を読み出すか、次のデータを受信することでクリア (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表13 - 9 受信エラーの要因

受信エラー	要因	ASIS00の値
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない	04H
フレーミング・エラー	ストップ・ビットが検出されない	02H
オーバラン・エラー	受信バッファ・レジスタ00からデータを読み出す前に次のデータ受信完了	01H

図13 - 11 受信エラー・タイミング



注 ISRM00ビットがセット (1) されている場合に受信エラーが発生したときは、INTSR00は発生しません。

- 注意1. アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) の内容は、受信バッファ・レジスタ00 (RXB00) を読み出すか、次のデータを受信することにより、クリア (0) されます。エラーの内容が知りたい場合には、必ずRXB00を読み出す前にASIS00を読み出してください。
2. 受信エラー発生時にも受信バッファ・レジスタ00 (RXB00) は必ず読み出してください。RXB00を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

13.4.3 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック（ $\overline{\text{SCK10}}$ ）、シリアル出力（SO10）、シリアル入力（SI10）の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ10（CSIM10）、アシンクロナス・シリアル・インタフェース・モード・レジスタ00（ASIM00）、ポー・レート・ジェネレータ・コントロール・レジスタ00（BRGC00）で行います。

(a) シリアル動作モード・レジスタ10（CSIM10）

CSIM10は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM10	CSIE10	0	0	TPS100	0	DIR10	CSCK10	0	FF72H	00H	R/W

CSIE10	3線式シリアルI/Oモード時の動作の制御	
0	動作停止	
1	動作許可	

TPS100	内部クロック選択時のカウント・クロックの選択	
	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 2.0 \text{ MHz}$ 動作時
0	$f_x/2^2$ (1.25 MHz)	$f_{cc}/2^2$ (500 kHz)
1	$f_x/2^3$ (625 kHz)	$f_{cc}/2^3$ (250 kHz)

DIR10	先頭ビットの指定
0	MSB
1	LSB

CSCK10	SIO10のクロックの選択
0	$\overline{\text{SCK10}}$ 端子への外部からの入力クロック
1	TPS100で選択した内部クロック

注意1. ビット0, 3, 5, 6には、必ず0を設定してください。

- 3線式シリアルI/Oモード時で外部からの入力クロックを選択したときは、ポート・モード・レジスタ2（PM2）のビット0に1を設定して入力モードにください。
- 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

備考1. f_x : メイン・システム・クロック発振周波数（セラミック/クリスタル発振）

- f_{cc} : メイン・システム・クロック発振周波数（RC発振）

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

3線式シリアルI/Oモード選択時は、ASIM00に00Hを設定してください。

略号			5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	ISRM00	0	FFA0H	00H	R/W

TXE00	RXE00	動作モード	RxD00/P22端子の機能	TxD00/P21端子の機能
0	0	動作停止	ポート機能 (P22)	ポート機能 (P21)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD00)	
1	0	UARTモード (送信のみ)	ポート機能 (P22)	シリアル機能 (TxD00)
1	1	UARTモード (送受信)	シリアル機能 (RxD00)	

PS001	PS000	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ不可 受信時、パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL00	キャラクタ長の指定
0	7ビット
1	8ビット

SL00	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM00	エラー発生時の受信完了割り込み制御
0	エラー発生時、受信完了割り込み要求を発生する
1	エラー発生時、受信完了割り込み要求を発生しない

注意1. ビット0には、必ず0を設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください

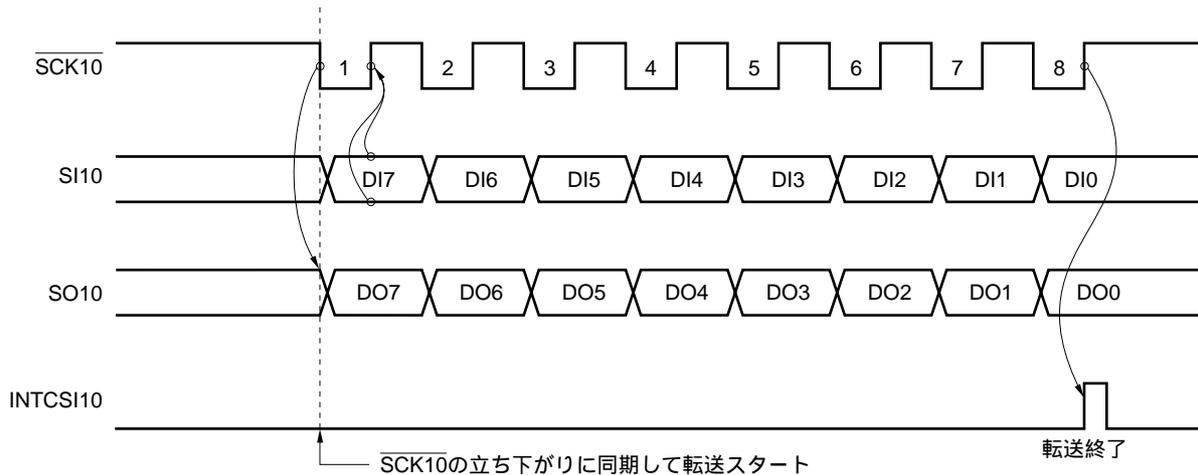
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

送受信シフト・レジスタ10 (SIO10) のシフト動作は、シリアル・クロック ($\overline{\text{SCK10}}$) の立ち下がりに同期して行われます。そして、送信データがSO10ラッチに保持され、SO10端子から出力されます。また、 $\overline{\text{SCK10}}$ の立ち上がりで、SI10端子に入力された受信データがSIO10の入力側ビットにラッチされます。

8ビット転送終了により、SIO10の動作は自動的に停止し、割り込み要求信号 (INTCSI10) を発生します。

図13 - 12 3線式シリアルI/Oモードのタイミング



- 注意1. シリアル動作禁止設定時 ($\text{CSIE10} = 0$) に、SIO10にデータを書き込んでも送受信できません。
- シリアル動作禁止設定時 ($\text{CSIE10} = 0$) に、SIO10にデータを書き込んだあと、シリアル動作許可 ($\text{CSIE10} = 1$) にしても送受信できません。
 - 外部シリアル・クロック選択時 ($\text{CSCK10} = 0$) で1度SIO10にデータを書き込んだあと、SIO10に上書きをした場合、SIO10の内容は更新されません。
 - 送受信中にCSIM10を操作した場合、正常な送受信動作はできません。
 - 送受信中にSIO10を操作した場合、正常な送受信動作はできません。

(3) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、送受信シフト・レジスタ10 (SIO10) に転送データをセットすることで開始します。

- シリアル動作モード・レジスタ10 (CSIM10) のビット7 (CSIE10) = 1
- 8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK10}}$ がハイ・レベルの状態

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求信号 (INTCSI10) を発生します。

第14章 LCDコントローラ/ドライバ

14.1 LCDコントローラ/ドライバの機能

LCDコントローラ/ドライバには、次のような機能があります。

- (1) 表示データ・メモリの自動読み出しによるセグメント信号とコモン信号の自動出力が可能
- (2) 4種類の表示モードが選択可能
 - ・ 1/8デューティ (1/5バイアス) (80セグメント×8コモン)
 - ・ 1/16デューティ (1/5バイアス) (80セグメント×16コモン)
 - ・ 1/32デューティ (1/5バイアス) (64セグメント×32コモン)
 - ・ 1/48デューティ (1/5バイアス) (48セグメント×48コモン)
- (3) 各表示モードにおいて、4種類のフレーム周波数を選択可能
- (4) サブシステム・クロックによる動作も可能
- (5) 昇圧回路を内蔵

14.2 LCDコントローラ/ドライバの構成

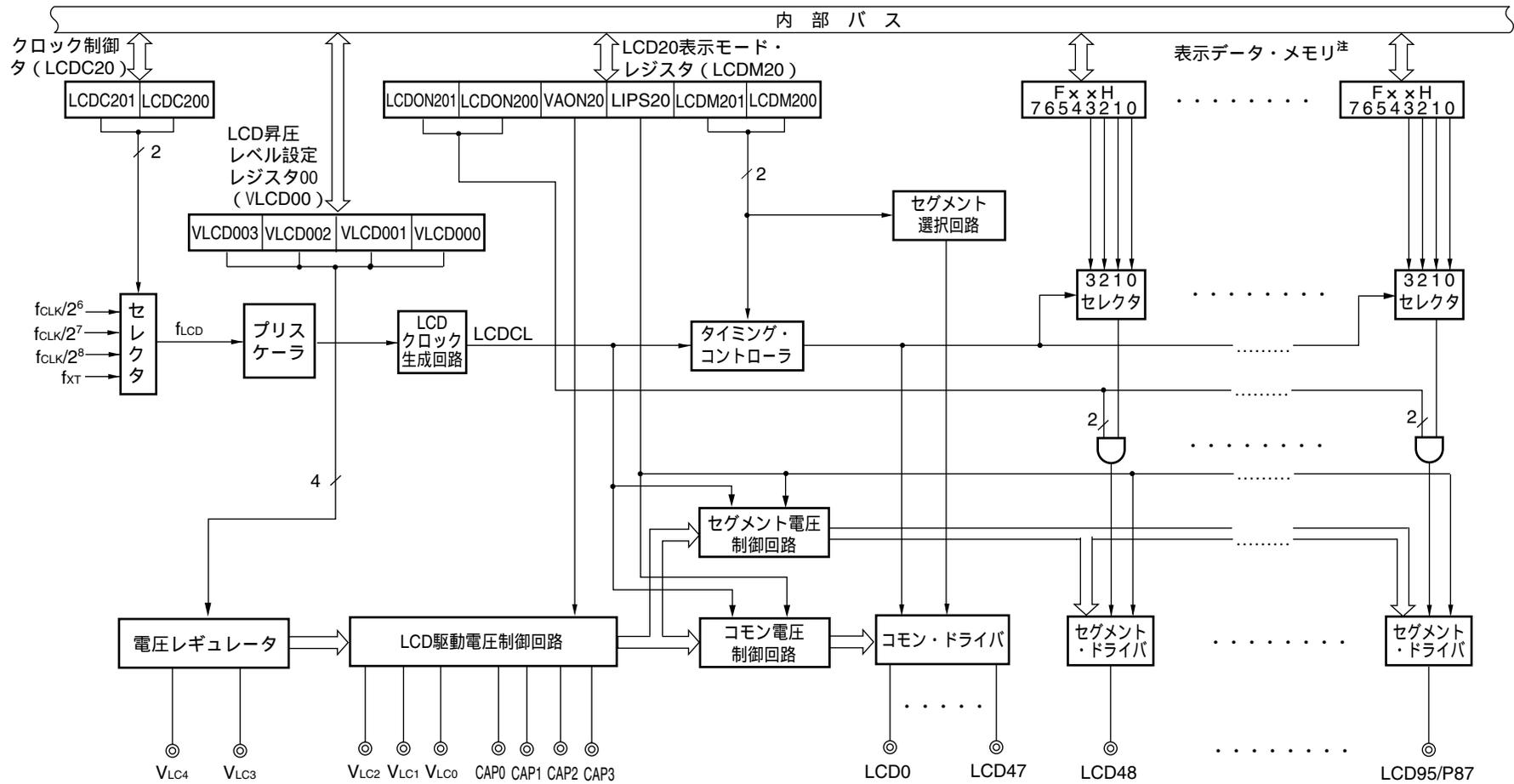
LCDコントローラ/ドライバは、次のハードウェアで構成しています。

表14 - 1 LCDコントローラ/ドライバの構成

項目	構成
表示出力	セグメント/コモン信号：96本 (LCD0-LCD95)
制御レジスタ	LCD20表示モード・レジスタ (LCDM20) LCD20クロック制御レジスタ (LCDC20) LCD昇圧レベル設定レジスタ (VLCD00)



★ 図14-1 LCDコントローラ/ドライバのブロック図



注 LCD表示モードにより，表示可能領域が変わります。
詳しくは図14-2 LCD20表示モード・レジスタのフォーマットを参照してください。

14.3 LCDコントローラ/ドライバを制御するレジスタ

LCDコントローラ/ドライバは、次の3種類のレジスタで制御します。

- ・LCD20表示モード・レジスタ (LCDM20)
- ・LCD20クロック制御レジスタ (LCDC20)
- ・LCD昇圧レベル設定レジスタ00 (VLCD00)

(1) LCD20表示モード・レジスタ (LCDM20)

表示の許可/禁止, 昇圧回路の許可/停止, セグメント/コモン端子出力, 表示モードを設定するレジスタです。

LCDM20は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

★ 図14 - 2 LCD20表示モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LCDM20	LCDON201	LCDON200	VAON20	LIPS20	0	0	LCDM201	LCDM200	FFB0H	00H	R/W

LCDON201	LCDON200	LCD表示の許可 / 禁止
0	0	表示オフ (セグメント出力はすべて非選択信号出力)
0	1	表示オン (Aパターン) ^{注1}
1	0	設定禁止
1	1	表示オン (Bパターン) ^{注1}

VAON20	昇圧回路の動作許可 / 停止 ^{注2}
0	昇圧回路動作停止
1	昇圧回路動作許可

LIPS20	セグメント端子 / コモン端子出力の制御 ^{注2}
0	セグメント端子 / コモン端子にグラウンド・レベルを出力
1	セグメント端子に非選択レベル, コモン端子にLCD波形を出力

LCDM201	LCDM200	LCDコントローラ/ドライバの表示モードの選択	
0	0	48×48モード (1/48デューティ)	1/5バイアス
0	1	64×32モード (1/32デューティ)	
1	0	80×16モード (1/16デューティ)	
1	1	80×8モード (1/8デューティ) ^{注3}	

- 注1. AパターンはF8C0H-F9DFH, BパターンはF9E0H-FAFFHのRAM領域にそれぞれ表示します。メモリ・マップについては第3章 CPUアーキテクチャを参照してください。
2. LCD表示を行わないとき, 消費電力を低減させるため, VAON20に0, LIPS20に0を設定してください。
3. P80/LCD88-P87/LCD95は汎用入力ポートとして使用します。

注意1. ビット2, 3には, 必ず0を設定してください。

2. VAON20を操作する場合は, 次の手順をお守りください。

A. 表示オン状態から表示オフ状態にして昇圧停止するとき

- 1) LCDON200 = 0, LCDON200 = 0により, 表示オフ状態にする。
- 2) LIPS20 = 0により, すべてのセグメント・バッファ, コモン・バッファを出力禁止にする。
- 3) VAON20 = 0により, 昇圧停止にする。

B. 表示オン状態で昇圧停止するとき

設定禁止です。必ず表示オフにしてから昇圧停止してください。

C. 昇圧停止状態から表示オンにするとき

- 1) VAON20 = 1により昇圧開始して, 約500 ms待つ。
- 2) LIPS20 = 1により, すべてのセグメント・バッファ, コモン・バッファを非表示出力状態にする。
- 3) LCDON200 = 1により, 表示オン状態にする。

Aパターン表示の場合はLCDON201 = 0, Bパターン表示の場合はLCDON201 = 1にする。

(2) LCD20クロック制御レジスタ (LCDC20)

LCDソース・クロック，フレーム周波数を設定するレジスタです。

LCDC20は，8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図14 - 3 LCD20クロック制御レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LCDC20	0	0	0	0	0	0	LCDC201	LCDC200	FFB2H	00H	R/W

LCDC201	LCDC200	LCDソース・クロック (f_{LCD}) の選択	
		$f_x = 5.0 \text{ MHz}$, $f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_{CC} = 2.0 \text{ MHz}$, $f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	$f_x/2^6$ (78.1 kHz)	$f_{CC}/2^6$ (31.3 kHz)
0	1	$f_x/2^7$ (39.1 kHz)	$f_{CC}/2^7$ (15.6 kHz)
1	0	$f_x/2^8$ (19.5 kHz)	$f_{CC}/2^8$ (7.81 kHz)
1	1	f_{XT} (32.768 kHz)	

注意 ビット2-7には，必ず0を設定してください。

備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{CC} : メイン・システム・クロック発振周波数 (RC発振)

3. f_{XT} : サブシステム・クロック発振周波数

表示モードのデューティとLCDソース・クロック (f_{LCD}) により，フレーム周波数が決まります。

各表示モードでのフレーム周波数を表14 - 2～表14 - 5に示します。

★ 表14 - 2 1/48デューティ (48×48モード) でのフレーム周波数 (Hz)

LCDM201	LCDM200	LCDC201	LCDC200	LCDソース・クロック 周波数 (f_{LCD})	フレーム周波数	
					$f_x = 4.19 \text{ MHz}$ 動作時	$f_x = 5.0 \text{ MHz}$ 動作時
0	0	0	0	$f_x/2^6$	42.7 Hz	50.9 Hz
		0	1	$f_x/2^7$	21.3 Hz	25.4 Hz
		1	0	$f_x/2^8$	10.7 Hz	12.8 Hz
		1	1	f_{XT} (32.768 kHz)	21.3 Hz	

★ 表14 - 3 1/32デューティ (64×32モード) でのフレーム周波数 (Hz)

LCDM201	LCDM200	LCDC201	LCDC200	LCDソース・クロック 周波数 (f_{LCD})	フレーム周波数	
					$f_x = 4.19 \text{ MHz}$ 動作時	$f_x = 5.0 \text{ MHz}$ 動作時
0	1	0	0	$f_x/2^6$	64 Hz	76.3 Hz
		0	1	$f_x/2^7$	32 Hz	38.1 Hz
		1	0	$f_x/2^8$	16 Hz	19.1 Hz
		1	1	f_{XT} (32.768 kHz)	32 Hz	

★ 表14 - 4 1/16デューティ (80 × 16モード) でのフレーム周波数 (Hz)

LCDM201	LCDM200	LCDC201	LCDC200	LCDソース・クロック周波数 (f _{LD})	フレーム周波数	
					f _x = 4.19 MHz動作時	f _x = 5.0 MHz動作時
1	0	0	0	f _x /2 ⁶	128 Hz	152.6 Hz
		0	1	f _x /2 ⁷	64 Hz	76.3 Hz
		1	0	f _x /2 ⁸	32 Hz	38.1 Hz
		1	1	f _{XT} (32.768 kHz)	64 Hz	

★ 表14 - 5 1/8デューティ (80 × 8モード) でのフレーム周波数 (Hz)

LCDM201	LCDM200	LCDC201	LCDC200	LCDソース・クロック周波数 (f _{LD})	フレーム周波数	
					f _x = 4.19 MHz動作時	f _x = 5.0 MHz動作時
1	1	0	0	f _x /2 ⁶	256 Hz	305.2 Hz
		0	1	f _x /2 ⁷	128 Hz	152.6 Hz
		1	0	f _x /2 ⁸	64 Hz	76.3 Hz
		1	1	f _{XT} (32.768 kHz)	128 Hz	

(3) LCD昇圧レベル設定レジスタ00 (VLCD00)

LCDコントローラ/ドライバの昇圧回路の電圧レベルを設定するレジスタです。

VLCD00は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14 - 4 LCD昇圧レベル設定レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
VLCD00	0	0	0	0	VLCD003	VLCD002	VLCD001	VLCD000	FFB3H	00H	R/W

★

VLCD003	VLCD002	VLCD001	VLCD000	LCD表示の電圧レベルの選択	V _{Lcd} 電圧 (TYP.) (V)
0	0	0	0	電圧レベル0 (薄)	3.8
0	0	0	1	電圧レベル1	3.9
0	0	1	0	電圧レベル2	4.0
0	0	1	1	電圧レベル3	4.1
0	1	0	0	電圧レベル4	4.2
0	1	0	1	電圧レベル5	4.3
0	1	1	0	電圧レベル6	4.4
0	1	1	1	電圧レベル7 (中)	4.5
1	0	0	0	電圧レベル8	4.6
1	0	0	1	電圧レベル9	4.7
1	0	1	0	電圧レベル10	4.8
1	0	1	1	電圧レベル11	4.9
1	1	0	0	電圧レベル12	5.0
1	1	0	1	電圧レベル13	5.1
1	1	1	0	電圧レベル14	5.2
1	1	1	1	電圧レベル15 (濃)	5.3

備考 上記の値は、外部LCD負荷がないときの値です。

14.4 コモン信号とセグメント信号

LCD0-LCD95端子は、コモン信号とセグメント信号の機能を兼用しています。それぞれ、各表示モードにより、LCD端子の配置が異なります。

表14 - 6に各表示モードにおけるLCD0-LCD95端子の配置を示します。

表14 - 6 各表示モードにおけるLCD0-LCD95端子の配置 (1/3)

ピンNo	端子名	LCD表示モード			
		48×48モード (LCDM200, 201 = 00B)	64×32モード (LCDM200, 201 = 10B)	80×16モード (LCDM200, 201 = 01B)	80×8モード (LCDM200, 201 = 11B)
1	LCD71	COM47	S39	S55	S63
2	LCD70	COM46	S38	S54	S62
3	LCD69	COM45	S37	S53	S61
4	LCD68	COM44	S36	S52	S60
5	LCD67	COM43	S35	S51	S59
6	LCD66	COM42	S34	S50	S58
7	LCD65	COM41	S33	S49	S57
8	LCD64	COM40	S32	S48	S56
9	LCD63	COM39	COM31	S47	S55
10	LCD62	COM38	COM30	S46	S54
11	LCD61	COM37	COM29	S45	S53
12	LCD60	COM36	COM28	S44	S52
13	LCD59	COM35	COM27	S43	S51
14	LCD58	COM34	COM26	S42	S50
15	LCD57	COM33	COM25	S41	S49
16	LCD56	COM32	COM24	S40	S48
17	LCD55	COM31	COM23	COM15	S47
18	LCD54	COM30	COM22	COM14	S46
19	LCD53	COM29	COM21	COM13	S45
20	LCD52	COM28	COM20	COM12	S44
21	LCD51	COM27	COM19	COM11	S43
22	LCD50	COM26	COM18	COM10	S42
23	LCD49	COM25	COM17	COM9	S41
24	LCD48	COM24	COM16	COM8	S40
25	LCD47	COM23	COM15	COM7	COM7
26	LCD46	COM22	COM14	COM6	COM6
27	LCD45	COM21	COM13	COM5	COM5
28	LCD44	COM20	COM12	COM4	COM4
29	LCD43	COM19	COM11	COM3	COM3
30	LCD42	COM18	COM10	COM2	COM2
31	LCD41	COM17	COM9	COM1	COM1
32	LCD40	COM16	COM8	COM0	COM0
33	LCD39	COM15	COM7	S39	S39
34	LCD38	COM14	COM6	S38	S38
35	LCD37	COM13	COM5	S37	S37

表14 - 6 各表示モードにおけるLCD0-LCD95端子の配置 (2/3)

ピンNo	端子名	LCD表示モード			
		48×48モード (LCDM200, 201 = 00B)	64×32モード (LCDM200, 201 = 10B)	80×16モード (LCDM200, 201 = 01B)	80×8モード (LCDM200, 201 = 11B)
36	LCD36	COM12	COM4	S36	S36
37	LCD35	COM11	COM3	S35	S35
38	LCD34	COM10	COM2	S34	S34
39	LCD33	COM9	COM1	S33	S33
40	LCD32	COM8	COM0	S32	S32
41	LCD31	COM7	S31	S31	S31
42	LCD30	COM6	S30	S30	S30
43	LCD29	COM5	S29	S29	S29
44	LCD28	COM4	S28	S28	S28
45	LCD27	COM3	S27	S27	S27
46	LCD26	COM2	S26	S26	S26
47	LCD25	COM1	S25	S25	S25
48	LCD24	COM0	S24	S24	S24
49	LCD23	S23	S23	S23	S23
50	LCD22	S22	S22	S22	S22
51	LCD21	S21	S21	S21	S21
52	LCD20	S20	S20	S20	S20
53	LCD19	S19	S19	S19	S19
54	LCD18	S18	S18	S18	S18
55	LCD17	S17	S17	S17	S17
56	LCD16	S16	S16	S16	S16
57	LCD15	S15	S15	S15	S15
58	LCD14	S14	S14	S14	S14
59	LCD13	S13	S13	S13	S13
60	LCD12	S12	S12	S12	S12
61	LCD11	S11	S11	S11	S11
62	LCD10	S10	S10	S10	S10
63	LCD9	S9	S9	S9	S9
64	LCD8	S8	S8	S8	S8
65	LCD7	S7	S7	S7	S7
66	LCD6	S6	S6	S6	S6
67	LCD5	S5	S5	S5	S5
68	LCD4	S4	S4	S4	S4
69	LCD3	S3	S3	S3	S3
70	LCD2	S2	S2	S2	S2
71	LCD1	S1	S1	S1	S1
72	LCD0	S0	S0	S0	S0
121	LCD95	S47	S63	S79	P87
122	LCD94	S46	S62	S78	P86
123	LCD93	S45	S61	S77	P85
124	LCD92	S44	S60	S76	P84
125	LCD91	S43	S59	S75	P83

表14 - 6 各表示モードにおけるLCD0-LCD95端子の配置 (3/3)

ピンNo	端子名	LCD表示モード			
		48×48モード (LCDM200, 201 = 00B)	64×32モード (LCDM200, 201 = 10B)	80×16モード (LCDM200, 201 = 01B)	80×8モード (LCDM200, 201 = 11B)
126	LCD90	S42	S58	S74	P82
127	LCD89	S41	S57	S73	P81
128	LCD88	S40	S56	S72	P80
129	LCD87	S39	S55	S71	S79
130	LCD86	S38	S54	S70	S78
131	LCD85	S37	S53	S69	S77
132	LCD84	S36	S52	S68	S76
133	LCD83	S35	S51	S67	S75
134	LCD82	S34	S50	S66	S74
135	LCD81	S33	S49	S65	S73
136	LCD80	S32	S48	S64	S72
137	LCD79	S31	S47	S63	S71
138	LCD78	S30	S46	S62	S70
139	LCD77	S29	S45	S61	S69
140	LCD76	S28	S44	S60	S68
141	LCD75	S27	S43	S59	S67
142	LCD74	S26	S42	S58	S66
143	LCD73	S25	S41	S57	S65
144	LCD72	S24	S40	S56	S64

★ 14.5 LCDコントローラ/ドライバの設定

LCDコントローラ/ドライバの設定は、次のように行ってください。

なお、LCDクロックまたは昇圧レベルを変更するときは、必ず表示オフ、昇圧停止にしてから設定してください。

14.5.1 表示開始までの設定

LCD表示データ・メモリ (F8C0H-F9DFH, F9E0H-FAFFH) に初期データを入力する。

LCD20クロック制御レジスタ (LCDC20) でLCDソース・クロックを設定する。

LCD昇圧レベル設定レジスタ00 (VLCD00) で昇圧レベルを設定する。

LCD表示モード・レジスタ20 (LCDM20) のビット5をセット (VAON20 = 1) して、昇圧を許可させる。

VAON20のセットから500ms以上ウエイトしてください。

LCDM20のビット4をセット (LIPS20 = 1) して、非選択電位を出力させる。

LCDM20のビット6, 7 (LCDON200, LCDON201) で「表示オン」に設定して、各データ・メモリに対応した出力を開始する。

14.5.2 表示オフ、昇圧停止までの設定

LCDM0のビット6, 7をクリア (LCDON200 = 0, LCDON201 = 0) して、表示オフ状態にする。

LCDM0のビット4をクリア (LIPS20 = 0) して、すべてのセグメント・バッファ、コモン・バッファを出力禁止にする。

LCDM0のビット5をクリア (VAON20 = 0) して、昇圧停止にする。

14.6 LCD表示データ・メモリ

LCD表示データ・メモリは、F8C0H-F9DFH (Aパターン)、F9E0H-FAFFH (Bパターン) にマッピングされています。LCD表示データ・メモリは、LCD表示に使用しないとき、通常のRAMとして使用できます。

図14 - 5に各表示モードにおけるLCD表示データ・メモリの割り当て、表14 - 7にLCD表示データ・メモリとセグメント/コモン出力の関係を示します。

図14 - 5 各表示モードにおけるLCD表示データ・メモリの割り当て

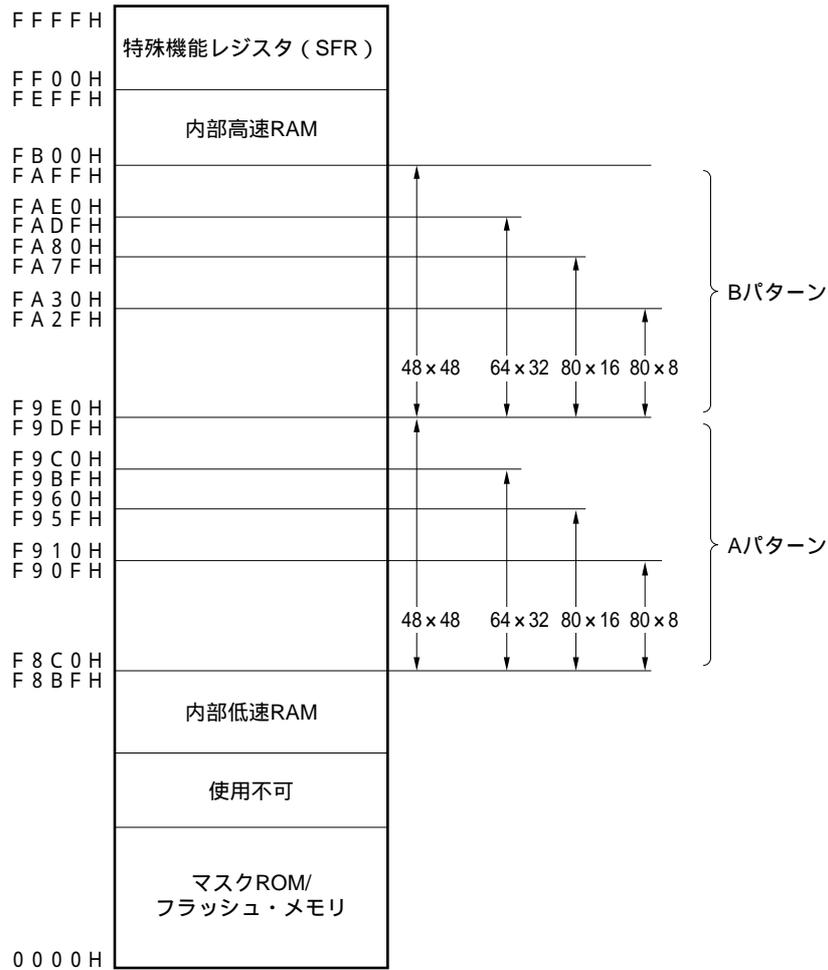


表14 - 7 LCD表示データ・メモリとセグメント/コモン出力の関係 (1/7)

(i) 表示モード：48×48モード，アドレス：Aパターン使用時 (F8C0H-F9DFH)

ビット	セグメント端子						コモン端子
	S0	S1	S2	S3	~	S47	
b0							COM0
b1							COM1
b2							COM2
b3							COM3
b4							COM4
b5							COM5
b6							COM6
b7							COM7
アドレス	F8C0H	F8C6H	F8CDH	F8D3H	~	F9DAH	

	S0	S1	S2	S3	~	S47	
b0							COM8
b1							COM9
b2							COM10
b3							COM11
b4							COM12
b5							COM13
b6							COM14
b7							COM15
アドレス	F8C1H	F8C7H	F8CEH	F8D4H	~	F9DBH	

⋮

	S0	S1	S2	S3	~	S47	
b0							COM40
b1							COM41
b2							COM42
b3							COM43
b4							COM44
b5							COM45
b6							COM46
b7							COM47
アドレス	F8C5H	F8CCH	F8D2H	F8D8H	~	F9DFH	

表14 - 7 LCD表示データ・メモリとセグメント/コモン出力の関係 (2/7)

(ii) 表示モード：48×48モード，アドレス：Bパターン使用時 (F9E0H-FAFFH)

ビット	セグメント端子						コモン端子
	S0	S1	S2	S3	~	S47	
b0							COM0
b1							COM1
b2							COM2
b3							COM3
b4							COM4
b5							COM5
b6							COM6
b7							COM7
アドレス	F9E0H	F9E6H	F9EDH	F9F3H	~	FAFAH	

	S0	S1	S2	S3	~	S47	
b0							COM8
b1							COM9
b2							COM10
b3							COM11
b4							COM12
b5							COM13
b6							COM14
b7							COM15
アドレス	F9E1H	F9E7H	F9EEH	F9F4H	~	FAFBH	

⋮

	S0	S1	S2	S3	~	S47	
b0							COM40
b1							COM41
b2							COM42
b3							COM43
b4							COM44
b5							COM45
b6							COM46
b7							COM47
アドレス	F9E5H	F9ECH	F9F2H	F9F8H	~	FAFFH	

表14 - 7 LCD表示データ・メモリとセグメント/コモン出力の関係 (3/7)

(iii) 表示モード：64×32モード，アドレス：Aパターン使用時 (F8C0H-F9BFH)

ビット	セグメント端子						コモン端子
	S0	S1	S2	S3	~	S63	
b0							COM0
b1							COM1
b2							COM2
b3							COM3
b4							COM4
b5							COM5
b6							COM6
b7							COM7
アドレス	F8C0H	F8C4H	F8C8H	F8CCH	~	F9BCH	

	S0	S1	S2	S3	~	S63	
b0							COM8
b1							COM9
b2							COM10
b3							COM11
b4							COM12
b5							COM13
b6							COM14
b7							COM15
アドレス	F8C1H	F8C5H	F8C9H	F8CDH	~	F9BDH	

⋮

	S0	S1	S2	S3	~	S63	
b0							COM24
b1							COM25
b2							COM26
b3							COM27
b4							COM28
b5							COM29
b6							COM30
b7							COM31
アドレス	F8C3H	F8C7H	F8CBH	F8CFH	~	F9BFH	

表14 - 7 LCD表示データ・メモリとセグメント/コモン出力の関係 (4/7)

(iv) 表示モード：64×32モード，アドレス：Bパターン使用時 (F9E0H-FADFH)

ビット	セグメント端子						コモン端子
	S0	S1	S2	S3	~	S63	
b0							COM0
b1							COM1
b2							COM2
b3							COM3
b4							COM4
b5							COM5
b6							COM6
b7							COM7
アドレス	F9E0H	F9E4H	F9E8H	F9ECH	~	FADCH	

	S0	S1	S2	S3	~	S63	
b0							COM8
b1							COM9
b2							COM10
b3							COM11
b4							COM12
b5							COM13
b6							COM14
b7							COM15
アドレス	F9E1H	F9E5H	F9E9H	F9EDH	~	FADDH	

⋮

	S0	S1	S2	S3	~	S63	
b0							COM24
b1							COM25
b2							COM26
b3							COM27
b4							COM28
b5							COM29
b6							COM30
b7							COM31
アドレス	F9E3H	F9E7H	F9EBH	F9EFH	~	FADFH	

表14 - 7 LCD表示データ・メモリとセグメント/コモン出力の関係 (5/7)

(v) 表示モード：80×16モード，アドレス：Aパターン使用時 (F8C0H-F95FH)

ビット	セグメント端子						コモン端子
	S0	S1	S2	S3	~	S79	
b0							COM0
b1							COM1
b2							COM2
b3							COM3
b4							COM4
b5							COM5
b6							COM6
b7							COM7
アドレス	F8C0H	F8C2H	F8C4H	F8C6H	~	F95EH	

	S0	S1	S2	S3	~	S79	
b0							COM8
b1							COM9
b2							COM10
b3							COM11
b4							COM12
b5							COM13
b6							COM14
b7							COM15
アドレス	F8C1H	F8C3H	F8C5H	F8C7H	~	F95FH	

表14 - 7 LCD表示データ・メモリとセグメント/コモン出力の関係 (6/7)

(vi) 表示モード：80×16モード，アドレス：Bパターン使用時 (F9E0H-FA7FH)

ビット	セグメント端子						コモン端子
	S0	S1	S2	S3	~	S79	
b0							COM0
b1							COM1
b2							COM2
b3							COM3
b4							COM4
b5							COM5
b6							COM6
b7							COM7
アドレス	F9E0H	F9E2H	F9E4H	F9E6H	~	FA7EH	

	S0	S1	S2	S3	~	S79	
b0							COM8
b1							COM9
b2							COM10
b3							COM11
b4							COM12
b5							COM13
b6							COM14
b7							COM15
アドレス	F9E1H	F9E3H	F9E5H	F9E7H	~	FA7FH	

表14 - 7 LCD表示データ・メモリとセグメント/コモン出力の関係 (7/7)

(vii) 表示モード：80×8モード，アドレス：Aパターン使用時 (F8C0H-F90FH)

ビット	セグメント端子						コモン端子
	S0	S1	S2	S3	~	S79	
b0							COM0
b1							COM1
b2							COM2
b3							COM3
b4							COM4
b5							COM5
b6							COM6
b7							COM7
アドレス	F8C0H	F8C1H	F8C2H	F8C3H	~	F90FH	

(viii) 表示モード：80×8モード，アドレス：Bパターン使用時 (F9E0H-FA2FH)

ビット	セグメント端子						コモン端子
	S0	S1	S2	S3	~	S79	
b0							COM0
b1							COM1
b2							COM2
b3							COM3
b4							COM4
b5							COM5
b6							COM6
b7							COM7
アドレス	F9E0H	F9E1H	F9E2H	F9E3H	~	FA2FH	

14.7 表示モード

14.7.1 80×8モード (1/8デューティ)

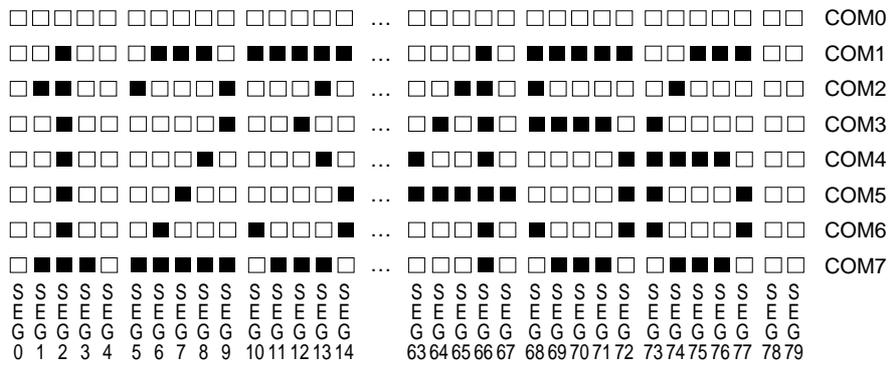
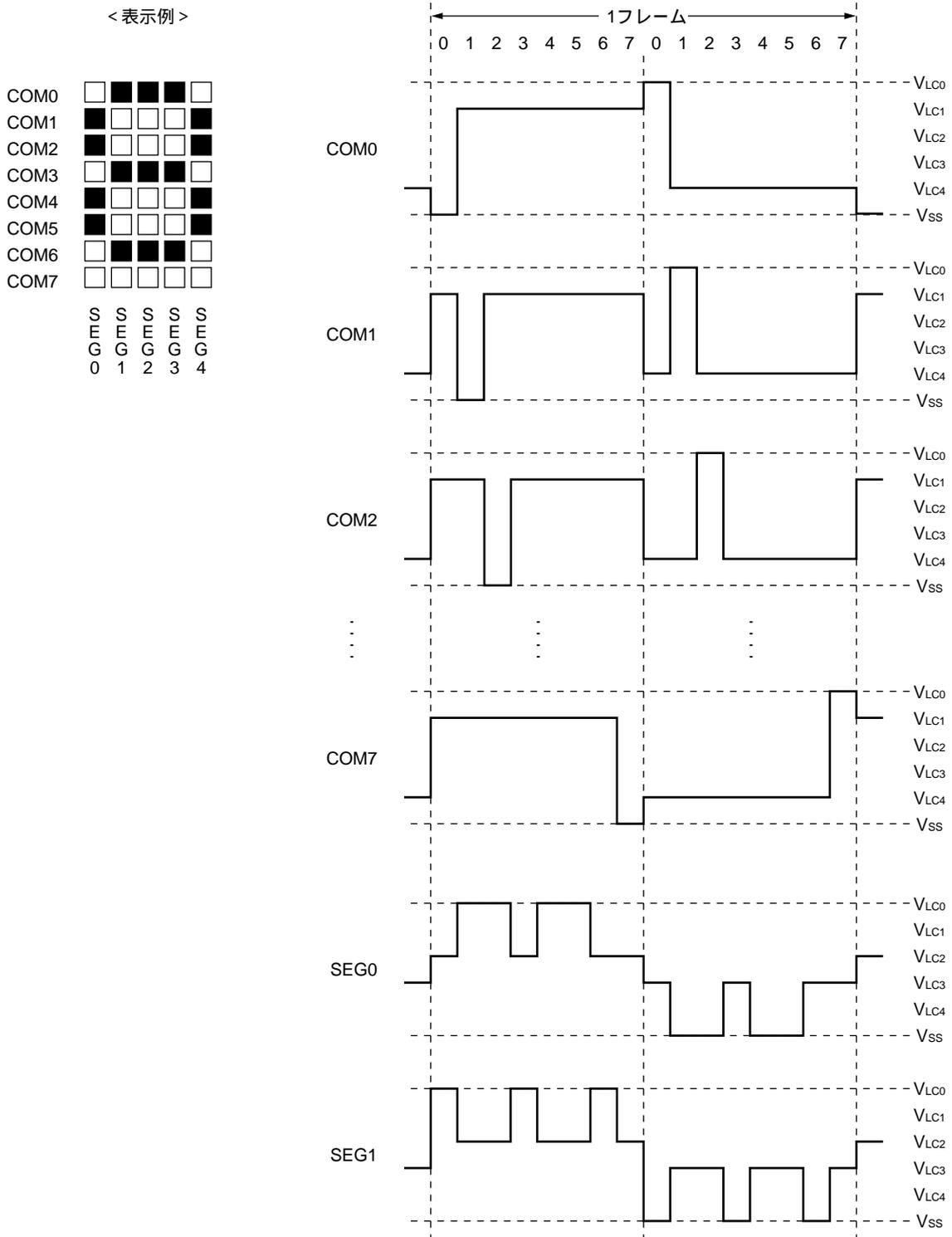


図14-6 LCD駆動波形例(1/8デューティ)



14.7.2 80×16モード(1/16デューティ)

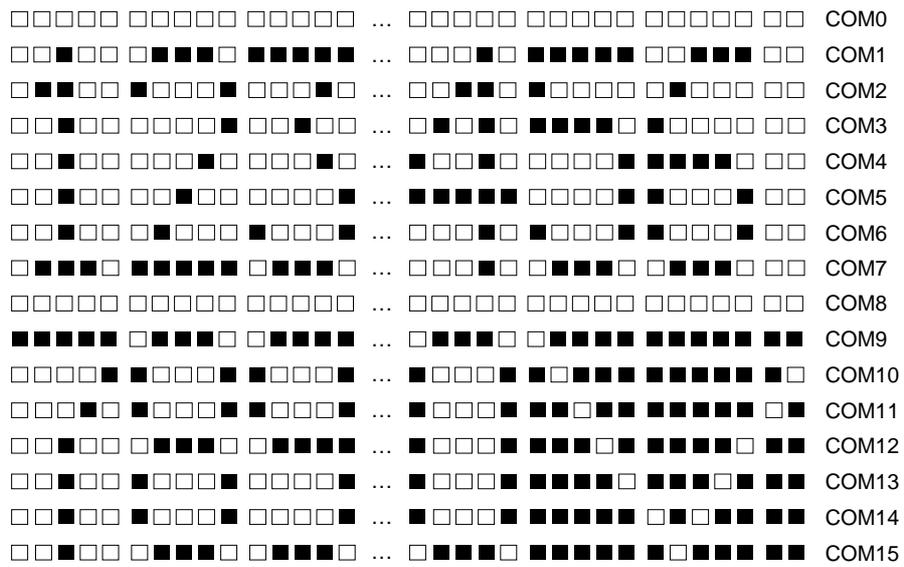


図14-7 LCD駆動波形例 (1/16デューティ)

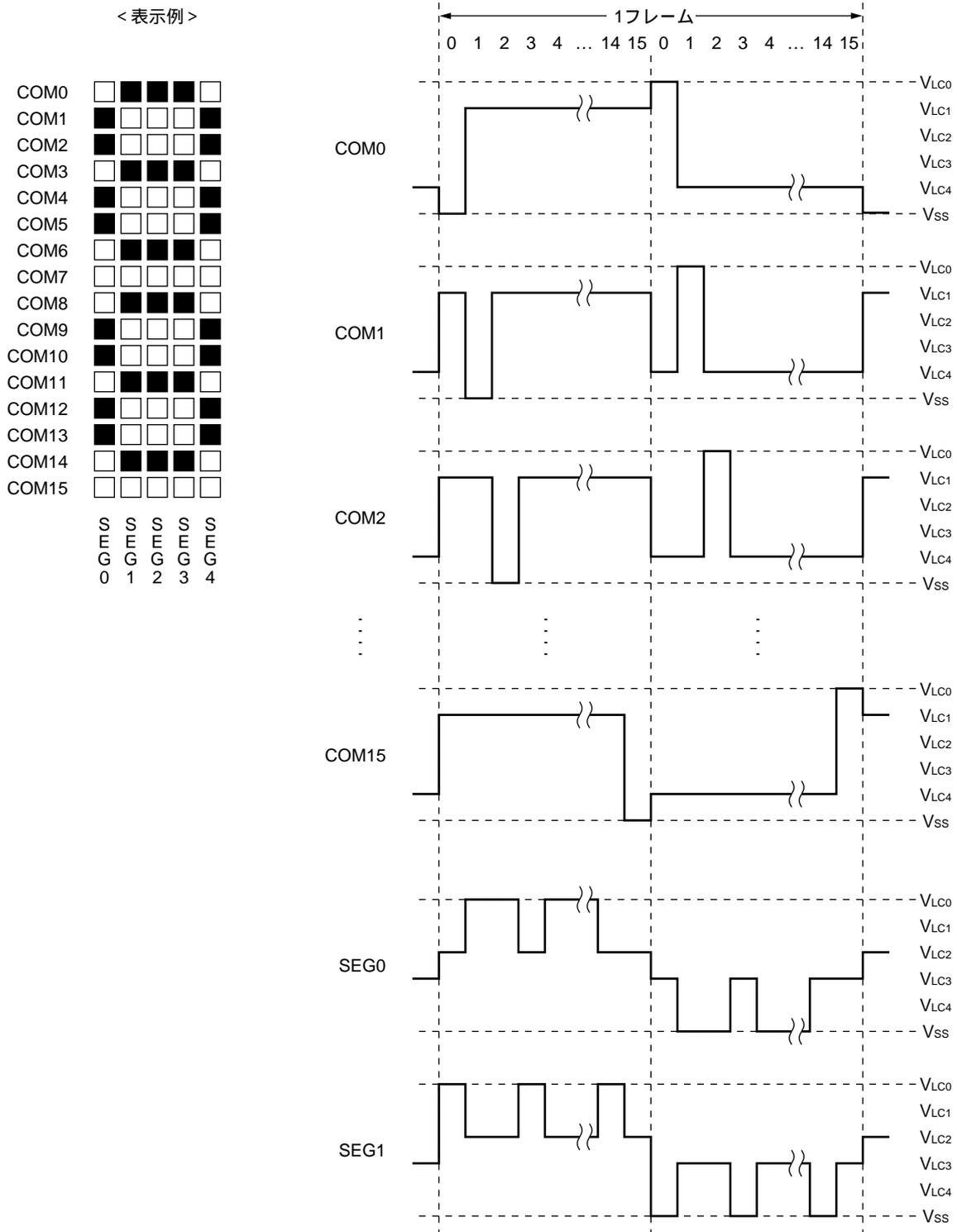
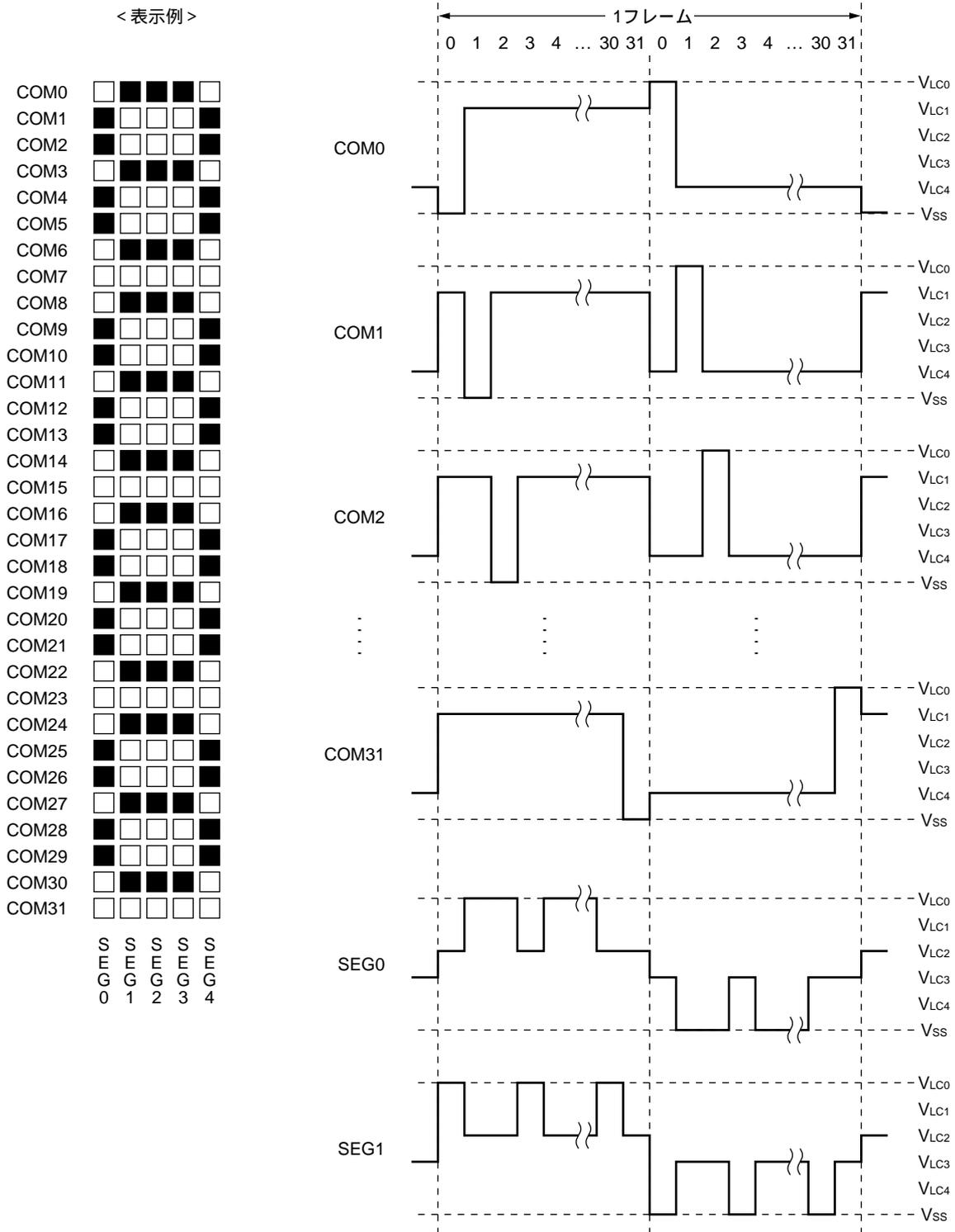
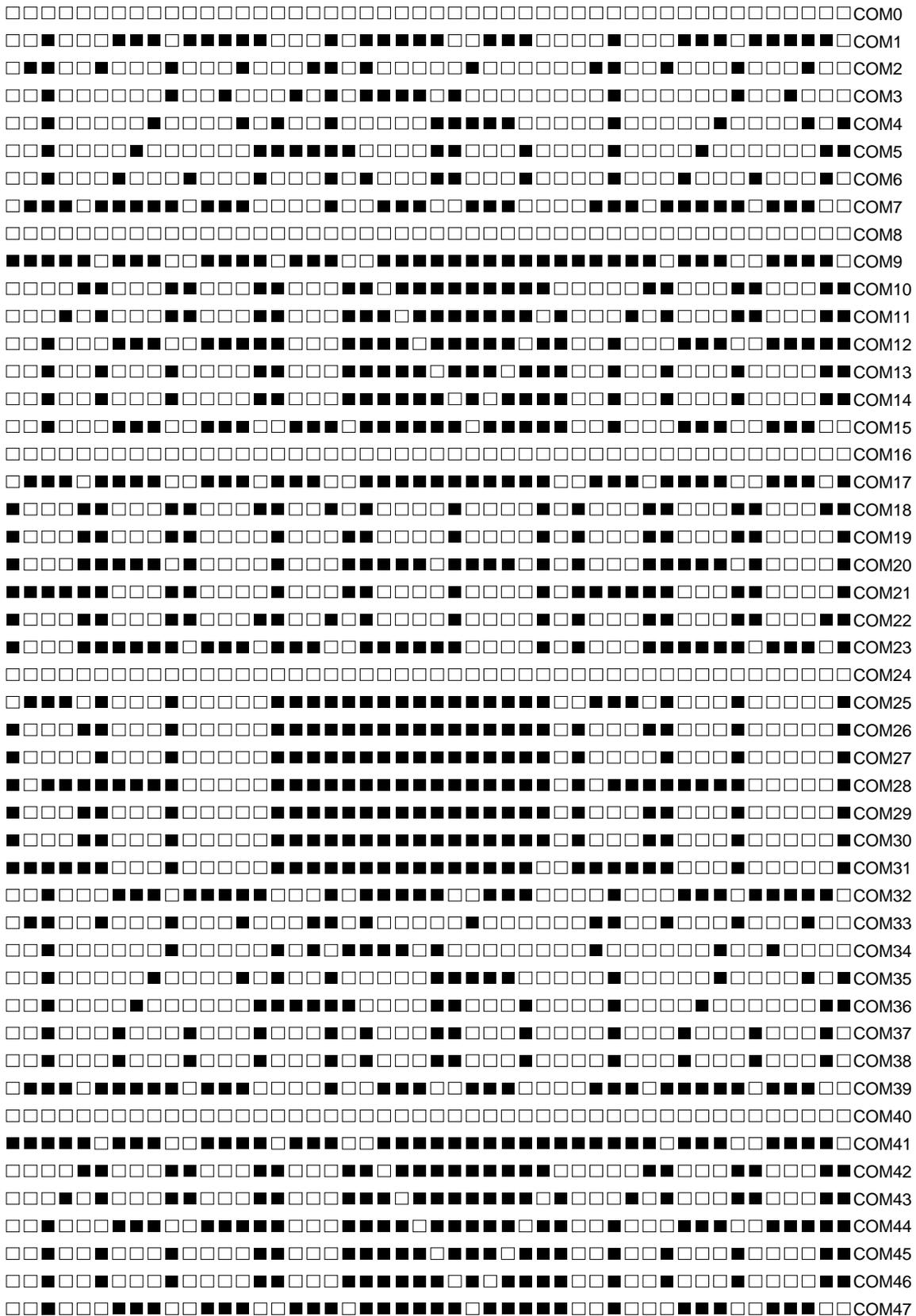


図14 - 8 LCD駆動波形例 (1/32デューティ)

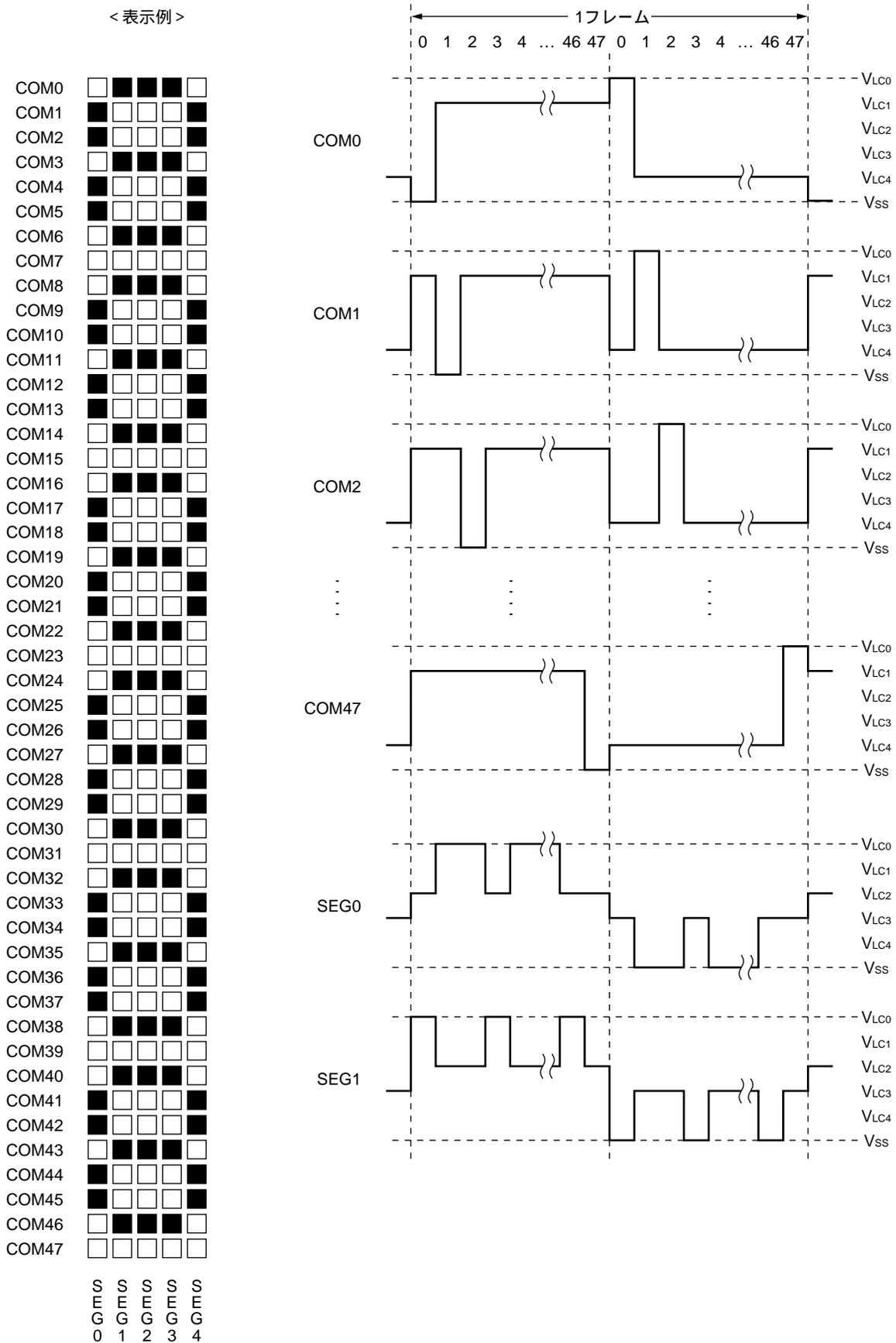


14.7.4 48×48モード (1/48デューティ)



S
 E
 G
 0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47

図14-9 LCD駆動波形例 (1/48デューティ)



★ 14.8 LCD駆動電圧 V_{LC0} , V_{LC1} , V_{LC2} , V_{LC3} , V_{LC4} の供給

μ PD789835, 789835A, 789835Bサブシリーズは、LCD駆動電源用に内部昇圧回路（5倍昇圧のみ）を内蔵しています。

内部LCD基準電圧は V_{LC4} から出力され、 V_{LC3} 端子からは V_{LC4} の2倍、 V_{LC2} 端子からは V_{LC4} の3倍、 V_{LC1} 端子からは V_{LC4} の4倍、 V_{LC0} 端子からは V_{LC4} の5倍の出力電圧が出力されます。

LCD昇圧レベル設定レジスタ00 (V_{LC00}) の設定によりLCD表示電圧 (V_{LC0}) を選択できます。

また、 μ PD789835, 789835A, 789835Bサブシリーズは、LCD駆動電源を作るために容量分割方式を採用しているため、外付けにコンデンサ（推奨：0.47 μ F）が必要となります。

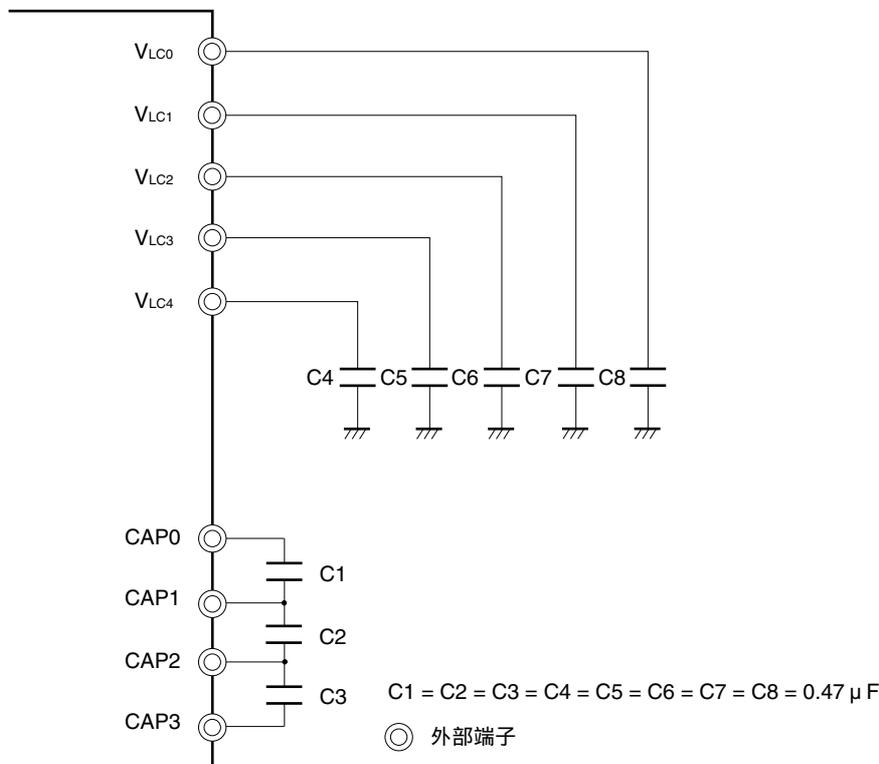
表14 - 8 V_{LC0} - V_{LC4} 端子の出力電圧

LCD駆動電源端子	端子電圧	例 . $V_{LC00} = 08H$ のとき
V_{LC0}	$5V_{LC4}$	4.5 V
V_{LC1}	$4V_{LC4}$	3.6 V
V_{LC2}	$3V_{LC4}$	2.7 V
V_{LC3}	$2V_{LC4}$	1.8 V
V_{LC4} (LCD基準電圧)	V_{LC4}	0.9 V

注意1. LCD機能を使用する際は、必ず V_{LC0} - V_{LC4} 端子をオープンにしないでください。接続例は、図14 - 10を参照してください。

2. LCD駆動電源は、本体の電源とは別の電源なので、 V_{DD} の変化にかかわらず一定の電圧を供給できます。

図14 - 10 LCDドライバ用端子接続例



備考 なるべくリークの少ないコンデンサをご使用ください。
 なお、C1~C3は無極性コンデンサにしてください。

第15章 乗算器

15.1 乗算器の機能

乗算器には、次のような機能があります。

- ・ 8ビット×8ビット = 16ビットの計算ができます。

15.2 乗算器の構成

(1) 16ビット乗算結果格納レジスタ0 (MUL0)

16ビットの乗算結果を格納するレジスタです。

このレジスタは、CPUクロックで16クロック経過後、乗算結果を保持します。

MUL0は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。

(2) 乗算データ・レジスタA, B (MRA0, MRB0)

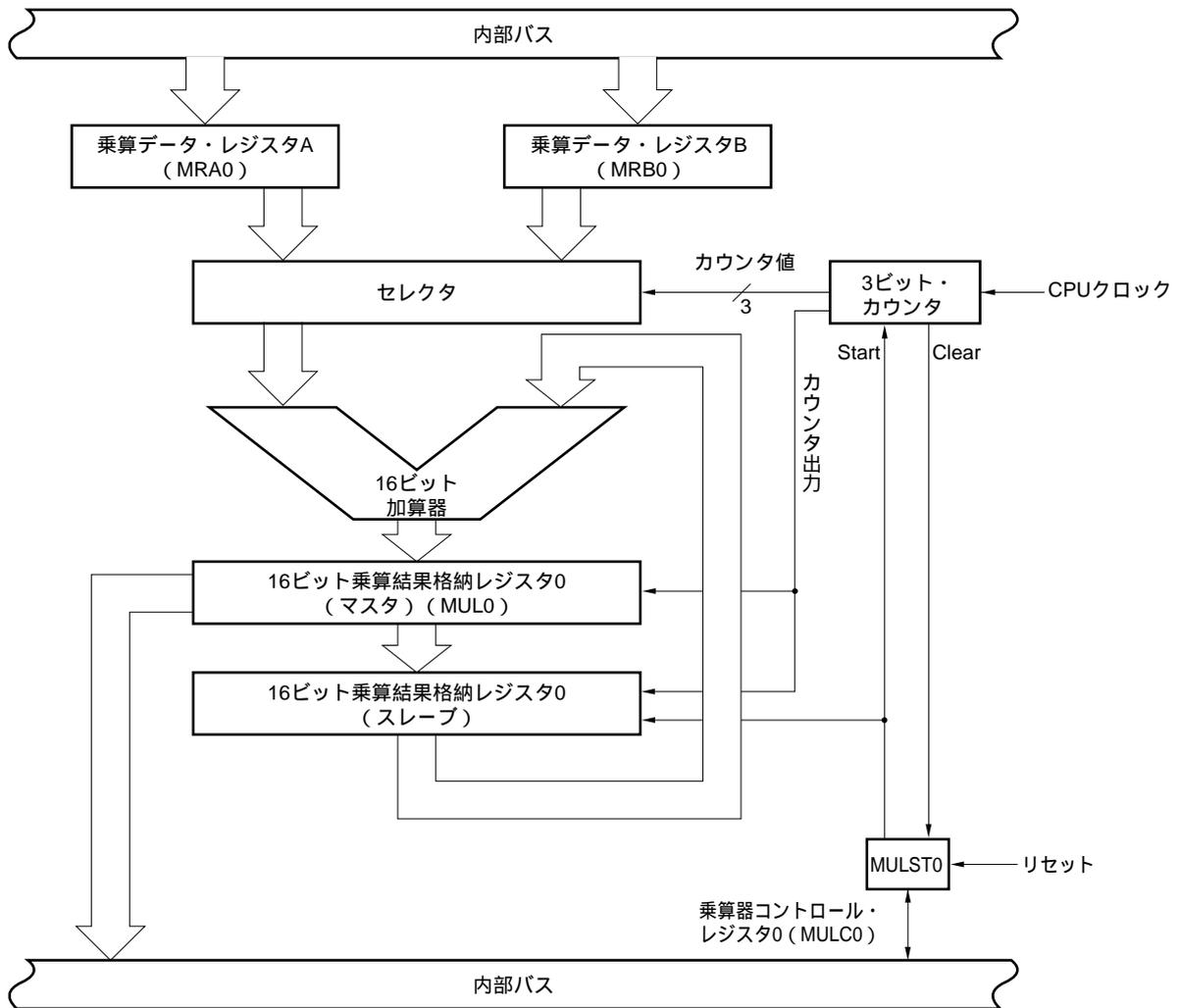
8ビットの乗算データ格納用レジスタです。乗算器はMRA0とMRB0の値を乗算します。

MRA0, MRB0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

図15 - 1に乗算器のブロック図を示します。

図15-1 乗算器のブロック図



15.3 乗算器を制御するレジスタ

乗算器は次のレジスタで制御します。

- ・乗算器コントロール・レジスタ0 (MULC0)

(1) 乗算器コントロール・レジスタ0 (MULC0)

MULC0は、演算動作を制御する機能と同時に、乗算器の動作状態を示すレジスタです。

MULC0は、1ビット、メモリ操作命令または、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図15 - 2 乗算器コントロール・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
MULC0	0	0	0	0	0	0	0	MULST0	FFD2H	00H	R/W

MULST0	乗算器の演算活動開始の制御ビット	乗算器の動作状態
0	カウンタをすべて“0”にセットした後、演算動作停止。	動作停止中
1	演算動作許可	演算実行中

注意 ビット1-7には、必ず0を設定してください。

15.4 乗算器の動作

μPD789835, 789835A, 789835Bサブシリーズの乗算器では8ビット×8ビット = 16ビットの計算ができます。MRA0 = AAH, MRB0 = D3Hと設定した場合の乗算器の動作タイミングを図15 - 3に示します。

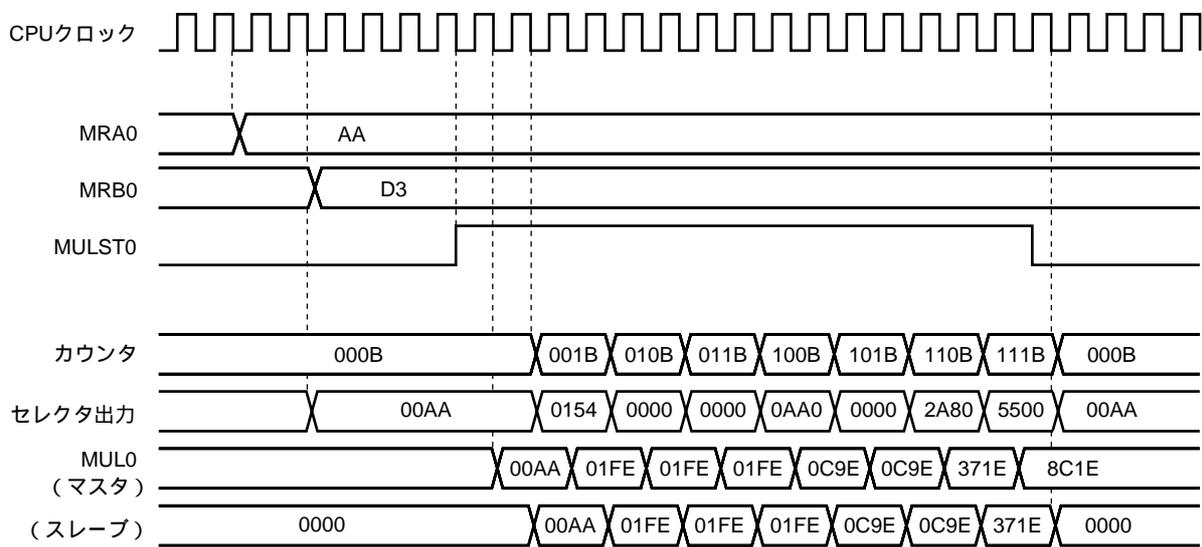
MULST0をセットすることにより、カウント動作を開始します。

CPUクロックごとに、セレクタによって生成されたデータとMUL0のデータを加算し、カウンタ値を1インクリメントします。

カウンタの値が111Bのとき、MULST0がクリアされると演算動作を停止します。そのときMUL0はデータを保持しています。

MULST0がロウ・レベル中は、カウンタとスレーブはクリアされています。

図15 - 3 乗算器の動作タイミング (AAH×D3Hの例)

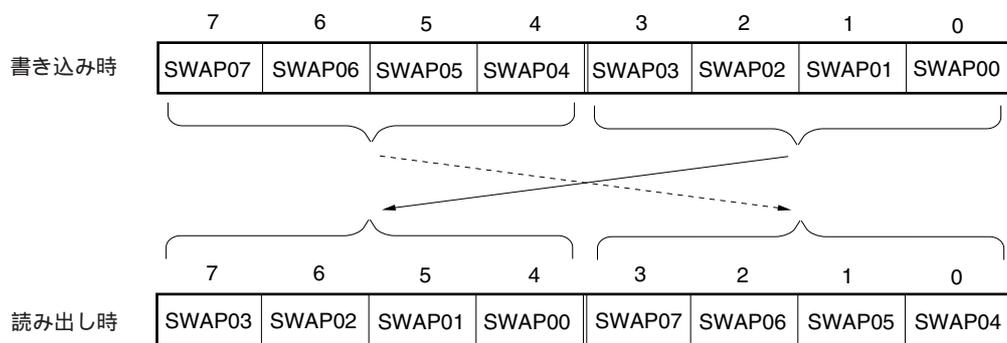


第16章 スワッピング (SWAP)

★ 16.1 SWAPの機能

μPD789835, 789835A, 789835Bサブシリーズでは、スワッピング機能レジスタ0 (SWP0) を利用して、バイト・データの上位4ビットの内容と下位4ビットの内容を入れ替えることができます。これにより、4回のシフト動作と同等な変換が、少ない命令数で実現できます。図16-1にスワッピングの実行例を示します。

図16-1 スワッピングの実行例



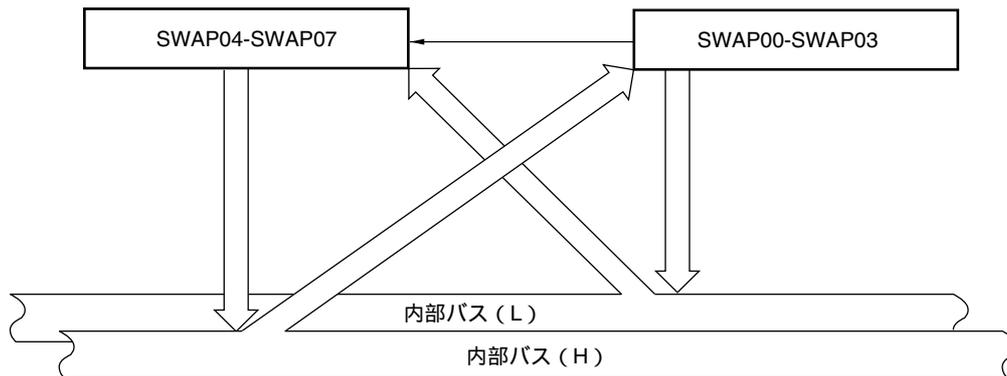
16.2 SWAPの構成

SWAPは、次のハードウェアで構成されています。

表16 - 1 SWAPの構成

項目	構成
レジスタ	スワッピング機能レジスタ0 (SWP0)

図16 - 2 SWAPのブロック図



(1) スワッピング機能レジスタ0 (SWP0)

任意のデータをSWP0に書き込み、読み出すことで上位4ビットの内容と下位4ビットの内容が入れ替わります。

SWP0は、8ビット・メモリ操作命令で設定します。

書き込みモード時、 $\overline{\text{RESET}}$ 入力により、不定になります。

読み出しモード時、 $\overline{\text{RESET}}$ 入力により、00Hになります。

★ 16.3 SWAPの実行例

上位ビットと下位ビットの内容を入れ替えるために、4回シフト動作をする場合と、SWAPを使用する場合の一例を以下に示します。SWAP機能を使用することで、より短い命令クロック数で実行できます。

< バイト・データを4回シフト動作をする場合の一例 >

```

MOV A, #byte    ; 6クロック
ROR A, 1        ; 2クロック
ROR A, 1        ; 2クロック
ROR A, 1        ; 2クロック
ROR A, 1        ; 2クロック    計14クロック

```

< SWAPを使用する場合の一例 >

```

MOV SWP0, #byte ; 6クロック
MOV A, SWP0     ; 4クロック    計10クロック

```

第17章 割り込み機能

17.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込みが1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。同時に複数の割り込み要求が同時に発生しているときの優先順位(プライオリティ)は、表17 - 1のように決められています。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、外部割り込みが5要因、内部割り込みが15要因あります。

17.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込みをあわせて合計21要因あります(表17 - 1参照)。

表17-1 割り込み要因一覧

割り込みタイプ	プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}		
		名称	トリガ					
ノンマスクابل	-	INTWDT0	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0002H	(A)		
マスクابل	0	INTWDT1	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)	内部	0004H	(B)		
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)		
	2	INTP1			0008H			
	3	INTCSI10	3線式シリアルI/O (SIO10) の送受信終了	内部	000AH	(B)		
	4	INTSER00	アシンクロナス・シリアル・シリアル・ インタフェース (UART00) の受信エラー発生		000CH			
	5	INTSR00	UART00の受信完了		000EH			
	6	INTST00	UART00の送信完了		0010H			
	7	INTTM50	RIN端子入力立ち上がりエッジ検出		外部		0012H	(D)
	8	INTTM51	RIN端子入力立ち下がりエッジ検出				0014H	
	9	INTTM52	8ビット・リモコン・タイマ50のオーバ フロー信号		内部		0016H	(B)
	10	INTWT	時計用タイマ割り込み	0018H				
	11	INTWTI	時計用タイマのインターバル・タイマ割 り込み	001AH				
	12	INTTM80	8ビット・タイマ/イベント・カウンタ 80の一致信号発生	001CH				
	13	INTTM81	8ビット・タイマ81の一致信号発生	001EH				
	14	INTTM82	8ビット・タイマ82の一致信号発生	0020H				
	15	INTTM30	8ビット・タイマ30の一致信号発生	0022H				
	16	INTTM40	8ビット・タイマ40の一致信号発生	0024H				
	17	INTMSG0	8ビット・タイマSG0の一致信号発生	0026H				
	18	INTAD	A/D変換完了信号	0028H				
19	INTKR00	キー・リターン信号検出	外部	002AH		(C)		

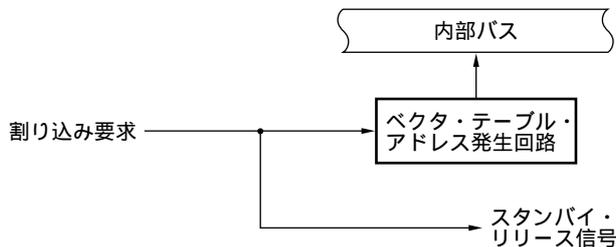
注1. プライオリティは、複数のマスクابل割り込みが同時に発生している場合に、優先する順位です。0が最高順位、19が最低順位です。

2. 基本構成タイプの(A) (D)は、それぞれ図17-1の(A) (D)に対応しています。

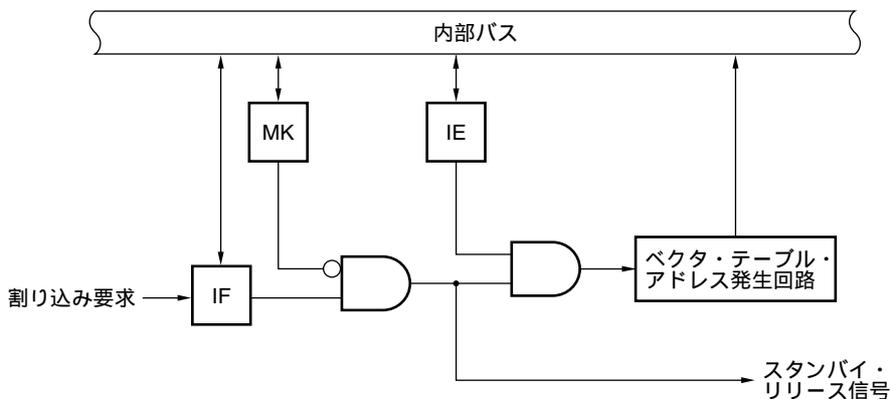
備考 ウォッチドッグ・タイマの割り込み要因には、ノンマスクابل割り込み (INTWDT0) とマスクابل割り込み (内部) (INTWDT1) の2種類があり、どちらか1種類のみ選択できます。

図17-1 割り込み機能の基本構成

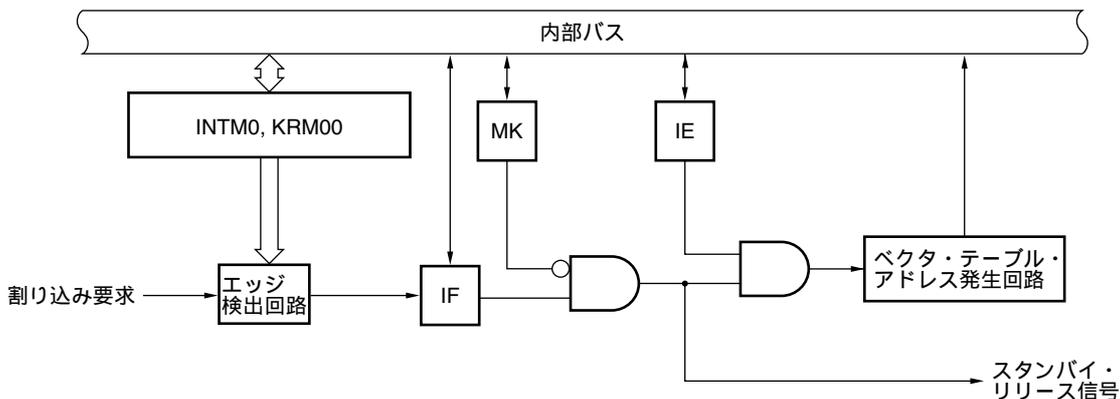
(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み

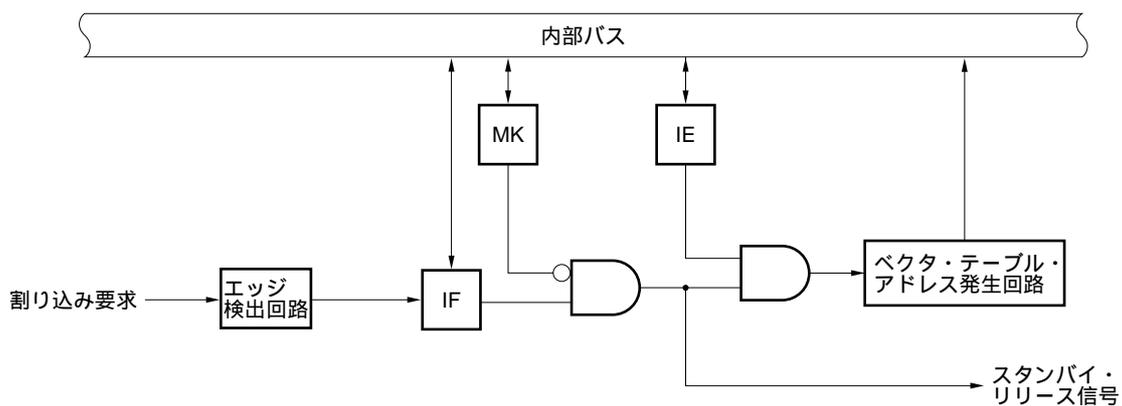


(C) 外部マスクابل割り込み



- INTP0 : 外部割り込みモード・レジスタ0
- KRM00 : キー・リターン・モード・レジスタ00
- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- MK : 割り込みマスク・フラグ

(D) 外部マスク割り込み (INTTM50, INTTM51)



IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

MK : 割り込みマスク・フラグ

17.3 割り込み機能を制御するレジスタ

割り込み機能は、次の5種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ0-2 (IF0-IF2)
- ・割り込みマスク・フラグ・レジスタ0-2 (MK0-MK2)
- ・外部割り込みモード・レジスタ0 (INTM0)
- ・プログラム・ステータス・ワード (PSW)
- ・キー・リターン・モード・レジスタ00 (KRM00)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を表17 - 2に示します。

表17 - 2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTWDT1	WDTIF1	WDTMK1
INTP0	PIF0	PMK0
INTP1	PIF1	PMK1
INTCSI10	CSIF10	CSIMK10
INTSER00	SERIF00	SERMK00
INTSR00	SRIF00	SRMK00
INTST00	STIF00	STMK00
INTWT	WTIF	WTMK
INTWT1	WTIIF	WTIMK
INTTM50	TMIF50	TMMK50
INTTM51	TMIF51	TMMK51
INTTM52	TMIF52	TMMK52
INTTM80	TMIF80	TMMK80
INTTM81	TMIF81	TMMK81
INTTM82	TMIF82	TMMK82
INTTM30	TMIF30	TMMK30
INTTM40	TMIF40	TMMK40
INTTMSG0	TMIFSG0	TMMKSG0
INTAD	ADIF	ADMK
INTKR00	KRIF00	KRMK00

(1) 割り込み要求フラグ・レジスタ0-2 (IF0-IF2)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア(0)されるフラグです。

IF0-IF2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図17-2 割り込み要求フラグ・レジスタのフォーマット

略号	0								アドレス	リセット時	R/W
IF0	TMIF50	STIF00	SRIF00	SERIF00	CSIIF10	PIF1	PIF0	WDTIF1	FFE0H	00H	R/W
	0										
IF1	TMIF30	TMIF82	TMIF81	TMIF80	WTIF	WTIF	TMIF52	TMIF51	FFE1H	00H	R/W
	7	6	5	4	0						
IF2	0	0	0	0	KRIF00	ADIF	TMIFSG0	TMIF40	FFE2H	00H	R/W

x × IF x	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. WDTIFフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1,2で使用する場合は、WDTIFフラグに0を設定してください。

2. ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
3. 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ0-2 (MK0-MK2)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。
 MK0-MK2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、FFHになります。

図17-3 割り込みマスク・フラグ・レジスタのフォーマット

略号	0								アドレス	リセット時	R/W
MK0	TMMK50	STMK00	SRMK00	SERMK00	CSIMK10	PMK1	PMK0	WDTMK1	FFE4H	FFH	R/W
	0										
MK1	TMMK30	TMMK82	TMMK81	TMMK80	WTIMK	WTMK	TMMK52	TMMK51	FFE5H	FFH	R/W
	7	6	5	4	0						
MK2	1	1	1	1	KRMK00	ADMK	TMMKSG0	TMMK40	FFE6H	FFH	R/W

x x MK x	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

- 注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1, 2で使用しているとき、WDTMKフラグを読み出すと不定になっています。
2. ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(3) 外部割り込みモード・レジスタ0 (INTM0)

INTP0, INTP1の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図17-4 外部割り込みモード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	0	0	ES11	ES10	ES01	ES00	0	0	FFECH	00H	R/W

ES11	ES10	INTP1の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ

ES01	ES00	INTP0の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ

注意1. ビット0, 1, 6, 7には、必ず0を設定してください。

2. INTM0レジスタの設定は、必ず該当する割り込みマスク・フラグに1を設定し、割り込みを禁止してから行ってください。

その後、割り込み要求フラグをクリア(0)してから、割り込みマスク・フラグに0を設定し、割り込みを許可してください。

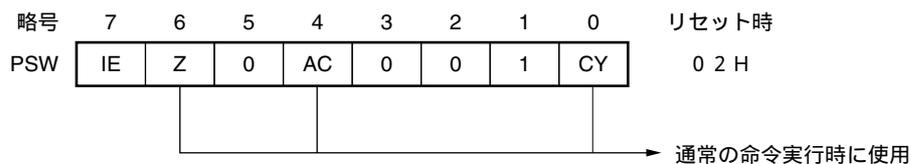
(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可/禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。

RESET入力により、PSWは02Hになります。

図17-5 プログラム・ステータス・ワードの構成



IE	割り込み受け付けの許可/禁止
0	禁止
1	許可

(5) キー・リターン・モード・レジスタ00 (KRM00)

キー・リターン信号 (ポート0の立ち下がりエッジ) を検出する端子を設定するレジスタです。

- ★ KRM00は、8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

図17-6 キー・リターン・モード・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
KRM00	KRM007	KRM006	KRM005	KRM004	0	0	0	KRM000	FFF5H	00H	R/W

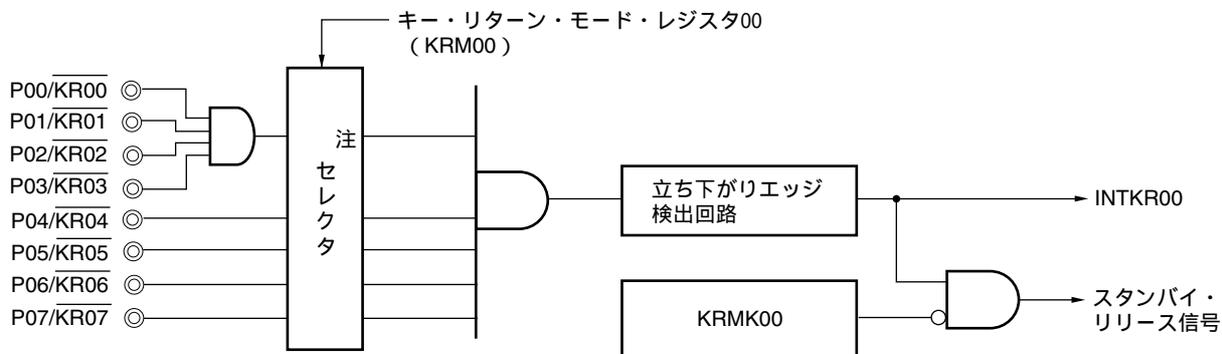
KRM000	キー・リターン信号検出の制御 (P00-P03)
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する (P00-P03の立ち下がりエッジ検出)

KRM00n	キー・リターン信号検出の制御 (P0n)
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する (P0nの立ち下がりエッジ検出)

備考 n = 4-7

- 注意1. ビット1-3には、必ず0を設定してください。
2. KRM00の設定は、必ずMK0のビット7をセット (KRMK00 = 1) し、割り込みを禁止してから行ってください。KRM00の設定後、IF0のビット7をクリア (KRIF00 = 0) にしてから、KRMK00をクリアし、割り込みを許可してください。
 3. 入力モードでキー・リターン信号の検出を指定した端子 (P00-P07) は、自動的に内蔵プルアップ抵抗が接続されます。しかし、その後、出力モードに切り替えた端子は内蔵プルアップ抵抗が切断されます。ただしこの場合、キー・リターン信号の検出はそのまま続きます。
 4. キー・リターン信号の検出を指定した端子のうち1本でもロウ・レベルになっている間は、他のキー・リターン端子に立ち下がりエッジが発生してもキー・リターン信号を検出できません。

図17-7 キー・リターン信号検出回路のブロック図



注 立ち下がりエッジ入力として使用する端子を選択するセレクタ

17.4 割り込み処理動作

17.4.1 ノンмасカブル割り込み要求の受け付け動作

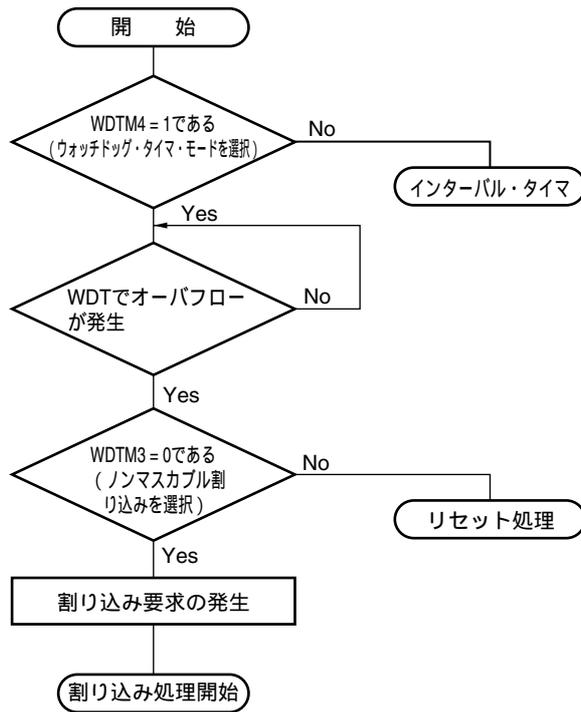
ノンмасカブル割り込み要求は、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンмасカブル割り込み要求が受け付けられると、PSW、PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンмасカブル割り込み要求発生から受け付けまでのフロー・チャートを図17 - 8に、ノンмасカブル割り込み要求の受け付けタイミングを図17 - 9に、ノンмасカブル割り込みが多量に発生した場合の受け付け動作を図17 - 10に示します。

注意 ノンмасカブル割り込みサービス・プログラム実行中に新たなノンмасカブル割り込み要求をしないでください。割り込みサービス・プログラム実行中でも新たに発生したノンмасカブル割り込み要求を受け付けてしまいます。

図17-8 ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート

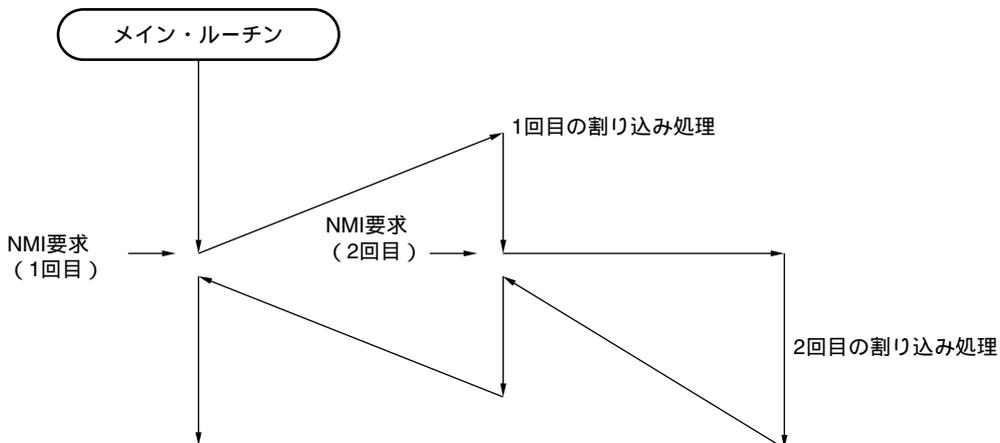


WDTM : ウォッチドッグ・タイマ・モード・レジスタ
 WDT : ウォッチドッグ・タイマ

図17-9 ノンマスクابل割り込み要求の受け付けタイミング



図17-10 ノンマスクابل割り込み要求の受け付け動作



17.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込みの割り込みマスク・フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は表17-3のようになります。割り込み要求の受け付けのタイミングについては、図17-12、17-13を参照してください。

表17-3 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 ^注
9クロック	19クロック

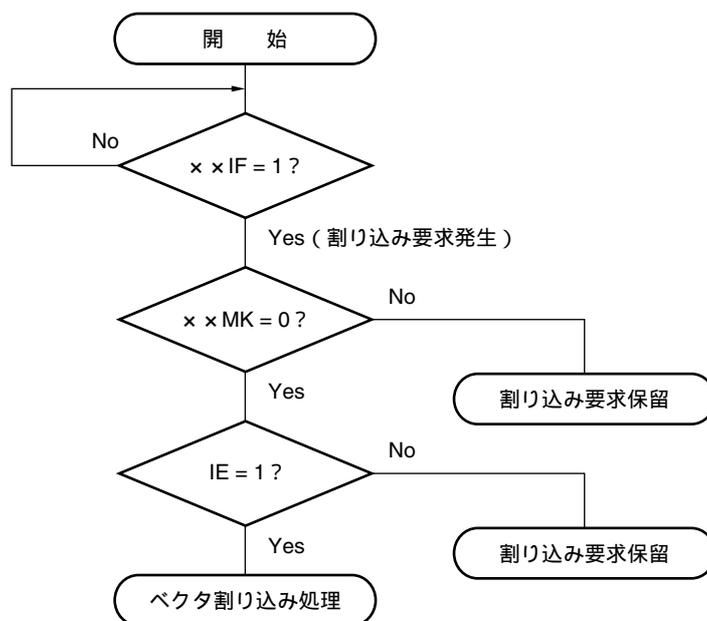
注 BT, BF命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU}: CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。保留された割り込みは受け付け可能な状態になると受け付けられます。割り込み要求受け付けのアルゴリズムを図17-11に示します。

マスカブル割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグをリセット(0)し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。RETI命令によって、割り込みから復帰できます。

図17-11 割り込み要求受け付け処理アルゴリズム

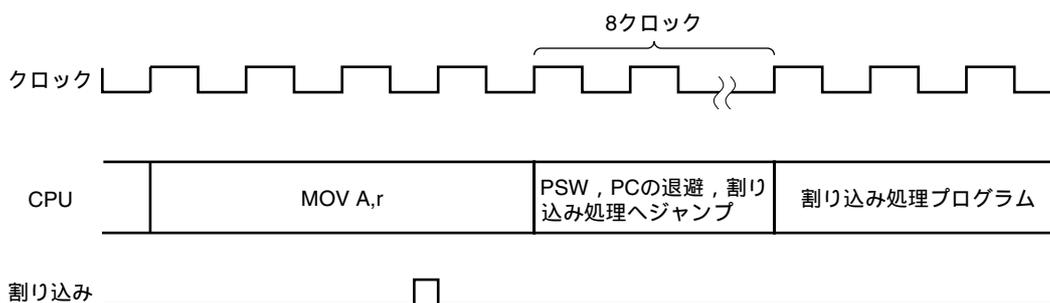


x x IF : 割り込み要求フラグ

x x MK : 割り込みマスク・フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

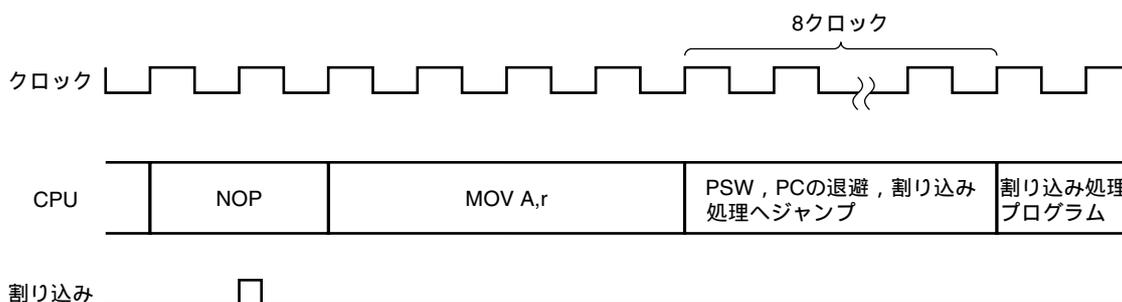
図17 - 12 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロック n ($n = 4-10$) が $n - 1$ までに割り込み要求フラグ ($\times \times IF$) が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図17 - 12では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので実行してから3クロックの間に割り込みが発生するとMOV A, rの終了後、割り込み受け付け処理を行います。

図17 - 13 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ ($\times \times IF$) が命令の最後のクロックのときに発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図17 - 13ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

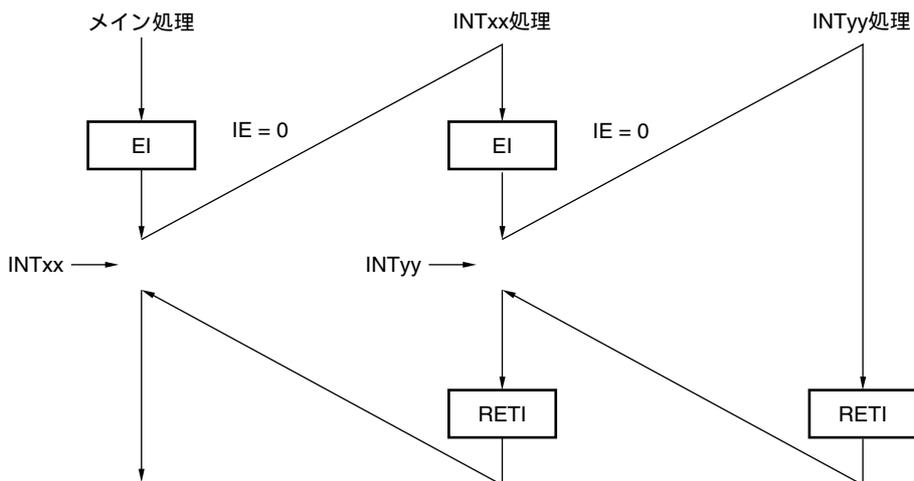
注意 割り込み要求フラグ・レジスタ0-2 (IF0-IF2) または割り込みマスク・フラグ・レジスタ0-2 (MK0-MK2) にアクセス中は割り込み要求は保留されます。

17.4.3 多重割り込み処理

割り込み処理中にさらに別の割り込みを受け付ける多重割り込みは、優先順位によって処理できます。複数の割り込みが同時に発生しているとき、各割り込み要求にあらかじめ割り付けてある優先順位に従って割り込み処理を行います(表17-1参照)。

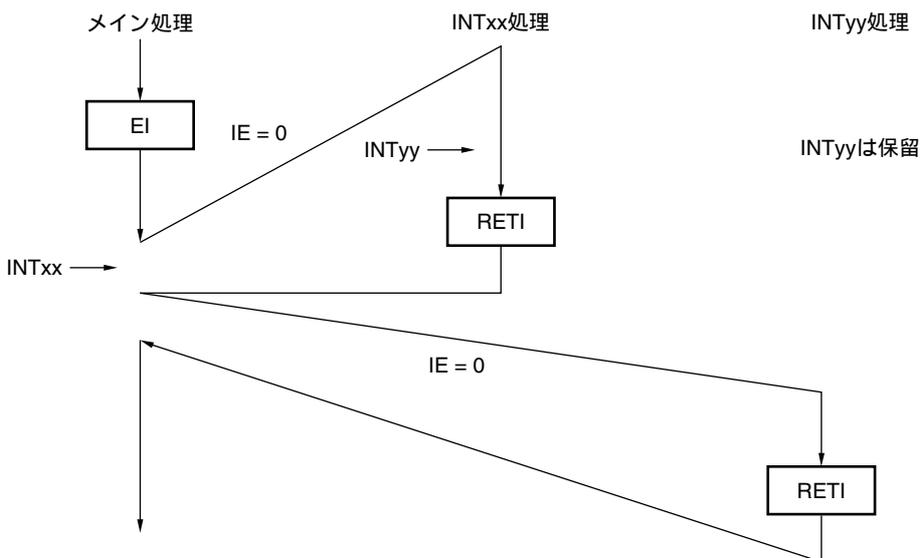
図17-14 多重割り込みの例

例1. 多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

IE = 0 : 割り込み要求受け付け禁止

17.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、ノンマスカブル割り込み、外部割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・割り込み要求フラグ・レジスタ0-2（IF0-IF2）に対する操作命令
- ・割り込みマスク・フラグ・レジスタ0-2（MK0-MK2）に対する操作命令

第18章 スタンバイ機能

18.1 スタンバイ機能と構成

18.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減することができます。

また、データ・メモリの低電圧 ($V_{DD} = 1.8 \text{ V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

18.1.2 スタンバイ機能を制御するレジスタ

スタンバイ機能は、次の2種類のレジスタで制御します。

- ・発振安定時間選択レジスタ (OSTS) (セラミック/クリスタル発振選択時のみ)
- ・電源供給コントロール・レジスタ0 (PSC0)

(1) 発振安定時間選択レジスタ (OSTS) (セラミック/クリスタル発振選択時のみ)

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。

ただし、 $\overline{\text{RESET}}$ 入力後の発振安定時間はOSTSに依存せず $2^{15}/f_x$ になります。

注意 RC発振選択時は、OSTSで発振安定時間を選択できません。

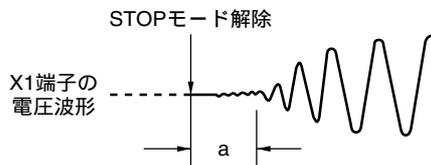
RC発振の場合、発振安定時間は $2^7/f_{cc}$ に固定されます。

図18 - 1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (819 μ s)
0	1	0	$2^{15}/f_x$ (6.55 ms)
1	0	0	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止

注意 STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



備考1. f_x :メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{cc} :メイン・システム・クロック発振周波数 (RC発振)

3. ()内は、 $f_x = 5.0$ MHz動作時

(2) 電源供給コントロール・レジスタ0 (PSC0)

サブシステム・クロック発振回路への供給電源を切り替えるレジスタです。サブシステム・クロック発振回路の電源をV_{ROUT0}にすることにより、消費電力を低減できます。

PSC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図18 - 2 電源供給コントロール・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PSC0	0	0	0	0	0	0	0	PSC00	FFAFH	00H	R/W

PSC00	サブシステム・クロックへの供給電源の選択
0	V _{DD}
1	V _{ROUT0} (1.4 V TYP.)

注意 ビット1-7は、必ず0を設定してください。

18.2 スタンバイ機能の動作

18.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表18-1 HALTモード時の動作状態

項目	メイン・システム・クロック動作中のHALTモードの動作状態		サブシステム・クロック動作中のHALTモードの動作状態		
	サブシステム・クロック動作	サブシステム・クロック停止	メイン・システム・クロック動作	メイン・システム・クロック停止	
メイン・システム・クロック	発振可能			発振停止	
CPU	動作停止				
ポート（出力ラッチ）	HALTモード設定前の状態を保持				
8ビット・タイマ/イベント・カウンタ80	動作可能			動作可能 ^{注1}	
8ビット・タイマ81	動作可能	動作可能 ^{注2}	動作可能	動作可能 ^{注3}	
8ビット・タイマ82	動作可能	動作可能 ^{注2}	動作可能	動作可能 ^{注3}	
8ビット・タイマ30	動作可能			動作停止	
8ビット・タイマ40					
8ビット・リモコン・タイマ50	動作停止				
サウンド・ジェネレータ	動作可能	動作可能 ^{注2}	動作可能	動作可能 ^{注3}	
時計用タイマ	動作可能	動作可能 ^{注2}	動作可能	動作可能 ^{注3}	
ウォッチドッグ・タイマ	動作可能	動作可能 ^{注2}	動作可能	動作可能 ^{注3}	
シリアル・ インタフェース	SIO	動作可能			動作可能 ^{注1}
	UART	動作可能			動作停止
A/Dコンバータ	動作停止				
LCDコントローラ/ドライバ	動作可能	動作可能 ^{注2}	動作可能	動作可能 ^{注3}	
外部割り込み	動作可能 ^{注4}				

注1. 外部クロック選択時のみ動作可能

2. メイン・システム・クロック選択時は動作可能
3. サブシステム・クロック選択時は動作可能
4. マスクされていないマスカブル割り込み

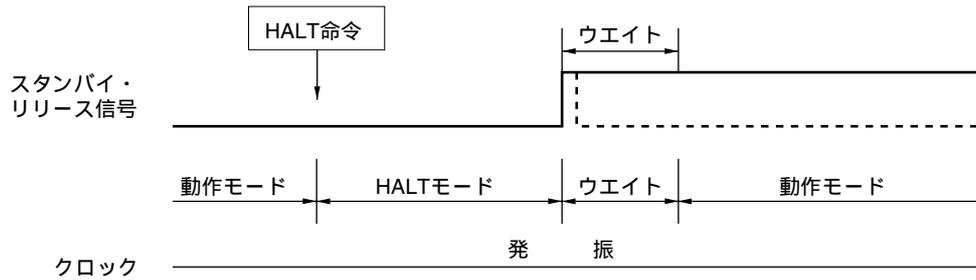
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードを解除します。割り込み要求受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図18-3 HALTモードの割り込み発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

- ・ベクタに分岐した場合 : 9~10クロック
- ・ベクタに分岐しなかった場合 : 1~2クロック

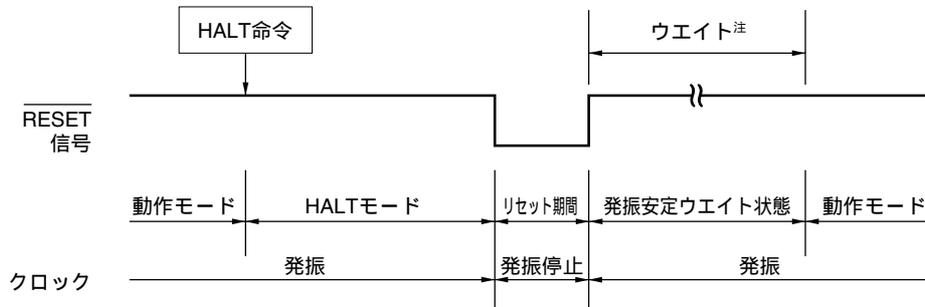
(b) ノンマスカブル割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

(c) $\overline{\text{RESET}}$ 入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図18 - 4 HALTモードの $\overline{\text{RESET}}$ 入力による解除



注 メイン・システム・クロックの選択により、ウエイト時間は異なります。

セラミック/クリスタル発振選択時 : $2^{15}/f_x$ (6.55 ms)

RC発振選択時 : $2^7/f_{cc}$ (64 μ s)

備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{cc} : メイン・システム・クロック発振周波数 (RC発振)

3. () 内は, $f_x = 5.0$ MHz動作時または $f_{cc} = 2.0$ MHz動作時

表18 - 2 HALTモードの解除後の動作

解除ソース	MK x x	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	HALTモード保持
ノンマスカブル割り込み要求	-	x	割り込み処理実行
$\overline{\text{RESET}}$ 入力	-	-	リセット処理

x : don't care

18.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表18-3 STOPモード時の動作状態

項目	STOPモードの動作状態	
	サブシステム・クロック動作	サブシステム・クロック停止
メイン・システム・クロック	発振停止	
CPU	動作停止	
ポート（出力ラッチ）	STOPモード設定前の状態を保持	
8ビット・タイマ/イベント・カウンタ80	動作可能 ^{注1}	
8ビット・タイマ81	動作可能 ^{注2}	動作停止
8ビット・タイマ82	動作可能 ^{注2}	動作停止
8ビット・タイマ30	動作停止	
8ビット・タイマ40	動作停止	
8ビット・リモコン・タイマ50	動作停止	
サウンド・ジェネレータ	動作可能 ^{注2}	動作停止
時計用タイマ	動作可能 ^{注2}	動作停止
ウォッチドッグ・タイマ	動作可能 ^{注2}	動作停止
シリアル・ インタフェース	SIO	動作可能 ^{注1}
	UART	動作停止
A/Dコンバータ	動作停止	
LCDコントローラ/ドライバ	動作可能 ^{注2}	動作停止
外部割り込み	動作可能 ^{注3}	

注1. 外部クロック選択時のみ動作可能

2. サブシステム・クロック選択時は動作可能

3. マスクされていないマスクブル割り込み

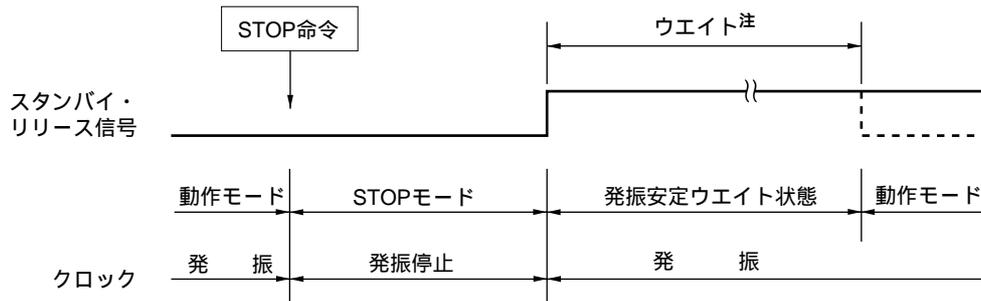
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図18 - 5 STOPモードの割り込み発生による解除



注 メイン・システム・クロックの選択により、ウェイト時間は異なります。

セラミック/クリスタル発振選択時：OSTSレジスタにより選択可能（詳細は図18 - 1

発振安定時間選択レジスタのフォーマットを参照）

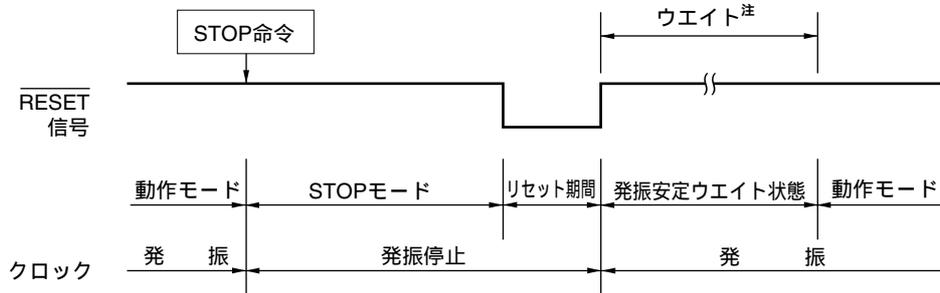
RC発振選択時： $2^7/f_{cc}$ に固定

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) $\overline{\text{RESET}}$ 入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図18 - 6 STOPモードの $\overline{\text{RESET}}$ 入力による解除



注 メイン・システム・クロックの選択により、ウエイト時間は異なります。

セラミック/クリスタル発振選択時 : $2^{15}/f_x$ (6.55 ms)

RC発振選択時 : $2^7/f_{cc}$ (64 μ s)

備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{cc} : メイン・システム・クロック発振周波数 (RC発振)

3. () 内は, $f_x = 5.0$ MHz動作時または $f_{cc} = 2.0$ MHz動作時

表18 - 4 STOPモードの解除後の動作

解除ソース	MK x x	IE	動作
マスクブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	STOPモード保持
$\overline{\text{RESET}}$ 入力	-	-	リセット処理

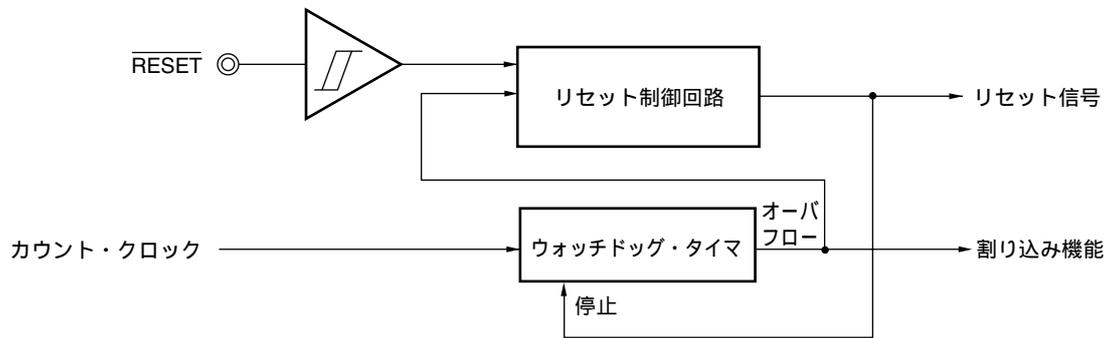
x : don't care

第19章 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

図19 - 1 リセット機能のブロック図



(1) $\overline{\text{RESET}}$ 端子による外部リセット入力

$\overline{\text{RESET}}$ 入力により、0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとリセットがかかり、各ハードウェアは表19 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されるとリセットが解除され、発振安定時間経過後にプログラムの実行を開始します。

(2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、 $\overline{\text{RESET}}$ 入力により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

ウォッチドッグ・タイマのオーパフローが発生することによってリセットがかかり、各ハードウェアは表19 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

リセット後、自動的にリセットが解除され、発振安定時間経過後にプログラムの実行を開始します。

- 注意1.** 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
- リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。
 - セラミック/クリスタル発振とRC発振とでは $\overline{\text{RESET}}$ 解除後の発振安定時間は異なります。

セラミック/クリスタル発振 : $2^{15}/f_x$

RC発振 : $2^7/f_{cc}$

図19-2 RESET入力によるリセット・タイミング

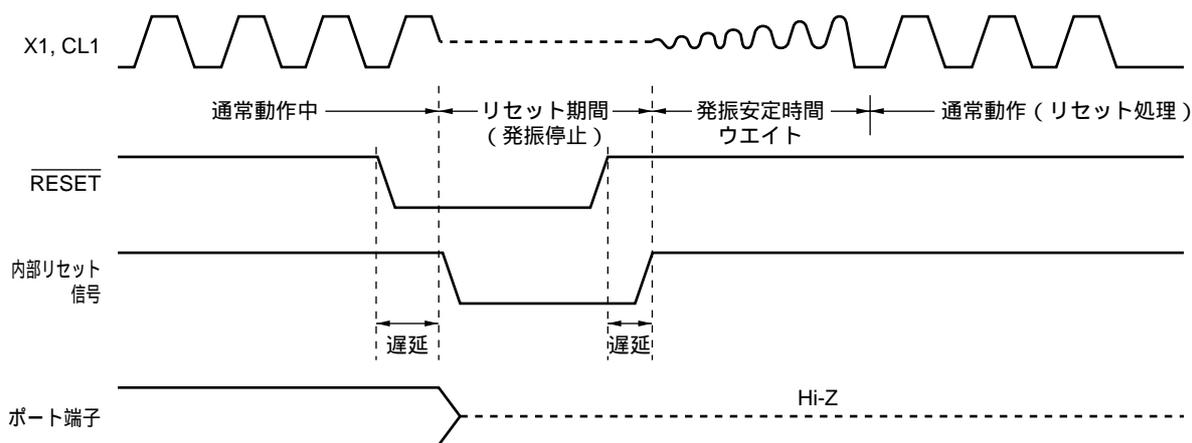


図19-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

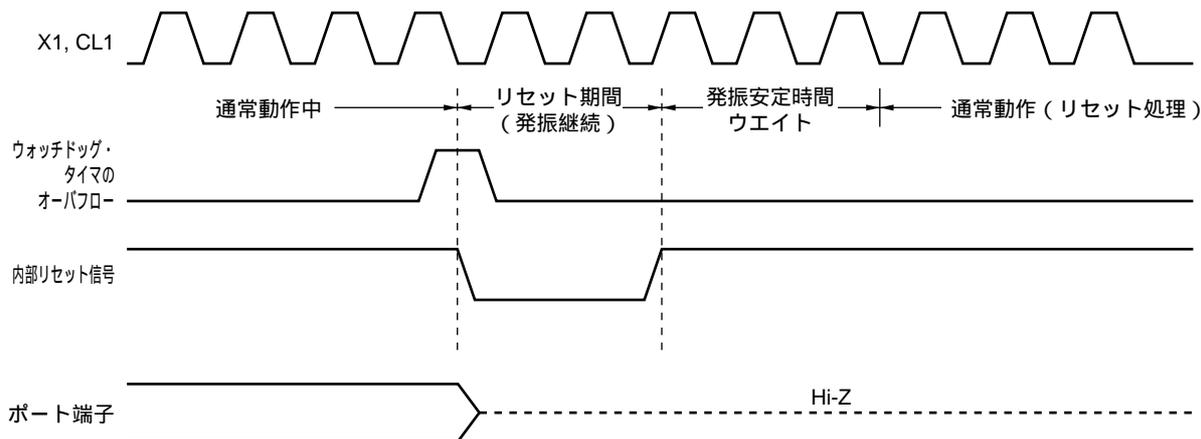


図19-4 STOPモード中のRESET入力によるリセット・タイミング

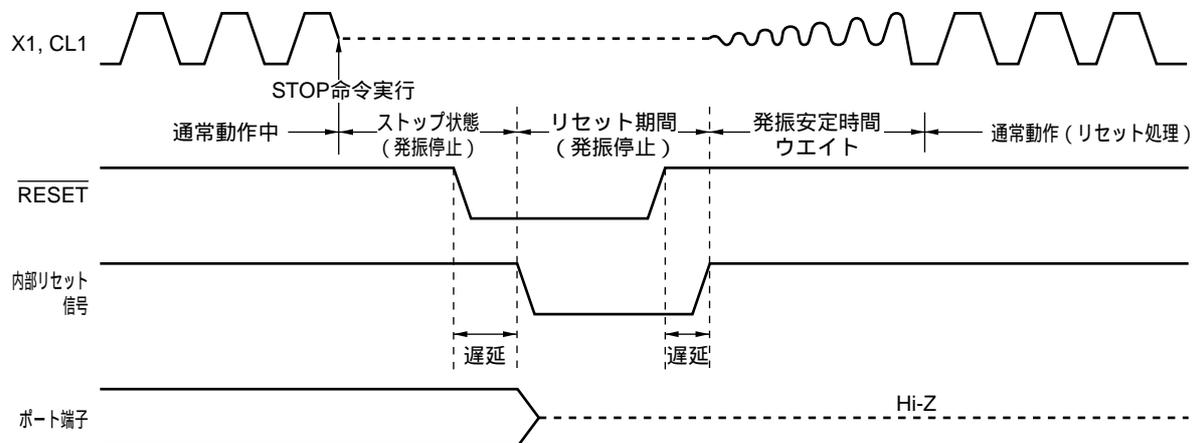


表19 - 1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート (P0-P3) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM3)		FFH
ブルアップ抵抗オプション・レジスタ (PU0, PUB2, PUB3)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
サブ発振モード・レジスタ (SCKM)		00H
サブクロック・コントロール・レジスタ (CSS)		00H
発振安定時間選択レジスタ (OSTS)		04H
電源供給コントロール・レジスタ0 (PSC0)		00H
8ビット・タイマ	タイマ・カウンタ (TM30, TM40, TM80-TM82)	00H
	コンペア・レジスタ (CR30, CR40, CRH40, CR80-CR82)	不定
	モード・コントロール・レジスタ (TMC30, TMC40, TMC80-TMC82)	00H
	キャリア・ジェネレータ出力コントロール・レジスタ (TCA40)	不定
8ビット・リモコン・タイマ	タイマ・カウンタ (TM50)	00H
	キャプチャ・レジスタ (CP50, CP51)	00H
	コントロール・レジスタ (TMC50)	00H
サウンド・ジェネレータ	タイマ・カウンタ (TMSG0)	00H
	コンペア・レジスタ (CRSG0)	不定
	周波数設定レジスタ (SGFC00)	00H
	キャリア・ジェネレータ出力コントロール・レジスタ (TCASG0)	00H
	モード・コントロール・レジスタ (TMCSG0)	00H
	P3ファンクション・レジスタ (PF3)	00H
時計用タイマ	モード・コントロール・レジスタ (WTM)	00H
ウォッチドッグ・タイマ	クロック選択レジスタ (WDCS)	00H
	モード・レジスタ (WDTM)	00H

★

- 注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。
 その他は、リセット後の状態と変わりありません。
2. スタンバイ・モード時でのリセット後の状態は保持となります。

表19-1 各ハードウェアのリセット後の状態 (2/2)

	ハードウェア	リセット後の状態
シリアル・インタフェース	モード・レジスタ (CSIM10)	00H
	送受信シフト・レジスタ (SIO10)	不定
	送信シフト・レジスタ (TXS00)	不定
	受信バッファ・レジスタ (RXB00)	FFH
	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM00)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS00)	00H
	ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC00)	00H
A/Dコンバータ	変換結果レジスタ (ADCR)	不定
	モード・レジスタ (ADM)	00H
	入力選択レジスタ (ADS)	00H
LCDコントローラ/ドライバ	表示モード・レジスタ (LCDM20)	00H
	クロック制御レジスタ (LCDC20)	00H
	昇圧制御レジスタ (VLCD00)	00H
乗算器	乗算結果格納レジスタ (MUL0)	不定
	データ・レジスタ (MRA0, MRB0)	不定
	コントロール・レジスタ (MULC0)	00H
SWAP	スワップ機能レジスタ (SWP0)	注
割り込み	要求フラグ・レジスタ (IF0-IF2)	00H
	マスク・フラグ・レジスタ (MK0-MK2)	FFH
	外部割り込みモード・レジスタ (INTM0)	00H
	キー・リターン・モード・レジスタ (KRM00)	00H

注 読み出しモード時と書き込みモード時でリセット後の状態が異なります。詳しくは第16章 スワッピング (SWAP) を参照してください。

第20章 μ PD78F9835

μ PD789835, 789835A, 789835Bサブシリーズのフラッシュ・メモリ製品には, μ PD78F9835があります。

μ PD78F9835は, μ PD78983x, 78983xA, 78983xBの内部ROMをそれぞれフラッシュ・メモリに置き換えた製品です。 μ PD78F9835とマスクROM製品の違いを表20 - 1に示します。

表20 - 1 μ PD78F9835とマスクROM製品の違い

項 目		フラッシュ・メモリ製品	マスクROM製品			
		μ PD78F9835	μ PD789832 μ PD789832A μ PD789832B	μ PD789833 μ PD789833A μ PD789833B	μ PD789834 μ PD789834A μ PD789834B	μ PD789835 μ PD789835A μ PD789835B
内部メモリ	ROM	60 Kバイト (フラッシュ・メモリ)	24 Kバイト	32 Kバイト	48 Kバイト	60 Kバイト
	高速RAM	1024バイト				
	低速RAM	2240バイト	1216バイト		2240バイト	
	LCD表示用RAM	288バイト×2				
★ A/Dコンバータ	あり	μ PD78983xB, 78983xA : あり μ PD78983x : なし				
IC0端子	なし	あり				
V _{PP} 端子	あり	なし				
電源電圧 (V _{DD})	3.0 ~ 3.6 V	1.8 ~ 3.6 V				
電気的特性	第22章 電気的特性を参照してください。					

注意 フラッシュ・メモリ製品とマスクROM製品では, ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は, マスクROM製品のCS製品 (ES製品でなく) で十分な評価を行ってください。

20.1 フラッシュ・メモリの特徴

フラッシュ・メモリへのプログラミングは、ターゲット・システムに実装した状態（オンボード）で、専用のフラッシュ・ライター（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））をターゲット・システムに接続して行います。またプログラミング専用のターゲット・ボードであるフラッシュ書き込み用アダプタ（プログラム・アダプタ）を用意しています。

備考 FL-PR3, FL-PR4, プログラム・アダプタは、株式会社内藤電誠町田製作所（TEL（045）475-4191）の製品です。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
ソフトウェアを区別することで少量多品種生産が容易
量産立ち上げ時のデータ調整が容易

20.1.1 プログラミング環境

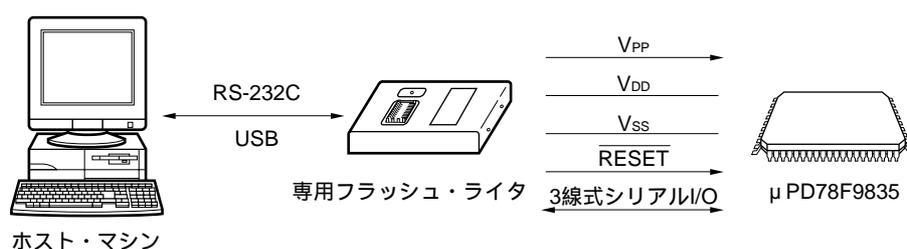
μ PD78F9835のフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライターとしてFlashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4）を使用した場合、専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライター間の通信は、RS-232C/USB（Rev1.1）で行います。

詳細はFlashpro / Flashpro のマニュアルを参照してください。

備考 USBはFlashpro のみ対応

図20 - 1 フラッシュ・メモリにプログラムを書き込むための環境



20.1.2 通信方式

専用フラッシュ・ライタと μ PD78F9835との通信は、表20 - 2に示す通信方式から選択して行います。

★

表20 - 2 通信方式一覧

通信方式	TYPE設定 ^{注1}				使用端子	V _{PP} パルス数	
	COMM PORT	SIOクロック	CPU CLOCK				Multiple Rate
			In Flashpro	On Target Board			
3線式シリアルI/O	SIO ch-0 (3wired, sync.)	100 Hz- 1.25 MHz ^{注2}	1, 2, 4, 5 MHz ^{注3}	1-5 MHz ^{注2}	1.0	SI10/P22 SO10/P21 SCK10/P20	0

注1. 専用フラッシュ・ライタ (Flashpro (型番 FL-PR3, PG-FP3) / Flashpro (型番 FL-PR4, PG-FP4)) 上のTYPE設定における選択項目です。

2. 電圧により設定可能な範囲が異なります。詳細は第22章 電気的特性を参照してください。
3. Flashpro の場合は、2 MHzまたは4 MHzのみ選択可能です。

注意 通信方式は、必ず表20 - 2に示すV_{PP}パルス数で選択してください。

★

図20 - 2 通信方式選択フォーマット

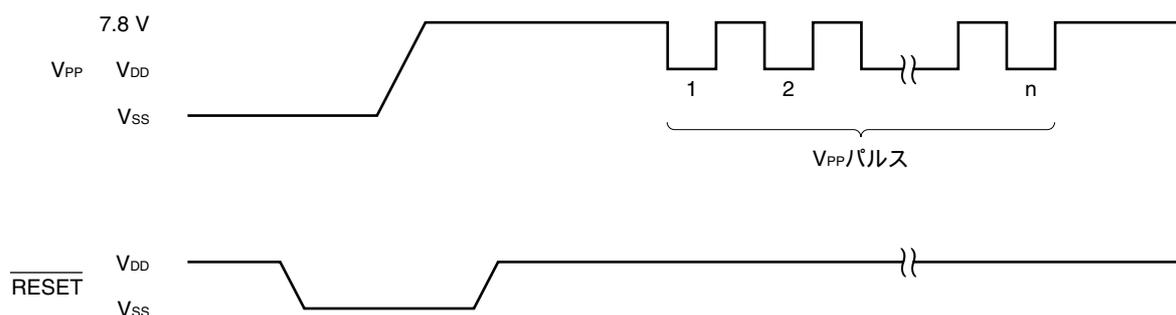
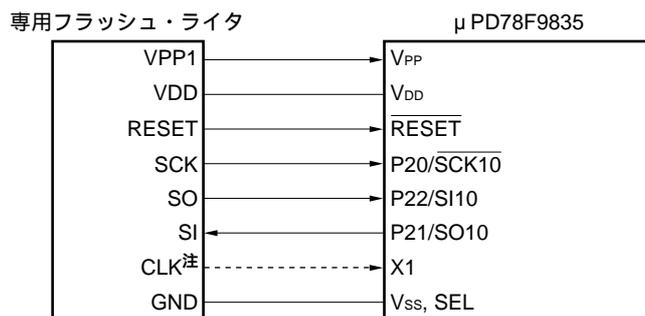


図20 - 3 専用フラッシュ・ライタとの接続例



注 専用フラッシュ・ライタからシステム・クロックを供給する場合に接続します。X1端子にすでに振動子が接続されている場合は、CLK端子と接続する必要はありません。

注意 VDD端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのVDD端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

専用フラッシュ・ライタとしてFlashpro / Flashpro を使用した場合、μ PD78F9835に対して次の信号を生成します。詳細はFlashpro / Flashpro のマニュアルを参照してください。

表20 - 3 端子接続一覧

信号名	入出力	端子機能	端子名	3線式シリアルI/O
VPP1	出力	書き込み電圧	V _{PP}	
VPP2	-	-	-	x
VDD	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD}	注
GND	-	グラウンド	V _{SS} , SEL	
CLK	出力	クロック出力	X1	
RESET	出力	リセット信号	RESET	
SI	入力	受信信号	P21/SO10	
SO	出力	送信信号	P22/SI10	
SCK	出力	転送クロック	P20/SCK10	
HS	-	-	-	x

注 V_{DD}電圧はプログラミング開始前に供給する必要があります。

備考 : 必ず接続してください。

: ターゲット・ボード上で供給されていれば、接続の必要はありません。

x : 接続の必要はありません。

20.1.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

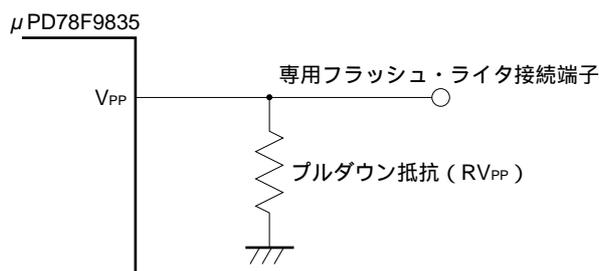
<V_{PP}端子>

★ 通常動作モード時は、V_{PP}端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に7.8 V (TYP.) の書き込み電圧を供給しますので、次に示す(1)か(2)の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗RV_{PP} = 10 k Ω を接続してください。
- (2) ボード上のジャンパで、V_{PP}端子の入力をライター側または直接GNDのどちらかに切り替えてください。

V_{PP}端子の接続例を次に示します。

図20 - 4 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

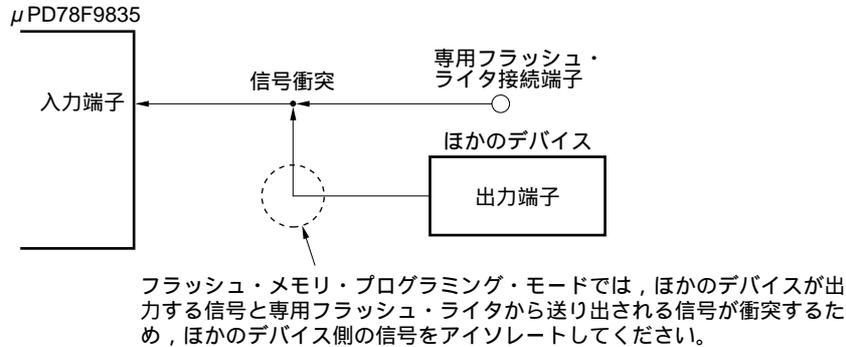
シリアル・インタフェース	使用端子
3線式シリアルI/O	SCK10/P20, SO10/P21, SI10/P22

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

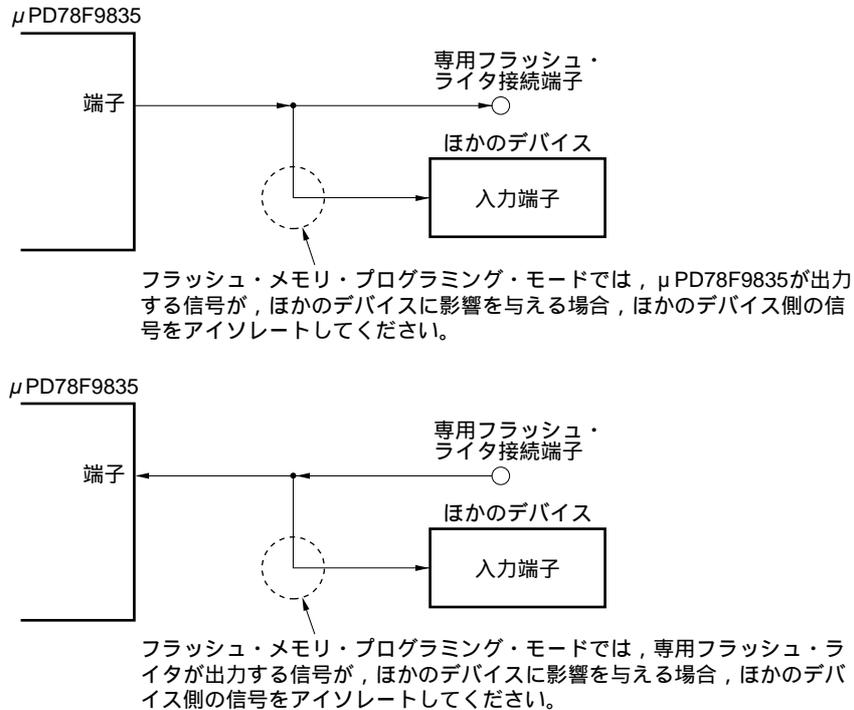
図20 - 5 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図20 - 6 ほかのデバイスの異常動作

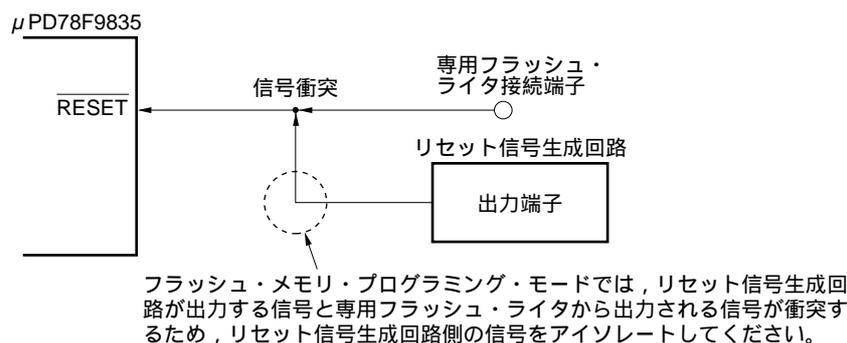


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図20 - 7 信号の衝突 (RESET端子)



<ポート端子>

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介してV_{DD}に接続する、または抵抗を介してV_{SS}に接続するなどの処置をしてください。

<発振端子>

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上のメイン発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。サブクロックに関しては通常動作モードに準拠します。

<電 源>

フラッシュ・ライタの電源出力を使用する場合は、V_{DD}端子はフラッシュ・ライタのV_{DD}に、V_{SS}端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのV_{DD}は必ず接続してください。

<その他の端子>

SEL端子はV_{SS}に接続してください。

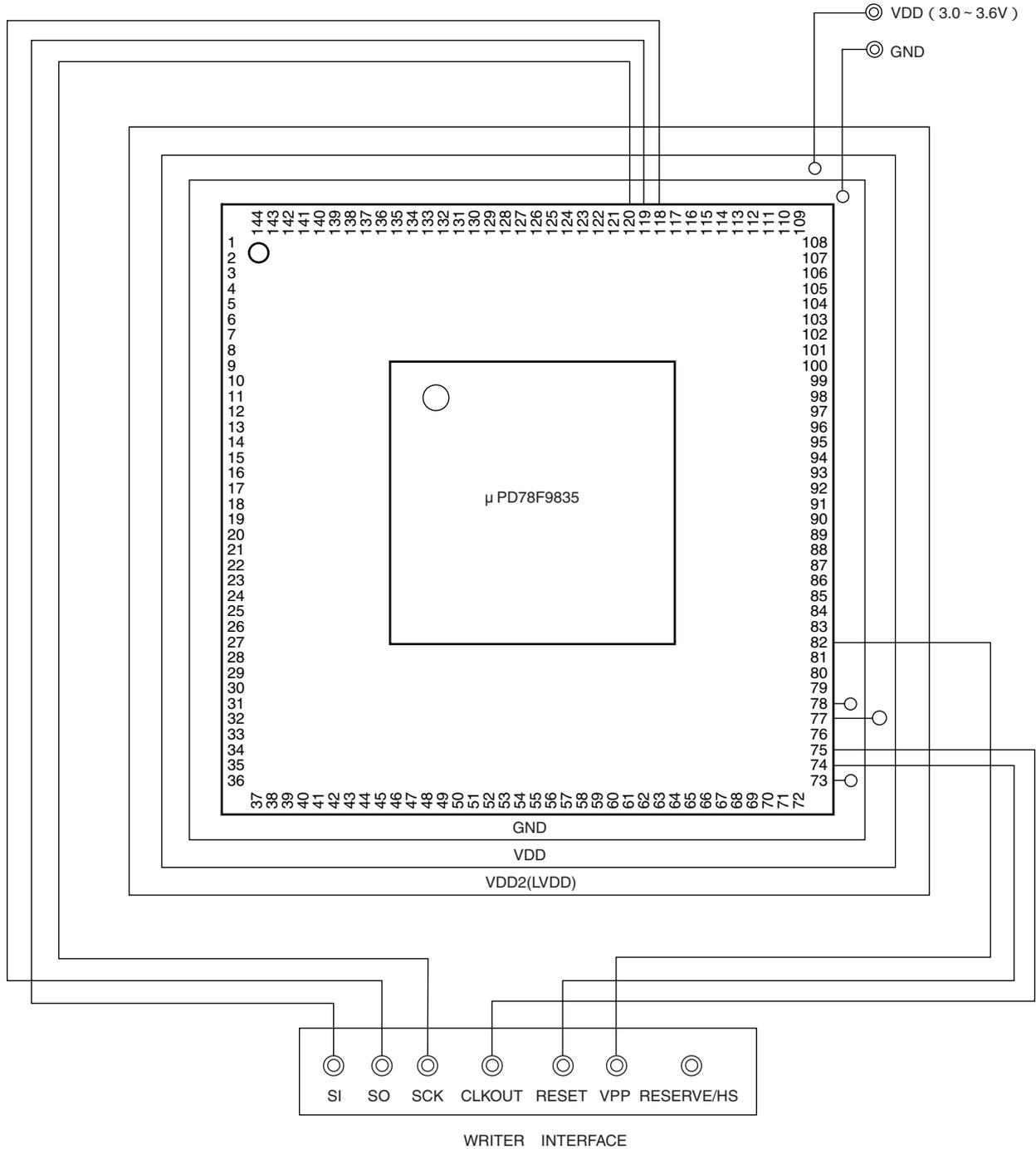
その他の端子 (LCD0-LCD87, V_{LC0}-V_{LC4}, V_{ROUT0}, CAP0-CAP3) は、通常動作モード時と同じ処理をしてください。

20.1.4 フラッシュ書き込み用アダプタ上の接続

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

★

図20 - 8 3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例



第21章 命令セットの概要

μPD789835, 789835A, 789835Bサブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

21.1 オペレーション

21.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・#：イミディエト・データ指定
- ・\$：相対アドレス指定
- ・!：絶対アドレス指定
- ・[]：間接アドレス指定

イミディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表21-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号
saddr	FE20H-FF1FH イミディエト・データまたはラベル
saddrp	FE20H-FF1FH イミディエト・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr5	0040H-007FH イミディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミディエト・データまたはラベル
byte	8ビット・イミディエト・データまたはラベル
bit	3ビット・イミディエト・データまたはラベル

備考 特殊機能レジスタの略号は表3-4 特殊機能レジスタ一覧を参照してください。

21.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x _H , x _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

21.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

21.2 オペレーション一覧

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	r byte			
	saddr, #byte	3	6	(saddr) byte			
	sfr, #byte	3	6	sfr byte			
	A, r <small>注1</small>	2	4	A r			
	r, A <small>注1</small>	2	4	r A			
	A, saddr	2	4	A (saddr)			
	saddr, A	2	4	(saddr) A			
	A, sfr	2	4	A sfr			
	sfr, A	2	4	sfr A			
	A, laddr16	3	8	A (addr16)			
	laddr16, A	3	8	(addr16) A			
	PSW, #byte	3	6	PSW byte	x	x	x
	A, PSW	2	4	A PSW			
	PSW, A	2	4	PSW A	x	x	x
	A, [DE]	1	6	A (DE)			
	[DE], A	1	6	(DE) A			
	A, [HL]	1	6	A (HL)			
	[HL], A	1	6	(HL) A			
	A, [HL + byte]	2	6	A (HL + byte)			
[HL + byte], A	2	6	(HL + byte) A				
XCH	A, X	1	4	A X			
	A, r <small>注2</small>	2	6	A r			
	A, saddr	2	6	A (saddr)			
	A, sfr	2	6	A sfr			
	A, [DE]	1	8	A (DE)			
	A, [HL]	1	8	A (HL)			
	A, [HL, byte]	2	8	A (HL + byte)			

注1. r = Aを除く。

2. r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp word			
	AX, saddrp	2	6	AX (saddrp)			
	saddrp, AX	2	8	(saddrp) AX			
	AX, rp <small>注</small>	1	4	AX rp			
	rp, AX <small>注</small>	1	4	rp AX			
XCHW	AX, rp <small>注</small>	1	8	AX rp			
ADD	A, #byte	2	4	A, CY A + byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte	x	x	x
	A, r	2	4	A, CY A + r	x	x	x
	A, saddr	2	4	A, CY A + (saddr)	x	x	x
	A, laddr16	3	8	A, CY A + (addr16)	x	x	x
	A, [HL]	1	6	A, CY A + (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte)	x	x	x
ADDC	A, #byte	2	4	A, CY A + byte + CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte + CY	x	x	x
	A, r	2	4	A, CY A + r + CY	x	x	x
	A, saddr	2	4	A, CY A + (saddr) + CY	x	x	x
	A, laddr16	3	8	A, CY A + (addr16) + CY	x	x	x
	A, [HL]	1	6	A, CY A + (HL) + CY	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte) + CY	x	x	x
SUB	A, #byte	2	4	A, CY A - byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte	x	x	x
	A, r	2	4	A, CY A - r	x	x	x
	A, saddr	2	4	A, CY A - (saddr)	x	x	x
	A, laddr16	3	8	A, CY A - (addr16)	x	x	x
	A, [HL]	1	6	A, CY A - (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte)	x	x	x

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	A, CY A - byte - CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte - CY	x	x	x
	A, r	2	4	A, CY A - r - CY	x	x	x
	A, saddr	2	4	A, CY A - (saddr) - CY	x	x	x
	A, laddr16	3	8	A, CY A - (addr16) - CY	x	x	x
	A, [HL]	1	6	A, CY A - (HL) - CY	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte) - CY	x	x	x
AND	A, #byte	2	4	A A ∧ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∧ byte	x		
	A, r	2	4	A A ∧ r	x		
	A, saddr	2	4	A A ∧ (saddr)	x		
	A, laddr16	3	8	A A ∧ (addr16)	x		
	A, [HL]	1	6	A A ∧ (HL)	x		
	A, [HL + byte]	2	6	A A ∧ (HL + byte)	x		
OR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		
XOR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A - byte	x	x	x
	saddr, #byte	3	6	(saddr) - byte	x	x	x
	A, r	2	4	A - r	x	x	x
	A, saddr	2	4	A - (saddr)	x	x	x
	A, laddr16	3	8	A - (addr16)	x	x	x
	A, [HL]	1	6	A - (HL)	x	x	x
	A, [HL + byte]	2	6	A - (HL + byte)	x	x	x
ADDW	AX, #word	3	6	AX, CY AX + word	x	x	x
SUBW	AX, #word	3	6	AX, CY AX - word	x	x	x
CMPW	AX, #word	3	6	AX - word	x	x	x
INC	r	2	4	r r + 1	x	x	
	saddr	2	4	(saddr) (saddr) + 1	x	x	
DEC	r	2	4	r r - 1	x	x	
	saddr	2	4	(saddr) (saddr) - 1	x	x	
INCW	rp	1	4	rp rp + 1			
DECW	rp	1	4	rp rp - 1			
ROR	A, 1	1	2	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
ROL	A, 1	1	2	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
RORC	A, 1	1	2	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
ROLC	A, 1	1	2	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
SET1	saddr.bit	3	6	(saddr.bit) 1			
	sfr.bit	3	6	sfr.bit 1			
	A.bit	2	4	A.bit 1			
	PSW.bit	3	6	PSW.bit 1	x	x	x
	[HL].bit	2	10	(HL).bit 1			
CLR1	saddr.bit	3	6	(saddr.bit) 0			
	sfr.bit	3	6	sfr.bit 0			
	A.bit	2	4	A.bit 0			
	PSW.bit	3	6	PSW.bit 0	x	x	x
	[HL].bit	2	10	(HL).bit 0			
SET1	CY	1	2	CY 1			1
CLR1	CY	1	2	CY 0			0

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{cpu})の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
NOT1	CY	1	2	CY $\overline{\text{CY}}$			x
CALL	!addr16	3	6	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2			
CALLT	[addr5]	1	8	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (00000000, addr5 + 1), PC _L (00000000, addr5), SP SP - 2			
RET		1	6	PC _H (SP + 1), PC _L (SP), SP SP + 2			
RETI		1	8	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3, NMIS 0	R	R	R
PUSH	PSW	1	2	(SP - 1) PSW, SP SP - 1			
	rp	1	4	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
POP	PSW	1	4	PSW (SP), SP SP + 1	R	R	R
	rp	1	6	rp _H (SP + 1), rp _L (SP), SP SP + 2			
MOVW	SP, AX	2	8	SP AX			
	AX, SP	2	6	AX SP			
BR	!addr16	3	6	PC addr16			
	\$addr16	2	6	PC PC + 2 + jdisp8			
	AX	1	6	PC _H A, PC _L X			
BC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 1			
BNC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 0			
BZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 1			
BNZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 0			
BT	saddr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 1			
	sfr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 1			
	A.bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A.bit = 1			
	PSW.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 1			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
BF	saddr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
	sfr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 0			
	A.bit, \$saddr16	3	8	PC PC + 3 + jdisp8 if A.bit = 0			
	PSW.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 0			
DBNZ	B, \$saddr16	2	6	B B - 1, then PC PC + 2 + jdisp8 if B 0			
	C, \$saddr16	2	6	C C - 1, then PC PC + 2 + jdisp8 if C 0			
	saddr, \$saddr16	3	8	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) 0			
NOP		1	2	No Operation			
EI		3	6	IE 1 (Enable Interrupt)			
DI		3	6	IE 0 (Disable Interrupt)			
HALT		1	2	Set HALT Mode			
STOP		1	2	Set STOP Mode			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

21.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV , XCH , ADD , ADDC , SUB , SUBC , AND , OR , XOR , CMP , INC , DEC , ROR , ROL , RORC ,
 ROLC , PUSH , POP , DBNZ

第2オペランド 第1オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV ^注 XCH ^注	MOV XCH	MOV XCH	MOV	MOV	MOV XCH	MOV XCH	MOV XCH		ROR ROL RORC ROLC	
r	MOV	MOV											INC DEC
B , C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											
[HL + byte]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW , XCHW , ADDW , SUBW , CMPW , PUSH , POP , INCW , DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW ^注				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC , DE , HLのときのみ。

(3) ビット操作命令

SET1 , CLR1 , NOT1 , BT , BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[HL] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL , CALLT , BR , BC , BNC , BZ , BNZ , DBNZ

第2オペランド 第1オペランド	AX	!addr16	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET , RETI , NOP , EI , DI , HALT , STOP

第22章 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.3 ~ + 4.6	V
	V _{PP}	μ PD78F9835のみ 注1	- 0.3 ~ + 8.1	V
入力電圧	V _{I1}		- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
出力電圧	V _{O1}	下記以外	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V _{O2}	LCD0-LCD95, CAP0-CAP3, V _{LC0} -V _{LC4}	- 0.3 ~ + 6.5	V
ハイ・レベル出力電流	I _{OH}	1端子	- 10	mA
		TO40	- 24	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I _{OL}	1端子	30	mA
		全端子合計	90	mA
動作周囲温度	T _A	通常動作時	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時	10 ~ 40	
保存温度	T _{stg}	マスクROM製品	- 65 ~ + 150	
		μ PD78F9835	- 40 ~ + 125	

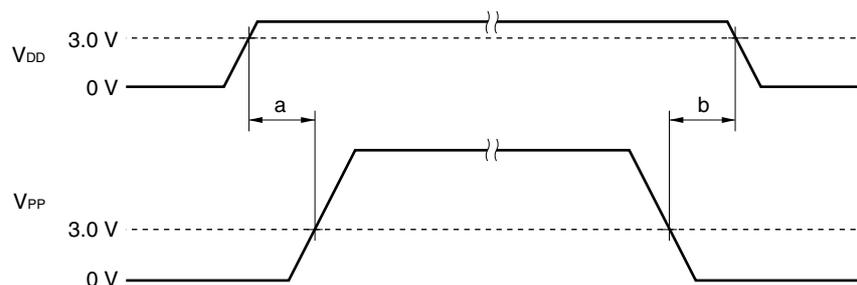
注1. フラッシュ・メモリ書き込み時, V_{PP}の電圧印加タイミングについては, 必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD}が動作電圧範囲の下限電圧(3.0 V)に達してから10 μs以上経過後, V_{PP}がV_{DD}を超えること(下図のa)。

・電源電圧立ち下がり時

V_{PP}がV_{DD}の動作電圧範囲の下限電圧(3.0 V)を下回ってから10 μs以上経過後, V_{DD}を立ち下げること(下図のb)。



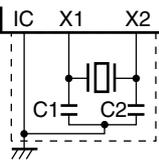
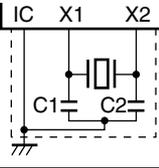
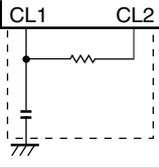
2. ただし, 4.6 V以下であること

注意 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。

備考 特に指定がないかぎり, 兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性

($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 3.6$ V (マスクROM製品) , $V_{DD} = 3.0 \sim 3.6$ V (μ PD78F9835))

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (f_x) ^{注1}		1.0		5.0	MHz
		発振安定時間 ^{注2}	V_{DD} が発振電圧範囲のMIN.に達したあと			4	ms
水晶振動子		発振周波数 ^{注1}		1.0		5.0	MHz
		発振安定時間 ^{注2}				10	ms
RC発振子		発振周波数 (f_{cc})		0.4		2.0	MHz
		発振安定時間 ^{注2}	V_{DD} が発振電圧範囲のMIN.に達したあと			10	μ s

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意1. メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

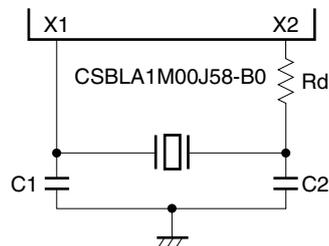
2. メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

推奨発振回路定数

セラミック発振子 ($T_A = -40 \sim +85$) (マスクROM製品)

メーカー	品名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V_{DD})		備考
			C1	C2	MIN.	MAX.	
村田製作所 (標準品)	CSBLA1M00J58-B0	1.0	100	100	1.8	3.6	Rd = 2.2 k Ω
	CSTCR4M00G53-R0	4.0	-	-			コンデンサ内蔵品
	CSTLS4M00G53-B0						
	CSTCR5M00G53-R0	5.0					
	CSTLS5M00G53-B0						

注 セラミック発振子として村田製作所のCSBLA1M00J58-B0(1.0 MHz)を使用する場合には、制限抵抗($R_d = 2.2$ k Ω)が必要です(下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。

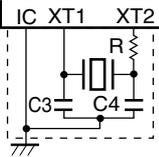


注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、 μ PD78983xの内部動作条件についてはDC、AC特性の規格内で使用してください。

備考 フラッシュ・メモリ製品の発振子の選択および発振回路定数についてはお客様において発振評価をさせていただくか、発振子メーカーに評価を依頼してください。

サブシステム・クロック発振回路特性

($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 3.6$ V (マスクROM製品) , $V_{DD} = 3.0 \sim 3.6$ V (μ PD78F9835))

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}				10	s

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. V_{DD} が発振電圧範囲のMIN.に達したあと、発振が安定するのに必要な時間です。

注意1. サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い設計になっており、ノイズによる誤動作がメイン・システム・クロック発振回路より起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価をしていただくか、発振子メーカーに評価を依頼してください。

DC特性 (1/3)

($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 3.6$ V (マスクROM製品) , $V_{DD} = 3.0 \sim 3.6$ V (μ PD78F9835))

項目	略号	条件	MIN.	TYP.	MAX.	単位	
★ ロウ・レベル出力電流	I _{OL}	1端子			10	mA	
		全端子			80	mA	
		P30/SG0, P34/SG4 (ブザ ー・モード2選択時) V _{OL} = V _{DD}	OE3 = 1, OE2 = 0, OE1 = 0, OE0 = X		3.4		mA
			OE3 = 0, OE2 = 1, OE1 = 0, OE0 = X		1.9		mA
			OE3 = 0, OE2 = 0, OE1 = 1, OE0 = X		1.1		mA
			OE3 = 0, OE2 = 0, OE1 = 0, OE0 = X		0.38		mA
★ ハイ・レベル出力電流	I _{OH}	1端子			- 1	mA	
		TO40/P27	V _{OH} = 1.0 V, V _{DD} = 3.0 V	- 6	- 15	- 24	mA
		全端子				- 15	mA
		P30/SG0, P34/SG4 (ブザ ー・モード2選択時) V _{OH} = V _{SS}	OE3 = 1, OE2 = 0, OE1 = 0, OE0 = X		- 3.0		mA
			OE3 = 0, OE2 = 1, OE1 = 0, OE0 = X		- 1.5		mA
			OE3 = 0, OE2 = 0, OE1 = 1, OE0 = X		- 0.75		mA
OE3 = 0, OE2 = 0, OE1 = 0, OE0 = X	0		0	0	mA		
★ ハイ・レベル入力電圧	V _{IH1}	P00-P07, P10, P11, P21, P25, P27, P30-P37, P60-P62, P80-P87	V _{DD} = 2.7 to 3.6 V	0.7 V _{DD}	V _{DD}	V	
			V _{DD} = 1.8 to 2.7 V	0.9 V _{DD}	V _{DD}	V	
	V _{IH2}	RESET, P20, P22-P24, P26	V _{DD} = 2.7 to 3.6 V	0.8 V _{DD}	V _{DD}	V	
			V _{DD} = 1.8 to 2.7 V	0.9 V _{DD}	V _{DD}	V	
	V _{IH3}	X1 (CL1), X2 (CL2)	V _{DD} - 0.1		V _{DD}	V	
	V _{IH4}	XT1, XT2	V _{OH} - 0.1		V _{OH}	V	
ロウ・レベル入力電圧	V _{IL1}	P00-P07, P10, P11, P21, P25, P27, P30-P37, P60-P62, P80-P87	V _{DD} = 2.7 to 3.6 V	0	0.3 V _{DD}	V	
			V _{DD} = 1.8 to 2.7 V	0	0.1 V _{DD}	V	
	V _{IL2}	RESET, P20, P22-P24, P26	V _{DD} = 2.7 to 3.6 V	0	0.2 V _{DD}	V	
			V _{DD} = 1.8 to 2.7 V	0	0.1 V _{DD}	V	
	V _{IL3}	X1 (CL1), X2 (CL2)	0		0.1	V	
	V _{IL4}	XT1, XT2	0		0.1	V	
★ ハイ・レベル入力電圧	V _{IH1}	P00-P07, P10, P11, P21, P25, P27, P30-P37, P60-P62, P80-P87	V _{DD} = 2.7 to 3.6 V	0.7 V _{DD}	V _{DD}	V	
			V _{DD} = 1.8 to 2.7 V	0.9 V _{DD}	V _{DD}	V	
	V _{IH2}	RESET, P20, P22-P24, P26	V _{DD} = 2.7 to 3.6 V	0.8 V _{DD}	V _{DD}	V	
			V _{DD} = 1.8 to 2.7 V	0.9 V _{DD}	V _{DD}	V	
	V _{IH3}	X1 (CL1), X2 (CL2)	V _{DD} - 0.1		V _{DD}	V	
	V _{IH4}	XT1, XT2	V _{OH} - 0.1		V _{OH}	V	

DC特性 (2/3)

($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 3.6$ V (マスクROM製品) , $V_{DD} = 3.0 \sim 3.6$ V (μ PD78F9835))

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	V _{IL1}	P00-P07, P10, P11, P21, P25, P27, P30-P37, P60-P62, P80-P87	V _{DD} = 2.7 to 3.6 V	0		0.3 V _{DD}	V
			V _{DD} = 1.8 to 2.7 V	0		0.1 V _{DD}	V
	V _{IL2}	RESET, P20, P22-P24, P26	V _{DD} = 2.7 to 3.6 V	0		0.2 V _{DD}	V
			V _{DD} = 1.8 to 2.7 V	0		0.1 V _{DD}	V
	V _{IL3}	X1 (CL1) , X2 (CL2)		0		0.1	V
V _{IL4}	XT1, XT2		0		0.1	V	
★ ハイ・レベル出力電圧	V _{OH}	I _{OH} = -1 mA P00-P07, P10, P11, P20-P27, P30-P37		V _{DD} - 1.0			V
			V _{OH2} P30/SG0, P34/SG4 (ブザ ー・モード2選択時) V _{DD} = 3.0 V	OE3 = 1, OE2 = 0, OE1 = 0, OE0 = X		2.7	
	OE3 = 0, OE2 = 1, OE1 = 0, OE0 = X			2.4		V	
	OE3 = 0, OE2 = 0, OE1 = 1, OE0 = X			2.0		V	
	OE3 = 0, OE2 = 0, OE1 = 0, OE0 = X			0.0		V	
V _{OL}	I _{OL} = 10 mA P00-P07, P10, P11, P20-P27, P30-P37				1.0	V	
ハイ・レベル入力リーク電流	I _{LIH1}	V _{IN} = V _{DD}	X1(CL1), X2(CL2), XT1, XT2以外の端子			3	μ A
			X1(CL1), X2(CL2)			20	μ A
	I _{LIH3}	V _{IN} = V _{OH}	XT1, XT2			3	μ A
ロウ・レベル入力リーク電流	I _{LIL1}	V _{IN} = 0 V	X1(CL1), X2(CL2) 以外の端子			- 3	μ A
			X1(CL1), X2(CL2)			- 20	μ A
ハイ・レベル出力リーク電流	I _{LOH}	V _{OUT} = V _{DD}				3	μ A
ロウ・レベル出力リーク電流	I _{LOL}	V _{OUT} = 0 V				- 3	μ A
レギュレータ電圧	V _{ROUT0}	PSC0 = 00H, After reset, After STOP mode			V _{DD}		V
		PSC0 = 01H			1.4		V
ソフトウェア・プルアップ抵抗	R ₁	V _{IN} = 0 V	P00-P07, P10, P11, P20-P27, P30-P37	50	100	200	k Ω

備考1. 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

2. () 内は, RC発振選択時

DC特性 (3/3)

($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 3.6$ V (マスクROM製品) , $V_{DD} = 3.0 \sim 3.6$ V (μ PD78F9835))

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流 ^{注1} (マスクROM製品)	I _{DD1}	5.0 MHz 水晶発振動作 モード (SEL = L)	PCC = 00H		1.5	3	mA
			PCC = 02H		1.1	2	mA
		1.2 MHz RC発振動作 モード (SEL = H)	PCC = 00H		1.5	3	mA
			PCC = 02H		1.1	2	mA
	I _{DD2}	5.0 MHz 水晶発振HALT モード (SEL = L)			0.5	1.5	mA
					0.5	1.5	mA
	I _{DD3}	32.768 kHz サブ発振 動作モード ^{注2}	VAON20 = 1		15	40	μ A
			VAON20 = 0		10	35	μ A
		32.768 kHz サブ発振 HALTモード ^{注2}	VAON20 = 1		12	36	μ A
			VAON20 = 0		8	24	μ A
	I _{DD4}	STOPモード ^{注3}			1	10	μ A
	I _{DD5}	5.0 MHz 水晶発振 A/D動作モード	PCC = 00H		2.5	5.0	mA
			PCC = 02H		2.1	4.2	mA
		1.2 MHz RC発振 A/D動作モード	PCC = 00H		2.5	5.0	mA
PCC = 02H				2.1	4.2	mA	
電源電流 ^{注1} (μ PD78F9835)	I _{DD1}	5.0 MHz 水晶発振動作 モード (SEL = L)	PCC = 00H		10	18	mA
			PCC = 02H		8	16	mA
		1.2 MHz RC発振動作 モード (SEL = H)	PCC = 00H		10	18	mA
			PCC = 02H		8	16	mA
	I _{DD2}	5.0 MHz 水晶発振HALT モード (SEL = L)			6	12	mA
					6	12	mA
	I _{DD3}	32.768 kHz サブ発振 動作モード ^{注2}	VAON20 = 1		7	12	mA
			VAON20 = 0		7	12	mA
		32.768 kHz サブ発振 HALTモード ^{注2}	VAON20 = 1		3	6	mA
			VAON20 = 0		3	6	mA
	I _{DD4}	STOPモード ^{注3}			1	10	μ A
	I _{DD5}	5.0 MHz 水晶発振 A/D動作モード	PCC = 00H		11	20	mA
			PCC = 02H		9	18	mA
		1.2 MHz RC発振 A/D動作モード	PCC = 00H		11	20	mA
PCC = 02H				9	18	mA	

注1. ポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。

2. メイン・システム・クロック停止時
3. サブシステム・クロック停止時

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

AC特性

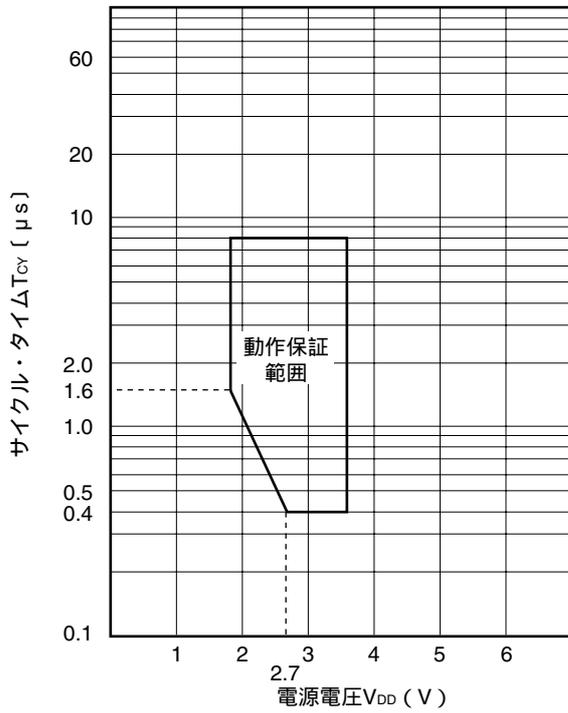
(1) 基本動作

($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 3.6$ V (マスクROM製品) , $V_{DD} = 3.0 \sim 3.6$ V (μ PD78F9835))

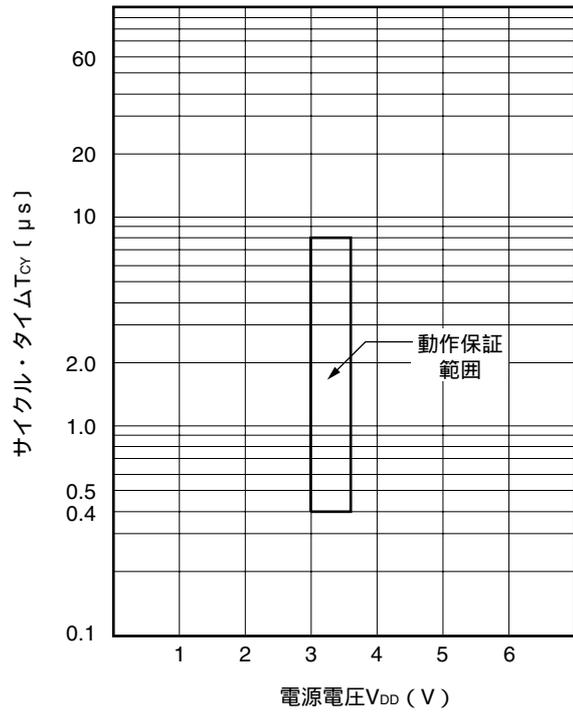
項目	略号	条件			MIN.	TYP.	MAX.	単位
★ サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・クロック動作	セラミック / クリスタル発振時	$V_{DD} = 2.7 \sim 3.6$ V	0.4		8.0	μ s
				$V_{DD} = 1.8 \sim 3.6$ V	1.6		8.0	μ s
			RC発振時	$V_{DD} = 2.0 \sim 3.6$ V	1.0		20	μ s
				$V_{DD} = 1.8 \sim 3.6$ V	1.6		20	μ s
		サブシステム・クロック動作				114	122	125
TI80入力周波数	f_{TI}				0		4	MHz
TI80入力ハイ, ロウ・レベル幅	t_{TIH} , t_{TIL}				0.1			μ s
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH} , t_{INTL}	INTP0, INTP1			10			μ s
キー・リターン入力 ロウ・レベル幅	t_{KRL}	$\overline{KR00-KR07}$			10			μ s
RESET ロウ・レベル幅	t_{RSL}				10			μ s

T_{CY} vs V_{DD} (メイン・システム・クロック : セラミック/クリスタル発振)

(a) マスクROM製品



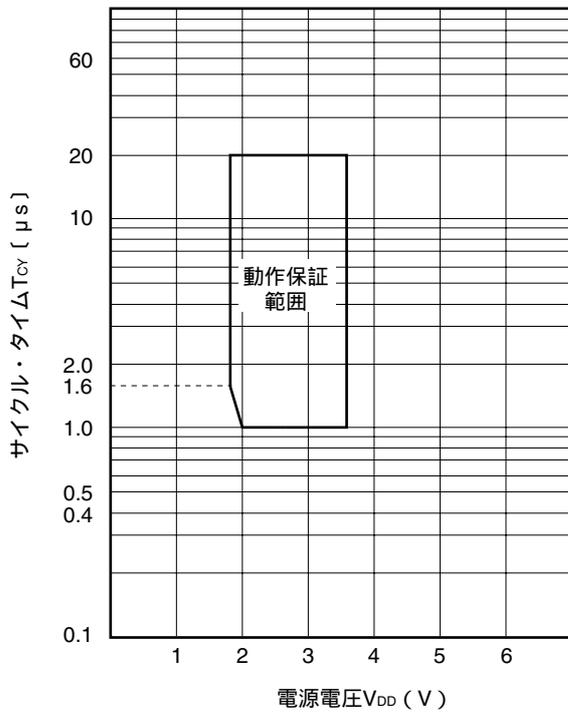
(b) μ PD78F9835



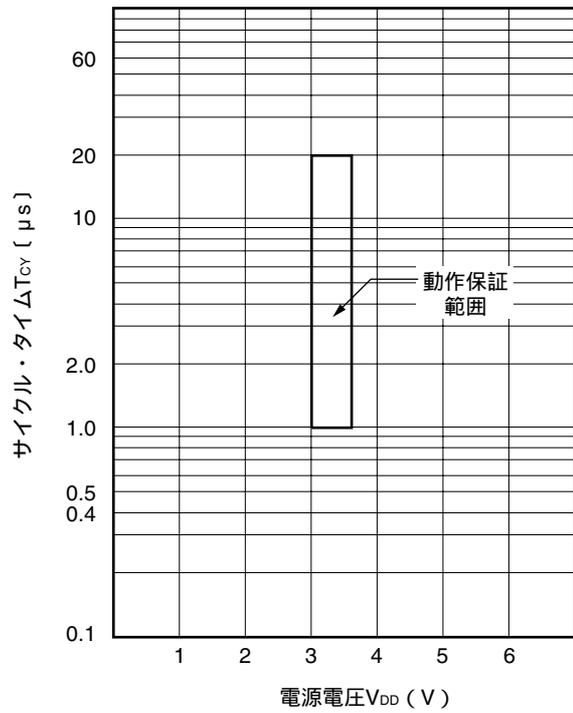
★

T_{CY} vs V_{DD} (メイン・システム・クロック : RC発振)

(a) マスクROM製品



(b) μ PD78F9835



(2) シリアル・インタフェース (UART0)

($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 3.6$ V (マスクROM製品) , $V_{DD} = 3.0 \sim 3.6$ V (μ PD78F9835))

専用ボー・レート・ジェネレータ出力

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		$f_x = 5.0$ MHz選択時			78125	bps

(3) シリアル・インタフェース (SIO10)

($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 3.6$ V (マスクROM製品) , $V_{DD} = 3.0 \sim 3.6$ V (μ PD78F9835))

(a) 3線式シリアル/Oモード (内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t_{KCY1}	$V_{DD} = 2.7 \sim 3.6$ V	800			ns
		$V_{DD} = 1.8 \sim 3.6$ V	3200			ns
SCK10ハイ,ロウ・レベル幅	t_{KH1} , t_{KL1}	$V_{DD} = 2.7 \sim 3.6$ V	$t_{KCY1}/2 - 50$			ns
		$V_{DD} = 1.8 \sim 3.6$ V	$t_{KCY1}/2 - 150$			ns
SI10セットアップ時間 (対SCK10)	t_{SIK1}	$V_{DD} = 2.7 \sim 3.6$ V	150			ns
		$V_{DD} = 1.8 \sim 3.6$ V	500			ns
SI10ホールド時間 (対SCK10)	t_{KSI1}	$V_{DD} = 2.7 \sim 3.6$ V	400			ns
		$V_{DD} = 1.8 \sim 3.6$ V	600			ns
SCK10 SO10出力遅延時間	t_{KSO1}	$R = 1$ k Ω , $C = 100$ pF ^注	$V_{DD} = 2.7 \sim 3.6$ V	0	250	ns
			$V_{DD} = 1.8 \sim 3.6$ V	0	1000	ns

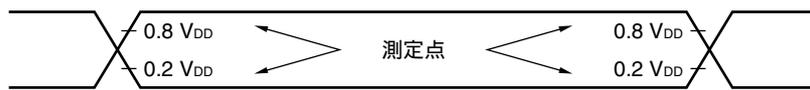
注 R, CはSO10出力ラインの負荷抵抗, 負荷容量です。

(b) 3線式シリアル/Oモード (外部クロック入力)

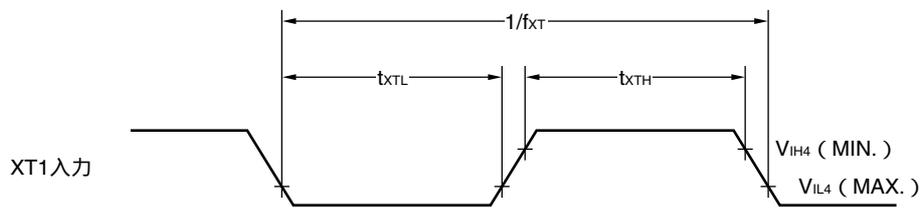
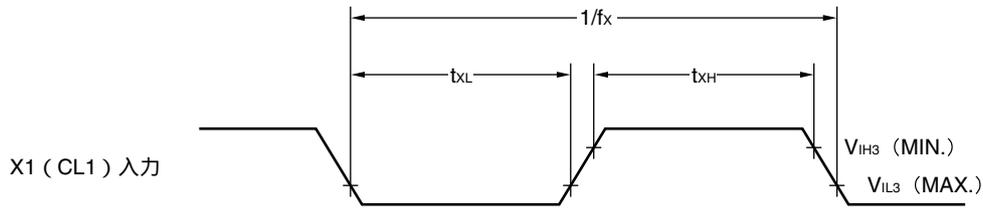
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t_{KCY2}	$V_{DD} = 2.7 \sim 3.6$ V	800			ns
		$V_{DD} = 1.8 \sim 3.6$ V	3200			ns
SCK10ハイ,ロウ・レベル幅	t_{KH2} , t_{KL2}	$V_{DD} = 2.7 \sim 3.6$ V	400			ns
		$V_{DD} = 1.8 \sim 3.6$ V	1600			ns
SI10セットアップ時間 (対SCK10)	t_{SIK2}	$V_{DD} = 2.7 \sim 3.6$ V	100			ns
		$V_{DD} = 1.8 \sim 3.6$ V	150			ns
SI10ホールド時間 (対SCK10)	t_{KSI2}	$V_{DD} = 2.7 \sim 3.6$ V	400			ns
		$V_{DD} = 1.8 \sim 3.6$ V	600			ns
SCK10 SO10出力遅延時間	t_{KSO2}	$R = 1$ k Ω , $C = 100$ pF ^注	$V_{DD} = 2.7 \sim 3.6$ V	0	300	ns
			$V_{DD} = 1.8 \sim 3.6$ V	0	1000	ns

注 R, CはSO10出力ラインの負荷抵抗, 負荷容量です。

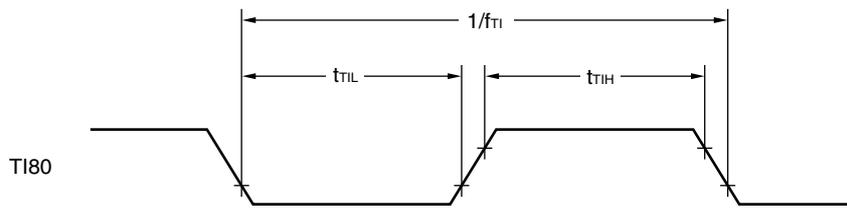
ACタイミング測定点 (X1, XT1入力を除く)



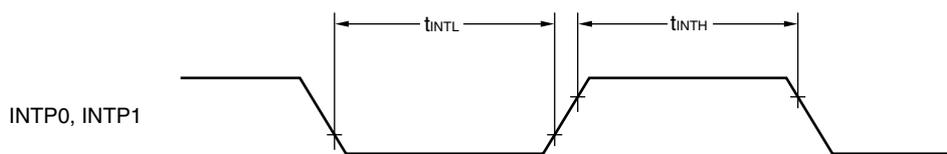
クロック・タイミング



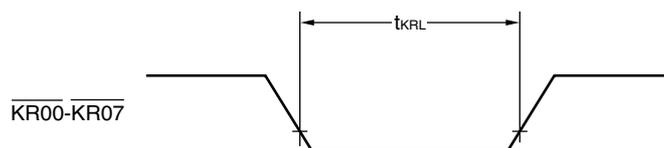
TI80タイミング



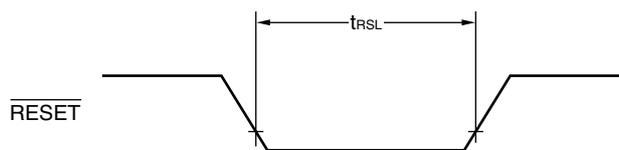
割り込み入力タイミング



キー・リターン入力タイミング

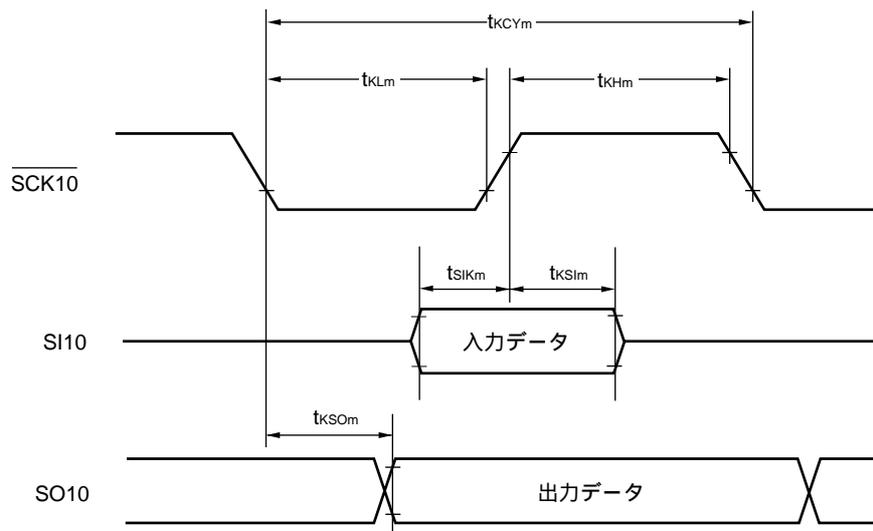


RESET入力タイミング



シリアル転送タイミング

3線式シリアルI/Oモード :



備考 $m = 1, 2$

LCD特性

($T_A = -40 \sim +85$, $V_{DD} = 2.4 \sim 3.6$ V (マスクROM製品) , $V_{DD} = 3.0 \sim 3.6$ V (μ PD78F9835))

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD出力電圧偏差 (コモン)	V _{ODC}	$I_o = \pm 5 \mu A$	0		± 0.2	V
LCD出力電圧偏差 (セグメント)	V _{ODS}	$I_o = \pm 5 \mu A$	0		± 0.2	V
昇圧セット時間	t _b	C = 0.47 μ F , VAON20のセット後	500			ms
LCD電圧	V _{LC0} 注	VLCD00 = 00H		3.8		V
		VLCD00 = 01H		3.9		V
		VLCD00 = 02H		4.0		V
		VLCD00 = 03H		4.1		V
		VLCD00 = 04H		4.2		V
		VLCD00 = 05H		4.3		V
		VLCD00 = 06H		4.4		V
		VLCD00 = 07H		4.5		V
		VLCD00 = 08H		4.6		V
		VLCD00 = 09H		4.7		V
		VLCD00 = 0AH		4.8		V
		VLCD00 = 0BH		4.9		V
		VLCD00 = 0CH		5.0		V
		VLCD00 = 0DH		5.1		V
		VLCD00 = 0EH		5.2		V
		VLCD00 = 0FH		5.3		V
			V _{LC1}			4/5 V _{LC0}
	V _{LC2}			3/5 V _{LC0}		V
	V _{LC3}			2/5 V _{LC0}		V
	V _{LC4}			1/5 V _{LC0}		V
セグメント出力電圧	V _{ODS}	出力レベル= V _{LC0}		V _{LC0}		V
		出力レベル= V _{LC2}		3/5 V _{LC0}		V
		出力レベル= V _{LC3}		2/5 V _{LC0}		V
コモン信号出力	V _{ODC}	出力レベル= V _{LC0}		V _{LC0}		V
		出力レベル= V _{LC1}		4/5 V _{LC0}		V
		出力レベル= V _{LC4}		1/5 V _{LC0}		V

注 上記電圧は、外部LCD負荷がないときの値です。

8ビットA/Dコンバータ特性 (μ PD78983xB, 78983xA, 78F9835のみ)

($T_A = -40 \sim +85$, 2.2 V V_{DD} 3.6 V (μ PD78983xB, 78983xA) , 3.0 V V_{DD} 3.6 V (μ PD78F9835))

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 ^注					1.5	LSB
変換時間	t _{CONV}		14			μ s
アナログ入力電圧	V _{IAN}		0		V _{DD}	V

注 量子化誤差 ($\pm 1/2$ LSB) を含みません。

データ・メモリSTOPモード低電源電圧データ保持特性

($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 3.6$ V (マスクROM製品) , $V_{DD} = 3.0 \sim 3.6$ V (μ PD78F9835))

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.8		3.6	V
リリース信号セット時間	t_{SREL}		0			μ s
発振安定ウエイト時間 ^{注1}	t_{WAIT}	RESETによる解除	セラミック/クリスタル発振		$2^{15}/f_x$	s
			RC発振		$2^7/f_{cc}$	s
		割り込みによる解除	セラミック/クリスタル発振		注2	s
			RC発振		$2^7/f_{cc}$	s

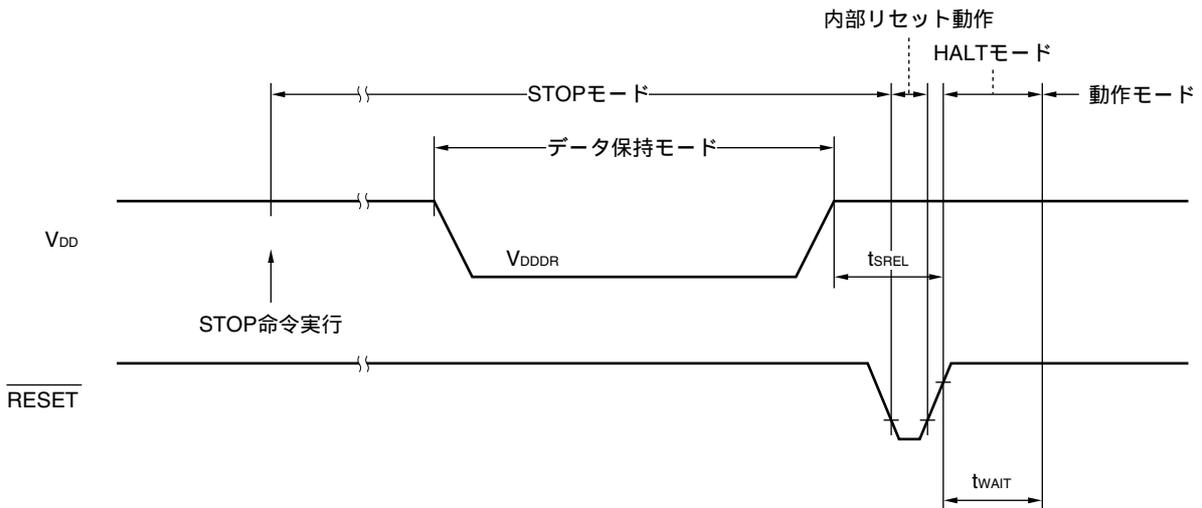
注1. 発振安定ウエイト時間内に発振安定する発振子または振動子を使用してください。

2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, $2^{12}/f_x$, $2^{15}/f_x$, $2^{17}/f_x$ の選択が可能です (18. 1. 2 スタンバイ機能を制御するレジスタを参照してください)。

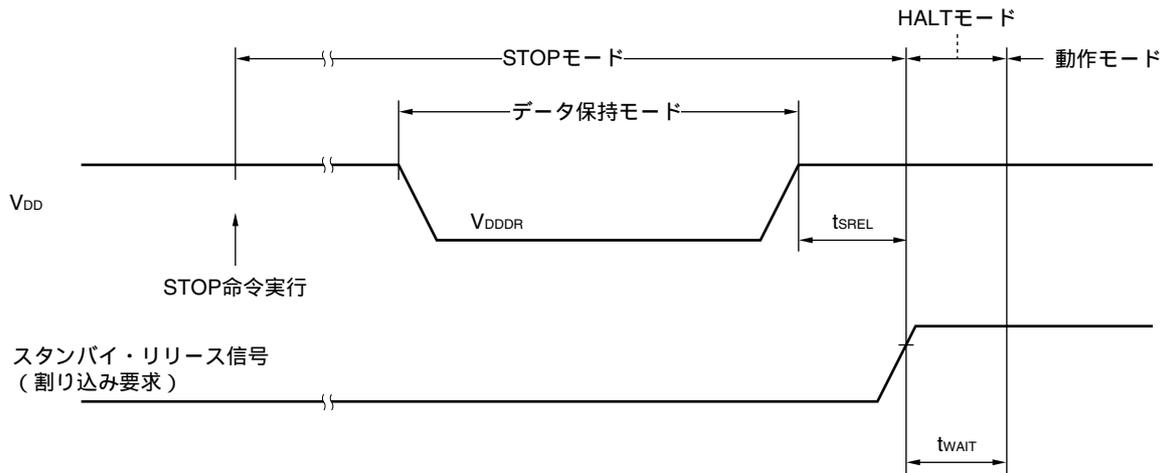
備考1. f_x : メイン・システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{cc} : メイン・システム・クロック発振周波数 (RC発振)

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



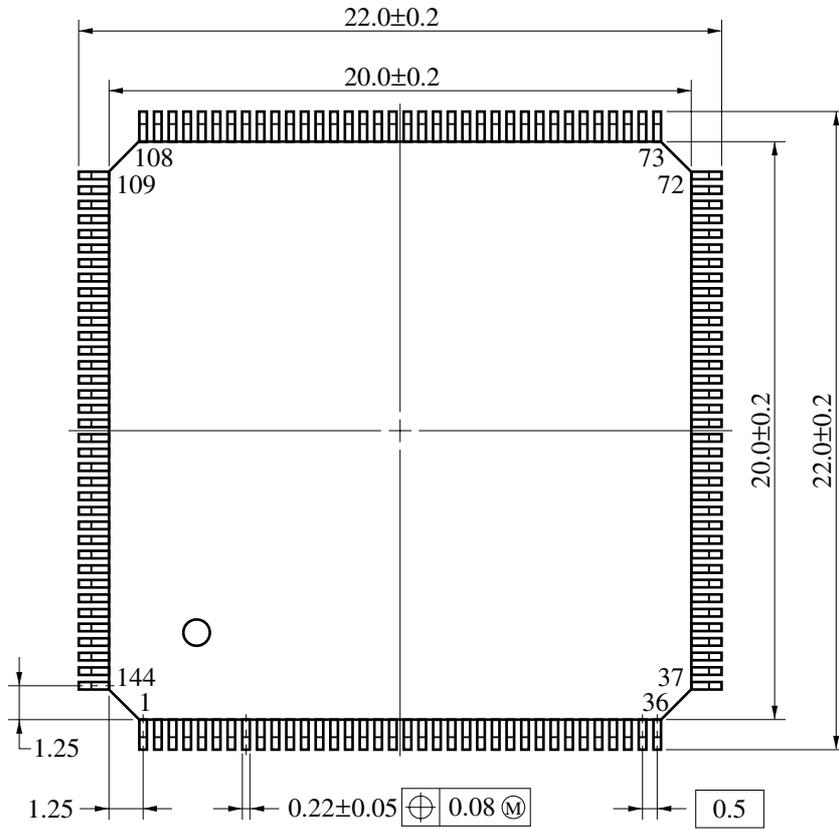
フラッシュ・メモリ書き込み消去特性 ($T_A = 10 \sim 40$, $V_{DD} = 3.0 \sim 3.6$ V) (μ PD78F9835のみ)

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き込み/消去 動作周波数	f_x	3.0 V V_{DD} 3.6 V	1		5	MHz
SCKサイクル・タイム	t_{kcy}		500			ns
書き込み電流 (V_{DD} 端子) ^注	I_{DDW}	V_{PP} 電源電圧 = V_{PP1} 時 (5.0 MHz動作時)			21	mA
書き込み電流 (V_{PP} 端子) ^注	I_{PPW}	V_{PP} 電源電圧 = V_{PP1} 時			50	mA
消去電流 (V_{DD} 端子) ^注	I_{DDE}	V_{PP} 電源電圧 = V_{PP1} 時 (5.0 MHz動作時)			21	mA
消去電流 (V_{PP} 端子) ^注	I_{PPE}	V_{PP} 電源電圧 = V_{PP1} 時			100	mA
Total消去時間	t_{era}				20	s
書き換え回数		消去/書き込みを1サイクルとする			20	回
V_{PP} 電源電圧	V_{PP0}	通常モード時	0		$0.2 V_{DD}$	V
	V_{PP1}	フラッシュ・メモリ・プログラミング時	7.5	7.8	8.1	V

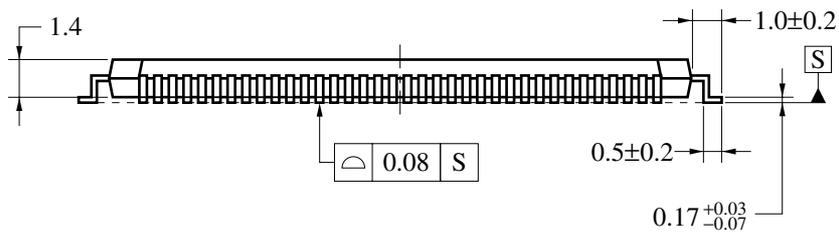
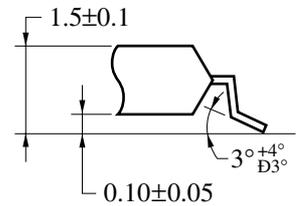
注 ポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。

第23章 外形図

144ピン・プラスチック LQFP (ファインピッチ)(20x20) 外形図 (単位: mm)



端子先端形状詳細図



S144GJ-50-UEN

第24章 応用回路例

注意 この章に記載された情報は、応用回路例を説明するためのものであり、これらの情報をお客様の機器に使用される場合には、お客様の責任において機器設計してください。

応用回路例1	<ul style="list-style-type: none"> ・ドットLCDパネル (64×32) ・メイン・クロック：セラミックまたはクリスタル (SEL端子：LOW) ・ブザー・ポート (P3x) を使用 (ブザー・モード1または2) ・TO82によるLED点灯 ・P00-P07およびP10, 11, 35, 36によるキー・マトリックス ・TO40による赤外線リモコン送信 ・ANI0とP37によるサーミスタ・センサ ・UARTによる外部とのインタフェース
応用回路例2	<ul style="list-style-type: none"> ・ドットLCDパネル (64×32) ・メイン・クロック：セラミックまたはクリスタル (SEL端子：LOW) ・ブザー・ポート (P3x) を使用 (ブザー・モード1または2) ・P00-P07およびP10, 11, 25, 26によるキー・マトリックス ・UARTによる外部とのインタフェース
応用回路例3	<ul style="list-style-type: none"> ・ドットLCDパネル (64×32) ・メイン・クロック：RC発振 (SEL端子：HIGH) ・ブザー・ポート (P3x) を使用 (ブザー・モード1または2) ・P00-P07およびP10, 11, 25, 26によるキー・マトリックス ・UARTによる外部とのインタフェース
応用回路例4	<ul style="list-style-type: none"> ・ドットLCDパネル (64×32) ・メイン・クロック：セラミックまたはクリスタル (SEL端子：LOW) ・ブザー・ポート (P3x) を使用 (ブザー・モード1または2) ・TO82によるLED点灯 ・P00-P07およびP10, 11, 35, 36によるキー・マトリックス ・ANI0とP37によるサーミスタ・センサ ・UARTによる外部とのインタフェース ・リモコン・プリアンプとP26/RINによるリモコン信号学習
応用回路例5	<ul style="list-style-type: none"> ・ドットLCDパネル (80×8) ・メイン・クロック：セラミックまたはクリスタル (SEL端子：LOW) ・外付け抵抗使用によるブザー・ポート (P3x) を使用 (ブザー・モード3) ・P00-P07およびP10, 11, 25, 26によるキー・マトリックス ・UART, P8による外部とのインタフェース
応用回路例6	<ul style="list-style-type: none"> ・ドットLCDパネル (80×16) ・メイン・クロック：セラミックまたはクリスタル (SEL端子：LOW) ・外付け抵抗使用によるブザー・ポート (P3x) を使用 (ブザー・モード3) ・P00-P07およびP10, 11, 25, 26によるキー・マトリックス ・UARTによる外部とのインタフェース
応用回路例7	<ul style="list-style-type: none"> ・ドットLCDパネル (48×48) ・メイン・クロック：セラミックまたはクリスタル (SEL端子：LOW) ・外付け抵抗使用によるブザー・ポート (P3x) を使用 (ブザー・モード3) ・P00-P07およびP10, 11, 25, 26によるキー・マトリックス ・UARTによる外部とのインタフェース

図24 - 1 応用回路例1

- この例は、
- 1) ドットLCDパネル (64 × 32)
 - 2) メイン・クロック：セラミックまたは水晶 (SEL端子：LOW)
 - 3) ブザー・ポート (P3x) を使用 (ブザー・モード1または2)
 - 4) TO82によるLED点灯
 - 5) P00-P07およびP10, 11, 35, 36によるキー・マトリックス
 - 6) TO40による赤外線リモコン送信
 - 7) ANIOとP37によるサーミスタ・センサ
 - 8) UARTによる外部とのインタフェース

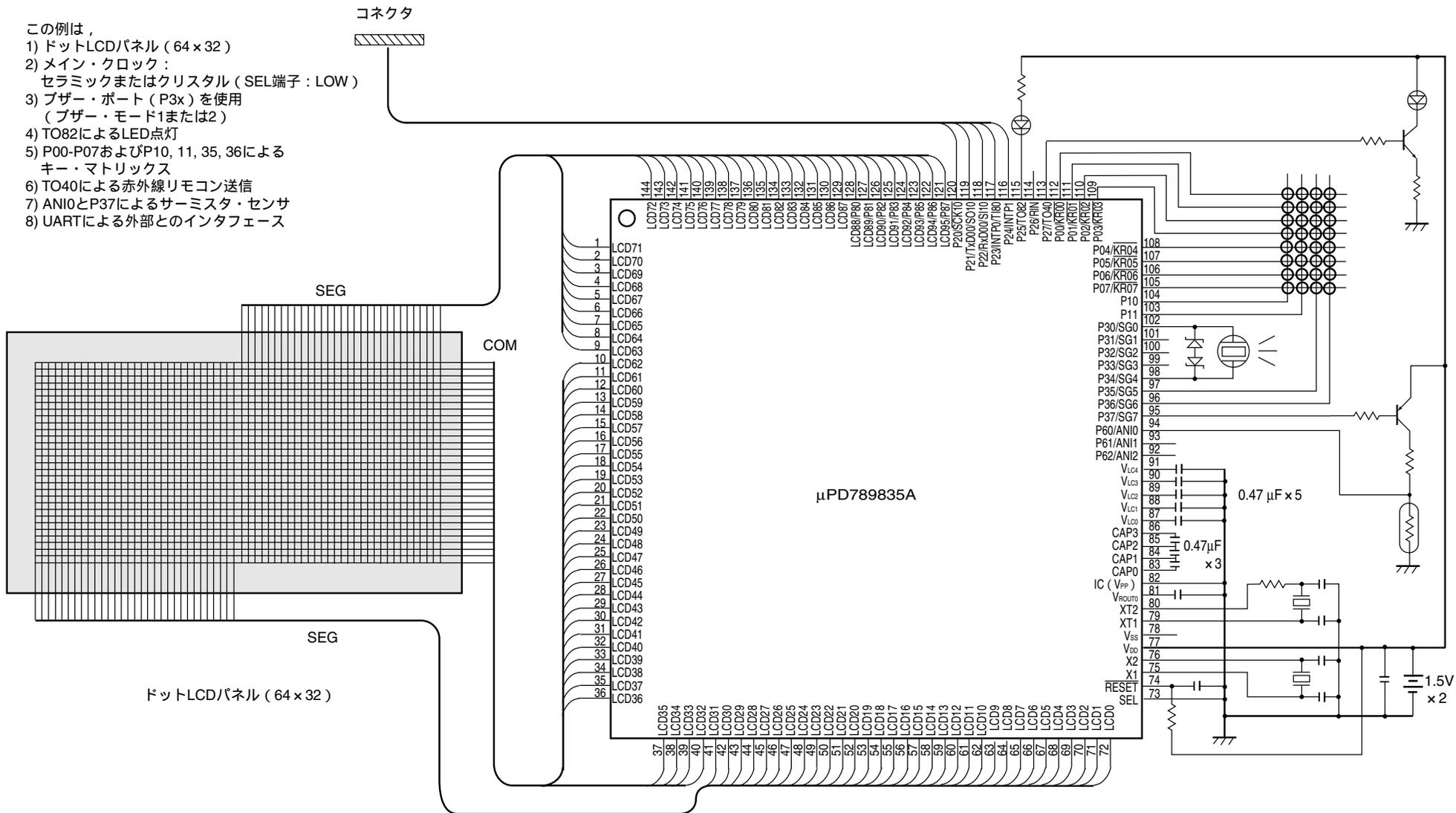


図24 - 2 応用回路例2

この例は、

- 1) ドットLCDパネル (64 × 32)
- 2) メイン・クロック：
セラミックまたはクリスタル (SEL端子 : LOW)
- 3) ブザー・ポート (P3x) を使用
(ブザー・モード1または2)
- 4) P00-P07およびP10, 11, 25, 26による
キー・マトリックス
- 5) UARTによる外部とのインタフェース

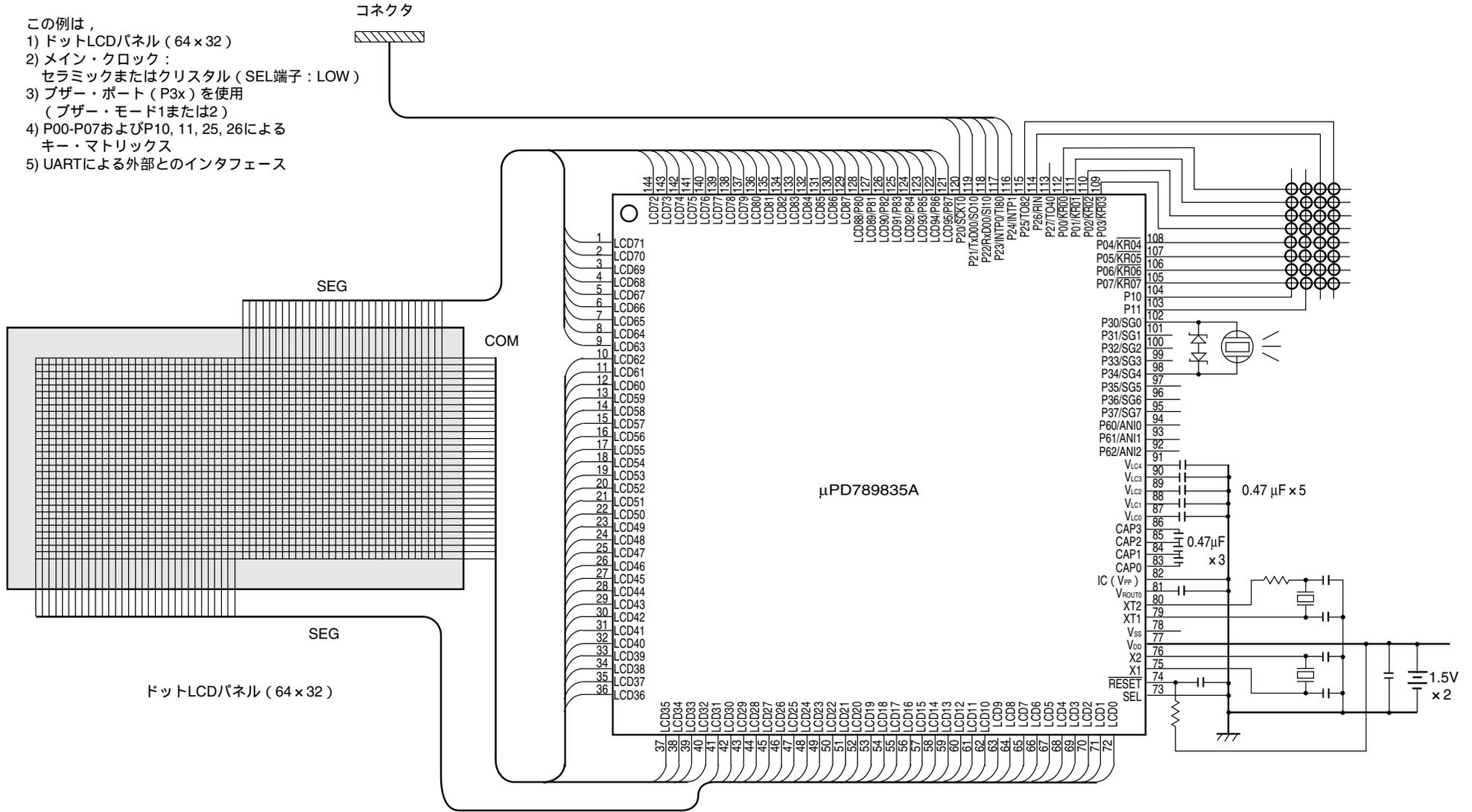


図24 - 3 応用回路例3

- この例は、
- 1) ドットLCDパネル (64 × 32)
 - 2) メイン・クロック：
RC発振 (SEL端子: HIGH)
 - 3) ブザー・ポート (P3x) を使用
(ブザー・モード1または2)
 - 4) P00-P07およびP10, 11, 25, 26による
キー・マトリックス
 - 5) UARTによる外部とのインタフェース

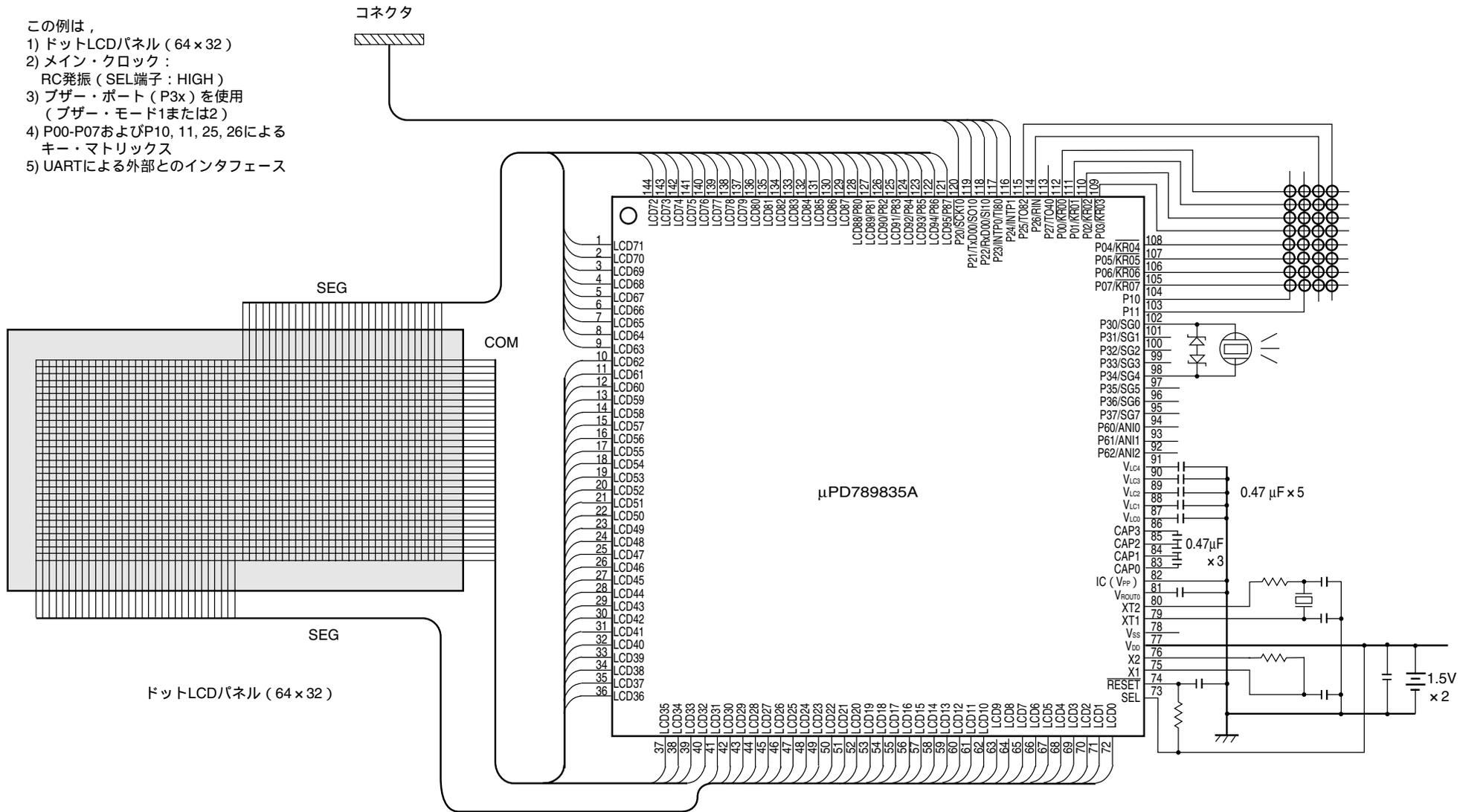


図24 - 4 応用回路例4

- この例は、
- 1) ドットLCDパネル (64 × 32)
 - 2) メイン・クロック：セラミックまたはクリスタル (SEL端子：LOW)
 - 3) ブザー・ポート (P3x) を使用 (ブザー・モード1または2)
 - 4) TO82によるLED点灯
 - 5) P00-P07およびP10, 11, 35, 36によるキー・マトリクス
 - 6) ANI0とP37によるサーミスタ・センサ
 - 7) UARTによる外部とのインタフェース
 - 8) リモコン・プリアンプとP26/RINによりリモコン信号学習

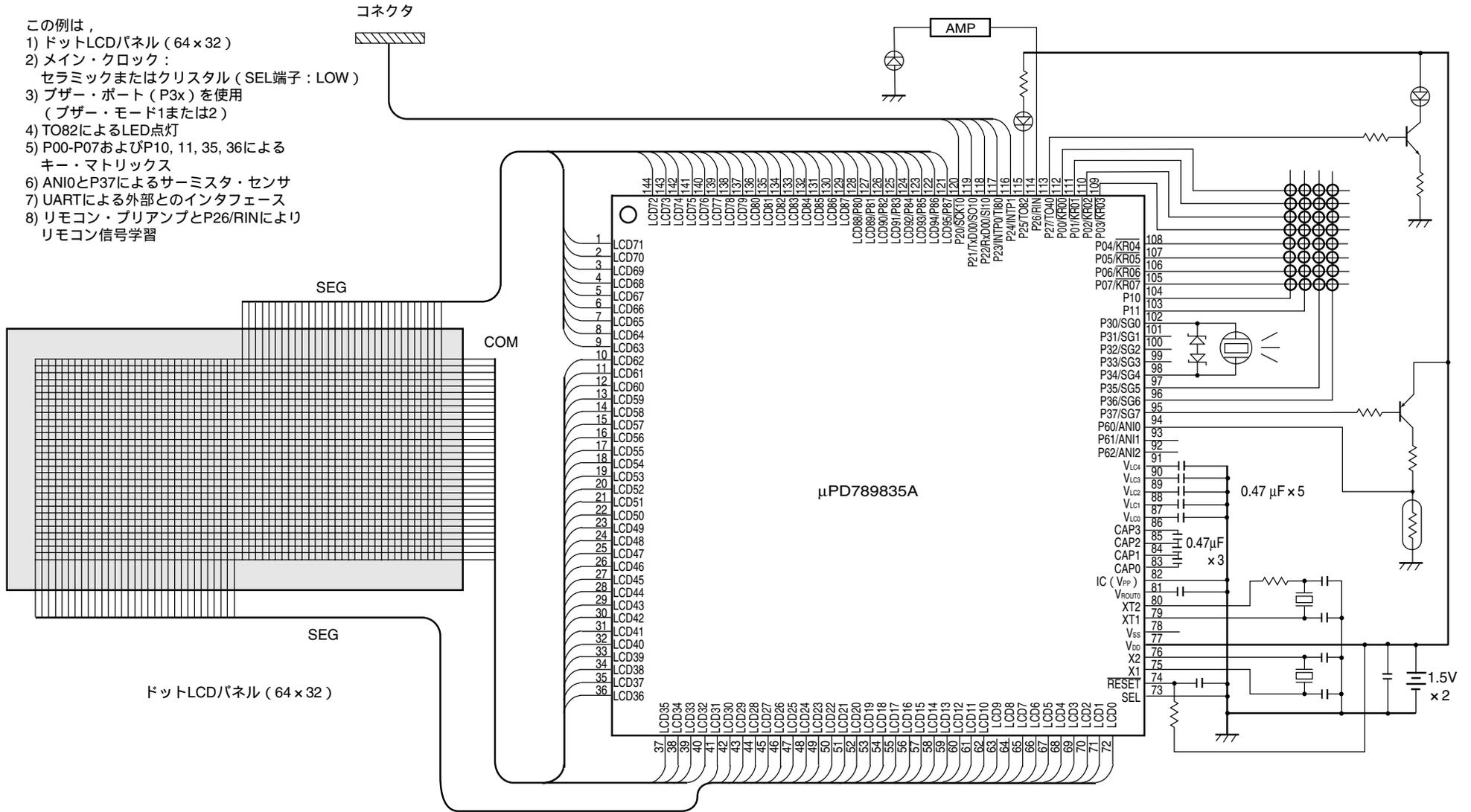


図24 - 6 応用回路例6

- この例は、
- 1) ドットLCDパネル (80×16)
 - 2) メイン・クロック : セラミックまたはクリスタル (SEL端子 : LOW)
 - 3) 外付け抵抗使用によるブザー・ポート (P3x) を使用 (ブザー・モード3)
 - 4) P00-P07およびP10, 11, 25, 26によるキー・マトリックス
 - 5) UARTによる外部とのインタフェース

コネクタ

コーナース・マイクロ U15559J2V1UD

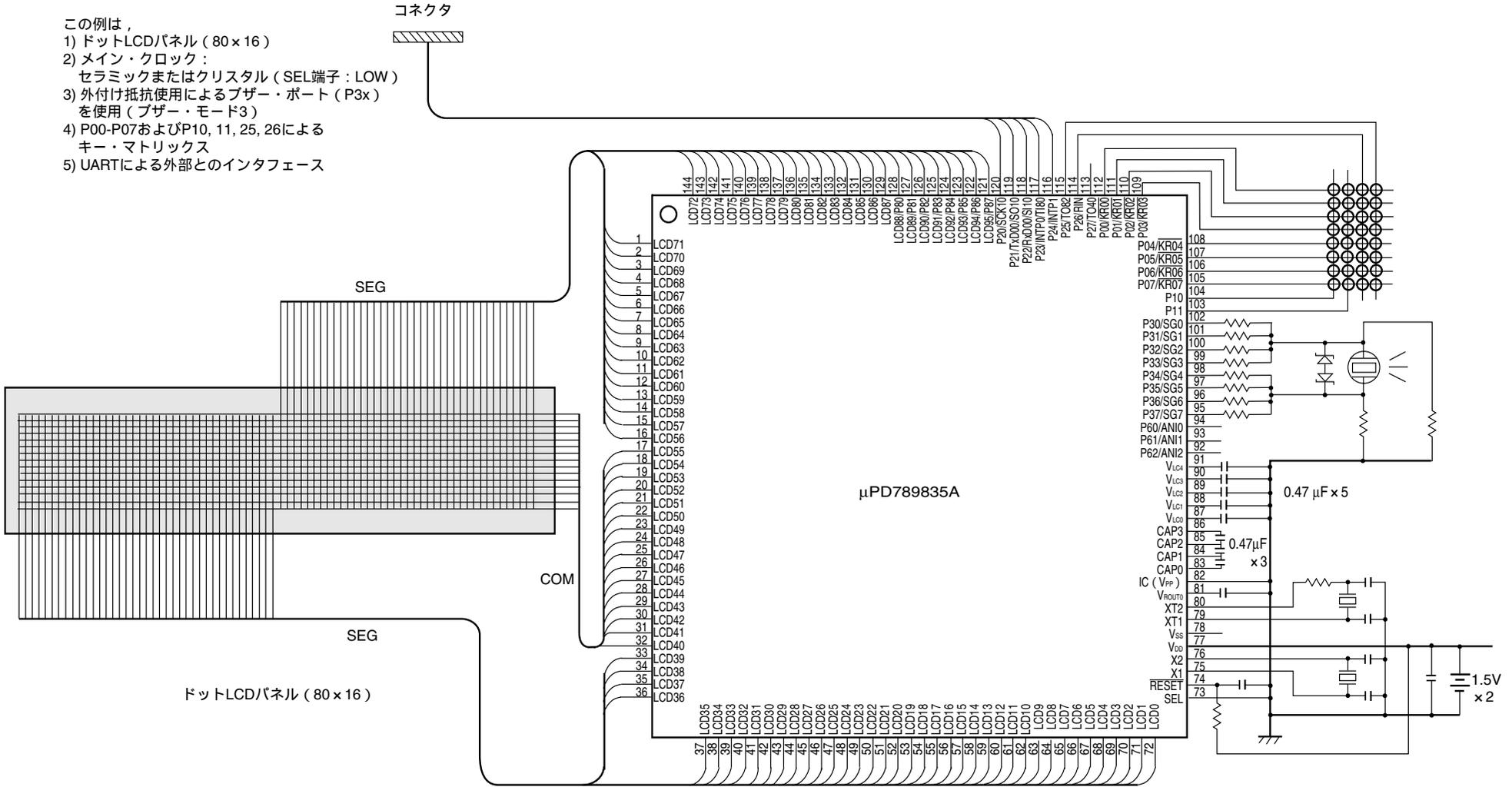
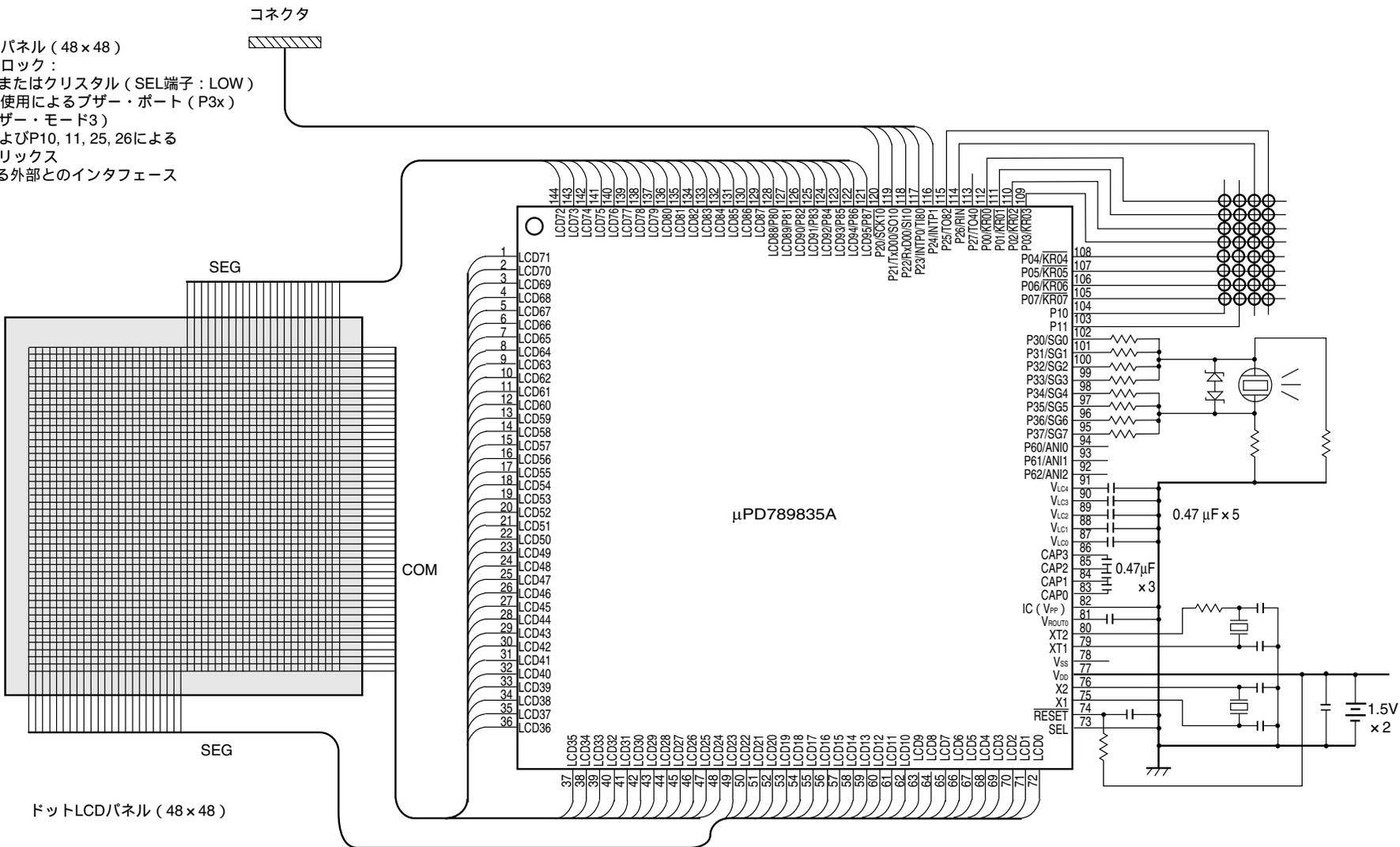


図24-7 応用回路例7

この例は、

- 1) ドットLCDパネル (48×48)
- 2) メイン・クロック : セラミックまたは水晶 (SEL端子 : LOW)
- 3) 外付け抵抗使用によるブザー・ポート (P3x) を使用 (ブザー・モード3)
- 4) P00-P07およびP10, 11, 25, 26によるキー・マトリックス
- 5) UARTによる外部とのインタフェース



付録A 開発ツール

μPD789835, 789835A, 789835Bサブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

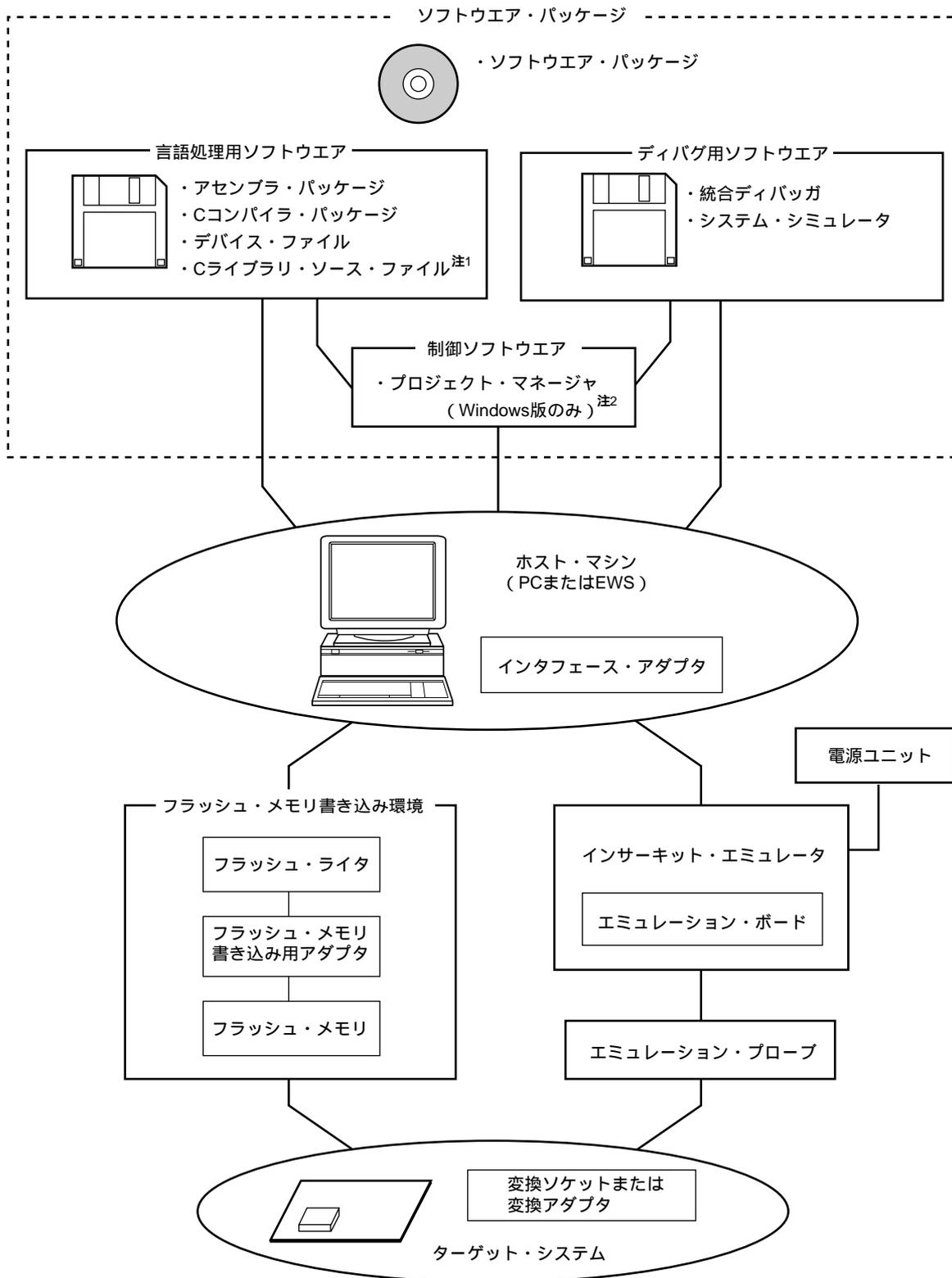
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

★ Windows[®]について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows 95
- ・ Windows 98
- ・ Windows 2000
- ・ Windows NT[®]Version 4.0
- ・ Windows XP

図A - 1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。
また、Windows以外ではプロジェクト・マネージャは使用しません。

A.1 ソフトウェア・パッケージ

SP78K0S ソフトウェア・パッケージ	78K0Sシリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 以下のツールが入っています。 RA78K0S, CC78K0S, ID78K0S-NS, SM78K0S, デバイス・ファイル各種 オーダ名称: $\mu S \times \times \times \times$ SP78K0S
-------------------------	---

備考 オーダ名称の $\times \times \times \times$ は、使用するOSにより異なります。

$\mu S \times \times \times \times$ SP78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0S アセンブラ・パッケージ	二モニクで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。別売のデバイス・ファイル (DF789835) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ RA78K0S
CC78K0S Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージ (RA78K0S) およびデバイス・ファイル (DF789835) と組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S
DF789835 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789835
CC78K0S-L ^{注2} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S-L

注1. DF789835は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

2. CC78K0S-Lは、ソフトウェア・パッケージ (SP78K0S) の中には含まれていません。

備考 オーダ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700 TM	HP-UX TM (Rel.10.10)	
3K17	SPARCstation TM	SunOS TM (Rel.4.1.4) ， Solaris TM (Rel.2.5.1)	

μS××××DF789835

μS××××CC78K0S-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel.4.1.4) ，	3.5インチ2HD FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT

A. 3 制御ソフトウェア

★ PM plus プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。PM plus上から，エディタの起動，ビルド，ディバッガの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> PM plusはアセンブラ・パッケージ (RA78K0S) の中に入っています。 Windows以外の環境では使用できません。
---------------------------	--

A.4 フラッシュ・メモリ書き込み用ツール

Flashpro (FL-PR3, PG-FP3)	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライター
★ Flashpro (FL-PR4, PG-FP4) フラッシュ・ライター	
FA-144GJ-UEN フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro またはFlashpro に接続して使用します。 FA-144GJ-UEN : 144ピン・プラスチックLQFP (GJ-UENタイプ)用

備考 FL-PR3, FL-PR4, FA-144GJ-UENは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.5 デバッグ用ツール(ハードウェア)

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータ。統合デバッグ (ID78K0S-NS) に対応しています。ACアダプタ、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0S-NS-A インサーキット・エミュレータ	IE-78K0S-NSの機能にカバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、デバッグ機能がより強化されています。
IE-70000-MC-PS-B ACアダプタ	AC100~240Vのコンセントから電源を供給するためのアダプタ
IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なアダプタです(Cバス対応)
IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです(PCMCIAソケット対応)
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです(ISAバス対応)
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです
IE-789835-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボード。インサーキット・エミュレータと組み合わせて使用します。
SWEX-144SD-1 エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。NQPACK144SDとYQSOCKET144SDFと組み合わせて使用します。
NQPACK144SD 変換コネクタ	144ピン・プラスチックLQFP (GJ-UENタイプ) を実装できるように作られたターゲット・システムの基板とSWEX-144SD-1を接続するための変換コネクタです
YQSOCKET144SDF 変換ソケット	144ピン・プラスチックLQFP (GJ-UENタイプ) を実装できるように作られたターゲット・システムの基板とSWEX-144SD-1を接続するための変換ソケットです

備考 SWEX-144SD-1, NQPACK144SD, YQSOCKET144SDFは、東京エレテック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部 (TEL (03) 3820-7112)

大阪電子部 (TEL (06) 6244-6672)

A.6 ディバグ用ツール(ソフトウェア)

ID78K0S-NS 統合ディバグ	78K/0Sシリーズ用のインサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aに対応したディバグです。ID78K0S-NSは、Windowsベースのソフトウェアです。 C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイル(DF789835)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ ID78K0S-NS
SM78K0S システム・シミュレータ	78K/0Sシリーズ用のシステム・シミュレータです。SM78K0Sは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。SM78K0Sを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル(DF789835)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ SM78K0S
DF789835 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789835

注 DF789835は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

備考 オーダ名称の $\times \times \times \times$ は、使用するOS、供給媒体により異なります。

$\mu S \times \times \times \times$ ID78K0S-NS

$\mu S \times \times \times \times$ SM78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

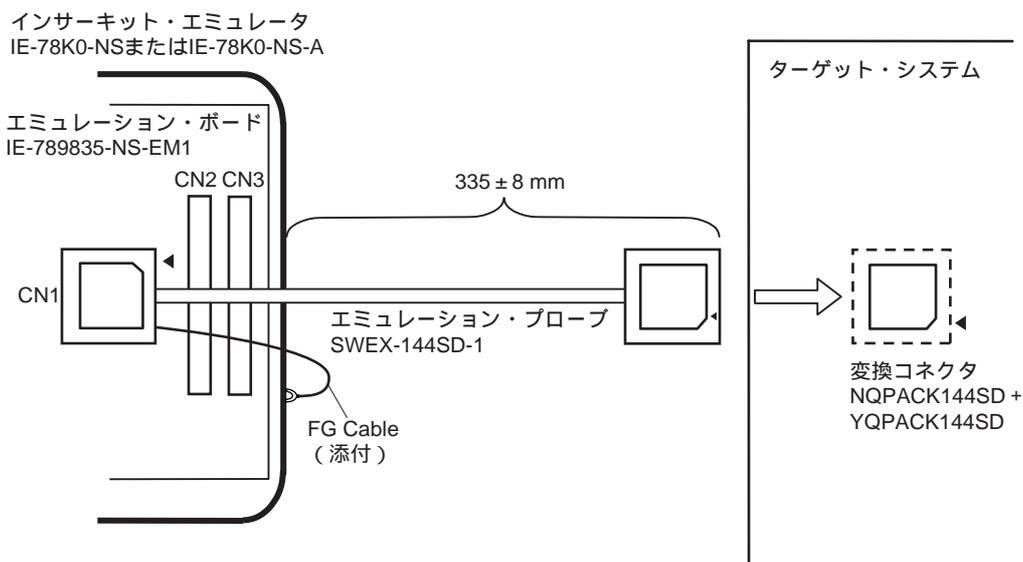
★

付録B ターゲット・システム設計上の注意

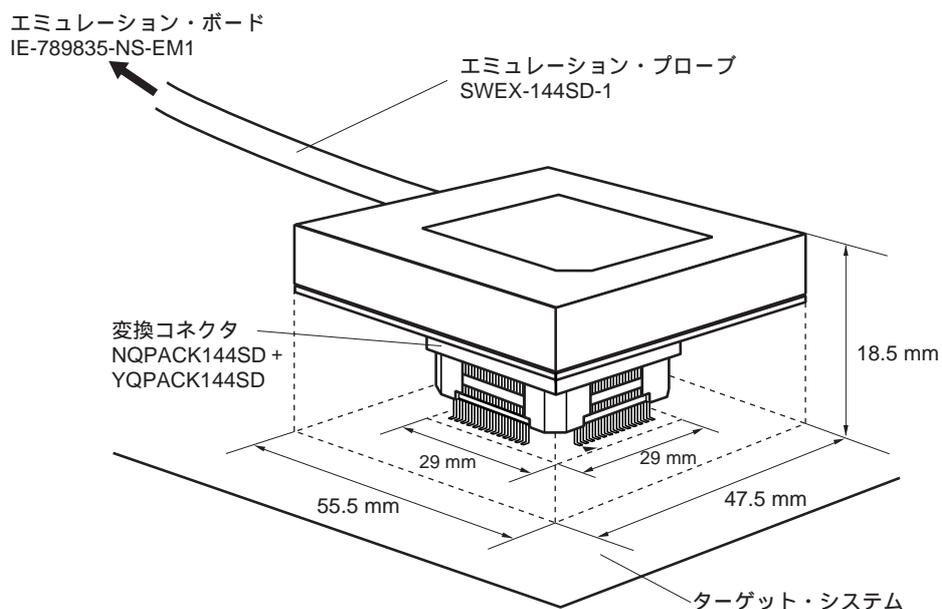
エミュレーション・プローブと変換コネクタとの接続条件図を次に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで、この構成によってシステム設計をしてください。

この付録に掲載されている製品名の、SWEX-144SD-1, NQPACK144SD, YQPACK144SDは、東京エレクトック株式会社の製品です。

図B - 1 インサーキット・エミュレータから変換コネクタまでの距離



図B - 2 ターゲット・システムの接続条件



付録C レジスタ索引

C.1 レジスタ索引 (50音順)

【あ行】

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) ...	203
アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) ...	201
ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ...	179
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ...	180
A/Dコンバータ・モード・レジスタ (ADM) ...	186
A/D入力選択レジスタ (ADS) ...	187
A/D変換結果レジスタ (ADCR) ...	184
LCD20クロック制御レジスタ (LCDC20) ...	228
LCD昇圧レベル設定レジスタ00 (VLCD00) ...	230
LCD20表示モード・レジスタ (LCDM20) ...	226

【か行】

外部割り込みモード・レジスタ0 (INTM0) ...	265
キー・リターン・モード・レジスタ00 (KRM00) ...	267
キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40) ...	128
キャリア・ジェネレータ出力コントロール・レジスタSG0 (TCASG0) ...	158

【さ行】

サウンド・ジェネレータ用周波数設定レジスタ00 (SGFC00) ...	158
サブクロック・コントロール・レジスタ (CSS) ...	91
サブ発振モード・レジスタ (SCKM) ...	90
シリアル動作モード・レジスタ10 (CSIM10) ...	200
16ビット乗算結果格納レジスタ0L (MUL0L) ...	252
16ビット乗算結果格納レジスタ0H (MUL0H) ...	252
受信バッファ・レジスタ00 (RXB00) ...	199
乗算器コントロール・レジスタ0 (MULC0) ...	254
乗算データ・レジスタA0 (MRA0) ...	252
乗算データ・レジスタB0 (MRB0) ...	252
スワッピング機能レジスタ0 (SWP0) ...	256
送受信シフト・レジスタ10 (SIO10) ...	198
送信シフト・レジスタ00 (TXS00) ...	198

【た行】

時計用タイマ・モード・コントロール・レジスタ (WTM) ...	174
電源供給コントロール・レジスタ0 (PSC0) ...	276

【は行】

8ビット・コンペア・レジスタ30 (CR30) ...	123
8ビット・コンペア・レジスタ40 (CR40) ...	123
8ビット・コンペア・レジスタ80 (CR80) ...	105
8ビット・コンペア・レジスタ81 (CR81) ...	105
8ビット・コンペア・レジスタ82 (CR82) ...	105
8ビット・コンペア・レジスタSG0 (CRSG0) ...	157
8ビットH幅コンペア・レジスタ40 (CRH40) ...	123
8ビット・タイマ・カウンタ30 (TM30) ...	124
8ビット・タイマ・カウンタ40 (TM40) ...	124
8ビット・タイマ・カウンタ80 (TM80) ...	105
8ビット・タイマ・カウンタ81 (TM81) ...	105
8ビット・タイマ・カウンタ82 (TM82) ...	105
8ビット・タイマ・カウンタSG0 (TMSG0) ...	157
8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30) ...	126
8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40) ...	127
8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80) ...	106
8ビット・タイマ・モード・コントロール・レジスタ81 (TMC81) ...	107
8ビット・タイマ・モード・コントロール・レジスタ82 (TMC82) ...	108
8ビット・タイマ・モード・コントロール・レジスタSG0 (TMCSG0) ...	157
発振安定時間選択レジスタ (OSTS) ...	275
P3ファンクション・レジスタ (PF3) ...	163
プルアップ抵抗オプション・レジスタ0 (PU0) ...	84
プルアップ抵抗オプション・レジスタB2 (PUB2) ...	85
プルアップ抵抗オプション・レジスタB3 (PUB3) ...	85
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	89
ポート・モード・レジスタ0 (PM0) ...	83
ポート・モード・レジスタ1 (PM1) ...	83
ポート・モード・レジスタ2 (PM2) ...	83, 109, 129
ポート・モード・レジスタ3 (PM3) ...	83
ポート0 (P0) ...	74
ポート1 (P1) ...	75
ポート2 (P2) ...	76
ポート3 (P3) ...	80
ポート6 (P6) ...	81
ポート8 (P8) ...	82
ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) ...	203

【ら行】

リモコン・タイマ・コントロール・レジスタ50 (TMC50) ...	151
リモコン・タイマ・キャプチャ・レジスタ50 (CP50) ...	151
リモコン・タイマ・キャプチャ・レジスタ51 (CP51) ...	151

【わ行】

割り込みマスク・フラグ・レジスタ0 (MK0) ...	264
割り込みマスク・フラグ・レジスタ1 (MK1) ...	264
割り込みマスク・フラグ・レジスタ2 (MK2) ...	264
割り込み要求フラグ・レジスタ0 (IF0) ...	263
割り込み要求フラグ・レジスタ1 (IF1) ...	263
割り込み要求フラグ・レジスタ2 (IF2) ...	263

C.2 レジスタ索引 (アルファベット順)

【A】

- ADCR : A/D変換結果レジスタ ... 184
ADM : A/Dコンバータ・モード・レジスタ ... 186
ADS : A/D入力選択レジスタ ... 187
ASIM00 : アシンクロナス・シリアル・インタフェース・モード・レジスタ00 ... 201
ASIS00 : アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 ... 203

【B】

- BRGC00 : ボー・レート・ジェネレータ・コントロール・レジスタ00 ... 203

【C】

- CP50 : リモコン・タイマ・キャプチャ・レジスタ50 ... 151
CP51 : リモコン・タイマ・キャプチャ・レジスタ51 ... 151
CR30 : 8ビット・コンペア・レジスタ30 ... 123
CR40 : 8ビット・コンペア・レジスタ40 ... 123
CR80 : 8ビット・コンペア・レジスタ80 ... 105
CR81 : 8ビット・コンペア・レジスタ81 ... 105
CR82 : 8ビット・コンペア・レジスタ82 ... 105
CRSG0 : 8ビット・コンペア・レジスタSG0 ... 157
CRH40 : 8ビットH幅コンペア・レジスタ40 ... 123
CSIM10 : シリアル動作モード・レジスタ10 ... 200
CSS : サブクロック・コントロール・レジスタ ... 91

【I】

- IF0 : 割り込み要求フラグ・レジスタ0 ... 263
IF1 : 割り込み要求フラグ・レジスタ1 ... 263
IF2 : 割り込み要求フラグ・レジスタ2 ... 263
INTM0 : 外部割り込みモード・レジスタ0 ... 265

【K】

- KRM00 : キー・リターン・モード・レジスタ00 ... 267

【L】

- LCDC20 : LCD20クロック制御レジスタ ... 228
LCDM20 : LCD20表示モード・レジスタ ... 226

【M】

- MK0 : 割り込みマスク・フラグ・レジスタ0 ... 264
MK1 : 割り込みマスク・フラグ・レジスタ1 ... 264
MK2 : 割り込みマスク・フラグ・レジスタ2 ... 264
MRA0 : 乗算データ・レジスタA0 ... 252

MRB0 : 乗算データ・レジスタB0 ... 252
MULO0H : 16ビット乗算結果格納レジスタ0H ... 252
MULO0L : 16ビット乗算結果格納レジスタ0L ... 252
MULC0 : 乗算器コントロール・レジスタ0 ... 254

[O]

OSTS : 発振安定時間選択レジスタ ... 275

[P]

P0 : ポート0 ... 74
P1 : ポート1 ... 75
P2 : ポート2 ... 76
P3 : ポート3 ... 80
P6 : ポート6 ... 81
P8 : ポート8 ... 82
PCC : プロセッサ・クロック・コントロール・レジスタ ... 89
PF3 : P3ファンクション・レジスタ ... 163
PM0 : ポート・モード・レジスタ0 ... 83
PM1 : ポート・モード・レジスタ1 ... 83
PM2 : ポート・モード・レジスタ2 ... 83, 109, 129
PM3 : ポート・モード・レジスタ3 ... 83
PU0 : プルアップ抵抗オプション・レジスタ0 ... 84
PUB2 : プルアップ抵抗オプション・レジスタB2 ... 85
PUB3 : プルアップ抵抗オプション・レジスタB3 ... 85
PSC0 : 電源供給コントロール・レジスタ0 ... 276

[R]

RXB00 : 受信バッファ・レジスタ00 ... 199

[S]

SCKM : サブ発振モード・レジスタ ... 90
SGFC00 : サウンド・ジェネレータ用周波数設定レジスタ00 ... 158
SIO10 : 送受信シフト・レジスタ10 ... 198
SWP0 : スワッピング機能レジスタ0 ... 256

[T]

TCA40 : キャリア・ジェネレータ出力コントロール・レジスタ40 ... 128
TCASG0 : キャリア・ジェネレータ出力コントロール・レジスタSG0 ... 158
TM30 : 8ビット・タイマ・カウンタ30 ... 123
TM40 : 8ビット・タイマ・カウンタ40 ... 123
TM80 : 8ビット・タイマ・カウンタ80 ... 105
TM81 : 8ビット・タイマ・カウンタ81 ... 105
TM82 : 8ビット・タイマ・カウンタ82 ... 105

TMSG0	: 8ビット・タイマ・カウンタSG0 ...	157
TMC30	: 8ビット・タイマ・モード・コントロール・レジスタ30 ...	126
TMC40	: 8ビット・タイマ・モード・コントロール・レジスタ40 ...	127
TMC50	: リモコン・タイマ・コントロール・レジスタ50 ...	151
TMC80	: 8ビット・タイマ・モード・コントロール・レジスタ80 ...	106
TMC81	: 8ビット・タイマ・モード・コントロール・レジスタ81 ...	107
TMC82	: 8ビット・タイマ・モード・コントロール・レジスタ82 ...	108
TMCSG0	: 8ビット・タイマ・モード・コントロール・レジスタSG0 ...	157
TXS00	: 送信シフト・レジスタ00 ...	198

[V]

VLCD00	: LCD昇圧レベル設定レジスタ00 ...	230
--------	------------------------	-----

[W]

WDCS	: ウォッチドッグ・タイマ・クロック選択レジスタ ...	179
WDTM	: ウォッチドッグ・タイマ・モード・レジスタ ...	180
WTM	: 時計用タイマ・モード・コントロール・レジスタ ...	174

付録D 改版履歴

D.1 本版で改訂された主な箇所

(1/3)

箇所	内容
U15559JJ2V0UD - U15559JJ2V1UD	
p.311, 313, 314, 315	第22章 電気的特性 <ul style="list-style-type: none"> ・ DC特性のロウ・レベル出力電流, ハイ・レベル出力電流のスペックを訂正 ・ DC特性において μ PD78F9835の電源電流の単位を訂正 ・ AC特性のサイクル・タイム (最小命令実行時間) の条件欄を訂正 ・ AC特性において T_{CY} vs V_{DD} (メイン・システム・クロック : RC発振) の図を訂正
U15559JJ1V0UD - U15559JJ2V0UD	
全般	μ PD789835B, 789835Aサブシリーズの製品を追加
p.24-34	第1章 概説を全面改訂
p.35, 37, 38, 73, 76, 80, 85	ポート2, 3のプルアップ抵抗を入出力モードにかかわらず使用可能に変更 <ul style="list-style-type: none"> 2.1 端子機能一覧 2.2.3 P20-P27 (Port 2) 2.2.4 P30-P37 (Port 3) 表4 - 1 ポートの機能 4.2.3 ポート2 4.2.4 ポート3 4.3 (3) プルアップ抵抗オプション・レジスタB2 (PUB2) 4.3 (4) プルアップ抵抗オプション・レジスタB3 (PUB3)
p.39	2.2.8 CAP0-CAP3 2.2.10 V_{LC0} - V_{LC4} <ul style="list-style-type: none"> ・ コンデンサ容量を修正
p.40	2.2.18 V_{PP} (μ PD78F9835のみ) に説明を追加
p.43	図2 - 2 端子の入出力回路一覧のタイプ5-ABを変更
p.61	表3 - 4 特殊機能レジスタ一覧 で, キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40) のリセット時の値を変更
p.74, 76-80	次の図を変更 <ul style="list-style-type: none"> 図4 - 2 P00-P07のブロック図 図4 - 4 P20のブロック図 図4 - 5 P21のブロック図 図4 - 6 P22-P24, P26のブロック図 図4 - 7 P25, P27のブロック図 図4 - 8 P30-P37のブロック図

箇所	内容
p.85	4.3 (3) ブルアップ抵抗オプション・レジスタB2 (PUB2) 4.3 (4) ブルアップ抵抗オプション・レジスタB3 (PUB3) ・ポート2, 3のブルアップ抵抗を入出力モードにかかわらず使用可能に変更 ・出力として使用する際の注意文を追加
p.92, 93	5.4.1 メイン・システム・クロック発振回路 (クリスタル/セラミック発振) 5.4.2 メイン・システム・クロック発振回路 (RC発振) 5.4.3 サブシステム・クロック発振回路 ・外部クロックの記述を削除
p.116-118	6.5 8ビット・タイマ/イベント・カウンタ80-82の注意事項を変更
p.121-123	次の図を変更 図7-1 タイマ30のブロック図 図7-2 タイマ40のブロック図 図7-3 出力制御回路 (タイマ40) のブロック図
p.123	7.2 (2) 8ビット・コンペア・レジスタ40 (CR40) と (3) 8ビットH幅コンペア・レジスタ40 (CRH40) の説明を追加
p.127	図7-5 8ビット・タイマ・モード・コントロール・レジスタ40のフォーマットを変更
p.128	図7-6 キャリア・ジェネレータ出力コントロール・レジスタ40のフォーマットを変更
p.143, 144	6.4.3 キャリア・ジェネレータとしての動作に説明と注意文を追加
p.144	図7-17 キャリア・ジェネレータの動作タイミング (CR40 = N, CRH40 = M (M > N) 設定時) を修正
p.145	図7-18 キャリア・ジェネレータの動作タイミング (CR40 = N, CRH40 = M (M < N) 設定時) を修正
p.149	7.5 8ビット・タイマ30, 40の注意事項を変更
p.154	9.1 サウンド・ジェネレータの機能を改訂
p.158	図9-3 キャリア・ジェネレータ出力コントロール・レジスタSG0のフォーマットを変更
p.163	図9-5 P3ファンクション・レジスタのフォーマットを変更
p.164, 165	9.4 サウンド・ジェネレータの設定を追加
p.166-171	9.5 サウンド・ジェネレータの出力モードを追加
p.172	図10-1 時計用タイマのブロック図を変更
p.173	10.1 (2) インターバル・タイマの割り込み要求名称を修正
p.175	10.4.1 時計用タイマとしての動作の最大誤差の値を修正
p.176	図10-3 時計用タイマ/インターバル・タイマの動作タイミングを変更
p.183	第12章 A/Dコンバータ (μ PD789835B, 789835A, 78F9835のみ) に注意文を追加
p.196	図13-1 シリアル・インタフェース (SIO10) のブロック図を修正
p.197	図13-2 シリアル・インタフェース (UART00) のブロック図を修正
p.200	図13-3 シリアル動作モード・レジスタ10のフォーマットに注を追加
p.202	表13-2 シリアル・インタフェースの動作モードの設定一覧を変更
p.204	図13-6 ボー・レート・ジェネレータ・コントロール・レジスタ00のフォーマットを変更
p.205, 206, 214	次の表を変更 表13-3 メイン・システム・クロックとボー・レートの関係例 ($f_x = 5.0$ MHzの場合) 表13-4 メイン・システム・クロックとボー・レートの関係例 ($f_x = 4.9152$ MHzの場合) 表13-5 メイン・システム・クロックとボー・レートの関係例 ($f_x = 4.1943$ MHzの場合) 表13-6 メイン・システム・クロックとボー・レートの関係例 ($f_x = 4.00$ MHzの場合) 表13-7 5ビット・カウンタのソース・クロックとnの値との関係

箇所	内容
p.225, 227, 230	次の図を変更 図14 - 1 LCDコントローラ/ドライバのブロック図 図14 - 2 LCD20表示モード・レジスタのフォーマット 図14 - 4 LCD昇圧レベル設定レジスタ00のフォーマット
p.228, 229	次の表を追加 表14 - 2 1/48デューティ (48×48モード) でのフレーム周波数 (Hz) 表14 - 3 1/32デューティ (64×32モード) でのフレーム周波数 (Hz) 表14 - 4 1/16デューティ (80×16モード) でのフレーム周波数 (Hz) 表14 - 5 1/8デューティ (80×8モード) でのフレーム周波数 (Hz)
p.234	14.5 LCDコントローラ/ドライバの設定を改訂
p.251	14.8 LCD駆動電圧V _{LC0} , V _{LC1} , V _{LC2} , V _{LC3} , V _{LC4} の供給を追加
p.256	16.1 SWAPの機能を改訂
p.257	16.3 SWAPの実行例を追加
p.267	17.3 (5) キー・リターン・モード・レジスタ00 (KRM00) <ul style="list-style-type: none"> ・8ビット・メモリ操作命令のみ可に変更 ・0, 4-7ビット名の予約語定義を削除
p.286	表19 - 1 各ハードウェアのリセット後の状態で、キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40) のリセット時の値を変更
p.288	表20 - 1 μ PD78F9835とマスクROM製品の違いにA/Dコンバータの記述を追加
p.290	表20 - 2 通信方式一覧を変更
p.290, 292	図20 - 2 通信方式選択フォーマット 20.1.3 オンボード上の端子処理 <ul style="list-style-type: none"> ・書き込み電圧を7.8Vに変更
p.295	図20 - 8 3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例を変更
p.307-321	第18章 電気的特性 <ul style="list-style-type: none"> ・ターゲット・スペックを正式スペックに変更 ・絶対最大定格に注釈文を追加 ・メイン・システム・クロック発振回路特性から外部クロックの記述を削除 ・マスクROM製品の推奨発振回路定数を追加 ・サブシステム・クロック発振回路特性から外部クロックの記述を削除 ・DC特性の電源電流のスペックを変更 ・AC特性のサイクル・タイム (最小命令実行時間) のスペックを変更 ・シリアル・インタフェース (UART00) の転送レートのスペックを変更 ・LCD特性のスペックを変更 ・フラッシュ・メモリ書き込み消去特性のスペックを変更
p.323-330	第24章 応用回路例 を追加
p.331-336	付録A 開発ツールを最新の内容に変更
p.337	付録B ターゲット・システム設計上の注意を追加
p.344	付録D 改版履歴を追加

D.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

版 数	前版からの改版内容	適用箇所
第1版（修正版）	2. 2. 8 CAP0-CAP3のコンデンサ容量を訂正	第2章 端子機能
	2. 2. 10 VLc0-VLc4のコンデンサ容量を訂正	

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電話：044-435-9494

E-mail：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
