

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μPD789052,789062サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD789052

μPD78E9860A

μPD789062

μPD78E9861A

〔メモ〕

目次要約

第1章	概 説 (μ PD789052サブシリーズ)	...	21
第2章	概 説 (μ PD789062サブシリーズ)	...	28
第3章	端子機能	...	35
第4章	CPUアーキテクチャ	...	39
第5章	EEPROM (データ・メモリ) (μ PD78E9860A, 78E9861Aのみ)	...	59
第6章	ポート機能	...	64
第7章	クロック発生回路 (μ PD789052サブシリーズ)	...	70
第8章	クロック発生回路 (μ PD789062サブシリーズ)	...	77
第9章	8ビット・タイマ30, 40	...	84
第10章	ウォッチドッグ・タイマ	...	119
第11章	パワーオン・クリア回路 (μ PD78E9860A, 78E9861Aのみ)	...	125
第12章	ビット・シーケンシャル・バッファ	...	133
第13章	キー・リターン回路	...	136
第14章	割り込み機能	...	137
第15章	スタンバイ機能	...	148
第16章	リセット機能	...	156
第17章	μ PD78E9860A, 78E9861A	...	159
第18章	マスク・オプション	...	169
第19章	命令セットの概要	...	170
第20章	電気的特性	...	181
第21章	RC発振周波数特性例 (参考値)	...	196
第22章	外形図	...	197
第23章	半田付け推奨条件	...	198
付録A	開発ツール	...	201
付録B	ターゲット・システム設計上の注意	...	207
付録C	レジスタ索引	...	209
付録D	改版履歴	...	212

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIPは、NECエレクトロニクス株式会社の登録商標です。

EEPROMは、NECエレクトロニクス株式会社の商標です。

WindowsおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78E9860A, 78E9861A

ユーザ判定品 : μ PD789052, 789062

- 本資料に記載されている内容は2005年8月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

本版で改訂された主な箇所

箇 所	内 容
p.23, 24, 30, 31	第1章 概 説 (μ PD789052サブシリーズ) 第2章 概 説 (μ PD789062サブシリーズ) ・ 1.5 78K/0Sシリーズの展開, 2.5 78K/0Sシリーズの展開を最新版に修正
p.59, 60, 61, 63	第5章 EEPROM (データ・メモリ) (μ PD78E9860A, 78E9861Aのみ) ・ 選択不可のクロック設定を削除 ・ 図5 - 2 EEPROMライト・コントロール・レジスタ10のフォーマットに注釈文追加 ・ 5.4 EEPROM書き込み時の注意事項の(8)の記述を修正
p.87	第9章 8ビット・タイマ30, 40 ・ 図9 - 2 タイマ40のブロック図にEEPROMへの出力の記述を追加
p.141, 143	第14章 割り込み機能 ・ 図14 - 3 割り込みマスク・フラグ・レジスタ0のフォーマットの注意文を修正 ・ 図14 - 6 ノンマスカブル割り込み要求の受け付けタイミングの信号名を修正
p.151, 152, 154, 155	第15章 スタンバイ機能 ・ 15.2.1 HALTモードで, HALT解除できるノンマスカブル割り込みを特定 ・ 15.2.2 STOPモードで, STOP解除できるノンマスカブル割り込みを追加
p.159, 163	第17章 μ PD78E9860A, 78E9861A ・ 表17 - 1 μ PD78E9860A, 78E9861AとマスクROM製品の違いに, 発振安定時間の記述を追加 ・ 表17 - 3 端子接続一覧のCLK接続の記述を修正
p.188	第20章 電気的特性 ・ DC特性で, μ PD78E9860Aの電源電流の条件を修正
p.198	第23章 半田付け推奨条件 ・ 表23 - 1 表面実装タイプの半田付け条件で, μ PD789052, 789062の半田付け条件を変更
修正版 (U15861JJ3V1UD00) で改訂された主な箇所	
p.21, 22, 28, 29	第1章 概 説 (μ PD789052サブシリーズ) 第2章 概 説 (μ PD789062サブシリーズ) ・ 鉛フリー製品を追加
p.200	第23章 半田付け推奨条件 ・ 表23 - 1 表面実装タイプの半田付け条件で, 鉛フリー製品の半田付け条件を追加

本文欄外の★印は, 本版で改訂された主な箇所を示しています。

はじめに

対象者 このマニュアルは μ PD789052, 789062サブシリーズの機能を理解し, その応用システムや応用プログラムを設計, 開発するユーザのエンジニアを対象としています。

対象製品は, 次に示すサブシリーズの各製品です。

- ・ μ PD789052サブシリーズ : μ PD789052, 78E9860A
- ・ μ PD789062サブシリーズ : μ PD789062, 78E9861A

システム・クロックの発振周波数は, セラミック/クリスタル発振(μ PD789052サブシリーズ)をfx, またはRC発振(μ PD789062サブシリーズ)をfccとしています。

目的 このマニュアルは, 次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD789052, 789062サブシリーズのマニュアルは, このマニュアルと命令編(78K/0Sシリーズ共通)の2冊に分かれています。

μ PD789052, 789062サブシリーズ
ユーザズ・マニュアル

端子機能
内部ブロック機能
割り込み
その他の内蔵周辺機能
電気的特性

78K/0Sシリーズ
ユーザズ・マニュアル
命令編

CPU機能
命令セット
命令の説明

読み方 このマニュアルを読むにあたっては, 電気, 論理回路, マイクロコンピュータの一般知識を必要とします。一通りの機能を理解しようとするとき

目次に従って読んでください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは, そのビット名称がアセンブラでは予約語に, Cコンパイラでは#pragma sfr指令で, sfr変数として定義されているものです。

レジスタ名が分かっているレジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

78K/0Sシリーズの命令機能の詳細を知りたいとき

別冊の**78K/0Sシリーズ ユーザズ・マニュアル 命令編(U11047J)**を参照してください。

μ PD789052, 789062サブシリーズの電気的特性を知りたいとき

第20章 電気的特性を参照してください。

- 凡 例** データ表記の重み：左が上位桁，右が下位桁
- アクティブ・ロウの表記： \overline{xxx} （端子，信号名称に上線）
- 注：本文中につけた注の説明
- 注意：気をつけて読んでいただきたい内容
- 備考：本文の補足説明
- 数の表記：2進数... xxx または xxx B
 10進数... xxx
 16進数... xxx H

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD789052, 789062サブシリーズ ユーザーズ・マニュアル	このマニュアル	U15861E
78K0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

★ **開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）**

資料名	資料番号		
	和文	英文	
RA78K0S アセンブラ・パッケージ	操作編	U16656J	U16656E
	言語編	U14877J	U14877E
	構造化アセンブリ言語編	U11623J	U11623E
CC78K0S Cコンパイラ	操作編	U16654J	U16654E
	言語編	U14872J	U14872E
SM78Kシリーズ Ver.2.52 システム・シミュレータ	操作編	U16768J	U16768E
	外部部品ユーザ・オープン・インタフェース仕様編	U15802J	U15802E
ID78K0S-NS Ver.2.52 統合デバッグ	操作編	U16584J	U16584E
PM plus Ver.5.10		U16569J	U16569E

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K0S-NS インサーキット・エミュレータ	U13549J	U13549E
IE-78K0S-NS-A インサーキット・エミュレータ	U15207J	U15207E
IE-789860-NS-EM1 エミュレーション・ボード	U16499J	U16499E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE - Products and Packages -	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 (μ PD789052サブシリーズ) ... 21

- 1.1 特 徴 ... 21
- 1.2 応用分野 ... 21
- 1.3 オーダ情報 ... 21
- 1.4 端子接続図 (Top View) ... 22
- 1.5 78K/0Sシリーズの展開 ... 23
- 1.6 ブロック図 ... 26
- 1.7 機能概要 ... 27

第2章 概 説 (μ PD789062サブシリーズ) ... 28

- 2.1 特 徴 ... 28
- 2.2 応用分野 ... 28
- 2.3 オーダ情報 ... 28
- 2.4 端子接続図 (Top View) ... 29
- 2.5 78K/0Sシリーズの展開 ... 30
- 2.6 ブロック図 ... 33
- 2.7 機能概要 ... 34

第3章 端子機能 ... 35

- 3.1 端子機能一覧 ... 35
- 3.2 端子機能の説明 ... 36
 - 3.2.1 P00-P07 (Port0) ... 36
 - 3.2.2 P20, P21 (Port2) ... 36
 - 3.2.3 P40-P43 (Port 4) ... 36
 - 3.2.4 $\overline{\text{RESET}}$... 36
 - 3.2.5 X1, X2 (μ PD789052サブシリーズ) ... 37
 - 3.2.6 CL1, CL2 (μ PD789062サブシリーズ) ... 37
 - 3.2.7 V_{DD} ... 37
 - 3.2.8 V_{SS} ... 37
 - 3.2.9 V_{PP} (μ PD78E9860A, 78E9861Aのみ) ... 37
 - 3.2.10 IC (マスクROM製品のみ) ... 37
- 3.3 端子の入出力回路と未使用端子の処理 ... 38

第4章 CPUアーキテクチャ ... 39

- 4.1 メモリ空間 ... 39
 - 4.1.1 内部プログラム・メモリ空間 ... 41
 - 4.1.2 内部データ・メモリ空間 ... 41
 - 4.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 42
 - 4.1.4 データ・メモリ・アドレッシング ... 42
- 4.2 プロセッサ・レジスタ ... 44

4.2.1	制御レジスタ	...	44
4.2.2	汎用レジスタ	...	47
4.2.3	特殊機能レジスタ (SFR)	...	48
4.3	命令アドレスのアドレッシング	...	50
4.3.1	レラティブ・アドレッシング	...	50
4.3.2	イミディエト・アドレッシング	...	51
4.3.3	テーブル・インダイレクト・アドレッシング	...	52
4.3.4	レジスタ・アドレッシング	...	52
4.4	オペランド・アドレスのアドレッシング	...	53
4.4.1	ダイレクト・アドレッシング	...	53
4.4.2	ショート・ダイレクト・アドレッシング	...	54
4.4.3	特殊機能レジスタ (SFR) アドレッシング	...	55
4.4.4	レジスタ・アドレッシング	...	56
4.4.5	レジスタ・インダイレクト・アドレッシング	...	57
4.4.6	ベースト・アドレッシング	...	58
4.4.7	スタック・アドレッシング	...	58
第5章	EEPROM (データ・メモリ) (μPD78E9860A, 78E9861Aのみ)	...	59
5.1	メモリ空間	...	59
5.2	EEPROMの構成	...	59
5.3	EEPROMを制御するレジスタ	...	60
5.4	EEPROM書き込み時の注意事項	...	62
第6章	ポート機能	...	64
6.1	ポートの機能	...	64
6.2	ポートの構成	...	64
6.2.1	ポート0	...	65
6.2.2	ポート2	...	66
6.2.3	ポート4	...	67
6.3	ポート機能を制御するレジスタ	...	68
6.4	ポート機能の動作	...	69
6.4.1	入出力ポートへの書き込み	...	69
6.4.2	入出力ポートからの読み出し	...	69
6.4.3	入出力ポートでの演算	...	69
第7章	クロック発生回路 (μPD789052サブシリーズ)	...	70
7.1	クロック発生回路の機能	...	70
7.2	クロック発生回路の構成	...	70
7.3	クロック発生回路を制御するレジスタ	...	71
7.4	システム・クロック発振回路	...	72
7.4.1	システム・クロック発振回路	...	72
7.4.2	発振子の接続の悪い例	...	73
7.4.3	分周回路	...	74
7.5	クロック発生回路の動作	...	75
7.6	CPUクロックの設定の変更	...	76
7.6.1	CPUクロックの切り替えに要する時間	...	76

7.6.2 CPUクロックの切り替え手順 ... 76

第8章 クロック発生回路 (μ PD789062サブシリーズ) ... 77

- 8.1 クロック発生回路の機能 ... 77
- 8.2 クロック発生回路の構成 ... 77
- 8.3 クロック発生回路を制御するレジスタ ... 78
- 8.4 システム・クロック発振回路 ... 79
 - 8.4.1 システム・クロック発振回路 ... 79
 - 8.4.2 発振子の接続の悪い例 ... 80
 - 8.4.3 分周回路 ... 81
- 8.5 クロック発生回路の動作 ... 82
- 8.6 CPUクロックの設定の変更 ... 83
 - 8.6.1 CPUクロックの切り替えに要する時間 ... 83
 - 8.6.2 CPUクロックの切り替え手順 ... 83

第9章 8ビット・タイマ30, 40 ... 84

- 9.1 8ビット・タイマ30, 40の機能 ... 84
- 9.2 8ビット・タイマ30, 40の構成 ... 85
- 9.3 8ビット・タイマ30, 40を制御するレジスタ ... 90
- 9.4 8ビット・タイマ30, 40の動作 ... 95
 - 9.4.1 8ビット・タイマ・カウンタ・モードとしての動作 ... 95
 - 9.4.2 16ビット・タイマ・カウンタ・モードとしての動作 ... 103
 - 9.4.3 キャリア・ジェネレータとしての動作 ... 110
 - 9.4.4 PWM出力モードとしての動作 (タイマ40のみ) ... 115
- 9.5 8ビット・タイマ30, 40の注意事項 ... 117

第10章 ウォッチドッグ・タイマ ... 119

- 10.1 ウォッチドッグ・タイマの機能 ... 119
- 10.2 ウォッチドッグ・タイマの構成 ... 120
- 10.3 ウォッチドッグ・タイマを制御するレジスタ ... 121
- 10.4 ウォッチドッグ・タイマの動作 ... 123
 - 10.4.1 ウォッチドッグ・タイマとしての動作 ... 123
 - 10.4.2 インターバル・タイマとしての動作 ... 124

第11章 パワーオン・クリア回路 (μ PD78E9860A, 78E9861Aのみ) ... 125

- 11.1 パワーオン・クリア回路の機能 ... 125
- 11.2 パワーオン・クリア回路の構成 ... 126
- 11.3 パワーオン・クリア回路を制御するレジスタ ... 127
- 11.4 パワーオン・クリア回路の動作 ... 129
 - 11.4.1 パワーオン・クリア (POC) 回路の動作 ... 129
 - 11.4.2 低電圧検出回路 (LVI) の動作 ... 131

第12章 ビット・シーケンシャル・バッファ ... 133

- 12.1 ビット・シーケンシャル・バッファの機能 ... 133

12.2	ビット・シーケンシャル・バッファの構成	...	133
12.3	ビット・シーケンシャル・バッファを制御するレジスタ	...	134
12.4	ビット・シーケンシャル・バッファの動作	...	135
第13章 キー・リターン回路 ... 136			
13.1	キー・リターン回路の機能	...	136
13.2	キー・リターン回路の構成と動作	...	136
第14章 割り込み機能 ... 137			
14.1	割り込み機能の種類	...	137
14.2	割り込み要因と構成	...	137
14.3	割り込み機能を制御するレジスタ	...	140
14.4	割り込み処理動作	...	142
14.4.1	ノンマスカブル割り込み要求の受け付け動作	...	142
14.4.2	マスカブル割り込み要求の受け付け動作	...	144
14.4.3	多重割り込み処理	...	146
14.4.4	割り込み要求の保留	...	147
第15章 スタンバイ機能 ... 148			
15.1	スタンバイ機能と構成	...	148
15.1.1	スタンバイ機能	...	148
15.1.2	スタンバイ機能を制御するレジスタ	...	149
15.2	スタンバイ機能の動作	...	150
15.2.1	HALTモード	...	150
15.2.2	STOPモード	...	153
第16章 リセット機能 ... 156			
第17章 μPD78E9860A, 78E9861A ... 159			
17.1	EEPROM (プログラム・メモリ)	...	160
17.1.1	プログラミング環境	...	160
17.1.2	通信方式	...	161
17.1.3	オンボード上の端子処理	...	164
17.1.4	フラッシュ・メモリ (EEPROM) 書き込み用アダプタ上の接続	...	167
第18章 マスク・オプション ... 169			
第19章 命令セットの概要 ... 170			
19.1	オペレーション	...	170
19.1.1	オペランドの表現形式と記述方法	...	170
19.1.2	オペレーション欄の説明	...	171
19.1.3	フラグ動作欄の説明	...	171

- 19.2 オペレーション一覧 ... 172
- 19.3 アドレッシング別命令一覧 ... 178

第20章 電気的特性 ... 181

第21章 RC発振周波数特性例（参考値） ... 196

第22章 外形図 ... 197

第23章 半田付け推奨条件 ... 198

付録A 開発ツール ... 201

- A.1 ソフトウェア・パッケージ ... 203
- A.2 言語処理用ソフトウェア ... 203
- A.3 制御ソフトウェア ... 204
- A.4 EEPROM（プログラム・メモリ）書き込み用ツール ... 204
- A.5 デバッグ用ツール（ハードウェア） ... 205
- A.6 デバッグ用ツール（ソフトウェア） ... 206

付録B ターゲット・システム設計上の注意 ... 207

付録C レジスタ索引 ... 209

- C.1 レジスタ索引（50音順） ... 209
- C.2 レジスタ索引（アルファベット順） ... 210

付録D 改版履歴 ... 212

図の目次 (1/4)

図番号	タイトル, ページ
3 - 1	端子の入出力回路一覧 ... 38
4 - 1	メモリ・マップ (μ PD789052, 789062) ... 39
4 - 2	メモリ・マップ (μ PD78E9860A, 78E9861A) ... 40
4 - 3	データ・メモリのアドレッシング (μ PD789052, 789062) ... 42
4 - 4	データ・メモリのアドレッシング (μ PD78E9860A, 78E9861A) ... 43
4 - 5	プログラム・カウンタの構成 ... 44
4 - 6	プログラム・ステータス・ワードの構成 ... 44
4 - 7	スタック・ポインタの構成 ... 46
4 - 8	スタック・メモリへ退避されるデータ ... 46
4 - 9	スタック・メモリから復帰されるデータ ... 46
4 - 10	汎用レジスタの構成 ... 47
5 - 1	EEPROMのブロック図 ... 59
5 - 2	EEPROMライト・コントロール・レジスタ10のフォーマット ... 60
6 - 1	P00-P07のブロック図 ... 65
6 - 2	P20のブロック図 ... 66
6 - 3	P21のブロック図 ... 67
6 - 4	P40-P43のブロック図 ... 67
6 - 5	ポート・モード・レジスタのフォーマット ... 68
7 - 1	クロック発生回路のブロック図 ... 70
7 - 2	プロセッサ・クロック・コントロール・レジスタのフォーマット ... 71
7 - 3	システム・クロック発振回路の外付け回路 ... 72
7 - 4	発振子の接続の悪い例 ... 73
7 - 5	CPUクロックの切り替え ... 76
8 - 1	クロック発生回路のブロック図 ... 77
8 - 2	プロセッサ・クロック・コントロール・レジスタのフォーマット ... 78
8 - 3	システム・クロック発振回路の外付け回路 ... 79
8 - 4	発振子の接続の悪い例 ... 80
8 - 5	CPUクロックの切り替え ... 83
9 - 1	タイマ30のブロック図 ... 86
9 - 2	タイマ40のブロック図 ... 87
9 - 3	出力制御回路 (タイマ40) のブロック図 ... 88
9 - 4	8ビット・タイマ・モード・コントロール・レジスタ30のフォーマット ... 91
9 - 5	8ビット・タイマ・モード・コントロール・レジスタ40のフォーマット ... 92

図の目次 (2/4)

図番号	タイトル, ページ
9 - 6	キャリア・ジェネレータ出力コントロール・レジスタ40のフォーマット ... 93
9 - 7	ポート・モード・レジスタ2のフォーマット ... 94
9 - 8	8ビット分解能のインターバル・タイマ動作のタイミング (基本動作) ... 97
9 - 9	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = 00H設定時) ... 97
9 - 10	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = FFH設定時) ... 98
9 - 11	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N M (N < M) 変更時) ... 98
9 - 12	8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N M (N > M) 変更時) ... 99
9 - 13	8ビット分解能のインターバル・タイマ動作のタイミング (タイマ30のカウント・クロックにタイマ40一致信号選択時) ... 99
9 - 14	8ビット分解能の外部イベント・カウンタ動作のタイミング ... 100
9 - 15	8ビット分解能の方形波出力のタイミング ... 102
9 - 16	16ビット分解能のインターバル・タイマ動作のタイミング ... 105
9 - 17	16ビット分解能の外部イベント・カウンタ動作のタイミング ... 107
9 - 18	16ビット分解能の方形波出力のタイミング ... 109
9 - 19	キャリア・ジェネレータの動作タイミング (CR40 = N, CRH40 = M (M > N) 設定時) ... 112
9 - 20	キャリア・ジェネレータの動作タイミング (CR40 = N, CRH40 = M (M < N) 設定時) ... 113
9 - 21	キャリア・ジェネレータの動作タイミング (CR40 = CRH40 = N 設定時) ... 114
9 - 22	PWM出力モードのタイミング (基本動作) ... 116
9 - 23	PWM出力モードのタイミング (CR40, CRH40を書き換えた場合) ... 116
9 - 24	1.5クロック (最大) の誤差が出るケース ... 117
9 - 25	TMIがハイ・レベル時にタイマ・スタートした場合のカウント動作 ... 118
9 - 26	外部イベント・カウンタとしての動作時のタイミング (8ビット分解能時) ... 118
10 - 1	ウォッチドッグ・タイマのブロック図 ... 120
10 - 2	タイマ・クロック選択レジスタ2のフォーマット ... 121
10 - 3	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 122
11 - 1	パワーオン・クリア回路のブロック図 ... 126
11 - 2	低電圧検出回路のブロック図 ... 126
11 - 3	パワーオン・クリア・レジスタ1のフォーマット ... 127
11 - 4	低電圧検出レジスタ1のフォーマット ... 128
11 - 5	低電圧検出レベル選択レジスタ1のフォーマット ... 128
11 - 6	POC切り替え回路時の内部リセット信号発生のタイミング ... 130
11 - 7	LVI回路の動作タイミング ... 132
12 - 1	ビット・シーケンシャル・バッファのブロック図 ... 133
12 - 2	ビット・シーケンシャル・バッファ出力コントロール・レジスタ10のフォーマット ... 134

図の目次 (3/4)

図番号	タイトル, ページ
12 - 3	ポート・モード・レジスタ2のフォーマット ... 134
12 - 4	ビット・シーケンシャル・バッファの動作タイミング ... 135
13 - 1	キー・リターン回路のブロック図 ... 136
13 - 2	キー・リターン割り込み発生のタイミング ... 136
14 - 1	割り込み機能の基本構成 ... 139
14 - 2	割り込み要求フラグ・レジスタ0のフォーマット ... 140
14 - 3	割り込みマスク・フラグ・レジスタ0のフォーマット ... 141
14 - 4	プログラム・ステータス・ワードの構成 ... 141
14 - 5	ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート (INTWDTの場合) ... 143
14 - 6	ノンマスクابل割り込み要求の受け付けタイミング ... 143
14 - 7	ノンマスクابل割り込み要求の受け付け動作 ... 143
14 - 8	割り込み要求受け付け処理アルゴリズム ... 144
14 - 9	割り込み要求の受け付けタイミング (MOV A, rの例) ... 145
14 - 10	割り込み要求の受け付けタイミング (命令実行中の最終クロックで割り込み要求フラグが発生 したとき) ... 145
14 - 11	多重割り込みの例 ... 146
15 - 1	発振安定時間選択レジスタのフォーマット ... 149
15 - 2	HALTモードの割り込み発生による解除 ... 151
15 - 3	HALTモードのRESET入力による解除 ... 152
15 - 4	STOPモードの割り込み発生による解除 ... 154
15 - 5	STOPモードのRESET入力による解除 ... 155
16 - 1	リセット機能のブロック図 ... 156
16 - 2	RESET入力によるリセット・タイミング ... 157
16 - 3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 157
16 - 4	STOPモード中のRESET入力によるリセット・タイミング ... 157
17 - 1	EEPROM (プログラム・メモリ) にプログラムを書き込むための環境 ... 160
17 - 2	通信方式選択フォーマット ... 161
17 - 3	専用フラッシュ・ライタとの接続例 ... 162
17 - 4	VPP端子の接続例 ... 164
17 - 5	信号の衝突 (シリアル・インタフェースの入力端子) ... 165
17 - 6	ほかのデバイスの異常動作 ... 165
17 - 7	信号の衝突 (RESET端子) ... 166
17 - 8	疑似3線式方式でのフラッシュ・メモリ (EEPROM) 書き込み用アダプタ配線例 ... 167

図の目次 (4/4)

図番号	タイトル, ページ
A - 1	開発ツール構成 ... 202
B - 1	インサーキット・エミュレータから変換ソケットまでの距離 ... 207
B - 2	ターゲット・システムの接続条件 ... 208

表の目次 (1/2)

表番号	タイトル, ページ
3 - 1	各端子の入出力回路タイプと未使用端子の処理 ... 38
4 - 1	内部ROM容量 ... 41
4 - 2	ベクタ・テーブル ... 41
4 - 3	特殊機能レジスタ一覧 ... 49
5 - 1	EEPROMの書き込み時間 (fx = 5.0 MHz動作時) ... 61
5 - 2	EEPROMの書き込み時間 (fcc = 1.0 MHz動作時) ... 61
6 - 1	ポートの機能 ... 64
6 - 2	ポートの構成 ... 64
6 - 3	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 68
7 - 1	クロック発生回路の構成 ... 70
7 - 2	CPUクロックの切り替えに要する最大時間 ... 76
8 - 1	クロック発生回路の構成 ... 77
8 - 2	CPUクロックの切り替えに要する最大時間 ... 83
9 - 1	モード一覧 ... 84
9 - 2	8ビット・タイマ30, 40の構成 ... 85
9 - 3	タイマ30のインターバル時間 (fx = 5.0 MHz動作時) ... 96
9 - 4	タイマ30のインターバル時間 (fcc = 1.0 MHz動作時) ... 96
9 - 5	タイマ40のインターバル時間 (fx = 5.0 MHz動作時) ... 96
9 - 6	タイマ40のインターバル時間 (fcc = 1.0 MHz動作時) ... 96
9 - 7	タイマ40の方形波出力範囲 (fx = 5.0 MHz動作時) ... 101
9 - 8	タイマ40の方形波出力範囲 (fcc = 1.0 MHz動作時) ... 101
9 - 9	16ビット分解能でのインターバル時間 (fx = 5.0 MHz動作時) ... 104
9 - 10	16ビット分解能でのインターバル時間 (fcc = 1.0 MHz動作時) ... 104
9 - 11	16ビット分解能の方形波出力範囲 (fx = 5.0 MHz動作時) ... 108
9 - 12	16ビット分解能の方形波出力範囲 (fcc = 1.0 MHz動作時) ... 108
10 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 119
10 - 2	ウォッチドッグ・タイマのインターバル時間 ... 119
10 - 3	ウォッチドッグ・タイマの構成 ... 120
10 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 123
10 - 5	ウォッチドッグ・タイマのインターバル時間 ... 124
12 - 1	ビット・シーケンシャル・バッファの構成 ... 133

表の目次 (2/2)

表番号	タイトル, ページ
14 - 1	割り込み要因一覧 ... 138
14 - 2	割り込み要求信号名に対する各種フラグ ... 140
14 - 3	マスカブル割り込み要求発生から処理までの時間 ... 144
15 - 1	HALTモード時の動作状態 ... 150
15 - 2	HALTモードの解除後の動作 ... 152
15 - 3	STOPモード時の動作状態 ... 153
15 - 4	STOPモードの解除後の動作 ... 155
16 - 1	各ハードウェアのリセット後の状態 ... 158
17 - 1	μ PD78E9860A, 78E9861AとマスクROM製品の違い ... 159
17 - 2	通信方式一覧 ... 161
17 - 3	端子接続一覧 ... 163
19 - 1	オペランドの表現形式と記述方法 ... 170
23 - 1	表面実装タイプの半田付け条件 ... 198
B - 1	IEシステムから変換ソケットまでの距離 ... 207

第1章 概 説 (μ PD789052サブシリーズ)

1.1 特 徴

ROM, RAM容量

品 名	プログラム・メモリ (ROM)		データ・メモリ	
			内部高速RAM	EEPROM TM
μ PD789052	マスクROM	4 Kバイト	128バイト	-
μ PD78E9860A	EEPROM	4 Kバイト		32バイト

システム・クロック：セラミック/クリスタル発振

高速 (0.4 μ s) と低速 (1.6 μ s) に最小命令実行時間を変更可能 (システム・クロック：5.0 MHz動作時)

I/Oポート：14本

タイマ：3チャンネル

・8ビット・タイマ : 2チャンネル

・ウォッチドッグ・タイマ : 1チャンネル

パワーオン・クリア回路内蔵 (μ PD78E9860Aのみ)

ビット・シーケンシャル・パツファ内蔵

電源電圧

・ μ PD789052 : $V_{DD} = 1.8 \sim 5.5$ V

・ μ PD78E9860A : $V_{DD} = 1.8 \sim 5.5$ V

動作周囲温度： $T_A = -40 \sim +85$

1.2 応用分野

TPMS (Tire Pressure Monitoring Systems) , 自動車電装など

1.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μ PD789052MC- $\times \times \times$ -5A4	20ピン・プラスチックSSOP (7.62 mm (300))	マスクROM
μ PD78E9860AMC-5A4	"	EEPROM
★ μ PD789052MC- $\times \times \times$ -5A4-A	"	マスクROM
★ μ PD78E9860AMC-5A4-A	"	EEPROM

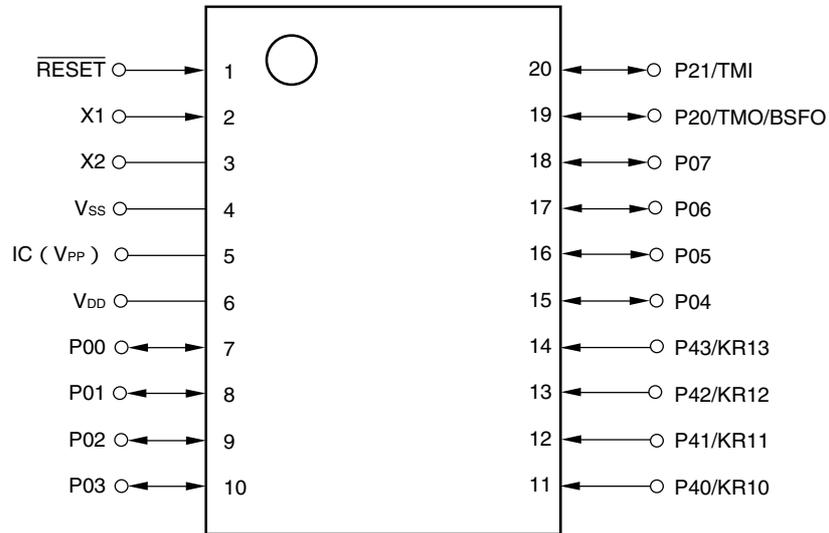
備考1. $\times \times \times$ はROMコード番号です。

2. オーダ名称末尾「-A」の製品は、鉛フリー製品です。

1.4 端子接続図 (Top View)

20ピン・プラスチックSSOP (7.62 mm (300))

- ★ μPD789052MC- x x x -5A4 μPD789052MC- x x x -5A4-A
- ★ μPD78E9860AMC-5A4 μPD78E9860AMC-5A4-A



注意 IC (Internally Connected) 端子はV_{SS}に直接接続してください。

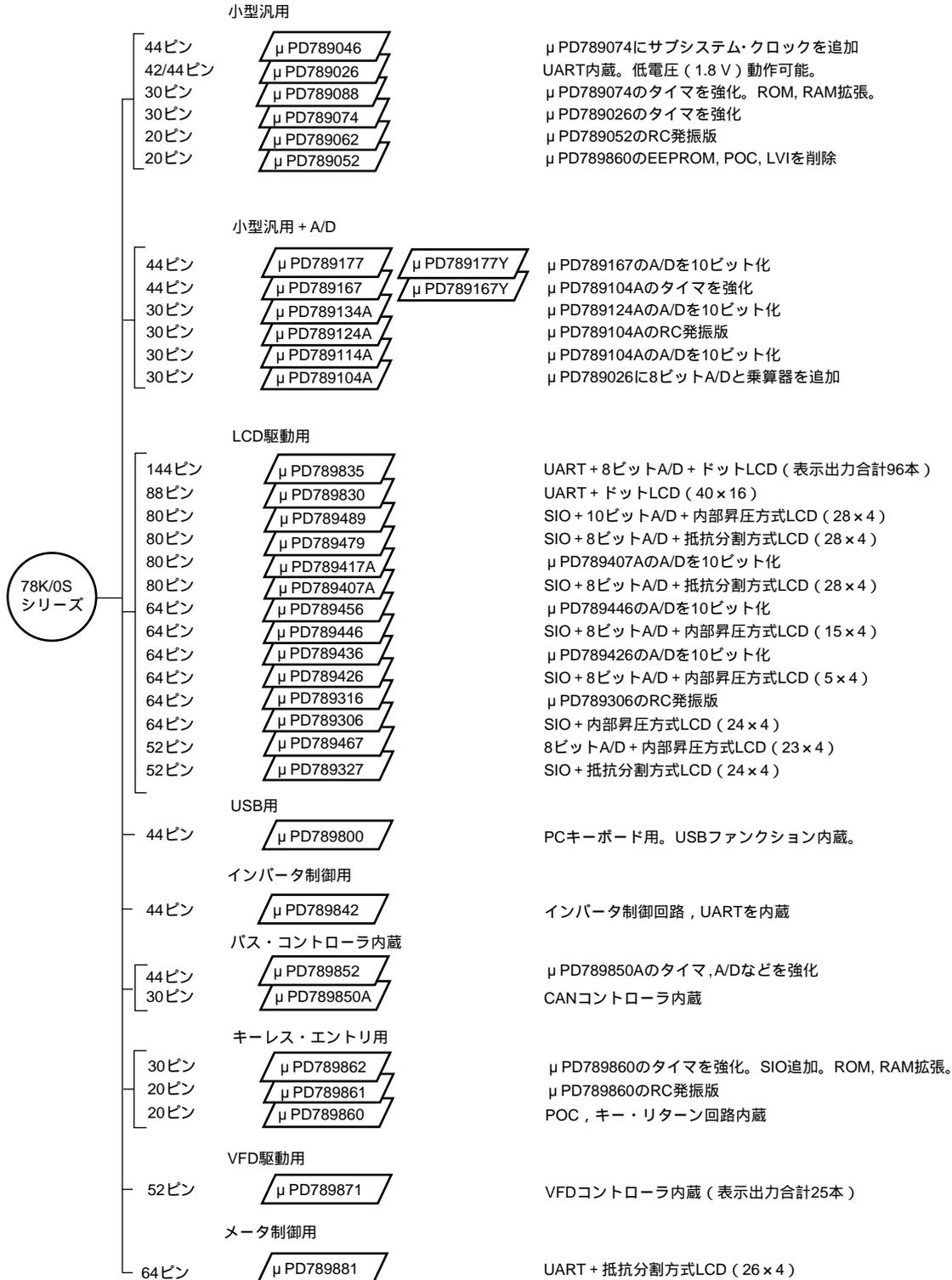
備考 () 内は, μPD78E9860Aのとき

BSFO	: Bit Sequential Buffer Output	TMI	: Timer Input
IC	: Internally Connected	TMO	: Timer Output
KR10-KR13	: Key Return	V _{DD}	: Power Supply
P00-P07	: Port 0	V _{PP}	: Programming Power Supply
P20, P21	: Port 2	V _{SS}	: Ground
P40-P43	: Port 4	X1, X2	: Crystal/ceramic Oscillator
$\overline{\text{RESET}}$: Reset		

★ 1.5 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。

 量産中の製品  開発中の製品
YサブシリーズはSMB対応の製品です。



備考 蛍光表示管の一般的な英語名称はVFD（Vacuum Fluorescent Display）ですが、ドキュメントによってはFIP®（Fluorescent Indicator Panel）と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

汎用，LCD駆動用シリーズ

機能 サブシリーズ名		ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考	
			8-bit	16-bit	時計	WDT	A/D	A/D			最小値		
小型 汎用	μPD789046	16 K	1 ch	1 ch	1 ch	1 ch	-	-	1 ch (UART : 1ch)	34本	1.8 V	-	
	μPD789026	4 K-16 K			-				-				
	μPD789088	16 K-32 K	3 ch							24本			
	μPD789074	2 K-8 K	1 ch										
	μPD789062	4 K	2 ch							14本		RC発振版	
	μPD789052											-	
小型 汎用 + A/D	μPD789177	16 K-24 K	3 ch	1 ch	1 ch	1ch	-	8 ch	1 ch (UART : 1ch)	31本	1.8 V	-	
	μPD789167						8 ch	-					
	μPD789134A	2 K-8 K	1 ch		-		-	4 ch		20本		RC発振版	
	μPD789124A						4 ch	-					
	μPD789114A						-	4 ch				-	
	μPD789104A						4 ch	-					
LCD 駆動用	μPD789835	24 K-60 K	6 ch	-	1 ch	1 ch	3 ch	-	1 ch (UART : 1ch)	37本	1.8 V ^注	ドットLCD	
	μPD789830	24 K	1 ch	1 ch			-			30本	2.7 V	対応	
	μPD789489	32 K-48 K	3 ch					8 ch	2 ch (UART : 1ch)	45本	1.8 V	-	
	μPD789479	24 K-48 K					8 ch	-					
	μPD789417A	12 K-24 K					-	7 ch	1 ch (UART : 1ch)	43本			
	μPD789407A						7 ch	-					
	μPD789456	12 K-16 K	2 ch				-	6 ch		30本			
	μPD789446						6 ch	-					
	μPD789436						-	6 ch		40本			
	μPD789426						6 ch	-					
	μPD789316	8 K-16 K					-		2 ch (UART : 1ch)	23本		RC発振版	
	μPD789306												-
	μPD789467	4 K-24 K		-			1 ch		-	18本			
	μPD789327						-		1 ch	21本			

注 フラッシュ・メモリ版 : 3.0 V

ASSP用シリーズ

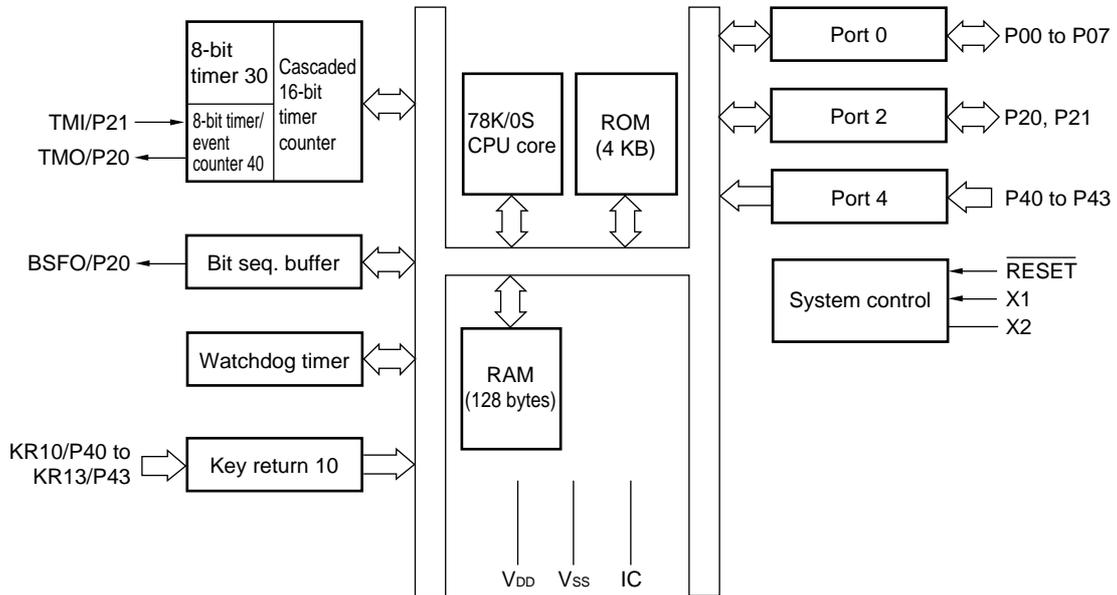
機能 サブシリーズ名	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考			
		8-bit	16-bit	時計	WDT	A/D	A/D			最小値				
USB用 μPD789800	8K	2 ch	-	-	1 ch	-	-	2 ch (USB : 1 ch)	31本	4.0 V	-			
インバー タ制御用 μPD789842	8 K-16 K	3 ch	注1	1 ch	1 ch	8 ch	-	1 ch (UART : 1ch)	30本	4.0 V	-			
バス・コント ローラ内蔵 μPD789852	24 K-32 K	3 ch	1 ch	-	1 ch	-	8ch	3 ch (UART : 2ch)	31本	4.0 V	-			
μPD789850A	16 K	1 ch				4 ch	-	2 ch (UART : 1ch)	18本					
キース ・エント リ用 μPD789861	4 K	2 ch	-	-	1 ch	-	-	-	14本	1.8 V	RC発振版, EEPROM内蔵			
μPD789860														EEPROM内蔵
μPD789862	16 K	1 ch						2 ch					1 ch (UART : 1ch)	22本
VFD 駆動用 μPD789871	4 K-8 K	3 ch	-	1 ch	1 ch	-	-	1 ch	33本	2.7 V	-			
メータ 制御用 μPD789881	16 K	2 ch	1 ch	-	1 ch	-	-	1 ch (UART : 1ch)	28本	2.7 V ^{注2}	-			

注1. 10ビット・タイマ : 1チャンネル

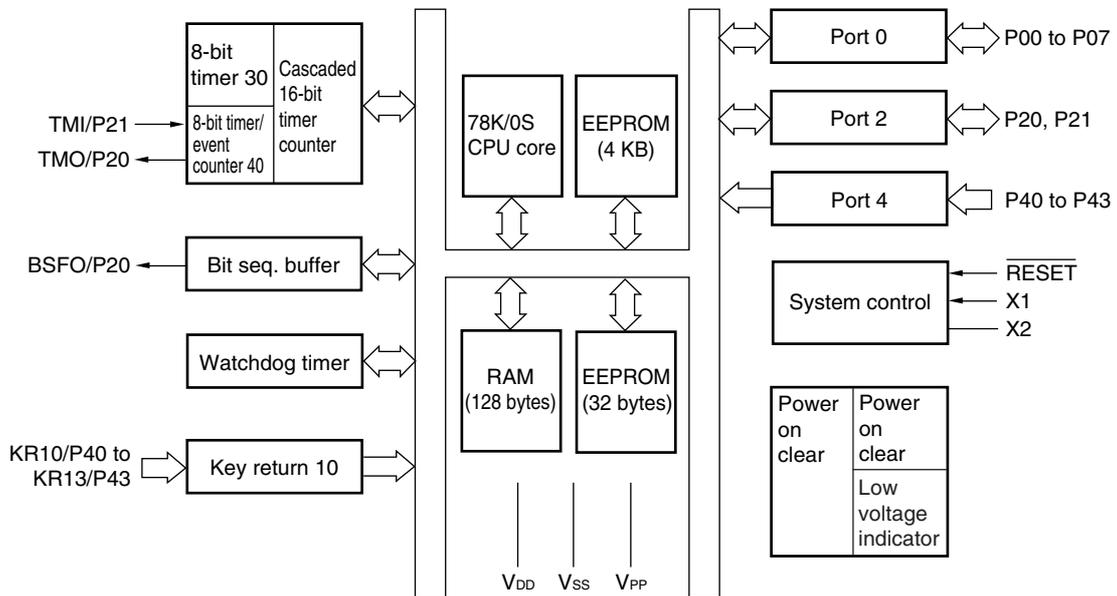
2. フラッシュ・メモリ版 : 3.0 V

1.6 ブロック図

(1) μPD789052



(2) μPD78E9860A



1.7 機能概要

項目		品名	μPD789052	μPD78E9860A
内部メモリ	ROM	マスクROM	EEPROM	
		4 Kバイト		
	高速RAM	128バイト		
	EEPROM	-	32バイト	
発振回路		セラミック/クリスタル発振回路		
最小命令実行時間		0.4 μs/1.6 μs (システム・クロック : 5.0 MHz動作時)		
汎用レジスタ		8ビット×8レジスタ		
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・ビット操作 (セット, リセット, テスト) など 		
I/Oポート		合計 : 14本 CMOS入出力 : 10本 CMOS入力 : 4本		
タイマ		<ul style="list-style-type: none"> ・8ビット・タイマ : 2チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 		
パワーオン・クリア回路	POC回路	-	電源電圧と検出電圧の比較により内部リセット信号を発生	
	LVI回路	-	電源電圧と検出電圧の比較により割り込み要求信号を発生	
ビット・シーケンシャル・バッファ		8ビット+8ビット=16ビット		
キー・リターン機能		立ち下がりエッジ検出により, キー・リターン信号を発生		
ベクタ割り込み要因	マスカブル	内部 : 3	内部 : 5	
	ノンマスカブル	内部 : 1, 外部 : 1		
電源電圧		V _{DD} = 1.8 ~ 5.5 V		
動作周囲温度		T _A = -40 ~ +85		
パッケージ		20ピン・プラスチックSSOP (7.62 mm (300))		

次にタイマの概要を示します。

		8ビット・タイマ30	8ビット・タイマ40	ウォッチドッグ・タイマ
動作モード	インターバル・タイマ	1チャンネル	1チャンネル	1チャンネル ^注
	外部イベント・カウンタ	-	1チャンネル	-
機能	タイマ出力	1出力	1出力	-
	PWM出力	-	1出力	-
	方形波出力	-	1出力	-
	ブザー出力	-	-	-
	キャプチャ	-	-	-
	割り込み要因	1	1	2

注 ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが, いずれか一方を選択して使用してください。

第2章 概 説 (μ PD789062サブシリーズ)

2.1 特 徴

ROM, RAM容量

品 名	プログラム・メモリ (ROM)		データ・メモリ	
			内部高速RAM	EEPROM
μ PD789062	マスクROM	4 Kバイト	128バイト	-
μ PD78E9861A	EEPROM	4 Kバイト		32バイト

システム・クロック：セラミック/クリスタル発振

高速 (2.0 μs) と低速 (8.0 μs) に最小命令実行時間を変更可能 (システム・クロック：1.0 MHz動作時)

I/Oポート：14本

タイマ：3チャンネル

・8ビット・タイマ : 2チャンネル

・ウォッチドッグ・タイマ : 1チャンネル

パワーオン・クリア回路内蔵 (μ PD78E9861Aのみ)

ビット・シーケンシャル・バッファ内蔵

電源電圧：V_{DD} = 1.8 ~ 3.6 V

動作周囲温度：T_A = -40 ~ +85

2.2 応用分野

TPMS (Tire Pressure Monitoring Systems) , 自動車電装など

★ 2.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μ PD789062MC- x x x -5A4	20ピン・プラスチックSSOP (7.62 mm (300))	マスクROM
μ PD78E9861AMC-5A4	"	EEPROM
μ PD789062MC- x x x -5A4-A	"	マスクROM
μ PD78E9861AMC-5A4-A	"	EEPROM

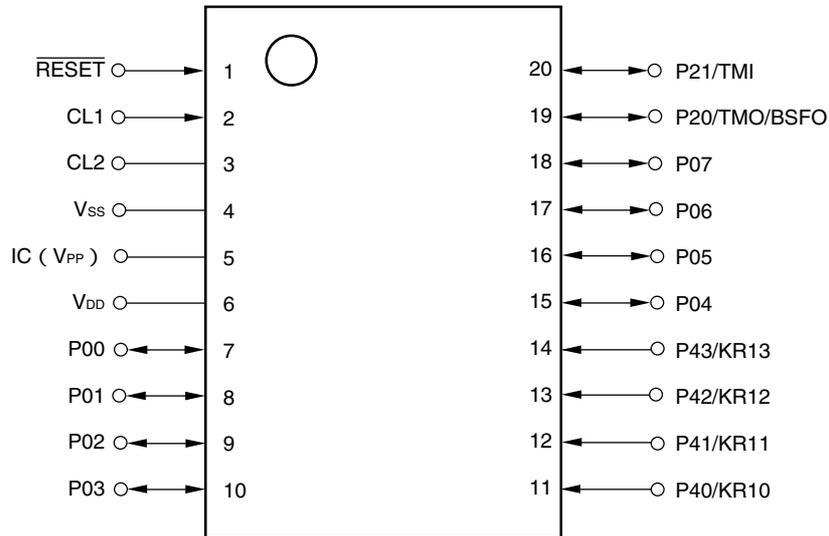
備考1. x x x はROMコード番号です。

2. オーダ名称末尾「-A」の製品は、鉛フリー製品です。

2.4 端子接続図 (Top View)

20ピン・プラスチックSSOP (7.62 mm (300))

- ★ μPD789062MC- x x x -5A4 μPD789062MC- x x x -5A4-A
- ★ μPD78E9861AMC-5A4 μPD78E9861AMC-5A4-A



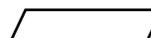
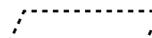
注意 IC (Internally Connected) 端子はV_{SS}に直接接続してください。

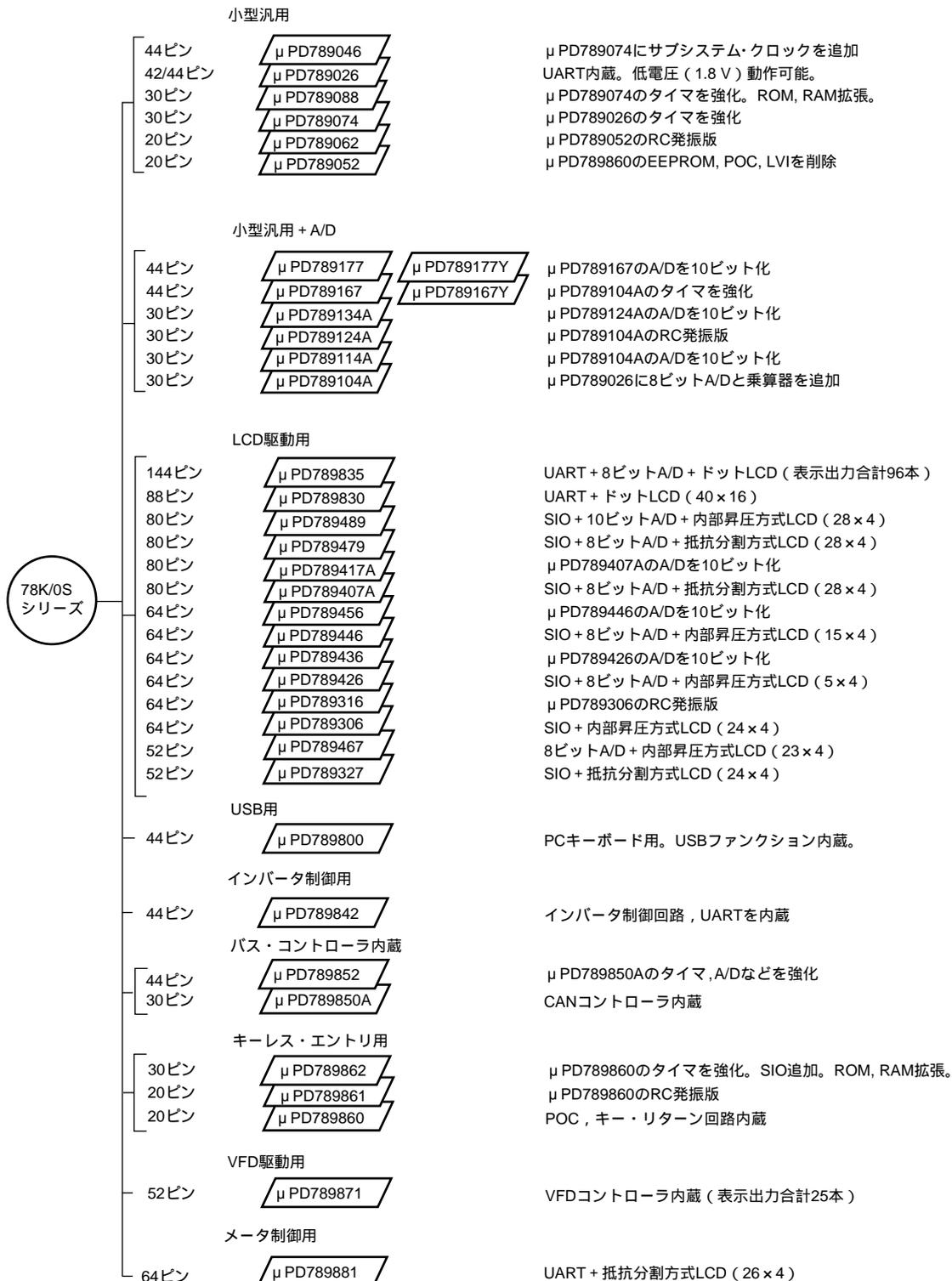
備考 () 内は, μPD78E9861Aのとき

BSFO	: Bit Sequential Buffer Output	$\overline{\text{RESET}}$: Reset
CL1, CL2	: RC Oscillator	TMI	: Timer Input
IC	: Internally Connected	TMO	: Timer Output
KR10-KR13	: Key Return	V _{DD}	: Power Supply
P00-P07	: Port 0	V _{PP}	: Programming Power Supply
P20, P21	: Port 2	V _{SS}	: Ground
P40-P43	: Port 4		

★ 2.5 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。

 量産中の製品  開発中の製品
YサブシリーズはSMB対応の製品です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

汎用，LCD駆動用シリーズ

機能 サブシリーズ名		ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
			8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
小型 汎用	μPD789046	16 K	1 ch	1 ch	1 ch	1 ch	-	-	1 ch (UART : 1ch)	34本	1.8 V	-
	μPD789026	4 K-16 K			-				-			
	μPD789088	16 K-32 K	3 ch							24本		
	μPD789074	2 K-8 K	1 ch									
	μPD789062	4 K	2 ch							14本		RC発振版
	μPD789052											-
小型 汎用 + A/D	μPD789177	16 K-24 K	3 ch	1 ch	1 ch	1ch	-	8 ch	1 ch (UART : 1ch)	31本	1.8 V	-
	μPD789167						8 ch	-				
	μPD789134A	2 K-8 K	1 ch		-		-	4 ch		20本		RC発振版
	μPD789124A						4 ch	-				
	μPD789114A						-	4 ch				-
	μPD789104A						4 ch	-				
LCD 駆動用	μPD789835	24 K-60 K	6 ch	-	1 ch	1 ch	3 ch	-	1 ch (UART : 1ch)	37本	1.8 V ^注	ドットLCD
	μPD789830	24 K	1 ch	1 ch			-			30本	2.7 V	対応
	μPD789489	32 K-48 K	3 ch					8 ch	2 ch (UART : 1ch)	45本	1.8 V	-
	μPD789479	24 K-48 K					8 ch	-				
	μPD789417A	12 K-24 K					-	7 ch	1 ch (UART : 1ch)	43本		
	μPD789407A						7 ch	-				
	μPD789456	12 K-16 K	2 ch				-	6 ch		30本		
	μPD789446						6 ch	-				
	μPD789436						-	6 ch		40本		
	μPD789426						6 ch	-				
	μPD789316	8 K-16 K					-		2 ch (UART : 1ch)	23本		RC発振版
	μPD789306											-
	μPD789467	4 K-24 K		-			1 ch		-	18本		
	μPD789327						-		1 ch	21本		

注 フラッシュ・メモリ版 : 3.0 V

ASSP用シリーズ

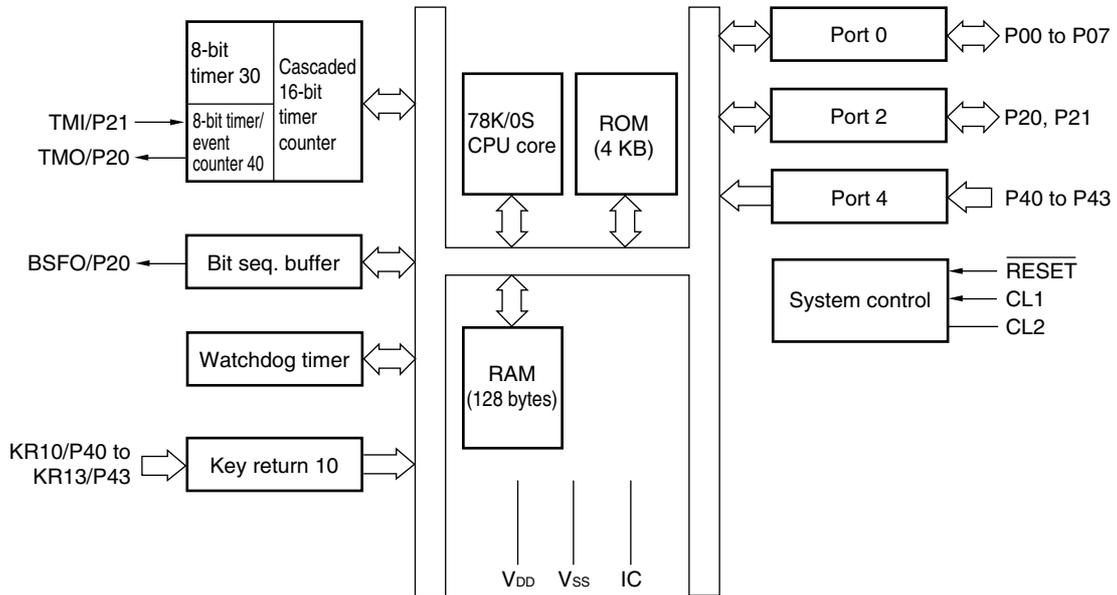
機能 サブシリーズ名	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考			
		8-bit	16-bit	時計	WDT	A/D	A/D			最小値				
USB用 μPD789800	8K	2 ch	-	-	1 ch	-	-	2 ch (USB : 1 ch)	31本	4.0 V	-			
インバー タ制御用 μPD789842	8 K-16 K	3 ch	注1	1 ch	1 ch	8 ch	-	1 ch (UART : 1ch)	30本	4.0 V	-			
バス・コント ローラ内蔵 μPD789852	24 K-32 K	3 ch	1 ch	-	1 ch	-	8ch	3 ch (UART : 2ch)	31本	4.0 V	-			
μPD789850A	16 K	1 ch				4 ch	-	2 ch (UART : 1ch)	18本					
キース ・エント リ用 μPD789861	4 K	2 ch	-	-	1 ch	-	-	-	14本	1.8 V	RC発振版, EEPROM内蔵			
μPD789860														EEPROM内蔵
μPD789862	16 K	1 ch						2 ch					1 ch (UART : 1ch)	22本
VFD 駆動用 μPD789871	4 K-8 K	3 ch	-	1 ch	1 ch	-	-	1 ch	33本	2.7 V	-			
メータ 制御用 μPD789881	16 K	2 ch	1 ch	-	1 ch	-	-	1 ch (UART : 1ch)	28本	2.7 V ^{注2}	-			

注1. 10ビット・タイマ : 1チャンネル

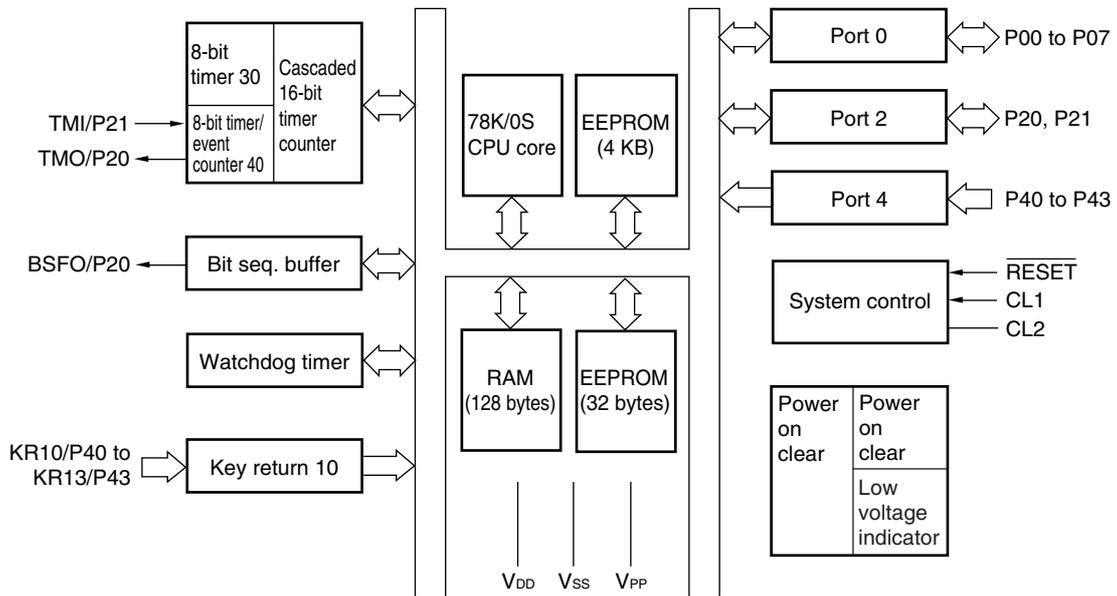
2. フラッシュ・メモリ版 : 3.0 V

2.6 ブロック図

(1) μPD789062



(2) μPD78E9861A



2.7 機能概要

項目		品名	μPD789062	μPD78E9861A
内部メモリ	ROM	マスクROM	EEPROM	
		4 Kバイト		
	高速RAM	128バイト		
	EEPROM	-	32バイト	
発振回路		RC発振回路		
最小命令実行時間		2.0 μs/8.0 μs (システム・クロック : 1.0 MHz動作時)		
汎用レジスタ		8ビット×8レジスタ		
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・ビット操作 (セット, リセット, テスト) など 		
I/Oポート		合計 : 14本 CMOS入出力 : 10本 CMOS入力 : 4本		
タイマ		<ul style="list-style-type: none"> ・8ビット・タイマ : 2チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 		
パワーオン・クリア回路	POC回路	-	電源電圧と検出電圧の比較により内部リセット信号を発生	
	LVI回路	-	電源電圧と検出電圧の比較により割り込み要求信号を発生	
ビット・シーケンシャル・バッファ		8ビット+8ビット=16ビット		
キー・リターン機能		立ち下がりエッジ検出により、キー・リターン信号を発生		
ベクタ割り込み	マスカブル	内部 : 3	内部 : 5	
要因	ノンマスカブル	内部 : 1, 外部 : 1		
電源電圧		V _{DD} = 1.8 ~ 3.6 V		
動作周囲温度		T _A = -40 ~ +85		
パッケージ		20ピン・プラスチックSSOP (7.62 mm (300))		

次にタイマの概要を示します。

		8ビット・タイマ30	8ビット・タイマ40	ウォッチドッグ・タイマ
動作モード	インターバル・タイマ	1チャンネル	1チャンネル	1チャンネル ^注
	外部イベント・カウンタ	-	1チャンネル	-
機能	タイマ出力	1出力	1出力	-
	PWM出力	-	1出力	-
	方形波出力	-	1出力	-
	ブザー出力	-	-	-
	キャプチャ	-	-	-
	割り込み要因	1	1	2

注 ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

第3章 端子機能

3.1 端子機能一覧

(1) ポート端子

端子名称	入出力	機 能	リセット時	兼用端子
P00-P07	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	-
P20	入出力	ポート2。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	TMO/BSFO
P21				TMI
P40-P43	入力	ポート4。 4ビット入力専用ポート。 マスクROM製品は、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。	入力	KR10-KR13

(2) ポート以外の端子

端子名称	入出力	機 能	リセット時	兼用端子
TMI	入力	8ビット・タイマ (TM40) 入力	入力	P21
TMO	出力	8ビット・タイマ (TM40) 出力	入力	P20/BSFO
BSFO	出力	ビット・シーケンシャル・バッファ (BSF10) 出力	入力	P20/TMO
KR10-KR13	入力	キー・リターン入力	入力	P40-P43
X1 ^{注1}	入力	システム・クロック発振用セラミック/クリスタル接続	-	-
X2 ^{注1}	-		-	-
CL1 ^{注2}	入力	システム・クロック発振用抵抗 (R), コンデンサ (C) 接続	-	-
CL2 ^{注2}	-		-	-
RESET	入力	システム・リセット入力	入力	-
V _{DD}	-	正電源	-	-
V _{SS}	-	グランド電位	-	-
IC	-	内部接続されています。V _{SS} に直接接続してください。	-	-
V _{PP}	-	EEPROMプログラミング・モード設定。プログラム書き込み/ベリファイ時の高電圧印加。	-	-

注1. μ PD789052サブシリーズのみ

2. μ PD789062サブシリーズのみ

3.2 端子機能の説明

3.2.1 P00-P07 (Port0)

8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

3.2.2 P20, P21 (Port2)

2ビット入出力ポートです。入出力ポートのほかにタイマ入出力、ビット・シーケンシャル・バッファの出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

タイマ入出力、ビット・シーケンシャル・バッファの出力として機能します。

(a) BSFO

ビット・シーケンシャル・バッファの出力端子です。

(b) TMI

タイマ40への外部クロック入力端子です。

(c) TMO

タイマ40出力端子です。

3.2.3 P40-P43 (Port 4)

4ビット入力専用ポートです。汎用入力ポートのほかに、キー・リターン入力機能があります。

(1) ポート・モード

4ビットの入力専用ポートとして機能します。マスクROM製品は、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能です。

(2) コントロール・モード

キー・リターン入力 (KR10-KR13) として機能します。

3.2.4 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

3.2.5 X1, X2 (μ PD789052サブシリーズ)

システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

3.2.6 CL1, CL2 (μ PD789062サブシリーズ)

システム・クロック発振用抵抗 (R)、コンデンサ (C) 接続端子です。

外部クロックを供給するときは、CL1に入力し、CL2にその反転信号を入力してください。

3.2.7 VDD

正電源供給端子です。

3.2.8 VSS

グランド電位端子です。

3.2.9 VPP (μ PD78E9860A, 78E9861Aのみ)

EEPROMプログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

次のどちらかの端子処理をしてください。

- ・個別に10 k Ω のプルダウン抵抗を接続する
- ・ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライタに、通常動作モード時はVSSに直接接続するように切り替える

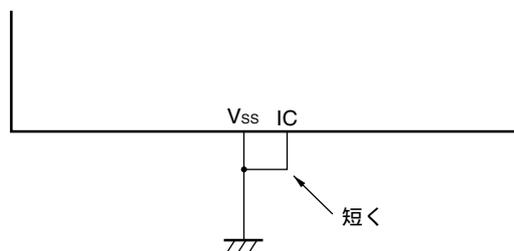
VPP端子とVSS端子間の配線の引き回しが長い場合や、VPP端子に外来ノイズが加わったときには、お客様のプログラムが正常に動作しないことがあります。

3.2.10 IC (マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時に μ PD789052, 789062を検査するためのテスト・モードに設定するための端子です。通常動作時には、IC端子をVSSに直接接続し、その配線長を極力短くしてください。

IC端子とVSS端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とVSS端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

IC端子をVSS端子に直接接続してください。



3.3 端子の入出力回路と未使用端子の処理

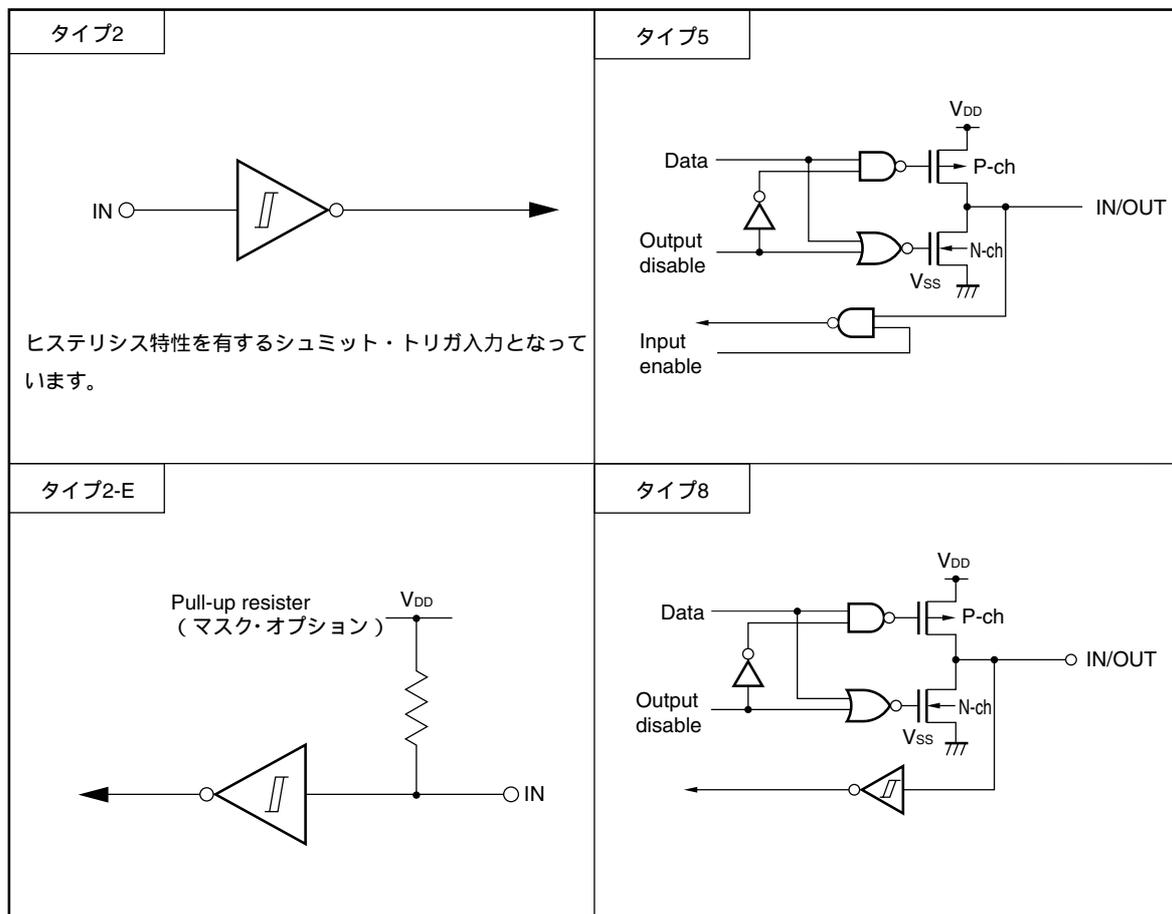
各端子の入出力回路タイプと、未使用端子の処理を表3 - 1に示します。

また、各タイプの入出力回路の構成は、図3 - 1を参照してください。

表3 - 1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P07	5	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P20/TMO/BSFO	8		
P21/TMI			
P40/KR10-P43/KR13 (マスクROM製品)	2-E	入力	V _{DD} またはV _{SS} に直接接続してください。
P40/KR10-P43/KR13 (μ PD78E9860A, 78E9861A)	2		
RESET	-		
IC	-	-	V _{SS} に直接接続してください。
V _{PP}	-	-	個別に10 k Ω のプルダウン抵抗を接続するか、V _{SS} に直接接続してください。

図3 - 1 端子の入出力回路一覧



第4章 CPUアーキテクチャ

4.1 メモリ空間

μ PD789052, 789062サブシリーズは、それぞれ64 Kバイトのメモリ空間をアクセスできます。図4 - 1, 図4 - 2に、メモリ・マップを示します。

図4 - 1 メモリ・マップ (μ PD789052, 789062)

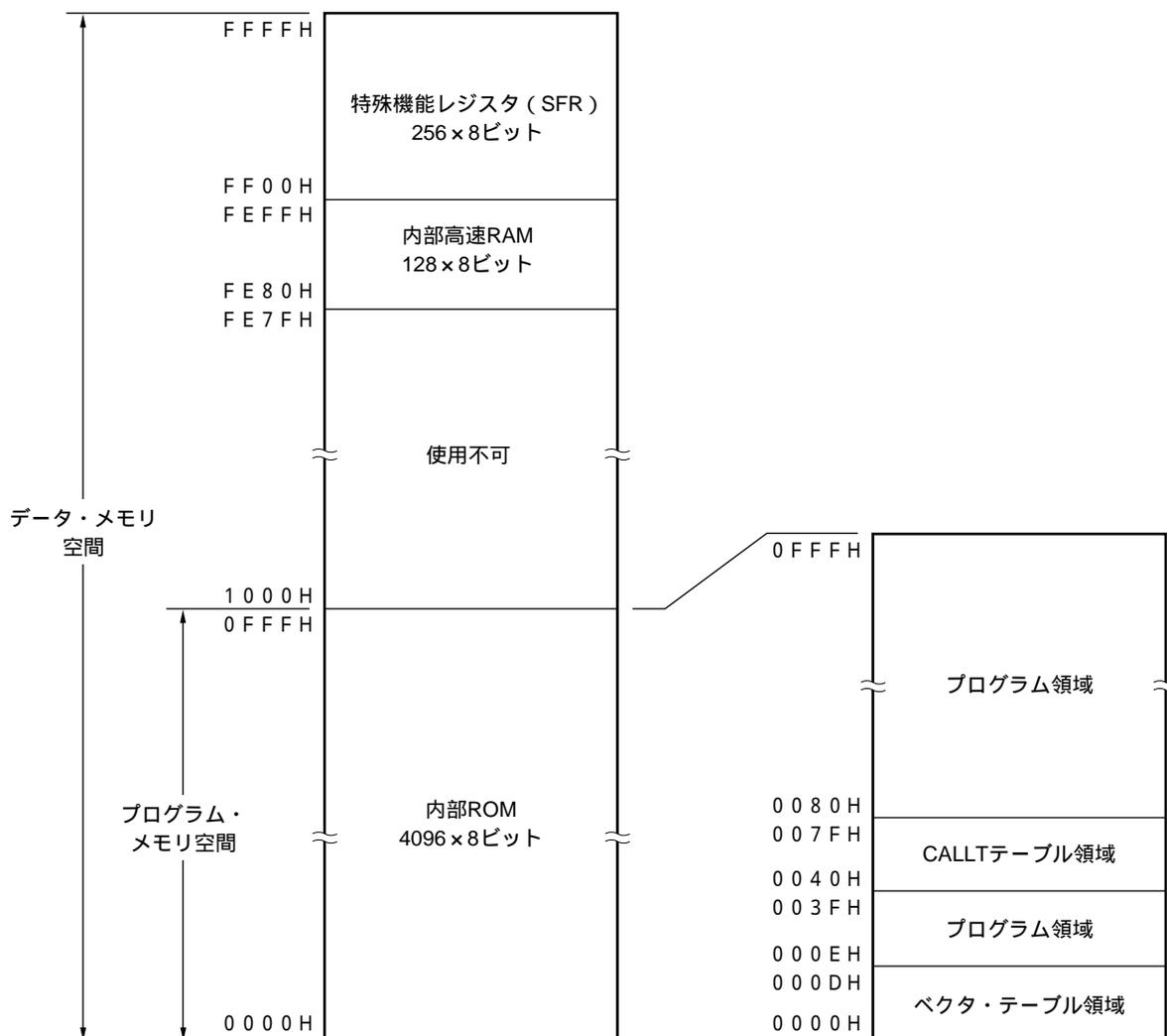
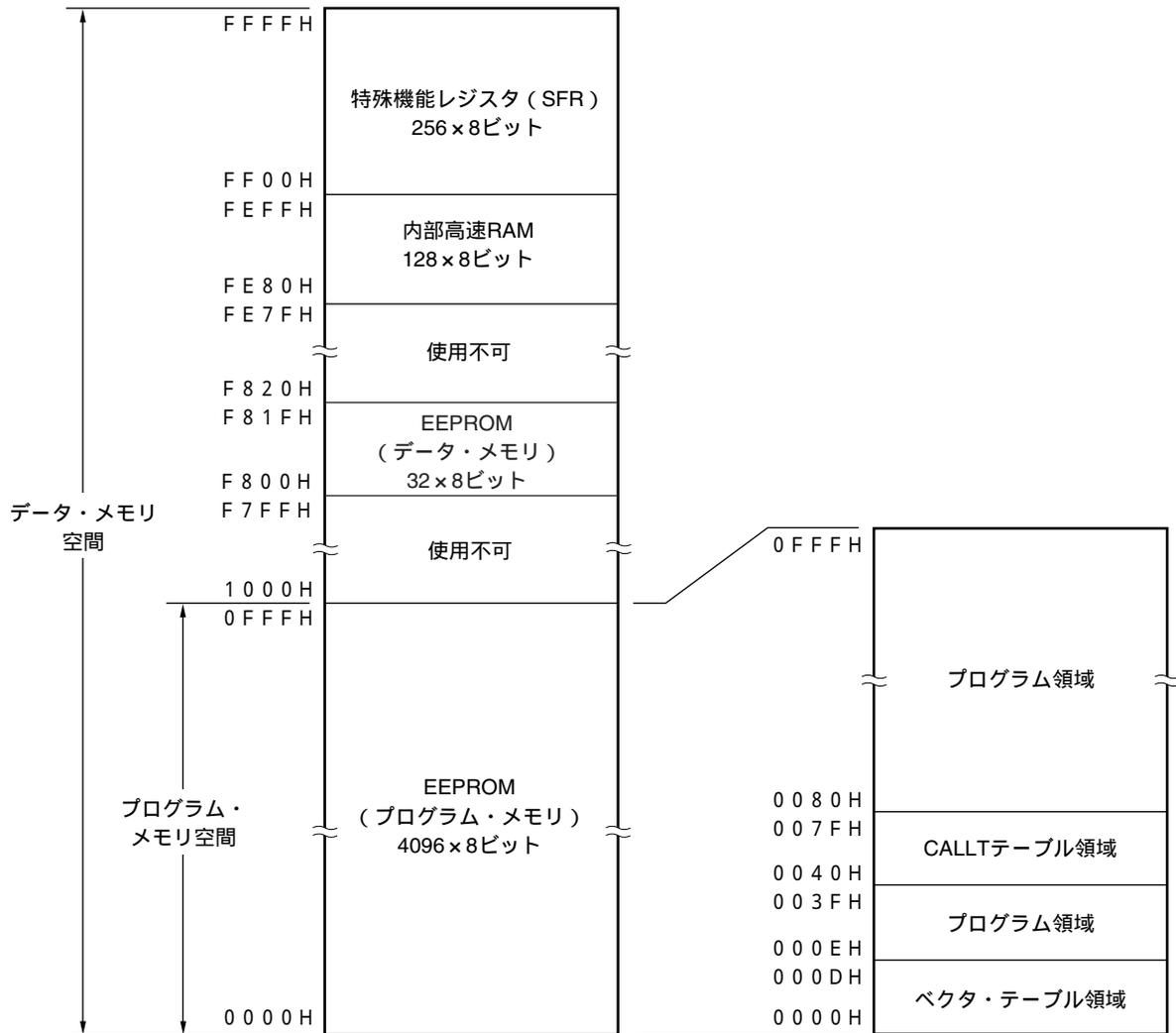


図4 - 2 メモリ・マップ (μ PD78E9860A, 78E9861A)



4.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD789052, 789062サブシリーズでは、各製品ごとに次の容量の内部ROM（またはEEPROM）を内蔵しています。

表4-1 内部ROM容量

品名	内部ROM	
	構造	容量
μPD789052, 789062	マスクROM	4096×8ビット
μPD78E9860A, 78E9861A	EEPROM	

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-000DHの14バイトの領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、RESET入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表4-2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0000H	RESET入力	0008H	INTTM40
0002H	INTKR1	000AH	INTLV1 ^注
0004H	INTWDT	000CH	INTEE0 ^注
0006H	INTTM30		

注 μPD78E9860A, 78E9861Aのみ

(2) CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

4.1.2 内部データ・メモリ空間

μPD789052, 789062サブシリーズの製品には、次に示すRAMを内蔵しています。

(1) 内部高速RAM

FE80H-FE FFHの領域には、内部高速RAMを内蔵しています。

内部高速RAMはスタックとしても使用できます。

(2) EEPROM（μPD78E9860A, 78E9861Aのみ）

μPD78E9860A, 78E9861AのF800H-F81FHの領域には、EEPROMを内蔵しています。

EEPROMについての詳細は、第5章 EEPROM（データ・メモリ）（μPD78E9860A, 78E9861Aのみ）を

参照してください。

4.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (表4 - 3参照)。

4.1.4 データ・メモリ・アドレッシング

μ PD789052, 789062サブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域 (FE80H-FFFFH) では、特殊機能レジスタ (SFR) など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図4 - 3, 図4 - 4にデータ・メモリのアドレッシングを示します。

図4 - 3 データ・メモリのアドレッシング (μ PD789052, 789062)

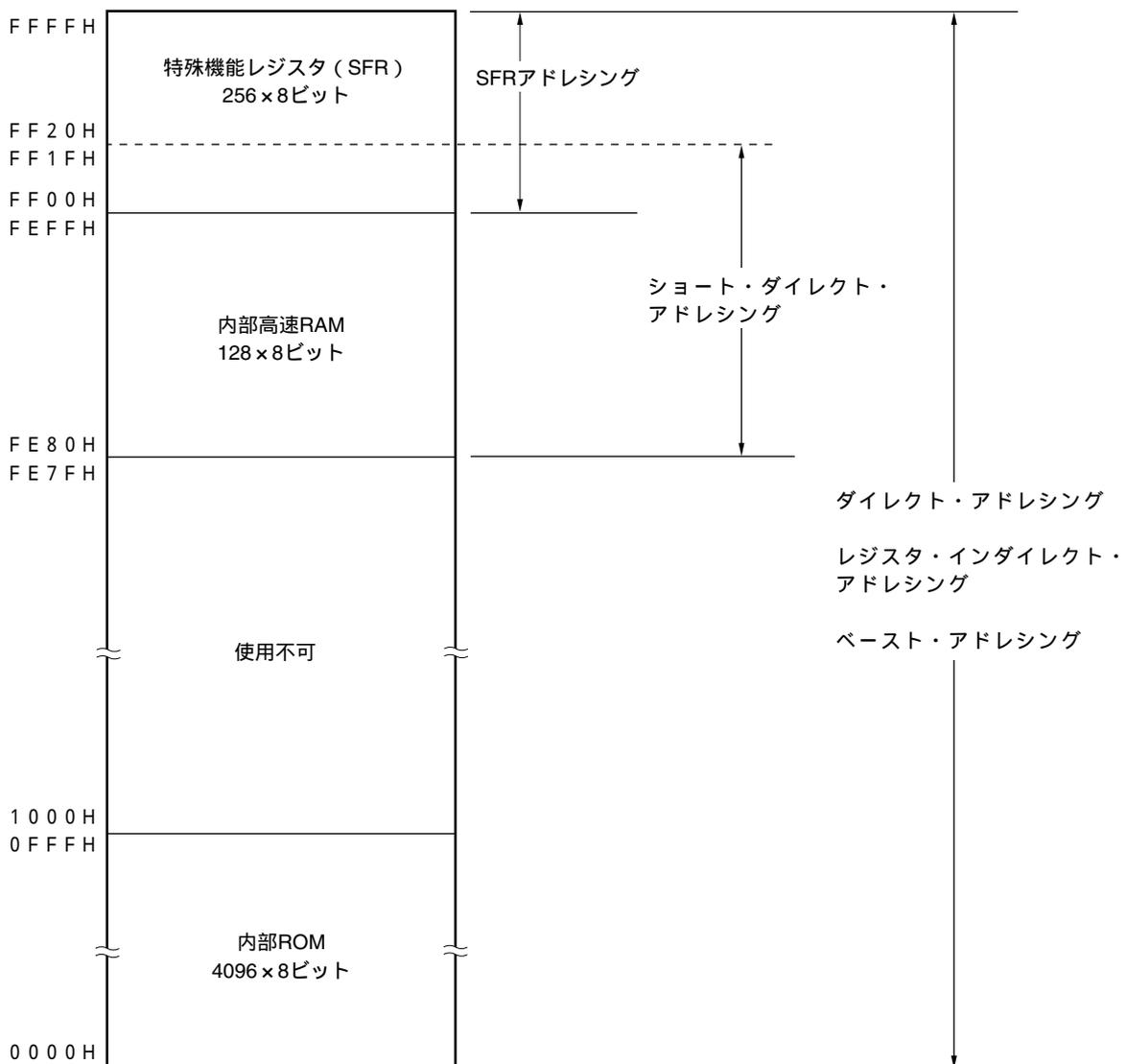
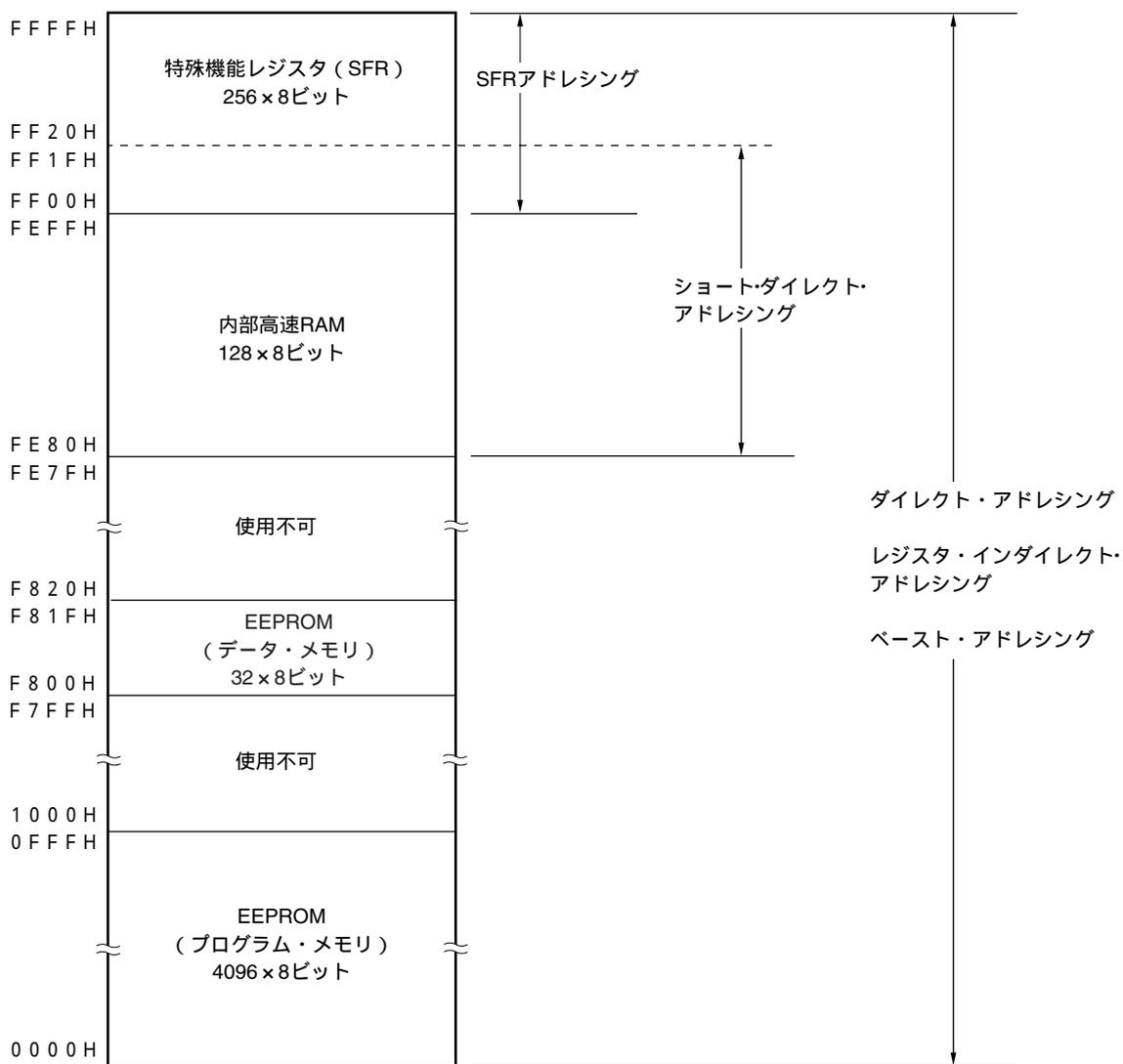


図4 - 4 データ・メモリのアドレッシング (μ PD78E9860A, 78E9861A)



4.2 プロセッサ・レジスタ

μ PD789052, 789062サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

4.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

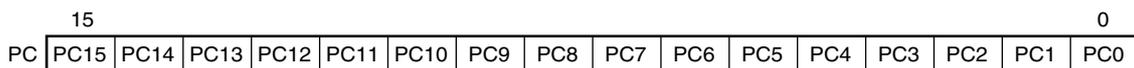
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図4 - 5 プログラム・カウンタの構成



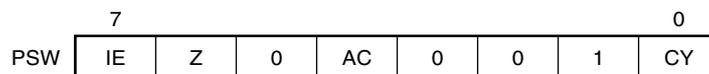
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図4 - 6 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスクابل割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

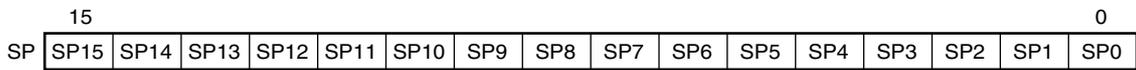
(d) キャリー・フラグ (CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図4 - 7 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図4 - 8 , 図4 - 9のようになります。

★ **注意** SPの内容はRESET入力により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

図4 - 8 スタック・メモリへ退避されるデータ

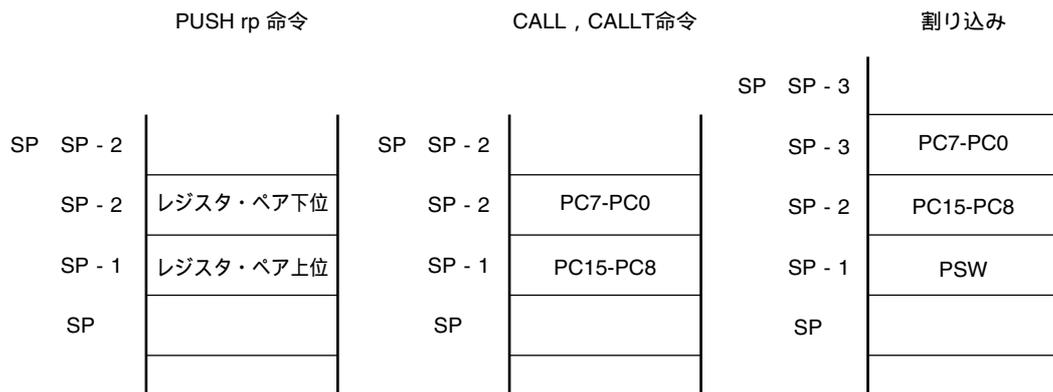
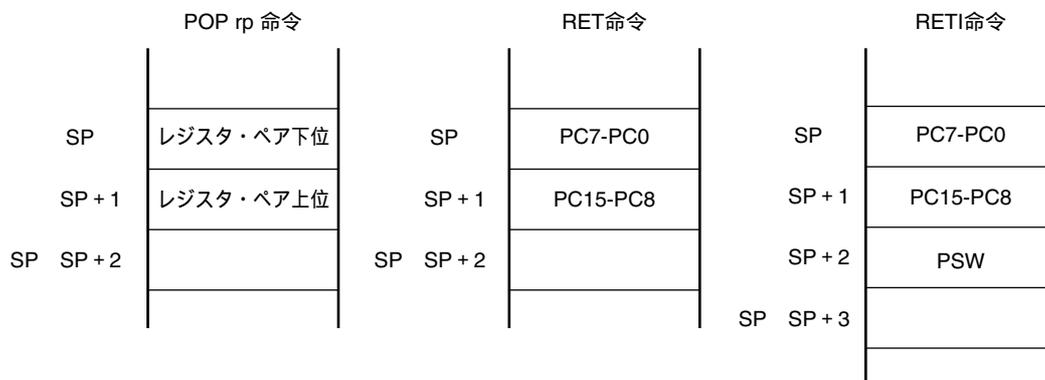


図4 - 9 スタック・メモリから復帰されるデータ



4.2.2 汎用レジスタ

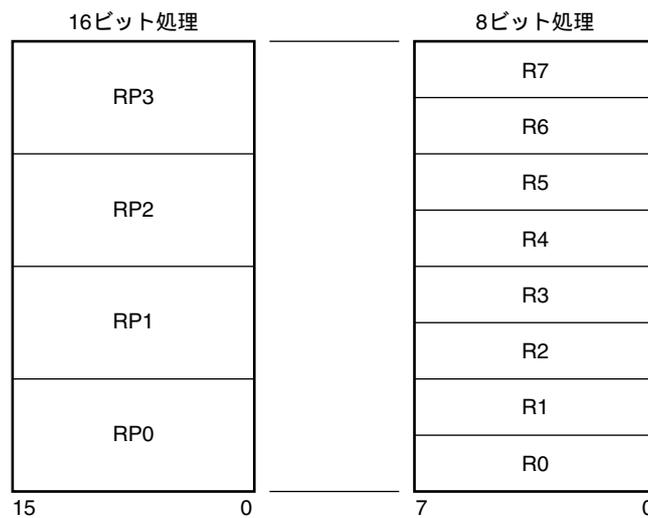
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

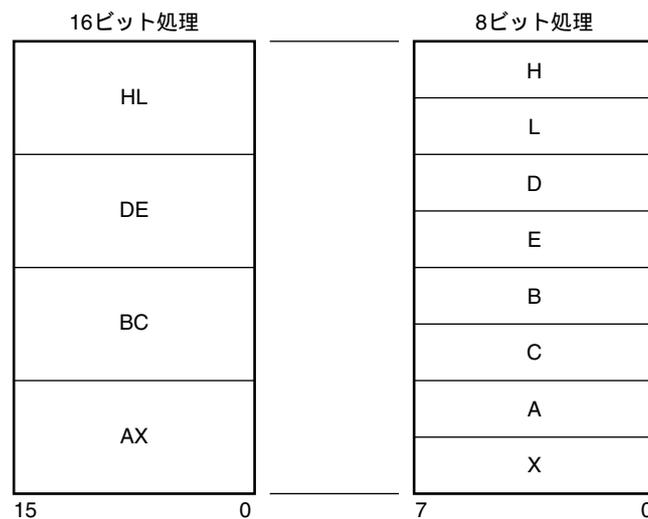
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図4 - 10 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



4.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表4 - 3に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

内蔵された特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、Cコンパイラでは #pragma sfr 指令で、sfr変数として定義されているものです。アセンブラ、統合ディバッガ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- ・ リセット時

$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表4-3 特殊機能レジスタ一覧

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF00H	ポート0	P0	R/W			-	00H
FF02H	ポート2	P2				-	
FF04H	ポート4	P4		R			
FF10H	ビット・シーケンシャル・バッファ10データ・レジスタL	BSFRL10	W	-		注1	不定
FF11H	ビット・シーケンシャル・バッファ10データ・レジスタH	BSFRH10		-			
FF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH
FF22H	ポート・モード・レジスタ2	PM2				-	
FF42H	タイマ・クロック選択レジスタ2	TCL2		-		-	
FF50H	8ビット・コンペア・レジスタ30	CR30	W	-		-	不定
FF51H	8ビット・タイマ・カウンタ30	TM30	R	-		-	00H
FF52H	8ビット・タイマ・モード・コントロール・レジスタ30	TMC30	R/W			-	
FF53H	8ビット・コンペア・レジスタ40	CR40	W	-		-	不定
FF54H	8ビット・コンペア・レジスタH40	CRH40		-		-	
FF55H	8ビット・タイマ・カウンタ40	TM40	R	-		-	00H
FF56H	8ビット・タイマ・モード・コントロール・レジスタ40	TMC40	R/W			-	
FF57H	キャリア・ジェネレータ出力コントロール・レジスタ40	TCA40	W	-		-	
FF60H	ビット・シーケンシャル・バッファ出力コントロール・レジスタ10	BSFC10	R/W			-	
FFD8H	EEPROMライト・コントロール・レジスタ10 ^{注2}	EEWC10				-	08H
FFDDH	パワーオン・クリア・レジスタ1 ^{注2}	POCF1				-	00H ^{注3}
FFDEH	低電圧検出レジスタ1 ^{注2}	LVIF1				-	00H
FFDFH	低電圧検出レベル選択レジスタ1 ^{注2}	LVIS1				-	
FFE0H	割り込み要求フラグ・レジスタ0	IF0				-	
FFE4H	割り込みマスク・フラグ・レジスタ0	MK0				-	FFH
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM				-	00H
FFFAH	発振安定時間選択レジスタ ^{注4}	OSTS			-	-	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC				-	02H

注1. 16ビット・アクセス時はFF10Hのアドレスを直接指定ください。

2. μ PD78E9860A, 78E9861Aのみ
3. パワーオン・クリアによるリセット時のみ04Hとなります。
4. μ PD789052サブシリーズのみ

4.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行することにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください）。

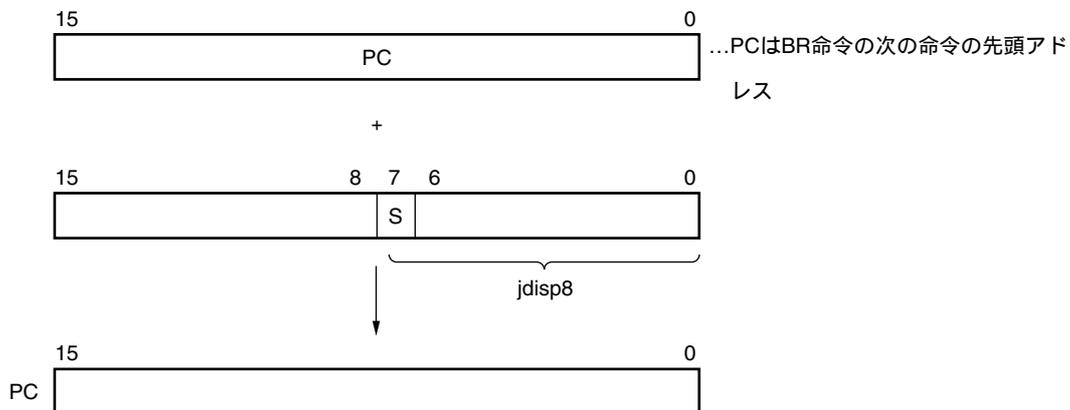
4.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するという事です。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0 のとき、 は全ビット 0

S = 1 のとき、 は全ビット 1

4.3.2 イミディエト・アドレッシング

【機能】

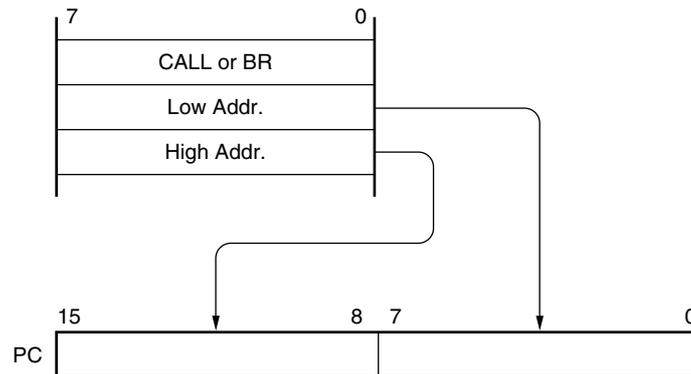
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

【図解】

CALL !addr16, BR !addr16命令の場合



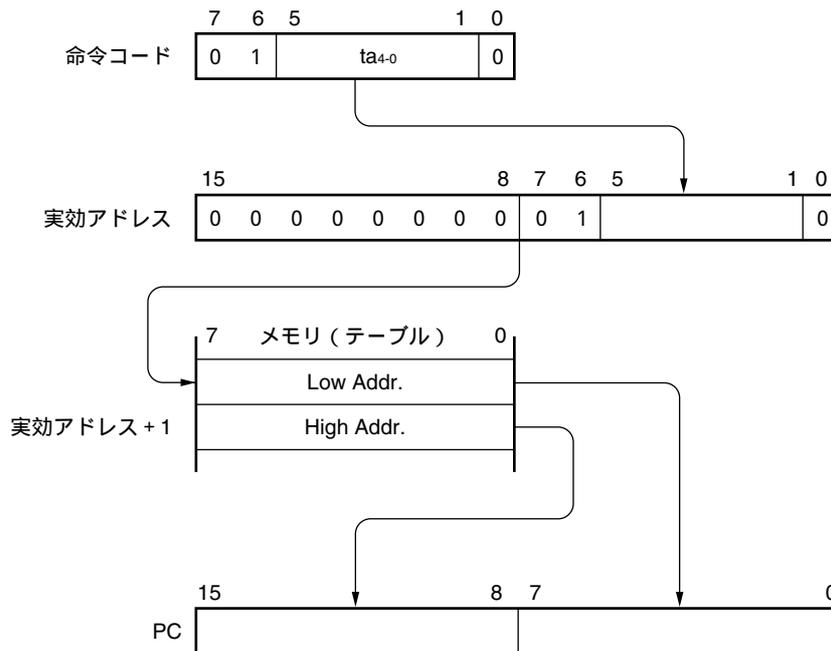
4.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



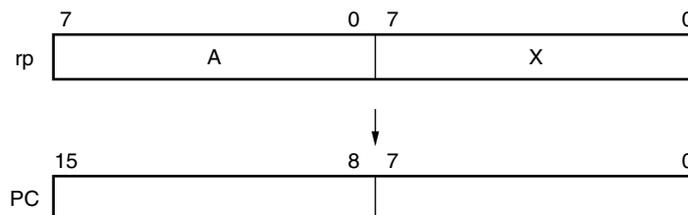
4.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



4.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

4.4.1 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

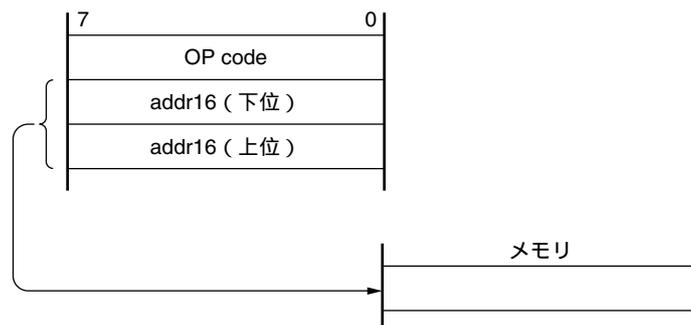
【記述例】

MOV A, !FE00H ; !addr16をFE00Hとする場合

命令コード

0 0 1 0 1 0 0 1	OPコード
0 0 0 0 0 0 0 0	0 0 H
1 1 1 1 1 1 1 0	F E H

【図解】



4.4.2 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

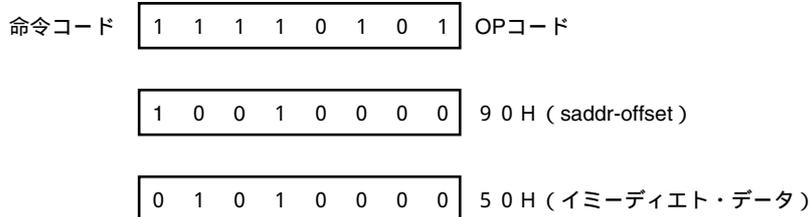
実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

【オペランド形式】

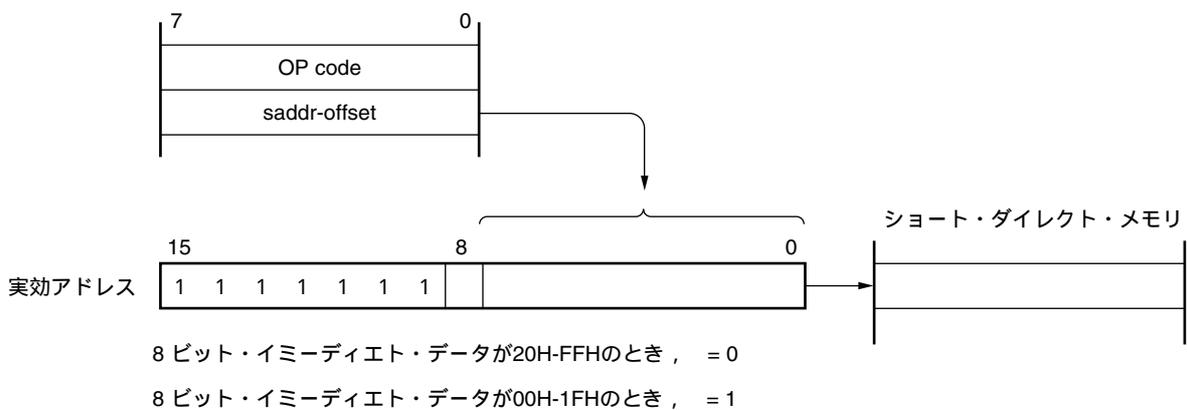
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV FE90H, #50H ; saddrをFE90H、イミディエト・データを50Hとする場合



【図解】



4.4.3 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

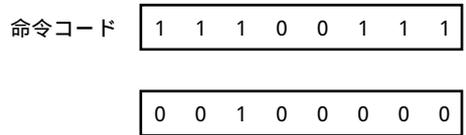
このアドレッシングが適用されるのはFF00H-FFFFHの256バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

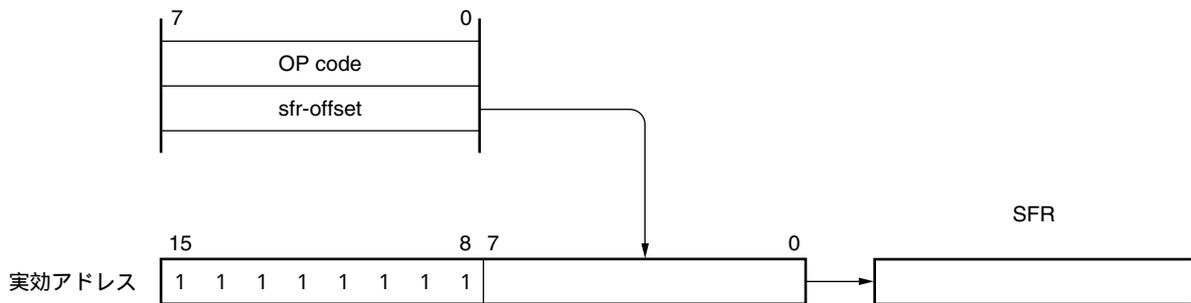
表現形式	記述方法
sfr	特殊機能レジスタ名

【記述例】

MOV PM0, A ; sfrにPM0を選択する場合



【図解】



4.4.4 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

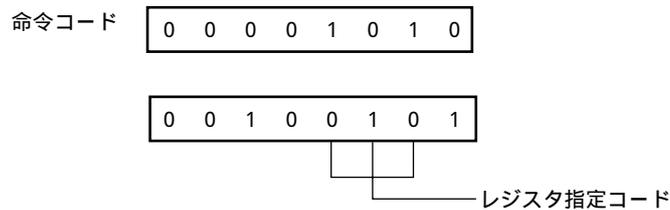
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

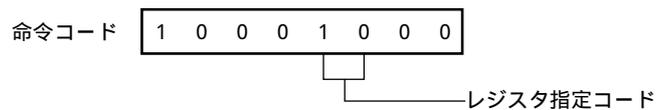
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



4.4.5 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

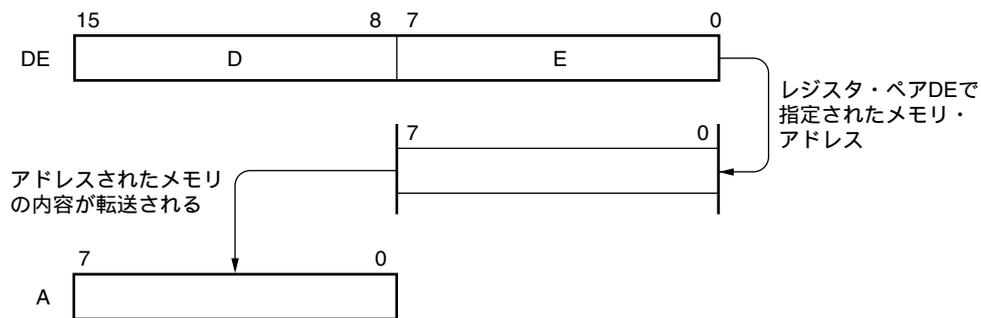
【記述例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード

0	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



4.4.6 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

0	0	1	0	1	1	0	1
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

4.4.7 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

【記述例】

PUSH DEの場合

命令コード

1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---

第5章 EEPROM(データ・メモリ)(μ PD78E9860A, 78E9861Aのみ)

5.1 メモリ空間

μ PD78E9860A, 78E9861Aは、データ・メモリとして、内部高速RAMのほかに、 32×8 ビットのEEPROM (Electrically Erasable PROM) を内蔵しています。

EEPROMは、通常のRAMとは異なり、電源を切ってもその内容を保持できます。また、EPROMとは異なり、紫外線を用いずに電気的な内容を消去することができます。

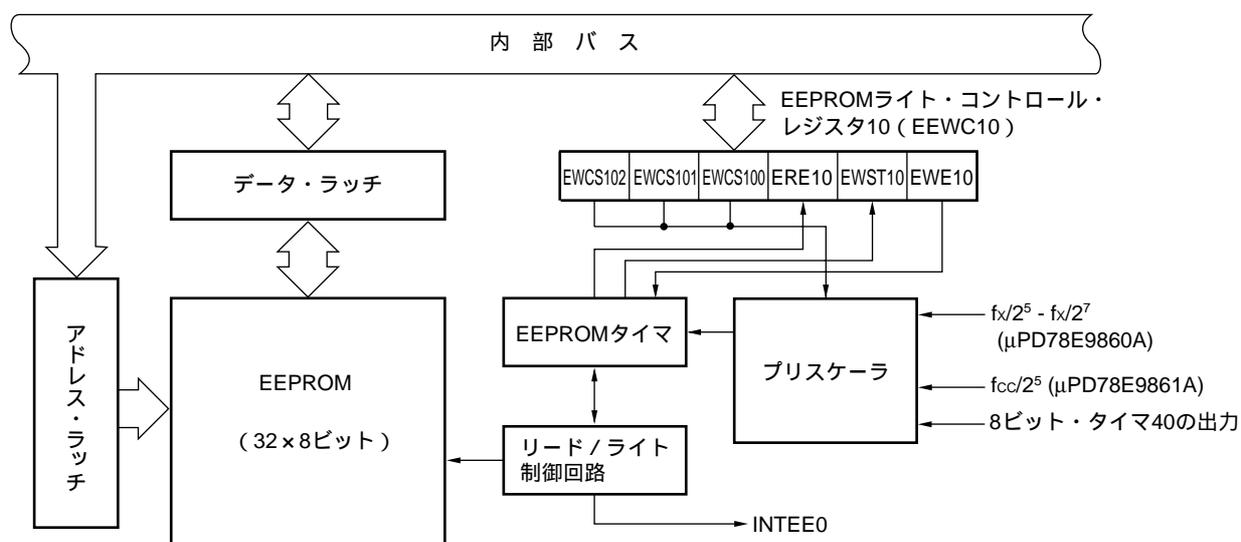
5.2 EEPROMの構成

EEPROMは、EEPROM本体と、コントロール部で構成されています。

コントロール部は、EEPROMの書き込みを制御するEEPROMライト・コントロール・レジスタ10 (EEWC10) と、書き込み終了を検出して割り込み要求信号 (INTEE0) を発生する部分で構成されています。

★

図5 - 1 EEPROMのブロック図



5.3 EEPROMを制御するレジスタ

EEPROMは、EEPROMライト・コントロール・レジスタ10 (EEWC10) で制御します。

EEWC10は、EEPROMのカウント・クロックの選択、EEPROMへの書き込みの制御などを設定するレジスタです。

EEWC10は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、08Hになります。

図5-2にEEPROMライト・コントロール・レジスタ10のフォーマット図を、表5-1、表5-2にEEPROM書き込み時間を示します。

図5-2 EEPROMライト・コントロール・レジスタ10のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
EEWC10	0	EWCS102	EWCS101	EWCS100	1	ERE10	EWST10	EWE10	FFD8H	08H	R/W ^{注1}

★

EWCS102	EWCS101	EWCS100	EEPROMタイマのカウント・クロックの選択	
0	1	0	$fx/2^5$ または $fcc/2^5$	($fx, fcc < 1.41$ MHzのときのみ設定可)
0	1	1	$fx/2^6$	($1.41 < fx < 2.81$ MHzのときのみ設定可)
1	0	0	$fx/2^7$	($fx > 2.81$ MHzのときのみ設定可)
1	1	0	8ビット・タイマ40の出力 ^{注2}	(ただし8ビット・タイマ40の動作モードを「単体モード」に設定してください。)
上記以外			設定禁止	

ERE10	EWE10	書き込み	読み出し	備考
0	0	禁止	禁止	EEPROMはスタンバイ状態 (低消費電力モード)
0	1	設定禁止		
1	0	禁止	許可	
1	1	許可	許可	

EWST10	EEPROMの書き込みステータス・フラグ
0	EEPROMへの書き込み中ではない (EEPROMへの書き込み / 読み出しが可能。ただし、EWE10 = 0のときは書き込み禁止)
1	EEPROMへの書き込み中 (EEPROMへの書き込み / 読み出しはできない)

注1. ビット1はRead Onlyです。

- ★
2. タイマ出力禁止 (TOE40=0) としているときでも、EEPROMには内部的にタイマ出力信号が供給されます。

注意 ビット3には必ず1を、ビット7には必ず0を設定してください。

備考1. fx : システム・クロック発振周波数 (セラミック / クリスタル発振)

2. fcc : システム・クロック発振周波数 (RC発振)

★ 表5 - 1 EEPROMの書き込み時間 (f_x = 5.0 MHz動作時)

EWCS102	EWCS101	EWCS100	EEPROMタイマのカウンタ・クロック	EEPROMへのデータ書き込み時間 ^{注1}
1	0	0	f _x /2 ⁷ (39.1 kHz)	2 ⁷ /f _x × 145 (3.71 ms)
1	1	0	8ビット・タイマ40の出力 ^{注2}	8ビット・タイマ40の出力 × 145
上記以外			設定禁止	

注1. EEPROM書き込み時間は必ず3.3 ~ 6.6 msの範囲内に設定してください。

2. タイマ出力禁止 (TOE40=0) としているときでも, EEPROMには内部的にタイマ出力信号が供給されます。

備考 f_x: システム・クロック発振周波数 (セラミック/クリスタル発振)

★ 表5 - 2 EEPROMの書き込み時間 (f_{cc} = 1.0 MHz動作時)

EWCS102	EWCS101	EWCS100	EEPROMタイマのカウンタ・クロック	EEPROMへのデータ書き込み時間 ^{注1}
0	1	0	f _{cc} /2 ⁵ (31.3 kHz)	2 ⁵ /f _{cc} × 145 (4.64 ms)
1	1	0	8ビット・タイマ40の出力 ^{注2}	8ビット・タイマ40の出力 × 145
上記以外			設定禁止	

注1. EEPROM書き込み時間は必ず3.3 ~ 6.6 msの範囲内に設定してください。

2. タイマ出力禁止 (TOE40=0) としているときでも, EEPROMには内部的にタイマ出力信号が供給されます。

備考 f_{cc}: システム・クロック発振周波数 (RC発振)

5.4 EEPROM書き込み時の注意事項

EEPROMへの書き込みに関する注意を次に示します。

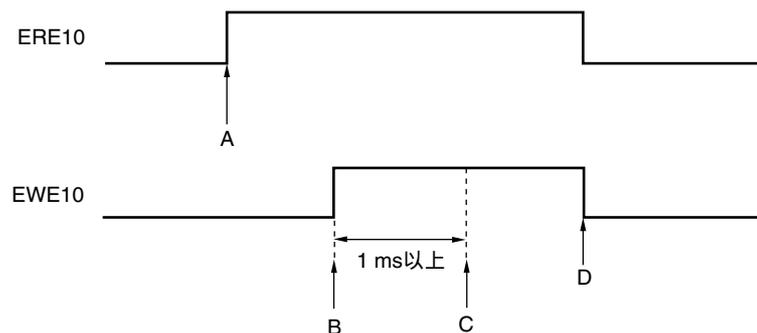
- (1) EEPROMから命令フェッチする場合、およびシステム・クロック発振回路を停止する場合には、必ずEEPROMへの書き込みを禁止に設定 ($EWE10 = 0$) してから行ってください。
- (2) カウント・クロックの設定は、選択するクロックが動作 (発振) している状態で行ってください。選択したカウント・クロックが停止していた場合、その後、クロックの動作を開始させ、EEPROMへの書き込み許可に設定 ($EWE10 = 1$) しても、書き込み可能状態に移りません。
- (3) EEPROMへの書き込み時間は、必ず3.3~6.6 msの範囲内に設定してください。
- (4) ERE10, EWE10をセットする場合は必ず次の手順で行ってください。次の手順以外で設定を行うとEEPROMへの書き込み可能状態に移りません。

ERE10 = 1に設定 (このときEWE10 = 0の状態である)

EWE10 = 1に設定 (このときERE10 = 1の状態である)

ソフトウェアで1 ms以上ウエイトする

EEPROMへの書き込み可能状態に移り



A (ERE10 = 1) : 読み出し可能な状態に移ります。

B (EWE10 = 1) : これ以前にカウント・クロックの設定を行ってください。

C : 書き込み可能な状態に移ります。

D : ERE10をクリア (ERE10 = 0) にするとEWE10もクリア (EWE10 = 0) されます。この状態で読み出し / 書き込みはできません。

- (5) EEPROMへの書き込みを行う際、EWST10 = 0であることを確認してから実行してください。EWST10 = 1のときEEPROMへの書き込みを実行しても、その命令は無視されます。

- (6) EEPROMへの書き込み中に次の動作を実行しないでください。実行した場合、そのアドレスのEEPROMセル値が不定になります。

- ・電源を立ち下げる
- ・リセットを実行する
- ・ERE10 = 0に設定する
- ・EWE10 = 0に設定する
- ・EEPROMタイマのカウント・クロックを切り替える

(7) EEPROMタイマのカウント・クロックにシステム・クロックの分周を選択して、EEPROMへの書き込み中であるとき、次の動作を実行しないでください。実行した場合、そのアドレスのEEPROMセル値が不定になります。

- ・ STOP命令を実行する

(8) EEPROMタイマのカウント・クロックに8ビット・タイマ40 (TM40) の出力を選択して、EEPROMへの書き込み中であるとき、次の動作を実行しないでください。実行した場合、そのアドレスのEEPROMセル値が不定になります。

- ・ STOP命令を実行する
- ・ 8ビット・タイマ40の動作モードを「単体モード」以外に設定する
- ・ 8ビット・タイマ40の動作を停止する

★

(9) EEPROMへの書き込み / 読み出しを行うとき、次の動作を実行しないでください。実行した場合、次に読み出すEEPROMのデータが不定になり、CPUが暴走する可能性があります。

- ・ ERE10 = 0に設定する
- ・ EEPROMへの書き込みを実行する

(10) EEPROMへの書き込み / 読み出しを行わない場合、ERE10 = 0に設定することで低消費モードにすることができます。ERE10 = 1の状態では、常に約0.27 mA ($V_{DD} = 3.6$ V)の電流が流れます。このとき、EEPROMからの読み出し命令を実行した場合には、さらに0.9 mAの電流が加わり約1.17 mA ($V_{DD} = 3.6$ V)の電流が流れます。ERE10 = 1, EWE10 = 1の状態では、常に約0.3 mA ($V_{DD} = 3.6$ V)の電流が流れます。このとき、EEPROMへの書き込み命令を実行した場合には、さらに0.7 mAの電流が加わり約1.0 mA ($V_{DD} = 3.6$ V)の電流が、EEPROMへの読み出し命令を実行した場合には、0.9 mAの電流が加わり約1.2 mA ($V_{DD} = 3.6$ V)の電流がそれぞれ流れます。

(11) STOP命令を実行した場合、ERE10, EWE10の設定にかかわらず、自動的に低消費電力モードになります。このとき、ERE10, EWE10の状態は保持されます。また、STOP解除時のウェイト時間中は約300 μ A ($V_{DD} = 3.6$ V)の電流が流れます。HALT命令を実行した場合は低消費電力モードになりません。

第6章 ポート機能

6.1 ポートの機能

μ PD789052, 789062サブシリーズは、表6 - 1に示すポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第3章 端子機能を参照してください。

表6 - 1 ポートの機能

名 称	端子名称	機 能
ポート0	P00-P07	入出力ポート。1ビット単位で入力 / 出力の指定可能。
ポート2	P20, P21	入出力ポート。1ビット単位で入力 / 出力の指定可能。
ポート4	P40-P43	入力専用ポート。マスクROM製品は、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。

6.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表6 - 2 ポートの構成

項 目	構 成
制御レジスタ	ポート・モード・レジスタ (PM _m : m = 0, 2)
ポート	合計: 14本 (CMOS入出力: 10本, CMOS入力: 4本)
プルアップ抵抗	マスクROM製品: 4本 (マスク・オプション制御のみ) EEPROM製品 : なし

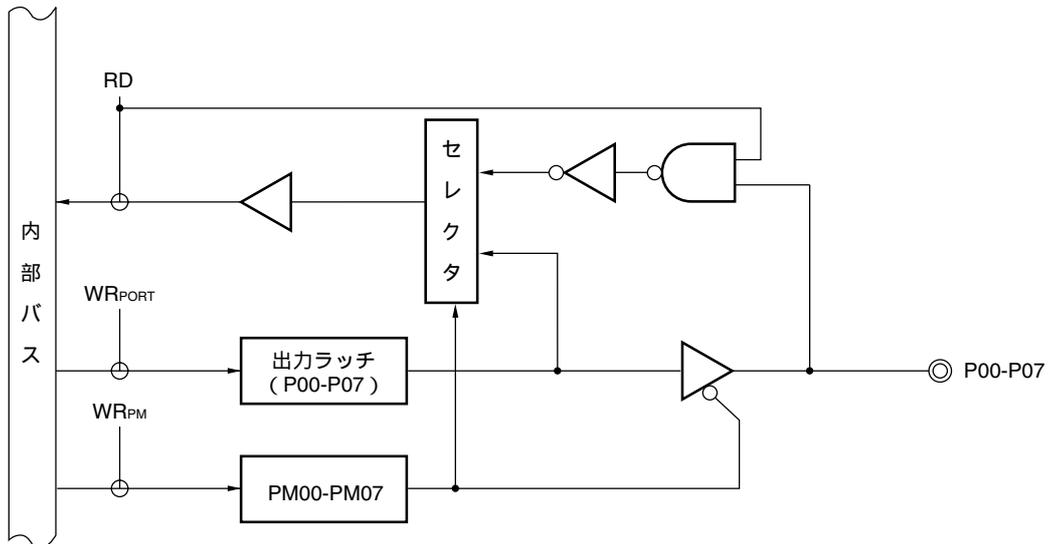
6.2.1 ポート0

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。

$\overline{\text{RESET}}$ 入力により, 入力モードになります。

図6 - 1にポート0のブロック図を示します。

図6 - 1 P00-P07のブロック図



- PM : ポート・モード・レジスタ
- RD : ポート0のリード信号
- WR : ポート0のライト信号

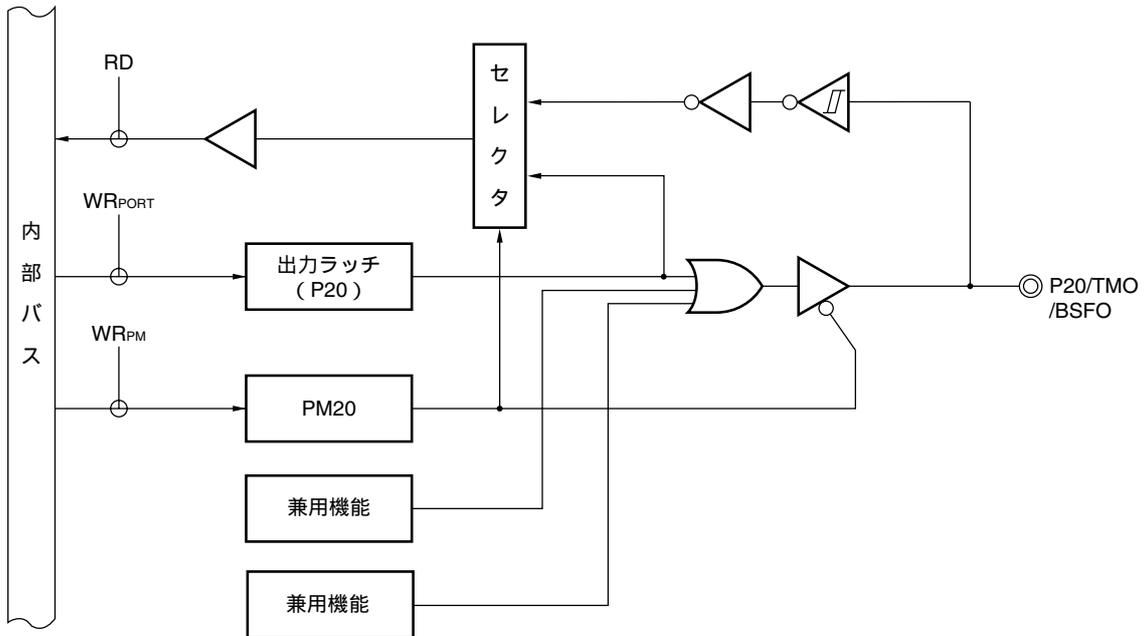
6.2.2 ポート2

出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。

$\overline{\text{RESET}}$ 入力により, 入力モードになります。

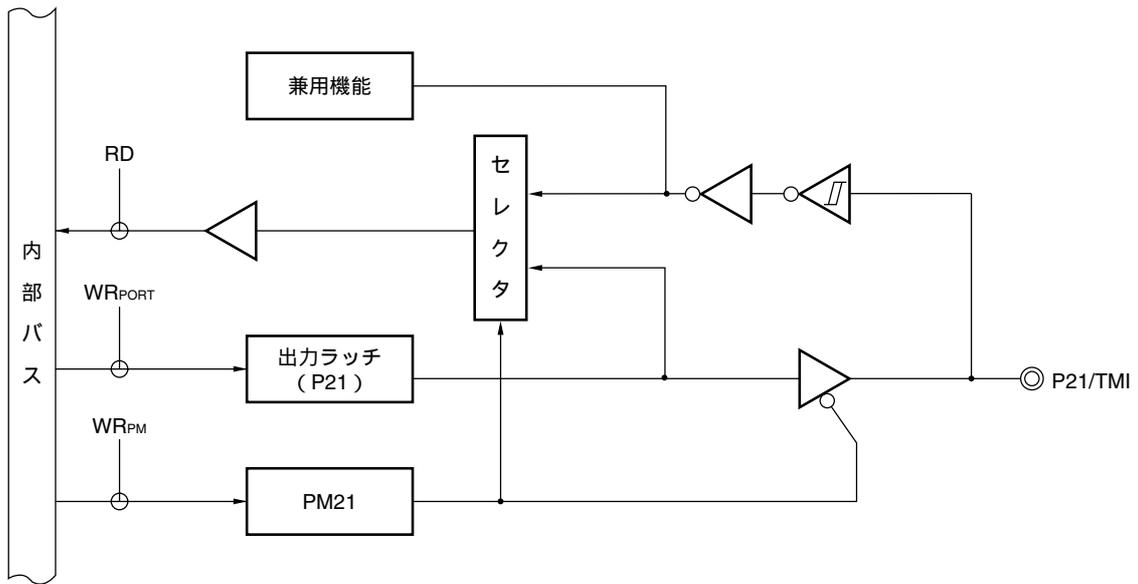
図6 - 2 , 図6 - 3にポート2のブロック図を示します。

図6 - 2 P20のブロック図



- PM : ポート・モード・レジスタ
- RD : ポート2のリード信号
- WR : ポート2のライト信号

図6 - 3 P21のブロック図



PM : ポート・モード・レジスタ
 RD : ポート2のリード信号
 WR : ポート2のライト信号

6.2.3 ポート4

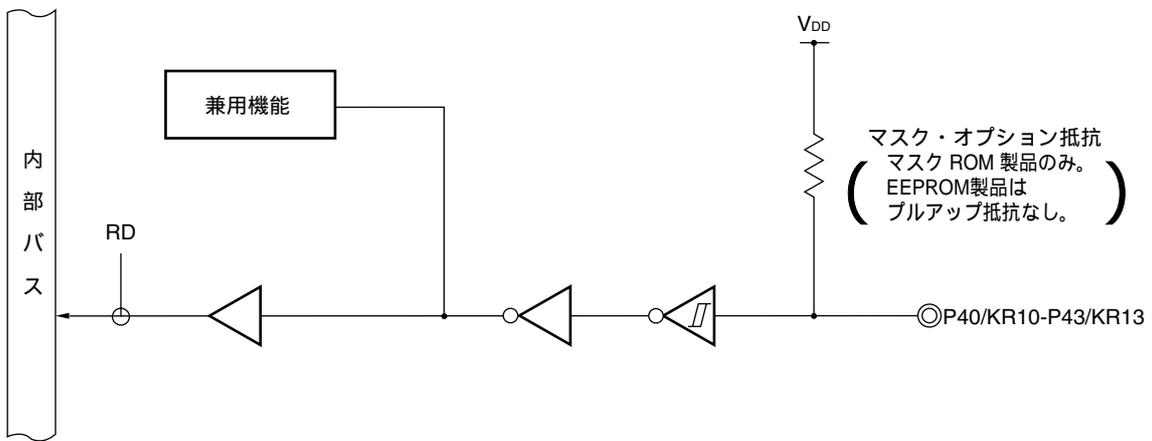
4ビット入力専用ポートです。マスクROM製品はマスク・オプションにより、プルアップ抵抗の内蔵を指定できます。

また、兼用機能としてキー・リターン入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6 - 4にポート4のブロック図を示します。

図6 - 4 P40-P43のブロック図



RD : ポート4のリード信号

6.3 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

・ポート・モード・レジスタ (PM0, PM2)

(1) ポート・モード・レジスタ (PM0, PM2)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表6-3のように設定してください。

図6-5 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM2	1	1	1	1	1	1	PM21	PM20	FF22H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 2 n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

表6-3 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定

端子名称	兼用機能		PMxx	Pxx
	名称	入出力		
P20	TMO	出力	0	0
	BSFO	出力	0	0
P21	TMI	入力	1	x

備考 x : don't care

PMxx : ポート・モード・レジスタ

Pxx : ポートの出力ラッチ

6.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

6.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

6.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

6.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第7章 クロック発生回路 (μ PD789052サブシリーズ)

7.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発生回路には、次の1種類があります。

- ・システム・クロック（クリスタル/セラミック）発振回路
1.0 ~ 5.0 MHzの周波数を発振します。STOP命令の実行により、発振を停止できます。

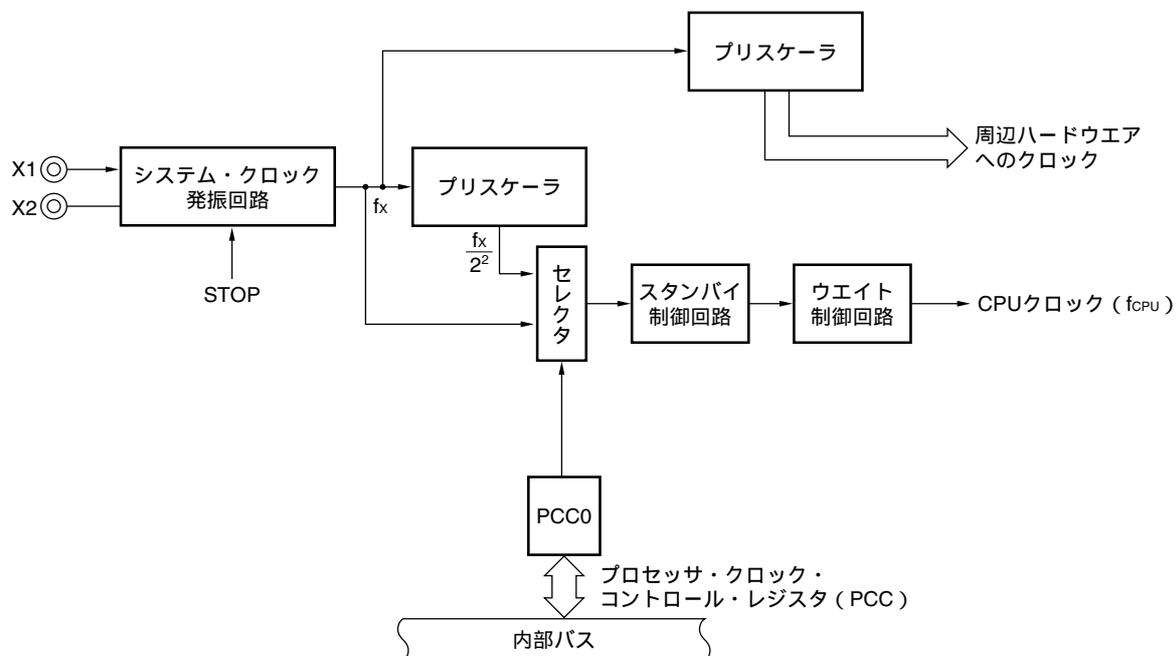
7.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表7-1 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC)
発振回路	クリスタル/セラミック発振回路

図7-1 クロック発生回路のブロック図



7.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- ・ プロセッサ・クロック・コントロール・レジスタ (PCC)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択，分周比を設定するレジスタです。

PCCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，02Hになります。

図7-2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	0	0	0	0	0	0	PCC0	0	FFFBH	02H	R/W

PCC0	CPUクロック (f _{CPU}) の選択		最小命令実行時間：2/f _{CPU}
			f _x = 5.0 MHz動作時
0	f _x	0.4 μs	
1	f _x /2 ²	1.6 μs	

注意 ビット0，ビット2-7には必ず0を設定してください。

備考 f_x：システム・クロック発振周波数

7.4 システム・クロック発振回路

7.4.1 システム・クロック発振回路

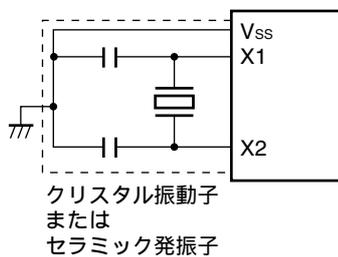
システム・クロック発振回路はX1, X2端子に接続されたクリスタル振動子またはセラミック発振子（標準：5.0 MHz）によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

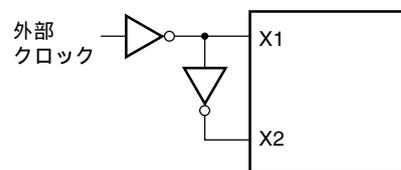
図7-3にシステム・クロック発振回路の外付け回路を示します。

図7-3 システム・クロック発振回路の外付け回路

(a) クリスタル, セラミック発振



(b) 外部クロック



注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図7-3の破線の部分を次のように配線してください。

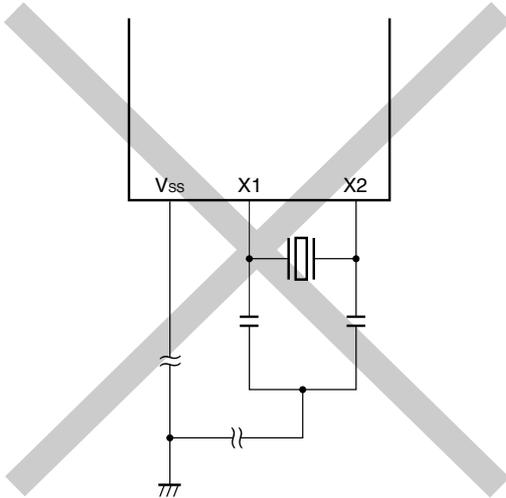
- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

7.4.2 発振子の接続の悪い例

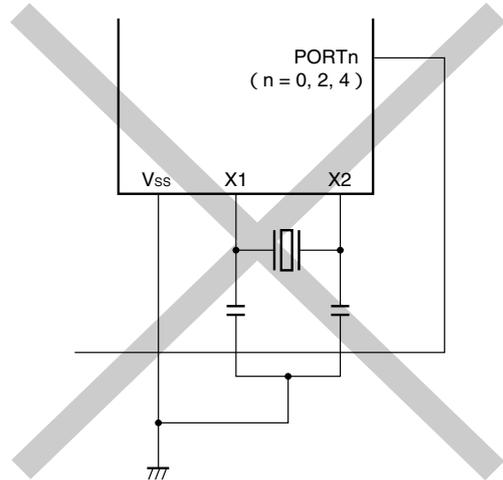
図7-4に発振子の接続の悪い例を示します。

図7-4 発振子の接続の悪い例 (1/2)

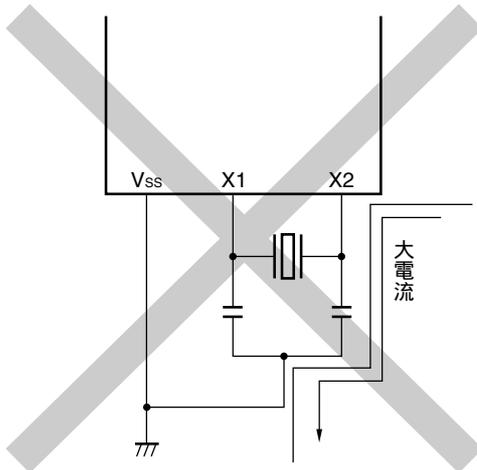
(a) 接続回路の配線が長い



(b) 信号線が交差している



(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグラウンド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)

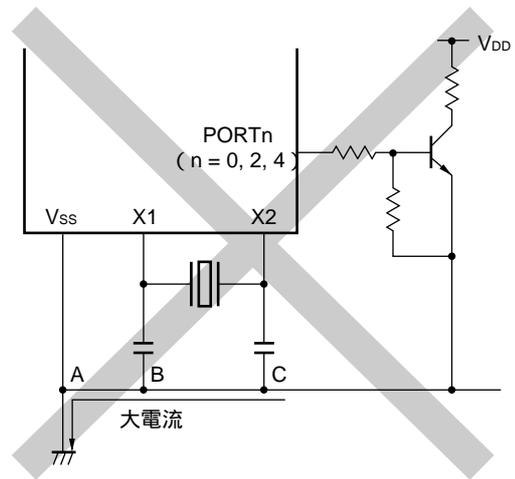
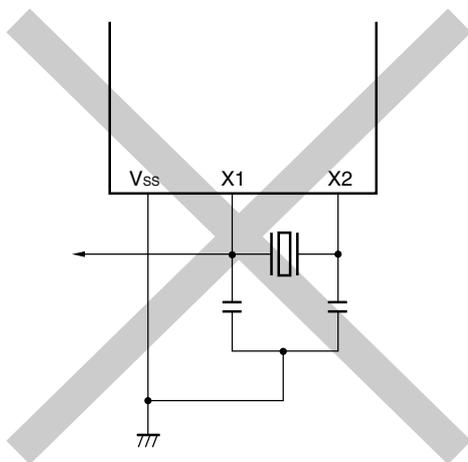


図7-4 発振子の接続の悪い例 (2/2)

(e) 信号を取り出している



7.4.3 分周回路

分周回路は、システム・クロック発振回路出力 (fx) を分周して、各種クロックを生成します。

7.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・システム・クロック f_x
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) により決定され、次のような機能、動作となります。

- (a) $\overline{\text{RESET}}$ 信号発生によりシステム・クロックの低速モード ($1.6 \mu\text{s} : 5.0 \text{ MHz}$ 動作時) が選択されます (PCC = 02H)。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、システム・クロックの発振は停止します。
- (b) PCCの設定により2段階の最小命令実行時間 ($0.4 \mu\text{s}$, $1.6 \mu\text{s} : 5.0 \text{ MHz}$ 動作時) を選択することができます。
- (c) STOPモード、HALTモードの2つのスタンバイ・モードが使用できます。
- (d) 周辺ハードウェアへのクロックはシステム・クロックを分周して供給されます。このため、システム・クロックを停止させたときは周辺ハードウェアも停止します (ただし、外部からの入力クロック動作は除く)。

7.6 CPUクロックの設定の変更

7.6.1 CPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット1 (PCC0) により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します (表7-2参照)。

表7-2 CPUクロックの切り替えに要する最大時間

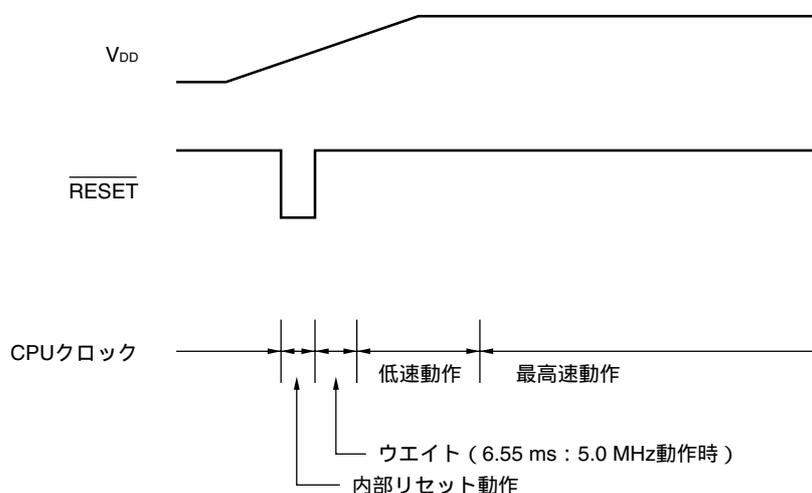
切り替え前の設定値	切り替え後の設定値	
PCC0	PCC0	PCC0
	0	1
0		4クロック
1	2クロック	

備考 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

7.6.2 CPUクロックの切り替え手順

CPUクロックの切り替えについて説明します。

図7-5 CPUクロックの切り替え



電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^{15}/f_x$) を確保します。

その後、CPUはシステム・クロックの低速 ($1.6 \mu\text{s} : 5.0 \text{ MHz}$ 動作時) で命令の実行を開始します。

VDD電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) を書き換えて最高速動作を行います。

第8章 クロック発生回路 (μ PD789062サブシリーズ)

8.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発生回路には、次の1種類があります。

- ・システム・クロック (RC) 発振回路

1.0 MHz \pm 15 %の周波数を発振します。STOP命令の実行により、発振を停止できます。

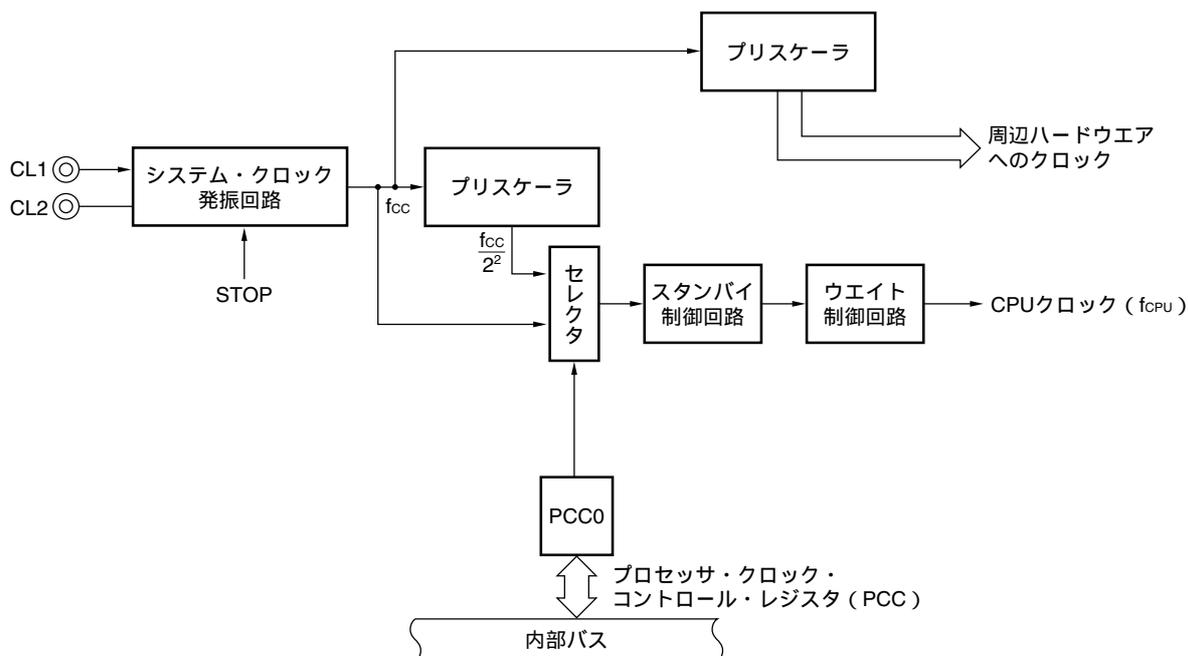
8.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表8 - 1 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC)
発振回路	RC発振回路

図8 - 1 クロック発生回路のブロック図



8.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ (PCC)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択，分周比を設定するレジスタです。

PCCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，02Hになります。

図8-2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	0	0	0	0	0	0	PCC0	0	FFF BH	02 H	R/W

PCC0	CPUクロック (f _{CPU}) の選択		最小命令実行時間：2/f _{CPU}
			f _{cc} = 1.0 MHz動作時
0	f _{cc}		2.0 μs
1	f _{cc} /2 ²		8.0 μs

注意 ビット0, 2-7には必ず0を設定してください。

備考 f_{cc} : システム・クロック発振周波数

8.4 システム・クロック発振回路

8.4.1 システム・クロック発振回路

システム・クロック発振回路はCL1, CL2端子に接続された抵抗 (R) とコンデンサ (C) (標準: 1.0 MHz) によって発振します。

また, 外部クロックを入力することもできます。その場合, CL1端子にクロック信号を入力し, CL2端子には, その反転した信号を入力してください。

図8-3にシステム・クロック発振回路の外付け回路を示します。

図8-3 システム・クロック発振回路の外付け回路



注意 システム・クロック発振回路を使用する場合は, 配線容量などの影響を避けるために, 図8-3の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また, 変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は, 常に V_{SS} と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

8.4.2 発振子の接続の悪い例

図8 - 4に発振子の接続の悪い例を示します。

図8 - 4 発振子の接続の悪い例 (1/2)

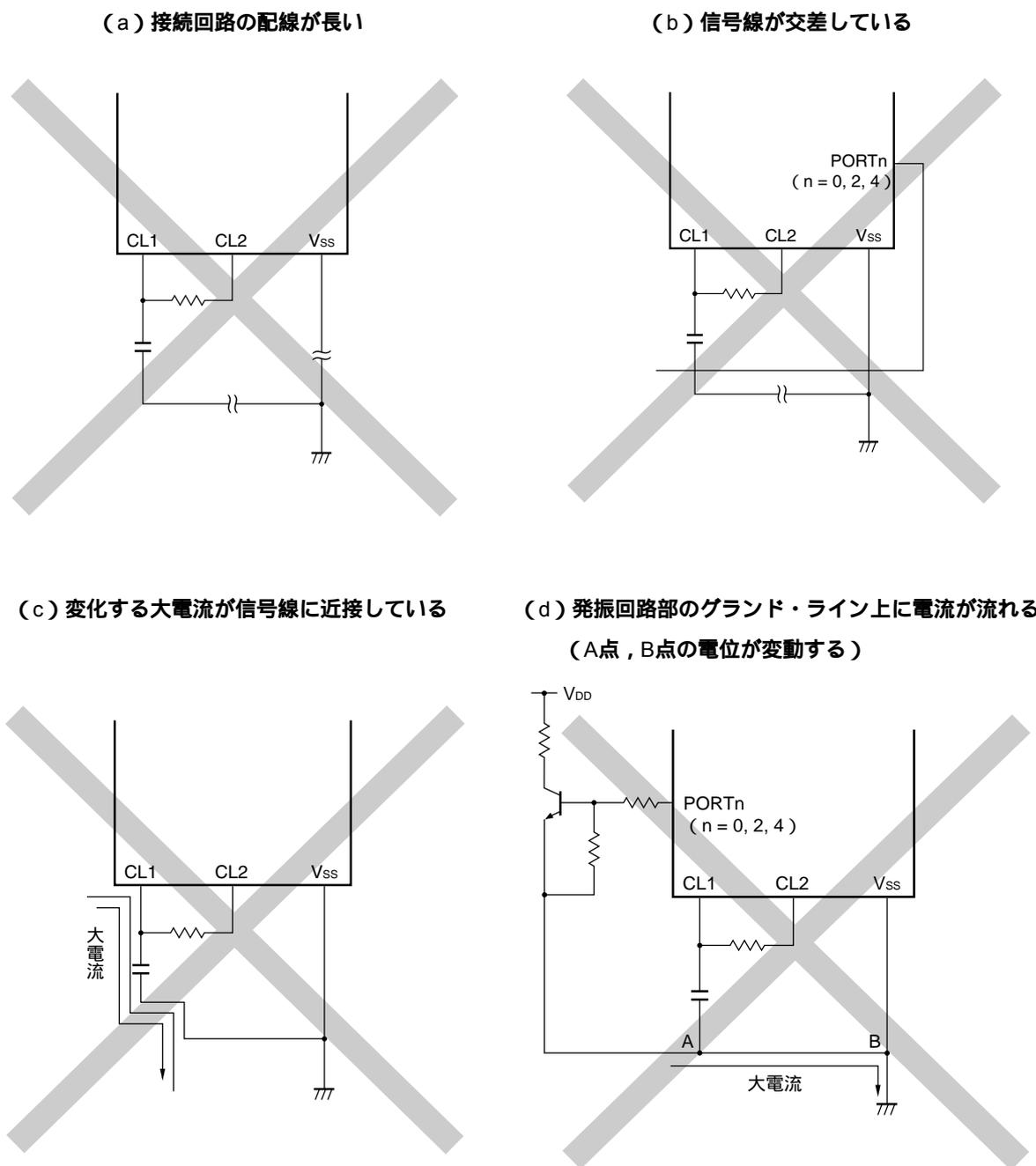
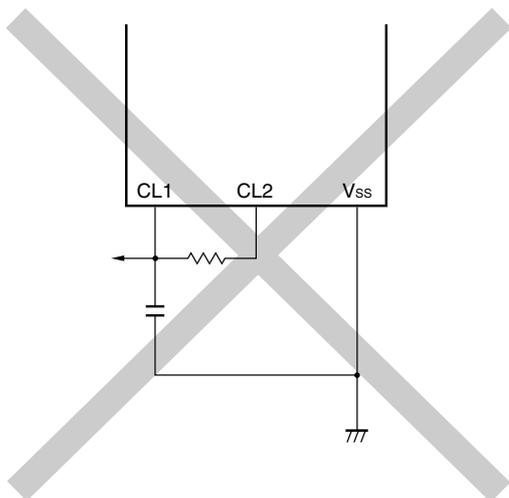


図8 - 4 発振子の接続の悪い例 (2/2)

(e) 信号を取り出している



8.4.3 分周回路

分周回路は、システム・クロック発振回路出力 (fcc) を分周して、各種クロックを生成します。

8.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・システム・クロック f_{CC}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) により決定され、次のような機能、動作となります。

- (a) \overline{RESET} 信号発生によりシステム・クロックの低速モード ($8.0 \mu s : 1.0 \text{ MHz}$ 動作時) が選択されます (PCC = 02H)。なお、 \overline{RESET} 端子にロウ・レベルを入力している間、システム・クロックの発振は停止します。
- (b) PCCの設定により2段階の最小命令実行時間 ($2.0 \mu s, 8.0 \mu s : 1.0 \text{ MHz}$ 動作時) を選択することができます。
- (c) STOPモード、HALTモードの2つのスタンバイ・モードが使用できます。
- (d) 周辺ハードウェアへのクロックはシステム・クロックを分周して供給されます。このため、システム・クロックを停止させたときは周辺ハードウェアも停止します (ただし、外部からの入力クロック動作は除く)。

8.6 CPUクロックの設定の変更

8.6.1 CPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット1 (PCC0) により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します (表8-2参照)。

表8-2 CPUクロックの切り替えに要する最大時間

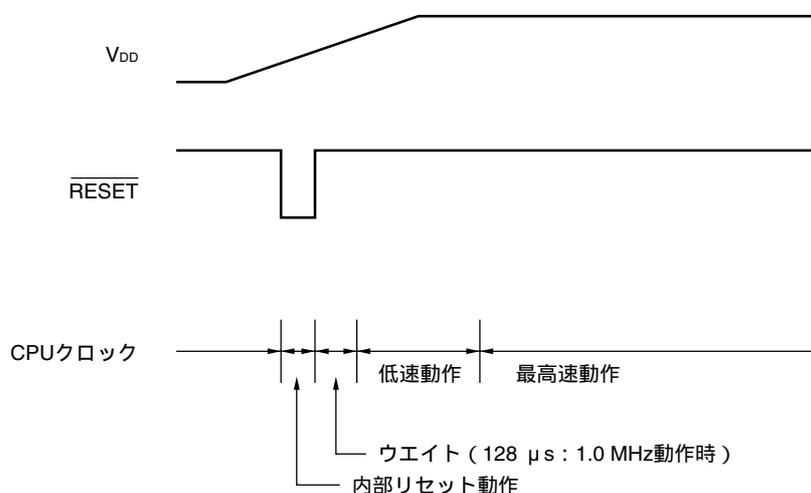
切り替え前の設定値 PCC0	切り替え後の設定値	
	PCC0	PCC0
	0	1
0	2クロック	4クロック
1		

備考 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

8.6.2 CPUクロックの切り替え手順

CPUクロックの切り替えについて説明します。

図8-5 CPUクロックの切り替え



電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^7/f_{CC}$) を確保します。

その後、CPUはシステム・クロックの低速 ($8.0 \mu\text{s} : 1.0 \text{MHz}$ 動作時) で命令の実行を開始します。 V_{DD} 電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) を書き換えて最高速動作を行います。

第9章 8ビット・タイマ30, 40

9.1 8ビット・タイマ30, 40の機能

μ PD789052, 789062サブシリーズは8ビット・タイマを1チャンネル(タイマ30), 8ビット・タイマ/イベント・カウンタを1チャンネル(タイマ40)内蔵しています。モード・レジスタの設定により次の表に示す動作モードが可能です。

表9-1 モード一覧

モード \ チャンネル	タイマ30	タイマ40
8ビット・タイマ・カウンタ・モード (単体モード)		
16ビット・タイマ・カウンタ・モード (カスケード接続モード)		
キャリア・ジェネレータ・モード		
PWM出力モード	x	

(1) 8ビット・タイマ・カウンタ・モード(単体モード)

次のような機能を使用できます。

- ・ 8ビット分解能のインターバル・タイマ
- ・ 8ビット分解能の外部イベント・カウンタ(タイマ40のみ)
- ・ 8ビット分解能の方形波出力(タイマ40のみ)

(2) 16ビット・タイマ・カウンタ・モード(カスケード接続モード)

カスケード接続することにより, 16ビット・タイマ/イベント・カウンタとして動作します。
次のような機能を使用できます。

- ・ 16ビット分解能のインターバル・タイマ
- ・ 16ビット分解能の外部イベント・カウンタ
- ・ 16ビット分解能の方形波出力

(3) キャリア・ジェネレータ・モード

タイマ40で生成されるキャリア・クロックをタイマ30で設定した周期で出力します。

(4) PWM出力モード(タイマ40のみ)

タイマ40で設定した任意のデューティ比のパルスを出力します。

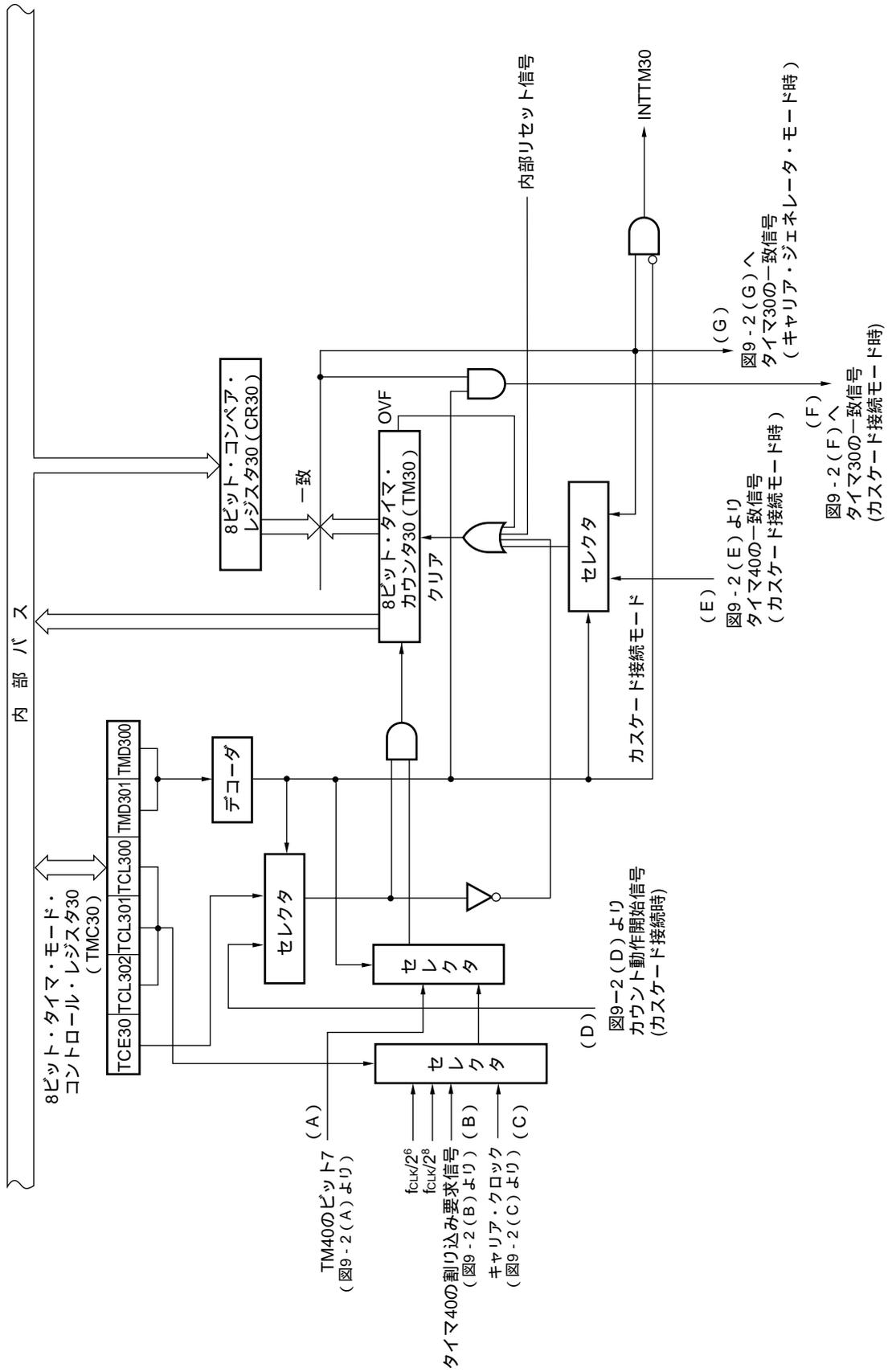
9.2 8ビット・タイマ30, 40の構成

8ビット・タイマは、次のハードウェアで構成しています。

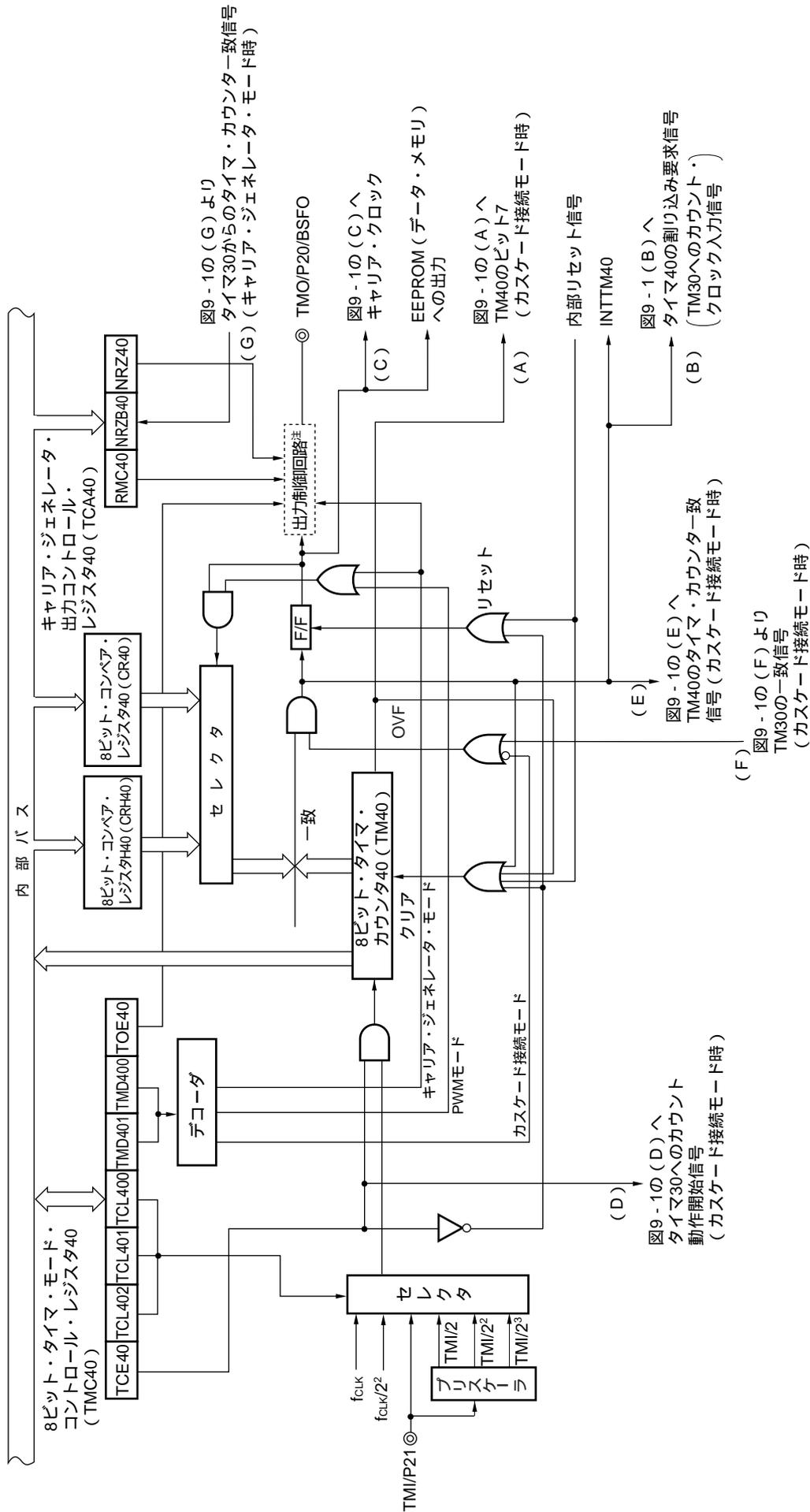
表9 - 2 8ビット・タイマ30, 40の構成

項 目	構 成
タイマ・カウンタ	8ビット×2本 (TM30, TM40)
レジスタ	コンペア・レジスタ : 8ビット×3本 (CR30, CR40, CRH40)
タイマ出力	1本 (TMO)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30) 8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40) キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40) ポート・モード・レジスタ2 (PM2) ポート2 (P2)

図9-1 タイマ30のブロック図



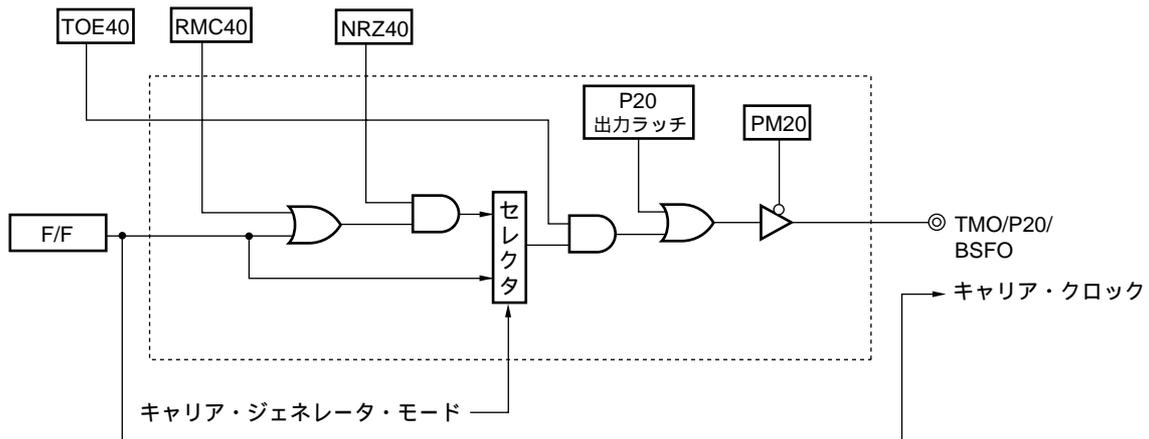
★ 図9-2 タイマ40のブロック図



注 詳細については図9-3を参照してください。

備考 f_{CLK} : fxまたはf_{CC}

図9-3 出力制御回路(タイマ40)のブロック図



(1) 8ビット・コンペア・レジスタ30 (CR30)

CR30に設定した値と8ビット・タイマ・カウンタ30 (TM30) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM30) を発生する8ビットのレジスタです。

CR30は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 PWM出力モード時、CR30は使用しません。

(2) 8ビット・コンペア・レジスタ40 (CR40)

CR40に設定した値と8ビット・タイマ・カウンタ40 (TM40) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM40) を発生する8ビットのレジスタです。また、TM30とカスケード接続して、16ビット・タイマ/イベント・カウンタとして使用する場合、CR30とTM30、CR40とTM40が同時に一致した場合のみ割り込み要求 (INTTM40) が発生します (INTTM30は発生しません)。

キャリア・ジェネレータ/PWM出力モード時は、タイマ出力のロウ・レベル幅を設定します。

CR40は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(3) 8ビット・コンペア・レジスタH40 (CRH40)

キャリア・ジェネレータ/PWM出力モード時、CRH40に値を書き込むことにより、タイマ出力のハイ・レベル幅を設定します。

CRH40に設定した値とTM40のカウント値を常に比較し、一致したときに割り込み要求 (INTTM40) を発生します。

CRH40は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(4) 8ビット・タイマ・カウンタ30, 40 (TM30, TM40)

カウント・パルスをカウントする8ビットのレジスタです。

TM30, TM40は、それぞれ8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、それぞれ00Hになります。

TM30, TM40が00Hにクリアされる条件を次に示します。

(a) 単体モード**(i) TM30の場合**

- ・リセット
- ・TCE30 (8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30) のビット7) を0にクリア
- ・TM30とCR30の一致
- ・TM30のカウント値のオーバーフロー

(ii) TM40の場合

- ・リセット
- ・TCE40 (8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40) のビット7) を0にクリア
- ・TM40とCR40の一致
- ・TM40のカウント値のオーバーフロー

(b) カスケード接続モード (TM30, TM40同時に00Hにクリア)

- ・リセット
- ・TCE40フラグを0にクリア
- ・TM30とCR30およびTM40とCR40が同時に一致したとき
- ・TM30とTM40のカウント値が同時にオーバーフロー

(c) キャリア・ジェネレータ/PWM出力モード (TM40のみ)

- ・リセット
- ・TCE40フラグを0にクリア
- ・TM40とCR40の一致
- ・TM40とCRH40の一致
- ・TM40のカウント値のオーバーフロー

9.3 8ビット・タイマ30, 40を制御するレジスタ

8ビット・タイマは、次の5種類のレジスタで制御します。

- ・8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30)
- ・8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40)
- ・キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40)
- ・ポート・モード・レジスタ2 (PM2)
- ・ポート2 (P2)

(1) 8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30)

8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30) は、タイマ30のカウンタ・クロックの設定、および動作モードの設定を制御するレジスタです。

TMC30は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図9-4 8ビット・タイマ・モード・コントロール・レジスタ30のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC30	TCE30	0	TCL302	TCL301	TCL300	TMD301	TMD300	0	FF52H	00H	R/W

TCE30	TM30のカウンタ動作の制御 ^{注1}
0	TM30のカウンタ値をクリアし、動作停止
1	カウンタ動作開始

TCL302	TCL301	TCL300	タイマ30のカウンタ・クロックの選択	
			$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 1.0 \text{ MHz}$ 動作時
0	0	0	$f_x/2^6$ (78.1 kHz)	$f_{cc}/2^6$ (15.6 kHz)
0	0	1	$f_x/2^8$ (19.5 kHz)	$f_{cc}/2^8$ (3.91 kHz)
0	1	0	タイマ40一致信号	
0	1	1	タイマ40で作成したキャリア・クロック	
上記以外			設定禁止	

TMD301	TMD300	TMD401	TMD400	タイマ30, タイマ40の動作モードの選択 ^{注2}
0	0	0	0	単体モード
0	1	0	1	カスケード接続モード
0	0	1	1	キャリア・ジェネレータ・モード
0	0	1	0	PWM出力モード
上記以外				設定禁止

注1. カスケード接続モード時ではTCE40 (TMC40のビット7) でカウンタ動作を制御するため、TCE30に設定しても無視されます。

2. 動作モードの選択は、TMC30とTMC40の両方のレジスタを組み合わせて設定します。

注意1. ビット0, 6には、必ず0を設定してください。

2. カスケード接続モード時では、カウンタ・クロックは強制的にタイマ40出力信号が選択されます。

備考1. f_x : システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{cc} : システム・クロック発振周波数 (RC発振)

(2) 8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40)

8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40) は、タイマ40のカウンタ・クロックの設定、および動作モードの設定を制御するレジスタです。

TMC40は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図9-5 8ビット・タイマ・モード・コントロール・レジスタ40のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC40	TCE40	0	TCL402	TCL401	TCL400	TMD401	TMD400	TOE40	FF56H	00H	R/W

TCE40	TM40のカウンタ動作の制御 ^{注1}
0	TM40のカウンタ値をクリアし、動作停止 (カスケード接続モード時ではTM30も同時にカウンタ値をクリア)
1	カウンタ動作開始 (カスケード接続モード時ではTM30も同時にカウンタ動作開始)

TCL402	TCL401	TCL400	タイマ40のカウンタ・クロックの選択	
			$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 1.0 \text{ MHz}$ 動作時
0	0	0	$f_x (5.0 \text{ MHz})$	$f_{cc} (1.0 \text{ MHz})$
0	0	1	$f_x/2^2 (1.25 \text{ MHz})$	$f_{cc}/2^2 (250 \text{ kHz})$
0	1	0	f_{TMI}	
0	1	1	$f_{TMI}/2$	
1	0	0	$f_{TMI}/2^2$	
1	0	1	$f_{TMI}/2^3$	

TMD301	TMD300	TMD401	TMD400	タイマ30, タイマ40の動作モードの選択 ^{注2}
0	0	0	0	単体モード
0	1	0	1	カスケード接続モード
0	0	1	1	キャリア・ジェネレータ・モード
0	0	1	0	PWM出力モード
上記以外				設定禁止

TOE40	タイマ出力の制御
0	出力禁止
1	出力許可 (ポート・モード)

注1. カスケード接続モード時ではTCE40でカウンタ動作を制御するため、TCE30 (TMC30のビット7) に設定しても無視されます。

2. 動作モードの選択は、TMC30とTMC40の両方のレジスタを組み合わせて設定します。

注意 ビット6には、必ず0を設定してください。

備考1. f_x : システム・クロック発振周波数 (セラミック / クリスタル発振)

2. f_{cc} : システム・クロック発振周波数 (RC発振)

3. f_{TMI} : TMI/P21端子から入力される外部クロック

(3) キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40)

キャリア・ジェネレータ・モード時においてタイマ出力データを設定するレジスタです。

TCA40は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図9-6 キャリア・ジェネレータ出力コントロール・レジスタ40のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCA40	0	0	0	0	0	RMC40	NRZB40	NRZ40	FF57H	00H	W

RMC40	リモコン出力の制御
0	NRZ40 = 1のとき、TMO/P20/BSFO端子にキャリア・パルスを出力する
1	NRZ40 = 1のとき、TMO/P20/BSFO端子にハイ・レベルを出力する

NRZB40	次に出力するNRZ40のデータを格納するビット。タイマ30の一致信号の立ち上がりエッジで、NRZ40にデータを転送します。NRZB40にはあらかじめプログラムによって必要な値を入力しておいてください。
0	
1	

NRZ40	ノー・リターン・ゼロ・データ
0	ロウ・レベルを出力する(キャリア・クロックは停止)
1	キャリア・パルスまたはハイ・レベルを出力する

注意1. ビット3-7には、必ず0を設定してください。

- TCA40は、1ビット・メモリ操作命令を使用できません。必ず8ビット・メモリ操作命令で設定してください。
- NRZ40フラグはキャリア・ジェネレータ出力停止 (TOE40 = 0) 時のみ書き換え可能です。TOE40 = 1のときに書き込み命令を実行してもデータは書き換わりません。
- キャリア・ジェネレータ動作をいったん停止し、その後再度キャリア・ジェネレータ動作にすると、NRZB40は以前のデータを保持していませんので再設定してください。また、このときも1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令で設定してください。
- キャリア・ジェネレータ・モードの動作許可する場合は、事前にコンペア・レジスタ (CR30, CR40, CRH40) に値を設定し、NRZB40フラグとNRZ40フラグに必要な値を入力してから動作開始してください。さもないと、タイマー一致回路の信号が不定となり、NRZ40フラグが不定になってしまいます。
- μ PD78E9860, 78E9861の場合は、次の制限事項があるので注意してください(マスクROM製品および μ PD78E9860A, 78E9861Aは該当しません)。
 - INTTM30 (タイマ30の一致信号による割り込み) が出力されている期間は、TCA40へのアクセスは禁止です。
 - 8ビット・タイマ・カウンタ30 (TM30) が00Hのときは、TCA40へのアクセスは禁止です。もしTM30 = 00Hのときにアクセスする場合は、TM30カウント・クロックの1/2周期以上ウエイトしてからTCA40を書き換えてください。

(4) ポート・モード・レジスタ2 (PM2)

ポート2の入力 / 出力を1ビット単位で設定するレジスタです。

P20/TMO/BSFO端子をタイマ出力として使用するときはPM20およびP20の出力ラッチに0を設定してください。

P21/TMI端子をタイマ入力として使用するときはPM21に1を設定してください。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図9-7 ポート・モード・レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM2	1	1	1	1	1	1	PM21	PM20	FF22H	FFH	R/W

PM2m	P2m端子の入出力モード (m = 0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

9.4 8ビット・タイマ30, 40の動作

9.4.1 8ビット・タイマ・カウンタ・モードとしての動作

タイマ30, タイマ40はそれぞれ独立して8ビット・タイマ・カウンタ・モードとして使用できます。

8ビット・タイマ・カウンタ・モードでは次のような機能を使用できます。

- ・8ビット分解能のインターバル・タイマ
- ・8ビット分解能の外部イベント・カウンタ (タイマ40のみ)
- ・8ビット分解能の方形波出力 (タイマ40のみ)

(1) 8ビット分解能のインターバル・タイマ

8ビット分解能のインターバル・タイマは, あらかじめ8ビット・コンペア・レジスタn0 (CRn0) に設定したカウント値をインターバルとし, 繰り返し割り込みを発生させることができます。

8ビット・タイマn0をインターバル・タイマとして動作させるには次の設定をします。

8ビット・タイマ・カウンタn0 (TMn0) を動作禁止 (TCEn0 = 0) に設定

TMOのタイマ出力を禁止 (TOE40 = 0) に設定^注

CRn0にカウント値を設定

タイマn0の動作モードを8ビット・タイマ・カウンタ・モードに設定 (図9 - 4, 図9 - 5参照)

タイマn0のカウント・クロックを設定 (表9 - 3 ~ 表9 - 6参照)

TMn0を動作許可 (TCEn0 = 1) に設定

8ビット・タイマ・カウンタn0 (TMn0) のカウント値がCRn0に設定した値と一致したとき, TMn0の値を00Hにクリアしてカウントを継続するとともに, 割り込み要求信号 (INTTMn0) を発生します。

表9 - 3 ~ 表9 - 6にインターバル時間を, 図9 - 8 ~ 図9 - 13にインターバル・タイマ動作のタイミングを示します。

注 タイマ40のみ

注意 カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

備考 n = 3, 4

表9 - 3 タイマ30のインターバル時間 (fx = 5.0 MHz動作時)

TCL302	TCL301	TCL300	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$2^6/f_x$ (12.8 μ s)	$2^{14}/f_x$ (3.28 ms)	$2^6/f_x$ (12.8 μ s)
0	0	1	$2^8/f_x$ (51.2 μ s)	$2^{16}/f_x$ (13.1 ms)	$2^8/f_x$ (51.2 μ s)
0	1	0	タイマ40一致信号の入力周期	タイマ40一致信号の入力周期 $\times 2^8$	タイマ40一致信号の入力周期
0	1	1	タイマ40で作成したキャリア・クロック周期	タイマ40で作成したキャリア・クロック周期 $\times 2^8$	タイマ40で作成したキャリア・クロック周期

備考 fx : システム・クロック発振周波数 (セラミック / クリスタル発振)

表9 - 4 タイマ30のインターバル時間 (fcc = 1.0 MHz動作時)

TCL302	TCL301	TCL300	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$2^6/f_{cc}$ (64 μ s)	$2^{14}/f_{cc}$ (16.4 ms)	$2^6/f_{cc}$ (64 μ s)
0	0	1	$2^8/f_{cc}$ (256 μ s)	$2^{16}/f_{cc}$ (65.5 ms)	$2^8/f_{cc}$ (256 μ s)
0	1	0	タイマ40一致信号の入力周期	タイマ40一致信号の入力周期 $\times 2^8$	タイマ40一致信号の入力周期
0	1	1	タイマ40で作成したキャリア・クロック周期	タイマ40で作成したキャリア・クロック周期 $\times 2^8$	タイマ40で作成したキャリア・クロック周期

備考 fcc : システム・クロック発振周波数 (RC発振)

表9 - 5 タイマ40のインターバル時間 (fx = 5.0 MHz動作時)

TCL402	TCL401	TCL400	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_x$ (0.2 μ s)	$2^9/f_x$ (51.2 μ s)	$1/f_x$ (0.2 μ s)
0	0	1	$2^2/f_x$ (0.8 μ s)	$2^{10}/f_x$ (204.8 μ s)	$2^2/f_x$ (0.8 μ s)
0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^8$	f_{TMI} 入力周期
0	1	1	$f_{TMI}/2$ 入力周期	$f_{TMI}/2$ 入力周期 $\times 2^8$	$f_{TMI}/2$ 入力周期
1	0	0	$f_{TMI}/2^2$ 入力周期	$f_{TMI}/2^2$ 入力周期 $\times 2^8$	$f_{TMI}/2^2$ 入力周期
1	0	1	$f_{TMI}/2^3$ 入力周期	$f_{TMI}/2^3$ 入力周期 $\times 2^8$	$f_{TMI}/2^3$ 入力周期

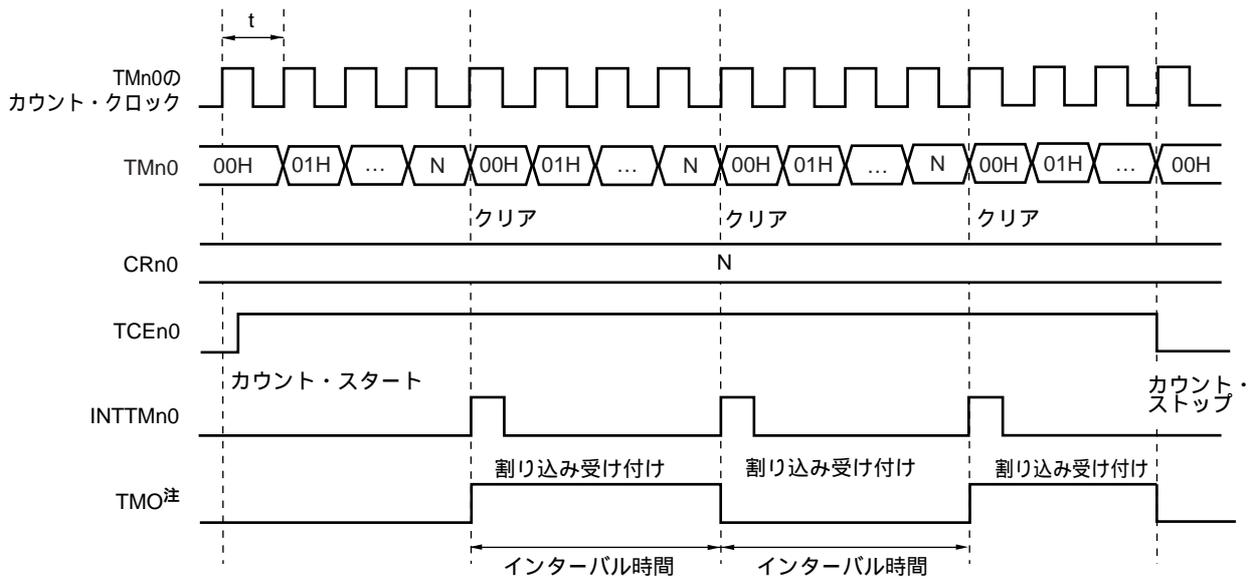
備考 fx : システム・クロック発振周波数 (セラミック / クリスタル発振)

表9 - 6 タイマ40のインターバル時間 (fcc = 1.0 MHz動作時)

TCL402	TCL401	TCL400	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_{cc}$ (1.0 μ s)	$2^9/f_{cc}$ (256 μ s)	$1/f_{cc}$ (1.0 μ s)
0	0	1	$2^2/f_{cc}$ (4.0 μ s)	$2^{10}/f_{cc}$ (1024 μ s)	$2^2/f_{cc}$ (4.0 μ s)
0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^8$	f_{TMI} 入力周期
0	1	1	$f_{TMI}/2$ 入力周期	$f_{TMI}/2$ 入力周期 $\times 2^8$	$f_{TMI}/2$ 入力周期
1	0	0	$f_{TMI}/2^2$ 入力周期	$f_{TMI}/2^2$ 入力周期 $\times 2^8$	$f_{TMI}/2^2$ 入力周期
1	0	1	$f_{TMI}/2^3$ 入力周期	$f_{TMI}/2^3$ 入力周期 $\times 2^8$	$f_{TMI}/2^3$ 入力周期

備考 fcc : システム・クロック発振周波数 (RC発振)

図9-8 8ビット分解能のインターバル・タイマ動作のタイミング（基本動作）

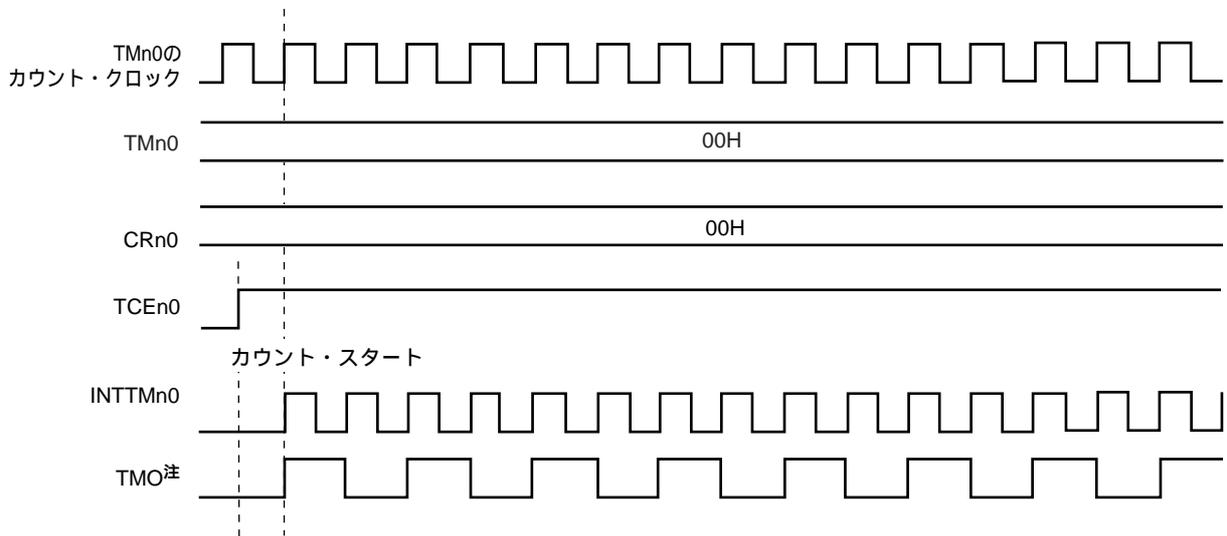


注 タイマ40のみ

備考1. インターバル時間 = $(N+1) \times t$: $N = 00H-FFH$

2. $n = 3, 4$

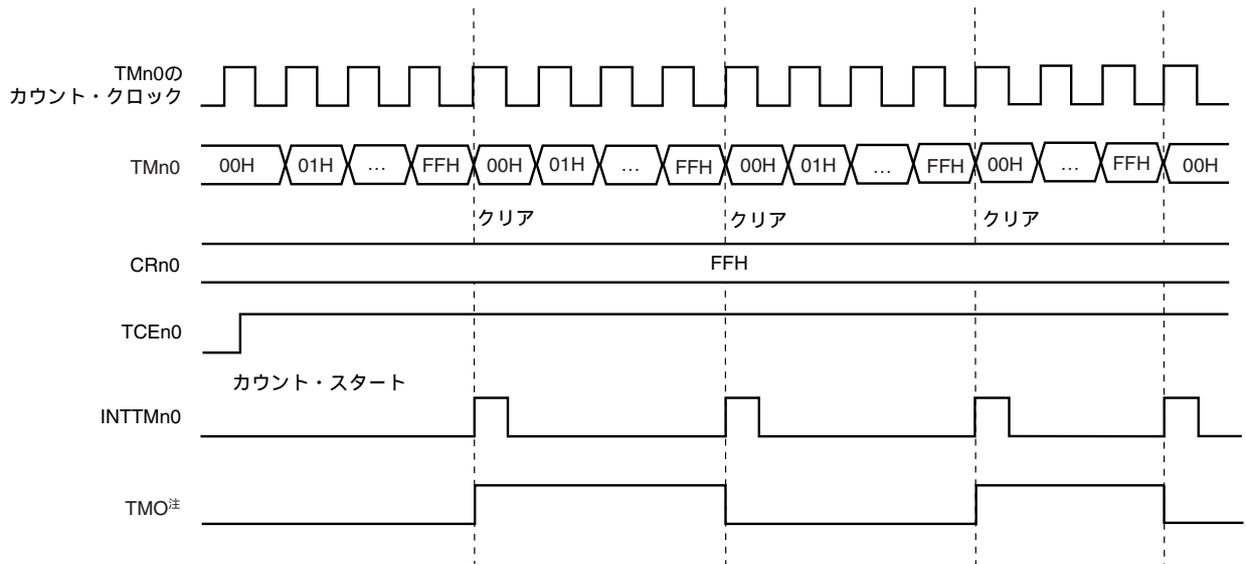
図9-9 8ビット分解能のインターバル・タイマ動作のタイミング（CRn0 = 00H設定時）



注 タイマ40のみ

備考 $n = 3, 4$

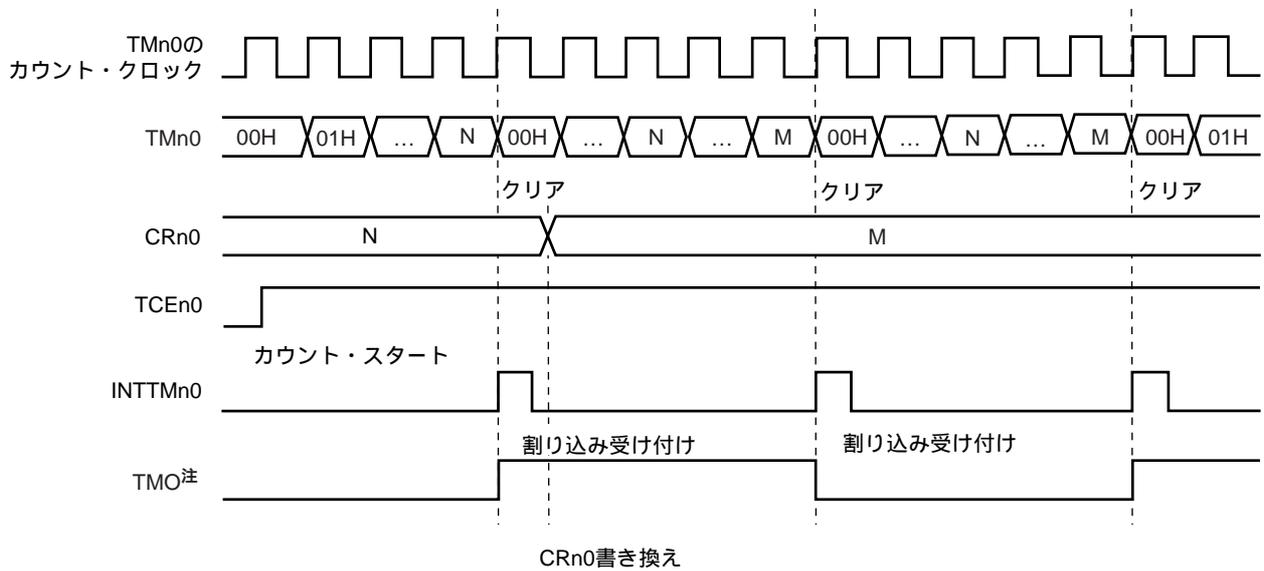
図9 - 10 8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = FFH設定時)



注 タイマ40のみ

備考 n = 3, 4

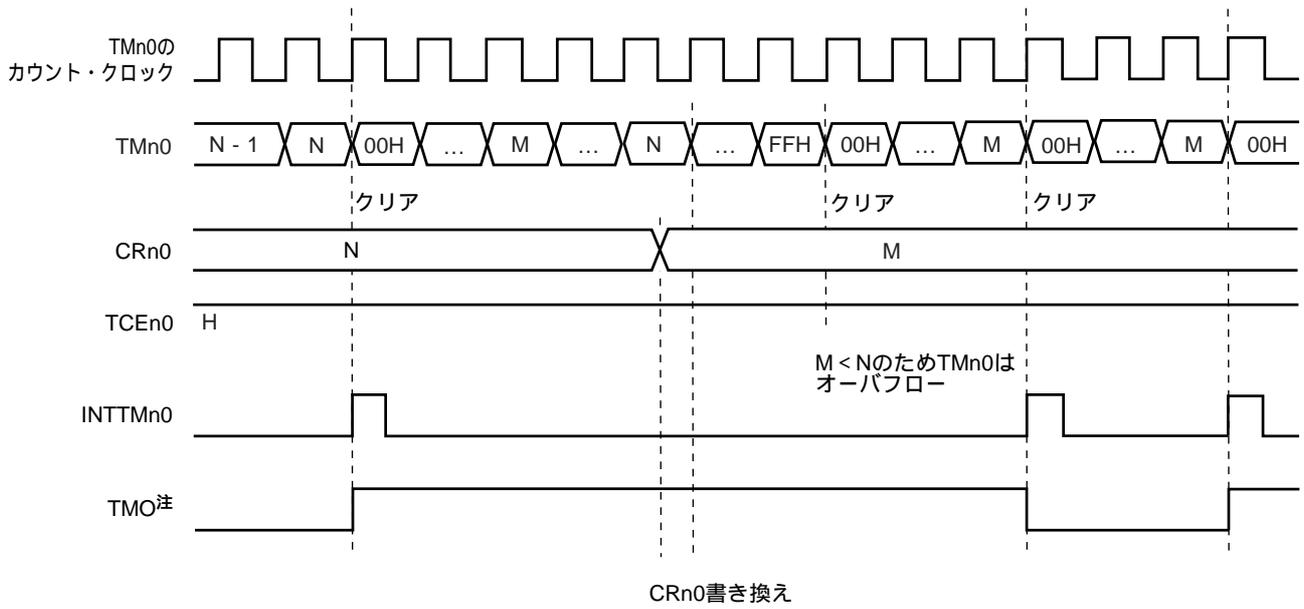
図9 - 11 8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N M (N < M) 変更時)



注 タイマ40のみ

備考 n = 3, 4

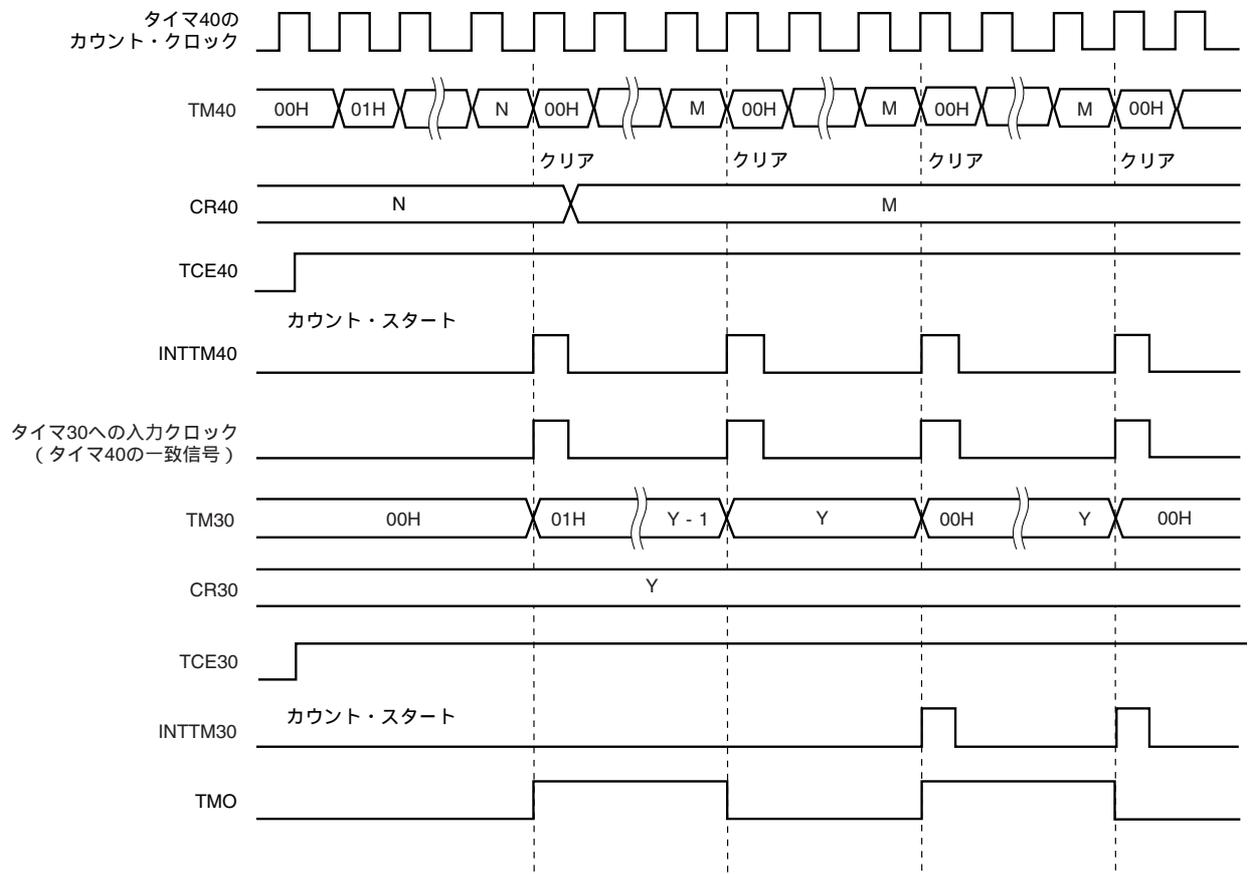
図9 - 12 8ビット分解能のインターバル・タイマ動作のタイミング (CRn0 = N M (N > M) 変更時)



注 タイマ40のみ

備考 n = 3, 4

図9 - 13 8ビット分解能のインターバル・タイマ動作のタイミング (タイマ30のカウンタ・クロックにタイマ40一致信号選択時)



備考 n = 3, 4

(2) 8ビット分解能の外部イベント・カウンタとしての動作 (タイマ40のみ)

外部イベント・カウンタは、TMI/P21端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ40 (TM40) でカウントするものです。

タイマ40を外部イベント・カウンタとして動作させるには次の設定をします。

8ビット・タイマ・カウンタ40 (TM40) を動作禁止 (TCE40 = 0) に設定

TMOのタイマ出力を禁止 (TOE40 = 0) に設定

P21を入力モード (PM21 = 1) に設定

タイマ40の外部入力クロックを選択 (表9 - 5, 表9 - 6参照)

タイマ40の動作モードを8ビット・タイマ・カウンタ・モードに設定 (図9 - 4, 図9 - 5参照)

CR40にカウント値を設定

TM40を動作許可 (TCE40 = 1) に設定

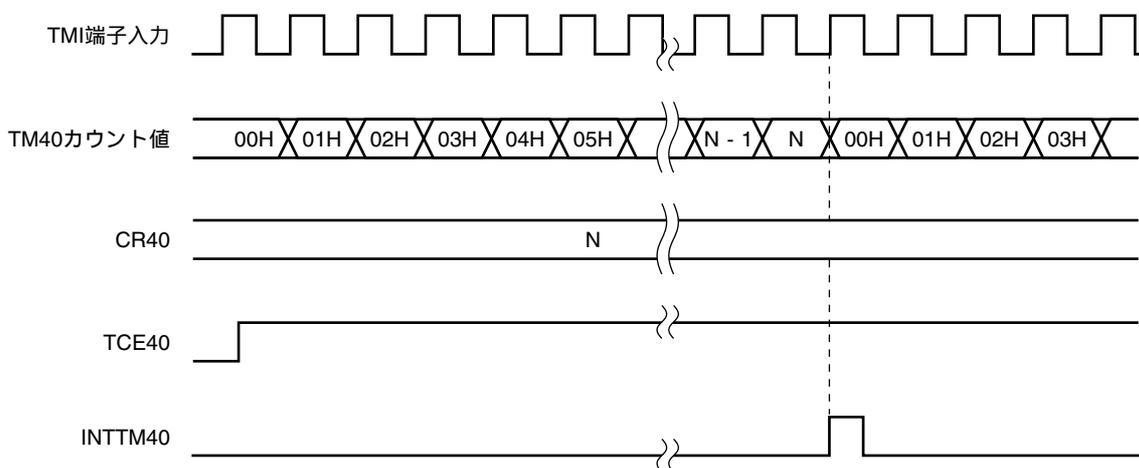
有効エッジが入力されるたびにTM40がインクリメントされます。

TM40のカウント値がCR40に設定した値と一致したとき、TM40の値を00Hにクリアしてカウントを継続するとともに、割り込み要求信号 (INTTM40) を発生します。

図9 - 14に外部イベント・カウンタ動作のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。

図9 - 14 8ビット分解能の外部イベント・カウンタ動作のタイミング



備考 N = 00H-FFH

(3) 8ビット分解能の方形波出力としての動作 (タイマ40のみ)

8ビット・コンペア・レジスタ40 (CR40) にあらかじめ設定した値をインターバルとし、任意の周波数の方形波出力を発生させることができます。

タイマ40を方形波出力として動作させるには次の設定をします。

P20を出力モード (PM20 = 0) に設定

P20の出力ラッチに0を設定

8ビット・タイマ・カウンタ40 (TM40) を動作禁止 (TCE40 = 0) に設定

タイマ40のカウント・クロックを設定し、TMOを出力許可 (TOE40 = 1) に設定

CR40にカウント値を設定

TM40を動作許可 (TCE40 = 1) に設定

TM40のカウント値がCR40に設定した値と一致したとき、TMO端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また、このとき、TM40の値は、00Hにクリアされてカウントを継続するとともに、割り込み要求信号 (INTTM40) を発生します。

方形波出力は、TCE40に0を設定するとクリア (0) されます。

表9 - 7, 表9 - 8に方形波出力範囲を、図9 - 15に方形波出力のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。

表9 - 7 タイマ40の方形波出力範囲 (fx = 5.0 MHz動作時)

TCL402	TCL401	TCL400	最小パルス幅	最大パルス幅	分解能
0	0	0	1/fx (0.2 μs)	2 ⁹ /fx (51.2 μs)	1/fx (0.2 μs)
0	0	1	2 ² /fx (0.8 μs)	2 ¹⁰ /fx (204.8 μs)	2 ² /fx (0.8 μs)

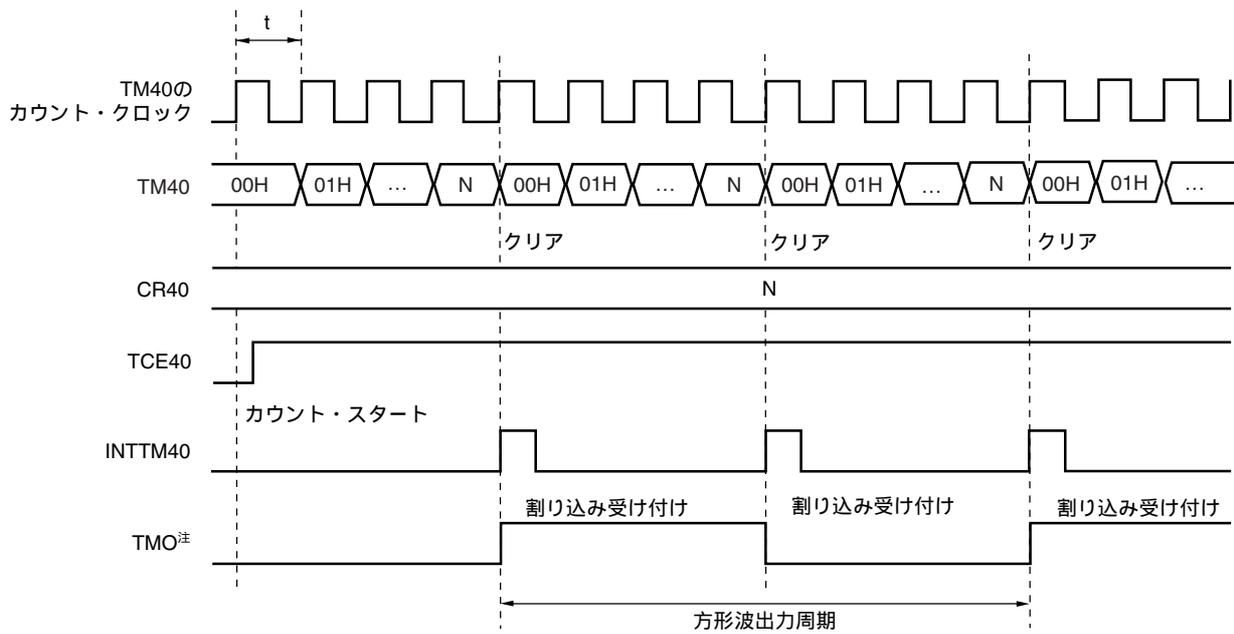
備考 fx : システム・クロック発振周波数 (セラミック / クリスタル発振)

表9 - 8 タイマ40の方形波出力範囲 (fcc = 1.0 MHz動作時)

TCL402	TCL401	TCL400	最小パルス幅	最大パルス幅	分解能
0	0	0	1/fcc (1.0 μs)	2 ⁹ /fcc (256 μs)	1/fcc (1.0 μs)
0	0	1	2 ² /fcc (4.0 μs)	2 ¹⁰ /fcc (1024 μs)	2 ² /fcc (4.0 μs)

備考 fcc : システム・クロック発振周波数 (RC発振)

図9 - 15 8ビット分解能の方形波出力のタイミング



注 出力許可 (TOE40 = 1) 時のTMOの初期値は、ロウ・レベルになります。

備考 方形波出力周期 = $2(N + 1) \times t$

N = 00H-FFH

9.4.2 16ビット・タイマ・カウンタ・モードとしての動作

タイマ30, タイマ40をカスケード接続し, 16ビット・タイマ・カウンタ・モードとして使用できます。

この場合, 8ビット・タイマ・カウンタ30 (TM30) が上位8ビット, 8ビット・タイマ・カウンタ40 (TM40) が下位8ビットとなり, リセットおよびクリアは8ビット・タイマ40で制御します。

16ビット・タイマ・カウンタ・モードでは次のような機能を使用できます。

- ・ 16ビット分解能のインターバル・タイマ
- ・ 16ビット分解能の外部イベント・カウンタ
- ・ 16ビット分解能の方形波出力

(1) 16ビット分解能のインターバル・タイマ

16ビット分解能のインターバル・タイマは, あらかじめ8ビット・コンペア・レジスタ30 (CR30) および8ビット・コンペア・レジスタ40 (CR40) に設定したカウント値をインターバルとし, 繰り返し割り込みを発生させることができます。

16ビット分解能のインターバル・タイマとして動作させるには次の設定をします。

8ビット・タイマ・カウンタ30 (TM30), 8ビット・タイマ・カウンタ40 (TM40) を動作禁止 (TCE30 = 0, TCE40 = 0) に設定

TMOのタイマ出力を禁止 (TOE40 = 0) に設定^{注1}

タイマ40のカウント・クロックを設定 (表9 - 9, 表9 - 10参照)

タイマ30, タイマ40の動作モードを16ビット・タイマ・カウンタ・モードに設定 (図9 - 4, 図9 - 5参照)

CR30, CR40にカウント値を設定

TM30, TM40を動作許可 (TCE40 = 1^{注2}) に設定

注1. タイマ40のみ

2. 16ビット・タイマ・カウンタ・モード時のタイマのスタートおよびクリアはTCE40で制御します (TCE30の値は無効となります)。

TM30とTM40のカウント値がそれぞれCR30, CR40に設定した値と一致したとき, TM30, TM40の値を同時に00Hにクリアしてカウントを継続するとともに, 割り込み要求信号 (INTTM40) を発生します (INTTM30は発生しません)。

表9 - 9, 表9 - 10にインターバル時間を, 図9 - 16にインターバル・タイマ動作のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

表9 - 9 16ビット分解能でのインターバル時間 (fx = 5.0 MHz動作時)

TCL402	TCL401	TCL400	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_x (0.2 \mu s)$	$2^{16}/f_x (13.1 ms)$	$1/f_x (0.2 \mu s)$
0	0	1	$2^2/f_x (0.8 \mu s)$	$2^{18}/f_x (52.4 ms)$	$2^2/f_x (0.8 \mu s)$
0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^{16}$	f_{TMI} 入力周期
0	1	1	$f_{TMI}/2$ 入力周期	$f_{TMI}/2$ 入力周期 $\times 2^{16}$	$f_{TMI}/2$ 入力周期
1	0	0	$f_{TMI}/2^2$ 入力周期	$f_{TMI}/2^2$ 入力周期 $\times 2^{16}$	$f_{TMI}/2^2$ 入力周期
1	0	1	$f_{TMI}/2^3$ 入力周期	$f_{TMI}/2^3$ 入力周期 $\times 2^{16}$	$f_{TMI}/2^3$ 入力周期

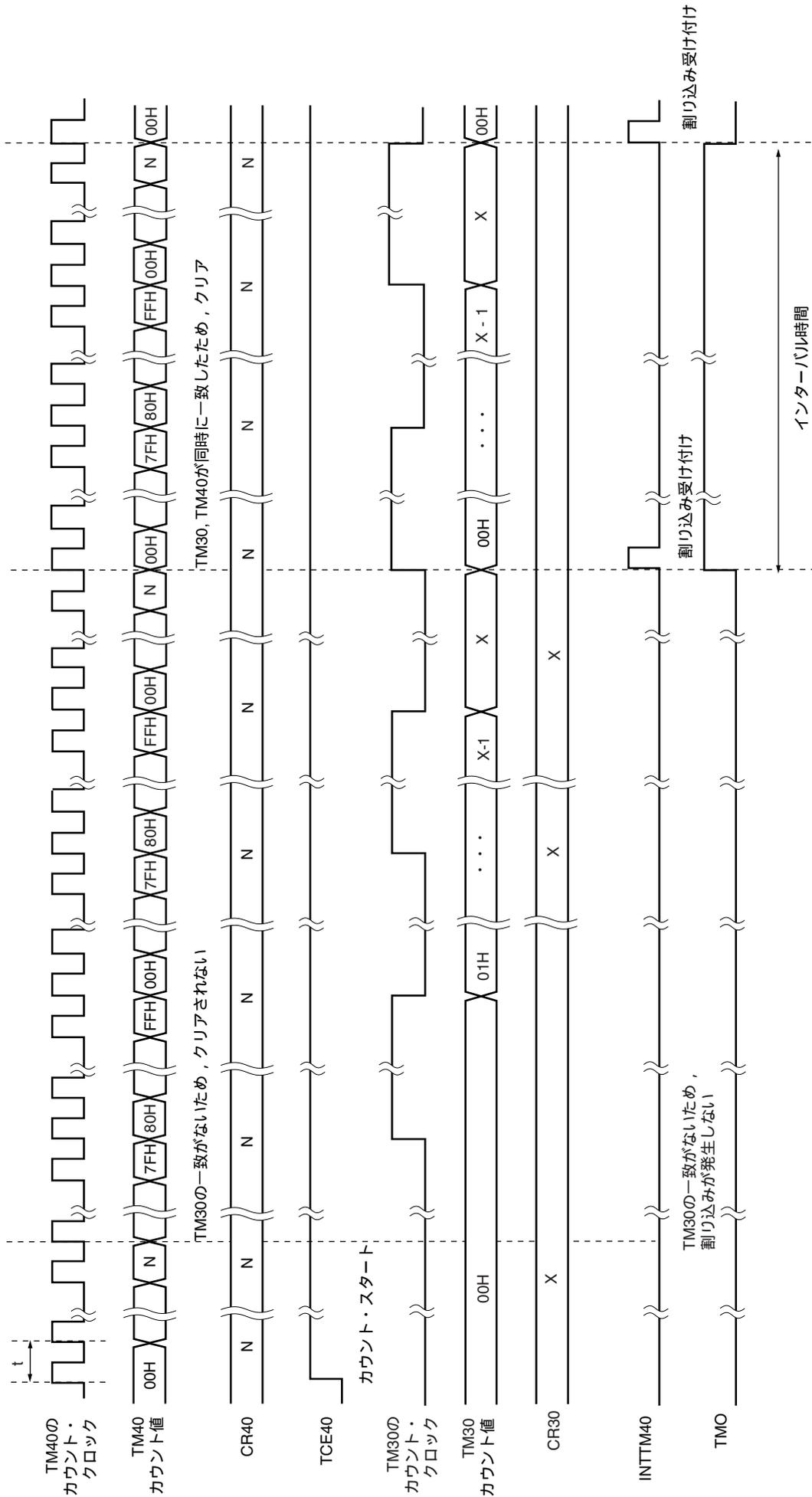
備考 fx : システム・クロック発振周波数 (セラミック / クリスタル発振)

表9 - 10 16ビット分解能でのインターバル時間 (fcc = 1.0 MHz動作時)

TCL402	TCL401	TCL400	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_{cc} (1.0 \mu s)$	$2^{16}/f_{cc} (65.5 ms)$	$1/f_{cc} (1.0 \mu s)$
0	0	1	$2^2/f_{cc} (4.0 \mu s)$	$2^{18}/f_{cc} (262.1 ms)$	$2^2/f_{cc} (4.0 \mu s)$
0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^{16}$	f_{TMI} 入力周期
0	1	1	$f_{TMI}/2$ 入力周期	$f_{TMI}/2$ 入力周期 $\times 2^{16}$	$f_{TMI}/2$ 入力周期
1	0	0	$f_{TMI}/2^2$ 入力周期	$f_{TMI}/2^2$ 入力周期 $\times 2^{16}$	$f_{TMI}/2^2$ 入力周期
1	0	1	$f_{TMI}/2^3$ 入力周期	$f_{TMI}/2^3$ 入力周期 $\times 2^{16}$	$f_{TMI}/2^3$ 入力周期

備考 fcc : システム・クロック発振周波数 (RC発振)

図9 - 16 16ビット分解能のインターバル・タイム動作のタイミング



備考 インターバル時間 = $(256X + N + 1) \times t$; X = 00H-FFH, N = 00H-FFH

(2) 16ビット分解能の外部イベント・カウンタとしての動作

外部イベント・カウンタは、TMI/P21端子に入力される外部からのクロック・パルス数をTM30, TM40でカウントするものです。

16ビット分解能の外部イベント・カウンタとして動作させるには次の設定をします。

TM30, TM40を動作禁止 (TCE30 = 0, TCE40 = 0) に設定

TMOのタイマ出力を禁止 (TOE40 = 0) に設定^{注1}

P21を入力モード (PM21 = 1) に設定

タイマ40の外部入力クロックを選択 (表9 - 9, 表9 - 10参照)

タイマ30, タイマ40の動作モードを16ビット・タイマ・カウンタ・モードに設定 (図9 - 4, 図9 - 5参照)

CR30, CR40にカウント値を設定

TM30, TM40を動作許可 (TCE40 = 1^{注2}) に設定

注1. タイマ40のみ

2. 16ビット・タイマ・カウンタ・モード時のタイマのスタートおよびクリアはTCE40で制御します (TCE30の値は無効となります)。

有効エッジが入力されるたびにTM30, TM40がインクリメントされます。

TM30, TM40のカウント値がそれぞれCR30, CR40に設定した値と同時に一致したとき, TM30, TM40の値を00Hにクリアしてカウントを継続するとともに, 割り込み要求信号 (INTTM40) を発生します (INTTM30は発生しません)。

図9 - 17に外部イベント・カウンタ動作のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

(3) 16ビット分解能の方形波出力としての動作

CR30, CR40にあらかじめ設定した値をインターバルとし, 任意の周波数の方形波出力を発生させることができます。

16ビット分解能の方形波出力として動作させるには次の設定をします。

- TM30, TM40を動作禁止 (TCE30 = 0, TCE40 = 0) に設定
- TMOを出力禁止 (TOE40 = 0) に設定
- タイマ40のカウント・クロックを設定する
- P20を出力モード (PM20 = 0), P20の出力ラッチに0を設定し, TMOを出力許可 (TOE40 = 1) に設定
- CR30, CR40にカウント値を設定
- TM40を動作許可 (TCE40 = 1^注) に設定

注 16ビット・タイマ・カウンタ・モード時のタイマのスタートおよびクリアはTCE40で制御します (TCE30の値は無効となります)。

TM30, TM40のカウント値がそれぞれCR30, CR40に設定した値と同時に一致したとき, TMO端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また, このとき, TM30, TM40の値は, それぞれ00Hにクリアされてカウントを継続するとともに, 割り込み要求信号 (INTTM40) を発生します (INTTM30は発生しません)。

方形波出力は, TCE40に0を設定するとクリア (0) されます。

表9 - 11, 表9 - 12に方形波出力範囲を, 図9 - 18に方形波出力のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

表9 - 11 16ビット分解能の方形波出力範囲 (fx = 5.0 MHz動作時)

TCL402	TCL401	TCL400	最小パルス幅	最大パルス幅	分解能
0	0	0	1/fx (0.2 μs)	2 ¹⁶ /fx (13.1 ms)	1/fx (0.2 μs)
0	0	1	2 ² /fx (0.8 μs)	2 ¹⁸ /fx (52.4 ms)	2 ² /fx (0.8 μs)

備考 システム・クロック発振周波数 (セラミック / クリスタル発振)

表9 - 12 16ビット分解能の方形波出力範囲 (fcc = 1.0 MHz動作時)

TCL402	TCL401	TCL400	最小パルス幅	最大パルス幅	分解能
0	0	0	1/fcc (1.0 μs)	2 ¹⁶ /fcc (65.5 ms)	1/fcc (1.0 μs)
0	0	1	2 ² /fcc (4.0 μs)	2 ¹⁸ /fcc (262.1 ms)	2 ² /fcc (4.0 μs)

備考 システム・クロック発振周波数 (RC発振)

9.4.3 キャリア・ジェネレータとしての動作

TM40で生成される任意のキャリア・クロックをTM30に設定した周期で出力できます。
タイマ30, タイマ40をキャリア・ジェネレータとして動作させるには次の設定をします。

TM30, TM40を動作禁止 (TCE30 = 0, TCE40 = 0) に設定
TMOのタイマ出力を禁止に設定 (TOE40 = 0)
CR30, CR40, CRH40にカウント値を設定
タイマ30, タイマ40の動作モードをキャリア・ジェネレータ・モードに設定 (図9-4, 図9-5参照)
タイマ30, タイマ40のカウント・クロックを設定
リモコン出力をキャリア・パルスに設定 (RMC40 (キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40) のビット2) = 0)
NRZB40 (TCA40のビット1) にプログラムによって必要な値を入力する。
NRZ40 (TCA40のビット0) にNRZB40からリロードするまでの値を入力する。
P20を出力モード (PM20 = 0), P20の出力ラッチに0を設定し, TOE40 = 1としてTMOの出力を許可する
TM30, TM40を動作許可 (TCE30 = 1, TCE40 = 1) に設定
NRZB40の値を汎用レジスタに退避しておく
INTTM30が立ち上がると, NRZB40の値がNRZ40に転送されます。その後, TCA40を8ビット・メモリ操作命令で書き換えます。NRZB40には次回NRZ40に転送する値を入力し, NRZ40には 退避しておいた値を入力します。
, の繰り返しにより, 希望するキャリア信号を生成します。

キャリア・ジェネレータの動作は次のようになります。

TM40のカウント値がCR40に設定した値と一致したとき, 割り込み要求信号 (INTTM40) が発生するとともにタイマ40の出力状態が反転します。これによりコンペア・レジスタがCR40 CRH40に切り替わります。

その後, TM40のカウント値がCRH40に設定した値と一致したとき, 割り込み要求信号 (INTTM40) が発生するとともにタイマ40の出力状態が再び反転します。これによりコンペア・レジスタがCRH40 CR40に切り替わります。

, の繰り返しにより, キャリア・クロックが生成されます。

TM30のカウント値がCR30に設定した値と一致したとき, 割り込み要求信号 (INTTM30) が発生します。このINTTM30の立ち上がりエッジがNRZB40のデータ・リロード信号となり, NRZ40へ転送されます。

NRZ40が1のとき, キャリア・クロックがTMO端子より出力されます。

- 注意1.** TCA40は1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令を使用してください。
- NRZ40フラグはキャリア・ジェネレータ出力停止 (TOE40 = 0) 時のみ書き換え可能です。TOE40 = 1のときに書き込み命令を実行してもデータは書き換わりません。
 - キャリア・ジェネレータ動作をいったん停止し, その後再度キャリア・ジェネレータ動作にすると, NRZB40は以前のデータを保持していませんので再設定してください。また, このときも1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令で設定してください。

注意4 . キャリア・ジェネレータ・モードの動作許可する場合は、事前にコンペア・レジスタ (CR30, CR40, CRH40) に値を設定し、NRZB40フラグとNRZ40フラグに必要な値を入力してから動作開始してください。さもないと、タイマ一致回路の信号が不定となり、NRZ40フラグが不定になってしまいます。

5 . μ PD78E9860, 78E9861の場合は、次の制限事項があるので注意してください (マスクROM製品および μ PD78E9860A, 78E9861Aは該当しません)。

(a) INTTM30 (タイマ30の一致信号による割り込み) が出力されている期間は、TCA40へのアクセスは禁止です。

(b) 8ビット・タイマ・カウンタ30 (TM30) が00Hのときは、TCA40へのアクセスは禁止です。
もしTM30 = 00Hのときにアクセスする場合は、TM30カウント・クロックの1/2周期以上ウエイトしてからTCA40を書き換えてください。

キャリア・ジェネレータの動作タイミングを図9 - 19 ~ 図9 - 21に示します。

図9 - 19 キャリア・ジェネレータの動作タイミング (CR40 = N, CRH40 = M (M > N) 設定時)

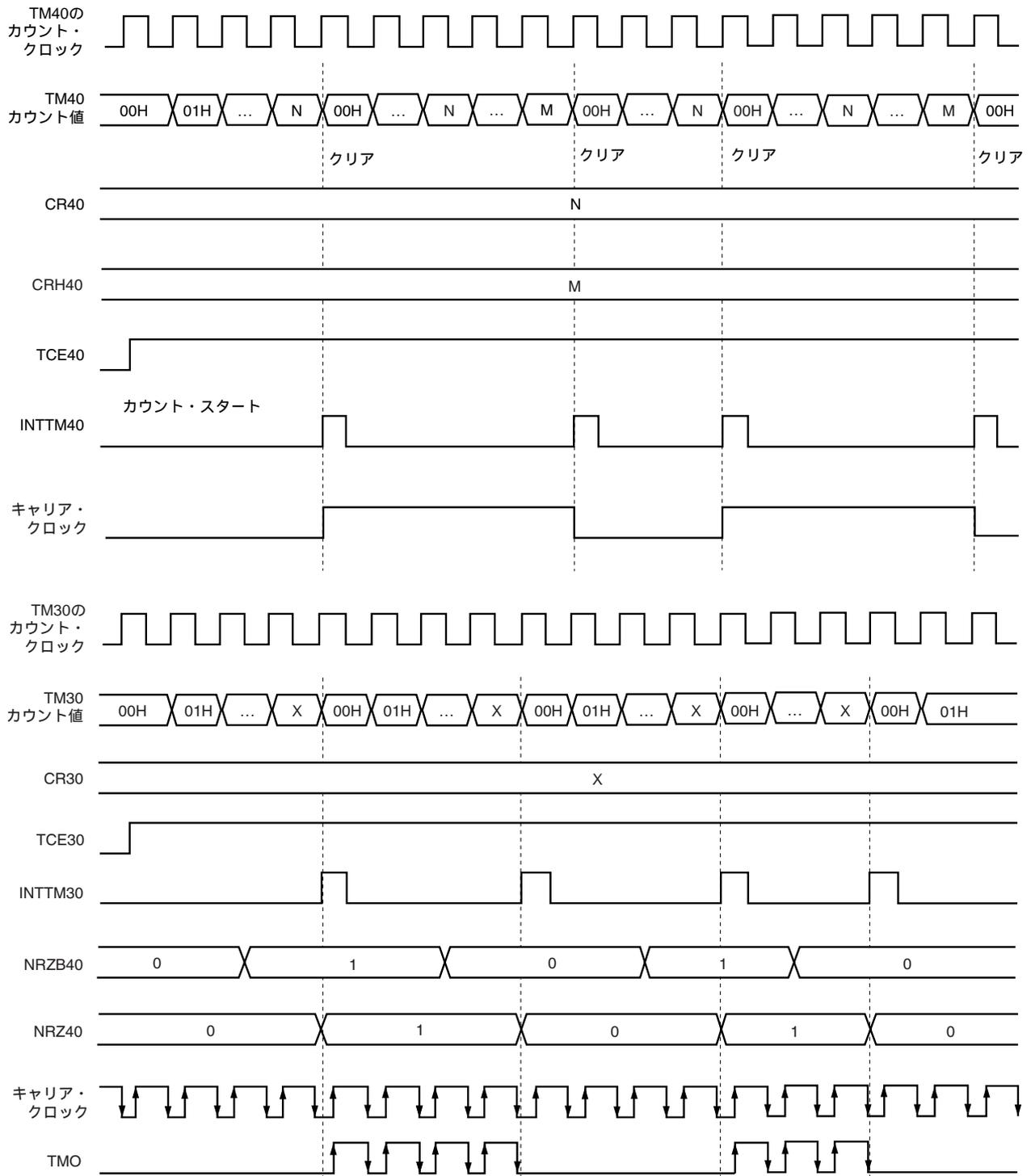
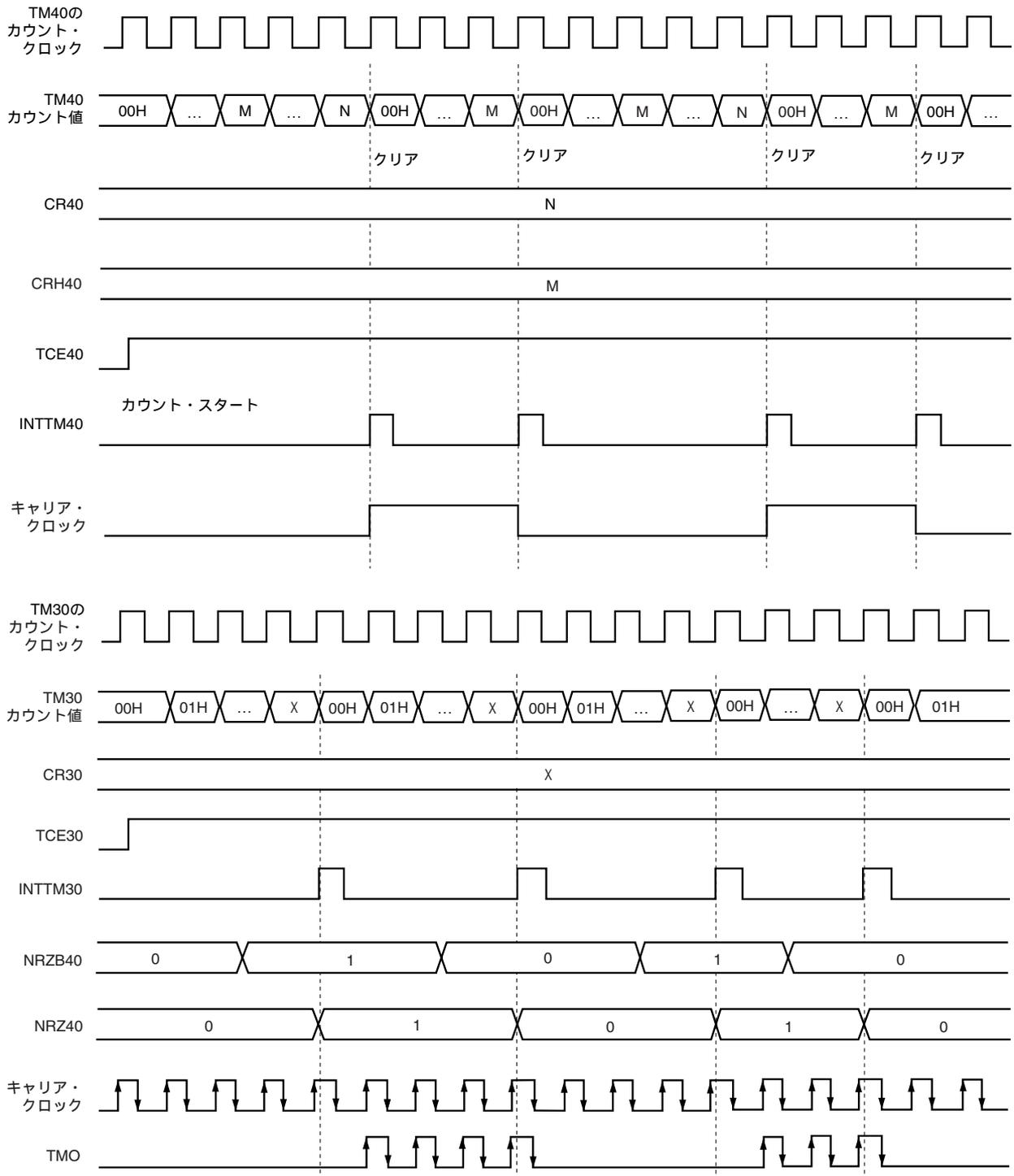
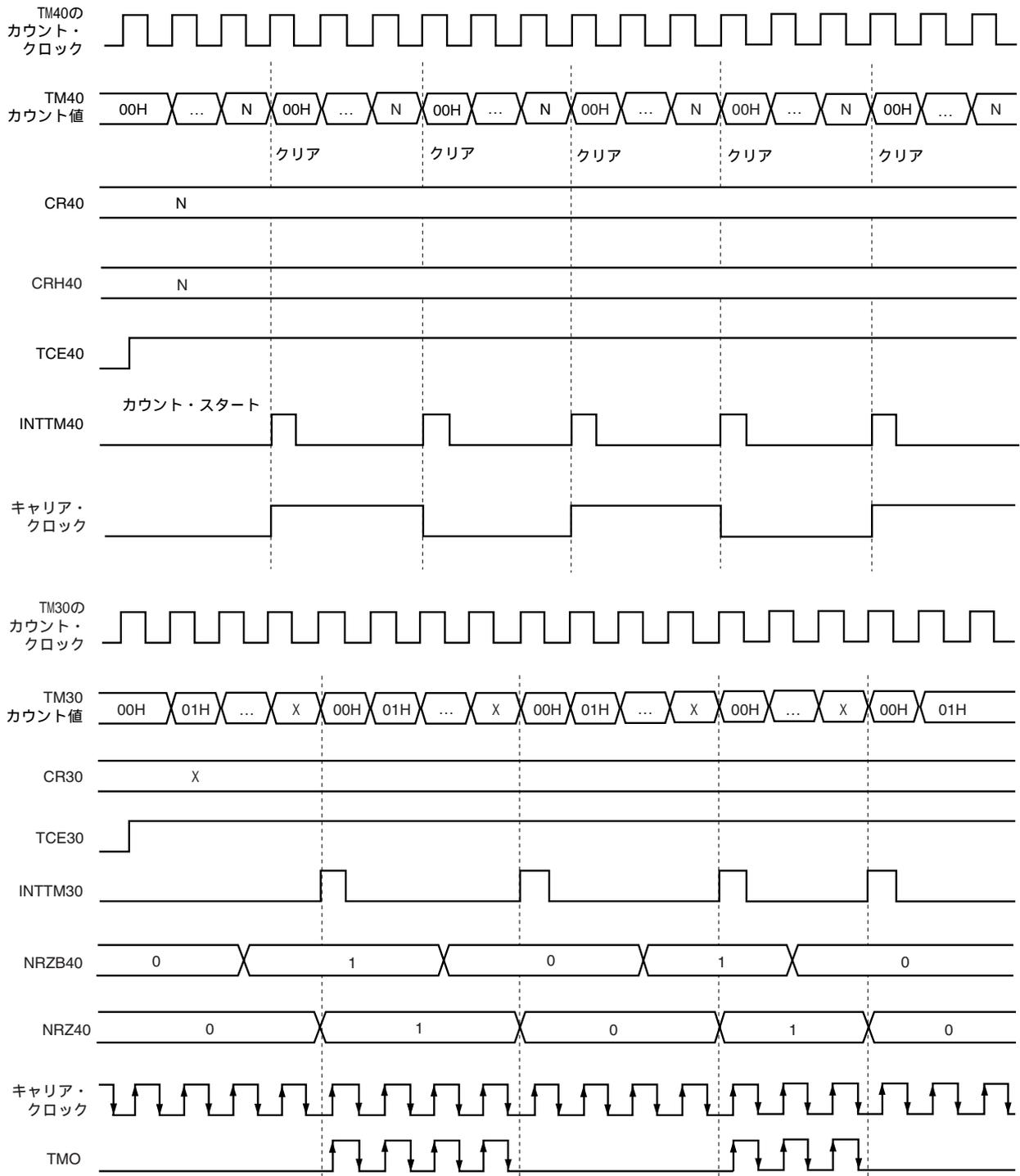


図9 - 20 キャリア・ジェネレータの動作タイミング (CR40 = N, CRH40 = M (M < N) 設定時)



備考 この図では、キャリア・クロックのハイ・レベル時にNRZ40の値が切り替わった場合の例を示しています。

図9 - 21 キャリア・ジェネレータの動作タイミング (CR40 = CRH40 = N設定時)



9.4.4 PWM出力モードとしての動作（タイマ40のみ）

PWM出力モードでは、ロウ・レベル幅をCR40で、ハイ・レベル幅をCRH40で設定させることにより、任意のデューティ比のパルスを出力させることができます。

タイマ40をPWM出力モードとして動作させるには次の設定をします。

TM40を動作禁止（TCE40 = 0）に設定

TMOのタイマ出力を禁止（TOE40 = 0）に設定

CR40, CRH40にカウント値を設定

タイマ40の動作モードをPWM出力モードに設定（図9 - 5参照）

タイマ40のカウント・クロックを設定

P20を出力モード（PM20 = 0）、P20の出力ラッチに0を設定し、TMOのタイマ出力を許可（TOE40 = 1）に設定

TM40を動作許可（TCE40 = 1）に設定

PWM出力モードの動作は次のようになります。

TM40のカウント値がCR40に設定した値と一致したとき、割り込み要求信号（INTTM40）が発生するとともにタイマ40の出力状態が反転します。これによりコンペア・レジスタがCR40 CRH40に切り替わります。

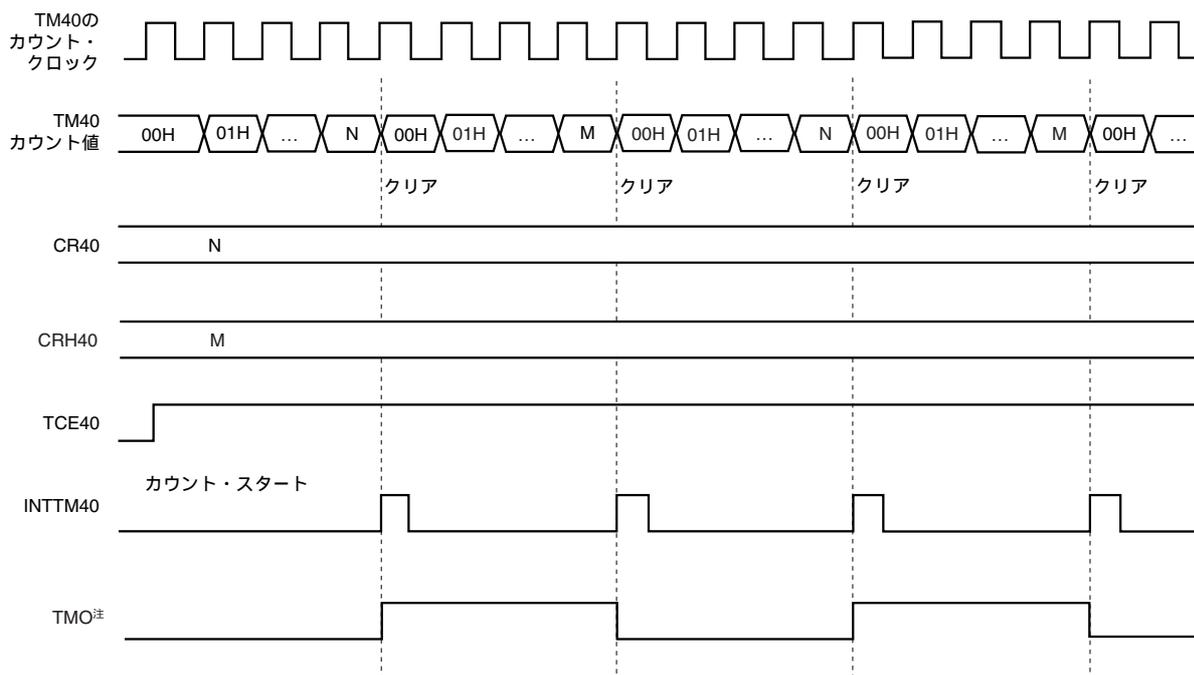
TM40とCR40の一致により、TM40の値が00Hにクリアされ、再びカウントを開始します。

その後、TM40のカウント値がCRH40に設定した値と一致したとき、割り込み要求信号（INTTM40）が発生するとともにタイマ40の出力状態が再び反転します。これによりコンペア・レジスタがCRH40 CR40に切り替わります。

TM40とCRH40の一致により、TM40の値が00Hにクリアされ、再びカウントを開始します。

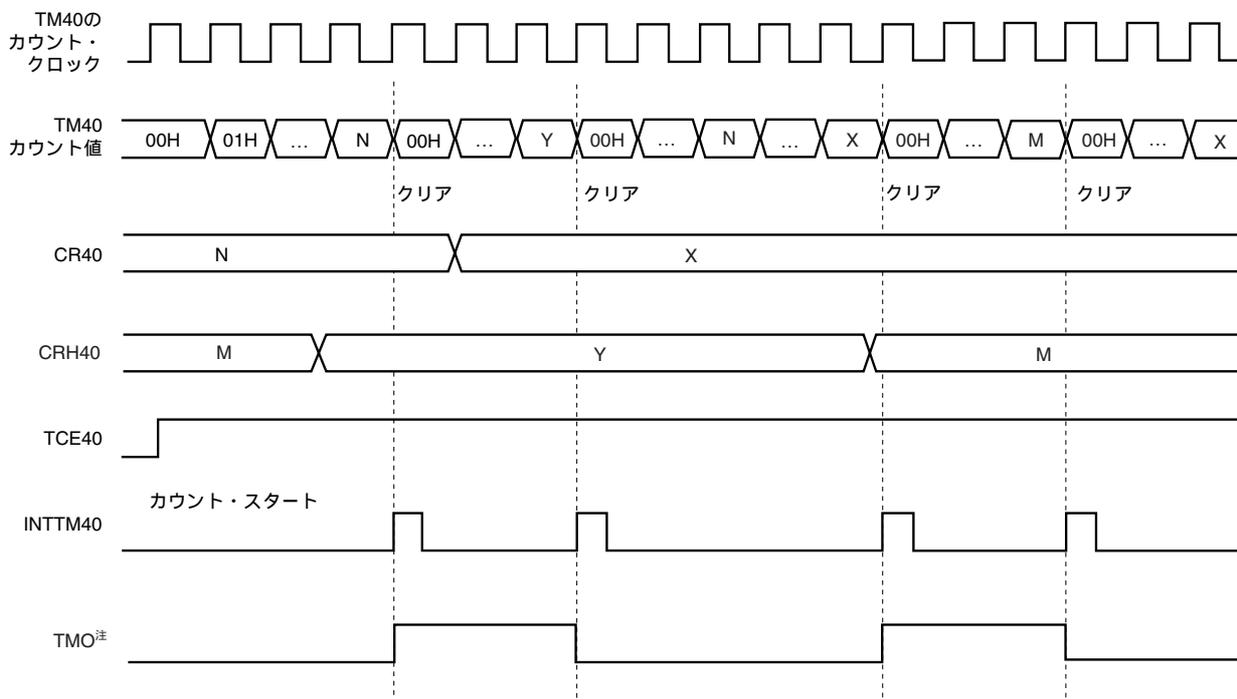
以上の繰り返しにより、任意のデューティ比のパルスを出力させます。PWM出力モードの動作タイミングを図9 - 22、図9 - 23に示します。

図9 - 22 PWM出力モードのタイミング (基本動作)



注 出力許可 (TOE40 = 1) 時のTMOの初期値は、ロウ・レベルになります。

図9 - 23 PWM出力モードのタイミング (CR40, CRH40を書き換えた場合)



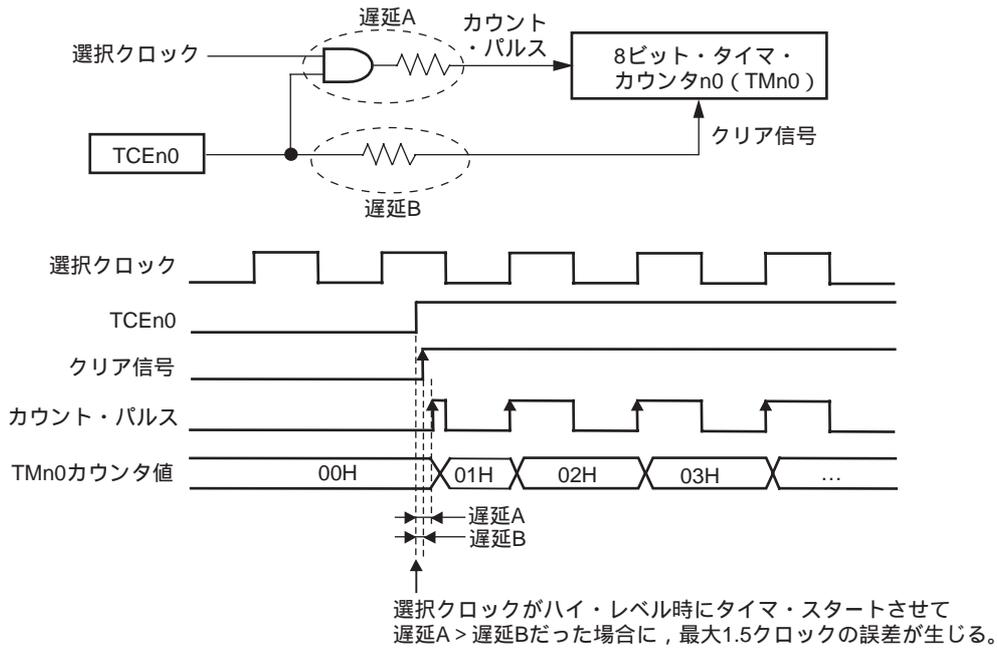
注 出力許可 (TOE40 = 1) 時のTMOの初期値は、ロウ・レベルになります。

9.5 8ビット・タイマ30, 40の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1.5クロック分の誤差が生じます。これは、カウント・クロックがハイ・レベルのときにタイマ・スタートすると、その瞬間に立ち上がりエッジが検出され、カウンタがインクリメントされてしまうことがあるためです。(図9-24参照)

図9-24 1.5クロック(最大)の誤差が出るケース



備考 n = 3, 4

(2) TMI端子からの外部クロックを選択した場合のカウント値

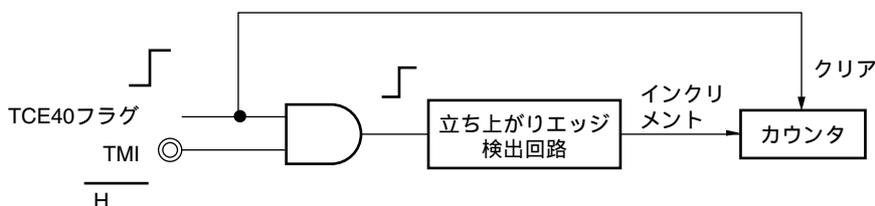
カウント・クロックとしてTMI端子からの外部入力を選択した際に、TMI端子がハイ・レベル期間中にタイマを動作許可 (TCE40 = 0 1) にすると、カウント値が01Hから始まる場合があります。これはTMI端子からの入力とTCE40信号とが内部でAND回路になっているので、TCE40をセットした直後に立ち上がりエッジがタイマに入り、カウンタがインクリメントされるためです。遅延のタイミングにより、立ち上がりエッジがカウンタ・クリアのあとで入力された場合はカウント値 + 1 となります。逆に、立ち上がりエッジがカウンタ・クリアの前に入力された場合は影響がありません (通常動作します)。

カウンタ値に 1 カウントの誤差があることを認識して使用するか、以下のA, Bどちらかの方法により対策を施してください。

<対策A> 必ずTMI端子がロウ・レベルのときにタイマ・スタートする。

<対策B> タイマ・スタート時のカウンタ値を制御レジスタに退避させておき、カウント値を読み出すときは制御レジスタに退避したカウンタ値とのSUBを取り、真のカウンタ値とする。

図9 - 25 TMIがハイ・レベル時にタイマ・スタートした場合のカウンタ動作

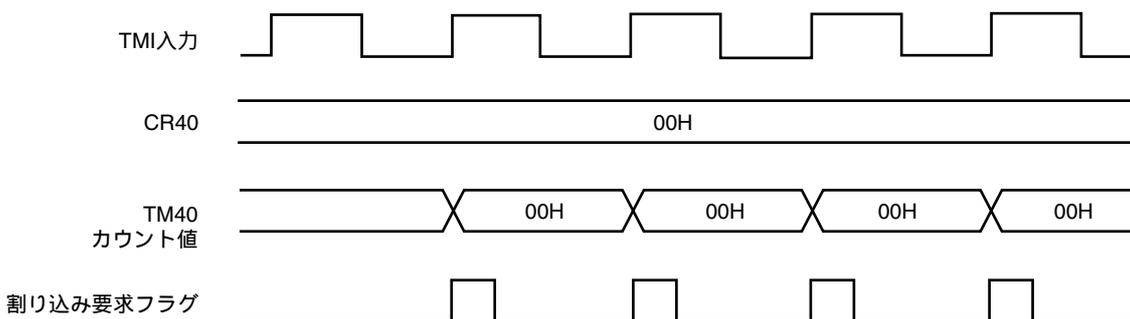


(3) 8ビット・コンペア・レジスタn0の設定

8ビット・コンペア・レジスタn0 (CRn0) には、00Hの設定が可能です。

したがって、イベント・カウンタとして使用时、1パルスのカウンタ動作が可能です。

図9 - 26 外部イベント・カウンタとしての動作時のタイミング (8ビット分解能時)



備考 n = 3, 4

第10章 ウォッチドッグ・タイマ

10.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

(1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込みまたは $\overline{\text{RESET}}$ を発生することができます。

表10 - 1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 1.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_{\text{CLK}}$	$2^{11}/f_x$ (410 μs)	$2^{11}/f_{cc}$ (2.05 ms)
$2^{13} \times 1/f_{\text{CLK}}$	$2^{13}/f_x$ (1.64 ms)	$2^{13}/f_{cc}$ (8.19 ms)
$2^{15} \times 1/f_{\text{CLK}}$	$2^{15}/f_x$ (6.55 ms)	$2^{15}/f_{cc}$ (32.8 ms)
$2^{17} \times 1/f_{\text{CLK}}$	$2^{17}/f_x$ (26.2 ms)	$2^{17}/f_{cc}$ (131.1 ms)

備考1. f_{CLK} : f_x または f_{cc}

2. f_x : システム・クロック発振周波数 (セラミック / クリスタル発振)
3. f_{cc} : システム・クロック発振周波数 (RC発振)

(2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

表10 - 2 ウォッチドッグ・タイマのインターバル時間

インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 1.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_{\text{CLK}}$	$2^{11}/f_x$ (410 μs)	$2^{11}/f_{cc}$ (2.05 ms)
$2^{13} \times 1/f_{\text{CLK}}$	$2^{13}/f_x$ (1.64 ms)	$2^{13}/f_{cc}$ (8.19 ms)
$2^{15} \times 1/f_{\text{CLK}}$	$2^{15}/f_x$ (6.55 ms)	$2^{15}/f_{cc}$ (32.8 ms)
$2^{17} \times 1/f_{\text{CLK}}$	$2^{17}/f_x$ (26.2 ms)	$2^{17}/f_{cc}$ (131.1 ms)

備考1. f_{CLK} : f_x または f_{cc}

2. f_x : システム・クロック発振周波数 (セラミック / クリスタル発振)
3. f_{cc} : システム・クロック発振周波数 (RC発振)

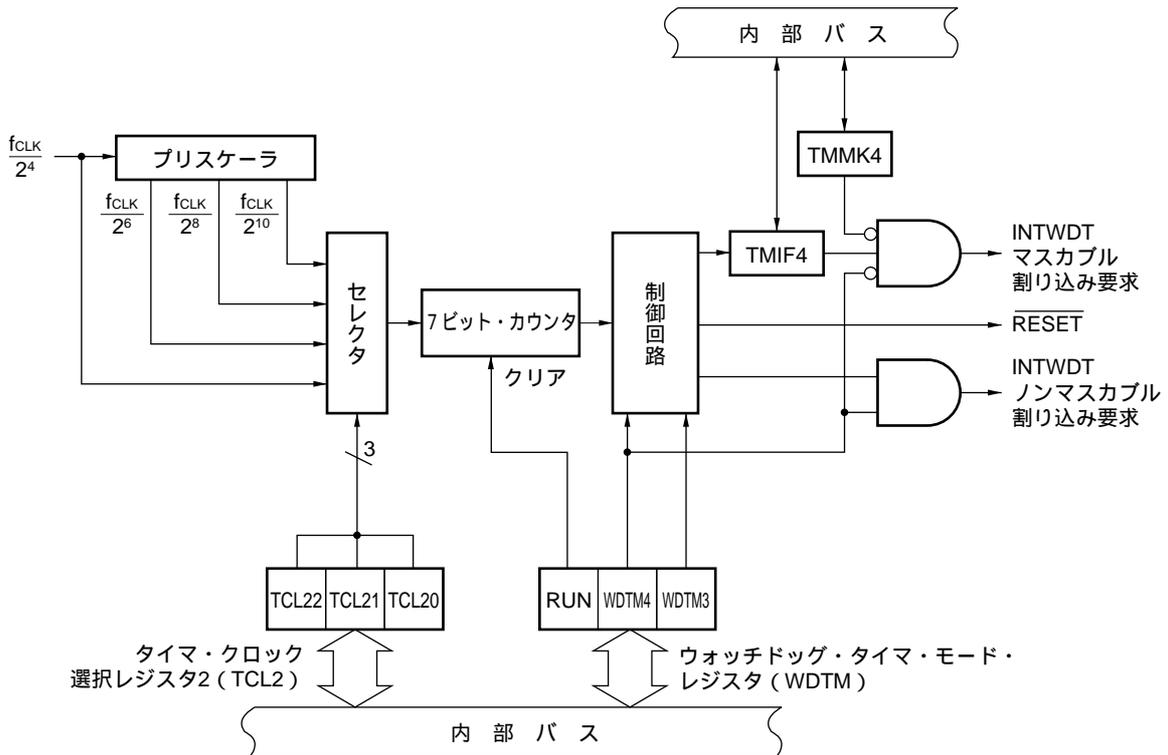
10.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表10-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図10-1 ウォッチドッグ・タイマのブロック図



備考 f_{CLK} : f_x または f_{cc}

10.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) タイマ・クロック選択レジスタ2 (TCL2)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10-2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3		0	アドレス	リセット時	R/W	
TCL2	0	0	0	0	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	カウント・クロックの選択	
			$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 1.0 \text{ MHz}$ 動作時
0	0	0	$f_x/2^4$ (313 kHz)	$f_{cc}/2^4$ (62.5 kHz)
0	1	0	$f_x/2^6$ (78.1 kHz)	$f_{cc}/2^6$ (15.6 kHz)
1	0	0	$f_x/2^8$ (19.5 kHz)	$f_{cc}/2^8$ (3.91 kHz)
1	1	0	$f_x/2^{10}$ (4.88 kHz)	$f_{cc}/2^{10}$ (977 Hz)
上記以外			設定禁止	

備考1. f_x : システム・クロック発振周波数 (セラミック / クリスタル発振)

2. f_{cc} : システム・クロック発振周波数 (RC発振)

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可 / 禁止を設定するレジスタです。
 WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により，00Hになります。

図10-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FFF9H	00H	R/W

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	動作停止
0	1	インターバル・タイマ・モード (オーバフロー発生時，マスクブル割り込み発生) ^{注3}
1	0	ウォッチドッグ・タイマ・モード1 (オーバフロー発生時，ノンマスクブル割り込み発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバフロー発生時，リセット動作を起動)

- 注1. RUNは，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。したがって，カウントを開始すると， $\overline{\text{RESET}}$ 入力以外で停止させることはできません。
2. WDTM3, WDTM4は，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。
3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

- 注意1. RUNに1を設定し，ウォッチドッグ・タイマをクリアしたとき，実際のオーバフロー時間は，タイマ・クロック選択レジスタ2 (TCL2) で設定した時間より最大0.8%短くなります。
2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は，TMIF4 (割り込み要求フラグ・レジスタ0 (IF0) のビット0) が0になっていることを確認してからWDTM4を1にセットしてください。TMIF4が1の状態では，ウォッチドッグ・タイマ・モード1, 2を選択すると書き換え終了と同時にノンマスクブル割り込みが発生します。

10.4 ウォッチドッグ・タイマの動作

10.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスクابل割り込みが発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意 実際の暴走検出時間は設定時間に対して最大0.8 %短くなる場合があります。

表10-4 ウォッチドッグ・タイマの暴走検出時間

TCL22	TCL21	TCL20	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 1.0 \text{ MHz}$ 動作時
0	0	0	$2^{11}/f_x$ (410 μs)	$2^{11}/f_{cc}$ (2.05 ms)
0	1	0	$2^{13}/f_x$ (1.64 ms)	$2^{13}/f_{cc}$ (8.19 ms)
1	0	0	$2^{15}/f_x$ (6.55 ms)	$2^{15}/f_{cc}$ (32.8 ms)
1	1	0	$2^{17}/f_x$ (26.2 ms)	$2^{17}/f_{cc}$ (131.1 ms)
上記以外			設定禁止	

備考1. f_x : システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{cc} : システム・クロック発振周波数 (RC発振)

10.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0, ビット3 (WDTM3) に1を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込みを発生するインターバル・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (TMMK4) が有効となり, マスカブル割り込み (INTWDT) を発生させることができます。INTWDTの優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALTモード時では動作を継続しますが, STOPモード時では動作を停止します。したがって, STOPモードに入る前にRUNを1に設定し, インターバル・タイマをクリアしたあと, STOP命令を実行してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) と $\overline{\text{RESET}}$ 入力されないかぎり, インターバル・タイマ・モードになりません。
2. WDTMで設定した直後のインターバル時間は, 設定時間に対して最大0.8 %短くなる場合があります。

表10 - 5 ウォッチドッグ・タイマのインターバル時間

TCL22	TCL21	TCL20	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 1.0 \text{ MHz}$ 動作時
0	0	0	$2^{11}/f_x$ (410 μs)	$2^{11}/f_{cc}$ (2.05 ms)
0	1	0	$2^{13}/f_x$ (1.64 ms)	$2^{13}/f_{cc}$ (8.19 ms)
1	0	0	$2^{15}/f_x$ (6.55 ms)	$2^{15}/f_{cc}$ (32.8 ms)
1	1	0	$2^{17}/f_x$ (26.2 ms)	$2^{17}/f_{cc}$ (131.1 ms)
上記以外			設定禁止	

備考1. f_x : システム・クロック発振周波数 (セラミック/クリスタル発振)

2. f_{cc} : システム・クロック発振周波数 (RC発振)

第11章 パワーオン・クリア回路(μ PD78E9860A, 78E9861Aのみ)

11.1 パワーオン・クリア回路の機能

パワーオン・クリア回路には2つの回路があり、それぞれ次のような機能を持ちます。

(1) パワーオン・クリア (POC) 回路

- ・電源電圧 (V_{DD}) と検出電圧 (V_{POC}) を比較し、 $V_{DD} < V_{POC}$ になったとき、内部リセット信号を発生します。
- ・STOPモード時でも動作可能です。

(2) 低電圧検出 (LVI) 回路

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ になったとき、割り込み要求信号 (INTLVI1) を発生します。
- ・8レベルの検出電圧をソフトウェアにより選択できます。
- ・STOPモード時、動作停止になります。

11.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図11-1, 図11-2に示します。

図11-1 パワーオン・クリア回路のブロック図

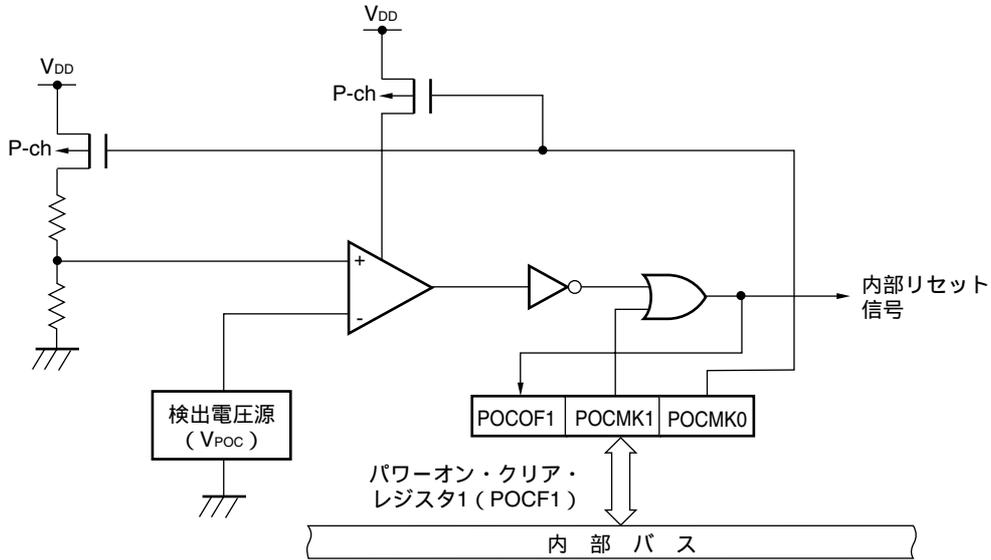
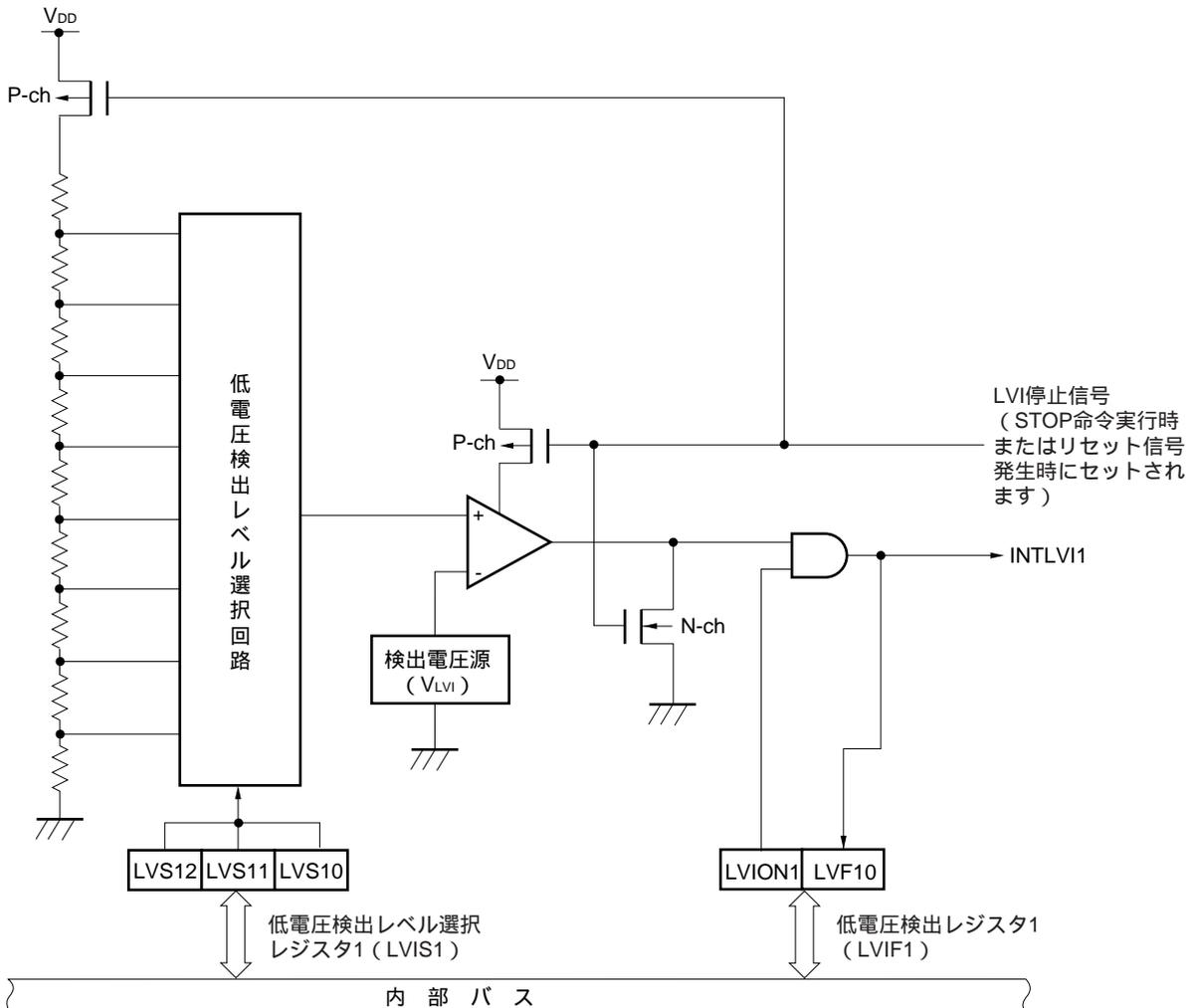


図11-2 低電圧検出回路のブロック図



11.3 パワーオン・クリア回路を制御するレジスタ

パワーオン・クリア回路を制御するレジスタには、次の3種類があります。

- ・パワーオン・クリア・レジスタ1 (POCF1)
- ・低電圧検出レジスタ1 (LVIF1)
- ・低電圧検出レベル選択レジスタ1 (LVIS1)

(1) パワーオン・クリア・レジスタ1 (POCF1)

POC回路の動作を制御するレジスタです。

POCF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図11-3 パワーオン・クリア・レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POCF1	0	0	0	0	0	POCOF1	POCMK1	POCMK0	FFDDH	00H ^注	R/W

POCOF1	POC出力検出フラグ
0	POCによるリセット信号未発生またはPOCF1への書き込みによってクリアされた状態
1	POCによるリセット信号発生

POCMK1	POCの制御
0	POCによるリセット信号の発生を許可
1	POCによるリセット信号の発生を禁止

POCMK0	POC動作の制御
0	POC動作
1	POC停止

注 パワーオン・クリアによるリセット時のみ、04Hとなります。

(2) 低電圧検出レジスタ1 (LVIF1)

LVI回路の動作を制御するレジスタです。

LVIF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図11 - 4 低電圧検出レジスタ1のフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
LVIF1	LVION1	0	0	0	0	0	0	LVF10	FFDEH	00H	R/W ^注

LVION1	LVI動作許可フラグ
0	LVI禁止
1	LVI許可

LVF10	LVI出力検出フラグ
0	電源電圧 (V _{DD}) > LVI検出電圧 (V _{LVI}) または動作禁止時
1	V _{DD} < V _{LVI}

注 ビット0は、Read Onlyです。

(3) 低電圧検出レベル選択レジスタ1 (LVIS1)

検出電圧 (V_{LVI}) のレベルを選択するレジスタです。

LVIS1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図11 - 5 低電圧検出レベル選択レジスタ1のフォーマット

略号	7	6	5	4	3		0	アドレス	リセット時	R/W	
LVIS1	0	0	0	0	0	LVS12	LVS11	LVS10	FFDFH	00H	R/W

LVS12	LVS11	LVS10	検出電圧 (V _{LVI}) レベル ^注 の選択
0	0	0	V _{LVI0}
0	0	1	V _{LVI1}
0	1	0	V _{LVI2}
0	1	1	V _{LVI3}
1	0	0	V _{LVI4}
1	0	1	V _{LVI5}
1	1	0	V _{LVI6}
1	1	1	V _{LVI7}

注 検出電圧のスペックについては第20章 電気的特性を参照してください。

注意 検出電圧レベル(V_{LVI})を変更した場合、LVIの出力が安定するまで約2 msの動作安定時間を要します。動作が安定するまではLVIを動作許可にしないでください。

11.4 パワーオン・クリア回路の動作

11.4.1 パワーオン・クリア (POC) 回路の動作

POC回路では、電源電圧 (V_{DD}) と検出電圧 (V_{POC}) を比較し、 $V_{DD} < V_{POC}$ のとき内部リセット信号を発生します。

μ PD78E9860A, 78E9861Aでは、POC切り替え回路により、POCの動作を制御できます。

POC動作の切り替えを行う場合は、必ず次の手順をお守りください。

(1) POC停止 POC動作に切り替える場合

POCMK1 = 1であることを確認する

POCMK0 = 0に設定し、POC動作状態にする

動作安定時間をウエイトする (出力信号が不安定のため、POCによるリセット信号の発生を禁止状態にしておく)

POCMK1 = 0に設定し、POCによるリセット信号の発生を許可する

(2) POC動作 POC停止に切り替える場合

POCMK1 = 1に設定し、POCによるリセット信号の発生を禁止状態にする

POCMK0 = 1に設定し、POC停止状態にする

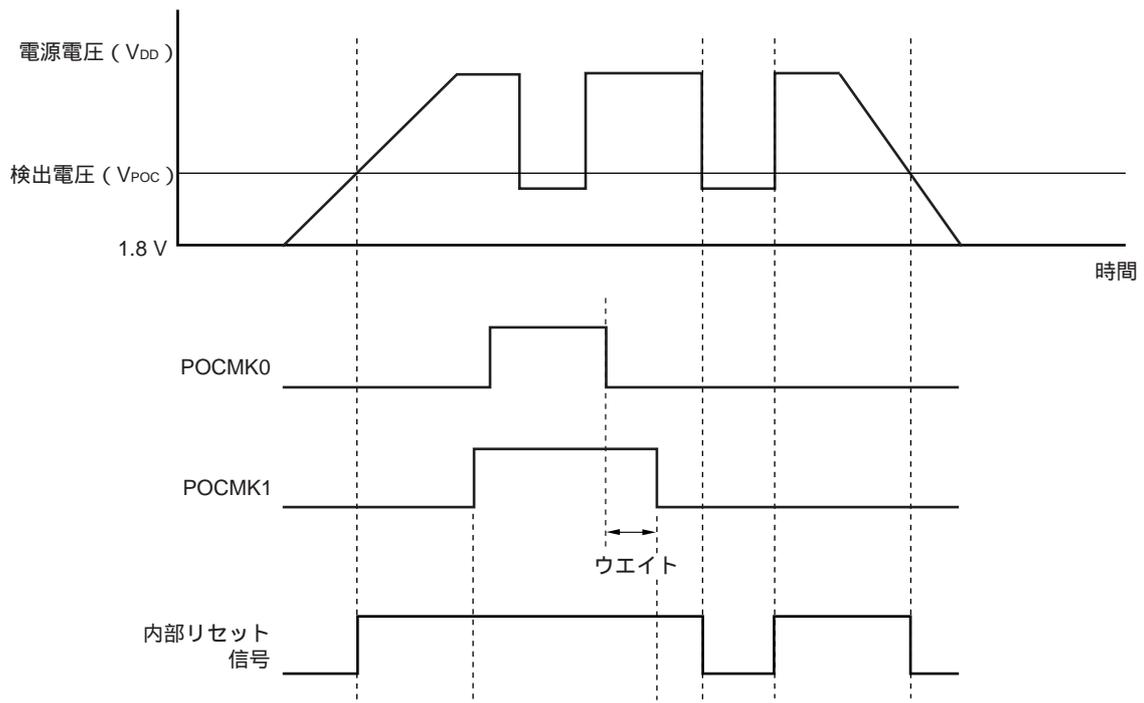
POCによるリセット信号の発生はPOCOF1フラグを読み込むことによって判断できます。POCOF1はPOCによるリセット信号が発生した場合、1にセット、POCF1への書き込みで0にクリアされます[※]。

POC回路を使用する場合は、あらかじめPOCOF1をクリアしておいてください。

注 POCOF1は、POCF1レジスタ内のビット0-2のいずれかに書き込みをすることでクリアされます。

図11 - 6にPOCによるリセット信号の発生タイミングを示します。

図11 - 6 POC切り替え回路時の内部リセット信号発生タイミング



11.4.2 低電圧検出回路 (LVI) の動作

LVI回路では、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ (LVI回路動作時) のとき割り込み要求信号 (INTLVI1) を発生します。

図11-2 低電圧検出回路のブロック図にあるように、LVI回路の分割抵抗およびコンパレータはリセット信号の発生またはSTOPモード時にOFFとなります。リセット解除後、LVI動作はLVION1 (低電圧検出レジスタ1 (LVIF1) のビット7) をセットすることにより開始されます。この際、LVI回路の動作が安定するまで約2 ms必要となります。

一度LVI動作が開始されるとLVION1をクリアした場合でも分割抵抗およびコンパレータはSTOP命令またはリセット信号が発生しない限りOFFになりませんので、再度LVION1をセットした直後から低電圧検出が可能で

注意 LVI回路の分割抵抗およびコンパレータはリセット解除後ONとなります。

また、常時低電圧を監視する場合は次のいずれかの方法で行ってください。

LVI検出割り込みを使用せず、LVFI0 (低電圧検出レジスタ1 (LVIF1) のビット0) のモニタリングによる低電圧監視

LVI検出割り込みを使用して低電圧監視。この場合、割り込みを許可 (LVIMK1 = 0) する前に一度LVI動作禁止 許可の処理 (LVION1 = 0 1) を行う。

LVI検出割り込みを使用して、常時低電圧を監視する場合のプログラム例を次に示します。

(a) リセット解除時の処理

```
DI
MOV    LVIS1, #xxH    ; LVI検出電圧の設定
SET1   LVIMK1         ; LVI割り込み禁止
SET1   LVION1         ; LVI動作許可
CALL   !WAIT_2ms      ; 2 msウエイト
CLR1   LVIF1
CLR1   LVION1         ; LVI動作禁止
SET1   LVION1         ; LVI動作許可
CLR1   LVIMK1         ; LVI割り込み許可
EI
```

(b) STOPモード解除時の処理

```
SET1   LVIMK1         ; LVI割り込み禁止
STOP
CALL   !WAIT          ; 発振安定時間と合計で2 msウエイト
CLR1   LVIF1
CLR1   LVION1         ; LVI動作禁止
SET1   LVION1         ; LVI動作許可
CLR1   LVIMK1         ; LVI割り込み許可
EI
```

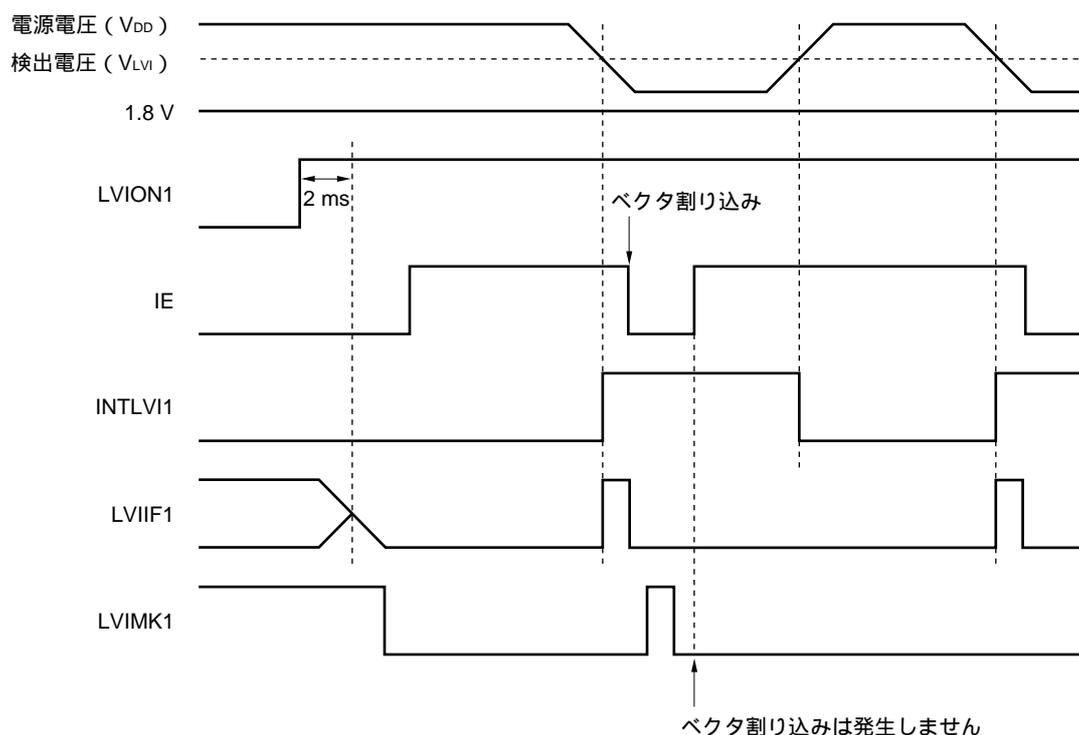
(c) LVI割り込み処理後，再度LVI割り込みを許可する処理

```

SET1    LVIMK1    ; LVI割り込み禁止
CLR1    LVION1    ; LVI動作禁止
SET1    LVION1    ; LVI動作許可
CLR1    LVIMK1    ; LVI割り込み許可
EI
    
```

図11 - 7にLVI回路の動作タイミングを示します。

図11 - 7 LVI回路の動作タイミング



注意 低電圧検出の割り込み要求フラグ (LVIIIF1) は，LVI回路のコンパレータ出力信号 (INTLVI1) の立ち上がりでセットされます。したがって，LVI動作中に電源電圧 (V_{DD}) が検出電圧 (V_{LVI}) 以下となり，INTLVI1が発生した以降も継続している場合，LVIIIF1はセットされません。低電圧検出後，いったんV_{DD} > V_{LVI}となり，再度V_{DD} < V_{LVI}となった場合は，LVIIIF1はセットされます。

第12章 ビット・シーケンシャル・バッファ

12.1 ビット・シーケンシャル・バッファの機能

μPD789052, 789062サブシリーズには8ビット+8ビット=16ビットのビット・シーケンシャル・バッファを内蔵しています。ビット・シーケンシャル・バッファの機能を次に示します。

- ・ビット・シーケンシャル・バッファ10データ・レジスタ (BSFRL10, BSFRH10) の値を1ビット下位側へシフトすると同時にLSBをポートへ出力可能
- ・8ビット・メモリ操作命令または16ビット操作命令により, BSFRL10, BSFRH10への書き込みが可能 (リードは不可)
- ・上位8ビット (BSFRH10) のみシフト動作中に書き換えを許可 (ただし, シフト・クロックがロウ・レベルの期間)

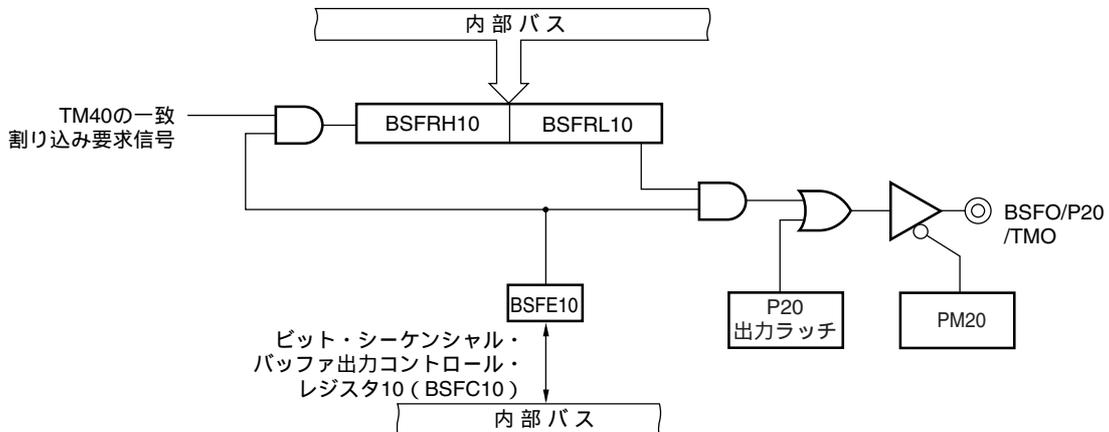
12.2 ビット・シーケンシャル・バッファの構成

ビット・シーケンシャル・バッファは次のハードウェアで構成しています。

表12-1 ビット・シーケンシャル・バッファの構成

項目	構成
データ・レジスタ	ビット・シーケンシャル・バッファ: 8ビット+8ビット=16ビット
制御レジスタ	ビット・シーケンシャル・バッファ出力コントロール・レジスタ10 (BSFC10) ポート・モード・レジスタ2 (PM2) ポート2 (P2)

図12-1 ビット・シーケンシャル・バッファのブロック図



12.3 ビット・シーケンシャル・バッファを制御するレジスタ

ビット・シーケンシャル・バッファは次の3種類のレジスタで制御します。

- ・ビット・シーケンシャル・バッファ出力コントロール・レジスタ10 (BSFC10)
- ・ポート・モード・レジスタ2 (PM2)
- ・ポート2 (P2)

(1) ビット・シーケンシャル・バッファ出力コントロール・レジスタ10 (BSFC10)

ビット・シーケンシャル・バッファの動作制御をするレジスタです。

BSFC10は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図12-2 ビット・シーケンシャル・バッファ出力コントロール・レジスタ10のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BSFC10	0	0	0	0	0	0	0	BSFE10	FF60H	00H	R/W

BSFE10	ビット・シーケンシャル・バッファの動作制御
0	動作禁止
1	動作許可

(2) ポート・モード・レジスタ2 (PM2)

ポート2の入力/出力を1ビット単位で設定するレジスタです。

P20/TMO/BSFO端子をビット・シーケンシャル・バッファのデータ出力として使用するときはPM20およびP20の出力ラッチに0を設定してください。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図12-3 ポート・モード・レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM2	1	1	1	1	1	1	PM21	PM20	FF22H	FFH	R/W

PM20	P20端子の入出力モード
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

12.4 ビット・シーケンシャル・バッファの動作

ビット・シーケンシャル・バッファを動作させるには次の設定を行います。

- ビット・シーケンシャル・バッファ10データ・レジスタL, H (BSFRL10, BSFRH10) に値を設定
- ビット・シーケンシャル・バッファの動作を許可に設定 (BSFE10 = 1)
- BSFRL10のLSBをP20/BSFO/TMO端子に出力する場合は、P20を出力モード (PM20 = 0) , P20の出力ラッチを0に設定
- クロック動作を開始する

ビット・シーケンシャル・バッファの動作前にクロックを入力した場合、次の図のように出力開始時のスタート・ビットの出力時間がクロックの1周期より短くなることがあります。

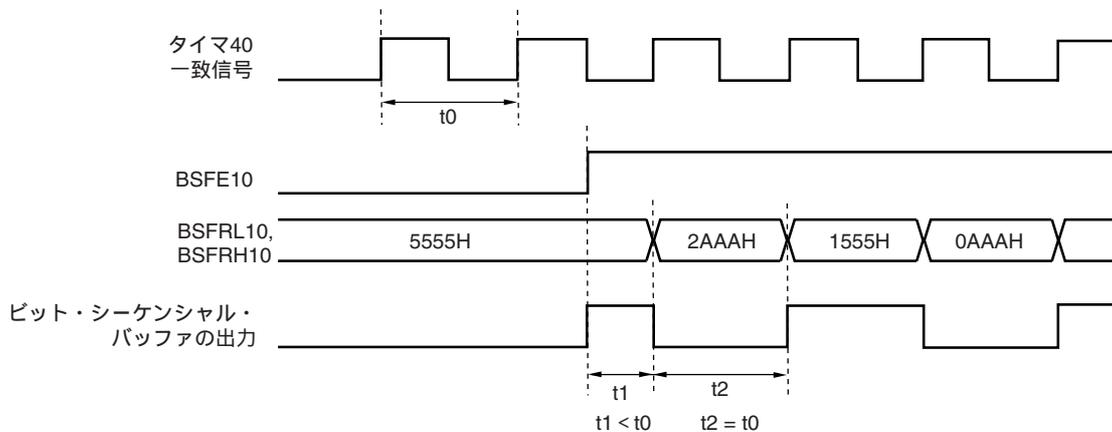
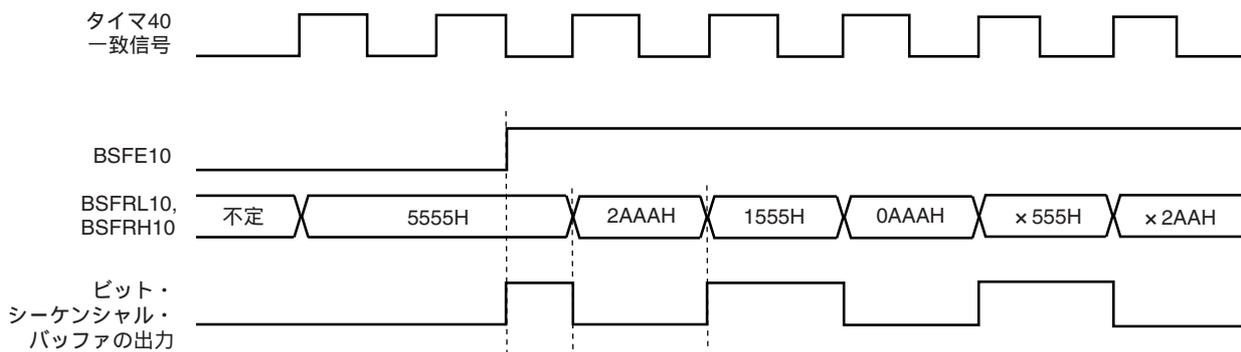


図12 - 4にビット・シーケンシャル・バッファの動作タイミングを示します。

図12 - 4 ビット・シーケンシャル・バッファの動作タイミング



- 注意1.** ビット・シーケンシャル・バッファの動作中にデータ・レジスタへの書き込み動作を行った場合にも、シフト・クロック (タイマ40一致信号) は停止しません。したがって、データ・レジスタへ書き込みは、シフト・クロックのロウ・レベルの期間に行ってください。
- 2.** シフト後のデータ・レジスタの値は不定になります。

備考 × : 不定

第13章 キー・リターン回路

13.1 キー・リターン回路の機能

STOPモード時、P40/KR10-P43/KR13の立ち下がりエッジ入力により、キー・リターン割り込み (INTKR1) を発生します。

- 注意1. キー・リターン割り込みはSTOPモード時のみ有効となるノンマスクابل割り込みです。また、P40/KR10-P43/KR13のキー入力はマスク制御できません。
- 2. キー・リターン端子 (P40/KR10-P43/KR13) のうち1本でもロウ・レベルになっている間は、他のキー・リターン端子に立ち下がりエッジが発生してもキー・リターン信号を検出できません。

13.2 キー・リターン回路の構成と動作

キー・リターン回路のブロック図を図13 - 1、キー・リターン割り込み (INTKR1) が発生するタイミングを図13 - 2に示します。

図13 - 1 キー・リターン回路のブロック図

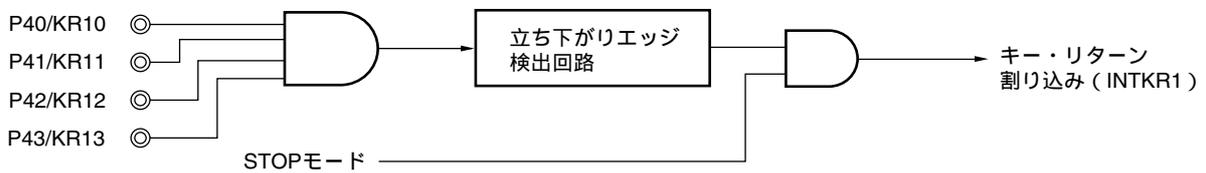
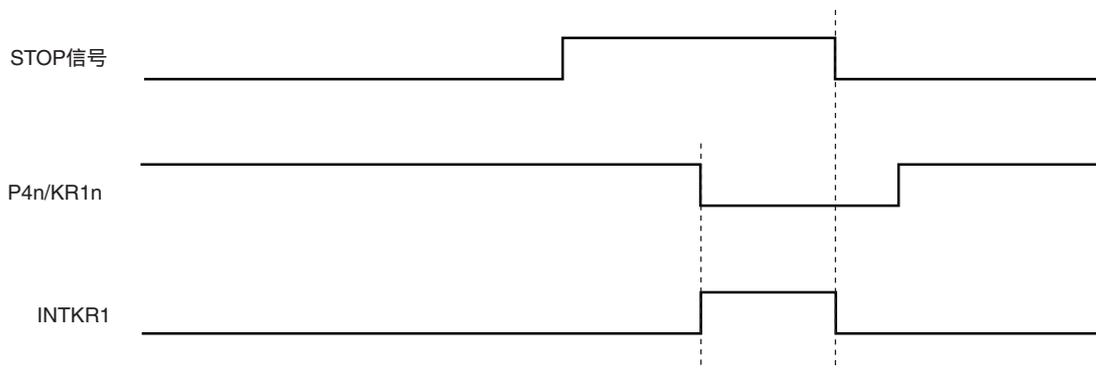


図13 - 2 キー・リターン割り込み発生タイミング



備考 n = 0-3

第14章 割り込み機能

14.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、外部割り込みが1要因、内部割り込みが1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。同時に複数の割り込み要求が同時に発生しているときの優先順位(プライオリティ)は、表14 - 1のように決められています。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、各製品ごとに次のように内蔵しています。

・ μ PD789052, 789062 内部：3要因

・ μ PD78E9860A, 78E9861A 内部：5要因

14.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込みをあわせて、 μ PD789052, 789062では合計5要因、 μ PD78E9860A, 78E9861Aでは合計7要因あります(表14 - 1参照)。

表14 - 1 割り込み要因一覧

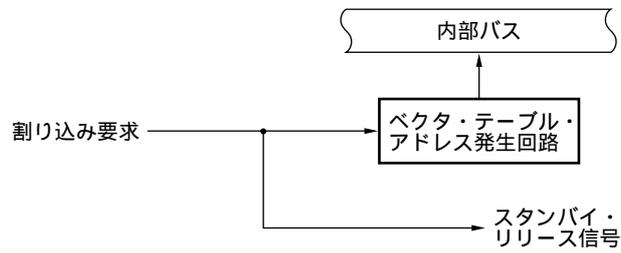
割り込みタイプ	プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}		
		名称	トリガ					
ノンマスクابل	-	INTKR1	キー・リターン入力立ち下がりエッジ検出時	外部	0002H	(A)		
		INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H			
マスクابل	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)			(B)		
		1	INTTM30				8ビット・タイマ30の一致信号発生	0006H
		2	INTTM40				8ビット・タイマ40の一致信号発生	0008H
		3	INTLV11 ^{注3}				LVI割り込み要求信号	000AH
		4	INTEE0 ^{注3}				EEPROM書き込み終了信号	000CH

- 注1. プライオリティは、複数のマスクابل割り込みが同時に発生している場合に、優先する順位です。0が最高順位，4が最低順位です。
2. 基本構成タイプの(A)，(B)は、それぞれ図14 - 1の(A)，(B)に対応しています。
3. μ PD78E9860A, 78E9861Aのみ

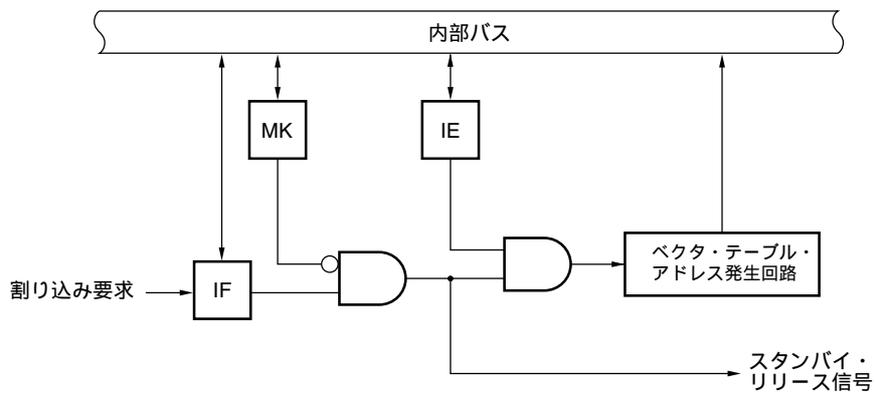
備考 ウォッチドッグ・タイマの割り込み要因 (INTWDT) には、ノンマスクابل割り込みとマスクابل割り込み (内部) の2種類があり、どちらか1種類のみ選択できます。

図14 - 1 割り込み機能の基本構成

(A) 外部 / 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- MK : 割り込みマスク・フラグ

14.3 割り込み機能を制御するレジスタ

割り込み機能は、次の3種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ0 (IF0)
- ・割り込みマスク・フラグ・レジスタ0 (MK0)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を表14 - 2に示します。

表14 - 2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTWDT	TMIF4	TMMK4
INTTM30	TMIF30	TMMK30
INTTM40	TMIF40	TMMK40
INTLV1 ^注	LVIF1 ^注	LVIMK1 ^注
INTEE0 ^注	EEIF0 ^注	EEMK0 ^注

注 μ PD78E9860A, 78E9861Aのみ

(1) 割り込み要求フラグ・レジスタ0 (IF0)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア (0) されるフラグです。

IF0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図14 - 2 割り込み要求フラグ・レジスタ0のフォーマット

略号	7	6	5				0	アドレス	リセット時	R/W	
IF0	0	0	0	EEIF0 ^注	LVIF1 ^注	TMIF40	TMIF30	TMIF4	FFE0H	00H	R/W

x x IF x	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注 μ PD78E9860A, 78E9861Aのみ

注意1. ビット5-7には必ず0を設定してください。

2. TMIF4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、TMIF4フラグに0を設定してください。

3. 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ0 (MK0)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。
 MK0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、FFHになります。

図14 - 3 割り込みマスク・フラグ・レジスタ0のフォーマット

略号	7	6	5					0	アドレス	リセット時	R/W
MK0	1	1	1	EEMK0 ^注	LVIMK1 ^注	TMMK40	TMMK30	TMMK4	FFE4H	FFH	R/W

x × MK x	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注 μ PD78E9860A, 78E9861Aのみ

注意1. ビット5-7には必ず1を設定してください。

- ★ 2. TMMK4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。

(3) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可/禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。

$\overline{\text{RESET}}$ 入力により、PSWは02Hになります。

図14 - 4 プログラム・ステータス・ワードの構成

略号	7	6	5	4	3	2	1	0	リセット時
PSW	IE	Z	0	AC	0	0	1	CY	0 2 H

→ 通常の命令実行時に使用

IE	割り込み受け付けの許可/禁止
0	禁止
1	許可

14.4 割り込み処理動作

14.4.1 ノンマスクابل割り込み要求の受け付け動作

ノンマスクابل割り込み要求は、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスクابل割り込み要求が受け付けられると、PSW、PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャートを図14 - 5に、ノンマスクابل割り込み要求の受け付けタイミングを図14 - 6に、ノンマスクابل割り込みが多量に発生した場合の受け付け動作を図14 - 7に示します。

注意 μ PD789052, 789062サブシリーズには、2つのノンマスクابل割り込み要因が存在するため、ノンマスクابل割り込みサービス・プログラム実行中は、RETI命令を実行するまで、新たなノンマスクابل割り込み要求を受け付けなくなっています。割り込みサービス・プログラム実行後は、必ずRETI命令を実行するようにしてください。

なお、ウォッチドッグ・タイマをノンマスクابل割り込みとして使用する場合は、RETI命令を実行する前に復帰先のアドレスをPUSHするようにしてください。復帰先をPUSHしないでRETI命令を実行すると、不正アドレスへジャンプします。次にプログラム例を示します。

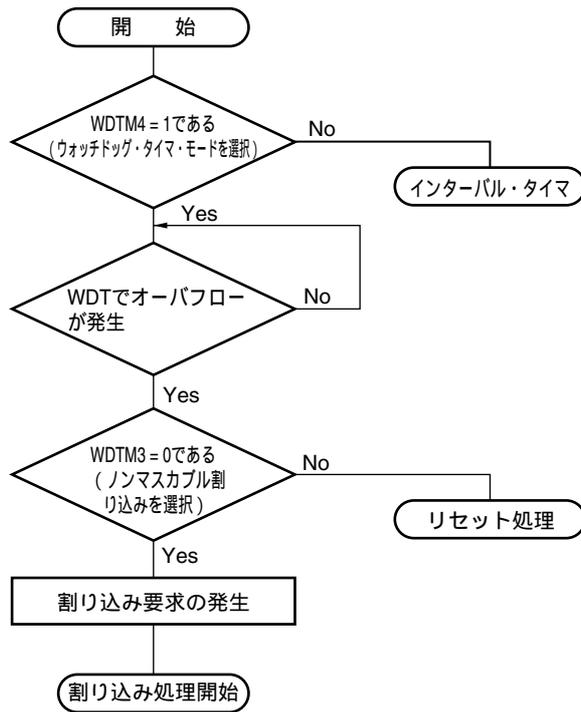
例) ウォッチドッグ・タイマをノンマスクابل割り込みとして使用し、割り込み発生時リセット・ベクタへ分岐するようにする場合のプログラム例

```

XVECT          CSEG      AT 0000H
DW  IRESET          ;(00)   RESET
DW  IKR              ;(02)   KeyReturn
DW  IWDT              ;(04)   INTWDT
:
XRST          CSEG      AT 0080H
IRESET:  DI
          MOVW  AX, #0FEFFH
          MOVW  SP, AX
:
:
IWDT:
          ( 割り込み処理 )
:
          MOVW  AX, #0080H
          PUSH  AX
          RETI

```

図14 - 5 ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート (INTWDTの場合)



WDTM : ウォッチドッグ・タイマ・モード・レジスタ

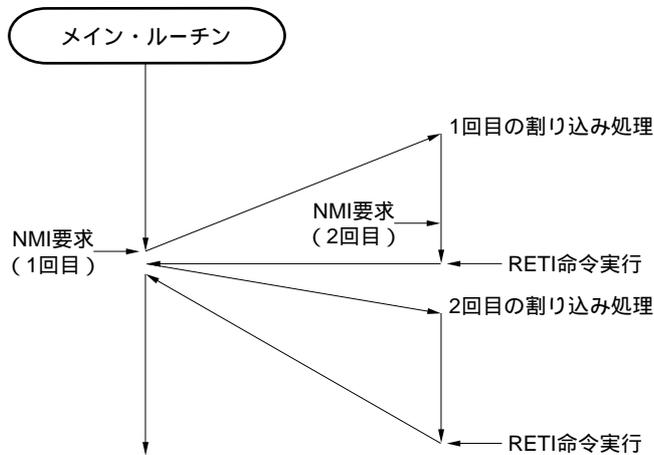
WDT : ウォッチドッグ・タイマ

★

図14 - 6 ノンマスクابل割り込み要求の受け付けタイミング



図14 - 7 ノンマスクابل割り込み要求の受け付け動作



14.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込みの割り込みマスク・フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は表14-3のようになります。割り込み要求の受け付けのタイミングについては、図14-9、図14-10を参照してください。

表14-3 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 ^注
9クロック	19クロック

注 BT, BF命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU}: CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。

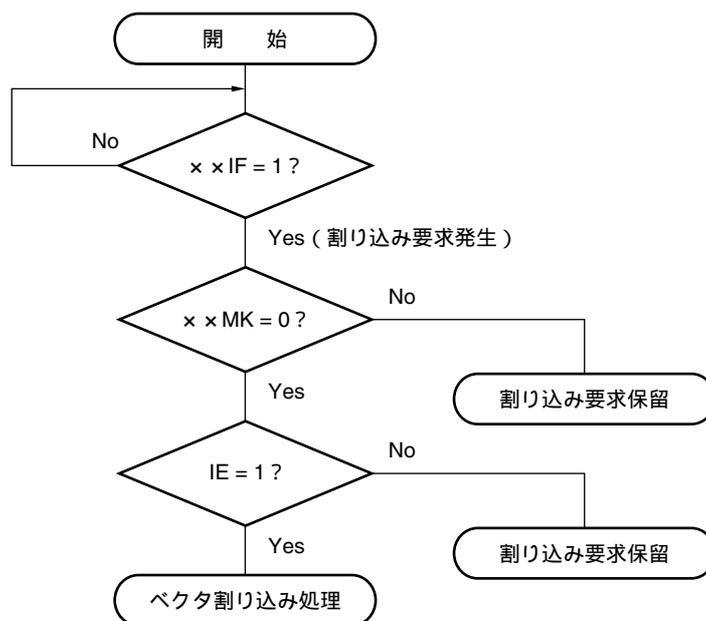
保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図14-8に示します。

マスカブル割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグをリセット(0)し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図14-8 割り込み要求受け付け処理アルゴリズム

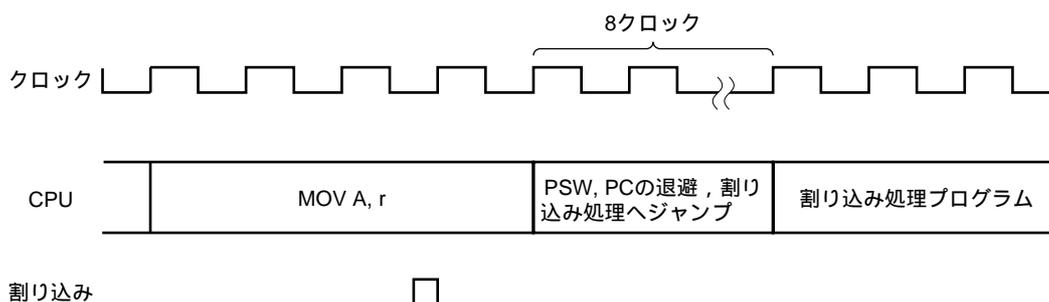


x x IF : 割り込み要求フラグ

x x MK : 割り込みマスク・フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

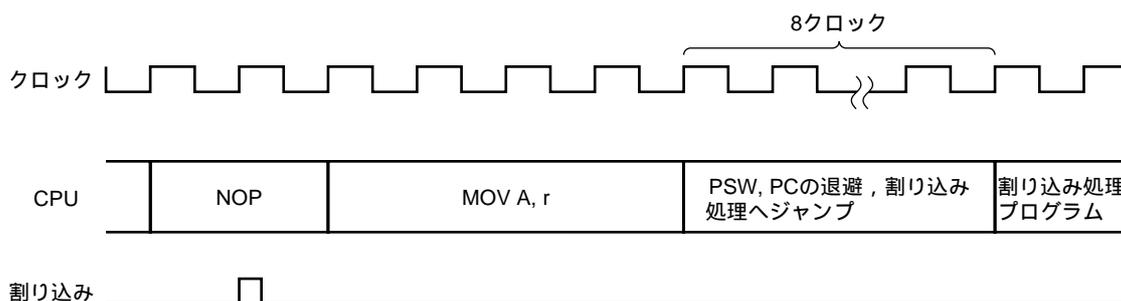
図14 - 9 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロック n ($n = 4-10$) が $n - 1$ までに割り込み要求フラグ ($\times \times IF$) が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図14 - 9では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので実行してから3クロックの間に割り込みが発生するとMOV A, rの終了後、割り込み受け付け処理を行います。

図14 - 10 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ ($\times \times IF$) が命令の最後のクロックのときに発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図14 - 10ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

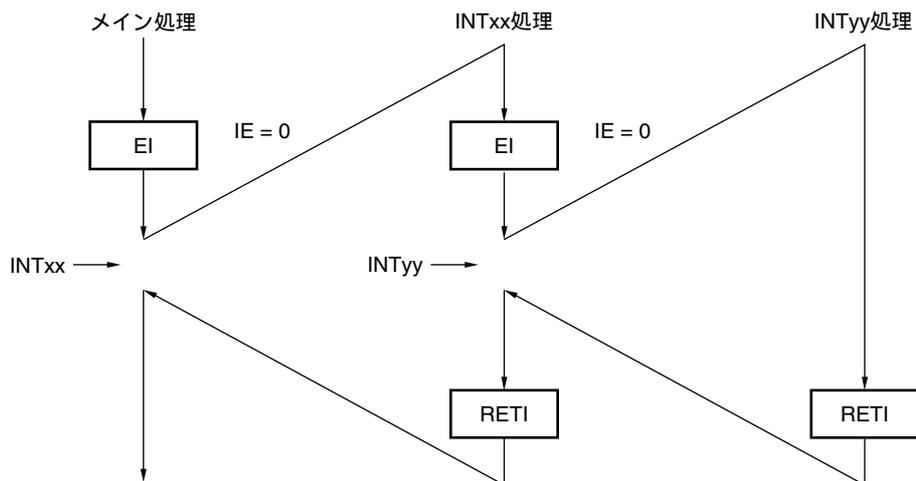
注意 割り込み要求フラグ・レジスタ0 (IF0) または割り込みマスク・フラグ・レジスタ0 (MK0) にアクセス中は割り込み要求は保留されます。

14.4.3 多重割り込み処理

割り込み処理中にさらに別の割り込みを受け付ける多重割り込みは、優先順位によって処理できます。複数の割り込みが同時に発生しているとき、各割り込み要求にあらかじめ割り付けてある優先順位に従って割り込み処理を行います(表14-1参照)。

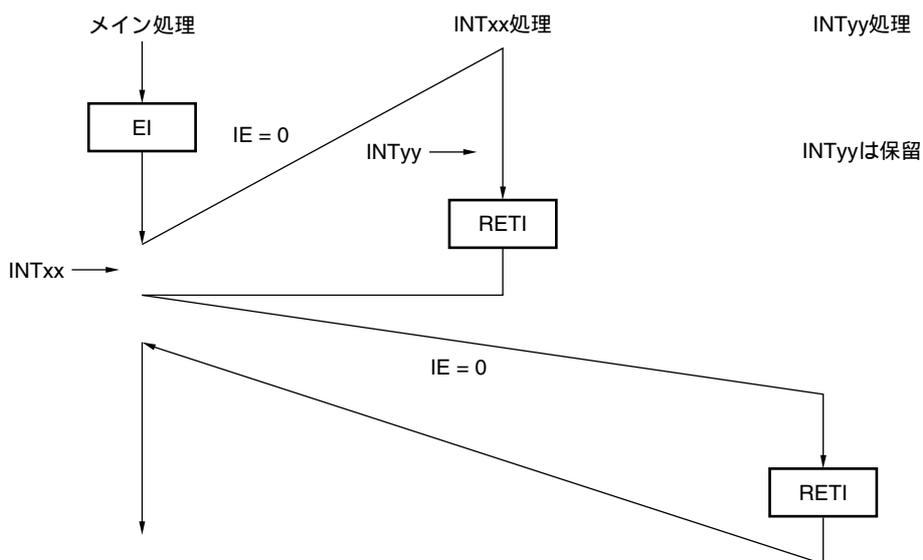
図14-11 多重割り込みの例

例1. 多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

IE = 0 : 割り込み要求受け付け禁止

14.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、ノンマスカブル割り込み、外部割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・割り込み要求フラグ・レジスタ0（IF0）に対する操作命令
- ・割り込みマスク・フラグ・レジスタ0（MK0）に対する操作命令

第15章 スタンバイ機能

15.1 スタンバイ機能と構成

15.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減することができます。

また、データ・メモリの低電圧 ($V_{DD} = 1.8 \text{ V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

15.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) ^注で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。

ただし、 $\overline{\text{RESET}}$ 解除後の発振安定時間はOSTSに依存せず、 μ PD789052, 78E9860Aは $2^{15}/f_x$ に、 μ PD789062, 78E9861Aは $2^7/f_{cc}$ になります。

注 μ PD789052サブシリーズのみです。

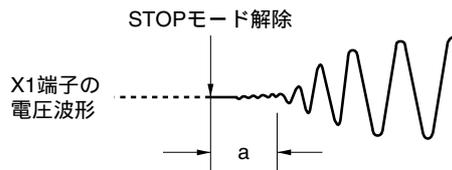
μ PD789062サブシリーズには、発振安定時間選択レジスタはありません。 μ PD789062サブシリーズの発振安定時間は $2^7/f_{cc}$ に固定されます。

図15 - 1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (819 μ s)
0	1	0	$2^{15}/f_x$ (6.55 ms)
1	0	0	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止

注意 STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。



備考1. f_x : システム・クロック発振周波数(セラミック/クリスタル発振)

2. ()内は、 $f_x = 5.0$ MHz動作時

15.2 スタンバイ機能の動作

15.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表15-1 HALTモード時の動作状態

項 目		HALTモード時の動作状態
システム・クロック		システム・クロックの発振が可能 CPUへのクロック供給が停止
CPU		動作停止
EEPROM ^{注1}		動作可能 ^{注2}
ポート（出力ラッチ）		HALTモード設定前の状態を保持
8ビット・タイマ	TM30	動作可能
	TM40	動作可能
ウォッチドッグ・タイマ		動作可能
パワーオン・クリア回路 ^{注1}	POC	動作可能 ^{注3}
	LVI	動作可能
ビット・シーケンシャル・パッファ		動作可能
キー・リターン回路		動作停止

注1. μ PD78E9860A, 78E9861Aのみ

2. 書き込み命令実行後、HALTモード設定可能

3. μ PD78E9860A, 78E9861Aで、POC切り替え回路によりPOC回路を動作可能に設定した場合のみ

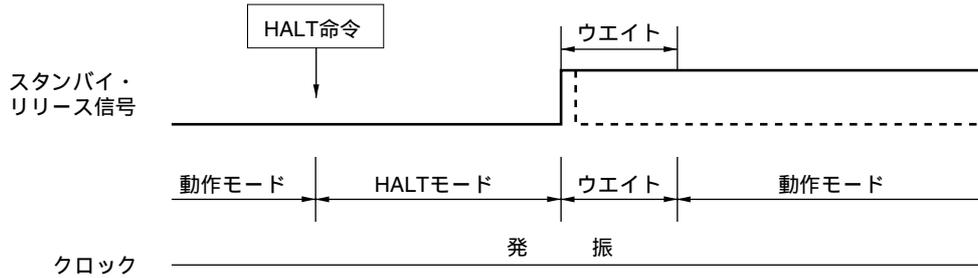
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードを解除します。割り込み要求受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図15 - 2 HALTモードの割り込み発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

- ・ベクタに分岐した場合 : 9~10クロック
- ・ベクタに分岐しなかった場合 : 1~2クロック

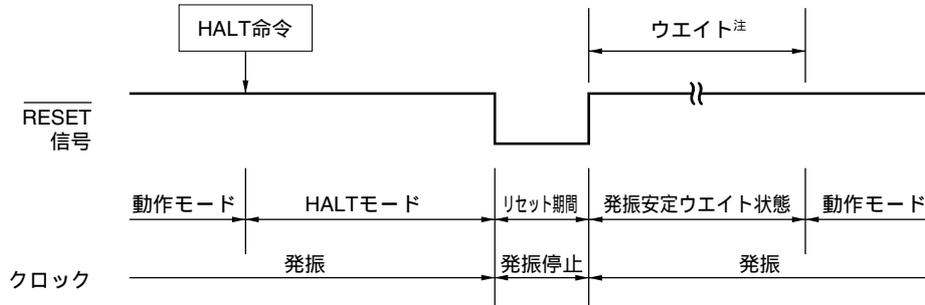
★ (b) ウォッチドッグタイマのノンマスクابل割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

(c) $\overline{\text{RESET}}$ 入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図15 - 3 HALTモードの $\overline{\text{RESET}}$ 入力による解除



注 μ PD789052, 78E9860Aのとき $2^{15}/f_x$: 6.55 ms ($f_x = 5.0$ MHz動作時)

μ PD789062, 78E9861Aのとき $2^7/f_{cc}$: 128 μ s ($f_{cc} = 1.0$ MHz動作時)

備考1. f_x : システム・クロック発振周波数 (セラミック / クリスタル発振)

2. f_{cc} : システム・クロック発振周波数 (RC発振)

表15 - 2 HALTモードの解除後の動作

解除ソース	MK x x	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	HALTモード保持
ウォッチドッグタイマの ノンマスカブル割り込み要求	-	x	割り込み処理実行
$\overline{\text{RESET}}$ 入力	-	-	リセット処理

x : don't care

★

15.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されず。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表15-3 STOPモード時の動作状態

項 目	STOPモード時の動作状態	
システム・クロック	システム・クロックの発振が停止 CPUへのクロック供給が停止	
CPU	動作停止	
EEPROM ^{注1}	動作停止	
ポート（出力ラッチ）	STOPモード設定前の状態を保持	
8ビット・タイマ	TM30	動作可能 ^{注2}
	TM40	動作可能 ^{注3}
ウォッチドッグ・タイマ	動作停止	
パワーオン・クリア回路 ^{注1}	POC	動作可能 ^{注4}
	LVI	動作停止
ビット・シーケンシャル・バッファ	動作可能 ^{注5}	
キー・リターン回路	動作可能	

注1. μ PD78E9860A, 78E9861Aのみ

2. TM40（カウント・クロックに外部クロック選択時）とのカスケード接続モード時のみ動作可能
3. カウント・クロックに外部クロックを選択したときのみ動作可能
4. μ PD78E9860A, 78E9861Aで、POC切り替え回路によりPOC回路を動作可能に設定した場合のみ
5. TM40のカウント・クロックに外部クロックを選択し、INTTM40が発生する場合のみ動作可能

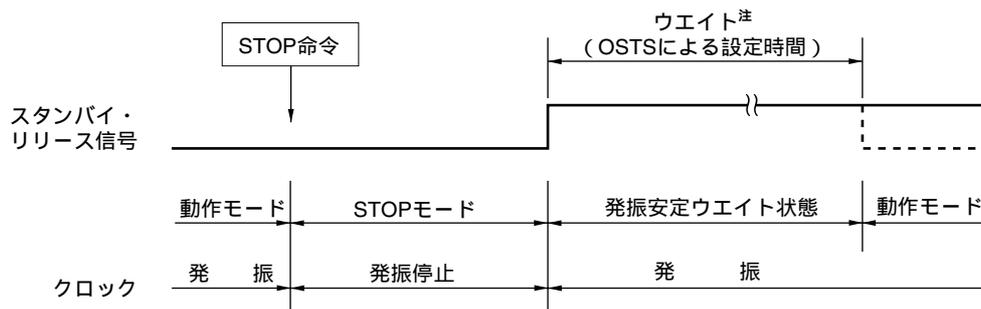
(2) STOPモードの解除

STOPモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図15 - 4 STOPモードの割り込み発生による解除



注 μ PD789062サブシリーズには、OSTSはなく、ウエイトは $2^7/f_{cc}$ に固定されます。

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

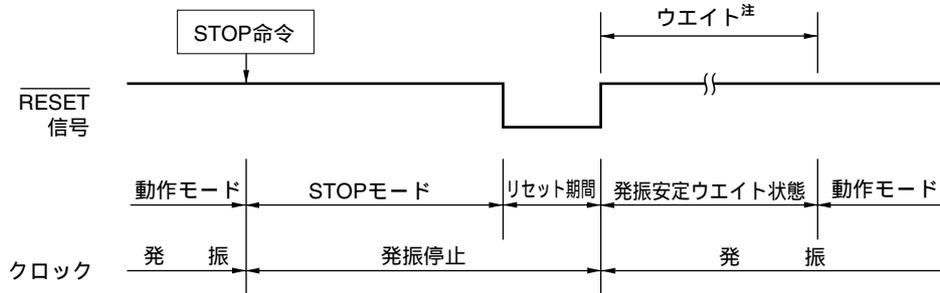
★ (b) キー・リターンのノンマスクابل割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、STOPモードを解除し、ベクタ割り込み処理を行います。

(c) RESET入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図15-5 STOPモードのRESET入力による解除



注 μ PD789052, 78E9860Aのとき $2^{15}/f_x$: 6.55 ms ($f_x = 5.0$ MHz動作時)
 μ PD789062, 78E9861Aのとき $2^7/f_{cc}$: 128 μ s ($f_{cc} = 1.0$ MHz動作時)

- 備考1. f_x : システム・クロック発振周波数 (セラミック/クリスタル発振)
 2. f_{cc} : システム・クロック発振周波数 (RC発振)

表15-4 STOPモードの解除後の動作

解除ソース	MK x x	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	STOPモード保持
キー・リターンの ノンマスカブル割り込み要求	-	x	割り込み処理実行
RESET入力	-	-	リセット処理

x : don't care

★

第16章 リセット機能

リセット信号を発生させる方法には、次の3種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット
- (3) POC回路の電源電圧と検出電圧との比較による内部リセット^注

外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

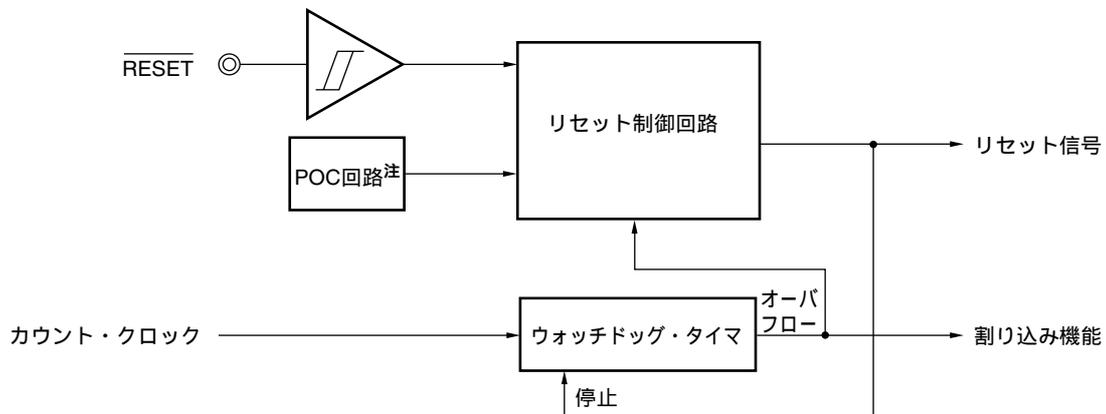
$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバフローが発生する、またはPOC回路^注の電圧検出により、リセットがかかり、各ハードウェアは表16 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後にプログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後にプログラムの実行を開始します(図16 - 2 ~ 図16 - 4参照)。

注 μ PD78E9860A, 78E9861Aのみ

- 注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。
2. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図16 - 1 リセット機能のブロック図



注 μ PD78E9860A, 78E9861Aのみ

図16-2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

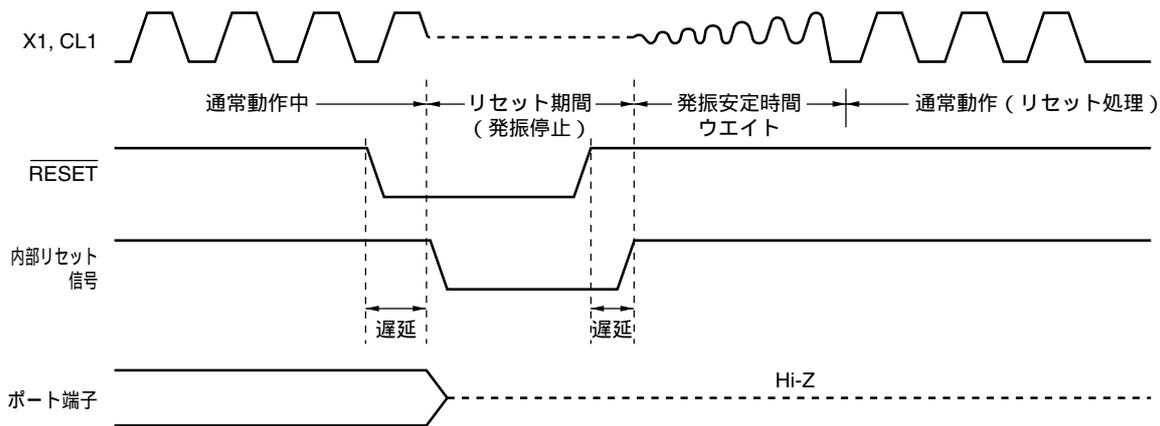


図16-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

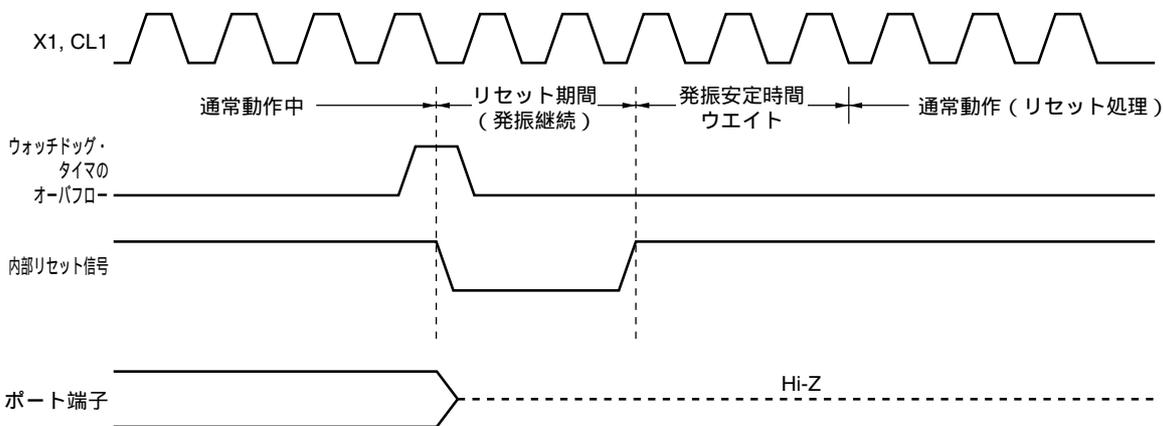
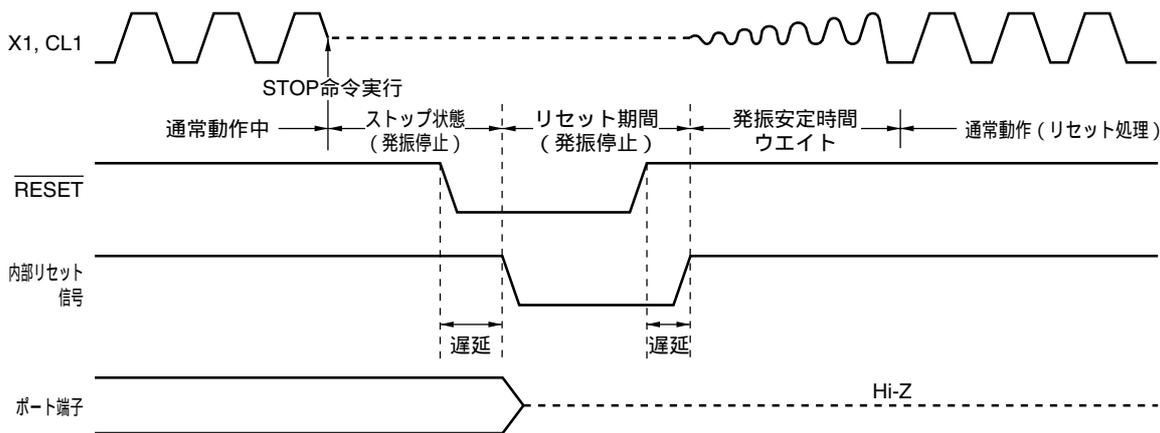


図16-4 STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング



備考 POC回路の電圧検出によるリセット・タイミングは、第11章 パワーオン・クリア回路 (μ PD78E9860A, 78E9861Aのみ) を参照してください。

表16-1 各ハードウェアのリセット後の状態

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
EEPROM ^{注2}	ライト・コントロール・レジスタ (EEWC10)	08H
RAM	データ・メモリ	不定 ^{注3}
	汎用レジスタ	不定 ^{注3}
ポート (P0, P2) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0, PM2)		FFH
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
発振安定時間選択レジスタ (OSTS) ^{注4}		04H
8ビット・タイマ	タイマ・カウンタ (TM30, TM40)	00H
	コンペア・レジスタ (CR30, CR40, CRH40)	不定
	モード・コントロール・レジスタ (TMC30, TMC40)	00H
	キャリア・ジェネレータ出力コントロール・レジスタ (TCA40)	00H
ウォッチドッグ・タイマ	タイマ・クロック選択レジスタ (TCL2)	00H
	モード・レジスタ (WDTM)	00H
パワーオン・クリア回路 ^{注2}	パワーオン・クリア・レジスタ (POCF1)	00H ^{注5}
	低電圧検出レジスタ (LVIF1)	00H
	低電圧検出レベル選択レジスタ (LVIS1)	00H
ビット・シーケンシャル・バッファ	データ・レジスタ (BSFRL10, BSFRH10)	不定
	出力コントロール・レジスタ (BSFC10)	00H
割り込み	要求フラグ・レジスタ (IF0)	00H
	マスク・フラグ・レジスタ (MK0)	FFH

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. μ PD78E9860A, 78E9861Aのみ
3. スタンバイ・モード時でのリセット後の状態は保持となります。
4. μ PD789052サブシリーズのみ
5. パワーオン・クリアによるリセット時のみ、04Hとなります。

第17章 μ PD78E9860A, 78E9861A

μ PD789052, 789062サブシリーズのEEPROM製品には, μ PD78E9860A, 78E9861Aがあります。

μ PD78E9860Aは, μ PD789052の内部ROMを, μ PD78E9861Aは, μ PD789062の内部ROMをそれぞれEEPROMに置き換えた製品です。 μ PD78E9860A, 78E9861AとマスクROM製品の違いを表17 - 1に示します。

表17 - 1 μ PD78E9860A, 78E9861AとマスクROM製品の違い

品 名			EEPROM製品		マスクROM製品	
			μ PD78E9860A	μ PD78E9861A	μ PD789052	μ PD789062
内部 メモリ	プログラム・ メモリ	ROM構成	EEPROM		マスクROM	
		ROM容量	4 Kバイト			
	データ・ メモリ	高速RAM	128バイト			
		EEPROM	32バイト		なし	
システム・クロック			セラミック/ クリスタル発振	RC発振	セラミック/ クリスタル発振	RC発振
IC端子			なし		あり	
V _{PP} 端子			あり		なし	
マスク・オプションによるP40-P43のブルアップ抵抗			なし		あり	
パワーオン・クリア回路 (POC, LVI)			あり		なし	
★	割り込み要求でSTOPモードを解除してから の発振安定時間		OSTSレジスタにより $2^{12}/f_x$, $2^{15}/f_x$, $2^{17}/f_x$ を選択可能	$2^7/f_{cc}$	OSTSレジスタにより $2^{12}/f_x$, $2^{15}/f_x$, $2^{17}/f_x$ を選択可能	$2^7/f_{cc}$
★	RESETによるSTOPモード解除または POCによるリセット解除後の発振安定 時間		$2^{15}/f_x$	$2^7/f_{cc}$	$2^{15}/f_x$	$2^7/f_{cc}$
電源電圧			V _{DD} = 1.8 ~ 5.5 V	V _{DD} = 1.8 ~ 3.6 V	V _{DD} = 1.8 ~ 5.5 V	V _{DD} = 1.8 ~ 3.6 V
電気的特性			第20章 電気的特性を参照してください。			

注意 EEPROM製品とマスクROM製品では, ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でEEPROM製品からマスクROM製品への置き換えを検討される場合は, マスクROM製品のCS製品 (ES製品でなく) で十分な評価をしてください。

17.1 EEPROM (プログラム・メモリ)

μ PD78E9860A, 78E9861Aに内蔵されているプログラム・メモリはEEPROMです。

この章ではプログラム・メモリ領域に内蔵されているEEPROMの機能について説明します。データ・メモリに内蔵されているEEPROMについては第5章 EEPROM (データ・メモリ) (μ PD78E9860A, 78E9861Aのみ)を参照してください。

EEPROMへの書き込みは、ターゲット・システムに実装した状態 (オンボード)で行うことができます。専用フラッシュ・ライタ (Flashpro (型番FL-PR3, PG-FP3) /Flashpro (型番FL-PR4, PG-FP4))をホスト・マシンおよびターゲット・システムに接続して書き込みます。

備考 FL-PR3, FL-PR4は、株式会社内藤電誠町田製作所 (TEL (045) 475-4191) の製品です。

EEPROMによるプログラミングには、次のような利点があります。

ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
ソフトウェアを区別することで少量多品種生産が容易
量産立ち上げ時のデータ調整が容易

17.1.1 プログラミング環境

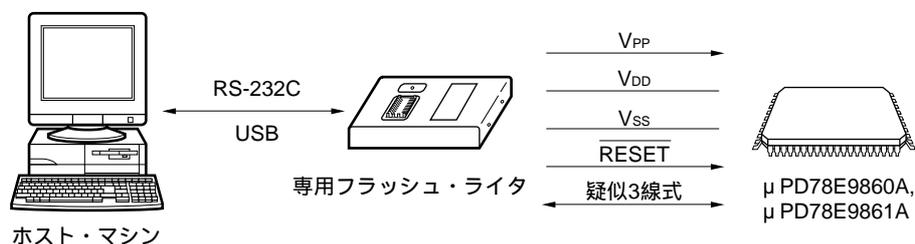
μ PD78E9860A, 78E9861AのEEPROMプログラミングに必要な環境を示します。

専用フラッシュ・ライタとしてFlashpro (型番 FL-PR3, PG-FP3) /Flashpro (型番 FL-PR4, PG-FP4)を使用した場合、専用フラッシュ・ライタには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライタ間の通信は、RS-232C/USB (Rev1.1)で行います。

詳細はFlashpro /Flashpro のマニュアルを参照してください。

備考 USBはFlashpro のみ対応

図17-1 EEPROM (プログラム・メモリ) にプログラムを書き込むための環境



17.1.2 通信方式

専用フラッシュ・ライタとμ PD78E9860A, 78E9861Aとの通信は、表17 - 2に示す通信方式から選択して行います。

表17 - 2 通信方式一覧

通信方式	TYPE設定 ^{注1}				使用端子	V _{PP} パルス数	
	COMM PORT	SIOクロック	CPU CLOCK ^{注2}				Multiple Rate
			In Flashpro	On Target Board			
疑似3線式	Port A (Pseudo-3 wired)	100 Hz- 1 kHz	1, 2, 4, 5 MHz ^{注3, 4}	1-5 MHz ^{注3}	1.0	P02 (シリアル・データ入力) P01 (シリアル・データ出力) P00 (シリアル・クロック入力)	

- 注1. 専用フラッシュ・ライタ (Flashpro またはFlashpro) 上のTYPE設定における選択項目です。
2. μ PD78E9861Aの場合は、必ずIn Flashpro (専用フラッシュ・ライタからシステム・クロックを供給) にしてください。
3. 電圧により設定可能な範囲が異なります。詳細は第20章 電気的特性を参照してください。
4. Flashpro の場合は、2, 4 MHzのみ

図17 - 2 通信方式選択フォーマット

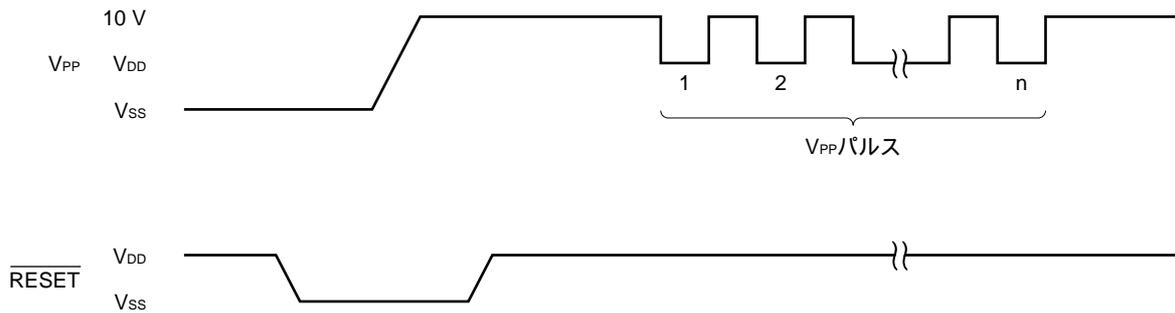
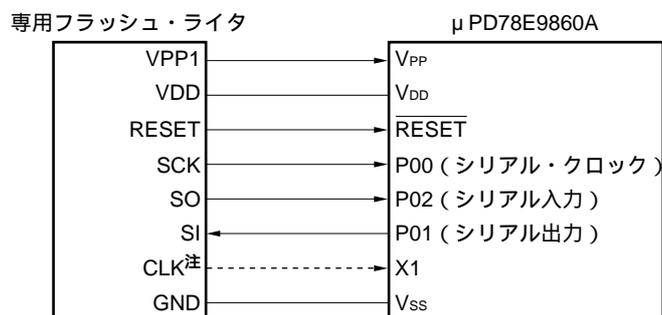
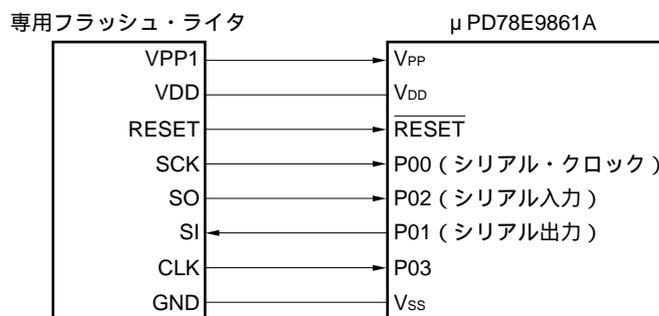


図17-3 専用フラッシュ・ライタとの接続例

(a) 疑似3線式 (μ PD78E9860A)(b) 疑似3線式 (μ PD78E9861A)

注 専用フラッシュ・ライタからシステム・クロックを供給する場合には、CLK端子とX1端子を接続し、オンボード上の発振子を切り離します。オンボード上の発振子のクロックを使用する場合は、CLK端子と接続しないでください。

注意 V_{DD}端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのV_{DD}端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

専用フラッシュ・ライターとしてFlashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4）を使用した場合、 μ PD78E9860A, 78E9861Aに対して次の信号を生成します。詳細はFlashpro /Flashpro のマニュアルを参照してください。

表17-3 端子接続一覧

信号名	入出力	端子機能	端子名	疑似3線式
VPP1	出力	書き込み電圧	V _{PP}	
VPP2	-	-	-	×
VDD	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD}	注
GND	-	グランド	V _{SS}	
CLK	出力	クロック出力	X1 (μ PD78E9860Aの場合)	
			P03 (μ PD78E9861Aの場合)	
RESET	出力	リセット信号	$\overline{\text{RESET}}$	
SI	入力	受信信号	P01	
SO	出力	送信信号	P02	
SCK	出力	転送クロック	P00	
HS	入力	ハンドシェーク信号	-	×

注 V_{DD}電圧はプログラミング開始前に供給する必要があります。

備考 : 必ず接続してください。

: ターゲット・ボード上で供給されていれば、接続の必要はありません。

× : 接続の必要はありません。

★

17.1.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからEEPROMプログラミング・モードへの切り替え機能が必要になる場合があります。

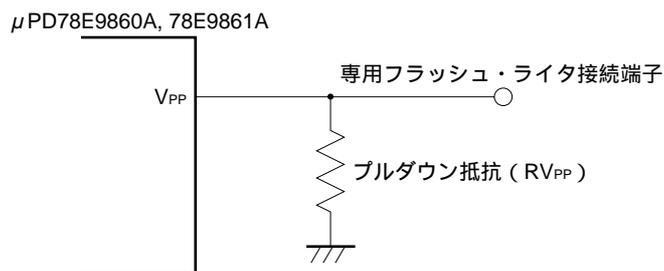
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またEEPROMプログラミング・モード時は、V_{PP}端子に10.0 V (TYP.) の書き込み電圧を供給しますので、次に示す(1)か(2)の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗 $R_{VPP} = 10 \text{ k}\Omega$ を接続してください。
- (2) ボード上のジャンパで、V_{PP}端子の入力をライターまたは直接GNDのどちらかに切り替えてください。

V_{PP}端子の接続例を次に示します。

図17 - 4 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

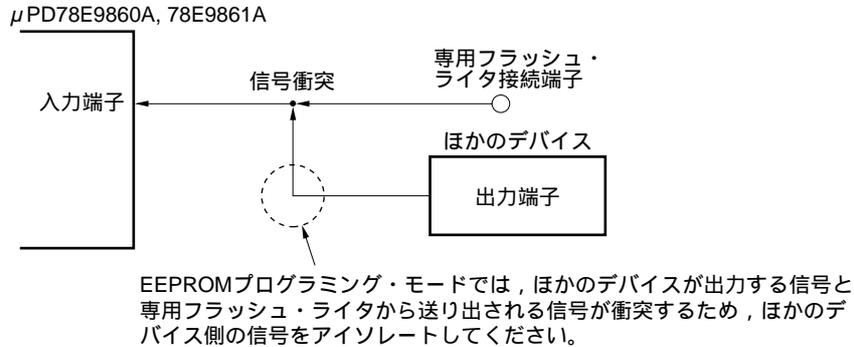
シリアル・インタフェース	使用端子
疑似3線式	P02, P01, P00

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

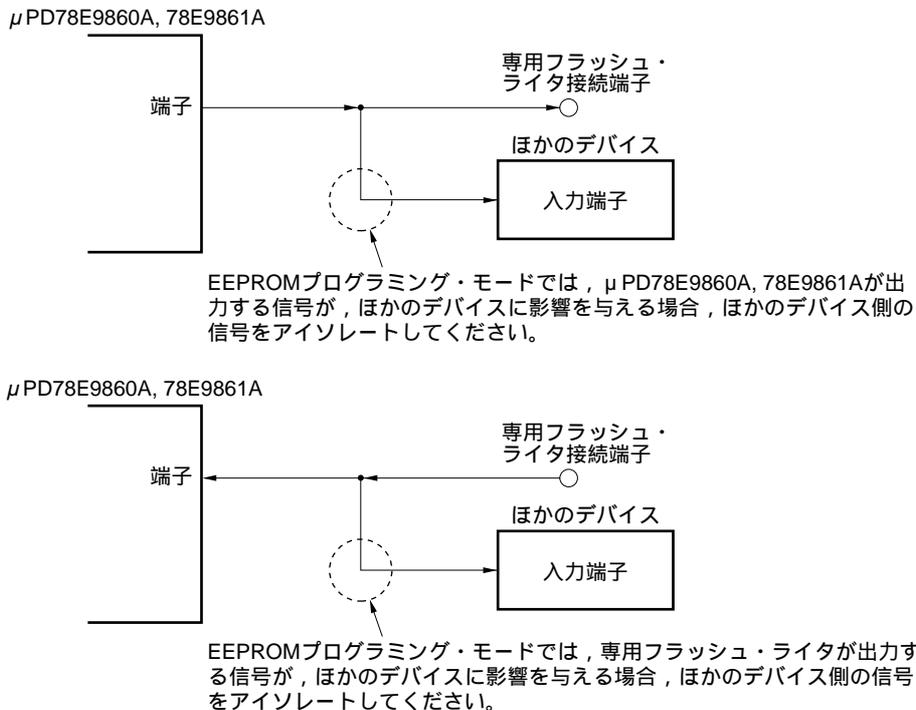
図17-5 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図17-6 ほかのデバイスの異常動作

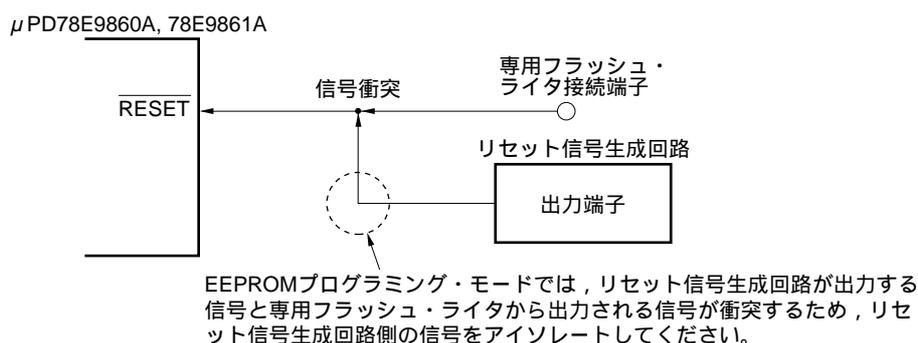


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、EEPROMプログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図17-7 信号の衝突 (RESET端子)



<ポート端子>

EEPROMプログラミング・モードに遷移すると、フラッシュ・ライタと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介してV_{DD}に接続する、または抵抗を介してV_{SS}に接続するなどの処置をしてください。

<発振端子>

・ μ PD78E9860Aの場合

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上の発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。

・ μ PD78E9861Aの場合

CL1, CL2は通常動作モード時に準拠した接続をし、P03端子にフラッシュ・ライタのクロック出力を接続してください。

<電 源>

フラッシュ・ライタの電源出力を使用する場合は、V_{DD}端子はフラッシュ・ライタのV_{DD}に、V_{SS}端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのV_{DD}は必ず接続してください。

17.1.4 フラッシュ・メモリ (EEPROM) 書き込み用アダプタ上の接続

フラッシュ・メモリ (EEPROM) 書き込み用アダプタ使用時の推奨接続例を示します。

図17 - 8 疑似3線式方式でのフラッシュ・メモリ (EEPROM) 書き込み用アダプタ配線例 (1/2)

(a) μ PD78E9860Aの場合

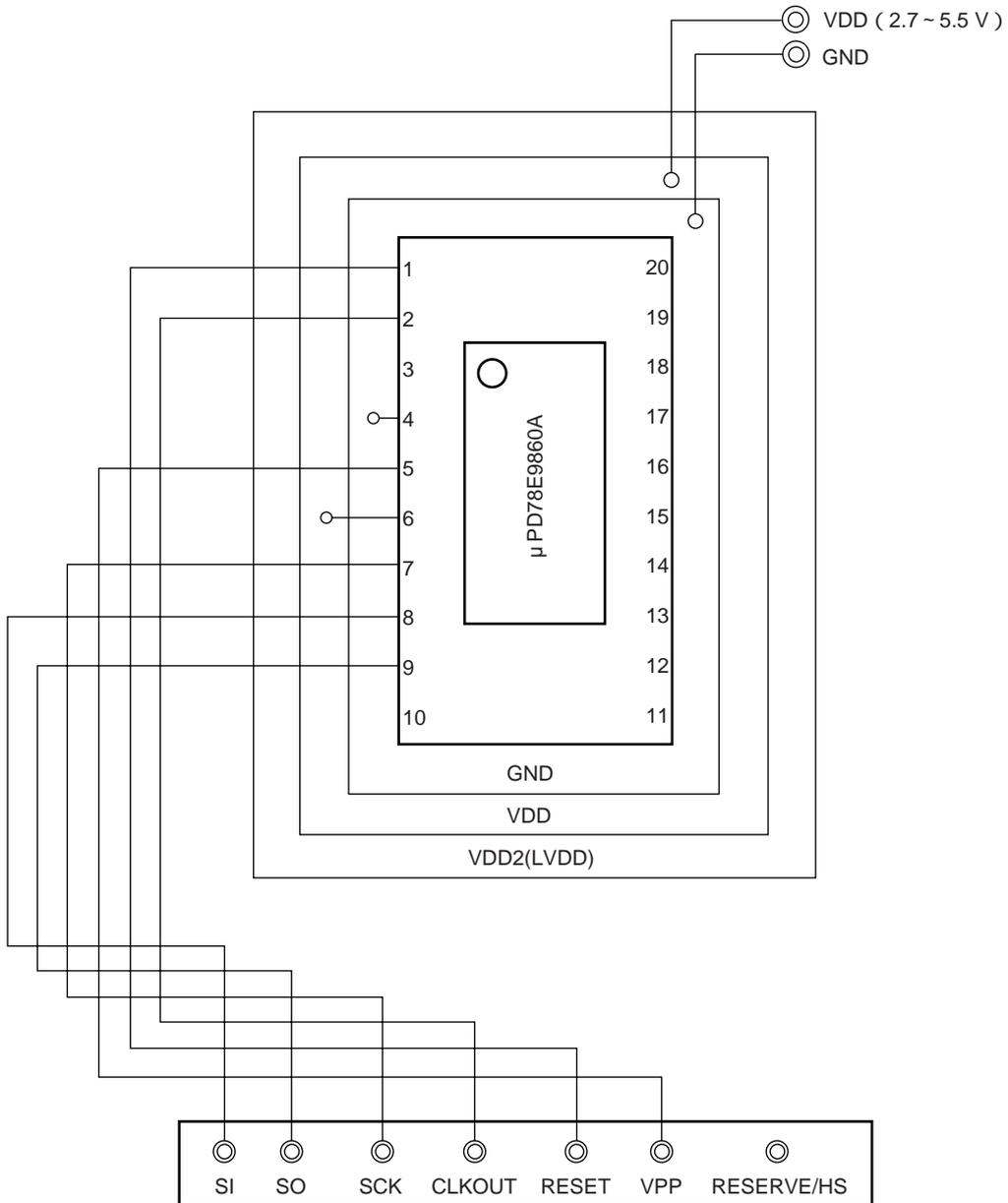
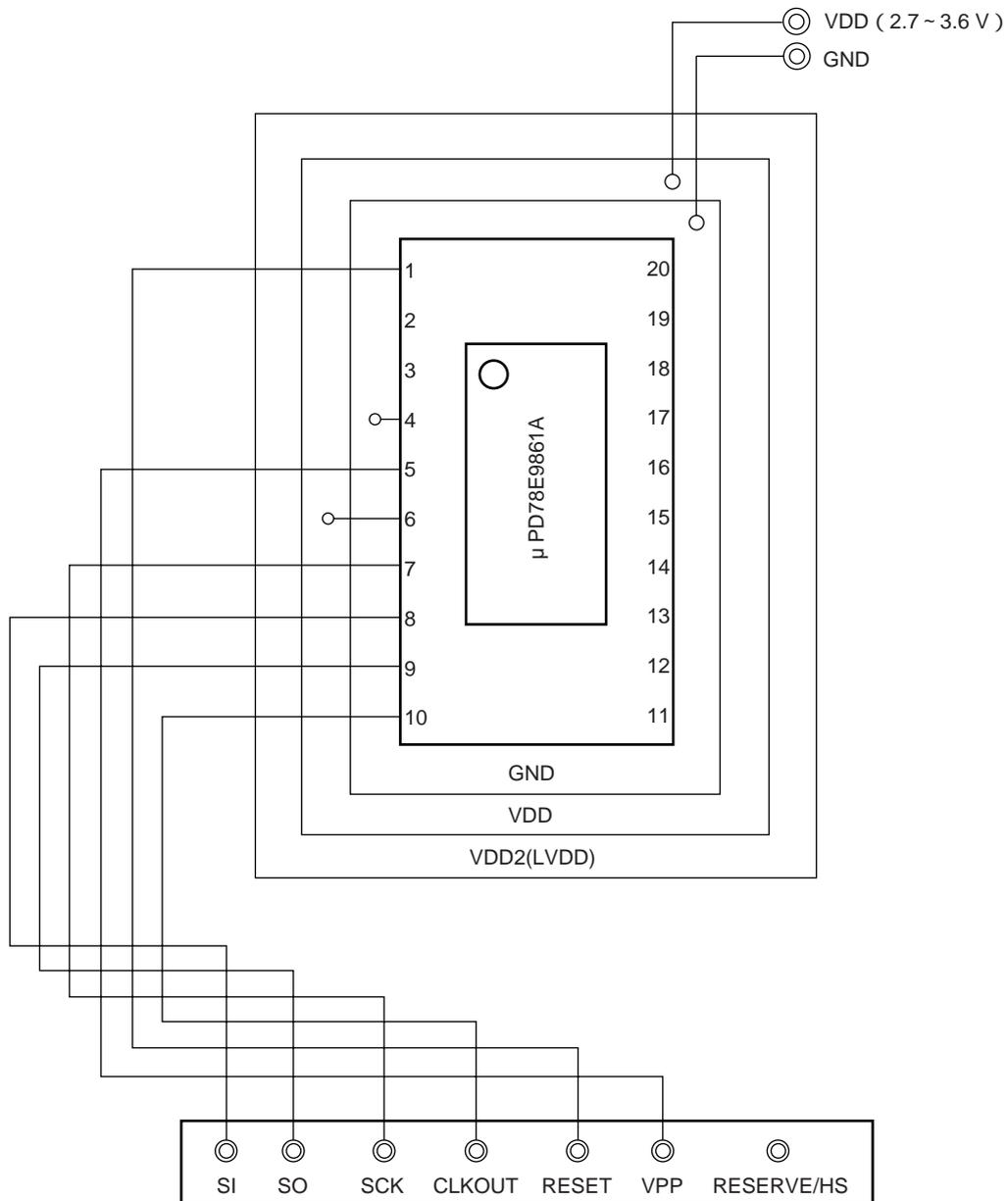


図17 - 8 疑似3線式方式でのフラッシュ・メモリ (EEPROM) 書き込み用アダプタ配線例 (2/2)

(b) μ PD78E9861Aの場合



第18章 マスク・オプション

μ PD789052, 789062には、次のマスク・オプションがあります。

P40-P43のマスク・オプション

ビット単位でプルアップ抵抗の内蔵を選択可能

プルアップ抵抗の内蔵を指定する

プルアップ抵抗の内蔵を指定しない

第19章 命令セットの概要

μPD789052, 789062サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編 (U11047J) を参照してください。

19.1 オペレーション

19.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミディエト・データ指定
- ・ \$: 相対アドレス指定
- ・ ! : 絶対アドレス指定
- ・ [] : 間接アドレス指定

イミディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X, A, Cなど）、絶対名称（下表の中のカッコ内の名称、R0, R1, R2など）のいずれの形式でも記述可能です。

表19 - 1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号
saddr	FE20H-FF1FH イミディエト・データまたはラベル
saddrp	FE20H-FF1FH イミディエト・データまたはラベル (偶数アドレスのみ)
addr16	0000H-FFFFH イミディエト・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr5	0040H-007FH イミディエト・データまたはラベル (偶数アドレスのみ)
word	16ビット・イミディエト・データまたはラベル
byte	8ビット・イミディエト・データまたはラベル
bit	3ビット・イミディエト・データまたはラベル

備考 特殊機能レジスタの略号は表4 - 3 特殊機能レジスタ一覧を参照してください。

19.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x _H , x _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

19.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

19.2 オペレーション一覧

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	r byte			
	saddr, #byte	3	6	(saddr) byte			
	sfr, #byte	3	6	sfr byte			
	A, r <small>注1</small>	2	4	A r			
	r, A <small>注1</small>	2	4	r A			
	A, saddr	2	4	A (saddr)			
	saddr, A	2	4	(saddr) A			
	A, sfr	2	4	A sfr			
	sfr, A	2	4	sfr A			
	A, laddr16	3	8	A (addr16)			
	laddr16, A	3	8	(addr16) A			
	PSW, #byte	3	6	PSW byte	x	x	x
	A, PSW	2	4	A PSW			
	PSW, A	2	4	PSW A	x	x	x
	A, [DE]	1	6	A (DE)			
	[DE], A	1	6	(DE) A			
	A, [HL]	1	6	A (HL)			
	[HL], A	1	6	(HL) A			
	A, [HL + byte]	2	6	A (HL + byte)			
[HL + byte], A	2	6	(HL + byte) A				
XCH	A, X	1	4	A X			
	A, r <small>注2</small>	2	6	A r			
	A, saddr	2	6	A (saddr)			
	A, sfr	2	6	A sfr			
	A, [DE]	1	8	A (DE)			
	A, [HL]	1	8	A (HL)			
	A, [HL, byte]	2	8	A (HL + byte)			

注1. r = Aを除く。

2. r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp word			
	AX, saddrp	2	6	AX (saddrp)			
	saddrp, AX	2	8	(saddrp) AX			
	AX, rp <small>注</small>	1	4	AX rp			
	rp, AX <small>注</small>	1	4	rp AX			
XCHW	AX, rp <small>注</small>	1	8	AX rp			
ADD	A, #byte	2	4	A, CY A + byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte	x	x	x
	A, r	2	4	A, CY A + r	x	x	x
	A, saddr	2	4	A, CY A + (saddr)	x	x	x
	A, laddr16	3	8	A, CY A + (addr16)	x	x	x
	A, [HL]	1	6	A, CY A + (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte)	x	x	x
ADDC	A, #byte	2	4	A, CY A + byte + CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte + CY	x	x	x
	A, r	2	4	A, CY A + r + CY	x	x	x
	A, saddr	2	4	A, CY A + (saddr) + CY	x	x	x
	A, laddr16	3	8	A, CY A + (addr16) + CY	x	x	x
	A, [HL]	1	6	A, CY A + (HL) + CY	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte) + CY	x	x	x
SUB	A, #byte	2	4	A, CY A - byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte	x	x	x
	A, r	2	4	A, CY A - r	x	x	x
	A, saddr	2	4	A, CY A - (saddr)	x	x	x
	A, laddr16	3	8	A, CY A - (addr16)	x	x	x
	A, [HL]	1	6	A, CY A - (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte)	x	x	x

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	A, CY A - byte - CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte - CY	x	x	x
	A, r	2	4	A, CY A - r - CY	x	x	x
	A, saddr	2	4	A, CY A - (saddr) - CY	x	x	x
	A, laddr16	3	8	A, CY A - (addr16) - CY	x	x	x
	A, [HL]	1	6	A, CY A - (HL) - CY	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte) - CY	x	x	x
AND	A, #byte	2	4	A A ∧ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∧ byte	x		
	A, r	2	4	A A ∧ r	x		
	A, saddr	2	4	A A ∧ (saddr)	x		
	A, laddr16	3	8	A A ∧ (addr16)	x		
	A, [HL]	1	6	A A ∧ (HL)	x		
	A, [HL + byte]	2	6	A A ∧ (HL + byte)	x		
OR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		
XOR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A - byte	x	x	x
	saddr, #byte	3	6	(saddr) - byte	x	x	x
	A, r	2	4	A - r	x	x	x
	A, saddr	2	4	A - (saddr)	x	x	x
	A, laddr16	3	8	A - (addr16)	x	x	x
	A, [HL]	1	6	A - (HL)	x	x	x
	A, [HL + byte]	2	6	A - (HL + byte)	x	x	x
ADDW	AX, #word	3	6	AX, CY AX + word	x	x	x
SUBW	AX, #word	3	6	AX, CY AX - word	x	x	x
CMPW	AX, #word	3	6	AX - word	x	x	x
INC	r	2	4	r r + 1	x	x	
	saddr	2	4	(saddr) (saddr) + 1	x	x	
DEC	r	2	4	r r - 1	x	x	
	saddr	2	4	(saddr) (saddr) - 1	x	x	
INCW	rp	1	4	rp rp + 1			
DECW	rp	1	4	rp rp - 1			
ROR	A, 1	1	2	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
ROL	A, 1	1	2	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
RORC	A, 1	1	2	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
ROLC	A, 1	1	2	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
SET1	saddr.bit	3	6	(saddr.bit) 1			
	sfr.bit	3	6	sfr.bit 1			
	A.bit	2	4	A.bit 1			
	PSW.bit	3	6	PSW.bit 1	x	x	x
	[HL].bit	2	10	(HL).bit 1			
CLR1	saddr.bit	3	6	(saddr.bit) 0			
	sfr.bit	3	6	sfr.bit 0			
	A.bit	2	4	A.bit 0			
	PSW.bit	3	6	PSW.bit 0	x	x	x
	[HL].bit	2	10	(HL).bit 0			
SET1	CY	1	2	CY 1			1
CLR1	CY	1	2	CY 0			0

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(fCPU)の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
NOT1	CY	1	2	CY $\overline{\text{CY}}$			x
CALL	!addr16	3	6	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2			
CALLT	[addr5]	1	8	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (00000000, addr5 + 1), PC _L (00000000, addr5), SP SP - 2			
RET		1	6	PC _H (SP + 1), PC _L (SP), SP SP + 2			
RETI		1	8	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3, NMIS 0	R	R	R
PUSH	PSW	1	2	(SP - 1) PSW, SP SP - 1			
	rp	1	4	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
POP	PSW	1	4	PSW (SP), SP SP + 1	R	R	R
	rp	1	6	rp _H (SP + 1), rp _L (SP), SP SP + 2			
MOVW	SP, AX	2	8	SP AX			
	AX, SP	2	6	AX SP			
BR	!addr16	3	6	PC addr16			
	\$addr16	2	6	PC PC + 2 + jdisp8			
	AX	1	6	PC _H A, PC _L X			
BC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 1			
BNC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 0			
BZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 1			
BNZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 0			
BT	saddr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 1			
	sfr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 1			
	A.bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A.bit = 1			
	PSW.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 1			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
BF	saddr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
	sfr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 0			
	A.bit, \$saddr16	3	8	PC PC + 3 + jdisp8 if A.bit = 0			
	PSW.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 0			
DBNZ	B, \$saddr16	2	6	B B - 1, then PC PC + 2 + jdisp8 if B 0			
	C, \$saddr16	2	6	C C - 1, then PC PC + 2 + jdisp8 if C 0			
	saddr, \$saddr16	3	8	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) 0			
NOP		1	2	No Operation			
EI		3	6	IE 1 (Enable Interrupt)			
DI		3	6	IE 0 (Disable Interrupt)			
HALT		1	2	Set HALT Mode			
STOP		1	2	Set STOP Mode			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

19.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, INC, DEC, ROR, ROL, RORC, ROLC, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV ^注 XCH ^注	MOV XCH	MOV XCH	MOV	MOV	MOV XCH	MOV XCH	MOV XCH		ROR ROL RORC ROLC	
r	MOV	MOV											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											
[HL + byte]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW ^注				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

SET1, CLR1, NOT1, BT, BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[HL] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLT, BR, BC, BNC, BZ, BNZ, DBNZ

第2オペランド 第1オペランド	AX	!addr16	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET, RETI, NOP, EI, DI, HALT, STOP

第20章 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.3 ~ + 6.5	V
	V _{PP}	μ PD78E9860A, 78E9861Aのみ 注	- 0.3 ~ + 10.5	V
入力電圧	V _I		- 0.3 ~ V _{DD} + 0.3	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I _{OL}	1端子	30	mA
		全端子合計	80	mA
動作周囲温度	T _A		- 40 ~ + 85	
保存温度	T _{stg}	マスクROM製品	- 65 ~ + 150	
		EEPROM製品	- 40 ~ + 125	

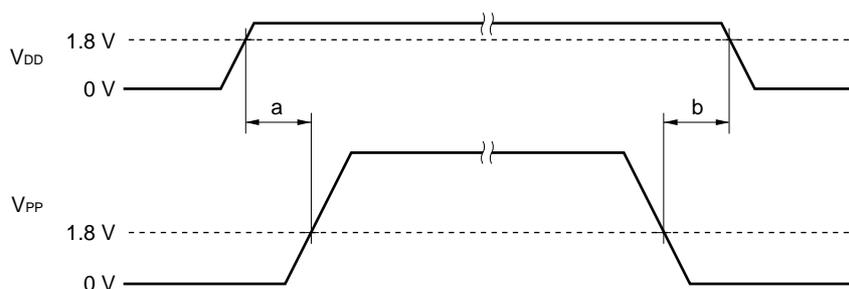
注 EEPROM (プログラム・メモリ) 書き込み時, V_{PP}の電圧印加タイミングについては, 必ず次の条件を満たしてください。

- 電源電圧立ち上がり時

V_{DD}が動作電圧範囲の下限電圧(1.8 V)に達してから10 μs以上経過後, V_{PP}がV_{DD}を越えること(下図のa)。

- 電源電圧立ち下がり時

V_{PP}がV_{DD}の動作電圧範囲の下限電圧(1.8 V)を下回ってから10 μs以上経過後, V_{DD}を立ち下げること(下図のb)。



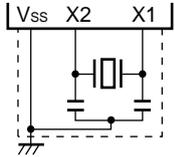
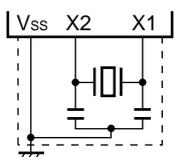
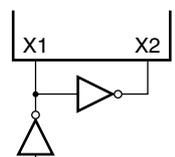
注意 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。

備考 特に指定がないかぎり, 兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性

セラミック/クリスタル発振 (μ PD789052, 78E9860A)

($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (f_x) ^{注1}	$V_{DD} =$ 発振電圧範囲	1.0		5.0	MHz
		発振安定時間 ^{注2}	V_{DD} が発振電圧範囲の MIN.に達したあと			4	ms
水晶振動子		発振周波数 (f_x) ^{注1}		1.0		5.0	MHz
		発振安定時間 ^{注2}				30	ms
外部クロック		X1入力周波数 (f_x) ^{注1}		1.0		5.0	MHz
		X1入力ハイ、ロウ・ レベル幅 (t_{xH}, t_{xL})		85		500	ns

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2．リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意 セラミック/クリスタル発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

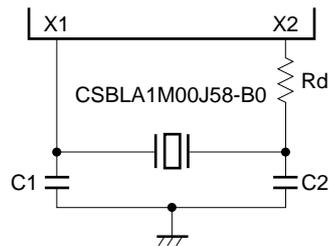
- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

推奨発振回路定数

セラミック発振子 (TA = -40 ~ +85) (μPD789052)

メーカー	品名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V _{DD})		備考
			C1	C2	MIN.	MAX.	
村田製作所	CSBLA1M00J58-B0 ^注	1.0	100	100	2.0	5.5	Rd = 1.0 kΩ
	CSTCC2M00G56-R0	2.0	-	-	1.8	5.5	コンデンサ内蔵品
	CSTCR4M00G53-R0	4.0					
	CSTLS4M00G53-B0						
	CSTCR4M19G53-R0	4.194					
	CSTLS4M19G53-B0						
	CSTCR4M91G53-R0	4.915					
	CSTLS4M91G53-B0						
	CSTCR5M00G53-R0	5.0					
	CSTLS5M00G53-B0						

注 セラミック発振子として村田製作所のCSBLA1M00J58-B0(1.0 MHz)を使用する場合には、制限抵抗(Rd = 1.0 kΩ)が必要です(下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。

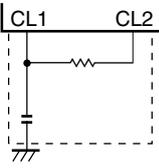
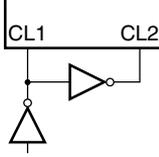


注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、μPD789052の内部動作条件についてはDC, AC特性の規格内で使用してください。

備考 μPD78E9860Aの場合の発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

RC発振 (μ PD789062, 78E9861A)

($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 3.6$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
RC発振子		発振周波数 (f_{cc}) ^{注1, 2}	$V_{DD} =$ 発振電圧範囲	0.85		1.15	MHz
外部クロック		CL1入力周波数 (f_{cc}) ^{注1}		1.0		5.0	MHz
		CL1入力ハイ、ロウ・レベル幅 (t_{xH}, t_{xL})		85		500	ns

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2．外部抵抗，外部容量のばらつきは含みません。

注意 RC発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

DC特性 (μ PD789052, 78E9860A) ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流	I _{OL}	μ PD789052	1端子			10	mA
			全端子			40	mA
	μ PD78E9860A	1端子			3	mA	
		全端子			7.5	mA	
ハイ・レベル出力電流	I _{OH}	μ PD789052	1端子			- 1	mA
			全端子			- 15	mA
	μ PD78E9860A	1端子			- 0.75	mA	
		全端子			- 7.5	mA	
ハイ・レベル入力電圧	V _{IH1}	P00-P07	2.7 V $V_{DD} \leq 5.5$ V	0.7 V_{DD}		V_{DD}	V
			1.8 V $V_{DD} < 2.7$ V	0.9 V_{DD}		V_{DD}	V
	V _{IH2}	RESET \bar , P20, P21, P40-P43	2.7 V $V_{DD} \leq 5.5$ V	0.8 V_{DD}		V_{DD}	V
			1.8 V $V_{DD} < 2.7$ V	0.9 V_{DD}		V_{DD}	V
	V _{IH3}	X1, X2		$V_{DD} - 0.1$		V_{DD}	V
	ロウ・レベル入力電圧	V _{IL1}	P00-P07	2.7 V $V_{DD} \leq 5.5$ V	0		0.3 V_{DD}
1.8 V $V_{DD} < 2.7$ V				0		0.1 V_{DD}	V
V _{IL2}		RESET \bar , P20, P21, P40-P43	2.7 V $V_{DD} \leq 5.5$ V	0		0.2 V_{DD}	V
			1.8 V $V_{DD} < 2.7$ V	0		0.1 V_{DD}	V
V _{IL3}		X1, X2		0		0.1	V
ハイ・レベル出力電圧		V _{OH1}	P00-P07, P20, P21	I _{OH} = - 100 μ A	$V_{DD} - 0.5$		
	V _{OH2}	I _{OH} = - 500 μ A		$V_{DD} - 0.7$			V
ロウ・レベル出力電圧	V _{OL1}	P00-P07, P20, P21	I _{OL} = 400 μ A			0.5	V
	V _{OL2}		I _{OL} = 2 mA			0.7	V
ハイ・レベル入力リーク電流	I _{LIH1}	V _i = V_{DD}	P00-P07, P20, P21, P40-P43, RESET \bar	μ PD789052		1	μ A
				μ PD78E9860A		3	μ A
	I _{LIH2}	X1, X2				20	μ A
ロウ・レベル入力リーク電流	I _{LIL1}	V _i = 0 V	P00-P07, P20, P21, P40-P43, RESET \bar	μ PD789052		- 1	μ A
				μ PD78E9860A		- 3	μ A
	I _{LIL2}	X1, X2				- 20	μ A
ハイ・レベル出力リーク電流	I _{LOH}	V _o = V_{DD}		μ PD789052		1	μ A
				μ PD78E9860A		3	μ A
ロウ・レベル出力リーク電流	I _{LOL}	V _o = 0 V		μ PD789052		- 1	μ A
				μ PD78E9860A		- 3	μ A
マスク・オプション・ブルアップ抵抗	R	V _{IN} = 0 V, P40-P43, μ PD789052のみ		50	100	200	k Ω

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (μ PD789062, 78E9861A) ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 3.6$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流	I _{OL}	μ PD789062	1端子			10	mA
			全端子			40	mA
	μ PD78E9861A	1端子			2	mA	
		全端子			5.0	mA	
ハイ・レベル出力電流	I _{OH}	μ PD789062	1端子			- 1	mA
			全端子			- 15	mA
	μ PD78E9861A	1端子			- 0.5	mA	
		全端子			- 5.0	mA	
ハイ・レベル入力電圧	V _{IH1}	P00-P07	2.7 V V_{DD} 3.6 V	0.7 V_{DD}		V_{DD}	V
			1.8 V $V_{DD} < 2.7$ V	0.9 V_{DD}		V_{DD}	V
	V _{IH2}	RESET \bar , P20, P21, P40-P43	2.7 V V_{DD} 3.6 V	0.8 V_{DD}		V_{DD}	V
			1.8 V $V_{DD} < 2.7$ V	0.9 V_{DD}		V_{DD}	V
	V _{IH3}	CL1, CL2		$V_{DD} - 0.1$		V_{DD}	V
	ロウ・レベル入力電圧	V _{IL1}	P00-P07	2.7 V V_{DD} 3.6 V	0		0.3 V_{DD}
1.8 V $V_{DD} < 2.7$ V				0		0.1 V_{DD}	V
V _{IL2}		RESET \bar , P20, P21, P40-P43	2.7 V V_{DD} 3.6 V	0		0.2 V_{DD}	V
			1.8 V $V_{DD} < 2.7$ V	0		0.1 V_{DD}	V
V _{IL3}		CL1, CL2		0		0.1	V
ハイ・レベル出力電圧		V _{OH1}	P00-P07, P20, P21	I _{OH} = - 100 μ A	$V_{DD} - 0.5$		
	V _{OH2}	I _{OH} = - 500 μ A		$V_{DD} - 0.7$			V
ロウ・レベル出力電圧	V _{OL1}	P00-P07, P20, P21	I _{OL} = 400 μ A			0.5	V
	V _{OL2}		I _{OL} = 2 mA			0.7	V
ハイ・レベル入力リーク電流	I _{LIH1}	V _i = V_{DD}	P00-P07, P20, μ PD789062			1	μ A
			P21, P40-P43, RESET \bar , μ PD78E9861A			3	μ A
	I _{LIH2}	CL1, CL2				20	μ A
ロウ・レベル入力リーク電流	I _{LIL1}	V _i = 0 V	P00-P07, P20, μ PD789062			- 1	μ A
			P21, P40-P43, RESET \bar , μ PD78E9861A			- 3	μ A
	I _{LIL1}	CL1, CL2				- 20	μ A
ハイ・レベル出カリーク電流	I _{LOH}	$V_o = V_{DD}$	μ PD789062			1	μ A
			μ PD78E9861A			3	μ A
ロウ・レベル出カリーク電流	I _{LOL}	$V_o = 0$ V	μ PD789062			- 1	μ A
			μ PD78E9861A			- 3	μ A
マスク・オプション・ブルアップ抵抗	R	$V_{IN} = 0$ V, P40-P43, μ PD789062のみ		50	100	200	k Ω

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V (μPD789052) , VDD = 1.8 ~ 3.6 V (μPD789062))

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流 ^注 セラミック/クリスタル 発振 : μPD789052	IDD1	5.0 MHz 水晶発振動作モード C1 = C2 = 22 pF	VDD = 5.0 V ± 10 %	1.0	2.6	mA
			VDD = 3.0 V ± 10 %	0.5	1.0	mA
			VDD = 2.0 V ± 10 %	0.3	0.7	mA
	IDD2	5.0 MHz 水晶発振HALTモード C1 = C2 = 22 pF	VDD = 5.0 V ± 10 %	0.6	1.8	mA
			VDD = 3.0 V ± 10 %	0.25	0.6	mA
			VDD = 2.0 V ± 10 %	0.22	0.5	mA
	IDD3	STOPモード	VDD = 5.0 V ± 10 %	0.1	3.0	μA
			VDD = 3.0 V ± 10 %	0.05	0.9	μA
			VDD = 2.0 V ± 10 %	0.05	0.8	μA
電源電流 ^注 RC発振 : μPD789062	IDD4	1.0 MHz ± 15 % RC発振動作モード R = 24 kΩ , C = 30 pF	VDD = 3.0 V ± 10 %	0.3	0.8	mA
			VDD = 2.0 V ± 10 %	0.26	0.6	mA
	IDD5	1.0 MHz ± 15 % RC発振HALTモード R = 24 kΩ , C = 30 pF	VDD = 3.0 V ± 10 %	0.25	0.6	mA
			VDD = 2.0 V ± 10 %	0.22	0.5	mA
	IDD6	STOPモード	VDD = 3.0 V ± 10 %	0.05	0.9	μA
			VDD = 2.0 V ± 10 %	0.05	0.8	μA

注 ポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V (μPD78E9860A))

項目	略号	条件	MIN.	TYP.	MAX.	単位	
★ 電源電流 ^注 セラミック/クリスタル 発振: μPD78E9860A	IDD1	5.0 MHz 水晶発振動作モード (EEPROM停止時) C1 = C2 = 22 pF	VDD = 5.0 V ± 10 %		2.5	5.0	mA
		5.0 MHz 水晶発振動作モード (EEPROM動作時) C1 = C2 = 22 pF	VDD = 5.0 V ± 10 %		3.0	6.0	mA
		5.0 MHz 水晶発振HALTモード (EEPROM停止時) C1 = C2 = 22 pF	VDD = 5.0 V ± 10 %		1.6	3.2	mA
	IDD4	STOPモード (POC動作時)	VDD = 5.0 V TA = -40 ~ +85		1.2	4.0	μA
			VDD = 3.0 V ± 10 % TA = -40 ~ +85		1.0	2.5	μA
			VDD = 5.0 V TA = -20 ~ +75			3.0	μA
			VDD = 3.0 V ± 10 % TA = -20 ~ +75		1.0	2.0	μA
	IDD5	STOPモード (POC停止時)	VDD = 5.0 V TA = -40 ~ +85			3.0	μA
			VDD = 3.0 V ± 10 % TA = -40 ~ +85			1.5	μA
			VDD = 5.0 V TA = 25			0.9	μA

注 ポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。また, EEPROM (データ・メモリ) の書き込み動作, 読み出し動作によってさらに電流が加わります。電流値についてはEEPROM (データ・メモリ) 特性を参照してください。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 3.6 V (μPD78E9861A))

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流 ^注 RC発振: μPD78E9861A	IDD1	1.0 MHz RC発振動作モード (EEPROM停止時) R = 24 kΩ, C = 30 pF	VDD = 3.0 V ± 10 %		0.8	1.6	mA
	IDD2	1.0 MHz RC発振動作モード (EEPROM動作時) R = 24 kΩ, C = 30 pF	VDD = 3.0 V ± 10 %		1.0	2.0	mA
	IDD3	1.0 MHz RC発振HALTモード (EEPROM停止時) R = 24 kΩ, C = 30 pF	VDD = 3.0 V ± 10 %		0.7	1.4	mA
	IDD4	STOPモード (POC動作時)	VDD = 3.0 V ± 10 % TA = -40 ~ +85		1.0	2.5	μA
			VDD = 3.0 V ± 10 % TA = -20 ~ +75		1.0	2.0	μA
IDD5	STOPモード (POC停止時)	VDD = 3.0 V ± 10 %			1.5	μA	

注 ポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。また, EEPROM (データ・メモリ) の書き込み動作, 読み出し動作によってさらに電流が加わります。電流値についてはEEPROM (データ・メモリ) 特性を参照してください。

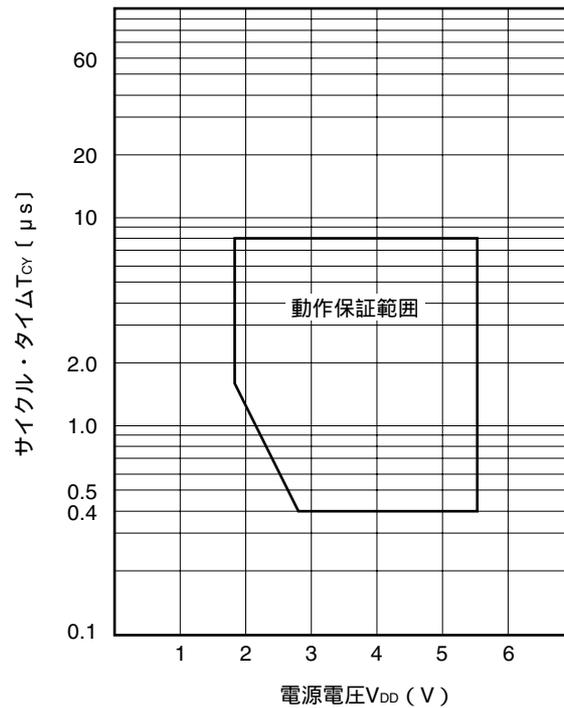
備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

AC特性

(1) μ PD789052, 78E9860A ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間) セラミック/クリスタル発振	T_{CY}	2.7 V V_{DD} 5.5 V	0.4		8	μ s
		1.8 V $V_{DD} < 2.7$ V	1.6		8	μ s
TMI入力 入力周波数	f_{TI}	2.7 V V_{DD} 5.5 V	0		4.0	MHz
		1.8 V $V_{DD} < 2.7$ V	0		500	kHz
TMI ハイ, ロウ・レベル幅	t_{TIH} ,	2.7 V V_{DD} 5.5 V	0.1			μ s
	t_{TIL}	1.8 V $V_{DD} < 2.7$ V	1.0			μ s
キー・リターン入力端子 ロウ・レベル幅	t_{KRIL}	KR10-KR13	10			μ s
\overline{RESET} ロウ・レベル幅	t_{RSL}		10			μ s

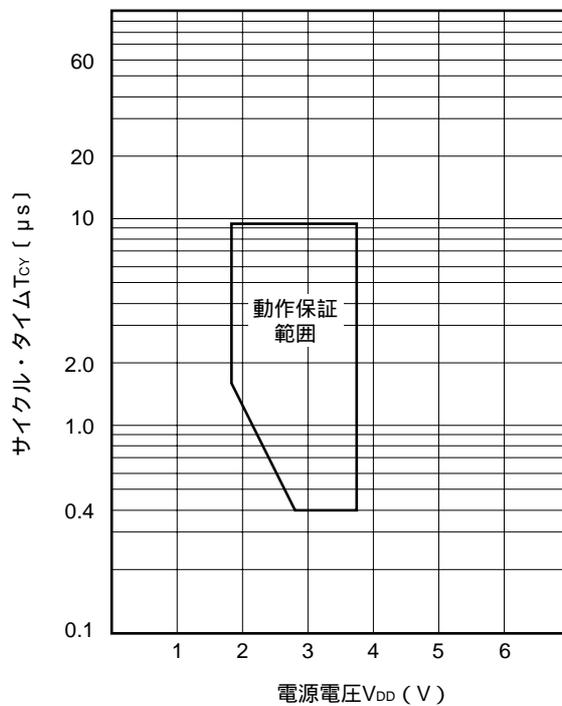
T_{CY} vs V_{DD} (システム・クロック : セラミック/クリスタル発振)



(2) μ PD789062, 78E9861A ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 3.6$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間) RC発振	T_{CY}	2.7 V V_{DD} 3.6 V	0.4		9.42	μ s
		1.8 V $V_{DD} < 2.7$ V	1.6		9.42	μ s
TMI入力 入力周波数	f_{TI}	2.7 V V_{DD} 3.6 V	0		4.0	MHz
		1.8 V $V_{DD} < 2.7$ V	0		500	kHz
TMI ハイ, ロウ・レベル幅	f_{T1H} ,	2.7 V V_{DD} 3.6 V	0.1			μ s
	f_{T1L}	1.8 V $V_{DD} < 2.7$ V	1.0			μ s
キー・リターン入力端子 ロウ・レベル幅	t_{KRIL}	KR10-KR13	10			μ s
RESET ロウ・レベル幅	t_{RSL}		10			μ s

T_{CY} vs V_{DD} (システム・クロック : RC発振)

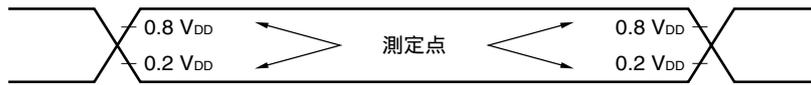


(3) RC発振周波数特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 3.6$ V) (μ PD789062, 78E9861Aのみ)

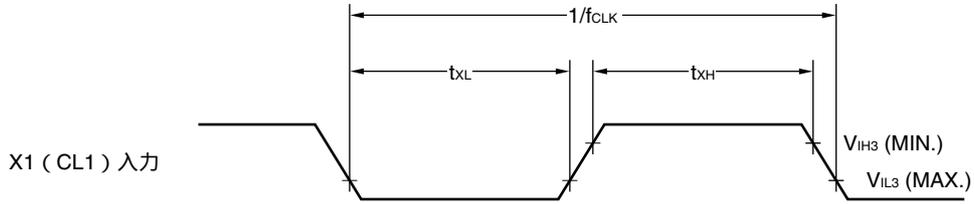
項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数 ^注	f_{CC}	R = 24 k Ω , C = 30 pF	0.85	1.00	1.15	MHz

注 外部抵抗, 外部容量によるばらつきは含みません。

ACタイミング測定点 (X1, CL1入力を除く)

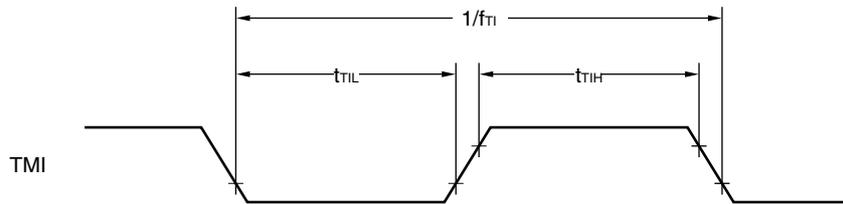


クロック・タイミング

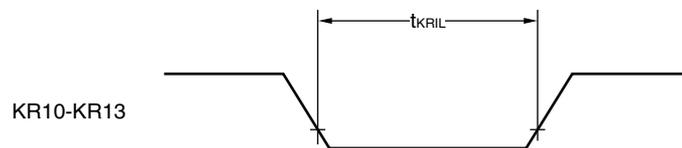


備考 f_{CLK} : f_x または f_{cc}

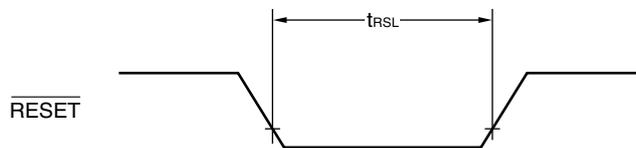
TMIタイミング



キー・リターン入力タイミング



RESET入力タイミング



パワーオン・クリア回路特性 (μ PD78E9860A, 78E9861Aのみ)

(1) POC

(a) DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V (μ PD78E9860A) , VDD = 1.8 ~ 3.6 V (μ PD78E9861A))

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{POC}	応答時間 ^{注1} : 2 ms	1.8 ^{注2}	1.9 ^{注2}	2.0	V

注1. 電圧を検出してから出力が反転するまでの時間および停止状態から動作状態へ遷移したときの安定動作までの時間

2. POC検出電圧は、この製品の動作電圧範囲より低い場合がありますのでご注意ください。

(b) AC特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源立ち上げ時間	T _{PTH1}	V _{DD} : 0 1.8 V	0.01		100	ms
	T _{PTH2}	V _{DD} : 0 1.8 V TA = +25	10			μs

(2) LVI

(a) DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V (μ PD78E9860A) , VDD = 1.8 ~ 3.6 V (μ PD78E9861A))

項目	略号	条件	MIN.	TYP.	MAX.	単位
LVI7検出電圧	V _{LVI7}	応答時間 ^{注1} : 2 ms	2.4	2.6	2.8	V
LVI6検出電圧	V _{LVI6}	応答時間 ^{注1} : 2 ms		注2		V
LVI5検出電圧	V _{LVI5}	応答時間 ^{注1} : 2 ms		注2		V
LVI4検出電圧	V _{LVI4}	応答時間 ^{注1} : 2 ms		注2		V
LVI3検出電圧	V _{LVI3}	応答時間 ^{注1} : 2 ms		注2		V
LVI2検出電圧	V _{LVI2}	応答時間 ^{注1} : 2 ms		注2		V
LVI1検出電圧	V _{LVI1}	応答時間 ^{注1} : 2 ms		注2		V
LVI0検出電圧	V _{LVI0}	応答時間 ^{注1} : 2 ms	注3	2.0	2.2	V

注1. 電圧を検出してから出力が反転するまでの時間および停止状態から動作状態へ遷移したときの安定動作までの時間

2. 相対関係: V_{LVI7} > V_{LVI6} > V_{LVI5} > V_{LVI4} > V_{LVI3} > V_{LVI2} > V_{LVI1} > V_{LVI0}

3. V_{POC} < V_{LVI0}

EEPROM (データ・メモリ) 特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V (μ PD78E9860A) ,
 $V_{DD} = 1.8 \sim 3.6$ V (μ PD78E9861A))

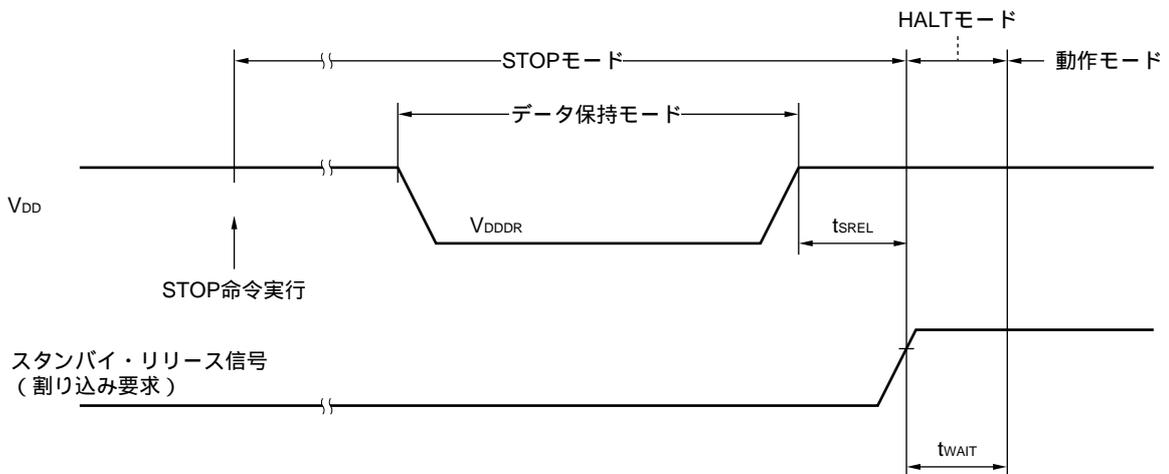
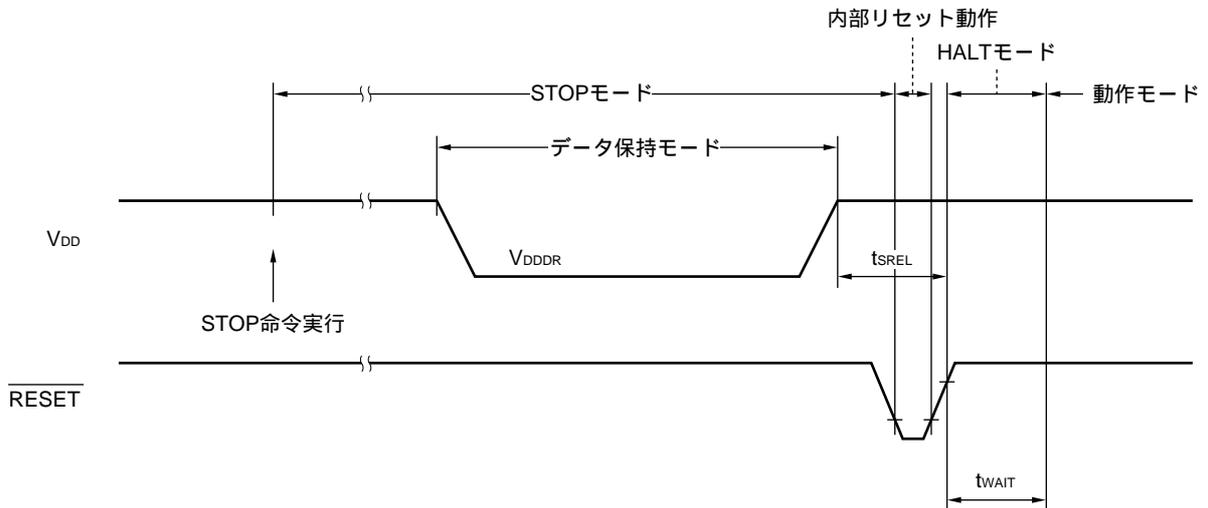
項目	略号	条件	MIN.	TYP.	MAX.	単位
書き込み時間 [※]			3.3		6.6	ms
書き換え回数		32バイトごと			10	万回
		4 Kバイトごと			100	回

注 書き込み時間 = $T \times 145$ ($T = \text{EWCS100-EWCS102}$ で選択したクロックの1周期の時間)

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}	μ PD789052, 78E9860A	1.8		5.5	V
		μ PD789062, 78E9861A	1.8		3.6	V
リリース信号セット時間	t_{SREL}	RESET端子によるSTOP解除	10			μ s

データ保持タイミング



発振安定ウエイト時間

(a) セラミック/クリスタル発振 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V) (μ PD789052, 78E9860A)

項目	略号	条件	MIN.	TYP.	MAX.	単位
発振ウエイト時間 ^{注1}	t _{WAIT}	RESETによるSTOP解除またはPOCによるリセット解除		$2^{15}/f_x$		s
		割り込みによる解除		注2		s

注1. リセット解除またはSTOPモード解除後、発振が安定するのに必要な時間です。

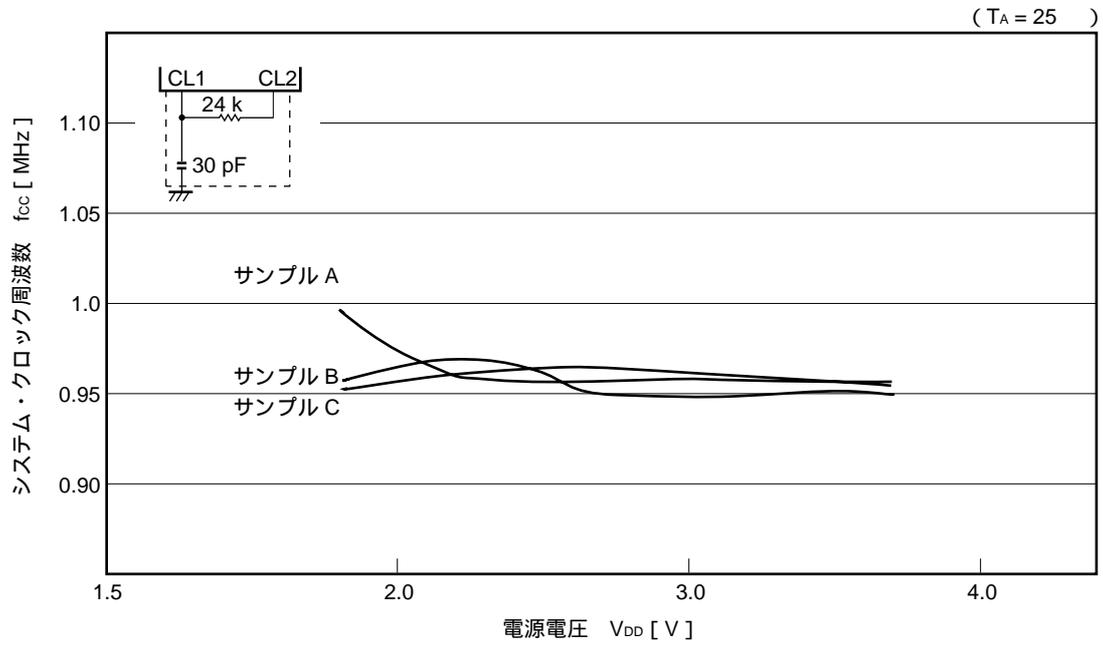
2. 発振安定時間選択レジスタのビット0-2 (OSTS0-OSTS2) により $2^{12}/f_x$, $2^{15}/f_x$, $2^{17}/f_x$ を選択可能です。(b) RC発振 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 3.6$ V) (μ PD789062, 78E9861A)

項目	略号	条件	MIN.	TYP.	MAX.	単位
発振ウエイト時間 ^注	t _{WAIT}	RESETによるSTOP解除またはPOCによるリセット解除		$2^7/f_{cc}$		s
		割り込みによる解除		$2^7/f_{cc}$		s

注 リセット解除またはSTOPモード解除後、発振が安定するのに必要な時間です。

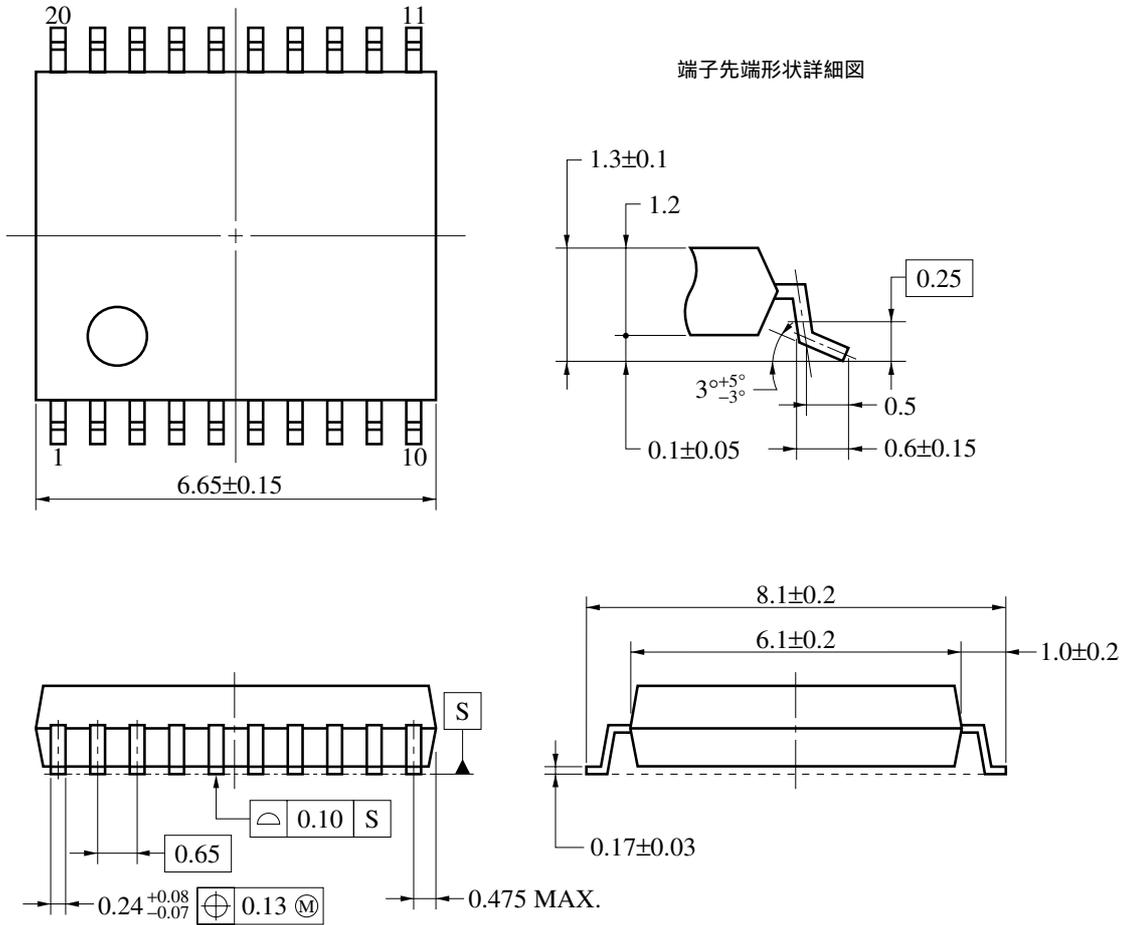
第21章 RC発振周波数特性例（参考値）

f_{cc} vs V_{DD} (RC発振: μ PD789062, $R = 24\text{ k}\Omega$, $C = 30\text{ pF}$)



第22章 外形図

20ピン・プラスチックSSOP (7.62 mm (300)) 外形図 (単位: mm)



S20MC-65-5A4-2

第23章 半田付け推奨条件

μ PD789052, 789062, 78E9860A, 78E9861Aの半田付け実装は、次の推奨条件で実施してください。
 なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。
 半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

★

表23 - 1 表面実装タイプの半田付け条件 (1/3)

μ PD789052MC- x x x -5A4 : 20ピン・プラスチックSSOP (7.62 mm (300))

μ PD789062MC- x x x -5A4 : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上) ， 回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上) ， 回数：3回以内	VP15-00-3
ウェーブ・ソルダーリング	半田槽温度：260 以下，時間：10秒以内，回数1回， 予備加熱温度：120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	—

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

表23 - 1 表面実装タイプの半田付け条件 (2/3)

μ PD78E9860AMC-5A4 : 20ピン・プラスチックSSOP (7.62 mm (300))

μ PD78E9861AMC-5A4 : //

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上）， 回数：2回以内，制限日数：3日間 ^注 （以降は125 プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-103-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上）， 回数：2回以内，制限日数：3日間 ^注 （以降は125 プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-103-2
ウエーブ・ソルダーリング	半田槽温度：260 以下，時間：10秒以内，回数1回， 予備加熱温度：120 MAX.（パッケージ表面温度）， 制限日数：3日間 ^注 （以降は125 プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	WS60-103-1
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管状態は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

★

表23 - 1 表面実装タイプの半田付け条件 (3/3)

μ PD789052MC- x x x -5A4-A : 20ピン・プラスチックSSOP (7.62 mm (300))

μ PD789062MC- x x x -5A4-A : "

μ PD78E9860AMC-5A4-A : "

μ PD78E9861AMC-5A4-A : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内， 制限日数：7日間 [※] （以降は125 プリベーク20～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウエーブ・ソルダリング	0.65mmピッチ以上のパッケージでは，ウエーブ・ソルダリングも対応可能です。詳細については，当社販売員にご相談ください。	-
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

備考 オーダ名称末尾「-A」の製品は，鉛フリー製品です。

付録A 開発ツール

μ PD789052, 789062サブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。
図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

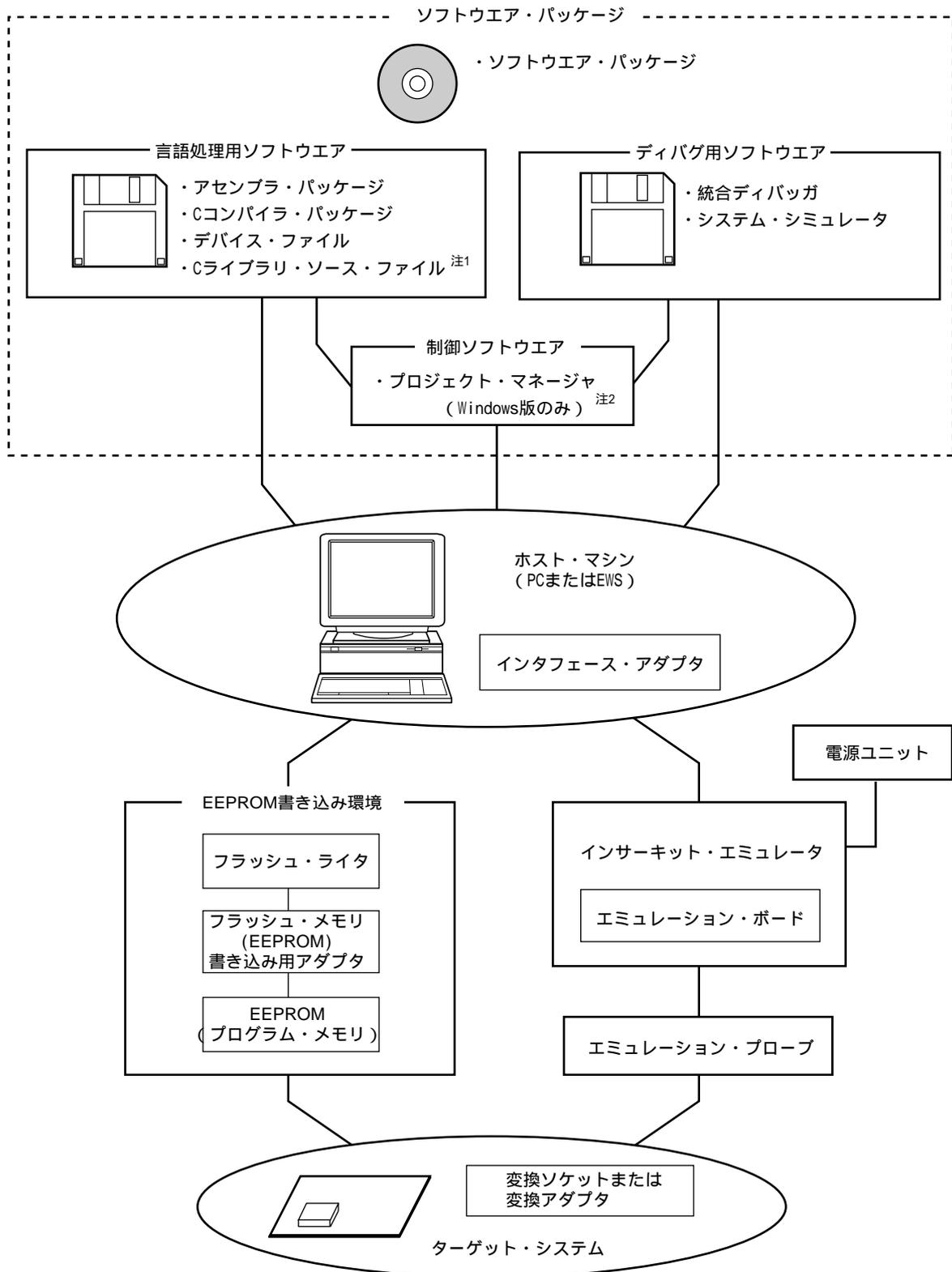
特に断りのないかぎり、IBM PC/AT™互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

Windows® について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows 95
- ・ Windows 98
- ・ Windows 2000
- ・ Windows NT® Version 4.0
- ・ Windows XP

図A-1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。
また、Windows以外ではプロジェクト・マネージャは使用しません。

A.1 ソフトウェア・パッケージ

SP78K0S ソフトウェア・パッケージ	78K0Sシリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 次のツールが入っています。 RA78K0S, CC78K0S, ID78K0S-NS, SM78K0S, デバイス・ファイル各種 オーダ名称: $\mu S \times \times \times \times$ SP78K0S
-------------------------	--

備考 オーダ名称の $\times \times \times \times$ は、使用するOSにより異なります。

$\mu S \times \times \times \times$ SP78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0S アセンブラ・パッケージ	二モニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。別売のデバイス・ファイル (DF789062またはDF789861) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ RA78K0S
CC78K0S Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。別売のアセンブラ・パッケージ (RA78K0S) およびデバイス・ファイル (DF789062またはDF789861) と組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S
DF789062 ^{注1} DF789861 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 DF789062: μ PD789052, 789062用 DF789861: μ PD78E9860A, 78E9861A用 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789062, $\mu S \times \times \times \times$ DF789861
CC78K0S-L ^{注2} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合には必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S-L

注1. DF789062, 789861は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

2. CC78K0S-Lは、ソフトウェア・パッケージ (SP78K0S) には含まれていません。

備考 オータ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700 TM	HP-UX TM (Rel.10.10)	
3K17	SPARCstation TM	SunOS TM (Rel.4.1.4) ， Solaris TM (Rel.2.5.1)	

μS××××DF789062

μS××××DF789861

μS××××CC78K0S-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel.4.1.4) ，	3.5インチ2HD FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT

A.3 制御ソフトウェア

PM plus プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から，エディタの起動，ビルド，ディバッガの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0S) の中に入っています。 Windows以外の環境では使用できません。
-------------------------	--

A.4 EEPROM (プログラム・メモリ) 書き込み用ツール

Flashpro (FL-PR3, PG-FP3) Flashpro (FL-PR4, PG-FP4) フラッシュ・ライター	フラッシュ・メモリ (EEPROM) 内蔵マイコン専用のフラッシュ・ライター
FA-20MC フラッシュ・メモリ (EEPROM) 書き込み用アダプタ	フラッシュ・メモリ (EEPROM) 書き込み用アダプタです。Flashpro またはFlashpro に接続して使用します。 FA-20MC : 20ピン・プラスチック・シュリンクSOP (MC-5A4タイプ) 用

備考 FL-PR3, FL-PR4, FA-20MCは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.5 デバッグ用ツール(ハードウェア)

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータ。統合デバッグ(ID78K0S-NS)に対応しています。ACアダプタ、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0S-NS-A インサーキット・エミュレータ	IE-78K0S-NSの機能を拡張したインサーキット・エミュレータです。 IE-78K0S-NSの機能にカバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、デバッグ機能がより強化されています。
IE-70000-MC-PS-B ACアダプタ	AC100 ~ 240 Vのコンセントから電源を供給するためのアダプタ
IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なアダプタ(Cバス対応)
IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル(PCMCIAソケット対応)
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタ(ISAバス対応)
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ
IE-789860-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボード。インサーキット・エミュレータと組み合わせて使用します。
NP-20GS エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのケーブルです。 EV-9500GS-20と組み合わせて使用します。
EV-9500GS-20 変換アダプタ	20ピン・プラスチックSSOPを実装できるように作られたターゲット・システムの基板とNP-20GSを接続するための変換アダプタです。

備考 NP-20GSは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.6 デバッグ用ツール(ソフトウェア)

ID78K0S-NS 統合ディバッガ	78K/0Sシリーズ用のインサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aに対応したディバッガです。ID78K0S-NSは、Windowsベースのソフトウェアです。 C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイル(DF789062またはDF789861)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ ID78K0S-NS
SM78K0S システム・シミュレータ	78K/0Sシリーズ用のシステム・シミュレータです。SM78K0Sは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。 SM78K0Sを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル(DF789062またはDF789861)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ SM78K0S
DF789062 ^注 DF789861 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 DF789062: μ PD789052, 789062用 DF789861: μ PD78E9860A, 78E9861A用 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789062, $\mu S \times \times \times \times$ DF789861

注 DF789062, 789861は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

備考 オーダ名称の $\times \times \times \times$ は、使用するOS, 供給媒体により異なります。

$\mu S \times \times \times \times$ ID78K0S-NS

$\mu S \times \times \times \times$ SM78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

付録B ターゲット・システム設計上の注意

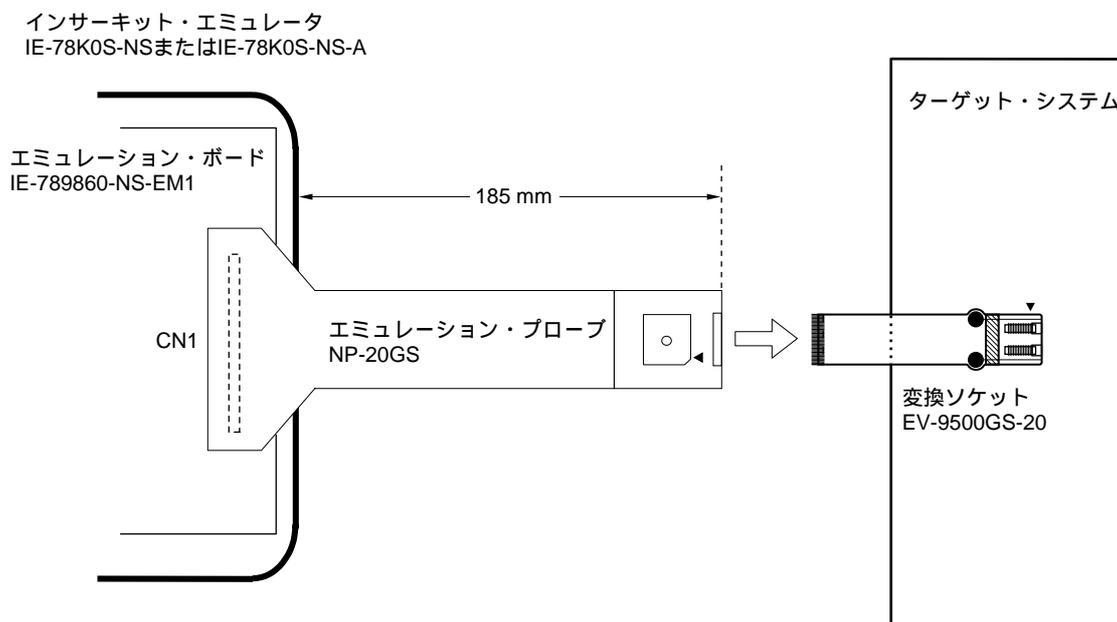
エミュレーション・プローブと変換ソケットとの接続条件図を次に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで、この構成によってシステム設計をしてください。

なお、この付録に記載されている製品名のうちNP-20GSは、株式会社内藤電誠町田製作所の製品です。

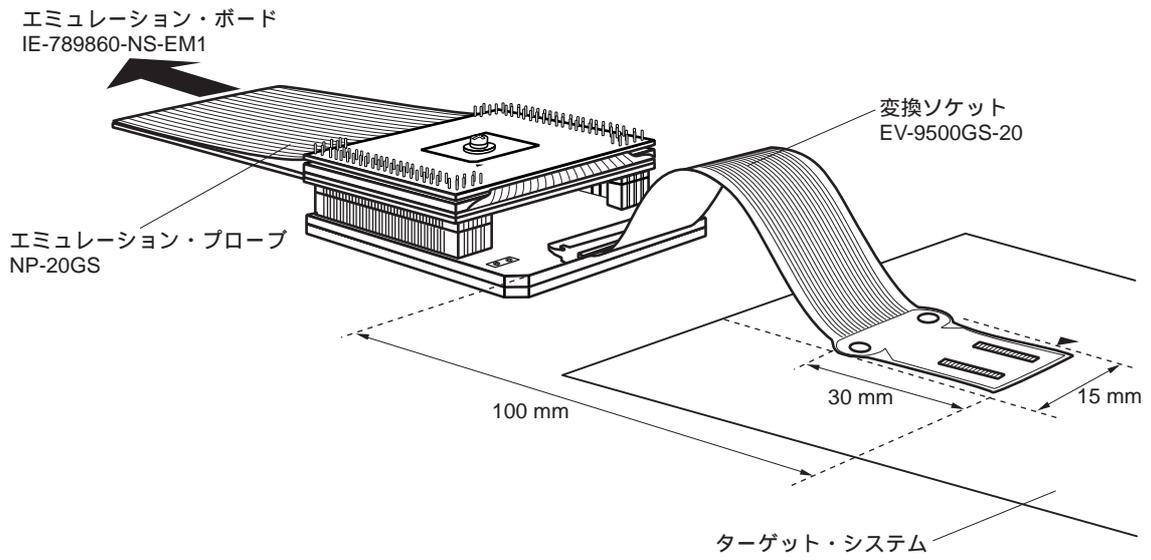
表B - 1 IEシステムから変換ソケットまでの距離

エミュレーション・プローブ	変換ソケット	IEシステムから変換ソケットまでの距離
NP-20GS	EV-9500GS-20	185 mm

図B - 1 インサーキット・エミュレータから変換ソケットまでの距離



図B - 2 ターゲット・システムの接続条件



付録C レジスタ索引

C.1 レジスタ索引 (50音順)

【あ行】

EEPROMライト・コントロール・レジスタ10 (EEWC10) ... 60

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ... 122

【か行】

キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40) ... 93

【た行】

タイマ・クロック選択レジスタ2 (TCL2) ... 121

低電圧検出レジスタ1 (LVIF1) ... 128

低電圧検出レベル選択レジスタ1 (LVIS1) ... 128

【は行】

8ビット・コンペア・レジスタ30 (CR30) ... 88

8ビット・コンペア・レジスタ40 (CR40) ... 88

8ビット・コンペア・レジスタH40 (CRH40) ... 88

8ビット・タイマ・カウンタ30 (TM30) ... 89

8ビット・タイマ・カウンタ40 (TM40) ... 89

8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30) ... 91

8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40) ... 92

発振安定時間選択レジスタ (OSTS) ... 149

パワーオン・クリア・レジスタ1 (POCF1) ... 127

ビット・シーケンシャル・バッファ出力コントロール・レジスタ10 (BSFC10) ... 134

ビット・シーケンシャル・バッファ10データ・レジスタL, H (BSFRL10, BSFRH10) ... 133

プロセッサ・クロック・コントロール・レジスタ (PCC) ... 71, 78

ポート・モード・レジスタ0 (PM0) ... 68

ポート・モード・レジスタ2 (PM2) ... 68

ポート0 (P0) ... 65

ポート2 (P2) ... 66

ポート4 (P4) ... 67

【わ行】

割り込みマスク・フラグ・レジスタ0 (MK0) ... 141

割り込み要求フラグ・レジスタ0 (IF0) ... 140

C.2 レジスタ索引 (アルファベット順)

[B]

- BSFC10 : ビット・シーケンシャル・バッファ出力コントロール・レジスタ10 ... 134
- BSFRH10 : ビット・シーケンシャル・バッファ10データ・レジスタH ... 133
- BSFRL10 : ビット・シーケンシャル・バッファ10データ・レジスタL ... 133

[C]

- CR30 : 8ビット・コンペア・レジスタ30 ... 88
- CR40 : 8ビット・コンペア・レジスタ40 ... 88
- CRH40 : 8ビット・コンペア・レジスタH40 ... 88

[E]

- EEWC10 : EEPROMライト・コントロール・レジスタ10 ... 60

[I]

- IFO : 割り込み要求フラグ・レジスタ0 ... 140

[L]

- LVIF1 : 低電圧検出レジスタ1 ... 128
- LVIS1 : 低電圧検出レベル選択レジスタ1 ... 128

[M]

- MK0 : 割り込みマスク・フラグ・レジスタ0 ... 141

[O]

- OSTS : 発振安定時間選択レジスタ ... 149

[P]

- P0 : ポート0 ... 65
- P2 : ポート2 ... 66
- P4 : ポート4 ... 67
- PCC : プロセッサ・クロック・コントロール・レジスタ ... 71, 78
- PM0 : ポート・モード・レジスタ0 ... 68
- PM2 : ポート・モード・レジスタ2 ... 68
- POCF1 : パワーオン・クリア・レジスタ1 ... 127

[T]

- TCA40 : キャリア・ジェネレータ出力コントロール・レジスタ40 ... 93
- TCL2 : タイマ・クロック選択レジスタ2 ... 121
- TM30 : 8ビット・タイマ・カウンタ30 ... 89
- TM40 : 8ビット・タイマ・カウンタ40 ... 89
- TMC30 : 8ビット・タイマ・モード・コントロール・レジスタ30 ... 91

TMC40 : 8ビット・タイマ・モード・コントロール・レジスタ40 ... 92

[W]

WDTM : ウォッチドッグ・タイマ・モード・レジスタ ... 122

付録D 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/2)

版 数	前版からの改版内容	適用箇所	
第2版	μ PD78E9860, 78E9861を品名削除	全 般	
	μ PD78E9860A, 78E9861Aを品名追加		
	3. 2. 9 V_{PP} (μ PD78E9860A, 78E9861Aのみ) に端子処理の説明文を追加	第3章 端子機能	
	9. 2 8ビット・タイマ30, 40の構成 ・図9 - 3 出力制御回路 (タイマ40) のブロック図を修正 ・ (2) 8ビット・コンペア・レジスタ40 (CR40) に説明文を追加 ・ (3) 8ビット・コンペア・レジスタH40 (CRH40) に説明文を追加	第9章 8ビット・タイマ30, 40	
	図9 - 6 キャリア・ジェネレータ出力コントロール・レジスタ40のフォーマットに説明文と注意文を追加		
	9. 4. 3 キャリア・ジェネレータとしての動作に注意文を追加		
	9. 5 8ビット・タイマ30, 40の注意事項 ・ (1) タイマ・スタート時の誤差の内容を変更 ・ (2) TMI端子からの外部クロックを選択した場合のカウント値を追加		
	図11 - 1 パワーオン・クリア回路のブロック図を修正	第11章 パワーオン・クリア回路 (μ PD78E9860A, 78E9861Aのみ)	
	図11 - 2 低電圧検出回路のブロック図を修正		
	11. 4. 1 パワーオン・クリア (POC) 回路の動作に注釈文を追加		
	11. 4. 2 低電圧検出回路 (LVI) の動作に注意文を追加		
	図14 - 2 割り込み要求フラグ・レジスタ0のフォーマットに注意文を追加	第14章 割り込み機能	
	17. 1 EEPROM (プログラム・メモリ) の内容を全般的に修正	第17章 μ PD78E9860A, 78E9861A	
	章を追加		第20章 電気的特性
			第21章 RC発振周波数特性例 (参考値)
			第22章 外形図
	A. 4 EEPROM (プログラム・メモリ) 書き込み用ツールに, Flashpro を追加		第23章 半田付け推奨条件
付録A 開発ツール			
ターゲット・システム設計上の注意を追加		付録B ターゲット・システム設計上の注意	
改版履歴を追加		付録D 改版履歴	

版 数	前版からの改版内容	適用箇所
第3版	1. 5 78K/0Sシリーズの展開, 2. 5 78K/0Sシリーズの展開を最新版に修正	第1章 概説(μ PD789052サブシリーズ)
		第2章 概説(μ PD789062サブシリーズ)
	選択不可のクロック設定を削除	第5章 EEPROM(データ・メモリ)(μ PD78E9860A, 78E9861Aのみ)
	図5-2 EEPROMライト・コントロール・レジスタ10のフォーマットに注釈文追加	
	5. 4 EEPROM書き込み時の注意事項の(8)の記述を修正	
	図9-2 タイマ40のブロック図にEEPROMへの出力の記述を追加	第9章 8ビット・タイマ30, 40
	図14-3 割り込みマスク・フラグ・レジスタ0のフォーマットの注意文を修正	第14章 割り込み機能
	図14-6 ノンマスクابل割り込み要求の受け付けタイミングの信号名を修正	
	15. 2. 1 HALTモードで, HALT解除できるノンマスクابل割り込みを特定	第15章 スタンバイ機能
	15. 2. 2 STOPモードで, STOP解除できるノンマスクابل割り込みを追加	
	表17-1 μ PD78E9860A, 78E9861AとマスクROM製品の違いに, 発振安定時間の記述を追加	第17章 μ PD78E9860A, 78E9861A
	表17-3 端子接続一覧のCLK接続の記述を修正	
	DC特性で, μ PD78E9860Aの電源電流の条件を修正	第20章 電気的特性
	表23-1 表面実装タイプの半田付け条件で, μ PD789052, 789062の半田付け条件を変更	第23章 半田付け推奨条件
第3版(修正版)	鉛フリー製品を追加	第1章 概説(μ PD789052サブシリーズ)
		第2章 概説(μ PD789062サブシリーズ)
	表23-1 表面実装タイプの半田付け条件で, 鉛フリー製品の半田付け条件を追加	第23章 半田付け推奨条件

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
