

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

ユーザーズ・マニュアル

保守/廃止

μPD789014サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD789011

μPD789012

μPD78P9014

資料番号 U11187JJ3V0UM00 (第3版)
発行年月 December 1998 N CP(K)

(メ モ)

目次要約

第1章	概 要	...	21
第2章	端子機能	...	29
第3章	CPUアーキテクチャ	...	35
第4章	ポート機能	...	59
第5章	クロック発生回路	...	73
第6章	8ビット・タイマ/イベント・カウンタ	...	81
第7章	ウォッチドッグ・タイマ	...	95
第8章	シリアル・インタフェース00	...	101
第9章	割り込み機能	...	135
第10章	スタンバイ機能	...	149
第11章	リセット機能	...	157
第12章	μ PD78P9014	...	161
第13章	命令セットの概要	...	167
付録A	開発ツール	...	179
付録B	組み込み用ソフトウェア	...	185
付録C	レジスタ索引	...	187
付録D	改版履歴	...	191

CMOSデバイスの一般的注意事項**静電気対策（MOS全般）**

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

QTOP, EEPROMは、日本電気株式会社の商標です。

MS-DOS, WindowsおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS, PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

OSF/Motifは、Open Software Foundation, Inc.の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

本資料の内容は、後日変更する場合があります。

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

本版で改訂された主な箇所

箇 所	内 容
p.34	表2 - 1 各端子の入出力回路タイプで未使用時の推奨接続方法を変更
p.48	表3 - 4 特殊機能レジスタ一覧で一部の名称と略号を変更
p.84	6. 2 (1) 8ビット・コンペア・レジスタ0n (CR0n) で注意文を追加
p.85	図6 - 2 8ビット・タイマ・モード・コントロール・レジスタ00のフォーマットで略号とフラグ名称を変更
p.86	図6 - 3 8ビット・タイマ・モード・コントロール・レジスタ01のフォーマットで略号とフラグ名称を変更
p.88	6. 4. 1 インターバル・タイマとしての動作で操作方法の説明文を変更
p.90	6. 4. 2 外部イベント・カウンタとしての動作で操作方法の説明文を変更
p.91	6. 4. 3 方形波出力としての動作で操作方法の説明文を変更
p.106	図8 - 3 シリアル動作モード・レジスタ00のフォーマットで略号とフラグ名称を変更し、送受信動作に関する注意文を追加
p.107	図8 - 4 アシクロナス・シリアル・インタフェース・モード・レジスタ00のフォーマットで略号とフラグ名称を変更し、送信動作に関する注意文を追加
p.109	8. 3 (3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) で1ビット・メモリ操作命令が可能に変更
p.109	図8 - 5 アシクロナス・シリアル・インタフェース・ステータス・レジスタ00のフォーマットで略号とフラグ名称を変更
p.115	8. 4. 2 アシクロナス・シリアル・インタフェース (UART) モードで送信動作に関する説明文とRXB00レジスタの読み出し動作に関する説明文を追加
p.129	8. 4. 3 3線式シリアルI/Oモードで送受信動作に関する説明文を追加
p.139	図9 - 2 割り込み要求フラグ・レジスタ0のフォーマットでフラグ名称を変更
p.140	図9 - 3 割り込みマスク・フラグ・レジスタ0のフォーマットでフラグ名称を変更
p.161	表12 - 1 μ PD78P9014とマスクROM製品の違いで注意文を追加
p.181	A. 1 言語処理用ソフトウェアでOSにSolaris™を追加
p.182	A. 2. 1 ハードウェアでPROMプログラマ・アダプタでPA-17K-DZを追加
p.183	A. 3. 1 ハードウェアでPCカード・インタフェースの名称をIE-70000-CD-IF-Aに変更し、インタフェース・アダプタにIE-70000-PCI-IFを新たに追加

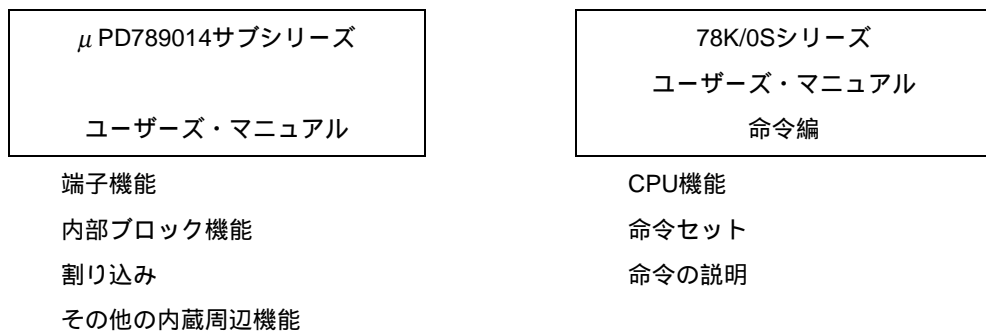
巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者 このマニュアルはμ PD789014サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示すサブシリーズの各製品です。
・μ PD789014サブシリーズ：μ PD789011, 789012, 78P9014

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

読み方 μ PD789014サブシリーズのマニュアルは、このマニュアルと命令編（78K/0Sシリーズ共通）の2冊に分かれています。



読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がアセンブラでは予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

レジスタ名が分かっているレジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

78K/0Sシリーズの命令機能の詳細を知りたいとき

別冊の**78K/0Sシリーズ ユーザーズ・マニュアル 命令編 (U11047J)**を参照してください。

- 凡 例**
- データ表記の重み : 左が上位桁, 右が下位桁
 - アクティブ・ロウの表記 : \overline{xxx} (端子, 信号名称に上線)
 - 注 : 本文中につけた注の説明
 - 注意 : 気をつけて読んでいただきたい内容
 - 備考 : 本文の補足説明
 - 数の表記 : 2進数... xxx または xxxxB
10進数... xxx
16進数... xxxH

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD789011, 789012 データ・シート	U11095J	U11095E
μ PD78P9014 データ・シート	U10912J	U10912E
μ PD789014サブシリーズ ユーザーズ・マニュアル	このマニュアル	U11187E
78K/0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

開発ツールの資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
RA78K0S アセンブラ・パッケージ	操作編	U11622J	U11622E
	アセンブリ言語編	U11599J	U11599E
	構造化アセンブリ言語編	U11623J	U11623E
CC78K0S Cコンパイラ	操作編	U11816J	U11816E
	言語編	U11817J	U11817E
SM78K0S システム・シミュレータ Windows™ ベース	レファレンス編	U11489J	U11489E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン インタフェース仕様編	U10092J	U10092E
ID78K0S 統合ディバッガ Windowsベース	レファレンス編	U12901J	U12901E

組み込み用ソフトウェアの資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
78K/0Sシリーズ用OS MX78K0S	U12938J	U12938E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
NEC IC Package Manual (CD-ROM)	-	C13388E
半導体デバイス 実装マニュアル	C10535J	C10535E
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

(メ モ)

目 次

第1章 概 説 ...	21
1.1 特 徴 ...	21
1.2 応用分野 ...	21
1.3 オーダ情報 ...	21
1.4 端子接続図 (Top View) ...	22
1.5 78K/0Sシリーズの展開 ...	24
1.6 ブロック図 ...	26
1.7 機能概要 ...	27
第2章 端子機能 ...	29
2.1 端子機能一覧 ...	29
2.1.1 通常動作モード時の端子 ...	29
2.1.2 PROMプログラミング・モード時の端子 ...	30
2.2 端子機能の説明 ...	31
2.2.1 P00-P07 (Port0) ...	31
2.2.2 P10-P17 (Port1) ...	31
2.2.3 P20-P22 (Port2) ...	31
2.2.4 P30-P32 (Port3) ...	32
2.2.5 RESET ...	32
2.2.6 X1, X2 ...	32
2.2.7 V _{DD} ...	32
2.2.8 V _{SS} ...	32
2.2.9 V _{PP} (μ PD78P9014のみ) ...	32
2.2.10 IC (マスクROM製品のみ) ...	33
2.3 端子の入出力回路と未使用端子の処理 ...	34
第3章 CPUアーキテクチャ ...	35
3.1 メモリ空間 ...	35
3.1.1 内部プログラム・メモリ空間 ...	38
3.1.2 内部データ・メモリ (内部高速RAM) 空間 ...	39
3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ...	39
3.1.4 データ・メモリ・アドレッシング ...	40
3.2 プロセッサ・レジスタ ...	43
3.2.1 制御レジスタ ...	43
3.2.2 汎用レジスタ ...	46
3.2.3 特殊機能レジスタ (SFR) ...	47
3.3 命令アドレスのアドレッシング ...	49
3.3.1 レラティブ・アドレッシング ...	49
3.3.2 イミディエト・アドレッシング ...	50
3.3.3 テーブル・インダイレクト・アドレッシング ...	51
3.3.4 レジスタ・アドレッシング ...	51

- 3.4 オペランド・アドレスのアドレッシング ... 52
 - 3.4.1 ダイレクト・アドレッシング ... 52
 - 3.4.2 ショート・ダイレクト・アドレッシング ... 53
 - 3.4.3 特殊機能レジスタ (SFR) アドレッシング ... 54
 - 3.4.4 レジスタ・アドレッシング ... 55
 - 3.4.5 レジスタ・インダイレクト・アドレッシング ... 56
 - 3.4.6 ベースト・アドレッシング ... 57
 - 3.4.7 スタック・アドレッシング ... 57

第4章 ポート機能 ... 59

- 4.1 ポートの機能 ... 59
- 4.2 ポートの構成 ... 61
 - 4.2.1 ポート0 ... 61
 - 4.2.2 ポート1 ... 62
 - 4.2.3 ポート2 ... 63
 - 4.2.4 ポート3 ... 66
- 4.3 ポート機能を制御するレジスタ ... 68
- 4.4 ポート機能の動作 ... 70
 - 4.4.1 入出力ポートへの書き込み ... 70
 - 4.4.2 入出力ポートからの読み出し ... 70
 - 4.4.3 入出力ポートでの演算 ... 71

第5章 クロック発生回路 ... 73

- 5.1 クロック発生回路の機能 ... 73
- 5.2 クロック発生回路の構成 ... 73
- 5.3 クロック発生回路を制御するレジスタ ... 74
- 5.4 システム・クロック発振回路 ... 75
 - 5.4.1 システム・クロック発振回路 ... 75
 - 5.4.2 分周回路 ... 78
- 5.5 クロック発生回路の動作 ... 78
- 5.6 CPUクロックの設定の変更 ... 79
 - 5.6.1 CPUクロックの切り替えに要する時間 ... 79
 - 5.6.2 CPUクロックの切り替え手順 ... 79

第6章 8ビット・タイマ/イベント・カウンタ ... 81

- 6.1 8ビット・タイマ/イベント・カウンタの機能 ... 82
- 6.2 8ビット・タイマ/イベント・カウンタの構成 ... 83
- 6.3 8ビット・タイマ/イベント・カウンタを制御するレジスタ ... 85
- 6.4 8ビット・タイマ/イベント・カウンタの動作 ... 88
 - 6.4.1 インターバル・タイマとしての動作 ... 88
 - 6.4.2 外部イベント・カウンタとしての動作 ... 90
 - 6.4.3 方形波出力としての動作 ... 91
- 6.5 8ビット・タイマ/イベント・カウンタの注意事項 ... 93

第7章 ウォッチドッグ・タイマ ... 95

- 7.1 ウォッチドッグ・タイマの機能 ... 95
- 7.2 ウォッチドッグ・タイマの構成 ... 96
- 7.3 ウォッチドッグ・タイマを制御するレジスタ ... 97
- 7.4 ウォッチドッグ・タイマの動作 ... 99
 - 7.4.1 ウォッチドッグ・タイマとしての動作 ... 99
 - 7.4.2 インターバル・タイマとしての動作 ... 100

第8章 シリアル・インタフェース00 ... 101

- 8.1 シリアル・インタフェース00の機能 ... 101
- 8.2 シリアル・インタフェース00の構成 ... 102
- 8.3 シリアル・インタフェース00を制御するレジスタ ... 106
- 8.4 シリアル・インタフェース00の動作 ... 113
 - 8.4.1 動作停止モード ... 113
 - 8.4.2 アシンクロナス・シリアル・インタフェース (UART) モード ... 115
 - 8.4.3 3線式シリアルI/Oモード ... 129

第9章 割り込み機能 ... 135

- 9.1 割り込み機能の種類 ... 135
- 9.2 割り込み要因と構成 ... 135
- 9.3 割り込み機能を制御するレジスタ ... 138
- 9.4 割り込み処理動作 ... 143
 - 9.4.1 ノンマスカブル割り込み要求の受け付け動作 ... 143
 - 9.4.2 マスカブル割り込みの受け付け動作 ... 145
 - 9.4.3 多重割り込み処理 ... 147
 - 9.4.4 割り込み要求の保留 ... 148

第10章 スタンバイ機能 ... 149

- 10.1 スタンバイ機能と構成 ... 149
 - 10.1.1 スタンバイ機能 ... 149
 - 10.1.2 スタンバイ機能を制御するレジスタ ... 150
- 10.2 スタンバイ機能の動作 ... 151
 - 10.2.1 HALTモード ... 151
 - 10.2.2 STOPモード ... 154

第11章 リセット機能 ... 157

第12章 μ PD78P9014 ... 161

- 12.1 PROMプログラミング ... 162
 - 12.1.1 動作モード ... 162
 - 12.1.2 プログラム・メモリ書き込みの手順 ... 163
 - 12.1.3 プログラム・メモリ読み出しの手順 ... 164
 - 12.1.4 ワン・タイムPROM製品のスクリーニングについて ... 165

第13章 命令セットの概要 ...	167
13.1 オペレーション ...	167
13.1.1 オペランドの表現形式と記述方法 ...	167
13.1.2 オペレーション欄の説明 ...	168
13.1.3 フラグ動作欄の説明 ...	168
13.2 オペレーション一覧 ...	169
13.3 アドレッシング別命令一覧 ...	175
付録A 開発ツール ...	179
A.1 言語処理用ソフトウェア ...	181
A.2 PROM書き込み用ツール ...	182
A.2.1 ハードウェア ...	182
A.2.2 ソフトウェア ...	182
A.3 ディバグ用ツール ...	183
A.3.1 ハードウェア ...	183
A.3.2 ソフトウェア ...	184
付録B 組み込み用ソフトウェア ...	185
付録C レジスタ索引 ...	187
C.1 レジスタ索引 (50音順) ...	187
C.2 レジスタ索引 (アルファベット順) ...	189
付録D 改版履歴 ...	191

図の目次 (1/3)

図番号	タイトル, ページ
2 - 1	端子の入出力回路一覧 ... 34
3 - 1	メモリ・マップ (μ PD789011) ... 35
3 - 2	メモリ・マップ (μ PD789012) ... 36
3 - 3	メモリ・マップ (μ PD78P9014) ... 37
3 - 4	データ・メモリのアドレッシング (μ PD789011) ... 40
3 - 5	データ・メモリのアドレッシング (μ PD789012) ... 41
3 - 6	データ・メモリのアドレッシング (μ PD78P9014) ... 42
3 - 7	プログラム・カウンタの構成 ... 43
3 - 8	プログラム・ステータス・ワードの構成 ... 43
3 - 9	スタック・ポインタの構成 ... 45
3 - 10	スタック・メモリへ退避されるデータ ... 45
3 - 11	スタック・メモリから復帰されるデータ ... 45
3 - 12	汎用レジスタの構成 ... 46
4 - 1	ポートの種類 ... 59
4 - 2	P00-P07のブロック図 ... 61
4 - 3	P10-P17のブロック図 ... 62
4 - 4	P20のブロック図 ... 63
4 - 5	P21のブロック図 ... 64
4 - 6	P22のブロック図 ... 65
4 - 7	P30, P31のブロック図 ... 66
4 - 8	P32のブロック図 ... 67
4 - 9	ポート・モード・レジスタのフォーマット ... 69
4 - 10	プルアップ抵抗オプション・レジスタのフォーマット ... 69
5 - 1	クロック発生回路のブロック図 ... 73
5 - 2	プロセッサ・クロック・コントロール・レジスタのフォーマット ... 74
5 - 3	システム・クロック発振回路の外付け回路 ... 75
5 - 4	発振子の接続の悪い例 ... 76
5 - 5	CPUクロックの切り替え ... 79
6 - 1	8ビット・タイマ/イベント・カウンタのブロック図 ... 84
6 - 2	8ビット・タイマ・モード・コントロール・レジスタ00のフォーマット ... 85
6 - 3	8ビット・タイマ・モード・コントロール・レジスタ01のフォーマット ... 86
6 - 4	ポート・モード・レジスタ3のフォーマット ... 87
6 - 5	インターバル・タイマ動作のタイミング ... 89
6 - 6	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 90
6 - 7	方形波出力のタイミング ... 92

図の目次 (2/3)

図番号	タイトル, ページ
6-8	8ビット・タイマ・レジスタのスタート・タイミング ... 93
6-9	外部イベント・カウンタとしての動作時のタイミング ... 93
7-1	ウォッチドッグ・タイマのブロック図 ... 96
7-2	タイマ・クロック選択レジスタ2のフォーマット ... 97
7-3	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 98
8-1	シリアル・インタフェース00のブロック図 ... 103
8-2	ポー・レート・ジェネレータのブロック図 ... 104
8-3	シリアル動作モード・レジスタ00のフォーマット ... 106
8-4	アシンクロナス・シリアル・インタフェース・モード・レジスタ00のフォーマット ... 107
8-5	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00のフォーマット ... 109
8-6	ポー・レート・ジェネレータ・コントロール・レジスタ00のフォーマット ... 110
8-7	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 121
8-8	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 123
8-9	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 124
8-10	受信エラー・タイミング ... 125
8-11	3線式シリアルI/Oモードのタイミング ... 132
9-1	割り込み機能の基本構成 ... 137
9-2	割り込み要求フラグ・レジスタ0のフォーマット ... 139
9-3	割り込みマスク・フラグ・レジスタ0のフォーマット ... 140
9-4	外部割り込みモード・レジスタ0のフォーマット ... 141
9-5	プログラム・ステータス・ワードの構成 ... 142
9-6	ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート ... 144
9-7	ノンマスクابل割り込み要求の受け付けタイミング ... 144
9-8	ノンマスクابل割り込み要求の受け付け動作 ... 144
9-9	割り込み要求受け付け処理アルゴリズム ... 145
9-10	割り込み要求の受け付けタイミング (MOV A, rの例) ... 146
9-11	割り込み要求の受け付けタイミング (命令実行中の最終クロックで割り込み要求フラグが発生したとき) ... 146
9-12	多重割り込みの例 ... 147
10-1	発振安定時間選択レジスタのフォーマット ... 150
10-2	HALTモードの割り込み発生による解除 ... 152
10-3	HALTモードのRESET入力による解除 ... 153
10-4	STOPモードの割り込み発生による解除 ... 155
10-5	STOPモードのRESET入力による解除 ... 156

図の目次 (3/3)

図番号	タイトル, ページ
11 - 1	リセット機能のブロック図 ... 157
11 - 2	$\overline{\text{RESET}}$ 入力によるリセット・タイミング ... 158
11 - 3	ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング ... 158
11 - 4	STOPモード中のRESET入力によるリセット・タイミング ... 158
A - 1	開発ツール構成 ... 180

表の目次 (1/2)

表番号	タイトル, ページ
2 - 1	各端子の入出力回路タイプ ... 34
3 - 1	内部ROM容量 ... 38
3 - 2	ベクタ・テーブル ... 38
3 - 3	内部高速RAM容量 ... 39
3 - 4	特殊機能レジスタ一覧 ... 48
4 - 1	ポートの機能 ... 60
4 - 2	ポートの構成 ... 61
4 - 3	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 68
5 - 1	クロック発生回路の構成 ... 73
5 - 2	CPUクロックの切り替えに要する最大時間 ... 79
6 - 1	8ビット・タイマ/イベント・カウンタのインターバル時間 ... 82
6 - 2	8ビット・タイマ/イベント・カウンタの方形波出力範囲 ... 82
6 - 3	8ビット・タイマ/イベント・カウンタの構成 ... 83
6 - 4	8ビット・タイマ/イベント・カウンタのインターバル時間 ... 88
6 - 5	8ビット・タイマ/イベント・カウンタの方形波出力範囲 ... 91
7 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 95
7 - 2	インターバル時間 ... 95
7 - 3	ウォッチドッグ・タイマの構成 ... 96
7 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 99
7 - 5	インターバル・タイマのインターバル時間 ... 100
8 - 1	シリアル・インタフェース00の構成 ... 102
8 - 2	シリアル・インタフェース00の動作モードの設定一覧 ... 108
8 - 3	システム・クロックとポー・レートの関係例 ... 111
8 - 4	ASCK端子入力周波数とポー・レートの関係 (BRGC00 = 80H設定時) ... 112
8 - 5	システム・クロックとポー・レートの関係例 ... 119
8 - 6	ASCK端子入力周波数とポー・レートの関係 (BRGC00 = 80H設定時) ... 120
8 - 7	受信エラーの要因 ... 125
8 - 8	RXB00レジスタを読み出すために必要なクロック数 ... 127
9 - 1	割り込み要因一覧 ... 136
9 - 2	割り込み要求信号名に対する各種フラグ ... 138
9 - 3	マスクブル割り込み要求発生から処理までの時間 ... 145

表の目次 (2/2)

表番号	タイトル, ページ
10 - 1	HALTモード時の動作状態 ... 151
10 - 2	HALTモードの解除後の動作 ... 153
10 - 3	STOPモード時の動作状態 ... 154
10 - 4	STOPモードの解除後の動作 ... 156
11 - 1	各ハードウェアのリセット後の状態 ... 159
12 - 1	μ PD78P9014とマスクROM製品の違い ... 161
12 - 2	PROMプログラミング・モード時の端子 ... 162
12 - 3	PROMプログラミングの動作モード ... 162
13 - 1	オペランドの表現形式と記述方法 ... 167

〔メ モ〕

第1章 概 説

1.1 特 徴

ROM, RAM容量

品 名	項 目	プログラム・メモリ	データ・メモリ (内部高速RAM)
μ PD789011	ROM	2 Kバイト	128バイト
μ PD789012		4 Kバイト	
μ PD78P9014	PROM	8 Kバイト	256バイト

高速 (0.4 μ s) と低速 (1.6 μ s) に最小命令実行時間を変更可能 (システム・クロック5.0 MHz動作時)

I/Oポート : 22本

シリアル・インタフェース : 1チャンネル

3線式シリアルI/Oモード / UARTモード選択可能

タイマ : 3チャンネル

・8ビット・タイマ / イベント・カウンタ : 2チャンネル

・ウォッチドッグ・タイマ : 1チャンネル

★ ベクタ割り込み要因 : 9

電源電圧 : $V_{DD} = 1.8 \sim 5.5$ V

動作周囲温度 : $T_A = -40 \sim +85$

1.2 応用分野

小型家電, リモコン, ゲームなど

1.3 オーダ情報

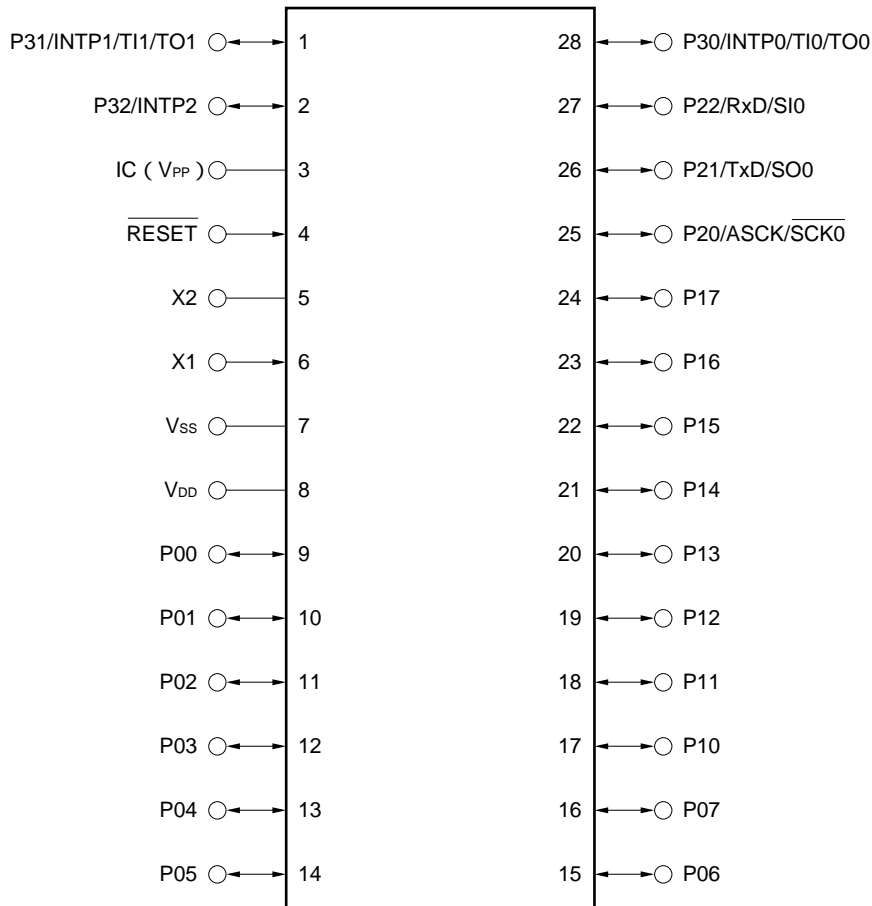
オーダ名称	パッケージ	内部ROM
μ PD789011CT-x x x	28ピン・プラスチック・シュリンクDIP (400 mil)	マスクROM
μ PD789011GT-x x x	28ピン・プラスチックSOP (375 mil)	"
μ PD789012CT-x x x	28ピン・プラスチック・シュリンクDIP (400 mil)	"
μ PD789012GT-x x x	28ピン・プラスチックSOP (375 mil)	"
μ PD78P9014CT	28ピン・プラスチック・シュリンクDIP (400 mil)	ワン・タイムPROM
μ PD78P9014GT	28ピン・プラスチックSOP (375 mil)	"

備考 x x xはROMコード番号です。

1.4 端子接続図 (Top View)

(1) 通常動作モード

- ・ 28ピン・プラスチック・シュリンクDIP (400 mil)
 μ PD789011CT- x x x , 789012CT- x x x , 78P9014CT
- ・ 28ピン・プラスチックSOP (375 mil)
 μ PD789011GT- x x x , 789012GT- x x x , 78P9014GT



注意 ICはV_{SS}に直接接続してください。 **備考** ()内は、 μ PD78P9014のとき。

ASCK : Asynchronous Serial Clock

IC : Internally Connected

P00-P07 : Port0

P10-P17 : Port1

P20-P22 : Port2

P30-P32 : Port3

$\overline{\text{RESET}}$: Reset

RxD : Receive Data

$\overline{\text{SCK0}}$: Serial Clock

S10 : Serial Input

SO0 : Serial Output

TI0 : Timer Input

TO0 : Timer Output

TxD : Transmit Data

V_{DD} : Power Supply

V_{PP} : Programming Power Supply

V_{SS} : Ground

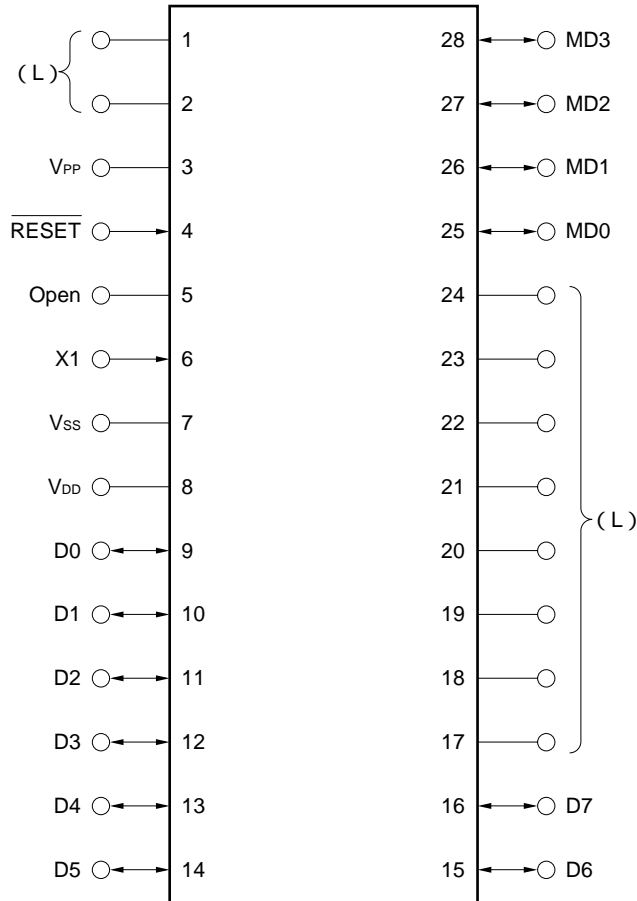
(2) PROMプログラミング・モード

・ 28ピン・プラスチック・シュリンクDIP (400 mil)

μ PD78P9014CT

・ 28ピン・プラスチックSOP (375 mil)

μ PD78P9014GT



注意1. (L) : 個別にプルダウン抵抗を介してV_{SS}に接続してください。

2. V_{SS} : グラウンドに接続してください。

3. $\overline{\text{RESET}}$: ロウ・レベルにしてください。

4. Open : 何も接続しないでください。

D0-D7 : Data Bus

V_{DD} : Power Supply

MD0-MD3 : Programming Power Supply

V_{PP} : Programming Power Supply

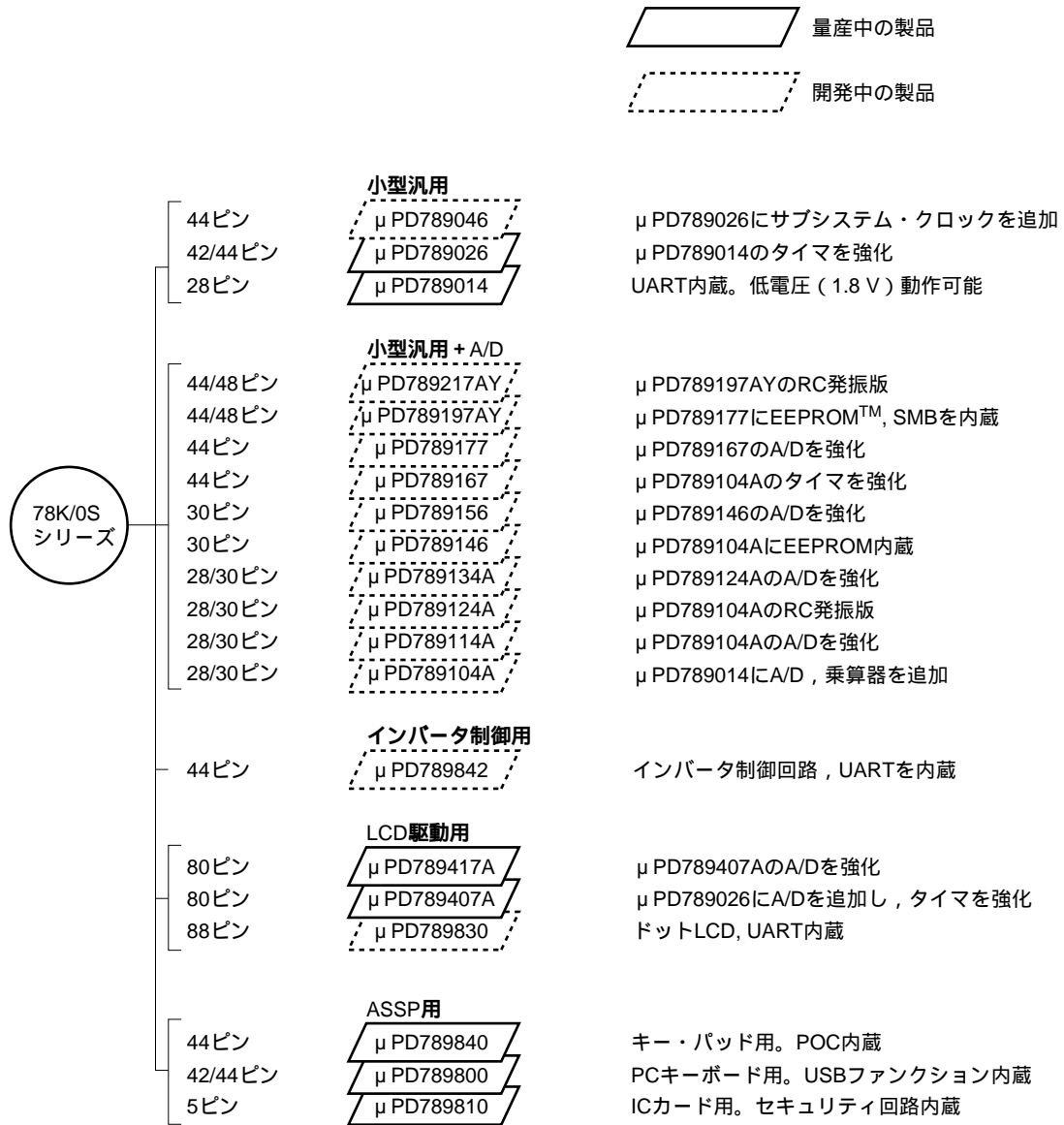
$\overline{\text{RESET}}$: Reset

V_{SS} : Ground

X1 : Programming Clock Input

★ 1.5 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。

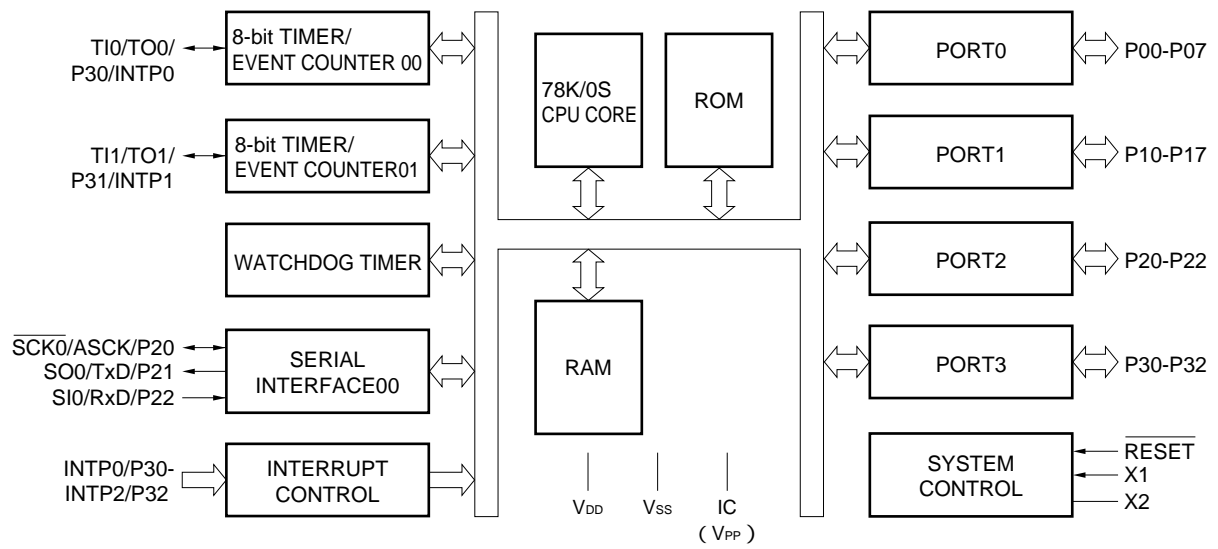


各サブシリーズ間の主な機能の違いを次に示します。

サブシリーズ名	機能	ROM容量	タイマ				8-bit A/D	10-bit A/D	シリアル・ インタフェース	I/O	V _{DD} MIN.値	備考									
			8-bit	16-bit	時計	WDT															
小型 汎用	μ PD789046	16 K	1ch	1ch	1ch	1ch	-	-	1ch (UART : 1ch)	34本	1.8 V	-									
	μ PD789026	4 K-16 K			-																
	μ PD789014	2 K-4 K	2ch	-						22本											
小型 汎用 + A/D	μ PD789217AY	16 K-24 K	3ch	1ch	1ch	1ch	-	8ch	2ch [UART : 1ch] [SMB : 1ch]	31本	1.8 V	RC発振版, EEPROM内蔵									
	μ PD789197AY																				EEPROM内蔵
	μ PD789177																				-
	μ PD789167					8ch	-		1ch (UART : 1ch)												
	μ PD789156	8 K-16 K	1ch				-	4ch		20本		EEPROM内蔵									
	μ PD789146						4ch	-													
	μ PD789134A	2 K-8 K					-	4ch				RC発振版									
	μ PD789124A						4ch	-													
	μ PD789114A						-	4ch													
μ PD789104A	4ch						-														
インバ ータ制 御用	μ PD789842	8 K-16 K	3ch	注	1ch	1ch	8ch	-	1ch (UART : 1ch)	30本	4.0 V	-									
LCD 駆動用	μ PD789417A	12 K-24 K	3ch	1ch	1ch	1ch	-	7ch	1ch (UART : 1ch)	43本	1.8 V	-									
	μ PD789407A						7ch	-													
	μ PD789830	24 K	1ch				-			30本	2.7 V										
ASSP用	μ PD789840	8 K	2ch	-	-	1ch	4ch	-	1ch	29本	2.8 V	-									
	μ PD789800						-		2ch (USB : 1ch)	31本	4.0 V										
	μ PD789810	6 K	-					-	1本	1.8 V	EEPROM内蔵										

注 10ビット・タイマ : 1チャンネル

1.6 ブロック図



備考1. 内部ROM, RAM容量は製品によって異なります。

2. ()内は, μ PD78P9014のとき。

1.7 機能概要

項 目		品 名	
		μ PD789011	μ PD789012
内部メモリ	ROM	マスクROM	
		2 Kバイト	4 Kバイト
	高速RAM	128バイト	256バイト
最小命令実行時間		0.4 μ s/1.6 μ s (システム・クロック : 5.0 MHz動作時)	
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ ビット操作 (セット, リセット, テスト) など 	
I/Oポート		CMOS入出力 : 22本	
シリアル・インタフェース		3線式シリアルI/Oモード/UARTモード選択可能 : 1チャンネル	
タイマ		<ul style="list-style-type: none"> ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 	
タイマ出力		2本	
★ベクタ 割り込み要因	マスカブル	内部 : 5, 外部 : 3	
	ノンマスカブル	内部 : 1	
電源電圧		$V_{DD} = 1.8 \sim 5.5$ V	
動作周囲温度		$T_A = -40 \sim +85$	
パッケージ		<ul style="list-style-type: none"> ・ 28ピン・プラスチック・シュリンクDIP (400 mil) ・ 28ピン・プラスチックSOP (375 mil) 	

(メ モ)

第2章 端子機能

2.1 端子機能一覧

2.1.1 通常動作モード時の端子

(1) ポート端子

端子名称	入出力	機 能	リセット時	兼用端子
P00-P07	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	-
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	-
P20	入出力	ポート2。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	ASCK/SCK0
P21				TxD/SO0
P22				RxD/SI0
P30	入出力	ポート3。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	INTP0/TI0/TO0
P31				INTP1/TI1/TO1
P32				INTP2

(2) ポート以外の端子

端子名称	入出力	機能	リセット時	兼用端子
INTP0 ^注	入力	有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み入力。	入力	P30/TI0/TO0
INTP1 ^注				P31/TI1/TO1
INTP2 ^注				P32
SI0 ^注	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P22/RxD
SO0	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P21/TxD
SCK0 ^注	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入力	P20/ASCK
RxD ^注	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P22/SI0
TxD	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P21/SO0
ASCK ^注	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入力	P20/SCK0
TI0 ^注	入力	8ビット・タイマ（TM0）への外部カウント・クロック入力。	入力	P30/INTP0/TO0
TI1 ^注		8ビット・タイマ（TM1）への外部カウント・クロック入力。		P31/INTP1/TO1
TO0	出力	8ビット・タイマ出力。	入力	P30/INTP0/TI0
TO1				P31/INTP1/TI1
RESET	入力	システム・リセット入力。	入力	-
X1	入力	システム・クロック発振用クリスタル接続。	-	-
X2	-		-	-
V _{DD}	-	正電源。	-	-
V _{PP}	-	プログラム書き込み/ベリファイ時の高電圧印加。通常動作モード時は、V _{SS} に直接接続してください。	-	-
V _{SS}	-	グランド電位。	-	-
IC	-	内部接続されています。V _{SS} に直接接続してください。	-	-

注 シュミット・トリガから入力される端子です（図2-1 端子の入出力回路一覧のタイプ5-D参照）。

2.1.2 PROMプログラミング・モード時の端子

端子名称	入出力	機能
RESET	入力	V _{SS} に接続。
V _{PP}	入力	PROMプログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加。V _{DD} 端子に+5.5V、V _{PP} 端子に+12.5Vを印加すると、PROMプログラミング・モードになります。
MD0-MD3	入出力	PROMプログラミング・モード時の動作モード選択。
D0-D7	入出力	データ・バス。
X1	入力	PROMプログラミング・モード時のアドレス更新クロック入力。
V _{DD}	-	PROMプログラミング・モード設定および正電源。
V _{SS}	-	グランド電位。

2.2 端子機能の説明

2.2.1 P00-P07 (Port0)

8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) により、内蔵プルアップ抵抗を使用できます。

LEDを直接駆動可能です。

2.2.2 P10-P17 (Port1)

8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) により、内蔵プルアップ抵抗を使用できます。

LEDを直接駆動可能です。

2.2.3 P20-P22 (Port2)

3ビット入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

LEDを直接駆動可能です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) により内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI0, SO0

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK0}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) RxD, TxD

アシンクロナス・シリアル・インタフェース用シリアル・データ入出力端子です。

(d) ASCK

アシンクロナス・シリアル・インタフェース用シリアル・クロック入力端子です。

注意 シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については表8-2 シリアル・インタフェース00の動作モードの設定一覧を参照してください。

2.2.4 P30-P32 (Port3)

3ビットの入出力ポートです。入出力ポートのほかに外部割り込み入力、タイマの入出力機能があります。LEDを直接駆動可能です。

1ビットの単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PUO) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み入力、タイマの入出力として機能します。

(a) INTP0-INTP2

有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み入力端子です。

(b) TI0, TI1

8ビット・タイマ/イベント・カウンタへの外部クロック入力端子です。

(c) TO0, TO1

8ビット・タイマ出力端子です。

2.2.5 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.6 X1, X2

システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

2.2.7 VDD

正電源供給端子です。

2.2.8 VSS

グランド電位端子です。

2.2.9 VPP (μ PD78P9014のみ)

PROMプログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

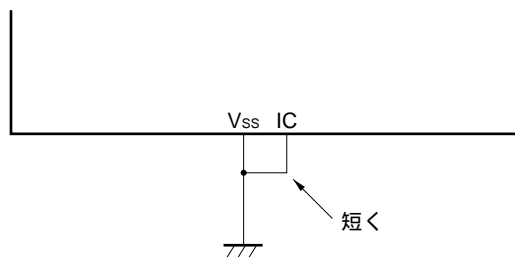
通常動作モード時はVSSに直接接続してください。

2.2.10 IC (マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時に μ PD789011, 789012を検査するためのテスト・モードに設定するための端子です。通常動作時には、IC端子をVss端子に直接接続し、その配線長を極力短くしてください。

IC端子とVss端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とVss端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

IC端子をVss端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表2-1に示します。

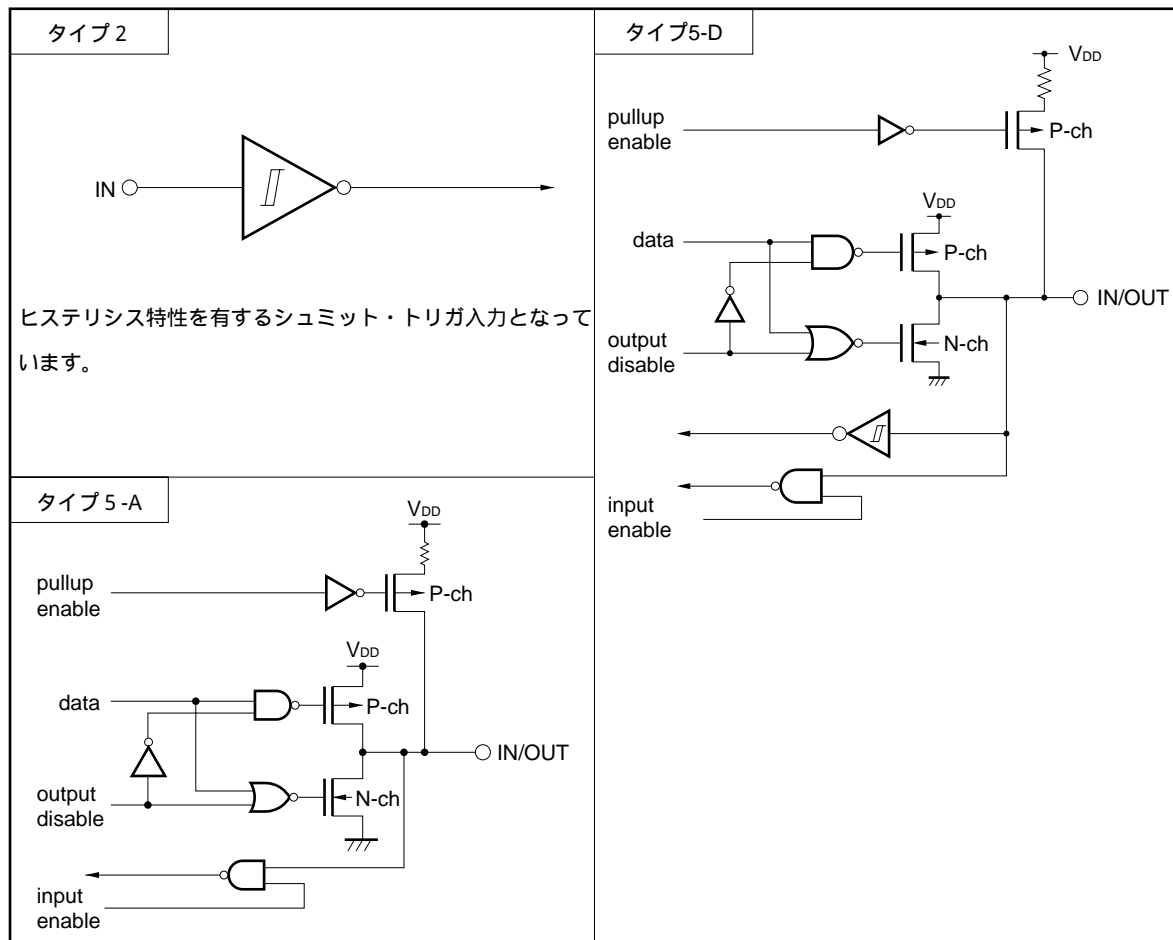
また、各タイプの入出力回路の構成は、図2-1を参照してください。

★

表2-1 各端子の入出力回路タイプ

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P07	5-A	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P10-P17			
P20/ASCK/SCK $\bar{0}$	5-D		
P21/TxD/SO0	5-A		
P22/RxD/SI0	5-D		
P30/INTP0/TI0/TO0			
P31/INTP1/TI1/TO1			
P32/INTP2			
RESET	2	-	-
IC (マスクROM製品)	-	-	V _{SS} に直接接続してください。
V _{PP} (μ PD78P9014)			

図2-1 端子の入出力回路一覧



第3章 CPUアーキテクチャ

3.1 メモリ空間

μ PD789014サブシリーズは、64 Kバイトのメモリ空間をアクセスできます。図3 - 1から図3 - 3に、メモリ・マップを示します。

図3 - 1 メモリ・マップ (μ PD789011)

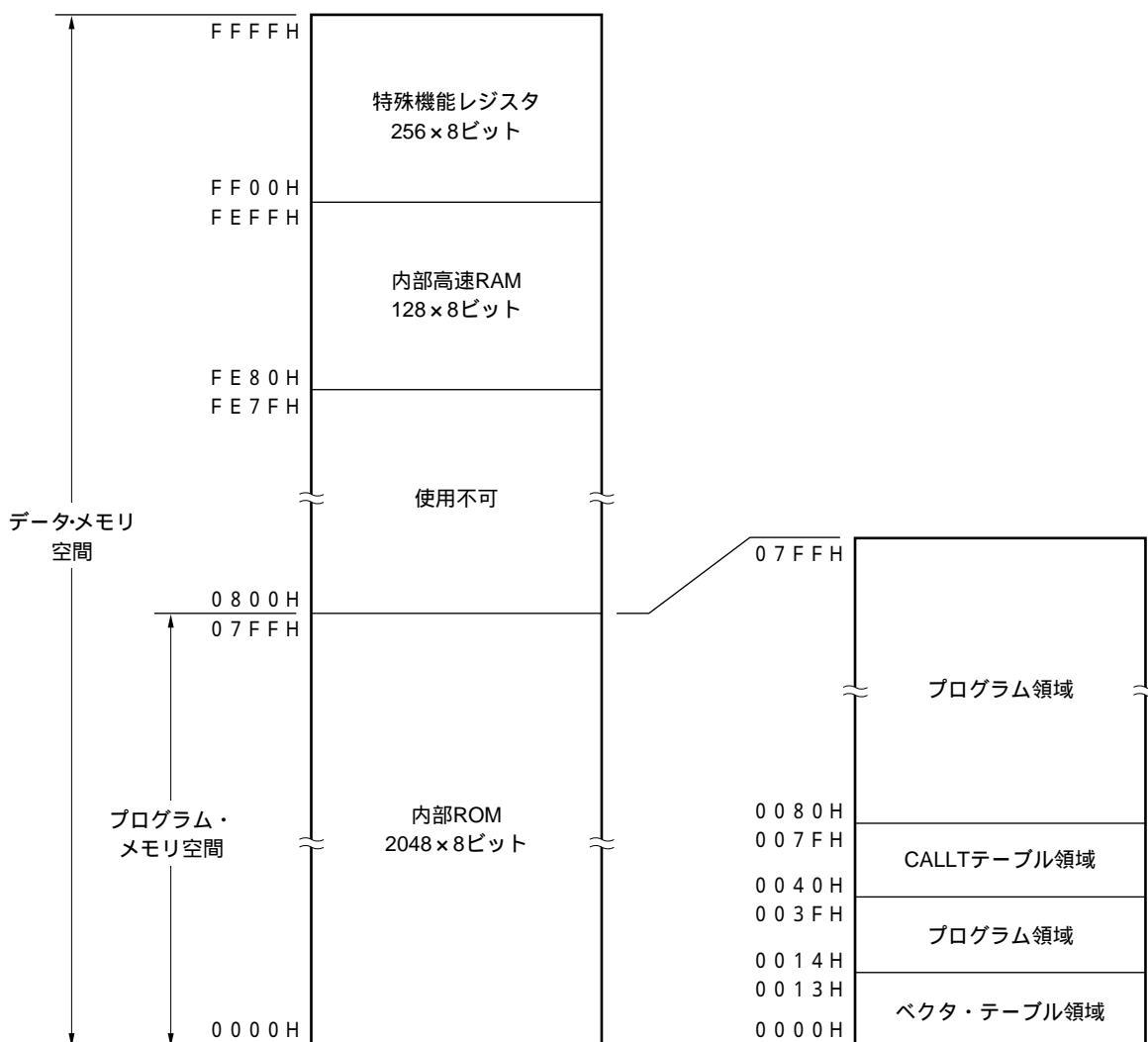


図3-2 メモリ・マップ (μPD789012)

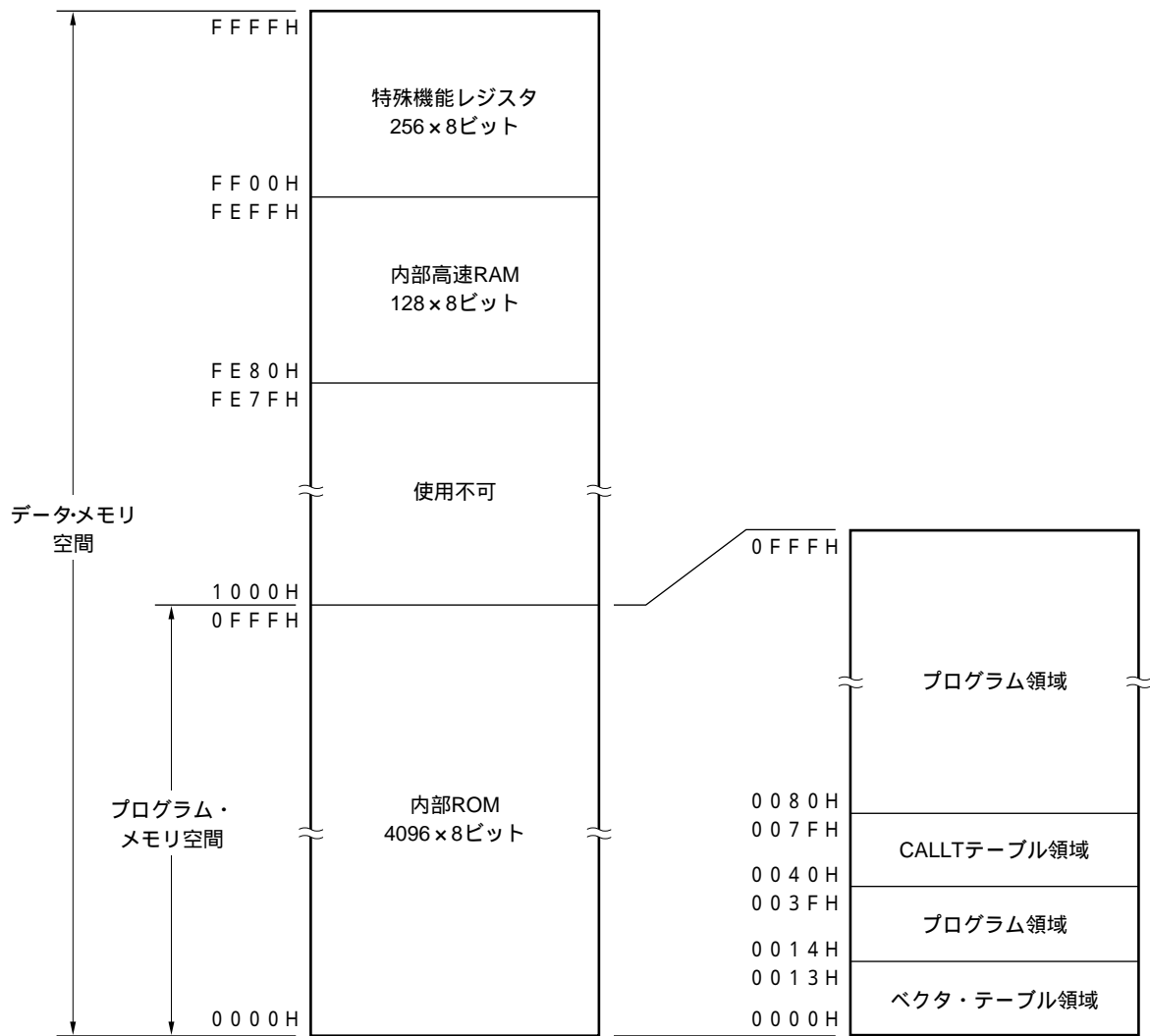
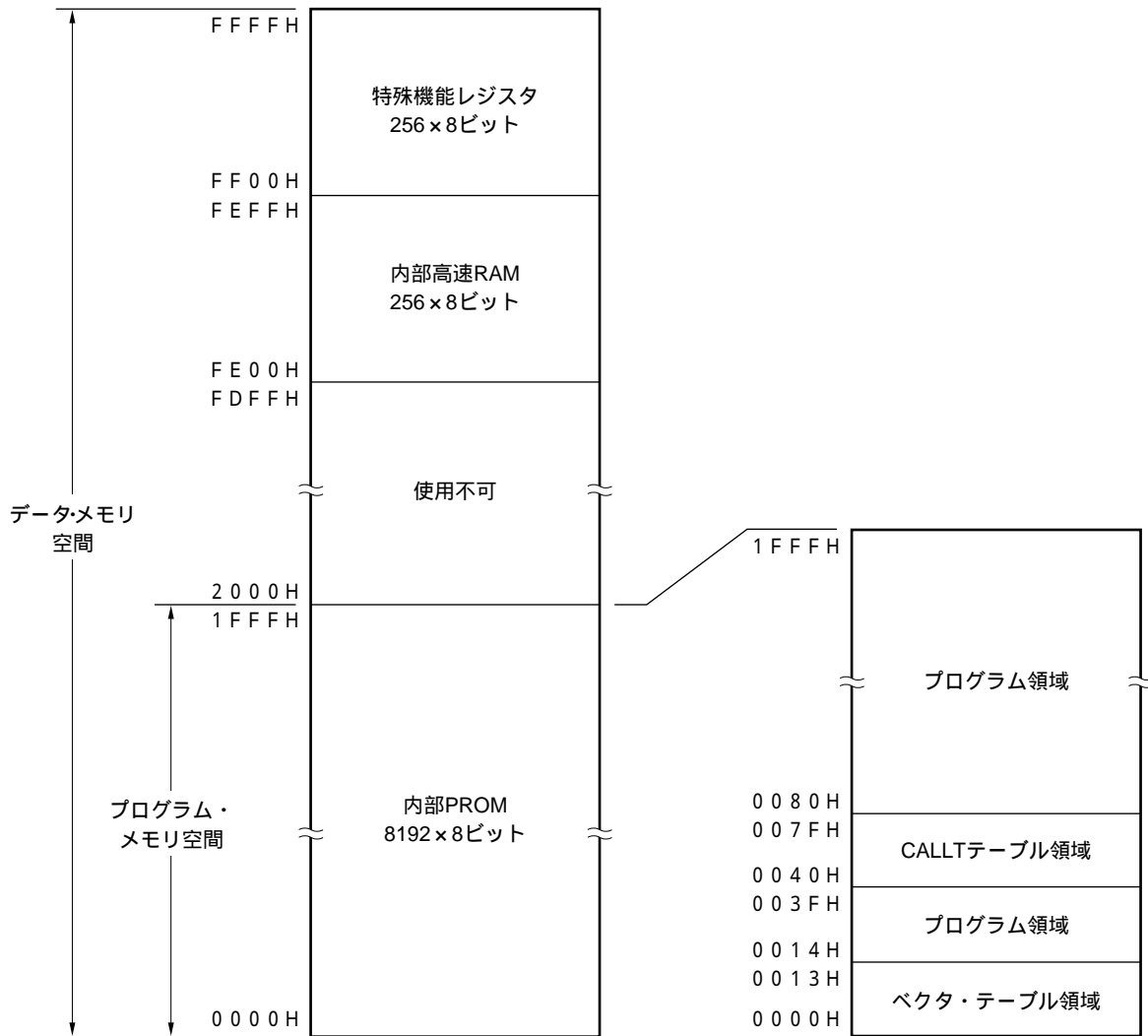


図3-3 メモリ・マップ (μ PD78P9014)



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD789014サブシリーズでは、各製品ごとに次の容量の内部ROM（またはPROM）を内蔵しています。

表3-1 内部ROM容量

品名	内部ROM	
	構造	容量
μPD789011	マスクROM	2048×8ビット
μPD789012		4096×8ビット
μPD78P9014	PROM	8192×8ビット

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-0013Hの20バイトの領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、 $\overline{\text{RESET}}$ 入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0000H	RESET入力	000CH	INTSR/INTCSI0
0004H	INTWDT	000EH	INTST
0006H	INTP0	0010H	INTTM0
0008H	INTP1	0012H	INTTM1
000AH	INTP2		

(2) CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

3.1.2 内部データ・メモリ（内部高速RAM）空間

μ PD789014サブシリーズの製品は、各製品ごとに次の容量の内部高速RAMを内蔵しています。
内部高速RAMはスタックとしても使用します。

表3 - 3 内部高速RAM容量

品 名	容 量
μ PD789011	128 × 8ビット
μ PD789012	
μ PD78P9014	256 × 8ビット

3.1.3 特殊機能レジスタ（SFR : Special Function Register）領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（表3 - 4参照）。

3.1.4 データ・メモリ・アドレッシング

μ PD789014サブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域（FE80H-FFFFH）では、特殊機能レジスタ（SFR）など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3-4から図3-6にデータ・メモリのアドレッシングを示します。

図3-4 データ・メモリのアドレッシング (μ PD789011)

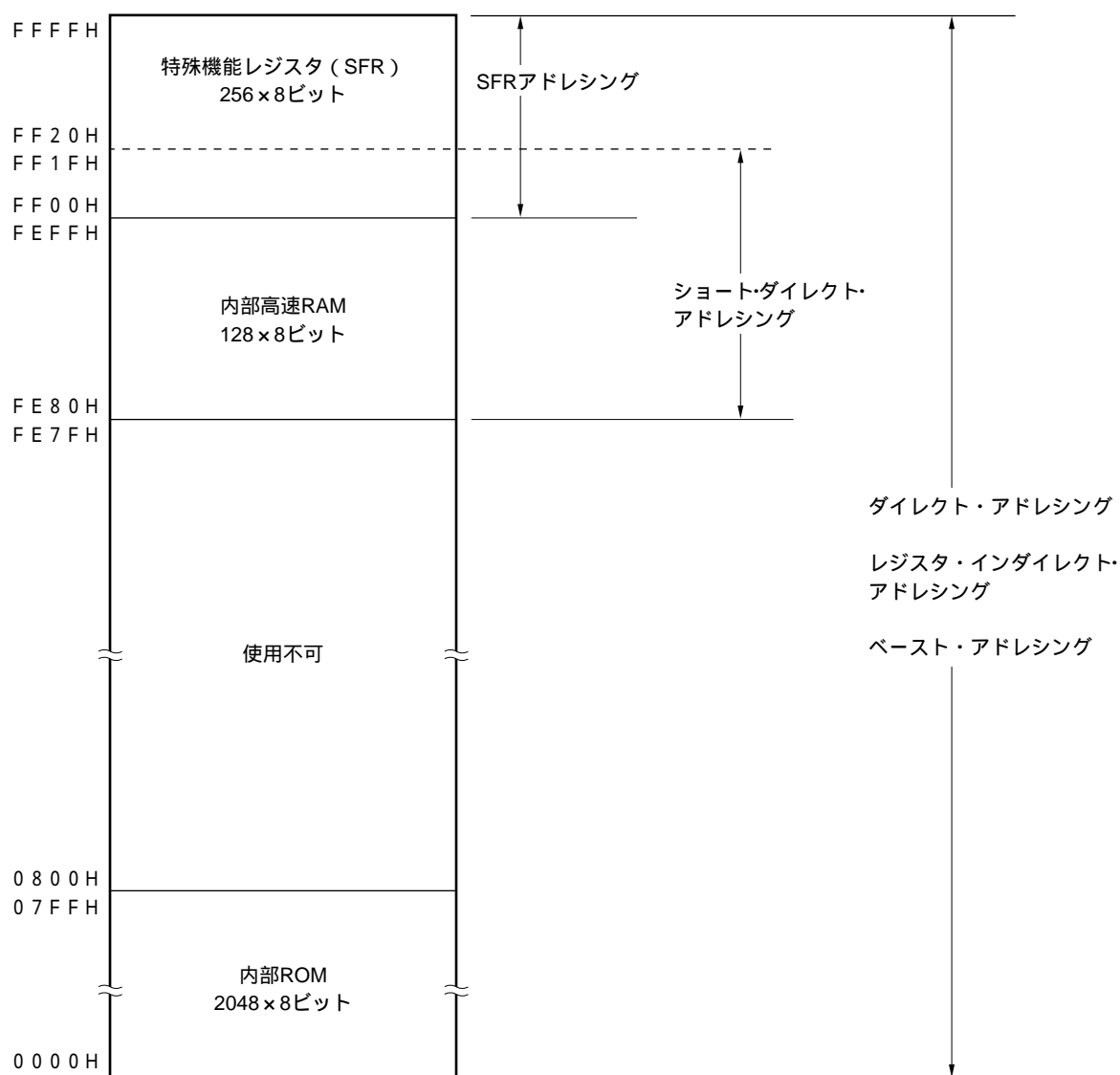


図3-5 データ・メモリのアドレッシング (μ PD789012)

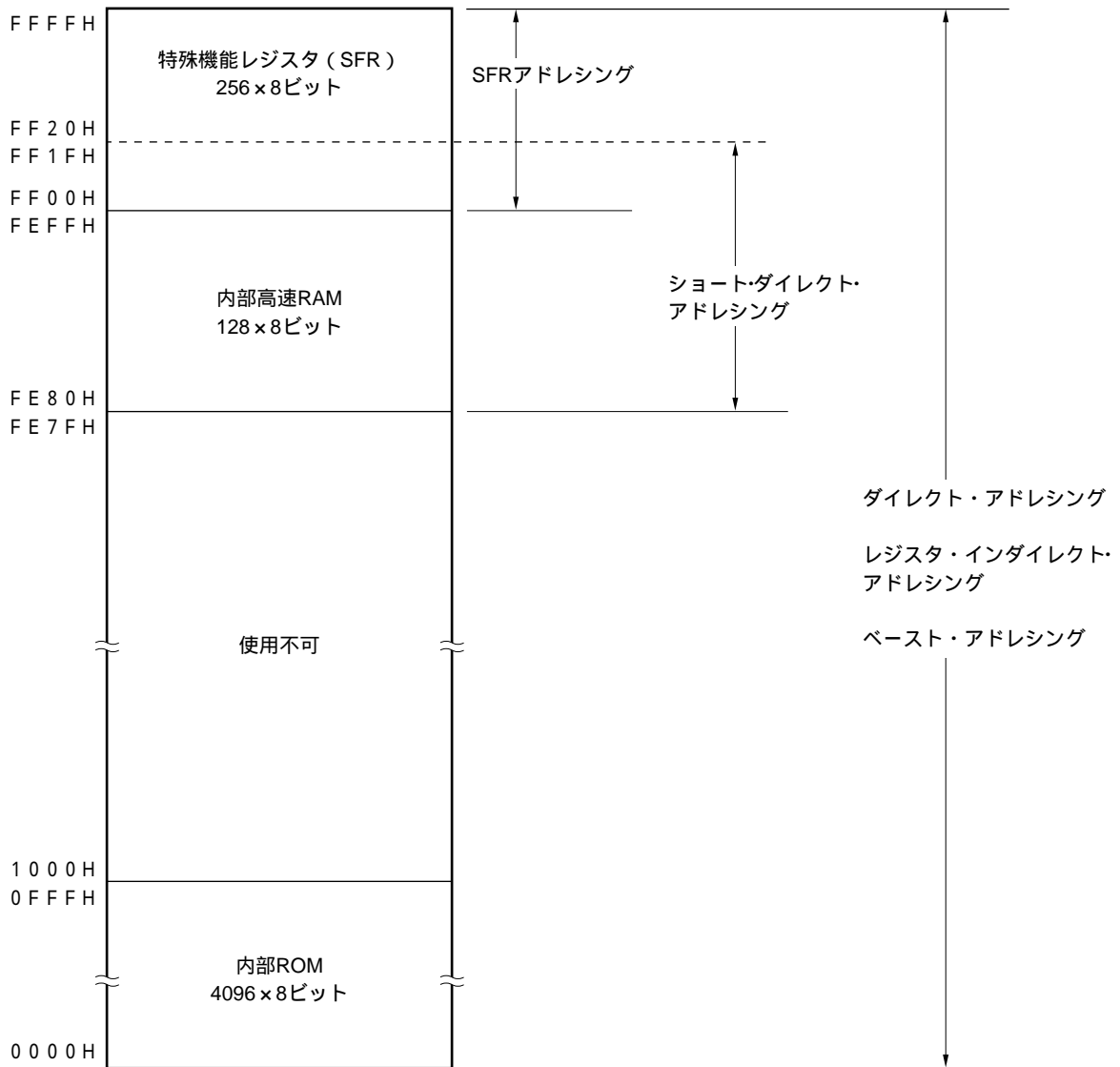
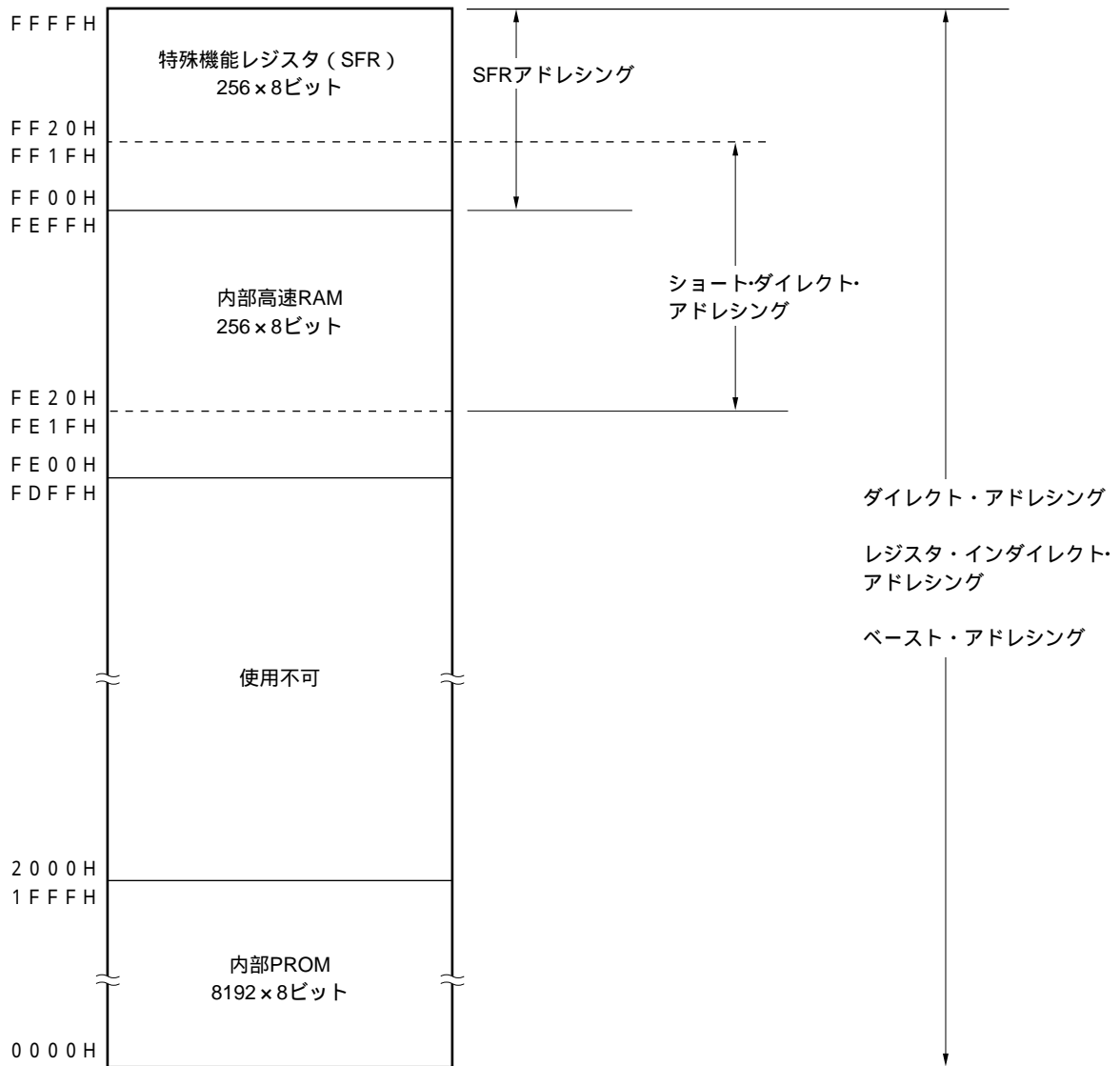


図3-6 データ・メモリのアドレッシング (μ PD78P9014)



3.2 プロセッサ・レジスタ

μ PD789014サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

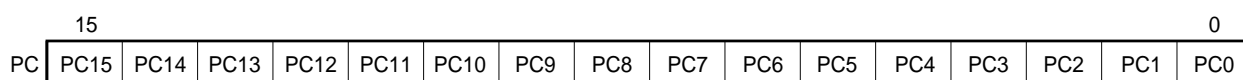
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-7 プログラム・カウンタの構成



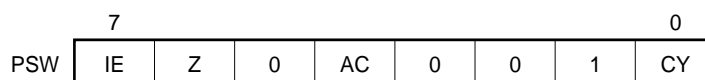
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3-8 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスクブル割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

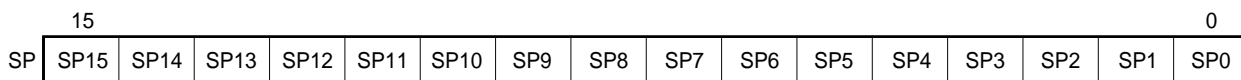
(d) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 9 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 10, 3 - 11のようになります。

注意 SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3 - 10 スタック・メモリへ退避されるデータ

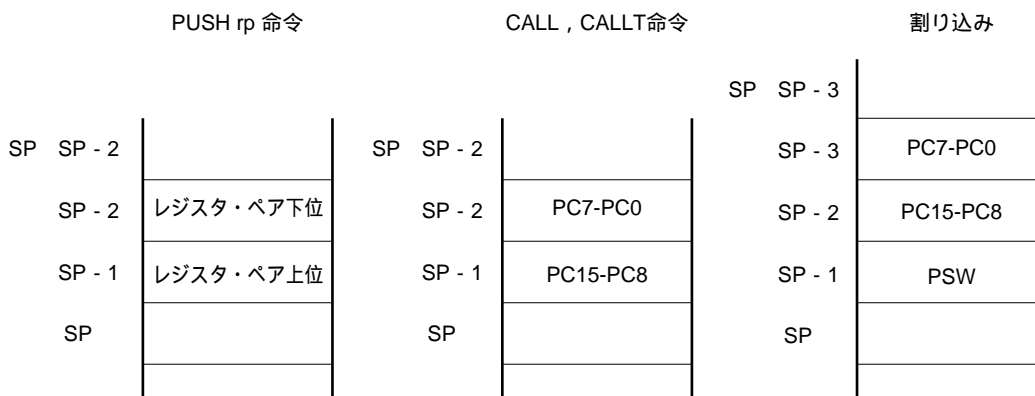
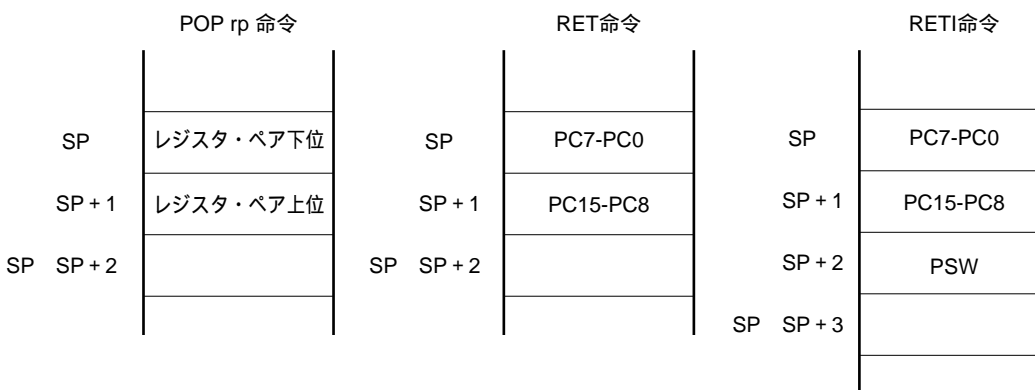


図3 - 11 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

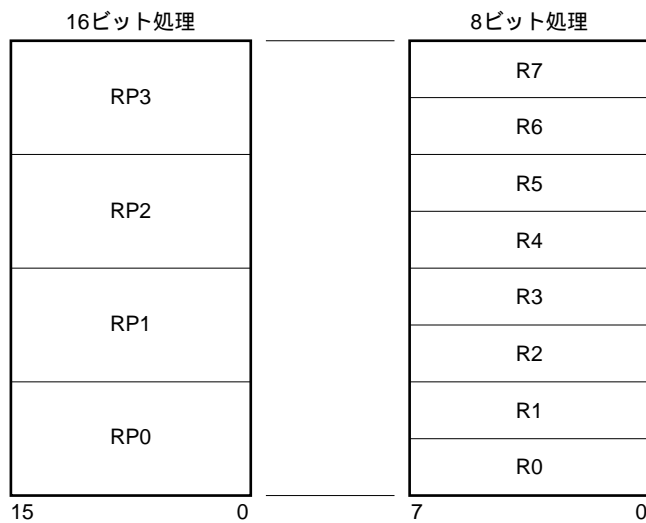
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

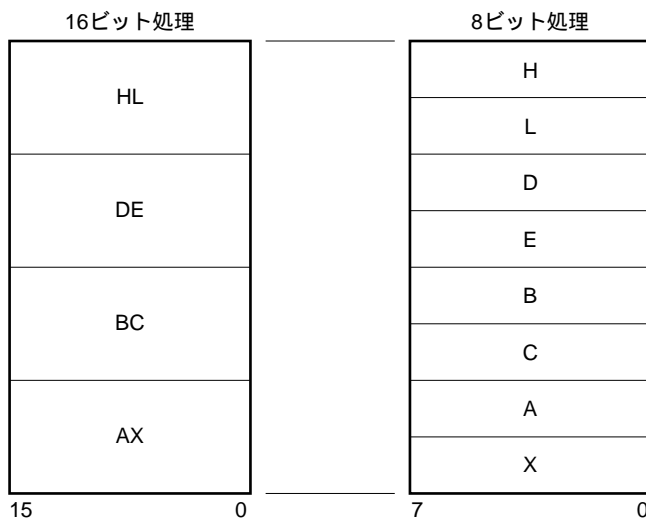
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図3 - 12 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- ・1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-4に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・略号

内蔵された特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。アセンブラ、統合ディバッガ使用時に命令のオペランドとして記述できます。

- ・R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- ・リセット時

$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

★

表3-4 特殊機能レジスタ一覧

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時	
					1ビット	8ビット	16ビット		
FF00H	ポート0	P0		R/W			-	00H	
FF01H	ポート1	P1					-		
FF02H	ポート2	P2					-		
FF03H	ポート3	P3					-		
FF10H	送信シフト・レジスタ00	TXS00	SIO00	W	-		-	FFH	
	受信バッファ・レジスタ00	RXB00		R				不定	
FF20H	ポート・モード・レジスタ0	PM0		R/W			-	FFH	
FF21H	ポート・モード・レジスタ1	PM1					-		
FF22H	ポート・モード・レジスタ2	PM2					-		
FF23H	ポート・モード・レジスタ3	PM3					-		
FF42H	タイマ・クロック選択レジスタ2	TCL2			-		-	00H	
FF50H	コンペア・レジスタ00	CR00		W	-		-	不定	
FF51H	8ビット・タイマ・レジスタ00	TM00		R	-		-	00H	
FF53H	8ビット・タイマ・モード・コントロール・レジスタ00	TMC00		R/W			-		
FF54H	コンペア・レジスタ01	CR01		W	-		-	不定	
FF55H	8ビット・タイマ・レジスタ01	TM01		R	-		-	00H	
FF57H	8ビット・タイマ・モード・コントロール・レジスタ01	TMC01		R/W			-		
FF70H	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	ASIM00					-	00H	
FF71H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00	ASIS00		R			-		
FF72H	シリアル動作モード・レジスタ00	CSIM00		R/W			-		
FF73H	ボー・レート・ジェネレータ・コントロール・レジスタ00	BRGC00			-		-		
FFE0H	割り込み要求フラグ・レジスタ0	IF0					-		
FFE4H	割り込みマスク・フラグ・レジスタ0	MK0					-		FFH
FFECH	外部割り込みモード・レジスタ0	INTM0			-		-		00H
FFF7H	プルアップ抵抗オプション・レジスタ	PUO					-		
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM					-		
FFFAH	発振安定時間選択レジスタ	OSTS			-		-		04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC					-	02H	

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ ユーザーズ・マニュアル命令編（U11047J）を参照してください）。

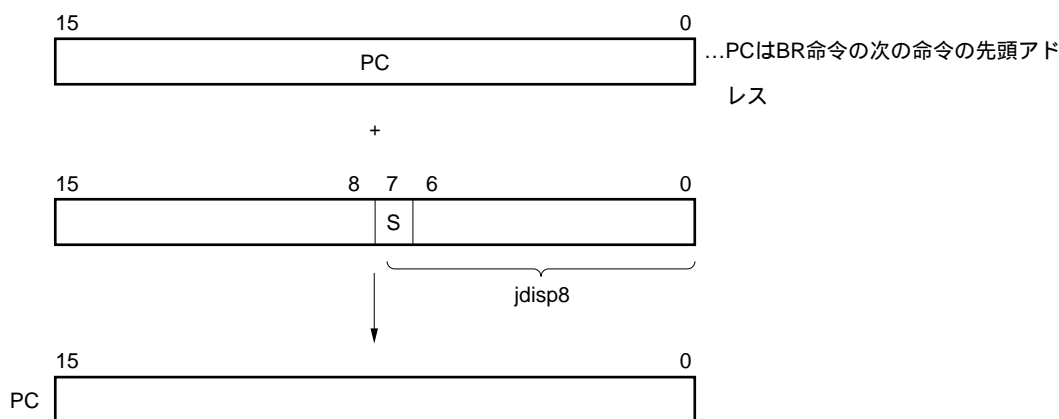
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエイト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するという事です。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0 のとき、 は全ビット 0

S = 1 のとき、 は全ビット 1

3.3.2 イミディエト・アドレッシング

【機能】

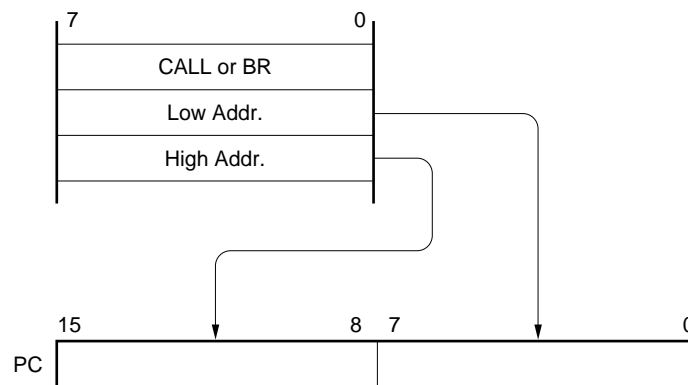
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

【図解】

CALL !addr16, BR !addr16命令の場合



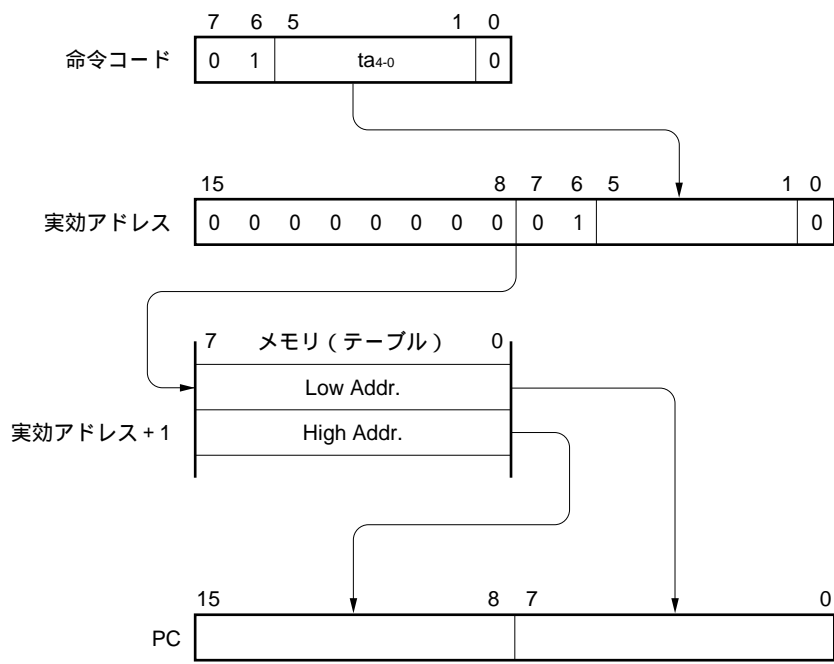
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H~7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



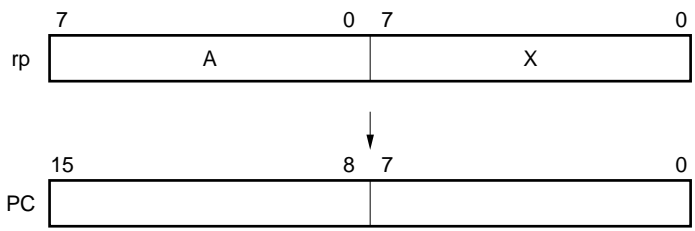
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 ダイレクト・アドレッシング

【機能】

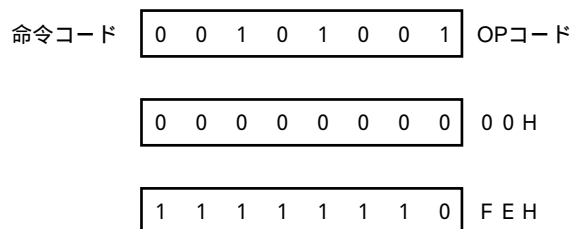
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

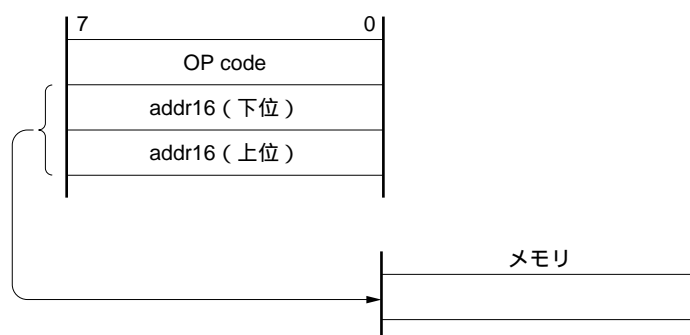
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !FE00H ; !addr16をFE00Hとする場合



【図解】



3.4.2 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE80H-FF1FHの160バイト空間です。FE80H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

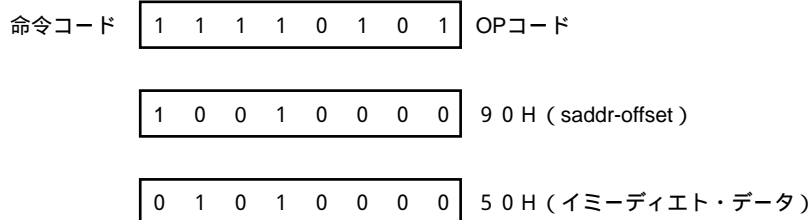
実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

【オペランド形式】

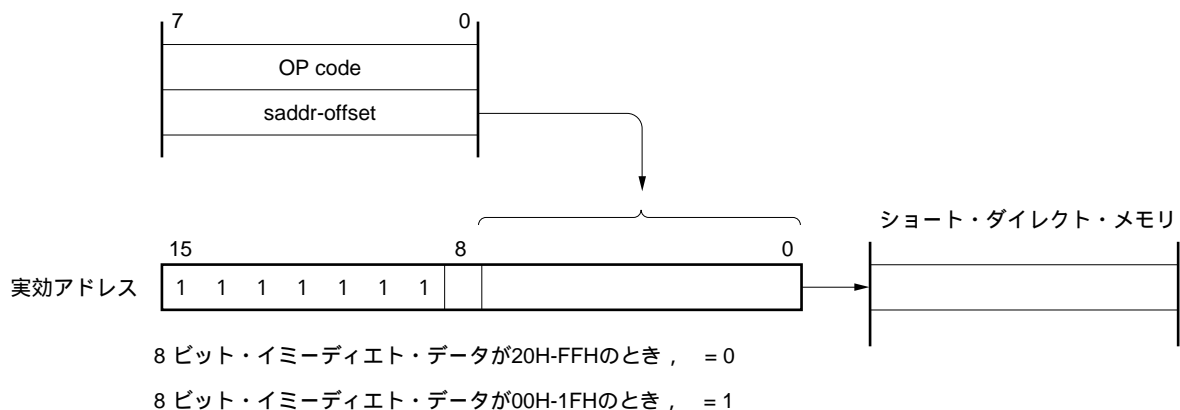
表現形式	記述方法
saddr	ラベルまたはFE80H-FF1FHのイミディエト・データ
saddrp	ラベルまたはFE80H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV FE90H, #50H ; saddrをFE90H、イミディエト・データを50Hとする場合



【図解】



3.4.3 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミューディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

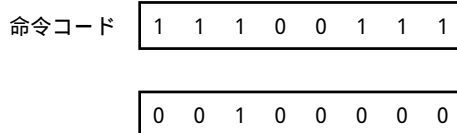
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

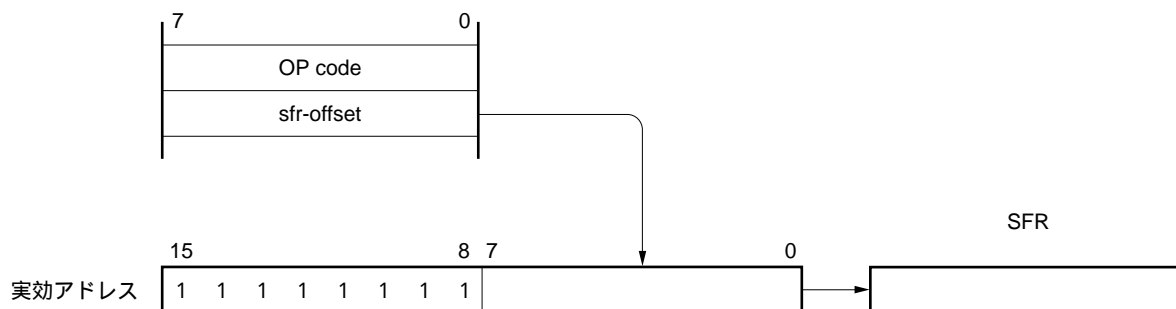
表現形式	記述方法
sfr	特殊機能レジスタ名

【記述例】

MOV PM0, A ; sfrにPM0を選択する場合



【図解】



3.4.4 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

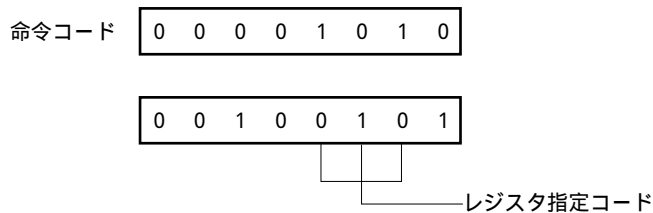
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

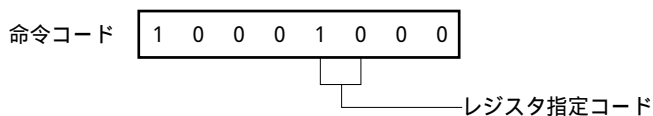
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.5 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

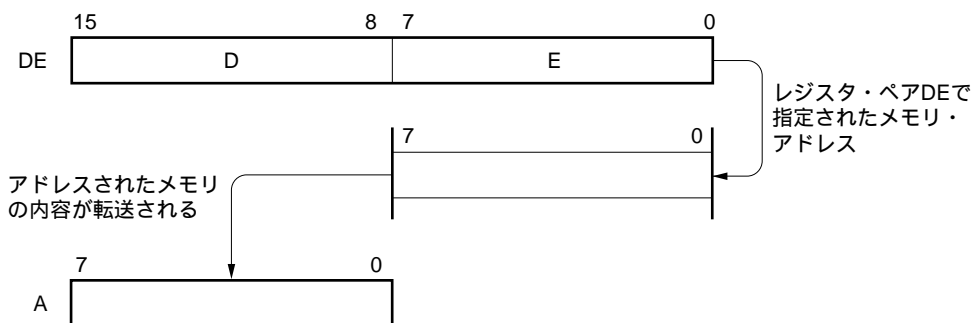
【記述例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード

0	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



3.4.6 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上がりは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

0	0	1	0	1	1	0	1
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

3.4.7 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

【記述例】

PUSH DEの場合

命令コード

1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---

(メ モ)

第4章 ポート機能

4.1 ポートの機能

μ PD789014サブシリーズは図4 - 1に示すポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

図4 - 1 ポートの種類

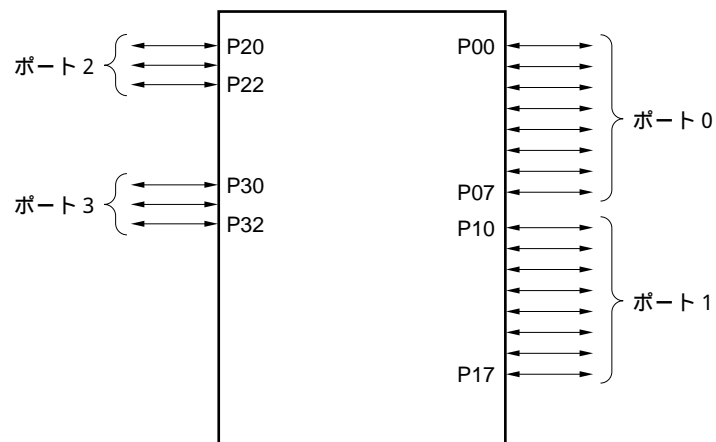


表4-1 ポートの機能

端子名称	入出力	機 能	リセット時	兼用端子
P00-P07	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ（PUO）により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	-
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ（PUO）により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	-
P20	入出力	ポート2。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ（PUO）により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	ASCK/ $\overline{\text{SCK0}}$
P21				TxD/SO0
P22				RxD/SI0
P30	入出力	ポート3。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ（PUO）により、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	INTP0/TI0/TO0
P31				INTP1/TI1/TO1
P32				INTP2

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-2 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM _m : m = 0-3) プルアップ抵抗オプション・レジスタ (PUO)
ポート	合計：22本 (入出力：22本)
プルアップ抵抗	合計：22本 (ソフトウェアで内蔵プルアップ抵抗を使用可能)

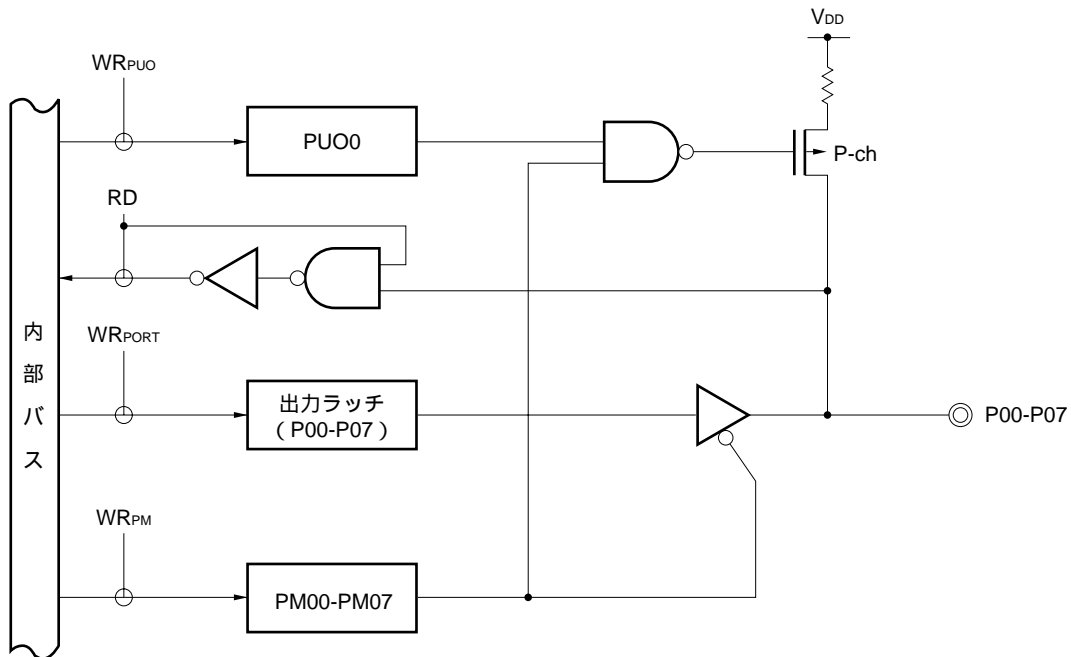
4.2.1 ポート0

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード/出力モードの指定ができます。P00-P07端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により8ビット単位で内蔵プルアップ抵抗を使用できます。

RESET入力により、入力モードになります。

図4-2にポート0のブロック図を示します。

図4-2 P00-P07のブロック図



備考 PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

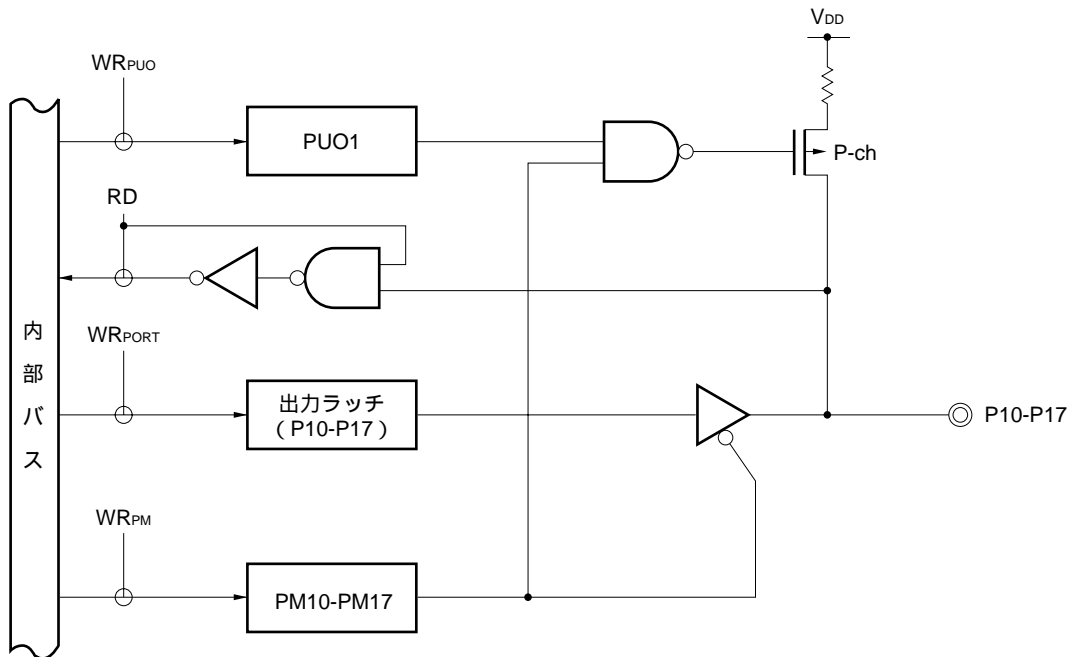
4.2.2 ポート1

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード/出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により8ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-3にポート1のブロック図を示します。

図4-3 P10-P17のブロック図



備考 PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート1のリード信号

WR : ポート1のライト信号

4.2.3 ポート2

出力ラッチ付き3ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード/出力モードの指定ができます。P20-P22端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により1ビット単位で内蔵プルアップ抵抗を使用できます。

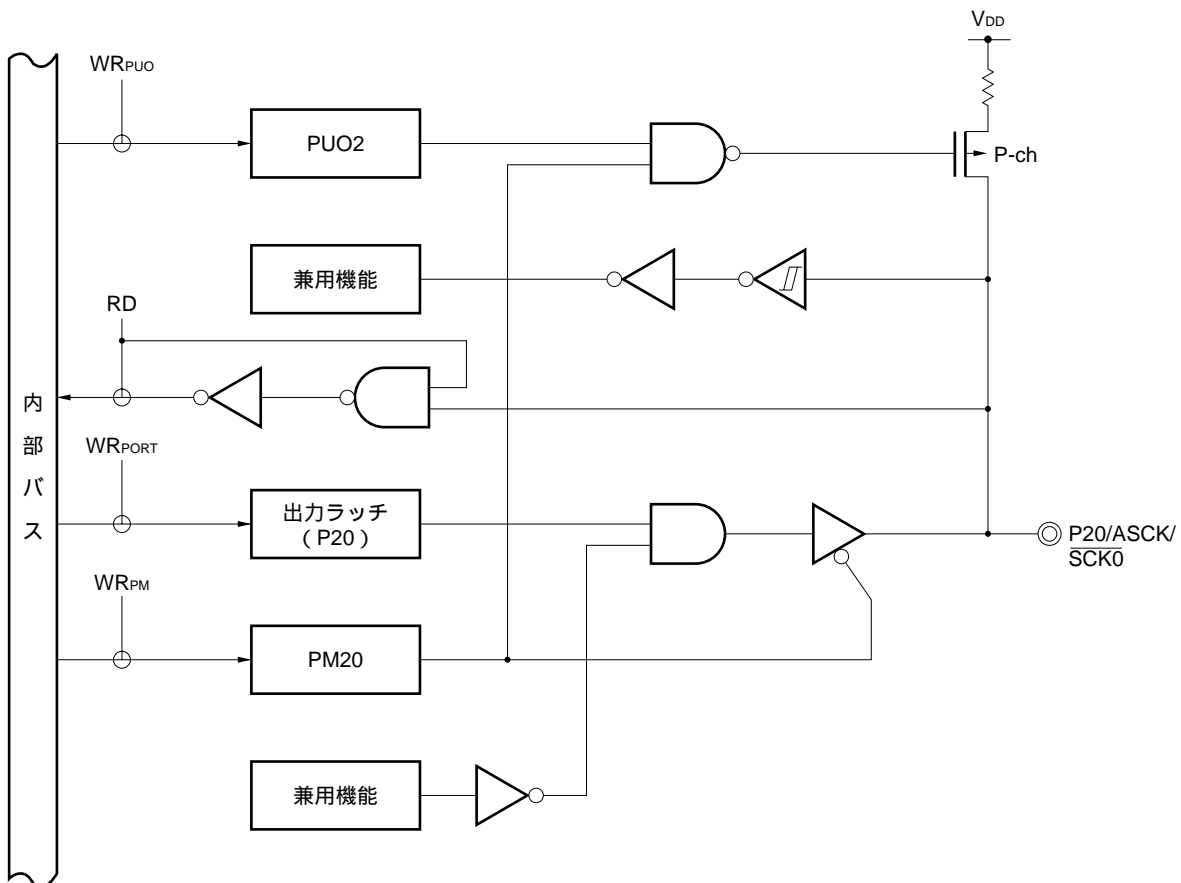
また、兼用機能としてシリアル・インタフェースの入出力があります。

RESET入力により、入力モードになります。

図4-4から図4-6にポート2のブロック図を示します。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要になります。設定方法については、表8-2 シリアル・インタフェース00の動作モードの設定一覧を参照してください。

図4-4 P20のブロック図



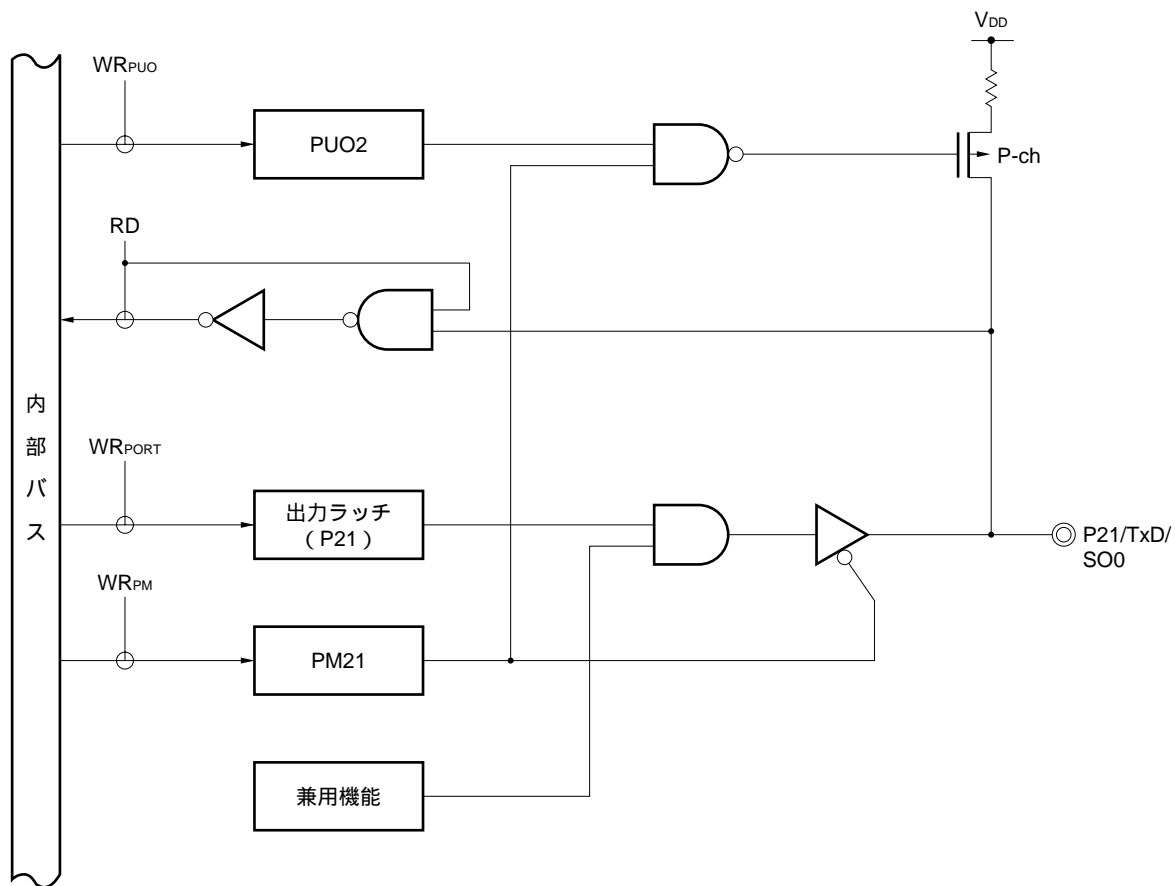
PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 5 P21のブロック図



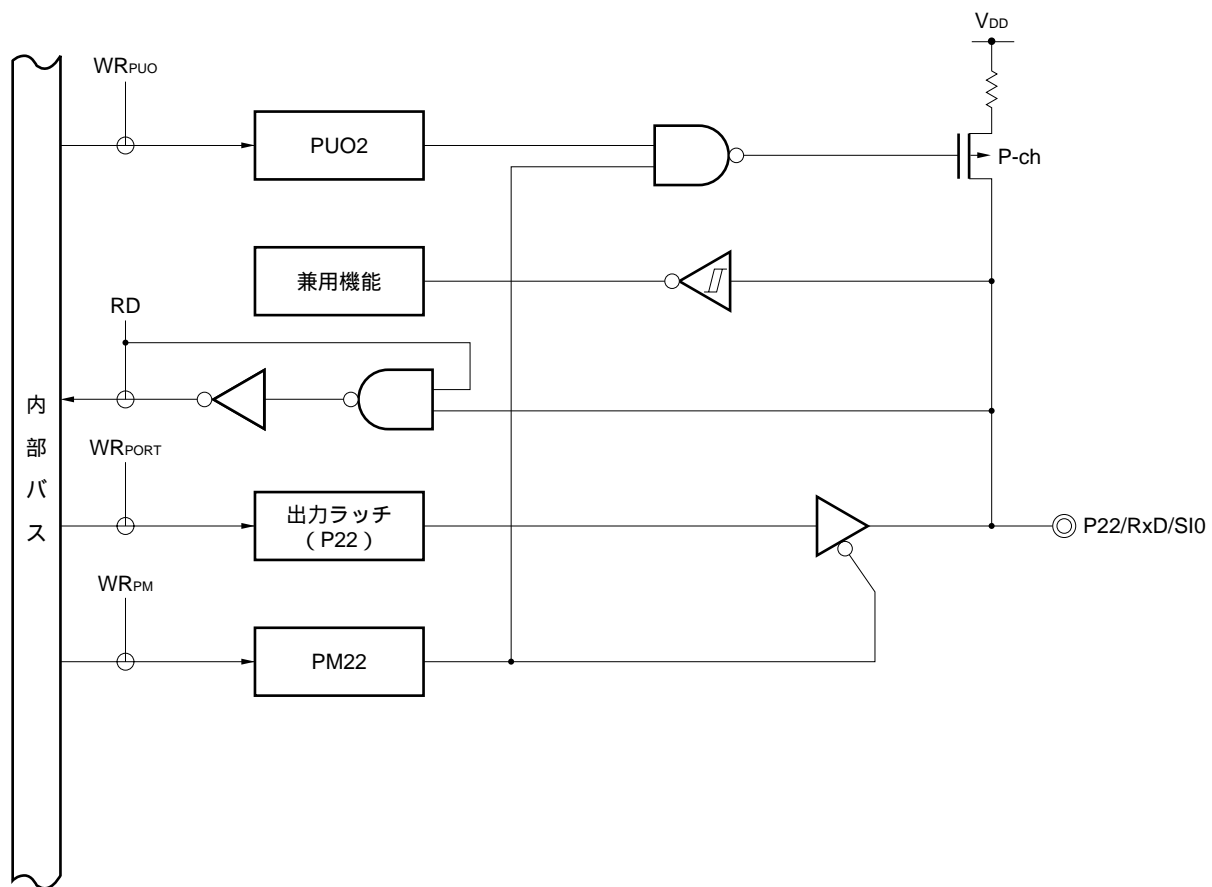
PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 6 P22のブロック図



- PUO : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート2のリード信号
- WR : ポート2のライト信号

4.2.4 ポート3

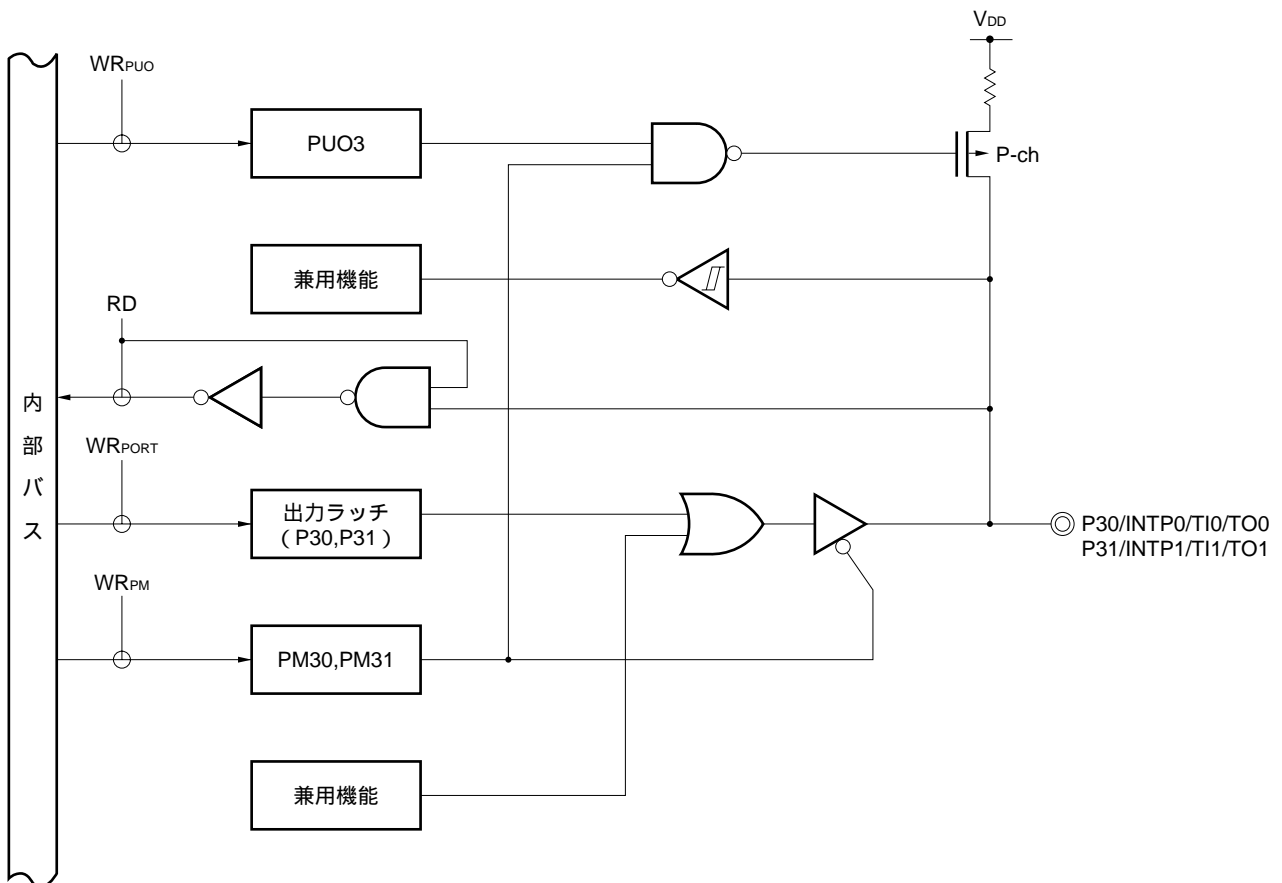
出力ラッチ付き3ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力モード/出力モードの指定ができます。P30-P32端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により、3ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマの入出力、外部割り込みがあります。

RESET入力により、入力モードになります。

図4-7、4-8にポート3のブロック図を示します。

図4-7 P30, P31のブロック図



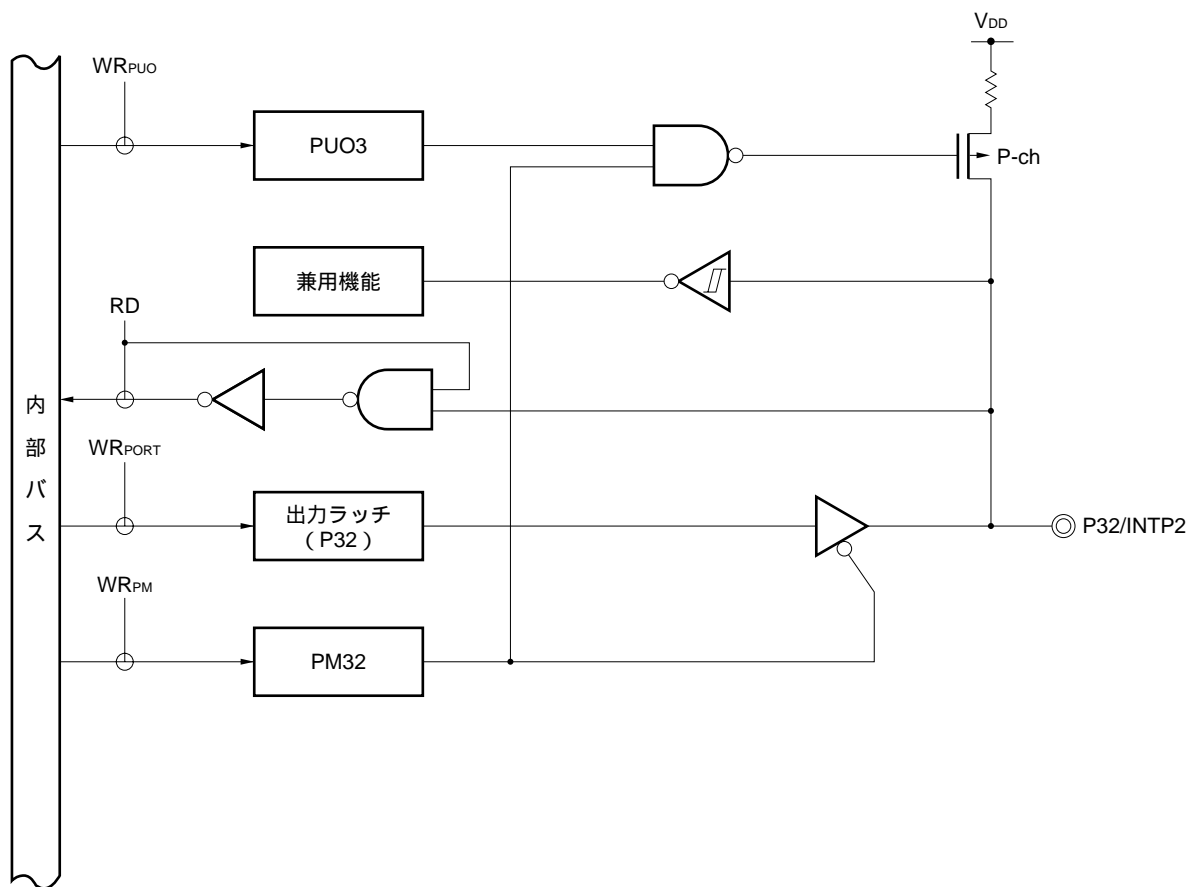
PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

図4 - 8 P32のブロック図



- PUO : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート3のリード信号
- WR : ポート3のライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の2種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM3)
- ・プルアップ抵抗オプション・レジスタ (PUO)

(1) ポート・モード・レジスタ (PM0-PM3)

ポートの入力/出力を1ビット単位で設定するレジスタです。

PM0-PM3は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-3のように設定してください。

注意 ポート3は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

表4-3 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定

端子名称	兼用機能		PM x x	P x x
	名称	入出力		
P30	INTP0	入力	1	x
	TI0	入力	1	x
	TO0	出力	0	0
P31	INTP1	入力	1	x
	TI1	入力	1	x
	TO1	出力	0	0
P32	INTP2	入力	1	x

注意 ポート2をシリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表8-2 シリアル・インタフェース00の動作モードの設定一覧を参照してください。

備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

図4-9 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	1	1	1	1	1	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	1	1	PM32	PM31	PM30	FF23H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-3, n = 0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

(2) プルアップ抵抗オプション・レジスタ (PUO)

各ポートの内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。PUOで内蔵プルアップ抵抗の使用を指定したポートで、入力モードに設定したビットにのみ、内部でプルアップ抵抗が使用できます。出力モードに設定したビットは、PUOの設定にかかわらず、内蔵プルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PUOは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図4-10 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4				0	アドレス	リセット時	R/W
PUO	0	0	0	0	PUO3	PUO2	PUO1	PUO0	FFF7H	00H	R/W

PUOm	Pmの内蔵プルアップ抵抗の選択 (m = 0-3)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 兼用出力機能を持ったポートに対してビット操作命令または論理演算命令を実行すると出力している端子のレベルが固定される場合があります。8ビット・データ転送命令および16ビット・データ転送命令を使うようにしてください。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

端子の状態と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力／出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

(メ モ)

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発振回路には、次の1種類があります。

- ・システム・クロック発振回路
1.0～5.0 MHzの周波数を発振します。STOP命令の実行により、発振を停止できます。

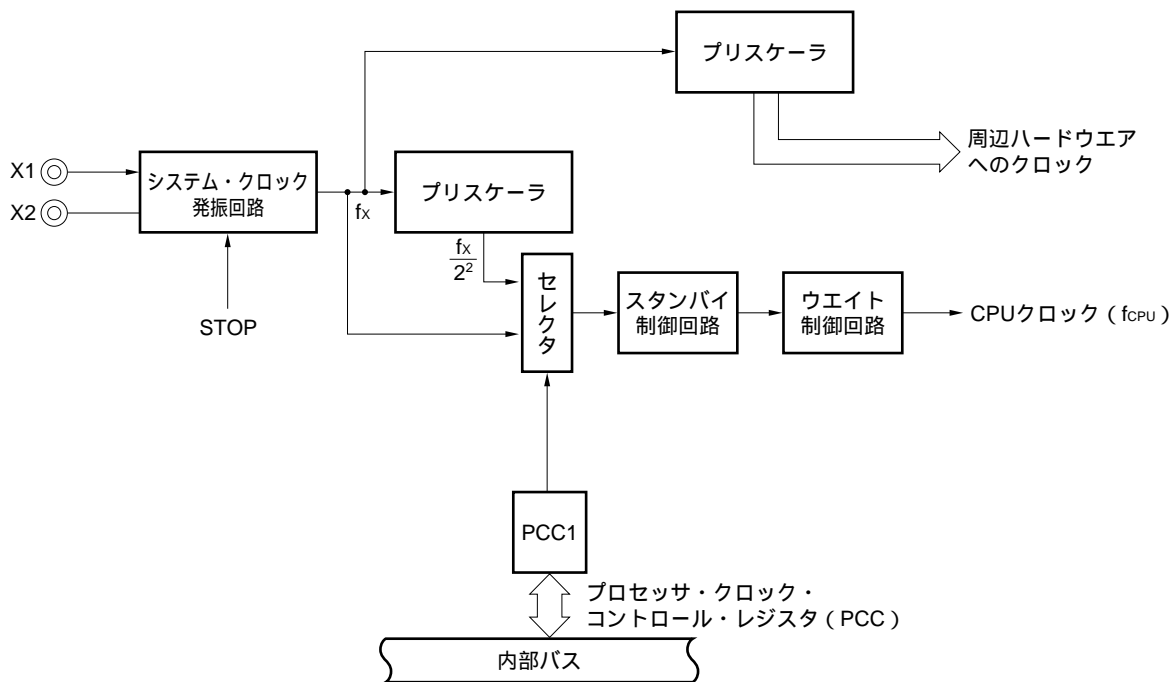
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC)
発振回路	システム・クロック発振回路

図5-1 クロック発生回路のブロック図



5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ (PCC)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択, 分周比を設定するレジスタです。

PCCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 02Hになります。

図5-2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	0	0	0	0	0	0	PCC1	0	FFF BH	02 H	R/W

PCC1	CPUクロック (f_{CPU}) の選択
0	f_x (0.2 μ s)
1	$f_x/2^2$ (0.8 μ s)

注意 ビット0, 2-7には必ず0を設定してください。

備考1. f_x : システム・クロック発振周波数

2. ()内は, $f_x = 5.0$ MHz動作時

3. 最小命令実行時間: $2f_{CPU}$

・ $f_{CPU} = 0.2 \mu$ s のとき 0.4μ s

・ $f_{CPU} = 0.8 \mu$ s のとき 1.6μ s

5.4 システム・クロック発振回路

5.4.1 システム・クロック発振回路

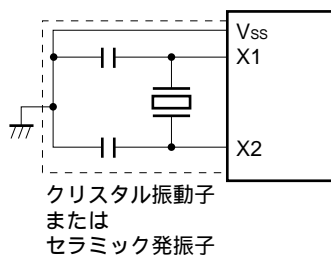
システム・クロック発振回路はX1, X2端子に接続されたクリスタル振動子またはセラミック発振子（標準：5.0 MHz）によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

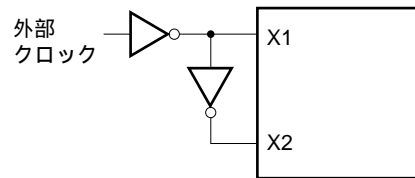
図5-3にシステム・クロック発振回路の外付け回路を示します。

図5-3 システム・クロック発振回路の外付け回路

(a) クリスタル, セラミック発振



(b) 外部クロック



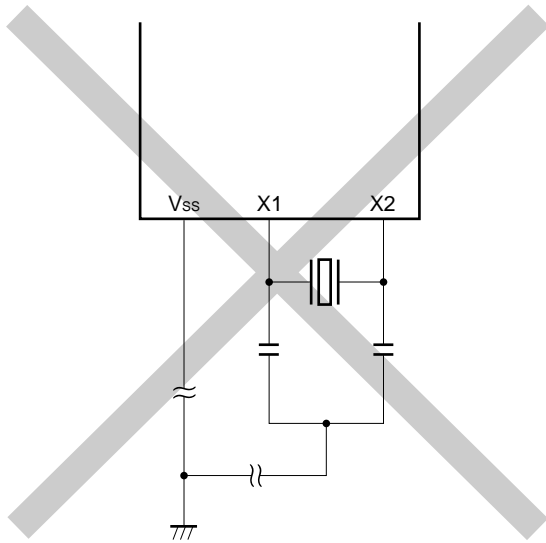
- 注意1.** 外部クロックを入力しているとき、STOP命令を実行しないでください。STOP命令を実行するとシステム・クロックの動作が停止されX2端子が V_{DD} にプルアップされるためです。
- 2.** システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5-3の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

図5-4に発振子の接続の悪い例を示します。

図5-4 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い



(b) 信号線が交差している

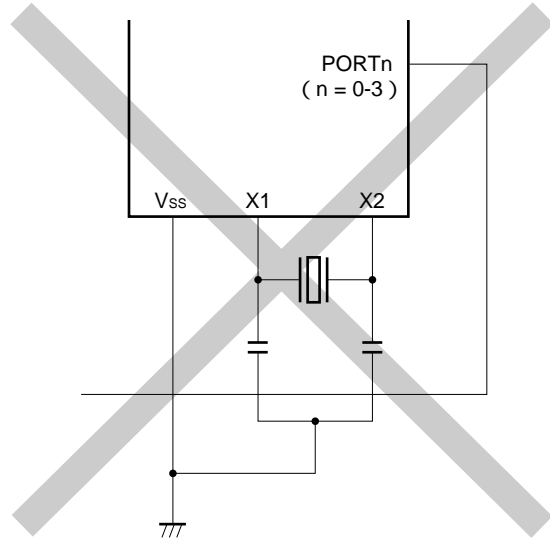
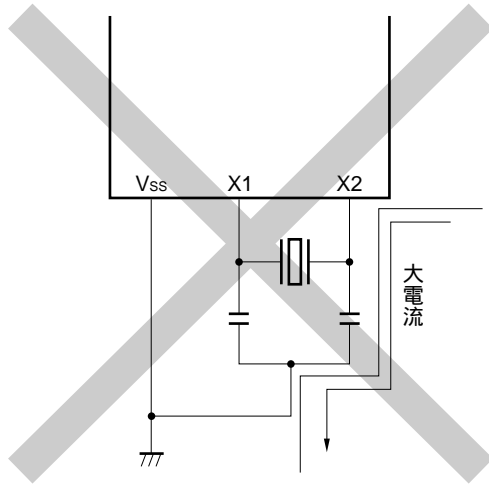
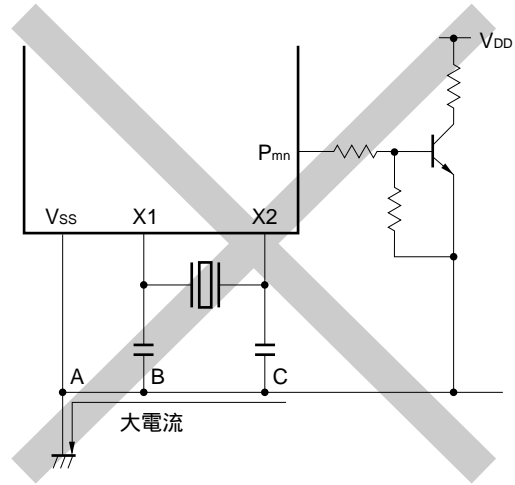


図5-4 発振子の接続の悪い例 (2/2)

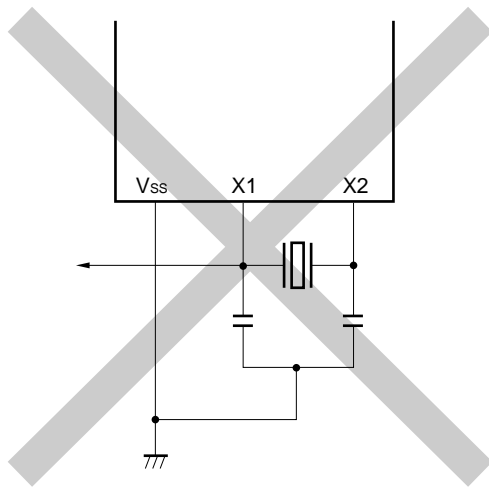
(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



5.4.2 分周回路

分周回路は、システム・クロック発振回路出力 (f_x) を分周して、各種クロックを生成します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・システム・クロック f_x
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) により決定され、次のような機能、動作となります。

- (a) $\overline{\text{RESET}}$ 信号発生によりシステム・クロックの低速モード $2f_{CPU}$ ($1.6 \mu\text{s} : 5.0 \text{MHz}$ 動作時) が選択されます (PCC = 02H)。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、システム・クロックの発振は停止します。
- (b) PCCの設定により2段階のCPUクロック f_{CPU} ($0.2 \mu\text{s}, 0.8 \mu\text{s} : 5.0 \text{MHz}$ 動作時) を選択することができます。
- (c) STOPモード、HALTモードの2つのスタンバイ・モードが使用できます。
- (d) 周辺ハードウェアへのクロックはシステム・クロックを分周して供給されます。このため、システム・クロックを停止させたときは周辺ハードウェアも停止します (ただし、外部からの入力クロック動作は除く)。

5.6 CPUクロックの設定の変更

5.6.1 CPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット1（PCC1）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表5-2参照）。

表5-2 CPUクロックの切り替えに要する最大時間

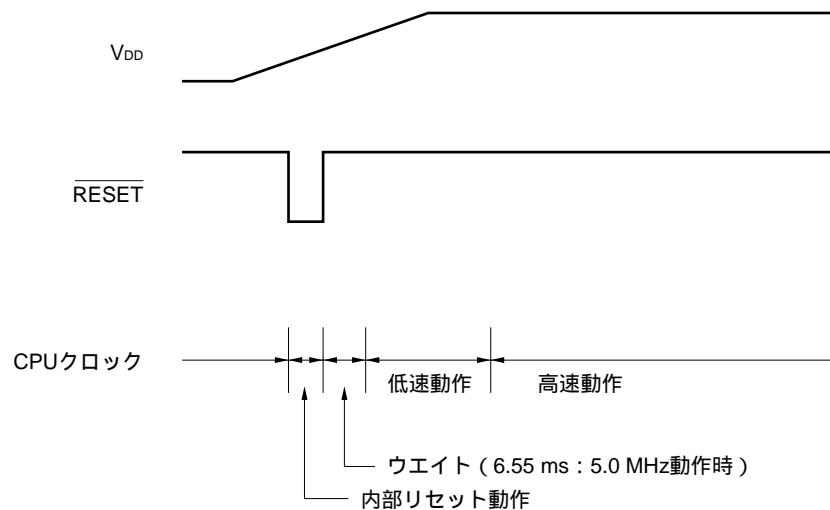
切り替え前の設定値	切り替え後の設定値	
	PCC1	PCC1
PCC1	0	1
	0	4クロック
1	2クロック	

備考 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

5.6.2 CPUクロックの切り替え手順

CPUクロックの切り替えについて説明します。

図5-5 CPUクロックの切り替え



電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、システム・クロックが発振開始します。このとき、自動的に発振安定時間（ $2^{15}/f_x$ ）を確保します。

その後、CPUはシステム・クロックの低速（ $1.6 \mu\text{s}$: 5.0 MHz動作時）で命令の実行を開始します。

V_{DD} 電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ（PCC）を書き換えて高速動作を行います。

(メ モ)

第6章 8ビット・タイマ/イベント・カウンタ

μPD789014サブシリーズが内蔵しているタイマの概要を以下に示します。

(1) 8ビット・タイマ/イベント・カウンタ (TM00, TM01)

インターバル・タイマ, 外部イベント・カウンタ, 任意の周波数の方形波出力などに使用することができます。

(2) ウォッチドッグ・タイマ (WDTM)

ウォッチドッグ・タイマ, あるいは, あらかじめ設定した任意の時間間隔でノンマスカブル割り込み, マスカブル割り込み, $\overline{\text{RESET}}$ を発生することができます (第7章 ウォッチドッグ・タイマ参照)。

6.1 8ビット・タイマ/イベント・カウンタの機能

8ビット・タイマ/イベント・カウンタには、次のような機能があります。

- ・ インターバル・タイマ
- ・ 外部イベント・カウンタ
- ・ 方形波出力

(1) 8ビット・インターバル・タイマ

あらかじめ設定した任意の間隔で割り込みを発生します。

表6-1 8ビット・タイマ/イベント・カウンタのインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$1/f_x$ (200 ns)	$2^9/f_x$ (51.2 μ s)	$1/f_x$ (200 ns)
$2^5/f_x$ (6.4 μ s)	$2^{13}/f_x$ (1.64 ms)	$2^5/f_x$ (6.4 μ s)

備考1. f_x : システム・クロック発振周波数

2. ()内は, $f_x = 5.0$ MHz動作時。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力

任意の周波数の方形波出力が可能です。

表6-2 8ビット・タイマ/イベント・カウンタの方形波出力範囲

最小パルス幅	最大パルス幅	分解能
$1/f_x$ (200 ns)	$2^9/f_x$ (51.2 μ s)	$1/f_x$ (200 ns)
$2^5/f_x$ (6.4 μ s)	$2^{13}/f_x$ (1.64 ms)	$2^5/f_x$ (6.4 μ s)

備考1. f_x : システム・クロック発振周波数

2. ()内は, $f_x = 5.0$ MHz動作時。

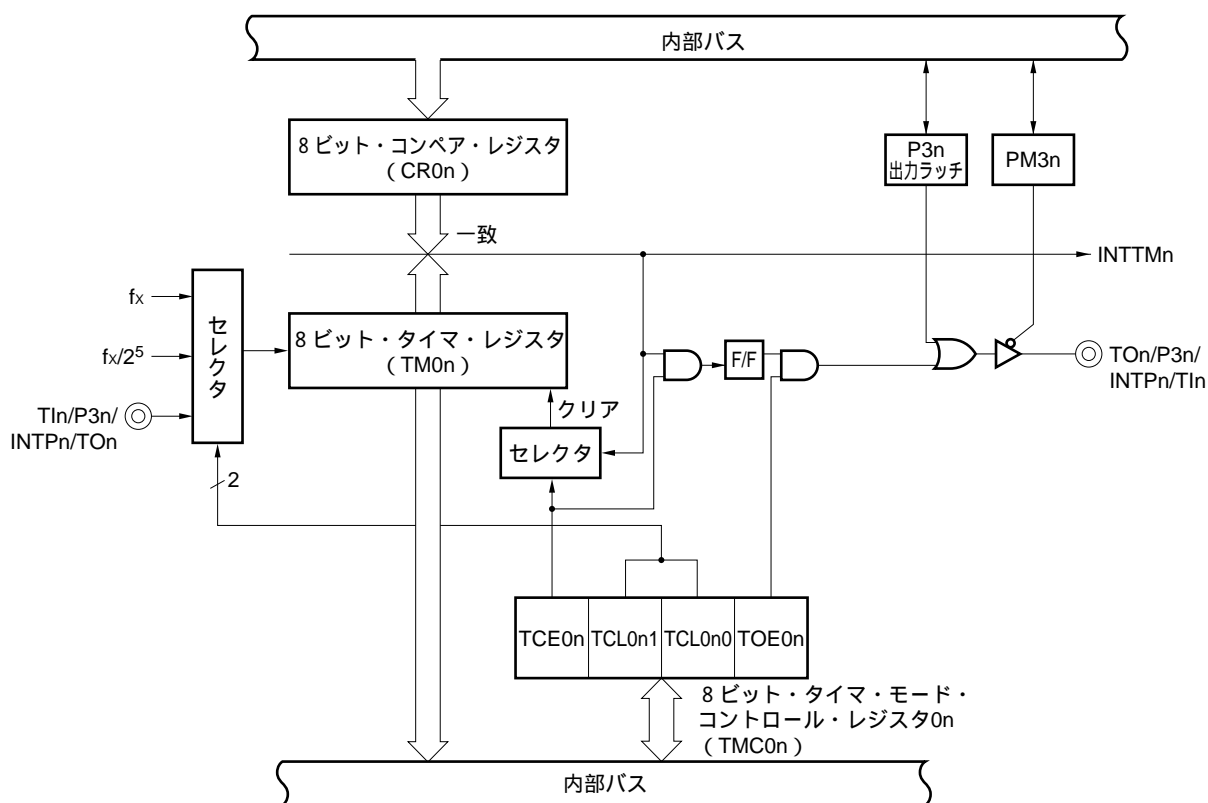
6.2 8ビット・タイマ/イベント・カウンタの構成

8ビット・タイマ/イベント・カウンタは、次のハードウェアで構成しています。

表6-3 8ビット・タイマ/イベント・カウンタの構成

項 目	構 成
タイマ・レジスタ	8ビット×2本 (TM00, TM01)
レジスタ	コンペア・レジスタ : 8ビット×2本 (CR00, CR01)
タイマ出力	2本 (TO0, TO1)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ00, 01 (TMC00, TMC01) ポート・モード・レジスタ3 (PM3)

図6-1 8ビット・タイマ/イベント・カウンタのブロック図



n = 0, 1

(1) 8ビット・コンペア・レジスタ0n (CR0n)

CR0nに設定した値と8ビット・タイマ・レジスタ0n (TM0n) のカウント値を常に比較し、一致したときに割り込み要求 (INTTMn) を発生する8ビットのレジスタです。

CR0nは、8ビット・メモリ操作命令で設定します。00H-FFHの値が設定可能です。

RESET入力により、不定になります。

★ **注意** CR0nの値を書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。

備考 n = 0, 1

(2) 8ビット・タイマ・レジスタ0n (TM0n)

カウント・パルスをカウントする8ビットのレジスタです。

TM0nは、8ビット・メモリ操作命令で読み出します。

RESET入力により、00Hになります。

備考 n = 0, 1

6.3 8ビット・タイマ/イベント・カウンタを制御するレジスタ

8ビット・タイマ/イベント・カウンタは、次の2種類のレジスタで制御します。

- ・8ビット・タイマ・モード・コントロール・レジスタ00, 01 (TMC00, TMC01)
- ・ポート・モード・レジスタ3 (PM3)

(1) 8ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

8ビット・タイマ・レジスタ00 (TM00) の動作許可/停止, 8ビット・タイマ/イベント・カウンタ00のカウンタ・クロックの設定, および出力制御回路の動作を制御するレジスタです。

TMC00は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

★ 図6-2 8ビット・タイマ・モード・コントロール・レジスタ00のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC00	TCE00	0	0	0	0	TCL001	TCL000	TOE00	FF53H	00H	R/W

TCE00	8ビット・タイマ・レジスタ00の動作の制御
0	動作停止 (TM00は0にクリア)
1	動作許可

TCL001	TCL000	8ビット・タイマ・レジスタ00のカウンタ・クロックの選択
0	0	f_x (5.0 MHz)
0	1	$f_x/2^5$ (156 kHz)
1	0	TI0の立ち上がりエッジ ^注
1	1	TI0の立ち下がりエッジ ^注

TOE00	8ビット・タイマ/イベント・カウンタ00の出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

注 外部からクロックを入力する場合は, タイマ出力を使用できません。

注意 カウンタ・クロックの選択は必ずタイマ動作を停止 (TCE00 = 0) させたのちに行ってください。詳しくは6.4 8ビット・タイマ/イベント・カウンタの動作を参照してください。

備考1. f_x : システム・クロック発振周波数

2. () 内は, $f_x = 5.0$ MHz動作時。

(2) 8ビット・タイマ・モード・コントロール・レジスタ01 (TMC01)

8ビット・タイマ・レジスタ01 (TM01) の動作許可/停止, 8ビット・タイマ/イベント・カウンタ01のカウンタ・クロックの設定, および出力制御回路の動作を制御するレジスタです。

TMC01は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

★ 図6-3 8ビット・タイマ・モード・コントロール・レジスタ01のフォーマット

略号	⑦	6	5	4	3	2	1	①	アドレス	リセット時	R/W
TMC01	TCE01	0	0	0	0	TCL011	TCL010	TOE01	FF57H	00H	R/W

TCE01	8ビット・タイマ・レジスタ01の動作の制御	
0	動作停止 (TM01は0にクリア)	
1	動作許可	

TCL011	TCL010	8ビット・タイマ・レジスタ01のカウンタ・クロックの選択
0	0	f_x (5.0 MHz)
0	1	$f_x/2^5$ (156 kHz)
1	0	TI1の立ち上がりエッジ注
1	1	TI1の立ち下がりエッジ注

TOE01	8ビット・タイマ/イベント・カウンタ01の出力の制御	
0	出力禁止 (ポート・モード)	
1	出力許可	

注 外部からクロックを入力する場合は, タイマ出力を使用できません。

注意 カウンタ・クロックの選択は必ずタイマ動作を停止 (TCE01 = 0) させたのちに行ってください。詳しくは6.4 8ビット・タイマ/イベント・カウンタの動作を参照してください。

備考1. f_x : システム・クロック発振周波数

2. () 内は, $f_x = 5.0$ MHz動作時。

(3) ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。

P30/INTP0/TI0/TO0, P31/INTP1/TI1/TO1端子をタイマ出力として使用するとき, PM30, PM31およびP30, P31の出力ラッチに0を設定してください。

PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, FFHになります。

図6-4 ポート・モード・レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM3	1	1	1	1	1	PM32	PM31	PM30	FF23H	FFH	R/W

PM3n	P3n端子の入出力モードの設定 (n = 0-2)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 8ビット・タイマ/イベント・カウンタの動作

★ 6.4.1 インターバル・タイマとしての動作

インターバル・タイマは、あらかじめ8ビット・コンペア・レジスタ00, 01 (CR00, CR01) に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

8ビット・タイマ/イベント・カウンタをインターバル・タイマとして動作させるには次の順序で設定をします。

8ビット・タイマ・レジスタ0n (TM0n) を動作禁止 (TCE0n (8ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット7) = 0) に設定

8ビット・タイマ/イベント・カウンタのカウント・クロックを設定 (表6-4参照)

CR0nにカウント値を設定

TM0nを動作許可 (TCE0n = 1) に設定

8ビット・タイマ・レジスタ0n (TM0n) のカウント値がCR0nに設定した値と一致したとき、TM0nの値を0にクリアしてカウントを継続するとともに、割り込み要求信号 (INTTMn) を発生します。

表6-4にインターバル時間を、図6-5にインターバル・タイマ動作のタイミングを示します。

注意 TMC0nでカウント・クロックの設定とTM0nの動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、インターバル・タイマとして動作させる際には、必ず上記の順序で操作してください。

備考 n = 0, 1

表6-4 8ビット・タイマ/イベント・カウンタのインターバル時間

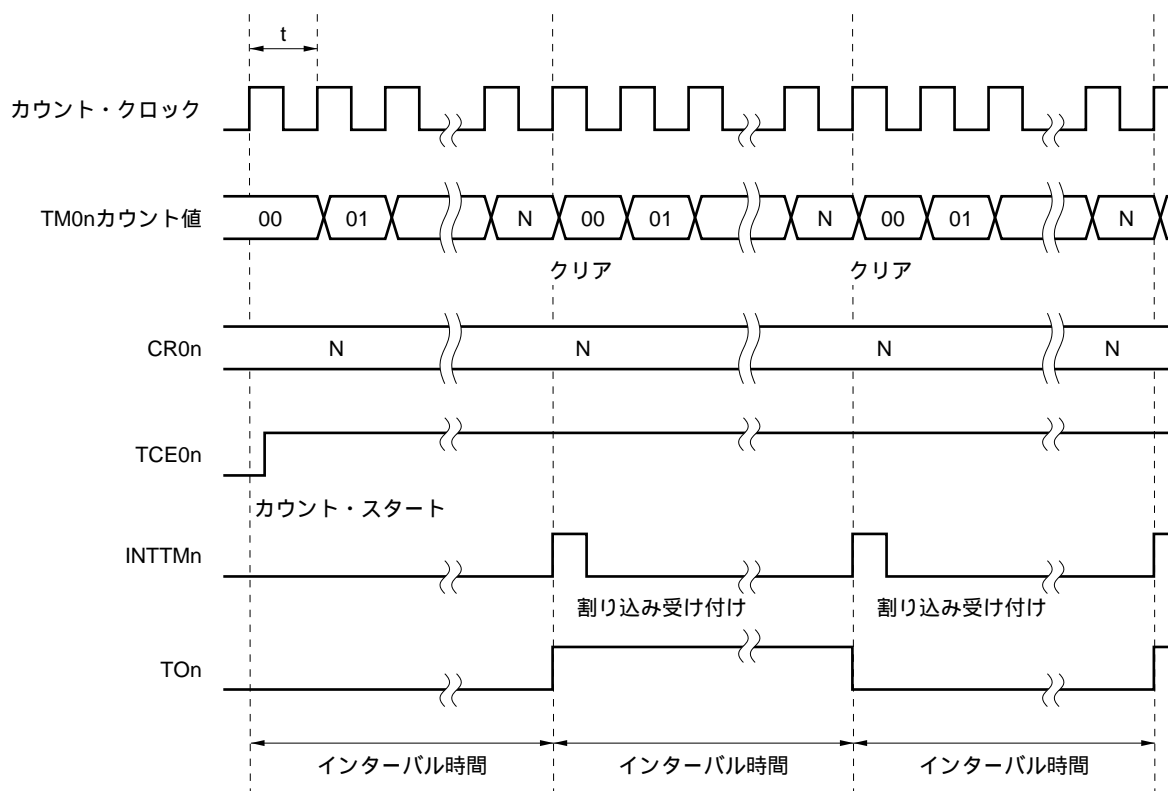
TCL0n1	TCL0n0	最小インターバル時間	最大インターバル時間	分解能
0	0	$1/f_x$ (200 ns)	$2^9/f_x$ (51.2 μ s)	$1/f_x$ (200 ns)
0	1	$2^5/f_x$ (6.4 μ s)	$2^{13}/f_x$ (1.64 ms)	$2^5/f_x$ (6.4 μ s)
1	0	TIn入力周期	$2^8 \times$ TIn入力周期	TIn入力エッジ周期
1	1	TIn入力周期	$2^8 \times$ TIn入力周期	TIn入力エッジ周期

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時。

3. n = 0, 1

図6-5 インターバル・タイマ動作のタイミング



備考1. インターバル時間 = $(N + 1) \times t$: $N = 00H-FFH$

2. $n = 0, 1$

★ 6.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI0/P30/INTP0/TO0, TI1/P31/INTP1/TO1端子に入力される外部からのクロック・パルス数をタイマ・レジスタ00, 01 (TM00, TM01) でカウントするものです。

8ビット・タイマ/イベント・カウンタを外部イベント・カウンタとして動作させるには次の順序で設定をします。

P30, P31を入力モード (PM30 = 1, PM31 = 1) に設定

8ビット・タイマ・レジスタ0n (TM0n) を動作禁止 (TCE0n (8ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット7) = 0) に設定

TInの立ち上がり/立ち下がりエッジを指定 (表6-4参照) しTONを出力禁止 (TOE0n (TMC0nのビット0) = 0) に設定

CR0nにカウント値を設定

TM0nを動作許可 (TCE0n = 1) に設定

TMC00, TMC01のビット1 (TCL000, TCL010) で指定した有効エッジが入力されるたびに8ビット・タイマ・レジスタ0n (TM00, TM01) がインクリメントされます。

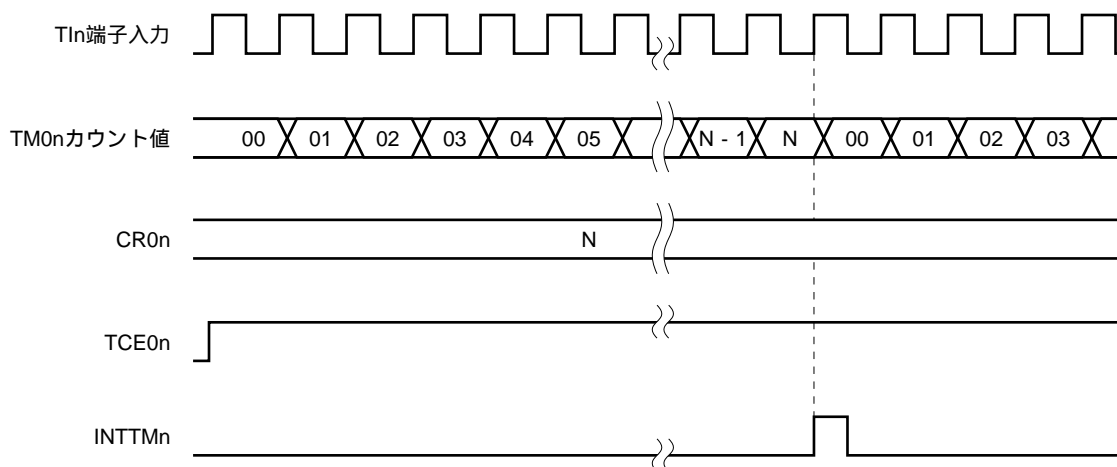
TM00, TM01のカウント値がCR00, CR01に設定した値と一致したとき, TM00, TM01の値を0にクリアしてカウントを継続するとともに, 割り込み要求信号 (INTTM0, INTTM1) を発生します。

図6-6に外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) を示します。

注意 TMC0nでカウント・クロックの設定とTM0nの動作許可を8ビット・メモリ操作命令により同時に設定した場合, タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため, 外部イベント・カウンタとして動作させる際には, 必ず上記の順序で操作してください。

備考 n = 0, 1

図6-6 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考1. N = 00H-FFH

2. n = 0, 1

★ 6.4.3 方形波出力としての動作

8ビット・コンペア・レジスタ00, 01 (CR00, CR01) にあらかじめ設定した値をインターバルとし、任意の周波数の方形波出力を発生させることができます。

8ビット・タイマ/イベント・カウンタを方形波出力として動作させるには次の順序で設定をします。

P30, P31を出力モード (PM30 = 0, PM31 = 0) に、P30, P31の出力ラッチを0に設定

8ビット・タイマ・レジスタ0n (TM0n) を動作禁止 (TCE0n (8ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット7) = 0) に設定

8ビット・タイマ/イベント・カウンタのカウンタ・クロックを設定 (表6 - 5参照) しTOnを出力許可 (TOE0n (TMC0nのビット0) = 1) に設定

CR0nにカウント値を設定

8ビット・タイマ・レジスタ0nを動作許可 (TCE0n = 1) に設定

8ビット・タイマ・レジスタ0n (TM00, TM01) のカウント値がCR00, CR01に設定した値と一致したとき、TO0/P30/INTP0/TI0, TO1/P31/INTP1/TI1端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また、このとき、TM00, TM01の値は、0にクリアされてカウントを継続するとともに、割り込み要求信号 (INTTM0, INTTM1) を発生します。

方形波出力は、TMC00, TMC01のビット7 (TCE00, TCE01) に0を設定するとクリア (0) されます。

表6 - 5に方形波出力範囲を、図6 - 7に方形波出力のタイミングを示します。

注意 TMC0nでカウンタ・クロックの設定とTM0nの動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、方形波出力として動作させる際には、必ず上記の順序で操作してください。

備考 n = 0, 1

表6 - 5 8ビット・タイマ/イベント・カウンタの方形波出力範囲

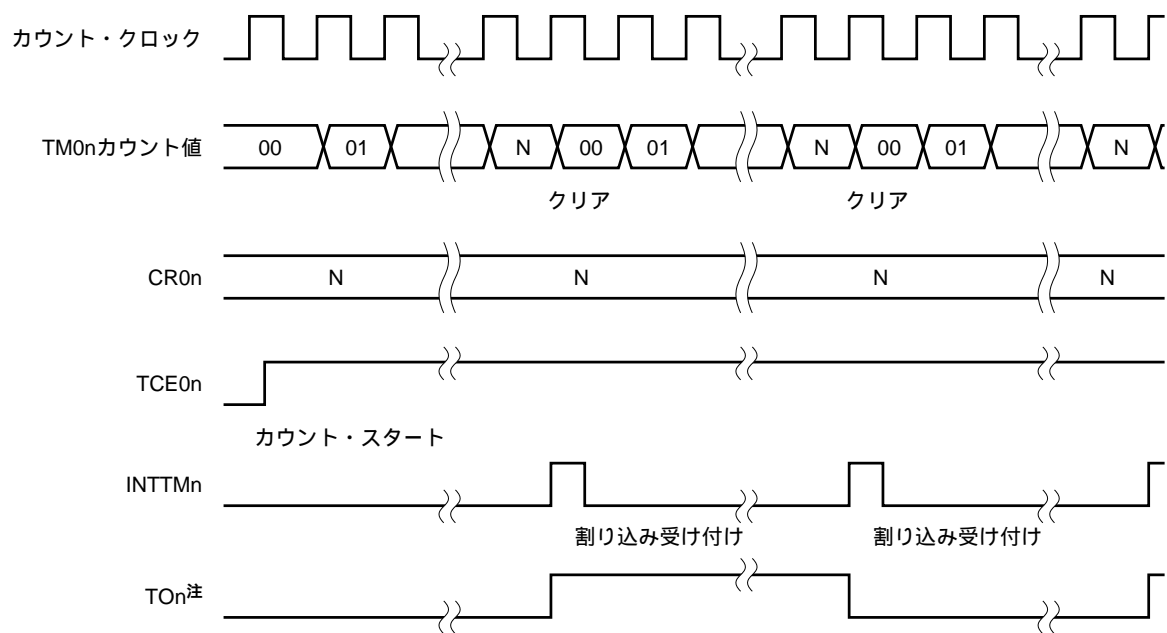
TCL0n1	TCL0n0	最小パルス幅	最大パルス幅	分解能
0	0	$1/f_x$ (200 ns)	$2^8/f_x$ (51.2 μ s)	$1/f_x$ (200 ns)
0	1	$2^5/f_x$ (6.4 μ s)	$2^{13}/f_x$ (1.64 ms)	$2^5/f_x$ (6.4 μ s)

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時。

3. n = 0, 1

図6-7 方形波出力のタイミング



注 出力許可 (TOE0n = 1) 時のTOnの初期値は、ロウ・レベルになります。

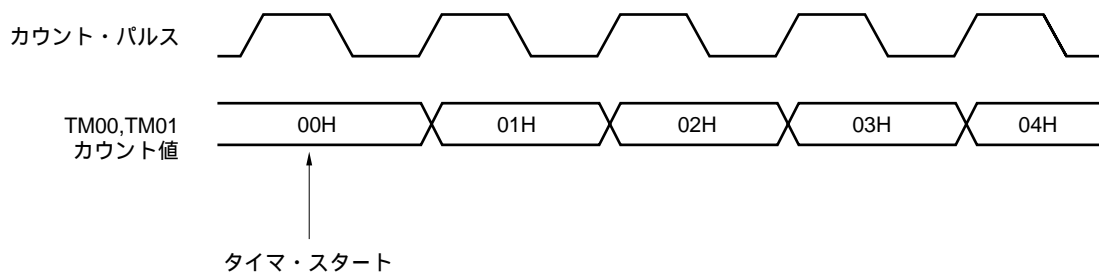
備考 n = 0, 1

6.5 8ビット・タイマ/イベント・カウンタの注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・レジスタ00, 01 (TM00, TM01) のスタートが非同期で行われるためです。

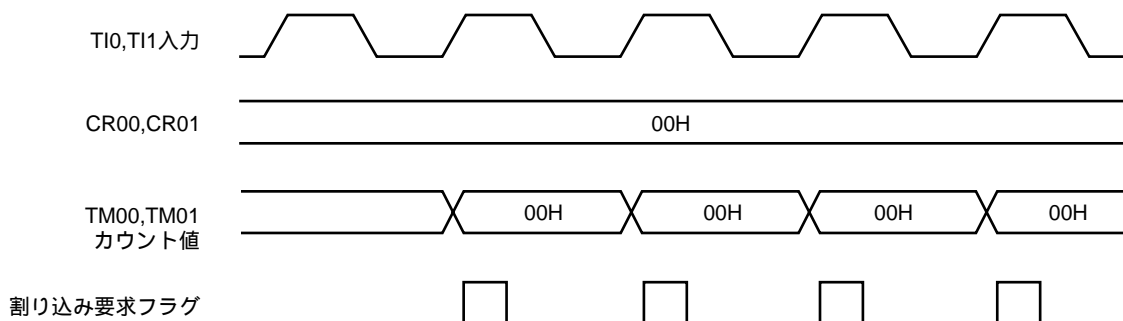
図6-8 8ビット・タイマ・レジスタのスタート・タイミング



(2) コンペア・レジスタの設定

コンペア・レジスタ00, 01 (CR00, CR01) には、00Hの設定が可能です。したがって、イベント・カウンタとして使用時、1パルスのカウント動作が可能です。

図6-9 外部イベント・カウンタとしての動作時のタイミング



(メ モ)

第7章 ウォッチドッグ・タイマ

7.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

(1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込みまたはRESETを発生することができます。

表7-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 5.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	410 μs
$2^{13} \times 1/f_x$	1.64 ms
$2^{15} \times 1/f_x$	6.55 ms
$2^{17} \times 1/f_x$	26.2 ms

f_x : システム・クロック発振周波数

(2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

表7-2 インターバル時間

インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	410 μs
$2^{13} \times 1/f_x$	1.64 ms
$2^{15} \times 1/f_x$	6.55 ms
$2^{17} \times 1/f_x$	26.2 ms

f_x : システム・クロック発振周波数

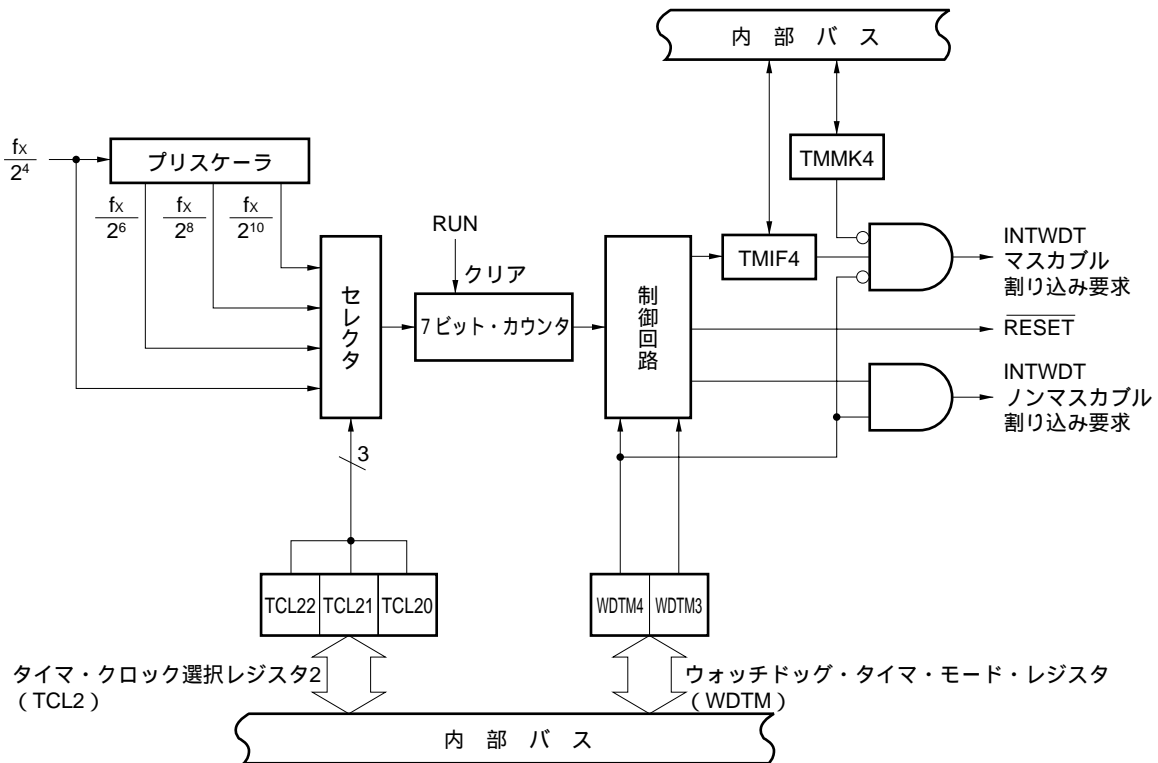
7.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表7-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図7-1 ウォッチドッグ・タイマのブロック図



7.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) タイマ・クロック選択レジスタ2 (TCL2)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図7-2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	0	0	0	0	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウント・クロックの選択	インターバル時間
0	0	0	$f_x/2^4$ (312.5 kHz)	$2^{11}/f_x$ (410 μ s)
0	1	0	$f_x/2^6$ (78.1 kHz)	$2^{13}/f_x$ (1.64 ms)
1	0	0	$f_x/2^8$ (19.5 kHz)	$2^{15}/f_x$ (6.55 ms)
1	1	0	$f_x/2^{10}$ (4.88 kHz)	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止	

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時。

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード、カウント許可/禁止を設定するレジスタです。

WDTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図7-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	FFF9H	00H	R/W

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし、カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	動作停止
0	1	インターバル・タイマ・モード (オーバフロー発生時、マスカブル割り込み発生) ^{注3}
1	0	ウォッチドッグ・タイマ・モード1 (オーバフロー発生時、ノンマスカブル割り込み発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバフロー発生時、リセット動作を起動)

注1. RUNは、一度セット(1)されると、ソフトウェアでクリア(0)することはできません。したがって、カウントを開始すると、 $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

2. WDTM3, WDTM4は、一度セット(1)されると、ソフトウェアでクリア(0)することはできません。

3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

注意1. RUNに1を設定し、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、タイマ・クロック選択レジスタ2 (TCL2) で設定した時間より最大0.8%短くなります。

2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は、TMIF4 (割り込み要求フラグ0 (IF0) のビット0) が0になっていることを確認してからWDTM4を1にセットしてください。TMIF4が1の状態では、ウォッチドッグ・タイマ・モード1, 2を選択すると書き換え終了と同時にノンマスカブル割り込みが発生します。

7.4 ウォッチドッグ・タイマの動作

7.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスクابل割り込みが発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意 実際の暴走検出時間は設定時間に対して最大0.8%短くなる場合があります。

表7-4 ウォッチドッグ・タイマの暴走検出時間

TCL22	TCL21	TCL20	暴走検出時間	$f_x = 5.0 \text{ MHz}$ 時
0	0	0	$2^{11} \times 1/f_x$	410 μ s
0	1	0	$2^{13} \times 1/f_x$	1.64 ms
1	0	0	$2^{15} \times 1/f_x$	6.55 ms
1	1	0	$2^{17} \times 1/f_x$	26.2 ms

f_x : システム・クロック発振周波数

7.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0, ビット3 (WDTM3) に1を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込みを発生するインターバル・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (TMMK4) が有効となり, マスカブル割り込み (INTWDT) を発生させることができます。INTWDTの優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALTモード時では動作を継続しますが, STOPモード時では動作を停止します。したがって, STOPモードに入る前にRUNを1に設定し, インターバル・タイマをクリアしたあと, STOP命令を実行してください。

- 注意1.** 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) と $\overline{\text{RESET}}$ 入力されないかぎり, インターバル・タイマ・モードになりません。
- 2.** WDTMで設定した直後のインターバル時間は, 設定時間に対して最大0.8 %短くなる場合があります。

表7-5 インターバル・タイマのインターバル時間

TCL22	TCL21	TCL20	インターバル時間	$f_x = 5.0 \text{ MHz}$ 時
0	0	0	$2^{11} \times 1/f_x$	410 μ s
0	1	0	$2^{13} \times 1/f_x$	1.64 ms
1	0	0	$2^{15} \times 1/f_x$	6.55 ms
1	1	0	$2^{17} \times 1/f_x$	26.2 ms

f_x : システム・クロック発振周波数

第8章 シリアル・インタフェース00

8.1 シリアル・インタフェース00の機能

シリアル・インタフェース00には、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

(2) アシンクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

また、ASCK端子への入力クロックを分周してボー・レートを定義することもできます。

(3) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{SCK0}$) と、シリアル・データ (SI0, SO0) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

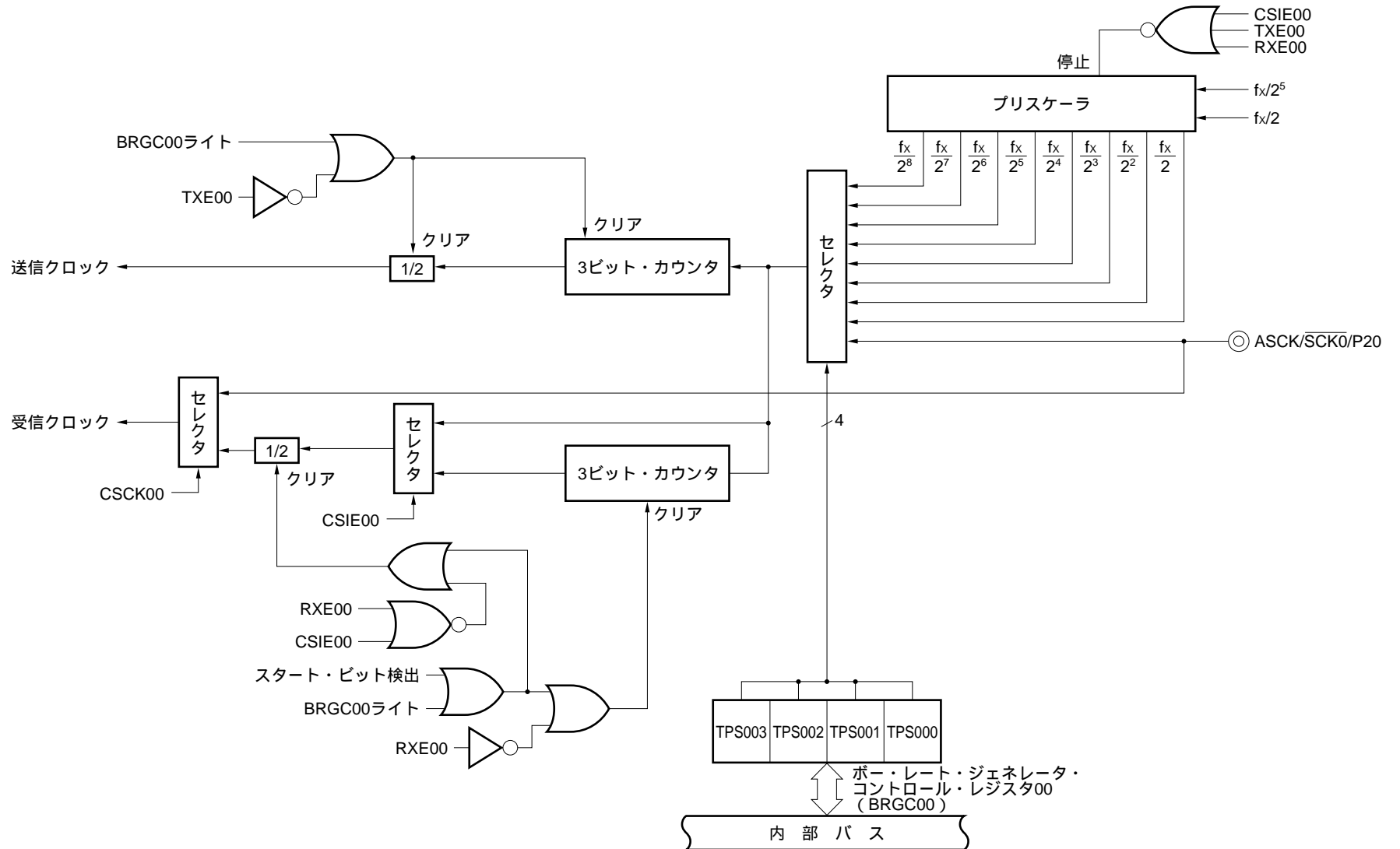
8.2 シリアル・インタフェース00の構成

シリアル・インタフェース00は、次のハードウェアで構成しています。

表8-1 シリアル・インタフェース00の構成

項 目	構 成
レジスタ	送信シフト・レジスタ00 (TXS00) 受信シフト・レジスタ00 (RXS00) 受信バッファ・レジスタ00 (RXB00)
制御レジスタ	シリアル動作モード・レジスタ00 (CSIM00) アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

図8-2 ポー・レート・ジェネレータのブロック図



(1) 送信シフト・レジスタ00 (TXS00)

送信データを設定するレジスタです。TXS00に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS00に書き込んだデータのビット0-6が送信データとして転送されます。TXS00にデータを書き込むことにより、送信動作を開始します。

TXS00は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

RESET入力により、FFHになります。

注意 送信動作中は、TXS00への書き込みを行わないでください。

TXS00と受信バッファ・レジスタ00 (RXB00) は同一アドレスに割り当てられており、読み出しを行った場合にはRXB00の値が読み出されます。

(2) 受信シフト・レジスタ00 (RXS00)

RxD端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ00 (RXB00) へ転送します。

RXS00はプログラムで直接操作することはできません。

(3) 受信バッファ・レジスタ00 (RXB00)

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ00 (RXS00) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXBのビット0-6に転送され、RXB00のMSBは必ず0になります。

RXB00は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

RESET入力により、不定になります。

注意 RXB00と送信シフト・レジスタ00 (TXS00) は同一アドレスに割り当てられており、書き込みを行った場合にはTXS00に値が書き込まれます。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) に設定された内容に従って、送信シフト・レジスタ00 (TXS00) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) に設定された内容に従って、受信動作を制御します。また受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) にセットします。

8.3 シリアル・インタフェース00を制御するレジスタ

シリアル・インタフェース・チャンネル00は、次の4種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ00 (CSIM00)
- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

(1) シリアル動作モード・レジスタ00 (CSIM00)

シリアル・インタフェース00を3線式シリアル/Oモードで使用するときを設定するレジスタです。

CSIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

★

図8-3 シリアル動作モード・レジスタ00のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM00	CSIE00	0	0	0	0	DIR00	CSCK00	0	FF72H	00H	R/W

CSIE00	3線式シリアル/Oモード時の動作の制御
0	動作停止
1	動作許可

DIR00	先頭ビットの指定
0	MSB
1	LSB

CSCK00	3線式シリアル/Oモード時のクロックの選択
0	SCK0端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

注意1. ビット0, 3-6には、必ず0を設定してください。

2. UARTモード選択時は、CSIM00に00Hを設定してください。

★

3. 3線式シリアル/Oモード時、データの送受信中に動作を中断 (CSIE00 = 0) した場合、およびデータの送受信を行っていない状態で動作制御フラグをクリア (CSIE00 = 0) した場合、SO0の兼用入出力ポート端子であるP21が汎用出力ポートとして使用できません。

(2) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

シリアル・インタフェース00をアシクロナス・シリアル・インタフェース・モードで使用するとき
設定するレジスタです。

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図8-4 アシクロナス・シリアル・インタフェース・モード・レジスタ00のフォーマット

略号			5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	0	0	FF70H	00H	R/W

TXE00	送信動作の制御	
0	送信動作停止	
1	送信動作許可	

RXE00	受信動作の制御	
0	受信動作停止	
1	受信動作許可	

PS001	PS000	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL00	キャラクタ長の指定	
0	7ビット	
1	8ビット	

SL00	送信データのストップ・ビット長の指定	
0	1ビット	
1	2ビット	

注意1. ビット0, 1には、必ず0を設定してください。

2. 3線式シリアルI/Oモード選択時は、ASIM00に00Hを設定してください。

3. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

4. UARTモード時、データの送信中に動作を中断(TXE00 = 0)した場合、TxDの兼用入出力ポート端子であるP21が汎用出力ポートとして使用できません。

★

表8-2 シリアル・インタフェース00の動作モードの設定一覧

(1) 動作停止モード

ASIM00		CSIM00			PM22	P22	PM21	P21	PM20	P20	先頭ビット	シフト・クロック	P22/SI0/RxD 端子の機能	P21/SO0/TxD 端子の機能	P20/SCK0/ASCK 端子の機能
TXE00	RXE00	CSIE00	DIR00	CSCK00											
0	0	0	x	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}			P22	P21	P20
上記以外											設定禁止				

(2) アシクロナス・シリアル・インタフェース・モード

ASIM00		CSIM00			PM22	P22	PM21	P21	PM20	P20	先頭ビット	シフト・クロック	P22/SI0/RxD 端子の機能	P21/SO0/TxD 端子の機能	P20/SCK0/ASCK 端子の機能
TXE00	RXE00	CSIE00	DIR00	CSCK00											
1	0	0	0	0	x ^{注1}	x ^{注1}	0	1	1	x	LSB	外部 クロック	P22	TxD (CMOS出力)	ASCK入力
									x ^{注1}	x ^{注1}		内部 クロック			P20
0	1	0	0	0	1	x	x ^{注1}	x ^{注1}	1	x	LSB	外部 クロック	RxD	P21	ASCK入力
									x ^{注1}	x ^{注1}		内部 クロック			P20
1	1	0	0	0	1	x	0	1	1	x	LSB	外部 クロック	TxD (CMOS出力)	ASCK入力	
									x ^{注1}	x ^{注1}		内部 クロック			P20
上記以外											設定禁止				

(3) 3線式シリアルI/Oモード

ASIM00		CSIM00			PM22	P22	PM21	P21	PM20	P20	先頭ビット	シフト・クロック	P22/SI0/RxD 端子の機能	P21/SO0/TxD 端子の機能	P20/SCK0/ASCK 端子の機能	
TXE00	RXE00	CSIE00	DIR00	CSCK00												
0	0	1	0	0	1 ^{注2}	x ^{注2}	0	1	1	x	MSB	外部 クロック	SI0 ^{注2}	SO0 (CMOS出力)	SCK0入力	
				1					0	1		内部 クロック			SCK0出力	
		1	1	0					1	x		LSB			外部 クロック	SCK0入力
				1					0	1					内部 クロック	SCK0出力
上記以外											設定禁止					

注1. ポート機能として自由に使用できます。

2. 送信のみ使用する場合は、P22 (CMOS入出力) として使用できます。

備考 x : don't care

(3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)

アシクロナス・シリアル・インタフェース・モードで受信エラー発生時、エラーの種類を表示するレジスタです。

- ★ ASIS00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。
3線式シリアルI/Oモードでは、ASIS00の内容は不定となります。
RESET入力により、00Hになります。

★ 図8-5 アシクロナス・シリアル・インタフェース・ステータス・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS00	0	0	0	0	0	PE00	FE00	OVE00	FF71H	00H	R

PE00	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE00	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生 (ストップ・ビットが検出されないとき) ^{注1}

OVE00	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

- 注1. アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット2 (SL00) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。
2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ00 (RXB00) を必ず読み出してください。RXB00を読み出すまでデータ受信のたびにオーバラン・エラーが発生し続けます。

(4) ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

シリアル・インタフェース00のシリアル・クロックを設定するレジスタです。

BRGC00は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

★ 図8-6 ポー・レート・ジェネレータ・コントロール・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC00	TPS003	TPS002	TPS001	TPS000	0	0	0	0	FF73H	00H	R/W

TPS003	TPS002	TPS001	TPS000	3ビット・カウンタのソース・クロックの選択	n
0	0	0	0	$f_x/2$ (2.5 MHz)	1
0	0	0	1	$f_x/2^2$ (1.25 MHz)	2
0	0	1	0	$f_x/2^3$ (625 kHz)	3
0	0	1	1	$f_x/2^4$ (313 kHz)	4
0	1	0	0	$f_x/2^5$ (156 kHz)	5
0	1	0	1	$f_x/2^6$ (78.1 kHz)	6
0	1	1	0	$f_x/2^7$ (39.1 kHz)	7
0	1	1	1	$f_x/2^8$ (19.5 kHz)	8
1	0	0	0	ASCK端子への外部からの入力クロック ^注	-
上記以外				設定禁止	

注 UARTモード時にのみ使用できます。

注意1. 通信動作中にBRGC00への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。

2. $f_x = 5.0$ MHz動作時、 $n = 1$ はポー・レートの規格値を越えてしまうため選択しないでください。

備考1. f_x : システム・クロック発振周波数

2. ()内は、 $f_x = 5.0$ MHz動作時。

生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号か、ASCK端子から入力したクロックを分周した信号になります。

(a) システム・クロックによるボー・レート用の送受信クロックの生成

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} \times 8} [\text{Hz}]$$

f_x : システム・クロック発振周波数

表8-3 システム・クロックとボー・レートの関係例

ボー・レート (bps)	BRGC00の設定値	誤差 (%)	
		$f_x = 5.0 \text{ MHz}$	$f_x = 4.9152 \text{ MHz}$
1200	70H	1.73	0
2400	60H		
4800	50H		
9600	40H		
19200	30H		
38400	20H		
76800	10H		

(b) ASCK端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK端子から入力したクロックを分周して送受信クロックを生成します。ASCK端子から入力したクロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{16} [\text{Hz}]$$

f_{ASCK} : ASCK端子に入力したクロックの周波数

表8 - 4 ASCK端子入力周波数とボー・レートの関係 (BRGC00 = 80H設定時)

ボー・レート (bps)	ASCK端子入力周波数 (kHz)
75	1.2
150	2.4
300	4.8
600	9.6
1200	19.2
2400	38.4
4800	76.8
9600	153.6
19200	307.2
31250	500.0
38400	614.4

8.4 シリアル・インタフェース00の動作

シリアル・インタフェース00は、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード
- ・3線式シリアルI/Oモード

8.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減することができます。また、動作停止モードでは、P20/SCK0/ASCK, P21/SO0/TxD, P22/SI0/RxD端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ00 (CSIM00) とアシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) で行います。

(a) シリアル動作モード・レジスタ00 (CSIM00)

CSIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM00	CSIE00	0	0	0	0	DIR00	CSCK00	0	FF72H	00H	R/W

CSIE00	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

注意 ビット0, 3-6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W		
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	0	0	FF70H	00H	R/W

TXE00	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE00	受信動作の制御
0	受信動作停止
1	受信動作許可

注意 ビット0, 1には必ず0を設定してください。

8.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。また、ASCK端子への入力クロックを分周してボー・レートを定義することもできます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

(1) レジスタの設定

UARTモードの設定は、シリアル動作モード・レジスタ00 (CSIM00)、アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)、ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)で行います。

(a) シリアル動作モード・レジスタ00 (CSIM00)

CSIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

UARTモード選択時は、CSIM00に00Hを設定してください。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM00	CSIE00	0	0	0	0	DIR00	CSCCK00	0	FF72H	00H	R/W

CSIE00	3線式シリアル/Oモード時の動作の制御
0	動作停止
1	動作許可

DIR00	先頭ビットの指定
0	MSB
1	LSB

CSCCK00	3線式シリアル/Oモード時のクロックの選択
0	SCK0端子への外部からの入力クロック
1	専用ボー・レート・ジェネレータの出力

注意 ビット0, 3-6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W		
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	0	0	FF70H	00H	R/W

TXE00	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE00	受信動作の制御
0	受信動作停止
1	受信動作許可

PS001	PS000	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL00	キャラクタ長の指定
0	7ビット
1	8ビット

SL00	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には、必ず0を設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(c) アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)

★

ASIS00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS00	0	0	0	0	0	PE00	FE00	OVE00	FF71H	00H	R

PE00	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE00	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生 (ストップ・ビットが検出されないとき) ^{注1}

OVE00	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

- 注1. アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット2 (SL00) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。
2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ00 (RXB00) を必ず読み出してください。RXB00を読み出すまでデータ受信のたびにオーバラン・エラーが発生し続けます。

(d) ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

BRGC00は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC00	TPS003	TPS002	TPS001	TPS000	0	0	0	0	FF73H	00H	R/W

TPS003	TPS002	TPS001	TPS000	3ビット・カウンタのソース・クロックの選択	n
0	0	0	0	$f_x/2$ (2.5 MHz)	1
0	0	0	1	$f_x/2^2$ (1.25 MHz)	2
0	0	1	0	$f_x/2^3$ (625 kHz)	3
0	0	1	1	$f_x/2^4$ (313 kHz)	4
0	1	0	0	$f_x/2^5$ (156 kHz)	5
0	1	0	1	$f_x/2^6$ (78.1 kHz)	6
0	1	1	0	$f_x/2^7$ (39.1 kHz)	7
0	1	1	1	$f_x/2^8$ (19.5 kHz)	8
1	0	0	0	ASCK端子への外部からの入力クロック	
上記以外				設定禁止	

注意1. 通信動作中にBRGC00への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。

2. $f_x = 5.0$ MHz動作時、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。

備考1. f_x : システム・クロック発振周波数

2. ()内は、 $f_x = 5.0$ MHz動作時。

生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号か、ASCK端子から入力したクロックを分周した信号になります。

(i) システム・クロックによるボー・レート用の送受信クロックの生成

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} \times 8} [\text{Hz}]$$

f_x : システム・クロック発振周波数

n : TPS000-TPS003で設定した値 (2 n 8)

表8 - 5 システム・クロックとボー・レートの関係例

ボー・レート (bps)	BRGC00の設定値	誤差 (%)	
		$f_x = 5.0 \text{ MHz}$	$f_x = 4.9152 \text{ MHz}$
1200	70H	1.73	0
2400	60H		
4800	50H		
9600	40H		
19200	30H		
38400	20H		
76800	10H		

(ii) ASCK端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK端子から入力したクロックを分周して送受信クロックを生成します。ASCK端子から入力したクロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{16} [\text{Hz}]$$

f_{ASCK} : ASCK端子に入力したクロックの周波数

表8 - 6 ASCK端子入力周波数とボー・レートの関係 (BRGC00 = 80H設定時)

ボー・レート (bps)	ASCK端子入力周波数 (kHz)
75	1.2
150	2.4
300	4.8
600	9.6
1200	19.2
2400	38.4
4800	76.8
9600	153.6
19200	307.2
31250	500.0
38400	614.4

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットは図8-7に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) によって行います。

図8-7 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



- ・スタート・ビット.....1ビット
- ・キャラクタ・ビット.....7ビット/8ビット
- ・パリティ・ビット.....偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット.....1ビット/2ビット

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット(ビット0-6)のみが有効となり、送信の場合は最上位ビット(ビット7)は無視され、受信の場合は必ず最上位ビット(ビット7)は“0”になります。

シリアルの転送レートの設定は、ASIM00とボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) によって行います。

また、シリアル・データの受信エラーが発生した場合、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) の状態を読むことによって受信エラーの内容を判定することができます。

(b) パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(i) 偶数パリティ**・送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

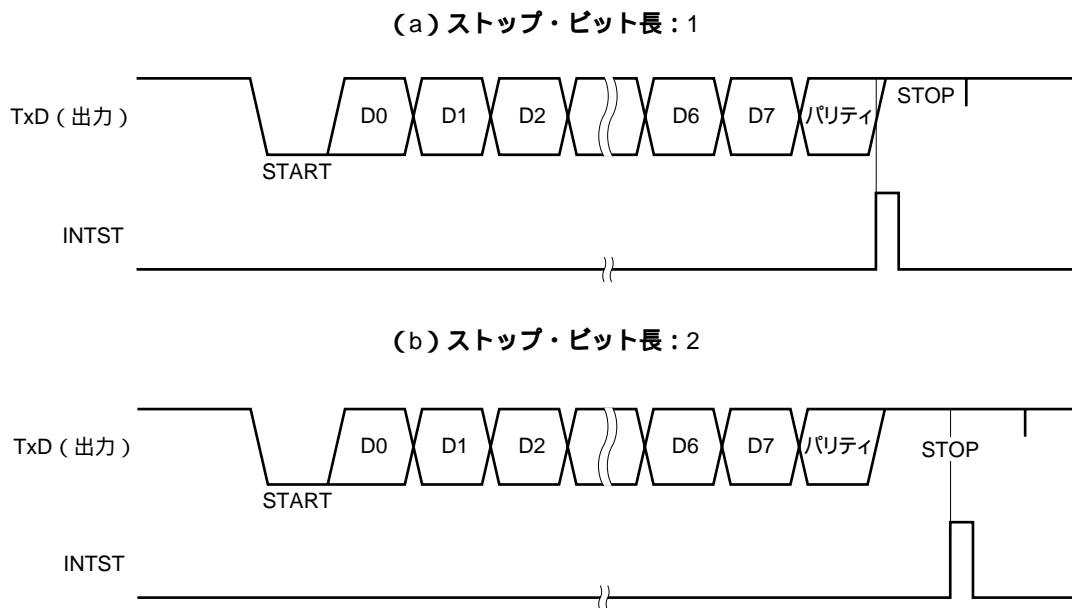
(c) 送信

送信シフト・レジスタ00 (TXS00) に送信データを書き込むことによって送信動作は起動します。

スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

送信動作の開始により, TXS00内のデータがシフト・アウトされ, TXS00が空になると送信完了割り込み (INTST) が発生します。

図8 - 8 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



注意 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) の書き換えは行わないでください。送信中にASIM00レジスタの書き換えを行うと, それ以降の送信動作ができなくなる場合があります (RESET入力により, 正常になります)。送信中かどうかは, 送信完了割り込み (INTST) またはINTSTによりセットされる割り込み要求フラグ (STIF00) を用いて, ソフトウェアにより判断することができます。

(d) 受信

受信動作は、アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット6 (RXE00) がセット (1) されると許可状態となり、RxD端子入力のサンプリングを行います。

RxD端子入力のサンプリングはASIM00で指定したシリアル・クロックで行います。

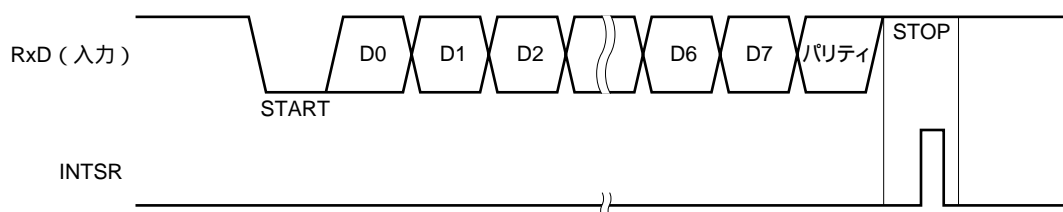
RxD端子入力が高レベルになると、3ビット・カウンタがカウントを開始し、設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD端子入力をサンプリングした結果、高レベルであれば、スタート・ビットとして認識し、3ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ00 (RXB00) に転送し、受信完了割り込み (INTSR) を発生します。

また、エラーが発生しても、RXB00にエラーの発生した受信データを転送し、INTSRを発生します。

なお、受信動作中にRXE00ビットをリセット (0) すると、ただちに受信動作を停止します。このとき、RXB00およびアシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) の内容は変化せず、また、INTSRも発生しません。

図8-9 アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



注意 受信エラー発生時にも、受信バッファ・レジスタ00 (RXB00) は必ず読み出してください。RXB00を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) 内に立ちます。受信エラーの要因を表8 - 7に示します。

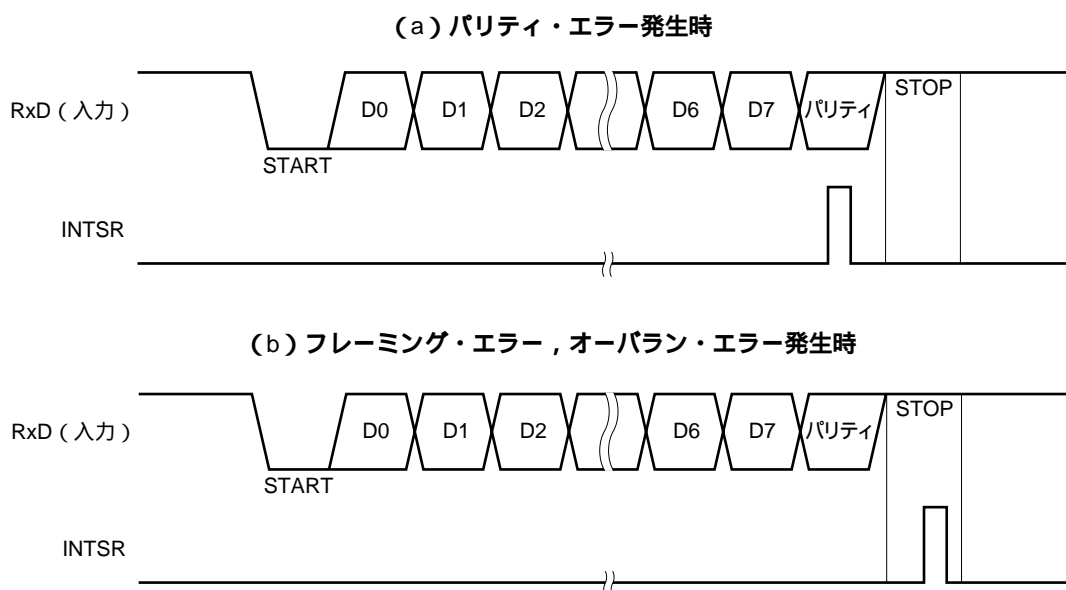
受信エラー割り込み処理内で、ASIS00の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図8 - 9, 図8 - 10参照)。

ASIS00の内容は、受信バッファ・レジスタ00 (RXB00) を読み出すか、次のデータを受信することでリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表8 - 7 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了

図8 - 10 受信エラー・タイミング

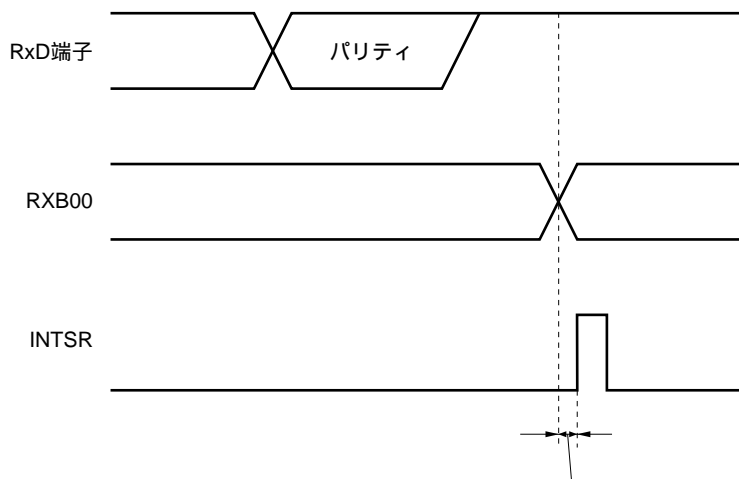


注意1. ASIS00レジスタの内容は、受信バッファ・レジスタ00 (RXB00) を読み出すか、次のデータを受信することにより、リセット (0) されます。エラーの内容が知りたい場合には、必ずRXB00を読み出す前にASIS00を読み出してください。

2. 受信エラー発生時にも、受信バッファ・レジスタ00 (RXB00) は必ず読み出してください。RXB00を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(3) UARTモードの注意事項

- (a) 送信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット7 (TXE00) をクリアした場合、次の送信を行う前に必ず送信シフト・レジスタ00 (TXS00) にFFH を設定したのちに、TXE00に1を設定してください。
- (b) 受信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット6 (RXE00) をクリアした場合、受信バッファ・レジスタ00 (RXB00)、受信完了割り込み (INTSR) は、次のようになります。



- の区間でRXE00に0を設定した場合、RXB00は前のデータを保持し、INTSRも発生しません。
- の区間でRXE00に0を設定した場合、RXB00はデータを更新し、INTSRは発生しません。
- の区間でRXE00に0を設定した場合、RXB00はデータを更新し、INTSRも発生します。

- ★ (c) データの送信中に動作を中断 (TXE00 = 0) した場合、TxDの兼用入出力ポート端子であるP21が汎用出力ポートとして使用できません。したがって、送信動作許可 (TXE00 = 1) の状態でのデータ送信中に送信動作許可フラグをクリア (TXE00 = 0) しないでください。汎用出力ポートに切り替える場合は、データ送信が完了した時点で送信動作許可フラグをクリア (TXE00 = 0) してください。

次にUART送信終了後に汎用出力ポートに切り替えるプログラム例を示します。

```
MOV    CSIM00, #00H
MOV    BRGC00, #40H    ; ボー・レート          : 9600 bps
MOV    ASIM00, #88H    ; キャラクタ長        : 8ビット
                          ストップ・ビット長    : 1ビット, パリティなし
```

WAIT :

```
BF     STIF00, $WAIT
CLR1   TXE00
```

- ★ (d) INTSRの発生時、その割り込みルーチンの先頭から表8 - 8に示すクロック以前にRXB00レジスタを読み出した場合、オーバラン・エラーが発生します。受信データの読み出しには、表8 - 8に示すRXB00読み出しまでのクロック数を待ってから行ってください。

表8 - 8 RXB00レジスタを読み出すために必要なクロック数

BRGC00の設定値	転送レート ^注	システム・クロック 高速動作 (PCC1 = 0)	システム・クロック 低速動作 (PCC1 = 1)
10H	76800	0	0
20H	38400	0	0
30H	19200	7	2
40H	9600	23	6
50H	4800	55	14
60H	2400	119	30
70H	1200	247	62
80H	外部クロックの場合は次の計算式を満足させてください。 EXCL1 (Hz) > f _{cpu} (Hz) / (9クロック + xクロック)		

注 f_x = 4.9152 MHz動作時

EXCL1 : 外部クロック周波数 (転送レート × 2⁴)

f_{cpu} : CPUの動作周波数

9クロック : 割り込みが発生して1クロック後に割り込み処理を始めるため (割り込み処理に8クロック使用), 合計9クロックになります。

xクロック : RXB00読み出しまでのクロック数

例 300bpsで転送したいときに外部からクロックを入力する場合RXB00レジスタを読み出すまでに必要なクロック数 (f_{CPU} = 1 MHz動作時)

$$\begin{aligned} \text{EXCL1} &= 300 \times 2^4 \\ &= 4.8 \text{ kHz} \end{aligned}$$

$$\begin{aligned} 4.8 \text{ kHz} &> 1 \text{ MHz} / (9 + x) \\ x &> (1 \text{ MHz} / 4.8 \text{ kHz}) - 9 \\ x &> 199.3 \end{aligned}$$

したがって、この場合割り込みルーチン内でRXB00レジスタを読み出すには200クロック待つてから行ってください。

8.4.3 3線式シリアル/Oモード

3線式シリアル/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック ($\overline{\text{SCK0}}$)、シリアル出力 (SO0)、シリアル入力 (SI0) の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアル/Oモードの設定は、シリアル動作モード・レジスタ00 (CSIM00)、アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)、ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) で行います。

(a) シリアル動作モード・レジスタ00 (CSIM00)

CSIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM00	CSIE00	0	0	0	0	DIR00	CSCCK00	0	FF72H	00H	R/W

CSIE00	3線式シリアル/Oモード時の動作の制御
0	動作停止
1	動作許可

DIR00	先頭ビットの指定
0	MSB
1	LSB

CSCCK00	3線式シリアル/Oモード時のクロックの選択
0	SCK0端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

注意 ビット0, 3-6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

3線式シリアルI/Oモード選択時は、ASIM00に00Hを設定してください。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W		
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	0	0	FF70H	00H	R/W

TXE00	送信動作の制御	
0	送信動作停止	
1	送信動作許可	

RXE00	受信動作の制御	
0	受信動作停止	
1	受信動作許可	

PS001	PS000	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL00	キャラクタ長の指定	
0	7ビット	
1	8ビット	

SL00	送信データのストップ・ビット長の指定	
0	1ビット	
1	2ビット	

注意1. ビット0, 1には、必ず0を設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(c) ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

BRGC00は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC00	TPS003	TPS002	TPS001	TPS000	0	0	0	0	FF73H	00H	R/W

TPS003	TPS002	TPS001	TPS000	3ビット・カウンタのソース・クロックの選択	n
0	0	0	0	$f_x/2$ (2.5 MHz)	1
0	0	0	1	$f_x/2^2$ (1.25 MHz)	2
0	0	1	0	$f_x/2^3$ (625 kHz)	3
0	0	1	1	$f_x/2^4$ (313 kHz)	4
0	1	0	0	$f_x/2^5$ (156 kHz)	5
0	1	0	1	$f_x/2^6$ (78.1 kHz)	6
0	1	1	0	$f_x/2^7$ (39.1 kHz)	7
0	1	1	1	$f_x/2^8$ (19.5 kHz)	8
上記以外				設定禁止	

注意1. 通信動作中にBRGC00への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。

2. $f_x = 5.0$ MHz動作時、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。

備考1. f_x : システム・クロック発振周波数

2. ()内は、 $f_x = 5.0$ MHz動作時。

3線式シリアル/I/Oモードのシリアル・クロックに内部クロックを使用する場合、TPS000-TPS003でシリアル・クロック周波数を設定します。シリアル・クロック周波数は、次の式によって求められます。外部からシリアル・クロックを入力する場合はBRGC00の設定は必要ありません。

$$\text{シリアル・クロック周波数} = \frac{f_x}{2^{n+1}} \text{ [Hz]}$$

f_x : システム・クロック発振周波数

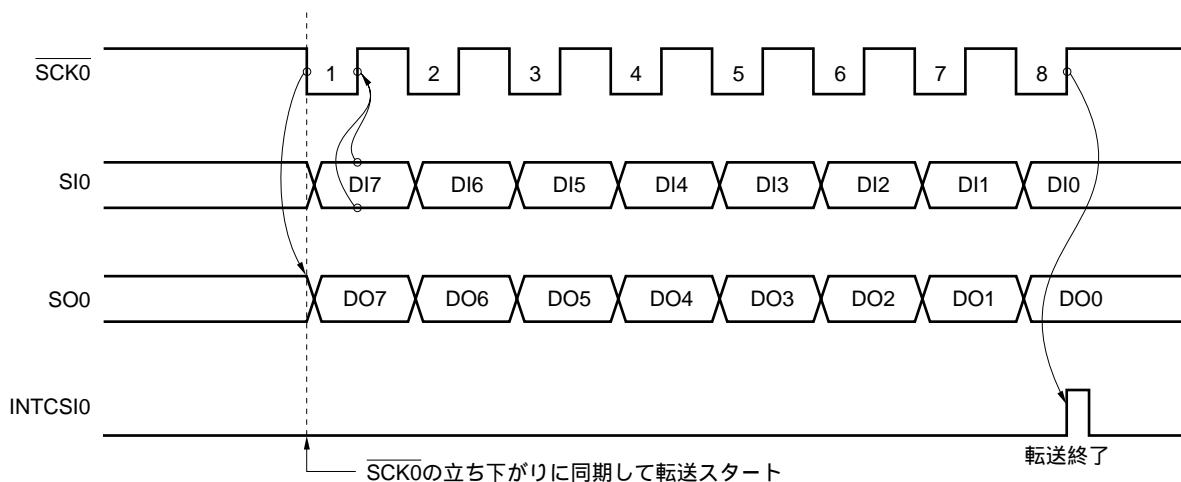
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

送信シフト・レジスタ00 (TXS00/SIO00)、受信シフト・レジスタ00 (RXS00) のシフト動作は、シリアル・クロック ($\overline{\text{SCK0}}$) の立ち下がりに同期して行われます。そして、送信データがSO0ラッチに保持され、SO0端子から出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりで、SI0端子に入力された受信データが受信バッファ・レジスタ00 (RXB00/SIO00) にラッチされます。

8ビット転送終了により、TXS00/SIO00, RXS00の動作は自動的に停止し、割り込み要求信号 (INTCSIO) を発生します。

図8-11 3線式シリアルI/Oモードのタイミング



- ★ **注意** 3線式シリアルI/Oモード時、データの送受信中に動作を中断 (CSIM00 = 0) した場合、およびデータの送受信を行っていない状態で動作制御フラグをクリア (CSIE00 = 0) した場合、SO0の兼用入出力ポート端子であるP21が汎用出力ポートとして使用できません。P21を汎用出力ポートとして使用する場合、次のような処置をしてください。

- ・送受信が終了するまで、動作制御フラグ (CSIE00) をクリアしない
- ・3線式シリアルI/Oモードを終了する場合、一度FFHを送信してから動作制御フラグをクリア (CSIE00 = 0) する。または、UARTモードの送信としてFFHを送信してから送信動作許可フラグをクリア (TXE00 = 0) する。

次に3線式シリアルI/Oモードを終了させるためのプログラム例を示します。

例1. 3線式シリアルI/Oモードでの送信

```
MOV    CSIM00, #02H
MOV    BRGC00, #00H
MOV    ASIM00, #80H
MOV    TXS00, #0FFH
CLR1   CSIE00
```

TXS00に書き込むとすぐにSO0端子はハイ・レベルになります(4クロック後)。ただし、 $\overline{\text{SCK0}}$ のクロック端子にクロックが乗ります。

例2. UARTモードでの送信

```
MOV    CSIM00, #00H
MOV    BRGC00, #00H
MOV    ASIM00, #80H
MOV    TXS00, #0FFH
CLR1   TXE00
```

TXS00に書き込んで16~32クロック後にSO0端子はハイ・レベルになります。この方法では $\overline{\text{SCK0}}$ 端子はロウ・レベルのままとなります。

(3) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、送信シフト・レジスタ00 (TXS00/SIO00) に転送データをセットすることで開始します。

- ・シリアル動作モード・レジスタ00 (CSIM00) のビット7 (CSIE00) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK0}}$ がハイ・レベルの状態

注意 TXS00/SIO00にデータを書き込んだあと、CSIE00を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求信号 (INTCSI0) を発生します。

(メ モ)

第9章 割り込み機能

9.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込みが1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。同時に複数の割り込み要求が同時に発生しているときの優先順位(プライオリティ)は、表9-1のように決められています。

スタンバイ・リリース信号を発生します。

★ マスカブル割り込みは、外部割り込みが3要因、内部割り込みが5要因あります。

9.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込みをあわせて、合計9要因あります(表9-1参照)。

表9-1 割り込み要因一覧

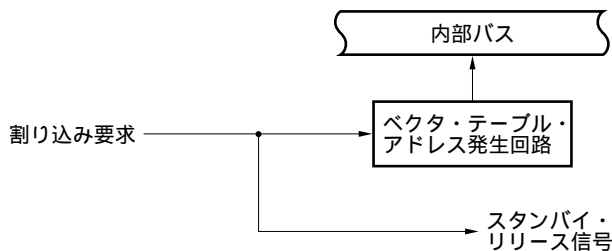
割り込みタイプ	プライオリティ ^{注1}	割り込み要因		内部/外部	ベクタ・ テーブル・ アドレス	基本構成タイプ ^{注2}
		名称	トリガ			
ノンマスクابل	-	INTWDT	ウォッチドッグ・タイマのオーバーフロー（ウォッチドッグ・タイマ・モード1選択時）	内部	0004H	(A)
マスクابل	0	INTWDT	ウォッチドッグ・タイマのオーバーフロー（インターバル・タイマ・モード選択時）			外部
	1	INTP0	端子入力エッジ検出	外部	0006H 0008H 000AH	
	2	INTP1				
	3	INTP2				
	4	INTSR	シリアル・インタフェース00のUART受信終了	内部	000CH 000EH 0010H 0012H	(B)
		INTCSI0	シリアル・インタフェース00の3線式転送終了			
	5	INTST	シリアル・インタフェース00のUART送信終了			
	6	INTTM0	8ビット・タイマ/イベント・カウンタ00の一致信号発生			
	7	INTTM1	8ビット・タイマ/イベント・カウンタ01の一致信号発生			

注1. プライオリティは、複数のマスクابل割り込みが同時に発生している場合に、優先する順位です。0が最高順位、7が最低順位です。

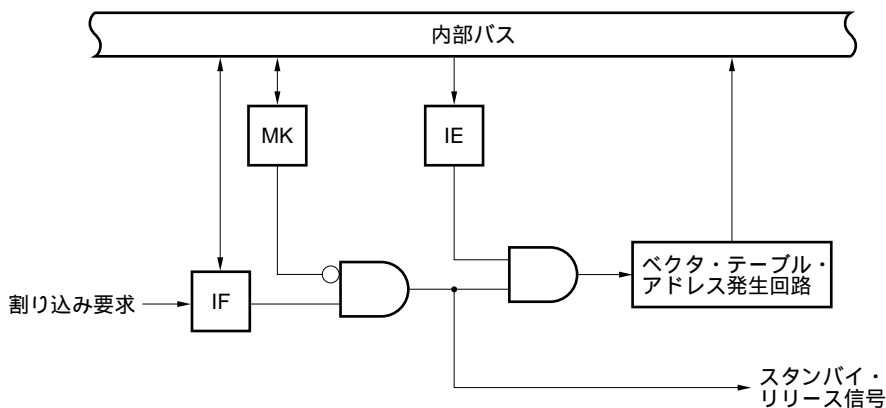
2. 基本構成タイプの(A)-(C)は、それぞれ図9-1の(A)-(C)に対応しています。

図9 - 1 割り込み機能の基本構成

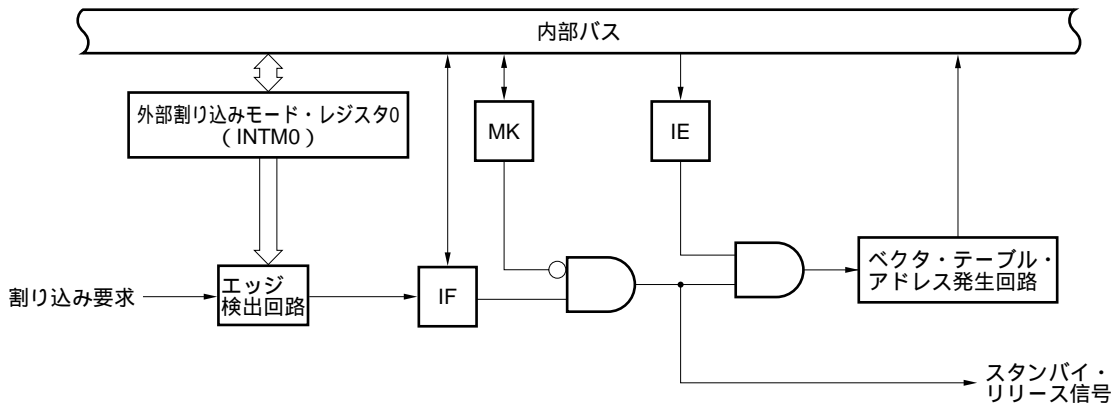
(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み



IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

MK : 割り込みマスク・フラグ

9.3 割り込み機能を制御するレジスタ

割り込み機能は、次の4種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ0 (IF0)
- ・割り込みマスク・フラグ・レジスタ0 (MK0)
- ・外部割り込みモード・レジスタ0 (INTM0)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を表9 - 2に示します。

表9 - 2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTWDT	TMIF4	TMMK4
INTP0	PIF0	PMK0
INTP1	PIF1	PMK1
INTP2	PIF2	PMK2
INTSR/INTCSI0	SRIF00	SRMK00
INTST	STIF00	STMK00
INTTM0	TMIF00	TMMK00
INTTM1	TMIF01	TMMK01

(1) 割り込み要求フラグ・レジスタ0 (IF0)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア(0)されるフラグです。

IF0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

★

図9-2 割り込み要求フラグ・レジスタ0のフォーマット

略号	0							アドレス	リセット時	R/W	
IF0	TMIF01	TMIF00	STIF00	SRIF00	PIF2	PIF1	PIF0	TMIF4	F F E 0 H	0 0 H	R/W

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

- 注意1.** TMIF4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、TMIF4フラグに0を設定してください。
- 2.** ポート3は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(2) 割り込みマスク・フラグ・レジスタ0 (MK0)

割り込みマスク・フラグは、対応するマスクブル割り込み処理の許可/禁止を設定するフラグです。

MK0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

★

図9-3 割り込みマスク・フラグ・レジスタ0のフォーマット

略号								0	アドレス	リセット時	R/W
MK0	TMMK01	TMMK00	STMK00	SRMK00	PMK2	PMK1	PMK0	TMMK4	FF E 4 H	FF H	R/W

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

- 注意1.** ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1, 2で使用しているとき、TMMK4フラグを読み出すと不定になっています。
- 2.** ポート3は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(3) 外部割り込みモード・レジスタ0 (INTM0)

INTP0-INTP2の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9-4 外部割り込みモード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	ES21	ES20	ES11	ES10	ES01	ES00	0	0	FFECH	00H	R/W

ES21	ES20	INTP2の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES11	ES10	INTP1の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES01	ES00	INTP0の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

注意1. ビット0, 1には必ず0を設定してください。

- INTM0レジスタの設定は、必ず該当する割り込みマスク・フラグをセット ($\times \times \text{MK} \times = 1$) し、割り込みを禁止してから行ってください。その後、割り込み要求フラグをクリア ($\times \times \text{IF} \times = 0$) してから、割り込みマスク・フラグをクリア ($\times \times \text{MK} \times = 0$) し、割り込みを許可してください。

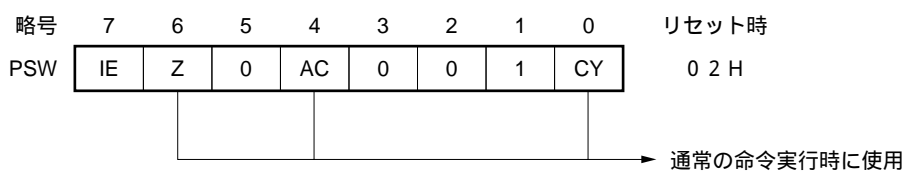
(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可/禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。RETI, POP PSW命令により、スタックから復帰します。

RESET入力により、PSWは02Hになります。

図9-5 プログラム・ステータス・ワードの構成



IE	割り込み受け付けの許可/禁止
0	禁止
1	許可

9.4 割り込み処理動作

9.4.1 ノンマスクابل割り込み要求の受け付け動作

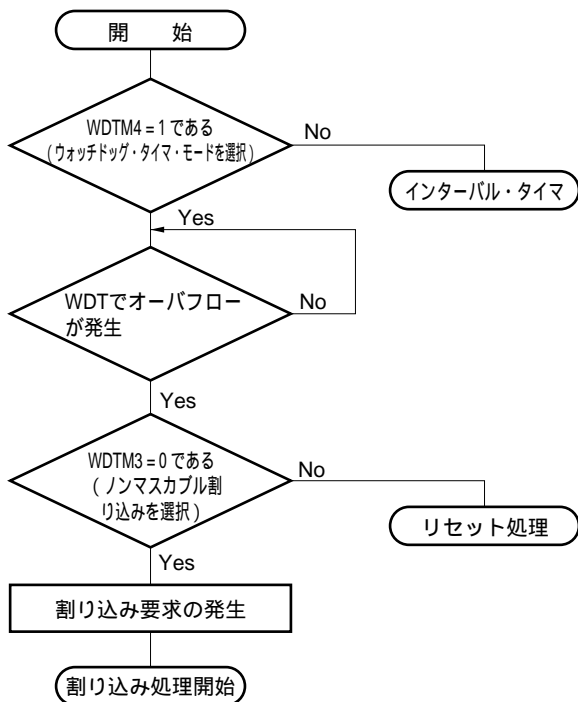
ノンマスクابل割り込み要求は、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスクابل割り込み要求が受け付けられると、PSW、PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャートを図9-6に、ノンマスクابل割り込み要求の受け付けタイミングを図9-7に、ノンマスクابل割り込みが多量に発生した場合の受け付け動作を図9-8に示します。

注意 ノンマスクابل割り込みサービス・プログラム実行中に新たなノンマスクابل割り込み要求をしないでください。割り込みサービス・プログラム実行中でも新たに発生したノンマスクابل割り込み要求を受け付けてしまいます。

★ 図9 - 6 ノンマスクブル割り込み要求発生から受け付けまでのフロー・チャート

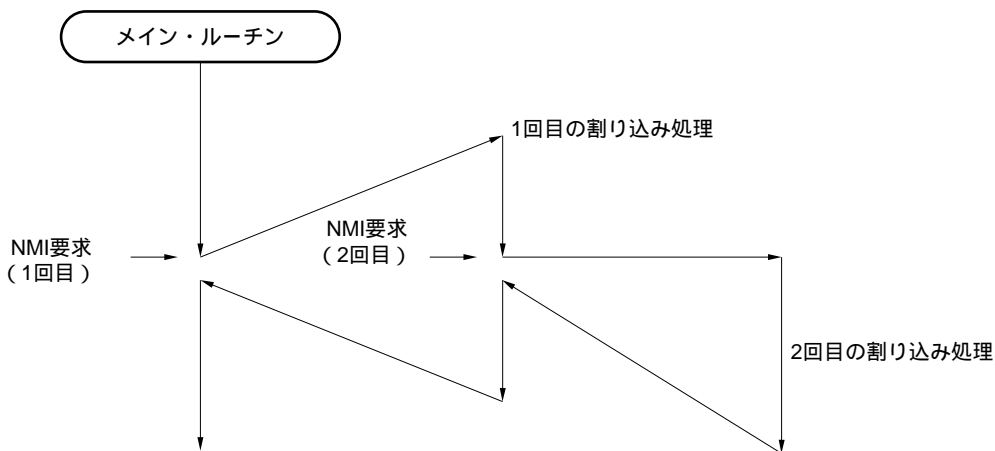


WDTM : ウォッチドッグ・タイマ・モード・レジスタ
 WDT : ウォッチドッグ・タイマ

図9 - 7 ノンマスクブル割り込み要求の受け付けタイミング



図9 - 8 ノンマスクブル割り込み要求の受け付け動作



9.4.2 マスカブル割り込みの受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込みの割り込みマスク・フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は表9-3のようになります。割り込み要求の受け付けのタイミングについては、図9-10、9-11を参照してください。

表9-3 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 ^注
9クロック	19クロック

注 BT, BF命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ （ f_{CPU} ：CPUクロック）

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。

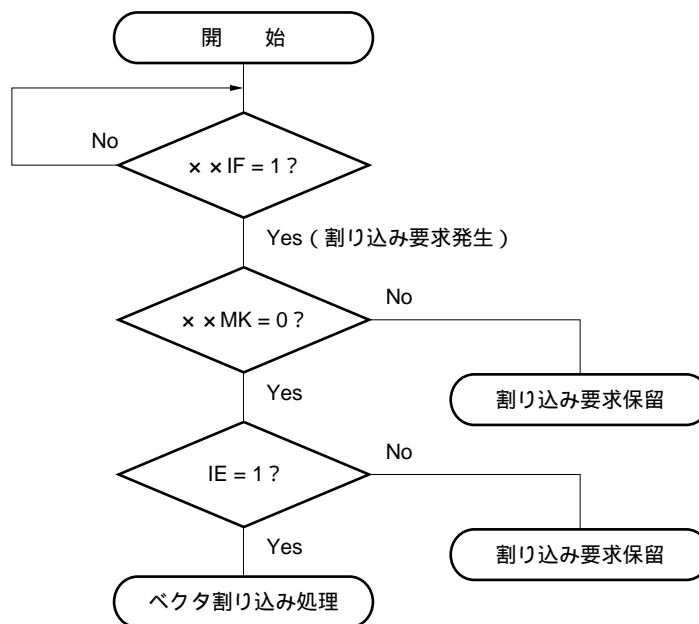
保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図9-9に示します。

マスカブル割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグをリセット（0）し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図9-9 割り込み要求受け付け処理アルゴリズム

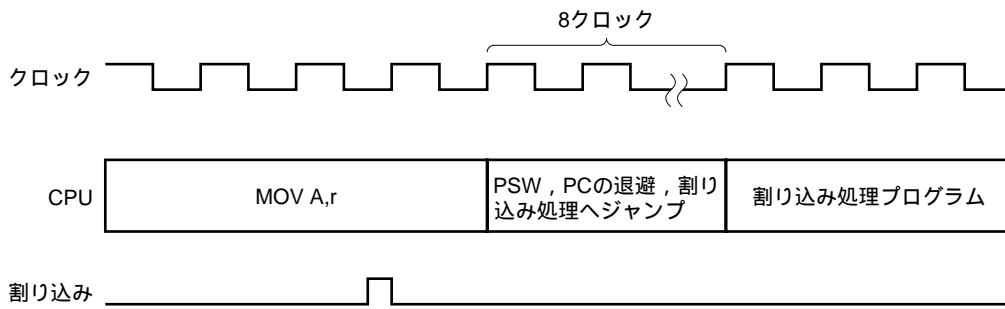


x x IF : 割り込み要求フラグ

x x MK : 割り込みマスク・フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ（1 = 許可, 0 = 禁止）

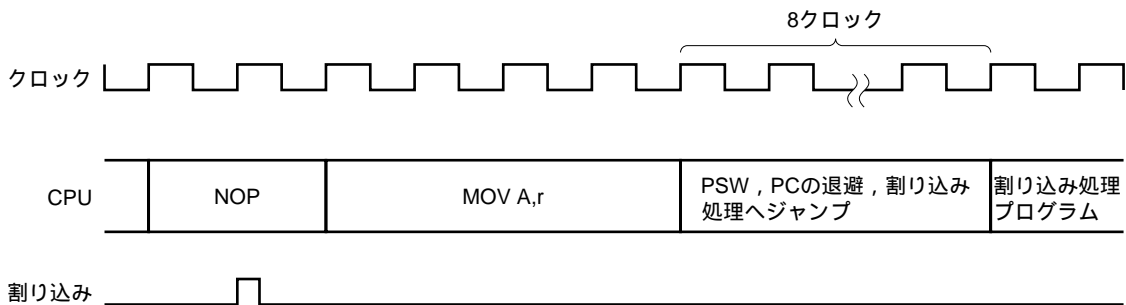
図9 - 10 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロック n ($n = 4-10$) が $n - 1$ までに割り込み要求フラグ ($\times \times IF$) が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図9 - 10では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので実行してから3クロックの間に割り込みが発生するとMOV A, rの終了後、割り込み受け付け処理を行います。

図9 - 11 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ ($\times \times IF$) が命令の最後のクロックのときに発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図9 - 11ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

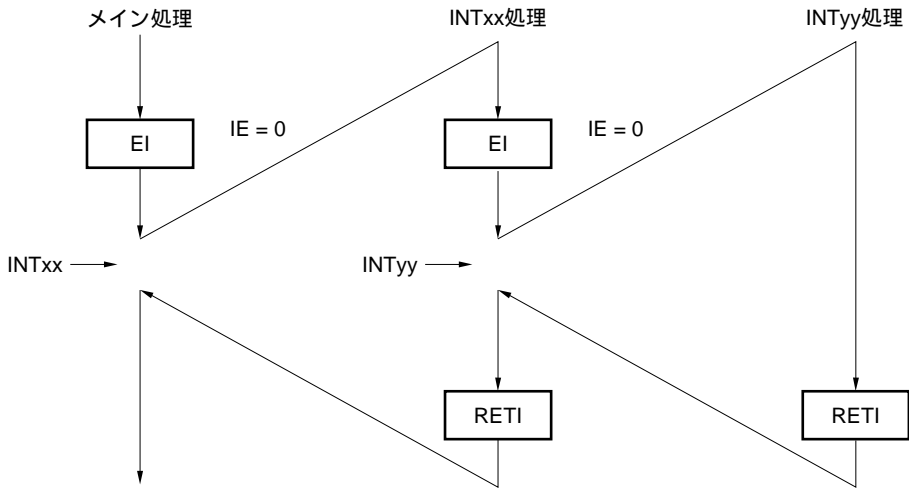
注意 割り込み要求フラグ・レジスタ0 (IF0) または割り込みマスク・フラグ・レジスタ0 (MK0) にアクセス中は割り込み要求は保留されます。

9.4.3 多重割り込み処理

割り込み処理中にさらに別の割り込みを受け付ける多重割り込みは、優先順位によって処理できます。複数の割り込みが同時に発生しているとき、各割り込み要求にあらかじめ割り付けてある優先順位に従って割り込み処理を行います(表9-1参照)。

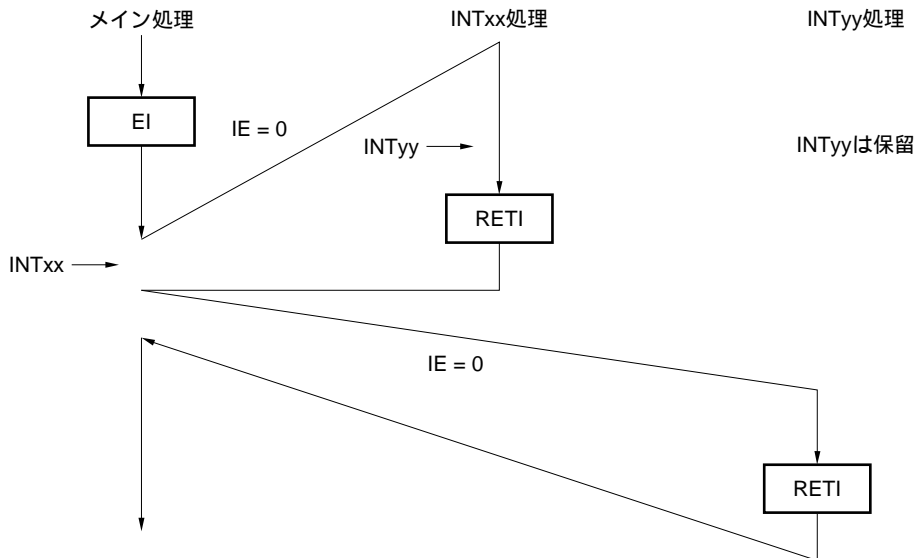
図9-12 多重割り込みの例

例1. 多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

IE = 0 : 割り込み要求受け付け禁止

9.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、ノンマスカブル割り込み、外部割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・割り込み要求フラグ・レジスタ0（IF0）に対する操作命令
- ・割り込みマスク・フラグ・レジスタ0（MK0）に対する操作命令

第10章 スタンバイ機能

10.1 スタンバイ機能と構成

10.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減することができます。

また、データ・メモリの低電圧 ($V_{DD} = 1.8 \text{ V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

10.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウエイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

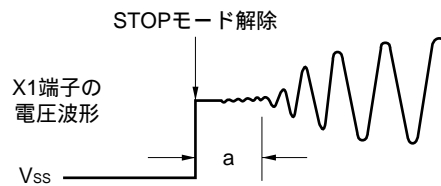
$\overline{\text{RESET}}$ 入力により、04Hになります。ただし、 $\overline{\text{RESET}}$ 入力後の発振安定時間は $2^{17}/f_x$ ではなく、 $2^{15}/f_x$ となります。

図10-1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (819 μ s)
0	1	0	$2^{15}/f_x$ (6.55 ms)
1	0	0	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止

注意 STOPモード解除時のウエイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間は(下図a)は含みません。



- 備考1.** f_x : システム・クロック発振周波数
 2. ()内は、 $f_x = 5.0$ MHz動作時。

10.2 スタンバイ機能の動作

10.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表10-1 HALTモード時の動作状態

項目	HALTモード時の動作状態
クロック発生回路	システム・クロックの発振が可能 CPUへのクロック供給が停止
CPU	動作停止
ポート（出力ラッチ）	HALTモード設定前の状態を保持
8ビット・タイマ/イベント・カウンタ	動作可能
ウォッチドッグ・タイマ	動作可能
シリアル・インタフェース	動作可能
外部割り込み	動作可能

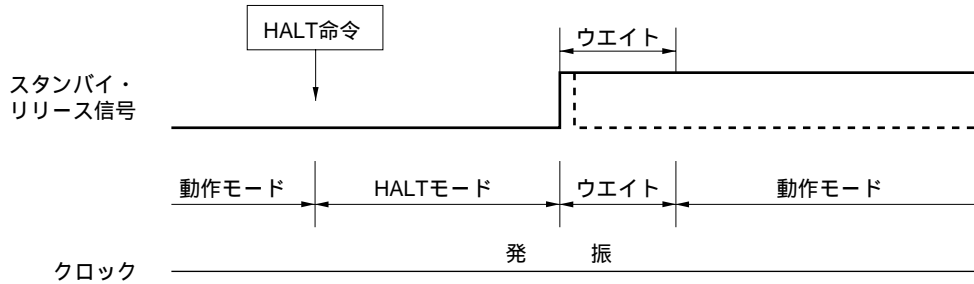
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードを解除します。割り込み要求受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図10-2 HALTモードの割り込み発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

- ・ベクタに分岐した場合 : 9~10クロック
- ・ベクタに分岐しなかった場合 : 1~2クロック

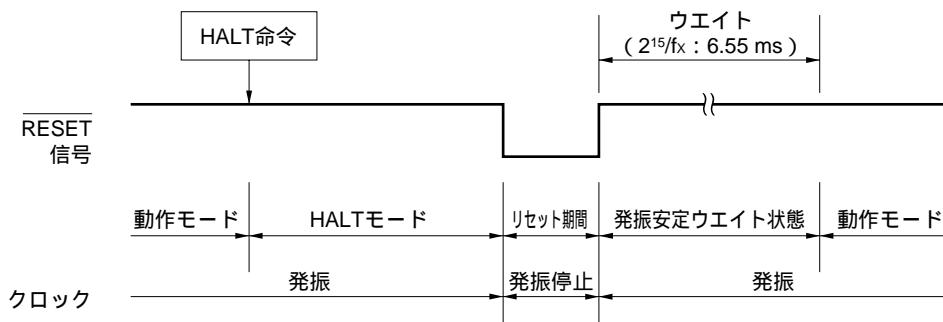
(b) ノンマスクابل割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

(c) RESET入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図10 - 3 HALTモードのRESET入力による解除



- 備考1. f_x : システム・クロック発振周波数
 2. () 内は, $f_x = 5.0 \text{ MHz}$ 動作時

表10 - 2 HALTモードの解除後の動作

解除ソース	MK x x	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	HALTモード保持
ノンマスカブル割り込み要求	-	x	割り込み処理実行
RESET入力	-	-	リセット処理

x : don't care

10.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

- 注意1.** STOPモードに設定すると、クリスタル発振回路部のリークを抑えるためにX2端子が内部でV_{DD}にプルアップされます。したがって、システム・クロックに外部クロックを使用するシステムでは、STOPモードは使用しないでください。
2. スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表10-3 STOPモード時の動作状態

項目	STOPモード時の動作状態
クロック発生回路	システム・クロックの発振が停止
CPU	動作停止
ポート（出力ラッチ）	STOPモード設定前の状態を保持
8ビット・タイマ/イベント・カウンタ	カウント・クロックにTI0, TI1選択時のみ動作可能
ウォッチドッグ・タイマ	動作停止
シリアル・インタフェース	シリアル・クロックに外部からの入力クロック選択時のみ、動作可能
外部割り込み	動作可能

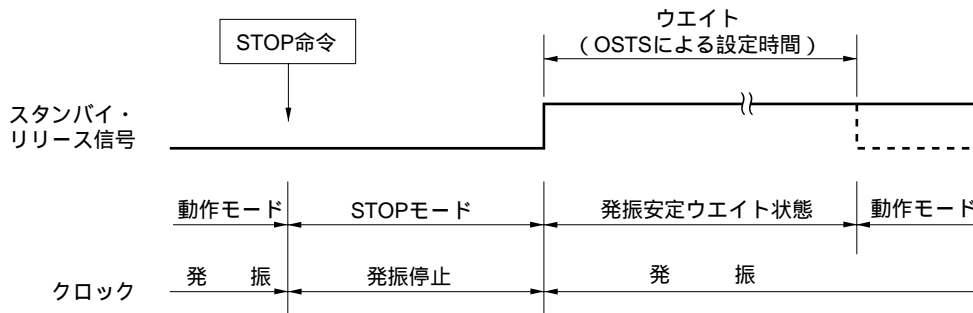
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図10-4 STOPモードの割り込み発生による解除

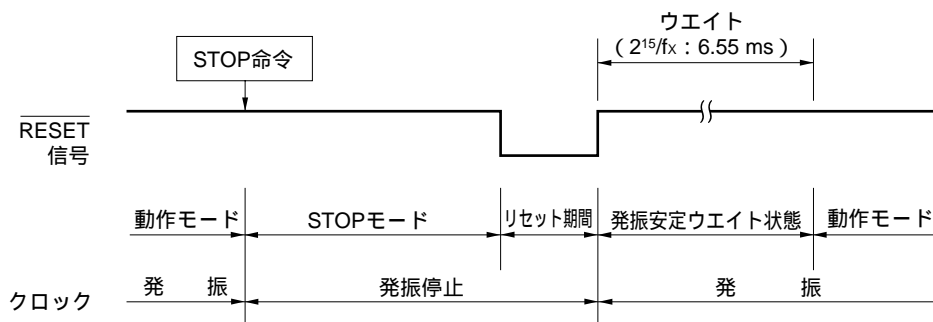


備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) $\overline{\text{RESET}}$ 入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図10-5 STOPモードの $\overline{\text{RESET}}$ 入力による解除



備考1. f_x : システム・クロック発振周波数

2. ()内は, $f_x = 5.0 \text{ MHz}$ 動作時

表10-4 STOPモードの解除後の動作

解除ソース	MK × ×	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	×	STOPモード保持
$\overline{\text{RESET}}$ 入力	-	-	リセット処理

× : don't care

第11章 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバーフローが発生することによってリセットがかかり、各ハードウェアは表11-1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後 ($2^{15}/f_x$) プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバーフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後 ($2^{15}/f_x$) プログラムの実行を開始します (図11-2から図11-4参照)。

- 注意1.** 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
2. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図11-1 リセット機能のブロック図

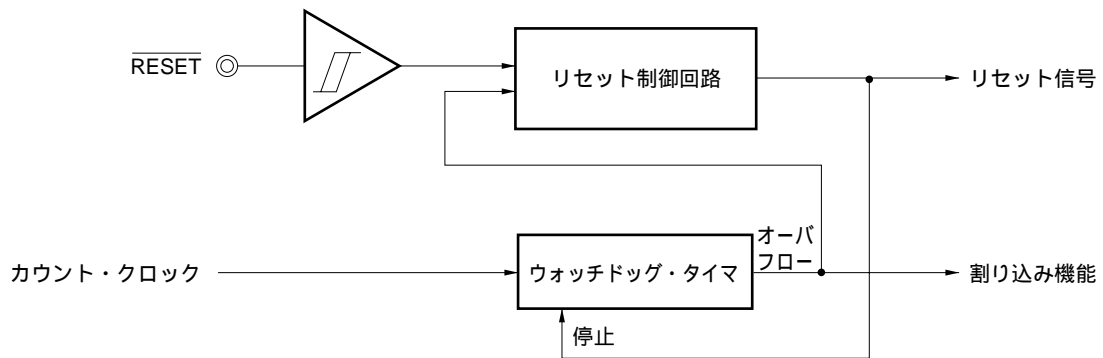


図11-2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

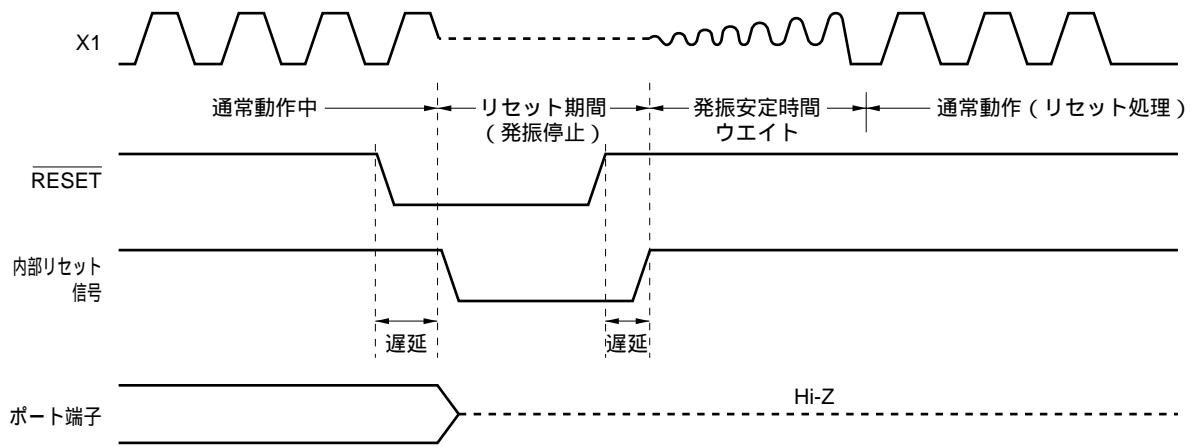


図11-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

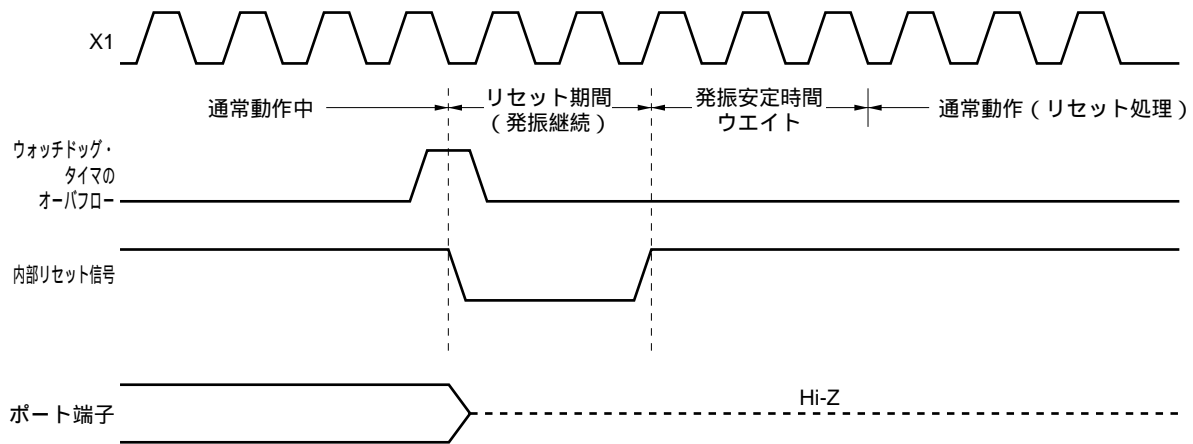


図11-4 STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング

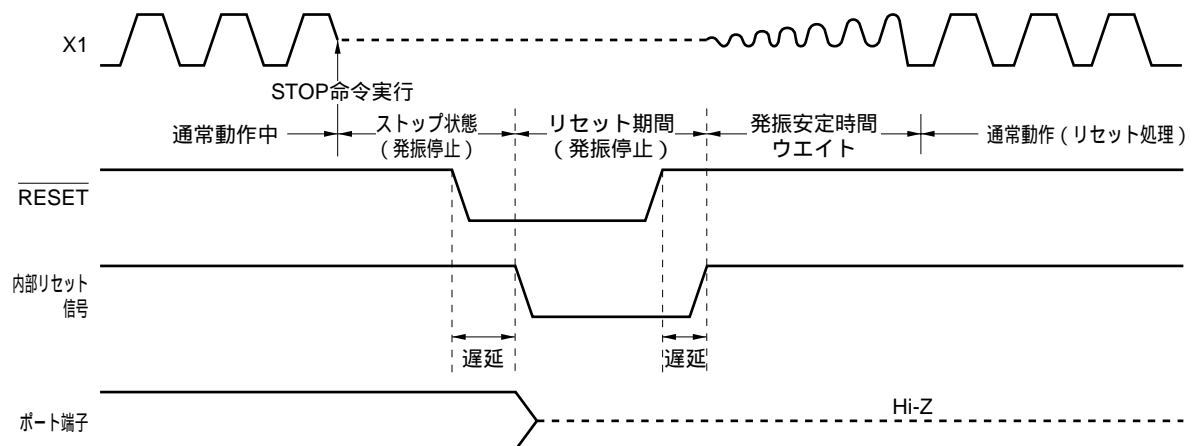


表11-1 各ハードウェアのリセット後の状態

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート (P0-P3) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM3)		FFH
ブルアップ抵抗オプション・レジスタ (PUO)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
発振安定時間選択レジスタ (OSTS)		04H
8ビット・タイマ/イベント・カウンタ	タイマ・レジスタ (TM00, TM01)	00H
	コンペア・レジスタ (CR00, CR01)	不定
	モード・コントロール・レジスタ (TMC00, TMC01)	00H
ウォッチドッグ・タイマ	タイマ・クロック選択レジスタ (TCL2)	00H
	モード・レジスタ (WDTM)	00H
シリアル・インタフェース	モード・レジスタ (CSIM00)	00H
	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM00)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS00)	00H
	ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC00)	00H
	送信シフト・レジスタ (TXS00)	FFH
	受信バッファ・レジスタ (RXB00)	不定
割り込み	要求フラグ・レジスタ (IF0)	00H
	マスク・フラグ・レジスタ (MK0)	FFH
	外部割り込みモード・レジスタ (INTM0)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

(メ モ)

第12章 μ PD78P9014

μ PD78P9014は、 μ PD789011, 789012の内部ROMを拡張し、ワン・タイムPROMに置き換えた製品です。
 μ PD78P9014とマスクROM製品の違いを表12 - 1に示します。

表12 - 1 μ PD78P9014とマスクROM製品の違い

項 目		ワン・タイムPROM製品	マスクROM製品	
		μ PD78P9014	μ PD789011	μ PD789012
内部メモリ	ROM	8 Kバイト	2 Kバイト	4 Kバイト
	高速RAM	256バイト	128バイト	
IC端子		なし	あり	
V_{PP} 端子		あり	なし	
電気的特性		個別のデータ・シートを参照してください。		

- ★ **注意** PROM製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でPROM製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品でなく）で十分な評価をしてください。

12.1 PROMプログラミング

μ PD78P9014に内蔵されているプログラム・メモリは、8 Kバイトの電氣的に書き込み可能なワン・タイムPROMです。このワン・タイムPROMの書き込み/ベリファイのために、表12-2に示す端子を使用します。その他、使用しない端子の処理は、1.4 端子接続図 (Top View) (2) PROMプログラミング・モードを参照してください。

なお、アドレス入力はなく、代わりにX1端子からのクロック入力によりアドレスを更新する方法をとっています。

表12-2 PROMプログラミング・モード時の端子

端子名	機能
V _{PP}	PROMプログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子 (通常はV _{DD} 電位)。
MD0-MD3	プログラム書き込み/ベリファイ時の動作モード選択端子。
D0-D7	データ・バス。
X1	プログラム書き込み/ベリファイ時のアドレス更新クロック入力。
V _{DD}	PROMプログラミング・モード設定および電源電圧印加端子。通常動作モード時は1.8~5.5 V, PROMプログラミング・モード時は+5.5 Vを印加。

12.1.1 動作モード

V_{DD}端子は+5.5 V, V_{PP}端子に+12.5 Vを印加すると、PROMプログラミング・モードになります。このモードは、MD0-MD3端子の設定により、表12-3のような動作モードになります。

表12-3 PROMプログラミングの動作モード

端子	V _{PP}	V _{DD}	MD0	MD1	MD2	MD3
動作モード						
プログラム・メモリ・アドレスの0クリア	+ 12.5	+ 5.5	H	L	H	L
書き込みモード			L	H	H	H
ベリファイ・モード			L	L	H	H
プログラム・インヒビット・モード			H	x	H	H

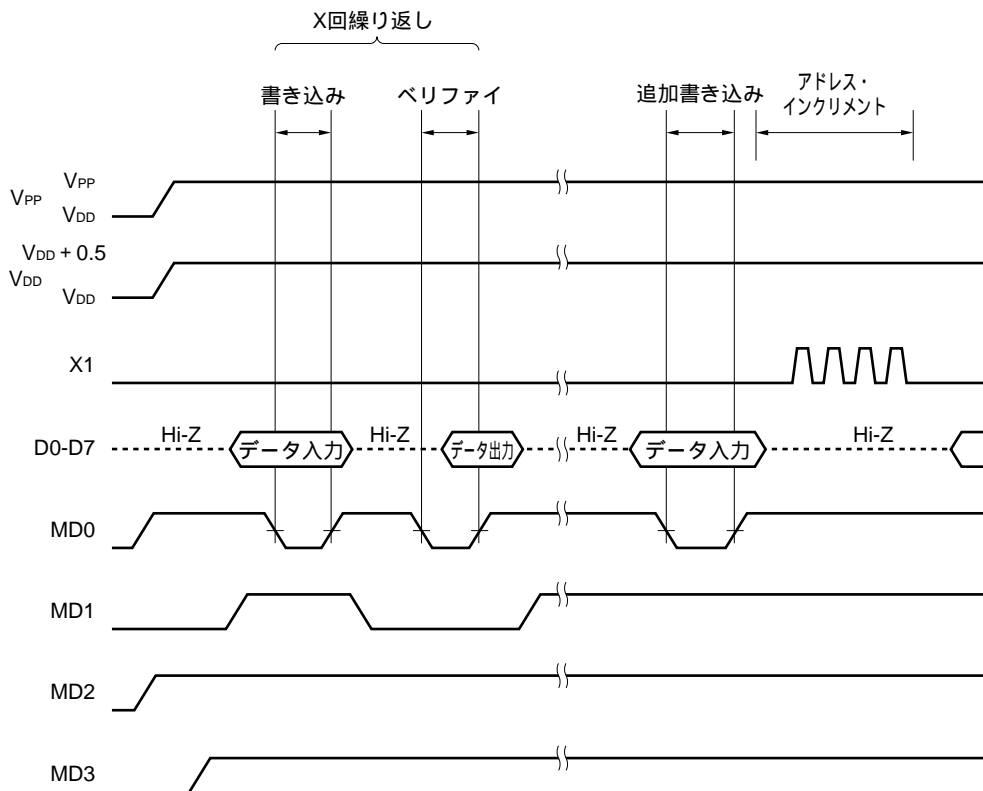
x : LまたはH

12.1.2 プログラム・メモリ書き込みの手順

プログラム・メモリ書き込みの手順は次のようになっており、高速書き込みが可能です。

- (1) 使用しない端子を抵抗を介してV_{SS}にプルダウン。X1端子はロウ・レベル。
- (2) V_{DD}, V_{PP}端子に5 Vを供給。
- (3) 10 μ sウエイト。
- (4) プログラム・メモリ・アドレスの0クリア・モード。
- (5) V_{DD}に + 5.5 V, V_{PP}に + 12.5 Vを供給。
- (6) 1 msの書き込みモードでデータを書き込む。
- (7) ベリファイ・モード。書き込めていれば(8)へ、書き込めていなければ(6), (7)を繰り返す。
- (8) ((6), (7)で書き込んだ回数: X) \times 1 msの追加書き込み。
- (9) X1端子にパルスを4発入力することにより、プログラム・メモリ・アドレスを更新(+1)。
- (10) (6) ~ (9)を最終アドレスまで繰り返す。
- (11) プログラム・メモリ・アドレスの0クリア・モード。
- (12) V_{DD}, V_{PP}端子の電圧を5 Vに変更。
- (13) 電源オフ。

(2) ~ (9)の手順を下図に示します。

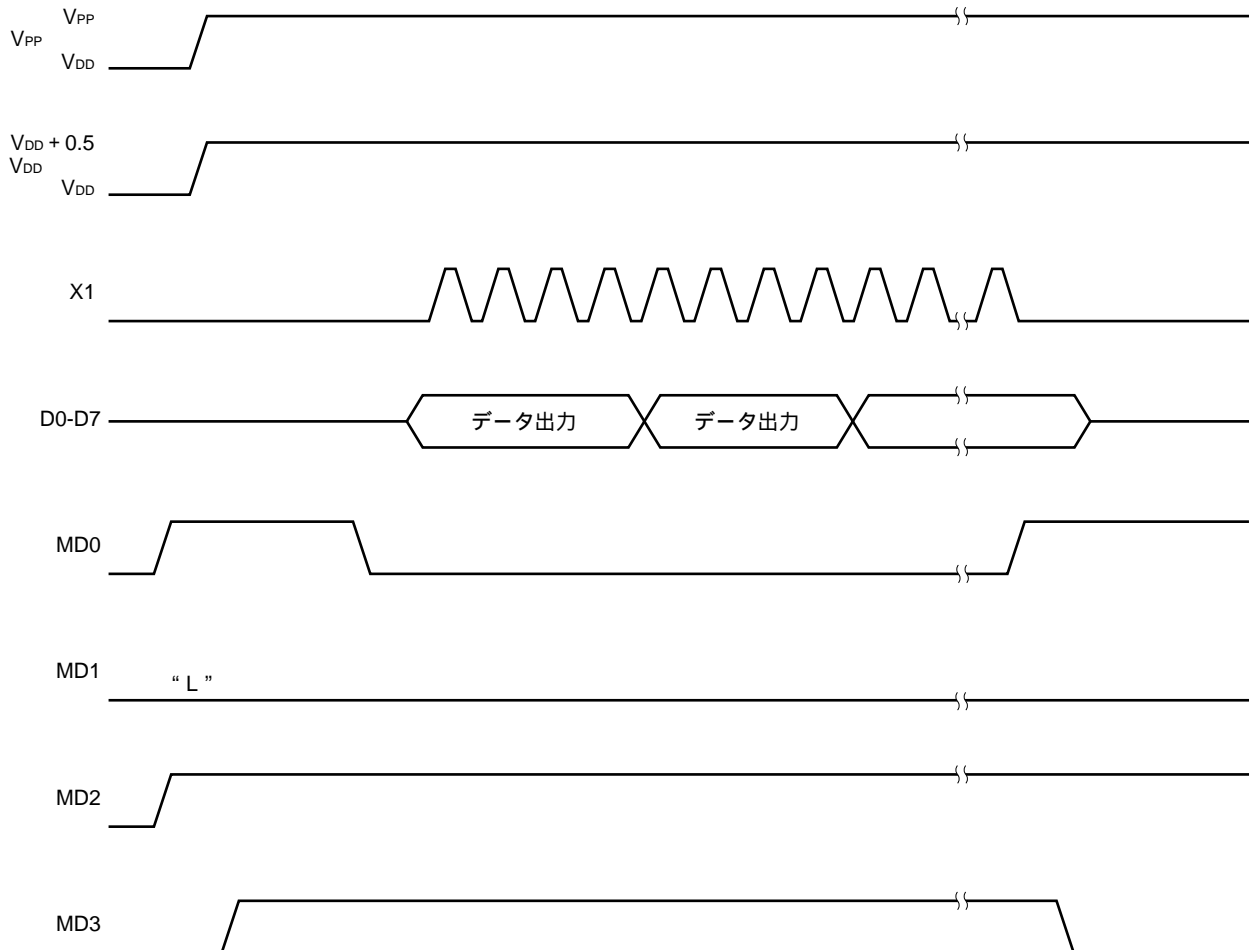


12.1.3 プログラム・メモリ読み出しの手順

プログラム・メモリ読み出しの手順は次のようになっています。

- (1) 使用しない端子を抵抗を介して V_{SS} にプルダウン。X1端子はロウ・レベル。
- (2) V_{DD} , V_{PP} 端子に +5 Vを供給。
- (3) 10 μ sウエイト。
- (4) プログラム・メモリ・アドレスの0クリア・モード。
- (5) V_{DD} に +5.5 V, V_{PP} に +12.5 Vを供給。
- (6) ベリファイ・モード。X1端子にクロック・パルスを入力すると4発入力する周期でデータを1アドレスずつ順次出力。
- (7) プログラム・メモリ・アドレスの0クリア・モード。
- (8) V_{DD} , V_{PP} 端子の電圧を +5 Vに変更。
- (9) 電源オフ。

この(2)～(7)の手順を下図に示します。



12.1.4 ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125	24時間

なお、NECでは、QTOP™マイコンの名称でワン・タイムPROMの書き込みから捺印、スクリーニング、ベリファイを有料で行うサービスを実施しております。詳細につきましては、販売員にご相談ください。

(メ モ)

第13章 命令セットの概要

μ PD789014サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編 (U11047J) を参照してください。

13.1 オペレーション

13.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・#：イミーディエト・データ指定
- ・\$：相対アドレス指定
- ・!：絶対アドレス指定
- ・[]：間接アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（下表の中のカッコ内の名称, R0, 1, R2など）のいずれの形式でも記述可能です。

表13-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号
saddr	FE80H-FF1FH イミーディエト・データまたはラベル
saddrp	FE80H-FF1FH イミーディエト・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミーディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr5	0040H-007FH イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル

備考 特殊機能レジスタの略号は表3-4 特殊機能レジスタ一覧を参照してください。

13.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x _H , x _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

13.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

13.2 オペレーション一覧

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	r byte			
	saddr, #byte	3	6	(saddr) byte			
	sfr, #byte	3	6	sfr byte			
	A, r <small>注1</small>	2	4	A r			
	r, A <small>注1</small>	2	4	r A			
	A, saddr	2	4	A (saddr)			
	saddr, A	2	4	(saddr) A			
	A, sfr	2	4	A sfr			
	sfr, A	2	4	sfr A			
	A, laddr16	3	8	A (addr16)			
	laddr16, A	3	8	(addr16) A			
	PSW, #byte	3	6	PSW byte	x	x	x
	A, PSW	2	4	A PSW			
	PSW, A	2	4	PSW A	x	x	x
	A, [DE]	1	6	A (DE)			
	[DE], A	1	6	(DE) A			
	A, [HL]	1	6	A (HL)			
	[HL], A	1	6	(HL) A			
	A, [HL + byte]	2	6	A (HL + byte)			
	[HL + byte], A	2	6	(HL + byte) A			
XCH	A, X	1	4	A X			
	A, r <small>注2</small>	2	6	A r			
	A, saddr	2	6	A (saddr)			
	A, sfr	2	6	A sfr			
	A, [DE]	1	8	A (DE)			
	A, [HL]	1	8	A (HL)			
	A, [HL, byte]	2	8	A (HL + byte)			

注1. r = Aを除く。

2. r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcpu) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp word			
	AX, saddrp	2	6	AX (saddrp)			
	saddrp, AX	2	8	(saddrp) AX			
	AX, rp <small>注</small>	1	4	AX rp			
	rp, AX <small>注</small>	1	4	rp AX			
XCHW	AX, rp <small>注</small>	1	8	AX rp			
ADD	A, #byte	2	4	A, CY A + byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte	x	x	x
	A, r	2	4	A, CY A + r	x	x	x
	A, saddr	2	4	A, CY A + (saddr)	x	x	x
	A, laddr16	3	8	A, CY A + (addr16)	x	x	x
	A, [HL]	1	6	A, CY A + (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte)	x	x	x
ADDC	A, #byte	2	4	A, CY A + byte + CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte + CY	x	x	x
	A, r	2	4	A, CY A + r + CY	x	x	x
	A, saddr	2	4	A, CY A + (saddr) + CY	x	x	x
	A, laddr16	3	8	A, CY A + (addr16) + CY	x	x	x
	A, [HL]	1	6	A, CY A + (HL) + CY	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte) + CY	x	x	x
SUB	A, #byte	2	4	A, CY A - byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte	x	x	x
	A, r	2	4	A, CY A - r	x	x	x
	A, saddr	2	4	A, CY A - (saddr)	x	x	x
	A, laddr16	3	8	A, CY A - (addr16)	x	x	x
	A, [HL]	1	6	A, CY A - (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte)	x	x	x

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	A, CY A - byte - CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte - CY	x	x	x
	A, r	2	4	A, CY A - r - CY	x	x	x
	A, saddr	2	4	A, CY A - (saddr) - CY	x	x	x
	A, !addr16	3	8	A, CY A - (addr16) - CY	x	x	x
	A, [HL]	1	6	A, CY A - (HL) - CY	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte) - CY	x	x	x
AND	A, #byte	2	4	A A ∧ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∧ byte	x		
	A, r	2	4	A A ∧ r	x		
	A, saddr	2	4	A A ∧ (saddr)	x		
	A, !addr16	3	8	A A ∧ (addr16)	x		
	A, [HL]	1	6	A A ∧ (HL)	x		
	A, [HL + byte]	2	6	A A ∧ (HL + byte)	x		
OR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, !addr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		
XOR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, !addr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A - byte	x	x	x
	saddr, #byte	3	6	(saddr) - byte	x	x	x
	A, r	2	4	A - r	x	x	x
	A, saddr	2	4	A - (saddr)	x	x	x
	A, !addr16	3	8	A - (addr16)	x	x	x
	A, [HL]	1	6	A - (HL)	x	x	x
	A, [HL + byte]	2	6	A - (HL + byte)	x	x	x
ADDW	AX, #word	3	6	AX, CY AX + word	x	x	x
SUBW	AX, #word	3	6	AX, CY AX - word	x	x	x
CMPW	AX, #word	3	6	AX - word	x	x	x
INC	r	2	4	r r + 1	x	x	
	saddr	2	4	(saddr) (saddr) + 1	x	x	
DEC	r	2	4	r r + 1	x	x	
	saddr	2	4	(saddr) (saddr) - 1	x	x	
INCW	rp	1	4	rp rp + 1			
DECW	rp	1	4	rp rp - 1			
ROR	A, 1	1	2	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
ROL	A, 1	1	2	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
RORC	A, 1	1	2	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
ROLC	A, 1	1	2	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
SET1	saddr.bit	3	6	(saddr.bit) 1			
	sfr.bit	3	6	sfr.bit 1			
	A.bit	2	4	A.bit 1			
	PSW.bit	3	6	PSW.bit 1	x	x	x
	[HL].bit	2	10	(HL).bit 1			
CLR1	saddr.bit	3	6	(saddr.bit) 0			
	sfr.bit	3	6	sfr.bit 0			
	A.bit	2	4	A.bit 0			
	PSW.bit	3	6	PSW.bit 0	x	x	x
	[HL].bit	2	10	(HL).bit 0			
SET1	CY	1	2	CY 1			1
CLR1	CY	1	2	CY 0			0

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
NOT1	CY	1	2	$CY \overline{CY}$			x
CALL	!addr16	3	6	$(SP - 1) (PC + 3)_H, (SP - 2) (PC + 3)_L,$ PC addr16, SP SP - 2			
CALLT	[addr5]	1	8	$(SP - 1) (PC + 1)_H, (SP - 2) (PC + 1)_L,$ PC _H (00000000, addr5 + 1), PC _L (00000000, addr5), SP SP - 2			
RET		1	6	PC _H (SP + 1), PC _L (SP), SP SP + 2			
RETI		1	8	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3, NMIS 0	R	R	R
PUSH	PSW	1	2	$(SP - 1) PSW, SP SP - 1$			
	rp	1	4	$(SP - 1) rp_H, (SP - 2) rp_L,$ SP SP - 2			
POP	PSW	1	4	PSW (SP), SP SP + 1	R	R	R
	rp	1	6	rp _H (SP + 1), rp _L (SP), SP SP + 2			
MOVW	SP, AX	2	8	SP AX			
	AX, SP	2	6	AX SP			
BR	!addr16	3	6	PC addr16			
	\$addr16	2	6	PC PC + 2 + jdisp8			
	AX	1	6	PC _H A, PC _L X			
BC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 1			
BNC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 0			
BZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 1			
BNZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 0			
BT	saddr.bit.\$saddr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 1			
	sfr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 1			
	A.bit, \$saddr16	3	8	PC PC + 3 + jdisp8 if A.bit = 1			
	PSW.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 1			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
BF	saddr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
	sfr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 0			
	A.bit, \$saddr16	3	8	PC PC + 3 + jdisp8 if A.bit = 0			
	PSW.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 0			
DBNZ	B, \$saddr16	2	6	B B - 1, then PC PC + 2 + jdisp8 if B 0			
	C, \$saddr16	2	6	C C - 1, then PC PC + 2 + jdisp8 if C 0			
	saddr, \$saddr16	3	8	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) 0			
NOP		1	2	No Operation			
EI		3	6	IE 1 (Enable Interrupt)			
DI		3	6	IE 0 (Disable interrupt)			
HALT		1	2	Set HALT Mode			
STOP		1	2	Set STOP Mode			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

13.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, INC, DEC, ROR, ROL, RORC, ROLC, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV ^注 XCH ^注	MOV XCH	MOV XCH	MOV	MOV	MOV XCH	MOV XCH	MOV XCH		ROR ROL RORC ROLC	
r	MOV	MOV											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											
[HL + byte]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW ^注				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

SET1, CLR1, NOT1, BT, BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[HL] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令/分岐命令

CALL, CALLT, BR, BC, BNC, BZ, BNZ, DBNZ

第2オペランド 第1オペランド	AX	!addr16	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET, RETI, NOP, EI, DI, HALT, STOP

(メ モ)

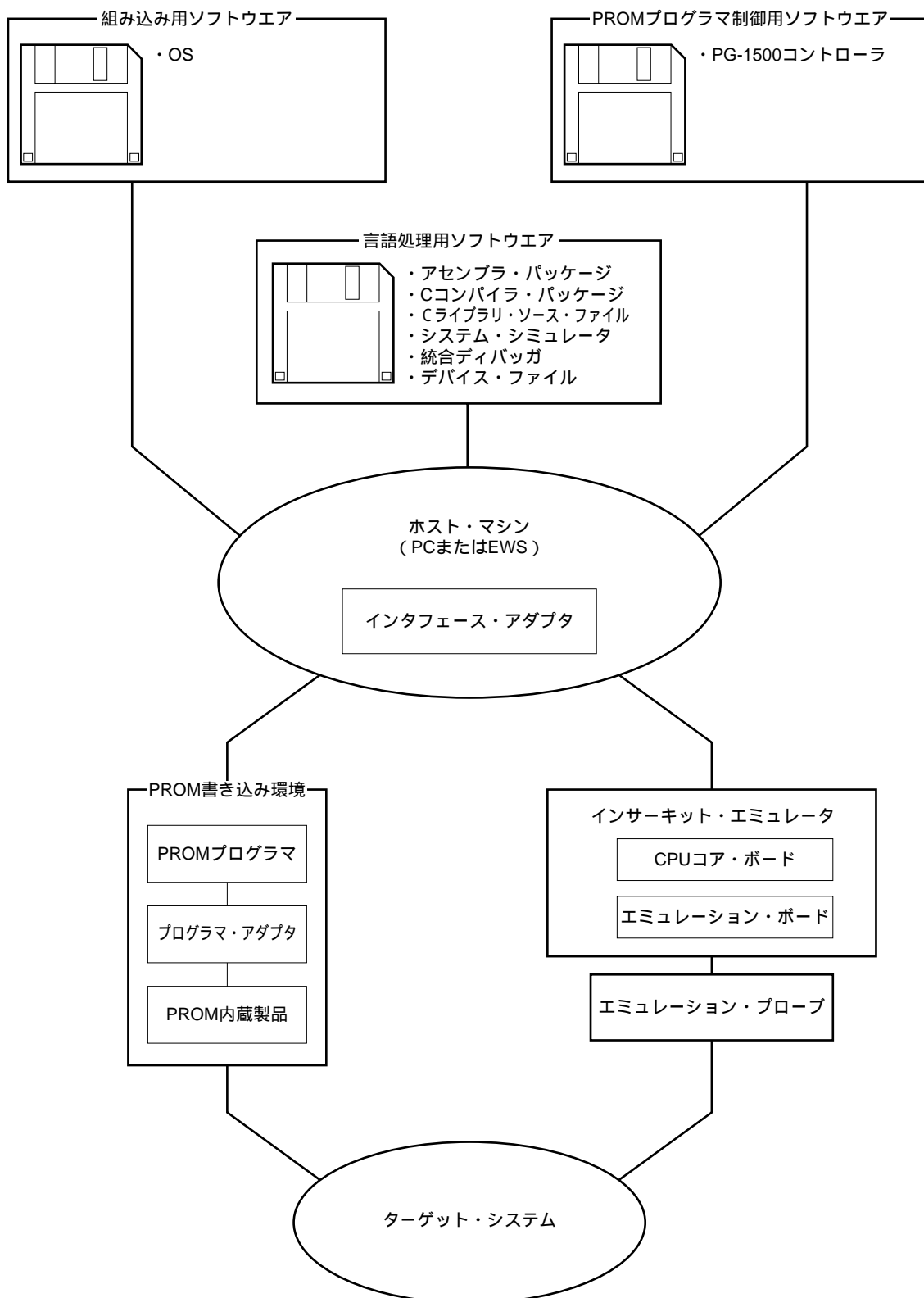
付録A 開発ツール

μ PD789014サブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。図A - 1に開発ツール構成を示します。

- ★ PC98-NXシリーズへの対応について
特に断りのないかぎり、IBM PC/AT™互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

- ★ Windowsについて
特に断りのないかぎり、「Windows」は次のOSを示しています。
 - ・ Windows3.1
 - ・ Windows95
 - ・ WindowsNT™Ver.4.0

図A - 1 開発ツール構成



A.1 言語処理用ソフトウェア

RA78K0S アセンブラ・パッケージ	<p>二モニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的にを行う機能を備えています。</p> <p>別売のデバイス・ファイル（DF789014）と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。</p>
	オーダ名称：μS××××RA78K0S
CC78K0S Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。</p>
	オーダ名称：μS××××CC78K0S
DF789014 ^注 デバイス・ファイル	<p>デバイス固有の情報が入ったファイルです。</p> <p>別売の各ツール（RA78K0S, CC78K0S, SM78K0S）と組み合わせて使用します。</p> <p>対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。</p>
	オーダ名称：μS××××DF789014

注 DF789014は、RA78K0S, CC78K0S, SM78K0Sのすべての製品に共通に使用できます。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

μS××××DF789014

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows ^注	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows ^注	3.5インチ2HC FD
BB13		英語Windows ^注	
3P16	HP9000シリーズ700 TM	HP-UX TM (Rel.10.10)	DAT (DDS)
3K13	SPARCstation TM	SunOS TM (Rel.4.1.4) ,	3.5インチ2HC FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT
3R13	NEWS TM (RISC)	NEWS-OS TM (Rel.6.1)	3.5インチ2HC FD

注 DOS環境でも動作します。

A.2 PROM書き込み用ツール

A.2.1 ハードウェア

PG-1500 PROMプログラマ	付属ボードおよび別売のPROMプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたはホスト・マシンからの操作によりプログラミングできるPROMプログラマです。 また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。
★ PA-78P9014GT PA-17K-DZ PROMプログラマ・アダプタ	μ PD78P9014用のPROMプログラマ・アダプタで、PG-1500に接続して使用します。

A.2.2 ソフトウェア

PG-1500コントローラ	PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。 PG-1500コントローラはDOSベースのアプリケーションです。Windows上で使用するときはDOS窓でご使用ください。 オーダ名称：μ S x x x x PG1500
---------------	--

備考 オーダ名称の x x x x は、使用するホスト・マシン、OSにより異なります。

μ S x x x x PG1500

x x x x	ホスト・マシン	OS	供給媒体
5A13	PC-9800シリーズ	MS-DOS™ (Ver.3.30 ~ Ver.6.2 ^注)	3.5インチ2HD FD
5B13	IBM PC/AT互換機	IBM DOS™ (J5.02/V ^注)	3.5インチ2HC FD

注 MS-DOS, IBM DOSのVer.5.0以降にはタスク・スワップ機能がありますが、上記のソフトウェアではタスク・スワップ機能は使用できません。

A.3 デバッグ用ツール

A.3.1 ハードウェア

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッグ（ID78K0S-NS）に対応しています。ACアダプタ、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-MC-PS-B ACアダプタ	AC100 Vのコンセントから電源を供給するためのアダプタです。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78K0S-NSのホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタです（Cバス対応）。
★ IE-70000-CD-IF-A ^{注1} PCカード・インタフェース	IE-78K0S-NSのホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです（PCMCIAソケット対応）。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78K0S-NSのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです（ISAバス対応）。
★ IE-70000-PCI-IF ^{注1} インタフェース・アダプタ	IE-78K0S-NSのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-789014-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
NP-28CT ^{注2} エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。28ピン・プラスチック・シュリンクDIP用です。
NP-28GT ^{注2} エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。28ピン・プラスチックSOP用です。

注1. 開発中

2. 株式会社内藤電誠町田製作所（044-822-3813）の製品です。ご購入の際は、NEC特約店にご相談ください。

A.3.2 ソフトウェア

ID78K0S-NS 統合ディバッガ (インサーキット・エミュレータ IE-78K0S-NS対応)	78K/0Sシリーズをディバグするためのコントロール・プログラムです。 グラフィカル・ユーザ・インタフェースとして、パソコン上ではWindows, EWS上ではOSF/Motif™を採用し、それらに準拠した外観と操作性を提供しています。また、C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をC言語レベルで表示させることも可能です。その他、タスク・ディバッガやシステム・パフォーマンス・アナライザなどの機能拡張モジュールを取り込むことにより、リアルタイムOSを使用したプログラムのディバグ効率を向上させることができます。 別売のデバイス・ファイルと組み合わせて使用します。 オーダ名称：μS××××ID78K0S-NS
--	---

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××ID78K0S-NS

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ2HC FD
BB13		英語Windows	

SM78K0S システム・シミュレータ	ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。 SM78K0SはWindows上で動作します。 SM78K0Sを使用することにより、インサーキット・エミュレータを使用しなくても、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル(DF789014)と組み合わせて使用します。 オーダ名称：μS××××SM78K0S
------------------------	--

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××SM78K0S

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ2HC FD
BB13		英語Windows	

付録B 組み込み用ソフトウェア

μ PD789014サブシリーズのプログラム開発やメンテナンスをより効率的に行うために、次の組み込み用ソフトウェアを用意しています。

MX78K0S OS	<p>μ ITRON仕様サブセットのOSです。MX78K0Sのニュークリアスを添付しています。タスク管理、イベント管理、時間管理を行います。タスク管理ではタスクの実行順序を制御し、次に実行するタスクへの切り替え処理を行います。</p> <p><PC環境で使用する場合の注意></p> <p>MX78K0SはDOSベースのアプリケーションです。Windows上で使用するときには、DOS窓をご使用ください。</p>
---------------	--

(メ モ)

付録C レジスタ索引

C.1 レジスタ索引 (50音順)

【あ行】

- アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) ... 109, 117
- アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) ... 107, 114, 116
- ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ... 98

【か行】

- 外部割り込みモード・レジスタ0 (INTM0) ... 141

【さ行】

- 受信バッファ・レジスタ00 (RXB00) ... 105
- シリアル動作モード・レジスタ00 (CSIM00) ... 106, 113, 115
- 送信シフト・レジスタ00 (TXS00) ... 105

【た行】

- タイマ・クロック選択レジスタ2 (TCL2) ... 97

【は行】

- 8ビット・コンペア・レジスタ00 (CR00) ... 84
- 8ビット・コンペア・レジスタ01 (CR01) ... 84
- 8ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) ... 85
- 8ビット・タイマ・モード・コントロール・レジスタ01 (TMC01) ... 86
- 8ビット・タイマ・レジスタ00 (TM00) ... 84
- 8ビット・タイマ・レジスタ01 (TM01) ... 84
- 発振安定時間選択レジスタ (OSTS) ... 150
- プルアップ抵抗オプション・レジスタ (PUO) ... 69
- プロセッサ・クロック・コントロール・レジスタ (PCC) ... 74
- ポート0 (P0) ... 61
- ポート1 (P1) ... 62
- ポート2 (P2) ... 63
- ポート3 (P3) ... 66
- ポート・モード・レジスタ0 (PM0) ... 68
- ポート・モード・レジスタ1 (PM1) ... 68
- ポート・モード・レジスタ2 (PM2) ... 68
- ポート・モード・レジスタ3 (PM3) ... 68, 87
- ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) ... 110, 118

[わ行]

割り込みマスク・フラグ・レジスタ0 (MK0) ... 140

割り込み要求フラグ・レジスタ0 (IF0) ... 139

C.2 レジスタ索引 (アルファベット順)

[A]

- ASIM00 : アシクロナス・シリアル・インタフェース・モード・レジスタ00 ... 107, 114, 116
ASIS00 : アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 ... 109, 117

[B]

- BRGC00 : ボー・レート・ジェネレータ・コントロール・レジスタ00 ... 110, 118

[C]

- CR00 : 8ビット・コンペア・レジスタ00 ... 84
CR00 : 8ビット・コンペア・レジスタ01 ... 84
CSIM00 : シリアル動作モード・レジスタ00 ... 106, 113, 115

[I]

- IF0 : 割り込み要求フラグ・レジスタ0 ... 139
INTM0 : 外部割り込みモード・レジスタ0 ... 141

[M]

- MK0 : 割り込みマスク・フラグ・レジスタ0 ... 140

[O]

- OSTS : 発振安定時間選択レジスタ ... 150

[P]

- P0 : ポート0 ... 61
P1 : ポート1 ... 62
P2 : ポート2 ... 63
P3 : ポート3 ... 66
PCC : プロセッサ・クロック・コントロール・レジスタ ... 74
PM0 : ポート・モード・レジスタ0 ... 68
PM1 : ポート・モード・レジスタ1 ... 68
PM2 : ポート・モード・レジスタ2 ... 68
PM3 : ポート・モード・レジスタ3 ... 68, 87
PUO : プルアップ抵抗オプション・レジスタ ... 69

[R]

- RXB00 : 受信バッファ・レジスタ00 ... 105

[T]

- TCL2 : タイマ・クロック選択レジスタ2 ... 97
TM00 : 8ビット・タイマ・レジスタ00 ... 84
TM01 : 8ビット・タイマ・レジスタ01 ... 84

TMC00	: 8ビット・タイマ・モード・コントロール・レジスタ00	...	85
TMC01	: 8ビット・タイマ・モード・コントロール・レジスタ01	...	86
TXS00	: 送信シフト・レジスタ00	...	105

[W]

WDTM	: ウォッチドッグ・タイマ・モード・レジスタ	...	98
------	------------------------	-----	----

付録D 改版履歴

★

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

版 数	前版からの改訂内容	適用箇所
第2版	μ PD789011, 789012, 78P9014を開発中から開発済みに変更	全般
	入出力ポートに対する注意事項を追加	第4章 ポート機能
	CPUクロックの切り替えに要する最大時間を変更	第5章 クロック発生回路
	ウォッチドッグ・タイマ・モード・レジスタの設定方法を変更し、注意事項を追加	第7章 ウォッチドッグ・タイマ
	外部割り込みモード・レジスタ0の設定方法に対する注意事項を追加	第9章 割り込み機能
	マスクابل割り込みで割り込み要求受け付けのタイミングに対する説明文を追加	
	RESET入力によるリセットのタイミングのタイミング・チャートを変更	第11章 リセット機能
	ウォッチドッグ・タイマのオーバフローによるリセットのタイミングのタイミング・チャートを変更	
	STOPモード中のRESET入力によるリセットのタイミングのタイミング・チャートを変更	
第3版	各端子の未使用時の推奨接続方法を変更	第2章 端子機能
	特殊機能レジスタの一部のレジスタの名称と略号を変更	第3章 メモリ空間
	8ビット・コンペア・レジスタ0nに注意文を追加	第6章 8ビット・タイマ / イベント・カウンタ
	8ビット・タイマ・モード・コントロール・レジスタ00の略号とフラグ名称を変更	
	8ビット・タイマ・モード・コントロール・レジスタ01の略号とフラグ名称を変更	
	インターバル・タイマの操作方法の説明文を変更	
	外部イベント・カウンタの操作方法の説明文を変更	
	方形波出力の操作方法の説明文を変更	第8章 シリアル・インタフェース00
	シリアル動作モード・レジスタ00の略号とフラグ名称を変更し、送受信動作に関する注意文を追加	
	アシンクロナス・シリアル・インタフェース・モード・レジスタ00の略号とフラグ名称を変更し、送信動作に関する注意文を追加	
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00で1ビット・メモリ操作命令が可能に説明文を変更	
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00の略号とフラグ名称を変更	
	アシンクロナス・シリアル・インタフェース (UART) モードで送信動作に関する説明文とRXB00レジスタの読み出し動作に関する説明文を追加	
	3線式シリアルI/Oモードで送受信動作に関する説明文を追加	
	割り込み要求フラグ・レジスタ0のフラグ名称を変更	
	割り込みマスク・フラグ・レジスタ0のフラグ名称を変更	
	PROM製品からマスクROM製品に置き換える場合に関する注意文を追加	第12章 μ PD78P9014
	言語処理用ソフトウェアのOSにSolarisを追加	付録A 開発ツール

版 数	前版からの改訂内容	適用箇所
第3版	PROMプログラマ・アダプタにPA-17K-DZを追加	付録A 開発ツール
	PCカード・インタフェースの名称を変更し、インタフェース・アダプタに新たにIE-70000-PCI-IFを追加	

(メ モ)

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン（インフォメーションセンター） （電話：午前 9:00～12:00，午後 1:00～5:00）	電話 : 044-548-8899 FAX : 044-548-7900 E-mail : s-info@saed.tmg.nec.co.jp
---	---

【営業関係お問い合わせ先】

半導体第一販売事業部	半導体第二販売事業部	半導体第三販売事業部						
	〒108-8001	東京都港区芝5-7-1	（日本電気本社ビル）			(03)3454-1111		
中部支社	半導体第一販売部	半導体第二販売部	〒460-8525	愛知県名古屋市中区錦1-17-1	（日本電気中部ビル）	(052)222-2170 (052)222-2190		
関西支社	半導体第一販売部	半導体第二販売部	半導体第三販売部	〒540-8551	大阪府大阪市中央区城見1-4-24	（日本電気関西ビル） (06) 945-3178 (06) 945-3200 (06) 945-3208		
北海道支社	札幌	(011)251-5599	宇都宮支店	宇都宮	(028)621-2281	北陸支社	金沢	(076)232-7303
東北支社	仙台	(022)267-8740	小山支店	小山	(0285)24-5011	京都支社	京都	(075)344-7824
岩手支店	盛岡	(019)651-4344	甲府支店	甲府	(0552)24-4141	神戸支社	神戸	(078)333-3854
郡山支店	郡山	(0249)23-5511	長野支社	松本	(0263)35-1662	中国支社	広島	(082)242-5504
いわき支店	いわき	(0246)21-5511	静岡支社	静岡	(054)254-4794	鳥取支店	鳥取	(0857)27-5311
長岡支店	長岡	(0258)36-2155	立川支社	立川	(042)526-5981,6167	岡山支店	岡山	(086)225-4455
水戸支店	水戸	(029)226-1717	埼玉支社	大宮	(048)649-1415	松山支店	松山	(089)945-4149
土浦支店	土浦	(0298)23-6161	千葉支社	千葉	(043)238-8116	九州支社	福岡	(092)261-2806
群馬支店	高崎	(027)326-1255	神奈川支社	横浜	(045)682-4524			
太田支店	太田	(0276)46-4011	三重支店	津	(059)225-7341			

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD789014サブシリーズ ユーザーズ・マニュアル
(U11187JJ3V0UM00 (第3版))

[お名前など] (さしつかえのない範囲で)
御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価 (各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ()					
()					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望
[]

5. このドキュメントをお届けしたのは
NEC販売員, 特約店販売員, NEC半導体ソリューション技術本部員,
その他 ()

ご協力ありがとうございました。
下記あてにFAXで送信いただくか、最寄りの販売員にコピーをお渡しください。