

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



# ユーザーズ・マニュアル

μPD788001A, 788002A, 78F8002A

LINトランシーバ&電源内蔵  
8ビット・シングルチップ・マイクロコントローラ

---

μPD788001A

μPD788002A

μPD78F8002A

〔メモ〕

# 目 次 要 約

第 1 章	概 説	...	11
第 2 章	端子機能	...	20
第 3 章	マイクロコントローラ機能	...	31
第 4 章	電源回路	...	35
第 5 章	LIN トランシーバ回路	...	37
第 6 章	フラッシュ・メモリ	...	42
第 7 章	電気的特性 (A) 水準品	...	51
第 8 章	外 形 図	...	70
第 9 章	アプリケーション例	...	71
付録 A	開発ツール	...	72
付録 B	改版履歴	...	78

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

MS-DOS , Windows および Windows NT は , 米国 Microsoft Corporation の米国およびその他の国における登録商標または商標です。

PC/AT は , 米国 IBM 社の商標です。

HP9000 シリーズ 700, HP-UX は , 米国 Hewlett-Packard 社の商標です。

SPARCstation は , 米国 SPARC International, Inc. の商標です。

Solaris, SunOS は , 米国 SUN Microsystems 社の商標です。

TRON は , The Realtime Operating system Nucleus の略称です。

ITRON は , Industrial TRON の略称です。

**本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。**

非該当品 :  $\mu$  PD78F8002A

ユーザ判定品 :  $\mu$  PD788001A, 788002A

- 本資料に記載されている内容は2006年9月現在のものです、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

# はじめに

**対象者** このマニュアルは、 $\mu$ PD788001A, 788002A, 78F8002A の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

**目的** このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

**構成**  $\mu$ PD788001A, 788002A, 78F8002A のマニュアルは、このマニュアルと 78K0/KB1 ユーザーズ・マニュアルおよび命令編（78K/0 マイクロコントローラ共通）の3冊に分かれています。

$\mu$ PD788001A, 788002A, 78F8002A ユーザーズ・マニュアル	78K0/KB1 ユーザーズ・マニュアル	78K/0 シリーズ ユーザーズ・マニュアル 命令編
端子機能	端子機能	CPU 機能
内部ブロック機能	内部ブロック機能	命令セット
内蔵周辺機能	割り込み	命令の説明
電気的特性	その他の内蔵周辺機能 電気的特性	

**読み方** このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。

この" "を PDF 上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

マイクロコントローラ部の機能詳細を知りたいとき

別冊の 78K0/KB1 ユーザーズ・マニュアル (U15836J) を参照してください。

78K0/KB1 製品名	78K0/KB1 製品名に対応する製品名
$\mu$ PD780101	-
$\mu$ PD780102	$\mu$ PD788001A
$\mu$ PD780103	$\mu$ PD788002A
$\mu$ PD78F0103	$\mu$ PD78F8002A

78K/0 マイクロコントローラの命令機能の詳細を知りたいとき

別冊の 78K/0 シリーズ ユーザーズ・マニュアル 命令編 (U12326J) を参照してください。

$\mu$ PD788001A, 788002A の(A1)の電気的特性を知りたいとき

別冊のデータ・シート (U18334E) を参照してください。

- 凡 例 データ表記の重み：左が上位桁，右が下位桁  
 アクティブ・ロウの表記：         (端子，信号名称に上線)  
 注：本文中につけた注の説明  
 注意：気をつけて読んでいただきたい内容  
 備考：本文の補足説明  
 数の表記：2進数... $\times\times\times$ または $\times\times\times$ B  
 10進数... $\times\times\times$   
 16進数... $\times\times\times$ H

$\mu$ PD788001A, 788002A, 78F8002A と $\mu$ PD788001, 788002, 78F8002 の違い

項 目	製品名 $\mu$ PD788001A, 788002A, 78F8002A	$\mu$ PD788001, 788002, 78F8002
最小命令実行時間	0.166 $\mu$ s (12 MHz 動作時)	0.2 $\mu$ s (10 MHz 動作時)
REG 出力電圧	5 V $\pm$ 2% (I <sub>CM</sub> = 100 mA)	5 V $\pm$ 5% (I <sub>CM</sub> = 100 mA)
LINO ドミナント・レベル出力電圧	0.3 V (V <sub>BUS</sub> = 7.3 V, I <sub>lino</sub> = 15 mA)	0.2 V (V <sub>BUS</sub> = 7.3 V, I <sub>lino</sub> = 15 mA) 0.4 V (V <sub>BUS</sub> = 18 V, I <sub>lino</sub> = 36 mA)
その他	電源回路，LIN トランシーバ回路の EMS 改善	-

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資 料 名	資料番号	
	和 文	英 文
$\mu$ PD788001A, 788002A, 78F8002A ユーザーズ・マニュアル	このマニュアル	U17742E
$\mu$ PD788001A(A1), 788002A(A1) データ・シート	-	U18334E
78K0/KB1 ユーザーズ・マニュアル	U15836J	U15836E
78K0 シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資 料 名	資料番号		
	和 文	英 文	
RA78K0 Ver.3.80 アセンブラ・パッケージ	操作編	U17199J	U17199E
	言語編	U17198J	U17198E
	構造化アセンブリ言語編	U17197J	U17197E
CC78K0 Ver.3.70 C コンパイラ	操作編	U17201J	U17201E
	言語編	U17200J	U17200E
ID78K0-QB Ver.2.81 統合ディバッガ	操作編	U16996J	U16996E
PM plus Ver.5.20		U16934J	U16934E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

### 開発ツール（ハードウェア）の資料（ユーザース・マニュアル）

資料名	資料番号	
	和文	英文
QB-78K0KX1H インサーキット・エミュレータ	U17081J	U17081E

### フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP4 フラッシュ・メモリ・プログラマ ユーザース・マニュアル	U15260J	U15260E

### その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC 半導体デバイスの品質水準	C11531J	C11531E
NEC 半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	C12769E
マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：[http:// www.necel.com/pkg/ja/jissou/index.html](http://www.necel.com/pkg/ja/jissou/index.html)

英文：[http:// www.necel.com/pkg/en/mount/index.html](http://www.necel.com/pkg/en/mount/index.html)

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

# 目 次

## 第1章 概 説 ... 11

- 1.1 特 徴 ... 11
- 1.2 応用分野 ... 12
- 1.3 オータ情報 ... 12
- 1.4 品質水準 ... 12
- 1.5 端子接続図 (Top View) ... 13
- 1.6 ブロック図 ... 15
  - 1.6.1 マイクロコントローラ部ブロック図 ... 16
  - 1.6.2 電源&LINトランシーバ部ブロック図 ... 17
- 1.7 機能概要 ... 18

## 第2章 端子機能 ... 20

- 2.1 端子機能一覧 ... 20
- 2.2 端子機能の説明 ... 23
  - 2.2.1 P00-P03 (Port 0) ... 23
  - 2.2.2 P10-P17 (Port 1) ... 23
  - 2.2.3 P20-P22 (Port 2) ... 25
  - 2.2.4 P30-P33 (Port 3) ... 25
  - 2.2.5 P120 (Port 12) ... 25
  - 2.2.6 P130 (Port 13) ... 25
  - 2.2.7 AVREF ... 25
  - 2.2.8 AVSS ... 26
  - 2.2.9  $\overline{\text{RESET}}$  ... 26
  - 2.2.10 X1, X2 ... 26
  - 2.2.11 VDD ... 26
  - 2.2.12 VSS ... 26
  - 2.2.13 VPP (フラッシュ・メモリ製品のみ) ... 26
  - 2.2.14 IC (マスクROM製品のみ) ... 26
  - 2.2.15 LINI ... 27
  - 2.2.16 LINO ... 27
  - 2.2.17 MSLP ... 27
  - 2.2.18 UMODE ... 27
- 2.3 端子の入出力回路と未使用端子の処理 ... 28

## 第3章 マイクロコントローラ機能 ... 31

- 3.1 ポート機能 ... 31
  - 3.1.1 機能詳細説明 ... 32
- 3.2 A/Dコンバータ ... 33
  - 3.2.1 機能詳細説明 ... 33
- 3.3 ポート機能, A/Dコンバータ以外の機能説明 ... 34

## 第4章 電源回路 ... 35

- 4.1 電源機能 ... 35
- 4.2 過電流保護機能 ... 35
- 4.3 電源回路構成例 ... 36

## 第5章 LINトランシーバ回路 ... 37

- 5.1 LINトランシーバ機能 ... 37
- 5.2 LINトランシーバの構成 ... 37
- 5.3 動作モード (UMODE = Low) ... 38
- 5.4 保護機能 ... 41
  - 5.4.1 過電流制限回路 ... 41
  - 5.4.2 過熱保護回路 ... 41
  - 5.4.3 保護回路動作 ... 41

## 第6章 フラッシュ・メモリ ... 42

- 6.1 メモリ・サイズ切り替えレジスタ ... 43
- 6.2 フラッシュ・ライターによる書き込み方法 ... 44

## 第7章 電気的特性 (A) 水準品 ... 51

- 7.1 絶対最大定格 ... 51
- 7.2 電源部特性 ... 53
- 7.3 マイクロコントローラ部特性 ... 54
- 7.4 LINトランシーバ部特性 ... 68

## 第8章 外形図 ... 70

## 第9章 アプリケーション例 ... 71

## 付録A 開発ツール ... 72

- A.1 ソフトウェア・パッケージ ... 74
- A.2 言語処理用ソフトウェア ... 74
- A.3 制御ソフトウェア ... 75
- A.4 フラッシュ・メモリ書き込み用ツール ... 75
- A.5 デバッグ用ツール (ハードウェア) ... 76
  - A.5.1 インサーキット・エミュレータ QB-78K0KX1Hを使用する場合 ... 76
- A.6 デバッグ用ツール (ソフトウェア) ... 77

## 付録B 改版履歴 ... 78

- B.1 本版で改訂された主な箇所 ... 78

# 第1章 概 説

μ PD788001A, 788002A, 78F8002Aは, LINトランシーバ, 電源および各種ドライバを内蔵したアナログ・チップと8ビット・マイクロコントローラ・チップを1パッケージにしたMCP (Multi Chip Package) です。

8ビット・マイクロコントローラ部は, 78K0/KB1を搭載しています。

## 1.1 特 徴

ROM, RAM容量

品名	項目	プログラム・メモリ (ROM)	データ・メモリ (内部高速RAM)
μ PD788001A	マスクROM	16 Kバイト	768バイト
μ PD788002A		24 Kバイト	
μ PD78F8002A	フラッシュ・メモリ	24 Kバイト <sup>注</sup>	

注 メモリ・サイズ切り替えレジスタ (IMS) により, 内部フラッシュ・メモリ, 内部高速RAM容量の変更可能。

パワーオン・クリア (POC) 回路, 低電圧検出 (LVI) 回路内蔵

内蔵発振器によるCPUデフォルト・スタートにより, ショート・スタート・アップが可能

内蔵発振器によるクロック・モニタ機能内蔵

ウォッチドッグ・タイマ (低速内蔵発振クロックで動作可能) 内蔵

I/Oポート: 21本

タイマ: 5チャンネル

シリアル・インタフェース: 2チャンネル

・UART (LIN (Local Interconnect Network) -bus対応): 1チャンネル

・CSI/UART<sup>注</sup>: 1チャンネル

10ビット分解能A/Dコンバータ: 3チャンネル

電源回路内蔵 (パワー・トランジスタは外付け)

出力電圧: 5 V ± 2%

過電流保護回路内蔵

LINトランシーバ

LIN Specification Rev.2.0準拠

ウエイクアップ機能内蔵

スリープ機能内蔵により低消費電力を実現

スレーブ・アプリケーション用プルアップ抵抗内蔵

LINドライバ過電流制限回路内蔵

LINドライバ過熱保護回路内蔵

○パッケージ: 38ピン・プラスチックSSOP (7.62 mm (300))

動作周囲温度: T<sub>A</sub> = -40 ~ +85

注 端子を兼用しているため, どちらかを選択して使用します。

## 1.2 応用分野

自動車電装

ボディ電装系のシステム制御

- ・パワー・ウインドウ
- ・キーレス・エントリ受信
- ・イモビライザ
- ・ミラー・コントロールなど

## 1.3 オーダ情報

オーダ名称	パッケージ	内部ROM
$\mu$ PD788001AMC(A)-xxx-GAA-AX	38ピン・プラスチックSSOP(7.62mm (300))	マスクROM
$\mu$ PD788002AMC(A)-xxx-GAA-AX	"	"
$\mu$ PD78F8002AM5MC(A)-GAA-AX	"	フラッシュ・メモリ
$\mu$ PD78F8002AM6MC(A)-GAA-AX	"	"

**備考** xxxはROMコード番号です。

マスクROM製品 ( $\mu$ PD788001A, 788002A) にはマスク・オプションがあります。オーダの際に「ソフトウェアにより内蔵発振クロック停止可能/停止不可」を選択することができます。

マスクROM製品のマスク・オプションに対応するフラッシュ・メモリ製品は、次のとおりです。

表1 - 1 マスクROM製品のマスク・オプションと対応するフラッシュ・メモリ製品

マスク・オプション		フラッシュ・メモリ製品 (オーダ名称)
POC回路	内蔵発振器	
POC使用 ( $V_{POC} = 3.5 V \pm 0.2 V$ )	停止不可	$\mu$ PD78F8002AM5MC(A)-GAA-AX
	ソフトウェアにより停止可能	$\mu$ PD78F8002AM6MC(A)-GAA-AX

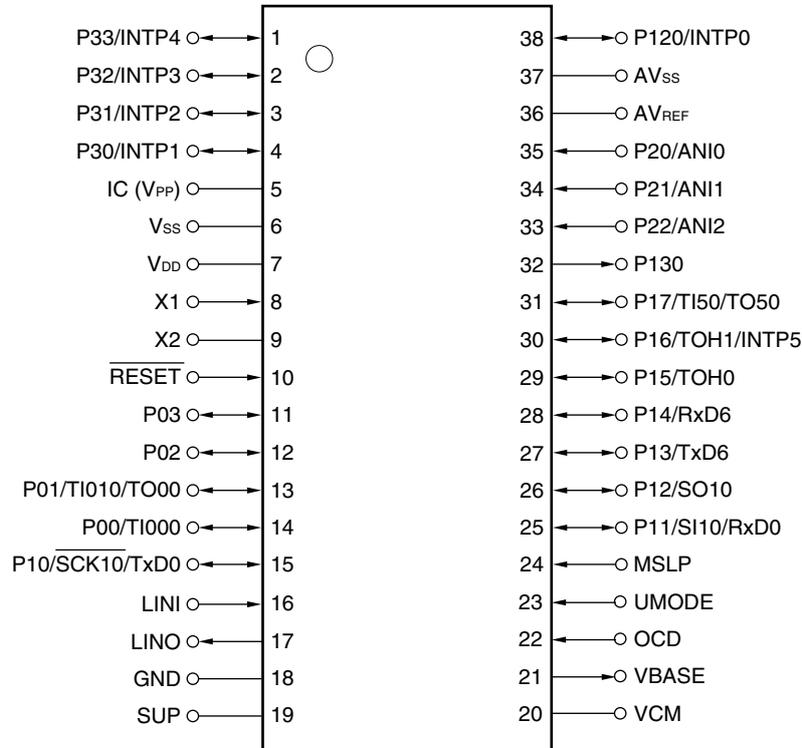
## 1.4 品質水準

オーダ名称	パッケージ	品質水準
$\mu$ PD788001AMC(A)-xxx-GAA-AX	38ピン・プラスチックSSOP(7.62mm (300))	特別(高信頼度電子機器用)
$\mu$ PD788002AMC(A)-xxx-GAA-AX	"	"
$\mu$ PD78F8002AM5MC(A)-GAA-AX	"	"
$\mu$ PD78F8002AM6MC(A)-GAA-AX	"	"

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

## 1.5 端子接続図 (Top View)

・ 38ピン・プラスチックSSOP (7.62 mm (300))



注意1. IC (Internally Connected) 端子はV<sub>SS</sub>に直接接続してください。

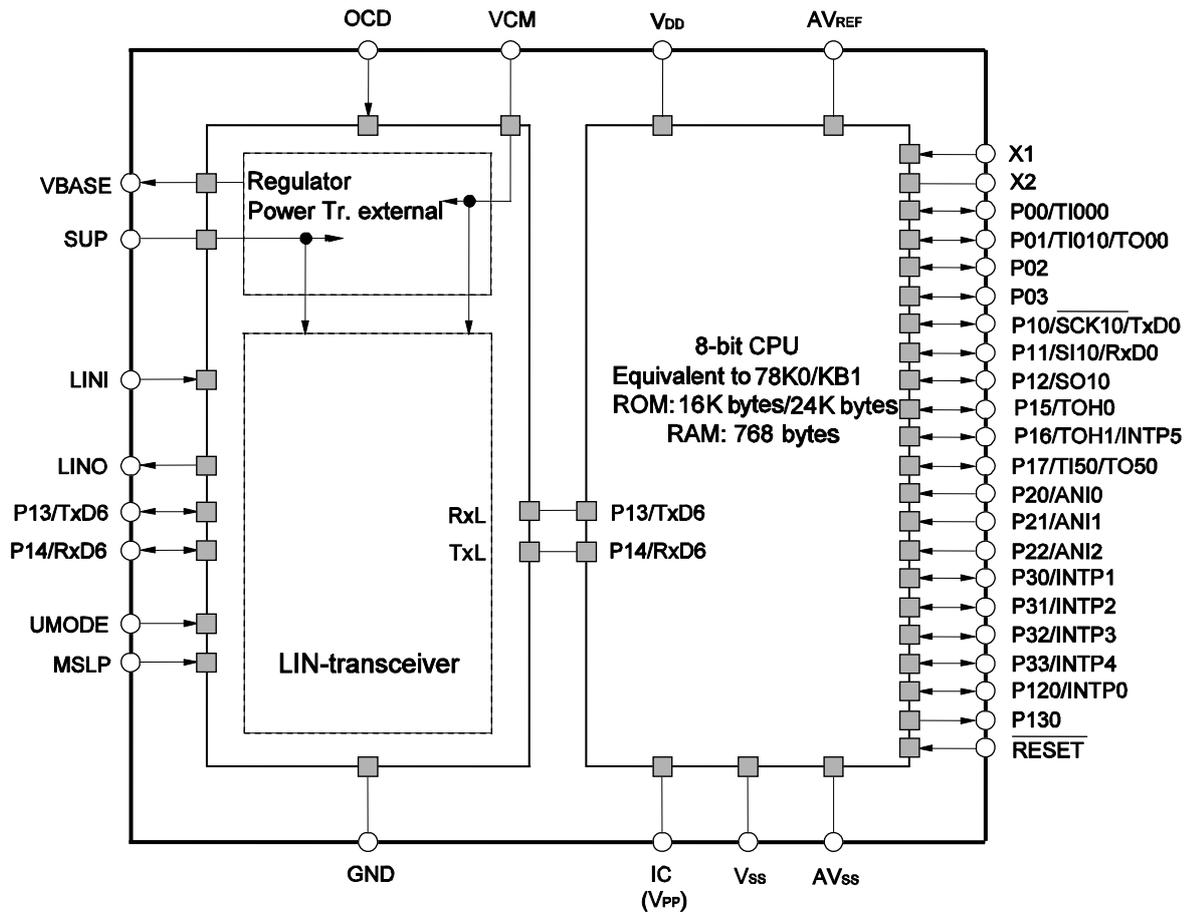
2. AV<sub>REF</sub>端子は、V<sub>DD</sub>に接続してください。
3. AV<sub>SS</sub>端子は、V<sub>SS</sub>に接続してください。
4. V<sub>SS</sub>とGND端子は同電位としてください。
5. VCMとV<sub>DD</sub>端子は同電位としてください。

備考 ( )内は、μ PD78F8002Aのとき。

## 端子名称

ANI0-ANI2	:Analog Input	RxD0, RxD6	:Receive Data
AVREF	:Analog Reference Voltage	SCK10	:Serial Clock Input/Output
AVSS	:Analog Ground	SI10	:Serial Data Input
GND	:Ground	SO10	:Serial Data Output
IC	:Internally Connected	SUP	:Power Supply
INTP0-INTP5	: External Interrupt Input	TI000, TI010, TI50	:Timer Input
LINI	:LIN bus data Input	TO00, TO50,	:Timer Output
LINO	:LIN bus data Output	TOH0, TOH1	
MSLP	:Mode Select Port	TxD0, TxD6	:Transmit Data
OCD	:Over Current Detect	UMODE	:Uart/LIN Mode Select Port
P00-P03	:Port 0	VBASE	:Base Control
P10-P17	:Port 1	VCM	:Vcc Monitor
P120	:Port 12	VDD	:Power Supply for Micro
P130	:Port 13	VPP	:Programming Power Supply
P20-P22	:Port 2	VSS	:Ground
P30-P33	:Port 3	X1, X2	:Crystal (X1 Input clock)
RESET	:Reset		

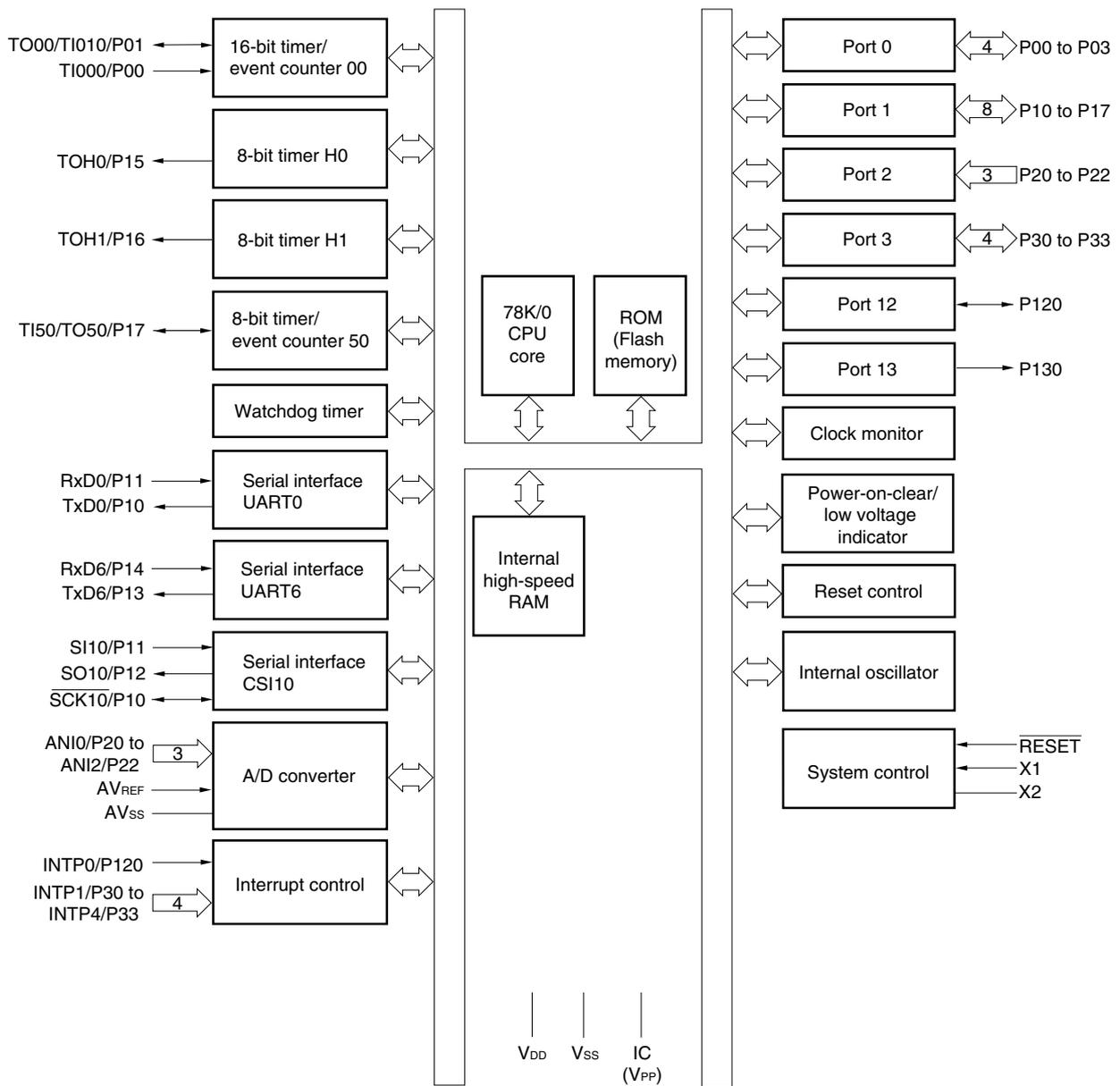
## 1.6 ブロック図



- 注意 1.  $\mu$  PD788001A, 788002A, 78F8002AのA/D入力は、3チャンネル（ANI0-ANI2）です。78K0/KB1製品のA/Dチャンネル（4チャンネル）数とは、異なります。
2. V<sub>SS</sub>とGNDは同電位としてください。
3. VCMとV<sub>DD</sub>端子は同電位としてください。
4.  $\mu$  PD788001A, 788002A, 78F8002Aは、マイクロコントローラとアナログ（電源回路，LINトランシーバ）の2チップを1パッケージに搭載したMCP (Multi Chip Package) です。
5. P13/TxD6とP14/RxD6端子は、パッケージ内部でLINトランシーバ回路と接続されています。

備考 ( )内は、 $\mu$  PD78F8002Aのとき

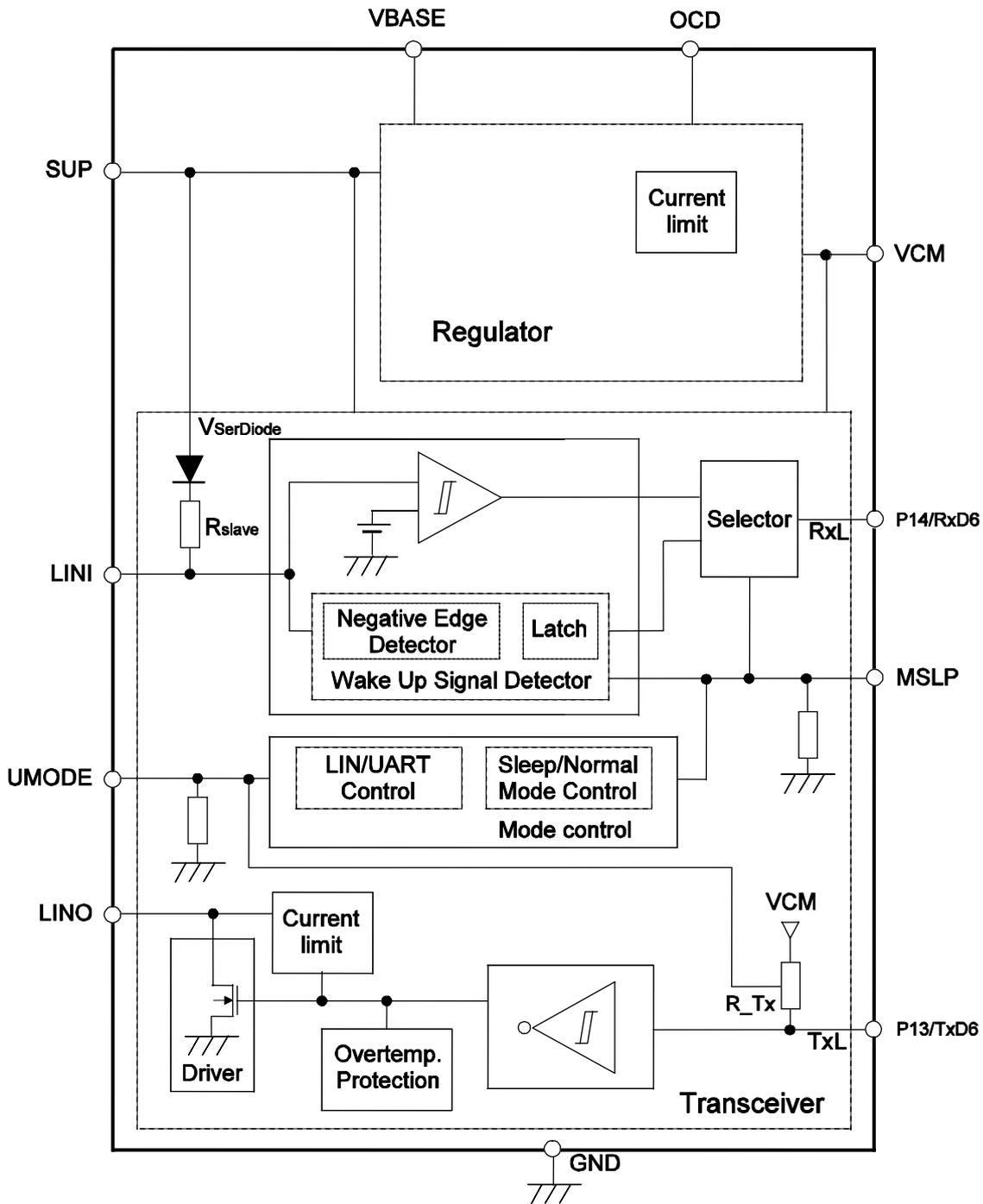
### 1.6.1 マイクロコントローラ部ブロック図



**注意**  $\mu$  PD788001A, 788002A, 78F8002AのA/D入力は、3チャンネル（ANI0-ANI2）です。78K0/KB1製品のA/Dチャンネル（4チャンネル）数とは、異なります。

**備考** ( )内は、 $\mu$  PD78F8002Aのとき

1.6.2 電源&LINトランシーバ部ブロック図



## 1.7 機能概要

( 1/2 )

項 目		μ PD788001A	μ PD788002A	μ PD78F8002A
内部メモリ	ROM	16 Kバイト	24 Kバイト	24 Kバイト (フラッシュ・メモリ)
	高速RAM	768バイト		
メモリ空間		64 Kバイト		
X1入力クロック (発振周波数)		セラミック / 水晶発振 ( 12 MHz : V <sub>DD</sub> = 4.0 ~ 5.1 V )		
内蔵発振クロック (発振周波数)		内蔵発振器 ( 240 kHz [TYP.] : V <sub>DD</sub> = 2.5 ~ 5.1 V )		
汎用レジスタ		8ビット×32レジスタ ( 8ビット×8レジスタ×4バンク )		
最小命令実行時間		0.166 μs / 0.333 μs / 0.666 μs / 1.333 μs / 2.666 μs ( X1入力クロック : f <sub>XP</sub> = 12 MHz動作時 ) 8.3 μs / 16.6 μs / 33.2 μs / 66.4 μs / 132.8 μs [TYP.] ( 内蔵発振クロック : f <sub>R</sub> = 240 kHz ( TYP. ) 動作時 )		
命令セット		<ul style="list-style-type: none"> <li>・ 16ビット演算</li> <li>・ 乗除算 ( 8ビット×8ビット , 16ビット÷8ビット )</li> <li>・ ビット操作 ( セット , リセット , テスト , ブール演算 )</li> <li>・ BCD補正など</li> </ul>		
I/Oポート		合計 : 21本 CMOS入出力 : 17本 CMOS入力 : 3本 CMOS出力 : 1本		
タイマ		<ul style="list-style-type: none"> <li>・ 16ビット・タイマ / イベント・カウンタ : 1チャンネル</li> <li>・ 8ビット・タイマ / イベント・カウンタ : 1チャンネル</li> <li>・ 8ビット・タイマ : 2チャンネル</li> <li>・ ウォッチドッグ・タイマ : 1チャンネル</li> </ul>		
	タイマ出力	4本 ( PWM出力 : 3本 )		
A/Dコンバータ		10ビット分解能×3チャンネル		
シリアル・インタフェース		<ul style="list-style-type: none"> <li>・ LIN-bus対応UART : 1チャンネル</li> <li>・ 3線式シリアルI/O/UART<sup>注</sup> : 1チャンネル</li> </ul>		
ベクタ割り込み要因	内部	12		
	外部	6		
リセット		<ul style="list-style-type: none"> <li>・ RESET端子によるリセット</li> <li>・ ウォッチドッグ・タイマによる内部リセット</li> <li>・ クロック・モニタによる内部リセット</li> <li>・ パワーオン・クリアによる内部リセット</li> <li>・ 低電圧検出回路による内部リセット</li> </ul>		
LINトランシーバ		<ul style="list-style-type: none"> <li>・ LIN Specification Rev.2.0準拠</li> <li>・ ウェイクアップ機能内蔵</li> <li>・ スリープ機能内蔵</li> <li>・ スレーブ・アプリケーション用ブルアップ抵抗内蔵</li> <li>・ LINドライバ過電流保護回路内蔵</li> <li>・ LINドライバ過熱保護回路内蔵</li> </ul>		
電源		<ul style="list-style-type: none"> <li>・ 出力電圧 : 5 V ± 2%</li> <li>・ 過電流保護回路内蔵</li> </ul>		
動作周囲温度		T <sub>A</sub> = - 40 ~ + 85		
パッケージ		38ピン・プラスチックSSOP ( 7.62 mm ( 300 mil ) )		

注 端子を兼用しているため、どちらかを選択して使用します。

次にタイマの概要を示します。

		16ビット・タイマ/ イベント・カウンタ00	8ビット・タイマ/ イベント・カウンタ50	8ビット・タイマH0, H1		ウォッチドッグ・ タイマ
				TMH0	TMH1	
動作モード	インターバル・ タイマ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	-
	外部イベント・ カウンタ	1チャンネル	1チャンネル	-	-	-
	ウォッチドッ グ・タイマ	-	-	-	-	1チャンネル
機能	タイマ出力	1出力	1出力	1出力	1出力	-
	PPG出力	1出力	-	-	-	-
	PWM出力	-	1出力	1出力	1出力	-
	パルス幅測定	2入力	-	-	-	-
	方形波出力	1出力	1出力	1出力	1出力	-
	割り込み要因	2	1	1	1	-

## 第2章 端子機能

### 2.1 端子機能一覧

端子の入出力バッファ電源には、 $AV_{REF}$ 、 $V_{DD}$ の2系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電源	対応する端子
$AV_{REF}$	P20-P22
$V_{DD}$	P20-P22以外の端子

#### (1) ポート機能

端子名称	入出力	機能	リセット時	兼用端子
P00	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	TI000
P01				TI010/TO00
P02				-
P03				-
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	$\overline{SCK10}/TxD0$
P11				SI10/RxD0
P12				SO10
P13				TxD6
P14				RxD6
P15				TOH0
P16				TOH1/INTP5
P17				TI50/TO50
P20-P22	入力	ポート2。 3ビット入力専用ポート。	入力	ANI0-ANI2
P30-P33	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	INTP1-INTP4
P120	入出力	ポート12。1ビット入出力ポート。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	INTP0
P130	出力	ポート13。1ビット出力専用ポート。	出力	-

## (2) ポート以外の機能 (1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力	入力	P120
INTP1-INTP4				P30-P33
INTP5				P16/TOH1
SI10	入力	シリアル・インタフェースのシリアル・データ入力	入力	P11/RxD0
SO10	出力	シリアル・インタフェースのシリアル・データ出力	入力	P12
$\overline{\text{SCK10}}$	入出力	シリアル・インタフェースのクロック入力/出力	入力	P10/TxD0
RxD0	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力	入力	P11/SI10
RxD6				P14
TxD0	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力	入力	P10/ $\overline{\text{SCK10}}$
TxD6				P13
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ入力	入力	P00
TI010				
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力	P01/TO00
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力	P17/TO50
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力	P17/TO50
TOH0	出力	8ビット・タイマH出力	入力	P15
TOH1				P16/INTP5
ANI0-ANI2	入力	A/Dコンバータのアナログ入力	入力	P20-P22
AVREF	入力	A/Dコンバータの基準電圧入力	-	-
AVSS	-	A/Dコンバータのグラウンド電位。V <sub>SS</sub> と同電位にしてください。	-	-
$\overline{\text{RESET}}$	入力	システム・リセット入力	-	-
X1	入力	X1入力クロック発振用クリスタル接続	-	-
X2	-		-	-

## (2) ポート以外の機能 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
V <sub>DD</sub>	-	マイクロコントローラ部電源	-	-
V <sub>SS</sub>	-	マイクロコントローラ部グランド電位	-	-
IC	-	内部接続されています。V <sub>SS</sub> に直接接続してください。	-	-
V <sub>PP</sub>	-	フラッシュ・メモリ・プログラミング・モード設定。 プログラム書き込み/ベリファイ時の高電圧印加。 通常動作モード時は、V <sub>SS</sub> に直接接続してください。	-	-
LINI	入力	LINバス接続端子 <sup>注</sup>	-	-
LINO	出力	LINドライバ端子 <sup>注</sup>	-	-
VBASE	出力	電源用外付けトランジスタのベース電流コントロール端子	-	-
OCD	入力	電源過電流モニタ端子	-	-
VCM	-	電源電圧モニタおよび電源端子	-	-
MSLP	入力	スリープ・モード選択端子	-	-
UMODE	入力	LINトランシーバ機能の使用 / 未使用選択端子。 Low : LINトランシーバ動作 High : LINトランシーバ動作停止	-	-
SUP	-	供給電源接続端子	-	-
GND	-	LINトランシーバ部グランド電位	-	-

注 LINIとLINO端子間には負電圧保護用に外付けダイオードが必要です。

注意 V<sub>SS</sub>とGND端子は、同電位としてください。

## 2.2 端子機能の説明

### 2.2.1 P00-P03 (Port 0)

4ビットの入出力ポートです。入出力ポートのほかにタイマの入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

#### (2) コントロール・モード

タイマの入出力として機能します。

##### (a) TI000

16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ信号入力端子です。

##### (b) TI010

16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ信号入力端子です。

##### (c) TO00

16ビット・タイマ/イベント・カウンタ00のタイマ出力端子です。

### 2.2.2 P10-P17 (Port 1)

8ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

ただし、P13, P14については、UMODE端子の設定があわせて必要です。

##### (a) P13

LINトランシーバ機能を使用可能状態 (UMODE = Low) に設定した場合、マイクロコントローラからのLIN BUS送信信号がそのまま出力されます。

LINトランシーバ機能を未使用状態 (UMODE = High) に設定した場合、P13の入出力端子となります。

## (b) P14

LINトランシーバ機能を使用可能状態 (UMODE = Low) に設定した場合, LINトランシーバからのLIN BUS受信信号がそのまま出力されます。

LINトランシーバ機能を未使用状態 (UMODE = High) に設定した場合, P14の入出力端子となります。

## (2) コントロール・モード

外部割り込み要求入力, シリアル・インタフェースのデータ入出力, クロック入出力, タイマの入出力として機能します。

## (a) SI10, SO10

シリアル・インタフェースのシリアル・データの入出力端子です。

(b)  $\overline{\text{SCK10}}$ 

シリアル・インタフェースのシリアル・クロックの入出力端子です。

## (c) RxD0, TxD0

アシンクロナス・シリアル・インタフェースのシリアル・データの入出力端子です。

## (d) TI50

8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力端子です。

## (e) TO50, TOH0, TOH1

タイマ出力端子です。

## (f) INTP5

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

## (g) TxD6

LINトランシーバ機能を使用可能状態 (UMODE = Low) に設定した場合, マイクロコントローラからのLIN BUS送信信号がそのまま出力されます。

LINトランシーバ機能を未使用状態 (UMODE = High) に設定した場合, アシンクロナス・シリアル・インタフェースのシリアル・データの出力端子となります。

## (h) RxD6

LINトランシーバ機能を使用可能状態 (UMODE = Low) に設定した場合, LINトランシーバからのLIN BUS受信信号がそのまま出力されます。

LINトランシーバ機能を未使用状態 (UMODE = High) に設定した場合, アシンクロナス・シリアル・インタフェースのシリアル・データの入力端子となります。

### 2.2.3 P20-P22 (Port 2)

3ビットの入力専用ポートです。入力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

3ビットの入力専用ポートとして機能します。

#### (2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI2) として機能します。

### 2.2.4 P30-P33 (Port 3)

4ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

#### (2) コントロール・モード

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力 (INTP1-INTP4) として機能します。

### 2.2.5 P120 (Port 12)

1ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力機能があります。

次のような動作モードを指定できます。

#### (1) ポート・モード

1ビットの入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により、入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により、内蔵プルアップ抵抗を使用できます。

#### (2) コントロール・モード

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力 (INTP0) として機能します。

### 2.2.6 P130 (Port 13)

1ビットの出力専用ポートです。

### 2.2.7 AVREF

A/Dコンバータの基準電圧入力端子です。

A/Dコンバータを使用しない場合は、V<sub>DD</sub>に接続してください。

### 2.2.8 AVss

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にVss端子と同電位で使用してください。

### 2.2.9 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

### 2.2.10 X1, X2

X1入力クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

### 2.2.11 VDD

正電源供給端子です。

### 2.2.12 Vss

グランド電位端子です。

### 2.2.13 VPP (フラッシュ・メモリ製品のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

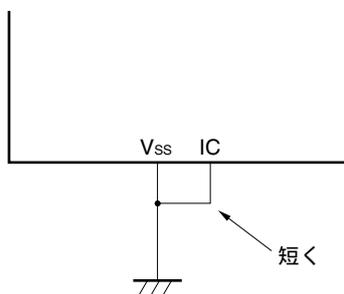
通常動作モード時は、Vssに直接接続してください。

### 2.2.14 IC (マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時に78K0/KB1を検査するためのテスト・モードに設定するための端子です。通常動作モード時には、IC端子をVss端子に直接接続し、その配線長を極力短くしてください。

IC端子とVss端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とVss端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

IC端子をVss端子に直接接続してください。



### 2.2.15 LINI

LIN BUSデータ入力端子です。

スレーブ・システム用にIC内部でダイオードおよび30 k $\Omega$  (TYP.)の抵抗でプルアップされています。このICをマスタとして使用する場合は、外部でダイオードおよび1 k $\Omega$ の抵抗でプルアップしてください。

LINIとLINO端子間には、負電圧保護用に外部にダイオードが必要です。

### 2.2.16 LINO

LIN BUSデータ出力端子です。

TxD6がHighレベル出力のとき、LINドライバはOFF (LIN BUS : レセシブ状態) します。

TxD6がLowレベル出力のとき、LINドライバON (LIN BUS : ドミナント状態) します。

LINIとLINO端子間には、負電圧保護用に外部にダイオードが必要です。

### 2.2.17 MSLP

モード移行命令を受ける端子です。

Normal Modeにおいて、MSLP = LowとなったときLINトランシーバは、Sleep Modeへ移行します。

Sleep Modeにおいて、MSLP = HighとなったときLINトランシーバは、Normal Modeへ移行します。

また、この端子は内部でプルダウンされています。

### 2.2.18 UMODE

LINトランシーバ機能の使用 / 未使用を選択するモード端子です。この端子は、IC内部でプルダウンされています。

UMODE	LINトランシーバ回路状態	P13/TxD6端子状態	P14/RxD6端子状態
Low	Active	出力 <sup>注</sup> (TxL: プルアップ入力)	出力 <sup>注</sup> (RxL: 出力)
High	Non Active (Driver OFF)	入出力	入出力

**注** LINトランシーバ機能を使用状態に設定する場合、P13/TxD6およびP14/RxD6端子はオープンにしてください。

ポート・モード・レジスタ1 (PM1) の設定により、PM13に0を、PM14に1を設定し、P13/TxD6を出力にP14/RxD6を入力に設定してください。

## 2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2-2に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-2 各端子の入出力回路タイプ

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/TI000	8-A	入出力	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P01/TI010/TO00			
P02			
P03			
P10/SCK10/(TXD0)			
P11/SI10/(RXD0)			
P12/SO10			
P13/TxD6 <sup>注</sup>	8-A		
P14/RxD6 <sup>注</sup>			
P15/TOH0	5-A		
P16/TOH1/INTP5	8-A		
P17/TI50/TO50			
P20/ANI0-P22/ANI2	9-C	入力	V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。
P30/INTP1-P33/INTP4	8-A	入出力	入力時：個別に抵抗を介して、V <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P120/INTP0			入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P130	3-C	出力	オープンにしてください。
RESET	2	入力	V <sub>DD</sub> に接続してください。
AV <sub>REF</sub>	-	入力	
AV <sub>SS</sub>	-	-	V <sub>SS</sub> に接続してください。
IC	-	-	V <sub>SS</sub> に直接接続してください。
V <sub>PP</sub>	-	-	
LINI	LIN-1	入力	オープンにしてください。
LINO	LIN-2	出力	オープンにしてください。
VBASE	LIN-3	出力	-
OCD	LIN-4	入力	SUPに直接接続してください。
VCM	LIN-5	-	-
MSLP	LIN-6	入力	オープンにしてください。
UMODE	LIN-7	入力	LINトランシーバ使用時：オープンにしてください。 LINトランシーバ未使用時：V <sub>DD</sub> に直接接続してください。

**注** LINトランシーバ機能兼用端子です。LINトランシーバ機能端子として使用する場合、オープンにしてください。  
マイクロコントローラの機能端子として使用する場合、UMODE端子には外部プルアップが必要です。

**注意** LINIとLINO端子間には負電圧保護用に外付けダイオードが必要です。

図2 - 1 端子の入出力回路一覧 (1/2)

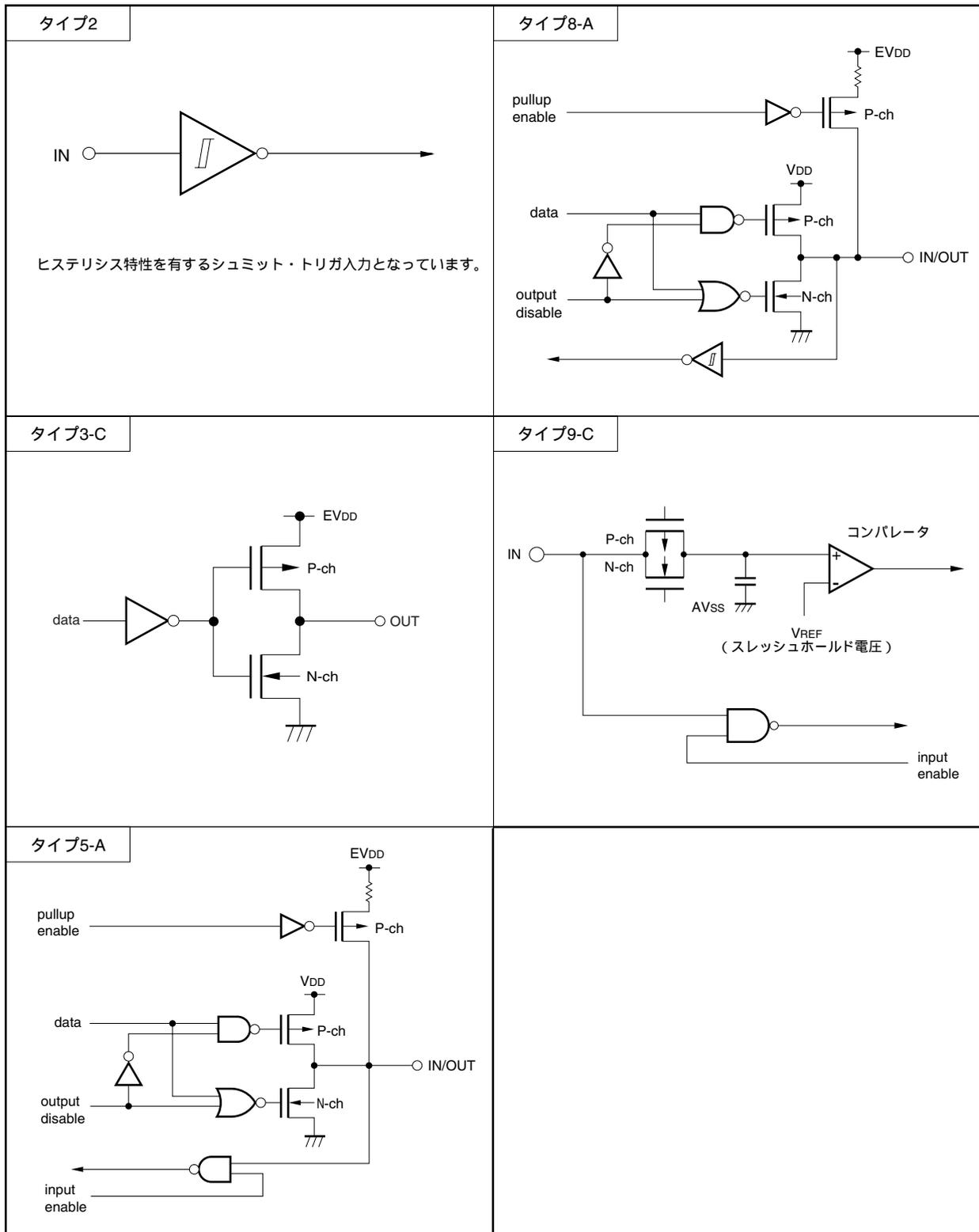
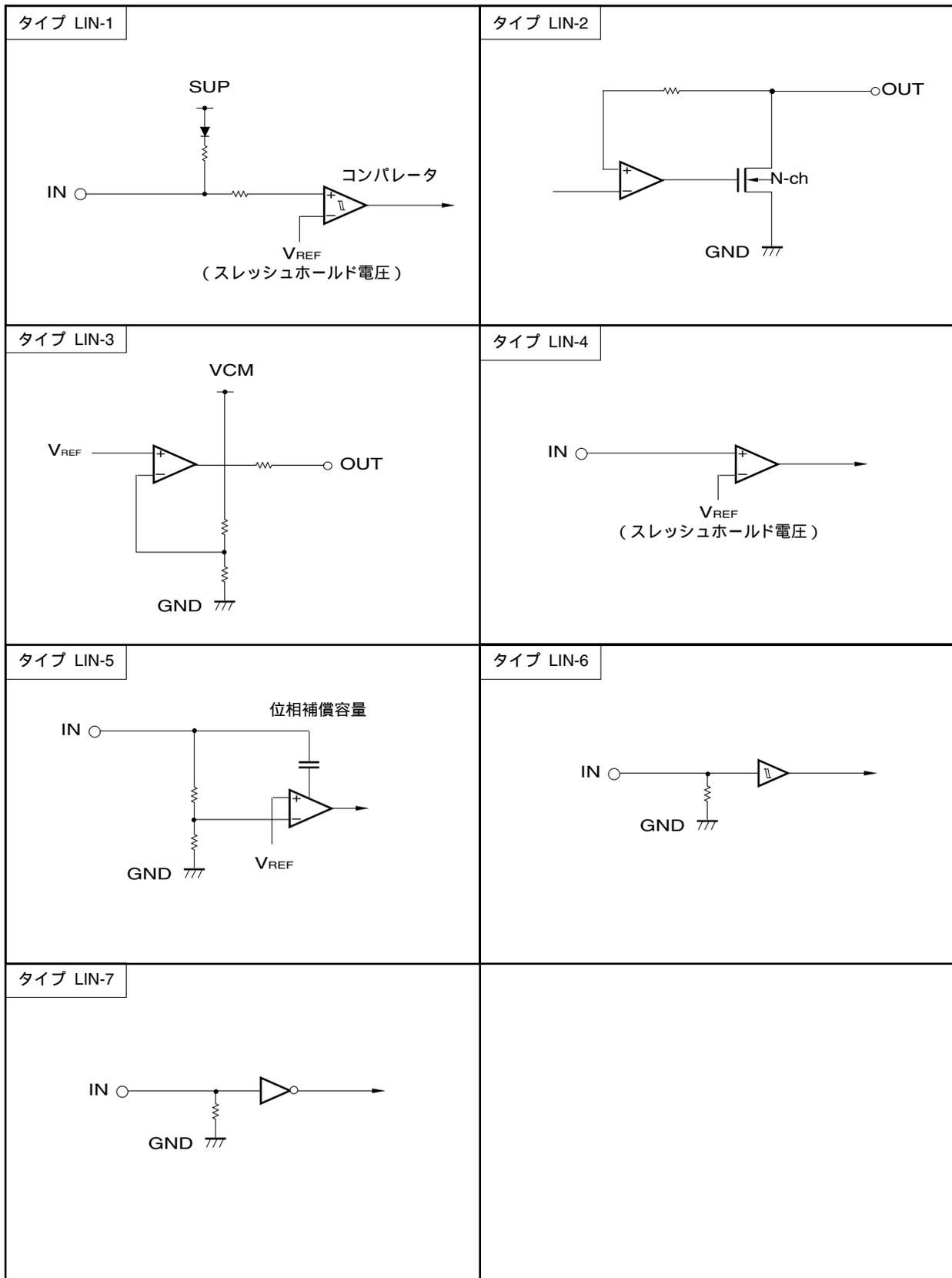


図2 - 1 端子の入出力回路一覧 (2/2)



## 第3章 マイクロコントローラ機能

8ビット・マイクロコントローラ部は、78K0/KB1相当の機能を搭載しています。

マイクロコントローラ機能における $\mu$ PD788001A, 788002A, 78F8002Aと78K0/KB1の違いは次のとおりです。

項目	$\mu$ PD788001A, 788002A, 78F8002A	78K0/KB1
A/Dコンバータ	10ビット分解能 × 3チャンネル	10ビット分解能 × 4チャンネル
I/Oポート	21本	22本

A/Dコンバータのチャンネル数およびポートの本数以外は、78K0/KB1と同機能です。

$\mu$ PD788001A, 788002A, 78F8002Aには、P23/ANI3がありません。

### 3.1 ポート機能

$\mu$ PD788001A, 788002A, 78F8002Aは、図3-1に示すポートを備えており、多様な制御を行うことができます。各ポートの機能は表3-1のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

ポート機能における $\mu$ PD788001A, 788002A, 78F8002Aと78K0/KB1の違いは次のとおりです。

項目	$\mu$ PD788001A, 788002A, 78F8002A	78K0/KB1
ポート2	P20-P22 (3本)	P20-P23 (4本)
I/Oポート	21本	22本

図3-1 ポートの種類

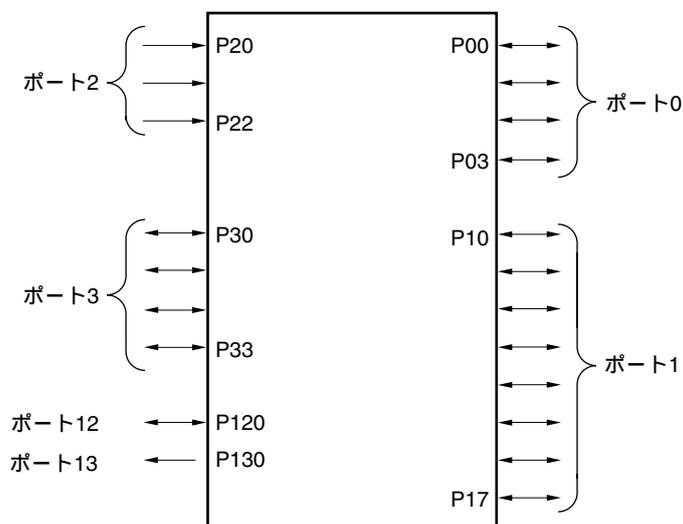


表3 - 1 ポートの機能

端子名称	入出力	機 能	リセット時	兼用端子
P00	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	入力	TI000
P01				TI010/TO00
P02				-
P03				-
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	入力	SCK10/TxD0
P11				SI10/RxD0
P12				SO10
P13				TxD6
P14				RxD6
P15				TOH0
P16				TOH1/INTP5
P17				TI50/TO50
P20-P22	入力	ポート2。 3ビット入力専用ポート。	入力	ANI0-ANI2
P30-P33	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	入力	INTP1-INTP4
P120	入出力	ポート12。 1ビット入出力ポート。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	入力	INTP0
P130	出力	ポート13 1ビット出力専用ポート。	出力	-

**注意** ポート2を入力ポートとして使用する場合，ビット3 (P23) は不定となります。

### 3.1.1 機能詳細説明

次の説明については，78K0/KB1 ユーザーズ・マニュアル (U15836J) を参照してください。

- ・ ポートの構成
- ・ ポート機能を制御するレジスタ
- ・ ポート機能の動作

## 3.2 A/Dコンバータ

A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大3チャンネル (ANI0-ANI2) のアナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

### (1) 10ビット分解能A/D変換

アナログ入力をANI0-ANI2から1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。

A/D変換を1回終了するたびに、割り込み要求 (INTAD) を発生します。

### (2) パワーフェイル検出機能

バッテリー電圧低下を検出するための機能です。A/D変換結果 (ADCRレジスタ値) とパワーフェイル比較しきい値レジスタ (PFT) の値との大小比較を行い、比較条件に合致した場合のみINTADを発生します。

### (3) 78K0/KB1製品との違い

A/Dコンバータ機能における $\mu$ PD788001A, 788002A, 78F8002Aと78K0/KB1の違いは次のとおりです。

項 目	$\mu$ PD788001A, 788002A, 78F8002A	78K0/KB1																																								
A/D チャンネル数	ANI0-ANI2(3本)	ANI0-ANI3 (4本)																																								
アナログ入力チャンネル指定レジスタ (ADS)の指定	<table border="1"> <thead> <tr> <th>ADS2</th> <th>ADS1</th> <th>ADS0</th> <th>アナログ入力チャンネルの指定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>ANI0</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>ANI1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>ANI2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	ADS2	ADS1	ADS0	アナログ入力チャンネルの指定	0	0	0	ANI0	0	0	1	ANI1	0	1	0	ANI2	0	1	1	設定禁止	<table border="1"> <thead> <tr> <th>ADS2</th> <th>ADS1</th> <th>ADS0</th> <th>アナログ入力チャンネルの指定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>ANI0</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>ANI1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>ANI2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>ANI3</td> </tr> </tbody> </table>	ADS2	ADS1	ADS0	アナログ入力チャンネルの指定	0	0	0	ANI0	0	0	1	ANI1	0	1	0	ANI2	0	1	1	ANI3
ADS2	ADS1	ADS0	アナログ入力チャンネルの指定																																							
0	0	0	ANI0																																							
0	0	1	ANI1																																							
0	1	0	ANI2																																							
0	1	1	設定禁止																																							
ADS2	ADS1	ADS0	アナログ入力チャンネルの指定																																							
0	0	0	ANI0																																							
0	0	1	ANI1																																							
0	1	0	ANI2																																							
0	1	1	ANI3																																							

### 3.2.1 機能詳細説明

次の説明については、78K0/KB1 **ユーザーズ・マニュアル (U15836J)** を参照してください。

- ・ A/Dコンバータの機能
- ・ A/Dコンバータの構成
- ・ A/Dコンバータを制御するレジスタ
- ・ A/Dコンバータの動作
- ・ A/Dコンバータの基本動作
- ・ 入力電圧と変換結果
- ・ A/Dコンバータの動作モード
- ・ A/Dコンバータ特性表の読み方
- ・ A/Dコンバータの注意事項

### 3.3 ポート機能，A/Dコンバータ以外の機能説明

次の説明については，78K0/KB1 ユーザーズ・マニュアル（U15836J）を参照してください。

- ・CPUアーキテクチャ
- ・クロック発生回路
- ・16ビット・タイマ/イベント・カウンタ00
- ・8ビット・タイマ/イベント・カウンタ50
- ・8ビット・タイマH0, H1
- ・ウォッチドッグ・タイマ
- ・シリアル・インタフェースUART0
- ・シリアル・インタフェースUART6
- ・シリアル・インタフェースCSI10
- ・割り込み機能
- ・スタンバイ機能
- ・リセット機能
- ・クロック・モニタ
- ・パワーオン・クリア機能
- ・低電圧検出回路
- ・マスク・オプション
- ・命令セットの概要

**備考** 上記機能説明の参照において，78K0/KB1 ユーザーズ・マニュアル（U15836J）の記載内容とは製品名のみが異なります。

78K0/KB1製品名	78K0/KB1製品名に対応する製品名
μ PD780101	-
μ PD780102	μ PD788001A
μ PD780103	μ PD788002A
μ PD78F0103	μ PD78F8002A

## 第4章 電源回路

### 4.1 電源機能

電源回路は、12 V系のバッテリー供給電圧（6～18 V）から外付けのPNPトランジスタを介して5 V (TYP.)電圧を生成する安定化電源回路です。外付けPNPトランジスタのコレクタ端子電圧（ $V_{CCout}$ ）は、VCM端子と $V_{DD}$ 端子に接続してください。

また、外付けPNPトランジスタを保護するための過電流保護回路を内蔵しています。

### 4.2 過電流保護機能

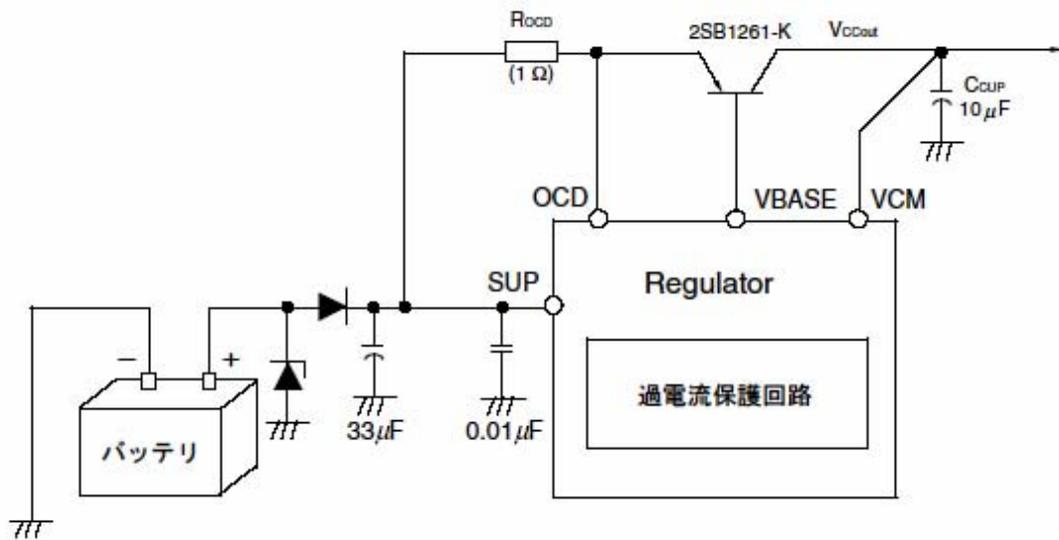
負荷ショートなどの要因により電源ラインに過電流が発生した場合、電流制限を行い外付けトランジスタを保護する回路です。

過電流検出は、SUP端子とOCD端子間に接続された抵抗にかかる両端電位差によって検出されます。また、外付けの抵抗値はユーザ・システムに応じて調整可能です。

この機能を使用しない場合、OCD端子は抵抗を介さずSUP端子に直接接続してください。

- ・電流制限値 = 過電流判定電圧（ $V_{SUPlim}$ ） /  $R_{OCD}$
- ・過電流判定電圧（ $V_{SUPlim}$ ） =  $V_{SUP} - V_{OCD} = 150 \text{ mV (MIN.)}$

## 4.3 電源回路構成例



- 備考1. 電源用外付けTrは、VBASE、VCM、SUP端子近傍に配置し、ベース、コレクタ、エミッタ配線を極力短くしてください。
2. SUP-GND端子間のセラミック・コンデンサは、SUP端子近傍に配置し配線を極力短くしてください。

## 第5章 LINトランシーバ回路

### 5.1 LINトランシーバ機能

LINトランシーバ仕様は、LIN Consortium Specification Package Rev.2.0に準拠しています。  
保護機能として、過電流制限回路および過熱保護回路を内蔵しています。

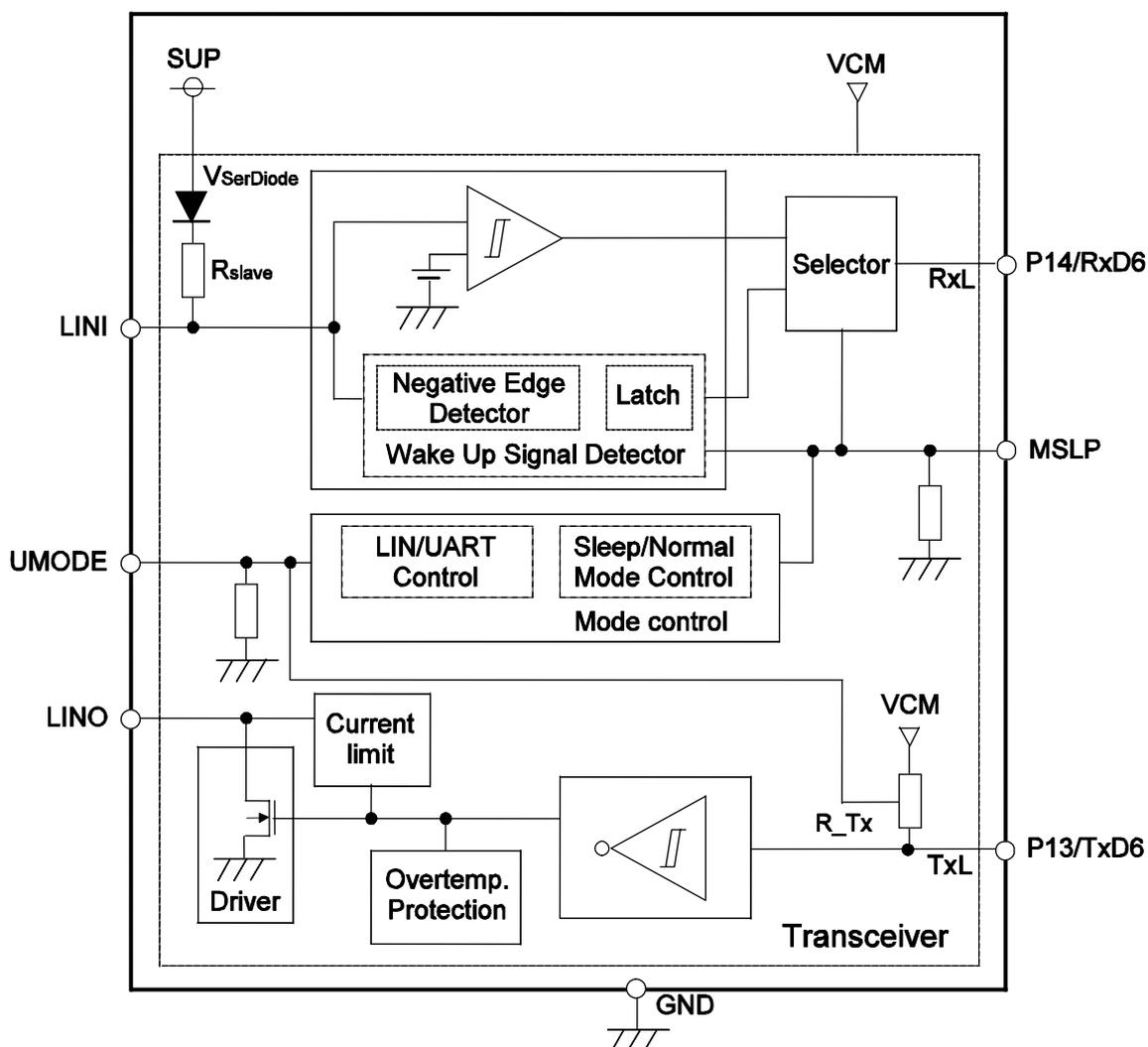
また、LINトランシーバには、次の2種類のモードがあります。

- Sleep mode
- Normal mode

### 5.2 LINトランシーバの構成

LINトランシーバは、次のハードウェアで構成されています。

図5 - 1 LINトランシーバのブロック図



### 5.3 動作モード (UMODE = Low)

LINトランシーバには、次の2種類のモードがあります。

図5-2 動作モード状態遷移図



- Sleep mode

MSLP = Lowとなった場合、Sleep modeとなります。

Sleep modeでのLINドライバ出力は、Tx端子の入力状態に関係なくOFF( Recessive )状態となります。

消費電流を低減させるためには、マイクロコントローラの動作モードをHALTもしくはSTOPモードに設定してください。

- Normal mode

MSLP = Highとなった場合、Normal modeとなります。

Normal modeでは、Txの入力データをLIN BUSに出力することができます。

**注意1.** LINトランシーバ機能を使用する際は、UMODE端子をオープンにしてください。

(UMODE端子は、IC内部でプルダウンされています。)

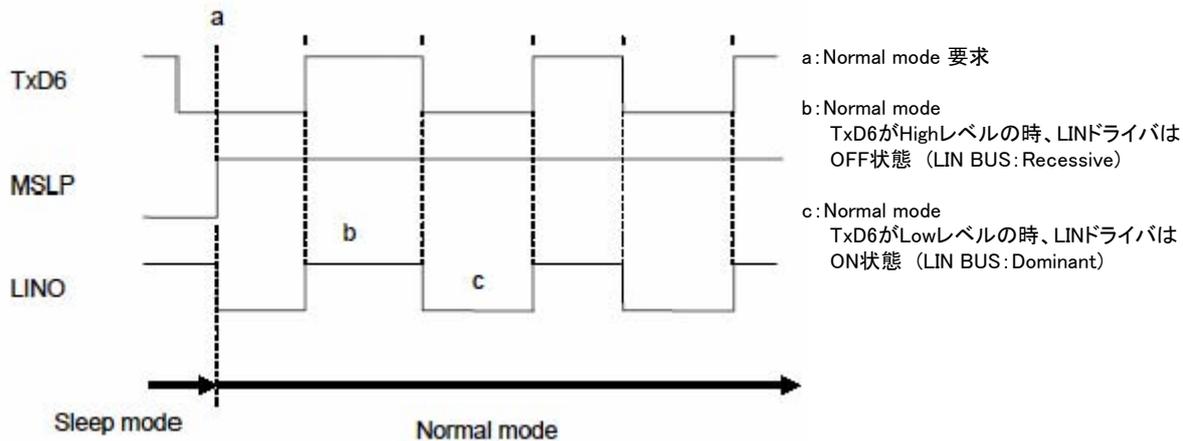
2. LINトランシーバ機能を使用しない場合は、UMODE端子をV<sub>DD</sub>に直接接続しハイ・レベルに設定してください。

UMODE端子をハイ・レベルに設定した場合、LINトランシーバ回路のプルアップ抵抗:R<sub>Tx</sub>は、未接続状態になります。

3. MSLP端子は、IC内部でプルダウンされています。

図5 - 3 Normal Mode タイミング・チャート

(a) Normal mode 送信動作 (TxD6→LINO)



(b) Normal mode 受信動作 (LINI→RxD6)

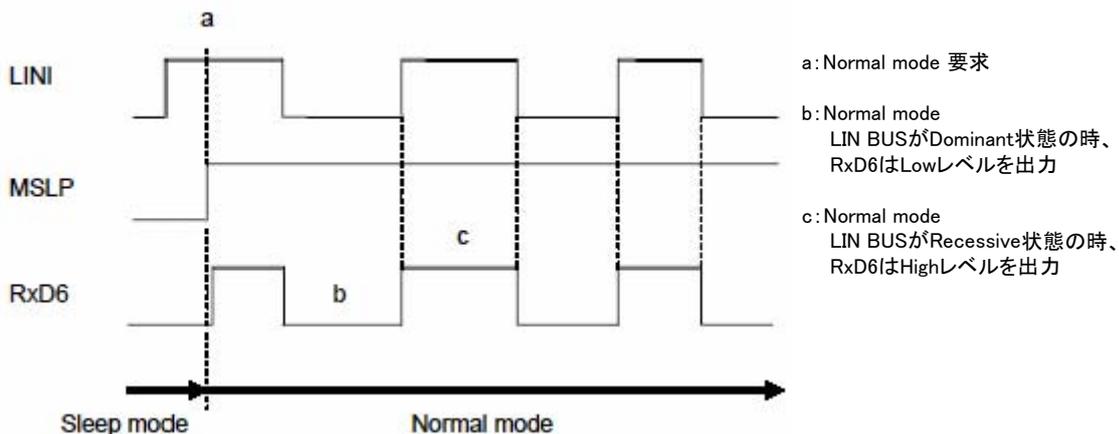
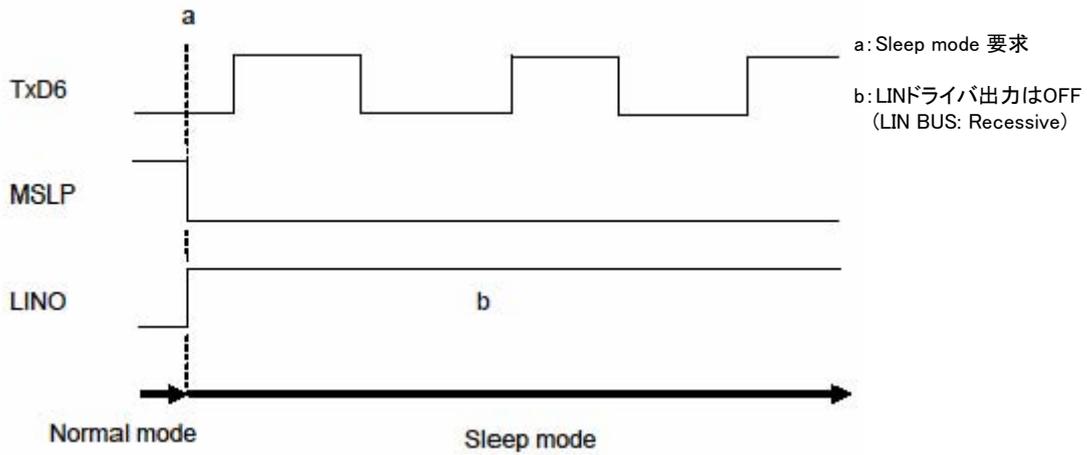
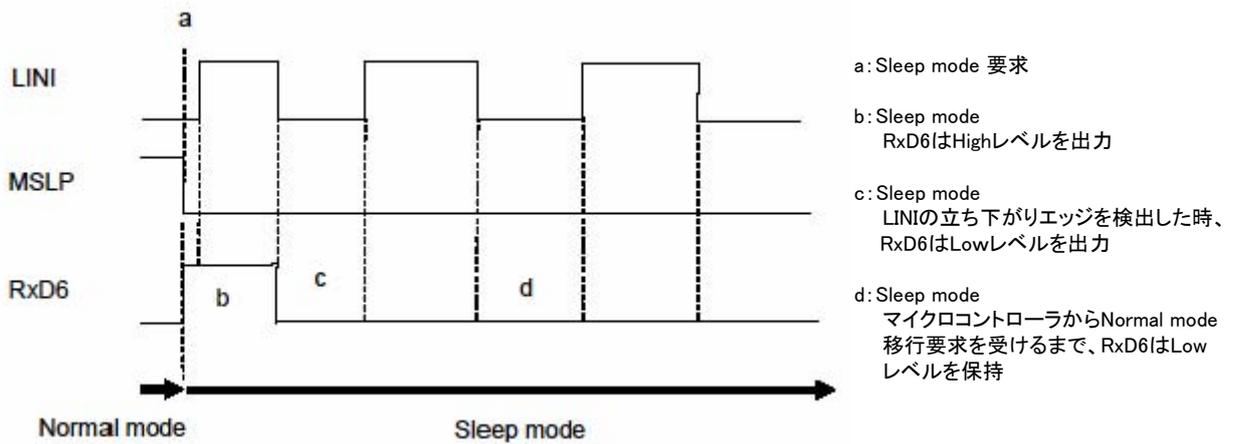


図5 - 4 Sleep Mode タイミング・チャート

(a) Sleep mode 送信動作 (TxD6→LINO)



(b) Sleep mode 受信動作 (LINI→RxD6)



## 5.4 保護機能

### 5.4.1 過電流制限回路

過電流制限回路は、負荷短絡時の過電流による破壊を防止するための保護回路です。

負荷短絡などの要因により、LIN Driverに過電流検出値以上の電流が流れると、LIN Driverのゲート電圧を抑制することにより出力電流を制限します。

### 5.4.2 過熱保護回路

過熱による破壊を防止するための保護回路です。

LIN Driverの温度をモニタリングし、過熱検出温度以上の温度を検出すると強制的にLIN Driverをオフします。

LIN Driverを強制的にオフさせたあと、温度が低下すると自己復帰します。

### 5.4.3 保護回路動作

LINトランシーバの各モードにおける、保護回路動作状態を表5-1に示します。

表5-1 保護回路動作状態遷移表

Trigger		電源保護 (UMODE = High/Low)	LIN Driver保護 (UMODE = Low)	
		過電流状態 $V_{SUP} - V_{OCD} > 150 \text{ mV (MIN.)}$	過電流状態 $I_{bus\_lim} > 40 \text{ mA (MIN.)}$	過熱状態 $LINth > 150 \text{ (MIN.)}$
状態	Sleep Mode	電源電流制限：0.15 V/R <sub>OCD</sub> [A]	-	-
	Normal Mode	電源電流制限：0.15 V/R <sub>OCD</sub> [A]	LIN Driver 電流制限：40 mA (MIN.)	LIN Driver OFF

## 第6章 フラッシュ・メモリ

フラッシュ・メモリ製品には、 $\mu$ PD78F8002Aがあります。

$\mu$ PD78F8002Aは、 $\mu$ PD788002Aの内蔵マスクROMを、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリに置き換えた製品です。 $\mu$ PD78F8002AとマスクROM製品の違いを表6 - 1に示します。

表6 - 1  $\mu$ PD78F8002AとマスクROM製品の違い

項 目	$\mu$ PD78F8002A	マスクROM製品
内部ROM構造	フラッシュ・メモリ	マスクROM
内部ROM容量	24 Kバイト <sup>注</sup>	$\mu$ PD788001A : 16 Kバイト $\mu$ PD788002A : 24 Kバイト
内部高速RAM容量	768バイト <sup>注</sup>	768バイト
IC端子	なし	あり
V <sub>PP</sub> 端子	あり	なし
電気的特性	第7章 電気的特性 (A) 水準品を参照してください。	

注 メモリ・サイズ切り替えレジスタ (IMS) により、マスクROM製品と同一の容量に設定できます。

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品ではなく) で十分に評価してください。

## 6.1 メモリ・サイズ切り替えレジスタ

$\mu$ PD78F8002Aは、メモリ・サイズ切り替えレジスタ（IMS）により、内部メモリ容量を選択できます。IMSを設定することにより、内部メモリ容量の異なるマスクROM製品のメモリ・マップと同一のメモリ・マップにできます。

IMSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、CFHになります。

**注意** IMSの初期値は設定禁止（CFH）です。必ず初期設定で対象のマスクROM製品の値を設定してください。

図6-1 メモリ・サイズ切り替えレジスタ（IMS）のフォーマット

アドレス：FFF0H    リセット時：CFH    R/W

略号	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0

RAM2	RAM1	RAM0	内部高速RAM容量の選択
0	0	0	768バイト
0	1	0	512バイト
上記以外			設定禁止

ROM3	ROM2	ROM1	ROM0	内部高速ROM容量の選択
0	0	1	0	8 Kバイト
0	1	0	0	16 Kバイト
0	1	1	0	24 Kバイト
上記以外				設定禁止

マスクROM製品と同一のメモリ・マップにするIMSの設定値を表6-2に示します。

表6-2 メモリ・サイズ切り替えレジスタの設定値

対象マスクROM製品	IMSの設定値
$\mu$ PD788001A	04H
$\mu$ PD788002A	06H

**注意** マスクROM製品を使用する場合、IMSには表6-2に示す値を必ず設定してください。

## 6.2 フラッシュ・ライターによる書き込み方法

専用フラッシュ・ライターにより、オンボードまたはオフボードで書き込みができます。

### (1) オンボード・プログラミング

ターゲット・システム上に $\mu$ PD78F8002Aを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・ライターを接続するためのコネクタなどを実装しておいてください。

### (2) オフボード・プログラミング

ターゲット・システム上に $\mu$ PD78F8002Aを実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

**備考** FAシリーズは、（株）内藤電誠町田製作所の製品です。

表6 - 3  $\mu$ PD78F8002Aと専用フラッシュ・ライターの配線表（1/2）

#### (1) 3線式シリアルI/O（CSI10）

専用フラッシュ・ライター接続端子			CSI10使用時		CSI10 + HS使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SO10/P12	26	SO10/P12	26
SO/TxD	出力	送信信号	SI10/RxD0/P11	25	SI10/RxD0/P11	25
SCK	出力	転送クロック	SCK10/TxD0/P10	15	SCK10/TxD0/P10	15
CLK	出力	$\mu$ PD78F8002Aへのクロック	X1	8	X1	8
			X2 <sup>注</sup>	9	X2 <sup>注</sup>	9
/RESET	出力	リセット信号	RESET	10	RESET	10
V <sub>PP</sub>	出力	書き込み電圧	V <sub>PP</sub>	5	V <sub>PP</sub>	5
H/S	入力	ハンドシェイク信号	必要なし	必要なし	HS/P15/TOH0	29
V <sub>DD</sub>	入出力	V <sub>DD</sub> 電圧生成 / 電圧監視	V <sub>DD</sub>	7	V <sub>DD</sub>	7
			AV <sub>REF</sub>	36	AV <sub>REF</sub>	36
GND	-	グランド	V <sub>SS</sub>	6	V <sub>SS</sub>	6
			AV <sub>SS</sub>	37	AV <sub>SS</sub>	37

**注** フラッシュ・ライターのクロック・アウトを使用する際は、ライターのCLKとX1を接続し、X2にはその反転信号を接続してください。

表6 - 3  $\mu$ PD78F8002Aと専用フラッシュ・ライタの配線表 (2/2)

(2) UART (UART0, UART6)

専用フラッシュ・ライタ接続端子			UART0使用時		UART0 + HS使用時		UART6使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	TxD0/SCK10/P10	15	TxD0/SCK10/P10	15	TxD6/P13	27
SO/TxD	出力	送信信号	RxD0/SI10/P11	25	RxD0/SI10/P11	25	RxD6/P14	28
SCK	出力	転送クロック	必要なし	必要なし	必要なし	必要なし	必要なし	必要なし
CLK	出力	$\mu$ PD78F8002A へのクロック	X1	8	X1	8	X1	8
			X2 <sup>注</sup>	9	X2 <sup>注</sup>	9	X2 <sup>注</sup>	9
/RESET	出力	リセット信号	RESET	10	RESET	10	RESET	10
V <sub>PP</sub>	出力	書き込み電圧	V <sub>PP</sub>	5	V <sub>PP</sub>	5	V <sub>PP</sub>	5
H/S	入力	ハンドシェイク 信号	必要なし	必要なし	HS/P15/TOH0	29	必要なし	必要なし
V <sub>DD</sub>	入出力	V <sub>DD</sub> 電圧生成/ 電圧監視	V <sub>DD</sub>	7	V <sub>DD</sub>	7	V <sub>DD</sub>	7
			AV <sub>REF</sub>	36	AV <sub>REF</sub>	36	AV <sub>REF</sub>	36
GND	-	グランド	V <sub>SS</sub>	6	V <sub>SS</sub>	6	V <sub>SS</sub>	6
			AV <sub>SS</sub>	37	AV <sub>SS</sub>	37	AV <sub>SS</sub>	37

注 フラッシュ・ライタのクロック・アウトを使用する際は、ライタのCLKとX1を接続し、X2にはその反転信号を接続してください。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図6 - 2 3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例

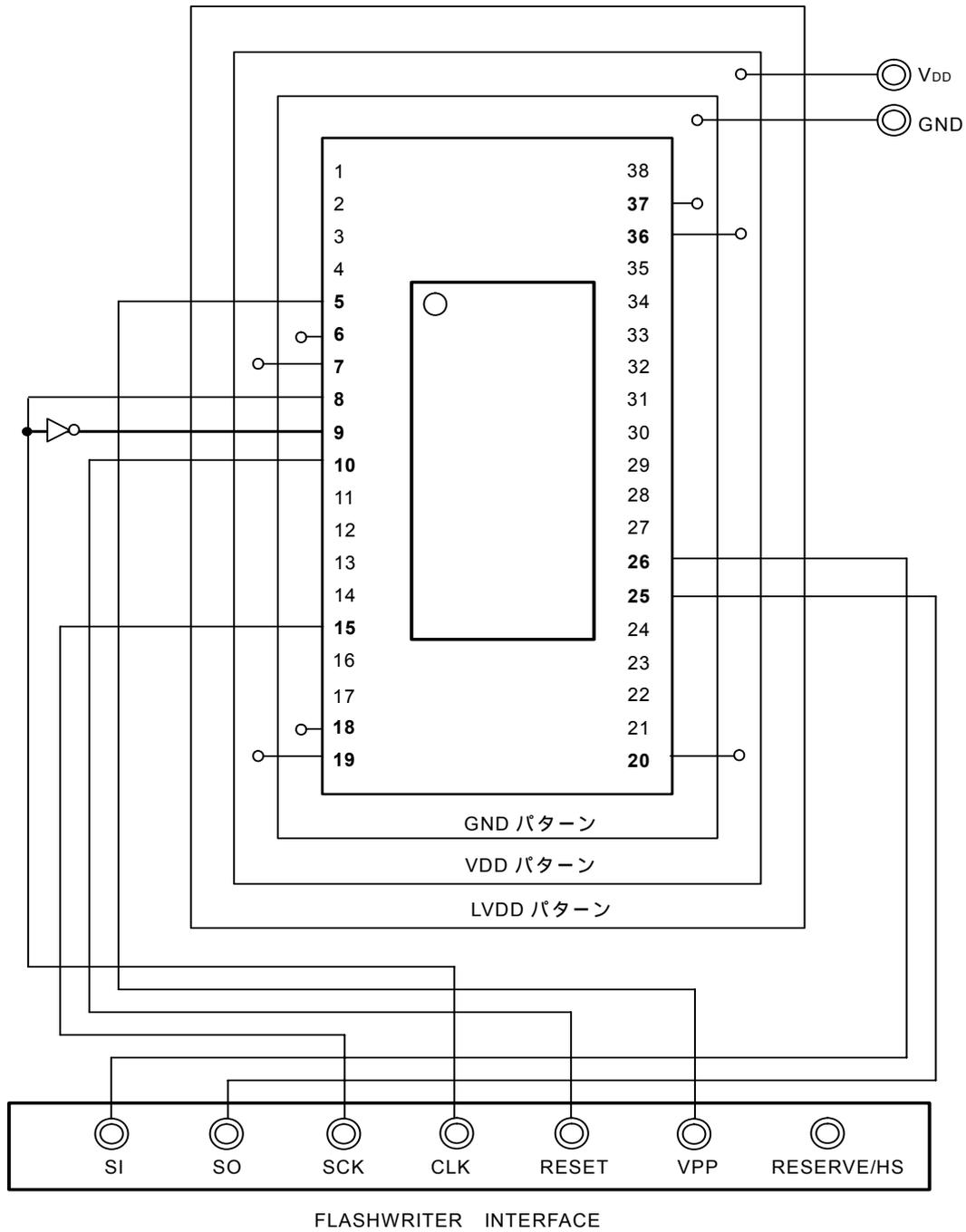


図6 - 3 3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例 (ハンドシェイク使用時)

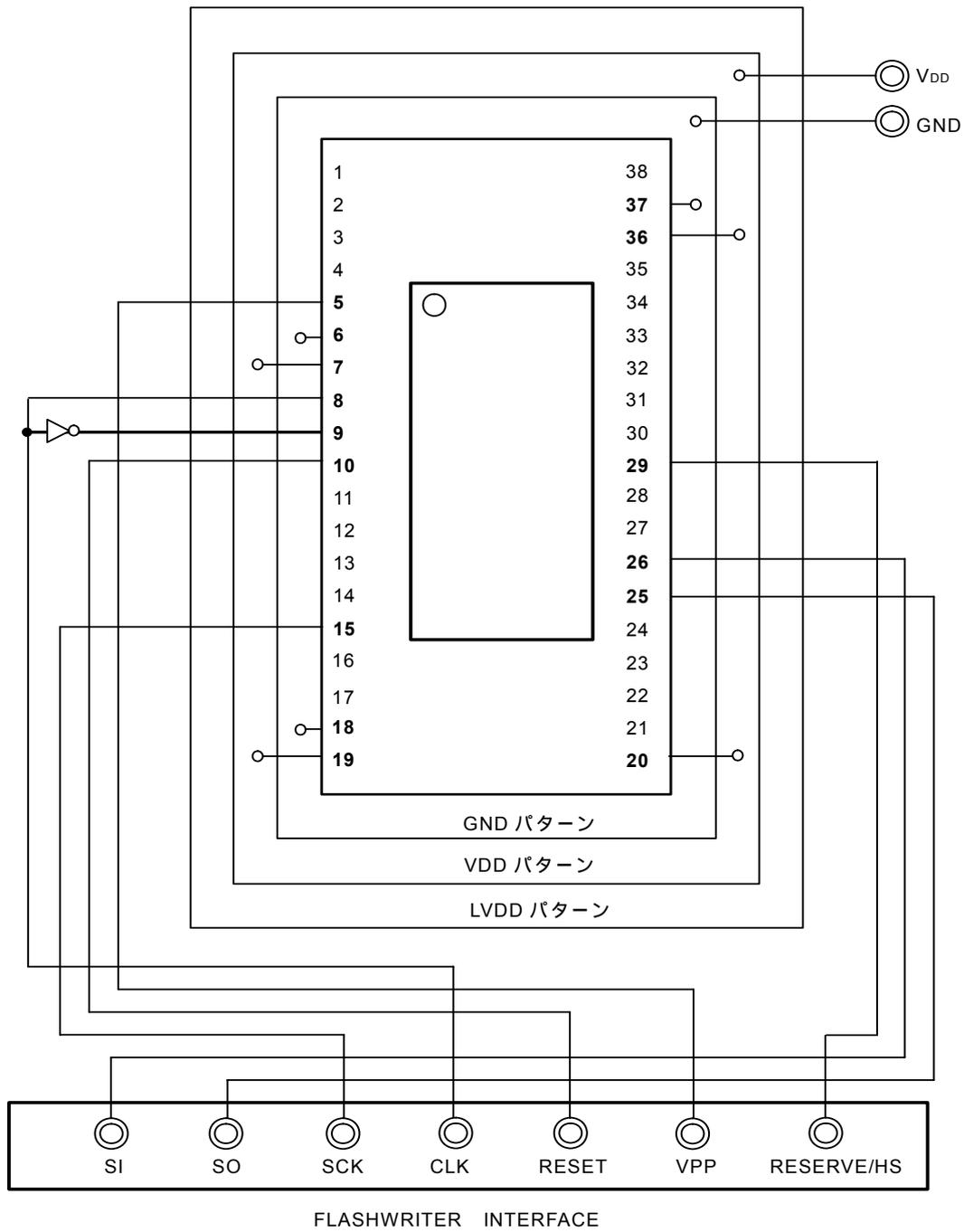


図6 - 4 UART(UART0)方式でのフラッシュ書き込み用アダプタ配線例

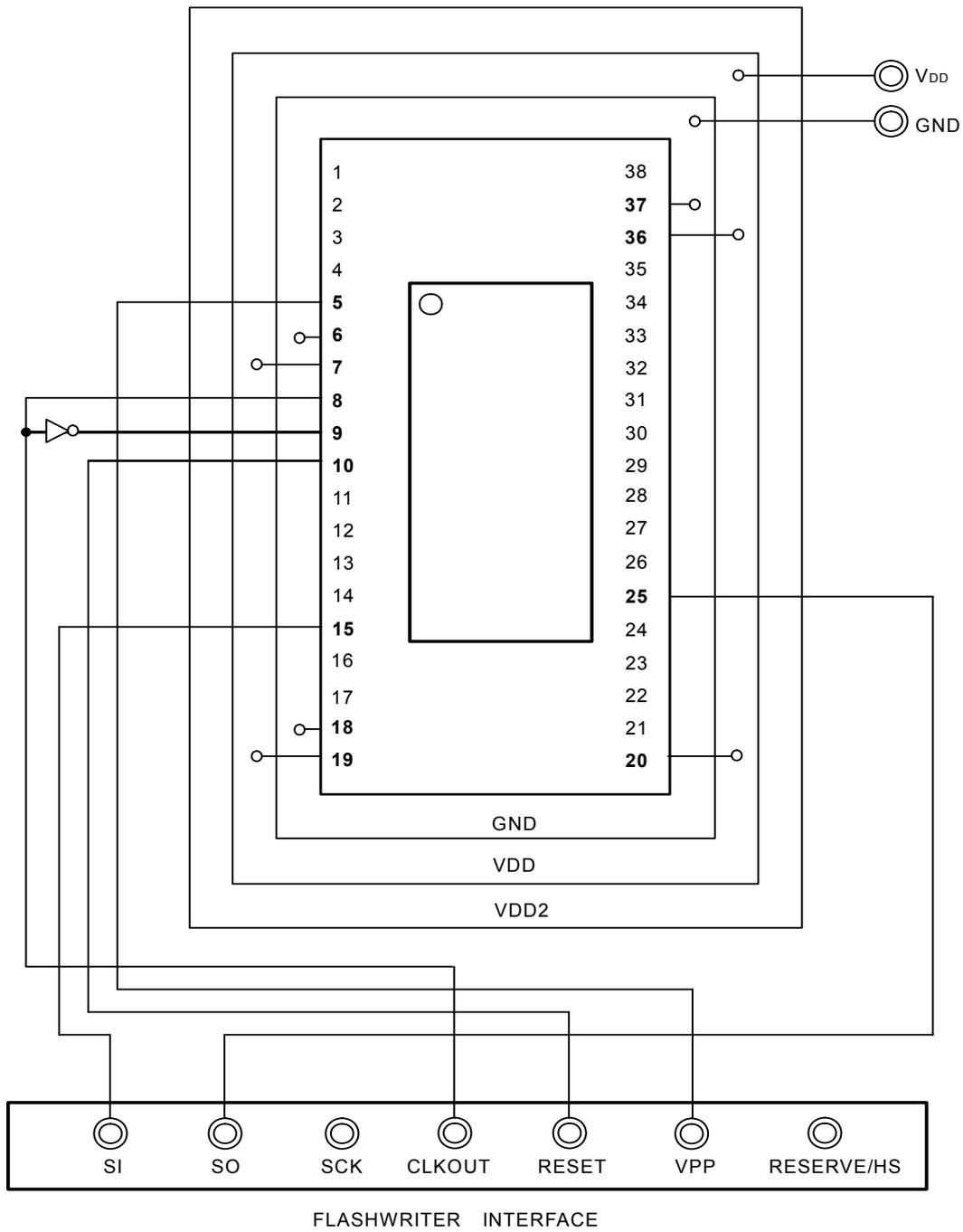


図6 - 5 UART(UART0)方式でのフラッシュ書き込み用アダプタ配線例 (ハンドシェイク使用時)

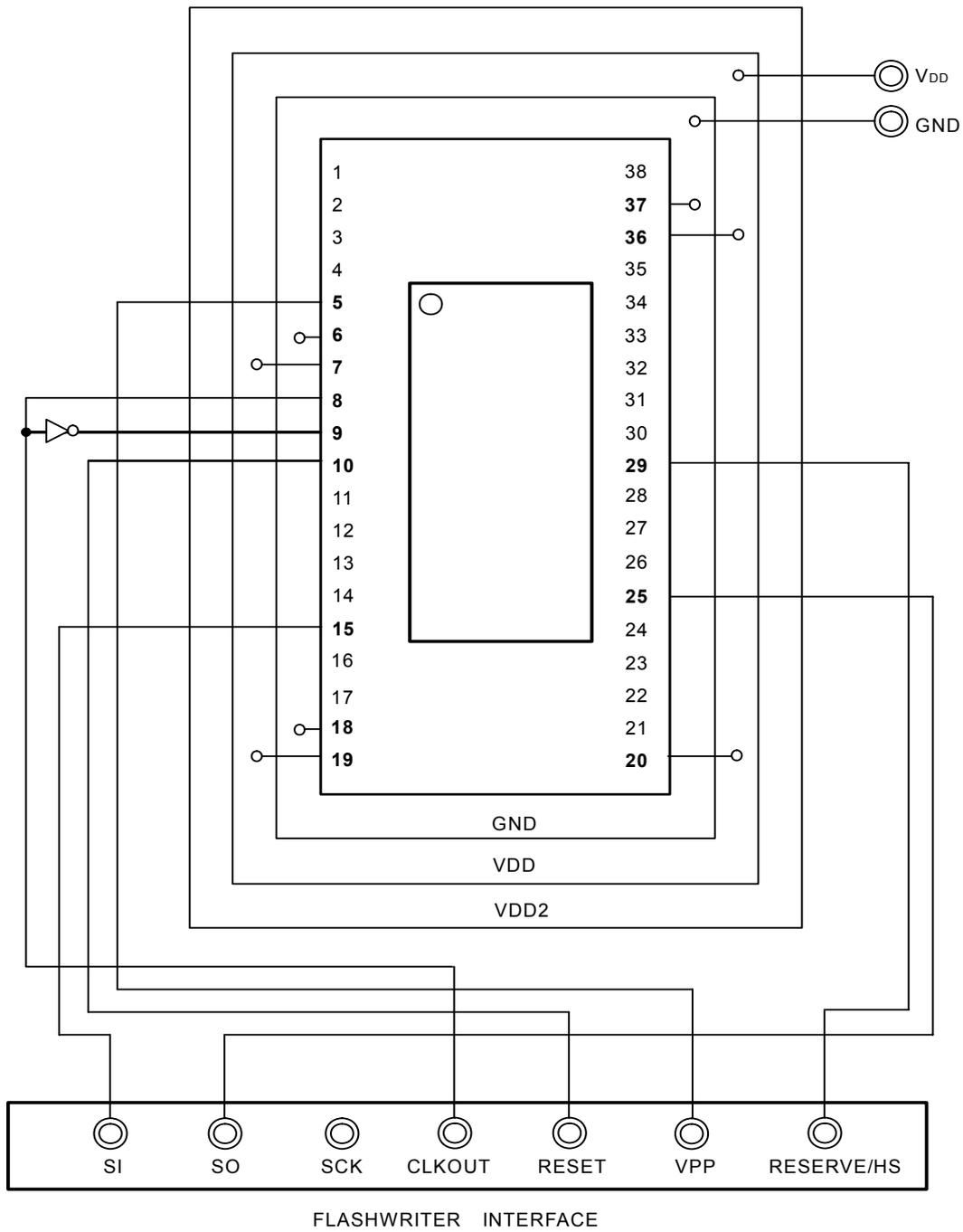
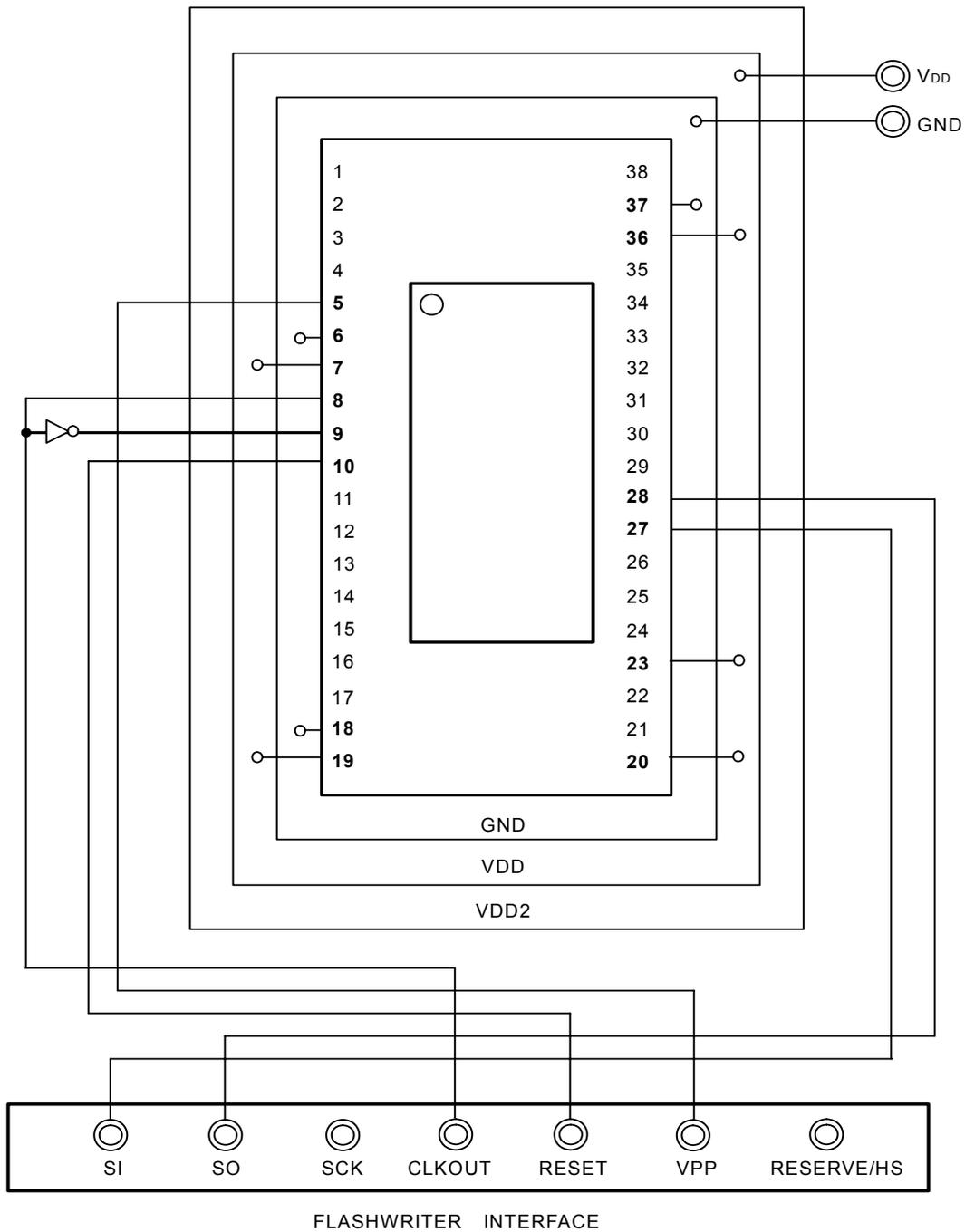


図6 - 6 UART(UART6)方式でのフラッシュ書き込み用アダプタ配線例



次の説明については、78K0/KB1 ユーザーズ・マニュアル (U15836J) を参照してください。

- ・プログラミング環境
- ・通信方式
- ・オンボード上の端子処理
- ・プログラミング方法

## 第7章 電気的特性 (A) 水準品

### 7.1 絶対最大定格

絶対最大定格 (T<sub>A</sub> = 25 )

項目	略号	条件	定格	単位	
電源電圧	V <sub>SUP1</sub>	SUP, 400 ms	- 0.3 ~ +40	V	
	V <sub>SUP2</sub>	SUP, 2 min	- 0.3 ~ +28	V	
	V <sub>SUP3</sub>	SUP	- 0.3 ~ +20	V	
	V <sub>CM</sub>	V <sub>CM</sub>	- 0.3 ~ +6.5	V	
	V <sub>DD</sub>	V <sub>DD</sub>	- 0.3 ~ +6.5 <sup>注1</sup>	V	
	AV <sub>REF</sub>	AV <sub>REF</sub>	- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注2</sup>	V	
グランド端子間電圧	GND	GND - V <sub>SS</sub>  ,  GND - AV <sub>SS</sub>  ,  V <sub>SS</sub> - AV <sub>SS</sub>	0 ~ +0.3	V	
入力電圧	V <sub>I1</sub>	P00-P03, P10-P17, P20-P22, P30-P33, P120, X1, X2, RESET, MSLP, UMODE	- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注2</sup>	V	
	V <sub>I2</sub>	フラッシュ・メモリ・プログラミング・モード時の V <sub>PP</sub> (μPD78F8002Aのみ) <sup>注3</sup>	- 0.3 ~ +10.5	V	
	V <sub>I3</sub>	OCD, 400 ms	- 0.3 ~ +40	V	
	V <sub>I4</sub>	OCD, 2 min	- 0.3 ~ +28	V	
	V <sub>I5</sub>	OCD	- 0.3 ~ +20	V	
	V <sub>IHLini1</sub>	LINI, 400 ms	- 0.3 ~ +40	V	
	V <sub>IHLini2</sub>	LINI, 2 min	- 0.3 ~ +28	V	
	V <sub>IHLini3</sub>	LINI	- 0.3 ~ +20	V	
	V <sub>ILini</sub>	LINI, 7 V V <sub>SUP</sub> 18 V, 1 s	V <sub>SUP</sub> - 40 <sup>注4</sup>	V	
出力電圧	V <sub>O1</sub>	P00-P03, P10-P17, P30-P33, P120, P130	- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注2</sup>	V	
	V <sub>OLin1</sub>	LINO, 400 ms	- 0.3 ~ +40	V	
	V <sub>OLin2</sub>	LINO, 2 min	- 0.3 ~ +28	V	
	V <sub>OLin3</sub>	LINO	- 0.3 ~ +20	V	
アナログ入力電圧	V <sub>AN</sub>	P20-P22	AV <sub>SS</sub> - 0.3 ~ AV <sub>REF</sub> + 0.3 <sup>注2</sup> かつ - 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注2</sup>	V	
ハイ・レベル出力電流	I <sub>OH</sub>	1端子	- 10	mA	
		端子合計	P00-P03, P10-P17, P130	- 30	mA
			P30-P33, P120	- 30	mA
ロウ・レベル出力電流	I <sub>OL1</sub>	1端子	+ 20	mA	
		端子合計	P00-P03, P10-P17, P130	+ 35	mA
			P30-P33, P120	+ 35	mA
	I <sub>OL2</sub>	LINO	+ 200	mA	
VBASE電流	I <sub>BASE</sub>	VBASE	- 10 ~ +10	mA	
動作温度	T <sub>A</sub>	通常動作時	- 40 ~ +85		
		フラッシュ・メモリ・プログラミング・モード時	- 10 ~ +85		
保存温度	T <sub>stg</sub>	μPD788001A, 788002A	- 65 ~ +150		
		μPD78F8002A	- 40 ~ +125		

注1. ただし、 $|V_{CM} - V_{DD}| < 0.3 \text{ V}$ であること。

2. ただし、6.5 V以下であること。

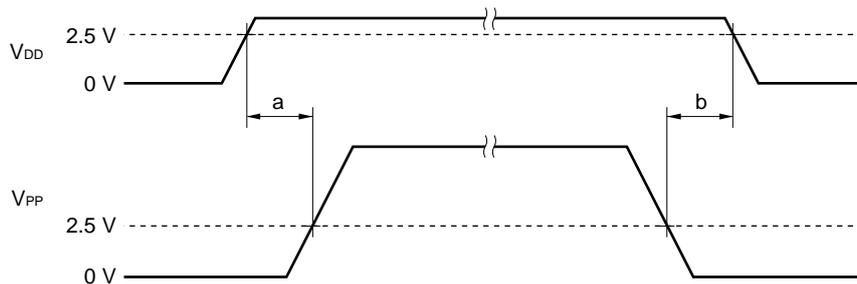
3. フラッシュ・メモリ書き込み時、 $V_{PP}$ の電圧印加タイミングについては、必ず次の条件を満たしてください。

・電源電圧立ち上がり時

$V_{DD}$ が動作電圧範囲の下限電圧（2.5 V）に達してから10  $\mu\text{s}$ 以上経過後、 $V_{PP}$ が $V_{DD}$ を越えること（下図のa）。

・電源電圧立ち下がり時

$V_{PP}$ が $V_{DD}$ の動作電圧範囲の下限電圧（2.5 V）を下回ってから10  $\mu\text{s}$ 以上経過後、 $V_{DD}$ を立ち下げること（下図のb）。



4. LINO端子への負電圧印加防止のため逆流防止ダイオードが必要です。

**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

**備考** 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

## 7.2 電源部特性

DC特性 (TA = -40 ~ +85 , 6 V VSUP 18 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流 <sup>注1</sup>	Ibat1	Ibat1 = ISUP + ICM + IDD, LIN: Sleep Mode Micro: STOPモード, (内蔵発振器= ON)			100	μA
	Ibat2	Ibat2 = ISUP + ICM + IDD, LIN: Sleep Mode Micro: STOPモード, (内蔵発振器= OFF)			80	μA
	Ibat3	TA = +25 , VSUP = 14 V Ibat3 = ISUP + ICM + IDD, LIN: Sleep Mode Micro: STOPモード, (内蔵発振器= OFF)			(50)	μA
	Ibat4	Ibat5 = ISUP + ICM + IDD <sup>注2</sup> LIN: Normal Mode (Driver: OFF) Micro: 水晶/セラミック発振動作, A/D動作時 fXP = 10 MHz (Flash品)			29	mA
	Ibat5	Ibat5 = ISUP + ICM + IDD <sup>注2</sup> LIN: Normal Mode (Driver: OFF) Micro: 水晶/セラミック発振動作, A/D動作時 fXP = 10 MHz (MASK品)			18	mA
	Ibat6	Ibat6 = ISUP + ICM LIN: Sleep Mode			50	μA
	Ibat7	Ibat7 = ISUP + ICM LIN: Normal Mode (Driver: OFF)			5	mA
REG出力電圧 <sup>注3</sup>	VCCout	VCCout = VCM, ICM = 100 mA	4.9	5	5.1	V
電源過電流判定電圧 <sup>注3</sup>	VSUPlim		150		300	mV
負荷安定度 <sup>注3</sup>	REGL	10 mA ICM 150 mA, VSUP = 14 V	- 50		+ 50	mV
入力安定度 <sup>注3</sup>	REGIN1	IC = 100 mA, TA 25	- 70		+ 70	mV
	REGIN2	IC = 100 mA, TA 85	- 80		+ 80	mV
VBASE電流 <sup>注4</sup>	IBASE	VBASE = VSUP - 0.6 V, VSUP = 7 V	(480)			μA

- 注1. VSUP, VCM, VDD内部電源に流れるトータル電流です。周辺動作電流を含みます（ただし、ポートのプルアップ抵抗に流れる電流は含みません）。
2. IDDは周辺動作電流を含みます。  
PCC = 00Hに設定したとき。  
AVREF端子に流れる電流を含みます。
3. 外付けトランジスタは、2SB1261-Kを使用 [hFE (MAX.) = 400] 。
4. VBASE電流とはVBASE端子の電流能力を規定したもので、外付けトランジスタのBASE端子にMIN.値以上の電流を流すことができます。

備考 ( )で示した数値は設計保証値であり、出荷テストは行いません。

### 7.3 マイクロコントローラ部特性

#### 高速システム・クロック (水晶/セラミック) 発振回路特性

( $T_A = -40 \sim +85$ ,  $2.5\text{ V}$   $V_{CM} = V_{DD}$   $5.1\text{ V}, 2.5\text{ V}$   $AV_{REF}$   $V_{DD}, V_{SS} = AV_{SS} = 0\text{ V}$ )

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		発振周波数 ( $f_{XP}$ ) <sup>注</sup>	4.0 V $V_{DD}$ 5.1 V	2.0		12	MHz
			3.5 V $V_{DD} < 4.0\text{ V}$	2.0		10	
			3.0 V $V_{DD} < 3.5\text{ V}$	2.0		8.38	
			2.5 V $V_{DD} < 3.0\text{ V}$	2.0		5.0	
水晶振動子		発振周波数 ( $f_{XP}$ ) <sup>注</sup>	4.0 V $V_{DD}$ 5.1 V	2.0		12	MHz
			3.5 V $V_{DD} < 4.0\text{ V}$	2.0		10	
			3.0 V $V_{DD} < 3.5\text{ V}$	2.0		8.38	
			2.5 V $V_{DD} < 3.0\text{ V}$	2.0		5.0	
外部クロック		X1入力周波数 ( $f_{XP}$ ) <sup>注</sup>	4.0 V $V_{DD}$ 5.1 V	2.0		12	MHz
			3.5 V $V_{DD} < 4.0\text{ V}$	2.0		10	
			3.0 V $V_{DD} < 3.5\text{ V}$	2.0		8.38	
			2.5 V $V_{DD} < 3.0\text{ V}$	2.0		5.0	
		X1入力ハイ、ロウ・レベル幅 ( $t_{xPH}, t_{xPL}$ )	4.0 V $V_{DD}$ 5.1 V	38		250	ns
			3.5 V $V_{DD} < 4.0\text{ V}$	46		250	
			3.0 V $V_{DD} < 3.5\text{ V}$	56		250	
			2.5 V $V_{DD} < 3.0\text{ V}$	96		250	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. 水晶/セラミック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS}$ と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、内蔵発振器によりCPUが起動されるため、水晶/セラミック発振クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

内蔵発振回路特性

( $T_A = -40 \sim +85$  , 2.5 V  $V_{CM} = V_{DD}$  5.1 V, 2.5 V  $AV_{REF}$   $V_{DD}$ ,  $V_{SS} = AV_{SS} = 0$  V)

発振子	項目	条件	MIN.	TYP.	MAX.	単位
内蔵発振回路	発振周波数 (fr)		120	240	480	kHz

DC特性 (1/4)

( $T_A = -40 \sim +85$  , 2.5 V  $V_{CM} = V_{DD}$  5.1 V, 2.5 V  $AV_{REF}$   $V_{DD}$ ,  $V_{SS} = AV_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流	I <sub>OH</sub>	1端子	4.0 V $V_{DD}$ 5.1 V		- 5	mA	
		P30-P33, P120 合計	4.0 V $V_{DD}$ 5.1 V		- 25	mA	
		P00-P03, P10-P17, P130合計	4.0 V $V_{DD}$ 5.1 V		- 25	mA	
		全端子合計	4.0 V $V_{DD}$ 5.1 V		- 40	mA	
			2.5 V $V_{DD} < 4.0$ V		- 10	mA	
ロウ・レベル出力電流	I <sub>OL</sub>	1端子	4.0 V $V_{DD}$ 5.1 V		10	mA	
		P30-P33, P120 合計	4.0 V $V_{DD}$ 5.1 V		30	mA	
		P00-P03, P10-P17, P130合計	4.0 V $V_{DD}$ 5.1 V		30	mA	
		全端子合計	4.0 V $V_{DD}$ 5.1 V		50	mA	
			2.5 V $V_{DD} < 4.0$ V		10	mA	
ハイ・レベル入力電圧	V <sub>IH1</sub>	P12, P13, P15	2.7 V $V_{DD}$ 5.1 V	0.7 $V_{DD}$	$V_{DD}$	V	
			2.5 V $V_{DD} < 2.7$ V	0.8 $V_{DD}$	$V_{DD}$	V	
	V <sub>IH2</sub>	P00-P03, P10, P11, P14, P16, P17, P30-P33, P120, $\overline{RESET}$	2.7 V $V_{DD}$ 5.1 V	0.8 $V_{DD}$	$V_{DD}$	V	
			2.5 V $V_{DD} < 2.7$ V	0.85 $V_{DD}$	$V_{DD}$	V	
	V <sub>IH3</sub>	P20-P22 <sup>注</sup>	2.7 V $V_{DD}$ 5.1 V	0.7 $AV_{REF}$	$AV_{REF}$	V	
			2.5 V $V_{DD} < 2.7$ V	0.8 $AV_{REF}$	$AV_{REF}$	V	
	V <sub>IH4</sub>	X1, X2	2.7 V $V_{DD}$ 5.1 V	$V_{DD} - 0.5$	$V_{DD}$	V	
			2.5 V $V_{DD} < 2.7$ V	$V_{DD} - 0.2$	$V_{DD}$	V	
	ロウ・レベル入力電圧	V <sub>IL1</sub>	P12, P13, P15	2.7 V $V_{DD}$ 5.1 V	0	0.3 $V_{DD}$	V
				2.5 V $V_{DD} < 2.7$ V	0	0.2 $V_{DD}$	V
V <sub>IL2</sub>		P00-P03, P10, P11, P14, P16, P17, P30-P33, P120, $\overline{RESET}$	2.7 V $V_{DD}$ 5.1 V	0	0.2 $V_{DD}$	V	
			2.5 V $V_{DD} < 2.7$ V	0	0.15 $V_{DD}$	V	
V <sub>IL3</sub>		P20-P22 <sup>注</sup>	2.7 V $V_{DD}$ 5.1 V	0	0.3 $AV_{REF}$	V	
			2.5 V $V_{DD} < 2.7$ V	0	0.2 $AV_{REF}$	V	
V <sub>IL4</sub>		X1, X2	2.7 V $V_{DD}$ 5.1 V	0	0.4	V	
			2.5 V $V_{DD} < 2.7$ V	0	0.2	V	

注 デジタル入力ポートとして使用する場合は、 $AV_{REF} = V_{DD}$ にしてください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (2/4)

( $T_A = -40 \sim +85$  ,  $2.5 V$   $V_{CM} = V_{DD}$   $5.1 V$ ,  $2.5 V$   $AV_{REF}$   $V_{DD}$ ,  $V_{SS} = AV_{SS} = 0 V$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	$V_{OH}$	P30-P33, P120 端子合計 $I_{OH} = -25 \text{ mA}$	$4.0 V$ $V_{DD}$ $5.1 V$ , $I_{OH} = -5 \text{ mA}$	$V_{DD} - 1.0$			V
		P00-P03, P10-P17, P130 端子合計 $I_{OH} = -25 \text{ mA}$	$4.0 V$ $V_{DD}$ $5.1 V$ , $I_{OH} = -5 \text{ mA}$	$V_{DD} - 1.0$			V
		$I_{OH} = -100 \mu A$	$2.5 V$ $V_{DD} < 4.0 V$	$V_{DD} - 0.5$			V
ロウ・レベル出力電圧	$V_{OL}$	P30-P33, P120 端子合計 $I_{OL} = 30 \text{ mA}$	$4.0 V$ $V_{DD}$ $5.1 V$ , $I_{OL} = 10 \text{ mA}$			1.3	V
		P00-P03, P10-P17, P130 端子合計 $I_{OL} = 30 \text{ mA}$	$4.0 V$ $V_{DD}$ $5.1 V$ , $I_{OL} = 10 \text{ mA}$			1.3	V
		$I_{OL} = 400 \mu A$	$2.5 V$ $V_{DD} < 4.0 V$			0.4	V
ハイ・レベル入力 リーク電流	$I_{LIH1}$	$V_I = V_{DD}$	P00-P03, P10-P17, P30-P33, P120, $\overline{\text{RESET}}$			3	$\mu A$
		$V_I = AV_{REF}$	P20-P22			3	$\mu A$
	$I_{LIH2}$	$V_I = V_{DD}$	X1, X2 <sup>注</sup>			20	$\mu A$
ロウ・レベル入力 リーク電流	$I_{LIL1}$	$V_I = 0 V$	P00-P03, P10-P17, P20-P23, P30-P33, P120, $\overline{\text{RESET}}$			- 3	$\mu A$
	$I_{LIL2}$		X1, X2 <sup>注</sup>			- 20	$\mu A$
ハイ・レベル出力リーク電流	$I_{LOH}$	$V_O = V_{DD}$				3	$\mu A$
ロウ・レベル出力リーク電流	$I_{LOL}$	$V_O = 0 V$				- 3	$\mu A$
プルアップ抵抗値	R	$V_I = 0 V$		10	30	100	k
$V_{PP}$ 電源電圧 ( $\mu$ PD78F8002Aのみ)	$V_{PP1}$	通常動作時		0		$0.2 V_{DD}$	V

注 X2にX1の反転入力レベルを, XT2にXT1の反転入力レベルを印加している場合。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (3/4) :  $\mu$ PD78F8002A

( $T_A = -40 \sim +85$  , 2.5 V  $V_{CM} = V_{DD} = 5.1$  V, 2.5 V  $AV_{REF}$   $V_{DD}, V_{SS} = AV_{SS} = 0$  V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電流 <sup>注1</sup>	IDD1	X1水晶発振 動作モード <sup>注2</sup>	$f_{XP} = 12$ MHz, $V_{DD} = 5.0$ V $\pm 2\%$ <sup>注3</sup>	A/Dコンバータ停止時	14	23.4	mA
				A/Dコンバータ動作時 <sup>注4</sup>	15	25.4	mA
			$f_{XP} = 10$ MHz, $V_{DD} = 5.0$ V $\pm 2\%$ <sup>注3</sup>	A/Dコンバータ停止時	11.6	19.5	mA
				A/Dコンバータ動作時 <sup>注4</sup>	12.6	21.5	mA
			$f_{XP} = 5$ MHz, $V_{DD} = 3.0$ V $\pm 10\%$ <sup>注3</sup>	A/Dコンバータ停止時	4	6.4	mA
				A/Dコンバータ動作時 <sup>注4</sup>	4.6	7.6	mA
	IDD2	X1水晶発振 HALTモード	$f_{XP} = 12$ MHz, $V_{DD} = 5.0$ V $\pm 2\%$	周辺機能停止時	1.6	3.2	mA
				周辺機能動作時		6.4	mA
			$f_{XP} = 10$ MHz, $V_{DD} = 5.0$ V $\pm 2\%$	周辺機能停止時	1.4	2.8	mA
				周辺機能動作時		5.5	mA
			$f_{XP} = 5$ MHz, $V_{DD} = 3.0$ V $\pm 10\%$	周辺機能停止時	0.32	0.64	mA
				周辺機能動作時		1.9	mA
	IDD3	内蔵発振 動作モード <sup>注5</sup>	$V_{DD} = 5.0$ V $\pm 2\%$		0.37	1.51	mA
			$V_{DD} = 3.0$ V $\pm 10\%$		0.29	1.16	mA
	IDD4	内蔵発振 HALTモード <sup>注5</sup>	$V_{DD} = 5.0$ V $\pm 2\%$		0.19	0.76	mA
$V_{DD} = 3.0$ V $\pm 10\%$				0.16	0.64	mA	
IDD5	STOPモード	$V_{DD} = 5.0$ V $\pm 2\%$	POC : ON, 内蔵発振器 : OFF		3.5	35.5	$\mu$ A
			POC : ON, 内蔵発振器 : ON		17.5	63.5	$\mu$ A
		$V_{DD} = 3.0$ V $\pm 10\%$	POC : ON, 内蔵発振器 : OFF		3.5	15.5	$\mu$ A
			POC : ON, 内蔵発振器 : ON		11	30.5	$\mu$ A

注1. 内部電源 ( $V_{DD}$ ) に流れるトータル電流です。周辺動作電流を含みます (ただし, ポートのプルアップ抵抗に流れる電流は含みません)。

2.  $I_{DD1}$ は周辺動作電流を含みます。
3. PCC = 00Hに設定したとき。
4.  $V_{DD}$ 端子,  $AV_{REF}$ 端子に流れる電流の合計です。
5. X1発振回路を停止させたとき。

DC特性 (4/4) :  $\mu$  PD788001A, 788002A

( $T_A = -40 \sim +85$  , 2.5 V  $V_{CM} = V_{DD}$  5.1 V, 2.5 V  $AV_{REF}$   $V_{DD}$ ,  $V_{SS} = AV_{SS} = 0$  V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 <sup>注1</sup>	IDD1	X1水晶発振 動作モード <sup>注2</sup>	f <sub>XP</sub> = 12 MHz, V <sub>DD</sub> = 5.0 V ± 2% <sup>注3</sup>	A/Dコンバータ停止時		7.2	13.1	mA
				A/Dコンバータ動作時 <sup>注4</sup>		8.2	15.1	mA
		f <sub>XP</sub> = 10 MHz, V <sub>DD</sub> = 5.0 V ± 2% <sup>注3</sup>	A/Dコンバータ停止時		6	10.9	mA	
			A/Dコンバータ動作時 <sup>注4</sup>		7	12.9	mA	
		f <sub>XP</sub> = 5 MHz, V <sub>DD</sub> = 3.0 V ± 10% <sup>注3</sup>	A/Dコンバータ停止時		1.7	3.1	mA	
			A/Dコンバータ動作時 <sup>注4</sup>		2.3	4.3	mA	
	IDD2	X1水晶発振 HALTモード	f <sub>XP</sub> = 12 MHz, V <sub>DD</sub> = 5.0 V ± 2%	周辺機能停止時		1.5	3.0	mA
				周辺機能動作時			5.5	mA
			f <sub>XP</sub> = 10 MHz, V <sub>DD</sub> = 5.0 V ± 2%	周辺機能停止時		1.3	2.6	mA
				周辺機能動作時			4.8	mA
			f <sub>XP</sub> = 5 MHz, V <sub>DD</sub> = 3.0 V ± 10 %	周辺機能停止時		0.25	0.5	mA
				周辺機能動作時			1.1	mA
	IDD3	内蔵発振 動作モード <sup>注5</sup>	V <sub>DD</sub> = 5.0 V ± 2%			0.18	0.72	mA
			V <sub>DD</sub> = 3.0 V ± 10 %			0.11	0.44	mA
	IDD4	内蔵発振 HALTモード <sup>注5</sup>	V <sub>DD</sub> = 5.0 V ± 2%			0.05	0.20	mA
V <sub>DD</sub> = 3.0 V ± 10 %				0.03	0.12	mA		
IDD5	STOPモード	V <sub>DD</sub> = 5.0 V ± 2%	POC : ON, 内蔵発振器 : OFF		3.5	35.5	$\mu$ A	
			POC : ON, 内蔵発振器 : ON		17.5	63.5	$\mu$ A	
		V <sub>DD</sub> = 3.0 V ± 10 %	POC : ON, 内蔵発振器 : OFF		3.5	15.5	$\mu$ A	
			POC : ON, 内蔵発振器 : ON		11	30.5	$\mu$ A	

注1. 内部電源 (V<sub>DD</sub>) に流れるトータル電流です。周辺動作電流を含みます (ただし, ポートのプルアップ抵抗に流れる電流は含みません)。

2. I<sub>DD1</sub>は周辺動作電流を含みます。
3. PCC = 00Hに設定したとき。
4. V<sub>DD</sub>端子, AV<sub>REF</sub>端子に流れる電流の合計です。
5. X1発振回路を停止させたとき。

AC特性

(1) 基本動作

( $T_A = -40 \sim +85$  ,  $2.5\text{ V}$   $V_{CM} = V_{DD}$   $5.1\text{ V}$ ,  $2.5\text{ V}$   $AV_{REF}$   $V_{DD}$ ,  $V_{SS} = AV_{SS} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T <sub>CY</sub>	X1入力 クロック	4.0 V $V_{DD}$ 5.1 V	0.166		16	$\mu\text{s}$
			3.5 V $V_{DD} < 4.0\text{ V}$	0.2		16	$\mu\text{s}$
			3.0 V $V_{DD} < 3.5\text{ V}$	0.238		16	$\mu\text{s}$
			2.5 V $V_{DD} < 3.0\text{ V}$	0.4		16	$\mu\text{s}$
		内蔵発振クロック	4.17	8.33	33.3	$\mu\text{s}$	
TI000, TI010 入力ハイ・レベル幅, ロウ・レベル幅	t <sub>TIH0</sub> , t <sub>TIL0</sub>	4.0 V $V_{DD}$ 5.1 V	$2/f_{sam} + 0.1^{\text{注}}$			$\mu\text{s}$	
		2.7 V $V_{DD} < 4.0\text{ V}$	$2/f_{sam} + 0.2^{\text{注}}$			$\mu\text{s}$	
		2.5 V $V_{DD} < 2.7\text{ V}$	$2/f_{sam} + 0.5^{\text{注}}$			$\mu\text{s}$	
TI50入力周波数	f <sub>TI5</sub>	4.0 V $V_{DD}$ 5.1 V			10	MHz	
		2.7 V $V_{DD} < 4.0\text{ V}$			5	MHz	
		2.5 V $V_{DD} < 2.7\text{ V}$			2.5	MHz	
TI50入力ハイ・レベル幅, ロウ・レベル幅	t <sub>TIH5</sub> , t <sub>TIL5</sub>	4.0 V $V_{DD}$ 5.1 V	50			ns	
		2.7 V $V_{DD} < 4.0\text{ V}$	100			ns	
		2.5 V $V_{DD} < 2.7\text{ V}$	200			ns	
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t <sub>INTH</sub> , t <sub>INTL</sub>	2.7 V $V_{DD}$ 5.1 V	1			$\mu\text{s}$	
		2.5 V $V_{DD} < 2.7\text{ V}$	2			$\mu\text{s}$	
RESETロウ・レベル幅	t <sub>RSL</sub>	2.7 V $V_{DD}$ 5.1 V	10			$\mu\text{s}$	
		2.5 V $V_{DD} < 2.7\text{ V}$	20			$\mu\text{s}$	

注 プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により,  $f_{sam} = f_{PRS}$ ,  $f_{PRS}/4$ ,  $f_{PRS}/256$ の選択が可能です。ただし, カウント・クロックとしてTI000有効エッジを選択した場合は,  $f_{sam} = f_{XP}$ となります。

(2) シリアル・インタフェース

( $T_A = -40 \sim +85$  ,  $2.5\text{ V}$   $V_{CM} = V_{DD}$   $5.1\text{ V}$ ,  $2.5\text{ V}$   $AV_{REF}$   $V_{DD}$ ,  $V_{SS} = AV_{SS} = 0\text{ V}$ )

(a) UARTモード (UART6, 専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					312.5	kbps

(b) UARTモード (UART0, 専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					312.5	kbps

(c) 3線式シリアルI/Oモード (マスタ・モード,  $\overline{SCK10}$ ...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK10}$ サイクル・タイム	$t_{KY1}$	$4.0\text{ V}$ $V_{DD}$ $5.1\text{ V}$	200			ns
		$3.3\text{ V}$ $V_{DD} < 4.0\text{ V}$	240			ns
		$2.7\text{ V}$ $V_{DD} < 3.3\text{ V}$	400			ns
		$2.5\text{ V}$ $V_{DD} < 2.7\text{ V}$	800			ns
$\overline{SCK10}$ ハイ, ロウ・レベル幅	$t_{KH1}$ , $t_{KL1}$	$2.7\text{ V}$ $V_{DD}$ $5.1\text{ V}$	$t_{KY1}/2 - 10$			ns
		$2.5\text{ V}$ $V_{DD} < 2.7\text{ V}$	$t_{KY1}/2 - 50$			ns
SI10セットアップ時間 (対 $\overline{SCK10}$ )	$t_{SIK1}$	$2.7\text{ V}$ $V_{DD}$ $5.1\text{ V}$	30			ns
		$2.5\text{ V}$ $V_{DD} < 2.7\text{ V}$	70			ns
SI10ホールド時間 (対 $\overline{SCK10}$ )	$t_{KSI1}$	$2.7\text{ V}$ $V_{DD}$ $5.1\text{ V}$	30			ns
		$2.5\text{ V}$ $V_{DD} < 2.7\text{ V}$	70			ns
$\overline{SCK10}$ SO10出力遅延時間	$t_{KSO1}$	$C = 100\text{ pF}$ <sup>注</sup>	$2.7\text{ V}$ $V_{DD}$ $5.1\text{ V}$		30	ns
			$2.5\text{ V}$ $V_{DD}$ $2.7\text{ V}$		120	ns

注 Cは,  $\overline{SCK10}$ , SO10出力ラインの負荷容量です。

(d) 3線式シリアルI/Oモード (スレーブ・モード,  $\overline{SCK10}$ ...外部クロック入力)

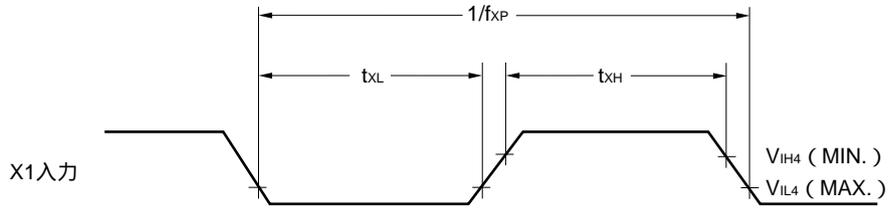
項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK10}$ サイクル・タイム	$t_{KY2}$	$2.7\text{ V}$ $V_{DD}$ $5.1\text{ V}$	400			ns
		$2.5\text{ V}$ $V_{DD} < 2.7\text{ V}$	800			ns
$\overline{SCK10}$ ハイ, ロウ・レベル幅	$t_{KH2}$ , $t_{KL2}$		$t_{KY2}/2$			ns
SI10セットアップ時間 (対 $\overline{SCK10}$ )	$t_{SIK2}$		80			ns
SI10ホールド時間 (対 $\overline{SCK10}$ )	$t_{KSI2}$		50			ns
$\overline{SCK10}$ SO10出力遅延時間	$t_{KSO2}$	$C = 100\text{ pF}$ <sup>注</sup>			120	ns

注 Cは, SO10出力ラインの負荷容量です。

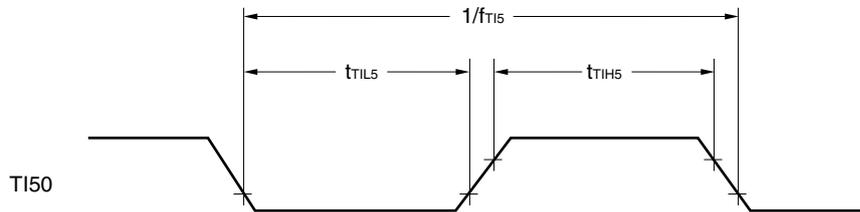
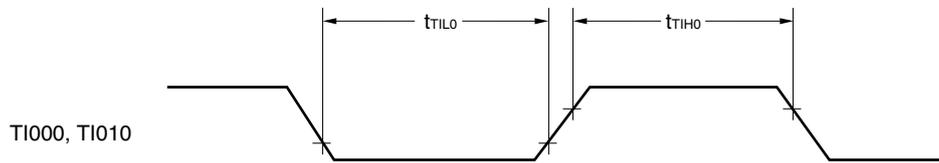
ACタイミング測定点 (X1入力を除く)



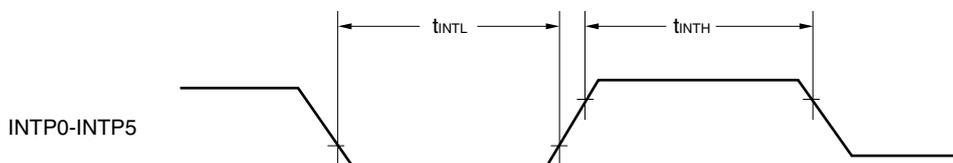
クロック・タイミング



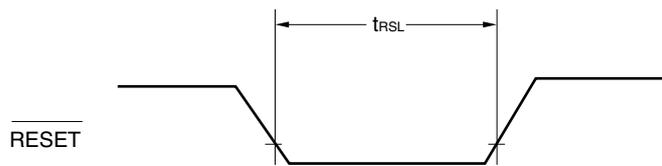
TIタイミング



割り込み要求入力タイミング

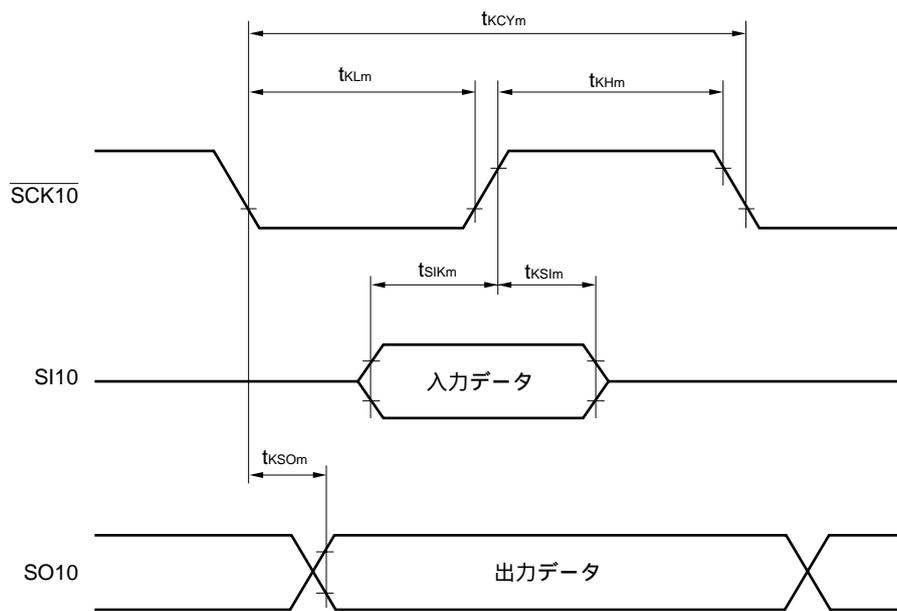


RESET入力タイミング



シリアル転送タイミング

3線式シリアルI/Oモード :



備考 m = 1, 2

A/Dコンバータ特性

( $T_A = -40 \sim +85$  , 2.5 V  $V_{CM} = V_{DD} = 5.1$  V, 2.5 V  $V_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		10	10	10	bit
総合誤差 <sup>注1, 2</sup>	AINL	4.0 V $V_{REF} = 5.1$ V		$\pm 0.2$	$\pm 0.4$	%FSR
		2.7 V $V_{REF} < 4.0$ V		$\pm 0.3$	$\pm 0.6$	%FSR
		2.3 V $V_{REF} < 2.7$ V		$\pm 0.6$	$\pm 1.2$	%FSR
変換時間	t <sub>CONV</sub>	4.0 V $V_{REF} = 5.1$ V	14		100	$\mu$ s
		2.7 V $V_{REF} < 4.0$ V	17		100	$\mu$ s
		2.3 V $V_{REF} < 2.7$ V	48		100	$\mu$ s
ゼロスケール誤差 <sup>注1, 2</sup>	E <sub>ZS</sub>	4.0 V $V_{REF} = 5.1$ V			$\pm 0.4$	%FSR
		2.7 V $V_{REF} < 4.0$ V			$\pm 0.6$	%FSR
		2.3 V $V_{REF} < 2.7$ V			$\pm 1.2$	%FSR
フルスケール誤差 <sup>注1, 2</sup>	E <sub>FS</sub>	4.0 V $V_{REF} = 5.1$ V			$\pm 0.4$	%FSR
		2.7 V $V_{REF} < 4.0$ V			$\pm 0.6$	%FSR
		2.3 V $V_{REF} < 2.7$ V			$\pm 1.2$	%FSR
積分直線性誤差 <sup>注1</sup>	ILE	4.0 V $V_{REF} = 5.1$ V			$\pm 2.5$	LSB
		2.7 V $V_{REF} < 4.0$ V			$\pm 4.5$	LSB
		2.3 V $V_{REF} < 2.7$ V			$\pm 8.5$	LSB
微分直線性誤差 <sup>注1</sup>	DLE	4.0 V $V_{REF} = 5.1$ V			$\pm 1.5$	LSB
		2.7 V $V_{REF} < 4.0$ V			$\pm 2.0$	LSB
		2.3 V $V_{REF} < 2.7$ V			$\pm 3.5$	LSB
アナログ入力電圧	V <sub>AIN</sub>		$AV_{SS}$		$AV_{REF}$	V

注1. 量子化誤差 ( $\pm 1/2$  LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

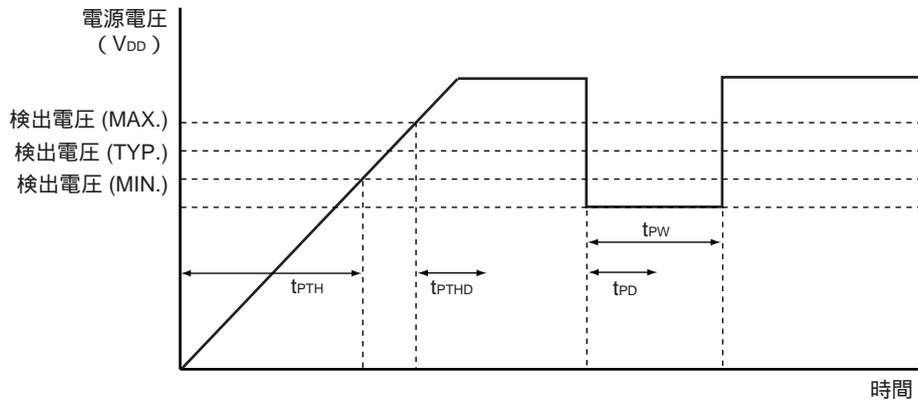
POC回路特性 (T<sub>A</sub> = -40 ~ +85 )

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V <sub>POC</sub>		3.3	3.5	3.7	V
電源立ち上げ時間	t <sub>PTH</sub>	V <sub>DD</sub> : 0 V 2.7 V	0.0015			ms
		V <sub>DD</sub> : 0 V 3.3 V	0.002			ms
応答ディレイ時間 <sup>注1</sup>	t <sub>PTHD</sub>	電源立ち上げ時, 検出電圧 (MAX.) に達したあと			3.0	ms
応答ディレイ時間 <sup>注2</sup>	t <sub>PD</sub>	V <sub>DD</sub> 降下時			1.0	ms
最小パルス幅	t <sub>PW</sub>		0.2			ms

注1. 検出電圧を検出してから, リセットを解除するまでの時間です。

2. 検出電圧を検出してから, 内部リセットを出力するまでの時間です。

POC回路タイミング



LVI回路特性 (TA = -40 ~ +85 )

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V <sub>LV10</sub>		4.1	4.3	4.5	V
	V <sub>LV11</sub>		3.9	4.1	4.3	V
	V <sub>LV12</sub>		3.7	3.9	4.1	V
	V <sub>LV13</sub>		3.5	3.7	3.9	V
	V <sub>LV14</sub>		3.3	3.5	3.7	V
	V <sub>LV15</sub>		3.15	3.3	3.45	V
	V <sub>LV16</sub>		2.95	3.1	3.25	V
	V <sub>LV17</sub>		2.7	2.85	3.0	V
応答時間 <sup>注1</sup>	t <sub>LD</sub>			0.2	2.0	ms
最小パルス幅	t <sub>LW</sub>		0.2			ms
基準電圧安定待ち時間	t <sub>LWAIT0</sub>			0.5	2.0	ms
動作安定待ち時間 <sup>注2</sup>	t <sub>LWAIT1</sub>			0.1	0.2	ms

注1. 検出電圧を検出して割り込みまたは内部リセットを出力するまでの時間です。

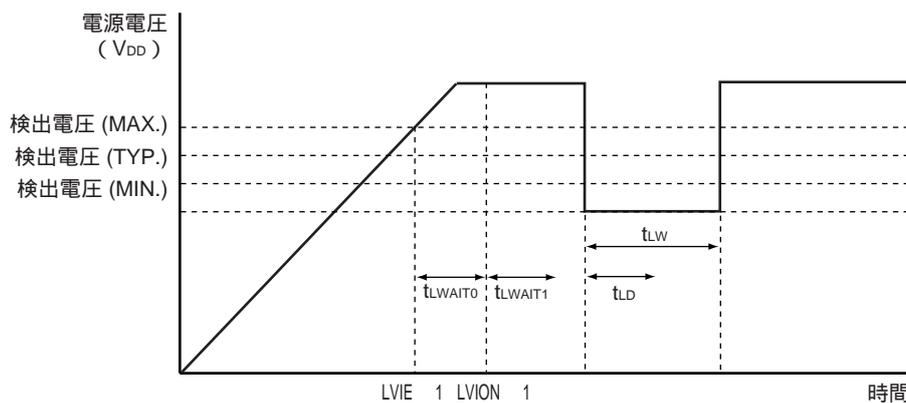
2. LVIONに1を設定してから、動作が安定するまでの時間です。

**注意** V<sub>LV13</sub> ~ V<sub>LV17</sub>は設定しないでください。POC検出電圧が3.5 V ± 0.2 Vに設定されているため、V<sub>LV13</sub> ~ V<sub>LV17</sub>を設定しても低電圧検出されません。

備考1. V<sub>LV10</sub> > V<sub>LV11</sub> > V<sub>LV12</sub> > V<sub>LV13</sub> > V<sub>LV14</sub> > V<sub>LV15</sub> > V<sub>LV16</sub> > V<sub>LV17</sub>

2. V<sub>POC</sub> < V<sub>LV1m</sub> (m = 0-7)

LVI回路タイミング



フラッシュ・メモリ・プログラミング特性：μ PD78F8002A

( $T_A = +10 \sim +60$  , 2.5 V  $V_{CM} = V_{DD}$  5.1 V, 2.5 V  $AV_{REF}$   $V_{DD}$ ,  $V_{SS} = AV_{SS} = 0$  V)

(1) 書き込み消去特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
$V_{PP}$ 電源電圧	$V_{PP2}$	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V
$V_{DD}$ 電源電流	$I_{DD}$	$V_{PP} = V_{PP2}$ 時 $f_{XP} = 10$ MHz, $V_{DD} = 5.1$ V時			37	mA
$V_{PP}$ 電源電流	$I_{PP}$	$V_{PP} = V_{PP2}$			100	mA
ステップ消去時間 <sup>注1</sup>	$T_{er}$		0.199	0.2	0.201	s
総消去時間 <sup>注2</sup>	$T_{era}$	ステップ消去時間 = 0.2 s			20	s/チップ
ライトバック時間 <sup>注3</sup>	$T_{wb}$		49.4	50	50.6	ms
1ライトバック・コマンドあたりのライトバック回数 <sup>注4</sup>	$C_{wb}$	ライトバック時間 = 50 ms			60	回
消去 - ライトバック回数	$C_{erwb}$				16	回
ステップ書き込み時間 <sup>注5</sup>	$T_{wr}$		48	50	52	μs
1ワードあたりの総書き込み時間 <sup>注6</sup>	$T_{wrw}$	ステップ書き込み時間 = 50 μs設定 (1ワード = 1バイト)	48		520	μs
1チップあたりの書き換え回数 <sup>注7</sup>	$C_{erwr}$	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする			20	回/エリア

注1. ステップ消去時間の推奨設定値 = 0.2 sです。

2. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は, 含まれません。

3. ライトバック時間の推奨設定値 = 50 msです。

4. ライトバック・コマンドの発行により, ライトバックは1回実行されます。したがってリトライ回数設定値は, 本値よりコマンド発行回数をマイナスした値としてください。

5. ステップ書き込み時間の推奨設定値 = 50 μsです。

6. 実際の1ワードあたりの書き込み時間は, 100 μsが加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。

7. 出荷品に対する初回書き込み時では, 「消去 書き込み」の場合も, 「書き込みのみ」の場合も書き換え1回となります。

例 P: 書き込み E: 消去

出荷品 P E P E P: 書き換え回数3回

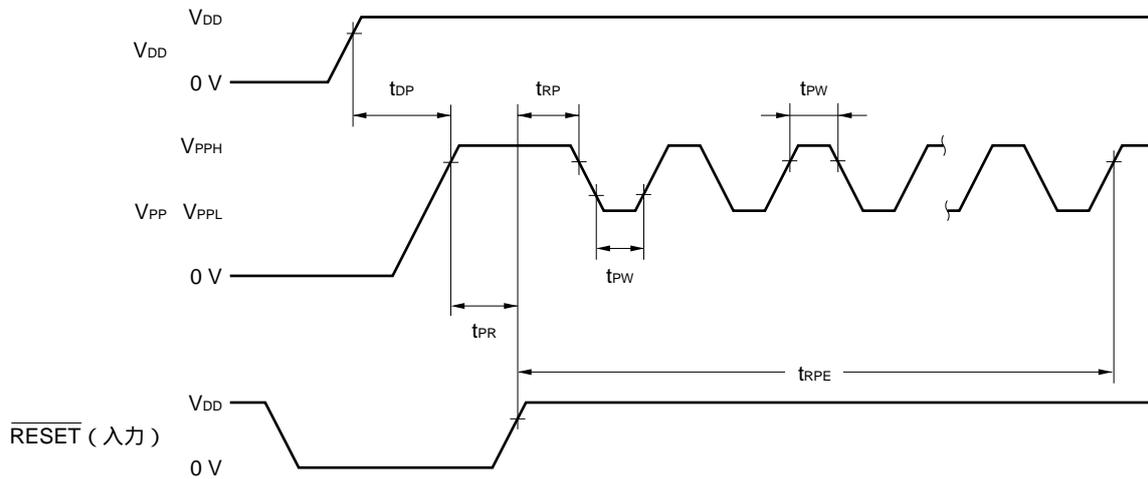
出荷品 E P E P E P: 書き換え回数3回

備考 フラッシュ・メモリ・プログラミング時の動作クロック範囲は, 通常動作時と同様です。

(2) シリアル書き込みオペレーション特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
V <sub>DD</sub> V <sub>PP</sub> セット時間	t <sub>DP</sub>		10			μs
V <sub>PP</sub> $\overline{\text{RESET}}$ 解除時間	t <sub>PR</sub>		10			μs
$\overline{\text{RESET}}$ V <sub>PP</sub> パルス入力開始時間	t <sub>RP</sub>		2			ms
V <sub>PP</sub> パルス・ハイ、ロウ・レベル幅	t <sub>PW</sub>		8			μs
$\overline{\text{RESET}}$ V <sub>PP</sub> パルス入力終了時間	t <sub>RPE</sub>				14	ms
V <sub>PP</sub> パルス・ロウ・レベル入力電圧	V <sub>PPPL</sub>		0.8 V <sub>DD</sub>		1.2 V <sub>DD</sub>	V
V <sub>PP</sub> パルス・ハイ・レベル入力電圧	V <sub>PPPH</sub>		9.7	10.0	10.3	V

フラッシュ書き込みモード設定タイミング



## 7.4 LINトランシーバ部特性

DC特性 (TA = -40 ~ +85, V<sub>SUP</sub> = 18 V, 4.9 V V<sub>CM</sub> = V<sub>DD</sub> = EV<sub>DD</sub> 5.1 V)

項目	略号	条件	MIN	TYP	MAX	単位
LIN Bus ドミナント・リーク電流	IBUS_PAS_dom	Driver off (V <sub>TxD</sub> = V <sub>CM</sub> ), V <sub>BUS</sub> = 0 V, V <sub>SUP</sub> = 12 V	- 1			mA
LIN Bus レセシブ・リーク電流	IBUS_PAS_rec	Driver off (V <sub>TxD</sub> = V <sub>CM</sub> ), 8 V < V <sub>SUP</sub> < 18 V, 8 V < V <sub>BUS</sub> < 18 V, V <sub>BUS</sub> = V <sub>SUP</sub>			20	μA
LIN Bus 電流1	IBUS_NO_GND	GND <sub>Device</sub> = V <sub>SUP</sub> , 0 V < V <sub>BUS</sub> < 18 V, V <sub>SUP</sub> = 12 V	(- 1)		(1)	mA
LIN Bus 電流2	IBUS	V <sub>SUP_Device</sub> = GND, 0 V < V <sub>BUS</sub> < 18 V		(1)	(10)	μA
受信ドミナント・レベル・ 入力電圧	V <sub>BUSdom</sub>	7 V < V <sub>SUP</sub> < 18 V			0.4 V <sub>SUP</sub>	V
受信レセシブ・レベル・ 入力電圧	V <sub>BUSrec</sub>	7 V < V <sub>SUP</sub> < 18 V	0.6 V <sub>SUP</sub>			V
受信センターレベル・ スレッシュホールド	V <sub>BUS_CNT</sub>	7 V < V <sub>SUP</sub> < 18 V, (V <sub>th_dom</sub> + V <sub>th_rec</sub> )/2	0.475 V <sub>SUP</sub>	0.5 V <sub>SUP</sub>	0.525 V <sub>SUP</sub>	V
受信ヒステリシス	V <sub>HYS</sub>	7 V < V <sub>SUP</sub> < 18 V			0.175 V <sub>SUP</sub>	V
LINOドミナント・レベル 出力電圧1	V <sub>BUSdom_DRV_LoSUP</sub>	V <sub>SUP</sub> = 7.3 V, I <sub>lino</sub> = 15 mA			0.3	V
LINOドミナント・レベル 出力電圧2	V <sub>BUSdom_DRV_HiSUP</sub>	V <sub>SUP</sub> = 18 V, I <sub>lino</sub> = 36 mA			0.4	V
LINシリアル・ダイオード・ ドロップ電圧	V <sub>SerDiode</sub>	V <sub>TxD</sub> = V <sub>CM</sub> , I <sub>lino</sub> = 10 μA	(0.4)	(0.7)	(1.0)	V
LINプルアップ抵抗	R <sub>slave</sub>		(20)	(30)	(60)	k
MSLPハイ・レベル入力電圧	V <sub>slph</sub>		3.5			V
MSLPロウ・レベル入力電圧	V <sub>slpL</sub>				1.5	V
MSLPプルダウン抵抗	R <sub>mstp</sub>		50		200	k
UMODEハイ・レベル入力電圧	V <sub>umh</sub>		0.7 V <sub>CM</sub>			V
UMODEロウ・レベル入力電圧	V <sub>uml</sub>				0.3 V <sub>CM</sub>	V
UMODEプルダウン抵抗	R <sub>umode</sub>		0.5		2	M
LIN過電流制限値	I <sub>bus_lim</sub>	Driver ON	40		200	mA
LIN過熱検出温度	LIN <sub>th</sub>		(150)			

注意 LINIとLINO端子間には、負電圧保護用に外付けダイオードが必要です。

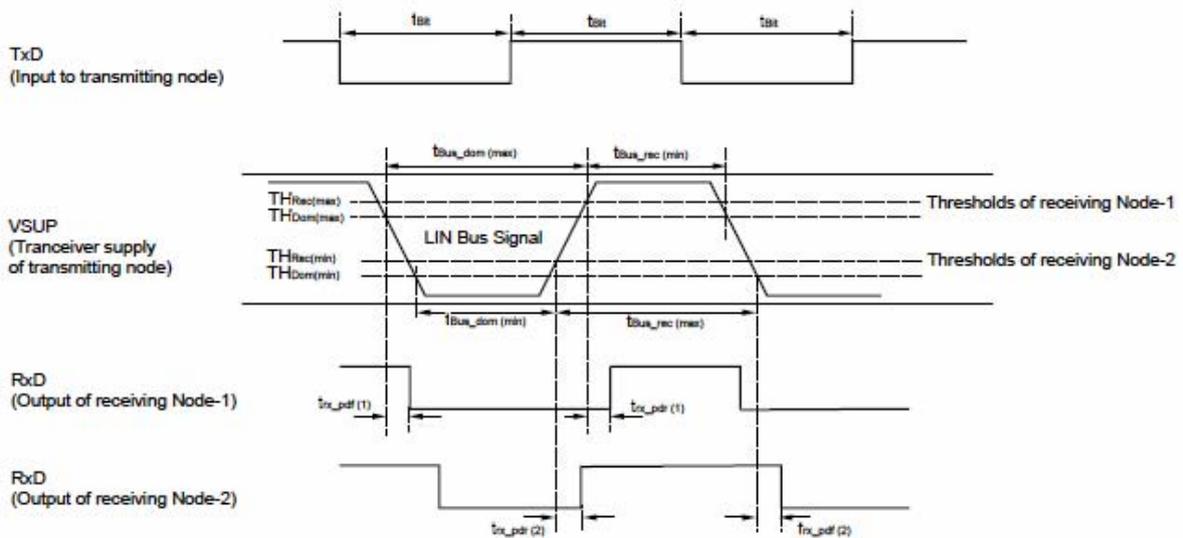
備考 ( ) で示した数値は設計保証値であり、出荷テストは行いません。

AC特性 (T<sub>A</sub> = -40 ~ +85 , 7V V<sub>SUP</sub> 18 V, 4.9 V V<sub>CM</sub> = V<sub>DD</sub> = EV<sub>DD</sub> 5.1V)

項目	略号	条件	MIN	TYP	MAX	単位
Duty_Cycle1	D1	$TH_{Rec(max)} = 0.744 \times V_{SUP}$ $TH_{Dom(max)} = 0.581 \times V_{SUP}$ $V_{SUP} = 7.0 V \sim 18 V$ ; $t_{bit} = 50 \mu s$ , $D1 = t_{Bus\_rec(min)} / (2 \times t_{bit})$ $C_{BUS} = 1 nF, R_{BUS} = 1 k$	0.396			-
Duty_Cycle2	D2	$TH_{Rec(min)} = 0.422 \times V_{SUP}$ $TH_{Dom(min)} = 0.284 \times V_{SUP}$ $V_{SUP} = 7.6 V \sim 18 V$ ; $t_{bit} = 50 \mu s$ , $D2 = t_{Bus\_rec(max)} / (2 \times t_{bit})$ $C_{BUS} = 1 nF, R_{BUS} = 1 k$			0.581	-
Duty_Cycle3	D3	$TH_{Rec(max)} = 0.778 \times V_{SUP}$ $TH_{Dom(max)} = 0.616 \times V_{SUP}$ $V_{SUP} = 7.0 V \sim 18 V$ ; $t_{bit} = 96 \mu s$ , $D3 = t_{Bus\_rec(min)} / (2 \times t_{bit})$ $C_{BUS} = 1 nF, R_{BUS} = 1 k$	0.417			-
Duty_Cycle4	D4	$TH_{Rec(min)} = 0.389 \times V_{SUP}$ $TH_{Dom(min)} = 0.251 \times V_{SUP}$ $V_{SUP} = 7.6 V \sim 18 V$ ; $t_{bit} = 96 \mu s$ , $D4 = t_{Bus\_rec(max)} / (2 \times t_{bit})$ $C_{BUS} = 1 nF, R_{BUS} = 1 k$			0.590	-
伝達遅延時間	t <sub>rx_pd</sub>	t <sub>rx_pdf(1)</sub> , t <sub>rx_pdf(2)</sub> , t <sub>rx_pdr(1)</sub> , t <sub>rx_pdr(2)</sub>			6	μs
立ち上がり・立ち下がり 伝達遅延時間差	t <sub>rx_sym</sub>	$t_{rx\_sym} = t_{rx\_pdf(1)} - t_{rx\_pdr(1)}$ , $t_{rx\_sym} = t_{rx\_pdf(2)} - t_{rx\_pdr(2)}$	- 2		+ 2	μs

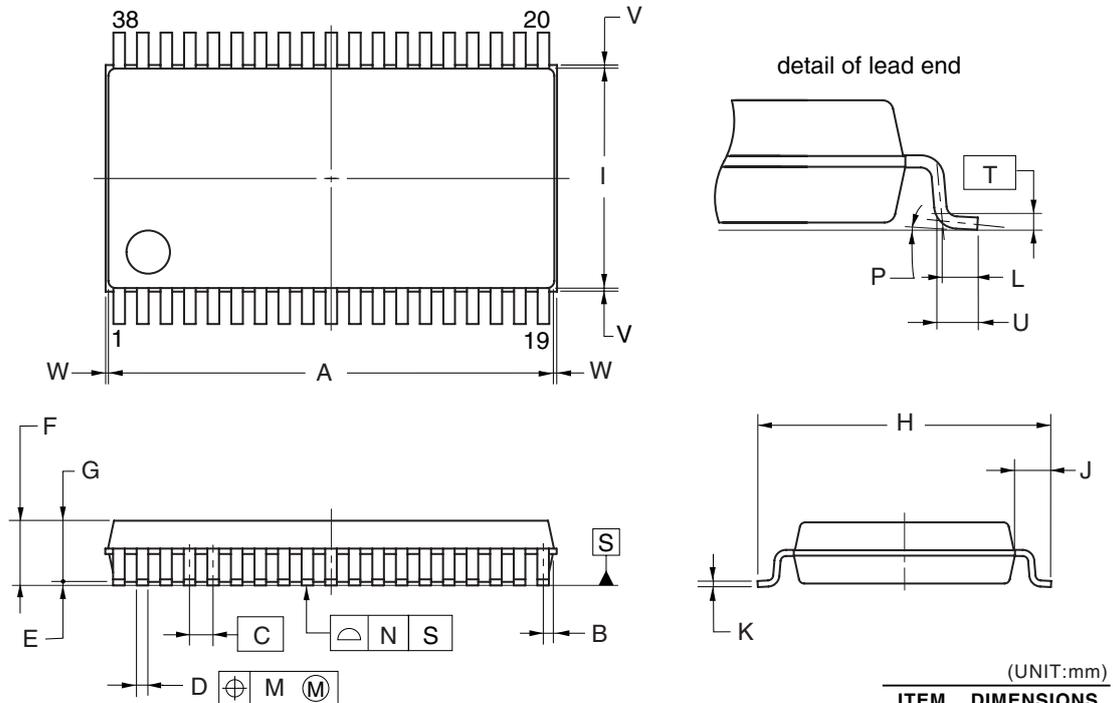
Definition of Bus Timing Parameters

Timing diagram:



## 第8章 外形図

### 38-PIN PLASTIC SSOP (7.62mm (300))



#### NOTE

Each lead centerline is located within 0.10 mm of its true position (T.P.) at maximum material condition.

(UNIT:mm)

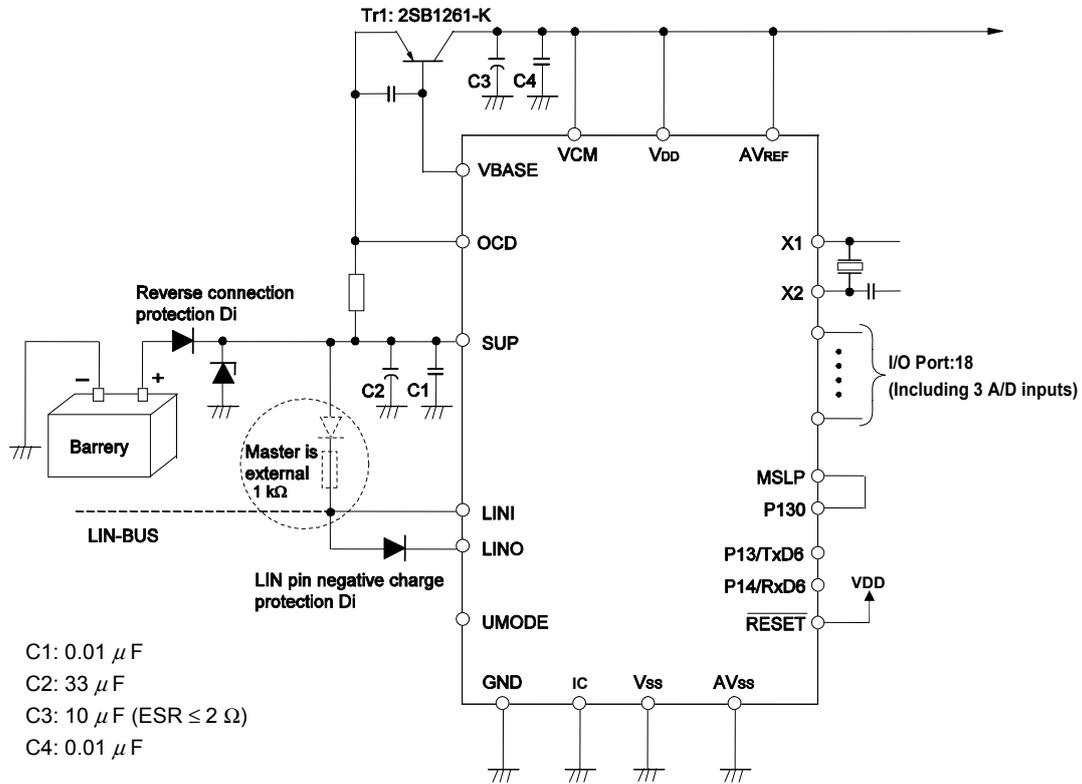
ITEM	DIMENSIONS
A	12.30±0.10
B	0.30
C	0.65 (T.P.)
D	0.30 <sup>+0.10</sup> <sub>-0.05</sub>
E	0.125±0.075
F	2.00 MAX.
G	1.70±0.10
H	8.10±0.20
I	6.10±0.10
J	1.00±0.20
K	0.15 <sup>+0.10</sup> <sub>-0.05</sub>
L	0.50
M	0.10
N	0.10
P	3° <sup>+5°</sup> <sub>-3°</sub>
T	0.25(T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

P38MC-65-GAA

© NEC Electronics Corporation 2005

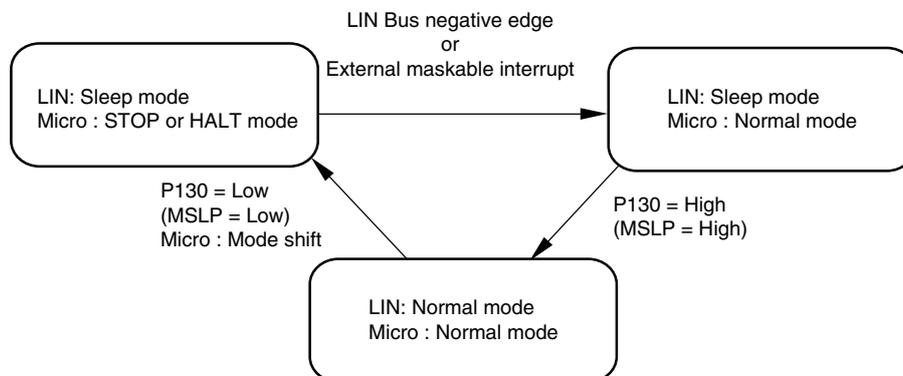
# 第9章 アプリケーション例

図9 - 1 回路例



- 備考1. Tr1は、VBASE, VCM, SUP端子近傍に配置し、ベース、コレクタ、エミッタ配線を極力短くしてください。
2. C1は、SUP端子近傍に配置し、SUP端子までの配線を極力短くしてください。

図9 - 2 ステート・チャート例



## 付録A 開発ツール

μPD788001A, 788002A, 78F8002Aを使用するシステム開発のために次のような開発ツールを用意しています。図A - 1に開発ツール構成を示します。

- PC98-NXシリーズへの対応について

特に断りのないかぎり、IBM PC/AT<sup>TM</sup>互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

- Windows<sup>®</sup>について

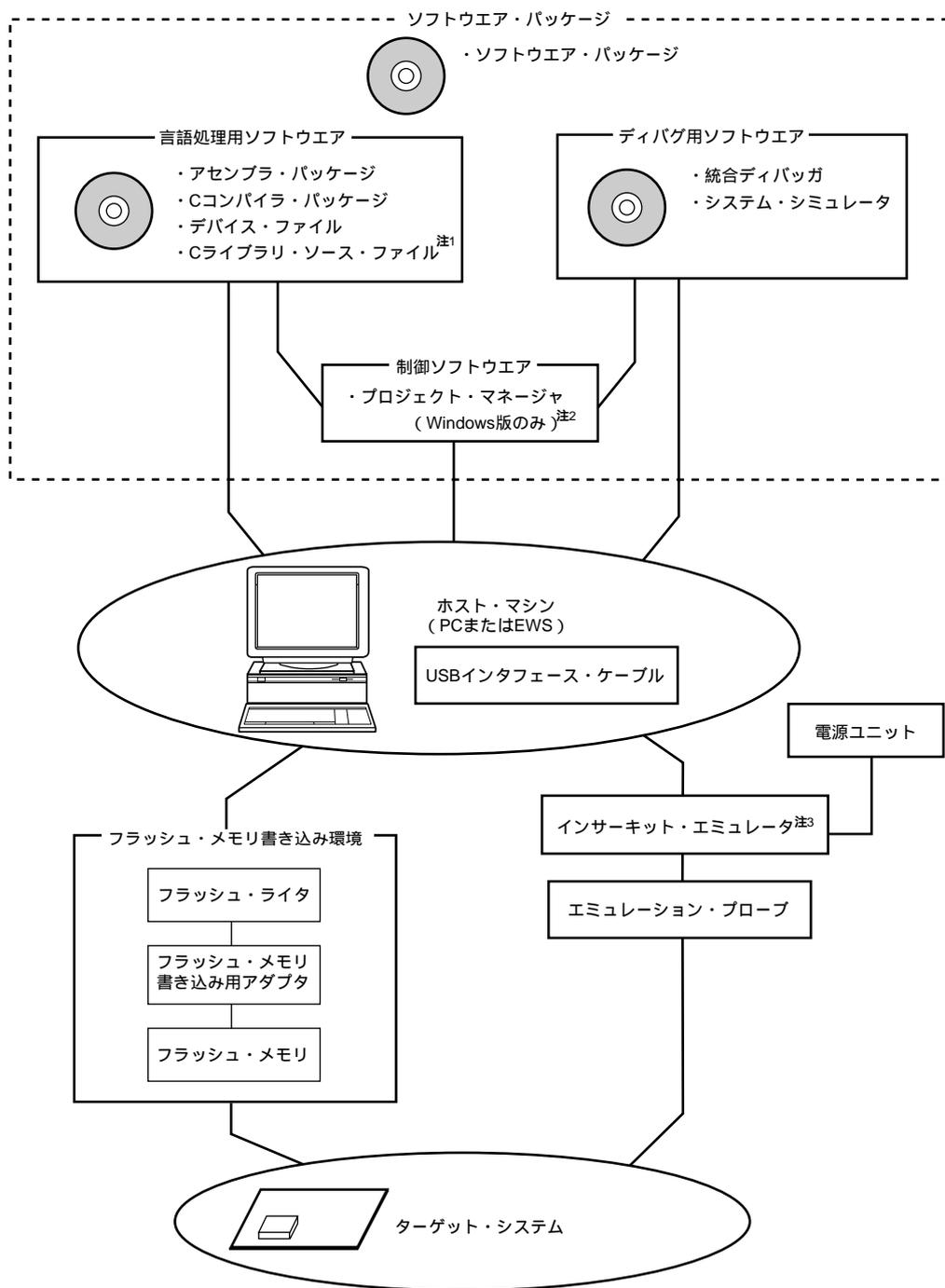
特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 98
- ・ Windows NT<sup>®</sup>
- ・ Windows 2000
- ・ Windows XP

**注意** 開発ツールについては、当社販売員にお問い合わせください。

図A - 1 開発ツール構成

・インサーキット・エミュレータ QB-78K0KX1Hを使用する場合



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。

また、Windows以外ではPM+は使用しません。

3. インサーキット・エミュレータ QB-78K0KX1Hは、統合ディバッガ ID78K0-QB、フラッシュ・メモリ・プログラマ PG-FPL (本製品には未対応)、電源ユニットとUSBインターフェース・ケーブルを添付しています。それ以外の製品はオプションです。

## A.1 ソフトウェア・パッケージ

SP78K0 78K/0マイクロコントローラ・ ソフトウェア・パッケージ	78K/0マイクロコントローラ共通の開発ツール(ソフトウェア)を1つのパッケージにした製品です。 オーダ名称: $\mu S \times \times \times SP78K0$
--	--

備考 オーダ名称の  $\times \times \times$  は、使用するホスト・マシン、OSにより異なります。

$\mu S \times \times \times SP78K0$

$\times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

## A.2 言語処理用ソフトウェア

RA78K0 アセンブラ・パッケージ	二モニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 別売のデバイス・ファイル(DF788002)と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ(アセンブラ・パッケージに含まれています)を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times RA78K0$
CC78K0 Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ(アセンブラ・パッケージに含まれています)を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times CC78K0$
DF788002 <sup>注1</sup> デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売の各ツール(RA78K0, CC78K0, ID78K0-QB)と組み合わせて使用します。対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。 オーダ名称: $\mu S \times \times \times DF788002$
CC78K0-L <sup>注2</sup> Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: $\mu S \times \times \times CC78K0-L$

注1. DF788002は、RA78K0, CC78K0, ID78K0-QBのすべての製品に共通に使用できます。

2. CC78K0-Lは、ソフトウェア・パッケージ(SP78K0)には含まれていません。

備考 オータ名称の×××は、使用するホスト・マシン，OSにより異なります。

μS×××RA78K0

μS×××CC78K0

μS×××CC78K0-L

×××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700™	HP-UX™ (Rel.10.10)	
3K17	SPARCstation™	SunOS™ (Rel.4.1.4)， Solaris™ (Rel.2.5.1)	

μS×××DF788002

×××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	

### A.3 制御ソフトウェア

PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動，ビルド，ディバグの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0) の中に入っています。 Windows以外の環境では使用できません。
---------------------	--

### A.4 フラッシュ・メモリ書き込み用ツール

FlashPro4 (型番 FL-PR4, PG-FP4) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライターです。
FA-38GS-300B-A フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。FlashPro4に接続して使用します。

備考 FL-PR4, FA-38GS-300B-A は、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (042) 750-4172)

## A.5 ディバグ用ツール（ハードウェア）

### A.5.1 インサーキット・エミュレータ QB-78K0KX1Hを使用する場合

QB-78K0KX1H <sup>注</sup> インサーキット・エミュレータ	78K0/Kx1, 78K0/Kx1+を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバガ（ID78K0-QB）に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
QB-144-CA-01 チェック・ピン・アダプタ	オシロスコープなどで波形観測を行う際に使用するアダプタです。
QB-80-EP-01T エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-788002-EA-01T エクステンジ・アダプタ	インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。アダプタには、LINトランシーバと電源機能が搭載されています。
QB-38MC-YS-01T スペース・アダプタ	ターゲット・システムとインサーキット・エミュレータ間の高さを必要に応じて調節するアダプタです。
QB-38MC-YQ-01T YQコネクタ	ターゲット・コネクタとエクステンジ・アダプタを接続するコネクタです。
QB-38MC-HQ-01T マウント・アダプタ	対象デバイスをソケット実装するためのアダプタです。
QB-38MC-NQ-01T ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。

**注** QB-78K0KX1Hは、電源ユニット、USBインタフェース・ケーブル、フラッシュ・メモリ・プログラマ PG-FPL（本製品には未対応）を添付しています。また、コントロール・ソフトウェアとして、統合ディバガ ID78K0-QBを添付しています。

**備考** オーダ名称と梱包内容は、次のように異なります。

QB-78K0KX1H-ZZZ：インサーキット・エミュレータのみ

## A.6 デバッグ用ツール(ソフトウェア)

ID78K0-QB <sup>注</sup> 統合デバッガ	78K0/Kx1, 78K0/Kx1+用のインサーキット・エミュレータに対応したデバッガです。 ID78K0-QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイルと組み合わせて使用します。 オーダ名称： $\mu$ S x x x x ID78K0-QB
----------------------------------	--

注 開発中

備考 オーダ名称の x x x x は、使用するホスト・マシン、OSにより異なります。

$\mu$ S x x x x ID78K0-QB

x x x x	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

## 付録B 改版履歴

### B.1 本版で改訂された主な箇所

箇所	内容
p.53	7.2 電源部特性のDC特性 ・電源電流 $I_{bat3}$ LINの条件を修正 ・入力安定度を修正, REGIN2を追加
p.55	7.3 マイクロコントローラ部特性のDC特性 ( 1/4 ) ・ハイ・レベル出力電流とロウ・レベル出力電流に全端子合計の条件を追加
pp.57, 58	7.3 マイクロコントローラ部特性のDC特性 ( 3/4 ) , ( 4/4 ) ・電源電流 X1水晶発振動作モードの $f_{XP} = 5$ MHz時の $V_{DD}$ を修正
p.66	フラッシュ・メモリ・プログラミング特性の $T_A$ を修正
p.78	付録B 改版履歴を追加

〔メモ〕

## 【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

---

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

---

## 【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : [info@necel.com](mailto:info@necel.com)

---

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。

---