お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1.　本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

ユーザーズ・マニュアル

μPD784038,784038Y サブシリーズ

16 ビット・シングルチップ・マイクロコンピュータ

ハードウエア編

μPD784031
μPD784035
μPD784036
μPD784037
μPD784038
μPD78P4038

μPD784031Y
μPD784035Y
μPD784036Y
μPD784037Y
μPD784038Y
μPD78P4038Y

μPD784031(A)
μPD784035(A)
μPD784036(A)

資料番号　U11316JJ4V2UD00（第４版）
発行年月　August 2005 N　CP(K)

© NEC Electronics Corporation 1996, 2002

〔メ　モ〕

目次要約

第１章　概　　説　…　44
第２章　端子機能　…　62
第３章　CPUアーキテクチャ　…　82
第４章　クロック発生回路　…　123
第５章　ポート機能　…　134
第６章　リアルタイム出力機能　…　210
第７章　タイマ／カウンタの概説　…　221
第８章　タイマ／カウンタ０　…　223
第９章　タイマ／カウンタ１　…　285
第10章　タイマ／カウンタ２　…　324
第11章　タイマ３　…　402
第12章　ウォッチドッグ・タイマ　…　418
第13章　PWM出力ユニット　…　424
第14章　A/Dコンバータ　…　432
第15章　D/Aコンバータ　…　453
第16章　シリアル・インタフェースの概説　…　458
第17章　アシンクロナス・シリアル・インタフェース／３線式シリアルI/O　…　460
第18章　３線式／２線式シリアルI/Oモード　…　495
第19章　I²Cバス・モード（μPD784038Yサブシリーズのみ）　…　517
第20章　クロック出力機能　…　546
第21章　エッジ検出機能　…　551
第22章　割り込み機能　…　559
第23章　ローカル・バス・インタフェース機能　…　639
第24章　スタンバイ機能　…　676
第25章　リセット機能　…　707
第26章　μPD78P4038のプログラミング　…　713
第27章　命令のオペレーション　…　722
第28章　電気的特性　…　758
第29章　外 形 図　…　785
第30章　半田付け推奨条件　…　788
付　　録　…　792

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域にとどまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時，MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

FIP, IEBusは，NECエレクトロニクス株式会社の登録商標です。

EEPROMは，NECエレクトロニクス株式会社の商標です。

MS-DOS, WindowsおよびWindowsNTは，米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS, PC/AT, PC DOSは，米国IBM社の商標です。

SPARCstationは，米国SPARC International, Inc.の商標です。

Solaris, SunOSは，米国サン・マイクロシステムズ社の商標です。

HP9000シリーズ700, HP-UXは，米国ヒューレット・パッカード社の商標です。

イーサネットは，米国ゼロックス社の商標です。

OSF/Motifは，Open Software Foundation, Inc.の商標です。

TRONは，The Realtime Operating system Nucleusの略称です。

ITRONは，Industrial TRONの略称です。

本製品のうち，外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては，日本国外に輸出する際に，同法に基づき日本国政府の輸出許可が必要です。

非該当品　　：μPD784031, 784031Y, 784031(A),
μPD78P4038, 78P4038Y

ユーザ判定品：μPD784035, 784035Y, 784035(A),
μPD784036, 784036Y, 784036(A),
μPD784037, 784037Y
μPD784038, 784038Y

- 本資料に記載されている内容は2005年8月現在のもので，今後，予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は，本資料の誤りに関し，一切その責を負いません。
- 当社は，本資料に記載された当社製品の使用に関連し発生した第三者の特許権，著作権その他の知的財産権の侵害等に関し，一切その責を負いません。当社は，本資料に基づき当社または第三者の特許権，著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路，ソフトウエアおよびこれらに関する情報は，半導体製品の動作例，応用例を説明するものです。お客様の機器の設計において，回路，ソフトウエアおよびこれらに関する情報を使用する場合には，お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し，当社は，一切その責を負いません。
- 当社は，当社製品の品質，信頼性の向上に努めておりますが，当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命，身体および財産に対する損害の危険を最小限度にするために，冗長設計，延焼対策設計，誤動作防止設計等安全設計を行ってください。
- 当社は，当社製品の品質水準を「標準水準」，「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また，各品質水準は，以下に示す用途に製品が使われることを意図しておりますので，当社製品の品質水準をご確認ください。

  標準水準：コンピュータ，OA機器，通信機器，計測機器，AV機器，家電，工作機械，パーソナル機器，産業用ロボット

  特別水準：輸送機器（自動車，電車，船舶等），交通用信号機器，防災・防犯装置，各種安全装置，生命維持を目的として設計されていない医療機器

  特定水準：航空機器，航空宇宙機器，海底中継機器，原子力制御システム，生命維持のための医療機器，生命維持のための装置またはシステム等

当社製品のデータ・シート，データ・ブック等の資料で特に品質水準の表示がない場合は，標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には，事前に当社販売窓口までお問い合わせください。

（注）

（1）本事項において使用されている「当社」とは，NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（2）本事項において使用されている「当社製品」とは，（1）において定義された当社の開発，製造製品をいう。

M8E　02.11

本版で改訂された主な箇所(1/2)

箇　所	内　容
全般	対象製品に次の特別水準品を追加 ・μPD784031GC(A)-3B9, 784035GC(A)-×××-3B9, 784036GC(A)-×××-3B9 次のパッケージを削除 ・μPD784031GC-3B9, 784031GK-BE9, 784035GC-×××-3B9, 784035GK-×××-BE9, 784036GC-×××-3B9, 784036GK-×××-BE9, 784037GC-×××-3B9, 784037GK-×××-BE9, 784038GC-×××-3B9, 784038GK-×××-BE9, 78P4038GC-3B9, 78P4038GC-×××-3B9, 78P4038GC-×××-8BT, 78P4038GK-BE9, 78P4038GK-×××-BE9, 78P4038KK-T ・μPD784031YGC-3B9, 784031YGK-BE9, 784035YGC-×××-3B9, 784035YGK-×××-BE9, 784036YGC-×××-3B9, 784036YGK-×××-BE9, 784037YGC-×××-3B9, 784037YGK-×××-BE9, 784038YGC-×××-3B9, 784038YGK-×××-BE9, 78P4038YGC-3B9, 78P4038YGC-×××-3B9, 78P4038YGC-×××-8BT, 78P4038YGK-BE9, 78P4038YGK-×××-BE9, 78P4038YKK-T 次のパッケージを追加 ・μPD784031GK-9EU, 784035GK-×××-9EU, 784036GK-×××-9EU, 784037GK-×××-9EU, 784038GK-×××-9EU, 78P4038GK-9EU ・μPD784031YGK-9EU, 784035YGK-×××-9EU, 784036YGK-×××-9EU, 784037YGK-×××-9EU, 784038YGK-×××-9EU, 78P4038YGK-9EU
	第１章　概　　説
p.46	・78K/IVシリーズ製品展開図　更新
p.49	・１.２　オーダ情報と品質水準　製品の追加と削除
p.61	・１.７　特別水準品と標準水準品の違い　追加
	第８章　タイマ／カウンタ０
p.284	８.９　注意事項　コンペア・レジスタCR00一致割り込みに関する注意を追加
	第９章　タイマ／カウンタ１
p.323	９.８　注意事項　コンペア・レジスタCR10一致割り込みに関する注意を追加
	第10章　タイマ／カウンタ２
p.401	10.10　注意事項　コンペア・レジスタCR20一致割り込みに関する注意を追加
	第14章　A/Dコンバータ
p.437	・図14－３　A/Dコンバータ・モード・レジスタ（ADM）のフォーマット　記述変更
p.442	・表14－１　A/D変換時間　記述変更
	第17章　アシンクロナス・シリアル・インタフェース／３線式シリアルI/O
p.494	17.５　注意事項　３線式シリアルI/Oモードの連続受信に関する注意を追加

本版で改訂された主な箇所(2/2)

箇　　所	内　　容
	第18章　３線式／２線式シリアルI/Oモード
p.502, 503	・図18－６　３線式シリアルI/Oモードのタイミング　変更
	・18.６　注意事項
p.514	・３線式シリアルI/Oモードの送信データ書き込みに関する注意を追加
p.514	・３線式シリアルI/Oモードのシリアル・クロックのカウント動作に関する注意を追加
p.515	・３線式シリアルI/Oモードのシリアル・クロックの出力に関する注意を追加
p.516	・３線式シリアルI/Oモードの連続受信に関する注意を追加
	第21章　エッジ検出機能
p.555	21.２　P20, P25, P26端子のエッジ検出　記述追加
p.758	第28章　電気的特性　追加
p.785	第29章　外 形 図　追加
p.788	第30章　半田付け推奨条件　追加
	付録Ａ　μPD784026サブシリーズとの違い
p.792	表Ａ－１　μPD784026サブシリーズとの違い　記述追加
p.793	付録Ｂ　開発ツール　記述変更
p.809	付録Ｃ　組み込み用ソフトウエア　記述変更
U11316JJ4V0UD00→U11316JJ4V1UD00の主な改訂内容	
	第24章　スタンバイ機能
p.705	24.６（５）A/Dコンバータ　記述修正
U11316JJ4V1UD00→U11316JJ4V2UD00の主な改訂内容	
p.49	１.２　オーダ情報と品質水準　を変更
p.788	第30章　半田付け推奨条件　に鉛フリー製品を追加

本文欄外の★印は，本版で改訂された主な箇所を示しています。

は　じ　め　に

対 象 者　このマニュアルは，μPD784038, 784038Yサブシリーズの機能を理解し，その応用システムを設計するユーザのエンジニアを対象とします。

★　対象製品は，次に示すμPD784038, 784038Yサブシリーズの各製品です。

・標準品：μPD784031, 784035, 784036, 784037, 784038, 78P4038, 784031Y, 784035Y, 784036Y, 784037Y, 784038Y, 78P4038Y

・特別品：μPD784031(A), 784035(A), 784036(A)

目　　的　このマニュアルは，μPD784038, 784038Yサブシリーズの持つ各種ハードウエア機能を理解していただくことを目的とします。

構　　成　μPD784038, 784038Yサブシリーズのユーザーズ・マニュアルは，ハードウエア編（このマニュアル）と命令編の２冊に分かれています。

ハードウエア編	命令編
端子機能	CPU機能
内部ブロック機能	アドレシング
割り込み	命令セット
その他の内蔵周辺機能	
電気的特性	

この製品には使用上の注意事項があります。
各章の本文中の該当箇所と各章の最後（まとめ）にそれらの注意事項を示しますので，必ずお読みください。

読 み 方　このマニュアルを読むにあたっては，電気，論理回路およびマイクロコンピュータの一通りの知識を必要とします。

・特に機能面に違いがない場合

μPD784038サブシリーズのμPD784038をマスクROM製品の代表として，μPD78P4038をPROM製品の代表として，またμPD784031をROMレス製品の代表として説明しています。

・機能面に違いがある場合

製品名をあげ，個別に説明しています。

また，その場合でもμPD784038サブシリーズの製品を代表として説明していますので，μPD784038Yサブシリーズの製品としてお使いの場合は，μPD784031，784035, 784036, 784037, 784038, 78P4038をそれぞれμPD784031Y，784035Y, 784036Y, 784037Y, 784038Y, 78P4038Yと読み替えてください。

★ **このマニュアル中の使用例は，一般電子機器用の『標準』品質水準品用に作成してあります。『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は，実際に使用する各部品および回路について，その品質水準についてご検討のうえご使用ください。**

◆V_{DD}端子，V_{SS}端子について

本製品はノイズ対策製品です。したがって，V_{DD}およびV_{SS}はそれぞれ次の２つに区別していますが，その区別の必要がない場合はV_{DD}およびV_{SS}を総称として記述しています。

・ポート部の正電源およびGND　：V_{DD0}，V_{SS0}

・ポート部以外の正電源およびGND：V_{DD1}，V_{SS1}

◆一通りの機能を理解しようとするとき

→目次に従って読んでください。

◆μPD784026サブシリーズとの違いを知りたいとき

→**付録A　μPD784026サブシリーズとの違い**を参照してください。

◆ディバグをしていて，おかしな動作をしているとき

→各章末に注意事項がまとめてありますので，関連する機能の注意事項を参照してください。

◆レジスタ名が分かっていて，レジスタの詳細を確認するとき

→**付録D　レジスタ索引**を利用してください。

◆命令機能の詳細を知りたいとき

→別冊の78K/IVシリーズ　ユーザーズ・マニュアル　命令編（U10905J）を参照してください。

◆電気的特性を知りたいとき

→第28章　電気的特性を参照してください。

◆各種機能の応用例を知りたいとき

→別冊のアプリケーション・ノートを参照してください。

μPD784038サブシリーズとμPD784038Yサブシリーズとの違い

μPD784038サブシリーズとμPD784038Yサブシリーズで機能が違うのは，クロック同期式シリアル・インタフェースだけです。その他の機能については，２つのサブシリーズは共通です。

注　意

クロック同期式シリアル・インタフェースについては，次の２つの章に分けて説明しています。

・第18章　３線式／２線式シリアルI/Oモード

・第19章　I^2Cバス・モード（μPD784038Yサブシリーズのみ）

第16章にシリアル・インタフェースについての概説がありますので，あわせてお読みください。

凡　例

データ表記の重み	：左側が上位桁，右側が下位桁
アクティブ・ロウの表記	：$\overline{\times\times\times}$（端子，信号名称に上線）
注	：本文中につけた注の説明
注意	：特に気をつけていただきたい内容
備考	：本文の補足説明
数の表記	：２進数…××××Bまたは××××
	：10進数…××××
	：16進数…××××H

レジスタ表記

	7	6	5	4	③	2	1	0
EDC	B	1	0	×	A	1	0	×

ビット番号を○で囲んでいるものは，そのビット名称が当社製アセンブラで予約語に，Cコンパイラでは＃pragma sfr指令で，sfr変数として定義されているものです。

ライト動作時	リード動作時
０または１を書き込みます。いずれの値でも動作には影響を与えません。	０または１を読み出します。
０を書く必要があります。	０を読み出します。
１を書く必要があります。	１を読み出します。
使用したい機能に応じた値を書き込みます。	動作状態に従った値を読み出します。

本文中のレジスタ表記に「設定禁止」と書いてあるコードの組み合わせは，絶対に書き込まないでください。

まぎらわしい文字　　：０（ゼロ），Ｏ（オー）
　　：１（イチ），ｌ（エル），Ｉ（アイ）

関連資料　関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資　料　名	資料番号	
	和文	英文
μPD784038, 784038Yサブシリーズ　ユーザーズ・マニュアル　ハードウエア編	このマニュアル	U11316E
78K/IVシリーズ　アプリケーション・ノート　ソフトウエア基礎編	U10095J	U10095E
78K/IVシリーズ　ユーザーズ・マニュアル　命令編	U10905J	U10905E

開発ツール（ソフトウエア）の資料（ユーザーズ・マニュアル）

資　料　名		資料番号	
		和文	英文
RA78K4　アセンブラ・パッケージ	操作編	U15254J	U15254E
	言語編	U15255J	U15255E
	構造化アセンブラ・プリプロセッサ	U11743J	U11743E
CC78K4　Cコンパイラ	操作編	U15557J	U15557E
	言語編	U15556J	U15556E
SM78Kシリーズ　Ver.2.30以上 システム・シミュレータ	操作編（Windows®ベース）	U15373J	U15373E
	外部部品ユーザ・オープン・インタフェース仕様編	U15802J	U15802E
ID78Kシリーズ　統合ディバッガ　Ver.2.30以上	操作編（Windowsベース）	U15185J	U15185E
RX78K4　リアルタイムOS	基礎編	U10603J	U10603E
	インストール編	U10604J	U10604E
	ディバッガ編	U10364J	—
プロジェクト・マネージャ　Ver.3.12以上（Windowsベース）		U14610J	U14610E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

開発ツール（ハードウエア）の資料（ユーザーズ・マニュアル）

資　料　名	資料番号	
	和文	英文
IE-78K4-NS　インサーキット・エミュレータ	U13356J	U13356E
IE-784038-NS-EM1　インサーキット・ボード	U13760J	U13760E
IE-784000-R　インサーキット・エミュレータ	U12903J	U12903E
IE-784038-R-EM1　エミュレーション・ボード	U11383J	U11383E

PROM書き込み用の資料（ユーザーズ・マニュアル）

資　料　名		資料番号	
		和文	英文
PG-1500　PROMプログラマ		U11940J	U11940E
PG-1500コントローラ	PC-9800シリーズ（MS-DOS™）ベース	EEU-704	EEU-1291
	IBM PCシリーズ（PC DOS™）ベース	EEU-5008	U10540E

その他の資料

資　料　名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE　-Products and Packages-	X13769X	
半導体デバイス　実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体　品質／信頼性ハンドブック	C12769J	―
マイクロコンピュータ関連製品ガイド　社外メーカ編	U11416J	―

注　「半導体デバイス実装マニュアル」のホームページ参照

和文：http://www.necel.com/pkg/ja/jissou/index.html

英文：http://www.necel.com/pkg/en/mount/index.html

注意　上記関連資料は，予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

目　　次

第１章　概　　説 … 44

1.1　特　　徴 … 47
1.2　オーダ情報と品質水準 … 49
　1.2.1　オーダ情報 … 49
　1.2.2　品質水準 … 51
1.3　端子接続図（Top View） … 53
　1.3.1　通常動作モード … 53
　1.3.2　PROMプログラミング・モード（V_{PP}≧5 V/＋12.5 V, $\overline{RESET}$ = L） … 56
1.4　応用システム構成例（PPC） … 57
1.5　ブロック図 … 58
1.6　機能一覧 … 59
★ 1.7　特別水準品と標準水準品の違い … 61
1.8　μPD784026サブシリーズとの主な違い … 61

第２章　端子機能 … 62

2.1　端子機能一覧 … 62
　2.1.1　通常動作モード … 62
　2.1.2　PROMプログラミング・モード（μPD78P4038のみ：V_{PP}≧5 V/＋12.5 V, $\overline{RESET}$ = L） … 66
2.2　端子機能説明 … 67
　2.2.1　通常動作モード … 67
　2.2.2　PROMプログラミング・モード（μPD78P4038の場合） … 77
2.3　端子の入出力回路と未使用端子の処理 … 78
2.4　注意事項 … 81

第３章　CPUアーキテクチャ … 82

3.1　メモリ空間 … 82
3.2　内部ROM領域 … 89
3.3　ベース領域 … 90
　3.3.1　ベクタ・テーブル領域 … 91
　3.3.2　CALLT命令テーブル領域 … 92
　3.3.3　CALLF命令エントリ領域 … 92
3.4　内部データ領域 … 93
　3.4.1　内部RAM領域 … 94
　3.4.2　特殊機能レジスタ（SFR）領域 … 97
　3.4.3　外部SFR領域 … 97
3.5　外部メモリ空間 … 97
3.6　μPD78P4038のメモリ・マッピング … 98
3.7　制御レジスタ … 99
　3.7.1　プログラム・カウンタ（PC） … 99

３.７.２　プログラム・ステータス・ワード（PSW）　…　99
３.７.３　RSSビットの使用方法　…　103
３.７.４　スタック・ポインタ（SP）　…　106
３.８　汎用レジスタ　…　110
３.８.１　構　　成　…　110
３.８.２　機　　能　…　112
３.９　特殊機能レジスタ（SFR）　…　115
３.10　注意事項　…　121

第４章　クロック発生回路　…　123

４.１　構成と機能　…　123
４.２　制御レジスタ　…　125
４.２.１　スタンバイ・コントロール・レジスタ（STBC）　…　125
４.２.２　発振安定時間指定レジスタ（OSTS）　…　127
４.３　クロック発生回路の動作　…　128
４.３.１　クロック発振回路　…　128
４.３.２　分周回路　…　129
４.４　注意事項　…　130
４.４.１　外部クロックを入力する場合　…　130
４.４.２　水晶／セラミック発振の場合　…　131

第５章　ポート機能　…　134

５.１　ディジタル入出力ポート　…　134
５.２　ポート０　…　136
５.２.１　ハードウエア構成　…　137
５.２.２　入出力モード／コントロール・モードの設定　…　138
５.２.３　動作状態　…　139
５.２.４　内蔵プルアップ抵抗　…　141
５.２.５　トランジスタのドライブ　…　143
５.３　ポート１　…　144
５.３.１　ハードウエア構成　…　146
５.３.２　入出力モード／コントロール・モードの設定　…　151
５.３.３　動作状態　…　152
５.３.４　内蔵プルアップ抵抗　…　155
５.３.５　LEDのダイレクト・ドライブ　…　156
５.４　ポート２　…　157
５.４.１　ハードウエア構成　…　159
５.４.２　入力モード／コントロール・モードの設定　…　161
５.４.３　動作状態　…　161
５.４.４　内蔵プルアップ抵抗　…　161
５.５　ポート３　…　163
５.５.１　ハードウエア構成　…　165
５.５.２　入出力モード／コントロール・モードの設定　…　169
５.５.３　動作状態　…　171
５.５.４　内蔵プルアップ抵抗　…　174
５.６　ポート４　…　176
５.６.１　ハードウエア構成　…　177

5.6.2　入出力モード／コントロール・モードの設定　…　178
5.6.3　動作状態　…　179
5.6.4　内蔵プルアップ抵抗　…　181
5.6.5　LEDのダイレクト・ドライブ　…　183
5.7　ポート5　…　184
5.7.1　ハードウエア構成　…　185
5.7.2　入出力モード／コントロール・モードの設定　…　186
5.7.3　動作状態　…　187
5.7.4　内蔵プルアップ抵抗　…　189
5.7.5　LEDのダイレクト・ドライブ　…　191
5.8　ポート6　…　192
5.8.1　ハードウエア構成　…　195
5.8.2　入出力モード／コントロール・モードの設定　…　199
5.8.3　動作状態　…　200
5.8.4　内蔵プルアップ抵抗　…　202
5.9　ポート7　…　203
5.9.1　ハードウエア構成　…　203
5.9.2　入出力モード／コントロール・モードの設定　…　204
5.9.3　動作状態　…　205
5.9.4　内蔵プルアップ抵抗　…　206
5.9.5　注意事項　…　206
5.10　ポート出力チェック機能　…　207
5.11　注意事項　…　208

第6章　リアルタイム出力機能　…　210

6.1　構成と機能　…　210
6.2　リアルタイム出力ポート・コントロール・レジスタ（RTPC）　…　212
6.3　リアルタイム出力ポートのアクセス　…　213
6.4　動　　作　…　215
6.5　使 用 例　…　218
6.6　注意事項　…　220

第7章　タイマ／カウンタの概説　…　221

第8章　タイマ／カウンタ0　…　223

8.1　機　　能　…　223
8.2　構　　成　…　226
8.3　タイマ／カウンタ0制御レジスタ　…　230
8.4　タイマ・レジスタ0（TM0）の動作　…　235
8.4.1　基本動作　…　235
8.4.2　クリア動作　…　237
8.5　外部イベント・カウンタ機能　…　239
8.6　コンペア・レジスタ，キャプチャ・レジスタの動作　…　243
8.6.1　コンペア動作　…　243
8.6.2　キャプチャ動作　…　245
8.7　出力制御回路の基本動作　…　246
8.7.1　基本動作　…　248

８.７.２　トグル出力　…　248
８.７.３　PWM出力　…　250
８.７.４　PPG出力　…　256
８.７.５　ソフト・トリガド・ワンショット・パルス出力　…　262
８.８　使 用 例　…　263
８.８.１　インターバル・タイマとしての動作（１）　…　263
８.８.２　インターバル・タイマとしての動作（２）　…　265
８.８.３　パルス幅測定としての動作　…　267
８.８.４　PWM出力としての動作　…　269
８.８.５　PPG出力としての動作　…　273
８.８.６　ソフト・トリガド・ワンショット・パルス出力例　…　277
８.９　注意事項　…　280

第９章　タイマ／カウンタ１　…　285

９.１　機　　能　…　285
９.２　構　　成　…　287
９.３　タイマ／カウンタ１制御レジスタ　…　291
９.４　タイマ・レジスタ１（TM1）の動作　…　295
９.４.１　基本動作　…　295
９.４.２　クリア動作　…　298
９.５　外部イベント・カウンタ機能　…　300
９.６　コンペア・レジスタ，キャプチャ／コンペア・レジスタ，キャプチャ・レジスタの動作　…　304
９.６.１　コンペア動作　…　304
９.６.２　キャプチャ動作　…　306
９.７　使 用 例　…　310
９.７.１　インターバル・タイマとしての動作（１）　…　310
９.７.２　インターバル・タイマとしての動作（２）　…　313
９.７.３　パルス幅測定としての動作　…　315
９.８　注意事項　…　318

第10章　タイマ／カウンタ２　…　324

10.１　機　　能　…　324
10.２　構　　成　…　328
10.３　タイマ／カウンタ２制御レジスタ　…　333
10.４　タイマ・レジスタ２（TM2）の動作　…　338
10.４.１　基本動作　…　338
10.４.２　クリア動作　…　341
10.５　外部イベント・カウンタ機能　…　343
10.６　ワンショット・タイマ機能　…　346
10.７　コンペア・レジスタ，キャプチャ／コンペア・レジスタ，キャプチャ・レジスタの動作　…　347
10.７.１　コンペア動作　…　347
10.７.２　キャプチャ動作　…　350
10.８　出力制御回路の基本動作　…　354
10.８.１　基本動作　…　356
10.８.２　トグル出力　…　356

10.8.3　PWM出力　…　358
10.8.4　PPG出力　…　365
10.9　使 用 例　…　372
10.9.1　インターバル・タイマとしての動作（1）　…　372
10.9.2　インターバル・タイマとしての動作（2）　…　375
10.9.3　パルス幅測定としての動作　…　378
10.9.4　PWM出力としての動作　…　381
10.9.5　PPG出力としての動作　…　385
10.9.6　外部イベント・カウンタとしての動作　…　390
10.9.7　ワンショット・タイマとしての動作　…　392
10.10　注意事項　…　395

第11章　タイマ3　…　402

11.1　機　　能　…　402
11.2　構　　成　…　403
11.3　タイマ3制御レジスタ　…　405
11.4　タイマ・レジスタ3（TM3）の動作　…　407
11.4.1　基本動作　…　407
11.4.2　クリア動作　…　410
11.5　コンペア・レジスタの動作　…　412
11.6　使 用 例　…　413
11.7　注意事項　…　415

第12章　ウォッチドッグ・タイマ　…　418

12.1　構　　成　…　418
12.2　ウォッチドッグ・タイマ・モード・レジスタ（WDM）　…　419
12.3　動　　作　…　421
12.3.1　カウント動作　…　421
12.3.2　割り込み優先順位　…　421
12.4　注意事項　…　422
12.4.1　ウォッチドッグ・タイマ使用時の一般的な注意事項　…　422
12.4.2　μPD784038サブシリーズのウォッチドッグ・タイマに関する注意事項　…　423

第13章　PWM出力ユニット　…　424

13.1　PWM出力ユニットの構成　…　424
13.2　PWM出力ユニットの制御レジスタ　…　426
13.2.1　PWMコントロール・レジスタ（PWMC）　…　426
13.2.2　PWMプリスケーラ・レジスタ（PWPR）　…　427
13.2.3　PWMモジュロ・レジスタ（PWM0, PWM1）　…　427
13.3　PWM出力ユニットの動作　…　428
13.3.1　PWM出力の基本動作　…　428
13.3.2　PWMパルス出力の許可／禁止　…　429
13.3.3　PWMパルスのアクティブ・レベルの指定　…　429
13.3.4　PWMパルス幅書き換え周期の指定　…　430
13.4　注意事項　…　431

第14章　A/Dコンバータ　…　432

14.1　構　　成　…　432
14.2　A/Dコンバータ・モード・レジスタ（ADM）　…　436
14.3　動　　作　…　439
14.3.1　A/Dコンバータの基本動作　…　439
14.3.2　セレクト・モード　…　443
14.3.3　スキャン・モード　…　444
14.3.4　ソフトウエア・スタートによるA/D変換動作の起動　…　446
14.3.5　ハードウエア・スタートによるA/D変換動作の起動　…　448
14.4　A/Dコンバータの外付け回路　…　451
14.5　注意事項　…　451

第15章　D/Aコンバータ　…　453

15.1　構　　成　…　453
15.2　D/Aコンバータ・モード・レジスタ（DAM）　…　454
15.3　D/Aコンバータの動作　…　455
15.3.1　基本動作　…　455
15.3.2　D/Aコンバータのスタンバイ動作　…　455
15.4　注意事項　…　456

第16章　シリアル・インタフェースの概説　…　458

第17章　アシンクロナス・シリアル・インタフェース／３線式シリアルI/O　…　460

17.1　アシンクロナス・シリアル・インタフェース・モードと３線式シリアルI/Oモードの切り替え　…　461
17.2　アシンクロナス・シリアル・インタフェース・モード　…　462
17.2.1　アシンクロナス・シリアル・インタフェース・モード時の構成　…　462
17.2.2　アシンクロナス・シリアル・インタフェース制御レジスタ　…　465
17.2.3　データ・フォーマット　…　469
17.2.4　パリティの種類と動作　…　470
17.2.5　送　　信　…　471
17.2.6　受　　信　…　472
17.2.7　受信エラー　…　473
17.3　３線式シリアルI/Oモード　…　475
17.3.1　３線式シリアルI/Oモード時の構成　…　475
17.3.2　クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM1，CSIM2）　…　478
17.3.3　基本動作タイミング　…　479
17.3.4　送信のみ許可の場合の動作　…　481
17.3.5　受信のみ許可の場合の動作　…　482
17.3.6　送受信許可の場合の動作　…　483
17.3.7　シリアル・クロックとシフト動作がずれた場合の処置方法　…　484
17.4　ボー・レート・ジェネレータ　…　484
17.4.1　ボー・レート・ジェネレータの構成　…　484

17.4.2　ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC, BRGC2）…　486
17.4.3　ボー・レート・ジェネレータの動作　…　488
17.4.4　アシンクロナス・シリアル・インタフェース・モード時のボー・レートの設定方法　…　490
17.5　注意事項　…　493

第18章　３線式／２線式シリアルI/Oモード　…　495

18.1　機　　能　…　495
18.2　構　　成　…　495
18.3　制御レジスタ　…　498
18.3.1　クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）　…　498
18.3.2　シリアル・クロック用プリスケーラ・モード・レジスタ（SPRM）　…　499
18.3.3　I²Cバス・コントロール・レジスタ（IICC）　…　500
18.4　３線式シリアルI/Oモード　…　501
18.4.1　基本動作タイミング　…　502
18.4.2　送信のみ許可の場合の動作　…　504
18.4.3　受信のみ許可の場合の動作　…　505
18.4.4　送受信許可の場合の動作　…　506
18.4.5　シリアル・クロックとシフト動作がずれた場合の処置方法　…　507
18.5　２線式シリアルI/Oモード　…　508
18.5.1　基本動作タイミング　…　509
18.5.2　送信のみ許可の場合の動作　…　510
18.5.3　受信のみ許可の場合の動作　…　511
18.5.4　送受信許可の場合の動作　…　512
18.5.5　シリアル・クロックとシフト動作がずれた場合の処置方法　…　513
18.6　注意事項　…　513

第19章　I²Cバス・モード（μPD784038Yサブシリーズのみ）　…　517

19.1　機能概説　…　517
19.2　構　　成　…　518
19.3　制御レジスタ　…　522
19.3.1　クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）　…　522
19.3.2　I²Cバス・コントロール・レジスタ（IICC）　…　522
19.3.3　シリアル・クロック用プリスケーラ・モード・レジスタ（SPRM）　…　525
19.3.4　スレーブ・アドレス・レジスタ（SVA）　…　526
19.4　I²Cバス・モードの機能　…　527
19.4.1　端子構成　…　527
19.4.2　機　　能　…　528
19.5　I²Cバスの定義および制御方法　…　529
19.5.1　スタート・コンディション　…　529
19.5.2　アドレス　…　530
19.5.3　転送方向指定　…　531

19.5.4　アクノリッジ信号（$\overline{\text{ACK}}$）　…　532
19.5.5　ストップ・コンディション　…　533
19.5.6　ウエイト信号（$\overline{\text{WAIT}}$）　…　534
19.5.7　割り込み要求（INTCSI）発生タイミングおよびウエイト制御　…　536
19.5.8　割り込み要求（INTSPC）発生タイミング　…　537
19.5.9　アドレスの一致検出方法　…　537
19.5.10　エラーの検出　…　537
19.6　タイミング・チャート　…　538
19.7　各種信号とフラグ　…　545

第20章　クロック出力機能　…　546

20.1　構　　成　…　546
20.2　クロック出力モード・レジスタ（CLOM）　…　548
20.3　動　　作　…　549
20.3.1　クロック出力　…　549
20.3.2　１ビット出力ポート　…　550
20.3.3　スタンバイ・モード中の動作　…　550
20.4　注意事項　…　550

第21章　エッジ検出機能　…　551

21.1　エッジ検出機能の制御レジスタ　…　551
21.1.1　外部割り込みモード・レジスタ（INTM0, INTM1）　…　551
21.1.2　サンプリング・クロック選択レジスタ（SCS0）…　554
21.2　P20, P25, P26端子のエッジ検出　…　555
21.3　P21端子のエッジ検出　…　556
21.4　P22-P24端子のエッジ検出　…　557
21.5　注意事項　…　558

第22章　割り込み機能　…　559

22.1　割り込み要求ソース　…　560
22.1.1　ソフトウエア割り込み　…　562
22.1.2　オペランド・エラー割り込み　…　562
22.1.3　ノンマスカブル割り込み　…　562
22.1.4　マスカブル割り込み　…　562
22.2　割り込み処理モード　…　563
22.2.1　ベクタ割り込み処理　…　563
22.2.2　マクロ・サービス　…　563
22.2.3　コンテキスト・スイッチング　…　563
22.3　割り込み処理制御レジスタ　…　564
22.3.1　割り込み制御レジスタ　…　567
22.3.2　割り込みマスク・レジスタ（MK0, MK1L）　…　572
22.3.3　インサービス・プライオリティ・レジスタ（ISPR）　…　574
22.3.4　割り込みモード・コントロール・レジスタ（IMC）　…　575
22.3.5　ウォッチドッグ・タイマ・モード・レジスタ（WDM）　…　576
22.3.6　プログラム・ステータス・ワード（PSW）　…　577
22.4　ソフトウエア割り込みの受け付け動作　…　577

22.4.1　BRK命令によるソフトウエア割り込みの受け付け動作　…　577
22.4.2　BRKCS命令によるソフトウエア割り込み（ソフトウエア・コンテキスト・スイッチング）の受け付け動作　…　578
22.5　オペランド・エラー割り込みの受け付け動作　…　579
22.6　ノンマスカブル割り込みの受け付け動作　…　580
22.7　マスカブル割り込みの受け付け動作　…　584
22.7.1　ベクタ割り込み　…　586
22.7.2　コンテキスト・スイッチング　…　586
22.7.3　マスカブル割り込みの優先順位　…　588
22.8　マクロ・サービス機能　…　594
22.8.1　マクロ・サービスの概要　…　594
22.8.2　マクロ・サービスの種類　…　594
22.8.3　マクロ・サービスの基本動作　…　597
22.8.4　マクロ・サービス終了時の動作　…　598
22.8.5　マクロ・サービス制御レジスタ　…　601
22.8.6　マクロ・サービス・タイプA　…　604
22.8.7　マクロ・サービス・タイプB　…　609
22.8.8　マクロ・サービス・タイプC　…　614
22.8.9　カウンタ・モード　…　628
22.9　割り込み要求およびマクロ・サービスが一時的に保留される場合　…　630
22.10　割り込みおよびマクロ・サービスで一時的に実行が中断される命令　…　632
22.11　割り込みおよびマクロ・サービスの動作タイミング　…　632
22.11.1　割り込みの受け付け処理時間　…　633
22.11.2　マクロ・サービスの処理時間　…　634
22.12　割り込み機能を初期状態に戻す方法　…　635
22.13　注意事項　…　636

第23章　ローカル・バス・インタフェース機能　…　639

23.1　メモリ拡張機能　…　639
23.1.1　メモリ拡張モード・レジスタ（MM）　…　639
23.1.2　外部メモリ拡張時のメモリ・マップ　…　641
23.1.3　ローカル・バス・インタフェースの基本動作　…　652
23.2　ウエイト機能　…　653
23.2.1　ウエイト機能の制御レジスタ　…　653
23.2.2　アドレス・ウエイト　…　656
23.2.3　アクセス・ウエイト　…　659
23.3　疑似スタティックRAMリフレッシュ機能　…　666
23.3.1　制御レジスタ　…　667
23.3.2　動　　作　…　668
23.4　バス・ホールド機能　…　672
23.4.1　ホールド・モード・レジスタ（HLDM）　…　672
23.4.2　動　　作　…　673
23.5　注意事項　…　675

第24章　スタンバイ機能　…　676

24.1　構成と機能　…　676
24.2　制御レジスタ　…　678

24.2.1　スタンバイ・コントロール・レジスタ（STBC）　…　678
24.2.2　発振安定時間指定レジスタ（OSTS）　…　680
24.3　HALTモード　…　682
24.3.1　HALTモードの設定および動作状態　…　682
24.3.2　HALTモードの解除　…　683
24.4　STOPモード　…　691
24.4.1　STOPモードの設定および動作状態　…　691
24.4.2　STOPモードの解除　…　693
24.5　IDLEモード　…　698
24.5.1　IDLEモードの設定および動作状態　…　698
24.5.2　IDLEモードの解除　…　699
24.6　STOPモード/IDLEモード使用時のチェック項目　…　703
24.7　注意事項　…　706

第25章　リセット機能　…　707

25.1　リセット機能　…　707
25.2　注意事項　…　712

第26章　μPD78P4038のプログラミング　…　713

26.1　動作モード　…　713
26.2　PROM書き込みの手順　…　716
26.3　PROM読み出しの手順　…　720
26.4　ワン・タイムPROM製品のスクリーニングについて　…　720
26.5　注意事項　…　721

第27章　命令のオペレーション　…　722

27.1　凡　　例　…　722
27.2　オペレーション一覧　…　726
27.3　アドレシング別命令一覧　…　752

★　第28章　電気的特性　…　758

★　第29章　外 形 図　…　785

★　第30章　半田付け推奨条件　…　788

付録A　μPD784026サブシリーズとの違い　…　792

付録B　開発ツール　…　795

B.1　言語処理用ソフトウエア　…　798
B.2　PROM書き込み用ツール　…　800
B.3　ディバグ用ツール　…　801
B.3.1　ハードウエア　…　801
B.3.2　ソフトウエア　…　803
B.4　ターゲット・システム設計上の注意　…　805

B.５　変換ソケット（EV-9200GC-80）と変換アダプタ（TGK-080SDW）　…　808

付録Ｃ　組み込み用ソフトウエア　…　811

付録Ｄ　レジスタ索引　…　812

D.１　レジスタ索引（50音順）　…　812
D.２　レジスタ索引（アルファベット順）　…　815

付録Ｅ　改版履歴　…　819

図の目次（1/14）

図番号	タイトル，ページ
2－1	端子の入出力回路 … 80
3－1	μPD784031のメモリ・マップ … 84
3－2	μPD784035のメモリ・マップ … 85
3－3	μPD784036のメモリ・マップ … 86
3－4	μPD784037のメモリ・マップ … 87
3－5	μPD784038のメモリ・マップ … 88
3－6	内部RAMのメモリ・マップ … 95
3－7	内部メモリ・サイズ切り替えレジスタ（IMS）のフォーマット … 98
3－8	プログラム・カウンタ（PC）のフォーマット … 99
3－9	プログラム・ステータス・ワード（PSW）のフォーマ ット … 100
3－10	スタック・ポインタ（SP）のフォーマット … 106
3－11	スタック領域へ退避されるデータ … 107
3－12	スタック領域から復帰されるデータ … 108
3－13	汎用レジスタのフォーマット … 110
3－14	汎用レジスタのアドレス … 111
4－1	クロック発生回路のブロック図 … 123
4－2	クロック発振回路の外付け回路 … 124
4－3	スタンバイ・コントロール・レジスタ（STBC）のフォーマット … 126
4－4	発振安定時間指定レジスタ（OSTS）のフォーマット … 127
4－5	外部クロック入力時の信号取り出し点 … 130
4－6	発振子の接続の注意点 … 131
4－7	発振子の接続の悪い例 … 132
5－1	ポートの構成 … 134
5－2	ポート０のブロック図 … 137
5－3	ポート０モード・レジスタ（PM0）のフォーマット … 138
5－4	出力ポート指定のポート … 139
5－5	入力ポート指定のポート … 140
5－6	プルアップ抵抗オプション・レジスタ（PUO）のフォーマット … 141
5－7	プルアップ抵抗の指定（ポート０） … 142
5－8	トランジスタのドライブ例 … 143
5－9	P10, P11（ポート１）のブロック図 … 146
5－10	P12（ポート１）のブロック図 … 147

図の目次（2/14）

図番号	タイトル，ページ
5－11	P13（ポート１）のブロック図 … 148
5－12	P14（ポート１）のブロック図 … 149
5－13	P15-P17（ポート１）のブロック図 … 150
5－14	ポート１モード・レジスタ（PM1）のフォーマット … 151
5－15	ポート１モード・コントロール・レジスタ（PMC1）のフォーマット … 151
5－16	出力ポート指定のポート … 152
5－17	入力ポート指定のポート … 153
5－18	コントロール指定の場合 … 154
5－19	プルアップ抵抗オプション・レジスタ（PUO）のフォーマット … 155
5－20	プルアップ抵抗の指定（ポート１） … 156
5－21	LEDのダイレクト・ドライブ例 … 157
5－22	P20-P24, P26, P27（ポート２）のブロック図 … 159
5－23	P25（ポート2）のブロック図 … 160
5－24	入力ポート指定のポート … 161
5－25	プルアップ抵抗オプション・レジスタ（PUO）のフォーマット … 161
5－26	プルアップの指定（ポート２） … 162
5－27	P30（ポート３）のブロック図 … 165
5－28	P31, P34-P37（ポート３）のブロック図 … 166
5－29	P32（ポート３）のブロック図 … 167
5－30	P33（ポート３）のブロック図 … 168
5－31	ポート３モード・レジスタ（PM3）のフォーマット … 169
5－32	ポート３モード・コントロール・レジスタ（PMC3）のフォーマット … 170
5－33	出力ポート指定のポート … 171
5－34	入力ポート指定のポート … 172
5－35	コントロール指定の場合 … 173
5－36	プルアップ抵抗オプション・レジスタ（PUO）のフォーマット … 174
5－37	プルアップの指定（ポート３） … 175
5－38	ポート４のブロック図 … 177
5－39	ポート４モード・レジスタ（PM4）のフォーマット … 178
5－40	出力ポート指定のポート … 179
5－41	入力ポート指定のポート … 180
5－42	プルアップ抵抗オプション・レジスタ（PUO）のフォーマット … 181
5－43	プルアップの指定（ポート４） … 182
5－44	LEDのダイレクト・ドライブ例 … 183
5－45	ポート５のブロック図 … 185

図の目次（3/14）

図番号	タイトル，ページ
5－46	ポート５モード・レジスタ（PM5）のフォーマット … 186
5－47	出力ポート指定のポート … 187
5－48	入力ポート指定のポート … 188
5－49	プルアップ抵抗オプション・レジスタ（PUO）のフォーマット … 189
5－50	プルアップの指定（ポート５） … 190
5－51	LEDのダイレクト・ドライブ例 … 191
5－52	P60-P63（ポート６）のブロック図 … 195
5－53	P64, P65（ポート６）のブロック図 … 196
5－54	P66（ポート６）のブロック図 … 197
5－55	P67（ポート６）のブロック図 … 198
5－56	ポート６モード・レジスタ（PM6）のフォーマット … 200
5－57	出力ポート指定のポート … 200
5－58	入力ポート指定のポート … 201
5－59	プルアップ抵抗オプション・レジスタ（PUO）のフォーマット … 202
5－60	プルアップの指定（ポート６） … 202
5－61	ポート７のブロック図 … 203
5－62	ポート７モード・レジスタ（PM7）のフォーマット … 204
5－63	出力ポート指定のポート … 205
5－64	入力ポート指定のポート … 206
6－1	リアルタイム出力ポートのブロック図 … 211
6－2	リアルタイム出力ポート・コントロール・レジスタ（RTPC）のフォーマット … 212
6－3	ポート０バッファ・レジスタ（P0H, P0L）の構成 … 213
6－4	リアルタイム出力ポートの動作タイミング … 216
6－5	リアルタイム出力ポートの動作タイミング（2ch独立制御の例） … 217
6－6	リアルタイム出力ポートの動作タイミング … 218
6－7	リアルタイム出力機能の制御レジスタの設定内容 … 219
6－8	リアルタイム出力機能の設定手順 … 219
6－9	リアルタイム出力機能使用時の割り込み要求処理 … 220
7－1	タイマ／カウンタのブロック図 … 222
8－1	タイマ／カウンタ０のブロック図 … 227
8－2	タイマ・コントロール・レジスタ０（TMC0）のフォーマット … 230
8－3	プリスケーラ・モード・レジスタ０（PRM0）のフォーマット … 231

図の目次（4/14）

図番号	タイトル，ページ
8－4	キャプチャ／コンペア・コントロール・レジスタ０（CRC0）のフォーマット … 232
8－5	タイマ出力コントロール・レジスタ（TOC）のフォーマット … 233
8－6	ワンショット・パルス出力制御レジスタ（OSPC）のフォーマット … 234
8－7	タイマ・レジスタ０（TM0）の基本動作 … 236
8－8	コンペア・レジスタ（CR01）との一致によるTM0のクリア … 237
8－9	CE0ビットをクリア（０）した場合のクリア動作 … 238
8－10	タイマ／カウンタ０の外部イベント・カウントのタイミング … 239
8－11	外部イベント・カウンタで１回または１回以下の有効エッジ入力の区別がつかない例 … 241
8－12	外部イベント・カウンタで１回以下の有効エッジ入力を区別する方法 … 242
8－13	コンペア動作 … 243
8－14	一致検出後，TM0のクリア … 244
8－15	キャプチャ動作 … 245
8－16	トグル出力の動作 … 248
8－17	PWMパルス出力 … 250
8－18	TM0を用いたPWM出力例 … 251
8－19	CR00 = FFFFHのときのPWM出力例 … 252
8－20	コンペア・レジスタ（CR00）の書き換え例 … 253
8－21	PWM出力時にデューティが100 %になる例 … 254
8－22	PWM信号出力中にタイマ／カウンタ０を停止した場合 … 255
8－23	TM0を用いたPPG出力例 … 256
8－24	CR00 = CR01のときのPPG出力例 … 257
8－25	コンペア・レジスタ（CR00）の書き換え例 … 258
8－26	PPG出力時にデューティが100 %になる例 … 259
8－27	PPG出力の周期が長くなる例 … 260
8－28	PPG信号出力中にタイマ／カウンタ０を停止した場合 … 261
8－29	ソフト・トリガド・ワンショット・パルス出力例 … 262
8－30	インターバル・タイマ動作（１）のタイミング … 263
8－31	インターバル・タイマ動作（１）における制御レジスタの設定内容 … 264
8－32	インターバル・タイマ動作（１）の設定手順 … 264
8－33	インターバル・タイマ動作（１）の割り込み要求処理 … 264
8－34	インターバル・タイマ動作（２）のタイミング … 265
8－35	インターバル・タイマ動作（２）における制御レジスタの設定内容 … 266
8－36	インターバル・タイマ動作（２）の設定手順 … 266
8－37	パルス幅測定のタイミング … 267
8－38	パルス幅測定における制御レジスタの設定内容 … 268

図の目次（5/14）

図番号	タイトル，ページ
８－39	パルス幅測定の設定手順　…　268
８－40	パルス幅を算出する割り込み要求処理　…　269
８－41	タイマ／カウンタ０のPWM信号出力例　…　269
８－42	PWM出力動作における制御レジスタの設定内容　…　270
８－43	PWM出力の設定手順　…　271
８－44	PWM出力のデューティ変更　…　272
８－45	タイマ／カウンタ０のPPG信号出力例　…　273
８－46	PPG出力動作における制御レジスタの設定内容　…　274
８－47	PPG出力の設定手順　…　275
８－48	PPG出力のデューティ変更　…　276
８－49	タイマ／カウンタ０のワンショット・パルス出力例　…　277
８－50	ワンショット・パルス出力における制御レジスタ設定内容　…　278
８－51	ワンショット・パルス出力の設定手順　…　279
８－52	カウント・スタート時の動作　…　281
８－53	外部イベント・カウンタで１回または１回以下の有効エッジ入力の区別がつかない例　…　282
８－54	外部イベント・カウンタで１回以下の有効エッジ入力を区別する方法　…　283
９－１	タイマ／カウンタ１のブロック図　…　288
９－２	タイマ・コントロール・レジスタ１（TMC1）のフォーマット　…　291
９－３	プリスケーラ・モード・レジスタ１（PRM1）のフォーマット　…　292
９－４	キャプチャ／コンペア・コントロール・レジスタ１（CRC1）のフォーマット　…　293
９－５	コンペア・レジスタによる不要な割り込み要求の発生例　…　294
９－６	８ビット動作モード時の基本動作（BW1＝０）　…　296
９－７	16ビット動作モード時の基本動作（BW1＝１）　…　297
９－８	コンペア・レジスタ（CR10，CR11）との一致によるTM1のクリア　…　298
９－９	キャプチャ後，TM1のクリア　…　298
９－10	CE1ビットをクリア（０）した場合のクリア動作　…　299
９－11	タイマ／カウンタ１の外部イベント・カウントのタイミング　…　301
９－12	外部イベント・カウンタで１回または１回以下の有効エッジ入力の区別がつかない例　…　302
９－13	外部イベント・カウンタで１回以下の有効エッジ入力を区別する方法　…　303
９－14	８ビット動作モード時のコンペア動作　…　304
９－15	16ビット動作モード時のコンペア動作　…　305
９－16	一致検出後，TM1のクリア　…　305
９－17	８ビット動作モード時のキャプチャ動作　…　306
９－18	16ビット動作モード時のキャプチャ動作　…　307

図の目次（6/14）

図番号	タイトル，ページ
９－19	キャプチャ後，TM1のクリア … 308
９－20	コンペア・レジスタによる不要な割り込み要求の発生例 … 309
９－21	インターバル・タイマ動作（１）のタイミング … 310
９－22	インターバル・タイマ動作（１）における制御レジスタの設定内容 … 311
９－23	インターバル・タイマ動作（１）の設定手順 … 312
９－24	インターバル・タイマ動作（１）の割り込み要求処理 … 312
９－25	インターバル・タイマ動作（２）のタイミング（CR11をコンペア・レジスタとして使用する場合） … 313
９－26	インターバル・タイマ動作（２）の制御レジスタの設定内容 … 314
９－27	インターバル・タイマ動作（２）の設定手順 … 314
９－28	パルス幅測定のタイミング（CR11をキャプチャ・レジスタとして使用する場合） … 315
９－29	パルス幅測定の制御レジスタの設定内容 … 316
９－30	パルス幅測定の設定手順 … 317
９－31	パルス幅を算出する割り込み要求処理 … 317
９－32	カウント・スタート時の動作 … 319
９－33	外部イベント・カウンタで１回または１回以下の有効エッジ入力の区別がつかない例 … 320
９－34	外部イベント・カウンタで１回以下の有効エッジ入力を区別する方法 … 321
９－35	コンペア・レジスタによる不要な割り込み要求の発生例 … 322
10－１	タイマ／カウンタ２のブロック図 … 329
10－２	タイマ・コントロール・レジスタ１（TMC1）のフォーマット … 333
10－３	プリスケーラ・モード・レジスタ１（PRM1）のフォーマット … 334
10－４	キャプチャ／コンペア・コントロール・レジスタ２（CRC2）のフォーマット … 335
10－５	コンペア・レジスタによる不要な割り込み要求の発生例 … 336
10－６	タイマ出力コントロール・レジスタ（TOC）のフォーマット … 337
10－７	８ビット動作モード時の基本動作（BW2＝０） … 339
10－８	16ビット動作モード時の基本動作（BW2＝１） … 340
10－９	コンペア・レジスタ（CR20，CR21）との一致によるTM2のクリア … 341
10－10	キャプチャ後，TM2のクリア … 341
10－11	CE2ビットをクリア（０）した場合のクリア動作 … 342
10－12	タイマ／カウンタ２の外部イベント・カウントのタイミング … 343
10－13	外部イベント・カウンタで１回または１回以下の有効エッジ入力の区別がつかない例 … 344
10－14	外部イベント・カウンタで１回以下の有効エッジ入力を区別する方法 … 345
10－15	ワンショット・タイマ動作 … 346
10－16	８ビット動作モード時のコンペア動作 … 348

図の目次（7/14）

図番号	タイトル，ページ
10－17	16ビット動作モード時のコンペア動作 … 349
10－18	一致検出後，TM2のクリア … 350
10－19	８ビット動作モード時のキャプチャ動作 … 351
10－20	16ビット動作モード時のキャプチャ動作 … 352
10－21	キャプチャ後，TM2のクリア … 353
10－22	コンペア・レジスタによる不要な割り込み要求の発生例 … 354
10－23	トグル出力の動作 … 356
10－24	PWMパルス出力（BW2 = 0） … 359
10－25	PWMパルス出力（BW2 = 1） … 360
10－26	TM2Wを用いたPWM出力例 … 361
10－27	CR20W = FFFFHのときのPWM出力例 … 361
10－28	コンペア・レジスタ（CR20W）の書き換え例 … 362
10－29	PWM出力時にデューティが100 %になる例 … 363
10－30	PWM信号出力中にタイマ／カウンタ２を停止した場合 … 364
10－31	TM2を用いたPPG出力例 … 366
10－32	CR20 = CR21のときのPPG出力例 … 367
10－33	コンペア・レジスタの書き換え例 … 368
10－34	PPG出力時にデューティが100 %になる例 … 369
10－35	PPG出力の周期が長くなる例 … 370
10－36	PPG信号出力中にタイマ／カウンタ２を停止した場合 … 371
10－37	インターバル・タイマ動作（１）のタイミング … 372
10－38	インターバル・タイマ動作（１）における制御レジスタの設定内容 … 373
10－39	インターバル・タイマ動作（１）の設定手順 … 374
10－40	インターバル・タイマ動作（１）の割り込み要求処理 … 374
10－41	インターバル・タイマ動作（２）のタイミング … 375
10－42	インターバル・タイマ動作（２）の制御レジスタの設定内容 … 376
10－43	インターバル・タイマ動作（２）の設定手順 … 377
10－44	パルス幅測定のタイミング … 378
10－45	パルス幅測定の制御レジスタの設定内容 … 379
10－46	パルス幅測定の設定手順 … 380
10－47	パルス幅を算出する割り込み要求処理 … 380
10－48	タイマ／カウンタ２のPWM信号出力例 … 381
10－49	PWM出力動作における制御レジスタの設定内容 … 382
10－50	PWM出力の設定手順 … 383
10－51	PWM出力のデューティ変更 … 384

図の目次（8/14）

図番号　　タイトル，ページ

10－52　タイマ／カウンタ２のPPG信号出力例　…　385
10－53　PPG出力動作における制御レジスタの設定内容　…　386
10－54　PPG出力の設定手順　…　388
10－55　PPG出力のデューティ変更　…　389
10－56　外部イベント・カウンタ動作（片エッジの場合）　…　390
10－57　外部イベント・カウンタ動作の制御レジスタの設定内容　…　391
10－58　外部イベント・カウンタ動作の設定手順　…　391
10－59　ワンショット・タイマ動作　…　392
10－60　ワンショット・タイマ動作の制御レジスタの設定内容　…　393
10－61　ワンショット・タイマ動作の設定手順　…　394
10－62　２回目以降のワンショット・タイマの起動手順　…　394
10－63　カウント・スタート時の動作　…　396
10－64　外部イベント・カウンタで１回または１回以下の有効エッジ入力の区別がつかない例　…　398
10－65　外部イベント・カウンタで１回以下の有効エッジ入力を区別する方法　…　399
10－66　コンペア・レジスタによる不要な割り込み要求の発生例　…　400

11－１　タイマ３のブロック図　…　403
11－２　タイマ・コントロール・レジスタ０（TMC0）のフォーマット　…　405
11－３　プリスケーラ・モード・レジスタ０（PRM0）のフォーマット　…　406
11－４　８ビット動作モード時の基本動作（BW3＝０）　…　408
11－５　16ビット動作モード時の基本動作（BW3＝１）　…　409
11－６　コンペア・レジスタ（CR30）との一致によるTM3のクリア　…　410
11－７　CE3ビットをクリア（０）した場合のクリア動作　…　411
11－８　コンペア動作　…　412
11－９　インターバル・タイマ動作のタイミング　…　413
11－10　インターバル・タイマ動作の制御レジスタの設定内容　…　414
11－11　インターバル・タイマ動作の設定手順　…　414
11－12　カウント・スタート時の動作　…　416

12－１　ウォッチドッグ・タイマのブロック図　…　418
12－２　ウォッチドッグ・タイマ・モード・レジスタ（WDM）のフォーマット　…　420

13－１　PWM出力ユニットの構成　…　424
13－２　PWMコントロール・レジスタ（PWMC）のフォーマット　…　426
13－３　PWMプリスケーラ・レジスタ（PWPR）のフォーマット　…　427

図の目次（9/14）

図番号	タイトル，ページ
13－4	PWM出力の基本動作 … 428
13－5	PWM出力のアクティブ・レベル設定 … 429
13－6	PWM出力タイミング例１（PWMパルス幅書き換え周期$2^{12}/f_{PWMC}$） … 430
13－7	PWM出力タイミング例２（PWMパルス幅書き換え周期$2^{8}/f_{PWMC}$） … 431
14－1	A/Dコンバータのブロック図 … 433
14－2	A/Dコンバータ用端子のキャパシタ接続例 … 434
14－3	A/Dコンバータ・モード・レジスタ（ADM）のフォーマット … 437
14－4	A/Dコンバータの基本動作 … 440
14－5	アナログ入力電圧とA/D変換結果の関係 … 441
14－6	セレクト・モードの動作タイミング … 443
14－7	スキャン・モード０の動作タイミング … 444
14－8	スキャン・モード１の動作タイミング … 445
14－9	ソフトウエア・スタートによるセレクト・モードのA/D変換動作 … 446
14－10	ソフトウエア・スタートによるスキャン・モードのA/D変換動作 … 447
14－11	ハードウエア・スタートによるセレクト・モードのA/D変換動作 … 449
14－12	ハードウエア・スタートによるスキャン・モードのA/D変換動作 … 450
14－13	A/Dコンバータ用端子のキャパシタ接続例 … 452
15－1	D/Aコンバータのブロック図 … 453
15－2	D/Aコンバータ・モード・レジスタ（DAM）のフォーマット … 454
15－3	D/Aコンバータの基準電圧入力端子のキャパシタ接続例 … 455
15－4	バッファ・アンプの挿入例 … 456
16－1	シリアル・インタフェース例 … 459
17－1	アシンクロナス・シリアル・インタフェース・モードと３線式シリアルI/Oモードの切り替え … 461
17－2	アシンクロナス・シリアル・インタフェースのブロック図 … 463
17－3	アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM），アシンクロナス・シリアル・インタフェース・モード・レジスタ２（ASIM2）のフォーマット … 466
17－4	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS），アシンクロナス・シリアル・インタフェース・ステータス・レジスタ２（ASIS2）のフォーマット … 468
17－5	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット … 469
17－6	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング … 471
17－7	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング … 472

図の目次（10/14）

図番号	タイトル，ページ
17－８	受信エラー・タイミング … 473
17－９	３線式シリアルI/Oのシステム構成例 … 475
17－10	３線式シリアルI/Oモード時のブロック図 … 476
17－11	クロック同期式シリアル・インタフェース・モード・レジスタ１（CSIM1），クロック同期式シリアル・インタフェース・モード・レジスタ２（CSIM2）のフォーマット … 478
17－12	３線式シリアルI/Oモードのタイミング … 479
17－13	２線式シリアルI/Oとの接続例 … 480
17－14	ボー・レート・ジェネレータのブロック図 … 485
17－15	ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC），ボー・レート・ジェネレータ・コントロール・レジスタ２（BRGC2）のフォーマット … 487
18－１	クロック同期式シリアル・インタフェース（３線式／２線式シリアルI/Oモード時）のブロック図 … 496
18－２	クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のフォーマット … 498
18－３	シリアル・クロック用プリスケーラ・モード・レジスタ（SPRM）のフォーマット … 499
18－４	I^2Cバス・コントロール・レジスタ（IICC）のフォーマット … 500
18－５	３線式シリアルI/Oのシステム構成例 … 501
18－６	３線式シリアルI/Oモードのタイミング … 502
18－７	２線式シリアルI/Oのシステム構成例 … 508
18－８	２線式シリアルI/Oモードのタイミング … 509
19－１	I^2Cバス・モードによるシリアル・バス構成例 … 518
19－２	クロック同期式シリアル・インタフェース（I^2Cバス・モード時）のブロック図 … 519
19－３	クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のフォーマット … 522
19－４	I^2Cバス・コントロール・レジスタ（IICC）のフォーマット … 523
19－５	シリアル・クロック用プリスケーラ・モード・レジスタ（SPRM）のフォーマット … 525
19－６	スレーブ・アドレス・レジスタ（SVA）のフォーマット … 526
19－７	端子構成図 … 527
19－８	I^2Cバスのシリアル・データ転送タイミング … 529
19－９	スタート・コンディション … 529
19－10	アドレス … 530
19－11	転送方向指定 … 531
19－12	アクノリッジ信号 … 532
19－13	ストップ・コンディション … 533
19－14	ウエイト信号 … 534

図の目次（11/14）

図番号	タイトル，ページ
19－15	マスタ→スレーブ通信例（マスタ，スレーブとも９クロック・ウエイト選択時，スレーブ：WUP＝0） … 539
19－16	スレーブ→マスタ通信例（マスタ，スレーブとも９クロック・ウエイト選択時） … 542
20－１	クロック出力機能の構成 … 546
20－２	クロック出力モード・レジスタ（CLOM）のフォーマット … 548
20－３	クロック出力動作のタイミング … 549
20－４	１ビット出力ポートの動作 … 550
21－１	外部割り込みモード・レジスタ0（INTM0）のフォーマット … 552
21－２	外部割り込みモード・レジスタ1（INTM1）のフォーマット … 553
21－３	サンプリング・クロック選択レジスタ（SCS0）のフォーマット … 554
21－４	P20, P25, P26端子のエッジ検出 … 555
21－５	P21端子のエッジ検出 … 556
21－６	P21-P26端子のエッジ検出 … 557
22－１	割り込み制御レジスタ（××ICn） … 569
22－２	割り込みマスク・レジスタ（MK0, MK1L）のフォーマット … 572
22－３	インサービス・プライオリティ・レジスタ（ISPR）のフォーマット … 574
22－４	割り込みモード・コントロール・レジスタ（IMC）のフォーマット … 575
22－５	ウォッチドッグ・タイマ・モード・レジスタ（WDM）のフォーマット … 576
22－６	プログラム・ステータス・ワード（PSWL）のフォーマット … 577
22－７	BRKCS命令の実行によるコンテキスト・スイッチング動作 … 578
22－８	BRKCS命令によるソフトウエア割り込みからの復帰動作（RETCSB命令の動作） … 579
22－９	ノンマスカブル割り込み要求の受け付け動作 … 581
22－10	割り込み受け付け処理アルゴリズム … 585
22－11	割り込み要求の発生によるコンテキスト・スイッチング動作 … 586
22－12	RETCS命令によるコンテキスト・スイッチング機能を使用した割り込みからの復帰動作 … 587
22－13	割り込み処理中に他の割り込み要求が発生した場合の処理例 … 589
22－14	同時発生した割り込み要求の処理例 … 592
22－15	IMCの設定によるレベル３の割り込みの受け付け動作の違い … 593
22－16	ベクタ割り込みとマクロ・サービスの処理の違い … 594
22－17	マクロ・サービス処理シーケンス … 597
22－18	VCIE＝0のときのマクロ・サービス終了時の動作 … 599
22－19	VCIE＝1のときのマクロ・サービス終了時の動作 … 600

図の目次（12/14）

図番号	タイトル，ページ
22－20	マクロ・サービス・コントロール・ワードのフォーマット … 601
22－21	マクロ・サービス・モード・レジスタのフォーマット … 602
22－22	マクロ・サービス・データ転送処理フロー（タイプA） … 605
22－23	タイプAのマクロ・サービス・チャネル … 607
22－24	アシンクロナス・シリアル受信 … 608
22－25	マクロ・サービス・データ転送処理フロー（タイプB） … 610
22－26	タイプBのマクロ・サービス・チャネル … 611
22－27	外部割り込みに同期したパラレル・データ入力 … 612
22－28	パラレル・データ入力のタイミング … 613
22－29	マクロ・サービス・データ転送処理フロー（タイプC） … 615
22－30	タイプCのマクロ・サービス・チャネル … 618
22－31	リアルタイム出力ポートによるステッピング・モータの開ループ制御 … 620
22－32	データ転送制御のタイミング … 621
22－33	４相ステッピング・モータの１相励磁の場合 … 623
22－34	４相ステッピング・モータの1-2相励磁の場合 … 623
22－35	自動加算制御＋リング制御のブロック図１（1-2相励磁で出力タイミングが変化する場合） … 624
22－36	自動加算制御＋リング制御のタイミング図１（1-2相励磁で出力タイミングが変化する場合） … 625
22－37	自動加算制御＋リング制御のブロック図２（1-2相励磁の等速運動） … 626
22－38	自動加算制御＋リング制御のタイミング図２（1-2相励磁の等速運動） … 627
22－39	マクロ・サービス・データ転送処理フロー（カウンタ・モード） … 628
22－40	カウンタ・モード … 629
22－41	エッジの回数のカウント … 629
22－42	割り込み要求の発生と受け付け（単位：クロック = 1/f_{CLK}） … 632
23－１	メモリ拡張モード・レジスタ（MM）のフォーマット … 640
23－２	μPD784035のメモリ・マップ … 642
23－３	μPD784036のメモリ・マップ … 644
23－４	μPD784037のメモリ・マップ … 646
23－５	μPD784038のメモリ・マップ … 648
23－６	μPD784031のメモリ・マップ … 650
23－７	リード・タイミング … 652
23－８	ライト・タイミング … 652
23－９	メモリ拡張モード・レジスタ（MM）のフォーマット … 653
23－10	プログラマブル・ウエイト制御レジスタ（PWC1, PWC2）のフォーマット … 655
23－11	アドレス・ウエイト機能によるリード／ライト・タイミング … 657

図の目次（13/14）

図番号	タイトル，ページ
23－12	ウエイト制御の空間 … 660
23－13	アクセス・ウエイト機能によるリード・タイミング … 661
23－14	アクセス・ウエイト機能によるライト・タイミング … 663
23－15	外部ウエイト信号によるタイミング … 665
23－16	リフレッシュ・モード・レジスタ（RFM）のフォーマット … 667
23－17	リフレッシュ領域指定レジスタ（RFA）のフォーマット … 668
23－18	内部メモリ・アクセス時のパルス・リフレッシュ動作 … 669
23－19	リフレッシュ・パルス出力動作 … 670
23－20	セルフ・リフレッシュ動作からの復帰タイミング … 671
23－21	ホールド・モード・レジスタ（HLDM）のフォーマット … 672
23－22	ホールド・モードのタイミング … 674
24－1	スタンバイ・モードの遷移図 … 676
24－2	スタンバイ機能のブロック図 … 677
24－3	スタンバイ・コントロール・レジスタ（STBC）のフォーマット … 679
24－4	発振安定時間指定レジスタ（OSTS）のフォーマット … 681
24－5	HALTモード解除後の動作 … 685
24－6	STOPモード解除後の動作 … 694
24－7	NMI入力によるSTOPモードの解除 … 696
24－8	INTP4, INTP5入力によるSTOPモードの解除 … 697
24－9	IDLEモード解除後の動作 … 700
24－10	アドレス／データ・バスの処理例 … 704
25－1	リセット信号の受け付け … 707
25－2	電源投入時のリセット動作 … 708
25－3	リセット入力時のタイミング … 711
26－1	ページ・プログラム・モードのフロー・チャート … 716
26－2	ページ・プログラム・モードのタイミング … 717
26－3	バイト・プログラム・モードのフロー・チャート … 718
26－4	バイト・プログラム・モードのタイミング … 719
26－5	PROMの読み出しタイミング … 720
28－1	電源電圧およびクロック・サイクル・タイム … 759

図の目次（14/14）

図番号	タイトル，ページ
Ｂ－１	開発ツール構成　…　796
Ｂ－２	インサーキット・エミュレータ～変換ソケットまでの距離　…　805
Ｂ－３	ターゲット・システムの接続条件（１）　…　806
Ｂ－４	ターゲット・システムの接続条件（２）　…　807
Ｂ－５	EV-9200GC-80　外形図（参考）（単位：mm）　…　807
Ｂ－６	EV-9200GC-80　基板取り付け推奨パターン（参考）（単位：mm）　…　809
Ｂ－７	TGK-080SDW　外形図（参考）（単位：mm）　…　810

表の目次（1/4）

表番号	タイトル，ページ
２－１	ポート１の動作モード … 67
２－２	ポート２の動作モード … 69
２－３	ポート３の動作モード … 70
２－４	ポート６の動作モード … 73
２－５	各端子の入出力回路タイプと未使用端子の処理 … 78
３－１	ベクタ・テーブル … 91
３－２	内部RAM領域一覧 … 94
３－３	レジスタ・バンクの選択 … 102
３－４	機能名称-絶対名称の対応 … 114
３－５	特殊機能レジスタ（SFR）一覧 … 116
３－６	タイマ・レジスタ読み込み制限条件 … 122
４－１	分周比の変更に必要な時間 … 129
５－１	ポートの機能 … 135
５－２	入出力ポート数 … 135
５－３	ポート１の動作モード … 144
５－４	P10，P11のPWM信号出力機能の設定方法 … 151
５－５	ポート２の動作モード … 157
５－６	ポート３の動作モード … 163
５－７	ポート４の動作モード … 176
５－８	ポート４の動作モード … 178
５－９	ポート５の動作モード … 184
５－10	ポート５の動作モード … 186
５－11	ポート６の動作モード … 192
５－12	P60-P65のコントロール端子指定 … 193
５－13	ポート６の動作モード … 199
５－14	P60-P65のコントロール端子指定 … 199
６－１	ポート０とポート０バッファ・レジスタ（P0H，P0L）に対する操作時の動作 … 213
６－２	リアルタイム出力ポートの出力トリガ（P0MH = P0ML = １の場合） … 215
７－１	タイマ／カウンタの動作 … 221

表の目次（2/4）

表番号	タイトル，ページ
８－１	タイマ／カウンタ０のインターバル時間 … 223
８－２	タイマ／カウンタ０のプログラマブル矩形波出力設定範囲 … 224
８－３	タイマ／カウンタ０のパルス幅測定範囲 … 225
８－４	タイマ／カウンタ０のパルス幅測定時間 … 226
８－５	タイマ・レジスタ読み込み制限条件 … 228
８－６	タイマ出力（TO0，TO1）の動作 … 247
８－７	TO0，TO1のトグル出力（fxx = 32 MHz） … 249
８－８	TO0，TO1のPWM周期（fxx = 32 MHz） … 251
８－９	TO0のPPG出力（fxx = 32 MHz） … 257
８－10	タイマ・レジスタ読み込み制限条件 … 282
９－１	タイマ／カウンタ１のインターバル時間 … 285
９－２	タイマ／カウンタ１のパルス幅測定範囲 … 286
９－３	タイマ／カウンタ１のパルス幅測定時間 … 287
９－４	タイマ・レジスタ読み込み制限条件 … 289
９－５	イベント・カウント可能な最大入力周波数と最小入力パルス幅 … 300
９－６	タイマ・レジスタ読み込み制限条件 … 320
10－１	タイマ／カウンタ２のインターバル時間 … 325
10－２	タイマ／カウンタ２のプログラマブル矩形波出力設定範囲 … 326
10－３	タイマ／カウンタ２のパルス幅測定範囲 … 327
10－４	タイマ／カウンタ２に入力可能なクロック … 327
10－５	タイマ・レジスタ読み込み制限条件 … 330
10－６	タイマ出力（TO2，TO3）の動作 … 355
10－７	TO2，TO3のトグル出力（fxx = 32 MHz） … 357
10－８	TO2，TO3のPWM周期（fxx = 32 MHz，BW2 = ０） … 359
10－９	TO2，TO3のPWM周期（fxx = 32 MHz，BW2 = １） … 360
10－10	TO2のPPG出力（fxx = 32 MHz） … 366
10－11	タイマ・レジスタ読み込み制限条件 … 397
11－１	タイマ３のインターバル時間 … 402
11－２	タイマ・レジスタ読み込み制限条件 … 404
11－３	タイマ・レジスタ読み込み制限条件 … 417
14－１	A/D変換時間 … 442

表の目次（3/4）

表番号	タイトル，ページ
17－1	UART/IOE1とUART2/IOE2の名称の違い … 460
17－2	受信エラーの要因 … 473
17－3	ボー・レートの設定方法 … 490
17－4	ボー・レート・ジェネレータを使用した場合のBRGCへの設定例 … 491
17－5	外部ボー・レート入力（ASCK）を使用した場合の設定例 … 492
19－1	INTCSI発生タイミングおよびウエイト制御 … 536
19－2	各種信号とフラグ … 545
21－1	P20-P26端子と検出エッジの用途 … 551
22－1	割り込み要求の処理形態 … 559
22－2	割り込み要求ソースの種類 … 560
22－3	制御レジスター覧 … 564
22－4	割り込み要求に対する割り込み制御レジスタのフラグ一覧 … 566
22－5	多重割り込み処理 … 588
22－6	マクロ・サービスが使用可能な割り込み … 595
22－7	割り込み受け付け処理時間 … 633
22－8	マクロ・サービス処理時間 … 634
23－1	疑似スタティックRAM使用時のシステム・クロック周波数とリフレッシュ・パルス出力周期 … 668
24－1	HALTモード時の動作状態 … 682
24－2	HALTモードの解除と解除後の動作 … 684
24－3	マスカブル割り込み要求によるHALTモードの解除 … 690
24－4	STOPモード時の動作状態 … 691
24－5	STOPモードの解除と解除後の動作 … 693
24－6	IDLEモード時の動作状態 … 698
24－7	IDLEモードの解除と解除後の動作 … 699
25－1	リセット入力中，リセット解除後の端子状態 … 708
25－2	各ハードウエアのリセット後の状態 … 709
26－1	PROMプログラミングの動作モード … 713

表の目次（4/4）

表番号	タイトル，ページ
27－１	８ビット・アドレシング別命令一覧表 … 754
27－２	16ビット・アドレシング別命令一覧表 … 756
27－３	24ビット・アドレシング別命令一覧表 … 758
27－４	ビット操作命令アドレシング別命令一覧表 … 758
27－５	コール・リターン命令／分岐命令アドレシング別命令一覧表 … 759
30－１	表面実装タイプの半田付け条件 … 790
A－１	μPD784026サブシリーズとの違い … 792

第１章　概　　説

μPD784038サブシリーズは，アナログ信号での入出力を直接行うことのできる78K/IVシリーズの製品です。78K/IVシリーズは，16ビット・シングルチップ・マイクロコンピュータで，１Mバイトのメモリ空間に対するアクセス機能などを持った高性能CPUを備えた製品です。また，μPD784038サブシリーズは，78K/IIシリーズの上位互換製品で，78K/IIシリーズの中のμPD78234サブシリーズとピン・コンパチブルです。

μPD784038は，128 KバイトのマスクROMと4352バイトのRAMを内蔵しています。また，高機能タイマ／カウンタ，８ビットA/Dコンバータ，８ビットD/Aコンバータ，PWM出力機能，２チャネル独立のシリアル・インタフェースなどを内蔵しています。

μPD784031は，μPD784038のROMを除き，RAMを2048バイトにした製品です。

μPD784035は，μPD784038のマスクROMを48 Kバイト，RAMを2048バイトにした製品です。

μPD784036は，μPD784038のマスクROMを64 Kバイト，RAMを2048バイトにした製品です。

μPD784037は，μPD784038のマスクROMを96 Kバイト，RAMを3584バイトにした製品です。

μPD78P4038は，μPD784038のマスクROMをPROMに置き換えた製品です。

また，μPD784038Yサブシリーズは，μPD784038サブシリーズにI^2Cバス制御機能を追加した製品です。

各製品の関係は次のようになっています。

これらの製品は，次のような分野に応用できます。

〈μPD784038サブシリーズ〉

- LBP
- オートフォーカス・カメラ
- PPC
- プリンタ
- 電子タイプライタ
- エアコン
- 電子楽器
- 携帯電話　など

〈μPD784038Yサブシリーズ〉

- 携帯電話
- コードレス電話
- AV機器　など

★　**78K/IVシリーズ製品展開図**

備考　蛍光表示管の一般的な英語名称はVFD（Vacuum Fluorescent Display）ですが，ドキュメントによってはFIP®（Fluorescent Indicator Panel）と記述しているものがあります。VFDとFIPは同等の機能です。

1.1　特　　徴

○78K/IVシリーズ

○μPD78234サブシリーズおよびμPD784026サブシリーズとピン・コンパチブル

○μPD78234サブシリーズ，μPD784026サブシリーズの内部メモリ容量を拡張

○高速命令実行

・最小命令実行時間（32 MHz動作時）：125 ns

○制御用途に適する命令セット

○データ・メモリ拡張機能（メモリ空間１Mバイト：バンク指定ポインタ×２）

○割り込みコントローラ（４レベル・プライオリティ）

・ベクタ割り込み処理／マクロ・サービス／コンテキスト・スイッチング

○スタンバイ機能：HALT/STOP/IDLEモード

○内部メモリ：・ROM

マスクROM：128 Kバイト（μPD784038）
96 Kバイト（μPD784037）
64 Kバイト（μPD784036）
48 Kバイト（μPD784035）
内蔵せず（μPD784031）

PROM　：128 Kバイト（μPD78P4038）

・RAM　：4352バイト（μPD784038, 78P4038）
3584バイト（μPD784037）
2048バイト（μPD784031, 784035, 784036）

○I/O端子

・μPD784035, 784036, 784037, 784038, 78P4038：64本

ソフトウエア・プログラマブル・プルアップ　：54入力
LEDダイレクト・ドライブ可能　：24出力
トランジスタ・ダイレクト・ドライブ可能　：８出力

・μPD784031：46本

ソフトウエア・プログラマブル・プルアップ　：34入力
LEDダイレクト・ドライブ可能　：８出力
トランジスタ・ダイレクト・ドライブ可能　：８出力

○シリアル・インタフェース

・UART/IOE（３線式シリアルI/O）：２チャネル（ボー・レート・ジェネレータ内蔵）

・CSI（３線式シリアルI/O，２線式シリアルI/O，I^2Cバス注）：１チャネル

注　μPD784038Yサブシリーズのみ

○リアルタイム出力ポート（タイマ／カウンタと組み合わせることにより，２系統のステッピング・モータの独立制御が可能）

○A/Dコンバータ：８ビット分解能×８チャネル

○D/Aコンバータ：８ビット分解能×２チャネル

○PWM出力：12ビット分解能×２チャネル

○高機能タイマ／カウンタ

・タイマ／カウンタ（16ビット）×３ユニット

・タイマ（16ビット）×１ユニット

○ウォッチドッグ・タイマ：１チャネル

○クロック出力機能：f_{CLK}, $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/16$から選択（μPD784031以外）

★ 1.2　オーダ情報と品質水準

1.2.1　オーダ情報

（1）μPD784038サブシリーズ

オーダ名称	パッケージ	内部ROM
μPD784031GC-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	なし
μPD784031GK-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784031GC(A)-3B9	80ピン・プラスチックQFP（14×14, 2.7 mm厚）	〃
μPD784035GC-×××-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	マスクROM
μPD784035GK-×××-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784035GC(A)-×××-3B9	80ピン・プラスチックQFP（14×14, 2.7 mm厚）	〃
μPD784036GC-×××-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784036GK-×××-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784036GC(A)-×××-3B9	80ピン・プラスチックQFP（14×14, 2.7 mm厚）	〃
μPD784037GC-×××-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784037GK-×××-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784038GC-×××-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784038GK-×××-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD78P4038GC-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	ワン・タイムPROM
μPD78P4038GK-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784031GC-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	なし
μPD784031GK-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784035GC-×××-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	マスクROM
μPD784035GK-×××-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784036GC-×××-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784037GC-×××-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784037GK-×××-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784038GC-×××-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784038GK-×××-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD78P4038GC-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	ワン・タイムPROM
μPD78P4038GK-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃

備考１． ×××はROMコード番号です。

２． オーダ名称末尾「-A」の製品は鉛フリー製品です。

（2）μPD784038Yサブシリーズ

オーダ名称	パッケージ	内部ROM
μPD784031YGC-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	なし
μPD784031YGK-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784035YGC-×××-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	マスクROM
μPD784035YGK-×××-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784036YGC-×××-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784036YGK-×××-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784037YGC-×××-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784037YGK-×××-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784038YGC-×××-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784038YGK-×××-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD78P4038YGC-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	ワン・タイムPROM
μPD78P4038YGK-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784031YGC-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	なし
μPD784031YGK-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784035YGC-×××-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	マスクROM
μPD784036YGC-×××-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784037YGC-×××-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784037YGK-×××-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784038YGC-×××-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784038YGK-×××-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD78P4038YGC-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	ワン・タイムPROM
μPD78P4038YGK-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃

備考1．×××はROMコード番号です。

2．オーダ名称末尾「-A」の製品は鉛フリー製品です。

1.2.2　品質水準

（1）μPD784038サブシリーズ

オーダ名称	パッケージ	品質水準
μPD784031GC-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	標準（一般電子機器用）
μPD784031GK-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784031GC(A)-3B9	80ピン・プラスチックQFP（14×14, 2.7 mm厚）	特別（高信頼度電子機器用）
μPD784035GC-×××-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	標準（一般電子機器用）
μPD784035GK-×××-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784035GC(A)-×××-3B9	80ピン・プラスチックQFP（14×14, 2.7 mm厚）	特別（高信頼度電子機器用）
μPD784036GC-×××-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	標準（一般電子機器用）
μPD784036GK-×××-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784036GC(A)-×××-3B9	80ピン・プラスチックQFP（14×14, 2.7 mm厚）	特別（高信頼度電子機器用）
μPD784037GC-×××-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	標準（一般電子機器用）
μPD784037GK-×××-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784038GC-×××-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784038GK-×××-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD78P4038GC-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD78P4038GK-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784031GC-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784031GK-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784035GC-×××-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784035GK-×××-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784036GC-×××-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784037GC-×××-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784037GK-×××-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784038GC-×××-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784038GK-×××-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD78P4038GC-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD78P4038GK-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」（C11531J）をご覧ください。

備考１． ×××はROMコード番号です。

２． オーダ名称末尾「-A」の製品は鉛フリー製品です。

（2）μPD784038Yサブシリーズ

オーダ名称	パッケージ	品質水準
μPD784031YGC-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	標準（一般電子機器用）
μPD784031YGK-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784035YGC-×××-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784035YGK-×××-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784036YGC-×××-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784036YGK-×××-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784037YGC-×××-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784037YGK-×××-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784038YGC-×××-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784038YGK-×××-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD78P4038YGC-8BT	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD78P4038YGK-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784031YGC-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784031YGK-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784035YGC-×××-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784036YGC-×××-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784037YGC-×××-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784037YGK-×××-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD784038YGC-×××-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD784038YGK-×××-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃
μPD78P4038YGC-8BT-A	80ピン・プラスチックQFP（14×14, 1.4 mm厚）	〃
μPD78P4038YGK-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12×12）	〃

備考１．×××はROMコード番号です。

２．オーダ名称末尾「-A」の製品は鉛フリー製品です。

1.3　端子接続図（Top View）

1.3.1　通常動作モード

・80ピン・プラスチックQFP（14×14, 2.7 mm厚）
・80ピン・プラスチックQFP（14×14, 1.4 mm厚）
・80ピン・プラスチックTQFP（ファインピッチ）（12×12）

注　TEST端子はV_{SS0}に直接接続してください。

注意　μPD784031, 784031Yの場合，CLKOUT, P40-P47, P50-P57, P64, P65は使用できません。

P00-P07	: Port0
P10-P17	: Port1
P20-P27	: Port2
P30-P37	: Port3
P40-P47	: Port4
P50-P57	: Port5
P60-P67	: Port6
P70-P77	: Port7
TO0-TO3	: Timer Output
CI	: Clock Input
RxD, RxD2	: Receive Data
TxD, TxD2	: Transmit Data
$\overline{\text{SCK0}}$-$\overline{\text{SCK2}}$	: Serial Clock
SCL	: Serial Clock
ASCK, ASCK2	: Asynchronous Serial Clock
SDA	: Serial Data
SI0-SI2	: Serial Input
SO0-SO2	: Serial Output
PWM0, PWM1	: Pulse Width Modulation Output
NMI	: Non-maskable Interrupt
INTP0-INTP5	: Interrupt from Peripherals

AD0-AD7	: Address/Data Bus
A8-A19	: Address Bus
$\overline{\text{RD}}$	: Read Strobe
$\overline{\text{WR}}$	: Write Strobe
$\overline{\text{WAIT}}$	: Wait
HLDRQ	: Hold Request
HLDAK	: Hold Acknowledge
CLKOUT	: Clock Out
ASTB	: Address Strobe
$\overline{\text{REFRQ}}$	: Refresh Request
$\overline{\text{RESET}}$	: Reset
X1, X2	: Crystal
ANI0-ANI7	: Analog Input
ANO0, ANO1	: Analog Output
AV_{REF1}-AV_{REF3}	: Reference Voltage
AV_{DD}	: Analog Power Supply
AV_{SS}	: Analog Ground
V_{DD0}, V_{DD1}	: Power Supply
V_{SS0}, V_{SS1}	: Ground
TEST	: Test

1.3.2　PROMプログラミング・モード（V_{PP}≧+5 V/+12.5 V, $\overline{RESET}$ = L）

・80ピン・プラスチックQFP（14×14, 1.4 mm厚）

・80ピン・プラスチックTQFP（ファインピッチ）（12×12）

注意　L　　：個別に10 kΩのプルダウン抵抗を介してV_{SS}に接続してください。

　　V_{SS}　　：グランドに接続してください。

　　Open　：何も接続しないでください。

　　$\overline{RESET}$：ロウ・レベルにしてください。

V_{PP}	：Programming Power Supply	$\overline{PGM}$	：Program
$\overline{RESET}$	：Reset	$\overline{OE}$	：Output Enable
A0-A16	：Address Bus	V_{DD}	：Power Supply
D0-D7	：Data Bus	V_{SS}	：Ground
$\overline{CE}$	：Chip Enable		

1.4　応用システム構成例（PPC）

1.5　ブロック図

注1．μPD784038Yサブシリーズは，I²Cバス・モードに対応しています。

2．μPD784031の場合，CLKOUT, P40-P47, P50-P57, P64, P65は使用できません。

備考　内部ROM，RAM容量は，製品によって異なります。

1.6　機能一覧

(1/2)

項　目 ＼ 品　名		μPD784031 μPD784031Y	μPD784035 μPD784035Y	μPD784036 μPD784036Y	μPD784037 μPD784037Y	μPD784038 μPD784038Y	μPD78P4038 μPD78P4038Y
基本命令（ニモニック）数		113					
汎用レジスタ		8ビット×16レジスタ×8バンク，または16ビット×8レジスタ×8バンク（メモリ・マッピング）					
最小命令実行時間		125 ns（32 MHz動作時）					
内部メモリ	ROM	なし	48 Kバイト（マスクROM）	64 Kバイト（マスクROM）	96 Kバイト（マスクROM）	128 Kバイト（マスクROM）	128 Kバイト（ワン・タイムPROM）
	RAM	2048バイト			3584バイト	4352バイト	
メモリ空間		プログラム／データあわせて１Mバイト					
I/Oポート	合　計	46本	64本				
	入　力	8本	8本				
	入出力	34本	56本				
	出　力	4本	0本				
付加機能付き端子[注1]	プルアップ抵抗付き端子	32本	54本				
	LEDダイレクト・ドライブ出力	8本	24本				
	トランジスタ・ダイレクト・ドライブ	8本	8本				
リアルタイム出力ポート		４ビット×２，または８ビット×１					
タイマ／カウンタ		タイマ／カウンタ０（16ビット）：タイマ・レジスタ×１　パルス出力可 キャプチャ・レジスタ×１　・トグル出力 コンペア・レジスタ×２　・PWM/PPG出力 ・ワンショット・パルス出力					
		タイマ／カウンタ１（8/16ビット）：タイマ・レジスタ×１　パルス出力可 キャプチャ・レジスタ×１　・リアルタイム出力（4ビット×2） キャプチャ／コンペア・レジスタ×1 コンペア・レジスタ×１					
		タイマ／カウンタ２（8/16ビット）：タイマ・レジスタ×１　パルス出力可 キャプチャ・レジスタ×１　・トグル出力 キャプチャ／コンペア・レジスタ×1　・PWM/PPG出力 コンペア・レジスタ×１					
		タイマ３（8/16ビット）：タイマ・レジスタ×１ コンペア・レジスタ×１					
PWM出力		12ビット分解能×２チャネル					
シリアル・インタフェース		UART/IOE（３線式シリアルI/O）：２チャネル（ボー・レート・ジェネレータ内蔵） CSI（３線式シリアルI/O，２線式シリアルI/O，I^2Cバス[注2]）：１チャネル					

注１．付加機能付き端子は，I/O端子の中に含まれています。

２．μPD784038Yサブシリーズのみ。

(2/2)

品　名 項　目	μPD784031 μPD784031Y	μPD784035 μPD784035Y	μPD784036 μPD784036Y	μPD784037 μPD784037Y	μPD784038 μPD784038Y	μPD78P4038 μPD78P4038Y
A/Dコンバータ	８ビット分解能×８チャネル					
D/Aコンバータ	８ビット分解能×２チャネル					
クロック出力	－	f_{CLK}, $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/16$から選択 （１ビット出力ポートとしても使用可能）				
ウォッチドッグ・タイマ	１チャネル					
スタンバイ	HALT/STOP/IDLEモード					
割り込み（μPD784038サブシリーズ）						
ハードウエア要因	23（内部16，外部７（サンプリング・クロック可変入力：１））					
ソフトウエア要因	BRK命令，BRKCS命令，オペランド・エラー					
ノンマスカブル	内部： 1本，外部：1本					
マスカブル	内部：15本，外部：6本					
	・４レベルのプログラマブル・プライオリティ ・３種類の処理形態：ベクタ割り込み／マクロ･サービス／コンテキスト･スイッチング					
割り込み（μPD784038Yサブシリーズ）						
ハードウエア要因	24（内部17，外部７（サンプリング・クロック可変入力：１））					
ソフトウエア要因	BRK命令，BRKCS命令，オペランド・エラー					
ノンマスカブル	内部： 1本，外部：1本					
マスカブル	内部：16本，外部：6本					
	・４レベルのプログラマブル・プライオリティ ・３種類の処理形態：ベクタ割り込み／マクロ･サービス／コンテキスト･スイッチング					
電源電圧	V_{DD} = 2.7～5.5 V					
パッケージ	80ピン・プラスチックQFP（14×14, 2.7 mm厚）注 80ピン・プラスチックQFP（14×14, 1.4 mm厚） 80ピン・プラスチックTQFP（ファインピッチ）（12×12）					

注　μPD784031(A), 784035(A), 784036(A)のみ。

★ 1.7　特別水準品と標準水準品の違い

品　名 項　目	μPD784031(A), 784035(A), 784036(A)	μPD784031, 784035, 784036
品質水準	特別（高信頼度電子機器用）	標準（一般電子機器用）
パッケージ	80ピン・プラスチックQFP （14×14, 2.7 mm厚）	80ピン・プラスチックQFP （14×14, 1.4 mm厚） 80ピン・プラスチックTQFP （ファインピッチ，12×12）

1.8　μPD784026サブシリーズとの主な違い

シリーズ名 項　目	μPD784038サブシリーズ	μPD784038Yサブシリーズ	μPD784026サブシリーズ
最小命令実行時間	125 ns （32 MHz動作時）		160 ns （25 MHz動作時）
シリアル・ インタフェース	UART/IOE（３線式シリアルI/O）×２チャネル		
	CSI×１チャネル ・３線式シリアルI/O ・２線式シリアルI/O	CSI×１チャネル ・３線式シリアルI/O ・２線式シリアルI/O ・I^2Cバス	CSI×１チャネル ・３線式シリアルI/O ・SBI
割り込み数	23本＋BRK命令 （内部：16，外部：７）	24本＋BRK命令 （内部：17，外部：７）	23本＋BRK命令 （内部：16，外部：７）
パッケージ	80ピン・プラスチックQFP（14×14, 2.7 mm厚）注 80ピン・プラスチックQFP（14×14, 1.4 mm厚） 80ピン・プラスチックTQFP（ファインピッチ）（12×12）		80ピン・プラスチックQFP （14×14, 2.7 mm厚） 80ピン・プラスチックTQFP （ファインピッチ）（12×12）： μPD784021のみ

注　μPD784031(A), 784035(A), 784036(A)のみ。

第２章　端子機能

2.1　端子機能一覧

2.1.1　通常動作モード

（1）ポート端子（1/2）

端子名称	入出力	兼用端子	機　　能
P00-P07	入出力	－	ポート０（P0）： ・８ビット入出力ポート ・リアルタイム出力ポート（４ビット×２）として使用可能 ・１ビット単位に入力／出力の指定可能 ・入力モードの端子について，ソフトウエアの設定により，一括して内蔵プルアップ抵抗の接続の指定可能 ・トランジスタ駆動可能
P10	入出力	PWM0	ポート１（P1）： ・８ビット入出力ポート ・１ビット単位に入力／出力の指定可能 ・入力モードの端子について，ソフトウエアの設定により，一括して内蔵プルアップ抵抗の接続の指定可能 ・LED駆動可能
P11		PWM1	
P12		ASCK2/$\overline{\text{SCK2}}$	
P13		RxD2/SI2	
P14		TxD2/SO2	
P15-P17		－	
P20	入　力	NMI	ポート２（P2）： ・８ビット入力専用ポート ・P20は汎用ポートとしては使用不可（ノンマスカブル割り込み）。ただし，割り込みルーチンにおいて，入力レベルの確認可能 ・P22-P27は，ソフトウエアの設定により，６ビット単位で内蔵プルアップ抵抗の接続の指定可能 ・P25/INTP4/ASCK/$\overline{\text{SCK1}}$端子は，CSIM1の指定により，$\overline{\text{SCK1}}$入出力端子として動作
P21		INTP0	
P22		INTP1	
P23		INTP2/CI	
P24		INTP3	
P25		INTP4/ASCK/$\overline{\text{SCK1}}$	
P26		INTP5	
P27		SI0	
P30	入出力	RxD/SI1	ポート３（P3）： ・８ビット入出力ポート ・１ビット単位に入力／出力の指定可能 ・入力モードの端子について，ソフトウエアの設定により，一括して内蔵プルアップ抵抗の接続の指定可能
P31		TxD/SO1	
P32		$\overline{\text{SCK0}}$/SCL	
P33		SO0/SDA	
P34-P37		TO0-TO3	

（1）ポート端子（2/2）

端子名称	入出力	兼用端子	機　　能
P40-P47注1	入出力	AD0-AD7	ポート４（P4）： ・８ビット入出力ポート ・１ビット単位に入力／出力の指定可能 ・入力モードの端子について，ソフトウエアの設定により，一括して内蔵プルアップ抵抗の接続の指定可能 ・LED駆動可能
P50-P57注1	入出力	A8-A15	ポート５（P5）： ・８ビット入出力ポート ・１ビット単位に入力／出力の指定可能 ・入力モードの端子について，ソフトウエアの設定により，一括して内蔵プルアップ抵抗の接続の指定可能 ・LED駆動可能
P60-P63注2	入出力	A16-A19	ポート６（P6）： ・８ビット入出力ポート ・１ビット単位に入力／出力の指定可能 ・入力モードの端子について，ソフトウエアの設定により，一括して内蔵プルアップ抵抗の接続の指定可能
P64注1		$\overline{\text{RD}}$	
P65注1		$\overline{\text{WR}}$	
P66		$\overline{\text{WAIT}}$/HLDRQ	
P67		$\overline{\text{REFRQ}}$/HLDAK	
P70-P77	入出力	ANI0-ANI7	ポート７（P7）： ・８ビット入出力ポート ・１ビット単位に入力／出力の指定可能

注１．μPD784031の場合，P40-P47，P50-P57，P64，P65はポートとして使用できません。

２．μPD784031の場合は出力専用ポート。

（２）ポート以外の端子（1/2）

端子名称	入出力	兼用端子	機　　能	
TO0/TO3	出　力	P34-P37	タイマ出力	
CI	入　力	P23/INTP2	タイマ／カウンタ２へのカウント・クロック入力	
RxD	入　力	P30/SI1	シリアル・データ入力（UART0）	
RxD2		P13/SI2	シリアル・データ入力（UART2）	
TxD	出　力	P31/SO1	シリアル・データ出力（UART0）	
TxD2		P14/SO2	シリアル・データ出力（UART2）	
ASCK	入　力	P25/INTP4/$\overline{\text{SCK1}}$	ボー・レート・クロック入力（UART0）	
ASCK2		P12/$\overline{\text{SCK2}}$	ボー・レート・クロック入力（UART2）	
SDA	入出力	P33/SO0	シリアル・データ入力／出力（２線式シリアルI/O，I²Cバス注）	
SI0	入　力	P27	シリアル・データ入力（３線式シリアルI/O0）	
SI1		P30/RxD	シリアル・データ入力（３線式シリアルI/O1）	
SI2		P13/RxD2	シリアル・データ入力（３線式シリアルI/O2）	
SO0	出　力	P33/SDA	シリアル・データ出力（３線式シリアルI/O0）	
SO1		P31/TxD	シリアル・データ出力（３線式シリアルI/O1）	
SO2		P14/TxD2	シリアル・データ出力（３線式シリアルI/O2）	
$\overline{\text{SCK0}}$	入出力	P32/SCL	シリアル・クロック入力／出力（３線式シリアルI/O0）	
$\overline{\text{SCK1}}$		P25/INTP4/ASCK	シリアル・クロック入力／出力（３線式シリアルI/O1）	
$\overline{\text{SCK2}}$		P12/ASCK2	シリアル・クロック入力／出力（３線式シリアルI/O2）	
SCL		P32/$\overline{\text{SCK0}}$	シリアル・クロック入力／出力（２線式シリアルI/O，I²Cバス注）	
NMI	入　力	P20	外部割り込み要求	－
INTP0		P21		・タイマ／カウンタ１へのカウント・クロック入力 ・CR11またはCR12のキャプチャ・トリガ信号
INTP1		P22		・タイマ／カウンタ２へのカウント・クロック入力 ・CR22のキャプチャ・トリガ信号
INTP2		P23/CI		・タイマ／カウンタ２へのカウント・クロック入力 ・CR21のキャプチャ・トリガ信号
INTP3		P24		・タイマ／カウンタ０へのカウント・クロック入力 ・CR02のキャプチャ・トリガ信号
INTP4		P25/ASCK/$\overline{\text{SCK1}}$		－
INTP5		P26		A/Dコンバータの変換スタート・トリガ入力
AD0-AD7	入出力	P40-P47	時分割アドレス／データ・バス（外部メモリ接続）	
A8-A15	出　力	P50-P57	上位アドレス・バス（外部メモリ接続）	
A16-A19	出　力	P60-P63	アドレス拡張時の上位アドレス（外部メモリ接続）	
$\overline{\text{RD}}$	出　力	P64	外部メモリへのリード・ストローブ	
$\overline{\text{WR}}$	出　力	P65	外部メモリへのライト・ストローブ	
$\overline{\text{WAIT}}$	入　力	P66/HLDRQ	ウエイト挿入	
$\overline{\text{REFRQ}}$	出　力	P67/HLDAK	外部疑似スタティック・メモリへのリフレッシュ・パルス出力	

注　μPD784038Yサブシリーズのみ

（２）ポート以外の端子（2/2）

端子名称	入出力	兼用端子	機　　能
HLDRQ	入　力	P66/$\overline{\text{WAIT}}$	バス・ホールド要求入力
HLDAK	出　力	P67/$\overline{\text{REFRQ}}$	バス・ホールド応答出力
ASTB	出　力	CLKOUT	時分割アドレス（A0-A7）のラッチ・タイミング出力（外部メモリ・アクセス時）
CLKOUT注1	出　力	ASTB	クロック出力
$\overline{\text{RESET}}$	入　力	－	チップ・リセット
X1	入　力	－	システム・クロック発振用クリスタル接続（X1にクロック入力も可能）
X2	－		
ANI0-ANI7	入　力	P70-P77	A/D変換用アナログ電圧入力
ANO0, ANO1	出　力	－	D/A変換用アナログ電圧出力
AV_{REF1}	－	－	A/Dコンバータ用基準電圧印加
AV_{REF2}, AV_{REF3}			D/Aコンバータ用基準電圧印加
AV_{DD}			A/Dコンバータ用正電源
AV_{SS}			A/Dコンバータ用GND
V_{DD0}注2			ポート部の正電源
V_{DD1}注2			ポート部以外の正電源
V_{SS0}注3			ポート部のGND
V_{SS1}注3			ポート部以外のGND
TEST			V_{SS0}と直接接続してください（ICテスト用の端子です）

注１．μPD784031の場合，CLKOUTは使用できません。

２．V_{DD0}とV_{DD1}は同電位にしてください。

３．V_{SS0}とV_{SS1}は同電位にしてください。

2.1.2　PROMプログラミング・モード（μPD78P4038のみ：V_{PP}≧＋５V/＋12.5 V, $\overline{RESET}$ = L）

端子名称	入出力	機　　能
V_{PP}	入　力	PROMプログラミング・モード設定 プログラム書き込み／ベリファイ時の高電圧印加端子
$\overline{RESET}$		PROMプログラミング・モード設定
A0-A16		アドレス・バス
D0-D7	入出力	データ・バス
$\overline{CE}$	入　力	PROMイネーブル入力／プログラム・パルス入力
$\overline{OE}$		PROMへのリード・ストローブ入力
$\overline{PGM}$		PROMプログラム／プログラム・インヒビット入力
V_{DD}	－	正電源
V_{SS}		GND

2.2　端子機能説明

2.2.1　通常動作モード

（1）P00-P07（Port0）……３ステート入出力

ポート０は，出力ラッチ付き８ビット入出力ポートで，トランジスタのダイレクト・ドライブが可能です。ポート０モード・レジスタ（PM0）により，１ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。

P00-P03, P04-P07はそれぞれ４ビット，または８ビットのリアルタイム出力ポートとして，ポート０バッファ・レジスタ（P0L, P0H）の内容を任意のインターバル時間で出力できます。通常の出力ポートかリアルタイム出力ポートかの選択は，リアルタイム出力ポート・コントロール・レジスタ（RTPC）で行います。

$\overline{\text{RESET}}$入力により入力ポート（出力ハイ・インピーダンス状態）となり，出力ラッチの内容は不定になります。

（2）P10-P17（Port1）……３ステート入出力

ポート１は，出力ラッチ付き８ビット入出力ポートです。ポート１モード・レジスタ（PM1）により，１ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。また，LEDのダイレクト・ドライブが可能です。

PWMコントロール・レジスタ（PWMC）により，P10, P11端子は，PWM出力端子としても機能します。また，ポート１モード・コントロール・レジスタ（PMC1）により，P12-P14端子はシリアル入出力端子としても機能します。

$\overline{\text{RESET}}$入力により入力ポート（出力ハイ・インピーダンス状態）となり，出力ラッチの内容は不定となります。

表２－１　ポート１の動作モード

端子名称	ポート・モード	コントロール信号入出力モード	コントロール端子として動作させるための操作
P10	入出力ポート	PWM0出力	PWMCのEN0ビットをセット（1）
P11		PWM1出力	PWMCのEN1ビットをセット（1）
P12		ASCK2入出力/$\overline{\text{SCK2}}$入出力	PMC1のPMC12ビットをセット（1）
P13		RxD2入力/SI2入力	PMC1のPMC13ビットをセット（1）
P14		TxD2出力/SO2出力	PMC1のPMC14ビットをセット（1）
P15-P17		－	－

（a）ポート・モード

P10, P11は，PWMコントロール・レジスタ（PWMC）のEN0, EN1ビットがクリア（０）されていれば，P12-P14は，ポート１モード・コントロール・レジスタ（PMC1）の該当するビットがクリア（０）されていれば，ポート・モードとして動作します。また，P15-P17は常時ポート・モードとして動作し，ポート１モード・レジスタ（PM1）により，１ビット単位で入力／出力の指定ができます。

（b）コントロール信号入出力モード

P10, P11はPWMコントロール・レジスタ（PWMC）のそれぞれEN0, EN1ビットをセット（１）することにより，PWM信号の出力端子として動作します。

P12-P14は，ポート１モード・コントロール・レジスタ（PMC1）の設定により，１ビット単位にコントロール端子にすることができます。

（ｉ）PWM0，PWM1

PWM0，PWM1は，PWM出力端子です。

（ii）ASCK2/$\overline{\text{SCK2}}$

ASCK2は，アシンクロナス・シリアル・インタフェースのボー・レート用クロックの入力端子です。

また，$\overline{\text{SCK2}}$は，シリアル・クロック入出力端子（３線式シリアルI/O2モード時）です。

（iii）RxD2/SI2

RxD2は，アシンクロナス・シリアル・インタフェースのシリアル・データ入力端子です。

また，SI2は，シリアル・データ入力端子（３線式シリアルI/O2モード時）です。

（iv）TxD2/SO2

TxD2は，アシンクロナス・シリアル・インタフェースのシリアル・データ出力端子です。

また，SO2は，シリアル・データ出力端子（３線式シリアルI/O2モード時）です。

（３）P20-P27（Port2）……入力

ポート２は，８ビット入力専用ポートです。P22-P27には，ソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。入力ポートとして動作する以外に外部割り込み信号端子などの制御信号入力端子としても動作します（**表２－２**参照）。また，８端子とも，ノイズによる誤動作を防ぐためシュミット・トリガ入力になっています。

また，クロック同期式シリアル・インタフェース・モード・レジスタ１（CSIM1）でシリアル動作許可で外部クロックを選択することにより，P25端子はシリアル・クロック出力端子としても機能します。

表２－２　ポート２の動作モード

端子名称	機　　能
P20	入力ポート／NMI入力注
P21	入力ポート／INTP0入力／CR11キャプチャ・トリガ入力／ タイマ／カウンタ１カウント・クロック／リアルタイム出力ポートのトリガ信号
P22	入力ポート／INTP1入力／CR22キャプチャ・トリガ入力
P23	入力ポート／INTP2入力／CI入力
P24	入力ポート／INTP3入力／CR02キャプチャ・トリガ入力／ タイマ／カウンタ０カウント・クロック
P25	入力ポート／INTP4入力／ASCK入力／$\overline{\text{SCK1}}$入出力
P26	入力ポート／INTP5入力／A/Dコンバータ外部トリガ入力
P27	入力ポート／SI0入力

注　NMI入力は，割り込み許可／禁止状態にかかわらず受け付けます。

（a）ポート端子としての機能

兼用端子の動作にかかわらず，常に端子レベルの読み込み，あるいはテストが可能です。

（b）制御信号入力端子としての機能

（i）NMI（Non-maskable Interrupt）

外部ノンマスカブル割り込み要求入力端子です。外部割り込みモード・レジスタ０（INTM0）により，立ち上がりエッジ検出，または立ち下がりエッジ検出に指定できます。

（ii）INTP0-INTP5（Interrupt from Peripherals）

外部割り込み要求入力端子です。INTP0-INTP5端子に外部割り込みモード・レジスタ０，１（INTM0, INTM1）で指定された有効エッジが検出されると，割り込みを発生します（**第21章エッジ検出機能**参照）。

また，INTP0-INTP3, INTP5は次のように各種機能の外部トリガ入力端子などとしても使用します。

・INTP0……タイマ／カウンタ１のキャプチャ・トリガ入力端子
　　タイマ／カウンタ１の外部カウント・クロック入力端子
　　リアルタイム出力ポートのトリガ入力端子

・INTP1……タイマ／カウンタ２のキャプチャ・レジスタ（CR22）へのキャプチャ・トリガ入力端子

・INTP2……タイマ／カウンタ２の外部カウント・クロック入力端子
　　キャプチャ／コンペア・レジスタ（CR21）へのキャプチャ・トリガ入力端子

・INTP3……タイマ／カウンタ０のキャプチャ・トリガ入力端子
　　タイマ／カウンタ０の外部カウント・クロック入力端子
・INTP5……A/Dコンバータの外部トリガ入力端子

（iii）CI（Clock Input）

タイマ／カウンタ２の外部クロック入力端子です。

（iv）ASCK（Asynchronous Serial Clock）

外部ボー・レート・クロック入力端子です。

（v）$\overline{\text{SCK1}}$（Serial Clock）

シリアル・クロック入出力端子（３線式シリアルI/O1モード時）です。

（vi）SI0（Serial Input0）

シリアル・データ入力端子（３線式シリアルI/O0モード時）です。

（４）P30-P37（Port3）……３ステート入出力

ポート３は，出力ラッチ付き８ビット入出力ポートです。ポート３モード・レジスタ（PM3）により，１ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。

入出力ポートとしての機能以外に，各種コントロール信号端子としての機能を兼用しています。

動作モードは，ポート３モード・コントロール・レジスタ（PMC3）により，表２－３のようにビット単位に指定できます。いずれの端子も，兼用端子の動作にかかわらず，常に端子レベルの読み込みあるいはテストが可能です。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス状態）になり，出力ラッチの内容は不定となります。

表２－３　ポート３の動作モード

（n = 0-7）

モード	ポート・モード	コントロール信号入出力モード
設定条件	PMC3n = 0	PMC3n = 1
P30	入出力ポート	RxD入力／SI1入力
P31		TxD出力／SO1出力
P32		$\overline{\text{SCK0}}$入出力／SCL入出力
P33		SO0出力／SDA入出力
P34		TO0出力
P35		TO1出力
P36		TO2出力
P37		TO3出力

（ａ）ポート・モード

ポート３モード・コントロール・レジスタ（PMC3）によりポート・モードに指定された各ポートは，ポート３モード・レジスタ（PM3）により，１ビット単位で入力／出力の指定ができます。

（ｂ）コントロール信号入出力モード

ポート３モード・コントロール・レジスタ（PMC3）の設定により，１ビット単位にコントロール端子にすることができます。

（ｉ）RxD（Receive Data）/SI1（Serial Input1）

RxDは，アシンクロナス・シリアル・インタフェースのシリアル・データ入力端子です。

また，SI1はシリアル・データ入力端子（３線式シリアルI/O1モード時）です。

（ii）TxD（Transmit Data）/SO1（Serial Output1）

TxDは，アシンクロナス・シリアル・インタフェースのシリアル・データ出力端子です。

また，SO1はシリアル・データ出力端子（３線式シリアルI/O1モード時）です。

（iii）$\overline{\text{SCK0}}$（Serial Clock0）/SCL（Serial Clock）

$\overline{\text{SCK0}}$は，クロック同期式シリアル・インタフェースのシリアル・クロック入出力端子（３線式シリアルI/O0モード時）です。

また，SCLは，クロック同期式シリアル・インタフェースのシリアル・クロック入出力端子（２線式シリアルI/Oモード時／I^2Cバス・モード時注）です。

注　μPD784038Yサブシリーズのみ

（iv）SO0（Serial Output0）/SDA（Serial Data）

SO0はシリアル・データ出力端子（３線式シリアルI/O0モード時）です。

また，SDAは，シリアル・データ入出力端子（２線式シリアルI/Oモード時／I^2Cバス・モード時注）です。

注　μPD784038Yサブシリーズのみ

（ｖ）TO0-TO3（Timer Output）

タイマ出力端子です。

（５）P40-P47（Port4）……３ステート入出力

ポート４は，出力ラッチ付き８ビット入出力ポートです。ポート４モード・レジスタ（PM4）により，１ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。また，LEDをダイレクトにドライブ可能です。

また，外部メモリやI/Oを拡張するとき，メモリ拡張モード・レジスタ（MM）により時分割アドレス／データ・バス（AD0-AD7）として機能します。

なお，μPD784031の場合，P40-P47は使用できません。時分割アドレス／データ・バス（AD0-AD7）としてのみ機能します。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス状態）になり，出力ラッチの内容は不定になります。

（６）P50-P57（Port5）……３ステート入出力

ポート５は，出力ラッチ付き８ビット入出力ポートです。ポート５モード・レジスタ（PM5）により，１ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。また，LEDをダイレクトにドライブ可能です。

また，外部メモリやI/Oを拡張するとき，P50-P57は，メモリ拡張モード・レジスタ（MM）により，２ビット単位でアドレス・バス（A8-A15）として機能する端子を選択できます。

なお，μPD784031の場合，P50-P57は使用できません。アドレス・バス（A8-A15）としてのみ機能します。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス状態）になり，出力ラッチの内容は不定になります。

（７）P60-P67（Port6）……３ステート入出力

・μPD784031の場合

P60-P63は出力専用ポート，P66，P67は出力ラッチ付き入出力ポートです。

P64-P67には，ソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。

ポートとしての機能以外に，表２－４のような各種コントロール信号端子としての機能を兼用しています。コントロール端子としての動作は，各機能の操作によって行います。

なお，P64，P65は使用できません。それぞれ$\overline{\text{RD}}$出力，$\overline{\text{WR}}$出力としてのみ機能します。

$\overline{\text{RESET}}$入力により，次のようになります。

・P60-P63　：ロウ・レベル

・P64，P65：ハイ・レベル

・P66，P67：入力ポート（出力ハイ・インピーダンス）

また，出力ラッチの内容は上位４ビットは不定に，下位４ビットは0Hになります。

・μPD784031以外の場合

ポート６は，出力ラッチ付き８ビット入出力ポートです。P60-P67には，ソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。

ポートとしての機能以外に，表２－４のような各種コントロール信号端子としての機能を兼用しています。コントロール端子としての動作は，各機能の操作によって行います。

$\overline{\text{RESET}}$入力により，P60-P67は入力ポート（出力ハイ・インピーダンス状態）になり，出力ラッチの内容は不定になります。

表２－４　ポート６の動作モード

端子名称	ポート・モード	コントロール信号入出力モード	コントロール端子として動作させるための操作
P60-P63注1	入出力ポート	A16-A19出力	MMのMM3-MM0ビットにより２ビット単位で指定
P64注2		$\overline{\text{RD}}$出力	μPD784031の場合，またはMMのMM3-MM0ビットにより外部メモリ拡張モードを指定
P65注2		$\overline{\text{WR}}$出力	
P66		$\overline{\text{WAIT}}$入力	PWC1，PWC2のPWn1，PWn0ビット（n = 0-7）およびP66を入力モードにすることにより指定
		HLDRQ入力	HLDMのHLDEビットでバス・ホールドを許可
P67		HLDAK出力	
		$\overline{\text{REFRQ}}$出力	RFMのRFENビットをセット（１）

注１．μPD784031の場合は出力専用ポート。

２．μPD784031の場合はポートとして使用できません。

注意　μPD784031では，P60-P63は$\overline{\text{RESET}}$入力中は出力ハイ・インピーダンス状態ですが，$\overline{\text{RESET}}$解除後にロウ・レベルを出力します。したがって，初期状態としてロウ・レベルが出力されてもよいように外付け回路を設計してください。

備考　詳細は，第23章　ローカル・バス・インタフェース機能参照。

（a）ポート・モード

・μPD784031の場合

コントロール・モードに指定されていない各ポートは，P66，P67は出力専用ポートになり，P66，P67はポート６モード・レジスタ（PM6）により，１ビット単位で入力／出力の指定ができます。

・μPD784031以外の場合

コントロール・モードに指定されていない各ポートは，ポート６モード・レジスタ（PM6）により１ビット単位で入力／出力の指定ができます。

（b）コントロール信号入出力モード

（ｉ）A16-A19（Address Bus）

外部メモリ空間拡張時（10000H-FFFFFH）の上位アドレス・バス出力端子です。

メモリ拡張モード・レジスタ（MM）により動作します。

（ii）$\overline{\text{RD}}$（Read Strobe）

外部メモリのリード動作のために出力されるストローブ信号出力端子です。

メモリ拡張モード・レジスタ（MM）により動作します。

μPD784031の場合，常時，$\overline{\text{RD}}$端子として動作します。

（iii）$\overline{\text{WR}}$（Write Strobe）

外部メモリのライト動作のために出力されるストローブ信号出力端子です。

メモリ拡張モード・レジスタ（MM）により動作します。

μPD784031の場合，常時，$\overline{\text{WR}}$端子として動作します。

（iv）$\overline{\text{WAIT}}$（Wait）

ウエイト信号の入力端子です。プログラマブル・ウエイト制御レジスタ（PWC1, PWC2）により動作します。

（ｖ）HLDRQ（Hold Request）

外部バスのバス・ホールド要求信号入力端子です。ホールド・モード・レジスタ（HLDM）により動作します。

（vi）HLDAK（Hold Acknowledge）

バス・ホールド・アクノリッジ信号出力端子です。ホールド・モード・レジスタ（HLDM）により動作します。

（vii）REFRQ（Refresh Request）

外部に疑似スタティック・メモリを接続した場合に，疑似スタティック・メモリへリフレッシュ・パルスを出力する端子です。リフレッシュ・モード・レジスタ（RFM）により動作します。

（８）P70-P77（Port7）……３ステート入出力

ポート７は，８ビット入出力ポートです。入出力ポートとして動作する以外に，A/Dコンバータ用アナログ入力の端子（ANI0-ANI7）としても動作します。

ポート７モード・レジスタ（PM7）により，１ビット単位で入力／出力の指定ができます。

兼用端子の動作にかかわらず，常に端子レベルの読み込み，あるいはテストが可能です。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス状態）になり，出力ラッチの内容は不定になります。

（９）ASTB（Address Strobe）/CLKOUT（Clock Output）……出力

外部メモリをアクセスするため，アドレス情報を外部でラッチするタイミング信号の出力端子です。また，外部デバイスへクロックを供給する端子としても動作します。

なお，μPD784031の場合，CLKOUTは使用できません。

（10）X1, X2（Crystal）

内部クロック発振用のクリスタル接続端子です。外部からクロックを供給する場合はX1端子に入力します。通常は，X2端子はX1端子の逆相の信号を入力します（**４.３.１　クロック発振回路**参照）。

（11）$\overline{\text{RESET}}$（Reset）……入力

ロウ・レベル・アクティブのリセット入力です。

（12）ANO0, ANO1……出力

D/Aコンバータのアナログ電圧出力端子です。

（13）AV_{REF1}

A/Dコンバータの基準電圧入力端子です。

（14）AV_{REF2}

D/Aコンバータの基準電圧入力（＋側）端子です。

（15）AV_{REF3}

D/Aコンバータの基準電圧入力（－側）端子です。

（16）AV_{DD}

A/Dコンバータの電源端子です。V_{DD}端子と同電位にしてください。

（17）AV_{SS}

A/DコンバータのGND端子です。V_{SS}端子と同電位にしてください。

（18）V_{DD0}

ポート部の正電源供給端子です。V_{DD1}と同電位にしてください。

（19）V_{DD1}

ポート部以外の正電源供給端子です。V_{DD0}と同電位にしてください。

（20）V_{SS0}

ポート部のGND電位端子です。V_{SS1}と同電位にしてください。

（21）V_{SS1}

ポート部以外のGND電位端子です。V_{SS0}と同電位にしてください。

（22）TEST

当社がICのテストに使用する端子です。必ずV_{SS0}に直接接続してください。

注意　μPD78233，78237では，TEST端子はMODE端子となり，ハイ・レベルに固定して使用しています。μPD78233，78237からの置き換えの場合，この端子がV_{SS0}に直接接続されるように回路の変更が可能です。
また，μPD78234，78238で，MODE端子の切り替えにより，ROM内蔵モードとROMレス・モードを切り替えて使用していた場合には，次のような変更が必要です（TEST端子は必ずV_{SS0}に直接接続してください）。

〈変更例〉

- すべてのプログラムをROMに内蔵する
- すべてのプログラムを外付けのROMに格納する
- 従来，外付けROMにあったプログラムの配置アドレスを変更し，内部ROMと重ならないアドレスにずらし，このプログラムを内部ROM内のプログラムから実行するようにする

2.2.2　PROMプログラミング・モード（μPD78P4038の場合）

（1）V_{PP}（Programming Power Supply）……入力

μPD78P4038をPROMプログラミング・モードに設定する入力端子です。この端子の入力電圧が＋５V以上で，$\overline{\text{RESET}}$入力がロウ・レベルになると，μPD78P4038はPROMプログラミング・モードに移行します。

V_{PP} = ＋12.5 V，$\overline{\text{OE}}$ = Hのときに$\overline{\text{CE}}$ = Lとすると，D0-D7上のプログラム・データを，A0-A16で選択されている内部PROMセル内に書き込むことができます。

（2）$\overline{\text{RESET}}$（Reset）……入力

μPD78P4038をPROMプログラミング・モードに設定する入力端子です。この端子の入力がロウ・レベルで，V_{PP}端子の入力電圧が＋５V以上になると，μPD78P4038はPROMプログラミング・モードに移行します。

（3）A0-A16（Address Bus）……入力

アドレス・バスです。内部PROMのアドレス（00000H-1FFFFH）を選択します。

（4）D0-D7（Data Bus）……入出力

データ・バスです。このバスを介して，内部PROMのプログラムの書き込み／読み出しを行います。

（5）$\overline{\text{CE}}$（Chip Enable）……入力

内部PROMのイネーブル信号を入力します。この信号がアクティブのとき，プログラムの書き込み／読み出しが可能となります。

（6）$\overline{\text{OE}}$（Output Enable）……入力

内部PROMへのリード・ストローブ信号を入力します。$\overline{\text{CE}}$ = Lのときにこの信号をアクティブにすると，A0-A16で選択されている内部PROMセル内のプログラム（１バイト）をD0-D7上に読み出すことができます。

（7）$\overline{\text{PGM}}$（Program）……入力

内部PROMの動作モード制御信号入力端子です。

この信号がアクティブのとき，内部PROMへの書き込みが可能となります。

この信号がインアクティブのとき，内部PROMからの読み出しが可能となります。

（8）V_{DD}

正電源供給端子です。

（9）V_{SS}

GND電位端子です。

２.３　端子の入出力回路と未使用端子の処理

表２－５は，機能を有する端子の入出力回路タイプと，その機能を使用しない場合の処理方法を示します。
また，各タイプの入出力回路については図２－１を参照してください。

表２－５　各端子の入出力回路タイプと未使用端子の処理（1/2）

端　子　名　称		入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P07		5-H	入出力	入力時：V_{DD0}に接続してください。 出力時：オープンにしてください。
P10/PWM0 P11/PWM1				
P12/ASCK2/$\overline{\text{SCK2}}$		8-C		
P13/RxD2/SI2		5-H		
P14/TxD2/SO2				
P15-P17				
P20/NMI		2	入　力	V_{DD0}またはV_{SS0}に接続してください。
P21/INTP0				
P22/INTP1		2-C		V_{DD0}に接続してください。
P23/INTP2/CI				
P24/INTP3				
P25/INTP4/ASCK/$\overline{\text{SCK1}}$		8-C	入出力	入力時：V_{DD0}に接続してください。 出力時：オープンにしてください。
P26/INTP5		2-C	入　力	V_{DD0}に接続してください。
P27/SI0				
P30/RxD/SI1		5-H	入出力	入力時：V_{DD0}に接続してください。 出力時：オープンにしてください。
P31/TxD/SO1				
P32/$\overline{\text{SCK0}}$/SCL		10-B		
P33/SO0/SDA				
P34/TO0-P37/TO3		5-H		
P40/AD0-P47/AD7				
P50/A8-P57/A15				
P60/A16- P63/A19	ROMレス製品	4-B	出　力	オープンにしてください。
	マスクROM製品	5-H	入出力	入力時：V_{DD0}に接続してください。 出力時：オープンにしてください。
P64/$\overline{\text{RD}}$				
P65/$\overline{\text{WR}}$				
P66/$\overline{\text{WAIT}}$/HLDRQ				
P67/$\overline{\text{REFRQ}}$/HLDAK				

表２－５　各端子の入出力回路タイプと未使用端子の処理（2/2）

端　子　名　称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P70/ANI0-P77/ANI7	20-A	入出力	入力時：V_{DD0}またはV_{SS0}に接続してください。 出力時：オープンにしてください。
ANO0, ANO1	12	出　力	オープンにしてください。
ASTB/CLKOUT	4-B		
$\overline{\text{RESET}}$	2	入　力	－
TEST	1-A		V_{SS0}に直接接続してください。
AV_{REF1}-AV_{REF3}	－		V_{SS0}に接続してください。
AV_{SS}			
AV_{DD}			V_{DD0}に接続してください。

注意　入出力兼用端子で入出力のモードが不定な場合は，数十kΩの抵抗を介してV_{DD0}に接続してください（特に，電源投入時にリセット入力端子がロウ・レベル入力電圧以上になる場合や，ソフトウエアで入出力を切り替えている場合）。

備考　タイプ番号は78Kシリーズで統一しているため，各製品内では連番とは限りません（内蔵しない回路あり）。

図２－１　端子の入出力回路

２.４　注意事項

（１）未使用端子の処理の場合，入出力兼用端子で入出力のモードが不定な場合は，数十kΩの抵抗を介してVDD0に接続してください（特に電源投入時にリセット入力端子がロウ・レベル入力電圧以上になる場合や，ソフトウエアで入出力を切り替えている場合）。

（２）μPD784031では，P60-P63は$\overline{\text{RESET}}$入力中は出力ハイ・インピーダンス状態ですが，$\overline{\text{RESET}}$解除後にロウ・レベルを出力します。したがって，初期状態としてロウ・レベルが出力されてもよいように外付け回路を設計してください。

（３）μPD78233, 78237では，TEST端子はMODE端子となり，ハイ・レベルに固定して使用しています。μPD78233, 78237からの置き換えの場合，TEST端子がVSS0に直接接続されるように回路の変更が必要です。

　また，μPD78234, 78238で，MODE端子の切り替えにより，ROM内蔵モードとROMレス・モードを切り替えて使用していた場合には，次のような変更が必要です（TEST端子は必ずVSS0に直接接続してください）。

〈変更例〉

・すべてのプログラムをROMに内蔵する
・すべてのプログラムを外付けのROMに格納する
・従来，外付けROMにあったプログラムの配置アドレスを変更し，内部ROMと重ならないアドレスにずらし，このプログラムを内部ROM内のプログラムから実行するようにする

第３章　CPUアーキテクチャ

３.１　メモリ空間

μPD784038は，１Mバイトの空間をアクセスできます。LOCATION命令によって，内部データ領域（特殊機能レジスタおよび内部RAM）のマッピングが異なります。LOCATION命令は，リセット解除後に必ず実行する必要があり，２回以上使用することはできません。

リセット解除後のプログラムは，次のようになっている必要があります。

```
RSTVCT    CSEG    AT 0
          DW      RSTSTRT
          ~
INITSEG   CSEG    BASE
RSTSTRT:  LOCATION 0H          ; or LOCATION 0FH
          MOVG    SP, #STKBGN
```

（1）LOCATION 0H命令を実行した場合

・内部メモリ

内部データ領域と内部ROM領域は，次のようになります。

品　名	内部データ領域	内部ROM領域
μPD784031	0F700H-0FFFFH	－
μPD784035		00000H-0BFFFH
μPD784036		00000H-0F6FFH
μPD784037	0F100H-0FFFFH	00000H-0F0FFH 10000H-17FFFH
μPD784038 μPD78P4038	0EE00H-0FFFFH	00000H-0EDFFH 10000H-1FFFFH

注意　内蔵しているROMのうち，内部データ領域と重なる次の領域は，LACATION 0H命令実行時には使用できません。

品　名	使用不可領域
μPD784035	－
μPD784036	0F700H-0FFFFH（2304バイト）
μPD784037	0F100H-0FFFFH（3840バイト）
μPD784038 μPD78P4038	0EE00H-0FFFFH（4608バイト）

・外部メモリ

外部メモリは，外部メモリ拡張モードでアクセスします。

（2）LOCATION 0FH命令を実行した場合

・内部メモリ

内部データ領域と内部ROM領域は，次のようになります。

品　名	内部データ領域	内部ROM領域
μPD784031	FF700H-FFFFFH	－
μPD784035		00000H-0BFFFH
μPD784036		00000H-0FFFFH
μPD784037	FF100H-FFFFFH	00000H-17FFFH
μPD784038 μPD78P4038	FEE00H-FFFFFH	00000H-1FFFFH

・外部メモリ

外部メモリは，外部メモリ拡張モードでアクセスします。

図３－１　μPD784031のメモリ・マップ

注１．ベース領域，リセットまたは割り込みによるエントリ領域。ただし，リセットについては内部RAMを除く

２．μPD784031Yのときは，0FE31H（44バイト）

図３－２　μPD784035のメモリ・マップ

注１．外部メモリ拡張モードでアクセス

２．ベース領域，リセットまたは割り込みによるエントリ領域。ただし，リセットについては内部RAMを除く

３．μPD784035Yのときは，0FE31H（44バイト）

図３－３　μPD784036のメモリ・マップ

注１．外部メモリ拡張モードでアクセス

２．この領域の2304バイトは，LOCATION 0FH命令実行時のみ内部ROMとして使用できます

３．LOCATION 0H命令実行時：63232バイト，LOCATION 0FH命令実行時：65536バイト

４．ベース領域，リセットまたは割り込みによるエントリ領域。ただし，リセットについては内部RAMを除く

５．μPD784036Yのときは，0FE31H（44バイト）

図３－４　μPD784037のメモリ・マップ

注１．外部メモリ拡張モードでアクセス

２．この領域の3840バイトは，LOCATION 0FH命令実行時のみ内部ROMとして使用できます

３．LOCATION 0H命令実行時：94464バイト，LOCATION 0FH命令実行時：98304バイト

４．ベース領域，リセットまたは割り込みによるエントリ領域。ただし，リセットについては内部RAMを除く

５．μPD784037Yのときは，0FE31H（44バイト）

図３－５　μPD784038のメモリ・マップ

注１．外部メモリ拡張モードでアクセス

２．この領域の4608バイトは，LOCATION 0FH命令実行時のみ内部ROMとして使用できます

３．LOCATION 0H命令実行時：126464バイト，LOCATION 0FH命令実行時：131072バイト

４．ベース領域，リセットまたは割り込みによるエントリ領域。ただし，リセットについては内部RAMを除く

５．μPD784038Yのときは，0FE31H（44バイト）

３.２　内部ROM領域

μPD784038サブシリーズの次に示す製品は，ROMを内蔵しており，プログラムやテーブル・データなどを格納できます。

なお，LOCATION 0H命令実行時に内部ROM領域と内部データ領域が重なった場合は，内部データ領域がアクセスの対象となり，重なった部分の内部ROM領域はアクセスできません。

品　名	内部ROM	アドレス空間	
		LOCATION 0H命令	LOCATION 0FH命令
μPD784035	48 K×８ビット	00000H-0BFFFH	00000H-0BFFFH
μPD784036	64 K×８ビット	00000H-0F6FFH	00000H-0FFFFH
μPD784037	96 K×８ビット	00000H-0F0FFH 10000H-17FFFH	00000H-17FFFH
μPD784038 μPD78P4038	128 K×８ビット	00000H-0EDFFH 10000H-1FFFFH	00000H-1FFFFH

内部ROMは，高速にアクセスすることが可能です。通常は，外部ROMと同等のスピードでフェッチするようになっており，メモリ拡張モード・レジスタ（MM）のIFCHビットをセット（１）することにより，高速フェッチ機能が使用され，内部ROMのフェッチを高速（２バイト単位に２システム・クロックでフェッチする）に行うようになります。

なお，外部ROMフェッチと同等な命令実行サイクルを選択した場合は，ウエイト機能によるウエイトの挿入が行われますが，高速フェッチ使用時には，内部ROMに対してはウエイトは挿入されません。ただし，内部ROM領域に対して，外部ウエイトを設定しないでください。内部ROM領域に対して外部ウエイトが設定されると，CPUがデッドロック状態となります。デッドロック状態は，リセット入力によってのみ解除されます。

$\overline{\text{RESET}}$入力により，外部ROMフェッチ・サイクルと同等な命令実行サイクルとなります。

備考　μPD784031の場合は，このアドレス空間は外部メモリとなります。

３.３　ベース領域

0-FFFFHの空間は，ベース領域となっています。次の用途については，ベース領域が対象となります。

- リセットのエントリ・アドレス
- 割り込みのエントリ・アドレス
- CALLT命令のエントリ・アドレス
- 16ビット・イミーディエト・アドレシング・モード（命令アドレスのアドレシング時）
- 16ビット・ダイレクト・アドレシング・モード
- 16ビット・レジスタ・アドレシング・モード（命令アドレスのアドレシング時）
- 16ビット・レジスタ・インダイレクト・アドレシング・モード
- ショート・ダイレクト16ビット・メモリ・インダイレクト・アドレシング・モード

また，ベース領域には，ベクタ・テーブル領域，CALLT命令テーブル領域，CALLF命令エントリ領域が割り付けられています。

なお，LOCATION 0H命令実行時には，内部データ領域がベース領域内に配置されます。内部データ領域のうち，内部高速RAM領域および特殊機能レジスタ（SFR）領域からは，プログラムのフェッチは行えませんので注意が必要です。また，内部RAM領域のデータは，初期化を行ってから使用してください。

3.3.1　ベクタ・テーブル領域

00000H-0003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域に$\overline{\text{RESET}}$入力，各割り込み要求発生により分岐する場合のプログラム・スタート・アドレスを格納しておきます。また，各割り込みでコンテキスト・スイッチングを使用する場合に，切り替え先のレジスタ・バンクの番号を格納します。

なお，ベクタ・テーブルとして使用していない部分は，プログラム・メモリまたはデータ・メモリとして使用できます。

ベクタ・テーブルに書ける値は，16ビットの値です。したがって，分岐できるのはベース領域のみです。

表３－１　ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因
0003CH	オペランド・エラー
0003EH	BRK
00000H	リセット（$\overline{\text{RESET}}$入力）
00002H	NMI
00004H	WDT
00006H	INTP0
00008H	INTP1
0000AH	INTP2
0000CH	INTP3
0000EH	INTC00
00010H	INTC01
00012H	INTC10
00014H	INTC11
00016H	INTC20
00018H	INTC21
0001AH	INTC30
0001CH	INTP4
0001EH	INTP5
00020H	INTAD
00022H	INTSER1
00024H	INTSR1/INTCSI1
00026H	INTST1
00028H	INTCSI
0002AH	INTSER2
0002CH	INTSR2/INTCSI2
0002EH	INTST2
00030H	INTSPC注

注　μPD784038Yサブシリーズのみ

３.３.２　CALLT命令テーブル領域

00040H-0007FHの64バイトの領域には，１バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

CALLT命令では，このテーブルを参照し，テーブル中に書かれているベース領域のアドレスへサブルーチンとして分岐します。CALLT命令は１バイトであるため，プログラム中で記述回数の多いサブルーチン・コールをCALLT命令とすることで，プログラムのオブジェクト・サイズを圧縮することが可能です。なお，テーブルには最大32個のサブルーチン・エントリ・アドレスを記述できますので，記述頻度の多い順に登録することをお勧めします。

また，CALLT命令のテーブルとして使用しない場合は，通常のプログラム・メモリまたはデータ・メモリとして使用可能です。

３.３.３　CALLF命令エントリ領域

00800H-00FFFHの領域は，２バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

CALLF命令は，２バイトのコール命令であるため，直接サブルーチン・コールのCALL命令（３バイトまたは４バイト）を使用した場合に比べ，オブジェクト・サイズを圧縮することが可能です。

高速性を活かしたいときには，この領域に直接サブルーチンを記述することが有効です。

オブジェクト・サイズを小さくしたい場合には，この領域に無条件分岐（BR）命令を記述し，サブルーチン本体はこの領域外に置くことで，５カ所以上からコールされているサブルーチンについて，オブジェクト・サイズの圧縮が図れます。この場合，CALLFエントリ領域中ではBR命令の４バイトしか場所をとらないため，多くのサブルーチンでオブジェクト・サイズの圧縮が可能です。

３.４　内部データ領域

内部データ領域は，内部RAM領域，特殊機能レジスタ領域で構成される領域です（図３－１-図３－５参照）。

内部データ領域は，LOCATION命令によって，内部データ領域の最終アドレスを0FFFFH（LOCATION 0H命令実行時）にするか，FFFFFH（LOCATION 0FH命令実行時）にするかを選択できます。このLOCATION命令による内部データ領域のアドレスの選択は，リセット解除直後に必ず１回実行する必要があり，一度選択したあとは，変更することはできません。リセット解除後のプログラムは，例のようになっている必要があります。内部データ領域と他の領域が同一アドレスに割り当てられた場合は，内部データ領域がアクセスの対象となり，他の領域にはアクセスできません。

例
```
RSTVCT    CSEG   AT 0
          DW     RSTSTRT
          ~
INITSEG   CSEG   BASE
RSTSTRT:  LOCATION 0H        ; or LOCATION 0FH
          MOVG   SP, #STKBGN
```

注意　LOCATION 0H命令実行時には，リセット解除後のプログラムが内部データ領域に重ならないようにする必要があります。また，NMIなどのマスク不可能な割り込み処理ルーチンのエントリ・アドレスも，内部データ領域と重ならないようにしてください。なお，マスカブル割り込みのエントリ領域などについては，内部データ領域を参照する前に初期化を行う必要があります。

３．４．１　内部RAM領域

μPD784038は，汎用スタティックRAMを内蔵しています。

この領域は，次のように構成されています。

内部RAM領域
- 周辺RAM（PRAM）
- 内部高速RAM（IRAM）

表３－２　内部RAM領域一覧

内部RAM ＼ 品　名	内部RAM領域		
		周辺RAM：PRAM	内部高速RAM：IRAM
μPD784031 μPD784035 μPD784036	2048バイト （0F700H-0FEFFH）	1536バイト （0F700H-0FCFFH）	512バイト （0FD00H-0FEFFH）
μPD784037	3584バイト （0F100H-0FEFFH）	3072バイト （0F100H-0FCFFH）	
μPD784038 μPD78P4038	4352バイト （0EE00H-0FEFFH）	3840バイト （0EE00H-0FCFFH）	

備考　表中のアドレスは，LOCATION 0H命令実行時の値です。LOCATION 0FH命令実行時には，上記の値に0F0000Hを加えてください。

内部RAMのメモリ・マップを図３－６に示します。

図３－６　内部RAMのメモリ・マップ

注１． μPD784038Yサブシリーズは00FE31H

２． μPD784031, 784035, 784036：00F700H

μPD784037　　：00F100H

μPD784038, 78P4038　　：00EE00H

備考　図中のアドレスは，LOCATION 0H命令実行時の値です。LOCATION 0FH命令実行時には，上記の値に0F0000Hを加えてください。

（1）内部高速RAM（IRAM）

内部高速RAM（IRAM）は，高速アクセスが可能です。このうち，FD20H-FEFFHは，高速アクセス用のショート・ダイレクト・アドレシング・モードが使用できます。ショート・ダイレクト・アドレシング・モードには，その対象となるアドレスにより，ショート・ダイレクト・アドレシング１とショート・ダイレクト・アドレシング２の２種類があります。いずれのアドレシング・モードも，その機能は同一です。一部の命令では，ショート・ダイレクト・アドレシング２は，ショート・ダイレクト・アドレシング１より語長が短くなっています。詳細は，78 K/IVシリーズ　ユーザーズ・マニュアル　命令編を参照してください。

IRAMから，プログラムのフェッチを行うことはできません。IRAMが，マッピングされているアドレスからプログラムのフェッチを行うと，CPUは暴走します。

また，IRAMには，次の領域が予約されています。

- 汎用レジスタ領域　：FE80H-FEFFH
- マクロ・サービス・コントロール・ワード領域：FE06H-FE2FH（0FE22H, 0FE23H, 0FE2AH, 0FE2BHを除く）
- マクロ・サービス・チャネル領域　：FE00H-FEFFH（アドレスは，マクロ・サービス・コントロール・ワードで指定します）

これらの領域で，予約されている機能を使用していない場合は，通常のデータ・メモリとして使用できます。

備考　本文中のアドレスは，LOCATION 0H命令実行時のアドレスです。LOCATION 0FH命令実行時には，本文中の値に0F0000Hを加えてください。

（2）周辺RAM（PRAM）

周辺RAM（PRAM）は，普通のプログラム・メモリまたはデータ・メモリとして使用します。プログラム・メモリとして使用する場合は，事前に，プログラムによって周辺RAMにプログラムを書き込んでおく必要があります。

なお，周辺RAMからのプログラム・フェッチは，２バイト単位に２クロックで行うことができるため高速です。

３．４．２　特殊機能レジスタ（SFR）領域

0FF00H-0FFFFHの領域には，オンチップ周辺ハードウエアの特殊機能レジスタ（SFR）がマッピングされています（図３－１-図３－５参照）。

また，0FFD0H-0FFDFHの領域は，外部SFR領域としてマッピングされており，ROMレス製品やROM内蔵の製品で外部メモリ拡張モード（メモリ拡張モード・レジスタ（MM）で設定）時に外付けされた周辺I/Oなどをアクセスすることができます。

注意　この領域内で，SFRのマッピングされていないアドレスをアクセスしないでください。誤ってアクセスすると，CPUがデッドロック状態になることがあります。デッドロック状態は，リセット入力によってのみ解除されます。

備考　本文中のアドレスは，LOCATION 0H命令実行時のアドレスです。LOCATION 0FH命令実行時には，本文中の値に0F0000Hを加えてください。

３．４．３　外部SFR領域

μPD784038サブシリーズの製品では，SFR領域のうち，0FFD0H-0FFDFH（LOCATION 0H命令実行時。LOCATION 0FH命令実行時は0FFFD0H-0FFFDFH）の16バイトの領域は，外部SFR領域としてマッピングされています。ROMレス製品やROM内蔵の製品で外部メモリ拡張モードの場合に，アドレス・バスおよびアドレス／データ・バスなどを使用して，外付けされた周辺I/Oなどをアクセスすることができます。

外部SFR領域は，SFRアドレシングでアクセスすることができるので，周辺I/Oなどの操作が簡単にできる，オブジェクト・サイズを圧縮できる，マクロ・サービスを使用できるなどの特徴があります。

なお，外部SFR領域に対するアクセス時のバスの動作は，通常のメモリ・アクセスと同様になります。

３．５　外部メモリ空間

外部メモリ空間は，メモリ拡張モード・レジスタ（MM）の設定によりアクセスが可能なメモリ空間です。プログラム，テーブル・データなどの格納，および周辺のI/Oデバイスを割り付けることができます。

３．６　μPD78P4038のメモリ・マッピング

μPD78P4038は，内部ROMを128 Kバイト，内部RAMを4352バイト内蔵しています。したがって，μPD784035, 784036, 784037とは若干メモリ・マッピングが異なっております。この違いを吸収するために，μPD78P4038では，ソフトウエアにより内部メモリの一部を使用しないようにするための機能（メモリ・サイズの切り替え機能）を有しています。

メモリ・サイズの切り替えは，内部メモリ・サイズ切り替えレジスタ（IMS）によって行います。μPD784035, 784036, 784037と同一のメモリ・マッピングにする場合には，リセット直後にこのレジスタへの書き込みを必ず行ってください。また，書き込んだ値を変更しないでください。

IMSは，８ビット操作命令で書き込みが可能です。図３－７に，IMSのフォーマットを示します。

$\overline{\text{RESET}}$入力によりFFHになります。

図３－７　内部メモリ・サイズ切り替えレジスタ（IMS）のフォーマット

IMSは，μPD784035, 784036, 784037, 784038にはありません。しかし，IMSへの書き込み命令をμPD784035, 784036, 784037, 784038で実行しても動作に影響を与えません。

注意　インサーキット・エミュレータでエミュレーションCPUをμPD78P4038に選択した場合，IMSへFFH以外（EEH，DCH，CCH）の書き込み命令を実行しても，常にμPD784038と同一のメモリ・サイズ（FFH）になります。

３.７　制御レジスタ

制御レジスタには，プログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW），スタック・ポインタ（SP）があります。

３.７.１　プログラム・カウンタ（PC）

次に実行するプログラムのアドレス情報を保持する20ビット・バイナリ・カウンタです（**図３－８**参照）。

通常，フェッチする命令のバイト数に応じて自動的にインクリメントされます。分岐を伴う命令を実行した場合，イミーディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$入力により，０番地と１番地の16ビット・データがPCの下位16ビットに，0000がPCの上位４ビットにセットされます。

図３－８　プログラム・カウンタ（PC）のフォーマット

３.７.２　プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワード（PSW）は，命令の実行の結果によってセット，リセットされる各種フラグで構成される16ビット・レジスタです。

上位８ビット（PSWH），下位８ビット（PSWL）単位でリード・アクセス／ライト・アクセスします。また，ビット操作命令により，各フラグの操作ができます。

PSWの内容は，ベクタ割り込み要求の受け付け時，およびBRK命令の実行時に自動的にスタックに退避し，RETI命令またはRETB命令の実行時に自動的に復帰します。また，コンテキスト・スイッチング使用時には，RP3に自動的に退避し，RETCS命令またはRETCSB命令の実行時に自動的に復帰します。

$\overline{\text{RESET}}$入力により，全ビットがリセット（０）されます。

図３－９で“０”と書かれているビットには，必ず“０”を書き込んでください。また，“－”と書かれているビットの内容は，読み出し時には不定となります。

図３－９　プログラム・ステータス・ワード（PSW）のフォーマット

略号	7	6	5	4	3	2	1	0
PSWH	UF	RBS2	RBS1	RBS0	－	－	－	－
	7	6	5	4	3	2	1	0
PSWL	S	Z	RSS	AC	IE	P/V	0	CY

各フラグについて，次に示します。

（1）キャリー・フラグ（CY）

演算結果のキャリー，ボローを記憶するフラグです。

また，シフト・ローテート命令実行時は，シフト・アウトされた値を記憶し，ビット操作命令実行時は，ビット・アキュームレータとして機能します。

CYフラグの状態は，条件付き分岐命令でテストできます。

（2）パリティ／オーバフロー・フラグ（P/V）

P/Vフラグは，演算命令の実行に伴い，次の２種類の動作をします。

P/Vフラグの状態は，条件付き分岐命令でテストできます。

・パリティ・フラグ動作

論理演算命令，シフト・ローテート命令，CHKL，CHKLA命令の実行の結果，セット（1）されたビット数が偶数のときにはセット（1）されます。奇数のときにはリセット（0）されます。ただし，16ビットのシフト命令の場合，演算結果の下位８ビットのみパリティ・フラグに有効です。

・オーバフロー・フラグ動作

算術演算命令の実行の結果，２の補数で表現される数値範囲を越えたときのみセット（1）されます。それ以外のときにはリセット（0）されます。具体的には，MSBからのキャリーとMSBへのキャリーの排他的論理和の結果が，このフラグの内容になります。たとえば，８ビットの算術演算では，２の補数の範囲は80H（－128）～7FH（＋127）であり，演算結果がこの範囲以外になったときセット（1）され，範囲内のときはリセット（0）されます。

例　８ビット加算命令実行時のオーバフロー・フラグの動作を次に示します。

78H（＋120）と69H（＋105）の加算を行うと，演算結果がE1H（＋225）となり，２の補数の上限を越えるため，P/Vフラグがセット（１）されます。また，２の補数表現で，E1Hは－31になります。

```
    78H（＋120）   =      0111  1000
＋）69H（＋105）   =  ＋）0110  1001
                      0   1110  0001  =  －31  P/V＝1
                      ↑
                      CY
```

また，次のような２つの負数の加算は，演算結果が２つの補数の範囲内にあるため，P/Vフラグはリセット（０）されます。

```
    FBH（－5）     =      1111  1011
＋）F0H（－16）    =  ＋）1111  0000
                      1   1110  1011  =  －21  P/V＝0
                      ↑
                      CY
```

（３）割り込み要求許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

“０”のときは割り込み禁止となり，ノンマスカブル割り込み，およびマスク解除したマクロ・サービスのみ受け付けが可能となります。それ以外は，すべて禁止されます。

“１”のときは割り込み許可状態となり，割り込み要求受け付けの許可は，各割り込み要求に対応する割り込みマスク・フラグおよび各割り込みの優先順位により制御されます。

EI命令実行によりセット（１）され，DI命令実行または割り込みの受け付けでリセット（０）されます。

（４）補助キャリー・フラグ（AC）

演算の結果，ビット３からのキャリーがあったとき，またはビット３へのボローがあったときにセット（１）されます。それ以外のときにはリセット（０）されます。

ADJBA, ADJBS命令実行時に使用されます。

（5）レジスタ・セット選択フラグ（RSS）

X，A，C，Bとして機能する汎用レジスタ，およびAX，BCとして機能する汎用レジスタ・ペア（16ビット）を指定するフラグです。

このフラグは，78K/IIIシリーズとの互換性を保つために用意されているフラグです。78K/IIIシリーズ用のプログラムを流用する場合を除いて，必ず０にしてください。

（6）ゼロ・フラグ（Z）

演算の結果が“０”であることを記憶するフラグです。

演算の結果が“０”のときにセット（１）されます。それ以外のときにはリセット（０）されます。Zフラグの状態は，条件付き分岐命令でテストできます。

（7）サイン・フラグ（S）

演算の結果，MSBが“１”であることを記憶するフラグです。

演算の結果，MSBが“１”のときにセット（１）されます。“０”のときにはリセット（０）されます。Sフラグの状態は，条件付き分岐命令でテストできます。

（8）レジスタ・バンク選択フラグ（RBS0-RBS2）

８個のレジスタ・バンク（レジスタ・バンク０-レジスタ・バンク７）のうち，１つを選択する３ビットのフラグです。（**表３－３**参照）。

SEL RBn命令の実行などにより選択されたレジスタ・バンクを示す３ビットの情報が格納されています。

表３－３　レジスタ・バンクの選択

RBS2	RBS1	RBS0	指定レジスタ・バンク
0	0	0	レジスタ・バンク０
0	0	1	レジスタ・バンク１
0	1	0	レジスタ・バンク２
0	1	1	レジスタ・バンク３
1	0	0	レジスタ・バンク４
1	0	1	レジスタ・バンク５
1	1	0	レジスタ・バンク６
1	1	1	レジスタ・バンク７

（9）ユーザ・フラグ（UF）

ユーザ・プログラム上でセットおよびリセットし，プログラムの制御に利用できるフラグです。

3.7.3　RSSビットの使用方法

基本的にRSSビットは，常時，０に固定して使用してください。

次の説明は，78K/IIIシリーズ用のプログラムを流用する場合で，流用するプログラムがRSSビットを１にしている場合のための説明です。RSSビットを０に固定して使用する場合には読む必要はありません。

RSSビットは，A（R1），X（R0），B（R3），C（R2），AX（RP0），BC（RP1）の持っている機能をR4-R7（RP2, RP3）レジスタでも使用できるようにするためのビットです。このビットを有効に使用することで，プログラム・サイズやプログラムの実行に関して効率の良いプログラムを作成することができます。

しかし，不用意に使用すると思わぬ不具合が発生することがあります。したがって，通常は，RSSビットは０にして使用してください。RSSビットを１にして使用するのは，78K/IIIシリーズ用のプログラムを流用する場合だけにしてください。

すべてのプログラム中で，RSSビットを０にして使用することにより，プログラム作成およびディバグ作業の効率が向上します。

RSSビットを１にして使用しているプログラムを流用する場合でも，可能であれば，RSSビットを１にしないプログラムへ修正してから流用することを推奨します。

（1）RSSビットの仕様

○オペレーション一覧（27.2参照）で，オペランド欄にA, X, B, C, AXレジスタが直接記載されている命令で使用するこれらのレジスタ

○インプライド・アドレシングにより，A, AX, B, Cレジスタを使用する命令で，インプライドで指定されるレジスタ

○インデクスト・アドレシング，ベースト・インデクスト・アドレシングでA, B, Cレジスタを使用する命令で，アドレシング時に使用するレジスタ

これらの場合に使用するレジスタをRSSビットによって，次のように切り替えます。

・RSS＝０の場合
A→R1, X→R0, B→R3, C→R2, AX→RP0, BC→RP1

・RSS＝１の場合
A→R5, X→R4, B→R7, C→R6, AX→RP2, BC→RP3

前述以外で使用するレジスタは，RSSビットの内容にかかわらず常に同一のレジスタになります。当社製のアセンブラ（RA78K4）では，A，X，B，C，AX，BCレジスタについて，この名前で記述されている場合にどちらのレジスタ用の命令コードを生成するかは，アセンブラのRSS疑似命令で決定されます。

RSSビットをセット，リセットする場合には，その命令の直前（または直後）に，必ずRSS疑似命令を記述してください（下記例参照）。

〈プログラム例〉

・RSS＝0にする場合

```
RSS   0        ；RSS疑似命令
CLR1  PSWL. 5
MOV   B, A     ；この記述は，“ MOV  R3, R1 ”に該当します。
```

・RSS＝1にする場合

```
RSS   1        ；RSS疑似命令
SET1  PSWL. 5
MOV   B, A     ；この記述は，“ MOV  R7, R5 ”に該当します。
```

（2）RA78K4での命令コードの生成方法

・RA78K4では，命令のオペレーション一覧のオペランド欄にAまたはAXが直接記載されている命令と同機能の命令がある場合，オペランド欄にAまたはAXが直接記載されている命令コードを優先して生成します。

例　MOV A, r命令でrをBとした場合と，MOV r, r'命令でrをA, r'をBとした場合では同一の機能です。また，アセンブラのソース・プログラム上では同一の記述（MOV A, B）となります。この場合，RA78K4は，MOV A, r命令に相当するコードを生成します。

・オペランド欄にr，r'，rp，rp'が指定されている命令で，A，X，B，C，AX，BCが記述された場合，RA78K4のRSS疑似命令のオペランドによって，A，X，B，C，AX，BC命令はそれぞれ次のレジスタを指定する命令コードを生成します。

レジスタ	RSS＝0	RSS＝1
A	R1	R5
X	R0	R4
B	R3	R7
C	R2	R6
AX	RP0	RP2
BC	RP1	RP3

・オペランド欄のr，r'，rp，rp'にR0-R7，RP0-RP4を記述した場合，その指定どおりの命令コードを出力します（オペランド欄にA，AXが直接記載されている命令コードは出力しません）。

・インデクスト・アドレシング，ベースト・インデクスト・アドレシングで使用するA，B，Cレジスタは，R1，R3，R2やR5，R7，R6といった記述はできません。

（３）使用上の注意

RSSビットを切り替えることで，２組のレジスタ・セットを持つのと同様の効果が得られます。しかし，プログラムの静的な記述とプログラム実行時の動的なRSSビットの変化を常に一致するように，十分に注意をしてプログラムを記述しなければなりません。

また，RSS＝1にしたプログラムは，コンテキスト・スイッチング機能を使用しているプログラムでは使用できないので，プログラムの流用性が悪くなります。さらに，同一の名称で異なるレジスタを使用するため，プログラムの可読性が悪くなり，ディバグ作業が難しくなります。したがって，RSS＝1として使用しなければならない場合は，これらの欠点を十分に考慮のうえ，プログラムを作成してください。

なお，RSSビットで指定されないレジスタは，絶対名称を記述することによりアクセスできます。

３.７.４　スタック・ポインタ（SP）

スタック領域（LIFO形式：00000H-FFFFFFH）の先頭アドレスを保持する24ビット・レジスタです（図３－10参照）。サブルーチン処理や割り込み処理時にスタック領域をアドレスするために使用されます。上位４ビットには，必ず“０”を書き込んでください。

SPの内容は，スタック領域への書き込み前にデクリメントされ，スタック領域からの読み出し後にインクリメントされます（図３－11，図３－12参照）。

SPは，専用命令によりアクセスします。

SPの内容は，$\overline{\text{RESET}}$入力により不定になりますので，リセット解除直後に（サブルーチン・コールや割り込みを受け付ける前に）必ず初期化プログラムによりSPをイニシャライズしてください。

例　SPのイニシャライズ

```
MOVG SP, #0FEE0H ; SP←0FEE0H（FEDFHから使用の場合）
```

図３－10　スタック・ポインタ（SP）のフォーマット

図３－11　スタック領域へ退避されるデータ

図３－12　スタック領域から復帰されるデータ

注　この４ビットのデータは無視されます。

注意１．スタック・アドレシングでは，１Mバイトすべての空間でアクセス可能ですが，SFR領域および内部ROM領域にスタック・エリアを確保することはできません。

２．スタック・ポインタ（SP）は，$\overline{\text{RESET}}$入力により不定になります。また，SPが不定の状態でもノンマスカブル割り込みは受け付け可能です。したがって，リセット解除直後のSPが不定な状態でノンマスカブル割り込みの要求が発生すると，予期しない動作を行う場合があります。この危険を回避するために，リセット解除後のプログラムは，必ず次のようにしてください。

```
RSTVCT   CSEG  AT 0
         DW    RSTSTRT
         ≀
INITSEG  CSEG  BASE
RSTSTRT: LOCATION 0H        ; LOCATION 0FH
         MOVG  SP, #STKBGN
```

３.８　汎用レジスタ

３.８.１　構　　成

８ビットの汎用レジスタ16本で構成されています。また，８ビット汎用レジスタ２本を組み合わせて，16ビット汎用レジスタとして使用することもできます。さらに，16ビット汎用レジスタのうち４本は，アドレス拡張用の８ビット・レジスタと組み合わせて，24ビット・アドレス指定用レジスタとして使用することができます。

アドレス拡張用のV，U，T，Wレジスタを除いた汎用レジスタは，内部RAMにマッピングされています。

これらのレジスタ・セットは，８バンク用意されており，ソフトウエアまたはコンテキスト・スイッチング機能により切り替えて使用することができます。

$\overline{\text{RESET}}$入力により，レジスタ・バンク０が選択されます。また，実行中のプログラムで使用しているレジスタ・バンクは，PSW内のレジスタ・バンク選択フラグ（RBS0，RBS1，RBS2）を読み出すことによって確認できます。

図３－13　汎用レジスタのフォーマット

備考　（　）内は絶対名称です。

図３－14　汎用レジスタのアドレス

注　LOCATION 0H命令実行時。LOCATION 0FH命令実行時のアドレスは，上記の値に0F0000Hを加えた値

注意　R4，R5，R6，R7，RP2，RP3は，PSWのRSSビットを１にすることで，それぞれ，X，A，C，B，AX，BCレジスタとして使用することができますが，この機能を使用するのは78K/IIIシリーズ用のプログラムを流用する場合だけにしてください。

備考　レジスタ・バンクを変更する場合で，元のレジスタ・バンクに戻す必要がある場合は，PUSH PSW命令でPSWをスタックへ退避してからSEL RBn命令を実行してください。元に戻すときは，スタックの位置に変化がなければPOP PSW命令で戻せます。
なお，ベクタ割り込み処理プログラムなどでレジスタ・バンクを変更する場合には，PSWは割り込みの受け付け時に自動的にスタックへ退避され，RETI，RETB命令で復帰されますので，割り込み処理ルーチンで使用するレジスタ・バンクが１つの場合には，単にSEL RBn命令を実行するだけで，PUSH PSWやPOP PSW命令を実行する必要はありません。

例　レジスタ・バンク２を指定する場合

```
⋮
PUSH PSW
SEL RB2   ┐
⋮         │ レジスタ・バンク２で動作
POP PSW   ┘
⋮         元のレジスタ・バンクで動作
```

3.8.2　機　　能

汎用レジスタは，それぞれ８ビット単位で操作できるほか，２個の８ビット・レジスタがペアとなって16ビット単位で操作することもできます。また，16ビット・レジスタのうち４本は，アドレス拡張用の８ビット・レジスタと組み合わせて24ビット単位で操作できます。

また，各レジスタは，演算結果の一時保管や，レジスタ間演算命令のオペランドとして汎用的に使用することが可能です。

0FE80H-0FEFFH（LOCATION 0H命令実行時。LOCATION 0FH命令実行時は0FFE80H-0FFEFFH）の領域は，汎用レジスタ・エリアとして使用する，しないにかかわらず，通常のデータ・メモリとしてアドレス指定し，アクセスすることができます。

78K/IVシリーズでは，８つのレジスタ・バンクを持っているので，通常の処理と割り込み時の処理でレジスタ・バンクを使い分けることにより，効率のよいプログラムを作成できます。

各レジスタは，それぞれ次に示す固有機能を持っています。

A（R1）：

- ８ビット・データの転送や演算処理の中心となるレジスタです。８ビット・データに対するすべてのアドレシング・モードと組み合わせて使用できます。
- ビット・データの格納にも使用できます。
- インデクスト・アドレシング，ベースト・インデクスト・アドレシング時のオフセット値を格納するレジスタとして使用できます。

X（R0）：

- ビット・データの格納に使用できます。

AX（RP0）：

- 16ビット・データの転送や演算処理の中心となるレジスタです。16ビット・データに対するすべてのアドレシング・モードと組み合わせて使用できます。

AXDE：

- DIVUX，MACW，MACSW命令実行時に，32ビット・データの格納用として使用されます。

B（R3）：

- ループ・カウンタとしての機能を持っており，DBNZ命令で使用できます。
- インデクスト・アドレシング，ベースト・インデクスト・アドレシング時のオフセット値を格納するレジスタとして使用できます。
- MACW，MACSW命令のデータ・ポインタとして使用します。

C（R2）：

・ループ・カウンタとしての機能を持っており，DBNZ命令で使用できます。

・ベースト・インデクスト・アドレシング時のオフセット値を格納するレジスタとして使用できます。

・ストリング命令，SACW命令のカウンタとして使用します。

・MACW, MACSW命令のデータ・ポインタとして使用します。

RP2：

・コンテキスト・スイッチング使用時に，プログラム・カウンタ（PC）の下位16ビットを退避するために使用します。

RP3：

・コンテキスト・スイッチング使用時に，プログラム・カウンタ（PC）の上位４ビットおよびプログラム・ステータス・ワード（PSW）（PSWHのビット0-3を除く）を退避するために使用します。

VVP（RG4）：

・ポインタとしての機能を持っており，レジスタ・インダイレクト・アドレシング，ベースト・アドレシング，ベースト・インデクスト・アドレシング時に，ベース・アドレスを指定するレジスタとして動作します。

UUP（RG5）：

・ユーザ・スタック・ポインタとしての機能を持っており，PUSHU, POPU命令により，システム・スタックとは別のスタックを実現することができます。

・ポインタとしての機能を持っており，レジスタ・インダイレクト・アドレシング，ベースト・アドレシング時に，ベース・アドレスを指定するレジスタとして動作します。

DE（RP6），HL（RP7）：

・インデクスト・アドレシング，ベースト・インデクスト・アドレシング時には，オフセット値を格納するレジスタとして動作します。

TDE（RG6）：

・ポインタとしての機能を持っており，レジスタ・インダイレクト・アドレシング，ベースト・アドレシング時に，ベース・アドレスを指定するレジスタとして動作します。

・ストリング命令，SACW命令のポインタとして動作します。

WHL（RG7）：

- 24ビット・データの転送や演算処理の中心となるレジスタです。
- ポインタとしての機能を持っており，レジスタ・インダイレクト・アドレシング，ベースト・アドレシング時に，ベース・アドレスを指定するレジスタとして動作します。
- ストリング命令，SACW命令のポインタとして動作します。

各レジスタは，それぞれの固有機能を重視した機能名称（X, A, C, B, E, D, L, H, AX, BC, VP, UP, DE, HL, VVP, UUP, TDE, WHL）のほか，絶対名称（R0-R15, RP0-RP7, RG4-RG7）ででも記述することができます。対応は，表３－４を参照してください。

表３－４　機能名称-絶対名称の対応

（a）８ビット・レジスタ

絶対名称	機能名称	
	RSS = 0	RSS = 1注
R0	X	
R1	A	
R2	C	
R3	B	
R4		X
R5		A
R6		C
R7		B
R8		
R9		
R10		
R11		
R12	E	E
R13	D	D
R14	L	L
R15	H	H

（b）16ビット・レジスタ

絶対名称	機能名称	
	RSS = 0	RSS = 1注
RP0	AX	
RP1	BC	
RP2		AX
RP3		BC
RP4	VP	VP
RP5	UP	UP
RP6	DE	DE
RP7	HL	HL

（c）24ビット・レジスタ

絶対名称	機能名称
RG4	VVP
RG5	UUP
RG6	TDE
RG7	WHL

注　RSS =１として使用するのは，78K/IIIシリーズ用のプログラムを流用する場合だけにしてください。

備考　R8-R11には機能名称はありません。

３．９　特殊機能レジスタ（SFR）

内蔵周辺ハードウエアのモード・レジスタ，コントロール・レジスタなどの特別な機能が割り付けられたレジスタで，0FF00H-0FFFFH[注]の256バイトの空間にマッピングされています。

注　LOCATION 0H命令実行時。LOCATION 0FH命令実行時はFFF00H-FFFFFH

注意　この領域内で，SFRの割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると，μPD784038がデッドロック状態となることがあります。デッドロック状態は，リセット入力によってのみ解除されます。

表３－５に特殊機能レジスタ（SFR）の一覧を示します。表中の項目の意味は次のようになります。

- 略　　号……内蔵されたSFRを示す記号。当社製アセンブラ（RA78K4）では予約語になっています。Cコンパイラ（CC78K4）では#pragma sfr指令により，sfr変数として使用できます。
- R/W……該当するSFRが読み出し／書き込みが可能かどうかを示します。
  - R/W：読み出し（Read）/書き込み（Write）可能
  - R　：読み出し（Read）のみ
  - W　：書き込み（Write）のみ
- 操作可能ビット単位…該当するSFRを操作する場合に，適応可能な操作ビット単位を示します。16ビット操作可能なSFRはオペランドのsfrpに記述でき，アドレスで指定する場合は偶数アドレスを記述します。
  １ビット操作可能なSFRは，ビット操作命令に記述できます。
- リセット時……$\overline{\text{RESET}}$入力時の各レジスタの状態を示します。

表３－５　特殊機能レジスタ（SFR）一覧（1/5）

アドレス[注1]	特殊機能レジスタ（SFR）名称	略号		R/W	操作可能ビット単位			リセット時
					１ビット	８ビット	16ビット	
0FF00H	ポート０	P0		R/W	○	○	－	不定
0FF01H	ポート１	P1			○	○	－	
0FF02H	ポート２	P2		R	○	○	－	
0FF03H	ポート３	P3		R/W	○	○	－	
0FF04H	ポート４[注2]	P4			○	○	－	
0FF05H	ポート５[注2]	P5			○	○	－	
0FF06H	ポート６	P6			○	○	－	00H
0FF07H	ポート７	P7			○	○	－	不定
0FF0EH	ポート０バッファ・レジスタL	P0L			○	○	－	
0FF0FH	ポート０バッファ・レジスタH	P0H			○	○	－	
0FF10H	コンペア・レジスタ（タイマ／カウンタ０）	CR00			－	－	○	
0FF12H	キャプチャ／コンペア・レジスタ（タイマ／カウンタ０）	CR01			－	－	○	
0FF14H	コンペア・レジスタL（タイマ／カウンタ１）	CR10	CR10W		－	○	○	
0FF15H	コンペア・レジスタH（タイマ／カウンタ１）	－			－	－		
0FF16H	キャプチャ／コンペア・レジスタL（タイマ／カウンタ１）	CR11	CR11W		－	○	○	
0FF17H	キャプチャ／コンペア・レジスタH（タイマ／カウンタ１）	－			－	－		
0FF18H	コンペア・レジスタL（タイマ／カウンタ２）	CR20	CR20W		－	○	○	
0FF19H	コンペア・レジスタH（タイマ／カウンタ２）	－			－	－		
0FF1AH	キャプチャ／コンペア・レジスタL（タイマ／カウンタ２）	CR21	CR21W		－	○	○	
0FF1BH	キャプチャ／コンペア・レジスタH（タイマ／カウンタ２）	－			－	－		
0FF1CH	コンペア・レジスタL（タイマ３）	CR30	CR30W		－	○	○	
0FF1DH	コンペア・レジスタH（タイマ３）	－			－	－		

注１．LOCATION 0H命令を実行した場合。 LOCATION 0FH命令を実行した場合は，この値に“F0000H”を加えます。

２．μPD784031にはありません。

表３－５　特殊機能レジスタ（SFR）一覧（2/5）

アドレス[注1]	特殊機能レジスタ（SFR）名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
0FF20H	ポート０モード・レジスタ	PM0		R/W	○	○	－	FFH
0FF21H	ポート１モード・レジスタ	PM1			○	○	－	
0FF23H	ポート３モード・レジスタ	PM3			○	○	－	
0FF24H	ポート４モード・レジスタ[注2]	PM4			○	○	－	
0FF25H	ポート５モード・レジスタ[注2]	PM5			○	○	－	
0FF26H	ポート６モード・レジスタ	PM6			○	○	－	
0FF27H	ポート７モード・レジスタ	PM7			○	○	－	
0FF2EH	リアルタイム出力ポート・コントロール・レジスタ	RTPC			○	○	－	00H
0FF30H	キャプチャ／コンペア・コントロール・レジスタ０	CRC0			－	○	－	10H
0FF31H	タイマ出力コントロール・レジスタ	TOC			○	○	－	00H
0FF32H	キャプチャ／コンペア・コントロール・レジスタ１	CRC1			－	○	－	
0FF33H	キャプチャ／コンペア・コントロール・レジスタ２	CRC2			－	○	－	10H
0FF36H	キャプチャ・レジスタ（タイマ／カウンタ０）	CR02		R	－	－	○	0000H
0FF38H	キャプチャ・レジスタL（タイマ／カウンタ１）	CR12	CR12W		－	○	○	
0FF39H	キャプチャ・レジスタH（タイマ／カウンタ１）	－			－	－		
0FF3AH	キャプチャ・レジスタL（タイマ／カウンタ２）	CR22	CR22W		－	○	○	
0FF3BH	キャプチャ・レジスタH（タイマ／カウンタ２）	－			－	－		
0FF41H	ポート１モード・コントロール・レジスタ	PMC1		R/W	○	○	－	00H
0FF43H	ポート３モード・コントロール・レジスタ	PMC3			○	○	－	
0FF4EH	プルアップ抵抗オプション・レジスタ	PUO			○	○	－	
0FF50H	タイマ・レジスタ０	TM0[注3]		R	－	－	○	0000H
0FF51H					－	－		
0FF52H	タイマ・レジスタ１	TM1[注3]	TM1W		－	○	○	
0FF53H		－	注3		－	－		
0FF54H	タイマ・レジスタ２	TM2[注3]	TM2W		－	○	○	
0FF55H		－	注3		－	－		
0FF56H	タイマ・レジスタ３	TM3[注3]	TM3W		－	○	○	
0FF57H		－	注3		－	－		

注１．LOCATION 0H命令を実行した場合。 LOCATION 0FH命令を実行した場合は，この値に“F0000H”を加えます。

２．μPD784031にはありません。

３．TM0, TM1/TM1W, TM2/TM2W, TM3/TM3Wには制限事項があります。詳細については，３.10　注意事項の（７）を参照してください。

表３－５　特殊機能レジスタ（SFR）一覧（3/5）

アドレス注1	特殊機能レジスタ（SFR）名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
0FF5CH	プリスケーラ・モード・レジスタ０	PRM0	R/W	－	○	－	11H
0FF5DH	タイマ・コントロール・レジスタ０	TMC0		○	○	－	00H
0FF5EH	プリスケーラ・モード・レジスタ１	PRM1		－	○	－	11H
0FF5FH	タイマ・コントロール・レジスタ１	TMC1		○	○	－	00H
0FF60H	D/A変換値設定レジスタ０	DACS0		－	○	－	
0FF61H	D/A変換値設定レジスタ１	DACS1		－	○	－	
0FF62H	D/Aコンバータ・モード・レジスタ	DAM		－	○	－	03H
0FF68H	A/Dコンバータ・モード・レジスタ	ADM		○	○	－	00H
0FF6AH	A/D変換結果レジスタ	ADCR	R	－	○	－	不定
0FF70H	PWMコントロール・レジスタ	PWMC	R/W	○	○	－	05H
0FF71H	PWMプリスケーラ・レジスタ	PWPR		－	○	－	00H
0FF72H	PWMモジュロ・レジスタ０	PWM0		－	－	○	不定
0FF74H	PWMモジュロ・レジスタ１	PWM1		－	－	○	
0FF7DH	ワンショット・パルス出力制御レジスタ	OSPC		○	○	－	00H
0FF80H	I²Cバス・コントロール・レジスタ	IICC		○	○	－	
0FF81H	シリアル・クロック用プリスケーラ・モード・レジスタ	SPRM		－	○	－	04H
0FF82H	クロック同期式シリアル・インタフェース・モード・レジスタ	CSIM		○	○	－	00H
0FF83H注2	スレーブ・アドレス・レジスタ	SVA	R/W注3	○注4	○	－	01H
0FF84H	クロック同期式シリアル・インタフェース・モード・レジスタ１	CSIM1	R/W	○	○	－	00H
0FF85H	クロック同期式シリアル・インタフェース・モード・レジスタ２	CSIM2		○	○	－	
0FF86H	シリアル・シフト・レジスタ	SIO		－	○	－	不定
0FF88H	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM		○	○	－	00H
0FF89H	アシンクロナス・シリアル・インタフェース・モード・レジスタ２	ASIM2		○	○	－	

注１．LOCATION 0H命令を実行した場合。 LOCATION 0FH命令を実行した場合は，この値に“F0000H”を加えます。

２．μPD784038Yサブシリーズのみ。

３．ビット０は，Readのみ可能。

４．ビット０のみ，ビット操作可能。

表３－５　特殊機能レジスタ（SFR）一覧（4/5）

アドレス[注1]	特殊機能レジスタ（SFR）名称	略号	R/W	操作可能ビット単位			リセット時
				１ビット	８ビット	16ビット	
0FF8AH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS	R	○	○	－	00H
0FF8BH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ２	ASIS2		○	○	－	
0FF8CH	受信バッファ：UART0	RXB		－	○	－	不定
	送信シフト・レジスタ：UART0	TXS	W	－	○	－	
	シフト・レジスタ：IOE1	SIO1	R/W	－	○	－	
0FF8DH	受信バッファ：UART2	RXB2	R	－	○	－	
	送信シフト・レジスタ：UART2	TXS2	W	－	○	－	
	シフト・レジスタ：IOE2	SIO2	R/W	－	○	－	
0FF90H	ボー・レート・ジェネレータ・コントロール・レジスタ	BRGC		－	○	－	00H
0FF91H	ボー・レート・ジェネレータ・コントロール・レジスタ２	BRGC2		－	○	－	
0FFA0H	外部割り込みモード・レジスタ０	INTM0		○	○	－	
0FFA1H	外部割り込みモード・レジスタ１	INTM1		○	○	－	
0FFA4H	サンプリング・クロック選択レジスタ	SCS0		－	○	－	
0FFA8H	インサービス・プライオリティ・レジスタ	ISPR	R	○	○	－	
0FFAAH	割り込みモード・コントロール・レジスタ	IMC	R/W	○	○	－	80H
0FFACH	割り込みマスク・レジスタ0L	MK0L　MK0		○	○	○	FFFFH
0FFADH	割り込みマスク・レジスタ0H	MK0H		○	○		
0FFAEH	割り込みマスク・レジスタ1L	MK1L		○	○	－	FFH
0FFC0H	スタンバイ・コントロール・レジスタ	STBC		－	○[注2]	－	30H
0FFC2H	ウォッチドッグ・タイマ・モード・レジスタ	WDM		－	○[注2]	－	00H
0FFC4H	メモリ拡張モード・レジスタ	MM		○	○	－	20H
0FFC5H	ホールド・モード・レジスタ	HLDM		○	○	－	00H
0FFC6H	クロック出力モード・レジスタ	CLOM		○	○	－	
0FFC7H	プログラマブル・ウエイト制御レジスタ１	PWC1		－	○	－	AAH
0FFC8H	プログラマブル・ウエイト制御レジスタ２	PWC2		－	－	○	AAAAH
0FFCCH	リフレッシュ・モード・レジスタ	RFM		○	○	－	00H
0FFCDH	リフレッシュ領域指定レジスタ	RFA		○	○	－	
0FFCEH	発振安定時間指定レジスタ	OSTS		－	○	－	

注１．LOCATION 0H命令を実行した場合。 LOCATION 0FH命令を実行した場合は，この値に“F0000H”を加えます。

２．書き込みは，専用の命令 MOV STBC, #byte命令およびMOV WDM, #byte命令によってのみ可能です。他の命令では，書き込みはできません。

表３－５　特殊機能レジスタ（SFR）一覧（5/5）

アドレス[注1]	特殊機能レジスタ（SFR）名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
0FFD0H-0FFDFH	外部SFR領域	－	R/W	○	○	－	－
0FFE0H	割り込み制御レジスタ（INTP0）	PIC0		○	○	－	43H
0FFE1H	割り込み制御レジスタ（INTP1）	PIC1		○	○	－	
0FFE2H	割り込み制御レジスタ（INTP2）	PIC2		○	○	－	
0FFE3H	割り込み制御レジスタ（INTP3）	PIC3		○	○	－	
0FFE4H	割り込み制御レジスタ（INTC00）	CIC00		○	○	－	
0FFE5H	割り込み制御レジスタ（INTC01）	CIC01		○	○	－	
0FFE6H	割り込み制御レジスタ（INTC10）	CIC10		○	○	－	
0FFE7H	割り込み制御レジスタ（INTC11）	CIC11		○	○	－	
0FFE8H	割り込み制御レジスタ（INTC20）	CIC20		○	○	－	
0FFE9H	割り込み制御レジスタ（INTC21）	CIC21		○	○	－	
0FFEAH	割り込み制御レジスタ（INTC30）	CIC30		○	○	－	
0FFEBH	割り込み制御レジスタ（INTP4）	PIC4		○	○	－	
0FFECH	割り込み制御レジスタ（INTP5）	PIC5		○	○	－	
0FFEDH	割り込み制御レジスタ（INTAD）	ADIC		○	○	－	
0FFEEH	割り込み制御レジスタ（INTSER）	SERIC		○	○	－	
0FFEFH	割り込み制御レジスタ（INTSR）	SRIC		○	○	－	
	割り込み制御レジスタ（INTCSI1）	CSIIC1		○	○	－	
0FFF0H	割り込み制御レジスタ（INTST）	STIC		○	○	－	
0FFF1H	割り込み制御レジスタ（INTCSI）	CSIIC		○	○	－	
0FFF2H	割り込み制御レジスタ（INTSER2）	SERIC2		○	○	－	
0FFF3H	割り込み制御レジスタ（INTSR2）	SRIC2		○	○	－	
	割り込み制御レジスタ（INTCSI2）	CSIIC2		○	○	－	
0FFF4H	割り込み制御レジスタ（INTST2）	STIC2		○	○	－	
0FFF5H[注2]	割り込み制御レジスタ（INTSPC）	SPCIC		○	○	－	
0FFFCH	内部メモリ・サイズ切り替えレジスタ[注3]	IMS		－	○	－	FFH

注１．LOCATION 0H命令を実行した場合。 LOCATION 0FH命令を実行した場合は，この値に“F0000H”を加えます。

２．μPD784038Yサブシリーズのみ。

３．本レジスタへの書き込みは，μPD78P4038の場合のみ意味があります。

３.10　注意事項

（１）内部高速RAM領域（LOCATION 0H命令実行時：0FD00H-0FEFFH，LOCATION 0FH命令実行時：FFD00H-FFEFFH）からのプログラム・フェッチはできません。

（２）特殊機能レジスタ（SFR）

0FF00H-0FFFFH注の領域内で，SFRの割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると，μPD784038がデッドロック状態となることがあります。デッドロック状態は，リセット入力によってのみ解除されます。

注　LOCATION 0H命令実行時。LOCATION 0FH命令実行時はFFF00H-FFFFFH

（３）スタック・ポインタ（SP）の動作

スタック・アドレシングでは，１Mバイトすべての空間でアクセス可能ですが，SFR領域および内部ROM領域にスタック・エリアを確保することはできません。

（４）スタック・ポインタ（SP）の初期化

SPは，$\overline{\text{RESET}}$入力により不定になります。一方，リセット解除直後でもノンマスカブル割り込みは受け付け可能です。したがって，リセット解除直後のSPが不定な状態でノンマスカブル割り込みの要求が発生すると，予期しない動作を行う場合があります。これらの危険を最小限にするために，リセット解除後のプログラムは必ず次のようにしてください。

```
RSTVCT    CSEG  AT 0
          DW    RSTSTRT
          ≀
INITSEG   CSEG  BASE
RSTSTRT:  LOCATION 0H        ; or LOCATION 0FH
          MOVG SP, #STKBGN
```

（５）μPD78P4038の内部メモリ・サイズを切り替える内部メモリ・サイズ切り替えレジスタ（IMS）は，インサーキット・エミュレータでは完全なエミュレーションを行うことができません。次のような制限事項がありますので，μPD784038以外の製品のディバグを行う際は，エミュレーションCPUはディバグを行うマスク製品を選択してください。

・エミュレーションCPUをμPD78P4038に選択した場合，IMSへFFH以外（EEH，DCH，CCH）の書き込み命令を実行しても，常にμPD784038と同一のメモリ・サイズ（FFH）になります。

（６）内部ROM領域に対して，外部ウエイトを設定しないでください。内部ROM領域に対して外部ウエイトが設定されると，CPUがデッドロック状態となります。デッドロック状態は，リセット入力によってのみ解除されます。

（７）表３－６の“×”の条件でタイマ・レジスタを読み込むと，読み込み値が不正になる場合があります。“×”の条件では，タイマ・レジスタを読み込まないでください。

表３－６　タイマ・レジスタ読み込み制限条件

（○：読み出し可能，×：読み出し禁止）

タイマ・カウント・クロック ＼ f_{CLK}	$f_{XX}/2$	$f_{XX}/4$	$f_{XX}/8$	$f_{XX}/16$
$f_{XX}/8$	○	○	×	×
$f_{XX}/16$	○	○	○	×
f_{XX}/n	○	○	○	○

備考１． f_{XX}　：発振周波数

２． f_{CLK} ：内部システム・クロック周波数

３． n = 32, 64, 128, 256, 512, 1024, 2048

第４章　クロック発生回路

４.１　構成と機能

クロック発生回路は，CPUおよび内蔵ハードウエアに供給される内部クロック，内部システム・クロックを発生，制御する回路です。図４－１に，クロック発生回路のブロック図を示します。

図４－１　クロック発生回路のブロック図

備考　f_{XX} ：水晶／セラミック発振周波数または内部クロック周波数

f_{CLK}：内部システム・クロック周波数

クロック発振回路は，X1，X2端子に接続された水晶振動子／セラミック発振子によって発振します。スタンバイ・モード（STOP）に設定されると，発振を停止します（**第24章　スタンバイ機能**参照）。

また，外部クロックを入力することもできます。その場合，X1端子にクロック信号を入力し，X2端子にはその逆相を入力してください。

分周回路は，クロック発振回路出力（f_{XX}）をスタンバイ・コントロール・レジスタ（STBC）の設定に従い，1/2，1/4，1/8，1/16に分周して，内部システム・クロックを生成します。

図４－２　クロック発振回路の外付け回路

（a）水晶／セラミック発振

（b）外部クロック

・OSTSのEXTCビット= １

・OSTSのEXTCビット= ０

注意１．発振回路は，できるだけX1，X2端子に近づけてください。

２．破線の範囲に他の信号線を通さないでください。

備考　水晶振動子とセラミック発振子の使い分け

一般に水晶振動子の発振周波数はきわめて安定しています。したがって，高精度の時間の管理を行う場合（たとえば，時計，周波数測定など）に最適です。

また，セラミック発振子は，水晶振動子と比較すると発振周波数の安定性では劣りますが，発振開始時間が速く，小型で安価であるという３つの特徴を持っています。したがって通常の用途（高い精度の時間管理を必要としない場合）には有効です。さらに，コンデンサ内蔵品などもあり，部品点数，実装面積の削減に効果があります。

４．２　制御レジスタ

４．２．１　スタンバイ・コントロール・レジスタ（STBC）

STBCは，スタンバイ・モードの設定と，内部システム・クロックを選択するためのレジスタです。スタンバイ・モードの詳細については，**第24章　スタンバイ機能**を参照してください。

プログラムの暴走によって誤ってスタンバイ・モードに入らないように，専用命令によってのみ書き込みができます。この専用命令は，MOV STBC，#byte命令で特殊なコード構成（４バイト）になっています。３バイト目と４バイト目のオペコードが互いに補数の場合のみ，書き込みが行われます。３バイト目と４バイト目のオペコードが互いに補数になっていない場合は，書き込みが行われず，オペランド・エラー割り込みが発生します。この場合，スタック領域に退避されるリターン・アドレスは，エラーの原因となった命令のアドレスです。したがって，スタック領域に退避されたリターン・アドレスにより，エラーの原因となったアドレスを知ることができます。

なお，単純にオペランド・エラーからRETB命令で復帰を行うと，無限ループとなります。

オペランド・エラー割り込みは，プログラムが暴走している場合にのみ発生する（当社製アセンブラRA78K4では，MOV STBC，#byteと記述された場合，正しい専用命令しか生成しません）ので，オペランド・エラー割り込みの処理プログラムではシステムの初期化を行うようにしてください。

他の書き込み命令（MOV STBC, A, AND STBC, #byte, SET1 STBC.7など）は無視され，何の動作も行いません。すなわち，STBCへの書き込みは行われず，また，オペランド・エラー割り込みのような割り込みも発生しません。STBCの読み出しは，データ転送命令によりいつでもできます。

STBCは，８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により30H になります。

図４－３に，STBCのフォーマットを示します。

図４－３　スタンバイ・コントロール・レジスタ（STBC）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
STBC	0	0	CK1	CK0	×	0	STP	HLT	0FFC0H	30H	R/W

STP	HLT	動作モード
0	0	通常モード
0	1	HALTモード
1	0	STOPモード
1	1	IDLEモード

CK1	CK0	内部システム・クロックの選択
0	0	$f_{XX}/2$　（16 MHz）
0	1	$f_{XX}/4$　（8 MHz）
1	0	$f_{XX}/8$　（4 MHz）
1	1	$f_{XX}/16$（2 MHz）

注意　外部クロック入力使用時にSTOPモードを使用する場合は，発振安定時間指定レジスタ（OSTS）のEXTCビットを必ずセット（1）してからSTOPモードを設定してください。外部クロック入力時にOSTSのEXTCビットがクリア（0）されている状態でSTOPモードを使用すると，μPD784038の破壊または信頼性の低下を招く可能性があります。

なお，EXTCビットをセット（1）する場合は，必ずX2端子に，X1端子に入力しているクロックの逆相のクロックを入力してください。

4.2.2　発振安定時間指定レジスタ（OSTS）

OSTSは，発振回路の動作を指定するレジスタです。OSTSのEXTCビットに水晶／セラミック発振または外部クロックのどちらを使用しているかを設定します。EXTCビットをセット（1）している場合だけ，外部クロック入力時にもSTOPモードを設定することができます。

OSTSは，８ビット転送命令によって書き込みのみが可能です。

$\overline{\text{RESET}}$ 入力により00Hになります。

図４－４に，OSTSのフォーマットを示します。

図４－４　発振安定時間指定レジスタ（OSTS）のフォーマット

注意１．水晶／セラミック発振使用時には，EXTCビットを必ずクリア（0）して使用してください。EXTCビットをセット（1）すると，発振が停止してしまいます。

２．外部クロック入力時にSTOPモードを使用する場合は，EXTCビットを必ずセット（1）してからSTOPモードを設定してください。EXTCビットがクリア（0）されている状態でSTOPモードを使用すると，μPD784038の破壊または信頼性の低下を招く可能性があります。

３．外部クロック入力時でEXTCビットをセット（1）する場合は，必ずX2端子に，X1端子に入力しているクロックの逆相のクロックを入力してください。EXTCビットをセット（1）すると，μPD784038はX2端子に入力されているクロックでのみ動作するようになります。

４.３　クロック発生回路の動作

４.３.１　クロック発振回路

（１）水晶／セラミック発振使用時

クロック発振回路は，$\overline{\text{RESET}}$入力により発振を開始します。スタンバイ・コントロール・レジスタ（STBC）によりSTOPモードに設定されると発振を停止します。STOPモードが解除されると発振を再開します。

（２）外部クロック使用時

$\overline{\text{RESET}}$入力により，クロック発振回路はX1端子により入力されたクロックを内部回路へ供給します。

また，発振安定時間指定レジスタ（OSTS）のEXTCビットをセット（１）することにより，次のように動作します。

- クロック発振回路は外部クロック入力の専用モードとなります。
- クロック発振回路はX2端子に入力されたクロックを内部回路へ供給します。
- クロック発振回路の水晶／セラミック発振時に必要な回路が動作を停止し，消費電力を低減することができます。
- 外部クロック入力時でもSTOPモードを使用することができます。
- STOPモードからの復帰時に，発振安定時間が短くなります。

注意１．水晶／セラミック発振使用時には，発振安定時間指定レジスタ（OSTS）のEXTCビットを必ずクリア（０）して使用してください。EXTCビットをセット（１）すると，発振が停止してしまいます。

２．外部クロック入力時にSTOPモードを使用する場合は，OSTSのEXTCビットを必ずセット（１）してからSTOPモードを設定してください。EXTCビットがクリア（０）されている状態でSTOPモードを使用すると，クロック発生回路での消費電力が減らないだけでなく，μPD784038の破壊または信頼性の低下を招く可能性があります。

３．OSTSのEXTCビットをセット（１）する場合は，必ずX2端子に，X1端子に入力しているクロックの逆相のクロックを入力してください。

4.3.2　分周回路

分周回路は，クロック発振回路からの出力を1/2，1/4，1/8，1/16に分周し，CPU，ウォッチドッグ・タイマ，ノイズ除去回路，クロック同期式シリアル・インタフェース（CSI），A/Dコンバータ，PWM，割り込み制御回路，ローカル・バス・インタフェースに供給します。分周比は，スタンバイ・コントロール・レジスタ（STBC）のCK0，CK1ビットで指定します。

CPUの必要なスピードに応じて分周比を制御することにより，総合的な消費電力を低減することができます。また，電源電圧に応じた動作速度を選択することができます。

$\overline{\text{RESET}}$入力により，最低速（1/16）が選択されます。

分周回路の分周比を変更した場合，変更前に選択していたクロックに応じて最大で表４－１に示す時間が分周比の変更に必要になります。

なお，分周比の変更中も命令の実行などは継続して行われ，変更が終了するまでは変更前の分周比でクロックが供給されます。

表４－１　分周比の変更に必要な時間

変更前の分周比	変更に必要な最大時間
1/2	22/f_{XX}
1/4	24/f_{XX}
1/8	16/f_{XX}
1/16	16/f_{XX}

４.４　注意事項

クロック発生回路には，次のような注意事項があります。

４.４.１　外部クロックを入力する場合

（１）外部クロックを入力する場合で，STOPモードを使用するときには，発振安定時間指定レジスタ（OSTS）のEXTCビットを必ずセット（１）してください。EXTCビットをクリア（０）した状態でSTOPモードを使用すると，μPD784038の破壊または信頼性の低下を招く可能性があります。

（２）OSTSのEXTCビットをセット（１）する場合は，必ずX2端子に，X1端子に入力しているクロックの逆相のクロックを入力してください。

（３）発振安定時間指定レジスタ（OSTS）のEXTCビットをクリア（０）して外部クロックを入力する場合にも，できるだけX1端子へ入力した信号の逆相の信号をX2端子へ入力してください。逆相の信号をX2端子へ入力しない場合，逆相のクロックを入力した場合と比較して，ノイズなどによる誤動作が発生しやすくなります。

（４）外部クロックを入力する場合は，HCMOSまたはそれと同等のドライブ能力を持ったデバイスで行ってください。

（５）X1，X2端子からは信号を取り出さないようにしてください。取り出す場合は，図４－５のａ点から取り出してください。

図４－５　外部クロック入力時の信号取り出し点

（６）X1端子からインバータを通してX2端子へと接続する部分の配線は，特に極力短くなるようにしてください。

４．４．２　水晶／セラミック発振の場合

（１）発振回路は高周波のアナログ回路となりますので，十分に注意を払ってください。
特に注意しなければならない点について次に例をあげます。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は，常にV_{SS1}端子と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- 発振回路部から信号を取り出さない。

発振が正常に安定して行われないと，マイコンも正常に安定した動作を行うことができません。また，高精度な発振周波数を得たい場合などは，発振器メーカとご相談することを推奨します。

図４－６　発振子の接続の注意点

注意１．発振回路は，X1，X2端子にできるだけ近づけてください。
２．破線の範囲に他の信号線を通さないでください。

図４－７　発振子の接続の悪い例

（ａ）接続回路の配線が長い

（ｂ）信号線が交差している

（ｃ）変化する大電流が信号線を近接している

（ｄ）発振回路のグランド・ライン上に電流が流れる（A 点，B 点，C 点の電位が変動する）

（ｅ）信号を取り出している

（２）パワーオン時およびSTOPモードからの復帰時には発振が安定になるまでの時間を確保する必要があります。一般に水晶振動子を使用した場合，数msec，セラミック発振子を使用した場合，数百μsecの時間が発振を安定させるために必要です。

発振の安定時間は下記のように決定されますので，これらによって十分な時間を確保してください。

① パワーオン時　　：$\overline{\text{RESET}}$入力（リセット期間）

② STOPモードからの復帰時：

（ｉ）$\overline{\text{RESET}}$入力（リセット期間）

（ⅱ）NMI, INTP4, INTP5 信号[注]の有効エッジで自動的にスタートする発振安定用タイマの時間（発振安定時間指定レジスタ（OSTS）で設定）

注　INTP4, INTP5 については，マスクが解除されていて，マクロ・サービスが禁止されている場合

（３）発振安定時間指定レジスタ（OSTS）のEXTCビットは必ずクリア（０）して使用してください。EXTCビットをセット（１）すると，発振が停止してしまいます。

第５章　ポート機能

５.１　ディジタル入出力ポート

μPD784038は図５－１のようなポートを備えており,多様な制御ができます。各ポートの機能は表５－１のとおりです。ポート０からポート６は,入力時に,内蔵プルアップ抵抗の使用をソフトウエアで指定できます。

図５－１　ポートの構成

注　μPD784031の場合，P40-P47はアドレス／データ・バス，P50-P57はアドレス・バス，P64は$\overline{RD}$端子，P65は$\overline{WR}$端子としてのみ動作します。
また，P60-P63は出力専用ポートになります。

表５－１　ポートの機能

ポート名	端子名称	機　　能	ソフトウエア・プルアップの指定
ポート０	P00-P07	・１ビット単位で入力か出力に指定可能 ・４ビット・リアルタイム出力ポートとしても動作可能（P00-P03，P04-P07） ・トランジスタ駆動可能	入力モードの端子について一括して指定
ポート１	P10-P17	・１ビット単位で入力か出力に指定可能 ・LED 駆動可能	
ポート２	P20-P27	入力ポート	６ビット単位（P22-P27）
ポート３	P30-P37	１ビット単位で入力か出力に指定可能	入力モードの端子について一括して指定
ポート４	P40-P47注	・１ビット単位で入力か出力に指定可能 ・LED 駆動可能	
ポート５	P50-P57注	・１ビット単位で入力か出力に指定可能 ・LED 駆動可能	
ポート６	P60-P67注	１ビット単位で入力か出力に指定可能	
ポート７	P70-P77	１ビット単位で入力か出力に指定可能	－

注　μPD784031の場合，P40-P47はアドレス／データ・バス，P50-P57はアドレス・バス，P64は$\overline{RD}$端子，P65は$\overline{WR}$端子としてのみ動作します。したがって，これらの端子は，LEDダイレクト・ドライブやソフトウエア・プルアップ抵抗の内蔵の指定はできません。
また，P60-P63は出力専用ポートとなります。

表５－２　入出力ポート数

入出力／ポート	合　計	入　力　時	出　力　時	
		ソフトウエア・プルアップ抵抗	LEDダイレクト・ドライブ	トランジスタ･ダイレクト･ドライブ
入力ポート	8 (8)	6 (6)	－	－
入出力ポート	56(34)	48(26)	24(8)	0 (0)
出力ポート	0 (4)	－	0 (0)	8 (8)
合　　計	64(46)	54(32)	24(8)	8 (8)

備考　（ ）内はμPD784031の場合

５.２　ポート０

ポート０は，出力ラッチ付き８ビット入出力ポートで，トランジスタのダイレクト・ドライブが可能です。ポート０モード・レジスタ（PM0）により，１ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。

P00-P03，P04-P07はそれぞれ４ビット，または８ビットのリアルタイム出力ポートとして，バッファ・レジスタ（P0L，P0H）の内容を任意のインターバル時間で出力できます。通常の出力ポートかリアルタイム出力ポートかの選択は，リアルタイム出力ポート・コントロール・レジスタ（RTPC）で行います。

$\overline{\text{RESET}}$入力により入力ポート（出力ハイ・インピーダンス状態）となり，出力ラッチの内容は不定になります。

5.2.1　ハードウエア構成

図５－２に，ポート０のハードウエア構成を示します。

図５－２　ポート０のブロック図

5.2.2　入出力モード／コントロール・モードの設定

ポート０の入出力モードは，図５－３のように，ポート０モード・レジスタ（PM0）により設定します。

図５－３　ポート０モード・レジスタ（PM0）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	0FF20H	FFH	R/W

PM0n	P0n端子入出力モード指定（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

リアルタイム出力ポートとして使用する場合は，リアルタイム出力ポート・コントロール・レジスタ（RTPC）のP0ML，P0MHの各ビットをセット（１）します。

なお，P0ML，P0MHをセットすると，PM0の内容にかかわらず，それぞれの端子の出力バッファがオンし，出力ラッチの内容が端子に出力されます。

5.2.3　動作状態

ポート０は，入出力ポートです。

（1）出力ポートに設定された場合

出力ラッチが有効となり，転送命令により出力ラッチとアキュームレータとの間でデータのやりとりを行います。また，出力ラッチの内容は，論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは，次に出力ラッチにデータを書き込む[注]まで保持されます。

リアルタイム出力ポートに指定されているポートの出力ラッチへは，書き込みはできません。しかし，リアルタイム出力ポート・モードに設定されていても出力ラッチの内容は読み出すことができます。

注　ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

図５－４　出力ポート指定のポート

（２）入力ポートに設定された場合

ポート端子のレベルを，転送命令などでアキュームレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で，転送命令などによりアキュームレータから転送されたデータは，ポートの入出力指定に関係なく，全出力ラッチにストアされます。ただし，入力ポートに指定されているビットの出力バッファは，ハイ・インピーダンス状態になっているため，ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき，出力ラッチの内容がポート端子に出力されます）。また，入力ポートに指定されているビットの出力ラッチの内容は，アキュームレータにロードすることはできません。

図５－５　入力ポート指定のポート

注意　ビット操作命令は，結果として操作するのは１ビットですが，ポートを８ビット単位でアクセスします。したがって，入出力が混在しているポートで，ビット操作命令を使用すると，入力に指定されている端子の出力ラッチの内容は不定になってしまいます（SET1，CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。
また，その他の８ビット演算命令でポートを操作する場合も同様に注意が必要です。

5.2.4　内蔵プルアップ抵抗

ポート０は，プルアップ抵抗を内蔵しています。プルアップが必要な場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）のPUO0とポート０モード・レジスタ（PM0）で，端子ごとに指定できます。PUO0が１のとき，PM0で入力を指定した（PM0n＝1，n＝0-7）端子の内蔵プルアップ抵抗が有効になります。

図５－６　プルアップ抵抗オプション・レジスタ（PUO）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	PUO1	PUO0	0FF4EH	00H	R/W

PUO0	ポート０のプルアップ抵抗の指定
0	ポート０では使用しない
1	ポート０で使用する

備考　STOPモードに入る場合，消費電力を低減するために，PUOに00Hを設定することが有効です。

図５－７　プルアップ抵抗の指定（ポート０）

5.2.5　トランジスタのドライブ

ポート０は，出力バッファのハイ・レベル側のドライブ能力を強化しているので，ハイ・アクティブでトランジスタをダイレクトにドライブすることができます。

図５－８に接続例を示します。

図５－８　トランジスタのドライブ例

5.3　ポート１

ポート１は，出力ラッチ付き８ビット入出力ポートです。ポート１モード・レジスタ（PM1）により，１ビット単位で入力／出力の指定ができます。各端子にプログラマブル・プルアップ抵抗を内蔵しています。また，LEDのダイレクト・ドライブが可能です。

P10-P14は，入出力ポートとしての機能以外に，PWM出力端子，シリアル・インタフェース用端子としての機能を兼用しています。動作モードは，PWMコントロール・レジスタ（PWMC）とポート１モード・レジスタ（PMC1）により，表５－３のように１ビット単位に指定できます。いずれの端子も，兼用端子の動作にかかわらず，常に端子レベルの読み込みまたはテストが可能です。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス状態）となり，出力ラッチの内容は不定となります。

表５－３　ポート１の動作モード

端子名称	ポート・モード	コントロール信号入出力モード	コントロール端子として動作させるための操作
P10	入出力ポート	PWM0出力	PWMCのEN0 ビットをセット（１）
P11		PWM1出力	PWMCのEN1 ビットをセット（１）
P12		ASCK2入出力/$\overline{\text{SCK2}}$入出力	PMC1のPMC12 ビットをセット（１）
P13		RxD2入力/SI2入力	PMC1のPMC13 ビットをセット（１）
P14		TxD2出力/SO2出力	PMC1のPMC14 ビットをセット（１）
P15-P17		－	－

（a）ポート・モード

P10，P11は，PWMコントロール・レジスタ（PWMC）のEN0，EN1ビットがクリア（０）されていれば，P12-P14は，ポート１モード・コントロール・レジスタ（PMC1）の該当するビットがクリア（０）されていれば，ポート・モードとして動作します。また，P15-P17は常時ポート・モードとして動作し，ポート１モード・レジスタ（PM1）により，１ビット単位で入力／出力の指定ができます。

（b）コントロール信号入出力モード

P10，P11はPWMコントロール・レジスタ（PWMC）のそれぞれEN0，EN1ビットをセット（１）することにより，PWM信号の出力端子として動作します。

P12-P14は，ポート１モード・コントロール・レジスタ（PMC1）の設定により，１ビット単位にコントロール端子にすることができます。

（ｉ）PWM0，PWM1

PWM0，PWM1は，PWM出力端子です。

（ii）ASCK2/$\overline{\text{SCK2}}$

ASCK2は，アシンクロナス・シリアル・インタフェースのボー・レート用クロックの入力端子です。

また，$\overline{\text{SCK2}}$は，シリアル・クロック入出力端子（３線式シリアルI/O2モード時）です。

（iii）RxD2/SI2

RxD2は，アシンクロナス・シリアル・インタフェースのシリアル・データ入力端子です。

また，SI2は，シリアル・データ入力端子（３線式シリアルI/O2モード時）です。

（iv）TxD2/SO2

TxD2は，アシンクロナス・シリアル・インタフェースのシリアル・データ出力端子です。

また，SO2は，シリアル・データ出力端子（３線式シリアルI/O2モード時）です。

５.３.１　ハードウエア構成

図５－９- 図５－13に，ポート１のハードウエア構成を示します。

図５－９　P10，P11（ポート１）のブロック図

図５－10　P12（ポート１）のブロック図

図５－11　P13（ポート１）のブロック図

図５－12　P14（ポート１）のブロック図

図５－13　P15-P17（ポート１）のブロック図

５．３．２　入出力モード／コントロール・モードの設定

ポート１の入出力モードは，図５－14のように，端子ごとにポート１モード・レジスタ（PM1）により設定します。

P10，P11は，入出力ポートとしての機能のほかに，PWM信号出力端子としての機能を兼用しており，表５－４のように，PWMコントロール・レジスタ（PWMC）により，コントロール・モードを指定します。

P12-P14は，入出力ポートとしての機能のほかに，シリアル・インタフェース用端子としての機能を兼用しており，図５－15のようにポート１モード・コントロール・レジスタ（PMC1）により，コントロール・モードを指定します。

図５－14　ポート１モード・レジスタ（PM1）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	0FF21H	FFH	R/W

PM1n	P1n端子入出力モード指定（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

表５－４　P10，P11のPWM信号出力機能の設定方法

端子名称	機　　能	PWM信号出力機能を設定する方法
P10	PWM0	PWMCのEN0ビットをセット（１）
P11	PWM1	PWMCのEN1ビットをセット（１）

図５－15　ポート１モード・コントロール・レジスタ（PMC1）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC1	0	0	0	PMC14	PMC13	PMC12	0	0	0FF41H	00H	R/W

PMC12	P12端子のコントロール・モード指定
0	入出力ポート・モード
1	ASCK2/$\overline{\text{SCK2}}$入出力モード

PMC13	P13端子のコントロール・モード指定
0	入出力ポート・モード
1	RxD2/SI2入力モード

PMC14	P14端子のコントロール・モード指定
0	入出力ポート・モード
1	TxD2/SO2出力モード

5.3.3　動作状態

ポート１は，入出力ポートで，P10，P11端子はPWM信号出力端子，P12-P14端子はシリアル・インタフェース用端子を兼用しています。

（1）出力ポートに設定された場合

出力ラッチが有効となり，転送命令により出力ラッチとアキュームレータとの間でデータのやりとりを行います。また，出力ラッチの内容は，論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは，次に出力ラッチにデータを書き込む注まで保持されます。

注　ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

図５－16　出力ポート指定のポート

（２）入力ポートに設定された場合

ポート端子のレベルを，転送命令などでアキュームレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で，転送命令などによりアキュームレータから転送されたデータは，ポートの入出力指定に関係なく，全出力ラッチにストアされます。ただし，入力ポートに指定されているビットの出力バッファは，ハイ・インピーダンス状態になっているため，ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき，出力ラッチの内容がポート端子に出力されます）。また，入力ポートに指定されているビットの出力ラッチの内容は，アキュームレータにロードすることはできません。

図５－17　入力ポート指定のポート

注意　ビット操作命令は，結果として操作するのは１ビットですが，ポートを８ビット単位でアクセスします。したがって，入出力やポート・モードとコントロール・モードが混在しているポートで，ビット操作命令を使用すると，入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます（SET1，CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。
また，その他の８ビット演算命令でポートを操作する場合も同様に注意が必要です。

（３）コントロール信号入出力に指定された場合

P10，P11は，PWMコントロール・レジスタ（PWMC）のENnビット（n＝0，1）をセット（1）することにより，P12-P14は，ポート１モード・コントロール・レジスタ（PMC1）のビットをセット（1）することにより，ポート１モード・レジスタ（PM1）の設定にかかわらず，１ビット単位にコントロール信号の入力あるいは出力として使用することができます。各端子をコントロール信号として使用する場合，ポートの読み出し命令を実行することにより，コントロール信号の状態をみることができます。

図５－18　コントロール指定の場合

（a）ポートがコントロール信号出力の場合

ポート１モード・レジスタ（PM1）がセット（1）されている場合，ポートの読み込み命令を実行すると，コントロール信号端子のレベルを読み込むことができます。

PM1がリセット（0）されている場合，ポートの読み込み命令を実行すると，μPD784038内のコントロール信号の状態を読み込むことができます。

（b）ポートがコントロール信号入力の場合

ポート１モード・レジスタ（PM1）がセット（1）されている場合のみ，ポートの読み込み命令を実行すると，コントロール信号端子のレベルを読み込むことができます。

5.3.4　内蔵プルアップ抵抗

ポート１は，プルアップ抵抗を内蔵しています。プルアップが必要な場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）のPUO1とポート１モード・レジスタ（PM1）で，端子ごとに指定できます。PUO1が１のとき，PM1で入力を指定した（PM1n＝1，n＝0-7）端子の内蔵プルアップ抵抗が有効になります。

また，コントロール信号出力に指定された端子でも，プルアップ抵抗を使用する指定は有効になります（コントロール信号出力端子となる端子にも，プルアップ抵抗が接続されます）。したがって，コントロール信号出力端子にプルアップ抵抗を接続したくない場合には，PM1の対応するビットの内容を０（出力モード）にしてください。

図５－19　プルアップ抵抗オプション・レジスタ（PUO）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	PUO1	PUO0	0FF4EH	00H	R/W

PUO1	ポート１のプルアップ抵抗の指定
0	ポート１では使用しない
1	ポート１で使用する

備考　STOPモードに入る場合，消費電力を低減するために，PUOに00Hを設定することが有効です。

図５－20　プルアップ抵抗の指定（ポート１）

5.3.5　LEDのダイレクト・ドライブ

ポート１は，LEDをアクティブ・ロウでダイレクトにドライブできるように出力バッファのロウ・レベル側のドライブ能力を強化してあります。図５－21に，その使用例を示します。

図５－21　LEDのダイレクト・ドライブ例

５．４　ポート２

ポート２は，８ビット入力専用ポートです。P22-P27には，ソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。入力ポートとして動作する以外に外部割り込み信号端子などの制御信号入力端子としても動作します（表５－５参照）。また，８端子とも，ノイズによる誤動作を防ぐためシュミット・トリガ入力になっています。

表５－５　ポート２の動作モード

端子名称	機　　能
P20	入力ポート/NMI入力注
P21	入力ポート/INTP0入力/CR11キャプチャ・トリガ入力／ タイマ／カウンタ１カウント・クロック／リアルタイム出力ポートのトリガ信号
P22	入力ポート/INTP1入力/CR22キャプチャ・トリガ入力
P23	入力ポート/INTP2入力/CI 入力
P24	入力ポート/INTP3入力/CR02キャプチャ・トリガ入力／ タイマ／カウンタ０カウント・クロック
P25	入力ポート/INTP4入力/ASCK入力/$\overline{\text{SCK1}}$入出力
P26	入力ポート/INTP5入力/A/Dコンバータ外部トリガ入力
P27	入力ポート/SI0入力

注　NMI 入力は，割り込み許可／禁止状態にかかわらず受け付けます。

（ａ）ポート端子としての機能

兼用端子の動作にかかわらず，常に端子レベルの読み込み，あるいはテストが可能です。

（ｂ）制御信号入力端子としての機能

（ｉ）NMI （Non-maskable Interrupt）

外部ノンマスカブル割り込み要求入力端子です。外部割り込みモード・レジスタ０（INTM0）により，立ち上がりエッジ検出，または立ち下がりエッジ検出に指定できます。

（ii）INTP0-INTP5 （Interrupt from Peripherals）

外部割り込み要求入力端子です。INTP0-INTP5端子に外部割り込みモード・レジスタ０，１（INTM0, INTM1）で指定された有効エッジが検出されると，割り込みを発生します（第21章　エッジ検出機能参照）。

また，INTP0-INTP3, INTP5は次のように各種機能の外部トリガ入力端子としても使用します。

・INTP0 …… タイマ／カウンタ１のキャプチャ・トリガ入力端子
外部カウント・クロック入力端子
リアルタイム出力ポートのトリガ入力端子
・INTP1 …… タイマ／カウンタ２のキャプチャ・レジスタ（CR22）へのキャプチャ・トリガ入力端子
・INTP2 …… タイマ／カウンタ２の外部カウント・クロック入力端子
キャプチャ／コンペア・レジスタ（CR21）へのキャプチャ・トリガ入力端子
・INTP3 …… タイマ／カウンタ０のキャプチャ・トリガ入力端子
タイマ／カウンタ０の外部カウント・クロック入力端子
・INTP5 …… A/Dコンバータの外部トリガ入力端子

（iii）CI（Clock Input）

タイマ／カウンタ２の外部クロック入力端子です。

（iv）ASCK（Asynchronous Serial Clock）

外部ボー・レート・クロック入力端子です。

（v）$\overline{\text{SCK1}}$（Serial Clock1）

シリアル・クロック入出力端子（３線式シリアルI/O1モード時）です。

（vi）SI0（Serial Input0）

シリアル・データ入力端子（３線式シリアルI/O0モード時）です。

５．４．１　ハードウエア構成

図５－22に，ポート２のハードウエア構成を示します。

図５－22　P20-P24, P26, P27（ポート２）のブロック図

注　P20, P21には，破線で囲まれた回路はありません。

図５－23　P25（ポート２）のブロック図

５．４．２　入力モード／コントロール・モードの設定

ポート２は，入力専用ポートです。入力モードを設定するためのレジスタはありません。

また，常時コントロール信号の入力ができる状態になっていますので，各内蔵ハードウエアのコントロール・レジスタなどで，どの信号を使用するかを決定します。

５．４．３　動作状態

ポート２は，入力専用のポートで，常に端子レベルの読み込みあるいはテストが可能です。

図５－24　入力ポート指定のポート

５．４．４　内蔵プルアップ抵抗

P22-P27は，プルアップ抵抗を内蔵しています。プルアップが必要な場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）のPUO2によりP22-P27の６端子一括で指定できます（ビットごとには指定できません）。

なお，P20，P21には，プルアップ抵抗を内蔵していません。

図５－25　プルアップ抵抗オプション・レジスタ（PUO）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	PUO1	PUO0	0FF4EH	00H	R/W

PUO2	ポート２のプルアップ抵抗の指定
0	ポート２では使用しない
1	P22-P27の端子で使用する

備考　STOPモードに入る場合，消費電力を低減するために，PUOに00Hを設定することが有効です。

図５－26　プルアップの指定（ポート２）

注意　P22-P26は，リセット直後にプルアップされないため，兼用端子（INTP1-INTP5）の機能によって割り込み要求フラグがセットされることがあります。したがって，初期化ルーチンでプルアップを指定してから，割り込み要求フラグをクリアしてください。

5.5　ポート３

ポート３は，出力ラッチ付き８ビット入出力ポートです。ポート３モード・レジスタ（PM3）により，１ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。

入出力ポートとしての機能以外に，各種コントロール信号端子としての機能を兼用しています。

動作モードは，ポート３モード・コントロール・レジスタ（PMC3）により，表５－６のようにビット単位に指定できます。いずれの端子も，兼用端子の動作にかかわらず，常に端子レベルの読み込みあるいはテストが可能です。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス状態）になり，出力ラッチの内容は不定となります。

表５－６　ポート３の動作モード

（n = 0-7）

モード	ポート・モード	コントロール信号入出力モード
設定条件	PMC3n = 0	PMC3n = 1
P30	入出力ポート	RxD入力/SI1入力
P31		TxD出力/SO1出力
P32		$\overline{\text{SCK0}}$入出力/SCL入出力
P33		SO0出力/SDA入出力
P34		TO0出力
P35		TO1出力
P36		TO2出力
P37		TO3出力

（a）ポート・モード

ポート３モード・コントロール・レジスタ（PMC3）によりポート・モードに指定された各ポートは，ポート３モード・レジスタ（PM3）により，１ビット単位で入力／出力の指定ができます。

（ｂ）コントロール信号入出力モード

ポート３モード・コントロール・レジスタ（PMC3）の設定により，１ビット単位にコントロール端子にすることができます。

（ｉ）RxD（Receive Data）/SI1（Serial Input1）

RxDはアシンクロナス・シリアル・インタフェースのシリアル・データ入力端子です。また，SI1はシリアル・データ入力端子（３線式シリアルI/O1モード時）です。

（ii）TxD（Transmit Data）/SO1（Serial Output1）

TxDはアシンクロナス・シリアル・インタフェースのシリアル・データ出力端子です。また，SO1はシリアル・データ出力端子（３線式シリアルI/O1モード時）です。

（iii）$\overline{\text{SCK0}}$（Serial Clock0）/SCL（Serial Clock）

$\overline{\text{SCK0}}$は，クロック同期式シリアル・インタフェースのシリアル・クロック入出力端子（３線式シリアルI/Oモード時）です。

また，SCLは，クロック同期式シリアル・インタフェースのシリアル・クロック入出力端子（２線式シリアルI/Oモード時／I^2Cバス・モード時[注]）です。

注　μPD784038Yサブシリーズのみ

備考　ポート３のビット２（P32）には，“ SCL ”という名前が当社製のアセンブラ・パッケージで予約語になっています。また，Cコンパイラでは，＃pragma sfr指令で，bit型のsfr変数として定義されています。

（iv）SO0（Serial Output0）/SDA（Serial Data）

SO0はシリアル・データ出力端子（３線式シリアルI/O0モード時）です。

また，SDAは，シリアル・データ入出力端子（２線式シリアルI/Oモード時／I^2Cバス・モード時[注]）です。

注　μPD784038Yサブシリーズのみ

（ｖ）TO0-TO3（Timer Output）

タイマ出力端子です。

5.5.1　ハードウエア構成

図５－27-図５－30に，ポート３のハードウエア構成を示します。

図５－27　P30（ポート３）のブロック図

図５－28　P31, P34-P37（ポート３）のブロック図

図５－29　P32（ポート３）のブロック図

図５－30　P33（ポート３）のブロック図

注　I²Cバス・モード時は常に０

５．５．２　入出力モード／コントロール・モードの設定

ポート３の入出力モードは，図５－31のように，端子ごとにポート３モード・レジスタ（PM3）により設定します。

また，ポート３は入出力ポートとしての機能のほかに，各種コントロール信号端子としての機能を兼用しており，図５－32のように，ポート３モード・コントロール・レジスタ（PMC3）により，コントロール・モードを指定します。

図５－31　ポート３モード・レジスタ（PM3）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	0FF23H	FFH	R/W

PM3n	P3n端子入出力モード指定（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

図５－32　ポート３モード・コントロール・レジスタ（PMC3）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30	0FF43H	00H	R/W

PMC30	P30端子のコントロール・モード指定
0	入出力ポート・モード
1	RxD/SI1入力モード

PMC31	P31端子のコントロール・モード指定
0	入出力ポート・モード
1	TxD/SO1出力モード

PMC32	P32端子のコントロール・モード指定
0	入出力ポート・モード
1	$\overline{\text{SCK0}}$/SCL入出力モード

PMC33	P33端子のコントロール・モード指定
0	入出力ポート・モード
1	SO0/SDA出力モード

PMC3n	P3n端子のコントロール・モード指定（n = 4-7）
0	入出力ポート・モード
1	TOm出力モード（m = 0-3）

5.5.3　動作状態

ポート３は，入出力ポートで，各種コントロール端子を兼用しています。

（1）出力ポートに設定された場合

出力ラッチが有効となり，転送命令により出力ラッチとアキュームレータとの間でデータのやりとりを行います。また，出力ラッチの内容は，論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは，次に出力ラッチにデータを書き込む注まで保持されます。

注　ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

図５－33　出力ポート指定のポート

（２）入力ポートに設定された場合

ポート端子のレベルを，転送命令でアキュームレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で，転送命令などによりアキュームレータから転送されたデータは，ポートの入出力指定に関係なく，全出力ラッチにストアされます。ただし，入力ポートに指定されているビットの出力バッファは，ハイ・インピーダンス状態になっているため，ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき，出力ラッチの内容がポート端子に出力されます）。また，入力ポートに指定されているビットの出力ラッチの内容は，アキュームレータにロードすることはできません。

図５－34　入力ポート指定のポート

注意　ビット操作命令は，結果として操作するのは１ビットですが，ポートを８ビット単位でアクセスします。したがって，入出力やポート・モードとコントロール・モードが混在しているポートで，ビット操作命令を使用すると，入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます（SET1，CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。
また，その他の８ビット演算命令でポートを操作する場合も同様に注意が必要です。

（３）コントロール信号入出力に指定された場合

ポート３は，ポート３モード・コントロール・レジスタ（PMC3）のビットをセット（１）することにより，ポート３モード・レジスタ（PM3）の設定にかかわらず，１ビット単位にコントロール信号の入力あるいは出力として使用することができます。各端子をコントロール信号として使用する場合，ポートの読み出し命令を実行することにより，コントロール信号の状態をみることができます。

図５－35　コントロール指定の場合

（ａ）ポートがコントロール信号出力の場合

ポート３モード・レジスタ（PM3）がセット（１）されている場合，ポートの読み込み命令を実行すると，コントロール信号端子のレベルを読み込むことができます。

PM3がリセット（０）されている場合，ポートの読み込み命令を実行すると，μPD784038内のコントロール信号の状態を読み込むことができます。

備考　ポート３のビット２（P32）には，“ SCL ”という名前が当社製のアセンブラ・パッケージで予約語になっています。また，Cコンパイラでは＃pragma sfr指令で，bit型のsfr変数として定義されています。

（ｂ）ポートがコントロール信号入力の場合

ポート３モード・レジスタ（PM3）がセット（１）されている場合のみ，ポートの読み込み命令を実行すると，コントロール信号端子のレベルを読み込むことができます。

５.５.４　内蔵プルアップ抵抗

ポート３は，プルアップ抵抗を内蔵しています。プルアップが必要な場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）のPUO3とポート３モード・レジスタ（PM3）で，端子ごとに指定できます。PUO3が１のとき，PM3で入力を指定した（PM3n＝1，n＝0-7）端子の内蔵プルアップ抵抗が有効になります。

また，コントロール・モードに指定された端子でも，プルアップ抵抗を使用する指定は有効になります（コントロール・モード時に出力端子となる端子にも，プルアップ抵抗が接続されます）。したがって，コントロール・モード時にプルアップ抵抗を接続したくない場合には，PM3の対応するビットの内容を０（出力モード）にしてください。

図５－36　プルアップ抵抗オプション・レジスタ（PUO）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	PUO1	PUO0	0FF4EH	00H	R/W

PUO3	ポート３のプルアップ抵抗の指定
0	ポート３では使用しない
1	ポート３で使用する

備考　STOPモードに入る場合，消費電力を低減するために，PUOに00Hを設定することが有効です。

図５－37　プルアップの指定（ポート３）

5.6　ポート４

ポート４は，出力ラッチ付き８ビット入出力ポートです。ポート４モード・レジスタ（PM4）により，１ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。また，LEDをダイレクトにドライブ可能です。

また，外部メモリやI/Oを拡張するとき，メモリ拡張モード・レジスタ（MM）により時分割アドレス／データ・バス（AD0-AD7）として機能します。

なお，μPD784031の場合，P40-P47は使用できません。アドレス／データ・バス（AD0-AD7）としてのみ機能します。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス状態）になり，出力ラッチの内容は不定になります。

表５－７　ポート４の動作モード

MMのビット				動作モード
MM3	MM2	MM1	MM0	
0	0	0	0	ポート
0	0	1	1	アドレス／データ・バス（AD0-AD7）
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	

5.6.1　ハードウエア構成

図５－38に，ポート４のハードウエア構成を示します。

図５－38　ポート４のブロック図

５．６．２　入出力モード／コントロール・モードの設定

ポート４の入出力モードは，図５－39のように，端子ごとにポート４モード・レジスタ（PM4）により設定します。

ポート４をアドレス／データ・バスとして使用する場合は，表５－８のように，メモリ拡張モード・レジスタ（MM：**図23－１**参照）により設定します。

なお，μPD784031の場合は，アドレス／データ・バス（AD0-AD7）としてのみ機能します。

図５－39　ポート４モード・レジスタ（PM4）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	0FF24H	FFH	R/W

PM4n	P4n端子入出力モード指定（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

表５－８　ポート４の動作モード

MMのビット				動作モード
MM3	MM2	MM1	MM0	
0	0	0	0	ポート
0	0	1	1	アドレス／データ・バス（AD0-AD7）
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	

5.6.3　動作状態

ポート４は入出力ポートで，アドレス／データ・バス（AD0-AD7）と兼用しています。

（1）出力ポートに設定された場合

出力ラッチが有効となり，転送命令により出力ラッチとアキュームレータとの間でデータのやりとりを行います。また，出力ラッチの内容は，論理演算命令により自由にセットできます。一時出力ラッチに書き込まれたデータは，次に出力ラッチにデータを書き込む注まで保持されます。

注　ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

図５－40　出力ポート指定のポート

（２）入力ポートに指定された場合

ポート端子のレベルを，転送命令でアキュームレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で，転送命令などによりアキュームレータから転送されたデータは，ポートの入出力指定に関係なく，全出力ラッチにストアされます。ただし，入力ポートの指定されているビットの出力バッファはハイ・インピーダンス状態になっているため，ポート端子には出力されません（入力ポートの指定が出力ポートに切り替えられたとき，出力ラッチの内容が，ポート端子に出力されます）。また，入力ポートに指定されている場合，出力ラッチの内容は，アキュームレータにロードすることはできません。

図５－41　入力ポート指定のポート

注意　ビット操作命令は，結果として操作するのは１ビットですが，ポートを８ビット単位でアクセスします。したがって，入出力が混在しているポートでビット操作命令を使用すると，入力に指定されている端子の出力ラッチの内容は不定になってしまいます（SET1，CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。
また，その他の８ビット演算命令でポートを操作する場合も同様に注意が必要です。

（３）アドレス／データ・バス（AD0-AD7）の場合

外部アクセス時に，自動的に使用されます。

ポート４に対する入出力命令は，実行しないでください。

5.6.4　内蔵プルアップ抵抗

ポート４は，プルアップ抵抗を内蔵しています。プルアップが必要な場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）のPUO4とポート４モード・レジスタ（PM4）で端子ごとに指定できます。

PUO4が１のとき，ポート４に対してPM4で入力を指定した（PM4n＝1，n＝0-7）端子の内蔵プルアップ抵抗が有効になります。

図５－42　プルアップ抵抗オプション・レジスタ（PUO）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	PUO1	PUO0	0FF4EH	00H	R/W

PUO4	ポート４のプルアップ抵抗の指定
0	ポート４では使用しない
1	ポート４で使用する

注意　μPD784038でポート４をアドレス／データ・バスとして使用する場合，およびμPD784031の場合は，PUO4に必ず“０”を設定して内蔵プルアップ抵抗の接続を行わないようにしてください。

備考　STOPモードに入る場合，消費電力を低減するために，PUOに00Hを設定することが有効です。

図５－43　プルアップの指定（ポート４）

５．６．５　LEDのダイレクト・ドライブ

ポート４は，LEDをアクティブ・ロウでダイレクトにドライブできるように，出力バッファのロウ・レベル側のドライブ能力を強化してあります。図５－44にその使用例を示します。

図５－44　LEDのダイレクト・ドライブ例

５.７　ポート５

ポート５は，出力ラッチ付き８ビット入出力ポートです。ポート５モード・レジスタ（PM5）により，１ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。また，LEDをダイレクトにドライブ可能です。

また，外部メモリやI/Oを拡張するとき，P50-P57は，アドレス・バス（A8-A15）として機能します。

なお，μPD784031の場合，P50-P57は使用できません。アドレス・バス（A8-A15）としてのみ機能します。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス状態）になり，出力ラッチの内容は不定となります。

表５－９　ポート５の動作モード

<table>
<tr><th colspan="4">MMのビット</th><th colspan="8">動作モード</th></tr>
<tr><th>MM3</th><th>MM2</th><th>MM1</th><th>MM0</th><th>P50</th><th>P51</th><th>P52</th><th>P53</th><th>P54</th><th>P55</th><th>P56</th><th>P57</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td colspan="8" rowspan="2">ポート（P50-P57）</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>A8</td><td>A9</td><td colspan="6">ポート</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>A8</td><td>A9</td><td>A10</td><td>A11</td><td colspan="4">ポート</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>A8</td><td>A9</td><td>A10</td><td>A11</td><td>A12</td><td>A13</td><td colspan="2">ポート</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td rowspan="3">A8</td><td rowspan="3">A9</td><td rowspan="3">A10</td><td rowspan="3">A11</td><td rowspan="3">A12</td><td rowspan="3">A13</td><td rowspan="3">A14</td><td rowspan="3">A15</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td></tr>
</table>

5.7.1　ハードウエア構成

図５－45に，ポート５のハードウエア構成を示します。

図５－45　ポート５のブロック図

５.７.２　入出力モード／コントロール・モードの設定

ポート５の入出力モードは，図５－46のように，端子ごとにポート５モード・レジスタ（PM5）により設定します。

ポート５は，２ビット単位でポートまたはアドレス端子として使用でき，表５－10のように，メモリ拡張モード・レジスタ（MM：**図23－１**参照）により設定します。

なお，μPD784031の場合は，アドレス・バス（A8-A15）としてのみ機能します。

図５－46　ポート５モード・レジスタ（PM5）のフォーマット

表５－10　ポート５の動作モード

MMのビット				動作モード							
MM3	MM2	MM1	MM0	P50	P51	P52	P53	P54	P55	P56	P57
0	0	0	0	ポート（P50-P57）							
0	0	1	1								
0	1	0	0	A8	A9	ポート					
0	1	0	1	A8	A9	A10	A11	ポート			
0	1	1	0	A8	A9	A10	A11	A12	A13	ポート	
0	1	1	1	A8	A9	A10	A11	A12	A13	A14	A15
1	0	0	0								
1	0	0	1								

5.7.3　動作状態

ポート５は，入出力ポートで，アドレス・バス（A8-A15）を兼用しています。

（1）出力ポートに設定された場合

出力ラッチが有効となり，転送命令により出力ラッチとアキュームレータとの間でデータのやりとりを行います。また，出力ラッチの内容は，論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは，次に出力ラッチにデータを書き込む[注]まで保持されます。

注　ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

図５－47　出力ポート指定のポート

（２）入力ポートに指定された場合

ポート端子のレベルを，転送命令でアキュームレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で，転送命令などによりアキュームレータから転送されたデータは，ポートの入出力指定に関係なく，全出力ラッチにストアされます。ただし，入力ポートに指定されているビットの出力バッファは，ハイ・インピーダンス状態になっているため，ポート端子には出力されません（入力指定のビットが，出力ポートに切り替えられたとき，出力ラッチの内容が，ポート端子に出力されます）。また，入力ポートに指定されているビットの出力ラッチの内容は，アキュームレータにロードすることはできません。

図５－48　入力ポート指定のポート

注意　ビット操作命令は，結果として操作するのは１ビットですが，ポートを８ビット単位でアクセスします。したがって，入出力が混在しているポートで，ビット操作命令を使用すると，入力に指定されている端子の出力ラッチの内容は不定になってしまいます（SET1，CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。
また，その他の８ビット演算命令でポートを操作する場合も同様に注意が必要です。

（３）アドレス・バス（A8-A15）の場合

外部アドレス時に，自動的に使用されます。

5.7.4　内蔵プルアップ抵抗

ポート５は，プルアップ抵抗を内蔵しています。プルアップが必要な場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）のPUO5とポート５モード・レジスタ（PM5）で，端子ごとに指定できます。

PUO5が１のとき，ポート５に対してPM5で入力を指定した（PM5n＝1，n＝0-7）端子の内蔵プルアップ抵抗が有効になります。

図５－49　プルアップ抵抗オプション・レジスタ（PUO）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	PUO1	PUO0	0FF4EH	00H	R/W

PUO5	ポート５のプルアップ抵抗の指定
0	ポート５では使用しない
1	ポート５で使用する

注意　μPD784038でポート５をアドレス・バスとして使用する場合，およびμPD784031の場合は，PUO5に必ず“０”を設定して内蔵プルアップ抵抗の接続を行わないようにしてください。

備考　STOPモードに入る場合，消費電力を低減するために，PUOに00Hを設定することが有効です。

図５－50　プルアップの指定（ポート５）

5.7.5　LEDのダイレクト・ドライブ

ポート５は，LEDをアクティブ・ロウでダイレクトにドライブできるように出力バッファのロウ・レベル側のドライブ能力を強化してあります。図５－51に，その使用例を示します。

図５－51　LEDのダイレクト・ドライブ例

５.８　ポート６

・μPD784031の場合

P60-P63は出力専用ポート，P66，P67は出力ラッチ付き入出力ポートです。

P64-P67には，ソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。

ポートとしての機能以外に，表５－11のような各種コントロール信号端子としての機能を兼用しています。コントロール端子としての動作は，各機能の操作によって行います。

なお，P64，P65は使用できません。それぞれ$\overline{\text{RD}}$出力，$\overline{\text{WR}}$出力としてのみ機能します。

$\overline{\text{RESET}}$入力により，次のようになります。

・P60-P63　：ロウ・レベル

・P64，P65：ハイ・レベル

・P66，P67：入力ポート（出力ハイ・インピーダンス）

また，出力ラッチの内容は上位４ビットは不定に，下位４ビットは0Hになります。

・μPD784031以外の場合

ポート６は，出力ラッチ付き８ビット入出力ポートです。P60-P67には，ソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。

ポートとしての機能以外に，表５－11のような各種コントロール信号端子としての機能を兼用しています。コントロール端子としての動作は，各機能の操作によって行います。

$\overline{\text{RESET}}$入力により，P60-P67は入力ポート（出力ハイ・インピーダンス状態）になり，出力ラッチの内容は不定になります。

表５－11　ポート６の動作モード

端子名称	ポート・モード	コントロール信号入出力モード	コントロール端子として動作させるための操作
P60-P63注1	入出力ポート	A16-A19出力	MMのMM3-MM0 ビットにより２ビット単位で指定
P64注2		$\overline{\text{RD}}$出力	μPD784031の場合，またはMMのMM3-MM0ビットにより外部メモリ拡張モードを指定
P65注2		$\overline{\text{WR}}$出力	
P66		$\overline{\text{WAIT}}$入力	PWC1, PWC2のPWn1, PWn0ビット（n = 0-7）およびP66を入力モードにすることにより指定
		HLDRQ入力	HLDMのHLDEビットでバス・ホールドを許可
P67		HLDAK出力	
		$\overline{\text{REFRQ}}$出力	RFMのRFENビットをセット（１）

注１．μPD784031の場合は出力専用ポート。

２．μPD784031の場合は使用できません。

注意　μPD784031では，P60-P63は$\overline{\text{RESET}}$入力中は出力ハイ・インピーダンス状態ですが，$\overline{\text{RESET}}$解除後にロウ・レベルを出力します。したがって，初期状態としてロウ・レベルが出力されてもよいように外付け回路を設計してください。

備考　詳細は，第23章　ローカル・バス・インタフェース機能参照。

表５－12　P60-P65のコントロール端子指定

MMのビット				動作モード					
MM3	MM2	MM1	MM0	P60	P61	P62	P63	P64	P65
0	0	0	0	ポート（P60-P65）					
0	0	1	1						
0	1	0	0	ポート（P60-P63）				$\overline{RD}$	$\overline{WR}$
0	1	0	1						
0	1	1	0						
0	1	1	1						
1	0	0	0	A16	A17	ポート			
1	0	0	1	A16	A17	A18	A19		

（a）ポート・モード

・μPD784031の場合

コントロール・モードに指定されていない各ポートは，P66，P67は出力専用ポートになり，P66，P67はポート６モード・レジスタ（PM6）により，１ビット単位で入力／出力の指定ができます。

・μPD784031以外の場合

コントロール・モードに指定されていない各ポートは，ポート６モード・レジスタ（PM6）により１ビット単位で入力／出力の指定ができます。

（b）コントロール信号入出力モード

（ｉ）A16-A19（Address Bus）

外部メモリ空間拡張時（10000H-FFFFFH）の上位アドレス・バス出力端子です。

メモリ拡張モード・レジスタ（MM）により動作します。

（ii）$\overline{RD}$（Read Strobe）

外部メモリのリード動作のために出力されるストローブ信号出力端子です。メモリ拡張モード・レジスタ（MM）により動作します。

μPD784031の場合，常時，$\overline{RD}$端子として動作します。

（iii）$\overline{WR}$（Write Strobe）

外部メモリのライト動作のために出力されるストローブ信号出力端子です。メモリ拡張モード・レジスタ（MM）により動作します。

μPD784031の場合，常時，$\overline{WR}$端子として動作します。

（iv）$\overline{\text{WAIT}}$（Wait）

ウエイト信号の入力端子です。プログラマブル・ウエイト制御レジスタ（PWC1，PWC2）により動作します。

（ｖ）HLDRQ （Hold Request）

外部バスのバス・ホールド要求信号入力端子です。ホールド・モード・レジスタ（HLDM）により動作します。

（vi）HLDAK （Hold Acknowledge）

バス・ホールド・アクノリッジ信号出力端子です。ホールド・モード・レジスタ（HLDM）により動作します。

（vii）$\overline{\text{REFRQ}}$ （Refresh Request）

外部に疑似スタティック・メモリを接続した場合に，疑似スタティック・メモリへリフレッシュ・パルスを出力する端子です。リフレッシュ・モード・レジスタ（RFM）により動作します。

5.8.1　ハードウエア構成

図５－52- 図５－55に，ポート６のハードウエア構成を示します。

図５－52　P60-P63（ポート６）のブロック図

備考　μPD784031の場合，入力動作のための機能はありません。

図５－53　P64, P65（ポート６）のブロック図

図５－54　P66（ポート６）のブロック図

図５－55　P67（ポート６）のブロック図

5.8.2　入出力モード／コントロール・モードの設定

ポート６の入出力モードは，図５－56のように，ポート６モード・レジスタ（PM6）により設定します。

ポート６のコントロール端子として動作させるための操作は，表５－13に示します。

なお，μPD784031の場合は，P64は$\overline{RD}$信号の，P65は$\overline{WR}$信号の出力端子としてのみ機能します。

表５－13　ポート６の動作モード

端子名称	コントロール信号入出力モード	ポート・モード	コントロール端子として動作させるための操作
P60	A16	入出力ポート注	MMのMM3-MM0ビットにより外部メモリ拡張モードを指定（表５－14参照）
P61	A17		
P62	A18		
P63	A19		
P64	$\overline{RD}$	入出力ポート	μPD784031の場合，またはMMのMM3-MM0ビットにより外部メモリ拡張モードを指定（表５－14参照）
P65	$\overline{WR}$		
P66	$\overline{WAIT}$		PWC1，PWC2のPWn1，PWn0（n = 0-7）およびP66を入力モードにすることにより外部ウエイト入力を指定
	HLDRQ		HLDMのHLDEビットでバス・ホールドを許可
P67	HLDAK		
	$\overline{REFRQ}$		RFMのRFENビットをセット（１）

注　μPD784031の場合は出力専用ポート

表５－14　P60-P65のコントロール端子指定

MMのビット				動作モード					
MM3	MM2	MM1	MM0	P60	P61	P62	P63	P64	P65
0	0	0	0	ポート（P60-P65）					
0	0	1	1						
0	1	0	0	ポート（P60-P63）				$\overline{RD}$	$\overline{WR}$
0	1	0	1						
0	1	1	0						
0	1	1	1						
1	0	0	0	A16	A17	ポート			
1	0	0	1	A16	A17	A18	A19		

図５－56　ポート６モード・レジスタ（PM6）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	0FF26H	FFH	R/W

PM6n	P6n端子入出力モード指定（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

備考　μPD784031の場合，下位４ビット（P60-P63）は出力専用ポートです。

5.8.3　動作状態

ポート６は入出力ポートで，各種コントロール端子を兼用しています。

（1）出力ポートに指定された場合

出力ラッチが有効となり，転送命令により出力ラッチとアキュームレータとの間でデータのやりとりを行います。また，出力ラッチの内容は，論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは，次に出力ラッチにデータを書き込む注まで保持されます。

注　ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

図５－57　出力ポート指定のポート

（２）入力ポートに指定された場合

ポート端子のレベルを，転送命令でアキュームレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で，転送命令などによりアキュームレータから転送されたデータは，ポートの入出力指定に関係なく，全出力ラッチにストアされます。ただし，入力ポートに指定されているビットの出力バッファは，ハイ・インピーダンス状態になっているため，ポート端子には出力されません（入力指定のビットが，出力ポートに切り替えられたとき，出力ラッチの内容がポート端子に出力されます）。また，入力ポートに指定されているビットの出力ラッチの内容は，アキュームレータにロードすることはできません。

図５－58　入力ポート指定のポート

注意　ビット操作命令は，結果として操作するのは１ビットですが，ポートを８ビット単位でアクセスします。したがって，入出力やポート・モードとコントロール・モードが混在しているポートで，ビット操作命令を使用すると，入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます（SET1，CLR1 命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。
また，その他の８ビット演算命令でポートを操作する場合も同様に注意が必要です。

（３）コントロール端子の場合

ソフトウエアで操作することやテストすることはできません。

５．８．４　内蔵プルアップ抵抗

P60-P67（μPD784031の場合はP64-P67）は，プルアップ抵抗を内蔵しています。プルアップが必要な場合，これらの内蔵抵抗を利用すると，部品点数と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）のPUO6とポート６モード・レジスタ（PM6）で，端子ごとに指定できます。

PUO6が１のとき，PM6で入力を指定した（PM6n＝1，n＝0-7）端子の内蔵プルアップ抵抗が有効になります。

なお，μPD784031の場合，P60-P63はプルアップ抵抗を内蔵していません。

図５－59　プルアップ抵抗オプション・レジスタ（PUO）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	PUO1	PUO0	0FF4EH	00H	R/W

PUO6	ポート６のプルアップ抵抗の指定
0	ポート６では使用しない
1	ポート６で使用する

備考　STOPモードに入る場合，消費電力を低減するために，PUOに00Hを設定することが有効です。

図５－60　プルアップの指定（ポート６）

5.9　ポート７

ポート７は，８ビット入出力ポートです。入出力ポートとして動作する以外に，A/Dコンバータ用アナログ入力の端子（ANI0-ANI7）としても動作します。

ポート７モード・レジスタ（PM7）により，１ビット単位で入力／出力の指定ができます。

兼用端子の動作にかかわらず，常に端子レベルの読み込み，あるいはテストが可能です。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス状態）になり，出力ラッチの内容は不定になります。

5.9.1　ハードウエア構成

図５－61に，ポート７のハードウエア構成を示します。

図５－61　ポート７のブロック図

５．９．２　入出力モード／コントロール・モードの設定

ポート７の入出力モードは，図５－62のように端子ごとにポート７モード・レジスタ（PM7）により設定します。

入出力ポートとして動作する以外に，常時アナログ信号の入力ができるようになっています。モードの設定をする必要はありません。

なお，A/D変換動作の指定は，A/DコンバータのADMで行います（詳細は，**第14章　A/Dコンバータ**参照）。

図５－62　ポート７モード・レジスタ（PM7）のフォーマット

5.9.3　動作状態

ポート７は，入出力ポートで，A/Dコンバータ用アナログ入力端子（ANI0-ANI7）を兼用しています。

（1）出力ポートに設定された場合

出力ラッチが有効となり，転送命令により出力ラッチとアキュームレータとの間でデータのやりとりを行います。また，出力ラッチの内容は，論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは，次に出力ラッチにデータを書き込む注まで保持されます。

注　ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

図５－63　出力ポート指定のポート

（2）入力ポートに設定された場合

ポート端子のレベルを，転送命令でアキュームレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で，転送命令などによりアキュームレータから転送されたデータは，ポートの入出力指定に関係なく，全出力ラッチにストアされます。ただし，入力ポートに指定されているビットの出力バッファは，ハイ・インピーダンス状態になっているため，ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき，出力ラッチの内容がポート端子に出力されます）。また，入力ポートに指定されているビットの出力ラッチの内容は，アキュームレータにロードすることはできません。

図５－64　入力ポート指定のポート

注意　ビット操作命令は，結果として操作するのは１ビットですが，ポートを８ビット単位でアクセスします。したがって，入出力が混在しているポートで，ビット操作命令を使用すると，入力に指定されている端子の出力ラッチの内容は不定になってしまいます（SET1，CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。
また，その他の８ビット演算命令でポートを操作する場合も同様に注意が必要です。

5.9.4　内蔵プルアップ抵抗

ポート７は，プルアップ抵抗を内蔵していません。

5.9.5　注意事項

P70-P77をANI0-ANI7として使用している端子にAV_{SS}-AV_{REF1}の範囲外の電圧を印加しないでください。
詳細については，第14章　A/Dコンバータ　14.5　注意事項を参照してください。

5.10　ポート出力チェック機能

μPD784038は，応用システムの信頼性を向上させるために，出力ポートの端子レベルを読み込み，テストするための機能を持っています。したがって，必要に応じて出力データと実際の端子の状態をチェックできます。もし不一致ならば，他のシステムと置き換えるなどの対策を行うことができます。

ポートの状態をチェックするための専用命令としてCHKL，CHKLA命令を用意しています。これらの命令は，端子の状態と出力ラッチの内容（ポート・モード時），または端子状態と内部のコントロール出力信号のレベル（コントロール・モード時）を排他的論理和をとることで比較します。

例　CHKL命令，CHKLA命令を使用して，端子の状態と出力ラッチの内容をチェックするプログラム例を次に示します。

```
TEST:   SET1    P0.3          ；ポート０のビット３をセット
        CHKL    P0            ；ポート０をチェック
        BNE     $ERR1         ；出力ラッチの内容と不一致ならエラー処理（ERR1）へ分岐
            •
            •
            •
ERR1:   CHKLA   P0            ；不良ビットのチェック
        BT      A.7,$BIT07    ；ビット７？
        BT      A.6,$BIT06    ；ビット６？
            •
            •
            •
        BT      A.1, $BIT01   ；ビット１？
        BR      $BIT00        ；どのビットでもなければビット０が不良
```

注意１．各ポートを入力モードにしている場合には，ポートの各端子がポート端子，コントロール端子のどちらに指定されていても，CHKLまたはCHKLA命令を使用して端子状態と出力ラッチの内容（またはコントロール出力レベル）を比較すると必ず一致します。
したがって，入力モードに設定しているポートにこれらの命令を実行しても実質的に無効です。

２．１つのポート内で，コントロール出力とポート出力を混在して使用しているポートの出力レベルをCHKLまたはCHKLA 命令でチェックする場合には，コントロール出力端子の入出力モードを入力モードに設定してからこれらの命令を実行してください（コントロール出力は非同期に出力レベルが変化するため，CHKLまたはCHKLA命令による出力レベルのチェックはできません）。

注意３．ポート２は入力専用ポートのため，CHKLまたはCHKLA命令を使用して端子状態と出力ラッチの内容を比較すると必ず一致します。したがって，ポート２にこれらの命令を実行しても実質的に無効です。

５.11　注意事項

（１）すべてのポート端子は$\overline{\text{RESET}}$信号が入力されるとハイ・インピーダンスになります（内蔵プルアップ抵抗も端子から切り離されます）。

$\overline{\text{RESET}}$入力中に端子がハイ・インピーダンスとなって困る場合は，外付けの回路で対策を行ってください。

（２）内蔵プルアップ抵抗の接続を設定するプルアップ抵抗オプション・レジスタ（PUO）のビット７は０固定ですが，インサーキット・エミュレータではPUOのビット７には１を書き込むと，１が読み出せるようになっています。

（３）出力ラッチの内容は$\overline{\text{RESET}}$入力によっても初期化されません。出力ポートとして使用する場合は，必ず出力バッファをオンする前に，出力ラッチを初期化してください。出力バッファをオンする前に出力ラッチを初期化していないと出力ポートに予期しないデータが出力されます。

また同様に，コントロール端子として使用する端子は，必ず内部周辺ハードウエアの初期化を行ってからコントロール端子への指定を行ってください。

（４）P22-P26は，リセット直後にプルアップされないため，兼用端子（INTP1-INTP5）機能によって割り込み要求フラグがセットされることがあります。したがって，初期化ルーチンでプルアップを指定してから，割り込み要求フラグをクリアしてください。

（５）μPD784038で，P40-P47 ，P50-P57をそれぞれアドレス／データ・バス，アドレス・バスとして使用する場合，およびμPD784031の場合は，プルアップ抵抗オプション・レジスタ（PUO）のPUO4，PUO5ビットを必ず“ ０ ”に設定して内蔵プルアップ抵抗の接続を行わないようにしてください。

（６）μPD784031では，P60-P63は$\overline{\text{RESET}}$入力中は出力ハイ・インピーダンス状態ですが，$\overline{\text{RESET}}$解除後にロウ・レベルを出力します。したがって，初期状態としてロウ・レベルが出力されてもよいように外付け回路を設計してください。

（７）P70-P77 をANI0-ANI7として使用している端子にAV_{SS}-AV_{REF1}の範囲外の電圧を印加しないでください。

詳細については**第14章　A/D コンバータ　14.５　注意事項**を参照してください。

（８）ビット操作命令は，結果として操作するのは１ビットですが，ポートを８ビット単位でアクセスします。したがって，入出力やポート・モードとコントロール・モードが混在しているポートで，ビット操作命令を使用すると，入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます（SET1，CLR1 命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

　また，その他の８ビット演算命令でポートを操作する場合も同様に注意が必要です。

（９）各ポートを入力モードに設定している場合には，ポートの各端子がポート端子，コントロール端子のどちらに指定されていても，CHKLまたはCHKLA命令を使用して端子状態と出力ラッチの内容（またはコントロール出力レベル）を比較すると必ず一致します。したがって，入力モードに設定しているポートにこれらの命令を実行しても実質的に無効です。

（10）１つのポート内で，コントロール出力とポート出力を混在して使用しているポートの出力レベルをCHKLまたはCHKLA命令でチェックする場合には，コントロール出力端子の入出力モードを入力モードに設定してからこれらの命令を実行してください（コントロール出力は非同期に出力レベルが変化するため，CHKLまたはCHKLA命令による出力レベルのチェックはできません）。

（11）ポート２は入力専用ポートのため，CHKLまたはCHKLA命令を使用して端子状態と出力ラッチの内容を比較すると必ず一致します。したがって，ポート２にこれらの命令を実行しても実質的に無効です。

第６章　リアルタイム出力機能

６.１　構成と機能

リアルタイム出力機能は，図６－１に示すようにポート０とポート０バッファ・レジスタ（P0H，P0L）を中心とするハードウエアによって実現されます。

P0H，P0Lにあらかじめ用意しておいたデータをタイマ／カウンタ１からの割り込み，または外部割り込みの発生と同時にハードウエアにより出力ラッチに転送し，外部に出力することをリアルタイム出力機能といいます。また，外部へ出力する端子をリアルタイム出力ポートと呼びます。

リアルタイム出力データとして次の２種が扱えます。

- ４ビット×２チャネル
- ８ビット×１チャネル

リアルタイム出力機能と後述するマクロ・サービス機能を組み合わせることによって，ソフトウエアの介在なしにプログラマブルなタイミングを持ったパターン・ジェネレータの機能を実現します。

たとえば，ステッピング・モータの制御に最適です。

図６－１に，リアルタイム出力ポートのブロック図を示します。

図６－１　リアルタイム出力ポートのブロック図

６.２　リアルタイム出力ポート・コントロール・レジスタ（RTPC）

RTPCはポート０の機能を指定する８ビット・レジスタです。

８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。図６－２に，RTPCのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図６－２　リアルタイム出力ポート・コントロール・レジスタ（RTPC）のフォーマット

	7	6	5	④	3	2	1	⓪	アドレス	リセット時	R/W
RTPC	BYTE	0	0	P0MH	EXTR	0	TRGP0	P0ML	0FF2EH	00H	R/W

P0ML	P00-P03の機能指定
0	ポート・モード
1	リアルタイム出力ポート・モード

EXTR	TRGP0	INTP0によるP0H, P0Lから出力ラッチへのデータ転送の許可	
0	0	許可しない（INTC10によってのみ，データ転送）	
1	0	INTP0またはINTC10のいずれかで転送	許可する ・BYTE = 0：P0Lのみ転送される ・BYTE = 1：P0L/P0Hが転送される
1	1	INTP0でのみ転送	
0	1	設定禁止	

P0MH	P04-P07の機能指定
0	ポート・モード
1	リアルタイム出力ポート・モード

BYTE	リアルタイム出力ポートの動作モード
0	４ビット・セパレート・リアルタイム出力ポート
1	８ビット・リアルタイム出力ポート

注意　P0ML, P0MHビットをセット（１）すると，ポート０モード・レジスタ（PM0）の内容にかかわらず，該当するポートの出力バッファがオンとなり，ポート０出力ラッチの内容が出力されます。したがって，リアルタイム出力ポートとして指定する前に，出力ラッチの内容を初期化してください。

６.３　リアルタイム出力ポートのアクセス

ポート０バッファ・レジスタ（P0H，P0L）は図６－３に示すようにSFR領域内でそれぞれ独立したアドレスにマッピングされています。

４ビット×２チャネルのリアルタイム出力機能を指定した場合，P0H，P0Lはそれぞれ独立にデータをセットすることができます。

８ビット×１チャネルのリアルタイム出力機能を指定した場合は，P0H，P0Lのどちらか一方に８ビット・データを書き込むことによって，P0H，P0Lそれぞれにデータをセットすることができます。

表６－１に，ポート０とP0H，P0Lに対する操作時の動作を示します。

図６－３　ポート０バッファ・レジスタ（P0H，P0L）の構成

	上位４ビット	下位４ビット
0FF0EH		P0L
0FF0FH	P0H	

表６－１　ポート０とポート０バッファ・レジスタ（P0H，P0L）に対する操作時の動作

動作モード	レジスタ	リード動作		ライト動作	
		上位４ビット	下位４ビット	上位４ビット	下位４ビット
８ビット・ポート・モード	P0	出力ラッチ		出力ラッチ	
	P0L	バッファ・レジスタ注		－	バッファ・レジスタ
	P0H	バッファ・レジスタ注		バッファ・レジスタ	－
８ビット・リアルタイム出力ポート・モード	P0	出力ラッチ		－	
	P0L	バッファ・レジスタ		バッファ・レジスタ	
	P0H	バッファ・レジスタ		バッファ・レジスタ	
４ビット・セパレート・リアルタイム出力ポート・モード	P0	出力ラッチ		－	
	P0L	バッファ・レジスタ注		－	バッファ・レジスタ
	P0H	バッファ・レジスタ注		バッファ・レジスタ	－
P00-P03：ポート P04-P07：リアルタイム出力ポート・モード	P0	出力ラッチ		－	出力ラッチ
	P0L	バッファ・レジスタ注		－	バッファ・レジスタ
	P0H	バッファ・レジスタ注		バッファ・レジスタ	－
P00-P03：リアルタイム出力ポート・モード P04-P07：ポート	P0	出力ラッチ		出力ラッチ	－
	P0L	バッファ・レジスタ注		－	バッファ・レジスタ
	P0H	バッファ・レジスタ注		バッファ・レジスタ	－

注　上位４ビットにはP0Hの内容が，下位４ビットにはP0Lの内容がそれぞれ読み出されます。

備考　－：出力ラッチおよびポート０バッファ・レジスタに影響を与えません。

〈ポート０バッファ・レジスタへのデータ設定の例〉

・４ビット×２チャネル動作の場合

```
MOV P0L, #05H  ；P0Lに0101Bをセット
MOV P0H, #0C0H ；P0Hに1100Bをセット
```

・８ビット×１チャネル動作の場合

```
MOV P0L, #0C5H ；P0Lに0101B，P0Hに1100Bをセット
```

または

```
MOV P0H, #0C5H
```

出力ラッチに転送するタイミングは，次の３つのソースで決定できます。

・タイマ／カウンタ１からの割り込み（INTC10またはINTC11）
・INTP0外部割り込み

６.４　動　　作

ポート０の機能をリアルタイム出力ポートに指定すると，表６－２に示すトリガ条件の発生に同期してポート０バッファ・レジスタ（P0H，P0L）の内容が出力ラッチに取り込まれ，ポート０の端子に出力されます。

たとえば，出力トリガの発生源としてタイマ／カウンタ１のタイマ・レジスタ１（TM1）とコンペア・レジスタ（CR10，CR11）との一致信号（INTC10，INTC11）を選択します。そのとき，CR10，CR11にあらかじめ設定した値をインターバルとするタイミングでポート０端子の出力データをP0H，P0Lの値に変化させることができます。このリアルタイム出力ポート機能とマクロ・サービス機能を組み合わせることによって，ポート０出力端子の出力データを任意のインターバル時間で順次変化させることができます（**22.８　マクロ・サービス機能**参照）。

また，出力トリガの発生源として外部割り込み端子（INTP0）を選択すれば外部イベントに同期したポート０出力を得ることができます。

表６－２　リアルタイム出力ポートの出力トリガ（P0MH = P0ML = １の場合）

RTPC			出力モード	P0H	P0L
BYTE	EXTR	TRGP0			
0	0	0	４ビット・リアルタイム出力	INTC11	INTC10
0	1	0		INTC11	INTC10またはINTP0
0	1	1		INTC11	INTP0
1	0	0	８ビット・リアルタイム出力	INTC10	
1	1	0		INTC10またはINTP0	
1	1	1		INTP0	

図６－４　リアルタイム出力ポートの動作タイミング

ソフトウエア処理またはマクロ・サービス（22.8　マクロ・サービス機能参照）によるポート０バッファ・レジスタおよびコンペア・レジスタの書き換え

図６－５　リアルタイム出力ポートの動作タイミング（2ch独立制御の例）

ソフトウエア処理またはマクロ・サービス（22.8　マクロ・サービス機能参照）による
ポート０バッファ・レジスタおよびコンペア・レジスタの書き換え

6.5　使 用 例

P00-P03を４ビット・リアルタイム出力ポートとして使用する場合を示します。

タイマ／カウンタ１のタイマ・レジスタ１（TM1）とコンペア・レジスタ（CR10）の内容が一致するごとに，ポート０バッファ・レジスタ（P0L）の内容がP00-P03へ出力されます。このときに同時に発生する割り込み処理ルーチン中で，次に出力するデータの設定と，次に出力を変化させるタイミングを設定します（**図６－６**参照）。

なお，タイマ／カウンタ１の使用方法については，**第９章　タイマ／カウンタ１**を参照してください。

図６－７に制御レジスタの設定内容，図６－８にその設定手順，図６－９に割り込み処理ルーチン内での処理を示します。

図６－６　リアルタイム出力ポートの動作タイミング

図６－７　リアルタイム出力機能の制御レジスタの設定内容

図６－８　リアルタイム出力機能の設定手順

図６－９　リアルタイム出力機能使用時の割り込み要求処理

６.６　注意事項

（１）P0ML, P0MHビットをセット（１）すると，ポート０モード・レジスタ（PM0）の内容にかかわらず，該当するポートの出力バッファがオンとなり，ポート０出力ラッチの内容が出力されます。したがって，リアルタイム出力ポートとして指定する前に，出力ラッチの内容を初期化してください。

（２）リアルタイム出力ポートとして指定された場合，ソフトウエアで出力ラッチに直接値を書くことはできなくなります。したがって，リアルタイム出力ポートとして使用することを指定する前に，ソフトウエアで出力ラッチの初期値を設定する必要があります。

　また，リアルタイム出力ポートとして使用中に，出力データを強制的に固定値にする必要が生じた場合には，リアルタイム出力ポート・コントロール・レジスタ（RTPC）を操作して，通常の出力ポートに変更してから出力ラッチに出力したい値を書き込むようにしてください。

第７章　タイマ／カウンタの概説

μPD784038は，タイマ／カウンタを３ユニット，タイマを１ユニット内蔵しています。

また，計７つの割り込み要求をサポートしていますので，７ユニットのタイマ／カウンタとして機能させることができます。

表７－１　タイマ／カウンタの動作

項　目 ＼ 名　称		タイマ／カウンタ０	タイマ／カウンタ１	タイマ／カウンタ２	タイマ３
カウント幅	８ビット	－	○	○	○
	16ビット	○	○	○	○
動作モード	インターバル・タイマ	2ch	2ch	2ch	1ch
	外部イベント・カウンタ	○	○	○	－
	ワンショット・タイマ	－	－	○	－
機　　能	タイマ出力	2ch	－	2ch	－
	トグル出力	○	－	○	－
	PWM/PPG出力	○	－	○	－
	ワンショット・パルス出力注	○	－	－	－
	リアルタイム出力	－	○	－	－
	パルス幅測定	１入力	１入力	２入力	－
	割り込み要求数	2	2	2	1

注　ワンショット・パルス出力機能とは，ソフトウエアによりパルス出力レベルをアクティブにし，ハードウエア（割り込み要求信号）によりインアクティブにする機能です。

この機能は，タイマ／カウンタ２のワンショット・タイマ機能とは性質が異なります。

図７－１　タイマ／カウンタのブロック図

タイマ／カウンタ０

タイマ／カウンタ１

タイマ／カウンタ２

タイマ３

備考　OVF：オーバフロー・フラグ

第８章　タイマ／カウンタ０

8.1　機　　能

タイマ／カウンタ０は，16ビットのタイマ／カウンタです。

インターバル・タイマ，プログラマブル矩形波出力，パルス幅測定，イベント・カウンタのような基本機能のほかに，次のような機能として使うことができます。

・PWM出力
・周期測定
・ソフト・トリガド・ワンショット・パルス出力

（1）インターバル・タイマ

あらかじめ設定したインターバルで内部割り込みを発生します。

表８－１　タイマ／カウンタ０のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
8/fxx （0.25 μs）	2^{16}×8/fxx （16.40 ms）	8/fxx （0.25 μs）
16/fxx （0.50 μs）	2^{16}×16/fxx （32.80 ms）	16/fxx （0.50 μs）
32/fxx （1.00 μs）	2^{16}×32/fxx （65.50 ms）	32/fxx （1.00 μs）
64/fxx （2.00 μs）	2^{16}×64/fxx （131 ms）	64/fxx （2.00 μs）
128/fxx （4.00 μs）	2^{16}×128/fxx （262 ms）	128/fxx （4.00 μs）
256/fxx （8.00 μs）	2^{16}×256/fxx （524 ms）	256/fxx （8.00 μs）
512/fxx （16.00 μs）	2^{16}×512/fxx （1.05 s）	512/fxx （16.00 μs）
1024/fxx （32.00 μs）	2^{16}×1024/fxx （2.10 s）	1024/fxx （32.00 μs）
2048/fxx （64.00 μs）	2^{16}×2048/fxx （4.19 s）	2048/fxx （64.00 μs）

（　）内はfxx = 32 MHzの場合

（２）プログラマブル矩形波出力

タイマ出力端子（TO0, TO1）にそれぞれ独立に矩形波を出力します。

表８－２　タイマ／カウンタ０のプログラマブル矩形波出力設定範囲

最小パルス幅	最大パルス幅
8/fxx （0.25 μs）	2^{16}×8/fxx （16.40 ms）
16/fxx （0.50 μs）	2^{16}×16/fxx （32.80 ms）
32/fxx （1.00 μs）	2^{16}×32/fxx （65.50 ms）
64/fxx （2.00 μs）	2^{16}×64/fxx （131 ms）
128/fxx （4.00 μs）	2^{16}×128/fxx （262 ms）
256/fxx （8.00 μs）	2^{16}×256/fxx （524 ms）
512/fxx （16.00 μs）	2^{16}×512/fxx （1.05 s）
1024/fxx （32.00 μs）	2^{16}×1024/fxx （2.10 s）
2048/fxx （64.00 μs）	2^{16}×2048/fxx （4.19 s）

（　）内はfxx = 32 MHzの場合

（３）パルス幅測定

外部割り込み要求入力端子（INTP3）へ入力される信号のパルス幅を検出します。

表８－３　タイマ／カウンタ０のパルス幅測定範囲

測定可能なパルス幅[注]			分解能
$8/f_{XX}$	－	$2^{16}\times 8/f_{XX}$	$8/f_{XX}$
（0.25 μs）		（16.40 ms）	（0.25 μs）
$16/f_{XX}$	－	$2^{16}\times 16/f_{XX}$	$16/f_{XX}$
（0.50 μs）		（32.80 ms）	（0.50 μs）
$32/f_{XX}$	－	$2^{16}\times 32/f_{XX}$	$32/f_{XX}$
（1.00 μs）		（65.50 ms）	（1.00 μs）
$64/f_{XX}$	－	$2^{16}\times 64/f_{XX}$	$64/f_{XX}$
（2.00 μs）		（131 ms）	（2.00 μs）
$128/f_{XX}$	－	$2^{16}\times 128/f_{XX}$	$128/f_{XX}$
（4.00 μs）		（262 ms）	（4.00 μs）
$256/f_{XX}$	－	$2^{16}\times 256/f_{XX}$	$256/f_{XX}$
（8.00 μs）		（524 ms）	（8.00 μs）
$512/f_{XX}$	－	$2^{16}\times 512/f_{XX}$	$512/f_{XX}$
（16.00 μs）		（1.05 s）	（16.00 μs）
$1024/f_{XX}$	－	$2^{16}\times 1024/f_{XX}$	$1024/f_{XX}$
（32.00 μs）		（2.10 s）	（32.00 μs）
$2048/f_{XX}$	－	$2^{16}\times 2048/f_{XX}$	$2048/f_{XX}$
（64.00 μs）		（4.19 s）	（64.00 μs）

（　）内はf_{XX} = 32 MHzの場合

注　測定可能な最小パルス幅は，選択したf_{CLK}の値により異なります。
測定可能な最小パルス幅は，$4/f_{CLK}$の値と表中の値のいずれか大きい方になります。

（４）ソフト・トリガド・ワンショット・パルス出力

ソフトウエアによりパルス出力レベルをアクティブに，また，ハードウエア（割り込み要求信号）によりパルス出力レベルをインアクティブにするワンショット・パルス出力機能です。タイマ出力端子（TO0，TO1）に対して独立に制御することができます。

注意　ソフト・トリガド・ワンショット・パルス出力機能は，タイマ／カウンタ２のワンショット・タイマ機能とは性質が異なります。

（５）外部イベント・カウンタ

外部割り込み要求入力端子（INTP3）から入力されるクロック・パルスをカウントします。

表８－４に，タイマ／カウンタ０に入力可能なクロックを示します。

表８－４　タイマ／カウンタ０のパルス幅測定時間

	片エッジをカウントする場合	両エッジをカウントする場合
最大周波数	$f_{CLK}/8$（2.00 MHz）	$f_{CLK}/8$（2.00 MHz）
最小パルス幅 （ハイおよびロウ・レベル）	$4/f_{CLK}$（0.25 μs）	$4/f_{CLK}$（0.25 μs）

（　）内はf_{CLK} = 16 MHzの場合

8.2　構　　成

タイマ／カウンタ０は，次のレジスタから構成されています。

- タイマ・レジスタ（TM0）×１
- コンペア・レジスタ（CR00，CR01）×２
- キャプチャ・レジスタ（CR02）×１

図８－１に，タイマ／カウンタ０のブロック図を示します。

図8－1　タイマ／カウンタ0のブロック図

（1）タイマ・レジスタ０（TM0）

TM0は，プリスケーラ・モード・レジスタ０（PRM0）の下位４ビットで指定されるカウント・クロックでアップカウントするタイマ・レジスタです。

タイマ・コントロール・レジスタ０（TMC0）によってカウント動作の停止，許可ができます。

16ビット操作命令で読み出しのみが可能です。$\overline{\text{RESET}}$入力により，TM0は0000Hにクリアされ，カウントは停止します。

注意　表８－５の“×”の条件でタイマ・レジスタを読み込むと，読み込み値が不正になる場合があります。“×”の条件では，タイマ・レジスタを読み込まないでください。

表８－５　タイマ・レジスタ読み込み制限条件

（○：読み出し可能，×：読み出し禁止）

タイマ・カウント・クロック ＼ f_{CLK}	$f_{XX}/2$	$f_{XX}/4$	$f_{XX}/8$	$f_{XX}/16$
$f_{XX}/8$	○	○	×	×
$f_{XX}/16$	○	○	○	×
f_{XX}/n	○	○	○	○

備考１． f_{XX}　：発振周波数

２． f_{CLK}　：内部システム・クロック周波数

３． n = 32, 64, 128, 256, 512, 1024, 2048

（2）コンペア・レジスタ（CR00，CR01）

CR00，CR01は，インターバル・タイマの周期を決める値を保持する16ビット・レジスタです。

CR00，CR01の内容がTM0の内容と一致すると，割り込み要求（INTC00，INTC01）およびタイマ出力の制御信号を発生します。また，内容一致（CR01）によるカウント値のクリア動作もできます。

16ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

（3）キャプチャ・レジスタ（CR02）

CR02は，TM0の内容をキャプチャする16ビット・レジスタです。

キャプチャ動作は，外部割り込み要求入力端子（INTP3）の有効エッジ入力（キャプチャ・トリガ）に同期します。次のキャプチャ・トリガが発生するまでCR02の内容は保持されます。

16ビット操作命令で読み出しのみ可能です。$\overline{\text{RESET}}$入力により0000Hとなります。

（4）エッジ検出回路

エッジ検出回路は，外部入力の有効エッジを検出します。

INTP3端子入力で外部割り込みモード・レジスタ１（INTM1）により設定された有効エッジを検出して，外部割り込み要求（INTP3）とキャプチャ・トリガおよび外部イベントのカウント・クロックを発生します（INTM1については**図21－２**参照）。

（５）出力制御回路

コンペア・レジスタ（CR00，CR01）の内容とタイマ・レジスタ０（TM0）の内容が一致すると，タイマ出力を反転することができます。タイマ出力コントロール・レジスタ（TOC）の下位４ビットの設定でタイマ出力端子（TO0，TO1）から矩形波を出力することができます。このときキャプチャ／コンペア・コントロール・レジスタ０（CRC0）の指定により，PWM出力やPPG出力もできます。

さらにソフトウエア・トリガによるワンショット・パルスの出力も可能です。

また，TOCによってタイマ出力の禁止／許可ができます。タイマ出力の禁止状態ではTO0，TO1端子には固定レベルが出力されます（出力レベルはTOCにより設定）。

（６）プリスケーラ

カウント・クロックを内部システム・クロックから生成します。このプリスケーラで生成されたクロックをセレクタで選択し，カウント・クロックとしてタイマ・レジスタ０（TM0）はカウント動作を行います。

（７）セレクタ

タイマ・レジスタ０（TM0）のカウント・クロックとして内部クロックを分周した信号またはエッジ検出回路で検出されたエッジから選択します。

８.３　タイマ／カウンタ０制御レジスタ

（１）タイマ・コントロール・レジスタ０（TMC0）

TMC0は，下位４ビットでタイマ／カウンタ０のTM0のカウント動作を制御します（上位４ビットはタイマ３のTM3/TM3Wのカウント動作を制御します）。

８ビット操作命令およびビット操作命令で読み出し／書き込みが可能です。図８－２に，TMC0のフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図８－２　タイマ・コントロール・レジスタ０（TMC0）のフォーマット

備考　OVF0ビットはソフトウエアでのみリセットされます。

（２）プリスケーラ・モード・レジスタ０（PRM0）

PRM0は，下位４ビットでタイマ／カウンタ０のTM0のカウント・クロックを指定します（上位４ビットはタイマ３のTM3/TM3Wのカウント・クロックを指定します）。

８ビット操作命令で読み出し／書き込みが可能です。図８－３に，PRM0のフォーマットを示します。

$\overline{\text{RESET}}$入力により11Hになります。

図８－３　プリスケーラ・モード・レジスタ０（PRM0）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PRM0	PRS3	PRS2	PRS1	PRS0	PRS03	PRS02	PRS01	PRS00	0FF5CH	11H	R/W

（f_{XX} = 32 MHz）

PRS03	PRS02	PRS01	PRS00	タイマ／カウンタ０のTM0のカウント・クロック指定	
				カウント・クロック［Hz］の指定	分解能［μs］
0	0	0	0	設定禁止	－
0	0	0	1	f_{XX}/8	0.25
0	0	1	0	f_{XX}/16	0.50
0	0	1	1	f_{XX}/32	1.00
0	1	0	0	f_{XX}/64	2.00
0	1	0	1	f_{XX}/128	4.00
0	1	1	0	f_{XX}/256	8.00
0	1	1	1	f_{XX}/512	16.00
1	0	0	0	f_{XX}/1024	32.00
1	0	0	1	f_{XX}/2048	64.00
1	1	1	1	外部クロック（INTP3）	－
上記以外				設定禁止	

タイマ３のTM3/TM3Wのカウント・クロックを指定します（図11－３参照）。

備考　f_{XX}：X1入力周波数，または発振周波数

（３）キャプチャ／コンペア・コントロール・レジスタ０（CRC0）

CRC0は，コンペア・レジスタ（CR01）の内容とタイマ・レジスタ０（TM0）のカウンタ値との一致信号によるTM0のクリア動作の許可条件や，タイマ出力（TO0，TO1）モードを指定するレジスタです。

８ビット操作命令で読み出し／書き込みが可能です。図８－４に，CRC0のフォーマットを示します。

$\overline{\text{RESET}}$入力により10Hになります。

図８－４　キャプチャ／コンペア・コントロール・レジスタ０（CRC0）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CRC0	MOD1	MOD0	0	1	CLR01	0	0	0	0FF30H	10H	R/W

MOD1	MOD0	CLR01	タイマ出力モード指定		TM0 = CR01時の
			TO0	TO1	TM0のクリア動作
0	0	0	トグル出力	トグル出力	禁　止
0	0	1	トグル出力	トグル出力	許　可
0	1	0	PWM出力	トグル出力	禁　止
0	1	1	設定禁止		
1	0	0	PWM出力	PWM出力	禁　止
1	0	1	設定禁止		
1	1	0	設定禁止		
1	1	1	PPG出力	トグル出力	許　可

（４）タイマ出力コントロール・レジスタ（TOC）

TOCは，タイマ出力のアクティブ・レベルと出力許可／禁止を制御する８ビット・レジスタです。

下位４ビットでタイマ／カウンタ０によるタイマ出力端子（TO0，TO1）の動作を制御します（上位４ビットはタイマ／カウンタ２によるタイマ出力端子（TO2，TO3）の動作を制御します）。

８ビット操作命令およびビット操作命令で書き込み／読み出しが可能です。図８－５に，TOCのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図８－５　タイマ出力コントロール・レジスタ（TOC）のフォーマット

（５）ワンショット・パルス出力制御レジスタ（OSPC）

OSPCは，ソフトウエア・トリガによるワンショット・パルス出力の禁止／許可および出力レベルなどを指定する８ビット・レジスタです。

８ビット操作命令およびビット操作命令で，読み出し／書き込みが可能です。

図８－６に，OSPCのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図８－６　ワンショット・パルス出力制御レジスタ（OSPC）のフォーマット

	⑦	⑥	5	4	③	②	1	0	アドレス	リセット時	R/W
OSPC	ST1	RT1	0	OS1	ST0	RT0	0	OS0	0FF7DH	00H	R/W

OS0	TO0パルス出力の種類選択
0	トグル出力，PWM出力，PPG出力を選択
1	ソフト・トリガド・ワンショット・パルス選択

ST0	RT0	TO0出力の制御
0	0	出力を変化させない
0	1	TO0にインアクティブ・レベルを出力
1	0	TO0にアクティブ・レベルを出力
1	1	設定禁止

OS1	TO1パルス出力の種類選択
0	トグル出力，PWM出力，PPG出力を選択
1	ソフト・トリガド・ワンショット・パルス選択

ST1	RT1	TO1出力の制御
0	0	出力を変化させない
0	1	TO1にインアクティブ・レベルを出力
1	0	TO1にアクティブ・レベルを出力
1	1	設定禁止

備考１． RT0，ST0，RT1，ST1の各ビットは書き込みのみが可能で，読み出し時は“０”になります。

２． 端子からのパルス出力の禁止／許可およびアクティブ・レベルの指定は，タイマ出力制御レジスタ（TOC）で行います。

８.４　タイマ・レジスタ０（TM0）の動作

８.４.１　基本動作

タイマ／カウンタ０のカウント動作は，プリスケーラ・モード・レジスタ０（PRM0）の下位４ビットで指定されるカウント・クロックによりカウントアップします。

カウント動作の禁止／許可は，タイマ・コントロール・レジスタ０（TMC0）のビット３（CE0）で制御します。CE0ビットをソフトウエアによりセット（１）すると，最初のカウント・クロックでTM0の内容が0000Hにクリアされたのち，カウントアップ動作を行います。

CE0ビットをクリア（０）することによってTM0はただちに0000Hになり，キャプチャ動作や一致信号の発生は停止します。

CE0ビットがセット（１）されている状態でさらにCE0ビットをセット（１）した場合，TM0はクリアされないでカウント動作を続けます。

TM0がFFFFHのときにカウント・クロックが入力されると，TM0は0000Hになります。このとき，OVF0ビットがセット（１）され，出力制御回路にオーバフロー信号を送ります。OVF0ビットは，ソフトウエアによってのみクリアされます。また，カウント動作はそのまま継続されます。

$\overline{\text{RESET}}$入力により，TM0は0000Hにクリアされ，カウント動作は停止します。

図８－７　タイマ・レジスタ０（TM0）の基本動作

（a）カウント・スタート→カウント停止→カウント・スタートの場合

（b）カウント・スタート後に再度CE0ビット“１”を書き込んだ場合

（c）TM0がFFFFHのときの動作

8.4.2　クリア動作

（1）コンペア・レジスタとの一致後のクリア動作

タイマ・レジスタ０（TM0）は，コンペア・レジスタ（CR01）との一致後に自動的にクリアすることができます。TM0は，クリアする要因が発生すると，次のカウント・クロックで0000Hにクリアされます。したがって，クリアする要因が発生しても，次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

図８－８　コンペア・レジスタ（CR01）との一致によるTM0のクリア

（2）タイマ・コントロール・レジスタ０（TMC0）のCE0ビットによるクリア動作

タイマ・レジスタ０（TM0）は，ソフトウエアによりTMC0のCE0ビットをクリア（０）することによってもクリアされます。クリア動作は，CE0ビットがクリア（０）されるとただちに行われます。

図８－９　CE0ビットをクリア（０）した場合のクリア動作

（ａ）基本動作

（ｂ）クリア後のカウント・クロックが入力される前の再スタート

このカウント・クロック以前にCE0ビットがセット(1)された場合,
このカウント・クロックで０からカウント

（ｃ）クリア後にカウント・クロックが入力されてからの再スタート

このカウント・クロック以降にCE0ビットがセット(１)された場合,
CE0ビットをセット(１)したあとのカウント・クロックで０からカウント

８.５　外部イベント・カウンタ機能

タイマ／カウンタ０は，外部割り込み要求入力端子（INTP3）から入力されるクロック・パルスをカウントすることができます。

外部イベント・カウンタ動作モードは，特別な選択方法を必要としません。プリスケーラ・モード・レジスタ０（PRM0）の下位４ビットの設定によって，タイマ・レジスタ０（TM0）のカウント・クロックを外部クロック入力に指定すると，TM0は外部イベント・カウンタとして動作します。

外部イベント・カウンタとしてカウントできる外部クロック・パルスの最大周波数は，INTP3入力の両エッジをカウントする場合も，片エッジのみをカウントする場合も，同じ2.00 MHzです（f_{CLK} = 16 MHz）。

また，INTP3入力のパルス幅はハイ・レベル，ロウ・レベルともに４システム・クロック（0.25 μs：f_{CLK} = 16 MHz）以上必要で，これ以下の場合は，カウントされない場合があります。

図８－10に，タイマ／カウンタ０の外部イベント・カウントのタイミングを示します。

図８－10　タイマ／カウンタ０の外部イベント・カウントのタイミング（1/2）

（１）片エッジをカウントする場合（最大周波数 = f_{CLK}/8）

備考　ICI：INTP3入力のエッジ検出回路通過後の記号

図８－10　タイマ／カウンタ０の外部イベント・カウントのタイミング（2/2）

（２）両エッジをカウントする場合（最大周波数 = f_{CLK}/8）

備考　ICI：INTP3入力のエッジ検出回路通過後の記号

TM0のカウントの動作は，基本動作の場合と同様にタイマ・コントロール・レジスタ０（TMC0）のCE0ビットで制御します。

CE0ビットをソフトウエアによってセット（１）すると，最初のカウント・クロックでTM0の内容が0000Hとなり，カウントアップ動作を開始します。

TM0のカウント動作中，CE0ビットをソフトウエアによりクリア（０）すると，TM0は，ただちに0000Hになり，停止状態となります。また，CE0ビットがセット（１）されている状態で，さらにソフトウエアによりCE0ビットをセット（１）した場合，TM0のカウント動作は影響を受けません。

注意　タイマ／カウンタ０を外部イベント・カウンタとして使用する場合，有効エッジの入力が一度もない状態と１回だけあった状態の区別がタイマ・レジスタ０（TM0）だけではつけられません（図８－11参照）。TM0の内容はいずれの場合も０になります。区別をつける必要がある場合には，INTP3の割り込み要求フラグを利用してください。例を図８－12に示します。

図８－11　外部イベント・カウンタで１回または１回以下の有効エッジ入力の区別がつかない例

図８－12　外部イベント・カウンタで１回以下の有効エッジ入力を区別する方法

（a）カウント・スタート時の処理

（b）カウント値読み出し時の処理

８.６　コンペア・レジスタ，キャプチャ・レジスタの動作

８.６.１　コンペア動作

タイマ／カウンタ０は，コンペア・レジスタ（CR00，CR01）に設定された値をタイマ・レジスタ０（TM0）のカウント値と比較するコンペア動作を行います。

あらかじめ設定されたCR0n（n = ０，１）の値にTM0のカウント値がカウント動作によって一致すると，出力制御回路に一致信号を送ります。同時に割り込み要求（INTC00，INTC01）を発生します。

また，CR01の値と一致後，TM0のカウント値をクリアすることができ，CR01に設定した値を繰り返しカウントするインターバル・タイマとして動作します。

図８－13　コンペア動作

備考　CLR01 = ０

図８－14　一致検出後，TM0のクリア

備考　CLR01 = 0

8.6.2　キャプチャ動作

タイマ／カウンタ０は，外部トリガに同期してタイマ・レジスタ０（TM0）のカウント値をキャプチャ・レジスタに取り込み，保持するキャプチャ動作を行います。

外部トリガとして，外部割り込み要求入力端子（INTP3）の入力から検出された有効エッジを用います（キャプチャ・トリガ）。そのキャプチャ・トリガに同期してカウント中のTM0のカウント値をキャプチャ・レジスタ（CR02）に取り込み，保持します。次のキャプチャ・トリガが発生するまでCR02の内容は保持されます。

キャプチャ・トリガの有効エッジは外部割り込みモード・レジスタ１（INTM1）により設定します。立ち上がり，立ち下がりの両エッジがキャプチャ・トリガとなるように設定すれば，外部からの入力パルス幅を測定することができます。また，片エッジでキャプチャ・トリガを発生させた場合，入力パルスの周期を測定することができます。

INTM1の詳しいフォーマットは，第21章　エッジ検出機能　図21－２を参照してください。

図８－15　キャプチャ動作

備考　Dn：TM0のカウント値（n＝０，１，２，…）

CLR01＝０

８．７　出力制御回路の基本動作

出力制御回路は，オーバフロー信号または，コンペア・レジスタ（CR00，CR01）からの一致信号によって，タイマ出力端子（TO0，TO1）のレベルを制御します。出力制御回路の動作は，タイマ出力コントロール・レジスタ（TOC）とキャプチャ／コンペア・コントロール・レジスタ０（CRC0）とワンショット・パルス出力制御レジスタ（OSPC）によって決定されます（**表８－６**参照）。

なお，TO0，TO1信号を端子へ出力する場合は，ポート３モード・レジスタ（PMC3）で該当する端子がコントロール・モードになっている必要があります。

表８－６　タイマ出力（TO0，TO1）の動作

TOC				OSPC		CRC0			TO1	TO0
ENTO1	ALV1	ENTO0	ALV0	OS1	OS0	MOD1	MOD0	CLR01		
0	0/1	0	0/1	×	×	×	×	×	ハイ／ロウ・レベル固定	ハイ／ロウ・レベル固定
0	0/1	1	0/1	×	0	0	0	×	ハイ／ロウ・レベル固定	トグル出力（ロウ／ハイ・アクティブ）
0	0/1	1	0/1	×	0	0	1	0	ハイ／ロウ・レベル固定	PWM出力（ハイ／ロウ・アクティブ）
0	0/1	1	0/1	×	0	1	0	0	ハイ／ロウ・レベル固定	PWM出力（ハイ／ロウ・アクティブ）
0	0/1	1	0/1	×	0	1	1	1	ハイ／ロウ・レベル固定	PPG出力（ハイ／ロウ・アクティブ）
0	0/1	1	0/1	×	1	×	×	×	ハイ／ロウ・レベル固定	ワンショット・パルス出力（ロウ／ハイ・アクティブ）
1	0/1	0	0/1	0	×	0	×	×	トグル出力（ロウ／ハイ・アクティブ）	ハイ／ロウ・レベル固定
1	0/1	0	0/1	0	×	1	0	0	PWM出力（ハイ／ロウ・アクティブ）	ハイ／ロウ・レベル固定
1	0/1	0	0/1	0	×	1	1	×	トグル出力（ロウ／ハイ・アクティブ）	ハイ／ロウ・レベル固定
1	0/1	0	0/1	1	×	×	×	×	ワンショット・パルス出力（ロウ／ハイ・アクティブ）	ハイ／ロウ・レベル固定
1	0/1	1	0/1	0	0	0	0	×	トグル出力（ロウ／ハイ・アクティブ）	トグル出力（ロウ／ハイ・アクティブ）
1	0/1	1	0/1	0	0	0	1	0	トグル出力（ロウ／ハイ・アクティブ）	PWM出力（ハイ／ロウ・アクティブ）
1	0/1	1	0/1	0	0	1	0	0	PWM出力（ハイ／ロウ・アクティブ）	PWM出力（ハイ／ロウ・アクティブ）
1	0/1	1	0/1	0	0	1	1	1	トグル出力（ロウ／ハイ・アクティブ）	PPG出力（ハイ／ロウ・アクティブ）
1	0/1	1	0/1	0	1	0	×	×	トグル出力（ロウ／ハイ・アクティブ）	ワンショット・パルス出力（ロウ／ハイ・アクティブ）
1	0/1	1	0/1	0	1	1	0	0	PWM出力（ハイ／ロウ・アクティブ）	ワンショット・パルス出力（ロウ／ハイ・アクティブ）
1	0/1	1	0/1	0	1	1	1	1	トグル出力（ロウ／ハイ・アクティブ）	ワンショット・パルス出力（ロウ／ハイ・アクティブ）
1	0/1	1	0/1	1	0	0	0	×	ワンショット・パルス出力（ロウ／ハイ・アクティブ）	トグル出力（ロウ／ハイ・アクティブ）
1	0/1	1	0/1	1	0	0	1	0	ワンショット・パルス出力（ロウ／ハイ・アクティブ）	PWM出力（ハイ／ロウ・アクティブ）
1	0/1	1	0/1	1	0	1	0	0	ワンショット・パルス出力（ロウ／ハイ・アクティブ）	PWM出力（ハイ／ロウ・アクティブ）
1	0/1	1	0/1	1	0	1	1	1	ワンショット・パルス出力（ロウ／ハイ・アクティブ）	PPG出力（ハイ／ロウ・アクティブ）
1	0/1	1	0/1	1	1	×	×	×	ワンショット・パルス出力（ロウ／ハイ・アクティブ）	ワンショット・パルス出力（ロウ／ハイ・アクティブ）

備考１．ALVn（n＝０，１）の“/”は，TOn（n＝０，１）の欄の“／”の左右にそれぞれ対応しています。

２．×印は，０でも１でも動作が同じ場合を示しますが，一部禁止されている組み合わせも含まれています（図８－４参照）。

３．この表にない組み合わせは，その組み合わせでの使用を禁止しています。

８.７.１　基本動作

タイマ出力コントロール・レジスタ（TOC）のENTOn（n＝０，１）ビットをセット（１）することにより，キャプチャ／コンペア・コントロール・レジスタ０（CRC0）のMOD0，MOD1，CLR01ビットとワンショット・パルス出力制御レジスタ（OSPC）の設定に従ったタイミングでタイマ出力（TOn：n＝０，１）を変化させることができます。

また，ENTOnをクリア（０）することにより，TOnを固定レベルにします。固定されるレベルは，TOCのALVn（n＝０，１）ビットによって決定されます。ALVnが０のときはハイ・レベルに，ALVnが１のときはロウ・レベルになります。

８.７.２　トグル出力

トグル出力は，コンペア・レジスタ（CR00，CR01）の値がタイマ・レジスタ０（TM0）の値と一致するたびに出力レベルを反転させる動作モードです。タイマ出力（TO0）はCR00とTM0の一致によって出力レベルが反転し，TO1はCR01とTM0の一致によって出力レベルが反転します。

なお，タイマ・コントロール・レジスタ０（TMC0）のCE0ビットをクリア（０）して，タイマ／カウンタ０を停止させると，インアクティブ・レベル（$\overline{\text{ALVn}}$：n＝0, 1）を出力します。

図８－16　トグル出力の動作

表８－７　TO0，TO1のトグル出力（f_{XX} = 32 MHz）

カウント・クロック	最小パルス幅	最大インターバル時間
8/f_{XX}	0.25 μs	16.40 ms
16/f_{XX}	0.50 μs	32.80 ms
32/f_{XX}	1.00 μs	65.50 ms
64/f_{XX}	2.00 μs	131 ms
128/f_{XX}	4.00 μs	262 ms
256/f_{XX}	8.00 μs	524 ms
512/f_{XX}	16.00 μs	1.05 s
1024/f_{XX}	32.00 μs	2.10 s
2048/f_{XX}	64.00 μs	4.19 s

8.7.3　PWM出力

（1）PWM出力の基本動作

タイマ・レジスタ０（TM0）がフルカウントする期間を１周期とするPWM信号を出力するモードです。タイマ出力（TO0）のパルス幅は，コンペア・レジスタ（CR00）の値によって決定され，タイマ出力（TO1）のパルス幅は，コンペア・レジスタ（CR01）の値によって決定されます。この機能を使用する場合は，キャプチャ／コンペア・コントロール・レジスタ０（CRC0）のCLR01ビットを０にする必要があります。

パルス周期とパルス幅は，次のようになります。

・PWM周期 = 65536×x/fxx

・PWMパルス幅 = CR0n×x/fxx[注]；x = 8，16，32，64，128，256，512，1024，2048

注　CR0nには０は設定できません。

・デューティ = $\frac{\text{PWMパルス幅}}{\text{PWM周期}} = \frac{\text{CR0n}}{65536}$

備考　n = ０，１

図８－17　PWMパルス出力

備考　ALV0 = ０

表８－８　TO0，TO1のPWM周期（f_{XX} = 32 MHz）

カウント・クロック	最小パルス幅［μs］	PWM周期［s］	PWM周波数［Hz］
f_{XX}/8	0.25	0.02	61.0
f_{XX}/16	0.50	0.03	30.5
f_{XX}/32	1.00	0.07	15.3
f_{XX}/64	2.00	0.13	7.6
f_{XX}/128	4.00	0.26	3.8
f_{XX}/256	8.00	0.52	1.9
f_{XX}/512	16.00	1.05	1.0
f_{XX}/1024	32.00	2.10	0.5
f_{XX}/2048	64.00	4.19	0.2

図８－18は，２チャネルのPWM出力の例です。また，図８－19は，CR00にFFFFHを設定した場合の動作です。

図８－18　TM0を用いたPWM出力例

備考　ALV0 = 0，ALV1 = 0

図８－19　CR00＝FFFFHのときのPWM出力例

備考１． ALV0 = 0

２． T = x/fxx（x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048）

（２）コンペア・レジスタ（CR00, CR01）の書き換え

PWM出力の１周期の期間中に，二度以上CR0n（n＝０，１）の値がタイマ・レジスタ０（TM0）の値と一致しても，タイマ出力（TOn：n＝０，１）の出力レベルは変化しません。

図８－20　コンペア・レジスタ（CR00）の書き換え例

しかし，CR0nの値をTM0より小さい値に設定すると，デューティ100 %のPWM信号が出力されてしまいます。CR0nの書き換えはTM0と書き換えを行うCR0nとの一致による割り込みで行ってください。

図８－21　PWM出力時にデューティが100 %になる例

備考　ALV0 = 0

（３）PWM出力の停止

PWM信号出力中に，タイマ・コントロール・レジスタ０（TMC0）のCE0ビットをクリア（０）してタイマ／カウンタ０を停止させるとアクティブ・レベルを出力します。

図８－22　PWM信号出力中にタイマ／カウンタ０を停止した場合

備考　ALV0 = １

注意　タイマ出力禁止時（ENTOn = ０：n = ０，１）のTOn（n = ０，１）端子の出力レベルは，ALVn（n = ０，１）ビットに設定した値の反転値となります。したがって，PWM出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

８.７.４　PPG出力

（１）PPG出力の基本動作

コンペア・レジスタCR01の値で決まる時間を１周期とし，コンペア・レジスタCR00の値で決まる時間をパルス幅とする矩形波を出力する機能です。PWM出力のPWM周期を可変にしたものです。この出力は，タイマ出力（TO0）からのみ出力することができます。

この機能を使用する場合は，キャプチャ／コンペア・コントロール・レジスタ０（CRC0）のCLR01ビットを１にする必要があります。

パルス周期とパルス幅は，次のようになります。

・PPG周期 = （CR01＋１）×x/fxx ；x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048

・PPGパルス幅 = CR00×x/fxx

ただし，１≦CR00≦CR01　注

・デューティ= $\frac{\text{PPGパルス幅}}{\text{PPG周期}} = \frac{\text{CR00}}{\text{CR01}+1}$　注

注　CR00, CR01ともに“０”は設定できません。

図８－23は，タイマ・レジスタ０（TM0）を用いたPPG出力の例です。また，図８－24はCR00 = CR01に設定した場合の例です。

図８－23　TM0を用いたPPG出力例

備考　ALV0 = 0，ALV1 = 0

表８－９　TO0のPPG出力（f_{XX} = 32 MHz）

カウント・クロック	最小パルス幅	PPG周期	PPG周波数
f_{XX}/8	0.25 μs	0.50 μs－16.40 ms	2000 kHz－61.0 Hz
f_{XX}/16	0.50 μs	1.00 μs－32.80 ms	1000 kHz－30.5 Hz
f_{XX}/32	1.00 μs	2.00 μs－65.50 ms	500 kHz－15.3 Hz
f_{XX}/64	2.00 μs	4.00 μs－0.13 s	250 kHz－7.6 Hz
f_{XX}/128	4.00 μs	8.00 μs－0.26 s	125 kHz－3.8 Hz
f_{XX}/256	8.00 μs	16.00 μs－0.52 s	62.5 kHz－1.9 Hz
f_{XX}/512	16.00 μs	32.00 μs－1.05 s	31.3 kHz－1.0 Hz
f_{XX}/1024	32.00 μs	64.00 μs－2.10 s	15.6 kHz－0.5 Hz
f_{XX}/2048	64.00 μs	128.00 μs－4.19 s	7.8 kHz－0.2 Hz

図８－24　CR00 = CR01のときのPPG出力例

備考　ALV0 = 0

T = x/f_{XX}（x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048）

（２）コンペア・レジスタ（CR00）の書き換え

PPG出力の１周期の期間中に二度以上CR00の値がタイマ・レジスタ０（TM0）の値と一致しても，タイマ出力（TO0）の出力レベルは変化しません。

図８－25　コンペア・レジスタ（CR00）の書き換え例

備考　ALV0 = 1

しかし，CR00とTM0が一致するより前にCR00にTM0以下の値を書き込むと，そのPPG周期のデューティが100 %になってしまいます。CR00の書き換えは，TM0とCR00との一致による割り込みで行うようにするなどしてください。

図８－26　PPG出力時にデューティが100 %になる例

備考　ALV0 = 0

注意　割り込みの受け付けなどにかかる時間に対して，十分な時間がPPG周期にないとき（PPG周期が極端に短いとき）は，TM0とCR00の一致による割り込み処理でCR00の値を書き換えることはできません。ほかの方法（すべての割り込みをマスクして，割り込み要求フラグをソフトウエアでポーリングするなど）を考えてください。

（３）コンペア・レジスタ（CR01）の書き換え

CR01を現在の値より小さい値に変更する場合に，CR01の値をタイマ・レジスタ０（TM0）の値より小さくすると，そのときのPPG周期がTM0がフルカウントする時間にまで長くなってしまいます。このときの出力レベルは，コンペア・レジスタ（CR00）とTM0が一致したあとにCR01を書き換えた場合は，TM0がオーバフローして０になるまでインアクティブ・レベルとなり，その後，正常なPPG出力に戻ります。

CR00とTM0が一致する前にCR01を書き換えた場合は，CR00とTM0が一致するまでアクティブ・レベルを出力します。TM0がオーバフローし，０になる前にCR00とTM0が一致した場合は，その時点でインアクティブ・レベルを出力します。TM0がオーバフローし，０になった時点でアクティブ・レベルを出力し，正常なPPG出力に戻ります。

CR01の書き換えは，TM0とCR01との一致割り込みで行うようにするなどしてください。

図８－27　PPG出力の周期が長くなる例

備考　ALV0 = 1

注意　割り込みの受け付けなどにかかる時間に対して，十分な時間がPPG周期にないとき（PPG周期が極端に短いとき）は，タイマ・レジスタ０（TM0）とコンペア・レジスタ（CR01）の一致による割り込み処理でCR01の値を書き換えることはできません。ほかの方法（すべての割り込みをマスクして，割り込み要求フラグをソフトウエアでポーリングするなど）を考えてください。

（４）PPG出力の停止

PPG信号出力中に，タイマ・コントロール・レジスタ０（TMC0）のCE0ビットをクリア（０）してタイマ／カウンタ０を停止させると，停止時の出力レベルとは無関係に，アクティブ・レベルを出力します。

図８－28　PPG信号出力中にタイマ／カウンタ０を停止した場合

注意　タイマ出力禁止時（ENTOn＝０：n＝０，１）のTOn（n＝０，１）端子の出力レベルは，ALVn（n＝０，１）ビットに設定した値の反転値となります。したがって，PPG出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

８.７.５　ソフト・トリガド・ワンショット・パルス出力

ソフト・トリガド・ワンショット・パルス出力は，ワンショット・パルスをソフトウエアにより出力するモードです。

ワンショット・パルス出力制御レジスタ（OSPC）のSTn（n＝０，１）をセット（１）することにより，タイマ出力端子（TOn：n＝０，１）はアクティブ・レベルになります。その後，タイマ・レジスタ０（TM0）の値とコンペア・レジスタ（CR0n：n＝０，１）の値が一致するまでTOnはアクティブ・レベルを保持し，TM0とCR0nの値が一致すると，TOnはインアクティブ・レベルに変化します。その後，再びSTnビットをセットするまでTOnはインアクティブ・レベルを保持します。また，RTn（n＝０，１）ビットをセット（１）することによってもTOnをインアクティブ・レベルにすることができ，同様に再びSTnビットをセットするまでTOnはインアクティブ・レベルを保持します。

TO0，TO1に対して独立に制御することができます。

図８－29は，ソフト・トリガド・ワンショット・パルス出力の例です。

なお，TMC0のCE0ビットをクリア（０）してタイマ／カウンタ０を停止させると，停止時のレベルを保持します。

図８－29　ソフト・トリガド・ワンショット・パルス出力例

注意　STnとRTnに同時に“１”を書き込まないでください。

8.8　使 用 例

8.8.1　インターバル・タイマとしての動作（1）

タイマ・レジスタ０（TM0）をフリーランニングさせ，割り込み処理ルーチン中でコンペア・レジスタ（CR0n：n = ０，１）に一定の値を加算することで，加算する一定の値を周期とするインターバル・タイマとして動作します（図８－30参照）。

このインターバル・タイマは，表８－１に示す範囲でカウントができます（内部システム・クロック fxx = 32 MHz）。

また，TM0 １本にコンペア・レジスタが２本ついているため，２種類の周期のインターバル・タイマを作ることができます。

図８－31に制御レジスタの設定内容，図８－32にその設定手順，図８－33に割り込み処理ルーチン内での処理を示します。

図８－30　インターバル・タイマ動作（1）のタイミング

備考　インターバル時間 = n×8/fxx，１≦n≦FFFFH

図８－31　インターバル・タイマ動作（１）における制御レジスタの設定内容

キャプチャ／コンペア・コントロール・レジスタ０（CRC0）

図８－32　インターバル・タイマ動作（１）の設定手順

図８－33　インターバル・タイマ動作（１）の割り込み要求処理

８.８.２　インターバル・タイマとしての動作（２）

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します（図８－34参照）。

このインターバル・タイマは，表８－１に示す範囲でカウントができます（内部システム・クロック fxx = 32 MHz）。

図８－35に制御レジスタの設定内容を，図８－36にその設定手順を示します。

図８－34　インターバル・タイマ動作（２）のタイミング

備考　インターバル時間 =（n＋１）×8/fxx，０≦n≦FFFFH

図８－35　インターバル・タイマ動作（２）における制御レジスタの設定内容

キャプチャ／コンペア・コントロール・レジスタ０（CRC0）

	7	6	5	4	3	2	1	0
CRC0	0	0	0	1	1	0	0	0

CR01とTM0の内容一致でTM0クリア

TO0, TO1ともにトグル出力

図８－36　インターバル・タイマ動作（２）の設定手順

８.８.３　パルス幅測定としての動作

パルス幅測定は，外部割り込み要求入力端子（INTP3）に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。

INTP3端子に入力するパルス幅はハイ・レベル，ロウ・レベルとも３システム・クロック（0.19 μs：f_{CLK} = 16 MHz）以上必要で，これ以下の場合には有効エッジが検出されずキャプチャ動作を行いません。

このパルス幅測定では，表８－３に示す範囲のパルス幅を測定することができます（f_{CLK} = 16 MHz）。

図８－37に示すようにINTP3端子入力の有効エッジ（立ち上がり，立ち下がりの両エッジに指定）に同期して，カウント中のタイマ・レジスタ０（TM0）の値をキャプチャ・レジスタ（CR02）に取り込み，保持します。パルス幅は，n回目の有効エッジ検出によりCR02に取り込み，保持されているTM0のカウント値（Dn）とn－１回目の有効エッジ検出によるカウント値（D_{n-1}）との差の値とカウント・クロック数（x/fxx；x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048）との積から求めます。

そのときの制御レジスタの設定内容を図８－38に，設定手順を図８－39に示します。

図８－37　パルス幅測定のタイミング

備考　Dn：TM0のカウント値（n = ０，１，２，…）

x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048

図８－38　パルス幅測定における制御レジスタの設定内容

（a）キャプチャ／コンペア・コントロール・レジスタ０（CRC0）

（b）外部割り込みモード・レジスタ１（INTM1）

×：don't care

図８－39　パルス幅測定の設定手順

図８－40　パルス幅を算出する割り込み要求処理

８.８.４　PWM出力としての動作

PWM出力は，コンペア・レジスタ（CR0n：n＝０，１）に設定した値で決まるデューティ比のパルスを出力します（**図８－41**参照）。

このPWM出力は，1/65536-65535/65536のデューティ比を1/65536単位で変化させることができます。

また，タイマ・レジスタ０（TM0）１本にコンペア・レジスタが２本ついているため２種類のPWM信号を出力できます。

図８－42に制御レジスタの設定内容，図８－43にその設定手順，図８－44にデューティを変化させる場合の手順を示します。

図８－41　タイマ／カウンタ０のPWM信号出力例

図８－42　PWM出力動作における制御レジスタの設定内容

（a）キャプチャ／コンペア・コントロール・レジスタ０（CRC0）

（b）タイマ出力コントロール・レジスタ（TOC）

（c）ポート３モード・コントロール・レジスタ（PMC3）

図８－43　PWM出力の設定手順

図８－44　PWM出力のデューティ変更

８.８.５　PPG出力としての動作

PPG出力は，コンペア・レジスタ（CR0n：n＝０，１）に設定した値で決まる周期と，デューティ比のパルスを出力します（**図８－45**参照）。

図８－46に制御レジスタの設定内容，図８－47にその設定手順，図８－48にデューティを変化させる場合の手順を示します。

図８－45　タイマ／カウンタ０のPPG信号出力例

図８－46　PPG出力動作における制御レジスタの設定内容

（a）キャプチャ／コンペア・コントロール・レジスタ０（CRC0）

	7	6	5	4	3	2	1	0
CRC0	1	1	0	1	1	0	0	0

TM0とCR01の一致でクリア

TO0はPPG出力

（b）タイマ出力コントロール・レジスタ（TOC）

	7	6	5	4	3	2	1	0
TOC	×	×	×	×	×	×	1	1

TO0は，ロウ・アクティブのPPG信号出力

TO0のPPG出力許可

（c）ポート３モード・コントロール・レジスタ（PMC3）

	7	6	5	4	3	2	1	0
PMC3	×	×	×	1	×	×	×	×

P34端子をTO0出力にする

図８－47　PPG出力の設定手順

図８－48　PPG出力のデューティ変更

８.８.６　ソフト・トリガド・ワンショット・パルス出力例

ソフト・トリガド・ワンショット・パルス出力は，ソフトウエアでトリガをかけてワンショット・パルスを出力するモードです（**図８－49**参照）。

図８－50に制御レジスタの設定内容，図８－51にその設定手順を示します。

図８－49　タイマ／カウンタ０のワンショット・パルス出力例

図８－50　ワンショット・パルス出力における制御レジスタ設定内容

（a）ワンショット・パルス出力制御レジスタ（OSPC）

	7	6	5	4	3	2	1	0
OSPC	0	0	0	×	0	0	0	1

→ TO0はワンショット・パルス出力

（b）キャプチャ／コンペア・コントロール・レジスタ０（CRC0）

	7	6	5	4	3	2	1	0
CRC0	0	0	0	1	0	0	0	0

→ TM0のクリア禁止

→ TO0, TO1ともトグル出力

（c）タイマ出力コントロール・レジスタ（TOC）

	7	6	5	4	3	2	1	0
TOC	×	×	×	×	×	×	1	1

→ TO0は，ハイ・アクティブのワンショット・パルス信号出力

→ TO0のワンショット・パルス出力許可

（d）ポート３モード・コントロール・レジスタ（PMC3）

	7	6	5	4	3	2	1	0
PMC3	×	×	×	1	×	×	×	×

→ P34端子をTO0出力にする

図８－51　ワンショット・パルス出力の設定手順

８.９　注意事項

（１）タイマ／カウンタ０が動作している期間（タイマ・コントロール・レジスタ０（TMC0）のCE0ビットがセットされているとき），次のレジスタの内容を書き換えると誤動作する可能性があります。誤動作はレジスタの書き換えによるハードウエアの機能の変化と，書き換え前の機能で状態が変化するタイミングが競合した場合にどちらが優先されるかが不定のために発生します。

次のレジスタの内容を書き換える場合は，安全のため必ずカウンタ動作を停止させてから行ってください。

・プリスケーラ・モード・レジスタ０（PRM0）
・キャプチャ／コンペア・コントロール・レジスタ０（CRC0）
・タイマ出力コントロール・レジスタ（TOC）

（２）タイマ・レジスタ０（TM0）の動作を停止させる命令実行時にコンペア・レジスタ（CR0n：n＝０，１）とTM0の内容が一致した場合，TM0のカウント動作は停止しますが，割り込みの要求は発生します。

TM0の動作を停止する場合に割り込みを発生させたくないときは，先に割り込みマスク・レジスタで割り込みをマスクしてからTM0を停止させてください。

例

割り込み要求が発生する可能性のあるプログラム

```
        ⋮
CLR1 CE0
OR   MK0L, #30H   ←この間でタイマ／
        ⋮           カウンタ０からの
                    割り込み要求発生
```

割り込み要求が発生しないプログラム

```
        ⋮
OR   MK0L, #30H   ←タイマ／カウンタ０
CLR1 CE0            からの割り込み禁止
CLR1 CIF00        ←タイマ／カウンタ０
CLR1 CIF01          からの割り込み要求
        ⋮           フラグをクリア
```

（３）タイマ／カウンタ０をスタート（CE0←１）させる操作を行ってから，実際にタイマ／カウンタ０がスタートするまで最大１カウント・クロック分の時間がかかります（図８－52参照）。

たとえば，インターバル・タイマとして使用する場合は，１回目のインターバル時間が最大１クロック分だけ長くなります。２回目以降は，指定した間隔どおりになります。

図８－52　カウント・スタート時の動作

（４）コンペア・レジスタ（CR0n：n＝０，１）への書き込みを行う命令実行中は，書き込みの対象となっているCR0nとタイマ・レジスタ０（TM0）の一致を検出しません。たとえば，書き込みの前後でCR0nの内容が変わらない場合に，TM0の値がCR0nの値と一致しても割り込みの要求は発生せず，また，タイマ出力（TOn：n＝０，１）も変化しません。

タイマ／カウンタ０がカウント動作を行っているときのCR0nへの書き込みは，CR0nへの書き込み中にTM0の内容とCR0nの書き込み前後の値が一致しないようなタイミングで行ってください（TM0とCR0nの一致による割り込み要求の発生直後など）。

（５）タイマ・レジスタ０（TM0）とコンペア・レジスタ（CR0n：n＝０，１）の一致の検出は，TM0がインクリメントされたときにのみ行われます。したがって，TM0と同じ値をCR0nへ書き込んでも割り込みの要求は発生せず，タイマ出力（TOn：n＝０，１）も変化しません。

（６）PPG出力を使用している場合，割り込みの受け付けなどにかかる時間に対して，十分な時間がPPG周期にないとき（PPG周期が極端に短いとき）は，タイマ・レジスタ０（TM0）とコンペア・レジスタ（CR0n：n＝０，１）の一致による割り込み処理でCR0nの値を書き換えることはできません。ほかの方法（すべての割り込みをマスクして，割り込み要求フラグをソフトウエアでポーリングするなど）を考えてください。

（７）タイマ出力禁止時（ENTOn = ０：n = ０，１）のTOn（n = ０，１）端子の出力レベルは，ALVn（n = ０，１）ビットに設定した値の反転値となります。したがって，PWM出力機能またはPPG出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

（８）表８－10の“×”の条件でタイマ・レジスタを読み込むと，読み込み値が不正になる場合があります。“×”の条件では，タイマ・レジスタを読み込まないでください。

表８－10　タイマ・レジスタ読み込み制限条件

（○：読み出し可能，×：読み出し禁止）

タイマ・カウント・クロック ＼ f_{CLK}	$f_{XX}/2$	$f_{XX}/4$	$f_{XX}/8$	$f_{XX}/16$
$f_{XX}/8$	○	○	×	×
$f_{XX}/16$	○	○	○	×
f_{XX}/n	○	○	○	○

備考１． f_{XX}　：発振周波数

２． f_{CLK} ：内部システム・クロック周波数

３． n = 32, 64, 128, 256, 512, 1024, 2048

（９）タイマ／カウンタ０を外部イベント・カウンタとして使用する場合，有効エッジの入力が一度もない状態と１回だけあった状態の区別がタイマ・レジスタ０（TM0）だけではつけられません（**図８－53**参照）。TM0の内容はいずれの場合も０になります。区別をつける必要がある場合には，INTP3の割り込み要求フラグを利用してください。例を図８－54に示します。

図８－53　外部イベント・カウンタで１回または１回以下の有効エッジ入力の区別がつかない例

図８－54　外部イベント・カウンタで１回以下の有効エッジ入力を区別する方法

（a）カウント・スタート時の処理

（b）カウント値読み出し時の処理

★　(10) コンペア・レジスタ（CR00）とタイマ・レジスタ０（TM0）の一致タイミングでTM0のカウント動作を停止すると，次回タイマ／カウンタ０起動後のCR00とTM0の一致割り込みが発生しない場合があります。

CR00とTM0が一致してから1.5カウント・クロック以内にTM0のカウント動作を停止した場合，次回タイマ／カウンタ０起動後，最初の一致割り込みが発生しません。１回目以降の一致割り込みは正常に動作します。なお，タイマ出力はこの影響を受けず正常に動作します。この現象は，下図網掛け範囲内でタイマ／カウンタ０を停止するとタイマ割り込み制御回路が割り込みをマスクするために発生します。

割り込み制御回路はタイマ／カウンタ０のオーバフローおよびCR01とTM0の一致で初期化されます。

備考　M＜N

CR00とTM0の一致から1.5カウント・クロック以内にタイマ／カウンタ０を停止しないようにしてください。

たとえばタイマ／カウンタ０を停止するときは，すべての割り込み要求（マクロ・サービスを含む）を禁止し，停止させるタイマ／カウンタ０の値を読み出し，CR00とTM0の一致から1.5カウント・クロックを越えてから停止してください。

第９章　タイマ／カウンタ１

９.１　機　　能

タイマ／カウンタ１は，16ビットまたは８ビットのタイマ／カウンタです。

インターバル・タイマ，パルス幅測定，イベント・カウンタのような基本機能のほかに，リアルタイム出力ポートの出力トリガ発生用のタイマとして使うことができます。

（1）インターバル・タイマ

あらかじめ設定したインターバルで内部割り込みを発生します。

表９－１　タイマ／カウンタ１のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
8/fxx (0.25 μs)	2^{16}×8/fxx (16.40 ms)	8/fxx (0.25 μs)
16/fxx (0.50 μs)	2^{16}×16/fxx (32.80 ms)	16/fxx (0.50 μs)
32/fxx (1.00 μs)	2^{16}×32/fxx (65.50 ms)	32/fxx (1.00 μs)
64/fxx (2.00 μs)	2^{16}×64/fxx (131 ms)	64/fxx (2.00 μs)
128/fxx (4.00 μs)	2^{16}×128/fxx (262 ms)	128/fxx (4.00 μs)
256/fxx (8.00 μs)	2^{16}×256/fxx (524 ms)	256/fxx (8.00 μs)
512/fxx (16.00 μs)	2^{16}×512/fxx (1.05 s)	512/fxx (16.00 μs)
1024/fxx (32.00 μs)	2^{16}×1024/fxx (2.10 s)	1024/fxx (32.00 μs)
2048/fxx (64.00 μs)	2^{16}×2048/fxx (4.19 s)	2048/fxx (64.00 μs)

（　）内はfxx = 32 MHzの場合

（2）パルス幅測定

外部割り込み要求入力端子（INTP0）へ入力される信号のパルス幅を検出します。

表９－２　タイマ／カウンタ１のパルス幅測定範囲

測定可能なパルス幅注	分解能
$8/f_{XX}$ － $2^{16}\times 8/f_{XX}$ （0.25 μs）　（16.40 ms）	$8/f_{XX}$ （0.25 μs）
$16/f_{XX}$ － $2^{16}\times 16/f_{XX}$ （0.50 μs）　（32.80 ms）	$16/f_{XX}$ （0.50 μs）
$32/f_{XX}$ － $2^{16}\times 32/f_{XX}$ （1.00 μs）　（65.50 ms）	$32/f_{XX}$ （1.00 μs）
$64/f_{XX}$ － $2^{16}\times 64/f_{XX}$ （2.00 μs）　（131 ms）	$64/f_{XX}$ （2.00 μs）
$128/f_{XX}$ － $2^{16}\times 128/f_{XX}$ （4.00 μs）　（262 ms）	$128/f_{XX}$ （4.00 μs）
$256/f_{XX}$ － $2^{16}\times 256/f_{XX}$ （8.00 μs）　（524 ms）	$256/f_{XX}$ （8.00 μs）
$512/f_{XX}$ － $2^{16}\times 512/f_{XX}$ （16.00 μs）　（1.05 s）	$512/f_{XX}$ （16.00 μs）
$1024/f_{XX}$ － $2^{16}\times 1024/f_{XX}$ （32.00 μs）　（2.10 s）	$1024/f_{XX}$ （32.00 μs）
$2048/f_{XX}$ － $2^{16}\times 2048/f_{XX}$ （64.00 μs）　（4.19 s）	$2048/f_{XX}$ （64.00 μs）

（　）内はf_{XX} = 32 MHzの場合

注　サンプリング・クロック選択レジスタ（SCS0）で選択したサンプリング・クロックにより，測定可能な最小パルス幅は変化します。測定可能な最小パルス幅は，下表と上表の値を比較した結果の大きい方になります。

サンプリング・クロック		最小パルス幅
f_{CLK}	$f_{CLK} = f_{XX}/2$	$4/f_{CLK} = 8/f_{XX}$（0.25 μs）
	$f_{CLK} = f_{XX}/4$	$4/f_{CLK} = 16/f_{XX}$（0.50 μs）
	$f_{CLK} = f_{XX}/8$	$4/f_{CLK} = 32/f_{XX}$（1.00 μs）
	$f_{CLK} = f_{XX}/16$	$4/f_{CLK} = 64/f_{XX}$（2.00 μs）
$f_{XX}/64$		$256/f_{XX}$（8.00 μs）
$f_{XX}/128$		$512/f_{XX}$（16.00 μs）
$f_{XX}/256$		$1024/f_{XX}$（32.00 μs）

（３）外部イベント・カウンタ

外部割り込み要求入力端子（INTP0）から入力されるクロック・パルスをカウントします。

表９－３に，タイマ／カウンタ１に入力可能なクロックを示します。

表９－３　タイマ／カウンタ１のパルス幅測定時間

（　）内はf_{CLK} = 16 MHz，f_{XX} = 32 MHzの場合

サンプリング・クロック注		片エッジをカウントする場合	両エッジをカウントする場合
f_{CLK}	最大周波数	f_{CLK}/8（2.00 MHz）	f_{CLK}/8（2.00 MHz）
	最小パルス幅（ハイおよびロウ・レベル）	4/f_{CLK}（0.25 μs）	4/f_{CLK}（0.25 μs）
f_{XX}/64	最大周波数	f_{XX}/512（62.50 kHz）	f_{XX}/512（62.50 kHz）
	最小パルス幅（ハイおよびロウ・レベル）	256/f_{XX}（8.00 μs）	256/f_{XX}（8.00 μs）
f_{XX}/128	最大周波数	f_{XX}/1024（31.30 kHz）	f_{XX}/1024（31.30 kHz）
	最小パルス幅（ハイおよびロウ・レベル）	512/f_{XX}（16.00 μs）	512/f_{XX}（16.00 μs）
f_{XX}/256	最大周波数	f_{XX}/2048（15.60 kHz）	f_{XX}/2048（15.60 kHz）
	最小パルス幅（ハイおよびロウ・レベル）	1024/f_{XX}（32.00 μs）	1024/f_{XX}（32.00 μs）

注　サンプリング・クロック選択レジスタ（SCS0）で選択

9.2　構　　成

タイマ／カウンタ１は，次のレジスタから構成されています。

- タイマ・レジスタ（TM1/TM1W）×１
- コンペア・レジスタ（CR10/CR10W）×１
- キャプチャ／コンペア・レジスタ（CR11/CR11W）×１
- キャプチャ・レジスタ（CR12/CR12W）×１

図９－１に，タイマ／カウンタ１のブロック図を示します。

図9－1　タイマ／カウンタ1のブロック図

（1）タイマ・レジスタ１（TM1/TM1W）

TM1/TM1Wは，プリスケーラ・モード・レジスタ１（PRM1）の下位４ビットで指定されるカウント・クロックをアップカウントするタイマ・レジスタです。

タイマ・コントロール・レジスタ１（TMC1）によりカウント動作の停止／許可を指定します。また，８ビット動作モード（TM1）/16ビット動作モード（TM1W）の選択ができます。

8/16ビット操作命令で読み出しのみが可能です。$\overline{\text{RESET}}$入力により，TM1/TM1Wは00Hにクリアされ，カウントは停止します。

注意　表９－４の“×”の条件でタイマ・レジスタを読み込むと，読み込み値が不正になる場合があります。“×”の条件では，タイマ・レジスタを読み込まないでください。

表９－４　タイマ・レジスタ読み込み制限条件

（○：読み出し可能，×：読み出し禁止）

タイマ・カウント・クロック ＼ f_{CLK}	$f_{XX}/2$	$f_{XX}/4$	$f_{XX}/8$	$f_{XX}/16$
$f_{XX}/8$	○	○	×	×
$f_{XX}/16$	○	○	○	×
f_{XX}/n	○	○	○	○

備考１． f_{XX}　：発振周波数

２． f_{CLK}　：内部システム・クロック周波数

３． n = 32, 64, 128, 256, 512, 1024, 2048

（2）コンペア・レジスタ（CR10/CR10W）

CR10/CR10Wは，インターバル・タイマ動作の周期を決める値を保持する8/16ビット・レジスタです。

CR10/CR10Wの内容がTM1/TM1Wの値と一致すると，割り込み要求（INTC10）を発生します。この一致信号は，リアルタイム出力ポートのトリガ信号にもなります。また，一致によりカウント値をクリアすることができます。８ビット動作モード時はCR10，16ビット動作モード時はCR10Wになります。

8/16ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

（3）キャプチャ／コンペア・レジスタ（CR11/CR11W）

CR11/CR11Wは，キャプチャ／コンペア・コントロール・レジスタ１（CRC1）の設定により，TM1/TM1Wのカウント値との一致を検出するためのコンペア・レジスタに，またはTM1/TM1Wのカウント値をキャプチャするキャプチャ・レジスタに設定することが可能な8/16ビット・レジスタです。

８ビット動作モード時はCR11，16ビット動作モード時はCR11Wになります。

8/16ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

（a）コンペア・レジスタに設定した場合

インターバル・タイマ動作の周期を決める値を保持する8/16ビット・レジスタとして機能します。

CR11/CR11Wの内容とTM1/TM1Wの内容一致で割り込み要求（INTC11）を発生します。

また，一致によりカウント値をクリアすることができます。この一致信号は，リアルタイム出力ポートのトリガ信号にもなります。また，一致によりカウント値をクリアすることができます。

（b）キャプチャ・レジスタに設定した場合

外部割り込み要求入力端子（INTP0）の有効エッジ入力（キャプチャ・トリガ）に同期してTM1/TM1Wの内容をキャプチャする8/16ビット・レジスタとして機能します。

次のキャプチャ・トリガが発生するまでCR11/CR11Wの内容は保持されます。またキャプチャ後，TM1/TM1Wをクリアすることができます。

（4）キャプチャ・レジスタ（CR12/CR12W）

CR12/CR12Wは，TM1/TM1Wの内容をキャプチャする8/16ビット・レジスタです。

キャプチャ動作は，外部割り込み要求入力端子（INTP0）の有効エッジ入力（キャプチャ・トリガ）に同期します。次のキャプチャ・トリガが発生するまでCR12/CR12Wの内容は保持されます。

８ビット動作モード時はCR12，16ビット動作モード時はCR12Wになります。

8/16ビット操作命令で読み出しのみ可能です。$\overline{\text{RESET}}$入力により0000Hとなります。

（5）エッジ検出回路

エッジ検出回路は，外部入力の有効エッジを検出します。

INTP0端子入力で外部割り込みモード・レジスタ０（INTM0）により設定された有効エッジを検出して，外部割り込み要求（INTP0）とキャプチャ・トリガおよび外部イベントのカウント・クロックを発生します（INTM0については**図21－１**参照）。

（6）プリスケーラ

カウント・クロックを内部システム・クロックから生成します。このプリスケーラで生成されたクロックをセレクタで選択し，カウント・クロックとしてタイマ・レジスタ１（TM1/TM1W）はカウント動作を行います。

（7）セレクタ

タイマ・レジスタ１（TM1/TM1W）のカウント・クロックとして内部クロックを分周した信号またはエッジ検出回路で検出されたエッジから選択します。

９.３　タイマ／カウンタ１制御レジスタ

（１）タイマ・コントロール・レジスタ１（TMC1）

TMC1は，下位４ビットでタイマ／カウンタ１のTM1/TM1Wのカウント動作を制御します（上位４ビットはタイマ／カウンタ２のTM2/TM2Wのカウント動作を制御します）。

８ビット操作命令およびビット操作命令で読み出し／書き込みが可能です。図９－２に，TMC1のフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図９－２　タイマ・コントロール・レジスタ１（TMC1）のフォーマット

備考　OVF1ビットはソフトウエアでのみリセットされます。

（2）プリスケーラ・モード・レジスタ１（PRM1）

PRM1は，下位４ビットでタイマ／カウンタ１のTM1/TM1Wのカウント・クロックを指定します（上位４ビットはタイマ／カウンタ２のTM2/TM2Wのカウント・クロックを指定します）。

８ビット操作命令で読み出し／書き込みが可能です。図９－３に，PRM1のフォーマットを示します。

$\overline{\text{RESET}}$入力により11Hになります。

図９－３　プリスケーラ・モード・レジスタ１（PRM1）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PRM1	PRS23	PRS22	PRS21	PRS20	PRS13	PRS12	PRS11	PRS10	0FF5EH	11H	R/W

（f_{XX} = 32 MHz）

PRS13	PRS12	PRS11	PRS10	タイマ／カウンタ１のTM1/TM1Wのカウント・クロック指定	
				カウント・クロック［Hz］の指定	分解能［μs］
0	0	0	0	設定禁止	－
0	0	0	1	f_{XX}/8	0.25
0	0	1	0	f_{XX}/16	0.50
0	0	1	1	f_{XX}/32	1.00
0	1	0	0	f_{XX}/64	2.00
0	1	0	1	f_{XX}/128	4.00
0	1	1	0	f_{XX}/256	8.00
0	1	1	1	f_{XX}/512	16.00
1	0	0	0	f_{XX}/1024	32.00
1	0	0	1	f_{XX}/2048	64.00
1	1	1	1	外部クロック（INTP0）	－
上記以外				設定禁止	

タイマ／カウンタ２のTM2/TM2Wのカウント・クロックを指定します（**図10－３**参照）。

備考　f_{XX}：X1入力周波数，または発振周波数

（３）キャプチャ／コンペア・コントロール・レジスタ１（CRC1）

CRC1は，キャプチャ／コンペア・レジスタ（CR11/CR11W）の動作指定と，タイマ・レジスタ１（TM1/TM1W）のクリア動作の許可条件を指定するレジスタです。

８ビット操作命令で読み出し／書き込みが可能です。図９－４に，CRC1のフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図９－４　キャプチャ／コンペア・コントロール・レジスタ１（CRC1）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CRC1	0	0	0	0	CLR11	CM	CLR10	0	0FF32H	00H	R/W

CLR10	TM1 = CR10時のTM1のクリア動作または TM1W = CR10W時のTM1Wのクリア動作
0	禁止
1	許可

CLR11	CM	CR11/CR11Wの動作指定	TM1/TM1Wのクリア動作
0	0	コンペア動作	禁止
1	0		許可（TM1とCR11またはTM1WとCR11Wの内容が一致したとき）
0	1	キャプチャ動作	禁止
1	1		許可（TM1の内容をCR11に，またはTM1Wの内容をCR11Wにキャプチャしたとき）

注意　タイマのキャプチャ機能使用時に，キャプチャ要求信号の入力によりタイマ・レジスタをクリアしようとしても，実際には，タイマ・レジスタはクリアされる直前に一瞬カウント・アップしています。そのため，キャプチャ要求信号の入力時のタイマ・レジスタの値よりも１大きい値がコンペア・レジスタに設定されていると，コンペア・レジスタとタイマ・レジスタの値が一致して，不要な割り込み要求が発生してしまいます（図９－５参照）。したがって，プログラムを組む際は下記の動作を考慮してください。

〈動作内容〉

コンペア・レジスタに“Ｎ＋1”という値を設定し，タイマ・レジスタが“Ｎ”という値のときにキャプチャ要求信号が発生すると，タイマ・レジスタは次のカウントでクリアされるため，コンペア・レジスタによる割り込み要求は発生しない仕様になっています。しかし，実際の動作では，タイマ・レジスタはクリアされる直前に，一瞬，“Ｎ＋1”をカウントしてしまうため，タイマ・レジスタとコンペア・レジスタの値が一致してしまい，コンペア・レジスタによる割り込み要求信号が発生してしまいます。

図９－５　コンペア・レジスタによる不要な割り込み要求の発生例

９.４　タイマ・レジスタ１（TM1）の動作

９.４.１　基本動作

タイマ／カウンタ１は，タイマ・コントロール・レジスタ１（TMC1）のビット０（BW1）で，８ビット動作モード/16ビット動作モードの制御が可能です。注

タイマ／カウンタ１のカウント動作は，プリスケーラ・モード・レジスタ１（PRM1）の下位４ビットで指定されるカウント・クロックによりカウントアップします。

カウント動作の禁止／許可は，TMC1のビット３（CE1）で制御します（タイマ／カウンタ１の動作制御はTMC1の下位４ビットです）。CE1ビットをソフトウエアによりセット（１）すると，最初のカウント・クロックでTM1の内容が0Hにクリアされた後，カウントアップ動作を行います。

CE1ビットをクリア（０）することによってTM1はただちに0Hになり，キャプチャ動作や一致信号の発生は停止します。

CE1ビットがセット（１）されている状態でさらにCE1ビットをセット（１）した場合，TM1はクリアされないでカウント動作を続けます。

８ビット動作モード時でTM1がFFHのときと，16ビット動作モード時でTM1WがFFFFHのときにカウント・クロックが入力されると，TM1/TM1Wは0Hになります。このとき，OVF1ビットがセットされます。OVF1ビットは，ソフトウエアによってのみクリアされます。また，カウント動作はそのまま継続されます。

$\overline{\text{RESET}}$入力によりTM1は0Hにクリアされ，カウント動作は停止します。

注　機能に特に違いがない場合は，８ビット動作モードで説明しています。16ビット動作モード時は，TM1，CR10，CR11，CR12はTM1W，CR10W，CR11W，CR12Wになります。

図９－６　８ビット動作モード時の基本動作（BW1＝０）

（ａ）カウント・スタート→カウント禁止→カウント・スタートの場合

（ｂ）カウント・スタート後に再度CE1ビットに“１”を書き込んだ場合

（ｃ）TM1がFFHのときの動作

図９－７　16ビット動作モード時の基本動作（BW1＝１）

（ａ）カウント・スタート→カウント禁止→カウント・スタートの場合

（ｂ）カウント・スタート後に再度CE1ビットに“１”を書き込んだ場合

（ｃ）TM1WがFFFFHのときの動作

９．４．２　クリア動作

（１）コンペア・レジスタとの一致後およびキャプチャ後のクリア動作

タイマ・レジスタ１（TM1）は，コンペア・レジスタ（CR1n：n＝０，１）との一致後およびキャプチャ後に自動的にクリアすることができます。TM1は，クリアする要因が発生すると，次のカウント・クロックで0Hにクリアされます。したがって，クリアする要因が発生しても，次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

図９－８　コンペア・レジスタ（CR10，CR11）との一致によるTM1のクリア

図９－９　キャプチャ後，TM1のクリア

（２）タイマ・コントロール・レジスタ１（TMC1）のCE1ビットによるクリア動作

タイマ・レジスタ１（TM1）は，ソフトウエアにより，TMC1のCE1ビットをクリア（０）することによってもクリアされます。クリア動作は，CE1ビットがクリア（０）されるとただちに行われます。

図９－10　CE1ビットをクリア（０）した場合のクリア動作

（ａ）基本動作

（ｂ）クリア後のカウント・クロックが入力される前の再スタート

（ｃ）クリア後にカウント・クロックが入力されてからの再スタート

９.５　外部イベント・カウンタ機能

タイマ／カウンタ１は，外部割り込み要求入力端子（INTP0）から入力されるクロック・パルスをカウントすることができます。

外部イベント・カウンタ動作モードは，特別な選択方法を必要としません。プリスケーラ・モード・レジスタ１（PRM1）の下位４ビットの設定によって，タイマ・レジスタ１（TM1）のカウント・クロックを外部クロック入力に指定すると，TM1は外部イベント・カウンタとして動作します。

外部イベント・カウンタとしてカウントできる外部クロック・パルスの最大周波数は，サンプリング・クロック選択レジスタ（SCS0）で決定され，表９－５に示す値となります。

なお，最大周波数はINTP0入力の両エッジをカウントする場合も，片エッジのみをカウントする場合も同じになります。

また，INTP0入力のパルス幅はハイ・レベル，ロウ・レベルともにSCS0で選択したサンプリング・クロックで３クロック以上必要で，これ以下の場合はカウントされない場合があります。

図９－11に，タイマ／カウンタ１の外部イベント・カウントのタイミングを示します。

表９－５　イベント・カウント可能な最大入力周波数と最小入力パルス幅

（　）内はf_{XX} = 32 MHz, f_{CLK} = 16 MHz

SCS0で選択したサンプリング・クロック	最大入力周波数	最小パルス幅
f_{CLK}	f_{CLK}/8（2.00 MHz）	4/f_{CLK}（0.25 μs）
f_{CLK}/64	f_{CLK}/512（31.30 kHz）	256/f_{XX}（8.00 μs）
f_{CLK}/128	f_{CLK}/1024（15.60 kHz）	512/f_{XX}（16.00 μs）
f_{CLK}/256	f_{CLK}/2048（7.81 kHz）	1024/f_{XX}（32.00 μs）

図９－11　タイマ／カウンタ１の外部イベント・カウントのタイミング

（1）片エッジをカウントする場合（最大周波数 = $f_{CLK}/8$）

備考１．ICI：INTP0入力のエッジ検出回路通過後の記号

２．f_{SMP}はサンプリング・クロック選択レジスタ（SCS0）で選択

（2）両エッジをカウントする場合（最大周波数 = $f_{CLK}/8$）

備考１．ICI：INTP0入力のエッジ検出回路通過後の記号

２．f_{SMP}はサンプリング・クロック選択レジスタ（SCS0）で選択

TM1のカウントの動作は，基本動作の場合と同様にタイマ・コントロール・レジスタ１（TMC1）のCE1ビットで制御します。

CE1ビットをソフトウエアによってセット（1）すると，最初のカウント・クロックでTM1の内容が0Hとなり，カウントアップ動作を開始します。

TM1のカウント動作中，CE1ビットをソフトウエアによりクリア（0）すると，TM1は，ただちに0Hになり，停止状態となります。また，CE1ビットがセット（1）されている状態で，さらにソフトウエアによりCE1ビットをセット（1）した場合，TM1のカウント動作は影響を受けません。

注意　タイマ／カウンタ１を外部イベント・カウンタとして使用する場合，有効エッジの入力が一度もない状態と１回だけあった状態の区別がタイマ・レジスタ１（TM1）だけではつけられません（図９－12参照）。TM1の内容はいずれの場合も０になります。区別をつける必要がある場合には，INTP0の割り込み要求フラグを利用してください。例を図９－13に示します。

図９－12　外部イベント・カウンタで１回または１回以下の有効エッジ入力の区別がつかない例

図９－13　外部イベント・カウンタで１回以下の有効エッジ入力を区別する方法

（a）カウント・スタート時の処理

（b）カウント値読み出し時の処理

９.６　コンペア・レジスタ，キャプチャ／コンペア・レジスタ，キャプチャ・レジスタの動作

９.６.１　コンペア動作

タイマ／カウンタ１はコンペア・レジスタ（CR10），コンペア動作に指定したキャプチャ／コンペア・レジスタ（CR11）に設定された値をタイマ・レジスタ１（TM1）のカウント値と比較するコンペア動作を行います。

あらかじめ設定されたCR10，CR11の値にTM1のカウント値がカウント動作によって一致すると，割り込み要求信号（INTC10，INTC11）を発生します。

また，CR10またはCR11の値と一致後，TM1の内容をクリアすることができ，CR10，またはCR11に設定した値を繰り返しカウントするインターバル・タイマとして動作します。

図９－14　８ビット動作モード時のコンペア動作

備考　CLR10 = 0，CLR11 = 0，CM = 0，BW1 = 0

図９－15　16ビット動作モード時のコンペア動作

備考　CLR10 = 0，CLR11 = 0，BW1 = 1

図９－16　一致検出後，TM1のクリア

9.6.2　キャプチャ動作

タイマ／カウンタ１は，外部トリガに同期してタイマ・レジスタ１（TM1）のカウント値をキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。

外部トリガとして，外部割り込み要求入力端子（INTP0）の入力から検出された有効エッジを用います（キャプチャ・トリガ）。そのキャプチャ・トリガに同期してカウント中のTM1のカウント値をキャプチャ・レジスタ（CR12），キャプチャ動作に指定したキャプチャ／コンペア・レジスタ（CR11）に取り込み保持します。次のキャプチャ・トリガが発生するまでCR11およびCR12の内容は保持されます。

キャプチャ・トリガの有効エッジは外部割り込みモード・レジスタ０（INTM0）により設定します。立ち上がり，立ち下がりの両エッジがキャプチャ・トリガとなるように設定すれば，外部からの入力パルス幅を測定することができます。また，片エッジでキャプチャ・トリガを発生させた場合，入力パルスの周期を測定することができます。

INTM0の詳しいフォーマットは，第21章　エッジ検出機能　図21－１を参照してください。

また，CR11をキャプチャ・レジスタとして使用した場合，キャプチャ・トリガによりTM1の内容をCR11にキャプチャすると同時にTM1をクリアすることが設定可能です。

図９－17　８ビット動作モード時のキャプチャ動作

備考　Dn：TM1のカウント値（n＝０，１，２，…）
CLR10＝０，CLR11＝０，CM＝１，BW1＝０

図９－18　16ビット動作モード時のキャプチャ動作

備考　Dn：TM1Wのカウント値（n＝０，１，２，…）

CLR10＝０，CLR11＝０，CM＝１，BW1＝１

図９－19　キャプチャ後，TM1のクリア

備考　NI：TM1のカウント値（n＝０，１，２，…）

CLR10＝０，CLR11＝１，CM＝１

注意　タイマのキャプチャ機能使用時に，キャプチャ要求信号の入力によりタイマ・レジスタをクリアしようとしても，実際には，タイマ・レジスタはクリアされる直前に一瞬カウント・アップしています。そのため，キャプチャ要求信号の入力時のタイマ・レジスタの値よりも１大きい値がコンペア・レジスタに設定されていると，コンペア・レジスタとタイマ・レジスタの値が一致して，不要な割り込み要求が発生してしまいます（図９－20参照）。したがって，プログラムを組む際は下記の動作を考慮してください。

〈動作内容〉

コンペア・レジスタに“Ｎ＋1”という値を設定し，タイマ・レジスタが“Ｎ”という値のときにキャプチャ要求信号が発生すると，タイマ・レジスタは次のカウントでクリアされるため，コンペア・レジスタによる割り込み要求は発生しない仕様になっています。しかし，実際の動作では，タイマ・レジスタはクリアされる直前に，一瞬，“Ｎ＋1”をカウントしてしまうため，タイマ・レジスタとコンペア・レジスタの値が一致してしまい，コンペア・レジスタによる割り込み要求信号が発生してしまいます。

図９－20　コンペア・レジスタによる不要な割り込み要求の発生例

９.７　使 用 例

９.７.１　インターバル・タイマとしての動作（１）

タイマ・レジスタ１（TM1）をフリーランニングさせ，割り込み処理ルーチン中でコンペア・レジスタ（CR1n：n＝０，１）に一定の値を加算することで，加算する一定の値を周期とするインターバル・タイマとして動作します（**図９－21**参照）。

また，TM1 １本にコンペア・レジスタが２本ついているため，２種類の周期のインターバル・タイマを作ることができます。

図９－22に制御レジスタの設定内容，図９－23にその設定手順，図９－24に割り込み処理ルーチン内での処理を示します。

図９－21　インターバル・タイマ動作（１）のタイミング

備考　インターバル時間＝n×x/fxx，１≦n≦FFH

x＝8，16，32，64，128，256，512，1024，2048

図９－22　インターバル・タイマ動作（１）における制御レジスタの設定内容

（a）プリスケーラ・モード・レジスタ１（PRM1）

	7	6	5	4	3	2	1	0
PRM1	×	×	×	×	PRS13	PRS12	PRS11	PRS10

→ カウント・クロックの指定
（x/f_{XX}；x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048）

（b）キャプチャ／コンペア・コントロール・レジスタ１（CRC1）

	7	6	5	4	3	2	1	0
CRC1	0	0	0	0	0	0	0	0

→ CR10とTM1の内容一致によるTM1のクリア禁止
→ CR11をコンペア・レジスタに指定
→ CR11とTM1の内容一致によるTM1のクリア禁止

図９－23　インターバル・タイマ動作（１）の設定手順

図９－24　インターバル・タイマ動作（１）の割り込み要求処理

９.７.２　インターバル・タイマとしての動作（２）

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します（図９－25参照）。

図９－26に制御レジスタの設定内容を，図９－27にその設定手順を示します。

図９－25　インターバル・タイマ動作（２）のタイミング（CR11をコンペア・レジスタとして使用する場合）

備考　インターバル時間＝（n＋１）×x/fxx

０≦n≦FFH

x＝8，16，32，64，128，256，512，1024，2048

図９－26　インターバル・タイマ動作（２）の制御レジスタの設定内容

（a）プリスケーラ・モード・レジスタ１（PRM1）

	7	6	5	4	3	2	1	0
PRM1	×	×	×	×	PRS13	PRS12	PRS11	PRS10

→ カウント・クロックの指定
（x/fxx；x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048）

（b）キャプチャ／コンペア・コントロール・レジスタ１（CRC1）

	7	6	5	4	3	2	1	0
CRC1	0	0	0	0	1	0	0	0

→ CR10とTM1の内容一致によるTM1のクリア禁止
→ CR11をコンペア・レジスタに動作指定
→ CR11とTM1の内容一致によるTM1のクリア許可

図９－27　インターバル・タイマ動作（２）の設定手順

９.７.３　パルス幅測定としての動作

パルス幅測定は，外部割り込み要求入力端子（INTP0）に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。

INTP0端子に入力するパルス幅はハイ・レベル，ロウ・レベルともSCS0で選択したサンプリング・クロックで３クロック以上必要で，これ以下の場合には有効エッジが検出されず，キャプチャ動作を行いません。

図９－28に示すようにINTP0端子入力の有効エッジ（立ち上がり，立ち下がりの両エッジに設定）に同期して，カウント中のタイマ・レジスタ１（TM1）の値をキャプチャ・レジスタとして設定したキャプチャ／コンペア・レジスタ（CR11）に取り込み，保持します。パルス幅は，n回目の有効エッジ検出によりCR11に取り込み保持されたTM1のカウント値（Dn）とn－１回目の有効エッジ検出によるカウント値（D_{n-1}）との差の値とカウント・クロック数（x/fxx；x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048）との積から求めます。

そのときの制御レジスタの設定内容を図９－29に，設定手順を図９－30に示します。

図９－28　パルス幅測定のタイミング（CR11をキャプチャ・レジスタとして使用する場合）

備考　Dn：TM1のカウント値（n = ０，１，２，…）

x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048

図９－29　パルス幅測定の制御レジスタの設定内容

（a）プリスケーラ・モード・レジスタ１（PRM1）

	7	6	5	4	3	2	1	0
PRM1	×	×	×	×	PRS13	PRS12	PRS11	PRS10

→ カウント・クロックの指定
（x/fxx；x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048）

（b）キャプチャ／コンペア・コントロール・レジスタ１（CRC1）

	7	6	5	4	3	2	1	0
CRC1	0	0	0	0	0	1	0	0

→ TM1とCR10の一致によるTM1のクリア禁止
→ CR11をキャプチャ・レジスタに動作指定
→ TM1とCR11へキャプチャしたときのTM1のクリア禁止

（c）外部割り込みモード・レジスタ０（INTM0）

	7	6	5	4	3	2	1	0
INTM0	×	×	×	×	1	1	0	×

→ INTP0入力の有効エッジを立ち上がり，立ち下がりの両エッジに指定

図９－30　パルス幅測定の設定手順

図９－31　パルス幅を算出する割り込み要求処理

９.８　注意事項

（１）タイマ／カウンタ１が動作している期間（タイマ・コントロール・レジスタ１（TMC1）のCE1ビットがセットされているとき），次のレジスタの内容を書き換えると誤動作する可能性があります。誤動作はレジスタの書き換えによるハードウエアの機能の変化と，書き換え前の機能で状態が変化するタイミングが競合した場合にどちらが優先されるかが不定のために発生します。

次のレジスタの内容を書き換える場合は，安全のため必ずカウンタ動作を停止させてから行ってください。

・プリスケーラ・モード・レジスタ１（PRM1）
・キャプチャ／コンペア・コントロール・レジスタ１（CRC1）
・タイマ・コントロール・レジスタ１（TMC1）のCMD2ビット

（２）タイマ・レジスタ１（TM1）の動作を停止させる命令実行時にコンペア・レジスタ（CR1n：n＝０，１）とTM1の内容が一致した場合，TM1のカウント動作は停止しますが，割り込みの要求は発生します。

TM1の動作を停止する場合に割り込みを発生させたくないときは，先に割り込みマスク・レジスタで割り込みをマスクしてからTM1を停止させてください。

例

割り込み要求が発生する可能性のあるプログラム

```
        ⋮
CLR1 CE1
OR   MK0L, #C0H   ←この間でタイマ／カウンタ１からの割り込み要求発生
        ⋮
```

割り込み要求が発生しないプログラム

```
        ⋮
OR   MK0L, #C0H   ←タイマ／カウンタ１からの割り込み禁止
CLR1 CE1
CLR1 CIF10        ←タイマ／カウンタ１からの割り込み要求フラグをクリア
CLR1 CIF11
        ⋮
```

（３）タイマ／カウンタ１をスタート（CE1←１）させる操作を行ってから，実際にタイマ／カウンタ１がスタートするまで最大１カウント・クロック分の時間がかかります（図９－32参照）。

たとえば，インターバル・タイマとして使用する場合は，１回目のインターバル時間が最大１クロック分だけ長くなります。２回目以降は，指定した間隔どおりになります。

図９－32　カウント・スタート時の動作

（４）コンペア・レジスタ（CR1n：n＝０,１）への書き込みを行う命令実行中は，書き込みの対象となっているCR1nとタイマ・レジスタ１（TM1）の一致を検出しません。

タイマ／カウンタ１がカウント動作を行っているときのCR1nへの書き込みは，CR1nへの書き込み中にTM1の内容とCR1nの書き込み前後の値が一致しないようなタイミングで行ってください（TM1とCR1nの一致による割り込み要求の発生直後など）。

（５）タイマ・レジスタ１（TM1）とコンペア・レジスタ（CR1n：n＝０，１）の一致の検出は，TM1がインクリメントされたときにのみ行われます。したがって，TM1と同じ値をCR1nへ書き込んでも割り込みの要求は発生しません。

（６）表９－６の“×”の条件でタイマ・レジスタを読み込むと，読み込み値が不正になる場合があります。“×”の条件では，タイマ・レジスタを読み込まないでください。

表９－６　タイマ・レジスタ読み込み制限条件

（○：読み出し可能，×：読み出し禁止）

タイマ・カウント・クロック ＼ f_{CLK}	$f_{XX}/2$	$f_{XX}/4$	$f_{XX}/8$	$f_{XX}/16$
$f_{XX}/8$	○	○	×	×
$f_{XX}/16$	○	○	○	×
f_{XX}/n	○	○	○	○

備考１． f_{XX}　：発振周波数

２． f_{CLK}　：内部システム・クロック周波数

３． n = 32, 64, 128, 256, 512, 1024, 2048

（７）タイマ／カウンタ１を外部イベント・カウンタとして使用する場合，有効エッジの入力が一度もない状態と１回だけあった状態の区別がタイマ・レジスタ１（TM1）だけではつけられません（**図９－33**参照）。TM1の内容はいずれの場合も０になります。区別をつける必要がある場合には，INTP0の割り込み要求フラグを利用してください。例を図９－34に示します。

図９－33　外部イベント・カウンタで１回または１回以下の有効エッジ入力の区別がつかない例

図９－34　外部イベント・カウンタで１回以下の有効エッジ入力を区別する方法

（a）カウント・スタート時の処理

（b）カウント値読み出し時の処理

（８）タイマのキャプチャ機能使用時に，キャプチャ要求信号の入力によりタイマ・レジスタをクリアしようとしても，実際には，タイマ・レジスタはクリアされる直前に一瞬カウント・アップしています。そのため，キャプチャ要求信号の入力時のタイマ・レジスタの値よりも１大きい値がコンペア・レジスタに設定されていると，コンペア・レジスタとタイマ・レジスタの値が一致して，不要な割り込み要求が発生してしまいます（図９－35参照）。したがって，プログラムを組む際は下記の動作を考慮してください。

〈動作内容〉

コンペア・レジスタに“Ｎ＋１”という値を設定し，タイマ・レジスタが“Ｎ”という値のときにキャプチャ要求信号が発生すると，タイマ・レジスタは次のカウントでクリアされるため，コンペア・レジスタによる割り込み要求は発生しない仕様になっています。しかし，実際の動作では，タイマ・レジスタはクリアされる直前に，一瞬，“Ｎ＋１”をカウントしてしまうため，タイマ・レジスタとコンペア・レジスタの値が一致してしまい，コンペア・レジスタによる割り込み要求信号が発生してしまいます。

図９－35　コンペア・レジスタによる不要な割り込み要求の発生例

★　（９）コンペア・レジスタ（CR10）とタイマ・レジスタ１（TM1）の一致タイミングでTM1のカウント動作を停止すると，次回タイマ／カウンタ１起動後のCR10とTM1の一致割り込みが発生しない場合があります。

CR10とTM1が一致してから1.5カウント・クロック以内にTM1のカウント動作を停止した場合，次回タイマ／カウンタ１起動後，最初の一致割り込みが発生しません。１回目以降の一致割り込みは正常に動作します。なお，タイマ出力はこの影響を受けず正常に動作します。この現象は，下図網掛け範囲内でタイマ／カウンタ１を停止するとタイマ割り込み制御回路が割り込みをマスクするために発生します。

割り込み制御回路はタイマ／カウンタ１のオーバフローおよびCR11とTM1の一致で初期化されます。

備考　M＜N

CR10とTM1の一致から1.5カウント・クロック以内にタイマ／カウンタ１を停止しないようにしてください。

たとえばタイマ／カウンタ１を停止するときは，すべての割り込み要求（マクロ・サービスを含む）を禁止し，停止させるタイマ／カウンタ１の値を読み出し，CR10とTM1の一致から1.5カウント・クロックを越えてから停止してください。

第10章　タイマ／カウンタ２

10.1　機　　能

タイマ／カウンタ２は，16ビットまたは８ビットのタイマ／カウンタです。
タイマ／カウンタ２には，ほかの３つのタイマ／カウンタにはない次の機能があります。

・ワンショット・タイマ[注]

注　ワンショット・タイマ機能とは，タイマ／カウンタ２（TM2/TM2W）のカウント動作のことです。
したがって，タイマ／カウンタ０のワンショット・パルス出力機能とは性質が異なります。

ここでは次に示す４つの基本的機能について順に説明します。

・インターバル・タイマ
・プログラマブル矩形波出力
・パルス幅測定
・外部イベント・カウンタ

（1）インターバル・タイマ

あらかじめ設定したインターバルで内部割り込みを発生します。

表10－１　タイマ／カウンタ２のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
8/fxx （0.25 μs）	2^{16}×8/fxx （16.40 ms）	8/fxx （0.25 μs）
16/fxx （0.50 μs）	2^{16}×16/fxx （32.80 ms）	16/fxx （0.50 μs）
32/fxx （1.00 μs）	2^{16}×32/fxx （65.50 ms）	32/fxx （1.00 μs）
64/fxx （2.00 μs）	2^{16}×64/fxx （131 ms）	64/fxx （2.00 μs）
128/fxx （4.00 μs）	2^{16}×128/fxx （262 ms）	128/fxx （4.00 μs）
256/fxx （8.00 μs）	2^{16}×256/fxx （524 ms）	256/fxx （8.00 μs）
512/fxx （16.00 μs）	2^{16}×512/fxx （1.05 s）	512/fxx （16.00 μs）
1024/fxx （32.00 μs）	2^{16}×1024/fxx （2.10 s）	1024/fxx （32.00 μs）
2048/fxx （64.00 μs）	2^{16}×2048/fxx （4.19 s）	2048/fxx （64.00 μs）

（　）内はfxx = 32 MHzの場合

（2）プログラマブル矩形波出力

タイマ出力端子（TO2，TO3）にそれぞれ独立に矩形波を出力します。

表10－２　タイマ／カウンタ２のプログラマブル矩形波出力設定範囲

最小パルス幅	最大パルス幅
8/fxx （0.25 μs）	2^{16}×8/fxx （16.40 ms）
16/fxx （0.50 μs）	2^{16}×16/fxx （32.80 ms）
32/fxx （1.00 μs）	2^{16}×32/fxx （65.50 ms）
64/fxx （2.00 μs）	2^{16}×64/fxx （131 ms）
128/fxx （4.00 μs）	2^{16}×128/fxx （262 ms）
256/fxx （8.00 μs）	2^{16}×256/fxx （524 ms）
512/fxx （16.00 μs）	2^{16}×512/fxx （1.05 s）
1024/fxx （32.00 μs）	2^{16}×1024/fxx （2.10 s）
2048/fxx （64.00 μs）	2^{16}×2048/fxx （4.19 s）

（　）内はfxx = 32 MHzの場合

注意　上表は内部クロックの場合です。

（３）パルス幅測定

外部割り込み要求入力端子（INTP1，INTP2）へ入力される信号のパルス幅を検出します。

表10－３　タイマ／カウンタ２のパルス幅測定範囲

測定可能なパルス幅[注]	分解能
$8/f_{XX}$ － $2^{16}\times 8/f_{XX}$ （0.25 μs）　（16.40 ms）	$8/f_{XX}$ （0.25 μs）
$16/f_{XX}$ － $2^{16}\times 16/f_{XX}$ （0.50 μs）　（32.80 ms）	$16/f_{XX}$ （0.50 μs）
$32/f_{XX}$ － $2^{16}\times 32/f_{XX}$ （1.00 μs）　（65.50 ms）	$32/f_{XX}$ （1.00 μs）
$64/f_{XX}$ － $2^{16}\times 64/f_{XX}$ （2.00 μs）　（131 ms）	$64/f_{XX}$ （2.00 μs）
$128/f_{XX}$ － $2^{16}\times 128/f_{XX}$ （4.00 μs）　（262 ms）	$128/f_{XX}$ （4.00 μs）
$256/f_{XX}$ － $2^{16}\times 256/f_{XX}$ （8.00 μs）　（524 ms）	$256/f_{XX}$ （8.00 μs）
$512/f_{XX}$ － $2^{16}\times 512/f_{XX}$ （16.00 μs）　（1.05 s）	$512/f_{XX}$ （16.00 μs）
$1024/f_{XX}$ － $2^{16}\times 1024/f_{XX}$ （32.00 μs）　（2.10 s）	$1024/f_{XX}$ （32.00 μs）
$2048/f_{XX}$ － $2^{16}\times 2048/f_{XX}$ （64.00 μs）　（4.19 s）	$2048/f_{XX}$ （64.00 μs）

（　）内はf_{XX} = 32 MHzの場合

注　測定可能な最小パルス幅は，選択したf_{CLK}の値により異なります。
測定可能な最小パルス幅は，$4/f_{CLK}$の値と表中の値のいずれか大きい方になります。

（４）外部イベント・カウンタ

外部割り込み要求入力端子（INTP2）から入力されるクロック・パルス（CI端子入力パルス）をカウントします。表10－４に，タイマ／カウンタ２に入力可能なクロックを示します。

表10－４　タイマ／カウンタ２に入力可能なクロック

	片エッジをカウントする場合	両エッジをカウントする場合
最大周波数	$f_{CLK}/8$（2.00 MHz）	$f_{CLK}/8$（2.00 MHz）
最小パルス幅 （ハイおよびロウ・レベル）	$4/f_{CLK}$（0.25 μs）	$4/f_{CLK}$（0.25 μs）

（　）内はf_{CLK} = 16 MHz，f_{XX} = 32 MHzの場合

10.2　構　　成

タイマ／カウンタ２は，次のレジスタから構成されています。

・タイマ・レジスタ（TM2/TM2W）×１
・コンペア・レジスタ（CR20/CR20W）×１
・キャプチャ／コンペア・レジスタ（CR21/CR21W）×１
・キャプチャ・レジスタ（CR22/CR22W）×１

図10－１に，タイマ／カウンタ２のブロック図を示します。

図10－１　タイマ／カウンタ２のブロック図

（1）タイマ・レジスタ２（TM2/TM2W）

TM2/TM2Wは，プリスケーラ・モード・レジスタ１（PRM1）の上位４ビットで指定されるカウント・クロックをアップカウントするタイマ・レジスタです。カウント・クロックは内部クロック，外部クロックの選択もできます。

タイマ・コントロール・レジスタ１（TMC1）によりカウント動作の停止／許可を指定します。また，８ビット動作モード（TM2）/16ビット動作モード（TM2W）の選択ができます。

8/16ビット操作命令で読み出しのみが可能です。

$\overline{\text{RESET}}$入力により，TM2/TM2Wは00Hにクリアされ，カウントは停止します。

注意　表10－５の“×”の条件でタイマ・レジスタを読み込むと，読み込み値が不正になる場合があります。“×”の条件では，タイマ・レジスタを読み込まないでください。

表10－５　タイマ・レジスタ読み込み制限条件

（○：読み出し可能，×：読み出し禁止）

タイマ・カウント・クロック ＼ f_{CLK}	$f_{XX}/2$	$f_{XX}/4$	$f_{XX}/8$	$f_{XX}/16$
$f_{XX}/8$	○	○	×	×
$f_{XX}/16$	○	○	○	×
f_{XX}/n	○	○	○	○

備考１． f_{XX}　：発振周波数

２． f_{CLK}　：内部システム・クロック周波数

３． n = 32, 64, 128, 256, 512, 1024, 2048

（2）コンペア・レジスタ（CR20/CR20W）

CR20/CR20Wは，インターバル・タイマ動作の周期を決める値を保持する8/16ビット・レジスタです。

CR20/CR20Wの内容がTM2/TM2Wの値と一致すると，割り込み要求（INTC20），およびタイマ出力の制御信号を発生します。

８ビット動作モード時はCR20，16ビット動作モード時はCR20Wになります。

8/16ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

（3）キャプチャ／コンペア・レジスタ（CR21/CR21W）

CR21/CR21Wは，キャプチャ／コンペア・コントロール・レジスタ２（CRC2）の設定により，TM2/TM2Wのカウント値との一致を検出するためのコンペア・レジスタに，またはTM2/TM2Wのカウント値をキャプチャするキャプチャ・レジスタに設定することが可能な8/16ビット・レジスタです。

８ビット動作モード時はCR21，16ビット動作モード時はCR21Wになります。

8/16ビット操作命令で読み出し／書き込みが可能です。

$\overline{\text{RESET}}$入力により不定となります。

（a）コンペア・レジスタに設定した場合

インターバル・タイマ動作の周期を決める値を保持する8/16ビット・レジスタとして機能します。

CR21/CR21Wの内容がTM2/TM2Wの内容と一致すると割り込み要求（INTC21）およびタイマ出力の制御信号を発生します。

また，内容一致によりカウント値をクリアすることができます。

（b）キャプチャ・レジスタに設定した場合

外部割り込み入力端子（INTP2）の有効エッジ入力（キャプチャ・トリガ）に同期してTM2/TM2Wの内容をキャプチャする8/16ビット・レジスタとして機能します。

次のキャプチャ・トリガが発生するまでCR21/CR21Wの内容は保持されます。

また，キャプチャ後，TM2/TM2Wをクリアすることができます。

（4）キャプチャ・レジスタ（CR22/CR22W）

CR22/CR22Wは，TM2/TM2Wの内容をキャプチャする8/16ビット・レジスタです。

キャプチャ動作は，外部割り込み要求入力端子（INTP1）への有効エッジ入力（キャプチャ・トリガ）に同期します。次のキャプチャ・トリガが発生するまで，CR22/CR22Wの内容は保持されます。また，キャプチャ後，TM2/TM2Wをクリアすることができます。

８ビット動作モード時はCR22，16ビット動作モード時はCR22Wになります。

8/16ビット操作命令で読み出しのみが可能です。$\overline{\text{RESET}}$入力により0000Hとなります。

（5）エッジ検出回路

エッジ検出回路は，外部入力の有効エッジを検出します。

ITNP1端子入力で外部割り込みモード・レジスタ０（INTM0）により設定された有効エッジを検出して，外部割り込み要求（INTP1）とキャプチャ・トリガを発生します。また，外部割り込み要求入力端子（INTP2）からの有効エッジを検出すると，キャプチャ・トリガと外部イベントのカウント・クロックと外部割り込み要求（INTP2）を発生します。

（6）出力制御回路

CR20，CR21の内容とTM2の内容が一致，またはCR20W，CR21Wの内容とTM2Wの内容が一致すると，タイマ出力を反転することができます。

タイマ出力コントロール・レジスタ（TOC）上位４ビットの設定でタイマ出力端子（TO2,TO3）から矩形波を出力することができます。このとき，キャプチャ／コンペア・コントロール・レジスタ２（CRC2）の指定により，PWM出力やPPG出力もできます。

また，TOCによってタイマ出力の禁止／許可ができます。タイマ出力の禁止状態ではTO2，TO3端子には固定レベルが出力されます（出力レベルはTOCにより設定）。

（7）プリスケーラ

カウント・クロックを内部システム・クロックから生成します。このプリスケーラで生成されたクロックをセレクタで選択し，カウント・クロックとしてタイマ・レジスタ２（TM2/TM2W）はカウント動作を行います。

（8）セレクタ

タイマ・レジスタ２（TM2/TM2W）のカウント・クロックとして内部クロックを分周した信号またはエッジ検出回路で検出されたエッジから選択します。

10.3　タイマ／カウンタ２制御レジスタ

（1）タイマ・コントロール・レジスタ１（TMC1）

TMC1は，上位４ビットでタイマ／カウンタ２のTM2/TM2Wのカウント動作を制御します（下位４ビットはタイマ／カウンタ１のTM1/TM1Wのカウント動作を制御します）。

８ビット操作命令およびビット操作命令で読み出し／書き込みが可能です。図10－２に，TMC1のフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図10－２　タイマ・コントロール・レジスタ１（TMC1）のフォーマット

備考　OVF2ビットはソフトウエアでのみリセットされます。

（2）プリスケーラ・モード・レジスタ１（PRM1）

PRM1は，上位４ビットでタイマ／カウンタ２のTM2/TM2Wのカウント・クロックを指定します（下位４ビットはタイマ／カウンタ１のTM1/TM1Wのカウント・クロックを指定します）。

８ビット操作命令で読み出し／書き込みが可能です。図10－３に，PRM1のフォーマットを示します。

$\overline{\text{RESET}}$入力により11Hになります。

図10－３　プリスケーラ・モード・レジスタ１（PRM1）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PRM1	PRS23	PRS22	PRS21	PRS20	PRS13	PRS12	PRS11	PRS10	0FF5EH	11H	R/W

タイマ／カウンタ１のTM1/TM1Wのカウント・クロックを指定します（図９－３参照）。

（f_{XX} = 32 MHz）

PRS23	PRS22	PRS21	PRS20	タイマ／カウンタ２のTM2/TM2Wのカウント・クロック指定	
				カウント・クロック［Hz］の指定	分解能［μs］
0	0	0	0	設定禁止	－
0	0	0	1	f_{XX}/8	0.25
0	0	1	0	f_{XX}/16	0.50
0	0	1	1	f_{XX}/32	1.00
0	1	0	0	f_{XX}/64	2.00
0	1	0	1	f_{XX}/128	4.00
0	1	1	0	f_{XX}/256	8.00
0	1	1	1	f_{XX}/512	16.00
1	0	0	0	f_{XX}/1024	32.00
1	0	0	1	f_{XX}/2048	64.00
1	1	1	1	外部クロック（CI/INTP2）	－
上記以外				設定禁止	

備考　f_{XX}：X1入力周波数，または発振周波数

（３）キャプチャ／コンペア・コントロール・レジスタ２（CRC2）

CRC2は，キャプチャ／コンペア・レジスタ（CR21/CR21W），またはキャプチャ・レジスタ（CR22/CR22W）によるタイマ・レジスタ２（TM2/TM2W）のクリア動作の許可条件やタイマ出力（TO2，TO3）モードを指定するレジスタです。

８ビット操作命令で読み出し／書き込みが可能です。図10－４に，CRC2のフォーマットを示します。

$\overline{\text{RESET}}$入力により10Hになります。

図10－４　キャプチャ／コンペア・コントロール・レジスタ２（CRC2）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CRC2	MOD1	MOD0	CLR22	1	CLR21	CM21	0	0	0FF33H	10H	R/W

MOD1	MOD0	CLR22	CLR21	CM21	CR21の動作指定	タイマ出力モード指定 TO2	タイマ出力モード指定 TO3	TM2のクリア動作
0	0	0	0	0	コンペア動作	トグル出力	トグル出力	クリアしない
0	0	0	1	0		トグル出力	トグル出力	TM2とCR21が一致したらクリア
0	0	1	0	0		トグル出力	トグル出力	INTP1によりTM2の内容をCR22へキャプチャしたあとにクリア
0	0	1	1	0		トグル出力	トグル出力	TM2とCR21の一致またはINTP1によりTM2の内容をCR22へキャプチャしたあとにクリア
0	1	0	0	0		PWM出力	トグル出力	クリアしない
1	0	0	0	0		PWM出力	PWM出力	クリアしない
1	1	0	1	0		PPG出力	トグル出力	TM2とCR21が一致したらクリア
0	0	0	0	1	キャプチャ動作	トグル出力		クリアしない
0	0	0	1	1		トグル出力		INTP2によりTM2の内容をCR21へキャプチャしたあとにクリア
0	1	0	0	1		PWM出力		クリアしない
上記以外					設定禁止			

備考　８ビット動作モード時のレジスタ名称で記載しています。16ビット動作モード時は，TM2，CR20，CR21，CR22は，TM2W，CR20W，CR21W，CR22Wになります。

注意　タイマのキャプチャ機能使用時に，キャプチャ要求信号の入力によりタイマ・レジスタをクリアしようとしても，実際には，タイマ・レジスタはクリアされる直前に一瞬カウント・アップしています。そのため，キャプチャ要求信号の入力時のタイマ・レジスタの値よりも１大きい値がコンペア・レジスタに設定されていると，コンペア・レジスタとタイマ・レジスタの値が一致して，不要な割り込み要求が発生してしまいます（図10－５参照）。したがって，プログラムを組む際は下記の動作を考慮してください。

〈動作内容〉

コンペア・レジスタに“Ｎ＋1”という値を設定し，タイマ・レジスタが“Ｎ”という値のときにキャプチャ要求信号が発生すると，タイマ・レジスタは次のカウントでクリアされるため，コンペア・レジスタによる割り込み要求は発生しない仕様になっています。しかし，実際の動作では，タイマ・レジスタはクリアされる直前に，一瞬，“Ｎ＋1”をカウントしてしまうため，タイマ・レジスタとコンペア・レジスタの値が一致してしまい，コンペア・レジスタによる割り込み要求信号が発生してしまいます。

図10－５　コンペア・レジスタによる不要な割り込み要求の発生例

（４）タイマ出力コントロール・レジスタ（TOC）

TOCは，タイマ出力のアクティブ・レベル出力許可／禁止を制御する８ビット・レジスタです。

上位４ビットでタイマ／カウンタ２によるタイマ出力端子（TO2，TO3）の動作を制御します（下位４ビットはタイマ／カウンタ０によるタイマ出力端子（TO0，TO1）の動作を制御します）。

８ビット操作命令およびビット操作命令で書き込み／読み出しが可能です。図10－６に，TOCのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図10－６　タイマ出力コントロール・レジスタ（TOC）のフォーマット

10.４　タイマ・レジスタ２（TM2）の動作

10.４.１　基本動作

タイマ／カウンタ２は，タイマ・コントロール・レジスタ２（TMC2）のビット０（BW2）で８ビット動作モード/16ビット動作モードの制御が可能です。注

タイマ／カウンタ２のカウント動作は，プリスケーラ・モード・レジスタ１（PRM1）の上位４ビットで指定されるカウント・クロックによりカウントアップします。

カウント動作の禁止／許可は，TMC2のビット３（CE2）で制御します（タイマ／カウンタ２の動作制御はタイマ・コントロール・レジスタ１（TMC1）の上位４ビットで行われます）。CE2ビットをソフトウエアによりセット（１）すると，最初のカウント・クロックでTM2の内容が0Hにクリアされた後，カウントアップ動作を行います。

CE2ビットをソフトウエアによりクリア（０）すると，TM2はただちに0Hになり，キャプチャ動作や一致信号の発生は停止します。

CE2ビットがセット（１）されている状態でさらにCE2ビットをセット（１）した場合，TM2のカウント動作は影響を受けません（**図10－７（b）**参照）。

８ビット動作モード時でTM2がFFHのときと，16ビット動作モード時でTM2WがFFFFHのときにカウント・クロックが入力されると，TM2/TM2Wは0Hになります。このとき，OVF2ビットがセットされ，出力制御回路にオーバフロー信号を送ります。OVF2ビットは，ソフトウエアによってのみクリアされます。また，カウント動作はそのまま継続されます。

$\overline{\text{RESET}}$入力によりTM2は0Hにクリアされ，カウント動作は停止します。

注　機能に特に違いがない場合は，８ビット動作モードで説明しています。
16ビット動作モード時は，TM2，CR20，CR21，CR22は，TM2W，CR20W，CR21W，CR22Wになります。

図10－７　８ビット動作モード時の基本動作（BW2＝０）

（ａ）カウント・スタート→カウント禁止→カウント・スタートの場合

（ｂ）カウント・スタート後に再度CE2ビットに“１”を書き込んだ場合

（ｃ）TM2がFFHのときの動作

図10－８　16ビット動作モード時の基本動作（BW2 = １）

（ａ）カウント・スタート→カウント禁止→カウント・スタートの場合

（ｂ）カウント・スタート後に再度CE2ビットに“１”を書き込んだ場合

（ｃ）TM2WがFFFFHのときの動作

10.4.2　クリア動作

（1）コンペア・レジスタとの一致後およびキャプチャ後のクリア動作

タイマ・レジスタ２（TM2）は，コンペア・レジスタ（CR2n：n＝０，１）との一致後およびキャプチャ後に自動的にクリアすることができます。TM2は，クリアする要因が発生すると，次のカウント・クロックで0Hにクリアされます。したがって，クリアする要因が発生しても，次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

図10－９　コンペア・レジスタ（CR20，CR21）との一致によるTM2のクリア

図10－10　キャプチャ後，TM2のクリア

（2）タイマ・コントロール・レジスタ１（TMC1）のCE2ビットによるクリア動作

タイマ・レジスタ２（TM2）は，ソフトウエアにより，TMC1のCE2ビットをクリア（０）することによってもクリアされます。クリア動作は，CE2ビットがクリア（０）されるとただちに行われます。

図10－11　CE2ビットをクリア（0）した場合のクリア動作

（a）基本動作

（b）クリア後のカウント・クロックが入力される前の再スタート

このカウント・クロック以前にCE2ビットがセット(1)された場合,
このカウント・クロックで０からカウント

（c）クリア後にカウント・クロックが入力されてからの再スタート

このカウント・クロック以降にCE2ビットがセット（1）された場合,
CE2ビットをセット（1）したあとのカウント・クロックで０からカウント

10.5　外部イベント・カウンタ機能

タイマ／カウンタ２は，外部割り込み要求入力端子（INTP2/CI）から入力されるクロック・パルスをカウントすることができます。

外部イベント・カウンタ動作モードは，特別な選択方法を必要としません。プリスケーラ・モード・レジスタ１（PRM1）の上位４ビットの設定によって，タイマ・レジスタ２（TM2）のカウント・クロックを外部クロック入力に指定すると，TM2は外部イベント・カウンタとして動作します。

外部イベント・カウンタとしてカウントできる外部クロック・パルスの最大周波数は，INTP2/CI入力の両エッジをカウントする場合も片エッジのみをカウントする場合も同じ2.00 MHzです（f_{CLK} = 16 MHz）。

また，INTP2/CI入力のパルス幅はハイ・レベル，ロウ・レベルともに４システム・クロック（0.25 μs：f_{CLK} = 16 MHz）以上必要で，これ以下の場合は，カウントされない場合があります。

図10－12に，タイマ／カウンタ２の外部イベント・カウントのタイミングを示します。

図10－12　タイマ／カウンタ２の外部イベント・カウントのタイミング

（1）片エッジをカウントする場合（最大周波数 = f_{CLK}/8）

（2）両エッジをカウントする場合（最大周波数 = f_{CLK}/8）

備考　ICI：CI入力のエッジ検出回路通過後の信号

TM2のカウントの動作は，基本動作の場合と同様にタイマ・コントロール・レジスタ１（TMC1）のCE2ビットで制御します。

CE2ビットをソフトウエアによってセット（１）すると，最初のカウント・クロックでTM2の内容が0Hとなり，カウントアップ動作を開始します。

TM2のカウント動作中，CE2ビットをソフトウエアによりクリア（０）すると，TM2はただちに0Hになり，停止状態となります。また，CE2ビットがセットされている状態で，さらにソフトウエアによりCE2ビットをセット（１）した場合，TM2のカウント動作は影響を受けません。

注意　タイマ／カウンタ２を外部イベント・カウンタとして使用する場合，有効エッジの入力が一度もない状態と１回だけあった状態の区別がタイマ・レジスタ２（TM2）だけではつけられません（図10－13参照）。TM2の内容はいずれの場合も０になります。区別をつける必要がある場合には，INTP2の割り込み要求フラグを利用してください（INTP2端子とCI端子は兼用になっており，いずれの機能も同時に使用できます）。例を図10－14に示します。

図10－13　外部イベント・カウンタで１回または１回以下の有効エッジ入力の区別がつかない例

図10－14　外部イベント・カウンタで１回以下の有効エッジ入力を区別する方法

（a）カウント・スタート時の処理

（b）カウント値読み出し時の処理

10.6　ワンショット・タイマ機能

タイマ／カウンタ２には，カウントの結果，タイマ・レジスタ２（TM2/TM2W）がフルカウント値（FFH/FFFFH）になると自動的に停止する動作モードがあります。

図10－15　ワンショット・タイマ動作

図10－15に示すように，CR20，CR21/CR20W，CR21Wにあらかじめ設定した値（0H-FFH/FFFFH）とタイマ・レジスタ２（TM2/TM2W）の値との一致で，それぞれワンショットの割り込みを発生します。

ワンショット・タイマ動作モードの指定は，タイマ・コントロール・レジスタ１（TMC1）のビット５（CMD2）をソフトウエアでセット（１）することによって行います。

TM2/TM2Wのカウント動作は，基本動作の場合と同様にTMC1のCE2ビットで制御します。

CE2ビットをソフトウエアによってセット（１）すると，最初のカウント・クロックでTM2/TM2Wの内容が0Hとなり，カウントアップ動作を開始します。

カウントアップの結果，TM2/TM2Wの内容がFFH/FFFFH（フルカウント）になると，TMC1のビット６（OVF2）がセット（１）され，TM2/TM2Wはカウント値FFH/FFFFHのまま停止します。

カウント停止状態から再びワンショット・タイマ動作をスタートさせる場合，OVF2ビットをソフトウエアでクリア（０）することによって行います。OVF2ビットをクリア（０）すると，次のカウント・クロックでTM2/TM2Wの内容が0Hとなり，カウントアップ動作を再開します。

TM2/TM2Wのカウント動作中にCE2ビットをソフトウエアによりクリア（０）すると，TM2/TM2Wはただちに0Hになり，停止状態となります。また，CE2ビットがセット（１）されている状態で，さらにソフトウエアでCE2ビットをセット（１）した場合，TM2/TM2Wのカウント動作は影響を受けません。

10.7　コンペア・レジスタ，キャプチャ／コンペア・レジスタ，キャプチャ・レジスタの動作

10.7.1　コンペア動作

タイマ／カウンタ２は，コンペア・レジスタ（CR20），コンペア動作に指定したキャプチャ／コンペア・レジスタ（CR21）に設定された値をタイマ・レジスタ２（TM2）のカウント値と比較するコンペア動作を行います。

あらかじめ設定されたCR20，CR21の値にTM2のカウント値がカウント動作によって一致すると，出力制御回路に一致信号を送ります。同時に割り込み要求信号（INTC20, INTC21）を発生します。

また，CR20またはCR21の値と一致後，TM2の内容をクリアすることができ，CR20，またはCR21に設定した値を繰り返しカウントするインターバル・タイマとして動作します。

図10－16　８ビット動作モード時のコンペア動作

備考　CLR21 = 0，CLR22 = 0，BW2 = 0

図10－17　16ビット動作モード時のコンペア動作

備考　CLR21 = 0，CLR22 = 0，BW2 = 1

図10－18　一致検出後，TM2のクリア

備考　CLR22 = 0

10.7.2　キャプチャ動作

タイマ／カウンタ２は，外部トリガに同期してタイマ・レジスタ２（TM2）のカウント値をキャプチャ・レジスタに取り込み，保持するキャプチャ動作を行います。

外部トリガとして，外部割り込み要求入力端子（INTP1，INTP2）の入力から検出された有効エッジを用います（キャプチャ・トリガ）。そのキャプチャ・トリガに同期してカウント中のTM2のカウント値をINTP1に同期してキャプチャ・レジスタ（CR22）に，INTP2に同期してキャプチャ動作に指定したキャプチャ／コンペア・レジスタ（CR21）に取り込み，保持します。

CR21，CR22のそれぞれに対応した次のキャプチャ・トリガが発生するまで，CR21，CR22の内容は保持されます。

キャプチャ・トリガの有効エッジは外部割り込みモード・レジスタ０（INTM0）により設定します。立ち上がり，立ち下がりの両エッジがキャプチャ・トリガとなるように設定すれば，外部からの入力パルス幅を測定することができます。また，片エッジでキャプチャ・トリガを発生させた場合，入力パルスの周期を測定することができます。

INTM0の詳しいフォーマットは，第21章　エッジ検出機能　図21－１を参照してください。

また，CR21をキャプチャ・レジスタとして使用した場合，キャプチャ・トリガによりTM2の内容をCR21またはCR22にキャプチャすると同時にTM2をクリアすることが設定可能です。

図10－19　８ビット動作モード時のキャプチャ動作

備考　Dn：TM2のカウント値（n＝０，１，２，…）

CM21＝１，CLR21＝０，CLR22＝０，BW2＝０

図10－20　16ビット動作モード時のキャプチャ動作

備考　Dn：TM2Wのカウント値（n＝０，１，２，…）

CM21＝１，CLR21＝０，CLR22＝０，BW2＝０

図10－21　キャプチャ後，TM2のクリア

備考　CLR21 = 0，CLR22 = 1

注意　タイマのキャプチャ機能使用時に，キャプチャ要求信号の入力によりタイマ・レジスタをクリアしようとしても，実際には，タイマ・レジスタはクリアされる直前に一瞬カウント・アップしています。そのため，キャプチャ要求信号の入力時のタイマ・レジスタの値よりも１大きい値がコンペア・レジスタに設定されていると，コンペア・レジスタとタイマ・レジスタの値が一致して，不要な割り込み要求が発生してしまいます（図10－22参照）。したがって，プログラムを組む際は下記の動作を考慮してください。

〈動作内容〉

コンペア・レジスタに“Ｎ＋1”という値を設定し，タイマ・レジスタが“Ｎ”という値のときにキャプチャ要求信号が発生すると，タイマ・レジスタは次のカウントでクリアされるため，コンペア・レジスタによる割り込み要求は発生しない仕様になっています。しかし，実際の動作では，タイマ・レジスタはクリアされる直前に，一瞬，“Ｎ＋1”をカウントしてしまうため，タイマ・レジスタとコンペア・レジスタの値が一致してしまい，コンペア・レジスタによる割り込み要求信号が発生してしまいます。

図10－22　コンペア・レジスタによる不要な割り込み要求の発生例

10.8　出力制御回路の基本動作

出力制御回路は，コンペア・レジスタ（CR22）からの一致信号によって，タイマ出力端子（TO2，TO3）のレベルを制御します。出力制御回路の動作は，タイマ出力コントロール・レジスタ（TOC）とキャプチャ／コンペア・コントロール・レジスタ２（CRC2）によって決定されます（表10－６参照）。なお，TO2，TO3信号の端子への出力は，ポート３モード・レジスタ（PMC3）で該当する端子がコントロール・モードになっている必要があります。

表10－６　タイマ出力（TO2, TO3）の動作

TOC				CRC2				TMC1	TO3	TO2
ENTO3	ALV3	ENTO2	ALV2	MOD1	MOD0	CLR22	CLR21	CMD2		
0	0/1	0	0/1	×	×	×	×	×	ハイ／ロウ・レベル固定	ハイ／ロウ・レベル固定
0	0/1	1	0/1	0	0	×注	×	×	ハイ／ロウ・レベル固定	トグル出力（ロウ／ハイ・アクティブ）
1	0/1	0	0/1	0	0	×注	×	×	トグル出力（ロウ／ハイ・アクティブ）	ハイ／ロウ・レベル固定
1	0/1	1	0/1	0	0	×注	×	×	トグル出力（ロウ／ハイ・アクティブ）	トグル出力（ロウ／ハイ・アクティブ）
0	0/1	1	0/1	0	1	0	0	0	ハイ／ロウ・レベル固定	PWM出力（ハイ／ロウ・アクティブ）
1	0/1	0	0/1	0	1	0	0	0	トグル出力（ロウ／ハイ・アクティブ）	ハイ／ロウ・レベル固定
1	0/1	1	0/1	0	1	0	0	0	トグル出力（ロウ／ハイ・アクティブ）	PWM出力（ハイ／ロウ・アクティブ）
0	0/1	1	0/1	1	0	0	0	0	ハイ／ロウ・レベル固定	PWM出力（ハイ／ロウ・アクティブ）
1	0/1	0	0/1	1	0	0	0	0	PWM出力（ハイ／ロウ・アクティブ）	ハイ／ロウ・レベル固定
1	0/1	1	0/1	1	0	0	0	0	PWM出力（ハイ／ロウ・アクティブ）	PWM出力（ハイ／ロウ・アクティブ）
0	0/1	1	0/1	1	1	0	1	0	ハイ／ロウ・レベル固定	PPG出力（ハイ／ロウ・アクティブ）
1	0/1	0	0/1	1	1	0	1	0	トグル出力（ロウ／ハイ・アクティブ）	ハイ／ロウ・レベル固定
1	0/1	1	0/1	1	1	0	1	0	トグル出力（ロウ／ハイ・アクティブ）	PPG出力（ハイ／ロウ・アクティブ）

注　通常，この場合はCLR22は０とします。

備考１．ALVn（n＝２，３）の欄の0/1は，TOn（n＝２，３）の欄の“／”の左右にそれぞれ対応します。

２．×は０または１を表します。

３．この表にない組み合わせは，その組み合わせでの使用を禁止しています。

10.8.1　基本動作

タイマ出力コントロール・レジスタ（TOC）のENTOn（n＝２，３）をセット（１）することにより，キャプチャ／コンペア・コントロール・レジスタ２（CRC2）のMOD0，MOD1およびCLR21ビットの設定に従ったタイミングでタイマ出力（TOn：n＝２，３）を変化させることができます。

また，ENTOnをクリア（０）することにより，TOnを固定レベルにします。固定されるレベルは，TOCのALVn（n＝２，３）によって決定されます。ALVnが０のときはハイ・レベルに，ALVnが１のときはロウ・レベルになります。

10.8.2　トグル出力

トグル出力は，コンペア・レジスタ（CR20，CR21）の値がタイマ・レジスタ２（TM2）の値と一致するたびに出力レベルを反転させる動作モードです。タイマ出力（TO2）はCR20とTM2の一致によって出力レベルが反転し，タイマ出力（TO3）はCR21とTM2の一致によって出力レベルが反転します。

なお，タイマ・コントロール・レジスタ１（TMC1）のCE2ビットをリセット（０）して，タイマ／カウンタ２を停止させると，インアクティブ・レベル（$\overline{\text{ALVn}}$：n＝0, 1）を出力します。

図10－23　トグル出力の動作

表10－７　TO2，TO3のトグル出力（f_{XX} = 32 MHz）

カウント・クロック	最小パルス幅	最大パルス幅
$f_{XX}/8$	$8/f_{XX}$ （0.25 μs）	$2^{16}\times 8/f_{XX}$ （16.40 ms）
$f_{XX}/16$	$16/f_{XX}$ （0.50 μs）	$2^{16}\times 16/f_{XX}$ （32.80 ms）
$f_{XX}/32$	$16/f_{XX}$ （1.00 μs）	$2^{16}\times 32/f_{XX}$ （65.50 ms）
$f_{XX}/64$	$64/f_{XX}$ （2.00 μs）	$2^{16}\times 64/f_{XX}$ （131 ms）
$f_{XX}/128$	$128/f_{XX}$ （4.00 μs）	$2^{16}\times 128/f_{XX}$ （262 ms）
$f_{XX}/256$	$256/f_{XX}$ （8.00 μs）	$2^{16}\times 256/f_{XX}$ （524 ms）
$f_{XX}/512$	$512/f_{XX}$ （16.00 μs）	$2^{16}\times 512/f_{XX}$ （1.05 s）
$f_{XX}/1024$	$1024/f_{XX}$ （32.00 μs）	$2^{16}\times 1024/f_{XX}$ （2.10 s）
$f_{XX}/2048$	$2048/f_{XX}$ （64.00 μs）	$2^{16}\times 2048/f_{XX}$ （4.19 s）

10.8.3　PWM出力

（1）PWM出力の基本動作

タイマ・レジスタ２（TM2）がフルカウントする期間を１周期とするPWM信号を出力するモードです。タイマ出力（TO2）のパルス幅は，コンペア・レジスタ（CR20）の値によって決定され，タイマ出力（TO3）のパルス幅は，コンペア・レジスタ（CR21）の値によって決定されます。この機能を使用する場合は，キャプチャ／コンペア・コントロール・レジスタ２（CRC2）のCLR21ビットおよびCLR22ビットを０に，また，タイマ・コントロール・レジスタ１（TMC1）のCMD2ビットを０にする必要があります。

パルス周期とパルス幅は，次のようになります。

（a）BW2 = 0のとき

- PWM周期 = 256×x/f_{XX}
- PWMパルス幅 = CR2n×x/f_{XX}[注]；x = 8，16，32，64，128，256，512，1024，2048

注　CR2nには０は設定できません。

- デューティ = $\frac{\text{PWMパルス幅}}{\text{PWM}} = \frac{\text{CR2n}}{256}$

（b）BW2 = 1のとき

- PWM周期 = 65536×x/f_{XX}
- PWMパルス幅 = CR2n×x/f_{XX}[注]；x = 8，16，32，64，128，256，512，1024，2048

注　CR2nには０は設定できません。

- デューティ = $\frac{\text{PWMパルス幅}}{\text{PWM周期}} = \frac{\text{CR2n}}{65536}$

図10－24　PWMパルス出力（BW2 = 0）

備考　ALV2 = 0

表10－８　TO2，TO3のPWM周期（fxx = 32 MHz，BW2 = 0）

カウント・クロック	最小パルス幅［μs］	PWM周期［ms］	PWM周波数［Hz］
fxx/8	0.25	0.06	15625
fxx/16	0.50	0.13	7813
fxx/32	1.00	0.26	3906
fxx/64	2.00	0.51	1953
fxx/128	4.00	1.02	977
fxx/256	8.00	2.05	488
fxx/512	16.00	4.10	244
fxx/1024	32.00	8.19	122
fxx/2048	64.00	16.40	61

図10－25　PWMパルス出力（BW2 = 1）

備考　ALV2 = 0

表10－9　TO2，TO3のPWM周期（f_{XX} = 32 MHz，BW2 = 1）

カウント・クロック	最小パルス幅［μs］	PWM周期［s］	PWM周波数［Hz］
f_{XX}/8	0.25	0.02	61.0
f_{XX}/16	0.50	0.03	30.5
f_{XX}/32	1.00	0.07	15.3
f_{XX}/64	2.00	0.13	7.6
f_{XX}/128	4.00	0.26	3.8
f_{XX}/256	8.00	0.52	1.9
f_{XX}/512	16.00	1.05	1.0
f_{XX}/1024	32.00	2.10	0.5
f_{XX}/2048	64.00	4.19	0.2

図10－26は，２チャネルのPWM出力の例です。また，図10－27は，CR20WにFFFFHを設定した場合の動作です。

図10－26　TM2Wを用いたPWM出力例

備考　ALV2 = 0，AVL3 = 0

図10－27　CR20W = FFFFHのときのPWM出力例

備考１． ALV2 = 0

２． T = x/fxx（x = 8，16，32，64，128，256，512，1024，2048）

（２）コンペア・レジスタ（CR20，CR21）の書き換え

PWM出力の１周期の期間中に，二度以上CR2n（n＝０，１）の値がタイマ・レジスタ２（TM2）の値と一致しても，タイマ出力（TOn＋２：n＋２=２，３）の出力レベルは反転しません。

図10－28　コンペア・レジスタ（CR20W）の書き換え例

備考　ALV2＝１

しかし，CR2nの値をTM2より小さい値に設定すると，デューティ100 %のPWM信号が出力されてしまいます。CR2nの書き換えはTM2と書き換えを行うCR2nとの一致による割り込みで行ってください。

図10－29　PWM出力時にデューティが100 %になる例

備考　ALV2 = 0

（３）PWM出力の停止

PWM信号出力中に，タイマ・コントロール・レジスタ１（TMC1）のCE2ビットをクリア（０）してタイマ／カウンタ２を停止させるとアクティブ・レベルを出力します。

図10－30　PWM信号出力中にタイマ／カウンタ２を停止した場合

備考　ALV2 = １

注意　タイマ出力禁止時（ENTOn = ０：n = ２，３）のTOn（n = ２，３）端子の出力レベルは，ALVn（n = ２，３）ビットに設定した値の反転値となります。したがって，PWM出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

10.8.4　PPG出力

（1）PPG出力の基本動作

コンペア・レジスタ CR21の値で決まる時間を１周期とし，コンペア・レジスタ CR20の値で決まる時間をパルス幅とする矩形波を出力する機能です。PWM出力のPWM周期を可変にしたものです。この出力は，タイマ出力（TO2）からのみ出力することができます。

この機能を使用する場合は，キャプチャ／コンペア・コントロール・レジスタ２（CRC2）のCLR21ビットを１に，またCLR22ビットを０に，タイマ・コントロール・レジスタ１（TMC1）のCMD2ビットを０にする必要があります。

パルス周期とパルス幅は，次のようになります。

・PPG周期 = （CR21＋１）×x/fxx；x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048

・PPGパルス幅 = CR20×x/fxx

ただし，１≦CR20≦CR21　注

・デューティ= $\frac{\text{PPGパルス幅}}{\text{PPG周期}} = \frac{\text{CR20}}{\text{CR21}+1}$　注

注　CR20, CR21ともに“０”は設定できません。

図10－31は，タイマ・レジスタ２（TM2）を用いたPPG出力の例です。また，図10－32はCR20 = CR21に設定した場合の例です。

図10－31　TM2を用いたPPG出力例

備考　ALV2 = 0，ALV3 = 0

表10－10　TO2のPPG出力（f_{XX} = 32 MHz）

カウント・クロック	最小パルス幅	PPG周期	PPG周波数
f_{XX}/8	0.25 μs	0.50 μs－16.40 ms	2000 kHz－61.0 Hz
f_{XX}/16	0.50 μs	1.00 μs－32.80 ms	1000 kHz－30.5 Hz
f_{XX}/32	1.00 μs	2.00 μs－65.50 ms	500 kHz－15.3 Hz
f_{XX}/64	2.00 μs	4.00 μs－131 ms	250 kHz－7.6 Hz
f_{XX}/128	4.00 μs	8.00 μs－262 ms	125 kHz－3.8 Hz
f_{XX}/256	8.00 μs	16.00 μs－524 ms	62.5 kHz－1.9 Hz
f_{XX}/512	16.00 μs	32.00 μs－1.05 s	31.3 kHz－1.0 Hz
f_{XX}/1024	32.00 μs	64.00 μs－2.10 s	15.6 kHz－0.5 Hz
f_{XX}/2048	64.00 μs	128.00 μs－4.19 s	7.8 kHz－0.2 Hz

図10－32　CR20 = CR21のときのPPG出力例

備考　ALV2 = 0

T = x/fxx（x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048）

（２）コンペア・レジスタ（CR20）の書き換え

PPG出力の１周期の期間中に，二度以上CR20の値がタイマ・レジスタ２（TM2）の値と一致しても，タイマ出力（TO2）の出力レベルは変化しません。

図10－33　コンペア・レジスタの書き換え例

備考　ALV2 = １

しかし，CR20とTM2が一致するより前にCR20にTM2以下の値を書き込むと，そのPPG周期のデューティが100 %になってしまいます。CR20の書き換えは，TM2とCR20との一致による割り込みで行うようにするなどしてください。

図10－34　PPG出力時にデューティが100 %になる例

備考　ALV2 = 0

注意　割り込みの受け付けなどにかかる時間に対して，十分な時間がPPG周期にないとき（PPG周期が極端に短いとき）は，TM2とCR20の一致による割り込み処理でCR20の値を書き換えることはできません。ほかの方法（すべての割り込みをマスクして，割り込み要求フラグをソフトウエアでポーリングするなど）を考えてください。

（３）コンペア・レジスタ（CR21）の書き換え

CR21を現在の値より小さい値に変更する場合に，CR21の値をタイマ・レジスタ２（TM2）の値より小さくすると，そのときのPPG周期がTM2がフルカウントする時間まで長くなってしまいます。このときの出力レベルは，コンペア・レジスタ（CR20）とTM2が一致したあとにCR21を書き換えた場合は，TM2がオーバフローして０になるまでインアクティブ・レベルとなり，その後，正常なPPG出力に戻ります。

CR20とTM2が一致する前にCR21を書き換えた場合は，CR20とTM2が一致するまでアクティブ・レベルを出力します。TM2がオーバフローし，０になる前にCR20とTM2が一致した場合は，その時点でインアクティブ・レベルを出力します。TM2がオーバフローし，０になった時点でアクティブ・レベルを出力し，正常なPPG出力に戻ります。

CR21の書き換えは，TM2とCR21との一致割り込みで行うようにするなどしてください。

図10－35　PPG出力の周期が長くなる例

備考　ALV2 = 1

注意　割り込みの受け付けなどにかかる時間に対して，十分な時間がPPG周期にないとき（PPG周期が極端に短いとき）は，タイマ・レジスタ２（TM2）とコンペア・レジスタ（CR2n：n＝０，１）の一致による割り込み処理でCR2nの値を書き換えることはできません。ほかの方法（すべての割り込みをマスクして，割り込み要求フラグをソフトウエアでポーリングするなど）を考えてください。

（４）PPG出力の停止

PPG信号出力中に，タイマ・コントロール・レジスタ１（TMC1）のCE2ビットをクリア（０）してタイマ／カウンタ２を停止させると，停止時の出力レベルとは無関係に，アクティブ・レベルを出力します。

図10－36　PPG信号出力中にタイマ／カウンタ２を停止した場合

注意　タイマ出力禁止時（ENTOn＝０：n＝２，３）のTOn（n＝２，３）端子の出力レベルは，ALVn(n＝２，３）ビットに設定した値の反転値となります。したがって，PPG出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

10.9　使 用 例

10.9.1　インターバル・タイマとしての動作（1）

タイマ・レジスタ２（TM2）をフリーランニングさせ，割り込み処理ルーチン中でコンペア・レジスタ（CR2n：n＝０，１）に一定の値を加算することで，加算する一定の値を周期とするインターバル・タイマとして動作します（**図10－37**参照）。

図10－38に制御レジスタの設定内容，図10－39にその設定手順，図10－40に割り込み処理ルーチン内での処理を示します。

図10－37　インターバル・タイマ動作（1）のタイミング

備考　インターバル時間＝n×x/f_{XX}

1≦n≦FFH，x＝8，16，32，64，128，256，512，1024，2048

図10－38　インターバル・タイマ動作（１）における制御レジスタの設定内容

（ａ）プリスケーラ・モード・レジスタ１（PRM1）

	7	6	5	4	3	2	1	0
PRM1	PRS23	PRS22	PRS21	PRS20	0	×	×	×

→ カウント・クロックの設定
（x/fxx；x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048または外部クロック）

（ｂ）キャプチャ／コンペア・コントロール・レジスタ２（CRC2）

	7	6	5	4	3	2	1	0
CRC2	0	0	0	1	0	0	0	0

→ TM2のクリア禁止
→ TO2, TO3ともにトグル出力

（ｃ）タイマ・コントロール・レジスタ１（TMC1）

	7	6	5	4	3	2	1	0
TMC1	1	0	0	0	×	×	0	0

→ 通常モード
→ オーバフロー・フラグ
→ カウント動作許可

図10－39　インターバル・タイマ動作（１）の設定手順

図10－40　インターバル・タイマ動作（１）の割り込み要求処理

10.９.２　インターバル・タイマとしての動作（２）

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します（**図10－41**参照）。

図10－42に制御レジスタの設定内容を，図10－43にその設定手順を示します。

図10－41　インターバル・タイマ動作（２）のタイミング

備考　インターバル時間 =（n＋１）×x/fxx

0 ≦n≦FFH, x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048

図10－42　インターバル・タイマ動作（２）の制御レジスタの設定内容

（a）プリスケーラ・モード・レジスタ１（PRM1）

	7	6	5	4	3	2	1	0
PRM1	PRS23	PRS22	PRS21	PRS20	0	×	×	×

→ カウント・クロックの設定
（x/fxx；x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048または外部クロック）

（b）キャプチャ／コンペア・コントロール・レジスタ２（CRC2）

	7	6	5	4	3	2	1	0
CRC2	0	0	0	1	1	0	0	0

→ CR21とTM2の内容一致によるTM2クリア許可
→ キャプチャ動作によるTM2クリア禁止
→ TO2, TO3ともにトグル出力

（c）タイマ・コントロール・レジスタ１（TMC1）

	7	6	5	4	3	2	1	0
TMC1	1	0	0	0	×	×	0	0

→ 通常モード
→ オーバフロー・フラグ
→ カウント動作許可

図10－43　インターバル・タイマ動作（２）の設定手順

10.９.３　パルス幅測定としての動作

パルス幅測定は，外部割り込み要求入力端子（INTP1）に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。

INTP1端子に入力するパルス幅はハイ・レベル，ロウ・レベルとも３システム・クロック（0.19 μs：f_{CLK} = 16 MHz）以上必要で，これ以下の場合は有効エッジが検出されずキャプチャ動作を行いません。

図10－44に示すようにINTP1端子入力の有効エッジ（立ち上がり，立ち下がりの両エッジに指定）に同期して，カウント中のタイマ・レジスタ２（TM2）の値をキャプチャ・レジスタ（CR22）に取り込み，保持します。パルス幅は，n回目の有効エッジ検出によりCR22に取り込み，保持されているTM2のカウント値（Dn）とn－１回目の有効エッジ検出によるカウント値（D_{n-1}）との差の値とカウント・クロック数（x/f_{XX}；x = 8, 16, 32, 64, 128, 256, 521, 1024, 2048）との積から求めます。

そのときの制御レジスタの設定内容を図10－45に，設定手順を図10－46に示します。

図10－44　パルス幅測定のタイミング

備考　Dn：TM2のカウント値（n = ０，１，２，…）

x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048

図10－45　パルス幅測定の制御レジスタの設定内容

（a）プリスケーラ・モード・レジスタ１（PRM1）

	7	6	5	4	3	2	1	0
PRM1	PRS23	PRS22	PRS21	PRS20	0	×	×	×

→ カウント・クロックの設定
（x/fxx；x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048または外部クロック）

（b）キャプチャ／コンペア・コントロール・レジスタ２（CRC2）

	7	6	5	4	3	2	1	0
CRC2	0	0	0	1	0	0	0	0

→ TM2のクリア禁止

（c）タイマ・コントロール・レジスタ１（TMC1）

	7	6	5	4	3	2	1	0
TMC1	1	0	0	0	×	×	0	0

→ 通常モード
→ オーバフロー・フラグ
→ カウント動作許可

（d）外部割り込みモード・レジスタ０（INTM0）

	7	6	5	4	3	2	1	0
INTM0	×	×	1	1	×	×	0	×

→ INTP1入力の有効エッジを立ち上がり，立ち下がりの両エッジに指定

図10－46　パルス幅測定の設定手順

図10－47　パルス幅を算出する割り込み要求処理

10.９.４　PWM出力としての動作

PWM出力は，コンペア・レジスタ（CR2n：n＝０，１）に設定した値で決まるデューティ比のパルスを出力します（**図10－48**参照）。

このPWM出力は，1/256-255/256のデューティ比を1/256単位で変化させることができます。

図10－49に制御レジスタの設定内容，図10－50にその設定手順，図10－51にデューティを変化させる場合の手順を示します。

図10－48　タイマ／カウンタ２のPWM信号出力例

図10－49　PWM出力動作における制御レジスタの設定内容

（a）タイマ・コントロール・レジスタ１（TMC1）

	7	6	5	4	3	2	1	0
TMC1	1	0	0	0	×	×	0	0

→ 通常モード
→ オーバフロー・フラグ
→ TM2のカウント許可

（b）プリスケーラ・モード・レジスタ１（PRM1）

	7	6	5	4	3	2	1	0
PRM1	PRS23	PRS22	PRS21	PRS20	×	×	×	×

→ カウント・クロックの設定
（x/fxx；x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048）

（c）キャプチャ／コンペア・コントロール・レジスタ２（CRC2）

	7	6	5	4	3	2	1	0
CRC2	1	0	0	1	0	0	0	0

→ TM2のクリア禁止
→ TO2, TO3ともにPWM出力

（d）タイマ出力コントロール・レジスタ（TOC）

	7	6	5	4	3	2	1	0
TOC	1	0	×	×	×	×	×	×

→ TO3はハイ・アクティブのPWM信号出力
→ TO3のPWM出力許可

（e）ポート３モード・コントロール・レジスタ（PMC3）

	7	6	5	4	3	2	1	0
PMC3	1	×	×	×	×	×	×	×

→ P37端子をTO3出力にする

図10－50　PWM出力の設定手順

図10－51　PWM出力のデューティ変更

10.９.５　PPG出力としての動作

PPG出力は，コンペア・レジスタ（CR2n：n＝０，１）に設定した値で決まる周期と，デューティ比のパルスを出力します（**図10－52**参照）。

図10－53に制御レジスタの設定内容，図10－54にその設定手順，図10－55にデューティを変化させる場合の手順を示します。

図10－52　タイマ／カウンタ２のPPG信号出力例

図10－53　PPG出力動作における制御レジスタの設定内容（1/2）

（a）タイマ・コントロール・レジスタ１（TMC1）

（b）プリスケーラ・モード・レジスタ１（PRM1）

（c）キャプチャ／コンペア・コントロール・レジスタ２（CRC2）

（d）タイマ出力コントロール・レジスタ（TOC）

図10－53　PPG出力動作における制御レジスタの設定内容（2/2）

（ｅ）ポート３モード・コントロール・レジスタ（PMC3）

	7	6	5	4	3	2	1	0
PMC3	×	1	×	×	×	×	×	×

→ P36端子をTO2出力にする

図10－54　PPG出力の設定手順

図10－55　PPG出力のデューティ変更

10.９.６　外部イベント・カウンタとしての動作

外部イベント・カウンタは，外部から入力されるクロック・パルス（CI端子入力パルス）をカウントするものです。

図10－56に示すように，CI端子入力の有効エッジ（立ち上がりエッジのみを指定）に同期して，タイマ・レジスタ２（TM2）の値をインクリメントします。

図10－56　外部イベント・カウンタ動作（片エッジの場合）

備考　TM2の値は，入力クロック・パルス数より，１小さい値になります。

外部イベント・カウンタとして動作する場合の制御レジスタの設定内容を図10－57に，設定手順を図10－58に示します。

図10－57　外部イベント・カウンタ動作の制御レジスタの設定内容

（a）プリスケーラ・モード・レジスタ１（PRM1）

（b）外部割り込みモード・レジスタ０（INTM0）

（c）タイマ・コントロール・レジスタ１（TMC1）

図10－58　外部イベント・カウンタ動作の設定手順

10.９.７　ワンショット・タイマとしての動作

タイマ・レジスタ２（TM2）をスタートさせてから，あらかじめ設定したカウント時間後に１回だけ割り込みを発生するワンショット・パルスとして動作します（図10－59参照）。

また，２回目以降のワンショット・タイマの動作は，タイマ・コントロール・レジスタ１（TMC1）のOVF2ビットをクリアすることで起動することができます。

図10－60に制御レジスタの設定内容，図10－61にその設定手順，図10－62に２回目以降のワンショット・タイマの起動手順を示します。

図10－59　ワンショット・タイマ動作

図10－60　ワンショット・タイマ動作の制御レジスタの設定内容

（a）タイマ・コントロール・レジスタ１（TMC1）

	7	6	5	4	3	2	1	0
TMC1	CE2	OVF2	1	0	×	×	×	×

→ ワンショット・タイマ・モード

（b）プリスケーラ・モード・レジスタ１（PRM1）

	7	6	5	4	3	2	1	0
PRM1	PRS23	PRS22	PRS21	PRS20	0	×	×	×

→ カウント・クロックの指定

（x/f_{XX}；x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048または外部クロック）

（c）キャプチャ／コンペア・コントロール・レジスタ２（CRC2）

	7	6	5	4	3	2	1	0
CRC2	0	0	0	1	0	0	0	0

→ TM2のクリア禁止

図10－61　ワンショット・タイマ動作の設定手順

図10－62　２回目以降のワンショット・タイマの起動手順

10.10　注意事項

（１）タイマ／カウンタ２が動作している期間（タイマ・コントロール・レジスタ１（TMC1）のCE2ビットがセットされているとき），次のレジスタの内容を書き換えると誤動作する可能性があります。誤動作はレジスタの書き換えによるハードウエアの機能の変化と，書き換え前の機能で状態が変化するタイミングが競合した場合にどちらが優先されるかが不定のために発生します。

次のレジスタの内容を書き換える場合は，安全のため必ずカウンタ動作を停止させてから行ってください。

- プリスケーラ・モード・レジスタ１（PRM1）
- キャプチャ／コンペア・コントロール・レジスタ２（CRC2）
- タイマ出力コントロール・レジスタ（TOC）
- タイマ・コントロール・レジスタ１（TMC1）のCMD2ビット

（２）タイマ・レジスタ２（TM2）の動作を停止させる命令実行時にコンペア・レジスタ（CR2n：n＝０，１）とTM2の内容が一致した場合，TM2のカウント動作は停止しますが，割り込みの要求は発生します。

TM2の動作を停止する場合に割り込みを発生させたくないときは，先に割り込みマスク・レジスタで割り込みをマスクしてからTM2を停止させてください。

例

割り込み要求が発生する可能性のあるプログラム

```
        ⋮
CLR1 CE2
OR   MK0H, #03H   ←この間でタイマ／カウンタ２からの割り込み要求発生
        ⋮
```

割り込み要求が発生しないプログラム

```
        ⋮
OR   MK0H, #03H   ←タイマ／カウンタ２からの割り込み禁止
CLR1 CE2
CLR1 CIF20        ←タイマ／カウンタ２からの割り込み要求フラグをクリア
CLR1 CIF21
        ⋮
```

（３）タイマ／カウンタ２をスタート（CE2←１）させる操作を行ってから，実際にタイマ／カウンタ２がスタートするまで最大１カウント・クロック分の時間がかかります（図10－63参照）。

たとえば，インターバル・タイマとして使用する場合は，１回目のインターバル時間が最大１クロック分だけ長くなります。２回目以降は，指定した間隔どおりになります。

図10－63　カウント・スタート時の動作

（４）コンペア・レジスタ（CR2n：n＝０，１）への書き込みを行う命令実行中は，書き込みの対象となっているCR2nとタイマ・レジスタ２（TM2）の一致を検出しません。たとえば，書き込みの前後でCR2nの内容が変わらない場合に，TM2の値がCR2nの値と一致しても割り込みの要求は発生せず，また，タイマ出力（TOn＋２：n＋２＝２，３）も変化しません。

タイマ／カウンタ２がカウント動作を行っているときのCR2nへの書き込みは，CR2nへの書き込み中にTM2の内容とCR2nの書き込み前後の値が一致しないようなタイミングで行ってください（TM2とCR2nの一致による割り込み要求の発生直後など）。

（５）タイマ・レジスタ２（TM2）とコンペア・レジスタ（CR2n：n＝０，１）の一致の検出は，TM2がインクリメントされたときにのみ行われます。したがって，TM2と同じ値をCR2nへ書き込んでも割り込みの要求は発生せず，タイマ出力（TOn＋２：n＋２＝２，３）も変化しません。

（６）PPG出力を使用している場合，割り込みの受け付けなどにかかる時間に対して，十分な時間がPPG周期にないとき（PPG周期が極端に短いとき）は，タイマ・レジスタ２（TM2）とコンペア・レジスタ（CR2n：n＝０，１）の一致による割り込み処理でCR2nの値を書き換えることはできません。ほかの方法（すべての割り込みをマスクして，割り込み要求フラグをソフトウエアでポーリングするなど）を考えてください。

（７）タイマ出力禁止時（ENTOn＝０：n＝２，３）のTOn（n＝２，３）端子の出力レベルは，ALVn（n＝２，３）ビットに設定した値の反転値となります。したがって，PWM出力機能またはPPG出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

（８）表10－11の“×”の条件でタイマ・レジスタを読み込むと，読み込み値が不正になる場合があります。“×”の条件では，タイマ・レジスタを読み込まないでください。

表10－11　タイマ・レジスタ読み込み制限条件

（○：読み出し可能，×：読み出し禁止）

タイマ・カウント・クロック ＼ f_{CLK}	$f_{XX}/2$	$f_{XX}/4$	$f_{XX}/8$	$f_{XX}/16$
$f_{XX}/8$	○	○	×	×
$f_{XX}/16$	○	○	○	×
f_{XX}/n	○	○	○	○

備考１． f_{XX}　：発振周波数

２． f_{CLK}　：内部システム・クロック周波数

３． n＝32, 64, 128, 256, 512, 1024, 2048

（９）タイマ／カウンタ２を外部イベント・カウンタとして使用する場合，有効エッジの入力が一度もない状態と１回だけあった状態の区別がタイマ・レジスタ２（TM2）だけではつけられません（図10－64参照）。TM2の内容はいずれの場合も０になります。区別をつける必要がある場合には，INTP2の割り込み要求フラグを利用してください（INTP2端子とCI端子は兼用になっており，いずれの機能も同時に使用できます）。例を図10－65に示します。

図10－64　外部イベント・カウンタで１回または１回以下の有効エッジ入力の区別がつかない例

図10－65　外部イベント・カウンタで１回以下の有効エッジ入力を区別する方法

（a）カウント・スタート時の処理

（b）カウント値読み出し時の処理

（10）タイマのキャプチャ機能使用時に，キャプチャ要求信号の入力によりタイマ・レジスタをクリアしようとしても，実際には，タイマ・レジスタはクリアされる直前に一瞬カウント・アップしています。そのため，キャプチャ要求信号の入力時のタイマ・レジスタの値よりも１大きい値がコンペア・レジスタに設定されていると，コンペア・レジスタとタイマ・レジスタの値が一致して，不要な割り込み要求が発生してしまいます（図10－66参照）。したがって，プログラムを組む際は下記の動作を考慮してください。

〈動作内容〉

コンペア・レジスタに“Ｎ＋１”という値を設定し，タイマ・レジスタが“Ｎ”という値のときにキャプチャ要求信号が発生すると，タイマ・レジスタは次のカウントでクリアされるため，コンペア・レジスタによる割り込み要求は発生しない仕様になっています。しかし，実際の動作では，タイマ・レジスタはクリアされる直前に，一瞬，“Ｎ＋１”をカウントしてしまうため，タイマ・レジスタとコンペア・レジスタの値が一致してしまい，コンペア・レジスタによる割り込み要求信号が発生してしまいます。

図10－66　コンペア・レジスタによる不要な割り込み要求の発生例

★　（11）コンペア・レジスタ（CR20）とタイマ・レジスタ２（TM2）の一致タイミングでTM2のカウント動作を停止すると，次回タイマ／カウンタ２起動後のCR20とTM2の一致割り込みが発生しない場合があります。

CR20とTM2が一致してから1.5カウント・クロック以内にTM2のカウント動作を停止した場合，次回タイマ／カウンタ２起動後，最初の一致割り込みが発生しません。１回目以降の一致割り込みは正常に動作します。なお，タイマ出力はこの影響を受けず正常に動作します。この現象は，下図網掛け範囲内でタイマ／カウンタ２を停止するとタイマ割り込み制御回路が割り込みをマスクするために発生します。

割り込み制御回路はタイマ／カウンタ２のオーバフローおよびCR21とTM2の一致で初期化されます。

備考　M＜N

CR20とTM2の一致から1.5カウント・クロック以内にタイマ／カウンタ２を停止しないようにしてください。

たとえばタイマ／カウンタ２を停止するときは，すべての割り込み要求（マクロ・サービスを含む）を禁止し，停止させるタイマ／カウンタ２の値を読み出し，CR20とTM2の一致から1.5カウント・クロックを越えてから停止してください。

第11章　タイマ３

11.1　機　　能

タイマ３は，16ビットまたは８ビットのタイマです。

インターバル・タイマとしての機能のほかにクロック同期式シリアル・インタフェース（CSI）のクロック生成用カウンタとして使用することができます。

インターバル・タイマは，あらかじめ設定したインターバルで内部割り込みを発生します。表11－１に，インターバル時間の設定範囲を示します。

表11－１　タイマ３のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
8/fxx (0.25 μs)	2^{16}×8/fxx (16.40 ms)	8/fxx (0.25 μs)
16/fxx (0.50 μs)	2^{16}×16/fxx (32.80 ms)	16/fxx (0.50 μs)
32/fxx (1.00 μs)	2^{16}×32/fxx (65.50 ms)	32/fxx (1.00 μs)
64/fxx (2.00 μs)	2^{16}×64/fxx (131 ms)	64/fxx (2.00 μs)
128/fxx (4.00 μs)	2^{16}×128/fxx (262 ms)	128/fxx (4.00 μs)
256/fxx (8.00 μs)	2^{16}×256/fxx (524 ms)	256/fxx (8.00 μs)
512/fxx (16.00 μs)	2^{16}×512/fxx (1.05 s)	512/fxx (16.00 μs)
1024/fxx (32.00 μs)	2^{16}×1024/fxx (2.10 s)	1024/fxx (32.00 μs)
2048/fxx (64.00 μs)	2^{16}×2048/fxx (4.19 s)	2048/fxx (64.00 μs)

（　）内はfxx = 32 MHzの場合

11.2　構　　成

タイマ３は，次のレジスタから構成されています。

・タイマ・レジスタ（TM3/TM3W）×１
・コンペア・レジスタ（CR30/CR30W）×１

図11－１に，タイマ３のブロック図を示します。

図11－１　タイマ３のブロック図

（1）タイマ・レジスタ３（TM3/TM3W）

TM3/TM3Wは，プリスケーラ・モード・レジスタ０（PRM0）の上位４ビットで指定されるカウント・クロックをアップカウントするタイマ・レジスタです。

タイマ・コントロール・レジスタ０（TMC0）により，カウント動作の停止／許可を指定します。また，８ビット動作モード（TM3）/16ビット動作モード（TM3W）の選択ができます。

8/16ビット操作命令で読み出しのみが可能です。

$\overline{\text{RESET}}$入力により00Hとなり，カウントは停止します。

注意　表11－２の“×”の条件でタイマ・レジスタを読み込むと，読み込み値が不正になる場合があります。“×”の条件では，タイマ・レジスタを読み込まないでください。

表11－２　タイマ・レジスタ読み込み制限条件

（○：読み出し可能，×：読み出し禁止）

タイマ・カウント・クロック ＼ f_{CLK}	$f_{XX}/2$	$f_{XX}/4$	$f_{XX}/8$	$f_{XX}/16$
$f_{XX}/8$	○	○	×	×
$f_{XX}/16$	○	○	○	×
f_{XX}/n	○	○	○	○

備考１． f_{XX}　：発振周波数

２． f_{CLK} ：内部システム・クロック周波数

３． n = 32, 64, 128, 256, 512, 1024, 2048

（2）コンペア・レジスタ（CR30/CR30W）

CR30/CR30Wは，インターバル・タイマ動作の周期を決める値を保持する8/16ビット・レジスタです。

CR30/CR30Wの内容がTM3/TM3Wの値と一致すると，TM3/TM3Wの内容を自動的にクリアし，割り込み要求（INTC30）を発生します。

８ビット動作モード時はCR30，16ビット動作モード時はCR30Wになります。

8/16ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

（3）プリスケーラ

カウント・クロックを内部システム・クロックから生成します。このプリスケーラで生成されたクロックをセレクトで選択し，カウント・クロックとしてタイマ・レジスタ３（TM3/TM3W）はカウント動作を行います。

（4）セレクタ

タイマ・レジスタ３（TM3/TM3W）のカウント・クロックとして内部クロックを分周した信号またはエッジ検出回路で検出されたエッジから選択します。

11.3　タイマ３制御レジスタ

（1）タイマ・コントロール・レジスタ０（TMC0）

TMC0は，上位４ビットでタイマ３のTM3/TM3Wのカウント動作を制御します（下位４ビットはタイマ／カウンタ０のTM0のカウント動作を制御します）。

８ビット操作命令で読み出し／書き込みが可能です。図11－２に，TMC0のフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図11－２　タイマ・コントロール・レジスタ０（TMC0）のフォーマット

（2）プリスケーラ・モード・レジスタ０（PRM0）

PRM0は，上位４ビットでタイマ３のTM3/TM3Wのカウント・クロックを指定します（下位４ビットはタイマ／カウンタ０のTM0のカウント・クロックを指定します）。

８ビット操作命令で読み出し／書き込みが可能です。図11－３に，PRM0のフォーマットを示します。

$\overline{\text{RESET}}$入力により11Hになります。

図11－３　プリスケーラ・モード・レジスタ０（PRM0）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PRM0	PRS3	PRS2	PRS1	PRS0	PRS03	PRS02	PRS01	PRS00	0FF5CH	11H	R/W

タイマ／カウンタ０のTM0のカウント・クロックを指定します（図８－３参照）。

（f_{XX} = 32 MHz）

PRS3	PRS2	PRS1	PRS0	タイマ３のTM3/TM3Wのカウント・クロック指定	
				カウント・クロック［Hz］の指定	分解能［μs］
0	0	0	0	設定禁止	－
0	0	0	1	f_{XX}/8	0.25
0	0	1	0	f_{XX}/16	0.50
0	0	1	1	f_{XX}/32	1.00
0	1	0	0	f_{XX}/64	2.00
0	1	0	1	f_{XX}/128	4.00
0	1	1	0	f_{XX}/256	8.00
0	1	1	1	f_{XX}/512	16.00
1	0	0	0	f_{XX}/1024	32.00
1	0	0	1	f_{XX}/2048	64.00
上記以外				設定禁止	

11.4　タイマ・レジスタ３（TM3）の動作

11.4.1　基本動作

タイマ３は，タイマ・コントロール・レジスタ０（TMC0）のビット４（BW3）で８ビット動作モード／16ビット動作モードの制御が可能です。注

タイマ３のカウント動作は，プリスケーラ・モード・レジスタ０（PRM0）の上位４ビットで指定されるカウント・クロックによるカウントアップで行います。

$\overline{\text{RESET}}$入力により，TM3は0000Hにクリアされ，カウント動作は停止します。

カウント動作の禁止／許可は，タイマ・コントロール・レジスタ０（TMC0）のビット７（CE3）で制御します（タイマ３の動作制御はTMC0の上位４ビットです）。CE3ビットをソフトウエアによりセット（１）すると，最初のカウント・クロックでTM3はただちに0Hにクリアされたのち，カウントアップ動作を行います。CE3ビットをクリア（０）することによってTM3はただちに0Hになり，一致信号の発生は停止します。CE3ビットがセット（１）されている状態でさらにCE3ビットをセット（１）した場合，TM3はクリアされないでカウント動作を続けます。

注　機能に特に違いがない場合は，８ビット動作モードで説明しています。
16ビット動作モード時は，TM3，CR30は，TM3W，CR30Wになります。

図11－４　８ビット動作モード時の基本動作（BW3＝０）

（ａ）カウント・スタート→カウント停止→カウント・スタートの場合

（ｂ）カウント・スタート後に再度CE3ビットに“１”を書き込んだ場合

図11－５　16ビット動作モード時の基本動作（BW3＝１）

（ａ）カウント・スタート→カウント停止→カウント・スタートの場合

（ｂ）カウント・スタート後に再度CE3ビットに“１”を書き込んだ場合

11.4.2　クリア動作

（1）コンペア・レジスタ（CR30）との一致によるクリア動作

タイマ・レジスタ３（TM3）は，CR30との一致により自動的にクリアされます。TM3は，クリアする要因が発生すると，次のカウント・クロックで0Hにクリアされます。したがって，クリアする要因が発生しても，次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

図11－６　コンペア・レジスタ（CR30）との一致によるTM3のクリア

（2）タイマ・コントロール・レジスタ０（TMC0）のCE3ビットによるクリア動作

タイマ・レジスタ３（TM3）はソフトウエアにより，TMC0のCE3ビットをクリア（０）することによってもクリアされます。クリア動作は，CE3ビットがクリア（０）されるとただちに行われます。

図11－７　CE3ビットをクリア（０）した場合のクリア動作

（ａ）基本動作

（ｂ）クリア後のカウント・クロックが入力される前の再スタート

このカウント・クロック以前にCE3ビットがセット(1)された場合,
このカウント・クロックで０からカウント

（ｃ）クリア後にカウント・クロックが入力されてからの再スタート

このカウント・クロック以降にCE3ビットがセット（1）された場合,
CE3ビットをセット（1）したあとのカウント・クロックで0からカウント

11.5　コンペア・レジスタの動作

タイマ３は，コンペア・レジスタ（CR30）に設定された値をタイマ・レジスタ３（TM3）のカウント値と比較するコンペア動作を行います。

あらかじめ設定されたCR30の値にTM3のカウント値がカウント動作によって一致すると，割り込み要求（INTC30）を発生します。

また一致後，TM3の内容を自動的にクリアしますので，CR30に設定した値を繰り返しカウントするインターバル・タイマとして動作します。

図11－８　コンペア動作

11.6　使 用 例

〈インターバル・タイマとしての動作〉

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します（図11－９参照）。また，ボー・レート生成用としても使用できます。

このインターバル・タイマは，最小0.25 μs，最大64.00 μsの分解能で，それぞれ最高16.40 ms，4.19 sまでのカウントができます（内部システム・クロックfxx = 32 MHz）。

図11－10に制御レジスタの設定内容を，図11－11にその設定手順を示します。

図11－９　インターバル・タイマ動作のタイミング

備考　インターバル時間 =（n＋１）×x/fxx

0 ≦n≦FFH, x = ８, 16, 32, 64, 128, 256, 512, 1024, 2048

図11－10　インターバル・タイマ動作の制御レジスタの設定内容

プリスケーラ・モード・レジスタ０（PRM0）

	7	6	5	4	3	2	1	0
PRM0	PRS3	PRS2	PRS1	PRS0	0	0	0	0

→ カウント・クロックの指定

（x/fxx；x = 8, 16, 32, 64, 128, 256, 512, 1024, 2048）

図11－11　インターバル・タイマ動作の設定手順

11.7　注意事項

（１）タイマ３が動作している期間（タイマ・コントロール・レジスタ０（TMC0）のCE3ビットがセットされているとき），プリスケーラ・モード・レジスタ０（PRM0）の内容を書き換えると誤動作する可能性があります。誤動作はレジスタの書き換えによるハードウエアの機能の変化と，書き換え前の機能で状態が変化するタイミングが競合した場合にどちらが優先されるかが不定のために発生します。

PRM0の内容を書き換える場合は，安全のため必ずカウンタ動作を停止させてから行ってください。

（２）タイマ・レジスタ３（TM3）の動作を停止させる命令実行時にコンペア・レジスタ（CR30）とTM3の内容が一致した場合，TM3のカウント動作は停止しますが，割り込みの要求は発生します。

TM3の動作を停止する場合に割り込みを発生させたくないときは，先に割り込みマスク・レジスタで割り込みをマスクしてからTM3を停止させてください。

例

割り込み要求が発生する可能性のあるプログラム

```
      ⋮
CLR1 CE3
SET1 CMK30   ←この間でタイマ３からの
                割り込み要求発生
      ⋮
```

割り込み要求が発生しないプログラム

```
      ⋮
SET1 CMK30   ←タイマ３からの割り込み禁止
CLR1 CE3
CLR1 CIF30   ←タイマ３からの割り込み要求
      ⋮          フラグをクリア
```

（３）タイマ３をスタート（CE3←１）させる操作を行ってから，実際にタイマ３がスタートするまで最大１カウント・クロック分の時間がかかります（図11－12参照）。

たとえば，インターバル・タイマとして使用する場合は，１回目のインターバル時間が最大１クロック分だけ長くなります。２回目以降は，指定した間隔どおりになります。

図11－12　カウント・スタート時の動作

（４）コンペア・レジスタ（CR30）への書き込みを行う命令実行中は，書き込みの対象となっているCR30とタイマ・レジスタ３（TM3）の一致を検出しません。

タイマ３がカウント動作を行っているときのCR30への書き込みは，CR30への書き込み中にTM3の内容とCR30の書き込み前後の値が一致しないようなタイミングで行ってください（TM3とCR30の一致による割り込み要求の発生直後など）。

（５）タイマ・レジスタ３（TM3）とコンペア・レジスタ（CR30）の一致の検出は，TM3がインクリメントされたときにのみ行われます。したがって，TM3と同じ値をCR30へ書き込んでも割り込みの要求は発生しません。

（６）表11－３の“×”の条件でタイマ・レジスタを読み込むと，読み込み値が不正になる場合があります。“×”の条件では，タイマ・レジスタを読み込まないでください。

表11－３　タイマ・レジスタ読み込み制限条件

（○：読み出し可能，×：読み出し禁止）

タイマ・カウント・クロック ＼ f_{CLK}	$f_{XX}/2$	$f_{XX}/4$	$f_{XX}/8$	$f_{XX}/16$
$f_{XX}/8$	○	○	×	×
$f_{XX}/16$	○	○	○	×
f_{XX}/n	○	○	○	○

備考１． f_{XX}　：発振周波数

２． f_{CLK}　：内部システム・クロック周波数

３． n = 32, 64, 128, 256, 512, 1024, 2048

第12章　ウォッチドッグ・タイマ

ウォッチドッグ・タイマは，プログラムの暴走を検出するためのタイマです。

ウォッチドッグ・タイマ割り込みの発生で，プログラムまたはシステムが異常であることを検出します。そのため，プログラムの各所に，一定時間以内にウォッチドッグ・タイマをクリア（カウント開始）する命令を入れておきます。

ウォッチドッグ・タイマをクリアする命令が，設定した時間内に実行されずにウォッチドッグ・タイマがオーバフローすると，ウォッチドッグ・タイマ割り込み（INTWDT）が発生し，プログラムの異常を知らせます。

12.1　構　　成

図12－1に，ウォッチドッグ・タイマのブロック図を示します。

図12－1　ウォッチドッグ・タイマのブロック図

12.2　ウォッチドッグ・タイマ・モード・レジスタ（WDM）

WDMは，ウォッチドッグ・タイマの動作を制御する８ビット・レジスタです。

プログラムの暴走によってウォッチドッグ・タイマが誤ってクリアされないように，専用命令によってのみ書き込みができます。この専用命令は，MOV WDM，＃byte命令で特殊なコード構成（４バイト）になっています。３バイト目と４バイト目のオペコードが互いに補数の場合のみ，書き込みが行われます。

また，３バイト目と４バイト目のオペコードが互いに補数でなければ書き込みが行われず，オペランド・エラー割り込みが発生します。この場合，スタック領域に退避されるリターン・アドレスは，エラーの原因となった命令のアドレスです。したがって，スタック領域に退避されたリターン・アドレスにより，エラーの原因となったアドレスを知ることができます。

なお，単純にオペランド・エラーからRETB命令で復帰を行うと，無限ループとなります。

オペランド・エラー割り込みは，プログラムが暴走している場合にのみ発生する（当社製アセンブラRA78K4では，MOV WDM，＃byteと記述された場合，正しい専用命令しか生成しません）ので，システムの初期化をプログラムで行うようにしてください。

他の書き込み命令（MOV WDM，A，AND WDM，＃byte，SET1 WDM.7など）は無視され，何の動作も行いません。すなわち，WDMへの書き込みは行われず，また，オペランド・エラー割り込みのような割り込みも発生しません。

システム・リセット（$\overline{\text{RESET}}$入力）後，いったんウォッチドッグ・タイマをスタートさせると（RUNビットをセット（１）すると），WDMの内容を変更できません。ウォッチドッグ・タイマを停止させることができるのはリセットのみです。ウォッチドッグ・タイマのクリアは，専用命令によりいつでもできます。

WDMの読み出しは，データ転送命令によりいつでもできます。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図12－２に，WDMのフォーマットを示します。

図12－2　ウォッチドッグ・タイマ・モード・レジスタ（WDM）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDM	RUN	0	0	PRC	0	WDI2	WDI1	0	FFC2H	00H	R/W

WDI2	WDI1	オーバフロー時間［ms］ f_{CLK} = 16 MHz
0	0	$2^{17}/f_{CLK}$（8.19）
0	1	$2^{19}/f_{CLK}$（32.77）
1	0	$2^{20}/f_{CLK}$（65.54）
1	1	$2^{21}/f_{CLK}$（131.07）

備考　f_{CLK}：内部システム・クロック周波数

PRC	ウォッチドッグ・タイマの割り込み要求の優先順位の指定
0	ウォッチドッグ・タイマの割り込み要求＜NMI端子入力の割り込み要求
1	ウォッチドッグ・タイマの割り込み要求＞NMI端子入力の割り込み要求

RUN	ウォッチドッグ・タイマの動作の指定
0	ウォッチドッグ・タイマの停止
1	ウォッチドッグ・タイマをクリアし，カウントの開始

注意１．ウォッチドッグ・タイマ・モード・レジスタ（WDM）は，専用命令（MOV WDM，#byte）でのみ書き込みが可能です。

２．RUNビットをセット（1）するためのWDMへの書き込みには，毎回，同じ値を書き込んでください。異なる値を書いても１回目に書き込んだ内容を変更できません。

３．RUNビットは，いったんセット（1）するとソフトウエアではリセット（0）できません。

12.3　動　　作

12.3.1　カウント動作

ウォッチドッグ・タイマは，ウォッチドッグ・タイマ・モード・レジスタ（WDM）のRUNビットをセット（1）することによりクリアされ，カウント動作を開始します。RUNビットをセット（1）したあと，WDMのWDM2，WDM1ビットで指定されたオーバフロー時間が経過すると，ノンマスカブルな割り込みである割り込み（INTWDT）を発生します。

オーバフロー時間が経過する前にRUNビットを再度セット（1）すると，ウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。

12.3.2　割り込み優先順位

ウォッチドッグ・タイマ割り込み（INTWDT）は，マスク不可能な割り込みです。マスク不可能な割り込みには，INTWDTのほかにNMI端子からの割り込み（NMI）があります。ウォッチドッグ・タイマ・モード・レジスタ（WDM）のビット4の設定により，INTWDTとNMIが同時に発生した場合の受け付け順序を指定することができます。

NMIの受け付けを優先している場合で，NMIの処理プログラムを実行中にINTWDTが発生しても，INTWDTは受け付けられず，NMIの処理プログラム終了後に受け付けられます。

12.4　注意事項

12.4.1　ウォッチドッグ・タイマ使用時の一般的な注意事項

（1）ウォッチドッグ・タイマは，暴走を検出するための手段の１つですが，すべての暴走を検出できるわけではありません。したがって，特に信頼性の要求される装置では，内蔵のウォッチドッグ・タイマだけでなく，外付けの回路により暴走を早期に検出し，正常状態に復帰，または安全な状態にして動作を停止させるなどの処理ができるようにする必要があります。

（2）次のような場合，ウォッチドッグ・タイマは暴走を検出できません。

① ウォッチドッグ・タイマのクリアを，タイマ割り込み処理プログラム内で行っている場合
② 割り込み要求およびマクロ・サービスが一時的に保留される場合（22.9参照）が連続して発生している場合
③ プログラムの論理的な誤りにより暴走している場合（プログラムの各モジュールは正常に動作しているが，全体として正常に動作していない場合）で，ウォッチドッグ・タイマを定期的にクリアしている場合
④ 暴走時に実行している命令群で，定期的にウォッチドッグ・タイマをクリアしている場合
⑤ 暴走の結果，STOPモード，HALTモードまたはIDLEモードになってしまった場合
⑥ CPUが外来ノイズで暴走したときにウォッチドッグ・タイマも暴走してしまった場合

①，②，③の場合は，プログラムを修正することで検出を可能にすることができます。

④の場合は，ウォッチドッグ・タイマがクリアできるのは４バイトの専用命令だけです。⑤も同様に４バイトの専用命令でなければSTOPモード，HALTモードまたはIDLEモードにすることができません。また，暴走の結果，②の状態になるためには，３バイト以上の連続したデータが特定パターン（例 BT PSWL. bit, $$など）になっている必要があります。したがって，④，⑤および暴走の結果，②の状態になることが発生するのはきわめてまれであると考えられます。

12.4.2　μPD784038サブシリーズのウォッチドッグ・タイマに関する注意事項

（1）ウォッチドッグ・タイマ・モード・レジスタ（WDM）は，専用命令（MOV WDM, #byte）でのみ書き込みが可能です。

（2）RUNビットをセット（1）するためのウォッチドッグ・タイマ・モード・レジスタ（WDM）への書き込みには，毎回，同じ値を書き込んでください。異なる値を書いても１回目に書き込んだ内容を変更できません。

（3）RUNビットは，いったんセット（1）するとソフトウエアではリセット（0）できません。

第13章　PWM出力ユニット

μPD784038は，12ビット分解能のPWM（パルス幅変調）出力回路を，２チャネル内蔵しています。PWM出力パルスのアクティブ・レベルをハイ／ロウに選択することができます。また，PWM出力ポートは，P10，P11端子と兼用になっています。

13.1　PWM出力ユニットの構成

図13－１に，PWM出力ユニットの構成を示します。

図13－１　PWM出力ユニットの構成

備考　n＝０，１

（1）８ビット・ダウン・カウンタ

基本となるPWM信号のタイミングを生成します。

（2）PWMパルス生成回路（４ビット・カウンタを含む）

追加パルス付加の制御をし，出力するPWMパルスを生成します。

（3）リロード制御

８ビット・ダウン・カウンタおよび４ビット・カウンタのモジュロ値のリロードを制御します。

（4）出力制御回路

PWM信号のアクティブ・レベルの制御をします。

（5）プリスケーラ

f_{CLK}を分周し，基準クロックを生成します。

13.2　PWM出力ユニットの制御レジスタ

13.2.1　PWMコントロール・レジスタ（PWMC）

PWMCは，PWM出力端子（PWMn：n = 0，1）の動作状態を制御する８ビット・レジスタです。

PWMCは，８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。図13－２に，PWMCのフォーマットを示します。

$\overline{\text{RESET}}$入力によりPWMCは05Hとなり，PWMn端子はポート・モードとなり入力状態（出力ハイ・インピーダンス）となります。

図13－２　PWMコントロール・レジスタ（PWMC）のフォーマット

	7	6	5	4	③	2	①	0	アドレス	リセット時	R/W
PWMC	SYN1	0	SYN0	0	EN1	ALV1	EN0	ALV0	0FF70H	05H	R/W

（n = 0, 1）

ALVn	PWMn端子のPWMアクティブ・レベルの指定
0	ロウ・アクティブ
1	ハイ・アクティブ

ENn	PWMn端子のPWM出力制御
0	出力禁止。端子レベルはPM1, P1, PUOの内容で決定（ポート・モード）
1	PWM出力許可

SYNn	PWMパルス幅書き換え周期の指定
0	PWM16サイクル（$2^{12}/f_{PWMC}$）ごとに書き換える
1	PWM1サイクル（$2^{8}/f_{PWMC}$）ごとに書き換える

13.2.2　PWMプリスケーラ・レジスタ（PWPR）

PWPRは，PWM出力回路の動作クロック（f_{PWMC}）を選択する８ビット・レジスタです。

PWPRは，８ビット操作命令で読み出し／書き込みが可能です。図13－３に，PWPRのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hとなり，２チャネルともf_{PWMC}としてf_{CLK}が選択されます。

図13－３　PWMプリスケーラ・レジスタ（PWPR）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PWPR	0	PWP12	PWP11	PWP10	0	PWP02	PWP01	PWP00	0FF71H	00H	R/W

（n = 0, 1）

PWPn2	PWPn1	PWPn0	PWMnの動作クロック（f_{PWMC}）	PWMnの繰り返し周波数（f_{CLK} = 16 MHz）
0	0	0	f_{CLK}	f_{CLK}/256　（62.5 kHz）
0	0	1		
0	1	0	f_{CLK}/2	f_{CLK}/512　（31.3 kHz）
0	1	1	f_{CLK}/3	f_{CLK}/768　（20.8 kHz）
1	0	0	f_{CLK}/4	f_{CLK}/1024（15.6 kHz）
上記以外			設定禁止	

13.2.3　PWMモジュロ・レジスタ（PWM0，PWM1）

PWMモジュロ・レジスタ（PWMn：n = ０，１）は，PWMパルスのパルス幅を決定する16ビット・レジスタです。データの設定は，16ビット操作命令で読み出し／書き込みが可能です。

PWMnのビット4-15の内容が12ビットPWMパルス幅を決定します（12ビット分解能）。ビット3-0は意味を持たず，１または０のいずれのデータを書き込んでもPWM出力に影響しません。

$\overline{\text{RESET}}$入力により，PWMnの内容は不定になりますので，初期化プログラムでデータを設定してから，PWM出力の許可をしてください。

注意　PWMモジュロ・レジスタ（PWMn：n = ０，１）へは，0000H-00FFHの値を設定しないでください。PWMnへは0100H-FFFFHの値を設定するようにしてください。出力可能なPWM信号のデューティ値は，17/4096-4096/4096となります。

13.３　PWM出力ユニットの動作

13.３.１　PWM出力の基本動作

PWMパルス出力のデューティは，PWMモジュロ・レジスタ（PWMn：n＝０，１）のビット４-15に設定する値で次のように決定されます。

$$\text{PWMパルス出力のデューティ} = \frac{(\text{PWMnのビット4-15の値})^{注} + 1}{4096}$$

注　16≦（PWMnのビット4-15の値）≦4095

PWMパルス出力の繰り返し周波数は，PWMプリスケーラ・レジスタ（PWPR）で設定されるf_{CLK}/1-f_{CLK}/4のPWMクロック（f_{PWMC}）を256分周（＝f_{PWMC}/256）した周波数になり，最小パルス幅は，1/f_{PWMC}になります。

PWMパルス出力は，繰り返し周波数f_{PWMC}/256の８ビット分解能のPWM信号を16回繰り返して出力することで，12ビット分解能を実現しています。PWMnのビット8-15で決定される８ビット分解能のPWMパルスに，１サイクルごとにPWMnのビット4-7の値に従って，追加パルス（1/f_{PWMC}）の付加を制御して，16周期で１回のPWMパルス信号を実現しています。

図13－４　PWM出力の基本動作

注　PWMパルス：１サイクル８ビット分解能

13.3.2　PWMパルス出力の許可／禁止

PWMパルスを出力するときは，PWMプリスケーラ・レジスタ（PWPR），PWMモジュロ・レジスタ（PWMn：n = 0，1）にデータを設定したあと，PWMコントロール・レジスタ（PWMC）のENn（n = 0，1）ビットをセット（1）します。

これにより，PWM出力端子からは，PWMCのALVn（n = 0，1）ビットで指定されたアクティブ・レベルのPWMパルスが出力されます。

PWMCのENnビットをクリア（0）すると，PWM出力ユニットはただちにPWM出力動作を停止し，PWM出力端子はPM1，P1，PUOの各レジスタで指定された状態になります。

すなわち，ポート1モード・レジスタ（PM1）のPM1n = 0（n = 0，1）のときは出力状態になり，P1n（n = 0，1）の内容が指定されます。また，PM1n = 1（n = 0，1）のときは入力状態となり，プルアップ抵抗オプション・レジスタ（PUO）のPUO1 = 1のときは，内蔵プルアップ抵抗によりハイ・レベルになり，PUO1 = 0のときは出力ハイ・インピーダンスになります。

13.3.3　PWMパルスのアクティブ・レベルの指定

PWMコントロール・レジスタ（PWMC）のALVn（n = 0，1）ビットは，PWM出力端子から出力されるPWMパルスのアクティブ・レベルを指定します。

ALVnビットをセット（1）すると，ハイ・アクティブ・レベルのパルスを出力し，クリア（0）するとロウ・アクティブ・レベルのパルスを出力します。

ALVnビットを書き換えると，ただちにPWMアクティブ・レベルが変化します。図13－5に，PWM出力のアクティブ・レベル設定と端子状態を示します。

図13－5は，PWMCのENn（n = 0，1）ビットをセット（1）し，PWM出力を許可している状態でALVnビットを切り替えた場合です。

ENnビットがクリア（0）の状態でALVnビットを書き換えても，端子状態は変化しません。

図13－5　PWM出力のアクティブ・レベル設定

備考　ENn = 1（n = 0，1）

13.3.4　PWMパルス幅書き換え周期の指定

PWM出力の開始，およびパルス幅の変更は，PWMパルス16サイクル（$2^{12}/f_{PWMC}$）ごと，あるいは，PWMパルス１サイクル（$2^{8}/f_{PWMC}$）ごとの，いずれかに同期して行われます。このPWMパルス幅書き換え周期の指定は，PWMコントロール・レジスタ（PWMC）のSYNn（n＝０，１）ビットで行います。

SYNnビットをクリア（０）すると，パルス幅の変更は，PWMパルス16サイクル（$2^{12}/f_{PWMC}$）ごとに行われます。したがって，PWMモジュロ・レジスタ（PWMn：n＝０，１）に書き込まれたデータに対応する幅のパルスを出力するようになるまでには，最大2^{12}クロック（f_{PWMC} = 16 MHz時で256 μs）かかります。

このときのPWM出力タイミング例を図13－６に示します。

一方，SYNnビットをセット（１）すると，パルス幅の変更は，PWMパルス１サイクル（$2^{8}/f_{PWMC}$）ごとに行われます。この場合，PWMnに書き込まれたデータに対応する幅のパルスを出力するようになるまでには，最大2^{8}クロック（f_{PWMC} = 16 MHz時で，16 μs）となります。

ただし，PWMパルス書き換え周期を，$2^{8}/f_{PWMC}$ごとに指定した場合，（SYNnビットをセット（１）した場合），得られるPWMパルスの精度は８ビット以上，12ビット以下となり，書き換え周期を$2^{12}/f_{PWMC}$に指定したときよりも精度が低下するので，注意が必要です。

書き換えタイミングが$2^{8}/f_{PWMC}$の場合のPWM出力タイミング例を，図13－７に示します。

図13－６　PWM出力タイミング例１（PWMパルス幅書き換え周期$2^{12}/f_{PWMC}$）

注意１．パルス幅の書き換えは，PWMパルス１サイクルごとに行われます。

２．PWMパルスの精度は，12ビット。

図13－７　PWM出力タイミング例２（PWMパルス幅書き換え周期$2^8/f_{PWMC}$）

注意１．パルス幅の書き換えは，PWMパルス１サイクルごとに行われます。

２．PWMパルスの精度は，８ビット以上，12ビット以下。

備考　l，m，nはPWMnの内容

13.4　注意事項

PWMモジュロ・レジスタ（PWMn：n＝０，１）へは，0000H-00FFHの値を設定しないでください。PWMnへは0100H-FFFFHの値を設定するようにしてください。出力可能なPWM信号のデューティ値は，17/4096-4096/4096となります。

第14章　A/Dコンバータ

μPD784038は，８マルチプレクスト・アナログ入力（ANI0-ANI7）を持つアナログ／ディジタル（A/D）コンバータを内蔵しています。

変換方式は逐次比較で，変換結果を８ビットのA/D変換結果レジスタ（ADCR）に保持します。このため，高速で高精度な変換を行います（変換時間7.5 μs：f_{CLK} = 16 MHz，高速変換の場合）。

A/D変換動作の起動には，次のモードがあります。

・ハードウエア・スタート：トリガ入力（INTP5）により変換開始。
・ソフトウエア・スタート：A/Dコンバータ・モード・レジスタ（ADM）のビット設定により変換開始。

また，起動後の動作には，次のモードがあります。

・スキャン・モード：複数のアナログ入力を順次選択し，全端子からの変換データを得ます。
・セレクト・モード：アナログ入力を１端子に固定し，連続的な変換値を得ます。

以上のモードと変換動作の停止は，すべてADMで指定します。

なお，変換結果をADCRへ転送すると，割り込み要求INTADを発生します。このため，マクロ・サービスによって，変換値をメモリへ連続的に転送することができます。

14.1　構　　成

図14－１に，A/Dコンバータのブロック図を示します。

図14－1　A/Dコンバータのブロック図

注意１．アナログ入力端子（ANI0-ANI7）および基準電圧入力端子（AV_{REF1}）には，ノイズによる誤動作を防ぐため，AV_{SS}との間にキャパシタを接続してください。
また，キャパシタは必ずANI0-ANI7およびAV_{REF1}の近くに接続してください。

図14－２　A/Dコンバータ用端子のキャパシタ接続例

２．A/Dコンバータの入力端子として使用している端子には，AV_{SS}-AV_{REF1}の範囲外の電圧が加わらないようにしてください。詳細については，14.５　注意事項を参照してください。

（1）入力回路

入力回路は，A/Dコンバータ・モード・レジスタ（ADM）の指定によりアナログ入力を選択し，動作モードに従ってアナログ入力をサンプル＆ホールド回路に送ります。

（2）サンプル＆ホールド回路

サンプル＆ホールド回路は，順次送られてくるアナログ入力を１つ１つサンプリングし，A/D変換中のアナログ入力を保持します。

（3）電圧コンパレータ

電圧コンパレータは，アナログ入力と直列抵抗ストリングの電圧タップとの電圧差を比較します。

（4）直列抵抗ストリング

直列抵抗ストリングは，アナログ入力と一致する電圧を発生させるためのものです。

直列抵抗ストリングは，A/Dコンバータ用の基準電圧端子（AV_{REF1}）とA/Dコンバータ用のGND端子（AV_{SS}）間に接続されています。２端子間を256の等価な電圧ステップにするため，等価な抵抗255個とその1/2の抵抗値の抵抗２個で構成されています。

直列抵抗ストリングの電圧タップは，逐次変換レジスタ（SAR）で制御されるタップ・セレクタによって選択します。

（5）逐次変換レジスタ（SAR：Successive Approximation Register）

SARは，直列抵抗ストリングの電圧タップの値がアナログ入力の電圧値と一致するデータを，最上位ビット（MSB）から１ビットずつ設定する８ビット・レジスタです。

SARの最下位ビット（LSB）まで設定すると（A/D変換終了），そのSARの内容（変換結果）は，A/D変換結果レジスタ（ADCR）に保持されます。

（6）A/D変換結果レジスタ（ADCR：A/D Conversion Result Register）

ADCRは，A/D変換結果を保持する８ビット・レジスタです。A/D変換が終了するたびに，逐次変換レジスタ（SAR）から変換結果がロードされます。

$\overline{\text{RESET}}$入力により不定となります。

（7）エッジ検出回路

エッジ検出回路は，割り込み要求入力端子（INTP5）の入力から有効エッジを検出して，外部割り込み要求信号（INTP5）とA/D変換動作の外部トリガを発生します。

INTP5端子入力の有効エッジは，外部割り込みモード・レジスタ１（INTM1）で指定します（図21－2参照）。外部トリガの許可／禁止は，A/Dコンバータ・モード・レジスタ（ADM）で設定します（14.2 A/Dコンバータ・モード・レジスタ（ADM）参照）。

14.2　A/Dコンバータ・モード・レジスタ（ADM）

ADMは，A/Dコンバータの動作を制御する８ビット・レジスタです。

８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。図14－３に，ADMのフォーマットを示します。

ビット０（MS）は，動作モードを制御するビットです。

ビット１，２，３（ANI0，１，２）は，A/D変換するアナログ入力を選択するビットです。

ビット５（SCMD）は，スキャン・モード時のA/D変換動作を制御するビットです。

ビット６（TRG）は，A/D変換動作の外部同期を許可するビットです。CSビットがセット（１）時，TRGビットをセット（１）すると，INTP5端子に外部トリガとして有効エッジを入力するごとに変換動作を初期化します。TRGビットをクリア（０）すると，INTP5端子入力に関係なく変換動作を行います。

ビット７（CS）は，A/D変換動作を制御するビットです。CSビットをセット（１）すると変換動作を開始し，クリア（０）すると，変換中であってもすべての変換動作を中止します。このとき，A/D変換結果レジスタ（ADCR）の更新，INTAD割り込み要求は発生しません。また，電圧コンパレータへの電源供給を停止し，A/Dコンバータでの消費電力を減らします。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

注意　STOPモード，IDLEモードを使用する場合は，STOPモード，IDLEモードに入る前にCSビットをクリア（０）して消費電力が下がるようにしてください。CSビットがセット（１）されたままだと，STOPモード，IDLEモードに入ることにより変動動作は止まりますが，電圧コンパレータへの電源供給は止まりませんので，A/Dコンバータでの消費電力は減りません。

図14－３　A/Dコンバータ・モード・レジスタ（ADM）のフォーマット

	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADM	CS	TRG	SCMD	FR	ANIS2	ANIS1	ANIS0	MS	0FF68H	00H	R/W

ANIS2	ANIS1	ANIS0	MS	A/D変換動作モードの設定	
0	0	0	0	ｽｷｬﾝ・	ANI0入力をスキャン
0	0	1	0	ﾓｰﾄﾞ	ANI0, ANI1入力をスキャン
0	1	0	0	(0/1)	ANI0-ANI2入力をスキャン
0	1	1	0		ANI0-ANI3入力をスキャン
1	0	0	0		ANI0-ANI4入力をスキャン
1	0	1	0		ANI0-ANI5入力をスキャン
1	1	0	0		ANI0-ANI6入力をスキャン
1	1	1	0		ANI0-ANI7入力をスキャン
0	0	0	1	ｾﾚｸﾄ・	ANI0入力をセレクト
0	0	1	1	ﾓｰﾄﾞ	ANI1入力をセレクト
0	1	0	1		ANI2入力をセレクト
0	1	1	1		ANI3入力をセレクト
1	0	0	1		ANI4入力をセレクト
1	0	1	1		ANI5入力をセレクト
1	1	0	1		ANI6入力をセレクト
1	1	1	1		ANI7入力をセレクト

★

FR	変換速度制御（f_{CLK} = 16 MHz）	
0	242/f_{CLK}（15.125 μs）	低速変換
1	120/f_{CLK}（7.5 μs）	高速変換

SCMD	MS	スキャン・モードの選択
0	0	スキャン・モード０（遅延制御なし）
1	0	スキャン・モード１（遅延制御付き）
0	1	セレクト・モード
1	1	設定禁止

TRG	外部端子トリガの制御
0	外部トリガ禁止
1	外部トリガ許可

CS	A/D変換動作制御
0	A/D変換動作停止
1	A/D変換動作開始

注意　A/Dコンバータは，一度動作を開始すると，A/Dコンバータ・モード・レジスタ（ADM）のCSビットをクリア（0）するまで変換動作を繰り返し行います。したがって，A/Dコンバータのモード変換時などに，割り込みに関するレジスタなどの設定後にADMの設定を行った場合，不要な割り込みが発生することがあります。この不要な割り込みにより，スキャン・モード使用時には変換結果の格納アドレスがずれたように見えます。また，セレクト・モード使用時には，１回目の変換結果が他チャネルの変換結果などの異常な値になったように見えます。A/Dコンバータのモード変換は，次の手順で行うことをお勧めします。

① ADMへの書き込み（CSビットは，必ずセット（1）する）
② 割り込み要求フラグ（ADIF）のクリア（0）
③ 割り込みマスク・フラグまたは，割り込みサービス・モード・フラグの設定

①～③の操作は，割り込みやマクロ・サービスによって分断されないようにしてください。特に，スキャン・モード０（遅延制御なし）使用時には，①と②の間はA/D変換の１回分の時間以下になるようにしてください。

または次の手順で行うことをお勧めします。

① ADMのCSビットをクリア（0）することにより，A/D変換動作を停止
② 割り込み要求フラグ（ADIF）のクリア（0）
③ 割り込みマスク・フラグまたは割り込みサービス・モード・フラグの設定
④ ADMへの書き込み

14.3　動　　作

14.3.1　A/Dコンバータの基本動作

（1）A/D変換動作手順

A/D変換は，次のような手順で行います。

（a）アナログ入力の選択と動作モードの指定をA/Dコンバータ・モード・レジスタ（ADM）によって設定します。

（b）ADMのビット7（CS）をセット（1）し，A/D変換を開始させます。

（c）変換開始とともに逐次変換レジスタ（SAR）の最上位ビット（ビット7）が自動的にセット（1）されます。

（d）SARのビット7がセット（1）されるとタップ・セレクタは，直列抵抗ストリングの電圧タップを$\frac{255}{512}AV_{REF1}$（$\frac{1}{2}AV_{REF1}$）にします。

（e）直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし，アナログが（1/2）AV_{REF1}よりも大きければ，SARのMSBをセット（1）したままです。また，もし（1/2）AV_{REF1}よりも小さければ，MSBをクリア（0）します。

（f）次にSARのビット6が自動的にセット（1）され，次の比較に移ります。ここではすでに結果がセットされているビット7の値によって，次に示すように直列抵抗ストリングの電圧タップが選択されます。

・ビット7 = 1……$\frac{383}{512}AV_{REF1}$　$\frac{3}{4}AV_{REF1}$

・ビット7 = 0……$\frac{127}{512}AV_{REF1}$　$\frac{1}{4}AV_{REF1}$

この電圧タップとアナログ入力電圧を比較し，その結果でSARのビット6が次のように操作されます。

・アナログ入力電圧≧電圧タップ：ビット6 = 1

・アナログ入力電圧＜電圧タップ：ビット6 = 0

（g）このような比較をSARの最下位ビット（ビット0）まで続けます（バイナリ・サーチ法）。

（h）８ビットの比較が終了したとき，SARには有効なディジタルの結果が残り，その値がA/D変換結果レジスタ（ADCR）に転送され，ラッチされます。

同時に，A/D変換終了割り込み要求（INTAD）を発生させることができます。

図14－４　A/Dコンバータの基本動作

A/D変換動作は，ソフトウエアによりCSビットをクリア（０）するまで連続的に行われます。

A/D変換動作中に，ADMに対する書き込み操作を行うと変換動作は初期化され，CSビットがセット（１）されていれば，最初から変換を開始します。

ADCRは，$\overline{\text{RESET}}$により不定となります。

（2）入力電圧と変換結果

アナログ入力端子（ANI0-ANI7）に入力されたアナログ入力電圧とA/D変換結果（ADCRに格納された値）には次式に示す関係があります。

$$ADCR = INT\left(\frac{V_{IN}}{AV_{REF1}} \times 256 + 0.5\right)$$

または，

$$(ADCR - 0.5) \times \frac{AV_{REF1}}{256} \leqq V_{IN} < (ADCR + 0.5) \times \frac{AV_{REF1}}{256}$$

備考　INT（　）：（　）内の値の整数部を返す関数

V_{IN}　：アナログ入力電圧

AV_{REF1}　：AV_{REF1}端子電圧

ADCR　：ADCRの値

図14－５に，アナログ入力電圧とA/D変換結果の関係を示します。

図14－５　アナログ入力電圧とA/D変換結果の関係

（3）A/D変換の変換時間

A/D変換の変換時間は，システム・クロック周波数（f_{CLK}）とA/Dコンバータ・モード・レジスタ（ADM）のFRビットによって決定されます。

A/D変換時間は，１回のA/D変換に必要なすべての時間を含んでおり，サンプリング時間も変換時間に含まれます。

表14－１に，その値を示します。

表14－１　A/D変換時間

システム・クロック（f_{CLK}）の範囲	FRビット	変換時間	サンプリング時間
★ 0.25 MHz≦f_{CLK}≦16 MHz	0	180/f_{CLK}（11.25 μs－90 μs）	36/f_{CLK}（2.25 μs－18 μs）
★ 0.25 MHz≦f_{CLK}≦16 MHz	1	120/f_{CLK}（7.5 μs－60 μs）	24/f_{CLK}（1.5 μs－12 μs）

（4）A/Dコンバータの動作モード

A/Dコンバータの動作モードには，セレクト・モードとスキャン・モードがあります。各モードは，A/Dコンバータ・モード・レジスタ（ADM）のビット０（MS）の設定により選択します。

また，ADMのビット５（SCMD）により，スキャン・モード０，１の選択ができます。

各モードの動作は，ADMが書き換えられるまで続けられます。

14.3.2　セレクト・モード

A/Dコンバータ・モード・レジスタ（ADM）のビット1-3（ANIS0-ANIS2）により１つのアナログ入力を指定し，指定されたアナログ入力端子のA/D変換を開始します。変換結果をA/D変換結果レジスタ（ADCR）に格納します。

なお，１回の変換動作が終了するごとに，A/D変換終了割り込み要求（INTAD）を発生します。

図14－６　セレクト・モードの動作タイミング

（a）TRGビット←0

（b）TRGビット←1

14.3.3　スキャン・モード

スキャン・モードには，CPUによるA/D変換結果の読み出しが遅れた場合を考慮した遅延制御付きのスキャン・モード１と，A/D変換の間隔を一定にした遅延制御なしのスキャン・モード０の２つがあります。

一般的には遅延制御付きのスキャン・モード１を使用することを推奨します。

（1）スキャン・モード０（A/Dコンバータ・モード・レジスタ（ADM）のビット５（SCMD）＝０のとき）

ADMのビット1-3（ANIS0-ANIS2）により指定されたアナログ入力端子からの入力を順に選択し変換します。

たとえば，ADMのANIS2-ANIS0 = 001のときはANI0とANI1が繰り返しスキャン（ANI0→ANI1→ANI0→ANI1→…）されます。スキャン・モードでは各入力の変換動作が終了するごとに，変換値はA/D変換結果レジスタ（ADCR）に格納され，A/D変換終了割り込み要求（INTAD）を発生します。

図14－７　スキャン・モード０の動作タイミング

（a）TRGビット←０

（b）TRGビット←１

（2）スキャン・モード１（A/Dコンバータ・モード・レジスタ（ADM）のビット５（SCMD）＝１のとき）

ADMのビット５がセット（１）されているとき，ビット1-3（ANIS0-ASIN2）により指定されたアナログ入力端子を順に選択し，変換します。このとき，A/D変換終了割り込み要求（INTAD）発生後，次のA/D変換終了までにCPUによるA/D変換結果レジスタ（ADCR）のリードが行われなかった場合には，INTADの発生，ADCRの更新，チャネルの更新をそれぞれ行わず，変換を再スタートします（図14－８参照）。

なお，CPUによるADCRのリードが次のA/D変換終了前に行われた場合は，スキャン・モード０と同様の動作を行います。

図14－８　スキャン・モード１の動作タイミング

14.3.4　ソフトウエア・スタートによるA/D変換動作の起動

ソフトウエアによるA/D変換動作のスタートは，A/Dコンバータ・モード・レジスタ（ADM）のTRGビットを０，CSビットを１とする値をADMへ書き込むことで行います。

A/D変換動作中（CSビット＝１）に，再度TRGビットが０でCSビットが１になるような値をADMに書き込むと，そのとき行っていたA/D変換動作を中断し，書き込まれた値に応じたA/D変換をただちに開始します。

A/D変換動作が一度起動されると，１回のA/D変換動作が終了するとただちにADMで設定された動作モードに従って，次のA/D変換動作を開始し，ADMに対する書き込み命令が実行されるまで繰り返し変換動作を続けます。

ソフトウエアによってA/D変換動作が起動された場合（TRGビット＝０）は，INTP5端子（P26端子）入力は，A/D変換動作に影響を与えません。

（1）セレクト・モードのA/D変換動作の場合

A/Dコンバータ・モード・レジスタ（ADM）で設定されたアナログ入力端子のA/D変換動作を起動します。A/D変換動作が終了すると，再度，同一アナログ入力端子のA/D変換動作を行います。A/D変換動作が終了するたびにA/D変換終了割り込み要求（INTAD）が発生します。

図14－９　ソフトウエア・スタートによるセレクト・モードのA/D変換動作

備考　n＝０，１，…，７
　　m＝０，１，…，７

（2）スキャン・モードのA/D変換動作の場合

変換動作が起動されるとANI0端子入力のA/D変換動作を開始します。A/D変換動作が終了すると，次のアナログ入力端子のA/D変換動作を開始します。また，A/D変換動作が終了するたびに，A/D変換終了割り込み要求（INTAD）が発生します。

図14－10　ソフトウエア・スタートによるスキャン・モードのA/D変換動作

14.３.５　ハードウエア・スタートによるA/D変換動作の起動

ハードウエアによるA/D変換動作の起動は，A/Dコンバータ・モード・レジスタ（ADM）のTRGビットを１，CSビットを１とすることで可能となります。ADMのTRGビットを１，CSビットを１とすると外部信号の待機状態になり，INTP5端子（P26端子）に有効エッジが入力されるとA/D変換動作が起動されます。

A/D変換動作がINTP5端子に入力された有効エッジによって起動された後に，再度INTP5端子に有効エッジが入力されると，そのとき行っていたA/D変換動作を中断し，ADMに設定されている内容に従ったA/D変換動作を最初から行います。

また，A/D変換動作中（CSビット＝１）に，再度TRGビットが１，CSビットが１になるような値をADMに書き込むと，そのとき行っていたA/D変換動作を中断し（待機状態も中断されます），書き込まれた値に応じたA/D変換動作モードでINTP5端子に有効エッジが入力されるのを待つ待機状態になり，有効エッジが入力されると変換動作を起動します。

この機能を使用することにより，外部信号に同期したA/D変換動作を行うことができます。

A/D変換動作が一度起動されると，１回のA/D変換が終了すると，ただちにADMで設定された動作モードに従って，次のA/D変換動作を開始します（INTP5端子入力を待ちません）。ADMに対する書き込み命令が実行されるか，INTP5端子に有効エッジが入力されるまで繰り返し変換動作を行います。

注意　INTP5端子に有効エッジが入力されてから実際にA/D変換動作を開始するまでに最大で10 μsが必要です。設計の際には，この遅れ時間について考慮してください。エッジ検出機能の詳細については，第21章　エッジ検出機能を参照してください。

（1）セレクト・モードのA/D変換動作の場合

A/Dコンバータ・モード・レジスタ（ADM）を設定されたアナログ入力端子のA/D変換動作を起動します。A/D変換動作が終了すると，再度，同一アナログ入力端子のA/D変換動作をただちに行います。また，A/D変換動作が終了するたびに，A/D変換終了割り込み要求（INTAD）を発生します。

A/D変換動作中にINTP5端子に有効エッジが入力されると，そのとき行っていたA/D変換動作を一度中断して，新たにA/D変換動作を開始します。

図14－11　ハードウエア・スタートによるセレクト・モードのA/D変換動作

備考　n = 0，1，…，7
　　m = 0，1，…，7

（2）スキャン・モードのA/D変換動作の場合

変換動作が起動されるとANI0端子入力のA/D変換動作を開始します。A/D変換動作が終了すると，次のアナログ入力端子のA/D変換動作を開始します。また，A/D変換動作が終了するたびにA/D変換終了割り込み要求（INTAD）を発生します。

A/D変換動作中にINTP5端子に有効エッジが入力されると，そのときに行っていたA/D変換動作を中断し，ANI0端子入力のA/D変換動作から新たに開始します。

図14－12　ハードウエア・スタートによるスキャン・モードのA/D変換動作

14.4　A/Dコンバータの外付け回路

A/Dコンバータには，その変換動作を安定させるためにサンプル＆ホールド回路を内蔵しています。このサンプル＆ホールド回路から，A/D変換チャネルを変更した直後のサンプリングの際にサンプリング・ノイズが出力されます。

このサンプリング・ノイズを吸収するためには，必ず外付けにキャパシタを接続する必要があります。また，信号源のインピーダンスが高いときのサンプリング・ノイズにより，変換結果に誤差が生じる可能性があります。特にスキャン・モードを使用している場合は変換対象のチャネルが連続的に変化しますので，信号源のインピーダンスには十分な注意が必要です。

なお，サンプリング・ノイズの吸収にはキャパシタの容量を大きくするという方法がありますが，あまり大きくするとサンプリング・ノイズが蓄積されてしまいます。したがって，抵抗分を下げるのが最も効果的です。

14.5　注意事項

（1）アナログ入力端子に印加する電圧範囲について

A/Dコンバータの入力端子ANI0-ANI7（P70-P77）には，次のような注意事項があります。

- A/D変換動作中は，A/D変換の対象となっている端子には，AV_{SS}-AV_{REF1}の範囲外の電圧を印加しないでください。

上記注意事項を守らない場合には，μPD784038が破壊する可能性があります。

（2）ハードウエア・スタートのA/D変換

INTP5端子に有効エッジが入力されてから実際にA/D変換動作を開始するまでに最大で10 μsが必要です。設計の際には，この遅れ時間について考慮してください。エッジ検出機能の詳細については，**第21章　エッジ検出機能**を参照してください。

（3）アナログ入力端子に接続するコンデンサについて

アナログ入力端子（ANI0-ANI7）および基準電圧入力端子（AV_{REF1}）には，ノイズによる誤動作を防ぐため，AV_{SS}との間にキャパシタを接続してください。

図14－13　A/Dコンバータ用端子のキャパシタ接続例

（4）STOPモード，IDLEモードを使用する場合は，STOPモード，IDLEモードに入る前にCSビットをクリア（0）して消費電力が下がるようにしてください。CSビットがセット（1）されたままだと，STOPモード，IDLEモードに入ることにより変換動作は止まりますが，電圧コンパレータへの電源供給は止まりませんので，A/Dコンバータでの消費電力は減りません。

（5）A/Dコンバータは，一度動作を開始すると，A/Dコンバータ・モード・レジスタ（ADM）のCSビットをクリア（0）するまで変換動作を繰り返し行います。したがって，A/Dコンバータのモード変換時などに，割り込みに関するレジスタなどの設定後にADMの設定を行った場合，不要な割り込みが発生することがあります。この不要な割り込みにより，スキャン・モード使用時には変換結果の格納アドレスがずれたように見えます。また，セレクト・モード使用時には，1回目の変換結果が他チャネルの変換結果などの異常な値になったように見えます。

A/Dコンバータのモード変換は，次の手順で行うことをお勧めします。

① ADMへの書き込み（CSビットは，必ずセット（1）する）
② 割り込み要求フラグ（ADIF）のクリア（0）
③ 割り込みマスク・フラグまたは，割り込みサービス・モード・フラグの設定

①～③の操作は，割り込みやマクロ・サービスによって分断されないようにしてください。特に，スキャン・モード0（遅延制御なし）使用時には，①と②の間はA/D変換の1回分の時間以下になるようにしてください。

または次の手順で行うことをお勧めします。

① ADMのCSビットをクリア（0）することにより，A/D変換動作を停止
② 割り込み要求フラグ（ADIF）のクリア（0）
③ 割り込みマスク・フラグまたは割り込みサービス・モード・フラグの設定
④ ADMへの書き込み

第15章　D/Aコンバータ

８ビット分解能の電圧出力型ディジタル／アナログ（D/A）コンバータを２回路内蔵しています。変換方式は，R-2R抵抗ラダー方式です。

15.1　構　　成

図15－１に，D/Aコンバータのブロック図を示します。

図15－１　D/Aコンバータのブロック図

備考　n = 0，1

・**D/A変換値設定レジスタ（DACS0, DACS1）**

ANOn端子（n = 0，1）に出力する電圧値を設定するレジスタです。ANOn端子に出力される電圧値は，次式で決定されます。

$$ANOn = \frac{AV_{REF2} - AV_{REF3}}{256} \times DACSn + AV_{REF3} \quad [V]$$

$\overline{RESET}$入力により00Hに初期化されます。

15.2　D/Aコンバータ・モード・レジスタ（DAM）

DAMは，D/Aコンバータの動作を制御する８ビット・レジスタです。８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。図15－２に，DAMのフォーマットを示します。$\overline{RESET}$入力により03Hとなり，２チャネルともD/A変換出力許可状態となります。

図15－２　D/Aコンバータ・モード・レジスタ（DAM）のフォーマット

	7	6	5	4	3	2	①	⓪	アドレス	リセット時	R/W
DAM	0	0	0	0	0	0	DACE1	DACE0	0FF62H	03H	R/W

DACE1	DACE0	D/Aコンバータの動作
0	0	スタンバイ・モード ANO0, ANO1端子とも出力ハイ・インピーダンス
0	1	ANO0端子は出力許可 ANO1端子は出力ハイ・インピーダンス
1	0	ANO0端子は出力ハイ・インピーダンス ANO1端子は出力許可
1	1	ANO0, ANO1端子とも出力許可

15.3　D/Aコンバータの動作

15.3.1　基本動作

D/Aコンバータ・モード・レジスタ（DAM）のD/A変換許可ビット（DACEn, n = 0，1）がセット（1）されている場合，出力したい値をD/A変換値設定レジスタ（DACSn, n = 0，1）に書き込むことにより，ANOn端子（n = 0，1）から書き込んだ値に相当するアナログ電圧がただちに出力されます。出力電圧は，次にDACSnに値を書き込むまで保持されます。

ANOn端子からの出力電圧は，次式で決定されます。

$$ANOn = \frac{AV_{REF2} - AV_{REF3}}{256} \times DACSn + AV_{REF3} \ [V]$$

$\overline{RESET}$入力がロウ・レベルの期間中は，ANOnは出力ハイ・インピーダンスの状態となり，DACSnは00Hに初期化されます。$\overline{RESET}$解除後は，ANOn端子からはAV_{REF3}端子と同一レベルが出力されます。

D/Aコンバータの安定動作のために，基準電圧入力端子（AV_{REF2}，AV_{REF3}）とAV_{SS}の間にはキャパシタを接続してください。

図15－3　D/Aコンバータの基準電圧入力端子のキャパシタ接続例

C1 = C2 = 100～500 pF

15.3.2　D/Aコンバータのスタンバイ動作

D/Aコンバータ・モード・レジスタ（DAM）のD/A変換許可ビット（DACEn, n = 0，1）をクリア（0）することにより，ANOn端子（n = 0，1）を出力ハイ・インピーダンス状態にします。DACEnビットが両方ともクリア（0）されると，D/Aコンバータはスタンバイ・モードとなり，消費電力を低減することができます。

ストップ・モード時などで，特に消費電力を低減したい場合には，DACEnビットを両方ともクリア（0）するようにしてください。

15.4　注意事項

（1）D/Aコンバータの出力インピーダンスが高いため，ANOn端子（n = 0，1）から電流を取り出すことはできません。負荷の入力インピーダンスが低い場合には，負荷とANOn端子の間にバッファ・アンプを挿入して使用してください。また，バッファ・アンプや負荷までの配線は極力短くするようにしてください（出力インピーダンスが高いため）。配線が長くなるような場合は，グランド・パターンで囲むなどの処理を行ってください。

（2）D/Aコンバータの出力電圧は階段状に変化しますので，一般的にはD/Aコンバータの出力する信号はロウ・パス・フィルタを通してから使用するようにしてください。

（3）μPD784038の内蔵するD/Aコンバータは，$\overline{\text{RESET}}$がロウ・レベルの期間中は出力がハイ・インピーダンスとなります。負荷側の回路は入力がハイ・インピーダンスになってもよいように考慮してください。

図15－4　バッファ・アンプの挿入例

（a）インバーティング・アンプ

・バッファ・アンプの入力インピーダンスはR_1。

（b）ボルテージ・フォロア

・バッファ・アンプの入力インピーダンスはR_1。
・R_1がないと$\overline{\text{RESET}}$がロウ・レベルのときの出力が不定になってしまいます。

（4）D/Aコンバータの出力は，リセット解除後，AV_{REF3}端子と同一レベルを出力しますので，リセット解除後，AV_{REF3}端子レベルが出力されてもよいように考慮してください。

第16章　シリアル・インタフェースの概説

μPD784038サブシリーズは，独立した３チャネルのシリアル・インタフェースを備えています。このため，システム外部との通信と，システム内部のローカルな通信とを３チャネルで同時に行うことができます。

○アシンクロナス・シリアル・インタフェース（UART）／３線式シリアルI/O（IOE）×２チャネル

→第17章をご覧ください。

○クロック同期式シリアル・インタフェース（CSI）×１チャネル

・３線式シリアルI/Oモード（MSB/LSBファースト）

→第18章をご覧ください。

・２線式シリアルI/Oモード（MSBファースト）

→第18章をご覧ください。

・I^2Cバス・モード（MSBファースト）（μPD784038Yサブシリーズのみ）

→第19章をご覧ください。

図16－１に，シリアル・インタフェース例を示します。

図16－１　シリアル・インタフェース例

（１）UART＋I²C

（２）UART＋３線式シリアルI/O＋２線式シリアルI/O

注　ハンドシェーク・ライン

第17章　アシンクロナス・シリアル・インタフェース／３線式シリアルI/O

μPD784038は，アシンクロナス・シリアル・インタフェース（UART）モードと３線式シリアルI/O（IOE）モードを選択できるシリアル・インタフェースを２チャネル内蔵しています。

２チャネルのUART/IOEは，まったく同一の機能です。したがって，この章では特に違いがないかぎり，UART/IOE1を代表として説明しています。UART2/IOE2として使用する場合は，UART/IOE1のレジスタ名称，ビット名称，端子名称を表17－１を参照に読み替えてください。

表17－1　UART/IOE1とUART2/IOE2の名称の違い

項　　目	UART/IOE1	UART2/IOE2
端子名称	P25/ASCK/$\overline{\text{SCK1}}$, P30/RxD/SI1, P31/TxD/SO1	P12/ASCK2/$\overline{\text{SCK2}}$, P13/RxD2/SI2, P14/TxD2/SO2
アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM	ASIM2
アシンクロナス・シリアル・インタフェース・モード・レジスタ内のビット名称	TXE, RXE, PS1, PS0, CL, SL, ISRM, SCK	TXE2, RXE2, PS21, PS20, CL2, SL2, ISRM2, SCK2
アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS	ASIS2
アシンクロナス・シリアル・インタフェース・ステータス・レジスタ内のビット名称	PE，FE，OVE	PE2, FE2, OVE2
クロック同期式シリアル・インタフェース・モード・レジスタ	CSIM1	CSIM2
クロック同期式シリアル・インタフェース・モード・レジスタ内のビット名称	CTXE1, CRXE1, DIR1, CSCK1	CTXE2, CRXE2, DIR2, CSCK2
ボー・レート・ジェネレータ・コントロール・レジスタ	BRGC	BRGC2
ボー・レート・ジェネレータ・コントロール・レジスタ内のビット名称	TPS0-TPS3, MDL0-MDL3	TPS20-TPS23, MDL20-MDL23
割り込み要求名称	INTSR/INTCSI1, INTSER, INTST	INTSR2/INTCSI2, INTSER2, INTST2
割り込み制御レジスタおよび本章で使用するビット名称	SRIC, CSIIC1, SERIC, STIC, SRIF, CSIIF1, SERIF, STIF	SRIC2, CSIIC2, SERIC2, STIC2, SRIF2, CSIIF2, SERIF2, STIF2

17.1　アシンクロナス・シリアル・インタフェース・モードと３線式シリアルI/Oモードの切り替え

アシンクロナス・シリアル・インタフェース・モードと３線式シリアルI/Oモードは，同時に使用できません。両者の切り替えは，アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM，ASIM2）とクロック同期式シリアル・インタフェース・モード・レジスタ（CSIM1，CSIM2）の設定で図17－１に示すようにします。

図17－１　アシンクロナス・シリアル・インタフェース・モードと３線式シリアルI/Oモードの切り替え

17.2　アシンクロナス・シリアル・インタフェース・モード

アシンクロナス・シリアル・インタフェースとしてUART（Universal Asynchronous Receiver Transmitter）を内蔵しています。これは，スタート・ビットに続く１バイトのデータを送信する方式で，全二重動作が可能です。

ボー・レート・ジェネレータを内蔵しており，広範囲な任意のボー・レートで通信できます。

また，ASCK端子への入力クロックを分周して，ボー・レートを定義することもできます。

17.2.1　アシンクロナス・シリアル・インタフェース・モード時の構成

図17－２に，アシンクロナス・シリアル・インタフェースのブロック図を示します。

なお，ボー・レート・ジェネレータについては，**17.4　ボー・レート・ジェネレータ**を参照してください。

図17－2　アシンクロナス・シリアル・インタフェースのブロック図

（1）受信バッファ（RXB，RXB2）

受信データを保持するレジスタです。データを１バイト受信するごとにシフト・レジスタから受信データが転送されます。

データ長を７ビットに指定した場合，受信データはRXB，RXB2のビット0-6に転送され，RXB，RXB2のMSBは必ず“０”になります。

８ビット操作命令で読み出しのみが可能です。$\overline{\text{RESET}}$入力により，RXB，RXB2は不定となります。

（2）送信シフト・レジスタ（TXS，TXS2）

送信するデータを設定するレジスタです。TXS，TXS2に書き込まれたデータをシリアル・データとして送信します。

データ長を７ビットに指定した場合は，TXS，TXS2に書き込んだデータのビット0-6が送信データとして扱われます。TXS，TXS2に書き込みを行うと送信動作が開始します。送信動作中にTXS，TXS2に書き込みを行ってはいけません。

８ビット操作命令により書き込みのみが可能です。$\overline{\text{RESET}}$入力により，TXS，TXS2は不定となります。

（3）シフト・レジスタ

RxD端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。１バイト分データを送信すると受信データを受信バッファへ転送します。

シフト・レジスタはCPUから直接操作することはできません。

（4）受信制御パリティ・チェック

アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM，ASIM2）に設定された内容に従って，受信動作を制御します。また，受信動作時にパリティ・エラーなどのエラー・チェックも行い，エラーが検出された場合は，エラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS，ASIS2）にセットします。

（5）送信制御パリティ付加

アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM，ASIM2）に設定された内容に従って，送信シフト・レジスタ（TXS，TXS2）に書き込まれたデータにスタート・ビット，パリティ・ビット，ストップ・ビットを付加するなどして，送信動作の制御を行います。

（6）セレクタ

ボー・レート用のクロックのソースを選択します。

17.2.2　アシンクロナス・シリアル・インタフェース制御レジスタ

（1）アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM），
アシンクロナス・シリアル・インタフェース・モード・レジスタ２（ASIM2）

ASIM，ASIM2は，UARTモードの動作を指定する８ビット・レジスタです。

８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。図17－３に，ASIM，ASIM2のフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図17－３　アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM），アシンクロナス・シリアル・インタフェース・モード・レジスタ２（ASIM2）のフォーマット

	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM	TXE	RXE	PS1	PS0	CL	SL	ISRM	SCK	0FF88H	00H	R/W
ASIM2	TXE2	RXE2	PS21	PS20	CL2	SL2	ISRM2	SCK2	0FF89H	00H	R/W

SCK SCK2	ボー・レート・ジェネレータへの入力クロックの指定
0	外部クロック入力（ASCK, ASCK2）
1	内部クロック（$f_{XX}/2$）

ISRM ISRM2	受信エラー発生時の受信完了割り込み発生の許可／禁止を指定注
0	許可
1	禁止

SL SL2	ストップ・ビット長の指定（送信時のみ）
0	１ビット
1	２ビット

CL CL2	データのキャラクタ長の指定
0	７ビット
1	８ビット

PS1 PS21	PS0 PS20	パリティ・ビットの指定
0	0	パリティなし
0	1	送信 = 0 パリティ付加 受信 = パリティ・エラーを発生しない
1	0	奇数パリティ
1	1	偶数パリティ

TXE TXE2	RXE RXE2	送受信動作
0	0	送受信禁止，または３線式シリアルI/Oモード
0	1	受信許可
1	0	送信許可
1	1	送受信許可

注　受信エラー発生時に，受信完了割り込みの禁止を設定する場合，受信エラーの発生から受信バッファ（RXB, RXB2）の読み出しまでには，ボー・レート用クロックの基準となるクロックの２クロック分のウエイトを挿入してください。ウエイトを挿入しない場合，受信完了割り込みの禁止にもかかわらず，受信完了割り込みが発生してしまいます。
ボー・レート用クロックの基準クロックの２クロック分の時間は，次式により求められます。

$$\text{ウエイト時間} = \frac{2^{n+3}}{f_{XX}}$$

備考　f_{XX} ：発振周波数
n　：ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC, BRGC2）の12ビット・プリスケーラのタップ選択のnの値（n = 0-11）

注意　送信動作中にはアシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM, ASIM2）の書き換えは行わないでください。送信中にASIM，ASIM2の書き換えを行うと，それ以降の送信動作ができなくなる場合があります（$\overline{\text{RESET}}$入力により，正常になります）。送信中かどうかは，送信完了割り込み（INTST, INTST2）またはINTST，INTST2によりセットされる割り込み要求フラグ（STIF, STIF2）を用いて，ソフトウエアにより判断することができます。

（2）アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS），アシンクロナス・シリアル・インタフェース・ステータス・レジスタ２（ASIS2）

ASIS，ASIS2は，受信エラー発生時のエラー内容を示すフラグの集合レジスタです。各フラグは，受信エラー発生時にセット（1）され，受信バッファ（RXB, RXB2）からデータを読み出すことによってクリア（0）されます。また，RXB，RXB2を読み出すより前に次のデータを受信すると，オーバラン・エラー・フラグ（OVE, OVE2）がセット（1）され，その他のエラー・フラグはクリア（0）されます（次のデータにエラーがあれば，そのエラー・フラグがセット（1）されます）。

８ビット操作命令とビット操作命令で読み出しのみ可能です。図17－４に，ASIS，ASIS2のフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図17－４　アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS），アシンクロナス・シリアル・インタフェース・ステータス・レジスタ２（ASIS2）のフォーマット

	7	6	5	4	3	②	①	⓪	アドレス	リセット時	R/W
ASIS	0	0	0	0	0	PE	FE	OVE	0FF8AH	00H	R
ASIS2	0	0	0	0	0	PE2	FE2	OVE2	0FF8BH	00H	R

オーバラン・エラー・フラグ

1	受信バッファからデータを読み出す前に次の受信が完了

フレーミング・エラー・フラグ

1	ストップ・ビットが検出されない

パリティ・エラー・フラグ

1	送信データのパリティ指定と受信データのパリティが一致しない

注意１．受信エラー発生時にも，受信バッファ（RXB, RXB2）は必ず読み出してください。
RXB，RXB2を読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。

２．受信エラー発生時に，受信完了割り込みの禁止を設定する場合，受信エラーの発生から受信バッファ（RXB, RXB2）の読み出しまでには，ボー・レート用クロックの基準となるクロックの２クロック分のウエイトを挿入してください。ウエイトを挿入しない場合，受信完了割り込みの禁止にもかかわらず，受信完了割り込みが発生してしまいます。
ボー・レート用クロックの基準クロックの２クロック分の時間は，次式により求められます。

$$\text{ウエイト時間} = \frac{2^{n+3}}{f_{XX}}$$

備考　f_{XX}：発振周波数
n　：ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC, BRGC2）の12ビット・プリスケーラのタップ選択のnの値（n = 0-11）

17.2.3　データ・フォーマット

全二重のアシンクロナス・モードによるシリアル・データの送受信を行います。

送受信データのフォーマットは図17－５に示すとおり，スタート・ビット，キャラクタ・ビット，パリティ・ビット，ストップ・ビットで１データ・フレームを構成します。

１データ・フレーム内のキャラクタ・ビット長の指定，パリティ選択，ストップ・ビット長の指定は，アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）によって行います。

図17－５　アシンクロナス・シリアル・インタフェースの送受信データのフォーマット

・スタート・ビット……１ビット
・キャラクタ・ビット……７ビット/８ビット
・パリティ・ビット……偶数パリティ／奇数パリティ/０パリティ／パリティなし
・ストップ・ビット……１ビット/２ビット

シリアルの転送レートは，アシンクロナス・シリアル・インタフェース・モード・レジスタとボー・レート・ジェネレータの設定により選択します。

また，シリアル・データの受信エラーが発生した場合，アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）の状態を読むことによって受信エラーの内容を判定することができます。

17.2.4　パリティの種類と動作

パリティ・ビットは，通信データのビット誤りを検出するためのビットです。通常は，送信側と受信側のパリティ・ビットは同一の種類のものを使用します。偶数パリティと奇数パリティでは，１ビット（奇数個）の誤りを検出することができます。０パリティとパリティなしでは，誤りを検出することはできません。

・偶数パリティ

送信データ中の値が“１”のビットの数が奇数個の場合にパリティ・ビットを“１”にします。値が“１”のビットの数が偶数個の場合にはパリティ・ビットを“０”にします。これにより，送信データとパリティ・ビットの中に含まれる値が“１”のビット数が偶数個になるよう制御します。受信時には，受信データとパリティ・ビットの中に含まれる値が“１”のビット数をカウントし，奇数個であった場合にパリティ・エラーを発生します。

・奇数パリティ

偶数パリティとは逆に，送信データとパリティ・ビットの中に含まれる値が“１”のビットを奇数個になるように制御します。

受信時には，同様に受信データとパリティ・ビットの中に含まれる値が“１”のビットの数が偶数個であった場合にパリティ・エラーを発生します。

・０パリティ

送信時には，送信データによらずパリティ・ビットを“０”にします。

受信時には，パリティ・ビットの検査を行いません。したがって，パリティ・ビットが“０”でも“１”でもパリティ・エラーを発生しません。

・パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。

17.2.5　送　　信

μPD784038のアシンクロナス・シリアル・インタフェースは，アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のTXEビットがセット（1）されると送信許可状態になります。送信許可のときに送信シフト・レジスタ（TXS）に送信データを書き込むことによって送信動作を起動します。スタート・ビット，パリティ・ビット，ストップ・ビットは自動的に付加されます。

送信動作の開始により，TXS内のデータがシフト・アウトされ，TXSが空になると送信完了割り込み（INTST）が発生します。

次に送信するデータをTXSに書き込まなければ，送信動作は中断されます。

送信中にTXEビットをクリア（0）すると，ただちに送信動作を中断します。

図17－6　アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング

（a）ストップ・ビット長：1

（b）ストップ・ビット長：2

注意1．$\overline{\text{RESET}}$入力後，送信シフト・レジスタ（TXS）は空になりますが，送信完了割り込みは発生しません。TXSに送信データを書き込むことによって送信動作を起動できます。

2．送信動作中にはアシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）の書き換えは行わないでください。送信中にASIMの書き換えを行うと，それ以降の送信動作ができなくなる場合があります（$\overline{\text{RESET}}$入力により，正常になります）。
送信中かどうかは，送信完了割り込み（INTST）またはINTSTによりセットされる割り込み要求フラグ（STIF）を用いて，ソフトウエアにより判断することができます。

17.2.6　受　　信

受信動作は，アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のRXEビットがセット（１）されると許可状態となり，RxD端子入力のサンプリングを行います。

RxD端子入力のサンプリングはASIMとボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）で指定したシリアル・クロック（m分周カウンタの入力クロック）で行います。

RxD端子入力がロウ・レベルになると，m分周カウンタがカウントを開始し，m回カウントしたところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD端子入力をサンプリングした結果，ロウ・レベルであれば，スタート・ビットとして認識し，m分周カウンタを初期化してカウントを開始し，データのサンプリングを行います。スタート・ビットに続いて，キャラクタ・データ，パリティ・ビットおよび１ビットのストップ・ビットが検出されると，１フレームのデータ受信が終了します。

１フレームのデータ受信が終了すると，シフト・レジスタ内の受信データを受信バッファ（RXB）に転送し，受信完了割り込み（INTSR）を発生します。

また，エラーが発生しても，RXBにエラーの発生した受信データを転送します。エラー発生時，ASIMのビット１（ISRM）がクリア（０）されている場合は，INTSRを発生します。

ISRMビットがセット（１）されている場合は，INTSRは発生しません。

なお，受信動作中にRXEビットをクリア（０）すると，ただちに受信動作を停止します。このとき，RXBおよびASISの内容は変化せず，またINTSR，INTSERも発生しません。

図17－７　アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング

注意１．受信エラー発生時にも，受信バッファ（RXB）は必ず読み出してください。RXBを読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。

２．受信エラー発生時に，受信完了割り込みの禁止を設定する場合，受信エラーの発生から受信バッファ（RXB, RXB2）の読み出しまでには，ボー・レート用クロックの基準となるクロックの２クロック分のウエイトを挿入してください。ウエイトを挿入しない場合，受信完了割り込みの禁止にもかかわらず，受信完了割り込みが発生してしまいます。

ボー・レート用クロックの基準クロックの２クロック分の時間は，次式により求められます。

$$\text{ウエイト時間} = \frac{2^{n+3}}{f_{XX}}$$

備考　f_{XX}：発振周波数

n　：ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC, BRGC2）の12ビット・プリスケーラのタップ選択のnの値（n = 0-11）

17.2.7　受信エラー

受信動作時のエラーには，パリティ・エラー，フレーミング・エラー，オーバラン・エラーの３種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）内に立つと同時に，受信エラー割り込み（INTSER）を発生します。受信エラーの要因を表17－２に示します。

受信エラー割り込み処理（INTSER）内で，ASISの内容を読み出すことによって，いずれのエラーが受信時に発生したかを検出することができます（**図17－４，図17－８**参照）。

ASISの内容は，受信バッファ（RXB）を読み出すか，次のデータを受信することでクリア（０）されます（次の受信データにエラーがあれば，そのエラー・フラグがセットされます）。

表17－２　受信エラーの要因

受信エラー	要　　因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信完了

図17－８　受信エラー・タイミング

注　ISRMビットがセット（１）されている場合に受信エラーが発生したときは，INTSRは発生しません。

備考　μPD784038では，ハードウエアによりブレーク信号を検出することはできません。ブレーク信号は，２キャラクタ以上のロウ・レベル信号なので，受信データが00Hだったフレーミング・エラーが２回連続して発生したことをソフトウエアで検出することで，ブレーク信号が入力されたと判断することが可能です。なお，偶然，フレーミング・エラーが２回発生したときと識別するためには，RxD端子レベルをソフトウエアで読み込み（ポート３モード・レジスタ（PM3）のビット０を“１”にして，ポート３（P3）をリードすることで確認が可能）“０”であることを確認することにより，行うことができます。

注意１．アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）の内容は，受信バッファ（RXB）を読み出すか，次のデータを受信することにより，クリア（０）されてしまいます。エラーの内容が知りたい場合には，必ずRXBを読み出す前にASISを読み出してください。

２．受信エラー発生時にも，RXBは必ず読み出してください。RXBを読み出さないと次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。

３．受信エラー発生時に，受信完了割り込みの禁止を設定する場合，受信エラーの発生から受信バッファ（RXB, RXB2）の読み出しまでには，ボー・レート用クロックの基準となるクロックの２クロック分のウエイトを挿入してください。ウエイトを挿入しない場合，受信完了割り込みの禁止にもかかわらず，受信完了割り込みが発生してしまいます。
ボー・レート用クロックの基準クロックの２クロック分の時間は，次式により求められます。

$$\text{ウエイト時間} = \frac{2^{n+3}}{f_{XX}}$$

備考　f_{XX}　：発振周波数
　　n　：ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC, BRGC2）の12ビット・プリスケーラのタップ選択のnの値（n = 0-11）

17.3　３線式シリアルI/Oモード

３線式シリアルI/Oモードは，従来のクロック同期式シリアル・インタフェースを内蔵するデバイスとの通信を行うためのモードです。

基本的にはシリアル・クロック（SCK）とシリアル・データ出力（SO）とシリアル・データ入力（SI）の３本のラインで通信を行います。また，一般的には通信状態の確認を行うため，ハンドシェーク・ラインが必要となります。

図17－９　３線式シリアルI/Oのシステム構成例

３線式シリアルI/O↔３線式シリアルI/O

注　ハンドシェーク・ライン

17.3.1　３線式シリアルI/Oモード時の構成

図17－10に，３線式シリアルI/Oモード時のブロック図を示します。

図17－10　3線式シリアルI/Oモード時のブロック図

（1）シフト・レジスタ（SIO1，SIO2）

SIO1，SIO2は，８ビットのシリアル・データを８ビットのパラレル・データに，８ビットのパラレル・データを８ビットのシリアル・データに変換するレジスタです。SIO1，SIO2は，送信および受信の両方に使用されます。

SIO1，SIO2に対する書き込み／読み出しにより，実際の送受信動作が制御されます。

８ビット操作命令で，読み出し／書き込みが可能です。

$\overline{\text{RESET}}$入力により不定となります。

（2）SOラッチ

SOラッチは，SO1，SO2端子出力レベルを保持するラッチです。

（3）シリアル・クロック・セレクタ

使用するシリアル・クロックを選択します。

（4）シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，８ビット・データの送受信が行われたことを調べます。

（5）割り込み信号発生回路

シリアル・クロック・カウンタでシリアル・クロックを８発カウントしたときに，割り込み要求を発生します。

（6）シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給の制御を行います。また，内部クロック使用時は，$\overline{\text{SCK1}}$，$\overline{\text{SCK2}}$端子へ出力するクロックの制御も行います。

（7）方向制御回路

MSBファースト，LSBファーストを切り替えます。

17.３.２　クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM1，CSIM2）

CSIM1，CSIM2は，３線式シリアルI/Oモード時の動作を指定する８ビット・レジスタです。

８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。図17－11に，CSIM1，CSIM2のフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図17－11　クロック同期式シリアル・インタフェース・モード・レジスタ１（CSIM1），クロック同期式シリアル・インタフェース・モード・レジスタ２（CSIM2）のフォーマット

	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM1	CTXE1	CRXE1	0	0	0	DIR1	CSCK1	0	0FF84H	00H	R/W
CSIM2	CTXE2	CRXE2	0	0	0	DIR2	CSCK2	0	0FF85H	00H	R/W

（n = 1, 2）

CSCKn	シリアル・クロック選択ビット	
	ソース・クロック	$\overline{\text{SCKn}}$（CTXEn, CRSEn = 1）のとき
0	$\overline{\text{SCKn}}$端子への外部入力クロック	入力
1	ボー・レート・ジェネレータ出力	CMOS出力

DIRn	動作モード指定（転送ビット順）
0	MSBファースト
1	LSBファースト

CTXEn	CRXEn	送受信動作
0	0	送受信禁止，またはアシンクロナス・シリアル・インタフェース・モード
0	1	受信許可
1	0	送信許可
1	1	送受信許可

注意　MSBファースト／LSBファーストの切り替えは，SIOへの書き込みを行う前に設定してください。SIOへの書き込み後に設定しても，すでにSIOに格納されているデータのMSBファースト／LSBファーストを切り替えることはできません。

17.３.３　基本動作タイミング

３線式シリアルI/Oモードは，８ビット単位でデータの送受信を行います。データは，シリアル・クロックに同期してMSBファースト/LSBファーストで１ビットごとに送受信されます。

MSB/LSBの切り替えは，クロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）のDIRnビットで指定します。

送信データは，$\overline{\text{SCKn}}$の立ち下がりに同期して出力されます。受信データは，$\overline{\text{SCKn}}$の立ち上がりでサンプリングされます。

また，８番目の$\overline{\text{SCKn}}$の立ち上がりで割り込み要求（INTCSIn）を発生します。

内部クロックを$\overline{\text{SCKn}}$として使用している場合は，$\overline{\text{SCKn}}$の８番目の立ち上がりで$\overline{\text{SCKn}}$の出力を停止し，次のデータの送信または受信動作が起動されるまで，$\overline{\text{SCKn}}$はハイ・レベルを保持します。

図17－12に，３線式シリアルI/Oモードのタイミングを示します。

図17－12　３線式シリアルI/Oモードのタイミング（1/2）

（a）MSBファースト時

備考　n = 1, 2

図17－12　３線式シリアルI/Oモードのタイミング（2/2）

（b）LSBファースト時

備考　２線式のシリアルI/Oと接続する場合は，図17－13のようにSOn端子にバッファを接続してください。なお，図17－13の場合は，バッファにより出力レベルが反転するので，SIOnへは出力したいデータの反転データを書き込んでください（n = 1, 2）。
また，P31/SO1またはP14/SO2端子には，内蔵プルアップ抵抗を接続しないように指定してください。

図17－13　２線式シリアルI/Oとの接続例

17.３.４　送信のみ許可の場合の動作

送信動作は，クロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）のCTXEnビットがセット（1）されているときに行われます。CTXEnビットがセット（1）されているときに，シフト・レジスタ（SIOn）への書き込みを行うと送信動作が起動されます。

なお，CTXEnビットがクリア（0）されているときは，SOn端子は出力ハイ・レベルとなります。

（1）シリアル・クロックとして内部クロックを選択した場合

送信が起動されるとシリアル・クロックを$\overline{\text{SCKn}}$端子から出力し，同時にシリアル・クロックの立ち下がりに同期してSIOnからデータをSOn端子へ順次出力します。また，シリアル・クロックの立ち上がりに同期して，SIn端子の信号をSIOnにシフト入力します。

なお，送信の起動から$\overline{\text{SCKn}}$の最初の立ち下がりまでには，最大$\overline{\text{SCKn}}$の１クロック分の時間がかかります。

送信動作中に送信を禁止（CTXEnビットをクリア（0））すると，次の$\overline{\text{SCKn}}$の立ち上がりで$\overline{\text{SCKn}}$クロックの出力を停止し，送信動作を中断します。このとき割り込みの要求（INTCSIn）は発生しません。また，SOn端子は出力ハイ・レベルになります。

（2）シリアル・クロックとして外部クロックを選択した場合

送信が起動されると，送信起動後に$\overline{\text{SCKn}}$端子へ入力されたシリアル・クロックの立ち下がりに同期してSIOnからデータをSOn端子へ順次出力し，同時に$\overline{\text{SCKn}}$端子入力の立ち上がりに同期して，SIn端子の信号をSIOnにシフト入力します。送信が起動されていないときに，シリアル・クロックを$\overline{\text{SCKn}}$端子へ入力してもシフト動作は行われず，SOn端子の出力レベルは変化しません。

送信動作中に送信を禁止（CTXEnビットをクリア（0））すると，送信動作を中断し，以降の$\overline{\text{SCKn}}$入力を無視します。このとき，割り込みの要求（INTCSIn）は発生しません。また，SOn端子は出力ハイ・レベルになります。

備考　n = 1, 2

17.3.5　受信のみ許可の場合の動作

受信動作はクロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）のCRXEnビットがセット（1）されているときに行われます。CRXEnビットを“０”から“１”へ変換させるか，シフト・レジスタ（SIOn）からの読み出しを行うと受信動作は起動されます。

（1）シリアル・クロックとして内部クロックを選択した場合

受信が起動されるとシリアル・クロックを$\overline{\text{SCKn}}$端子から出力し，シリアル・クロックの立ち上がりに同期してSIn端子のデータをシフト・レジスタ（SIOn）へ順次取り込みます。

なお，受信の起動から$\overline{\text{SCKn}}$の最初の立ち下がりまでには，最大$\overline{\text{SCKn}}$の１クロック分の時間がかかります。

受信動作中に受信を禁止（CRXEnビットをクリア（0））すると，次の$\overline{\text{SCKn}}$の立ち上がりで$\overline{\text{SCKn}}$クロックの出力を停止し，受信動作を中断します。このとき割り込みの要求（INTCSIn）は発生しません。また，SIOnの内容は不定になります。

（2）シリアル・クロックとして外部クロックを選択した場合

受信が起動されると，受信起動後に$\overline{\text{SCKn}}$端子へ入力されたシリアル・クロックの立ち上がりに同期してSIn端子のデータをシフト・レジスタ（SIOn）へ順次取り込みます。受信が起動されていないときに$\overline{\text{SCKn}}$端子へシリアル・クロックを入力してもシフト動作は行いません。

受信動作中に受信を禁止（CRXEnビットをクリア（0））すると，受信動作を中断し，以降の$\overline{\text{SCKn}}$入力を無視します。このとき，割り込みの要求（INTCSIn）は発生しません。

備考　n = 1, 2

17.3.6　送受信許可の場合の動作

クロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）のCTXEnビットとCRXEnビットが両方ともセット（1）されているときは，送信動作と受信動作を同時に行うことができます（送受信動作）。送受信動作は，CRXEnビットを“０”から“１”へ変化させるか，シフト・レジスタ（SIOn）へ書き込みを行うと起動します。

なお，送受信動作の１回目の起動時は，必ずCRXEnビットが“０”から“１”へ変化するので，すぐに送受信動作が起動され，不定なデータが出力される可能性があります。したがって，送信および受信とも禁止されている（CTXEnビットおよびCRXEnビットが両方ともクリア（0）されている）ときに，あらかじめSIOnへ最初の送信データを書き込んでから，送受信を許可してください。ただし，MSBファースト／LSBファーストの切り替えは，SIOnへの書き込みを行う前に設定してください。SIOnへの書き込み後に設定しても，すでにSIOnに格納されているデータのMSBファースト／LSBファーストを切り替えることはできません。

なお，送受信禁止時（CTXEn = CRXEn = 0）のときは，SO1端子は出力ハイ・レベルになります。

（1）シリアル・クロックとして内部クロックを選択した場合

送受信が起動されると，シリアル・クロックが$\overline{\text{SCKn}}$端子より出力され，シリアル・クロックの立ち下がりに同期してシフト・レジスタ（SIOn）からSOn端子へ順次データが出力され，シリアル・クロックの立ち上がりに同期してSIn端子のデータを順次SIOnへシフト・インします。

なお，送受信の起動から$\overline{\text{SCKn}}$の最初の立ち下がりまでには，最大$\overline{\text{SCKn}}$の１クロック分の時間がかかります。

送受信動作時に送信または受信の一方を禁止した場合は，禁止された動作のみが中断されます。送信のみを禁止した場合は，SOn端子は出力ハイ・レベルになります。受信のみを禁止した場合は，SIOnの内容は不定となります。

送受信を同時に禁止した場合は，$\overline{\text{SCKn}}$の立ち上がりで$\overline{\text{SCKn}}$クロックの出力を停止し，送信および受信動作を中断します。送受信を同時に禁止した場合は，SIOnの内容は不定となり，割り込みの要求（INTCSIn）は発生しません。また，SOn端子は出力ハイ・レベルになります。

備考　n = 1, 2

（2）シリアル・クロックとして外部クロックを選択した場合

送受信が起動されると，送受信起動後に$\overline{\text{SCKn}}$端子へ入力されたシリアル・クロックの立ち下がりに同期してシフト・レジスタ（SIOn）から順次SOn端子へデータが出力され，シリアル・クロックの立ち上がりに同期してSIn端子のデータを順次SIOnへシフト・インします。送受信が起動されていないときにシリアル・クロックが$\overline{\text{SCKn}}$端子へ入力されても，SIOnのシフト動作は行いません。また，SOn端子の出力レベルも変化しません。

送受信動作中に送信または受信の一方を禁止した場合は，禁止された動作のみが中断されます。送信のみを禁止した場合は，SOn端子は出力ハイ・レベルになります。受信のみを禁止した場合は，SIOnの内容は不定となります。

送受信を同時に禁止した場合は，送受信動作を中断し，以降の$\overline{\text{SCKn}}$入力を無視します。送受信を同時に禁止した場合は，SIOnの内容は不定となり，割り込みの要求（INTCSIn）は発生しません。SOn端子は出力ハイ・レベルになります。

備考　n = 1, 2

17.3.7　シリアル・クロックとシフト動作がずれた場合の処置方法

シリアル・クロックとして外部クロックを選択した場合に，ノイズなどにより，シリアル・クロックの数とシフト動作がずれてしまう可能性があります。このような場合，送信動作と受信動作をともに禁止する（CTXEnビットおよびCRXEnビットをクリア（0）する）ことにより，シリアル・クロック・カウンタが初期化されるので，次に送信または受信を許可した後に最初に入力されるシリアル・クロックを１発目のクロックとして，シフト動作とシリアル・クロックの同期を回復することができます。

備考　n = 1, 2

17.4　ボー・レート・ジェネレータ

ボー・レート・ジェネレータは，UART/IOEのシリアル・クロックを生成する回路です。各シリアル・インタフェース用に独立して２回路内蔵しています。

17.4.1　ボー・レート・ジェネレータの構成

図17－14に，ボー・レート・ジェネレータのブロック図を示します。

図17－14　ボー・レート・ジェネレータのブロック図

（1）５ビット・カウンタ

分周回路からの出力を選択したクロック（f_{PRS}）をカウントするカウンタです。ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC，BRGC2）の下位４ビットで選択された周波数の信号を生成します。

（2）分周回路

内部クロック（$f_{XX}/2$），またはアシンクロナス・シリアル・インタフェース・モード時には，外部ボー・レート入力（ASCK，ASCK2）の２倍のクロックを分周し，次段のセレクタでf_{PRS}を選択します。

（3）両エッジ検出回路

ASCK，ASCK2端子入力信号の両エッジを検出し，ASCK，ASCK2入力クロックの倍の周波数の信号を生成します。

17.4.2　ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC，BRGC2）

BRGC，BRGC2は，アシンクロナス・シリアル・インタフェース・モード時のボー・レート用クロックや３線式シリアルI/Oモード時のシフト・クロックを設定する８ビット・レジスタです。

８ビット操作命令で読み出し／書き込みが可能です。図17－15に，BRGC，BRGC2のフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

注意　ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC，BRGC2）の書き込み命令を実行すると，５ビット・カウンタおよび1/2分周回路の動作がリセットされてしまいます。したがって，通信動作中にBRGC，BRGC2への書き込みを行うと，生成されるボー・レート用クロックが乱れてしまい，正常な通信動作ができなくなる可能性があります。通信動作中にはBRGC，BRGC2への書き込みをしないでください。

図17－15　ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC），ボー・レート・ジェネレータ・コントロール・レジスタ２（BRGC2）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC	TPS3	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0	0FF90H	00H	R/W
									アドレス	リセット時	R/W
BRGC2	TPS23	TPS22	TPS21	TPS20	MDL23	MDL22	MDL21	MDL20	0FF91H	00H	R/W

f_{PRS}：プリスケーラ出力の選択クロック

MDL3 MDL23	MDL2 MDL22	MDL1 MDL21	MDL0 MDL20	k	ボー・レート・ジェネレータの入力クロック注1
0	0	0	0	0	$f_{PRS}/16$
0	0	0	1	1	$f_{PRS}/17$
0	0	1	0	2	$f_{PRS}/18$
0	0	1	1	3	$f_{PRS}/19$
0	1	0	0	4	$f_{PRS}/20$
0	1	0	1	5	$f_{PRS}/21$
0	1	1	0	6	$f_{PRS}/22$
0	1	1	1	7	$f_{PRS}/23$
1	0	0	0	8	$f_{PRS}/24$
1	0	0	1	9	$f_{PRS}/25$
1	0	1	0	10	$f_{PRS}/26$
1	0	1	1	11	$f_{PRS}/27$
1	1	0	0	12	$f_{PRS}/28$
1	1	0	1	13	$f_{PRS}/29$
1	1	1	0	14	$f_{PRS}/30$
1	1	1	1	15	f_{PRS}注2

注１．ASCK, ASCK2入力使用時は，$f_{PRS}/16$しか選択できません。
　２．３線式シリアルI/Oモード時のみ使用可能

f_{XX}：発振周波数または外部クロック入力

TPS3 TPS23	TPS2 TPS22	TPS1 TPS21	TPS0 TPS20	n	12ビット・プリスケーラのタップ選択（f_{PRS}）
0	0	0	0	0	$f_{XX}/4$,　$f_{ASCK}/2$注
0	0	0	1	1	$f_{XX}/8$,　$f_{ASCK}/4$
0	0	1	0	2	$f_{XX}/16$,　$f_{ASCK}/8$
0	0	1	1	3	$f_{XX}/32$,　$f_{ASCK}/16$
0	1	0	0	4	$f_{XX}/64$,　$f_{ASCK}/32$
0	1	0	1	5	$f_{XX}/128$,　$f_{ASCK}/64$
0	1	1	0	6	$f_{XX}/256$,　$f_{ASCK}/128$
0	1	1	1	7	$f_{XX}/512$,　$f_{ASCK}/256$
1	0	0	0	8	$f_{XX}/1024$, $f_{ASCK}/512$
1	0	0	1	9	$f_{XX}/2048$, $f_{ASCK}/1024$
1	0	1	0	10	$f_{XX}/4096$, $f_{ASCK}/2048$
1	0	1	1	11	$f_{XX}/8192$, $f_{ASCK}/4096$
上記以外				設定禁止	

注　MDL3-MDL0，またはMDL23-MDL20でk = 15を選択した場合は，選択できません。

17.4.3　ボー・レート・ジェネレータの動作

ボー・レート・ジェネレータは，UART/IOEの送受信動作が許可されているときだけ動作します。生成するボー・レート用クロックは，内部クロック（$f_{XX}/2$）を分周した信号か，外部ボー・レート入力（ASCK）端子から入力されたクロックを分周した信号になります。

注意　通信動作中にボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）への書き込みを行うと，生成されるボー・レート用クロックが乱れてしまい，正常な通信動作ができなくなる可能性があります。通信動作中にBRGCへの書き込みをしないでください。

（1）UARTモード時のボー・レート用クロックの生成

（a）内部クロック（$f_{XX}/2$）による場合

アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のビット０（SCK）をセット（１）することにより，この機能が選択されます。

内部クロック（$f_{XX}/2$）を分周回路で分周し，その信号（f_{PRS}）を５ビット・カウンタで分周し，さらに２分周した信号がボー・レートとなります・ボー・レートは，次の式によって求めます。

$$（ボー・レート）= \frac{f_{XX}}{(k+16)\cdot 2^{n+3}}$$

f_{XX}：発振周波数または外部クロック入力

k　：BRGCのMDL3-MDL0ビットの設定値（k = 0-14）

n　：BRGCのTPS3-TPS0ビットの設定値（n = 0-11）

（b）外部ボー・レート入力による場合

アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のビット０（SCK）をクリア（０）することにより，この機能が選択されます。なお，この機能を使用するときは，ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）のMDL3-MDL0ビットは，すべてクリア（０）して（k = ０）使用してください。

また，UART2では，この機能を使用するときにはポート３モード・コントロール・レジスタ（PMC3）のビット２をセット（１）し，P12端子をコントロール・モードにする必要があります。

ASCK端子入力のクロックを分周回路で分周し，その信号（f_{PRS}）を32分周（16分周と２分周）した信号がボー・レートとなります。ボー・レートは，次の式によって求めます。

$$（ボー・レート）= \frac{f_{ASCK}}{2^{n+6}}$$

f_{ASCK}：ASCK端子入力クロック周波数

n　：BRGCのTPS3-TPS0ビットの設定値（n = 0-11）

この機能により，１種類の外部入力クロックで複数のボー・レートを生成することができます。

（2）３線式シリアルI/Oモード時のシリアル・クロックの生成

クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM1）のCSCK1ビットをセット（1）し，$\overline{SCK1}$を出力した場合に選択されます。

（a）通常モード

内部クロック（$f_{XX}/2$）を分周回路で分周し，その信号（f_{PRS}）を５ビット・カウンタで分周し，さらに２分周した信号がシリアル・クロックになります。シリアル・クロックは，次の式によって求めます。

$$（シリアル・クロック）= \frac{f_{XX}}{(k+16)\cdot 2^{n+3}}$$

f_{XX}：発振周波数または外部クロック入力

k　：BRGCのMDL3-MDL0ビットの設定値（k = 0-14）

n　：BRGCのTPS3-TPS0ビットの設定値（n = 0-11）

（b）高速モード

この機能を使用するときは，ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）のMDL3-MDL0ビットは，すべてセット（1）して（k = 15）使用します。

内部クロック（$f_{XX}/2$）を分周回路で分周し，その信号（f_{PRS}）を２分周した信号がシリアル・クロックになります。シリアル・クロックは，次の式によって求めます。

$$（シリアル・クロック）= \frac{f_{XX}}{2^{n+3}}$$

f_{XX}：発振周波数または外部クロック入力

n　：BRGCのTPS3-TPS0ビットの設定値（n = 1-11）

17.4.4　アシンクロナス・シリアル・インタフェース・モード時のボー・レートの設定方法

ボー・レートの設定方法には，表17－３に示す２通りの方法があります。

それぞれ生成できるボー・レートの範囲，ボー・レートの計算式および選択方法についてまとめます。

表17－３　ボー・レートの設定方法

ボー・レート用クロック・ソース		選択方法	ボー・レートの計算式	ボー・レートの範囲
ボー・レート・ジェネレータ	内部システム・クロック	ASIMのSCK = 1	$\frac{f_{XX}}{(k+16)\cdot 2^{n+3}}$	$\frac{f_{XX}}{491520}-\frac{f_{XX}}{128}$
	ASCK入力	ASIMのSCK = 0	$\frac{f_{ASCK}}{2^{n+6}}$	$\frac{f_{ASCK}}{131072}-\frac{f_{ASCK}}{64}$注

注　f_{ASCK}の入力範囲を含めると$\left(0-\frac{f_{XX}}{256}\right)$

備考　f_{XX}　：発振周波数または外部クロック入力

k　：BRGCのMDL3-MDL0ビットの設定値（k = 0-14；図17－15参照）

n　：BRGCのTPS3-TPS0ビットの設定値（n = 0-11；図17－15参照）

f_{ASCK}：ASCK入力クロックの周波数$\left(0-\frac{f_{XX}}{4}\right)$

（1）ボー・レート・ジェネレータを使用した場合の設定例

ボー・レート・ジェネレータを使用した場合のボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）への設定例を示します。

ボー・レート・ジェネレータを使用する場合は，アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のSCKビットをセット（1）してください。

表17－4　ボー・レート・ジェネレータを使用した場合のBRGCへの設定例

発振周波数（f_{XX}）または外部クロック入力（f_X）	32.0000 MHz		31.9488 MHz		25.0000 MHz		24.5760 MHz		12.0000 MHz		11.0592 MHz	
ボー・レート〔bps〕	BRGC値	誤差(%)	BRGC値	誤差(%)	BRGC値	誤差(%)	BRGC値	誤差(%)	BRGC値	誤差(%)	BRGC値	誤差(%)
75	BAH	0.16	BAH	0.00	B4H	1.73	B4H	0.00	A4H	2.34	A2H	0.00
110	B2H	1.36	B2A	1.52	ACH	0.92	ABH	1.01	9BH	1.36	99H	1.82
150	AAH	0.16	AAH	0.00	A4H	1.73	A4H	0.00	94H	2.34	92H	0.00
300	9AH	0.16	9AH	0.00	94H	1.73	94H	0.00	84H	2.34	82H	0.00
600	8AH	0.16	8AH	0.00	84H	1.73	84H	0.00	74H	2.34	72H	0.00
1200	7AH	0.16	7AH	0.00	74H	1.73	74H	0.00	64H	2.34	62H	0.00
2400	6AH	0.16	6AH	0.00	64H	1.73	64H	0.00	54H	2.34	52H	0.00
4800	5AH	0.16	5AH	0.00	54H	1.73	54H	0.00	44H	2.34	42H	0.00
9600	4AH	0.16	4AH	0.00	44H	1.73	44H	0.00	34H	2.34	32H	0.00
19200	3AH	0.16	3AH	0.00	34H	1.73	34H	0.00	24H	2.34	22H	0.00
31250	30H	0.00	30H	0.16	29H	0.00	29H	1.70	18H	0.00	16H	0.54
38400	2AH	0.16	2AH	0.00	24H	1.73	24H	0.00	14H	2.34	12H	0.00
76800	1AH	0.16	1AH	0.00	14H	1.73	14H	0.00	04H	2.34	02H	0.00
115200	11H	2.12	11H	1.96	0BH	0.47	0BH	1.23	00H	18.62	00H	25.00
153600	0AH	0.16	0AH	0.00	04H	1.73	04H	0.00	00H	38.96	00H	43.75

（2）外部ボー・レート入力（ASCK）を使用した場合の設定例

外部ボー・レート入力（ASCK）を使用した場合の設定例を表17－５に示します。ASCK入力を使用する場合は，アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のSCKビットをクリア（０）し，PMC3またはPMC1で該当する端子をコントロール・モードにしてください。

表17－５　外部ボー・レート入力（ASCK）を使用した場合の設定例

f_{ASCK} （ASCK入力周波数）	153.6 kHz	4.9152 MHz
ボー・レート［bps］	BRGC値	BRGC値
75	50H	A0H
150	40H	90H
300	30H	80H
600	20H	70H
1200	10H	60H
2400	00H	50H
4800	－	40H
9600	－	30H
19200	－	20H
38400	－	10H
76800	－	00H

17.5　注意事項

（1）送信動作中にはアシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）の書き換えは行わないでください。送信中にASIMの書き換えを行うと，それ以降の送信動作ができなくなる場合があります（$\overline{\text{RESET}}$入力により，正常になります）。

送信中かどうかは，送信完了割り込み（INTST）またはINTSTによりセットされる割り込み要求フラグ（STIF）を用いて，ソフトウエアにより判断することができます。

（2）$\overline{\text{RESET}}$入力後，送信シフト・レジスタ（TXS）は空になりますが，送信完了割り込みは発生しません。TXSに送信データを書き込むことによって，送信動作を起動できます。

（3）受信エラー発生時にも，受信バッファ（RXB）は必ず読み出してください。RXBを読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。

（4）受信エラー発生時に，受信完了割り込みの禁止を設定する場合，受信エラーの発生から受信バッファ（RXB, RXB2）の読み出しまでには，ボー・レート用クロックの基準となるクロックの２クロック分のウエイトを挿入してください。ウエイトを挿入しない場合，受信完了割り込みの禁止にもかかわらず，受信完了割り込みが発生してしまいます。

ボー・レート用クロックの基準クロックの２クロック分の時間は，次式により求められます。

$$\text{ウエイト時間} = \frac{2^{n+3}}{f_{XX}}$$

備考　f_{XX}：発振周波数

n　：ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC, BRGC2）の12ビット・プリスケーラのタップ選択のnの値（n = 0-11）

（5）アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）の内容は，受信バッファ（RXB）を読み出すか，次のデータを受信することにより，クリア（0）されてしまいます。エラーの内容が知りたい場合には，必ずRXBを読み出す前にASISを読み出してください。

（6）通信動作中には，ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）への書き込みをしないでください。もし書き込み命令を実行すると，５ビット・カウンタおよび1/2分周回路の動作がリセットされてしまい，生成されるボー・レート用クロックが乱れ，正常な通信動作ができなくなる可能性があります。

（7）MSBファースト／LSBファーストの切り替えは，SIOへの書き込みを行う前に設定してください。SIOへの書き込み後に設定しても，すでにSIOに格納されているデータのMSBファースト／LSBファーストを切り替えることはできません。

★　（８）３線式シリアルI/Oモードにおいて，送信側からデータが連続送信される場合，次の①，②の条件では，２回目以降の受信データが不定になる場合があります。

① 受信完了（下図ａ）後，次のシリアル・クロック（$\overline{\text{SCKn}}$）の立ち下がり（下図ｂ）までに，シフト・レジスタ（SIOn）のリードが終了しないとき（n = 1, 2）

② 受信完了（下図ａ）後，次のシリアル・クロック（$\overline{\text{SCKn}}$）の立ち上がり（下図ｃ）までに，受信許可ビットをクリアし，シフト・レジスタ（SIOn）をリード後，受信許可フラグをセットできないとき（n = 1, 2）

備考　n = 1, 2

このため，次のいずれかの対策を行ってください。

・受信完了後（上図ａ），次のシリアル・クロックの立ち下がり（上図ｂ）までに，シフト・レジスタをリードする。

・受信完了後（上図ａ），次のシリアル・クロックの立ち上がり（上図ｃ）までに，受信許可ビットをクリアし，シフト・レジスタをリード後，受信許可フラグをセットする。

第18章　３線式／２線式シリアルI/Oモード

18.1　機　　能

（1）３線式シリアルI/Oモード（MSB/LSBファースト）

シリアル・クロック（$\overline{\text{SCK0}}$）と，シリアル・バス（SO0，SI0）の３本のラインによって８ビット長のデータ転送を行います。従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続する場合に有効です。

また，一般的には通信状態の確認を行うため，ハンドシェーク・ラインが必要となります。

（2）２線式シリアルI/Oモード（MSBファースト）

シリアル・クロック（SCL）と，シリアル・データ・バス（SDA）の２本のラインによって８ビット長のデータ転送を行います。

また，一般的には通信状態の確認を行うため，ハンドシェーク・ラインが必要となります。

18.2　構　　成

図18－１に，３線式／２線式シリアルI/Oモード時のクロック同期式シリアル・インタフェース（CSI）のブロック図を示します。

図18－１　クロック同期式シリアル・インタフェース（３線式／２線式シリアルI/Oモード時）のブロック図

注　CMOSプッシュプル出力　　：３線式シリアルI/Oモード時
　　N-chオープン・ドレーン出力：２線式シリアルI/Oモード時

（1）シフト・レジスタ（SIO）

SIOは，８ビットのシリアル・データを８ビットのパラレル・データに，８ビットのパラレル・データを８ビットのシリアル・データに変換するレジスタです。SIOは送信および受信の両方に使用されます。

SIOに対する書き込み／読み出しにより，実際の送受信動作が制御されます。

８ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

（2）SOラッチ

SOラッチは，SO0/SDA端子出力レベルを保持するラッチです。ソフトウエアにより直接制御することも可能です。

（3）シリアル・クロック・セレクタ

使用するシリアル・クロックを選択します。

（4）シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，８ビット・データの送受信が行われたことを調べます。

（5）割り込み信号発生回路

シリアル・クロック・カウンタでシリアル・クロックを８発カウントしたときに，割り込みの要求を発生します。

（6）シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタ（SIO）への供給の制御を行います。また，内部クロック使用時は$\overline{\text{SCK0}}$端子へ出力するクロックの制御も行います。

（7）方向制御回路

送受信データのシフト方向を制御します。

18.３　制御レジスタ

18.３.１　クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）

CSIMは，シリアル・インタフェースの動作モード，シリアル・クロックを指定する８ビット・レジスタです。

８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。図18－２に，CSIMのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図18－２　クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のフォーマット

	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM	CTXE	CRXE	0	0	MOD1	MOD0	CLS1	CLS0	0FF82H	00H	R/W

CLS1	CLS0	シリアル・クロックの指定			$\overline{\text{SCK0}}$, SCL端子
0	0	外部クロック	スレーブ		入力
0	1	内部クロック	マスタ	TM3/2	出力
1	0			SPRS	
1	1			f_{XX}/16	

MOD1	MOD0	動作モード選択ビット		
		動作モード	転送方向	使用端子
0	0	３線式I/Oモード	MSBファースト	SO0, SI0, $\overline{\text{SCK0}}$
0	1	３線式I/Oモード	LSBファースト	
1	0	２線式I/Oモード	MSBファースト	SDA, SCL
1	1	設定禁止		

CRXE	受信動作
0	禁止
1	許可

CTXE	送信動作
0	禁止
1	許可

注意　CTXE = 0，CRXE = 1の状態からCTXE = 1，CRXE = 0へ変更する場合，およびCTXE = 1，CRXE = 0の状態からCTXE = 0，CRXE = 1へ変更する場合は，1命令で行わないようにしてください。シリアル・クロック・カウンタが誤動作し，変更後の1回目の通信が8ビット未満で終了してしまいます。次のように2命令に分けて変更してください。

例　CTXE = 1，CRXE = 0をCTXE = 0，CRXE = 1に変更する場合

```
CLR1 CTXE
SET1 CRXE
```

18.3.2　シリアル・クロック用プリスケーラ・モード・レジスタ（SPRM）

SPRMは，クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）でCLS1ビット =1，CLS0ビット =0にすることによりSPRSを指定したときの，シリアル・クロックの分周比を指定する8ビット・レジスタです。

8ビット操作命令で読み出し／書き込みが可能です。図18－3に，SPRMのフォーマットを示します。

$\overline{\text{RESET}}$入力により04Hになります。

なお，SPRMの書き換えは，送受信禁止（CTXE = CRXE =0）の状態のときのみ行うようにしてください。

図18－3　シリアル・クロック用プリスケーラ・モード・レジスタ（SPRM）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SPRM	0	0	0	0	SPRS3	SPRS2	SPRS1	SPRS0	0FF81H	04H	R/W

SPRS3	SPRS2	SPRS1	SPRS0	シリアル・クロックの指定
0	0	0	0	$f_{XX}/16$
0	0	0	1	$f_{XX}/24$
0	0	1	0	$f_{XX}/32$
0	0	1	1	$f_{XX}/48$
0	1	0	0	$f_{XX}/64$
0	1	0	1	$f_{XX}/96$
0	1	1	0	$f_{XX}/128$
0	1	1	1	$f_{XX}/192$
1	0	0	0	$f_{XX}/256$
1	0	0	1	$f_{XX}/384$

18.３.３　I²Cバス・コントロール・レジスタ（IICC）

IICCは，SOラッチの状態を制御するビットから構成された８ビット・レジスタです。

８ビット操作命令とビット操作命令で，読み出し／書き込みが可能です。読み出しのとき，IICCは“00”を読み出します。図18－４に，IICCのフォーマットを示します。なお，送信，受信，送受信の各動作中にIICCへの書き込みを行ってはいけません。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図18－４　I²Cバス・コントロール・レジスタ（IICC）のフォーマット

	7	6	5	4	3	2	①	⓪	アドレス	リセット時	R/W
IICC	0	0	0	0	0	0	STT	SPT	0FF80H	00H	R/W

SPT	動　　作
0	変化せず
1	SOラッチをセット（1）する

STT	動　　作
0	変化せず
1	SOラッチをクリア（0）する

18.４　３線式シリアルI/Oモード

３線式シリアルI/Oモードは，従来のクロック同期式シリアル・インタフェースを内蔵するデバイスとの通信を行うためのモードです。

基本的にはシリアル・クロック（$\overline{\text{SCK0}}$）とシリアル・データ出力（SO0）とシリアル・データ入力（SI0）の３本のラインで通信を行います。また，一般的には通信状態の確認を行うため，ハンドシェーク・ラインが必要となります。

図18－５　３線式シリアルI/Oのシステム構成例

３線式シリアルI/O↔３線式シリアルI/O

注　ハンドシェーク・ライン

18.4.1　基本動作タイミング

３線式シリアルI/Oモードは，８ビット単位でデータの送受信を行います。データは，シリアル・クロックに同期してMSBファースト/LSBファーストで１ビットごとに送受信されます。

MSBファースト/LSBファーストの切り替えは，クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のMOD0ビットで指定します。

送信データは，$\overline{\text{SCK0}}$の立ち下がりに同期して出力されます。受信データは，$\overline{\text{SCK0}}$の立ち上がりでサンプリングされます。

また，８番目の$\overline{\text{SCK0}}$の立ち上がりで割り込み要求（INTCSI）を発生します。

内部クロックを$\overline{\text{SCK0}}$として使用している場合は，$\overline{\text{SCK0}}$の８番目の立ち上がりで$\overline{\text{SCK0}}$の出力を停止し，次のデータの送信または受信動作が起動されるまで，$\overline{\text{SCK0}}$はハイ・レベルを保持します。

図18－６に，３線式シリアルI/Oモードのタイミングを示します。

★　図18－６　３線式シリアルI/Oモードのタイミング（1/2）

（a）MSBファースト時

注　マスタCPU　：出力
　　スレーブCPU：入力

★ 図18－６　３線式シリアルI/Oモードのタイミング（2/2）

（b）LSBファースト時

注　マスタCPU　：出力
　　スレーブCPU：入力

３線式シリアルI/Oの場合，SO0端子はCMOSのプッシュプル出力になります。

18.4.2　送信のみ許可の場合の動作

送信動作は，クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のCTXEビットがセット（1）されているときに行われます。CTXEビットがセット（1）されているときに，シフト・レジスタ（SIO）への書き込みを行うと送信動作が起動されます。

なお，CTXEビットがクリア（0）されているときは，SO0端子は出力ハイ・インピーダンスとなります。

（1）シリアル・クロックとして内部クロックを選択した場合

送信が起動されると，シリアル・クロックを$\overline{\text{SCK0}}$端子から出力し，同時にシリアル・クロックの立ち下がりに同期してSIOからデータをSO0端子へ順次出力します。また，シリアル・クロックの立ち上がりに同期して，SI0端子の信号をSIOにシフト入力します。

なお，送信の起動から$\overline{\text{SCK0}}$の最初の立ち下がりまでには，最大$\overline{\text{SCK0}}$の１クロック分の時間がかかります。

送信動作中に送信を禁止（CTXEビットをクリア（0））すると，次の$\overline{\text{SCK0}}$の立ち上がりで$\overline{\text{SCK0}}$クロックの出力を停止し，送信動作を中断します。このとき割り込みの要求（INTCSI）は発生しません。また，SO0端子は出力ハイ・インピーダンスになります。

（2）シリアル・クロックとして外部クロックを選択した場合

送信が起動されると，送信起動後に$\overline{\text{SCK0}}$端子へ入力されたシリアル・クロックの立ち下がりに同期してSIOからデータをSO0端子へ順次出力し，同時に$\overline{\text{SCK0}}$端子入力の立ち上がりに同期して，SI0端子の信号をSIOにシフト入力します。送信が起動されていないときに，シリアル・クロックを$\overline{\text{SCK0}}$端子へ入力してもシフト動作は行われず，SO0端子の出力レベルは変化しません。

送信動作中に送信を禁止（CTXEビットをクリア（0））すると，送信動作を中断し，以降の$\overline{\text{SCK0}}$入力を無視します。このとき，割り込みの要求（INTCSI）は発生しません。また，SO0端子は出力ハイ・インピーダンスになります。

18.4.3　受信のみ許可の場合の動作

受信動作はクロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のCRXEビットがセット（1）されているときに行われます。CRXEビットを“０”から“１”へ変化させるか，シフト・レジスタ（SIO）からの読み出しを行うと受信動作は起動されます。

（1）シリアル・クロックとして内部クロックを選択した場合

受信が起動されるとシリアル・クロックを$\overline{\text{SCK0}}$端子から出力し，シリアル・クロックの立ち上がりに同期してSI0端子のデータをシフト・レジスタ（SIO）へ順次取り込みます。

なお，受信の起動から$\overline{\text{SCK0}}$の最初の立ち下がりまでには，最大$\overline{\text{SCK0}}$の１クロック分の時間がかかります。

受信動作中に受信を禁止（CRXEビットをクリア（0））すると，次の$\overline{\text{SCK0}}$の立ち上がりで$\overline{\text{SCK0}}$クロックの出力を停止し，受信動作を中断します。このとき割り込みの要求（INTCSI）は発生しません。また，SIOの内容は不定になります。

（2）シリアル・クロックとして外部クロックを選択した場合

受信が起動されると，受信起動後に$\overline{\text{SCK0}}$端子へ入力されたシリアル・クロックの立ち上がりに同期してSI0端子のデータをシフト・レジスタ（SIO）へ順次取り込みます。受信が起動されていないときに$\overline{\text{SCK0}}$端子へシリアル・クロックを入力してもシフト動作は行いません。

受信動作中に受信を禁止（CRXEビットをクリア（0））すると，受信動作を中断し，以降の$\overline{\text{SCK0}}$入力を無視します。このとき，割り込みの要求（INTCSI）は発生しません。

18.4.4　送受信許可の場合の動作

クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のCTXEビットとCRXEビットが両方ともセット（１）されているときは，送信動作と受信動作を同時に行うことができます（送受信動作）。送受信動作は，CRXEビットを“０”から“１”へ変化させるか，シフト・レジスタ（SIO）への書き込みを行うと起動します。

なお，送受信動作の１回目の起動時は，必ずCRXEビットが“０”から“１”へ変化するので，すぐに送受信動作が起動され，不定なデータが出力される可能性があります。したがって，送信および受信とも禁止されている（CTXEビットおよびCRXEビットが両方ともクリア（０）されている）ときに，あらかじめSIOへ最初の送信データを書き込んでから，送受信を許可してください。

なお，送受信禁止時（CTXE = CRXE = ０）のときは，SO0端子は出力ハイ・インピーダンスになります。

（1）シリアル・クロックとして内部クロックを選択した場合

送受信が起動されると，シリアル・クロックが$\overline{\text{SCK0}}$端子より出力され，シリアル・クロックの立ち下がりに同期してシフト・レジスタ（SIO）からSO0端子へ順次データが出力され，シリアル・クロックの立ち上がりに同期してSI0端子のデータを順次SIOへシフト・インします。

なお，送受信の起動から$\overline{\text{SCK0}}$の最初の立ち下がりまでには，最大$\overline{\text{SCK0}}$の１クロック分の時間がかかります。

送受信動作中に送信または受信の一方を禁止にした場合は，禁止された動作のみが中断されます。送信のみを禁止した場合は，SO0端子は出力ハイ・インピーダンスになります。受信のみを禁止した場合は，SIOの内容は不定となります。

送受信を同時に禁止した場合は，$\overline{\text{SCK0}}$の次の立ち上がりで$\overline{\text{SCK0}}$クロックの出力を停止し，送信および受信動作を中断します。送受信を同時に禁止した場合は，SIOの内容は不定となり，割り込みの要求（INTCSI）は発生しません。また，SO0端子は出力ハイ・インピーダンスになります。

（2）シリアル・クロックとして外部クロックを選択した場合

送受信が起動されると，送受信起動後に$\overline{\text{SCK0}}$端子へ入力されたシリアル・クロックの立ち下がりに同期してシフト・レジスタ（SIO）から順次SO0端子へデータが出力され，シリアル・クロックの立ち上がりに同期してSI0端子のデータを順次SIOへシフト・インします。送受信が起動されていないときにシリアル・クロックが$\overline{\text{SCK0}}$端子へ入力されても，SIOのシフト動作は行いません。また，SO0端子の出力レベルも変化しません。

送受信動作中に送信または受信の一方を禁止した場合は，禁止された動作のみが中断されます。送信のみを禁止した場合は，SO0端子は出力ハイ・インピーダンスになります。受信のみを禁止した場合は，SIOの内容は不定となります。

送受信を同時に禁止した場合は，送受信動作を中断し，以降の$\overline{\text{SCK0}}$入力を無視します。送受信を同時に禁止した場合は，SIOの内容は不定となり，割り込みの要求（INTCSI）は発生しません。SO0端子は出力ハイ・インピーダンスになります。

18.4.5　シリアル・クロックとシフト動作がずれた場合の処置方法

シリアル・クロックとして外部クロックを選択した場合に，ノイズなどにより，シリアル・クロックの数とシフト動作がずれてしまう可能性があります。このような場合，送信動作と受信動作をともに禁止する（CTXEビットおよびCRXEビットをクリア（０）する）ことにより，シリアル・クロック・カウンタが初期化されるので，次に送信または受信を許可した後に最初に入力されるシリアル・クロックを１発目のクロックとして，シフト動作とシリアル・クロックの同期を回復することができます。

18.5　２線式シリアルI/Oモード

２線式シリアルI/Oモードは，プログラムにより任意の通信フォーマットに対応できます。

基本的にはシリアル・クロック（SCL），シリアル・データ入力／出力（SDA）の２本のラインで通信を行います。また，一般的には通信状態の確認を行うため，ハンドシェーク・ラインが必要となります。

なお，２線式シリアルI/Oモードの場合，SCL端子，SDA端子とも，出力時にはN-chオープン・ドレーン出力になります。したがって，外付けにプルアップ抵抗を接続して使用してください。

図18－７　２線式シリアルI/Oのシステム構成例

注　ハンドシェーク・ライン

18.5.1　基本動作タイミング

２線式シリアルI/Oモードは，８ビット単位でデータの送受信を行います。データは，シリアル・クロックに同期してMSBファーストで１ビットごとに送受信を行います。

送信データは，SCLの立ち下がりに同期して出力されます。受信データは，SCLの立ち上がりでサンプリングされます。

また，８番目のSCLの立ち上がりで割り込み要求（INTCSI）を発生します。

内部クロックをSCLとして使用している場合は，SCLの８番目の立ち上がりでSCLの出力を停止し，次のデータの送信または受信動作が起動されるまでSCLはハイ・レベルを保持します。

図18－８　２線式シリアルI/Oモードのタイミング

注　マスタCPU　：出力
　　スレーブCPU：入力

SDA端子のシリアル・データ・バスに指定された端子は，N-chオープン・ドレーン入出力となりますので，外部で抵抗によりプルアップする必要があります。

SDAは，SOラッチの状態を出力しますので，SPTビット，STTビットのセットによってSDA端子の出力状態を操作することができます。ただし，シリアル転送中にはこの動作は行わないでください。

また，内部クロックをSCLとして使用している（マスタCPUとして使用している）場合，SCL端子はN-chオープン・ドレーン出力となりますので，外部で抵抗によりプルアップする必要があります。

18.５.２　送信のみ許可の場合の動作

送信動作は，クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のCTXEビットがセット（１）されているときに行われます。CTXEビットがセット（１）されているときに，シフト・レジスタ（SIO）への書き込みを行うと送信動作が起動されます。

なお，CTXEビットがクリア（０）されているときは，SDA端子は出力ハイ・インピーダンスとなります。

（１）シリアル・クロックとして内部クロックを選択した場合

送信が起動されると，シリアル・クロックをSCL端子から出力し，同時にシリアル・クロックの立ち下がりに同期してSIOからデータをSDA端子へ順次出力します。

なお，送信の起動からSCLの最初の立ち下がりまでには，最大SCLの１クロック分の時間がかかります。

送信動作中に送信を禁止（CTXEビットをクリア（０））すると，次のSCLの立ち上がりでSCLクロックの出力を停止し，送信動作を中断します。このとき割り込みの要求（INTCSI）は発生しません。また，SDA端子は出力ハイ・インピーダンスになります。

（２）シリアル・クロックとして外部クロックを選択した場合

送信が起動されると，送信起動後にSCL端子へ入力されたシリアル・クロックの立ち下がりに同期してSIOからデータをSDA端子へ順次出力します。送信が起動されていないときに，シリアル・クロックをSCL端子へ入力してもシフト動作は行われず，SDA端子の出力レベルは変化しません。

送信動作中に送信を禁止（CTXEビットをクリア（０））すると，送信動作を中断し，以降のSCL入力を無視します。このとき，割り込みの要求（INTCSI）は発生しません。また，SDA端子は出力ハイ・インピーダンスになります。

（３）送信エラーの検出

２線式シリアルI/Oモードでは，送信中のシリアル・データ（SDA）の状態が送信しているデバイスのSIOにも取り込まれるため，送信開始前と送信終了後のSIOのデータを比較し，２つのデータが異なっていれば送信エラーが発生したと判断することができます。

18.5.3　受信のみ許可の場合の動作

受信動作はクロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のCRXEビットがセット（1）されているときに行われます。CRXEビットを“０”から“１”へ変化させるか，シフト・レジスタ（SIO）からの読み出しを行うと受信動作は起動されます。

（1）シリアル・クロックとして内部クロックを選択した場合

受信が起動されるとシリアル・クロックをSCL端子から出力し，シリアル・クロックの立ち上がりに同期してSDA端子のデータをシフト・レジスタ（SIO）へ順次取り込みます。

なお，受信の起動からSCLの最初の立ち下がりまでには，最大SCLの１クロック分の時間がかかります。

受信動作中に受信を禁止（CRXEビットをクリア（0））すると，次のSCLの立ち上がりでSCLクロックの出力を停止し，受信動作を中断します。このとき割り込みの要求（INTCSI）は発生しません。また，SDAの内容は不定になります。

（2）シリアル・クロックとして外部クロックを選択した場合

受信が起動されると，受信起動後にSCL端子へ入力されたシリアル・クロックの立ち上がりに同期してSDA端子のデータをシフト・レジスタ（SIO）へ順次取り込みます。受信が起動されていないときにSCL端子へシリアル・クロックを入力してもシフト動作は行いません。

受信動作中に受信を禁止（CRXEビットをクリア（0））すると，受信動作を中断し，以降のSCL入力を無視します。このとき，割り込みの要求（INTCSI）は発生しません。

18.5.4　送受信許可の場合の動作

クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のCTXEビットとCRXEビットが両方ともセット（１）されているときは，送信動作と受信動作を同時に行うことができます（送受信動作）。送受信動作は，CRXEビットを“０”から“１”へ変化させるか，シフト・レジスタ（SIO）への書き込みを行うと起動します。

なお，送受信動作の１回目の起動時は，必ずCRXEビットが“０”から“１”へ変化するので，すぐに送受信動作が起動され，不定なデータが出力される可能性があります。したがって，送信および受信とも禁止されている（CTXEビットおよびCRXEビットが両方ともクリア（０）されている）ときに，あらかじめSIOへ最初の送信データを書き込んでから，送受信を許可してください。

なお，送受信禁止時（CTXE = CRXE = ０）のときは，SDA端子は出力ハイ・インピーダンスになります。

（1）シリアル・クロックとして内部クロックを選択した場合

送受信が起動されると，シリアル・クロックがSCL端子より出力され，シリアル・クロックの立ち下がりに同期してシフト・レジスタ（SIO）からSDA端子へ順次データが出力され，シリアル・クロックの立ち上がりに同期してSDA端子のデータを順次SIOへシフト・インします。

なお，送受信の起動からSCLの最初の立ち下がりまでには，最大SCLの１クロック分の時間がかかります。

送受信動作中に送信または受信の一方を禁止にした場合は，禁止された動作のみが中断されます。送信のみを禁止した場合は，SDA端子は出力ハイ・インピーダンスになります。受信のみを禁止した場合は，SIOの内容は不定となります。

送受信を同時に禁止した場合は，SCLの次の立ち上がりでSCLクロックの出力を停止し，送信および受信動作を中断します。送受信を同時に禁止した場合は，SIOの内容は不定となり，割り込みの要求（INTCSI）は発生しません。また，SDA端子は出力ハイ・インピーダンスになります。

（2）シリアル・クロックとして外部クロックを選択した場合

送受信が起動されると，送受信起動後にSCL端子へ入力されたシリアル・クロックの立ち下がりに同期してシフト・レジスタ（SIO）から順次SDA端子へデータが出力され，シリアル・クロックの立ち上がりに同期してSDA端子のデータを順次SIOへシフト・インします。送受信が起動されていないときにシリアル・クロックがSCL端子へ入力されても，SIOのシフト動作は行いません。また，SDA端子の出力レベルも変化しません。

送受信動作中に送信または受信の一方を禁止した場合は，禁止された動作のみが中断されます。送信のみを禁止した場合は，SDA端子は出力ハイ・インピーダンスになります。受信のみを禁止した場合は，SIOの内容は不定となります。

送受信を同時に禁止した場合は，送受信動作を中断し，以降のSCL入力を無視します。送受信を同時に禁止した場合は，SIOの内容は不定となり，割り込みの要求（INTCSI）は発生しません。SDA端子は出力ハイ・インピーダンスになります。

（３）送信エラーの検出

２線式シリアルI/Oモードでは，送信中のシリアル・データ（SDA）の状態が送信しているデバイスのSIOにも取り込まれるため，送信開始前と送信終了後のSIOデータを比較し，２つのデータが異なっていれば送信エラーが発生したと判断することができます。

18.5.5　シリアル・クロックとシフト動作がずれた場合の処置方法

シリアル・クロックとして外部クロックを選択した場合に，ノイズなどにより，シリアル・クロックの数とシフト動作がずれてしまう可能性があります。このような場合，送信動作と受信動作をともに禁止する（CTXEビットおよびCRXEビットをクリア（０）する）ことにより，シリアル・クロック・カウンタが初期化されるので，次に送信または受信を許可した後に最初に入力されるシリアル・クロックを１発目のクロックとして，シフト動作とシリアル・クロックの同期を回復することができます。

18.6　注意事項

（1）CTXE = 0, CRXE = 1の状態からCTXE = 1, CRXE = 0へ変更する場合，およびCTXE = 1, CRXE = 0の状態からCTXE = 0，CRXE = 1へ変更する場合は，１命令で行わないようにしてください。シリアル・クロック・カウンタが誤動作し，変更後の１回目の通信が８ビット未満で終了してしまいます。次のように２命令に分けて変更してください。

例　CTXE = 1，CRXE = 0をCTXE = 0，CRXE = 1に変更する場合

```
CLR1 CTXE
SET1 CRXE
```

★　（２）μPD784038, 784038Yサブシリーズでは，シフト・レジスタにデータを書き込むと同時にデータを出力します。

a：送信許可ビットのセット（CTXE←１）

b：シフト・レジスタへのデータ（55H）書き込み（SIO←55H）

c：転送終了割り込み要求の発生

★　（３）μPD784038, 784038Yサブシリーズでは，$\overline{\text{SCK0}}$端子がロウ・レベルであれば，送信許可後のシフト・レジスタへの書き込みと同時にシリアル・クロック・カウンタを１カウントします。そのため，シリアル・クロックとして外部クロックを選択し，$\overline{\text{SCK0}}$端子がロウ・レベルのときに送信を開始すると，７クロック目のシリアル・クロックの立ち上がりに，送信完了割り込み要求を発生します。

a：送信許可ビットのセット（CTXE←１）

b：シフト・レジスタへのデータ（AAH）書き込み（SIO←AAH）

c：転送終了割り込み要求の発生

★　（４）３線式シリアルI/Oモードにおいてマスタ送信とスレーブ受信を交互に実行するとき，$\overline{\text{SCK0}}$端子から不正なシリアル・クロックが出力される場合があります（$\overline{\text{SCK1}}$, $\overline{\text{SCK2}}$端子は該当しません）。

マスタ送信とスレーブ受信を交互に実行する場合，不正クロック（最大１システム・クロック）が発生する可能性のある期間は$\overline{\text{SCK0}}$端子をハイ・レベル出力のポート・モードにしてください。

①：スレーブ受信終了　②：SIOリード　③：受信禁止（CRXE = 0）
④：送信クロック選択　⑤：マスタ送信許可（CTXE = 1）⑥：SIOライト

・プログラム例（内部クロックとしてTM3/2を選択時）

```
SET1  P3.2     ; P32 = 1
CLR1  PMC3.2   ; SCK0端子：入出力ポート・モード
CLR1  CRXE     ; 受信禁止
SET1  CSIM.0   ; スレーブ→マスタ
SET1  CTXE     ; 送信許可
  :            ; １シリアル・クロック分以上のウエイト
SET1  PMC3.2   ; SCK0端子：SCK0入出力モード
MOV   SIO,A    ; SIOレジスタへの書き込み
```

★　（５）３線式シリアルI/Oモードにおいて，送信側からデータが連続送信される場合，次の①，②の条件では，２回目以降の受信データが不定になる場合があります。

① 受信完了（下図ａ）後，次のシリアル・クロック（$\overline{\text{SCK0}}$）の立ち下がり（下図ｂ）までに，シフト・レジスタ（SIO）のリードが終了しないとき

② 受信完了（下図ａ）後，次のシリアル・クロック（$\overline{\text{SCK0}}$）の立ち上がり（下図ｃ）までに，受信許可ビットをクリアし，シフト・レジスタ（SIO）をリード後，受信許可フラグをセットできないとき

このため，次のいずれかの対策を行ってください。

・受信完了後（上図ａ），次のシリアル・クロックの立ち下がり（上図ｂ）までに，シフト・レジスタをリードする。

・受信完了後（上図ａ），次のシリアル・クロックの立ち上がり（上図ｃ）までに，受信許可ビットをクリアし，シフト・レジスタをリード後，受信許可フラグをセットする。

第19章　I²Cバス・モード（μPD784038Yサブシリーズのみ）

19.1　機能概説

・I²C（Inter IC）バス・モード（MSBファースト）

I²Cバス・フォーマットに準拠しているデバイスと通信を行うためのインタフェースです。

シリアル・クロック（SCL）とシリアル・データ・バス（SDA）の２本のラインにより複数のデバイスと８ビット・データ転送を行います。

I²Cバス・モードにおいては，マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”，“データ”および“ストップ・コンディション”を出力することができます。

スレーブは，受信したこれらのデータをハードウエアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

従来のシリアルI/O方式では，データ転送機能しか有していないために，複数のデバイスを接続してシリアル・バスを構成した場合に，チップ・セレクト信号やコマンド／データの区別，ビジィ状態の判断などのため多くのポートや配線が必要となります。また，これらの制御をソフトウエアで行おうとすると，ソフトウエアの負担が大きくなってしまいます。I²Cバス・モードでは，シリアル・クロック（SCL）と，シリアル・データ・バス（SDA）の２本の信号線でシリアル・バスを構成することができます。そのため，マイコンのポート数の削減や基板内の配線や引き回しの減少に有効となります。

I²Cバス・モードは，I²Cのシングル・マスタおよびスレーブ動作を行う場合に使用します。

なお，機能の詳細については，19.4　I²Cバス・モードの機能を参照してください。

図19－１　I²Cバス・モードによるシリアル・バス構成例

19.2　構　　成

図19－２に，I²Cバス・モード時のクロック同期式シリアル・インタフェース（CSI）のブロック図を示します。

図19－2　クロック同期式シリアル・インタフェース（I²Cバス・モード時）のブロック図

（1）シフト・レジスタ（SIO）

SIOは，８ビットのシリアル・データを８ビットのパラレル・データに，８ビットのパラレル・データを８ビットのシリアル・データに変換するレジスタです。SIOは送信および受信の両方に使用されます。

SIOに対する書き込み／読み出しにより，実際の送受信動作が制御されます。

８ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

（2）スレーブ・アドレス・レジスタ（SVA）

スレーブとして使用する場合に，自アドレスを設定するレジスタです。

また，本レジスタで現在の通信方向を確認することができます。

（3）SOラッチ

SOラッチは，SDA端子出力レベルを保持するラッチです。ソフトウエアにより直接制御することも可能です。

（4）ウエイク・アップ制御回路

スレーブとして使用している場合，スレーブ・アドレス・レジスタ（SVA）に設定したアドレス値と受信アドレスが一致した場合のみ割り込み要求を発生させるか，常に割り込み要求を発生させるかを制御します。

（5）シリアル・クロック・セレクタ

使用するシリアル・クロックを選択します。

（6）シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，８ビット・データの送受信が行われたことを調べます。

（7）割り込み信号発生回路

割り込み要求信号の発生を制御します。

I²Cバス・コントロール・レジスタ（IICC）のビット７（WTIM）およびクロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のビット５（WUP）の設定により，表19－１に示すタイミングで割り込み要求を発生します（**19.5.7　割り込み要求（INTCSI）発生タイミングおよびウエイト制御**参照）。

（8）シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタ（SIO）への供給の制御を行います。また，内部クロック使用時はSCL端子へ出力するクロックの制御も行います。

（9）シリアル・クロック・ウエイト制御回路

ウエイト・タイミングの制御を行います。

（10）アクノリッジ出力回路，ストップ・コンディション検出回路，スタート・コンディション検出回路，アクノリッジ検出回路

各種制御信号の出力および検出を行います。

（11）データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

外部発振周波数により，シリアル・クロック用プリスケーラ・モード・レジスタ（SPRM）のデータ・ホールド時間指定ビット（DHT0，DHT1）を設定し，本回路の制御を行います。

19.3　制御レジスタ

19.3.1　クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）

CSIMは，シリアル・インタフェースの動作モード，シリアル・クロック，ウエイク・アップ機能などを指定する８ビット・レジスタです。

８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。図19－３に，CSIMのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図19－３　クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のフォーマット

	⑦	6	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM	CTXE	0	WUP	0	1	1	CLS1	CLS0	0FF82H	00H	R/W

CLS1	CLS0	シリアル・クロックの指定			$\overline{\text{SCK0}}$, SCL端子
0	0	外部クロック	スレーブ		入力
1	0	内部クロック	マスタ	SPRS	出力
上記以外		設定禁止			

WUP	ウエイク・アップ機能の制御
0	アドレス，データ転送終了時に，毎回割り込み要求（INTCSI）を発生
1	自アドレス受信時に割り込み要求（INTCSI）を発生し，その後，データ転送終了ごとに割り込み要求（INTCSI）を発生

CTXE	送受信動作
0	禁止
1	許可

19.3.2　I²Cバス・コントロール・レジスタ（IICC）

IICCは，シリアル・バスの状態を制御するビットから構成された８ビット・レジスタです。

８ビット操作命令とビット操作命令で，読み出し／書き込みが可能です。読み出しのとき，書き込みのみのビットは“０”を読み出します。図19－４に，IICCのフォーマットを示します。なお，送信，受信，送受信の各動作中にIICCへの書き込みを行ってはいけません。

$\overline{\text{RESET}}$入力により00Hとなります。

図19－4　I²Cバス・コントロール・レジスタ（IICC）のフォーマット（1/2）

	⑦	⑥	⑤	④	③	②	①	⓪	アドレス	リセット時	R/W
IICC	WTIM	WREL	ACKD	ACKE	STD	SPD	STT	SPT	0FF80H	00H	R/W

ウエイト・タイミング設定ビット（R/W）

データ受信時の割り込み発生タイミングおよびウエイト・タイミングの制御を行うビットです。

また，本ビットの書き換えは，送受信禁止時（CTXE＝0）のときのみ行うようにしてください。

WTIM	0	8クロック・ウエイト。SCLの8クロック目の立ち下がりで割り込み要求（INTCSI）を発生する。 ・マスタの場合　：8クロック出力後，SCL出力をロウ・レベルにしてウエイトする。 ・スレーブの場合：8クロック入力後，SCL端子をロウ・レベルにしてウエイト要求をする。
	1	9クロック・ウエイト。SCLの9クロック目の立ち下がりで割り込み要求（INTCSI）を発生する。 ・マスタの場合　：9クロック出力後，SCL出力をロウ・レベルにしてウエイトする。 ・スレーブの場合：9クロック入力後，SCL端子をロウ・レベルにしてウエイト要求をする。

ウエイト解除トリガ・ビット（W）

WREL	WREL＝1により，ウエイト状態を解除（SCLをハイ・レベル）する。 ウエイト状態を解除後，WRELビットは自動的にクリア（0）される。

アクノリッジ検出フラグ（R）

ACKD	クリアされる条件（ACKD＝0）	セットされる条件（ACKD＝1）
	①　アクノリッジ信号（$\overline{\text{ACK}}$）検出後のウエイト解除（WREL＝1またはSIOライトまたはSPT＝1）時 ②　CTXE＝0 ③　リセット入力時	アクノリッジ信号（$\overline{\text{ACK}}$）検出時 （9発目のSCLの立ち上がりで，SDAがロウ・レベルのとき）

アクノリッジ出力許可（R/W）

データ受信時のアクノリッジ信号（$\overline{\text{ACK}}$）出力許可ビットです。

ACKE	0	アクノリッジ信号の自動出力を禁止。 送信時，または8クロック・ウエイト選択時に使用する。ただし，WUP＝1でアドレス受信時は次の動作となる。 ・自アドレス受信時　　：ACKE＝0の場合でもSCLの9クロック目の立ち下がりに同期してアクノリッジ信号の自動出力を行う。 ・自アドレス以外受信時：アクノリッジ信号の自動出力は行わない。
	1	8クロック・ウエイト選択時：ウエイト制御を行う前にACKE＝1とすることにより，SCLの8クロック目の立ち下がりに同期してアクノリッジ信号を出力する。 9クロック・ウエイト選択時：あらかじめACKE＝1とすることにより，アクノリッジ信号をSCLの8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力する。 ただし，WUP＝1でアドレス受信時は次の動作となる。 ・自アドレス受信時　　：アクノリッジ信号の自動出力を行う。 ・自アドレス以外受信時：アクノリッジ信号の自動出力は行わない。

8クロック・ウエイト時に8クロック目の立ち下がり以降，ACKE＝0→1とした場合，ACKEがセットされたタイミングで$\overline{\text{ACK}}$は出力されます。

図19－4　I²Cバス・コントロール・レジスタ（IICC）のフォーマット（2/2）

	⑦	⑥	⑤	④	③	②	①	⓪	アドレス	リセット時	R/W
IICC	WTIM	WREL	ACKD	ACKE	STD	SPD	STT	SPT	0FF80H	00H	R/W

スタート・コンディション検出フラグ（R）

STD	クリアされる条件（STD＝0）	セットされる条件（STD＝1）
	①　スタート・コンディション検出後のウエイト解除（WREL＝1またはSIOライト注またはSPT＝1）時 ②　CTXE＝0 ③　リセット入力時 注　マスタ時のアドレス・ライトは除く	・WUP＝0のとき：スタート・コンディション検出時 ・WUP＝1のとき：自アドレス検出時

ストップ・コンディション検出フラグ（R）

SPD	クリアされる条件（SPD＝0）	セットされる条件（SPD＝1）
	①　スタート・コンディション検出時 ②　CTXE＝0 ③　リセット入力時	ストップ・コンディション検出時

スタート・コンディション・トリガ・ビット（W）

STT	SCLおよびSDAがハイ・レベルの状態注でSTT＝1にすることにより，SOラッチをクリア（0）する。SOラッチをクリア（0）後，SCLをロウ・レベルにする。SCLをロウ・レベルにしたあと，STTビットは自動的にクリア（0）される。 注　SCLのレベル状態は，P32/SCL端子を入力モード（PM32＝1）とし，SCL*を読み込むことにより確認できます。また，SDAのレベル状態も，P33/SDA端子を入力モード（PM33＝1）とし，SDA*を読み込むことにより確認できます。 ＊　SCLおよびSDAは，当社製アセンブラでは予約語に，Cコンパイラでは＃pragma sfr指令で，sfr変数として定義されています。 注意1．SCLおよびSDAがロウ・レベルの状態でSTT＝1にしても，スタート・コンディションは出力されません（STT＝1にしたあと，SCLがハイ・レベルとなってもスタート・コンディションは出力されません）。 2．STTをセット（1）後，必ずNOPなどで1命令以上実行してからSIOにアドレスを書き込んでください。

ストップ・コンディション・トリガ・ビット（W）

SPT	SPT＝1により，SOラッチがクリア（0）され，SOラッチがクリア（0）されたあと，SCLをハイ・レベルにする。SCLがハイ・レベルになったあと，SOラッチをセット（1）する。SOラッチをセット（1）後，SPTビットは自動的にクリア（0）される。

19.3.3　シリアル・クロック用プリスケーラ・モード・レジスタ（SPRM）

SPRMは，SCLの立ち下がりに対するデータのホールド時間，シリアル・クロックを内部クロックに指定（CLS1ビット＝1，CLS0ビット＝0）した場合のシリアル・クロックおよびデューティを指定する8ビット・レジスタです。

8ビット操作命令で読み出し／書き込みが可能です。図19－5に，SPRMのフォーマットを示します。

$\overline{\text{RESET}}$入力により04Hになります。

なお，SPRMの書き換えは，送受信禁止（CTXE＝0）の状態のときのみ行うようにしてください。

図19－5　シリアル・クロック用プリスケーラ・モード・レジスタ（SPRM）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SPRM	SCD	DHT1	DHT0	0	SPRS3	SPRS2	SPRS1	SPRS0	0FF81H	04H	R/W

SPRS3	SPRS2	SPRS1	SPRS0	シリアル・クロックの指定
0	0	0	0	$f_{XX}/16$
0	0	0	1	$f_{XX}/24$
0	0	1	0	$f_{XX}/32$
0	0	1	1	$f_{XX}/48$
0	1	0	0	$f_{XX}/64$
0	1	0	1	$f_{XX}/96$
0	1	1	0	$f_{XX}/128$
0	1	1	1	$f_{XX}/192$
1	0	0	0	$f_{XX}/256$
1	0	0	1	$f_{XX}/384$

DHT1	DHT0	データ・ホールド時間指定	
0	0	16 MHz＜f_{XX}≦32 MHz	$10/f_{XX}$〜$12/f_{XX}$
0	1	8 MHz＜f_{XX}≦16 MHz	$5/f_{XX}$〜$7/f_{XX}$
1	×	4 MHz＜f_{XX}≦8 MHz	$3/f_{XX}$〜$5/f_{XX}$

SCD	シリアル・クロック・デューティ指定
0	標準モード用
1	高速モード用

19.3.4　スレーブ・アドレス・レジスタ（SVA）

SVAは，スレーブ・デバイスとして動作させるとき自アドレスを指定する８ビット・レジスタです。

自アドレス指定時，ビット０（TREビット）には１を書き込んでください。

また，SVAのビット０（TREビット）で，送信／受信のどちらを行っているのかを確認することができます。

ビット1-7は８ビット操作命令で読み出し／書き込みが可能です。また，ビット０は８ビット操作命令とビット操作命令で読み出しのみ可能です。

図19－６に，SVAのフォーマットを示します。

$\overline{\text{RESET}}$入力により01Hになります。

図19－６　スレーブ・アドレス・レジスタ（SVA）のフォーマット

注　ビット０　：読み出し（R）のみ可能

　　ビット1-7：読み出し／書き込み（R/W）可能

19.4　I²Cバス・モードの機能

19.4.1　端子構成

シリアル・クロック端子（SCL）と，シリアル・データ・バス端子（SDA）の構成は，次のようになっています。

（1）SCL……シリアル・クロックを入出力するための端子

・マスタ……N-chオープン・ドレーン出力

・スレーブ……シュミット入力

（2）SDA……シリアル・データの入出力兼用端子

マスタ，スレーブともに出力はN-chオープン・ドレーン。入力は，シュミット入力

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは，出力がN-chオープン・ドレーンのため，外部にプルアップ抵抗が必要となります。

図19－7　端子構成図

19.4.2　機　　能

μPD784038Yが有しているI²Cバス・モードの機能について次に示します。

（1）シリアル・データの自動判別機能

シリアル・データ・バス上の“スタート・コンディション”，“データ”および“ストップ・コンディション”を自動的に検出します。

（2）アドレスによるチップ・セレクト

マスタ動作時は，スレーブ・アドレスを送信することにより，I²Cバスに接続した特定のスレーブ・デバイスを選択し，通信することができます。

（3）ウエイク・アップ機能

スレーブ動作時は，受信したアドレスがスレーブ・アドレス・レジスタ（SVA）の値と一致した場合のみ割り込みを発生します（WUP＝1のとき）。したがって，I²Cバス上の選択されたスレーブ以外のCPUはシリアル通信に関係なく動作することができます。

（4）アクノリッジ信号（$\overline{\text{ACK}}$）制御機能

マスタ／スレーブ動作時に，シリアル通信が正常に実行されたことを確認するためのアクノリッジ信号を制御することができます。

（5）ウエイト信号（$\overline{\text{WAIT}}$）制御機能

スレーブ・デバイスは，ウエイト状態を知らせるためのウエイト信号制御が行えます。

19.5　I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび，使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に出力されている“スタート・コンディション”，“データ”，および“ストップ・コンディション”の各転送タイミングを図19－８に示します。

図19－８　I²Cバスのシリアル・データ転送タイミング

スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが出力します。

アクノリッジ信号（$\overline{\text{ACK}}$）は，マスタ，スレーブのどちらでも出力できます（通常，８ビット・データの受信側が出力します）。

シリアル・クロック（SCL）は，マスタが出力し続けます。ただし，スレーブはSCLのロウ・レベル期間を延長し，ウエイトを挿入することができます。

19.5.1　スタート・コンディション

SCL端子がハイ・レベルのときに，SDA端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL端子，SDA端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。

図19－９　スタート・コンディション

スタート・コンディションは，SCLがハイ・レベルのときにSTTをセット（１）することにより出力されます。また，スタート・コンディションを検出すると，STDがセット（１）されます。

また，STTをセット（１）後，必ずNOPなどで１命令以上実行してからSIOにアドレスを書き込んでください。

19.5.2　アドレス

スタート・コンディションに続く７ビット・データはアドレスと定義されています。

アドレスは，マスタがバス・ラインに接続されている複数のスレーブの中から，特定のスレーブを選択するために出力する７ビット・データです。したがって，バス・ライン上のスレーブは，すべて異なるアドレスにしておく必要があります。

スレーブは，ハードウエアによってこの条件を検出し，さらに，７ビット・データがスレーブ・アドレス・レジスタ（SVA）と一致しているかを調べます。このとき，７ビット・データとSVAの値が一致すると，そのスレーブが選択されたことになり，以後，マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います。

図19－10　アドレス

注　スレーブ動作でWUP＝１のときに自アドレス以外を受信した場合は，INTCSIは発生しません。

アドレスの出力は，スレーブのアドレスと**19.5.3　転送方向指定**に説明する転送方向をSIOへ同時に書き込むことで行います。また，受信したアドレスは，転送方向の指定とともにSIOに書き込まれます。

なお，スレーブのアドレスは，SIOの上位７ビットに割り当てられます。

SIOへのアドレスの書き込みは，STTをセット（１）後，必ずNOPなどで１命令以上実行してから行ってください。

19.5.3　転送方向指定

マスタは，７ビットのアドレスに続いて転送方向を指定するため，１ビット・データを送信します。

この転送方向指定ビットが０のとき，マスタがスレーブにデータを送信することを示します。

また，転送方向指定ビットが１のとき，マスタがスレーブからデータを受信することを示します。

図19－11　転送方向指定

注　スレーブ動作でWUP＝１のときに自アドレス以外を受信した場合は，INTCSIは発生しません。

転送方向の指定ビットは，アドレスと同時にSIOに書き込むことで出力されます。また，受信した転送方向は，アドレスとともにSIOに書き込まれると同時に，スレーブ・アドレス・レジスタ（SVA）のTREビット（ビット０）にも書き込まれます。

なお，SIOでは，転送方向は最下位ビットに割り当てられます。

SIOへの転送方向の書き込みは，STTをセット（１）後，必ずNOPなどで１命令以上実行してから行ってください。

19.5.4　アクノリッジ信号（$\overline{\text{ACK}}$）

アクノリッジ信号は，送信側と受信側における，シリアル・データ受信の確認のための信号です。

受信側は，８ビット・データを受信するごとにアクノリッジ信号を返します。ただし，マスタ受信時でスタート・コンディションまたはストップ・コンディションを発行する場合，最後の受信データ時に$\overline{\text{ACK}}$を返さないでください（図19－16参照）。送信側は，８ビット送信後，受信側からアクノリッジ信号が返されたか検出を行います。アクノリッジ信号が返されたとき，受信が正しく行われたものとして次の処理を行います。また，スレーブからアクノリッジ信号が返らない場合は受信が正しく行われないので，マスタはストップ・コンディションを出力し，送信を中止します。

図19－12　アクノリッジ信号

備考　８クロック・ウエイト選択時：ウエイト解除を行う前にACKE＝１とすることにより，SCLの８クロック目の立ち下がりに同期してアクノリッジ信号を出力します。

９クロック・ウエイト選択時：あらかじめACKE＝１とすることにより，アクノリッジ信号をSCLの８クロック目の立ち下がりに同期してアクノリッジ信号を自動出力します。

アクノリッジ信号の出力は，ACKEをセット（１）することにより，SCLの８クロック目の立ち下がりに同期して出力します。ただし，WUP＝１の場合，自アドレス受信時は，ACKEの値にかかわらずSCLの８クロック目の立ち下がりに同期してアクノリッジの自動出力を行い，自アドレス以外受信時は，アクノリッジ信号の出力を行いません。

アクノリッジ信号の出力方法は，ウエイト・タイミングの設定により次のようになります。

- ８クロック・ウエイト選択時：ウエイト制御を行う前にACKE＝１とすることにより，SCLの８クロック目の立ち下がりに同期してアクノリッジ信号を出力します。
- ９クロック・ウエイト選択時：あらかじめACKE＝１とすることにより，アクノリッジ信号をSCLの８クロック目の立ち下がりに同期してアクノリッジ信号を自動出力します。

ただし，WUP＝１でアドレス受信時は次の動作となります。

- 自アドレス受信時　　：アクノリッジ信号の自動出力を行う。
- 自アドレス以外受信時：アクノリッジ信号の自動出力は行わない。

19.5.5　ストップ・コンディション

SCL端子がハイ・レベルのときに，SDA端子がロウ・レベルからハイ・レベルに変化すると，ストップ・コンディションとなります。

ストップ・コンディションは，マスタがスレーブに対してシリアル転送が終了したときに出力する信号です。

図19－13　ストップ・コンディション

ストップ・コンディションは，SPTをセット（1）することで発生します。

また，ストップ・コンディションを検出すると，SPDがセット（1）され，INTSPCが発生します。

19.5.6　ウエイト信号（$\overline{\text{WAIT}}$）

ウエイト信号は，マスタまたはスレーブがデータの送受信のための準備中（ウエイト状態）であることを相手に知らせるための信号です。

SCL端子をロウ・レベルにすることにより，相手にウエイト状態を知らせます。マスタは，ウエイト状態が解除されると，次の転送を開始することができます。

図19－14　ウエイト信号（1/2）

（1）マスタ，スレーブとも８クロック・ウエイト時
（マスタ：送信，スレーブ：受信，ACKE＝0）

図19－14　ウエイト信号（2/2）

（2）マスタ，スレーブとも９クロック・ウエイト時
（マスタ：送信，スレーブ：受信，ACKE＝1）

ウエイトの発生は，WUPとWTIMの設定により自動的に発生します。

また，ウエイトの解除は，WREL＝1にするか，SIOに書き込みを行うか，CTXEをクリア（0）すると行われます。

19.5.7　割り込み要求（INTCSI）発生タイミングおよびウエイト制御

クロック同期式シリアル・インタフェース（CSIM）のWUPビットとI²Cバス・コントロール・レジスタ（IICC）のWTIMビットの組み合わせにより，表19－１に示すタイミングでINTCSIが発生し，また，ウエイト制御を行います。

表19－１　INTCSI発生タイミングおよびウエイト制御

WUP	WTIM	スレーブ動作時			マスタ動作時		
		アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	0	8	8	9	9	8	9
0	1	8	9	9	9	9	9
1	0	9注1，2	8注2	9注2	9	8	9
1	1	9注1，2	9注2	9注2	9	9	9

注１．WUP＝１のときのスレーブのINTCSI信号およびウエイトは，スレーブ・アドレス・レジスタ（SVA）に設定しているアドレスと一致したときにのみ，９クロック目の立ち下がりで発生します。
また，このとき，ACKEの設定にかかわらず，$\overline{\text{ACK}}$が出力されます。

２．WUP＝１のときに，SVAと受信したアドレスが一致していない場合は，INTCSIもウエイトも発生しません。

備考　表中の数字は，シリアル・クロックのクロック数を示しています。また，割り込み要求，ウエイト制御ともにシリアル・クロックの立ち下がりに同期します。

（1）アドレス送受信時

・スレーブ動作時：WTIMビットにかかわらず，WUPビットにより，割り込みおよびウエイト・タイミングが決まります。
・マスタ動作時　：WUPビットおよびWTIMビットにかかわらず，割り込みおよびウエイト・タイミングは，９クロック目の立ち下がりで発生します。

（2）データ受信時

・マスタ／スレーブ動作時：WUPビットにかかわらず，WTIMビットにより，割り込みおよびウエイト・タイミングが決まります。

（3）データ送信時

・マスタ／スレーブ動作時：WUPビットおよびWTIMビットにかかわらず，割り込みおよびウエイト・タイミングは，９クロック目の立ち下がりで発生します。

（4）ウエイト解除方法

ウエイトの解除方法には次の３つがあります。

・I²Cバス・コントロール・レジスタ（IICC）のWREL＝1
・シリアル・シフト・レジスタ（SIO）のライト動作
・クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のCTXE＝0

８クロック・ウエイト選択（WTIM＝0）時は，ウエイト解除前に$\overline{\text{ACK}}$の出力レベルを決定する必要があります。

19.5.8　割り込み要求（INTSPC）発生タイミング

INTSPCは，ストップ・コンディションを検出すると発生します。

INTSPCの割り込み処理ルーチンで，次にスタート・コンディションが発生するのを待つための処理を行う必要があります。

スレーブとして使用する場合で，WUP＝0として使用するときなどに使用します。

19.5.9　アドレスの一致検出方法

I²Cバス・モードでは，マスタがスレーブ・アドレスを送信することにより，特定のスレーブ・デバイスを選択することができます。

アドレス一致の検出は，ハードウエアで自動的に行えます。ウエイク・アップ機能指定ビット（WUP）＝1の設定でスレーブ・アドレス・レジスタ（SVA）に自アドレスを設定した場合，マスタから送信されたスレーブ・アドレスとSVAに設定したアドレスが一致したときのみ，INTCSI割り込み要求が発生します。

スレーブの受信データがアドレスかどうかの判断は，スタート・コンディション検出ビット（STD）の値を確認することにより行います。

注意　WUP＝0の場合は，スタート・コンディションのあとに受信したデータ（アドレス）とスレーブ・アドレス・レジスタ（SVA）に設定した自アドレスが一致しない場合でも，INTCSI割り込み要求が発生します。

19.5.10　エラーの検出

I²Cバス・モードでは，送信中のシリアル・バス（SDA）の状態が，送信しているデバイスのシリアル・シフト・レジスタ（SIO）にも取り込まれるため，送信開始前と送信終了後のSIOデータを比較することにより，送信エラーを検出することができます。この場合，２つのデータが異なっていれば送信エラーが発生したものと判断します。

19.6　タイミング・チャート

I²Cバス・モードでは，マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを１つ選択します。

マスタは，スレーブ・アドレスの次にデータの転送方向を示すTREビットを送信し，スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図19－15，図19－16に示します。

シリアル・クロック（SCL）の立ち下がりに同期してシフト・レジスタ（SIO）のシフト動作が行われ，送信データがSO0ラッチに転送され，SDA端子からMSBファーストで出力されます。

また，SCLの立ち上がりでSDA端子に入力されたデータがSIOに取り込まれます。

図19－15　マスタ→スレーブ通信例（マスタ,スレーブとも９クロック･ウエイト選択時,スレーブ:WUP＝0）（1/3）

（1）スタート・コンディション～アドレス

注　STTをセット（1）後，必ずNOPなどで１命令以上実行してからSIOにアドレスを書き込んでください。

図19－15　マスタ→スレーブ通信例（マスタ，スレーブとも９クロック・ウエイト選択時，スレーブ：WUP＝0）（2/3）

（2）デ ー タ

図19－15　マスタ→スレーブ通信例（マスタ,スレーブとも９クロック･ウエイト選択時,スレーブ:WUP＝0）（3/3）

（3）ストップ・コンディション

図19－16　スレーブ→マスタ通信例（マスタ，スレーブとも９クロック・ウエイト選択時）（1/3）

（1）スタート・コンディション～アドレス

注　STTをセット（1）後，必ずNOPなどで１命令以上実行してからSIOにアドレスを書き込んでください。

図19－16　スレーブ→マスタ通信例（マスタ，スレーブとも９クロック・ウエイト選択時）（2/3）

（2）デ ー タ

図19－16　スレーブ→マスタ通信例（マスタ，スレーブとも９クロック・ウエイト選択時）（3/3）

（3）ストップ・コンディション

19.7　各種信号とフラグ

表19－２に，I²Cバス・モードにおける各種の信号とフラグの関係を示します。

表19－２　各種信号とフラグ

信号名称	出力するデバイス	定　義	出力される条件	フラグへの影響	信号の意味
スタート・コンディション	マスタ	SCLがハイ・レベルのときのSDAの立ち下がりエッジ	STTのセット	STDをセット SPDをクリア	次にアドレスを送信し，シリアル通信を開始することを示します
ストップ・コンディション	マスタ	SCLがハイ・レベルのときのSDAの立ち上がりエッジ	SPTのセット	SPD，SPCIFをセット ACKD，STDをクリア	シリアル送信の終了を示す
アクノリッジ信号（$\overline{\text{ACK}}$）	マスタ／スレーブ（受信側）	シリアル受信完了後，SCLの９クロック目のハイ・レベル期間に出力されるSDAのロウ・レベル信号	ACKE＝1	ACKDをセット	１バイトの受信が完了したことを示す
ウエイト（$\overline{\text{WAIT}}$）	マスタ／スレーブ	SCLに出力されるロウ・レベル信号	WTIMビットの値に従う		シリアル通信が不可能な状態を示す
シリアル･クロック（SCL）	マスタ	各種信号出力のための同期クロック	CTXE＝1のときのSIOへのデータ書き込み命令実行（シリアル転送のスタート指示）注1	CSIIFをセット注2	シリアル通信の同期信号
アドレス（A6-A0）	マスタ	スタート・コンディション出力後に，SCLに同期して出力される７ビット・データ			シリアル・バス上のスレーブを指定するためのアドレス値を示す
転送方向（R/$\overline{\text{W}}$）	マスタ	アドレス出力後にSCLに同期して出力される１ビット・データ			データの送信あるいは受信のどちらを行うかを示す
データ（D7-D0）	マスタ／スレーブ	スタート・コンディション直後でないSCLに同期して出力される８ビット・データ			実際に通信するデータを示す

注１．ウエイト状態のときは，ウエイト状態が解除されたあと，シリアル転送を開始します。

２．割り込み要求の発生タイミングの詳細は，表19－１　INTCSI発生タイミングおよびウエイト制御を参照してください。

第20章　クロック出力機能

μPD784038は，システム・クロックを分周した信号を出力するクロック出力機能を持っています。

クロック出力機能は，システム・クロックをそのまま，またはシステム・クロック　1/2，1/4，1/8，1/16の信号を出力することができます。また，１ビットの出力ポートとしても使用することができます。出力端子は，ASTB端子と兼用になっています。

注意　μPD784031の場合，および外部メモリ拡張モード使用時には，この機能は使用できません。

20.1　構　　成

図20－１に，クロック出力機能の構成を示します。

図20－１　クロック出力機能の構成

（1）クロック出力モード・レジスタ（CLOM）

クロック出力機能の動作を制御するレジスタです。

（2）セレクタ1

出力するクロックの周波数を選択するセレクタです。

（3）出力制御

クロック出力モード・レジスタ（CLOM）の内容で出力信号を制御します。

（4）セレクタ2

ASTB/CLKOUT端子に出力する信号を，ASTB信号にするか，CLKOUT信号にするかを制御します。

（5）ASTB/CLKOUT端子

セレクタ2で選択された信号を出力する端子です。$\overline{\text{RESET}}$入力がロウ・レベルの期間中はHi-Z状態となり，$\overline{\text{RESET}}$入力がハイ・レベルになると，ロウ・レベルを出力したあと，設定された機能に対応する信号を出力します。

20.2　クロック出力モード・レジスタ（CLOM）

CLOMは，クロック出力機能を制御するレジスタです。

８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。

図20－２に，CLOMのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hになります。

図20－２　クロック出力モード・レジスタ（CLOM）のフォーマット

	⑦	6	5	④	3	2	1	0	アドレス	リセット時	R/W
CLOM	LV	0	0	CLE	0	FS2	FS1	FS0	0FFC6H	00H	R/W

FS2	FS1	FS0	周波数の選択
0	0	0	f_{CLK}注
0	0	1	$f_{CLK}/2$
0	1	0	$f_{CLK}/4$
0	1	1	$f_{CLK}/8$
1	0	0	$f_{CLK}/16$

注　システム・クロックを出力

デューティ ≠ 50 %

CLE	クロック出力制御
0	LVビットの内容を出力
1	FS2-FS0ビットで選択されたクロックを出力

LV	出力レベル制御
0	ロウ・レベルを出力
1	ハイ・レベルを出力

注意１．μPD784031の場合，および外部メモリ拡張モード使用時には，クロック出力モード・レジスタ（CLOM）は00H（$\overline{\text{RESET}}$解除後の値）にしてください。

２．CLEビットをセット（1）している間は，他のビット（FS0-FS2, LV）を変化させてはいけません。

３．CLEビットを変化させる場合には，他のビット（FS0-FS2, LV）を同時に変化させてはいけません。

20.3　動　　作

20.3.1　クロック出力

FS0-FS2ビットで選択されたクロック出力周波数の信号をセレクタ１で選択し，出力します。

出力信号は，CLEビットがクリア（0）されているときにはLVビットと同一のレベルになっており，CLEビットをセット（1）した直後のクロック信号から出力します。

また，CLEビットをクリア（0）すると，クロック信号に同期してLVビットの内容を出力し，以後の出力動作を停止します。

図20－3　クロック出力動作のタイミング

（a）LV = 0の場合

（b）LV = 1の場合

なお，FS0-FS2ビットおよびLVビットの設定は，CLE = 0のときにだけ行ってください（CLEビットの内容を変化させる命令と同一の命令中で，FS0-FS2ビットおよびLVビットを変化させないでください）。

〈操作例〉

```
MOV  CLOM, #82H  ; CLKOUT端子：ハイ・レベル，クロック出力：fCLK/4
SET1 CLE         ; クロック出力スタート
  ⋮
CLR1 CLE         ; クロック出力停止，CLKOUT端子：ハイ・レベル
```

20.3.2　1ビット出力ポート

CLEビットがクリア（0）されているときにLVビットの内容がCLKOUT端子から出力されます。LVビットの内容が変化するとすぐにCLKOUT端子は変化します。

図20－4　1ビット出力ポートの動作

20.3.3　スタンバイ・モード中の動作

（1）HALTモード時

HALTモードを設定する以前の状態が継続されます。つまり，クロック出力中は，クロック出力を継続して行い，クロック出力を禁止していた場合には，HALTモード設定以前に設定されていたLVビットの内容がそのまま出力されます。

（2）STOPモードまたはIDLEモード時

STOPモードまたはIDLEモードを設定する以前に，クロック出力を禁止しなければなりません（ソフトウエアで行う必要があります）。CLKOUT端子のレベルは，STOPモードまたはIDLEモード設定以前のレベル（LVビットの内容）が出力されます。

20.4　注意事項

（1）μPD784031の場合，および外部メモリ拡張モード使用時には，クロック出力機能は使用できません。

（2）μPD784031の場合，および外部メモリ拡張モード使用時には，クロック出力モード・レジスタ（CLOM）は00H（$\overline{\text{RESET}}$解除後の値）にしてください。

（3）CLEビットをセット（1）している間は，他のビット（FS0-FS2, LV）を変化させてはいけません。

（4）CLEビットを変化させる場合には，他のビット（FS0-FS2, LV）を同時に変化させてはいけません。

第21章　エッジ検出機能

P20-P26は，立ち上がりエッジ／立ち下がりエッジをプログラマブルに指定できるエッジ検出機能を持っており，検出したエッジを内部の各ハードウエアへ送っています。P20-P26端子と検出されたエッジの用途の関係を表21－１に示します。

表21－１　P20-P26端子と検出エッジの用途

端子名称	用　　途	検出エッジ指定レジスタ
P20	NMI，スタンバイ回路の制御	INTM0
P21	INTP0，タイマ／カウンタ１のキャプチャ信号 タイマ／カウンタ１のカウント・クロック信号 リアルタイム出力ポートのトリガ信号	
P22	INTP1，タイマ／カウンタ２のCR22のキャプチャ信号	
P23	INTP2，CI（タイマ／カウンタ２のカウント・クロック信号）， タイマ／カウンタ２のCR21のキャプチャ信号	
P24	INTP3，タイマ／カウンタ０のキャプチャ信号， タイマ／カウンタ０のカウント・クロック信号	INTM1
P25	INTP4，スタンバイ回路の制御	
P26	INTP5，A/Dコンバータの変換スタート信号，スタンバイ回路の制御	

エッジ検出機能は，STOPモード，IDLEモード時を除いて常時動作しています（ただし，P20，P25，P26端子のエッジ検出機能はSTOPモード，IDLEモード時も動作しています）。

また，P21/INTP0端子は，エッジ検出時に行われるノイズ除去の時間をソフトウエアで選択できます。

21.1　エッジ検出機能の制御レジスタ

21.1.1　外部割り込みモード・レジスタ（INTM0，INTM1）

INTMn（n = ０，１）は，P20-P26端子で検出するエッジの有効エッジを指定するレジスタです。INTM0でP20-P23端子の有効エッジを指定し，INTM1でP24-P26端子での有効エッジを指定します。

INTMnは，８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。

図21－１にINTM0のフォーマット，図21－２にINTM1のフォーマットを示します。

$\overline{\text{RESET}}$入力で00Hにクリアされます。

図21－1　外部割り込みモード・レジスタ0（INTM0）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	ES21	ES20	ES11	ES10	ES01	ES00	0	ESNMI	0FFA0H	00H	R/W

ESNMI	P20（NMI）端子入力，検出エッジ指定
0	立ち下がりエッジ
1	立ち上がりエッジ

ES01	ES00	P21（INTP0, CR11/CR11Wキャプチャ・トリガ，TM1/TM1Wカウント・クロック，リアルタイム出力ポート出力トリガ）端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり，立ち上がり両エッジ

ES11	ES10	P22（INTP1, CR22/CR22Wキャプチャ・トリガ）端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり，立ち上がり両エッジ

ES21	ES20	P23（INTP2, CR21/CR21Wキャプチャ・トリガ，CI）端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり，立ち上がり両エッジ

図21－２　外部割り込みモード・レジスタ１（INTM1）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM1	0	0	ES51	ES50	ES41	ES40	ES31	ES30	0FFA1H	00H	R/W

ES31	ES30	P24（INTP3, CR02キャプチャ・トリガ，TM0カウント・クロック）端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり，立ち上がり両エッジ

ES41	ES40	P25（INTP4）端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり，立ち上がり両エッジ

ES51	ES50	P26（INTP5, A/D変換スタート信号）端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり，立ち上がり両エッジ

注意　外部割り込みモード・レジスタ（INTMn：n＝０，１）への書き込みによって有効エッジを変更したときには有効エッジの検出は行われません。また，有効エッジの変更中に，エッジが入力された場合は，そのエッジが有効エッジと判断されるか，有効でないエッジと判断されるかは不定です。

21.1.2　サンプリング・クロック選択レジスタ（SCS0）

SCS0は，P21端子で行うディジタル・ノイズ除去のサンプリング・クロック（f_{SMP}）を指定するレジスタです。

SCS0は，８ビット操作命令で読み出し／書き込みが可能です。図21－３に，SCS0のフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図21－３　サンプリング・クロック選択レジスタ（SCS0）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SCS0	0	0	0	0	0	0	SCS01	SCS00	0FFA4H	00H	R/W

（f_{XX} = 32 MHz，f_{CLK} = 16 MHz）

SCS01	SCS00	サンプリング・クロック（f_{SMP}）	ノイズとして除去されるパルス幅	信号として認められる最小パルス幅
0	0	f_{CLK}	3/f_{CLK}（188 ns）	4/f_{CLK}（250 ns）
0	1	f_{XX}/64	192/f_{XX}（6.0 μs）	256/f_{XX}（8.0 μs）
1	0	f_{XX}/128	384/f_{XX}（12.0 μs）	512/f_{XX}（16.0 μs）
1	1	f_{XX}/256	768/f_{XX}（24.0 μs）	1024/f_{XX}（32.0 μs）

21.2　P20，P25，P26端子のエッジ検出

P20，P25，P26端子は，アナログ・ディレイによるノイズ除去後にエッジ検出を行っています。したがって，一定以上の時間幅（10 μs）のパルス幅がないとエッジを検出することができません。

★　ノイズとして除去されるパルス幅は，デバイスごとの特性や周囲温度などにより変化します。ノイズとして除去されないようにするには，10μs以上のパルス幅を入力することを奨励します。

図21－4　P20，P25，P26端子のエッジ検出

注意　P20，P25，P26端子にはアナログ・ディレイによるノイズ除去を行っているため，実際にエッジが入力されてから最大10 μs後にエッジが検出されます。また，P21-P24端子と異なり，デバイスごとの特性の違いにより，エッジが検出されるまでの遅延時間は一定の値とはなりません。

21.3　P21端子のエッジ検出

P21端子のエッジ検出は，サンプリング・クロック選択レジスタ（SCS0）で指定されるクロック（f_{SMP}）でディジタル・ノイズ除去を行います。ディジタル・ノイズ除去は，f_{SMP}のクロックでサンプリングを行い，入力されているレベルが連続して４回以上同一でなければ（３回以下しか連続しなければ）ノイズとして除去されます。したがって，有効エッジと認められるためには，f_{SMP}のクロックで４周期以上の期間，レベルを保持しなければなりません。

備考　赤外線リモコンの受信信号などのように，比較的長いパルス幅で，ノイズの多い信号のパルス幅を測定する場合や，スイッチ入力のチャタリングのようなエッジの発生時に振動が発生する信号を入力する場合などに，サンプリング・クロック選択レジスタ（SCS0）でサンプリング・クロックを低速にすると有効です。サンプリング・クロックが高速の場合，ノイズ成分である短いパルスにも反応してしまい，頻繁にプログラムでノイズか信号かを判定しなければなりません。しかしサンプリング・クロックを遅くすることにより，短いパルス幅のノイズには反応しなくなるため，プログラムによる判定を行う回数が減り，かつ，プログラムも簡単になります。

図21－５　P21端子のエッジ検出

注意１． f_{SMP}のクロックでディジタル・ノイズ除去を行っているため，端子にエッジが入力されてから，実際にエッジが検出されるまでf_{SMP}のクロックで3-4クロックかかります。

２． 入力パルスの幅がf_{SMP}のクロックで3-4クロックの場合は，有効エッジが検出されるか，検出されないかは不定です。確実に動作させるためには，４クロック以上の期間，レベルを固定するようにしてください。

３． 端子に入力されたノイズがμPD784038内のf_{SMP}のクロックと同期している場合には，ノイズとして認められない場合があります。このようなノイズが入力される可能性が考えられる場合は，入力端子にフィルタを付加してノイズを除去するようにしてください。

21.4　P22-P24端子のエッジ検出

P22-P24端子のエッジ検出は，クロック・サンプリングによるディジタル・ノイズ除去後に行われます。P21端子とは異なり，サンプリング・クロックはf_{CLK}に固定です。

ディジタル・ノイズ除去は，f_{CLK}のクロックでサンプリングを行い，入力されているレベルが連続して４回以上同一でなければ（３回以下しか連続しなければ）ノイズとして除去されます。したがって，有効エッジと認められるためには，f_{CLK}のクロックで４周期以上の期間（0.25 μs：f_{CLK} = 16 MHz，$f_{CLK} = \frac{1}{2}f_{XX}$，$f_{XX}$ = 32 MHz）レベルを保持しなければなりません。

図21－６　P21-P26端子のエッジ検出

注意１．f_{CLK}のクロックでディジタル・ノイズ除去を行っているため，端子にエッジが入力されてから，実際にエッジが検出されるまでf_{CLK}のクロックで3-4クロックかかります。

２．入力パルスの幅がf_{CLK}のクロックで3-4クロックの場合は，有効エッジが検出されるか，検出されないかは不定です。確実に動作させるためには，４クロック以上の期間，レベルを固定するようにしてください。

３．端子に入力されたノイズがμPD784038内のf_{CLK}のクロックと同期している場合には，ノイズとして認められない場合があります。このようなノイズが入力される可能性が考えられる場合は，入力端子にフィルタを付加してノイズを除去するようにしてください。

21.5　注意事項

（1）外部割り込みモード・レジスタ（INTMn：n＝0，1）への書き込みによって有効エッジを変更したときには有効エッジの検出は行われません。また，有効エッジの変更中にエッジが入力された場合は，そのエッジが有効エッジと判断されるか，有効でないと判断されるかは不定です。

（2）P20，P25，P26端子はアナログ・ディレイによるノイズ除去を行っているため，実際にエッジが入力されてから最大10 μs後にエッジが検出されます。また，P21-P24端子と異なり，デバイスごとの特性の違いにより，エッジが検出されるまでの遅延時間は一定の値とはなりません。

（3）P21端子は，f_{SMP}のクロックでディジタル・ノイズ除去を行っているため，端子にエッジが入力されてから，実際にエッジが検出されるまでf_{SMP}のクロックで3-4クロックかかります。

（4）P21端子は，入力パルスの幅がf_{SMP}のクロックで3-4クロックの場合は，有効エッジが検出されるか，検出されないかは不定です。確実に動作させるためには，4クロック以上の期間，レベルを固定するようにしてください。

（5）P21端子に入力されたノイズがμPD784038内のf_{SMP}のクロックと同期している場合には，ノイズとして認められない場合があります。このようなノイズが入力される可能性が考えられる場合は，入力端子にフィルタを付加してノイズを除去するようにしてください。

（6）P22-P24端子は，f_{CLK}のクロックでディジタル・ノイズ除去を行っているため，端子にエッジが入力されてから，実際にエッジが検出されるまでf_{CLK}のクロックで3-4クロックかかります。

（7）P22-P24端子は，入力パルスの幅がf_{CLK}のクロックで3-4クロックの場合は，有効エッジが検出されるか，されないかは不定です。確実に動作させるためには，4クロック以上の期間レベルを固定するようにしてください。

（8）P22-P24端子に入力されたノイズがμPD784038内のf_{CLK}のクロックと同期している場合には，ノイズとして認められない場合があります。このようなノイズが入力される可能性が考えられる場合は，入力端子フィルタを付加してノイズを除去するようにしてください。

第22章　割り込み機能

μPD784038は，割り込み要求の処理としてベクタ割り込み，コンテキスト・スイッチング，マクロ・サービスの３つのモードを備えています（表22－１参照）。これら３つの処理モードは，プログラムで任意に設定できます。ただし，マクロ・サービスによる割り込み処理の選択は表22－２で示すマクロ・サービス処理モードを備えている割り込み要求ソースに対してのみ選択できます。コンテキスト・スイッチングは，ノンマスカブル割り込みおよびオペランド・エラー割り込みでは選択できません。

また，マスク可能なベクタ割り込みについては，４レベルの優先順位を持った多重処理制御を容易に行うことが可能です。

表22－１　割り込み要求の処理形態

割り込み要求処理モード	処理の主体	PC，PSWの内容	処　理　形　態
ベクタ割り込み	ソフトウエア	スタックへの退避／復帰動作を行う	ベクタ・テーブルで指定されたアドレス注のサービス・プログラムに分岐し実行
コンテキスト・スイッチング		レジスタ・バンク中の固定エリアへの退避／復帰を行う	ベクタ・テーブルで指定されたレジスタ・バンクへの切り替えを自動的に行い，レジスタ・バンク中の固定エリアで指定されたアドレス注のサービス・プログラムに分岐し実行
マクロ・サービス	ハードウエア（ファームウエア）	保持	メモリとI/Oとのデータ転送などあらかじめ設定した処理を実行

注　すべての割り込みサービス・プログラムの先頭アドレスは，ベース領域にある必要があります。ベース領域内にサービス・プログラムの本体が配置できない場合は，ベース領域内にサービス・プログラムへの分岐命令を記述してください。

22.1　割り込み要求ソース

μPD784038には，表22－２に示すように25種類の割り込み要求ソースがあり，それぞれに割り込みベクタ・テーブルが割り付けられています。

表22－２　割り込み要求ソースの種類（1/2）

割り込み要求タイプ	ディフォールト優先順位	割り込み要求発生ソース	発生ユニット	割り込み制御レジスタ名	コンテキスト・スイッチング	マクロ・サービス	マクロ・サービス・コントロール・ワード・アドレス	ベクタ・テーブル・アドレス
ソフトウエア	なし	BRK命令の実行	－	－	不可	不可	－	3EH
		BRKCS命令の実行	－	－	可	不可	－	－
オペランド・エラー	なし	MOV STBC，#byte命令またはMOV WDM，#byte命令，LOCATION命令のオペランド不正	－	－	不可	不可	－	3CH
ノンマスカブル	なし	NMI（端子入力エッジ検出）	エッジ検出	－	不可	不可	－	2H
		INTWDT（ウォッチドッグ・タイマのオーバフロー）	ウォッチドッグ・タイマ	－	不可	不可	－	4H

表22－２　割り込み要求ソースの種類（2/2）

割り込み要求タイプ	ディフォールト優先順位	割り込み要求発生ソース	発生ユニット	割り込み制御レジスタ名	コンテキスト・スイッチング	マクロ・サービス	マクロ・サービス・コントロール・ワード・アドレス	ベクタ・テーブル・アドレス
マスカブル	0	INTP0（端子入力エッジ検出）	エッジ検出	PIC0	可	可	0FE06H	6H
	1	INTP1（　〃　）		PIC1			0FE08H	8H
	2	INTP2（　〃　）		PIC2			0FE0AH	0AH
	3	INTP3（　〃　）		PIC3			0FE0CH	0CH
	4	INTC00（TM0-CR00一致信号発生）	タイマ／カウンタ0	CIC00			0FE0EH	0EH
	5	INTC01（TM0-CR01一致信号発生）		CIC01			0FE10H	10H
	6	INTC10（TM1-CR10またはTM1W-CR10W一致信号発生）	タイマ／カウンタ1	CIC10			0FE12H	12H
	7	INTC11（TM1-CR11またはTM1W-CR11W一致信号発生）		CIC11			0FE14H	14H
	8	INTC20（TM2-CR20またはTM2W-CR20W一致信号発生）	タイマ／カウンタ2	CIC20			0FE16H	16H
	9	INTC21（TM2-CR21またはTM2W-CR21W一致信号発生）		CIC21			0FE18H	18H
	10	INTC30（TM3-CR30またはTM3W-CR30W一致信号発生）	タイマ3	CIC30			0FE1AH	1AH
	11	INTP4（端子入力エッジ検出）	エッジ検出	PIC4			0FE1CH	1CH
	12	INTP5（　〃　）		PIC5			0FE1EH	1EH
	13	INTAD（A/D変換終了）	A/Dコンバータ	ADIC			0FE20H	20H
	14	INTSER（アシンクロナス・シリアル・インタフェース受信エラー）	アシンクロナス・シリアル・インタフェース／クロック同期式シリアル・インタフェース1	SERIC		不可	0FE22H	22H
	15	INTSR（アシンクロナス・シリアル・インタフェース受信終了）		SRIC		可	0FE24H	24H
		INTCSI1（クロック同期式シリアル・インタフェース転送終了）		CSIIC1				
	16	INTST（アシンクロナス・シリアル・インタフェース送信終了）		STIC			0FE26H	26H
	17	INTCSI（クロック同期式シリアル・インタフェース転送終了）	クロック同期式シリアル・インタフェース	CSIIC			0FE28H	28H
	18	INTSER2（アシンクロナス・シリアル・インタフェース2受信エラー）	アシンクロナス・シリアル・インタフェース2／クロック同期式シリアル・インタフェース2	SERIC2		不可	0FE2AH	2AH
	19	INTSR2（アシンクロナス・シリアル・インタフェース2受信終了）		SRIC2		可	0FE2CH	2CH
		INTCSI2（クロック同期式シリアル・インタフェース2転送終了）		CSIIC2				
	20	INTST2（アシンクロナス・シリアル・インタフェース2送信終了）		STIC2			0FE2EH	2EH
	21注	INTSPC（I²Cバス・ストップ・コンディション割り込み）	クロック同期式シリアル・インタフェース	SPCIC			0FE30H	30H

注　μPD784038Yサブシリーズのみ

備考１．ディフォールト優先順位は，固定されている数値です。同一優先順位に指定された複数の割り込み要求が，同時に発生した場合に優先される順位を示します。

２．INTSRとINTCSI1は，同一のハードウエアから発生する割り込みです（同時に両方は使用できません）。したがって，割り込みに関しても同一のハードウエアを使用していますが，どちらのモードを使用しているかに応じて名称を使い分けられるように，２通りの名称を用意しています。INTSR2，INTCSI2についても同様です。

22.1.1　ソフトウエア割り込み

ソフトウエアによる割り込みには，ベクタ割り込みを発生するBRK命令とコンテキスト・スイッチングを行うBRKCS命令があります。

ソフトウエアによる割り込みは，割り込み禁止状態でも受け付けられます。割り込み優先順位制御の対象になりません。

22.1.2　オペランド・エラー割り込み

MOV STBC，#byte命令，MOV WDM，#byte命令およびLOCATION命令のオペランドが不正の場合に発生する割り込みです。

オペランド・エラー割り込みは，割り込み禁止状態でも受け付けられます。割り込み優先順位制御の対象になりません。

22.1.3　ノンマスカブル割り込み

ノンマスカブル割り込みはNMI端子入力またはウォッチドッグ・タイマによって発生します。

ノンマスカブル割り込みは，割り込み禁止状態であっても無条件[注]に受け付けられます。また，割り込み優先順位制御の対象にならず，すべての割り込みに対して最優先の割り込み要求です。

注　同一のノンマスカブル割り込みのサービス・プログラムの実行中と，優先順位の高いノンマスカブル割り込みのサービス・プログラムの実行中を除く

22.1.4　マスカブル割り込み

マスカブル割り込みは，割り込みマスク・フラグの設定によってマスク制御を受ける割り込みです。また，プログラム・ステータス・ワード（PSW）のIEフラグによって，マスカブル割り込み全体に対して受け付けの許可／禁止の指定ができます。

マスカブル割り込みは，通常のベクタ割り込みのほかに，コンテキスト・スイッチングやマクロ・サービスによって受け付けることが可能です（マクロ・サービスについては一部の割り込みを除く。表22－２参照）。

マスカブル割り込みは，表22－２のように同一優先順位を持つ複数の割り込み要求が同時に発生している場合の優先順位が決められています（ディフォールト優先順位）。また，割り込み優先順位を４レベルのグループに分け，多重処理の制御を行うことができます。ただしマクロ・サービスは，優先順位制御やIEフラグとは無関係に受け付けられます。

22.2　割り込み処理モード

μPD784038の割り込み処理モードには，次の３つのモードがあります。

・ベクタ割り込み処理
・マクロ・サービス
・コンテキスト・スイッチング

22.2.1　ベクタ割り込み処理

割り込みが受け付けられると，プログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW）を自動的にスタック領域に退避させ，ベクタ・テーブルに格納されているデータで示されるアドレスに分岐し，割り込み処理ルーチンを実行します。

22.2.2　マクロ・サービス

割り込みが受け付けられると，CPUの実行を一時中断し，ハードウエア的にデータ転送を行います。マクロ・サービスは，CPUを介さずに行われるため，プログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW）などのCPUステータスを退避／復帰する必要がありません。したがって，CPUのサービス時間を向上させる大きな効果があります（22.8　マクロ・サービス機能参照）。

22.2.3　コンテキスト・スイッチング

割り込みが受け付けられると，ハードウエアにより所定のレジスタ・バンクを選択し，レジスタ・バンク内にあらかじめ設定しておいたベクタ・アドレスに分岐すると同時に，現在のプログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW）をレジスタ・バンク内に退避します（22.4.2　BRKCS命令によるソフトウエア割り込み（ソフトウエア・コンテキスト・スイッチング）の受け付け動作，22.7.2　コンテキスト・スイッチング参照）。

備考　コンテキストとは，プログラムの実行において，そのプログラムからアクセス可能なCPUのレジスタのことです。このレジスタには，汎用レジスタ，プログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW），スタック・ポインタ（SP）が含まれます。

22.3　割り込み処理制御レジスタ

μPD784038の割り込み処理は，割り込み処理の指定を行う各種制御レジスタにより，各割り込み要求ごとに制御されます。表22－３に，割り込みの制御レジスター覧を示します。

表22－３　制御レジスター覧

レジスタ名	略　号	機　　能
割り込み制御レジスタ	PIC0 PIC1 PIC2 PIC3 CIC00 CIC01 CIC10 CIC11 CIC20 CIC21 CIC30 PIC4 PIC5 ADIC SERIC SRIC CSIIC1 STIC CSIIC SERIC2 SRIC2 CSIIC2 STIC2 SPCIC注	各割り込み要求の発生の記憶，マスク制御，ベクタ割り込み処理またはマクロ・サービス処理の指定，コンテキスト・スイッチング機能の許可／禁止，優先順位の指定を行うレジスタ
割り込みマスク・レジスタ	MK0 MK1L	マスカブル割り込み要求のマスク制御 割り込み制御レジスタ内のマスク制御フラグと連動 ワード・アクセスまたはバイト・アクセスが可能
インサービス・プライオリティ・レジスタ	ISPR	現在受け付け中の割り込み要求について優先順位を記憶
割り込みモード・コントロール・レジスタ	IMC	優先順位を最下位レベル（レベル３）に指定したマスカブル割り込みのネスティングを制御
ウォッチドッグ・タイマ・モード・レジスタ	WDM	NMI端子入力による割り込みとウォッチドッグ・タイマのオーバフローによる割り込みの優先順位を指定
プログラム・ステータス・ワード	PSW	マスカブル割り込みの受け付け許可／禁止を指定

注　μPD784038Yサブシリーズのみ

割り込み制御レジスタは，おのおのの割り込み要因ごとに制御レジスタが割り当てられています。各レジスタのフラグは，それぞれのレジスタ内のビット位置に対応した内容の制御を行います。

表22－４に，各割り込み要求信号に対応する割り込み制御レジスタのフラグ名称を示します。

表22－4　割り込み要求に対する割り込み制御レジスタのフラグ一覧

ディフォールト優先順位	割り込み要求信号	割り込み制御レジスタ					
			割り込み要求フラグ	割り込みマスク・フラグ	マクロ・サービス許可フラグ	優先順位指定フラグ	コンテキスト・スイッチング許可フラグ
0	INTP0	PIC0	PIF0	PMK0	PISM0	PPR00 PPR01	PCSE0
1	INTP1	PIC1	PIF1	PMK1	PISM1	PPR10 PPR11	PCSE1
2	INTP2	PIC2	PIF2	PMK2	PISM2	PPR20 PPR21	PCSE2
3	INTP3	PIC3	PIF3	PMK3	PISM3	PPR30 PPR31	PCSE3
4	INTC00	CIC00	CIF00	CMK00	CISM00	CPR000 CPR001	CCSE00
5	INTC01	CIC01	CIF01	CMK01	CISM01	CPR010 CPR011	CCSE01
6	INTC10	CIC10	CIF10	CMK10	CISM10	CPR100 CPR101	CCSE10
7	INTC11	CIC11	CIF11	CMK11	CISM11	CPR110 CPR111	CCSE11
8	INTC20	CIC20	CIF20	CMK20	CISM20	CPR200 CPR201	CCSE20
9	INTC21	CIC21	CIF21	CMK21	CISM21	CPR210 CPR211	CCSE21
10	INTC30	CIC30	CIF30	CMK30	CISM30	CPR300 CPR301	CCSE30
11	INTP4	PIC4	PIF4	PMK4	PISM4	PPR40 PPR41	PCSE4
12	INTP5	PIC5	PIF5	PMK5	PISM5	PPR50 PPR51	PCSE5
13	INTAD	ADIC	ADIF	ADMK	ADISM	ADPR0 ADPR1	ADCSE
14	INTSER	SERIC	SERIF	SERMK	－	SERPR0 SERPR1	SERCSE
15	INTSR	SRIC	SRIF	SRMK	SRISM	SRPR0 SRPR1	SRCSE
	INTCSI1	CSIIC1	CSIIF1	CSIMK1	CSIISM1	CSIPR10 CSIPR11	CSICSE1
16	INTST	STIC	STIF	STMK	STISM	STPR0 STPR1	STCSE
17	INTCSI	CSIIC	CSIIF	CSIMK	CSIISM	CSIPR0 CSIPR1	CSICSE
18	INTSER2	SERIC2	SERIF2	SERMK2	－	SERPR20 SERPR21	SERCSE2
19	INTSR2	SRIC2	SRIF2	SRMK2	SRISM2	SRPR20 SRPR21	SRCSE2
	INTCSI2	CSIIC2	CSIIF2	CSIMK2	CSIISM2	CSIPR20 CSIPR21	CSICSE2
20	INTST2	STIC2	STIF2	STMK2	STISM2	STPR20 STPR21	STCSE2
21注	INTSPC	SPCIC	SPCIF	SPCMK	SPCISM	SPCPR0 SPCPR1	SPCCSE

注　μPD784038Yサブシリーズのみ

22.3.1　割り込み制御レジスタ

割り込み制御レジスタは，各割り込み要因ごとに割り当てられており，対応する割り込み要求の優先順位制御や，マスク制御などを行うレジスタです。図22－１に，割り込み制御レジスタのフォーマットを示します。

（1）優先順位指定フラグ（××PR1, ××PR0）

優先順位指定フラグは，21種類（μPD784038Yサブシリーズは22種類）のマスカブル割り込みに対して，割り込み要因ごとの優先順位を指定するフラグです。

優先順位レベルは，４レベルまで指定でき，複数の割り込み要因を同じレベルに指定することができます。マスカブル割り込み要因のうち，レベル０が最も優先順位が高くなります。

優先順位レベルの等しい割り込み要因同士内で，複数の割り込み要求が同時に発生した場合は，ディフォールト優先順位の順に受け付けられます。

ソフトウエアにより，ビット単位で操作ができます。

$\overline{\text{RESET}}$入力により，全ビットが“１”になります。

（2）コンテキスト・スイッチング許可フラグ（××CSE）

コンテキスト・スイッチング許可フラグは，マスカブル割り込み要求をコンテキスト・スイッチングにより処理することを指定するフラグです。

コンテキスト・スイッチングは，あらかじめ指定してあるレジスタ・バンクをハードウエア的に選択し，レジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスへ分岐すると同時に，現在のプログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW）の内容をレジスタ・バンクに退避する機能です。

通常のベクタ割り込み処理よりも高速に割り込み処理の実行を開始できるので，リアルタイム処理に適しています。

ソフトウエアにより，ビット単位で操作ができます。

$\overline{\text{RESET}}$入力により，全ビットが“０”になります。

（3）マクロ・サービス許可フラグ（××ISM）

マクロ・サービス許可フラグは，各フラグに対応する割り込み要求について，ベクタ割り込みまたはコンテキスト・スイッチングで処理するか，マクロ・サービスで処理するかを指定するフラグです。

マクロ・サービス処理を選択していた場合に，マクロ・サービスが終了すると（マクロ・サービス・カウンタが０になると），マクロ・サービス許可フラグはハードウエアで自動的にクリア（０）されます（ベクタ割り込み処理／コンテキスト・スイッチング処理）。

ソフトウエアにより，ビット単位で操作ができます。

$\overline{\text{RESET}}$入力により，全ビットが“０”になります。

（4）割り込みマスク・フラグ（××MK）

割り込みマスク・フラグは，各フラグに対応する割り込み要求について，ベクタ割り込み処理，マクロ・サービス処理の許可／禁止を指定するフラグです。

割り込みマスク・フラグの内容は，割り込み処理の起動などにより変化することはありません。また，割り込みマスク・フラグの内容と，割り込みマスク・レジスタとは同一の内容となります（**22.3.2 割り込みマスク・レジスタ（MK0，MK1L）**参照）。

マクロ・サービス処理要求もマスク制御の対象で，マクロ・サービス要求もこのフラグによりマスクできます。

ソフトウエアにより，操作ができます。

$\overline{\text{RESET}}$入力により，全ビットが“１”になります。

（5）割り込み要求フラグ（××IF）

割り込み要求フラグは，各フラグに対応する割り込み要求の発生でセット（1）されます。割り込みが受け付けられたときにハードウエアにより自動的にクリア（0）されます。

ソフトウエアにより，操作ができます。

$\overline{\text{RESET}}$入力により，全ビットが“０”になります。

図22－１　割り込み制御レジスタ（××ICn）（1/3）

	⑦	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
PIC0	PIF0	PMK0	PISM0	PCSE0	0	0	PPR01	PPR00	0FFE0H	43H	R/W
PIC1	PIF1	PMK1	PISM1	PCSE1	0	0	PPR11	PPR10	0FFE1H	43H	R/W
PIC2	PIF2	PMK2	PISM2	PCSE2	0	0	PPR21	PPR20	0FFE2H	43H	R/W
PIC3	PIF3	PMK3	PISM3	PCSE3	0	0	PPR31	PPR30	0FFE3H	43H	R/W
CIC00	CIF00	CMK00	CISM00	CCSE00	0	0	CPR001	CPR000	0FFE4H	43H	R/W
CIC01	CIF01	CMK01	CISM01	CCSE01	0	0	CPR011	CPR010	0FFE5H	43H	R/W
CIC10	CIF10	CMK10	CISM10	CCSE10	0	0	CPR101	CPR100	0FFE6H	43H	R/W
CIC11	CIF11	CMK11	CISM11	CCSE11	0	0	CPR111	CPR110	0FFE7H	43H	R/W

××PRn1（ビット１）	××PRn0（ビット０）	割り込み要求の優先順位指定
0	0	優先順位０（最優先順位）
0	1	優先順位１
1	0	優先順位２
1	1	優先順位３

××CSEn（ビット４）	コンテキスト・スイッチング処理の指定
0	ベクタ割り込みで処理
1	コンテキスト・スイッチングで処理

××ISMn（ビット５）	割り込み処理形態の指定
0	ベクタ割り込み処理／コンテキスト・スイッチング処理
1	マクロ・サービス処理

××MKn（ビット６）	割り込み処理の許可／禁止
0	割り込み処理を許可
1	割り込み処理を禁止

××IFn（ビット７）	割り込み要求発生の有無
0	割り込み要求なし（割り込み信号が発生していない）
1	割り込み要求状態（割り込み信号が発生）

図22－1　割り込み制御レジスタ（××ICn）（2/3）

	⑦	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
CIC20	CIF20	CMK20	CISM20	CCSE20	0	0	CPR201	CPR200	0FFE8H	43H	R/W
CIC21	CIF21	CMK21	CISM21	CCSE21	0	0	CPR211	CPR210	0FFE9H	43H	R/W
CIC30	CIF30	CMK30	CISM30	CCSE30	0	0	CPR301	CPR300	0FFEAH	43H	R/W
PIC4	PIF4	PMK4	PISM4	PCSE4	0	0	PPR41	PPR40	0FFEBH	43H	R/W
PIC5	PIF5	PMK5	PISM5	PCSE5	0	0	PPR51	PPR50	0FFECH	43H	R/W
ADIC	ADIF	ADMK	ADISM	ADCSE	0	0	ADPR1	ADPR0	0FFEDH	43H	R/W
SERIC	SERIF	SERMK	0	SERCSE	0	0	SERPR1	SERPR0	0FFEEH	43H	R/W
SRIC	SRIF	SRMK	SRISM	SRCSE	0	0	SRPR1	SRPR0	0FFEFH	43H	R/W

××PRn1（ビット１）	××PRn0（ビット０）	割り込み要求の優先順位指定
0	0	優先順位０（最優先順位）
0	1	優先順位１
1	0	優先順位２
1	1	優先順位３

××CSEn（ビット４）	コンテキスト・スイッチング処理の指定
0	ベクタ割り込みで処理
1	コンテキスト・スイッチングで処理

××ISMn（ビット５）	割り込み処理形態の指定
0	ベクタ割り込み処理／コンテキスト・スイッチング処理
1	マクロ・サービス処理

××MKn（ビット６）	割り込み処理の許可／禁止
0	割り込み処理を許可
1	割り込み処理を禁止

××IFn（ビット７）	割り込み要求発生の有無
0	割り込み要求なし（割り込み信号が発生していない）
1	割り込み要求状態（割り込み信号が発生）

図22－1　割り込み制御レジスタ（××ICn）（3/3）

	⑦	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
CSIIC1	CSIIF1	CSIMK1	CSIISM1	CSICSE1	0	0	CSIPR11	CSIPR10	0FFEFH	43H	R/W
STIC	STIF	STMK	STISM	STCSE	0	0	STPR1	STPR0	0FFF0H	43H	R/W
CSIIC	CSIIF	CSIMK	CSIISM	CSICSE	0	0	CSIPR1	CSIPR0	0FFF1H	43H	R/W
SERIC2	SERIF2	SERMK2	0	SERCSE2	0	0	SERPR21	SERPR20	0FFF2H	43H	R/W
SRIC2	SRIF2	SRMK2	SRISM2	SRCSE2	0	0	SRPR21	SRPR20	0FFF3H	43H	R/W
CSIIC2	CSIIF2	CSIMK2	CSIISM2	CSICSE2	0	0	CSIPR21	CSIPR20	0FFF3H	43H	R/W
STIC2	STIF2	STMK2	STISM2	STCSE2	0	0	STPR21	STPR20	0FFF4H	43H	R/W
SPCIC注	SPCIF	SPCMK	SPCISM	SPCCSE	0	0	SPCPR1	SPCPR0	0FFF5H	43H	R/W

××PRn1（ビット１）	××PRn0（ビット０）	割り込み要求の優先順位指定
0	0	優先順位０（最優先順位）
0	1	優先順位１
1	0	優先順位２
1	1	優先順位３

××CSEn（ビット４）	コンテキスト・スイッチング処理の指定
0	ベクタ割り込みで処理
1	コンテキスト・スイッチングで処理

××ISMn（ビット５）	割り込み処理形態の指定
0	ベクタ割り込み処理／コンテキスト・スイッチング処理
1	マクロ・サービス処理

××MKn（ビット６）	割り込み処理の許可／禁止
0	割り込み処理を許可
1	割り込み処理を禁止

××IFn（ビット７）	割り込み要求発生の有無
0	割り込み要求なし（割り込み信号が発生していない）
1	割り込み要求状態（割り込み信号が発生）

注　μPD784038Yサブシリーズのみ

22.３.２　割り込みマスク・レジスタ（MK0，MK1L）

MK0，MK1Lは，割り込みマスク・フラグで構成されるレジスタです。MK0は16ビット・レジスタで，16ビット単位で操作できるほか，MK0L，MK0Hとして８ビット単位でも操作できます。

MK1Lは８ビット・レジスタで，８ビット単位で操作できます。また，MK0，MK1Lの各ビットは，ビット操作命令により１ビット単位で操作ができます。各割り込みマスク・フラグは，対応する割り込み要求の許可／禁止を制御します。

割り込みマスク・フラグがセット（１）されていると，該当する割り込み要求の受け付けは禁止されます。

割り込みマスク・フラグがクリア（０）されていると，該当する割り込み要求は，ベクタ割り込みまたはマクロ・サービスとして受け付けが可能な状態になります。

MK0，MK1L中の各割り込みマスク・フラグは，割り込み制御レジスタ中の割り込みマスク・フラグと同一のフラグです。割り込みのマスクに関する制御を一括して行うために，MK0，MK1Lを用意しています。

$\overline{\text{RESET}}$入力によりMK0はFFFFHに，MK1LはFFHになり，すべてのマスカブル割り込みは禁止されます。

図22－２　割り込みマスク・レジスタ（MK0，MK1L）のフォーマット（1/2）

（1）バイト・アクセス時

MK	割り込み要求の許可／禁止の指定
0	割り込み処理を許可
1	割り込み処理を禁止

注　μPD784038Yサブシリーズ使用時はSPCMK

図22－2　割り込みマスク・レジスタ（MK0，MK1L）のフォーマット（2/2）

（2）ワード・アクセス時

	⑮	⑭	⑬	⑫	⑪	⑩	⑨	⑧	アドレス	リセット時	R/W
MK0	CSIMK1 SRMK	SERMK	ADMK	PMK5	PMK4	CMK30	CMK21	CMK20	0FFACH	FFFFH	R/W

⑦	⑥	⑤	④	③	②	①	⓪
CMK11	CMK10	CMK01	CMK00	PMK3	PMK2	PMK1	PMK0

MK0	割り込み要求の許可／禁止の指定
0	割り込み処理を許可
1	割り込み処理を禁止

22.3.3　インサービス・プライオリティ・レジスタ（ISPR）

ISPRは，現在処理中のマスカブル割り込みの優先順位レベルと処理中のノンマスカブル割り込みを示すレジスタです。マスカブル割り込み要求が受け付けられると，その割り込み要求の優先順位レベルに対応するビットがセット（1）され，サービス・プログラムが終了するまで保持されます。ノンマスカブル割り込みが受け付けられると，そのノンマスカブル割り込みに対応したビットがセット（1）され，サービス・プログラムが終了するまで保持されます。

RETI命令またはRETCS命令の実行の際，ISPR内でセット（1）されているビットのうち，最も優先順位の高い割り込み要求に対応するビットが，ハードウエアにより自動的にクリア（0）されます。

RETB命令およびRETCSB命令の実行では，ISPRの内容は変化しません。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図22－3　インサービス・プライオリティ・レジスタ（ISPR）のフォーマット

注意　インサービス・プライオリティ・レジスタ（ISPR）は，読み出しのみ可能です。書き込みを行うと，誤動作する恐れがあります。

22.３.４　割り込みモード・コントロール・レジスタ（IMC）

IMCは，PRSLフラグで構成されるレジスタです。PRSLフラグは，優先順位が最下位レベル（レベル３）に指定されているマスカブル割り込みのネスティングの許可／禁止を指定します。

IMCを操作する場合は，誤動作を防ぐために割り込み禁止状態（DI状態）に設定してから行ってください。

８ビット操作命令とビット操作命令で，読み出し／書き込みが可能です。

$\overline{\text{RESET}}$入力により80Hになります。

図22－４　割り込みモード・コントロール・レジスタ（IMC）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IMC	PRSL	0	0	0	0	0	0	0	0FFAAH	80H	R/W

PRSL	マスカブル割り込み（最下位レベル）についてのネスティング動作の制御
0	レベル３（最下位レベル）に設定された割り込み間でのネスティングを許可
1	レベル３（最下位レベル）に設定された割り込み間でのネスティングを禁止

22.3.5　ウォッチドッグ・タイマ・モード・レジスタ（WDM）

WDMのPRCビットは，NMI端子入力によりノンマスカブル割り込みとウォッチドッグ・タイマのオーバフローによるノンマスカブル割り込みの優先順位を指定するビットです。

WDMは，専用命令によってのみ書き込みが可能です。この専用命令は，MOV WDM，#byte命令で特殊なコード構成（4バイト）になっています。3バイト目と4バイト目のオペコードが互いに1の補数の場合のみ，書き込みが行われます。

また，3バイト目と4バイト目のオペコードが互いに1の補数でなければ書き込みが行われず，オペランド・エラー割り込みが発生します。この場合，スタック領域に退避されるリターン・アドレスは，エラーの原因となった命令のアドレスです。したがって，スタック領域に退避されたリターン・アドレスにより，エラーの原因となったアドレスを知ることができます。

なお，単純にオペランド・エラーからRETB命令で復帰を行うと，無限ループとなります。

オペランド・エラー割り込みは，プログラムが暴走している場合にのみ発生する（当社製アセンブラRA78K4では，MOV WDM，#byteと記述された場合，正しい専用命令しか生成しません）ので，システムの初期化をプログラムで行うようにしてください。

他の書き込み命令（MOV WDM，AやAND WDM，#byteやSET1 WDM.7など）は無視され，何の動作も行いません。すなわち，WDMへの書き込みは行われず，また，オペランド・エラー割り込みのような割り込みも発生しません。

WDMの読み出しは，データ転送命令によりいつでもできます。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図22－5　ウォッチドッグ・タイマ・モード・レジスタ（WDM）のフォーマット

注意　ウォッチドッグ・タイマ・モード・レジスタ（WDM）は，専用命令（MOV WDM，#byte）でのみ書き込みが可能です。

22.3.6　プログラム・ステータス・ワード（PSW）

PSWは，命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグがPSWの下位８ビット（PSWL）にマッピングされています。

PSWLは，８ビット単位で読み出し／書き込み操作ができるほか，ビット操作命令や専用命令（EI，DI）により操作ができます。

ベクタ割り込み受け付け時，BRK命令実行時にはスタックに退避され，IEフラグはクリア（０）されます。また，PUSH PSW命令によってもスタックに退避されます。RETI，RETB，POP PSW命令により，スタックから復帰します。

コンテキスト・スイッチングおよびBRKCS命令実行時には，レジスタ・バンクの固定エリアに退避され，IEフラグはクリア（０）されます。また，RETCSI，RETCSB命令により，レジスタ・バンク中の固定エリアから復帰します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図22－６　プログラム・ステータス・ワード（PSWL）のフォーマット

22.4　ソフトウエア割り込みの受け付け動作

ソフトウエア割り込みはBRK，BRKCS命令の実行により受け付けられます。ソフトウエア割り込みは禁止することができません。

22.4.1　BRK命令によるソフトウエア割り込みの受け付け動作

BRK命令を実行すると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順にスタックに退避し，IEフラグをクリア（０）し，ベクタ・テーブル（003EH, 003FH）の内容をPCの下位16ビットに，0000BをPCの上位４ビットにロードして分岐します（サービス・プログラムの先頭は，ベース領域になければいけません）。

BRK命令によるソフトウエア割り込みからの復帰にはRETB命令を使用します。

注意　BRK命令によるソフトウエア割り込みからの復帰にRETI命令を使用してはいけません。

22.4.2　BRKCS命令によるソフトウエア割り込み（ソフトウエア・コンテキスト・スイッチング）の受け付け動作

BRKCS命令の実行により，コンテキスト・スイッチング機能を起動できます。

BRKCS命令のオペランドで，コンテキスト・スイッチング後のレジスタ・バンクを指定します。

BRKCS命令を実行すると，指定したレジスタ・バンク内にあらかじめストアしておいた割り込みサービス・プログラムの先頭アドレス（ベース領域内にかぎります）に分岐すると同時に，それまでのプログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW）の内容をレジスタ・バンク内に退避します。

図22－7　BRKCS命令の実行によるコンテキスト・スイッチング動作

BRKCS命令によるソフトウエア割り込みからの復帰には，RETCSB命令を使用します。RETCSB命令では，次にBRKCS命令でコンテキスト・スイッチングを行うときの割り込みサービス・プログラムの先頭アドレスを指定する必要があります。この割り込みサービス・プログラムの先頭アドレスは，ベース領域内になければいけません。

注意　BRKCS命令によるソフトウエア割り込みからの復帰にRETCS命令を使用してはいけません。

図22－８　BRKCS命令によるソフトウエア割り込みからの復帰動作（RETCSB命令の動作）

22.5　オペランド・エラー割り込みの受け付け動作

オペランド・エラー割り込みは，MOV STBC，#byte命令およびMOV WDM，#byte命令，LOCATION命令のオペランドの３バイト目の全ビットを反転させたデータが，オペランドの４バイト目と一致しなかった場合に発生します。オペランド・エラー割り込みは禁止することができません。

オペランド・エラー割り込みが発生すると，プログラム・ステータス・ワード（PSW）とエラーを発生した命令の先頭アドレスをスタックに退避し，IEフラグをクリア（０）し，ベクタ・テーブルの値をプログラム・カウンタ（PC）にロードし，分岐します（ベース領域にかぎる）。

スタックに退避されるアドレスが，エラーの発生した命令の先頭アドレスとなっているので，単純にオペランド・エラー割り込みサービス・プログラムの最後にRETB命令を記述しただけでは，再度オペランド・エラー割り込みが発生してしまいます。したがって，スタック中のアドレスを加工するか，**22.12　割り込み機能を初期状態に戻す方法**を参考にプログラムを初期状態に戻してください。

22.6　ノンマスカブル割り込みの受け付け動作

ノンマスカブル割り込みは，割り込み禁止状態であっても受け付けられます。ノンマスカブル割り込みは，同一のノンマスカブル割り込みまたは，優先順位の高いノンマスカブル割り込みサービス・プログラムの実行中を除いては，必ず受け付けられます。

ノンマスカブル割り込み間の優先順位は，ウォッチドッグ・タイマ・モード・レジスタ（WDM）のPRCビットで設定します（**22.3.5　ウォッチドッグ・タイマ・モード・レジスタ（WDM）**参照）。

ノンマスカブル割り込み要求は，**22.9　割り込み要求およびマクロ・サービスが一時的に保留される場合**に記述されている状態でなければ，ただちに受け付けられます。ノンマスカブル割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順にスタックへの退避を行い，PSWのIEフラグをクリア（0）し，受け付けたノンマスカブル割り込みに対応するインサービス・プライオリティ・レジスタ（ISPR）のビットをセット（1）し，ベクタ・テーブルの内容をPCへロードし，分岐します。セット（1）されるISPRのビットは，NMI端子へのエッジ入力によるノンマスカブル割り込みの場合はNMISビットになり，ウォッチドッグ・タイマのオーバフローによる場合はWDTSビットになります。

ノンマスカブル割り込みのサービス・プログラムを実行している場合には，現在実行中のノンマスカブル割り込みと同一のノンマスカブル割り込みの要求と，現在実行中のノンマスカブル割り込みより優先順位の低いノンマスカブル割り込みの要求は，保留されます。保留されたノンマスカブル割り込みは，現在実行中のノンマスカブル割り込みサービス・プログラムの終了後（RETI命令実行後）に受け付けられます。ただし，ノンマスカブル割り込みサービス・プログラム実行中に，同一のノンマスカブル割り込み要求が２回以上発生しても，ノンマスカブル割り込みサービス・プログラムの終了後に受け付けられるノンマスカブル割り込みは１回だけになります。

図22－９　ノンマスカブル割り込み要求の受け付け動作（1/2）

（ａ）NMIサービス・プログラム実行中に新たなNMI要求が発生した場合

（ｂ）NMIサービス・プログラム実行中にウォッチドッグ・タイマ割り込み要求が発生した場合
（ウォッチドッグ・タイマ割り込みの優先順位が高い場合（WDMのPRC = １の場合））

図22－９　ノンマスカブル割り込み要求の受け付け動作（2/2）

（ｃ）NMIサービス・プログラム実行中にウォッチドッグ・タイマ割り込み要求が発生した場合（NMI割り込みの優先順位が高い場合（WDMのPRC = ０の場合））

（ｄ）NMIサービス・プログラム実行中に新たに２回のNMI要求が発生した場合

注意１．ノンマスカブル割り込みサービス・プログラム中でもマクロ・サービスの要求は受け付けられ，処理されます。ノンマスカブル割り込みサービス・プログラム中でマクロ・サービス処理を行いたくない場合は，ノンマスカブル割り込みサービス・プログラム中で割り込みマスク・レジスタを操作して，マクロ・サービスが発生しないようにしてください。

２．ノンマスカブル割り込みからの復帰には，必ずRETI命令を使用してください。他の命令では，以降の割り込みの受け付けが正常に行われません。ノンマスカブル割り込み受け付け後，初期状態からプログラムを再開したい場合は，22.12　割り込み機能を初期状態に戻す方法を参照してください。

３．ノンマスカブル割り込みは，ノンマスカブル割り込みサービス・プログラム実行中（優先順位の低いノンマスカブル割り込みサービス・プログラム実行中に，優先順位の高いノンマスカブル割り込みの要求が発生した場合を除く）および22.９に示す特定命令の実行後の一定期間を除いては必ず受け付けられます。したがって，特にリセット解除後などのスタック・ポインタ（SP）の値が不定の場合でもノンマスカブル割り込みを受け付けます。このときのSPの値によっては特殊機能レジスタ（SFR）の書き込みを禁止しているアドレス（３.９　特殊機能レジスタ（SFR）の表３－５参照）へプログラム・カウンタ（PC）およびプログラム・ステータス・ワード（PSW）を書き込んでしまい，CPUがデッドロックしてしまったり，端子から予期しない信号を出力したり，RAMが実装されていないアドレスへPCやPSWを書き込むことにより，ノンマスカブル割り込み処理プログラムからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。

したがって，$\overline{\text{RESET}}$解除後のプログラムは必ず次のようにしてください。

```
        CSEG AT 0
        DW   STRT
        CSEG BASE
STRT:
        LOCATION 0FH      ; or LOCATION 0H
        MOVG SP, #imm24
```

22.7　マスカブル割り込みの受け付け動作

マスカブル割り込みは，割り込み要求フラグがセット（1）され，その割り込みのマスク・フラグがクリア（0）されていると受け付けが可能な状態になります。マクロ・サービスで処理を行う場合は，ただちに受け付けられ，マクロ・サービスによる処理が行われます。ベクタ割り込みまたはコンテキスト・スイッチングの場合は，割り込み許可状態（IEフラグがセット（1）されているとき）で，その割り込みの優先順位が，受け付け可能な優先順位であれば受け付けます。

マスカブル割り込みの要求が同時に発生した場合は，優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また，同一優先順に指定されている場合はディフォールト優先順位に従います。

保留された割り込みは受け付け可能な状態になると受け付けられます。

図22－10に，割り込み受け付けのアルゴリズムを示します。

図22－10　割り込み受け付け処理アルゴリズム

22.7.1　ベクタ割り込み

ベクタ割り込みによるマスカブル割り込みの要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順にスタックに退避し，IEフラグをクリア（0）（割り込み禁止状態）にし，受け付けた割り込みの優先順位に該当するインサービス・プライオリティ・レジスタ（ISPR）のビットをセット（1）します。さらに，割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし，分岐します。ベクタ割り込みからの復帰は，RETI命令で行います。

注意　マスカブル割り込みをベクタ割り込みで受け付けた場合は，必ずRETI命令で復帰してください。他の命令では，以降の割り込みに関する動作が正常に行われません。

22.7.2　コンテキスト・スイッチング

割り込み制御レジスタのコンテキスト・スイッチング許可フラグをセット（1）することにより，コンテキスト・スイッチング機能の起動を許可します。

コンテキスト・スイッチング機能が許可されている割り込み要求が受け付けられると，対応するベクタ・テーブル・アドレスの下位アドレス（偶数アドレス）の下位3ビットで指定されるレジスタ・バンクが選択されます。

選択されたレジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスをプログラム・カウンタ（PC）に転送すると同時に，それまでのPC，プログラム・ステータス・ワード（PSW）の内容をレジスタ・バンク内に退避し，割り込みサービス・プログラムに分岐します。

図22－11　割り込み要求の発生によるコンテキスト・スイッチング動作

コンテキスト・スイッチング機能を使用した割り込みからの復帰には，RETCS命令を使用します。RETCS命令では，次にその割り込みを受け付けたときに実行する割り込みサービス・プログラムの先頭アドレスを指定する必要があります。この割り込みサービス・プログラムの先頭アドレスは，ベース領域内になければいけません。

注意　コンテキスト・スイッチングによる割り込みからの復帰には，必ずRETCS命令を使用してください。他の命令では，以降の割り込みに関する動作が正常に行われません。

図22－12　RETCS命令によるコンテキスト・スイッチング機能を使用した割り込みからの復帰動作

22.7.3　マスカブル割り込みの優先順位

μPD784038は，割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは，優先順位によって制御できます。

優先順位制御には，ディフォールト優先順位による制御と，優先順位指定フラグの設定によるプログラマブル優先順位制御があります。ディフォールト優先順位による優先順位制御は，複数の割り込みが同時に発生している場合，各割り込み要求にあらかじめ割り付けてある優先順位（ディフォールト優先順位）に従って割り込み処理を行います（表22－２参照）。プログラマブル優先順位制御は，各割り込み要求を優先順位指定フラグの設定によって，４レベルに分けます。多重割り込み可能な割り込み要求を表22－５に示します。

なお，割り込みを受け付けるとIEフラグが自動的にクリア（０）されますので，多重割り込みを使用する場合は，割り込み処理プログラム中でEI命令を実行するなどして，IEフラグをセット（１）し，割り込み許可状態にしてください。

表22－５　多重割り込み処理

現在受け付け中の割り込みの優先順位	ISPRの値	PSWのIEフラグ	IMCのPRSLフラグ	受け付け可能なマスカブル割り込み
受け付け中の割り込みなし	00000000	0	×	・すべてのマクロ・サービスのみ
		1	×	・すべてのマスカブル割り込み
3	00001000	0	×	・すべてのマクロ・サービスのみ
		1	0	・すべてのマスカブル割り込み
		1	1	・すべてのマクロ・サービス ・優先順位を０，１，２に指定したマスカブル割り込み
2	0000×100	0	×	・すべてのマクロ・サービスのみ
		1	×	・すべてのマクロ・サービス ・優先順位を０，１に指定したマスカブル割り込み
1	0000××10	0	×	・すべてのマクロ・サービスのみ
		1	×	・すべてのマクロ・サービス ・優先順位を０に指定したマスカブル割り込み
0	0000×××1	×	×	・すべてのマクロ・サービスのみ
ノンマスカブル割り込み	1000×××× 0100×××× 1100××××	×	×	・すべてのマクロ・サービスのみ

図22－13　割り込み処理中に他の割り込み要求が発生した場合の処理例（1/3）

図22－13　割り込み処理中に他の割り込み要求が発生した場合の処理例（2/3）

図22－13　割り込み処理中に他の割り込み要求が発生した場合の処理例（3/3）

注１． ディフォールト優先順位が低い

２． ディフォールト優先順位が高い

備考１． 図中のa-zは，割り込み要求およびマクロ・サービス要求を区別するためにつけた仮の名称です。

２． 図中のディフォールト優先順位の高い／低いは，２つの割り込み要求間の相対的な優先順位の高さを示します。

図22－14　同時発生した割り込み要求の処理例

備考　図中のa-fは，割り込み要求およびマクロ・サービス要求を区別するためにつけた仮の名称です。

図22－15　IMCの設定によるレベル３の割り込みの受け付け動作の違い

IMCのPRSL = 1として，レベル３の割り込み間でのネスティングを禁止

割り込み許可状態であっても同一優先順位なので，割り込み要求bは保留される

IMCのPRSL = 0として，レベル３の割り込み処理中でも，レベル３の割り込みを受け付けられる(ネスティングできる)ように設定

レベル３の割り込み要求cが割り込み許可状態で処理されていて，PRSL = 0なので，同一のレベル３の割り込み要求dを受け付ける

割り込み要求eとfは同一レベルなので，ディフォールト優先順位の高い割り込み要求fが先に受け付けられる
割り込み要求fの処理中に割り込み許可状態にすると，保留されていた割り込み要求eがPRSL = 0なので受け付けられる

注１．ディフォールト優先順位が低い

２．ディフォールト優先順位が高い

備考１．図中のa-fは，割り込み要求を区別するためにつけた仮の名称です。

２．図中のディフォールト優先順位の高い／低いは，２つの割り込み要求間の相対的な優先順位の高さを示します。

22.8　マクロ・サービス機能

22.8.1　マクロ・サービスの概要

マクロ・サービスは，割り込みの処理方法の一つです。通常の割り込みではプログラム・カウンタ（PC）やプログラム・ステータス・ワード（PSW）を退避し，PCへ割り込みサービス・プログラムの先頭アドレスをロードしますが，これらの処理の代わりに別の処理（主にデータ転送）を行います。したがって，割り込みの要求に対して高速に応答することができます。さらに，プログラムで行うより高速に転送処理が可能なので，処理時間も短縮することができます。

また，指定された回数の処理を行ったあと，ベクタ割り込みを発生しますので，ベクタ割り込みのプログラムが簡略化できるなどの効果もあります。

図22－16　ベクタ割り込みとマクロ・サービスの処理の違い

注1．レジスタ・バンク切り替えを使用した場合で，レジスタにはあらかじめ初期値が設定されているとき

2．コンテキスト・スイッチングによるレジスタ・バンクの切り替え，PC，PSWの退避

3．コンテキスト・スイッチングによるレジスタ・バンク，PC，PSWの復帰

4．PC，PSWをスタックへ退避，ベクタ・アドレスをPCへロード

22.8.2　マクロ・サービスの種類

マクロ・サービスは表22－6に示す19種類[注]の割り込みで使用することができます。また，4種類の動作タイプがあり，用途により使い分けが可能です。

注　μPD784038Yサブシリーズの場合は20種類

表22－６　マクロ・サービスが使用可能な割り込み

ディフォールト優先順位	割り込み要求発生ソース	発生ユニット	マクロ・サービス・コントロール・ワード・アドレス
0	INTP0（端子入力エッジ検出）	エッジ検出	0FE06H
1	INTP1（　〃　）		0FE08H
2	INTP2（　〃　）		0FE0AH
3	INTP3（　〃　）		0FE0CH
4	INTC00（TM0-CR00一致信号発生）	タイマ／カウンタ０	0FE0EH
5	INTC01（TM0-CR01一致信号発生）		0FE10H
6	INTC10（TM1-CR10またはTM1W-CR10W一致信号発生）	タイマ／カウンタ１	0FE12H
7	INTC11（TM1-CR11またはTM1W-CR11W一致信号発生）		0FE14H
8	INTC20（TM2-CR20またはTM2W-CR20W一致信号発生）	タイマ／カウンタ２	0FE16H
9	INTC21（TM2-CR21またはTM2W-CR21W一致信号発生）		0FE18H
10	INTC30（TM3-CR30またはTM3W-CR30W一致信号発生）	タイマ３	0FE1AH
11	INTP4（端子入力エッジ検出）	エッジ検出	0FE1CH
12	INTP5（　〃　）		0FE1EH
13	INTAD（A/D変換終了）	A/Dコンバータ	0FE20H
14	INTSR（アシンクロナス・シリアル・インタフェース受信終了）	アシンクロナス・シリアル・インタフェース／クロック同期式シリアル・インタフェース１	0FE24H
	INTCSI1（クロック同期式シリアル・インタフェース転送終了）		
15	INTST（アシンクロナス・シリアル・インタフェース送信終了）		0FE26H
16	INTCSI（クロック同期式シリアル・インタフェース転送終了）	クロック同期式シリアル・インタフェース	0FE28H
17	INTSR2（アシンクロナス・シリアル・インタフェース２受信終了）	アシンクロナス・シリアル・インタフェース２/クロック同期式シリアル・インタフェース２	0FE2CH
	INTCSI2（クロック同期式シリアル・インタフェース２転送終了）		
18	INTST2（アシンクロナス・シリアル・インタフェース２送信終了）		0FE2EH
19注	INTSPC（I²Cバス・ストップ・コンディション割り込み）	クロック同期式シリアル･インタフェース	0FE30H

注　μPD784038Yサブシリーズのみ

備考１．ディフォールト優先順位は，固定されている数値です。マクロ・サービス要求が，同時に発生した場合に優先される順位を示します。

２．INTSRとINTCSI1は，同一のハードウエアから発生する割り込みです（同時に両方は使用できません）。したがって，割り込みに関しても同一のハードウエアを使用していますが，どちらのモードを使用しているかに応じて名称を使い分けられるように，２通りの名称を用意しています。INTSR2，INTCSI2についても同様です。

マクロ・サービスの種類は次の４タイプです。

（1）タイプA

割り込み要求の発生ごとに１バイトまたは１ワードのデータを特殊機能レジスタ（SFR）とメモリとの間で行い，指定された回数のデータ転送を行うとベクタ割り込みの要求を発生します。

転送の対象となるメモリは，LOCATION 0H命令実行時は0FE00H-0FEFFH，LOCATION 0FH命令実行時は0FFE00H-0FFEFFHの内部RAMに限定されます。

指定の方法が簡単で小容量の高速のデータ転送に向いています。

（2）タイプB

タイプAと同様に，割り込み要求の発生ごとに，１バイトまたは１ワードのデータを特殊機能レジスタ（SFR）とメモリとの間で行い，指定された回数のデータ転送を行うとベクタ割り込みの要求を発生します。

転送の対象となるSFRとメモリはマクロ・サービス・チャネルで指定します（メモリは，１ Mバイトの全空間）。

タイプAの汎用タイプで，転送データ量が多い場合に向いています。

（3）タイプC

割り込み要求の発生ごとに，２つの特殊機能レジスタ（SFR）へメモリからデータ転送します。指定された回数のデータ転送を行うと，ベクタ割り込みを発生します。

タイプCのマクロ・サービスは一度の割り込み要求で２箇所へのデータ転送を行うことのほかに，出力データのリング制御やコンペア・レジスタとデータを自動的に加算する機能などを付加して使用することもできます。メモリについては，１Mバイトの全空間を使用できます。

タイプCは，おもにINTC10とINTC11の割り込みで使用し，転送対象となるSFRとしては，P0LまたはP0HとCR10，CR10W，CR11，CR11Wを用いてマクロ・サービスでステッピング・モータの制御などに使用します。

（4）カウンタ・モード

割り込み発生によって，マクロ・サービス・カウンタ（MSC）をデクリメントしていくモードで，割り込みの分周動作や，割り込み発生回路のカウント用として使用することができます。

MSCが０になるとベクタ割り込みを発生させることができます。

マクロ・サービスを再起動するときは，MSCの再設定が必要です。

MSCは16ビットに固定で，８ビット・カウンタにすることはできません。

22.8.3　マクロ・サービスの基本動作

図22－10で示すアルゴリズムで発生したマクロ・サービス処理を指定できる割り込み要求は，基本的には図22－17に示すシーケンスで処理されます。

マクロ・サービス処理を指定できる割り込み要求は，IEフラグの状態には影響されません。割り込みマスク・レジスタ（MK0）の割り込みマスク・フラグのセット（1）によってのみ禁止されます。割り込み禁止状態，また割り込み処理プログラム実行中でもマクロ・サービス処理は実行できます。

図22－17　マクロ・サービス処理シーケンス

マクロ・サービスは，マクロ・サービス・コントロール・ワードのモード・レジスタに設定された値により，マクロ・サービスのタイプや転送方向などを決定します。その後，チャネル・ポインタで指定されるマクロ・サービス・チャネルをマクロ・サービスのタイプに従って使用して転送処理を行います。

マクロ・サービス・チャネルは，転送回数を記憶するマクロ・サービス・カウンタや転送先や転送元のポインタやデータ・バッファが配置されているメモリで，LOCATION 0H命令実行時にはFE00H-FEFFH，LOCATION 0FH 命令実行時にはFFE00H-FFEFFHの中の任意のアドレスに配置することが可能です。

22.8.4　マクロ・サービス終了時の動作

マクロ・サービスは，他のプログラムの実行中に指定された回数の処理を行います。指定された回数の処理を行うと（マクロ・サービス・カウンタ（MSC）が０になると），マクロ・サービスは終了します。このときの動作には２通りあり，マクロ・サービスごとのマクロ・サービス・モード・レジスタのビット７にあるVCIEビットでその動作を指定します。

（1）VCIEビットが０の場合

マクロ・サービスの終了後，ただちに割り込みの要求を発生するモードです。図22－18に，VCIEビットが０の場合のマクロ・サービスおよび割り込みの受け付けの動作例を示します。

このモードは，最後に行ったマクロ・サービスの処理によって，一連の動作が終了する場合などに使用します。主な使用例を次に示します。

- アシンクロナス・シリアル・インタフェースの受信データをバッファリングする場合（INTSR, INTSR2）
- A/D変換結果の取り込み（INTAD）
- タイマ・レジスタとコンペア・レジスタの一致によるコンペア・レジスタの更新時（INTC00, INTC01, INTC10, INTC11, INTC20, INTC21, INTC30）
- INTPn端子へのエッジ入力によるタイマ／カウンタのキャプチャ・レジスタの読み込み時（INTP0, INTP1, INTP2, INTP3）

図22－18　VCIE = 0のときのマクロ・サービス終了時の動作

マクロ・サービス終了後(MSC = 0)に割り込みの要求が発生し，受け付けられる

他の割り込み処理の実行中の場合などのマクロ・サービス終了による割り込みが受け付けられないときに，最後のマクロ･サービスを行うと,その割り込み要求が受け付けられるようになるまで保留される

（2）VCIEビットが１の場合

マクロ・サービスの終了後，割り込みの要求を発生しないモードです。図22－19に，VCIEビットが１の場合のマクロ・サービスおよび割り込みの受け付けの動作例を示します。

このモードは，最後に行ったマクロ・サービスの処理によって，最後の動作を開始させる場合などに使用します。主な使用例を次に示します。

- クロック同期式シリアル・インタフェースによるデータ転送（INTCSI, INTCSI1, INTCSI2）
- アシンクロナス・シリアル・インタフェースによるデータの送信（INTST, INTST2）
- リアルタイム出力ポートとタイマ／カウンタを使用したマクロ・サービス・タイプCによるステッピング・モータの制御時に，ステッピング・モータを停止させる場合（INTC10, INTC11）

図22－19　VCIE = １のときのマクロ・サービス終了時の動作

22.8.5　マクロ・サービス制御レジスタ

（1）マクロ・サービス・コントロール・ワード

μPD784038のマクロ・サービス機能は，マクロ・サービス・モード・レジスタとマクロ・サービス・チャネル・ポインタで制御されます。マクロ・サービス・モード・レジスタによってマクロ・サービス処理モードを設定し，マクロ・サービス・チャネル・ポインタによってマクロ・サービス・チャネルのアドレスを指し示します。

マクロ・サービス・モード・レジスタとマクロ・サービス・チャネル・ポインタは，マクロ・サービス・コントロール・ワードとして，各マクロ・サービスごと，図22－20に示すように内部RAMの一部にマッピングされています。

マクロ・サービス処理を行うとき，マクロ・サービス処理を指定できる割り込み要求に対応するマクロ・サービス・モード・レジスタとチャネル・ポインタの値を設定しておく必要があります。

図22－20　マクロ・サービス・コントロール・ワードのフォーマット

予約語	アドレス		要因
SPCHP	0FE31	チャネル・ポインタ	INTSPC注
SPMMD	0FE30	モード・レジスタ	
STCHP2	0FE2F	チャネル・ポインタ	INTST2
STMMD2	0FE2E	モード・レジスタ	
SRCHP2/CSICHP2	0FE2D	チャネル・ポインタ	INTSR2/INTCSI2
SRMMD2/CSIMMD2	0FE2C	モード・レジスタ	
CSICHP	0FE29	チャネル・ポインタ	INTCSI
CSIMMD	0FE28	モード・レジスタ	
STCHP	0FE27	チャネル・ポインタ	INTST
STMMD	0FE26	モード・レジスタ	
SRCHP/CSICHP1	0FE25	チャネル・ポインタ	INTSR/INTCSI1
SRMMD/CSIMMD1	0FE24	モード・レジスタ	
ADCHP	0FE21	チャネル・ポインタ	INTAD
ADMMD	0FE20	モード・レジスタ	
PCHP5	0FE1F	チャネル・ポインタ	INTP5
PMMD5	0FE1E	モード・レジスタ	
PCHP4	0FE1D	チャネル・ポインタ	INTP4
PMMD4	0FE1C	モード・レジスタ	
CCHP30	0FE1B	チャネル・ポインタ	INTC30
CMMD30	0FE1A	モード・レジスタ	
CCHP21	0FE19	チャネル・ポインタ	INTC21
CMMD21	0FE18	モード・レジスタ	
CCHP20	0FE17	チャネル・ポインタ	INTC20
CMMD20	0FE16	モード・レジスタ	
CCHP11	0FE15	チャネル・ポインタ	INTC11
CMMD11	0FE14	モード・レジスタ	
CCHP10	0FE13	チャネル・ポインタ	INTC10
CMMD10	0FE12	モード・レジスタ	
CCHP01	0FE11	チャネル・ポインタ	INTC01
CMMD01	0FE10	モード・レジスタ	
CCHP00	0FE0F	チャネル・ポインタ	INTC00
CMMD00	0FE0E	モード・レジスタ	
PCHP3	0FE0D	チャネル・ポインタ	INTP3
PMMD3	0FE0C	モード・レジスタ	
PCHP2	0FE0B	チャネル・ポインタ	INTP2
PMMD2	0FE0A	モード・レジスタ	
PCHP1	0FE09	チャネル・ポインタ	INTP1
PMMD1	0FE08	モード・レジスタ	
PCHP0	0FE07	チャネル・ポインタ	INTP0
PMMD0	0FE06	モード・レジスタ	

注　μPD784038Yサブシリーズのみ

（2）マクロ・サービス・モード・レジスタ

マクロ・サービス・モード・レジスタはマクロ・サービスの動作を指定する８ビット・レジスタです。マクロ・サービス・コントロール・ワードの一部として内部RAM上に書いておきます（**図22－20**参照）。

図22－21に，マクロ・サービス・モード・レジスタのフォーマットを示します。

図22－21　マクロ・サービス・モード・レジスタのフォーマット（1/2）

7	6	5	4	3	2	1	0
VCIE	MOD2	MOD1	MOD0	CHT3	CHT2	CHT1	CHT0

CHT0	0	1		0			
CHT1	0	0		0			
CHT2	0	0		0			
CHT3	0	0		1			
MOD2	MOD1	MOD0	カウンタ・モード	タイプA		タイプB	
0	0	0	カウンタ・デクリメント	データ転送方向 メモリ→SFR	データ・サイズ：１バイト	データ転送方向 メモリ→SFR	データ・サイズ：１バイト
0	0	1		データ転送方向 SFR→メモリ		データ転送方向 SFR→メモリ	
0	1	0					
0	1	1					
1	0	0		データ転送方向 メモリ→SFR	データ・サイズ：２バイト	データ転送方向 メモリ→SFR	データ・サイズ：２バイト
1	0	1		データ転送方向 SFR→メモリ		データ転送方向 SFR→メモリ	
1	1	0					
1	1	1					

VCIE	MSC＝0時の割り込み要求
0	発生する
1	発生しない（次の割り込み処理がベクタ割り込みとなる）

図22－21　マクロ・サービス・モード・レジスタのフォーマット（2/2）

7	6	5	4	3	2	1	0
VCIE	MOD2	MOD1	MOD0	CHT3	CHT2	CHT1	CHT0

CHT0	0	1	0	1		
CHT1	0	0	1	1		
CHT2	1	1	1	1		
CHT3	1	1	1	1		
MOD2	MOD1	MOD0	タイプC			
			MPDデクリメント		MPDインクリメント	
			MPT保持	MPTデクリメント	MPT保持	MPTインクリメント
0	0	0	MPTで指定されるタイマ用データ・サイズ：１バイト	自動加算なし	リング制御なし	
0	0	1			リング制御あり	
0	1	0		自動加算あり	リング制御なし	
0	1	1			リング制御あり	
1	0	0	MPTで指定されるタイマ用データ・サイズ：２バイト	自動加算なし	リング制御なし	
1	0	1			リング制御あり	
1	1	0		自動加算あり	リング制御なし	
1	1	1			リング制御あり	

VCIE	MSC＝0時の割り込み要求
0	発生する
1	発生しない（次の割り込み処理がベクタ割り込みとなる）

（3）マクロ・サービス・チャネル・ポインタ

マクロ・サービス・チャネル・ポインタは，マクロ・サービス・チャネルのアドレスを指定するポインタです。マクロ・サービス・チャネルはLOCATION 0H命令実行時はFE00H-FEFFH，LOCATION 0FH命令実行時はFFE00H-FFEFFHの256バイトの空間に配置可能で，アドレスの上位16ビットが固定です。したがって，マクロ・サービス・チャネル・ポインタには，マクロ・サービス・チャネルの最上位アドレスに格納されるデータの下位８ビットを設定します。

22.8.6　マクロ・サービス・タイプA

（1）動　　作

マクロ・サービス・チャネル内のバッファ・メモリとマクロ・サービス・チャネル内で指定されるSFRとの間でデータの転送を行います。

タイプAは，データの転送方向としてメモリからSFR，またはSFRからメモリを選択することができます。

あらかじめマクロ・サービス・カウンタに設定した回数だけ，データ転送を行います。なお，１回のマクロ・サービス処理で８ビットまたは16ビットのデータが転送されます。

転送するデータ量が少ないときに，高速でデータ転送ができるので有効です。

図22－22　マクロ・サービス・データ転送処理フロー（タイプA）

（2）マクロ・サービス・チャネルの構成

チャネル・ポインタと８ビットのマクロ・サービス・カウンタ（MSC）とで，転送元もしくは転送先となる内部RAM（LOCATION 0H命令実行時：FE00H-FEFFH, LOCATION 0FH命令実行時：FFE00H-FFEFFH）上のバッファ・アドレスを示します（図22－23参照）。チャネル・ポインタには，マクロ・サービス・チャネル内にあるマクロ・サービス・カウンタのアドレスの下位８ビットを書き込みます。

アクセスの対象となるSFRは，SFRポインタ（SFRP）で指定します。SFRPには，SFRアドレスの下位８ビットを書き込みます。

図22－23　タイプAのマクロ・サービス・チャネル

（a）1バイト転送時

マクロ・サービス・バッファ・アドレス＝（チャネル・ポインタ）－（マクロ・サービス・カウンタ）－1

（b）2バイト転送時

マクロ・サービス・バッファ・アドレス＝（チャネル・ポインタ）－（マクロ・サービス・カウンタ）×2－1

（3）タイプA使用例

アシンクロナス・シリアル・インタフェースにより受信したデータを内部RAM内のバッファ領域に転送する例を示します。

図22－24　アシンクロナス・シリアル受信

備考　図中のアドレスは，LOCATION 0H命令実行時の値です。
LOCATION 0FH命令実行時には，図中の値に0F0000Hを加えてください。

22.8.7　マクロ・サービス・タイプB

（1）動　　作

マクロ・サービス・チャネルで指定されるメモリ内のデータ領域とSFRとの間でデータの転送を行います。

タイプBは，データの転送方向としてメモリからSFR，またはSFRからメモリを選択することができます。

あらかじめマクロ・サービス・カウンタに設定した回数だけ，データ転送を行います。なお，１回のマクロ・サービス処理で８ビットまたは16ビットのデータが転送されます。

タイプAのマクロ・サービスを汎用的にしたタイプで，データ・バッファ領域として８ビット・データ転送時は最大64 Kバイト，16ビット・データ転送時は最大128 Kバイトまでの領域を１ Mバイトの任意のアドレス空間に持たせることができるため，大容量データの処理に最適です。

図22－25　マクロ・サービス・データ転送処理フロー（タイプB）

（2）マクロ・サービス・チャネルの構成

マクロ・サービス・ポインタ（MP）は，転送先または転送元となる１Mメモリ空間内のデータ・バッファ領域を示します。

SFRポインタ（SFRP）には，転送先または転送元となるSFRのアドレスの下位８ビットを書き込みます。

マクロ・サービス・カウンタ（MSC）は，16ビットのカウンタでデータ転送の回数を指定します。

MP，SFRPおよびMSCを格納するマクロ・サービス・チャネルは，LOCATION 0H命令実行時は，内部RAM空間の0FE00H-0FEFFH，LOCATION 0FH命令実行時は0FFE00H-0FFEFFHに配置します。

マクロ・サービス・チャネルは，図22－26で示すようにチャネル・ポインタで示します。チャネル・ポインタには，マクロ・サービス・チャネル内にあるマクロ・サービス・カウンタへアドレスの下位８ビットを書き込みます。

図22－26　タイプBのマクロ・サービス・チャネル

マクロ・サービス・バッファ・アドレス＝マクロ・サービス・ポインタ

注　ビット20-23は必ず０にしてください。

（3）タイプB使用例

外部信号に同期してポート３からパラレル・データを入力する例を示します。外部信号との同期は外部割り込み端子（INTP4）入力を用います。

図22－27　外部割り込みに同期したパラレル・データ入力

備考　図中のマクロ・サービス・チャネルのアドレスは，LOCATION 0H命令実行時の値です。
LOCATION 0FH命令実行時には，図中の値に0F0000Hを加えてください。

図22－28　パラレル・データ入力のタイミング

22.8.8　マクロ・サービス・タイプC

（1）動　　作

タイプCのマクロ・サービスは，１回の割り込みの要求でマクロ・サービス・チャネルで指定されるタイマ用とデータ用の２つのSFRへ，マクロ・サービス・チャネルで指定されるメモリ内のデータを転送します（SFRは自由に選択できます）。タイマ用のSFRは，８ビットまたは16ビットの選択が可能です。

タイプCのマクロ・サービスは，上記の基本的なデータ転送に加えて，バッファ領域の圧縮とソフトウエアの負担を軽減するために以下の機能を付加することができます。

これらの指定は，マクロ・サービス・コントロール・ワードのモード・レジスタで指定します。

（a）タイマ用マクロ・サービス・ポインタの更新

タイマ用のマクロ・サービス・ポインタ（MPT）を保持するか，インクリメント／デクリメントするかを選択できます。なお，インクリメント／デクリメントの方向は，データ用マクロ・サービス・ポインタ（MPD）と同じ方向になります。

（b）データ用マクロ・サービス・ポインタの更新

データ用のマクロ・サービス・ポインタ（MPD）をインクリメント／デクリメントするかを選択できます。

（c）自動加算

タイマ用のマクロ・サービス・ポインタ（MPT）でアドレスされるデータと現在のコンペア・レジスタの値を加算して，加算結果をコンペア・レジスタへ転送します。

自動加算を指定しない場合は，MPTでアドレスされるデータをコンペア・レジスタに転送するだけです。

（d）リング制御

あらかじめ指定された長さの出力データ・パターンを自動的に繰り返し出力します。

図22－29　マクロ・サービス・データ転送処理フロー（タイプC）（1/2）

図22－29　マクロ・サービス・データ転送処理フロー（タイプC）（2/2）

（2）マクロ・サービス・チャネルの構成

タイプCのマクロ・サービス・チャネルには図22－30に示す２種類があります。

タイマ用マクロ・サービス・ポインタ（MPT）はおもにタイマ／カウンタのコンペア・レジスタに転送または加算する１Mメモリ空間内のデータ・バッファ領域を示します。

データ用マクロ・サービス・ポインタ（MPD）はリアルタイム出力ポートへ転送する１Mメモリ空間内のデータ・バッファ領域を示します。

モジュロ・レジスタ（MR）は，リング制御を使用するとき繰り返しのパターン数を指定します。

リング・カウンタ（RC）は，リング制御を使用するときのパターン内のステップを保持します。通常初期設定時は，MRと同じ値に設定します。

マクロ・サービス・カウンタ（MSC）は，16ビットのカウンタでデータの転送回数を指定します。

タイマ用SFRポインタ（TSFRP），およびデータ用SFRポインタ（DSFRP）には，転送先となるSFRのアドレスの下位８ビットを書き込みます。

これらのポインタやカウンタを格納するマクロ・サービス・チャネルは，LOCATION 0H命令実行時は0FE00H-0FEFFHの内部RAM空間に，LOCATION 0FH命令実行時は0FFE00H-0FFEFFHの内部RAM空間に配置します。マクロ・サービス・チャネルは，図22－30に示すようにチャネル・ポインタで示します。チャネル・ポインタには，マクロ・サービス・チャネル内にあるマクロ・サービス・カウンタへアドレスの下位８ビットを書き込みます。

図22－30　タイプCのマクロ・サービス・チャネル（1/2）

（a）リング制御なし

マクロ・サービス・バッファ・アドレス＝マクロ・サービス・ポインタ

注　ビット20-23は必ず０にしてください。

図22－30　タイプCのマクロ・サービス・チャネル（2/2）

（b）リング制御あり

マクロ・サービス・バッファ・アドレス＝マクロ・サービス・ポインタ

注　ビット20-23は必ず０にしてください。

（3）タイプC使用例

（a）基本動作

リアルタイム出力ポートへの出力パターンと出力インターバルを直接制御する例を示します。

１Mバイト空間にあらかじめ設定してある２つのデータ格納領域より，リアルタイム出力機能のバッファ・レジスタ（P0L），およびコンペア・レジスタ（CR10）に更新データを転送します。

図22－31　リアルタイム出力ポートによるステッピング・モータの開ループ制御

備考　図中の内部RAMのアドレスは，LOCATION 0H命令実行時の値です。

LOCATION 0FH命令実行時には，図中の値に0F0000Hを加えてください。

図22－32　データ転送制御のタイミング

（b）自動加算制御およびリング制御の使用例

（i）自動加算制御

マクロ・サービス・ポインタ（MPT）で指定された出力タイミング・データ（Δt）をコンペア・レジスタの内容に加算し，加算結果をコンペア・レジスタに書き戻します。

この自動加算制御を利用することにより，コンペア・レジスタの設定値をその都度プログラム中で計算させる必要がなくなります。

（ii）リング制御

リング制御は，あらかじめ決まる出力データ・パターンを１サイクル分だけ用意しておいて，１サイクル分の出力パターンをリング形式で繰り返し順に出力するものです。

リング制御を用いる場合，出力するデータ・パターンとして１サイクル分だけ準備すればよいため，データROM領域を小さくすることができます。

マクロ・サービス・カウンタ（MSC）のデクリメントは，１回のデータ転送ごとに行います。

リング制御の場合も，MSC = ０で割り込み要求を発生します。

たとえば，ステッピング・モータを制御する場合，対象となるステッピング・モータの構成，および１相励磁，２相励磁などの相励磁方式によって出力データ・パターンは変化しますが，いずれの場合も繰り返しパターンになります。例として，４相ステッピング・モータの１相励磁の場合と1-2相励磁の場合を図22－33，図22－34に示します。

図22－33　４相ステッピング・モータの１相励磁の場合

図22－34　４相ステッピング・モータの1-2相励磁の場合

図22－35　自動加算制御＋リング制御のブロック図１（1-2相励磁で出力タイミングが変化する場合）

備考　図中の内部RAMのアドレスは，LOCATION 0H命令実行時の値です。

LOCATION 0FH命令実行時には，図中の値に0F0000Hを加えてください。

図22－36　自動加算制御＋リング制御のタイミング図１（1-2相励磁で出力タイミングが変化する場合）

図22－37　自動加算制御＋リング制御のブロック図２（1-2相励磁の等速運動）

備考　図中の内部RAMのアドレスは，LOCATION 0H命令実行時の値です。

LOCATION 0FH命令実行時には，図中の値に0F0000Hを加えてください。

図22－38　自動加算制御＋リング制御のタイミング図２（1-2相励磁の等速運動）

22.8.9　カウンタ・モード

（1）動　　作

あらかじめマクロ・サービス・カウンタ（MSC）に設定した回数だけ，MSCのデクリメントを行います。

割り込みの発生回数を数えることができるので，割り込み発生周期が長いときに，イベント・カウンタとして使用することができます。

図22－39　マクロ・サービス・データ転送処理フロー（カウンタ・モード）

（2）マクロ・サービス・チャネルの構成

16ビットのマクロ・サービス・カウンタ（MSC）のみでマクロ・サービス・チャネルは構成されます。チャネル・ポインタには，MSCのアドレスの下位８ビットを書き込みます。

図22－40　カウンタ・モード

（3）カウンタ・モード使用例

外部割り込み端子　INTP5に入力されたエッジの回数をカウントする例を示します。

図22－41　エッジの回数のカウント

備考　図中の内部RAMのアドレスは，LOCATION 0H命令実行時の値です。
LOCATION 0FH命令実行時には，図中の値に0F0000Hを加えてください。

22.9　割り込み要求およびマクロ・サービスが一時的に保留される場合

次に示す命令を実行すると，8システム・クロックの間，割り込みの受け付けおよびマクロ・サービスの処理が一時的に保留されます。ただし，ソフトウエア割り込みは保留されません。

EI

DI

BRK

BRKCS

RETCS

RETCSB !addr16

RETI

RETB

LOCATION 0HまたはLOCATION 0FH

POP PSW

POPU post

MOV PSWL, A

MOV PSWL, #byte

MOVG SP, #imm24

割り込み制御レジスタ[注]，MK0, MK1L, IMC, ISPRの各レジスタに対する書き込み命令およびビット操作命令（BT, BF命令を除く）

PSWのビット操作命令

（ただし，BT PSWL. bit, $addr20, BF PSWL. bit, $addr20, BT PSWH. bit, $addr20, BF PSWH. bit, $addr20, SET1 CY, NOT1 CY, CLR1 CY命令を除く）。

注　割り込み制御レジスタ：PIC0, PIC1, PIC2, PIC3, PIC4, PIC5, CIC00, CIC01, CIC10, CIC11, CIC20, CIC21, CIC30, ADIC, SERIC, SRIC, CSIIC1, STIC, CSIIC, SERIC2, SRIC2, CSIIC2, STIC2,
SPCIC（μPD784038Yサブシリーズのみ）

注意１．割り込み関連のレジスタをBF命令などを使用してポーリングを行う場合，そのBF命令などの分岐先は，その命令とならないようにしてください。その命令自身へ分岐するようなプログラムを記述すると，その命令で分岐しない条件が成立するまでの間すべての割り込みとマクロ・サービスが保留されてしまいます。

悪い例

```
        ⋮
LOOP:   BF  PIC0.7, $LOOP
        ×××
        ⋮
```

PIC0.7が１になるまですべての割り込みおよびマクロ・サービスが保留されてしまう。
BF命令の次の命令実行後に初めて割り込みおよびマクロ・サービスが処理される。←

良い例（１）

```
        ⋮
LOOP:   NOP
        BF  PIC0.7, $LOOP
        ⋮
```

←NOP命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。

良い例（２）

```
        ⋮
LOOP:   BT   PIC0.7, $NEXT
        BR $LOOP
NEXT:   ⋮
```

BT命令のかわりにBTCLR命令を使用するとフラグを自動的にクリアしてくれるので便利。
BR命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。←

２．また，同様の理由により，上記に該当する命令群を連続して使用する場合で，割り込みやマクロ・サービスが保留されている期間が長くなっては困る場合には，NOP命令などを途中に挿入して割り込みやマクロ・サービスが受け付けられるタイミングを作ってください。

22.10　割り込みおよびマクロ・サービスで一時的に実行が中断される命令

次に示す命令は，受け付け可能な割り込み要求およびマクロ・サービスの要求により，一時的にその命令の実行を中断し，割り込みおよびマクロ・サービスを受け付けます。中断された命令は，割り込みサービス・プログラムの終了後，またはマクロ・サービス処理の終了後に再開します。

〈一時的に中断される命令〉

MOVM，XCHM，MOVBK，XCHBK

CMPME，CMPMNE，CMPMC，CMPMNC

CMPBKE，CMPBKNE，CMPBKC，CMPBKNC

SACW

22.11　割り込みおよびマクロ・サービスの動作タイミング

割り込み要求は，各ハードウエアで発生します。発生した割り込み要求は，割り込み要求フラグをセット（1）します。

割り込み要求フラグがセット（1）されると，優先順位などの判定を行うために8クロック（0.5 μs，f_{CLK} = 16 MHz）かかります。

その後，実行中の命令が終了した時点で，その割り込みまたはマクロ・サービスの受け付けが許可されていれば，その割り込み要求の受け付け処理を行います。なお，実行中の命令が割り込みおよびマクロ・サービスを一時的に保留する命令であれば，その次の命令終了後に受け付けられます（保留する命令については，**22.9 割り込み要求およびマクロ・サービスが一時的に保留される場合**参照）。

図22－42　割り込み要求の発生と受け付け（単位：クロック = 1/f_{CLK}）

22.11.1　割り込みの受け付け処理時間

割り込み要求の受け付けには，表22－７のような時間がかかります。表22－７の時間後に，割り込み処理プログラムの実行を開始します。

表22－７　割り込み受け付け処理時間

（単位：クロック = 1/f_{CLK}）

ベクタ・テーブル	IROM						EMEM					
分岐先	IROM，PRAM			EMEM			PRAM			EMEM		
スタック	IRAM	PRAM	EMEM	IRAM	PRAM	EMEM	IRAM	PRAM	EMEM	IRAM	PRAM	EMEM
ベクタ割り込み	26	29	37＋4n	27	30	38＋4n	30	33	41＋4n	31	34	42＋4n
コンテキスト・スイッチング	22	－	－	23	－	－	22	－	－	23	－	－

備考１． IROM ：内部ROM（ただし，高速フェッチ指定時）。

PRAM ：内部RAMの周辺RAM（ただし，分岐先の場合はLOCATION 0H命令実行時のみ）。

IRAM ：内部高速RAM。

EMEM：外部メモリおよび高速フェッチを指定していないときの内部ROM。

２． nは，スタックへの書き込み時に必要となる１バイト当たりのウエイト数（ウエイト数はアドレス・ウエイトとアクセス・ウエイトの合計です）。

３． ベクタ・テーブルがEMEMの場合で，ベクタ・テーブルの読み出し時にウエイトを挿入しているときは，表中の値に，ベクタ割り込み時は２m，コンテキスト・スイッチング時はmを加えてください。ただし，mはベクタ・テーブルの読み出し時に必要となる１バイト当たりのウエイト数です。

４． 分岐先がEMEMの場合で，分岐先の命令の読み込み時にウエイトを挿入しているときは，そのウエイト数を加えてください。

５． スタックがPRAMにとられている場合で，スタック・ポインタ（SP）の値が奇数の場合は，表中の値に４を加えてください。

６． ウエイト数は，アドレス・ウエイトとアクセス・ウエイトの合計数です。

22.11.2　マクロ・サービスの処理時間

マクロ・サービス処理は，マクロ・サービスのタイプなどにより異なり，表22－８のような時間となります。

表22－８　マクロ・サービス処理時間

（単位：クロック = 1/f_{CLK}）

マクロ・サービスの処理タイプ			データ領域	
			IRAM	その他
タイプA	SFR→メモリ	１バイト	24	－
		２バイト	25	－
	メモリ→SFR	１バイト	24	－
		２バイト	26	－
タイプB	SFR→メモリ		33	35
	メモリ→SFR		34	36
タイプC			49	53
カウンタ・モード	MSC≠０		17	－
	MSC = ０		25	－

備考１． IRAM：内部高速RAM。

２． その他のデータ領域で次の場合には，各場合ごとに指定されたクロック数を加算してください。

- IROM，PRAMでデータのサイズが２バイトで，奇数番地にデータが配置されている場合：４クロック。
- EMEMでデータ・サイズが１バイトの場合 ：データ・アクセス時のウエイト数。
- EMEMでデータ・サイズが２バイトの場合 ：4＋2n（ただし，nは１バイト当たりのウエイト数）。

３． タイプA，タイプB，タイプCで，MSC = ０となる場合は，１クロックを加算してください。

４． タイプCの場合，使用する機能やそのときの状態に応じて次の値を加算してください。

- リング制御：４クロック。ただし，リング制御時にリング・カウンタが０になった場合は，さらに７クロックを加算。

22.12　割り込み機能を初期状態に戻す方法

プログラムの暴走や，システムの異常をオペランド・エラー割り込みやウォッチドッグ・タイマ，NMI端子入力などで検出した場合，システム全体を初期状態に戻す必要があります。μPD784038は，割り込みの受け付けに関する優先順位の制御をハードウエアによって行います。この割り込みの受け付けに関するハードウエアも，初期状態にしないと以降の割り込みの受け付けに関する制御が異常になる場合があります。

次に，割り込みの受け付けに関するハードウエアをプログラムで初期化する方法を示します。なお，ハードウエアで初期化する方法は，$\overline{\text{RESET}}$入力しかありません。

例

```
        MOVW   MK0,#0FFFFH     ；マスカブル割り込みはすべてマスクする
        MOV    MK1L, #0FFH
IRESL   :
        CMP    ISPR, #0        ；すべての処理中の割り込みサービス・プログラムがなくなったか？
        BZ     $NEXT
        MOVG   SP, #RETVAL     ；SPの位置を強制的に変更
        RETI                   ；処理中の割り込みサービス・プログラムを強制終了，戻り番地はIRESL
RETVAL:
        DW     LOWW (IRESL)    ；RETI命令でIRESLへ戻るためのスタックのデータ
        DB     0
        DB     HIGHW (IRESL)   ；LOWW，HIGHWは，それぞれシンボルの下位16ビット，上
                                 位16ビットの値を計算するアセンブラの演算子
NEXT    :
```

- このプログラム実行中には，NMI端子によるノンマスカブル割り込み要求が発生しないようにする必要があります。
- この後，内蔵周辺ハードウエアの初期化および割り込み制御レジスタの初期化を行う
- 割り込み制御レジスタの初期化時には，割り込み要求フラグを必ずクリア（0）する

22.13　注意事項

（1）インサービス・プライオリティ・レジスタ（ISPR）は，読み出しのみ可能です。書き込みを行うと，誤動作する恐れがあります。

（2）ウォッチドッグ・タイマ・モード・レジスタ（WDM）は，専用命令（MOV WDM, #byte）でのみ書き込みが可能です。

（3）BRK命令によるソフトウエア割り込みからの復帰に，RETI命令を使用してはいけません。
RETB命令を使用してください。

（4）BRKCS命令によるソフトウエア割り込みからの復帰に，RETCS命令を使用してはいけません。
RETCSB命令を使用してください。

（5）マスカブル割り込みをベクタ割り込みで受け付けた場合は，必ずRETI命令で復帰してください。他の命令では，以降の割り込みに関する動作が正常に行われません。

（6）コンテキスト・スイッチングによる割り込みからの復帰には，必ずRETCS命令を使用してください。他の命令では，以降の割り込みに関する動作が正常に行われません。

（7）ノンマスカブル割り込みサービス・プログラム中でもマクロ・サービスの要求は受け付けられ，処理されます。ノンマスカブル割り込みサービス・プログラム中でマクロ・サービスの処理を行いたくない場合は，ノンマスカブル割り込みサービス・プログラム中で割り込みマスク・レジスタを操作して，マクロ・サービスが発生しないようにしてください。

（8）ノンマスカブル割り込みからの復帰には，必ずRETI命令を使用してください。他の命令では，以降の割り込みの受け付けが正常に行われません。ノンマスカブル割り込み受け付け後，初期状態からプログラムを再開したい場合は，22.12　割り込み機能を初期状態に戻す方法を参照してください。

（9）ノンマスカブル割り込みは，ノンマスカブル割り込みサービス・プログラム実行中（優先順位の低いノンマスカブル割り込みサービス・プログラム実行中に，優先順位の高いノンマスカブル割り込みの要求が発生した場合を除く）および22.9に示す特定命令の実行後の一定期間を除いては必ず受け付けられます。したがって，特にリセット解除後などのスタック・ポインタ（SP）の値が不定の場合でもノンマスカブル割り込みを受け付けます。このときのSPの値によっては特殊機能レジスタ（SFR）の書き込みを禁止しているアドレス（3.9　特殊機能レジスタ（SFR）の表3－5参照）へプログラム・カウンタ（PC）およびプログラム・ステータス・ワード（PSW）を書き込んでしまい，CPUがデッドロックしてしまったり，端子から予期しない信号を出力したり，RAMが実装されていないアドレスへPCやPSWを書き込むことにより，ノンマスカブル割り込み処理プログラムからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。
したがって，$\overline{\text{RESET}}$解除後のプログラムは必ず次のようにしてください。

```
        CSEG  AT 0
        DW    STRT
        CSEG  BASE
STRT:
        LOCATION 0FH      ; or LOCATION 0H
        MOVG  SP, #imm24
```

(10) 割り込み関連のレジスタをBF命令などを使用してポーリングを行う場合，そのBF命令などの分岐先は，その命令とならないようにしてください。その命令自身へ分岐するようなプログラムを記述すると，その命令で分岐しない条件が成立するまでの間すべての割り込みとマクロ・サービスが保留されてしまいます。

悪い例

```
        ⋮
LOOP:   BF  PIC0.7, $LOOP   ← PIC0.7が１になるまですべての割り込みおよびマクロ・サービスが保留されてしまう。
        ×××                 ← BF命令の次の命令実行後に初めて割り込みおよびマクロ・サービスが処理される。
        ⋮
```

良い例（１）

```
        ⋮
LOOP:   NOP
        BF  PIC0.7, $LOOP   ← NOP命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。
        ⋮
```

良い例（２）

```
        ⋮
LOOP:   BT  PIC0.7, $NEXT   ← BT命令のかわりにBTCLR命令を使用するとフラグを自動的にクリアしてくれるので便利。
        BR $LOOP            ← BR命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。
NEXT:   ⋮
```

(11) (10) と同様の理由により，上記に該当する命令群を連続して使用する場合で，割り込みやマクロ・サービスが保留されている期間が長くなっては困る場合には，NOP命令などを途中に挿入して割り込みやマクロ・サービスが受け付けられるタイミングを作ってください。

第23章　ローカル・バス・インタフェース機能

ローカル・バス・インタフェース機能は，外部にメモリ（ROM，RAM）およびI/Oを接続するための機能です。

外部のメモリ（ROM，RAM）およびI/Oは，AD0-AD7端子をマルチプレクスト・アドレス／データ・バス，A8-A19端子をアドレス・バスとし，$\overline{RD}$，$\overline{WR}$，ASTB端子信号を用いてアクセスします。

図23－７，図23－８に基本的なバス・インタフェース・タイミングを示します。

また，低速なメモリとインタフェースするためのウエイト機能，疑似スタティックRAMをリフレッシュするためのリフレッシュ信号出力機能，DMAコントローラなどのバス・マスタ機能を持つデバイスを接続するためのバス・ホールド機能を備えています。

23.1　メモリ拡張機能

μPD784038は，メモリ拡張モード・レジスタ（MM）の設定により，外部にメモリおよびI/Oの拡張ができます。

μPD784031は，初期状態から64 Kバイトの外部メモリがアクセスできます。MMの設定により，アクセス可能なメモリ空間を拡張できます。

23.1.1　メモリ拡張モード・レジスタ（MM）

MMは，外部拡張メモリの制御，アドレス・ウエイト数の指定，内部フェッチ・サイクルの制御を行う８ビット・レジスタです。

８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。図23－１に，MMのフォーマットを示します。

$\overline{RESET}$入力で20Hになります。

図23－1　メモリ拡張モード・レジスタ（MM）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MM	IFCH	0	AW	0	MM3	MM2	MM1	MM0	0FFC4H	20H	R/W

MM3	MM2	MM1	MM0	モード	ポート4	ポート5	P60-P63	P64/$\overline{RD}$	P65/$\overline{WR}$	ASTB/CLK OUT
0	0	0	0	シングル・チップ・モード注	ポート	ポート	ポート	ポート	ポート	CLK OUT
0	0	1	1	256バイト拡張モード注	AD0-AD7	ポート	ポート	$\overline{RD}$	$\overline{WR}$	ASTB
0	1	0	0	1 Kバイト拡張モード注	AD0-AD7	A8, A9 ポート	ポート	$\overline{RD}$	$\overline{WR}$	
0	1	0	1	4 Kバイト拡張モード注	AD0-AD7	A8-A11 ポート	ポート	$\overline{RD}$	$\overline{WR}$	
0	1	1	0	16 Kバイト拡張モード注	AD0-AD7	A8-A13 ポート	ポート	$\overline{RD}$	$\overline{WR}$	
0	1	1	1	64 Kバイト拡張モード	AD0-AD7	A8-A15	ポート	$\overline{RD}$	$\overline{WR}$	
1	0	0	0	256 Kバイト拡張モード	AD0-AD7	A8-A15	A16, A17 ポート	$\overline{RD}$	$\overline{WR}$	
1	0	0	1	1 Mバイト拡張モード	AD0-AD7	A8-A15	A16-A19	$\overline{RD}$	$\overline{WR}$	
上記以外				設定禁止						

注　μPD784031の場合，これらの設定は64 Kバイト拡張モードと同じになります。

AW	アドレス・ウエイト指定
0	禁止
1	許可

IFCH	内部ROMフェッチ
0	外部メモリと同じ速度でフェッチする ウエイト制御の設定がすべて有効
1	高速フェッチを行う ウエイト制御の指定は無効

23.1.2　外部メモリ拡張時のメモリ・マップ

メモリ拡張時のメモリ・マップを図23－２-図23－５に示します。メモリ拡張時であっても，内部ROM領域，内部RAM領域およびSFR領域（外部SFR領域（0FFD0H-0FFDFH）を除く）と同一のアドレスにある外部デバイスはアクセスできません。これらのアクセスに対するアクセス時には，μPD784038内のメモリおよびSFRが優先的にアクセスされ，ASTB信号，$\overline{\text{RD}}$信号，$\overline{\text{WR}}$信号は出力されません（インアクティブ・レベルのまま）。また，アドレス・バスの出力レベルはそれ以前に出力したレベルのままとなり，アドレス／データ・バスの出力はハイ・インピーダンスになります。

１Mバイト拡張モード以外では，外部に出力されるアドレスは，プログラムで指定したアドレスの上位側がマスクされた状態で出力されます。

〈例１〉

256バイト拡張モード時に，プログラムで54321H番地をアクセスする場合，出力されるアドレスは21Hとなる。

〈例２〉

256バイト拡張モード時に，プログラムで67821H番地をアクセスする場合，出力されるアドレスは21Hとなる。

図23－２　μPD784035のメモリ・マップ（1/2）

（ａ）LOCATION 0H命令実行時

注１．アミのない部分の任意の拡張サイズ分の領域

２．外部SFR領域

図23－２　μPD784035のメモリ・マップ（2/2）

（b）LOCATION 0FH命令実行時

注１．アミのない部分の任意の拡張サイズ分の領域

２．外部SFR領域

図23－３　μPD784036のメモリ・マップ（1/2）

（ａ）LOCATION 0H命令実行時

注１．アミのない部分の任意の拡張サイズ分の領域

２．外部SFR領域

図23－３　μPD784036のメモリ・マップ（2/2）

（b）LOCATION 0FH命令実行時

注１．アミのない部分の任意の拡張サイズ分の領域

２．外部SFR領域

図23－４　μPD784037のメモリ・マップ（1/2）

（ａ）LOCATION 0H命令実行時

注１．アミのない部分の任意の拡張サイズ分の領域

２．外部SFR領域

図23－４　μPD784037のメモリ・マップ（2/2）

（ｂ）LOCATION 0FH命令実行時

注１．アミのない部分の任意の拡張サイズ分の領域

２．外部SFR領域

図23－５　μPD784038のメモリ・マップ（1/2）

（ａ）LOCATION 0H命令実行時

注１．アミのない部分の任意の拡張サイズ分の領域

２．外部SFR領域

図23－５　μPD784038のメモリ・マップ（2/2）

（b）LOCATION 0FH命令実行時

注１．アミのない部分の任意の拡張サイズ分の領域

２．外部SFR領域

図23－６　μPD784031のメモリ・マップ（1/2）

（ａ）LOCATION 0H命令実行時

注　外部SFR空間

図23－6　μPD784031のメモリ・マップ（2/2）

（b）LOCATION 0FH命令実行時

注　外部SFR空間

23.1.3　ローカル・バス・インタフェースの基本動作

ローカル・バス・インタフェースは，ASTB，$\overline{RD}$，$\overline{WR}$，アドレス／データ・バス（AD0-AD7），アドレス・バス（A8-A19）を使用して外付けのメモリなどをアクセスします。ローカル・バス・インタフェース使用時は，P64，P65およびポート４は自動的に$\overline{RD}$，$\overline{WR}$，AD0-AD7として動作するようになります。μPD784031の場合は，常時，$\overline{RD}$，$\overline{WR}$，AD0-AD7としてのみ動作します。アドレス・バスは拡張するメモリ・サイズに応じた端子のみがアドレス・バスとして動作します。

メモリ・アクセスのタイミングの概要を，図23－７，図23－８に示します。

図23－７　リード・タイミング

注　拡張モードのサイズにより，使用するアドレス・バスの端子数は変わります。

図23－８　ライト・タイミング

注　拡張モードのサイズにより，使用するアドレス・バスの端子数は変わります。

23.2　ウエイト機能

μPD784038は外部に低速なメモリ，I/Oを接続する場合，外部メモリ・アクセス・サイクルにウエイトを挿入することができます。

ウエイト・サイクルには，アドレスのデコード時間を確保するためのアドレス・ウエイトと，アクセス・タイムを確保するためのアクセス・ウエイトがあります。

23.2.1　ウエイト機能の制御レジスタ

（1）メモリ拡張モード・レジスタ（MM）

MMのIFCHビットで内部ROMアクセス時のウエイト制御の設定と，AWビットでアドレス・ウエイトの設定を行います。

MMは，8ビット操作命令で読み出し／書き込みが可能です。図23－9に，MMのフォーマットを示します。

$\overline{\text{RESET}}$入力により20Hになり，内部ROMアクセスは外部メモリと同等のサイクルになり，アドレス・ウエイト機能が有効となります。

図23－9　メモリ拡張モード・レジスタ（MM）のフォーマット

（2）プログラマブル・ウエイト制御レジスタ（PWC1，PWC2）

PWC1，PWC2は，ウエイト数を指定するレジスタです。

PWC1は，0-FFFFHの空間を４分割し，分割した各空間ごとにウエイトの制御を指定する８ビットのレジスタです。PWC2は，10000H-FFFFHの空間を４分割し，分割した各空間ごとにウエイトの制御を指定する16ビットのレジスタです。

PWC1は８ビット操作命令で，PWC2は16ビット操作命令で読み出し／書き込みが可能です。図23－９に，PWC1，PWC2のフォーマットを示します。

なお，PWC2の上位８ビットはAAHに固定されていますので，必ず上位８ビットはAAHになるようにしてください。

$\overline{\text{RESET}}$入力により，PWC1はAAHに，PWC2はAAAAHになり，全空間に対して，２ウエイトの挿入が行われます。

注意　内部ROM領域に対して，外部ウエイトを設定しないでください。内部ROM領域に対して外部ウエイトが設定されると，CPUがデッドロック状態となります。デッドロック状態は，リセット入力によってのみ解除されます。

図23－10　プログラマブル・ウエイト制御レジスタ（PWC1, PWC2）のフォーマット

（a）プログラマブル・ウエイト制御レジスタ１（PWC1）

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PWC1	PW31	PW30	PW21	PW20	PW11	PW10	PW01	PW00	0FFC7H	AAH	R/W

（n = 0-3）

ウエイト対象アドレス		00C000H-00FFFFH 注	008000H-00BFFFH	004000H-007FFFH	000000H-003FFFH
PWn1	PWn0				
0	0	アクセス・ウエイト挿入なし			
0	1	１ウエイトのアクセス・ウエイト挿入			
1	0	２ウエイトのアクセス・ウエイト挿入			
1	1	$\overline{\text{WAIT}}$端子に入力されるロウ・レベル時間だけアクセス・ウエイト挿入			

注　内部データ領域と重なる部分を除く

（b）プログラマブル・ウエイト制御レジスタ２（PWC2）

	15	14	13	12	11	10	9	8	アドレス	リセット時	R/W
PWC2	1	0	1	0	1	0	1	0	0FFC8H	AAAAH	R/W

7	6	5	4	3	2	1	0
PW71	PW70	PW61	PW60	PW51	PW50	PW41	PW40

（n = 4-7）

ウエイト対象アドレス		080000H-0FFFFFH 注	040000H-07FFFFH	020000H-03FFFFH	010000H-01FFFFH
PWn1	PWn0				
0	0	アクセス・ウエイト挿入なし			
0	1	１ウエイトのアクセス・ウエイト挿入			
1	0	２ウエイトのアクセス・ウエイト挿入			
1	1	$\overline{\text{WAIT}}$端子に入力されるロウ・レベル時間だけアクセス・ウエイト挿入			

注　内部データ領域と重なる部分を除く

注意　バス・ホールド機能使用時には，$\overline{\text{WAIT}}$端子によるアクセス・ウエイトの制御はできません。必ず，すべての空間に対して０，１または２ウエイトを選択してください。

23.2.2　アドレス・ウエイト

アドレス・ウエイトは，アドレスのデコード時間を確保するためのウエイトです。メモリ拡張モード・レジスタ（MM）のAWビットをセット（1）することにより，すべてのメモリ・アクセス時[注]に挿入されます。アドレス・ウエイトを挿入すると，ASTB信号のハイ・レベルの期間が1システム・クロック（62.5 ns, f_{CLK} = 16 MHz時）長くなります。

注　内部RAM，内部のSFRおよび高速フェッチ時の内部ROMを除く。
なお，内部ROMアクセスを外部ROMアクセスと同じサイクルで行うように指定した場合は，内部ROMアクセス時にもアドレス・ウエイトが挿入されます。

図23－11　アドレス・ウエイト機能によるリード／ライト・タイミング（1/3）

（a）アドレス・ウエイト未挿入時のリード・タイミング

注　f_{CLK}：内部システム・クロック周波数。この信号は，μPD784038内にのみ存在する信号です。

図23－11　アドレス・ウエイト機能によるリード／ライト・タイミング（2/3）

（b）アドレス・ウエイト挿入時のリード・タイミング

注　fCLK：内部システム・クロック周波数。この信号はμPD784038内にのみ存在する信号です。

図23－11　アドレス・ウエイト機能によるリード／ライト・タイミング（3/3）

（c）アドレス・ウエイト未挿入時のライト・タイミング

（d）アドレス・ウエイト挿入時のライト・タイミング

注　f_{CLK}：内部システム・クロック周波数。この信号はμPD784038内にのみ存在する信号です。

23.2.3　アクセス・ウエイト

アクセス・ウエイトは，$\overline{\text{RD}}$，$\overline{\text{WR}}$信号のロウ・レベルの期間中に挿入され，１サイクルあたり1/f_{CLK}（62.5 ns, f_{CLK} = 16 MHz時）ずつロウ・レベルの期間が引き延ばされます。

ウエイトの挿入方法としては，あらかじめ設定したサイクル数を自動的に挿入するプログラマブル・ウエイト機能，外部からウエイト信号によって制御する外部ウエイト機能とがあります。

ウエイト・サイクル挿入の制御は，１Mバイトのメモリ空間を図23－12のように８分割して，各空間ごとにプログラマブル・ウエイト制御レジスタ（PWC1, PWC2）で指定します。なお，高速フェッチ時の内部ROMおよび内部RAMに対するアクセス時には，ウエイトは挿入されません。また，内部のSFRに対するアクセス時には，この指定とは無関係に必要なタイミングでウエイトが挿入されます。

外部ROMと同じサイクル数でアクセス動作を行うよう指定した場合は，PWC1の設定にしたがって，内部ROMのアクセスにもウエイトが入ります。

P66端子は，PWC1，PWC2で外部からのウエイト信号で制御することを選択した空間があると，$\overline{\text{WAIT}}$信号入力端子として動作するようになります。$\overline{\text{RESET}}$入力により，P66端子は汎用入出力ポートとして動作するようになります。

アクセス・ウエイト挿入時のバス・タイミングを図23－13-図23－15に示します。

注意１．バス・ホールド機能使用時には，外部ウエイト機能は使用できません。

２．内部ROM領域に対して，外部ウエイトを設定しないでください。内部ROM領域に対して外部ウエイトが設定されると，CPUがデッドロック状態となります。デッドロック状態は，リセット入力によってのみ解除されます。

図23－12　ウエイト制御の空間

図23－13　アクセス・ウエイト機能によるリード・タイミング（1/2）

（a）0ウエイト・サイクル設定時

（b）1ウエイト・サイクル設定時

注　fCLK：内部システム・クロック周波数。この信号は，μPD784038内にのみ存在する信号です。

図23－13　アクセス・ウエイト機能によるリード・タイミング（2/2）

（c）２ウエイト・サイクル設定時

注　fCLK：内部システム・クロック周波数。この信号は，μPD784038内にのみ存在する信号です。

図23－14　アクセス・ウエイト機能によるライト・タイミング（1/2）

（a）0ウエイト・サイクル設定時

（b）1ウエイト・サイクル設定時

注　fCLK：内部システム・クロック周波数。この信号は，μPD784038内にのみ存在する信号です。

図23－14　アクセス・ウエイト機能によるライト・タイミング（2/2）

（c）２ウエイト・サイクル設定時

注　fCLK：内部システム・クロック周波数。この信号は，μPD784038内にのみ存在する信号です。

図23－15　外部ウエイト信号によるタイミング

（a）リード・タイミング

（b）ライト・タイミング

注　fCLK：内部システム・クロック周波数。この信号は，μPD784038内にのみ存在する信号です。

23.3　疑似スタティックRAMリフレッシュ機能

μPD784038では，疑似スタティックRAMを直接接続するための疑似スタティックRAMリフレッシュ機能を内蔵しています。

疑似スタティックRAMリフレッシュ機能は，任意のインターバルでリフレッシュ・パルスを出力します。リフレッシュ・モード・レジスタ（RFM）の設定により，リフレッシュ・パルス出力間隔を指定します。

リフレッシュ領域指定レジスタ（RFA）で，メモリ・アクセス動作と同時にリフレッシュ動作を行ってよいアドレスを指定します。これにより，リフレッシュ動作のためのバス・サイクルの挿入を大幅に低減でき，リフレッシュ動作によるパフォーマンスの低下を最小限にすることができます。

μPD784038では，疑似スタティックRAMの応用システムの低消費電力を実現するセルフ・リフレッシュ動作をサポートするための機能も備えています。

注意　バス・ホールド機能使用時には，リフレッシュ機能は使用できません。

23.3.1　制御レジスタ

（1）リフレッシュ・モード・レジスタ（RFM）

RFMは，疑似スタティックRAMのリフレッシュ周期およびセルフ・リフレッシュ動作への切り替えを制御する８ビット・レジスタです。

８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。図23－16に，RFMのフォーマットを示します。

$\overline{\text{RESET}}$入力で00Hにクリアされます。$\overline{\text{REFRQ}}$端子はポート・モードになり，兼用であるP67端子として動作します。

図23－16　リフレッシュ・モード・レジスタ（RFM）のフォーマット

	⑦	6	5	④	3	2	1	0	アドレス	リセット時	R/W
RFM	RFLV	0	0	RFEN	0	0	RFT1	RFT0	0FFCCH	00H	R/W

（f_{CLK} = 16 MHz）

RFT1	RFT0	リフレッシュ・パルス出力周期指定
0	0	32/f_{CLK}注（2μs）
0	1	64/f_{CLK}　（4μs）
1	0	128/f_{CLK}（8μs）
1	1	256/f_{CLK}（16μs）

注　f_{CLK}：内部システム・クロック周波数

RFLV	RFEN	$\overline{\text{REFRQ}}$端子出力制御
×	0	ポート・モード
0	1	セルフ・リフレッシュ動作（$\overline{\text{REFRQ}}$ロウ・レベル）
1	1	リフレッシュ・パルス出力許可

備考　×：０または１

注意　バス・ホールド機能使用時には，リフレッシュ機能は使用できません。必ずリフレッシュ禁止に指定してください。

（2）リフレッシュ領域指定レジスタ（RFA）

RFAは，メモリ・アクセス動作とリフレッシュ動作を同時に行うことができる領域を指定する８ビット・レジスタです。

８ビット操作命令とビット操作命令で，読み出し／書き込みが可能です。図23－17に，RFAのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図23－17　リフレッシュ領域指定レジスタ（RFA）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RFA	RFA7	RFA6	RFA5	RFA4	RFA3	RFA2	RFA1	RFA0	0FFCDH	00H	R/W

（n = 0-7）

RFAn ＼ リフレッシュ指定領域	080000H-0FFFFFH	040000H-07FFFFH	020000H-03FFFFH	010000H-01FFFFH	00C000H-00FFFFH	008000H-00BFFFH	004000H-007FFFH	000000H-003FFFH
0	対応するブロックのメモリ・アクセス動作とリフレッシュを同時に行う							
1	対応するブロックのメモリ・アクセス動作とリフレッシュを排他的に行う							

23.3.2　動　　作

（1）パルス・リフレッシュ動作

疑似スタティックRAMのパルス・リフレッシュ・サイクルをサポートするため，バス・サイクルに同期して$\overline{\text{REFRQ}}$端子からリフレッシュ・パルスを出力します。

リフレッシュ・パルスは８ms間に512回以上発生するようにシステム・クロック周波数とリフレッシュ・モード・レジスタ（RFM）のビット１，０（RFT1，RFT0）で調整します。

表23－１　疑似スタティックRAM使用時のシステム・クロック周波数とリフレッシュ・パルス出力周期

システム・クロック周波数（f_{CLK}）MHz	リフレッシュ・パルス出力周期指定	RFT1	RFT0
$8.192 < f_{CLK} \leqq 16$	$128/f_{CLK}$	1	0
$4.096 < f_{CLK} \leqq 8.192$	$64/f_{CLK}$	0	1
$2.048 < f_{CLK} \leqq 4.096$	$32/f_{CLK}$	0	0

このパルス・リフレッシュ動作は，外部メモリ・アクセス動作と重ならないように行われます。リフレッシュ・サイクル中は，外部メモリ・アクセス・サイクルを保留し（ASTB，$\overline{\text{RD}}$，$\overline{\text{WR}}$などはインアクティブ），外部メモリ・アクセス・サイクル中ではリフレッシュ・サイクルを保留します。

外部メモリ・アクセス動作と重ならない場合は，CPUの命令実行に影響を与えずにリフレッシュ・サイクルを行います。

（a）内部メモリ・アクセス時

外付けの疑似スタティックRAMをアクセスしない内部メモリ・アクセス時においても，疑似スタティックRAMに格納されたデータが保持されるように，リフレッシュ・バス・サイクルをリフレッシュ・モード・レジスタ（RFM）で指定された間隔で出力します。この場合，CPUの命令実行に影響を与えません。

図23－18　内部メモリ・アクセス時のパルス・リフレッシュ動作

注　RFMのRFT1，RFT0ビットで指定される周期

（b）外部メモリ・アクセス時

リフレッシュ領域指定レジスタ（RFA）のクリア（0）されているビットに相当するアドレスへのアクセス時には，リフレッシュ・モード・レジスタ（RFM）で指定された周期とは無関係に，必ず$\overline{\text{RD}}$信号または$\overline{\text{WR}}$信号と同時に，$\overline{\text{REFRQ}}$端子からリフレッシュ・パルスを出力します。

リフレッシュ・パルス出力後，内部メモリへのアクセスや，RFAのセット（1）されているビットに相当するアドレスへのアクセスが連続し，RFMのRFT0，RFT1ビットで指定された時間が経過すると，メモリ・アクセス・サイクルと重ならないようにリフレッシュ・バス・サイクルを発生し，リフレッシュ・パルスを出力します。

これにより，PROMなどのリフレッシュが不要なメモリをアクセスしている間に，リフレッシュを行うことができ，リフレッシュ・バス・サイクルの挿入を少なくすることができ，命令実行を効率的に行うことができます。

図23－19　リフレッシュ・パルス出力動作

（2）セルフ・リフレッシュ動作

スタンバイ・モード時も疑似スタティックRAMの内容を保持させるためのモードです。

（a）セルフ・リフレッシュ動作モードの設定

リフレッシュ・モード・レジスタ（RFM）のビット4（RFEN）を“1”，ビット7（RFLV）を“0”に設定すると，$\overline{\text{REFRQ}}$端子からロウ・レベルを出力し，疑似スタティックRAMにセルフ・リフレッシュ動作モードを指示します。

（b）セルフ・リフレッシュ動作からの復帰

疑似スタティックRAMへのリフレッシュ･パルスの出力は，$\overline{\text{REFRQ}}$端子出力レベルがロウ・レベルからハイ・レベルに変化してから200 ns程度[注]は禁止されています。したがってμPD784038は$\overline{\text{REFRQ}}$端子をリフレッシュ･タイミング・カウンタに同期して立ち上げることにより，禁止時間内にリフレッシュ･パルスを出力しないようにしています。

また，この$\overline{\text{REFRQ}}$端子レベルがロウ・レベルからハイ・レベルに変化したことを知ることができるように，RFLVビットの読み出しレベルは$\overline{\text{REFRQ}}$端子レベルがロウ・レベルからハイ・レベルに変化したときセット（1）されるようになっています。

注　疑似スタティックRAMのスピード・ランクなどによりこの時間は変化します。

図23－20　セルフ・リフレッシュ動作からの復帰タイミング

注　リフレッシュ禁止時間

23.4　バス・ホールド機能

バス・ホールド機能は，DMAコントローラなどのバス・マスタとなるデバイスを接続するための機能です。バス・マスタとなるデバイスからの要求に応じて，ローカル・バス・インタフェース用の端子をすべてハイ・インピーダンスにして（HLDAKを除く），ローカル・バス・インタフェースの使用権を明け渡します。

外部ウエイト機能，リフレッシュ機能使用時には，バス・ホールド機能を使用することはできません。

23.4.1　ホールド・モード・レジスタ（HLDM）

HLDMは，バス・ホールド機能の許可／禁止を指定する８ビット・レジスタです。図23－21に，HLDMのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされ，バス・ホールド機能は禁止されます。また，HLDRQ，HLDAK端子はポート・モードとなり，P66，P67端子として動作します。

図23－21　ホールド・モード・レジスタ（HLDM）のフォーマット

	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
HLDM	HLDE	0	0	0	0	0	0	0	0FFC5H	00H	R/W

HLDE	バス・ホールドの許可／禁止	P66	P67
0	禁止	ポートまたは $\overline{\text{WAIT}}$	ポートまたは $\overline{\text{REFRQ}}$
1	許可	HLDRQ	HLDAK

注意　外部ウエイト機能，リフレッシュ機能使用時には，必ずバス・ホールド禁止にしてください。

23.4.2　動　　作

ホールド・モード・レジスタ（HLDM）のHLDEビットがセット（1）されると，バス・ホールド機能は許可されます。バス・ホールド機能が許可されると，P66，P67端子はそれぞれHLDRQ，HLDAK端子として動作します。HLDRQ端子はハイ・インピーダンスになり，HLDAK端子はロウ・レベルを出力します。

バス・ホールド機能許可時に，HLDRQ端子にハイ・レベルが入力されると，実行中のアクセス動作終了後にアドレス・バス（A8-A19），アドレス／データ・バス（AD0-AD7），$\overline{RD}$，$\overline{WR}$，ASTB端子をすべてハイ・インピーダンスにし，HLDAK端子からの出力レベルをハイ・レベルにし，ホールド・モードになります。このとき，アドレス・バス，アドレス／データ・バス，$\overline{RD}$, $\overline{WR}$, ASTB端子はハイ・インピーダンス状態となるため，$\overline{RD}$, $\overline{WR}$端子にプルアップ抵抗，ASTB端子にプルダウン抵抗を接続することを推奨します。

HLDAK端子がハイ・レベルの期間中（ホールド・モード中）は，μPD784038は，ローカル・バス・インタフェースを使用しないので，外付けのDMAコントローラなどが自由にメモリをアクセスすることができます。

HLDRQ端子入力がハイ・レベルからロウ・レベルに変化すると，ホールド・モードは解除され，HLDAK端子をハイ・レベルからロウ・レベルにしたあと，μPD784038はローカル・バスの使用を再開します。

ホールド・モードへの移行は，バス・サイクルの切れ目で行われ，実行途中の命令が中断される場合もあります。

内部メモリからのフェッチ時には，ローカル・バス・インタフェースを使用する命令が来るまで，命令の実行は可能です。したがって，外部メモリへのアクセスがなければ，命令の実行は中断しません。

また，外部メモリからのフェッチ時には，ローカル・バス・インタフェースを使用しない命令を実行中にホールド・モードに移行した場合，μPD784038は，プリフェッチ済みの命令についてローカル・バス・インタフェースを使用する命令が出現するまで命令の実行を継続し，ローカル・バス・インタフェースを使用する命令が出現するか，プリフェッチ済みの命令がなくなった時点で命令の実行を中断します。中断された命令は，ホールド・モードが解除されると，中断されたところから命令の実行を再開します。

内部ROMまたは内部RAMからのフェッチ時には，ローカル・バス・インタフェースを使用する命令が出現するまで命令の実行を継続します。

図23－22　ホールド・モードのタイミング

23.5　注意事項

（1）バス・ホールド機能使用時には，外部ウエイト機能（$\overline{\text{WAIT}}$端子によるアクセス・ウエイトの制御）は使用できません。必ず，すべての空間に対して０，１または２ウエイトを選択してください。

（2）バス・ホールド機能使用時には，リフレッシュ機能は使用できません。必ずリフレッシュ禁止に指定してください。

（3）内部ROM領域に対して，外部ウエイトを設定しないでください。内部ROM領域に対して外部ウエイトが設定されると，CPUがデッドロック状態となります。デッドロック状態は，リセット入力によってのみ解除されます。

第24章　スタンバイ機能

24.1　構成と機能

μPD784038は，システムの消費電力を低減させることのできるスタンバイ機能を持っています。スタンバイ機能には次のような３つのモードがあります。

- HALTモード …… CPUの動作クロックを停止させるモードです。通常動作モードとの組み合わせによる間欠動作により，システムのトータル消費電力を低下させることができます。
- IDLEモード …… 発振回路の動作を継続したまま，それ以外のシステム全体が停止するモードです。STOPモードに近い低消費電力と，HALTモードと同等の時間で，通常のプログラム動作に復帰できます。
- STOPモード…… 発振回路を停止させ，システム全体が停止するモードです。リーク電流だけの超低消費電力にすることができます。

各モードにはソフトウエアによって設定します。図24－１に，スタンバイ・モード（STOP/IDLE/HALTモード）の遷移図を示します。

図24－２に，スタンバイ機能のブロック図を示します。

図24－１　スタンバイ・モードの遷移図

注１．INTP4，INTP5はマスクされていない場合
　２．マスクされていない割り込み要求のみ

備考　NMIは外部入力のみ有効です。ウォッチドッグ・タイマは，スタンバイの解除（STOPモード／HALTモード／IDLEモード）には使用できません。

図24－2　スタンバイ機能のブロック図

24.2　制御レジスタ

24.2.1　スタンバイ・コントロール・レジスタ（STBC）

STBCは，STOPモードの設定と，内部システム・クロックを選択するためのレジスタです。

プログラムの暴走によって誤ってスタンバイ・モードに入らないように，専用命令によってのみ書き込みができます。この専用命令は，MOV STBC，#byte命令で，特殊なコード構成（４バイト）になっています。３バイト目と４バイト目のオペコードが互いに１の補数の場合のみ，書き込みが行われます。

また，３バイト目と４バイト目のオペコードが互いに１の補数でなければ書き込みが行われず，オペランド・エラー割り込みが発生します。この場合，スタック領域に退避されるリターン・アドレスは，エラーの原因となった命令のアドレスです。したがって，スタック領域に退避されたリターン・アドレスにより，エラーの原因となったアドレスを知ることができます。

なお，単純にオペランド・エラーからRETB命令で復帰を行うと，無限ループとなります。

オペランド・エラー割り込みは，プログラムが暴走している場合のみ発生する（当社製アセンブラRA78K4では，MOV STBC，#byteと記述された場合，正しい専用命令しか生成しません）ので，システムの初期化をプログラムで行うようにしてください。

他の書き込み命令（MOV STBC，AやAND STBC，#byteやSET1 STBC.7など）は無視され，何の動作も行いません。つまり，STBCへの書き込みは行われず，また，オペランド・エラー割り込みのような割り込みも発生しません。

STBCの読み出しは，データ転送命令によりいつでもできます。

$\overline{\text{RESET}}$入力により30Hになります。

図24－３に，STBCのフォーマットを示します。

図24－３　スタンバイ・コントロール・レジスタ（STBC）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
STBC	0	0	CK1	CK0	×	0	STP	HLT	0FFC0H	30H	R/W

STP	HLT	動作モード
0	0	通常動作モード
0	1	HALTモード
1	0	STOPモード
1	1	IDLEモード

（f_{XX} = 32 MHz）

CK1	CK0	内部システム・クロックの選択
0	0	$f_{XX}/2$　（16 MHz）
0	1	$f_{XX}/4$　（8 MHz）
1	0	$f_{XX}/8$　（4 MHz）
1	1	$f_{XX}/16$（2 MHz）

注意１．外部クロック入力使用時にSTOPモードを使用する場合は，発振安定時間指定レジスタ（OSTS）のEXTCビットを，必ずセット（１）してからSTOPモードを設定してください。外部クロック入力時にOSTSのEXTCビットがクリア（０）されている状態でSTOPモードを使用すると，μPD784038の破壊または信頼性の低下を招く可能性があります。
なお，OSTSのEXTCビットをセット（１）する場合には，必ずX2端子に，X1端子に入力しているクロックの逆相のクロックを入力する必要があります（4.3.1　クロック発振回路参照）。

２．スタンバイ命令のあと（スタンバイ解除後）は，NOP命令を３回実行させてください。そうしないとスタンバイ命令の実行と割り込み要求が競合した場合に，スタンバイ命令を実行せず，スタンバイ命令に続く複数の命令を実行後に割り込みを受け付けます。割り込み受け付け前に実行する命令は，スタンバイ命令実行後の最大６クロック以内に実行を開始する命令です。

例
```
MOV STBC, #byte
NOP
NOP
NOP
  ⋮
```

24.2.2　発振安定時間指定レジスタ（OSTS）

OSTSは，発振回路の動作およびSTOPモード解除時の発振安定時間を指定するレジスタです。OSTSのEXTCビットに水晶／セラミック発振または外部クロックのどちらを使用しているかを設定します。EXTCビットをセット（1）している場合だけ，外部クロック入力時にもSTOPモードを設定することができます。

また，OSTSのOSTS0-OSTS2ビットで，STOPモード解除時の発振安定時間を選択します。一般的に，水晶振動子を使用する場合は40 ms以上，セラミック発振子を使用する場合は4 ms以上の発振安定時間を選択するようにしてください。

なお，発振安定にかかる時間は，使用する水晶振動子／セラミック発振子および，接続するコンデンサの容量などにより影響を受けます。したがって，発振安定用の時間を短かめに設定したい場合には，水晶振動子／セラミック発振子メーカと相談してくださいますようお願いします。

OSTSは，8ビット転送命令によって書き込みのみが可能です。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図24－4に，OSTSのフォーマットを示します。

図24－４　発振安定時間指定レジスタ（OSTS）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	EXTC	0	0	0	0	OSTS2	OSTS1	OSTS0	0FFCFH	00H	R/W

（f_{XX} = 32 MHz）

EXTC	OSTS2	OSTS1	OSTS0	発振安定時間選択ビット
0	0	0	0	$2^{20}/f_{XX}$（32.80 ms）
0	0	0	1	$2^{19}/f_{XX}$（16.40 ms）
0	0	1	0	$2^{18}/f_{XX}$（8.19 ms）
0	0	1	1	$2^{17}/f_{XX}$（4.10 ms）
0	1	0	0	$2^{16}/f_{XX}$（2.05 ms）
0	1	0	1	$2^{15}/f_{XX}$（1.02 ms）
0	1	1	0	$2^{14}/f_{XX}$（512 μs）
0	1	1	1	$2^{13}/f_{XX}$（256 μs）
1	×	×	×	$512/f_{XX}$（16 μs）

EXTC	外部クロックの選択
0	クリスタル／セラミック発振使用時
1	外部クロック使用時

注意１．水晶／セラミック発振使用時には，発振安定時間指定レジスタ（OSTS）のEXTCビットを必ずクリア（０）して使用してください。EXTCビットをセット（１）すると，発振が停止してしまいます。

２．外部クロック入力時にSTOPモードを使用する場合は，EXTCビットを必ずセット（１）してからSTOPモードを設定してください。EXTCビットがクリア（０）されている状態でSTOPモードを使用すると，μPD784038の破壊または信頼性の低下を招く可能性があります。
なお，OSTSのEXTCビットをセット（１）する場合には，必ずX2端子に，X1端子に入力しているクロックの逆相のクロックを入力する必要があります（４.３.１　クロック発振回路参照）。

24.3　HALTモード

24.3.1　HALTモードの設定および動作状態

HALTモードには，スタンバイ・コントロール・レジスタ（STBC）のHLTビットをセット（1）することにより設定されます。

STBCの書き込みは，専用命令による８ビット・データ書き込みのみ可能です。したがって，HALTモードの設定は，“ MOV STBC，＃byte ” 命令で行います。

HALTモード設定の命令のあと（HALTモード解除後）にはNOP命令を３回記述してください。そうしないとHALTモード解除後，割り込みを受け付ける前に複数の命令を実行してしまう可能性があります。これにより，割り込み処理と命令の実行の順序関係が変化してしまうことがあります。実行順序が変化することによる不具合を防止するために，前述の処理が必要です。

注意　HALTモードを解除する条件が成立しているときにHALTモードの設定を行った場合，HALTモードに入らずに次の命令の実行，またはベクタ割り込みサービス・プログラムへの分岐を行います。 確実にHALTモードの設定をしたい場合は，HALTモードに入る前に割り込み要求をクリアするなどしてください。

表24－1　HALTモード時の動作状態

クロック発振回路		動　作
内部システム・クロック		動　作
CPU		動作停止[注]
I /Oライン		HALTモード設定前の状態を保持
各周辺機能		動作継続
内部RAM		保　持
バス・ライン	AD0-AD7	ハイ・インピーダンス
	A8-A19	保　持
$\overline{RD}$, $\overline{WR}$出力		ハイ・レベル
ASTB出力		ロウ・レベル
$\overline{REFRQ}$出力		動作継続
HLDRQ入力		動作継続（入力）
HLDAK出力		動作継続

注　マクロ・サービス処理は実行されます。

24.３.２　HALTモードの解除

HALTモードは，　次の３つのソースによって解除することができます。

・ノンマスカブル割り込み要求（NMI端子入力のみ可能）
・マスカブル割り込み要求 （ベクタ割り込み，コンテキスト・スイッチング，マクロ・サービス）
・$\overline{\text{RESET}}$ 入力

表24－２に，　解除ソースと解除後の動作の概要を示します。 また，図24－５に，HALTモード解除後の動作を示します。

表24－２　HALTモードの解除と解除後の動作

解除ソース	MK[注1]	IE[注2]	解除時の状態	解除後の動作
$\overline{\text{RESET}}$入力	×	×	－	通常のリセット動作
ノンマスカブル割り込み要求（NMI端子入力のみ可能。ウォッチドッグ・タイマを除く[注6]）	×	×	・ノンマスカブル割り込みサービス・プログラムの実行中でない ・優先順位の低いノンマスカブル割り込みサービス・プログラムの実行中	割り込み要求の受け付け
			・同一要求のサービス・プログラム実行中 ・優先順位の高いノンマスカブル割り込みサービス・プログラム実行中	MOV STBC，#byte命令の次の命令を実行（HALTモードを解除した割り込み要求は，保留される[注3]）
マスカブル割り込み要求（マクロ･サービスの要求を除く）	0	1	・割り込みサービス・プログラムの実行中でない ・優先順位の低いマスカブル割り込みサービス・プログラムの実行中 ・優先順位レベル３の割り込みサービス・プログラムの実行中で，PRSL ビット[注4]がクリア（0）されている	割り込み要求の受け付け
			・同一優先順位のマスカブル割り込みサービス・プログラム実行中（PRSLビット[注4]がクリア（0）されている場合で，優先順位レベル３の割り込みサービス・プログラム実行中を除く） ・優先順位の高い割り込みサービス・プログラム実行中	MOV STBC，#byte命令の次の命令を実行（HALTモードを解除した割り込み要求は，保留される[注3]）
	0	0	－	
	1	×	－	HALTモード保持
マクロ・サービス要求	0	×	－	マクロ・サービス処理実行 終了条件不成立→再びHALTモード 終了条件成立 →VCIE[注5]=１のとき：再びHALTモード VCIE[注5]=0のとき：マスカブル割り込み要求による解除と同じ
	1	×	－	HALTモード保持

注１．各割り込み要求ソースにある割り込みマスク・ビット

２．プログラム・ステータス・ワード（PSW）中にある割り込み許可フラグ

３．保留された割り込み要求は，　受け付け可能になった時点で受け付けられる

４．割り込みモード・コントロール・レジスタ（IMC）中のビット

５．各マクロ・サービス要求ソースにあるマクロ・サービス・コントロール・ワードのマクロ・サービス・モード・レジスタ中のビット

６．ウォッチドッグ・タイマによるHALTモードの解除はできません。

図24－５　HALTモード解除後の動作（1/4）

（１）HALTモードに入ったあと，割り込みが入った場合

（２）HALTモードに入ったあとリセット

図24－５　HALTモード解除後の動作（2/4）

（３）解除ソースの割り込みよりも優先順位の高い，あるいは同じ割り込み処理ルーチン中にHALTモードに入った場合

（４）解除ソースの割り込みよりも優先順位の低い割り込み処理ルーチン中にHALTモードに入った場合

図24－5　HALTモード解除後の動作（3/4）

（5）HALTモード中にマクロ・サービスの要求があった場合

（a）マクロ・サービスの終了条件が成立し，成立後，ただちに割り込み要求を発生する（VCIE = 0）のとき

（b）マクロ・サービスの終了条件が成立しないとき，またはマクロ・サービスの終了条件が成立し，成立後，割り込み要求を発生しない（VCIE = 1）のとき

図24－5　HALTモード解除後の動作（4/4）

（6）割り込み要求が一時的に保留される命令において割り込みが入り，その割り込みが保留中にHALTモードに入った場合

（7）HALT命令と割り込みが競合する場合

（1）ノンマスカブル割り込みによる解除

ノンマスカブル割り込みが発生すると，割り込み受け付けの許可状態（EI），禁止状態（DI）に関係なくHALTモードから解除されます。

HALTモードから解除されると，HALTモードを解除したノンマスカブル割り込みが受け付け可能であれば，そのノンマスカブル割り込みの受け付けを行い，サービス・プログラムへ分岐します。受け付けが不可能であれば，HALTモードを設定した命令（MOV STBC，#byte命令）の次の命令を実行します。HALTモードを解除したノンマスカブル割り込みは，その受け付けが可能になった時点で受け付けられます。ノンマスカブル割り込みの受け付けについての詳細は，22.6　ノンマスカブル割り込みの受け付け動作を参照してください。

注意　ウォッチドッグ・タイマによるHALTモードの解除はできません。

（2）マスカブル割り込み要求による解除

マスカブル割り込み要求によるHALTモードの解除は，割り込みマスク・フラグが0の割り込みによってのみ可能です。

HALTモードが解除されると，割り込み要求許可フラグ（IE）がセット（1）されている場合は，その割り込みが受け付け可能であれば，割り込みサービス・プログラムへ分岐します。受け付けが不可能な場合とIEフラグがクリア（0）されている場合は，HALTモードを設定した次の命令から実行を再開します。割り込みの受け付けについての詳細は，22.7　マスカブル割り込みの受け付け動作を参照してください。

マクロ・サービスは，HALTモードを一時的に解除して，1回の処理を行い，再びHALTモードに戻ります。マクロ・サービスが指定回数だけ行われると，マクロ・サービス・コントロール・ワードのマクロ・サービス・モード・レジスタ中にあるVCIEビットがクリア（0）されている場合は，HALTモードを解除します。 この解除後の動作は，前述したマスカブル割り込みによる解除と同一です。また，VCIEビットがセット（1）されている場合は，再びHALTモードとなり，次の割り込みの要求でHALTモードを解除します。

表24－３　マスカブル割り込み要求によるHALTモードの解除

解除ソース	MK[注1]	IE[注2]	解除時の状態	解除後の動作
マスカブル割り込み要求（マクロ・サービスの要求を除く）	0	1	・割り込みサービス・プログラムの実行中でない ・優先順位の低いマスカブル割り込みサービス・プログラムの実行中 ・優先順位レベル３の割り込みサービス・プログラムの実行中で，PRSLビット[注4]がクリア（0）されている	割り込み要求の受け付け
			・同一優先順位のマスカブル割り込みサービス・プログラム実行中（PRSLビット[注4]がクリア（0）されている場合で，優先順位レベル３の割り込みサービス・プログラム実行中を除く） ・優先順位の高い割り込みサービス・プログラム実行中	MOV STBC，#byte命令の次の命令を実行（HALTモードを解除した割り込み要求は，保留される[注3]）
	0	0	－	
	1	×	－	HALTモード保持
マクロ・サービス要求	0	×	－	マクロ・サービス処理実行 終了条件不成立→再びHALTモード 終了条件成立 →VCIE[注5]=１のとき：再びHALTモード VCIE[注5]=０のとき：マスカブル割り込み要求による解除と同じ
	1	×	－	HALTモード保持

注１．各割り込み要求ソースにある割り込みマスク・ビット

２．プログラム・ステータス・ワード（PSW）中にある割り込み許可フラグ

３．保留された割り込み要求は，受け付け可能になった時点で受け付けられる

４．割り込みモード・コントロール・レジスタ（IMC）中のビット

５．各マクロ・サービス要求ソースにあるマクロ・サービス・コントロール・ワードのマクロ・サービス・モード・レジスタ中のビット

（３）$\overline{\text{RESET}}$入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐した後，プログラムを実行します。ただし，内部RAMの内容は，HALTモード設定直前の値を保持しています。

24.4　STOPモード

24.4.1　STOPモードの設定および動作状態

STOPモードには，スタンバイ・コントロール・レジスタ（STBC）のSTPビットをセット（1）することにより設定されます。

STBCの書き込みは，専用命令による８ビット・データ書き込みのみ可能です。したがって，STOPモードの設定は，“ MOV STBC, #byte ” 命令で行います。

STOPモード設定の命令のあと（STOPモード解除後）にはNOP命令を３回記述してください。そうしないとSTOPモード解除後，割り込みを受け付ける前に複数の命令を実行してしまう可能性があります。これにより，割り込み処理と命令の実行の順序関係が変化してしまうことがあります。実行順序が変化することによる不具合を防止するために，前述の処理が必要です。

注意　HALTモードを解除する条件（24.3.2　HALTモードの解除参照）が成立しているときにSTOPモードの設定を行った場合，STOPモードには入らずに次の命令の実行，またはベクタ割り込みサービス・プログラムへの分岐を行います。確実にSTOPモードの設定をしたい場合は，STOPモードに入る前に割り込み要求をクリアするなどしてください。

表24－4　STOPモード時の動作状態

クロック発振回路		発振停止
内部システム・クロック		停　止
CPU		動作停止
I /Oライン		STOPモード設定前の状態を保持
各周辺機能		すべて動作停止[注]
内部RAM		保　持
バス・ライン	AD0-AD7	ハイ・インピーダンス
	A8-A19	ハイ・インピーダンス
$\overline{RD}$, $\overline{WR}$出力		ハイ・インピーダンス
ASTB出力		ハイ・インピーダンス
$\overline{REFRQ}$出力		保　持
HLDRQ入力		ハイ・インピーダンス
HLDAK出力		ロウ・レベル

注　A/Dコンバータは動作を停止しますが，A/Dコンバータ・モード・レジスタ（ADM）のCSビットがセット（1）されていると，消費電力は減りません。 また，D/Aコンバータは動作を停止しません。

注意１．外部クロックを使用するシステムでSTOPモードを使用する場合は，OSTSのEXTCビットを必ずセット（1）してください。OSTSのEXTCビットがクリア（0）されているときに，外部クロックを入力するシステムでSTOPモードの設定を行うと，消費電力が増加します。
なお，OSTSのEXTCビットをセット（1）する場合には，必ずX2端子に，X1端子に入力しているクロックの逆相のクロックを入力する必要があります。（4.3.1　クロック発振回路参照）。

２．A/Dコンバータ・モード・レジスタ（ADM）のCSビットをクリア（0）してください。

３．D/Aコンバータは，STOPモードに設定しただけでは動作を停止しません。消費電力を減らすためには，D/Aコンバータ・モード・レジスタ（DAM）のDACEn（n＝0，1）ビットを両方ともクリア（0）する必要があります。なお，DACEnをクリア（0）すると，ANOn（n＝0，1）端子の出力レベルは，ハイ・インピーダンスになります。

24.4.2　STOPモードの解除

STOPモードは，NMI入力，INTP4入力，INTP5入力および$\overline{\text{RESET}}$入力により解除されます。

表24－５に，解除ソースと解除後の動作の概要を示します。また，図24－６に，STOPモード解除後の動作を示します。

表24－５　STOPモードの解除と解除後の動作

解除ソース	MK[注1]	ISM[注2]	IE[注3]	解除時の状態	解除後の動作
$\overline{\text{RESET}}$入力	×	×	×	－	通常のリセット動作
NMI端子入力	×	×	×	・ノンマスカブル割り込みサービス・プログラムの実行中でない ・優先順位の低いノンマスカブル割り込みサービス・プログラムの実行中	割り込み要求の受け付け
				・NMI 端子入力のサービス・プログラム実行中 ・優先順位の高いノンマスカブル割り込みサービス・プログラム実行中	MOV STBC，＃byte命令の次の命令を実行（STOPモードを解除した割り込み要求は，保留される[注4]）
INTP4，INTP5端子入力	0	0	1	・割り込みサービス・プログラムの実行中でない ・優先順位の低いマスカブル割り込みサービス・プログラムの実行中 ・優先順位レベル３の割り込みサービス・プログラムの実行中で， PRSLビット[注5]がクリア（0）されている	割り込み要求の受け付け
				・同一優先順位のマスカブル割り込みサービス・プログラム実行中（PRSLビット[注5]がクリア（0）されている場合で， 優先順位レベル３の割り込みサービス・プログラム実行中を除く） ・優先順位の高い割り込みサービス・プログラム実行中	MOV STBC，＃byte命令の次の命令を実行 （STOPモードを解除した割り込み要求は， 保留される[注4]）
	0	0	0	－	
	1	0	×	－	STOPモード保持
	×	1	×		

注１．各割り込み要求ソースにある割り込みマスク・ビット

２．各割り込み要求ソースにあるマクロ・サービス許可フラグ

３．プログラム・ステータス・ワード（PSW）中にある割り込み許可フラグ

４．保留された割り込み要求は，受け付け可能になった時点で受け付けられる

５．割り込みモード・コントロール・レジスタ（IMC）中のビット

図24－6　STOPモード解除後の動作（1/2）

（1）STOPモードに入ったあと，割り込みが入った場合

（2）STOPモードに入ったあとリセット

図24－6　STOPモード解除後の動作（2/2）

（3）解除ソースの割り込みよりも優先順位の高い，あるいは同じ割り込み処理ルーチン中にSTOPモードに入った場合

（4）解除ソースの割り込みよりも優先順位の低い割り込み処理ルーチン中にSTOPモードに入った場合

（1）NMI入力によるSTOPモードの解除

NMI入力に外部割り込みモード・レジスタ0（INTM0）で指定した有効エッジが入力されると発振器が発振を再開します。その後，発振安定時間指定レジスタ（OSTS）で指定された発振安定時間後にSTOPモードは解除されます。

STOPモードから解除されると，NMI端子入力によるノンマスカブル割り込みが受け付け可能な場合は，NMI割り込みサービス・プログラムに分岐します。また，受け付けが不可能な場合（NMI割り込みサービス・プログラム中でSTOPモードに設定した場合など）は，STOPモードを設定した命令の次の命令から実行を再開し，受け付けが可能になると（RETI命令実行などによる）NMI割り込みサービス・プログラムへ分岐します。

NMI割り込みの受け付けについての詳細は，22.6　ノンマスカブル割り込みの受け付け動作を参照してください。

図24－7　NMI入力によるSTOPモードの解除

（2）INTP4, INTP5入力によるSTOPモードの解除

INTP4, INTP5入力による割り込みのマスクが解除されていて，マクロ・サービスが禁止されている場合に，INTP4, INTP5入力に外部割り込みモード・レジスタ１（INTM1）で指定した有効エッジが入力されると発振器が発振を再開します。 その後，発振安定時間指定レジスタ（OSTS）で指定された発振安定時間後にSTOPモードは解除されます。

STOPモードから解除されると，割り込み許可フラグ（IE）がセット（１）されている場合は，その割り込みが受け付け可能であれば，割り込みサービス・プログラムに分岐します。受け付け不可能な場合とIEフラグがクリア（０）されている場合は，STOPモードを設定した命令の次の命令から実行を再開します。

割り込みの受け付けについての詳細は，22.7　マスカブル割り込みの受け付け動作を参照してください。

図24－８　INTP4, INTP5入力によるSTOPモードの解除

（3）$\overline{\text{RESET}}$入力によるSTOPモードの解除

$\overline{\text{RESET}}$入力をハイからロウに下げ，リセット状態にすると発振器が発振を開始します。$\overline{\text{RESET}}$のアクティブ期間で発振安定時間を確保してください。その後，$\overline{\text{RESET}}$を立ち上げると通常の動作をスタートします。

通常のリセット動作とは異なり，データ・メモリはSTOPモード設定前の内容を保持しています。

24.5　IDLEモード

24.5.1　IDLEモードの設定および動作状態

IDLEモードには，スタンバイ・コントロール・レジスタ（STBC）のSTPビットとHLTビットの両方をセット（1）することにより設定されます。

STBCの書き込みは，専用命令による8ビット・データ書き込みのみ可能です。したがって，IDLEモードの設定は，“MOV STBC，#byte”命令で行います。

IDLEモード設定の命令のあと（IDLEモード解除後）にはNOP命令を3回記述してください。そうしないとIDLEモード解除後，割り込みを受け付ける前に複数の命令を実行してしまう可能性があります。これにより，割り込み処理と命令の実行の順序関係が変化してしまうことがあります。実行順序が変化することによる不具合を防止するために，前述の処理が必要です。

注意　HALTモードを解除する条件（24.3.2　HALTモードの解除参照）が成立しているときにIDLEモードの設定を行った場合，IDLEモードには入らずに次の命令の実行，またはベクタ割り込みサービス・プログラムへの分岐を行います。確実にIDLEモードの設定をしたい場合は，STOPモードに入る前に割り込み要求をクリアするなどしてください。

表24－6　IDLEモード時の動作状態

クロック発振回路		発振継続
内部システム・クロック		停　止
CPU		動作停止
I/Oライン		IDLEモード設定前の状態を保持
各周辺機能		すべて動作停止注
内部RAM		保　持
バス・ライン	AD0-AD7	ハイ・インピーダンス
	A8-A19	ハイ・インピーダンス
$\overline{RD}$, $\overline{WR}$出力		ハイ・インピーダンス
ASTB出力		ハイ・インピーダンス
$\overline{REFRQ}$出力		保　持
HLDRQ入力		ハイ・インピーダンス
HLDAK出力		ロウ・レベル

注　A/Dコンバータは動作を停止しますが，A/Dコンバータ・モード・レジスタ（ADM）のCSビットがセットされていると，消費電力は減りません。
また，D/Aコンバータは動作を停止しません。

注意1．A/Dコンバータ・モード・レジスタ（ADM）のCSビットをリセットしてください。

2．D/Aコンバータは，IDLEモードに設定しただけでは動作を停止しません。消費電力を減らすためには，D/Aコンバータ・モード・レジスタ（DAM）のDACEn（n＝0，1）ビットを両方ともクリア（0）する必要があります。なお，DACEnをクリア（0）すると，ANOn（n＝0，1）端子の出力レベルは，ハイ・インピーダンスになります。

24.5.2　IDLEモードの解除

IDLEモードは，NMI入力，INTP4入力，INTP5入力または，$\overline{\text{RESET}}$入力により解除されます。

表24－７に，解除ソースと解除後の動作の概要を示します。また，図24－９に，IDLEモード解除後の動作を示します。

表24－７　IDLEモードの解除と解除後の動作

解除ソース	MK[注1]	ISM[注2]	IE[注3]	解除時の状態	解除後の動作
$\overline{\text{RESET}}$入力	×	×	×	－	通常のリセット動作
NMI端子入力	×	×	×	・ノンマスカブル割り込みサービス・プログラムの実行中でない ・優先順位の低いノンマスカブル割り込みサービス・プログラムの実行中	割り込み要求の受け付け
				・NM端子入力のサービス・プログラム実行中 ・優先順位の高いノンマスカブル割り込みサービス・プログラム実行中	MOV STBC，#byte命令の次の命令を実行（IDLEモードを解除した割り込み要求は，保留される[注4]）
INTP4，INTP5端子入力	0	0	1	・割り込みサービス・プログラムの実行中でない ・優先順位の低いマスカブル割り込みサービス・プログラムの実行中 ・優先順位レベル３の割り込みサービス・プログラムの実行中で，PRSLビット[注5]がクリア（0）されている	割り込み要求の受け付け
				・同一優先順位のマスカブル割り込みサービス・プログラム実行中（PRSLビット[注5]がクリア（0）されている場合で，優先順位レベル３の割り込みサービス・プログラム実行中を除く） ・優先順位の高い割り込みサービス・プログラム実行中	MOV STBC，#byte命令の次の命令を実行（IDLEモードを解除した割り込み要求は，保留される[注4]）
	0	0	0	－	
	1	0	×	－	IDLEモード保持
	×	1	×		

注１．各割り込み要求ソースにある割り込みマスク・ビット

２．各割り込み要求ソースにあるマクロ・サービス許可フラグ

３．プログラム・ステータス・ワード（PSW）中にある割り込み許可フラグ

４．保留された割り込み要求は，受け付け可能になった時点で受け付けられる

５．割り込みモード・コントロール・レジスタ（IMC）中のビット

図24－９　IDLEモード解除後の動作（1/2）

（1）IDLEモードに入ったあと，割り込みが入った場合

（2）IDLEモードに入ったあとリセット

図24－９　IDLEモード解除後の動作（2/2）

（３）解除ソースの割り込みよりも優先順位の高い，あるいは同じ割り込み処理ルーチン中にIDLEモードに入った場合

（４）解除ソースの割り込みよりも優先順位の低い割り込み処理ルーチン中にIDLEモードに入った場合

（1）NMI入力によるIDLEモードの解除

NMI入力に外部割り込みモード・レジスタ０（INTM0）で指定した有効エッジが入力されると，IDLEモードは解除されます。

IDLEモードから解除されると，NMI端子入力によるノンマスカブル割り込みが受け付け可能な場合は，NMI割り込みサービス・プログラムに分岐します。また，受け付けが不可能な場合（NMI割り込みサービス・プログラム中でIDLEモードに設定した場合など）は，IDLEモードを設定した命令の次の命令から実行を再開し，受け付けが可能になると（RETI命令実行などによる），NMI割り込みサービス・プログラムへ分岐します。

NMI割り込みの受け付けについての詳細は，**22.6　ノンマスカブル割り込みの受け付け動作**を参照してください。

（2）INTP4，INTP5入力によるIDLEモードの解除

INTP4，INTP5入力による割り込みのマスクが解除されていて，マクロ・サービスが禁止されている場合に，INTP4，INTP5入力に外部割り込みモード・レジスタ１（INTM1）で指定した有効エッジが入力されると，IDLEモードは解除されます。

IDLEモードから解除されると，割り込み許可フラグ（IE）がセット（1）されている場合は，その割り込みが受け付け可能であれば，割り込みサービス・プログラムに分岐します。受け付けが不可能な場合とIEフラグがクリア（0）されている場合は，IDLEモードを設定した命令の次の命令から実行を再開します。

割り込みの受け付けについての詳細は，**22.7　マスカブル割り込みの受け付け動作**を参照してください。

24.6　STOPモード/IDLEモード使用時のチェック項目

STOPモード/IDLEモード使用時の消費電力を下げるために必要なチェック項目を示します。

（1）各出力端子の出力レベルは適正か？

各端子の適正な出力レベルは，次段の回路によって異なります。最も消費電力が少なくなるような出力レベルを選んでください。

- 次段の回路の入力インピーダンスが低い場合にハイ・レベルを出力していると，電源からポートへ電流が流れ出し，消費電力が増えてしまいます。次段の回路がCMOS ICなどの場合がこれにあたります。CMOS ICは，電源OFF時には，入力インピーダンスが低くなります。消費電力を抑えるため，またCMOS ICの信頼性に悪影響を与えないため，ロウ・レベルを出力してください。ハイ・レベルを出力していると，電源の再投入時にラッチアップの原因となります。

- 次段の回路によっては，ロウ・レベルを入力すると消費電力が増えてしまう場合があります。 このような場合は，ハイ・レベルまたはハイ・インピーダンスを出力し，消費電力が少なくなるようにしてください。

- 次段の回路がCMOS ICの場合で，そのCMOS ICに電源が供給されているときに出力をハイ・インピーダンスにすると，CMOS ICの消費電力が増える場合があります（このとき，CMOS ICが過熱し，破壊する場合もあります）。このような場合には，適正なレベルを出力するか，抵抗によりプルアップまたはプルダウンするなどしてください。

出力レベルの設定方法は，ポートのモードによって異なります。

- ポートがコントロール・モードのときには，内蔵ハードウエアの状態によって出力レベルが決定されますので，内蔵ハードウエアの状態を考慮して出力レベルを設定する必要があります。

- ポート・モードのときには，ソフトウエアでポートの出力ラッチとポート・モード・レジスタへ書き込みをすることにより，出力レベルを設定することができます。

ポートがコントロール・モードになっているときには，ポート・モードへ変更することで，出力レベルの設定が簡単になります。

（2）各入力端子の入力レベルは適正か？

各端子に入力される電圧レベルは，V_{SS}電位からV_{DD}電位の範囲内にしてください。この範囲外の電圧を印加すると，消費電力が増えるだけでなく，μPD784038の信頼性にも悪影響を与えます。

また，中間電位が加わらないようにしてください。

（3）内蔵プルアップ抵抗は必要か？

不要なプルアップ抵抗は，消費電力を増やしたり，他のデバイスのラッチアップの原因となったりします。プルアップ抵抗は，必要な部分だけを使用するモードに指定してください。

必要な部分と不要な部分が混在する場合は，必要な部分については外付けにプルアップ抵抗を接続し，内蔵プルアップ抵抗を使用しないモードに指定するなどしてください。

（4）アドレス・バスおよびアドレス／データ・バスなどの処理は適正か？

アドレス・バス，アドレス／データ・バス，$\overline{RD}$，$\overline{WR}$端子は，STOPモード/IDLEモード時にハイ・インピーダンスになります。通常，これらの端子はプルアップ抵抗によってプルアップします。このプルアップ抵抗をバックアップされる電源に接続すると，バックアップされない電源に接続されている回路の入力インピーダンスが低い場合には，プルアップ抵抗を介して電流が流れてしまい，消費電力が増えてしまいます。したがって，図24－10に示すように，プルアップ抵抗はバックアップされない電源側に接続してください。

また，ASTB端子もSTOPモード/IDLEモード時にハイ・インピーダンスとなり，$\overline{REFRQ}$/HLDAK端子は，固定レベルとなります。（1）で示した内容などを参考に対策を行ってください。

図24－10　アドレス／データ・バスの処理例

$\overline{WAIT}$/HLDRQ 端子に入力される電圧レベルは，V_{SS}電位からV_{DD}電位の範囲内にしてください。 この範囲外の電圧を印加すると，消費電力が増えるだけでなく，μPD784038の信頼性にも悪影響を与えます。

★　（5）A/Dコンバータ

A/Dコンバータ・モード・レジスタ（ADM）のビット７にあるCSビットをクリア（０）することにより，AV_{DD}，AV_{REF1}端子に流れる電流を減らすことが可能です。

なお，AV_{DD}端子は必ずV_{DD}端子と同電位にしてください。STOPモード時にAV_{DD}端子に電源が供給されていないと，消費電力が増えるだけでなく，信頼性にも悪影響を与えます。

（6）D/Aコンバータ

D/Aコンバータは，STOPモード/IDLEモード中も一定の電力を消費します。D/Aコンバータ・モード・レジスタ（DAM）のDACEn（n＝０，１）ビットを両ビットともクリア（０）することにより，ANOn（n＝０，１）の出力はハイ・インピーダンスになりますが，消費電力を減らすことができます（DACEnビットの一方だけをクリア（０）した場合は，消費電力は減りません）。

また，AV_{REF2}端子に入力する電圧をAV_{REF3}と同電位にすることで，抵抗ストリングでの消費電力をなくすことができます。なお，このとき，DAMのDACEnビットがセット（１）されていると，ANOnの出力はAV_{REF3}と同電位になりますので，次段の回路の消費電力が一番小さくなるようにAV_{REF3}端子電圧を設定してください。

μPD784038の消費電力としては，DAMのDACEnビットを両ビットともクリア（０）することで，最も小さくすることができます。ただし，ANOn端子の出力は，ハイ・インピーダンスとなります。

また，ANOn端子には，外部から電圧を印加しないようにしてください。外部からの電圧が加わると，消費電力が増えるだけでなく，μPD784038の破壊または信頼性の低下を招く可能性があります。

24.7　注意事項

（1）HALTモードを解除する条件（**24.3.2　HALTモードの解除**参照）が成立しているときにHALTモード/STOPモード/IDLEモード（以下スタンバイ・モード）の設定を行った場合，スタンバイ・モードには入らずに次の命令の実行，またはベクタ割り込みサービス・プログラムへの分岐を行います。確実にスタンバイ・モードの設定をしたい場合は，スタンバイ・モードに入る前に割り込み要求をクリアするなどしてください。

（2）水晶／セラミック発振使用時には，EXTCビットを必ずクリア（0）して使用してください。EXTCビットをセット（1）すると，発振が停止してしまいます。

（3）外部クロックを使用するシステムでSTOPモードを使用する場合は，OSTSのEXTCビットを必ずセット（1）してください。OSTSのEXTCビットがクリア（0）されているときに，外部クロックを入力するシステムでSTOPモードの設定を行うと，消費電力が増加します。

　なお，OSTSのEXTCビットをセット（1）する場合には，必ずX2端子に，X1端子に入力しているクロックの逆相のクロックを入力する必要があります（**4.3.1　クロック発振回路**参照）。

（4）STOPモード/IDLEモード設定時には，A/Dコンバータ・モード・レジスタ（ADM）のCSビットをクリア（0）してください。

（5）D/Aコンバータは，STOPモード/IDLEモードに設定しただけでは動作を停止しません。消費電力を減らすためには，D/Aコンバータ・モード・レジスタ（DAM）のDACEn（n＝0，1）ビットを両方ともクリア（0）する必要があります。 なお，DACEnをクリア（0）すると，ANOn（n＝0，1）端子の出力レベルは，ハイ・インピーダンスになります。

（6）スタンバイ命令のあと（スタンバイ解除後）は，NOP命令を３回実行させてください。そうしないとスタンバイ命令の実行と割り込み要求が競合した場合に，スタンバイ命令を実行せず，スタンバイ命令に続く複数の命令を実行後に割り込みを受け付けます。割り込み受け付け前に実行する命令は，スタンバイ命令実行後の最大６クロック以内に実行を開始する命令です。

例
```
MOV STBC, #byte
NOP
NOP
NOP
  ⋮
```

第25章　リセット機能

25.1　リセット機能

$\overline{\text{RESET}}$入力端子にロウ・レベルが入力されると，システム・リセットがかかり，各ハードウエアは表25－２に示すような状態になります。また，電源端子およびX1，X2端子を除くすべての端子は，ハイ・インピーダンス状態になります。表25－１に，リセット中およびリセット解除後の端子の状態を示します。

$\overline{\text{RESET}}$入力がロウ・レベルからハイ・レベルになると，リセット状態が解除されリセット・ベクタ・テーブルの00000H番地の内容がプログラム・カウンタ（PC）のビット0-7に，00001H番地の内容がPCのビット8-15にセットされ，PCのビット16-19に0000Bをセットして分岐し，その分岐先アドレスからプログラムの実行を開始します。したがって，ベース領域内の任意の番地からリセット・スタートできます。

各種レジスタの内容は，プログラムの中で必要に応じてイニシャライズしてください。

$\overline{\text{RESET}}$入力端子は，ノイズによる誤動作を防ぐため，アナログ・ディレイによるノイズ除去回路を内蔵しています（**図25－１**参照）

図25－１　リセット信号の受け付け

電源投入時のリセット動作では，発振安定時間（約40 ms，使用する発振子に依存します）が経過するまで$\overline{\text{RESET}}$信号をアクティブにしてください。

図25－２　電源投入時のリセット動作

備考　f_{CLK}：内部システム・クロック周波数

表25－１　リセット入力中，リセット解除後の端子状態

端子名称	入出力	リセット中	リセット解除直後
P00-P07	入出力	Hi-Z	Hi-Z（入力ポート・モード）
P10/PWM0-P17	入出力	Hi-Z	Hi-Z（入力ポート・モード）
P20/NMI-P27/SI	入力	Hi-Z	Hi-Z（入力ポート）
P30/RxD-P37/TO3	入出力	Hi-Z	Hi-Z（入力ポート・モード）
P40/AD0-P47/AD7	入出力	Hi-Z	Hi-Z（入力ポート・モード）注1
P50/A8-P57/A15	入出力	Hi-Z	Hi-Z（入力ポート・モード）注1
P60/A16-P63/A19注2	入出力	Hi-Z	Hi-Z（入力ポート・モード）注1
P64/$\overline{\text{RD}}$，P65/$\overline{\text{WR}}$	入出力	Hi-Z	Hi-Z（入力ポート・モード）注1
P66/$\overline{\text{WAIT}}$，P67/$\overline{\text{REFRQ}}$	入出力	Hi-Z	Hi-Z（入力ポート・モード）
P70/ANI0-P77/ANI7	入出力	Hi-Z	Hi-Z（入力ポート・モード）
ASTB/CLKOUT	出力	Hi-Z	0
ANO0，ANO1	出力	Hi-Z	AV_{REF3}端子の入力電圧を出力

注１．μPD784031の場合には，アドレス／データ・バスとして機能し，0000H番地からリセット・ベクタ・アドレスをフェッチするための信号を出力する（図25－３（ａ）参照）。

２．μPD784031の場合，出力ポートとしてのみ動作し，リセット解除後に０を出力する。

表25－2　各ハードウエアのリセット後の状態（1/2）

ハ　ー　ド　ウ　エ　ア			リセット後の状態
プログラム・カウンタ（PC）			リセット・ベクタ・テーブル（0000H, 0001H）の内容がセットされる。
スタック・ポインタ（SP）			不　定[注1]
プログラム・ステータス・ワード（PSW）			02H
内部RAM	データ・メモリ		不　定[注1]
	汎用レジスタ		
ポート	ポート０，ポート１，ポート２，ポート３，ポート４，ポート５，ポート６[注2]，ポート７		不　定（ハイ・インピーダンス）
ポート・モード・レジスタ	PM0, PM1, PM3, PM4, PM5, PM6[注3], PM7		FFH
ポート・モード・コントロール・レジスタ（PMC1, PMC3）			00H
プルアップ抵抗オプション・レジスタ（PUO）			00H
リアルタイム出力ポート・コントロール・レジスタ（RTPC）			00H
タイマ／カウンタ	タイマ・レジスタ（TM0, TM1W, TM2W, TM3W）		0000H
	コンペア・レジスタ（CR00, CR01, CR10LW, CR20W, CR30W）		不　定
	キャプチャ・レジスタ（CR02, CR12W, CR22W）		
	キャプチャ／コンペア・レジスタ（CR11W, CR21W）		
	タイマ・コントロール・レジスタ（TMC0, TMC1）		00H
	タイマ出力コントロール・レジスタ（TOC）		
	キャプチャ／コンペア・コントロール・レジスタ	CRC0	10H
		CRC1, CRC2	00H
	プリスケーラ・モード・レジスタ （PRM0, PRM1）		00H
	ワンショット・パルス出力制御レジスタ（OSPC）		00H
PWM	PWMコントロール・レジスタ（PWMC）		05H
	PWMプリスケーラ・レジスタ（PWPR）		00H
	PWMモジュロ・レジスタ（PWM0, PWM1）		不　定
A/Dコンバータ	A/Dコンバータ・モード・レジスタ（ADM）		00H
	A/D変換結果レジスタ（ADCR）		不　定
D/Aコンバータ	D/Aコンバータ・モード・レジスタ（DAM）		03H
	D/A変換値設定レジスタ（DACS0, DACS1）		00H

注1．HALTモード， STOP モード，IDLEモードを$\overline{\text{RESET}}$入力で解除した場合は，各モード設定前の値を保持しています。

2．μPD784031の場合：×0H

3．μPD784031の場合：F×H

表25－2　各ハードウエアのリセット後の状態（2/2）

ハ　ー　ド　ウ　エ　ア			リセット後の状態
シリアル・インタフェース	クロック同期式シリアル･インタフェース･モード･レジスタ（CSIM, CSIM1, CSIM2）		00H
	シフト・レジスタ（SIO, SIO1, SIO2）		不　定
	アシンクロナス･シリアル･インタフェース･モード・レジスタ（ASIM, ASIM2）		00H
	アシンクロナス･シリアル･インタフェース･ステータス･レジスタ（ASIS, ASIS2）		00H
	I^2Cバス・コントロール・レジスタ（IICC）		00H
	シリアル受信バッファ（RXB, RXB2）		不　定
	シリアル送信シフト・レジスタ（TXS, TXS2）		不　定
	ボー･レート･ジェネレータ･コントロール･レジスタ（BRGC, BRGC2）		00H
	シリアル・クロック用プリスケーラ・モード・レジスタ（SPRM）		04H
	スレーブ・アドレス・レジスタ（SVA）注		01H
クロック出力機能（CLOM）			00H
メモリ拡張モード・レジスタ（MM）			20H
プログラマブル・ウエイト制御レジスタ		PWC1	AAH
		PWC2	AAAAH
リフレッシュ機能	リフレッシュ・モード・レジスタ（RFM）		00H
	リフレッシュ領域指定レジスタ（RFA）		00H
ホールド・モード・レジスタ（HLDM）			00H
割り込み	割り込み制御レジスタ（PIC0, PIC1, PIC2, PIC3, PIC4, PIC5, CIC00, CIC01, CIC10, CIC11, CIC20, CIC21, CIC30, ADIC, SERIC, SRIC, STIC, SERIC2, SRIC2, STIC2, CSIIC, CSIIC1, CSIIC2, SPCIC注）		43H
	割り込みマスク・レジスタ	MK0	FFFFH
		MK1L	FFH
	インサービス・プライオリティ・レジスタ（ISPR）		00H
	割り込みモード・コントロール・レジスタ（IMC）		00H
外部割り込みモード・レジスタ（INTM0, INTM1）			00H
サンプリング・クロック選択レジスタ（SCS0）			00H
スタンバイ・コントロール・レジスタ（STBC）			30H
発振安定時間指定レジスタ（OSTS）			00H
内部メモリ・サイズ切り替えレジスタ（IMS）			FFH

注　μPD784038Yサブシリーズのみ

図25－3　リセット入力時のタイミング

（a）μPD784031の場合

（b）μPD784038の場合

25.2　注意事項

パワーオン時のリセット入力は，電源電圧が規定電圧に達したあと，発振が安定するまでロウ・レベルを保持しなければなりません。

第26章　μPD78P4038のプログラミング

μPD78P4038は，プログラム・メモリとして128 Kバイト構成のPROMを内蔵しています。プログラミングをするときは，V_{PP}端子，$\overline{RESET}$端子でPROMプログラミング・モードに設定します。その他，使用しない端子の処理は，1.3　端子接続図（Top View）1.3.2　PROMプログラミング・モードを参照してください。

26.1　動作モード

V_{PP}端子に＋5Vまたは＋12.5 V，$\overline{RESET}$端子にロウ・レベルを印加すると，PROMプログラミング・モードになります。このモードは$\overline{CE}$端子，$\overline{OE}$端子，$\overline{PGM}$端子の設定により，表26－1のような動作モードになります。

また，読み出しモードに設定することにより，PROMの内容を読み出すことができます。

表26－1　PROMプログラミングの動作モード

端子 / 動作モード	$\overline{RESET}$	V_{PP}	V_{DD}	$\overline{CE}$	$\overline{OE}$	$\overline{PGM}$	D0-D7
ページ・データ・ラッチ	L	＋12.5 V	＋6.5 V	H	L	H	データ入力
ページ書き込み				H	H	L	ハイ・インピーダンス
バイト書き込み				L	H	L	データ入力
プログラム・ベリファイ				L	L	H	データ出力
プログラム・インヒビット				×	H	H	ハイ・インピーダンス
				×	L	L	
読み出し		＋5 V	＋5 V	L	L	H	データ出力
出力ディスエーブル				L	H	×	ハイ・インピーダンス
スタンバイ				H	×	×	ハイ・インピーダンス

備考　×：LまたはH

（1）読み出しモード

$\overline{CE}$ = L, $\overline{OE}$ = Lに設定することにより，　読み出しモードになります。

（2）出力ディスエーブル・モード

$\overline{OE}$ = Hにすることにより，データ出力がハイ・インピーダンスになり出力ディスエーブル・モードになります。

したがって，データ・バスに複数のμPD78P4038を接続した場合，$\overline{OE}$端子を制御することで任意の１個のデバイスよりデータを読み出すことができます。

（3）スタンバイ・モード

$\overline{CE}$ = Hにすることによりスタンバイ・モードになります。

このモードでは，$\overline{OE}$の状態に関係なくデータ出力がハイ・インピーダンスになります。

（4）ページ・データ・ラッチ・モード

ページ書き込みモードの初期に$\overline{CE}$ = H, $\overline{PGM}$ = H, $\overline{OE}$ = Lにすることにより，ページ・データ・ラッチ・モードになります。

このモードでは，１ページ４バイトのデータが内部のアドレス／データ・ラッチ回路にラッチされます。

（5）ページ書き込みモード

ページ・データ・ラッチ・モードにより１ページ４バイトのアドレスとデータをラッチ後，$\overline{CE}$ = H, $\overline{OE}$ = Hの状態で$\overline{PGM}$端子に0.1 msのプログラム・パルス（アクティブ・ロウ）を印加することによりページ書き込みが実行されます。その後，$\overline{CE}$ = L, $\overline{OE}$ = Lにすることにより，プログラム・ベリファイを行えます。

１回のプログラム・パルスでプログラムされない場合にはX回（X≦10）の書き込みとベリファイを繰り返し実行します。

（6）バイト書き込みモード

$\overline{CE}$ = L, $\overline{OE}$ = Hの状態で$\overline{PGM}$端子に0.1 msのプログラム・パルス（アクティブ・ロウ）を印加することによりバイト書き込みが実行されます。 その後，$\overline{OE}$ = Lにすることにより，プログラム・ベリファイが行えます。

１回のプログラム・パルスでプログラムされない場合にはX回（X≦10）の書き込みとベリファイを繰り返し実行します。

（7）プログラム・ベリファイ・モード

$\overline{CE}$ = L, $\overline{PGM}$ = H, $\overline{OE}$ = Lにすることにより，プログラム・ベリファイ・モードになります。

書き込みを行ったのち，正しく書き込まれたかどうかこのモードで確認してください。

（8）プログラム・インヒビット・モード

プログラム・インヒビット・モードは，複数のμPD78P4038の$\overline{OE}$端子，V_{PP}端子，D0-D7端子がパラレルに接続されている状態でその中の１個のデバイスに書き込みを行う場合に使用します。

書き込みを行う場合に，上記ページ書き込みモードあるいはバイト書き込みモードを使用します。このとき，$\overline{PGM}$端子をハイ・レベルにしたデバイスには書き込みが行われません。

26.2　PROM書き込みの手順

図26－1　ページ・プログラム・モードのフロー・チャート

備考　G = 開始アドレス

N = プログラムの最終アドレス

図26－２　ページ・プログラム・モードのタイミング

図26－3　バイト・プログラム・モードのフロー・チャート

備考　G = 開始アドレス

N = プログラムの最終アドレス

図26－４　バイト・プログラム・モードのタイミング

注意１．V_{DD}はV_{PP}より前に印加し，V_{PP}のあとから切断するようにしてください。

２．V_{PP}はオーバシュートを含めて＋13.5 V以上にならないようにしてください。

３．V_{PP}に＋12.5 Vが印加されている間に抜き差しした場合，信頼性の低下を招く可能性があります。

26.3　PROM読み出しの手順

次に示す手順によって，PROMの内容を外部データ・バス（D0-D7）に読み出すことができます。

（1）$\overline{\text{RESET}}$端子をロウ・レベルに固定，V_{PP}端子に＋５Vを供給，その他，使用しない端子は**1.3　端子接続図（Top View）1.3.2　PROMプログラミング・モード**に示すように処理する。
（2）V_{DD}, V_{PP}端子に＋５Vを供給。
（3）読み出そうとするデータのアドレスをA0-A16端子に入力。
（4）リード・モード
（5）データをD0-D7 端子に出力。

上述の（2）-（5）のタイミングを図26－５に示します。

図26－５　PROMの読み出しタイミング

26.4　ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品（μPD78P4038GC-8BT, 78P4038YGC-8BT, 78P4038GK-9EU, 78P4038YGK-9EU）は，その構造上，当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと，下記の条件で高温保管後，PROMのベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125 ℃	24時間

26.5　注意事項

（1）V_{DD}はV_{PP}より前に印加し，V_{PP}のあとから切断するようにしてください。

（2）V_{PP}はオーバシュートを含めて＋13.5 V以上にならないようにしてください。

（3）V_{PP}に＋12.5 Vが印加されている間に抜き差しした場合，信頼性の低下を招く可能性があります。

第27章　命令のオペレーション

27.1　凡　　例

（1）オペランドの表現形式と記述方法（1/2）

表現形式	記　述　方　法
r, r' 注1	X(R0), A(R1), C(R2), B(R3), R4, R5, R6, R7, R8, R9, R10, R11, E(R12), D(R13), L(R14), H(R15)
r1注1	X(R0), A(R1), C(R2), B(R3), R4, R5, R6, R7
r2	R8, R9, R10, R11, E(R12), D(R13), L(R14), H(R15)
r3	V, U, T, W
rp, rp' 注2	AX(RP0), BC(RP1), RP2, RP3, VP(RP4), UP(RP5), DE(RP6), HL(RP7)
rp1注2	AX(RP0), BC(RP1), RP2, RP3
rp2	VP(RP4), UP(RP5), DE(RP6), HL(RP7)
rg, rg'	VVP(RG4), UUP(RG5), TDE(RG6), WHL(RG7)
sfr	特殊機能レジスタ略号
sfrp	特殊機能レジスタ略号（16ビット操作可能レジスタ）
post注2	AX(RP0), BC(RP1), RP2, RP3, VP(RP4), UP(RP5)/PSW, DE(RP6), HL(RP7) 複数記述可能。ただし，UPはPUSH/POP命令，PSWはPUSHU/POPU命令にかぎる
mem	[TDE], [WHL], [TDE+], [WHL+], [TDE−], [WHL−], [VVP], [UUP]：レジスタ・インダイレクト・アドレシング [TDE+byte], [WHL+byte], [SP+byte], [UUP+byte], [VVP+byte]：ベースト・アドレシング imm24[A], imm24[B], imm24[DE], imm24[HL]：インデクスト・アドレシング [TDE+A], [TDE+B], [TDE+C], [WHL+A], [WHL+B], [WHL+C], [VVP+DE], [VVP+HL]：ベースト・インデクスト・アドレシング
mem1	memから[WHL+], [WHL−]を除いたすべて
mem2	[TDE], [WHL]
mem3	[AX], [BC], [RP2], [RP3], [VVP], [UUP], [TDE], [WHL]

注1．RSSビットを1とすることで，R4-R7をX, A, C, Bとして使用することができますが，この機能を使用するのは，78K/IIIシリーズ用のプログラムを流用する場合だけにしてください。

2．RSSビットを1とすることで，RP2, RP3をAX, BCとして使用することができますが，この機能を使用するのは，78K/IIIシリーズ用のプログラムを流用する場合だけにしてください。

（1）オペランドの表現形式と記述方法（2/2）

表現形式	記　述　方　法
注	
saddr, saddr'	FD20H-FF1FH　イミーディエト・データまたはレーベル
saddr1	FE00H-FEFFH　イミーディエト・データまたはレーベル
saddr2	FD20H-FDFFH，FF00H-FF1FH　イミーディエト・データまたはレーベル
saddrp	FD20H-FF1EH　イミーディエト・データまたはレーベル（16ビット操作時）
saddrp1	FE00H-FEFFH　イミーディエト・データまたはレーベル（16ビット操作時）
saddrp2	FD20H-FDFFH，FF00H-FF1EH　イミーディエト・データまたはレーベル（16ビット操作時）
saddrg	FD20H-FEFDH　イミーディエト・データまたはレーベル（24ビット操作時）
saddrg1	FE00H-FEFDH　イミーディエト・データまたはレーベル（24ビット操作時）
saddrg2	FD20H-FDFFH　イミーディエト・データまたはレーベル（24ビット操作時）
addr24	0H-FFFFFFH　イミーディエト・データまたはレーベル
addr20	0H-FFFFFH　イミーディエト・データまたはレーベル
addr16	0H-FFFFH　イミーディエト・データまたはレーベル
addr11	800H-FFFH　イミーディエト・データまたはレーベル
addr8	0FE00H-0FEFFH注　イミーディエト・データまたはレーベル
addr5	40H-7EH　イミーディエト・データまたはレーベル
imm24	24ビット・イミーディエト・データまたはレーベル
word	16ビット・イミーディエト・データまたはレーベル
byte	８ビット・イミーディエト・データまたはレーベル
bit	３ビット・イミーディエト・データまたはレーベル
n	３ビット・イミーディエト・データ
locaddr	0Hまたは0FH

注　LOCATION命令で0Hを指定した場合は，ここに示したアドレスになります。
LOCATION命令で0FHを指定した場合は，ここに示したアドレスにF0000Hを加えた値がアドレスになります。

（2）オペランド欄の記号

記　号	説　　明
＋	オートインクリメント
－	オートデクリメント
＃	イミーティエト・データ
！	16ビット絶対アドレス
!!	24ビット/20ビット絶対アドレス
$	８ビット相対アドレス
$!	16ビット相対アドレス
／	ビット反転
[　]	インダイレクト・アドレシング
[%]	24ビット・インダイレクト・アドレシング

（3）フラグ欄の記号

記　号	説　　明
（ブランク）	変化なし
0	０にクリアされる
1	１にセットされる
×	結果に従ってセット／クリアされる
P	P/Vフラグがパリティ・フラグとして動作する
V	P/Vフラグがオーバフロー・フラグとして動作する
R	以前に退避した値がリストアされる

（4）オペレーション欄の記号

記　号	説　　明
jdisp8	次の命令の先頭アドレスと分岐先アドレスとの相対アドレス距離の符号付き２の補数データ（８ビット）
jdisp16	次の命令の先頭アドレスと分岐先アドレスとの相対アドレス距離の符号付き２の補数データ（16ビット）
PC_{HW}	PCのビット16-19
PC_{LW}	PCのビット0-15

（5）オペランドにmemを含む命令のバイト数

memのモード	レジスタ・インダイレクト・アドレシング		ベースト・アドレシング	インデクスト・アドレシング	ベースト・インデクスト・アドレシング
バイト数	1	2注	3	5	2

注　MOV命令でmemに［TDE］，［WHL］，［TDE＋］，［TDE－］，［WHL＋］，［WHL－］を記述した場合のみ，1バイト命令になります。

（6）オペランドにsaddr，saddrp，r，rpを含む命令のバイト数

オペランドにsaddr，saddrp，r，rpを含む命令の中には，バイト数をスラッシュ“／”で2つに分けて記述しているものがあります。どちらのバイト数になるかは下表によります。

表現形式	バイト数の左側	バイト数の右側
saddr	saddr2	saddr1
saddrp	saddrp2	saddrp1
r	r1	r2
rp	rp1	rp2

（7）オペランドにmemを含む命令，ストリング命令の記述

オペランドのTDE，WHL，VVP，UUP（24ビット・レジスタ）は，それぞれDE，HL，VP，UPと記述することもできます。ただし，DE，HL，VP，UPと記述した場合でもTDE，WHL，VVP，UUP（24ビット・レジスタ）として扱われます。

27.2　オペレーション一覧

（1）8ビット・データ転送命令：MOV

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOV	r, ＃byte	2/3	r ← byte					
	saddr, ＃byte	3/4	(saddr) ← byte					
	sfr, ＃byte	3	sfr ← byte					
	!addr16, ＃byte	5	(saddr16) ← byte					
	!!addr24, ＃byte	6	(addr24) ← byte					
	r, r′	2/3	r ← r′					
	A, r	1/2	A ← r					
	A, saddr2	2	A ← (saddr2)					
	r, saddr	3	r ← (saddr)					
	saddr2, A	2	(saddr2) ← A					
	saddr, r	3	(saddr) ← r					
	A, sfr	2	A ← sfr					
	r, sfr	3	r ← sfr					
	sfr, A	2	sfr ← A					
	sfr, r	3	sfr ← r					
	saddr, saddr′	4	(saddr) ← (saddr′)					
	r, !addr16	4	r ← (addr16)					
	!addr16, r	4	(addr16) ← r					
	r, !!addr24	5	r ← (addr24)					
	!!addr24, r	5	(addr24) ← r					
	A, [saddrp]	2/3	A ← ((saddrp))					
	A, [%saddrg]	3/4	A ← ((saddrg))					
	A, mem	1-5	A ← (mem)					
	[saddrp], A	2/3	((saddrp)) ← A					
	[%saddrg], A	3/4	((saddrg)) ← A					
	mem, A	1-5	(mem) ← A					
	PSWL, ＃byte	3	PSW_L ← byte	×	×	×	×	×
	PSWH, ＃byte	3	PSW_H ← byte					
	PSWL, A	2	PSW_L ← A	×	×	×	×	×
	PSWH, A	2	PSW_H ← A					
	A, PSWL	2	A ← PSW_L					
	A, PSWH	2	A ← PSW_H					
	r3, ＃byte	3	r3 ← byte					
	A, r3	2	A ← r3					
	r3, A	2	r3 ← A					

（2）16ビット・データ転送命令：MOVW

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOVW	rp, ＃word	3	rp ← word					
	saddrp, ＃word	4/5	(saddrp) ← word					
	sfrp, ＃word	4	sfrp ← word					
	!addr16, ＃word	6	(addr16) ← word					
	!!addr24, ＃word	7	(addr24) ← word					
	rp, rp'	2	rp ← rp'					
	AX, saddrp2	2	AX ← (saddrp2)					
	rp, saddrp	3	rp ← (saddrp)					
	saddrp2, AX	2	(saddrp2) ← AX					
	saddrp, rp	3	(saddrp) ← rp					
	AX, sfrp	2	AX ← sfrp					
	rp, sfrp	3	rp ← sfrp					
	sfrp, AX	2	sfrp ← AX					
	sfrp, rp	3	sfrp ← rp					
	saddrp, saddrp'	4	(saddrp) ← (saddrp')					
	rp, !addr16	4	rp ← (addr16)					
	!addr16, rp	4	(addr16) ← rp					
	rp, !!addr24	5	rp ← (addr24)					
	!!addr24, rp	5	(addr24) ← rp					
	AX, [saddrp]	3/4	AX ← ((saddrp))					
	AX, [%saddrg]	3/4	AX ← ((saddrg))					
	AX, mem	2-5	AX ← (mem)					
	[saddrp], AX	3/4	((saddrp)) ← AX					
	[%saddrg], AX	3/4	((saddrg)) ← AX					
	mem, AX	2-5	(mem) ← AX					

（3）24ビット・データ転送命令：MOVG

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOVG	rg, ＃imm24	5	rg ← imm24					
	rg, rg'	2	rg ← rg'					
	rg, !!addr24	5	rg ← (addr24)					
	!!addr24, rg	5	(addr24) ← rg					
	rg, saddrg	3	rg ← (saddrg)					
	saddrg, rg	3	(saddrg) ← rg					
	WHL, [%saddrg]	3/4	WHL ← ((saddrg))					
	[%saddrg], WHL	3/4	((saddrg)) ← WHL					
	WHL, mem1	2-5	WHL ← (mem1)					
	mem1, WHL	2-5	(mem1) ← WHL					

（4）８ビット・データ交換命令：XCH

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
XCH	r, r'	2/3	r ↔ r'					
	A, r	1/2	A ↔ r					
	A, saddr2	2	A ↔ (saddr2)					
	r, saddr	3	r ↔ (saddr)					
	r, sfr	3	r ↔ sfr					
	saddr, saddr'	4	(saddr) ↔ (saddr')					
	r, !addr16	4	r ↔ (addr16)					
	r, !!addr24	5	r ↔ (addr24)					
	A, [saddrp]	2/3	A ↔ ((saddrp))					
	A, [%saddrg]	3/4	A ↔ ((saddrg))					
	A, mem	2-5	A ↔ (mem)					

（5）16ビット・データ交換命令：XCHW

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
XCHW	rp, rp'	2	rp ↔ rp'					
	AX, saddrp2	2	AX ↔ (saddrp2)					
	rp, saddrp	3	rp ↔ (saddrp)					
	rp, sfrp	3	rp ↔ sfrp					
	AX, [saddrp]	3/4	AX ↔ ((saddrp))					
	AX, [%saddrg]	3/4	AX ↔ ((saddrg))					
	AX, !addr16	4	AX ↔ (addr16)					
	AX, !!addr24	5	AX ↔ (addr24)					
	saddrp, saddrp'	4	(saddrp) ↔ (saddrp')					
	AX, mem	2-5	AX ↔ (mem)					

（6）8ビット演算命令：ADD, ADDC, SUB, SUBC, CMP, AND, OR, XOR

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADD	A, #byte	2	A, CY ← A+byte	×	×	×	V	×
	r, #byte	3	r, CY ← r+byte	×	×	×	V	×
	saddr, #byte	3/4	(saddr), CY ← (saddr) +byte	×	×	×	V	×
	sfr, #byte	4	sfr, CY ← sfr+byte	×	×	×	V	×
	r, r'	2/3	r, CY ← r+r'	×	×	×	V	×
	A, saddr2	2	A, CY ← A+ (saddr2)	×	×	×	V	×
	r, saddr	3	r, CY ← r+ (saddr)	×	×	×	V	×
	saddr, r	3	(saddr), CY ← (saddr) +r	×	×	×	V	×
	r, sfr	3	r, CY ← r+sfr	×	×	×	V	×
	sfr, r	3	sfr, CY ← sfr+r	×	×	×	V	×
	saddr, saddr'	4	(saddr), CY ← (saddr) + (saddr')	×	×	×	V	×
	A, [saddrp]	3/4	A, CY ← A+ ((saddrp))	×	×	×	V	×
	A, [%saddrg]	3/4	A, CY ← A+ ((saddrg))	×	×	×	V	×
	[saddrp], A	3/4	((saddrp)), CY ← ((saddrp)) +A	×	×	×	V	×
	[%saddrg], A	3/4	((saddrg)), CY ← ((saddrg)) +A	×	×	×	V	×
	A, !addr16	4	A, CY ← A+ (addr16)	×	×	×	V	×
	A, !!addr24	5	A, CY ← A+ (addr24)	×	×	×	V	×
	!addr16, A	4	(addr16), CY ← (addr16) +A	×	×	×	V	×
	!!addr24, A	5	(addr24), CY ← (addr24) +A	×	×	×	V	×
	A, mem	2-5	A, CY ← A+ (mem)	×	×	×	V	×
	mem, A	2-5	(mem), CY ← (mem) +A	×	×	×	V	×

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADDC	A, ＃byte	2	A, CY ← A＋byte＋CY	×	×	×	V	×
	r, ＃byte	3	r, CY ← r＋byte＋CY	×	×	×	V	×
	saddr, ＃byte	3/4	(saddr), CY ← (saddr) ＋byte＋CY	×	×	×	V	×
	sfr, ＃byte	4	sfr, CY ← sfr＋byte＋CY	×	×	×	V	×
	r, r'	2/3	r, CY ← r＋r'＋CY	×	×	×	V	×
	A, saddr2	2	A, CY ← A＋ (saddr2) ＋CY	×	×	×	V	×
	r, saddr	3	r, CY ← r＋ (saddr) ＋CY	×	×	×	V	×
	saddr, r	3	(saddr), CY ← (saddr) ＋r＋CY	×	×	×	V	×
	r, sfr	3	r, CY ← r＋sfr＋CY	×	×	×	V	×
	sfr, r	3	sfr, CY ← sfr＋r＋CY	×	×	×	V	×
	saddr, saddr'	4	(saddr), CY ← (saddr) ＋ (saddr') ＋CY	×	×	×	V	×
	A, [saddrp]	3/4	A, CY ← A＋ ((saddrp)) ＋CY	×	×	×	V	×
	A, [%saddrg]	3/4	A, CY ← A＋ ((saddrg)) ＋CY	×	×	×	V	×
	[saddrp], A	3/4	((saddrp)), CY ← ((saddrp)) ＋A＋CY	×	×	×	V	×
	[%saddrg], A	3/4	((saddrg)), CY ← ((saddrg)) ＋A＋CY	×	×	×	V	×
	A, !addr16	4	A, CY ← A＋ (addr16) ＋CY	×	×	×	V	×
	A, !!addr24	5	A, CY ← A＋ (addr24) ＋CY	×	×	×	V	×
	!addr16, A	4	(addr16), CY ← (addr16) ＋A＋CY	×	×	×	V	×
	!!addr24, A	5	(addr24), CY ← (addr24) ＋A＋CY	×	×	×	V	×
	A, mem	2-5	A, CY ← A＋ (mem) ＋CY	×	×	×	V	×
	mem, A	2-5	(mem), CY ← (mem) ＋A＋CY	×	×	×	V	×

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
SUB	A, #byte	2	A, CY ← A−byte	×	×	×	V	×
	r, #byte	3	r, CY ← r−byte	×	×	×	V	×
	saddr, #byte	3/4	(saddr), CY ← (saddr) −byte	×	×	×	V	×
	sfr, #byte	4	sfr, CY ← sfr−byte	×	×	×	V	×
	r, r'	2/3	r, CY ← r−r'	×	×	×	V	×
	A, saddr2	2	A, CY ← A− (saddr2)	×	×	×	V	×
	r, saddr	3	r, CY ← r− (saddr)	×	×	×	V	×
	saddr, r	3	(saddr), CY ← (saddr) −r	×	×	×	V	×
	r, sfr	3	r, CY ← r−sfr	×	×	×	V	×
	sfr, r	3	sfr, CY ← sfr−r	×	×	×	V	×
	saddr, saddr'	4	(saddr), CY ← (saddr) − (saddr')	×	×	×	V	×
	A, [saddrp]	3/4	A, CY ← A− ((saddrp))	×	×	×	V	×
	A, [%saddrg]	3/4	A, CY ← A− ((saddrg))	×	×	×	V	×
	[saddrp], A	3/4	((saddrp)), CY ← ((saddrp)) −A	×	×	×	V	×
	[%saddrg], A	3/4	((saddrg)), CY ← ((saddrg)) −A	×	×	×	V	×
	A, !addr16	4	A, CY ← A− (addr16)	×	×	×	V	×
	A, !!addr24	5	A, CY ← A− (addr24)	×	×	×	V	×
	!addr16, A	4	(addr16), CY ← (addr16) −A	×	×	×	V	×
	!!addr24, A	5	(addr24), CY ← (addr24) −A	×	×	×	V	×
	A, mem	2-5	A, CY ← A− (mem)	×	×	×	V	×
	mem, A	2-5	(mem), CY ← (mem) −A	×	×	×	V	×

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
SUBC	A, ＃byte	2	A, CY ← A－byte－CY	×	×	×	V	×
	r, ＃byte	3	r, CY ← r－byte－CY	×	×	×	V	×
	saddr, ＃byte	3/4	(saddr), CY ← (saddr) －byte－CY	×	×	×	V	×
	sfr, ＃byte	4	sfr, CY ← sfr－byte－CY	×	×	×	V	×
	r, r'	2/3	r, CY ← r－r'－CY	×	×	×	V	×
	A, saddr2	2	A, CY ← A－ (saddr2) －CY	×	×	×	V	×
	r, saddr	3	r, CY ← r－ (saddr) －CY	×	×	×	V	×
	saddr, r	3	(saddr), CY ← (saddr) －r－CY	×	×	×	V	×
	r, sfr	3	r, CY ← r－sfr－CY	×	×	×	V	×
	sfr, r	3	sfr, CY ← sfr－r－CY	×	×	×	V	×
	saddr, saddr'	4	(saddr), CY ← (saddr) － (saddr') －CY	×	×	×	V	×
	A, [saddrp]	3/4	A, CY ← A－ ((saddrp)) －CY	×	×	×	V	×
	A, [%saddrg]	3/4	A, CY ← A－ ((saddrg)) －CY	×	×	×	V	×
	[saddrp], A	3/4	((saddrp)), CY ← ((saddrp)) －A－CY	×	×	×	V	×
	[%saddrg], A	3/4	((saddrg)), CY ← ((saddrg)) －A－CY	×	×	×	V	×
	A, !addr16	4	A, CY ← A－ (addr16) －CY	×	×	×	V	×
	A, !!addr24	5	A, CY ← A－ (addr24) －CY	×	×	×	V	×
	!addr16, A	4	(addr16), CY ← (addr16) －A－CY	×	×	×	V	×
	!!addr24, A	5	(addr24), CY ← (addr24) －A－CY	×	×	×	V	×
	A, mem	2-5	A, CY ← A－ (mem) －CY	×	×	×	V	×
	mem, A	2-5	(mem), CY ← (mem) －A－CY	×	×	×	V	×

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CMP	A, ＃byte	2	A－byte	×	×	×	V	×
	r, ＃byte	3	r－byte	×	×	×	V	×
	saddr, ＃byte	3/4	(saddr) －byte	×	×	×	V	×
	sfr, ＃byte	4	sfr－byte	×	×	×	V	×
	r, r'	2/3	r－r'	×	×	×	V	×
	A, saddr2	2	A－ (saddr2)	×	×	×	V	×
	r, saddr	3	r－ (saddr)	×	×	×	V	×
	saddr, r	3	(saddr) －r	×	×	×	V	×
	r, sfr	3	r－sfr	×	×	×	V	×
	sfr, r	3	sfr－r	×	×	×	V	×
	saddr, saddr'	4	(saddr) － (saddr')	×	×	×	V	×
	A, [saddrp]	3/4	A－ ((saddrp))	×	×	×	V	×
	A, [%saddrg]	3/4	A－ ((saddrg))	×	×	×	V	×
	[saddrp], A	3/4	((saddrp)) －A	×	×	×	V	×
	[%saddrg], A	3/4	((saddrg)) －A	×	×	×	V	×
	A, !addr16	4	A－ (addr16)	×	×	×	V	×
	A, !!addr24	5	A－ (addr24)	×	×	×	V	×
	!addr16, A	4	(addr16) －A	×	×	×	V	×
	!!addr24, A	5	(addr24) －A	×	×	×	V	×
	A, mem	2-5	A－ (mem)	×	×	×	V	×
	mem, A	2-5	(mem) －A	×	×	×	V	×

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
AND	A, #byte	2	A ← A∧byte	×	×		P	
	r, #byte	3	r ← r∧byte	×	×		P	
	saddr, #byte	3/4	(saddr) ← (saddr) ∧byte	×	×		P	
	sfr, #byte	4	sfr ← sfr∧byte	×	×		P	
	r, r'	2/3	r ← r∧r'	×	×		P	
	A, saddr2	2	A ← A∧ (saddr2)	×	×		P	
	r, saddr	3	r ← r∧ (saddr)	×	×		P	
	saddr, r	3	(saddr) ← (saddr) ∧r	×	×		P	
	r, sfr	3	r ← r∧sfr	×	×		P	
	sfr, r	3	sfr ← sfr∧r	×	×		P	
	saddr, saddr'	4	(saddr) ← (saddr) ∧ (saddr')	×	×		P	
	A, [saddrp]	3/4	A ← A∧ ((saddrp))	×	×		P	
	A, [%saddrg]	3/4	A ← A∧ ((saddrg))	×	×		P	
	[saddrp], A	3/4	((saddrp)) ← ((saddrp)) ∧A	×	×		P	
	[%saddrg], A	3/4	((saddrg)) ← ((saddrg)) ∧A	×	×		P	
	A, !addr16	4	A ← A∧ (addr16)	×	×		P	
	A, !!addr24	5	A ← A∧ (addr24)	×	×		P	
	!addr16, A	4	(addr16) ← (addr16) ∧A	×	×		P	
	!!addr24, A	5	(addr24) ← (addr24) ∧A	×	×		P	
	A, mem	2-5	A ← A∧ (mem)	×	×		P	
	mem, A	2-5	(mem) ← (mem) ∧A	×	×		P	

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
OR	A, #byte	2	A ← A∨byte	×	×		P	
	r, #byte	3	r ← r∨byte	×	×		P	
	saddr, #byte	3/4	(saddr) ← (saddr) ∨byte	×	×		P	
	sfr, #byte	4	sfr ← sfr∨byte	×	×		P	
	r, r'	2/3	r ← r∨r'	×	×		P	
	A, saddr2	2	A ← A∨ (saddr2)	×	×		P	
	r, saddr	3	r ← r∨ (saddr)	×	×		P	
	saddr, r	3	(saddr) ← (saddr) ∨r	×	×		P	
	r, sfr	3	r ← r∨sfr	×	×		P	
	sfr, r	3	sfr ← sfr∨r	×	×		P	
	saddr, saddr'	4	(saddr) ← (saddr) ∨ (saddr')	×	×		P	
	A, [saddrp]	3/4	A ← A∨ ((saddrp))	×	×		P	
	A, [%saddrg]	3/4	A ← A∨ ((saddrg))	×	×		P	
	[saddrp], A	3/4	((saddrp)) ← ((saddrp)) ∨A	×	×		P	
	[%saddrg], A	3/4	((saddrg)) ← ((saddrg)) ∨A	×	×		P	
	A, !addr16	4	A ← A∨ (saddr16)	×	×		P	
	A, !!addr24	5	A ← A∨ (saddr24)	×	×		P	
	!addr16, A	4	(addr16) ← (addr16) ∨A	×	×		P	
	!!addr24, A	5	(addr24) ← (addr24) ∨A	×	×		P	
	A, mem	2-5	A ← A∨ (mem)	×	×		P	
	mem, A	2-5	(mem) ← (mem) ∨A	×	×		P	

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
XOR	A, #byte	2	A ← A ⊻ byte	×	×		P	
	r, #byte	3	r ← r ⊻ byte	×	×		P	
	saddr, #byte	3/4	(saddr) ← (saddr) ⊻ byte	×	×		P	
	sfr, #byte	4	sfr ← sfr ⊻ byte	×	×		P	
	r, r'	2/3	r ← r ⊻ r'	×	×		P	
	A, saddr2	2	A ← A ⊻ (saddr2)	×	×		P	
	r, saddr	3	r ← r ⊻ (saddr)	×	×		P	
	saddr, r	3	(saddr) ← (saddr) ⊻ r	×	×		P	
	r, sfr	3	r ← r ⊻ sfr	×	×		P	
	sfr, r	3	sfr ← sfr ⊻ r	×	×		P	
	saddr, saddr'	4	(saddr) ← (saddr) ⊻ (saddr')	×	×		P	
	A, [saddrp]	3/4	A ← A ⊻ ((saddrp))	×	×		P	
	A, [%saddrg]	3/4	A ← A ⊻ ((saddrg))	×	×		P	
	[saddrp], A	3/4	((saddrp)) ← ((saddrp)) ⊻ A	×	×		P	
	[%saddrg], A	3/4	((saddrg)) ← ((saddrg)) ⊻ A	×	×		P	
	A, !addr16	4	A ← A ⊻ (addr16)	×	×		P	
	A, !!addr24	5	A ← A ⊻ (addr24)	×	×		P	
	!addr16, A	4	(addr16) ← (addr16) ⊻ A	×	×		P	
	!!addr24, A	5	(addr24) ← (addr24) ⊻ A	×	×		P	
	A, mem	2-5	A ← A ⊻ (mem)	×	×		P	
	mem, A	2-5	(mem) ← (mem) ⊻ A	×	×		P	

（7）16ビット演算命令：ADDW，SUBW，CMPW

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADDW	AX，#word	3	AX，CY ← AX＋word	×	×	×	V	×
	rp，#word	4	rp，CY ← rp＋word	×	×	×	V	×
	rp，rp'	2	rp，CY ← rp＋rp'	×	×	×	V	×
	AX，saddrp2	2	AX，CY ← AX＋（saddrp2）	×	×	×	V	×
	rp，saddrp	3	rp，CY ← rp＋（saddrp）	×	×	×	V	×
	saddrp，rp	3	（saddrp），CY ← （saddrp）＋rp	×	×	×	V	×
	rp，sfrp	3	rp，CY ← rp＋sfrp	×	×	×	V	×
	sfrp，rp	3	sfrp，CY ← sfrp＋rp	×	×	×	V	×
	saddrp，#word	4/5	（saddrp），CY ← （saddrp）＋word	×	×	×	V	×
	sfrp，#word	5	sfrp，CY ← sfrp＋word	×	×	×	V	×
	saddrp，saddrp'	4	（saddrp），CY ← （saddrp）＋（saddrp'）	×	×	×	V	×
SUBW	AX，#word	3	AX，CY ← AX－word	×	×	×	V	×
	rp，#word	4	rp，CY ← rp－word	×	×	×	V	×
	rp，rp'	2	rp，CY ← rp－rp'	×	×	×	V	×
	AX，saddrp2	2	AX，CY ← AX－（saddrp2）	×	×	×	V	×
	rp，saddrp	3	rp，CY ← rp－（saddrp）	×	×	×	V	×
	saddrp，rp	3	（saddrp），CY ← （saddrp）－rp	×	×	×	V	×
	rp，sfrp	3	rp，CY ← rp－sfrp	×	×	×	V	×
	sfrp，rp	3	sfrp，CY ← sfrp－rp	×	×	×	V	×
	saddrp，#word	4/5	（saddrp），CY ← （saddrp）－word	×	×	×	V	×
	sfrp，#word	5	sfrp，CY ← sfrp－word	×	×	×	V	×
	saddrp，saddrp'	4	（saddrp），CY ← （saddrp）－（saddrp'）	×	×	×	V	×
CMPW	AX，#word	3	AX－word	×	×	×	V	×
	rp，#word	4	rp－word	×	×	×	V	×
	rp，rp'	2	rp－rp'	×	×	×	V	×
	AX，saddrp2	2	AX－（saddrp2）	×	×	×	V	×
	rp，saddrp	3	rp－（saddrp）	×	×	×	V	×
	saddrp，rp	3	（saddrp）－rp	×	×	×	V	×
	rp，sfrp	3	rp－sfrp	×	×	×	V	×
	sfrp，rp	3	sfrp－rp	×	×	×	V	×
	saddrp，#word	4/5	（saddrp）－word	×	×	×	V	×
	sfrp，#word	5	sfrp－word	×	×	×	V	×
	saddrp，saddrp'	4	（saddrp）－（saddrp'）	×	×	×	V	×

（8）24ビット演算命令：ADDG，SUBG

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADDG	rg，rg'	2	rg，CY ← rg＋rg'	×	×	×	V	×
	rg，＃imm24	5	rg，CY ← rg＋imm24	×	×	×	V	×
	WHL，saddrg	3	WHL，CY ← WHL＋（saddrg）	×	×	×	V	×
SUBG	rg，rg'	2	rg，CY ← rg－rg'	×	×	×	V	×
	rg，＃imm24	5	rg，CY ← rg－imm24	×	×	×	V	×
	WHL，saddrg	3	WHL，CY ← WHL－（saddrg）	×	×	×	V	×

（9）乗除算命令：MULU，MULUW，MULW，DIVUW，DIVUX

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MULU	r	2/3	AX ← A×r					
MULUW	rp	2	AX（上位），rp（下位）← AX×rp					
MULW	rp	2	AX（上位），rp（下位）← AX×rp					
DIVUW	r	2/3	AX（商），r（余り）← AX÷r[注1]					
DIVUX	rp	2	AXDE（商），rp（余り）← AXDE÷rp[注2]					

注1． r＝0の場合，r ← X，AX←FFFFH

2． rp＝0の場合，rp ← DE，AXDE←FFFFFFFFH

（10）特殊演算命令：MACW，MACSW，SACW

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MACW	byte	3	AXDE ← (B) × (C) ＋AXDE，B ← B＋2， C ← C＋2，byte ← byte－1 End if (byte＝0 or P/V＝1)	×	×	×	V	×
MACSW	byte	3	AXDE ← (B) × (C) ＋ AXDE，B ← B＋2， C ← C＋2，byte ← byte－1 if byte＝0 then End if P/V＝1 then if overflow AXDE ← 7FFFFFFFH，End if underflow AXDE ← 80000000H，End	×	×	×	V	×
SACW	[TDE＋]，[WHL＋]	4	AX ← ｜(TDE) － (WHL)｜＋AX， TDE ← TDE＋2，WHL ← WHL＋2 C ← C－1 End if (C＝0 or CY＝1)	×	×	×	V	×

(11) 増減命令：INC, DEC, INCW, DECW, INCG, DECG

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
INC	r	1/2	r ← r＋1	×	×	×	V	
	saddr	2/3	(saddr) ← (saddr) ＋1	×	×	×	V	
DEC	r	1/2	r ← r－1	×	×	×	V	
	saddr	2/3	(saddr) ← (saddr) －1	×	×	×	V	
INCW	rp	2/1	rp ← rp＋1					
	saddrp	3/4	(saddrp) ← (saddrp) ＋1					
DECW	rp	2/1	rp ← rp－1					
	saddrp	3/4	(saddrp) ← (saddrp) －1					
INCG	rg	2	rg ← rg＋1					
DECG	rg	2	rg ← rg－1					

(12) 補正命令：ADJBA, ADJBS, CVTBW

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADJBA		2	Decimal Adjust Accumulator after Addition	×	×	×	P	×
ADJBS		2	Decimal Adjust Accumulator after Subtract	×	×	×	P	×
CVTBW		1	X ← A, A ← 00H if A_7 = 0 X ← A, A ← FFH if A_7 = 1					

(13) シフト・ローテート命令：ROR, ROL, RORC, ROLC, SHR, SHL, SHRW, SHLW, ROR4, ROL4

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ROR	r, n	2/3	(CY, $r_7 \leftarrow r_0$, $r_{m-1} \leftarrow r_m$) ×n回　n = 0 − 7				P	×
ROL	r, n	2/3	(CY, $r_0 \leftarrow r_7$, $r_{m+1} \leftarrow r_m$) ×n回　n = 0 − 7				P	×
RORC	r, n	2/3	(CY ← r_0, r_7 ← CY, $r_{m-1} \leftarrow r_m$) ×n回　n = 0 − 7				P	×
ROLC	r, n	2/3	(CY ← r_7, r_0 ← CY, $r_{m+1} \leftarrow r_m$) ×n回　n = 0 − 7				P	×
SHR	r, n	2/3	(CY ← r_0, r_7 ← 0, $r_{m-1} \leftarrow r_m$) ×n回　n = 0 − 7	×	×	0	P	×
SHL	r, n	2/3	(CY ← r_7, r_0 ← 0, $r_{m+1} \leftarrow r_m$) ×n回　n = 0 − 7	×	×	0	P	×
SHRW	rp, n	2	(CY ← rp_0, rp_{15} ← 0, $rp_{m-1} \leftarrow rp_m$) ×n回 n = 0 − 7	×	×	0	P	×
SHLW	rp, n	2	(CY ← rp_{15}, rp_0 ← 0, $rp_{m+1} \leftarrow rp_m$) ×n回 n = 0 − 7	×	×	0	P	×
ROR4	mem3	2	A_{3-0} ← $(mem3)_{3-0}$, $(mem3)_{7-4}$ ← A_{3-0}, $(mem3)_{3-0}$ ← $(mem3)_{7-4}$					
ROL4	mem3	2	A_{3-0} ← $(mem3)_{7-4}$, $(mem3)_{3-0}$ ← A_{3-0}, $(mem3)_{7-4}$ ← $(mem3)_{3-0}$					

(14) ビット操作命令：MOV1, AND1, OR1, XOR1, NOT1, SET1, CLR1

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOV1	CY, saddr. bit	3/4	CY ← (saddr. bit)					×
	CY, sfr. bit	3	CY ← sfr. bit					×
	CY, X. bit	2	CY ← X. bit					×
	CY, A. bit	2	CY ← A. bit					×
	CY, PSWL. bit	2	CY ← PSW_L. bit					×
	CY, PSWH. bit	2	CY ← PSW_H. bit					×
	CY, !addr16. bit	5	CY ← !addr16. bit					×
	CY, !!addr24. bit	2	CY ← !!addr24. bit					×
	CY, mem2. bit	2	CY ← mem2. bit					×
	saddr. bit, CY	3/4	(saddr. bit) ← CY					
	sfr. bit, CY	3	sfr. bit ← CY					
	X. bit, CY	2	X. bit ← CY					
	A. bit, CY	2	A. bit ← CY					
	PSWL. bit, CY	2	PSW_L. bit ← CY	×	×	×	×	×
	PSWH. bit, CY	2	PSW_H. bit ← CY					
	!addr16. bit, CY	5	!addr16. bit ← CY					
	!!addr24. bit, CY	6	!!addr24. bit ← CY					
	mem2. bit, CY	2	mem2. bit ← CY					

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
AND1	CY, saddr. bit	3/4	CY ← CY∧ (saddr. bit)					×
	CY, /saddr. bit	3/4	CY ← CY∧ ($\overline{\text{saddr. bit}}$)					×
	CY, sfr. bit	3	CY ← CY∧sfr. bit					×
	CY, /sfr. bit	3	CY ← CY∧$\overline{\text{sfr. bit}}$					×
	CY, X. bit	2	CY ← CY∧X. bit					×
	CY, /X. bit	2	CY ← CY∧$\overline{\text{X. bit}}$					×
	CY, A. bit	2	CY ← CY∧A. bit					×
	CY, /A. bit	2	CY ← CY∧$\overline{\text{A. bit}}$					×
	CY, PSWL. bit	2	CY ← CY∧PSW_{L}. bit					×
	CY, /PSWL. bit	2	CY ← CY∧$\overline{\text{PSW}_{\text{L}}\text{. bit}}$					×
	CY, PSWH. bit	2	CY ← CY∧PSW_{H}. bit					×
	CY, /PSWH. bit	2	CY ← CY∧$\overline{\text{PSW}_{\text{H}}\text{. bit}}$					×
	CY, !addr16. bit	5	CY ← CY∧!addr16. bit					×
	CY, /!addr16. bit	5	CY ← CY∧$\overline{\text{!addr16. bit}}$					×
	CY, !!addr24. bit	2	CY ← CY∧!!addr24. bit					×
	CY, /!!addr24. bit	6	CY ← CY∧$\overline{\text{!!addr24. bit}}$					×
	CY, mem2. bit	2	CY ← CY∧mem2. bit					×
	CY, /mem2. bit	2	CY ← CY∧$\overline{\text{mem2. bit}}$					×
OR1	CY, saddr. bit	3/4	CY ← CY∨ (saddr. bit)					×
	CY, /saddr. bit	3/4	CY ← CY∨ ($\overline{\text{saddr. bit}}$)					×
	CY, sfr. bit	3	CY ← CY∨sfr. bit					×
	CY, /sfr. bit	3	CY ← CY∨$\overline{\text{sfr. bit}}$					×
	CY, X. bit	2	CY ← CY∨X. bit					×
	CY, /X. bit	2	CY ← CY∨$\overline{\text{X. bit}}$					×
	CY, A. bit	2	CY ← CY∨A. bit					×
	CY, /A. bit	2	CY ← CY∨$\overline{\text{A. bit}}$					×
	CY, PSWL. bit	2	CY ← CY∨PSW_{L}. bit					×
	CY, /PSWL. bit	2	CY ← CY∨$\overline{\text{PSW}_{\text{L}}\text{. bit}}$					×
	CY, PSWH. bit	2	CY ← CY∨PSW_{H}. bit					×
	CY, /PSWH. bit	2	CY ← CY∨$\overline{\text{PSW}_{\text{H}}\text{. bit}}$					×
	CY, !addr16. bit	5	CY ← CY∨!addr16. bit					×
	CY, /!addr16. bit	5	CY ← CY∨$\overline{\text{!addr16. bit}}$					×
	CY, !!addr24. bit	2	CY ← CY∨!!addr24. bit					×
	CY, /!!addr24. bit	6	CY ← CY∨$\overline{\text{!!addr24. bit}}$					×
	CY, mem2. bit	2	CY ← CY∨mem2. bit					×
	CY, /mem2. bit	2	CY ← CY∨$\overline{\text{mem2. bit}}$					×

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
XOR1	CY, saddr. bit	3/4	CY ← CY ∨ (saddr. bit)					×
	CY, sfr. bit	3	CY ← CY ∨ sfr. bit					×
	CY, X. bit	2	CY ← CY ∨ X. bit					×
	CY, A. bit	2	CY ← CY ∨ A. bit					×
	CY, PSWL. bit	2	CY ← CY ∨ PSW_L. bit					×
	CY, PSWH. bit	2	CY ← CY ∨ PSW_H. bit					×
	CY, !addr16. bit	5	CY ← CY ∨ !addr16. bit					×
	CY, !!addr24. bit	2	CY ← CY ∨ !!addr24. bit					×
	CY, mem2. bit	2	CY ← CY ∨ mem2. bit					×
NOT1	saddr. bit	3/4	(saddr. bit) ← $\overline{(\text{saddr. bit})}$					
	sfr. bit	3	sfr. bit ← $\overline{\text{sfr. bit}}$					
	X. bit	2	X. bit ← $\overline{\text{X. bit}}$					
	A. bit	2	A. bit ← $\overline{\text{A. bit}}$					
	PSWL. bit	2	PSWL. bit ← $\overline{PSW_L\text{. bit}}$	×	×	×	×	×
	PSWH. bit	2	PSWH. bit ← $\overline{PSW_H\text{. bit}}$					
	!addr16. bit	5	!addr16. bit ← $\overline{\text{!addr16. bit}}$					
	!!addr24. bit	2	!!addr24. bit ← $\overline{\text{!!addr24. bit}}$					
	mem2. bit	2	mem2. bit ← $\overline{\text{mem2. bit}}$					
	CY	1	CY ← $\overline{\text{CY}}$					×
SET1	saddr. bit	2/3	(saddr. bit) ← 1					
	sfr. bit	3	sfr. bit ← 1					
	X. bit	2	X. bit ← 1					
	A. bit	2	A. bit ← 1					
	PSWL. bit	2	PSW_L. bit ← 1	×	×	×	×	×
	PSWH. bit	2	PSW_H. bit ← 1					
	!addr16. bit	5	!addr16. bit ← 1					
	!!addr24. bit	2	!!addr24. bit ← 1					
	mem2. bit	2	mem2. bit ← 1					
	CY	1	CY ← 1					1
CLR1	saddr. bit	2/3	(saddr. bit) ← 0					
	sfr. bit	3	sfr. bit ← 0					
	X. bit	2	X. bit ← 0					
	A. bit	2	A. bit ← 0					
	PSWL. bit	2	PSW_L. bit ← 0	×	×	×	×	×
	PSWH. bit	2	PSW_H. bit ← 0					
	!addr16. bit	5	!addr16. bit ← 0					
	!!addr24. bit	2	!!addr24. bit ← 0					
	mem2. bit	2	mem2. bit ← 0					
	CY	1	CY ← 0					0

(15) スタック操作命令：PUSH, PUSHU, POP, POPU, MOVG, ADDWG, SUBWG, INCG, DECG

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
PUSH	PSW	1	(SP－2) ← PSW, SP ← SP－2					
	sfrp	3	(SP－2) ← sfrp, SP ← SP－2					
	sfr	3	(SP－1) ← sfr, SP ← SP－1					
	post	2	{(SP－2) ← post, SP ← SP－2}×m回[注]					
	rg	2	(SP－3) ← rg, SP ← SP－3					
PUSHU	post	2	{(UUP－2) ← post, UUP ← UUP－2}×m回[注]					
POP	PSW	1	PSW ← (SP), SP ← SP＋2	R	R	R	R	R
	sfrp	3	sfrp ← (SP), SP ← SP＋2					
	sfr	3	sfr ← (SP), SP ← SP＋1					
	post	2	{post ← (SP), SP ← SP＋2}×m回[注]					
	rg	2	rg ← (SP), SP ← SP＋3					
POPU	post	2	{post ← (UUP), UUP ← UUP＋2}×m回[注]					
MOVG	SP, #imm24	5	SP ← imm24					
	SP, WHL	2	SP ← WHL					
	WHL, SP	2	WHL ← SP					
ADDWG	SP, #word	4	SP ← SP＋word					
SUBWG	SP, #word	4	SP ← SP－word					
INCG	SP	2	SP ← SP＋1					
DECG	SP	2	SP ← SP－1					

注　mは，postで指定されたレジスタ数

(16) コール・リターン命令：CALL, CALLF, CALLT, BRK, BRKCS, RET, RETI, RETB, RETCS, RETCSB

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CALL	!addr16	3	(SP－3) ← (PC＋3), SP ← SP－3, PC_{HW} ← 0, PC_{LW} ← addr16					
	!!addr20	4	(SP－3) ← (PC＋4), SP ← SP－3, PC ← addr20					
	rp	2	(SP－3) ← (PC＋2), SP ← SP－3, PC_{HW} ← 0, PC_{LW} ← rp					
	rg	2	(SP－3) ← (PC＋2), SP ← SP－3, PC ← rg					
	[rp]	2	(SP－3) ← (PC＋2), SP ← SP－3, PC_{HW} ← 0, PC_{LW} ← (rp)					
	[rg]	2	(SP－3) ← (PC＋2), SP ← SP－3, PC ← (rg)					
	$!addr20	3	(SP－3) ← (PC＋3), SP ← SP－3, PC ← PC＋3＋jdisp16					
CALLF	!addr11	2	(SP－3) ← (PC＋2), SP ← SP－3, PC_{19-12} ← 0, PC_{11} ← 1, PC_{10-0} ← addr11					
CALLT	[addr5]	1	(SP－3) ← (PC＋1), SP ← SP－3, PC_{HW} ← 0, PC_{LW} ← (addr5)					
BRK		1	(SP－2) ← PSW, $(SP-1)_{0-3}$ ←, $(PC+1)_{HW}$, (SP－4) ← $(PC+1)_{LW}$, SP ← SP－4 PC_{HW} ← 0, PC_{LW} ← (003EH)					
BRKCS	RBn	2	PC_{LW} ← RP2, RP3 ← PSW, RBS2－0 ← n, RSS ← 0, IE ← 0, $RP3_{8-11}$ ← PC_{HW}, PC_{HW} ← 0					
RET		1	PC ← (SP), SP ← SP＋3					
RETI		1	PC_{LW} ← (SP), PC_{HW} ← $(SP+3)_{0-3}$, PSW ← (SP＋2), SP ← SP＋4 ISPR中でセット（1）されている最も優先順位の高いフラグをクリア（0）	R	R	R	R	R
RETB		1	PC_{LW} ← (SP), PC_{HW} ← $(SP+3)_{0-3}$, PSW ← (SP＋2), SP ← SP＋4	R	R	R	R	R
RETCS	!addr16	3	PSW ← RP3, PC_{LW} ← RP2, RP2 ← addr16, PC_{HW} ← $RP3_{8-11}$ ISPR中でセット（1）されている最も優先順位の高いフラグをクリア（0）	R	R	R	R	R
RETCSB	!addr16	4	PSW ← RP3, PC_{LW} ← RP2, RP2 ← addr16, PC_{HW} ← $RP3_{8-11}$	R	R	R	R	R

（17）無条件分岐命令：BR

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
BR	!addr16	3	PC_{HW} ← 0，PC_{LW} ← addr16					
	!!addr20	4	PC ← addr20					
	rp	2	PC_{HW} ← 0，PC_{LW} ← rp					
	rg	2	PC ← rg					
	[rp]	2	PC_{HW} ← 0，PC_{LW} ← (rp)					
	[rg]	2	PC ← (rg)					
	$addr20	2	PC ← PC＋2＋jdisp8					
	$!addr20	3	PC ← PC＋3＋jdisp16					

(18) 条件付き分岐命令：BNZ, BNE, BZ, BE, BNC, BNL, BC, BL, BNV, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BH, BF, BT, BTCLR, BFSET, DBNZ

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
BNZ	$addr20	2	PC ← PC＋2＋jdisp8 if Z = 0					
BNE								
BZ	$addr20	2	PC ← PC＋2＋jdisp8 if Z = 1					
BE								
BNC	$addr20	2	PC ← PC＋2＋jdisp8 if CY = 0					
BNL								
BC	$addr20	2	PC ← PC＋2＋jdisp8 if CY = 1					
BL								
BNV	$addr20	2	PC ← PC＋2＋jdisp8 if P/V = 0					
BPO								
BV	$addr20	2	PC ← PC＋2＋jdisp8 if P/V = 1					
BPE								
BP	$addr20	2	PC ← PC＋2＋jdisp8 if S = 0					
BN	$addr20	2	PC ← PC＋2＋jdisp8 if S = 1					
BLT	$addr20	3	PC ← PC＋3＋jdisp8 if P/V ⊻ S = 1					
BGE	$addr20	3	PC ← PC＋3＋jdisp8 if P/V ⊻ S = 0					
BLE	$addr20	3	PC ← PC＋3＋jdisp8 if (P/V ⊻ S)∨Z = 1					
BGT	$addr20	3	PC ← PC＋3＋jdisp8 if (P/V ⊻ S)∨Z = 0					
BNH	$addr20	3	PC ← PC＋3＋jdisp8 if Z∨CY = 1					
BH	$addr20	3	PC ← PC＋3＋jdisp8 if Z∨CY = 0					
BF	saddr. bit, $addr20	4/5	PC ← PC＋4[注]＋jdisp8 if (saddr. bit) = 0					
	sfr. bit, $addr20	4	PC ← PC＋4＋jdisp8 if sfr. bit = 0					
	X. bit, $addr20	3	PC ← PC＋3＋jdisp8 if X. bit = 0					
	A. bit, $addr20	3	PC ← PC＋3＋jdisp8 if A. bit = 0					
	PSWL. bit, $addr20	3	PC ← PC＋3＋jdisp8 if PSW_L. bit = 0					
	PSWH. bit, $addr20	3	PC ← PC＋3＋jdisp8 if PSW_H. bit = 0					
	!addr16. bit, $addr20	6	PC ← PC＋3＋jdisp8 if !addr16. bit = 0					
	!!addr24. bit, $addr20	3	PC ← PC＋3＋jdisp8 if !!addr24. bit = 0					
	mem2. bit, $addr20	3	PC ← PC＋3＋jdisp8 if mem2. bit = 0					

注　バイト数が４のとき。５のときはPC ← PC＋５＋jdisp8になります。

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
BT	saddr. bit, ＄addr20	3/4	PC ← PC＋３[注1]＋jdisp8 if (saddr. bit) = １					
	sfr. bit, ＄addr20	4	PC ← PC＋４＋jdisp8 if sfr. bit = １					
	X. bit, ＄addr20	3	PC ← PC＋３＋jdisp8 if X. bit = １					
	A. bit, ＄addr20	3	PC ← PC＋３＋jdisp8 if A. bit = １					
	PSWL. bit, ＄addr20	3	PC ← PC＋３＋jdisp8 if PSW_L. bit = １					
	PSWH. bit, ＄addr20	3	PC ← PC＋３＋jdisp8 if PSW_H. bit = １					
	!addr16. bit, ＄addr20	6	PC ← PC＋３＋jdisp8 if !addr16. bit = １					
	!!addr24. bit, ＄addr20	3	PC ← PC＋３＋jdisp8 if !!addr24. bit = １					
	mem2. bit, ＄addr20	3	PC ← PC＋３＋jdisp8 if mem2. bit = １					
BTCLR	saddr. bit, ＄addr20	4/5	{PC ← PC＋４[注2]＋jdisp8, (saddr. bit) ← ０} if (saddr. bit) = １					
	sfr. bit, ＄addr20	4	{PC ← PC＋４＋jdisp8, sfr. bit ← ０} if sfr. bit = １					
	X. bit, ＄addr20	3	{PC ← PC＋３＋jdisp8, X. bit ← ０} if X. bit = １					
	A. bit, ＄addr20	3	{PC ← PC＋３＋jdisp8, A. bit ← ０} if A. bit = １					
	PSWL. bit, ＄addr20	3	{PC ← PC＋３＋jdisp8, PSW_L. bit ← ０} if PSW_L. bit = １	×	×	×	×	×
	PSWH. bit, ＄addr20	3	{PC ← PC＋３＋jdisp8, PSW_H. bit ← ０} if PSW_H. bit = １					
	!addr16. bit, ＄addr20	6	{PC ← PC＋３＋jdisp8, !addr16. bit ← ０} if !addr16. bit = １					
	!!addr24. bit, ＄addr20	3	{PC ← PC＋３＋jdisp8, !!addr24. bit ← ０} if !!addr24. bit = １					
	mem2. bit, ＄addr20	3	{PC ← PC＋３＋jdisp8, mem2. bit ← ０} if mem2. bit = １					

注１．バイト数が３のとき。４のときはPC ← PC＋４＋jdisp8になります。

２．バイト数が４のとき。５のときはPC ← PC＋５＋jdisp8になります。

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
BFSET	saddr. bit, ＄addr20	4/5	{PC ← PC＋4[注2]＋jdisp8, (saddr. bit) ← 1} if (saddr. bit) = 0					
	sfr. bit, ＄addr20	4	{PC ← PC＋4＋jdisp8, sfr. bit ← 1} if sfr. bit = 0					
	X. bit, ＄addr20	3	{PC ← PC＋3＋jdisp8, X. bit ← 1} if X. bit = 0					
	A. bit, ＄addr20	3	{PC ← PC＋3＋jdisp8, A. bit ← 1} if A. bit = 0					
	PSWL. bit, ＄addr20	3	{PC ← PC＋3＋jdisp8, PSW_L. bit ← 1} if PSW_L. bit = 0	×	×	×	×	×
	PSWH. bit, ＄addr20	3	{PC ← PC＋3＋jdisp8, PSW_H. bit ← 1} if PSW_H. bit = 0					
	!addr16. bit, ＄addr20	6	{PC ← PC＋3＋jdisp8, !addr16. bit ← 1} if !addr16. bit = 0					
	!!addr24. bit, ＄addr20	3	{PC ← PC＋3＋jdisp8, !!addr24. bit ← 1} if !!addr24. bit = 0					
	mem2. bit, ＄addr20	3	{PC ← PC＋3＋jdisp8, mem2. bit ← 1} if mem2. bit = 0					
DBNZ	B, ＄addr20	2	B ← B－1, PC ← PC＋2＋jdisp8 if B ≠ 0					
	C, ＄addr20	2	C ← C－1, PC ← PC＋2＋jdisp8 if C ≠ 0					
	saddr, ＄addr20	3/4	(saddr) ← (saddr)－1, PC ← PC＋3[注1]＋jdisp8 if (saddr) ≠ 0					

注1． バイト数が3のとき。4のときはPC ← PC＋4＋jdisp8になります。

2． バイト数が4のとき。5のときはPC ← PC＋5＋jdisp8になります。

(19) CPU制御命令：MOV, LOCATION, SEL, SWRS, NOP, EI, DI

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOV	STBC, #byte	4	STBC ← byte					
	WDM, #byte	4	WDM ← byte					
LOCATION	locaddr	4	SFR, 内部データ領域の配置アドレスの上位ワード指定					
SEL	RBn	2	RSS ← 0, RBS2－0 ← n					
	RBn, ALT	2	RSS ← 1, RBS2－0 ← n					
SWRS		2	RSS ← $\overline{RSS}$					
NOP		1	No Operation					
EI		1	IE ← 1 (Enable interrupt)					
DI		1	IE ← 0 (Disable interrupt)					

(20) 特殊命令：CHKL, CHKLA

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CHKL	sfr	3	(端子レベル) ∀ (出力ラッチ)	×	×		P	
CHKLA	sfr	3	A ← (端子レベル) ∀ (出力ラッチ)	×	×		P	

(21) ストリング命令：MOVTBLW, MOVM, XCHM, MOVBK, XCHBK, CMPME, CMPMNE, CMPMC, CMPMNC, CMPBKE, CMPBKNE, CMPBKC, CMPBKNC

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOVTBLW	!addr8, byte	4	(addr8+2) ← (addr8), byte ← byte−1, addr8 ← addr8−2 End if byte = 0					
MOVM	[TDE+], A	2	(TDE) ← A, TDE ← TDE+1, C ← C−1 End if C = 0					
	[TDE−], A	2	(TDE) ← A, TDE ← TDE−1, C ← C−1 End if C = 0					
XCHM	[TDE+], A	2	(TDE) ↔ A, TDE ← TDE+1, C ← C−1 End if C = 0					
	[TDE−], A	2	(TDE) ↔ A, TDE ← TDE−1, C ← C−1 End if C = 0					
MOVBK	[TDE+], [WHL+]	2	(TDE) ← (WHL), TDE ← TDE+1, WHL ← WHL+1, C ← C−1 End if C = 0					
	[TDE−], [WHL−]	2	(TDE) ← (WHL), TDE ← TDE−1, WHL ← WHL−1, C ← C−1 End if C = 0					
XCHBK	[TDE+], [WHL+]	2	(TDE) ↔ (WHL), TDE ← TDE+1, WHL ← WHL+1, C ← C−1 End if C = 0					
	[TDE−], [WHL−]	2	(TDE) ↔ (WHL), TDE ← TDE−1, WHL ← WHL−1, C ← C−1 End if C = 0					
CMPME	[TDE+], A	2	(TDE)−A, TDE ← TDE+1, C ← C−1 End if C = 0 or Z = 0	×	×	×	V	×
	[TDE−], A	2	(TDE)−A, TDE ← TDE−1, C ← C−1 End if C = 0 or Z = 0	×	×	×	V	×
CMPMNE	[TDE+], A	2	(TDE)−A, TDE ← TDE+1, C ← C−1 End if C = 0 or Z = 1	×	×	×	V	×
	[TDE−], A	2	(TDE)−A, TDE ← TDE−1, C ← C−1 End if C = 0 or Z = 1	×	×	×	V	×
CMPMC	[TDE+], A	2	(TDE)−A, TDE ← TDE+1, C ← C−1 End if C = 0 or CY = 0	×	×	×	V	×
	[TDE−], A	2	(TDE)−A, TDE ← TDE−1, C ← C−1 End if C = 0 or CY = 0	×	×	×	V	×
CMPMNC	[TDE+], A	2	(TDE)−A, TDE ← TDE+1, C ← C−1 End if C = 0 or CY = 1	×	×	×	V	×
	[TDE−], A	2	(TDE)−A, TDE ← TDE−1, C ← C−1 End if C = 0 or CY = 1	×	×	×	V	×
CMPBKE	[TDE+], [WHL+]	2	(TDE)−(WHL), TDE ← TDE+1, WHL ← WHL+1, C ← C−1 End if C = 0 or Z = 0	×	×	×	V	×
	[TDE−], [WHL−]	2	(TDE)−(WHL), TDE ← TDE−1, WHL ← WHL−1, C ← C−1 End if C = 0 or Z = 0	×	×	×	V	×

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CMPBKNE	[TDE+], [WHL+]	2	(TDE)−(WHL), TDE ← TDE+1, WHL ← WHL+1, C ← C−1 End if C = 0 or Z = 1	×	×	×	V	×
	[TDE−], [WHL−]	2	(TDE)−(WHL), TDE ← TDE−1, WHL ← WHL−1, C ← C−1 End if C = 0 or Z = 1	×	×	×	V	×
CMPBKC	[TDE+], [WHL+]	2	(TDE)−(WHL), TDE ← TDE+1, WHL ← WHL+1, C ← C−1 End if C = 0 or CY = 0	×	×	×	V	×
	[TDE−], [WHL−]	2	(TDE)−(WHL), TDE ← TDE−1, WHL ← WHL−1, C ← C−1 End if C = 0 or CY = 0	×	×	×	V	×
CMPBKNC	[TDE+], [WHL+]	2	(TDE)−(WHL), TDE ← TDE+1, WHL ← WHL+1, C ← C−1 End if C = 0 or CY = 1	×	×	×	V	×
	[TDE−], [WHL−]	2	(TDE)−(WHL), TDE ← TDE−1, WHL ← WHL−1, C ← C−1 End if C = 0 or CY = 1	×	×	×	V	×

〔メ　モ〕

27.3　アドレシング別命令一覧

（1）８ビット命令（(　) 内は, rとしてAを記述することで実現している組み合わせです）

MOV, XCH, ADD, ADDC, SUB, SUBC, AND OR XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, SHR, SHL, ROR4, ROL4, DBNZ, PUSH, POP, MOVM, XCHM, CMPME, CMPMNE, CMPMNC, CMPMC, MOVBK, XCHBK, CMPBKE, CMPBKNE, CMPBKNC, CMPBKC, CHKL, CHKLA

表27－１　８ビット・アドレシング別命令一覧表（1/2）

第２オペランド 第１オペランド	#byte	A	r r'	saddr saddr'	sfr
A	(MOV) ADD[注1]	(MOV) (XCH) (ADD)[注1]	MOV XCH (ADD)[注1]	(MOV)[注6] (XCH)[注6] (ADD)[注1,6]	MOV (XCH) (ADD)[注1]
r	MOV ADD[注1]	(MOV) (XCH) (ADD)[注1]	MOV XCH ADD[注1]	MOV XCH ADD[注1]	MOV XCH ADD[注1]
saddr	MOV ADD[注1]	(MOV)[注6] (ADD)[注1]	MOV ADD[注1]	MOV XCH ADD[注1]	
sfr	MOV ADD[注1]	MOV (ADD)[注1]	MOV ADD[注1]		
!addr16 !!addr24	MOV	MOV ADD[注1]	MOV		
mem [saddrp] [%saddrg]		MOV ADD[注1]			
mem3					
r3 PSWL PSWH	MOV	MOV			
B, C					
STBC, WDM	MOV				
[TDE+] [TDE−]		(MOV) (ADD)[注1] MOVM[注4]			

（注の説明は次頁にあります。）

表27－１　８ビット・アドレシング別命令一覧表（2/2）

第２オペランド 第１オペランド	!addr16 !!addr24	mem [saddrp] [%saddrg]	r3 PSWL PSWH	[WHL＋] [WHL－]	n	なし[注2]
A	(MOV) (XCH) ADD[注1]	MOV XCH ADD[注1]	MOV	(MOV) (XCH) (ADD)[注1]		
r	MOV XCH				ROR[注3]	MULU DIVUW INC DEC
saddr						INC DEC DBNZ
sfr						PUSH POP CHKL CHKLA
!addr16 !!addr24						
mem [saddrp] [%saddrg]						
mem3						ROR4 ROL4
r3 PSWL PSWH						
B，C						DBNZ
STBC，WDM						
[TDE＋] [TDE－]				MOVBK[注5]		

注１．ADDC，SUB，SUBC，AND，OR，XOR，CMPはADDと同じ
　２．第２オペランドがないか，第２オペランドがオペランド・アドレスでない
　３．ROL，RORC，ROLC，SHR，SHLはRORと同じ
　４．XCHM，CMPME，CMPMNE，CMPMNC，CMPMCはMOVMと同じ
　５．XCHBK，CMPBKE，CMPBKNE，CMPBKNC，CMPBKCはMOVBKと同じ
　６．この組み合わせでsaddrがsaddr2の場合，短いコード長の命令がある

（2）16ビット命令（(　) 内は，rpとしてAXを記述することで実現している組み合わせです）

MOVM，XCHW，ADDW，SUBW，CMPW，MULUW，MULW，DIVUX，INCW，DECW，SHRW，SHLW，PUSH，POP，ADDWG，SUBWG，PUSHU，POPU，MOVTBLW，MACW，MACSW，SACW

表27－2　16ビット・アドレシング別命令一覧表（1/2）

第２オペランド 第１オペランド	#word	AX	rp rp'	saddrp saddrp'	sfrp
AX	(MOVW) ADDW注1	(MOVW) (XCHW) (ADD)注1	(MOVW) (XCHW) (ADDW)注1	(MOVW)注3 (XCHW)注3 (ADDW)注1,3	MOVW (XCHW) (ADDW)注1
rp	MOVW ADDW注1	(MOVW) (XCHW) (ADDW)注1	MOVW XCHW ADDW注1	MOVW XCHW ADDW注1	MOVW XCHW ADDW注1
saddrp	MOVW ADDW注1	(MOVW)注3 (ADDW)注1	MOVW ADDW注1	MOVW XCHW ADDW注1	
sfrp	MOVW ADDW注1	MOVW (ADDW)注1	MOVW ADDW注1		
!addr16 !!addr24	MOVW	(MOVW)	MOVW		
mem [saddrp] [%saddrg]		MOVW			
PSW					
SP	ADDWG SUBWG				
post					
[TDE＋]		(MOVW)			
byte					

（注の説明は次頁にあります。）

表27－２　16ビット・アドレシング別命令一覧表（2/2）

第２オペランド 第１オペランド	!addr16 !!addr24	mem [saddrp] [%saddrg]	[WHL＋]	byte	n	なし[注2]
AX	(MOVW) XCHW	MOVW XCHW	(MOVW) (XCHW)			
rp	MOVW				SHRW SHLW	MULW[注4] INCW DECW
saddrp						INCW DECW
sfrp						PUSH POP
!addr16 !!addr24				MOVTBLW		
mem [saddrp] [%saddrg]						
PSW						PUSH POP
SP						
post						PUSH POP PUSHU POPU
[TDE＋]			SACW			
byte						MACW MACSW

注１．SUBW，CMPWはADDWと同じ

２．第２オペランドがないか，第２オペランドがオペランド・アドレスでない

３．この組み合わせでsaddrpがsaddrp2の場合，短いコード長の命令がある

４．MULUW，DIVUXはMULWと同じ

（3）24ビット命令（(　)内は，rgとしてWHLを記述することで実現している組み合わせです）

MOVG，ADDG，SUBG，INCG，DECG，PUSH，POP

表27－3　24ビット・アドレシング別命令一覧表

第2オペランド 第1オペランド	#imm24	WHL	rg rg'	saddrg	!!addr24	mem1	[%saddrg]	SP	なし注
WHL	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) ADDG SUBG	(MOVG)	MOVG	MOVG	MOVG	
rg	MOVG ADDG SUBG	(MOVG) (ADDG) (SUBG)	MOVG ADDG SUBG	MOVG	MOVG				INCG DECG PUSH POP
saddrg		(MOVG)	MOVG						
!!addr24		(MOVG)	MOVG						
mem1		MOVG							
[%saddrg]		MOVG							
SP	MOVG	MOVG							INCG DECG

注　第２オペランドがないか，第２オペランドがオペランド・アドレスでない

（4）ビット操作命令

MOV1，AND1，OR1，XOR1，SET1，CLR1，NOT1，BT，BF，BTCLR，BFSET

表27－4　ビット操作命令アドレシング別命令一覧表

第2オペランド 第1オペランド	CY	saddr. bit　sfr. bit A. bit　X. bit PSWL. bit　PSWH. bit mem2. bit !addr16. bit !!addr24. bit	/saddr. bit　/sfr. bit /A. bit　/X. bit /PSWL. bit　/PSWH. bit /mem2. bit /!addr16. bit /!!addr24. bit	なし注
CY		MOV1 AND1 OR1 XOR1	AND1 OR1	NOT1 SET1 CLR1
saddr. bit sfr. bit A. bit X. bit PSWL. bit PSWH. bit mem2. bit !addr16. bit !!addr24. bit	MOV1			NOT1 SET1 CLR1 BF BT BTCLR BFSET

注　第２オペランドがないか，第２オペランドがオペランド・アドレスでない

（5）コール・リターン命令／分岐命令

CALL, CALLF, CALLT, BRK, RET, RETI, RETB, RETCS, RETCSB, BRKCS, BR, BNZ, BNE, BZ, BE, BNC, BNL, BC, BL, BNV, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BH, BF, BT, BTCLR, BFSET, DBNZ

表27－5　コール・リターン命令／分岐命令アドレシング別命令一覧表

命令アドレスのオペランド	$addr20	$!addr20	!addr16	!!addr20	rp	rg	[rp]	[rg]	!addr11	[addr5]	RBn	なし
基本命令	BC注 BR	CALL BR	CALL BR RETCS RETCSB	CALL BR	CALL BR	CALL BR	CALL BR	CALL BR	CALLF	CALLT	BRKCS	BRK RET RETI RETB
複合命令	BF BT BTCLR BFSET DBNZ											

注　BNZ, BNE, BZ, BE, BNC, BNL, BL, BNV, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BHはBCと同じ

（6）その他の命令

ADJBA, ADJBS, CVTBW, LOCATION, SEL, NOT, EI, DI, SWRS

★

第28章　電気的特性

絶対最大定格（T_A = 25 ℃）

項　　目	略　号	条　　件	定　　格	単　位
電源電圧	V_{DD}		−0.5〜+7.0	V
	AV_{DD}		AV_{SS}〜V_{DD}+0.5	V
	AV_{SS}		−0.5〜+0.5	V
入力電圧	V_{I1}		−0.5〜V_{DD}+0.5	V
	V_{I2}	μPD78P4038, 78P4038YのみPROMプログラミング・モード時の，TEST/V_{PP}端子とP21/INTP0/A9端子	−0.5〜+13.5	V
出力電圧	V_O		−0.5〜V_{DD}+0.5	V
ロウ・レベル出力電流	I_{OL}	１端子	15	mA
		全出力端子合計	100	mA
ハイ・レベル出力電流	I_{OH}	１端子	−10	mA
		全出力端子合計	−100	mA
A/Dコンバータ基準入力電圧	AV_{REF1}		−0.5〜V_{DD}+0.3	V
D/Aコンバータ基準入力電圧	AV_{REF2}		−0.5〜V_{DD}+0.3	V
	AV_{REF3}		−0.5〜V_{DD}+0.3	V
動作周囲温度	T_A		−40〜+85	℃
保存温度	T_{stg}		−65〜+150	℃

注意　各項目のうち１項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格を越えない状態で製品をご使用ください。

動作条件

・動作周囲温度（T_A）：－40～＋85 ℃

・立ち上がり，立ち下がり時間（t_r, t_f）（特に指定のない端子）：0～200 μs

・電源電圧およびクロック・サイクル・タイム：図28－1参照

図28－1　電源電圧およびクロック・サイクル・タイム

容　　量（T_A = 25 ℃，V_{DD} = V_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
入力容量	C_I	f = 1 MHz			10	pF
出力容量	C_O	被測定端子以外は0 V			10	pF
入出力容量	C_{IO}				10	pF

発振回路特性（T_A = −40〜+85 ℃，V_{DD} = +4.5〜5.5 V，V_{SS} = 0 V）

発　振　子	推　奨　回　路	項　　目	MIN.	MAX.	単　位
セラミック発振子 または水晶振動子		発振周波数（f_{XX}）	4	32	MHz
外部クロック		X1入力周波数（f_X）	4	32	MHz
		X1入力立ち上がり， 立ち下がり時間（t_{XR}, t_{XF}）	0	10	ns
		X1入力ハイ／ロウ・レベル幅 （t_{WXH}, t_{WXL}）	10	125	ns

注意　クロック発振回路を使用する場合は，配線容量などの影響を避けるために，破線の部分を次のように配線してください。

- 配線を極力短くする。
- ほかの信号線と交差させない。
- 変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は，常にV_{SS1}と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- 発振回路から信号を取り出さない。

備考　発振子の選択および発振回路定数についてはお客様において発振評価していただくか，発振子メーカに評価を依頼してください。

発振回路特性（T_A = −40～+85 ℃，V_{DD} = +2.7～5.5 V，V_{SS} = 0 V）

発　振　子	推　奨　回　路	項　　目	MIN.	MAX.	単　位
セラミック発振子 または水晶振動子		発振周波数（f_{XX}）	4	16	MHz
外部クロック		X1入力周波数（f_X）	4	16	MHz
		X1入力立ち上がり， 立ち下がり時間（t_{XR}, t_{XF}）	0	10	ns
		X1入力ハイ／ロウ・レベル幅 （t_{WXH}, t_{WXL}）	10	125	ns

注意　クロック発振回路を使用する場合は，配線容量などの影響を避けるために，破線の部分を次のように配線してください。

- 配線を極力短くする。
- ほかの信号線と交差させない。
- 変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は，常にV_{SS1}と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- 発振回路から信号を取り出さない。

備考　発振子の選択および発振回路定数についてはお客様において発振評価していただくか，発振子メーカに評価を依頼してください。

DC特性（T_A = −40 ～+85 ℃，V_{DD} = AV_{DD} = +2.7～5.5 V，V_{SS} = AV_{SS} = 0 V） (1/2)

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
ロウ・レベル入力電圧	V_{IL1}	注1，2，3，4，6の端子を除く	−0.3		0.3V_{DD}	V
	V_{IL2}	注1，2，3，4，6の端子	−0.3		0.2V_{DD}	V
	V_{IL3}	V_{DD} = +5.0 V±10 % 注2，3，4の端子	−0.3		+0.8	V
ハイ・レベル入力電圧	V_{IH1}	注1，6の端子を除く	0.7V_{DD}		V_{DD}+0.3	V
	V_{IH2}	注1，6の端子	0.8V_{DD}		V_{DD}+0.3	V
	V_{IH3}	V_{DD} = +5.0 V±10 % 注2，3，4の端子	2.2		V_{DD}+0.3	V
ロウ・レベル出力電圧	V_{OL1}	I_{OL} = 2 mA 注6の端子を除く			0.4	V
	V_{OL2}	I_{OL} = 3 mA 注6の端子			0.4	V
		I_{OL} = 6 mA 注6の端子			0.6	V
	V_{OL3}	V_{DD} = +5.0 V±10 % I_{OL} = 8 mA 注2，5の端子			1.0	V
ハイ・レベル出力電圧	V_{OH1}	I_{OH} = −2 mA	V_{DD}−1.0			V
	V_{OH2}	V_{DD} = +5.0 V±10 % I_{OH} = −5 mA 注4の端子	V_{DD}−1.4			V
X1ロウ・レベル入力電流	I_{IL}	EXTC = 0 0 V≦V_I≦V_{IL2}			−30	μA
X1ハイ・レベル入力電流	I_{IH}	EXTC = 0 V_{IH2}≦V_I≦V_{DD}			+30	μA

注1．μPD784038サブシリーズ：X1, X2, $\overline{RESET}$, P12/ASCK2/$\overline{SCK2}$, P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2/CI, P24/INTP3, P25/INTP4/ASCK/$\overline{SCK1}$, P26/INTP5, P27/SI0, P32/$\overline{SCK0}$/SCL, P33/SO0/SDA, TEST
μPD784038Yサブシリーズ：X1, X2, $\overline{RESET}$, P12/ASCK2/$\overline{SCK2}$, P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2/CI, P24/INTP3, P25/INTP4/ASCK/$\overline{SCK1}$, P26/INTP5, P27/SI0, TEST

2．μPD784031, 784031Y, 784031(A)：AD0-AD7, A8-A15
上記以外：P40/AD0-P47/AD7, P50/A8-P57/A15

3．μPD784031, 784031Y, 784031(A)：P60/A16-P63/A19, $\overline{RD}$, $\overline{WR}$, P66/$\overline{WAIT}$/HLDRQ, P67/$\overline{REFRQ}$/HLDAK
上記以外：P60/A16-P63/A19, P64/$\overline{RD}$, P65/$\overline{WR}$, P66/$\overline{WAIT}$/HLDRQ, P67/$\overline{REFRQ}$/HLDAK

4．P00-P07

5．P10-P17

6．P32/$\overline{SCK0}$/SCL, P33/SO0/SDA（μPD784038Yサブシリーズのみ）

DC特性（T_A = −40 ～+85 ℃，V_{DD} = AV_{DD} = +2.7～5.5 V，V_{SS} = AV_{SS} = 0 V）（2/2）

項　　目	略　号	条　　件		MIN.	TYP.	MAX.	単　位
入力リーク電流	I_{LI}	0 V≦V_I≦V_{DD} EXTC = 0のときのX1端子を除く				±10	μA
出力リーク電流	I_{LO}	0 V≦V_O≦V_{DD}				±10	μA
V_{DD}電源電流	I_{DD1}	動作モード	f_{XX} = 32 MHz V_{DD} = +5.0 V±10 %		25	45	mA
			f_{XX} = 16 MHz V_{DD} = +2.7～ 3.3 V		12	25	mA
	I_{DD2}	HALTモード	f_{XX} = 32 MHz V_{DD} = +5.0 V±10 %		13	26	mA
			f_{XX} = 16 MHz V_{DD} = +2.7～ 3.3 V		8	12	mA
	I_{DD3}	IDLEモード （EXTC = 0）	f_{XX} = 32 MHz V_{DD} = +5.0 V±10 %			12	mA
			f_{XX} = 16 MHz V_{DD} = +2.7～ 3.3 V			8	mA
プルアップ抵抗	R_L	V_I = 0 V		15		80	kΩ

AC特性（T_A = −40～+85 °C, V_{DD} = AV_{DD} = +2.7～5.5 V, V_{SS} = AV_{SS} = 0 V）

（1）リード／ライト・オペレーション（1/2）

項　　目	略　号	条　　件		MIN.	MAX.	単　位
アドレス・セットアップ時間	t_{SAST}	V_{DD} = +5.0 V±10 %		(0.5+a)T−15		ns
		V_{DD} = +2.7～5.5 V		(0.5+a)T−31		ns
ASTBハイ・レベル幅	t_{WSTH}	V_{DD} = +5.0 V±10 %		(0.5+a)T−17		ns
		V_{DD} = +2.7～5.5 V		(0.5+a)T−40		ns
アドレス・ホールド時間(対ASTB↓)	t_{HSTLA}	V_{DD} = +5.0 V±10 %		0.5T−24		ns
		V_{DD} = +2.7～5.5 V		0.5T−34		ns
アドレス・ホールド時間(対$\overline{RD}$↑)	t_{HRA}			0.5T−14		ns
アドレス→$\overline{RD}$↓遅延時間	t_{DAR}	V_{DD} = +5.0 V±10 %		(1+a)T−9		ns
		V_{DD} = +2.7～5.5 V		(1+a)T−15		ns
アドレス・フロート時間(対$\overline{RD}$↓)	t_{FRA}				0	ns
アドレス→データ入力時間	t_{DAID}	V_{DD} = +5.0 V±10 %			(2.5+a+n)T−37	ns
		V_{DD} = +2.7～5.5 V			(2.5+a+n)T−52	ns
ASTB↓→データ入力時間	t_{DSTID}	V_{DD} = +5.0 V±10 %			(2+n)T−40	ns
		V_{DD} = +2.7～5.5 V			(2+n)T−60	ns
$\overline{RD}$↓→データ入力時間	t_{DRID}	V_{DD} = +5.0 V±10 %			(1.5+n)T−50	ns
		V_{DD} = +2.7～5.5 V			(1.5+n)T−70	ns
ASTB↓→$\overline{RD}$↓遅延時間	t_{DSTR}			0.5T−9		ns
データ・ホールド時間(対$\overline{RD}$↑)	t_{HRID}			0		ns
$\overline{RD}$↑→アドレス・アクティブ時間	t_{DRA}	プログラム・リード後	V_{DD} = +5.0 V±10 %	0.5T−8		ns
			V_{DD} = +2.7～5.5 V	0.5T−12		ns
		データ・リード後	V_{DD} = +5.0 V±10 %	1.5T−8		ns
			V_{DD} = +2.7～5.5 V	1.5T−12		ns
$\overline{RD}$↑→ASTB↑遅延時間	t_{DRST}			0.5T−17		ns
$\overline{RD}$ロウ・レベル幅	t_{WRL}	V_{DD} = +5.0 V±10 %		(1.5+n)T−30		ns
		V_{DD} = +2.7～5.5 V		(1.5+n)T−40		ns
アドレス・ホールド時間(対$\overline{WR}$↑)	t_{HWA}			0.5T−14		ns
アドレス→$\overline{WR}$↓遅延時間	t_{DAW}	V_{DD} = +5.0 V±10 %		(1+a)T−5		ns
		V_{DD} = +2.7～5.5 V		(1+a)T−15		ns
ASTB↓→データ出力遅延時間	t_{DSTOD}	V_{DD} = +5.0 V±10 %			0.5T+19	ns
		V_{DD} = +2.7～5.5 V			0.5T+35	ns
$\overline{WR}$↓→データ出力遅延時間	t_{DWOD}				0.5T−11	ns
ASTB↓→$\overline{WR}$↓出力遅延時間	t_{DSTW}			0.5T−9		ns

備考　T：T_{CYK}（システム・クロック・サイクル・タイム）

a：アドレス・ウエイト時 = 1，それ以外 = 0

n：ウエイト数（n≧0）

（1）リード／ライト・オペレーション（2/2）

項　　目	略　号	条　　件	MIN.	MAX.	単　位
データ・セットアップ時間（対$\overline{WR}$↑）	t_{SODW}	V_{DD} = ＋5.0 V±10 %	(1.5＋n)T－30		ns
		V_{DD} = ＋2.7～5.5 V	(1.5＋n)T－40		ns
データ・ホールド時間（対$\overline{WR}$↑）　注	t_{HWOD}	V_{DD} = ＋5.0 V±10 %	0.5T－5		ns
		V_{DD} = ＋2.7～5.5 V	0.5T－25		ns
$\overline{WR}$↑→ASTB↑遅延時間	t_{DWST}		0.5T－12		ns
$\overline{WR}$ロウ・レベル幅	t_{WWL}	V_{DD} = ＋5.0 V±10 %	(1.5＋n)T－30		ns
		V_{DD} = ＋2.7～5.5 V	(1.5＋n)T－40		ns

注　ホールド時間には，C_L = 50 pF, R_L = 4.7 kΩの負荷条件でV_{OH1}, V_{OL1}を保持する時間を含みます。

備考　T：T_{CYK}（システム・クロック・サイクル・タイム）

n：ウエイト数（n≧0）

（2）バス・ホールド・タイミング

項　　目	略　号	条　　件	MIN.	MAX.	単　位
HLDRQ↑→フロート遅延時間	t_{FHQC}			(6＋a＋n)T＋50	ns
HLDRQ↑→HLDAK↑遅延時間	$t_{DHQHHAH}$	V_{DD} = ＋5.0 V±10 %		(7＋a＋n)T＋30	ns
		V_{DD} = ＋2.7～5.5 V		(7＋a＋n)T＋40	ns
フロート→HLDAK↑遅延時間	t_{DCFHA}			1T＋30	ns
HLDRQ↓→HLDAK↓遅延時間	$t_{DHQLHAL}$	V_{DD} = ＋5.0 V±10 %		2T＋40	ns
		V_{DD} = ＋2.7～5.5 V		2T＋60	ns
HLDAK↓→アクティブ遅延時間	t_{DHAC}	V_{DD} = ＋5.0 V±10 %	1T－20		ns
		V_{DD} = ＋2.7～5.5 V	1T－30		ns

備考　T：T_{CYK}（システム・クロック・サイクル・タイム）

a：アドレス・ウエイト時 = 1，それ以外 = 0

n：ウエイト数（n≧0）

（3）外部ウエイト・タイミング

項　　目	略　号	条　　件	MIN.	MAX.	単　位
アドレス→$\overline{\text{WAIT}}$↓入力時間	t_{DAWT}	V_{DD} = ＋5.0 V±10 %		(2＋a)T－40	ns
		V_{DD} = ＋2.7～5.5 V		(2＋a)T－60	ns
ASTB↓→$\overline{\text{WAIT}}$↓入力時間	t_{DSTWT}	V_{DD} = ＋5.0 V±10 %		1.5T－40	ns
		V_{DD} = ＋2.7～5.5 V		1.5T－60	ns
ASTB↓→$\overline{\text{WAIT}}$保持時間	t_{HSTWTH}	V_{DD} = ＋5.0 V±10 %	(0.5＋n)T＋5		ns
		V_{DD} = ＋2.7～5.5 V	(0.5＋n)T＋10		ns
ASTB↓→$\overline{\text{WAIT}}$↑遅延時間	t_{DSTWTH}	V_{DD} = ＋5.0 V±10 %		(1.5＋n)T－40	ns
		V_{DD} = ＋2.7～5.5 V		(1.5＋n)T－60	ns
$\overline{\text{RD}}$↓→$\overline{\text{WAIT}}$↓入力時間	t_{DRWTL}	V_{DD} = ＋5.0 V±10 %		T－50	ns
		V_{DD} = ＋2.7～5.5 V		T－70	ns
$\overline{\text{RD}}$↓→$\overline{\text{WAIT}}$保持時間	t_{HRWT}	V_{DD} = ＋5.0 V±10 %	nT＋5		ns
		V_{DD} = ＋2.7～5.5 V	nT＋10		ns
$\overline{\text{RD}}$↓→$\overline{\text{WAIT}}$↑遅延時間	t_{DRWTH}	V_{DD} = ＋5.0 V±10 %		(1＋n)T－40	ns
		V_{DD} = ＋2.7～5.5 V		(1＋n)T－60	ns
$\overline{\text{WAIT}}$↑→データ入力時間	t_{DWTID}	V_{DD} = ＋5.0 V±10 %		0.5T－5	ns
		V_{DD} = ＋2.7～5.5 V		0.5T－10	ns
$\overline{\text{WAIT}}$↑→$\overline{\text{WR}}$↑遅延時間	t_{DWTW}		0.5T		ns
$\overline{\text{WAIT}}$↑→$\overline{\text{RD}}$↑遅延時間	t_{DWTR}		0.5T		ns
$\overline{\text{WR}}$↓→$\overline{\text{WAIT}}$↓入力時間	t_{DWWTL}	V_{DD} = ＋5.0 V±10 %		T－50	ns
		V_{DD} = ＋2.7～5.5 V		T－75	ns
$\overline{\text{WR}}$↓→$\overline{\text{WAIT}}$保持時間	t_{HWWT}	V_{DD} = ＋5.0 V±10 %	nT＋5		ns
		V_{DD} = ＋2.7～5.5 V	nT＋10		ns
$\overline{\text{WR}}$↓→$\overline{\text{WAIT}}$↑遅延時間	t_{DWWTH}	V_{DD} = ＋5.0 V±10 %		(1＋n)T－40	ns
		V_{DD} = ＋2.7～5.5 V		(1＋n)T－70	ns

備考　T：T_{CYK}（システム・クロック・サイクル・タイム）

a：アドレス・ウエイト時 = 1，それ以外 = 0

n：ウエイト数（n≧0）

（4）リフレッシュ・タイミング

項　　目	略　号	条　　件	MIN.	MAX.	単　位
ランダム・リード／ライト・サイクル時間	t_{RC}		3T		ns
$\overline{\text{REFRQ}}$ロウ・レベル・パルス幅	t_{WRFQL}	V_{DD} = ＋5.0 V±10 %	1.5T－25		ns
		V_{DD} = ＋2.7～5.5 V	1.5T－30		ns
ASTB↓→$\overline{\text{REFRQ}}$遅延時間	t_{DSTRFQ}		0.5T－9		ns
$\overline{\text{RD}}$↑→$\overline{\text{REFRQ}}$遅延時間	t_{DRRFQ}		1.5T－9		ns
$\overline{\text{WR}}$↑→$\overline{\text{REFRQ}}$遅延時間	t_{DWRFQ}		1.5T－9		ns
$\overline{\text{REFRQ}}$↑→ASTB遅延時間	t_{DRFQST}		0.5T－15		ns
$\overline{\text{REFRQ}}$ハイ・レベル・パルス幅	t_{WRFQH}	V_{DD} = ＋5.0 V±10 %	1.5T－25		ns
		V_{DD} = ＋2.7～5.5 V	1.5T－30		ns

備考　T：T_{CYK}（システム・クロック・サイクル・タイム）

シリアル・オペレーション（T_A = −40～+85 ℃，V_{DD} = +2.7～5.5 V，AV_{SS} = V_{SS} = 0 V）

（1）CSI

項　　目	略　号	条　　件		MIN.	MAX.	単　位
シリアル・クロック・サイクル・タイム（$\overline{SCK0}$）	t_{CYSK0}	入力	外部クロック $\overline{SCK0}$，SO0がCMOS入出力時	10/f_{XX}+380		ns
		出力		T		μs
シリアル・クロック・ロウ・レベル幅（$\overline{SCK0}$）	t_{WSKL0}	入力	外部クロック $\overline{SCK0}$, SO0がCMOS入出力時	5/f_{XX}+150		ns
		出力		0.5T−40		μs
シリアル・クロック・ハイ・レベル幅（$\overline{SCK0}$）	t_{WSKH0}	入力	外部クロック $\overline{SCK0}$，SO0がCMOS入出力時	5/f_{XX}+150		ns
		出力		0.5T−40		μs
SI0セットアップ時間（対$\overline{SCK0}$↑）	t_{SSSK0}			40		ns
SI0ホールド時間（対$\overline{SCK0}$↑）	t_{HSSK0}			5/f_{XX}+40		ns
SO0出力遅延時間（対$\overline{SCK0}$↓）	t_{DSBSK1}	CMOSプッシュプル出力（３線式シリアルI/Oモード）		0	5/f_{XX}+150	ns
	t_{DSBSK2}	オープン・ドレーン出力（２線式シリアルI/Oモード），R_L = 1 kΩ		0	5/f_{XX}+400	ns

備考１． 表中の数値は，C_L = 100 pFのときの値です。

２． T：ソフトウエアで設定したシリアル・クロック周期。最小値は16/f_{XX}

３． f_{XX}：発振周波数

（2）I²C（μPD784038Yサブシリーズのみ）

項　　目	略　号	標準モードI²Cバス f_{XX} = 4～32 MHz		高速モードI²Cバス f_{XX} = 8～32 MHz		単　位
		MIN.	MAX.	MIN.	MAX.	
SCLクロック周波数	f_{SCL}	0	100	0	400	kHz
SCLクロックのロウ状態ホールド時間	t_{LOW}	4.7		1.3		μs
SCLクロックのハイ状態ホールド時間	t_{HIGH}	4.0		0.6		μs
データ・ホールド時間	t_{HD}；DAT	300		300	900	ns
データ・セットアップ時間	t_{SU}；DAT	250		100		ns
SDA，SCL信号の立ち上がり時間	t_R		1000	20+0.1Cb	300	ns
SDA，SCL信号の立ち下がり時間	t_F		300	20+0.1Cb	300	ns
各バス・ラインの負荷容量	Cb		400		400	pF

（3）IOE1, IOE2

項　　目	略　号	条　　件		MIN.	MAX.	単　位
シリアル・クロック・サイクル・タイム（$\overline{SCK1}$, $\overline{SCK2}$）	t_{CYSK1}	入力	V_{DD} = ＋5.0 V±10 %	250		ns
			V_{DD} = ＋2.7～5.5 V	500		ns
		出力	内部16分周	T		ns
シリアル・クロック・ロウ・レベル幅（$\overline{SCK1}$, $\overline{SCK2}$）	t_{WSKL1}	入力	V_{DD} = ＋5.0 V±10 %	85		ns
			V_{DD} = ＋2.7～5.5 V	210		ns
		出力	内部16分周	0.5T－40		ns
シリアル・クロック・ハイ・レベル幅（$\overline{SCK1}$, $\overline{SCK2}$）	t_{WSKH1}	入力	V_{DD} = ＋5.0 V±10 %	85		ns
			V_{DD} = ＋2.7～5.5 V	210		ns
		出力	内部16分周	0.5T－40		ns
SI1, SI2セットアップ時間（対$\overline{SCK1}$, $\overline{SCK2}$↑）	t_{SSSK1}			40		ns
SI1, SI2ホールド時間（対$\overline{SCK1}$, $\overline{SCK2}$↑）	t_{HSSK1}			40		ns
SO1, SO2出力遅延時間（対$\overline{SCK1}$, $\overline{SCK2}$↓）	t_{DSOSK}			0	50	ns
SO1, SO2出力保持時間（対$\overline{SCK1}$, $\overline{SCK2}$↑）	t_{HSOSK}	データ転送時		0.5t_{CYSK1}－40		ns

備考１． 表中の数値は，C_L = 100 pFのときの値です。

２． T：ソフトウエアで設定したシリアル・クロック周期。最小値は16/f_{XX}

（4）UART, UART2

項　　目	略　号	条　　件	MIN.	MAX.	単　位
ASCKクロック入力サイクル・タイム	t_{CYASK}	V_{DD} = ＋5.0 V±10 %	125		ns
		V_{DD} = ＋2.7～5.5 V	250		ns
ASCKクロック・ロウ・レベル幅	t_{WASKL}	V_{DD} = ＋5.0 V±10 %	52.5		ns
		V_{DD} = ＋2.7～5.5 V	85		ns
ASCKクロック・ハイ・レベル幅	t_{WASKH}	V_{DD} = ＋5.0 V±10 %	52.5		ns
		V_{DD} = ＋2.7～5.5 V	85		ns

クロック出力注オペレーション

項　　目	略　号	条　　件	MIN.	MAX.	単　位
CLKOUTサイクル時間	t_{CYCL}		nT		ns
CLKOUTロウ・レベル幅	t_{CLL}	V_{DD} = ＋5.0 V±10 %	$0.5t_{CYCL}$－10		ns
		V_{DD} = ＋2.7～5.5 V	$0.5t_{CYCL}$－20		ns
CLKOUTハイ・レベル幅	t_{CLH}	V_{DD} = ＋5.0 V±10 %	$0.5t_{CYCL}$－10		ns
		V_{DD} = ＋2.7～5.5 V	$0.5t_{CYCL}$－20		ns
CLKOUT立ち上がり時間	t_{CLR}	V_{DD} = ＋5.0 V±10 %		10	ns
		V_{DD} = ＋2.7～5.5 V		20	ns
CLKOUT立ち下がり時間	t_{CLF}	V_{DD} = ＋5.0 V±10 %		10	ns
		V_{DD} = ＋2.7～5.5 V		20	ns

注　μPD784031, 784031Y, 784031(A)にはありません。

備考　n：CPUのソフトウエアで設定する分周比（n = 1, 2, 4, 8, 16）

T：t_{CYK}（システム・クロック・サイクル・タイム）

その他のオペレーション

（a）μPD784035, 784036, 784037, 784038, 78P4038, 78P4038Y, 784031(A), 784035(A), 784036(A)

項　　目	略　号	条　　件	MIN.	MAX.	単　位
NMIロウ・レベル幅	t_{WNIL}		10		μs
NMIハイ・レベル幅	t_{WNIH}		10		μs
INTP0ロウ・レベル幅	t_{WIT0L}		$4t_{CYSMP}$		ns
INTP0ハイ・レベル幅	t_{WIT0H}		$4t_{CYSMP}$		ns
INTP1-INTP3, CIロウ・レベル幅	t_{WIT1L}		$4t_{CYCPU}$		ns
INTP1-INTP3, CIハイ・レベル幅	t_{WIT1H}		$4t_{CYCPU}$		ns
INTP4, INTP5ロウ・レベル幅	t_{WIT2L}		10		μs
INTP4, INTP5ハイ・レベル幅	t_{WIT2H}		10		μs
$\overline{\text{RESET}}$ロウ・レベル幅	t_{WRSL}		10		μs
$\overline{\text{RESET}}$ハイ・レベル幅	t_{WRSH}		10		μs

備考　t_{CYSMP}：ソフトウエアで設定するサンプリング・クロック

t_{CYCPU}：CPUのソフトウエアで設定するCPUの動作クロック

（b）μPD784031, 784031Y, 784035Y, 784036Y, 784037Y, 784038Y

項　　目	略　号	条　　件	MIN.	MAX.	単　位
NMIロウ・レベル幅	t_{WNIL}		10		μs
NMIハイ・レベル幅	t_{WNIH}		10		μs
INTP0ロウ・レベル幅	t_{WIT0L}		$3t_{CYSMP}$		ns
INTP0ハイ・レベル幅	t_{WIT0H}		$3t_{CYSMP}$		ns
INTP1-INTP3, CIロウ・レベル幅	t_{WIT1L}		$3t_{CYCPU}$		ns
INTP1-INTP3, CIハイ・レベル幅	t_{WIT1H}		$3t_{CYCPU}$		ns
INTP4, INTP5ロウ・レベル幅	t_{WIT2L}		10		μs
INTP4, INTP5ハイ・レベル幅	t_{WIT2H}		10		μs
$\overline{\text{RESET}}$ロウ・レベル幅	t_{WRSL}		10		μs
$\overline{\text{RESET}}$ハイ・レベル幅	t_{WRSH}		10		μs

備考　t_{CYSMP}：ソフトウエアで設定するサンプリング・クロック

t_{CYCPU}：CPUのソフトウエアで設定するCPUの動作クロック

A/Dコンバータ特性（T_A = －40～＋85 ℃, V_{DD} = AV_{DD} = AV_{REF1} = ＋2.7～5.5 V, V_{SS} = AV_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
分解能			8	8	8	bit
総合誤差　注 （μPD784031, 784031Y, 784031(A)，マスクROM製品）					1.0	%FSR
総合誤差　注 （μPD78P4038, 78P4038Y）		V_{DD} = AV_{DD} = ＋5.0 V±10 %			1.0	%FSR
		V_{DD} = AV_{DD} = ＋2.7～4.5 V T_A = －10～＋85 ℃			1.0	%FSR
直線性誤差　注					0.8	%FSR
量子化誤差					±1/2	LSB
変換時間	t_{CONV}	FR = 1	120			t_{CYK}
		FR = 0	180			t_{CYK}
サンプリング時間	t_{SAMP}	FR = 1	24			t_{CYK}
		FR = 0	36			t_{CYK}
アナログ入力電圧	V_{IAN}		－0.3		AV_{REF1}+0.3	V
アナログ入力インピーダンス	R_{AN}			1000		MΩ
AV_{REF1}電流	AI_{REF1}			0.5	1.5	mA
AV_{DD}電源電流	AI_{DD1}	f_{XX} = 32 MHz，CS = 1		2.0	5.0	mA
	AI_{DD2}	STOPモード，CS = 0		1.0	20	μA

注　量子化誤差（±1/2LSB）を含みません。フルスケール値に対する比率（%FSR）で表しています。

備考　f_{XX}：発振周波数

D/Aコンバータ特性（T_A = −40 ～+85 ℃，V_{DD} = AV_{DD} = +2.7～5.5 V，V_{SS} = AV_{SS} = 0 V）

項　　目	略　号	条　　件		MIN.	TYP.	MAX.	単　位
分解能				8			bit
総合誤差		負荷条件 4 MΩ, 30 pF	V_{DD} = AV_{DD} = AV_{REF2} = +2.7～5.5 V AV_{REF3} = 0 V			0.6	%
			V_{DD} = AV_{DD} = +2.7～5.5 V AV_{REF2} = 0.75 V_{DD} AV_{REF3} = 0.25 V_{DD}			0.8	%
		負荷条件 2 MΩ, 30 pF	V_{DD} = AV_{DD} = AV_{REF2} = +2.7～5.5 V AV_{REF3} = 0 V			0.8	%
			V_{DD} = AV_{DD} = +2.7～5.5 V AV_{REF2} = 0.75 V_{DD} AV_{REF3} = 0.25 V_{DD}			1.0	%
セットリング・タイム		負荷条件　2 MΩ, 30 pF				10	μs
出力抵抗	R_O	DACS0, 1 = 55 H			10		kΩ
アナログ基準電圧	AV_{REF2}			0.75 V_{DD}		V_{DD}	V
	AV_{REF3}			0		0.25 V_{DD}	V
AV_{REF2}, AV_{REF3}抵抗値	R_{AIREF}	DACS0, 1 = 55 H		4	8		kΩ
基準電源入力電流	AI_{REF2}			0		5	mA
	AI_{REF3}			−5		0	mA

データ保持特性（T_A = －40～＋85 ℃）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
データ保持電圧	V_{DDDR}	STOPモード	2.5		5.5	V
データ保持電流（μPD784031, 784031Y, 784031(A)，マスクROM製品）	I_{DDDR}	V_{DDDR} = ＋2.7～5.5 V		10	50	μA
		V_{DDDR} = ＋2.5 V		2	10	μA
データ保持電流（μPD78P4038, 78P4038Y）	I_{DDDR}	V_{DDDR} = ＋2.7～5.5 V		30	50	μA
		V_{DDDR} = ＋2.5 V		10	40	μA
V_{DD}立ち上がり時間	t_{RVD}		200			μs
V_{DD}立ち下がり時間	t_{FVD}		200			μs
V_{DD}保持時間（対STOPモード設定）	t_{HVD}		0			ms
STOP解除信号入力時間	t_{DREL}		0			ms
発振安定ウエイト時間	t_{WAIT}	水晶振動子	30			ms
		セラミック発振子	5			ms
ロウ・レベル入力電圧	V_{IL}	特定端子　注	0		0.1 V_{DDDR}	V
ハイ・レベル入力電圧	V_{IH}		0.9 V_{DDDR}		V_{DDDR}	V

注　$\overline{\text{RESET}}$, P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2/CI, P24/INTP3, P25/INTP4/ASCK/$\overline{\text{SCK1}}$, P26/INTP5, P27/SI0, P32/$\overline{\text{SCK0}}$/SCL, P33/SO0/SDA端子

ACタイミング測定点

タイミング波形

（1）リード・オペレーション

（2）ライト・オペレーション

ホールド・タイミング

外部WAIT信号入力タイミング

（1）リード・オペレーション

（2）ライト・オペレーション

リフレッシュ・タイミング波形

（1）ランダム・リード／ライト・サイクル

（2）リフレッシュ・メモリ・アクセスが同時の場合

（3）リード後のリフレッシュ

（4）ライト後のリフレッシュ

シリアル・オペレーション

（1）CSI

（2）I²C（μPD784038Yサブシリーズのみ）

（3）IOE1, IOE2

（4）UART, UART2

クロック出力注タイミング

注　μPD784031, 784031Y, 784031(A)にはありません。

割り込み入力タイミング

リセット入力タイミング

外部クロック・タイミング

データ保持特性

DCプログラミング特性（T_A = ＋25±5 ℃，V_{SS} = 0 V）：μPD78P4038, 78P4038Yのみ

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
ハイ・レベル入力電圧	V_{IH}		2.2		V_{DDP} ＋0.3	V
ロウ・レベル入力電圧	V_{IL}		－0.3		＋0.8	V
入力リーク電流	I_{LIP}	0≦V_I≦V_{DDP}　注			±10	μA
ハイ・レベル出力電圧	V_{OH}	I_{OH} = －400 μA	2.4			V
ロウ・レベル出力電圧	V_{OL}	I_{OL} = 2.1 mA			0.45	V
出力リーク電流	I_{LO}	0≦V_O≦V_{DDP}，$\overline{OE}$ = V_{IH}			±10	μA
V_{DDP}電源電圧	V_{DDP}	プログラム・メモリ書き込みモード	6.25	6.5	6.75	V
		プログラム・メモリ読み出しモード	4.5	5.0	5.5	V
V_{PP}電源電圧	V_{PP}	プログラム・メモリ書き込みモード	12.2	12.5	12.8	V
		プログラム・メモリ読み出しモード	V_{PP} = V_{DDP}			V
V_{DDP}電源電流	I_{DD}	プログラム・メモリ書き込みモード		10	40	mA
		プログラム・メモリ読み出しモード		10	40	mA
V_{PP}電源電流	I_{PP}	プログラム・メモリ書き込みモード		5	50	mA
		プログラム・メモリ読み出しモード		1.0	100	μA

注　V_{DDP}は，プログラミング時のV_{DD}端子です。

ACプログラミング特性（T_A = ＋25±5 ℃，V_{SS} = 0 V）：μPD78P4038, 78P4038Yのみ

PROM書き込みモード時（ページ・プログラム・モード）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
アドレス・セットアップ時間	t_{AS}		2			μs
$\overline{CE}$セット時間	t_{CES}		2			μs
入力データ・セットアップ時間	t_{DS}		2			μs
アドレス・ホールド時間	t_{AH}		2			μs
	t_{AHL}		2			μs
	t_{AHV}		0			μs
入力データ・ホールド時間	t_{DH}		2			μs
出力データ・ホールド時間	t_{DF}		0		130	ns
V_{PP}セットアップ時間	t_{VPS}		2			μs
V_{DDP}セットアップ時間	t_{VDS}		2			μs
初期プログラム・パルス幅	t_{PW}		0.095	0.1	0.105	ms
$\overline{OE}$セット時間	t_{OES}		2			μs
$\overline{OE}$→有効データ遅延時間	t_{OE}			1	2	μs
データ・ラッチ中の$\overline{OE}$パルス幅	t_{LW}		1			μs
$\overline{PGM}$セットアップ時間	t_{PGMS}		2			μs
$\overline{CE}$ホールド時間	t_{CEH}		2			μs
$\overline{OE}$ホールド時間	t_{OEH}		2			μs

PROM書き込みモード時（バイト・プログラム・モード）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
アドレス・セットアップ時間	t_{AS}		2			μs
$\overline{CE}$セット時間	t_{CES}		2			μs
入力データ・セットアップ時間	t_{DS}		2			μs
アドレス・ホールド時間	t_{AH}		2			μs
入力データ・ホールド時間	t_{DH}		2			μs
出力データ・ホールド時間	t_{DF}		0		130	ns
V_{PP}セットアップ時間	t_{VPS}		2			μs
V_{DDP}セットアップ時間	t_{VDS}		2			μs
初期プログラム・パルス幅	t_{PW}		0.095	0.1	0.105	ms
$\overline{OE}$セット時間	t_{OES}		2			μs
$\overline{OE}$→有効データ遅延時間	t_{OE}			1	2	μs

PROM読み出しモード時

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
アドレス→データ出力時間	t_{ACC}	$\overline{CE} = \overline{OE} = V_{IL}$			200	ns
$\overline{CE}$↓→データ出力時間	t_{CE}	$\overline{OE} = V_{IL}$		1	2	μs
$\overline{OE}$↓→データ出力時間	t_{OE}	$\overline{CE} = V_{IL}$		1	2	μs
データ・ホールド時間（対$\overline{OE}$↑，$\overline{CE}$↑）注	t_{DF}	$\overline{CE} = V_{IL}$または$\overline{OE} = V_{IL}$	0		60	ns
データ・ホールド時間（対アドレス）	t_{OH}	$\overline{CE} = \overline{OE} = V_{IL}$	0			ns

注　t_{DF}は，$\overline{OE}$，$\overline{CE}$のどちらかが最初にV_{IH}となったときからの時間です。

PROM書き込みモード・タイミング（ページ・プログラム・モード）：μPD78P4038, 78P4038Yのみ

PROM書き込みモード・タイミング（バイト・プログラム・モード）：μPD78P4038, 78P4038Yのみ

注意１．V_{DDP}はV_{PP}より前に印加し，V_{PP}のあとから切断するようにしてください。

２．V_{PP}はオーバシュートを含めて＋13.5 V以上にならないようにしてください。

３．V_{PP}に＋12.5 Vが印加されている間に抜き差しした場合，信頼性上，悪影響を受ける可能性があります。

PROM読み出しモード・タイミング：μPD78P4038, 78P4038Yのみ

注１．t_{ACC}の範囲内でリードしたい場合，$\overline{OE}$入力の$\overline{CE}$の立ち下がりからの遅れ時間は最大$t_{ACC}-t_{OE}$としてください。

２．t_{DF}は$\overline{OE}$，$\overline{CE}$のどちらか最初にV_{IH}となった状態からの時間です。

★

第29章　外 形 図

80ピン・プラスチック QFP（14x14）外形図（単位：mm）

P80GC-65-8BT-1

80ピン・プラスチック TQFP（ファインピッチ）（12x12）外形図（単位：mm）

P80GK-50-9EU-1

80ピン・プラスチック QFP（14x14）外形図（単位：mm）

S80GC-65-3B9-6

★ 第30章　半田付け推奨条件

μPD784038, 784038Yサブシリーズの半田付け実装は，次の推奨条件で実施してください。
なお，推奨条件以外の半田付け方式および半田付け条件については，当社販売員にご相談ください。
半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」（http://www.necel.com/pkg/ja/jissou/index.html）

備考　μPD784031YGC-8BT, 784031GC(A)-3B9, 784035YGK-×××-9EU, 784035GC(A)-×××-3B9, 784036YGK-×××-9EU, 784036GC(A)-×××-3B9, 78P4038YGK-9EUの半田付け推奨条件は未定です。
詳しくは，当社販売員にご相談ください。

表30－１　表面実装タイプの半田付け条件（1/4）

（１）μPD784031GC-8BT　：80ピン・プラスチックQFP（14×14, 1.4 mm厚）
μPD784035GC-×××-8BT　：　〃
μPD784035YGC-×××-8BT：　〃
μPD784036GC-×××-8BT　：　〃
μPD784036YGC-×××-8BT：　〃
μPD784037GC-×××-8BT　：　〃
μPD784037YGC-×××-8BT：　〃
μPD784038GC-×××-8BT　：　〃
μPD784038YGC-×××-8BT：　〃
μPD78P4038GC-8BT　：　〃
μPD78P4038YGC-8BT　：　〃

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ℃，時間：30秒以内（210 ℃以上），回数：２回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ℃，時間：40秒以内（200 ℃以上），回数：２回以内	VP15-00-2
ウエーブ・ソルダリング	半田槽温度：260 ℃以下，時間：10秒以内，回数：１回， 予備加熱温度：120 ℃　MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：350 ℃以下，時間：３秒以内（デバイスの一辺当たり）	－

注意　半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

表30－１　表面実装タイプの半田付け条件（2/4）

（２）μPD784031GK-9EU　：80ピン・プラスチックTQFP（ファインピッチ）（12×12）
μPD784031YGK-9EU　：　〃
μPD784035GK-×××-9EU　：　〃
μPD784036GK-×××-9EU　：　〃
μPD784037GK-×××-9EU　：　〃
μPD784037YGK-×××-9EU：　〃
μPD784038GK-×××-9EU　：　〃
μPD784038YGK-×××-9EU：　〃
μPD78P4038GK-9EU　：　〃

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ℃，時間：30秒以内（210 ℃以上），回数：2回以内 制限日数：７日間注（以降は125 ℃プリベーク　10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215 ℃，時間：40秒以内（200 ℃以上），回数：2回以内 制限日数：７日間注（以降は125 ℃プリベーク　10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度：350 ℃以下，時間：３秒以内（デバイスの一辺当たり）	－

注　ドライパック開封後の保管制限日数で，保管条件は25 ℃，65 %RH以下。

注意　半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

表30－1　表面実装タイプの半田付け条件（3/4）

★ （3）μPD784031GC-8BT-A　：80ピン・プラスチックQFP（14×14）
μPD784035GC-×××-8BT-A　：　〃
μPD784036GC-×××-8BT-A　：　〃
μPD784037GC-×××-8BT-A　：　〃
μPD784038GC-×××-8BT-A　：　〃
μPD78P4038GC-8BT-A　：　〃
μPD784031YGC-8BT-A　：　〃
μPD784035YGC-×××-8BT-A　：　〃
μPD784036YGC-×××-8BT-A　：　〃
μPD784037YGC-×××-8BT-A　：　〃
μPD784038YGC-×××-8BT-A　：　〃
μPD78P4038YGC-8BT-A　：　〃
μPD784035GK-×××-9EU-A　：80ピン・プラスチックTQFP（ファインピッチ）（12×12）
μPD784037GK-×××-9EU-A　：　〃
μPD784038GK-×××-9EU-A　：　〃
μPD78P4038GK-9EU-A　：　〃
μPD784031YGK-9EU-A　：　〃
μPD784037YGK-×××-9EU-A　：　〃
μPD784038YGK-×××-9EU-A　：　〃
μPD78P4038YGK-9EU-A　：　〃

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ℃，時間：60秒以内（220 ℃以上），回数：3回以内，制限日数：７日間注（以降は125 ℃プリベーク20～72時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウエーブ・ソルダリング	0.65 mmピッチ以上のパッケージでは，ウエーブ・ソルダリングも対応可能です。詳細については，当社販売員にご相談ください。	－
端子部分加熱	端子温度：350 ℃以下，時間：３秒以内（デバイスの一辺当たり）	－

注　ドライパック開封後の保管日数で，保管条件は25 ℃，65 %RH以下。

注意　半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

備考　オーダ名称末尾「-A」の製品は，鉛フリー製品です。

表30－１　表面実装タイプの半田付け条件（4/4）

★　（４）μPD784031YGK-9EU-A：80ピン・プラスチックTQFP（ファインピッチ）（12×12）

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ℃，時間：60秒以内（220 ℃以上），回数：3回以内，制限日数：３日間注（以降は125 ℃プリベーク20～72時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-203-3
ウエーブ・ソルダリング	0.65 mmピッチ以上のパッケージでは，ウエーブ・ソルダリングも対応可能です。詳細については，当社販売員にご相談ください。	－
端子部分加熱	端子温度：350 ℃以下，時間：３秒以内（デバイスの一辺当たり）	－

注　ドライパック開封後の保管日数で，保管条件は25 ℃，65 %RH以下。

注意　半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

備考　オーダ名称末尾「-A」の製品は，鉛フリー製品です。

付録A　μPD784026サブシリーズとの違い

表A－1　μPD784026サブシリーズとの違い（1/3）

項　目	μPD784026サブシリーズ	μPD784038サブシリーズ
動作周波数	4 MHz≦f_{XX}≦25 MHz	4 MHz≦f_{XX}≦32 MHz（目標値）
最小命令実行時間	160 ns（25 MHz動作時）	125 ns（32 MHz動作時）
内部ROM/RAM容量	μPD784020　：なし/512バイト μPD784021　：なし/2048バイト μPD784025　：48 Kバイト/2048バイト μPD784026　：64 Kバイト/2048バイト μPD78P4026：64 Kバイト/2048バイト（PROM）	μPD784031　：なし/2048バイト μPD784035　：48 Kバイト/2048バイト μPD784036　：64 Kバイト/2048バイト μPD784037　：96 Kバイト/3584バイト μPD784038　：128 Kバイト/4352バイト μPD78P4038：128 Kバイト/4352バイト（PROM）
PROMのメモリ・サイズ切り替え	マスクROM製品にあわせて２通りに切り替え可能 IMS（7 6 5 4 3 2 1 0）：IMS7 IMS6 IMS5 IMS4 IMS3 IMS2 IMS1 IMS0 IMS7-0：FFH　μPD784026と同一 IMS7-0：EFH　μPD784025と同一	マスクROM製品にあわせて４通りに切り替え可能 IMS（7 6 5 4 3 2 1 0）：IMS7 IMS6 IMS5 IMS4 IMS3 IMS2 IMS1 IMS0 IMS7-0：FFH　μPD784038と同一 IMS7-0：EEH　μPD784037と同一 IMS7-0：DCH　μPD784036と同一 IMS7-0：CCH　μPD784035と同一
D/Aコンバータの変換方式	抵抗ストリング方式 AVREF2 R R R R AVREF3 タップ・セレクタ ANOn DACSn RESET DACEn 8 8 内　部　バ　ス 備考　n＝0，1	R-2R抵抗ラダー方式 AVREF2 AVREF3 セレクタ 2R R ANOn DACSn DACEn 内　部　バ　ス 備考　n＝0，1

表A－1　μPD784026サブシリーズとの違い（2/3）

項　目	μPD784026サブシリーズ	μPD784038サブシリーズ
シリアル・インタフェース	・UART/IOE（３線式シリアルI/O）×２チャネル ・CSI（３線式シリアルI/O，SBI）×１チャネル	・UART/IOE（３線式シリアルI/O）×２チャネル ・CSI（3線式シリアルI/O，2線式シリアルI/O）×１チャネル

〈クロック同期式シリアル・インタフェース・モード・レジスタ〉

	⑦	⑥	⑤	4	3	2	1	0
CSIM	CTXE	CRXE	WUP	0	MOD1	MOD0	CLS1	CLS0

CTXE	送信動作
0	禁止
1	許可

CRXE	受信動作
0	禁止
1	許可

WUP	ウエイク・アップ機能の制御
0	すべてのモードでシリアル転送ごとに，割り込み要求信号を発生
1	SBIモードでアドレスを受信した場合のみ，割り込み要求信号を発生

MOD1	MOD0	動作モード選択ビット		
		動作モード	転送方向	使用端子
0	0	３線式	MSB先頭	SO0, SI0,
0	1		LSB先頭	$\overline{SCK0}$
1	0	SBI	MSB先頭	SB0, $\overline{SCK}$
1	1	設定禁止		

CLS1	CLS0	シリアル・クロックの指定			$\overline{SCK}$端子
0	0	外部	スレーブ		入力
0	1	内部	マスタ	TM3/2	出力
1	0			$f_{CLK}/32$	
1	1			$f_{CLK}/8$	

f_{CLK}：内部システム・クロック周波数

	⑦	⑥	5	4	3	2	1	0
CSIM	CTXE	CRXE	0	0	MOD1	MOD0	CLS1	CLS0

CTXE	送信動作
0	禁止
1	許可

CRXE	受信動作
0	禁止
1	許可

MOD1	MOD0	動作モード選択ビット		
		動作モード	転送方向	使用端子
0	0	３線式	MSB先頭	SO0, SI0
0	1		LSB先頭	$\overline{SCK0}$
1	0	２線式	MSB先頭	SDA, SCL
1	1	設定禁止		

CLS1	CLS0	シリアル・クロックの指定			$\overline{SCK0}$, SCL端子
0	0	外部	スレーブ		入力
0	1	内部	マスタ	TM3/2	出力
1	0			SPRS	
1	1			$f_{XX}/16$	

f_{XX}：発振周波数

備考　μPD784026サブシリーズからμPD784038サブシリーズに置き換える場合で，使用する内部システム・クロックが最高速（$f_{CLK} = f_{XX}/2$）[注]のときは，CLS1, CLS0ビットの変更なしで同一のシリアル・クロックが選択されます（リセット後のSPRMの設定は，$f_{XX}/64$を選択していますので，CLS1, CLS0＝１，０の場合も同一のシリアル・クロックとなります）。なお，μPD784038サブシリーズでは，CLS1, CLS0＝１，０および１，１の場合のシリアル・クロックはf_{XX}の分周により実現していますので，シリアル・クロックはシステム・クロックを変更した場合でも変化しません。

注　STBCのCK1, CK0＝０，０の場合。リセット後はCK1, CK0＝１，１（$f_{CLK} = f_{XX}/16$）

表A－1　μPD784026サブシリーズとの違い（3/3）

項　目	μPD784026サブシリーズ	μPD784038サブシリーズ
シリアル・インタフェース	**〈レジスタおよびビット名称変更〉** SBIモード・レジスタ（SBIC） 7 6 5 4 3 2 1 0 SBIC BSYE ACKD ACKE ACKT CMDD RELD CMDT RELT	I²Cバス・コントロール・レジスタ（IICC） 7 6 5 4 3 2 ① ⓪ IICC 0 0 0 0 0 0 STT SPT **備考**　STTビット，SPTビットはCMDTビット，RELTビットからの名称の変更のみで，ビット操作に伴う動作の違いはありません。
	〈追加レジスタ〉 －	シリアル・クロック用プリスケーラ・モード・レジスタ（SPRM）
★	**＜送信データ（SO0）書き込み＞** SCK0 SO0 INTCSI a b c a：送信許可ビットのセット（CTXE←1） b：シフト・レジスタへのデータ（55H）書き込み（SIO←55H） c：転送終了割り込み要求の発生	SCK0 SO0 INTCSI a b c a：送信許可ビットのセット（CTXE←1） b：シフト・レジスタへのデータ（55H）書き込み（SIO←55H） c：転送終了割り込み要求の発生
★	**＜シリアル・クロック（$\overline{\text{SCK0}}$）のカウント動作＞** SCK0 SO0 INTCSI a b c a：送信許可ビットのセット（CTXE←1） b：シフト・レジスタへのデータ（AAH）書き込み（SIO←AAH） c：転送終了割り込み要求の発生	SCK0 SO0 INTCSI a b c a：送信許可ビットのセット（CTXE←1） b：シフト・レジスタへのデータ（AAH）書き込み（SIO←AAH） c：転送終了割り込み要求の発生
★ パッケージ	・80ピン・プラスチックQFP（14×14, 2.7 mm厚） ・80ピン・プラスチックTQFP（ファインピッチ，12×12） ：μPD784021のみ	・80ピン・プラスチックQFP（14×14, 2.7 mm厚）注 ・80ピン・プラスチックQFP（14×14, 1.4 mm厚） ・80ピン・プラスチックTQFP（ファインピッチ，12×12）

注　μPD784031(A), 784035(A), 784036(A)のみ。

★ 付録Ｂ　開発ツール

μPD784038サブシリーズを使用するシステム開発のために次のような開発ツールを用意しています。
図Ｂ－１に開発ツールを示します。

●PC98-NXシリーズへの対応について

特に断りのないかぎり，IBM PC/AT™互換機でサポートされている製品については，PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は，IBM PC/AT互換機の説明を参照してください。

●Windowsについて

特に断りのないかぎり，「Windows」は，次のOSを示しています。

- Windows3.1
- Windows95, 98, 2000
- WindowsNT™ Ver.4.0

図Ｂ－１　開発ツール構成（1/2）

（1）インサーキット・エミュレータ　IE-78K4-NSを使用する場合

図Ｂ－１　開発ツール構成（2/2）

（２）インサーキット・エミュレータ　IE-784000-Rを使用する場合

備考　破線の部分は開発環境によって異なります。**B.3.1　ハードウエア**を参照してください。

B.1　言語処理用ソフトウエア

SP78K4 78K/IVシリーズ・ソフトウエア・パッケージ	78K/IVシリーズ共通の開発ツール（ソフトウエア・パッケージ）を１つのパッケージにした製品です。
	オーダ名称：μS××××SP78K4
RA78K4 アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに，シンボル・テーブルの生成，分岐命令の最適化処理などを自動的に行う機能を備えています。 別売のデバイス・ファイル（DF784038）と組み合わせて使用します。 ＜PC環境で使用する場合の注意＞ アセンブラ・パッケージはDOSベースのアプリケーションですが，Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより，Windows環境でも使用できます。
	オーダ名称：μS××××RA78K4
CC78K4 Ｃコンパイラ・パッケージ	Ｃ言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 ＜PC環境で使用する場合の注意＞ Ｃコンパイラ・パッケージはDOSベースのアプリケーションですが，Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより，Windows環境でも使用できます。
	オーダ名称：μS××××CC78K4
DF784038[注] デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売の各ツール（RA78K4, CC78K4, SM78K4, ID78K4-NS, ID78K4）と組み合わせて使用します。 対応OS，ホスト・マシンは組み合わされる各ツールに依存します。
	オーダ名称：μS××××DF784038
CC78K4-L Ｃライブラリ・ソース・ファイル	Ｃコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Ｃコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため，動作環境はOSに依存しません。
	オーダ名称：μS××××CC78K4-L

注　DF784038は，RA78K4, CC78K4, SM78K4, ID78K4-NS, ID78K4のすべての製品に共通に使用できます。

備考　オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××SP78K4

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	

μS××××RA78K4
μS××××CC78K4

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ，IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700™	HP-UX™（Rel.10.10）	
3K17	SPARCstation™	SunOS™（Rel.４.１.４），Solaris™（Rel.２.５.１）	

μS××××DF784038
μS××××CC78K4-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ，IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX（Rel.10.10）	DAT
3K13	SPARCstation	SunOS（Rel.４.１.４），Solaris（Rel.２.５.１）	3.5インチ2HD FD
3K15			1/4インチCGMT

B.2　PROM書き込み用ツール

（1）ハードウエア

PG-1500	付属ボードおよび別売のPROMプログラマ・アダプタを接続することにより，PROM内蔵のシングルチップ・マイクロコンピュータを，スタンド・アロンまたはホスト・マシンからの操作によりプログラミングできるPROMプログラマです。 また，256 Kビットから４Mビットまでの代表的なPROMをプログラミングすることもできます。
PA-78P4026GC PA-78P4038GK	μPD78P4038用のPROMプログラマ・アダプタで，PG-1500に接続して使用します。 PA-78P4026GC：80ピン・プラスチックQFP（GC-3B9, GC-8BTタイプ）用 PA-78P4038GK：80ピン・プラスチックTQFP（ファインピッチ）（GK-9EUタイプ）用

（2）ソフトウエア

PG-1500コントローラ	PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し，ホスト・マシン上でPG-1500を制御します。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS （Ver.3.30～Ver.6.2注1）	3.5インチ2HD	μS5A13PG1500
			５インチ2HD	μS5A10PG1500
	IBM PC/ATおよびその互換機	注2	3.5インチ2HD	μS7B13PG1500
			５インチ2HC	μS7B10PG1500

注１．MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが，上記のソフトウエアではタスク・スワップ機能は使用できません。

２．IBM PC用のOSとして，次のものがサポートされています（Ver.5.0以降にはタスク・スワップ機能がありますが，このソフトウエアでは，タスク・スワップ機能は使用できません）。

OS	バージョン
PC DOS	Ver.5.02～Ver.6.3 J6.1/V～J6.3/V（英語モードのみサポート）
MS-DOS	Ver.5.0～Ver.6.22 5.0/V～6.2/V（英語モードのみサポート）
IBM DOS™	J5.02/V（英語モードのみサポート）

B.3　ディバグ用ツール

B.3.1　ハードウエア（1/2）

（1）インサーキット・エミュレータ　IE-78K4-NSを使用する場合

IE-78K4-NS インサーキット・エミュレータ	78K/IVシリーズを使用する応用システムを開発する際に，ハードウエア，ソフトウエアをディバグするためのインサーキット・エミュレータです。統合ディバッガ（ID78K4-NS）に対応しています。電源ユニット，エミュレーション・プローブおよび，ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-MC-PS-B 電源ユニット	AC100～240 Vのコンセントから電源を供給するためのアダプタです。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78K4-NSのホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタです（Ｃバス対応）。
IE-70000-CD-IF-A PCカード・インタフェース	IE-78K4-NSのホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです（PCMCIAソケット対応）。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78K4-NSのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです（ISAバス対応）。
IE-70000-PCI-IF-A インタフェース・アダプタ	IE-78K4-NSのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-784038-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウエアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
NP-80GK エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックTQFP（ファインピッチ）（GK-9EUタイプ）用です。
TGK-080SDW 変換アダプタ （図Ｂ－４参照）	80ピン・プラスチックTQFP（ファインピッチ）（GK-9EUタイプ）を実装できるように作られたターゲット・システムの基板と，NP-80GKを接続するための変換アダプタです。
NP-80GC-TQ NP-H80GC-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックQFP（GC-3B9, GC-8BTタイプ）用です。
TGC-080SBP 変換ソケット （図Ｂ－３参照）	80ピン・プラスチックQFP（GC-3B9, GC-8BTタイプ）を実装できるように作られたターゲット・システムの基板と，NP-80GC-TQ, NP-H80GC-TQを接続するための変換ソケットです。

備考１． NP-80GK, NP-80GC-TQ, NP-H80GC-TQは，株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（045）475-4191）

２． TGK-080SDW, TGC-080SBPは，東京エレテック株式会社の製品です。

問い合わせ先：大丸興業株式会社　　東京電子部（TEL（03）3820-7112）

大阪電子部（TEL（06）6244-6672）

３． TGK-080SDW, TGC-080SBPは，１個単位で販売しています。

B.3.1　ハードウエア（2/2）

（2）インサーキット・エミュレータ　IE-784000-Rを使用する場合

IE-784000-R インサーキット・エミュレータ	IE-784000-Rは，78K/IVシリーズに共通に使用できるインサーキット・エミュレータです。別売のIE-784000-R-EM, IE-784038-R-EM1と組み合わせて使用します。ホスト・マシンを接続してディバグを行います。別売の統合ディバッガ（ID78K4）とデバイス・ファイルが必要で，これらと組み合わせて，C言語や構造化アセンブリ言語のソース・プログラム・レベルでのディバグが可能です。C0カバレッジ機能などにより効率の良いディバグやプログラムの検査が行えます。ホスト・マシンとの接続は，イーサネット™または専用バスで行い，別売のインタフェース・アダプタが必要になります。
IE-70000-98-IF-C インタフェース・アダプタ	IE-784000-Rのホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタです（Cバス対応）。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-784000-Rのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです（ISAバス対応）。
IE-78000-R-SV3 インタフェース・アダプタ	IE-784000-Rのホスト・マシンとしてEWSを使用するときに必要なアダプタとケーブルです。IE-784000-R内のボードに接続して使用します。 なお，イーサネットとしては10Base-5をサポートしており，他の方式の場合には市販の変換アダプタが必要になります。
IE-784000-R-EM	78K/IVシリーズに共通に使用するエミュレーション・ボードです。
IE-784038-R-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウエアをエミュレーションするためのボードです。
IE-78K4-R-EX2 エミュレーション・プローブ変換ボード	IE-784038-R-EM1をIE-784000-R上で使用するときに必要な80ピン用の変換ボードです。
EP-78054GK-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 80ピン・プラスチックTQFP（ファインピッチ）（GK-9EUタイプ）用です。
TGK-080SDW 変換アダプタ （図B－7）参照	80ピン・プラスチックTQFP（ファインピッチ）（GK-9EUタイプ）を実装できるように作られたターゲット・システムの基板と，EP-78054GK-Rを接続するための変換アダプタです。
EP-78230GC-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 80ピン・プラスチックQFP（GC-3B9, GC-8BTタイプ）用です。
EV-9200GC-80 変換ソケット （図B－5，図B－6参照）	80ピン・プラスチックQFP（GC-3B9, GC-8BTタイプ）を実装できるように作られたターゲット・システムの基板と，EP-78230GC-Rを接続するための変換ソケットです。

備考1． TGK-080SDWは，東京エレテック株式会社の製品です。

問い合わせ先：大丸興業株式会社　　東京電子部（TEL（03）3820-7112）

大阪電子部（TEL（06）6244-6672）

2． EV-9200GC-80は，5個を1組として，1組単位で販売しています。

3． TGK-080SDWは，1個単位で販売しています。

B.3.2　ソフトウエア（1/2）

SM78K4 システム・シミュレータ	ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら，Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。 SM78K4はWindows上で動作します。 SM78K4を使用することにより，インサーキット・エミュレータを使用しなくても，アプリケーションの論理検証，性能検証をハードウエア開発から独立して行えます。開発効率やソフトウエアの品質の向上が図れます。 別売のデバイス・ファイル（DF784038）と組み合わせて使用します。
	オーダ名称：μS××××SM78K4

備考　オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××SM78K4

××××	ホスト・マシン	OS	供給媒体
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ2HC FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

B.3.2　ソフトウエア（2/2）

ID78K4-NS 統合ディバッガ （インサーキット・エミュレータIE-78K4-NS対応）	78K/IVシリーズをディバグするためのコントロール・プログラムです。 グラフィカル・ユーザ・インタフェースとして，パソコン上ではWindows，EWS上ではOSF/Motif™を採用し，それらに準拠した外観と操作性を提供しています。また，C言語対応のディバグ機能を強化しており，ソース・プログラムや逆アセンブル表示，メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより，トレース結果をC言語レベルで表示させることも可能です。その他，タスク・ディバッガやシステム・パフォーマンス・アナライザなどの機能拡張モジュールを取り込むことにより，リアルタイムOSを使用したプログラムのディバグ効率を向上させることができます。 別売のデバイス・ファイル（DF784038）と組み合わせて使用します。
ID78K4 統合ディバッガ （インサーキット・エミュレータIE-784000-R対応）	
	オーダ名称：μS××××ID78K4-NS, μS××××ID78K4

備考　オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××ID78K4-NS
μS××××ID78K4

××××	ホスト・マシン	OS	供給媒体
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ2HC FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

B.4　ターゲット・システム設計上の注意

エミュレーション・プローブと変換ソケット，変換アダプタの接続条件図を次に示します。この構成によってターゲット・システム上に実装する部品の形状などを考慮してシステム設計をしてください。

図B－2　インサーキット・エミュレータ～変換ソケットまでの距離

注　NP-H80GC-TQの場合は350 mmになります。

図Ｂ－３　ターゲット・システムの接続条件（１）

備考　NP-80GC-TQ, NP-H80GC-TQは，株式会社内藤電誠町田製作所の製品です。

図B－4　ターゲット・システムの接続条件（2）

備考　NP-80GKは，株式会社内藤電誠町田製作所の製品です。
TGK-080SDWは，東京エレテック株式会社の製品です。

B.5　変換ソケット（EV-9200GC-80）と変換アダプタ（TGK-080SDW）

（1）変換ソケット（EV-9200GC-80）の外形図と基板取り付け推奨パターン

図B－5　EV-9200GC-80　外形図（参考）（単位：mm）

EV-9200GC-80-G0

図Ｂ－６　EV-9200GC-80　基板取り付け推奨パターン（参考）（単位：mm）

EV-9200GC-80-P1

注意　EV-9200用のマウント・パッド寸法と，対象製品のマウント・パッド寸法（QFP用）は，その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は，「半導体デバイス　実装マニュアル」のホームページをご参照ください（http://www.necel.com/pkg/ja/jissou/index.html）。

（2）変換アダプタ（TGK-080SDW）の外形図

エミュレーション・プローブと組み合わせて基板に実装します。

図Ｂ－７　TGK-080SDW　外形図（参考）（単位：mm）

TGK-080SDW-G1

注：東京エレテック（株）製

★ 付録C　組み込み用ソフトウエア

μPD784038, 784038Yサブシリーズのプログラム開発やメインテナンスをより効率的に行うために，次の組み込み用ソフトウエアを用意しています。

リアルタイムOS

RX78K4 リアルタイムOS	μITRON仕様に準拠したリアルタイムOSです。 RX78K4のニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。 別売のアセンブラ・パッケージ（RA78K4）およびデバイス・ファイル（DF784038）と組み合わせて使用します。 **＜PC環境で使用する場合の注意＞** リアルタイムOSはDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。
	オーダ名称：μS××××RX78K4-△△△△

注意　RX78K4を購入する際，事前に購入申込書にご記入のうえ，使用許諾契約書を締結してください。

備考　オーダ名称の××××および△△△△は，使用するホスト・マシン，OSなどにより異なります。

μS××××RX78K4-△△△△

△△△△	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows注	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows注	3.5インチ2HC FD
BB13		英語Windows注	
3P16	HP9000シリーズ700	HP-UX（Rel.10.10）	DAT（DDS）
3K13	SPARCstation	SunOS（Rel.４.1.4）， Solaris（Rel.２.５.１）	3.5インチ2HC FD
3K15			1/4インチCGMT

注　DOS環境でも動作します。

付録D　レジスタ索引

D.1　レジスタ索引（50音順）

[あ行]

I²Cバス・コントロール・レジスタ（IICC）　…　500, 522

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）　…　468

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ２（ASIS2）　…　468

アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）　…　465

アシンクロナス・シリアル・インタフェース・モード・レジスタ２（ASIM2）　…　465

インサービス・プライオリティ・レジスタ（ISPR）　…　574

ウォッチドッグ・タイマ・モード・レジスタ（WDM）　…　419, 576

A/D変換結果レジスタ（ADCR）　…　435

A/Dコンバータ・モード・レジスタ（ADM）　…　436

[か行]

外部割り込みモード・レジスタ０（INTM0）　…　551

外部割り込みモード・レジスタ１（INTM1）　…　551

キャプチャ／コンペア・コントロール・レジスタ０（CRC0）　…　232

キャプチャ／コンペア・コントロール・レジスタ１（CRC1）　…　293

キャプチャ／コンペア・コントロール・レジスタ２（CRC2）　…　335

キャプチャ／コンペア・レジスタ（CR11/CR11W）　…　289

キャプチャ／コンペア・レジスタ（CR21/CR21W）　…　330

キャプチャ・レジスタ（CR02）　…　228

キャプチャ・レジスタ（CR12/CR12W）　…　290

キャプチャ・レジスタ（CR22/CR22W）　…　331

クロック出力モード・レジスタ（CLOM）　…　548

クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）　…　498, 522

クロック同期式シリアル・インタフェース・モード・レジスタ１（CSIM1）　…　478

クロック同期式シリアル・インタフェース・モード・レジスタ２（CSIM2）　…　478

コンペア・レジスタ（CR00, CR01）　…　228

コンペア・レジスタ（CR10/CR10W）　…　289

コンペア・レジスタ（CR20/CR20W）　…　330

コンペア・レジスタ（CR30/CR30W）　…　404

[さ行]

サンプリング・クロック選択レジスタ（SCS0）　…　554
シリアル・クロック用プリスケーラ・モード・レジスタ（SPRM）　…　499, 525
シリアル・シフト・レジスタ（SIO）　…　497, 520
シリアル・シフト・レジスタ１（SIO1）　…　477
シリアル・シフト・レジスタ２（SIO2）　…　477
シリアル受信バッファ（RXB）　…　464
シリアル受信バッファ２（RXB2）　…　464
シリアル送信シフト・レジスタ（TXS）　…　464
シリアル送信シフト・レジスタ２（TXS2）　…　464
スタンバイ・コントロール・レジスタ（STBC）　…　125, 678
スレーブ・アドレス・レジスタ（SVA）　…　520, 526

[た行]

タイマ・コントロール・レジスタ０（TMC0）　…　230, 405
タイマ・コントロール・レジスタ１（TMC1）　…　291, 333
タイマ出力コントロール・レジスタ（TOC）　…　233, 337
タイマ・レジスタ０（TM0）　…　228
タイマ・レジスタ１（TM1/TM1W）　…　289
タイマ・レジスタ２（TM2/TM2W）　…　330
タイマ・レジスタ３（TM3/TM3W）　…　404
D/Aコンバータ・モード・レジスタ（DAM）　…　454
D/A変換値設定レジスタ０（DACS0）　…　454
D/A変換値設定レジスタ１（DACS1）　…　454

[な行]

内部メモリ・サイズ切り替えレジスタ（IMS）　…　98

[は行]

発振安定時間指定レジスタ（OSTS）　…　127, 680
PWMコントロール・レジスタ（PWMC）　…　426
PWMプリスケーラ・レジスタ（PWPR）　…　427
PWMモジュロ・レジスタ０（PWM0）　…　427
PWMモジュロ・レジスタ１（PWM1）　…　427
プリスケーラ・モード・レジスタ０（PRM0）　…　231, 406
プリスケーラ・モード・レジスタ１（PRM1）　…　292, 334
プルアップ抵抗オプション・レジスタ（PUO）　…　141, 155, 161, 174, 181, 189, 202
プログラマブル・ウエイト制御レジスタ１（PWC1）　…　654

プログラマブル・ウエイト制御レジスタ２（PWC2）　…　654
プログラム・ステータス・ワード（PSWL）　…　577
ポート０（P0）　…　137
ポート１（P1）　…　146
ポート２（P2）　…　159
ポート３（P3）　…　165
ポート４（P4）　…　177
ポート５（P5）　…　185
ポート６（P6）　…　195
ポート７（P7）　…　203
ポート０バッファ・レジスタ（P0L, P0H）　…　213
ポート１モード・コントロール・レジスタ（PMC1）　…　151
ポート３モード・コントロール・レジスタ（PMC3）　…　170
ポート０モード・レジスタ（PM0）　…　138
ポート１モード・レジスタ（PM1）　…　151
ポート３モード・レジスタ（PM3）　…　169
ポート４モード・レジスタ（PM4）　…　178
ポート５モード・レジスタ（PM5）　…　186
ポート６モード・レジスタ（PM6）　…　200
ポート７モード・レジスタ（PM7）　…　204
ホールド・モード・レジスタ（HLDM）　…　672
ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）　…　486
ボー・レート・ジェネレータ・コントロール・レジスタ２（BRGC2）　…　486

[ま行]

マクロ・サービス・モード・レジスタ　…　602
メモリ拡張モード・レジスタ（MM）　…　639, 653

[ら行]

リアルタイム出力ポート・コントロール・レジスタ（RTPC）　…　212
リフレッシュ・モード・レジスタ（RFM）　…　667
リフレッシュ領域指定レジスタ（RFA）　…　668

[わ行]

割り込み制御レジスタ　…　567
割り込みマスク・レジスタ（MK0H, MK0L, MK1L）　…　572
割り込みモード・コントロール・レジスタ（IMC）　…　575
ワンショット・パルス出力制御レジスタ（OSPC）　…　234

D.2　レジスタ索引（アルファベット順）

[A]

ADCR　：A/D変換結果レジスタ　…　435
ADIC　：割り込み制御レジスタ　…　567
ADM　：A/Dコンバータ・モード・レジスタ　…　436
ASIM　：アシンクロナス・シリアル・インタフェース・モード・レジスタ　…　465
ASIM2　：アシンクロナス・シリアル・インタフェース・モード・レジスタ２　…　465
ASIS　：アシンクロナス・シリアル・インタフェース・ステータス・レジスタ　…　468
ASIS2　：アシンクロナス・シリアル・インタフェース・ステータス・レジスタ２　…　468

[B]

BRGC　：ボー・レート・ジェネレータ・コントロール・レジスタ　…　486
BRGC2　：ボー・レート・ジェネレータ・コントロール・レジスタ２　…　486

[C]

CIC00　：割り込み制御レジスタ　…　569
CIC01　：割り込み制御レジスタ　…　569
CIC10　：割り込み制御レジスタ　…　569
CIC11　：割り込み制御レジスタ　…　569
CIC20　：割り込み制御レジスタ　…　570
CIC21　：割り込み制御レジスタ　…　570
CIC30　：割り込み制御レジスタ　…　570
CLOM　：クロック出力モード・レジスタ　…　548
CR00　：コンペア・レジスタ　…　228
CR01　：コンペア・レジスタ　…　228
CR02　：キャプチャ・レジスタ　…　228
CR10/CR10W：コンペア・レジスタ　…　289
CR11/CR11W：キャプチャ／コンペア・レジスタ　…　289
CR12/CR12W：キャプチャ・レジスタ　…　290
CR20/CR20W：コンペア・レジスタ　…　330
CR21/CR21W：キャプチャ／コンペア・レジスタ　…　330
CR22/CR22W：キャプチャ・レジスタ　…　331
CR30/CR30W：コンペア・レジスタ　…　404
CRC0　：キャプチャ／コンペア・コントロール・レジスタ０　…　232
CRC1　：キャプチャ／コンペア・コントロール・レジスタ１　…　293
CRC2　：キャプチャ／コンペア・コントロール・レジスタ２　…　335

CSIIC　：割り込み制御レジスタ　…　571
CSIIC1　：割り込み制御レジスタ　…　571
CSIIC2　：割り込み制御レジスタ　…　571
CSIM　：クロック同期式シリアル・インタフェース・モード・レジスタ　…　498, 522
CSIM1　：クロック同期式シリアル・インタフェース・モード・レジスタ１　…　478
CSIM2　：クロック同期式シリアル・インタフェース・モード・レジスタ２　…　478

[D]
DACS0　：D/A変換値設定レジスタ０　…　454
DACS1　：D/A変換値設定レジスタ１　…　454
DAM　：D/Aコンバータ・モード・レジスタ　…　454

[H]
HLDM　：ホールド・モード・レジスタ　…　672

[I]
IICC　：I²Cバス・コントロール・レジスタ　…　500, 522
IMC　：割り込みモード・コントロール・レジスタ　…　575
IMS　：内部メモリ・サイズ切り替えレジスタ　…　98
INTM0　：外部割り込みモード・レジスタ０　…　551
INTM1　：外部割り込みモード・レジスタ１　…　551
ISPR　：インサービス・プライオリティ・レジスタ　…　574

[M]
MK0H　：割り込みマスク・レジスタH　…　572
MK0L　：割り込みマスク・レジスタL　…　572
MK1L　：割り込みマスク・レジスタ1L　…　572
MM　：メモリ拡張モード・レジスタ　…　639, 653

[O]
OSPC　：ワンショット・パルス出力制御レジスタ　…　234
OSTS　：発振安定時間指定レジスタ　…　127, 680

[P]
P0　：ポート０　…　137
P0H　：ポート０バッファ・レジスタH　…　213
P0L　：ポート０バッファ・レジスタL　…　213

P1　：ポート１　…　146
P2　：ポート２　…　159
P3　：ポート３　…　165
P4　：ポート４　…　177
P5　：ポート５　…　185
P6　：ポート６　…　195
P7　：ポート７　…　203
PIC0　：割り込み制御レジスタ　…　569
PIC1　：割り込み制御レジスタ　…　569
PIC2　：割り込み制御レジスタ　…　569
PIC3　：割り込み制御レジスタ　…　569
PIC4　：割り込み制御レジスタ　…　570
PIC5　：割り込み制御レジスタ　…　570
PM0　：ポート０モード・レジスタ　…　138
PM1　：ポート１モード・レジスタ　…　151
PM3　：ポート３モード・レジスタ　…　169
PM4　：ポート４モード・レジスタ　…　178
PM5　：ポート５モード・レジスタ　…　186
PM6　：ポート６モード・レジスタ　…　200
PM7　：ポート７モード・レジスタ　…　204
PMC1　：ポート１モード・コントロール・レジスタ　…　151
PMC3　：ポート３モード・コントロール・レジスタ　…　170
PRM0　：プリスケーラ・モード・レジスタ０　…　231, 406
PRM1　：プリスケーラ・モード・レジスタ１　…　292, 334
PSWL　：プログラム・ステータス・ワード　…　577
PUO　：プルアップ抵抗オプション・レジスタ　…　141, 155, 161, 174, 181, 189, 202
PWC1　：プログラマブル・ウエイト制御レジスタ１　…　654
PWC2　：プログラマブル・ウエイト制御レジスタ２　…　654
PWM0　：PWMモジュロ・レジスタ０　…　427
PWM1　：PWMモジュロ・レジスタ１　…　427
PWMC　：PWMコントロール・レジスタ　…　426
PWPR　：PWMプリスケーラ・レジスタ　…　427

［R］

RFA　：リフレッシュ領域指定レジスタ　…　668
RFM　：リフレッシュ・モード・レジスタ　…　667
RTPC　：リアルタイム出力ポート・コントロール・レジスタ　…　212

RXB　：シリアル受信バッファ　…　464
RXB2　：シリアル受信バッファ２　…　464

[S]
SCS0　：サンプリング・クロック選択レジスタ　…　554
SERIC　：割り込み制御レジスタ　…　570
SERIC2　：割り込み制御レジスタ　…　571
SIO　：シリアル・シフト・レジスタ　…　497, 520
SIO1　：シリアル・シフト・レジスタ１　…　477
SIO2　：シリアル・シフト・レジスタ２　…　477
SPCIC　：割り込み制御レジスタ　…　571
SPRM　：シリアル・クロック用プリスケーラ・モード・レジスタ　…　499, 525
SRIC　：割り込み制御レジスタ　…　570
SRIC2　：割り込み制御レジスタ　…　571
STBC　：スタンバイ・コントロール・レジスタ　…　125, 678
STIC　：割り込み制御レジスタ　…　571
STIC2　：割り込み制御レジスタ　…　571
SVA　：スレーブ・アドレス・レジスタ　…　520, 526

[T]
TM0　：タイマ・レジスタ０　…　228
TM1/TM1W　：タイマ・レジスタ１　…　289
TM2/TM2W　：タイマ・レジスタ２　…　330
TM3/TM3W　：タイマ・レジスタ３　…　404
TMC0　：タイマ・コントロール・レジスタ０　…　230, 405
TMC1　：タイマ・コントロール・レジスタ１　…　291, 333
TOC　：タイマ出力コントロール・レジスタ　…　233, 337
TXS　：シリアル送信シフト・レジスタ　…　464
TXS2　：シリアル送信シフト・レジスタ２　…　464

[W]
WDM　：ウォッチドッグ・タイマ・モード・レジスタ　…　419, 576

付録Ｅ　改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

（1/4）

版　数	前版からの主な改版内容	適用箇所
第２版	・μPD784031, 784031Yに関する記述を追加 ・80ピン・プラスチックQFP（□14 mm, 1.4 mm厚）を追加	全般
	78K/IVシリーズ製品展開図に，μPD784908サブシリーズ，78F4943サブシリーズに関する記述を追加	第１章　概　　説
	V_{DD}端子およびV_{SS}端子をそれぞれ次の２つに分けて記述 ・V_{DD}→V_{DD0}：ポート部の正電源供給端子 V_{DD1}：ポート部以外の正電源供給端子 ・V_{SS}→V_{SS0}：ポート部のGND電位端子 V_{SS1}：ポート部以外のGND電位端子	第２章　端子機能
	内部メモリ・サイズ切り替えレジスタ（IMS）に関する注意を追加	第３章　CPUアーキテクチャ
	８.５　外部イベント・カウンタ機能 図８－10　タイマ／カウンタ０の外部イベント・カウントのタイミングのTM0のタイミングを訂正	第８章　タイマ／カウンタ０
	９.５　外部イベント・カウンタ機能 図９－10　タイマ／カウンタ１の外部イベント・カウントのタイミングのTM1のタイミングを訂正	第９章　タイマ／カウンタ１
	10.５　外部イベント・カウンタ機能 図10－11　タイマ／カウンタ２の外部イベント・カウントのタイミングのTM2のタイミングを訂正	第10章　タイマ／カウンタ２
	低速変換（f_{CLK} = 16 MHz） 240/f_{CLK}（15 μs）→180/f_{CLK}（11.25 μs）に訂正	第14章　A/Dコンバータ
	・MSBファースト/LSBファーストの切り替えに関する注意を追加 ・表17－４　ボー・レート・ジェネレータを使用した場合のBRGCへの設定例を追加	第17章　アシンクロナス・シリアル・インタフェース/３線式シリアルI/O
	CLO端子→CLKOUT端子に統一	第20章　クロック出力機能
	・外部ウエイト機能に関する注意を追加 ・図23－10　プログラマブル・ウエイト制御レジスタ（PWC1, PWC2）のフォーマットを変更	第23章　ローカル・バス・インタフェース機能
	・スタンバイ・モード解除後の注意を追加 ・図24－５　HALTモード解除後の動作を追加 ・図24－６　STOPモード解除後の動作を追加 ・図24－９　IDLEモード解除後の動作を追加	第24章　スタンバイ機能
	付録Ｅ　総合索引を追加	付録Ｅ　総合索引

(2/4)

版　数	前版からの主な改版内容	適用箇所
第３版	78K/IVシリーズ製品展開図を変更	第１章　概　　説
	表３－６　タイマ・レジスタ読み込み制限条件を追加	第３章　CPU機能
	・表８－５　タイマ・レジスタ読み込み制限条件を追加 ・８.７.２　トグル出力 タイマ・コントロール・レジスタ０でタイマ・カウンタ０を停止させると「停止時の出力レベルをそのまま保持します」→「インアクティブ・レベル（$\overline{\text{ALVn}}$：n = 0, 1）を出力します」に変更	第８章　タイマ／カウンタ０
	・表９－４　タイマ・レジスタ読み込み制限条件を追加 ・図９－５，図９－20　コンペア・レジスタによる不要な割り込み要求の発生例および注意を追加	第９章　タイマ／カウンタ１
	・表10－５　タイマ・レジスタ読み込み制限条件を追加 ・図10－５，図10－22　コンペア・レジスタによる不要な割り込み要求の発生例および注意を追加 ・10.８.２　トグル出力 タイマ・コントロール・レジスタ１でタイマ・カウンタ２を停止させると「停止時の出力レベルをそのまま保持します」→「インアクティブ・レベル（$\overline{\text{ALVn}}$：n = 0, 1）を出力します」に変更	第10章　タイマ／カウンタ２
	表11－２　タイマ・レジスタ読み込み制限条件を追加	第11章　タイマ３
	12.４.１　ウォッチドッグ・タイマ使用時の一般的な注意事項（２）の⑤「暴走の結果，STOPモードまたはIDLEモードになってしまった場合，暴走の検出はできません」→「暴走の結果，STOPモード，HALTモードまたはIDLEモードになってしまった場合，暴走の検出はできません」に変更	第12章　ウォッチドッグ・タイマ
	・図14－11　ハードウエア・スタートによるセレクト・モードのA/D変換動作を変更	第14章　A/Dコンバータ
	受信エラー発生時に，受信完了割り込み禁止をする場合の注意事項およびウエイト時間の算出方法を追加	第17章　アシンクロナス・シリアル・インタフェース／３線式シリアルI/O
	・「ウォッチドッグ・タイマは，スタンバイの解除（STOPモード／IDLEモード）には使用できません」→「ウォッチドッグ・タイマは，スタンバイの解除（STOPモード／HALTモード／IDLEモード）には使用できません」に変更および追加 ・「ノンマスカブル割り込み要求（NMI端子入力，ウォッチドッグ・タイマ）」のウォッチドッグ・タイマを削除	第24章　スタンバイ機能
	・図Ｂ－４　TGK-080SDWの外形図を追加	付録Ｂ　開発ツール

(3/4)

版　数	前版からの主な改版内容	適用箇所
第４版	対象製品に次の特別水準品を追加 ・μPD784031GC(A)-3B9, 784035GC(A)-×××-3B9, 784036GC(A)-×××-3B9 次のパッケージを削除 ・μPD784031GC-3B9, 784031GK-BE9, 784035GC-×××-3B9, 784035GK-×××-BE9, 784036GC-×××-3B9, 784036GK-×××-BE9, 784037GC-×××-3B9, 784037GK-×××-BE9, 784038GC-×××-3B9, 784038GK-×××-BE9, 78P4038GC-3B9, 78P4038GC-×××-3B9, 78P4038GC-×××-8BT, 78P4038GK-BE9, 78P4038GK-×××-BE9, 78P4038KK-T ・μPD784031YGC-3B9, 784031YGK-BE9, 784035YGC-×××-3B9, 784035YGK-×××-BE9, 784036YGC-×××-3B9, 784036YGK-×××-BE9, 784037YGC-×××-3B9, 784037YGK-×××-BE9, 784038YGC-×××-3B9, 784038YGK-×××-BE9, 78P4038YGC-3B9, 78P4038YGC-×××-3B9, 78P4038YGC-×××-8BT, 78P4038YGK-BE9, 78P4038YGK-×××-BE9, 78P4038YKK-T 次のパッケージを追加 ・μPD784031GK-9EU, 784035GK-×××-9EU, 784036GK-×××-9EU, 784037GK-×××-9EU, 784038GK-×××-9EU, 78P4038GK-9EU ・μPD784031YGK-9EU, 784035YGK-×××-9EU, 784036YGK-×××-9EU, 784037YGK-×××-9EU, 784038YGK-×××-9EU, 78P4038YGK-9EU	全般
	・78K/Ⅳシリーズ製品展開図　更新 ・１.２　オーダ情報と品質水準　製品の追加と削除 ・１.７　特別水準品と標準水準品の違い　追加	第１章　概　　説
	８.９　注意事項　コンペア・レジスタCR00一致割り込みに関する注意を追加	第８章　タイマ／カウンタ０
	９.８　注意事項　コンペア・レジスタCR10一致割り込みに関する注意を追加	第９章　タイマ／カウンタ１
	10. 10　注意事項　コンペア・レジスタCR20一致割り込みに関する注意を追加	第10章　タイマ／カウンタ２
	・図14－３　A/Dコンバータ・モード・レジスタ（ADM）のフォーマット　記述変更 ・表14－１　A/D変換時間　記述変更	第14章　A/Dコンバータ
	17.５　注意事項　３線式シリアルI/Oモードの連続受信に関する注意を追加	第17章　アシンクロナス・シリアル・インタフェース／３線式シリアルI/O

（4/4）

版　数	前版からの主な改版内容	適用箇所
第４版	・図18－６　３線式シリアルI/Oモードのタイミング　変更 ・18.６　注意事項 ・３線式シリアルI/Oモードの送信データ書き込みに関する注意を追加 ・３線式シリアルI/Oモードのシリアル・クロックのカウント動作に関する注意を追加 ・３線式シリアルI/Oモードのシリアル・クロックの出力に関する注意を追加 ・３線式シリアルI/Oモードの連続受信に関する注意を追加	第18章　３線式／２線式シリアルI/Oモード
	21.２　P20, P25, P26端子のエッジ検出　記述追加	第21章　エッジ検出機能
	章を追加	第28章　電気的特性
	章を追加	第29章　外 形 図
	章を追加	第30章　半田付け推奨条件
	表Ａ－１　μPD784026サブシリーズとの違い　記述追加	付録Ａ　μPD784026サブシリーズとの違い
	記述変更	付録Ｂ　開発ツール
	記述変更	付録Ｃ　組み込み用ソフトウエア
第４版 （修正１版）	24.６（５）A/Dコンバータ　記述修正	第24章　スタンバイ機能
第４版 （修正２版）	１.２　オーダ情報と品質水準　を変更	第１章　概　　説
	第30章　半田付け推奨条件　に鉛フリー製品を追加	第30章　半田付け推奨条件

〔メ　モ〕

【発　行】
NECエレクトロニクス株式会社
〒211-8668　神奈川県川崎市中原区下沼部1753
電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。
URL（アドレス）　http://www.necel.co.jp/

【営業関係，技術関係お問い合わせ先】

半導体ホットライン
（電話：午前 9:00～12:00，午後 1:00～5:00）
電　話　：044−435−9494
E-mail　：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。