

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル

保守/廃止

μPD78366A

16/8ビット・シングルチップ・マイクロコンピュータ
ハードウェア編

μPD78363A

μPD78365A

μPD78366A

μPD78368A

μPD78P368A

{ × 毛 }

目次要約

第1章	概 説	...	1
第2章	端子機能	...	13
第3章	CPU アーキテクチャ	...	29
第4章	各ブロック機能(概要)	...	61
第5章	ポート機能	...	65
第6章	クロック発生回路	...	89
第7章	リアルタイム・パルス・ユニット	...	93
第8章	A/Dコンバータ	...	199
第9章	アシンクロナス・シリアル・インタフェース	...	225
第10章	クロック同期式シリアル・インタフェース	...	249
第11章	PWM信号出力機能	...	293
第12章	ウォッチドッグ・タイマ	...	299
第13章	割り込み機能	...	303
第14章	スタンバイ機能	...	357
第15章	リセット機能	...	373
第16章	バス・インタフェース機能	...	377
第17章	μ PD78P368Aのプログラミング	...	389
第18章	命令セット	...	399
第19章	命令実行速度	...	421
第20章	使用上の注意事項	...	433
付 録		...	451

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

QTOPIは、日本電気株式会社の商標です。

MS-DOSおよびWindowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/AT、PC DOSは、米国IBM社の商標です。

HP9000シリーズ700、HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78365A, 78P368AKL-S

ユーザ判定品 : μ PD78363A, 78366A, 78368A, 78P368AGF-3B9

本資料の内容は、後日変更する場合があります。

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

本版で改訂された主な箇所

箇所	内容
全般	μ PD78368Aを対象品種に追加 μ PD78P368AKL-Sを開発中 開発済みに変更
p.204, 205	第8章 A/Dコンバータ 8.2 A/Dコンバータ・モード・レジスタ (ADM) FRビット設定による変換時間を変更
p.274, 275	第10章 クロック同期式シリアル・インタフェース 10.6.1 SBIのデータ・フォーマット バス・リリース信号とコマンド信号に注意を追加

本文欄外の★印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者 このマニュアルは、 μ PD78366Aサブシリーズの機能を理解し、それをを用いたアプリケーション・システムを設計しようとするユーザのエンジニアを対象としています。
対象品種は、次に示す μ PD78366Aサブシリーズ^注の各製品です。
 μ PD78363A, 78365A, 78366A, 78368A, 78P368A

注 μ PD78366Aサブシリーズには、上記製品のほかに、 μ PD78361A, 78362A, 78P364Aがあります。 μ PD78361A, 78362A, 78P364Aの詳細については、 μ PD78362A **ユーザーズ・マニュアルハードウェア編** (U10745J) を参照してください。

目的 このマニュアルは、次の構成に示す μ PD78366Aサブシリーズの持つ各種ハードウェア機能をユーザに理解していただくことを目的としています。

構成 μ PD78366Aサブシリーズのマニュアルは、ハードウェア編（このマニュアル）と命令編の2冊に分かれています。

ハードウェア編	命令編
端子機能	CPU機能
内蔵ハードウェア機能	アドレッシング
割り込み	命令セット一覧
命令セット一覧	各命令の詳細説明

使用上の注意事項

μ PD78366Aサブシリーズの使用上の注意事項については、「第20章 使用上の注意事項」にまとめてあります。必ずお読みください。
また、この製品に関する最新情報については、当社または特約店の販売員にお問い合わせください。

読み方 このマニュアルを読むにあたっては、電気、論理回路およびマイクロコンピュータの一般知識を必要とします。

μ PD78363A, 78365A, 78368A, 78P368Aのマニュアルとしてお使いになる方へ

このマニュアルでは、特に機能面での違いがない限り、 μ PD78366Aを代表品種として説明しています。 μ PD78363A, 78365A, 78368A, 78P368Aのマニュアルとしてお使いの場合は、 μ PD78366Aをそれぞれの製品名に読み替えてください。

また、ワン・タイムPROM製品とEPROM製品の共通する部分を、PROMという表記で代表しています。

レジスタ名が分かっていて、レジスタの詳細を確認するとき

「付録C レジスタ索引」を利用してください。

使いたい機能の詳細を知りたいとき

「付録D 機能索引」を利用してください。

μPD78366Aサブシリーズの命令機能の詳細を知りたいとき

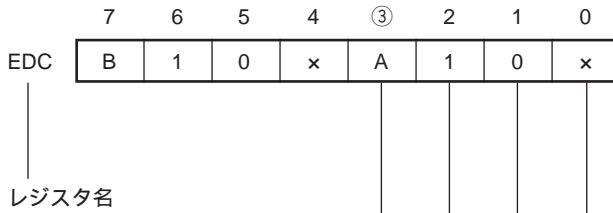
別冊のμPD78356 ユーザーズ・マニュアル 命令編 (U12117J)を参照してください。

一通りμPD78366Aサブシリーズの機能を理解しようとするとき

目次に従って読んでください。

凡 例	データ表記の重み	: 左側が上位桁, 右側が下位桁
	アクティブ・ロウの表記	: $\overline{\text{xxxx}}$ (端子名称, 信号名称に上線)
	メモリ・マップのアドレス	: 上部 - 下位, 下部 - 上位
	注	: 本文中につけた注の説明
	注意	: 特に気をつけて読んでいただきたい内容
	備考	: 本文中の補足説明
	数の表記	: 2進数 $\cdot\cdot\cdot\text{xxxxxB}$ または xxxx 10進数 $\cdot\cdot\cdot\text{xxxx}$ 16進数 $\cdot\cdot\cdot\text{xxxxH}$

レジスタ表記



ビット番号を で囲んでいるものは、そのビット名称がNEC製アセンブラ(RA78K3)では予約語に、Cコンパイラ(CC78K3)ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

ライト動作時	リード動作時
0 または 1 を書き込みます。いずれの値でも動作には影響を与えません。	0 または 1 を読み出します。
0 を書く必要があります。	
1 を書く必要があります。	
使用したい機能に応じた値を書き込みます。	動作状態に従った値を読み出します。

本文中のレジスタ表記に『設定禁止』と書いてあるコードの組み合わせは、絶対に書き込まないでください。

まぎらわしい文字：0（ゼロ），O（オー）

：1（イチ），I（エル），I（アイ）

関連資料

デバイスに関する資料

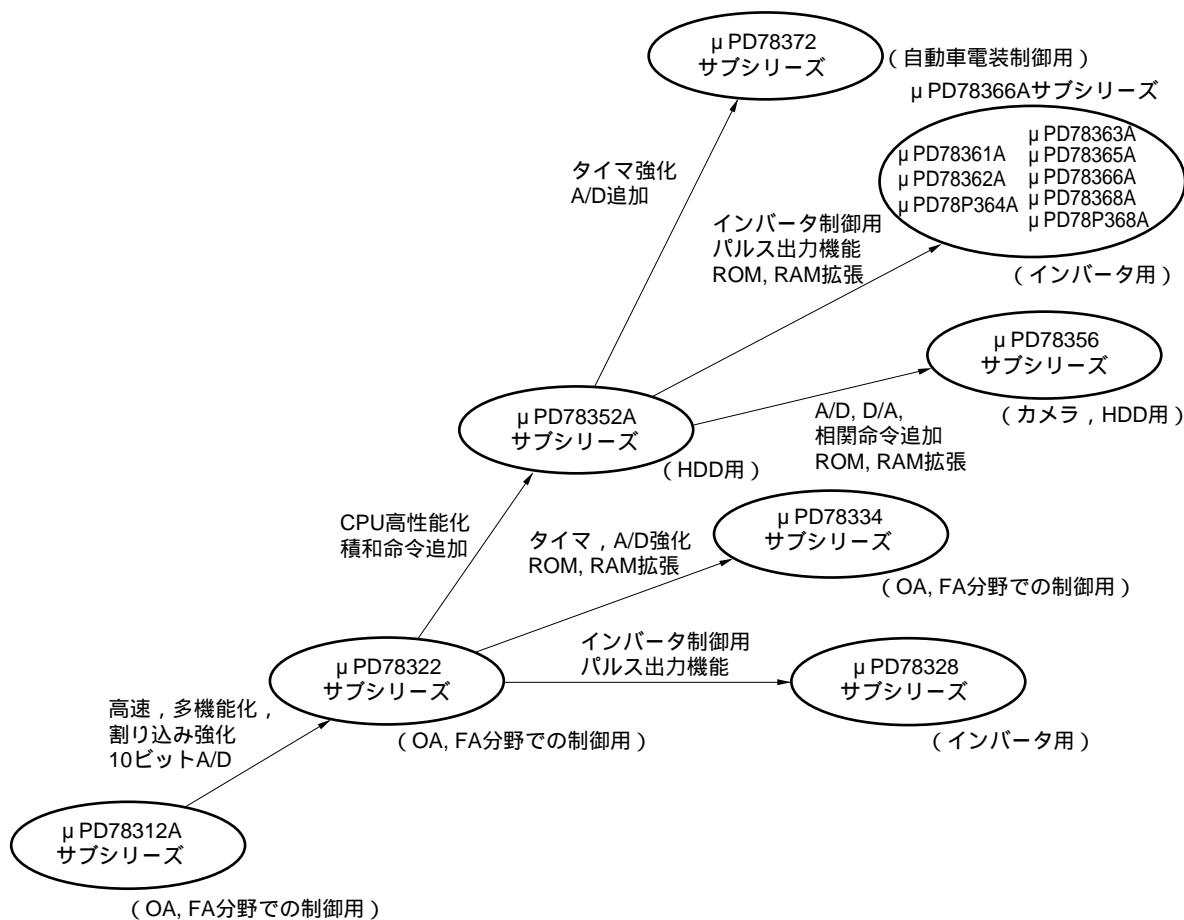
資料名	資料番号	
	和文	英文
μPD78362A データ・シート	U10098J	U10098E
μPD78P364A データ・シート	U10106J	U10106E
μPD78363A, 78365A, 78366A データ・シート	U11109J	U11109E
μPD78P368A データ・シート	U11373J	U11373E
μPD78362A ユーザーズ・マニュアル ハードウェア編	U10745J	U10745E
μPD78366A ユーザーズ・マニュアル ハードウェア編	このマニュアル	U10205E
μPD78356 ユーザーズ・マニュアル 命令編	U12117J	U12117E
μPD78362A 特殊機能レジスタ活用表	U10210J	-
μPD78366A 特殊機能レジスタ活用表	U10107J	-
μPD78352A インストラクション・セット	U11955J	-

開発ツールに関する資料

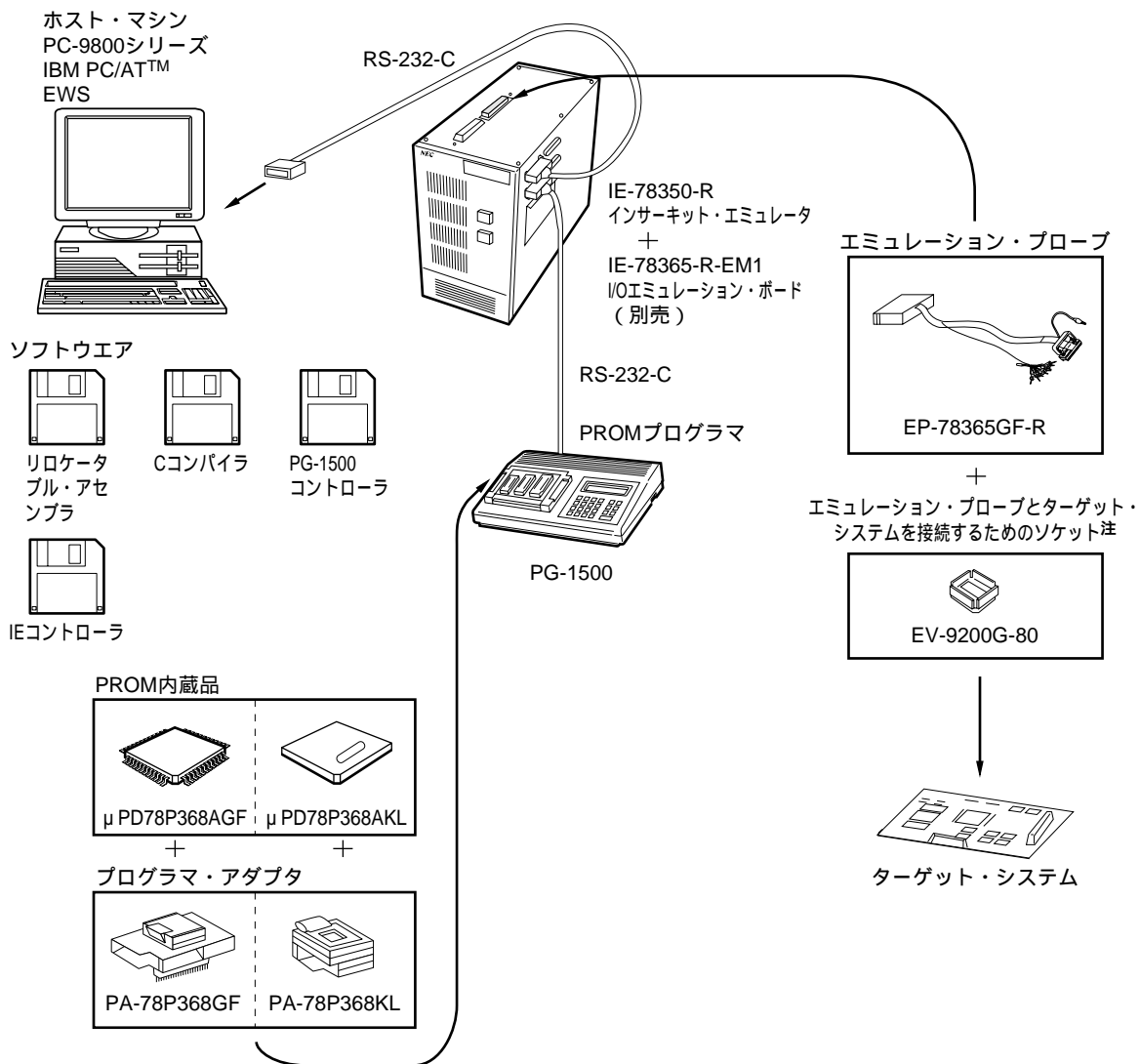
資料名	資料番号		
	和文	英文	
IE-78350-R ユーザーズ・マニュアル	ハードウェア編	EEU-754	EEU-1366
	ソフトウェア編	EEU-753	EEU-1376
IE-78365-R-EM1 ユーザーズ・マニュアル		EEU-924	EEU-1454
EP-78365GF-R ユーザーズ・マニュアル		EEU-955	EEU-1488

注意 関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

78K/ シリーズ製品展開



開発ツール構成 (IEコントローラを使用する場合)

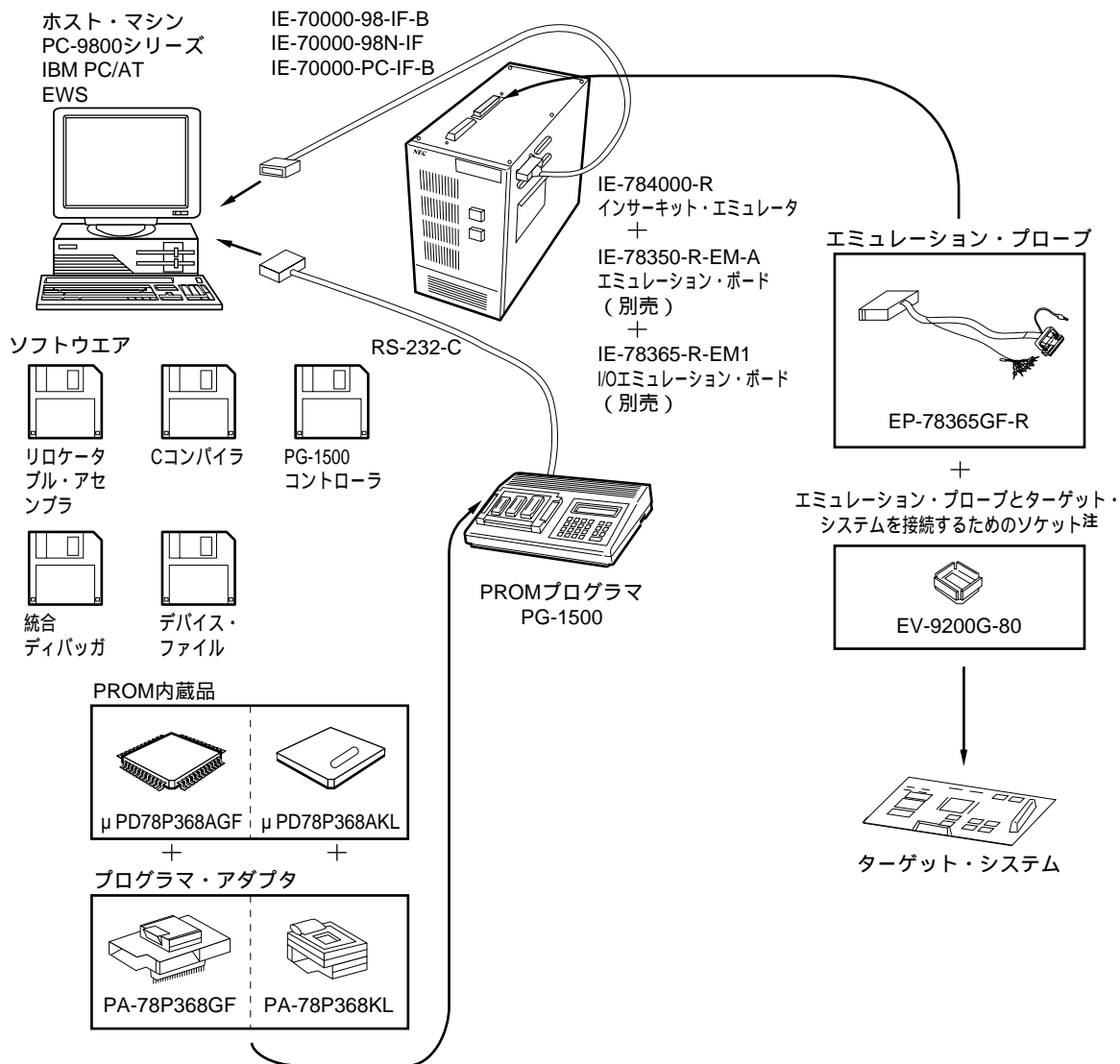


注 ソケットは、エミュレーション・プローブに添付されています。

備考 1. ホスト・マシンとPG-1500をRS-232-Cで直接接続して使用することもできます。

2. この図では、ソフトウェアの供給媒体を3.5インチFDで代表しています。

開発ツール構成 (統合ディバッガを使用する場合)



注 ソケットは、エミュレーション・プローブに添付されています。

備考1. この図では、ホスト・マシンをデスクトップ型パソコンで代表しています。

2. この図では、ソフトウェアの供給媒体を3.5インチFDで代表しています。

目 次

- 第1章 概 説 ... 1**
 - 1.1 特 徴 ... 2
 - 1.2 応用分野 ... 3
 - 1.3 オーダ情報 ... 3
 - 1.4 端子接続図 (Top View) ... 4
 - 1.4.1 通常動作モード ... 4
 - 1.4.2 PROMプログラミング・モード
(μ PD78P368Aのみ : MODE0/V_{PP} = H, MODE1 = L) ... 6
 - 1.5 ブロック図 ... 8
 - 1.6 機能概要 ... 9
 - 1.7 μ PD78366Aサブシリーズ製品間の違い ... 11
 - 1.8 応 用 例 ... 12

- 第2章 端子機能 ... 13**
 - 2.1 端子機能一覧 ... 13
 - 2.1.1 通常動作モード ... 13
 - 2.1.2 PROMプログラミング・モード
(μ PD78P368Aのみ : MODE0/V_{PP} = H, MODE1 = L) ... 16
 - 2.2 端子機能説明 ... 17
 - 2.2.1 通常動作モード ... 17
 - 2.2.2 PROMプログラミング・モード (μ PD78P368Aのみ) ... 25
 - 2.3 入出力回路と未使用端子の処理 ... 26

- 第3章 CPUアーキテクチャ ... 29**
 - 3.1 メモリ空間 ... 29
 - 3.1.1 ベクタ・テーブル領域 ... 34
 - 3.1.2 CALLT命令テーブル領域 ... 35
 - 3.1.3 CALLF命令エントリ領域 ... 35
 - 3.1.4 内部RAM領域 ... 35
 - 3.1.5 特殊機能レジスタ領域 ... 39
 - 3.1.6 外部メモリ領域 ... 39
 - 3.2 プロセッサ・レジスタ ... 40
 - 3.2.1 制御レジスタ ... 41
 - 3.2.2 汎用レジスタ ... 47
 - 3.2.3 特殊機能レジスタ (SFR) ... 49
 - 3.3 データ・メモリ・アドレッシング ... 56
 - 3.3.1 汎用レジスタに対するアドレッシング ... 59
 - 3.3.2 ショート・ダイレクト・アドレッシング ... 60
 - 3.3.3 特殊機能レジスタ (SFR)・アドレッシング ... 60

第4章 各ブロック機能（概要） ... 61

- 4.1 エグゼキューション・ユニット ... 61
- 4.2 バス・コントロール・ユニット ... 61
- 4.3 プログラム・メモリ/データ・メモリ ... 61
- 4.4 ポート ... 62
- 4.5 リアルタイム・パルス・ユニット ... 62
- 4.6 リアルタイム出力ポート ... 62
- 4.7 A/Dコンバータ ... 63
- 4.8 シリアル・インタフェース ... 63
- 4.9 PWM出力ユニット ... 63
- 4.10 ウォッチドッグ・タイマ ... 63
- 4.11 割り込みコントローラ ... 63

第5章 ポート機能 ... 65

- 5.1 ハードウェア構成 ... 65
- 5.2 各ポートの機能 ... 75
 - 5.2.1 入出力ポートの機能と複合機能 ... 76
 - 5.2.2 入出力モードの設定 ... 77
 - 5.2.3 コントロール・モードの設定 ... 79
 - 5.2.4 プルアップ抵抗の指定 ... 86

第6章 クロック発生回路 ... 89

第7章 リアルタイム・パルス・ユニット ... 93

- 7.1 RPUの構成 ... 94
- 7.2 タイマ0 ... 94
 - 7.2.1 構成 ... 94
 - 7.2.2 制御レジスタ ... 102
 - 7.2.3 動作 ... 110
- 7.3 タイマ1 ... 141
 - 7.3.1 構成 ... 141
 - 7.3.2 制御レジスタ ... 142
 - 7.3.3 動作 ... 143
- 7.4 タイマ2 ... 144
 - 7.4.1 構成 ... 144
 - 7.4.2 制御レジスタ ... 146
 - 7.4.3 動作 ... 150
- 7.5 タイマ3 ... 156
 - 7.5.1 構成 ... 156
 - 7.5.2 制御レジスタ ... 158
 - 7.5.3 動作 ... 163
- 7.6 タイマ4 ... 171
 - 7.6.1 構成 ... 171
 - 7.6.2 制御レジスタ ... 173
 - 7.6.3 動作 ... 180

- 7.7 リアルタイム出力機能 ... 195
 - 7.7.1 構成 ... 195
 - 7.7.2 制御レジスタ ... 196
 - 7.7.3 動作 ... 197

- 第8章 A/Dコンバータ ... 199**
 - 8.1 構成 ... 200
 - 8.2 A/Dコンバータ・モード・レジスタ (ADM) ... 203
 - 8.3 A/Dコンバージョン・リザルト・レジスタ (ADCR) ... 207
 - 8.4 動作 ... 209
 - 8.4.1 A/Dコンバータの基本動作 ... 209
 - 8.4.2 A/Dコンバータの動作モード ... 213
 - 8.5 A/Dコンバータ特性表の読み方 ... 222

- 第9章 アシクロナス・シリアル・インタフェース ... 225**
 - 9.1 アシクロナス・シリアル・インタフェースの構成 ... 226
 - 9.2 シリアル通信の端子を切り替える ... 228
 - 9.3 シリアル通信の端子を設定する ... 230
 - 9.4 データ・フォーマットを設定する ... 232
 - 9.5 ボー・レートを設定する ... 234
 - 9.5.1 ボー・レート・ジェネレータの構成 ... 236
 - 9.5.2 任意のボー・レートに設定する ... 238
 - 9.6 データを送信する ... 240
 - 9.7 データを受信する ... 242
 - 9.8 マクロ・サービスを使ってデータを送信/受信する ... 244
 - 9.9 受信エラーが発生した場合 ... 246

- 第10章 クロック同期式シリアル・インタフェース ... 249**
 - 10.1 クロック同期式シリアル・インタフェースの構成 ... 250
 - 10.2 シリアル通信の端子を設定する ... 252
 - 10.3 ボー・レートを設定する ... 254
 - 10.3.1 ボー・レート・ジェネレータの構成 ... 256
 - 10.3.2 任意のボー・レートに設定する ... 258
 - 10.4 クロック同期式シリアル・インタフェースの2つの動作モード ... 260
 - 10.5 3線式シリアルI/Oモードに設定する ... 262
 - 10.5.1 3線式シリアルI/Oモードで送信する ... 264
 - 10.5.2 3線式シリアルI/Oモードで受信する ... 266
 - 10.5.3 3線式シリアルI/Oモードで送受信する ... 268
 - 10.5.4 シフト動作がずれた場合の処置方法 ... 271
 - 10.6 SBIモードに設定する ... 272
 - 10.6.1 SBIのデータ・フォーマット ... 274
 - 10.6.2 シリアル・バスの状態を制御, 検出する ... 280
 - 10.6.3 SBIで通信する ... 286
 - 10.6.4 アドレスを受信したときだけ動作させる ... 290

第11章	PWM信号出力機能 ...	293
11.1	構成 ...	293
11.2	制御レジスタ ...	295
11.2.1	PWMコントロール・レジスタ (PWMC0, PWMC1) ...	295
11.2.2	PWMバッファ・レジスタ (PWM0, PWM1) ...	296
11.2.3	コンペア・レジスタ (CMP0, CMP1) ...	296
11.3	動作 ...	297
第12章	ウォッチドッグ・タイマ ...	299
12.1	構成 ...	299
12.2	ウォッチドッグ・タイマ・モード・レジスタ (WDM) ...	300
12.3	ウォッチドッグ・タイマ出力端子 ...	302
12.4	応用例 ...	302
第13章	割り込み機能 ...	303
13.1	割り込み要求 ...	305
13.1.1	ノンマスカブル割り込み ...	305
13.1.2	マスカブル割り込み ...	305
13.1.3	ソフトウェア割り込み ...	305
13.1.4	オペコード・トラップ割り込み ...	306
13.2	割り込み処理モード ...	306
13.2.1	ベクタ割り込み処理 ...	306
13.2.2	マクロ・サービス ...	306
13.2.3	コンテキスト・スイッチング ...	306
13.3	制御レジスタ ...	307
13.3.1	割り込み制御レジスタ ...	309
13.3.2	割り込みマスク・フラグ・レジスタ (MK0) ...	313
13.3.3	割り込みモード・コントロール・レジスタ (IMC) ...	315
13.3.4	インサービス・プライオリティ・レジスタ (ISPR) ...	316
13.3.5	プログラム・ステータス・ワード (PSW) ...	317
13.4	ノンマスカブル割り込みの受け付け動作 ...	318
13.5	マスカブル割り込みの受け付け動作 ...	322
13.5.1	ベクタ割り込み ...	324
13.5.2	コンテキスト・スイッチング ...	324
13.5.3	マスカブル割り込みの優先順位 ...	326
13.6	ソフトウェア割り込みの受け付け動作 ...	332
13.6.1	BRK命令によるソフトウェア割り込みの受け付け動作 ...	332
13.6.2	BRKCS命令によるソフトウェア割り込み (コンテキスト・スイッチング) の受け付け動作 ...	332
13.7	オペコード・トラップ割り込みの受け付け動作 ...	335
13.8	マクロ・サービス機能 ...	336
13.8.1	マクロ・サービスの概要 ...	336
13.8.2	マクロ・サービスの基本動作 ...	339
13.8.3	マクロ・サービス終了時の動作 ...	341
13.8.4	マクロ・サービス制御レジスタ ...	342

13.8.5	マクロ・サービス・モード ...	344
13.8.6	マクロ・サービスの動作 ...	344
13.9	割り込み要求およびマクロ・サービスが一時的に保留される場合 ...	354
13.10	割り込みおよびマクロ・サービスで一時的に実行が中断される命令 ...	356
第14章	スタンバイ機能 ...	357
14.1	構成と機能 ...	357
14.2	スタンバイ・コントロール・レジスタ (STBC) ...	358
14.3	動作 ...	360
14.3.1	HALTモード ...	360
14.3.2	STOPモード ...	363
第15章	リセット機能 ...	373
第16章	バス・インタフェース機能 ...	377
16.1	μPD78366Aの外部デバイス拡張機能 ...	377
16.2	μPD78365Aの外部デバイス・アクセス ...	383
16.3	制御レジスタ ...	384
16.3.1	メモリ拡張モード・レジスタ ...	384
16.3.2	プログラマブル・ウエイト・コントロール・レジスタ ...	386
第17章	μPD78P368Aのプログラミング ...	389
17.1	動作モード ...	390
17.2	PROM書き込みの手順 (ページ・プログラム・モード) ...	391
17.3	PROM書き込みの手順 (バイト・プログラム・モード) ...	394
17.4	PROM読み出しの手順 ...	397
17.5	消去特性 (μPD78P368AKLのみ) ...	398
17.6	消去用窓のシールについて (μPD78P368AKLのみ) ...	398
17.7	ワン・タイムPROM製品のスクリーニングについて ...	398
第18章	命令セット ...	399
18.1	オペランドの表現形式と記述方法 ...	399
18.2	オペレーション説明上の凡例 ...	402
18.3	フラグ動作欄の記号説明 ...	403
18.4	μPD78366AとμPD78328の命令セットの違い ...	403
18.5	基本命令のオペレーション一覧 ...	404
第19章	命令実行速度 ...	421
19.1	メモリ空間とアクセス速度 ...	421
19.1.1	メインRAMと周辺RAM ...	421
19.1.2	メモリ・アクセス ...	422
19.2	割り込み実行速度 ...	428
19.3	実行クロック数の計算 ...	429

第20章	使用上の注意事項	...	433
20.1	「第2章 端子機能」に関する注意事項	...	433
20.2	「第3章 CPUアーキテクチャ」に関する注意事項	...	433
20.3	「第5章 ポート機能」に関する注意事項	...	434
20.4	「第6章 クロック発生回路」に関する注意事項	...	436
20.5	「第7章 リアルタイム・パルス・ユニット」に関する注意事項	...	436
20.6	「第8章 A/Dコンバータ」に関する注意事項	...	440
20.7	「第9章 アシンクロナス・シリアル・インタフェース」に関する 注意事項	...	441
20.8	「第10章 クロック同期式シリアル・インタフェース」に関する 注意事項	...	442
20.9	「第11章 PWM信号出力機能」に関する注意事項	...	443
20.10	「第12章 ウォッチドッグ・タイマ」に関する注意事項	...	443
20.11	「第13章 割り込み機能」に関する注意事項	...	444
20.12	「第14章 スタンバイ機能」に関する注意事項	...	447
20.13	「第15章 リセット機能」に関する注意事項	...	448
20.14	「第16章 バス・インタフェース機能」に関する注意事項	...	448
20.15	「第19章 命令実行速度」に関する注意事項	...	449
付録A	μPD78366AとμPD78328の違い	...	451
付録B	ツール	...	455
B.1	開発ツール	...	455
B.2	組み込み用ソフトウェア	...	460
付録C	レジスタ索引	...	463
C.1	レジスタ索引(50音順)	...	463
C.2	レジスタ索引(アルファベット順)	...	466
付録D	機能索引	...	471
付録E	改版履歴	...	479

図の目次 (1/7)

図番号	タイトル, ページ
2 - 1	端子の入出力回路 ... 27
3 - 1	メモリ・マップ (μ PD78365A, 78366A) ... 30
3 - 2	メモリ・マップ (μ PD78368A) ... 31
3 - 3	メモリ・マップ (μ PD78363A) ... 32
3 - 4	メモリ・マップ (μ PD78P368A) ... 33
3 - 5	レジスタの構成 ... 40
3 - 6	プログラム・ステータス・ワードのフォーマット ... 42
3 - 7	CPUコントロール・ワードのフォーマット ... 46
3 - 8	汎用レジスタの処理ビット ... 47
3 - 9	データ・メモリのアドレッシング (μ PD78365A, 78366A) ... 56
3 - 10	データ・メモリのアドレッシング (μ PD78368A) ... 57
3 - 11	データ・メモリのアドレッシング (μ PD78363A) ... 58
3 - 12	データ・メモリのアドレッシング (μ PD78P368A) ... 59
5 - 1	入出力ポートの基本構成 ... 66
5 - 2	出力ポート指定のポート ... 67
5 - 3	入力ポート指定のポート ... 68
5 - 4	コントロール指定の場合 ... 69
5 - 5	ポート・リード・コントロール・レジスタのフォーマット ... 72
5 - 6	制御概念図 (出力ポート指定時) ... 73
5 - 7	ポート構成 ... 75
5 - 8	ポート0モード・レジスタのフォーマット ... 77
5 - 9	ポート1モード・レジスタのフォーマット ... 77
5 - 10	ポート3モード・レジスタのフォーマット ... 78
5 - 11	ポート5モード・レジスタのフォーマット ... 78
5 - 12	ポート8モード・レジスタのフォーマット ... 78
5 - 13	ポート9モード・レジスタのフォーマット ... 79
5 - 14	ポート0モード・コントロール・レジスタのフォーマット ... 82
5 - 15	ポート3モード・コントロール・レジスタのフォーマット ... 83
5 - 16	ポート8モード・コントロール・レジスタのフォーマット ... 84
5 - 17	メモリ拡張モード・レジスタのフォーマット ... 85
5 - 18	プルアップ抵抗オプション・レジスタLのフォーマット ... 87
5 - 19	プルアップ抵抗オプション・レジスタHのフォーマット ... 87
6 - 1	クロック発生回路のブロック図 ... 89
6 - 2	システム・クロック発振回路の外付け回路 ... 90

図の目次 (2/7)

図番号	タイトル, ページ
6 - 3	発振子の接続回路の悪い例 ... 91
7 - 1	タイマ0のブロック図 (PWMモード0 ... 対称三角波, 非対称三角波) ... 95
7 - 2	タイマ0のブロック図 (PWMモード0 ... のこぎり波) ... 96
7 - 3	タイマ0のブロック図 (PWMモード1) ... 97
7 - 4	タイマ・ユニット・モード・レジスタ0のフォーマット ... 103
7 - 5	出力ドライバ・オフ機能の構成 ... 105
7 - 6	タイマ・コントロール・レジスタ0のフォーマット ... 106
7 - 7	タイマ・コントロール・レジスタ1のフォーマット ... 108
7 - 8	外部割り込みモード・レジスタ0のフォーマット ... 109
7 - 9	TO00-TO05端子のRTP出力機能ブロック図 ... 111
7 - 10	PWMモード0 (対称三角波) の動作タイミング ... 116
7 - 11	PWMモード0 (対称三角波, BFCM0x = CM03) の動作タイミング ... 117
7 - 12	PWMモード0 (対称三角波, BFCM0x = 0000H) の動作タイミング ... 118
7 - 13	PWMモード0 (非対称三角波) の動作タイミング ... 123
7 - 14	PWMモード0 (非対称三角波, BFCM0x = CM03) の動作タイミング ... 124
7 - 15	PWMモード0 (非対称三角波, BFCM0x > CM03) の動作タイミング ... 125
7 - 16	PWMモード0 (非対称三角波, BFCM0x = 0000H) の動作タイミング (1) ... 126
7 - 17	PWMモード0 (非対称三角波, BFCM0x = 0000H) の動作タイミング (2) ... 127
7 - 18	PWMモード0 (非対称三角波, BFCM0x = CM03) の動作タイミング ... 128
7 - 19	PWMモード0 (のこぎり波) の動作タイミング ... 132
7 - 20	PWMモード0 (のこぎり波, BFCM0x > CM03) の動作タイミング ... 133
7 - 21	PWMモード0 (のこぎり波, BFCM0x = CM03) の動作タイミング ... 134
7 - 22	PWMモード0 (のこぎり波, BFCM0x = 0000H) の動作タイミング ... 135
7 - 23	PWMモード1の動作タイミング ... 140
7 - 24	タイマ1のブロック図 ... 141
7 - 25	タイマ・コントロール・レジスタ1のフォーマット ... 142
7 - 26	コンペア動作例 (TM1, インターバル・タイマ・モード) ... 143
7 - 27	タイマ2のブロック図 ... 144
7 - 28	INTP3/INTCC20生成部のブロック図 ... 145
7 - 29	タイマ・コントロール・レジスタ2のフォーマット ... 147
7 - 30	外部割り込みモード・レジスタ1のフォーマット ... 148
7 - 31	サンプリング・コントロール・レジスタ0のフォーマット ... 149
7 - 32	タイマ2 (TM2) の基本動作 ... 150
7 - 33	TM2のキャプチャ動作例 (フリー・ランニング動作) ... 152
7 - 34	TM2のキャプチャ動作例 (インターバル動作) ... 152
7 - 35	TM2のコンペア動作例 (フリー・ランニング動作) ... 153

図の目次 (3/7)

図番号	タイトル, ページ
7 - 36	TM2のコンペア動作例 (インターバル動作) ... 153
7 - 37	サンプリング回路のブロック図 (TM2) ... 154
7 - 38	サンプリング・タイミング図 (TM2) ... 154
7 - 39	タイマ3のブロック図 ... 156
7 - 40	INTP0/INTCC30生成部のブロック図 ... 157
7 - 41	タイマ・コントロール・レジスタ3のフォーマット ... 159
7 - 42	外部割り込みモード・レジスタ0のフォーマット ... 160
7 - 43	外部割り込みモード・レジスタ1のフォーマット ... 160
7 - 44	サンプリング・コントロール・レジスタ0のフォーマット ... 161
7 - 45	サンプリング・コントロール・レジスタ1のフォーマット ... 162
7 - 46	タイマ3 (TM3) の基本動作 ... 163
7 - 47	TM3のキャプチャ動作例 (フリー・ランニング動作) ... 165
7 - 48	TM3のキャプチャ動作例 (インターバル動作) ... 166
7 - 49	TM3のコンペア動作例 (フリー・ランニング動作) ... 167
7 - 50	TM3のコンペア動作例 (インターバル動作) ... 168
7 - 51	サンプリング回路のブロック図 (TM3) ... 169
7 - 52	サンプリング・タイミング図 (TM3) ... 169
7 - 53	タイマ4のブロック図 (汎用タイマ・モード) ... 171
7 - 54	タイマ4のブロック図 (UDCモード) ... 171
7 - 55	タイマ・ユニット・モード・レジスタ1のフォーマット ... 174
7 - 56	タイマ・コントロール・レジスタ4のフォーマット ... 176
7 - 57	タイマ4 (TM4) の基本動作 ... 180
7 - 58	TM4のクリア動作 (UDCモードのアップ・カウント時) ... 184
7 - 59	TM4のクリア動作 (UDCモードのダウン・カウント時) ... 184
7 - 60	UDCモードで内部クロック時の動作 ... 186
7 - 61	モード1の動作例 (TIUD端子の有効エッジが立ち上がりの場合) ... 187
7 - 62	モード1の動作例 (TIUD端子の有効エッジが立ち上がりの場合) ... 187
7 - 63	モード2の動作例 (TIUD端子の有効エッジが立ち上がりの場合) ... 188
7 - 64	モード3の動作例 (TIUD端子の有効エッジが立ち上がりの場合) ... 189
7 - 65	モード3の動作例 (TIUD端子の有効エッジが立ち上がりの場合) ... 190
7 - 66	モード4の動作例 ... 191
7 - 67	タイマ4のブロック図 (PWM出力動作時) ... 192
7 - 68	TO40のPWM出力動作例 ... 194
7 - 69	リアルタイム出力ポートのブロック図 ... 195
7 - 70	リアルタイム出力ポート・モード・レジスタのフォーマット ... 196
7 - 71	リアルタイム出力機能動作例 (P00端子) ... 198

図の目次 (4/7)

図番号	タイトル, ページ
8 - 1	A/Dコンバータのブロック図 ... 200
8 - 2	A/Dコンバータ用端子のキャパシタ接続例 ... 201
8 - 3	A/Dコンバータ・モード・レジスタのフォーマット ... 204
8 - 4	ADCRレジスタへのワード・アクセス ... 207
8 - 5	ADCRレジスタへのバイト・アクセス ... 208
8 - 6	A/D変換基本動作 (セレクト・モード, ソフトウエア・トリガ) ... 209
8 - 7	A/D変換基本動作 (ミックス・モード, 外部トリガ) ... 210
8 - 8	A/D変換動作中のADM書き換え (スキャン・モード, ソフトウエア・トリガ) ... 211
8 - 9	セレクト・モード (1バッファ・モード) のA/D変換動作 ... 213
8 - 10	セレクト・モード (1バッファ・モード) の動作タイミング例 ... 214
8 - 11	セレクト・モード (4バッファ・モード) のA/D変換動作 ... 215
8 - 12	セレクト・モード (4バッファ・モード) の動作タイミング例 ... 215
8 - 13	スキャン・モードのA/D変換動作 ... 216
8 - 14	スキャン・モードの動作タイミング例 ... 217
8 - 15	ミックス・モードのA/D変換動作 (セレクト処理が1バッファ・モード) ... 218
8 - 16	ミックス・モード (セレクト処理が1バッファ・モード) の動作タイミング例 (ソフトウエア・トリガの場合) ... 219
8 - 17	ミックス・モード (セレクト処理が1バッファ・モード) の動作タイミング例 (外部トリガまたは割り込みトリガの場合) ... 219
8 - 18	ミックス・モードのA/D変換動作 (セレクト処理が4バッファ・モード) ... 220
8 - 19	ミックス・モード (セレクト処理が4バッファ・モード) の動作タイミング例 (ソフトウエア・トリガの場合) ... 221
8 - 20	ミックス・モード (セレクト処理が4バッファ・モード) の動作タイミング例 (外部トリガまたは割り込みトリガの場合) ... 221
8 - 21	総合誤差 ... 223
8 - 22	量子化誤差 ... 223
8 - 23	ゼロスケール誤差 ... 224
8 - 24	フルスケール誤差 ... 224
8 - 25	非直線性誤差 ... 224
9 - 1	アシンクロナス・シリアル・インタフェースのブロック図 ... 227
9 - 2	ASIMレジスタの設定 (端子切り替え) ... 229
9 - 3	ポート3モード・コントロール・レジスタのフォーマット ... 230
9 - 4	ポート3モード・レジスタのフォーマット ... 231
9 - 5	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 232
9 - 6	ASIMレジスタの設定 (データ・フォーマット) ... 233
9 - 7	ASIMレジスタの設定 (シリアル・クロック) ... 235

図の目次 (5/7)

図番号	タイトル, ページ
9 - 8	ポー・レート・ジェネレータのブロック図 ... 237
9 - 9	ポー・レート・ジェネレータ・コントロール・レジスタのフォーマット ... 237
9 - 10	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 241
9 - 11	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 242
9 - 12	ASIMレジスタの設定 (受信許可) ... 243
9 - 13	マクロ・サービスを使ったUARTの送信 / 受信動作 ... 245
9 - 14	受信エラー・タイミング ... 246
9 - 15	アシンクロナス・シリアル・インタフェース・ステータス・レジスタのフォーマット ... 247
10 - 1	クロック同期式シリアル・インタフェースのブロック図 ... 251
10 - 2	ポート3モード・コントロール・レジスタのフォーマット ... 252
10 - 3	ポート3モード・レジスタのフォーマット ... 253
10 - 4	CSIMレジスタの設定 (シリアル・クロック) ... 255
10 - 5	ポー・レート・ジェネレータのブロック図 ... 257
10 - 6	ポー・レート・ジェネレータ・コントロール・レジスタのフォーマット ... 259
10 - 7	3線式シリアルI/Oモードのシステム構成例 ... 260
10 - 8	シリアル・バス・インタフェース (SBI) のシステム構成例 ... 261
10 - 9	3線式シリアルI/Oモードのタイミング ... 262
10 - 10	CSIMレジスタの設定 (3線式シリアルI/Oモード) ... 263
10 - 11	3線式シリアルI/Oモードのタイミング (送信) ... 264
10 - 12	CSIMレジスタの設定 (送信許可) ... 265
10 - 13	3線式シリアルI/Oモードのタイミング (受信) ... 266
10 - 14	CSIMレジスタの設定 (受信許可) ... 267
10 - 15	3線式シリアルI/Oモードのタイミング (送受信) ... 269
10 - 16	CSIMレジスタの設定 (送受信許可) ... 270
10 - 17	シリアル・バス・インタフェース (SBI) のシステム構成例 ... 272
10 - 18	CSIMレジスタの設定 (SBIモード) ... 273
10 - 19	バス・リリース信号 ... 274
10 - 20	コマンド信号 ... 274
10 - 21	アドレス ... 275
10 - 22	コマンド ... 275
10 - 23	データ ... 275
10 - 24	アクノリッジ信号 ... 276
10 - 25	ビジー信号, レディ信号 ... 276
10 - 26	シリアル・バス・インタフェース・コントロール・レジスタのフォーマット ... 281
10 - 27	RELT, CMDT, RELD, CMDDの動作 ... 282
10 - 28	ACKTの動作 ... 282

図の目次 (6/7)

図番号	タイトル, ページ
10 - 29	ACKEの動作 ... 283
10 - 30	ACKDの動作 ... 284
10 - 31	BSYEの動作 ... 285
10 - 32	CSIMレジスタの設定 (送受信許可) ... 287
10 - 33	マスタ・デバイスからスレーブ・デバイスへのアドレス転送動作 ... 288
10 - 34	マスタ・デバイスからスレーブ・デバイスへのコマンド転送動作 ... 288
10 - 35	マスタ・デバイスからスレーブ・デバイスへのデータ転送動作 ... 289
10 - 36	スレーブ・デバイスからマスタ・デバイスへのデータ転送動作 ... 289
10 - 37	シリアル・バス・インタフェース (SBI) のシステム構成例 ... 290
10 - 38	CSIMレジスタの設定 (ウエイク・アップ機能) ... 291
11 - 1	PWMユニットのブロック図 ... 293
11 - 2	PWMコントロール・レジスタ0のフォーマット ... 295
11 - 3	PWMコントロール・レジスタ1のフォーマット ... 296
11 - 4	PWM出力機能の動作 (ハイ・アクティブ設定時) ... 297
12 - 1	ウォッチドッグ・タイマのブロック図 ... 299
12 - 2	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 301
13 - 1	割り込み制御レジスタのフォーマット ... 311
13 - 2	割り込みマスク・フラグ・レジスタのフォーマット ... 313
13 - 3	割り込みモード・コントロール・レジスタのフォーマット ... 315
13 - 4	インサースビス・プライオリティ・レジスタのフォーマット ... 316
13 - 5	プログラム・ステータス・ワード (PSWL) のフォーマット ... 317
13 - 6	ノンマスカブル割り込み要求の受け付け動作 ... 319
13 - 7	割り込み受け付け処理アルゴリズム ... 323
13 - 8	割り込み要求の発生によるコンテキスト・スイッチング動作 ... 324
13 - 9	RETCS命令のフォーマット ... 325
13 - 10	RETCS命令によるコンテキスト・スイッチング機能を使用した割り込みからの復帰動作 ... 325
13 - 11	割り込み処理中に他の割り込み要求が発生した場合の処理例 ... 327
13 - 12	同時発生した割り込み要求の処理例 ... 330
13 - 13	IMCレジスタの設定によるレベル3の割り込みの受け付け動作の違い ... 331
13 - 14	BRKCS命令の実行によるコンテキスト・スイッチング動作 ... 333
13 - 15	RETCSB命令のフォーマット ... 334
13 - 16	BRKCS命令によるソフトウェア割り込みからの復帰動作 (RETCSB命令の動作) ... 335
13 - 17	ベクタ割り込みとマクロ・サービスの処理の違い ... 336
13 - 18	マクロ・サービス処理シーケンス例 ... 339

図の目次 (7/7)

図番号	タイトル, ページ
13 - 19	マクロ・サービス終了時の動作 ... 341
13 - 20	マクロ・サービス・コントロール・ワードの基本構成 ... 342
13 - 21	マクロ・サービス・コントロール・ワードのフォーマット ... 343
14 - 1	スタンバイ状態の遷移図 ... 357
14 - 2	STBCレジスタの書き込み命令 ... 358
14 - 3	スタンバイ・コントロール・レジスタのフォーマット ... 359
14 - 4	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 365
14 - 5	STOPモード解除後の動作 (1) ... 366
14 - 6	STOPモード解除後の動作 (2) ... 367
14 - 7	STOPモード解除後の動作 (3) ... 368
14 - 8	STOPモード解除後の動作 (4) ... 369
14 - 9	NMI入力によるSTOPモードの解除 (1) ... 370
14 - 10	NMI入力によるSTOPモードの解除 (2) ... 371
15 - 1	リセット信号の受け付け ... 373
15 - 2	電源立ち上がり時のリセット ... 374
16 - 1	拡張モード時のメモリ・マップ (μ PD78368A) ... 379
16 - 2	拡張モード時のメモリ・マップ (μ PD78366A) ... 380
16 - 3	拡張モード時のメモリ・マップ (μ PD78363A) ... 381
16 - 4	拡張モード時のメモリ・マップ (μ PD78P368A) ... 382
16 - 5	μ PD78365Aのメモリ・マップ ... 383
16 - 6	メモリ拡張モード・レジスタのフォーマット ... 385
16 - 7	プログラマブル・ウェイト・コントロール・レジスタのフォーマット ... 387
17 - 1	書き込み手順フロー・チャート (ページ・プログラム・モード) ... 392
17 - 2	PROMの書き込み/ベリファイ・タイミング (ページ・プログラム・モード) ... 393
17 - 3	書き込み手順フロー・チャート (バイト・プログラム・モード) ... 395
17 - 4	PROMの書き込み/ベリファイ・タイミング (バイト・プログラム・モード) ... 396
17 - 5	PROMの読み出しタイミング ... 397
19 - 1	オペコード・フェッチ時のメモリ・アクセス概略図 ... 423
19 - 2	データ・アクセス時のメモリ・アクセス概略図 ... 426

表の目次 (1/3)

表番号	タイトル, ページ
1 - 1	μPD78366Aサブシリーズ製品間の違い ... 11
2 - 1	ポート端子の機能一覧 ... 13
2 - 2	ポート以外の端子の機能一覧 ... 15
2 - 3	PROMプログラミング・モード時の端子機能一覧 ... 16
2 - 4	各端子の入出力タイプと未使用時の処理 ... 26
3 - 1	ベクタ・テーブル領域 ... 34
3 - 2	内部RAM領域でのワード・アクセス時の動作 ... 35
3 - 3	汎用レジスタの構成 ... 48
3 - 4	特殊機能レジスタ一覧 ... 51
5 - 1	コントロール・モード時のリード動作 ... 70
5 - 2	各ポートの機能と複合機能 ... 76
5 - 3	ポート4, ポート5の動作 (μPD78363A, 78366A, 78368A) ... 80
5 - 4	ポート9の動作 (μPD78363A, 78366A, 78368A) ... 81
7 - 1	RPUの構成一覧 ... 94
7 - 2	タイマ0 (TM0)の動作モード ... 98
7 - 3	BFCM03 CM03転送タイミング ... 107
7 - 4	タイマ0 (TM0)の動作モード ... 110
7 - 5	UDCモードの動作一覧 ... 183
7 - 6	TMC4レジスタの設定 (UDCモードの内部クロック動作時) ... 185
7 - 7	アップ/ダウン・カウント動作モード一覧 ... 186
8 - 1	FRビット設定による変換時間の例 ... 205
8 - 2	A/D変換動作モード ... 206
8 - 3	アナログ入力とA/D変換結果レジスタ (ADCR)の対応 (セレクト・モード: 1バッファ・モード) ... 214
8 - 4	アナログ入力とA/D変換結果レジスタ (ADCR)の対応 (セレクト・モード: 4バッファ・モード) ... 215
8 - 5	アナログ入力とA/D変換結果レジスタ (ADCR)の対応 (スキャン・モード時) ... 216
8 - 6	ミックス・モードのアナログ入力 ... 218
8 - 7	アナログ入力とA/D変換結果レジスタ (ADCR)の対応 (ミックス・モード: セレクト処理が1バッファ・モード) ... 218
8 - 8	アナログ入力とA/D変換結果レジスタ (ADCR)の対応 (ミックス・モード: セレクト処理が4バッファ・モード) ... 220

表の目次 (2/3)

表番号	タイトル, ページ
9 - 1	ボー・レート設定例 (アシンクロナス・シリアル・インタフェース) ... 239
9 - 2	受信エラーの要因 ... 246
10 - 1	SBIモードにおける各種の信号 ... 278
11 - 1	PWM信号繰り返し周波数 ... 294
13 - 1	割り込み要求の処理形態 ... 303
13 - 2	割り込み要因 ... 304
13 - 3	制御レジスタ一覧 ... 307
13 - 4	割り込み要求信号に対する割り込み制御レジスタのフラグー覧 ... 308
13 - 5	多重割り込み処理 ... 326
13 - 6	マクロ・サービスが使用可能な割り込み ... 337
13 - 7	マクロ・サービス・モードの分類 ... 344
13 - 8	カウンタ・モードの動作指定 ... 345
13 - 9	ブロック転送モードの動作指定 ... 346
13 - 10	ブロック転送モード (メモリ・ポインタ付き) の動作指定 ... 348
13 - 11	割り込み要求を受け付けない場合がある命令一覧 ... 355
14 - 1	HALTモード時の動作状態 ... 360
14 - 2	割り込み処理中に発生した割り込みの受け付け状態 ... 361
14 - 3	割り込み要求によるHALTモード解除後の動作 ... 362
14 - 4	マクロ・サービス要求によるHALTモードの解除 ... 362
14 - 5	STOPモード時の動作状態 ... 363
14 - 6	STOPモードの解除と解除後の動作 ... 370
15 - 1	各ハードウェアのリセット後の状態 ... 375
16 - 1	端子機能の設定 (μ PD78366A) ... 377
16 - 2	ポート5の動作 (拡張モード時) ... 377
16 - 3	端子機能の設定 (μ PD78365A) ... 383
17 - 1	プログラミング・モード時の端子機能 ... 389
17 - 2	PROMプログラミングの動作モード ... 390
18 - 1	オペランドの表現形式と記述方法 ... 400

表の目次 (3/3)

表番号	タイトル, ページ
18 - 2	8ビット・レジスタの絶対名称 機能名称対応 ... 401
18 - 3	16ビット・レジスタ・ペアの絶対名称 機能名称対応 ... 401
18 - 4	フラグ動作欄の記号と説明 ... 403
19 - 1	オペコード・フェッチに必要なクロック数 ... 422
19 - 2	オペコード・フェッチ時のバス制御信号 ... 424
19 - 3	データ・アクセスに必要なクロック数 ... 425
19 - 4	データ・アクセス時のバス制御信号 ... 427
19 - 5	各命令のsaddrアクセス回数 ... 430

第1章 概 説

μPD78366Aサブシリーズは、高速、高性能16ビットCPUを内蔵した16/8ビット・シングルチップ・マイクロコンピュータ78 K/ シリーズの1つです。

- ★ μPD78366Aサブシリーズには、μPD78361A, 78362A, 78P364A, 78363A, 78365A, 78366A, 78368A, 78P368Aの8品種があります。ただし、このマニュアルでは、μPD78363A, 78365A, 78366A, 78368A, 78P368Aについて説明しています。

μPD78366Aは、従来製品のμPD78328に比べ、高分解能なPWM出力機能を内蔵しているため、インバータ制御の性能を大幅に向上させています。さらに積和演算命令を内蔵していますので、高速、高性能CPUとして、多分野にわたる応用が可能です。

- ★ μPD78368Aは、μPD78366Aの内部マスクROM容量を拡張した製品です。

μPD78365Aは、μPD78366AからROMを除いた製品です。

μPD78P368Aは、μPD78366Aの内部マスクROM容量を拡張し、ワン・タイムPROMまたはEPROMに置き換えた製品です。ワン・タイムPROM製品は、一度だけ書き込みが可能で、セットの多品種少量生産や早期立ち上げに有効です。また、EPROM製品は、プログラムの書き込み、消去、再書き込みが可能で、システム評価に最適です。

1.1 特 徴

内部16ビット・アーキテクチャ，外部8ビット・データ・バス

パイプライン制御方式と動作クロックの高速化による高速処理

最小命令実行時間：125 ns（内部クロック：16 MHz，外部クロック：8 MHz動作時）

PLL制御回路内蔵：外部8 MHz 内部16 MHz

制御用途に適した115種の命令セット（ μ PD78328アップワード・コンパチブル）

- ・16ビット演算命令
- ・乗除算命令（16ビット \times 16ビット（符号付き/符号なし），32ビット \div 16ビット）
- ・積和演算命令（16ビット \times 16ビット+32ビット）
- ・相関演算命令
- ・ストリング命令
- ・ビット操作命令，etc.

インバータ制御に適したリアルタイム・パルス・ユニット

- ・2種類のタイマ出力モードを選択可能（セット・リセット出力/パツファ出力）
- ・6相PWM信号を容易に出力可能
- ・デッド・タイム・タイマ内蔵
- ・マイコン外部の異常時に出力ドライバをオフする機能内蔵
- ・アップ/ダウン・カウンタ機能内蔵
- ・16ビット分解能PWM信号出力：1チャンネル

高速10ビット分解能A/Dコンバータ：8チャンネル

8/9/10/12ビット分解能可変PWM信号出力機能：2チャンネル

2チャンネル独立のシリアル・インタフェース

- ・UART（端子切り替え機能付き）
- ・クロック同期式シリアル・インタフェース/SBI

高速割り込みコントローラ内蔵

- ・4レベルの優先順位を任意に指定可能
- ・3種類の割り込み処理形態を選択可能
（ベクタ割り込み/マクロ・サービス/コンテキスト・スイッチング）

大電流ポート

- ・ポート0（P00-P07）： $I_{OL} = 10$ mA（同時オン4本まで可能）
- ・ポート1（P10-P17）： $I_{OL} = 10$ mA（同時オン4本まで可能）
- ・ポート8（P80-P85）： $I_{OL} = 15$ mA（同時オン3本まで可能）

内部メモリ：ROM 48 Kバイト（ μ PD78368A）32 Kバイト（ μ PD78366A）

24 Kバイト（ μ PD78363A）なし（ μ PD78365A）

PROM 48 Kバイト（ μ PD78P368A）

RAM 2 Kバイト（ μ PD78365A,78366A, 78368A, 78P368A）

768バイト（ μ PD78363A）

1.2 応用分野

インバータ・エアコン

ロボット，自動工作機械などのFA分野

1.3 オーダ情報

	オーダ名称	パッケージ	内部ROM
	μ PD78363AGF-x x x-3B9	80ピン・プラスチックQFP (14 x 20 mm)	マスクROM
	μ PD78365AGF-3B9	"	なし
	μ PD78366AGF-x x x-3B9	"	マスクROM
★	μ PD78368AGF-x x x-3B9	"	"
	μ PD78P368AGF-3B9	"	ワン・タイムPROM
	μ PD78P368AKL-S	80ピン・セラミックWQFN	EPROM

備考 x x xはROMコード番号です。

1.4 端子接続図 (Top View)

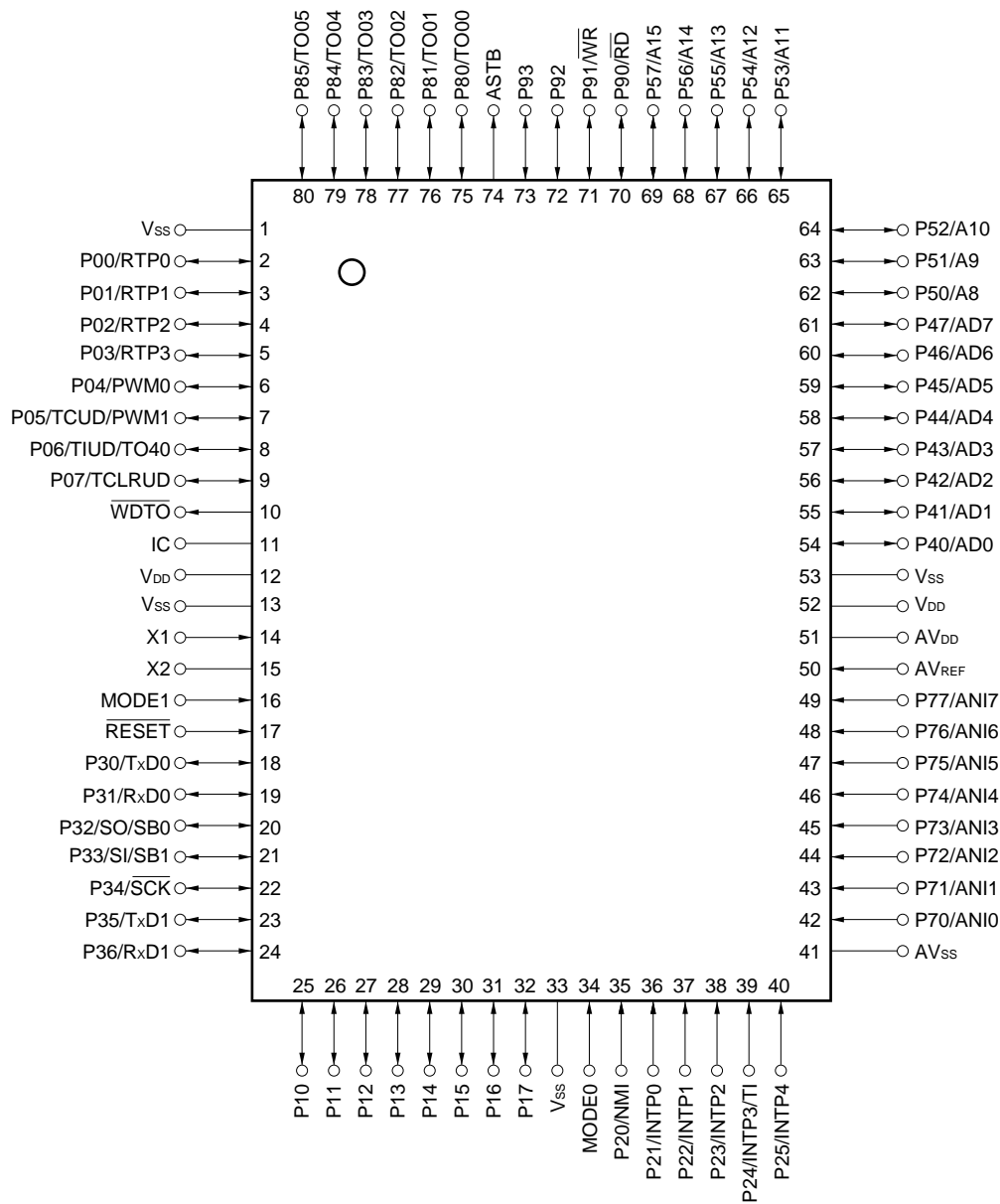
1.4.1 通常動作モード

・ 80ピン・プラスチックQFP (14 x 20 mm)

★ μ PD78363AGF- x x x -3B9, 78365AGF-3B9, 78366AGF- x x x -3B9, 78368AGF- x x x -3B9,
 μ PD78P368AGF-3B9

・ 80ピン・セラミックWQFN

μ PD78P368AKL-S



注意 IC端子はVssに直接接続してください。

備考 x x x はROMコード番号です。

A8-A15	: Address Bus	PWM0, PWM1	: Pulse Width Modulation Output
AD0-AD7	: Address/Data Bus	\overline{RD}	: Read Strobe
ANI0-ANI7	: Analog Input	\overline{RESET}	: Reset
ASTB	: Address Strobe	RTP0-RTP3	: Real-time Port
AV _{DD}	: Analog V _{DD}	RxD0, RxD1	: Receive Data
AV _{REF}	: Analog Reference Voltage	SB0, SB1	: Serial Bus
AV _{SS}	: Analog V _{SS}	\overline{SCK}	: Serial Clock
IC	: Internally Connected	SI	: Serial Input
INTP0-INTP4	: Interrupt from Peripherals	SO	: Serial Output
MODE0, MODE1	: Mode	TCLRUD	: Timer Clear Up Down Counter
NMI	: Nonmaskable Interrupt	TCUD	: Timer Control Up Down Counter
P00-P07	: Port0	TI	: Timer Input
P10-P17	: Port1	TIUD	: Timer Input Up Down Counter
P20-P25	: Port2	T000-T005, T040	: Timer Output
P30-P36	: Port3	TxD0, TxD1	: Transmit Data
P40-P47	: Port4	V _{DD}	: Power Supply
P50-P57	: Port5	V _{SS}	: Ground
P70-P77	: Port7	X1, X2	: Crystal
P80-P85	: Port8	\overline{WDTO}	: Watchdog Timer Output
P90-P93	: Port9	\overline{WR}	: Write Strobe

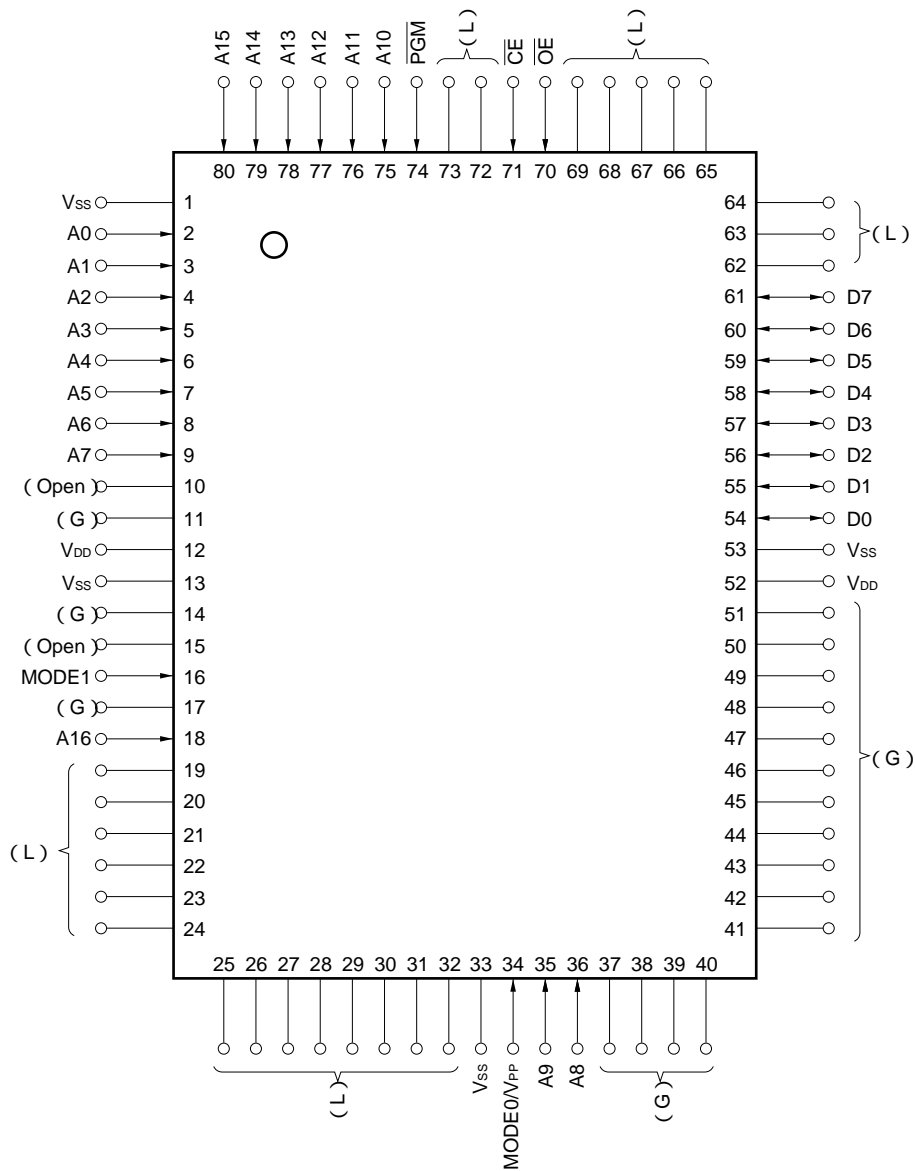
1.4.2 PROMプログラミング・モード (μ PD78P368Aのみ : MODE0/V_{PP} = H, MODE1 = L)

・ 80ピン・プラスチックQFP (14 × 20 mm)

μ PD78P368AGF-3B9

・ 80ピン・セラミックWQFN

μ PD78P368AKL-S



注意 ()内は、PROMプログラミング・モードでは使用しない端子の処理です。

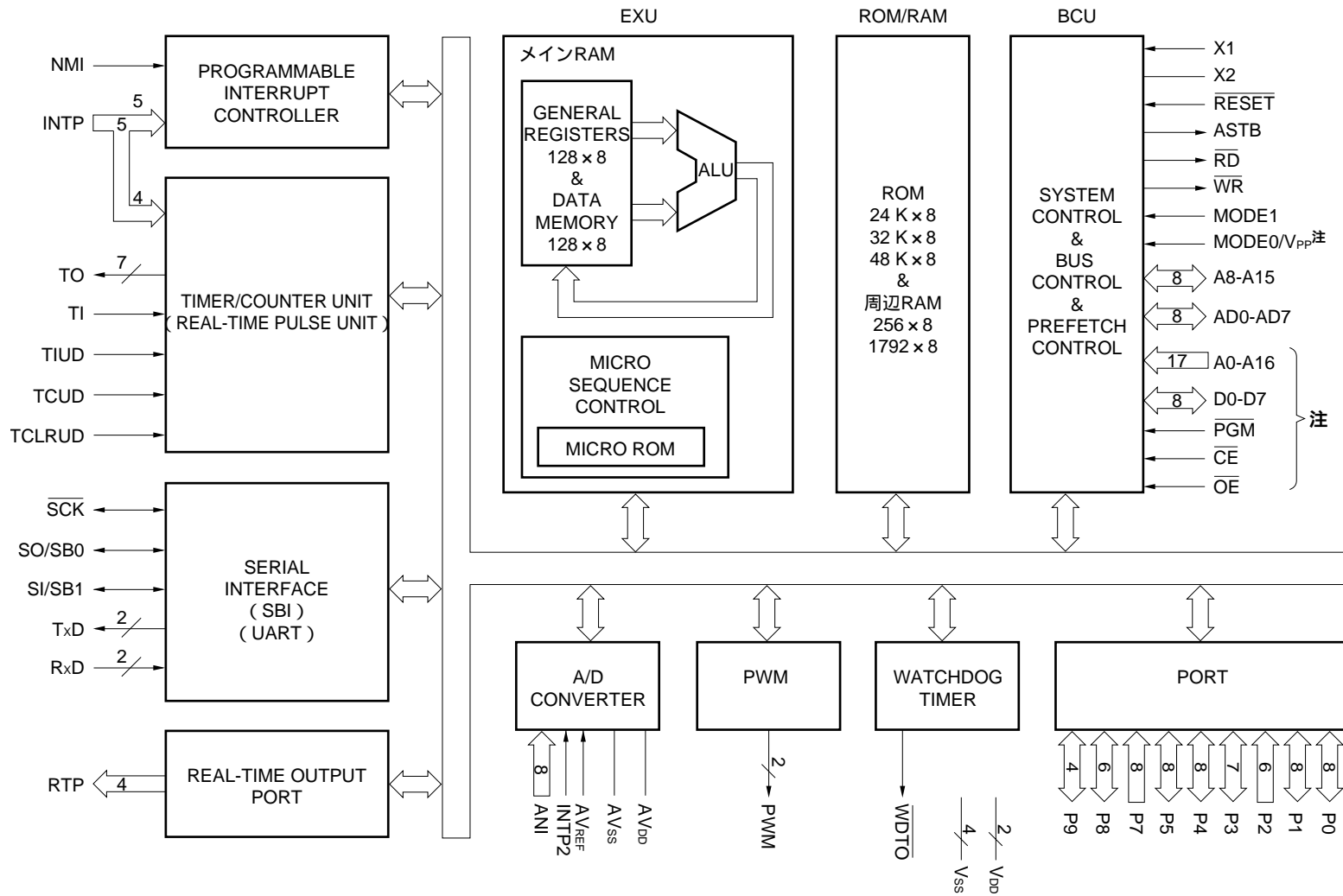
L : 個別に抵抗を介して、V_{SS}に接続してください。

G : V_{SS}に接続してください。

Open : 何も接続しないでください。

A0-A16	: Address Bus	$\overline{\text{PGM}}$: Programming Mode
$\overline{\text{CE}}$: Chip Enable	V_{DD}	: Power Supply
D0-D7	: Data Bus	V_{PP}	: Programming Power Supply
MODE0, MODE1	: Programming Mode Set	V_{SS}	: Ground
$\overline{\text{OE}}$: Output Enable		

1.5 フロックス図



注 μPD78P368AのPROMプログラミング・モード時

備考 内部ROM, RAM容量は製品により異なります。

1.6 機能概要

(1/2)

品名		μ PD78363A	μ PD78365A	μ PD78366A	μ PD78368A	μ PD78P368A
項目						
最小命令実行時間		125 ns (内部クロック : 16 MHz, 外部クロック : 8 MHz動作時)				
内部メモリ	ROM	24 Kバイト	-	32 Kバイト	48 Kバイト	-
	PROM	-	-	-	-	48 Kバイト
	RAM	768バイト	2 Kバイト			
メモリ空間		64 Kバイト (外部拡張可能)				
汎用レジスタ		8 ビット × 16本 × 8バンク				
基本命令数		115				
命令セット		<ul style="list-style-type: none"> ・ 16ビット転送 / 演算 ・ 乗除算 (16ビット × 16ビット, 32ビット ÷ 16ビット) ・ ビット操作 ・ ストリング ・ 積和演算 (16ビット × 16ビット + 32ビット) ・ 相関演算 				
入出力ライン	入 力	14 (アナログ入力兼用 : 8)				
	入出力	49	31	49		
リアルタイム・パルス・ユニット	<ul style="list-style-type: none"> ・ 16ビット・タイマ × 1 10ビット・デッド・タイム・タイマ × 3 16ビット・コンペア・レジスタ × 4 2種類出力モードを選択可能 モード0 セット・リセット出力 : 6チャンネル モード1 バッファ出力 : 6チャンネル 					
	<ul style="list-style-type: none"> ・ 16ビット・タイマ × 1 16ビット・コンペア・レジスタ × 1 					
	<ul style="list-style-type: none"> ・ 16ビット・タイマ × 1 16ビット・キャプチャ・レジスタ × 1 16ビット・キャプチャ / コンペア・レジスタ × 1 					
	<ul style="list-style-type: none"> ・ 16ビット・タイマ × 1 16ビット・キャプチャ・レジスタ × 2 16ビット・キャプチャ / コンペア・レジスタ × 1 					
	<ul style="list-style-type: none"> ・ 16ビット・タイマ × 1 16ビット・コンペア・レジスタ × 2 16ビット分解能PWM出力 : 1チャンネル 					
	<ul style="list-style-type: none"> ・ 16ビット・タイマ × 1 16ビット・コンペア・レジスタ × 2 16ビット分解能PWM出力 : 1チャンネル 					
リアルタイム出力ポート		4本 (4ビット単位バッファ出力)				
PWMユニット		8/9/10/12ビット分解能可変PWM出力 : 2チャンネル				
A/Dコンバータ		10ビット分解能 8チャンネル				

(2/2)

項目 \ 品名	μ PD78363A	μ PD78365A	μ PD78366A	μ PD78368A	μ PD78P368A
シリアル・インタフェース	専用ポー・レート・ジェネレータ付き UART (端子切り替え機能付き) : 1チャンネル クロック同期式シリアル・インタフェース / SBI : 1チャンネル				
割り込み機能	<ul style="list-style-type: none"> ・外部 : 6 , 内部 : 14 (外部兼用 : 2) ・4レベルの優先順位をソフトウェアにより指定可能 ・3種類の割り込み処理形態を選択可能 (ベクタ割り込み / マクロ・サービス / コンテキスト・スイッチング) 				
パッケージ	<ul style="list-style-type: none"> ・80ピン・プラスチックQFP (14×20mm) ・80ピン・セラミックWQFN (μ PD78P368Aのみ) 				
その他	<ul style="list-style-type: none"> ・ウォッチドッグ・タイマ内蔵 ・スタンバイ機能 (HALTモード , STOPモード) ・PLL制御回路内蔵 				

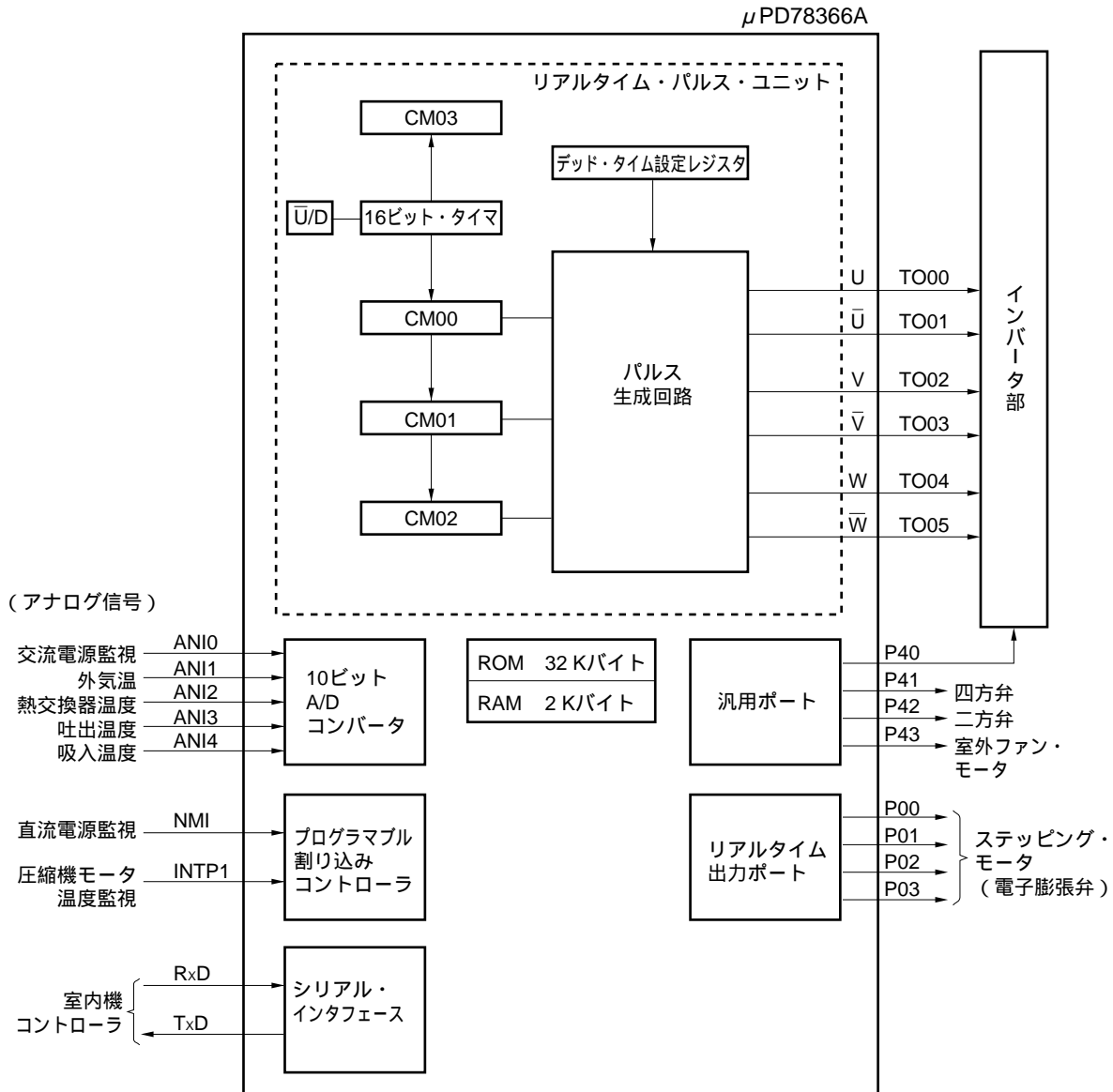
1.7 μPD78366Aサブシリーズ製品間の違い

表 1 - 1 μPD78366Aサブシリーズ製品間の違い

品名		μ PD78361A	μ PD78362A	μ PD78P364A	μ PD78363A	μ PD78365A	μ PD78366A	μ PD78368A	μ PD78P368A
内部メモリ	ROM	32 Kバイト	24 Kバイト	-	24 Kバイト	-	32 Kバイト	48 Kバイト	-
	PROM	-	-	48 Kバイト	-	-	-	-	48 Kバイト
	RAM	2 Kバイト	768バイト	2 Kバイト	768バイト	2 Kバイト			
入出力ライン	入 力	14 (アナログ入力兼用: 8)							
	入出力	38			49	31	49		
UART端子切り替え機能	なし				あり				
WDTO端子	なし				あり				
外部デバイス拡張機能	なし				あり				
ROMレス・モード	なし				あり	ROMレス品	あり		なし
MODEの設定	必ず次の設定にしてください MODE = L		・通常動作 モード MODE = L ・プログラミング・モード MODE = H	・通常動作 モード MODE0, 1 = LL ・ROMレス・モード MODE0, 1 = HH	必ず次の設定 にしてくださ い MODE0, 1 = HH	・通常動作モード MODE0, 1 = LL ・ROMレス・モード MODE0, 1 = HH	・通常動作 モード MODE0, 1 = LL ・プログラミング・モード MODE0, 1 = HL		
パッケージ	窓なし	64ピン・プラスチック・シュリンクDIP (750 mil)			80ピン・プラスチックQFP (14 x 20 mm)				
	窓付き	-			-				

1.8 応 用 例

インバータ・エアコン室外機コントロール



第 2 章 端子機能

2.1 端子機能一覧

2.1.1 通常動作モード

(1) ポート端子

表 2 - 1 ポート端子の機能一覧 (1/2)

端子名称	入出力	機 能	兼用端子
P00-P03	入出力	ポート 0 8 ビット入出力ポート 1 ビット単位で入力 / 出力の指定が可能	RTP0-RTP3
P04			PWM0
P05			PWM1/TCUD
P06			TO40/TIUD
P07			TCLRUD
P10-P17	入出力	ポート 1 8 ビット入出力ポート 1 ビット単位で入力 / 出力の指定が可能	-
P20	入 力	ポート 2 6 ビット入力専用ポート	NMI
P21			INTP0
P22			INTP1
P23			INTP2
P24			INTP3/TI
P25			INTP4
P30	入出力	ポート 3 7 ビット入出力ポート 1 ビット単位で入力 / 出力の指定が可能	TxD0
P31			RxD0
P32			SO/SB0
P33			SI/SB1
P34			SCK
P35			TxD1
P36			RxD1
P40-P47 ^注	入出力	ポート 4 8 ビット入出力ポート 8 ビット単位で入力 / 出力の指定が可能	AD0-AD7
P50-P57 ^注	入出力	ポート 5 8 ビット入出力ポート 1 ビット単位で入力 / 出力の指定が可能	A8-A15

注 μPD78365Aの場合、ポートとして機能しません。

表2 - 1 ポート端子の機能一覧(2/2)

端子名称	入出力	機 能	兼用端子
P70-P77	入 力	ポート7 8ビット入力専用ポート	ANI0-ANI7
P80-P85	入出力	ポート8 6ビット入出力ポート 1ビット単位で入力/出力の指定が可能	TO00-TO05
P90 ^注	入出力	ポート9 4ビット入出力ポート 1ビット単位で入力/出力の指定が可能	\overline{RD}
P91 ^注			\overline{WR}
P92			-
P93			-

注 μ PD78365Aの場合、ポートとして機能しません。

(2) ポート以外の端子

表2-2 ポート以外の端子の機能一覧(1/2)

端子名称	入出力	機能	兼用端子
RTP0-RTP3	出力	リアルタイム・パルス・ユニットからのトリガ信号に同期して、パルス出力を行うリアルタイム出力ポート。	P00-P03
NMI	入力	ノンマスクابل割り込み要求入力。	P20
INTP0		外部割り込み要求入力。	P21
INTP1			P22
INTP2			P23
INTP3			P24/TI
INTP4			P25
TI	入力	タイマ1への外部カウント・クロック入力。	P24/INTP3
TCUD		アップ/ダウン・カウンタ(タイマ4)へのカウント動作切り替え制御信号入力。	P05/PWM1
TIUD		アップ/ダウン・カウンタ(タイマ4)への外部カウント・クロック入力。	P06/TO40
TCLRUD		アップ/ダウン・カウンタ(タイマ4)へのクリア信号入力。	P07
TO00-TO05	出力	リアルタイム・パルス・ユニットからのパルス出力。	P80-P85
TO40			P06/TIUD
ANI0-ANI7	入力	A/Dコンバータへのアナログ入力。	P70-P77
TxD0	出力	アシンクロナス・シリアル・インタフェースのシリアル・データ出力。	P30
TxD1			P35
RxD0	入力	アシンクロナス・シリアル・インタフェースのシリアル・データ入力。	P31
RxD1			P36
SCK	入出力	クロック同期式シリアル・インタフェースのシリアル・クロック入出力。	P34
SI	入力	クロック同期式シリアル・インタフェースの3線式モードでのシリアル・データ入力。	P33/SB1
SO	出力	クロック同期式シリアル・インタフェースの3線式モードでのシリアル・データ出力。	P32/SB0
SB0	入出力	クロック同期式シリアル・インタフェースのSBIモードでのシリアル・データ入出力。	P32/SO
SB1			P33/SI
PWM0	出力	PWM信号出力。	P04
PWM1			P05/TCUD
WDTO	出力	ウォッチドッグ・タイマがオーバーフロー(ノンマスクابل割り込みを発生)したことを示す信号出力。	-
AD0-AD7	入出力	外部にメモリを拡張する場合のマルチプレクスト・アドレス/データ・バス。	P40-P47
A8-A15		外部にメモリを拡張する場合のアドレス・バス。	P50-P57

表2-2 ポート以外の端子の機能一覧(2/2)

端子名称	入出力	機能	兼用端子
ASTB	出力	外部メモリをアクセスするために、AD0-AD7, A8-A15端子から出力されるアドレス情報を外部でラッチするタイミング信号出力。	-
\overline{RD}		外部メモリへのリード・ストロープ信号出力。	P90
\overline{WR}		外部メモリへのライト・ストロープ信号出力。	P91
MODE0	入力	動作モードを設定するための制御信号入力。μPD78363A, 78366A, 78368A, 78P368Aでは、通常、MODE0, MODE1をV _{SS} に接続。μPD78365Aでは、常にMODE0, MODE1をV _{DD} に接続。	-
MODE1			-
\overline{RESET}	入力	システム・リセット入力。	-
X1	入力	システム・クロック発振用クリスタル接続端子。外部からクロックを供給する場合は、X1端子に入力します。X2端子はオープン。	-
X2	-		-
AV _{REF}	入力	A/Dコンバータ用基準電圧入力。	-
AV _{DD}	-	A/Dコンバータ用アナログ電源。	-
AV _{SS}	-	A/Dコンバータ用GND。	-
V _{DD}	-	正電源。	-
V _{SS}	-	GND。	-
IC	-	内部接続端子。V _{SS} に直接接続してください。	-

2.1.2 PROMプログラミング・モード(μPD78P368Aのみ： MODE0/V_{PP} = H, MODE1 = L)

表2-3 PROMプログラミング・モード時の端子機能一覧

端子名称	入出力	機能
MODE0/V _{PP}	入力	PROMプログラミング・モード設定 / 書き込み電源
MODE1		PROMプログラミング・モード設定
A0-A16		アドレス・バス
D0-D7	入出力	データ・バス
\overline{PGM}	入力	プログラム入力
\overline{CE}		PROMイネーブル入力
\overline{OE}		PROMへのリード・ストロープ
V _{DD}	-	正電源
V _{SS}		GND

2.2 端子機能説明

2.2.1 通常動作モード

(1) P00-P07 (Port0) ... 3ステート入出力

8ビット入出力ポートです。また、汎用入出力ポートのほかに、リアルタイム出力ポート、またはリアルタイム・パルス・ユニットの制御信号入力端子、PWM信号出力端子として機能します。

ポート0は、ポート0モード・コントロール・レジスタ (PMCO) の設定により、1ビット単位で次のような動作モードに指定できます (5.2 各ポートの機能 参照)。

(a) ポート・モード

8ビット汎用入出力ポートとして機能します。

ポート0モード・レジスタ (PM0) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(b) コントロール・モード

次に示す各種コントロール端子として機能します。

(i) RTP0-RTP3

リアルタイム出力ポートとして機能します。

(ii) PWM0, PWM1

PWM信号出力端子です。

(iii) TO40

リアルタイム・パルス・ユニットのタイマ4からのタイマ出力端子です。

(iv) TIUD

リアルタイム・パルス・ユニットのタイマ4への外部カウント・クロック入力端子です。

(v) TCUD

リアルタイム・パルス・ユニットのタイマ4へのカウント動作切り替え制御信号入力端子です。

(vi) TCLRUD

リアルタイム・パルス・ユニットのタイマ4へのクリア信号入力端子です。

注意 $\overline{\text{RESET}}$ 信号の入力により、各端子とも入力ポートになります (出力ハイ・インピーダンス)。このとき、出力ラッチの内容は不定になります。

(2) P10-P17 (Port1) ... 3ステート入出力

8ビット入出力ポートです。汎用入出力ポートとして機能します。

ポート1モード・レジスタ (PM1) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

注意 $\overline{\text{RESET}}$ 信号の入力により、各端子とも入力ポートになります (出力ハイ・インピーダンス)。このとき、出力ラッチの内容は不定になります。

(3) P20-P25 (Port2) ... 入力

6ビット入力専用ポートです。また、汎用入力ポートのほかに、各種外部割り込み信号または外部カウント・クロックの入力端子として機能します。

(a) ポート・モード

ポート2は、コントロール・モードに固定です。ただし、ポート2に対して読み込み命令を実行することで各端子の状態を読み込むことができます。

(b) コントロール・モード

次に示す各種コントロール端子として機能します。

(i) NMI

エッジ検出の外部ノンマスクابل割り込み要求の入力端子です。

(ii) INTP0-INTP4

エッジ検出の外部割り込み要求の入力端子です。

(iii) TI

リアルタイム・パルス・ユニットのタイマ1への外部カウント・クロック入力端子です。

(4) P30-P36 (Port3) ... 3ステート入出力

7ビット入出力ポートです。汎用入出力ポートのほかに、シリアル・インタフェースの入出力端子として機能します。

ポート3は、ポート3モード・コントロール・レジスタ (PMC3) の設定により、1ビット単位で次のような動作モードに設定できます (5.2 各ポートの機能 参照)。

(a) ポート・モード

7ビット汎用入出力ポートとして機能します。

ポート3モード・レジスタ (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(b) コントロール・モード

次に示す各種コントロール端子として機能します。

(i) RxD0, RxD1, TxD0, TxD1

アシンクロナス・シリアル・インタフェース (UART) のシリアル・データの入出力端子です。

(ii) SO/SB0, SI/SB1

クロック同期式シリアル・インタフェースのシリアル・データの入出力端子です。

(iii) $\overline{\text{SCK}}$

クロック同期式シリアル・インタフェースのシリアル・クロックの入出力端子です。

注意 $\overline{\text{RESET}}$ 信号の入力により、各端子とも入力ポートになります (出力ハイ・インピーダンス)。このとき、出力ラッチの内容は不定になります。

(5) P40-P47 (Port4) ... 3ステート入出力

μ PD78363A, 78365A, 78366A, 78368A, 78P368Aでは機能が異なります。

(a) μ PD78365Aの場合 (MODE0, MODE1 = HH)

ポート4は、外部メモリ拡張モードに固定です。常に8ビット・アドレス/データ・バス (AD0-AD7) として機能します。ポートとしての機能はありません。

(b) μ PD78363A, 78366A, 78368A, 78P368Aの場合 (MODE0, MODE1 = LL)

8ビット入出力ポートです。また、汎用入出力ポートのほかに、アドレス/データ・バスとしての機能があります。

ポート4は、メモリ拡張モード・レジスタ (MM) の設定により、次のような動作モードに設定できます (第16章 **バス・インタフェース機能** 参照)。

(i) ポート・モード

8ビット汎用入出力ポートとして機能します。

メモリ拡張モード・レジスタ (MM) の設定により、8ビット単位で入力ポートまたは出力ポートに指定できます。

(ii) 外部メモリ拡張モード

外部メモリをアクセスするためのアドレス/データ・バス (AD0-AD7) として機能します。

この場合、ポート4レジスタの値には影響されません。

注意 $\overline{\text{RESET}}$ 信号の入力により、ポート・モード、外部メモリ拡張モードのいずれの場合も、各端子とも入力ポートになります (出力ハイ・インピーダンス)。このとき、出力ラッチの内容は不定になります。

(6) P50-P57 (Port5) ... 3ステート入出力

μPD78363A, 78365A, 78366A, 78368A, 78P368Aでは機能が異なります。

(a) μPD78365Aの場合 (MODE0, MODE1 = HH)

ポート5は、外部メモリ拡張モードに固定です。常に8ビット・アドレス・バス (A8-A15) として機能します。ポートとしての機能はありません。

(b) μPD78363A, 78366A, 78368A, 78P368Aの場合 (MODE0, MODE1 = LL)

8ビット入出力ポートです。また、汎用入出力ポートのほかに、アドレス・バスとしての機能があります。

ポート5は、メモリ拡張モード・レジスタ (MM) の設定により、次のような動作モードに設定できます (**第16章 パス・インタフェース機能** 参照)。

(i) ポート・モード

2/4/8ビット汎用入出力ポートとして機能します。

ポート5モード・レジスタ (PM5) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(ii) 外部メモリ拡張モード

外部メモリをアクセスするためのアドレス・バス (A8-A15) (4/6/8ビット幅) として機能します。

また、P50-P57は、外部に拡張するメモリの大きさに応じて、段階的にアドレス出力に指定することができます (余った端子は汎用入出力ポートとして使用可能)。

注意 $\overline{\text{RESET}}$ 信号の入力により、ポート・モード、外部メモリ拡張モードのいずれの場合も、各端子とも入力ポートになります (出力ハイ・インピーダンス)。このとき、出力ラッチの内容は不定になります。

(7) P70-P77 (Port7) ... 入力

8ビット入力専用ポートです。また、汎用入力ポートのほかに、A/Dコンバータへのアナログ信号入力端子としての機能があります。

(a) ポート・モード

ポート7は、コントロール・モードに固定です。ただし、ポート7に対して読み込み命令を実行することで各端子の状態を読み込むことができます。

(b) コントロール・モード

A/Dコンバータへのアナログ信号入力端子 (ANI0-ANI7) として機能します。

(8) P80-P85 (Port8) ... 3 ステート入出力

6 ビット入出力ポートです。汎用入出力ポートのほかに、リアルタイム・パルス・ユニットのタイマ出力端子として機能します。

ポート 8 は、ポート 8 モード・コントロール・レジスタ (PMC8) の設定により、1 ビット単位で次のような動作モードに設定できます (5.2 各ポートの機能 参照)。

(a) ポート・モード

8 ビット汎用入出力ポートとして機能します。

ポート 8 モード・レジスタ (PM8) の設定により、1 ビット単位で入力ポートまたは出力ポートに指定できます。

(b) コントロール・モード

リアルタイム・パルス・ユニットのタイマ 0 からのタイマ出力端子 (TO00-TO05) として機能します。

注意 $\overline{\text{RESET}}$ 信号の入力により、各端子とも入力ポートになります (出力ハイ・インピーダンス)。このとき、出力ラッチの内容は不定になります。

(9) P90-P93 (Port9) ... 3 ステート入出力

μ PD78363A, 78365A, 78366A, 78368A, 78P368A では機能が異なります。

(a) μ PD78365A の場合 (MODE0, MODE1 = HH)

P90, P91 端子は、外部メモリ拡張モードに固定で、常に $\overline{\text{RD}}$, $\overline{\text{WR}}$ 端子として機能します。ポートとしての機能はありません。

P92, P93 端子は、汎用入出力ポートとして機能します。ポート 9 モード・レジスタ (PM9) の設定により、入力ポートまたは出力ポートに指定できます。

(b) μ PD78363A, 78366A, 78368A, 78P368A の場合 (MODE0, MODE1 = LL)

4 ビット入出力ポートです。また、汎用入出力ポートのほかに、外部メモリに対する制御信号出力端子としての機能があります。

ポート 9 は、メモリ拡張モード・レジスタ (MM), プログラマブル・ウェイト・コントロール・レジスタ (PWC) の設定により、次のような動作モードに設定できます (第16章 パス・インタフェース機能 参照)。

(i) ポート・モード

4 ビット汎用入出力ポートとして機能します。

ポート 9 モード・レジスタ (PM9) の設定により、1 ビット単位で入力ポートまたは出力ポートに指定できます。

(ii) 外部メモリ拡張モード (P90, P91端子のみ)

外部メモリに対する制御信号出力端子として機能します。

\overline{RD}

外部メモリへのリード信号出力端子です。

\overline{WR}

外部メモリへのライト信号出力端子です。

注意 \overline{RESET} 信号の入力により、ポート・モード、外部メモリ拡張モードのいずれの場合も、各端子とも入力ポートになります(出力ハイ・インピーダンス)。このとき、出力ラッチの内容は不定になります。

(10) ASTB (Address Strobe) ...出力

外部に拡張したメモリをアクセスするためのタイミング信号出力端子です。P40/AD0-P47/AD7端子から出力するアドレスを外部でラッチさせるために用います。

(11) MODE0, MODE1 (Mode) ...入力

動作モードを指定するための制御信号入力端子です。次に示す表のとおり、 μ PD78363A, 78365A, 78366A, 78368A, 78P368Aでは設定が異なります。また、MODE0, MODE1端子は、動作中にレベルを切り替えることはできません。

μ PD78365A	μ PD78363A, 78366A, 78368A	μ PD78P368A
必ず次の設定にしてください。	・通常動作モード	・通常動作モード
MODE0, 1 = HH	MODE0, 1 = LL	MODE0, 1 = LL
	・ROMレス・モード	・プログラミング・モード
	MODE0, 1 = HH	MODE0, 1 = HL

- 注意 1** . MODE0, MODE1端子は、必ず V_{DD} または V_{SS} に直接接続してください。
- 2** . MODE0, MODE1端子には、上記以外の設定をしないでください。
- 3** . μ PD78P368Aの場合、ROMレス・モードに設定することはできません。

(12) \overline{RESET} (Reset) ...入力

ロウ・レベル・アクティブのシステム・リセット入力端子です。

(13) X1, X2 (Crystal)

システム・クロック発生用のクリスタル振動子接続端子です。外部クロックを供給する場合は、X1端子に入力し、X2端子はオープンにします。

(14) $\overline{\text{WDTO}}$ (Watchdog Timer Output) ...出力

ウォッチドッグ・タイマがノンマスカブル割り込みを発生したことを示す信号の出力端子です。

(15) AV_{REF} (Analog Reference Voltage) ...入力

A/Dコンバータの基準電圧入力端子です。

(16) AV_{DD} (Analog V_{DD})

A/Dコンバータの電源端子です。

(17) AV_{SS} (Analog V_{SS})

A/DコンバータのGND端子です。

(18) V_{DD} (Power Supply)

正電源供給端子です。

(19) V_{SS} (Ground)

グラウンド電位端子です。

(20) IC (Internally Connected)

内部接続端子です。 V_{SS} に直接接続してください。

2.2.2 PROMプログラミング・モード (μ PD78P368Aのみ)

(1) MODE0, MODE1...入力

μ PD78P368AをPROMプログラミング・モードに設定する入力端子です。

MODE0 = H, MODE1 = Lに設定すると, PROMプログラミング・モードに移行します。

(2) A0-A16 (Address Bus) ...入力

アドレス・バスです。内部PROMのアドレス (0000H-BFFFFH) を選択します。

(3) D0-D7 (Data Bus) ...入出力

データ・バスです。このバスを介して内部PROMのプログラムの書き込み / 読み出しを行います。

(4) $\overline{\text{PGM}}$ (Programming Mode) ...入力

内部PROMの動作モード制御信号入力端子です。

この信号がアクティブのとき, 内部PROMへの書き込みが可能となります。

この信号がインアクティブのとき, 内部PROMからの読み出しが可能となります。

(5) $\overline{\text{CE}}$ (Chip Enable) ...入力

内部PROMのイネーブル信号を入力します。

$\overline{\text{CE}} = \overline{\text{OE}} = \text{H}$, $\overline{\text{PGM}} = \text{L}$ のとき, プログラムを1バイト単位で1ページ (4バイト) 分書き込めます。

$\overline{\text{CE}} = \text{L}$, $\overline{\text{OE}} = \text{H}$, $\overline{\text{PGM}} = \text{L}$ のとき, プログラムを1バイト単位で1バイト分書き込めます。

また, $\overline{\text{CE}} = \text{L}$ のときに $\overline{\text{OE}} = \text{L}$ とすると, PROMの内容を読み出せます。

(6) $\overline{\text{OE}}$ (Output Enable) ...入力

内部PROMへのリード・ストロブ信号を入力します。

$\overline{\text{CE}} = \text{L}$ のときにこの信号をアクティブにすると, A0-A16で選択されているPROMの内容を1バイト単位でD0-D7上に読み出せます。

(7) V_{PP} (Programming Power Supply)

プログラム書き込み用の電源です。

$V_{\text{PP}} = 12.5 \text{ V}$, $\overline{\text{OE}} = \text{H}$ のときに $\overline{\text{CE}} = \text{L}$ とすると, D0-D7上のプログラムを, A0-A16で選択されている内部PROM内に書き込めます。

(8) V_{DD} (Power Supply)

正電源供給端子です。

(9) V_{SS} (Ground)

グラウンド電位端子です。

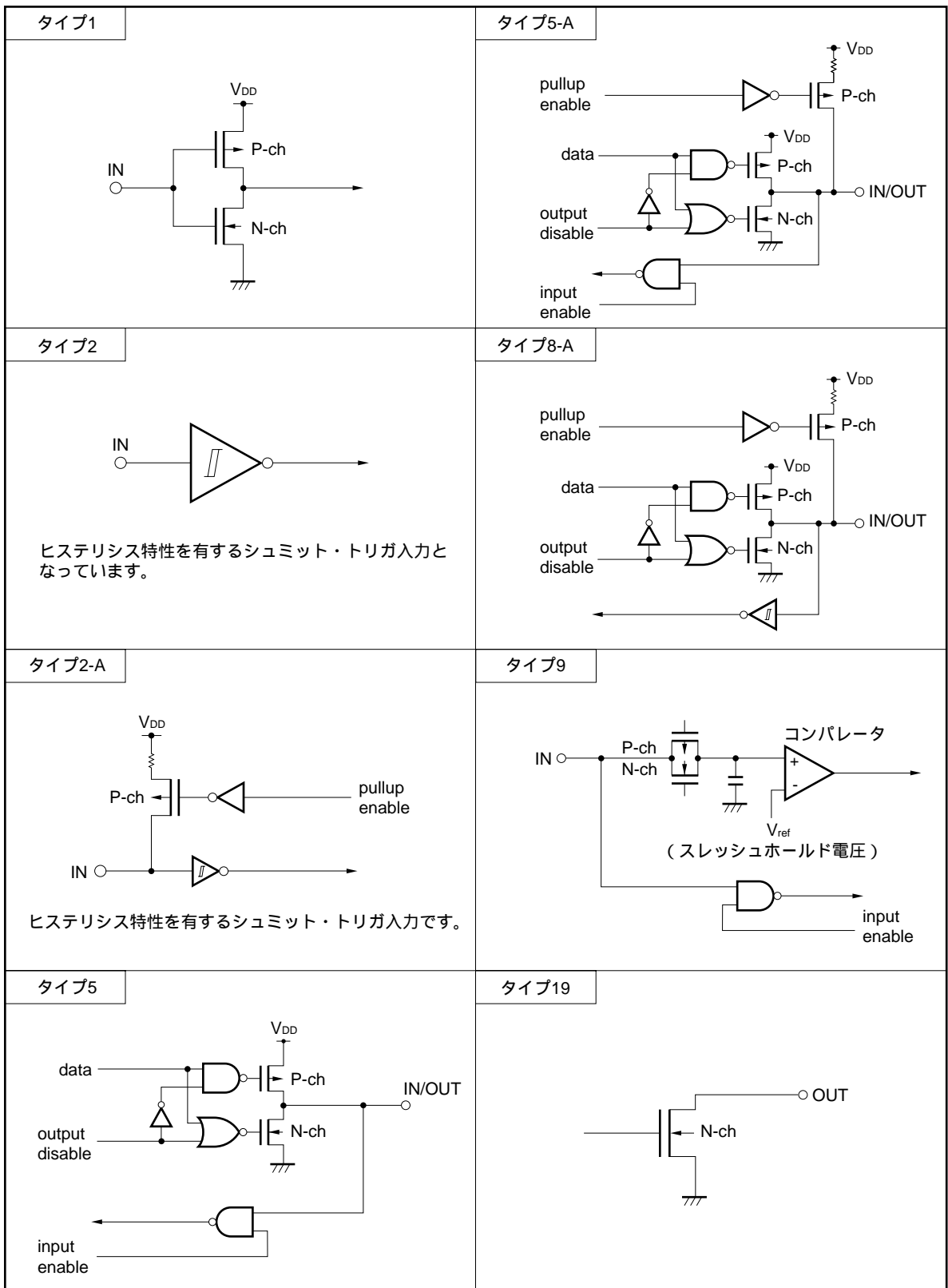
2.3 入出力回路と未使用端子の処理

表2 - 4は、機能を有する端子の入出力タイプ、その機能を使用しない場合の処理方法を示します。また、図2 - 1は各タイプの回路です。

表2 - 4 各端子の入出力タイプと未使用時の処理

端子名称	入出力回路タイプ	未使用時の推奨接続方法
P00/RTP0-P03/RTP3	5-A	入力状態：個別に抵抗を介して、 V_{DD} または V_{SS} に接続 出力状態：オープン
P04/PWM0		
P05/TCUD/PWM1		
P06/TIUD/TO40		
P07/TCLRUD		
P10-P17		
P20/NMI	2	V_{SS} に接続
P21/INTP0-P23/INTP2	2-A	
P24/INTP3/TI		
P25/INTP4		
P30/TxD0	5-A	入力状態：個別に抵抗を介して、 V_{DD} または V_{SS} に接続 出力状態：オープン
P31/RxD0		
P32/SO/SB0	8-A	
P33/SI/SB1		
P34/SCK		
P35/TxD1	5-A	
P36/RxD1		
P40/AD0-P47/AD7		
P50/A8-P57/A15		
P70/ANI0-P77/ANI7	9	V_{SS} に接続
P80/TO00-P85/TO05	5-A	入力状態：個別に抵抗を介して、 V_{DD} または V_{SS} に接続 出力状態：オープン
P90/ \overline{RD}		
P91/ \overline{WR}		
P92, P93		
ASTB	5	
\overline{WDTO}	19	V_{SS} に接続
MODE0, MODE1	1	-
\overline{RESET}	2	
AV_{REF} , AV_{SS}	-	V_{SS} に接続
AV_{DD}		V_{DD} に接続

図2 - 1 端子の入出力回路



〔メ モ〕

第3章 CPUアーキテクチャ

3.1 メモリ空間

μPD78366Aは最大64 Kバイトまでのメモリ空間をアクセスできます。また、μPD78366Aは、MODE0, 1端子により、内部ROMアクセスまたは、外部メモリ・アクセス（ROMレス・モード）を選択できます。

プログラム・メモリのマッピングは製品によって異なります。データ・メモリのマッピングはどの製品も同じです。

(1) μPD78365Aの場合 (MODE0, 1 = HH)

プログラム・メモリを外部メモリ（63232バイト：0000H-F6FFH）にマッピングしています。この領域は、データ・メモリとの共用も可能です。

データ・メモリを内部RAM（2048バイト：F700H-FEFFFH）にマッピングしています。

常にMODE0, 1 = HHに設定してください。

★ (2) μPD78368Aの場合 (MODE0, 1 = LL)

プログラム・メモリを内部ROM（49152バイト：0000H-BFFFH）と外部メモリ（14080バイト：C000H-F6FFH）にマッピングしています。外部メモリは、外部メモリ拡張モードでアクセスします。外部メモリにマッピングする領域は、データ・メモリとの共用も可能です。

データ・メモリを内部RAM（2048バイト：F700H-FEFFFH）にマッピングしています。

通常はMODE0, 1 = LLに設定してください。ROMレス・モードにする場合には、MODE0, 1 = HHに設定してください。

(3) μPD78366Aの場合 (MODE0, 1 = LL)

プログラム・メモリを内部ROM（32768バイト：0000H-7FFFH）と外部メモリ（30464バイト：8000H-F6FFH）にマッピングしています。外部メモリは、外部メモリ拡張モードでアクセスします。外部メモリにマッピングする領域は、データ・メモリとの共用も可能です。

データ・メモリを内部RAM（2048バイト：F700H-FEFFFH）にマッピングしています。

通常はMODE0, 1 = LLに設定してください。ROMレス・モードにする場合には、MODE0, 1 = HHに設定してください。

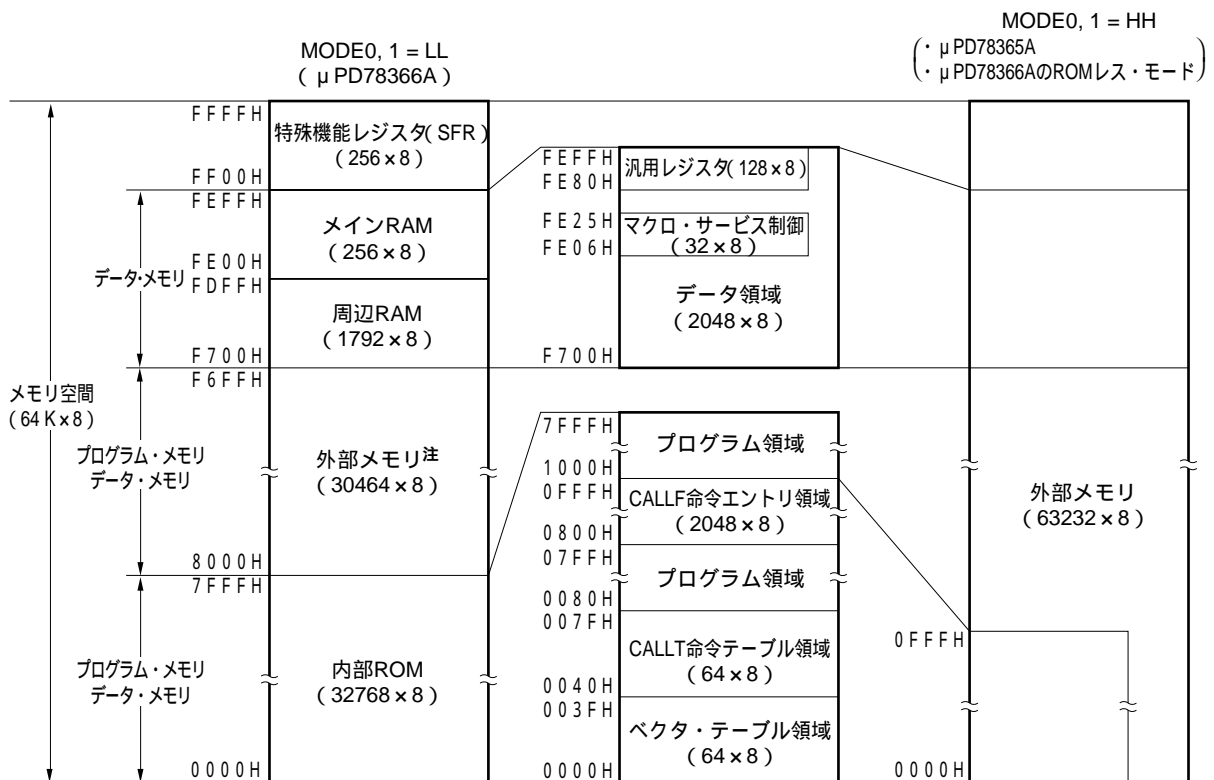
(4) μ PD78363Aの場合 (MODE0, 1 = LL)

プログラム・メモリを内部ROM (24576バイト : 0000H-5FFFH) と外部メモリ (39936バイト : 6000H-FBFFH) にマッピングしています。外部メモリは、外部メモリ拡張モードでアクセスします。外部メモリにマッピングする領域は、データ・メモリとの共用も可能です。

データ・メモリを内部RAM (768バイト : FC00H-FEFFFH) にマッピングしています。

通常はMODE0, 1 = LLに設定してください。ROMレス・モードにする場合には、MODE0, 1 = HHに設定してください。

図3 - 1 メモリ・マップ (μ PD78365A, 78366A)

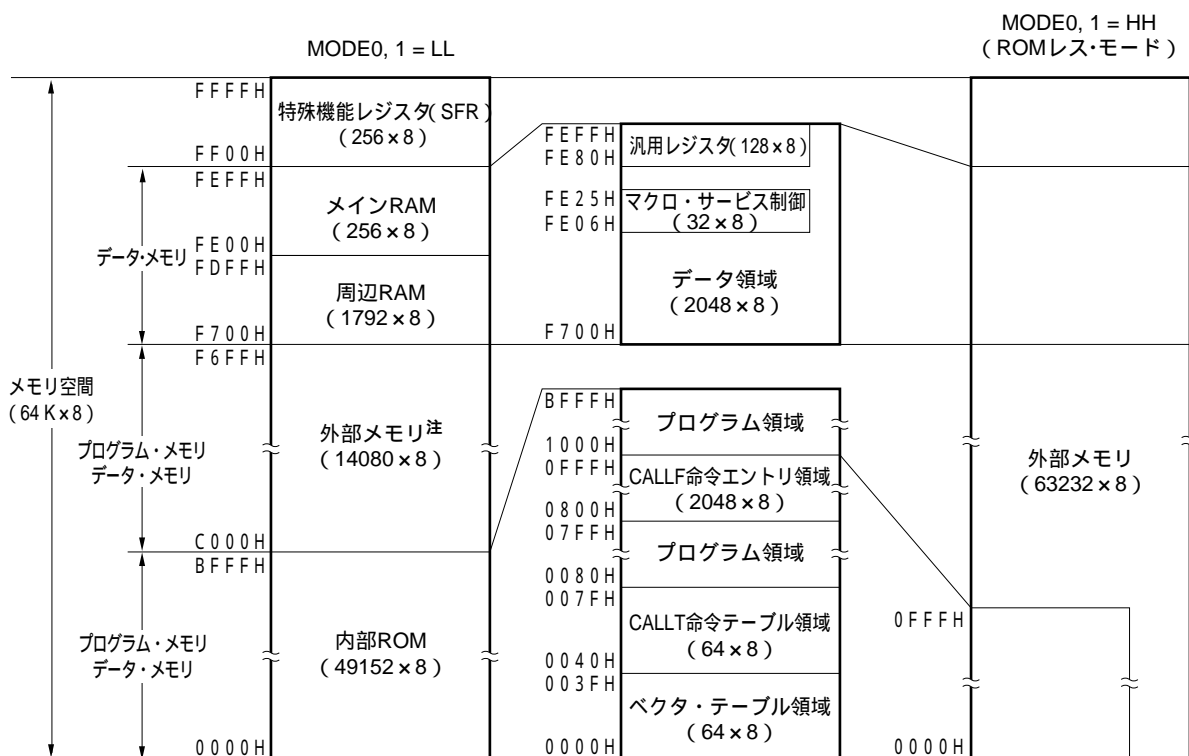


注 外部メモリ拡張モードでアクセス。

注意 メインRAM領域 (FE00H-FEFFFH) へのワード・アクセス (スタック操作を含む) を実行する場合、オペランドで指定するアドレスは偶数に限ります。

★

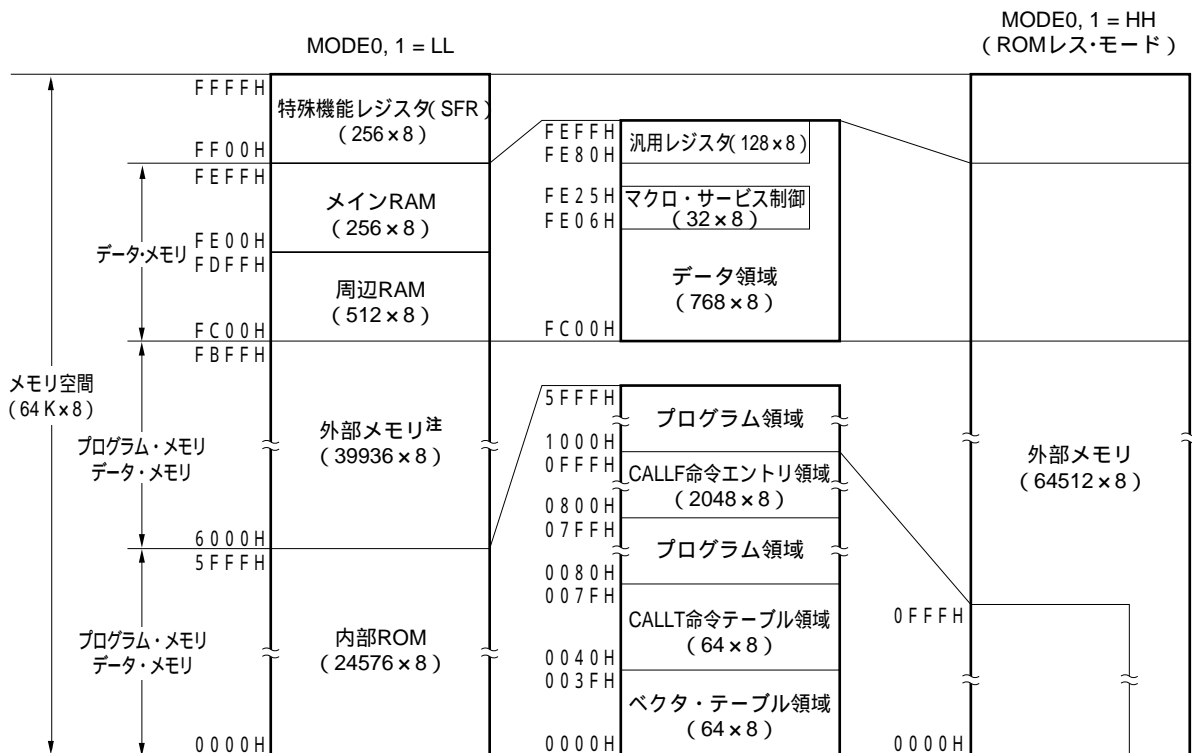
図3-2 メモリ・マップ(μPD78368A)



注 外部メモリ拡張モードでアクセス。

注意 メインRAM領域 (FE00H-FFFFH) へのワード・アクセス (スタック操作を含む) を実行する場合、オペランドで指定するアドレスは偶数に限ります。

図3-3 メモリ・マップ(μPD78363A)



注 外部メモリ拡張モードでアクセス。

注意 メインRAM領域 (FE00H-FFFFH) へのワード・アクセス (スタック操作を含む) を実行する場合、オペランドで指定するアドレスは偶数に限ります。

(5) μ PD78P368Aの場合 (MODE0, 1 = LL)

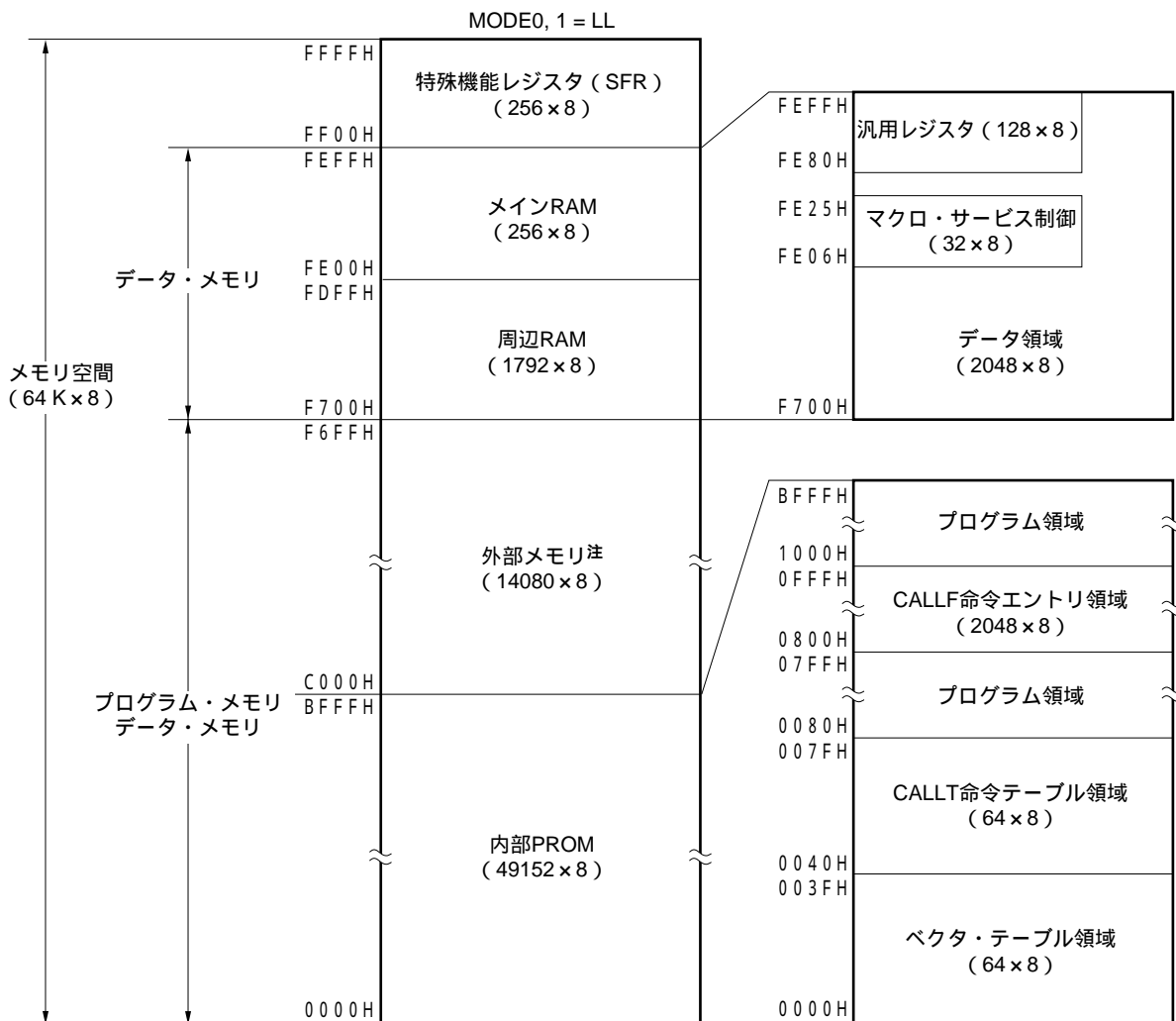
プログラム・メモリを内部PROM (49152バイト: 0000H-BFFFH) と外部メモリ (14080バイト: C000H-F6FFFH) にマッピングしています。外部メモリは、外部メモリ拡張モードでアクセスします。外部メモリにマッピングする領域は、データ・メモリとの共用も可能です。

データ・メモリを内部RAM (2048バイト: F700H-FEFFFH) にマッピングしています。

通常はMODE0, 1 = LLに設定してください。プログラミング・モードにする場合には、MODE0, 1 = HLに設定してください。

注意 μ PD78P368Aの場合、ROMレス・モードに設定することはできません。

図3-4 メモリ・マップ (μ PD78P368A)



注 外部メモリ拡張モードでアクセス。

注意 メインRAM領域 (FE00H-FEFFFH) へのワード・アクセス (スタック操作を含む) を実行する場合、オペランドで指定するアドレスは偶数に限ります。

3.1.1 ベクタ・テーブル領域

0000H-003FHの64バイト領域に、周辺ハードウェアからの割り込み要求、リセット入力、外部割り込み要求およびブレーク命令による割り込み分岐アドレスを格納します。

割り込み要求の発生により、各ベクタ・テーブルの内容がプログラム・カウンタ（PC）にセットされて分岐します。その場合、PCの下位8ビットには偶数アドレスの内容が、上位8ビットには奇数アドレスの内容がセットされます。

CPUコントロール・ワード（CCW）のTPFビットをセット（1）すると、ベクタ・テーブル領域として、0002H-003FHの代わりに外部メモリ領域の8002H-803FHを使用できます。

表3-1 ベクタ・テーブル領域

割り込み要因		ベクタ・テーブル・アドレス	
割り込み要求	割り込み要因 / ユニット	TPF = 0	TPF = 1
RESET	RESET 端子入力	0000H	
NMI	NMI端子入力	0002H	8002H
INTWDT	ウォッチドッグ・タイマ	0004H	8004H
INTOV3	リアルタイム・パルス・ユニット	0006H	8006H
INTP0/INTCC30	INTP0端子入力 / リアルタイム・パルス・ユニット	0008H	8008H
INTP1	INTP1端子入力	000AH	800AH
INTP2	INTP2端子入力	000CH	800CH
INTP3/INTCC20	INTP3端子入力 / リアルタイム・パルス・ユニット	000EH	800EH
INTP4	INTP4端子入力	0010H	8010H
INTTM0	リアルタイム・パルス・ユニット	0012H	8012H
INTCM03		0014H	8014H
INTCM10		0016H	8016H
INTCM40		0018H	8018H
INTCM41		001AH	801AH
INTSER	アシンクロナス・シリアル・インタフェース	001CH	801CH
INTSR		001EH	801EH
INTST		0020H	8020H
INTCSI	クロック同期式シリアル・インタフェース	0022H	8022H
INTAD	A/Dコンバータ	0024H	8024H
オペコード・トラップ	-	003CH	
BRK命令	-	003EH	

3.1.2 CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のコール・アドレスを32テーブル格納できます。

CPUコントロール・ワード（CCW）のTPFビットをセット（1）すると、CALLT命令テーブルとして、0040H-007FHの代わりに外部メモリ領域の8040H-807FHを使用します。

3.1.3 CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールできます。

3.1.4 内部RAM領域

F700H-FEFFFH（ μ PD78363Aの場合はFC00H-FEFFFH）の領域に、2048バイト（ μ PD78363Aは768バイト）のRAMが内蔵されています。この領域は、次の2つのRAMで構成されています。

- ・周辺RAM : F700H-FDFFFH（1792バイト）..... μ PD78365A, 78366A, 78368A, 78P368A
FC00H-FDFFFH（512バイト）..... μ PD78363A
- ・メインRAM : FE00H-FEFFFH（256バイト）

メインRAMは、高速アクセスが可能です。メインRAM領域のうち、FE06H-FE25Hの32バイトの領域にはマクロ・サービス・コントロール・ワードが、FE80H-FEFFFHの128バイトの領域には8個のレジスタ・バンクからなる汎用レジスタ群がマッピングされています。

- 注意 1 .** メインRAM領域（FE00H-FEFFFH）へのワード・アクセス（スタック操作を含む）を実行する場合、参照アドレスが偶数か奇数かでアクセス動作が異なります（表3 - 2参照）。したがって、偶数アドレスへのアクセスと奇数アドレスへのアクセスが混在すると、誤動作の原因となりますので、参照アドレスは偶数のみとしてください（例1, 2参照）。また、16ビット・データ転送命令を実行する場合、オペランドで指定するアドレスは偶数としてください。奇数アドレスを指定するとアセンブラ・パッケージ（RA78K3）でエラーが発生します。
- 2 .** 周辺RAM領域とメインRAM領域にまたがるワード・アクセスはしないでください（例3参照）。

表3 - 2 内部RAM領域でのワード・アクセス時の動作

	参照アドレス (n)	
	偶数	奇数
アクセス領域		
メインRAM		x
周辺RAM		

備考 : n番地とn+1番地にアクセス

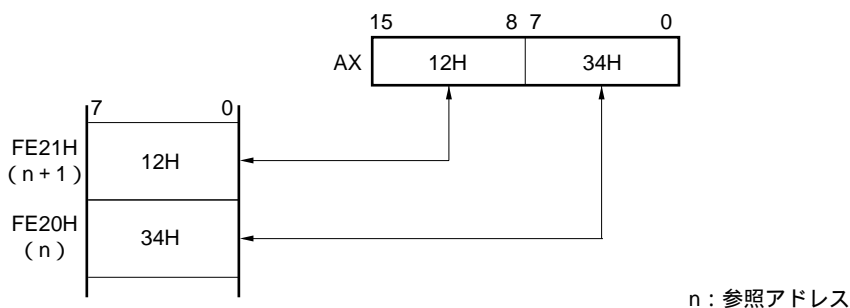
x : n番地とn-1番地にアクセス

内部RAM領域でのワード・アクセス例を例1-例5に示します。

例1 . メインRAM領域で偶数アドレス (FE20H) ヘワード・データの書き込み/読み出しを行う場合
 メインRAM領域で偶数アドレス (n番地) ヘワード・データを書き込むと、ワード・データの
 下位8ビットは偶数アドレス (n番地) ヘ、上位8ビットは上位の奇数アドレス (n+1番地) ヘ書
 き込まれます。

また、メインRAM領域の偶数アドレス (n番地) からワード・データを読み出すと、n番地とn+
 1番地からワード・データの読み出しが行われます。

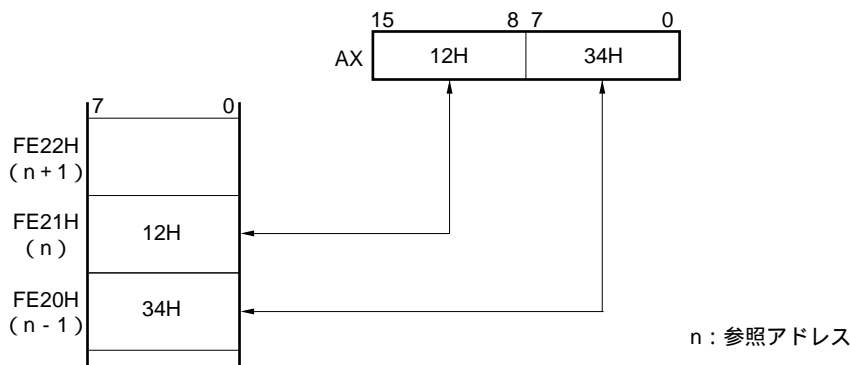
```
MOVW  AX, #1234H
MOVW  0FE20H, AX ; FE20Hヘワード・データを書き込む
MOVW  AX, 0FE20H ; FE20Hからワード・データを読み出す
```



2 . メインRAM領域で奇数アドレス (FE21H) ヘワード・データの書き込み/読み出しを行う場合
 メインRAM領域で奇数アドレスヘワード・データを書き込むと、ワード・データの上位8ビット
 は奇数アドレス (n番地) ヘ、下位8ビットは下位の偶数アドレス (n-1番地) ヘ書き込まれ
 ます。

また、メインRAM領域の奇数アドレス (n番地) からワード・データを読み出すと、n番地とn-
 1番地からワード・データの読み出しが行われます。

```
MOVW  AX, #1234H
MOVW  DE, #0FE21H
MOVW  [DE], AX ; FE21Hヘワード・データを書き込む
MOVW  AX, [DE] ; FE21Hからワード・データを読み出す
```



例3 . 周辺RAM領域とメインRAM領域にまたがるワード・データの書き込み / 読み出しを行う場合

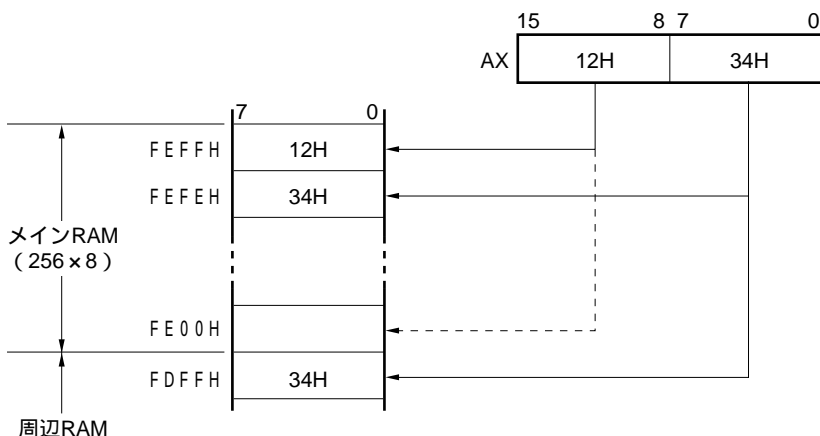
周辺RAM領域とメインRAM領域にまたがるワード・データの書き込みを行うと、256バイト離れたアドレスへ書き込まれるため、誤動作してしまいます。

また、周辺RAMの最終アドレス (FDFFH) からワード・データを読み出すと、256バイト離れたFEFEHとFEFFHからワード・データの読み出しが行われてしまいます。

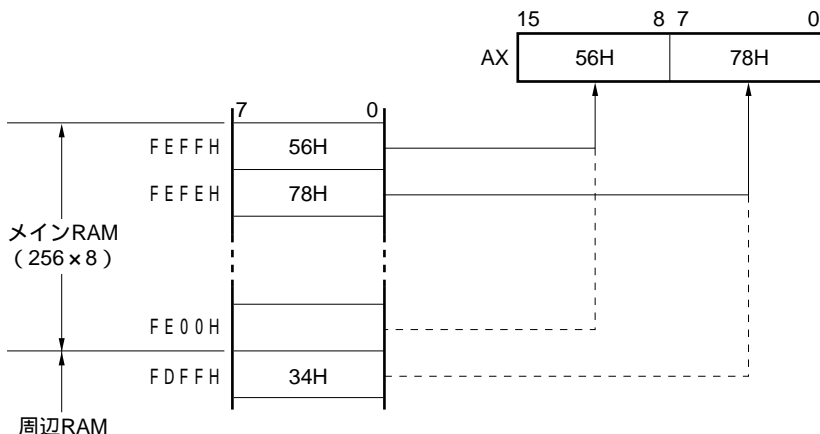
```

MOVW  AX, #1234H
MOVW  DE, #0FDFFH
MOVW  [DE], AX ; 周辺RAM (FDFFH) へワード・データを書き込む
      .
      .
MOVW  DE, #0FDFFH
MOVW  AX, [DE] ; 周辺RAM (FDFFH) からワード・データを読み出す
    
```

(書き込みの場合)



(読み出しの場合)

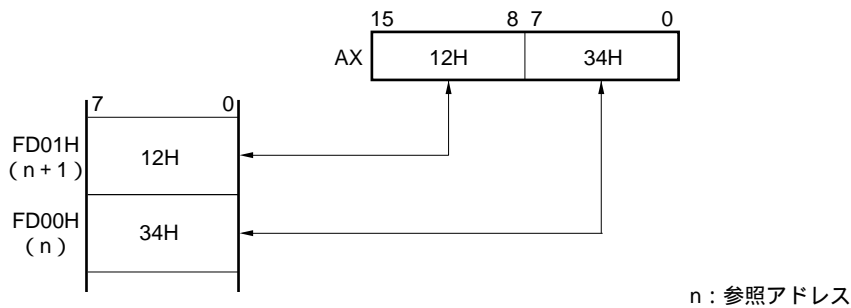


例4 . 周辺RAM領域で偶数アドレス (FD00H) ヘワード・データの書き込み/読み出しを行う場合

周辺RAM領域で偶数アドレスヘワード・データを書き込むと、ワード・データの下位8ビットは偶数アドレス (n番地) へ、上位8ビットは上位の奇数アドレス (n+1番地) へ書き込まれます。

また、周辺RAM領域の偶数アドレス (n番地) からワード・データを読み出すと、n番地とn+1番地からワード・データの読み出しが行われます。

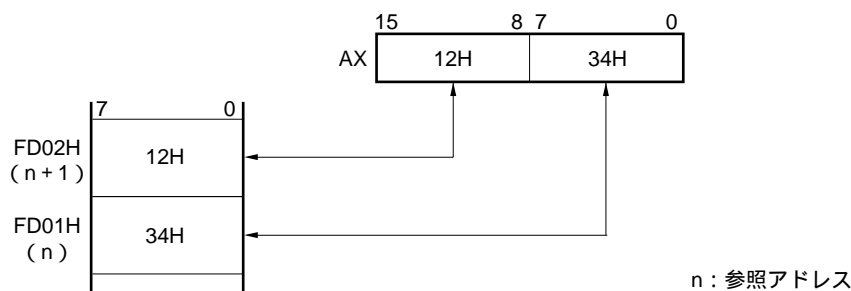
```
MOVW  AX, #1234H
MOVW  DE, #0FD00H
MOVW  [DE], AX ; FD00Hヘワード・データを書き込む
MOVW  AX, [DE] ; FD00Hからワード・データを読み出す
```

**5 . 周辺RAM領域で奇数アドレス (FD01H) ヘワード・データの書き込み/読み出しを行う場合**

周辺RAM領域で奇数アドレスヘワード・データを書き込むと、ワード・データの下位8ビットは奇数アドレス (n番地) へ、上位8ビットは上位の偶数アドレス (n+1番地) へ書き込まれます。

また、周辺RAM領域の奇数アドレス (n番地) からワード・データを読み出すと、n番地とn+1番地からワード・データの読み出しが行われます。

```
MOVW  AX, #1234H
MOVW  DE, #0FD01H
MOVW  [DE], AX ; FD01Hヘワード・データを書き込む
MOVW  AX, [DE] ; FD01Hからワード・データを読み出す
```



3.1.5 特殊機能レジスタ領域

FF00H-FFFFHの領域に周辺ハードウェアのモード・レジスタ，制御レジスタなどの特別な機能を割り付けられたレジスタ群がマッピングされています。

注意 特殊機能レジスタのマッピングされていないアドレス（外部アクセス領域を除く）はアクセスしないでください。

3.1.6 外部メモリ領域

μPD78366Aは，最大30 Kバイト（8000H-F6FFH）^注の領域に外部メモリ（ROM, RAM）を段階的に拡張できます。

μPD78365Aは，64 Kバイト（0000H-F6FFH）の領域に外部メモリ（ROM, RAM）を接続できます。

外部メモリは，P40/AD0-P47/AD7（アドレス/データ・バス），P50/A8-P57/A15（アドレス・バス），および， \overline{RD} ， \overline{WR} ，ASTB信号を用いてアクセスします。また，特殊機能レジスタ（SFR）領域中のFFD0H-FFDFHの16バイト領域に，外部アクセス領域がマッピングされています。FFD0H-FFDFHの領域ではSFRアドレッシングで外部メモリをアクセスできます。

注 μPD78363Aの場合は，最大40 Kバイト（6000H-FBFFH）です。

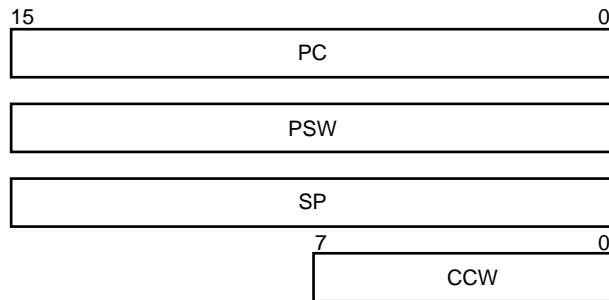
μPD78368A, 78P368Aの場合は，最大14 Kバイト（C000H-F6FFH）です。

3.2 プロセッサ・レジスタ

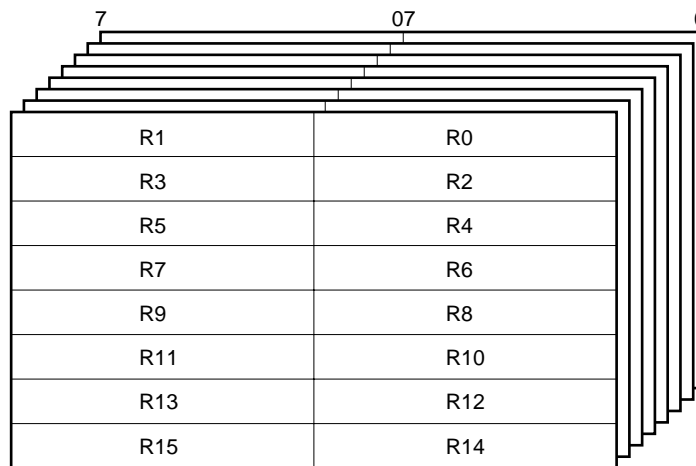
中心となるのは、8ビット・レジスタ1個および16ビット・レジスタ3個からなる制御レジスタ群、8ビット・レジスタ16個のセットが8バンクで構成される汎用レジスタ群、さらに周辺ハードウェアのI/Oモード・レジスタ等の特別な機能が割り付けられたレジスタで構成される特殊機能レジスタ群の3群です。

図3-5 レジスタの構成

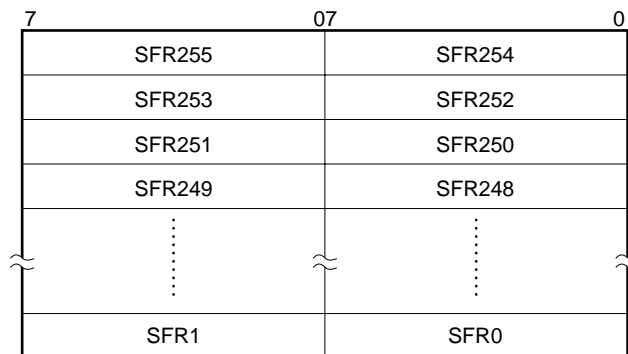
制御レジスタ



汎用レジスタ



特殊機能レジスタ



備考 制御レジスタ群のCCWは特殊機能レジスタ（SFR）領域にマッピングされています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御やオペランド・アドレッシングの修飾など、専用の機能を持ったレジスタ群です。

16ビット・レジスタ3個と8ビット・レジスタ1個で構成されます。

(1) プログラム・カウンタ (PC)

プログラム・カウンタ (PC) は、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

PCは次の動作をします。

・通常動作時

フェッチする命令のバイト数に応じて、自動的にインクリメントされます。

・分岐命令実行時

イミディエイト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・データがPCにセットされ分岐します。

(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、命令の実行の結果によってセット、リセットされる各種フラグで構成される16ビット・レジスタです。

上位8ビット (PSWH) , 下位8ビット (PSWL) 単位で読み出し / 書き込みが可能です。また、ビット操作命令により、各フラグの操作ができます。

PSWの内容は、割り込み要求の発生時およびBRK命令の実行時に自動的にスタックに退避し、RETI命令またはRETB命令の実行時に自動的に復帰します。

RESET入力により、全ビットがリセット (0) されます。

図3 - 6 プログラム・ステータス・ワードのフォーマット

略号	7	6	5	4	3	2	1	0
PSWH	UF	RBS2	RBS1	RBS0	0	0	0	0
PSWL	S	Z	RSS	AC	IE	P/V	0	CY

{	UF	: ユーザ・フラグ
	RBS0-RBS2	: レジスタ・バンク選択フラグ
	S	: サイン・フラグ (演算結果のMSB)
	Z	: ゼロ・フラグ
	RSS	: レジスタ・セット選択フラグ
	AC	: 補助キャリー・フラグ
	IE	: 割り込み要求許可フラグ
	P/V	: パリティ / オーバフロー・フラグ
	CY	: キャリー・フラグ

各フラグについて次に示します。

(a) ユーザ・フラグ (UF)

ユーザ・プログラム上でセットおよびリセットし、プログラムの制御に利用できるフラグです。

(b) レジスタ・バンク選択フラグ (RBS0-RBS2)

8個のレジスタ・バンク (レジスタ・バンク0-レジスタ・バンク7) のうち1つを選択する3ビットのフラグです。

(c) サイン・フラグ (S)

演算の結果、MSBが“1”であることを記憶するフラグです。

演算の結果、MSBが“1”のときセット (1) されます。“0”のときリセット (0) されます。条件付き分岐命令でテストできます。

(d) ゼロ・フラグ (Z)

演算の結果が“0”であることを記憶するフラグです。

演算の結果が“0”のときにセット(1)されます。それ以外のときにはリセット(0)されません。

条件付き分岐命令でテストできます。

(e) レジスタ・セット選択フラグ (RSS)

X, A, C, Bとして機能する汎用レジスタ(8ビット), およびAX, BCとして機能する汎用レジスタ・ペア(16ビット)を指定するフラグです。

RSSフラグの指定により, 次のように各機能名称と絶対名称()内の名称)が対応します(表3-3 汎用レジスタの構成 参照)。

- RSS = 0のとき

X (R0), A (R1), C (R2), B (R3), AX (RP0), BC (RP1)

- RSS = 1のとき

X (R4), A (R5), C (R6), B (R7), AX (RP2), BC (RP3)

RSSフラグをセット, リセットする場合には, その命令の直前(または直後)に, 必ずRSS疑似命令を記述してください(下記例参照)。

プログラム例

- RSS = 0にする場合

```
RSS    0          ; RSS疑似命令
CLR1   PSWL.5
MOV    B, A      ; この記述は「MOV R3, R1」に該当します。
```

- RSS = 1にする場合

```
RSS    1          ; RSS疑似命令
SET1   PSWL.5
MOV    B, A      ; この記述は、「MOV R7, R5」に該当します。
```

RSSフラグを切り替えることで, 2組のレジスタ・セットを持つのと同様な効果が得られます。また, RSSフラグで指定されないレジスタ, レジスタ・ペアは, 絶対名称を記述することによりアクセスできます。

(f) 補助キャリー・フラグ (AC)

10進補正に使用するフラグで、ビット3へのアンダフロー、およびこのビットからのオーバーフローを記憶します。

演算の結果、ビット3からのキャリーがあったとき（オーバーフロー）、または、ビット3へのフローがあったとき（アンダフロー）にセット（1）されます。それ以外のときにはリセット（0）されます。

条件付き分岐命令でテストできます。

(g) 割り込み要求許可フラグ (IE)

割り込み要求の許可/禁止を示すフラグです。

EI命令の実行時にセット（1）され、DI命令の実行時または割り込みの受け付けでリセット（0）されます。

(h) パリティ/オーバーフロー・フラグ (P/V)

P/Vフラグは、論理/算術演算命令の実行に伴い、次の2種類の動作をします。

P/Vフラグの状態は、条件付き分岐命令でテストできます。

・パリティ・フラグ動作

論理演算命令の実行の結果、セット（1）されたビット数が偶数のときにはセット（1）されます。奇数のときにはリセット（0）されます。ただし、16ビット演算、8ビット演算にかかわらず、演算結果の下位8ビットのみパリティ・フラグに有効です。

・オーバーフロー・フラグ動作

算術演算命令の実行の結果、2の補数で表現される数値範囲を越えたときのみセット（1）されます。それ以外のときにはリセット（0）されます。

たとえば、8ビットの算術演算では、2の補数の範囲は80H（-128）～7FH（+127）であり、演算結果がこの範囲以外になったときセット（1）され、範囲内のときはリセット（0）されます。

例 8ビット加算命令実行時のオーバーフロー・フラグの動作を次に示します。

78H (+120) と69H (+105) の加算を行うと、演算結果がE1H (+225) となり、2の補数の上限を越えるため、P/Vフラグがセット(1)されます。また、2の補数表現でE1Hは-31になります。

$$\begin{array}{r}
 78\text{H} (+120) = 0111\ 1000 \\
 +) \underline{69\text{H} (+105)} = +) \underline{0110\ 1001} \\
 \hline
 0\ 1110\ 0001 = -31 \quad P/V=1
 \end{array}$$

C

また、次のような2つの負数の加算は、演算結果が2の補数の範囲内にあるため、P/Vフラグはリセット(0)されます。

$$\begin{array}{r}
 \text{FBH} (-5) = 1111\ 1011 \\
 +) \underline{\text{F0H} (-16)} = +) \underline{1111\ 0000} \\
 \hline
 1\ 1110\ 1011 = -21 \quad P/V=0
 \end{array}$$

C

(i) キャリー・フラグ(CY)

演算命令の実行の結果のオーバーフロー、アンダフローを記憶するフラグです。

演算命令の実行の結果、ビット7からキャリーがあったとき(オーバーフロー)、またはビット7へのボローがあったとき(アンダフロー)にセット(1)されます。また、ワード演算では、ビット15からキャリーがあったとき(オーバーフロー)、またはビット15へのボローがあった場合(アンダフロー)にセット(1)されます。それ以外のときにはリセット(0)されます。

条件付き分岐命令でテストできます。また、ビット操作命令の実行時は、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

スタック・ポインタ (SP) は、メモリのスタック領域 (LIFO形式) の先頭アドレスを保持している 16ビット・レジスタです。

専用命令 (スタック操作命令) により操作します。

スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとにインクリメントされます。

$\overline{\text{RESET}}$ 入力により不定になりますので、サブルーチン・コールなどを行う前には必ず設定を行ってください。

注意 メインRAM領域 (FE00H-FEFFFH) へのワード・アクセスを実行する場合、オペランドで指定するアドレスは偶数に限ります。

(4) CPUコントロール・ワード (CCW)

CPUコントロール・ワード (CCW) は、CPUの制御に関するフラグで構成される 8 ビット・レジスタです。

特殊機能レジスタ領域 (FFC1H) にマッピングされており、ソフトウェアで制御できます。

$\overline{\text{RESET}}$ 入力により、全ビットがリセット (0) されます。

図3 - 7 CPUコントロール・ワードのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CCW	0	0	0	0	0	0	TPF	0	FFC1H	00H	R/W

TPF : テーブル・ポジション・フラグ

テーブル・ポジション・フラグ (TPF) は、CALLT命令および割り込み要求で参照するベクタ・テーブルのロケーションを示すフラグです。TPFフラグの指定により、ベクタ・テーブルのロケーションは次のように切り替わります。

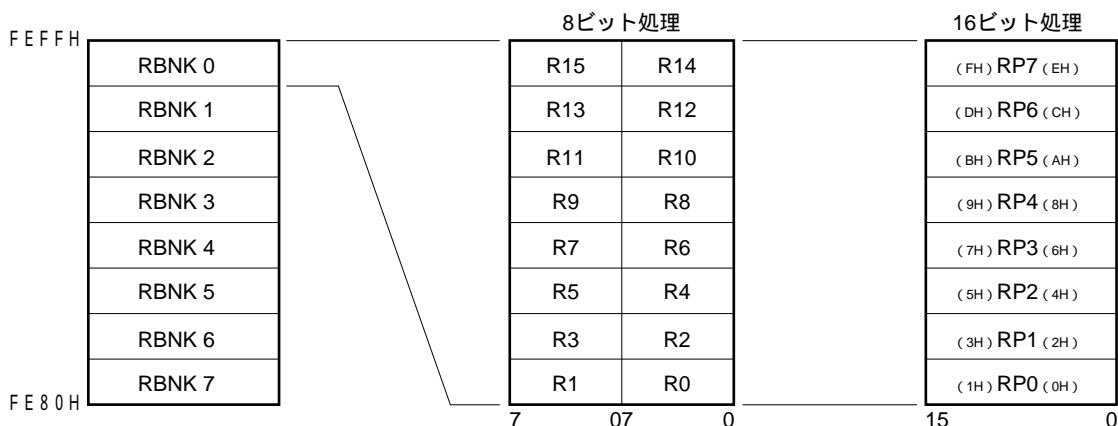
- ・ TPF = 0 (リセット)
0000H-007FH
- ・ TPF = 1 (セット)
8000H-807FH

注意 $\overline{\text{RESET}}$ 入力, BRK命令, オペコード・トラップ割り込みのベクタ・テーブルは、それぞれ 0000H, 003EH, 003CHに固定で、TPFの影響は受けません。

3.2.2 汎用レジスタ

汎用レジスタは内部RAM空間の特定領域 (FE80H-FEFFFH) にマッピングされた128バイト・レジスタ群で、8個のレジスタ・バンクから構成されます。各レジスタ・バンクは、16個の8ビット・レジスタから構成されます。

図3 - 8 汎用レジスタの処理ビット



8ビット・レジスタは2つのレジスタがペアとなって8個の16ビット・レジスタ・ペア (RP0-RP7) としても機能します。

16個の8ビット・レジスタは表3 - 3に示すように、絶対名称のほか機能名称による記述が可能です。Xレジスタは16ビット・アキュムレータの下位、Aレジスタは8ビット・アキュムレータまたは16ビット・アキュムレータの上位、BレジスタおよびCレジスタはカウンタ、DE, HL, VPおよびUPはレジスタ・ペアとなってアドレス・レジスタとして機能します。特にVPレジスタはベース・レジスタ、UPレジスタはユーザ・スタック・ポインタとしての機能を持ちます。

プログラム・ステータス・ワード (PSW) 内のレジスタ・セット選択フラグ (RSS) の値によって固有機能を持ったレジスタが表3 - 3のように変化します。

したがって、機能名称によりプログラムを記述している場合には、RSSフラグを操作することにより、2組のレジスタ・セット (X, A, B, C, AX, BC) を持つと同様な効果が得られます。RSSフラグで指定されていないレジスタ (例: RSS = 0のときのR4レジスタ) については、その絶対名称 (この場合R4) を記述することでアクセス可能です。

μPD78366Aは、処理データ・アドレスのアドレッシングとして各レジスタの固有機能を重視した機能名称によるインプライド・アドレッシングと、データ転送回数の少ない高速処理や記述性の高いプログラムの作成を目的とした絶対名称によるレジスタ・アドレッシングが可能です。

表3-3 汎用レジスタの構成

(a) 8ビット・レジスタの絶対名称と機能名称の対応

絶対名称	機能名称	
	RSS = 0	RSS = 1
R0	X	
R1	A	
R2	C	
R3	B	
R4		X
R5		A
R6		C
R7		B
R8	VPL	VPL
R9	VP _H	VP _H
R10	UPL	UPL
R11	UP _H	UP _H
R12	E	E
R13	D	D
R14	L	L
R15	H	H

(b) 16ビット・レジスタ・ペアの絶対名称と機能名称の対応

絶対名称	機能名称	
	RSS = 0	RSS = 1
RP0	AX	
RP1	BC	
RP2		AX
RP3		BC
RP4	VP	VP
RP5	UP	UP
RP6	DE	DE
RP7	HL	HL

3.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタ (SFR: Special Function Register) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。SFRは、FF00H-FFFFHのメモリ空間 (256バイト: 特殊機能レジスタ領域) に割り付けられています。

FF00H-FF1FHの32バイトの領域には、ショート・ダイレクト・アドレッシングが適用できます。したがって、この領域に割り付けられているSFRは、ほかの領域のSFRよりも短い語長、少ないクロック数で処理できます。この領域には、キャプチャ・レジスタ、コンペア・レジスタおよびポートなど、頻繁にアクセスされるSFRが割り付けられています。

また、FFD0H-FFDFHの16バイトの領域は、SFRアドレッシングにより外部に対してアクセスします。したがって、語長の短い命令での外部メモリのアクセスや外部デバイスのビット操作などが可能です。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16ビット) は各SFRで異なります (表3-4 参照)。

各操作ビット単位ごとのSFRの指定方法を次に示します。

・ビット操作

ビット操作命令のオペランド (sfr. bit) に略号を記述します。アドレスでも指定できます。

・8ビット操作

8ビット操作命令のオペランド (sfr) に略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド (sfrp) に略号を記述します。16ビット操作可能なSFRは、偶数アドレス 奇数アドレスの連続した2バイトの領域に割り付けられます。アドレス指定する場合は偶数アドレスを記述します。

表3 - 4にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- ・略号.....内蔵されたSFRのアドレスを示す略号です。命令のオペランドとして記述できます。
NEC製アセンブラ (RA78K3) では予約語になっています。
Cコンパイラ (CC78K3) では #pragma sfr 指令により, sfr変数として使用できます。
- ・R/W.....該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。
R/W : 読み出し / 書き込みがともに可能
R : 読み出しのみ可能^注
W : 書き込みのみ可能
- ・操作可能ビット単位.....操作可能なビット単位 (1, 8, 16ビット) を示します (印)。
16ビット操作の可能なSFRはオペランドのsfrpに記述できますが, アドレスで直接指定する場合は必ず偶数アドレスを記述します。
1ビット操作可能なSFRは, ビット操作命令で記述できます。
- ・リセット時..... $\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

注 読み出し専用のレジスタでビットのテストが可能です。

- 注意1 . SFRに対して書き込みを行う際, “0”あるいは“1”を規定されるビットについては, “0”, “1”とそれぞれ書き込んでください。
- 2 . 読み出し専用のレジスタに書き込みをしないでください。書き込みをすると誤動作することがあります。
 - 3 . 特殊機能レジスタ領域 (FF00H-FFFFH) で, SFRの割り付けられていないアドレス (外部アクセス領域を除く) はアクセスしないでください。アクセスすると誤動作をすることがあります。
 - 4 . 読み出しデータをバイト・データとして使用する場合, 不定ビットを処置してから使用してください。
 - 5 . TOUT, TXSは書き込みのみ可能なレジスタです。読み出しをしないでください。
 - 6 . SBICのビット0, 1, 4は書き込みのみ可能なビットです。このビットを読み出すと“0”が読み出されます。

表3-4 特殊機能レジスタ一覧(1/5)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット単位			リセット時	
				1ビット	8ビット	16ビット		
FF00H	ポート0	P0	R/W			-	不定	
FF01H	ポート1	P1				-		
FF02H	ポート2	P2	R	-		-		
FF03H	ポート3	P3	R/W			-		
FF04H	ポート4	P4 ^注				-		
FF05H	ポート5	P5 ^注				-		
FF07H	ポート7	P7	R	-		-		
FF08H	ポート8	P8	R/W			-		
FF09H	ポート9	P9				-		
FF10H	コンペア・レジスタ00	CM00		-	-			
FF11H								
FF12H	コンペア・レジスタ01	CM01		-	-			
FF13H								
FF14H	コンペア・レジスタ02	CM02		-	-			
FF15H								
FF16H	コンペア・レジスタ03	CM03		-	-			
FF17H								
FF18H	バッファ・レジスタCM00	BFCM00		-	-			
FF19H								
FF1AH	バッファ・レジスタCM01	BFCM01		-	-			
FF1BH								
FF1CH	バッファ・レジスタCM02	BFCM02		-	-			
FF1DH								
FF1EH	タイマ・レジスタ0	TM0	R	-	-		0000H	
FF1FH								
FF20H	ポート0モード・レジスタ	PM0	R/W			-	FFH	
FF21H	ポート1モード・レジスタ					-		
FF23H	ポート3モード・レジスタ			PM3			-	x111 1111B
FF25H	ポート5モード・レジスタ			PM5 ^注			-	FFH
FF28H	ポート8モード・レジスタ			PM8			-	x x 11 1111B
FF29H	ポート9モード・レジスタ			PM9			-	x x x x 1111B
FF2CH	リロード・レジスタ	DTIME	R/W	-	-		不定	
FF2DH								

注 μPD78365Aにはありません。

表3 - 4 特殊機能レジスタ一覧(2/5)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF2EH	タイマ・ユニット・モード・レジスタ0	TUM0	R/W			-	00H
FF2FH	タイマ・ユニット・モード・レジスタ1	TUM1				-	
FF30H	コンペア・レジスタ10	CM10		-	-		不定
FF31H							
FF32H	タイマ・レジスタ1	TM1	R	-	-		0000H
FF33H							
FF34H	キャプチャ/コンペア・レジスタ20	CC20	R/W	-	-		不定
FF35H							
FF36H	キャプチャ・レジスタ20	CT20	R	-	-		0000H
FF37H							
FF38H	タイマ・レジスタ2	TM2	R	-	-		0000H
FF39H							
FF3AH	バッファ・レジスタCM03	BFCM03	R/W	-	-		不定
FF3BH							
FF3CH	外部割り込みモード・レジスタ0	INTM0	R/W			-	00H
FF3DH	外部割り込みモード・レジスタ1	INTM1				-	
FF40H	ポート0モード・コントロール・レジスタ	PMC0				-	x 000 0000B
FF43H	ポート3モード・コントロール・レジスタ	PMC3				-	
FF44H	プルアップ抵抗オプション・レジスタL	PUOL				-	00H
FF45H	プルアップ抵抗オプション・レジスタH	PUOH				-	
FF48H	ポート8モード・コントロール・レジスタ	PMC8				-	x x 00 0000B
FF4EH	サンプリング・コントロール・レジスタ0	SMPC0				-	
FF4FH	サンプリング・コントロール・レジスタ1	SMPC1				-	00H
FF50H	キャプチャ/コンペア・レジスタ30	CC30		-	-		
FF51H							
FF52H	キャプチャ・レジスタ30	CT30	R	-	-		0000H
FF53H							
FF54H	キャプチャ・レジスタ31	CT31	R	-	-		0000H
FF55H							
FF56H	タイマ・レジスタ3	TM3	R	-	-		0000H
FF57H							
FF58H	コンペア・レジスタ40	CM40	R/W	-	-		不定
FF59H							
FF5AH	コンペア・レジスタ41	CM41	R/W	-	-		不定
FF5BH							

表3-4 特殊機能レジスタ一覧(3/5)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF5CH	タイマ・レジスタ4	TM4	R	-	-		0000H
FF5DH							
FF5EH	タイマ・コントロール・レジスタ4	TMC4	R/W			-	00H
FF5FH	タイマ・アウト・レジスタ	TOUT	W	-		-	x x01 0101B
FF60H	リアルタイム出力ポート・レジスタ	RTP	R/W			-	不定
FF61H	リアルタイム出力ポート・モード・レジスタ	RTPM				-	00H
FF62H	ポート・リード・コントロール・レジスタ	PRDC				-	
FF68H	A/Dコンバータ・モード・レジスタ	ADM				-	
FF70H	スレーブ・バッファ・レジスタ0	SBUF0				-	不定
FF71H	スレーブ・バッファ・レジスタ1	SBUF1				-	
FF72H	スレーブ・バッファ・レジスタ2	SBUF2				-	
FF73H	スレーブ・バッファ・レジスタ3	SBUF3			-		
FF74H	スレーブ・バッファ・レジスタ4	SBUF4			-		
FF75H	スレーブ・バッファ・レジスタ5	SBUF5			-		
FF76H	マスタ・バッファ・レジスタ0	MBUF0			-		
FF77H	マスタ・バッファ・レジスタ1	MBUF1			-		
FF78H	マスタ・バッファ・レジスタ2	MBUF2			-		
FF79H	マスタ・バッファ・レジスタ3	MBUF3			-		
FF7AH	マスタ・バッファ・レジスタ4	MBUF4			-		
FF7BH	マスタ・バッファ・レジスタ5	MBUF5			-		
FF7CH	タイマ・コントロール・レジスタ0	TMC0			-	00H	
FF7DH	タイマ・コントロール・レジスタ1	TMC1			-		
FF7EH	タイマ・コントロール・レジスタ2	TMC2			-		
FF7FH	タイマ・コントロール・レジスタ3	TMC3			-		
FF80H	クロック同期式シリアル・インタフェース・モード・レジスタ	CSIM			-		
FF82H	シリアル・バス・インタフェース・コントロール・レジスタ	SBIC	R/W ^注			-	
FF84H	ポー・レート・ジェネレータ・コントロール・レジスタ	BRGC	R/W			-	
FF85H	ポー・レート・ジェネレータ・コンペア・レジスタ	BRG		-		-	不定
FF86H	シリアルI/Oシフト・レジスタ	SIO				-	
FF88H	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM			-	80H	

注 ビット7, 5 : 読み出し/書き込み可能

ビット6, 3, 2 : 読み出しのみ可能

ビット4, 1, 0 : 書き込みのみ可能

表3 - 4 特殊機能レジスタ一覧(4/5)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット単位			リセット時	
				1ビット	8ビット	16ビット		
FF8AH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS	R	-		-	00H	
FF8CH	シリアル受信バッファ : UART	RXB		-		-	不定	
FF8EH	シリアル送信シフト・レジスタ : UART	TXS	W	-		-		
FFA0H	PWMコントロール・レジスタ0	PWMC0	R/W			-	00H	
FFA1H	PWMコントロール・レジスタ1	PWMC1				-		
FFA2H	PWMレジスタ0L	PWM0L				-	不定	
FFA2H	PWMレジスタ0	PWM0		-	-			
FFA3H								
FFA4H	PWMレジスタ1L	PWM1L				-		
FFA4H	PWMレジスタ1	PWM1		-	-			
FFA5H								
FFA8H	インサース・プライオリティ・レジスタ	ISPR		R			-	00H
FFAAH	割り込みモード・コントロール・レジスタ	IMC		R/W			-	80H
FFACH	割り込みマスク・レジスタ0L	MK0L				-	FFH	
FFACH	割り込みマスク・レジスタ0	MK0	-		-		FFFFH	
FFADH								
FFADH	割り込みマスク・レジスタ0H	MK0H				-	FFH	
FFB0H	A/Dコンバージョン・リザルト・レジスタ0	ADCR0	R	-	-		不定	
FFB1H								
FFB1H	A/Dコンバージョン・リザルト・レジスタ0H	ADCR0H		-		-		
FFB2H	A/Dコンバージョン・リザルト・レジスタ1	ADCR1		-	-			
FFB3H								
FFB3H	A/Dコンバージョン・リザルト・レジスタ1H	ADCR1H		-		-		
FFB4H	A/Dコンバージョン・リザルト・レジスタ2	ADCR2		-	-			
FFB5H								
FFB5H	A/Dコンバージョン・リザルト・レジスタ2H	ADCR2H		-		-		
FFB6H	A/Dコンバージョン・リザルト・レジスタ3	ADCR3		-	-			
FFB7H								
FFB7H	A/Dコンバージョン・リザルト・レジスタ3H	ADCR3H		-		-		
FFB8H	A/Dコンバージョン・リザルト・レジスタ4	ADCR4		-	-			
FFB9H								
FFB9H	A/Dコンバージョン・リザルト・レジスタ4H	ADCR4H		-		-		
FFBAH	A/Dコンバージョン・リザルト・レジスタ5	ADCR5		-	-			
FFBBH								
FFBBH	A/Dコンバージョン・リザルト・レジスタ5H	ADCR5H		-		-		

表3-4 特殊機能レジスタ一覧(5/5)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FFBCH	A/Dコンバージョン・リザルト・レジスタ6	ADCR6	R	-	-		不定
FFBDH							
FFBDH	A/Dコンバージョン・リザルト・レジスタ6H	ADCR6H		-		-	
FFBEH	A/Dコンバージョン・リザルト・レジスタ7	ADCR7		-	-		
FFBFH							
FFBFH	A/Dコンバージョン・リザルト・レジスタ7H	ADCR7H		-		-	
FFC0H	スタンバイ・コントロール・レジスタ	STBC ^{注1}	R/W	-		-	0000 ×000B
FFC1H	CPUコントロール・ワード	CCW				-	00H
FFC2H	ウォッチドッグ・タイマ・モード・レジスタ	WDM ^{注1}		-		-	
FFC4H	メモリ拡張モード・レジスタ	MM				-	注2
FFC6H	プログラマブル・ウェイト・コントロール・レジスタ	PWC		-	-		COAAH
FFC7H							
FFD0H	外部SFR領域	-				-	不定
FFDFH							
FFE0H	割り込み制御レジスタ(INTOV3)	OVIC3				-	43H
FFE1H	" (INTP0/INTCC30)	PIC0				-	
FFE2H	" (INTP1)	PIC1				-	
FFE3H	" (INTP2)	PIC2				-	
FFE4H	" (INTP3/INTCC20)	PIC3				-	
FFE5H	" (INTP4)	PIC4				-	
FFE6H	" (INTTM0)	TMIC0				-	
FFE7H	" (INTCM03)	CMIC03				-	
FFE8H	" (INTCM10)	CMIC10				-	
FFE9H	" (INTCM40)	CMIC40				-	
FFEAH	" (INTCM41)	CMIC41				-	
FFEBH	" (INTSER)	SERIC				-	
FFECH	" (INTSR)	SRIC				-	
FFEDH	" (INTST)	STIC				-	
FFEEH	" (INTCSI)	CSIC				-	
FFEFH	" (INTAD)	ADIC				-	

注1．特殊命令のとき、書き込み可能です。

2．メモリ拡張モード・レジスタ(MM)のリセット時の状態は、製品によって異なります。

μ PD78363A...60H

μ PD78365A, 78366A...20H

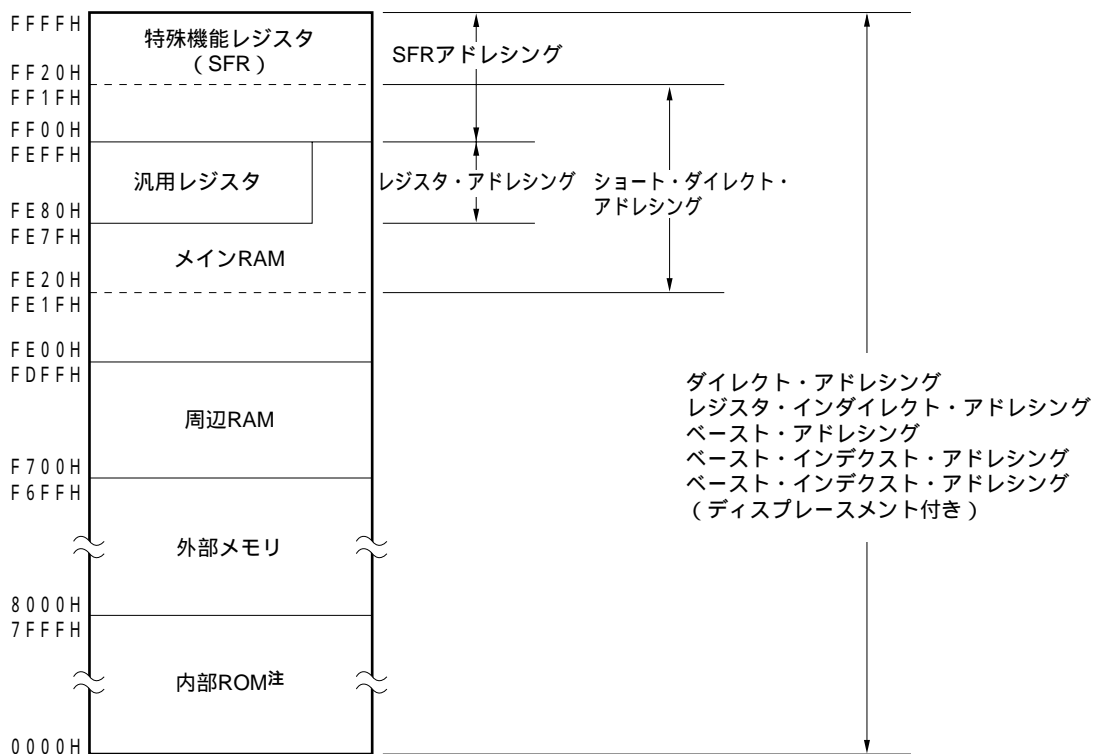
μ PD78368A, 78P368A...00H

3.3 データ・メモリ・アドレッシング

μPD78366Aは、メモリの操作性や高級言語対応を考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵しているF700H-FFFFH（μPD78363AはFC00H-FFFFH）では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。

図3-9～図3-12にデータ・メモリのアドレッシングを示します。

図3-9 データ・メモリのアドレッシング（μPD78365A, 78366A）

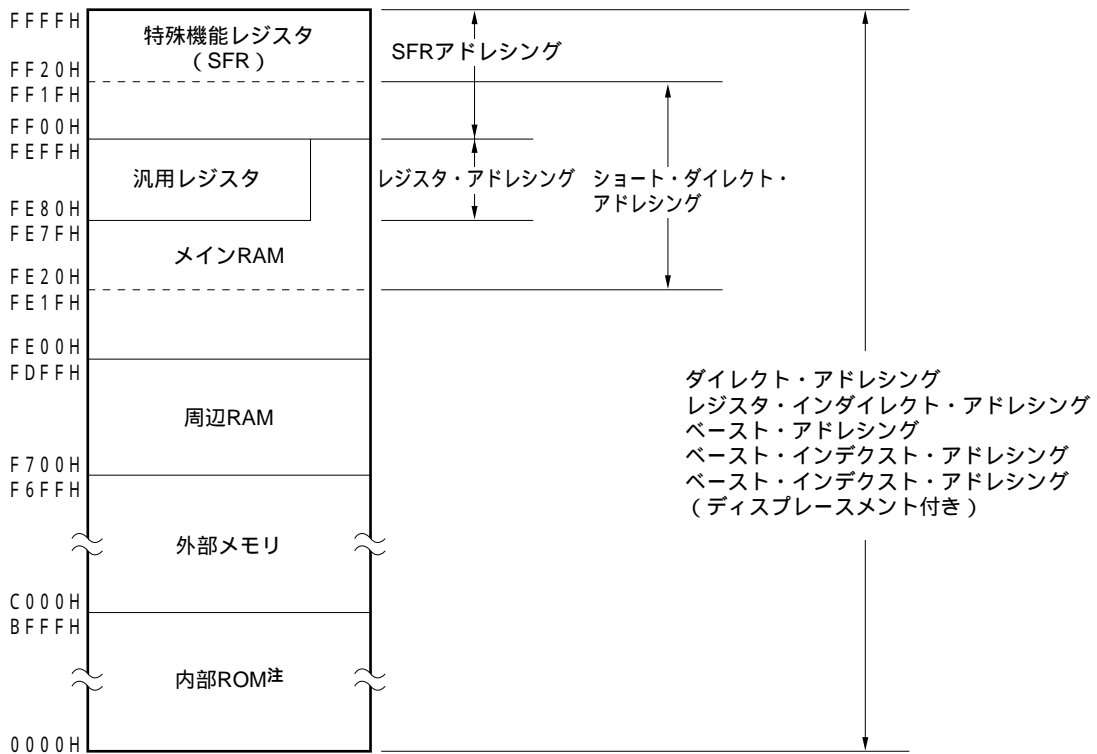


注 μPD78365A、またはμPD78366AのROMレス・モードの場合、外部メモリになります。

注意 メインRAM領域（FE00H-FFFFH）へのワード・アクセス（スタック操作を含む）を実行する場合、オペランドで指定するアドレスは偶数に限ります。

★

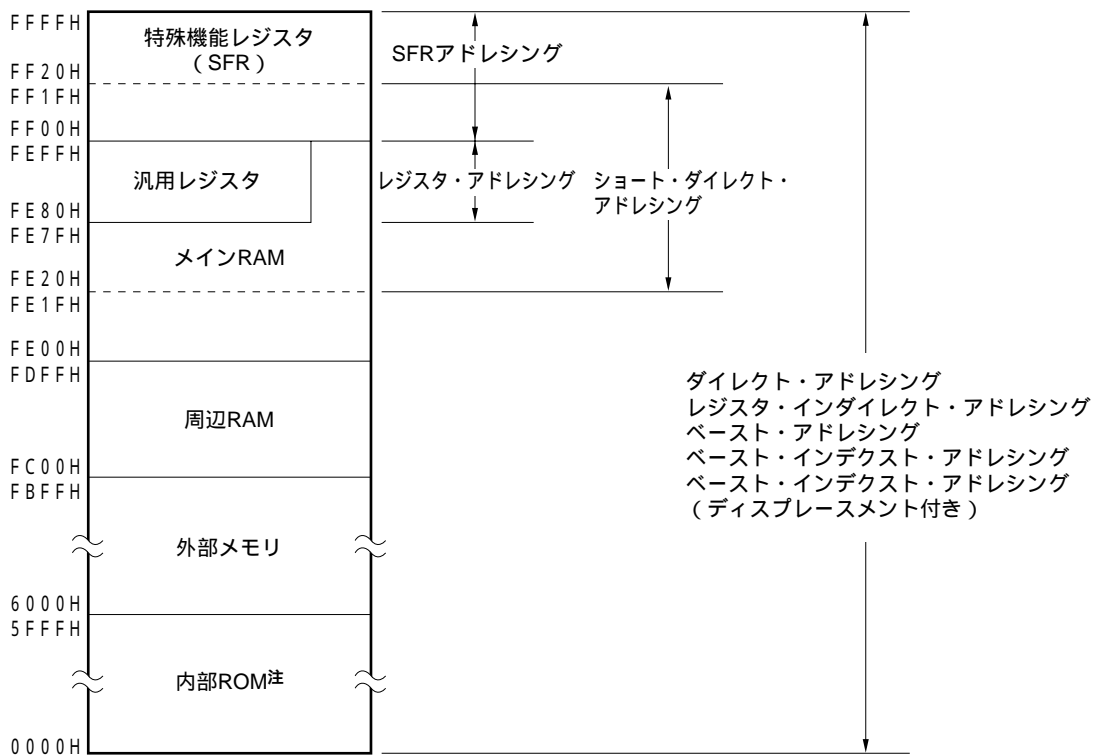
図3 - 10 データ・メモリのアドレッシング (μPD78368A)



注 ROMレス・モードの場合，外部メモリになります。

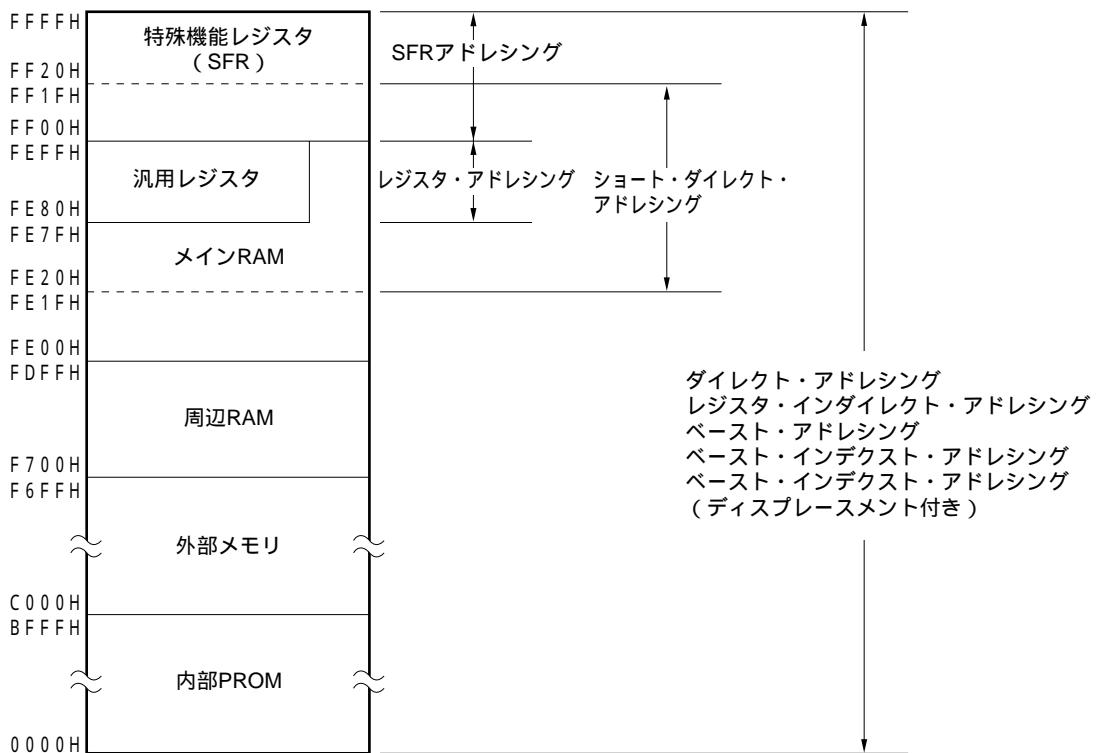
注意 メインRAM領域 (FE00H-FEFFFH) へのワード・アクセス (スタック操作を含む) を実行する場合，オペランドで指定するアドレスは偶数に限ります。

図3 - 11 データ・メモリのアドレッシング (μPD78363A)



注 ROMレス・モードの場合，外部メモリになります。

注意 メインRAM領域 (FE00H-FFFFH) へのワード・アクセス (スタック操作を含む) を実行する場合，オペランドで指定するアドレスは偶数に限ります。

図3-12 データ・メモリのアドレッシング (μ PD78P368A)

注意 メインRAM領域 (FE00H-FEFFFH) へのワード・アクセス (スタック操作を含む) を実行する場合、オペランドで指定するアドレスは偶数に限ります。

3.3.1 汎用レジスタに対するアドレッシング

(1) インプライド・アドレッシング

汎用レジスタの領域にあるアキュムレータ (A, AX) やループ・カウンタ (B, C) として機能するレジスタを命令が自動的にアドレスするアドレッシングです。

記述例 MULU r

8ビット×8ビット乗算命令において、乗数をBレジスタに格納された値とした場合、次のように記述します。この命令の実行によってアキュムレータ (Aレジスタ) とBレジスタとの間で乗算を実行し、その結果を16ビット・アキュムレータ (AXレジスタ) に格納します。

```
MULU B ; AX A × B
```

(2) レジスタ・アドレッシング

命令語の中で、使用するレジスタを直接アドレスするアドレッシングです。

記述例 ADD r,r

8ビット加算命令において、加算命令の対象となる値を格納するレジスタとしてD,Eレジスタを指定する場合、次のように記述します。

ADD D, E ; D D+E

3.3.2 ショート・ダイレクト・アドレッシング

内部RAM空間のFE20H-FEFFFH番地の領域とSFR空間のFF00H-FF1FH番地の領域をアクセスするためのアドレッシングです。ショート・ダイレクト・アドレッシングにより、この領域は短い命令コードで高速にアクセスすることができます。

16ビット・データを操作する場合は、偶数アドレスで指定します。

記述例 ADD A, saddr

8ビット加算命令において、加算命令の対象となる値の一方が内部データ・メモリ空間のFE80H番地に格納されている場合、次のように記述します。

ADD A, 0FE80H ; A A + (FE80H)

3.3.3 特殊機能レジスタ (SFR) ・アドレッシング

SFR領域 (FF00H-FFFFH) にマッピングされている特殊機能レジスタ (SFR) を操作するためのアドレッシングです。

記述例 MOV A, sfr

8ビット転送命令において、転送元となる特殊機能レジスタをSFR領域のポート0に指定する場合、次のように記述します。

MOV A, P0 ; A P0

第4章 各ブロック機能（概要）

4.1 エクセキューション・ユニット

エクセキューション・ユニット（EXU）では、アドレス計算、算術論理演算、データ転送などがマイクロプログラムで制御されます。

EXU内部には256バイトのメインRAMを内蔵しています。EXU内部のメインRAMには8つのレジスタ・バンクが割り付けられています。

4.2 バス・コントロール・ユニット

バス・コントロール・ユニット（BCU）では、エクセキューション・ユニット（EXU）で得られた物理的アドレスに基づいて、必要なバス・サイクルを起動します。EXUからバス・サイクル起動の要求がないときは、プリフェッチのためのアドレスを発生し、命令のプリフェッチを行います。プリフェッチした命令のコードは命令キューに取り込まれます。

命令キューのバイト数は、フェッチする領域により、次のように異なります。

- ・内部メモリ^注からフェッチする場合... 5 バイト
- ・外部メモリからフェッチする場合..... 3 バイト

注 内部メモリ：内部ROM（ μ PD78363A, 78366A, 78368A, 78P368Aのみ）、周辺RAM

4.3 プログラム・メモリ/データ・メモリ

プログラム・メモリ、データ・メモリ容量は、製品により異なります。

μ PD78363Aは、24 Kバイトのプログラム・メモリ（ROM）と768バイトのデータ・メモリ（RAM）で構成されています。

μ PD78366Aは、32 Kバイトのプログラム・メモリ（ROM）と2048バイトのデータ・メモリ（RAM）で構成されています。

- ★ μ PD78368Aは、48 Kバイトのプログラム・メモリ（ROM）と2048バイトのデータ・メモリ（RAM）で構成されています。

μ PD78365Aは、ROMを内蔵していないので、2048バイトのデータ・メモリ（RAM）のみです。

μ PD78P368Aは、48 Kバイトのプログラム・メモリ（ROM）と2048バイトのデータ・メモリ（RAM）で構成されています。

2048バイト（ μ PD78363Aは768バイト）のデータ・メモリのうち、256バイトはメインRAMとしてエクセキューション・ユニット（EXU）内部に内蔵しています。1792バイト（ μ PD78363Aは512バイト）は周辺RAMです。

4.4 ポート

ポートは、次に示すように、汎用ポートとしての機能と制御端子の機能を持っています。

ポート名	入出力	複合機能	
ポート0	8ビット入出力	汎用ポート	リアルタイム出力ポート, RPUの制御信号入力, PWM信号出力
ポート1	8ビット入出力		-
ポート2	6ビット入力		外部割り込み入力, RPUのカウント・パルス入力
ポート3	7ビット入出力		シリアル・インタフェースの入出力
ポート4	8ビット入出力		アドレス/データ・バス (AD0-AD7)
ポート5	8ビット入出力		アドレス・バス (A8-A15)
ポート7	8ビット入力		A/Dコンバータのアナログ入力
ポート8	6ビット入出力		RPUのタイマ出力
ポート9	4ビット入出力		外部アクセス制御信号出力

備考 RPU : リアルタイム・パルス・ユニット

4.5 リアルタイム・パルス・ユニット

リアルタイム・パルス・ユニット (RPU) は、プログラマブルなパルスの出力およびパルス間隔や周波数の測定が可能なユニットです。

また、リアルタイム出力ポートの出力タイミングを制御します。

RPUは、次に示すハードウェアにより構成されています。

- ・ 16ビット・タイマ×5
- ・ 16ビット・コンペア・レジスタ×7
- ・ 16ビット・キャプチャ・レジスタ×3
- ・ 16ビット・キャプチャ/コンペア・レジスタ×2

4.6 リアルタイム出力ポート

RPUからの信号をトリガとしてポートの出力タイミングを制御できる出力ポートです。4ビット単位で出力することが可能です。ポート0 (P00-P03) と兼用になっており、4本のリアルタイム・パルス出力が可能です。

また、P00-P03に対してPWM変調をかけることが可能です。

4.7 A/Dコンバータ

8本のアナログ入力端子を持つ高速、高分解能の10ビットA/Dコンバータです。逐次比較方式を採用しています。

4.8 シリアル・インタフェース

次に示す2チャンネル独立のシリアル・インタフェースを備えています。また、2チャンネル共通のポー・レート・ジェネレータを内蔵しています。クロック同期式シリアル・インタフェースには、2つの動作モードがあります。

- アシンクロナス・シリアル・インタフェース (UART) (端子切り替え機能付き)
- クロック同期式シリアル・インタフェース
 - ・シリアル・バス・インタフェース・モード (SBIモード)
 - ・3線式シリアルI/Oモード

4.9 PWM出力ユニット

8/9/10/12ビット分解能のPWM信号出力を2チャンネル持っています。PWM出力は、外部にロウ・パス・フィルタを接続することによって、デジタル-アナログ変換出力として使用することができます。モータなどのアクチュエータ制御信号に最適です。

4.10 ウォッチドッグ・タイマ

ウォッチドッグ・タイマは、プログラムの暴走やデッドロックを防ぐためのノンマスクابل割り込み機能を持ったフリー・ランニング・タイマです。プログラムの異常は、ウォッチドッグ・タイマのオーバフロー割り込み (INTWDT) の発生やウォッチドッグ・タイマ出力端子 (\overline{WDTO}) がロウ・レベルになることで知ることができます。この出力を \overline{RESET} 端子に接続することで、プログラムの異常による応用システムの誤作動を防止できます。

4.11 割り込みコントローラ

周辺ハードウェアおよび、外部から発生する各種割り込み要求 (NMI, INTP0-INTP4) をベクタ割り込み、マクロ・サービス、コンテキスト・スイッチングのいずれかによって処理します。さらに、4レベルの割り込み優先順位もソフトウェアにより、プログラマブルに指定できます。

〔メ モ〕

第5章 ポート機能

5.1 ハードウェア構成

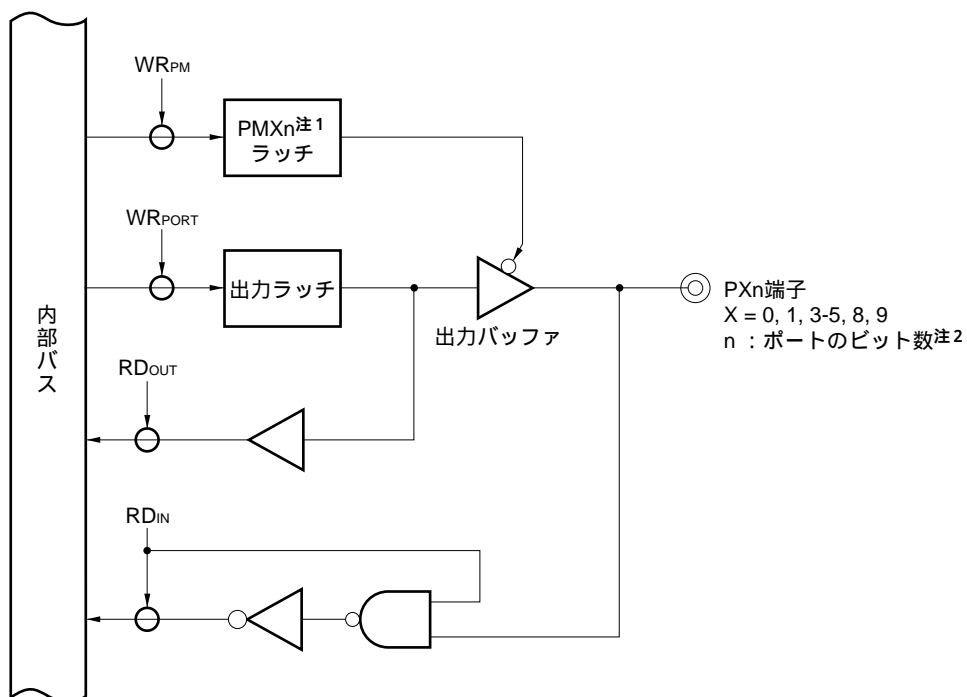
μ PD78366Aのポートは、基本的に図5 - 1に示す3ステート双方向ポートで構成されています（ポート2およびポート7は入力専用）。

$\overline{\text{RESET}}$ 入力により、ポート・モード・レジスタの各ビットはセット（1）され、入力ポートに指定されます。全ポート端子はハイ・インピーダンス状態となります。また、出力ラッチの内容は $\overline{\text{RESET}}$ 入力により不定となります。

ポートを出力ポートとして使用する場合は、出力ラッチにデータを書き込んでから、出力ポートとして指定してください。

注意 μ PD78365Aの場合、および μ PD78363A, 78366A, 78368AのROMレス・モードの場合は、ポート4, ポート5, ポート9（下位2ビット）はポートとして機能しません。詳細は5.2 各ポートの機能を参照してください。

図5 - 1 入出力ポートの基本構成



注1 . PMX_nラッチ : ポート・モード・レジスタPMX (X = 0, 1, 3, 5, 8, 9) のビットn

2 . X = 0, 1, 4, 5のときn = 0-7

X = 3のときn = 0-6

X = 8のときn = 0-5

X = 9のときn = 0-3

備考1 . ポート2 , ポート7は入力専用ポート。

2 . ポート4は , メモリ拡張モード・レジスタ (MM) により入力 / 出力の指定可能。

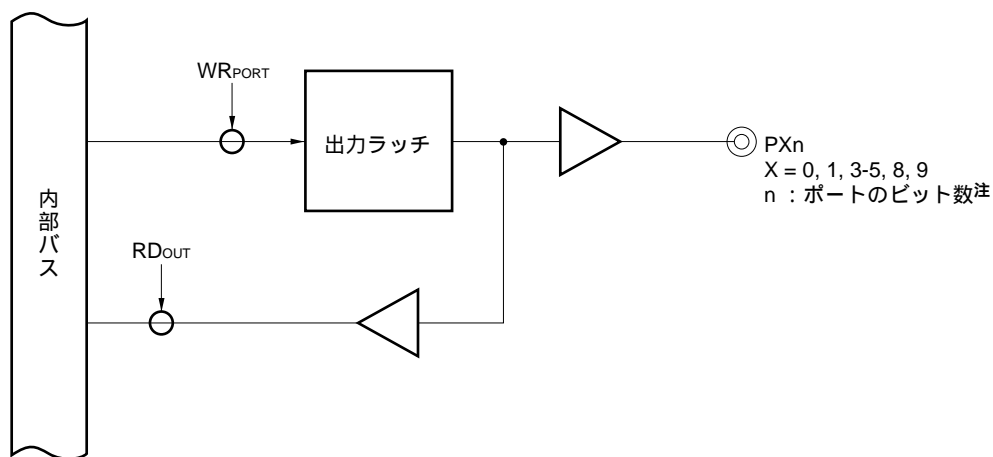
(1) 出力ポートに指定された場合

出力ラッチが有効となり，転送命令により出力ラッチとアキュムレータとの間でデータのやりとりが行えます。

また，出力ラッチの内容は，ビットごとにセット/リセットできます。一度出力ラッチに書き込まれたデータは，次にポートを操作する命令が実行されるまで保持されます。

出力ポートに指定されたポートを転送命令等でリードすると，出力ラッチの内容が読み込まれます。

図5 - 2 出力ポート指定のポート



注 X = 0, 1, 4, 5のときn = 0-7

X = 3のときn = 0-6

X = 8のときn = 0-5

X = 9のときn = 0-3

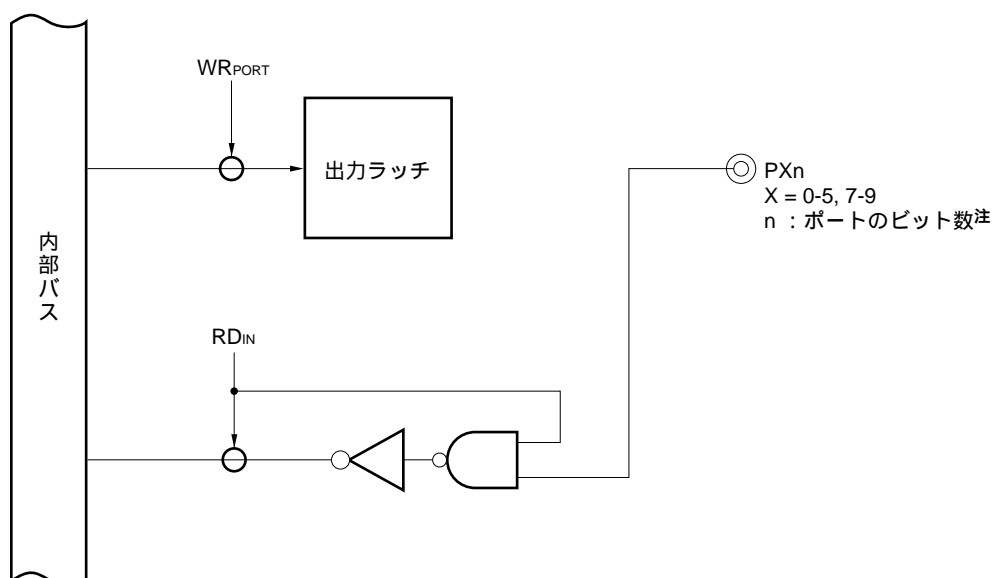
(2) 入力ポートに指定された場合

ポート端子のレベルを転送命令でアキュムレータにロードできます。入力ポートに指定されていても、出力ラッチに対する書き込みは可能です。出力ラッチへの転送命令によりアキュムレータから転送されたデータは、ポートの入出力の指定に関係なく、全出力ラッチにストアされます。

ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、出力データは実際にはポート端子に出力されません（入力指定のビットが出力ポートに切り替えられたとき、出力ラッチの内容がポートに出力されます）。

また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません（図5-3参照）。

図5-3 入力ポート指定のポート



注 X = 0, 1, 4, 5, 7のときn = 0-7

X = 2, 8のときn = 0-5

X = 3のときn = 0-6

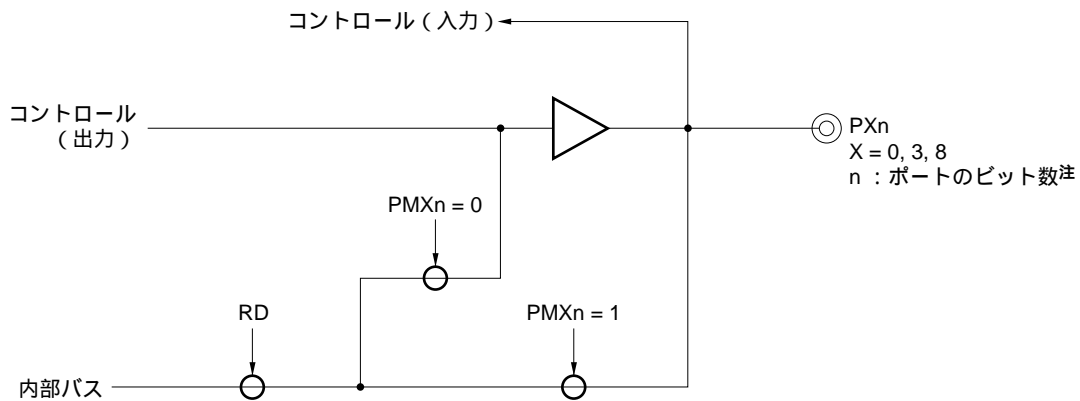
X = 9のときn = 0-3

(3) コントロール信号の入出力に指定された場合

ポート0, ポート3, ポート8の各ビットは, ポート・モード・コントロール・レジスタ (PMC0, PMC3, PMC8) の該当ビットをセット (1) することにより, ポート・モード・レジスタ (PM0, PM3, PM8) の設定にかかわらず, ビット単位でコントロール信号の入力または出力として使用できます。

各端子をコントロール信号として用いる場合に, ポートの読み込み命令を実行すると, コントロール信号の状態をみることができます。

図5-4 コントロール指定の場合



- 注 X = 0のときn = 0-7
 X = 3のときn = 0-6
 X = 8のときn = 0-5

(a) ポートがコントロール信号の出力の場合

ポート・モード・レジスタの該当ビットがセット (1) されているときに, ポートの読み込み命令を実行すると, コントロール信号の端子状態を読み込むことができます。

ポート・モード・レジスタの該当ビットがリセット (0) されているときに, ポートの読み込み命令を実行すると, 内部のコントロール信号の状態を読み込むことができます。

(b) ポートがコントロール信号の入力の場合

ポート・モード・レジスタの該当ビットがセット (1) されている場合のみ, ポートの読み込み命令を実行することで, コントロール信号の端子状態を読み込むことができます。

ポート・モード・レジスタの該当ビットがリセット (0) されているときに, ポートの読み込み命令を実行すると, 必ず "0" が読み込まれます。

注意 コントロール・モード時に入力端子として機能する端子は, 動作中にポート・モード・コントロール・レジスタの該当ビットを書き換えた場合, 誤作動の恐れがあります。したがって, ポート・モード・コントロール・レジスタへの書き込みは, システムの初期設定時などに行ってください。動作中ダイナミックに書き換えしないでください。

表5-1 コントロール・モード時のリード動作 (1/2)

端子名	コントロール機能 (I/O)	PMXn	リード動作
P00-P03	RTP0-RTP3 (O)	1	端子状態
		0	内部コントロール信号
P04	PWM0 (O)	1	端子状態
		0	内部コントロール信号
P05	CMD = 0 : PWM1 (O)	1	端子状態
		0	内部コントロール信号
	CMD = 1 : TCU0 (I)	1	端子状態
		0	内部コントロール信号 (PWM1信号)
P06	CMD = 0 : TO40 (O)	1	端子状態
		0	内部コントロール信号
	CMD = 1 : TIUD (I)	1	端子状態
		0	内部コントロール信号 (TO40信号)
P07	CMD = 0 : "0" (O)	1	端子状態 ("0" 固定)
		0	内部コントロール信号 ("0" 固定)
	CMD = 1 : TCLRUD (I)	1	端子状態
		0	内部コントロール信号 ("0" 固定)
P30	SPS = 0 : TxD0 (O)	1	端子状態
		0	内部コントロール信号
	SPS = 1 : "1" (O)	1	端子状態 ("1" 固定)
		0	内部コントロール信号 ("1" 固定)
P31	SPS = 0 : RxD1 (I)	1	端子状態
		0	内部コントロール信号 ("0" 固定)
	SPS = 1 : "Hi-Z"	1	端子状態 (ハイ・インピーダンス)
		0	内部コントロール信号 ("0" 固定)
P32	MOD1 = 1, MOD2 = 0 : SB0 (I/O)	1	端子状態
		0	内部コントロール信号
	MOD1 = MOD2 = 1 : "Hi-Z"	1	端子状態 (ハイ・インピーダンス)
		0	内部コントロール信号
	MOD1 = 0, MOD2 = x : SO (O)	1	端子状態
		0	内部コントロール信号

備考 1 . PMXn : ポート・モード・レジスタ (X = 0, 3 n : ポートのビット数)

2 . CMD : TUM1レジスタのビット7 SPS : ASIMレジスタのビット1

MOD1 : CSIMレジスタのビット3 MOD2 : CSIMレジスタのビット4

3 . x : don't care

表5-1 コントロール・モード時のリード動作 (2/2)

端子名	コントロール機能 (I/O)	PMXn	リード動作
P33	MOD1 = 1, MOD2 = 0 : "Hi-Z"	1	端子状態 (ハイ・インピーダンス)
		0	内部コントロール信号
	MOD1 = MOD2 = 1 : SB1 (I/O)	1	端子状態
		0	内部コントロール信号
	MOD1 = 0, MOD2 = x : SI (I)	1	端子状態
		0	内部コントロール信号
P34	$\overline{\text{SCK}}$ (I/O)	1	端子状態
		0	内部コントロール信号
P35	SPS = 0 : "1" (O)	1	端子状態 ("1" 固定)
		0	内部コントロール信号 ("1" 固定)
	SPS = 1 : TxD1 (O)	1	端子状態
		0	内部コントロール信号
P36	SPS = 0 : "Hi-Z"	1	端子状態 (ハイ・インピーダンス)
		0	内部コントロール信号 ("0" 固定)
	SPS = 1 : RxD1 (I)	1	端子状態
		0	内部コントロール信号 ("0" 固定)
P80-P85	TO00-TO05 (O)	1	端子状態
		0	内部コントロール信号

備考1 . PMXn : ポート・モード・レジスタ (X = 3, 8 n : ポートのビット数)

2 . MOD1 : CSIMレジスタのビット3

MOD2 : CSIMレジスタのビット4

SPS : ASIMレジスタのビット1

3 . x : don't care

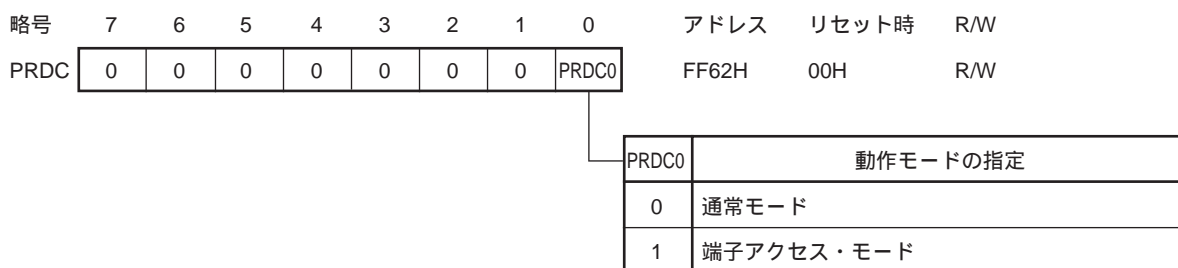
(4) ポート出力データのチェック機能

μ PD78366Aは応用システムの信頼性を向上させるために、ポートが出力モードでも端子の状態を読み込む機能を備えています(端子アクセス・モード)。したがって、必要に応じて出力データと実際の端子の状態をチェックできます。もし不一致ならば、他のシステムと置き換えるなどの対策を行うことができます。

端子の状態を読み込むには、ポート・リード・コントロール・レジスタ (PRDC) のビット0をセット(1)したうえで、ポートをリードします。

RESET 入力により、PRDCレジスタは00Hになります。

図5-5 ポート・リード・コントロール・レジスタのフォーマット



注意 PRDCレジスタのビット7-1は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。

例 端子アクセス・モードを利用して、ポート0 (P0)、ポート1 (P1)、ポート3 (P3) への出力データをチェックするプログラム例を示します。

```

TEST :   DI                ; 割り込み禁止
         MOV   A, 5AH       ; テスト・データ = 5AH
         MOV   P0, A        ; 出力ラッチに5AHをセット
         MOV   P1, A
         MOV   P3, A
         SET1  PRDC.0       ; 端子アクセス・モードを設定 (PRDCをセット)
         CMP   A, P0        ; 端子レベルと出力ラッチの内容を比較
         BNE  $ERR0        ; 不一致ならエラー
         CMP   A, P1
         BNE  $ERR1
         CMP   A, P3
         BNE  $ERR3
         CLR1  PRDC.0       ; 通常モードに戻す (PRDCをリセット)
         EI                ; 割り込み許可
    
```

注意1. 端子アクセス・モード (PRDC0 = 1) では、ポートへのビット操作命令は正常動作しません。ポートのチェック終了後、必ずリセットして通常モード (PRDC0 = 0) に戻してください。

2. 端子アクセス・モードにおいて割り込みが発生すると、このモードが維持されたままビット操作命令等を実行する可能性があり、誤動作の原因となります。チェックを開始する前に必ずDI状態にしてください。

また、ポートを操作するマクロ・サービスは使用しないでください。

3. ノンマスクابل割り込みの発生は避けられませんので、システムに応じて、プログラム上で次のような対策を講じてください。

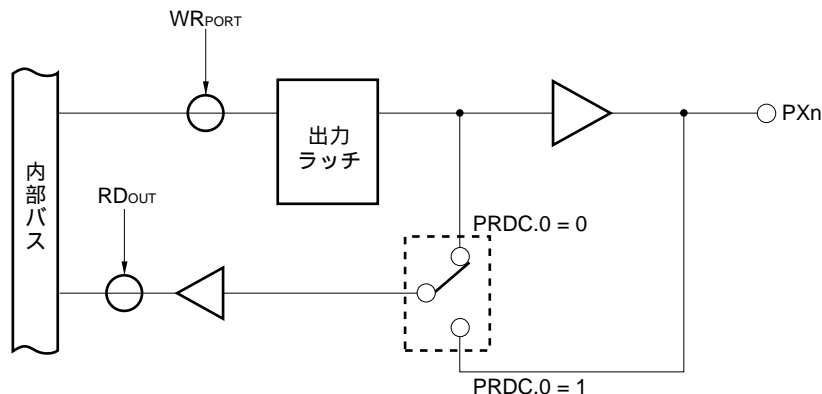
- ・ ノンマスクابل割り込みルーチンではポート操作は行わない。
- ・ ノンマスクابل割り込みルーチンの最初でPRDC.0のレベルを退避して、リターン時に復帰する。

4. 端子アクセス・モードは、出力ポートに対して端子状態をアクセスするための機能です。端子アクセス・モード (PRDC0 = 1) 時に入力ポート・モード (PMXn = 1) に設定されている端子を読み込んだ場合、入力レベルにかかわらず必ず“0”が読み込まれます。

PRDC.0がセット(1)されると、図中破線のスイッチが端子側で切り替わり、端子レベルが読み出されます。この状態でビット操作命令などを行うと、端子レベルをリードしてビット操作するため、出力ラッチの値がおかしくなる可能性があります。

PRDC.0をリセット(0)にすると、通常動作となります。

図5 - 6 制御概念図 (出力ポート指定時)



さらに、頻繁にポートの状態をチェックするための専用命令 (CHKL, CHKLA) を用意しています。これらの命令は、端子の状態と出力ラッチの内容 (ポート・モード時)、または端子状態と内部のコントロール出力信号のレベル (コントロール・モード時) を排他的論理和を取ることによって比較します。

例 CHKL命令またはCHKLA命令を使用して、端子の状態と出力ラッチの内容をチェックするプログラム例を次に示します。

```

TEST:   SET1   P0.3           ;ポート0のビット3をセット
        CHKL   P0           ;ポート0をチェック
        BNE   $ERR1        ;出力ラッチの内容と不一致ならエラー処理
                               (ERR1)へ分岐
        .
        .
        .
ERR1:   CHKLA  P0           ;不良ビットのチェック
        BT    A.7, $BIT07   ;ビット7?
        BT    A.6, $BIT06   ;ビット6?
        .
        .
        .
        BT    A.1, $BIT01   ;ビット1?
        BR    $BIT00        ;どのビットでもなければビット0が不良

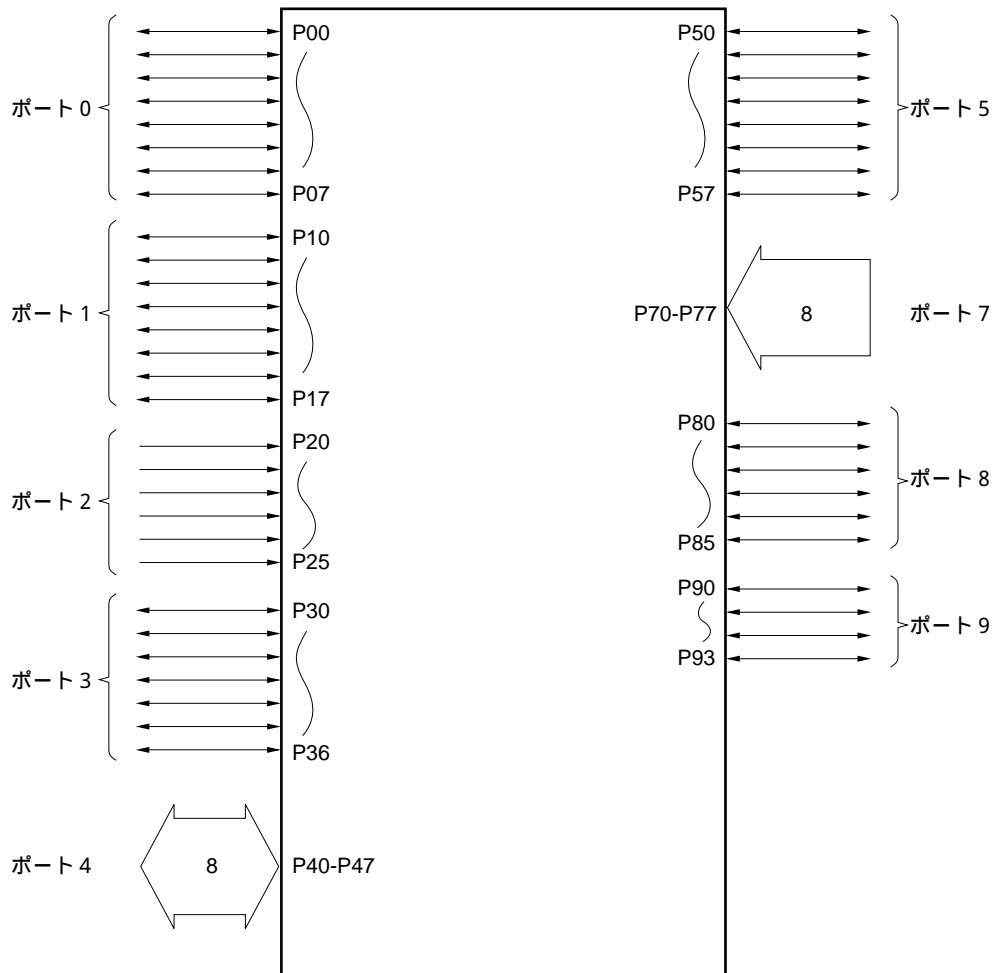
```

- 注意1 . CHKLまたはCHKLA命令は、PRDCレジスタのPRDC0ビットが“0”（通常モード）の状態で使用してください。
- 2 . 各入出力ポートの端子のうち、入力ポート・モードに設定している端子については、ポート・モード/コントロール・モードの設定にかかわらず、CHKLまたはCHKLA命令の結果は常に一致します。また、入力専用ポートについては、出力ラッチがないため、CHKLまたはCHKLA命令を実行すると、入力端子レベルを読み込みます。したがって、入力専用ポートに対するCHKLまたはCHKLA命令は実質的に無効ですので使用しないでください。
 - 3 . ポート4を入力ポート・モードまたは拡張モードに設定して、CHKLまたはCHKLA命令を実行すると不一致が発生することがあります（CHKLまたはCHKLA命令実行中に端子レベルが変化すると不一致となります）。したがって、ポート4を入力ポート・モードまたは拡張モードに設定している場合には、これらの命令を実行しないでください。
 - 4 . 1つのポート内で、コントロール出力とポート出力を混在して使用しているポートの出力レベルをCHKLまたはCHKLA命令でチェックする場合には、コントロール出力端子の入出力モードを入力モードに設定してからこれらの命令を実行してください（コントロール出力は非同期に出力レベルが変化するため、CHKLまたはCHKLA命令による出力レベルのチェックはできません）。

5.2 各ポートの機能

μPD78366Aは、図5-7のようなポートを備えており、多様な制御ができます。

図5-7 ポート構成



5.2.1 入出力ポートの機能と複合機能

各ポートの機能を表5 - 2に示します。入出力ポートとして動作するほかに、複合機能として内蔵ハードウェアの入出力端子としての機能を持っています。

表5 - 2 各ポートの機能と複合機能

ポート名	ポート機能	複合機能
ポート0	8ビット入出力ポート 1ビット単位で入力/出力を指定可能	コントロール・モードでは、リアルタイム出力ポート (RTP), リアルタイム・パルス・ユニット (RPU) の制御信号入力, PWM信号出力
ポート1	8ビット入出力ポート 1ビット単位で入力/出力を指定可能	-
ポート2	6ビット入力専用ポート	外部割り込み入力, リアルタイム・パルス・ユニット (RPU) のカウント・パルス入力 (コントロール・モードに固定)
ポート3	7ビット入出力ポート 1ビット単位で入力/出力を指定可能	コントロール・モードでは, シリアル・インタフェース (UART, CSI) の入出力
ポート4	8ビット入出力ポート 8ビット単位で入力/出力を指定可能	メモリ拡張時のアドレス/データ・バス (AD0-AD7)
ポート5	8ビット入出力ポート 1ビット単位で入力/出力を指定可能	メモリ拡張時のアドレス・バス (A8-A15)
ポート7	8ビット入力専用ポート	A/Dコンバータのアナログ入力 (コントロール・モードに固定)
ポート8	6ビット入出力ポート 1ビット単位で入力/出力を指定可能	コントロール・モードでは, リアルタイム・パルス・ユニット (RPU) のタイマ出力
ポート9	4ビット入出力ポート 1ビット単位で入力/出力を指定可能	メモリ拡張時の制御信号出力

5.2.2 入出力モードの設定

(1) ポートn (n = 0, 1, 3, 5, 8, 9)

入出力モードの設定は、それぞれ各ポート・モード・レジスタ (PM) により、1ビット単位で行います (図5-8 ~ 図5-13参照)。ポートの各端子は、PMレジスタの対応するビットが“1”のとき入力ポートとして機能し、“0”のとき出力ポートとして機能します。

各PMレジスタは、それぞれ8ビット操作命令で設定します。

(2) ポート2, ポート7

入力ポートとしてのみ機能し、ポート・モード・レジスタはありません。

(3) ポート4

入出力モードの設定は、メモリ拡張モード・レジスタ (MM) により、8ビット単位で行います (図5-17参照)。

MMレジスタは、ビット操作命令または8ビット操作命令で設定します。

図5-8 ~ 図5-13に各ポート・モード・レジスタのフォーマットを示します。

図5-8 ポート0モード・レジスタのフォーマット

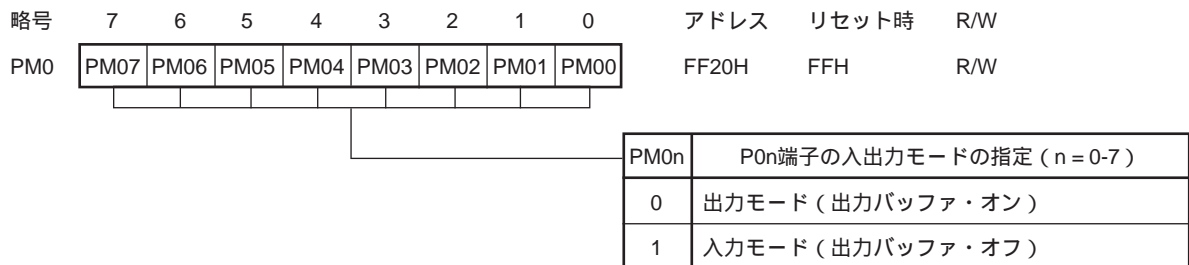


図5-9 ポート1モード・レジスタのフォーマット

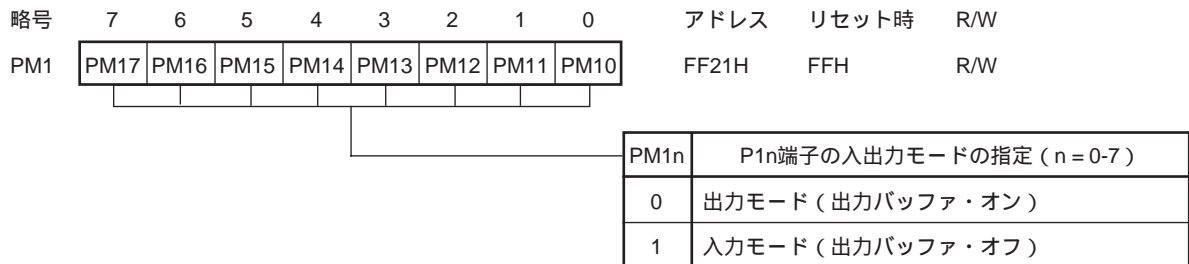
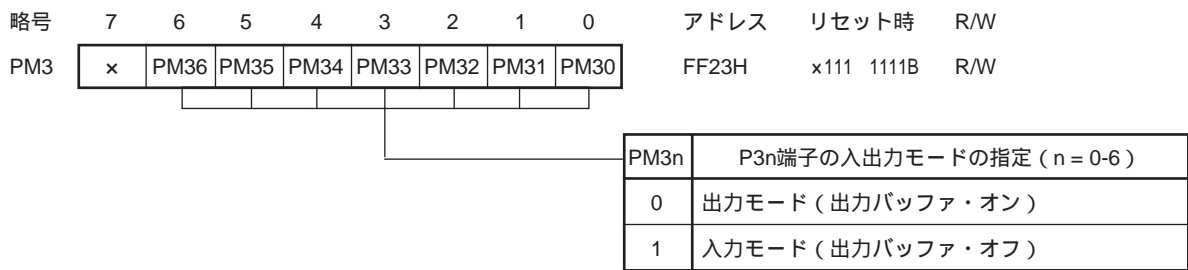


図5 - 10 ポート3モード・レジスタのフォーマット



備考 x : don't care

図5 - 11 ポート5モード・レジスタのフォーマット

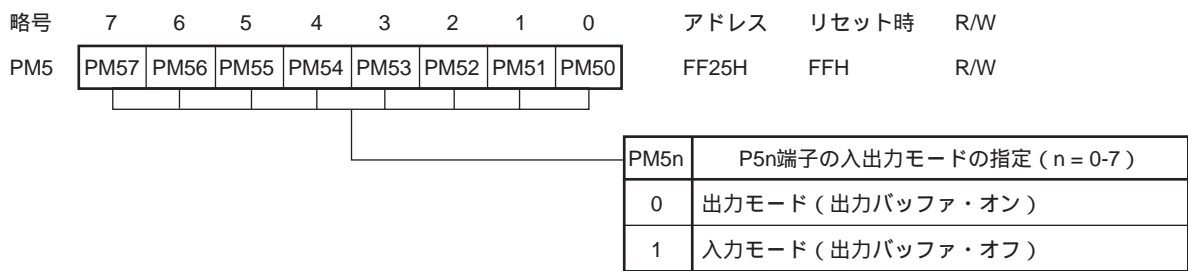
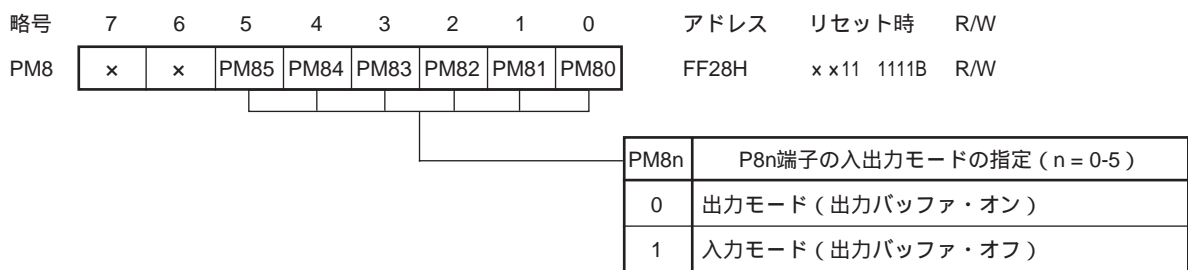
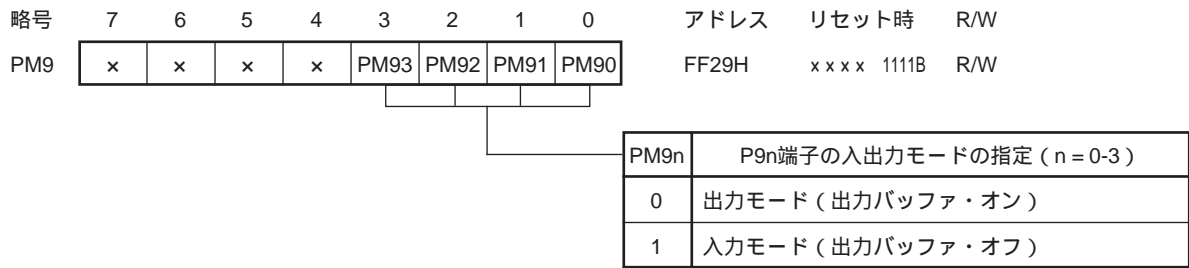


図5 - 12 ポート8モード・レジスタのフォーマット



備考 x : don't care

図5 - 13 ポート9モード・レジスタのフォーマット



備考 x : don't care

5.2.3 コントロール・モードの設定

(1) ポートn (n=0, 3, 8)

コントロール・モードの設定は、それぞれ各ポート・モード・コントロール・レジスタ (PMC) により、1ビット単位で行います (図5 - 14 ~ 図5 - 16参照)。

PMCレジスタの対応するビットがセット (1) されると、ポートの各端子はコントロール端子として機能します。その場合、直前のポートの状態やPMレジスタの設定値は無関係です。

各PMCレジスタは、それぞれ8ビット操作命令で操作します。

(2) ポート2, ポート7

全端子がコントロール・モードに固定で、ポート・モード・コントロール・レジスタはありません。

ただし、各ポートの読み込み命令を実行すると、各端子の状態を読み込むことができます。

(3) ポート4, ポート5

(a) μ PD78363A, 78366A, 78368Aの場合

コントロール・モードの設定は、メモリ拡張モード・レジスタ (MM) の指定 (図5 - 17 参照) により行います。具体的には、拡張の度合いにより表5 - 3のように動作します。拡張モードに設定すると、ポート4はアドレス/データ・バスとして、ポート5の該当ビットはアドレス・バスとして機能します。

また、ポート4は、 μ PD78P368A (PROMプログラミング・モード) の書き込み/ベリファイ時に、データの入出力ポートとなります。

MMレジスタは、ビット操作命令または8ビット操作命令で設定します。

表5 - 3 ポート4, ポート5の動作 (μ PD78363A, 78366A, 78368A)

MMレジスタの設定		ポート4の動作	ポート5の動作							
			P50	P51	P52	P53	P54	P55	P56	P57
ポート・モード (シングルチップ・モード)		入力ポート	汎用入出力ポート							
		出力ポート								
拡張モード	256バイト拡張	アドレス/データ・バス	汎用入出力ポート				汎用入出力ポート			
	4 Kバイト拡張									
	16 Kバイト拡張		A12	A13	汎用入出力ポート					
	フル拡張 ^注		A14	A15						

注 μ PD78363Aの場合は32 Kバイト拡張

備考 A_n ($n = 8-15$) : アドレス・バス

(b) μ PD78365Aの場合

常に次のように動作します。ポートの各端子はポートとしては機能しません。

- ・ポート4 : アドレス/データ・バス (AD0-AD7)
- ・ポート5 : アドレス・バス (A8-A15)

μ PD78363A, 78366A, 78368AをROMレス・モード (MODE0, 1 = HH) にする場合も同様です。

(4) ポート9

コントロール・モードの設定は、MODE0, 1 端子, メモリ拡張モード・レジスタ (MM) により行います。

(a) μ PD78363A, 78366A, 78368Aの場合

ポート9は表5 - 4のように動作します。

拡張モードに設定すると、P90, P91端子は \overline{RD} , \overline{WR} 端子として機能します。 μ PD78363A, 78366A, 78368AをROMレス・モード (MODE0, 1=HH) にすると、P90, P91端子は常に \overline{RD} , \overline{WR} として機能します。また、この場合MM0-MM2ビットの設定は無効です。

表5 - 4 ポート9の動作 (μ PD78363A, 78366A, 78368A)

MODE0	MODE1	MMレジスタの設定	ポート9の動作	
		MM0-MM2	P90	P91
L	L	ポート・モード	汎用ポート	
		拡張モード	\overline{RD}	\overline{WR}
H	H	-	\overline{RD}	\overline{WR}

(b) μ PD78365Aの場合

P90, P91端子は常に \overline{RD} , \overline{WR} 端子として機能します。

MODE0, MODE1端子は、両方ともハイ・レベルに固定します。

MMレジスタの下位3ビット (MM0-MM2) の設定は無効です。

図5 - 14 ポート0モード・コントロール・レジスタのフォーマット

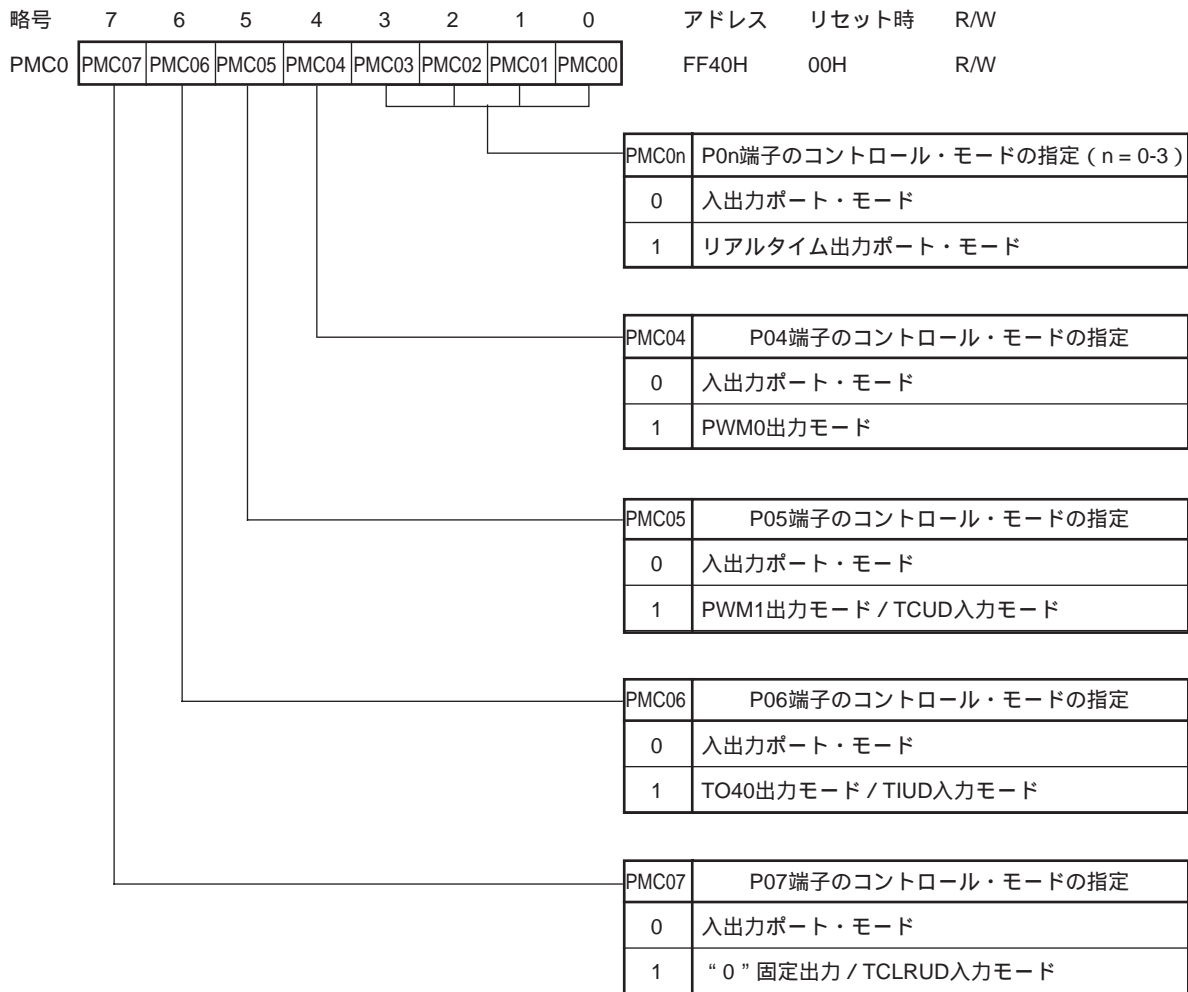
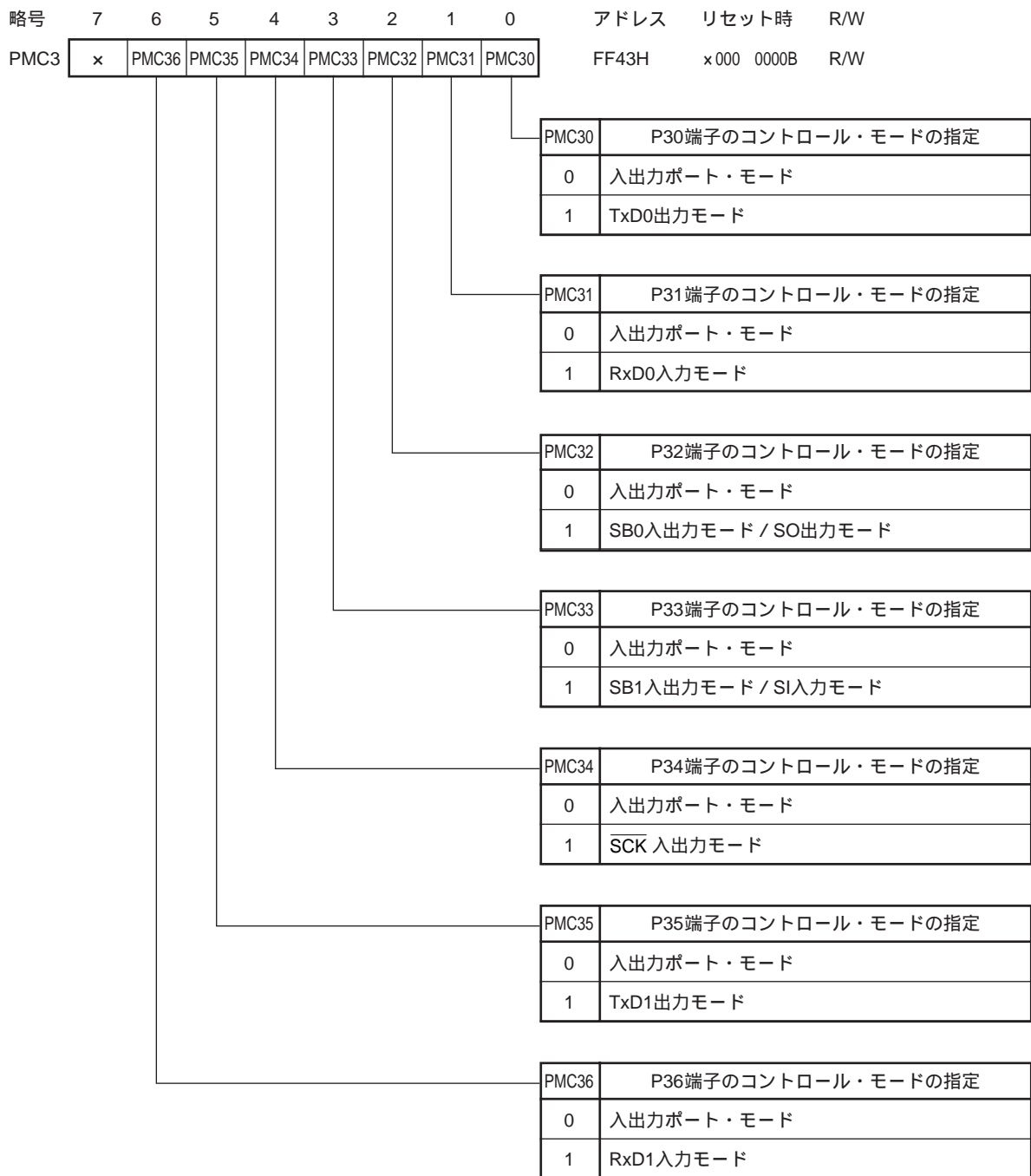
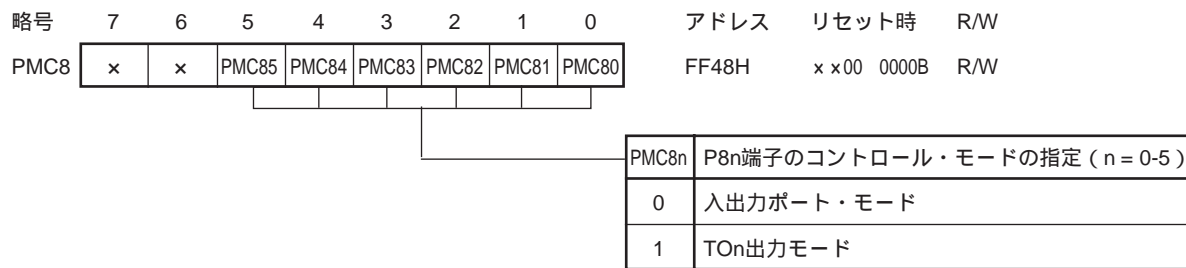


図5 - 15 ポート3モード・コントロール・レジスタのフォーマット



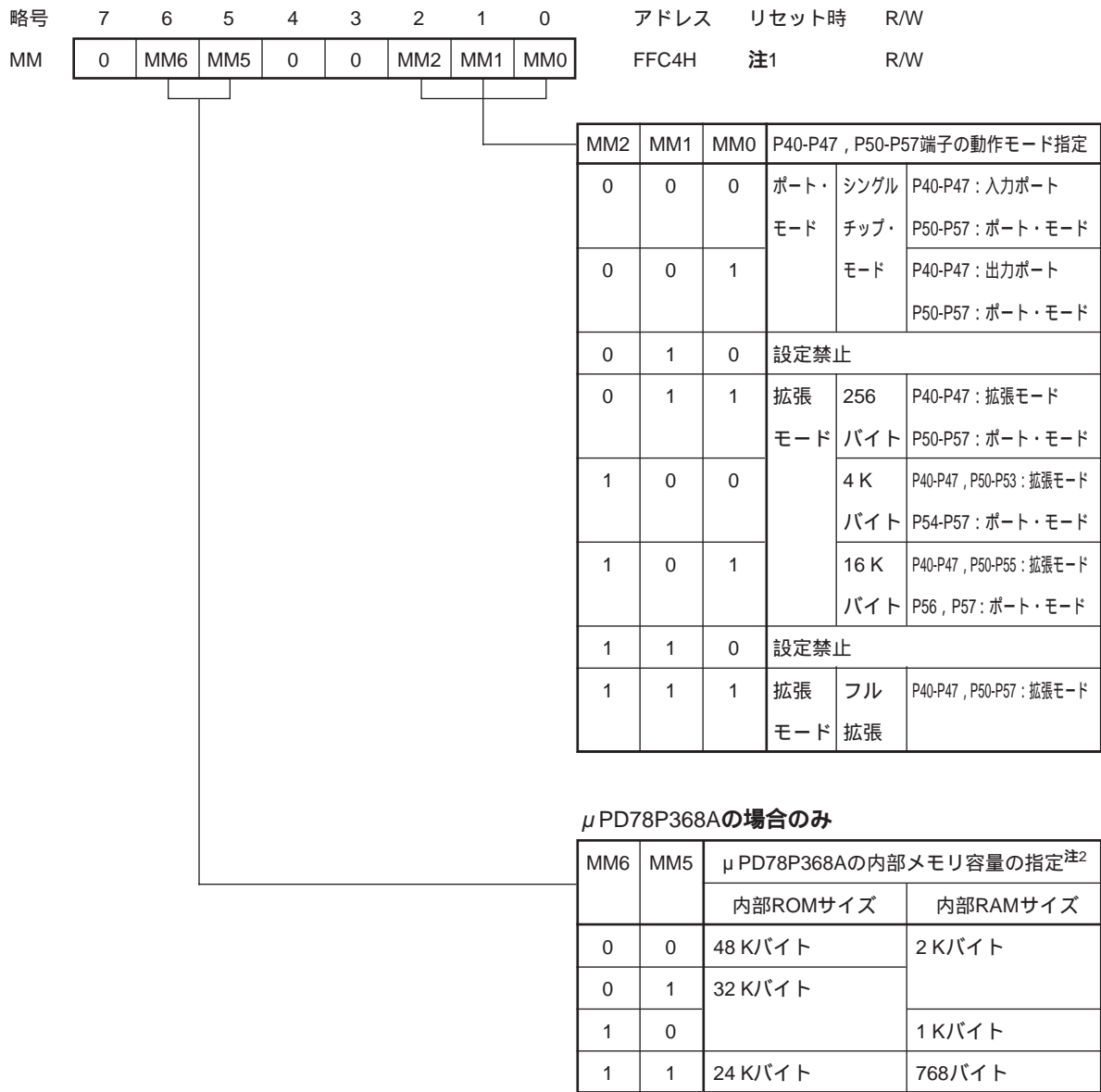
備考 x : don't care

図5 - 16 ポート8モード・コントロール・レジスタのフォーマット



備考 x : don't care

図5 - 17 メモリ拡張モード・レジスタのフォーマット



注1 . MMレジスタは、製品によりリセット時の値が異なります。

μPD78363A...60H

μPD78365A, 78366A...20H

μPD78368A, 78P368A...00H

2 . μPD78P368Aの内部メモリの容量を切り替える機能です。なお、μPD78363A, 78365A, 78366A, 78368Aでは、リセット時の状態に固定されています。

注意1 . MMレジスタのビット3, 4, 7は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。

2 . 上図で「設定禁止」と書いてあるコードの組み合わせは、絶対に書き込まないでください。

5.2.4 プルアップ抵抗の指定

μPD78366Aは、ポート0-5, 8, 9の各端子にソフトウェアで指定可能なプルアップ抵抗を内蔵しています(ただし、P20端子を除きます)。

(1) ポート0, 1, 3, 8

内蔵プルアップ抵抗の使用は、プルアップ抵抗オプション・レジスタ(PUOL, PUOH)とポート・モード・レジスタ(PM), ポート・モード・コントロール・レジスタ(PMC)により、端子ごとに指定できます。

PMCレジスタが“0”(ポート・モード)のとき、PUOL, PUOHレジスタを“1”にし、さらに、対応するPMレジスタを“1”(入力ポート・モード)にすると、入力ポートに指定された端子の内蔵プルアップ抵抗が有効になります。

PMCレジスタで“1”(コントロール・モード)に指定された端子は、PUOL, PUOHレジスタおよびPMレジスタの指定にかかわらず、内蔵プルアップ抵抗は無効になります。

(2) ポート2

PUOLレジスタのPUO2ビットに“1”をセットすると、P21-P25の5端子一括で内蔵プルアップ抵抗が有効になります(ビットごとには指定できません)。

注意 P20/NMI端子は、ハードウェア上プルアップ抵抗を内蔵していません。したがって、PUO2=1に設定しても、P20/NMI端子にはプルアップ抵抗は内蔵されません。

(3) ポート4

メモリ拡張モード・レジスタ(MM)で入力ポートに指定しているとき、PUOLレジスタのPUO4ビットに“1”をセットすると、P40-P47の8端子一括で内蔵プルアップ抵抗が有効になります(ビットごとには指定できません)。

(4) ポート5

メモリ拡張モード・レジスタ(MM), ポート5モード・レジスタ(PM5)で入力ポートに指定しているとき、PUOLレジスタのPUO5ビットに“1”をセットすると、内蔵プルアップ抵抗が有効になります。

(5) ポート9

メモリ拡張モード・レジスタ(MM), ポート9モード・レジスタ(PM9)で入力ポートに指定しているとき、PUOHレジスタのPUO9ビットに“1”をセットすると、内蔵プルアップ抵抗が有効になります。

ポート4, 5, 9の内蔵プルアップ抵抗は、MMレジスタで拡張モードに指定すると、PMレジスタ, PUOビットの指定にかかわらず無効になります。

注意 IE-78350-Rで μ PD78366Aをエミュレーションする場合、PUOL、PUOHレジスタのPUO1、PUO4、PUO5、PUO9ビットに“1”をセットしても、ポート1、4、5、9の内蔵プルアップ抵抗は無効です。プルアップ抵抗を使用するときは、IE-78350-Rと μ PD78366Aのソフトウェアを共通化するために該当ビットに“1”をセットしたうえで、プルアップ抵抗を外付けしてください。

図5 - 18 プルアップ抵抗オプション・レジスタLのフォーマット

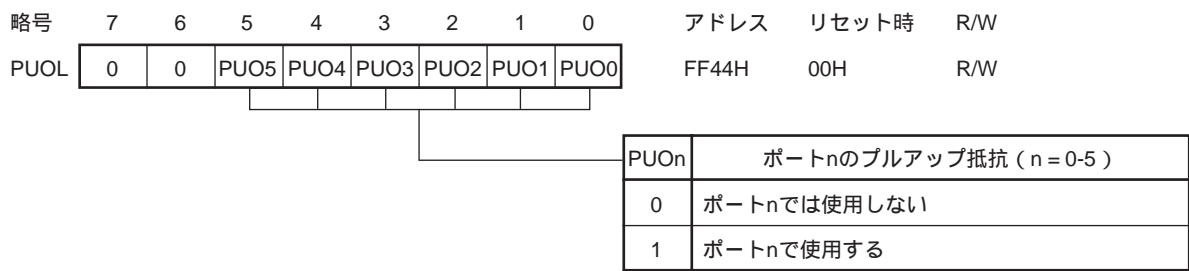
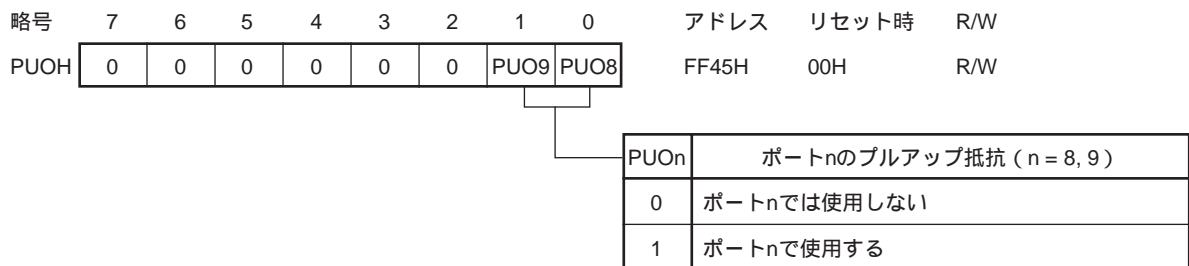


図5 - 19 プルアップ抵抗オプション・レジスタHのフォーマット



注意 PUOLレジスタのビット7、6、PUOHレジスタのビット7-2は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。

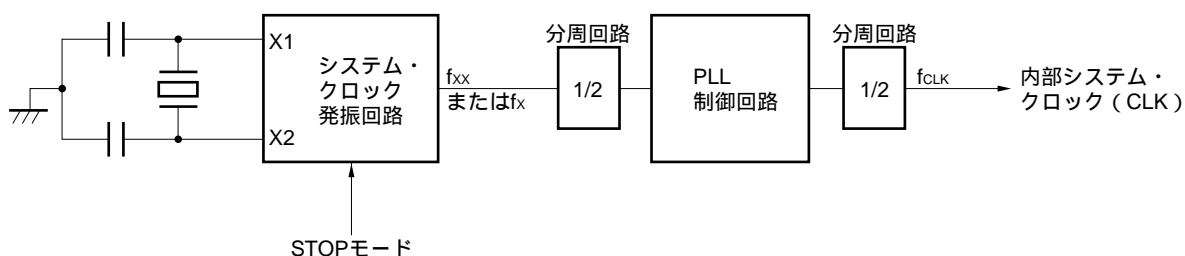
備考 STOPモードに入る場合、PUOL、PUOHレジスタに00Hを設定すると、消費電流を低減するのに有効です。

〔メ モ〕

第 6 章 クロック発生回路

クロック発生回路は、CPUに供給される内部システム・クロック（CLK）を発生、制御する回路です。
 μ PD78366Aは8 MHzのクリスタル振動子をX1, X2端子に接続すると、最大周波数16 MHzの内部システム・クロック（ f_{CLK} ）を生成します。
 クロック発生回路は、図 6 - 1 のように構成されています。

図 6 - 1 クロック発生回路のブロック図



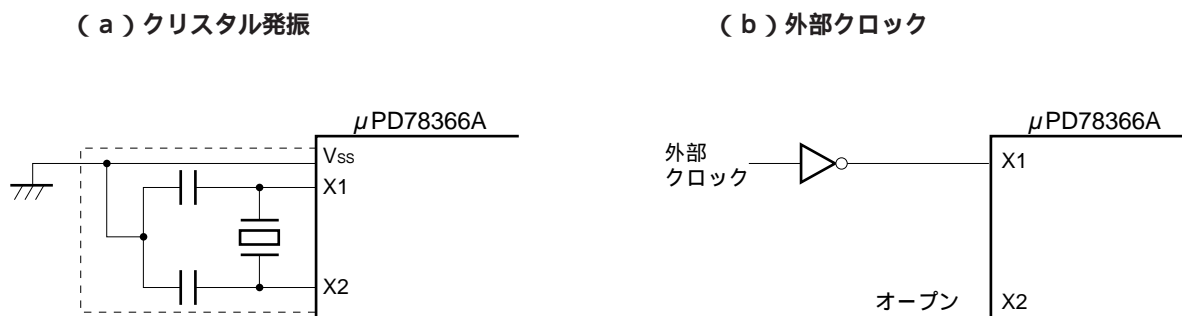
- 備考 1** . f_{xx} : クリスタル発振周波数
 2 . f_x : 外部クロック周波数
 3 . f_{CLK} : 内部システム・クロック周波数

システム・クロック発振回路は、クリスタル振動子によって発振します。スタンバイ・モード（STOPモード）に設定されると、発振を停止します（第14章 **スタンバイ機能** 参照）。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力します。X2端子はオープンにしてください。

注意 外部クロックを使用する場合、STOPモードに設定しないでください。

図6-2 システム・クロック発生回路の外付け回路



注意1．システム・クロック発生回路を使用する場合は、配線容量などの影響を避けるために、図6-2の破線の部分を次のように配線してください。

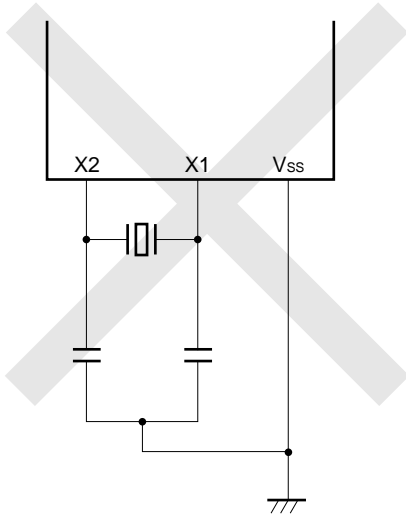
- ・配線を極力短くする。
- ・ほかの信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

2．外部クロックを入力する場合には、X2端子に配線容量などの負荷が接続されないようにしてください。

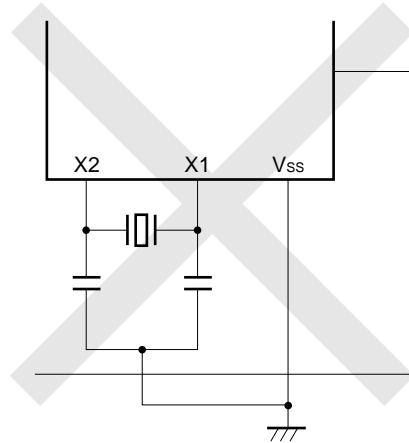
図6-3に、発振子の接続回路の悪い例を示します。

図6-3 発振子の接続回路の悪い例

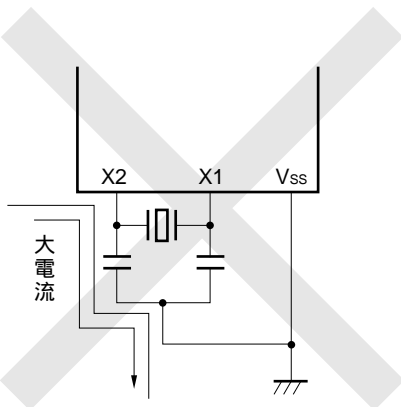
(a) 接続回路の配線が長い



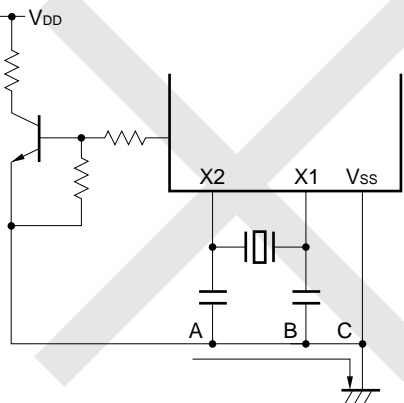
(b) 信号線が交差している



(c) 変化する大電流が信号線を近接している

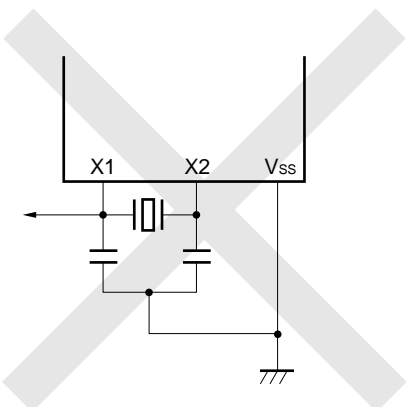


(d) 発振回路部のグランド・ライン上に電流が流れる



(A点, B点, C点の電位が変動する)

(e) 信号を取り出している



〔メ モ〕

第7章 リアルタイム・パルス・ユニット

リアルタイム・パルス・ユニット (RPU) は、パルス間隔や周波数の計測および、プログラマブルなパルス (6チャンネルPWM制御信号) の出力を容易に行うことができるユニットです。

RPUは、5つの16ビット・タイマ (タイマ0-タイマ4) で構成されています。タイマの1つは、10ビット・デッド・タイム・タイマを備えており、インバータ制御に最適です。また、ソフトウェア、外部割り込みによる出力オフ機能も備えています。

各タイマには次のような特徴があります。

- ・タイマ0TO00-TO05出力端子のPWM周期を制御するほか、汎用のインターバル・タイマとして動作します。タイマ0には次に示す5つの動作モードがあります。

- ・汎用インターバル・タイマ・モード
- ・PWMモード0 (対称三角波)
- ・PWMモード0 (非対称三角波)
- ・PWMモード0 (のこぎり波)
- ・PWMモード1

- ・タイマ1汎用インターバル・タイマとして動作します。
- ・タイマ2, タイマ3入力信号のノイズを除去するプログラマブル入力サンプリング回路を内蔵し、キャプチャ機能を備えています。
- ・タイマ4汎用タイマまたはアップ/ダウン・カウンタとして動作します。汎用タイマのとき、TO40出力端子のPWM周期を制御することができます。タイマ4には次に示す2つの動作モードがあります。

- ・汎用タイマ・モード
- ・アップ/ダウン・カウンタ・モード (UDCモード)

7.1 RPUの構成

表7 - 1 にRPUの構成一覧を示します。

表7 - 1 RPUの構成一覧

	タイマ・レジスタ	レジスタ	コンペア・レジスタ 一致割り込み	キャプチャ・ トリガ	タイマ 出力	タイマ・クリア
タイマ0	16ビット・タイマ (TM0)	16ビット・コンペア・レジスタ (CM00)	-	-	6本	INTCM03
		" (CM01)	-			
		" (CM02)	-			
		" (CM03)	INTCM03			
タイマ1	16ビット・タイマ (TM1)	16ビット・コンペア・レジスタ (CM10)	INTCM10	-	-	INTCM10
タイマ2	16ビット・タイマ (TM2)	16ビット・キャプチャ/コンペア・レジスタ (CC20)	INTCC20	INTP3	-	INTCC20
		16ビット・キャプチャ・レジスタ (CT20)	-			
タイマ3	16ビット・タイマ (TM3)	16ビット・キャプチャ/コンペア・レジスタ (CC30)	INTCC30	INTP0	-	INTCC30
		16ビット・キャプチャ・レジスタ (CT30)	-	INTP1		
		" (CT31)	-	INTP4		
タイマ4	16ビット・タイマ (TM4)	16ビット・コンペア・レジスタ (CM40)	INTCM40	-	1本	TCLRUD
		" (CM41)	INTCM41			INTCM40

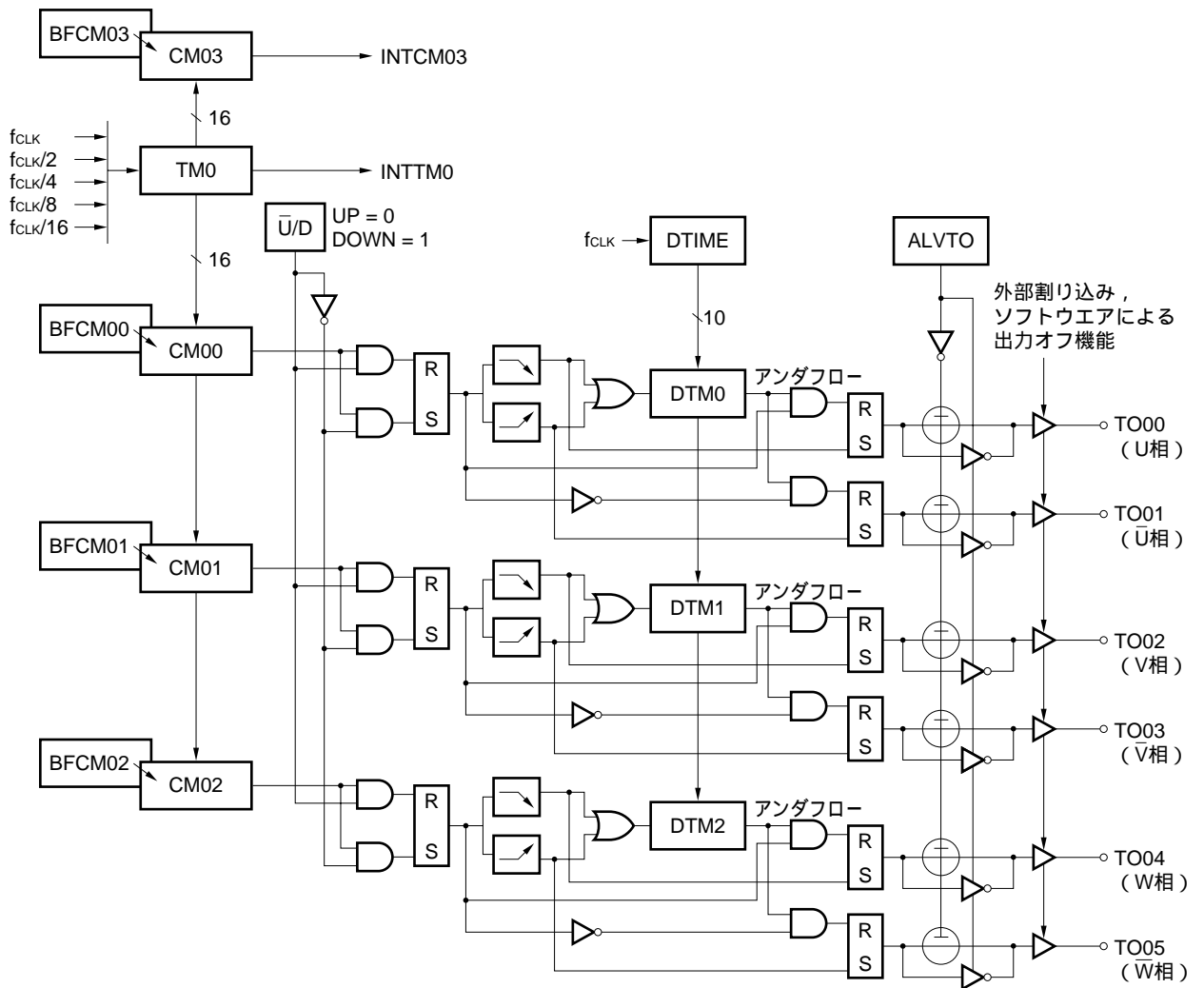
7.2 タイマ0

7.2.1 構成

タイマ0は、16ビット・タイマ0 (TM0) と16ビット・コンペア・レジスタ4本 (CM00-CM03) から構成されています。

図7 - 1 ~ 図7 - 3 にタイマ0のブロック図を示します。

図7-1 タイマ0のブロック図 (PWMモード0...対称三角波, 非対称三角波)

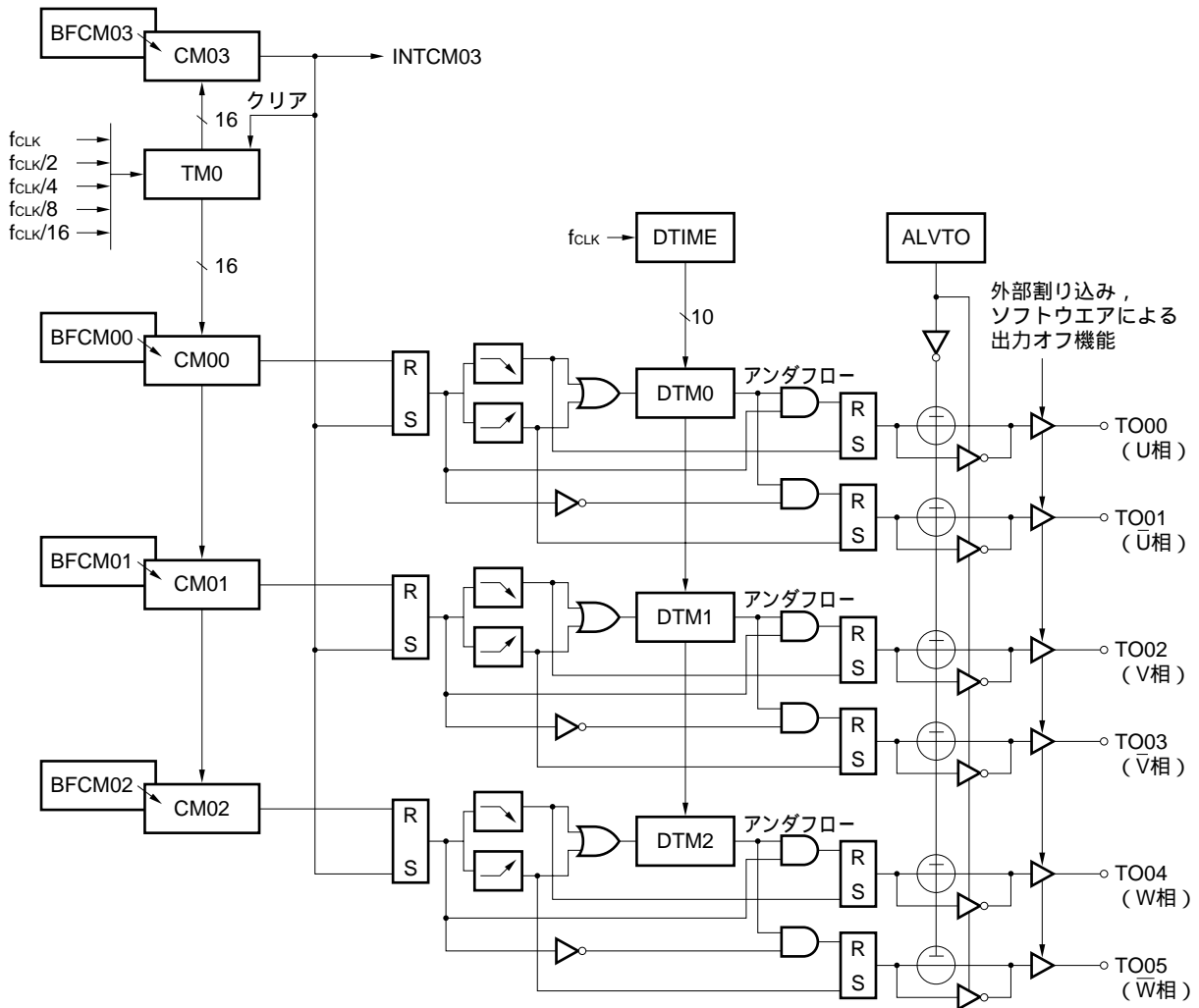


TM0 : タイマ・レジスタ
 CM00-CM03 : コンペア・レジスタ
 BFCM00-BFCM03 : バッファ・レジスタ
 DTIME : リロード・レジスタ

DTM0-DTM2 : デッド・タイム・タイマ
 ALVTO : TUM0レジスタのビット2
 \bar{U}/D : TMC0レジスタのビット3

備考 fCLK : 内部システム・クロック

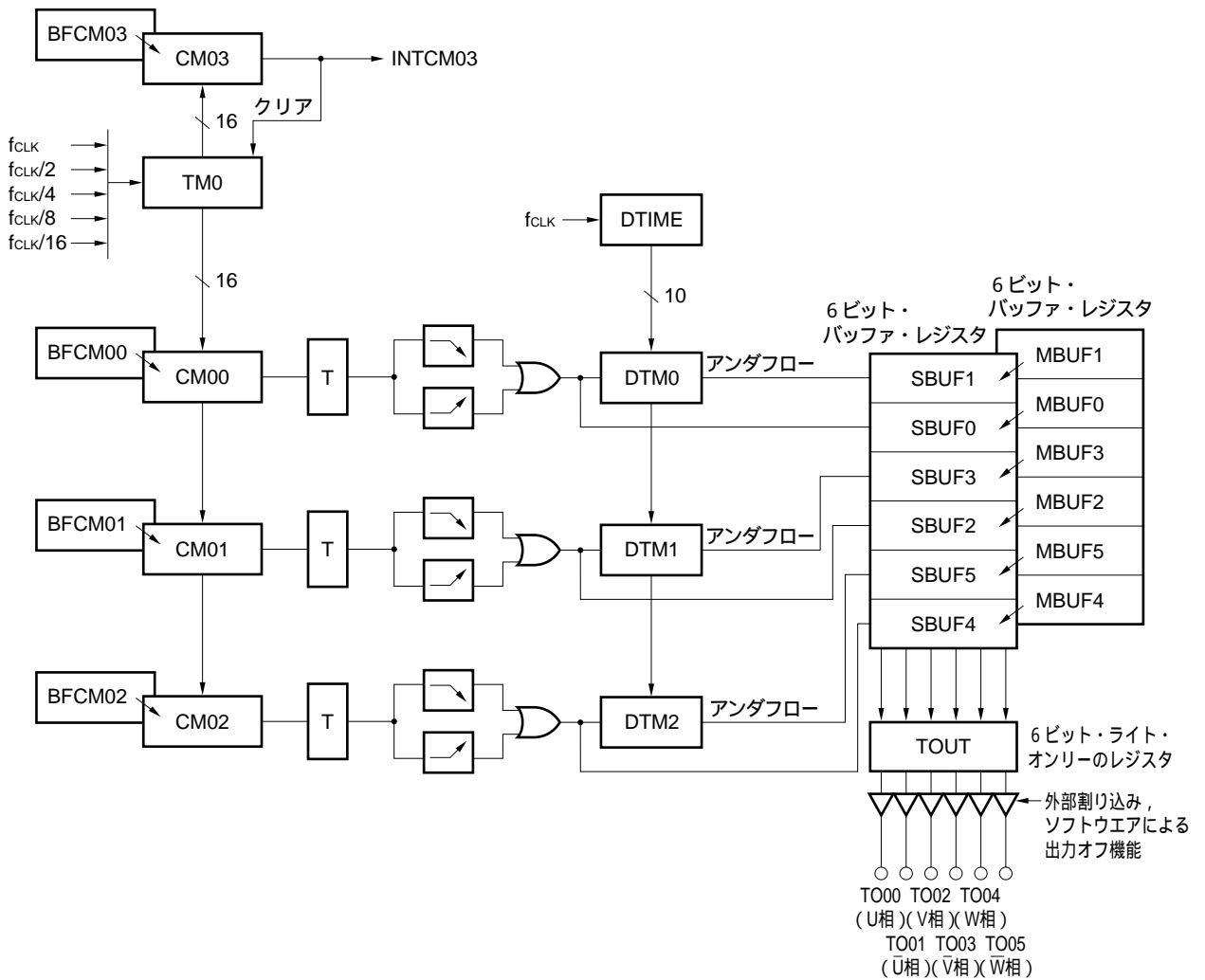
図7-2 タイマ0のブロック図 (PWMモード0...のこぎり波)



- TM0 : タイマ・レジスタ
- CM00-CM03 : コンペア・レジスタ
- BFCM00-BFCM03 : バッファ・レジスタ
- DTIME : リロード・レジスタ
- DTM0-DTM2 : デッド・タイム・タイマ
- ALVTO : TUM0レジスタのビット2

備考 fCLK : 内部システム・クロック

図7-3 タイマ0のブロック図(PWMモード1)



TM0 : タイマ・レジスタ
 CM00-CM03 : コンペア・レジスタ
 BFCM00-BFCM03 : バッファ・レジスタ
 DTIME : リロード・レジスタ
 DTM0-DTM2 : デッド・タイム・タイマ

MBUF0-MBUF5 : マスタ・バッファ・レジスタ
 SBUF0-SBUF5 : スレーブ・バッファ・レジスタ
 TOUT : タイマ・アウト・レジスタ

備考 fCLK : 内部システム・クロック

(1) 16ビット・タイマ0 (TM0)

TM0は16ビットのアップ/ダウン・タイマまたはアップ・タイマとして動作します。周期はコンペア・レジスタ (CM03) によって制御されます。

TM0には表7-2に示す5つの動作モードがあります。それぞれの動作モードは、タイマ・ユニット・モード・レジスタ0 (TUM0) により選択できます。

表7-2 タイマ0 (TM0) の動作モード

動作モード	カウント動作	タイマ・クリア	BFCM0n CM0n 転送タイミング
汎用インターバル・タイマ	アップ	INTCM03	-
PWMモード0 (対称三角波)	アップ/ダウン	-	INTTM0
PWMモード0 (非対称三角波)	アップ/ダウン	-	INTTM0 INTCM03
PWMモード0 (のこぎり波)	アップ	INTCM03	INTCM03
PWMモード1	アップ	INTCM03	INTCM03

備考 n=0-2

コンペア・レジスタ (CM03) の一致割り込み (INTCM03) により、TM0をクリアすることができます (汎用インターバル・タイマ・モード、PWMモード0 (のこぎり波)、PWMモード1の場合のみ)。

TM0は16ビット操作命令で読み出しのみ可能なレジスタです。

$\overline{\text{RESET}}$ 入力により、TM0の全ビットはクリア (0) されます。

(2) 10ビット・デッド・タイム・タイマ0-2 (DTM0-DTM2)

DTM0-DTM2は、インバータ制御に有効なデッド・タイム生成専用の10ビット・ダウン・タイマです。ワンショット・タイマとして動作します。

デッド・タイム・タイマのカウンタ許可/禁止は、タイマ・コントロール・レジスタ1 (TMC1) のCEDビットで制御します。ただし、ソフトウェアによる動作制御(スタート/ストップ)はできません。ハードウェア的にカウンタを開始し、停止します。

デッド・タイム・タイマは、CM00-CM02のコンペア一致タイミングに同期してリロード・レジスタ(DTIME)の値がリロードされ、ダウン・カウンタを開始します。

デッド・タイム・タイマ値が000H 3FFHになるとアンダフロー信号を発生し、タイマは3FFHで停止します。

また、デッド・タイム・タイマがアンダフローを発生する前に、再び対象となるコンペア・レジスタで一致が起こった場合、DTIMEの値が再びデッド・タイム・タイマにリロードされ、ダウン・カウンタを行います。

デッド・タイム・タイマのカウンタ・クロックは f_{CLK} 固定で、デッド・タイム幅は、 $(DTIME設定値 + 1) \times f_{CLK}$ になります。

デッド・タイム・タイマがカウンタ禁止の状態、TM0をPWMモード0で動作させた場合、TO00とTO01、TO02とTO03、TO04とTO05には、デッド・タイムを持たないTrue Barの信号が出力されません。

DTM0-DTM2は、読み出し/書き込みはできません(ソフトウェアで制御できません)。

\overline{RESET} 入力により、DTM0-DTM2は3FFHとなります。

(3) 10ビット・リロード・レジスタ (DTIME)

DTIMEは10ビットのデッド・タイム設定用のレジスタで、3つのデッド・タイム・タイマ(DTM0-DTM2)に対して共通です。ただし、DTIMEからDTM0-DTM2へ値をリロードするタイミングは、それぞれ独立して行われます。

DTIMEは、16ビット操作命令で読み出し/書き込みが可能です。DTIMEの下位10ビットが有効データで、上位6ビットはハードウェア上“0”固定です。

\overline{RESET} 入力により、DTIMEは不定となります。

(4) 16ビット・コンペア・レジスタ00-02 (CM00-CM02)

CM00-CM02は16ビットのレジスタで、TM0と常に比較動作を行い、一致を検出するとトリガ信号を出力し、それぞれのコンペア・レジスタに接続されているフリップ・フロップの内容を変化させます。

また、CM00-CM02は、それぞれバッファ・レジスタ (BFCM00-BFCM02) を備えており、任意のタイミングでバッファの内容をCM00-CM02に転送します。

CM00-CM02は、16ビット操作命令で読み出し/書き込みが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

書き込みは、タイマ・コントロール・レジスタ0 (TMC0) のCMWEビットの設定により、次のように行われます。

- ・ CMWE = 0 : 書き込み命令を実行すると、各コンペア・レジスタに対応するバッファ・レジスタ (BFCM00-BFCM02) の値がコンペア・レジスタに転送されます。
- ・ CMWE = 1 : 書き込み命令により、直接コンペア・レジスタに書き込むことができます。

読み出しの場合は、TMC0レジスタの設定に関係なく、直接読み出すことができます。

(5) 16ビット・コンペア・レジスタ03 (CM03)

CM03は16ビットのレジスタで、TM0と常に比較動作を行い、一致を検出すると割り込み信号 (INTCM03) を発生します。CM03は、TM0のカウント上限値を制御しており、一致すると次のカウント・クロックでTM0のアップ/ダウン切り替えまたはタイマ・クリアを行います。

また、CM03は、バッファ・レジスタ (BFCM03) を備えており、任意のタイミングでバッファの内容をCM03に転送します。転送の許可/禁止は、TMC0レジスタのB3TRビットで制御されます。

CM03は、16ビット操作命令で読み出し/書き込みが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(6) 16ビット・バッファ・レジスタCM00-CM02 (BFCM00-BFCM02)

BFCM00-BFCM02は16ビットのレジスタで、割り込み信号 (INTCM03/INTTM0) により、各バッファ・レジスタに対応したコンペア・レジスタ (CM00-CM02) にデータを転送します。

BFCM00-BFCM02は、16ビット操作命令で読み出し/書き込みが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(7) 16ビット・バッファ・レジスタCM03 (BFCM03)

BFCM03は16ビットのレジスタで、任意のタイミングでコンペア・レジスタに転送します。転送の許可/禁止は、TMC0レジスタのB3TRビットで制御されます。

(8) 6ビット・マスタ・バッファ・レジスタ0-5 (MBUF0-MBUF5)

MBUF0-MBUF5は6ビットのレジスタで、割り込み信号 (INTCM03) により、各MBUFに値を設定します。また、SBUFへのデータ転送タイミングもINTCM03で行われます。

MBUF0-MBUF5は、ビット操作命令または8ビット操作命令で、読み出し/書き込みが可能です。MBUF0-MBUF5の下位6ビットが有効データで、上位2ビットはハードウェア上“0”固定です。 $\overline{\text{RESET}}$ 入力により不定となります。

このバッファ・レジスタは、PWMモード1で使用します。

MBUF0は、汎用インターバル・タイマ・モードのRTP出力のときにも使用します。

(9) 6ビット・スレーブ・バッファ・レジスタ0-5 (SBUF0-SBUF5)

SBUF0-SBUF5は6ビットのレジスタで、CM00-CM02のコンペア値の一致による、デッド・タイムを考慮した出力タイミングに同期してTOUTレジスタにデータを出力します。MBUFの内容をSBUFに転送するタイミングはINTCM03で行われます。

SBUF0-SBUF5は、ビット操作命令または8ビット操作命令で、読み出し/書き込みが可能です。SBUF0-SBUF5の下位6ビットが有効データで、上位2ビットはハードウェア上“0”固定です。 $\overline{\text{RESET}}$ 入力により不定となります。

このバッファ・レジスタは、PWMモード1で使用します。

SBUF0は、汎用インターバル・タイマ・モードのRTP出力のときにも使用します。

(10) 6ビット・タイマ・アウト・レジスタ (TOUT)

TOUTは、8ビット操作命令で書き込みのみ可能な6ビット・レジスタです。TM0が次のモードのときのみ使用できる出力ラッチです。

汎用インターバル・タイマ・モード

PWMモード1

TM0が上記以外のモードでは、ハードウェア上書き込み不可能なので、書き込み命令を実行しても書き込めません。

TOUTのデータは、直接ポート8 (P80-P85) に出力されます。したがって、ポート8モード・レジスタ (PM8) のPM8.0-PM8.5の各ビットを“0” (出力ポート) にしてポート8を読み出すと、TOUTの出力データを読み出すことができます。また、PM8.0-PM8.5の各ビットを“1” (入力ポート) にしてポート8を読み出すと、端子状態が読み出されます。

TOUTの上位2ビットは、ハードウェア上データを保持するラッチを持っていないので不定です。ポート8を読み出した場合も同様に上位2ビットは不定となります。

注意 TOUTのデータがポート8に出力される条件は、ポート8がコントロール・モード (TO00-TO05出力) で、さらに、TM0が汎用インターバル・タイマ・モードまたはPWMモード1の場合です。それ以外の場合は、TOUTのデータはポート8に出力されませんので、TOUTの内容を読み出すことはできません。

7.2.2 制御レジスタ

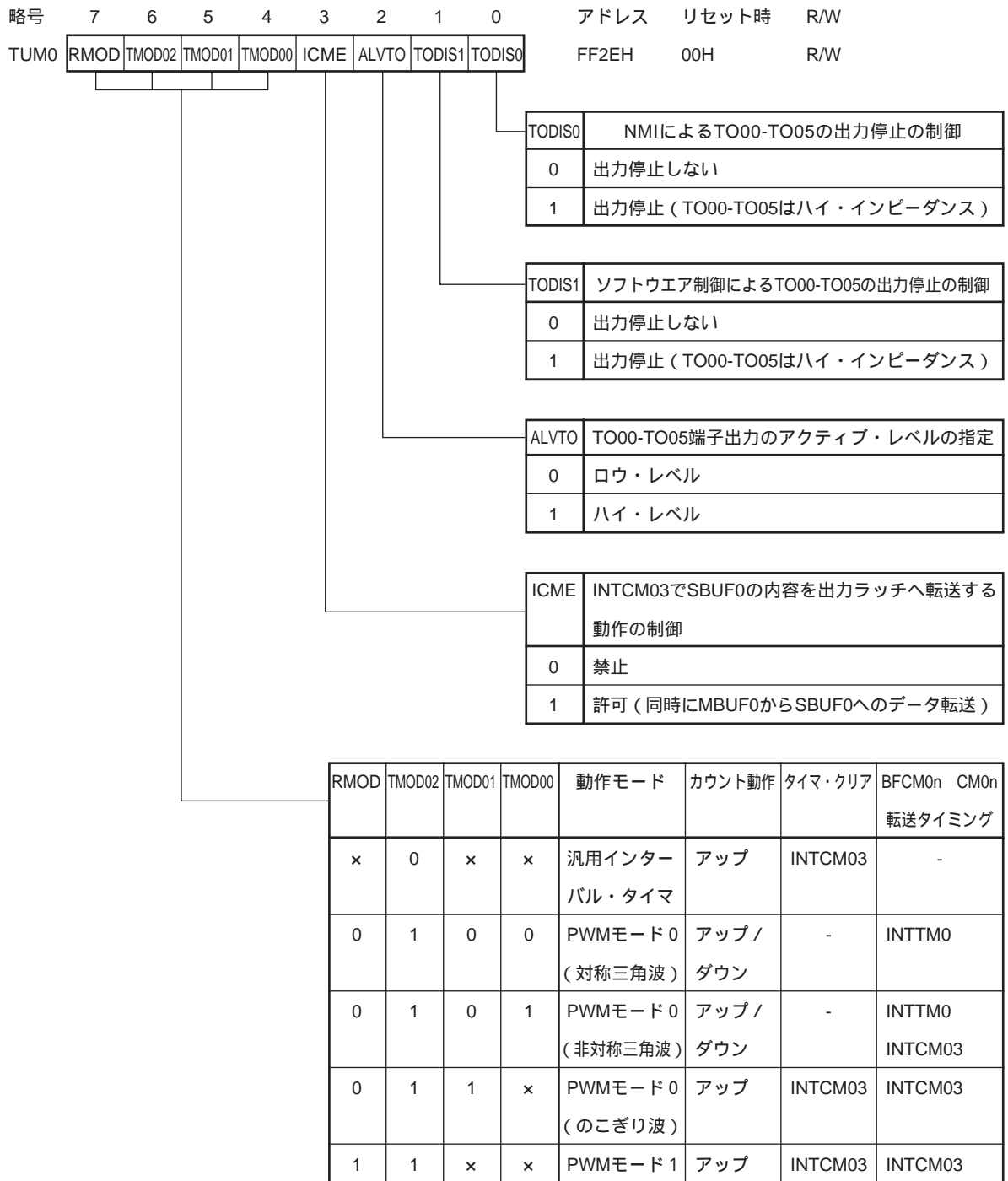
(1) タイマ・ユニット・モード・レジスタ0 (TUM0)

タイマ・ユニット・モード・レジスタ0 (TUM0) は、TM0の動作モードおよびTO00-TO05出力を制御する8ビット・レジスタです。

TUM0レジスタは、ビット操作命令または8ビット操作命令で、読み出し／書き込みが可能です。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7-4 タイマ・ユニット・モード・レジスタ0のフォーマット



- 注意1 . ALVTOビットの指定は、PMC8レジスタでコントロール・モード (TO00-TO05) に設定された端子で、さらにTM0がPWMモード0 (対称三角波, 非対称三角波, のこぎり波) のときのみ有効です。
- 2 . ICMEビットの指定は、TM0が汎用インターバル・タイマ・モード (TMOD02 = 0) のときのみ有効です。
- 3 . TM0動作中 (CE0 = 1) およびDTM0-DTM2動作中 (CED = 1) にRMOD, TMOD02-TMOD00, ALVTOビットを変更することは禁止します。

備考1 . n = 0-2

2 . x : don't care

〔出力ドライバ・オフ機能〕

μPD78366Aは、外部での異常時に出力端子 (TO00-TO05) のドライバをオフすることができます。
この機能は、次に示す2つの方法があり、TUM0レジスタのTODIS0, TODIS1ビットによって制御されます。

外部割り込み (NMI) による方法 (TODIS0 = 1)

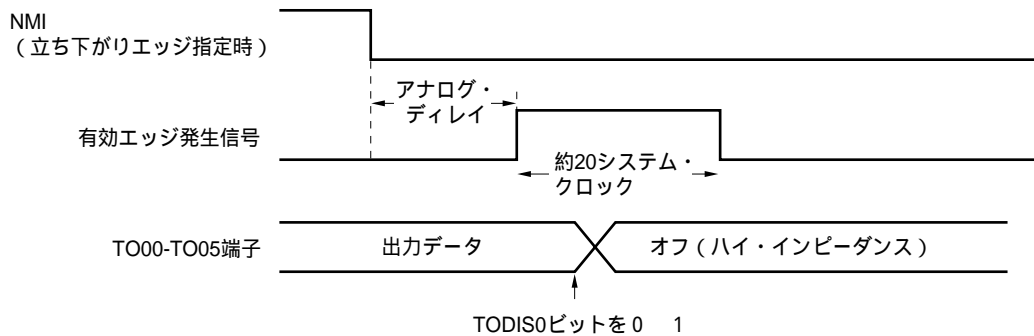
NMI端子で指定した割り込み有効エッジが発生すると、TO00-TO05端子のドライバをオフできます。

NMI端子の有効エッジは、外部割り込みモード・レジスタ0 (INTM0) で指定できます。

なお、NMI端子のエッジ検出パルスが切れても、TO00-TO05端子のドライバはオフしたままです。復帰するときは、TODIS0ビットを“1”から“0”に書き換えてください。

注意 NMIの有効エッジ発生後、約20システム・クロックの間、有効エッジ発生信号が保持されます。この期間にTODIS0ビットを“0”から“1”に変更した場合、すでに発生しているNMIでTO00-TO05端子はオフします。

TODIS0ビットの操作は、システムの初期設定以外では、NMIルーチン内で行うことを推奨します。

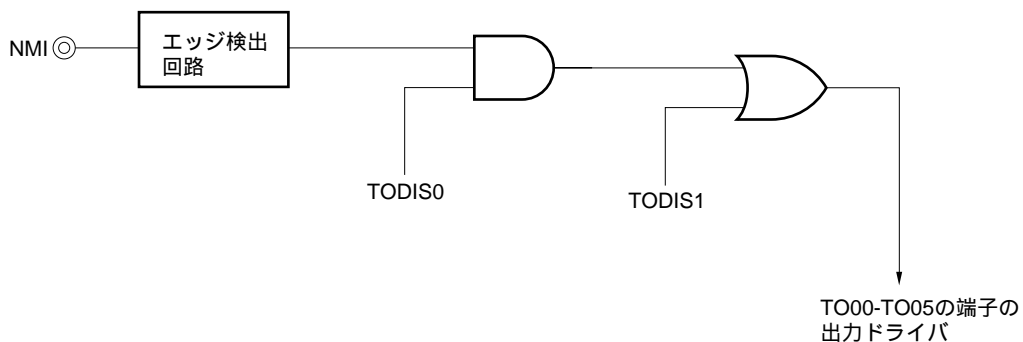


備考 有効エッジ発生信号が“1”から“0”に変化したあと、NMIルーチンへ分岐します。

ソフトウェア制御による方法 (TODIS1 = 1)

NMI端子に関係なく、ソフトウェア制御でTO00-TO05端子のドライバをオフできます。

図7-5 出力ドライバ・オフ機能の構成



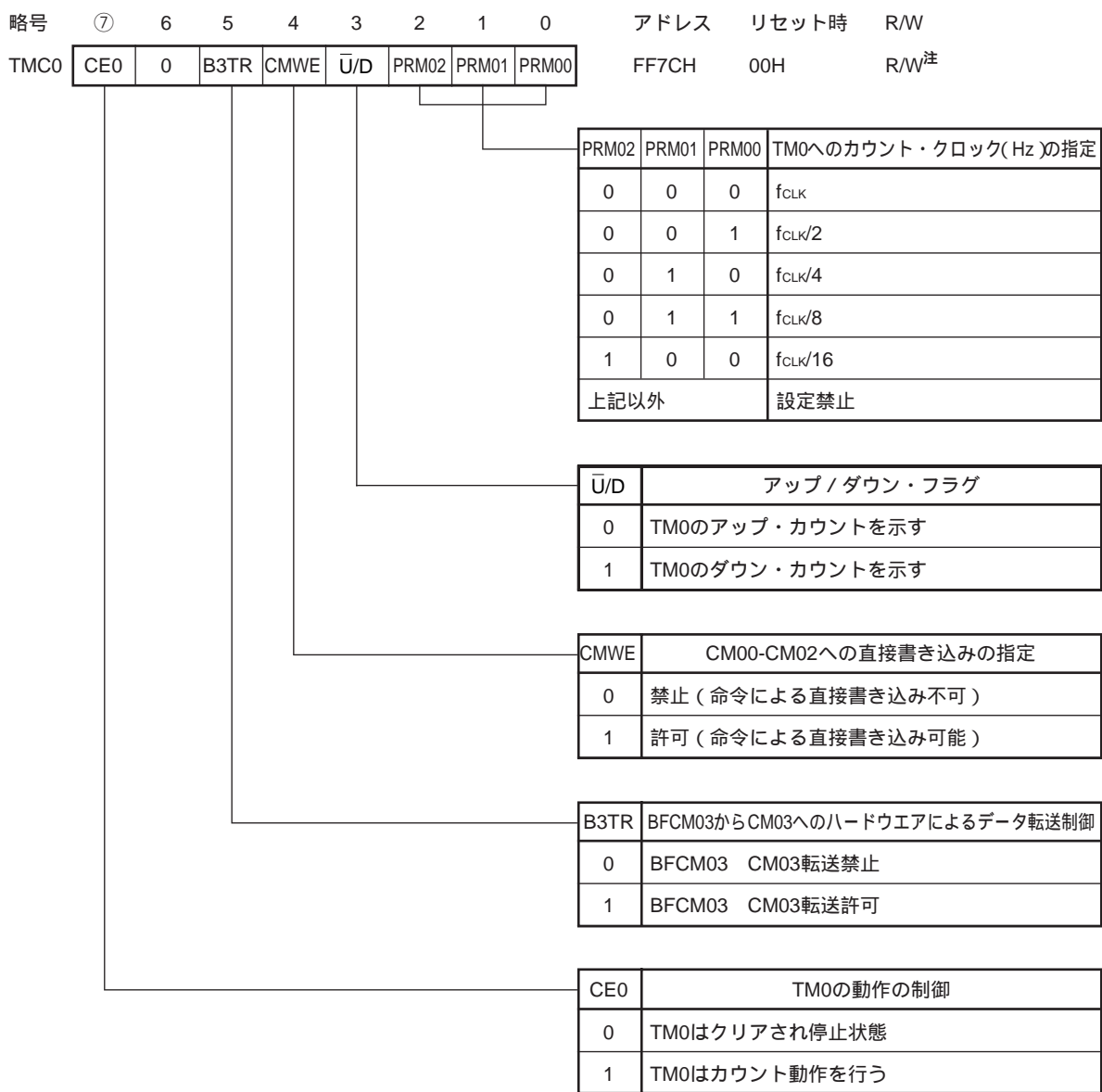
(2) タイマ・コントロール・レジスタ0 (TMC0)

タイマ・コントロール・レジスタ0 (TMC0) は、TM0およびCM00-CM03の動作を制御する8ビット・レジスタです。

TMC0レジスタは、ビット操作命令または8ビット操作命令で、読み出し / 書き込みが可能です。

RESET 入力により00Hになります。

図7-6 タイマ・コントロール・レジスタ0のフォーマット



注 U/Dビットは読み出しのみ可能です。

備考 f_{CLK} : 内部システム・クロック

- 注意1 . TMC0レジスタのビット6は、ハ - ドウエア上“ 0 ”固定です。“ 1 ”を書き込んでも“ 0 ”のまま変化しません。
- 2 . TM0動作中 (CE0 = 1) にB3TR, PRM02-PRM00ビットを変更することは禁止します。
- 3 . CE0 = 0 (TM0停止) にすると, \bar{U}/D フラグはクリア (0) されます。

表7 - 3 BFCM03 CM03転送タイミング

B3TR	TM0の動作モード	BFCM03 CM03転送タイミング
0	すべてのモード	転送しない
1	汎用インターバル・タイマ	転送しない
	PWMモード0 (対称三角波)	INTTM0
	PWMモード0 (非対称三角波)	INTTM0
	PWMモード0 (のこぎり波)	INTCM03
	PWMモード1	INTCM03

注意 CM03は直接読み出し/書き込み可能です。

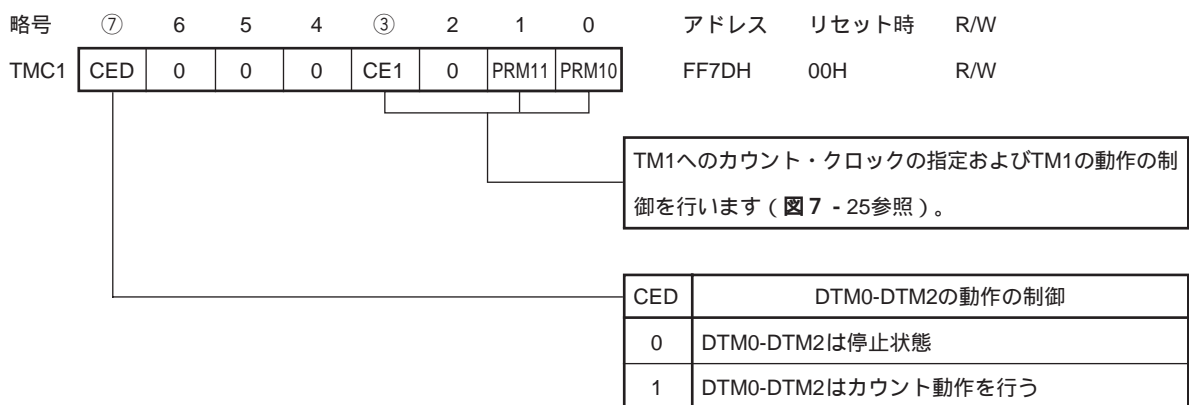
(3) タイマ・コントロール・レジスタ1 (TMC1)

タイマ・コントロール・レジスタ1 (TMC1) は, TM1およびDTM0-DTM2の動作を制御する8ビット・レジスタです。

TMC1レジスタは, ビット操作命令または8ビット操作命令で, 読み出し / 書き込みが可能です。

RESET 入力により00Hになります。

図7-7 タイマ・コントロール・レジスタ1のフォーマット



- 注意1 . CEDビットは, 3つのデッド・タイム・タイマ (DTM0-DTM2) に対して共通に制御します。
- 2 . TMC1レジスタのビット6-4, 2は, ハードウェア上 “ 0 ” 固定です。 “ 1 ” を書き込んでも “ 0 ” のまま変化しません。
- 3 . TM0動作中 (CE0 = 1) にCEDビットを変更することは禁止します。

CED = 0 (デッド・タイム・タイマ停止状態) で, TM0をPWMモード0で動作させる場合, TO00とTO01, TO02とTO03, TO04とTO05は, デッド・タイムを持たないTrue Bar信号が出力されます。

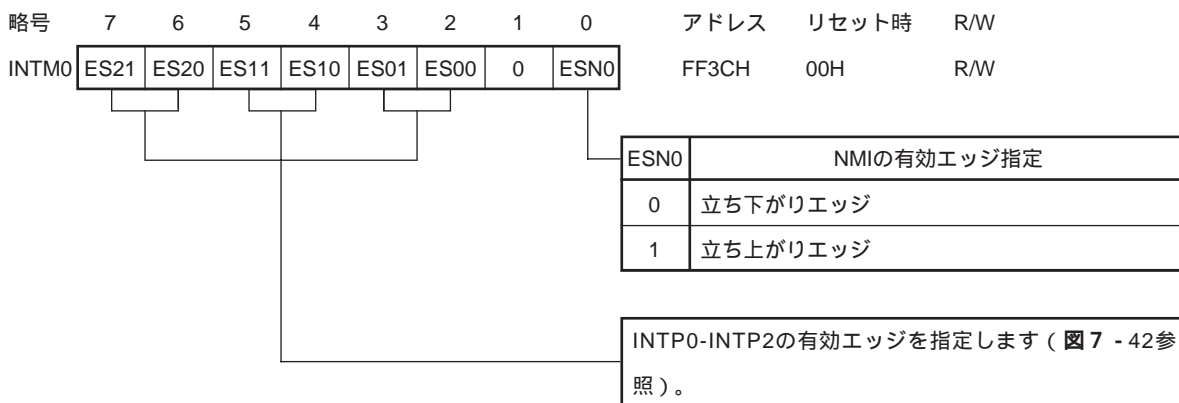
(4) 外部割り込みモード・レジスタ0 (INTM0)

外部割り込みモード・レジスタ0 (INTM0) は、NMIおよびINTP0-INTP2の有効エッジを指定する8ビット・レジスタです。

INTM0レジスタは、ビット操作命令または8ビット操作命令で、読み出し/書き込みが可能です。

RESET 入力により00Hになります。

図7-8 外部割り込みモード・レジスタ0のフォーマット



注意 INTM0レジスタのビット1は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。

7.2.3 動作

(1) 基本動作

タイマ0 (TM0) は、16ビットのインターバル・タイマで、アップ/ダウン・タイマまたはアップ・タイマとして動作します。周期はコンペア・レジスタ (CM03) によって制御されます。

$\overline{\text{RESET}}$ 入力により、TM0の全ビットはクリア (0) され、カウント動作は停止します。

カウント動作の許可/禁止は、タイマ・コントロール・レジスタ0 (TMC0) のCE0ビットで制御します。CE0ビットをソフトウェアによりセット (1) すると、カウント動作を開始し、リセット (0) すると、TM0はクリアされカウント動作を停止します。

あらかじめ設定されたコンペア・レジスタ (CM03) の値とTM0のカウント値が一致すると、一致割り込み (INTCM03) を発生し、TM0はクリアされます。

TM0へのカウント・クロックは、TMC0レジスタにより、5種類の内部クロックから選択できます。

TM0をアップ/ダウン・タイマに設定した場合、ダウン動作でTM0 = 0000Hになったときにアンダフロー割り込み (INTTM0) が発生します。

TM0には次に示す5つの動作モードがあり、タイマ・ユニット・モード・レジスタ (TUM0) により設定します。

- ・汎用インターバル・タイマ
- ・PWMモード0
 - 三角波変調 (左右対称三角波制御)
 - 三角波変調 (左右非対称三角波制御)
 - のこぎり波変調制御
- ・PWMモード1

表7-4 タイマ0 (TM0) の動作モード

TUM0レジスタ				動作モード	カウント動作	タイマ・クリア	BFCM0n CM0n 転送タイミング
RMOD	TMOD02	TMOD01	TMOD00				
x	0	x	x	汎用インターバル・タイマ	アップ	INTCM03	-
0	1	0	0	PWMモード0 (対称三角波)	アップ/ダウン	-	INTTM0
0	1	0	1	PWMモード0 (非対称三角波)	アップ/ダウン	-	INTTM0 INTCM03
0	1	1	x	PWMモード0 (のこぎり波)	アップ	INTCM03	INTCM03
1	1	x	x	PWMモード1	アップ	INTCM03	INTCM03

備考1 . n = 0-2

2 . x : don't care

次に各動作モードについて説明します。

(2) 汎用インターバル・タイマ・モード

TM0を汎用インターバル・タイマ・モードに設定した場合、TM0とCM03は常に比較動作を行い、一致を検出すると、割り込み信号（INTCM03）を発生します。コンペア一致したことをハードウェアで保持し、一致の次のカウント・クロックでTM0をクリア（0000H）します。さらに、次のカウント・クロックが入るとTM0は0001Hにカウント・アップされます。

$$\text{インターバル周期} = (\text{CM03の値} + 1) \times \text{TM0のカウント・クロック・レート}$$

また、このモードに設定すると、TO00-TO05端子をリアルタイム出力ポート（RTP）として動作させることができます。

【設定手順】

P80-P85端子をポート8モード・コントロール・レジスタ（PMC8）によりコントロール・モード（TO00-TO05出力）に設定します（PMC80-PMC85 = 1）。

TUM0レジスタのTMOD02ビットを“0”に設定し、汎用インターバル・タイマ・モードにします。さらに、ICMEビットに“1”を設定して、RTP出力動作を許可します。

異常時にTO00-TO05端子出力を停止したい場合は、TODIS1, TODIS0ビットも設定してください。

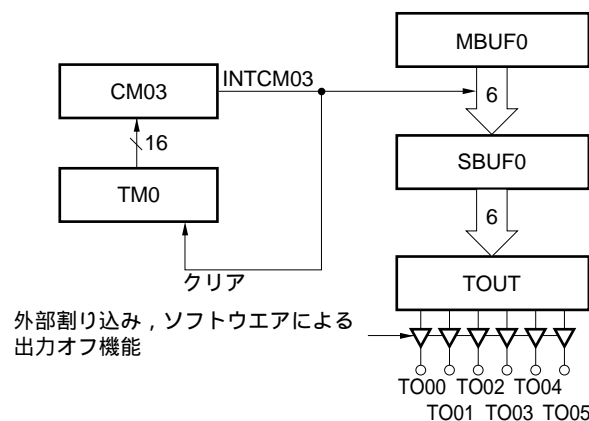
TMC0レジスタのPRM02-PRM00ビットでTM0のカウント・クロックを指定します。

TMC0レジスタのCE0ビットをセット（1）するとTM0がカウント・スタートし、TO00-TO05端子からRTP出力されます。

【動作】

INTCM03により、MBUF0に設定したデータがSBUF0を通過してTOUTに転送されます。TOUTのデータは、TO00-TO05端子にそのまま出力されます。したがって、出力パターンはMBUF0に設定します。

図7 - 9 TO00-TO05端子のRTP出力機能ブロック図



注意 CM03 = 0000H設定は禁止します。

(3) PWMモード0...三角波変調(左右対称波形制御)

【設定手順】

- (a) P80-P85端子をポート8モード・コントロール・レジスタ(PMC8)によりコントロール・モード(TO00-TO05出力)に設定します(PMC80-PMC85ビット=1)。
- (b) TUM0レジスタのRMOD, TMOD00-TMOD02ビットでPWMモード0(対称三角波)に設定します。また, 同レジスタのALVTOビットでTO00-TO05端子のアクティブ・レベルを設定します。
- (c) TMC0レジスタのPRM02-PRM00ビットでTM0のカウント・クロックを設定し, CMWEビットでCM00-CM02への書き込み操作を設定します。さらに, B3TRビットでBFCM03からCM03への転送動作を設定します。
- (d) 初期値を設定します。
- (i) CM03に第1PWM周期の半周期幅を設定します。
- ・PWM周期 = $CM03値 \times 2 \times TM0のクロック \cdot レート$
(TM0のクロック・レートはTMC0レジスタで設定します)
- (ii) BFCM03に第2PWM周期の半周期幅を設定します。
- (TMC0レジスタのB3TR = 0のときはBFCM03を使用しないので設定不要)
- (iii) DTIMEにデッド・タイム幅を設定します。
- ・デッド・タイム幅 = $(DTIME + 1) \times T_{CLK}$
 T_{CLK} : システム・クロック・レート
- (iv) CM00-CM02に第1周期で使うF/Fのセット/リセット・タイミングを設定します。
- ・TMC0レジスタのCMWE = 0 CM00-CM02への直接書き込み不可
CM00-CM02への書き込み命令を実行すると, BFCM00-BFCM02のデータがCM00-CM02に転送されます。次の手順で設定してください。
第1周期で使うCM00-CM02の値をBFCM00-BFCM02へ書き込みます。
CM00-CM02への書き込み命令を実行すると, で設定したBFCM00-BFCM02の値がCM00-CM02へ転送されます。
 - ・TMC0レジスタのCMWE = 1 CM00-CM02への直接書き込み可能
- (v) BFCM00-BFCM02に第2周期で使うF/Fのセット/リセット・タイミングを設定します。

(e) TMC1レジスタのCEDビットをセット (1) してデッド・タイム・タイマ動作を許可します。なお、デッド・タイムをとりたくない場合はCED = 0にしてください。

(f) TMC0レジスタのCE0ビットをセット (1) するとTM0がカウント・スタートし、TO00-TO05端子から 6 チャンネルPWM信号が出力します。

動作中、CM00-CM02への命令による直接書き込みを行わない場合は、TMC0レジスタのCMWEビットをリセット (0) してからタイマ・スタートさせてください。

注意 CM03 = 0000H設定は禁止します。

〔動作〕

このモードでは、TM0はアップ/ダウン・カウント動作を行い、ダウン・カウント動作中にTM0 = 0000Hになるとアンダフロー割り込み (INTTM0) を発生します。

アップ/ダウン切り替えは、TM0とCM03の一致 (INTCM03) で、ダウン/アップ切り替えはINTTM0で行われます。

このモードのPWM周期は、(CM03値 × 2 × TM0のクロック・レート) です。CM03へのデータ設定方法は、TMC0レジスタのB3TRビットの設定により、次のように異なります。

- ・ B3TR = 0 : BFCM03からCM03への転送は行われません。INTTM0で起動するソフトウェア処理で演算を行い、CM03に直接、周期データを設定してください。
- ・ B3TR = 1 : INTTM0により、ハードウェアで自動的にBFCM03のデータがCM03に転送されます。さらにINTTM0で起動するソフトウェア処理で演算を行い、次周期のデータをBFCM03に設定します。

次にPWMデューティ幅を制御するCM00-CM02へのデータ設定について説明します。

CM00-CM02へのデータ設定は、INTTM0により、ハードウェアで自動的にBFCM00-BFCM02の値がCM00-CM02に転送されます。さらに、ソフトウェア処理を起動して演算を行い、次周期のF/Fのセット/リセット・タイミングをBFCM00-BFCM02に設定します。

CM00-CM02は、TMC0レジスタのCMWE = 0のときには、直接書き込みができません。CMWE = 1にすると直接書き込みができます。ただし、INTTM0によるBFCM00-BFCM02からCM00-CM02へのデータ転送はCMWEビットの設定にかかわらず行われます。

以上のようにして、PWM周期、PWMデューティ幅を設定します。

CM00-CM02の一致で変化するF/Fのセット/リセット条件は、次のとおりです。

- ・ セット : TM0がアップ・カウント時にCM00-CM02が一致検出
- ・ リセット : TM0がダウン・カウント時にCM00-CM02が一致検出

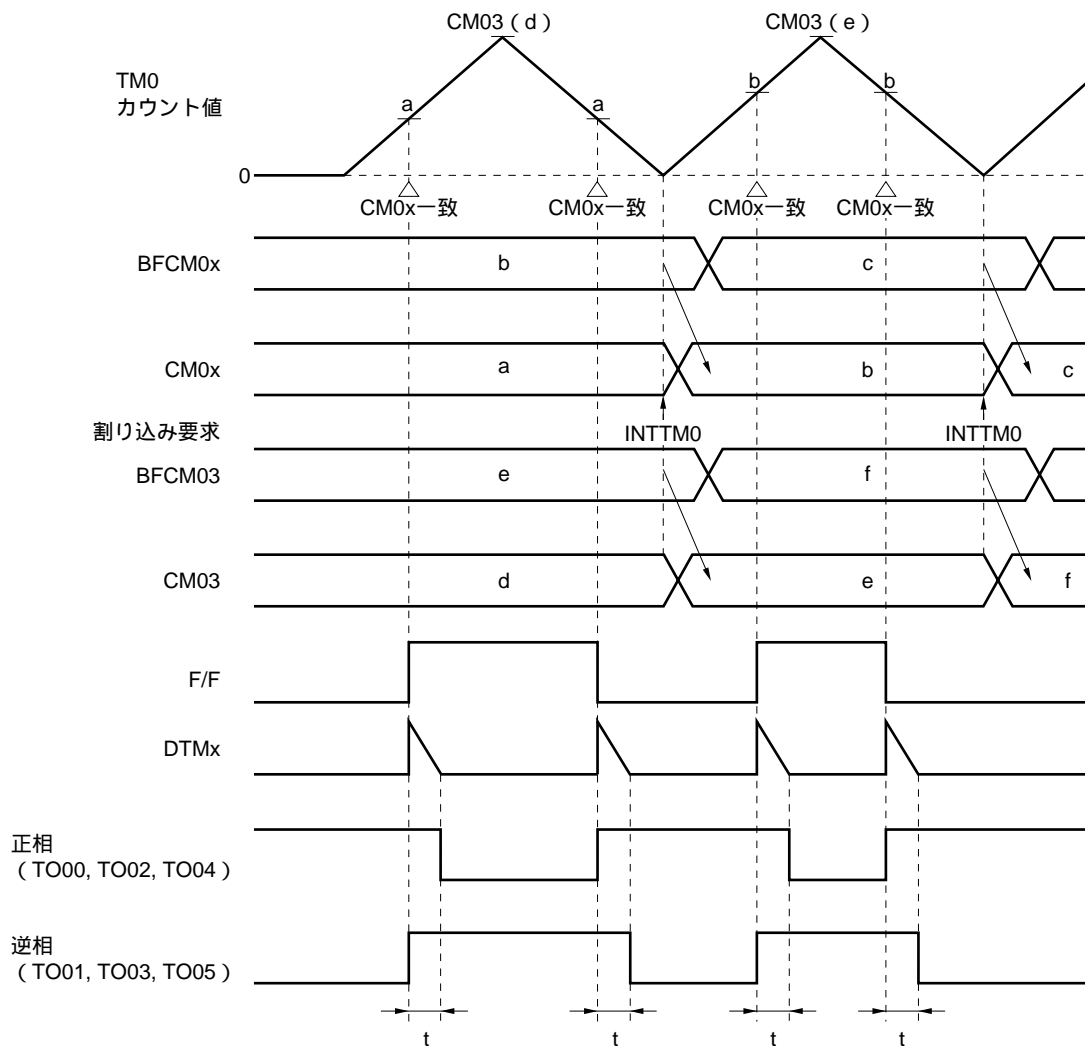
このモードでは、F/Fのセット/リセット・タイミングが同一タイミング (左右対称制御) で行われます。

F/Fのセット/リセット・タイミングに同期して、DTIMEの値が対応するデッド・タイム・タイム (DTM0-DTM2) にロードされ、ダウン・カウントを開始します。DTM0-DTM2は、000Hまでカウントして、000H ~ 3FFHで停止します。

DTM0-DTM2は、正相 (TO00, TO02, TO04) と逆相 (TO01, TO03, TO05) のアクティブ・レベルが重ならない幅 (デッド・タイム) を容易に自動生成することができます。

このように、初期設定以降は、PWM周期 (1周期) に1回発生する割り込み (INTTM0) でソフトウェア処理を起動し、次周期で使用するPWM周期およびPWMデューティ幅を設定することによって、TO00-TO05端子に自動的にデッド・タイム幅を考慮したPWM波形を出力することができます。

図7-10 PWMモード0 (対称三角波) の動作タイミング



備考1 . 上記は、TMC0レジスタのB3TR = 1で、BFCM03からCM03への転送動作を許可した場合のタイミング図です。B3TR = 0の場合は、転送は行われず、CM03に直接書き込んでTM0のアップ/ダウン周期を設定します。

2 . x = 0-2

3 . t: デッド・タイム = (DTIME + 1) × T_{CLK} (T_{CLK}: システム・クロック・レート)

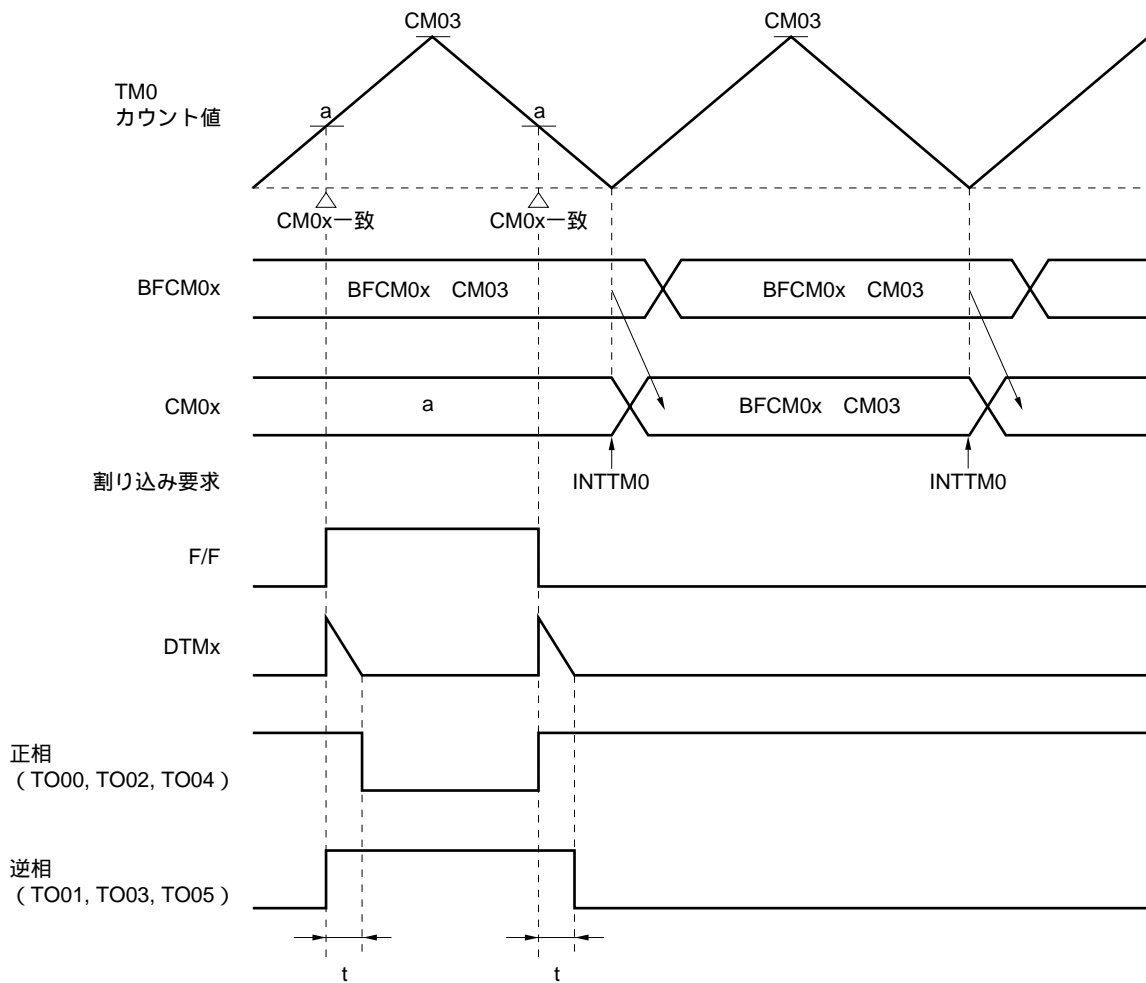
4 . デッド・タイムをとりたくない場合は、TMC1レジスタのCEDビットを0にしてください。

5 . 上図はアクティブ・ロウです。

次に、CM00-CM02 (BFCM00-BFCM02) の設定値にかかわる動作タイミング例を示します。

(a) CM0x (BFCM0x) CM03を設定した場合

図7-11 PWMモード0 (対称三角波, BFCM0x CM03) の動作タイミング



備考1 . x = 0-2

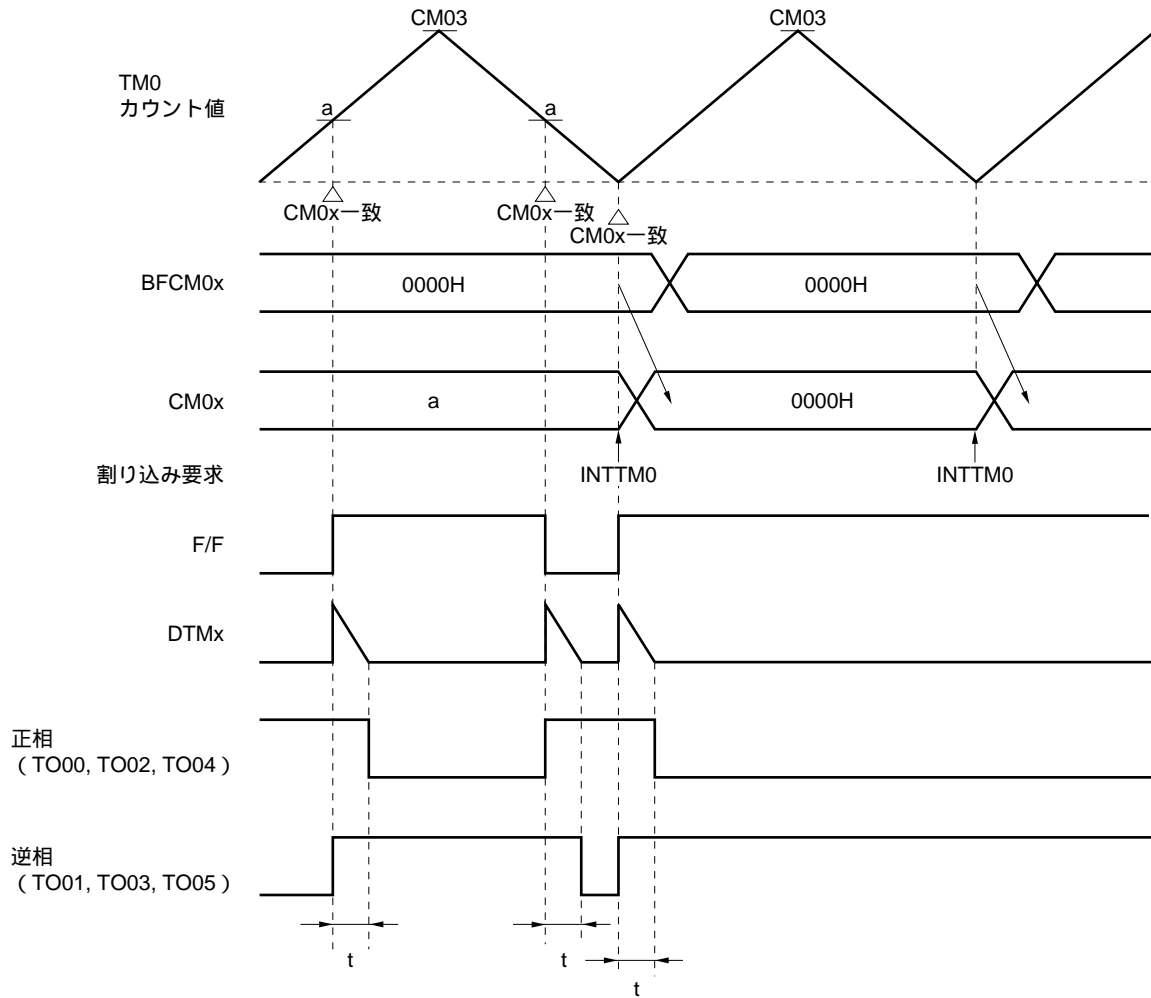
- 2 . t : デッド・タイム = (DTIME + 1) × T_{CLK} (T_{CLK} : システム・クロック・レート)
- 3 . 上図はアクティブ・ロウです。

BFCM0xにCM03より大きい値を設定した場合、正相側 (TO00, TO02, TO04端子) はハイ・レベルを出力し、逆相側 (TO01, TO03, TO05端子) はロウ・レベルを出力し続けます。インバータ制御などにおいて、PWM周期を越えるロウ幅、ハイ幅を出力したい場合にこの設定は有効です。また、CM0x = CM03を設定した場合、TM0とCM0xの一致は、TM0のダウン・カウント時に検出されますので、F/Fはリセットされたままで、セットされることはありません。

以上の説明はアクティブ・ロウの場合です。アクティブ・ハイの場合、正相、逆相のレベルが逆になるだけで、それ以外の動作は同じです。

(b) CM0x (BFCM0x) = 0000Hを設定した場合

図7-12 PWMモード0 (対称三角波, BFCM0x = 0000H) の動作タイミング



備考1 . x = 0-2

2 . t: デッド・タイム = (DTIME + 1) × T_{CLK} (T_{CLK}: システム・クロック・レート)

3 . 上図はアクティブ・ロウです。

TM0 = CM0x = 0000Hの一致検出は、TM0のアップ・カウント時に検出されますので、F/Fはセットされるだけで、リセットはされません。設定値が0000Hの場合も0000H以外の値と同様にBFCM0xからCM0xへ転送された周期でF/Fを変化させます。

(4) PWMモード0...三角波変調(左右非対称波形制御)

【設定手順】

- (a) P80-P85端子をポート8モード・コントロール・レジスタ(PMC8)によりコントロール・モード(TO00-TO05出力)に設定します(PMC80-PMC85ビット=1)。
- (b) TUM0レジスタのRMOD, TMOD00-TMOD02ビットでPWMモード0(非対称三角波)に設定します。また, 同レジスタのALVTOビットでTO00-TO05端子のアクティブ・レベルを設定します。
- (c) TMC0レジスタのPRM02-PRM00ビットでTM0のカウント・クロックを設定し, CMWEビットでCM00-CM02への書き込み操作を設定します。さらに, B3TRビットでBFCM03からCM03への転送動作を設定します。
- (d) 初期値を設定します。
- (i) CM03に第1 PWM周期の半周期幅を設定します。
・PWM周期 = CM03値 × 2 × TM0のクロック・レート
(TM0のクロック・レートはTMC0レジスタで設定します)
- (ii) BFCM03に第2 PWM周期の半周期幅を設定します。
(TMC0レジスタのB3TR = 0のときはBFCM03を使用しないので設定不要)
- (iii) DTIMEにデッド・タイム幅を設定します。
・デッド・タイム幅 = (DTIME + 1) × T_{CLK}
T_{CLK}: システム・クロック・レート
- (iv) CM00-CM02に第1周期で使うF/Fのセット・タイミングを設定します。
- ・TMC0レジスタのCMWE = 0 CM00-CM02への直接書き込み不可
CM00-CM02への書き込み命令を実行すると, BFCM00-BFCM02のデータがCM00-CM02に転送されます。次の手順で設定してください。
第1周期で使うCM00-CM02の値をBFCM00-BFCM02へ書き込みます。
CM00-CM02への書き込み命令を実行すると, で設定したBFCM00-BFCM02の値がCM00-CM02へ転送されます。
- ・TMC0レジスタのCMWE = 1 CM00-CM02への直接書き込み可能
- (v) BFCM00-BFCM02に第1周期で使うF/Fのリセット・タイミングを設定します。

(e) TMC1レジスタのCEDビットをセット (1) してデッド・タイム・タイマ動作を許可します。なお、デッド・タイムをとりたくない場合はCED = 0にしてください。

(f) TMC0レジスタのCE0ビットをセット (1) するとTM0がカウント・スタートし、TO00-TO05端子から 6 チャンネルPWM信号が出力します。

動作中、CM00-CM02への命令による直接書き込みを行わない場合は、TMC0レジスタのCMWEビットをリセット (0) してからタイマ・スタートさせてください。

注意 CM03 = 0000H設定は禁止します。

〔動作〕

このモードでは、TM0はアップ/ダウン・カウント動作を行い、ダウン・カウント動作中にTM0 = 0000Hになるとアンダフロー割り込み (INTTM0) を発生します。

アップ/ダウン切り替えは、TM0とCM03の一致 (INTCM03) で、ダウン/アップ切り替えはINTTM0で行われます。

このモードのPWM周期は、(CM03値 × 2 × TM0のクロック・レート) です。CM03へのデータ設定方法は、TMC0レジスタのB3TRビットの設定により、次のように異なります。

- ・ B3TR = 0 : BFCM03からCM03への転送は行われません。INTTM0で起動するソフトウェア処理で演算を行い、CM03に直接、周期データを設定してください。
- ・ B3TR = 1 : INTTM0により、ハードウェアで自動的にBFCM03のデータがCM03に転送されます。さらにINTTM0で起動するソフトウェア処理で演算を行い、次周期のデータをBFCM03に設定します。

次にPWMデューティ幅を制御するCM00-CM02へのデータ設定について説明します。

CM00-CM02へのデータ設定は、INTTM0とINTCM03 (TM0とCM03の一致割り込み) により、ハードウェアで自動的にBFCM00-BFCM02の値がCM00-CM02に転送されます。さらにソフトウェア処理を起動して演算を行い、半周期後のF/Fのセット/リセット・タイミングをBFCM00-BFCM02に設定します。

CM00-CM02は、TMC0レジスタのCMWE = 0のときには、直接書き込みができません。CMWE = 1にすると直接書き込みができます。ただし、INTTM0とINTCM03によるBFCM00-BFCM02からCM00-CM02へのデータ転送はCMWEビットの設定にかかわらず行われます。

以上のようにして、PWM周期、PWMデューティ幅を設定します。

CM00-CM02の一致で変化するF/Fのセット/リセット条件は、次のとおりです。

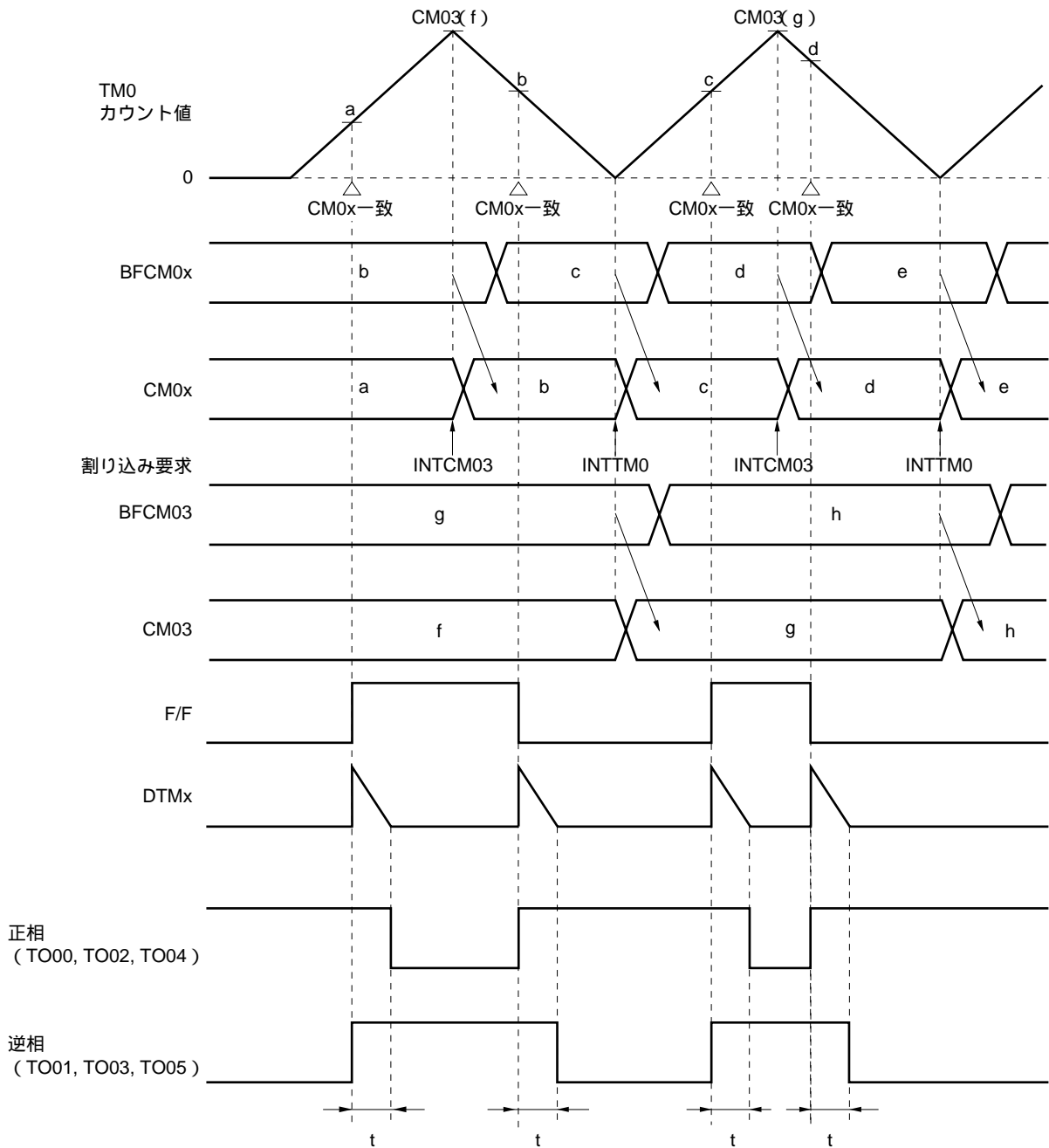
- ・ セット : TM0がアップ・カウント時にCM00-CM02が一致検出
- ・ リセット : TM0がダウン・カウント時にCM00-CM02が一致検出

F/Fのセット/リセット・タイミングに同期して、DTIMEの値が対応するデッド・タイム・タイマ (DTM0-DTM2) にロードされダウン・カウントを開始します。DTM0-DTM2は、000Hまでカウントして、000H ~ 3FFHで停止します。

DTM0-DTM2は、正相 (TO00, TO02, TO04) と逆相 (TO01, TO03, TO05) のアクティブ・レベルが重ならない幅 (デッド・タイム) を容易に自動生成することができます。

このように、初期設定以降は、PWM周期 (1周期) に2回発生する割り込み (INTTM0とINTCM03) でソフトウェア処理を起動し、半周期後に使用するPWM周期およびPWMデューティ幅を設定することによって、TO00-TO05端子に自動的にデッド・タイム幅を考慮したPWM波形を出力することができます。

図7-13 PWMモード0（非対称三角波）の動作タイミング



備考1．上記は、TMC0レジスタのB3TR = 1で、BFCM03からCM03への転送動作を許可した場合のタイミング図です。B3TR = 0の場合は、転送は行われず、CM03に直接書き込んでTMOのアップ/ダウン周期を設定します。

2．x = 0-2

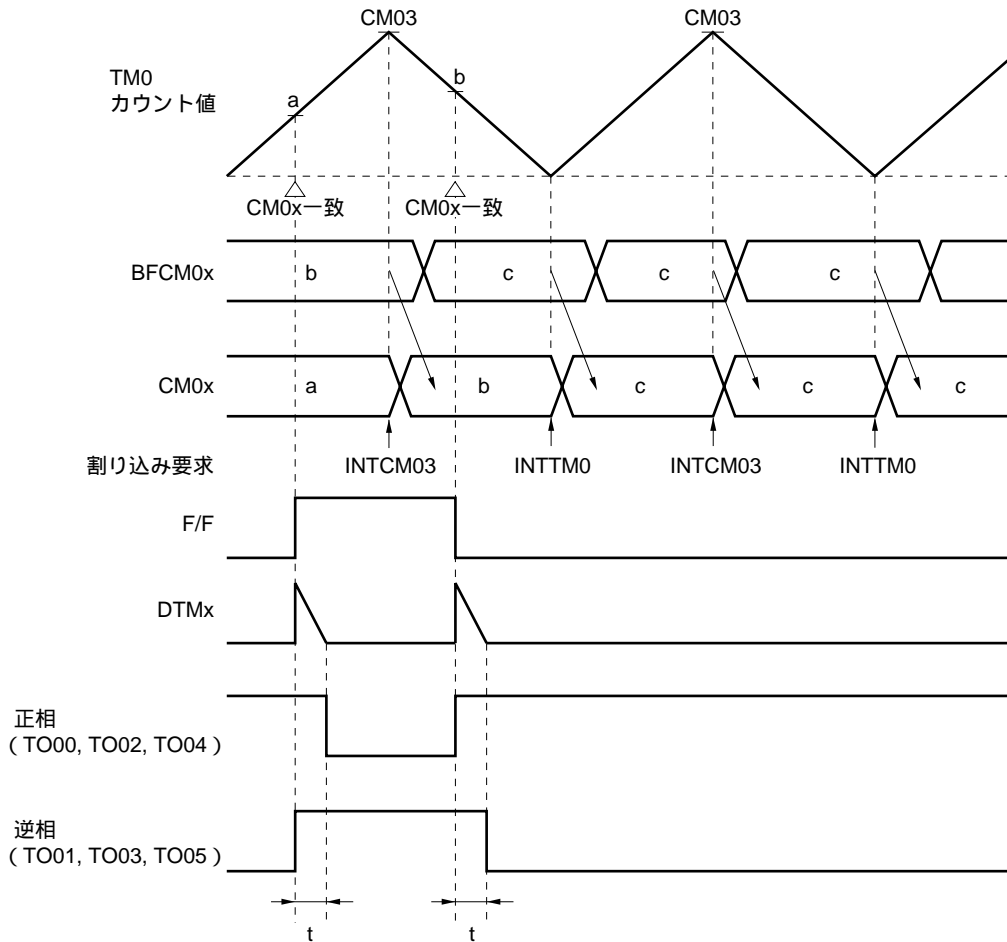
3．t: デッド・タイム = (DTIME + 1) × T_{CLK} (T_{CLK}: システム・クロック・レート)

4．デッド・タイムをとりたくない場合は、TMC1レジスタのCEDビットを0にしてください。

5．上図はアクティブ・ロウです。

(a) INTCM03で起動するソフトウェア処理で、BFCM0x CM03を設定した場合

図7-14 PWMモード0（非対称三角波、BFCM0x CM03）の動作タイミング



備考1 . x = 0-2

2 . c CM03

3 . t : デッド・タイム = (DTIME + 1) × T_{CLK} (T_{CLK}: システム・クロック・レート)

4 . 上図はアクティブ・ロウです。

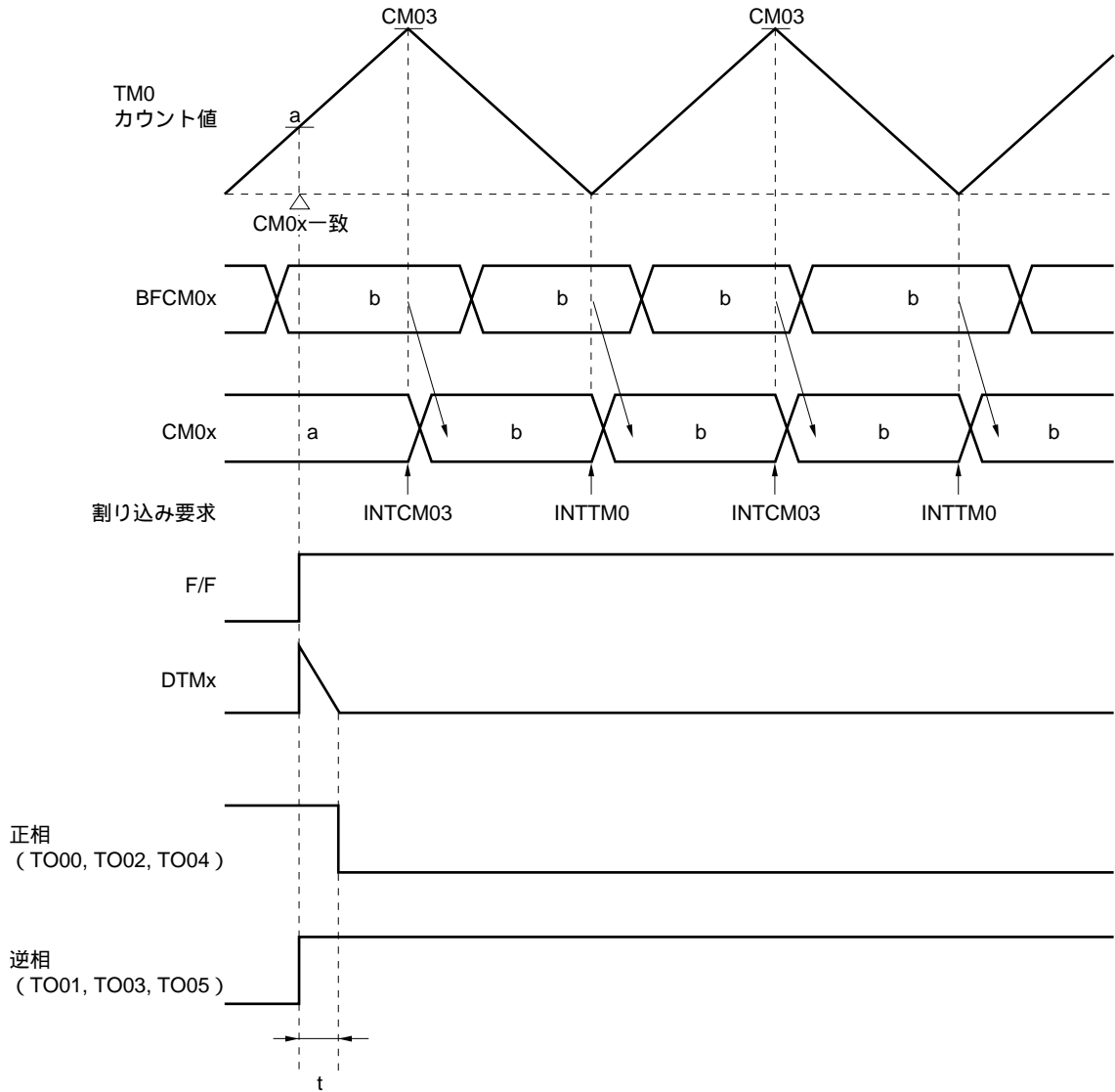
BFCM0xにCM03より大きい値を設定した場合、正相側 (TO00, TO02, TO04端子) はハイ・レベルを出力し、逆相側 (TO01, TO03, TO05端子) はロウ・レベルを出力し続けます。インバータ制御などにおいて、PWM周期を越えるロウ幅、ハイ幅を出力したい場合にこの設定は有効です。

また、CM0x = CM03を設定した場合、TM0とCM0xの一致は、TM0のダウン・カウント時に検出されますので、F/Fはリセットされたままで、セットされることはありません。

以上の説明はアクティブ・ロウの場合です。アクティブ・ハイの場合、正相、逆相のレベルが逆になるだけで、それ以外の動作は同じです。

(b) INTTM0で起動するソフトウェア処理で、BFCM0x > CM03を設定した場合

図7-15 PWMモード0（非対称三角波、BFCM0x > CM03）の動作タイミング



備考1 .x = 0-2

2 .b > CM03

備考3 .t: デッド・タイム = (DTIME + 1) × TCLK

(TCLK: システム・クロック・レート)

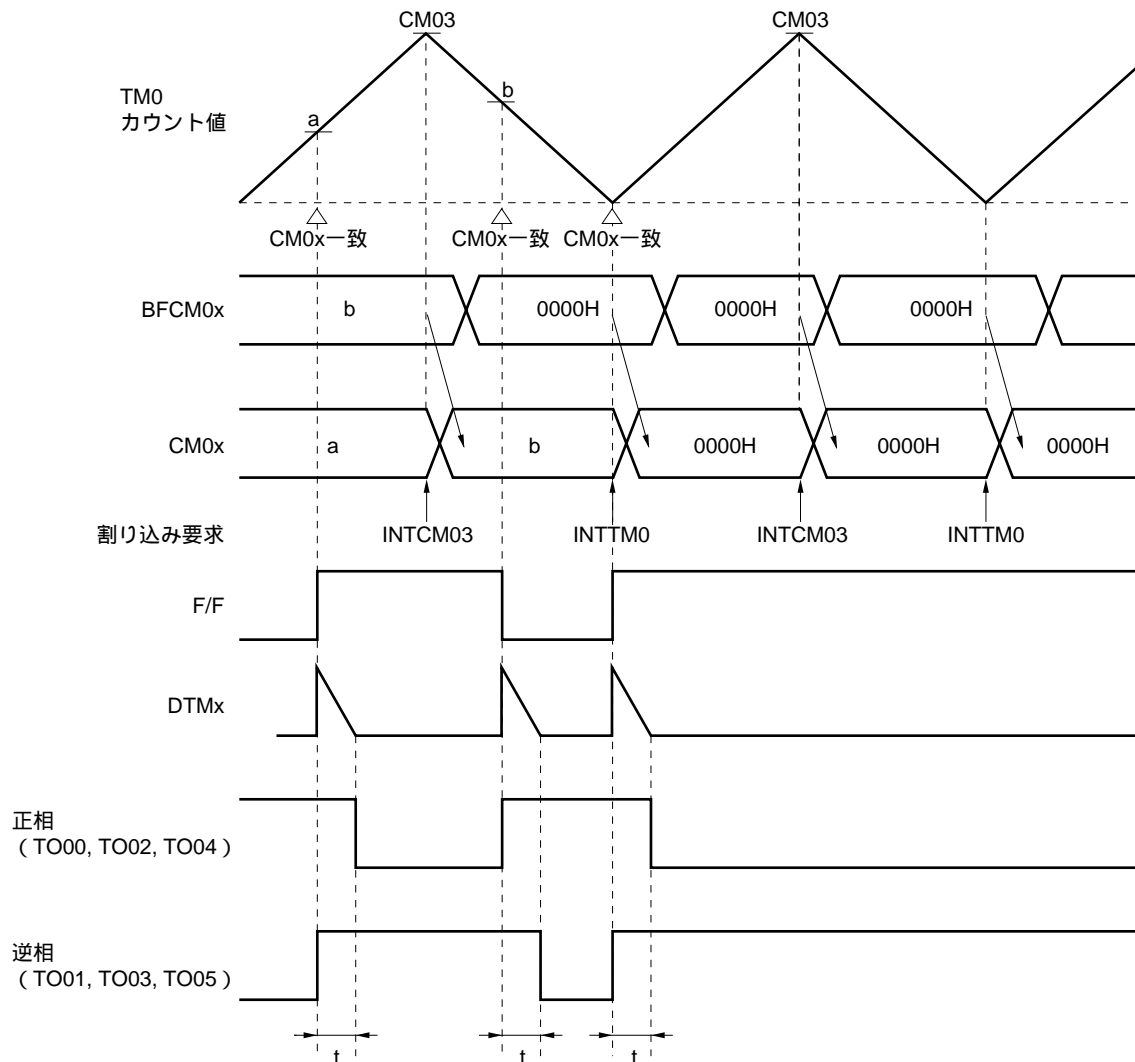
4 .上図はアクティブ・ロウです。

BFCM0xにCM03より大きい値を設定した場合、正相側（TO00, TO02, TO04端子）はロウ・レベルを出力し、逆相側（TO01, TO03, TO05端子）はハイ・レベルを出力し続けます。インバータ制御などにおいて、PWM周期を越えるロウ幅、ハイ幅を出力したい場合にこの設定は有効です。

以上の説明はアクティブ・ロウの場合です。アクティブ・ハイの場合、正相、逆相のレベルが逆になるだけで、それ以外の動作は同じです。

(c) INTCM03で起動するソフトウェア処理で、BFCM0x = 0000Hを設定した場合

図7-16 PWMモード0 (非対称三角波, BFCM0x = 0000H) の動作タイミング(1)



備考1 . x = 0-2

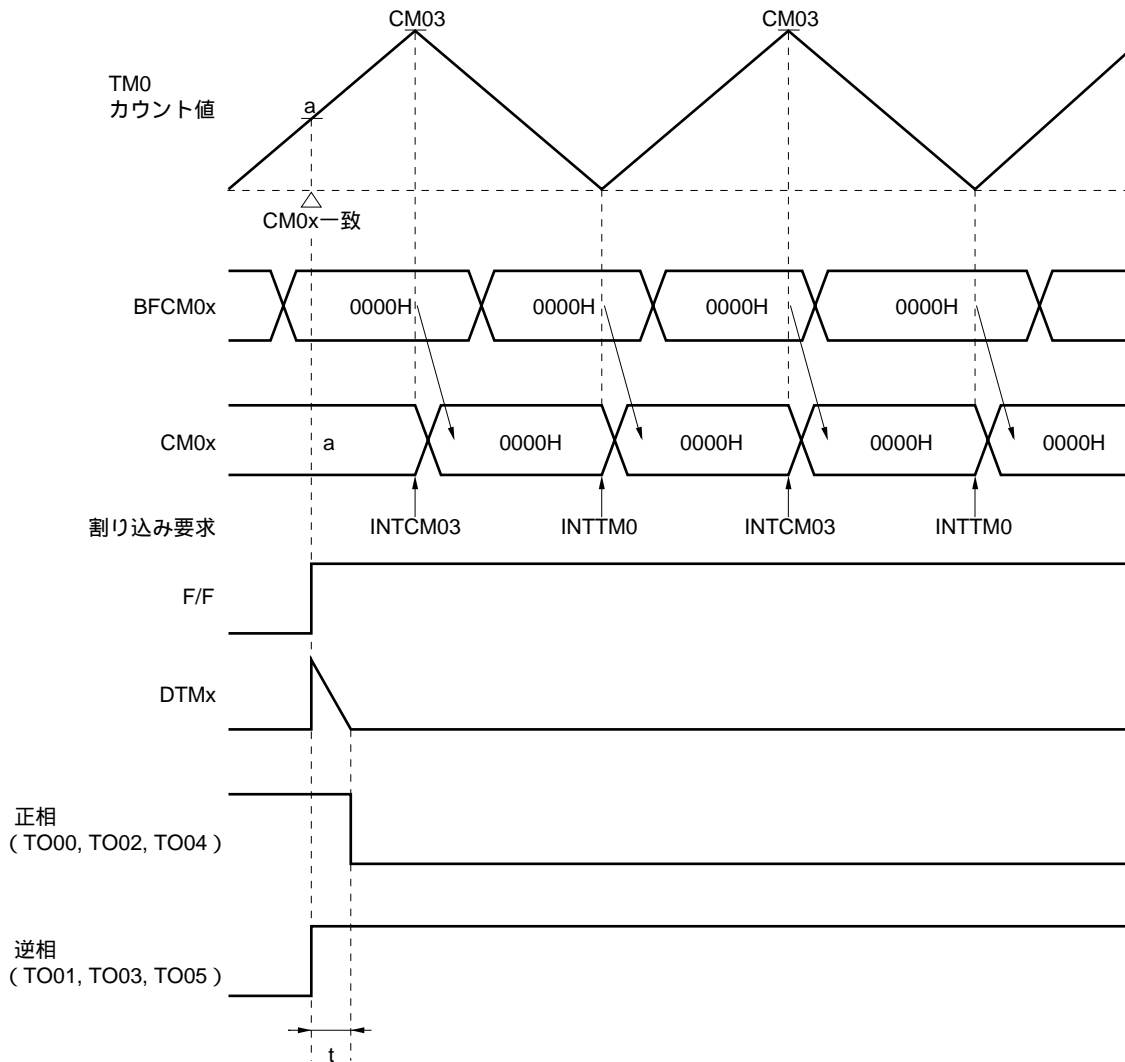
2 . t: デッド・タイム = (DTIME + 1) × T_{CLK} (T_{CLK}: システム・クロック・レート)

3 . 上図はアクティブ・ロウです。

TM0 = CM0x = 0000Hの一致検出はTM0のアップ・カウント時に検出されますので、F/Fはセットされるだけで、リセットはされません。また、INTTM0によりCM0xに0000Hが転送された周期で一致が検出されF/Fをセットします。

(d) INTTM0で起動するソフトウェア処理で、BFCM0x = 0000Hを設定した場合

図7-17 PWMモード0（非対称三角波、BFCM0x = 0000H）の動作タイミング（2）



備考1 . x = 0-2

2 . t: デッド・タイム = (DTIME + 1) × T_{CLK} (T_{CLK}: システム・クロック・レート)

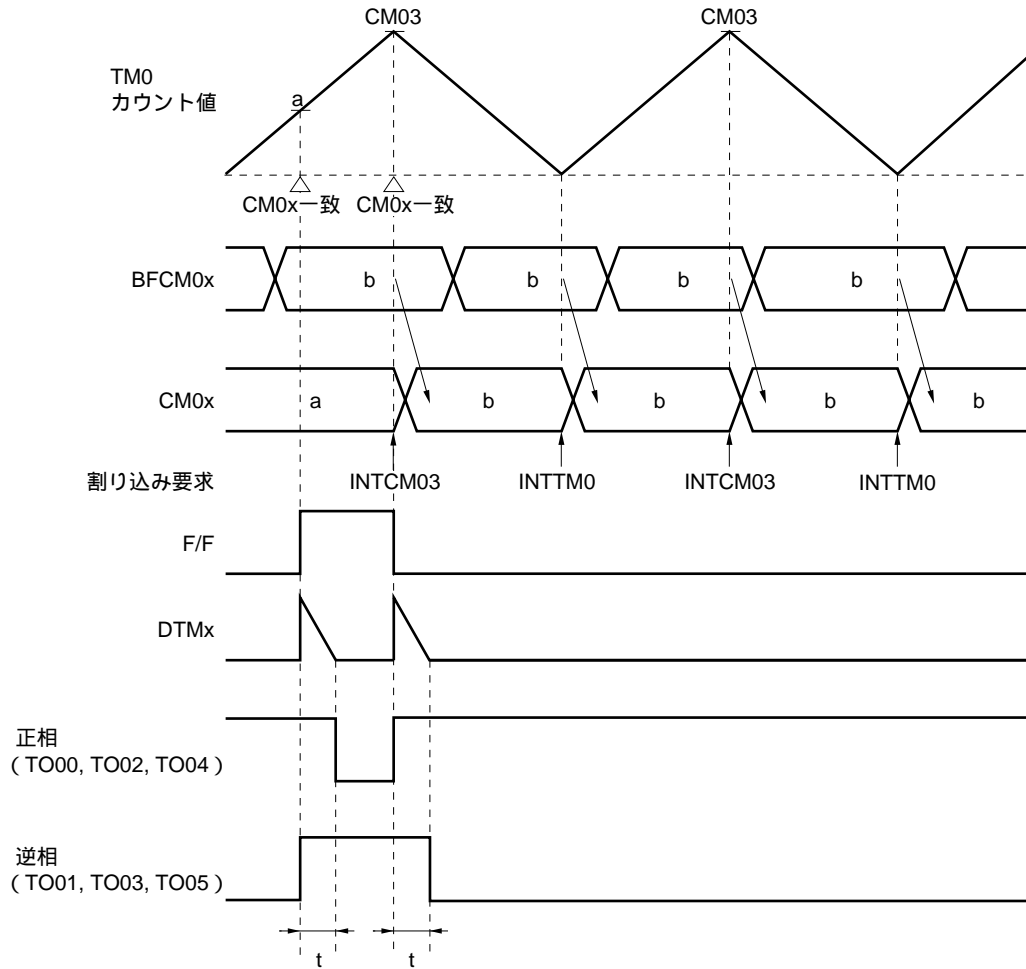
3 . 上図はアクティブ・ロウです。

TM0 = CM0x = 0000Hの一致検出はTM0のアップ・カウント時に検出されますので、F/Fはセットされるだけで、リセットはされません。そのため、正相側（TO00, TO02, TO04端子）はロウ・レベルを出力し、逆相側（TO01, TO03, TO05端子）はハイ・レベルを出力し続けます。

以上の説明はアクティブ・ロウの場合です。アクティブ・ハイの場合、正相、逆相のレベルが逆になるだけで、それ以外の動作は同じです。

(e) INTTM0で起動するソフトウェア処理で、BFCM0x = CM03を設定した場合

図7-18 PWMモード0 (非対称三角波, BFCM0x = CM03) の動作タイミング



備考1 . x = 0-2

2 . b = CM03

備考3 . t: デッド・タイム = (DTIME + 1) × T_{CLK}

(T_{CLK}: システム・クロック・レート)

4 . 上図はアクティブ・ロウです。

BFCM0x = CM03を設定した場合、TM0とCM0xの一致は、TM0のダウン・カウント時に検出されますので、F/Fはリセットされたままで、セットされることはありません。そのため、正相側 (TO00, TO02, TO04端子) はハイ・レベルを出力し、逆相側 (TO01, TO03, TO05端子) はロウ・レベルを出力し続けます。また、CM0x = CM03でTM0と一致するタイミングは、INTCM03でBFCM0xからCM0xへ転送される周期で行われます。

以上の説明はアクティブ・ロウの場合です。アクティブ・ハイの場合、正相、逆相のレベルが逆になるだけで、それ以外の動作は同じです。

(5) PWMモード0...のこぎり波変調

【設定手順】

- (a) P80-P85端子をポート8モード・コントロール・レジスタ (PMC8) によりコントロール・モード (TO00-TO05出力) に設定します (PMC80-PMC85ビット = 1)。
- (b) TUM0レジスタのRMOD, TMOD00-TMOD02ビットでPWMモード0 (のこぎり波) に設定します。また, 同レジスタのALVTOビットでTO00-TO05端子のアクティブ・レベルを設定します。
- (c) TMC0レジスタのPRM02-PRM00ビットでTM0のカウント・クロックを設定し, CMWEビットでCM00-CM02への書き込み操作を設定します。さらに, B3TRビットでBFCM03からCM03への転送動作を設定します。
- (d) 初期値を設定します。
- (i) CM03に第1 PWM周期の半周期幅を設定します。
 - ・PWM周期 = CM03値 × 2 × TM0のクロック・レート
 - (TM0のクロック・レートはTMC0レジスタで設定します)
 - (ii) BFCM03に第2 PWM周期の半周期幅を設定します。
 - (TMC0レジスタのB3TR = 0のときはBFCM03を使用しないので設定不要)
 - (iii) DTIMEにデッド・タイム幅を設定します。
 - ・デッド・タイム幅 = (DTIME + 1) × T_{CLK}
 - T_{CLK}: システム・クロック・レート
 - (iv) BFCM00-BFCM02に第2周期で使うF/Fのセット/リセット・タイミングを設定します。

注意 第1周期は, CM00-CM02が一致してもF/Fは変化しません。したがって, 出力レベルも正相 (TO00, TO02, TO04) はインアクティブ・レベル, 逆相 (TO01, TO03, TO05) はアクティブ・レベルのままです。第2周期からPWM波形を出力できます。アクティブ・レベルはTUM0レジスタのALVTOビットで設定します。

- (e) TMC1レジスタのCEDビットをセット (1) してデッド・タイム・タイマ動作を許可します。なお, デッド・タイムをとりたくない場合はCED = 0にしてください。
- (f) TMC0レジスタのCE0ビットをセット (1) するとTM0がカウント・スタートし, TO00-TO05端子から6チャンネルPWM信号が出力します。
- 動作中, CM00-CM02への命令による直接書き込みを行わない場合は, TMC0レジスタのCMWEビットをリセット (0) してからタイマ・スタートさせてください。

注意 CM03 = 0000H設定は禁止します。

【動作】

このモードでは、TM0はアップ・カウント動作を行い、CM03と一致すると、一致割り込みINTCM03を発生するとともにTM0をクリアします。

このモードのPWM周期は、“(CM03値 + 1) × TM0のクロック・レート”です。CM03へのデータ設定方法は、TMC0レジスタのB3TRビットの設定により、次のように異なります。

- ・ B3TR = 0 : BFCM03からCM03への転送は行われません。INTCM03で起動するソフトウェア処理で演算を行い、CM03に直接、周期データを設定してください。
- ・ B3TR = 1 : INTCM03により、ハードウェアで自動的にBFCM03のデータがCM03に転送されます。さらにINTCM03で起動するソフトウェア処理で演算を行い、次周期のデータをBFCM03に設定します。

次にPWM デューティ幅を制御するCM00-CM02へのデータ設定について説明します。

CM00-CM02へのデータ設定は、INTCM03により、ハードウェアで自動的にBFCM00-BFCM02のデータがCM00-CM02に転送されます。さらに、INTCM03で起動するソフトウェア処理で演算を行い、次周期のF/Fのリセット・タイミングをBFCM00-BFCM02に設定します。

CM00-CM02は、TMC0レジスタのCMWE = 0のときには、直接書き込みができません。CMWE = 1にすると直接書き込みができます。ただし、INTCM03によるBFCM00-BFCM02からCM00-CM02へのデータ転送は、CMWEビットの設定にかかわらず行われます。

以上のようにして、PWM周期、PWMデューティ幅を設定します。

CM00-CM02の一致で変化するF/Fのセット/リセット条件は、次のとおりです。

- ・ セット : TM0とCM03の一致検出
- ・ リセット : TM0とCM00-CM02の一致検出

F/Fのセット/リセット・タイミングに同期して、DTIMEの値が対応するデッド・タイム・タイム(DTM0-DTM2)にロードされダウン・カウントを開始します。DTM0-DTM2は000Hまでカウントして、000H 3FFHで停止します。DTM0-DTM2は、正相(TO00, TO02, TO04)と逆相(TO01, TO03, TO05)のアクティブ・レベルが重ならない幅(デッド・タイム)を容易に自動生成することができます。

このように、初期設定以降は、PWM周期(一周期)に1回発生する割り込み(INTCM03)でソフトウェア処理を起動し、次周期で使用するPWM周期およびPWMデューティ幅を設定することによって、TO00-TO05端子に自動的にデッド・タイム幅を考慮したPWM波形を出力することができます。

〔設定値に対する出力波形幅〕

- ・PWM周期 = $(CM03 + 1) \times T_{TM0}$
- ・デッド・タイム幅 $T_{DTM} = (DTIME + 1) \times T_{CLK}$
- ・正相 (TO00, TO02, TO04端子) のアクティブ幅
= $(CM0X + 1) \times T_{TM0} - T_{DTM}$
- ・逆相 (TO01, TO03, TO05端子) のアクティブ幅
= $(CM03 - CM0X) \times T_{TM0} - T_{DTM}$

T_{CLK} : システム・クロック・レート

T_{TM0} : TM0の入カクロック・レート

CM0X : CM00-CM02の設定値

TO00-TO05端子のリセット時の端子レベルは、入力ポート・モードとなり、ハイ・インピーダンス状態です。

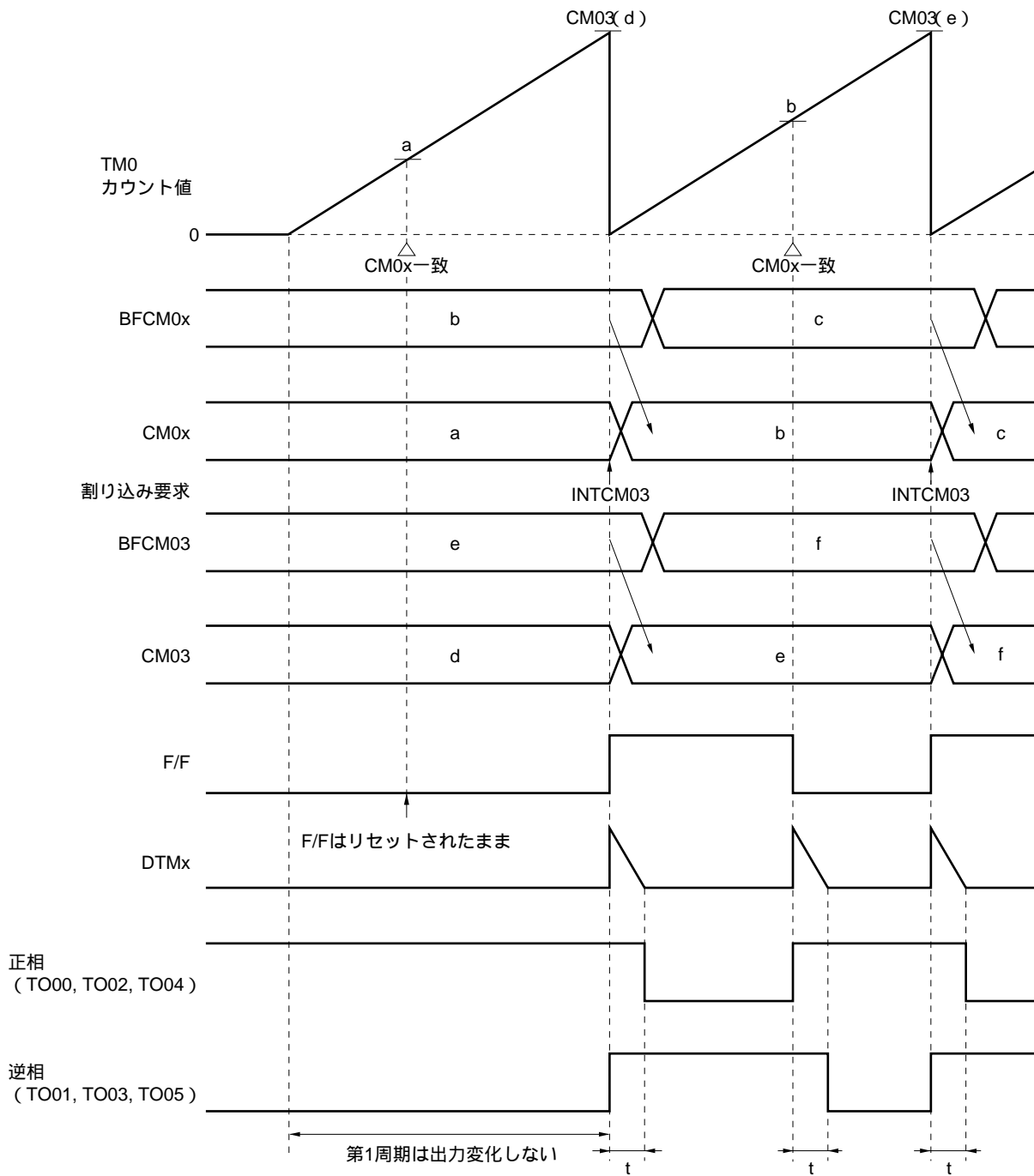
その後コントロール・モードにすると、TM0をスタートさせるまで次のレベルを出力します。

- ・TO00, TO02, TO04... ロウ・アクティブ時 ハイ・レベル
ハイ・アクティブ時 ロウ・レベル
- ・TO01, TO03, TO05... ロウ・アクティブ時 ロウ・レベル
ハイ・アクティブ時 ハイ・レベル

アクティブ・レベルはTUM0レジスタのALVTOビットで設定します。デフォルトはロウ・アクティブです。

注意 正相または逆相のアクティブ幅が上記計算式で“0”または“マイナス”になるような値を設定した場合、TO00-TO05端子は、アクティブ幅“0”でインアクティブ・レベル固定の波形を出力します。

図7-19 PWMモード0 (のこぎり波) の動作タイミング



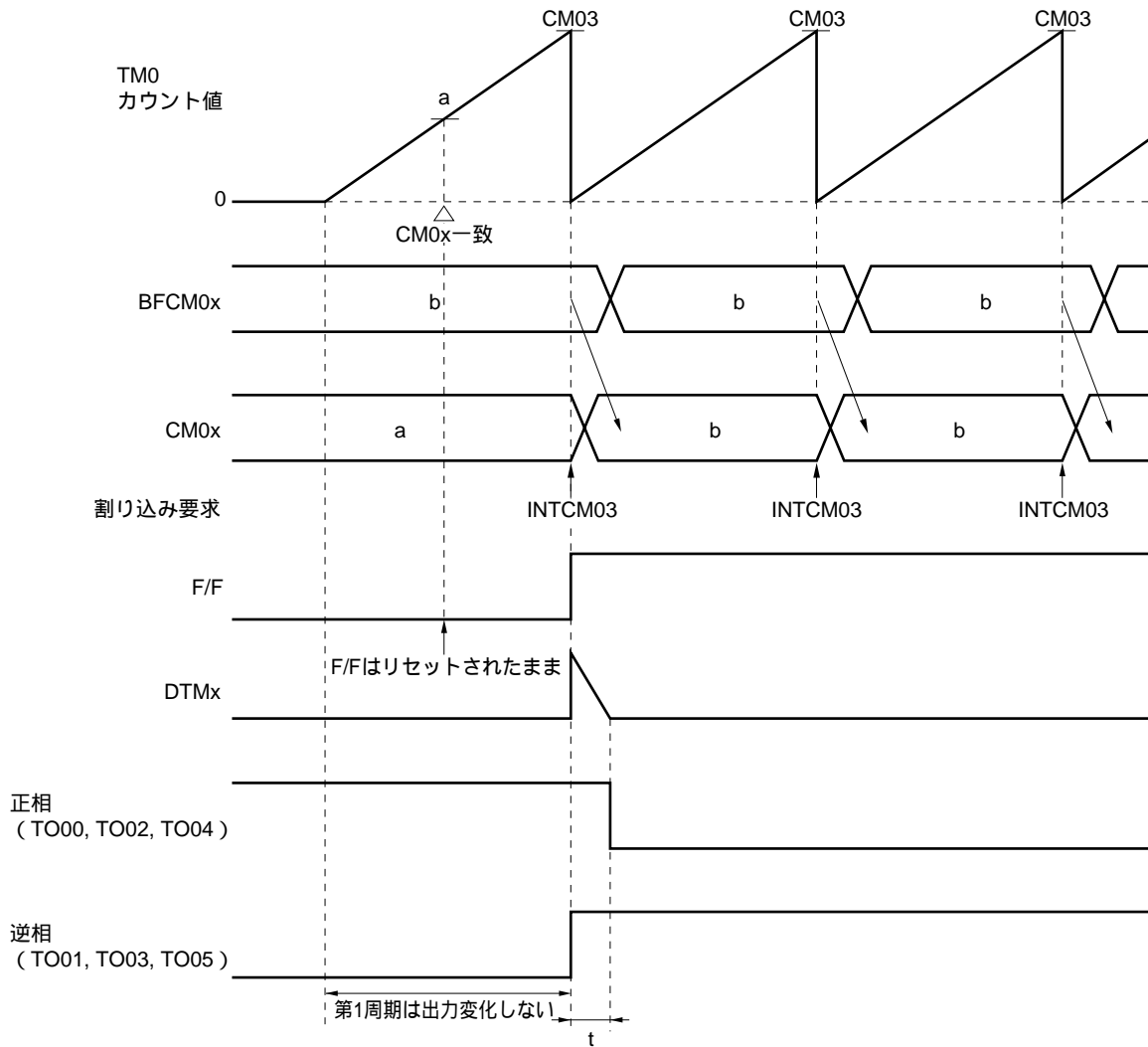
備考1 . x = 0-2

- 2 . t : デッド・タイム = (DTIME + 1) × T_{CLK} (T_{CLK} : システム・クロック・レート)
- 3 . デッド・タイムをとりたくない場合は ,TMC1レジスタのCEDビットを0にしてください。
- 4 . 上図はアクティブ・ロウです。

TM0とCM0xの一致では F/Fはリセットされるので ,TM0の第1周期では 出力レベルは変化しません。

(a) BFCM0x > CM03を設定した場合

図7-20 PWMモード0 (のこぎり波, BFCM0x > CM03) の動作タイミング



備考1 . x = 0-2

2 . b > CM03

備考3 . t : デッド・タイム = (DTIME + 1) × T_{CLK}

(T_{CLK} : システム・クロック・レート)

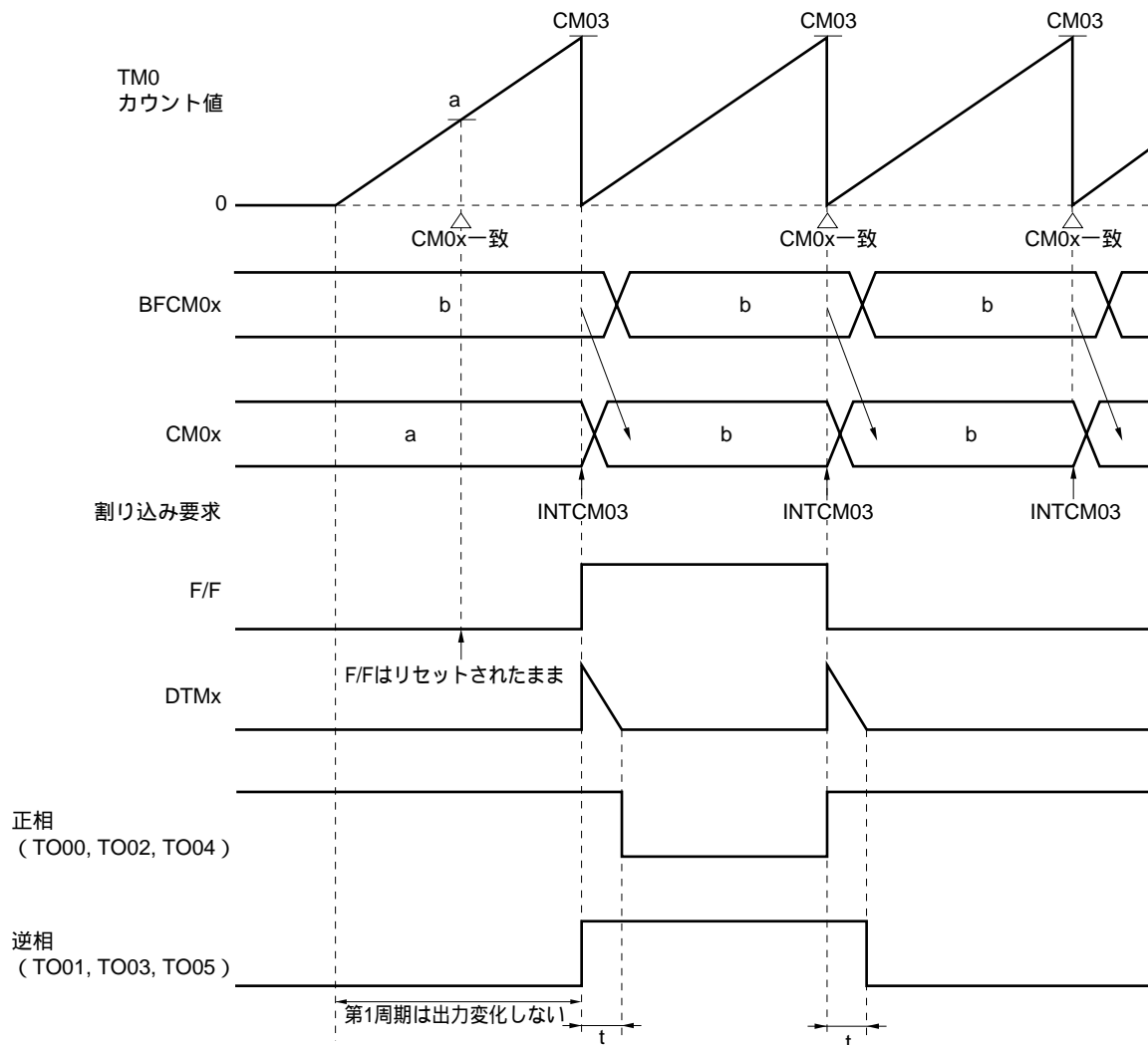
4 . 上図はアクティブ・ロウです。

BFCM0xにCM03より大きい値を設定した場合、正相側 (TO00, TO02, TO04端子) はロウ・レベルを出力し、逆相側 (TO01, TO03, TO05端子) はハイ・レベルを出力し続けます。TM0とCM0xの一致が発生しないため、F/Fはリセットされません。インバータ制御などにおいて、PWM周期を越えるロウ幅、ハイ幅を出力したい場合にこの設定は有効です。

以上の説明はアクティブ・ロウの場合です。アクティブ・ハイの場合、正相、逆相のレベルが逆になるだけで、それ以外の動作は同じです。

(b) BFCM0x = CM03を設定した場合

図7-21 PWMモード0 (のこぎり波, BFCM0x = CM03) の動作タイミング



備考1 . x = 0-2

2 . b = CM03

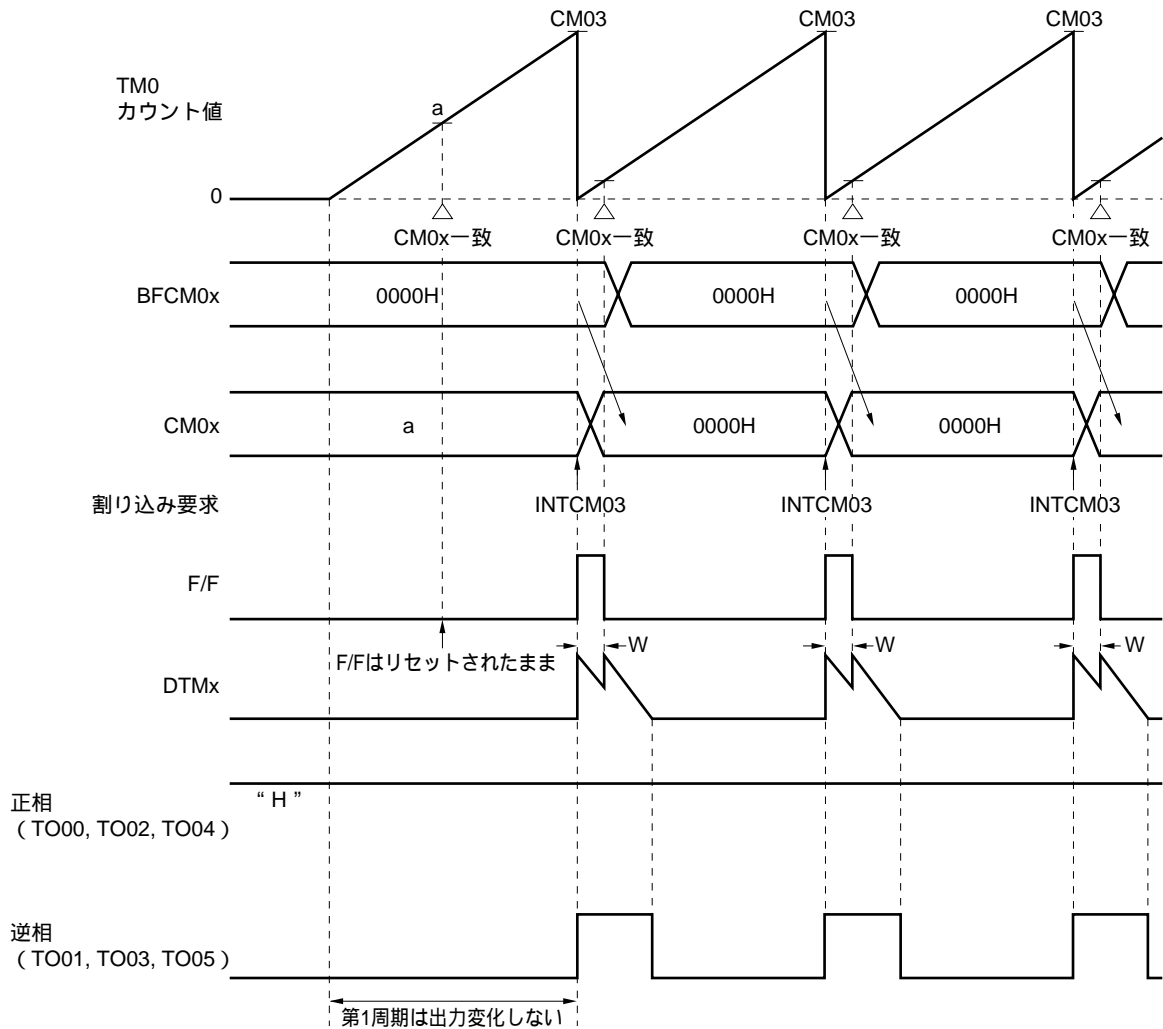
3 . t : デッド・タイム = (DTIME + 1) × T_{CLK} (T_{CLK} : システム・クロック・レート)

4 . 上図はアクティブ・ロウです。

TM0とCM03の一致信号INTCM03と、TM0とCM0xの一致が競合した場合、F/Fはリセットが優先されるため、CM0x (= CM03) とTM0の一致以降はセットされません。

(c) BFCM0x = 0000Hを設定した場合

図7-22 PWMモード0 (のこぎり波, BFCM0x = 0000H) の動作タイミング



備考1 . x = 0-2

- 2 . 上図はアクティブ・ロウです。
- 3 . W : CM03一致からCM0x一致までの幅 (タイマのカウント・ロック)

CM0x = 0000Hを設定した場合, TM0のカウント・クロック・レートとDTIME設定値によって出力波形が異なります。両者をアクティブ幅の式にあてはめて計算した結果, “0” またはマイナスの場合, 上図に示すように (正相側の) アクティブ幅がない波形となります。また, アクティブ幅の計算結果が正の値だった場合, その結果に従ったアクティブ幅が出力されます。

(6) PWMモード1 (バッファ・モード)

【設定手順】

- (a) P80-P85端子をポート8モード・コントロール・レジスタ (PMC8) によりコントロール・モード (TO00-TO05出力) に設定します (PMC80-PMC85ビット = 1)。
- (b) TUM0レジスタのRMOD, TMOD00-TMOD02ビットでPWMモード1に設定します。また, 同じレジスタのALVTOビットによるアクティブ・レベルの設定は, PWMモード1では関係ないので設定不要です。
- (c) TMC0レジスタのPRM02-PRM00ビットでTM0のカウント・クロックを設定し, CMWEビットでCM00-CM02への書き込み操作を設定します。さらに, B3TRビットでBFCM03からCM03への転送動作を設定します。
- (d) 初期値を設定します。
- (i) CM03に第1PWM周期の半周期幅を設定します。
- ・PWM周期 = $CM03値 \times 2 \times TM0のクロック \cdot レート$
(TM0のクロック・レートはTMC0レジスタで設定します)
- (ii) BFCM03に第2PWM周期の半周期幅を設定します。
- (TMC0レジスタのB3TR = 0のときはBFCM03を使用しないので設定不要)
- (iii) DTIMEにデッド・タイム幅を設定します。
- ・デッド・タイム幅 = $(DTIME + 1) \times T_{CLK}$
 T_{CLK} : システム・クロック・レート
- (iv) CM00-CM02に第1周期で使うF/Fのセット・タイミングを設定します。
- ・TMC0レジスタのCMWE = 0 CM00-CM02への直接書き込み不可
CM00-CM02への書き込み命令を実行すると, BFCM00-BFCM02のデータがCM00-CM02に転送されます。次の手順で設定してください。
第1周期で使うCM00-CM02の値をBFCM00-BFCM02へ書き込みます。
CM00-CM02への書き込み命令を実行すると, で設定したBFCM00-BFCM02の値がCM00-CM02へ転送されます。
 - ・TMC0レジスタのCMWE = 1 CM00-CM02への直接書き込み可能
- (v) BFCM00-BFCM02に第2周期で使うF/Fのリセット・タイミングを設定します。
- (vi) SBUF0-SBUF5に第1周期で使うTO00-TO05端子出力データを設定します。
- (vii) MBUF0-MBUF5に第2周期で使うTO00-TO05端子出力データを設定します。

(e) TMC1レジスタのCEDビットをセット (1) してデッド・タイム・タイマ動作を許可します。なお、デッド・タイムをとりたくない場合はCED = 0にしてください。

(f) TMC0レジスタのCE0ビットをセット (1) するとTM0がカウント・スタートし、TO00-TO05端子から 6 チャンネルPWM信号が出力します。

動作中、CM00-CM02への命令による直接書き込みを行わない場合は、TMC0レジスタのCMWEビットをリセット (0) してからタイマ・スタートさせてください。

注意 1 . CM03 = 0000H設定は禁止します。

2 . SBUF0-SBUF5, MBUF0-MBUF5は、8ビット・アクセスのレジスタです。しかし、TO00-TO05に出力されるのは下位 6 ビットのみです。上位 2 ビットは無視されます (ハードウェア上 “ 0 ” 固定です)。

〔動作〕

このモードでは、TM0はアップ・カウント動作を行い、CM03と一致すると、一致割り込みINTCM03を発生するとともにTM0をクリアします。

TM0周期を制御するCM03へのデータ設定方法は、TMC0レジスタのB3TRビットの設定により、次のように異なります。

- ・ B3TR = 0 : BFCM03からCM03への転送は行われません。INTCM03で起動するソフトウェア処理で演算を行い、CM03に直接、周期データを設定してください。
- ・ B3TR = 1 : INTCM03により、ハードウェアで自動的にBFCM03のデータがCM03に転送されます。さらにINTCM03で起動するソフトウェア処理で演算を行い、次周期のデータをBFCM03に設定します。

次にPWM出力タイミング（CM00-CM02）および出力データ（SBUF0-SBUF5）の設定について説明します。

CM00-CM02へのデータ設定は、INTCM03により、ハードウェアで自動的にBFCM00-BFCM02のデータがCM00-CM02に転送され、MBUF0-MBUF5のデータがSBUF0-SBUF5に転送されます。さらに、INTCM03で起動するソフトウェア処理で演算を行い、次周期のF/Fのセット/リセット・タイミングをBFCM00-BFCM02に、次周期の出力データをMBUF0-MBUF5に設定します。

CM00-CM02は、TMC0レジスタのCMWE = 0のときには、直接書き込みができません。CMWE = 1にすると直接書き込みができます。ただし、INTCM03によるBFCM00-BFCM02からCM00-CM02へのデータ転送は、CMWEビットの設定にかかわらず行われます。

以上のようにして、PWM周期、PWM出力タイミング、出力データを設定します。

F/Fのセット/リセット条件は、TM0とCM00-CM02の一致検出です。

F/Fのセット/リセット・タイミングに同期して、DTIMEの値が対応するデッド・タイム・タイム（DTM0-DTM2）にロードされダウン・カウントを開始します。DTM0-DTM2は、000Hまでカウントして000H 3FFHで停止します。DTM0-DTM2は、正相（TO00, TO02, TO04）と逆相（TO01, TO03, TO05）のアクティブ・レベルが重ならない幅（デッド・タイム）を容易に自動生成することができます。

DTM0-DTM2の動作に同期して、SBUF0-SBUF5のデータが自動的に出力レジスタ（TOUT）に転送されます。TOUTのデータは、そのままTO00-TO05端子に出力されます。

- ・ DTM0のタイム・スタート...SBUF0がTOUTへ転送
- ・ DTM0のアンダフロー ...SBUF1がTOUTへ転送
- ・ DTM1のタイム・スタート...SBUF2がTOUTへ転送
- ・ DTM1のアンダフロー ...SBUF3がTOUTへ転送
- ・ DTM2のタイム・スタート...SBUF4がTOUTへ転送
- ・ DTM2のアンダフロー ...SBUF5がTOUTへ転送

また、TOUTは、書き込みのみ可能なレジスタであり、直接書き込んで出力データを変えることもできます。

このように、初期設定以降は、PWM周期（一周期）に1回発生する割り込み（INTCM03）でソフトウェア処理を起動し、次に使用するTM0の周期、PWM出力タイミング、出力データを設定することによって、TO00-TO05端子に自動的にデッド・タイム幅を考慮したPWM波形を出力することができます。

【設定値に対する出力波形幅】

バッファ出力時、複数のコンペア・レジスタで同時に一致を検出したときに、データの競合が起こるのを防ぐために、ハードウェア上、次の優先順位を設定しています。データの競合が起こった場合、優先順位の低いものは無効となり出力されません。

SBUF1 > SBUF0 > SBUF3 > SBUF2 > SBUF5 > SBUF4

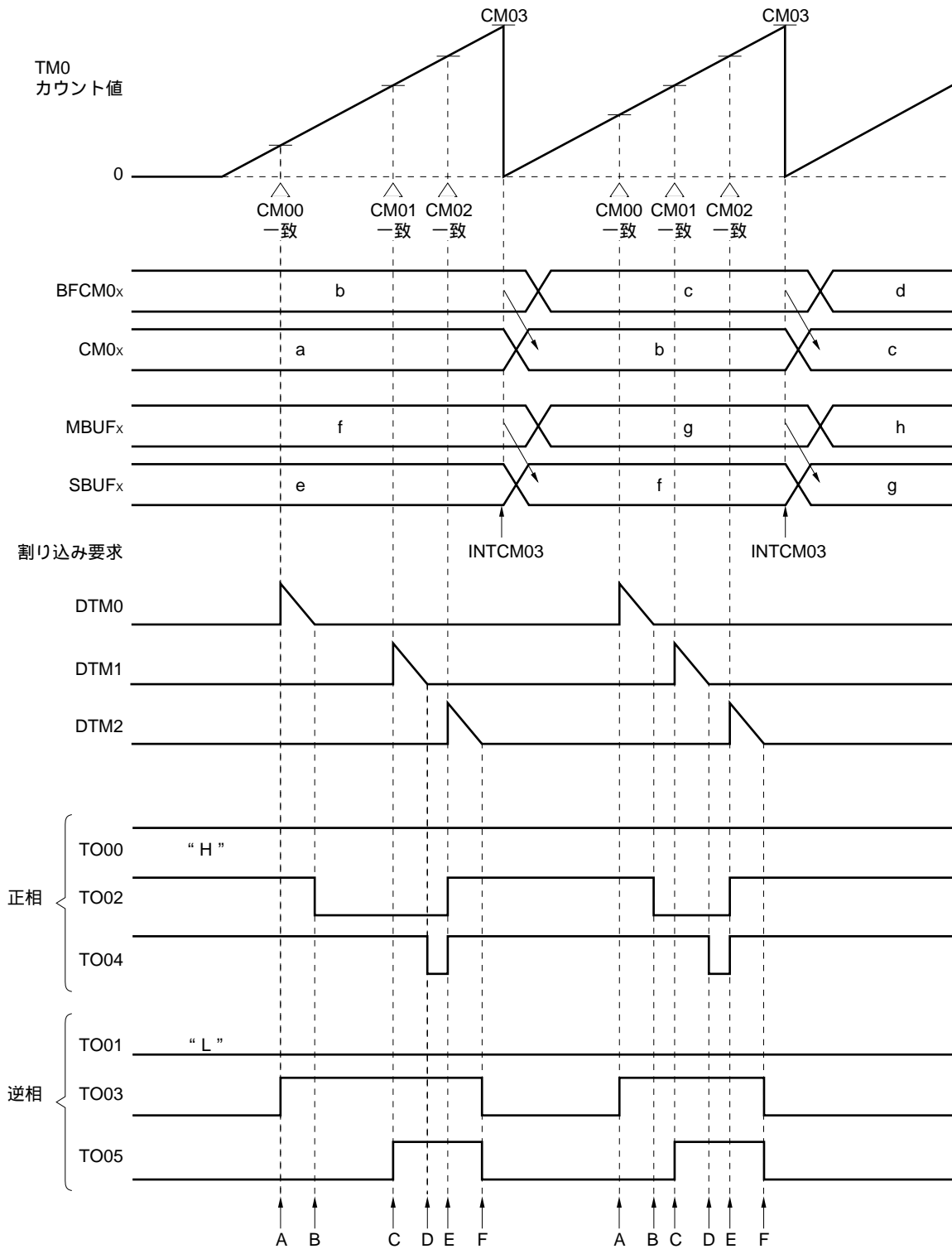
TO00-TO05端子のリセット時に端子レベルは、入力ポート・モードとなり、ハイ・インピーダンス状態です。

その後コントロール・モードにすると、TM0をスタートさせるまで次のレベルを出力します。

- ・ TO00, TO02, TO04...ハイ・レベル
- ・ TO01, TO03, TO05...ロウ・レベル

その後TM0をスタートさせる前にTOUTにデータを書き込むと、書き込んだデータが出力されます（TOUTはTM0動作中でも書き込み可能で、出力データを直接変化させることができます）。

図7-23 PWMモード1の動作タイミング



備考1 . A : SBUF0 B : SBUF1 C : SBUF2

D : SBUF3 E : SBUF4 F : SBUF5

2 . 上図はアクティブ・ロウです。

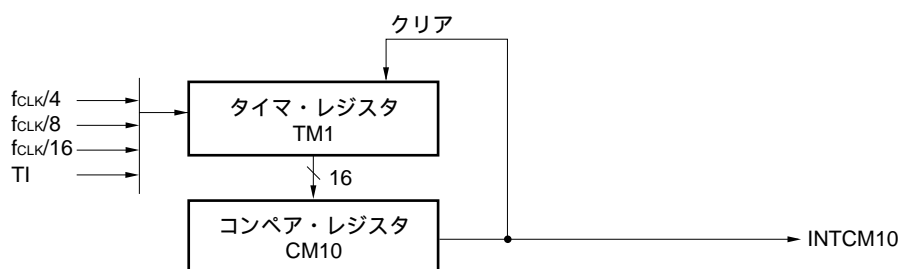
7.3 タイマ1

7.3.1 構成

タイマ1は、16ビット・タイマ1 (TM1) と16ビット・コンペア・レジスタ1本 (CM10) から構成されています。

図7-24にタイマ1のブロック図を示します。

図7-24 タイマ1のブロック図



備考 fCLK: 内部システム・クロック

(1) 16ビット・タイマ1 (TM1)

TM1は16ビットのインターバル・タイマ/カウンタです。内部クロックおよびTI端子から入力する外部イベントをカウントします。

コンペア・レジスタ (CM10) と一致した次のカウント・クロックでTM1はクリアされます。

$\overline{\text{RESET}}$ 入力により、TM1の全ビットはクリア (0) されます。

(2) 16ビット・コンペア・レジスタ10 (CM10)

CM10は16ビットのレジスタで、TM1と常に比較動作を行い、一致を検出すると割り込み信号 (INTCM10) を発生します。また、CM10の値とTM1のカウント値が一致すると、次のカウント・クロックでTM1はクリアされます。

$\overline{\text{RESET}}$ 入力により、CM10の値は不定となります。

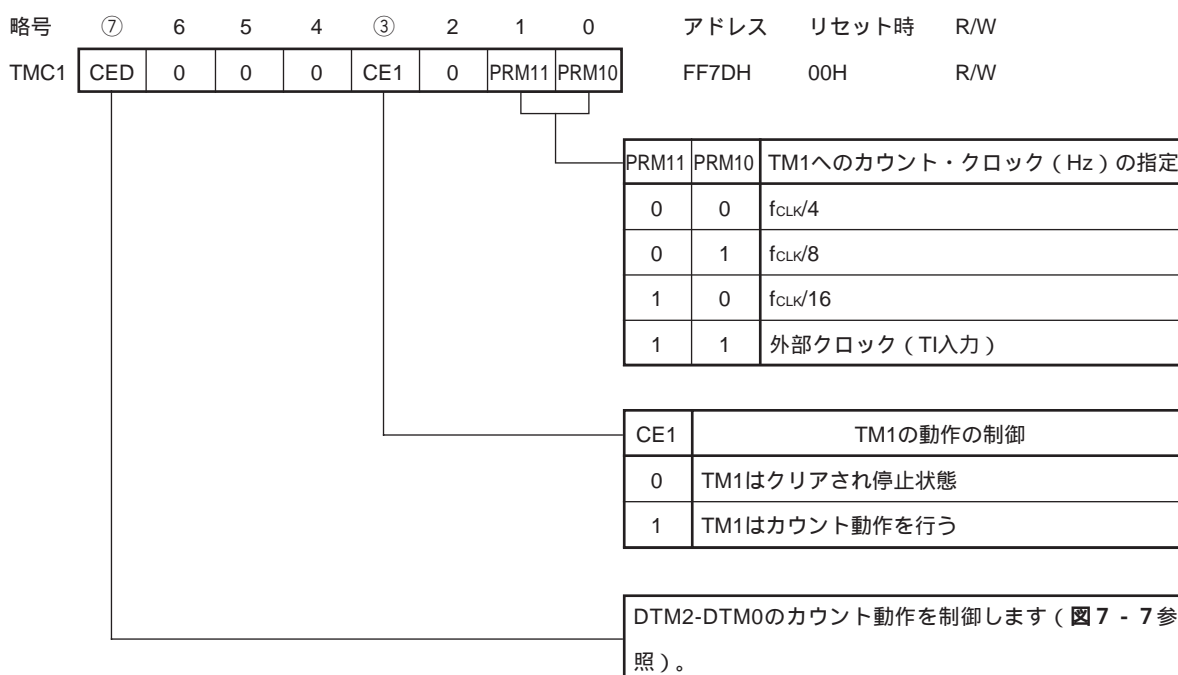
7.3.2 制御レジスタ

(1) タイマ・コントロール・レジスタ1 (TMC1)

タイマ・コントロール・レジスタ1 (TMC1) は、TM1およびDTM0-DTM2の動作を制御する8ビット・レジスタです。

TMC1レジスタは、ビット操作命令または8ビット操作命令で、読み出し / 書き込みが可能です。
 $\overline{\text{RESET}}$ 入力により00Hになります。

図7-25 タイマ・コントロール・レジスタ1のフォーマット



注意1 . TMC1レジスタのビット6-4, 2は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。

2 . TM1動作中 (CE1 = 1) にPRM11, PRM10ビットを変更することは禁止します。

備考 f_{CLK} : 内部システム・クロック

7.3.3 動作

(1) 基本動作

タイマ1 (TM1) は、16ビットのインターバル・タイマ/カウンタです。

$\overline{\text{RESET}}$ 入力により、TM1の全ビットはクリア (0) され、カウント動作は停止します。

カウント動作の許可/禁止は、タイマ・コントロール・レジスタ1 (TMC1) のCE1ビットで制御します。CE1ビットをソフトウェアによりセット (1) すると、カウント動作を開始し、リセット (0) すると、TM1はクリアされカウント動作を停止します。

あらかじめ設定されたコンペア・レジスタ (CM10) の値とTM1のカウント値が一致すると、一致割り込み (INTCM10) が発生し、TM1はクリアされます。

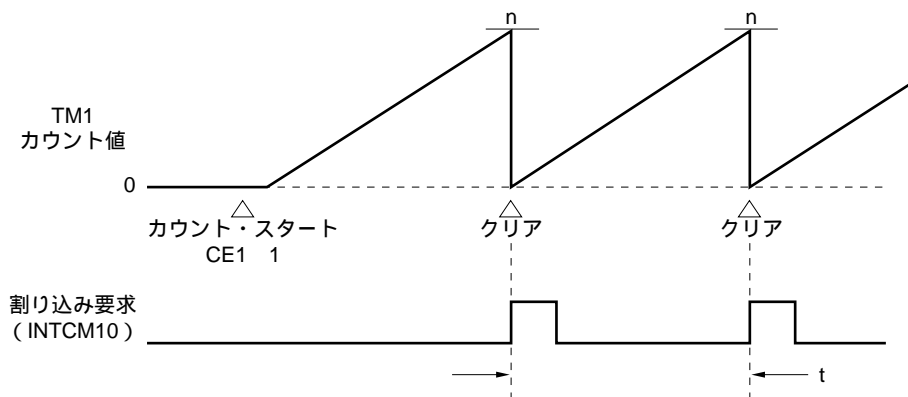
TM1へのカウント・クロックは、TMC1レジスタにより、3種類の内部クロック、または外部クロック入力 (TI) から選択できます。

(2) コンペア動作

コンペア・レジスタ (CM10) の値とタイマ1 (TM1) のカウント値を常に比較するコンペア動作を行います。

あらかじめ設定したCM10の値とTM1のカウント値が一致すると、割り込み信号INTCM10を発生し、次のカウント・クロック入力でTM1はクリア (0) されます。この機能により、CM10に設定した値のカウント・クロック周期のインターバル・タイマとして動作します。

図7-26 コンペア動作例 (TM1, インターバル・タイマ・モード)



備考 n : CM10レジスタの値

t : インターバル時間 = (n + 1) × カウント・クロック周期

7.4 タイマ2

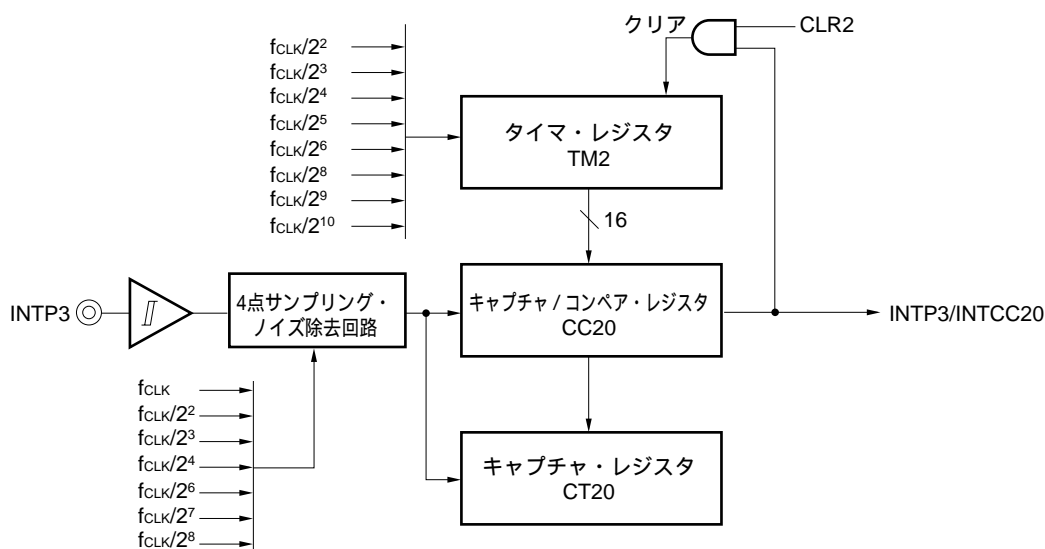
7.4.1 構成

タイマ2は、16ビット・タイマ2 (TM2) と16ビット・キャプチャ/コンペア・レジスタ1本 (CC20)、16ビット・キャプチャ・レジスタ1本 (CT20) から構成されています。

また、割り込み端子 (INTP3) には、プログラマブル入力サンプリング回路が付加されており、割り込み信号のノイズを除去することができます。

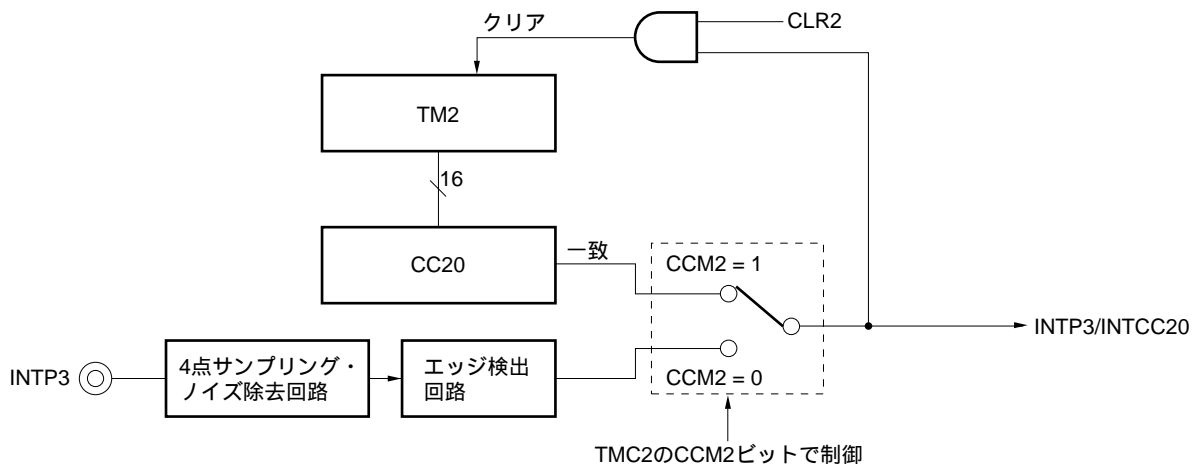
図7-27にタイマ2のブロック図を示します。

図7-27 タイマ2のブロック図



備考 f_{CLK} : 内部システム・クロック

図7-28 INTP3/INTCC20生成部のブロック図



備考 CC20をコンペア・レジスタとして使用する場合（CCM2 = 1），INTP3は外部割り込み端子として使用することはできません。

（1）16ビット・タイマ2（TM2）

TM2は16ビットのフリー・ランニング・タイマまたはインターバル・タイマです。内部クロックをカウントします。

TM2がインターバル・タイマ動作のとき，キャプチャ/コンペア・レジスタ（CC20）の一致割り込み（INTP3/INTCC20）により，TM2はクリアされます。

$\overline{\text{RESET}}$ 入力により，TM2の全ビットはクリア（0）されます。

（2）16ビット・キャプチャ/コンペア・レジスタ20（CC20）

CC20は，16ビットのレジスタで，対応する割り込み要求信号（INTP3）の有効エッジを検出すると，これをキャプチャ・トリガとしてTM2の値をラッチします（キャプチャ動作）。

CC20は，コンペア・レジスタとしても動作し，TM2の値と常に比較動作を行い（コンペア動作），一致を検出すると割り込み（INTCC20）を発生し，TM2はクリアされます。

$\overline{\text{RESET}}$ 入力により，CC20の値は不定となります。

（3）16ビット・キャプチャ・レジスタ20（CT20）

CT20は，16ビットのレジスタで，対応する割り込み要求信号（INTP3）の有効エッジを検出すると，これをキャプチャ・トリガとしてTM2の値をラッチします（キャプチャ動作）。

$\overline{\text{RESET}}$ 入力により，CT20の値は不定となります。

7.4.2 制御レジスタ

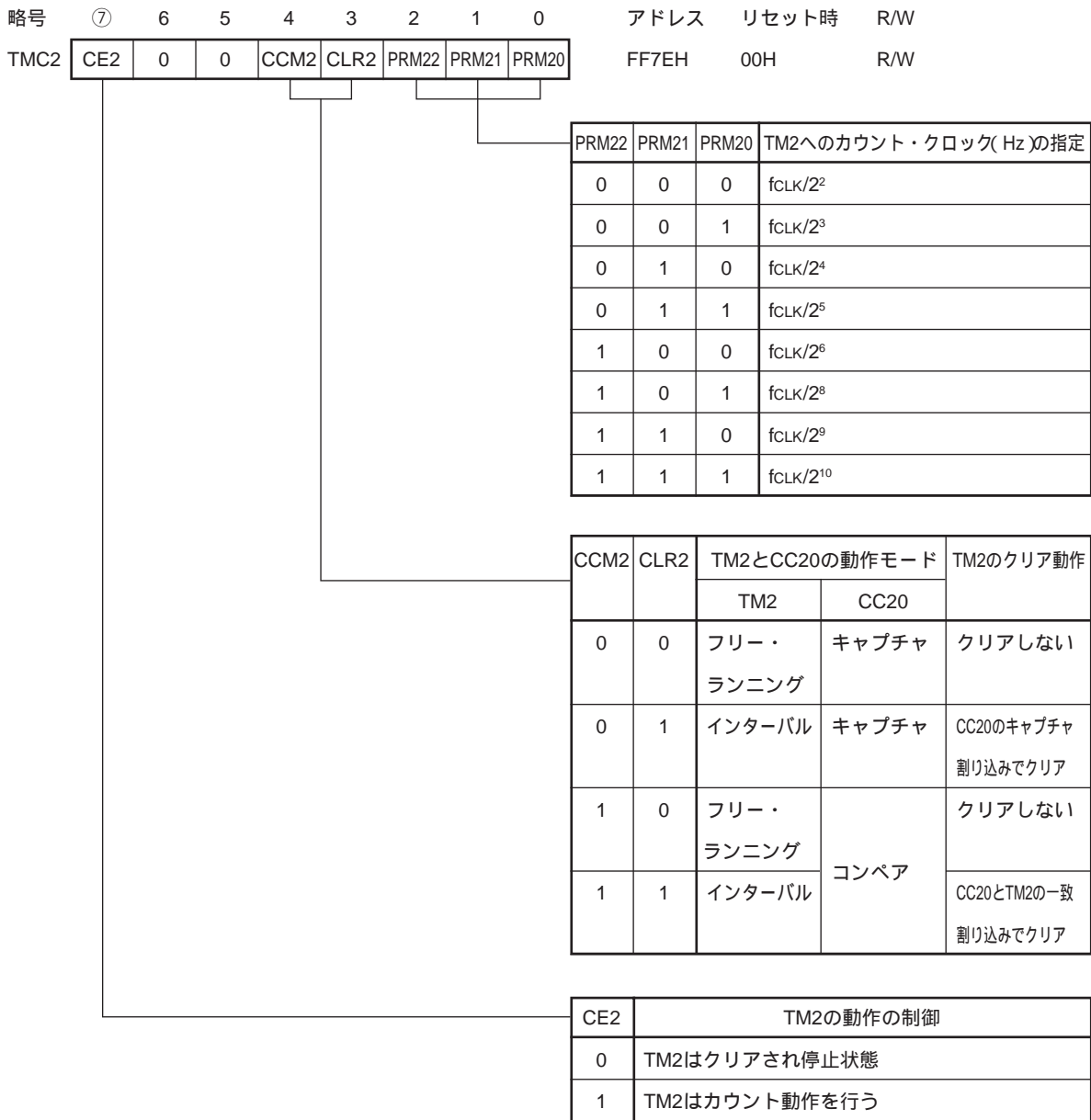
(1) タイマ・コントロール・レジスタ2 (TMC2)

タイマ・コントロール・レジスタ2 (TMC2) は、TM2, CC20の動作を制御する8ビット・レジスタです。

TMC2レジスタは、ビット操作命令または8ビット操作命令で、読み出し／書き込みが可能です。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7-29 タイマ・コントロール・レジスタ2のフォーマット



- 注意 1 . CC20をコンペア・レジスタとして使用する場合 (CCM2 = 1) , INTP3は外部割り込み端子として使用することはできません。
- 2 . CC20はハードウェア上 , コンペア・レジスタとキャプチャ・レジスタを別々に内蔵しています。TMC2レジスタの設定によりどちらかを選択できます。書き込みは , コンペア・レジスタのみ可能です。読み出しは , 選択されている方のレジスタの内容を読むことができます。
- 3 . TMC2レジスタのビット6 , 5は , ハードウェア上 “ 0 ” 固定です。 “ 1 ” を書き込んでも “ 0 ” のまま変化しません。
- 4 . TM2動作中 (CE2 = 1) にCCM2, CLR2, PRM22-PRM20ビットを変更することは禁止します。

備考 fCLK : 内部システム・クロック

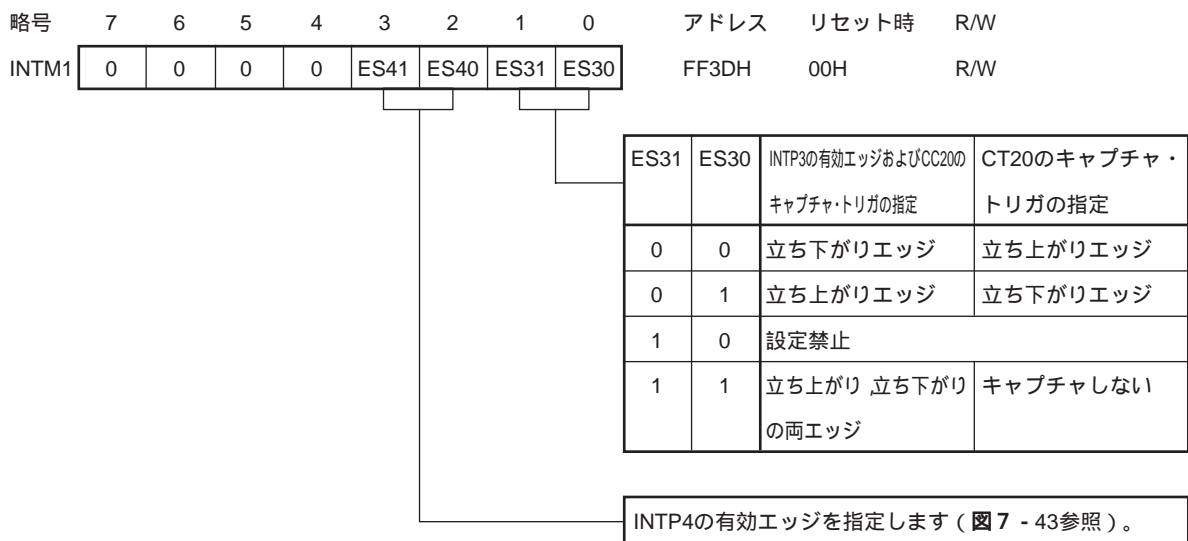
(2) 外部割り込みモード・レジスタ1 (INTM1)

外部割り込みモード・レジスタ1 (INTM1) は, INTP3, INTP4の有効エッジおよび, CC20のキャプチャ・トリガ, CT20のキャプチャ・トリガを指定する8ビット・レジスタです。

INTM1レジスタは, ビット操作命令または8ビット操作命令で, 読み出し / 書き込みが可能です。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7 - 30 外部割り込みモード・レジスタ1のフォーマット



注意 INTM1レジスタのビット7-4は, ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。

(3) サンプリング・コントロール・レジスタ0 (SMPC0)

サンプリング・コントロール・レジスタ0 (SMPC0) は、INTP0, INTP1, INTP3のサンプリング・クロックを指定する8ビット・レジスタです。

サンプリング回路は、指定されたサンプリング・クロックで4点サンプリングを行い、4回とも同じレベルであればそのレベルを取り込みます。

SMPC0レジスタは、ビット操作命令または8ビット操作命令で、読み出し / 書き込みが可能です。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7-31 サンプリング・コントロール・レジスタ0のフォーマット



備考 f_{CLK} : 内部システム・クロック

7.4.3 動作

(1) 基本動作

タイマ2 (TM2) は、16ビットのフリー・ランニング・タイマまたはインターバル・タイマとして動作します。

カウント動作の許可/禁止は、タイマ・コントロール・レジスタ2 (TMC2) のCE2ビットで制御します。TM2へのカウント・クロックは、TMC2レジスタにより、8種類の内部クロックから選択できません。

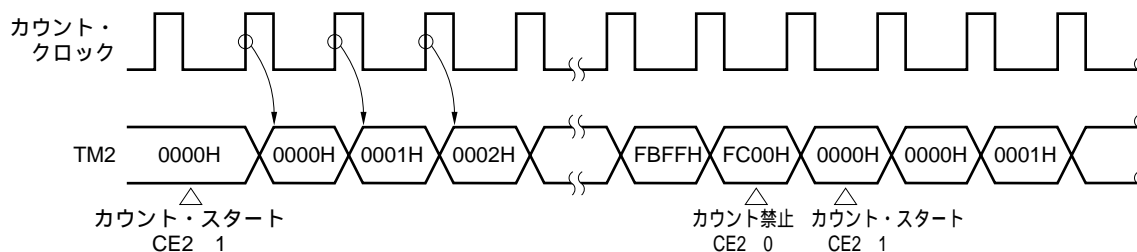
TM2は、CE2ビットをセット(1)したあと、最初のカウント・クロック入力で0000H 0000Hとなり、2回目のカウント・クロック入力で0001Hとなります。

CE2 = 1でTM2動作中に再度CE2をセット(1)しても、そのままカウント動作を行い、タイマはクリアされません。

CE2 = 0にするとTM2 = 0000Hでカウント動作を停止します。

$\overline{\text{RESET}}$ 入力により、TM2の全ビットはクリア(0)され、カウント動作は停止します。

図7-32 タイマ2 (TM2) の基本動作



(2) インターバル動作

TM2をインターバル・タイマとして動作させたい場合、TMC2レジスタのCCM2, CLR2ビットで設定してください。

TM2をクリアするトリガには、つぎの2つがあり、CCM2, CLR2ビットの設定により異なります。

(a) INTCC20 (CCM2 = 1, CLR2 = 1)

INTCC20は、CC20がコンペア・モードのとき発生する割り込みです。TM2とCC20は常に比較動作を行い、一致を検出すると割り込み信号INTCC20を発生します。コンペア一致したことをハードウェアで保持し、一致の次のカウント・クロックでTM2をクリア(0000H)します。さらに次のカウント・クロックが入ると、TM2は0001Hにカウント・アップされます。

$$\text{インターバル周期} = (\text{CC20値} + 1) \times \text{TM2のカウント・クロック・レート}$$

(b) INTP3 (CCM2 = 0, CLR2 = 1)

CC20がキャプチャ・モードのとき、TM2をインターバル動作に設定した場合に、外部割り込み端子INTP3の有効エッジでTM2をクリア(0000H)します。

クリア・タイミングは、INTP3の有効エッジが検出された時点です。一致の次のカウント・クロックでTM2は0001Hにカウント・アップされます。

注意 INTCC20とINTP3は、割り込みベクタ・テーブルを共用しています。

(3) フリー・ランニング動作 (CCM2 = 0/1, CLR2 = 0)

TM2は0000HからFFFFHまでフルカウントします。オーバフローしたあと、次のカウント・クロックでTM2はクリア(0000H)され、その後カウントを続行します。

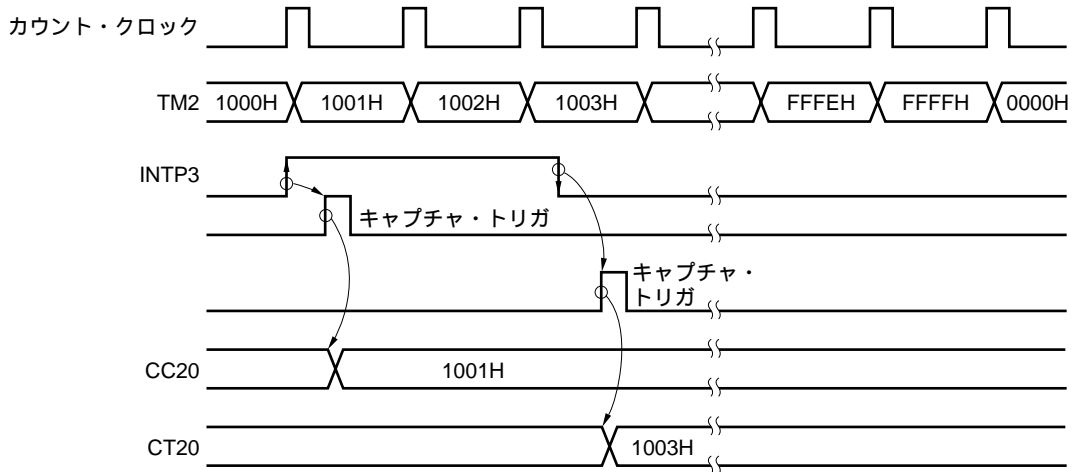
$$\text{フリー・ランニング周期} = 65536 \times \text{TM2のカウント・クロック・レート}$$

(4) キャプチャ/コンペア動作のまとめ

キャプチャ/コンペア動作はTMC2レジスタのCCM2, CLR2ビットによって制御されます。

CCM2 = 0, CLR2 = 0 (TM2...フリー・ランニング・タイマ, CC20...キャプチャ)

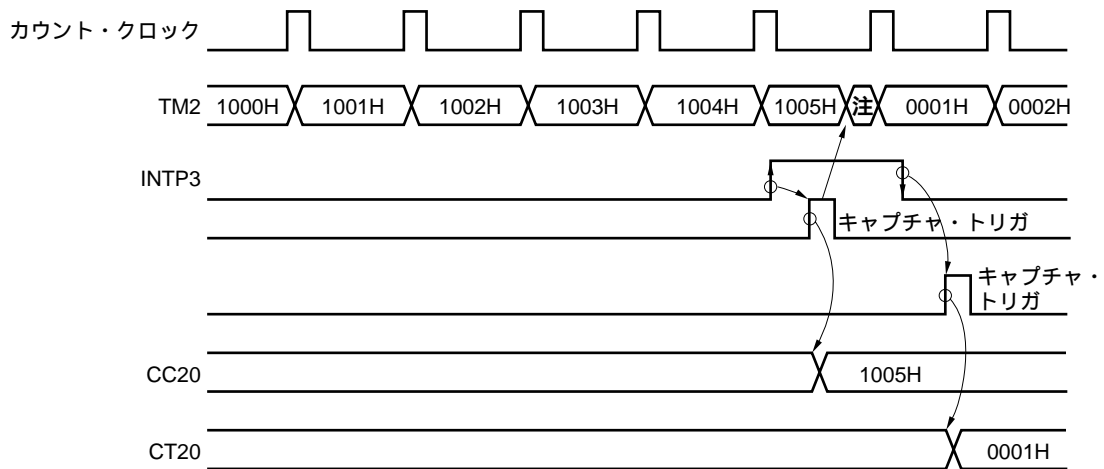
図7 - 33 TM2のキャプチャ動作例 (フリー・ランニング動作)



備考 INTP3 (CC20) の有効エッジを立ち上がりに設定

CCM2 = 0, CLR2 = 1 (TM2...インターバル・タイマ, CC20...キャプチャ)

図7 - 34 TM2のキャプチャ動作例 (インターバル動作)

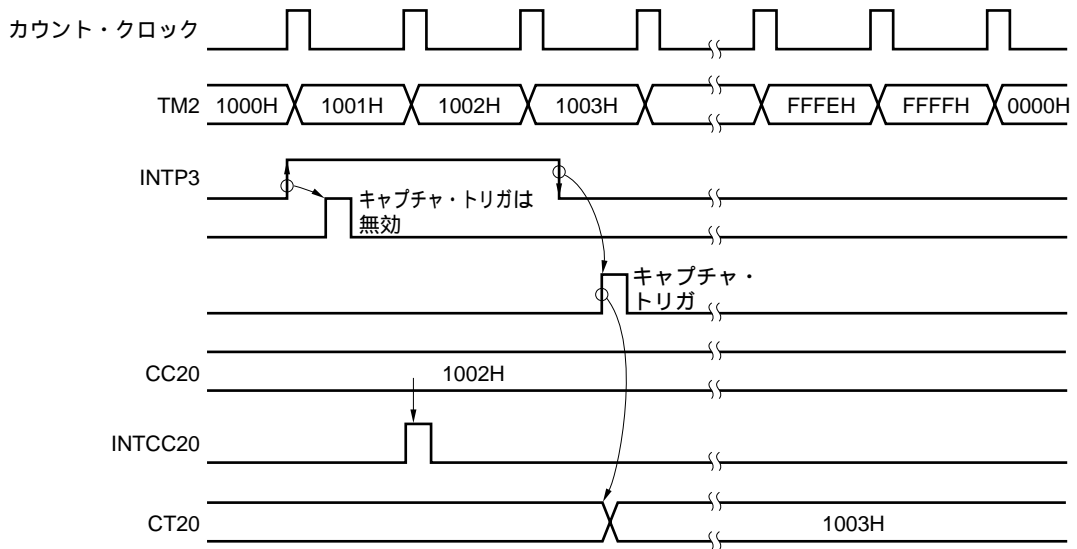


注 0000H

備考 INTP3 (CC20) の有効エッジを立ち上がりに設定

CCM2 = 1, CLR2 = 0 (TM2...フリー・ランニング・タイマ, CC20...コンペア)

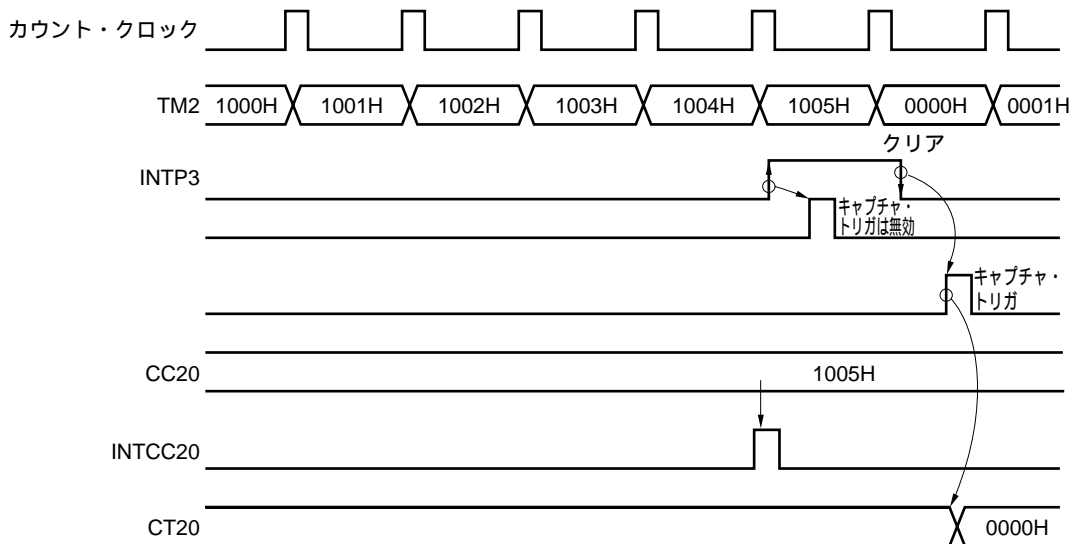
図7 - 35 TM2のコンペア動作例 (フリー・ランニング動作)



備考 INTP3 (CC20) の有効エッジを立ち上がり設定

CCM2 = 1, CLR2 = 1 (TM2...インターバル・タイマ, CC20...コンペア)

図7 - 36 TM2のコンペア動作例 (インターバル動作)

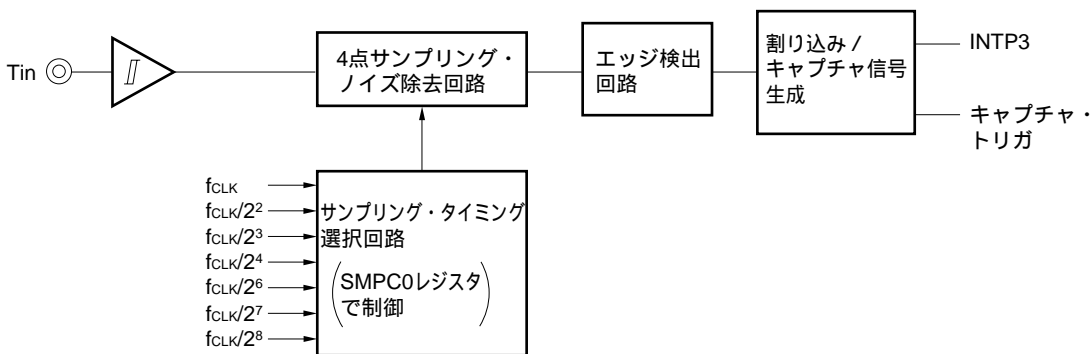


備考 INTP3 (CC20) の有効エッジを立ち上がり設定

(5) サンプリング回路の動作

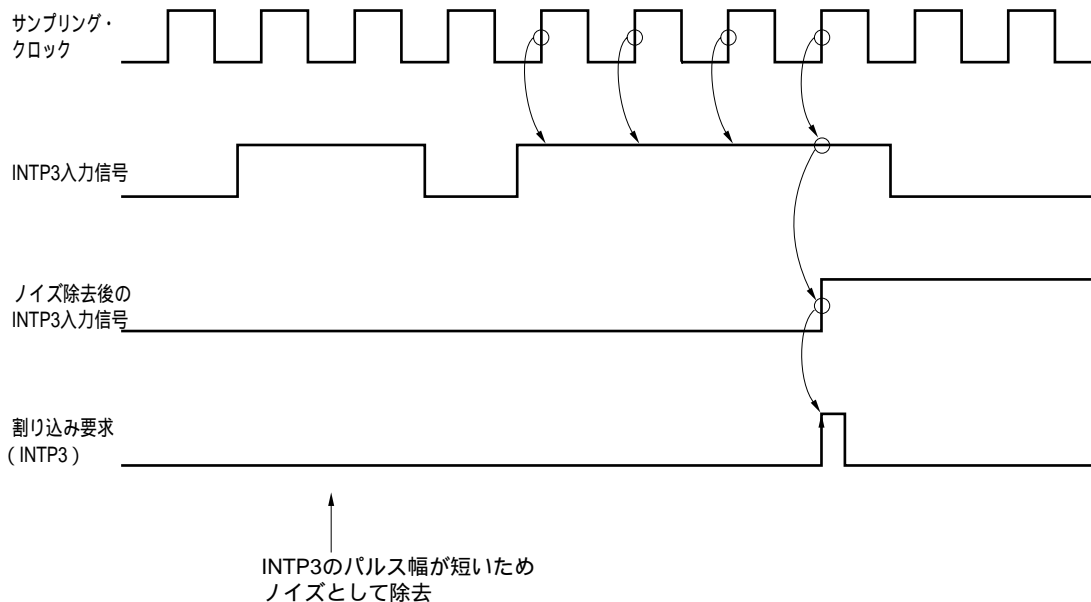
μ PD78366Aのサンプリング回路は、SMPC0レジスタで指定されるタイミングで4点サンプリングを行い、4回連続して同じレベルであれば、そのレベルを内部に取り込みます。

図7-37 サンプリング回路のブロック図 (TM2)



備考 fCLK : 内部システム・クロック

図7-38 サンプリング・タイミング図 (TM2)



4点サンプリングによる有効信号の判断は、次のようなタイミングで行っています。

- $T_{in} = (3 \times T_{smp})$... ノイズとして除去されます。
- $(3 \times T_{smp}) < T_{in} < (4 \times T_{smp})$... タイミングにより、ノイズとして除去される場合と有効信号として通過する場合があります。
- $T_{in} = (4 \times T_{smp})$... 有効信号として通過します。

T_{in} : INTP3端子の入力信号幅

T_{smp} : サンプリング・タイミング

したがって、入力信号を有効信号として通過させるためには、 $4 \times T_{smp}$ 幅の信号を入力する必要があります。

7.5 タイマ3

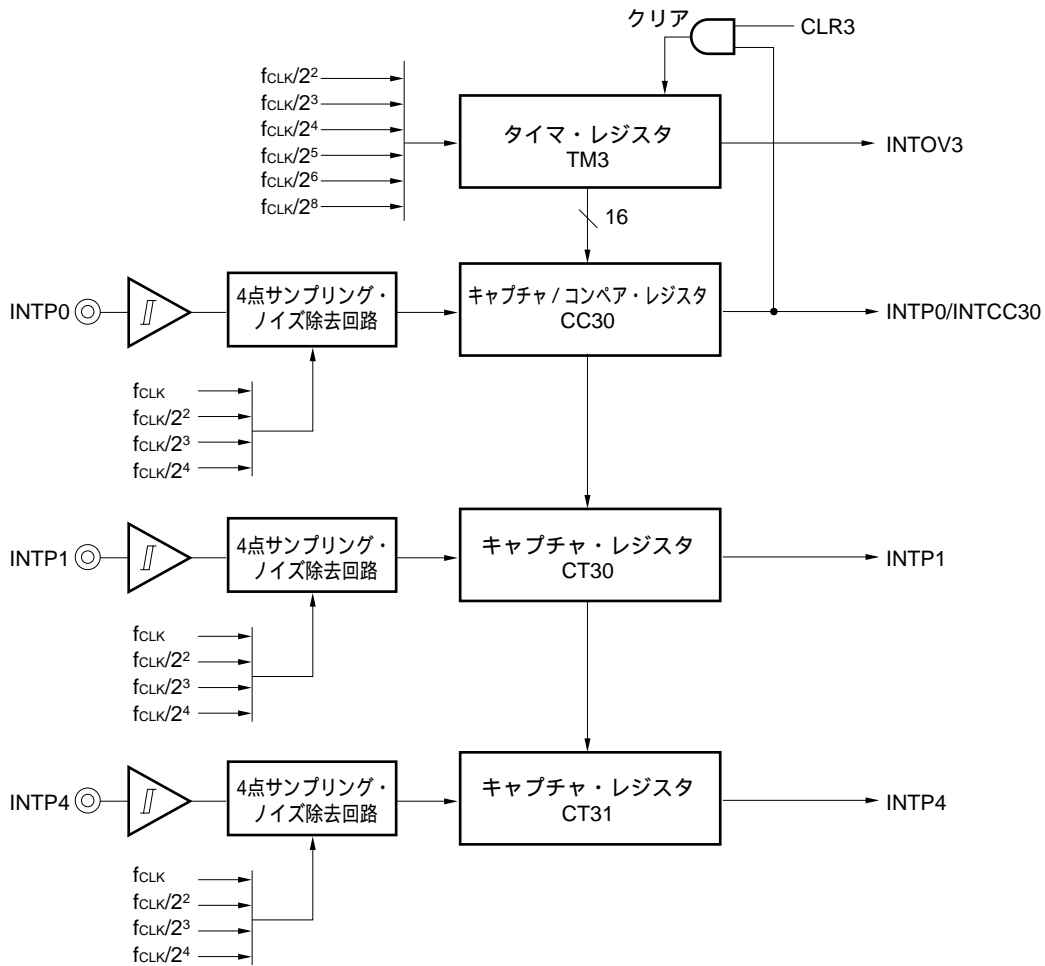
7.5.1 構成

タイマ3は、16ビット・タイマ3 (TM3) と16ビット・キャプチャ/コンペア・レジスタ1本 (CC30)、16ビット・キャプチャ・レジスタ2本 (CT30, CT31) から構成されています。

また、各割り込み端子 (INTP0, INTP1, INTP4) には、プログラマブル入力サンプリング回路が付加されており、割り込み信号のノイズを除去することができます。

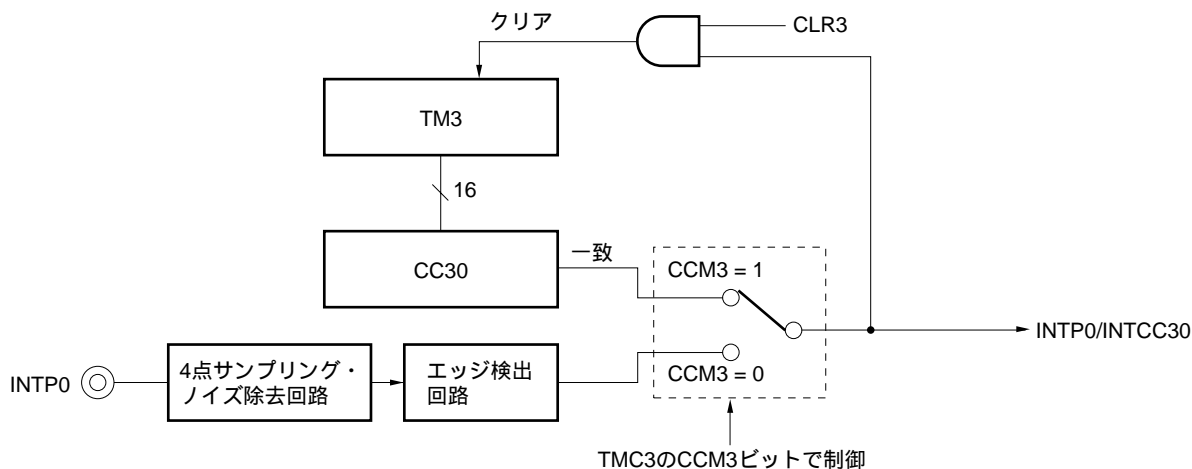
図7-39にタイマ3のブロック図を示します。

図7-39 タイマ3のブロック図



備考 fCLK : 内部システム・クロック

図7 - 40 INTP0/INTCC30生成部のブロック図



備考 CC30をコンペア・レジスタとして使用する場合（CCM3 = 1），INTP0は外部割り込み端子として使用することはできません。

（1）16ビット・タイマ3（TM3）

TM3は16ビットのフリー・ランニング・タイマまたはインターバル・タイマです。内部クロックをカウントします。

TM3がインターバル・タイマ動作のとき、キャプチャ/コンペア・レジスタ（CC30）の一致割り込み（INTP0/INTCC30）により、TM3はクリアされます。

$\overline{\text{RESET}}$ 入力により、TM3の全ビットはクリア（0）されます。

（2）16ビット・キャプチャ/コンペア・レジスタ30（CC30）

CC30は、16ビットのレジスタで、対応する割り込み要求信号（INTP0）の有効エッジを検出すると、これをキャプチャ・トリガとしてTM3の値をラッチします（キャプチャ動作）。

CC30は、コンペア・レジスタとしても動作し、TM3の値と常に比較動作を行い（コンペア動作）、一致を検出すると割り込み（INTCC30）を発生し、TM3はクリアされます。

$\overline{\text{RESET}}$ 入力により、CC30の値は不定となります。

（3）16ビット・キャプチャ・レジスタ30, 31（CT30, CT31）

CT30, CT31は、16ビットのレジスタで、対応する割り込み要求信号（INTP1, INTP4）の有効エッジを検出すると、これをキャプチャ・トリガとしてTM3の値をラッチします（キャプチャ動作）。

$\overline{\text{RESET}}$ 入力により、CT30, CT31の値は不定となります。

7.5.2 制御レジスタ

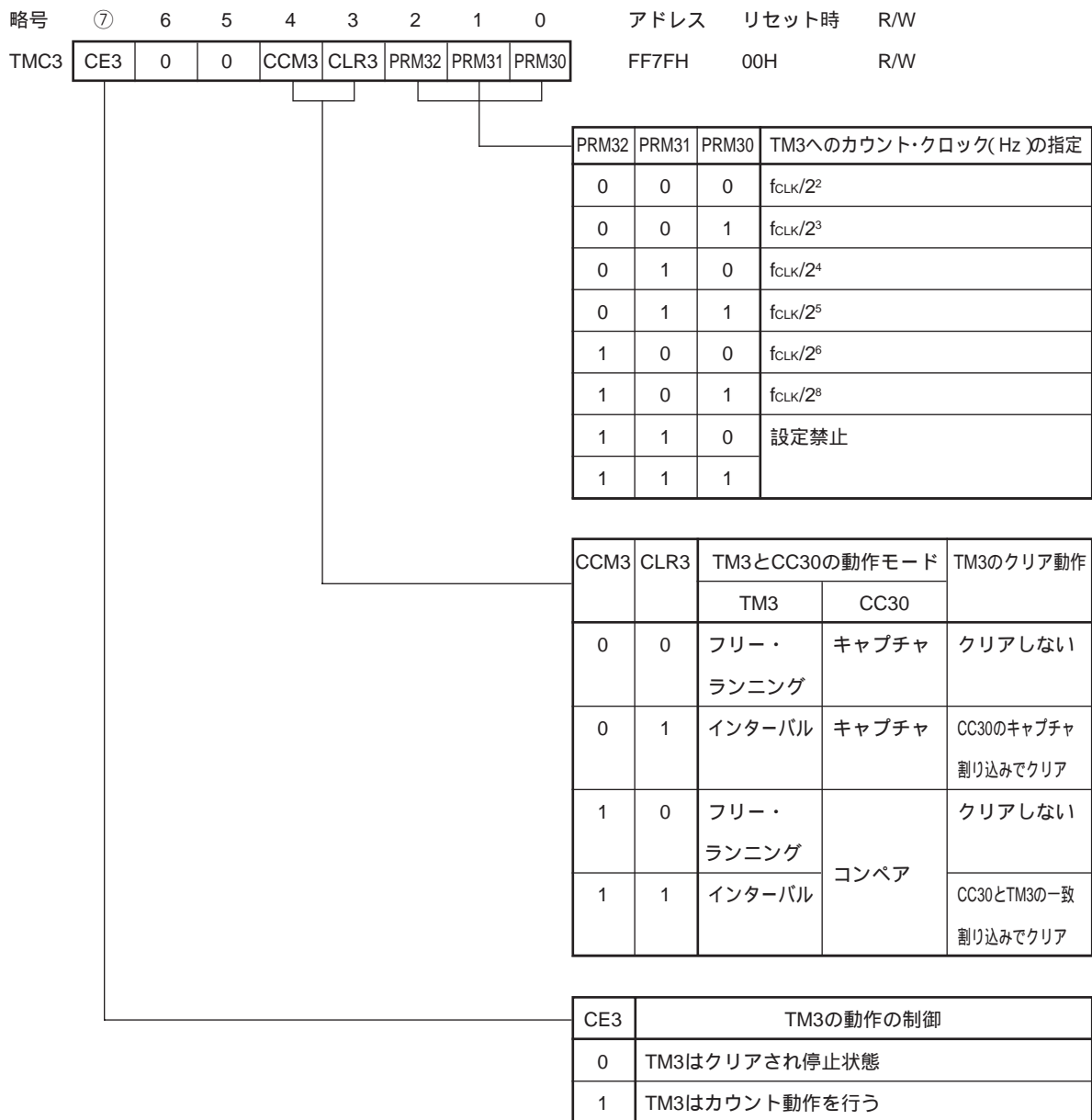
(1) タイマ・コントロール・レジスタ3 (TMC3)

タイマ・コントロール・レジスタ3 (TMC3) は、TM3, CC30の動作を制御する8ビット・レジスタです。

TMC3レジスタは、ビット操作命令または8ビット操作命令で、読み出し／書き込みが可能です。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7-41 タイマ・コントロール・レジスタ3のフォーマット



- 注意 1** . CC30をコンペア・レジスタとして使用する場合 (CCM3 = 1) , INTP0は外部割り込み端子として使用することはできません。
- 2** . CC30はハードウェア上 , コンペア・レジスタとキャプチャ・レジスタを別々に内蔵しています。TMC3レジスタの設定によりどちらかを選択できます。書き込みは , コンペア・レジスタのみ可能です。読み出しは , 選択されている方のレジスタの内容を読むことができます。
- 3** . TMC3レジスタのビット 6 , 5 は , ハードウェア上 “ 0 ” 固定です。 “ 1 ” を書き込んでも “ 0 ” のまま変化しません。
- 4** . TM3動作中 (CE3 = 1) にCCM3, CLR3, PRM32-PRM30ビットを変更することは禁止します。

備考 f_{CLK} : 内部システム・クロック

(2) 外部割り込みモード・レジスタ (INTM0, INTM1)

外部割り込みモード・レジスタ 0 (INTM0) は, NMIおよびINTP0-INTP2の有効エッジを指定する 8 ビット・レジスタです。

外部割り込みモード・レジスタ 1 (INTM1) は, INTP3, INTP4の有効エッジを指定する 8 ビット・レジスタです。

INTM0, INTM1レジスタは, ビット操作命令または 8 ビット操作命令で, 読み出し / 書き込みが可能です。

RESET 入力により 00H になります。

図7 - 42 外部割り込みモード・レジスタ 0 のフォーマット

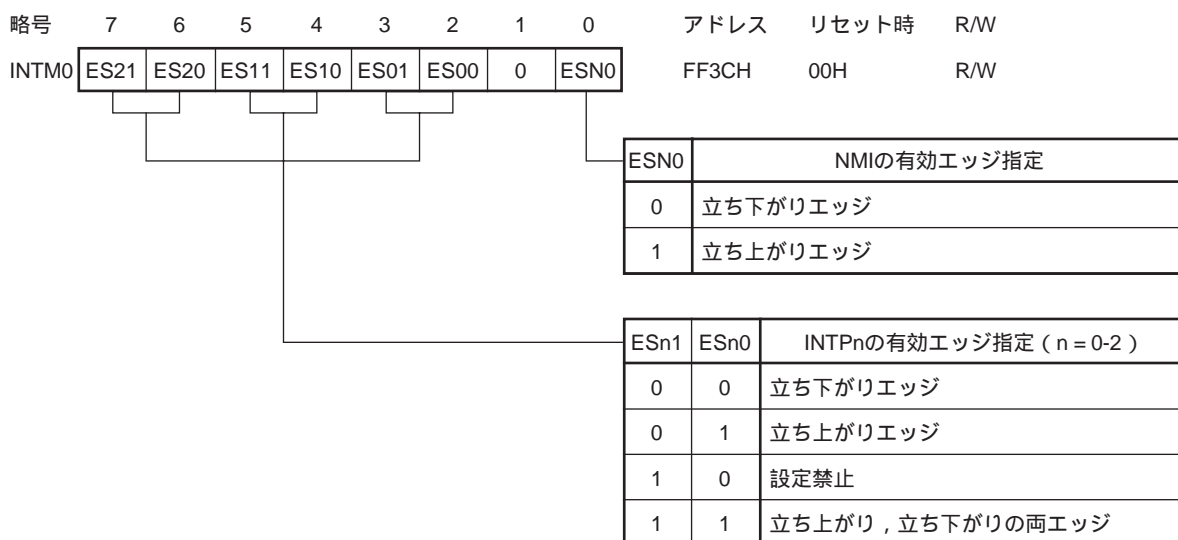
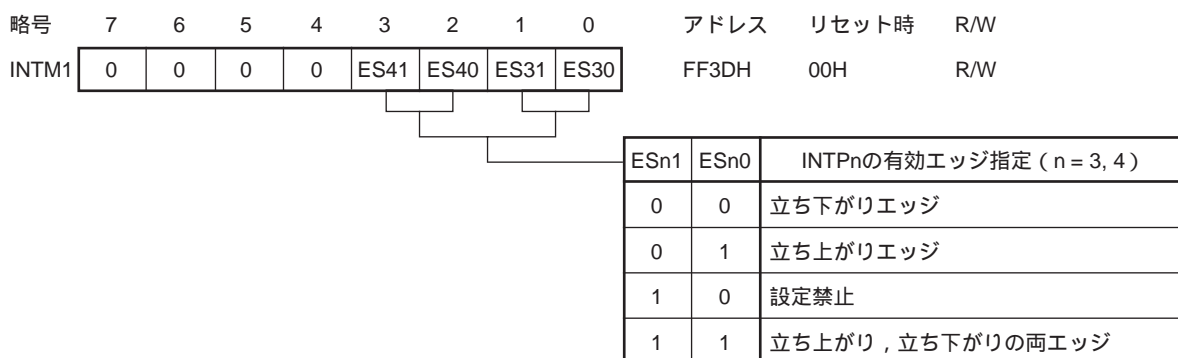


図7 - 43 外部割り込みモード・レジスタ 1 のフォーマット



注意 INTM0レジスタのビット 1, INTM1レジスタのビット 7-4 は, ハードウェア上 “ 0 ” 固定です。
 “ 1 ” を書き込んでも “ 0 ” のまま変化しません。

(3) サンプリング・コントロール・レジスタ (SMPC0, SMPC1)

サンプリング・コントロール・レジスタ 0 (SMPC0) は, INTP0-INTP3のサンプリング・クロックを指定する 8 ビット・レジスタです。

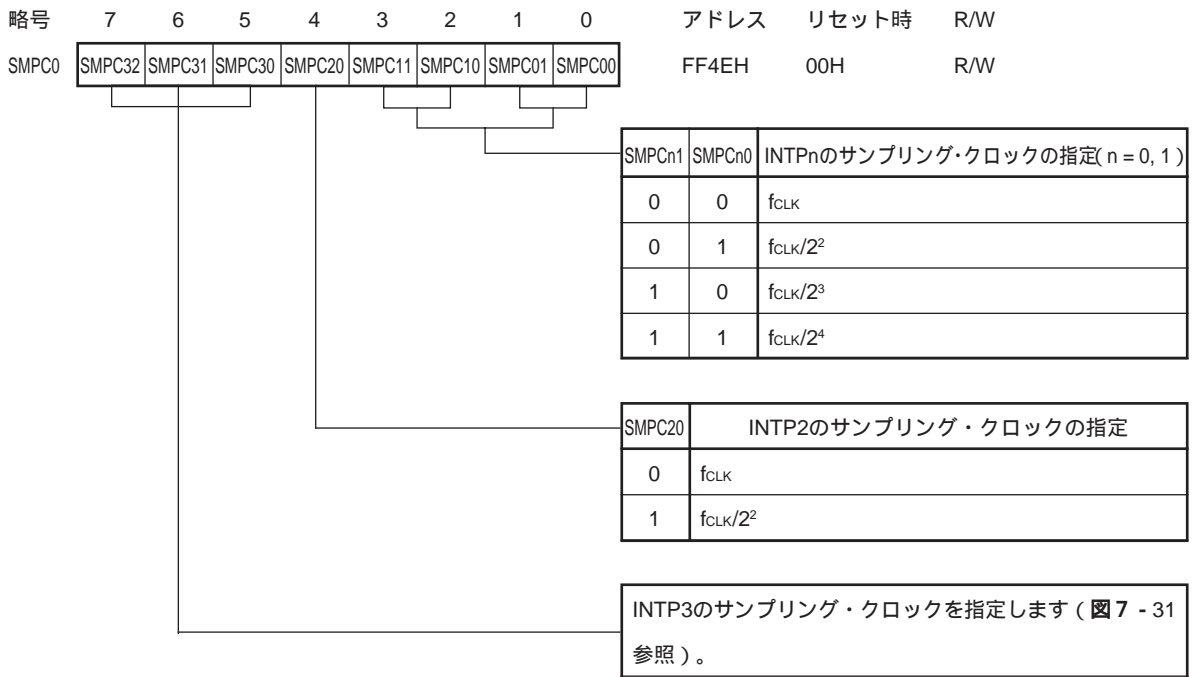
サンプリング・コントロール・レジスタ 1 (SMPC1) は, INTP4のサンプリング・クロックを指定する 8 ビット・レジスタです。

サンプリング回路は, 指定されたサンプリング・クロックで 4 点サンプリングを行い, 4 回とも同じレベルであればそのレベルを取り込みます。

SMPC0, SMPC1レジスタは, ビット操作命令または 8 ビット操作命令で, 読み出し / 書き込みが可能です。

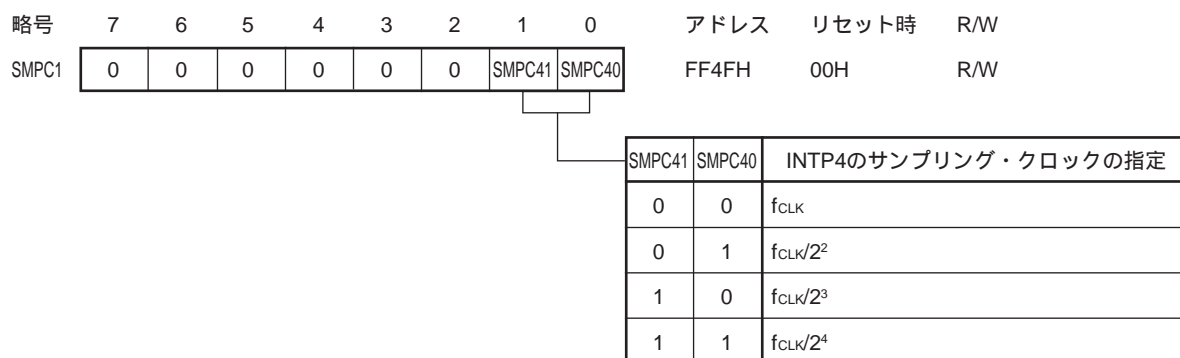
$\overline{\text{RESET}}$ 入力により 00H になります。

図7 - 44 サンプリング・コントロール・レジスタ 0 のフォーマット



備考 f_{CLK} : 内部システム・クロック

図7 - 45 サンプリング・コントロール・レジスタ1のフォーマット



注意 SMPC1レジスタのビット7-2は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。

備考 fCLK：内部システム・クロック

7.5.3 動作

(1) 基本動作

タイマ3 (TM3) は、16ビットのフリー・ランニング・タイマまたはインターバル・タイマとして動作します。

カウント動作の許可/禁止は、タイマ・コントロール・レジスタ3 (TMC3) のCE3ビットで制御します。TM3へのカウント・クロックは、TMC3レジスタにより、6種類のクロックから選択できます。

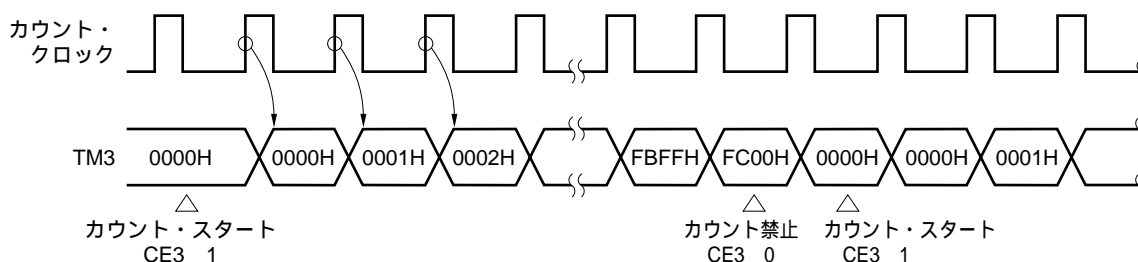
TM3は、CE3ビットをセット(1)したあと、最初のカウント・クロック入力で0000H 0000Hとなり、2回目のカウント・クロック入力で0001Hとなります。

CE3 = 1でTM3動作中に再度CE3をセット(1)しても、そのままカウント動作を行い、タイマはクリアされません。

CE3 = 0にするとTM3 = 0000Hでカウント動作を停止します。

$\overline{\text{RESET}}$ 入力により、TM3の全ビットはクリア(0)され、カウント動作は停止します。

図7 - 46 タイマ3 (TM3) の基本動作



(2) インターバル動作

TM3をインターバル・タイマとして動作させたい場合、TMC3レジスタのCCM3, CLR3ビットで設定してください。

TM3をクリアするトリガには、つぎの2つがあり、CCM3, CLR3ビットの設定により異なります。

(a) INTCC30 (CCM3 = 1, CLR3 = 1)

INTCC30は、CC30がコンペア・モードのとき発生する割り込みです。TM3とCC30は常に比較動作を行い、一致を検出すると割り込み信号INTCC30を発生します。コンペア一致したことをハードウェアで保持し、一致の次のカウント・クロックでTM3をクリア(0000H)します。さらに次のカウント・クロックが入ると、TM3は0001Hにカウント・アップされます。

$$\text{インターバル周期} = (\text{CC30値} + 1) \times \text{TM3のカウント・クロック・レート}$$

(b) INTP0 (CCM3 = 0, CLR3 = 1)

CC30がキャプチャ・モードのとき、TM3をインターバル動作に設定した場合に、外部割り込み端子INTP0の有効エッジでTM3をクリア(0000H)します。

クリア・タイミングは、INTP0の有効エッジが検出された時点です。一致の次のカウント・クロックでTM3は0001Hにカウント・アップされます。

注意 INTCC30とINTP0は、割り込みベクタ・テーブルを共用しています。

(3) フリー・ランニング動作 (CCM3 = 0/1, CLR3 = 0)

TM3は0000HからFFFFHまでフルカウントし、オーバフロー割り込みINTOV3を発生します。オーバフローしたあと、次のカウント・クロックでTM3はクリア(0000H)され、その後カウントを続行します。

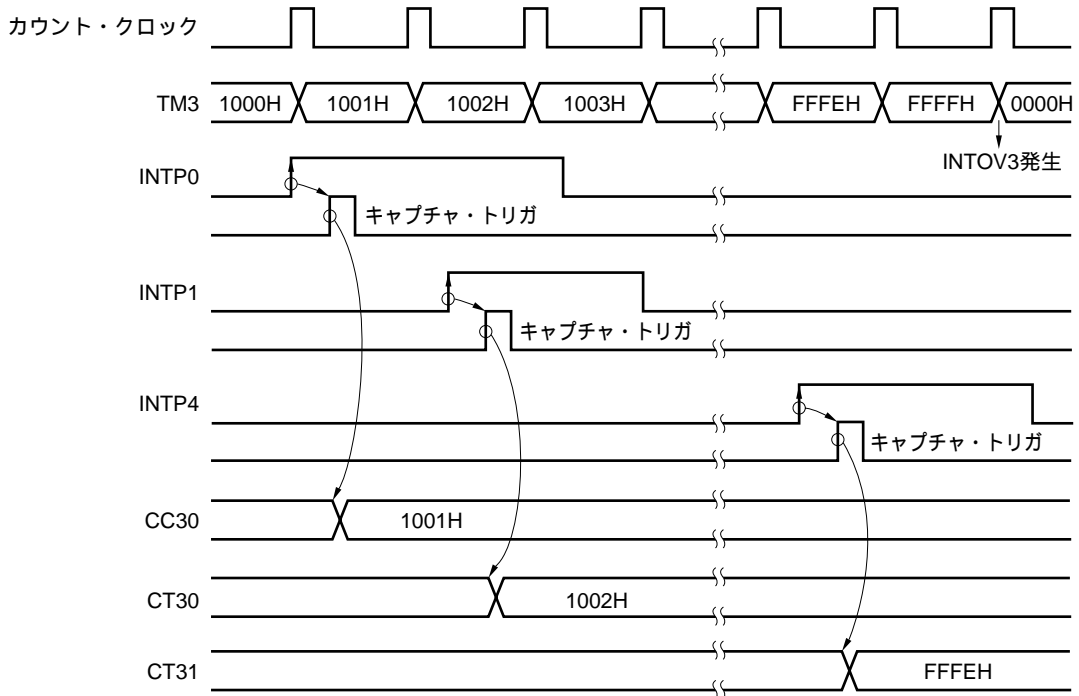
$$\text{フリー・ランニング周期} = 65536 \times \text{TM3のカウント・クロック・レート}$$

(4) キャプチャ/コンペア動作のまとめ

キャプチャ/コンペア動作はTMC3レジスタのCCM3, CLR3ビットによって制御されます。

CCM3 = 0, CLR3 = 0 (TM3...フリー・ランニング・タイマ, CC30...キャプチャ)

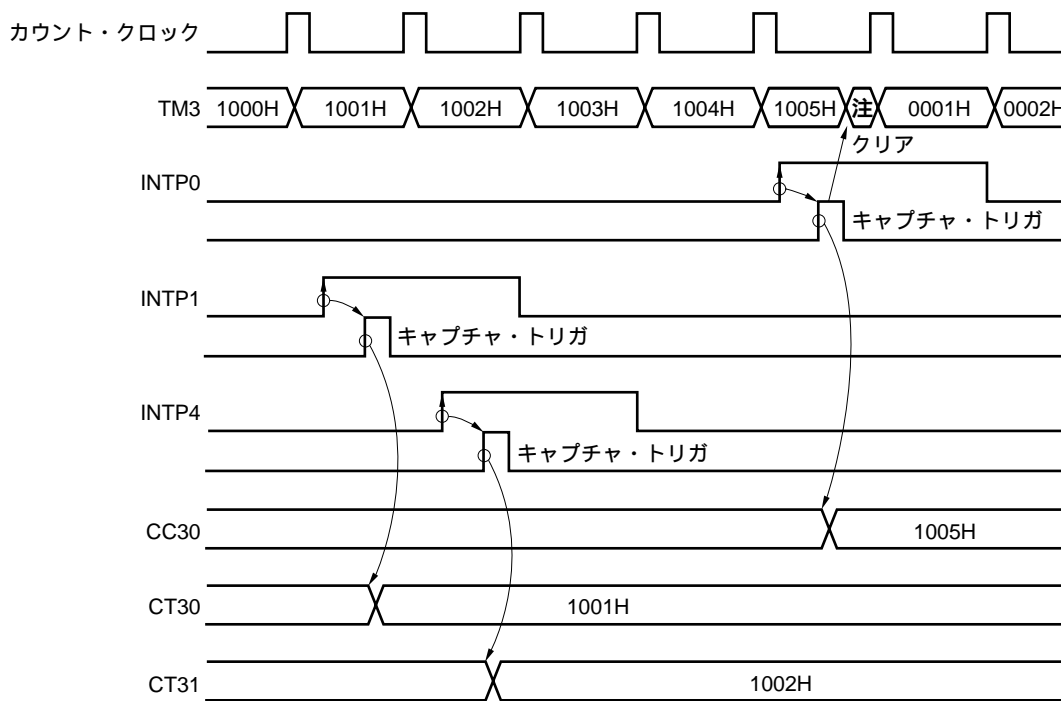
図7 - 47 TM3のキャプチャ動作例 (フリー・ランニング動作)



備考 INTP0, INTP1, INTP4の有効エッジを立ち上がりに設定

CCM3 = 0, CLR3 = 1 (TM3...インターバル・タイマ, CC30...キャプチャ)

図7 - 48 TM3のキャプチャ動作例(インターバル動作)

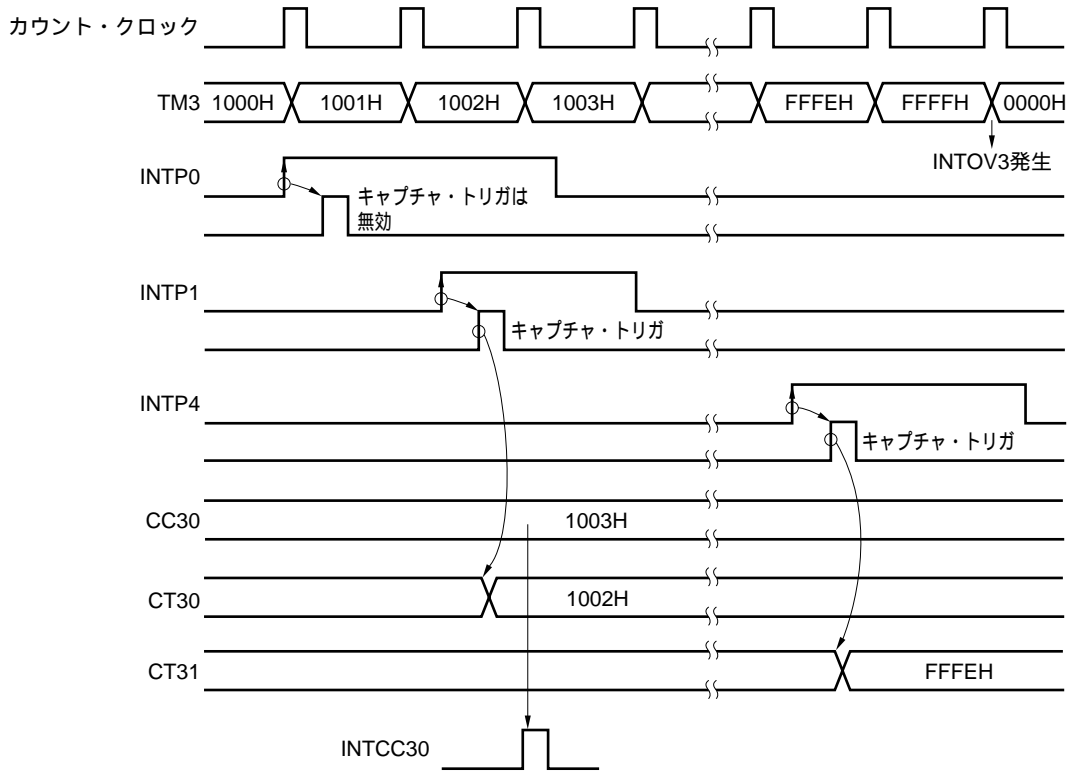


注 0000H

備考 INTP0, INTP1, INTP4の有効エッジを立ち上がりに設定

CCM3 = 1, CLR3 = 0 (TM3...フリー・ランニング・タイマ, CC30...コンペア)

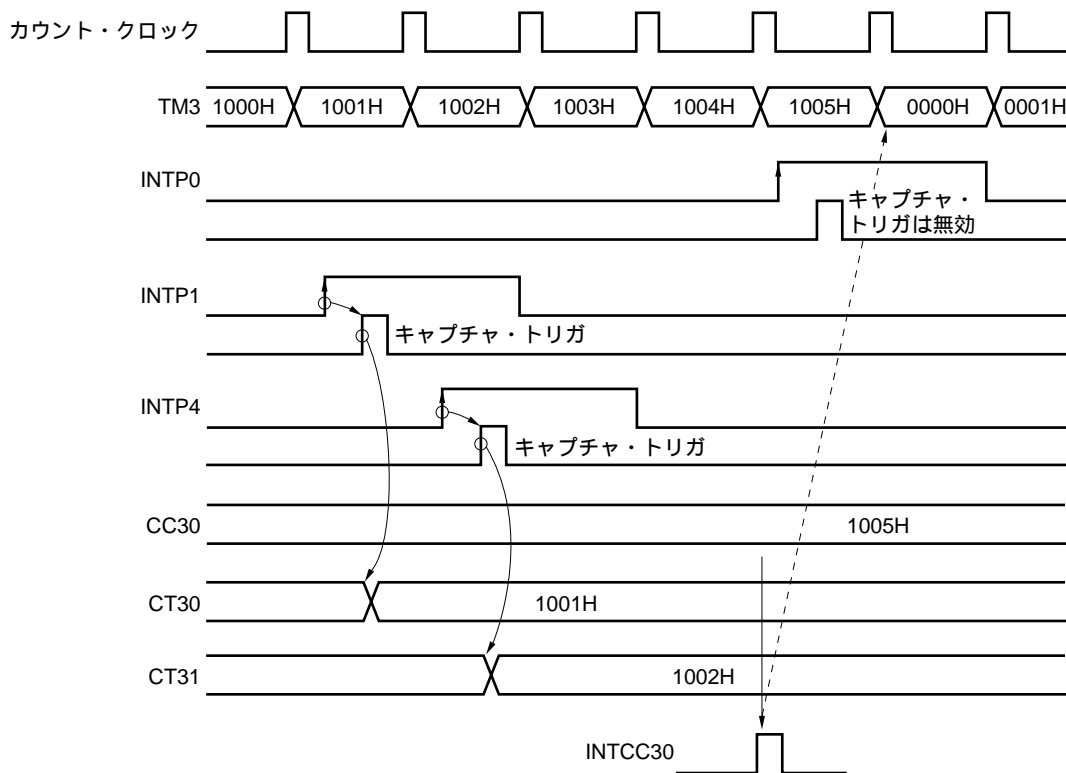
図7 - 49 TM3のコンペア動作例 (フリー・ランニング動作)



備考 INTP0, INTP1, INTP4の有効エッジを立ち上がりに設定

CCM3 = 1, CLR3 = 1 (TM3...インターバル・タイマ, CC30...コンペア)

図7 - 50 TM3のコンペア動作例 (インターバル動作)

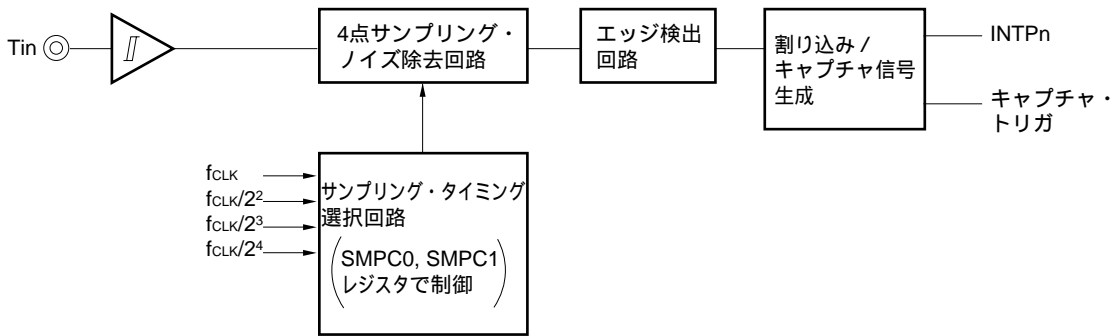


備考 INTP0, INTP1, INTP4の有効エッジを立ち上がりに設定

(5) サンプルング回路の動作

μ PD78366Aのサンプルング回路は、SMPC0, SMPC1レジスタで指定されるタイミングで4点サンプルングを行い、4回連続して同じレベルであれば、そのレベルを内部に取り込みます。

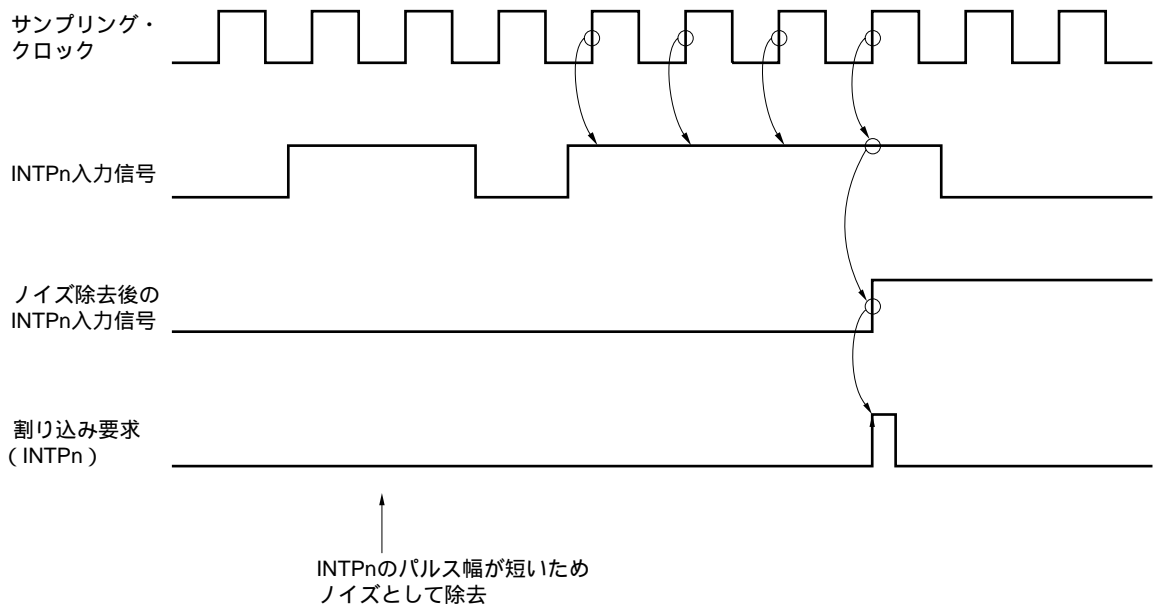
図7-51 サンプルング回路のブロック図 (TM3)



備考1 . fCLK : 内部システム・クロック

2 . INTPn (n = 0, 1, 4)

図7-52 サンプルング・タイミング図 (TM3)



備考 INTPn (n = 0, 1, 4)

4点サンプリングによる有効信号の判断は、次のようなタイミングで行っています。

- $T_{in} < (3 \times T_{smp})$... ノイズとして除去されます。
- $(3 \times T_{smp}) < T_{in} < (4 \times T_{smp})$... タイミングにより、ノイズとして除去される場合と有効信号として通過する場合があります。
- $T_{in} < (4 \times T_{smp})$... 有効信号として通過します。

T_{in} : INTP n 端子の入力信号幅 ($n = 0, 1, 4$)

T_{smp} : サンプリング・タイミング

したがって、入力信号を有効信号として通過させるためには、 $4 \times T_{smp}$ 幅の信号を入力する必要があります。

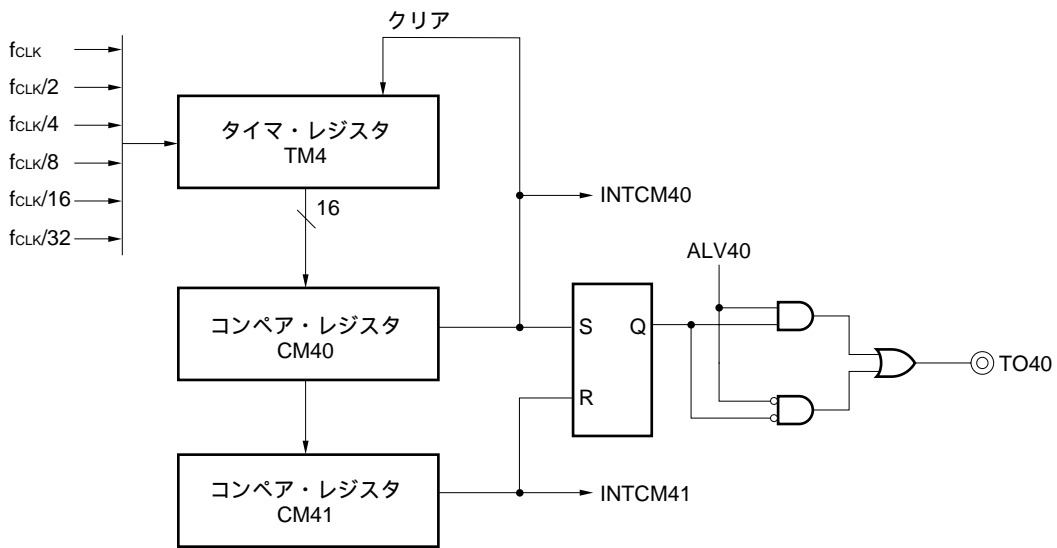
7.6 タイマ4

7.6.1 構成

タイマ4は、16ビット・タイマ4 (TM4) と16ビット・コンペア・レジスタ2本 (CM40, CM41) から構成されています。

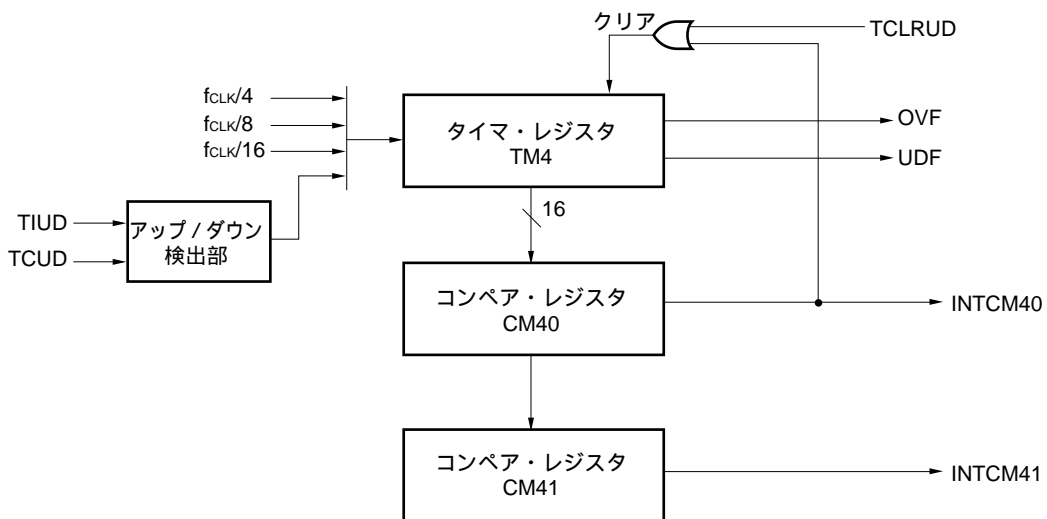
図7-53, 7-54にタイマ4のブロック図を示します。

図7-53 タイマ4のブロック図(汎用タイマ・モード)



備考 fCLK: 内部システム・クロック

図7-54 タイマ4のブロック図(UDCモード)



備考 fCLK: 内部システム・クロック

(1) 16ビット・タイマ4 (TM4)

TM4には次に示す2つの動作モードがあります。

(a) 汎用タイマ・モード

汎用タイマ・モードでは、16ビットのインターバル・タイマ、フリー・ランニング・タイマ、またはPWM出力用タイマとして動作します。内部クロックをカウントします。

TM4がインターバル・タイマ動作のとき、コンペア・レジスタ (CM40) と一致した次のカウント・クロックでTM4はクリアされます。

$\overline{\text{RESET}}$ 入力により、TM4の全ビットはクリア (0) されます。

(b) アップ/ダウン・カウンタ・モード (UDCモード)

UDCモードでは、16ビットのアップ/ダウン・カウンタとして動作します。内部クロックまたは外部クロックをカウントします。

外部クリア入力 (TCLRUD)、またはコンペア・レジスタ (CM40) と一致した次のカウント・クロックでTM4はクリアされます。

$\overline{\text{RESET}}$ 入力により、TM4の全ビットはクリア (0) されます。

(2) 16ビット・コンペア・レジスタ (CM40, CM41)

CM40, CM41は16ビットのレジスタで、TM4と常に比較動作を行い、一致を検出すると割り込み信号 (INTCM40, INTCM41) を発生します。

$\overline{\text{RESET}}$ 入力により、CM40, CM41の値は不定となります。

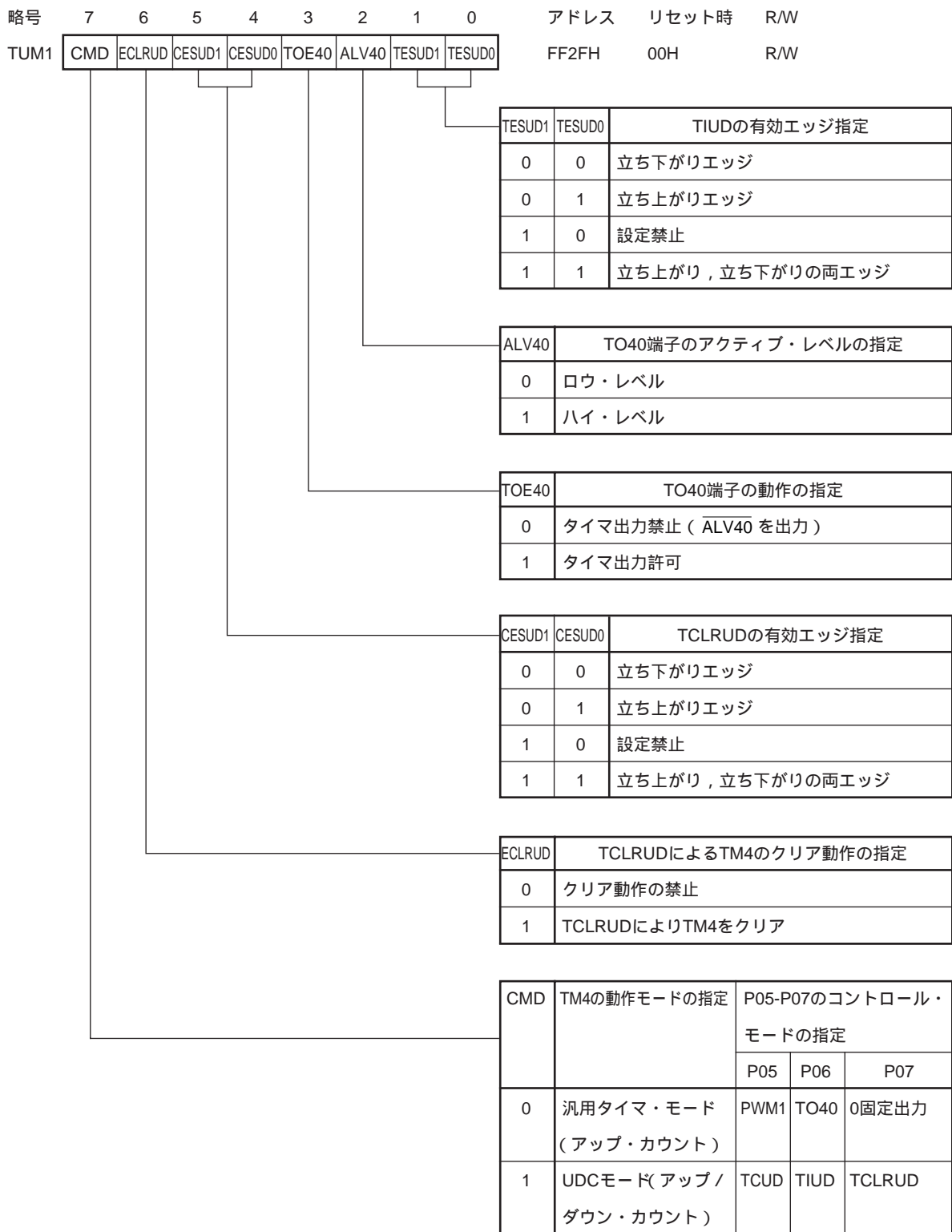
7.6.2 制御レジスタ

(1) タイマ・ユニット・モード・レジスタ1 (TUM1)

タイマ・ユニット・モード・レジスタ1 (TUM1) は、TM4の動作モード指定、P05-P07端子のコントロール・モード時の端子機能制御、タイマ出力端子 (TO40) の動作制御、外部トリガ (TCLRUD, TIUD) 制御を行う8ビット・レジスタです。

TUM1レジスタは、ビット操作命令または8ビット操作命令で、読み出し/書き込みが可能です。
 $\overline{\text{RESET}}$ 入力により00Hになります。

図7-55 タイマ・ユニット・モード・レジスタ1のフォーマット

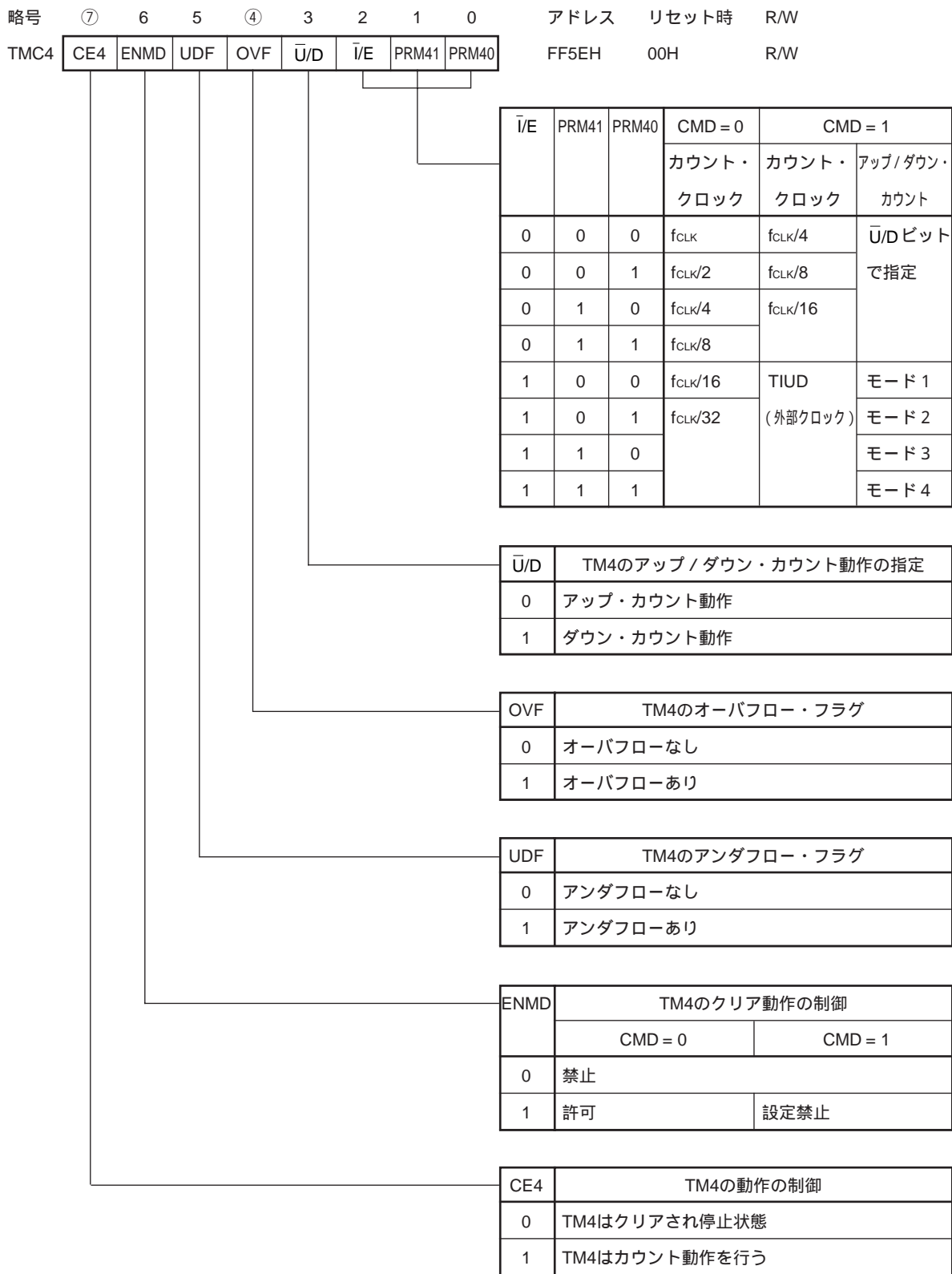


- 注意1. ビット0, 1, 4-6の指定は, CMD = 1のときのみ有効です。
 ビット2, 3の指定は, CMD = 0のときのみ有効です。
2. TM4の動作がモード4に指定されている場合 (TMC4レジスタで指定) には, TIUD端子に対する有効エッジの指定 (TESUD0, TESUD1ビット) は無効です。
3. TM4動作中 (CE4 = 1) にTUM1レジスタの各ビットを変更することは禁止します。

(2) タイマ・コントロール・レジスタ4 (TMC4)

タイマ・コントロール・レジスタ4 (TMC4) は、TM4の動作を制御する8ビット・レジスタです。TMC4レジスタは、ビット操作命令または8ビット操作命令で、読み出し／書き込みが可能です。 $\overline{\text{RESET}}$ 入力により00Hになります。

図7 - 56 タイマ・コントロール・レジスタ4のフォーマット



注意 1 . U/D ビットの指定は , CMD = 1のときのみ有効です。

2 . TM4動作中(CE4 = 1)にENMD, I/E, PRM41, PRM40ビットを変更することは禁止します。

備考 f_{CLK} : 内部システム・クロック

次にTMC4レジスタの各ビットについて説明します。

(a) CE4ビット(ビット7)

TM4の動作を制御するビットです。

- ・CE4 0のとき：TM4は停止し、動作しません
- ・CE4 1のとき：TM4はカウント動作を行います

(b) ENMDビット(ビット6)

TM4のクリア動作を制御するビットです。

- ・ENMD 0のとき：禁止
TM4のクリア動作は行いません。
CMD = 0, ENMD = 0のとき、TM4はフリー・ランニング動作をします。

- ・ENMD 1のとき：許可

汎用タイマ・モード時 (CMD = 0)	UDCモード時 (CMD = 1)
TM4とCM40の一致でTM4はクリアされ れます(インターバル動作)。	設定禁止

(c) UDFビット(ビット5)

TM4のアンダフロー・フラグです。フラグのクリアは、システム・リセットまたはソフトウェア・リセットで行われます。

- ・UDF 0のとき：TM4のカウント・アンダフロー発生なし
- ・UDF 1のとき：TM4のカウント・アンダフローが発生

(d) OVFビット(ビット4)

TM4のオーバーフロー・フラグです。フラグのクリアは、システム・リセットまたはソフトウェア・リセットで行われます。

- ・OVF 0のとき：TM4のカウント・オーバーフロー発生なし
- ・OVF 1のとき：TM4のカウント・オーバーフローが発生

(e) \bar{U}/D ビット (ビット3)

内部クロック・カウント時には、TM4のアップ/ダウン動作を指定します。

外部クロック・カウント時には、TM4のアップ/ダウン動作をリードすることができます。

フラグのクリアは、システム・リセット、CE4ビットのリセット、ソフトウェア・リセット、外部クロック・カウント時のTIUD, TCUDの組み合わせによって行われます。

- ・ \bar{U}/D 0 のとき：TM4はアップ・カウントします
- ・ \bar{U}/D 1 のとき：TM4はダウン・カウントします

注意1 . CMD = 0のとき

\bar{U}/D ビットはハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。読み出すと、必ず“0”が読み出されます。

CMD = 1で内部クロックを選択したとき

\bar{U}/D ビットへ書き込み可能です。読み出し操作をすると、書き込んだ値が読み出されます。

CMD = 1で外部クロックを選択したとき

\bar{U}/D ビットへの書き込みはハードウェア上できません。読み出し操作をすると、TM4のアップ/ダウン状態が読み出されます。

- 2 . TM4が停止中 (CE4 = 0) のときには、 \bar{U}/D ビットに対して“1”を書き込んでも、“0”のまま書き換えることができません (7.6.3 (3) の (b) UDCモードの内部クロック動作 参照)。

(f) \bar{I}/E ビット (ビット2)

TM4のカウント・クロックを指定するビットです。

汎用タイマ・モード時 (CMD = 0)

カウント・クロックは内部クロック固定です。 \bar{I}/E ビットとPRM41, PRM40ビットでTM4のクロック・レートを指定します。

UDCモード時 (CMD = 1)

- ・ \bar{I}/E 0 のとき：内部クロック
- ・ \bar{I}/E 1 のとき：外部クロック (TIUD)

(g) PRM41, PRM40ビット(ビット1, 0)

内部クロック時のクロック・レートまたは外部クロック入力時のアップ/ダウン・カウントの動作モードを指定します。

$\bar{I}E$	PRM41	PRM40	CMD = 0		CMD = 1	
			カウント・クロック	カウント・クロック	アップ/ダウン・カウント	
0	0	0	f _{CLK}	f _{CLK} /4	U/Dビット で指定	
0	0	1	f _{CLK} /2	f _{CLK} /8		
0	1	0	f _{CLK} /4	f _{CLK} /16		
0	1	1	f _{CLK} /8			
1	0	0	f _{CLK} /16	TIUD (外部クロック)	モード1	
1	0	1	f _{CLK} /32		モード2	
1	1	0			モード3	
1	1	1			モード4	

外部クロック入力時のTM4の動作モード

動作モード	TM4の動作
モード1	TCUD = Hのとき ダウン・カウント TCUD = Lのとき アップ・カウント
モード2	TIUD入力の有効エッジ検出でアップ・カウント TCUD入力の立ち上がりエッジ検出でダウン・カウント
モード3	TIUD入力の有効エッジ検出時のTCUD入力レベルで自動判別
モード4	TIUD入力の両エッジおよびTCUD入力の両エッジ検出で自動判別

注意 TM4の動作がモード4に指定されている場合には、TIUD端子に対する有効エッジの指定(タイマ・ユニット・モード・レジスタ1(TUM1)で指定)は無効となります。

7.6.3 動作

(1) 基本動作

タイマ4 (TM4) は、次に示す2つの動作モードがあります。

(a) 汎用タイマ・モード

汎用タイマ・モードでは、16ビットのインターバル・タイマ、フリー・ランニング・タイマ、またはPWM出力用タイマとして動作します。

TM4へのカウント・クロックは、TMC4レジスタにより、6種類の内部クロックから選択できます。

(b) アップ/ダウン・カウンタ・モード (UDCモード)

UDCモードでは、16ビットのアップ/ダウン・カウンタとして動作します。

TM4へのカウント・クロックは、TMC4レジスタにより、3種類の内部クロック、または外部クロック入力 (TIUD) から選択できます。

TM4のクリアは、外部クリア入力 (TCLRUD) で行われます。

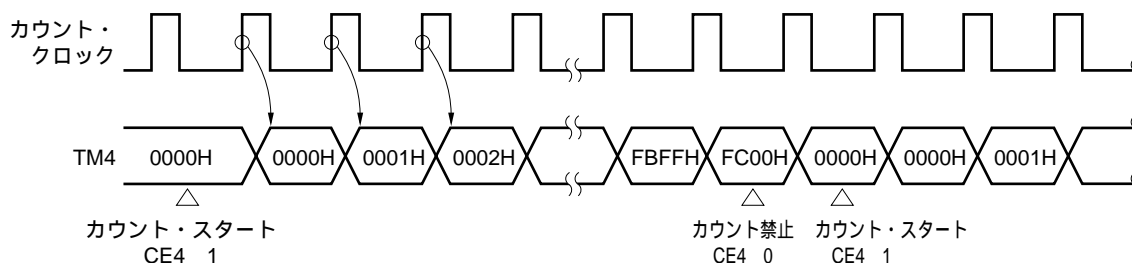
TM4は、CE4ビットをセット (1) したあと、最初のカウント・クロック入力で0000H 0000Hとなり、2回目のカウント・クロック入力で0001Hとなります。TM4をダウン・カウントでスタートさせた場合 (UDCモードのみ) は、1回目のカウント・クロック入力で0000H 0000Hとなり、2回目でFFFFHとなります。

CE4 = 1でTM4動作中に再度CE4をセット (1) しても、そのままカウント動作を行い、タイマはクリアされません。

CE4 = 0にするとTM4 = 0000Hでカウント動作を停止します。

$\overline{\text{RESET}}$ 入力により、TM4の全ビットはクリア (0) され、カウント動作は停止します。

図7 - 57 タイマ4 (TM4) の基本動作



(2) 汎用タイマ・モード

TM4を汎用タイマ・モードで動作させたい場合、TUM1レジスタのCMDビット=0に設定してください。このモードでは、16ビットのインターバル・タイマ、フリー・ランニング・タイマ、PWM出力用タイマとして動作します。

TM4へのカウント・クロックは、TMC4レジスタにより、6種類の内部クロックから選択できます。

(a) インターバル動作

TM4とCM40は常に比較動作を行い、一致を検出すると割り込み信号INTCM40を発生します。コンパレータ一致したことをハードウェアで保持し、一致の次のカウント・クロックでTM4をクリア(0000H)します。さらに次のカウント・クロックが入ると、TM4は0001Hにカウント・アップされます。

$$\text{インターバル周期} = (\text{CM40値} + 1) \times \text{TM4のカウント・クロック・レート}$$

(b) フリー・ランニング動作

TM4は0000HからFFFFHまでフルカウントし、オーバフロー・フラグ(OVF)をセット、タイマをクリアしてカウントを続行します。

$$\text{フリー・ランニング周期} = 65536 \times \text{TM4のカウント・クロック・レート}$$

(3) UDCモード

(a) UDCモードの基本動作

〔設定手順〕

TM4を外部クロックで動作させたい場合(モード1-4),ポート0モード・コントロール・レジスタ(PMC0)によりP05-P07をコントロール・モードに設定します。

内部クロック動作の場合も,外部クリア(TCLRUD)を使用したい場合は,P07のみコントロール・モードに設定します。

TUM1レジスタのCMDビットをセット(1)して,TM4をUDCモードにします。この設定で, で指定したコントロール端子が,UDCモードで使用する機能端子(TCUD, TIUD, TCLRUD)になります。

TUM1レジスタで次に示す指定を行います。

- ・ECLRUDビット : TCLRUD端子の有効エッジによるTM4クリアの許可/禁止
- ・CESUD1,0ビット : TCLRUD端子の有効エッジ指定
- ・TESUD1,0ビット : TIUD端子有効エッジ指定

TMC4レジスタで次に示す指定を行います。

- ・ENMDビット : 必ず“0”を設定してください。
- ・ \bar{U}/D ビット : UDCモードでさらに内部クロックでタイマを動作させるときのみTM4の動作を指定します。
- ・ \bar{i}/E ビット : TM4のカウント・クロックを内部か外部か選択します。
- ・PRM41,40ビット : TM4のカウント・クロックおよび動作モードを指定します。

最後にTMC4レジスタのCE4ビットをセット(1)しますと,TM4が動作を開始します。

〔モード別の動作〕

TM4をUDCモードで動作させたい場合は、TUM1レジスタのCMD = 1に設定してください。

UDCモードの動作をまとめると、次のようになります。

表7 - 5 UDCモードの動作一覧

TMC4レジスタ			動作モード	TM4の動作	TM4のクリア動作	
I/E	PRM41	PRM40			CM40一致	TCLRUD
0	x	x	内部クロック	U/Dビットでアップ/ダウン設定	禁止： ENMD = 0	許可： ECLRUD = 1 禁止： ECLRUD = 0
1	0	0	モード1	TCUD = Hのとき ダウン・カウント TCUD = Lのとき アップ・カウント		
1	0	1	モード2	TIUD入力の有効エッジ検出でアップ・カウント TCUD入力の立ち上がりエッジ検出でダウン・カウント		
1	1	0	モード3	TIUD入力の有効エッジ検出時のTCUD入力レベルで自動判別		
1	1	1	モード4	TIUD入力の両エッジおよびTCUD入力の両エッジ検出で自動判別		

注意 UDCモードでは、ENMD = 1は設定禁止です。

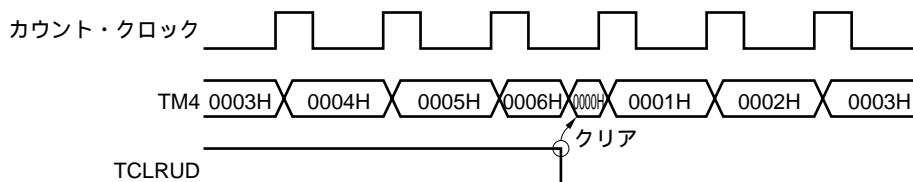
備考1 . ENMDビット：TMC4レジスタのビット6

2 . ECLRUDビット：TUM1レジスタのビット6

〔外部クリア (TCLRUD) 動作について〕

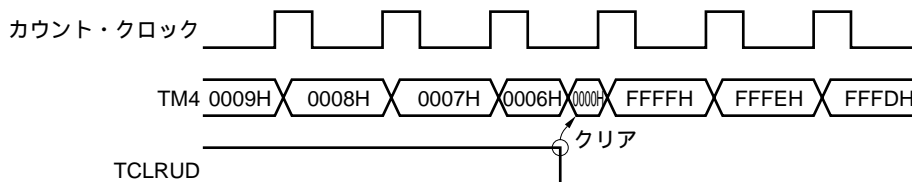
TCLRUD信号は、TM4がUDCモード（内部クロック，外部クロック）のときのみ有効なタイマ・クリア信号です。TCLRUD端子の有効エッジは、TUM1レジスタのCESUD1, CESUD0ビットで指定され、有効エッジが検出されると、TM4はクリアされます。

図7 - 58 TM4のクリア動作 (UDCモードのアップ・カウント時)



備考 TCLRUDの有効エッジは立ち下がりに設定

図7 - 59 TM4のクリア動作 (UDCモードのダウン・カウント時)



備考 TCLRUDの有効エッジは立ち下がりに設定

(b) UDCモードの内部クロック動作

TM4を内部クロックで動作させたい場合、TMC4レジスタの \bar{I}/E 、PRM41、PRM40ビットで設定します。

表7 - 6 TMC4レジスタの設定 (UDCモードの内部クロック動作時)

\bar{I}/E	PRM41	PRM40	カウント・クロック
0	0	0	$f_{CLK}/4$
0	0	1	$f_{CLK}/8$
0	1	0	$f_{CLK}/16$
0	1	1	

UDCモードの内部クロック動作を指定した場合、アップ/ダウン動作は、TMC4レジスタの \bar{U}/D ビットで指定します。TM4は、 \bar{U}/D ビットをリセット(0)するとアップ・カウントし、セット(1)するとダウン・カウントします。

注意 TM4が停止中($CE4=0$)のときには、 \bar{U}/D ビットに対して“1”を書き込んでも、“0”のまま書き換えることができません。TM4をスタートからダウン動作させたい場合、TMC4レジスタに対して、MOV命令で $CE4$ ビットと \bar{U}/D ビットを同時にセット(1)してください。

<正しいプログラム例>

```
MOV TUM1, #80H ; TM4をUDCモードに設定
MOV TMC4, #88H ; CE4 = 1,  $\bar{I}/E = 0$ ,  $\bar{U}/D = 1$ 
```

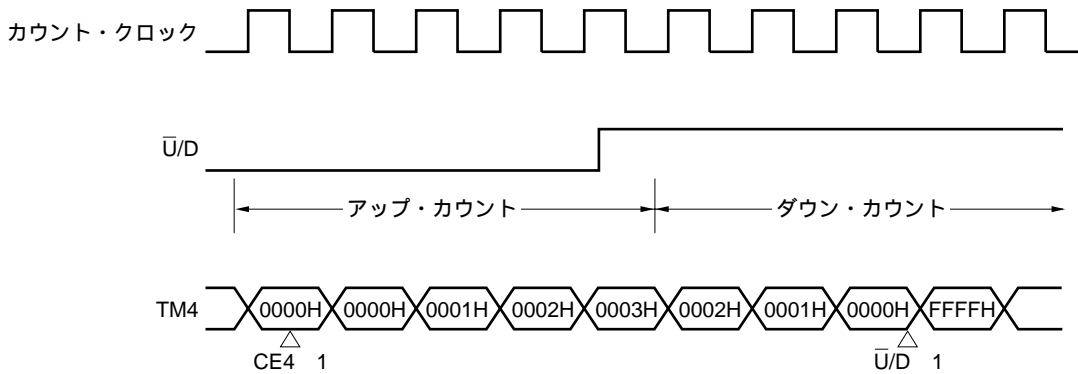
次のようにプログラムした場合、TM4はスタートからアップ動作をしてしまいます。

<誤ったプログラム例>

```
MOV TUM1, #80H ; TM4をUDCモードに設定
MOV TMC4, #08H ;  $\bar{I}/E = 0$ ,  $\bar{U}/D = 1$  (TM4は内部クロックでダウン動作)
SET1 TMC4.7 ; CE4 = 1 (TM4スタート)
```

この時点で $CE4=0$ なので、 $\bar{U}/D=0$ のまま書き換えられない
 $\bar{U}/D=0$ でTM4スタートとなり、TM4はアップ動作をする

図7-60 UDCモードで内部クロック時の動作



(c) UDCモードの外部クロック動作

タイマ4 (TM4) のカウント・クロックを外部クロックに設定すると、外部カウント・クロック入力 (TIUD端子) と、カウント動作切り替え制御信号入力 (TCUD端子) により、アップ/ダウン・カウント切り替え動作の制御を行います。切り替え動作のモードは、タイマ・コントロール・レジスタ4 (TMC4) のPRM41, PRM40ビットによりモード1-4に設定されます。

表7-7 アップ/ダウン・カウント動作モード一覧

TMC4レジスタ			動作モード	TM4の動作
\bar{I}/E	PRM41	PRM40		
1	0	0	モード1	TCUD = Hのとき ダウン・カウント TCUD = Lのとき アップ・カウント
1	0	1	モード2	TIUD入力の有効エッジ検出でアップ・カウント TCUD入力の立ち上がりエッジ検出でダウン・カウント
1	1	0	モード3	TIUD入力の有効エッジ検出時のTCUD入力レベルで自動判別
1	1	1	モード4	TIUD入力の両エッジおよびTCUD入力の両エッジ検出で自動判別

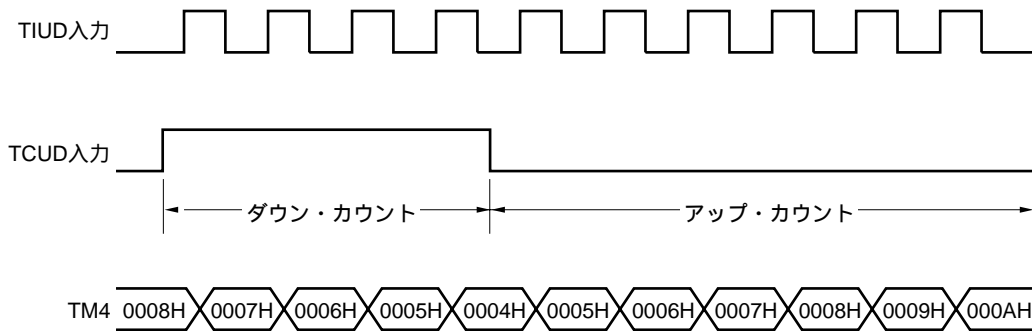
注意 TM4の動作がモード4に指定されている場合には、TIUD端子に対する有効エッジの指定 (タイマ・ユニット・モード・レジスタ1 (TUM1) で指定) は無効となります。

(i) モード1 (PRM41 = 0, PRM40 = 0)

モード1では、TCUD端子がハイ・レベルの期間、外部カウント・クロック入力 (TIUD端子) をダウン・カウントし、ロウ・レベルの期間アップ・カウントします。

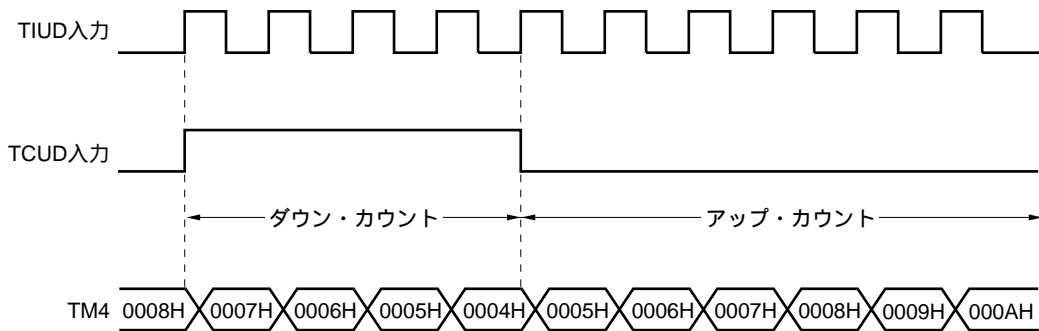
TIUD端子の有効エッジを立ち上がりとした場合 (TUM1レジスタで指定) のTM4の動作を図7-61に示します。

図7-61 モード1の動作例 (TIUD端子の有効エッジが立ち上がりの場合)



TIUDとTCUDが同時に変化した場合、次のようになります。

図7-62 モード1の動作例 (TIUD端子の有効エッジが立ち上がりの場合)



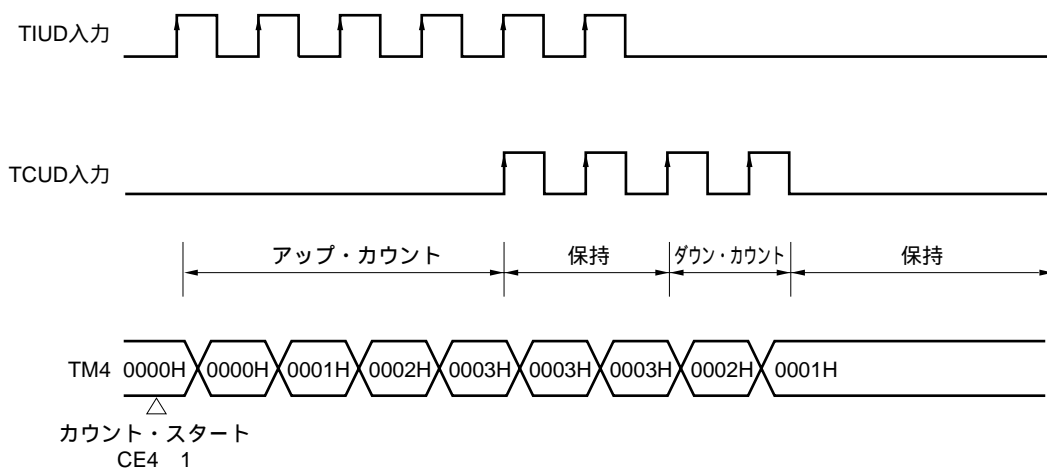
(ii) モード2 (PRM41 = 0, PRM40 = 1)

モード2では、TIUD端子への有効エッジ入力(タイマ・ユニット・モード・レジスタ1(TUM1)で指定)をアップ・カウントし、TCUD端子の立ち上がりエッジをダウン・カウントします。

TIUD端子とTCUD端子にカウント・クロックが同時に入力した場合には、カウント動作を行わず、直前の値を保持します。

TIUD端子の有効エッジを立ち上がりとした場合のタイマ4(TM4)の動作を図7-63に示します。

図7-63 モード2の動作例(TIUD端子の有効エッジが立ち上がりの場合)



(iii) モード3 (PRM41 = 1, PRM40 = 0)

モード3は、サーボ・モータのシャフト・エンコーダ出力のように90°位相がシフトした二相信号をカウント・クロックとして、TIUD端子とTCUD端子に入力する場合に最も有効となるモードです。

タイマ4 (TM4) は、この二相信号の相対的な位相の進み、遅れを検出して、アップ/ダウン動作の切り替えを自動的に行います。

TIUD端子とTCUD端子に90°の位相差を持つ二相信号を入力すると、TIUD端子の有効エッジ入力にてTCUD端子のレベルをサンプリングします。

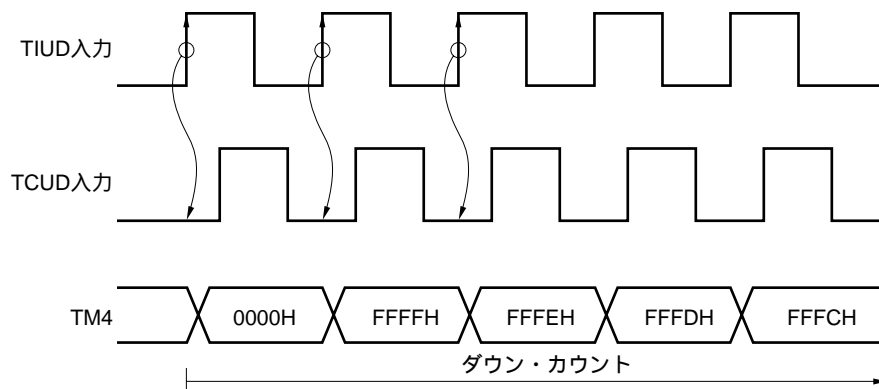
TIUD端子の有効エッジ入力にてサンプリングしたTCUD端子レベルがロウ・レベルのとき、TM4はTIUD端子の有効エッジ入力にてダウン・カウントします。

TIUD端子の有効エッジ入力にてサンプリングしたTCUD端子レベルがハイ・レベルのとき、TM4はTIUD端子の有効エッジ入力にてアップ・カウントします。

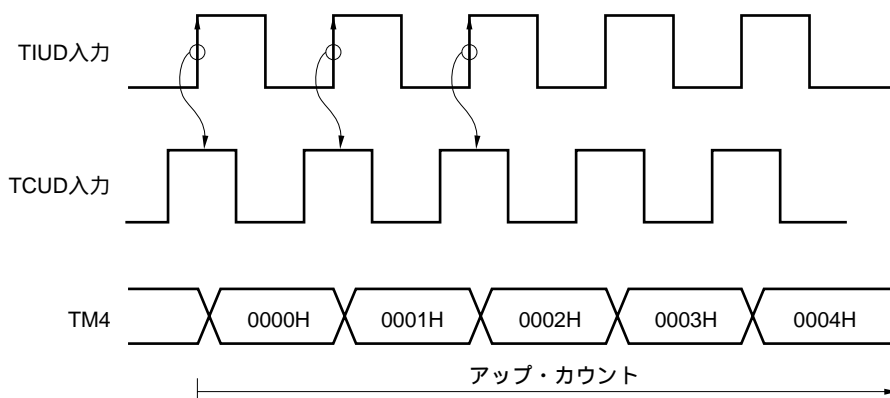
TIUD端子の有効エッジを立ち上がりとした場合のTM4の動作を図7-64に示します。

図7-64 モード3の動作例 (TIUD端子の有効エッジが立ち上がりの場合)

(1) ダウン・カウント動作



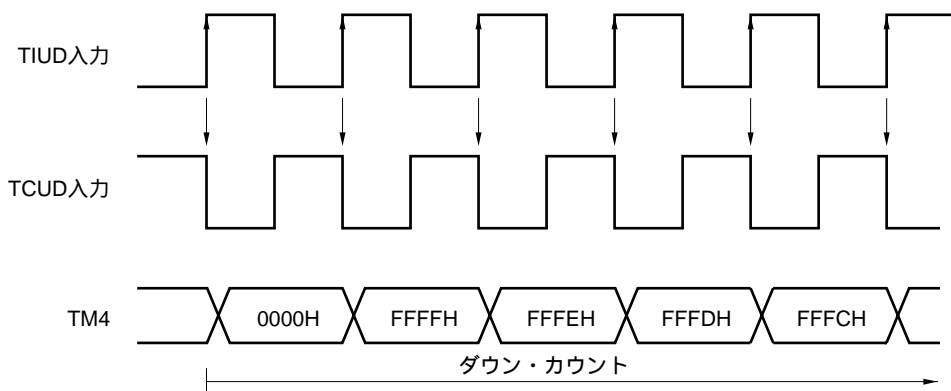
(2) アップ・カウント動作



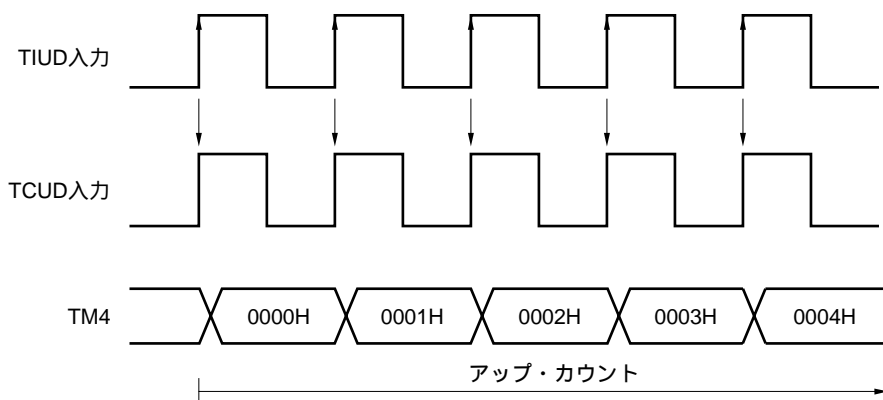
TIUDとTCUDが同時に変化した場合、次のようになります。

図7 - 65 モード3の動作例 (TIUD端子の有効エッジが立ち上がりの場合)

(1) ダウン・カウント動作



(2) アップ・カウント動作



(iv) モード4 (PRM41 = 1, PRM40 = 1)

モード4は、モード3と同じく、サーボ・モータのシャフト・エンコーダ出力のように90°位相がシフトした二相信号をカウント・クロックとして、TIUD端子とTCUD端子に入力する場合に最も有効となるモードです。

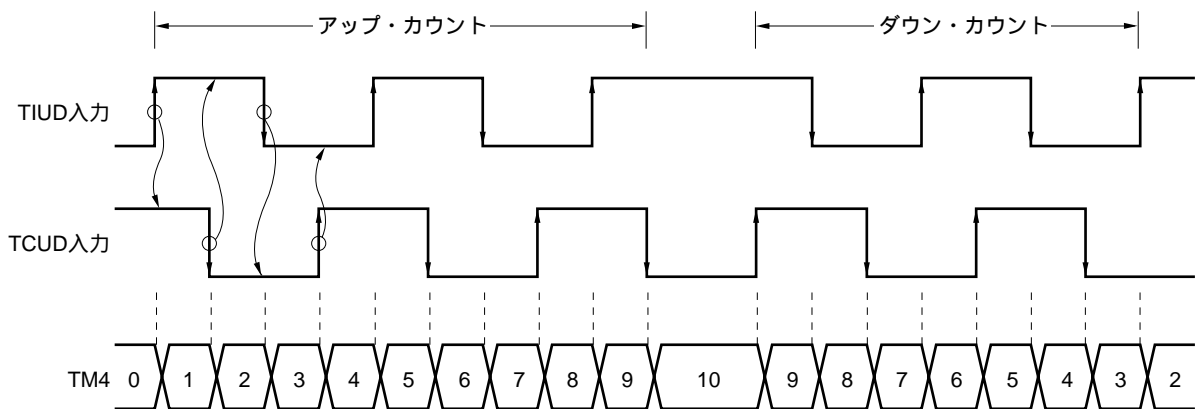
90°位相がシフトした二相信号をTIUD端子とTCUD端子に入力すると、図7-66に示すようなタイミングで自動的にアップ/ダウン動作を判別し、カウントを実行します。

モード4では、TIUD端子とTCUD端子に入力される二相信号をそれぞれの立ち上がり、立ち下りの両エッジでカウントします。したがって、タイマ4 (TM4) は、入力信号の1サイクルあたり4回カウントします (4 通倍カウント)。

注意1 . TM4の動作がモード4に指定されている場合には、TIUD端子に対する有効エッジの指定 (タイマ・ユニット・モード・レジスタ1 (TUM1) で指定) は無効となります。

2 . モード4でTIUD端子とTCUD端子のエッジが同時に入力された場合は、TM4のアップ/ダウン動作は、直前の動作のままカウントを続行します。

図7-66 モード4の動作例



備考 TM4のカウント値は10進数で示しています。

(4) PWM出力動作

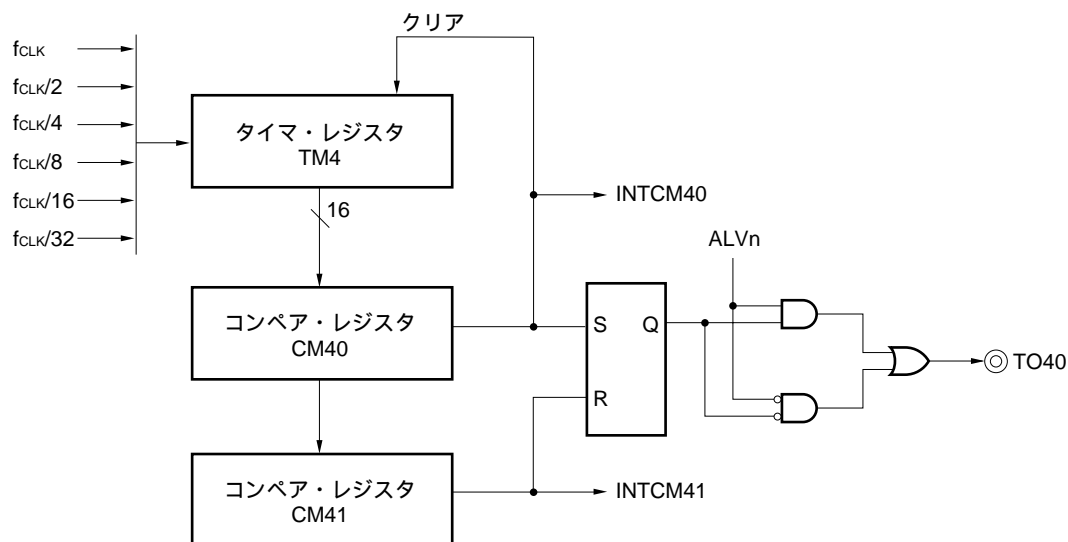
リアルタイム・パルス・ユニット (RPU) には、一定周期のうちアクティブ・レベルのデューティを変化させることができる、16ビット周期プログラマブルPWM出力機能が内蔵されています。

タイマ・ユニット・モード・レジスタ 1 (TUM1) によりTM4を汎用タイマ・モードに設定することで、TO40端子からPWM出力動作を行うことができます。

また、分解能は16ビットで、カウント・クロックは6種類の内部クロックから幅広く選択することができます。

図7 - 67にPWM出力動作時のタイマ4のブロック図を示します。

図7 - 67 タイマ4のブロック図 (PWM出力動作時)



(a) 設定手順

PWM出力動作は、次の手順で行います。

P06端子をポート0モード・コントロール・レジスタ (PMC0) によりコントロール・モードに設定します (PMC06 = 1)。

TUM1レジスタのCMDビットを“0”に設定します (TM4は汎用タイマ・モード, P06端子はTO40出力機能端子になります)。

TUM1レジスタのTOE40ビットをセット (1) し, TO40の出力動作を許可します。また, ALV40ビットにより, TO40のアクティブ・レベルを設定します。

タイマ・コントロール・レジスタ4 (TMC4) のENMDビットでTM4の動作を設定 (ENMD = 1) し, \bar{I}/E , PRM41, PRM40ビットでTM4のカウント・クロックを設定します。

TMC4レジスタのCE4ビットをセット (1) するとTM4がカウント・スタートし, TO40端子からPWM信号が出力します。

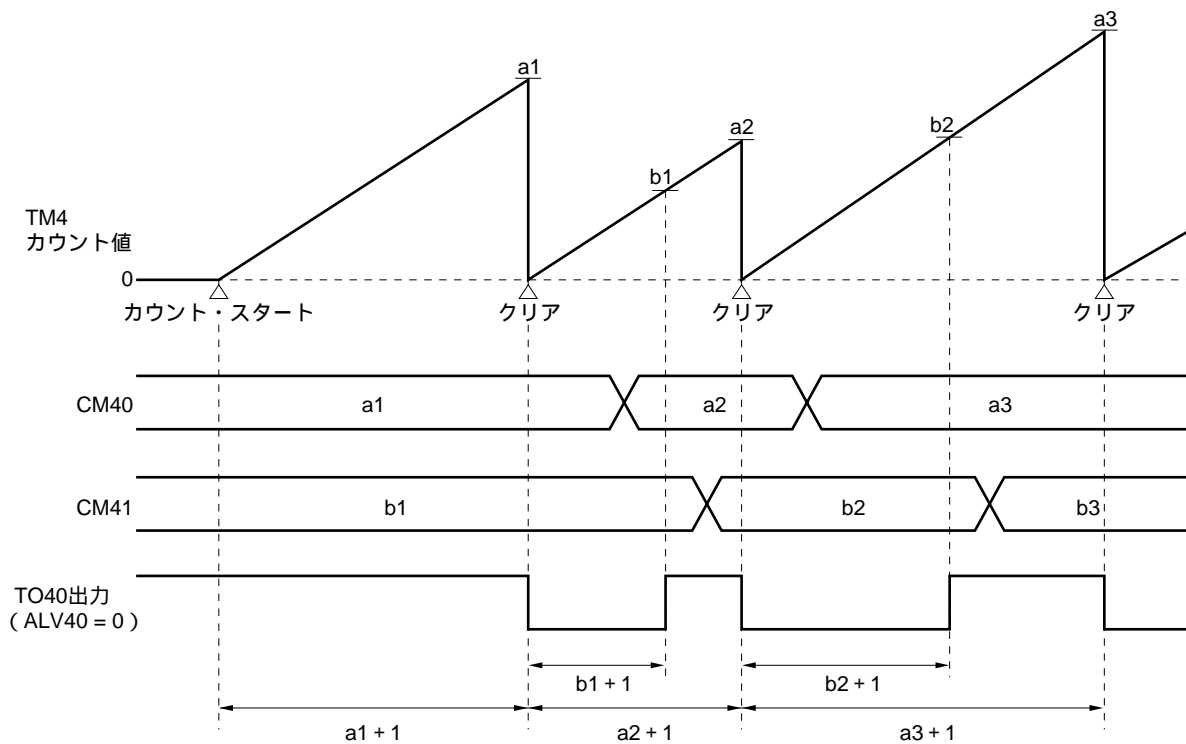
(b) 動作説明

CM40はTO40の周期を設定するコンペア・レジスタです。TM4と一致すると割り込み信号INTCM40を発生します。コンペア一致したことをハードウェアで保持し, 一致の次のカウント・クロックでTM4をクリアします。

CM41はTO40出力のデューティ値を設定するコンペア・レジスタです。各周期に必要なデューティ値を設定してください。

なお, 周期割り込みINTCM40, またはCM41から発生する割り込みINTCM41でソフトウェア処理を起動し, ソフトウェアでCM40およびCM41の値を設定すると, 効率よくTO40からPWM出力波形を生成することができます。

図7 - 68 TO40のPWM出力動作例



備考 CM40 = CM41を設定した場合、リセット優先になるため、TO40は、インアクティブ・レベルを出力します。

7.7 リアルタイム出力機能

リアルタイム出力機能は、リアルタイム・パルス・ユニット (RPU) からのトリガ信号に同期して、リアルタイム出力ポート・レジスタ (RTP) の内容を4ビット単位でP00-P03に出力できる機能です。多チャンネルの同期パルス出力を容易に行うことができます。

また、P00-P03に対してPWM変調をかけることが可能です。

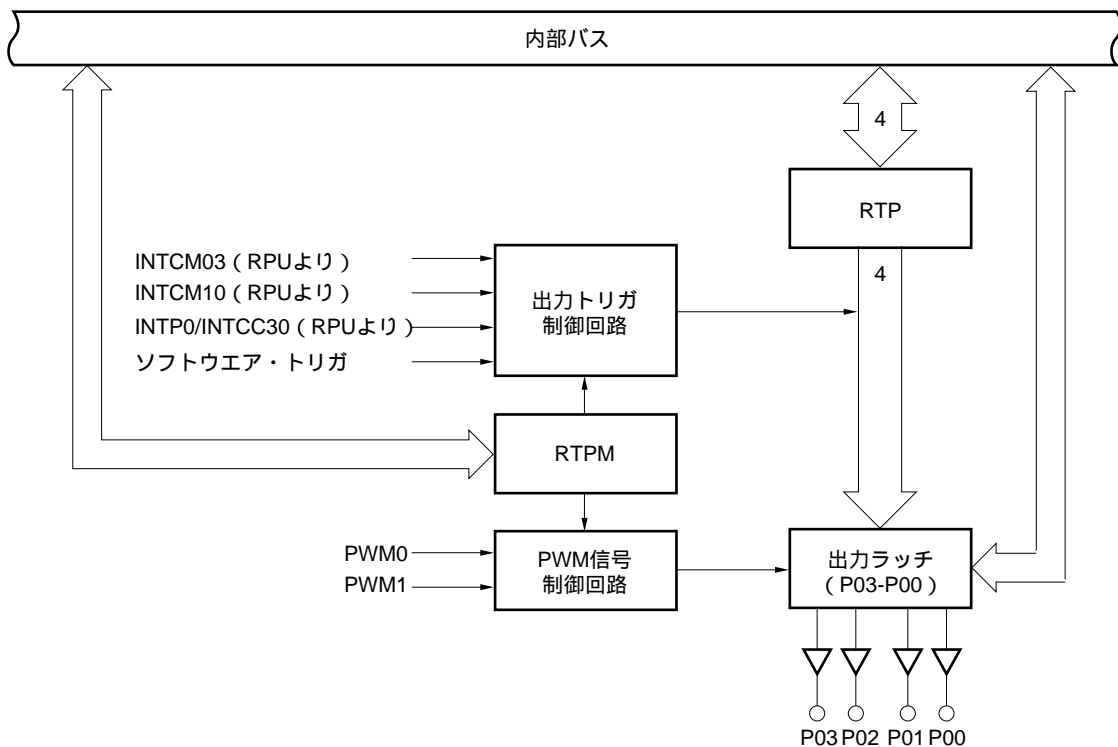
7.7.1 構成

リアルタイム出力ポートは、ポート0 (P0) にマルチプレクスされています。また、出力状態を制御するために、次の2つのレジスタを持っています。

- ・リアルタイム出力ポート・モード・レジスタ (RTPM)
- ・リアルタイム出力ポート・レジスタ (RTP)

リアルタイム出力は、RTPMレジスタのRTRG1, RTRG0ビットで指定されるトリガ信号で変化します。トリガ信号として、RPUが出力する信号または、ソフトウェア・トリガを選択できます。

図7 - 69 リアルタイム出力ポートのブロック図



注意 RTPレジスタは、8ビット・アクセスのレジスタです。RTPレジスタを読み出した場合、RTPレジスタに設定したデータが下位4ビットに乗ります。上位4ビットは、ハードウェア上“0”固定なので、“0”が読み出されます。

7.7.2 制御レジスタ

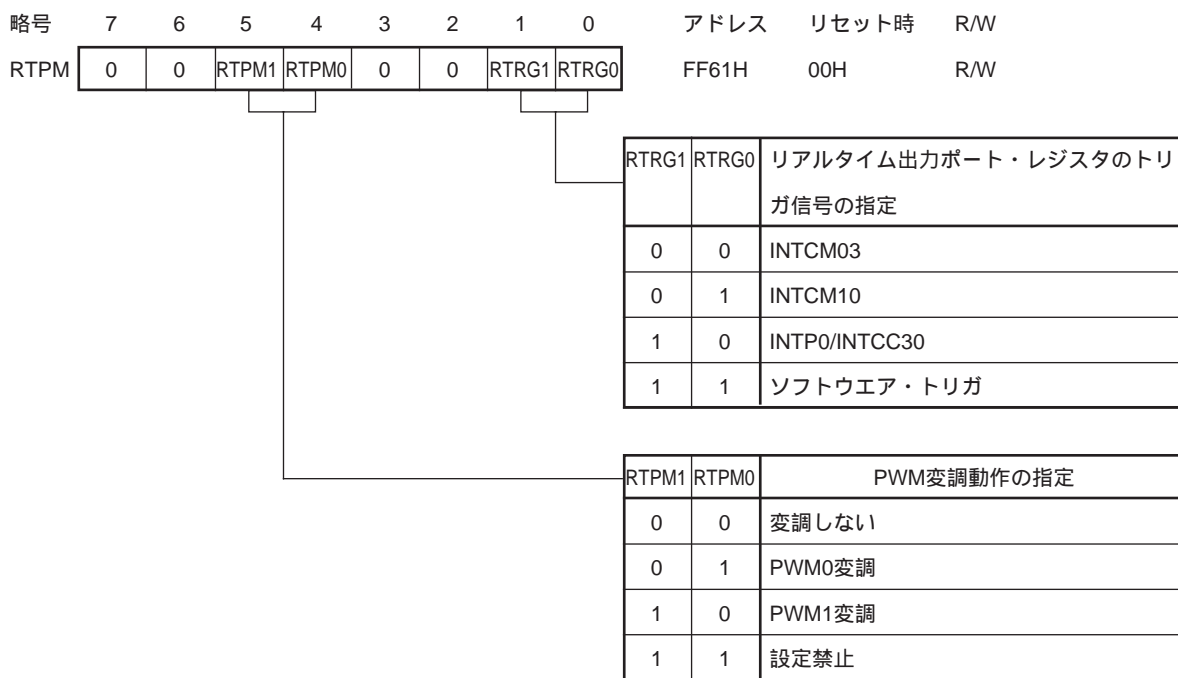
(1) リアルタイム出力ポート・モード・レジスタ (RTPM)

リアルタイム出力ポートの動作モードを指定する8ビット・レジスタです。

RTPMレジスタは、ビット操作命令または8ビット操作命令で、読み出し / 書き込みが可能です。

RTPMレジスタは、 $\overline{\text{RESET}}$ 入力により00Hになります。

図7 - 70 リアルタイム出力ポート・モード・レジスタのフォーマット



注意 RTPMレジスタのビット7, 6, 3, 2は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。

(2) リアルタイム出力ポート・レジスタ (RTP)

リアルタイム出力ポートの出力データを格納する8ビット・レジスタです。

リアルタイム出力ポート・モード・レジスタ (RTPM) の指定により、RTPレジスタと接続している端子に書き込みデータを出力します。

リアルタイム出力ポートの出力トリガが、リアルタイム・パルス・ユニット (RPU) が出力する信号に指定されているときは、RTPレジスタに書き込んだデータをトリガ信号に同期して端子に出力します。トリガがソフトウェア・トリガに指定されているときは、RTPレジスタに書き込んだデータをそのまま端子に出力します。

RTPレジスタは、ビット操作命令または8ビット操作命令で、読み出し/書き込みが可能です。

RTPレジスタは、 $\overline{\text{RESET}}$ 入力により不定となります。

注意 RTPレジスタの上位4ビットは、ラッチ回路を持たず“0”固定です。したがって、上位4ビットに“1”を書き込んでも“0”のまま変化しません。

7.7.3 動作

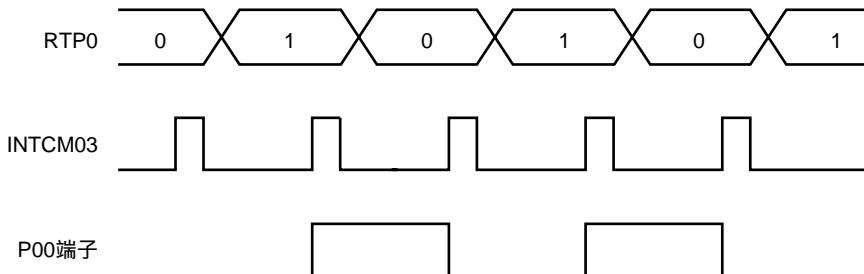
ソフトウェアによりリアルタイム出力ポート・レジスタ (RTP) の値を設定します。RTPレジスタの内容をP00-P03へ出力するためのトリガ信号は、リアルタイム出力ポート・モード・レジスタ (RTPM) の指定により、3種類の割り込みから選択することができます。

また、端子レベルを直接変化させる場合には、ソフトウェアでRTPMレジスタのRTRG1ビットとRTRG0ビットに“1”を書き込むことで、RTPレジスタの内容がP00-P03へ直接出力されます。

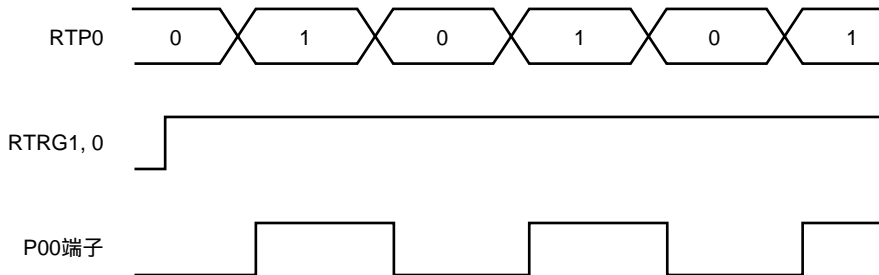
P00-P03がコントロール・モードのとき (リアルタイム出力機能のとき)、各端子の出力パターンに対してPWM変調をかけることができます。PWM変調をかけた場合には、RTPレジスタから出力ラッチに転送された信号とPWM信号 (PWM0またはPWM1) のAND論理をとった信号がP00-P03端子に出力されます。

図7-71 リアルタイム出力機能動作例 (P00端子)

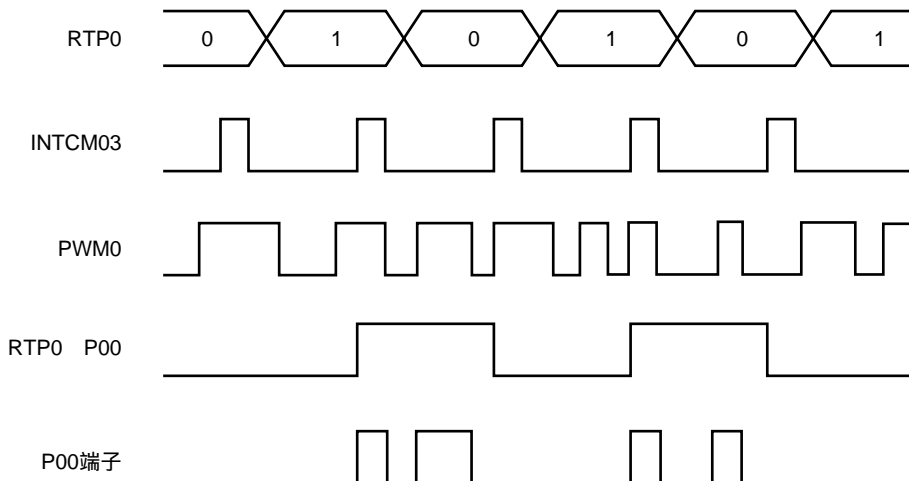
(a) RTRG1 = RTRG0 = 0 (トリガ信号 : INTCM03), RTPM1 = RTPM0 = 0 (PWM変調しない)



(b) RTRG1 = RTRG0 = 1 (ソフトウェア・トリガ), RTPM1 = RTPM0 = 0 (PWM変調しない)



(c) RTRG1 = RTRG0 = 0 (トリガ信号 : INTCM03), RTPM1 = 0 RTPM0 = 1 (PWM0変調)



備考 P00-P03端子はすべて同じ動作をします。

第8章 A/Dコンバータ

μPD78366Aは、高速、高分解能の10ビット・アナログ/デジタル(A/D)コンバータを内蔵しています。アナログ信号を入力する8本のアナログ入力端子(ANI0-ANI7)と、変換結果を保持する10ビットのA/Dコンバージョン・リザルト・レジスタ(ADCR)を8本持っています。

変換方式は逐次比較型変換方式で、変換結果をADCRレジスタに保持します。

A/Dコンバータの変換動作モードには、次の3種類があります。動作モードの指定は、A/Dコンバータ・モード・レジスタ(ADM)により、ソフトウェアで指定することができ、応用システムにあわせたA/D変換動作を選択することができます。

・セレクト・モード

1本のアナログ入力データの変換動作を行います。

・スキャン・モード

複数のアナログ入力データの変換動作を順次行います。

・ミックス・モード

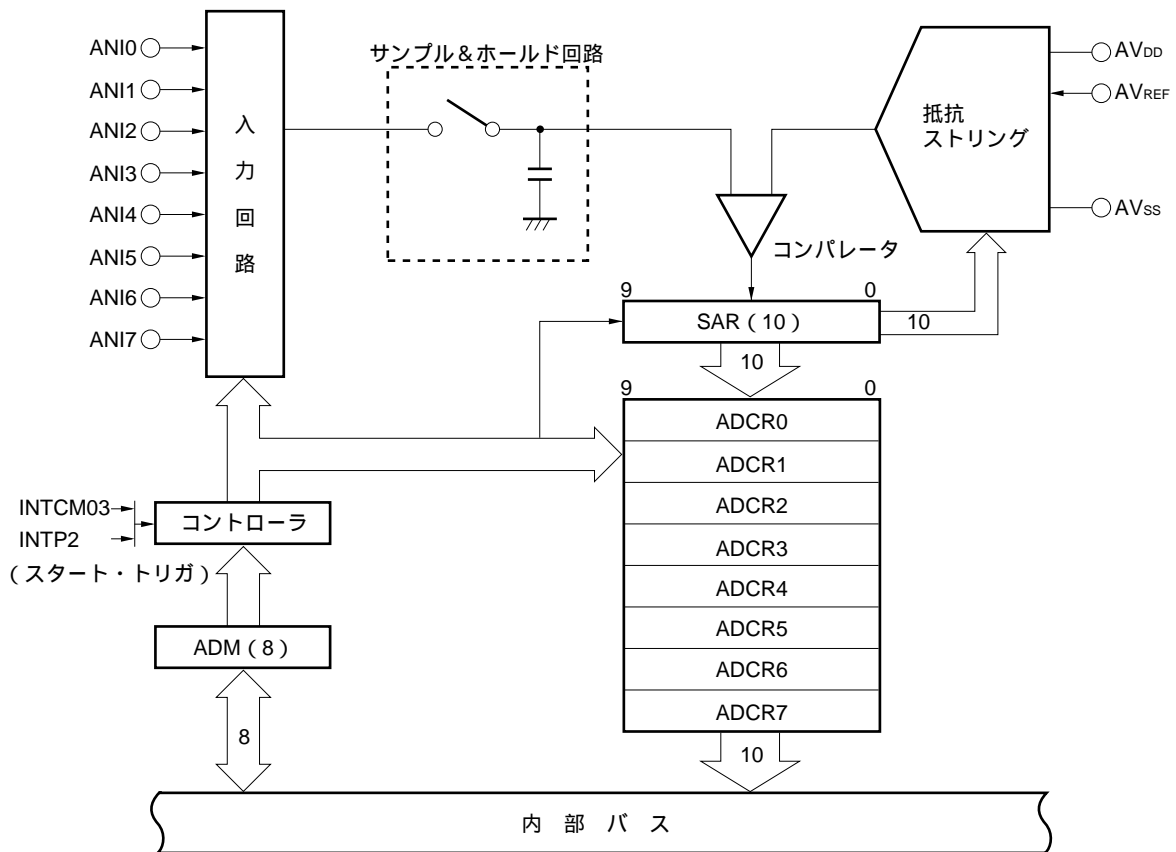
セレクト・モードの処理とスキャン・モードの処理を組み合わせた動作を行います。

各動作モードともA/D変換が終了するごとに、変換結果をADCRレジスタに保持します。また、A/D変換が終了するとA/D変換終了割り込み(INTAD)を発生します。この割り込みにより、データの自動転送などを行うマクロ・サービスを起動できます。

8.1 構成

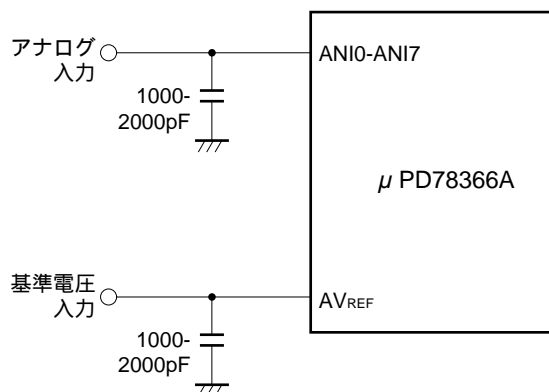
A/Dコンバータは図8-1に示す構成になっています。

図8-1 A/Dコンバータのブロック図



注意1. アナログ入力端子 (ANI0-ANI7) および基準電圧入力端子 (AVREF) には、ノイズによる誤動作を防ぐため、キャパシタを接続してください。

図8-2 A/Dコンバータ用端子のキャパシタ接続例



2. A/Dコンバータの入力端子として使用している端子には、 AV_{SS} - AV_{DD} の範囲外の電圧を加えないでください。

(1) 入力回路

入力回路は、A/Dコンバータ・モード・レジスタ (ADM) で指定された動作モードに従ってアナログ入力を選択し、サンプル&ホールド回路に送ります。

(2) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし、コンパレータに送ります。また、そのときのアナログ入力をA/D変換中は保持します。

(3) コンパレータ

コンパレータは、アナログ入力の電圧値とD/A変換器の出力電圧の値との電圧差を比較します。

(4) 抵抗ストリング

抵抗ストリングは、アナログ入力と一致する電圧を発生します。

抵抗ストリングの出力電圧はSARレジスタで制御されます。

(5) SAR (Successive Approximation Register)

SARレジスタは、アナログ入力の電圧値と比較するために、抵抗ストリングの出力値を制御するデータを設定するための10ビット・レジスタです。

A/D変換が終了すると、そのときのSARレジスタの内容(変換結果)をA/Dコンバージョン・リザルト・レジスタ(ADCR)に格納します。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み(INTAD)が発生します。

(6) コントローラ

コントローラは、ADMレジスタで指定されたモードに従って、アナログ入力の選択、サンプル&ホールド回路の動作タイミングの生成、変換トリガの制御を行います。

(7) ANI0-ANI7端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に V_{DD} 以上、 V_{SS} 以下(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にもその影響を与えます。

(8) AV_{REF} 端子

A/Dコンバータの基準電圧を入力する端子です。

AV_{REF} - AV_{SS} 間に加えられる電圧に基づいて、ANI0-ANI7に入力される信号をデジタル信号に変換します。

(9) AV_{SS} 端子

A/Dコンバータのグランド端子です。 V_{SS} レベルを入力してください。

(10) AV_{DD} 端子

V_{DD} レベルを入力してください。

8.2 A/Dコンバータ・モード・レジスタ (ADM)

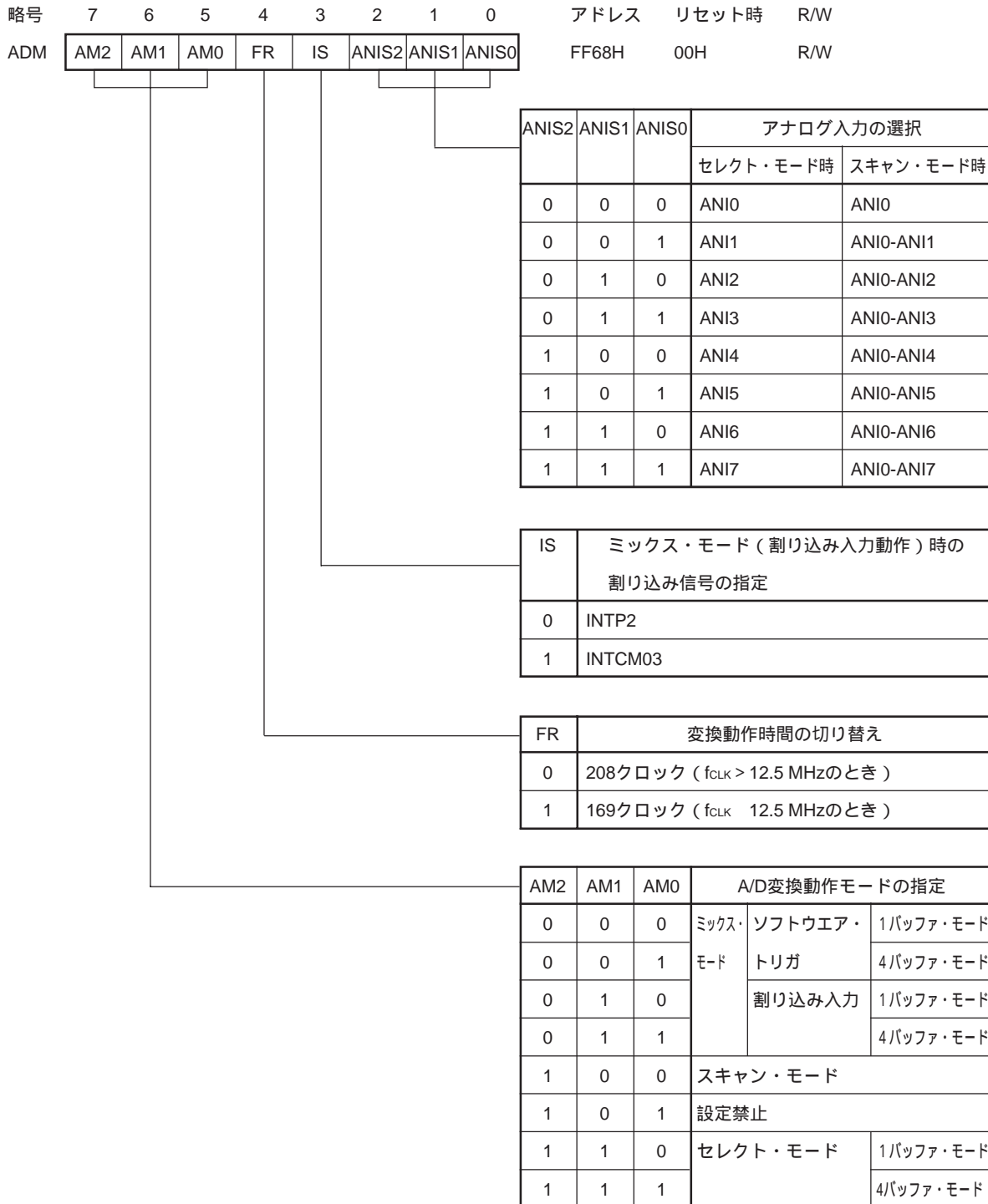
A/Dコンバータ・モード・レジスタ (ADM) は、A/Dコンバータの動作を制御する8ビット・レジスタです。

ビット操作命令と8ビット操作命令で、読み出し/書き込みができます。ただし、変換動作中にADMレジスタに対する書き込み操作を行うと、変換動作は初期化されて最初から変換を行います。

$\overline{\text{RESET}}$ 入力により、ADMレジスタは00Hになります。

図8 - 3にADMレジスタのフォーマットを示します。

図8-3 A/Dコンバータ・モード・レジスタのフォーマット



★

備考1 . f_{CLK} : 内部システム・クロック

- 2 . ソフトウェア・トリガとは、ADMレジスタへのデータ書き込みをトリガとして、A/D変換動作を開始することです。
- 3 . セレクト・モード、スキャン・モードの両モードは、ソフトウェア・トリガによってのみA/D変換動作を開始します。

次にADMレジスタの各ビットについて説明します。

(1) ANIS2-ANIS0ビット(ビット2-ビット0)

A/D変換するアナログ入力(ANI0-ANI7)を選択するビットです。

(2) ISビット(ビット3)

AM2-AM0ビットによりミックス・モード(割り込み入力動作)を指定したときの、A/D変換開始トリガ(INTP2またはINTCM03)を選択するビットです。

ミックス・モードのソフトウェア・トリガ動作、スキャン・モード、セレクト・モードは、ISビットの影響を受けません。

(3) FRビット(ビット4)

A/D変換時間を制御するビットです。

FRビットは、内部システム・クロック f_{CLK} 12.5 MHzのときに、命令でセット(1)します。FRビットは、 μ PD78366Aの動作周波数を変化させた場合でも、A/D変換時間を大きく変化させないようにするために制御します。

内部システム・クロック(f_{CLK})とFRビットで決まる1回の変換時間は次式で求められます。

$$\cdot \text{FR} = 0 \text{のときの変換時間} = \frac{208}{f_{CLK}} (\mu\text{s})$$

$$\cdot \text{FR} = 1 \text{のときの変換時間} = \frac{169}{f_{CLK}} (\mu\text{s})$$

表8-1 FRビット設定による変換時間の例

内部システム・クロック f_{CLK} (MHz)	16	12.5
発振周波数 f_{xx} , 外部クロック f_x (MHz)	8	6.25
FRビット	0	1
変換時間 (μs)	13.0	13.5

★

(4) AM2-AM0ビット(ビット7-ビット5)

A/D変換の動作モードを選択するビットです。

μPD78366AのA/D変換には、3つのモードがあります。また、A/D変換結果の取り込み方として、1バッファ・モード/4バッファ・モードがあります。A/D変換動作モードの詳細は、8.4 動作を参照してください。

表8-2 A/D変換動作モード

変換動作モード	バッファ・モード	変換動作開始トリガ
ミックス・モード	1バッファ・モード	ソフトウェア・トリガ/割り込み入力 (INTP2/INTCM03)
	4バッファ・モード	
スキャン・モード	1バッファ・モード	ソフトウェア・トリガ
セレクト・モード	1バッファ・モード	
	4バッファ・モード	

注意 μPD78366AのA/Dコンバータは、変換動作を停止することができません。したがって、ADMレジスタにデータを設定すると、それ以降はADMレジスタを書き換えるまで、その設定した動作モードで変換動作を継続します。

備考 A/D変換動作の開始トリガとは、ADMレジスタで設定した動作モードを有効にしてA/D変換動作を開始させる信号のことです。
詳細は、8.4 動作を参照してください。

8.3 A/Dコンバージョン・リザルト・レジスタ (ADCR)

μPD78366Aでは、A/D変換結果格納レジスタとして8本の10ビットA/Dコンバージョン・リザルト・レジスタ (ADCR) を備えています。

各ADCRレジスタは、16ビット操作命令および8ビット操作命令で、それぞれ独立に読み出しのみ可能です。

ADCRレジスタから変換結果を読み出すには、次の2通りの方法があります。

(1) ワード・アクセス (16ビット操作命令実行)

読み出したワード・データのうち、下位10ビットが有効データとなります。

上位6ビットは、常に“0”が読み出されます。

図8-4にADCRレジスタへのワード・アクセスの様子を示します。

図8-4 ADCRレジスタへのワード・アクセス

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	R/W
ADCRn	0	0	0	0	0	0	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	R

(n = 0-7)

略号	アドレス	リセット時
ADCR0	FFB0H	不定
ADCR1	FFB2H	
ADCR2	FFB4H	
ADCR3	FFB6H	
ADCR4	FFB8H	
ADCR5	FFBAH	
ADCR6	FFBCH	
ADCR7	FFBEH	

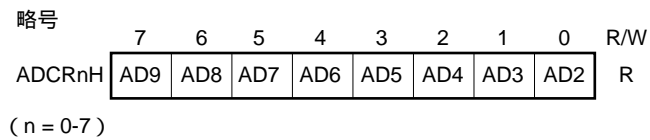
備考 AD0-AD9 : A/D変換結果

(2) バイト・アクセス (8ビット操作命令実行)

A/D変換結果の10ビット・データのうち、上位8ビットが読み出されます。

図8-5にADCRレジスタへのバイト・アクセスの様子を示します。

図8-5 ADCRレジスタへのバイト・アクセス



略号	アドレス	リセット時
ADCR0H	FFB1H	不定
ADCR1H	FFB3H	
ADCR2H	FFB5H	
ADCR3H	FFB7H	
ADCR4H	FFB9H	
ADCR5H	FFBBH	
ADCR6H	FFBDH	
ADCR7H	FFBFH	

備考 AD2-AD9 : A/D変換結果 (10ビットの上位8ビット)

8.4 動作

8.4.1 A/Dコンバータの基本動作

A/D変換は次のような手順で行います。

- (1) A/Dコンバータ・モード・レジスタ (ADM) の設定によって、アナログ入力の選択、動作モードの設定を行います。ソフトウェア・トリガを指定した場合、ADMレジスタにデータを書き込むと、A/D変換動作を開始します。
- (2) SARレジスタの1ビットごとに、抵抗ストリングにより発生した電圧とアナログ入力電圧をコンパレータで比較します。
- (3) 10ビットの比較が終了すると、SARレジスタにはA/D変換結果が残ります。その値がA/Dコンバージョン・リザルト・レジスタ (ACDR) に転送され、ラッチされます。

同時に、A/D変換終了割り込み (INTAD) が発生します (図8-6 参照)。

注意 A/Dコンバータの入力端子として使用している端子には、 AV_{SS} - AV_{DD} の範囲外の電圧を加えないでください。

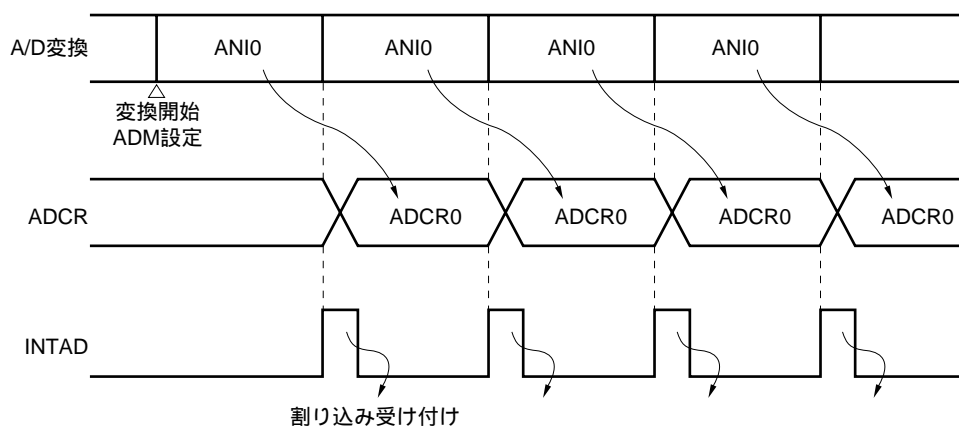
A/Dコンバータは、3つの変換動作開始トリガ (ソフトウェア・トリガ、INTP2, INTCM03) によって動作を開始します (ADMレジスタで設定した変換動作モードを有効にします)。

(a) ソフトウェア・トリガ

ADMレジスタへのデータ書き込みにより、A/D変換動作を開始します。このトリガにより、ソフトウェアによるA/D変換動作の同期化が可能です。

このトリガは、すべてのA/D変換動作モード (セレクト・モード、スキャン・モード、ミックス・モード) で、使用できます。

図8-6 A/D変換基本動作 (セレクト・モード, ソフトウェア・トリガ)



(b) 外部トリガ (INTP2, INTCM03)

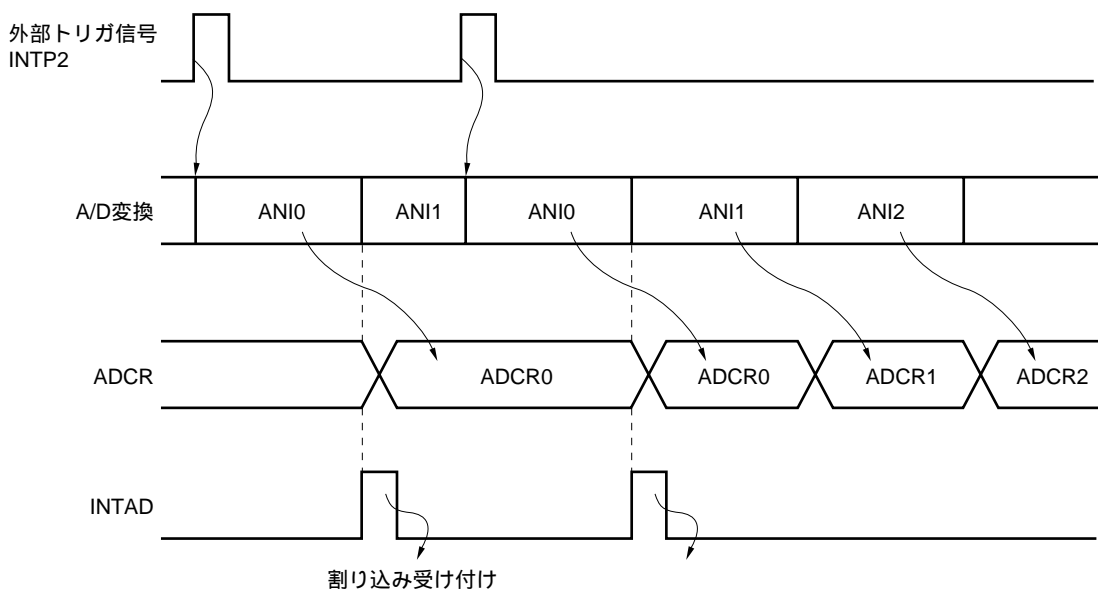
外部割り込み端子INTP2への有効エッジ入力, またはリアルタイム・パルス・ユニット (RPU) のTM0とCM03の一致信号INTCM03の発生で, A/D変換動作を開始します。

このトリガは, ミックス・モードでのみ指定可能です。

INTP2に有効エッジが入力されるか, またはINTCM03が発生するたびに, SARレジスタを初期化し, A/D変換を開始します。

INTP2, INTCM03のどちらを有効にするかは, ADMレジスタのISビットによって指定できます。

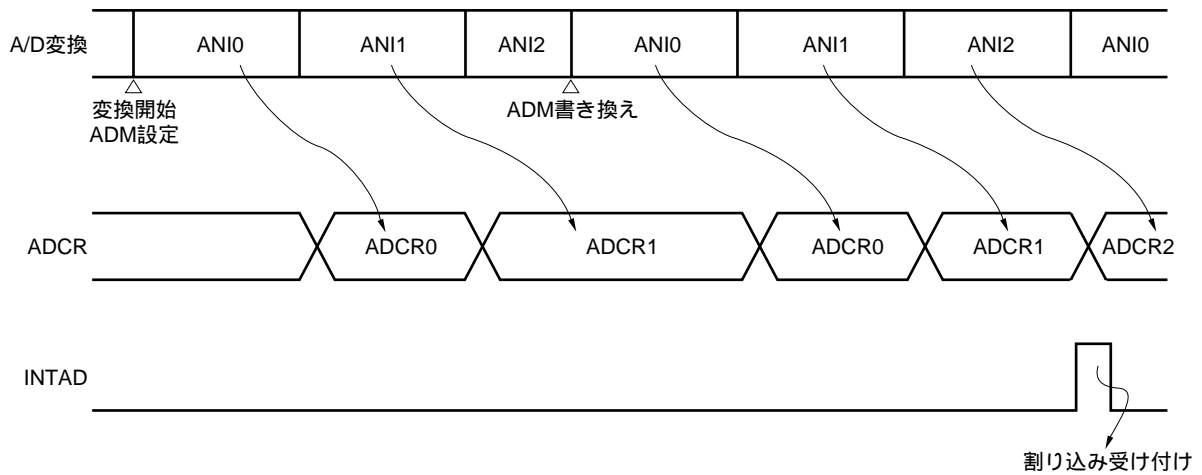
図8 - 7 A/D変換基本動作 (ミックス・モード, 外部トリガ)



A/D変換動作中に、ADMレジスタに対する書き込み操作を行うと、変換動作は初期化され、最初から変換を開始します。

図8 - 8 A/D変換動作中のADM書き換え（スキャン・モード、ソフトウェア・トリガ）

AM2-AM0 = 100, ANIS2-ANIS0 = 010に設定した場合



注意 A/D変換結果の値を直接利用して分岐処理を行うような場合、変換結果が特定の値になったときのみ分岐するプログラムを組むと、変換誤差の影響により、変換結果がその特定値にならず、所定のルーチンに分岐できないことがあります。したがって、変換結果が総合誤差程度の幅を持つ範囲内にあるときに分岐するようなプログラムを組んでください。

AN10端子に入力されたアナログ入力電圧が $\frac{1}{2} AV_{REF}$ のときに特定の処理を行うプログラム例を次に示します。

<悪い例>

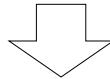
```

CMPW  ADCR0, #01FFH
BNE   $UNMATCH
      .
      .
      .
      }
      A/D変換結果が1FFHのときの処理

UNMATCH :
      .
      .
      .
      }
      A/D変換結果が1FFH以外のときの処理

```

変換誤差により、変換結果が1FFHにならないときには、の処理に分岐できない。



<良い例>

```

CMPW  ADCR0, #0201H
BGT   $UNMATCH
CMPW  ADCR0, #01FCH
BLT   $UNMATCH
      .
      .
      .
      }
      A/D変換結果が1FCH-201Hのときの処理

UNMATCH :
      .
      .
      .
      }
      A/D変換結果が上記範囲以外のときの処理

```

変換結果が1FCH-201Hの範囲にあった場合、 $\frac{1}{2} AV_{REF}$ のアナログ電圧が入力されたものと判断して処理を行う。

8.4.2 A/Dコンバータの動作モード

A/Dコンバータの動作として次の3つのモードを選択できます。この動作モードは、A/Dコンバータ・モードレジスタ (ADM) で指定します。また、A/D変換動作は、ADMレジスタへのデータ書き込みにより開始 (ソフトウェア・トリガ)、ADMレジスタが書き換えられるまで続けられます。

- ・セレクト・モード
- ・スキャン・モード
- ・ミックス・モード

(1) セレクト・モード

ADMレジスタで指定される1つのアナログ入力 (ANIn : n=0-7) をA/D変換します。変換結果は、アナログ入力に対応したA/D変換結果レジスタ (ADCRn : n=0-7) に格納します。

セレクト・モードではA/D変換結果の格納法により、次の2つのモードを備えています。

- ・1バッファ・モード
- ・4バッファ・モード

(a) 1バッファ・モード

1つのアナログ入力を1回A/D変換し、その結果を1つのA/D変換結果レジスタに格納します (表8-3 参照)。アナログ入力とA/D変換結果レジスタは、1対1に対応しています。

A/D変換終了は、1回のA/D変換ごとに発生するA/D変換終了割り込み (INTAD) によって知ることができます。このモードはその後もA/D変換動作を繰り返します。

図8-9 セレクト・モード (1バッファ・モード) のA/D変換動作

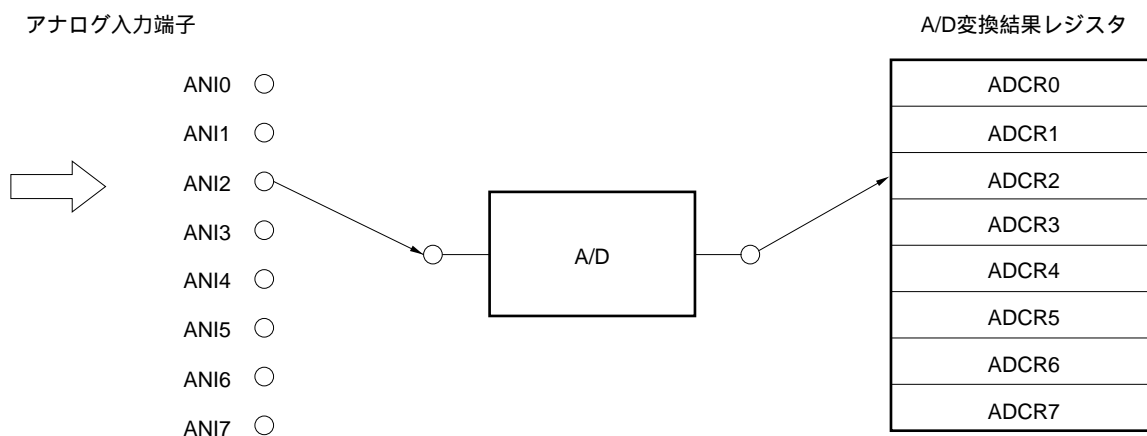
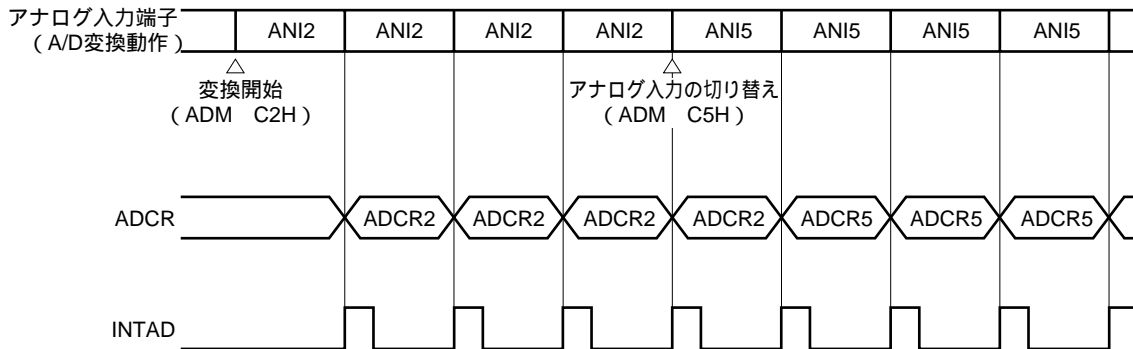


表 8 - 3 アナログ入力とA/D変換結果レジスタ (ADCR) の対応
(セレクト・モード: 1バッファ・モード)

アナログ入力	ADCR
ANI0	ADCR0
ANI1	ADCR1
ANI2	ADCR2
ANI3	ADCR3
ANI4	ADCR4
ANI5	ADCR5
ANI6	ADCR6
ANI7	ADCR7

図 8 - 10 セレクト・モード (1バッファ・モード) の動作タイミング例



(b) 4バッファ・モード

1つのアナログ入力を4回A/D変換し、その結果を4つのA/D変換結果レジスタ (ADCR0-ADCR3またはADCR4-ADCR7) に格納します (表 8 - 4 参照)。

A/D変換終了は、4回のA/D変換が終了すると発生するA/D変換終了割り込み (INTAD) によって知ることができます。このモードはその後もA/D変換動作を繰り返します。

A/D変換結果の平均を求めるような応用に最適です。

図8-11 セレクト・モード(4バッファ・モード)のA/D変換動作

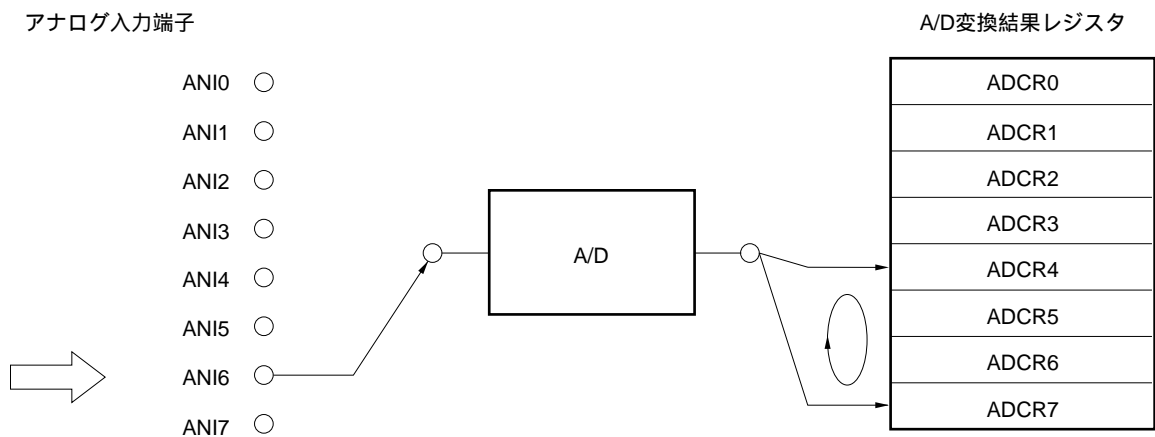
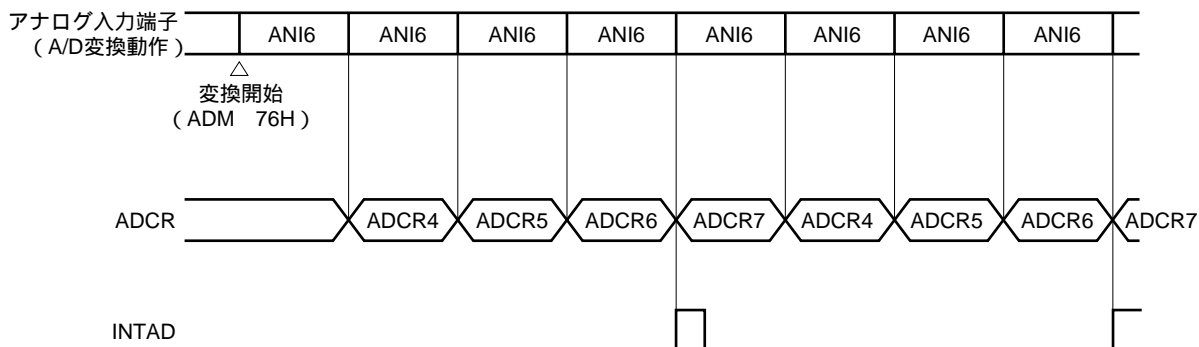


表8-4 アナログ入力とA/D変換結果レジスタ(ADCR)の対応
(セレクト・モード: 4バッファ・モード)

アナログ入力	ADCR
ANI0	ADCR0
ANI1	
ANI2	ADCR3
ANI3	
ANI4	ADCR4
ANI5	
ANI6	ADCR7
ANI7	

図8-12 セレクト・モード(4バッファ・モード)の動作タイミング例



(2) スキャン・モード

ADMレジスタで指定される複数のアナログ入力を順に選択しA/D変換します。変換結果は、それぞれのアナログ入力に対応する1つのA/D変換結果レジスタに格納します(表8-5 参照)。A/D変換動作は、ADMレジスタへのデータ書き込みによって開始し(ソフトウェア・トリガ)、変換終了は指定したアナログ入力のA/D変換が、一通り終了すると(スキャンを終えると)発生するA/D変換終了割り込み(INTAD)によって検出することができます。このモードは、スキャン動作によるA/D変換を繰り返します。

複数のアナログ入力を常時監視するような応用に最適です。

図8-13 スキャン・モードのA/D変換動作

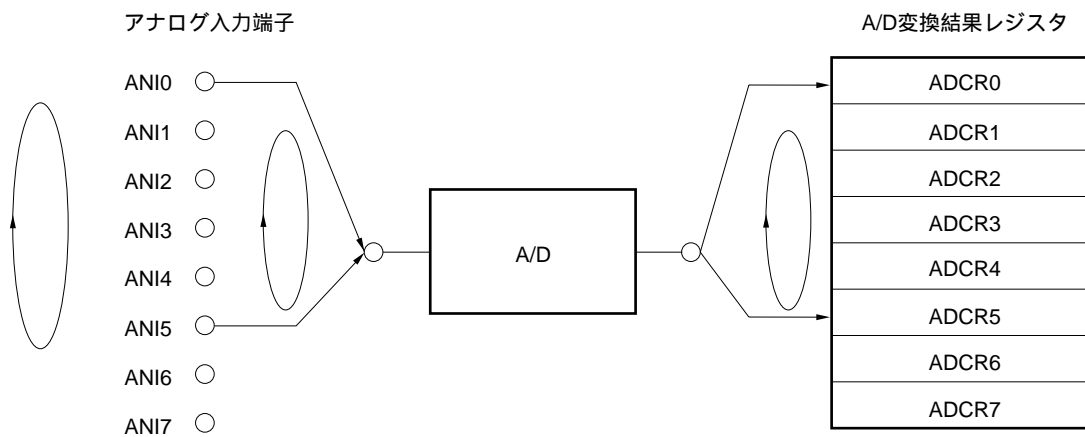
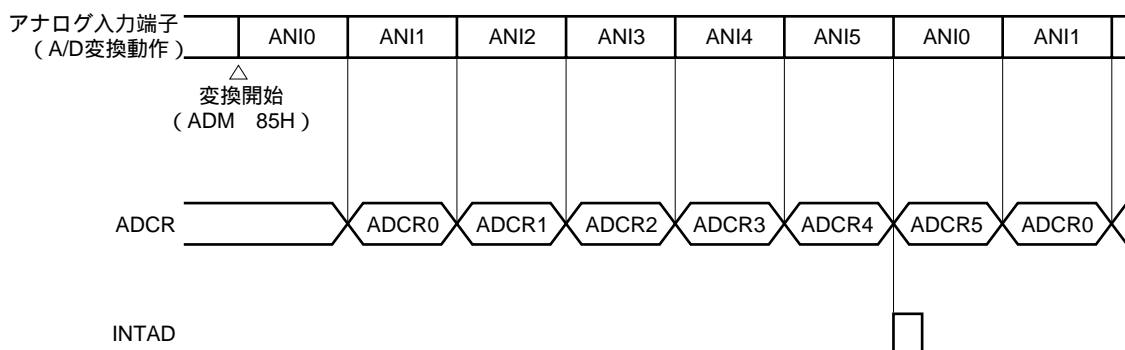


表8-5 アナログ入力とA/D変換結果レジスタ(ADCR)の対応
(スキャン・モード時)

アナログ入力	ADCR
ANI0	ADCR0
ANI1	ADCR1
ANI2	ADCR2
ANI3	ADCR3
ANI4	ADCR4
ANI5	ADCR5
ANI6	ADCR6
ANI7	ADCR7

図8-14 スキャン・モードの動作タイミング例



(3) ミックス・モード

セレクト・モードとスキャン・モードをあわせたモードです。

ミックス・モードのA/D変換開始トリガには次の3つがあります。ミックス・モードのA/D変換トリガは、セレクト・モードによるA/D変換動作（セレクト処理）を開始するためのトリガです。スキャン・モードによるA/D変換動作（スキャン処理）は、セレクト処理以外の時間で、継続的に行っています。

- ・ソフトウェア・トリガ : ADMレジスタへのデータ書き込み
- ・外部トリガ : INTP2端子への有効エッジ入力（INTP2の有効エッジはINTM0レジスタで指定）
- ・RPUからの割り込みトリガ : TM0とCM03の一致時に発生する割り込みINTCM03

ソフトウェア・トリガを使用する場合、ADMレジスタへのデータ設定により最初にセレクト処理を実行し、続いてスキャン処理を継続実行します。

外部トリガまたは割り込みトリガを使用する場合、ADMレジスタへのデータ設定により、まずスキャン処理を実行し、外部トリガ入力または割り込みトリガ入力で、セレクト処理を実行します。そして、セレクト処理が終了すると、スキャン処理の続きを実行します。

A/D変換終了割り込み（INTAD）は、セレクト処理によるA/D変換の終了時に発生します。また、A/D変換動作は、新しいトリガ入力があるまで、スキャン処理によるA/D変換を繰り返します。新しいトリガ入力が発生すると、再びセレクト処理によるA/D変換を実施し、処理が完了したあとは、トリガ入力発生前のスキャン処理によるA/D変換の続きを実行します。

ミックス・モードでは、セレクト処理のA/D変換結果の格納法により、1バッファ・モードと4バッファ・モードの2つのモードを備えています。

また、このセレクト処理のバッファ・モードと選択したアナログ入力によって、スキャン処理を行うアナログ入力が決まります。

表8 - 6 ミックス・モードのアナログ入力

セレクト処理		スキャン処理
バッファ・モード	アナログ入力選択	
1 バッファ・モード	ANI0-ANI7のいずれかを選択	ANI0-ANI7をスキャン
4 バッファ・モード	ANI0-ANI3のいずれかを選択	ANI4-ANI7をスキャン
	ANI4-ANI7のいずれかを選択	ANI0-ANI3をスキャン

(a) セレクト処理が1バッファ・モード

セレクト処理では、1つのアナログ入力を指定し、A/D変換します。また、スキャン処理によるA/D変換では、全アナログ入力を順にA/D変換します。A/D変換動作（スキャン処理）は、そのあとも繰り返し実行します。

変換結果は表8 - 7に示すアナログ入力に対応するA/D変換結果レジスタに格納します。

図8 - 15 ミックス・モードのA/D変換動作（セレクト処理が1バッファ・モード）

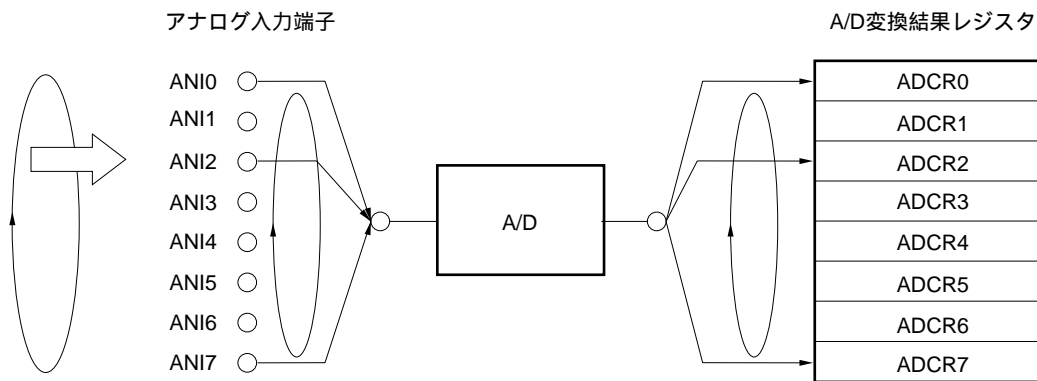
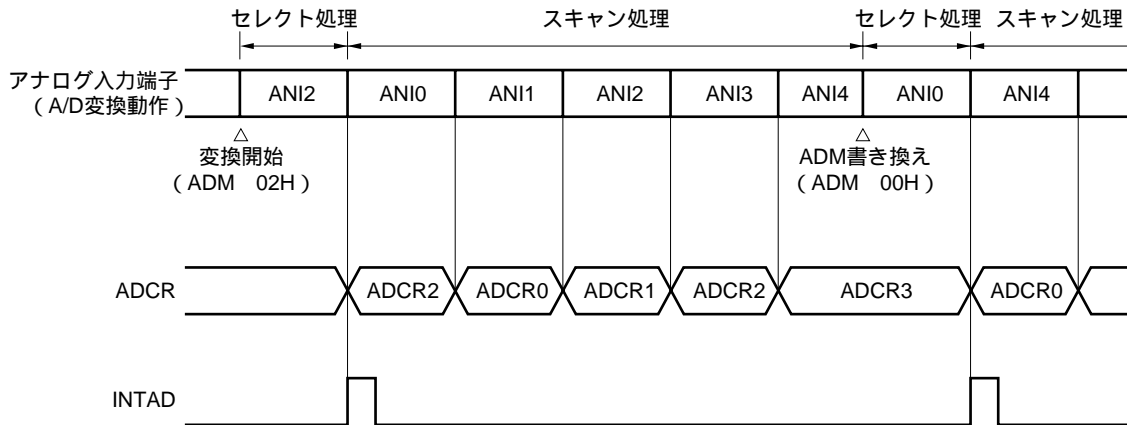


表8 - 7 アナログ入力とA/D変換結果レジスタ（ADCR）の対応

（ミックス・モード：セレクト処理が1バッファ・モード）

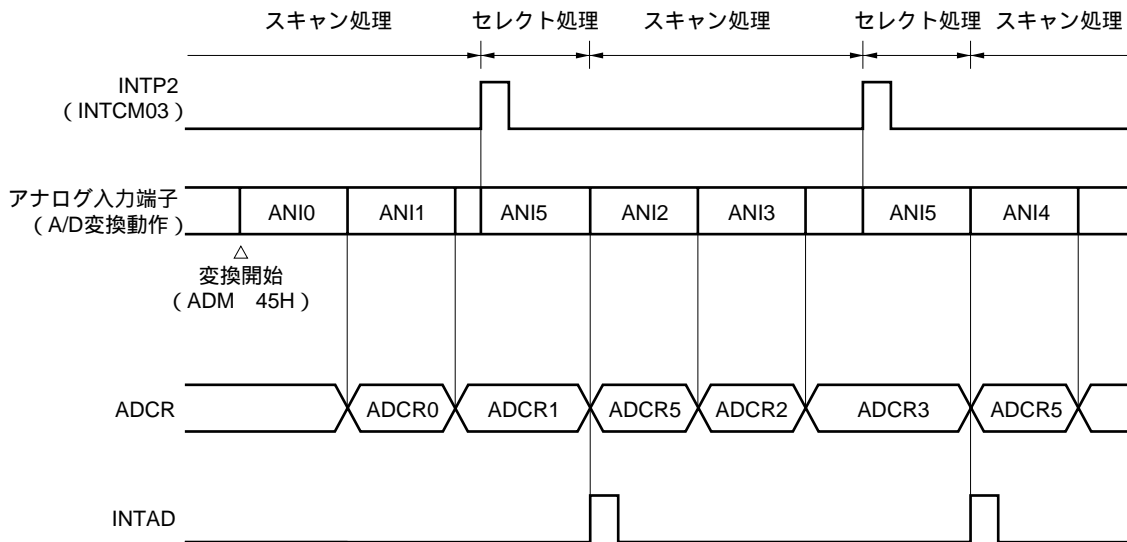
アナログ入力	ADCR	
	セレクト処理時	スキャン処理時
ANI0	ADCR0	全アナログ入力（ANI0-ANI7）のA/D変換結果をADCR0-ADCR7に格納
ANI1	ADCR1	
ANI2	ADCR2	
ANI3	ADCR3	
ANI4	ADCR4	
ANI5	ADCR5	
ANI6	ADCR6	
ANI7	ADCR7	

図8-16 ミックス・モード(セレクト処理が1バッファ・モード)の動作タイミング例
(ソフトウェア・トリガの場合)



注意 ソフトウェア・トリガによりセレクト処理を実行し、再びスキャン処理によるA/D変換を開始する際は、ソフトウェア・トリガ入力前のA/D変換の続きを行います。

図8-17 ミックス・モード(セレクト処理が1バッファ・モード)の動作タイミング例
(外部トリガまたは割り込みトリガの場合)



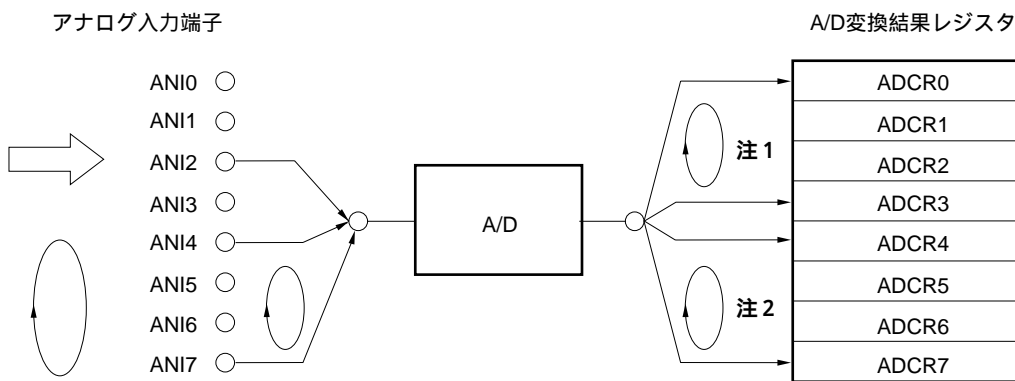
注意 外部トリガまたは割り込みトリガによりセレクト処理を実行し、再びスキャン処理によるA/D変換を開始する際は、外部トリガまたは割り込みトリガ入力前のA/D変換の続きを行います。

(b) セレクト処理が4バッファ・モード

セレクト処理によるA/D変換では、1つのアナログ入力を指定し、A/D変換します。A/D変換結果はアナログ入力に対応する4つのA/D変換結果レジスタ(ADCR)に格納します。また、スキャン処理によるA/D変換では、セレクト処理で選択したアナログ入力を含まない4本のアナログ入力(例:セレクト処理にANI2を選択した場合、スキャン処理はANI4-ANI7)を順にA/D変換します。スキャン処理は、その後も繰り返し実行します。

変換結果は表8-8に示すアナログ入力に対応するADCRレジスタに格納します。

図8-18 ミックス・モードのA/D変換動作(セレクト処理が4バッファ・モード)



注1 . セレクト処理(4バッファ・モード)

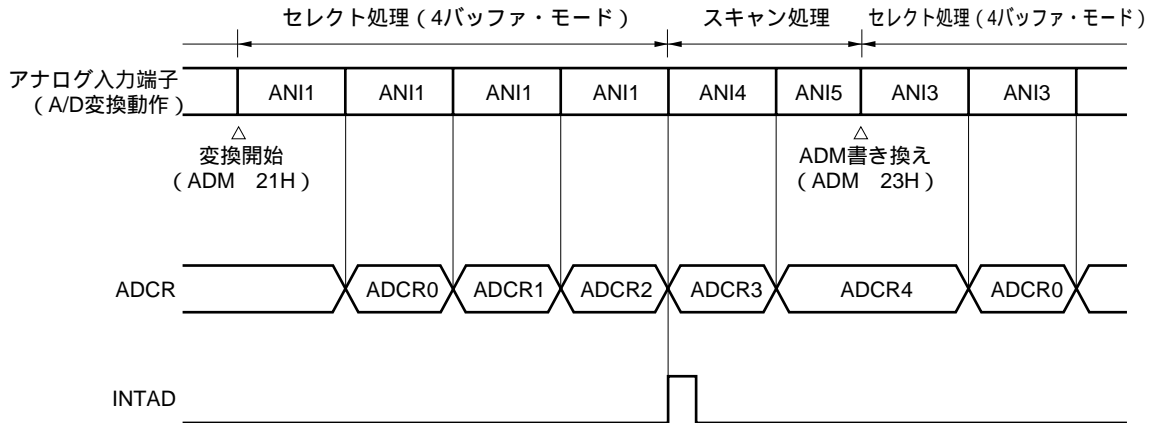
2 . スキャン処理

表8-8 アナログ入力とA/D変換結果レジスタ(ADCR)の対応

(ミックス・モード:セレクト処理が4バッファ・モード)

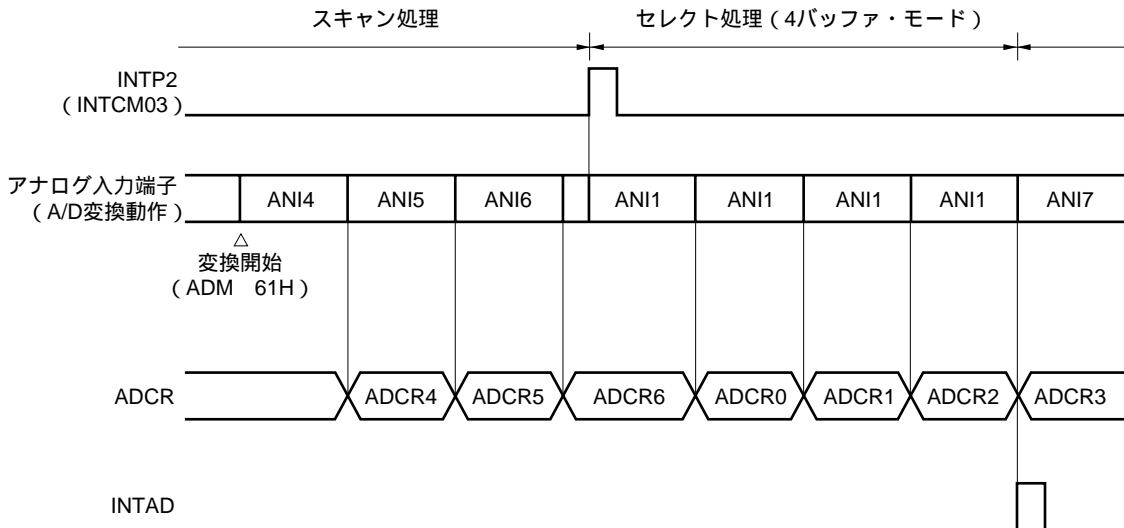
アナログ入力	ADCR	
	セレクト処理時	スキャン処理時
ANI0	指定されたアナログ入力の変換結果を ADCR0-ADCR3に格納	ANIn ADCRn (n = 4-7)
ANI1		
ANI2		
ANI3		
ANI4	指定されたアナログ入力の変換結果を ADCR4-ADCR7に格納	ANIn ADCRn (n = 0-3)
ANI5		
ANI6		
ANI7		

図8-19 ミックス・モード（セレクト処理が4バッファ・モード）の動作タイミング例
（ソフトウェア・トリガの場合）



注意 ソフトウェア・トリガによりセレクト処理を実行し、再びスキャン処理によるA/D変換を開始する際は、ソフトウェア・トリガ入力前のA/D変換の続きを行います。

図8-20 ミックス・モード（セレクト処理が4バッファ・モード）の動作タイミング例
（外部トリガまたは割り込みトリガの場合）



注意 外部トリガまたは割り込みトリガによりセレクト処理を実行し、再びスキャン処理によるA/D変換を開始する際は、外部トリガまたは割り込みトリガ入力前のA/D変換の続きを行います。

8.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB (Least Significant Bit) といいます。1LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1\text{LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、非直線性誤差、およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2\text{LSB}$ の誤差です。A/Dコンバータでは、 $\pm 1/2\text{LSB}$ の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、非直線性誤差には含まれていません。

図8-21 総合誤差

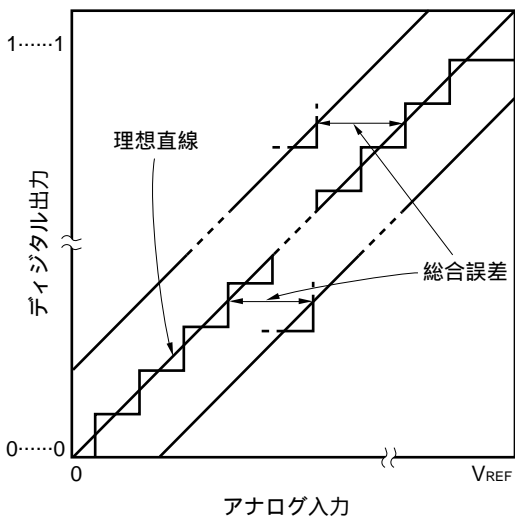
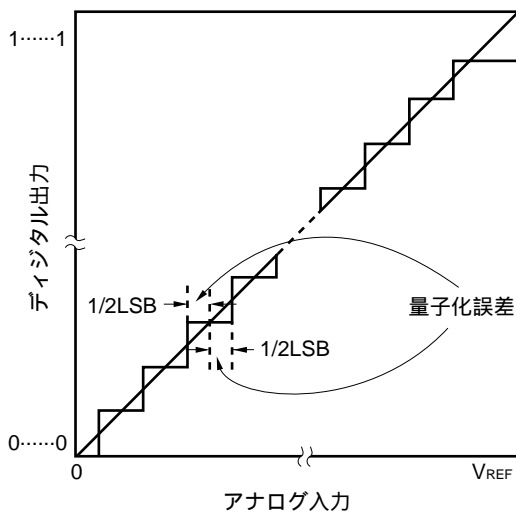


図8-22 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 ($1/2LSB$) との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値 ($3/2LSB$) との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値 (フルスケール - $3/2LSB$) との差を表します。

(6) 非直線性誤差

変換特性が、理想的な直線関係から外れている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図8-23 ゼロスケール誤差

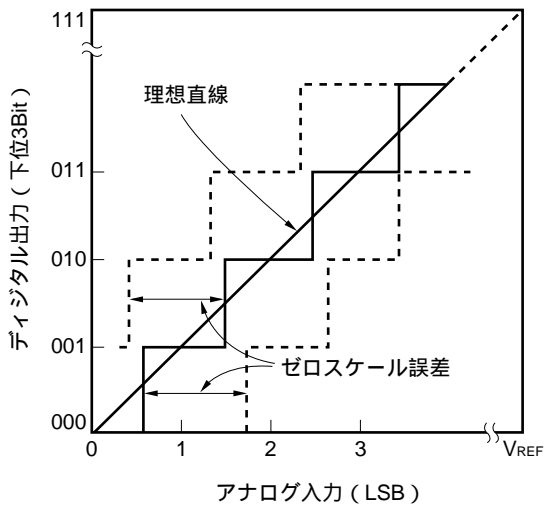


図8-24 フルスケール誤差

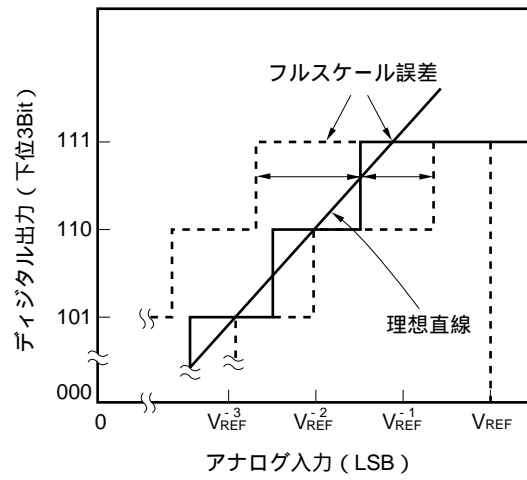
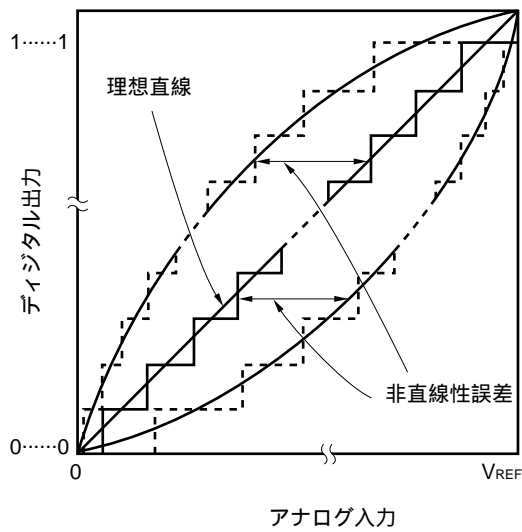


図8-25 非直線性誤差

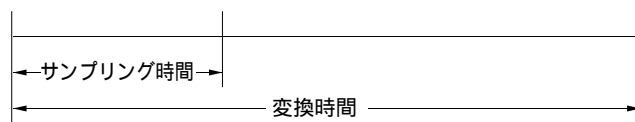


(7) 変換時間

アナログ入力電圧が与えられてから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(8) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



第9章 アシクロナス・シリアル・インタフェース

μPD78366Aは、アシクロナス・シリアル・インタフェースとしてUART (Universal Asynchronous Receiver Transmitter) を内蔵しています。これは、スタート・ビットに続く1バイトのシリアル・データを送受信する方式で、全二重動作が可能です。また、ボー・レート・ジェネレータを内蔵しているので、広範囲な任意のボー・レートで通信できます。

μPD78366Aは、2系統の送受信端子をソフトウェアで切り替えることができます。
クロック同期式シリアル・インタフェースとは独立に動作します。

備考 この章では、TxD0, TxD1端子とRxD0, RxD1端子について、特に断りがない限り、それぞれTxD端子, RxD端子という表記で説明しています。

9.1 アシクロナス・シリアル・インタフェースの構成

アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) によって、アシクロナス・シリアル・インタフェースを制御します。受信データは受信バッファ (RXB) に保持され、送信データは送信シフト・レジスタ (TXS) に書き込みます。

アシクロナス・シリアル・インタフェースは、図9 - 1のように構成されます。

(1) アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)

ASIMレジスタは、アシクロナス・シリアル・インタフェースの動作を指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。

$\overline{\text{RESET}}$ 入力により80Hになります。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)

ASISレジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。各フラグは受信エラー発生時にセット (1) され、受信バッファ (RXB) からデータを読み出すか、新たに次のデータを受信することによってリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

8ビット操作命令で読み出しのみ可能です。

$\overline{\text{RESET}}$ 入力により00Hになります。

(3) 受信制御パリティ・チェック

ASIMレジスタに設定された内容に従って、受信動作を制御します。また、受信動作時にパリティ・エラーなどのエラー・チェックも行い、エラーが検出された場合は、エラー内容に応じた値をASISレジスタにセットします。

(4) 受信シフト・レジスタ

RxD端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信すると、受信データを受信バッファへ転送します。

受信シフト・レジスタはCPUから直接操作することはできません。

(5) 受信バッファ (RXB)

受信データを保持するレジスタです。データを1バイト受信するごとに、シフト・レジスタから受信データが転送されます。

データ長を7ビットに指定した場合は、受信データはRXBのビット0-6に転送され、RXBのMSBは必ず“0”になります。

8ビット操作命令で読み出しのみが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(6) 送信シフト・レジスタ (TXS)

送信するデータを設定するレジスタです。TXSレジスタに書き込まれたデータをシリアル・データとして送信します。

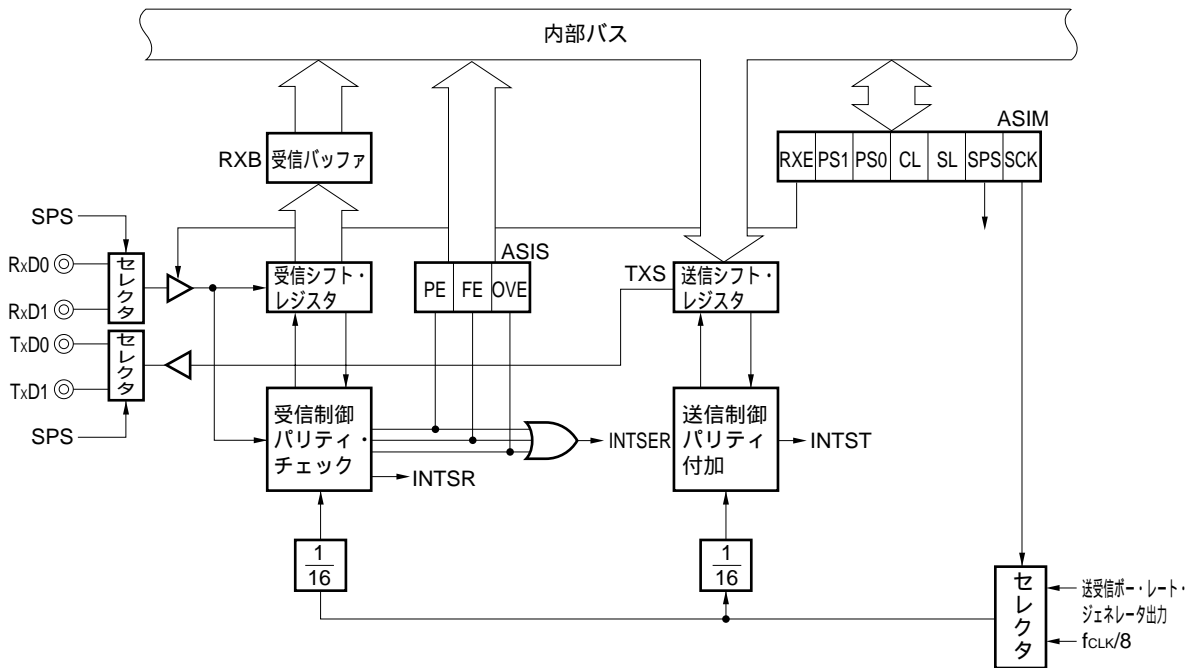
データ長を7ビットに指定した場合は、TXSレジスタに書き込んだデータのビット0-6が送信データとして扱われます。TXSレジスタに書き込みを行うと送信動作が開始します。送信動作中にTXSレジスタに書き込みを行ってはいけません。

8ビット操作命令により書き込みのみ可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(7) 送信制御パリティ付加

ASIMレジスタに設定された内容に従って、TXSレジスタに書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットを自動的に付加し、送信動作の制御を行います。

図9-1 アシクロナス・シリアル・インタフェースのブロック図



9.2 シリアル通信の端子を切り替える

アシクロナス・シリアル・インタフェースでは、シリアル通信に使用する端子をソフトウェアで切り替えることができます。

シリアル通信の端子を切り替える

アシクロナス・シリアル・インタフェースでは、シリアル通信に使用する端子 (TxD0, RxD0端子/TxD1, RxD1端子) をソフトウェアで切り替えることができます。アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のSPSビットにより切り替え、2系統の端子を時分割で使用することができます。

(a) TxD0, RxD0端子を使用する場合

シリアル通信に使用する端子として、TxD0, RxD0端子を選択する場合、ASIMレジスタのSPSビットをリセット (0) します。

シリアル通信に使用しないTxD1, RxD1端子の端子レベルは、それぞれ次のとおりです。

- ・ TxD1 ...ハイ・レベル
- ・ RxD1 ...ハイ・インピーダンス

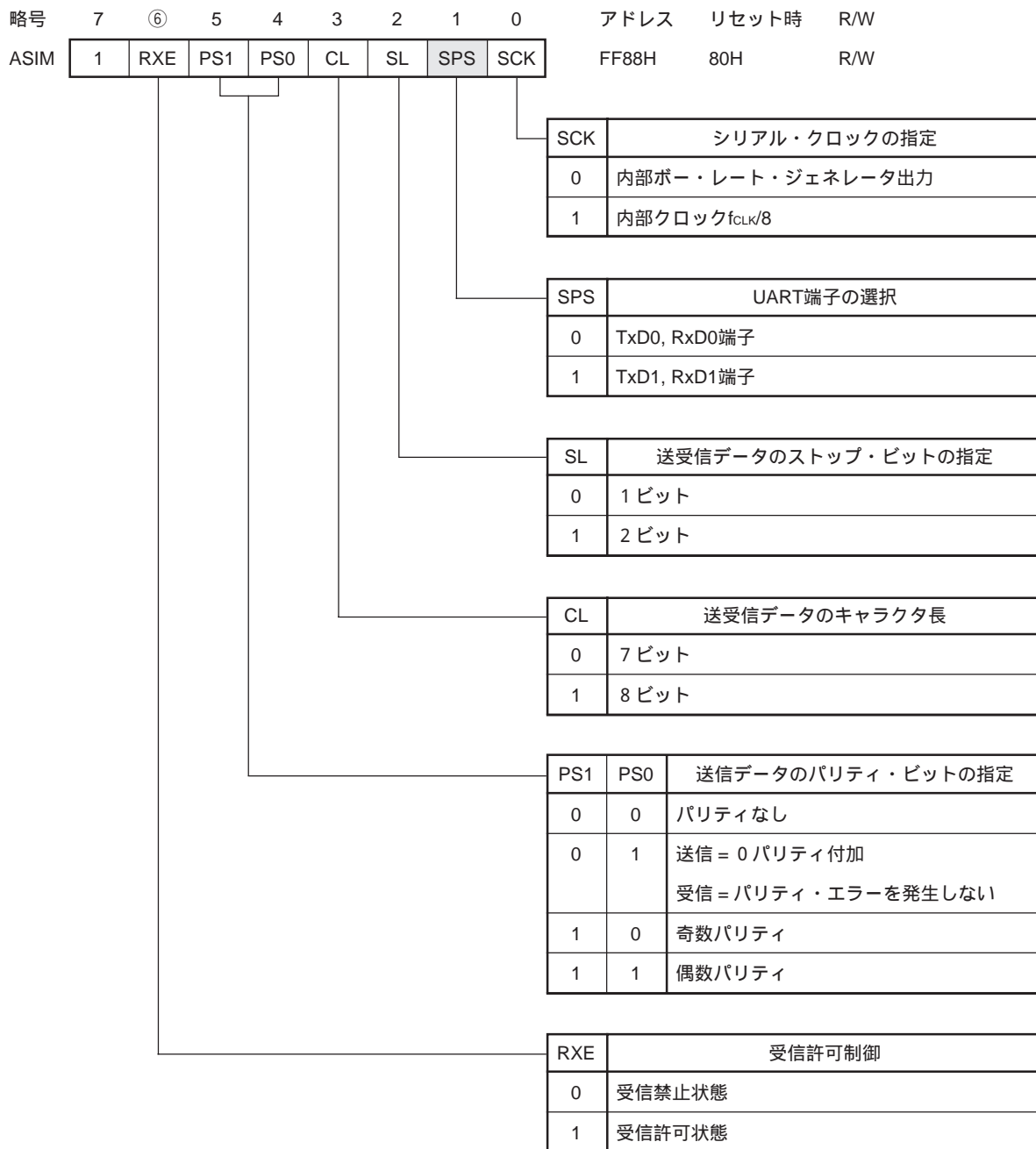
(b) TxD1, RxD1端子を使用する場合

シリアル通信に使用する端子として、TxD1, RxD1端子を選択する場合、ASIMレジスタのSPSビットをセット (1) します。

シリアル通信に使用しないTxD0, RxD0端子の端子レベルは、それぞれ次のとおりです。

- ・ TxD0 ...ハイ・レベル
- ・ RxD0 ...ハイ・インピーダンス

図9 - 2 ASIMレジスタの設定 (端子切り替え)



注意 ASIMレジスタのビット7は、ハードウェア上“1”固定です。“0”を書き込んでも“1”のまま変化しません。

備考 f_{CLK} : 内部システム・クロック

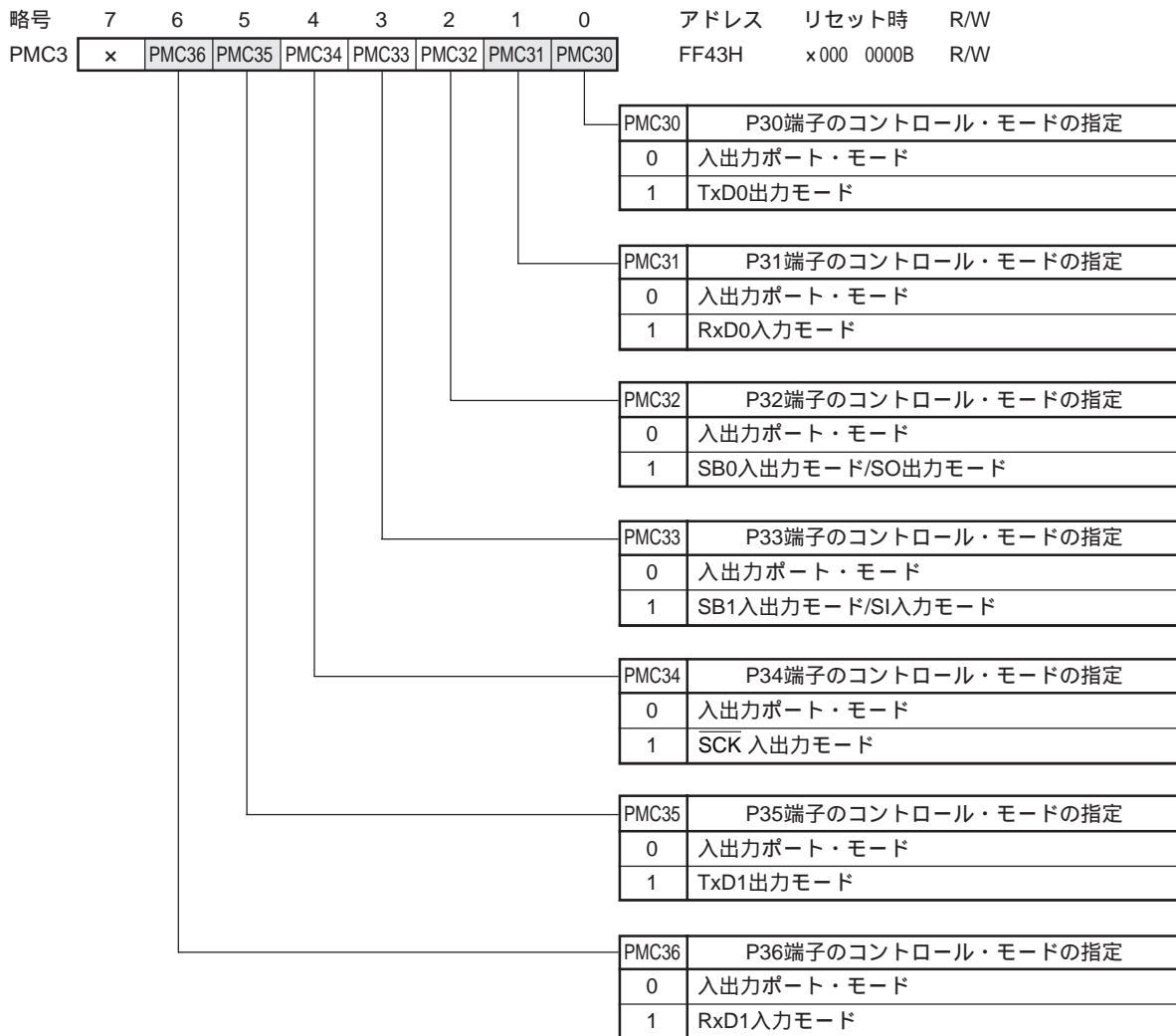
9.3 シリアル通信の端子を設定する

RxD, TxD端子は、汎用ポートと兼用になっているため、通信を行う前にコントロール・モードに設定する必要があります。

(1) シリアル通信の端子を設定する

アシクロナス・シリアル・インタフェースでは、送信用にTxD0 (TxD1) 端子、受信用にRxD0 (RxD1) 端子を使用しますが、各端子はそれぞれ汎用ポートP30 (P35), P31 (P36) と兼用になっています。そのため、通信を始める前に、各端子をポート3モード・コントロール・レジスタ (PMC3) によって、コントロール・モードに設定する必要があります。

図9-3 ポート3モード・コントロール・レジスタのフォーマット



備考 x : don't care

(2) 端子レベルを読み込む

ポート3モード・コントロール・レジスタ (PM3) でポート3 (P3) をコントロール・モードに指定した場合、ポート3 (P3) の読み込み命令を実行すると次の状態を読み込むことができます。

(a) TxD0/P30端子 (またはTxD1/P35端子)

- ・ポート3モード・レジスタ (PM3) のビット0 (またはビット5) がセット (1) されていると、TxD端子レベルを読み込むことができます。
- ・ポート3モード・レジスタ (PM3) のビット0 (またはビット5) がリセット (0) されていると、内部の送信データのレベルを読み込むことができます。

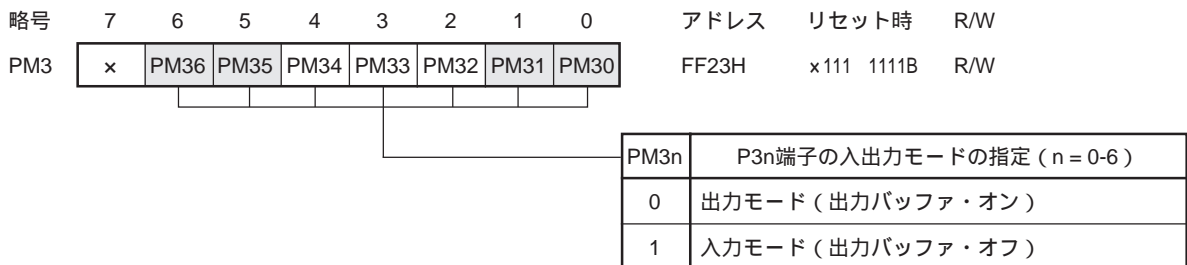
(b) RxD0/P31端子 (またはRxD1/P36端子)

- ・ポート3モード・レジスタ (PM3) のビット1 (またはビット6) がセット (1) されているときのみ、RxD端子レベルを読み込むことができます。

これによりTxD端子の衝突の有無などを確認できます。

ポート3 (P3) に書き込みを行っても、TxD, RxD各端子レベルは変化しません (ポート3の出力バッファに書き込まれます)。

図9-4 ポート3モード・レジスタのフォーマット



備考 x : don't care

9.4 データ・フォーマットを設定する

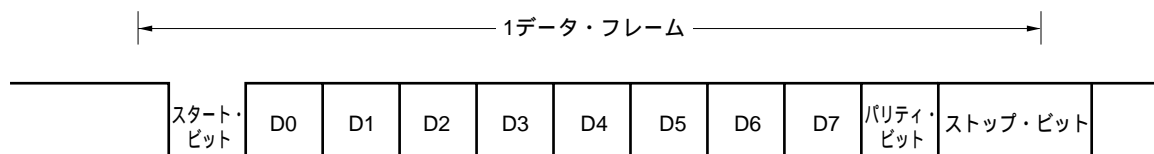
キャラクタ・ビット長の指定，パリティ選択，ストップ・ビット長の指定は，アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) により行います。

(1) データ・フォーマットを設定する

送受信データのフォーマットは図9 - 5に示すように，スタート・ビット，キャラクタ・ビット，パリティ・ビット，ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定，パリティ選択，ストップ・ビット長の指定は，アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) により行います (図9 - 6 参照)。

図9 - 5 アシクロナス・シリアル・インタフェースの送受信データのフォーマット



- ・スタート・ビット ... 1ビット
- ・キャラクタ・ビット... 7ビット / 8ビット
- ・パリティ・ビット ... 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット ... 1ビット / 2ビット

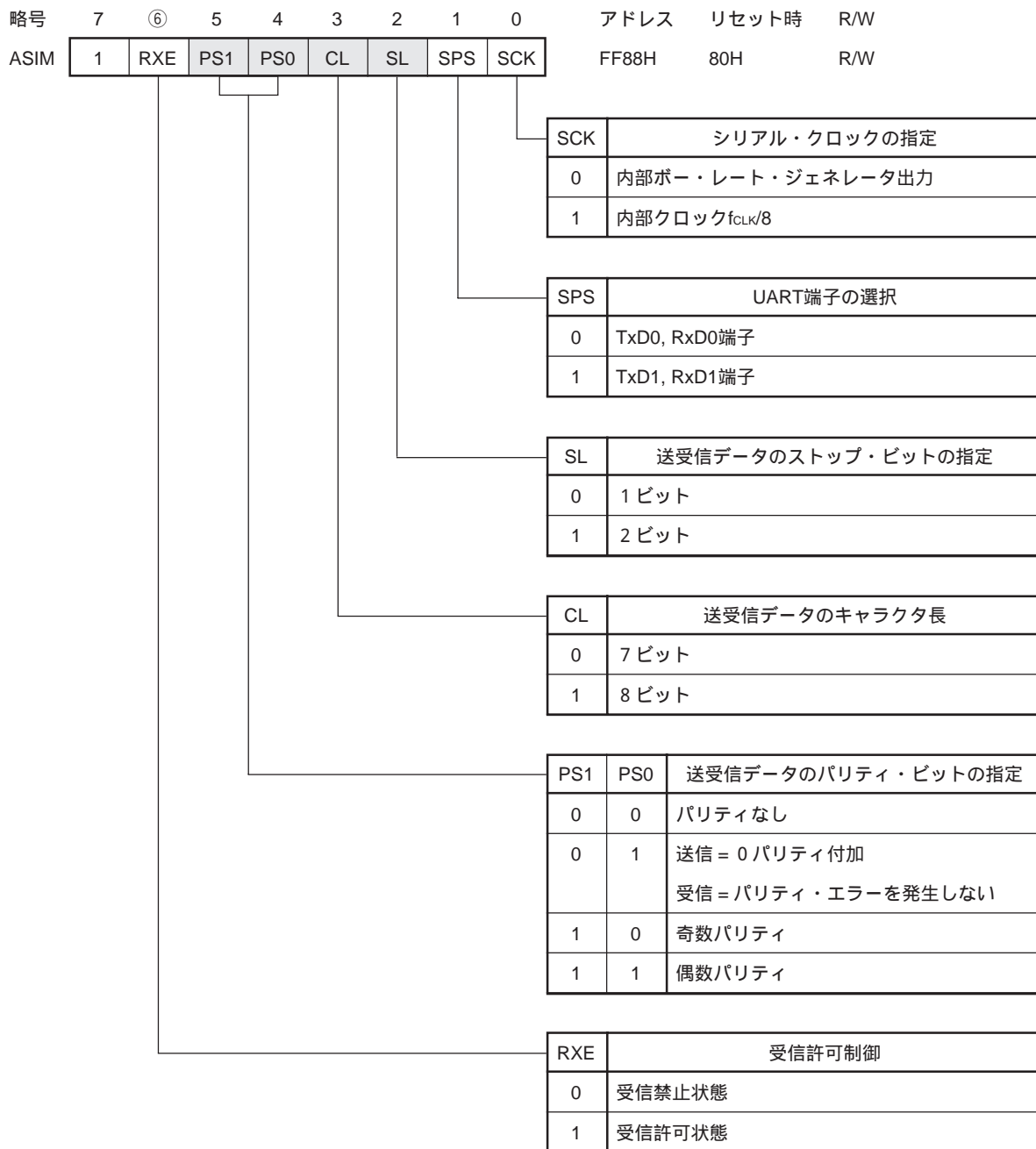
(2) 0パリティはシステムの立ち上げ時に有効である

μPD78366Aのアシクロナス・シリアル・インタフェース機能には，特殊な送受信データ・フォーマットとしてパリティ選択の中に“0パリティ”の機能を備えています。

“0パリティ”を選択すると，シリアル・データの送信時，送信データに無条件に“0”を付加します。シリアル・データの受信時には，受信データに付加されるパリティ・ビットの状態にかかわらずにデータを受信し，パリティ・エラーは発生しません。

“0パリティ”機能は，システムの電源立ち上がり時のようにデータ・フォーマットが確定していない状態で，シリアル通信を行うときに用いると便利です。

図9 - 6 ASIMレジスタの設定 (データ・フォーマット)



注意 ASIMレジスタのビット7は、ハードウェア上“1”固定です。“0”を書き込んでも“1”のまま変化しません。

備考 f_{CLK} : 内部システム・クロック

9.5 ボー・レートを設定する

シリアル・クロックとして、ボー・レート・ジェネレータ出力、または内部クロック $f_{CLK}/8$ を選択できます。ボー・レート・ジェネレータ出力を選択すると、動作周波数によらず任意のボー・レートで通信できます。

(1) ボー・レート = シリアル・クロック / 16

アシンクロナス・シリアル・インタフェースでは、RxD端子のレベルをアシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) で指定したシリアル・クロックの1 / 16分周クロックでサンプリングを行います。

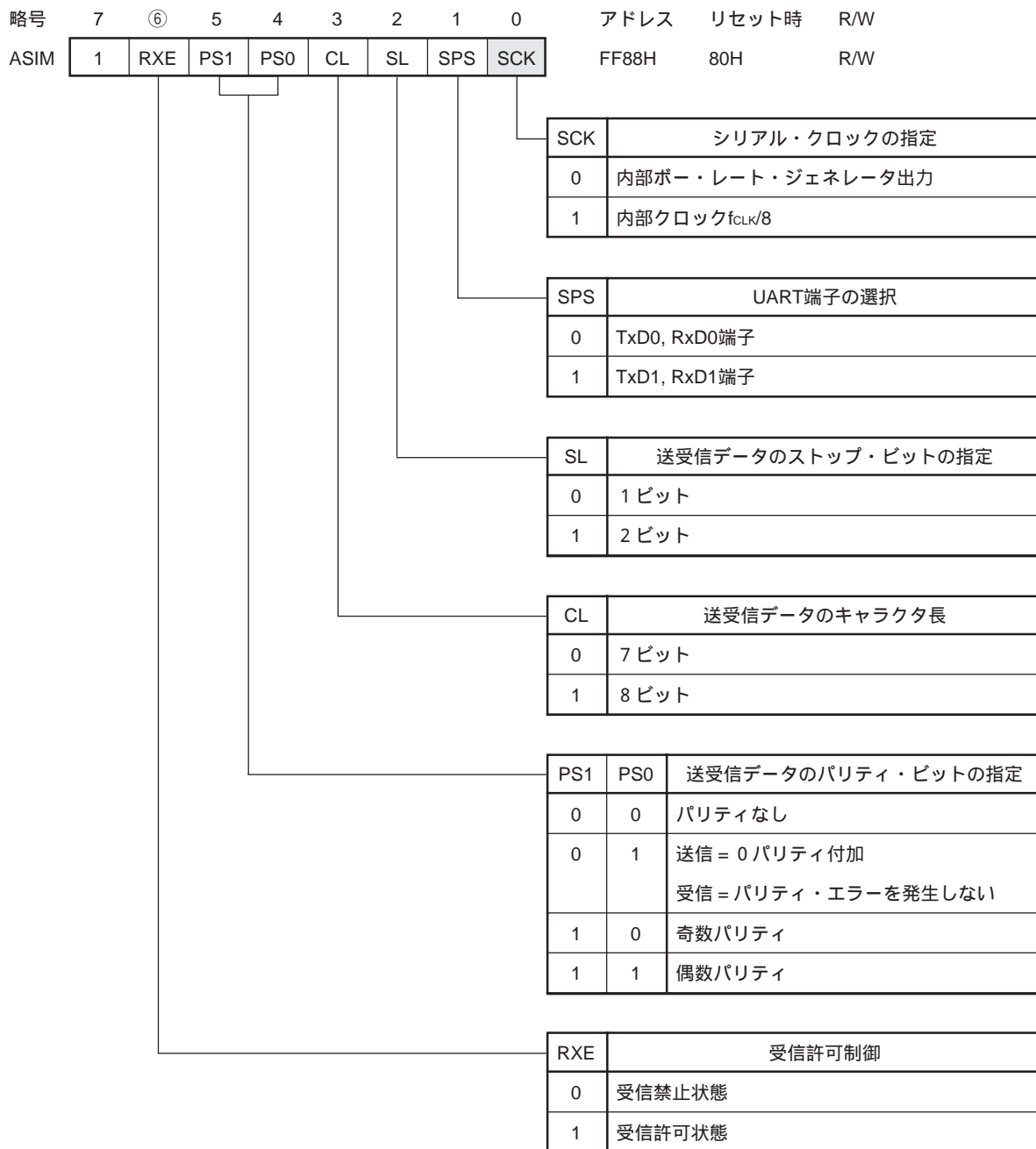
(2) シリアル・クロックを選択する

アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のSCKビットによりシリアル・クロックを選択します (図9 - 7 参照)。

内部システム・クロック $f_{CLK}/8$ を選択すると、ボー・レートは $f_{CLK}/128$ になります。したがって、内部システム・クロック16 MHzのとき、ボー・レートは125 Kbpsとなります。

備考 ボー・レート・ジェネレータは、クロック同期式シリアル・インタフェースと共用です (10.3 ボー・レートを設定する 参照)。

図9 - 7 ASIMレジスタの設定 (シリアル・クロック)



注意 ASIMレジスタのビット7は、ハードウェア上“1”固定です。“0”を書き込んでも“1”のまま変化しません。

備考 f_{CLK} : 内部システム・クロック

9.5.1 ボー・レート・ジェネレータの構成

ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) と 8 ビットのコンペア・レジスタ (BRG) によってボー・レート・ジェネレータを制御します。

ボー・レート・ジェネレータは図 9 - 8 のように構成されます。

(1) ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC)

8 ビット・タイマ (TMBRG) のカウント・クロックの選択, ボー・レート・ジェネレータの動作を制御する 8 ビット・レジスタです。

8 ビット操作命令とビット操作命令で読み出し / 書き込みが可能です。

$\overline{\text{RESET}}$ 入力により 00H になります。

BRGC レジスタのフォーマットを図 9 - 9 に示します。

(2) プリスケーラ

内部クロック ($f_{\text{CLK}}/2$) を BRGC レジスタの設定により分周し, カウント・クロックを生成します。

(3) 8 ビット・タイマ (TMBRG)

プリスケーラで生成されたカウント・クロックをカウントする 8 ビットのタイマです。

8 ビット・コンペア・レジスタ (BRG) の一致信号が発生すると, 次のカウント・クロックでクリア (0) されます。

カウント開始, カウント停止は, BRGC レジスタにより制御します。

TMBRG は CPU から直接操作することはできません。

(4) 8 ビット・ボー・レート・ジェネレータ・コンペア・レジスタ (BRG)

8 ビット・タイマ (TMBRG) の内容と, 8 ビット・コンペア・レジスタ (BRG) に書き込まれているデータを常時比較し, 一致した場合に一致信号を発生します。一致信号により TMBRG はクリア (0) されます。

また, 一致信号を 2 分周した信号がボー・レート・ジェネレータの出力となります。

8 ビット操作命令により読み出し / 書き込みが可能です。

$\overline{\text{RESET}}$ 入力により不定となります。

図9 - 8 ポー・レート・ジェネレータのブロック図

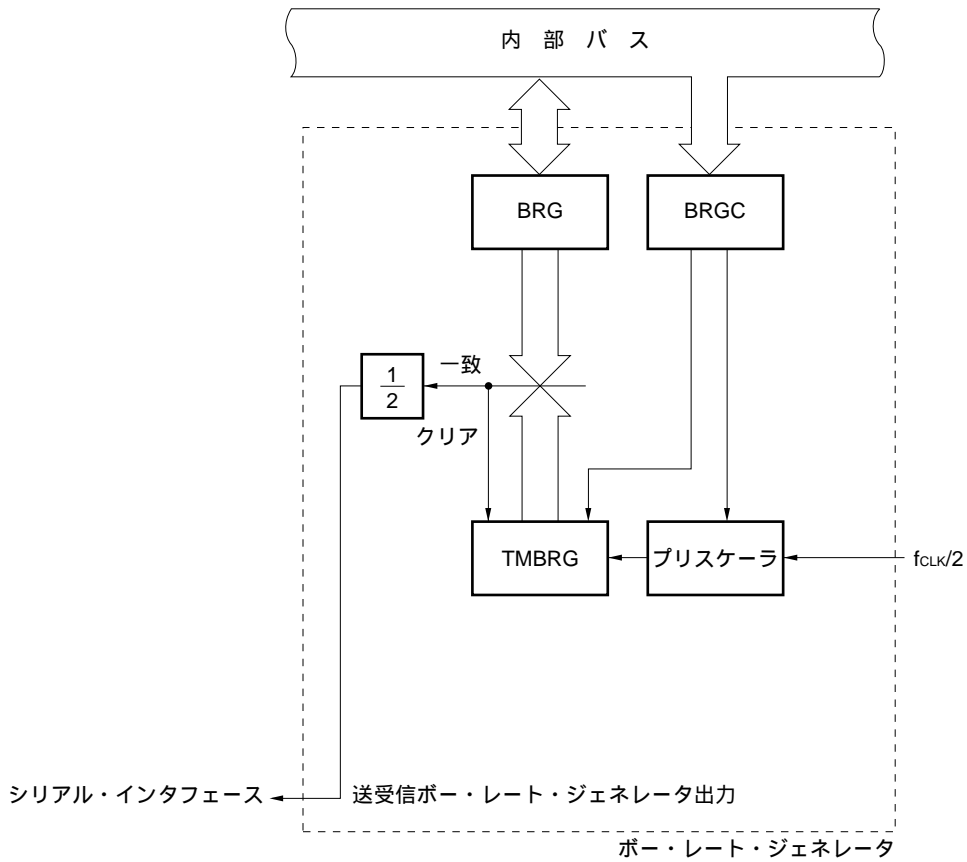


図9 - 9 ポー・レート・ジェネレータ・コントロール・レジスタのフォーマット

略号	7	6	5	4	2	1	0	アドレス	リセット時	R/W
BRGC	0	0	0	0	CEB0	0	PRMB1 PRMB0	FF84H	00H	R/W

PRMB1	PRMB0	TMBRGへのカウント・クロック	
0	0	fCLK/2	(n = 0)
0	1	fCLK/4	(n = 1)
1	0	fCLK/8	(n = 2)
1	1	fCLK/16	(n = 3)

CEB0	ポー・レート・ジェネレータの動作の制御
0	クリアされ、カウント動作停止
1	カウント動作許可

備考1 . fCLK : 内部システム・クロック

2 . PRMB1, PRMB0 欄内の n は, BRGCレジスタのビット 1, 0 への設定値を示し, ポー・レートを計算するときに使います。

9.5.2 任意のボー・レートに設定する

ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) と 8 ビットのコンペア・レジスタ (BRG) の設定により任意のシリアル・クロックを発生します。

(1) ボー・レート=シリアル・クロック / 16

アシクロナス・シリアル・インタフェースでは、RxD端子のレベルをアシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) で指定したシリアル・クロックの1/16分周クロックでサンプリングを行います。

(2) 任意のボー・レートに設定する

ボー・レートの設定は次の式により求められます。所要のボー・レートが得られるようにBRGレジスタの値と 8 ビット・タイマ (TMBRG) のカウント・クロックを設定し、ボー・レート・ジェネレータの動作を開始します。

ボー・レートの計算式

$$\text{ボー・レート (bps)} = \frac{f_{\text{CLK}}}{2^n} \times \frac{1}{(m+1)} \times \frac{1}{2} \times \frac{1}{2} \times \frac{1}{16}$$

f_{CLK} : 内部システム・クロック (外部発振周波数 $f_{\text{xx}} \times 2$)

m : BRGレジスタへの設定値

n : BRGCレジスタへの設定値に対応した値、プリスケアラ値

表9 - 1 にボー・レートの設定例を示します。

(3) ボー・レートの誤差について

アシクロナス・シリアル・インタフェースでは、RxD端子のレベルをスタート・ビットに同期してサンプリングします。したがって、送信側と受信側のボー・レートの誤差が次の値以上になると、スタート・ビットからストップ・ビットまでに0.5ビット以上ずれることになり、正常に通信できません。

$$\text{許容最大誤差} = \frac{0.5\text{ビット}}{1\text{データ・フレーム長}} = \frac{0.5\text{ビット}}{\text{MAX. } 12\text{ビット}} = 4.1\%$$

表 9 - 1 ポー・レート設定例 (アシンクロナス・シリアル・インタフェース)

外部発振周波数 f _{xx} (MHz)	8.000			6.250			6.144			5.000			4.9165		
内部システム・クロック f _{CLK} (MHz)	16.000			12.500			12.288			10.000			9.833		
ポー・レート (bps)	BRGC (n)	BRG (m)	誤差 (%)	BRGC (n)	BRG (m)	誤差 (%)	BRGC (n)	BRG (m)	誤差 (%)	BRGC (n)	BRG (m)	誤差 (%)	BRGC (n)	BRG (m)	誤差 (%)
110	-	-	-	3	221	0.02	3	217	0.08	3	177	0.25	3	174	0.26
150	3	207	0.16	3	162	0.15	3	159	0	3	129	0.16	3	127	0
300	2	207	0.16	2	162	0.15	2	159	0	2	129	0.16	2	127	0
600	1	207	0.16	1	162	0.15	1	159	0	1	129	0.16	1	127	0
1200	0	207	0.16	0	162	0.15	0	159	0	0	129	0.16	0	127	0
2400	0	103	0.16	0	80	0.47	0	79	0	0	64	0.16	0	63	0
4800	0	51	0.16	0	40	0.76	0	39	0	0	32	1.36	0	31	0
9600	0	25	0.16	0	19	1.73	0	19	0	0	15	1.73	0	15	0
19200	0	12	0.16	0	9	1.73	0	9	0	0	7	1.73	0	7	0
38400	0	6	7.0 ^注	0	4	1.73	0	4	0	0	3	1.73	0	3	0

注 誤差が大きく、使用不可能です。

備考 BRGC : ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) のビット 0 , 1 (PRMB0, PRMB1)

BRG : ポー・レート・ジェネレータ・コンペア・レジスタ (BRG) への設定値

9.6 データを送信する

送信シフト・レジスタ (TXS) にデータを書き込むと送信が起動されます。送信完了割り込み (INTST) により次のデータをTXSレジスタに書き込みます。

(1) データを送信する

μ PD78366Aのアシクロナス・シリアル・インタフェースは、常に送信許可状態です。送信シフト・レジスタ (TXS) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXSレジスタ内のデータがシフト・アウトされ、TXSレジスタが空になると送信完了割り込み (INTST) が発生します。

次に送信するデータをTXSレジスタに書き込まなければ、送信動作は中断されます。

(2) 送信データをTXSレジスタに書き込む

1つの送信が終了したあと、直ちに次の送信データをTXSレジスタに書き込まなければ通信レートが低下します。

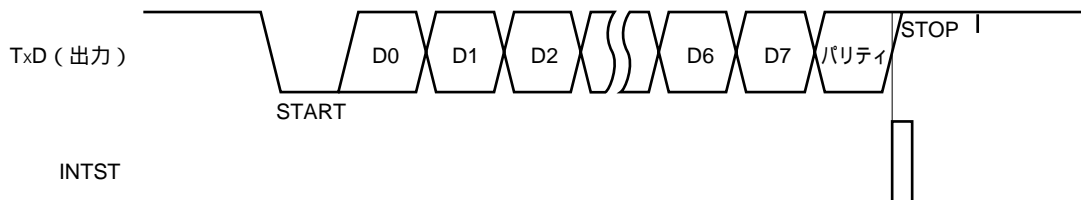
送信データをTXSレジスタに書き込むには、マクロ・サービスのブロック転送モード (BLKTRS) を使うことを推奨します。これはマクロ・サービスは優先順位にかかわらず、送信完了割り込み (INTST) が発生すると同時に起動されるので、通信レートを向上させることができるからです。

注意 1. 通常は、送信シフト・レジスタ (TXS) が空になった場合に送信完了割り込み (INTST) が発生します。しかし、 $\overline{\text{RESET}}$ 入力により、送信シフト・レジスタ (TXS) が空になっても、送信完了割り込み (INTST) は発生しません。

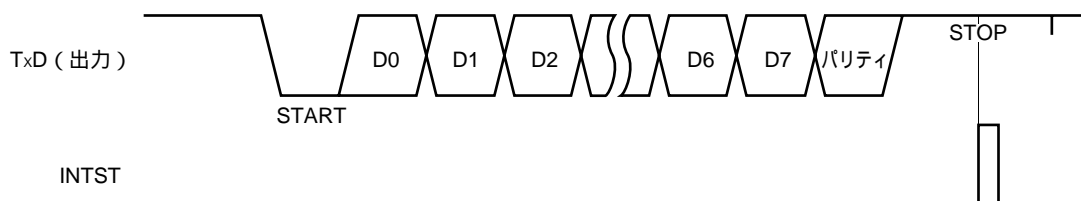
2. INTSTが発生するまでの送信動作中は、TXSレジスタへ書き込んでも書き込みデータは無効となります。

図9 - 10 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング

(a) ストップ・ビット長：1



(b) ストップ・ビット長：2



備考 INTST...ベクタ・テーブル・アドレス：0020H (TPF = 0) , 8020H (TPF = 1)
 マクロ・サービス制御ワード・アドレス：FE20H

注意 通常は、送信シフト・レジスタ (TXS) が空になった場合に送信完了割り込み (INTST) が発生します。しかし、 $\overline{\text{RESET}}$ 入力により、送信シフト・レジスタが空になっても、送信完了割り込みは発生しません。

9.7 データを受信する

受信許可にするとRxD端子のサンプリングを開始し、スタート・ビットを検出するとデータの受信を開始します。1フレームのデータ受信が終了することに受信完了割り込み (INTSR) が発生します。通常、この割り込み処理で受信バッファ (RXB) からメモリに受信データを転送します。

(1) データを受信する

受信動作は、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のRXEビットをセット (1) することにより許可状態となります。

受信許可にするとASIMレジスタで指定したシリアル・クロックで、RxD端子入力サンプリングを行います。

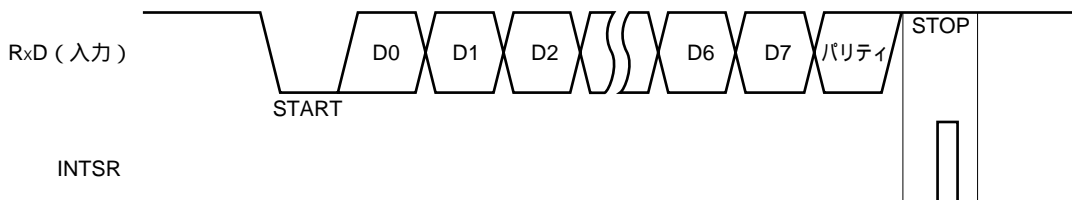
RxD端子入力がロウ・レベルになると、16分周カウンタがカウントを開始し、8回カウントしたところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD端子入力をサンプリングした結果、ロウ・レベルであれば、スタート・ビットとして認識し、16分周カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると、受信シフト・レジスタ内の受信データを受信バッファ (RXB) に転送し、受信完了割り込み (INTSR) を発生します。

また、エラーが発生した場合でも、受信バッファ (RXB) にエラーの発生した受信データを転送し、受信完了割り込み (INTSR)、受信エラー割り込み (INTSER) を同時に発生します。

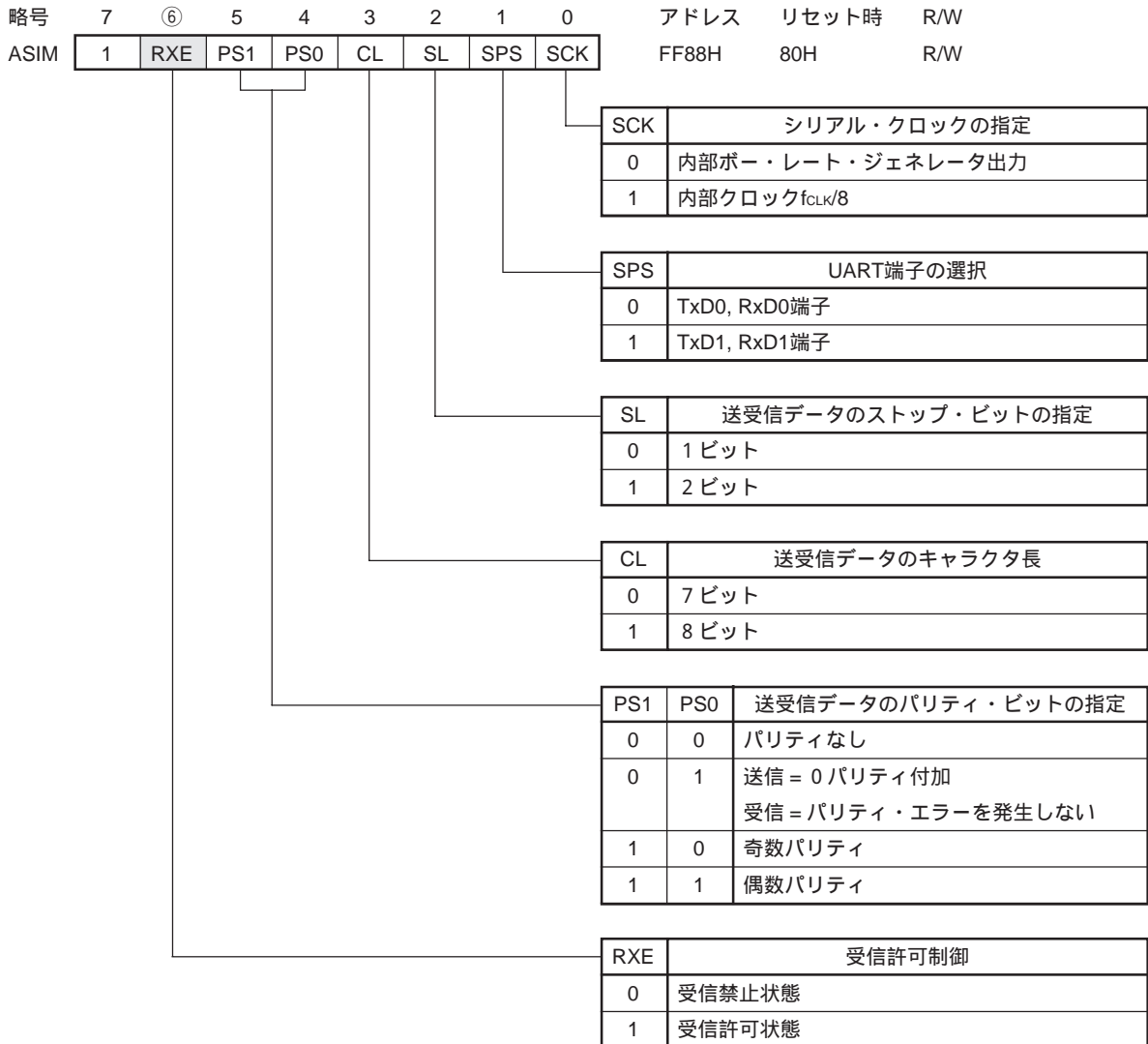
なお、受信動作中にRXEビットをリセット (0) すると、ただちに受信動作を停止します。このとき、受信バッファ (RXB) および、アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の内容は変化せず、受信完了割り込み (INTSR)、受信エラー割り込み (INTSER) も発生しません。

図9 - 11 アシクロナス・シリアル・インタフェース受信完了割り込みタイミング



備考 INTSR...ベクタ・テーブル・アドレス : 001EH (TPF = 0), 801EH (TPF = 1)
マクロ・サービス制御ワード・アドレス : FE1EH

図9-12 ASIMレジスタの設定（受信許可）



注意 ASIMレジスタのビット7は、ハードウェア上“1”固定です。“0”を書き込んでも“1”のまま変化しません。

備考 f_{CLK} : 内部システム・クロック

(2) 受信バッファ (RXB) の内容をメモリに転送する

受信バッファ (RXB) の内容は、次のデータ受信が終了する前に読み出さなければ、オーバラン・エラーが発生してしまいます。受信データをメモリ上に転送するには、マクロ・サービスのブロック転送モード (BLKTRS) を使うことを推奨します。これはマクロ・サービスは優先順位にかかわらず、受信完了割り込み (INTSR) が発生すると同時に起動されるので、次のデータが受信終了する前に、受信バッファ (RXB) の内容を転送することが必ずできるからです。

注意 受信エラー発生時にも、受信バッファ (RXB) は必ず読み出してください。RXBレジスタを読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

9.8 マクロ・サービスを使ってデータを送信 / 受信する

マクロ・サービスを使ってデータを送信した場合、ベクタ割り込み要求は2回発生します。一方、受信動作では、ベクタ割り込み要求の発生は1回だけです。

マクロ・サービスを使ってデータを送信 / 受信する

送信動作は、送信シフト・レジスタ (TXS) へのデータ書き込みにより開始します。これをマクロ・サービスで実行した場合、設定された回数だけTXSへデータを書き込み、送信します。送信終了後に発生する送信完了割り込み (INTST) により、次のデータを書き込むマクロ・サービス処理が行われます。最後のデータをTXSへ書き込むと、マクロ・サービスは終了 (MSC = 0) し、ベクタ割り込み要求が発生します (図9 - 13の)。

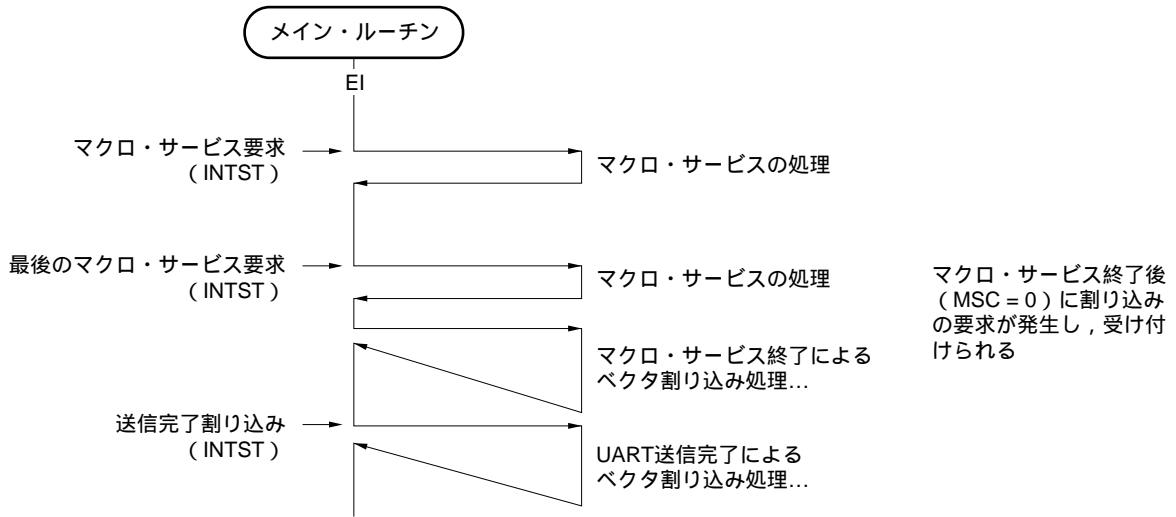
そのあと、データの送信が終了する (1フレームを送り終える) と、改めてINTSTが発生し、再度ベクタ割り込み要求が発生します (図9 - 13の)。

したがって、上記のように、マクロ・サービスをINTSTにより起動する場合、同じ割り込み要求 (この場合はINTST) によって、ベクタ割り込みが2回発生することがあります。

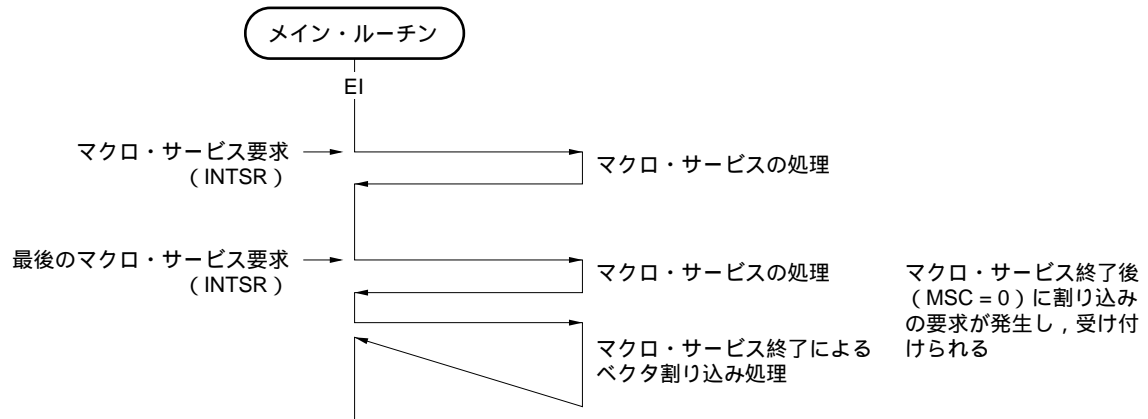
一方、受信動作では、送信動作のようにベクタ割り込み要求が2回発生することはありません。受信動作の場合は、受信終了後に発生する受信完了割り込み (INTSR) により、受信内容をメモリに転送するマクロ・サービス処理が行われるので、ベクタ割り込み要求は、マクロ・サービス終了後に1回発生するだけです。

図9 - 13 マクロ・サービスを使ったUARTの送信/受信動作

(a) 送信動作



(b) 受信動作



9.9 受信エラーが発生した場合

受信エラーが発生した場合、アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) を読み出すと、エラーの種類を知ることができます。

受信エラーには3種類ある

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。受信動作時にエラーが検出されると、エラー・フラグがASISレジスタ内に立つと同時に、受信エラー割り込み (INTSER) を発生します。受信エラーの要因を表9 - 2 に示します。

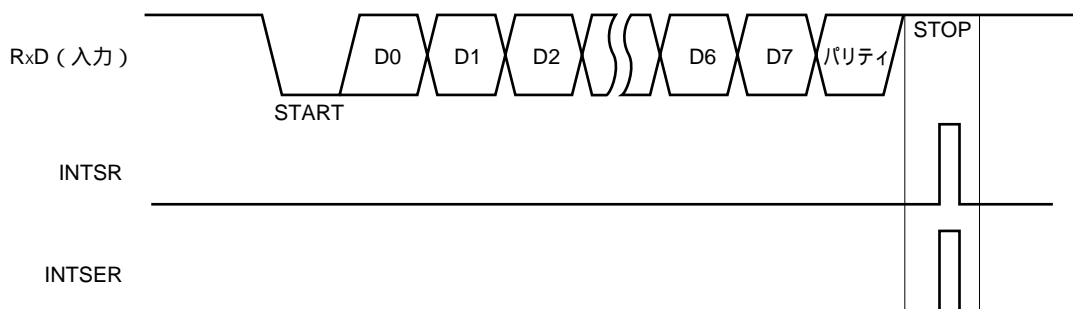
受信エラー割り込み処理 (INTSER) 内でASISレジスタの内容を読み出すことによって、どのエラーが受信時に発生したかを検出することができます (図9 - 15 参照)。

ASISレジスタの内容は、受信バッファ (RXB) を読み出すか、次のデータを受信することによってリセット (0) されます (次の受信データにエラーがあれば、そのエラー・フラグがセットされます)。

表9 - 2 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信完了

図9 - 14 受信エラー・タイミング



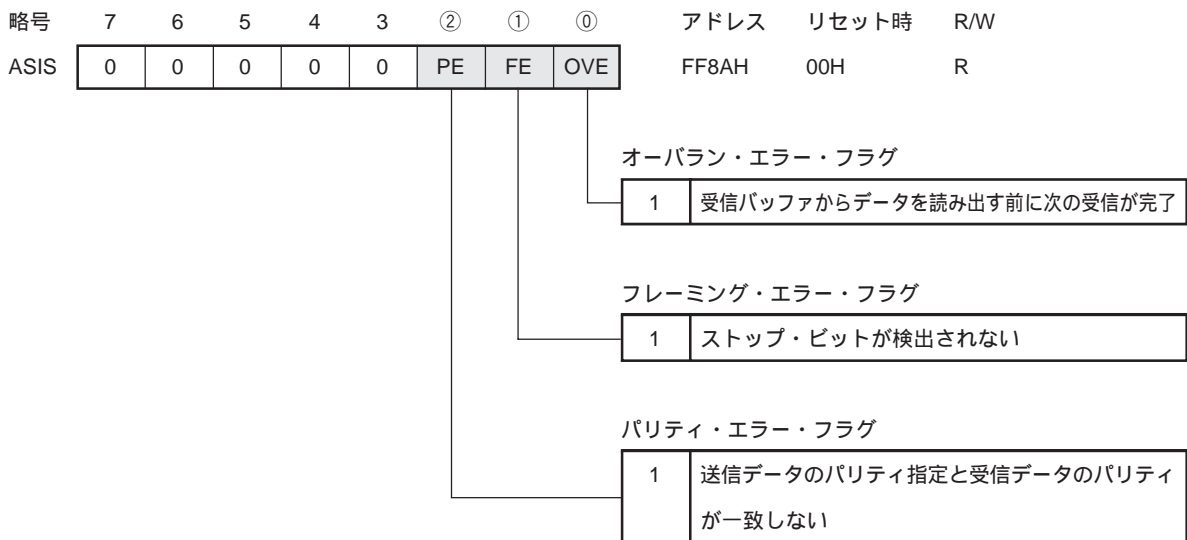
備考1 . INTSR ...ベクタ・テーブル・アドレス : 001EH (TPF = 0) , 801EH (TPF = 1)

マクロ・サービス制御ワード・アドレス : FE1EH

2 . INTSER ...ベクタ・テーブル・アドレス : 001CH (TPF = 0) , 801CH (TPF = 1)

マクロ・サービス制御ワード・アドレス : FE1CH

図9 - 15 アシクロナス・シリアル・インタフェース・ステータス・レジスタのフォーマット



注意1 . ASISレジスタの内容は、受信バッファ (RXB) を読み出すか、次のデータを受信することにより、リセット (0) されてしまいます。エラーの内容が知りたい場合には、必ず受信バッファ (RXB) を読み出す前にASISレジスタを読み出してください。

なお、マクロ・サービスを用いて受信データをメモリに転送している場合には、シリアル・データ受信時に受信バッファ (RXB) を読み出してしまうため、ASISレジスタがリセット (0) されてしまいます。したがって、エラーが発生したことしか分かりませんので、この点について問題がないことを確認のうえ、ご使用ください。

エラーの発生は、受信エラー割り込み要求フラグ (SERIF) がセット (1) されている状態、または受信エラー割り込み (INTSER) の受け付けにより知ることができます。

2 . 受信エラー発生時にも、受信バッファ (RXB) は必ず読み出してください。RXBレジスタを読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

3 . ASISレジスタのビット7-3は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。

〔メ モ〕

第10章 クロック同期式シリアル・インタフェース

μPD78366Aは、クロック同期式シリアル・インタフェースとして、3線式シリアルI/Oモードとシリアル・パス・インタフェース(SBI)モードの2つの動作モードを持っています。そのため、さまざまなアプリケーションに柔軟に対応することができます。

アシンクロナス・シリアル・インタフェースとは独立に動作します。

10.1 クロック同期式シリアル・インタフェースの構成

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM)、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) によって、クロック同期式シリアル・インタフェースを制御します。送受信データはSIOレジスタに読み出し/書き込みができます。

(1) クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM)

CSIMレジスタは、クロック同期式シリアル・インタフェースの動作を指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。

$\overline{\text{RESET}}$ 入力により00Hとなります。

(2) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

シリアル・バスの状態を制御するビットとシリアル・バスからの入力データの各種の状態を示すビットから構成された8ビット・レジスタです。SBIモードでのみ用いることができ、3線式シリアルI/Oモードでは操作できません。

8ビット操作命令とビット操作命令で操作します。読み出し/書き込みはビットにより異なります。書き込み動作のみのビットを読み出すと“0”を読み出します。

$\overline{\text{RESET}}$ 入力により00Hとなります。

また、ACKD, CMDD, RELDの各検出フラグは、送受信動作を禁止 (CSIMレジスタのCTXEビット, CRXEビットがともに0) にするとクリアされます。

(3) シフト・レジスタ (SIO)

シフト・レジスタ (SIO) は、シリアル・データ 平行・データの変換を行う8ビット・レジスタです。SIOは送信および受信の両方に使用されます。

データは、MSB側またはLSB側からシフト・イン (受信) またはシフト・アウト (送信) されます。

SIOに対する読み出し/書き込みにより、実際の送受信動作が制御されます。

8ビット操作命令で読み出し/書き込みが可能です。

$\overline{\text{RESET}}$ 入力により不定となります。

(4) SOラッチ

SOラッチは、SO/SB0端子出力レベルを保持するラッチです。シリアル・バス・インタフェース (SBI) モード時には、ソフトウェアにより直接制御することも可能になります。

(5) シリアル・クロック・セレクト

使用するシリアル・クロックを選択します。

(6) シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給の制御を行います。また、内部クロック使用時には $\overline{\text{SCK}}$ 端子へ出力するクロックの制御も行います。

(7) シリアル・クロック・カウンタ

送信/受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

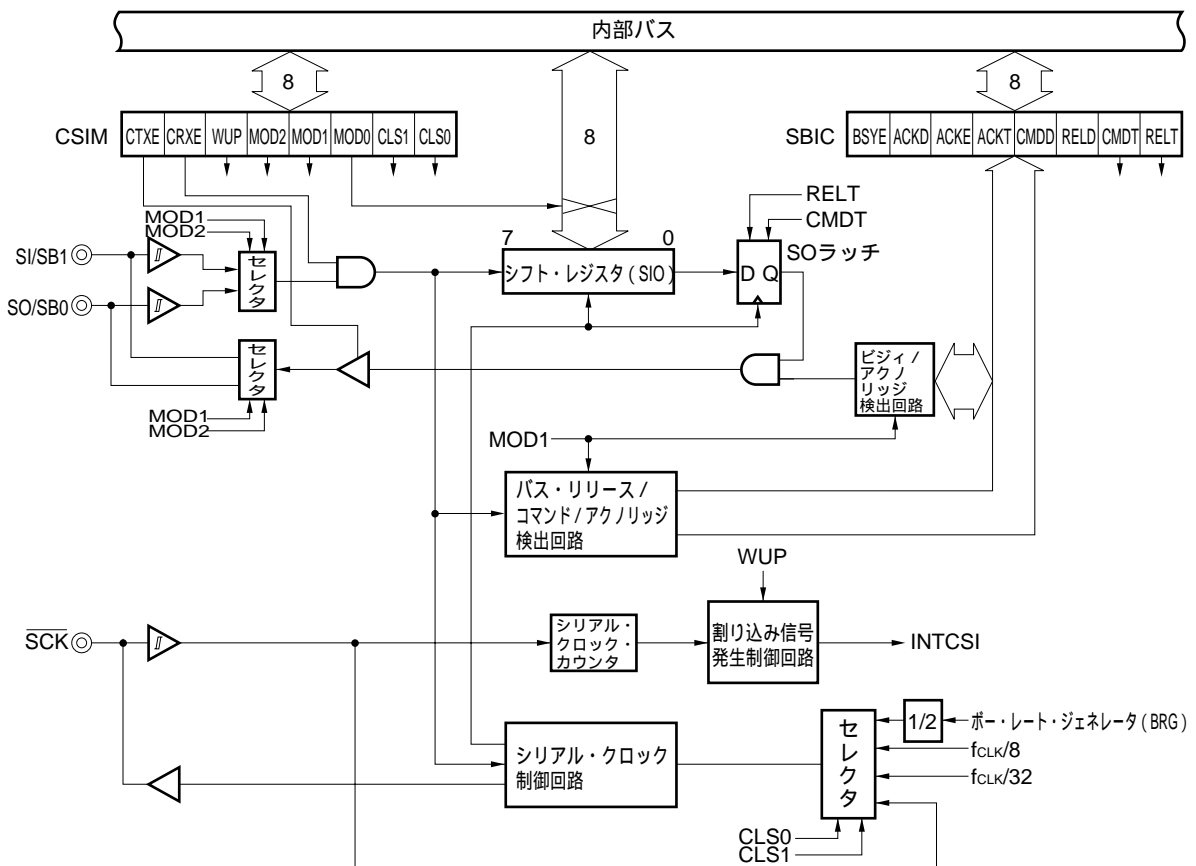
(8) 割り込み信号発生制御回路

シリアル・クロック・カウンタでシリアル・クロックを8発カウントしたときに、割り込み要求を発生するかしないかを制御します。3線式シリアルI/Oモード時には8発カウントするごとに、SBIモード時には条件が成立したときに、それぞれ割り込み要求を発生します。

(9) ビジィ/アクノリッジ検出回路、バス・リリース/コマンド/アクノリッジ検出回路

SBIモード時に各種制御信号の出力および検出を行います。3線式シリアルI/Oモード時には動作しません。

図10-1 クロック同期式シリアル・インタフェースのブロック図



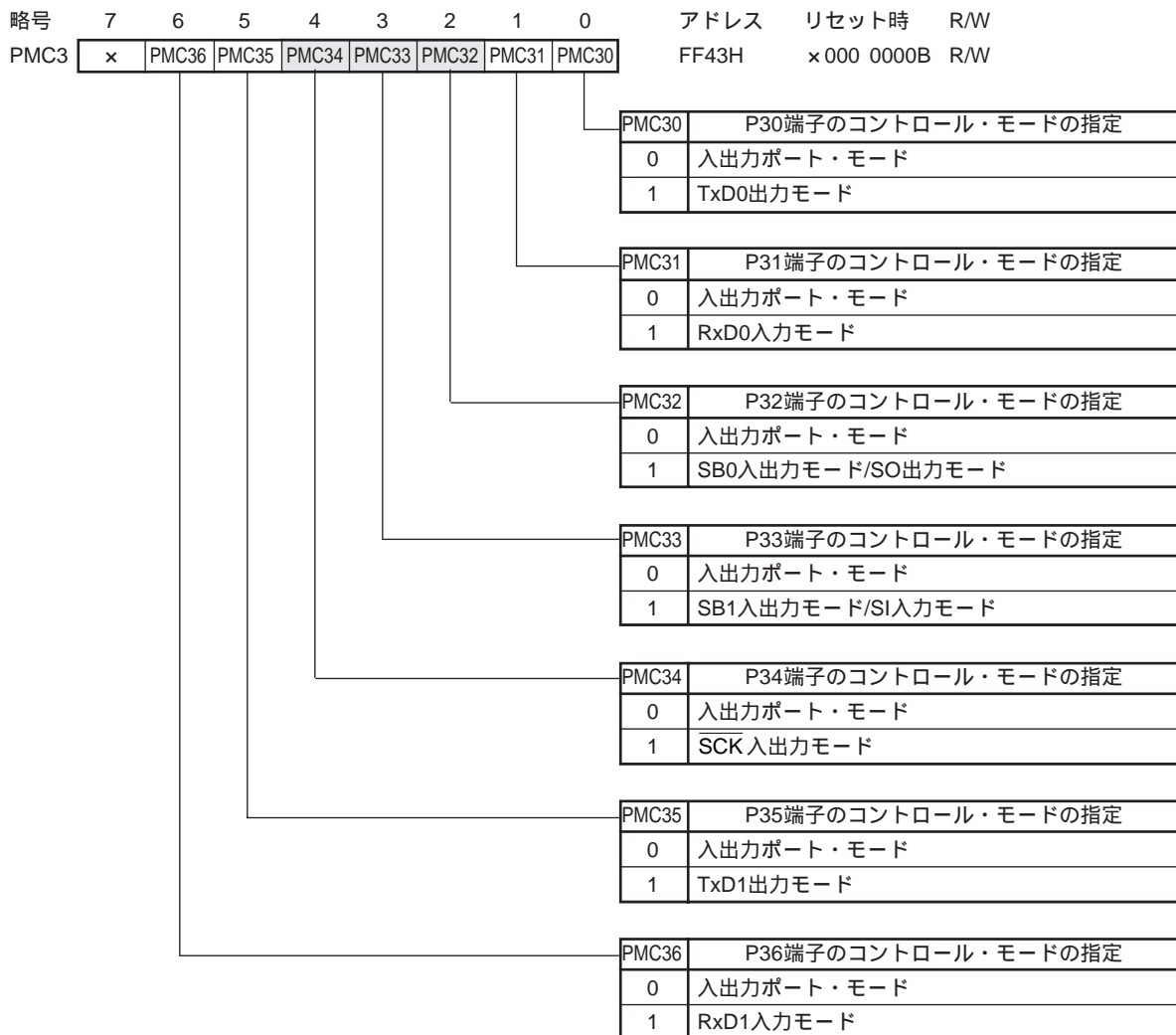
10.2 シリアル通信の端子を設定する

SO/SB0端子，SI/SB1端子， $\overline{\text{SCK}}$ 端子は，汎用ポートと兼用になっているため，通信を行う前にコントロール・モードに設定する必要があります。

(1) シリアル通信の端子を設定する

クロック同期式シリアル・インタフェースでは，SO/SB0端子，SI/SB1端子， $\overline{\text{SCK}}$ 端子を使用しますが，各端子は，それぞれ汎用ポートP32，P33，P34と兼用になっています。そのため，通信を始める前に，各端子をポート3モード・コントロール・レジスタ（PMC3）によって，コントロール・モードに設定する必要があります。

図10-2 ポート3モード・コントロール・レジスタのフォーマット



備考 x : don't care

(2) 端子レベルを読み込む

ポート3モード・コントロール・レジスタ (PM3) でポート3 (P3) をコントロール・モードに指定した場合、ポート3 (P3) の読み込み命令を実行すると各端子ともに次の状態が読み込めます。

(a) ポート3モード・レジスタ (PM3) の対応するビットがセット (1) されているとき

・各端子レベルを読み込みます。

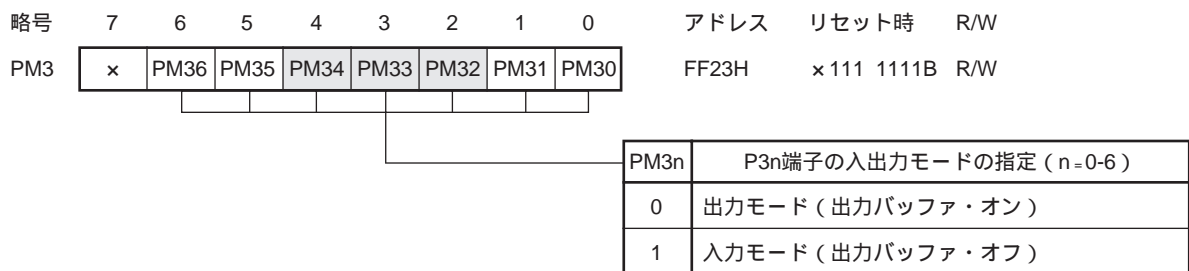
(b) ポート3モード・レジスタ (PM3) の対応するビットがリセット (0) されているとき

・内部信号のレベルを読み込みます。

これによりシリアル・バスの衝突の有無などを確認できます。

ポート3 (P3) に書き込みを行っても各端子レベルは変化しません (ポート3の出力バッファに書き込まれます)。

図10-3 ポート3モード・レジスタのフォーマット



備考 x : don't care

10.3 ボー・レートを設定する

シリアル・クロックとして、ボー・レート・ジェネレータ出力、内部クロック $f_{CLK}/8$ 、 $f_{CLK}/32$ 、または外部クロックを選択できます。ボー・レート・ジェネレータ出力を選択すると、動作周波数によらず任意のボー・レートで通信できます。

(1) ボー・レート = シリアル・クロック

クロック同期式シリアル・インタフェースでは、シリアル・クロックの立ち上がりで受信データのサンプリングを行います。したがって、シリアル・クロックがそのままボー・レートとなります。

(2) シリアル・クロックを選択する

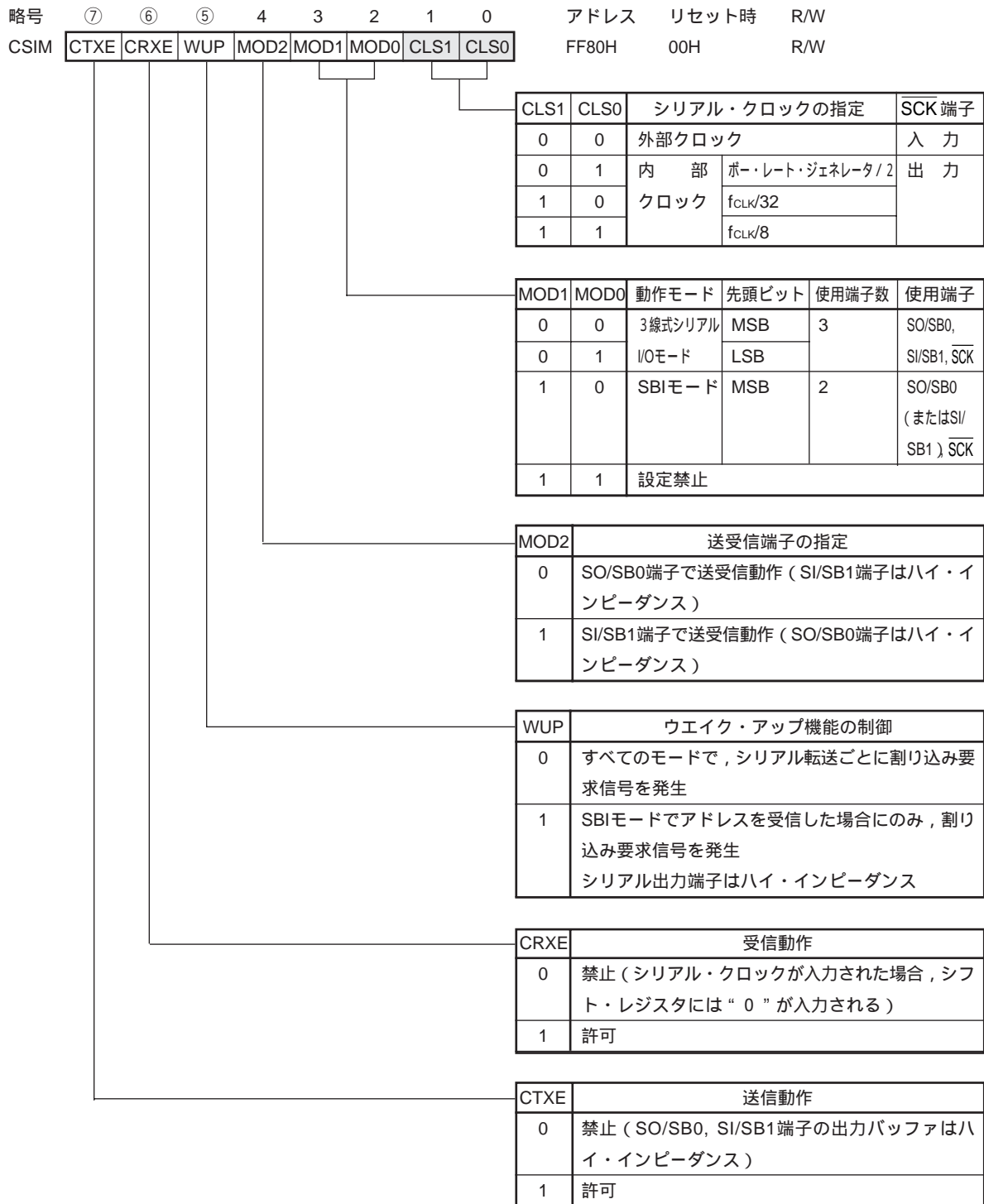
クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) のCLS1, CLS0ビットによりシリアル・クロックを選択します。

外部クロックを選択すると、 \overline{SCK} 端子は入力端子となり、通信相手のデバイスからシリアル・クロックが入力されます。

内部システム・クロック16 MHzのとき、 $f_{CLK}/8$ を選択すると2 Mbps、 $f_{CLK}/32$ を選択すると500 Kbpsとなります。

備考 ボー・レート・ジェネレータは、アシンクロナス・シリアル・インタフェースと共用です (9.5 ボー・レートを設定する 参照)。

図10 - 4 CSIMレジスタの設定 (シリアル・クロック)



備考 f_{CLK} : 内部システム・クロック

注意 シリアル・クロックの切り替えはシリアル・クロックとは非同期に行われます。したがって、通信中にシリアル・クロックを切り替えると不定幅のシリアル・クロックが出力されることがあります。通信中にはシリアル・クロックは切り替えしないでください。

10.3.1 ポー・レート・ジェネレータの構成

ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) と 8 ビットのコンペア・レジスタ (BRG) によってポー・レート・ジェネレータを制御します。

ポー・レート・ジェネレータは図10 - 5のように構成されます。

(1) ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC)

8 ビット・タイマ (TMBRG) のカウント・クロックの選択, ポー・レート・ジェネレータの動作を制御する 8 ビット・レジスタです。

8 ビット操作命令とビット操作命令で読み出し / 書き込みが可能です。

$\overline{\text{RESET}}$ 入力により 00H になります。

BRGCレジスタのフォーマットを図10 - 6 に示します。

(2) プリスケーラ

内部クロック ($f_{\text{CLK}}/2$) を BRGC レジスタの設定により分周し, カウント・クロックを生成します。

(3) 8 ビット・タイマ (TMBRG)

プリスケーラで生成されたカウント・クロックをカウントする 8 ビットのタイマです。

8 ビット・コンペア・レジスタ (BRG) の一致信号が発生すると, 次のカウント・クロックでクリア (0) されます。

カウント開始, カウント停止は, BRGC レジスタにより制御します。

TMBRG は CPU から直接操作することはできません。

(4) 8 ビット・ポー・レート・ジェネレータ・コンペア・レジスタ (BRG)

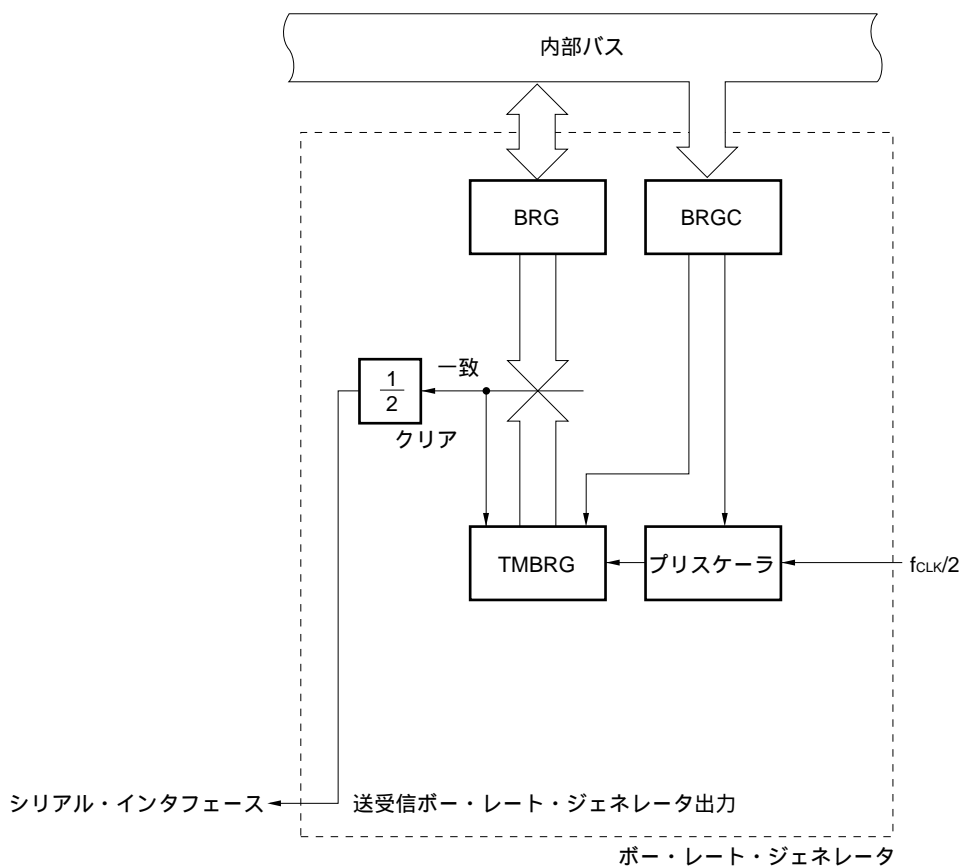
8 ビット・タイマ (TMBRG) の内容と, 8 ビット・コンペア・レジスタ (BRG) に書き込まれているデータを常時比較し, 一致した場合に一致信号を発生します。一致信号により TMBRG はクリア (0) されます。

また, 一致信号を 2 分周した信号がポー・レート・ジェネレータの出力となります。

8 ビット操作命令により読み出し / 書き込みが可能です。

$\overline{\text{RESET}}$ 入力により不定となります。

図10 - 5 ポー・レート・ジェネレータのブロック図



10.3.2 任意のボー・レートに設定する

ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) と 8 ビットのコンペア・レジスタ (BRG) の設定により任意のシリアル・クロックを発生します。

(1) ボー・レート = シリアル・クロック

クロック同期式シリアル・インタフェースでは、シリアル・クロックの立ち上がりで受信データのサンプリングを行います。したがって、シリアル・クロックがそのままボー・レートとなります。

(2) 任意のボー・レートに設定する

ボー・レートの設定は次の式により求められます。所要のボー・レートが得られるように BRG レジスタの値と 8 ビット・タイマ (TMBRG) のカウント・クロックを設定し、ボー・レート・ジェネレータの動作を開始します。

ボー・レートの計算式

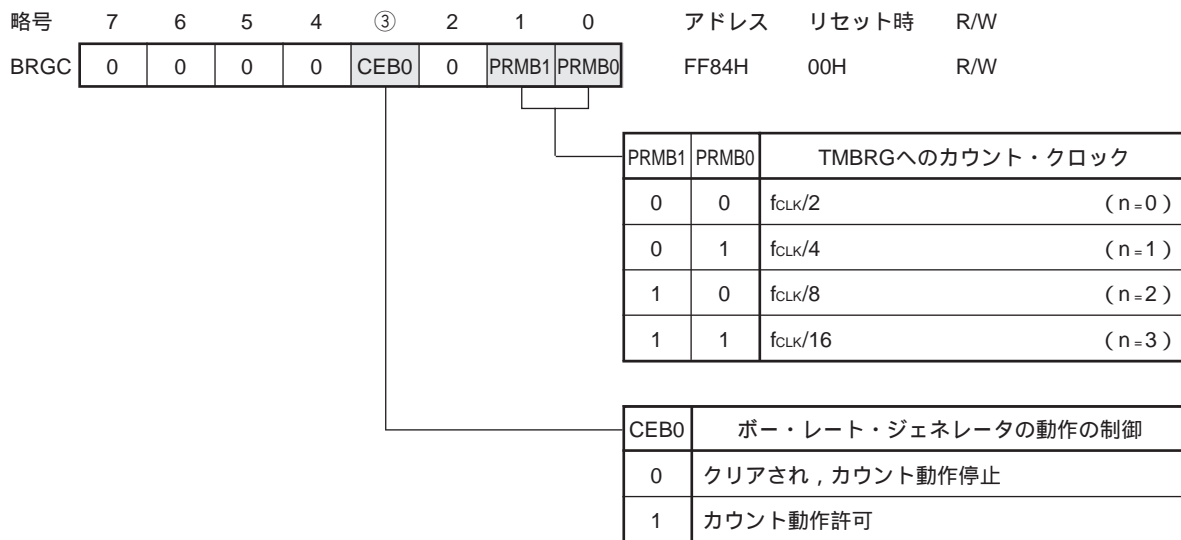
$$\text{ボー・レート (bps)} = \frac{f_{\text{CLK}}}{2^n} \times \frac{1}{(m+1)} \times \frac{1}{2} \times \frac{1}{2}$$

f_{CLK} : 内部システム・クロック (外部発振周波数 $f_{\text{xx}} \times 2$)

m : BRG レジスタへの設定値

n : BRGC レジスタへの設定値に対応した値、プリスケアラ値

図10 - 6 ポー・レート・ジェネレータ・コントロール・レジスタのフォーマット



備考1 . f_{CLK} : 内部システム・クロック

2 . PRMB1, PRMB0欄内のnは, BRGCレジスタのビット1, 0への設定値を示し, ポー・レートを計算するときに使います。

10.4 クロック同期式シリアル・インタフェースの2つの動作モード

3線式シリアルI/Oモードは、従来のクロック同期式シリアル・インタフェースを内蔵するデバイスと通信を行うときに有効です。

SBIモードは、2本の信号線で複数のデバイスと通信を行うことができるNEC独自の通信モードです。

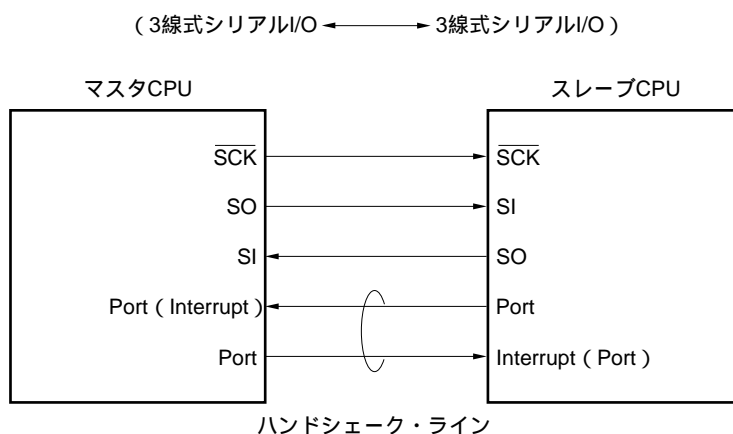
μPD78366Aのクロック同期式シリアル・インタフェースには、次の2つの動作モードがあります。

(1) 3線式シリアルI/Oモード

シリアル・クロック ($\overline{\text{SCK}}$) と、シリアル入力 (SI), シリアル出力 (SO) の3本の信号線によって、8ビット長のデータ転送を行います。従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続する場合に有効です。

複数のデバイスと接続する場合は、ハンドシェイク用のラインが必要です。

図10-7 3線式シリアルI/Oモードのシステム構成例



(2) シリアル・バス・インタフェース・モード (SBIモード)

シリアル・クロック ($\overline{\text{SCK}}$) とシリアル・データ・バス (SB0またはSB1) の2本の信号線により複数のデバイスと通信可能なモードです。

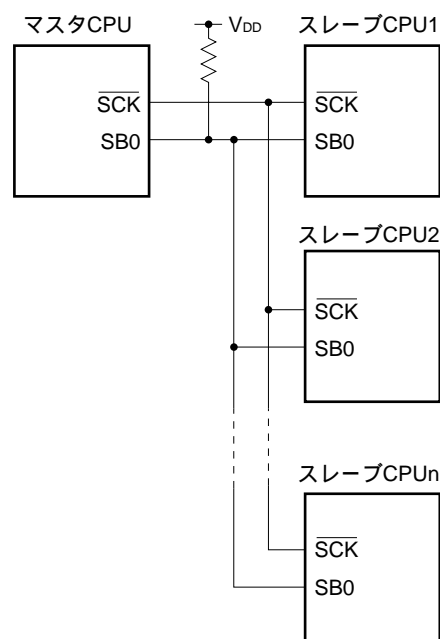
NECシリアル・バス・フォーマットに準拠しています。

SBIモードでは、シリアル・データ・バス上にシリアル通信の対象デバイス選択のための“アドレス”，対象デバイスに対して指令を与える“コマンド”および、実際の“データ”を出力することができます。

したがって、従来のクロック同期式シリアル・インタフェースで複数のデバイスを接続するときに必要となった、ハンドシェイクのための信号線を必要とせず、入出力ポートの有効活用が図れるとともに、ソフトウェア負担の減少も行えます。

SBIモードでは、シリアル・データ・バス端子 (SB0, SB1) は、オープン・ドレイン出力になっているため、シリアル・データ・バス・ラインは、ワイアード・オア状態になります。したがって、シリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

図10 - 8 シリアル・バス・インタフェース (SBI) のシステム構成例



10.5 3線式シリアルI/Oモードに設定する

3線式シリアルI/Oモードの設定は、クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) で行います。通信先頭ビットがMSBまたはLSBに選択できるので、さまざまなデバイスと通信することが可能です。

(1) 3線式シリアルI/Oモードに設定する

3線式シリアルI/Oモードの設定は、クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) のMOD1, MOD0ビットで行います (図10-10参照)。通信先頭ビットがMSBまたはLSBに選択できるので、さまざまなデバイスと通信することが可能です。

(2) 3線式シリアルI/Oモードの動作タイミング

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期してMSBまたはLSBを先頭として (CSIMレジスタで指定)、1ビットごとに送受信されます。

送信データは、 \overline{SCK} の立ち下がりに同期して出力されます。受信データは、 \overline{SCK} の立ち上がりでサンプリングされます。また、8番目の \overline{SCK} の立ち上がりで割り込み要求INTCSIを発生します。

内部クロックを \overline{SCK} として使用している場合は、 \overline{SCK} の8番目の立ち上がりで \overline{SCK} の出力を停止し、次のデータの送信または受信動作が起動されるまで、 \overline{SCK} はハイ・レベルを保持します。

図10-9 3線式シリアルI/Oモードのタイミング

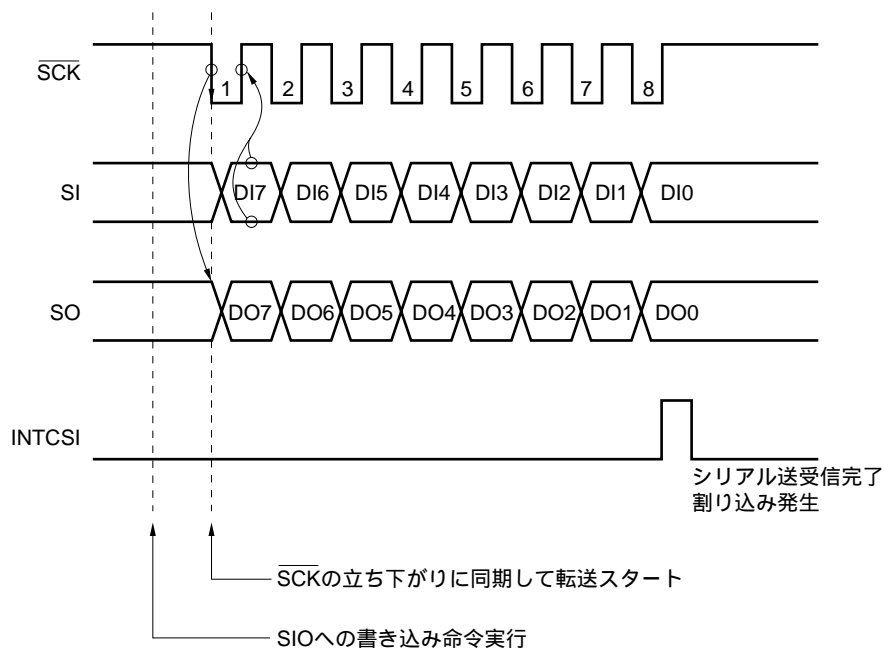
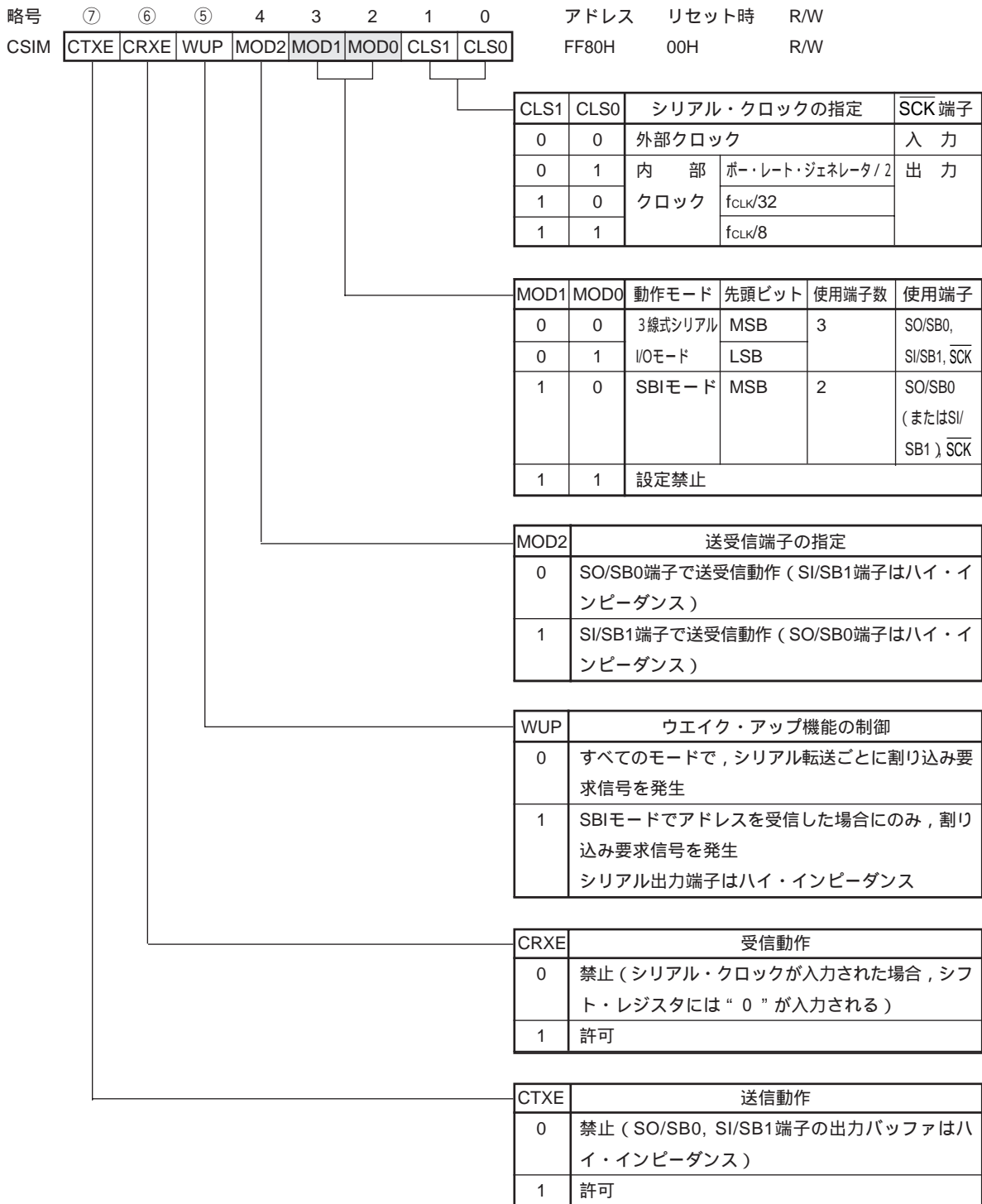


図10 - 10 CSIMレジスタの設定 (3線式シリアル/I/Oモード)



備考1 . f_{CLK} : 内部システム・クロック

2 . MOD2ビットの設定は、SBIモードでのみ有効です。3線式シリアル/I/Oモードでは、この設定は無効です。

10.5.1 3線式シリアルI/Oモードで送信する

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) により送信許可に設定したあと、SIOレジスタに書き込みを行うと、送信動作が起動します。

(1) 送信動作を起動する

送信動作の起動は、クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) のCTXEビットをセットして (CRXEビットには“0”をセット)、シフト・レジスタ (SIO) へ送信データを書き込むことで行います。SIOレジスタへの送信データの書き込みは、マクロ・サービスのブロック転送モード (BLKTRS) を用いると便利です。

なお、CTXEビットがリセット (0) されているときはSO端子は出力ハイ・インピーダンスとなります。

(2) シリアル・クロックに同期してデータを送信する

(a) シリアル・クロックとして内部クロックを選択した場合

送信が起動されると、シリアル・クロックを $\overline{\text{SCK}}$ 端子から出力し、同時にシリアル・クロックの立ち下がりに同期してSIOからデータをSO端子へ順次出力します。

(b) シリアル・クロックとして外部クロックを選択した場合

送信が起動されると、送信起動後に $\overline{\text{SCK}}$ 端子へ入力されたシリアル・クロックの立ち下がりに同期してSIOからデータをSO端子へ順次出力します。送信が起動されていないときに、シリアル・クロックを $\overline{\text{SCK}}$ 端子へ入力してもシフト動作は行われず、SO端子の出力レベルは変化しません。

図10-11 3線式シリアルI/Oモードのタイミング (送信)

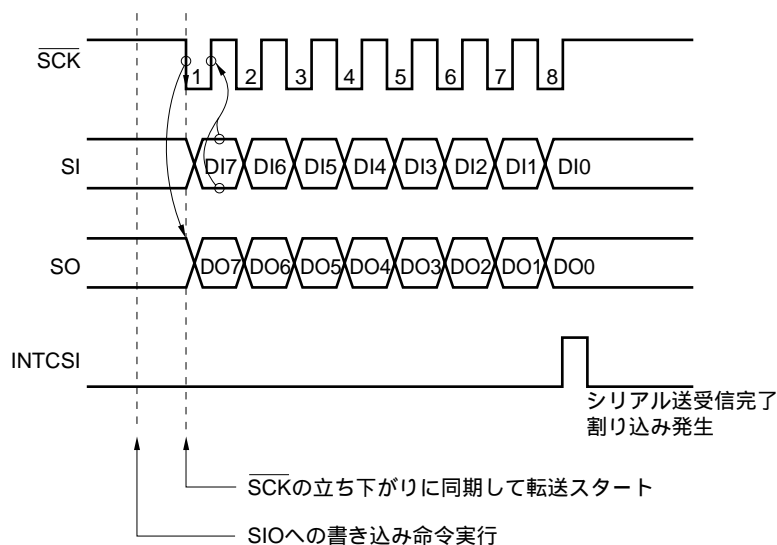


図10 - 12 CSIMレジスタの設定 (送信許可)



備考 f_{CLK} : 内部システム・クロック

10.5.2 3線式シリアルI/Oモードで受信する

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) により、受信禁止から受信許可に状態を変える (CTXE = 0 のとき)、または受信許可状態で SIO レジスタを読み出すと受信動作は起動されます。

(1) 受信動作を起動する

受信動作の起動には、次の2つの方法があります。

CSIMレジスタのCTXEビットが“0”のとき、CRXEビットを受信禁止状態“0”から受信許可状態“1”へ変化させる

CSIMレジスタのCRXEビットが受信許可状態“1”のときにシフト・レジスタ (SIO) から受信データを読み出す

シフト・レジスタ (SIO) から受信データを読み出すには、マクロ・サービスのブロック転送モード (BLKTRS) を用いると便利です。CSIMレジスタのCRXEビットをセット (1) した状態で、再び“1”を書き込んで受信動作は起動されません。また、CTXEビットが“1”のとき、CRXEビットを“0”から“1”に設定しても受信動作は起動されません。

(2) シリアル・クロックに同期してデータを受信する

(a) シリアル・クロックとして内部クロックを選択した場合

受信が起動されると、シリアル・クロックを $\overline{\text{SCK}}$ 端子から出力し、同時にシリアル・クロックの立ち上がりに同期して SI 端子のデータを SIO へ順次取り込みます。

(b) シリアル・クロックとして外部クロックを選択した場合

受信が起動されると、受信起動後に $\overline{\text{SCK}}$ 端子へ入力されたシリアル・クロックの立ち上がりに同期して SI 端子のデータを SIO へ順次取り込みます。受信が起動されていないときに、シリアル・クロックを $\overline{\text{SCK}}$ 端子へ入力してもシフト動作は行いません。

図10-13 3線式シリアルI/Oモードのタイミング (受信)

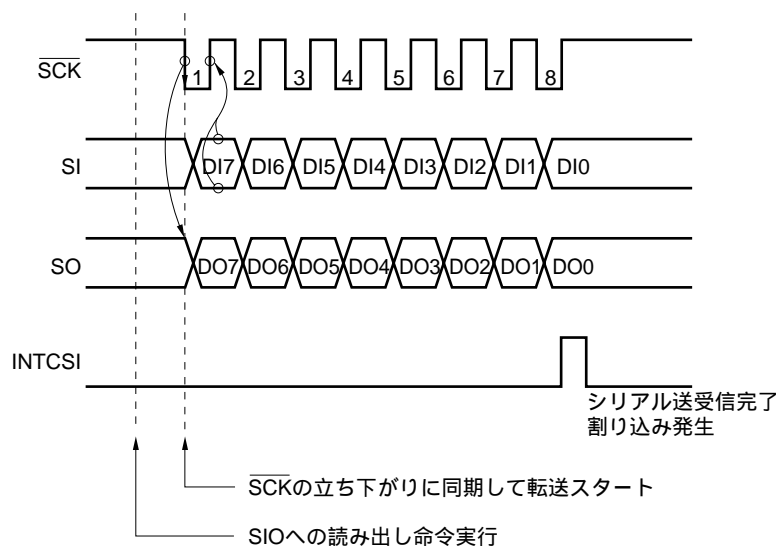
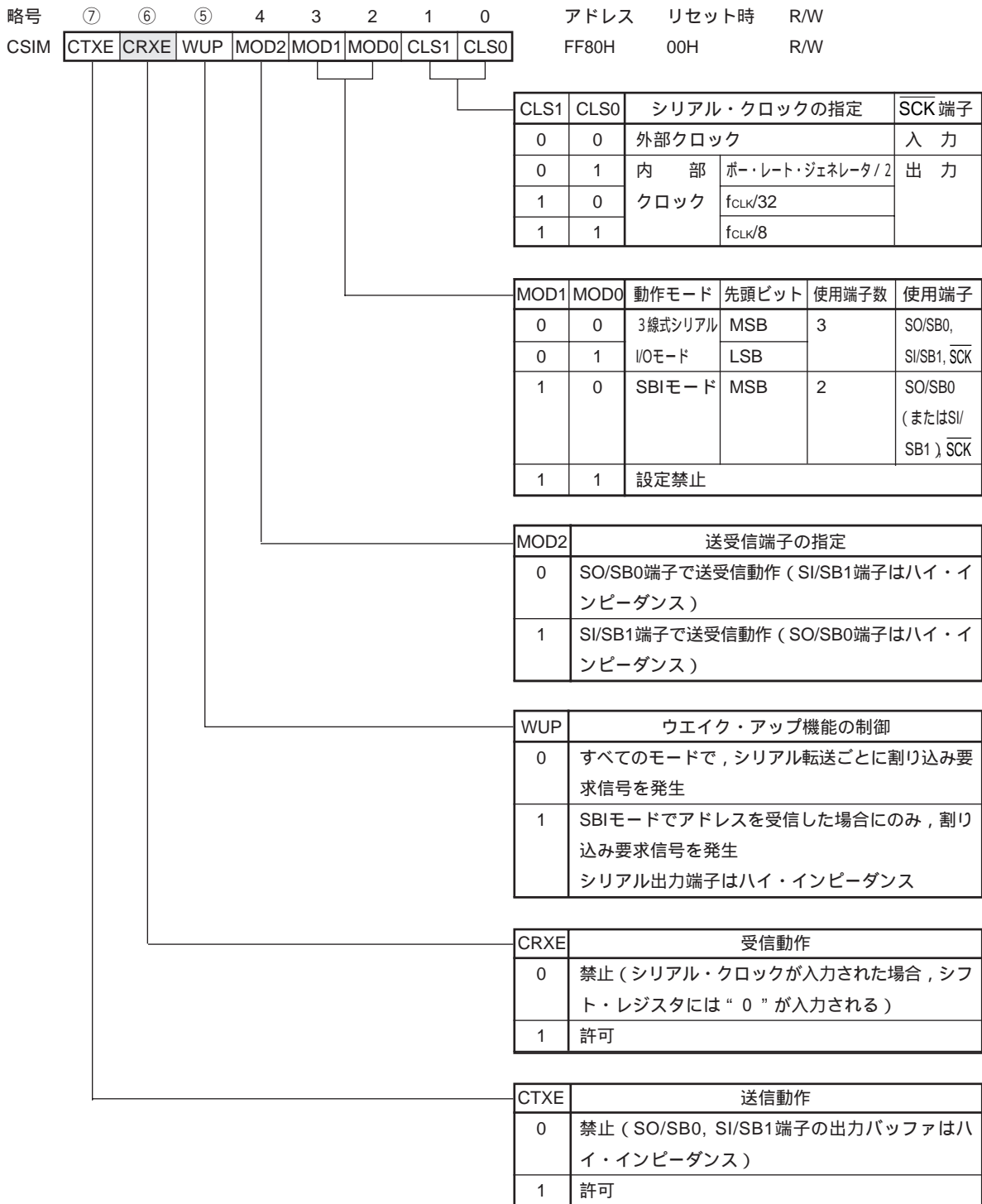


図10 - 14 CSIMレジスタの設定（受信許可）



備考 fCLK : 内部システム・クロック

10.5.3 3線式シリアルI/Oモードで送受信する

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) により、送信と受信をともに許可状態にすると、送信動作と受信動作を同時に行うことができます。

(1) 送受信動作を起動する

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) の CTXE ビットと CRXE ビットが両方ともセット (1) されているときは、送信動作と受信動作を同時に行うことができます (送受信動作)。

送受信動作の起動は、CSIMレジスタの CTXE, CRXE ビットがともに “1” (送受信許可状態) のとき、シフト・レジスタ (SIO) に送信データを書き込むことで行います。

CSIMレジスタの CRXE ビットが “1” の状態で、再び “1” を書き込んでも送受信動作は起動されません。

(2) シリアル・クロックに同期してデータを送受信する

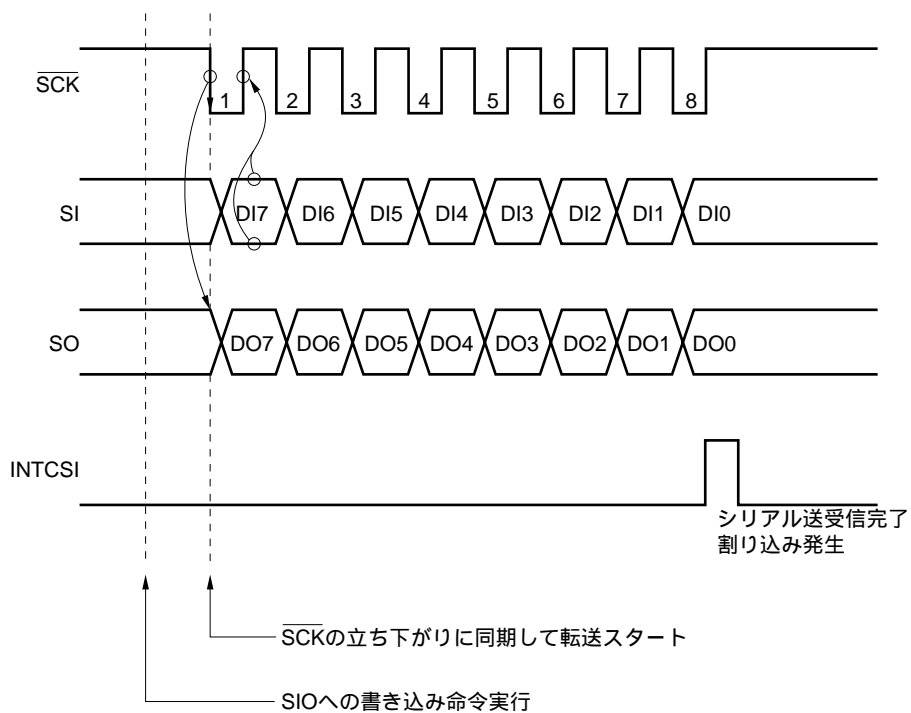
(a) シリアル・クロックとして内部クロックを選択した場合

送受信が起動されると、シリアル・クロックを $\overline{\text{SCK}}$ 端子から出力し、同時にシリアル・クロックの立ち下がりに同期して SIO からデータを SO 端子へ順次出力します。また、シリアル・クロックの立ち上がりに同期して SI 端子のデータを SIO へ順次取り込みます。

(b) シリアル・クロックとして外部クロックを選択した場合

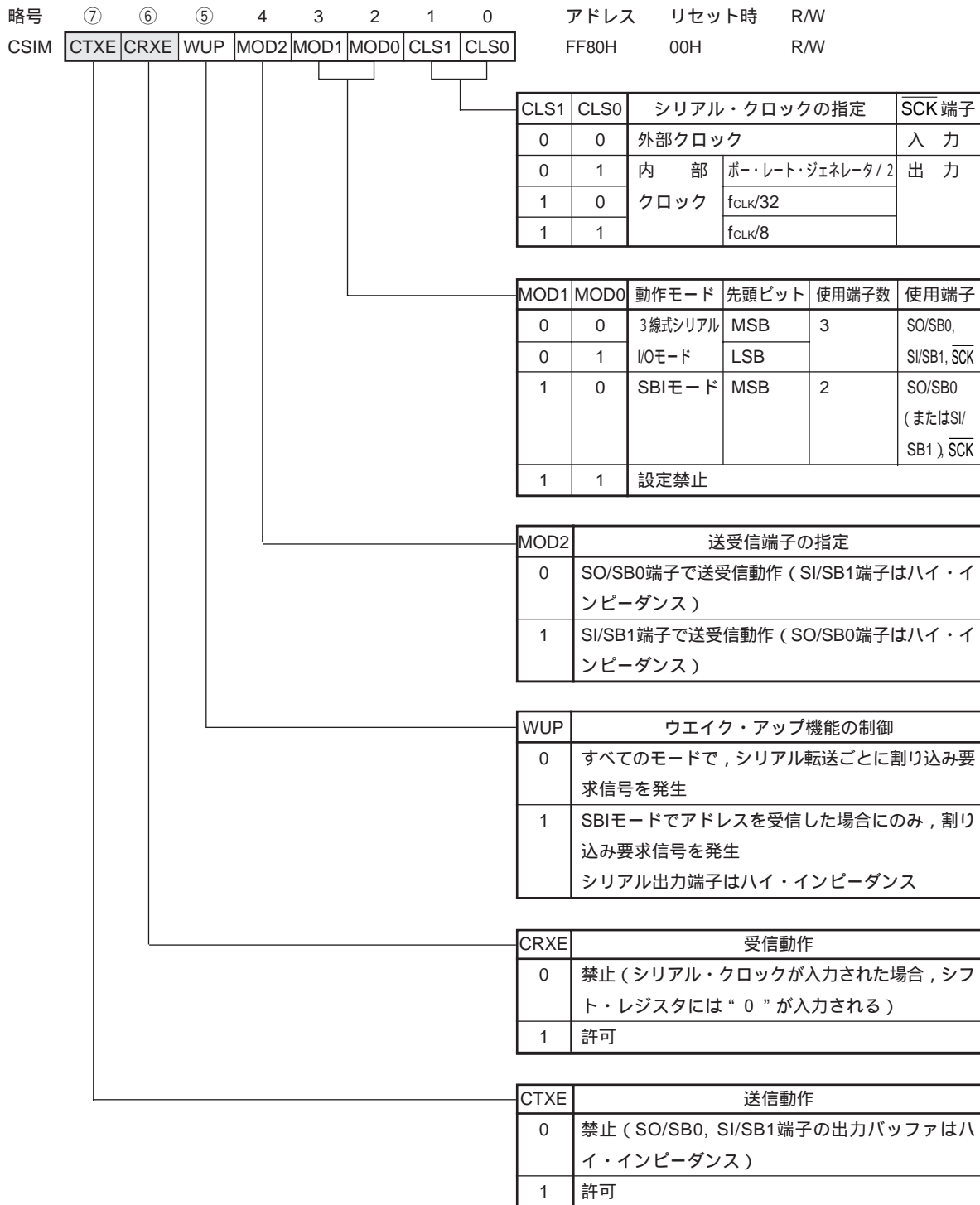
送受信が起動されると、送受信起動後に $\overline{\text{SCK}}$ 端子へ入力されたシリアル・クロックの立ち下がりに同期して SIO から SO 端子へデータを順次出力します。シリアル・クロックの立ち上がりに同期して SI 端子のデータを SIO へ順次取り込みます。送受信が起動されていないときに、シリアル・クロックを $\overline{\text{SCK}}$ 端子へ入力してもシフト動作は行わず、SO 端子の出力レベルは変化しません。

図10 - 15 3線式シリアルI/Oモードのタイミング(送受信)



備考 INTCSI...ベクタ・テーブル・アドレス : 0022H (TPF = 0) , 8022H (TPF = 1)
マクロ・サービス制御ワード・アドレス : FE22H

図10 - 16 CSIMレジスタの設定 (送受信許可)



備考 f_{CLK} : 内部システム・クロック

10.5.4 シフト動作がずれた場合の処置方法

シリアル・クロックとシフト動作がずれた場合、送受信をともに禁止にすると同期が回復します。

シリアル・クロックとシフト動作がずれた場合の処置方法

シリアル・クロックとして外部クロックを選択した場合に、ノイズなどにより、シリアル・クロックの数とシフト動作がずれてしまう可能性があります。このような場合、送信動作と受信動作をともに禁止（CTXEビットおよびCRXEビットをリセット（0）する）してください。すると、シリアル・クロック・カウンタが初期化されるので、次に送信または受信を許可したあと、最初に入力されるシリアル・クロックを1発目のクロックとして、シフト動作とシリアル・クロックの同期を回復することができます。

10.6 SBIモードに設定する

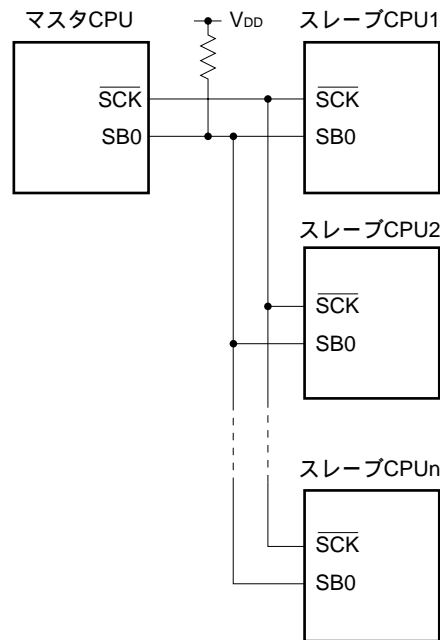
SBIモードでは $\overline{\text{SCK}}$ とSB0（またはSB1）の2本の信号線でシリアル・バスを構成できるため、ポート数の削減やソフトウェアの負担減少に効果的です。

SBIモードに設定する

SBIモードの設定は、クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のMOD2ビット、MOD1ビット、MOD0ビットで行います。

シリアル・データ入出力端子をSB0またはSB1に選択できるため、2系統のシリアル・バスを構成することができます。

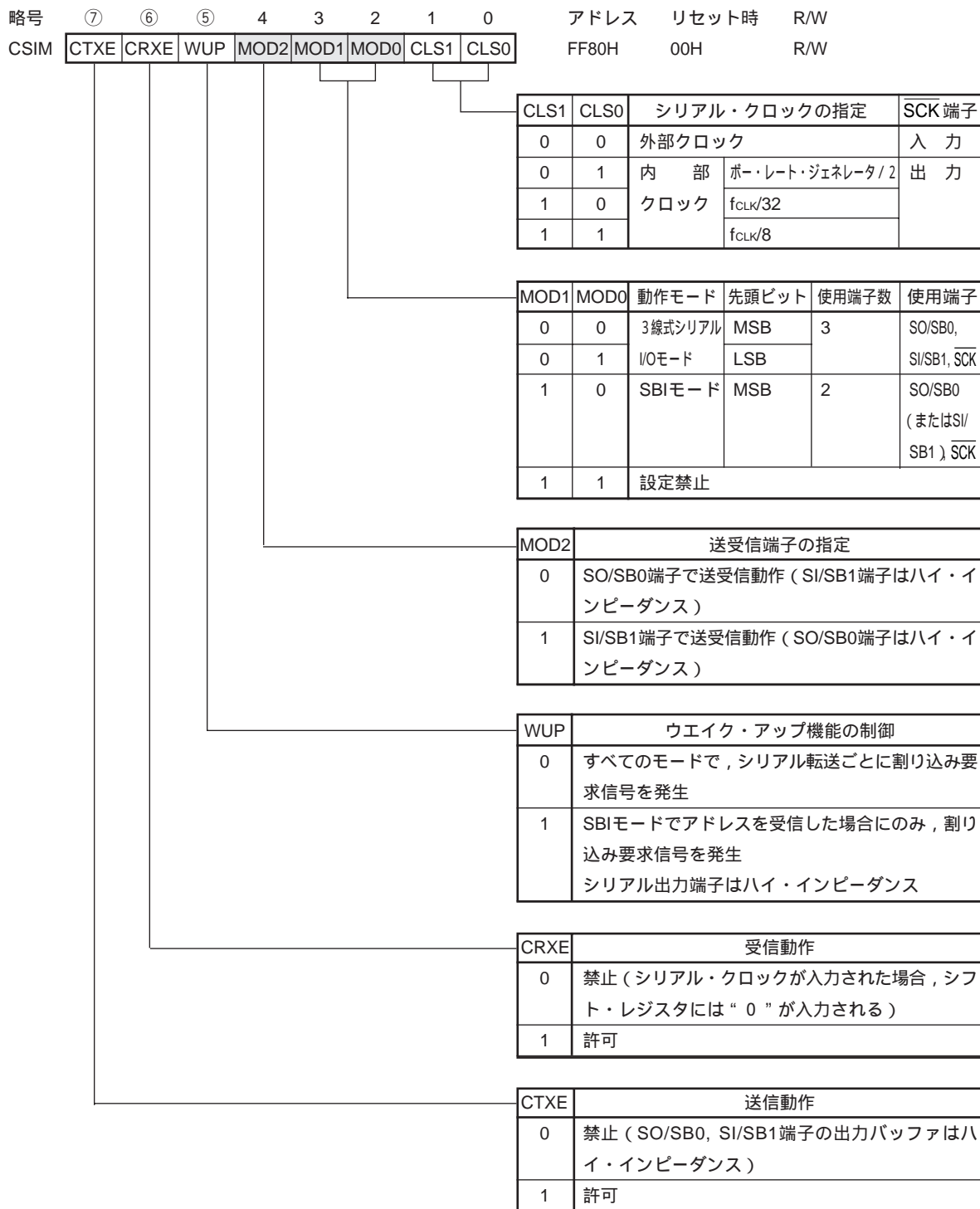
図10-17 シリアル・バス・インタフェース（SBI）のシステム構成例



注意1 . SBIモードでは、シリアル・データ・バス端子（SB0またはSB1）は、オープン・ドレイン出力になっているため、シリアル・データ・バス・ラインはワイアード・オア状態になります。したがって、シリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

2 . マスタ/スレーブの交換処理を行う場合は、 $\overline{\text{SCK}}$ の入力/出力の切り替えがマスタ、スレーブ間で非同期に行われるため、 $\overline{\text{SCK}}$ にもプルアップ抵抗が必要です。

図10 - 18 CSIMレジスタの設定 (SBIモード)



備考1 . f_{CLK} : 内部システム・クロック

2 . MOD2ビットの設定は、SBIモードでのみ有効です。3線式シリアルI/Oモードでは、この設定は無効です。

10.6.1 SBIのデータ・フォーマット

SBIではシリアル・クロック $\overline{\text{SCK}}$ と、シリアル・データ・バスSB0（またはSB1）の2本の信号線の組み合わせにより各種の制御信号を定義します。

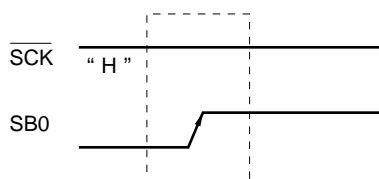
(1) SBIで使用する制御信号

SBIでは次の8種類の信号を $\overline{\text{SCK}}$, SB0（またはSB1）の2本の信号線の組み合わせにより定義します。

バス・リリース信号 (REL)

マスタがスレーブに対して、これからアドレスを送信することを示す信号です。マスタが出力します。スレーブはバス・リリース信号を検出するハードウェアを内蔵しています。

図10-19 バス・リリース信号

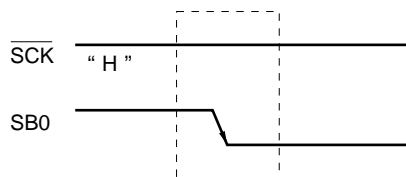


- ★ **注意** $\overline{\text{SCK}}$ ラインがハイ・レベルのときに、SB0（またはSB1）ラインがロウ・レベルからハイ・レベルに変化すると、バス・リリース信号と認識されます。したがって、基板容量などの影響でバスの変化タイミングにずれが生じると、データを送信しているにもかかわらず、バス・リリース信号と判断されてしまうことがあります。配線の引き直しには十分注意してください。

コマンド信号 (CMD)

マスタがスレーブに対して、これからアドレスまたはコマンドを送ることを示す信号です。マスタが出力します。スレーブはコマンドを検出するハードウェアを内蔵しています。

図10-20 コマンド信号

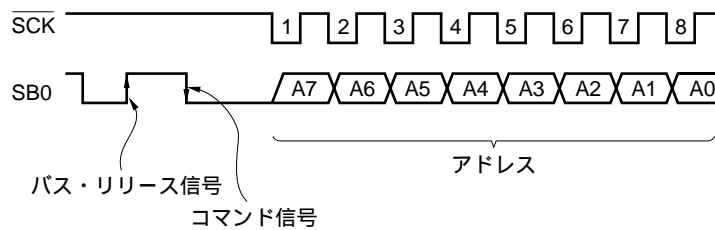


- ★ **注意** $\overline{\text{SCK}}$ ラインがハイ・レベルのときに、SB0（またはSB1）ラインがハイ・レベルからロウ・レベルに変化すると、コマンド信号と認識されます。したがって、基板容量などの影響でバスの変化タイミングにずれが生じると、データを送信しているにもかかわらず、コマンド信号と判断されてしまうことがあります。配線の引き直しには十分注意してください。

アドレス

バス・リリース信号、コマンド信号に続く8ビット・データです。マスタがスレーブ信号を選択するために出力します。スレーブは、ソフトウェアにより受信したアドレスを自分のアドレスと比較し、一致したら以後の通信を行うように処理します。

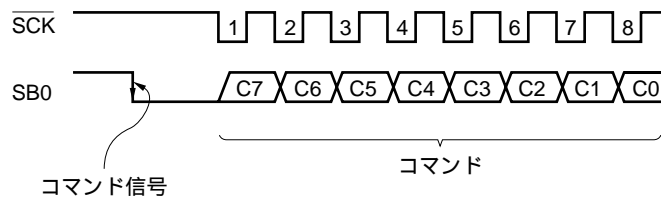
図10-21 アドレス



コマンド

バス・リリース信号が出力されずに、コマンド信号に続いてマスタが出力する8ビット・データです。コマンドの使用方法については任意に決定できます。

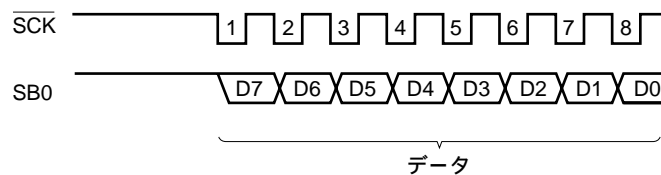
図10-22 コマンド



データ

バス・リリース信号、コマンド信号なしでマスタが出力する8ビット・データです。

図10-23 データ

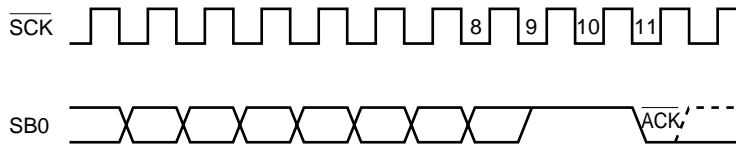


アクノリッジ信号 ($\overline{\text{ACK}}$)

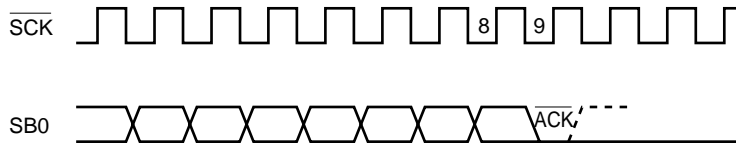
送信側と受信側の間における、データ受信の確認のための信号です。マスタはアクノリッジ信号を検出するハードウェアを内蔵しています。アクノリッジ信号が返らないときは受信が正しく行われていないと判断できます。

図10 - 24 アクノリッジ信号

〔11クロック目の $\overline{\text{SCK}}$ に同期して出力した場合〕



〔9クロック目の $\overline{\text{SCK}}$ に同期して出力した場合〕

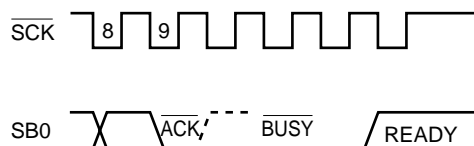
**ビジー信号 ($\overline{\text{BUSY}}$)**

スレーブがデータの送受信のための準備中であることを示す信号です。マスタは、スレーブがビジー信号を出力している間はシリアル・クロックを出力し続け、次の転送を開始することはできません。

レディ信号 (READY)

スレーブがデータの送受信が可能であることをマスタに知らせるための信号です。

図10 - 25 ビジー信号, レディ信号



(2) SBIの1データ・フレーム構成

SBIのシリアル・データは以下の構成で1データ・フレームを構成します。

(REL) + (CMD) + 8ビット・データ + $\overline{\text{ACK}}$ + ($\overline{\text{BUSY}}$)

表10 - 1 SBIモードにおける各種の信号 (1/2)

信号名称	出力するデバイス	定義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
パス・リリース信号 (REL)	マスタ	$\overline{SCK} = 1$ のときのSB0の立ち上がりエッジ		・ RELTのセット	・ RELDをセット ・ CMDDをクリア	今まで選択していたスレーブに対する一連の転送処理の終了を示す。
コマンド信号 (CMD)	マスタ	$\overline{SCK} = 1$ のとき、SB0の立ち下がりエッジ		・ CMDTのセット	・ CMDDをセット	i) REL信号出力後 送信データはアドレス。 ii) REL信号出力なし。 送信データはコマンド。
アクノリッジ信号 (ACK)	スレーブ	シリアル受信完了後、 \overline{SCK} の1クロックの期間SB0に出力されるロウ・レベルの信号	<p>(同期ビジー出力)</p>	・ ACKE = 1 ・ ACKTのセット	・ ACKDをセット	受信完了
ビジー信号 (BUSY)	スレーブ	〔同期ビジー信号〕 アクノリッジ信号に続いてSB0に出力されるロウ・レベルの信号		・ BSYE = 1	-	処理中のため、シリアル受信不可状態。
レディ信号 (READY)	スレーブ	シリアル転送開始前、完了後SB0に出力されるハイ・レベルの信号		・ BSYE = 0 ・ SIOへのデータ書き込み命令実行 (転送開始指示)	-	シリアル受信可能状態。

表10 - 1 SBIモードにおける各種の信号 (2/2)

信号名称	出力するデバイス	定義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
シリアル・クロック (SCK)	マスタ	アドレス / コマンド / データ, ACK信号, 同期BUSY信号などの出力のための同期クロック。最初の8個でアドレス / コマンド / データを転送する。		CTXE = 1のときの, SIOへのデータ書き込み命令実行(シリアル転送のスタート指示) ^{注3}	CSIF ^{注1} をセット (8クロック目の立ち上がり) 注2	シリアル・データ・バスへの信号出力のタイミング
アドレス (A0-A7)	マスタ	REL信号, CMD信号出力後に, SCKに同期して転送される8ビット・データ。			注2	シリアル・バス上のスレーブ・デバイスのアドレス値
コマンド (D0-D7)	マスタ	REL信号は出力されず, CMD信号のみ出力されたのち, SCKに同期して転送される8ビット・データ。			なし	スレーブ・デバイスへの指示メッセージ
データ (D0-D7)	マスタ / スレーブ	REL信号, CMD信号ともに出力されず, SCKに同期して転送される8ビット・データ。			なし	スレーブ, またはマスタで処理する実際のデータ

注1 . シリアル送受信割り込み (INTCSI) に対応する割り込み要求フラグです。

2 . WUP = 0のとき, 常に8クロック目のSCKの立ち上がりでCSIFをセットする。

WUP = 1のとき, アドレスを受信したときのみ, CSIFをセットする。

3 . BUSY状態のときは, READY状態になったのち, 転送スタートする。

10.6.2 シリアル・バスの状態を制御，検出する

シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) により，シリアル・バスの状態を制御したり，シリアル・バスの状態を検出することができます。

シリアル・バスの状態を制御，検出する

SBIでは，シリアル・バスの状態を制御，検出するためにシリアル・バス・インタフェース・コントロール・レジスタ (SBIC) を持っています。

SBICレジスタは，シリアル・バスの状態を制御するビットと，シリアル・バスからの入力データの各種の状態を示すフラグから構成される 8 ビットのレジスタです。

8 ビット操作命令およびビット操作命令で読み出し / 書き込み動作が可能です。ただし，ビットによっては読み出し動作のみ，書き込み動作のみ可能です。書き込み動作のみのビットを読み出すと“ 0 ”を読み出します。

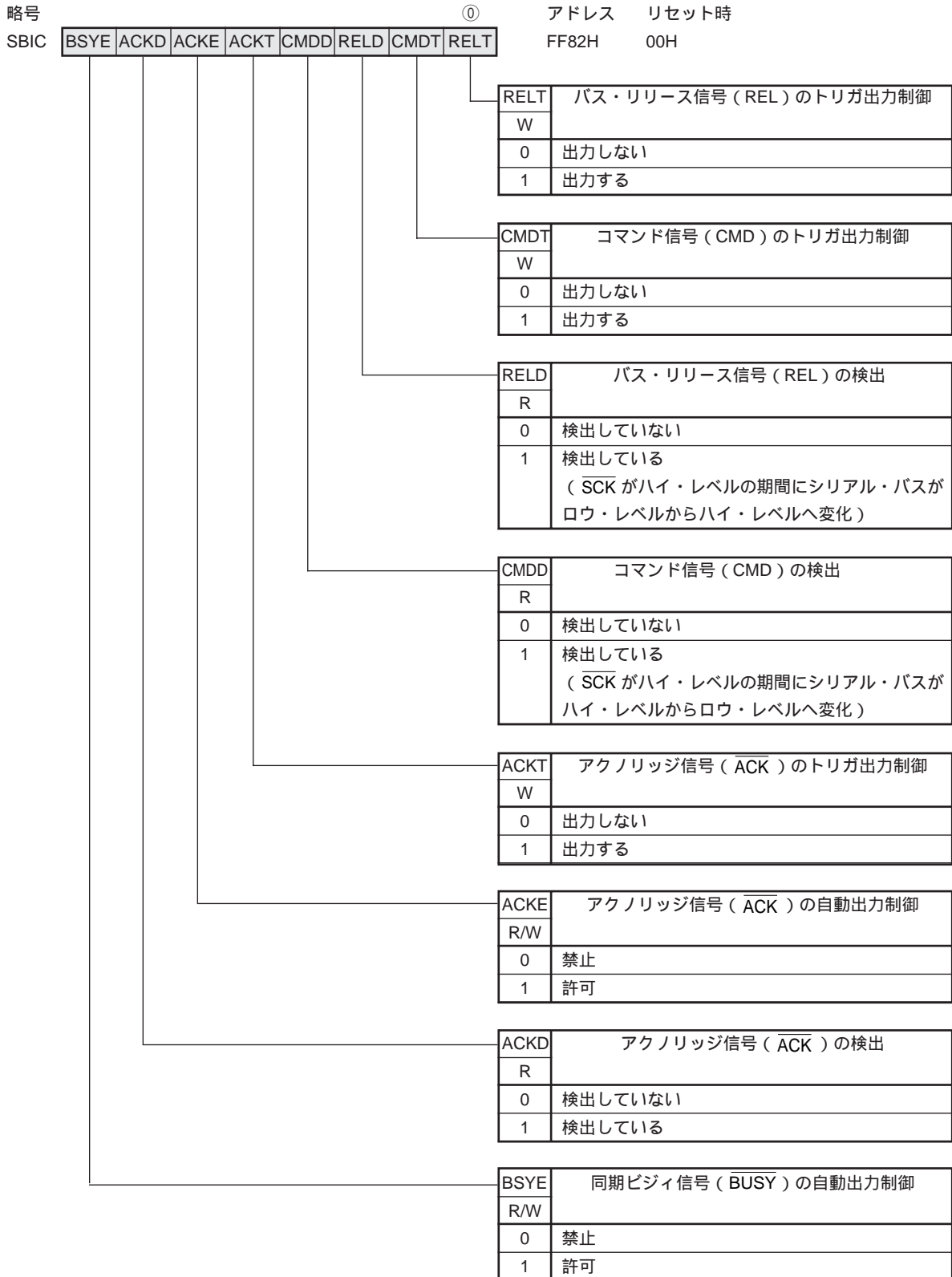
$\overline{\text{RESET}}$ 入力により 00H になります。

SBICレジスタのフォーマットを図10 - 26に示します。

各ビットの動作を図10 - 27 ~ 図10 - 31に示します。

ここでは，シリアル・データの入出力端子としてSB0を用いて説明を行いますが，SB1を選択した場合も動作はまったく同じです。

図10 - 26 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット

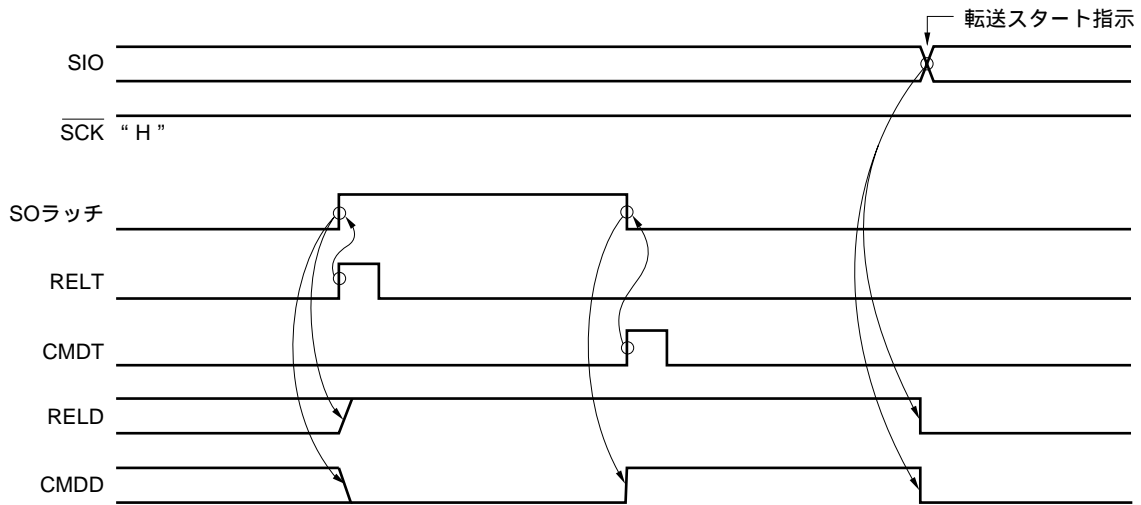


備考 R/W : 読み出し (Read) /書き込み (Write) がともに可能

R : 読み出し (Read) のみ可能

W : 書き込み (Write) のみ可能

図10 - 27 RELT, CMDT, RELD, CMDDの動作



注意 RELT, CMDTビットは, 送受信動作中に操作しないでください。

図10 - 28 ACKTの動作

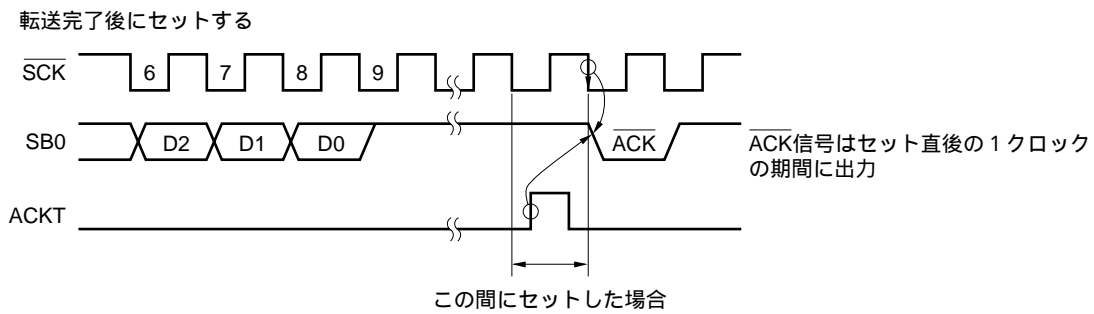
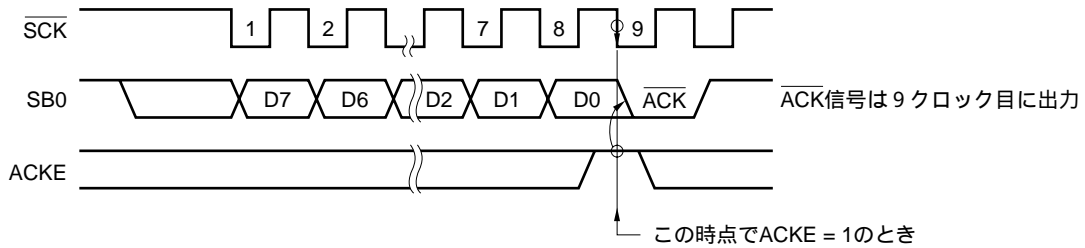
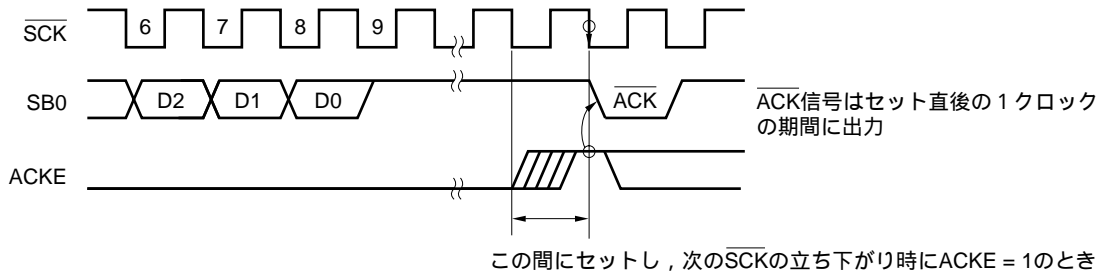


図10-29 ACKEの動作

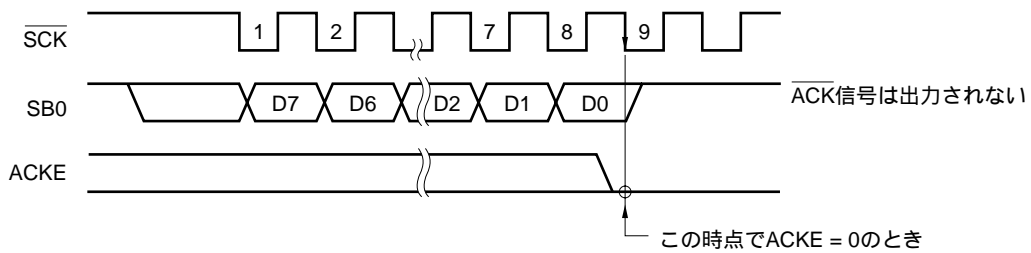
a. 転送時にACK = 1の場合



b. 転送完了後にセットした場合



c. 転送完了時にACK = 0の場合



d. ACK = 1の期間が短い場合

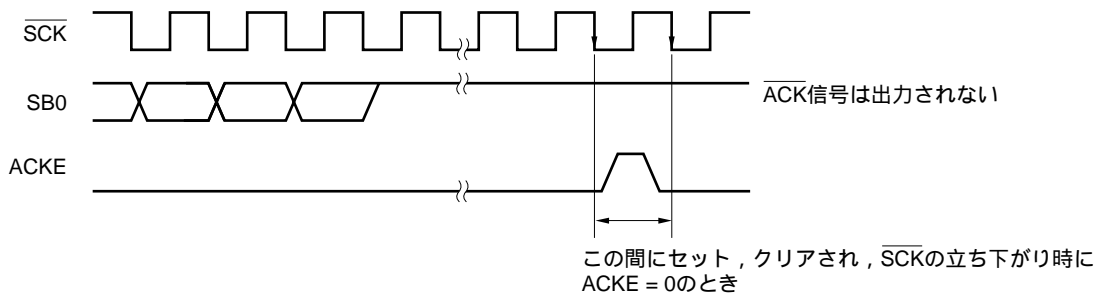
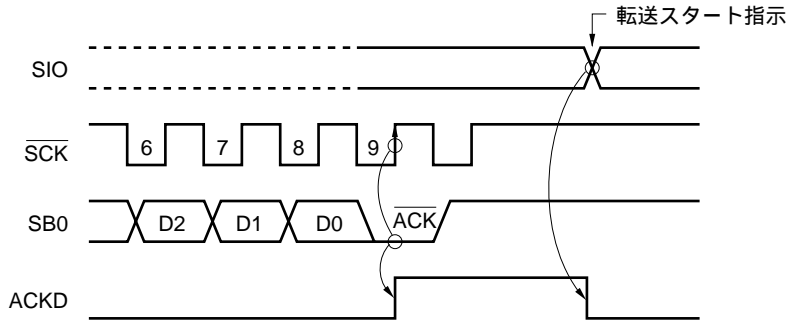
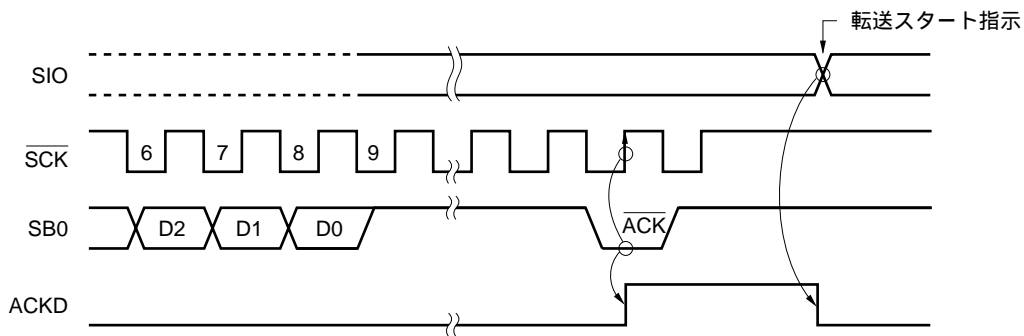


図10-30 ACKDの動作

a. \overline{SCK} の9クロック目の期間に \overline{ACK} 信号が出力された場合



b. \overline{SCK} の9クロック目以降に \overline{ACK} 信号が出力された場合



c. BUSY中に転送スタート指示した場合のクリアのタイミング

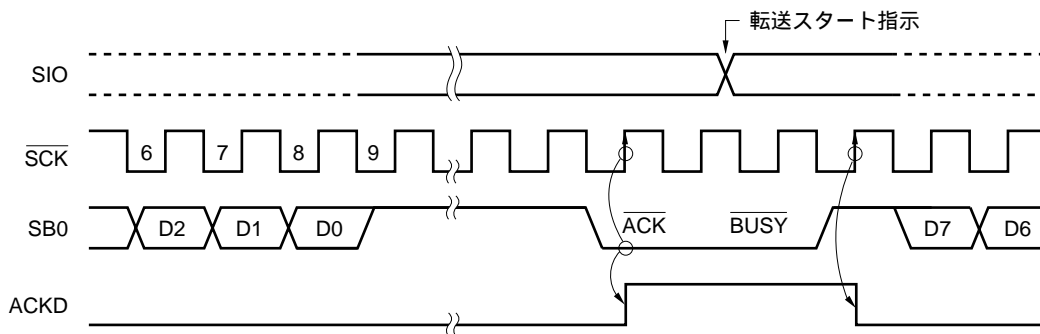
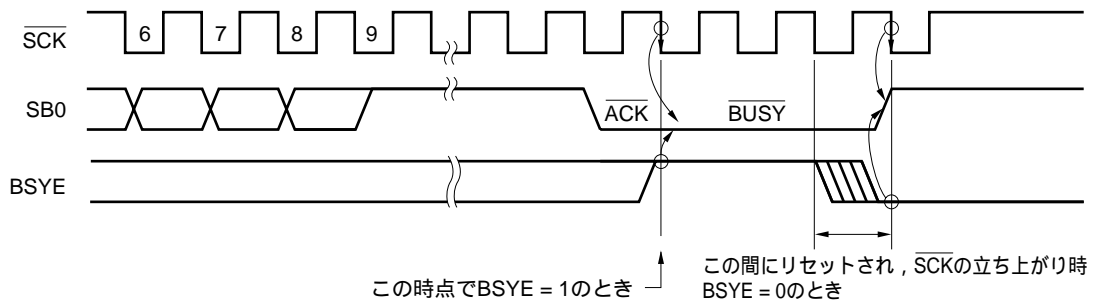


図10 - 31 BSYEの動作



10.6.3 SBIで通信する

シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) でシリアル・バスを制御したあと、シフト・レジスタ (SIO) に送信データを書き込み、送受信を行います。

ここではSB0端子を用いて説明を行いますが、SB1端子を選択した場合もまったく同じです。

(1) 送信動作を起動する

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) のCTXEビットをセット (1) した状態で、シフト・レジスタ (SIO) に送信データを書き込むと、送信動作が起動されます。

シリアル・クロック (\overline{SCK}) の立ち下がりに同期してSIOレジスタのシフトが行われ、SB0端子からMSBを先頭に出力されます。送信後のSIOレジスタには“0”が書き込まれ、割り込み要求INTCSIが発生します。

(2) 受信動作を起動する

受信動作の起動には、次の2つの方法があります。

CSIMレジスタのCTXEビットが“0”のとき、CRXEビットを受信禁止状態“0”から受信許可状態“1”へ変化させる

CSIMレジスタのCRXEビットが受信許可状態“1”のときにSIOレジスタから受信データを読み出す

CSIMレジスタのCRXEビットが“1”の状態でも再び“1”を書き込んでも受信動作は起動されません。また、CTXEビットが“1”のとき、CRXEビットを“0”から“1”に設定しても受信動作は起動されません。

シリアル・クロック (\overline{SCK}) の立ち上がりでSB0端子に入力された8ビットのデータが、MSBを先頭にSIOレジスタにラッチされ、割り込み要求INTCSIが発生します。ウエイク・アップ機能使用時には、アドレスを受信した場合のみ、割り込み要求INTCSIが発生します。

(3) 送受信動作を起動する

CSIMレジスタのCTXEビットとCRXEビットがともに“1”の状態でも、SIOレジスタに送信データを書き込むと送受信動作が起動されます。

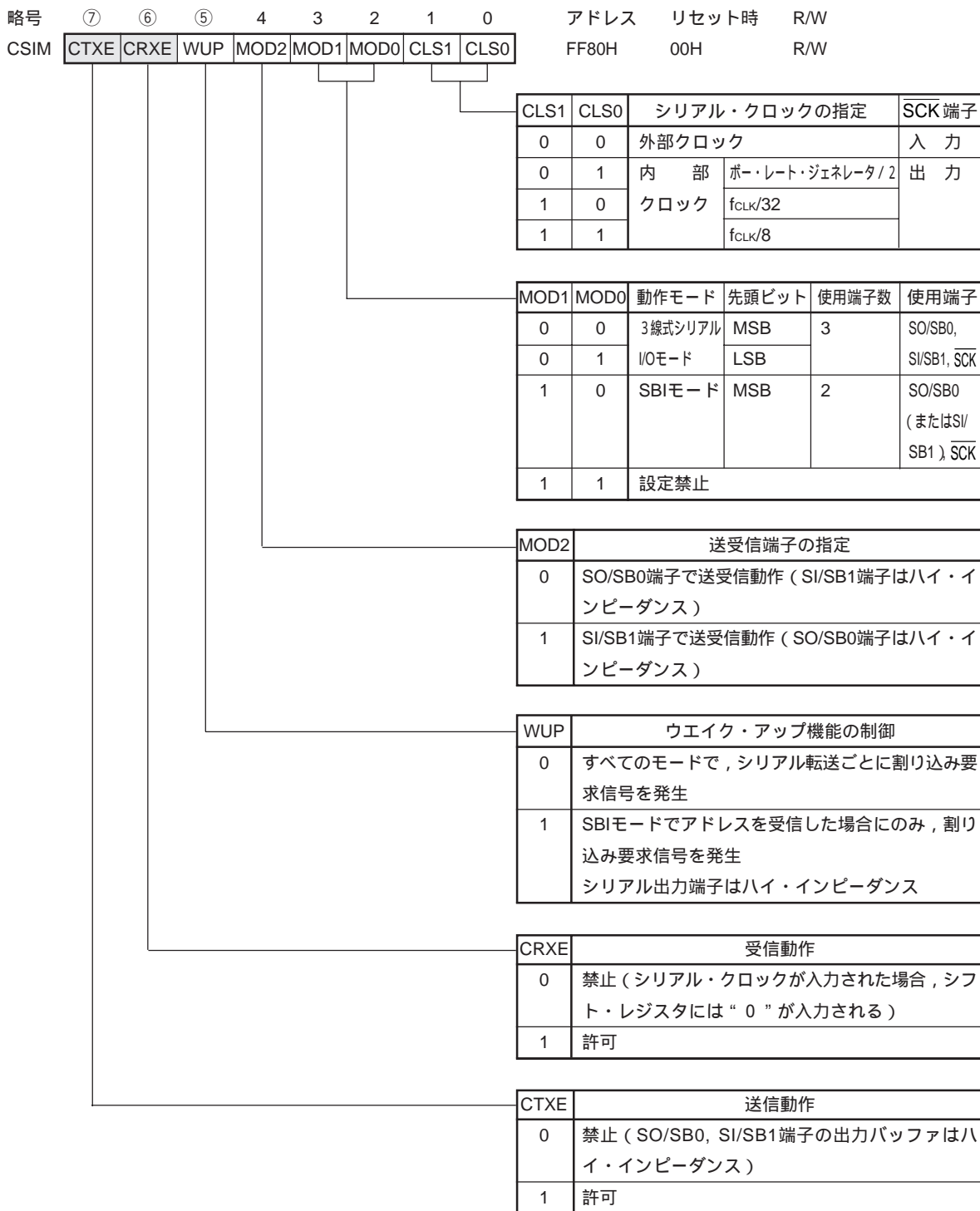
SIOレジスタにはシリアル・バス上のデータがそのまま入力されます。SIOレジスタに書き込んだ送信データとシリアル・バスから入力されたデータを比較することで、バス衝突の有無などを確認できます。

備考 INTCSI...ベクタ・テーブル・アドレス：0022H (TPF = 0) , 8022H (TPF = 1)

 マクロ・サービス制御ワード・アドレス：FE22H

注意 SBIモードでは、CTXEビット、CRXEビットをセットする前に、必ず端子指定とシリアル・クロック指定を行ってください。

図10 - 32 CSIMレジスタの設定（送受信許可）



備考 fCLK : 内部システム・クロック

図10 - 33 マスタ・デバイスからスレーブ・デバイスへのアドレス転送動作

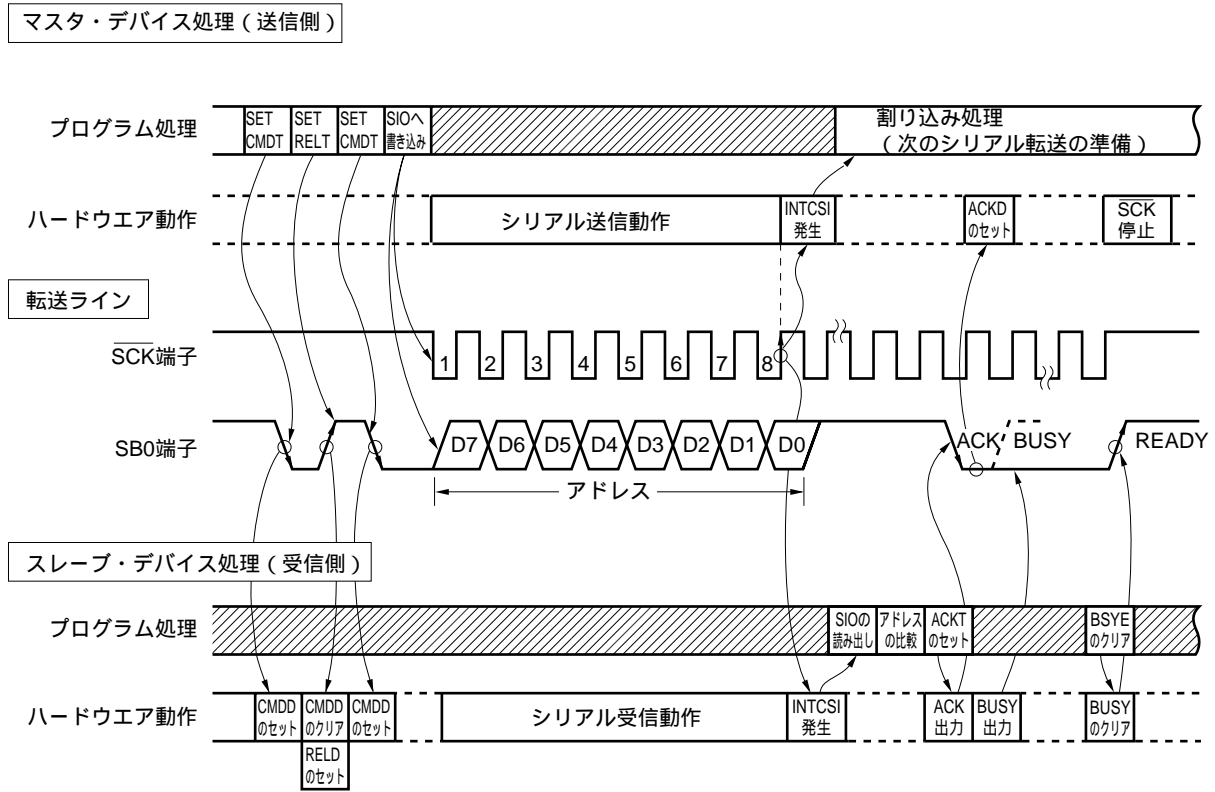


図10 - 34 マスタ・デバイスからスレーブ・デバイスへのコマンド転送動作

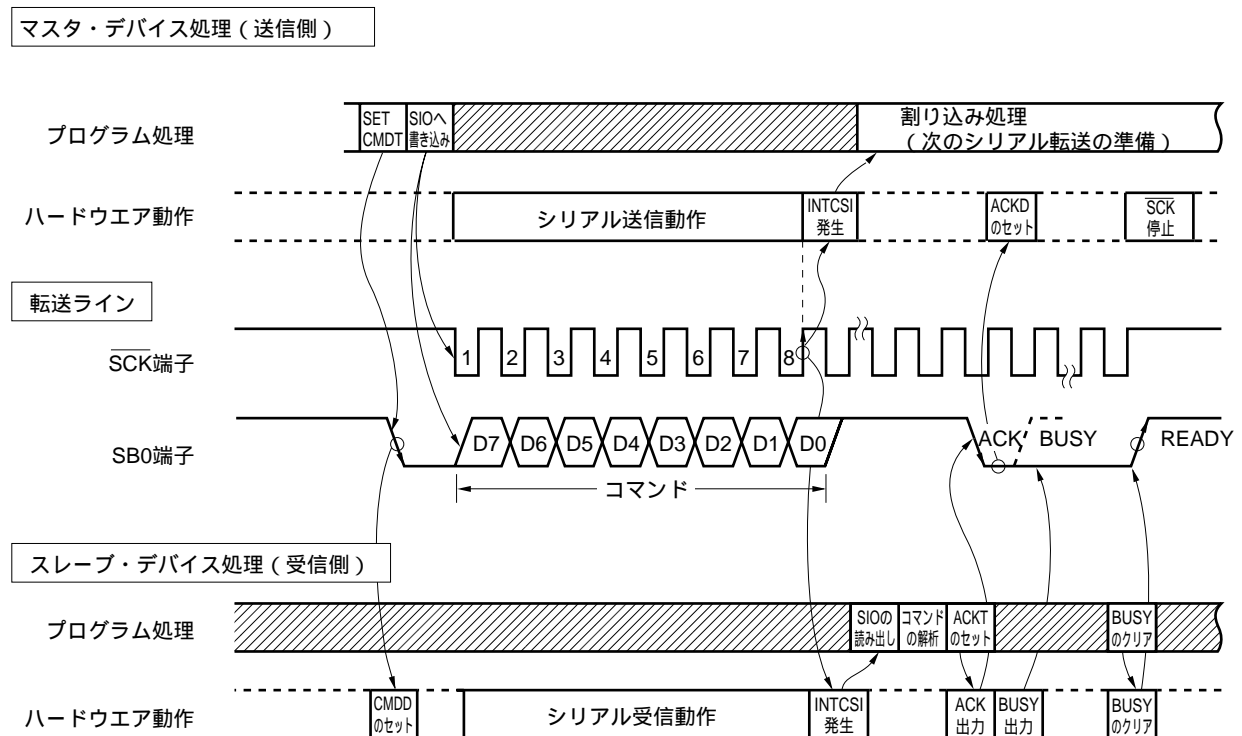


図10 - 35 マスタ・デバイスからスレーブ・デバイスへのデータ転送動作

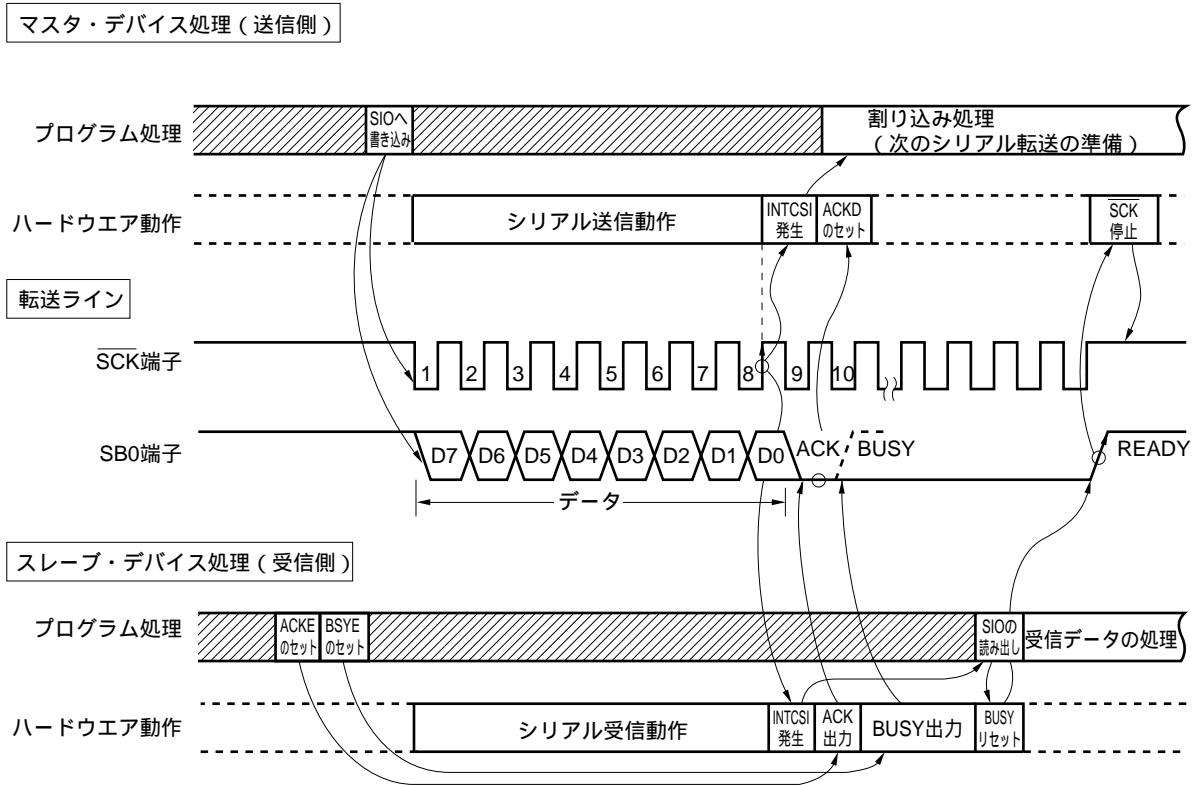
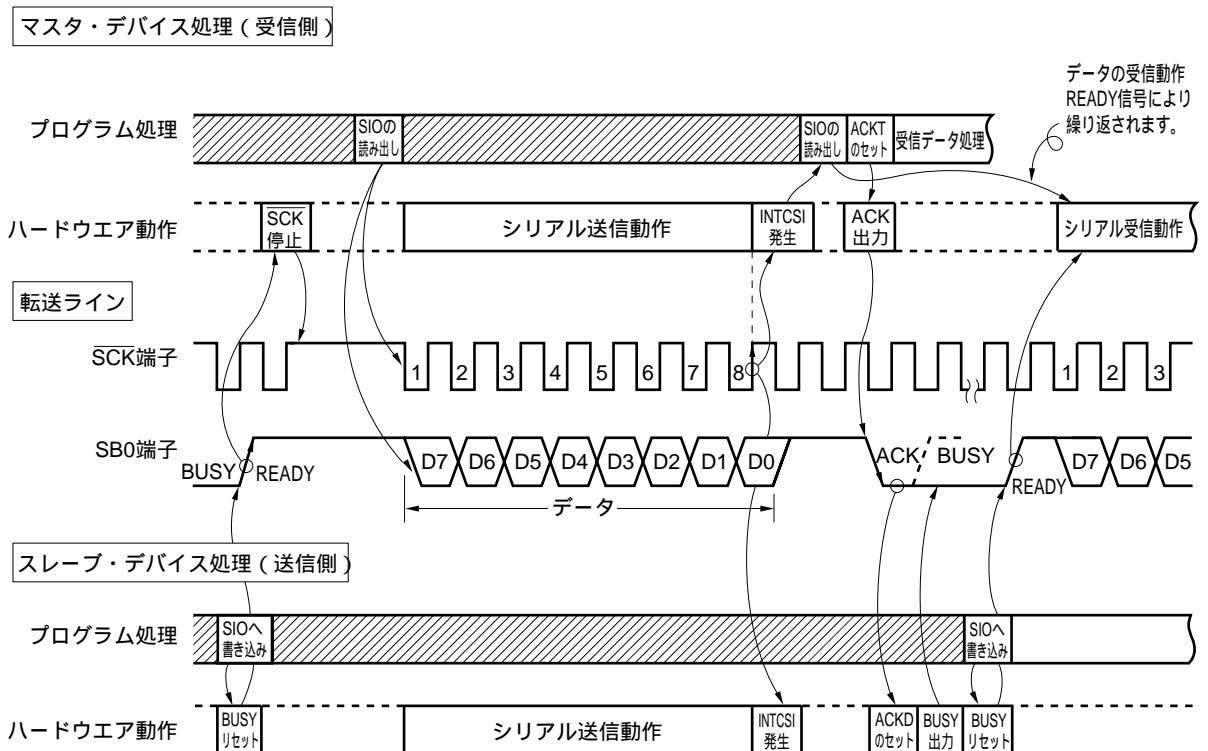


図10 - 36 スレーブ・デバイスからマスタ・デバイスへのデータ転送動作



10.6.4 アドレスを受信したときだけ動作させる

アドレスを受信したときだけ動作するウエイク・アップ機能を使うとスレーブCPUの処理効率を向上させることができます。

ウエイク・アップ機能によりスレーブCPUの処理効率が向上する。

SBIモードでは、アドレスを受信したときだけに割り込み要求INTCSIを発生するウエイク・アップ機能があります。

シリアル・インタフェースが図10-37のようなシステム構成で、ある1つのスレーブCPUと送受信を行うとき、そのほかのスレーブCPUは、シリアル通信に関係なく動作することができます。ウエイク・アップ機能がない場合は、データを受信することに割り込みを発生しますので、すべてのスレーブCPUはシリアル通信ごとに影響を受けます。ウエイク・アップ機能を用いることによって効率のよい処理を行うことができます。

アドレスを受信したときに発生したINTCSI割り込み処理の中で、受信したアドレスと自分自身のアドレスを比較し、一致した場合にはウエイク・アップを解除し、以後のデータを受信します。一致しない場合は引き続きウエイク・アップ状態になります。

備考 INTCSI...ベクタ・テーブル・アドレス：0022H (TPF = 0) , 8022H (TPF = 1)

マクロ・サービス制御ワード・アドレス：FE22H

図10-37 シリアル・バス・インタフェース (SBI) のシステム構成例

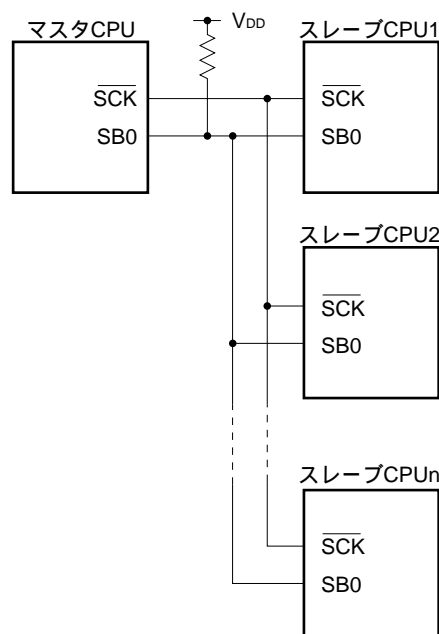
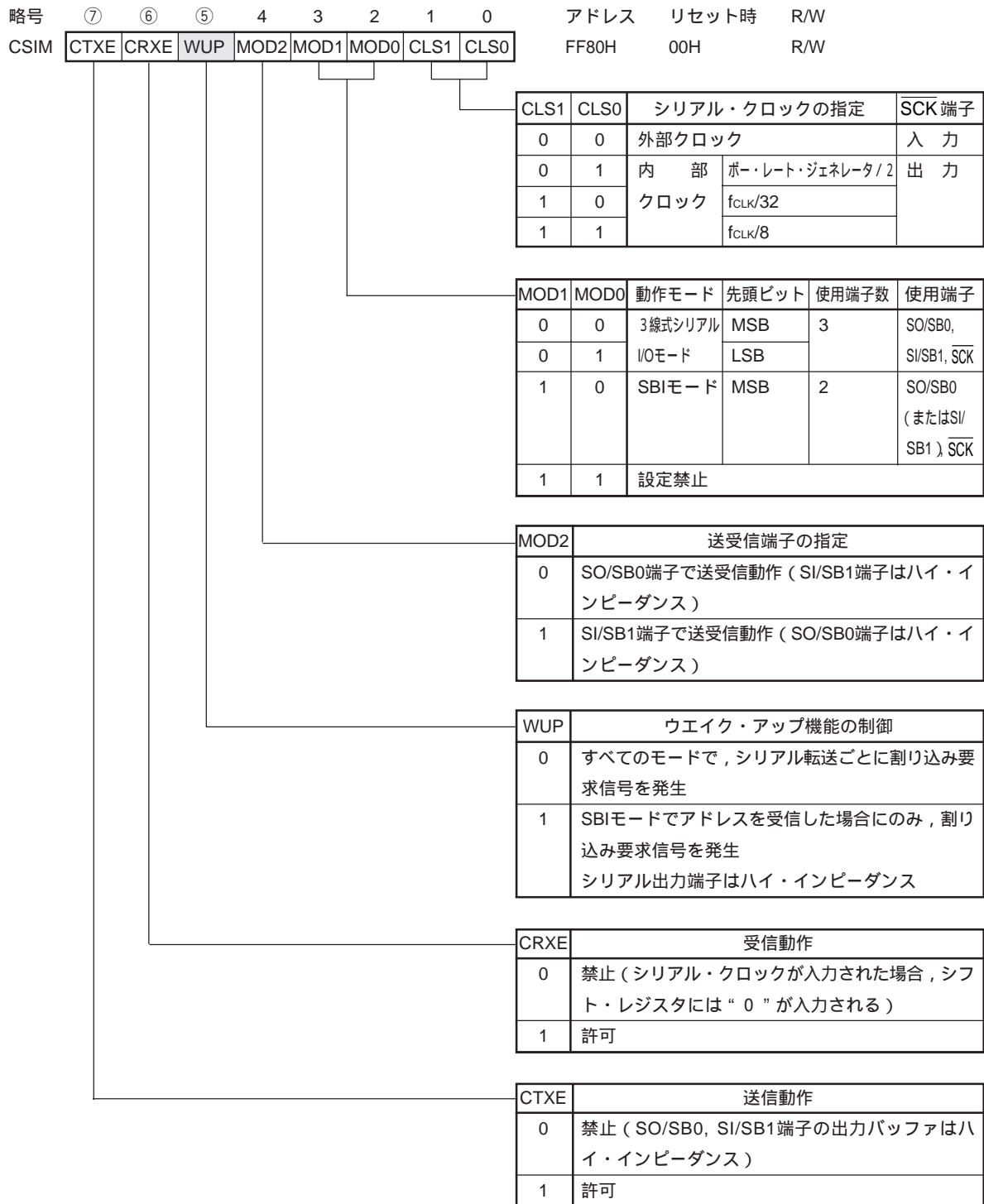


図10 - 38 CSIMレジスタの設定（ウエイク・アップ機能）



備考 fCLK : 内部システム・クロック

(メ モ)

第11章 PWM信号出力機能

11.1 構成

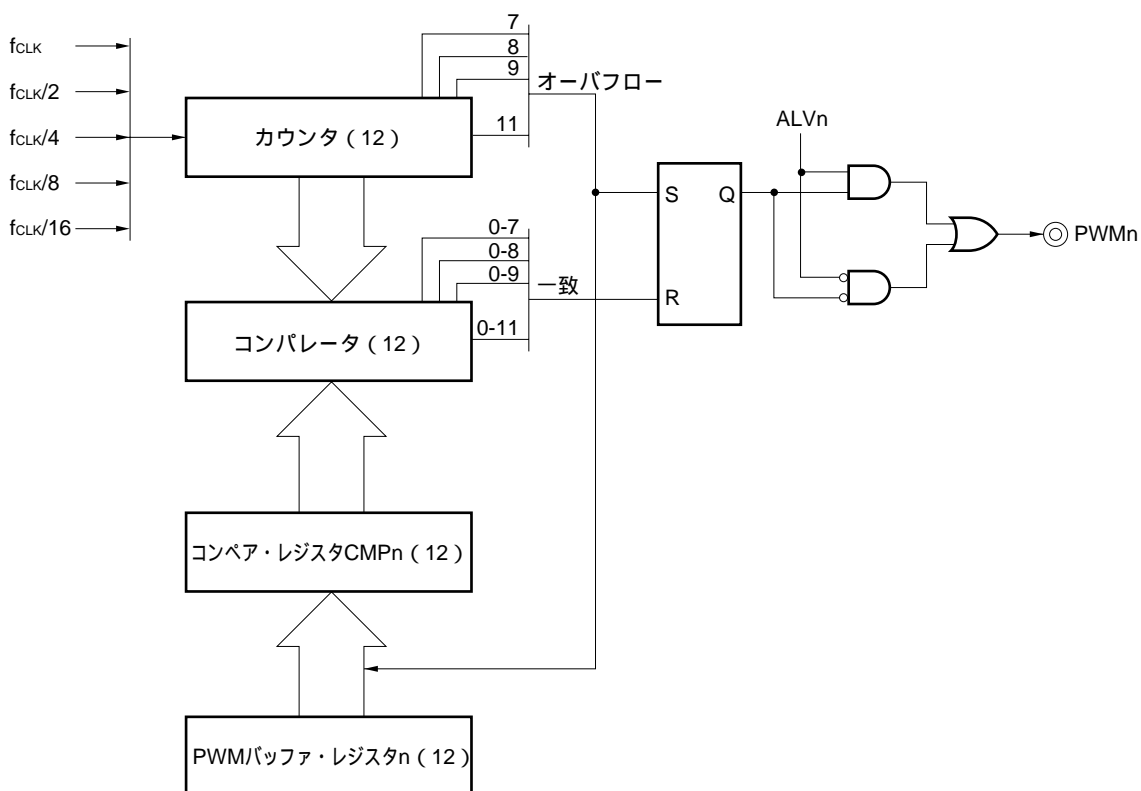
μPD78366Aは、8 / 9 / 10 / 12ビット分解能可変のPWM信号出力を2本、16ビット分解能PWM信号出力を1本持っています。

16ビット分解能PWM信号出力は、多機能なタイマ出力（TO40）であるため、第7章 リアルタイム・パルス・ユニットで説明しています。この章では、PWM専用機能であるPWM0, PWM1について説明します。

PWM出力は、外部にロウ・パス・フィルタを接続することによって、デジタル-アナログ変換出力として使用することができます。モータなどのアクチュエータ制御信号に最適です。

PWMユニットのブロック図を図11 - 1，PWM信号出力の繰り返し周波数を表11 - 1 に示します。

図11 - 1 PWMユニットのブロック図



備考 n = 0, 1

表11 - 1 PWM信号繰り返し周波数

カウンタ・ ビット長	カウント・ クロック	繰り返し周波数			
		f _{CLK} = 12.5 MHz時		f _{CLK} = 16.0 MHz時	
8ビット	f _{CLK}	48.83 kHz	20.48 μs	62.50 kHz	16.0 μs
	f _{CLK} /2	24.41 kHz	40.96 μs	31.25 kHz	32.0 μs
	f _{CLK} /4	12.21 kHz	81.92 μs	15.63 kHz	64.0 μs
	f _{CLK} /8	6.10 kHz	163.84 μs	7.81 kHz	128.0 μs
	f _{CLK} /16	3.05 kHz	327.68 μs	3.91 kHz	256.0 μs
9ビット	f _{CLK}	24.41 kHz	40.96 μs	31.25 kHz	32.0 μs
	f _{CLK} /2	12.21 kHz	81.92 μs	15.63 kHz	64.0 μs
	f _{CLK} /4	6.10 kHz	163.84 μs	7.81 kHz	128.0 μs
	f _{CLK} /8	3.05 kHz	327.68 μs	3.91 kHz	256.0 μs
	f _{CLK} /16	1.53 kHz	655.36 μs	1.95 kHz	512.0 μs
10ビット	f _{CLK}	12.21 kHz	81.92 μs	15.63 kHz	64.0 μs
	f _{CLK} /2	6.10 kHz	163.84 μs	7.81 kHz	128.0 μs
	f _{CLK} /4	3.05 kHz	327.68 μs	3.91 kHz	256.0 μs
	f _{CLK} /8	1.53 kHz	655.36 μs	1.95 kHz	512.0 μs
	f _{CLK} /16	763 Hz	1.31 ms	977 Hz	1.02 ms
12ビット	f _{CLK}	3.05 kHz	327.68 μs	3.91 kHz	256.0 μs
	f _{CLK} /2	1.53 kHz	655.36 μs	1.95 kHz	512.0 μs
	f _{CLK} /4	763 Hz	1.31 ms	977 Hz	1.02 ms
	f _{CLK} /8	381 Hz	2.62 ms	488 Hz	2.05 ms
	f _{CLK} /16	191 Hz	5.24 ms	244 Hz	4.1 ms

備考 f_{CLK} : 内部システム・クロック

11.2 制御レジスタ

11.2.1 PWMコントロール・レジスタ (PWMC0, PWMC1)

PWM出力動作の制御を行います。図11-2, 11-3にPWMC0, PWMC1レジスタのフォーマットを示します。

PWMC0, PWMC1レジスタは、 $\overline{\text{RESET}}$ 入力により00Hになります。

図11-2 PWMコントロール・レジスタ0のフォーマット

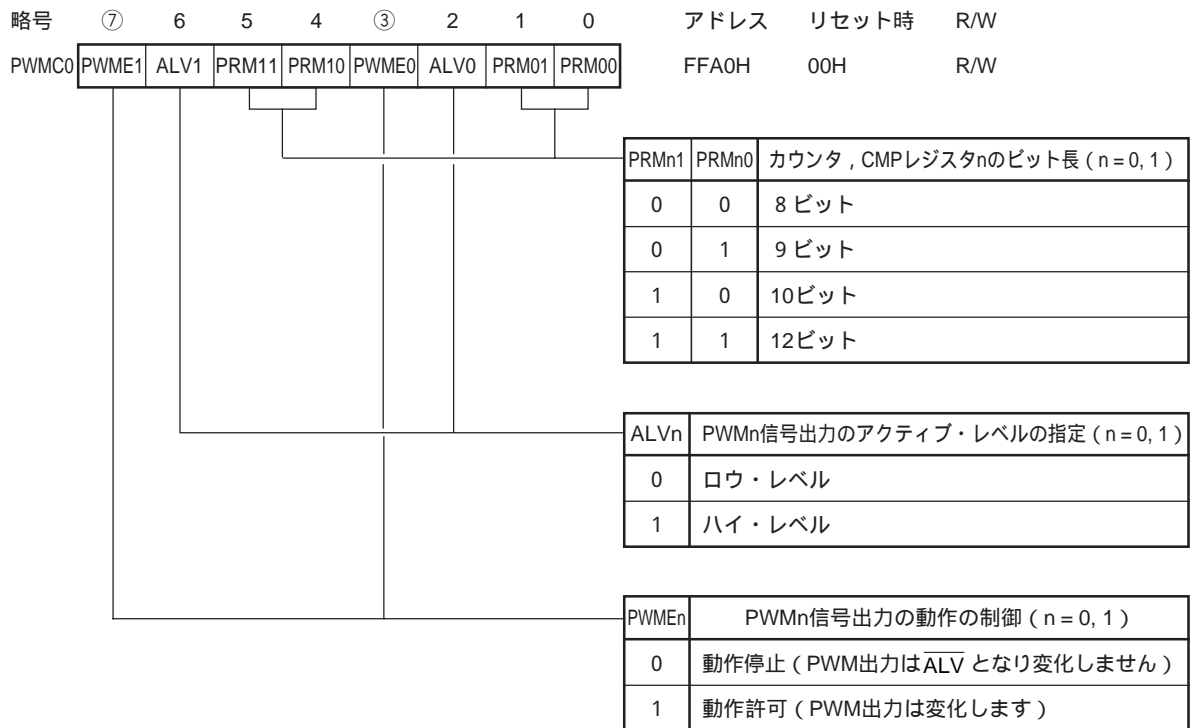
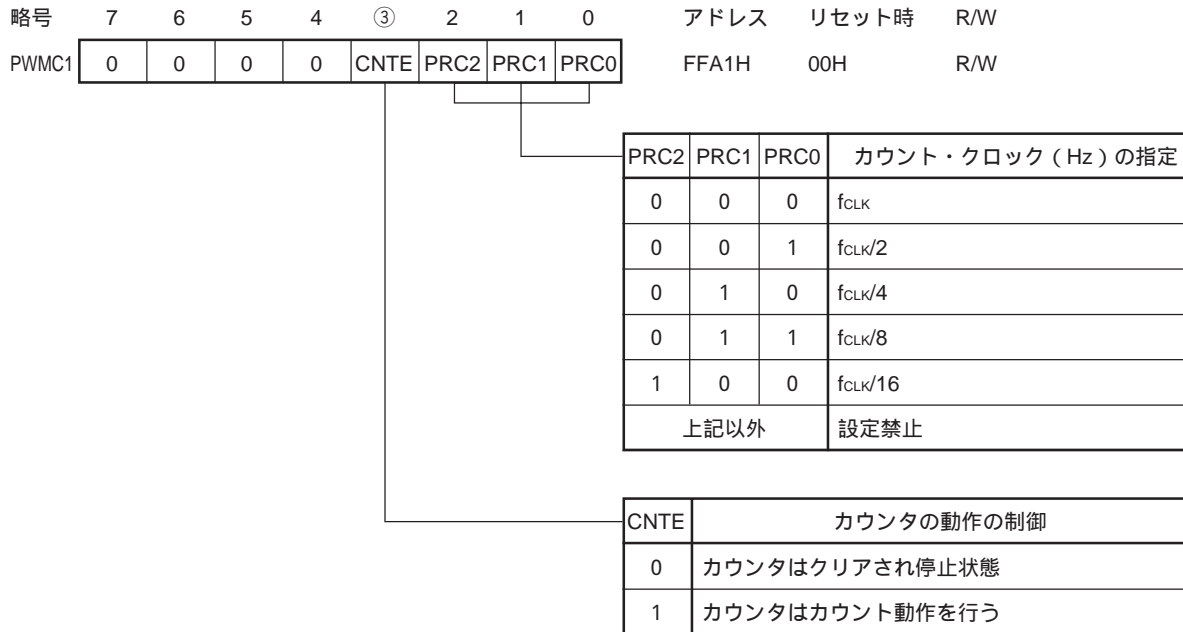


図11 - 3 PWMコントロール・レジスタ1のフォーマット



- 注意 1** . PWM信号を出力する場合、必ずCNTEビットに“ 1 ”を設定してください。
- 2 . PWMC1レジスタは、PWM0, PWM1に対して共通に制御します。
- 3 . PWMC1レジスタのビット4 - 7は、ハードウェア上“ 0 ”固定です。“ 1 ”を書き込んでも“ 0 ”のまま変化しません。

備考 f_{CLK} : 内部システム・クロック

11.2.2 PWMバッファ・レジスタ (PWM0, PWM1)

PWM出力のアクティブ信号幅の制御データをセットする12ビットのレジスタです。命令により、バイトまたはワードで書き込み / 読み出しが可能です。

PWM出力制御用のカウンタからオーバフローが発生するタイミングでPWM0/PWM1レジスタの内容をコンペア・レジスタ (CMP0/CMP1) に転送します。

カウンタとPWM0/PWM1レジスタのコンペア動作は、PRM00, 01/PRM10, 11 ビットの指定にかかわらずビット0-11で行われます。したがって、カウンタ、CMP0/CMP1レジスタのビット長を10ビット以下に指定した場合でも、上位ビットには“ 0 ”を書き込んでください。

PWMバッファ・レジスタは、 $\overline{\text{RESET}}$ 入力により不定となります。

- 注意 1** . PWM0/PWM1レジスタの下位側は、バイト・アクセス / ビット・アクセスが可能です。上位側のバイト・アクセス / ビット・アクセスは不可能です。
- 2 . PWM0/PWM1レジスタのビット12-15は、ハードウェア上“ 0 ”固定です。“ 1 ”を書き込んでも“ 0 ”のまま変化しません。

11.2.3 コンペア・レジスタ (CMP0, CMP1)

PWM出力制御用のカウンタとの間で一致を検出するための12ビット・レジスタです。

命令による直接操作はできません。

11.3 動作

PWM出力機能を動作させる場合、次の手順で行います。

- ・ PWM出力信号の周期をPRMC0レジスタのPRM00, 01/PRM10, 11ビットとPWMC1レジスタのPRC0-PRC2ビットで指定します。
- ・ つぎに、PWM0/PWM1レジスタにPWM出力のアクティブ信号幅の制御データをセットします。
- ・ つぎに、PWMC1レジスタのCNTEビットをセット(1)します。
- ・ 最後に、PWMC0レジスタのPWME0/PWME1ビットをセット(1)します。

以上の設定で、ポート(P04/P05)からPWM信号が出力されます。任意のタイミングでPWM0/PWM1レジスタの内容を書き換えることによって、PWM出力のアクティブ・レベル幅を変化させることができます。

PWM出力機能を動作させると、PWM0(PWM1)レジスタの内容は、PWM出力制御用のカウンタからオーバーフローが発生するタイミングでCMP0(CMP1)レジスタに転送されます。PWM出力信号は、CMP0(CMP1)レジスタとPWM出力制御用のカウンタとの値が一致するとインアクティブ・レベルとなり、PWM出力制御用のカウンタからオーバーフローが発生するとアクティブ・レベルになります。

PWME0=0/PWME1=0を設定し、PWM動作を停止した場合、ただちにPWM出力はインアクティブ・レベルとなります。

図11-4 PWM出力機能の動作(ハイ・アクティブ設定時)(1/2)

(1) 通常動作

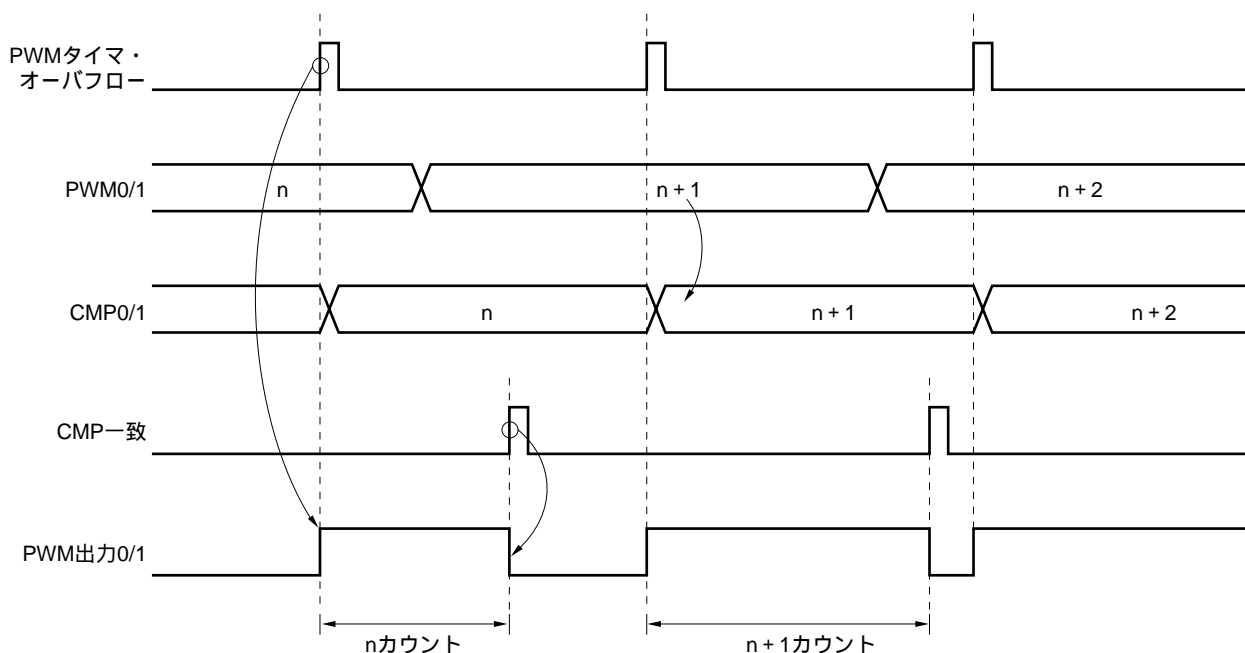
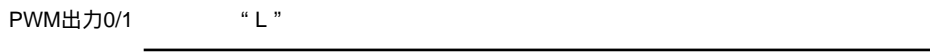
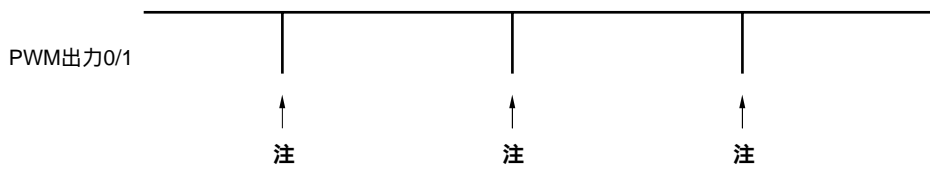


図11 - 4 PWM出力機能の動作 (ハイ・アクティブ設定時) (2/2)

(2) PWM0/PWM1 = 00Hの場合



(3) PWM0/PWM1 = 0FHの場合



注 PWMカウンタの1カウント・クロック幅

第12章 ウォッチドッグ・タイマ

12.1 構成

ウォッチドッグ・タイマは、プログラムの暴走やデッドロックを防ぐためのタイマです。

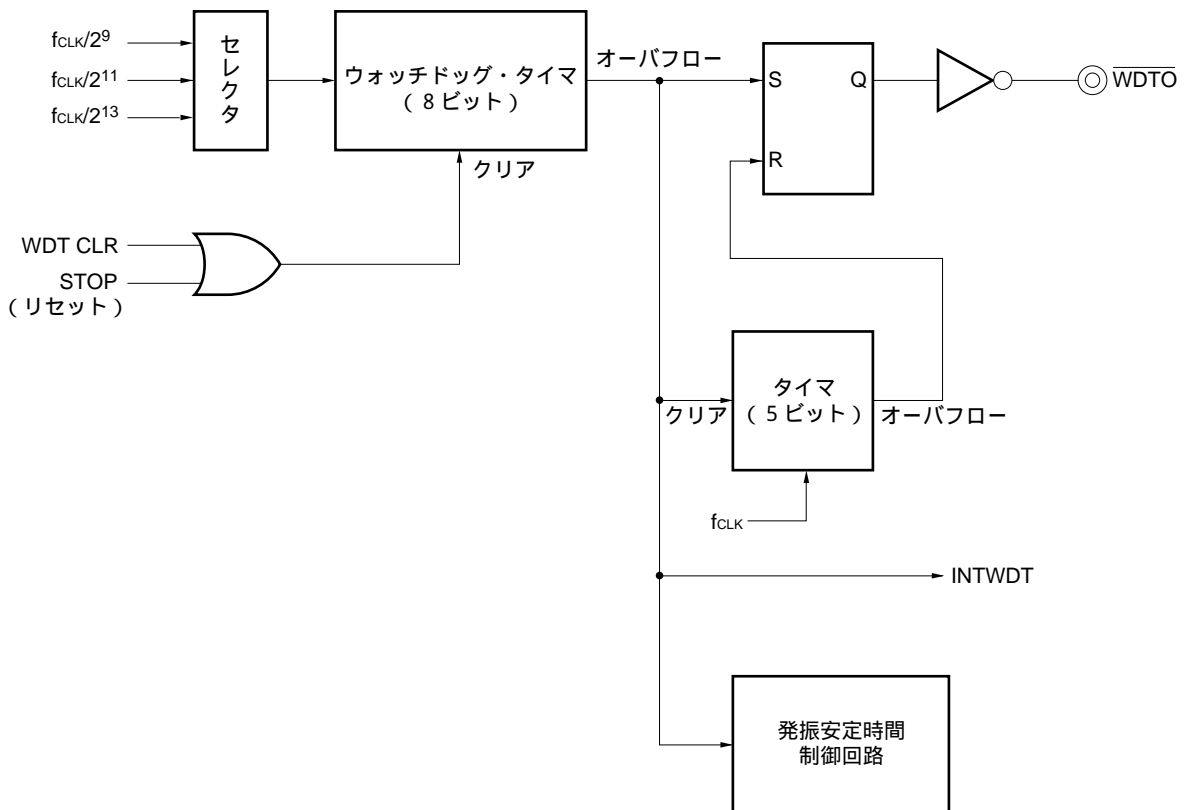
ウォッチドッグ・タイマ割り込みが発生しないことで、プログラムまたはシステムが正常に動作していることを確認します。そのため、プログラムの各モジュールごとに、ウォッチドッグ・タイマをクリア（カウント開始）する命令を入れておきます。

ウォッチドッグ・タイマをクリアする命令が、設定した時間内に実行されずにウォッチドッグ・タイマがオーバーフローすると、ウォッチドッグ・タイマ割り込み（INTWDT）が発生するとともに、 $\overline{\text{WDT0}}$ 端子にロウ・レベルを出力し、プログラムの異常を知らせます。

ウォッチドッグ・タイマは、STOPモード解除時における発振器の発振安定時間の確保にも使用します（14.3.2 STOPモード 参照）。ウォッチドッグ・タイマを発振安定時間用のタイマとして使用した場合は、プログラムまたはシステムの異常でオーバーフローするわけではないので、INTWDT、 $\overline{\text{WDT0}}$ のロウ・レベル出力は発生しません。

図12 - 1にウォッチドッグ・タイマのブロック図を示します。

図12 - 1 ウォッチドッグ・タイマのブロック図



12.2 ウォッチドッグ・タイマ・モード・レジスタ (WDM)

ウォッチドッグ・タイマ・モード・レジスタ (WDM) は、ウォッチドッグ・タイマの動作を制御する 8 ビット・レジスタです。

プログラムの暴走によって WDM レジスタの内容が誤って書き換えられないように、専用命令によってのみ書き込みができます。この専用命令は MOV WDM, #byte 命令で、特殊なコード構成 (4 バイト) になっています。3 バイト目と 4 バイト目のオペコードが互いに補数の場合のみ書き込みが行われます。

また、3 バイト目と 4 バイト目のオペコードが互いに補数でなければ書き込みが行われず、オペコード・トラップ割り込みが発生します。この場合、スタック領域に退避されるリターン・アドレスは、トラップの原因となった命令のアドレスです。したがって、RETB 命令により、トラップの原因となった命令のアドレスから再びプログラムを実行できます。

ただし、ハードウェア・エラーの場合など、オペコード・トラップの発生原因が取り除けていない状態では、RETB 命令により無限ループとなります。

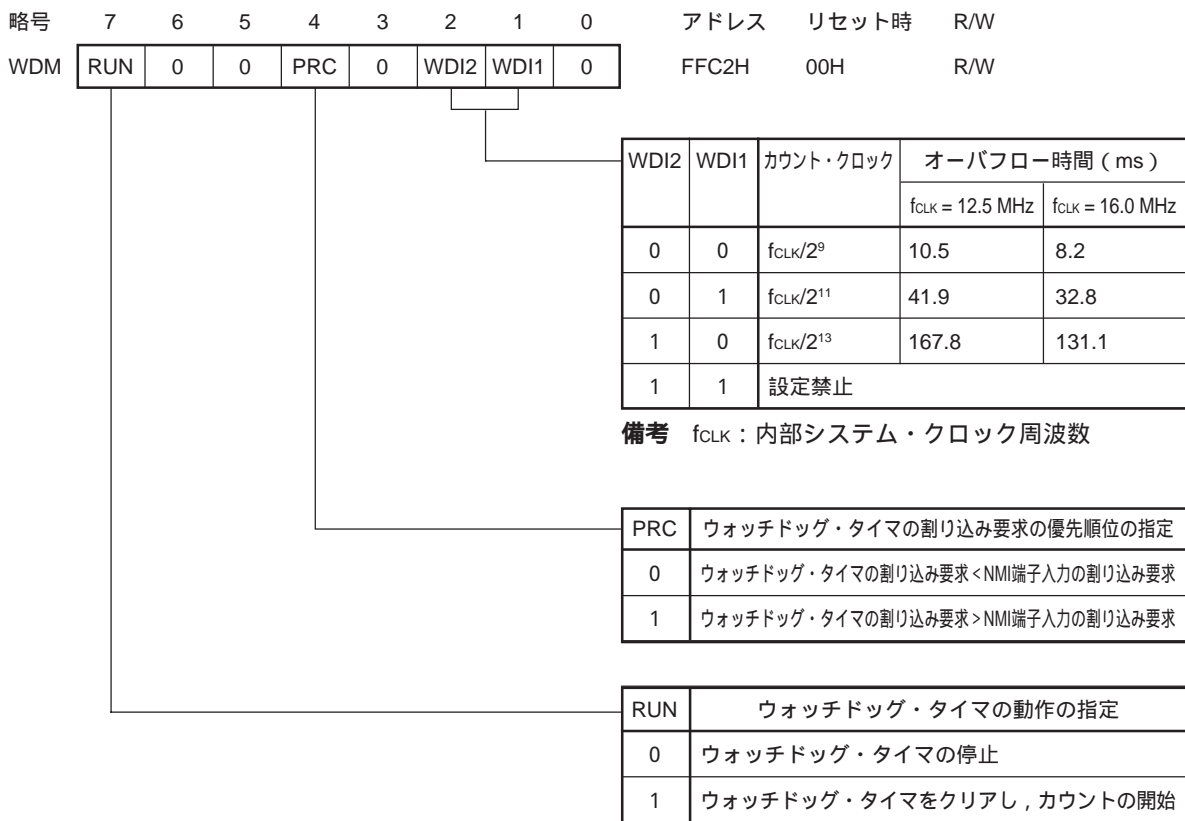
システム・リセット ($\overline{\text{RESET}}$ 入力) 後、いったんウォッチドッグ・タイマをスタートさせると、WDM レジスタの内容を変更できません。ウォッチドッグ・タイマを停止させることができるのはシステム・リセットのみです。ウォッチドッグ・タイマのクリアは、専用命令によりいつでもできます。

WDM レジスタの読み出しは、データ転送命令によりいつでもできます。

$\overline{\text{RESET}}$ 入力により、WDM レジスタは 00H になります。

図 12 - 2 に WDM レジスタのフォーマットを示します。

図12 - 2 ウォッチドッグ・タイマ・モード・レジスタのフォーマット



- 注意 1** . WDMレジスタは、専用命令 (MOV WDM, #byte) でのみ書き込み可能です。
- 2 . 割り込み要求の優先順位の設定は、スタック・ポインタの初期化などの応用システムの初期設定時に行うようにし、プログラムの実行中にダイナミックに変更しないでください。
 - 3 . RUNビットはいったんセット (1) すると、ソフトウェアではリセット (0) できません。
 - 4 . RUNビットのセット (1) によるウォッチドッグ・タイマのクリアにより、カウント・クロックのリセットは行いません。
 - 5 . PRC = 1の設定 (INTWDT > NMI) で、ウォッチドッグ・タイマ割り込みとNMI割り込みが同時に発生した場合、NMI割り込み処理ルーチンの最初の1命令を実行したあとにウォッチドッグ・タイマ割り込み処理ルーチンを実行します。
したがって、PRC = 1の設定で使用する場合、NMI割り込み処理ルーチンの最初の命令は、NOP命令としてください。
 - 6 . WDMレジスタのビット6, 5, 0は、ハードウェア上 “0” 固定です。“1” を書き込んでも “0” のまま変化しません。
 - 7 . WDMレジスタのビット3には、必ず “0” を書き込んでください。

12.3 ウォッチドッグ・タイマ出力端子

ウォッチドッグ・タイマ出力端子 ($\overline{\text{WDTO}}$) は、オープン・ドレイン・タイプの出力回路です。ソフトウェアを介さずに、外部に対しシステムの異常を知らせることができます。ウォッチドッグ・タイマ出力はウォッチドッグ・タイマがオーバーフローすると、32システム・クロック幅の間ロウ・レベルになります。

ウォッチドッグ・タイマ出力端子は、 $\overline{\text{RESET}}$ 端子への直接接続を考慮して、システム・リセットがかかった場合でも必ず32クロック幅のロウ・レベル信号を出力します。

ウォッチドッグ・タイマ出力端子のシステム・リセット後の初期状態は、インアクティブ・レベル (ハイ・レベル, オープン状態) です。

注意 1 . 電源の投入直後は、最大32クロックの間、ウォッチドッグ・タイマ出力端子はロウ・レベルとなる可能性があります。

2 . ウォッチドッグ・タイマがSTOPモード解除後の発振安定時間用タイマとして動作している場合は、オーバーフローしても $\overline{\text{WDTO}}$ 端子はインアクティブ・レベルのまま変化しません。

12.4 応用例

プログラム開発の初期段階では、ウォッチドッグ・タイマは使用せずにプログラムを設計し、概略のデバッグを終了したあとで、ウォッチドッグ・タイマを含めたデバッグを行います。

システムの異常が発生してからの応答時間が重要な場合には、オーバーフロー時間が短いモードを選択します。

また、ウォッチドッグ・タイマとして使用しないときには、ノンマスクブルのタイム・ベース割り込みとして使用できます。

第13章 割り込み機能

μPD78366Aは、割り込み要求の処理として次の3つのモードを備えています(表13-1 参照)。この3つの処理モードは、プログラムで任意に設定できます。ただし、マクロ・サービスによる割り込み処理の選択は表13-2で示すマクロ・サービス処理モードを備えている割り込み要求ソースに対してのみ選択できます。また、コンテキスト・スイッチングは、ノンマスカブル割り込みおよびオペコード・トラップ割り込みでは選択できません。

表13-1 割り込み要求の処理形態

割り込み要求処理モード	処理の主体	PC, PSWの内容	処 理 形 態
ベクタ割り込み	ソフトウェア	スタックへの退避 / 復帰動作を行う	ベクタ・テーブルで指定されたアドレスに分岐し、割り込み処理ルーチンを実行
コンテキスト・スイッチング		レジスタ・バンク中の固定エリアへの退避 / 復帰を行う	ベクタ・テーブルで指定されたレジスタ・バンクへの切り替えを自動的に行い、レジスタ・バンク中の固定エリアで指定されたアドレスに分岐し、割り込み処理ルーチンを実行
マクロ・サービス	ハードウェア (ファームウェア)	保持	メモリとI/Oとのデータ転送などあらかじめ設定した処理を実行

また、マスク可能なベクタ割り込みについては、4レベルの優先順位を持った多重処理制御を容易に行うことが可能です。

表13 - 2 割り込み要因

割り込み 要求タイプ	デフォルト 優先順位	割 り 込 み 要 因				マクロ・サービス	マクロ・サービス・ コントロール・ ワード・アドレス	ベクタ・テーブル・アドレス	
		割り込み要求信号	割り込み要求フラグ	発生ソース	発生ユニット			TPF = 0	TPF = 1
ソフトウェア	-	-		オベコード・トラップ	-	なし	-	003CH	
				BRK命令の実行				003EH	
ノンマスクابل		NMI	-	NMI端子入力	外部			0002H	8002H
		INTWDT	-	ウォッチドッグ・タイマのオーバフロー	WDT			0004H	8004H
マスクابل	0	INTOV3	OVIF3	タイマ3のオーバフロー	RPU	あり	FE06H	0006H	8006H
	1	INTP0/INTCC30	PIF0	INTP0端子入力 / CC30の一致信号	外部 / RPU		FE08H	0008H	8008H
	2	INTP1	PIF1	INTP1端子入力	外部		FE0AH	000AH	800AH
	3	INTP2	PIF2	INTP2端子入力			FE0CH	000CH	800CH
	4	INTP3/INTCC20	PIF3	INTP3端子入力 / CC20の一致信号	外部 / RPU		FE0EH	000EH	800EH
	5	INTP4	PIF4	INTP4端子入力	外部		FE10H	0010H	8010H
	6	INTTM0	TMIF0	タイマ0のアンダフロー	RPU		FE12H	0012H	8012H
	7	INTCM03	CMIF03	CM03の一致信号			FE14H	0014H	8014H
	8	INTCM10	CMIF10	CM10の一致信号			FE16H	0016H	8016H
	9	INTCM40	CMIF40	CM40の一致信号			FE18H	0018H	8018H
	10	INTCM41	CMIF41	CM41の一致信号			FE1AH	001AH	801AH
	11	INTSER	SERIF	シリアル受信エラー発生	UART		FE1CH	001CH	801CH
	12	INTSR	SRIF	シリアル受信終了			FE1EH	001EH	801EH
	13	INTST	STIF	シリアル送信終了			FE20H	0020H	8020H
	14	INTCSI	CSIIF	シリアル送受信終了	CSI		FE22H	0022H	8022H
	15	INTAD	ADIF	A/D変換終了	A/Dコンバータ		FE24H	0024H	8024H
リセット	-	RESET	-	RESET端子入力	-	なし	-	0000H	

備考 デフォルト優先順位：ハードウェアで固定された優先順位

13.1 割り込み要求

μPD78366Aの割り込み要求は次の4種類に分けられます。

- ・ノンマスクブル割り込み
- ・マスクブル割り込み
- ・ソフトウェア割り込み
- ・オペコード・トラップ割り込み

各割り込み要求について次に示します。

13.1.1 ノンマスクブル割り込み

ノンマスクブル割り込みはNMI端子入力またはウォッチドッグ・タイマによって発生します。

ノンマスクブル割り込みは、割り込み禁止状態であっても無条件^注に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

注 同一のノンマスクブル割り込み処理の実行中と、優先順位の高いノンマスクブル割り込み処理の実行中を除く

13.1.2 マスクブル割り込み

マスクブル割り込みは、割り込みマスク・フラグの設定によってマスク制御を受ける割り込みです。また、PSWのIEフラグによって、マスクブル割り込み全体に対して受け付けの許可/禁止の指定ができます。

マスクブル割り込みは、通常のベクタ割り込みのほかに、コンテキスト・スイッチングやマクロ・サービスによって受け付けることが可能です(表13-2 参照)。

マスクブル割り込みは、表13-2のように同一優先順位を持つ複数の割り込み要求が同時に発生している場合の優先順位が決められています(デフォルト優先順位)。また、割り込み優先順位を4レベルのグループに分け、多重処理の制御を行うことができます。ただしマクロ・サービスは、優先順位制御やIEフラグとは無関係に受け付けられます。

13.1.3 ソフトウェア割り込み

ソフトウェアによる割り込みには、ベクタ割り込みを発生するBRK命令とコンテキスト・スイッチングを行うBRKCS命令があります。

ソフトウェアによる割り込みは、割り込み禁止状態でも受け付けられます。割り込み優先順位制御の対象になりません。

13.1.4 オペコード・トラップ割り込み

オペコード・トラップ割り込み要求は、ウォッチドッグ・タイマ・モード・レジスタ (WDM) およびスタンバイ・コントロール・レジスタ (STBC) への書き込みが正常に行われなかった場合に発生する割り込みです (12.2 ウォッチドッグ・タイマ・モード・レジスタ (WDM), 14.2 スタンバイ・コントロール・レジスタ (STBC) 参照)。

オペコード・トラップ割り込みは、DI状態でも受け付けられます。割り込み優先順位制御の対象になりません。

13.2 割り込み処理モード

μPD78366Aの割り込み処理モードには、次の3つのモードがあります。

- ・ベクタ割り込み処理
- ・マクロ・サービス
- ・コンテキスト・スイッチング

13.2.1 ベクタ割り込み処理

割り込みが受け付けられると、プログラム・カウンタ (PC), プログラム・ステータス・ワード (PSW) を自動的にスタック・メモリに退避させ、ベクタ・テーブルに格納されているデータで示されるアドレスに分岐し、割り込み処理ルーチンを実行します。

割り込み処理ルーチンから復帰するには、RETI命令を使用します。

13.2.2 マクロ・サービス

割り込みが受け付けられると、CPUの実行を一時中断し、ハードウェア的にデータ転送を行います。マクロ・サービスは、CPUを介さずに行われるため、PC, PSWなどのCPUステータスを退避/復帰する必要がありません。したがって、CPUのサービス時間を向上させる大きな効果があります (13.8 マクロ・サービス機能 参照)。

13.2.3 コンテキスト・スイッチング

割り込みが受け付けられると、ハードウェアにより所定のレジスタ・バンクを選択し、レジスタ・バンク内にあらかじめ設定しておいたベクタ・アドレスに分岐すると同時に、現在のPC, PSWをレジスタ・バンク内に退避します (13.5.2 コンテキスト・スイッチング, 13.6.2 BRKCS命令によるソフトウェア割り込み (コンテキスト・スイッチング) の受け付け動作 参照)。

備考 コンテキストとは、プログラムの実行において、そのプログラムからアクセス可能なCPUのレジスタのことです。このレジスタには、汎用レジスタ, PC, PSW, SP (スタック・ポインタ) が含まれます。

13.3 制御レジスタ

μPD78366Aの割り込み処理は、割り込み処理の指定を行う各種制御レジスタにより、各割り込み要求ごとに制御されます。表13 - 3に割り込みの制御レジスタ一覧を示します。

表13 - 3 制御レジスタ一覧

レジスタ名	略号	機能
割り込み制御レジスタ	OVIC3 PIC0 PIC1 PIC2 PIC3 PIC4 TMIC0 CMIC03 CMIC10 CMIC40 CMIC41 SERIC SRIC STIC CSIIC ADIC	各割り込み要求の発生の記憶、マスク制御、ベクタ割り込み処理またはマクロ・サービス処理の指定、コンテキスト・スイッチング機能の許可/禁止、優先順位の指定を行うレジスタ。
割り込みマスク・フラグ・レジスタ	MK0	マスカブル割り込み要求のマスク制御。割り込み制御レジスタ内のマスク制御フラグと連動。ワード・アクセスまたはバイト・アクセスが可能。
インサービス・プライオリティ・レジスタ	ISPR	現在受け付け中の割り込み要求について優先順位を記憶。
割り込みモード・コントロール・レジスタ	IMC	優先順位を最下位レベル（レベル3）に指定したマスカブル割り込みのネस्टリングを制御。

割り込み制御レジスタは、おのこの割り込み要因ごとに制御レジスタが割り当てられています。各レジスタのフラグは、それぞれのレジスタ内のビット位置に対応した内容の制御を行います。

各割り込み要求信号に対応する割り込み制御レジスタのフラグ名称を表13 - 4に示します。

表13 - 4 割り込み要求信号に対する割り込み制御レジスタのフラグー覧

デフォルト 優先順位	割り込み 要求信号	割 り 込 み 制 御 レ ジ ス タ				
		割り込み 要求フラグ	割り込み マスク・フラグ	マクロ・サービス 許可フラグ	優先順位 指定フラグ	コンテキスト・スイッチング 許可フラグ
0	INTOV3	OVIF3	OVMK3	OVISM3	OVPR30 OVPR31	OVCSE3
1	INTP0/INTCC30	PIF0	PMK0	PISM0	PPR00 PPR01	PCSE0
2	INTP1	PIF1	PMK1	PISM1	PPR10 PPR11	PCSE1
3	INTP2	PIF2	PMK2	PISM2	PPR20 PPR21	PCSE2
4	INTP3/INTCC20	PIF3	PMK3	PISM3	PPR30 PPR31	PCSE3
5	INTP4	PIF4	PMK4	PISM4	PPR40 PPR41	PCSE4
6	INTTM0	TMIF0	TMMK0	TMISM0	TMPR00 TMPR01	TMCSE0
7	INTCM03	CMIF03	CMMK03	CMISM03	CMPR030 CMPR031	CMCSE03
8	INTCM10	CMIF10	CMMK10	CMISM10	CMPR100 CMPR101	CMCSE10
9	INTCM40	CMIF40	CMMK40	CMISM40	CMPR400 CMPR401	CMCSE40
10	INTCM41	CMIF41	CMMK41	CMISM41	CMPR410 CMPR411	CMCSE41
11	INTSER	SERIF	SERMK	SERISM	SERPR0 SERPR1	SERCSE
12	INTSR	SRIF	SRMK	SRISM	SRPR0 SRPR1	SRCSE
13	INTST	STIF	STMK	STISM	STPR0 STPR1	STCSE
14	INTCSI	CSIIF	CSIMK	CSIISM	CSIPR0 CSIPR1	CSICSE
15	INTAD	ADIF	ADMK	ADISM	ADPR0 ADPR1	ADCSE

13.3.1 割り込み制御レジスタ

割り込み制御レジスタは、各割り込み要因ごとに割り当てられており、対応する割り込み要求の優先順位制御や、マスク制御などを行うレジスタです。割り込み制御レジスタのフォーマットを図13-1に示します。

(1) 優先順位指定フラグ (x x PR1, x x PR0)

優先順位指定フラグは、16種類のマスカブル割り込みに対して、割り込み要因ごとの優先順位を指定するフラグです。

優先順位レベルは、4レベルまで指定でき、複数の割り込み要因を同じレベルに指定することができます。マスカブル割り込み要因のうち、レベル0が最も優先順位が高くなります。

優先順位レベルの等しい割り込み要因同士内で、複数の割り込み要求が発生した場合は、デフォルト優先順位の順に受け付けられます。

ソフトウェアにより、ビット単位でセット/リセットできます。

$\overline{\text{RESET}}$ 入力により、全ビットが“1”になります。

(2) コンテキスト・スイッチング許可フラグ (x x CSE)

コンテキスト・スイッチング許可フラグは、マスカブル割り込み要求をコンテキスト・スイッチングにより処理することを指定するフラグです。

コンテキスト・スイッチングは、あらかじめ指定してあるレジスタ・バンクをハードウェア的に選択し、レジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスへ分岐すると同時に、現在のプログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW) の内容をレジスタ・バンクに退避する機能です。

通常のベクタ割り込み処理よりも高速に割り込み処理の実行を開始できますので、リアルタイム処理に適しています。

ソフトウェアにより、ビット単位でセット/リセットできます。

$\overline{\text{RESET}}$ 入力により、全ビットが“0”になります。

(3) マクロ・サービス許可フラグ (x x ISM)

マクロ・サービス許可フラグは、各フラグに対応する割り込み要求について、ベクタ割り込みで処理するか、マクロ・サービスで処理するかを指定するフラグです。

マクロ・サービス処理を選択していた場合に、マクロ・サービスが終了し (マクロ・サービス・カウンタがオーバフロー)、ベクタ割り込みが発生すると、各フラグはハードウェアで自動的にリセット (0) されます (ベクタ割り込み処理)。

ソフトウェアにより、ビット単位でセット/リセットできます。

$\overline{\text{RESET}}$ 入力により、全ビットは“0”になります。

(4) 割り込みマスク・フラグ (××MK)

割り込みマスク・フラグは、各フラグに対応する割り込み要求について、ベクタ割り込み処理、マクロ・サービス処理の許可/禁止を指定するフラグです。

割り込みマスク・フラグの内容は、割り込み処理の起動などにより変化することはありません。また、割り込みマスク・フラグの内容と、割り込みマスク・フラグ・レジスタとは同一の内容となります (13.3.2 割り込みマスク・フラグ・レジスタ (MK0) 参照)。

マクロ・サービス処理要求もマスク制御の対象で、マクロ・サービス要求もこのフラグによりマスクできます。

ソフトウェアにより、セット/リセットできます。

$\overline{\text{RESET}}$ 入力により、全ビットが“1”になります。

割り込みマスク・フラグ (××MK) とマクロ・サービス許可フラグ (××ISM) の組み合わせにより、選択された割り込み処理形態が決定されます。

××MK	××ISM	割り込み処理形態
0	0	ベクタ割り込みで処理
0	1	マクロ・サービスで処理を行ったのちベクタ割り込みで処理
1	×	マスカブル割り込み要求は受け付けない

(5) 割り込み要求フラグ (××IF)

割り込み要求フラグは、各フラグに対応する割り込み要求の発生でセット (1) されます。割り込みが受け付けられたときにハードウェアにより自動的にリセット (0) されます。

ソフトウェアにより、セット/リセットできます。

$\overline{\text{RESET}}$ 入力により、全ビットが“0”になります。

図13 - 1 割り込み制御レジスタのフォーマット (1/2)

略号	⑦	⑥	⑤	④	3	2	①	①	アドレス	リセット時	R/W
OVIC3	OVIF3	OVMK3	OVISM3	OVCSE3	0	0	OVPR31	OVPR30	FFE0H	43H	R/W
PIC0	PIF0	PMK0	PISM0	PCSE0	0	0	PPR01	PPR00	FFE1H	43H	R/W
PIC1	PIF1	PMK1	PISM1	PCSE1	0	0	PPR11	PPR10	FFE2H	43H	R/W
PIC2	PIF2	PMK2	PISM2	PCSE2	0	0	PPR21	PPR20	FFE3H	43H	R/W
PIC3	PIF3	PMK3	PISM3	PCSE3	0	0	PPR31	PPR30	FFE4H	43H	R/W
PIC4	PIF4	PMK4	PISM4	PCSE4	0	0	PPR41	PPR40	FFE5H	43H	R/W
TMIC0	TMIF0	TMMK0	TMISM0	TMCSE0	0	0	TMPR01	TMPR00	FFE6H	43H	R/W
CMIC03	CMIF03	CMMK03	CMISM03	CMCSE03	0	0	CMPR031	CMPR030	FFE7H	43H	R/W

x x PR1	x x PR0	優先順位の指定
0	0	優先順位 0 (最優先順位)
0	1	優先順位 1
1	0	優先順位 2
1	1	優先順位 3

x x CSE	コンテキスト・スイッチング許可フラグ
0	ベクタ割り込みで処理
1	コンテキスト・スイッチングで処理

x x ISM	マクロ・サービス許可フラグ
0	ベクタ割り込みで処理
1	マクロ・サービスで処理

x x MK	割り込み要求の許可 / 禁止の指定
0	割り込み処理を許可
1	割り込み処理を禁止

x x IF	割り込み要求フラグ
0	割り込み要求なし。割り込み要求信号が発生していない。
1	割り込み要求信号が発生して割り込み要求状態。

注意 割り込み制御レジスタのビット3, 2は,ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。

図13 - 1 割り込み制御レジスタのフォーマット (2/2)

略号	⑦	⑥	⑤	④	3	2	①	①	アドレス	リセット時	R/W
CMIC10	CMIF10	CMMK10	CMISM10	CMCSE10	0	0	CMPR101	CMPR100	FFE8H	43H	R/W
CMIC40	CMIF40	CMMK40	CMISM40	CMCSE40	0	0	CMPR401	CMPR400	FFE9H	43H	R/W
CMIC41	CMIF41	CMMK41	CMISM41	CMCSE41	0	0	CMPR411	CMPR410	FFEAH	43H	R/W
SERIC	SERIF	SERMK	SERISM	SERCSE	0	0	SERPR1	SERPR0	FFEBH	43H	R/W
SRIC	SRIF	SRMK	SRISM	SRCSE	0	0	SRPR1	SRPR0	FFECH	43H	R/W
STIC	STIF	STMK	STISM	STCSE	0	0	STPR1	STPR0	FFEDH	43H	R/W
CSIIC	CSIIF	CSIMK	CSIISM	CSICSE	0	0	CSIPR1	CSIPR0	FFEEH	43H	R/W
ADIC	ADIF	ADMK	ADISM	ADCSE	0	0	ADPR1	ADPR0	FFEFH	43H	R/W

x x PR1	x x PR0	優先順位の指定
0	0	優先順位 0 (最優先順位)
0	1	優先順位 1
1	0	優先順位 2
1	1	優先順位 3

x x CSE	コンテキスト・スイッチング許可フラグ
0	ベクタ割り込みで処理
1	コンテキスト・スイッチングで処理

x x ISM	マクロ・サービス許可フラグ
0	ベクタ割り込みで処理
1	マクロ・サービスで処理

x x MK	割り込み要求の許可 / 禁止の指定
0	割り込み処理を許可
1	割り込み処理を禁止

x x IF	割り込み要求フラグ
0	割り込み要求なし。割り込み要求信号が発生していない。
1	割り込み要求信号が発生して割り込み要求状態。

注意 割り込み制御レジスタのビット3, 2は, ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。

13.3.2 割り込みマスク・フラグ・レジスタ (MK0)

割り込みマスク・フラグ・レジスタ (MK0) は、16種類のマスカブル割り込み要求に対応した割り込みマスク・フラグで構成されるレジスタです。

MK0レジスタは16ビット・レジスタで、16ビット単位で操作できるほか、MK0L, MK0Hとして8ビット単位でも操作できます。また、MK0レジスタの各ビットは、ビット操作命令により1ビット単位で操作ができます。各割り込みマスク・フラグは、対応する割り込み要求の許可 / 禁止を制御します。

割り込みマスク・フラグがセット (1) されていると、該当する割り込み要求の受け付けは禁止されます。

割り込みマスク・フラグがリセット (0) されていると、該当する割り込み要求は、ベクタ割り込みまたはマクロ・サービスとして受け付けが可能な状態になります。

MK0レジスタ中の各割り込みマスク・フラグは、割り込み制御レジスタ中の割り込みマスク・フラグと同一のフラグです。割り込みのマスクに関する制御を一括して行うために、MK0レジスタを用意しています。

RESET 入力により、各割り込みマスク・フラグは“1”になり、すべてのマスカブル割り込みは禁止されます。

割り込みマスク・フラグ・レジスタのフォーマットを図13 - 2 に示します。

図13 - 2 割り込みマスク・フラグ・レジスタのフォーマット (1/2)

(バイト・アクセス時)

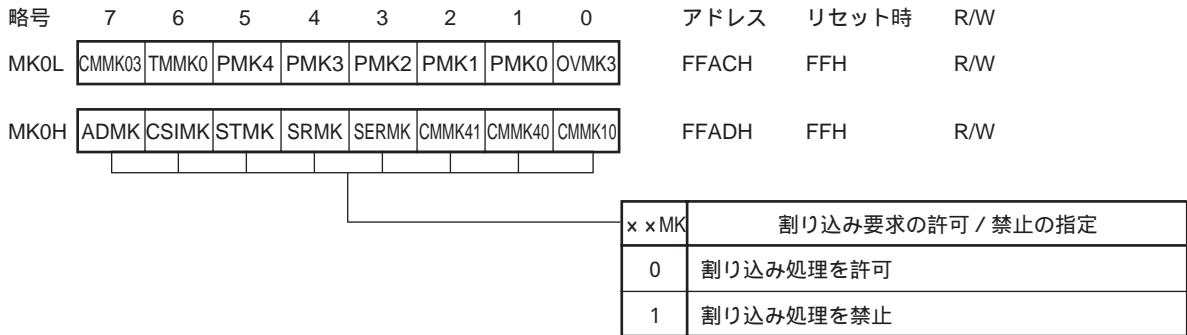
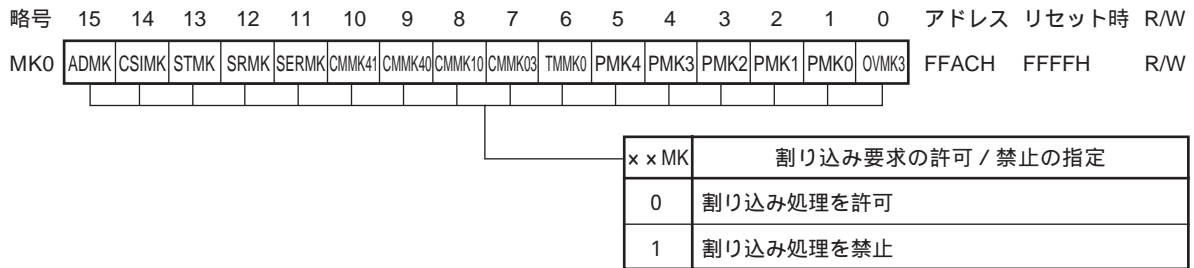


図13 - 2 割り込みマスク・フラグ・レジスタのフォーマット (2/2)

(ワード・アクセス時)



各ビットと割り込み要求ソースの関係

ビット位置	ビット名	割り込み要求ソース
ビット0	OVMK3	タイマ3のオーバーフロー (INTOV3)
ビット1	PMK0	INTP0端子入力 / CC30のキャプチャ信号 (INTP0) CC30の一致 (INTCC30)
ビット2	PMK1	INTP1端子入力 / CT30のキャプチャ信号 (INTP1)
ビット3	PMK2	INTP2端子入力 (INTP2)
ビット4	PMK3	INTP3端子入力 / CC20のキャプチャ信号 (INTP3) CC20の一致 (INTCC20)
ビット5	PMK4	INTP4端子入力 / CT31のキャプチャ信号 (INTP4)
ビット6	TMMK0	タイマ0のアンダフロー (INTTM0)
ビット7	CMMK03	CM03の一致 (INTCM03)
ビット8	CMMK10	CM10の一致 (INTCM10)
ビット9	CMMK40	CM40の一致 (INTCM40)
ビット10	CMMK41	CM41の一致 (INTCM41)
ビット11	SERMK	シリアル・エラー割り込み (INTSER)
ビット12	SRMK	シリアル受信終了割り込み (INTSR)
ビット13	STMK	シリアル送信終了割り込み (INTST)
ビット14	CSIMK	シリアル送受信終了割り込み (INTCSI)
ビット15	ADMK	A/D変換終了割り込み (INTAD)

13.3.3 割り込みモード・コントロール・レジスタ (IMC)

割り込みモード・コントロール・レジスタ (IMC) は、PRSLフラグで構成されるレジスタです。PRSLフラグは、優先順位が最下位レベル (レベル3) に指定されているマスカブル割り込みのネスティングの許可/禁止を指定します。

なお、レベル0, 1, 2は、IMCレジスタの設定にかかわらず、同一レベル同士の割り込みのネスティングはできません。

IMCレジスタを操作する場合は、誤動作を防ぐために割り込み禁止状態 (DI状態) に設定してから行ってください。

ソフトウェアにより、セット/リセットできます。

$\overline{\text{RESET}}$ 入力により、PRSLフラグは“1”になります。

IMCレジスタのフォーマットを図13-3に示します。

図13-3 割り込みモード・コントロール・レジスタのフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IMC	PRSL	0	0	0	0	0	0	0	FFAAH	80H	R/W

PRSL	ネスティング動作の制御
0	レベル3 (最下位レベル) に設定された割り込み間でのネスティングを許可。
1	レベル3 (最下位レベル) に設定された割り込み間でのネスティングを禁止。

注意 IMCレジスタのビット6-0は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。

13.3.4 インサービス・プライオリティ・レジスタ (ISPR)

インサービス・プライオリティ・レジスタ (ISPR) は、受け付け中の割り込みの優先順位レベルを保持するレジスタです。割り込み要求が受け付けられると、その割り込み要求の優先順位レベルに対応するビットがセット (1) され、サービス中保持されます。

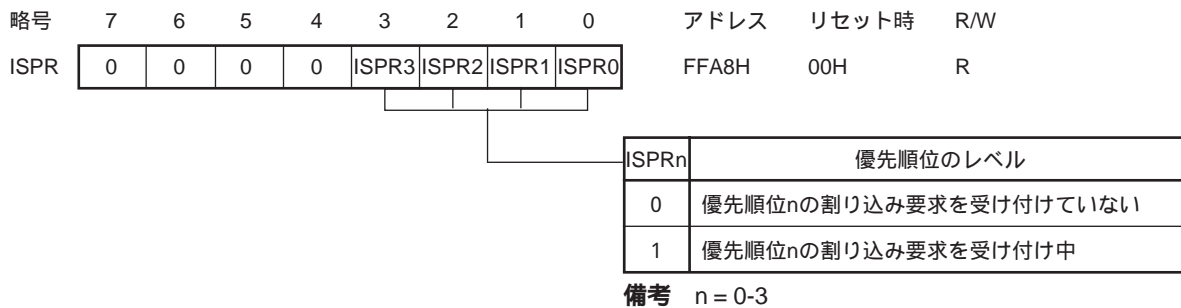
RETI命令またはRETCS命令の実行の際、ISPRレジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求に対応するビットが、ハードウェアにより自動的にリセット (0) されます。

RETB命令およびRETCSB命令の実行では、ISPRレジスタの内容は変化しません。

$\overline{\text{RESET}}$ 入力により、00Hになります。

ISPRレジスタのフォーマットを図13-4に示します。

図13-4 インサービス・プライオリティ・レジスタのフォーマット



注意 1 . ISPRレジスタは読み出しのみ可能です。書き込みを行うと誤動作するおそれがあります。

2 . ISPRレジスタのビット7-4は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。

13.3.5 プログラム・ステータス・ワード (PSW)

PSWは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可/禁止を設定するIEフラグがPSWの下位8ビット (PSWL) にマッピングされています。

PSWLは、8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。

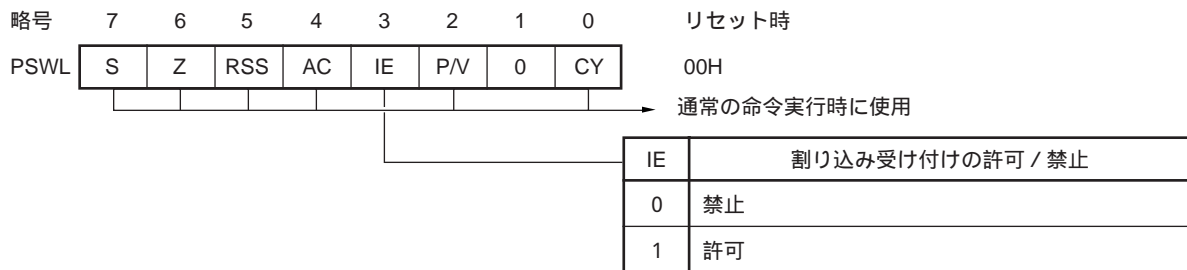
ベクタ割り込み受け付け時、BRK命令実行時にはスタックに退避され、IEフラグはリセット (0) されます。また、PUSH PSW命令によってもスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

コンテキスト・スイッチングおよびBRKCS命令実行時には、レジスタ・バンクの固定エリアに退避され、IEフラグはリセット (0) されます。また、RETCS, RETCSB命令により、レジスタ・バンク中の固定エリアから復帰します。

なお、ノンマスカブル割り込みおよびマクロ・サービスは、IEフラグに関係なく割り込み要求の受け付けが行われます。また、マクロ・サービスでは、IEフラグの内容は変化しません。

$\overline{\text{RESET}}$ 入力により、PSWLは00Hになります。

図13-5 プログラム・ステータス・ワード (PSWL) のフォーマット



13.4 ノンマスカブル割り込みの受け付け動作

ノンマスカブル割り込みは、割り込み禁止状態であっても受け付けられます。ノンマスカブル割り込みは、同一のノンマスカブル割り込みまたは、優先順位の高いノンマスカブル割り込み処理の実行中を除いては、必ず受け付けられません。

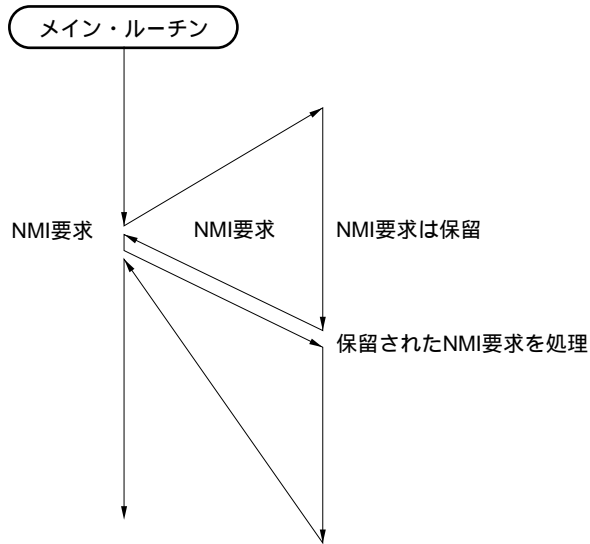
ノンマスカブル割り込み間の優先順位は、ウォッチドッグ・タイマ・モード・レジスタ (WDM) のPRCビットで設定します (12.2 ウォッチドッグ・タイマ・モード・レジスタ (WDM) 参照)。

ノンマスカブル割り込み要求は、13.9 割り込み要求およびマクロ・サービスが一時的に保留される場合に記述されている状態でなければ、ただちに受け付けられます。ノンマスカブル割り込み要求が受け付けられると、PSW, PCの順にスタックへの退避を行い、PSWのIEフラグをリセット (0) し、ベクタ・テーブルの内容をPCへロードし、分岐します。

ノンマスカブル割り込み処理を実行している場合には、現在実行中のノンマスカブル割り込みと同一のノンマスカブル割り込みの要求と、現在実行中のノンマスカブル割り込みより優先順位の低いノンマスカブル割り込みの要求は、保留されます。保留されたノンマスカブル割り込みは、現在実行中のノンマスカブル割り込み処理の終了後 (RETI命令実行後) に受け付けられます。ただし、ノンマスカブル割り込み処理実行中に、同一のノンマスカブル割り込み要求が2回以上発生しても、ノンマスカブル割り込み処理の終了後に受け付けられるノンマスカブル割り込みは1回だけになります。

図13 - 6 ノンマスクブル割り込み要求の受け付け動作 (1/2)

(a) NMI割り込み処理実行中に新たなNMI要求が発生した場合



(b) NMI割り込み処理実行中にウォッチドッグ・タイマ割り込み要求が発生した場合 (ウォッチドッグ・タイマ割り込みの優先順位が高い場合 (WDMレジスタのPRCビット = 1))

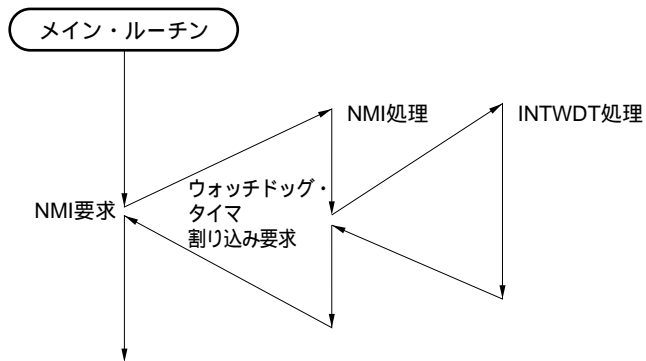
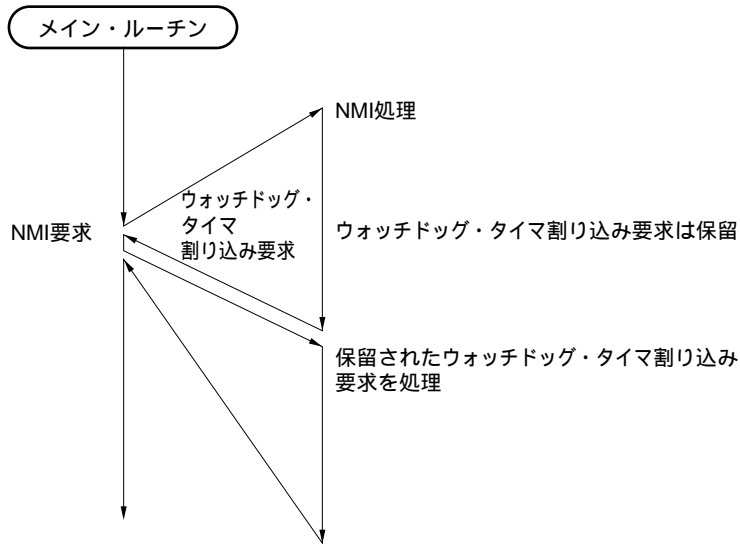
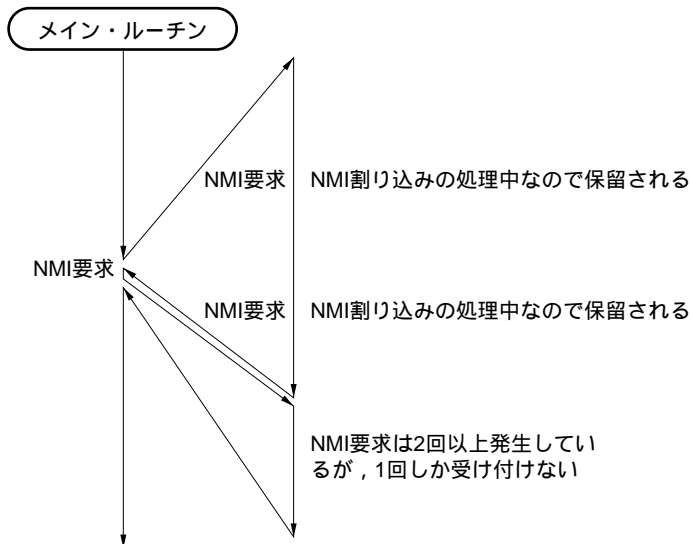


図13 - 6 ノンマスクابل割り込み要求の受け付け動作 (2/2)

(c) NMI割り込み処理実行中にウォッチドッグ・タイマ割り込み要求が発生した場合 (NMI割り込みの優先順位が高い場合 (WDMレジスタのPRCビット = 0))



(d) NMI割り込み処理実行中に新たに2回のNMI要求が発生した場合



- 注意 1 . ノンマスクابل割り込み処理ルーチン中でもマクロ・サービスの要求は受け付けられ、処理されます。ノンマスクابل割り込み処理ルーチン中でマクロ・サービス処理を行いたくない場合は、ノンマスクابل割り込み処理ルーチン中で割り込みマスク・フラグ・レジスタを操作して、マクロ・サービスが発生しないようにしてください。
- 2 . ノンマスクابل割り込みからの復帰には、必ずRETI命令を使用してください。他の命令では、以降の割り込みの受け付けが正常に行われません。
- 3 . ノンマスクابل割り込みは、ノンマスクابل割り込み処理実行中（優先順位の低いノンマスクابل割り込み処理実行中に、優先順位の高いノンマスクابل割り込みの要求が発生した場合を除く）および13.9に示す特定命令の実行後の一定期間を除いては必ず受け付けられます。したがって、特にリセット解除後などのスタック・ポインタの値が不定の場合でもノンマスクابل割り込みを受け付けます。このときのスタック・ポインタの値によっては特殊機能レジスタの書き込みを禁止しているアドレス（3.2.3 特殊機能レジスタ（SFR）の表3 - 4参照）へプログラム・カウンタ（PC）およびプログラム・ステータス・ワード（PSW）を書き込んでしまい、CPUがデッドロックしてしまったり、端子から予期しない信号を出力したり、RAMが実装されていないアドレスへPCやPSWを書き込むことにより、ノンマスクابل割り込み処理ルーチンからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。
- したがって、 $\overline{\text{RESET}}$ 解除後のプログラムは必ず次のようにしてください。

```
CSEG AT 0
DW  STRT
STRT :
MOVW SP, #imm16
```

13.5 マスカブル割り込みの受け付け動作

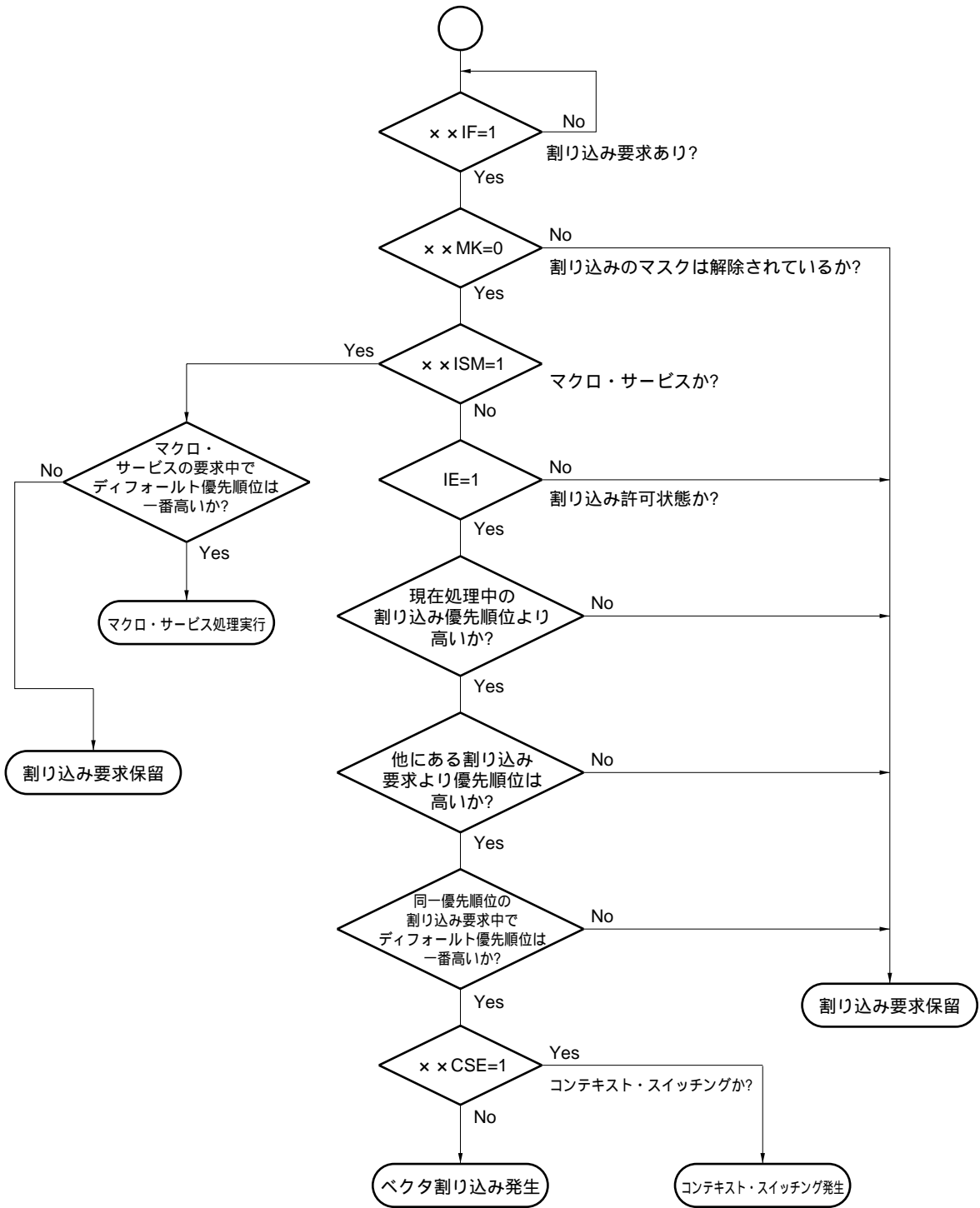
マスカブル割り込みは、割り込み要求フラグがセット(1)され、その割り込みのマスク・フラグがリセット(0)されていると受け付けが可能な状態になります。マクロ・サービスで処理を行う場合は、ただちに受け付けられ、マクロ・サービスによる処理が行われます。ベクタ割り込みまたはコンテキスト・スイッチングの場合は、割り込み許可状態(IEフラグがセット(1)されているとき)で、その割り込みの優先順位が、受け付け可能な優先順位であれば受け付けます。

マスカブル割り込みの要求が同時に発生した場合は、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、同一優先順に指定されている場合はデフォルト優先順位に従います。

保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み受け付けのアルゴリズムを図13 - 7 に示します。

図13 - 7 割り込み受け付け処理アルゴリズム



13.5.1 ベクタ割り込み

ベクタ割り込みによるマスカブル割り込みの要求が受け付けられると、PSW, PCの順にスタックに退避し、IEフラグをリセット（0）（割り込み禁止状態）にし、受け付けた割り込みの優先順位に該当するISPRレジスタのビットをセット（1）します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。ベクタ割り込みからの復帰は、RETI命令で行います。

注意 マスカブル割り込みをベクタ割り込みで受け付けた場合は、必ずRETI命令で復帰してください。他の命令では、以降の割り込みに関する動作が正常に行われません。

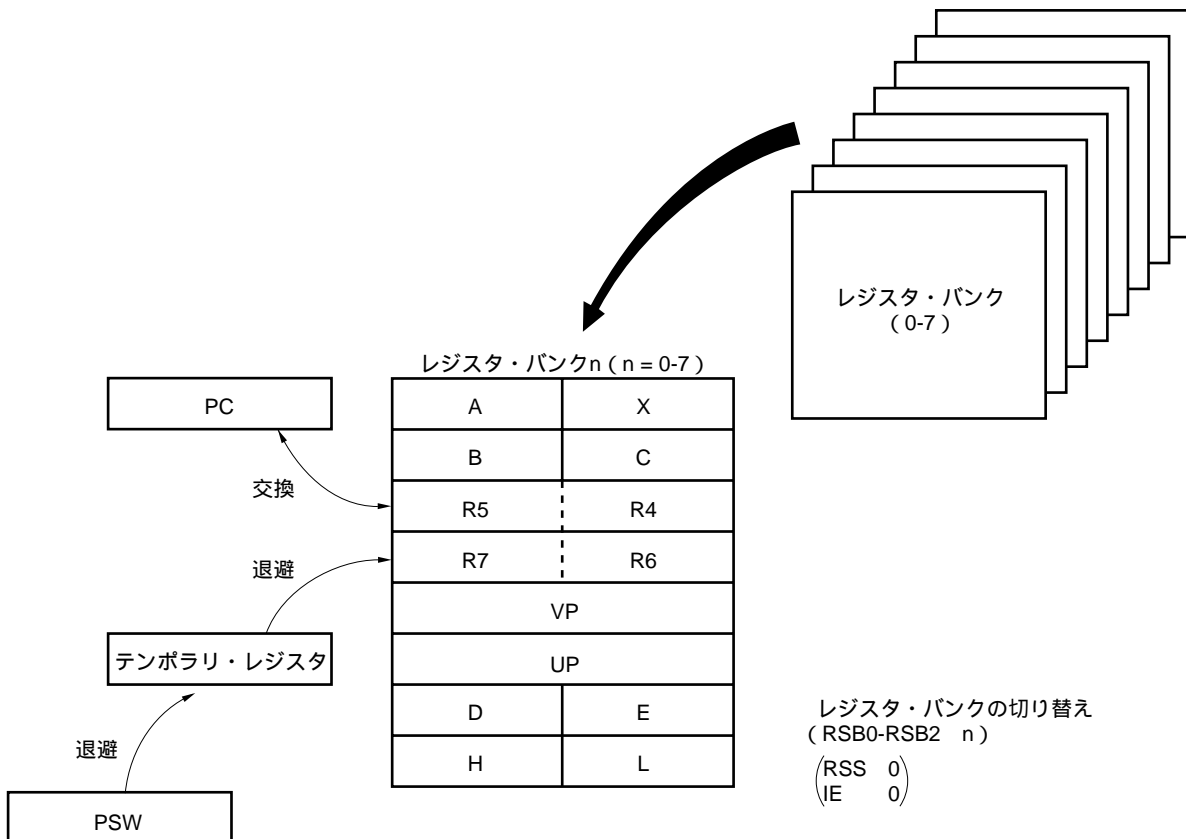
13.5.2 コンテキスト・スイッチング

割り込み制御レジスタのコンテキスト・スイッチング許可フラグ（表13-4、図13-1 参照）をセット（1）することにより、コンテキスト・スイッチング機能の起動を許可します。

EI状態において、マスクされておらず、コンテキスト・スイッチング機能が許可されている割り込み要求が発生すると、対応するベクタ・テーブル・アドレスの下位アドレス（偶数アドレス）の下位3ビットで指定されるレジスタ・バンクが選択されます。

選択されたレジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスをPCに転送すると同時に、それまでのPC, PSWの内容をレジスタ・バンク内に退避し、割り込み処理ルーチンに分岐します。

図13-8 割り込み要求の発生によるコンテキスト・スイッチング動作

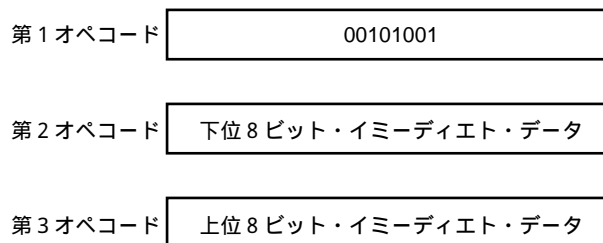


コンテキスト・スイッチング機能を使用した割り込みからの復帰は、RETCS命令またはRETCSB命令を実行することで行います。

RETCS命令の実行により、このとき選択されているレジスタ・バンク内のR4, R5レジスタの内容をPCに、R6, R7レジスタの内容をPSWに転送します。また、同時にRETCS命令の第2, 第3オペコードで指定される16ビット・イミディエト・データをレジスタ・バンク内のR4, R5レジスタに格納します。

したがって、再び、コンテキスト・スイッチング機能により同じレジスタ・バンクが選択された場合、RETCS命令の第2, 第3オペコードで指定した16ビット・イミディエト・データが分岐アドレスとなります。

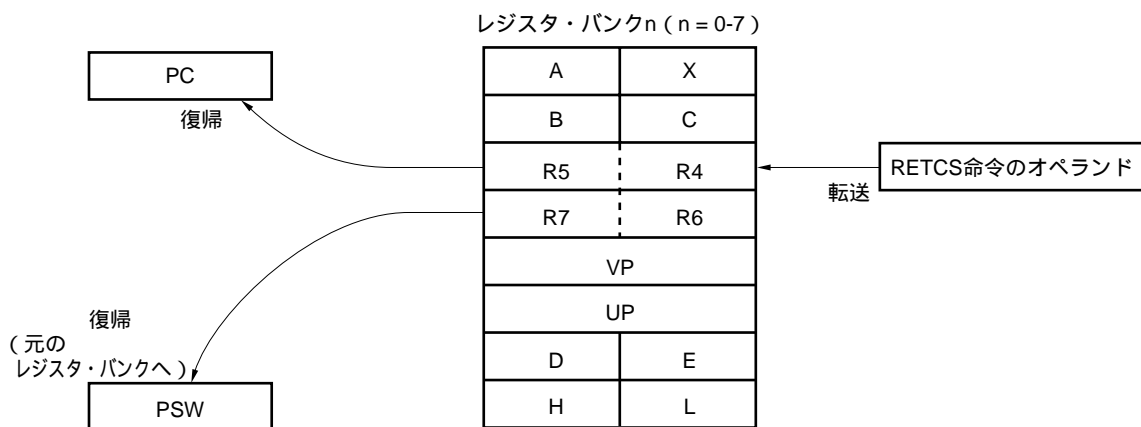
図13 - 9 RETCS命令のフォーマット



RETCS命令を実行して分岐処理から復帰する際、インサービス・プライオリティ・レジスタ (ISPR) 内のセット (1) されているビットのうち、最も高い優先順位に対応するビットがリセット (0) されます。

注意 コンテキスト・スイッチングによる割り込みからの復帰には、必ずRETCS命令を使用してください。他の命令では、以降の割り込みに関する動作が正常に行われません。

図13 - 10 RETCS命令によるコンテキスト・スイッチング機能を使用した割り込みからの復帰動作



13.5.3 マスカブル割り込みの優先順位

μPD78366Aは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

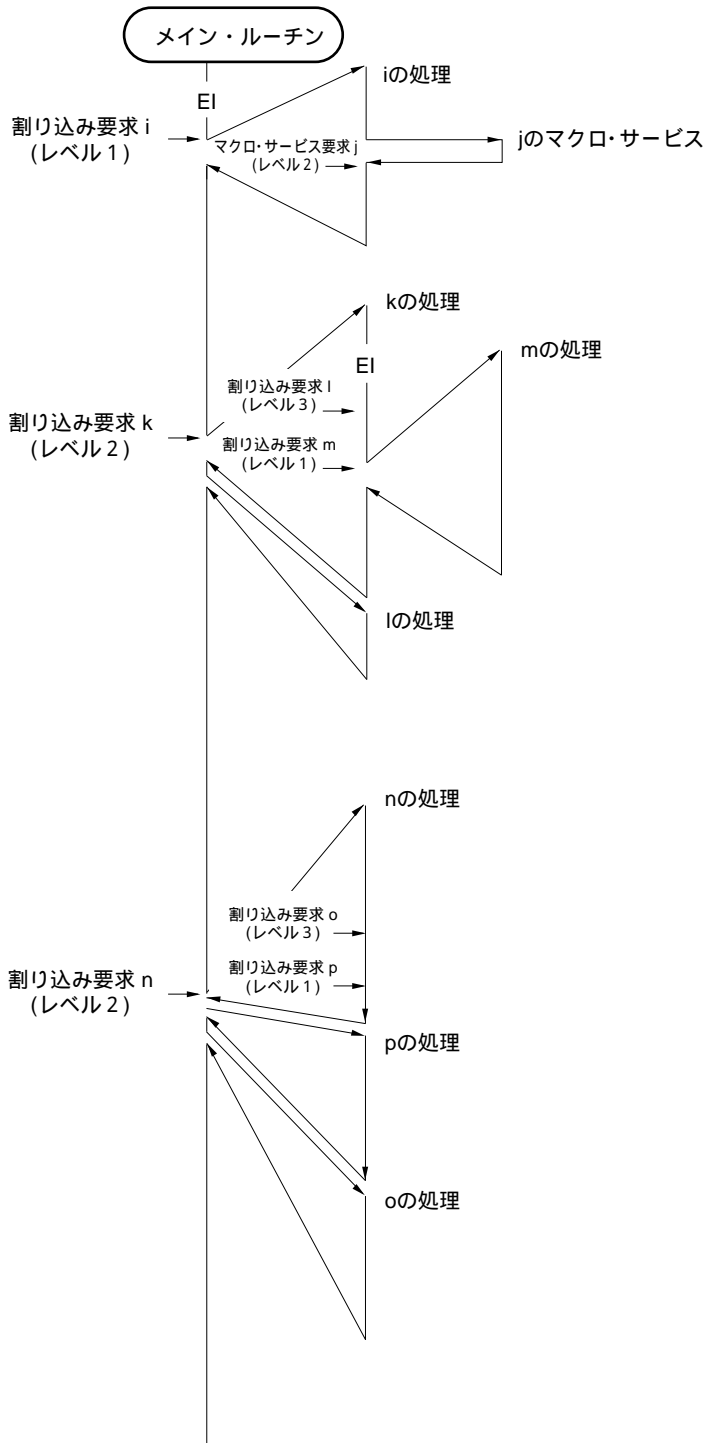
優先順位制御には、デフォルト優先順位による制御と、優先順位指定フラグの設定によるプログラマブル優先順位制御があります。デフォルト優先順位による優先順位制御は、複数の割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位（デフォルト優先順位）に従って割り込み処理を行います（表13-2 参照）。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって、4レベルに分けます。多重割り込み可能な割り込み要求を表13-5に示します。

なお、割り込みを受け付けるとIEフラグが自動的にリセット（0）されますので、多重割り込みを使用する場合は、割り込み処理ルーチン中でEI命令を実行するなどして、IEフラグをセット（1）し、割り込み許可状態にしてください。

表13-5 多重割り込み処理

現在受け付け中の 割り込みの優先順位	ISPRの値	PSWのIEフラグ	IMCレジスタ のPRSLフラグ	受け付け可能なマスカブル割り込み
受け付け中の割り込みなし	0 0 0 0 0 0 0 0	0	×	・すべてのマクロ・サービスのみ
		1	×	・すべてのマスカブル割り込み
3	0 0 0 0 1 0 0 0	0	×	・すべてのマクロ・サービスのみ
		1	0	・すべてのマスカブル割り込み
		1	1	・すべてのマクロ・サービス ・優先順位を0, 1, 2に指定したマスカブル割り込み
2	0 0 0 0 × 1 0 0	0	×	・すべてのマクロ・サービスのみ
		1	×	・すべてのマクロ・サービス ・優先順位を0, 1に指定したマスカブル割り込み
1	0 0 0 0 × × 1 0	0	×	・すべてのマクロ・サービスのみ
		1	×	・すべてのマクロ・サービス ・優先順位を0に指定したマスカブル割り込み
0	0 0 0 0 × × × 1	×	×	・すべてのマクロ・サービスのみ

図13 - 11 割り込み処理中に他の割り込み要求が発生した場合の処理例 (2/3)

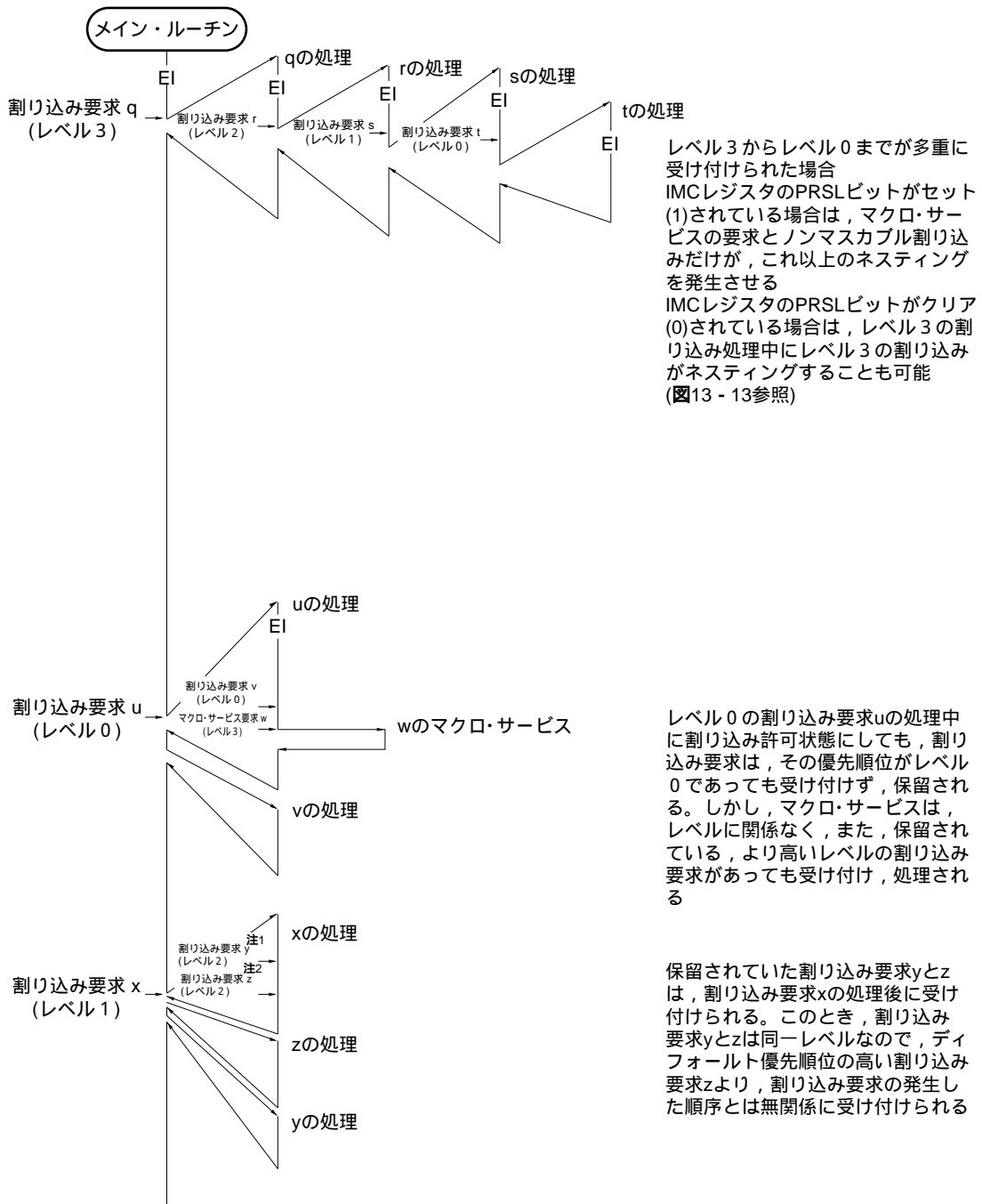


マクロ・サービスの要求は、割り込みの許可/禁止、および優先順位と無関係に処理する

割り込み要求lは、割り込み要求kより優先順位が低いので保留される。lよりあとに発生した割り込み要求mは、優先順位が高いので先に受け付けられる

割り込み要求nの処理を割り込み禁止状態で行っているため、割り込み要求oとpは保留される。割り込み要求nの処理後、保留された割り込み要求を受け付ける。このとき、割り込み要求oは先に発生しているが、割り込み要求pの優先順位の方が高いので、割り込み要求pを先に受け付ける

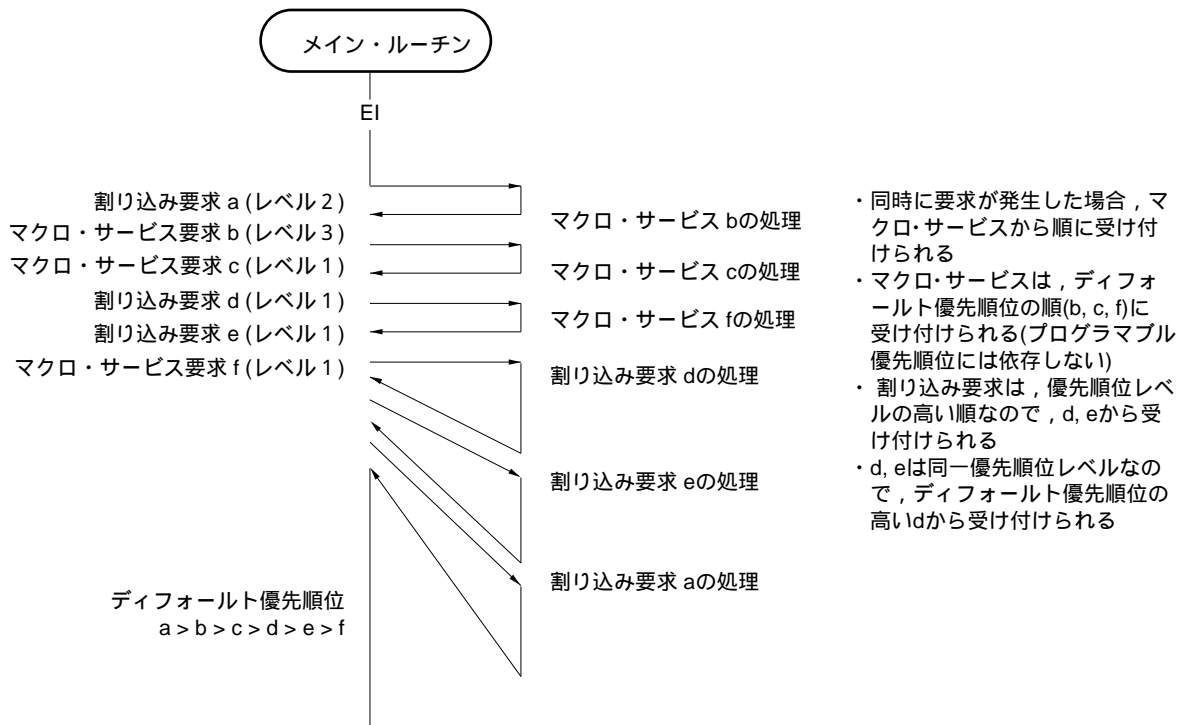
図13 - 11 割り込み処理中に他の割り込み要求が発生した場合の処理例 (3/3)



- 注1 . デフォルト優先順位が低い
- 2 . デフォルト優先順位が高い

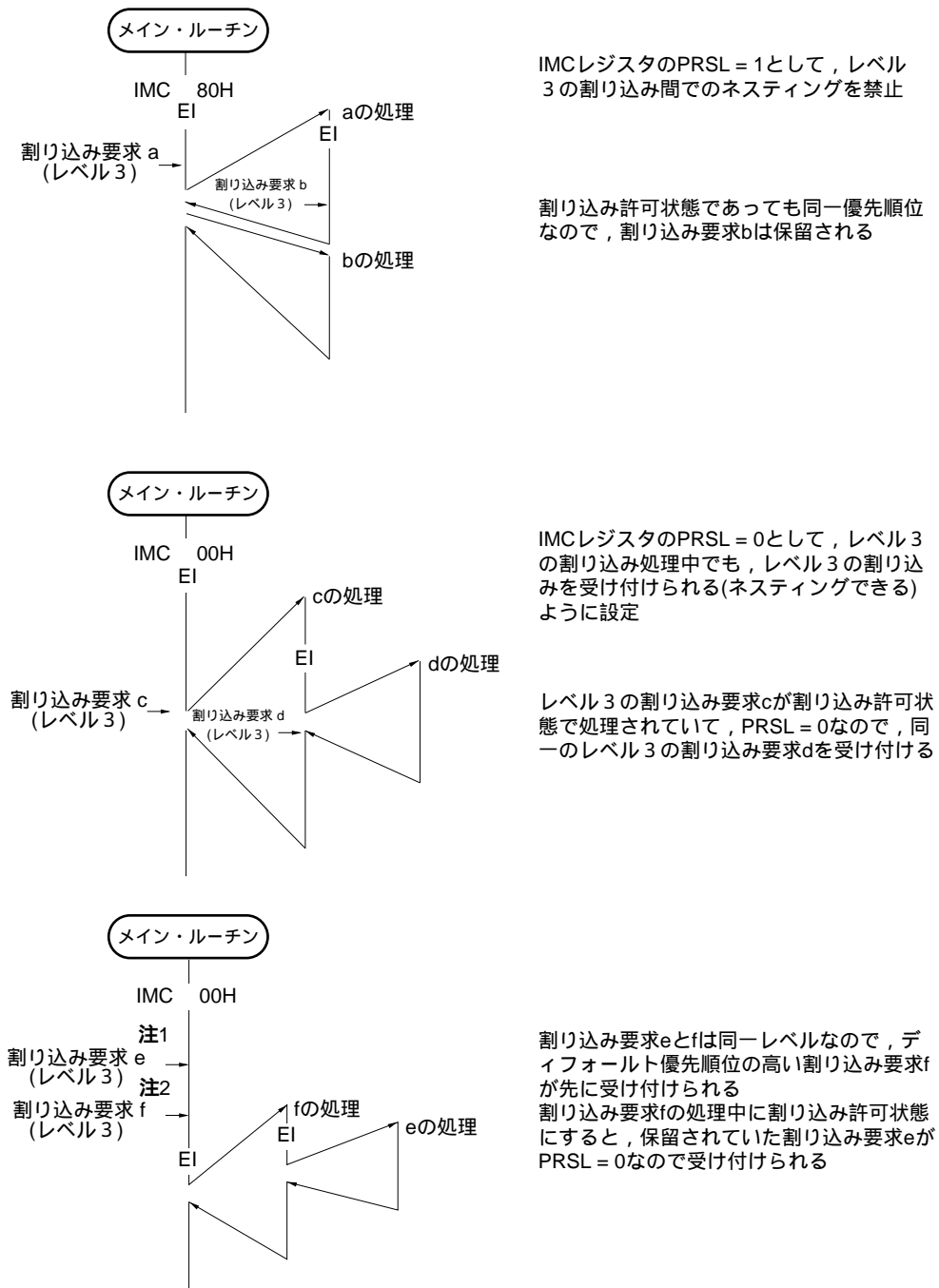
- 備考1 . 図中のa-zは、割り込み要求およびマクロ・サービス要求を区別するためにつけた仮の名称です。
- 2 . 図中のデフォルト優先順位の高い/低いは、2つの割り込み要求間の相対的な優先順位の高さを示します。

図13 - 12 同時発生した割り込み要求の処理例



備考 図中のa-fは、割り込み要求およびマクロ・サービス要求を区別するためにつけた仮の名称です。

図13 - 13 IMCレジスタの設定によるレベル3の割り込みの受け付け動作の違い



- 注1 . デフォルト優先順位が低い
- 2 . デフォルト優先順位が高い

- 備考1 . 図中のa-fは、割り込み要求を区別するためにつけた仮の名称です。
- 2 . 図中のデフォルト優先順位の高い / 低いは、2つの割り込み要求間の相対的な優先順位の高さを示します。

13.6 ソフトウェア割り込みの受け付け動作

ソフトウェア割り込みは、BRK, BRKCS命令の実行により受け付けられます。ソフトウェア割り込みは禁止することができません。

13.6.1 BRK命令によるソフトウェア割り込みの受け付け動作

BRK命令を実行すると、PSW, PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(003EH, 003FH)の内容をPCにロードして分岐します。

BRK命令によるソフトウェア割り込みからの復帰には、RETB命令を使用します。

注意 BRK命令によるソフトウェア割り込みからの復帰には、RETI命令を使用しないでください。

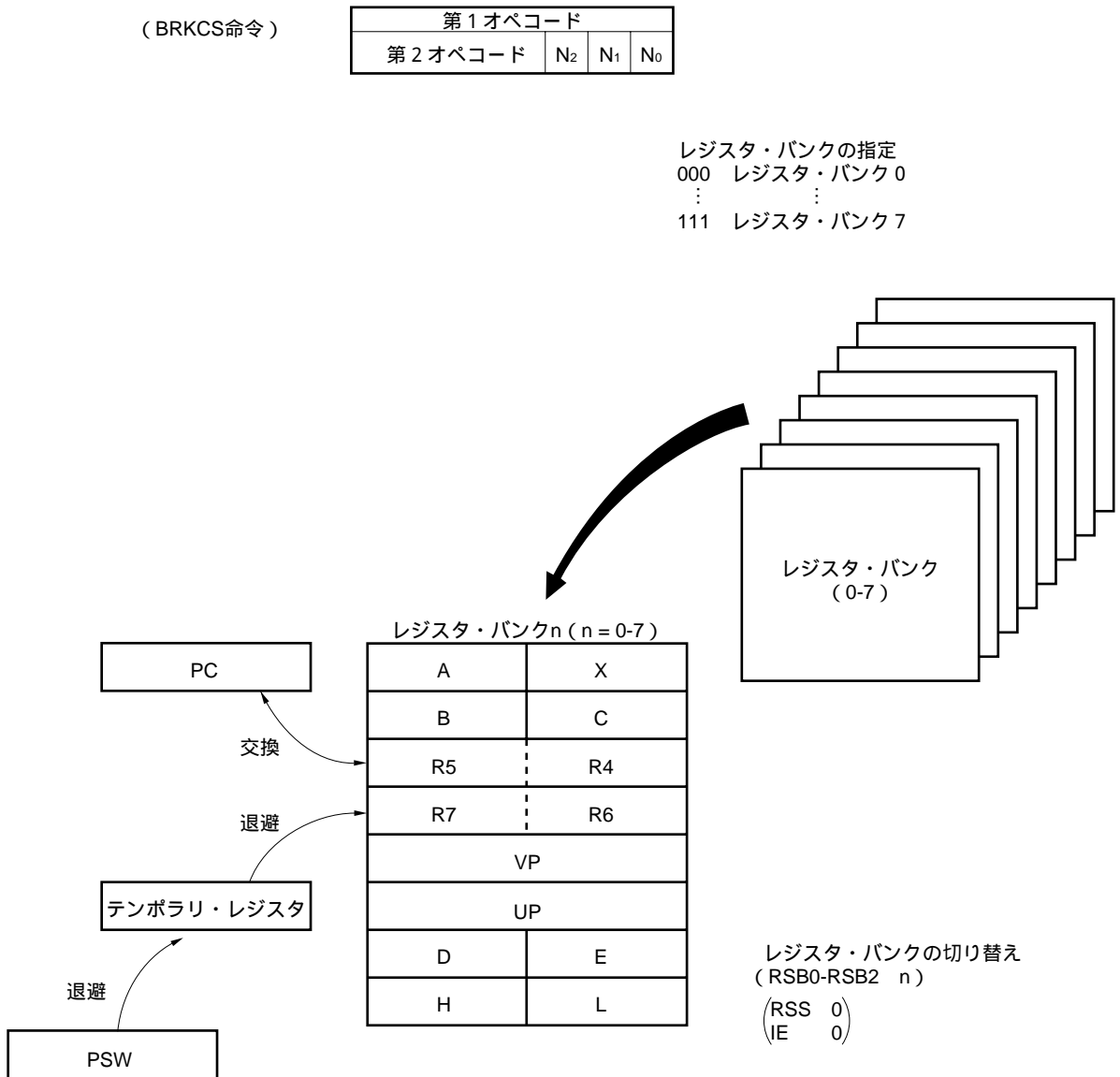
13.6.2 BRKCS命令によるソフトウェア割り込み(コンテキスト・スイッチング)の受け付け動作

BRKCS命令の実行により、コンテキスト・スイッチング機能を起動できます。

BRKCS命令の第2オペコードの下位3ビット・イミディエト・データ(N₂-N₀)で、コンテキスト・スイッチング後のレジスタ・バンクを指定します。

BRKCS命令を実行すると、このレジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスに分岐すると同時に、それまでのPC, PSWの内容をレジスタ・バンク内に退避します。

図13 - 14 BRKCS命令の実行によるコンテキスト・スイッチング動作

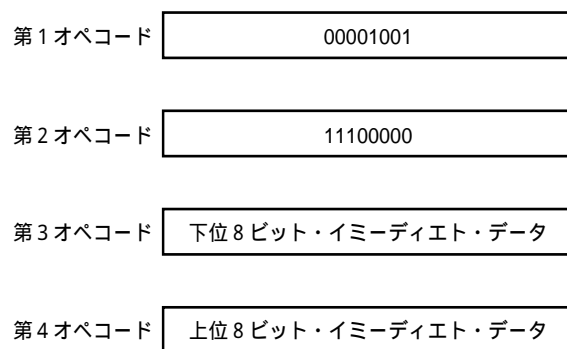


BRKCS命令によるソフトウェア割り込みからの復帰は、RETCSB命令を実行することで行います。

RETCSB命令の実行により、このとき選択されているレジスタ・バンク内のR4, R5レジスタの内容をPCに、R6, R7レジスタの内容をPSWに転送します。また、同時にRETCSB命令の第3, 第4オペコードで指定される16ビット・イミディエト・データをレジスタ・バンク内のR4, R5レジスタに格納します。

したがって、再び、コンテキスト・スイッチング機能により同じレジスタ・バンクが選択された場合、RETCSB命令の第3, 第4オペコードで指定した16ビット・イミディエト・データが分岐アドレスとなります。

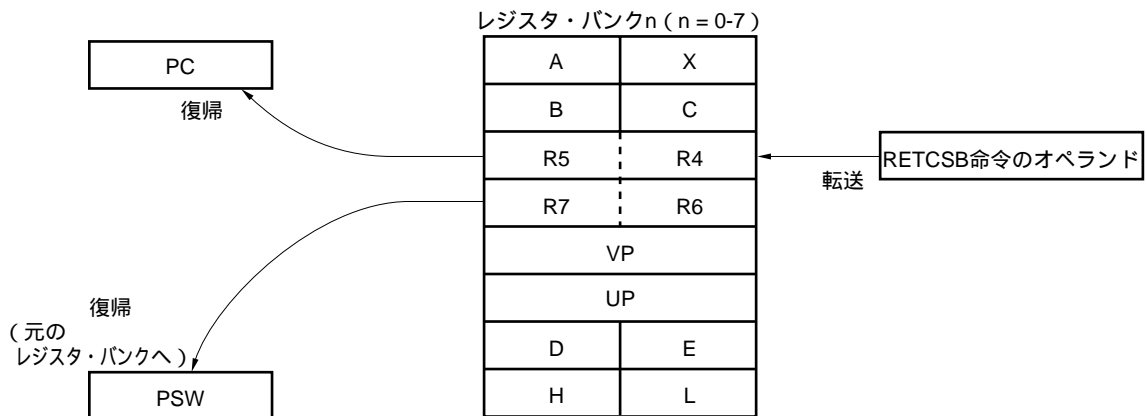
図13 - 15 RETCSB命令のフォーマット



注意 BRKCS命令の実行によりコンテキスト・スイッチング機能を起動した場合、RETCS命令の実行に伴いISPRレジスタのビットがリセット(0)されると、割り込みのネスティング制御を破壊することになります。

BRKCS命令により起動された処理から復帰する場合には、必ずRETCSB命令を使用してください。

図13 - 16 BRKCS命令によるソフトウェア割り込みからの復帰動作 (RETCSB命令の動作)



13.7 オペコード・トラップ割り込みの受け付け動作

オペコード・トラップ割り込みは、MOV STBC, #byte命令およびMOV WDM, #byte命令のオペランドの3バイト目の全ビットを反転させたデータが、オペランドの4バイト目と一致しなかった場合に発生します。オペコード・トラップ割り込みは禁止することができません。

オペコード・トラップ割り込みが発生すると、PSWとエラーを発生した命令の先頭アドレスをスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの値をPCにロードし、分岐します。

スタックに退避されるアドレスが、エラーの発生した命令の先頭アドレスとなっているので、単純にオペコード・トラップ割り込み処理ルーチンの最後でRETB命令を実行しただけでは、再度オペコード・トラップ割り込みが発生してしまいます。

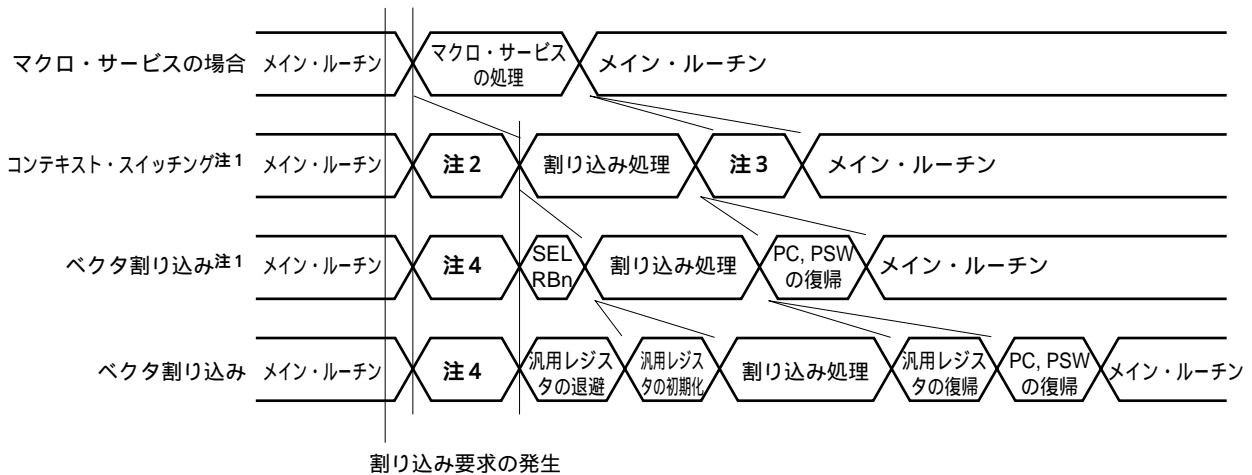
13.8 マクロ・サービス機能

13.8.1 マクロ・サービスの概要

マクロ・サービスは、割り込みの処理方法の1つです。通常の割り込みではプログラム・カウンタ(PC)やプログラム・ステータス・ワード(PSW)を退避し、PCへ割り込みサービス・プログラムの先頭アドレスをロードしますが、これらの処理の代わりに別の処理(主にデータ転送)を行います。したがって、割り込みの要求に対して高速に応答することができます。さらに、プログラムで行うより高速に転送処理が可能なので、処理時間も短縮することができます。

また、指定された回数の処理を行ったあと、ベクタ割り込みを発生しますので、ベクタ割り込みのプログラムが簡略化できるなどの効果もあります。

図13-17 ベクタ割り込みとマクロ・サービスの処理の違い



注1. レジスタ・バンク切り替えを使用した場合で、レジスタにはあらかじめ初期値が設定されているとき

2. コンテキスト・スイッチングによるレジスタ・バンクの切り替え, PC, PSWの退避
3. コンテキスト・スイッチングによるレジスタ・バンク, PC, PSWの復帰
4. PC, PSWをスタックへ退避, ベクタ・アドレスをPCへロード

表13 - 6 マクロ・サービスが使用可能な割り込み

デフォルト 優先順位	割り込み要求	割り込み発生要因	発生ユニット	マクロ・サービス・ コントロール・ ワード・アドレス
0	INTOV3	タイマ3のオーバフロー	RPU	FE06H
1	INTP0/INTCC30	INTP0端子入力 / CC30一致信号	外部 / RPU	FE08H
2	INTP1	INTP1端子入力	外部	FE0AH
3	INTP2	INTP2端子入力		FE0CH
4	INTP3/INTCC20	INTP3端子入力 / CC20一致信号	外部 / RPU	FE0EH
5	INTP4	INTP4端子入力	外部	FE10H
6	INTTM0	タイマ0のアンダフロー	RPU	FE12H
7	INTCM03	CM03一致信号		FE14H
8	INTCM10	CM10一致信号		FE16H
9	INTCM40	CM40一致信号		FE18H
10	INTCM41	CM41一致信号		FE1AH
11	INTSER	シリアル受信エラー発生	アシンクロナス・	FE1CH
12	INTSR	シリアル受信終了	シリアル・	FE1EH
13	INTST	シリアル送信終了	インタフェース	FE20H
14	INTCSI	シリアル送受信終了	クロック同期式シリアル・ インタフェース	FE22H
15	INTAD	A/D変換終了	A/Dコンバータ	FE24H

備考 デフォルト優先順位は、固定されている数値です。マクロ・サービス要求が、同時に発生した場合に優先される順位を示します。

マクロ・サービスの動作には、次に示す5種類のモードがあります。

(1) カウンタ・モード：EVCNT

割り込み要求の発生ごとに、マクロ・サービス・カウンタ(MSC)のインクリメント(+1)またはデクリメント(-1)を行い、MSCが00Hになるとベクタ割り込み要求を発生します。

割り込み要求の発生回数を分周する場合などに使用します。

(2) ブロック転送モード：BLKTRS

割り込み要求の発生ごとに、1バイトまたは1ワードのデータを、SFRポインタ(SFRP)で指定される特殊機能レジスタ(SFR)と、バッファとの間で行い、指定された回数のデータ転送を行うとベクタ割り込み要求を発生します。

転送の対象となるバッファは、FE00H-FEFFFHのメインRAMに限定されます。

指定の方法が簡単で、小容量の高速データ転送に使用します。

(3) ブロック転送モード(メモリ・ポインタ付き)：BLKTRS-P

ブロック転送モードと同様に、割り込み要求の発生ごとに、1バイトまたは1ワードのデータをSFRPで指定されるSFRと、バッファとの間で行い、指定された回数のデータ転送を行うとベクタ割り込み要求を発生します。

転送の対象となるバッファは、メモリ・ポインタ(MEM.PTR)で指定します(メモリは、64Kバイトの全空間)。

ブロック転送モードの汎用タイプで、転送量が多い場合に使用します。

(4) データ差分モード：DTADIF

割り込み要求の発生ごとに、SFRPで指定されるSFRのカレント値と、メモリに格納されている「直前の値」との差分をバッファに書き込み、このカレント値を「直前の値」とします。

指定された回数のデータ転送を行うとベクタ割り込み要求を発生します。

転送の対象となるバッファは、FE00H-FEFFFHのメインRAMに限定されます。

キャプチャ・レジスタによる入力パルスの周期、パルス幅測定などに使用します。

(5) データ差分モード(メモリ・ポインタ付き)：DTADIF-P

データ差分モードと同様に、割り込み要求の発生ごとに、SFRPで指定されるSFRのカレント値と、メモリに格納されている「直前の値」との差分をバッファに書き込み、このカレント値を「直前の値」とします。

指定された回数のデータ転送を行うとベクタ割り込み要求を発生します。

転送の対象となるバッファは、メモリ・ポインタ(MEM.PTR)で指定します(メモリは、64Kバイトの全空間)。

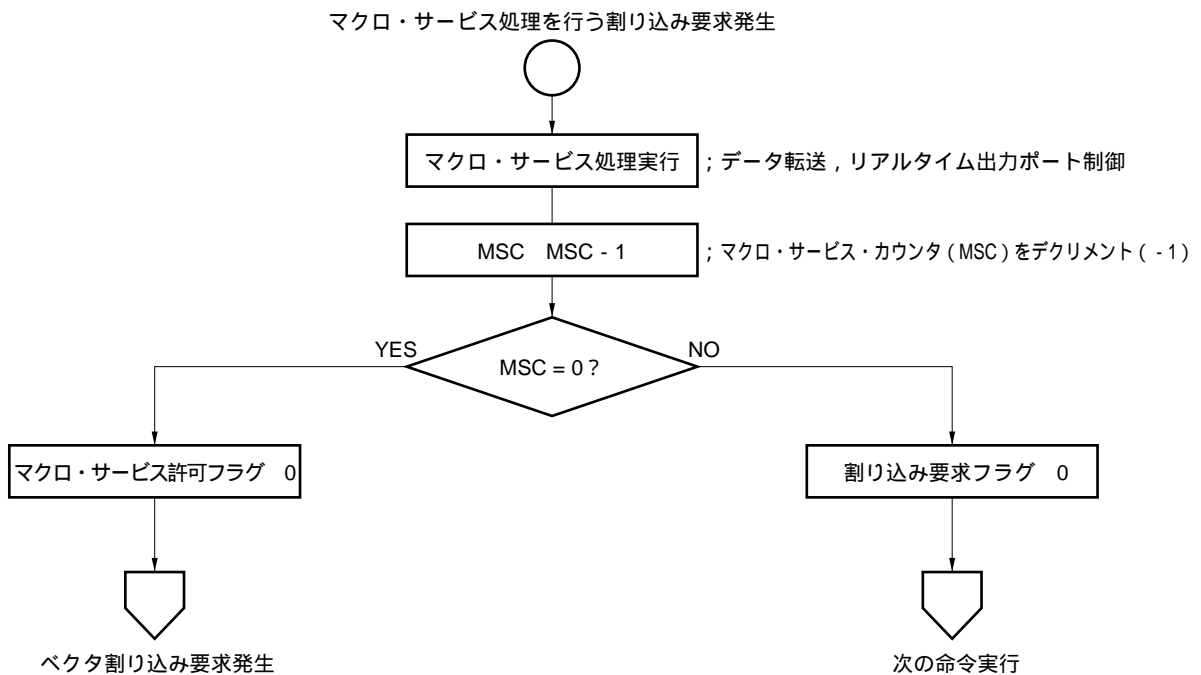
データ差分モードの汎用タイプで、データ量が多い場合に使用します。

13.8.2 マクロ・サービスの基本動作

マクロ・サービス機能は、割り込み要求によって、ハードウェア的に特殊機能レジスタ領域とメモリ空間の間でデータ転送を行う機能です。

マクロ・サービス要求が発生すると、CPUはプログラムの実行を一時停止し、特殊機能レジスタ（SFR）とメモリの間で1/2バイトのデータ転送を自動的に行います。データ転送が終了すると、割り込み要求フラグをリセット（0）し、再びCPUはプログラムの実行を開始します。さらに、マクロ・サービス・カウンタ（MSC）に設定した回数だけデータ転送を行ったのち、ベクタ割り込み要求が発生します。

図13 - 18 マクロ・サービス処理シーケンス例



マクロ・サービス機能による処理は、他の割り込み処理とは違い、割り込み処理プログラムを起動しないで自動的に行うので、割り込みサービス・ルーチンへの分岐、レジスタの退避/復帰、割り込みサービス・ルーチンからの復帰という一連の動作を行いません。したがって、CPUのサービス時間の向上とプログラム・ステップ数の縮小が可能です。

マクロ・サービス処理の実行中は、CPU内の汎用レジスタ、命令キューなど、マクロ・サービス処理の実行前の状態を保持しています。

マクロ・サービス処理を指定した割り込み要求は、プログラム・ステータス・ワード (PSW) のIEフラグの状態には影響されません。割り込み禁止状態や割り込み処理プログラムの実行中でもマクロ・サービス処理は実行できます。割り込みマスク・フラグ・レジスタ (MK0) の該当ビットをセット (1) したときのみ禁止されます。

複数のマクロ・サービス要求がある場合、サービスされる順序はデフォルト優先順位で決定されます。これらのマクロ・サービス要求がすべて処理されるまで、命令の実行は行いません。

μPD78366Aは、内蔵されているすべての割り込み要求に対して、マクロ・サービスをサポートしていません。

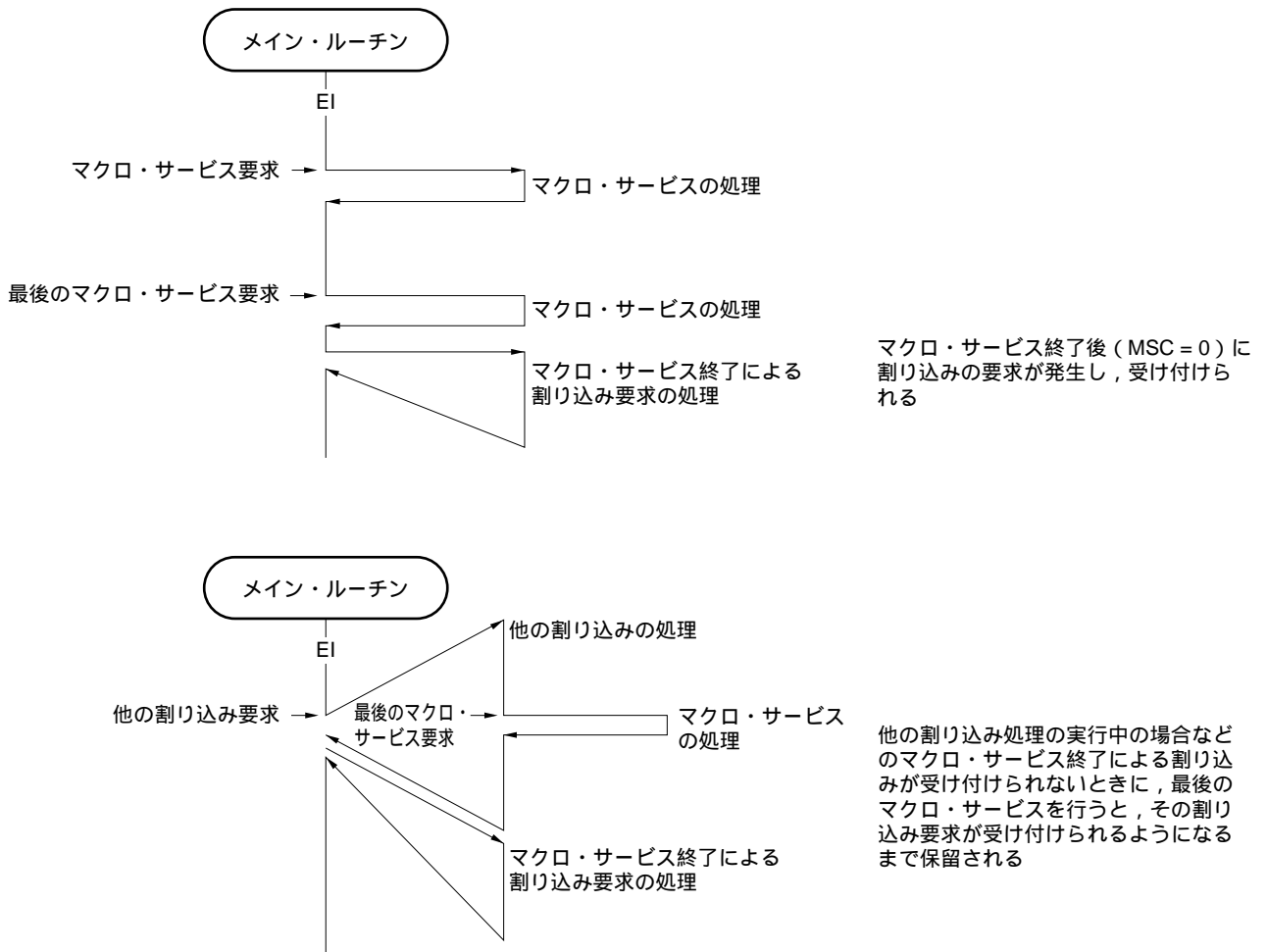
マクロ・サービス処理の基本は次の2通りの動作です。

- ・メモリから特殊機能レジスタ (SFR) へのデータ転送
- ・特殊機能レジスタ (SFR) からメモリへのデータ転送

13.8.3 マクロ・サービス終了時の動作

マクロ・サービスは、他のプログラムの実行中に指定された回数の処理を行います。指定された回数の処理を行うと（マクロ・サービス・カウンタ（MSC）が0になると）、マクロ・サービスは終了します。

図13 - 19 マクロ・サービス終了時の動作



注意 マクロ・サービスを使ってUARTでデータを送信した場合、ベクタ割り込み要求が2回発生します（9.8 マクロ・サービスを使ってデータを送信/受信する 参照）。

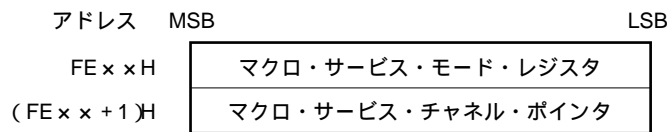
13.8.4 マクロ・サービス制御レジスタ

(1) マクロ・サービス・コントロール・ワード

マクロ・サービス・コントロール・ワードは、マクロ・サービス機能を制御するマクロ・サービス・モード・レジスタとマクロ・サービス・チャンネル・ポインタで構成されています。メインRAM領域内のFE06H-FE25Hのアドレス空間に配置されています(図13-21 参照)。

マクロ・サービス・コントロール・ワードの基本構成を図13-20に示します。

図13-20 マクロ・サービス・コントロール・ワードの基本構成



マクロ・サービス・モード・レジスタによってマクロ・サービス処理モードを設定し、マクロ・サービス・チャンネル・ポインタによってマクロ・サービス・チャンネルのアドレスを指定します。

マクロ・サービス処理を行うときは、前もってマクロ・サービス処理を指定できる割り込み要求に対応するマクロ・サービス・モード・レジスタとチャンネル・ポインタに値を設定しておく必要があります。

図13-21 マクロ・サービス・コントロール・ワードのフォーマット

アドレス		要因
FE06H	モード・レジスタ	} INTOV3
FE07H	チャンネル・ポインタ	
FE08H	モード・レジスタ	} INTP0/INTCC30
FE09H	チャンネル・ポインタ	
FE0AH	モード・レジスタ	} INTP1
FE0BH	チャンネル・ポインタ	
FE0CH	モード・レジスタ	} INTP2
FE0DH	チャンネル・ポインタ	
FE0EH	モード・レジスタ	} INTP3/INTCC20
FE0FH	チャンネル・ポインタ	
FE10H	モード・レジスタ	} INTP4
FE11H	チャンネル・ポインタ	
FE12H	モード・レジスタ	} INTTM0
FE13H	チャンネル・ポインタ	
FE14H	モード・レジスタ	} INTCM03
FE15H	チャンネル・ポインタ	
FE16H	モード・レジスタ	} INTCM10
FE17H	チャンネル・ポインタ	
FE18H	モード・レジスタ	} INTCM40
FE19H	チャンネル・ポインタ	
FE1AH	モード・レジスタ	} INTCM41
FE1BH	チャンネル・ポインタ	
FE1CH	モード・レジスタ	} INTSER
FE1DH	チャンネル・ポインタ	
FE1EH	モード・レジスタ	} INTSR
FE1FH	チャンネル・ポインタ	
FE20H	モード・レジスタ	} INTST
FE21H	チャンネル・ポインタ	
FE22H	モード・レジスタ	} INTCSI
FE23H	チャンネル・ポインタ	
FE24H	モード・レジスタ	} INTAD
FE25H	チャンネル・ポインタ	

(2) マクロ・サービス・モード・レジスタ

マクロ・サービス・モード・レジスタは、マクロ・サービスの動作を指定する8ビット・レジスタです。マクロ・サービス・コントロール・ワードの一部として、メインRAM領域にマッピングされています(図13-20 参照)。

13.8.5 マクロ・サービス・モード

マクロ・サービス・モード・レジスタの設定により、マクロ・サービスの動作を指定します。マクロ・サービス・モードは、マクロ・サービス・モード・レジスタの下位6ビットで規定され、グループ0、グループ1に分かれます。

- ・グループ0.....コントロール・ワードだけで、チャンネルのないタイプ
- ・グループ1.....コントロール・ワードとチャンネルのあるタイプ

なお、マクロ・サービス・モード・レジスタの上位2ビットはサブコマンドとして機能します（表13-7参照）。

13.8.6 マクロ・サービスの動作

マクロ・サービスの動作には、次に示す5種類のモードがあります。

表13-7 マクロ・サービス・モードの分類

グループ	マクロ・サービス・モード・レジスタ	機 能	
グループ0	CC000001	カウンタ・モード	EVTCNT
グループ1	CC010011	ブロック転送モード	BLKTRS
	CC010100	ブロック転送モード（メモリ・ポインタ付き）	BLKTRS-P
	10011001	データ差分モード	DTADIF
	10011010	データ差分モード（メモリ・ポインタ付き）	DTADIF-P

マクロ・サービス・モード・レジスタの最上位ビット（MSB）のCは、EVTCNTを除いて、取り扱うデータの長さを示します。

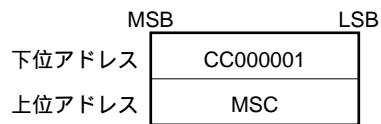
- ・C=0のとき：バイト・データ
- ・C=1のとき：ワード・データ

また、BLKTRS, BLKTRS-Pについてはすべてバイト・バッファで表現しています。ワード指定時はバイト・バッファをワード・バッファに読み替えてください。

注意 ワード・バッファは、必ず偶数アドレスに配置してください。

(1) カウンタ・モード：EVT CNT

[マクロ・サービス・コントロール・ワード]



[動作]

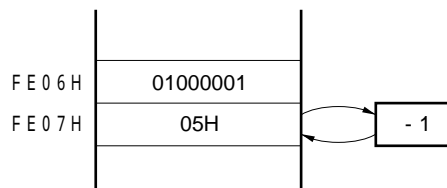
マクロ・サービスが発生するごとに、マクロ・サービス・カウンタ (MSC) をインクリメント (+1) またはデクリメント (-1) します。MSC が 00H になると (オーバーフロー), ベクタ割り込み要求が発生します。

表13-8 カウンタ・モードの動作指定

CC	動作
00	インクリメント
01	デクリメント
10	設定禁止
11	

このモードでは、マクロ・サービス機能は割り込み要求の発生回数を分周するカウンタとして機能します。

例 INT OV3 割り込み要求の発生回数をマクロ・サービスで 5 分周する。

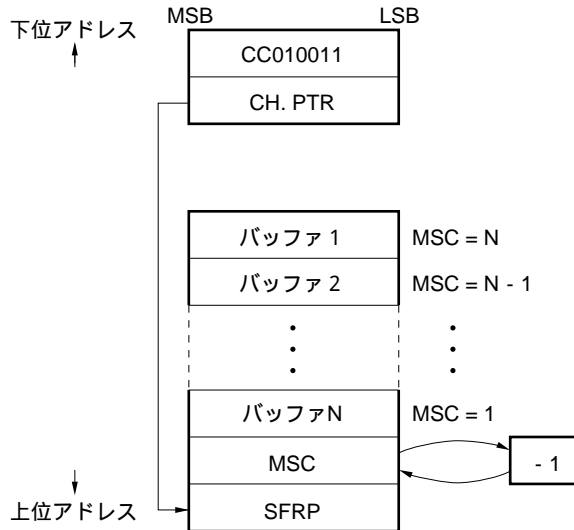


[用途]

イベント・カウンタ, キャプチャ回数の測定

(2) ブロック転送モード : BLKTRS

[マクロ・サービス・コントロール・ワード]



[動作]

チャンネル・ポインタ (CH.PTR) でSFRポインタ (SFRP) を指定します。チャンネル・ポインタ (CH.PTR) とマクロ・サービス・カウンタ (MSC) でバッファをアドレスします。

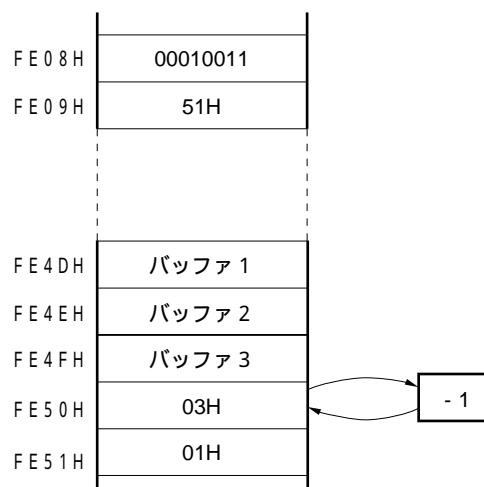
SFRPで指定されるSFRと、バッファの間でデータ転送を行います。データの転送はバッファ1から開始します。

転送が終了するごとに、MSCはデクリメント (-1) されます。MSC = 0 になると、ベクタ割り込み要求が発生します。

表13 - 9 ブロック転送モードの動作指定

CC	動作	転送データ	バッファ・アドレス
00	バッファ SFR	バイト	(CH.PTRの内容) - (MSCの内容) - 1
01	SFR バッファ		
10	バッファ SFR	ワード	(CH.PTRの内容) - (MSCの内容 × 2) - 1
11	SFR バッファ		

例 INTP0割り込み要求で、ポート1 (FF01H) の内容をバッファに転送する。



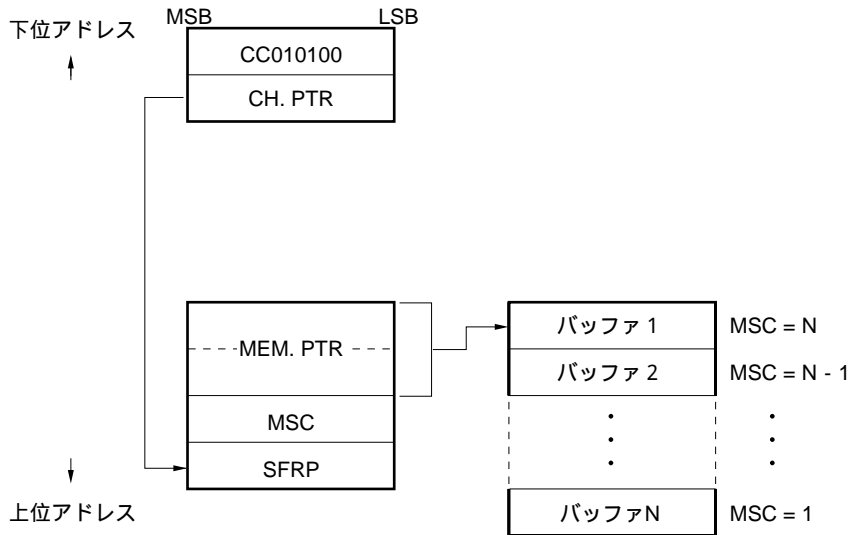
[用途]

シリアル・インタフェースでのデータ送受信などに使用します。

注意 ワード・バッファは偶数アドレスに配置してください。

(3) ブロック転送モード(メモリ・ポインタ付き) : BLKTRS-P

[マクロ・サービス・コントロール・ワード]



[動作]

チャンネル・ポインタ (CH.PTR) でSFRポインタ (SFRP) を指定します。そのSFRPで指定されるSFRとMEM.PTRでアドレスされるバッファとの間でデータ転送を行います。データの転送はバッファ1から開始します。

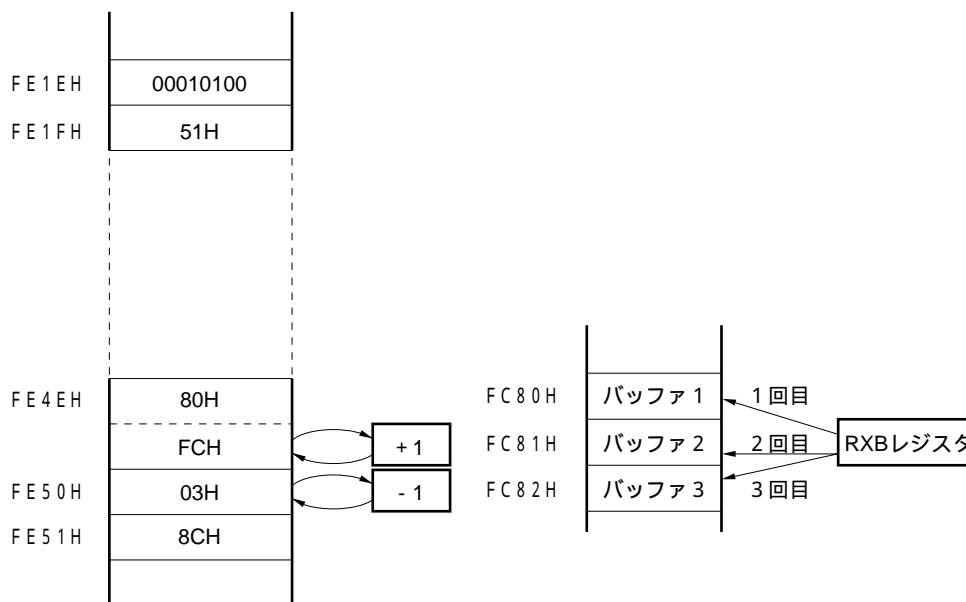
バイト・データの転送の終了後、MEM.PTRをインクリメント (+ 1) します。ワード・データの転送の終了後、MEM.PTRを + 2 します。

転送が終了するごとに、マクロ・サービス・カウンタ (MSC) はデクリメント (- 1) されま
す。MSC = 0 になると、ベクタ割り込み要求が発生します。

表13 - 10 ブロック転送モード(メモリ・ポインタ付き)の動作指定

CC	動作	転送データ
00	バッファ SFR	バイト
01	SFR バッファ	バイト
10	バッファ SFR	ワード
11	SFR バッファ	ワード

例 INTSR割り込み要求で、シリアル受信バッファRXB (FF8CH) の内容をバッファに転送する。



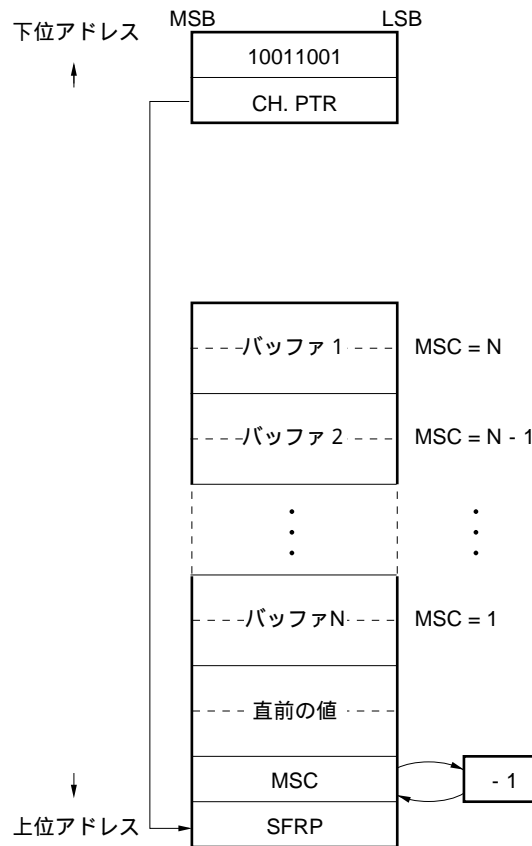
[用途]

シリアル・インタフェースでのデータ送受信などに使用します。

- 注意 1 . ワード・バッファは偶数アドレスに配置してください。
- 2 . MEM.PTRは偶数アドレスに配置してください。

(4) データ差分モード : DTADIF

[マクロ・サービス・コントロール・ワード]



[動作]

チャンネル・ポインタ (CH.PTR) でSFRポインタ (SFRP) を指定します。チャンネル・ポインタ (CH.PTR) とマクロ・サービス・カウンタ (MSC) でバッファをアドレスします。

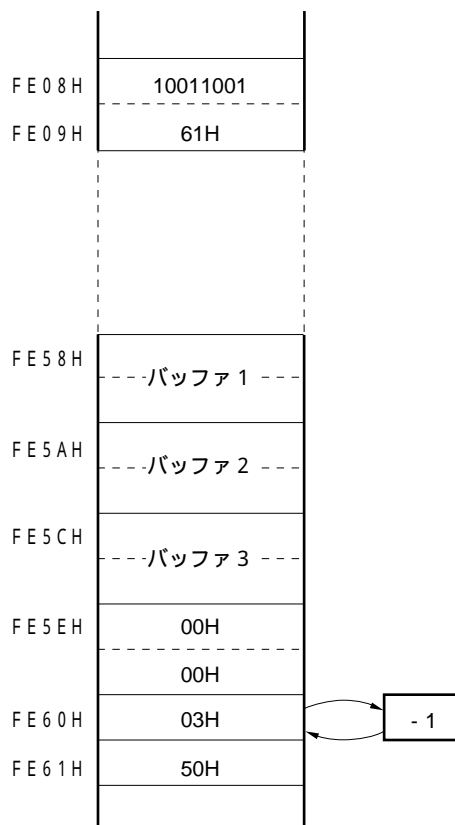
SFRPで指定されるSFR (特にキャプチャ・レジスタ) のカレント値と「直前の値」の差分をバッファに書き込みます。このSFRのカレント値を新たな「直前の値」とします。データの書き込みはバッファ 1 から開始します。

書き込みが行われるごとに、MSCはデクリメント (-1) されます。MSC = 0 になると、ベクタ割り込み要求が発生します。

バッファ・アドレスは、次のようになります。

$$(\text{バッファ・アドレス}) = (\text{CH.PTRの内容}) - (\text{MSCの内容} \times 2) - 3$$

例 INTP0入力信号をトリガとして、キャプチャ/コンペア・レジスタCC30 (FF50H) の差分をバッファに書き込みます。ベクタ割り込み処理ルーチン内で、差分によりINTP0入力信号の周期を計る。



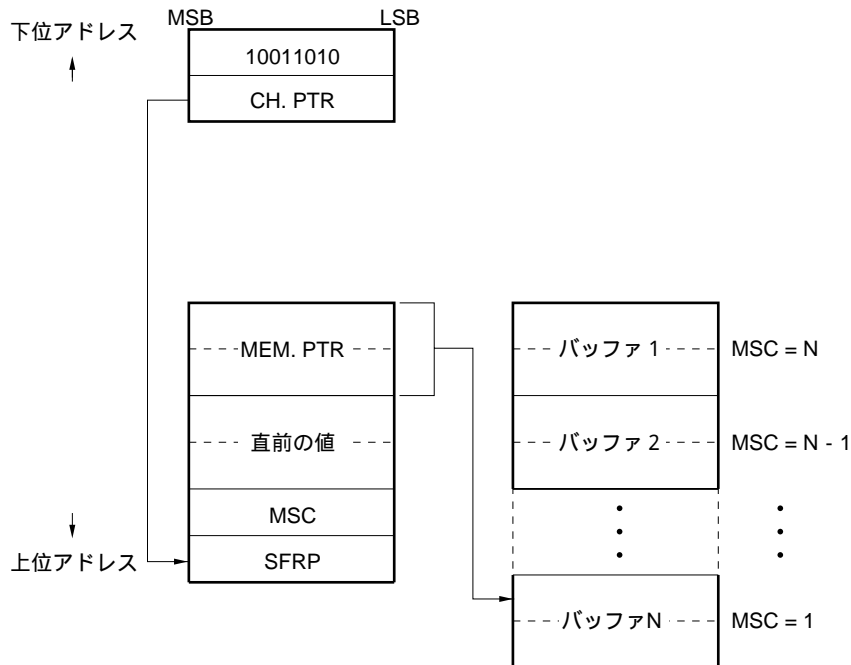
【用途】

キャプチャ・レジスタによる周期，パルス幅の測定。

- 注意 1 . MSCには00Hを設定しないでください。
- 2 . バッファは偶数アドレスに配置してください。
- 3 . 「直前の値」は，前もってイニシャライズ(ダミー・データ)してください。
- 4 . SFRPで指定できるSFRは16ビット構成のSFRのみです。

(5) データ差分モード (メモリ・ポインタ付き) : DTADIF-P

[マクロ・サービス・コントロール・ワード]



[動作]

チャンネル・ポインタ (CH.PTR) でSFRポインタ (SFRP) を指定します。MEM.PTRとマクロ・サービス・カウンタ (MSC) でバッファをアドレスします。

SFRPで指定されるSFR (特にキャプチャ・レジスタ) のカレント値と「直前の値」の差分をバッファに書き込みます。このSFRのカレント値を新たな「直前の値」とします。データの書き込みはバッファ 1 から開始します。

書き込みが行われるごとに、MSCはデクリメント (-1) されます。MSC = 0 になると、ベクタ割り込み要求が発生します。

MEM.PTRは変化しません。

バッファ・アドレスは、次のようになります。

$$(\text{バッファ・アドレス}) = (\text{MEM.PTRの内容}) - (\text{MSCの内容} \times 2) + 2$$

[用 途]

キャプチャ・レジスタによる周期，パルス幅の測定。

- 注意 1 . MSCには00Hを設定しないでください。
- 2 . バッファは偶数アドレスに配置してください。
 - 3 . MEM.PTRは偶数アドレスに配置してください。
 - 4 . 「直前の値」は，前もってイニシャライズ(ダミー・データ)してください。
 - 5 . SFRPで指定できるSFRは16ビット構成のSFRのみです。

13.9 割り込み要求およびマクロ・サービスが一時的に保留される場合

(1) 割り込み要求を受け付けない命令

次に示す命令を実行すると、割り込みの受け付けおよびマクロ・サービスの処理が一時的に保留されます。ただし、ソフトウェア割り込みは保留されません。

MOV1	PSWL.bit, CY	RETB	
MOV1	PSWH.bit, CY	RETI	
SET1	PSWL.bit	RETCS	!addr16
CLR1	PSWL.bit	RETCSB	!addr16
NOT1	PSWL.bit	POP	PSW
BFSET	PSWL.bit, \$addr16	POPU	post
BFSET	PSWH.bit, \$addr16	EI	
BTCLR	PSWL.bit, \$addr16	DI	
BTCLR	PSWH.bit, \$addr16		
BRK			
BRKCS	RBn		

(2) 割り込み要求を受け付けない場合がある命令

表13 - 11に示す命令は、おもに割り込み処理の各種制御レジスタ (INTCreg) に対し書き込みを行う命令です。これらの命令を実行すると、CPUの状態によっては、割り込みの受け付けおよびマクロ・サービスの処理が一時的に保留される場合があります。

備考 INTCreg : MK0H, MK0L, ISPR, IMCの各レジスタ, および割り込み制御レジスタ (OVIC3, PIC0-PIC4, TMIC0, CMIC03, CMIC10, CMIC40, CMIC41, SERIC, SRIC, STIC, CSIIC, ADIC)

表13 - 11 割り込み要求を受け付けない場合がある命令一覧

命令群	二モニック	オペランド	条件
8ビット・データ転送	MOV	INTCreg, # byte	
		INTCreg, A	
		mem, A	memをINTCregアドレスに設定した場合
		[saddrp], A	saddrpをINTCregアドレスに設定した場合
		! addr16, A	addr16をINTCregアドレスに設定した場合
		PSWL, # byte	
		PSWH, # byte	
		PSWL, A	
	PSWH, A		
XCH	A, mem	memをINTCregアドレスに設定した場合	
	A, [saddrp]	saddrpをINTCregアドレスに設定した場合	
16ビット・データ転送	MOVW	INTCreg, # word	
		INTCreg, AX	
		! INTCreg, rp1	
		mem, AX	memをINTCregアドレスに設定した場合
	XCHW	AX, INTCreg	
		AX, mem	memをINTCregアドレスに設定した場合
8ビット演算	ALU	INTCreg, # byte	ALU : ADD, ADDC, SUB, SUBC, AND, OR, XOR
		mem, A	memをINTCregアドレスに設定した場合 ALU : ADD, ADDC, SUB, SUBC, AND, OR, XOR
16ビット演算	ALUW	INTCreg, # word	ALUW : ADDW, SUBW
ビット操作	MOV1	INTCreg. bit, CY	
	BIT	INTCreg. bit	BIT : SET1, CLR1, NOT1
スタック操作	POP	INTCreg	
条件付き分岐	BTCLR	INTCreg. bit, \$addr16	
	BFSET	INTCreg. bit, \$addr16	
STRING	STRING	[DE +], A [DE -], A [DE +], [HL +] [DE -], [HL -]	デスティネーション (DEレジスタ) にINTCregアドレスを設定した場合 STRING : MOVW, MOVW, XCHW, XCHW, CMPME, CMPW, CMPW, CMPW, CMPW, CMPW, CMPW, CMPW, CMPW

注意 1 . 割り込み関連のレジスタをBTCLR命令などを使用してポーリングを行う場合、そのBTCLR命令などの分岐先は、その命令とならないようにしてください。その命令自身へ分岐するようなプログラムを記述すると、その命令で分岐しない条件が成立するまでの間すべての割り込みとマクロ・サービスが保留されてしまいます。

悪い例

⋮

LOOP : BTCLR PIC0.7, \$LOOP PIC0.7が1になるまですべての割り込みおよびマクロ・サービスが保留されてしまう。

× × ×

BTCLR命令の次の命令実行後に初めて割り込みおよびマクロ・サービスが処理される。

⋮

良い例(1)

⋮

LOOP : NOP
BTCLR PIC0.7, \$LOOP NOP命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。

⋮

良い例(2)

⋮

LOOP : BTCLR PIC0.7, \$NEXT
BR \$LOOP BR命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。

NEXT : ⋮

注意2 . また、同様の理由により、上記に該当する命令群を連続して使用する場合で、割り込みやマクロ・サービスが保留されている期間が長くなっては困る場合には、NOP命令などを途中に挿入して割り込みやマクロ・サービスが受け付けられるタイミングを作ってください。

13.10 割り込みおよびマクロ・サービスで一時的に実行が中断される命令

次に示す命令は、受け付け可能な割り込み要求およびマクロ・サービスの要求により、一時的にその命令の実行を中断し、割り込みおよびマクロ・サービスを受け付けます。中断された命令は、割り込み処理の終了後、またはマクロ・サービス処理の終了後に再開します。

<一時的に中断される命令>

MOVM, XCHM, MOVBK, XCHBK
CMPME, CMPMNE, CMPMC, CMPMNC
CMPBKE, CMPBKNE, CMPBKC, CMPBKNC
SACW

第14章 スタンバイ機能

14.1 構成と機能

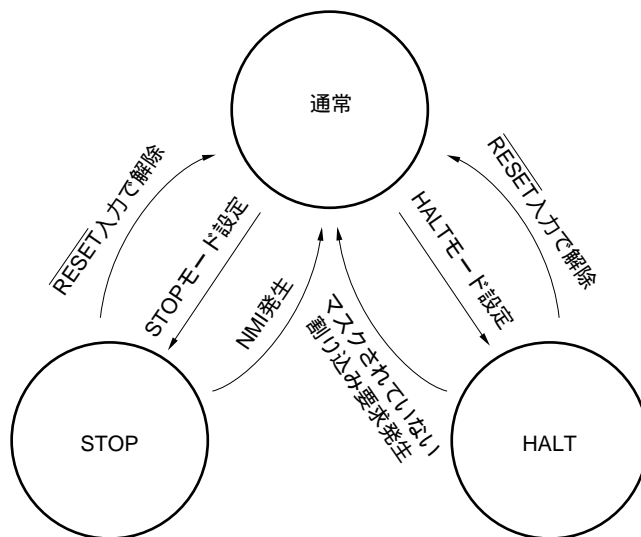
μPD78366Aには、システムの消費電力を低減させるスタンバイ機能があります。スタンバイ機能には次の2つのモードがあります。

- ・HALTモード.....CPUへの動作クロックの供給を停止させるモードです。通常動作モードとの組み合わせによる間欠動作により、システムのトータル消費電力を低下させることができます。
- ・STOPモード.....発振器そのものを停止させ、システム全体が停止するモードです。リーク電流だけの超低消費電力にできます。

各モードはソフトウェアによって設定します。

図14 - 1 にスタンバイ・モード (STOPモードまたはHALTモード) の遷移図を示します。

図14 - 1 スタンバイ状態の遷移図



14.2 スタンバイ・コントロール・レジスタ (STBC)

スタンバイ・コントロール・レジスタ (STBC) はスタンバイ・モードを制御する 8 ビット・レジスタです。

プログラムの暴走によって、STBCレジスタの内容が誤って書き換えられないように、専用命令によるみ書き込みができます。この専用命令はMOV STBC, #byte命令で、次のようになっています。

図14 - 2 STBCレジスタの書き込み命令

	B1	B2	B3	B4
MOV STBC, #byte	09H	C0H	data0	data1

この命令は、プログラムの暴走により応用システムが不用意に停止しないように、命令の最後の 2 バイトの値をチェックする機能があります。2 バイトのデータが、互いに補数である場合、($\overline{\text{data0}} = \text{data1}$) のみ STBCレジスタへの書き込みを行います。

また、データが互いに補数でない場合には書き込みが行われず、オペコード・トラップ割り込みが発生します。この場合、スタック領域に退避されるリターン・アドレスは、トラップの原因となった命令のアドレスです。したがって、トラップ・アドレスのチェックやRETB命令実行により、トラップの原因となった命令のアドレスから再びプログラムの実行ができます (13.1.4 オペコード・トラップ割り込み, 13.7 オペコード・トラップ割り込みの受け付け動作 参照)。

ただし、ハードウェア・エラーの場合など、オペコード・トラップの発生原因が取り除けていない状態では、RETB命令により無限ループとなります。

STBCレジスタのSBFビットは、STOPモードを $\overline{\text{RESET}}$ 入力で解除する際に使用する判定用のスタンバイ・フラグです。電源電圧 (V_{DD}) が 0 V から立ち上がったとき (パワーオン・リセット) のみリセット (0) され、ソフトウェアではリセットできません。また、 $\overline{\text{RESET}}$ 入力自体による影響を受けません。

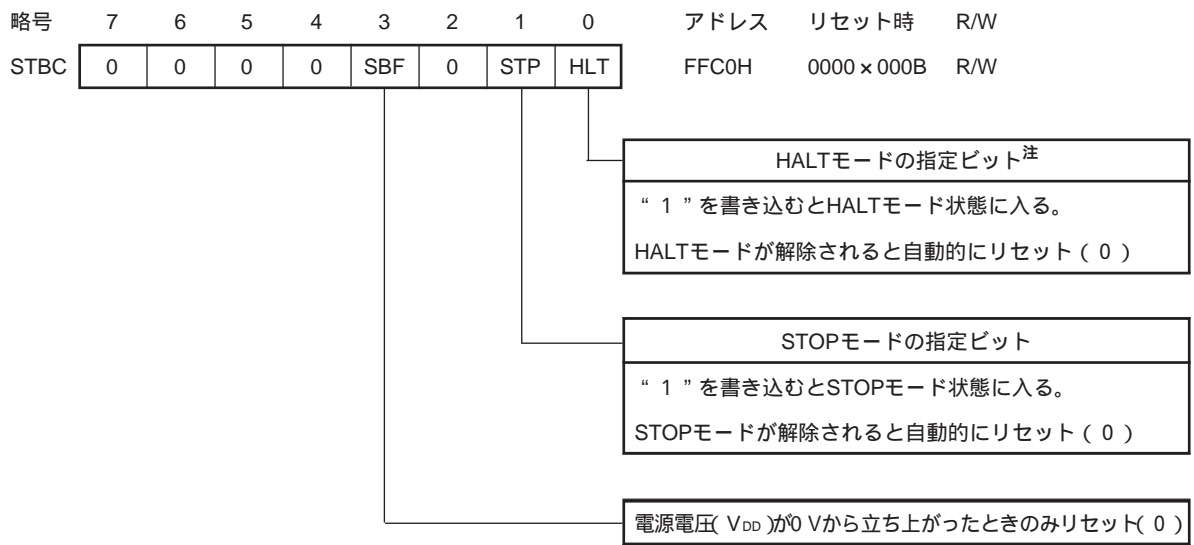
STBCレジスタの読み込みは、データ転送命令によりいつでもできます。

$\overline{\text{RESET}}$ 入力によりSTBCレジスタは0000 x 000Bになります。

図14 - 3 にSTBCレジスタのフォーマットを示します。

注意 SBFフラグを読み出したら、必ず“1”を書き込んでください。これによりパワーオン・リセットとSTOPモード、HALTモードの解除をソフトウェアで判別することができます。

図14 - 3 スタンバイ・コントロール・レジスタのフォーマット



注 マクロ・サービスの起動でHALTモードを解除する場合は、マクロ・サービスの終了後、ベクタ割り込み要求が発生した時点でリセット(0)されます。

注意 外部クロックを使用する場合、スタンバイ・コントロール・レジスタ(STBC)のSTPビットをセット(1)しないでください。

14.3 動作

14.3.1 HALTモード

(1) HALTモードの設定および動作状態

HALTモードは、CPUクロックを停止させるモードです。

CPUの空き時間にHLTモードに設定することにより、システム全体の消費電力を低減させることができます。STBCレジスタのHLTビットをセット(1)することで、HALT状態になります。

HALTモードではCPUクロックが停止し、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内部RAMの内容は保持されます。また、オンチップ周辺ハードウェアも動作します。HALTモード時の各ハードウェアの状態は、表14-1のようになります。

注意 割り込み要求フラグ(××IF)がセット(1)されていて、しかもマスクされていない(××MK=0)場合は、HALTモードには入りません。また、マクロ・サービス処理(××ISM=1)では、マクロ・サービス実行後、HALTモードに入ります。

表14-1 HALTモード時の動作状態

機 能		動 作 状 態
クロック発生回路		動 作
内部システム・クロック		
CPU		停 止
I/Oライン		保 持
オンチップ周辺ハードウェア		動 作
内部データ		CPUのステータス、データ、内部RAMの内容など、内部のデータはすべてHALTモードの設定前の状態を保持
外部デバイス拡張時	AD0-AD7	ハイ・インピーダンス
	A8-A15	
	ASTB	0
	\overline{RD}	1
	\overline{WR}	

(2) HALTモードの解除

HALTモードは、ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求、マスクされていないマクロ・サービス要求およびRESET入力により解除されます。

(a) 割り込み要求による解除

ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求およびマクロ・サービス要求により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のように動作が異なります(表14-2 参照)。

- (i) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求(ノンマスクابل割り込み要求を含む)が発生すると、HALTモードの解除とともに、この割り込み要求を受け付けます。ただし、割り込みモード・コントロール・レジスタ(IMC)のPRSLビットに“0”を設定した場合、最下位レベルのみ同一優先順位の割り込み要求を受け付けます。
- (ii) 現在処理中の割り込み要求と同一または優先順位の低い割り込み要求が発生すると、HALTモードの解除のみ行い、この割り込み要求は受け付けず、次の命令を実行します。割り込み要求そのものは保持します。

表14-2 割り込み処理中に発生した割り込みの受け付け状態

HALTモードに設定した割り込み処理ルーチンの優先順位	発生した割り込みの優先順位と受け付け状態	
	受け付け	保留
0	-	0-3
1	0	1-3
2	0, 1	2, 3
3	0-2, 3 (PRSL = 0)	3 (PRSL = 1)

表14 - 3 割り込み要求によるHALTモード解除後の動作

解除ソース	EI状態	DI状態
ノンマスクابل割り込み要求	ベクタ・アドレスに分岐	
マスクابل割り込み要求	ベクタ・アドレスに分岐 または次の命令を実行	次の命令を実行

表14 - 4 マクロ・サービス要求によるHALTモードの解除

マクロ・サービス終了後の ベクタ割り込み発生条件	HALTモードの解除	HALTモード解除後の動作	
		EI状態	DI状態
成立する	解除する	ベクタ・アドレスに分岐 または次の命令を実行 ^注	次の命令を実行
成立しない	再び, HALTモードに戻る	-	

注 HALTモードの設定をある割り込み処理ルーチン内で行い, その後新たに, より優先順位が高くマスクされていない割り込み要求が発生すると, ベクタ・アドレスに分岐します。

(b) $\overline{\text{RESET}}$ 入力による解除

通常のリセット動作と同じです。ただし, 内部RAMはHALTモードの設定前の値が保持されません。

14.3.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、発振器を停止させるモードです。

応用システム全体を停止させ超低消費電力を実現します。STBCレジスタのSTPビットをセット(1)することにより、STOP状態になります。

STOPモードでは、発振器の発振停止に伴い内部クロックの供給を停止します。同時に、発振器の発振安定時間を確保するため、ウォッチドッグ・タイマがハードウェアにより自動的にクリアされます。

プログラムの実行は停止しますが、その直前のすべてのレジスタ、内部RAMの内容は保持されます。STOPモード時の各ハードウェアの状態は、表14-5のようになります。

表14-5 STOPモード時の動作状態

機 能		動 作 状 態
クロック発生回路		停 止
内部システム・クロック		
CPU		
I/Oライン		保持 (V_{DD} の値が動作可能範囲内にあるとき)
オンチップ周辺ハードウェア		停 止
内部データ		CPUのステータス、データ、RAMの内容等、内部のデータはすべてSTOPモードの設定前の状態を保持 (V_{DD} の値が動作可能範囲内にあるとき ^注)
外部デバイス拡張時	AD0-AD7	ハイ・インピーダンス
	A8-A15	
	ASTB	0
	\overline{RD}	1
	\overline{WR}	

注 V_{DD} の値が動作可能最低電圧より下がった場合でも、データ保持電圧を維持すれば、内部RAMの内容だけは保持されます。

(2) STOPモードの解除

STOPモードは、NMI入力および $\overline{\text{RESET}}$ 入力により解除されます。

STOPモード解除後の動作は、STOPモードの解除要因および、STOPモードに設定したときの状態に依存します。

(a) NMI入力による解除

NMI入力に有効エッジが入力されると、発振器が発振を開始します。NMI入力が入力されたアクティブ・レベルの間、ウォッチドッグ・タイマはクリアされたままカウントを行いません。その後、NMI入力が入力がインアクティブ・レベルに戻るとウォッチドッグ・タイマはカウントを開始します。ウォッチドッグ・タイマのカウントがオーパフローすると、内部システム・クロックの供給を開始します。

したがって、 $\mu\text{PD78366A}$ は次の時間だけ、発振安定の時間としてウエイトします。

(NMI入力の有効エッジ検出後のアクティブ・レベル幅)

+

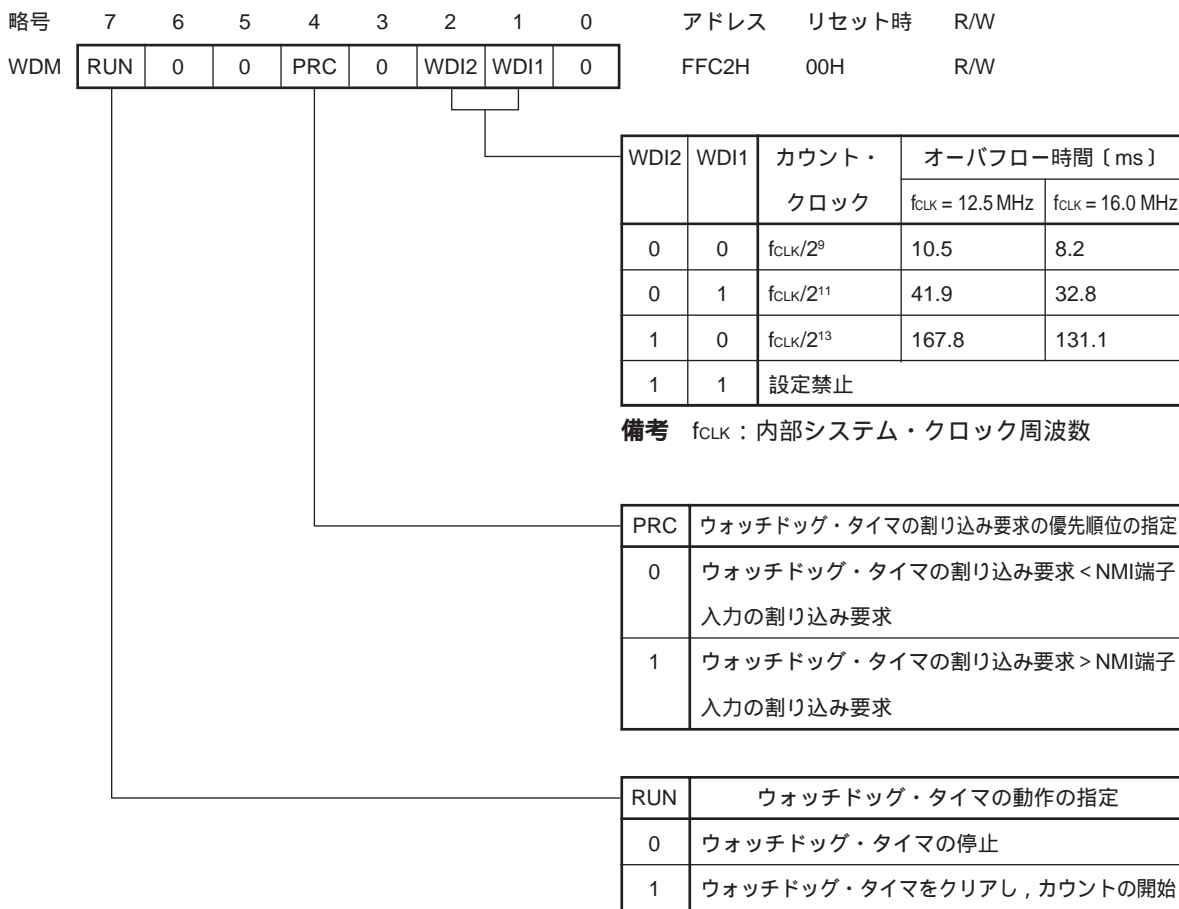
(ウォッチドッグ・タイマのオーパフロー時間)

なお、ウォッチドッグ・タイマのオーパフロー時間は、WDMレジスタにより指定します。

また、STOPモード解除後の動作は、STOPモードに設定したときの状態および、ウォッチドッグ・タイマ割り込み要求とNMI割り込み要求の優先順位により異なります。

ウォッチドッグ・タイマ割り込み要求とNMI割り込み要求の優先順位はWDMレジスタにより指定します(図14-4 参照)。

図14 - 4 ウォッチドッグ・タイマ・モード・レジスタのフォーマット



- 注意 1** . WDMレジスタは、専用命令 (MOV WDM, #byte) でのみ書き込み可能です。
- 2 . 割り込み要求の優先順位の設定は、スタック・ポインタの初期化などの応用システムの初期設定時に行うようにし、プログラムの実行中にダイナミックに変更しないでください。
 - 3 . RUNビットはいったんセット (1) すると、ソフトウェアではリセット (0) できません。
 - 4 . RUNビットのセット (1) によるウォッチドッグ・タイマのクリアにより、カウント・クロックのリセットは行いません。
 - 5 . PRC = 1の設定 (INTWDT > NMI) で、ウォッチドッグ・タイマ割り込みとNMI割り込みが同時に発生した場合、NMI割り込み処理ルーチンの最初の1命令を実行したあとにウォッチドッグ・タイマ割り込み処理ルーチンを実行します。
したがって、PRC = 1の設定で使用する場合、NMI割り込み処理ルーチンの最初の命令は、NOP命令としてください。
 - 6 . WDMレジスタのビット6, 5, 0は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。
 - 7 . WDMレジスタのビット3には、必ず“0”を書き込んでください。

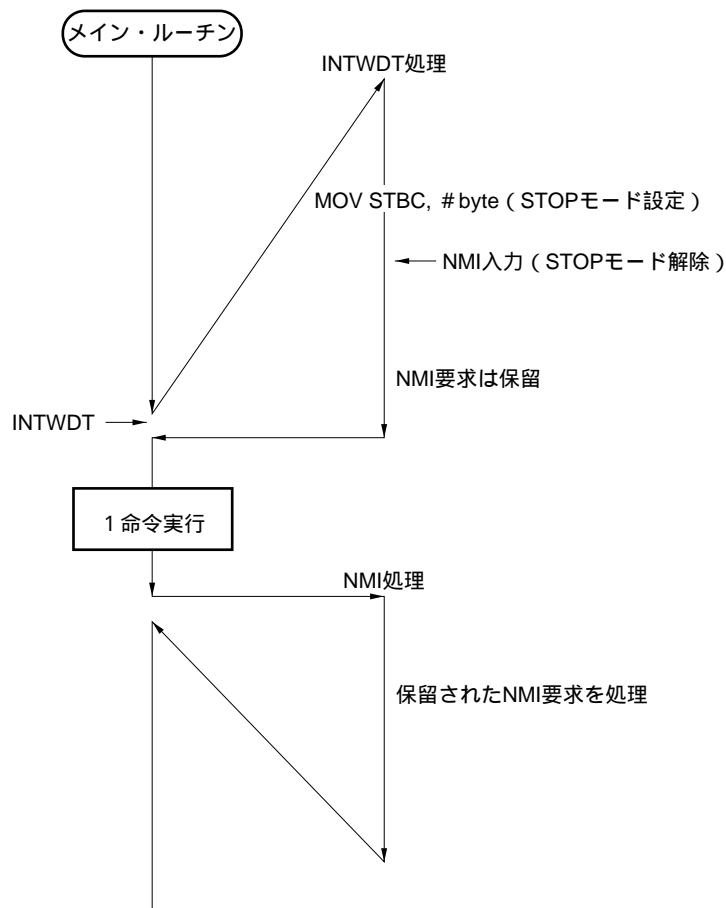
(i) ウォッチドッグ・タイマ割り込み処理ルーチン中でSTOPモードに設定した場合

優先順位がウォッチドッグ・タイマ割り込み要求 > NMI割り込み要求に設定されているとき (WDMレジスタのPRCビット = 1)

NMI入力によってSTOPモードを解除したあと、STOPモードに設定した命令の次の命令から実行を開始します (NMI割り込み要求は保留)。

ウォッチドッグ・タイマ割り込み処理ルーチンにおいてRETI命令を実行すると、ウォッチドッグ・タイマ割り込み処理ルーチンから復帰します。このあと、1命令を実行すると、NMI割り込み処理ルーチンに分岐します。

図14 - 5 STOPモード解除後の動作 (1)



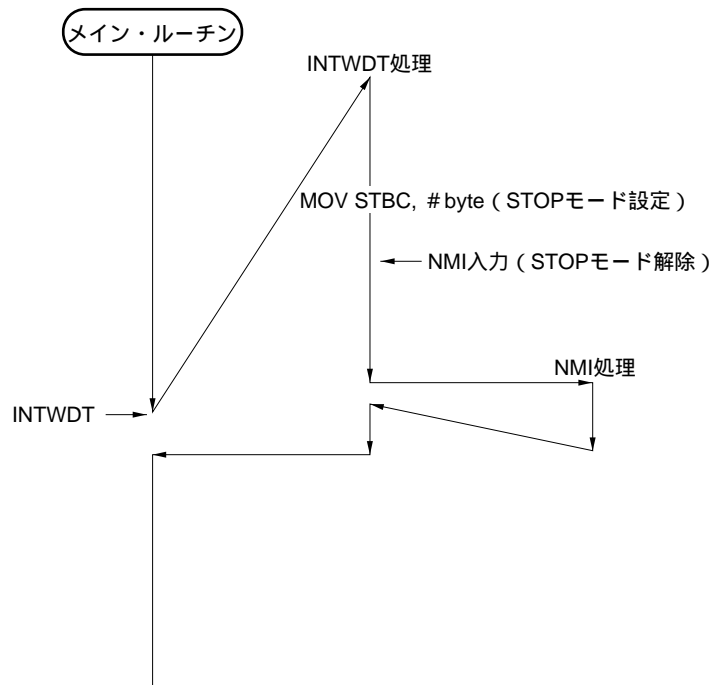
優先順位がウォッチドッグ・タイマ割り込み要求 < NMI割り込み要求に設定されているとき (WDMレジスタのPRCビット = 0)

NMI入力によってSTOPモードを解除したあと、すぐにNMI割り込み処理ルーチンに分岐します。

NMI割り込み処理ルーチンにおいてRETI命令を実行すると、ウォッチドッグ・タイマ割り込み処理ルーチン中のSTOPモードに設定した命令の次の命令に復帰します。

このあと、RETI命令を実行すると、ウォッチドッグ・タイマ割り込み処理ルーチンから復帰します。

図14 - 6 STOPモード解除後の動作 (2)



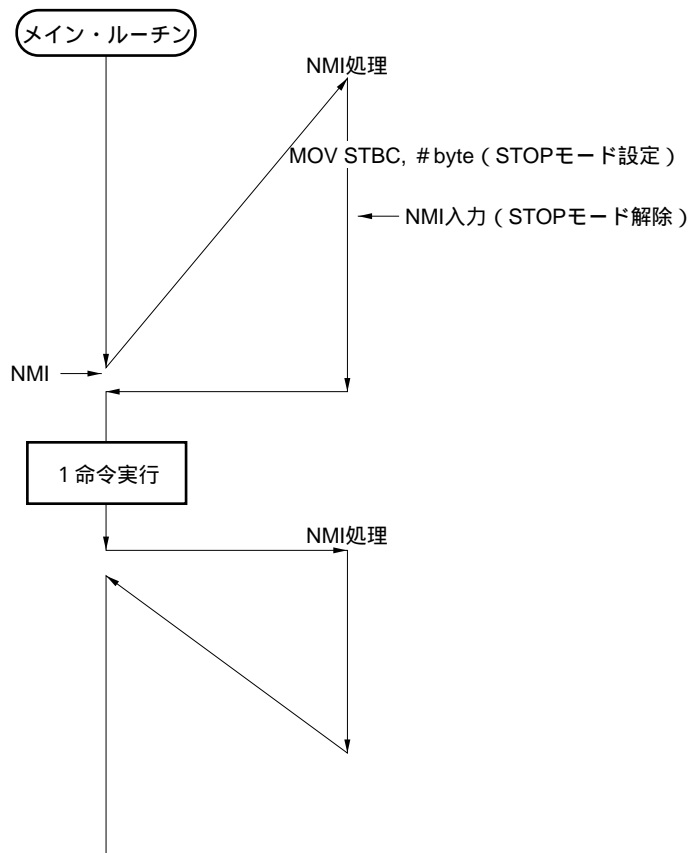
(ii) NMI割り込み処理ルーチン中でSTOPモードに設定した場合

NMI入力によってSTOPモードを解除したあと、STOPモードに設定した命令の次の命令から実行を開始します。

NMI割り込み処理ルーチンにおいてRETI命令を実行すると、NMI割り込み処理ルーチンから復帰します。

このあと、1命令を実行すると、再度NMI割り込み処理ルーチンに分岐します。

図14 - 7 STOPモード解除後の動作(3)



(iii) ノンマスカブル割り込み処理ルーチン以外でSTOPモードに設定した場合

NMI入力によってSTOPモードを解除したあと、すぐにNMI割り込み処理ルーチンに分岐します。

NMI割り込み処理ルーチンにおいてRETI命令を実行すると、STOPモードに設定した命令の次の命令に復帰します。

図14 - 8 STOPモード解除後の動作(4)

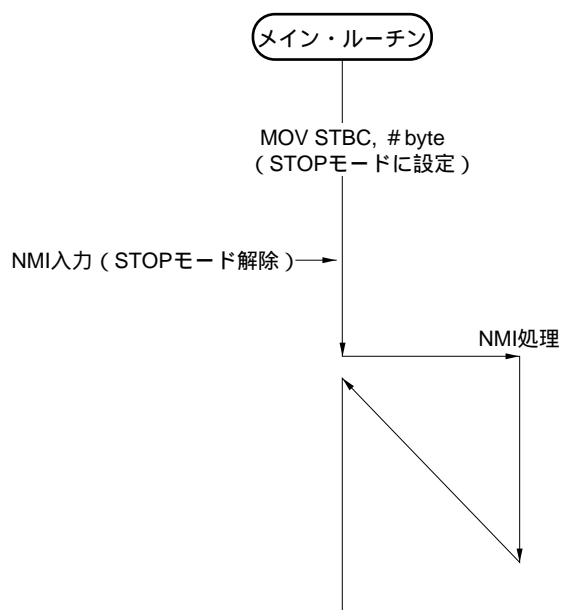


表14 - 6 STOPモードの解除と解除後の動作

解除ソース	STOPモード設定時の状態	PRC ^注	解除後の動作
RESET 入力	-	x	リセット・アドレスから動作を開始する。
NMI入力	INTWDTルーチン	1	MOV STBC, # byte命令の次の命令から実行を開始する（NMI割り込み要求は保留）。 STOPモードを設定したウォッチドッグ・タイマ割り込み処理終了後，NMI割り込み要求を受け付ける（図14 - 5 参照）。
		0	NMI割り込み要求を受け付ける（図14 - 6 参照）。
	NMIルーチン	x	MOV STBC, # byte命令の次の命令から実行を開始する（NMI割り込み要求は保留）。 STOPモードを設定したNMI割り込み処理終了後，再度NMI割り込み要求を受け付ける（図14 - 7 参照）。
	ノンマスカブル割り込みルーチン以外	x	NMI割り込み要求を受け付ける（図14 - 8 参照）。

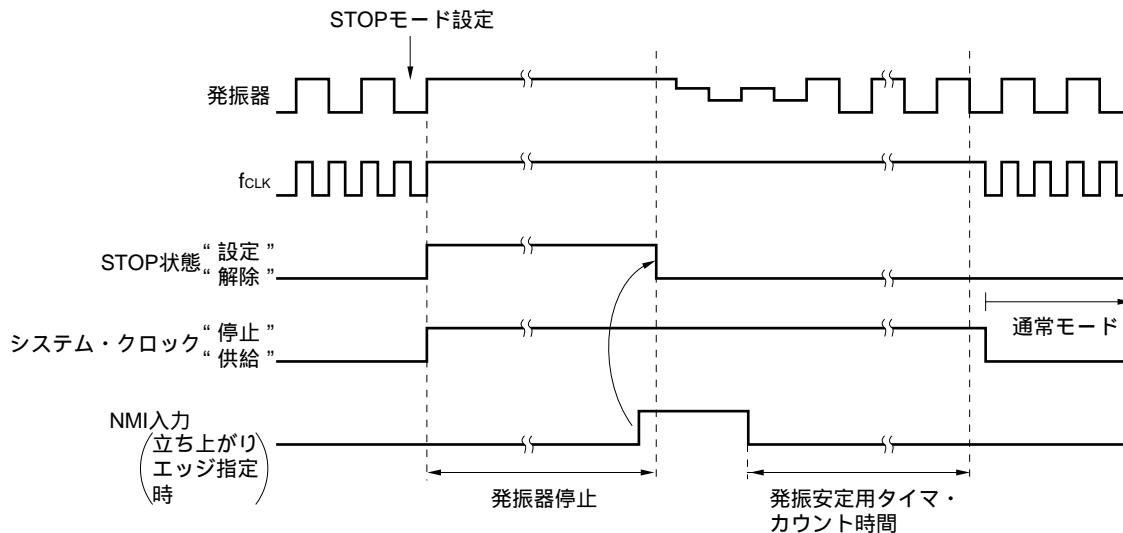
注 ウォッチドッグ・タイマ・モード・レジスタ（WDM）の中にある優先順位指定フラグ

PRC = 1...ウォッチドッグ・タイマ割り込み要求 > NMI割り込み要求

PRC = 0...ウォッチドッグ・タイマ割り込み要求 < NMI割り込み要求

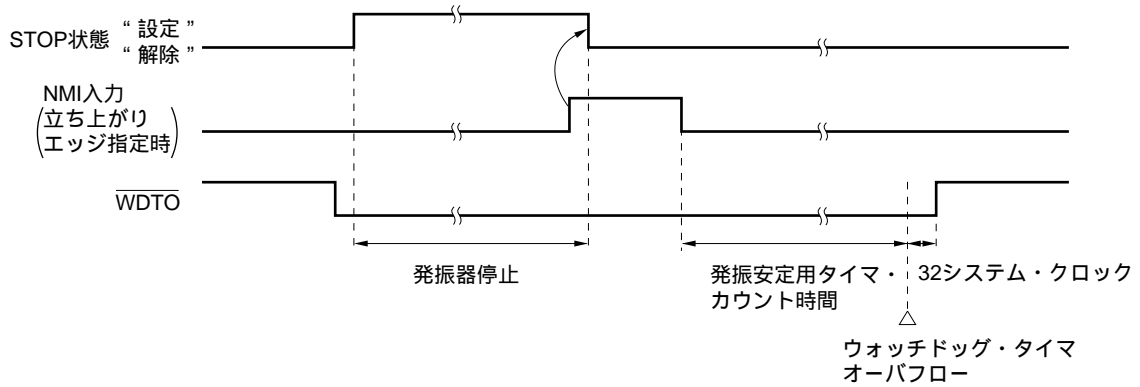
PRC = x ...don't care

図14 - 9 NMI入力によるSTOPモードの解除（1）



STOPモードに入る直前にINTWDTが発生し、 $\overline{\text{WDTO}}$ 端子がロウ・レベルの状態でSTOPモードに入った場合、NMI入力で解除すると、図14-10のようになります。

図14-10 NMI入力によるSTOPモードの解除(2)



(b) $\overline{\text{RESET}}$ 入力による解除

$\overline{\text{RESET}}$ 入力をハイ・レベルからロウ・レベルに下げ、リセット状態になると同時に発振器が発振を開始します。

$\overline{\text{RESET}}$ のアクティブ期間で発振安定時間を確保してください。その後、 $\overline{\text{RESET}}$ を立ち上げるとリセット・ベクタに格納されているアドレスから動作を開始します。

〔メ モ〕

第15章 リセット機能

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されると、システム・リセットがかかり各ハードウェアは表15 - 1に示すようになります。

$\overline{\text{RESET}}$ 入力がロウ・レベルからハイ・レベルになると、リセット状態が解除され、プログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。特に、プログラマブル・ウェイト・コントロール・レジスタ (PWC) は必要に応じてサイクル数を変更してください。リセット後は、このレジスタの初期値によりバス・サイクルは3ウェイト挿入、フェッチ・サイクル・モードは通常モードとなります (図16 - 7 プログラマブル・ウェイト・コントロール・レジスタのフォーマット 参照)。

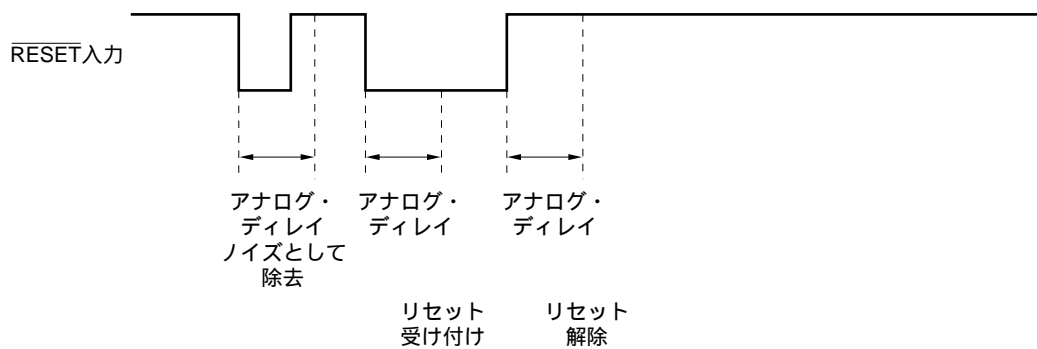
$\overline{\text{RESET}}$ 端子は、ノイズによる誤動作を防ぐため、アナログ・ディレイによるノイズ除去回路を内蔵しています。

注意 1 . $\overline{\text{RESET}}$ がアクティブの期間はほとんどの端子がハイ・インピーダンスになります ($\overline{\text{WDT0}}$,

AVREF , AVDD , AVSS , VDD , VSS , X1 , X2 端子を除く)。

- 2 . 外部にRAMを拡張しているときには、 $\text{P90}/\overline{\text{RD}}$, $\text{P91}/\overline{\text{WR}}$ 端子にプルアップ抵抗を付けてください。これらの端子がハイ・インピーダンスとなると、外部RAMの内容を破壊する可能性があります。また、アドレス/データ・バス上で信号の衝突が起き、入出力回路を破壊する可能性があります。

図15 - 1 リセット信号の受け付け



電源立ち上がり時のリセット動作では、図15 - 2のように電源の立ち上がりからリセット受け付けまで、発振安定時間を確保してください。

図15 - 2 電源立ち上がり時のリセット

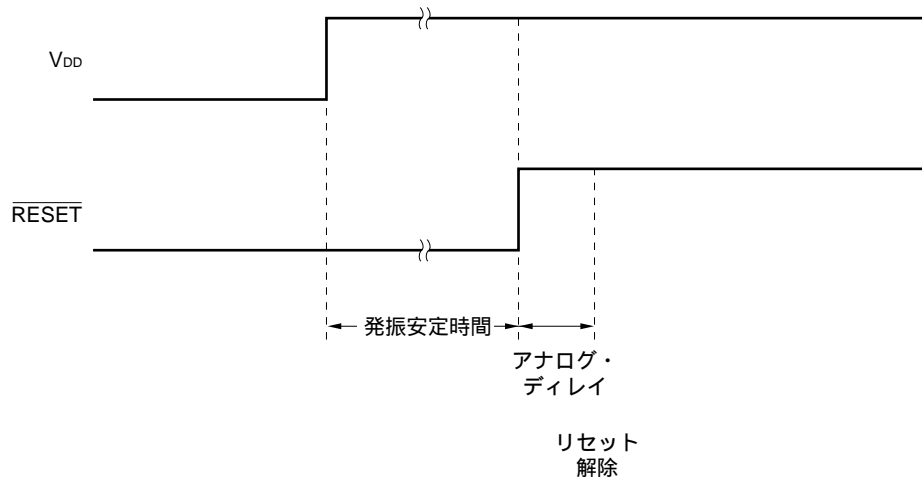


表15 - 1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態	
制御レジスタ	プログラム・カウンタ (PC)	リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる	
	スタック・ポインタ (SP)	不定 ^注	
	プログラム・ステータス・ワード (PSW)	0000H	
	CPUコントロール・ワード (CCW)	00H	
内部RAM	データ・メモリ	不定 ^注	
	汎用レジスタ (R0-R15)		
ポート	出力ラッチ (P0, P1, P3-P5, P8, P9)	不定	
	モード・レジスタ	(PM0, PM1, PM5)	FFH
		(PM3)	x 111 1111B
		(PM8)	x x 11 1111B
		(PM9)	x x x x 1111B
	モード・コントロール・レジスタ	(PMC0)	00H
		(PMC3)	x 000 0000B
		(PMC8)	x x 00 0000B
	ブルアップ抵抗オプション・レジスタ (PUOL, PUOH)	00H	
	ポート・リード・コントロール・レジスタ (PRDC)		
リアルタイム出力ポート (RTP)	リアルタイム出力ポート・レジスタ (RTP)	不定	
	リアルタイム出力ポート・モード・レジスタ (RTPM)	00H	
リアルタイム・パルス・ユニット (RPU)	タイマ・レジスタ (TM0-TM4)	00H	
	タイマ・ユニット・モード・レジスタ (TUM0, TUM1)		
	タイマ・コントロール・レジスタ (TMC0-TMC4)		
	コンペア・レジスタ (CM00-CM03, CM10, CM40, CM41)		
	キャプチャ・レジスタ (CT20, CT30, CT31)	不定	
	キャプチャ/コンペア・レジスタ (CC20, CC30)		
	リロード・レジスタ (DTIME)		
	バッファ・レジスタ (BFCM00-BFCM03, SBUF0-SBUF5, MBUF0-MBUF5)		
	タイマ・アウト・レジスタ (TOUT)		x x 01 0101B
	サンプリング・コントロール・レジスタ (SMPC0, SMPC1)		00H
A/Dコンバータ	A/Dコンバータ・モード・レジスタ (ADM)	00H	
	A/Dコンバージョン・リザルト・レジスタ (ADCR0-ADCR7, ADCR0H-ADCR7H)	不定	

注 STOPモードをRESET入力で解除した場合は、STOPモード設定前の値を保持しています。

表15 - 1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態	
シリアル・インタフェース	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)	80H	
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)	00H	
	クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM)		
	シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)		
	シリアルI/Oシフト・レジスタ (SIO)	不定	
	シリアル受信バッファ (RXB)		
	シリアル送信シフト・レジスタ (TXS)		
	ポー・レート・ジェネレータ・コンペア・レジスタ (BRG)		
	ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC)	00H	
PWM出力機能	PWMコントロール・レジスタ (PWMC0, PWMC1)	00H	
	PWMバッファ・レジスタ (PWM0, PWM0L, PWM1, PWM1L)	不定	
ウォッチドッグ・タイマ	ウォッチドッグ・タイマ・モード・レジスタ (WDM)	00H	
割り込み機能	外部割り込みモード・レジスタ (INTM0, INTM1)	00H	
	割り込みモード・コントロール・レジスタ (IMC)	80H	
	割り込みマスク・フラグ・レジスタ (MK0L, MK0H)	(MK0)	FFFH
			FFFFH
	割り込み制御レジスタ (OVIC3, PIC0-PIC4, TMIC0, CMIC03, CMIC10, CMIC40, CMIC41, SERIC, SRIC, STIC, CSIIC, ADIC)	43H	
インサービス・プライオリティ・レジスタ (ISPR)	00H		
外部拡張機能	メモリ拡張モード・レジスタ (MM)	注	
	プログラマブル・ウエイト・コントロール・レジスタ (PWC)	C0AAH	
CPU制御	スタンバイ・コントロール・レジスタ (STBC)	0000 x 000B	

注 MMレジスタは、製品によりリセット後の状態が異なります。

μ PD78363A...60H

μ PD78365A, 78366A...20H

μ PD78368A, 78P368A ...00H

第16章 バス・インタフェース機能

バス・インタフェース機能は、外部にメモリ（ROM, RAM）およびI/Oを接続するための機能です。

16.1 μPD78366Aの外部デバイス拡張機能

μPD78366Aの外部メモリの領域（8000H-F6FFH番地）^注に外部デバイス（データ・メモリ、プログラム・メモリ、周辺デバイス）を接続できます。

外部デバイスの接続時には、メモリ拡張モード・レジスタ（MM）の設定により、ポート4（P40-P47）をマルチプレクスト・アドレス/データ・バス（AD0-AD7）、ポート5（P50-P57）をアドレス・バス（A8-A15）として使用します。さらに、 \overline{RD} 、 \overline{WR} 、ASTB信号を用いて、外部デバイスにアクセスします。

外部デバイス・アクセス時に使用する端子と端子機能の設定方法を表16 - 1 に示します。

注 μPD78363A : 6000H-FBFFH番地

μPD78368A, 78P368A : C000H-F6FFH番地

表16 - 1 端子機能の設定（μPD78366A）

メモリ拡張モード・レジスタ	端子機能			
MM0-MM2	P40-P47	P50-P57	P90	P91
ポート・モード	汎用ポート			
拡張モード	AD0-AD7	段階的に A8-A15に設定	\overline{RD}	\overline{WR}

ポート5は、外部に拡張するメモリの大きさに応じて、アドレス・バスとして使用する端子数を変更することが可能で、段階的にメモリを拡張できます。アドレス・バスとして使用しない端子は、汎用の入出力ポートとして使用できません（表16 - 2 参照）。

表16 - 2 ポート5の動作（拡張モード時）

P50	P51	P52	P53	P54	P55	P56	P57	外部アドレス空間
汎用入出力ポート								256バイト以内
A8	A9	A10	A11					4 Kバイト以内
				A12	A13			16 Kバイト以内
						A14	A15	フル拡張モード ^注

注 μPD78363Aの場合は32 Kバイト以内

256バイト/4 Kバイト/16 Kバイト拡張モードで外部デバイスの参照命令を実行すると、次のように動作します。また、拡張時のメモリ・マップを図16 - 1 ~ 図16 - 4 に示します。

(1) 256バイト拡張モード

外部参照アドレスの16ビットのうち上位8ビットをマスクし、アドレス情報としてAD0-AD7端子から00H-FFHを出力します。

(2) 4 Kバイト拡張モード

外部参照アドレスの16ビットのうち上位4ビットをマスクし、アドレス情報としてA8-A11, AD0-AD7端子から000H-FFFHを出力します。

(3) 16 Kバイト拡張モード

外部参照アドレスの16ビットのうち上位2ビットをマスクし、アドレス情報としてA8-A13, AD0-AD7端子から0000H-3FFFHを出力します。

以上のように、256バイト/4 Kバイト/16 Kバイト拡張モードでは、16ビット・アドレスの上位8/4/2ビットがそれぞれマスクされます。

外部拡張は、基本的に内部ROMの次のアドレスから内部RAMの前のアドレスまでの領域で行います。ただし、 μ PD78363A (内部ROM24 Kバイト) を16 Kバイト拡張モードに設定した場合、プログラム・カウンタ(PC)と実際にA13-A8, AD7-AD0端子から出力されるアドレスが次のように異なりますので、注意してください。

PC	A13-A8, AD7-AD0
6000H	2000H
⋮	⋮
7FFFH	3FFFH
8000H	0000H
⋮	⋮
9FFFH	1FFFH

外部ROMのアドレスを連続したアドレスとして使用したい場合には、外部ROM領域を4000H-7FFFH番地に設定してください。この場合、内部ROMと外部ROMが連続したアドレスではありませんので、お互いの領域にプログラムを移すには、ジャンプ命令を用いる必要があります。また、外部ROM領域を8000H-BFFFH番地に設定しても同様です。

図16 - 2 拡張モード時のメモリ・マップ (μPD78366A)

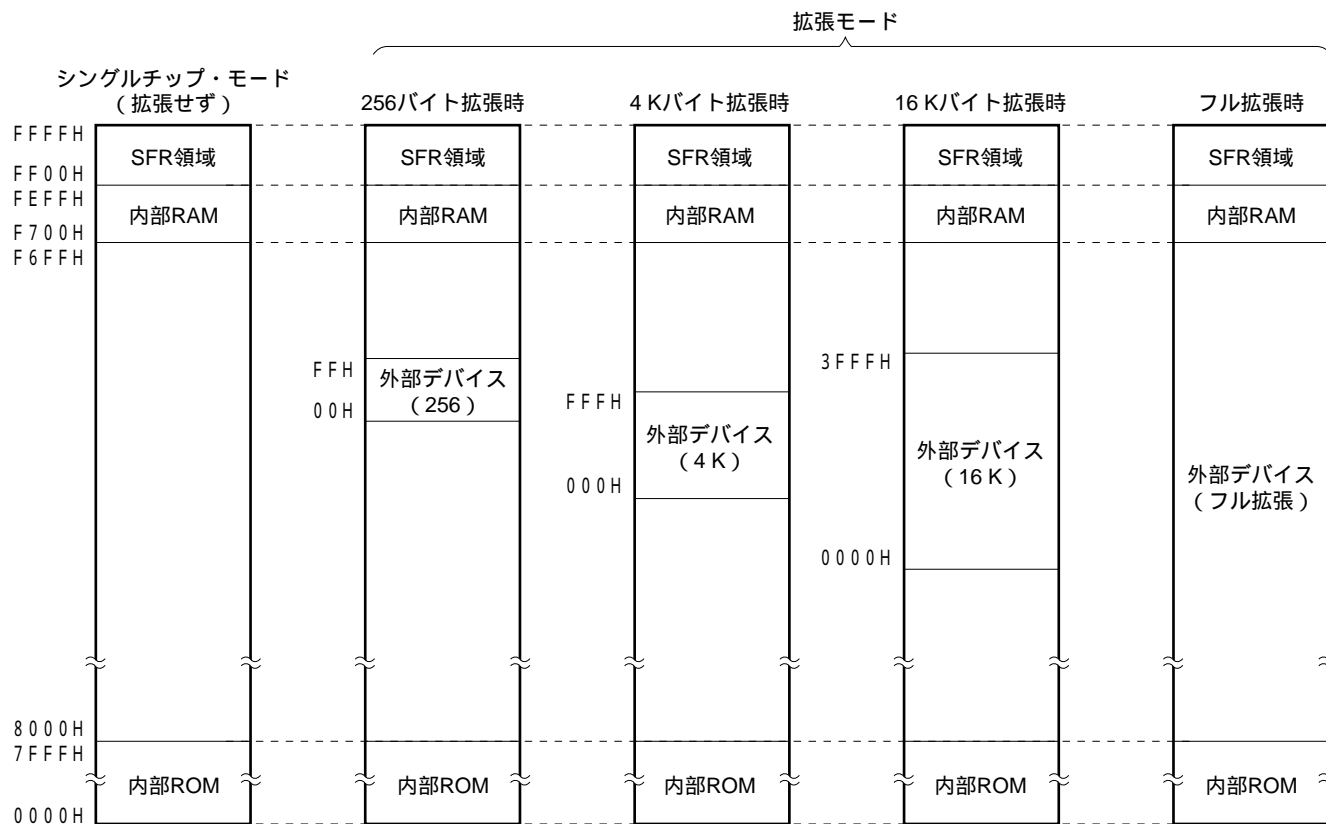


図16-3 拡張モード時のメモリ・マップ (μPD78363A)

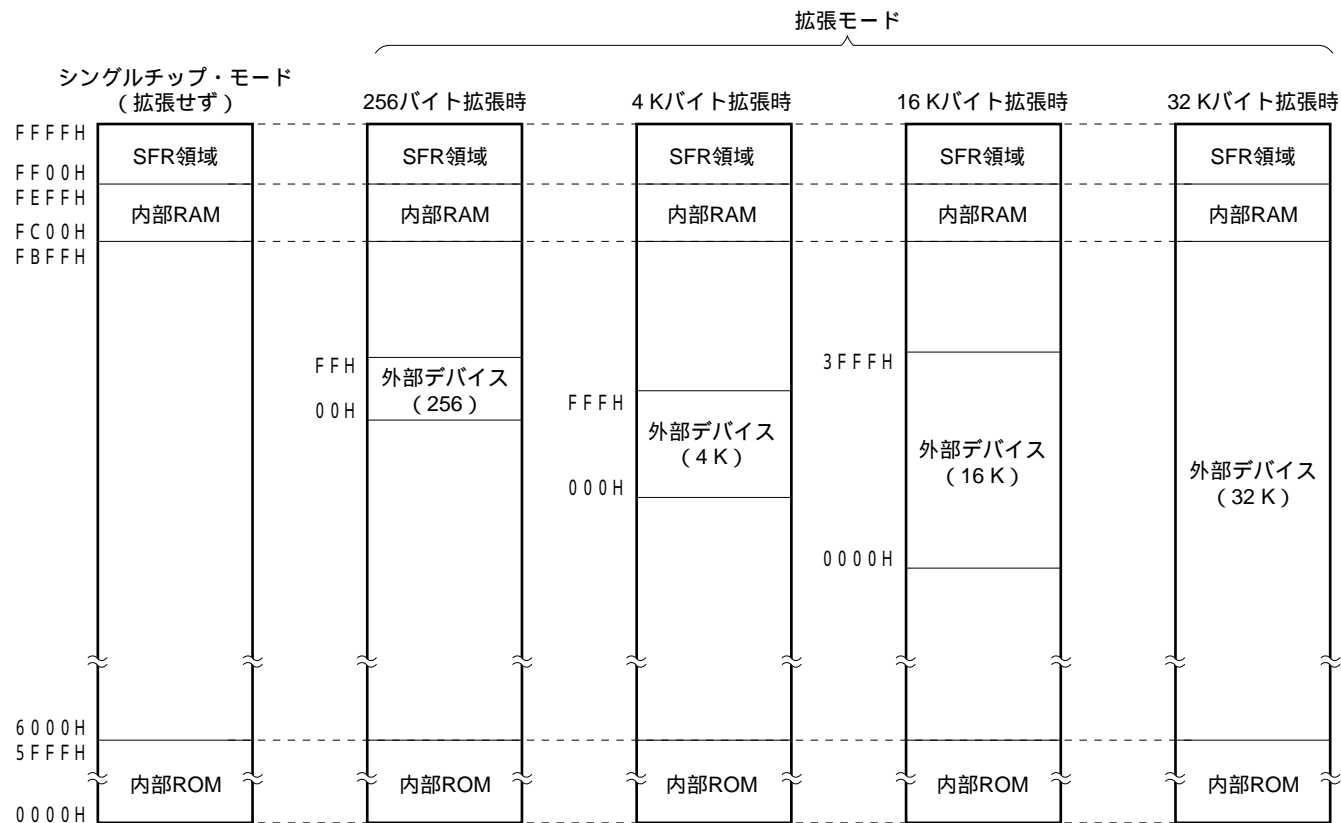
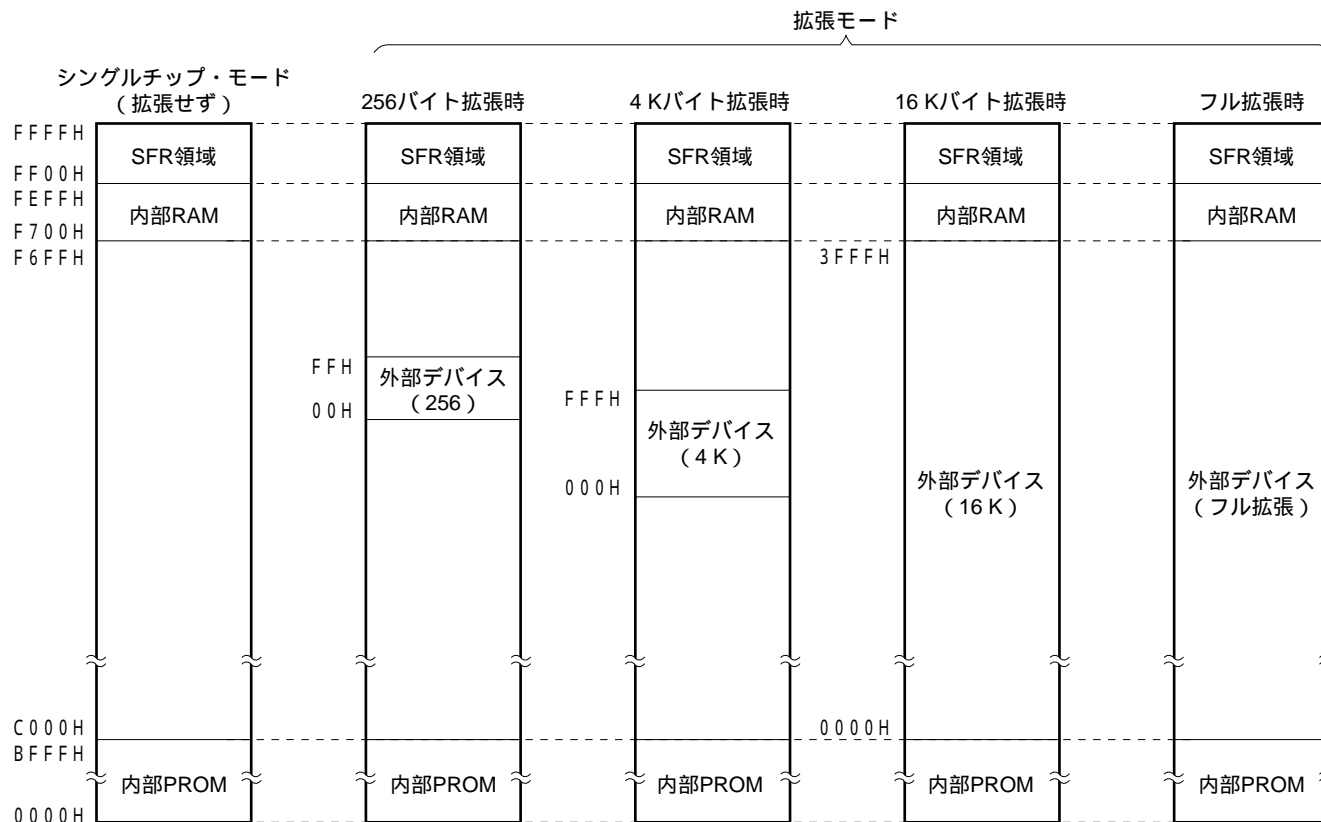


図16 - 4 拡張モード時のメモリ・マップ (μPD78P368A)



注意 μPD78P368Aは、メモリ拡張モード・レジスタ (MM) の設定により、内部メモリ (ROM, RAM) 容量を変更することができます (図16 - 5 メモリ拡張モード・レジスタのフォーマット 参照)。

16.2 μ PD78365Aの外部デバイス・アクセス

μ PD78365AはROMを内蔵していませんので、内部RAM以外の領域（0000H-F6FFH番地）に外部デバイス（データ・メモリ，プログラム・メモリ，周辺デバイス）を拡張できます。

外部デバイスの接続時には，ポート4（P40-P47）をマルチプレクスト・アドレス/データ・バス（AD0-AD7），ポート5（P50-P57）をアドレス・バス（A8-A15）として使用します。さらに \overline{RD} ， \overline{WR} ，ASTB信号を用いて，外部デバイスにアクセスします。

MODE0，MODE1端子は，ともにハイ・レベルに固定してください。

μ PD78365Aでは，メモリ拡張モード・レジスタ（MM）のMM0-MM2ビットによる指定は無効になり，ポート4，ポート5は常にAD0-AD7端子，A8-A15端子として機能します。

μ PD78366Aのようにメモリの大きさを段階的に拡張する機能はありません。

外部デバイス・アクセス時に使用する端子と端子機能の設定方法を表16 - 3に示します。

表16 - 3 端子機能の設定（ μ PD78365A）

MODE0	MODE1	端子機能			
		P40-P47	P50-P57	P90	P91
H	H	AD0-AD7	A8-A15	\overline{RD}	\overline{WR}

図16 - 5 μ PD78365Aのメモリ・マップ



16.3 制御レジスタ

16.3.1 メモリ拡張モード・レジスタ

メモリ拡張モード・レジスタ (MM) は、メモリまたはI/Oを外部に拡張するときのアドレス・バス、アドレス/データ・バスおよび \overline{RD} 、 \overline{WR} 信号などを制御する 8 ビット・レジスタです。

MM0-MM2ビットは、MODE0, 1 = LLのときのみ有効で、ポート4、ポート5の端子機能の指定を行います。

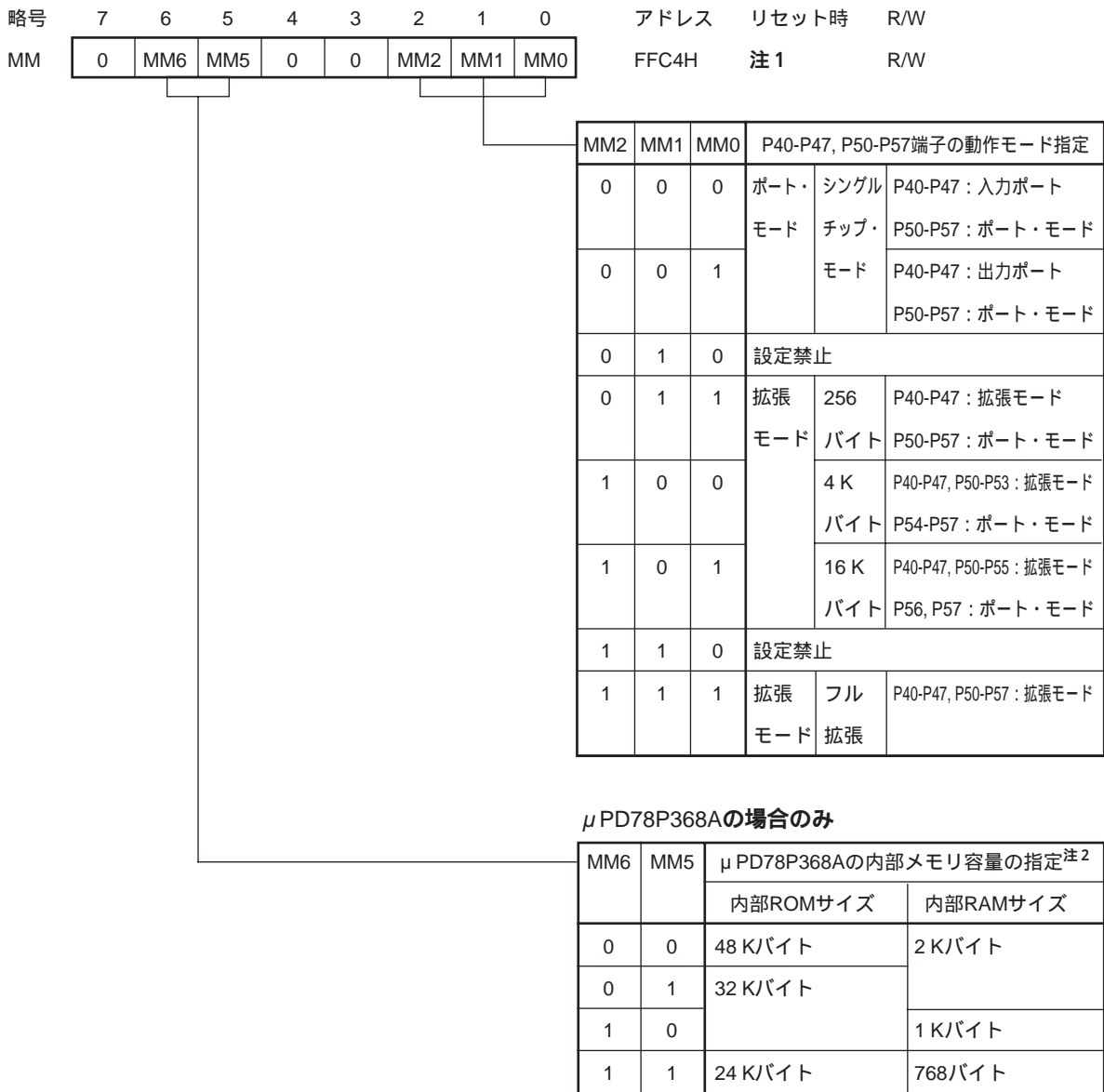
MM0-MM2ビットで拡張モードを指定すると、P90, P91端子は自動的にそれぞれ \overline{RD} 、 \overline{WR} 端子として機能します。

\overline{RESET} 入力後のMMレジスタ値は、次のように製品により異なります。

- ・ μ PD78363A...60H
- ・ μ PD78365A, 78366A...20H
- ・ μ PD78368A, 78P368A ...00H

図16 - 6 にMMレジスタのフォーマットを示します。

図16 - 6 メモリ拡張モード・レジスタのフォーマット



注1 . MMレジスタは、製品によりリセット時の値が異なります。

- μPD78363A...60H
- μPD78365A, 78366A...20H
- μPD78368A, 78P368A...00H

2 . μPD78P368Aの内部メモリの容量を切り替える機能です。なお、μPD78363A, 78365A, 78366A, 78368Aでは、リセット時の状態に固定されています。

注意1 . MMレジスタのビット3, 4, 7は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。

2 . 上図で「設定禁止」と書いてあるコードの組み合わせは、絶対に書き込まないでください。

16.3.2 プログラマブル・ウェイト・コントロール・レジスタ

プログラマブル・ウェイト・コントロール・レジスタ (PWC) は、 μ PD78366Aが発生するバス・サイクル (内部^注 / 外部メモリ・アクセス) に対して、プログラマブルにウェイト制御を行うための16ビット・レジスタです。このレジスタにより、外部にスピードの遅いメモリ、周辺デバイスを接続することができます。

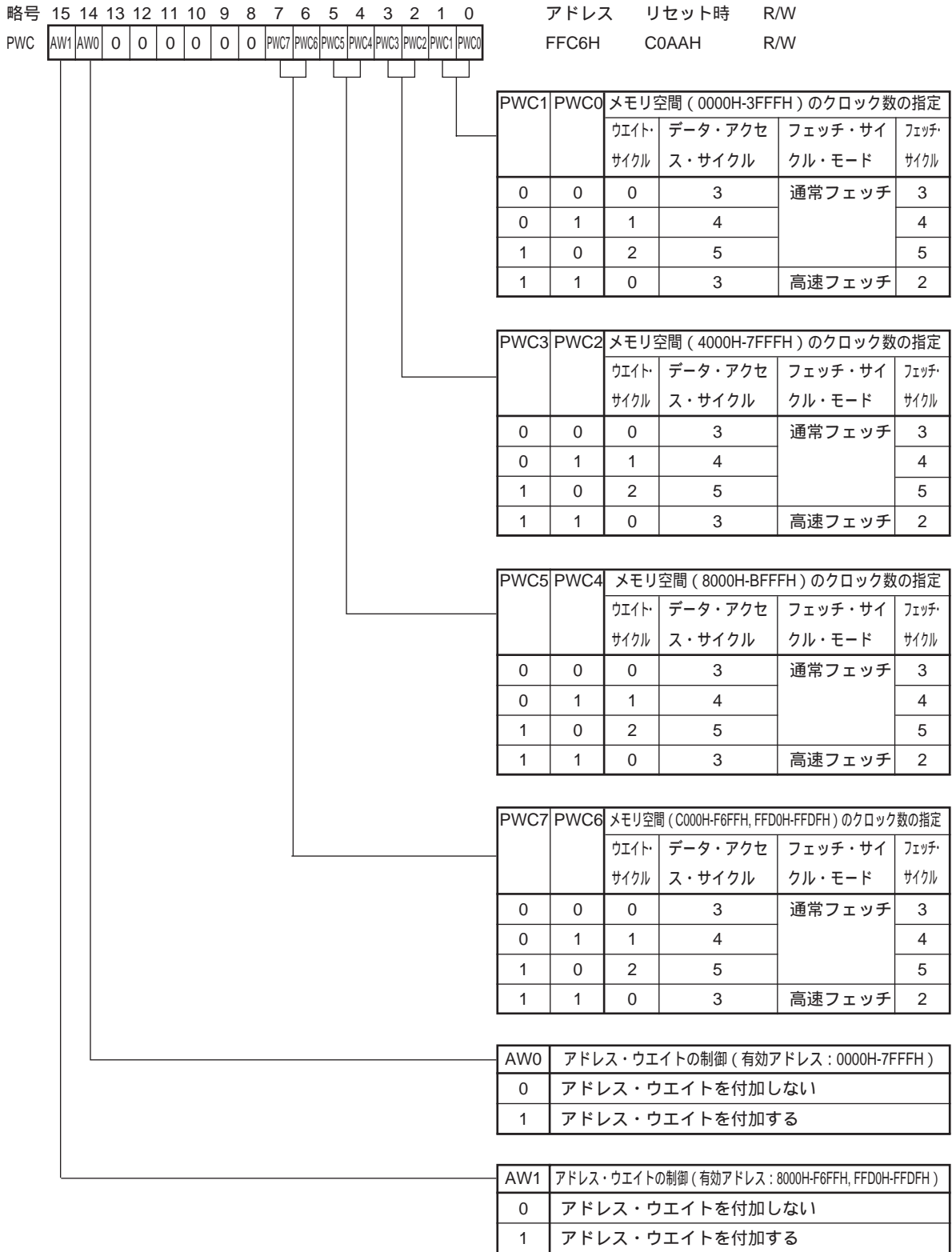
PWCレジスタは、8ビットでアクセスすることはできません。必ず16ビット・データ操作命令でアクセスしてください。

図16 - 7にPWCレジスタのフォーマットを示します。

注 内部メモリとは、内部ROM (μ PD78363A, 78366A, 78368A, 78P368Aのみ) 領域です。

- 注意 1** . 図16 - 7に示すサイクル数はアドレス・ウェイトを付加しない場合です。付加した場合には1サイクル加算する必要があります。
- 2 . 周辺RAM領域 (F700H-FDFH, μ PD78363AはFC00H-FDFH) に対する命令フェッチおよびデータ・アクセスは可能ですが、PWCレジスタによるウェイト指定は無効です。周辺RAM領域は16ビット・バスで動作します。また、命令フェッチは、高速フェッチとなります。
 - 3 . メインRAM領域 (FE00H-FE7FH) に対する命令フェッチはできません。データ・アクセス時のPWCレジスタによるウェイト指定は無効です。メインRAM領域は16ビット・アクセスとなります (バス・サイクルは2サイクルの特殊バス・サイクルが起動されます)。
 - 4 . メインRAM領域へのワード・アクセス (スタック操作を含む) を実行する場合、オペランドで指定するアドレスは偶数に限ります。
 - 5 . 内部ROM領域はPWCレジスタの設定にかかわらず16ビット・バスで動作します。ウェイト指定はPWCレジスタにより設定可能です。
 - 6 . 外部メモリにアクセスする場合は高速フェッチに指定しないでください。
 - 7 . 外部SFR領域 (FFD0H-FFDFH) のウェイト指定は、PWC7ビットおよびPWC6ビットにより指定されます。

図16 - 7 プログラマブル・ウェイト・コントロール・レジスタのフォーマット



注意 1 . 内部メモリを高速フェッチ・モードでアクセスするときには, AW0, AW1ビットに “ 0 ” を設定してください。

2 . ビット8-13は, ハードウェア上 “ 0 ” 固定です。 “ 1 ” を書き込んでも “ 0 ” のまま変化しません。

〔メ モ〕

第17章 μ PD78P368Aのプログラミング

μ PD78P368Aは、電氣的書き込み可能な49152 x 8 ビットのPROMを内蔵しています。
 プログラミングをするときは、MODE0/V_{PP}, MODE1端子を用いてPROMプログラミング・モードに設定します。
 プログラミング特性は、 μ PD27C1001Aとコンパチブルです。

表17 - 1 プログラミング・モード時の端子機能

機 能	通常動作モード	プログラミング・モード
アドレス入力	P00-P07, P21, P20, P80-P85, P30	A0-A16
データ入力	P40-P47	D0-D7
プログラム・パルス	ASTB	$\overline{\text{PGM}}$
チップ・イネーブル	P91	$\overline{\text{CE}}$
アウトプット・イネーブル	P90	$\overline{\text{OE}}$
プログラム電圧	MODE0/V _{PP}	
モード制御	MODE1	

17.1 動作モード

プログラミング書き込み/ベリファイ・モードにするときは、MODE0/V_{PP}=H, MODE1=Lに設定します。このモードでは、さらに $\overline{\text{CE}}$ 、 $\overline{\text{OE}}$ 、 $\overline{\text{PGM}}$ 端子の設定を行うことにより、表17-2の動作モードを選択することができます。

また、PROMの内容を読み出すときは、読み出しモードに設定します。

なお、未使用端子は1.4 端子接続図 (Top View) の指示に従って処理してください。

表17-2 PROMプログラミングの動作モード

モード	MODE1	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{PGM}}$	V _{PP} /MODE0	V _{DD}	D0-D7
ページ・データ・ラッチ	L	H	L	H	+12.5 V	+6.5 V	データ入力
ページ・プログラム		H	H	L			ハイ・インピーダンス
バイト・プログラム		L	H	L			データ入力
プログラム・ベリファイ		L	L	H			データ出力
プログラム・インヒビット		x	L	L			ハイ・インピーダンス
		x	H	H			
読み出し		L	L	H	+5 V	+5 V	データ出力
出力ディスエーブル		L	H	x			ハイ・インピーダンス
スタンバイ		H	x	x			ハイ・インピーダンス

備考 x : LまたはH

17.2 PROM書き込みの手順（ページ・プログラム・モード）

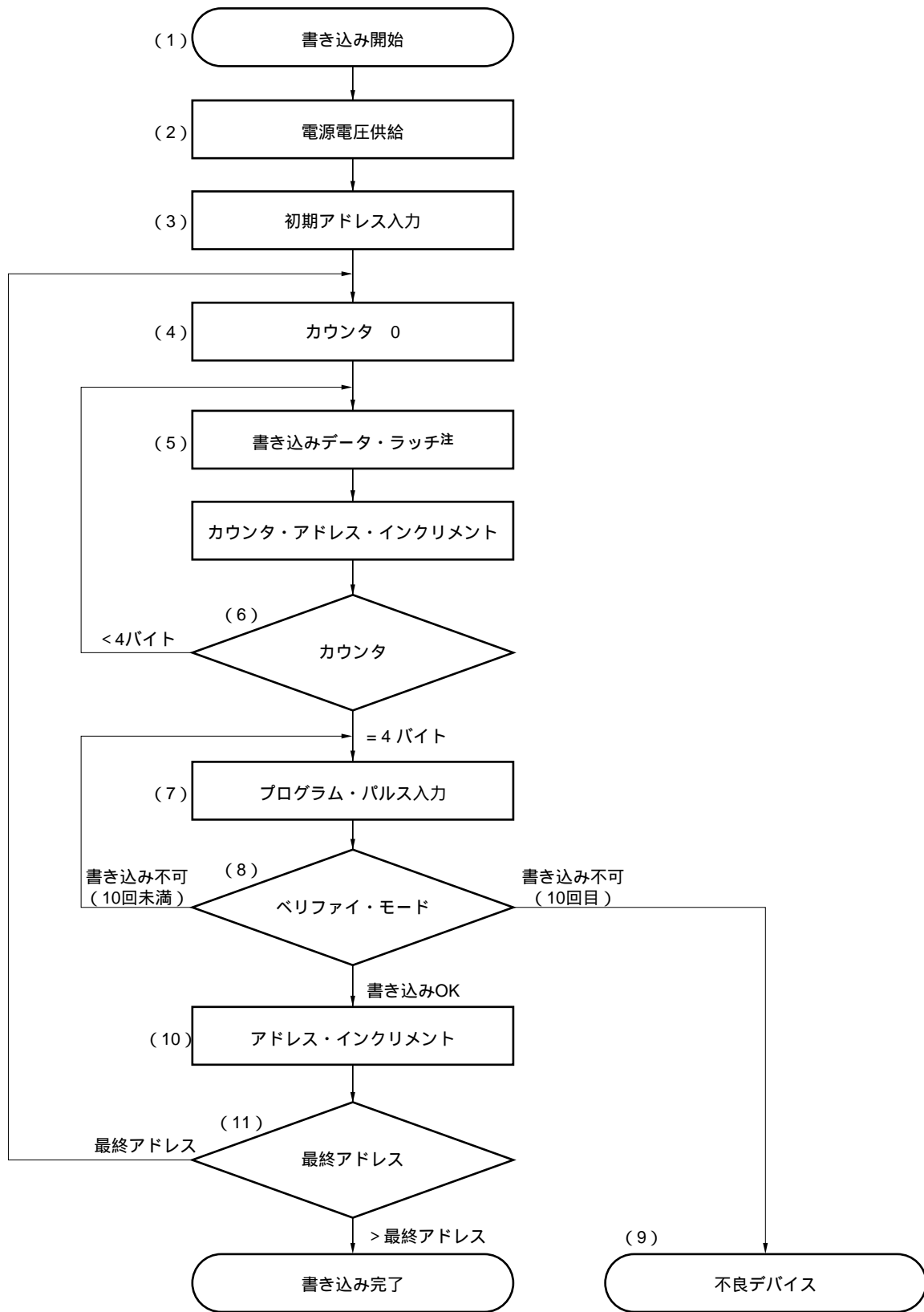
PROMへの書き込み手順は次のとおりです（図17 - 1 参照）。

ページ・プログラム・モードでは必ずページ単位（4バイト）で書き込みを行います。ページ単位に満たない場合は、余りの部分に“FFH”をラッチし、書き込みを行ってください。

- (1) MODE0/V_{PP} = H, MODE1 = Lに固定する。未使用端子は1.4 端子接続図 (Top View) の指示に従って処理する。
- (2) V_{DD}端子に +6.5 V, MODE0/V_{PP}端子には +12.5 Vを供給する。
- (3) A0-A16に初期アドレスを入力する。
- (4) ページ・カウンタをクリアする。
- (5) データ・ラッチ・モード。D0-D7に書き込みデータを入力し、 \overline{OE} 端子にアクティブ・ロウのパルスを入力する。アドレスおよびページ・カウンタをインクリメントする。
- (6) (5)を1ページ（4バイト）分繰り返す。
- (7) \overline{PGM} 端子に0.1 msのプログラム・パルス（アクティブ・ロウ）を入力する。
- (8) ベリファイ・モード。書き込みデータが書き込まれたかどうか確認する。
 \overline{CE} 端子にロウ・レベルを入力したあと、 \overline{OE} 端子にアクティブ・ロウのパルスを入力し、D0-D7から書き込みデータを読み出す。これを1ページ（4バイト）分繰り返す。ベリファイを終了したら \overline{CE} 端子にハイ・レベルを入力する。
 - ・書き込めたとき (10)へ
 - ・書き込めなかったとき (7), (8)を繰り返す。10回繰り返しても書き込めないときは(9)へ。
- (9) 不良デバイスとして書き込み動作を中止する。
- (10) アドレスをインクリメントする。
- (11) (4) ~ (10)を最終アドレスまで繰り返す。

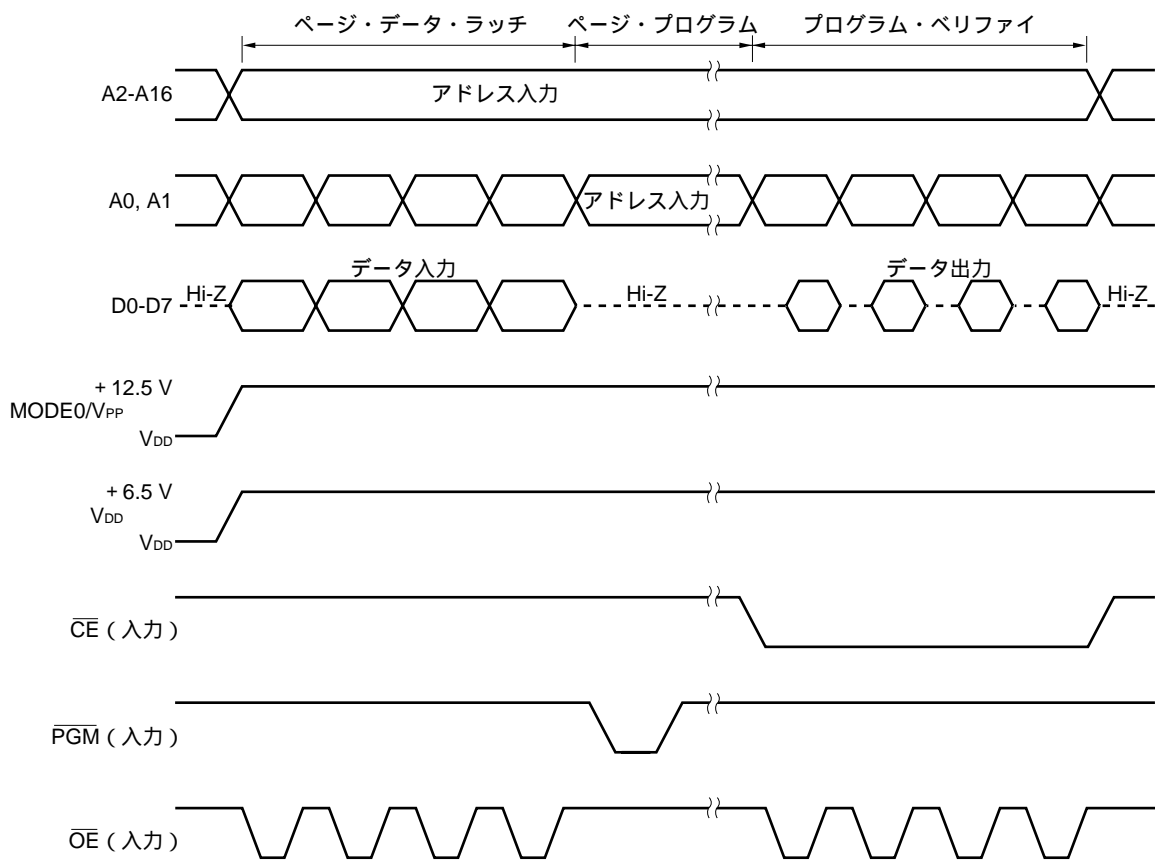
上述の(2) ~ (9)のタイミングを図17 - 2に示します。

図17-1 書き込み手順フロー・チャート (ページ・プログラム・モード)



注 ページ単位に満たない場合は、余りの部分に“FFH”をラッチする。

図17-2 PROMの書き込み/ベリファイ・タイミング(ページ・プログラム・モード)



17.3 PROM書き込みの手順（バイト・プログラム・モード）

PROMへの書き込み手順は次のとおりです（図17 - 3 参照）。

- (1) MODE0/V_{PP} = H, MODE1 = Lに固定する。未使用端子は1.4 端子接続図（Top View）の指示に従って処理する。
- (2) V_{DD}端子に + 6.5 V, MODE0/V_{PP}端子には + 12.5 Vを供給し, $\overline{\text{CE}}$ 端子にロウ・レベルを入力する。
- (3) A0-A16に初期アドレスを入力する。
- (4) D0-D7に書き込みデータを入力する。
- (5) $\overline{\text{PGM}}$ 端子に0.1 msのプログラム・パルス（アクティブ・ロウ）を入力する。
- (6) ペリファイ・モード。書き込みデータが書き込まれたかどうか確認する。
 $\overline{\text{OE}}$ 端子にアクティブ・ロウのパルスを入力し, D0-D7から書き込みデータを読み出す。
 - ・書き込めたとき (8) へ
 - ・書き込めなかったとき (4) ~ (6) を繰り返す。10回繰り返しても書き込めないときは (7) へ
- (7) 不良デバイスとして書き込み動作を中止する。
- (8) アドレスをインクリメントする。
- (9) (4) ~ (8) を最終アドレスまで繰り返す。

上述の(2) ~ (7) のタイミングを図17 - 4 に示します。

図17-3 書き込み手順フロー・チャート(バイト・プログラム・モード)

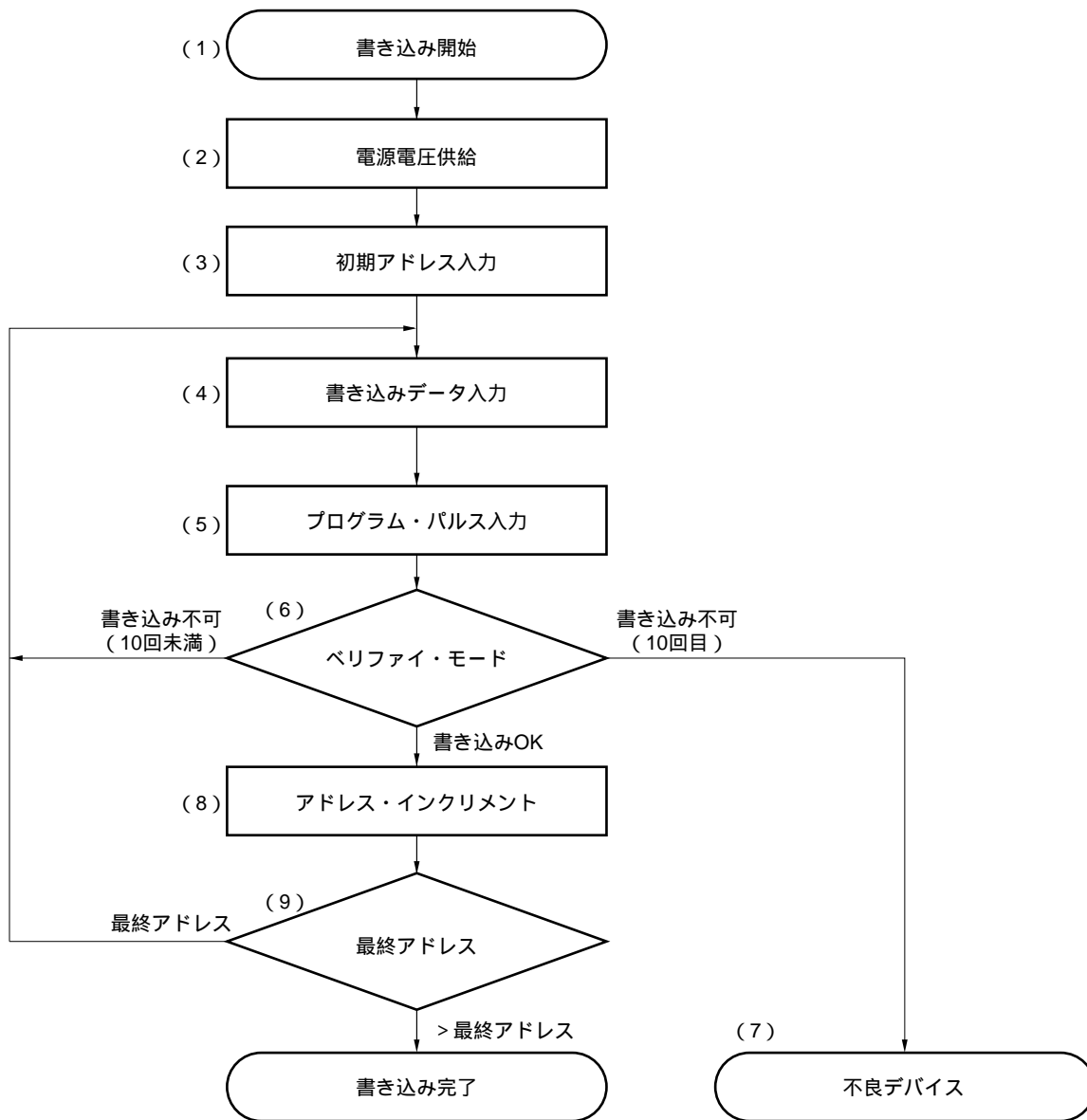
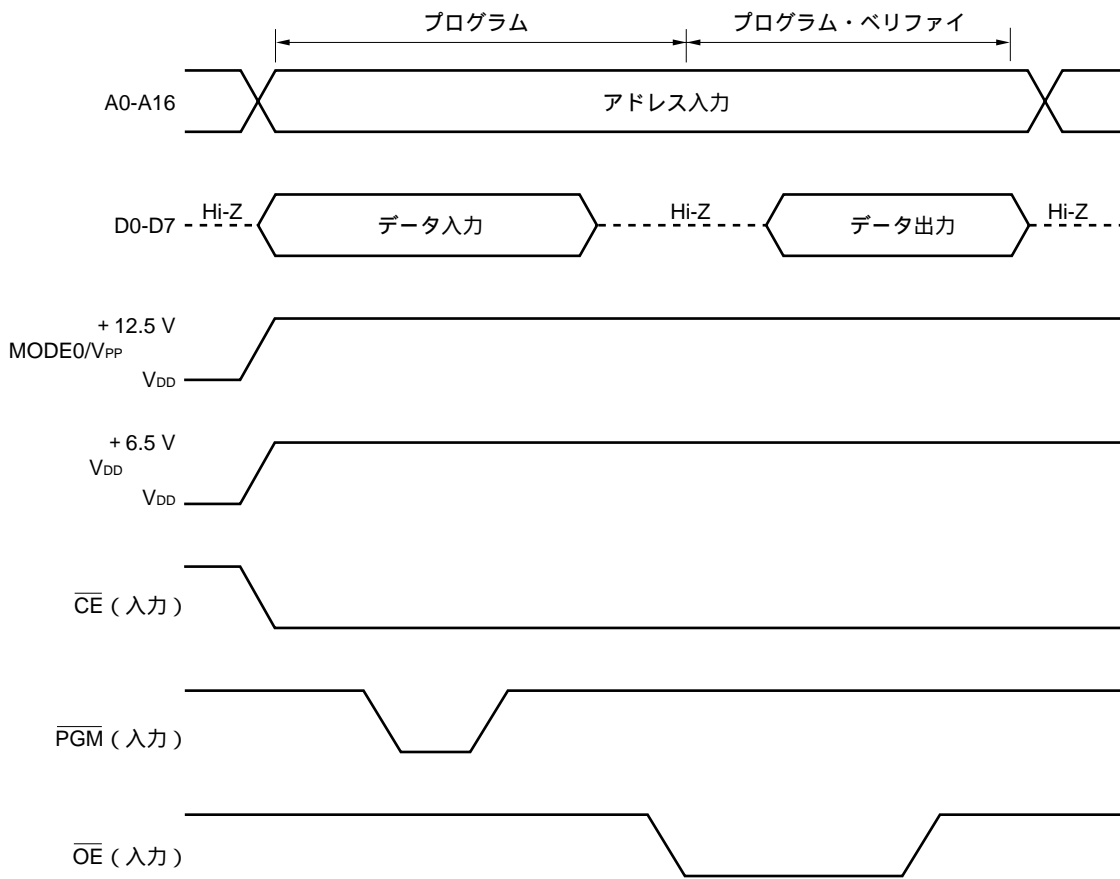


図17 - 4 PROMの書き込み/ベリファイ・タイミング(バイト・プログラム・モード)



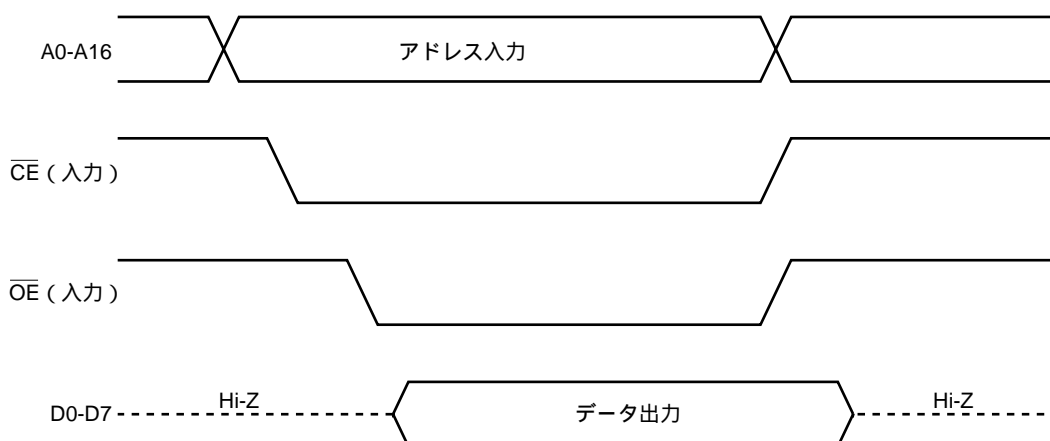
17.4 PROM読み出しの手順

PROMの内容を外部データ・バス（D0-D7）に読み出すときの手順は、次のとおりです。

- (1) MODE0/V_{PP} = H, MODE1 = Lに固定する。未使用端子は1.4 端子接続図 (Top View) の指示に従って処理する。
- (2) V_{DD}, MODE0/V_{PP}端子に +5 Vを供給する。
- (3) 読み出すデータのアドレスをA0-A16端子に入力する。
- (4) 読み出しモード ($\overline{CE} = L, \overline{OE} = L$)
- (5) データがD0-D7端子に出力される。

上述の(2)～(5)のタイミングを図17-5に示します。

図17-5 PROMの読み出しタイミング



17.5 消去特性（ μ PD78P368AKLのみ）

μ PD78P368AKLは、プログラム・メモリに書き込まれたデータの内容を消去（FFH）して、再書き込みをすることができます。

データの内容を消去する場合は、約400 nmより短い波長の光を消去用窓部に照射して行います。通常は、254 nmの波長の紫外線を照射します。データの内容を完全に消去するために必要な照射量は、次のとおりです。

- ・紫外線強度 × 消去時間：15 W・s/cm²以上
- ・消去時間：15～20分（12,000 μ W/cm²の紫外線ランプ使用の場合。ただし、紫外線ランプの性能劣化、消去用窓部の汚れなどにより長くなる場合があります。）

なお、消去の場合は、紫外線ランプを消去用窓部から2.5 cm以内の位置に設置してください。また、紫外線ランプにフィルタが付いている場合は、そのフィルタを取り外してから照射を行ってください。

17.6 消去用窓のシールについて（ μ PD78P368AKLのみ）

μ PD78P368AKLの消去用窓部が、日光あるいは蛍光灯の光に長時間さらされると、EPROMのデータが消去されたり、内部回路が誤動作する場合があります。このような事故を防止するために、データの内容を消去するとき以外は、消去用窓部に保護用シールを張ってください。

なお、EPROM内蔵窓付きパッケージ製品には、NECが品質を保証した保護用シールを添付して出荷しております。

17.7 ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品（ μ PD78P368AGF-3B9）は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125	24時間

なお、NECでは、QTOP™マイコンの名称でワン・タイムPROMの書き込みから捺印、スクリーニング、ベリファイを有料で行うサービスを実施しております。詳細につきましては、販売員にご相談ください。

第18章 命令セット

この章では、 μ PD78366Aの命令のオペレーション一覧を示します。

命令の詳細な動作、命令コードおよびクロック数については、 μ PD78356 ユーザーズ・マニュアル 命令編 (U12117J) を参照してください。

18.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述します（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および+、-、#、\$、!、[]記号はキー・ワードであり、そのまま記述します。

イミディエト・データの場合は、適当な数値またはラベルを記述します。ラベルで記述する際も#、\$、!、[]記号は必ず記述してください。

表18 - 1 オペランドの表現形式と記述方法

表現形式	記述方法
r	R0, R1, R2, R3, R4, R5, R6, R7, R8, R9, R10, R11, R12, R13, R14, R15
r1	R0, R1, R2, R3, R4, R5, R6, R7
r2	C, B
rp	RP0, RP1, RP2, RP3, RP4, RP5, RP6, RP7
rp1	RP0, RP1, RP2, RP3, RP4, RP5, RP6, RP7
rp2	DE, HL, VP, UP
sfr	特殊機能レジスタ名 (表3 - 4 参照)
sfrp	特殊機能レジスタ名 (16ビット操作可能レジスタ; 表3 - 4 参照)
post	RP0, RP1, RP2, RP3, RP4, RP5/PSW, RP6, RP7 〔複数記述可能。ただし、RP5はPUSH, POP命令、PSWはPUSHU, POPU命令に限る。〕
mem	[DE], [HL], [DE +], [HL +], [DE -], [HL -], [VP], [UP]: レジスタ・インダイレクト・モード [DE + A], [HL + A], [DE + B], [HL + B], [VP + DE], [VP + HL]: ベースト・インデクスト・モード [DE + byte], [HL + byte], [VP + byte], [UP + byte], [SP + byte]: ベースト・モード word [A], word [B], word [DE], word [HL]: インデクスト・モード
saddr	FE20H-FF1FH イミーディエト・データまたはレーベル
saddrp	FE20H-FF1EH イミーディエト・データ (ただし, bit0 = 0) またはレーベル (16ビット操作時)
\$ addr16	0000H-FDFFFH イミーディエト・データまたはレーベル: レラティブ・アドレッシング
laddr16	0000H-FDFFFH イミーディエト・データまたはレーベル: イミーディエト・アドレッシング (ただし, MOV命令ではFFFFHまで記述可能, MOVTLBW命令ではFE00H-FEFFFHのみ記述可能)
addr11	800H-FFFH イミーディエト・データまたはレーベル
addr5	40H-7EH イミーディエト・データ (ただし, bit0 = 0) ^注 またはレーベル
word	16ビット・イミーディエト・データまたはレーベル
byte	8ビット・イミーディエト・データまたはレーベル
bit	3ビット・イミーディエト・データまたはレーベル
n	3ビット・イミーディエト・データ (0-7)

注 bit0 = 1 (奇数アドレス) へのワード・アクセスはしないでください。

備考 1 . rpとrp1は, 記述できるレジスタ名は同じですが, 発生するコードが異なります。

- 2 . イミーディエト・アドレッシングは全空間のアドレスが可能です。レラティブ・アドレッシングは, 次に続く命令の先頭アドレス - 128から先頭アドレス + 127の範囲のみアドレスが可能です。

8ビット・レジスタの表現形式 r , $r1$ および16ビット・レジスタ・ペアの表現形式 rp , $rp1$, $post$ には, 絶対名称 (R0-R15, RP0-RP7) のほかに, 機能名称で記述ができます。各絶対名称に対応する機能名称は表18 - 2, 表18 - 3のようになります。

表18 - 2 8ビット・レジスタの絶対名称 機能名称対応

絶対名称	機能名称		絶対名称	機能名称	
	RSS = 0	RSS = 1		RSS = 0	RSS = 1
R0	X		R8	VP _L	VP _L
R1	A		R9	VP _H	VP _H
R2	C		R10	UP _L	UP _L
R3	B		R11	UP _H	UP _H
R4		X	R12	E	E
R5		A	R13	D	D
R6		C	R14	L	L
R7		B	R15	H	H

表18 - 3 16ビット・レジスタ・ペアの絶対名称 機能名称対応

絶対名称	機能名称	
	RSS = 0	RSS = 1
RP0	AX	
RP1	BC	
RP2		AX
RP3		BC
RP4	VP	VP
RP5	UP	UP
RP6	DE	DE
RP7	HL	HL

RSSはレジスタ・セット選択フラグ (PSWのビット5) で, そのセット/リセットにより絶対名称と機能名称の対応が切り替わります。

18.2 オペレーション説明上の凡例

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
R0-R15	: レジスタ0-レジスタ15 (絶対名称)
AX	: レジスタ・ペア (AX); 16ビット・アキュムレータ
BC	: レジスタ・ペア (BC)
DE	: レジスタ・ペア (DE)
HL	: レジスタ・ペア (HL)
RP0-RP7	: レジスタ・ペア0-レジスタ・ペア7(絶対名称)
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
UP	: ユーザ・スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
P/V	: パリティ/オーバフロー・フラグ
S	: サイン・フラグ
TPF	: テーブル・ポジション・フラグ
RBS	: レジスタ・バンク選択フラグ
RSS	: レジスタ・セット選択フラグ
IE	: 割り込み要求許可フラグ
STBC	: スタンバイ・コントロール・レジスタ
WDM	: ウォッチドッグ・タイマ・モード・レジスタ
jdisp8	: 符号付き8ビット・データ(ディスプレイメント: -128~+127)
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容。 (+), (-)の場合は, 命令実行後()内の内容が+1または-1される。
(())	: (())内のアドレスで示されるメモリの内容により示されるメモリの内容
x xH	: 16進数
xH, xL	: 16ビット・レジスタの上位8ビット, 下位8ビット

18.3 フラグ動作欄の記号説明

表18 - 4 フラグ動作欄の記号と説明

記号	説明
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
×	結果に従ってセット/クリアされる
P	P/Vフラグが、パリティ・フラグとして動作する
V	P/Vフラグが、オーバフロー・フラグとして動作する
R	以前に退避した値がリストアされる

18.4 μ PD78366Aと μ PD78328の命令セットの違い

μ PD78366Aの命令セットは、 μ PD78328に比べ、次の4つの命令が追加されています。そのほかの命令は共通です。

積和演算命令

飽和機能付き積和演算命令

相関演算命令

テーブル・シフト命令

18.5 基本命令のオペレーション一覧

(1) 8ビット・データ転送命令：MOV, XCH

二モニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
MOV	r1, # byte	2	r1 byte						
	saddr, # byte	3	(saddr) byte						
	sfr ^注 , # byte	3	sfr byte						
	r, r1	2	r r1						
	A, r1	1	A r1						
	A, saddr	2	A (saddr)						
	saddr, A	2	(saddr) A						
	saddr, saddr	3	(saddr) (saddr)						
	A, sfr	2	A sfr						
	sfr, A	2	sfr A						
	A, mem	1-4	A (mem)						
	mem, A	1-4	(mem) A						
	A, [saddrp]	2	A ((saddrp))						
	[saddrp] A	2	((saddrp)) A						
	A, !addr16	4	A (addr16)						
	!addr16, A	4	(addr16) A						
	PSWL, # byte	3	PSWL byte	x	x	x	x	x	
	PSWH, # byte	3	PSWH byte						
	PSWL, A	2	PSWL A	x	x	x	x	x	
	PSWH, A	2	PSWH A						
A, PSWL	2	A PSWL							
A, PSWH	2	A PSWH							
XCH	A, r1	1	A r1						
	r, r1	2	r r1						
	A, mem	2-4	A (mem)						
	A, saddr	2	A (saddr)						
	A, sfr	3	A sfr						
	A, [saddrp]	2	A ((saddrp))						
	saddr, saddr	3	(saddr) (saddr)						

注 sfrにSTBC, WDMを記述した場合は別の専用命令となり、バイト数がこの命令とは異なります。

(2) 16ビット・データ転送命令: MOVW, XCHW

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOVW	rp1, # word	3	rp1 word					
	saddrp, # word	4	(saddrp) word					
	sfrp, # word	4	sfrp word					
	rp, rp1	2	rp rp1					
	AX, saddrp	2	AX (saddrp)					
	saddrp, AX	2	(saddrp) AX					
	saddrp, saddrp	3	(saddrp) (saddrp)					
	AX, sfrp	2	AX sfrp					
	sfrp, AX	2	sfrp AX					
	rp1, !addr16	4	rp1 (addr16)					
	!addr16, rp1	4	(addr16) rp1					
	AX, mem	2-4	AX (mem)					
	mem, AX	2-4	(mem) AX					
	XCHW	AX, saddrp	2	AX (saddrp)				
AX, sfrp		3	AX sfrp					
saddrp, saddrp		3	(saddrp) (saddrp)					
rp, rp1		2	rp rp1					
AX, mem		2-4	AX (mem)					

(3) 8ビット演算命令: ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP

(1/2)

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADD	A, # byte	2	A, CY A + byte	x	x	x	V	x
	saddr, # byte	3	(saddr), CY (saddr) + byte	x	x	x	V	x
	sfr, # byte	4	sfr, CY sfr + byte	x	x	x	V	x
	r, r1	2	r, CY r + r1	x	x	x	V	x
	A, saddr	2	A, CY A + (saddr)	x	x	x	V	x
	A, sfr	3	A, CY A + sfr	x	x	x	V	x
	saddr, saddr	3	(saddr), CY (saddr) + (saddr)	x	x	x	V	x
	A, mem	2-4	A, CY A + (mem)	x	x	x	V	x
	mem, A	2-4	(mem), CY (mem) + A	x	x	x	V	x
ADDC	A, # byte	2	A, CY A + byte + CY	x	x	x	V	x
	saddr, # byte	3	(saddr), CY (saddr) + byte + CY	x	x	x	V	x
	sfr, # byte	4	sfr, CY sfr + byte + CY	x	x	x	V	x
	r, r1	2	r, CY r + r1 + CY	x	x	x	V	x
	A, saddr	2	A, CY A + (saddr) + CY	x	x	x	V	x
	A, sfr	3	A, CY A + sfr + CY	x	x	x	V	x
	saddr, saddr	3	(saddr), CY (saddr) + (saddr) + CY	x	x	x	V	x
	A, mem	2-4	A, CY A + (mem) + CY	x	x	x	V	x
	mem, A	2-4	(mem), CY (mem) + A + CY	x	x	x	V	x
SUB	A, # byte	2	A, CY A - byte	x	x	x	V	x
	saddr, # byte	3	(saddr), CY (saddr) - byte	x	x	x	V	x
	sfr, # byte	4	sfr, CY sfr - byte	x	x	x	V	x
	r, r1	2	r, CY r - r1	x	x	x	V	x
	A, saddr	2	A, CY A - (saddr)	x	x	x	V	x
	A, sfr	3	A, CY A - sfr	x	x	x	V	x
	saddr, saddr	3	(saddr), CY (saddr) - (saddr)	x	x	x	V	x
	A, mem	2-4	A, CY A - (mem)	x	x	x	V	x
	mem, A	2-4	(mem), CY (mem) - A	x	x	x	V	x
SUBC	A, # byte	2	A, CY A - byte - CY	x	x	x	V	x
	saddr, # byte	3	(saddr), CY (saddr) - byte - CY	x	x	x	V	x
	sfr, # byte	4	sfr, CY sfr - byte - CY	x	x	x	V	x
	r, r1	2	r, CY r - r1 - CY	x	x	x	V	x
	A, saddr	2	A, CY A - (saddr) - CY	x	x	x	V	x
	A, sfr	3	A, CY A - sfr - CY	x	x	x	V	x
	saddr, saddr	3	(saddr), CY (saddr) - (saddr) - CY	x	x	x	V	x
	A, mem	2-4	A, CY A - (mem) - CY	x	x	x	V	x
	mem, A	2-4	(mem), CY (mem) - A - CY	x	x	x	V	x

(2/2)

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
AND	A, # byte	2	A A byte	x	x		P	
	saddr, # byte	3	(saddr) (saddr) byte	x	x		P	
	sfr, # byte	4	sfr sfr byte	x	x		P	
	r, r1	2	r r r1	x	x		P	
	A, saddr	2	A A (saddr)	x	x		P	
	A, sfr	3	A A sfr	x	x		P	
	saddr, saddr	3	(saddr) (saddr) (saddr)	x	x		P	
	A, mem	2-4	A A (mem)	x	x		P	
	mem, A	2-4	(mem) (mem) A	x	x		P	
OR	A, # byte	2	A A byte	x	x		P	
	saddr, # byte	3	(saddr) (saddr) byte	x	x		P	
	sfr, # byte	4	sfr sfr byte	x	x		P	
	r, r1	2	r r r1	x	x		P	
	A, saddr	2	A A (saddr)	x	x		P	
	A, sfr	3	A A sfr	x	x		P	
	saddr, saddr	3	(saddr) (saddr) (saddr)	x	x		P	
	A, mem	2-4	A A (mem)	x	x		P	
	mem, A	2-4	(mem) (mem) A	x	x		P	
XOR	A, # byte	2	A A ∇ byte	x	x		P	
	saddr, # byte	3	(saddr) (saddr) ∇ byte	x	x		P	
	sfr, # byte	4	sfr sfr ∇ byte	x	x		P	
	r, r1	2	r r ∇ r1	x	x		P	
	A, saddr	2	A A ∇ (saddr)	x	x		P	
	A, sfr	3	A A ∇ sfr	x	x		P	
	saddr, saddr	3	(saddr) (saddr) ∇ (saddr)	x	x		P	
	A, mem	2-4	A A ∇ (mem)	x	x		P	
	mem, A	2-4	(mem) (mem) ∇ A	x	x		P	
CMP	A, # byte	2	A - byte	x	x	x	V	x
	saddr, # byte	3	(saddr) - byte	x	x	x	V	x
	sfr, # byte	4	sfr - byte	x	x	x	V	x
	r, r1	2	r - r1	x	x	x	V	x
	A, saddr	2	A - (saddr)	x	x	x	V	x
	A, sfr	3	A - sfr	x	x	x	V	x
	saddr, saddr	3	(saddr) - (saddr)	x	x	x	V	x
	A, mem	2-4	A - (mem)	x	x	x	V	x
	mem, A	2-4	(mem) - A	x	x	x	V	x

(4) 16ビット演算命令 : ADDW, SUBW, CMPW

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADDW	AX, # word	3	AX, CY AX + word	x	x	x	V	x
	saddrp, # word	4	(saddrp), CY (saddrp)+ word	x	x	x	V	x
	sfrp, # word	5	sfrp, CY sfrp + word	x	x	x	V	x
	rp, rp1	2	rp, CY rp + rp1	x	x	x	V	x
	AX, saddrp	2	AX, CY AX +(saddrp)	x	x	x	V	x
	AX, sfrp	3	AX, CY AX + sfrp	x	x	x	V	x
	saddrp, saddrp	3	(saddrp), CY (saddrp)+(saddrp)	x	x	x	V	x
SUBW	AX, # word	3	AX, CY AX - word	x	x	x	V	x
	saddrp, # word	4	(saddrp), CY (saddrp)- word	x	x	x	V	x
	sfrp, # word	5	sfrp, CY sfrp - word	x	x	x	V	x
	rp, rp1	2	rp, CY rp - rp1	x	x	x	V	x
	AX, saddrp	2	AX, CY AX -(saddrp)	x	x	x	V	x
	AX, sfrp	3	AX, CY AX - sfrp	x	x	x	V	x
	saddrp, saddrp	3	(saddrp), CY (saddrp)-(saddrp)	x	x	x	V	x
CMPW	AX, # word	3	AX - word	x	x	x	V	x
	saddrp, # word	4	(saddrp)- word	x	x	x	V	x
	sfrp, # word	5	sfrp - word	x	x	x	V	x
	rp, rp1	2	rp - rp1	x	x	x	V	x
	AX, saddrp	2	AX -(saddrp)	x	x	x	V	x
	AX, sfrp	3	AX - sfrp	x	x	x	V	x
	saddrp, saddrp	3	(saddrp)-(saddrp)	x	x	x	V	x

(5) 乗除算命令 : MULU, DIVUW, MULUW, DIVUX

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MULU	r1	2	AX A × r1					
DIVUW	r1	2	AX(商), r1(余り) AX ÷ r1					
MULUW	rp1	2	AX(上位16ビット), rp1(下位16ビット) AX × rp1					
DIVUX	rp1	2	AXDE(商), rp1(余り) AXDE ÷ rp1					

(6) 符号付き乗算命令 : MULW

二モニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
MULW	rp1	2	AX(上位16ビット), rp1(下位16ビット) $AX \times rp1$						

(7) 積和演算命令 : MACW

二モニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
MACW	n	3	AXDE (B) \times (C)+AXDE B B+2, C C+2, n n-1 End if n=0 or P/V=1	x	x	x	V	x	

(8) 飽和機能付き積和演算命令 : MACSW

二モニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
MACSW	n	3	AXDE (B) \times (C)+AXDE B B+2, C C+2, n n-1 if overflow(P/V=1)then AXDE 7FFFFFFFH if underflow(P/V=1)then AXDE 80000000H end if n=0 or P/V=1	x	x	x	V	x	

(9) 相関演算命令 : SACW

二モニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
SACW	[DE+],[HL+]	4	AX AX+ (DE)-(HL) DE DE+2, HL HL+2, C C-1 end if C=0 or CY=1	x	x	x	V	x	

(10) テーブル・シフト命令 : MOVTLW

二モニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
MOVTLW	!addr16, n	4	(addr16+2)(addr16), n n-1 addr16 addr16-2, End if n=0						

備考 テーブル・シフト命令のアドレス範囲はFE00H-FEFFFHです。

(11) 増減命令 : INC, DEC, INCW, DECW

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
INC	r1	1	r1 r1 + 1	x	x	x	V	
	saddr	2	(saddr) (saddr) + 1	x	x	x	V	
DEC	r1	1	r1 r1 - 1	x	x	x	V	
	saddr	2	(saddr) (saddr) - 1	x	x	x	V	
INCW	rp2	1	rp2 rp2 + 1					
	saddrp	3	(saddrp) (saddrp) + 1					
DECW	rp2	1	rp2 rp2 - 1					
	saddrp	3	(saddrp) (saddrp) - 1					

(12) シフト・ローテート命令 : ROR, ROL, RORC, ROLC, SHR, SHL, SHRW, SHLW, ROR4, ROL4

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ROR	r1, n	2	(CY, r17 r10, r1m-1 r1m) × n回 n = 0-7				P	x
ROL	r1, n	2	(CY, r10 r17, r1m+1 r1m) × n回 n = 0-7				P	x
RORC	r1, n	2	(CY r10, r17 CY, r1m-1 r1m) × n回 n = 0-7				P	x
ROLC	r1, n	2	(CY r17, r10 CY, r1m+1 r1m) × n回 n = 0-7				P	x
SHR	r1, n	2	(CY r10, r17 0, r1m-1 r1m) × n回 n = 0-7	x	x	0	P	x
SHL	r1, n	2	(CY r17, r10 0, r1m+1 r1m) × n回 n = 0-7	x	x	0	P	x
SHRW	rp1, n	2	(CY rp10, rp115 0, rp1m-1 rp1m) × n回 n = 0-7	x	x	0	P	x
SHLW	rp1, n	2	(CY rp115, rp10 0, rp1m+1 rp1m) × n回 n = 0-7	x	x	0	P	x
ROR4	[rp1]	2	A3-0 (rp1)3-0, (rp1)3-4 A3-0, (rp1)3-0 (rp1)3-4					
ROL4	[rp1]	2	A3-0 (rp1)3-4, (rp1)3-0 A3-0, (rp1)3-4 (rp1)3-0					

備考 オペレーション欄のnは、シフト・ローテートの回数を示します。

(13) BCD補正命令 : ADJBA, ADJBS

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADJBA		2	Decimal Adjust Accumulator	x	x	x	P	x
ADJBS								

(14) データ変換命令 : CVTBW

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CVTBW		1	A ₇ = 0のときX A, A 00H A ₇ = 1のときX A, A FFH					

(15) ビット操作命令 : MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1

(1/2)

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOV1	CY, saddr.bit	3	CY (saddr.bit)					x
	CY, sfr.bit	3	CY sfr.bit					x
	CY, A.bit	2	CY A.bit					x
	CY, X.bit	2	CY X.bit					x
	CY, PSWH.bit	2	CY PSWH.bit					x
	CY, PSWL.bit	2	CY PSWL.bit					x
	saddr.bit, CY	3	(saddr.bit) CY					
	sfr.bit, CY	3	sfr.bit CY					
	A.bit, CY	2	A.bit CY					
	X.bit, CY	2	X.bit CY					
	PSWH.bit, CY	2	PSWH.bit CY					
	PSWL.bit, CY	2	PSWL.bit CY					
AND1	CY, saddr.bit	3	CY CY (saddr.bit)					x
	CY, /saddr.bit	3	CY CY ($\overline{\text{saddr.bit}}$)					x
	CY, sfr.bit	3	CY CY sfr.bit					x
	CY, /sfr.bit	3	CY CY $\overline{\text{sfr.bit}}$					x
	CY, A.bit	2	CY CY A.bit					x
	CY, /A.bit	2	CY CY $\overline{\text{A.bit}}$					x
	CY, X.bit	2	CY CY X.bit					x
	CY, /X.bit	2	CY CY $\overline{\text{X.bit}}$					x
	CY, PSWH.bit	2	CY CY PSWH.bit					x
	CY, /PSWH.bit	2	CY CY $\overline{\text{PSWH.bit}}$					x
	CY, PSWL.bit	2	CY CY PSWL.bit					x
	CY, /PSWL.bit	2	CY CY $\overline{\text{PSWL.bit}}$					x
OR1	CY, saddr.bit	3	CY CY ($\overline{\text{saddr.bit}}$)					x
	CY, /saddr.bit	3	CY CY (saddr.bit)					x
	CY, sfr.bit	3	CY CY $\overline{\text{sfr.bit}}$					x
	CY, /sfr.bit	3	CY CY sfr.bit					x
	CY, A.bit	2	CY CY $\overline{\text{A.bit}}$					x
	CY, /A.bit	2	CY CY A.bit					x
	CY, X.bit	2	CY CY $\overline{\text{X.bit}}$					x
	CY, /X.bit	2	CY CY X.bit					x
	CY, PSWH.bit	2	CY CY $\overline{\text{PSWH.bit}}$					x
	CY, /PSWH.bit	2	CY CY PSWH.bit					x
	CY, PSWL.bit	2	CY CY $\overline{\text{PSWL.bit}}$					x
	CY, /PSWL.bit	2	CY CY PSWL.bit					x

(2/2)

ニモニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
XOR1	CY, saddr.bit	3	CY $\overline{CY} \nabla (\text{saddr.bit})$						x
	CY, sfr.bit	3	CY $\overline{CY} \nabla \text{sfr.bit}$						x
	CY, A.bit	2	CY $\overline{CY} \nabla \text{A.bit}$						x
	CY, X.bit	2	CY $\overline{CY} \nabla \text{X.bit}$						x
	CY, PSWH.bit	2	CY $\overline{CY} \nabla \text{PSWH.bit}$						x
	CY, PSWL.bit	2	CY $\overline{CY} \nabla \text{PSWL.bit}$						x
SET1	saddr.bit	2	(saddr.bit) 1						
	sfr.bit	3	sfr.bit 1						
	A.bit	2	A.bit 1						
	X.bit	2	X.bit 1						
	PSWH.bit	2	PSWH.bit 1						
	PSWL.bit	2	PSWL.bit 1		x	x	x	x	x
	CY	1	CY 1						1
CLR1	saddr.bit	2	(saddr.bit) 0						
	sfr.bit	3	sfr.bit 0						
	A.bit	2	A.bit 0						
	X.bit	2	X.bit 0						
	PSWH.bit	2	PSWH.bit 0						
	PSWL.bit	2	PSWL.bit 0		x	x	x	x	x
	CY	1	CY 0						0
NOT1	saddr.bit	3	(saddr.bit) ($\overline{\text{saddr.bit}}$)						
	sfr.bit	3	sfr.bit $\overline{\text{sfr.bit}}$						
	A.bit	2	A.bit $\overline{\text{A.bit}}$						
	X.bit	2	X.bit $\overline{\text{X.bit}}$						
	PSWH.bit	2	PSWH.bit $\overline{\text{PSWH.bit}}$						
	PSWL.bit	2	PSWL.bit $\overline{\text{PSWL.bit}}$		x	x	x	x	x
	CY	1	CY $\overline{\text{CY}}$						x

(16) コール・リターン命令 : CALL, CALLF, CALLT, BRK, RET, RETB, RETI

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CALL	!addr16	3	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2					
	rp1	2	(SP - 1) (PC + 2) _H , (SP - 2) (PC + 2) _L , PC _H rp1 _H , PC _L rp1 _L , SP SP - 2					
	[rp1]	2	(SP - 1) (PC + 2) _H , (SP - 2) (PC + 2) _L , PC _H (rp1 + 1), PC _L (rp1), SP SP - 2					
CALLF	!addr11	2	(SP - 1) (PC + 2) _H , (SP - 2) (PC + 2) _L , PC ₁₅₋₁₁ 00001, PC ₁₀₋₀ addr11, SP SP - 2					
CALLT	[addr5]	1	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (TPF, 00000000, addr5 + 1), PC _L (TPF, 00000000, addr5), SP SP - 2					
BRK		1	(SP - 1) PSW _H , (SP - 2) PSW _L , (SP - 3) (PC + 1) _H , (SP - 4) (PC + 1) _L , PC _L , (003EH), PC _H (003FH) SP SP - 4, IE 0					
RET		1	PC _L (SP), PC _H (SP + 1), SP SP + 2					
RETB		1	PC _L (SP), PC _H (SP + 1), PSW _L (SP + 2), PSW _H (SP - 3), SP SP + 4	R	R	R	R	R
RETI		1	PC _L (SP), PC _H (SP + 1), PSW _L (SP + 2), PSW _H (SP + 3), SP SP + 4, ISPR _n 0 ^注	R	R	R	R	R

注 RETI命令のとき、ISPRレジスタ内でセット(1)されているビット(n=0-3)のうち最も優先順位レベルの高い割り込み要求に対応するビットをリセット(0)します。

(17) スタック操作命令 : PUSH, PUSHU, POP, POPU, MOVW, INCW, DECW

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
PUSH	sfrp	3	(SP - 1) sfr _H , (SP - 2) sfr _L , SP SP - 2					
	post	2	{(SP - 1) post _H , (SP - 2) post _L , SP SP - 2} × n回					
	PSW	1	(SP - 1) PSW _H , (SP - 2) PSW _L , SP SP - 2					
PUSHU	post	2	{(UP - 1) post _H , (UP - 2) post _L , UP UP - 2} × n回					
POP	sfrp	3	sfr _L (SP), sfr _H (SP + 1), SP SP + 2					
	post	2	{post _L (SP), post _H (SP + 1), SP SP + 2} × n回					
	PSW	1	PSW _L (SP), PSW _H (SP + 1), SP SP + 2	R	R	R	R	R
POPU	post	2	{post _L (UP), post _H (UP + 1), UP UP + 2} × n回					
MOVW	SP, # word	4	SP word					
	SP, AX	2	SP AX					
	AX, SP	2	AX SP					
INCW	SP	2	SP SP + 1					
DECW	SP	2	SP SP - 1					

備考 オペレーション欄のnは, postとして記述したレジスタの数です。

(18) 特殊命令 : CHKL, CHKLA

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CHKL	sfr	3	(端子レベル) ∇ (出力バッファ前の信号レベル)	x	x		P	
CHKLA	sfr	3	A {(端子レベル) ∇ (出力バッファ前の信号レベル)}	x	x		P	

(19) 無条件分岐命令 : BR

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
BR	!addr16	3	PC addr16					
	rp1	2	PC _H rp1 _H , PC _L rp1 _L					
	[rp1]	2	PC _H (rp1 + 1), PC _L (rp1)					
	\$ addr16	2	PC PC + 2 + jdisp8					

(20) 条件付き分岐命令 : BC, BL, BNC, BNL, BZ, BE, BNZ, BNE, BV, BPE, BNV, BPO, BN, BP, BGT, BGE, BLT, BLE, BH, BNH, BT, BF, BTCLR, BFSET, DBNZ

(1/2)

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
BC	\$ addr16	2	PC PC + 2 + jdisp8 if CY = 1					
BL								
BNC	\$ addr16	2	PC PC + 2 + jdisp8 if CY = 0					
BNL								
BZ	\$ addr16	2	PC PC + 2 + jdisp8 if Z = 1					
BE								
BNZ	\$ addr16	2	PC PC + 2 + jdisp8 if Z = 0					
BNE								
BV	\$ addr16	2	PC PC + 2 + jdisp8 if P/V = 1					
BPE								
BNV	\$ addr16	2	PC PC + 2 + jdisp8 if P/V = 0					
BPO								
BN	\$ addr16	2	PC PC + 2 + jdisp8 if S = 1					
BP	\$ addr16	2	PC PC + 2 + jdisp8 if S = 0					
BGT	\$ addr16	3	PC PC + 3 + jdisp8 if (P/V ∇ S) Z = 0					
BGE	\$ addr16	3	PC PC + 3 + jdisp8 if P/V ∇ S = 0					
BLT	\$ addr16	3	PC PC + 3 + jdisp8 if P/V ∇ S = 1					
BLE	\$ addr16	3	PC PC + 3 + jdisp8 if (P/V ∇ S) Z = 1					
BH	\$ addr16	3	PC PC + 3 + jdisp8 if Z CY = 0					
BNH	\$ addr16	3	PC PC + 3 + jdisp8 if Z CY = 1					
BT	saddr.bit, \$ addr16	3	PC PC + 3 + jdisp8 if (saddr.bit) = 1					
	sfr.bit, \$ addr16	4	PC PC + 4 + jdisp8 if sfr.bit = 1					
	A.bit, \$ addr16	3	PC PC + 3 + jdisp8 if A.bit = 1					
	X.bit, \$ addr16	3	PC PC + 3 + jdisp8 if X.bit = 1					
	PSWH.bit, \$ addr16	3	PC PC + 3 + jdisp8 if PSWH.bit = 1					
	PSWL.bit, \$ addr16	3	PC PC + 3 + jdisp8 if PSWL.bit = 1					
BF	saddr.bit, \$ addr16	4	PC PC + 4 + jdisp8 if (saddr.bit) = 0					
	sfr.bit, \$ addr16	4	PC PC + 4 + jdisp8 if sfr.bit = 0					
	A.bit, \$ addr16	3	PC PC + 3 + jdisp8 if A.bit = 0					
	X.bit, \$ addr16	3	PC PC + 3 + jdisp8 if X.bit = 0					
	PSWH.bit, \$ addr16	3	PC PC + 3 + jdisp8 if PSWH.bit = 0					
	PSWL.bit, \$ addr16	3	PC PC + 3 + jdisp8 if PSWL.bit = 0					

(2/2)

ニモニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
BTCLR	saddr.bit, \$ addr16	4	PC PC + 4 + jdisp8 if(saddr.bit)= 1 then reset(saddr.bit)						
	sfr.bit, \$ addr16	4	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit						
	A.bit, \$ addr16	3	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit						
	X.bit, \$ addr16	3	PC PC + 3 + jdisp8 if X.bit = 1 then reset X.bit						
	PSWH.bit, \$ addr16	3	PC PC + 3 + jdisp8 if PSWH.bit = 1 then reset PSWH.bit						
	PSWL.bit, \$ addr16	3	PC PC + 3 + jdisp8 if PSWL.bit = 1 then reset PSWL.bit	x	x	x	x	x	
BFSET	saddr.bit, \$ addr16	4	PC PC + 4 + jdisp8 if(saddr.bit)= 0 then se(saddr.bit)						
	sfr.bit, \$ addr16	4	PC PC + 4 + jdisp8 if sfr.bit = 0 then set sfr.bit						
	A.bit, \$ addr16	3	PC PC + 3 + jdisp8 if A.bit = 0 then set A.bit						
	X.bit, \$ addr16	3	PC PC + 3 + jdisp8 if X.bit = 0 then set X.bit						
	PSWH.bit, \$ addr16	3	PC PC + 3 + jdisp8 if PSWH.bit = 0 then set PSWH.bit						
	PSWL.bit, \$ addr16	3	PC PC + 3 + jdisp8 if PSWL.bit = 0 then set PSWL.bit	x	x	x	x	x	
DBNZ	r2, \$ addr16	2	r2 r2 - 1, then PC PC + 2 + jdisp8 if r2 0						
	saddr, \$ addr16	3	(saddr) (saddr) - 1 then PC PC + 3 + jdisp8 if(saddr) 0						

(21) コンテキスト・スイッチング命令 : BRKCS, RETCS, RETCSB

二モニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
BRKCS	RBn	2	RBS2 - 0 n, PC _H R5, PC _L R4, R7 PSW _H , R6 PSW _L , RSS 0, IE 0						
RETCS	!addr16	3	PC _H R5, PC _L R4, R5 addr16 _H , R4 addr16 _L , PSW _H R7, PSW _L R6	R	R	R	R	R	
RETCSB	!addr16	4	PC _H R5, PC _L R4, R5 addr16 _H , R4 addr16 _L , PSW _H R7, PSW _L R6	R	R	R	R	R	

(22) ストリング命令 : MOVMM, MOVBK, XCHM, XCHBK, CMPME, CMPBKE, CMPMNE, CMPBKNE, CMPMC, CMPBKC, CMPMNC, CMPBKNC

二モニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
MOVMM	[DE +] A	2	(DE +) A, C C - 1, End if C = 0						
	[DE -] A	2	(DE -) A, C C - 1, End if C = 0						
MOVBK	[DE +], [HL +]	2	(DE +) (HL +) C C - 1, End if C = 0						
	[DE -], [HL -]	2	(DE -) (HL -) C C - 1, End if C = 0						
XCHM	[DE +] A	2	(DE +) A, C C - 1, End if C = 0						
	[DE -] A	2	(DE -) A, C C - 1, End if C = 0						
XCHBK	[DE +], [HL +]	2	(DE +) (HL +) C C - 1, End if C = 0						
	[DE -], [HL -]	2	(DE -) (HL -) C C - 1, End if C = 0						
CMPME	[DE +] A	2	(DE +) - A, C C - 1, End if C = 0 or Z = 0	x	x	x	V	x	
	[DE -] A	2	(DE -) - A, C C - 1, End if C = 0 or Z = 0	x	x	x	V	x	
CMPBKE	[DE +], [HL +]	2	(DE +) - (HL +) C C - 1, End if C = 0 or Z = 0	x	x	x	V	x	
	[DE -], [HL -]	2	(DE -) - (HL -) C C - 1, End if C = 0 or Z = 0	x	x	x	V	x	
CMPMNE	[DE +] A	2	(DE +) - A, C C - 1, End if C = 0 or Z = 1	x	x	x	V	x	
	[DE -] A	2	(DE -) - A, C C - 1, End if C = 0 or Z = 1	x	x	x	V	x	
CMPBKNE	[DE +], [HL +]	2	(DE +) - (HL +) C C - 1, End if C = 0 or Z = 1	x	x	x	V	x	
	[DE -], [HL -]	2	(DE -) - (HL -) C C - 1, End if C = 0 or Z = 1	x	x	x	V	x	
CMPMC	[DE +] A	2	(DE +) - A, C C - 1, End if C = 0 or CY = 0	x	x	x	V	x	
	[DE -] A	2	(DE -) - A, C C - 1, End if C = 0 or CY = 0	x	x	x	V	x	
CMPBKC	[DE +], [HL +]	2	(DE +) - (HL +) C C - 1, End if C = 0 or CY = 0	x	x	x	V	x	
	[DE -], [HL -]	2	(DE -) - (HL -) C C - 1, End if C = 0 or CY = 0	x	x	x	V	x	
CMPMNC	[DE +] A	2	(DE +) - A, C C - 1, End if C = 0 or CY = 1	x	x	x	V	x	
	[DE -] A	2	(DE -) - A, C C - 1, End if C = 0 or CY = 1	x	x	x	V	x	
CMPBKNC	[DE +], [HL +]	2	(DE +) - (HL +) C C - 1, End if C = 0 or CY = 1	x	x	x	V	x	
	[DE -], [HL -]	2	(DE -) - (HL -) C C - 1, End if C = 0 or CY = 1	x	x	x	V	x	

(23) CPU制御命令 : MOV, SWRS, SEL, NOP, EI, DI

二モニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
MOV	STBC, # byte	4	STBC byte ^注						
	WDM, # byte	4	WDM byte ^注						
SWRS		1	RSS $\overline{\text{RSS}}$						
SEL	RBn	2	RBS2 - 0 n, RSS 0						
	RBn, ALT	2	RBS2 - 0 n, RSS 1						
NOP		1	No Operation						
EI		1	IE \uparrow (Enable Interrupt)						
DI		1	IE \downarrow (Disable Interrupt)						

注 STBCレジスタ, WDMレジスタ操作命令のオペコードが異常のとき, オペコード・トラップ割り込みを発生します。

トラップ時のオペレーション:

(SP - 1) PSW_H, (SP - 2) PSW_L,

(SP - 3) (PC - 4)_H, (SP - 4) (PC - 4)_L,

PC_L (003CH), PC_H (003DH),

SP SP - 4, IE 0

〔メ モ〕

第19章 命令実行速度

19.1 メモリ空間とアクセス速度

19.1.1 メインRAMと周辺RAM

μPD78366Aは、F700H-FEFFFHの領域に2048バイトの内部RAM^{注1}を持っていますが、アクセス速度の違いによりメインRAMと周辺RAMに大別されます。

メインRAMは、エグゼキューション・ユニット (EXU) 内部に存在するため最も高速にアクセスできます。

- ・メインRAM (FE00H-FEFFFH) 1クロック / 1ワード
- ・周辺RAM (F700H-FDFFFH)^{注2} 3+nクロック / 1ワード (偶数アドレスに対するワード・アクセス時)

注1 . μPD78363Aの場合、FC00H-FEFFFH (768バイト)

2 . μPD78363Aの場合、FC00H-FDFFFH

注意 メインRAM領域 (FE00H-FEFFFH) へのワード・アクセス (スタック操作を含む) を実行する場合、オペランドで指定するアドレスは偶数に限ります。

備考 nはプログラマブル・ウエイト・コントロール・レジスタ (PWC) で設定するウエイト数です。

19.1.2 メモリ・アクセス

(1) オペコード・フェッチ

(a) アクセス範囲

μ PD78366Aは、0000H-FDFFH番地に対してオペコード・フェッチが可能です(図19-1 参照)。

FE00H-FFFFH番地に対してはオペコード・フェッチを行うことはできません。

(b) アクセスに要するクロック数

オペコード・フェッチに必要なクロック数はPWCレジスタにより16 Kバイトごとに指定できます。クロック数はアクセスする領域により異なります。

高速フェッチ・サイクル・モードに指定できるのは内部メモリだけです。

表19-1 オペコード・フェッチに必要なクロック数

アクセス領域		アクセス・サイクル
周辺RAM	通常フェッチ	3+nクロック / 1ワード
	高速フェッチ	2クロック / 1ワード
外部メモリ		3+nクロック / 1バイト
内部ROM ^注	通常フェッチ	3+nクロック / 1ワード
	高速フェッチ	2クロック / 1ワード

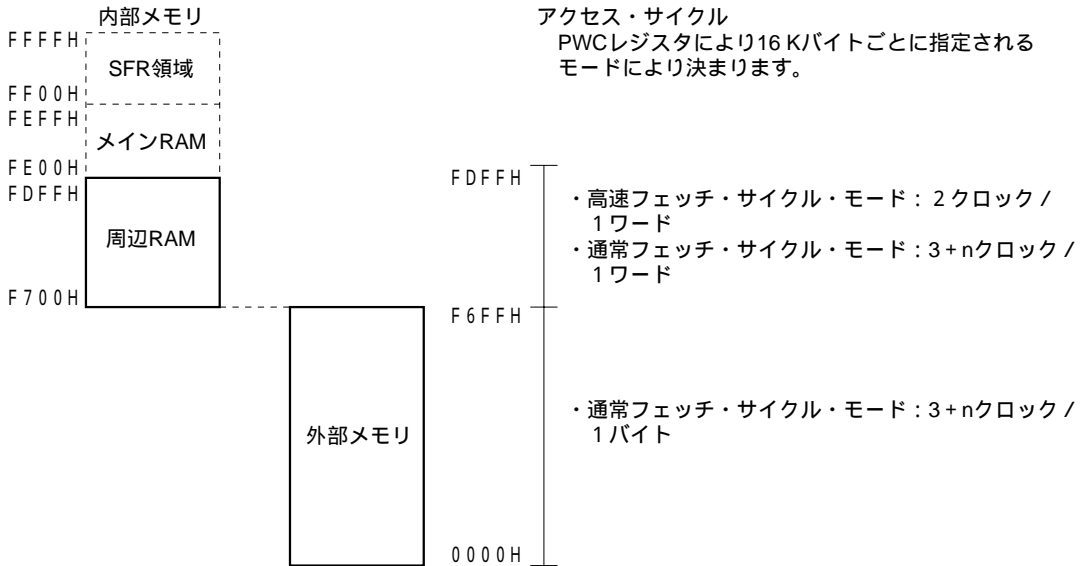
注 μ PD78363A, 78366A, 78368A, 78P368Aのみ

備考 nはPWCレジスタで指定されるウェイト数です。

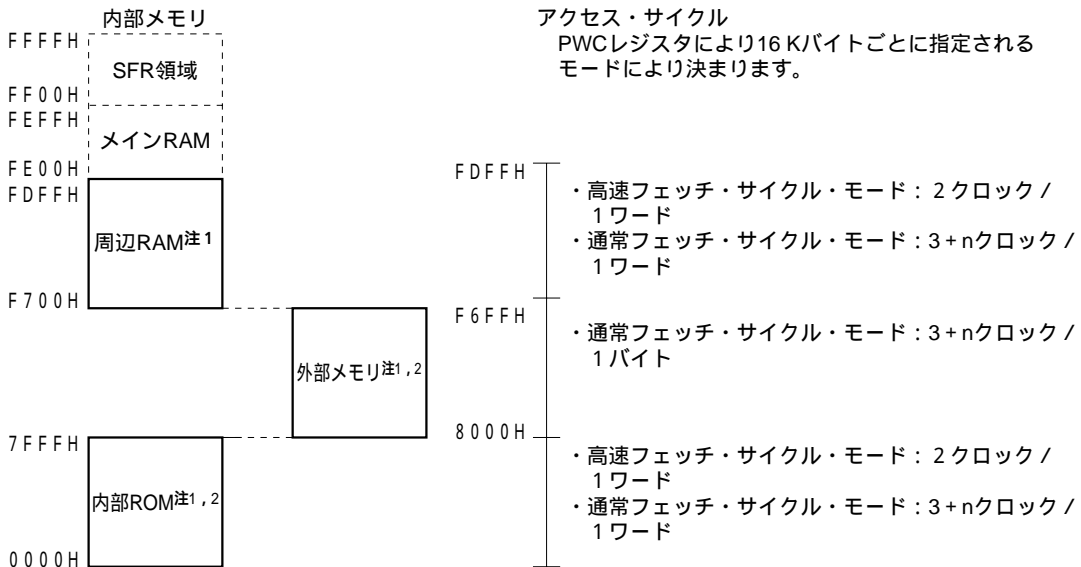
注意 PWCレジスタによるモードの指定は、その領域に存在するメモリが内部メモリであろうと外部メモリであろうと無関係に行われますので、リセット後には全空間通常フェッチ・サイクル・モードに指定されます。

図19 - 1 オペコード・フェッチ時のメモリ・アクセス概略図

(1) μ PD78365Aの場合



(2) μ PD78363A, 78366A, 78368A, 78P368Aの場合



注1. μ PD78363Aの場合、アドレスは次のとおりです。

周辺RAM (FC00H-FDFFH), 外部メモリ (6000H-FBFFH), 内部ROM (0000H-5FFFH)

2. μ PD78368A, 78P368Aの場合、アドレスは次のとおりです。

外部メモリ (C000H-F6FFH), 内部ROM (0000H-BFFFFH)

備考 nはPWCレジスタで指定されるウェイト数です。

(c) メモリ・アクセス時のバス制御信号 (ASTB, \overline{RD} , \overline{WR})

μ PD78366Aは、オペコード・フェッチするときに、ASTB, \overline{RD} , \overline{WR} などのバス制御信号を出力します。出力する信号は、アクセスする領域により異なります(表19-2 参照)。

表19-2 オペコード・フェッチ時のバス制御信号

(1) μ PD78365Aの場合

アクセス領域		アドレス	ASTB	\overline{RD}	\overline{WR}
周辺RAM	通常フェッチ	F700H-FDFFH		-	-
	高速フェッチ		注	-	-
外部メモリ		0000H-F6FFH			-

注 BR命令の場合のみ、ASTB信号が出力されます。

備考 : 信号を出力する

- : 信号を出力しない(インアクティブ・レベルを出力)

(2) μ PD78363A, 78366A, 78368A, 78P368Aの場合

アクセス領域		アドレス	ASTB	\overline{RD}	\overline{WR}
周辺RAM	通常フェッチ	F700H-FDFFH ^{注1}		-	-
	高速フェッチ		注3	-	-
外部メモリ		8000H-F6FFH ^{注1, 2}			-
内部ROM	通常フェッチ	0000H-7FFFH ^{注1, 2}		-	-
	高速フェッチ		注3	-	-

注1 . μ PD78363Aの場合、アドレスは次のとおりです。

周辺RAM (FC00H-FDFFH), 外部メモリ (6000H-FBFFH), 内部ROM (0000H-5FFFH)

2 . μ PD78368A, 78P368Aの場合、アドレスは次のとおりです。

外部メモリ (C000H-F6FFH), 内部ROM (0000H-BFFFH)

3 . BR命令の場合のみ、ASTB信号が出力されます。

備考 : 信号を出力する

- : 信号を出力しない(インアクティブ・レベルを出力)

(2) データ・アクセス

MOV A, [HL] SUB [DE+], Aのように命令実行中にメモリに対してデータの読み出し / 書き込みを行う場合。

(a) アクセス範囲

μ PD78366Aは、64 Kバイト全空間に対してデータ・アクセス可能です。ただし、FE00H-FFFFH番地のアドレス範囲では、内部メモリが優先的にアクセスされます。例外として、FFD0H-FFDFH番地の16バイトの外部SFR領域に対しては外部メモリをアクセスします(図19-2 参照)。

(b) アクセスに要するクロック数

データ・アクセスに必要なクロック数は、アクセスする領域により異なります。

表19-3 データ・アクセスに必要なクロック数

アクセス領域	アドレス	リード・アクセス	ライト・アクセス
メインRAM	FE00H-FFFFH	1クロック / 1ワード	1クロック / 1ワード
SFR	FF00H-FFFFH	4クロック / 1ワード	4クロック / 1ワード
内部ROM ^{注1}	0000H-7FFFH ^{注2, 3}	3 + nクロック / 1ワード	-
周辺RAM	F700H-FDFFH ^{注2}		1クロック / 1ワード ^{注4}
外部SFR	FFD0H-FFDFH	3 + nクロック / 1バイト	1クロック / 1バイト ^{注4}
外部メモリ	-		

備考 nはPWCレジスタで指定されるウエイト数です。

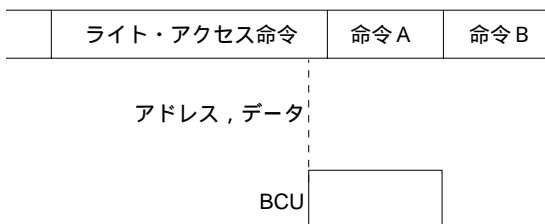
注1 . μ PD78363A, 78366A, 78368A, 78P368Aのみ。

2 . μ PD78363Aの場合、内部ROM (0000H-5FFFH), 周辺RAM (FC00H-FDFFH) です。

3 . μ PD78368A, 78P368Aの場合、内部ROM (0000H-BFFFH) です。

4 . 周辺RAM, 外部SFR, 外部メモリへのデータ・ライト・アクセスは、BCU (バス・コントロール・ユニット) にアドレスとデータを渡すだけなので、1クロックで終了しますが、バスはデータ・リード・アクセスと同じ時間 (3 + nクロック) 占有されます。したがって、この領域に対するデータ・ライト・アクセスのあと、続けてデータ・アクセスを行うと、クロック数が余分にかかる可能性があります。

ライト・アクセスの場合



リード・アクセスの場合

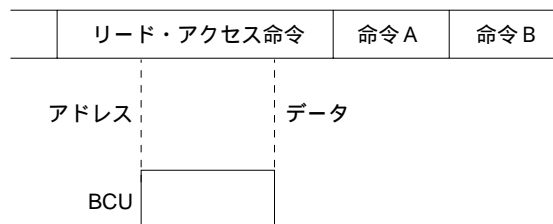
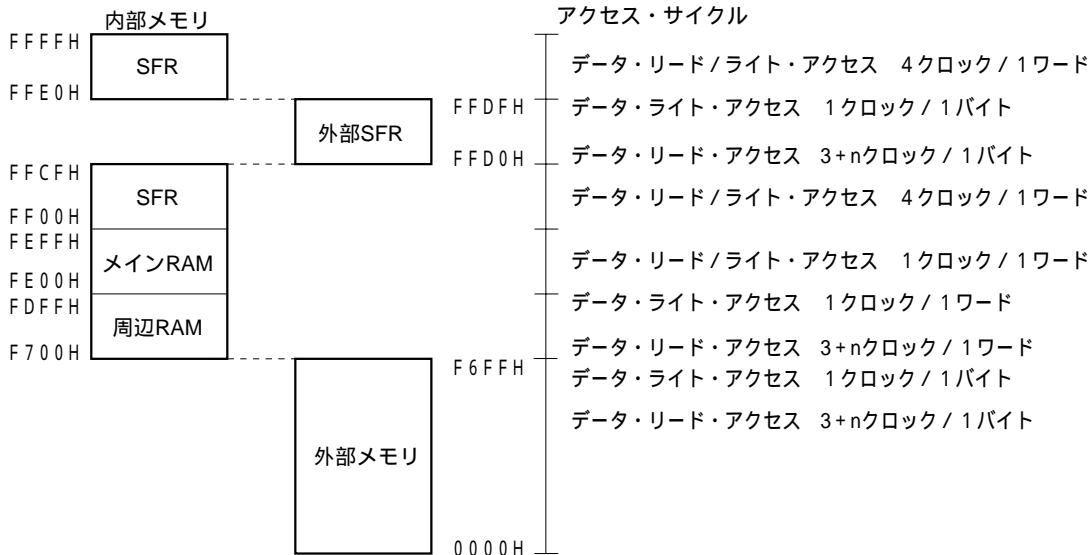
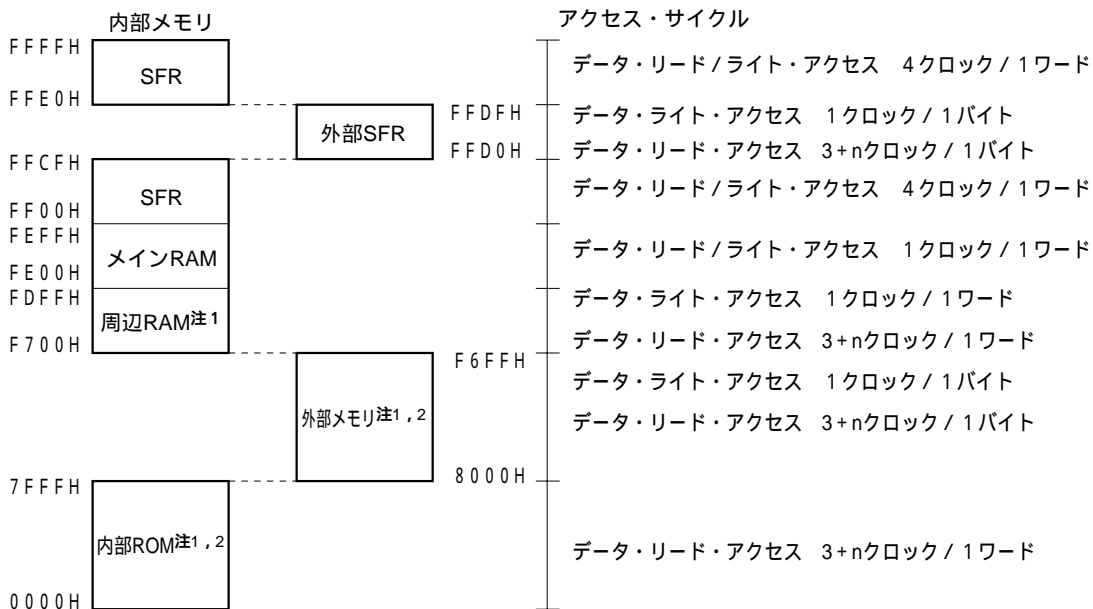


図19 - 2 データ・アクセス時のメモリ・アクセス概略図

(1) μ PD78365Aの場合



(2) μ PD78363A, 78366A, 78368A, 78P368Aの場合



注 1 . μ PD78363Aの場合，アドレスは次のとおりです。

周辺RAM (FC00H-FDFH) ，外部メモリ (6000H-FBFFH) ，内部ROM (0000H-5FFFH)

2 . μ PD78368A, 78P368Aの場合，アドレスは次のとおりです。

外部メモリ (C000H-F6FFH) ，内部ROM (0000H-BFFFH)

備考 nはPWCレジスタで指定されるウエイト数です。

(c) メモリ・アクセス時のバス制御信号 (ASTB, \overline{RD} , \overline{WR})

μ PD78366Aは、データ・アクセスするときに、ASTB, \overline{RD} , \overline{WR} などのバス制御信号を出力します。出力する信号は、アクセスする領域により異なります。(表19-4 参照)。

表19-4 データ・アクセス時のバス制御信号

(1) μ PD78365Aの場合

アクセス領域	アドレス	ASTB	\overline{RD}	\overline{WR}
SFR	FFE0H-FFFFH FF00H-FFCFH	-	-	-
外部SFR	FFD0H-FFDFH			
メインRAM	FE00H-FEFFFH	-	-	-
周辺RAM	F700H-FDFFFH		-	-
外部メモリ	0000H-F6FFFH			

備考 : 信号を出力する

- : 信号を出力しない(インアクティブ・レベルを出力)

(2) μ PD78363A, 78366A, 78368A, 78P368Aの場合

アクセス領域	アドレス	ASTB	\overline{RD}	\overline{WR}
SFR	FFE0H-FFFFH FF00H-FFCFH	-	-	-
外部SFR	FFD0H-FFDFH			
メインRAM	FE00H-FEFFFH	-	-	-
周辺RAM	F700H-FDFFFH ^{注1}		-	-
外部メモリ	8000H-F6FFFH ^{注1, 2}			
内部ROM	0000H-7FFFH ^{注1, 2}		-	-

注1 . μ PD78363Aの場合、アドレスは次のとおりです。

周辺RAM (FC00H-FDFFFH), 外部メモリ (6000H-FBFFFH), 内部ROM (0000H-5FFFH)

2 . μ PD78368A, 78P368Aの場合、アドレスは次のとおりです。

外部メモリ (C000H-F6FFFH), 内部ROM (0000H-BFFFFH)

備考 : 信号を出力する

- : 信号を出力しない(インアクティブ・レベルを出力)

19.2 割り込み実行速度

割り込み実行速度を以下に示します。ただし、優先順位判定時間は含まれていません。優先順位の判定は2クロックごとに行いますので、割り込み発生のタイミングにより判定時間は0-2クロックのあいだで変化します。

nはPWCレジスタで指定されるウェイト数を示します。

(1) ベクタ割り込み処理

スタック	クロック数
メインRAM (FE00H-FEFFFH)	21 + 2n
周辺RAM (F700H-FDFFFH) 注1	25 + 2n/33 + 2n注2
外部メモリ	33 + 6n

注1 . μPD78363Aの場合、FC00H-FDFFFH

2 . 偶数アドレスのとき / 奇数アドレスのとき

(2) コンテキスト・スイッチング処理

クロック数.....17 + 2n

(3) マクロ・サービス処理

マクロ・サービス	クロック数		
	バイト操作	ワード操作	
EVTCNT	12		
BLKTRS mem SFR	18	19	
BLKTRS SFR mem	17	18	
BLKTRS-P mem SFR (IRAM)	20	21	
	(PRAM)	22	23/27注
	(EMEM)	22 + n	27 + 2n
BLKTRS-P SFR mem (IRAM)	20	21	
	(PRAM)	22	23/27注
	(EMEM)	22 + n	27 + 2n
DTADIF	-	22	
DTADIF-P (IRAM)	-	26	
	(PRAM)	-	28/32注
	(EMEM)	-	32 + 2n

注 偶数アドレスのとき / 奇数アドレスのとき

19.3 実行クロック数の計算

命令実行クロック数の計算法を説明します。

(1) 基本クロック数の計算

- (a) プログラムが内部ROM，周辺RAM (F700H-FDFFH) に存在するとき (高速フェッチ・モードに指定)

クロック数の合計が基本クロック数になります。

- (b) プログラムが通常外部メモリに存在するとき (通常フェッチ・モードに指定)

次の2つの数のうち大きい方が基本クロック数になります。

- ・クロック数の合計
 - ・実行命令のバイト数の合計 $\times (3+n)$
- nはPWCレジスタで指定されるウェイト数です。

なお，内部ROM，周辺RAMでも，高速フェッチ・モードに指定しなければ (b) で計算されます。

計算例 μ PD78366A (内部クロック16 MHz，ウェイト0，[HL]がメインRAMを指しているとき)

		バイト数	クロック数
MOV	A,[HL]	1	6
ADD	A,B	2	3
MOV	[HL]A	1	5
		4	14

上のプログラムの実行時間は次のように計算されます。

- (a) プログラムが内部ROMにあるとき

実行クロック数は14より， $14 \times 0.0625 \mu\text{s} = 0.875 \mu\text{s}$

- (b) プログラムが外部メモリにあるとき

実行クロック数は， $4 \times 3 = 12 < 14$ より14となるから， $0.875 \mu\text{s}$

(2) 基本クロック数に補正値を加算

(a) オペランドにsaddr, saddrpを記述する命令で、SFR領域 (FF00H-FF1FH) をアクセスする場合
アクセス1回につき4クロックずつ増加します。

表19 - 5 各命令のsaddrアクセス回数 (1/2)

	命 令	アクセス回数
MOV	saddr, # byte	1
	A, saddr	
	saddr, A	
	saddr, saddr	1/2 ^{注2}
	A, [saddrp]	1
	[saddrp] A	
XCH	A, saddr	2
	A, [saddrp]	1
	saddr, saddr	2/4 ^{注2}
MOVW	saddrp, # word	1
	AX, saddrp	
	saddrp, AX	
	saddrp, saddrp	1/2 ^{注2}
XCHW	AX, saddrp	2
	saddrp, saddrp	2/4 ^{注2}
ALU ^{注1}	saddr, # byte	2
	A, saddr	1
	saddr-D, saddr-S	1/2/3 ^{注3}
CMP	saddr, # byte	1
	A, saddr	
	saddr, saddr	1/2 ^{注2}

注1 . ALU : ADD, ADDC, SUB, SUBC, AND, OR, XOR

2 . どちらか一方がSFR領域のとき / 両方ともSFR領域のとき

3 . ソース (saddr-S) のみがSFR領域のとき / ディスティネーション (saddr-D) のみがSFR領域のとき / 両方ともSFR領域のとき

表19 - 5 各命令のsaddrアクセス回数 (2/2)

命 令	アクセス回数	
ADDW, SUBW	saddrp, # word	2
	AX, saddrp	1
	saddrp-D, saddrp-S	1/2/3 ^{注1}
CMPW	saddrp, # word	1
	AX, saddrp	
	saddrp-D, saddrp-S	1/2 ^{注2}
INC, DEC	saddr	2
INCW, DECW	saddrp	2
MOV1	CY, saddr.bit	1
	saddr.bit, CY	2
AND1, OR1	CY, saddr.bit	1
	CY, /saddr.bit	
XOR1	CY, saddr.bit	1
SET1, CLR1, NOT1	saddr.bit	2
BT, BF	saddr.bit, \$ addr16	1
BTCLR, BFSET	saddr.bit, \$ addr16	2
DBNZ	saddr.bit, \$ addr16	2

注1 . ソース (saddr-S) のみがSFR領域のとき / ディスティネーション (saddr-D) のみがSFR領域のとき / 両方ともSFR領域のとき

2 . どちらか一方がSFR領域のとき / 両方ともSFR領域のとき

(b) オペランドにsfr, sfrpを記述する命令で、以下のSFR領域をアクセスする場合

補正值 = アクセス1回につき増加するクロック数 × アクセス回数

アクセスされるSFR	アクセス1回につき増加するクロック数	
	リード時	ライト時
MM	n/0 ^注	
PWC	0/1 ^注	

注 通常フェッチ時 / 高速フェッチ時

備考 n : PWCレジスタで指定されるウェイト数

(c) 分岐命令, CALL命令

分岐命令, CALL命令により, 命令キューがクリアされます。したがって, 分岐命令の直後の命令を実行する前に, 次のクロック数だけ余分にかかります。

高速フェッチ・モード時..... 7 ~ 8クロック

通常フェッチ・モード時..... 7 ~ 10+nクロック

増加するクロック数は, オペコード・フェッチのタイミングにより上記の範囲で変化し, 確定しません。

第20章 使用上の注意事項

この章では、各章の注意事項をまとめて記載しています。応用製品設計時にご利用ください。なお、()内のページは、各注意事項の該当ページを示します。

20.1 「第2章 端子機能」に関する注意事項

- (1) P00-P07 (Port0) , P10-P17 (Port1) , P30-P36 (Port3) , P80-P85 (Port8) は、 $\overline{\text{RESET}}$ 信号の入力により、各端子とも入力ポートになります (出力ハイ・インピーダンス)。このとき、出力ラッチの内容は不定になります。 (p.17-19, 22)
- (2) P40-P47 (Port4) , P50-P57 (Port5) , P90-P93 (Port9) は、 $\overline{\text{RESET}}$ 信号の入力により、ポート・モード、外部メモリ拡張モードのいずれの場合も、各端子とも入力ポートになります (出力ハイ・インピーダンス)。このとき、出力ラッチの内容は不定になります。 (p.20, 21, 23)
- (3) MODE0, MODE1端子は、必ずV_{DD}またはV_{SS}に直接接続してください。 (p.23)
- (4) μ PD78P368Aの場合、ROMレス・モードに設定することはできません。 (p.23)

20.2 「第3章 CPUアーキテクチャ」に関する注意事項

- (1) μ PD78P368Aの場合、ROMレス・モードに設定することはできません。 (p.33)
- (2) メインRAM領域 (FE00H-FE7FH) へのワード・アクセス (スタック操作を含む) を実行する場合、オペランドで指定するアドレスは偶数に限ります。 (p.30-33, 46, 56-59)
- (3) メインRAM領域 (FE00H-FE7FH) へのワード・アクセス (スタック操作を含む) を実行する場合、参照アドレスが偶数が奇数かでアクセス動作が異なります。したがって、偶数アドレスへのアクセスと奇数アドレスへのアクセスが混在すると、誤動作の原因となりますので、参照アドレスは偶数のみとしてください。また、16ビット・データ転送命令を実行する場合、オペランドで指定するアドレスは偶数としてください。奇数アドレスを指定するとアセンブラ・パッケージ (RA78K3) でエラーが発生します。 (p.35)
- (4) 周辺RAM領域とメインRAM領域にまたがるワード・アクセスはしないでください。 (p.35)

- (5) 特殊機能レジスタのマッピングされていないアドレス（外部アクセス領域を除く）はアクセスしないでください。（p.39）
- (6) $\overline{\text{RESET}}$ 入力, BRK命令, オペコード・トラップ割り込みのベクタ・テーブルは, それぞれ0000H, 003EH, 003CHに固定で, TPFの影響は受けません。（p.46）
- (7) 特殊機能レジスタ（SFR）に対して書き込みを行う際, “0”あるいは“1”を規定されるビットについては, “0”, “1”とそれぞれ書き込んでください。（p.50）
- (8) 読み出し専用の特殊機能レジスタに書き込みをしないでください。書き込みをすると誤動作することがあります。（p.50）
- (9) 特殊機能レジスタ領域（FF00H-FFFFH）で, SFRの割り付けられていないアドレス（外部アクセス領域を除く）はアクセスしないでください。アクセスすると誤動作することがあります。（p.50）
- (10) 読み出しデータをバイト・データとして使用する場合, 不定ビットを処置してから使用してください。（p.50）
- (11) タイマ・アウト・レジスタ（TOUT）, シリアル送信シフト・レジスタ（TXS）は書き込みのみ可能なレジスタです。読み出しをしないでください。（p.50）
- (12) シリアル・バス・インタフェース・コントロール・レジスタ（SBIC）のビット0, 1, 4は書き込みのみ可能なビットです。このビットを読み出すと“0”が読み出されます。（p.50）

20.3 「第5章 ポート機能」に関する注意事項

- (1) μ PD78365Aの場合, および μ PD78363A, 78366A, 78368AのROMレス・モードの場合は, ポート4, ポート5, ポート9（下位2ビット）はポートとして機能しません。（p.65）
- (2) コントロール・モード時に入力端子として機能する端子は, 動作中にポート・モード・コントロール・レジスタの該当ビットを書き換えた場合, 誤動作の恐れがあります。したがって, ポート・モード・コントロール・レジスタへの書き込みは, システムの初期設定時などに行ってください。動作中ダイナミックに書き換えしないでください。（p.69）
- (3) ポート・リード・コントロール・レジスタ（PRDC）のビット7-1は, ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。（p.72）

- (4) PRDCレジスタの端子アクセス・モード (PRDC0 = 1) では、ポートへのビット操作命令は正常動作しません。ポートのチェック終了後、必ずリセットして通常モード (PRDC0 = 0) に戻してください。
(p.73)
- (5) PRDCレジスタの端子アクセス・モードにおいて、割り込みが発生すると、このモードが維持されたままビット操作命令等を実行する可能性があり、誤動作の原因となります。チェックを開始する前に必ずDI状態にしてください。
また、ポートを操作するマクロ・サービスは使用しないでください。(p.73)
- (6) PRDCレジスタの端子アクセス・モードにおいて、ノンマスカブル割り込みの発生は避けられませんので、システムに応じて、プログラム上で次のような対策を講じてください。(p.73)
- ・ノンマスカブル割り込みルーチンではポート操作は行わない。
 - ・ノンマスカブル割り込みルーチンの最初でPRDC. 0のレベルを退避して、リターン時に復帰する。
- (7) 端子アクセス・モードは、出力ポートに対して端子状態をアクセスするための機能です。端子アクセス・モード (PRDC0 = 1) 時に入力ポート・モード (PMXn = 1) に設定されている端子を読み込んだ場合、入力レベルにかかわらず必ず“0”が読み込まれます。(p.73)
- (8) CHKLまたはCHKLA命令は、PRDCレジスタのPRDC0ビットが“0” (通常モード) の状態で使用してください。(p.74)
- (9) 各入出力ポートの端子のうち、入力ポート・モードに設定している端子については、ポート・モード / コントロール・モードの設定にかかわらず、CHKLまたはCHKLA命令の結果は常に一致します。また、入力専用ポートについては、出力ラッチがないため、CHKLまたはCHKLA命令を実行すると、入力端子レベルを読み込みます。したがって、入力専用ポートに対するCHKLまたはCHKLA命令は実質的に無効ですので使用しないでください。(p.74)
- (10) ポート4を入力ポート・モードまたは拡張モードに設定して、CHKLまたはCHKLA命令を実行すると不一致が発生することがあります (CHKLまたはCHKLA命令実行中に端子レベルが変化すると不一致となります)。したがって、ポート4を入力ポート・モードまたは拡張モードに設定している場合には、これらの命令を実行しないでください。(p.74)
- (11) 1つのポート内で、コントロール出力とポート出力を混在して使用しているポートの出力レベルをCHKLまたはCHKLA命令でチェックする場合には、コントロール出力端子の入出力モードを入力モードに設定してからこれらの命令を実行してください (コントロール出力は非同期に出力レベルが変化するため、CHKLまたはCHKLA命令による出力レベルのチェックはできません)。(p.74)

- (12) メモリ拡張モード・レジスタ (MM) のビット 3, 4, 7 は、ハードウェア上 “ 0 ” 固定です。
“ 1 ” を書き込んでも “ 0 ” のまま変化しません。(p.85)
- (13) MMレジスタのフォーマット図で「設定禁止」と書いてあるコードの組み合わせは、絶対に書き込まないでください。(p.85)
- (14) P20/NMI端子は、ハードウェア上プルアップ抵抗を内蔵していません。したがって、PUO2 = 1 に設定しても、P20/NMI端子にはプルアップ抵抗は内蔵されません。(p.86)
- (15) IE-78350-Rで μ PD78366Aをエミュレーションする場合、プルアップ抵抗オプション・レジスタ (PUOL, PUOH) のPUO1, PUO4, PUO5, PUO9ビットに “ 1 ” をセットしても、ポート 1, 4, 5, 9の内蔵プルアップ抵抗は無効です。プルアップ抵抗を使用するときは、IE-78350-Rと μ PD78366Aのソフトウェアを共通化するために該当ビットに “ 1 ” をセットしたうえで、プルアップ抵抗を外付けしてください。(p.87)
- (16) PUOLレジスタのビット 7, 6, PUOHレジスタのビット7-2は、ハードウェア上 “ 0 ” 固定です。
“ 1 ” を書き込んでも “ 0 ” のまま変化しません。(p.87)

20.4 「第6章 クロック発生回路」に関する注意事項

- (1) 外部クロックを使用する場合、STOPモードに設定しないでください。(p.89)
- (2) システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、次のように配線してください。(p.90)
- ・配線を極力短くする。
 - ・ほかの信号線と交差させない。また、変化する大電流が流れる線と接近させない。
 - ・発信回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
 - ・発振回路から信号を取り出さない。
- (3) 外部クロックを入力する場合には、X2端子に配線容量などの負荷が接続されないようにしてください。(p.90)

20.5 「第7章 リアルタイム・パルス・ユニット」に関する注意事項

- (1) タイマ・アウト・レジスタ (TOUT) のデータがポート 8 に出力される条件は、ポート 8 がコントロール・モード (TO00-TO05出力) で、さらに、TM0が汎用インターバル・タイマ・モードまたは

- PWMモード1の場合です。それ以外の場合は、TOUTのデータはポート8に出力されませんので、TOUTの内容を読み出すことはできません。(p.101)
- (2) タイマ・ユニット・モード・レジスタ0 (TUM0)のALVTOビットの指定は、ポート8モード・コントロール・レジスタ (PMC8)でコントロール・モード (TO00-TO05)に設定された端子で、さらにTM0がPWMモード0 (対称三角波, 非対称三角波, のこぎり波)のときのみ有効です。(p.104)
- (3) TUM0レジスタのICMEビットの指定は、TM0が汎用インターバル・タイマ・モード (TMOD02=0)のときのみ有効です。(p.104)
- (4) TM0動作中 (CE0=1)およびDTM0-DTM2動作中 (CED=1)にTUM0レジスタのRMOD, TMOD02-TMOD00, ALVTOビットを変更することは禁止します。(p.104)
- (5) NMIの有効エッジ発生後、約20システム・クロックの間、有効エッジ発生信号が保持されます。この期間にTODIS0ビットを“0”から“1”に変更した場合、すでに発生しているNMIでTO00-TO05端子はオフします。
TODIS0ビットの操作は、システムの初期設定以外では、NMIルーチン内で行うことを推奨します。(p.105)
- (6) タイマ・コントロール・レジスタ0 (TMC0)のビット6は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。(p.107)
- (7) TM0動作中 (CE0=1)にTMC0レジスタのB3TR, PRM02-PRM00ビットを変更することは禁止します。(p.107)
- (8) CE0=0 (TM0停止)にすると、 \bar{U}/D フラグはクリア (0)されます。(p.107)
- (9) タイマ・コントロール・レジスタ1 (TMC1)のCEDビットは、3つのデッド・タイム・タイマ (DTM0-DTM2)に対して共通に制御します。(p.108)
- (10) TMC1レジスタのビット6-4, 2は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。(p.108, 142)
- (11) TM0動作中 (CE0=1)にTMC1レジスタのCEDビットを変更することは禁止します。(p.108)
- (12) INTM0レジスタのビット1は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。(p.109, 160)

- (13) CM03 = 0000H設定は禁止します。(p.111, 113, 120, 129, 137)
- (14) 正相または逆相のアクティブ幅が計算式で“0”または“マイナス”になるような値を設定した場合、TO00-TO05端子は、アクティブ幅“0”でインアクティブ・レベル固定の波形を出力します。(p.115, 122, 131)
- (15) タイマ0がPWMモード0(のこぎり波変調)のとき、第1周期は、CM00-CM02が一致してもF/Fは変化しません。したがって、出力レベルも正相(TO00, TO02, TO04)はインアクティブ・レベル、逆相(TO01, TO03, TO05)はアクティブ・レベルのままです。第2周期からPWM波形を出力できます。アクティブ・レベルはTUM0レジスタのALVTOビットで設定します。(p.129)
- (16) SBUF0-SBUF5, MBUF0-MBUF5は、8ビット・アクセスのレジスタです。しかし、TO00-TO05に出力されるのは下位6ビットのみです。上位2ビットは無視されます(ハードウェア上“0”固定です)。(p.137)
- (17) TM1動作中(CE1 = 1)にTMC1レジスタのPRM11, PRM10ビットを変更することは禁止します。(p.142)
- (18) CC20をコンペア・レジスタとして使用する場合(CCM2 = 1), INTP3は外部割り込み端子として使用することはできません。(p.147)
- (19) CC20はハードウェア上、コンペア・レジスタとキャプチャ・レジスタを別々に内蔵しています。タイマ・コントロール・レジスタ2(TMC2)の設定によりどちらかを選択できます。書き込みは、コンペア・レジスタのみ可能です。読み出しは、選択されている方のレジスタの内容を読むことができます。(p.147)
- (20) TMC2レジスタのビット6, 5は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。(p.147)
- (21) TM2動作中(CE2 = 1)にTMC2レジスタのCCM2, CLR2, PRM22-PRM20ビットを変更することは禁止します。(p.147)
- (22) INTM1レジスタのビット7-4は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。(p.148, 160)
- (23) INTCC20とINTP3は、割り込みベクタ・テーブルを共用しています。(p.151)

- (24) CC30をコンペア・レジスタとして使用する場合 (CCM3 = 1), INTP0は外部割り込み端子として使用することはできません。(p.159)
- (25) CC30はハードウェア上, コンペア・レジスタとキャプチャ・レジスタを別々に内蔵しています。タイマ・コントロール・レジスタ3 (TMC3) の設定によりどちらかを選択できます。書き込みは, コンペア・レジスタのみ可能です。読み出しは, 選択されている方のレジスタの内容を読むことができます。(p.159)
- (26) TMC3レジスタのビット6, 5は, ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。(p.159)
- (27) TM3動作中 (CE3 = 1) にTMC3レジスタのCCM3, CLR3, PRM32-PRM30ビットを変更することは禁止します。(p.159)
- (28) SMPC1レジスタのビット7-2は, ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。(p.162)
- (29) INTCC30とINTP0は, 割り込みベクタ・テーブルを共用しています。(p.164)
- (30) タイマ・ユニット・モード・レジスタ1 (TUM1) のビット0, 1, 4-6の指定は, CMD = 1のときのみ有効です。ビット2, 3の指定は, CMD = 0のときのみ有効です。(p.174)
- (31) TM4の動作がモード4に指定されている場合 (TMC4レジスタで指定) には, TIUD端子に対する有効エッジの指定 (TUM1レジスタで指定) は無効となります。(p.174, 179, 186, 191)
- (32) TM4動作中 (CE4 = 1) にTUM1レジスタの各ビットを変更することは禁止します。(p.174)
- (33) タイマ・コントロール・レジスタ4 (TMC4) の \bar{U}/D ビットの指定は, CMD = 1のときのみ有効です。(p.176)
- (34) TM4動作中 (CE4 = 1) にタイマ・コントロール・レジスタ4 (TMC4) のENMD, \bar{I}/E , PRM41, PRM40ビットを変更することは禁止します。(p.176)
- (35) TMC4レジスタの \bar{U}/D ビットへの操作は, TUM1レジスタのCMDビットの設定により次のように異なります。(p.178)
- CMD = 0のとき
- \bar{U}/D ビットはハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。読み出すと, 必ず“0”が読み出されます。

- CMD = 1で内部クロックを選択したとき
 \bar{U}/D ビットへの書き込み可能です。読み出し操作をすると、書き込んだ値が読み出されます。
- CMD = 1で外部クロックを選択したとき
 \bar{U}/D ビットへの書き込みはハードウェア上できません。読み出し操作をすると、TM4のアップ/ダウン状態が読み出されます。
- (36) TM4が停止中 (CE4 = 0) のときには、 \bar{U}/D ビットに対して“1”を書き込んでも、“0”のまま書き換えることができません。TM4をスタートからダウン動作させたい場合、TMC4レジスタに対して、MOV命令でCE4ビットと \bar{U}/D ビットを同時にセット(1)してください。(p.178, 185)
- (37) UDCモードでは、ENMD = 1は設定禁止です。(p.183)
- (38) TM4のモード4でTIUD端子とTCUD端子のエッジが同時に入力された場合は、TM4のアップ/ダウン動作は、直前の動作のままカウントを続行します。(p.191)
- (39) リアルタイム出力ポート・レジスタ (RTP) は、8ビット・アクセスのレジスタです。RTPレジスタを読み出した場合、RTPレジスタに設定したデータが下位4ビットに乗ります。上位4ビットは、ハードウェア上“0”固定なので、“0”が読み出されます。(p.195)
- (40) リアルタイム出力ポート・モード・レジスタ (RTPM) のビット7, 6, 3, 2は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。(p.196)
- (41) RTPレジスタの上位4ビットは、ラッチ回路を持たず“0”固定です。したがって、上位4ビットに“1”を書き込んでも“0”のまま変化しません。(p.197)

20.6 「第8章 A/Dコンバータ」に関する注意事項

- (1) アナログ入力端子、(ANI0-ANI7) および基準電圧入力端子 (AVREF) には、ノイズによる誤動作を防ぐため、キャパシタを接続してください。(p.201)
- (2) A/Dコンバータの入力端子として使用している端子には、AVSS-AVDDの範囲外の電圧を加えないください。(p.201, 209)
- (3) ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特にVDD以上、VSS以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。(p.202)

- (4) μ PD78366AのA/Dコンバータは、変換動作を停止することはできません。したがって、ADMレジスタにデータを設定すると、それ以降はADMレジスタを書き換えるまで、その設定した動作モードで変換動作を継続します。(p.206)
- (5) A/D変換結果の値を直接利用して分岐処理を行うような場合、変換結果が特定の値になったときのみ分岐するプログラムを組むと、変換誤差の影響により、変換結果がその特定値にならず、所定のルーチンに分岐できないことがあります。したがって、変換結果が総合誤差程度の幅を持つ範囲内にあるときに分岐するようなプログラムを組んでください。(p.212)
- (6) ソフトウェア・トリガによりセレクト処理を実行し、再びスキャン処理によるA/D変換を開始する際は、ソフトウェア・トリガ入力前のA/D変換の続きを行います。(p.219, 221)
- (7) 外部トリガまたは割り込みトリガによりセレクト処理を実行し、再びスキャン処理によるA/D変換を開始する際は、外部トリガまたは割り込みトリガ入力前のA/D変換の続きを行います。(p.219, 221)

20.7 「第9章 アシクロナス・シリアル・インタフェース」に関する注意事項

- (1) アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット7は、ハードウェア上“1”固定です。“0”を書き込んでも“1”のまま変化しません。(p.229, 233, 235, 243)
- (2) 通常は、送信シフト・レジスタ (TXS) が空になった場合に送信完了割り込み (INTST) が発生します。しかし、 $\overline{\text{RESET}}$ 入力により、送信シフト・レジスタが空になっても、送信完了割り込みは発生しません。(p.240, 241)
- (3) INTSTが発生するまでの送信動作中は、TXSレジスタへ書き込んでも書き込みデータは無効となります。(p.240)
- (4) 受信エラー発生時にも、受信バッファ (RXB) は必ず読み出してください。RXBレジスタを読み出さないと、次のデータ受信時にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。(p.243, 247)
- (5) アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の内容は、受信バッファ (RXB) を読み出すか、次のデータを受信することにより、リセット (0) されてしまいます。エラーの内容が知りたい場合には、必ず受信バッファ (RXB) を読み出す前にASISレジスタを読み出してください。
なお、マクロ・サービスを用いて受信データをメモリに転送している場合には、シリアル・データ受

信時に受信バッファ (RXB) を読み出してしまうため、ASISレジスタがリセット (0) されてしまいます。したがって、エラーが発生したことしか分かりませんので、この点について問題がないことを確認のうえ、ご使用ください。

エラーの発生は、受信エラー割り込み要求フラグ (SERIF) がセット (1) されている状態、または受信エラー割り込み (INTSER) の受け付けにより知ることができます。(p.247)

- (6) ASISレジスタのビット7-3は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。(p.247)

20.8 「第10章 クロック同期式シリアル・インタフェース」に関する注意事項

- (1) シリアル・クロックの切り替えはシリアル・クロックとは非同期に行われます。したがって、通信中にシリアル・クロックを切り替えると不定幅のシリアル・クロックが出力されることがあります。通信中にはシリアル・クロックは切り替えしないでください。(p.255)

- (2) SBIモードではシリアル・データ・バス端子 (SB0またはSB1) は、オープン・ドレイン出力になっているためシリアル・データ・バス・ラインはワイアード・オア状態になります。したがって、シリアル・データ・バス・ラインにはプルアップ抵抗が必要です。(p.272)

- (3) SBIモードではマスタ/スレーブの交換処理を行う場合には、 \overline{SCK} の入力/出力の切り替えがマスタ、スレーブ間で非同期に行われるため、 \overline{SCK} にもプルアップ抵抗が必要です。(p.272)

- (4) SBIモードでは \overline{SCK} ラインがハイ・レベルのときに、SB0 (またはSB1) ラインがロウ・レベルからハイ・レベル、あるいはハイ・レベルからロウ・レベルに変化すると、バス・リリース信号あるいはコマンド信号と認識されます。したがって、基板容量などの影響でバスの変化タイミングにずれが生じると、データを送信しているにもかかわらず、バス・リリース信号 (あるいはコマンド信号) と判断されてしまうことがあります。配線の引き回しには十分注意してください。(p.274)

- (5) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のRELTS, CMDTビットは送受信動作中に操作しないでください。(p.282)

- (6) SBIモードでは、CTXEビット, CRXEビットをセットする前に必ず端子指定とシリアル・クロック指定を行ってください。(p.286)

20.9 「第11章 PWM信号出力機能」に関する注意事項

- (1) PWM信号を出力する場合、PWMコントロール・レジスタ1 (PWMC1)のCNTEビットに必ず“1”を設定してください。(p.296)
- (2) PWMC1レジスタは、PWM0, PWM1に対して共通に制御します。(p.296)
- (3) PWMC1レジスタのビット4-7は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。(p.296)
- (4) PWM0/PWM1レジスタの下位側は、バイト・アクセス/ビット・アクセスが可能です。上位側のバイト・アクセス/ビット・アクセスは不可能です。(p.296)
- (5) PWM0/PWM1レジスタのビット12-15は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。(p.296)

20.10 「第12章 ウォッチドッグ・タイマ」に関する注意事項

- (1) ウォッチドッグ・タイマ・モード・レジスタ (WDM) は、専用命令 (MOV WDM, # byte) でのみ書き込み可能です。(p.301)
- (2) WDMレジスタによる割り込み要求の優先順位の設定は、スタック・ポインタの初期化などの応用システムの初期設定時に行うようにし、プログラムの実行中に動的に変更しないでください。(p.301)
- (3) WDMレジスタのRUNビットは、いったんセット(1)すると、ソフトウェアではリセット(0)できません。(p.301)
- (4) WDMレジスタのRUNビットのセット(1)によるウォッチドッグ・タイマのクリアにより、カウント・クロックのリセットは行いません。(p.301)
- (5) PRC=1の設定 (INTWDT > NMI) で、ウォッチドッグ・タイマ割り込みとNMI割り込みが同時に発生した場合、NMI割り込み処理ルーチンの最初の1命令を実行したあとにウォッチドッグ・タイマ割り込み処理ルーチンを実行します。したがって、PRC=1の設定で使用する場合、NMI割り込み処理ルーチンの最初の命令は、NOP命令としてください。(p.301)
- (6) WDMレジスタのビット6, 5, 0は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。(p.301)

- (7) WDMレジスタのビット3には、必ず“0”を書き込んでください。(p.301)
- (8) 電源の投入直後は、最大32クロックの間、ウォッチドッグ・タイマ出力端子($\overline{\text{WDTO}}$)はロウ・レベルとなる可能性があります。(p.302)
- (9) ウォッチドッグ・タイマがSTOPモード解除後の発振安定時間用タイマとして動作している場合は、オーバフローしても $\overline{\text{WDTO}}$ 端子はインアクティブ・レベルのまま変化しません。(p.302)

20.11 「第13章 割り込み機能」に関する注意事項

- (1) 割り込み制御レジスタのビット3, 2は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。(p.311, 312)
- (2) 割り込みモード・コントロール・レジスタ(IMC)のビット6-0は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。(p.315)
- (3) インサース・プライオリティ・レジスタ(ISPR)は読み出しのみ可能です。書き込みを行うと誤動作をするおそれがあります。(p.316)
- (4) ISPRレジスタのビット7-4は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。(p.316)
- (5) ノンマスクابل割り込み処理ルーチン中でもマクロ・サービスの要求は受け付けられ、処理されません。ノンマスクابل割り込み処理ルーチン中でマクロ・サービスの処理を行いたくない場合は、ノンマスクابل割り込み処理ルーチン中で割り込みマスク・フラグ・レジスタを操作して、マクロ・サービスが発生しないようにしてください。(p.321)
- (6) ノンマスクابل割り込みからの復帰には、必ずRETI命令を使用してください。他の命令では、以降の割り込みの受け付けが正常に行われません。(p.321)
- (7) ノンマスクابل割り込みは、ノンマスクابل割り込み処理実行中(優先順位の低いノンマスクابل割り込み処理実行中に、優先順位の高いノンマスクابل割り込みの要求が発生した場合を除く)および13.9に示す特定命令の実行後の一定期間を除いては必ず受け付けられます。したがって、特にリセット解除後などのスタック・ポインタの値が不定の場合でもノンマスクابل割り込みを受け付けます。このときのスタック・ポインタの値によっては特殊機能レジスタの書き込みを禁止しているアドレス(3.2.3 特殊機能レジスタ(SFR)の表3-4 参照)へプログラム・カウンタ(PC)およびプログラム・ステータス・ワード(PSW)を書き込んでしまい、CPUがデッドロックしてしまったり、端子が

ら予期しない信号を出力したり、RAMが実装されていないアドレスへPCやPSWを書き込むことにより、ノンマスクブル割り込み処理ルーチンからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。

したがって、 $\overline{\text{RESET}}$ 解除後のプログラムは必ず次のようにしてください。(p.321)

```
CSEG AT 0
DW STRT
STRT :
MOVW SP, #imm16
```

- (8) マスクブル割り込みをベクタ割り込みで受け付けた場合は、必ずRETI命令で復帰してください。他の命令では、以降の割り込みに関する動作が正常に行われません。(p.324)
- (9) コンテキスト・スイッチングによる割り込みからの復帰には、必ずRETCS命令を使用してください。他の命令では、以降の割り込みに関する動作が正常に行われません。(p.325)
- (10) BRK命令によるソフトウェア割り込みからの復帰には、RETI命令を使用しないでください。(p.332)
- (11) BRKCS命令の実行によりコンテキスト・スイッチング機能を起動した場合、RETCS命令の実行に伴いISPRレジスタのビットがリセット(0)されると、割り込みのネスティング制御を破壊することになります。
BRKCS命令により起動された処理から復帰する場合には、必ずRETCSB命令を使用してください。(p.334)
- (12) マクロ・サービスを使ってUARTでデータを送信した場合、ベクタ割り込み要求が2回発生します。(p.341)
- (13) ブロック転送モードでは、ワード・バッファは偶数アドレスに配置してください。(p.347)
- (14) ブロック転送モード(メモリ・ポインタ付き)では、ワード・バッファは偶数アドレスに配置してください。(p.349)
- (15) ブロック転送モード(メモリ・ポインタ付き)では、MEM.PTRは偶数アドレスに配置してください。(p.349)
- (16) データ差分モードでは、MSCIには00Hを設定しないでください。(p.351)

- (17) データ差分モードでは、バッファは偶数アドレスに配置してください。(p.351)
- (18) データ差分モードでは、「直前の値」は、前もってイニシャライズ(ダミー・データ)してください。(p.351)
- (19) データ差分モードでは、SFRPで指定できるSFRは16ビット構成のSFRのみです。(p.351)
- (20) データ差分モード(メモリ・ポインタ付き)では、MSCには00Hを設定しないでください。(p.353)
- (21) データ差分モード(メモリ・ポインタ付き)では、バッファは偶数アドレスに配置してください。(p.353)
- (22) データ差分モード(メモリ・ポインタ付き)では、MEM.PTRは偶数アドレスに配置してください。(p.353)
- (23) データ差分モード(メモリ・ポインタ付き)では、「直前の値」は、前もってイニシャライズ(ダミー・データ)してください。(p.353)
- (24) データ差分モード(メモリ・ポインタ付き)では、SFRPで指定できるSFRは16ビット構成のSFRのみです。(p.353)
- (25) 割り込み関連のレジスタをBTCLR命令などを使用してポーリングを行う場合、そのBTCLR命令などの分岐先は、その命令とならないようにしてください。その命令自身へ分岐するようなプログラムを記述すると、その命令で分岐しない条件が成立するまでの間すべての割り込みとマクロ・サービスが保留されてしまいます。(p.355)

悪い例

⋮

LOOP : BTCLR PIC0.7, \$ LOOP PIC0.7が1になるまですべての割り込みおよびマクロ・サービスが保留されてしまう。

× × ×

BTCLR命令の次の命令実行後に初めて割り込みおよびマクロ・サービスが処理される。

⋮

良い例 (1)

⋮

LOOP : NOP

BTCLR PIC0.7, \$ LOOP

NOP命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。

⋮

良い例 (2)

⋮

LOOP : BTCLR PIC0.7, \$ NEXT

BR \$ LOOP

BR命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。

NEXT : ⋮

(26) (25) と同様の理由により、上記に該当する命令群を連続して使用する場合で、割り込みやマクロ・サービスが保留されている期間が長くなっては困る場合には、NOP命令などを途中で挿入して割り込みやマクロ・サービスが受け付けられるタイミングを作ってください。(p.356)

20.12 「第14章 スタンバイ機能」に関する注意事項

- (1) スタンバイ・コントロール・レジスタ (STBC) の SBF フラグを読み出したら、必ず “ 1 ” を書き込んでください。これによりパワーオン・リセットとSTOPモード、HALTモードの解除をソフトウェアで判別することができます。(p.358)
- (2) 外部クロックを使用する場合、スタンバイ・コントロール・レジスタ (STBC) の STP ビットをセット (1) しないでください。(p.359)
- (3) 割り込み要求フラグ ($\times \times IF$) がセット (1) されていて、しかもマスクされていない ($\times \times MK = 0$) 場合は、HALTモードには入りません。また、マクロ・サービス処理 ($\times \times ISM = 1$) では、マクロ・サービス実行後、HALTモードに入ります。(p.360)
- (4) ウォッチドッグ・タイマ・モード・レジスタ (WDM) は、専用命令 (MOV WDM, # byte) でのみ書き込み可能です。(p.365)
- (5) WDMレジスタによる割り込み要求の優先順位の設定は、スタック・ポインタの初期化などの応用システムの初期設定時に行うようにし、プログラムの実行中に動的に変更しないでください。(p.365)

- (6) WDMレジスタのRUNビットは、いったんセット(1)すると、ソフトウェアではリセット(0)できません。(p.365)
- (7) WDMレジスタのRUNビットのセット(1)によるウォッチドッグ・タイマのクリアにより、カウント・クロックのリセットは行いません。(p.365)
- (8) $PRC = 1$ の設定($INTWDT > NMI$)で、ウォッチドッグ・タイマ割り込みとNMI割り込みが同時に発生した場合、NMI割り込み処理ルーチンの最初の1命令を実行したあとにウォッチドッグ・タイマ割り込み処理ルーチンを実行します。したがって、 $PRC = 1$ の設定で使用する場合、NMI割り込み処理ルーチンの最初の命令は、NOP命令としてください。(p.365)
- (9) WDMレジスタのビット6, 5, 0は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。(p.365)
- (10) WDMレジスタのビット3には、必ず“0”を書き込んでください。(p.365)

20.13 「第15章 リセット機能」に関する注意事項

- (1) \overline{RESET} がアクティブの期間はほとんどの端子がハイ・インピーダンスになります(\overline{WDTO} , AV_{REF} , AV_{DD} , AV_{SS} , V_{DD} , V_{SS} , X1, X2端子を除く)。(p.373)
- (2) 外部にRAMを拡張しているときには、P90/ \overline{RD} , P91/ \overline{WR} 端子にプルアップ抵抗を付けてください。これらの端子がハイ・インピーダンスとなると、外部RAMの内容を破壊する可能性があります。また、アドレス/データ・バス上で信号の衝突が起き、入出力回路を破壊する可能性があります。(p.373)

20.14 「第16章 バス・インタフェース機能」に関する注意事項

- (1) $\mu PD78P368A$ は、メモリ拡張モード・レジスタ(MM)の設定により、内部メモリ(ROM, RAM)容量を変更することができます。(p.382)
- (2) MMレジスタのビット3, 4, 7は、ハードウェア上“0”固定です。“1”を書き込んでも“0”のまま変化しません。(p.385)
- (3) MMレジスタのフォーマット図で「設定禁止」と書いてあるコードの組み合わせは、絶対に書き込まないでください。(p.385)
- (4) 図16-6に示すサイクル数はアドレス・ウエイトを付加しない場合です。付加した場合には1サイクル加算する必要があります。(p.386)

- (5) 周辺RAM領域 (F700H-FDFFH, μ PD78363AはFC00H-FDFFH) に対する命令フェッチおよびデータ・アクセスは可能ですが, PWCレジスタによるウェイト指定は無効です。周辺RAM領域は16ビット・バスで動作します。また, 命令フェッチは, 高速フェッチとなります。(p.386)
- (6) メインRAM領域 (FE00H-FEFFH) に対する命令フェッチはできません。データ・アクセス時のPWCレジスタによるウェイト指定は無効です。メインRAM領域は16ビット・アクセスとなります(バス・サイクルは2サイクルの特殊バス・サイクルが起動されます)。(p.386)
- (7) メインRAM領域へのワード・アクセス (スタック操作を含む) を実行する場合, オペランドで指定するアドレスは偶数に限ります。(p.386)
- (8) 内部ROM領域はPWCレジスタの設定にかかわらず16ビット・バスで動作します。ウェイト指定はPWCレジスタにより設定可能です。(p.386)
- (9) 外部メモリにアクセスする場合は高速フェッチに指定しないでください。(p.386)
- (10) 外部SFR領域 (FFD0H-FFDFH) のウェイト指定は, PWC7ビットおよびPWC6ビットにより指定されます。(p.386)
- (11) 内部メモリを高速フェッチ・モードでアクセスするときには, PWCレジスタのAW0, AW1ビットに “ 0 ” を設定してください。(p.387)
- (12) PWCレジスタのビット8-13は, ハードウェア上 “ 0 ” 固定です。 “ 1 ” を書き込んでも “ 0 ” のまま変化しません。(p.387)

20.15 「第19章 命令実行速度」に関する注意事項

- (1) メインRAM領域 (FE00H-FEFFH) へのワード・アクセス (スタック操作を含む) を実行する場合, オペランドで指定するアドレスは偶数に限ります。(p.421)
- (2) PWCレジスタによるモードの指定は, その領域に存在するメモリが内部メモリであろうと外部メモリであろうと無関係に行われますので, リセット後には全空間通常フェッチ・サイクル・モードに指定されます。(p.422)

〔メ モ〕

付録A μ PD78366Aと μ PD78328の違い

次ページ以降に、 μ PD78366Aサブシリーズ（ μ PD78363A, 78365A, 78366A, 78368A, 78P368A）と μ PD78328サブシリーズ（ μ PD78327, 78328, 78P328）の機能一覧表を示します。

機能一覧表 (1/2)

品名		μPD78363A	μPD78365A	μPD78366A	μPD78368A	μPD78P368A
項目						
最小命令実行時間		125 ns (内部クロック: 16 MHz, 外部クロック: 8 MHz動作時)				
内部メモリ	ROM	24 Kバイト	-	32 Kバイト	48 Kバイト	-
	PROM	-	-	-	-	48 Kバイト
	RAM	768バイト	2 Kバイト			
メモリ空間		64 Kバイト (外部拡張可能)				
汎用レジスタ		8 ビット×16本×8バンク				
基本命令数		115				
命令セット		<ul style="list-style-type: none"> ・ 16ビット転送/演算 ・ 乗除算 (16ビット×16ビット, 32ビット÷16ビット) ・ ビット操作 ・ スtring ・ 積和演算 (16ビット×16ビット+32ビット) ・ 相関演算 				
入出力ライン	入 力	49	14 (アナログ入力兼用: 8)			
	入出力	49	31	49		
リアルタイム・パルス・ユニット		<ul style="list-style-type: none"> ・ 16ビット・タイマ×5 ・ 16ビット・コンペア・レジスタ×7 ・ 16ビット・キャプチャ・レジスタ×3 ・ 16ビット・キャプチャ/コンペア・レジスタ×2 ・ 2種類の出力モードを選択可能 <ul style="list-style-type: none"> モード0 セット・リセット出力: 6チャンネル モード1 バッファ出力: 6チャンネル ・ 16ビット分解能PWM出力: 1チャンネル 				
リアルタイム出力ポート		4本 (4ビット単位バッファ出力)				
PWMユニット		8/9/10/12ビット分解能可変PWM出力: 2チャンネル				
A/Dコンバータ		10ビット分解能8チャンネル				
シリアル・インタフェース		専用ポーレート・ジェネレータ付き UART (端子切り替え機能付き): 1チャンネル クロック同期式シリアル・インタフェース/SBI: 1チャンネル				
割り込み機能		<ul style="list-style-type: none"> ・ 外部: 6, 内部: 14 (外部兼用: 2) ・ 4レベルの優先順位をソフトウェアにより指定可能 ・ 3種類の割り込み処理形態を選択可能 (ベクタ割り込み/マクロ・サービス/コンテキスト・スイッチング) 				
テスト要因		-				
PLL制御回路		あり (外部8 MHz 内部16 MHz)				
パッケージ	窓なし	80ピン・プラスチックQFP (14×20 mm)				
	窓付き	-				80ピン・セラミックWQFN
その他		<ul style="list-style-type: none"> ・ ウォッチドッグ・タイマ内蔵 ・ スタンバイ機能 (HALTモード, STOPモード) 				

機能一覧表 (2/2)

品名		μPD78327	μPD78328	μPD78P328
項目				
最小命令実行時間		250 ns (内部クロック: 8 MHz, 外部クロック: 16 MHz動作時)		
内部メモリ	ROM	-	16 Kバイト	-
	PROM	-	-	16 Kバイト
	RAM	512バイト		
メモリ空間	64 Kバイト (外部拡張可能)			
汎用レジスタ	8 ビット×16本×8バンク			
基本命令数	111			
命令セット	<ul style="list-style-type: none"> ・16ビット転送/演算 ・乗除算 (16ビット×16ビット, 32ビット÷16ビット) ・ビット操作 ・ストリング 			
入出力ライン	入 力	11 (アナログ入力兼用: 8)		
	入出力	23	41	
リアルタイム・パルス・ユニット	<ul style="list-style-type: none"> ・16ビット・タイマ×3 ・16ビット・コンペア・レジスタ×14 ・16ビット・キャプチャ/コンペア・レジスタ×1 ・2種類の出力モードを選択可能 <li style="padding-left: 20px;">モード0 セット・リセット出力: 6チャンネル, トグル出力: 1チャンネル <li style="padding-left: 20px;">モード1 バッファ出力: 8チャンネル 			
リアルタイム出力ポート	4本/8本 (4ビット/8ビット単位バッファ出力)			
PWMユニット	8ビット分解能PWM出力: 1チャンネル			
A/Dコンバータ	10ビット分解能8チャンネル			
シリアル・インタフェース	専用ポーレート・ジェネレータ付き UART: 1チャンネル クロック同期式シリアル・インタフェース/SBI: 1チャンネル			
割り込み機能	<ul style="list-style-type: none"> ・外部: 4, 内部: 17 ・3レベルの優先順位をソフトウェアにより指定可能 ・3種類の割り込み処理形態を選択可能 (ベクタ割り込み/マクロ・サービス/コンテキスト・スイッチング) 			
テスト要因	内部: 1			
PLL制御回路	なし			
パッケージ	窓なし	<ul style="list-style-type: none"> ・64ピン・プラスチック・シュリンクDIP ・64ピン・プラスチックQFP (14×20 mm) 		
	窓付き	-		64ピン・セラミック窓付きシュリンクDIP
その他	<ul style="list-style-type: none"> ・ウォッチドッグ・タイマ内蔵 ・スタンバイ機能 (HALTモード, STOPモード) 			

(メ モ)

付録B ツール

B.1 開発ツール

μPD78366Aを使用するシステム開発のために、次のような開発ツールを用意しています。

言語プロセッサ

78K/ シリーズ リロケータブル・アセンブラ (RA78K3)	78K/ シリーズに共通に使用できるリロケータブル・アセンブラです。マクロ機能付きのリロケータブル・アセンブラですので、開発効率の向上が図れます。また、プログラム制御構造を明示的に記述できる構造化アセンブラも添付されており、プログラムの生産性や保守性を向上することができます。			
	ホスト・マシン		オーダ名称 (品名)	
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS™	3.5インチ2HD	μS5A13RA78K3
			5インチ2HD	μS5A10RA78K3
	IBM PC/ATおよびその互換機	PC DOS™	3.5インチ2HC	μS7B13RA78K3
			5インチ2HC	μS7B10RA78K3
	HP9000シリーズ700™	HP-UX™	DAT	μS3P16RA78K3
	SPARCstation™	SunOS™	カートリッジ・テープ	μS3K15RA78K3
	NEWS™	NEWS-OS™	ブ (QIC-24)	μS3R15RA78K3
78K/ シリーズ Cコンパイラ (CC78K3)	78K/ シリーズに共通に使用できるCコンパイラです。C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。このコンパイラ使用時には、78K/ シリーズ リロケータブル・アセンブラ (RA78K3) が必要です。			
	ホスト・マシン		オーダ名称 (品名)	
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μS5A13CC78K3
			5インチ2HD	μS5A10CC78K3
	IBM PC/ATおよびその互換機	PC DOS	3.5インチ2HC	μS7B13CC78K3
			5インチ2HC	μS7B10CC78K3
	HP9000シリーズ700	HP-UX	DAT	μS3P16CC78K3
	SPARCstation	SunOS	カートリッジ・テープ	μS3K15CC78K3
	NEWS	NEWS-OS	ブ (QIC-24)	μS3R15CC78K3

備考 リロケータブル・アセンブラ、Cコンパイラの動作は、上記のホスト・マシンとOS上でのみ保証されません。

PROM書き込み用ツール

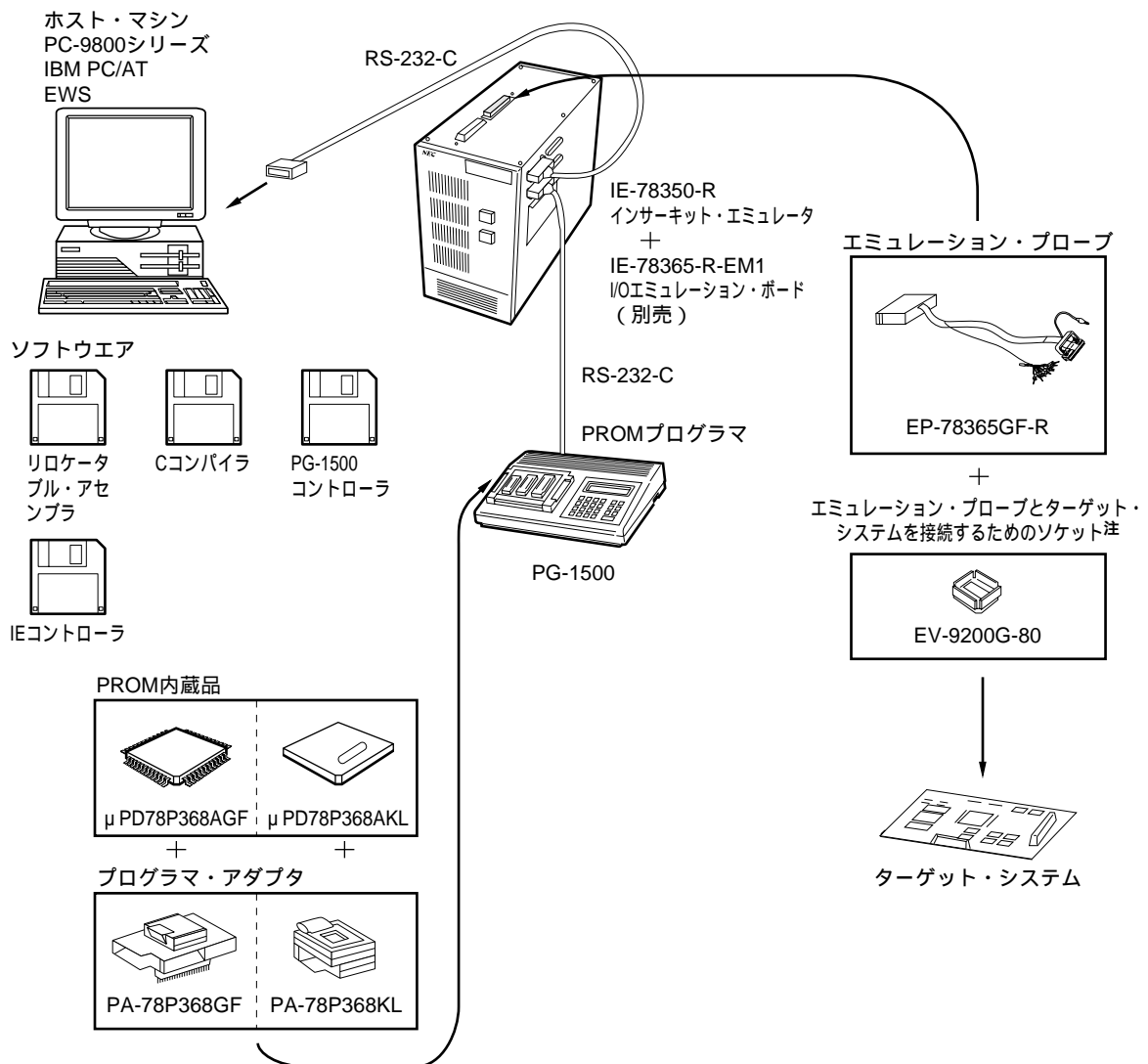
ハードウェア	PG-1500	付属ボードおよび別売のプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたは、ホスト・マシンからの操作によりプログラミングできるPROMプログラマです。また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。			
	PA-78P368GF PA-78P368KL	PG-1500などの汎用PROMプログラマ上で、 μ PD78P368Aにプログラムを書き込むためのPROMプログラマ・アダプタです。 PA-78P368GF... μ PD78P368AGF用 PA-78P368KL... μ PD78P368AKL用			
ソフトウェア	PG-1500コントローラ	PG-1500とホスト・マシンをシリアル・インタフェースおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。			
		ホスト・マシン		オーダ名称 (品名)	
			OS		供給媒体
		PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13PG1500
				5インチ2HD	μ S5A10PG1500
IBM PC/ATおよびその互換機	PC DOS	3.5インチ2HD	μ S7B13PG1500		
		5インチ2HC	μ S7B10PG1500		

ディバグ用ツール (IEコントローラを使用する場合)

ハードウェア	IE-78350-R	応用システムの開発、ディバグに使用できるインサーキット・エミュレータです。ホスト・マシンを接続して、ディバグを行います。			
	IE-78365-R-EM1	μ PD78366Aの入出力ポートなどの周辺機能のエミュレーションを行うためのI/Oエミュレーション・ボードです。			
	EP-78365GF-R EV-9200G-80	IE-78350-Rをターゲット・システムに接続するためのエミュレーション・プローブです。 ターゲット・システムとの接続に使用する変換ソケットEV-9200G-80が1個添付されています。			
ソフトウェア	IE-78350-R コントロール・プログラム (IEコントローラ)	IE-78350-Rをホスト・マシン上でコントロールするためのプログラムです。コマンドの自動実行などを行うことができ、より効率の良いディバグが可能です。			
		ホスト・マシン		オーダ名称 (品名)	
			OS		供給媒体
		PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13IE78365A
				5インチ2HD	μ S5A10IE78365A
IBM PC/ATおよびその互換機	PC DOS	3.5インチ2HC	μ S7B13IE78365A		
		5インチ2HC	μ S7B10IE78365A		

備考 PG-1500コントローラ、IEコントローラの動作は、上記のホスト・マシンとOS上でのみ保証されます。

開発ツール構成 (IEコントローラを使用する場合)



注 ソケットは、エミュレーション・プローブに添付されています。

備考1. ホスト・マシンとPG-1500をRS-232-Cで直接接続して使用することもできます。

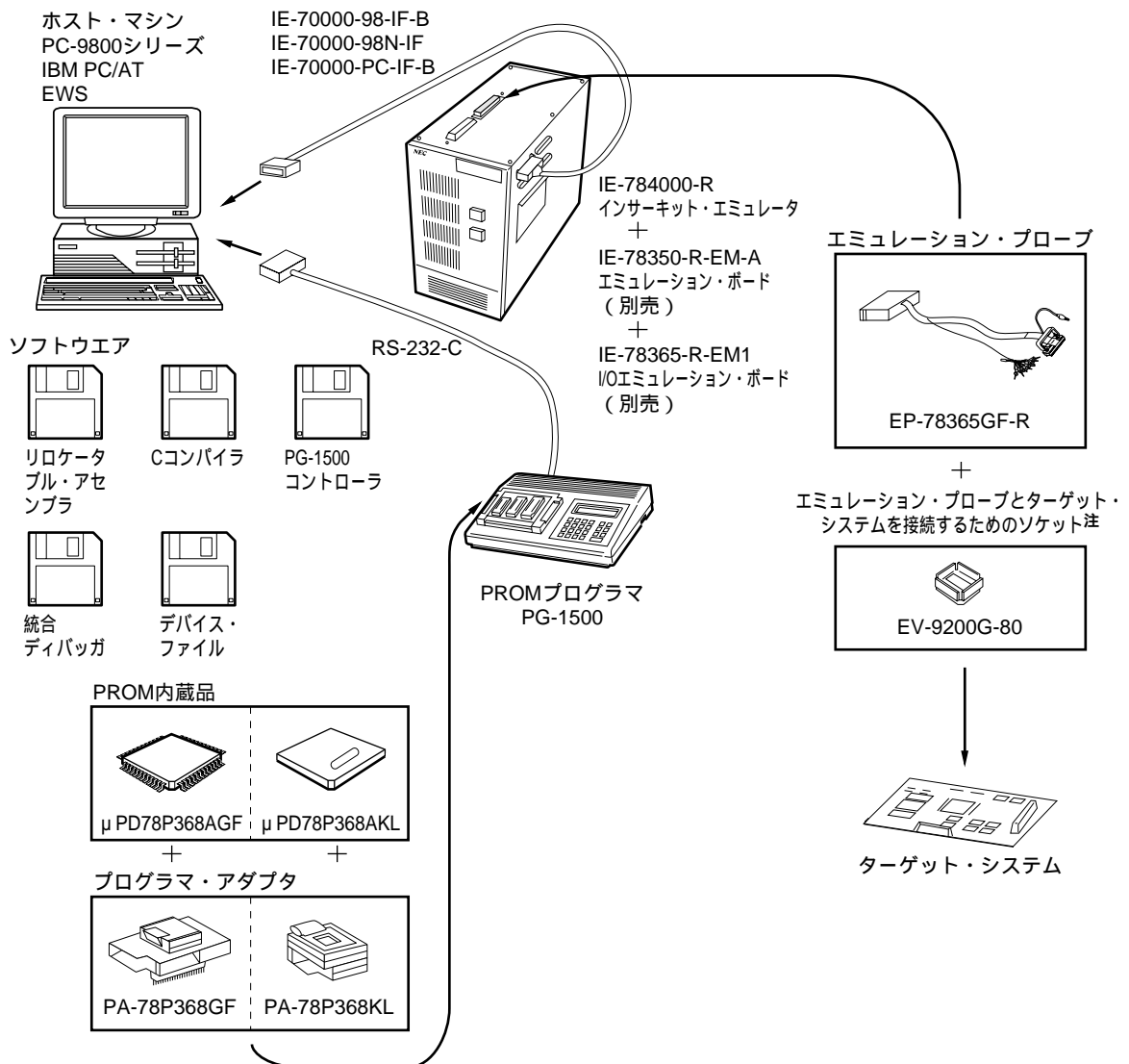
2. この図では、ソフトウェアの供給媒体を3.5インチFDで代表しています。

ディバグ用ツール（統合ディバグを使用する場合）

ハードウェア	IE-784000-R	応用システムの開発，ディバグに使用できるインサーキット・エミュレータです。ホスト・マシンを接続して，ディバグを行います。			
	IE-78350-R-EM-A	対象デバイスの入出力ポートなどの周辺機能のエミュレーションを行うためのエミュレーション・ボードです。			
	IE-78365-R-EM1	対象デバイスの入出力ポートなどの周辺機能のエミュレーションを行うためのI/Oエミュレーション・ボードです。			
	EP-78365GF-R	IE-784000-Rをターゲット・システムに接続するためのエミュレーション・プローブです。ターゲット・システムとの接続に使用する変換ソケットEV-9200G-80が1個添付されています。			
	EV-9200G-80				
	IE-70000-98-IF-B	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときのインタフェース・アダプタです。			
	IE-70000-98N-IF	ホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときのインタフェース・アダプタとケーブルです。			
	IE-70000-PC-IF-B	ホスト・マシンとしてIBM PC/ATを使用するときのインタフェース・アダプタです。			
IE-78000-R-SV3	ホスト・マシンとしてEWSを使用するときのインタフェース・アダプタとケーブルです。				
ソフトウェア	統合ディバグ (ID78K3)	78K/ シリーズ用のインサーキット・エミュレータをコントロールするためのプログラムです。デバイス・ファイル（DF78365）と組み合わせて使用します。 C言語，構造化アセンブリ言語，アセンブリ言語で書かれたソース・プログラム・レベルでのディバグができます。また，ホスト・マシンの画面を分割し，さまざまな情報を同時に表示することができるため，効率のよいディバグが行えます。			
		ホスト・マシン		オーダ名称（品名）	
		OS	供給媒体		
		PC-9800シリーズ	MS-DOS + Windows™	3.5インチ2HD	μ SAA13ID78K3
				5インチ2HD	μ SAA10ID78K3
		IBM PC/AT およびその互換機 (日本語Windows)	PC DOS + Windows	3.5インチ2HC	μ SAB13ID78K3
				5インチ2HC	μ SAB10ID78K3
		IBM PC/AT およびその互換機 (英語Windows)		3.5インチ2HC	μ SBB13ID78K3
				5インチ2HC	μ SBB10ID78K3
	デバイス・ファイル (DF78365)	デバイス固有の情報が入ったファイルです。アセンブラ（RA78K3），Cコンパイラ（CC78K3），統合ディバグ（ID78K3）と組み合わせて使用します。			
		ホスト・マシン		オーダ名称（品名）	
		OS	供給媒体		
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13DF78365	
			5インチ2HD	μ S5A10DF78365	
	IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13DF78365	
			5インチ2HC	μ S7B10DF78365	

備考 統合ディバグ，デバイス・ファイルの動作は，上記のホスト・マシンとOS上でのみ保証されます。

開発ツール構成 (統合ディバッガを使用する場合)



注 ソケットは、エミュレーション・プローブに添付されています。

備考1. この図では、ホスト・マシンをデスクトップ型パソコンで代表しています。

2. この図では、ソフトウェアの供給媒体を3.5インチFDで代表しています。

B.2 組み込み用ソフトウェア

プログラム開発やメンテナンスをより効率的に行うために次の組み込み用ソフトウェアを用意しています。

リアルタイムOS

リアルタイムOS (RX78K/)注	RX78K/ は、リアルタイム性の要求される制御分野を対象として、マルチタスク環境を実現することを目的としています。CPUのアイドル時間を他の処理に割り当て、システム全体としての性能の向上を図ることができます。			
	RX78K/ では、μITRON仕様に準拠したシステム・コールを提供しています。			
	RX78K/ パッケージでは、RX78K/ のニュークリアスと複数の情報テーブルを作成するためのツール(コンフィギュレータ)を提供します。			
	ホスト・マシン			オーダ名称(品名)
		OS	供給媒体	
PC-9800シリーズ	MS-DOS	3.5インチ2HD	未定	
		5インチ2HD	未定	
IBM PC/ATおよびその互換機	PC DOS	3.5インチ2HC	未定	
		5インチ2HC	未定	

注 開発中

注意 ご購入される場合、事前に購入申込書にご記入のうえ、使用許諾契約書を締結する必要があります。

備考 RX78K/ リアルタイムOSを使用するときは、RA78K3 アセンブラ・パッケージ(別売)が必要です。

ファジィ推論開発支援システム

ファジィ知識データ作成ツール	ファジィ知識データ（ファジィ・ルールおよびメンバシップ関数）の入力／編集（エディット）と評価（シミュレーション）を支援するプログラムです。			
	ホスト・マシン		オーダ名称（品名）	
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FE9000
			5インチ2HD	μ S5A10FE9000
IBM PC/ATおよびその互換機	PC DOS + Windows	3.5インチ2HC	μ S7B13FE9200	
		5インチ2HC	μ S7B10FE9200	
トランスレータ (FT78K3) 注	ファジィ知識データ作成ツールを用いて得たファジィ知識データをRA78K3用のアセンブラ・ソース・プログラムに変換するプログラムです。			
	ホスト・マシン		オーダ名称（品名）	
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FT78K3
			5インチ2HD	μ S5A10FT78K3
IBM PC/ATおよびその互換機	PC DOS	3.5インチ2HC	μ S7B13FT78K3	
		5インチ2HC	μ S7B10FT78K3	
ファジィ推論モジュール (F178K/) 注	ファジィ推論を実行するプログラムです。トランスレータで変換されたファジィ知識データとリンクすることでファジィ推論を実行します。			
	ホスト・マシン		オーダ名称（品名）	
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FI78K3
			5インチ2HD	μ S5A10FI78K3
IBM PC/ATおよびその互換機	PC DOS	3.5インチ2HC	μ S7B13FI78K3	
		5インチ2HC	μ S7B10FI78K3	
ファジィ推論ディバッガ (FD78K/)	インサーキット・エミュレータを使用し、ファジィ知識データをハードウェア・レベルで評価、調整するための支援ソフトウェアです。			
	ホスト・マシン		オーダ名称（品名）	
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FD78K3
			5インチ2HD	μ S5A10FD78K3
IBM PC/ATおよびその互換機	PC DOS	3.5インチ2HC	μ S7B13FD78K3	
		5インチ2HC	μ S7B10FD78K3	

注 開発中

〔メ モ〕

付録C レジスタ索引

C.1 レジスタ索引（50音順）

【あ行】

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ：ASIS ... 226
アシンクロナス・シリアル・インタフェース・モード・レジスタ：ASIM ... 226
インサーピス・プライオリティ・レジスタ：ISPR ... 307, 316
ウォッチドッグ・タイマ・モード・レジスタ：WDM ... 300, 365
A/Dコンバージョン・リザルト・レジスタ：ADCR ... 207
A/Dコンバータ・モード・レジスタ：ADM ... 203

【か行】

外部割り込みモード・レジスタ0：INTM0 ... 109, 160
外部割り込みモード・レジスタ1：INTM1 ... 148, 160
キャプチャ／コンペア・レジスタ20：CC20 ... 145
キャプチャ／コンペア・レジスタ30：CC30 ... 157
キャプチャ・レジスタ20：CT20 ... 145
キャプチャ・レジスタ30：CT30 ... 157
キャプチャ・レジスタ31：CT31 ... 157
クロック同期式シリアル・インタフェース・モード・レジスタ：CSIM ... 250
コンペア・レジスタ00：CM00 ... 100
コンペア・レジスタ01：CM01 ... 100
コンペア・レジスタ02：CM02 ... 100
コンペア・レジスタ03：CM03 ... 100
コンペア・レジスタ10：CM10 ... 141
コンペア・レジスタ40：CM40 ... 172
コンペア・レジスタ41：CM41 ... 172

【さ行】

サンプリング・コントロール・レジスタ0：SMPC0 ... 149, 161
サンプリング・コントロール・レジスタ1：SMPC1 ... 162
CPUコントロール・ワード：CCW ... 46
シフト・レジスタ：SIO ... 250
受信バッファ：RXB ... 227

シリアル・バス・インタフェース・コントロール・レジスタ : SBIC ... 250
スタンバイ・コントロール・レジスタ : STBC ... 358
スレーブ・バッファ・レジスタ : SBUF0-SBUF5 ... 101
送信シフト・レジスタ : TXS ... 227

[た行]

タイマ 0 : TM0 ... 98
タイマ 1 : TM1 ... 141
タイマ 2 : TM2 ... 145
タイマ 3 : TM3 ... 157
タイマ 4 : TM4 ... 172
タイマ・アウト・レジスタ : TOUT ... 101
タイマ・コントロール・レジスタ 0 : TMC0 ... 106
タイマ・コントロール・レジスタ 1 : TMC1 ... 108, 142
タイマ・コントロール・レジスタ 2 : TMC2 ... 146
タイマ・コントロール・レジスタ 3 : TMC3 ... 158
タイマ・コントロール・レジスタ 4 : TMC4 ... 175
タイマ・ユニット・モード・レジスタ 0 : TUM0 ... 102
タイマ・ユニット・モード・レジスタ 1 : TUM1 ... 173

[は行]

バッファ・レジスタCM00-CM02 : BFCM00-BFCM02 ... 100
バッファ・レジスタCM03 : BFCM03 ... 100
PWMコントロール・レジスタ 0 : PWMC0 ... 295
PWMコントロール・レジスタ 1 : PWMC1 ... 296
PWMバッファ・レジスタ : PWM0 , PWM1 ... 296
プルアップ抵抗オプション・レジスタH : PUOH ... 87
プルアップ抵抗オプション・レジスタL : PUOL ... 87
プログラマブル・ウェイト・コントロール・レジスタ : PWC ... 386
ポート 0 : P0 ... 76
ポート 1 : P1 ... 76
ポート 2 : P2 ... 76
ポート 3 : P3 ... 76
ポート 4 : P4 ... 76
ポート 5 : P5 ... 76
ポート 7 : P7 ... 76
ポート 8 : P8 ... 76

ポート 9 : P9 ... 76
ポート 0 モード・コントロール・レジスタ : PMC0 ... 82
ポート 3 モード・コントロール・レジスタ : PMC3 ... 83, 230, 252
ポート 8 モード・コントロール・レジスタ : PMC8 ... 84
ポート 0 モード・レジスタ : PM0 ... 77
ポート 1 モード・レジスタ : PM1 ... 77
ポート 3 モード・レジスタ : PM3 ... 78, 231, 253
ポート 5 モード・レジスタ : PM5 ... 78
ポート 8 モード・レジスタ : PM8 ... 78
ポート 9 モード・レジスタ : PM9 ... 79
ポート・リード・コントロール・レジスタ : PRDC ... 72
ポー・レート・ジェネレータ・コントロール・レジスタ : BRGC ... 236, 256
ポー・レート・ジェネレータ・コンペア・レジスタ : BRG ... 236, 256

[ま行]

マスタ・バッファ・レジスタ : MBUF0-MBUF5 ... 101
メモリ拡張モード・レジスタ : MM ... 85, 384

[ら行]

リアルタイム出力ポート・モード・レジスタ : RTPM ... 196
リアルタイム出力ポート・レジスタ : RTP ... 197
リロード・レジスタ : DTIME ... 99

[わ行]

割り込み制御レジスタ ... 307, 313
割り込みマスク・フラグ・レジスタ : MK0L, MK0H ... 307, 313
割り込みモード・コントロール・レジスタ : IMC ... 307, 315

C.2 レジスタ索引 (アルファベット順)

[A]

ADCR0	: A/Dコンバージョン・リザルト・レジスタ 0	... 207
ADCR1	: A/Dコンバージョン・リザルト・レジスタ 1	... 207
ADCR2	: A/Dコンバージョン・リザルト・レジスタ 2	... 207
ADCR3	: A/Dコンバージョン・リザルト・レジスタ 3	... 207
ADCR4	: A/Dコンバージョン・リザルト・レジスタ 4	... 207
ADCR5	: A/Dコンバージョン・リザルト・レジスタ 5	... 207
ADCR6	: A/Dコンバージョン・リザルト・レジスタ 6	... 207
ADCR7	: A/Dコンバージョン・リザルト・レジスタ 7	... 207
ADCR0H	: A/Dコンバージョン・リザルト・レジスタ0H	... 208
ADCR1H	: A/Dコンバージョン・リザルト・レジスタ1H	... 208
ADCR2H	: A/Dコンバージョン・リザルト・レジスタ2H	... 208
ADCR3H	: A/Dコンバージョン・リザルト・レジスタ3H	... 208
ADCR4H	: A/Dコンバージョン・リザルト・レジスタ4H	... 208
ADCR5H	: A/Dコンバージョン・リザルト・レジスタ5H	... 208
ADCR6H	: A/Dコンバージョン・リザルト・レジスタ6H	... 208
ADCR7H	: A/Dコンバージョン・リザルト・レジスタ7H	... 208
ADIC	: 割り込み制御レジスタ (INTAD)	... 307, 312
ADM	: A/Dコンバータ・モード・レジスタ	... 203
ASIM	: アシクロナス・シリアル・インタフェース・モード・レジスタ	... 226
ASIS	: アシクロナス・シリアル・インタフェース・ステータス・レジスタ	... 226

[B]

BFCM00	: バッファ・レジスタCM00	... 100
BFCM01	: バッファ・レジスタCM01	... 100
BFCM02	: バッファ・レジスタCM02	... 100
BFCM03	: バッファ・レジスタCM03	... 100
BRG	: ボー・レート・ジェネレータ・コンペア・レジスタ	... 236, 256
BRGC	: ボー・レート・ジェネレータ・コントロール・レジスタ	... 236, 256

[C]

CC20	: キャプチャ/コンペア・レジスタ20	... 145
CC30	: キャプチャ/コンペア・レジスタ30	... 157
CCW	: CPUコントロール・ワード	... 46
CM00	: コンペア・レジスタ00	... 100

CM01	: コンペア・レジスタ01 ...	100
CM02	: コンペア・レジスタ02 ...	100
CM03	: コンペア・レジスタ03 ...	100
CM10	: コンペア・レジスタ10 ...	141
CM40	: コンペア・レジスタ40 ...	172
CM41	: コンペア・レジスタ41 ...	172
CMIC03	: 割り込み制御レジスタ (INTCM03) ...	307, 311
CMIC10	: 割り込み制御レジスタ (INTCM10) ...	307, 312
CMIC40	: 割り込み制御レジスタ (INTCM40) ...	307, 312
CMIC41	: 割り込み制御レジスタ (INTCM41) ...	307, 312
CSIIC	: 割り込み制御レジスタ (INTCSI) ...	307, 312
CSIM	: クロック同期式シリアル・インタフェース・モード・レジスタ ...	250
CT20	: キャプチャ・レジスタ20 ...	145
CT30	: キャプチャ・レジスタ30 ...	157
CT31	: キャプチャ・レジスタ31 ...	157

[D]

DTIME	: リロード・レジスタ ...	99
-------	-----------------	----

[I]

IMC	: 割り込みモード・コントロール・レジスタ ...	307, 315
INTM0	: 外部割り込みモード・レジスタ 0 ...	109, 160
INTM1	: 外部割り込みモード・レジスタ 1 ...	148, 160
ISPR	: インサーブिस・プライオリティ・レジスタ ...	307, 316

[M]

MBUF0	: マスタ・バッファ・レジスタ 0 ...	101
MBUF1	: マスタ・バッファ・レジスタ 1 ...	101
MBUF2	: マスタ・バッファ・レジスタ 2 ...	101
MBUF3	: マスタ・バッファ・レジスタ 3 ...	101
MBUF4	: マスタ・バッファ・レジスタ 4 ...	101
MBUF5	: マスタ・バッファ・レジスタ 5 ...	101
MK0H	: 割り込みマスク・フラグ・レジスタ ...	307, 313
MK0L	: 割り込みマスク・フラグ・レジスタ ...	307, 313
MM	: メモリ拡張モード・レジスタ ...	85, 384

【O】

OVIC3 : 割り込み制御レジスタ (INTOV3) ... 307, 311

【P】

PIC0 : 割り込み制御レジスタ (INTP0/INTCC30) ... 307, 311

PIC1 : 割り込み制御レジスタ (INTP1) ... 307, 311

PIC2 : 割り込み制御レジスタ (INTP2) ... 307, 311

PIC3 : 割り込み制御レジスタ (INTP3/INTCC20) ... 307, 311

PIC4 : 割り込み制御レジスタ (INTP4) ... 307, 311

PM0 : ポート0モード・レジスタ ... 77

PM1 : ポート1モード・レジスタ ... 77

PM3 : ポート3モード・レジスタ ... 78, 231, 253

PM5 : ポート5モード・レジスタ ... 78

PM8 : ポート8モード・レジスタ ... 78

PM9 : ポート9モード・レジスタ ... 79

PMC0 : ポート0モード・コントロール・レジスタ ... 82

PMC3 : ポート3モード・コントロール・レジスタ ... 83, 230, 252

PMC8 : ポート8モード・コントロール・レジスタ ... 84

PRDC : ポート・リード・コントロール・レジスタ ... 72

PUOH : プルアップ抵抗オプション・レジスタH ... 87

PUOL : プルアップ抵抗オプション・レジスタL ... 87

PWC : プログラマブル・ウェイト・コントロール・レジスタ ... 386

PWM0 : PWMバッファ・レジスタ0 ... 296

PWM1 : PWMバッファ・レジスタ1 ... 296

PWMC0 : PWMコントロール・レジスタ0 ... 295

PWMC1 : PWMコントロール・レジスタ1 ... 296

【R】

RTP : リアルタイム出力ポート・レジスタ ... 197

RTPM : リアルタイム出力ポート・モード・レジスタ ... 196

RXB : 受信バッファ ... 227

【S】

SBIC : シリアル・バス・インタフェース・コントロール・レジスタ ... 250

SBUF0 : スレーブ・バッファ・レジスタ0 ... 101

SBUF1 : スレーブ・バッファ・レジスタ1 ... 101

SBUF2 : スレーブ・バッファ・レジスタ2 ... 101

SBUF3	: スレーブ・バッファ・レジスタ 3 ...	101
SBUF4	: スレーブ・バッファ・レジスタ 4 ...	101
SBUF5	: スレーブ・バッファ・レジスタ 5 ...	101
SERIC	: 割り込み制御レジスタ (INTSER) ...	307, 312
SIO	: シフト・レジスタ ...	250
SMPC0	: サンプリング・コントロール・レジスタ 0 ...	149, 161
SMPC1	: サンプリング・コントロール・レジスタ 1 ...	162
SRIC	: 割り込み制御レジスタ (INTSR) ...	307, 312
STBC	: スタンバイ・コントロール・レジスタ ...	358
STIC	: 割り込み制御レジスタ (INTST) ...	307, 312

[T]

TM0	: タイマ 0 ...	98
TM1	: タイマ 1 ...	141
TM2	: タイマ 2 ...	145
TM3	: タイマ 3 ...	157
TM4	: タイマ 4 ...	172
TMC0	: タイマ・コントロール・レジスタ 0 ...	106
TMC1	: タイマ・コントロール・レジスタ 1 ...	108, 142
TMC2	: タイマ・コントロール・レジスタ 2 ...	146
TMC3	: タイマ・コントロール・レジスタ 3 ...	158
TMC4	: タイマ・コントロール・レジスタ 4 ...	175
TMIC0	: 割り込み制御レジスタ (INTTM0) ...	307, 311
TOUT	: タイマ・アウト・レジスタ ...	101
TUM0	: タイマ・ユニット・モード・レジスタ 0 ...	102
TUM1	: タイマ・ユニット・モード・レジスタ 1 ...	173
TXS	: 送信シフト・レジスタ ...	227

[W]

WDM	: ウォッチドッグ・タイマ・モード・レジスタ ...	300, 365
-----	----------------------------	----------

〔メ モ〕

付録D 機能索引

【あ行】

アップ/ダウン・カウント動作

～の指定 ... 176

アドレッシング

インプライド・アドレッシング ... 47, 59

ショート・ダイレクト・アドレッシング ... 49, 57, 58, 59, 60

ダイレクト・アドレッシング ... 56, 57, 58, 59

特殊機能レジスタ (SFR) ・アドレッシング ... 49, 56, 57, 58, 59, 60

ベースト・アドレッシング ... 56, 57, 58, 59

ベースト・インデクスト・アドレッシング ... 56, 57, 58, 59

レジスタ・アドレッシング ... 47, 56, 57, 58, 59

レジスタ・インダイレクト・アドレッシング ... 56, 57, 58, 59

アドレス・ウエイトの制御 ... 387

アナログ入力を選択 ... 204

インターバル動作

タイマ0 (TM0) ... 111

タイマ1 (TM1) ... 143

タイマ2 (TM2) ... 151

タイマ3 (TM3) ... 164

タイマ4 (TM4) ... 181

ウエイク・アップ機能 ... 290

オペコード・フェッチ ... 422

【か行】

外部信号の有効エッジの指定

INTP0-INTP2 ... 160

INTP3 ... 148, 160

INTP4 ... 160

NMI ... 109, 160

TCLRUD ... 174

TIUD ... 174

外部デバイスの拡張 ... 377, 383

カウント・クロックの指定

- ウォッチドッグ・タイマ (WDT) ... 301, 365
- タイマ 0 (TM0) ... 106
- タイマ 1 (TM1) ... 142
- タイマ 2 (TM2) ... 147
- タイマ 3 (TM3) ... 159
- タイマ 4 (TM4) ... 176
- PWM出力制御用カウンタ ... 296
- TMBRG ... 237, 259

キャプチャ動作

- タイマ 2 (TM2) ... 152
- タイマ 3 (TM3) ... 165

キャプチャ・トリガの指定

- キャプチャ/コンペア・レジスタ20 (CC20) ... 148
- キャプチャ・レジスタ20 (CT20) ... 148

クリア動作の制御

- タイマ 0 (TM0) ... 103
- タイマ 2 (TM2) ... 147
- タイマ 3 (TM3) ... 159
- タイマ 4 (TM4) ... 176
- タイマ 4 (TM4) (TCLRUDによるクリア動作) ... 174

コンテキスト・スイッチング

- ~処理からの復帰 ... 325, 334
- ~処理の指定 ... 309
- ~の起動 ... 324, 332

コンペア動作

- タイマ 1 (TM1) ... 143
- タイマ 2 (TM2) ... 152
- タイマ 3 (TM3) ... 165
- タイマ 4 (TM4) ... 172

【さ行】

サンプリング回路の動作

- タイマ 2 (TM2) ... 154
- タイマ 3 (TM3) ... 169

サンプリング・クロックの指定

- タイマ 2 (TM2) ... 149
- タイマ 3 (TM3) ... 161, 162

受信

- ～エラーの検出 ... 246
- アシンクロナス・シリアル・インタフェース ... 242
- 3線式シリアルI/Oモード ... 266
- SBIモード ... 286

出力端子のアクティブ・レベルの指定

- PWM0, PWM1端子 ... 295
- TO00-TO05端子 ... 103
- TO40端子 ... 174

出力端子の動作の指定

- TO40端子 ... 174

出力ドライバ・オフ機能 ... 105

- ソフトウェアによる制御 ... 103
- NMIによる制御 ... 103

シリアル・クロックの選択

- アシンクロナス・シリアル・インタフェース ... 234
- クロック同期式シリアル・インタフェース ... 254

シリアル通信用端子の切り替え

- アシンクロナス・シリアル・インタフェース ... 228

シリアル通信用端子の設定

- アシンクロナス・シリアル・インタフェース ... 230
- クロック同期式シリアル・インタフェース ... 252

シリアル・データ・フォーマットの設定 ... 232

シリアル・バスの状態の制御, 検出 ... 280

スタック・ポインタ (SP) ... 46

専用命令による書き込み

- ウォッチドッグ・タイマ・モード・レジスタ (WDM) ... 300
- スタンバイ・コントロール・レジスタ (STBC) ... 358

送受信

- 3線式シリアルI/Oモード ... 268
- SBIモード ... 286

送信

- アシンクロナス・シリアル・インタフェース ... 240
- 3線式シリアルI/Oモード ... 264
- SBIモード ... 286

[た行]

タイマの基本動作

- タイマ0 (TM0) ... 110
- タイマ1 (TM1) ... 143
- タイマ2 (TM2) ... 150
- タイマ3 (TM3) ... 163
- タイマ4 (TM4) ... 180

タイマ0 (TM0) の動作

- 汎用インターバル・タイマ・モード (RTP出力) ... 111
- PWMモード0 (対称三角波変調) ... 112
- PWMモード0 (非対称三角波変調) ... 119
- PWMモード0 (のこぎり波変調) ... 129
- PWMモード1 (パルファ出力) ... 136

タイマ4 (TM4) の動作

- 汎用タイマ・モード ... 181
- UDCモード (内部クロック動作) ... 185
- UDCモード (外部クロック動作) ... 186

端子のコントロール・モードの指定

- P00-P07端子 ... 82
- P05-P07端子 ... 174
- P30-P36端子 ... 83, 230, 252
- P40-P47, P50-P57端子 ... 80, 85, 385
- P80-P85端子 ... 84
- P90, P91端子 ... 81

端子の入出力モードの指定

- P00-P07端子 ... 77
- P10-P17端子 ... 77
- P30-P36端子 ... 78, 231, 253
- P50-P57端子 ... 78
- P80-P85端子 ... 78
- P90-P93端子 ... 79

データ・アクセス ... 425

動作の制御

- ウォッチドッグ・タイマ (WDT) ... 301, 365
- タイマ0 (TM0) ... 106
- タイマ1 (TM1) ... 142
- タイマ2 (TM2) ... 147

タイマ3 (TM3) ...	159
タイマ4 (TM4) ...	176
デッド・タイム・タイマ (DTM0-DTM2) ...	108
ポー・レート・ジェネレータ (BRG) ...	237, 259
PWM出力 ...	295
PWM出力制御用カウンタ ...	296
PWM変調 ...	196
動作モードの指定	
キャプチャ/コンペア・レジスタ20 (CC20) ...	147
キャプチャ/コンペア・レジスタ30 (CC30) ...	159
クロック同期式シリアル・インタフェース ...	263, 273
タイマ0 (TM0) ...	103
タイマ2 (TM2) ...	147
タイマ3 (TM3) ...	159
タイマ4 (TM4) ...	174
A/Dコンバータ ...	204
SBIモード ...	273
トリガ信号の指定	
リアルタイム出力ポート ...	196
A/Dコンバータ (ミックス・モード) ...	204

【な行】

内部メモリ容量の指定 ...	85, 385
----------------	---------

【は行】

バス・サイクルのウェイト制御 ...	387
汎用レジスタの指定 ...	43, 47
フリー・ランニング動作	
タイマ2 (TM2) ...	151
タイマ3 (TM3) ...	164
タイマ4 (TM4) ...	181
プルアップ抵抗の指定 ...	86
ベクタ割り込み	
～処理からの復帰 ...	306, 324
～処理の指定 ...	309, 310
ポート出力データのチェック ...	72

ポー・レートの設定

- アシンクロナス・シリアル・インタフェース ... 234, 238
- クロック同期式シリアル・インタフェース ... 254, 258

【ま行】

マクロ・サービス

- ~終了時の動作 ... 341
- ~チャンネルのアドレス指定 ... 342
- ~モードの設定 ... 342
- カウンタ・モードの動作指定 ... 345
- 処理の指定 ... 309
- ブロック転送モードの動作指定 ... 346
- ブロック転送モード(メモリ・ポインタ付き)の動作指定 ... 348
- 未使用端子の処理 ... 26
- 命令実行クロック数の計算 ... 429

【ら行】

- リアルタイム出力 ... 195
- リセット
 - ~の解除 ... 373
- システム・リセット ... 373

【わ行】

割り込み

- ~優先順位レベルの保持 ... 316
- ~要求の許可/禁止の指定 ... 310, 313, 314
- 多重割り込み処理 ... 326
- ネスティング動作の制御 ... 315
- ノンマスカブル割り込みからの復帰 ... 321
- ノンマスカブル割り込みの優先順位指定 ... 301, 318, 365
- マスカブル割り込みの優先順位指定 ... 309, 326
- 割り込みの受け付け動作
 - オペコード・トラップ割り込み ... 335
 - ソフトウェア割り込み ... 332
 - ノンマスカブル割り込み ... 318
 - マスカブル割り込み ... 322

【A】

- A/Dコンバータの基本動作 ... 209
- A/D変換結果の読み出し ... 207, 208
- A/D変換時間の切り替え ... 204

【B】

- BFCM03からCM03へのデータ転送制御 ... 106

【C】

- CM00-CM02への書き込みの指定 ... 106

【H】

- HALTモード
 - ～の解除 ... 361
 - ～の設定 ... 360

【M】

- μPD78366Aの動作モードの設定 ... 11, 23

【P】

- PROM
 - ～の書き込みの手順（バイト・プログラム・モード） ... 394
 - ～の書き込みの手順（ページ・プログラム・モード） ... 391
 - ～の読み出しの手順 ... 397
 - ～プログラミングの動作モードの設定 ... 25, 390
 - ～プログラミング・モードの設定 ... 25, 389
- PWM出力制御用カウンタのビット長の指定 ... 295
- PWM出力動作
 - タイマ4（TM4） ... 192
 - PWM0, PWM1 ... 297

【S】

- STOPモード
 - ～の解除 ... 364
 - ～の設定 ... 363

〔メ モ〕

付録 E 改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

版 数	前版からの主な改版内容	適用箇所
第 2 版	次の製品を開発中 開発済みに変更 μ PD78363A, 78365A, 78366A, 78P368A	全 般
	3.2.3 特殊機能レジスタ (SFR) 表 3 - 4 特殊機能レジスタ一覧 P2, P7, ASISの操作可能ビット単位の項 ビット操作命令可能 ビット操作命令不可に変更	第 3 章 CPUアーキテクチャ
	5.1 ハードウェア構成 表 5 - 1 コントロール・モード時のリード動作を追加	第 5 章 ポート機能
	プリセット動作モード時に，TM4のアンダフローと，CM40の書き換えまたはTCLRUDによるタイマ・クリア動作が競合した場合，誤動作するため，プリセット動作を設定禁止に変更	第 7 章 リアルタイム・パルス・ユニット
	9.5.2 任意のポー・レートに設定する ポー・レートの計算式を修正	第 9 章 アシンクロナス・シリアル・インタフェース
	9.8 マクロ・サービスを使ってデータを送信 / 受信する を追加	
第 3 版	10.3.2 任意のポー・レートに設定する ポー・レートの計算式を修正	第10章 クロック同期式シリアル・インタフェース
	μ PD78368Aを対象品種に追加 μ PD78P368AKL-Sを開発中 開発済みに変更	全 般
	8.2 A/Dコンバータ・モード・レジスタ (ADM) FRビット設定による変換時間を変更	第 8 章 A/Dコンバータ
	10.6.1 SBIのデータ・フォーマット バス・リリース信号とコマンド信号に注意を追加	第10章 クロック同期式シリアル・インタフェース

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170 名古屋 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 札幌 (011)231-0161	太田支店 太田 (0276)46-4011	富山支店 富山 (0764)31-8461
東北支社 仙台 (022)267-8740	宇都宮支店 宇都宮 (028)621-2281	津支店 津 (0592)25-7341
岩手支店 盛岡 (019)651-4344	小山支店 小山 (0285)24-5011	京都支社 京都 (075)344-7824
山形支店 山形 (0236)23-5511	長野支社 小松本 (0263)35-1662	神戸支社 神戸 (078)333-3854
郡山支店 郡山 (0249)23-5511	甲府支店 甲府 (0552)24-4141	中国支社 広島 (082)242-5504
いわき支店 いわき (0246)21-5511	埼玉支店 大宮 (048)641-1411	鳥取支店 鳥取 (0857)27-5311
長岡支店 長岡 (0258)36-2155	立川支店 大立川 (0425)26-5981	岡山支店 岡山 (086)225-4455
土浦支店 土浦 (0298)23-6161	千葉支店 千葉 (043)238-8116	四国支社 高松 (0878)36-1200
水戸支店 水戸 (029)226-1717	静岡支店 静岡 (054)255-2211	新居浜支店 新居浜 (0897)32-5001
神奈川支社 横浜 (045)324-5524	北陸支店 金沢 (0762)23-1621	松山支店 松山 (089)945-4149
群馬支店 高崎 (0273)26-1255	福井支店 福井 (0776)22-1866	九州支社 福岡 (092)271-7700

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7924	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD78366A ユーザーズ・マニュアル ハードウェア編
(U10205JJ3V0UM00 (第 3 版))

[お名前など] (さしつかえのない範囲で)
御社名(学校名,その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価 (各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ()					
()					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは
NEC販売員, 特約店販売員, NEC半導体ソリューション技術本部員,
その他 ()

ご協力ありがとうございました。

下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡ししてください。

NEC半導体インフォメーションセンター

FAX : (044) 548-7900