お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

RENESAS

保守／廃止

μPD78244サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

ハードウエア編

μPD78243
μPD78244

© NEC Corporation 1990

資料番号 IEU-747F（第7版）
発行年月 January 1994 P

保守／廃止

概　説 1

端子機能 2

CPU機能 3

EEPROM 4

クロック発生回路 5

ポート機能 6

リアルタイム出力機能 7

タイマ/カウンタ・ユニット 8

A/Dコンバータ 9

アシンクロナス・シリアル・インタフェース 10

クロック同期式シリアル・インタフェース 11

エッジ検出機能 12

割り込み機能 13

ローカル・バス・インタフェース機能 14

スタンバイ機能 15

リセット機能 16

応 用 例 17

命令のオペレーション 18

付　録 付

保守／廃止

CMOSデバイスの一般的注意事項

① 静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，NECが出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

② 未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり，CMOSデバイスの入力に何も接続しない状態で動作させると，ノイズなどに起因する中間レベル入力が生じ，内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また，未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③ 初期化以前の状態（MOS全般）

注意 電源投入時，MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため，初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

EWS-4800シリーズ，EWS-UX/Vは，日本電気株式会社の商標です。

MS-DOS™は，米国マイクロソフト社の商標です。

PC/AT，PC DOSは，米国IBM社の商標です。

SPARCstationは，米国SPARC International，Inc．の商標です。

Sun OSは，米国サン・マイクロシステムズ社の商標です。

HP9000シリーズ300，HP-UXは，米国ヒューレット・パッカード社の商標です。

保守／廃止

μPD78244は，EEPROM内蔵マイコン特許に関してBULL CP8社とのライセンス契約にもとづき製造・販売しております。
なお，本製品をICカード（SMART CARD）に使用することはできません。

本製品のうち，外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては，日本国外に輸出する際に，同法に基づき日本国政府の輸出許可が必要です。

非 該 当 品：μPD78243CW，78243GC-AB8
ユーザ判定品：μPD78244CW-×××，78244GC-×××-AB8

○**本資料の内容は，後日変更する場合があります。**
○文書による当社の承諾なしに本資料の転載複製を禁じます。
○この製品を使用したことにより，第三者の工業所有権等にかかわる問題が発生した場合，当社製品の構造製法に直接かかわるもの以外につきましては，当社はその責を負いませんのでご了承ください。
○当社は，航空宇宙機器，海底中継器，原子力制御システム，生命維持のための医療用機器などに推奨できる製品を標準的には用意しておりません。当社製品をこれらの用途にご使用をお考えのお客様，および，『標準』品質水準品を当社が意図した用途以外にご使用をお考えのお客様は，事前に販売窓口までご連絡頂きますようお願い致します。
当社推奨の用途例
標準：コンピュータ，OA機器，通信機器，計測機器，工作機械，産業用ロボット，AV機器，家電等
特別：輸送機器（列車，自動車等），交通信号機器，防災／防犯装置等
○この製品は耐放射線設計をしておりません。

保守／廃止

本版で改訂された主な箇所

箇　所	内　容
p. 84	**図５－２　クロック発振回路の外付け回路　（a）クリスタル／セラミック発振に**V_{SS}**および注意を追加**
p. 170	**8.1　16ビット・タイマ／カウンタ　8.1.5　コンペア・レジスタ，キャプチャ・レジスタの動作　（1）コンペア動作に注意事項を追加**
p. 464	**13.4.6　マクロ・サービス・タイプB　（2）マクロ・サービス・チャネルの構成に注意を追加**
p. 526	**15.4.2　STOPモードの解除　（b）発振安定時間に注意を追加**
p. 569	**付録B　開発ツール**　IBM PCシリーズ　→　IBM PC/ATに変更
p. 579	**付録C　組み込み用ソフトウエア** ・リアルタイムOSに関する記述を削除 ・**C.1　ファジィ推論開発支援システム**にIBM PC/ATおよびファジィ推論ディバッガに関する記述を追加

本文欄外の★印は，本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

保守／廃止

はじめに

対象者　このマニュアルは，μPD78244サブシリーズの機能を理解し，その応用システムを設計するユーザのエンジニアを対象とします。

目　的　このマニュアルは，μPD78244サブシリーズの持つ各種ハードウエア機能を理解していただくことを目的とします。

構　成　μPD78244サブシリーズのマニュアルは，ハードウエア編（このマニュアル）と命令編（78K/IIシリーズ共通）の２冊に分かれています。

ハードウエア編	命令編
端子機能	CPU機能
内部ブロック機能	アドレシング
割り込み	命令セット
その他の内蔵周辺機能	

この製品には使用上の注意事項があります。
各章の本文中の該当箇所と各章の最後（まとめ）にそれらの注意事項を示しますので，必ずお読みください。

読み方　このマニュアルを読むにあたっては，電気，論理回路およびマイクロコンピュータの一般知識を必要とします。

- **μPD78243，78244のマニュアルとしてお使いになる方へ**

  →このマニュアルでは，μPD78243，78244の機能について説明しています。特に機能面について違いがない限り，μPD78244を代表品種として説明していますので，μPD78243のマニュアルとしてお使いの場合は，μPD78244をμPD78243と読み替えてお使いください。

- **レジスタ名が分かっていて，レジスタの詳細を確認するとき**

  →**「付録D　レジスタ索引」**を利用してください。

- **他の78K/IIシリーズとの違いを知りたいとき**

  →**「付録A　78K/IIシリーズ製品一覧」**で違いのある項目を確認してください。

  さらに，詳細について確認したい場合は，**「付録E　総合索引」**を利用してください。

保守／廃止

●機能名などが分かっていて，その詳細を確認するとき

→「付録E　総合索引」を利用してください。

●ディバグをしていて，おかしな動作をしているとき

→各章末に注意事項がまとめてありますので，関連する機能の注意事項を参照してみてください。

●一通りμPD78244サブシリーズの機能を理解しようとするとき

→目次に従って読んでください。

●μPD78244サブシリーズの命令機能の詳細を知りたいとき

→別冊の78K/IIシリーズ　ユーザーズ・マニュアル　命令編（IEU-754）を参照してください。

●μPD78244サブシリーズの電気的特性を知りたいとき

→別冊のデータ・シートを参照してください。

●μPD78244サブシリーズの各種機能の応用例を知りたいとき

→別冊のアプリケーション・ノートを参照してください。

保守／廃止

凡　例

データ表記の重み	：左側が上位桁，右側が下位桁
アクティブ・ロウの表記	：$\overline{\times\times\times}$（端子，信号名称に上線）
注	：本文中につけた注の説明
注意	：特に気をつけていただきたい内容
備考	：本文の補足説明
数の表記	：2進数…××××Bまたは××××
	：10進数…××××
	：16進数…××××H

レジスタ表記

	7	6	5	4	③	2	1	0
EDC	B	1	0	×	A	1	0	×

レジスタ名

ビット番号を○で囲んでいるものは，そのビット名称がNEC製アセンブラで予約語に，Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

ライト動作時	リード動作時
0または1を書き込みます。いずれの値でも動作には影響を与えません。	0または1を読み出します。
0を書く必要があります。	
1を書く必要があります。	
使用したい機能に応じた値を書き込みます。	動作状態に従った値を読み出します。

本文中のレジスタ表記に『設定禁止』と書いてあるコードの組み合わせは，絶対に書き込まないでください。

まぎらわしい文字　：0（ゼロ），O（オー）

：1（イチ），l（エル），I（アイ）

保守／廃止

関連資料　以下の資料とあわせてご利用ください。

表の中の番号は，資料番号です。

●μPD78243，78244に関する資料

資料名＼製品		μPD78243	μPD78244
パンフレット		IF-214	
データ・シート		IC-8355	IC-8070
ユーザーズ・マニュアル　ハードウエア編		このマニュアル	
ユーザーズ・マニュアル　命令編		IEU-754	
インストラクション・セット		IEM-5102	
インストラクション活用表		IEM-5101	
特殊機能レジスタ活用表		IEM-5528	
アプリケーション・ノート	基礎編	IEA-607	
	応用編	IEA-700	
	浮動小数点演算プログラム編	IEA-686	

●シリアル・バス・インタフェース（SBI）　ユーザーズ・マニュアル（IEM-5040）

●開発ツールに関する資料

資料名		資料番号
IE-78240-R-A　インサーキット・エミュレータ ユーザーズ・マニュアル		EEU-796
IE-78240-R インサーキット･エミュレータ ユーザーズ・マニュアル	ハードウエア編	EEU-705
	ソフトウエア編	EEU-706
RA78Kシリーズ アセンブラ・パッケージ ユーザーズ・マニュアル	操作編	EEU-809
	言語編	EEU-815
78Kシリーズ構造化アセンブラ・プリプロセッサ ユーザーズ・マニュアル		EEU-817
CC78Kシリーズ Cコンパイラ ユーザーズ・マニュアル	操作編	EEU-656
	言語編	EEU-655
CC78Kシリーズ　ライブラリ・ソース・ファイル ユーザーズ・マニュアル		EEU-777
78K/IIシリーズ　開発ツール セレクション・ガイド		EF-231
SD78K/II　スクリーン・ディバッガ ユーザーズ・マニュアル	入門編	EEU-841
	レファレンス編	EEU-813

保守／廃止

●組み込み用ソフトウエアに関する資料

資　料　名		資料番号
ファジィ推論開発支援システム　パンフレット		EF-235
78K/IIシリーズ　ファジィ推論開発支援システム　ユーザーズ・マニュアル	ファジィ推論モジュール	EEU-860
78K/0, 78K/II, 78ADシリーズ　ファジィ推論開発支援システム　ユーザーズ・マニュアル	トランスレータ	EEU-862
ファジィ知識データ作成ツール　ユーザーズ・マニュアル		EEU-829
78K/IIシリーズ　ファジィ推論ディバッガ　ユーザーズ・マニュアル		EEU-917

●その他の関連資料

資　料　名	資料番号
QTOPマイコン　パンフレット	IB-5040
パッケージマニュアル	IEI-635
半導体デバイス　実装マニュアル	IEI-616
NEC半導体デバイスの品質水準	IEI-620
NEC半導体デバイスの信頼性品質管理	IEM-5068
静電気放電（ESD）試験について	MEM-539
半導体デバイスの品質保証ガイド	MEI-603
マイクロコンピュータ関連製品ガイド　社外メーカ編	MEI-604

注意　上記関連資料は，予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

保守／廃止

保守／廃止

目　　次

第１章　概　　説 … 1

1.1　特　　徴 … 3
1.2　オーダ情報と品質水準 … 4
1.2.1　オーダ情報 … 4
1.2.2　品質水準 … 4
1.3　端子接続図（Top View） … 5
1.4　応用システム構成例（オートフォーカス１眼レフ・カメラ） … 8
1.5　内部ブロック図 … 9
1.6　機能一覧 … 10

第２章　端子機能 … 13

2.1　端子機能一覧 … 13
2.2　端子機能説明 … 15
2.3　入出力回路と未使用端子の処理 … 22
2.4　注意事項 … 25

第３章　CPU機能 … 27

3.1　メモリ空間 … 27
3.1.1　内部プログラム・メモリ領域 … 30
3.1.2　内部RAM領域 … 31
3.1.3　EEPROM領域 … 31
3.1.4　特殊機能レジスタ（SFR）領域 … 32
3.1.5　外部SFR領域 … 32
3.1.6　外部メモリ空間 … 32
3.1.7　外部拡張データ・メモリ空間 … 33
3.2　レジスタ … 35
3.2.1　プログラム・カウンタ（PC） … 35
3.2.2　プログラム・ステータス・ワード（PSW） … 35
3.2.3　スタック・ポインタ（SP） … 37
3.2.4　汎用レジスタ … 38
3.2.5　特殊機能レジスタ（SFR） … 42
3.3　注意事項 … 46

第４章　EEPROM … 47

4.1　構　　成 … 47
4.2　EEPROM書き込み制御レジスタ（EWC） … 50
4.3　書き込み専用タイマ … 54
4.3.1　構　　成 … 54
4.3.2　動　　作 … 56

保守／廃止

4.4　EEPROMの読み出し動作　…　60
4.5　EEPROMの書き込み動作　…　60
4.5.1　初期設定　…　61
4.5.2　EEPROMを操作可能な命令　…　63
4.5.3　書き込み時の動作　…　64
4.5.4　書き込みの終了　…　65
4.5.5　書き込みエラー　…　66
4.5.6　スタンバイ・モード時のEEPROMの動作　…　67
4.5.7　使 用 例　…　68
4.6　EEPROMの制御に関する割り込み　…　71
4.7　ライト・プロテクト機能　…　72
4.7.1　ライト・プロテクト機能の動作　…　72
4.7.2　ライト・プロテクト領域の設定　…　73
4.7.3　ライト・プロテクト機能の使用例　…　75
4.8　注意事項　…　79
4.8.1　EEPROM書き込み上の注意　…　79
4.8.2　インサーキット・エミュレータとの動作の違いについて　…　82

第5章　クロック発生回路　…　83

5.1　構成と機能　…　83
5.2　注意事項　…　85
5.2.1　外部クロックを入力する場合　…　85
5.2.2　クリスタル／セラミック発振の場合　…　86

第6章　ポート機能　…　89

6.1　ディジタル入出力ポート　…　89
6.2　ポート0　…　91
6.2.1　ハードウエア構成　…　91
6.2.2　出力モード／コントロール・モードの設定　…　92
6.2.3　動作状態　…　93
6.2.4　内蔵プルアップ抵抗　…　93
6.2.5　トランジスタのドライブ例　…　94
6.3　ポート2　…　95
6.3.1　ハードウエア構成　…　97
6.3.2　入力モード／コントロール・モードの設定　…　98
6.3.3　動作状態　…　98
6.3.4　内蔵プルアップ抵抗　…　98
6.4　ポート3　…　100
6.4.1　ハードウエア構成　…　102
6.4.2　入出力モード／コントロール・モードの設定　…　106
6.4.3　動作状態　…　108
6.4.4　内蔵プルアップ抵抗　…　111
6.5　ポート4　…　113
6.5.1　ハードウエア構成　…　113
6.5.2　入出力モード／コントロール・モードの設定　…　114

保守／廃止

6.5.3 動作状態 … 114
6.5.4 内蔵プルアップ抵抗 … 116
6.5.5 LEDのダイレクト・ドライブ … 117
6.6 ポート5 … 118
6.6.1 ハードウエア構成 … 118
6.6.2 入出力モード／コントロール・モードの設定 … 119
6.6.3 動作状態 … 120
6.6.4 内蔵プルアップ抵抗 … 122
6.6.5 LEDのダイレクト・ドライブ … 123
6.7 ポート6 … 124
6.7.1 ハードウエア構成 … 126
6.7.2 入出力モード／コントロール・モードの設定 … 130
6.7.3 動作状態 … 132
6.7.4 内蔵プルアップ抵抗 … 134
6.7.5 注意事項 … 135
6.8 ポート7 … 136
6.8.1 ハードウエア構成 … 136
6.8.2 入力モード／コントロール・モードの設定 … 136
6.8.3 動作状態 … 137
6.8.4 内蔵プルアップ抵抗 … 137
6.8.5 注意事項 … 137
6.9 注意事項 … 138

第7章 リアルタイム出力機能 … 141

7.1 構成と機能 … 141
7.2 リアルタイム出力ポート・コントロール・レジスタ（RTPC） … 143
7.3 リアルタイム出力ポートのアクセス … 144
7.4 動 作 … 146
7.5 使 用 例 … 149
7.6 注意事項 … 152

第8章 タイマ／カウンタ・ユニット … 155

8.1 16ビット・タイマ／カウンタ … 157
8.1.1 機 能 … 157
8.1.2 構 成 … 158
8.1.3 16ビット・タイマ／カウンタ制御レジスタ … 161
8.1.4 16ビット・タイマ0（TM0）の動作 … 165
8.1.5 コンペア・レジスタ，キャプチャ・レジスタの動作 … 170
8.1.6 出力制御回路の基本動作 … 173
8.1.7 PWM出力 … 178
8.1.8 PPG出力 … 183
8.1.9 ソフト・トリガド・ワンショット・パルス出力 … 190
8.1.10 使 用 例 … 191
8.2 8ビット・タイマ／カウンタ1 … 206
8.2.1 機 能 … 206

保守／廃止

8.2.2　構　成 … 207
8.2.3　８ビット・タイマ／カウンタ１制御レジスタ … 210
8.2.4　８ビット・タイマ１（TM1）の動作 … 213
8.2.5　コンペア・レジスタ，キャプチャ／コンペア・レジスタの動作 … 218
8.2.6　使 用 例 … 223
8.3　８ビット・タイマ／カウンタ2 … 232
8.3.1　機　能 … 232
8.3.2　構　成 … 234
8.3.3　８ビット・タイマ／カウンタ２制御レジスタ … 237
8.3.4　８ビット・タイマ２（TM2）の動作 … 241
8.3.5　外部イベント・カウンタ機能 … 246
8.3.6　ワンショット・タイマ機能 … 252
8.3.7　コンペア・レジスタ，キャプチャ・レジスタの動作 … 253
8.3.8　出力制御回路の基本動作 … 257
8.3.9　PWM出力 … 261
8.3.10　PPG出力 … 267
8.3.11　使 用 例 … 274
8.4　８ビット・タイマ／カウンタ３ … 295
8.4.1　機　能 … 295
8.4.2　構　成 … 296
8.4.3　８ビット・タイマ／カウンタ３制御レジスタ … 298
8.4.4　８ビット・タイマ３（TM3）の動作 … 300
8.4.5　コンペア・レジスタの動作 … 303
8.4.6　使 用 例 … 304
8.5　注意事項 … 306
8.5.1　全タイマ／カウンタ共通の注意事項 … 306
★ 8.5.2　16ビット・タイマ／カウンタに関する注意事項 … 315
8.5.3　８ビット・タイマ／カウンタ２に関する注意事項 … 316
8.5.4　インサーキット・エミュレータ使用時の注意事項 … 320

第９章　A/Dコンバータ … 323

9.1　構　成 … 323
9.2　A/Dコンバータ・モード・レジスタ（ADM） … 327
9.3　動　作 … 329
9.3.1　A/Dコンバータの基本動作 … 329
9.3.2　セレクト・モード … 332
9.3.3　スキャン・モード … 333
9.3.4　ソフトウエア・スタートによるA/D変換動作の起動 … 335
9.3.5　ハードウエア・スタートによるA/D変換動作の起動 … 337
9.4　A/Dコンバータの割り込み要求 … 341
9.5　ANI6，ANI7使用時の設定 … 341
9.6　注意事項 … 342

第10章　アシンクロナス・シリアル・インタフェース … 347

10.1　構　成 … 347

保守／廃止

10.2 アシンクロナス・シリアル・インタフェース制御レジスタ … 350
10.3 アシンクロナス・シリアル・インタフェースの動作 … 352
10.3.1 データ・フォーマット … 352
10.3.2 パリティの種類と動作 … 353
10.3.3 送　　信 … 354
10.3.4 受　　信 … 355
10.3.5 受信エラー … 356
10.4 ボー・レート・ジェネレータ … 358
10.4.1 専用ボー・レート・ジェネレータの構成 … 358
10.4.2 ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC） … 359
10.4.3 専用ボー・レート・ジェネレータの動作 … 361
10.5 ボー・レートの設定方法 … 362
10.5.1 専用ボー・レート・ジェネレータを使用した場合の設定例 … 362
10.5.2 ８ビット・タイマ／カウンタ３を使用した場合の設定例 … 364
10.5.3 外部ボー・レート入力（ASCK）を使用した場合の設定例 … 366
10.6 注意事項 … 367

第11章 クロック同期式シリアル・インタフェース … 369

11.1 機　　能 … 369
11.2 構　　成 … 369
11.3 制御レジスタ … 372
11.3.1 クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）… 372
11.3.2 シリアル・バス・インタフェース・コントロール・レジスタ（SBIC） … 373
11.4 3線式シリアルI/Oモード … 375
11.4.1 基本動作タイミング … 376
11.4.2 送信のみ許可の場合の動作 … 378
11.4.3 受信のみ許可の場合の動作 … 379
11.4.4 送受信許可の場合の動作 … 380
11.4.5 シリアル・クロックとシフト動作がずれた場合の処置方法 … 381
11.5 SBIモード … 381
11.5.1 SBIの特徴 … 382
11.5.2 シリアル・インタフェースの構成 … 384
11.5.3 アドレスの一致検出方法 … 386
11.5.4 SBIモードの制御レジスタ … 386
11.6 SBIの通信動作と各種信号 … 391
11.6.1 バス・リリース信号（REL） … 392
11.6.2 コマンド信号（CMD） … 392
11.6.3 アドレス … 393
11.6.4 コマンド，データ … 394
11.6.5 アクノリッジ信号（$\overline{\text{ACK}}$） … 395
11.6.6 ビジィ信号（$\overline{\text{BUSY}}$），レディ信号（READY） … 396
11.6.7 各種信号 … 397
11.6.8 通信動作 … 404
11.6.9 ビジィ解除方法 … 404
11.6.10 ウエイク・アップ設定動作 … 404
11.6.11 送受信動作のスタート … 404

保守／廃止

11.7 注意事項 … 409

第12章 エッジ検出機能 … 411

12.1 外部割り込みモード・レジスタ（INTM0，INTM1） … 412
12.2 P20端子のエッジ検出 … 415
12.3 P21-P26端子のエッジ検出 … 416
12.4 注意事項 … 419

第13章 割り込み機能 … 423

13.1 割り込み要求ソース … 424
13.1.1 ソフトウエア割り込み要求 … 425
13.1.2 ノンマスカブル割り込み要求 … 425
13.1.3 マスカブル割り込み要求 … 425
13.1.4 割り込み要求ソースの選択 … 426
13.2 割り込み処理制御レジスタ … 428
13.2.1 割り込み要求フラグ・レジスタ（IF0L，IF0H，IF1L） … 430
13.2.2 割り込みマスク・フラグ・レジスタ（MK0L，MK0H，MK1L） … 431
13.2.3 割り込みサービス・モード・レジスタ（ISM0L，ISM0H，ISM1L） … 432
13.2.4 優先順位指定フラグ・レジスタ（PR0L，PR0H，PR1L） … 433
13.2.5 割り込みステータス・レジスタ（IST） … 434
13.2.6 プログラム・ステータス・ワード（PSW） … 435
13.3 割り込み処理動作 … 436
13.3.1 ソフトウエア割り込みの受け付け動作 … 436
13.3.2 ノンマスカブル割り込みの受け付け動作 … 436
13.3.3 マスカブル割り込みの受け付け動作 … 440
13.3.4 多重割り込みの処理 … 442
13.3.5 割り込み要求およびマクロ・サービスが一時的に保留される場合 … 446
13.3.6 割り込みおよびマクロ・サービスの動作タイミング … 447
13.4 マクロ・サービス機能 … 451
13.4.1 マクロ・サービスの概要 … 451
13.4.2 マクロ・サービスの種類 … 452
13.4.3 マクロ・サービスの基本動作 … 454
13.4.4 マクロ・サービス制御レジスタ … 455
13.4.5 マクロ・サービス・タイプA … 457
13.4.6 マクロ・サービス・タイプB … 462
13.4.7 マクロ・サービス・タイプC … 467
13.5 注意事項 … 481

第14章 ローカル・バス・インタフェース機能 … 485

14.1 制御レジスタ … 486
14.1.1 メモリ拡張モード・レジスタ（MM） … 486
14.1.2 プログラマブル・ウエイト制御レジスタ（PW） … 487
14.2 メモリ拡張機能 … 488
14.2.1 外部メモリ拡張機能 … 488

保守／廃止

14.2.2　1Mバイト拡張機能　…　489
14.2.3　メモリ拡張時のメモリ・マップ　…　491
14.2.4　メモリとの接続例　…　495
14.3　内部ROM高速フェッチ機能　…　497
14.4　ウエイト機能　…　497
14.5　疑似スタティックRAMリフレッシュ機能　…　505
14.5.1　機　能　…　505
14.5.2　リフレッシュ・モード・レジスタ（RFM）　…　506
14.5.3　動　作　…　507
14.5.4　疑似スタティックRAMとの接続例　…　511
14.6　注意事項　…　512

第15章　スタンバイ機能　…　517

15.1　構成と機能　…　517
15.2　スタンバイ・コントロール・レジスタ（STBC）　…　519
15.3　HALTモード　…　520
15.3.1　HALTモードの設定および動作状態　…　520
15.3.2　HALTモードの解除　…　521
15.4　STOPモード　…　524
15.4.1　STOPモードの設定および動作状態　…　524
15.4.2　STOPモードの解除　…　525
15.4.3　STOPモード使用時のチェック項目　…　527
15.5　注意事項　…　530

第16章　リセット機能　…　531

16.1　リセット機能　…　531
16.2　注意事項　…　535

第17章　応 用 例　…　537

17.1　ステッピング・モータの開ループ制御　…　537
17.2　複数デバイスとのシリアル通信　…　539

第18章　命令のオペレーション　…　541

18.1　凡　例　…　541
18.1.1　オペランド欄　…　541
18.1.2　オペレーション欄　…　543
18.1.3　フラグ欄　…　543
18.2　オペレーション一覧　…　544
18.3　アドレシング別命令一覧表　…　556

付録A　78K/IIシリーズ製品一覧　…　561

付録B　開発ツール　…　569

保守／廃止

B.1　ハードウエア　…　571
B.2　ソフトウエア　…　572
B.2.1　言語処理用ソフトウエア　…　572
B.2.2　インサーキット・エミュレータ用ソフトウエア　…　575
B.2.3　PROMプログラマ用ソフトウエア　…　576
B.3　他のインサーキット・エミュレータからのシステム・アップ方法　…　577
B.3.1　IE-78240-R-Aへのシステム・アップ方法　…　577
B.3.2　IE-78240-Rへのシステム・アップ方法　…　578

付録C　組み込み用ソフトウエア　…　579

C.1　ファジィ推論開発支援システム　…　579

付録D　レジスタ索引　…　581

D.1　レジスタ索引（50音順）　…　581
D.2　レジスタ索引（アルファベット順）　…　585

付録E　総合索引　…　589

E.1　50音で始まる語句の索引　…　589
E.2　アルファベットで始まる語句の索引　…　601

保守／廃止

図の目次（1/12）

図番号	タイトル，ページ
2-1	端子の入出力回路 … 24
3-1	μPD78243またはμPD78244（$\overline{EA}$=Lのとき）のメモリ・マップ … 28
3-2	μPD78244（$\overline{EA}$=Hのとき）のメモリ・マップ … 29
3-3	バンク間でのデータ転送例 … 34
3-4	プログラム・カウンタの構成 … 35
3-5	プログラム・ステータス・ワードの構成 … 35
3-6	スタック・ポインタの構成 … 37
3-7	スタック領域へ退避されるデータ … 37
3-8	スタック領域から復帰されるデータ … 37
3-9	汎用レジスタの構成 … 38
4-1	EEPROMのブロック図 … 48
4-2	EEPROM書き込み制御レジスタの読み出し／書き込み … 50
4-3	EEPROM書き込み制御レジスタのフォーマット … 51
4-4	書き込み専用タイマのブロック図 … 55
4-5	EEPROM書き込み動作時のタイミング … 57
4-6	EEPROM割り込み処理中のEEPROMへのアクセス … 58
4-7	EEPROM書き込み処理中に書き込み禁止にした場合のタイミング … 59
4-8	EEPROM書き込み設定手順 … 69
4-9	EEPROM書き込み動作のシーケンス（INTEPWを使用した例） … 70
4-10	ライト・プロテクト領域の設定状態 … 74
4-11	ライト・プロテクト機能の使用例 … 76
5-1	クロック発生回路のブロック図 … 83
5-2	クロック発振回路の外付け回路 … 84
5-3	外部クロック入力時の信号取り出し点 … 85
5-4	発振子の接続の注意点 … 86
5-5	発振子の接続の悪い例 … 87
6-1	ポートの構成 … 89
6-2	ポート0のブロック図 … 91
6-3	ポート0モード・レジスタのフォーマット … 92
6-4	出力ポート指定のポート … 93

保守／廃止

図の目次（2/12）

図番号	タイトル，ページ
6-5	トランジスタのドライブ例 … 94
6-6	ポート２のブロック図 … 97
6-7	入力ポート指定のポート … 98
6-8	プルアップ抵抗オプション・レジスタのフォーマット … 99
6-9	プルアップの指定（ポート２）… 99
6-10	P30（ポート３）のブロック図 … 102
6-11	P31，P34-P37（ポート３）のブロック図 … 103
6-12	P32（ポート３）のブロック図 … 104
6-13	P33（ポート３）のブロック図 … 105
6-14	ポート３モード・レジスタのフォーマット … 106
6-15	ポート３モード・コントロール・レジスタ（PMC3）のフォーマット … 107
6-16	出力ポート指定のポート … 108
6-17	入力ポート指定のポート … 109
6-18	コントロール指定の場合 … 110
6-19	プルアップ抵抗オプション・レジスタのフォーマット … 111
6-20	プルアップの指定（ポート３） … 112
6-21	ポート４のブロック図 … 113
6-22	出力ポート指定のポート … 114
6-23	入力ポート指定のポート … 115
6-24	プルアップ抵抗オプション・レジスタのフォーマット … 116
6-25	プルアップの指定（ポート４）… 117
6-26	LEDのダイレクト・ドライブ例 … 117
6-27	ポート５のブロック図 … 118
6-28	ポート５モード・レジスタのフォーマット … 119
6-29	出力ポート指定のポート … 120
6-30	入力ポート指定のポート … 121
6-31	プルアップ抵抗オプション・レジスタのフォーマット … 122
6-32	プルアップの指定（ポート５）… 123
6-33	LEDのダイレクト・ドライブ例 … 123
6-34	P60-P63（ポート６）のブロック図… 126
6-35	P64，P65（ポート６）のブロック図 … 127
6-36	P66（ポート６）のブロック図 … 128
6-37	P67（ポート６）のブロック図 … 129
6-38	ポート６モード・レジスタのフォーマット … 131

保守／廃止

図の目次（3/12）

図番号	タイトル，ページ
6-39	出力ポート指定のポート … 132
6-40	入力ポート指定のポート … 133
6-41	プルアップ抵抗オプション・レジスタのフォーマット… 134
6-42	プルアップの指定（ポート6） … 135
6-43	ポート7のブロック図 … 136
6-44	入力ポート指定のポート … 137
7-1	リアルタイム出力ポートのブロック図 … 142
7-2	リアルタイム出力ポート・コントロール・レジスタ(RTPC)のフォーマット … 143
7-3	バッファ・レジスタ（POH，POL）の構成 … 144
7-4	リアルタイム出力ポートの動作タイミング … 147
7-5	リアルタイム出力ポートの動作タイミング（2ch独立制御の例）… 148
7-6	リアルタイム出力ポートの動作タイミング … 149
7-7	リアルタイム出力機能の制御レジスタの設定内容 … 150
7-8	リアルタイム出力機能の設定手順 … 150
7-9	リアルタイム出力機能使用時の割り込み要求処理 … 151
8-1	タイマ／カウンタ・ユニットのブロック図 … 156
8-2	16ビット・タイマ／カウンタのブロック図 … 159
8-3	タイマ・コントロール・レジスタ0（TMC0）のフォーマット … 161
8-4	キャプチャ／コンペア・コントロール・レジスタ0（CRC0）のフォーマット … 162
8-5	タイマ出力コントロール・レジスタ（TOC）のフォーマット … 163
8-6	ワンショット・パルス出力制御レジスタのフォーマット … 164
8-7	16ビット・タイマ0（TM0）の基本動作 … 166
8-8	コンペア・レジスタ（CR01）との一致によるTM0のクリア … 167
8-9	CE0ビットをリセット(0)した場合のクリア動作 … 168
8-10	コンペア動作 … 170
8-11	一致検出後，TM0のクリア … 171
8-12	キャプチャ動作 … 172
8-13	トグル出力の動作 … 176
8-14	PWMパルス出力 … 178
8-15	TM0を用いたPWM出力例 … 179
8-16	CR00＝FFFFHのときのPWM出力 … 179
8-17	コンペア・レジスタの書き換え例 … 180

保守／廃止

図の目次（4/12）

図番号	タイトル，ページ
8－18	PWM出力時にデューティが100％になる例 … 181
8－19	PWM信号出力中に16ビット・タイマ／カウンタ０を停止した場合 … 182
8－20	TM0を用いたPPG出力例 … 184
8－21	CR00＝CR01のときのPPG出力 … 185
8－22	CR00＝0000Hのときの PPG出力 … 185
8－23	コンペア・レジスタの書き換え例 … 186
8－24	PPG出力時にデューティが100％になる例 … 187
8－25	PPG出力の周期が長くなる例 … 188
8－26	PPG信号出力中に16ビット・タイマ／カウンタ０を停止した場合 … 189
8－27	ソフト・トリガド・ワンショット・パルス出力例 … 190
8－28	インターバル・タイマ動作(1)のタイミング … 191
8－29	インターバル・タイマ動作(1)における制御レジスタの設定内容 … 192
8－30	インターバル・タイマ動作(1)の設定手順 … 192
8－31	インターバル・タイマ動作(1)の割り込み要求処理 … 193
8－32	インターバル・タイマ動作(2)のタイミング … 193
8－33	インターバル・タイマ動作(2)における制御レジスタの設定内容 … 194
8－34	インターバル・タイマ動作(2)の設定手順 … 194
8－35	パルス幅測定のタイミング … 195
8－36	パルス幅測定における制御レジスタの設定内容 … 196
8－37	パルス幅測定の設定手順 … 197
8－38	パルス幅を算出する割り込み要求処理 … 197
8－39	16ビット・タイマ／カウンタのPWM信号出力例 … 198
8－40	PWM出力動作における制御レジスタの設定内容 … 199
8－41	PWM出力の設定手順 … 200
8－42	PWM出力のデューティ変更 … 201
8－43	16ビット・タイマ／カウンタのPPG信号出力例 … 202
8－44	PPG出力動作における制御レジスタの設定内容 … 203
8－45	PPG出力の設定手順 … 204
8－46	PPG出力のデューティ変更 … 205
8－47	８ビット・タイマ／カウンタ１のブロック図 … 208
8－48	タイマ・コントロール・レジスタ１（TMC1）のフォーマット … 210
8－49	プリスケーラ・モード・レジスタ１（PRM1）のフォーマット … 211
8－50	キャプチャ／コンペア・コントロール・レジスタ１（CRC1）のフォーマット … 212
8－51	８ビット・タイマ１（TM1）の基本動作 … 214

保守／廃止

図の目次（5/12）

図番号	タイトル，ページ
8-52	コンペア・レジスタ（CR1m）との一致によるTM1のクリア … 215
8-53	キャプチャ後，TM1のクリア … 215
8-54	CE1ビットをリセット(0)した場合のクリア動作 … 216
8-55	コンペア動作 … 218
8-56	一致検出後，TM1のクリア … 219
8-57	キャプチャ動作 … 221
8-58	キャプチャ後，TM1のクリア … 222
8-59	インターバル・タイマ動作(1)のタイミング … 223
8-60	インターバル・タイマ動作(1)における制御レジスタの設定内容 … 224
8-61	インターバル・タイマ動作(1)の設定手順 … 225
8-62	インターバル・タイマ動作(1)の割り込み要求処理 … 225
8-63	インターバル・タイマ動作(2)のタイミング（CR11をコンペア・レジスタとして使用する場合） … 226
8-64	インターバル・タイマ動作(2)の制御レジスタの設定内容 … 227
8-65	インターバル・タイマ動作(2)の設定手順 … 228
8-66	パルス幅測定のタイミング（CR11をキャプチャ・レジスタとして使用する場合） … 229
8-67	パルス幅測定の制御レジスタの設定内容 … 230
8-68	パルス幅測定の設定手順 … 231
8-69	パルス幅を算出する割り込み要求処理 … 231
8-70	８ビット・タイマ／カウンタ２のブロック図 … 235
8-71	タイマ・コントロール・レジスタ１（TMC1）のフォーマット … 237
8-72	プリスケーラ・モード・レジスタ１（PRM1）のフォーマット … 238
8-73	キャプチャ/コンペア・コントロール・レジスタ２（CRC2）のフォーマット … 239
8-74	タイマ出力コントロール・レジスタ（TOC）のフォーマット … 240
8-75	８ビット・タイマ２（TM2）の基本動作 … 242
8-76	コンペア・レジスタ（CR21）との一致によるTM2のクリア … 243
8-77	キャプチャ後，TM2のクリア … 243
8-78	CE2ビットをリセット(0)した場合のクリア動作 … 244
8-79	８ビット・タイマ／カウンタ２の外部イベント・カウンタのタイミング … 246
8-80	外部イベント・カウンタでの割り込み要求発生 … 248
8-81	外部イベント・カウンタで１回または１回以下の有効エッジ入力の区別がつかない例 … 249
8-82	外部イベント・カウンタで１回以下の有効エッジ入力を区別する方法 … 250
8-83	ワンショット・タイマ動作 … 252
8-84	コンペア動作 … 253

保守／廃止

図の目次（6/12）

図番号	タイトル，ページ
8－85	一致検出後，TM2のクリア … 254
8－86	キャプチャ動作 … 256
8－87	キャプチャ後，TM2のクリア … 257
8－88	トグル出力の動作 … 259
8－89	PWMパルス出力 … 262
8－90	TM2を用いたPWM出力例 … 263
8－91	CR20＝FFHのときのPWM出力 … 263
8－92	コンペア・レジスタの書き換え例 … 264
8－93	PWM出力時にデューティが100％になる例 … 265
8－94	PWM信号出力中に８ビット・タイマ／カウンタ２を停止した場合 … 266
8－95	TM2を用いたPPG出力例 … 268
8－96	CR20＝CR21のときのPPG出力 … 269
8－97	CR20＝00Hのときの PPG出力 … 269
8－98	コンペア・レジスタの書き換え例 … 270
8－99	PPG出力時にデューティが100％になる例 … 271
8－100	PPG出力の周期が長くなる例 … 272
8－101	PPG信号出力中に８ビット・タイマ／カウンタ２を停止した場合 … 273
8－102	インターバル・タイマ動作(1)のタイミング … 274
8－103	インターバル・タイマ動作(1)における制御レジスタの設定内容 … 275
8－104	インターバル・タイマ動作(1)の設定手順 … 276
8－105	インターバル・タイマ動作(1)の割り込み要求処理 … 276
8－106	インターバル・タイマ動作(2)のタイミング … 277
8－107	インターバル・タイマ動作(2)の制御レジスタの設定内容 … 278
8－108	インターバル・タイマ動作(2)の設定手順 … 279
8－109	パルス幅測定のタイミング … 280
8－110	パルス幅測定の制御レジスタの設定内容 … 281
8－111	パルス幅測定の設定手順 … 282
8－112	パルス幅を算出する割り込み要求処理 … 282
8－113	８ビット・タイマ／カウンタ２のPWM信号出力例 … 283
8－114	PWM出力動作における制御レジスタの設定内容 … 284
8－115	PWM出力の設定手順 … 285
8－116	PWM出力のデューティ変更 … 286
8－117	８ビット・タイマ／カウンタ２のPPG信号出力例 … 286
8－118	PPG出力動作における制御レジスタの設定内容 … 287

保守／廃止

図の目次（7/12）

図番号	タイトル，ページ
8－119	PPG出力の設定手順 … 288
8－120	PPG出力のデューティ変更 … 289
8－121	外部イベント・カウンタ動作（片エッジの場合） … 290
8－122	外部イベント・カウンタ動作の制御レジスタの設定内容 … 291
8－123	外部イベント・カウンタ動作の設定手順 … 291
8－124	ワンショット・タイマ動作 … 292
8－125	ワンショット・タイマ動作の制御レジスタの設定内容 … 293
8－126	ワンショット・タイマ動作の設定手順 … 294
8－127	２回目以降のワンショット・タイマの起動手順 … 294
8－128	８ビット・タイマ／カウンタ３のブロック図 … 296
8－129	タイマ・コントロール・レジスタ０（TMC0）のフォーマット … 298
8－130	プリスケーラ・モード・レジスタ０（PRM0）のフォーマット … 299
8－131	８ビット・タイマ３（TM3）の基本動作 … 300
8－132	コンペア・レジスタ（CR30）との一致によるTM3のクリア … 301
8－133	CE3ビットをリセット(0)した場合のクリア動作 … 302
8－134	コンペア動作 … 303
8－135	インターバル・タイマ動作のタイミング … 304
8－136	インターバル・タイマ動作の制御レジスタの設定内容 … 305
8－137	インターバル・タイマ動作の設定手順 … 305
8－138	カウント・スタート時の動作 … 308
8－139	カウント動作の停止 … 309
8－140	カウント動作の停止，再スタートのタイミング … 309
8－141	PWM出力時にデューティが100％になる例 … 311
8－142	PPG出力時にデューティが100％になる例 … 312
8－143	PPG出力の周期が長くなる例 … 313
8－144	外部イベント・カウンタでの割り込み要求発生 … 316
8－145	外部イベント・カウンタで１回または１回以下の有効エッジ入力の区別がつかない例 … 317
8－146	外部イベント・カウンタで１回以下の有効エッジ入力を区別する方法 … 318
8－147	誤検出したエッジによる割り込み発生タイミングの変化 … 321
9－1	A/Dコンバータのブロック図 … 324
9－2	A/Dコンバータ用端子のキャパシタ接続例 … 325
9－3	A/Dコンバータ・モード・レジスタ（ADM）のフォーマット … 328
9－4	A/Dコンバータの基本動作 … 330

保守／廃止

図の目次（8/12）

図番号	タイトル，ページ
9-5	アナログ入力電圧とA/D変換結果の関係 … 331
9-6	セレクト・モードの動作タイミング … 332
9-7	スキャン・モードの動作タイミング … 333
9-8	ソフトウエア・スタートによるセレクト・モードのA/D変換動作 … 335
9-9	ソフトウエア・スタートによるスキャン・モードのA/D変換動作 … 336
9-10	ハードウエア・スタートによるA/D変換の誤動作の例 … 338
9-11	ハードウエア・スタートによるセレクト・モードのA/D変換動作 … 339
9-12	ハードウエア・スタートによるスキャン・モードのA/D変換動作 … 340
9-13	A/Dコンバータ用端子のキャパシタ接続例 … 343
9-14	ハードウエア・スタートによるA/D変換の誤動作の例 … 344
10-1	アシンクロナス・シリアル・インタフェースのブロック図 … 348
10-2	アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のフォーマット … 350
10-3	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）のフォーマット … 351
10-4	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット … 352
10-5	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング … 354
10-6	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング … 355
10-7	受信エラー・タイミング … 356
10-8	ボー・レート生成用クロックの発生ブロック図 … 358
10-9	ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）のフォーマット … 360
11-1	クロック同期式シリアル・インタフェースのブロック図 … 370
11-2	クロック同期式シリアル・インタフェース・モード・レジスタ(CSIM)のフォーマット … 372
11-3	シリアル・バス・インタフェース・コントロール・レジスタ（SBIC）のフォーマット … 374
11-4	３線式シリアルI/Oのシステム構成例 … 375
11-5	３線式シリアルI/Oモードのタイミング … 376
11-6	２線式シリアルI/Oとの接続例 … 377
11-7	SBIによるシリアル・バス構成例 … 383
11-8	端子構成図 … 384
11-9	クロック同期式シリアル・インタフェースのブロック図 … 385
11-10	クロック同期式シリアル・インタフェース・モード・レジスタ(CSIM)のフォーマット … 387
11-11	SBICレジスタのフォーマット … 388
11-12	シフト・レジスタ周辺の構成 … 390
11-13	SBI転送のタイミング … 391

保守／廃止

図の目次（9/12）

図番号	タイトル，ページ
11－14	バス・リリース信号 … 392
11－15	コマンド信号 … 392
11－16	アドレス … 393
11－17	アドレスによるスレーブの選択 … 393
11－18	コマンド … 394
11－19	データ … 394
11－20	アクノリッジ信号 … 395
11－21	ビジィ信号，レディ信号 … 396
11－22	RELT，CMDT，RELD，CMDDの動作 … 397
11－23	ACKTの動作 … 397
11－24	ACKEの動作 … 398
11－25	ACKDの動作 … 399
11－26	BSYEの動作 … 400
11－27	マスタ・デバイスからスレーブ・デバイスへのアドレス送信動作 … 405
11－28	マスタ・デバイスからスレーブ・デバイスへのコマンド送信動作 … 406
11－29	マスタ・デバイスからスレーブ・デバイスへのデータ送信動作 … 407
11－30	スレーブ・デバイスからマスタ・デバイスへのデータ送信動作 … 408
12－1	外部割り込みモード・レジスタ0（INTM0）のフォーマット … 413
12－2	外部割り込みモード・レジスタ1（INTM1）のフォーマット … 414
12－3	P20端子のエッジ検出 … 415
12－4	P21-P26端子のエッジ検出 … 416
12－5	エッジの誤検出 … 417
12－6	エッジの誤検出 … 420
13－1	INTM1レジスタのフォーマット … 426
13－2	ADMレジスタのフォーマット … 427
13－3	割り込み要求フラグ・レジスタのフォーマット … 430
13－4	割り込みマスク・フラグ・レジスタのフォーマット … 431
13－5	割り込みサービス・モード・レジスタのフォーマット … 432
13－6	優先順位指定フラグ・レジスタのフォーマット … 433
13－7	割り込みステータス・レジスタのフォーマット … 434
13－8	プログラム・ステータス・ワードのフォーマット … 435
13－9	NMI割り込み要求の受け付け動作 … 437

保守／廃止

図の目次（10/12）

図番号	タイトル，ページ
13-10	割り込み処理アルゴリズム … 441
13-11	割り込み処理中に他の割り込み要求が発生した場合の処理例 … 443
13-12	同時発生した割り込み要求の処理例 … 445
13-13	割り込み要求の発生と受け付け … 447
13-14	ベクタ割り込みとマクロ・サービスの処理の違い … 451
13-15	マクロ・サービス処理シーケンス … 454
13-16	マクロ・サービス・コントロール・ワードの構成 … 455
13-17	マクロ・サービス・モード・レジスタのフォーマット … 456
13-18	マクロ・サービス・データ転送処理フロー（タイプA）… 459
13-19	タイプAのマクロ・サービス・チャネル … 460
13-20	アシンクロナス・シリアル受信 … 461
13-21	マクロ・サービス・データ転送処理フロー（タイプB）… 463
13-22	タイプBのマクロ・サービス・チャネル … 465
13-23	外部割り込みに同期したパラレル・データ入力 … 466
13-24	パラレル・データ入力のタイミング … 466
13-25	マクロ・サービス・データ転送処理フロー（タイプC）… 469
13-26	タイプCのマクロ・サービス・チャネル … 471
13-27	リアルタイム出力ポートによるステッピング・モータの開ループ制御 … 473
13-28	データ転送制御のタイミング … 474
13-29	4相ステッピング・モータの1相励磁の場合 … 476
13-30	4相ステッピング・モータの1-2相励磁の場合 … 476
13-31	自動加算制御＋リング制御のブロック図1（1-2相励磁で出力タイミングが変化する場合：MSC＝8ビット） … 477
13-32	自動加算制御＋リング制御のタイミング図1（1-2相励磁で出力タイミングが変化する場合） … 478
13-33	自動加算制御＋リング制御のブロック図2（1-2相励磁の等速運動：MSC＝16ビット） … 479
13-34	自動加算制御＋リング制御のタイミング図2（1-2相励磁の等速運動） … 480
14-1	メモリ拡張モード・レジスタ（MM）のフォーマット … 486
14-2	プログラマブル・ウエイト制御レジスタ（PW）のフォーマット … 487
14-3	リード・タイミング … 488
14-4	ライト・タイミング … 488
14-5	拡張データ・メモリのアクセス … 490
14-6	μPD78243とμPD78244（$\overline{EA}$＝Lのとき）のデータ・メモリの拡張 … 493

保守／廃止

図の目次（11/12）

図番号	タイトル，ページ
14-7	μPD78244（$\overline{EA}$=Hのとき）のデータ・メモリの拡張 … 494
14-8	μPD78244とメモリの接続例 … 496
14-9	μPD78243とμPD78244（$\overline{EA}$=Lのとき）のウエイト制御の空間 … 498
14-10	μPD78244（$\overline{EA}$=Hのとき）のウエイト制御の空間 … 499
14-11	プログラマブル・ウエイト機能によるリード・タイミング … 500
14-12	プログラマブル・ウエイト機能によるライト・タイミング … 502
14-13	外部ウエイト信号によるタイミング … 504
14-14	リフレッシュ・モード・レジスタ（RFM）のフォーマット … 506
14-15	内部メモリ・アクセス時のパルス・リフレッシュ動作 … 507
14-16	外部メモリ・アクセス時のパルス・リフレッシュ動作 … 508
14-17	セルフ・リフレッシュ動作からの復帰タイミング … 509
14-18	セルフ・リフレッシュ動作からの復帰動作 … 510
14-19	疑似スタティックRAMとの接続例 … 511
14-20	セルフ・リフレッシュ動作からの復帰動作 … 513
14-21	エミュレーション時に発生するA16-A19端子のヒゲの例 … 514
14-22	エミュレーション時のアドレス・ホールド時間の不足 … 514
14-23	エミュレーション時の不具合回避方法 … 515
15-1	スタンバイ・モードの遷移図 … 517
15-2	スタンバイ機能ブロック図 … 518
15-3	スタンバイ・コントロール・レジスタ（STBC）のフォーマット … 519
15-4	NMI入力によるSTOPモードの解除 … 525
15-5	発振安定時間が延長される例 … 526
15-6	アドレス・バスの処理例 … 528
15-7	アドレス／データ・バスの処理例 … 529
15-8	発振安定時間が延長される例 … 530
16-1	リセット信号の受け付け … 531
16-2	電源投入時のリセット動作 … 532
16-3	リセット入力時のタイミング … 535
17-1	２系統のステッピング・モータの制御例 … 538
17-2	シリアル・バス・インタフェースのシステム構成例 … 539
17-3	SBIによる通信例 … 540

保守／廃止

図の目次（12/12）

図番号	タイトル，ページ
17－4	シリアル・バス通信タイミング … 540

保守／廃止

表の目次（1/3）

表番号	タイトル，ページ
2-1	ポート２の機能 … 15
2-2	ポート３の動作モード（n＝0-7） … 17
2-3	ポート６の動作モード … 19
2-4	各端子の入出力タイプと未使用時の処理 … 22
3-1	ベクタ・テーブル … 30
3-2	レジスタ・バンクの選択 … 36
3-3	機能名称一絶対名称の対応 … 41
3-4	特殊機能レジスタ（SFR）一覧 … 43
4-1	μPD78244の動作周波数とEEPROM書き込み処理時間の設定 … 56
4-2	動作周波数とEWTC0，EWTC1ビットの設定値 … 61
4-3	ライト・プロテクト領域の設定 … 73
6-1	ポートの機能 … 90
6-2	入出力ポート数 … 90
6-3	ポート２の機能 … 95
6-4	ポート３の動作モード（n＝0-7） … 100
6-5	ポート４の動作モード … 114
6-6	ポート５の動作モード … 119
6-7	ポート６の動作モード … 124
6-8	ポート６のコントロール端子機能と操作 … 130
7-1	ポート０とポート０バッファ・レジスタに対する操作時の動作 … 144
7-2	リアルタイム出力ポートの出力トリガ（P0MH＝P0ML＝１の場合） … 146
8-1	タイマ／カウンタの種類と機能 … 155
8-2	16ビット・タイマ／カウンタのインターバル時間 … 157
8-3	16ビット・タイマ／カウンタのプログラマブル矩形波出力設定範囲 … 157
8-4	16ビット・タイマ／カウンタのパルス幅測定範囲 … 158
8-5	タイマ出力（TO0，TO1）の動作 … 174
8-6	TO0，TO1のトグル出力（f_{CLK}＝6 MHz） … 177
8-7	TO0，TO1のPWM出力（f_{CLK}＝6 MHz） … 178
8-8	TO0のPPG出力（f_{CLK}＝6 MHz） … 184

保守／廃止

表の目次（2/3）

表番号	タイトル，ページ
8-9	８ビット・タイマ／カウンタ１のインターバル時間 … 206
8-10	８ビット・タイマ／カウンタ１のパルス幅測定範囲 … 207
8-11	８ビット・タイマ／カウンタ２のインターバル時間 … 232
8-12	８ビット・タイマ／カウンタ２のプログラマブル矩形波出力設定範囲 … 233
8-13	８ビット・タイマ／カウンタ２のパルス幅測定範囲 … 233
8-14	８ビット・タイマ／カウンタ２に入力可能なクロック … 234
8-15	タイマ出力（TO2，TO3）の動作 … 258
8-16	TO2，TO3のトグル出力（f_{CLK}＝6 MHz） … 260
8-17	TO2，TO3のPWM出力（f_{CLK}＝6 MHz） … 262
8-18	TO2のPPG出力（f_{CLK}＝6 MHz） … 268
8-19	８ビット・タイマ／カウンタ３のインターバル時間 … 295
8-20	タイマ／カウンタ関係レジスタ・アクセス時の最大ウエイト数 … 310
9-1	INTADを発生するモード … 323
9-2	A/D変換時間 … 331
9-3	A/Dコンバータの各動作状態における割り込み要求発生条件 … 341
10-1	受信エラーの要因 … 356
10-2	ボー・レートの設定方法 … 362
10-3	専用ボー・レート・ジェネレータを使用した場合のBRGCレジスタへの設定例 … 363
10-4	８ビット・タイマ／カウンタを使用した場合のボー・レート設定例（アシンクロナス・シリアル・インタフェース）… 365
10-5	外部ボー・レート入力（ASCK）を使用した場合の設定例 … 366
11-1	SBICレジスタの読み出し／書き込み … 373
11-2	SBIモードにおける各種の信号 … 401
11-3	$\overline{\text{BUSY}}$解除条件 … 404
12-1	P20-P26端子と検出エッジの用途 … 411
13-1	割り込み要求の処理形態 … 423
13-2	割り込み要求ソースの種類 … 424
13-3	割り込み要求ソースに対する各種フラグ … 429
13-4	多重割り込み処理 … 442

保守／廃止

表の目次（3/3）

表番号	タイトル，ページ
13－5	割り込み受け付け処理時間 … 448
13－6	マクロ・サービス処理時間（MSC＝８ビットの場合） … 449
13－7	マクロ・サービス処理時間（MSC＝16ビットの場合） … 450
13－8	マクロ・サービスが使用可能な割り込み … 452
13－9	マクロ・サービス処理を指定できる割り込み要求とSFR（タイプA）… 457
13－10	不正ライト・アクセスの発生条件と動作 … 458
13－11	マクロ・サービス処理を指定できる割り込み要求とSFR（タイプC）… 467
13－12	不正ライト・アクセスの発生条件と動作 … 468
13－13	不正ライト・アクセスの発生条件と動作 … 483
14－1	不正ライト・アクセスの発生条件と動作 … 492
14－2	疑似スタティックRAM使用時のシステム・クロック周波数とリフレッシュ・パルス出力周期 … 507
14－3	不正ライト・アクセスの発生条件と動作 … 512
15－1	HALTモード時の動作状態 … 520
15－2	HALTモードの解除と解除後の動作 … 521
15－3	マスカブル割り込み要求によるHALTモードの解除 … 523
15－4	STOPモード時の動作状態 … 524
16－1	リセット入力中，リセット解除後の端子状態 … 532
16－2	各ハードウエアのリセット後の状態 … 533
18－1	８ビット・アドレシング別命令一覧表 … 556
18－2	16ビット・アドレシング別命令一覧表 … 557
18－3	ビット操作命令アドレシング別命令一覧表 … 558
18－4	コール命令／分岐命令のアドレシング別命令一覧表 … 559

保守／廃止

保守／廃止

第1章　概　　説

μPD78244は，78K/IIシリーズの製品です。このシリーズは，外部拡張により1Mバイトのメモリ空間をアクセスできる8ビット・シングルチップ・マイクロコンピュータです。

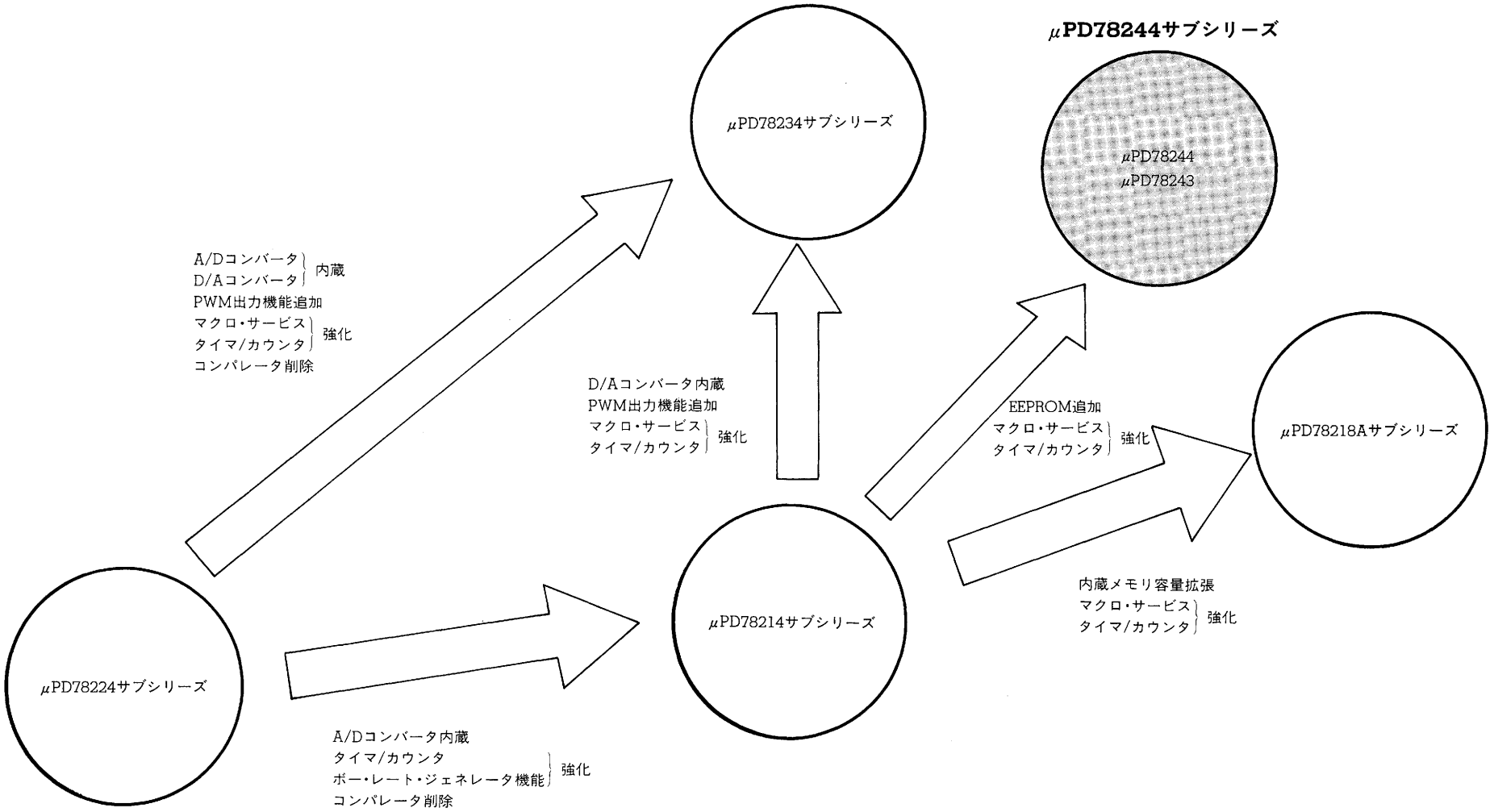
μPD78244は16Kバイトのマスク ROMと512バイトのRAMおよび，電気的消去，書き込みが可能なEEPROM（512バイト）を内蔵しています。このEEPROMの内蔵により，μPD78244は停電時のデータ保持が可能です。また，高機能タイマ／カウンタ，高分解能A/Dコンバータ，2チャネル独立のシリアル・インタフェースなどを内蔵しております。

μPD78243は，μPD78244のROMを除いた製品です。

これらの製品は，次のような分野に応用できます。

- カメラ
- FAX
- プリンタ
- 電子タイプライタ
- ECR
- PPC
- 電子楽器
- エアコン（家電）
- 自動車電話（通信）

78K/II製品展開図


μPD78224サブシリーズ
μPD78234サブシリーズ
μPD78214サブシリーズ
μPD78244サブシリーズ
μPD78244
μPD78243
μPD78218Aサブシリーズ
A/Dコンバータ
D/Aコンバータ
内蔵
PWM出力機能追加
マクロ・サービス
タイマ/カウンタ
強化
コンパレータ削除
D/Aコンバータ内蔵
PWM出力機能追加
マクロ・サービス
タイマ/カウンタ
強化
EEPROM追加
マクロ・サービス
タイマ/カウンタ
強化
内蔵メモリ容量拡張
マクロ・サービス
タイマ/カウンタ
強化
A/Dコンバータ内蔵
タイマ/カウンタ
ボー・レート・ジェネレータ機能
強化
コンパレータ削除

保守／廃止

1.1 特　徴

○78K/IIシリーズ

○μPD78214サブシリーズとピン・コンパチブル

○内部バスの多重化（命令実行の高速化）

・最小インストラクション・サイクル（12 MHz動作時）：333 ns（μPD78244）
500 ns（μPD78243）

○制御用途に適した命令セット

○データ・メモリ拡張機能（メモリ空間1Mバイト：バンク指定ポインタ×2）

○割り込みコントローラ（2レベル・プライオリティ）

・ベクタ割り込み処理

・マクロ・サービス

○内蔵メモリ

・ROM　：16Kバイト（μPD78244）
内蔵せず（μPD78243）

・RAM　：512バイト

・EEPROM：512バイト（データ・メモリ領域）

→自動消去／自動書き込み機能内蔵

→停電時のデータ保持が可能（バックアップ用電源不要）

○I/O端子：54本（μPD78244）
36本（μPD78243）

・ソフトウエア・プログラマブル・プルアップ：34入力(μPD78243のみ16入力)

・LEDダイレクト・ドライブ可能　：16出力(μPD78244)

・トランジスタ・ダイレクト・ドライブ可能　：8出力

○シリアル・インタフェース

・UART（ボー・レート・ジェネレータ内蔵）

・クロック同期式シリアル・インタフェース（3線式シリアルI/O，シリアル・バス・インタフェース）

○リアルタイム出力ポート（8ビット・タイマ／カウンタと組み合わせることにより，2系統のステッピング・モータの独立制御が可能）

○8ビットA/Dコンバータ（アナログ8入力）

○高機能タイマ／カウンタ・ユニット

・16ビット×1

・8ビット×3

保守／廃止

1.2 オーダ情報と品質水準

1.2.1 オーダ情報

オーダ名称	パッケージ	内蔵ROM
μPD78243CW	64ピン・プラスチック・シュリンクDIP（750 mil）	なし
μPD78243GC-AB8	64ピン・プラスチックQFP（本体14×14 mm）	〃
μPD78244CW-×××	64ピン・プラスチック・シュリンクDIP（750 mil）	マスクROM
μPD78244GC-×××-AB8	64ピン・プラスチックQFP（本体14×14 mm）	〃

備考　DIP　：Dual-in-line Package
　　QFP　：Quad Flat Package
　　×××：ROMコードの番号

1.2.2 品質水準

オーダ名称	パッケージ	品質水準
μPD78243CW	64ピン・プラスチック・シュリンクDIP（750 mil）	標準（一般電子機器用）
μPD78243GC-AB8	64ピン・プラスチックQFP（本体14×14 mm）	〃
μPD78244CW-×××	64ピン・プラスチック・シュリンクDIP（750 mil）	〃
μPD78244GC-×××-AB8	64ピン・プラスチックQFP（本体14×14 mm）	〃

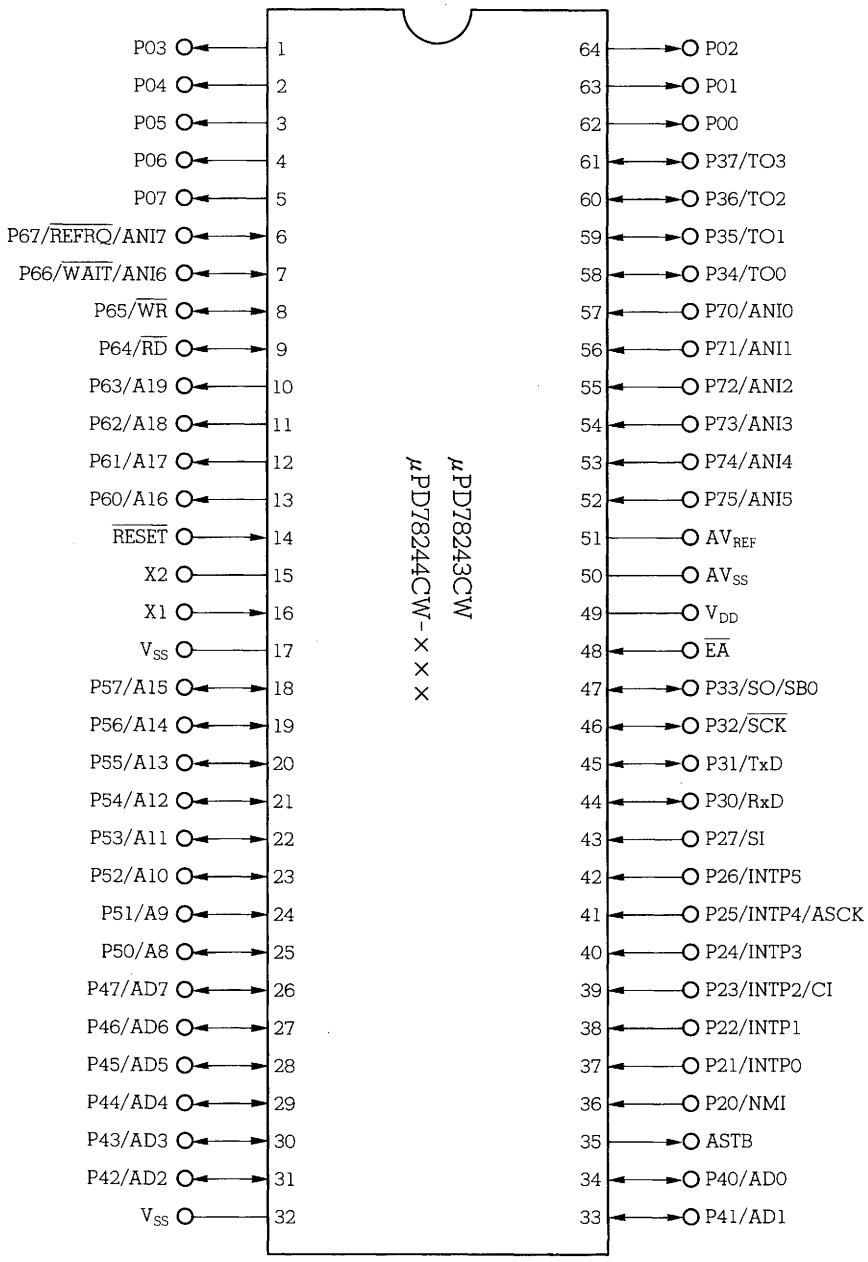
備考　DIP　：Dual-in-line Package
　　QFP　：Quad Flat Package
　　×××：ROMコードの番号

品質水準とその応用分野の詳細については当社発行の資料「NEC　半導体デバイスの品質水準」（IEI-620）をご覧ください。

保守／廃止

1.3 端子接続図（Top View）

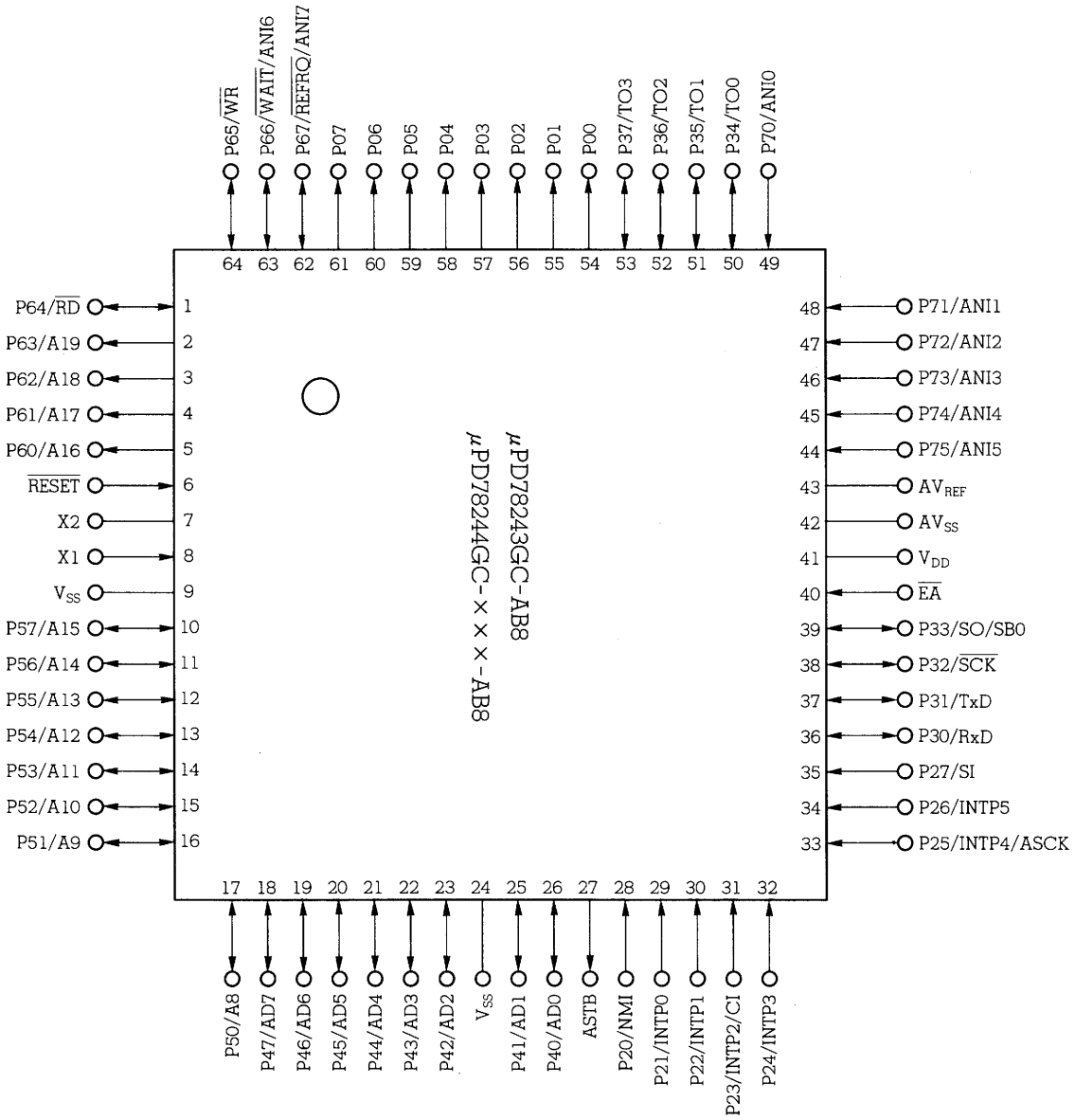
（1）64ピン・プラスチック・シュリンクDIP



備考 μPD78214CWとピン・コンパチブルです。

保守／廃止

(2) 64ピン・プラスチックQFP（本体14×14 mm）



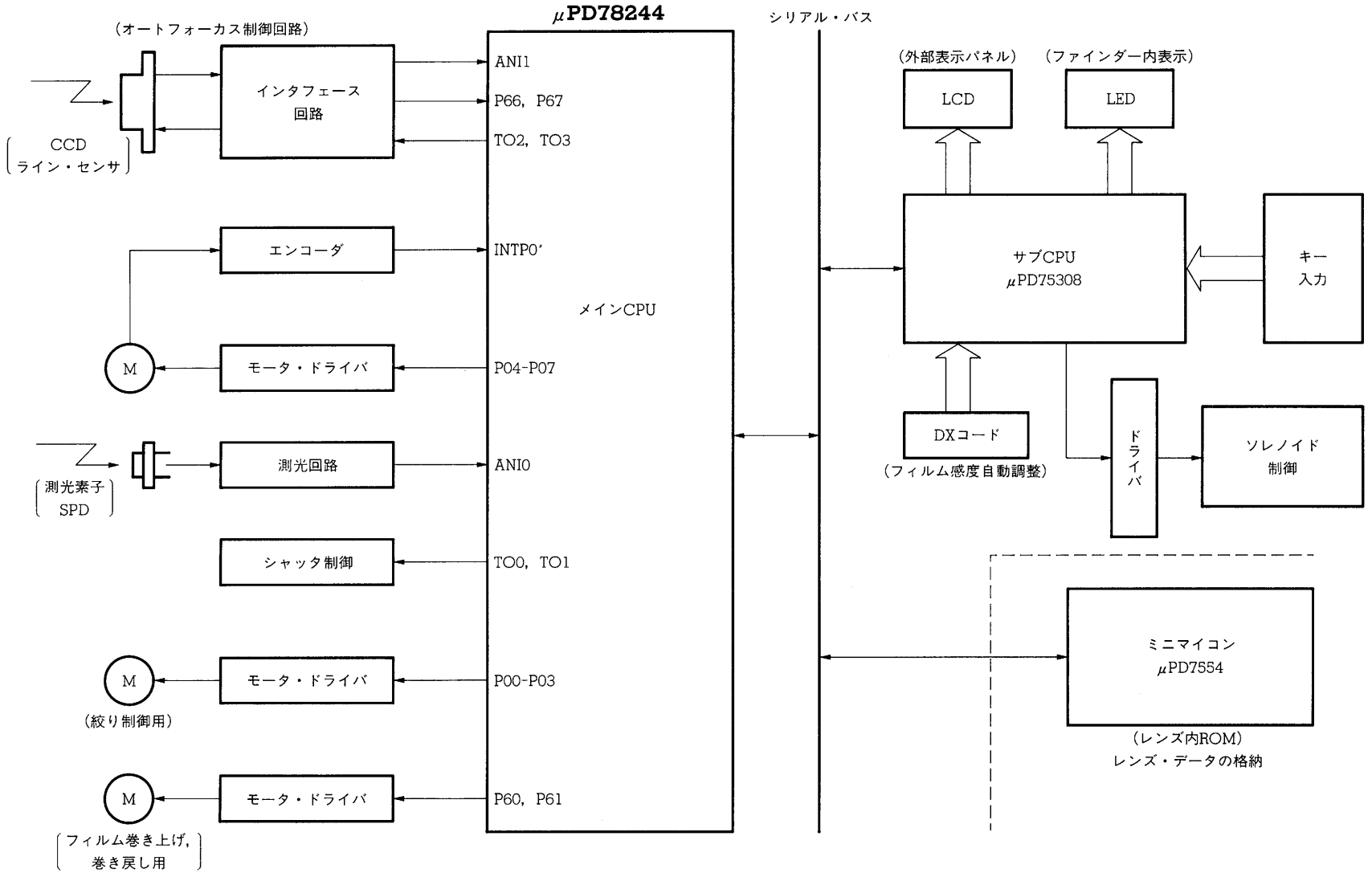
備考　μPD78214GCとピン・コンパチブルです。

保守／廃止

P00-P07	: Port 0
P20-P27	: Port 2
P30-P37	: Port 3
P40-P47	: Port 4
P50-P57	: Port 5
P60-P67	: Port 6
P70-P75	: Port 7
TO0-TO3	: Timer Output
CI	: Clock Input
RxD	: Receive Data
TxD	: Transmit Data
$\overline{SCK}$	: Serial Clock
ASCK	: Asynchronous Serial Clock
SB0	: Serial Bus
SI	: Serial Input
SO	: Serial Output
NMI	: Nonmaskable Interrupt
INTP0-INTP5	: Interrupt From Peripherals
AD0-AD7	: Address/Data Bus
A8-A19	: Address Bus
$\overline{RD}$	: Read Strobe
$\overline{WR}$	: Write Strobe
$\overline{WAIT}$	: Wait
ASTB	: Address Strobe
$\overline{REFRQ}$	: Refresh Request
$\overline{RESET}$	: Reset
X1, X2	: Crystal
$\overline{EA}$	: External Access
ANI0-ANI7	: Analog Input
AV_{REF}	: Reference Voltage
AV_{SS}	: Analog Ground
V_{DD}	: Power Supply
V_{SS}	: Ground

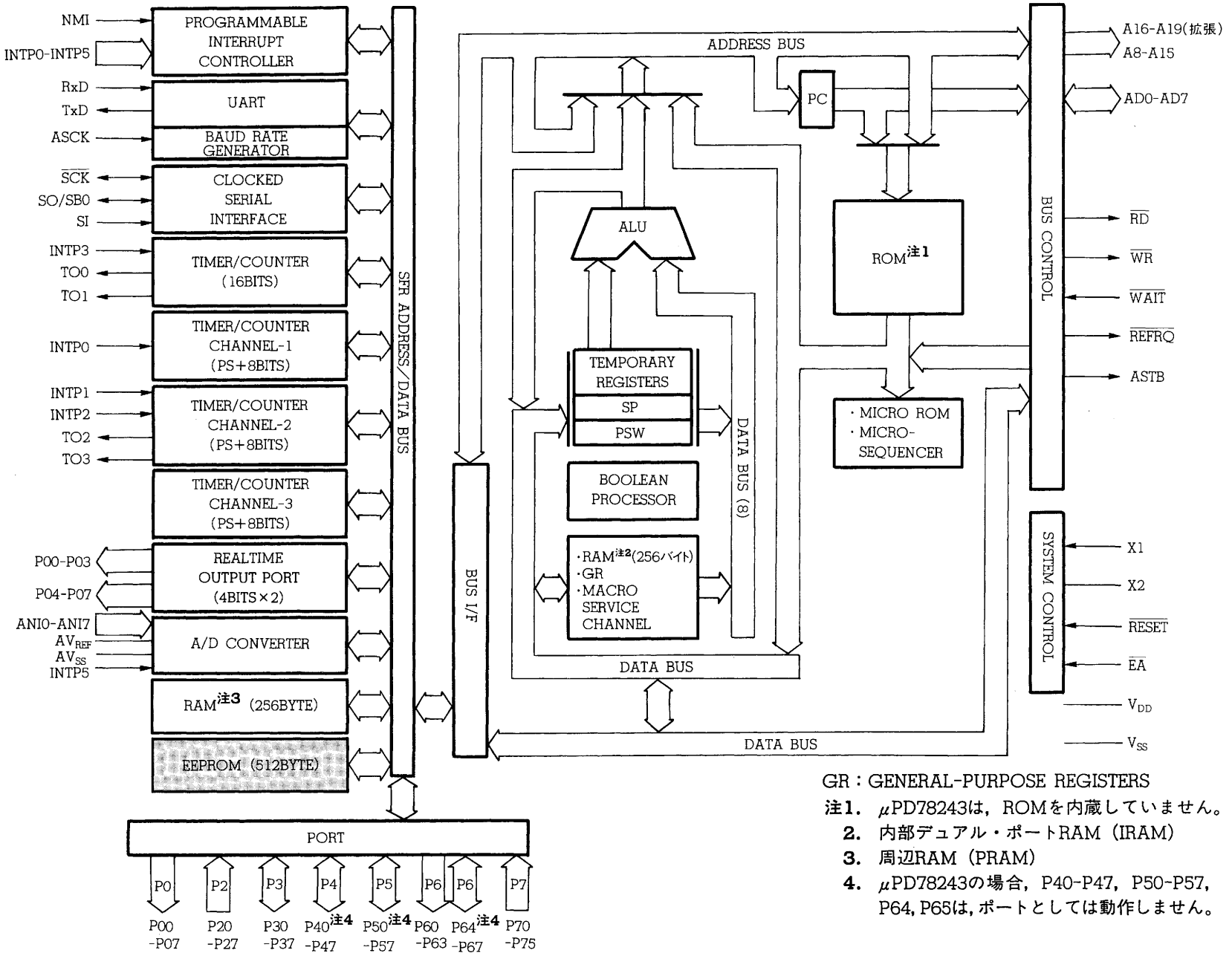
保守／廃止

1.4 応用システム構成例（オートフォーカス1眼レフ・カメラ）



保守／廃止

1.5 内部ブロック図



GR：GENERAL-PURPOSE REGISTERS

注1. μPD78243は，ROMを内蔵していません。
2. 内部デュアル・ポートRAM（IRAM）
3. 周辺RAM（PRAM）
4. μPD78243の場合，P40-P47，P50-P57，P64，P65は，ポートとしては動作しません。

保守／廃止

1.6 機能一覧

(1/2)

項　目			μPD78244	μPD78243
基本命令（ニモニック）数			65	
最小命令実行時間（12 MHz動作時）			333 ns	500 ns
内蔵メモリ容量		ROM	16 Kバイト	な　し
		RAM	512バイト	
		EEPROM	512バイト	
メモリ空間			プログラム：64 Kバイト，データ：1 Mバイト	
I/O端子		入　力	14	
		出　力	12	
		入出力	28	10
		合　計	54	36
	注 付加機能付き端子	プルアップ抵抗付き端子	34	16
		LEDダイレクト・ドライブ出力	16	な　し
		トランジスタ・ダイレクト・ドライブ出力	8	
リアルタイム出力ポート			4ビット×2または8ビット×1	
汎用レジスタ			8ビット×8×4バンク（メモリ・マッピング）	
タイマ／カウンタ			16ビット・タイマ／カウンタ：タイマ・レジスタ×1／キャプチャ・レジスタ×1／コンペア・レジスタ×2　パルス出力可（トグル出力／PWM出力／PPG出力／ワンショット・パルス出力）	
			8ビット・タイマ／カウンタ1：タイマ・レジスタ×1／キャプチャ／コンペア・レジスタ×1／コンペア・レジスタ×1　パルス出力可（リアルタイム出力：4ビット×2）	
			8ビット・タイマ／カウンタ2：タイマ・レジスタ×1／キャプチャ・レジスタ×1／コンペア・レジスタ×2　パルス出力可（トグル出力／PWM／PPG出力）	
			8ビット・タイマ／カウンタ3：タイマ・レジスタ×1／コンペア・レジスタ×1　——	
シリアル・インタフェース			UART　：1チャネル（専用ボー・レート・ジェネレータ内蔵） CSI（3線式／SBI）　：1チャネル	
A/Dコンバータ			8ビット分解能×8チャネル	
割り込み			21要因（外部7，内部14）＋BRK命令 2レベルの優先順位（プログラマブル） 2種類の処理形態（ベクタ割り込み，マクロ・サービス）	

注　付加機能付き端子は，I/O端子の中に含まれています。

保守／廃止

(2/2)

項　目	μPD78244	μPD78243
命令セット	16ビット演算 乗除算（8ビット×8ビット，16ビット÷8ビット） ビット操作，BCD補正，その他	
パッケージ	64ピン・プラスチック・シュリンクDIP（750 mil） 64ピン・プラスチックQFP（本体14×14 mm）注	

注　端子ピッチ0.8 mmの小形パッケージで，カメラなどに最適です。

保守／廃止

保守／廃止

第２章　端子機能

2.1　端子機能一覧

(1) ポ ー ト

端子名称	入出力	兼用端子	機能
P00-P07	出力	——	ポート０（P0）： リアルタイム出力ポート（４ビット×２）として使用可能 トランジスタのダイレクト・ドライブ可能
P20	入力	NMI	ポート２（P2）： P20は汎用ポートとしては使用不可(ノンマスカブル割り込み) ただし，割り込みルーチンにおいて，入力レベルの確認可 P20，21を除き，６ビット単位でソフトウエアによる内蔵プルアップ抵抗の接続の指定可能
P21		INTP0	
P22		INTP1	
P23		INTP2/CI	
P24		INTP3	
P25		INTP4/ASCK	
P26		INTP5	
P27		SI	
P30	入出力	RxD	ポート３（P3）： １ビット単位で入力／出力の指定可能 入力モードの端子について，ソフトウエアで一括して内蔵プルアップ抵抗の接続の指定可能
P31		TxD	
P32		$\overline{SCK}$	
P33		SO/SB0	
P34-P37		TO0-TO3	
P40-P47[注]	入出力	AD0-AD7	ポート４（P4）： ８ビット単位で入力／出力の指定可能 ８ビット単位でソフトウエアによる内蔵プルアップ抵抗の接続の指定可能 LEDのダイレクト・ドライブ可能
P50-P57[注]	入出力	A8-A15	ポート５（P5）： １ビット単位で入力／出力の指定可能 入力モードの端子について，ソフトウエアで一括して内蔵プルアップ抵抗の接続の指定可能 LEDのダイレクト・ドライブ可能
P60-P63	出力	A16-A19	ポート６（P6）： P64-P67は１ビット単位で入力／出力の指定可能 P64-P67は，入力モードの端子について，ソフトウエアで一括して内蔵プルアップ抵抗の接続の指定可能
P64[注]	入出力	$\overline{RD}$	
P65[注]		$\overline{WR}$	
P66		$\overline{WAIT}$/ANI6	
P67		$\overline{REFRQ}$/ANI7	
P70-P75	入力	ANI0-ANI5	ポート7（P7）

注　μPD78243の場合，ポートとしては動作しません。

保守／廃止

(2) ポート以外

端子名称	入出力	機　　能	兼用端子
TO0-TO3	出力	タイマ出力	P34-P37
CI	入力	8ビット・タイマ／カウンタ2へのカウント・クロック入力	P23/INTP2
RxD	入力	シリアル・データ入力(UART)	P30
TxD	出力	シリアル・データ出力(UART)	P31
ASCK	入力	ボー・レート・クロック入力(UART)	P25/INTP4
SB0	入出力	シリアル・データ入出力(SBI)	P33/SO
SI	入力	シリアル・データ入力(3線式シリアルI/O)	P27
SO	出力	シリアル・データ出力(3線式シリアルI/O)	P33/SB0
$\overline{SCK}$	入出力	シリアル・クロック入出力(SBI, 3線式シリアルI/O)	P32
NMI	入力	外部割り込み要求入力	P20
INTP0			P21
INTP1			P22
INTP2			P23/CI
INTP3			P24
INTP4			P25/ASCK
INTP5			P26
AD0-AD7	入出力	時分割アドレス／データ・バス（外部メモリ接続）	P40-P47[注]
A8-A15	出力	上位アドレス・バス(外部メモリ接続)	P50-P57[注]
A16-A19	出力	アドレス拡張時の上位アドレス（外部メモリ接続）	P60-P63
$\overline{RD}$	出力	外部メモリへのリード・ストローブ	P64[注]
$\overline{WR}$	出力	外部メモリへのライト・ストローブ	P65[注]
$\overline{WAIT}$	入力	ウエイト挿入	P66/ANI6
ASTB	出力	アドレス(A0-A7)のラッチ・タイミング出力(外部メモリ・アクセス時)	—
$\overline{REFRQ}$	出力	外部疑似スタティック・メモリへのリフレッシュ・パルス出力	P67/ANI7
$\overline{RESET}$	入力	チップ・リセット	—
X1	入力	システム・クロック発振用クリスタル接続(X1にクロック入力も可能)	—
X2	—		
$\overline{EA}$	入力	ROMレス動作指示(内部ROMと同一空間の外部アクセス) 通常μPD78243ではロウ・レベルで使用	—
ANI0-ANI5	入力	A/Dコンバータ用アナログ電圧入力	P70-P75
ANI6, ANI7			P66/$\overline{WAIT}$, P67/$\overline{REFRQ}$
AV_{REF}	—	A/Dコンバータ用基準電圧印加	—
AV_{SS}		A/Dコンバータ用GND	—
V_{DD}		正電源	
V_{SS}		GND	

注　μPD78243の場合，ポートとしては動作しません。

保守／廃止

2.2　端子機能説明

(1) P00-P07 (Port0)……3ステート出力

ポート0は，出力ラッチ付き8ビット出力専用ポートで，トランジスタのダイレクト・ドライブが可能です。ポート0モード・レジスタ（PM0）により，8ビット単位で出力モード／ハイ・インピーダンス状態の指定ができます。

P00-P03, P04-P07はそれぞれ4ビット，または8ビットのリアルタイム出力ポートとして，バッファ・レジスタ（P0L，P0H）の内容を任意のインターバル時間で出力できます。通常の出力ポートかリアルタイム出力ポートかの選択は，リアルタイム出力ポート・コントロール・レジスタ（RTPC）で行います。

$\overline{\text{RESET}}$入力により出力ハイ・インピーダンス状態となり，出力ラッチの内容は不定になります。

(2) P20-P27 (Port2) ……入力

ポート2は，8ビット入力専用ポートです。P22-P27には，ソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。入力ポートとして働く以外に外部割り込み信号端子などの制御信号入力端子としても働きます(**表2－1**参照)。また，8端子とも，ノイズによる誤動作を防ぐためシュミット・トリガ入力になっています。

表2－1　ポート2の機能

ポート	機　　能
P20	入力ポート／NMI入力[注]
P21	入力ポート／INTP0入力／CR11キャプチャ・トリガ入力／リアルタイム出力ポートのトリガ信号
P22	入力ポート／INTP1入力／CR22キャプチャ・トリガ入力
P23	入力ポート／INTP2入力／CI入力
P24	入力ポート／INTP3入力／CR02キャプチャ・トリガ入力
P25	入力ポート／INTP4入力／ASCK入力
P26	入力ポート／INTP5入力／A／Dコンバータ外部トリガ入力
P27	入力ポート／SI入力

注　NMI入力は，割り込み許可／禁止状態にかかわらず受け付けます。

保守／廃止

(a) ポート端子としての機能

兼用端子の動作にかかわらず，常に端子レベルの読み込み，あるいはテストが可能です。

(b) 制御信号入力端子としての機能

(i) **NMI (Nonmaskable Interrupt)**

外部ノンマスカブル割り込み要求入力端子です。外部割り込みモード・レジスタ(INTM0)により，立ち上がりエッジ検出，または立ち下がりエッジ検出に指定できます。

(ii) **INTP0-INTP5 (Interrupt From Peripherals)**

外部割り込み要求入力端子です。INTP0-INTP5端子に外部割り込みモード・レジスタ(INTM0，INTM1)で指定された有効エッジが検出されると，割り込みを発生します（**第12章　エッジ検出機能**参照)。

また，INTP0-INTP3，INTP5は次のように各種機能の外部トリガ入力端子としても使用します。

・INTP0……8ビット・タイマ／カウンタ1のキャプチャ・トリガ入力端子
　　リアルタイム出力ポートのトリガ信号
・INTP1……8ビット・タイマ／カウンタ2のキャプチャ・トリガ入力端子
・INTP2……8ビット・タイマ／カウンタ2の外部カウント・クロック入力端子
・INTP3……16ビット・タイマ／カウンタのキャプチャ・トリガ入力端子
・INTP5……A/Dコンバータの外部トリガ入力端子

(iii) **CI (Clock Input)**

8ビット・タイマ／カウンタ2の外部クロック入力端子です。

(iv) **ASCK (Asynchronous Serial Clock)**

外部ボー・レート・クロック入力端子です。

(v) **SI (Serial Input)**

シリアル・データ入力端子（3線式シリアルI/Oモード時）です。

保守／廃止

(3) P30-P37 (Port3)…… 3 ステート入出力

ポート３は，出力ラッチ付き８ビット入出力ポートです。ポート３モード・レジスタ（PM3）により，１ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。

入出力ポートとしての機能以外に，各種コントロール信号端子としての機能を兼用しています。

動作モードは，ポート３モード・コントロール・レジスタ（PMC3）により，表２-２のようにビット単位に指定できます。いずれの端子も，兼用端子の動作にかかわらず，常に端子レベルの読み込みあるいはテストが可能です。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス）になり，出力ラッチの内容は不定となります。

表２-２　ポート３の動作モード（n=0-7）

モード	ポート・モード	コントロール信号入出力モード
設定条件	PMC3n＝0	PMC3n＝1
P30	入出力ポート	RxD入力
P31		TxD出力
P32		$\overline{\text{SCK}}$入出力
P33		SO出力／SB0入出力
P34		TO0出力
P35		TO1出力
P36		TO2出力
P37		TO3出力

(a) ポート・モード

PMC3レジスタによりポート・モードに指定された各ポートは，ポート３モード・レジスタ（PM3）により，１ビット単位で入力／出力の指定ができます。

保守／廃止

(b) コントロール信号入出力モード

PMC3レジスタの設定により，1ビット単位にコントロール端子にすることができます。

(i) **RxD (Receive Data)**

アシンクロナス・シリアル・インタフェースのシリアル・データ入力端子です。

(ii) **TxD (Transmit Data)**

アシンクロナス・シリアル・インタフェースのシリアル・データ出力端子です。

(iii) **$\overline{\text{SCK}}$ (Serial Clock)**

クロック同期式シリアル・インタフェースのシリアル・クロック入出力端子です。

(iv) **SO (Serial Output)/SB0 (Serial Bus)**

SOはシリアル・データ出力端子（3線式シリアルI/Oモード時）です。また，SB0はSBIモード時のシリアル・バス入出力端子です。

(v) **TO0-TO3 (Timer Output)**

タイマ出力端子です。

(4) P40-P47 (Port4) ……3ステート入出力

ポート4は，出力ラッチ付き8ビット入出力ポートです。メモリ拡張モード・レジスタ（MM）により，8ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。また，LEDをダイレクトにドライブ可能です。

また，外部メモリやI/Oを拡張するとき，時分割アドレス／データ・バス（AD0－AD7）として機能します。

なお，μPD78243の場合は，時分割アドレス／データ・バス(AD0-AD7）としてのみ機能します。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス）になり，出力ラッチの内容は不定になります。

(5) P50-P57 (Port5) ……3ステート入出力

ポート5は，出力ラッチ付き8ビット出力ポートです。ポート5モード・レジスタ（PM5）により，1ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。また，LEDをダイレクトにドライブ可能です。

また，外部メモリやI/Oを拡張するとき，P50-P57は，アドレス・バス（A8-A15）として機能します。

なお，μPD78243の場合は，アドレス・バス（A8-A15）としてのみ機能します。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス状態）になり，出力ラッチの内容は不定になります。

保守／廃止

(6) P60-P67 (Port6) ……P60-P63：出力，P64-P67：３ステート入出力

ポート６は，出力ラッチ付き８ビット入出力ポートです。P64－P67には，ソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。

ポートとしての機能以外に，表２-３のような各種コントロール信号端子としての機能を兼用しています。コントロール端子としての動作は，各機能の操作によって行います。

なお，μPD78243の場合は，P64，P65はそれぞれ$\overline{RD}$出力，$\overline{WR}$出力としてのみ機能します。

$\overline{RESET}$入力により，P60-P63はロウ・レベルになり，P64-P67は，入力ポート（出力ハイ・インピーダンス状態）になります。出力ラッチの内容は，上位４ビットは不定に，下位４ビットは0Hになります。

表２-３　ポート６の動作モード

端　子	ポート・モード	コントロール信号入出力モード	コントロール端子として動作させるための操作
P60-P63	出力ポート	A16-A19出力	MMレジスタのMM6ビットをセット(1)
P64	入出力ポート	$\overline{RD}$出力	μPD78243の場合，またはMMレジスタのMM2-0ビットにより外部メモリ拡張モードを指定
P65		$\overline{WR}$出力	
P66		$\overline{WAIT}$入力／ANI6入力	PWレジスタ，またはMMレジスタのPWn1，PWn0ビット(n＝2，3)およびP66を入力モードにすることにより指定
P67		$\overline{REFRQ}$出力／ANI7入力	RFMレジスタのRFENビットをセット(1)

注意　P60-P63は，$\overline{RESET}$入力中はハイ・インピーダンスになりますが，$\overline{RESET}$解除後はロウ・レベルを出力します。したがって，初期状態としてロウ・レベルが出力されてもよいように外付け回路を設計してください。

備考　詳細は，**第14章　ローカル・バス・インタフェース機能**参照。

(a) ポート・モード

P60-P63は出力専用で，P64-P67はポート６モード・レジスタ（PM6）により，１ビット単位で入力／出力の指定ができます。

保守／廃止

(b) コントロール信号入出力モード

(i) **A16-A19 (Address Bus)**

外部メモリ空間拡張時（10000H-FFFFFH）の上位アドレス・バス出力端子です。

メモリ拡張レジスタ（MM）により動作します。

(ii) **$\overline{\text{RD}}$ (Read Strobe)**

外部メモリのリード動作のために出力されるストローブ信号出力端子です。μPD78243の場合かMMレジスタにより動作します。

(iii) **$\overline{\text{WR}}$ (Write Strobe)**

外部メモリのライト動作のために出力されるストローブ信号出力端子です。μPD78243の場合かMMレジスタにより動作します。

(iv) **$\overline{\text{WAIT}}$ (Wait)**

ウエイト信号の入力端子です。プログラマブル・ウエイト制御（PW）レジスタ，またはMMレジスタにより動作します。

(v) **$\overline{\text{REFRQ}}$ (Refresh Request)**

外部に疑似スタティック・メモリを接続した場合に，疑似スタティック・メモリへリフレッシュ・パルスを出力する端子です。リフレッシュ・モード・レジスタ（RFM）により動作します。

(vi) **ANI6, ANI7 (Analog Input)**

A/Dコンバータ用アナログ入力端子です。

(7) P70-P75 (Port7) ……入力

ポート7は，6ビット入力専用ポートです。入力ポートとして動作する以外に，A/Dコンバータ用アナログ入力の端子（ANI0-ANI5）としても動作します。

兼用端子の動作にかかわらず，常に端子レベルの読み込み，あるいはテストが可能です。

(8) ASTB (Address Strobe) ……出力

外部メモリをアクセスするため，アドレス情報を外部でラッチするタイミング信号の出力端子です。

(9) $\overline{\text{EA}}$ (External Access) ……入力

プログラム・メモリのアクセスを内蔵ROMではなく外部メモリから行わせるためのコントロール信号入力端子です。ハイ・レベル入力のとき内部ROMがアクセスされ，ロウ・レベルが入力されているとROMレス・モードとなり，外付けのメモリをアクセスします。μPD78244の場合は，ハイ・レベルに固定して使用します。μPD78243の場合は，ロウ・レベルに固定して使用します。

保守／廃止

(10) **X1, X2 (Crystal)**

内部クロック発振用のクリスタル接続端子です。外部からクロックを供給する場合はX1端子に入力します。X2端子はX1端子の逆相の信号を入力します。

(11) **$\overline{\text{RESET}}$ (Reset) ……入力**

ロウ・レベル・アクティブのリセット入力です。

(12) **AV_{REF}**

A/Dコンバータの基準電圧入力，およびA／Dコンバータの電源端子です。

(13) **AV_{SS}**

A/DコンバータのGND端子です。

(14) **V_{DD}**

正電源供給端子です。すべてのV_{DD}端子を正電源に接続してください。

(15) **V_{SS}**

GND電位端子です。すべてのV_{SS}端子をグランドに接続してください。

保守／廃止

2.3　入出力回路と未使用端子の処理

表2-4は，機能を有する端子の入出力回路タイプと，その機能を使用しない場合の処理方法を示します。また，図2-1は，各タイプの回路です。

表2-4　各端子の入出力タイプと未使用時の処理

端　　子	入出力タイプ	入出力	未使用時の推奨接続方法
P00-P07	4	出力	オープン
P20／NMI	2	入力	V_{DD}またはV_{SS}に接続
P21／INTP0			
P22／INTP1	2-A		V_{DD}に接続
P23／INTP2／CI			
P24／INTP3			
P25／INTP4／ASCK			
P26／INTP5			
P27／SI			
P30／RxD	5-A	入出力	入力時：V_{DD}に接続 出力時：オープン
P31／TxD			
P32／$\overline{SCK}$	8-A		
P33／SB0／SO	10-A		
P34／TO0-P37／TO3	5-A		
P40／AD0-P47／AD7			
P50／A8-P57／A15			
P60／A16-P63／A19	4	出力	オープン
P64／$\overline{RD}$	5-A	入出力	入力時：V_{DD}に接続 出力時：オープン
P65／$\overline{WR}$			
P66／$\overline{WAIT}$／ANI6	11		入力時：V_{DD}に接続[注] 出力時：オープン
P67／$\overline{REFRQ}$／ANI7			
P70／ANI0-P75／ANI5	9	入力	V_{SS}に接続
ASTB	4	出力	オープン
$\overline{RESET}$	2	入力	―――
$\overline{EA}$	1		
AV_{REF}	―――		V_{SS}またはV_{DD}に接続[注]
AV_{SS}			V_{SS}に接続

注　**第9章　A/Dコンバータの9.6　注意事項**を参照ください。

備考　タイプ番号は78Kシリーズで統一しているため，各製品内では連番とは限りません(内蔵しない回路あり)。

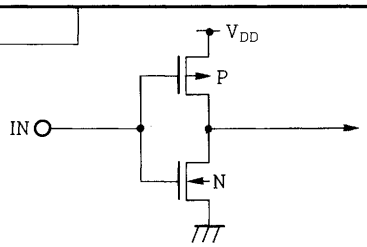
保守／廃止

注意　入出力兼用端子で入出力のモードが不定な場合は，数十kΩの抵抗を介してV_{DD}に接続してください（特に，電源投入時にリセット入力端子がロウ・レベル入力電圧以上になる場合や，ソフトウエアで入出力を切り替えている場合）。

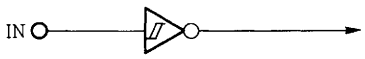
保守／廃止

図2－1　端子の入出力回路

タイプ1

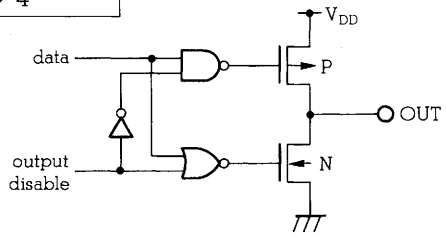


タイプ2



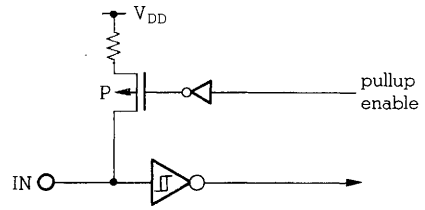
ヒステリシス特性を有するシュミット・トリガ入力です。

タイプ4



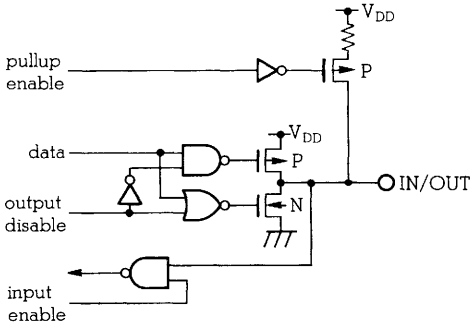
出力をハイ・インピーダンス（P-ch，N-chともにオフ）にできるプッシュプル出力です。

タイプ2-A

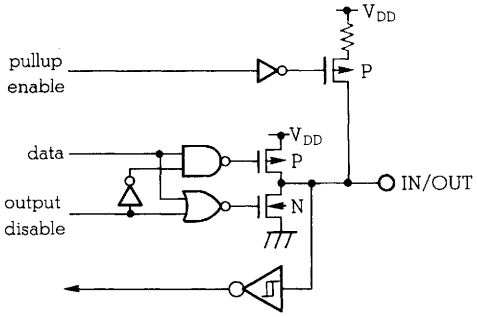


ヒステリシス特性を有するシュミット・トリガ入力です。

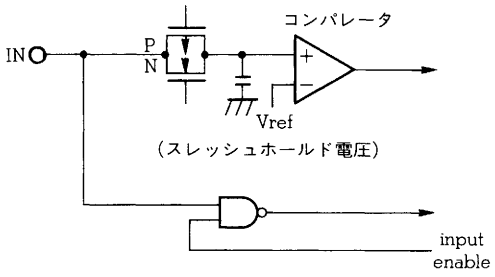
タイプ5-A



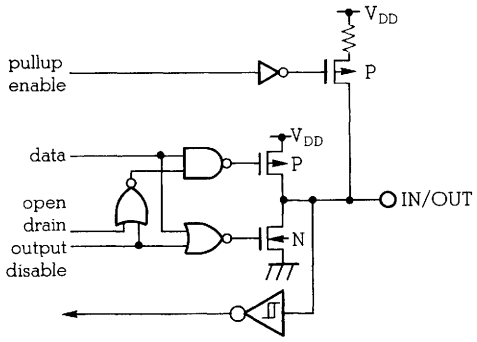
タイプ8-A



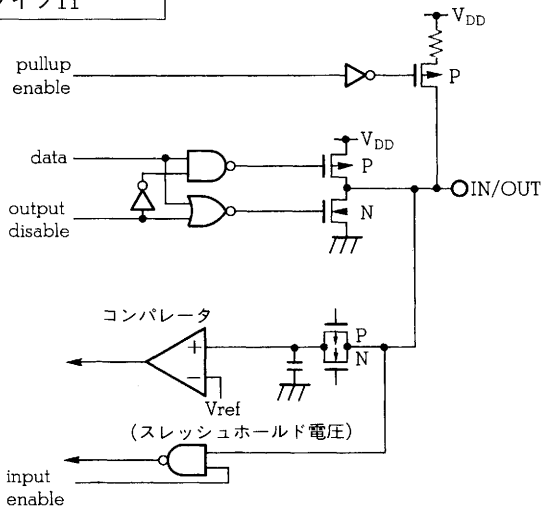
タイプ9



タイプ10-A



タイプ11



保守／廃止

2.4　注意事項

(1) P60-P63は，$\overline{\text{RESET}}$入力中はハイ・インピーダンスになりますが，$\overline{\text{RESET}}$解除後はロウ・レベルを出力します。したがって，初期状態としてロウ・レベルが出力されてもよいように外付け回路を設計してください。

(2) 未使用端子の処理において，入出力兼用端子で入出力のモードが不定な場合は，数十kΩの抵抗を介してV_{DD}に接続してください(特に電源投入時にリセット入力端子がロウ・レベル入力電圧以上になる場合や，ソフトウエアで入出力を切り替えている場合)。

(3) P66，P67については，**第9章　A/Dコンバータの9.6　注意事項**を参照してください。

保守／廃止

保守／廃止

第３章　CPU機能

3.1　メモリ空間

μPD78244は１Mバイトのメモリ空間をアクセスできます。図３-１と図３-２は，そのメモリ空間を示します。$\overline{EA}$端子の状態によって，プログラム・メモリのマッピングが異なります。なお，μPD78243は，$\overline{EA}$=Lとして使用します。

(1) μPD78243の場合

プログラム・メモリを外部メモリ（64256バイト：00000H-0FAFFH）にマッピングしています。この領域は，データ・メモリとの共用も可能です。

データ・メモリは，内部EEPROMと内部RAMで構成されています。

内部EEPROM部は，512バイトの容量を持ち，0FB00H-0FCFFHにマッピングされています。

また，内部RAMは，同じく512バイトの容量を持ち，0FD00H-0FEFFHにマッピングされています。

１Mバイト拡張モードでは，外部メモリ（960 Kバイト：10000H-FFFFFH）を拡張データ・メモリとしてマッピングできます。

(2) μPD78244の場合

プログラム・メモリを内部ROM（16 Kバイト：00000H-03FFFH）と外部メモリ（47872バイト：04000H-0FAFFH)にマッピングしています。外部メモリは，外部メモリ拡張モードでアクセスします。外部メモリにマッピングする領域は，データ・メモリとの共用も可能です。

データ・メモリは，内部EEPROMと内部RAMで構成されています。

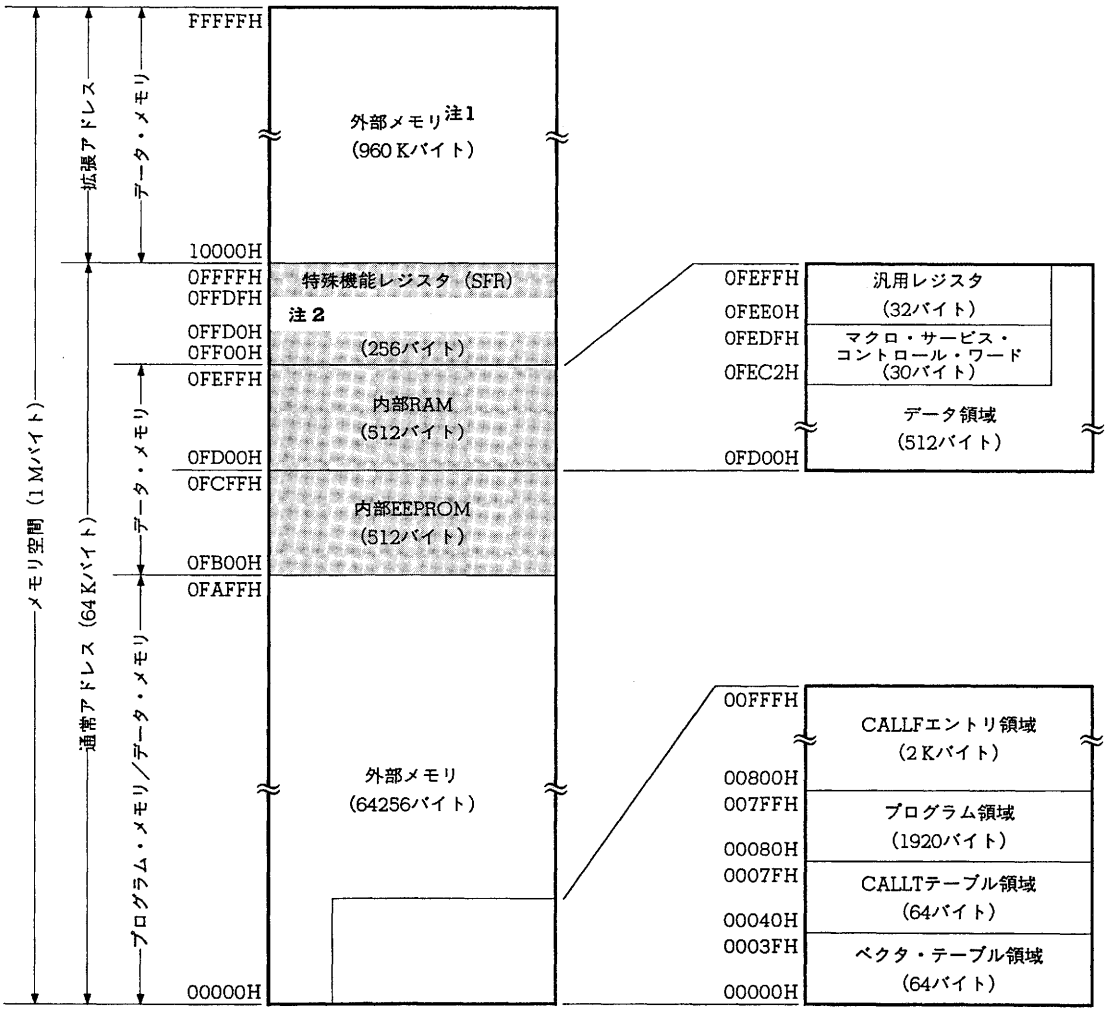
内部EEPROM部は，512バイトの容量を持ち，0FB00H-0FCFFHにマッピングされています。

また，内部RAMは，同じく512バイトの容量を持ち，0FD00H-0FEFFHにマッピングされています。

１Mバイト拡張モードでは，外部メモリ（960 Kバイト：10000H-FFFFFH）を拡張データ・メモリとしてマッピングできます。

保守／廃止

図３－１　μPD78243またはμPD78244($\overline{EA}$=Lのとき)のメモリ・マップ

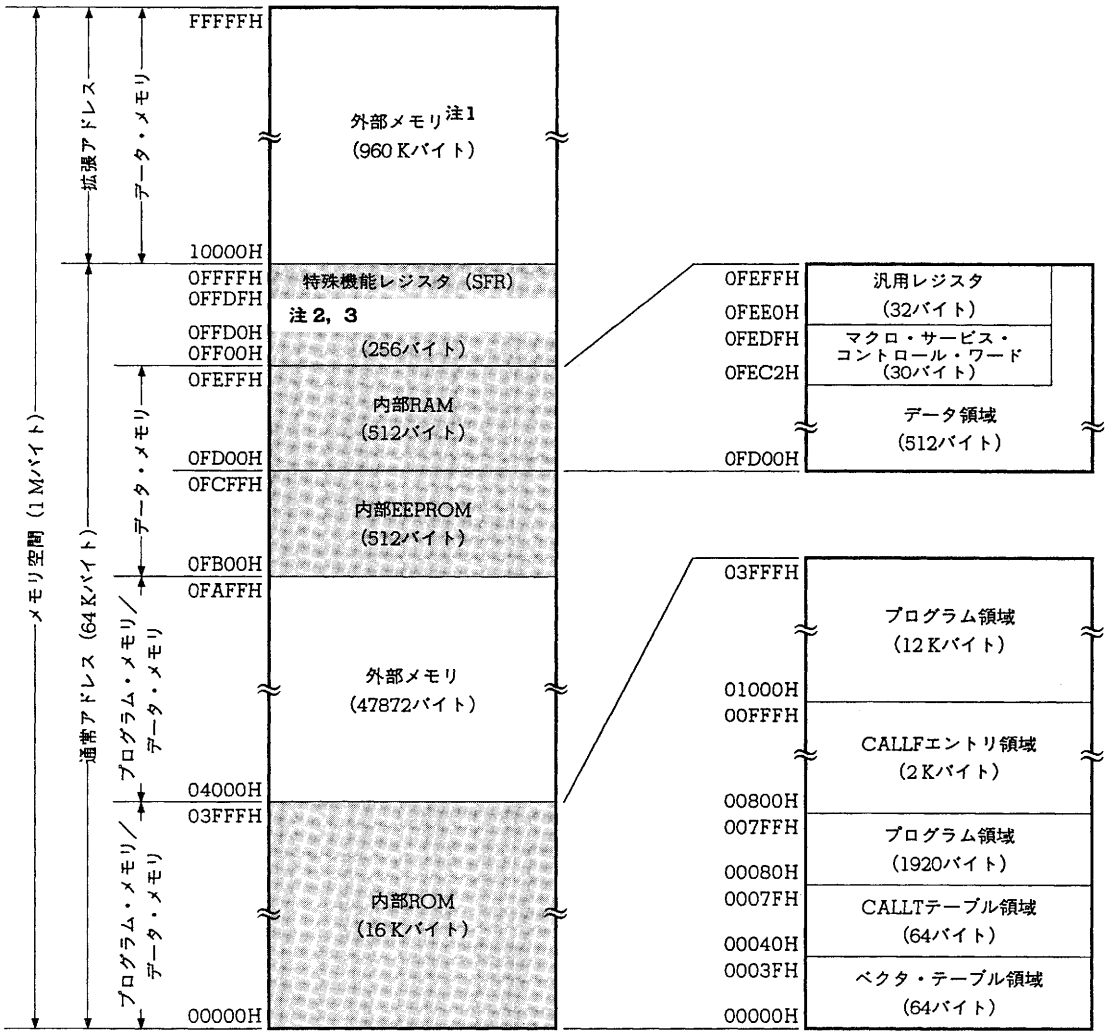


注1．１Mバイト拡張モードでアクセス　　は内部メモリ

2．外部SFR領域

保守／廃止

図3-2　μPD78244($\overline{EA}$=Hのとき)のメモリ・マップ



注1．1Mバイト拡張モードでアクセス　　は内部メモリ

2．外部メモリ拡張モードでアクセス

3．外部SFR領域

保守／廃止

3.1.1　内部プログラム・メモリ領域

00000H-03FFFHのアドレス空間に16K×8ビットのROMを内蔵しており，プログラムやテーブル・データなどを格納します。通常，プログラム・カウンタ（PC）でアドレスされます。

μPD78243および$\overline{EA}$=Lの場合，このアドレス空間は外部メモリとなります（ROMレス動作）。

(1) ベクタ・テーブル領域

00000H-0003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には$\overline{RESET}$入力，各割り込み要求発生により分岐する場合のプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうちの下位8ビットが偶数アドレスに，上位8ビットが奇数アドレスに格納されます。

表3-1　ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求
00000H	リセット（$\overline{RESET}$入力）
00002H	NMI
00006H	INTP0
00008H	INTP1
0000AH	INTP2
0000CH	INTP3
0000EH	INTP4/INTC30
00010H	INTP5/INTAD
00012H	INTC20
00014H	INTC00
00016H	INTC01
00018H	INTC10
0001AH	INTC11
0001CH	INTC21
00020H	INTSER
00022H	INTSR
00024H	INTST
00026H	INTCSI
00028H	INTEER
0002AH	INTEPW
0003EH	BRK

(2) CALLT命令テーブル領域

00040H-0007FHの64バイトの領域には，1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

(3) CALLF命令エントリ領域

00800H-00FFFHのアドレスから始まるサブルーチンは，2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

保守／廃止

3.1.2　内部RAM領域

0FD00H-0FEFFHの領域に，512バイトの汎用スタティックRAMが内蔵されています。

この領域は，次の２つのRAMで構成されています。

○周辺RAM（PRAM）　　：0FD00H-0FDFFH
○内部デュアル・ポートRAM(IRAM)：0FE00H-0FEFFH

内部デュアル・ポートRAM（IRAM）は，高速アクセスが可能です。

特に，0FE20H-0FEFFHの領域は高速アクセス用のショート・ダイレクト・アドレシング・モード（**78K/II シリーズ　ユーザーズ・マニュアル　命令編の第６章　アドレシング**参照）が使用できます。

そのうち，0FEE0H-0FEFFHの32バイトの領域には４バンクの汎用レジスタ群が，0FEC2H-0FEDFHの30バイトの領域にはマクロ・サービス・コントロール・ワードがマッピングされています。

注意　内部RAM領域からのプログラム・フェッチはできません。

備考　0FE20H-0FEC1Hの領域には，頻繁にアクセスするデータやワーク・エリア，ステータス・フラグなどを配置すると効果的です。

また，0FE00H-0FE1FHの領域は，スタック領域，マクロ・サービス・チャネルおよびマクロ・サービスのデータ転送用領域として使用すると，高速にアクセスが可能なので，システムのスループットの向上に役立ち効果的です（この領域は，ショート・ダイレクト・アドレシングが使えず，操作方法は他のメモリ空間と同じになります。しかし，他のメモリ空間より高速にアクセスが可能なので，全体的に見た場合，他の用途で使用するよりはスタック領域，マクロ・サービス・チャネルおよびマクロ・サービスのデータ転送用領域として使用した方がメリットが出ると思われます）。

3.1.3　EEPROM領域

0FB00H-0FCFFHの領域に，512バイトのEEPROMが内蔵されています（**第４章　EEPROM**参照）。

注意　EEPROM領域からのプログラム・フェッチはできません。

保守／廃止

3.1.4　特殊機能レジスタ（SFR）領域

0FF00H-0FFFFHの領域には，オンチップ周辺ハードウエアの特殊機能レジスタ（SFR）がマッピングされています（**3.2.5　特殊機能レジスタ**参照）。

また，0FFD0H-0FFDFHは，外部SFR領域としてマッピングされており，μPD78243（ROMレス）の場合や，μPD78244の外部メモリ拡張モード（メモリ拡張モード・レジスタ（MM）で設定）時に外付けされた周辺I/Oなどをアクセスすることができます。

注意　この領域内で，SFRのマッピングされていないアドレスをアクセスしないでください。誤ってアクセスすると，μPD78244がデッドロック状態となることがあります。デッドロック状態は，リセット入力によってのみ解除されます。

3.1.5　外部SFR領域

SFR領域のうち，0FFD0H－0FFDFHの16バイトの領域は外部SFR領域としてマッピングされています。μPD78243（ROMレス）の場合やμPD78244の外部メモリ拡張モード（メモリ拡張モード・レジスタ（MM）で設定）の場合に，アドレス・バスおよびアドレス／データ・バスなどを使用して，外付けされた周辺I/Oなどをアクセスすることができます。

外部SFR領域は，SFRアドレシングでアクセスすることができるので，周辺I/Oなどの操作が簡単にできること，オブジェクト・サイズを圧縮することができるなどの特徴があります。さらに，マクロ・サービス・タイプBのSFRとして指定することも可能です。

なお，外部SFR領域に対するアクセス時のバスの動作は通常のメモリ・アクセスと同様になります（**第14章　ローカル・バス・インタフェース機能**参照）。

3.1.6　外部メモリ空間

04000H-0FAFFHの領域は，メモリ拡張モード・レジスタ（MM）の設定によりアクセスが可能な外部メモリ空間です。プログラム，テーブル・データなどの格納，および周辺のI/Oデバイスを割り付けることができます。

なお，μPD78243の場合は，00000H-0FAFFH の領域が常時アクセス可能です。

保守／廃止

3.1.7　外部拡張データ・メモリ空間

10000H-FFFFFHの領域は，メモリ拡張モード・レジスタ（MM）により，1Mバイト拡張モードに指定した場合にアクセス可能となる空間です。このとき，ポート6のP60-P63端子が4ビットの拡張アドレス・バス（A16-A19）として機能します。また，データ・メモリ空間は，64Kバイト単位の16個のバンクとして扱われ，P6レジスタおよびPM6レジスタの下位4ビットが，バンクを選択するためのバンク・レジスタとして機能します。漢字キャラクタ・ジェネレータなどの大容量データを使用する場合に有効です。

この空間のアクセスは，あらかじめ使用するバンク（A16-A19の上位4ビットのアドレス情報）を，バンク・レジスタ（P6レジスタのP60-P63またはPM6レジスタのPM60-PM63）にセットした状態で，拡張アドレシング可能な命令を実行することで行います。P60-P63端子から出力される上位4ビットのアドレスは，拡張アドレシング可能な命令を実行する間のみ有効となります。

また，バンク・レジスタが2本あるため，操作対象となるデータ・バンクとして常時2バンクが使用できます。2本のバンク・レジスタは，命令のオペランドに“&”を付けるか，付けないかで選択します。“&”がある場合はP6レジスタが，“&”がない場合はPM6レジスタがバンク・レジスタとなります。

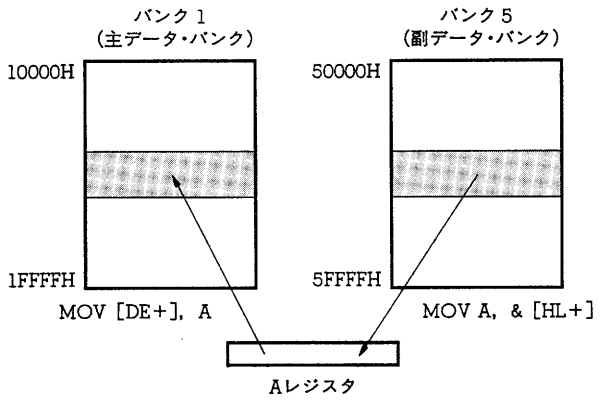
したがって，たとえば2バンクのうち1つを主データ・バンクとしてRAMの領域を指定し，もう一方を副データ・バンクとしてデータROM領域を指定するようにすれば，データROMから読み出したデータ（例：プリンタ用の文字データ）に対し拡大，縮小などの操作を行い，RAMに格納するといった処理が簡単にできます。

保守／廃止

例　主バンクを１，副バンクを５としてバンク５のデータをバンク１に転送します。

```
        MOV   MM,  #47H     ;メモリ拡張モードに設定
        MOV   PM6, #1H      ;主バンク・レジスタ（PM6）の設定
        MOV   P6,  #5H      ;副バンク・レジスタ（P6）の設定
        MOV   B,   #0FFH    ;ループ・カウンタの設定
LOOP:   ……
        MOV   A, &[HL+]     ;バンク５からデータのリード（P6レジスタの内容を最上位のアドレス情報として付加）
        MOV   [DE+], A      ;バンク１へデータを格納（PM6レジスタの内容を最上位のアドレス情報として付加）
        ……
        DBNZ  B,  $LOOP     ;繰り返し処理
```

図３－３　バンク間でのデータ転送例



備考１．MOV　[DE+]，AおよびMOV　A，&［HL+］の両命令はバンク０に格納されています。

２．PM6レジスタをバンク・レジスタとして使用する命令は，P6レジスタを使用する命令より，命令コードと実行時間が短くなります。また，P6レジスタを操作する命令は，PM6レジスタを操作する命令より短く，実行時間も短くなります。

したがって頻繁にアクセスするバンクを指定する主バンク・レジスタとしてPM6を，指定するバンクが頻繁に変わる副バンク・レジスタとしてP6を使用すると効率的です。

保守／廃止

3.2　レジスタ

3.2.1　プログラム・カウンタ（PC）

次に実行するプログラムのアドレス情報を保持する16ビット・バイナリ・カウンタです（図3－4参照）。

通常，フェッチする命令のバイト数に応じて自動的にインクリメントされます。分岐を伴う命令を実行した場合，イミーディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$入力により，内部ROM（μPD78243の場合は外部メモリ）の00000H番地の内容がPCの下位8ビットに，00001H番地の内容がPCの上位8ビットにセットされます。

図3－4　プログラム・カウンタの構成

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PC	PC15	PC14	PC13	PC12	PC11	PC10	PC9	PC8	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0

3.2.2　プログラム・ステータス・ワード（PSW）

命令の実行の結果によって，セット，リセットされる各種のフラグで構成される8ビット・レジスタです（図3－5参照）。

8ビット単位で読み出し／書き込み操作ができるほか，ビット操作命令により各フラグの操作ができます。PSWは，ベクタ割り込み要求受け付け時，およびBRK，PUSH PSW命令実行時にスタックに退避され，RETI，RETB，POP PSW命令実行により復帰します。

$\overline{\text{RESET}}$入力により，PSWは02Hとなります（割り込み受け付け不可能な状態）。

図3－5　プログラム・ステータス・ワードの構成

	7	6	5	4	3	2	1	0
PSW	IE	Z	RBS1	AC	RBS0	0	ISP	CY

(1) キャリー・フラグ（CY）

加減算命令実行時のオーバフロー，アンダフローを記憶するフラグです。

また，シフト・ローテート命令実行時はシフト・アウトされた値を記憶し，ビット演算命令実行時には，ビット・アキュームレータとして機能します。

保守／廃止

(2) 割り込み優先順位ステータス・フラグ（ISP）

現在，受け付け可能なマスカブル・ベクタ割り込みの優先順位を管理するフラグです。

マスカブル割り込みを受け付けると，受け付けた割り込みの優先順位指定フラグの内容をISPに転送します。また，ノンマスカブル割り込み（NMI）受け付け時には“0”になります。

このフラグが“0”のときは優先順位指定フラグ・レジスタ（PR0）で低位に指定したベクタ割り込みの受け付け禁止状態で，“1”のときは割り込みの優先順位にかかわらず，受け付け可能な状態を示します。なお，実際の受け付けは，IEフラグの状態で制御されます。

マスカブル・ベクタ割り込みの受け付けにより，そのつど内容が更新されます。

詳細は**第13章　割り込み機能**をご覧ください。

(3) レジスタ・バンク選択フラグ（RBS0, RBS1）

４個のレジスタ・バンクのうちの１つを選択する２ビットのフラグです（**表３－２**参照）。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

表３－２　レジスタ・バンクの選択

RBS1	RBS0	指定レジスタ・バンク
0	0	レジスタ・バンク０
0	1	レジスタ・バンク１
1	0	レジスタ・バンク２
1	1	レジスタ・バンク３

(4) 補助キャリー・フラグ（AC）

演算の結果，ビット３からキャリーがあったとき，またはビット３へのボローがあったときセット(1)され，それ以外のときリセット(0)されるフラグです。

BCD補正命令実行時に使用されます。

(5) ゼロ・フラグ（Z）

演算の結果がゼロのときセット(1)され，それ以外のときリセット(0)されるフラグです。

(6) 割り込み要求許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

“0”のときは割り込み禁止状態となり，ノンマスカブル割り込み，およびマスク解除したマクロ・サービスのみ受け付け可能となります。それ以外はすべて禁止されます。

“1”のときは割り込み許可状態となり，割り込み要求受け付けの許可は，ISPフラグ，各割り込み要求に対応する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

EI命令実行によりセット(1)され，DI命令実行または割り込みの受け付けでリセット(0)されます。

保守／廃止

3.2.3 スタック・ポインタ（SP）

スタック領域（LIFO形式：00000H-0FFFFH）の先頭アドレスを保持する16ビット・レジスタです（図3-6参照）。サブルーチン処理や割り込み処理時にスタック領域をアドレスするために使われます。

SPの内容は，スタック領域への書き込み前にデクリメントされ，スタック領域からの読み出し後にインクリメントされます（図3-7，図3-8参照）。

SPは，専用命令によりアクセスします。

SPの内容は$\overline{\text{RESET}}$入力により不定になりますので，リセット解除直後に（サブルーチン・コールや割り込みを受け付ける前に）必ず初期化プログラムによりSPをイニシャライズしてください。

例 SPのイニシャライズ

```
MOVW  SP, #0FEE0H ; SP←0FEE0H(FEDFHから使用の場合)
```

図3-6 スタック・ポインタの構成

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SP	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0

図3-7 スタック領域へ退避されるデータ

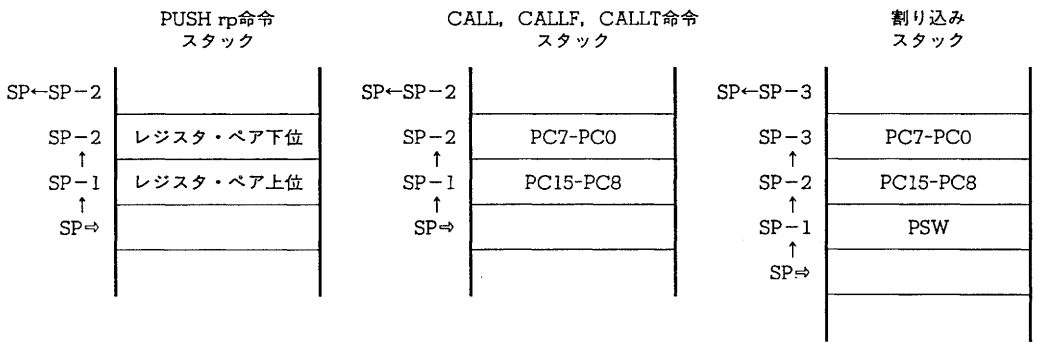
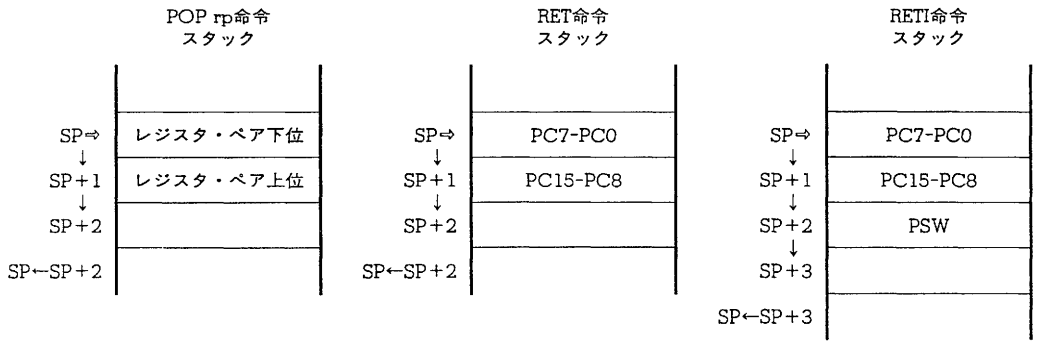


図3-8 スタック領域から復帰されるデータ



保守／廃止

注意1．スタック・アドレシングでは，64 Kバイトすべての空間でアクセス可能ですが，SFR領域，内部ROM領域およびEEPROM領域にスタック・エリアを確保することはできません。

2．SPは，$\overline{\text{RESET}}$入力により不定になります。一方，リセット解除直後でもノンマスカブル割り込みは受け付け可能です。したがって，リセット解除直後のSPが不定な状態でノンマスカブル割り込みの要求が発生すると，予期しない動作を行う場合があります。これらの危険を最小限にするためにSPの初期設定は，リセット解除直後に行うようにしてください。詳細は，13.3.2　ノンマスカブル割り込みの受け付け動作を参照してください。

3.2.4　汎用レジスタ

(1) 構　　成

汎用レジスタは，データ・メモリの特定番地(0FEE0H-0FEFFH)にマッピングされており，8ビット・レジスタ8個（X，A，C，B，E，D，L，H）を1バンクとして4バンクのレジスタで構成されます（図3-9参照)。

図3-9　汎用レジスタの構成

	(8ビット処理の場合)			(16ビット処理の場合)
0FEE0H	A E1H	X E0H	↑	AX E0H
	B E3H	C E2H	レジスタ・バンク3 (RBS1,0=11)	BC E2H
	D E5H	E E4H		DE E4H
	H E7H	L E6H	↓	HL E6H
	A E9H	X E8H	↑	AX E8H
	B EBH	C EAH	レジスタ・バンク2 (RBS1,0=10)	BC EAH
	D EDH	E ECH		DE ECH
	H EFH	L EEH	↓	HL EEH
	A F1H	X F0H	↑	AX F0H
	B F3H	C F2H	レジスタ・バンク1 (RBS1,0=01)	BC F2H
	D F5H	E F4H		DE F4H
	H F7H	L F6H	↓	HL F6H
	A F9H	X F8H	↑	AX F8H
	B FBH	C FAH	レジスタ・バンク0 (RBS1,0=00)	BC FAH
	D FDH	E FCH		DE FCH
0FEFFH	H FFH	L FEH	↓	HL FEH

$\overline{\text{RESET}}$入力によりレジスタ・バンク0が指定されます。

また，実行中のレジスタ・バンクは，PSW内のレジスタ・バンク選択ビット（RBS0，1）を読み出すことによって確認することができます。

0FEE0H-0FEFFHの領域は，汎用レジスタとして使用する，しないにかかわらず，通常のデータ・メモリとしてアクセスすることができます。

保守／廃止

備考　レジスタ・バンクを変更する場合で，元のレジスタ・バンクに戻す必要がある場合は，PUSH PSW命令でスタックへPSWを退避してからSEL RBn命令を実行してください。元に戻すときは，スタックの位置に変化がなければPOP PSW命令で戻せます。

なお，割り込み処理プログラムでレジスタ・バンクを変更する場合には，PSWは割り込みの受け付け時に自動的にスタックへ退避され，RETI，RETB命令で復帰されますので，割り込み処理ルーチンで使用するレジスタ・バンクが１つに固定されていれば，単にSEL RBn命令を実行するだけで，PUSH PSW命令を実行する必要はありません。

例1.　通常のプログラムでレジスタ・バンクを変更する場合

レジスタ・バンク２を指定する場合

```
      ⋮
PUSH  PSW
SEL   RB2   ┐
      ⋮     ├ レジスタ・バンク２で動作
POP   PSW   ┘
      ⋮       元のレジスタ・バンクで動作
```

2.　割り込み処理プログラムでレジスタ・バンクを変更する場合

レジスタ・バンク１を選択する場合

```
SEL   RB1   ┐
      ⋮     ├ レジスタ・バンク１で動作
RETI        ┘ 割り込み処理プログラムからの復帰時には元のレジスタ・バンクに
              自動的に復帰する
```

保守／廃止

(2) 機　　能

汎用レジスタはそれぞれ８ビット単位で操作できるほか，２個の８ビット・レジスタがペアとなって16ビット単位ででも操作できます（AX，BC，DE，HL)。

また，各レジスタは，演算結果の一時保管やレジスタ間演算命令のオペランドとして使用することが可能です。

汎用レジスタは，４つのレジスタ・バンクを有しているので，通常の処理と割り込み時の処理でレジスタ・バンクを使い分けることにより，効率のよいプログラムを作成できます。

各レジスタは，それぞれ次に示す固有機能を持っています。

A (R1)：

８ビット・データの転送や演算処理の中心となるレジスタです。ビット・データの格納にも使用できます。

また，インデクスト・アドレシング時のオフセット値を格納するレジスタとしても使用可能です。

AX (RP0)：

16ビット・データの転送や演算処理の中心となるレジスタです。

X (R0)：

ビット・データを格納することができます。

B (R3)：

ループ・カウンタとしての機能を持っており，DBNZ命令で使用できます。

また，インデクスト・アドレシング時のオフセット値を格納するレジスタとしても使用可能です。

C (R2)：

ループ・カウンタとしての機能を持っており，DBNZ命令で使用できます。

DE (RP2)，HL (RP3)：

ポインタとしての機能を持っており，レジスタ・インダイレクト・アドレシング，ベースト・アドレシング時にベースト・アドレスを指定するレジスタとして動作します。

また，インデクスト・アドレシング時には，オフセット値を格納するレジスタとしても動作します。

保守／廃止

各レジスタは，それぞれの固有機能を重視した機能名称（X，A，C，B，E，D，L，H，AX，BC，DE，HL）のほか，絶対名称（R0-R7，RP0-RP3）ででも記述することができます。対応は表**３－３**を参照してください。

表３－３　機能名称―絶対名称の対応

機能名称	絶対名称
X	R0
A	R1
C	R2
B	R3
E	R4
D	R5
L	R6
H	R7

機能名称	絶対名称
AX	RP0
BC	RP1
DE	RP2
HL	RP3

保守／廃止

3.2.5　特殊機能レジスタ（SFR）

内蔵周辺ハードウエアのモード・レジスタ，コントロール・レジスタなどの特別な機能が割り付けられたレジスタで，0FF00H－0FFFFHの256バイトの空間にマッピングされています。

注意　この領域内で，SFRの割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると，μPD78244がデッドロック状態となることがあります。デッドロック状態は，リセット入力によってのみ解除されます。

表3－4に特殊機能レジスタ（SFR）の一覧を示します。表中の項目の意味は次のようになります。

・略　号……内蔵されたSFRを示す記号。NEC製アセンブラ（RA78 K/II）では予約語として，Cコンパイラ（CC 78K/II）では＃pragma sfr指令により，sfr変数として使用できます。

・R/W ……該当するSFRが読み出し／書き込みが可能かどうかを示します。

R/W　：読み出し（Read）／書き込み（Write）可能

R　　：読み出し（Read）のみ

W　　：書き込み（Write）のみ

・操作可能ビット単位…該当するSFRを操作する場合に，適応可能な操作ビット単位を示します。16ビット操作可能なSFRはオペランドのsfrpに記述でき，アドレスで指定する場合は偶数アドレスを記述します。

1ビット操作可能なSFRは，ビット操作命令に記述できます。

・リセット時……$\overline{\text{RESET}}$入力時の各レジスタの状態を示します。

保守／廃止

表３－４　特殊機能レジスタ（SFR）一覧（1/3）

アドレス	特殊機能レジスタ（SFR）名称	略号	R/W	操作可能ビット単位			リセット時
				1bit	8bit	16bit	
0FF00H	ポート０	P0	R/W	○	○	—	不定
0FF02H	ポート２	P2	R	○	○	—	
0FF03H	ポート３	P3	R/W	○	○	—	
0FF04H	ポート４	P4		○	○	—	
0FF05H	ポート５	P5		○	○		
0FF06H	ポート６	P6		○	○	—	×0H
0FF07H	ポート７	P7	R	○	○		不定
0FF0AH	ポート０バッファ・レジスタ	P0L	R/W	○	○	—	
0FF0BH	ポート０バッファ・レジスタ	P0H		○	○		
0FF0CH	リアルタイム出力ポート・コントロール・レジスタ	RTPC		○	○	—	00H
0FF10H	16ビット・コンペア・レジスタ０（16ビット・タイマ／カウンタ）	CR00		—	—	○	不定
0FF11H				—	—		
0FF12H	16ビット・コンペア・レジスタ１（16ビット・タイマ／カウンタ）	CR01		—	—	○	
0FF13H				—	—		
0FF14H	８ビット・コンペア・レジスタ（８ビット・タイマ／カウンタ１）	CR10		—	○	—	
0FF15H	８ビット・コンペア・レジスタ（８ビット・タイマ／カウンタ２）	CR20		—	○		
0FF16H	８ビット・コンペア・レジスタ（８ビット・タイマ／カウンタ２）	CR21		—	○	—	
0FF17H	８ビット・コンペア・レジスタ（８ビット・タイマ／カウンタ３）	CR30		—	○		
0FF18H	16ビット・キャプチャ・レジスタ（16ビット・タイマ／カウンタ）	CR02	R	—	—	○	
0FF19H				—	—		
0FF1AH	８ビット・キャプチャ・レジスタ（８ビット・タイマ／カウンタ２）	CR22		—	○	—	
0FF1CH	８ビット・キャプチャ／コンペア・レジスタ（８ビット・タイマ／カウンタ１）	CR11	R/W	—	○	—	
0FF20H	ポート０モード・レジスタ	PM0	W	—	○	—	FFH
0FF23H	ポート３モード・レジスタ	PM3		—	○	—	
0FF25H	ポート５モード・レジスタ	PM5		—	○	—	
0FF26H	ポート６モード・レジスタ	PM6	R/W	—	○	—	F×H
0FF30H	キャプチャ/コンペア・コントロール・レジスタ０	CRC0	W	—	○	—	10H
0FF31H	タイマ出力コントロール・レジスタ	TOC		—	○		00H
0FF32H	キャプチャ/コンペア・コントロール・レジスタ１	CRC1		—	○	—	
0FF34H	キャプチャ/コンペア・コントロール・レジスタ２	CRC2		—	○	—	
0FF40H	プルアップ抵抗オプション・レジスタ	PUO	R/W	○	○	—	
0FF43H	ポート３モード・コントロール・レジスタ	PMC3		○	○	—	

保守／廃止

表３-４　特殊機能レジスタ（SFR）一覧（2/3）

アドレス	特殊機能レジスタ（SFR）名称	略号	R/W	操作可能ビット単位			リセット時
				1bit	8bit	16bit	
0FF50H	16ビット・タイマ・レジスタ０	TM0	R	—	—	○	0000H
0FF51H				—	—		
0FF52H	８ビット・タイマ・レジスタ１	TM1		—	○	—	00H
0FF54H	８ビット・タイマ・レジスタ２	TM2		—	○	—	
0FF56H	８ビット・タイマ・レジスタ３	TM3		—	○	—	
0FF5CH	プリスケーラ・モード・レジスタ０	PRM0	W	—	○	—	00H
0FF5DH	タイマ・コントロール・レジスタ０	TMC0	R/W	—	○		
0FF5EH	プリスケーラ・モード・レジスタ１	PRM1	W	—	○	—	
0FF5FH	タイマ・コントロール・レジスタ１	TMC1	R/W	—	○		
0FF68H	A/Dコンバータ・モード・レジスタ	ADM		○	○	—	
0FF6AH	A/D変換結果レジスタ	ADCR	R	—	○		不定
0FF78H	EEPROM書き込み制御レジスタ	EWC	R/W	○	○	—	0011 0100B
0FF7DH	ワンショット・パルス出力制御レジスタ	OSPC		○	○	−	00H
0FF80H	クロック同期式シリアル・インタフェース・モード・レジスタ	CSIM		○	○	—	
0FF82H	シリアル・バス・インタフェース・コントロール・レジスタ	SBIC		○	○	—	
0FF86H	シリアル・シフト・レジスタ	SIO		—	○	—	不定
0FF88H	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM		○	○	—	80H
0FF8AH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS	R	○	○	—	00H
0FF8CH	シリアル受信バッファ：UART	RXB		—	○	—	不定
0FF8EH	シリアル送信シフト・レジスタ：UART	TXS	W	—	○	—	
0FF90H	ボー・レート・ジェネレータ制御レジスタ	BRGC		—	○	—	00H
0FFC0H	スタンバイ・コントロール・レジスタ	STBC	R/W	—	○	—	00H
0FFC4H	メモリ拡張モード・レジスタ	MM		○	○	—	20H
0FFC5H	プログラマブル・ウエイト制御レジスタ	PW		○	○		80H
0FFC6H	リフレッシュ・モード・レジスタ	RFM		○	○	—	00H
0FFD0H − 0FFDFH	外部SFR領域	—		○	○	—	不定
0FFE0H	割り込み要求フラグ・レジスタ0L	IF0L		○	○	○	00H
0FFE1H	割り込み要求フラグ・レジスタ0H	IF0H	IF0	○	○		00H
0FFE2H	割り込み要求フラグ・レジスタ1L	IF1L		○	○	—	××××　××00B
0FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L		○	○	○	FFH
0FFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H	MK0	○	○		FFH
0FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L		○	○	—	××××　××11B
0FFE8H	優先順位指定フラグ・レジスタ0L	PR0L		○	○	○	FFH
0FFE9H	優先順位指定フラグ・レジスタ0H	PR0H	PR0	○	○		FFH
0FFEAH	優先順位指定フラグ・レジスタ1L	PR1L		○	○	—	××××　××11B

保守／廃止

表３－４　特殊機能レジスタ（SFR）一覧（3/3）

アドレス	特殊機能レジスタ（SFR）名称	略号	R/W	操作可能ビット単位			リセット時
				1bit	8bit	16bit	
0FFECH	割り込みサービス・モード・レジスタ0L	ISM0L（ISM0）	R/W	○	○	○	00H
0FFEDH	割り込みサービス・モード・レジスタ0H	ISM0H（ISM0）		○	○		00H
0FFEEH	割り込みサービス・モード・レジスタ1L	ISM1L		○	○	—	××××　××00B
0FFF4H	外部割り込みモード・レジスタ０	INTM0		○	○	—	00H
0FFF5H	外部割り込みモード・レジスタ１	INTM1		○	○		00H
0FFF8H	割り込みステータス・レジスタ	IST		○	○	—	00H

保守／廃止

3.3　注意事項

(1) 内部RAM領域，EEPROM領域からのプログラム・フェッチはできません。

(2) スタック・ポインタの動作

スタック・アドレシングでは64 Kバイトすべての空間でアクセス可能ですが，SFR領域および内部ROM領域，EEPROM領域にスタック・エリアを確保することはできません。

(3) スタック・ポインタの初期化

SPは，$\overline{\text{RESET}}$入力により不定になります。一方，リセット解除直後でもノンマスカブル割り込みは受け付け可能です。したがって，リセット解除直後のSPが不定な状態でノンマスカブル割り込みの要求が発生すると，予期しない動作を行う場合があります。これらの危険を最小限にするためにSPの初期設定は，リセット解除直後に行うようにしてください。詳細は，**13.3.2　ノンマスカブル割り込みの受け付け動作**を参照してください。

(4) 特殊機能（SFR）レジスタ

0FF00H-0FFFFHの領域内で，SFRの割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると，μPD78244がデッドロック状態となることがあります。デッドロック状態は，リセット入力によってのみ解除されます。

保守／廃止

第４章　EEPROM

μPD78244は，データ・メモリとして，内部RAM（512バイト）のほかに，512バイトのEEPROM（Electrically Erasable PROM）を内蔵しています。

EEPROMは，プログラムで書き込み，読み出し可能なメモリです。内部RAMと異なり，停電時でもデータの保持が可能です。

EEPROMは，データ・メモリ空間内の0FB00H－0FCFFHの領域にマッピングされています。

次に，μPD78244に内蔵されているEEPROMの特徴を示します。

（1）512×8ビットの容量
（2）読み出し／書き込み操作は，内部RAMと同じ操作命令で可能
（3）書き込み処理中の読み出し操作が可能[注]
（4）自動消去／自動書き込み機能を内蔵
（5）書き込み終了割り込み，書き込みエラー割り込み機能を内蔵
（6）EEPROMのライト・プロテクト機能を内蔵
（7）繰り返し書き換え回数は10万回を保証

注　書き込み処理中のアドレスまたは，書き込み処理中のアドレスと異なるアドレスのいずれの場合も，EEPROMの内容を読み出すことができます。

備考　この章には，「書き込み処理時間」と「書き込み時間」という用語が出てきますが，ここでは，次のように定義しています。

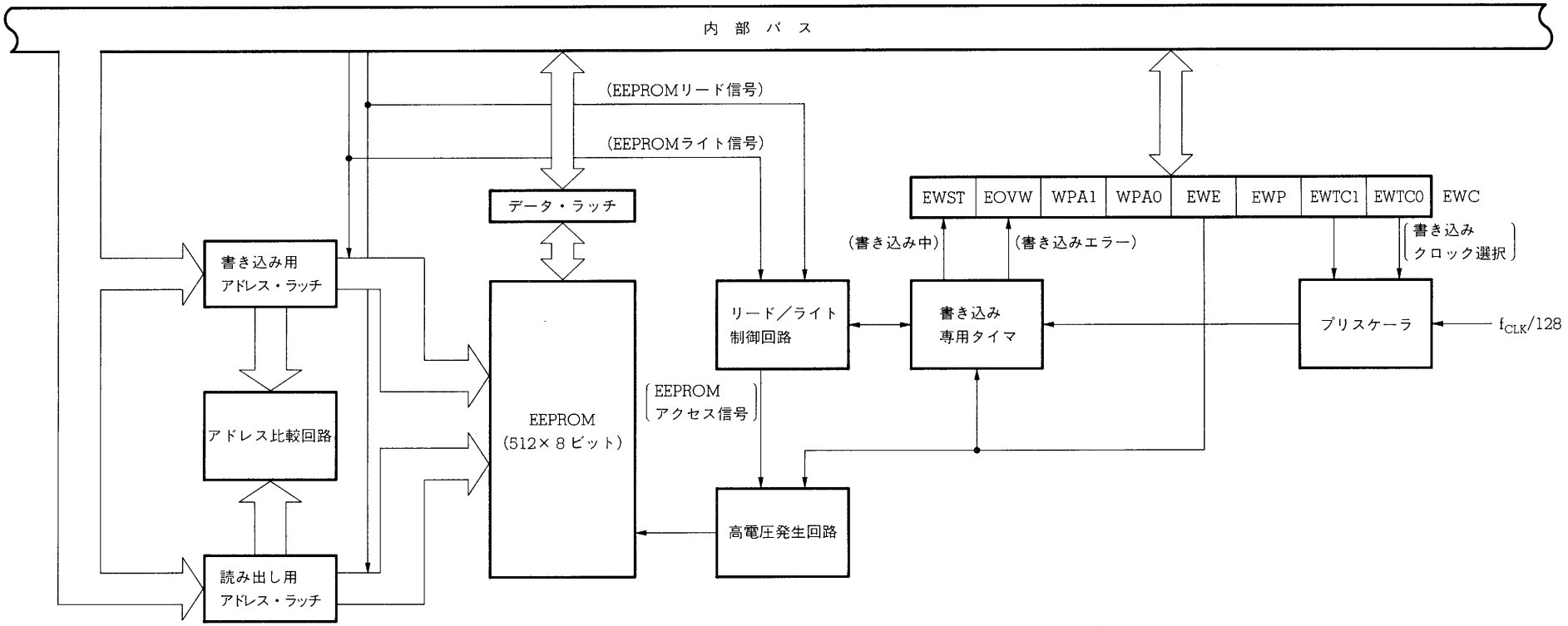
・書き込み処理時間……消去時間＋書き込み時間
・書き込み時間……消去したあとに行う書き込み動作の時間

4.1　構　　成

EEPROMは図４－１のように構成されています。

保守／廃止

図4－1　EEPROMのブロック図



保守／廃止

(1) EEPROM

512×8ビットの容量を持つEEPROMです。

停電時でもデータの保持が可能なメモリです。

(2) EEPROM書き込み制御レジスタ（EWC）

EEPROMへの書き込み動作を制御するレジスタです。

書き込み制御のほかに，書き込み時のステータス（書き込み処理中かどうか，書き込みエラー発生の有無など）を示します。また，EEPROMのセキュリティ機能として，ライト・プロテクト領域の設定も行います。

EEPROM書き込み制御レジスタ（EWC）の詳細については，**4.2　EEPROM書き込み制御レジスタ（EWC）**を参照してください。

(3) 書き込み専用タイマ

EEPROMにデータを書き込むための時間を確保する専用タイマです。

EEPROMは書き込み処理のためには，約10 ms（消去時間：約5 ms＋書き込み時間：約5 ms）必要です。

書き込み専用タイマは，EWCレジスタの制御により，タイマのカウント・クロックを選択することができます。

この機能によりμPD78244の動作周波数を12 MHz以外に設定しても，EEPROMの書き込み処理に必要な時間が確保できます。

書き込み専用タイマの詳細については，**4.3　書き込み専用タイマ**を参照してください。

(4) 書き込み／読み出し用アドレス・ラッチとアドレス比較回路

書き込み／読み出し用アドレス・ラッチは，EEPROMへの書き込み時および読み出し時のアドレスを保持するラッチです。また，アドレス比較回路は，書き込み処理中にEEPROMを読み出す場合に，各アドレス・ラッチを比較する回路です。比較の結果によってデータを読み出す箇所が異なります。

- 書き込みアドレスと読み出しアドレスが異なる場合
  →データの読み出しはEEPROMから行います。
- 書き込みアドレスと読み出しアドレスが同じ場合
  →アドレス比較回路が動作し，データの読み出しをEEPROMからでなく書き込み用のデータ・ラッチから行います。この機能により，EEPROMへの書き込み中の不定データの読み出しを防止します。

(5) 高電圧発生回路

EEPROM書き込み用の高電圧を発生させる回路です。

書き込み許可状態でEEPROMへの書き込み動作を行ったときに高電圧を発生します。

保守／廃止

4.2　EEPROM書き込み制御レジスタ（EWC）

EEPROM書き込み制御レジスタ(EWC)は，EEPROMの書き込み動作を制御するレジスタです。８ビット操作命令とビット操作命令で操作します。読み出し／書き込みは，図４－２のようにビットによって異なります。書き込みのみ可能なビットを読み出した場合には“０”を読み出します。

リセット入力により，0011 0100Bにイニシャライズされます。

図４－３にEEPROM書き込み制御レジスタ（EWC）のフォーマットを示します。

図４－２　EEPROM書き込み制御レジスタの読み出し／書き込み

	7	6	5	4	3	2	1	0
EWC	EWST	EOVW	WPA1	WPA0	EWE	EWP	EWTC1	EWTC0
	R	R/W	W	W	R/W	W	R/W	R/W

注意　ビット２，４，５は，リセット入力後１回のみ書き込み可能です。また，ビット２，４，５を命令により読み出すと，“０”が読み出せます。

備考　R/W：読み出し（Read)／書き込み（Write）が可能
　　R　：読み出し（Read）のみ可能
　　W　：書き込み（Write）のみ可能

保守／廃止

図4-3 EEPROM書き込み制御レジスタのフォーマット

	⑦	⑥	5	4	③	2	1	0	リセット時
EWC	EWST	EOVW	WPA1	WPA0	EWE	EWP	EWTC1	EWTC0	0011 0100B

EEPROM書き込み専用タイマ・クロック選択ビット

EWTC1	EWTC0	カウント・クロックの選択
0	0	$65536/f_{XX}$ (f_{XX}=12 MHz)
0	1	$49152/f_{XX}$ (8 MHz≦f_{XX}<12 MHz)
1	0	$32768/f_{XX}$ (6 MHz≦f_{XX}< 8 MHz)
1	1	$24576/f_{XX}$ (4 MHz≦f_{XX}< 6 MHz)

ライト・プロテクト指定許可／禁止ビット

EWP	ライト・プロテクト（書き込み禁止）の指定
0	禁止（EEPROM全領域のライト・プロテクトを解除）
1	許可（ライト・プロテクト領域に指定した部分をプロテクト）

EEPROM書き込み許可／禁止制御ビット

EWE	EEPROMへの書き込み動作
0	禁止する
1	許可する

EEPROMライト・プロテクト領域指定ビット

WPA1	WPA0	ライト・プロテクト領域の指定
0	0	エリア3 (FC80H-FCFFH)
0	1	エリア3-2 (FC00H-FCFFH)
1	0	エリア3-1 (FB80H-FCFFH)
1	1	エリア3-0 (FB00H-FCFFH)

EEPROMオーバライト・エラー検出フラグ

EOVW	オーバライト・エラー発生の有無
0	オーバライト・エラーなし
1	オーバライト・エラー発生

EEPROM書き込みステータス・フラグ

EWST	書き込みステータス
0	EEPROM書き込み中ではない
1	EEPROM書き込み中

備考 f_{XX}はクリスタル／セラミック発振周波数を示します。外部クロック周波数を使用するときには，f_{XX}をf_Xと読み替えてお使いください。

保守／廃止

(1) EEPROM書き込み専用タイマ・クロック選択ビット（EWTC0，EWTC1）

μPD78244の動作周波数に応じて，書き込み処理時間を一定に保つための制御ビットです。

動作周波数を12 MHz以外に変更した場合でも，書き込み処理時間が大きく変化しないように，EEPROM書き込み専用タイマのクロック周波数を変えられるように構成しています。

このビットは，読み出し／書き込み可能です。

リセット入力後は，“00”になります。

EWTC0, EWTC1ビットを操作することにより，EEPROM書き込み専用タイマのカウント・クロック周波数を4とおりに選択することができます。

詳しくは，**4.3　書き込み専用タイマ**を参照してください。

(2) EEPROMライト・プロテクト指定許可／禁止ビット（EWP）

EEPROMライト・プロテクト領域指定ビット（WPA0，WPA1）で指定した領域へのライト・プロテクト（書き込み禁止）を有効にするビットです。

EWP	0	EEPROMのライト・プロテクトは無効となり，全EEPROM領域のライト・プロテクトを解除します。
	1	EEPROMライト・プロテクト領域指定ビット(WPA0, WPA1)で指定したEEPROMの領域をライト・プロテクト（書き込み禁止）状態にします。

このビットは，リセット入力後，セット(1)状態にイニシャライズされ，EEPROMはライト・プロテクト状態になります。

このビットは，書き込みのみ可能です。このビットを読み出すと“0”が読み出せます。

注意1．このビットは，リセット入力後1回のみデータの書き込みが可能です。リセット入力後2回以上書き込み操作を行っても，このビットにはデータを書き込めませんのでご注意ください。

2．インサーキット・エミュレータでは，ライト・プロテクト状態にはなりません。

保守／廃止

(3) EEPROM書き込み許可／禁止制御ビット（EWE）

EEPROMへの書き込み動作の許可／禁止を制御するビットです。

EWE	0	EEPROMへの書き込み命令を禁止します。 この状態でEEPROMへ書き込み命令を行っても，書き込み動作は無視されます。また，EEPROM書き込みエラー割り込み（INTEER）およびEEPROM書き込み終了割り込み（INTEPW）は発生しません。
	1	EEPROMへの書き込み命令を許可します。 この状態でEEPROMへの書き込みをすると，データを書き込んだあと，EEPROM書き込み終了割り込み（INTEPW）が発生します。

EWE＝1（書き込み許可）に設定してEEPROMへの書き込みを行っている途中で，EWE＝0（書き込み禁止）に設定を変更すると，書き込み動作は強制的に停止して，書き込みデータは不定となり，書き込みエラー割り込み（INTEER）を発生します。

また，EWEビットの設定に関係なく，EEPROMへの読み出し命令はいつでも可能です。

このビットは，読み出し／書き込み可能です。

リセット入力後は，“0”になり，EEPROMへの書き込みを禁止します。

(4) EEPROMライト・プロテクト領域指定ビット（WPA0，WPA1）

このビットは，EEPROMへの書き込みを禁止する領域の指定を行います。

ライト・プロテクト指定許可／禁止ビット（EWP）がセット(1)されて，ライト・プロテクト（書き込み禁止）が許可になっている場合のみ有効となります。

ライト・プロテクト領域は，次の4とおりに設定できます。

WPA1	WPA0	ライト・プロテクトされる領域
0	0	エリア3　（FC80H－FCFFH）
0	1	エリア3－2（FC00H－FCFFH）
1	0	エリア3－1（FB80H－FCFFH）
1	1	エリア3－0（FB00H－FCFFH）：全EEPROM領域

ライト・プロテクト機能の詳細については，**4.7 ライト・プロテクト機能**を参照してください。

このビットは，書き込みのみ可能です。このビットを読み出すと，“00”が読み出せます。

また，リセット入力後は，“11”になります。

注意1. このビットは，リセット入力後1回のみデータの書き込みが可能です。リセット入力後2回以上書き込み操作を行っても，このビットにはデータを書き込めませんのでご注意ください。

2. インサーキット・エミュレータでは，ライト・プロテクト状態にはなりません。

保守／廃止

(5) EEPROMオーバライト・エラー検出フラグ（EOVW）

EEPROMへの書き込み処理が終了する前に，EEPROMにデータを書き込むと，オーバライト・エラーが発生します。

EEPROMへのオーバライト・エラーが発生したときセット(1)されるフラグです。

このビットは，読み出し／書き込み可能です。

このビットのセット／リセット条件を次に示します。

EOVW	0	・システム・リセット後 ・ソフトウエアでリセット(0)したとき（命令で“0”を書き込んだ場合）
	1	EEPROMへの書き込みが終了する前に，EEPROMにデータを書き込んだとき（オーバライト・エラー）

(6) EEPROM書き込みステータス・フラグ（EWST）

EEPROMへの書き込み状態を示すフラグです。このフラグで，EEPROMへの書き込みが可能かどうかを確認することができます。EWSTがリセット(0)されている場合のみ，EEPROMへの書き込みが可能です。

このビットは，読み出しのみ可能です。

このビットのセット／リセット条件を次に示します。

EWST	0	・システム・リセット後 ・EEPROMへの書き込み動作が終了したとき ・EEPROMへの書き込み動作を禁止したとき（EWE＝0）
	1	EEPROMへの書き込み命令を実行したとき（書き込み処理中）

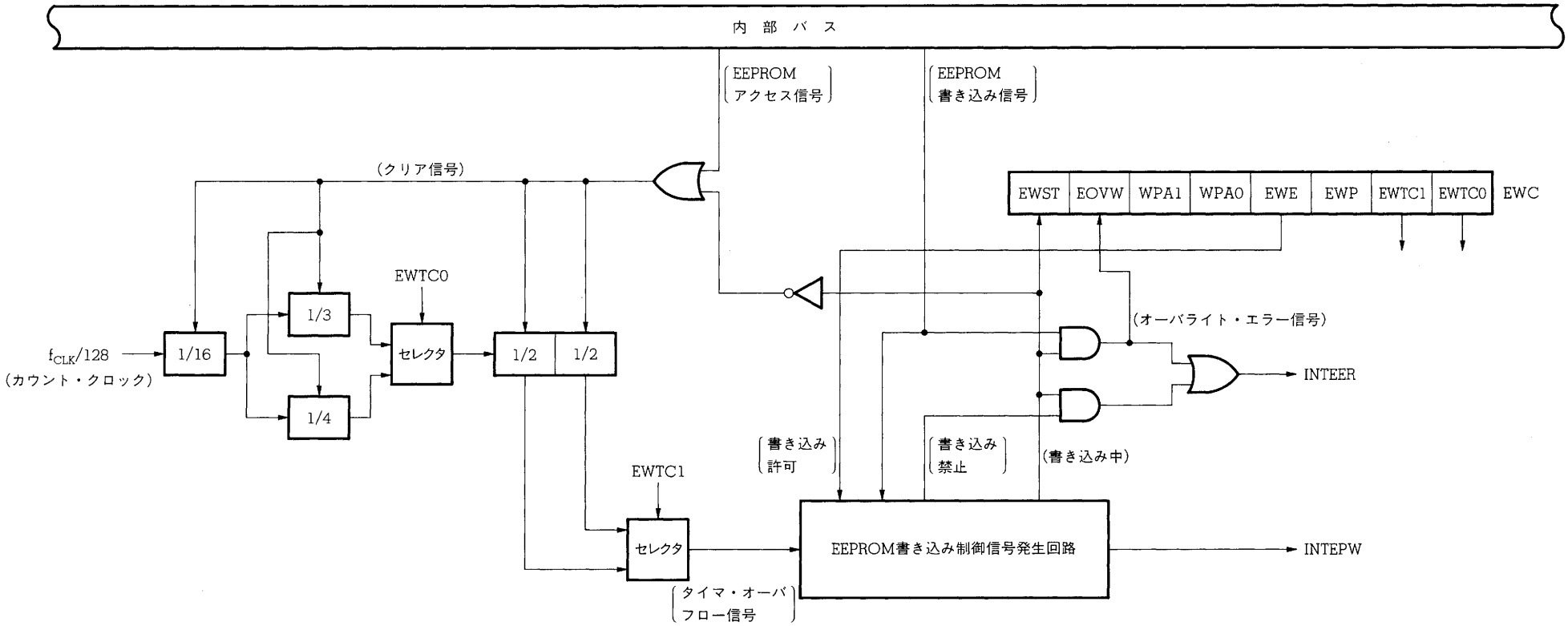
4.3 書き込み専用タイマ

4.3.1 構　　成

μPD78244は，EEPROMへの書き込み時間を確保するために，書き込み専用タイマを内蔵しています。書き込み専用タイマの構成を図4-4に示します。

保守／廃止

図４－４　書き込み専用タイマのブロック図



保守／廃止

4.3.2 動　　作

書き込み専用タイマは，EEPROMへの書き込み処理（消去＋書き込み）に必要とする時間を確保するタイマです。

EEPROMの書き込み時間は，書き込み専用タイマが2回オーバフローするまでの時間により制御されます。書き込み専用タイマのカウント・クロックは，$f_{CLK}/128$に設定されています。これを分周回路で分周することにより，書き込み処理時間を設定します。μPD78244の動作周波数を変更した場合，EWCレジスタの書き込みクロック選択ビット(EWTC0，EWTC1)を設定することにより，分周比を変化させて適切な書き込み処理時間（約10 ms）を確保します。

EEPROMへの書き込み命令を実行すると，書き込み専用タイマがリセット(0)されて，EWCレジスタのEWTC0，EWTC1ビットによって選択されたクロックでカウント・アップされます。カウント・スタートから1回目のオーバフローまでの時間でEEPROMを消去し，2回目のオーバフローまでの時間でEEPROMへの書き込みを行います。

2回目のオーバフロー発生時に，書き込み終了割り込み（INTEPW）を発生します。

消去および書き込みに必要な時間は，それぞれ約5 msずつ，計約10 msとなります。

表4－1に，μPD78244に使用する発振子の動作周波数と，EEPROM書き込み処理時間(消去時間＋書き込み時間）の対応を示します。

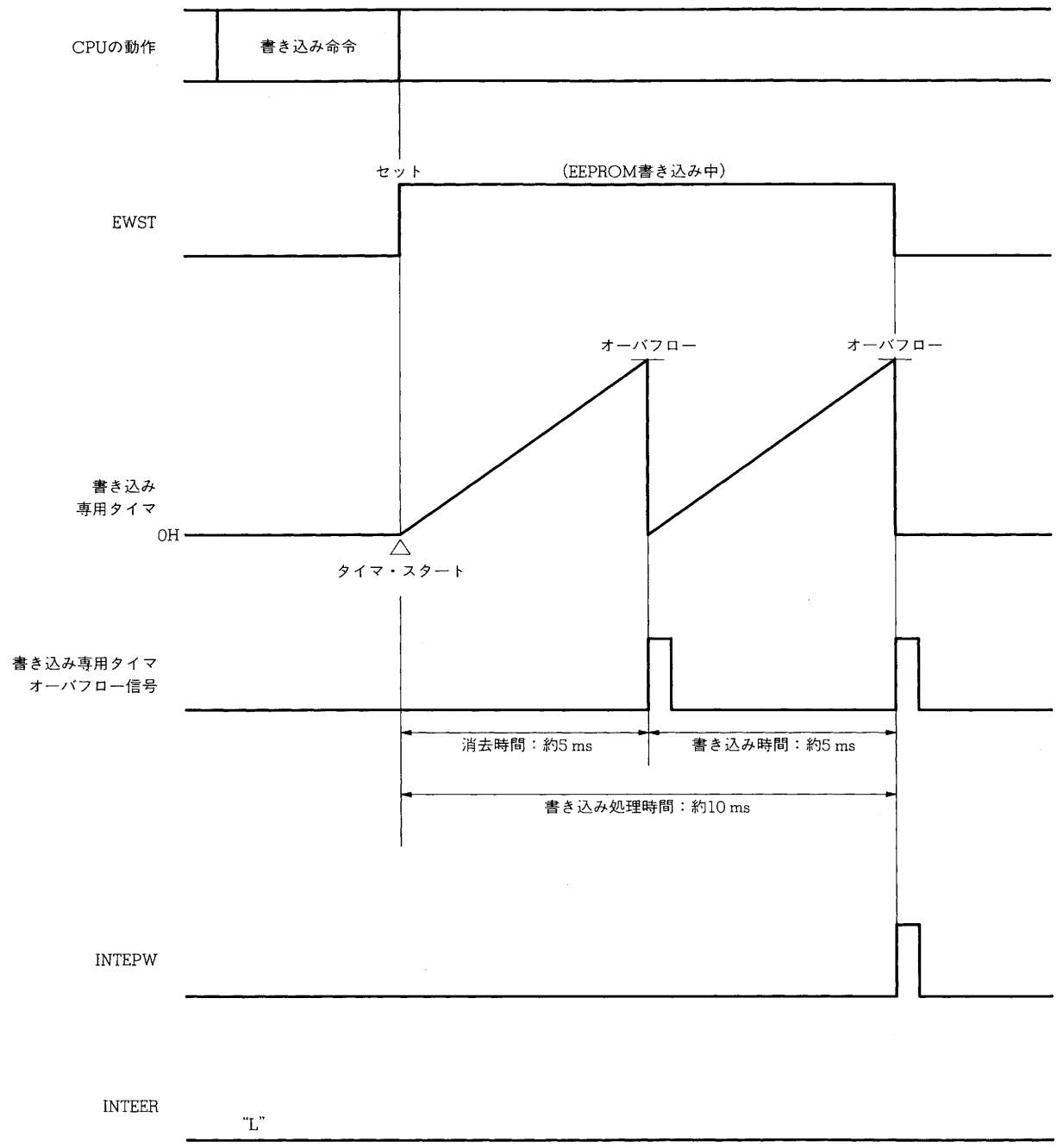
表4－1　μPD78244の動作周波数とEEPROM書き込み処理時間の設定

動作周波数 f_{XX} (MHz)	EWCビット		EEPROM書き込み処理時間 (ms)
	EWTC1	EWTC0	
12	0	0	10.92
11	0	1	8.92
10	0	1	9.84
9	0	1	10.92
8	0	1	12.28
7	1	0	9.36
6	1	0	10.92
5	1	1	9.84
4	1	1	12.28

EEPROM書き込み動作時のタイミングを図4－5に示します。

保守／廃止

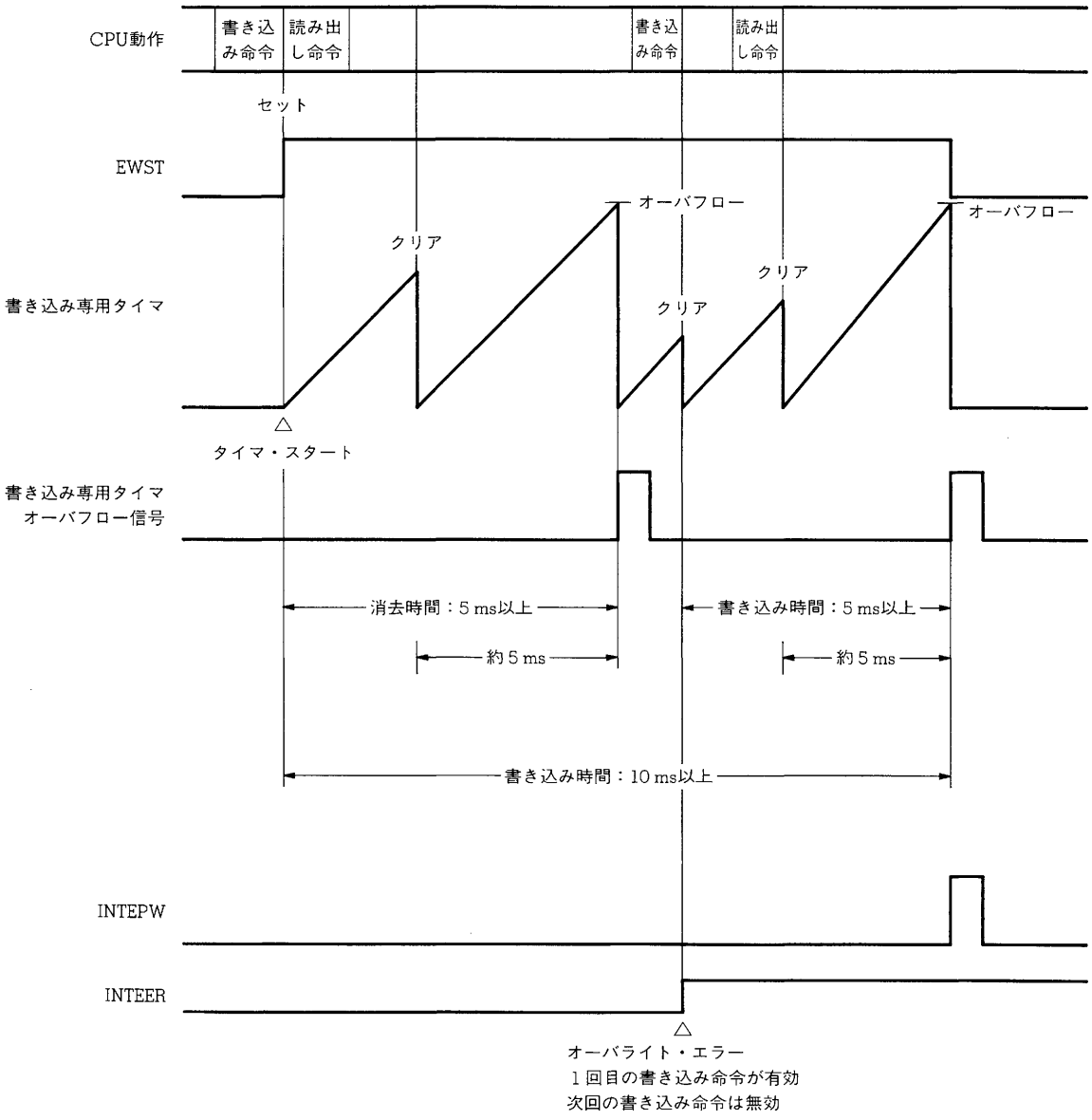
図４－５　EEPROM書き込み動作時のタイミング



保守／廃止

書き込み処理中にEEPROMへアクセス（書き込みまたは，読み出し）を行うと，書き込み専用タイマがそのたびにクリアされます。したがって，書き込み処理時間が延びてしまいます。

図４－６　EEPROM割り込み処理中のEEPROMへのアクセス



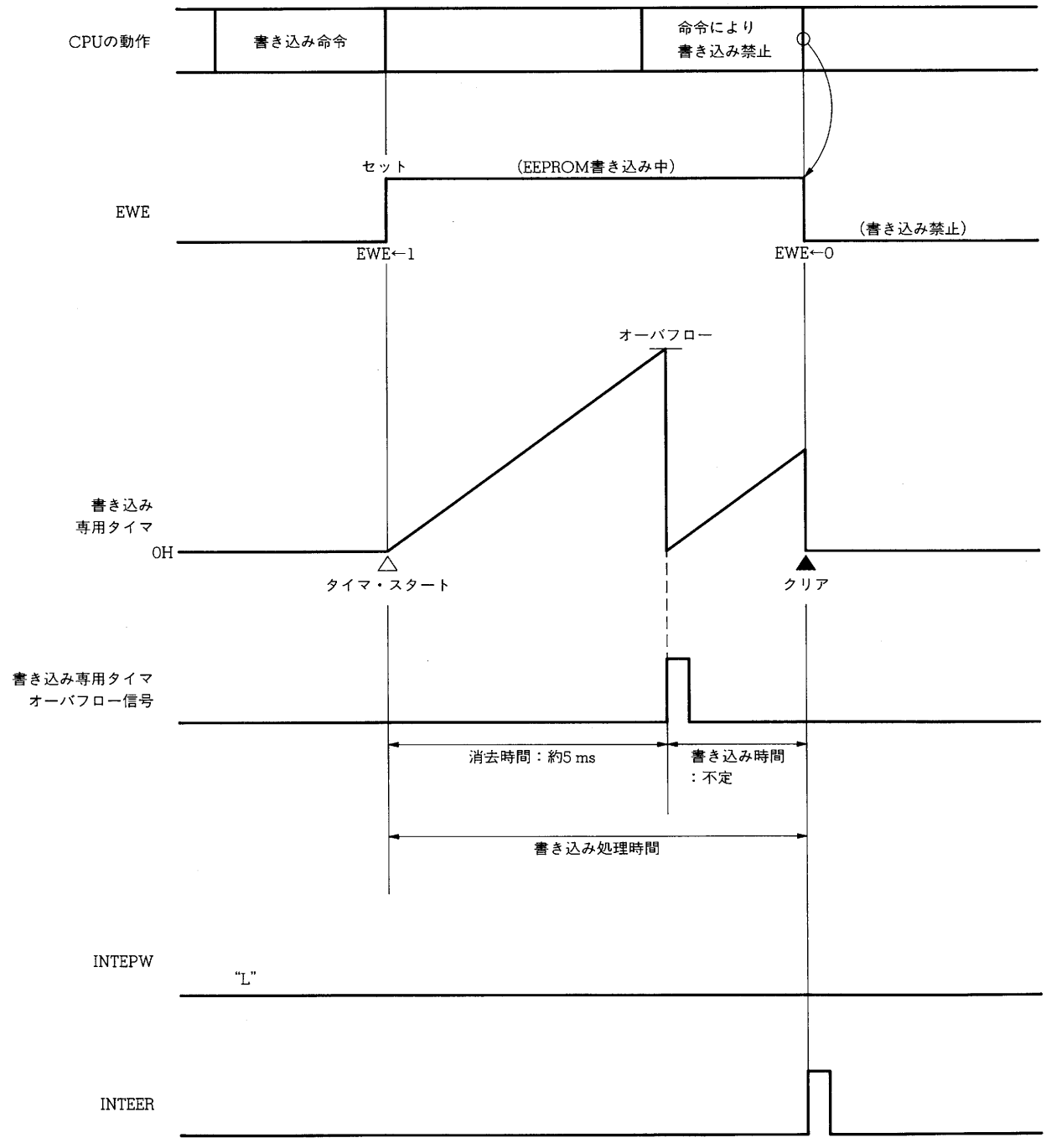
保守／廃止

書き込み処理中に，書き込み禁止状態（EWE＝0）に設定すると，書き込み専用タイマはクリアされて，書き込み動作は停止します。

このとき，EEPROM書き込みエラー割り込み（INTEER）が発生し，書き込みを行ったアドレスのデータは，不定となります。

一例として，EEPROM書き込み中に，EEPROMを書き込み禁止状態に設定した場合のタイミング・チャートを，図4－7に示します。

図4－7　EEPROM書き込み処理中に書き込み禁止にした場合のタイミング



保守／廃止

4.4　EEPROMの読み出し動作

EEPROMからのデータの読み出しは，内部RAM（周辺RAM）と同様にメモリ操作命令で行います。

EEPROMからのデータの読み出しは，EEPROMの書き込み許可／禁止の設定や，EEPROMへのデータ書き込み処理中に関係なく可能です。

なお，EEPROM書き込み処理中にEEPROMの読み出し命令を行うと，書き込み処理を一時中断し，読み出しを行います。読み出しが終了したあと，再び書き込み処理を行うので書き込み処理時間が延長します。詳しくは，**4.8　注意事項**を参照してください。

4.5　EEPROMの書き込み動作

EEPROMへのデータの書き込みは，内部RAM（周辺RAM）と同様にメモリ操作命令[注]で行います。

ただし，EEPROMへのデータの書き込みには，消去＋書き込みのための時間（約10 ms）が必要です。

μPD78244のEEPROMは，メモリ操作命令の実行により内部で自動的に消去，書き込みを行います。書き込み処理には，約10 ms必要ですが，命令の実行サイクルは，内部RAM（周辺RAM）操作時と同じです。したがって，EEPROM書き込み処理中でも，EEPROM書き込み以外の命令を続けて実行できます。

EEPROMへのデータ書き込み命令を連続して行うとオーバライト・エラーが発生します。EEPROMへ連続して書き込む場合，書き込み終了割り込みを使用すると効果的です。また，割り込み以外の方法として，書き込み終了は，EWCレジスタのEEPROM書き込みステータス・フラグ（EWST）で判別できます。

なお，μPD78244のEEPROMは，ライト・プロテクト機能を内蔵しています。ライト・プロテクトが指定されるとEEPROMへの書き込みを指定した領域に対して禁止することができます。ライト・プロテクト機能については**4.7　ライト・プロテクト機能**で説明します。

注　EEPROMへの書き込み操作が可能な命令には制限があります。詳細は**4.5.2　EEPROMを操作可能な命令**を参照してください。

注意　EEPROMへの書き込み処理中に電源が切断されると，EEPROMのデータが破壊される可能性があります。書き込み処理中に電源を切断しないようにしてください。

保守／廃止

4.5.1 初期設定

EEPROMへの書き込みを行う前に，EEPROM書き込み制御レジスタ（EWC）の初期設定を行う必要があります。初期設定には，次の3とおりのものがあります。

（1）μPD78244の動作周波数に依存する書き込み処理時間に関する設定で，一度設定したら変更しないもの
（2）書き込みの許可／禁止およびオーバライトの情報で，書き込みを行う前にそのつど設定するもの
（3）ライト・プロテクト機能に関する制御で，μPD78244のリセット解除後に一度だけ設定可能なもの

ここでは，(1)と(2)について説明します。(3)のライト・プロテクト機能については，**4.7 ライト・プロテクト機能**を参照してください。

(1) 書き込み処理時間の設定

EEPROMへの書き込みは，その特性上，消去を行ってからでしか書き込みができず，また，その消去と書き込みには一定の時間を必要とします。消去および書き込みの動作は，書き込み専用タイマで制御されています。したがって，μPD78244の動作周波数に依存せずに書き込み処理を正常に行うため，書き込み専用タイマのカウント数を調整してください。調整は，EWCレジスタのEEPROM書き込み専用タイマ・クロック選択ビット（EWTC0，EWTC1）を，動作周波数に応じて表4－2のように設定することで行います。この設定は，通常，リセット解除後の初期設定で設定した値を変更することはないので，後述するライト・プロテクト機能の設定と同時に行います。

表4－2 動作周波数とEWTC0，EWTC1ビットの設定値

発振周波数 f_{XX} [MHz]	動作周波数 f_{CLK} [MHz]	EWTC1	EWTC0
12	6	0	0
$8 \leq f_{XX} < 12$	$4 \leq f_{CLK} < 6$	0	1
$6 \leq f_{XX} < 8$	$3 \leq f_{CLK} < 4$	1	0
$4 \leq f_{XX} < 6$	$2 \leq f_{CLK} < 3$	1	1

保守／廃止

(2) 書き込み許可／禁止およびオーバライトの情報

実際に書き込み処理を行う前にEWCレジスタのEEPROM書き込み許可／禁止制御ビット（EWE）をセット(1)する必要があります。EWEビットは，誤書き込みを防ぐために書き込み処理終了後にはリセット(0)することを勧めます。EWEビットがリセット(0)されていると，EEPROMに対する書き込み動作は無視され，書き込み処理などは行われません。

また，EWCレジスタのオーバライト・エラー検出フラグ（EOVW）をあらかじめリセット(0)しておきます。EOVWは，一度セット(1)されると，ソフトウエアでしかリセット(0)できません。したがって，新たな書き込みを始める前にEOVWをリセット(0)しておかないと，次に発生したエラーの原因を正確に判定できません。なお，あらかじめ別なエラー処理プログラム中でエラーが発生したときにリセット(0)しているのであれば，書き込み前に特にリセット(0)する必要はありません。

保守／廃止

4.5.2 EEPROMを操作可能な命令

μPD78244のEEPROMを操作することが可能な命令を次に示します。

(1) オペランドにmemまたは&memを指定できる命令

備考 mem, &mem→インダイレクト・アドレシングによるメモリ・アドレス；

レジスタ間接モード ：[DE], [HL], [DE+], [HL+], [DE−], [HL−]

ベースト・モード ： [DE+byte], [HL+byte], [SP+byte]

インデクスト・モード：word[A], word[B], word[DE], word[HL]

(2) 次に示す8ビット・データ転送命令

- MOV A, !addr16
- MOV A, &!addr16
- MOV !addr16, A
- MOV &!addr16, A

備考 addr16→16ビット・アドレス

0000H-FEFFHイミーディエト・データまたはレーベル

注意1. 次の命令は，EEPROMを操作できません。この命令を実行すると，オーバライト・エラーが発生し，EEPROM書き込みエラー割り込み(INTEER)が発生します。このとき，この命令によって書き込みを行った番地のEEPROMの内容は不定になります。

MOVW [DE], AX MOVW [HL], AX	MOVW &[DE], AX MOVW &[HL], AX
ROR4 [DE] ROR4 [HL]	ROR4 &[DE] ROR4 &[HL]
ROL4 [DE] ROL4 [HL]	ROL4 &[DE] ROL4 &[HL]

2. EEPROMを操作できない命令を使用してプログラムを作成しても，アセンブラではチェックできませんのでご注意ください。

ただし，インサーキット・エミュレータでエミュレーションを実行した場合には，オーバライト・エラーが発生します。

保守／廃止

4.5.3　書き込み時の動作

(1) 基本動作

EEPROMへの書き込み処理は，EWCレジスタのEEPROM書き込み許可／禁止制御ビット(EWE)がセット(1)されているときに**4.5.2**で示される命令でEEPROMへの書き込みを実行することによって行われます。EEPROMへの書き込みは，内部的に消去動作を行い，その後，書き込み動作を行います。この書き込み処理の期間中，μPD78244は他の処理を行うことができます。なお，EEPROMの書き込み処理の期間中は，EWCレジスタのEEPROM書き込みステータス・フラグ(EWST)がセット(1)されています。したがって，EWSTフラグをチェックすることでEEPROMの書き込み処理中か否かを判断することができます。

なお，EWCレジスタのEWEビットがリセット(0)されているときにEEPROMへの書き込み命令を実行しても，その書き込みは無視され，EEPROMの内容は変化しません。また，EWSTフラグも変化せず，書き込み終了の割り込み（INTEPW）も発生しません。

(2) 書き込み中の読み出し

EEPROMへの書き込み中であってもEEPROMの読み出しは可能です。書き込み中のデータについても正しいデータが読み出せます。ただし，書き込み中にEEPROMを読み出すと書き込み処理時間が延長されますので，頻繁な読み出しは行わないようにしてください。

(3) 書き込み中の書き込み

EEPROMへの書き込み中に書き込みを行うと，オーバライト・エラーが発生します。オーバライト・エラーが発生すると，EWCレジスタのEEPROMオーバライト・エラー検出フラグ（EOVW）がセット(1)されます。また，同時に，EEPROMエラー割り込みINTEERが発生します。EOVWフラグは，ソフトウエアでしかリセット(0)できませんので，エラー処理プログラム中でリセット(0)する必要があります。

オーバライト時には，新たに行った書き込みが無視され，書き込み処理中の書き込みを継続して行います。このとき，書き込み処理は一時的に中断されるため，書き込み処理時間は延長されます。

(4) 書き込み中の書き込み禁止

EEPROMの書き込み処理中にEWCレジスタのEWEビットをリセット(0)すると，書き込み処理中のデータは不定になってしまいます。このとき，EEPROMエラー割り込みINTEERが発生します。

保守／廃止

4.5.4　書き込みの終了

EEPROMの書き込み終了は，次の方法で知ることができます。

(1) EEPROM書き込み終了割り込みINTEPWが書き込み処理の終了時に発生します。この割り込みをベクタ割り込みで受け付けるか，割り込み要求フラグ・レジスタ（IF1L）のINTEPWをソフトウエアでポーリングすることにより，終了のタイミングを知ることができます。

なお，この方法では正常に書き込み処理が開始されなかった場合（たとえば，書き込み禁止中の書き込みなど），INTEPWは発生しません。したがって，正常に書き込み処理が開始したことを知る必要がある場合は，EEPROMへの書き込み命令実行直後にEWCレジスタのEEPROM書き込みステータス・フラグ（EWST）がセット(1)されたことで確認してください。

(2) EWCレジスタのEEPROM書き込みステータス・フラグ（EWST）は，EEPROMの書き込み処理中にセット(1)されています。したがって，EEPROMの書き込み処理が終了するとEWSTがリセット(0)されるので，EWSTをソフトウエアでポーリングすることにより，終了のタイミングを知ることができます。なお，この方法では正常に書き込み処理が開始されなかった場合（たとえば，書き込み禁止中の書き込みなど），EWSTフラグは，セット(1)されませんので単純にEWSTフラグがリセット(0)されているだけで判断すると誤判断してしまいます。したがって，EEPROMへの書き込み直後にEWSTフラグがセット(1)されたことを確認してから，EWSTフラグがリセット(0)されたことを確認するとより確実です。

(3) タイマ／カウンタやソフトウエア・タイマで10 msの書き込み処理時間を待ちます。この方法では，割り込み処理などで書き込み処理中に読み出しを行ったりすると書き込み処理が延長されるため，オーバライトを行ってしまうなどの危険がありますので，(1)または(2)の方法を使用することを勧めます。

保守／廃止

4.5.5　書き込みエラー

EEPROMへの書き込みに関するエラーとして，次の2つの原因について，エラーの検出と割り込みの要求の発生を行います。

(1) 書き込み処理中に新たな書き込みを行おうとするオーバライト・エラー
(2) 書き込み処理中にEWCレジスタのEWEビットをリセット(0)する

(1)の場合，新たに行った書き込みが無視され，書き込み処理中のEEPROMへの書き込みが継続して行われます。(2)の場合，書き込み処理を中断し，書き込み処理を行っている番地のEEPROMの内容は不定となります。これらのエラーが発生するとEEPROM書き込みエラーが発生します。(1)と(2)の区別は，EWCレジスタ内のEEPROMオーバライト・エラー検出フラグ（EOVW）によって行えます。(1)の場合はEOVWフラグはセット(1)されます。(2)の場合，EOVWフラグは変化しません。したがって，エラー処理プログラム中でEOVWフラグをチェックすることで，エラーの要因を判別することができます。なお，EOVWフラグはソフトウエアでしかリセット(0)できませんので，EOVWフラグはソフトウエアによるチェック後にソフトウエアでリセット(0)してください。

上記のほかに書き込みのエラーとしては，次のようなものがあります。これらについては，その発生をソフトウエアで知ることができませんので注意してください。

●書き込み中にSTOPモードを設定した場合

書き込み処理中のデータは不定になります。

●書き込み中に電源が切断された場合

書き込み処理中のデータは不定になります。

●ライト・プロテクト機能によってプロテクトが指定された領域に対する書き込みを行った場合

書き込み動作は無視され，EEPROMの内容は書き込み前の状態を保持します。

●書き込み禁止（EWE＝0）の状態で書き込みを行った場合

書き込み動作は無視され，EEPROMの内容は書き込み前の状態を保持します。

保守／廃止

4.5.6 スタンバイ・モード時のEEPROMの動作

μPD78244では，EEPROM書き込み処理中にスタンバイ・モードに入った場合，次のようになります。

(1) HALTモード時

EEPROM書き込み処理中にHALTモードに入った場合，書き込み処理は継続されます。これは，HALTモード時でも，高電圧発生回路は動作可能なためです（高電圧発生回路の動作の分だけ電力も消費します）。

したがって，HALTモード時に消費電流を低減したい場合には，EEPROM書き込み許可／禁止制御ビット（EWE）をリセット(0)して，EEPROMへの書き込みを禁止し，高電圧発生回路を停止してからHALTモードに設定してください。

(2) STOPモード時

EEPROM書き込み処理中にSTOPモードに入った場合には，書き込み処理を停止し，書き込んでいるアドレスのデータ値は不定となります。これは，STOPモード時には，高電圧発生回路が停止するためです。

また，STOPモードに入っても，EEPROMの書き込み専用タイマはクリアされません(一時停止するだけです)ので，NMI入力でSTOPモードを解除したとき，EEPROMに不定のデータが書き込まれて，書き込み終了割り込み（INTEPW）が発生します。したがって，STOPモードに入るときは，必ずEEPROM書き込み許可／禁止制御ビット（EWE）をリセット(0)して，EEPROMへの書き込みを禁止状態に設定してください。

注意 EEPROMの書き込み処理中にSTOPモードを設定すると，書き込み処理中のデータは不定となります。このSTOPモードをノンマスカブル割り込み（NMI）で解除すると，STOPモード解除後に書き込み終了割り込み（INTEPW）が発生してしまいます（STOPモード解除からINTEPW発生までの期間，EWSTもセット(1)されています)。書き込み処理を正常に終了させてからSTOPモードを設定したい場合は，何らかの方法で（4.5.4 書き込みの終了参照)書き込み処理の終了を確認してからSTOPモードを設定してください。なお，消費電流を少しでも減らしたい場合は，HALTモードに一度設定して，INTEPWによりHALTモードが解除されてからSTOPモードを設定してください。

また，EEPROM中のデータよりSTOPモードを設定することが優先される場合は，STOPモード解除後のINTEPWを無視するようにしてください。

なお，正常に書けたかどうかの確認は，INTEPW発生後にEEPROMの内容と書き込みデータをベリファイすることで可能です。しかし，インサーキット・エミュレータでは必ず正しく書けていますので，その点に留意のうえ使用してください。

保守／廃止

4.5.7 使 用 例

EEPROMへの書き込みの手順を次に示します。なお，この例ではライト・プロテクト機能を使用していません。

① 書き込み処理時間の選択を行ってください。

書き込み処理時間の選択は，μPD78244に使用する発振子の周波数（動作周波数）に応じて，EEPROM書き込みクロック選択ビット（EWTC0，EWTC1）の設定で行います。

書き込み処理時間は約10 ms必要です。

② EWCレジスタの書き込み許可／禁止制御ビット（EWE）を“1”にセットして，EEPROMへのデータの書き込みを許可します。

EWEビットがリセット(0)されているときは，書き込み命令を実行しても命令は無視され，データの書き込みはできません。必ずEWEビットを“1”にセットしてから書き込みを行ってください。

③ 書き込み命令を実行してください。

内部RAM（周辺RAM）と同様に，メモリ操作命令[注]でEEPROMにデータを書き込みます。

なお，書き込み処理中の書き込み（オーバライト）を未然に防ぐために，書き込み命令実行前にEEPROM書き込みステータス・フラグ（EWST）が“0”になっていることを確認することは効果的です。

注 EEPROMへのデータ書き込み操作が可能な命令には制限があります。

詳しくは，**4.5.2 EEPROMを操作可能な命令**を参照してください。

④ 連続してEEPROMへデータを書き込む場合は，現在の書き込みが終了してから行います。

書き込み終了前に書き込み命令を実行しますと，オーバライト・エラーが発生し，あとのEEPROMへの書き込み命令は無視されます。

複数のデータを連続して書き込む場合は，次のいずれかの方法で行ってください。

●書き込み終了割り込み（INTEPW）を使用する。

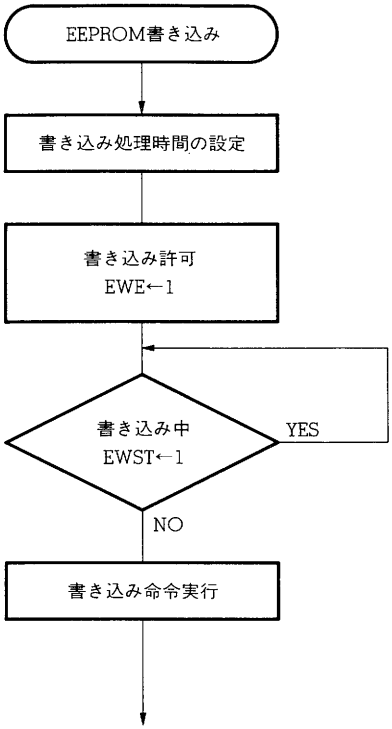
1つのデータを書き込んだあと，ほかの処理を行いながら，書き込み終了割り込み(INTEPW)を待ちます。割り込みが発生した時点で，次のデータを書き込みます（**図4－9参照**）。

●EEPROM書き込みステータス・フラグ（EWST）を使用する。

常にEEPROM書き込みステータス・フラグ（EWST）を監視して，EWSTビットがリセット（書き込み中でない）されるのを待ちます。

保守／廃止

図４－８　EEPROM書き込み設定手順



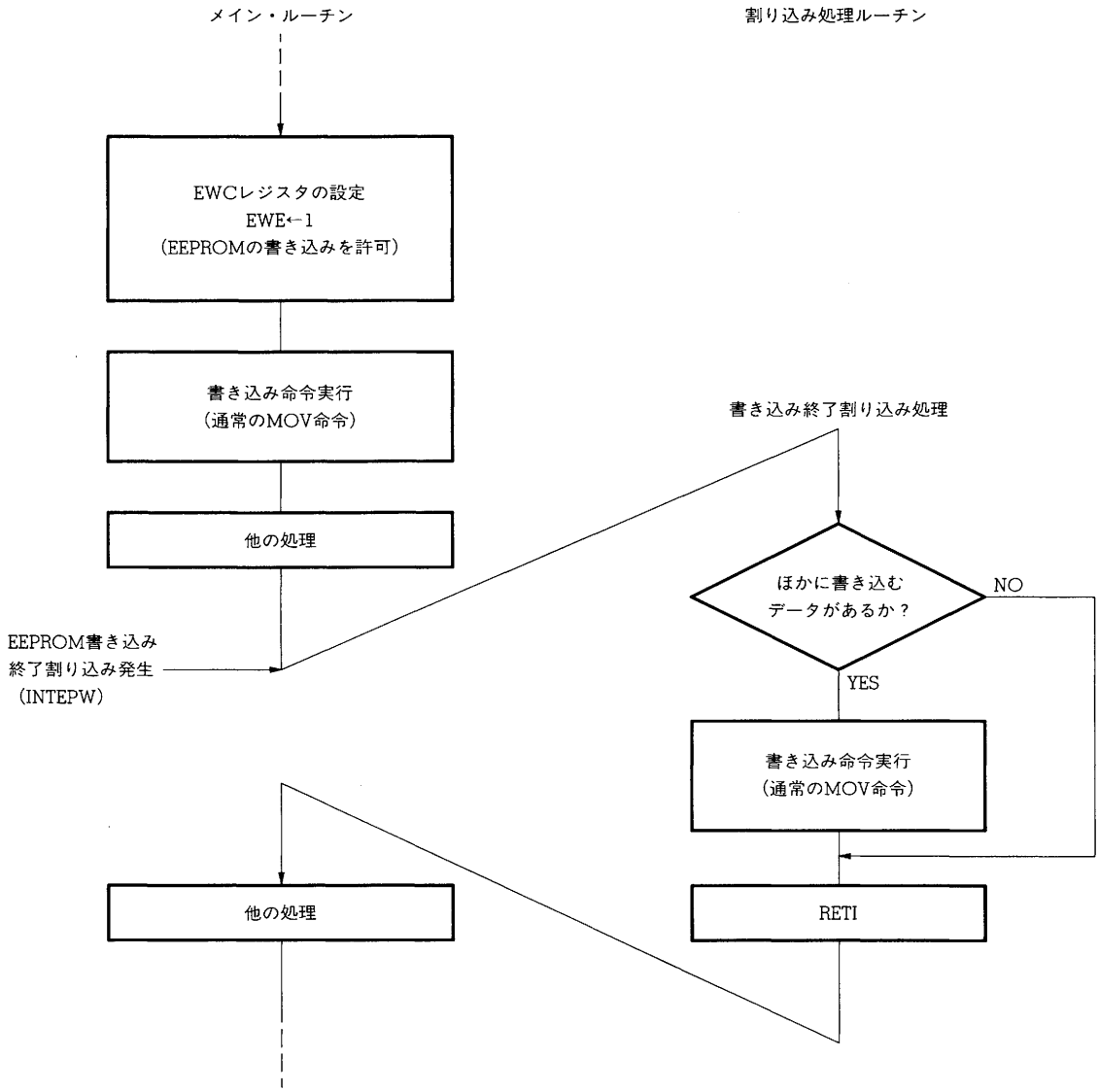
EEPROMへ連続して書き込む場合に書き込み終了割り込み（INTEPW）を使用する例を，図４－９に示します。

複数バイトのデータを連続して書き込む場合には，INTEPWを使用するのが効果的です。最初のデータの書き込みをメイン・ルーチンで実行し，INTEPW内で，次のデータの書き込みを実行します。

もし，書き込み時に書き込みエラーが発生した場合には，書き込みエラー割り込み（INTEER）が発生しますので，誤書き込みを未然に防ぐことができます。

保守／廃止

図４－９　EEPROM書き込み動作のシーケンス（INTEPWを使用した例）



保守／廃止

4.6 EEPROMの制御に関する割り込み

EEPROMからは次の２つの割り込みが発生します。

(1) EEPROM書き込み終了割り込み (INTEPW)

EEPROMへの書き込みが終了したときに発生する割り込みです。

この割り込みは，EWCレジスタが書き込み許可状態（EWE＝1）のときに書き込み命令を実行し，書き込み専用タイマが２回オーバフロー（消去＋書き込み）すると，EEPROM書き込み制御信号発生回路から発生します。

この割り込み発生で，EEPROMへのデータ書き込みが終了し，次のデータの書き込みが可能であることがわかります。

(2) EEPROM書き込みエラー割り込み (INTEER)

EEPROMへのデータ書き込みが正しく行われなかった場合に発生する割り込みです。

EEPROMへのデータ書き込みエラーは，次の場合に起こります。

① EEPROM書き込み処理中に，EEPROM書き込み命令を実行（オーバライト）した場合

→あとに行った書き込み命令は無視され，現在実行中の書き込み命令が継続されます。

したがって，あとに行った書き込み命令では，データは書き込めません。

オーバライト・エラー検出フラグがセットされます（EOVW＝1）。

② EEPROM書き込み処理中に，書き込み禁止状態（EWE＝0）に設定した場合

→書き込みを行ったアドレスのデータは不定となります。

注意1. EEPROMへデータを書き込んで，EEPROM書き込み終了割り込み(INTEPW)が発生したら,EEPROMにデータが正しく書き込まれているかどうかをベリファイしてください。

2. インサーキット・エミュレータで応用プログラムの開発を行う場合には，EEPROM書き込みエラー割り込み (INTEER) のマスクを解除 (EERMK＝0：INTEER許可) してください。

マスクを解除しないと，エラーが起こっても割り込みが発生せず，プログラムが正常かどうか確認することができません。

保守／廃止

4.7 ライト・プロテクト機能

μPD78244のEEPROMは，ライト・プロテクト機能を内蔵しています。これは，電源電圧の低下や，外部からのノイズによってプログラムが暴走し，EEPROMに格納されているデータが誤って書き換わってしまうのを防ぐための機能です。

注意 ライト・プロテクト機能についてはインサーキット・エミュレータではエミュレーションできませんので，その点について留意のうえ，使用してください。

4.7.1 ライト・プロテクト機能の動作

ライト・プロテクト機能はμPD78244のリセット解除後に1回だけ，その動作についての設定ができます。ライト・プロテクト機能を使用する場合は，EEPROM書き込み制御レジスタ（EWC）への最初の書き込み時に，EEPROMライト・プロテクト指定許可／禁止ビット（EWP）をセット(1)するとともに，ライト・プロテクト領域指定ビット（WPA0，WPA1）でライト・プロテクトする領域を指定します。ライト・プロテクト領域は128バイト単位で4とおりに指定できます。ライト・プロテクトする領域の指定方法の詳細については，**4.7.2 ライト・プロテクト領域の設定**を参照してください。また，EWCレジスタへの最初の書き込み時に，EWPをリセット(0)していると，EEPROMの全領域に対して，ライト・プロテクト機能が働かなくなります。

ライト・プロテクト機能の動作は，μPD78244のリセット解除後に行うEWCレジスタへの最初の書き込みで決定され，2回目以降の書き込みで動作を変更することはできません。ライト・プロテクト機能の動作を変更する場合には，μPD78244をリセットして，新たな動作状態に応じたデータをEWCレジスタへの最初の書き込みで行う必要があります。

また，EWP，WPA0，WPA1の各ビットの読み出し値は，常に“0”に固定されています。

ライト・プロテクトが設定された領域に対しての書き込み命令は，EWCレジスタのEEPROM書き込み許可／禁止ビット（EWE）の値によらず無視されます。したがって，書き込み処理は行われず，EWCレジスタの書き込みステータス・フラグ（EWST）も変化しません。また，ライト・プロテクトが指定された領域に対する書き込み命令を実行してもエラーとしての割り込みなどは発生しません。ただし，ライト・プロテクトの指定がされていない領域に対する書き込み処理中に，ライト・プロテクトが指定された領域に対する書き込み命令を実行すると，オーバライト・エラーが発生し，EWCレジスタのオーバライト・エラー検出フラグ（EOVW）がセット(1)され，EEPROMエラー割り込み（INTEER）の要求が発生します。

保守／廃止

4.7.2 ライト・プロテクト領域の設定

μPD78244では，EEPROMの4つの領域を次のアドレスに設定しています。

エリア3	FC80H－FCFFH
エリア2	FC00H－FC7FH
エリア1	FB80H－FBFFH
エリア0	FB00H－FB7FH

ライト・プロテクト領域を設定するビットとライト・プロテクトされる領域との対応を，表4－3に示します。

表4－3 ライト・プロテクト領域の設定

EWP	WPA1	WPA0	ライト・プロテクトされる領域
0	×	×	全EEPROM領域のライト・プロテクト機能を解除
1	0	0	エリア3 (FC80H－FCFFH)
	0	1	エリア3－2 (FC00H－FCFFH)
	1	0	エリア3－1 (FB80H－FCFFH)
	1	1	エリア3－0 (FB00H－FCFFH)：全EEPROM領域

備考 ×：don't care

ライト・プロテクト指定許可／禁止ビット (EWP) をリセット(0)し，全EEPROM領域のライト・プロテクトを解除した場合には，WPA0，WPA1ビットの設定に関係なく全EEPROMのライト・プロテクト機能が解除されます。

図4－10にライト・プロテクト領域の設定状態を示します。

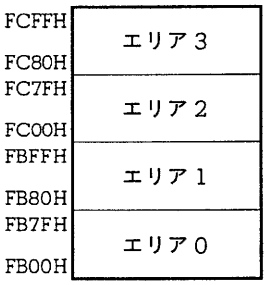
保守／廃止

図4－10　ライト・プロテクト領域の設定状態

(1) ライト・プロテクト指定禁止

EWP＝0

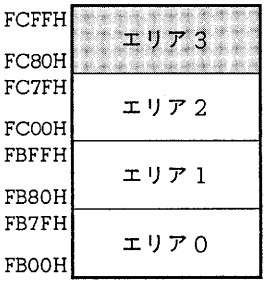
WPA1，WPA0＝××



(2) エリア3をライト・プロテクト

EWP＝1

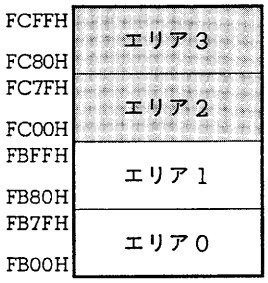
WPA1，WPA0＝00



(3) エリア3－2をライト・プロテクト

EWP＝1

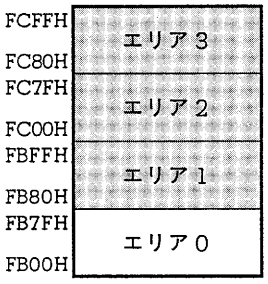
WPA1，WPA0＝01



(4) エリア3－1をライト・プロテクト

EWP＝1

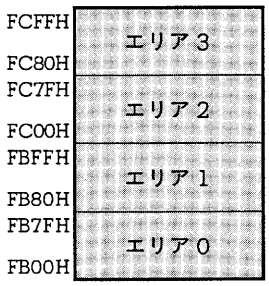
WPA1，WPA0＝10



(5) エリア3－0（全EEPROM領域）をライト・プロテクト

EWP＝1

WPA1，WPA0＝11



備考1.　××：don't care

2.　▨ はライト・プロテクトされた領域

保守／廃止

EWCレジスタのライト・プロテクト領域を設定するビットは，リセット入力後のEWCレジスタへの最初の書き込みでのみ設定が可能です。リセット入力後２回以上書き換えることはできませんのでご注意ください。

以下にリセット入力後１回のみ書き換え可能なビットを示します。

なお，このビットを命令により読み出すと“０”が読み出せます。

EWP	EEPROMライト・プロテクト指定許可／禁止ビット（EWCのビット２）
WPA0	EEPROMライト・プロテクト領域指定ビット０（EWCのビット４）
WPA1	EEPROMライト・プロテクト領域指定ビット１（EWCのビット５）

4.7.3　ライト・プロテクト機能の使用例

EWCレジスタのEEPROMライト・プロテクト指定許可／禁止ビット（EWP）および，EEPROMライト・プロテクト領域指定ビット（WPA0，WPA1）は，リセット入力後１回しか書き込みができません。

したがって，EEPROMにデータを設定するときには，設定順序を考慮する必要があります。

EEPROMに設定するデータには，プログラムによって随時書き換えるものと，１回設定したら書き換えないものがあります。

１回設定したあと書き換えないデータは，プログラムが暴走した場合にも保護しておく必要があります。そこで，このようなデータは，EEPROMのライト・プロテクトされた領域に格納します。

また，プログラムによって随時書き換えるデータは，ライト・プロテクトをかけない領域に格納します。

EEPROMの使用方法の一例としては，プログラムで使用する各種パラメータをEEPROM内に格納して使用する方法があります。

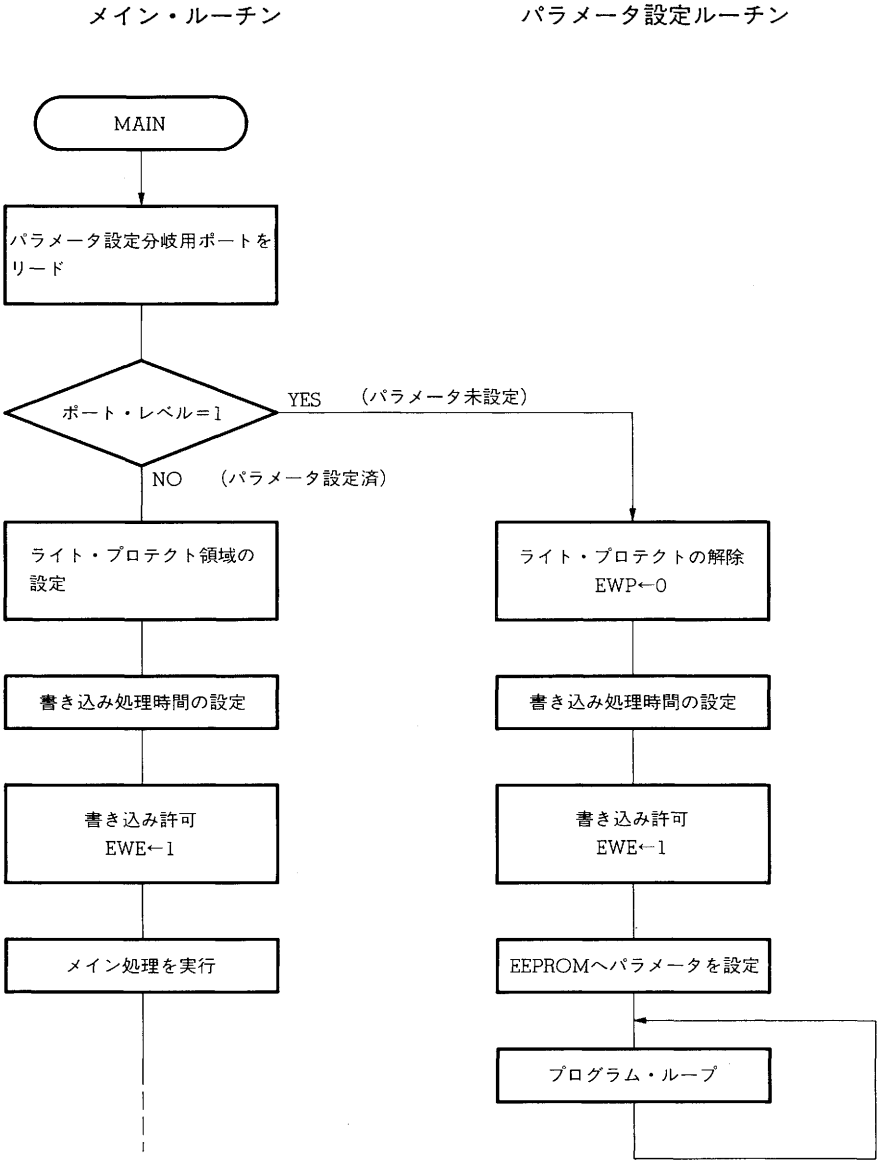
ここでは，工場出荷時にセット固有のパラメータをEEPROM内に書き込んで，以後はそのパラメータを固定してプログラムを実行させる応用例を示します。

ここで設定するパラメータは，１回書き込んだらあとは変更しません。したがって，パラメータ・データは，EEPROMのライト・プロテクト領域に設定します。

図４－11にパラメータ設定用プログラムのフロー・チャートを示します。

保守／廃止

図4－11　ライト・プロテクト機能の使用例



保守／廃止

プログラムをリセット・スタートさせると，パラメータ設定ルーチンに入ります。

ここでは，パラメータの設定を行うか否かを，特定のポートのレベルを読み込むことで行います。もし，ポート・レベルがハイ・レベルの場合には，パラメータ設定処理を行うと判断し，パラメータ設定ルーチンへ分岐します。また，ポート・レベルがロウ・レベルの場合には，パラメータの設定はすでに終了しているものと判断し，メイン・プログラムを実行します。

(1) パラメータ設定ルーチン

パラメータ設定ルーチンでは，次の処理を行います。

① EEPROMライト・プロテクト指定許可／禁止ビット（EWP）をリセット(0)して，全EEPROM領域のライト・プロテクトを解除します。このビットは，リセット入力後1回のみ書き換え可能なビットなので，再びリセット入力を入れないとライト・プロテクトを許可できません。

② EEPROM書き込みクロック選択ビット（EWTC0，EWTC1）で書き込み処理時間の選択を行います。

③ EEPROM書き込み許可／禁止制御ビット（EWE）に“1”をセットして，EEPROMへの書き込みを許可します。

④ EEPROMへ必要なパラメータを書き込みます。

⑤ 書き込みが終了したらプログラムをループさせます。

以上の処理で，EEPROMへのパラメータの設定が完了します。このあと，パラメータ設定分岐用ポートをロウ・レベルに設定してから，リセット入力を入れ，プログラムをリセット・スタートさせます。

以後はポート・レベルがロウ・レベルとなっているため，パラメータ設定用ルーチンへは分岐せずメイン・ルーチンを実行します。

保守／廃止

(2) メイン・ルーチン

メイン・ルーチンでは，次の処理を行います。

① EEPROMライト・プロテクト領域指定ビット（WPA0，WPA1）を操作して，EEPROMのライト・プロテクトする領域を設定します。

ここでパラメータを設定した領域をライト・プロテクトすることにより，プログラムの暴走などで誤ってパラメータ・データが書き換わることを防止します。

なお，このビットは，リセット入力後1回のみ書き換え可能であるため，再びリセット入力を入れないとライト・プロテクト領域を変更することはできません。

注意　上記の例でパラメータ設定ルーチンへ分岐しない場合，EWCレジスタの設定は，リセット入力後なるべく早く行うようにプログラムを作成してください。
これは，リセット・スタートからライト・プロテクトするまでの間にプログラムが暴走した場合，設定したパラメータ・データが誤って書き換わることを防止することができないからです。

② EEPROM書き込みクロック選択ビット（EWTC0，EWTC1）で書き込み処理時間の選択を行います。

③ EEPROM書き込み許可／禁止制御ビット（EWE）を“1”にセットして，ライト・プロテクトされていないEEPROM領域に対する書き込みを許可します。

④ メイン・ルーチンの処理を続行します。

以上の処理によって，パラメータのある領域をライト・プロテクトすることができます。この領域のライト・プロテクト設定は，再びリセットを入力しない限り，変更することはできませんので，プログラムの暴走によって書き換えられることはありません。

保守／廃止

4.8 注意事項

4.8.1 EEPROM書き込み上の注意

(1) EEPROMへの書き込み処理中に電源が切断されると，EEPROMのデータが破壊される可能性があります。書き込み処理中に電源を切断しないようにしてください。

(2) 書き込み処理中にEEPROMをアクセス（書き込みまたは，読み出し）すると，書き込み専用タイマがそのたびにクリアされます。そのため，何度もアクセスすると，いつまでも書き込みが終了しませんのでご注意ください。

たとえば，EEPROM書き込み処理中でもEEPROM読み出し操作は可能です。

しかし，EEPROM書き込み処理中にEEPROMの読み出し命令を行うと，書き込み処理を一時中断し，読み出しを行います。読み出しが終了すると，書き込み専用タイマがクリアされ，再び書き込み処理を行います。

このとき，読み出しが消去中であれば，消去のスタートから始まり，書き込み動作中であれば，書き込み動作のスタートから始まります。

このため，書き込みを開始してからEEPROM書き込み終了割り込み（INTEPW）が発生するまでの時間が延びますのでご注意ください。

書き込み処理中に書き込み操作を行った場合も同様にINTEPW発生までの時間が延びますのでご注意ください。ただし，あとの書き込み命令は無視されて，現在実行中の書き込み動作を継続して行います。

(3) 書き込み動作が無効となるのは，次の場合です。

① EEPROM書き込み禁止状態（EWE=0）で，書き込み命令を実行した場合

→書き込み命令は無視されます。EEPROM書き込みエラー割り込み(INTEER)および，EEPROM書き込み終了割り込み（INTEPW）は発生しません。

② 書き込み処理中に，書き込み命令を実行した場合

→あとの書き込み命令は無視されて，現在実行中の書き込み動作を継続して行います。ただし，書き込み専用タイマはクリアされてしまいますので，書き込み処理時間は延長されます。あとの書き込み命令実行後，書き込みエラー割り込み(INTEER)が発生し，EEPROMオーバライト・エラー検出フラグ（EOVW）がセット(1)されます。

③ 書き込み処理中に，書き込み禁止状態（EWE=0）にした場合

→禁止する直前で実行していた書き込み動作を途中で停止し，書き込みエラー割り込み（INTEER）が発生します。また，書き込みデータは不定となります。

保守／廃止

④ 書き込み処理中に，STOPモードにした場合

→STOPモードにする直前に実行していた書き込み動作を停止します。書き込みデータは不定となります。また，書き込みエラー割り込みなどは発生しません。

⑤ 書き込み処理中に，電源を切断した場合

→電源切断の直前に実行していた書き込み動作を途中で停止します。書き込みデータは不定となります。

(4) EWP，WPA0，1のビットは，リセット入力後1回のみデータの書き込みが可能です。リセット入力後2回以上書き込み操作を行っても，このビットにはデータを書き込めませんので注意してください。

(5) 次の命令は，EEPROMを操作できません。この命令を実行すると，オーバライト・エラーが発生し，EEPROM書き込みエラー割り込み (INTEER) が発生します。このとき，この命令によって書き込みを行った番地のEEPROMの内容は不定になります。

MOVW [DE], AX MOVW [HL], AX	MOVW &[DE], AX MOVW &[HL], AX
ROR4 [DE] ROR4 [HL]	ROR4 &[DE] ROR4 &[HL]
ROL4 [DE] ROL4 [HL]	ROL4 &[DE] ROL4 &[HL]

また，EEPROMを操作できない命令を使用してプログラムを作成しても，アセンブラではチェックできませんので注意してください。ただし，インサーキット・エミュレータでエミュレーションを実行した場合には，オーバライト・エラーが発生します。

(6) EEPROMの書き込み処理中にSTOPモードを設定すると，書き込み処理中のデータは不定となります。このSTOPモードをノンマスカブル割り込み (NMI) で解除すると，STOPモード解除後に書き込み終了割り込み (INTEPW) が発生してしまいます (STOPモード解除からINTEPW発生までの期間，EWSTもセット(1)されています)。書き込み処理を正常に終了させてからSTOPモードを設定したい場合は，何らかの方法で (**4.5.4 書き込みの終了**参照) 書き込み処理の終了を確認してからSTOPモードを設定してください。なお，消費電流を少しでも減らしたい場合は，HALTモードに一度設定して，INTEPWによりHALTモードが解除されてからSTOPモードを設定してください。

また，EEPROM中のデータよりSTOPモードを設定することが優先される場合は，STOPモード解除後のINTEPWを無視するようにしてください。

保守／廃止

なお，正常に書けたかどうかの確認は，INTEPW発生後にEEPROMの内容と書き込みデータをベリファイすることで可能です。しかし，インサーキット・エミューレータでは必ず正しく書けていますので，その点に留意のうえ使用してください。

(7) データの転送先をEEPROM領域（0FB00H-0FCFFH）にした場合，EEPROMの書き込み処理が終了するまで次のデータ転送はしないでください。これは，EEPROMの書き込み処理終了前に次のデータを転送すると，EEPROM書き込みエラー割り込み（INTEER）が発生し，あとから転送したデータの正常書き込みができないためです。

保守／廃止

4.8.2　インサーキット・エミュレータとの動作の違いについて

μPD78244とインサーキット・エミュレータでは，EEPROMに関する動作について，一部違いがあります。インサーキット・エミュレータを使用してディバグを行う際には，十分留意のうえ使用してください。

(1) インサーキット・エミュレータでは，電源切断時の動作をエミュレーションすることはできません。また，インサーキット・エミュレータの電源を切断するとEEPROM部のデータは失われてしまいます。インサーキット・エミュレータでのエミュレーション時にEEPROMへ書き込んだデータを電源の再投入後に使用したい場合は，インサーキット・エミュレータの電源切断前に，インサーキット・エミュレータのコマンドなどでEEPROM部のデータをホスト・マシンなどの記憶装置に退避しておき，電源の再投入時にホスト・マシンなどへ退避したデータをロードしてから使用してください。

(2) ライト・プロテクト機能は，インサーキット・エミュレータでは正確にエミュレーションできません。μPD78244ではプロテクトを指定した領域に対しては書き込みを行いませんが，インサーキット・エミュレータでは書き込み処理を行ってしまいます。また，EWCレジスタの書き込みステータス・フラグ（EWST）も変化し，書き込み終了割り込み（INTEPW）も書き込み処理時間後に発生します。

なお，ライト・プロテクトが指定されていない領域に対する書き込み処理中に，ライト・プロテクトが指定されている領域に対する書き込みを行った場合は，インサーキット・エミュレータはμPD78244と同じ動作をします。したがって，インサーキット・エミュレータの機能を使用して，ライト・プロテクトが指定された領域に対する書き込みが行われたことを検出するようにしてください。

(3) 書き込み処理中にEWCレジスタのEWEビットをリセット(0)すると，μPD78244では書き込み処理中のデータは不定となります。しかし，インサーキット・エミュレータでは必ず正しいデータが書き込まれています。したがって，インサーキット・エミュレータで書き込みエラー割り込みが発生したときに，正しくデータが書き込まれていたとしても，μPD78244では正しく書き込まれているとは限りませんのでご注意ください(書き込み処理中にEWEビットをリセット(0)しないようにプログラムを修正してください)。

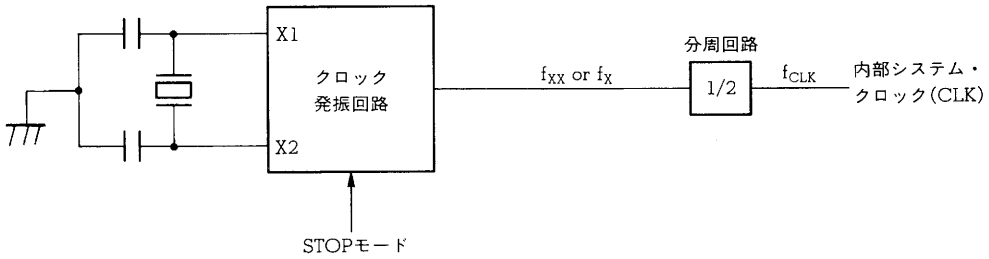
保守／廃止

第５章　クロック発生回路

５.１　構成と機能

クロック発生回路は，CPUに供給される内部システム・クロック（CLK）を発生，制御する回路です。図５－１のように構成されます。

図５－１　クロック発生回路のブロック図



備考　f_{XX}　：クリスタル／セラミック発振周波数

f_X　：外部クロック周波数

f_{CLK}　：内部システム・クロック周波数（$=\frac{1}{2}f_{XX}$ or $\frac{1}{2}f_X$）

クロック発振回路は，X1，X2端子に接続されたクリスタル振動子／セラミック発振子によって発振します。スタンバイ・モード（STOP）に設定されると，発振を停止します（**第15章　スタンバイ機能**参照）。

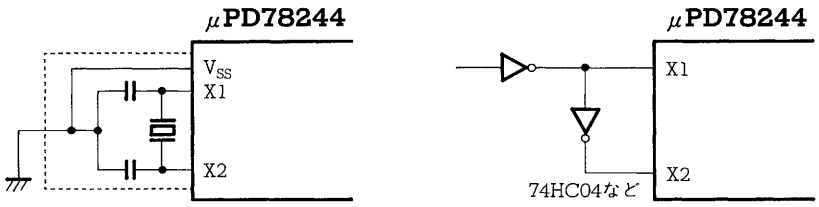
また，外部クロックを入力することもできます。その場合，X1端子にクロック信号を入力し，X2端子にはその逆相を入力してください。なお，外部クロックを入力する場合は，STOPモードを使用することはできません。

分周回路は，クロック発振回路出力（クリスタル／セラミック発振の場合f_{XX}，外部クロックの場合f_X）を２分周して，内部システム・クロック（CLK）を生成します。

保守／廃止

図５－２　クロック発振回路の外付け回路

★　(a) クリスタル／セラミック発振　　(b) 外部クロック



★　注意　クロック発振回路を使用する場合は，配線容量などの影響を避けるために，
[----------]の部分を次のように配線してください。

- 配線を極力短くする。
- ほかの信号線と交差させない。
- 変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は，常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- 発振回路から信号を取り出さない。

備考　水晶振動子とセラミック発振子の使い分け

一般に水晶振動子の発振周波数はきわめて安定しています。したがって，高精度の時間の管理を行う場合（たとえば，時計，周波数測定など）に最適です。

また，セラミック発振子は，水晶振動子と比較すると発振周波数の安定性では劣りますが，発振開始時間が速く，小型で安価であるという３つの特徴を持っています。したがって通常の用途（高い精度の時間管理を必要としない場合）には有効です。さらに，コンデンサ内蔵品などもあり，部品点数，実装面積の削減に効果があります。

保守／廃止

5.2　注意事項

クロック発生回路には，次のような注意事項があります。

5.2.1　外部クロックを入力する場合

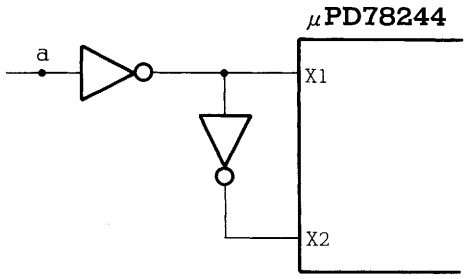
(1) 外部クロックを入力する場合には，STOPモードを使用しないでください。破壊を起こす可能性があります。また，破壊しなくとも信頼性に影響を与えます。

(2) 外部クロックを入力する場合は，X1端子へ入力した信号の逆相の信号をX2端子へ入力してください。逆相の信号をX2端子へ入力しない場合，ノイズなどによる誤動作がより発生しやすくなります。

(3) 外部クロックを入力する場合は，HCMOSまたはそれと同等のドライブ能力を持ったデバイスで行ってください。

(4) X1，X2端子からは信号を取り出さないようにしてくだい。取り出す場合は，図５－３のａ点から取り出してください。

図５－３　外部クロック入力時の信号取り出し点



(5) X1端子からインバータを通してX2端子へと接続する部分の配線は，特に極力短くなるようにしてください。

保守／廃止

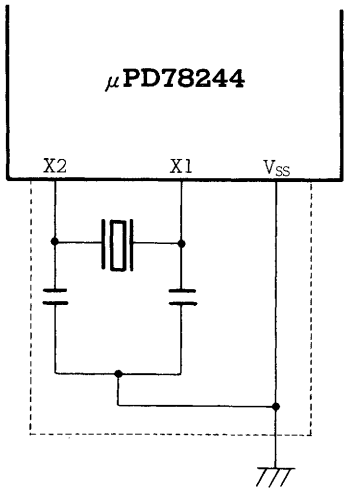
5.2.2　クリスタル／セラミック発振の場合

（1）発振回路は高周波のアナログ回路となりますので，十分に注意を払ってください。特に注意しなければならない点について以下に例をあげます。

・配線は極力短くする。
・他の信号線と交差させない。
・変化する大電流が流れる線と接近させない。
・発振回路のコンデンサの接地点は，常にV_{SS}端子と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
・発振回路から信号を取り出さない。

発振が正常に安定して行われないと，マイコンも正常に安定した動作を行うことができません。また，高精度な発振周波数を得たい場合などは，発振器メーカとご相談することを推奨いたします。

図５－４　発振子の接続の注意点



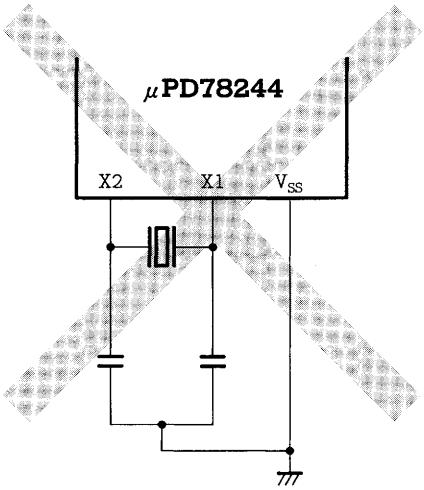
注意1．クリスタル振動子またはセラミック発振子とコンデンサは，X1，X2端子にできるだけ近づけてください。

2．[- - - -]の範囲に他の信号線を通さないでください。

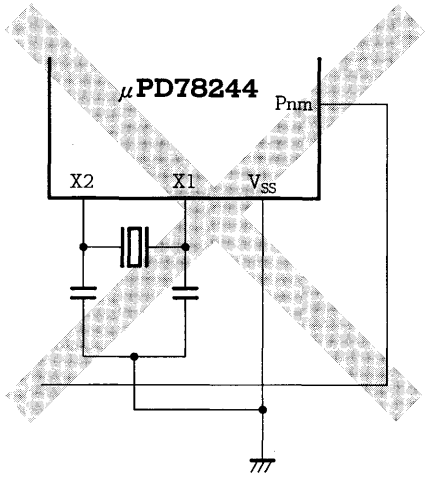
保守／廃止

図5－5　発振子の接続の悪い例

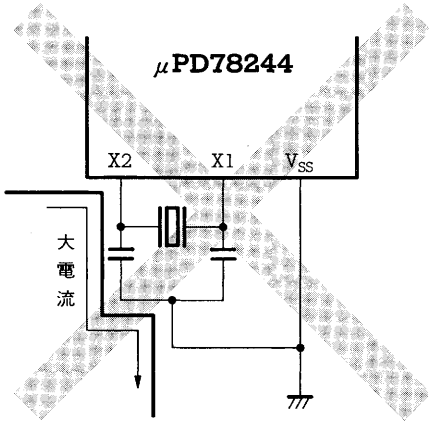
(a) 外付け回路の配線が長い



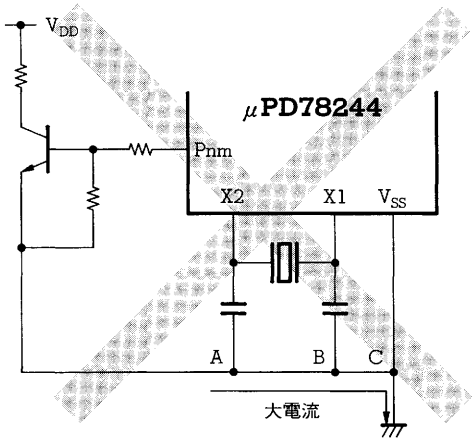
(b) 信号線が交差している



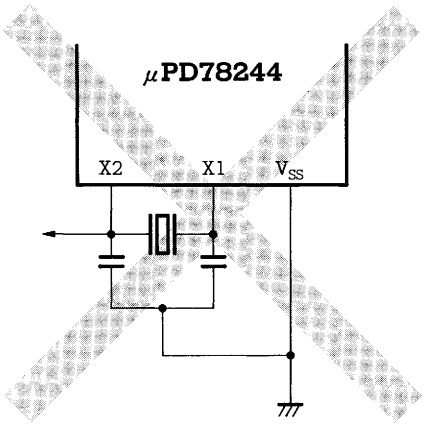
(c) 変化する大電流が信号線に近接している



(d) 発振回路のグランド・ライン上に電流が流れる
(A点，B点，C点の電位が変動する)



(e) 信号を取り出している



保守／廃止

(2) パワーオン時およびSTOPモードからの復帰時には発振が安定になるまでの時間を確保する必要があります。一般に水晶振動子を使用した場合，数msec，セラミック発振子を使用した場合，数百μsecの時間が発振を安定させるために必要です。

発振の安定時間は，下記のように決定されますので，これらによって十分な時間を確保してください。

① パワーオン時　　：$\overline{\text{RESET}}$入力（リセット期間）

② STOPモードからの復帰時：(i) $\overline{\text{RESET}}$入力（リセット期間）

(ii) NMI信号がアクティブ時間＋自動的にスタートするタイマの時間

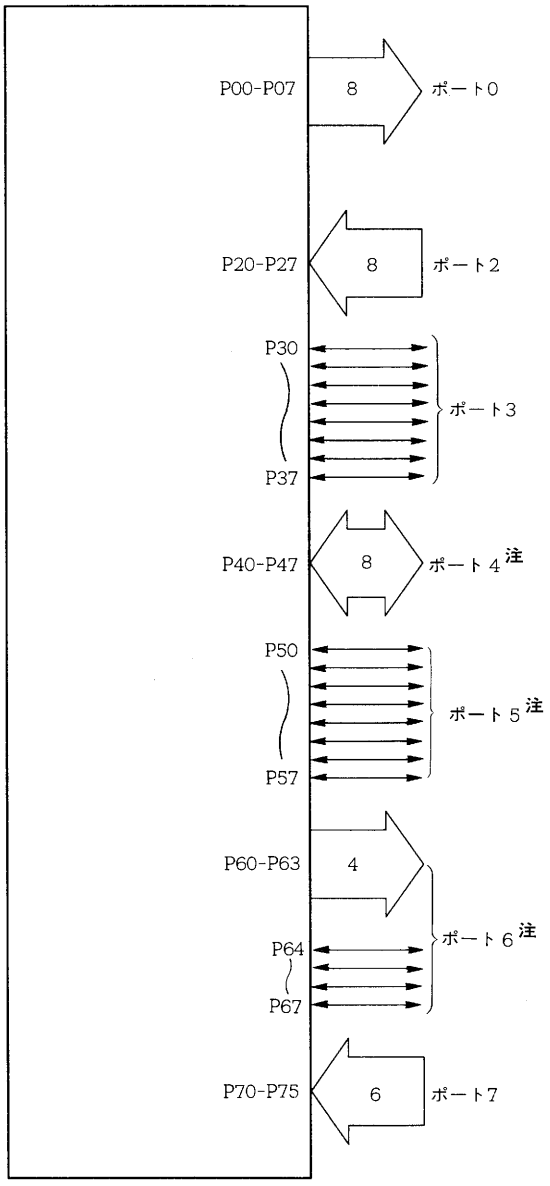
保守／廃止

第６章　ポート機能

6.1　ディジタル入出力ポート

μPD78244は図６－１のようなポートを備えており，多様な制御ができます。各ポートの機能は表６－１のとおりです。ポート２－ポート６は，入力時に，内蔵プルアップ抵抗の使用をソフトウエアで指定できます。

図６－１　ポートの構成



注　μPD78243の場合，P40-P47，P50-P57，P64，P65は，ポートとしては動作しません。

保守／廃止

表6－1　ポートの機能

名　称	端子名	機　　能	ソフトウエア・プルアップの指定
ポート0	P00–P07	8ビット単位で出力かハイ・インピーダンスに指定可能。 4ビット・リアルタイム出力ポートとしても動作可能（P00–P03，P04–P07）。 トランジスタ・ダイレクト・ドライブ可能	————
ポート2	P20–P27	入力ポート。	6ビット単位（P22–P27）
ポート3	P30–P37	ビット単位に入力か出力に指定可能。	入力モードの端子について一括して指定
ポート4注	P40–P47	8ビット単位で入力か出力に指定可能。 LEDダイレクト・ドライブ可能	8ビット単位
ポート5注	P50–P57	ビット単位に入力か出力に指定可能。 LEDダイレクト・ドライブ可能	入力モードの端子について一括して指定
ポート6注	P60–P63	出力ポート。	————
	P64–P67	ビット単位に入力か出力に指定可能。	入力モードの端子について一括して指定
ポート7	P70–P75	入力ポート。	————

注　μPD78243の場合，P40-P47，P50-P57，P64，P65はポートとしては動作しません。

表6－2　入出力ポート数

入出力／ポート	合　計	入　力　時	出　力　時	
		ソフトウエア・プルアップ抵抗	LEDダイレクト・ドライブ	トランジスタ・ダイレクト・ドライブ
入　力ポート	14(14)	6(6)	—	—
入出力ポート	28(10)	28(10)	16(0)	0(0)
出　力ポート	12(12)	—	0(0)	8(8)
合　計	54(36)	34(16)	16(0)	8(8)

備考　（　）内はμPD78243の場合です。

保守／廃止

6.2　ポート０

ポート０は，出力ラッチ付き８ビット出力専用ポートで，トランジスタのダイレクト・ドライブが可能です。ポート０モード・レジスタ（PM0）により，８ビット単位で出力モード／ハイ・インピーダンス状態の指定ができます。

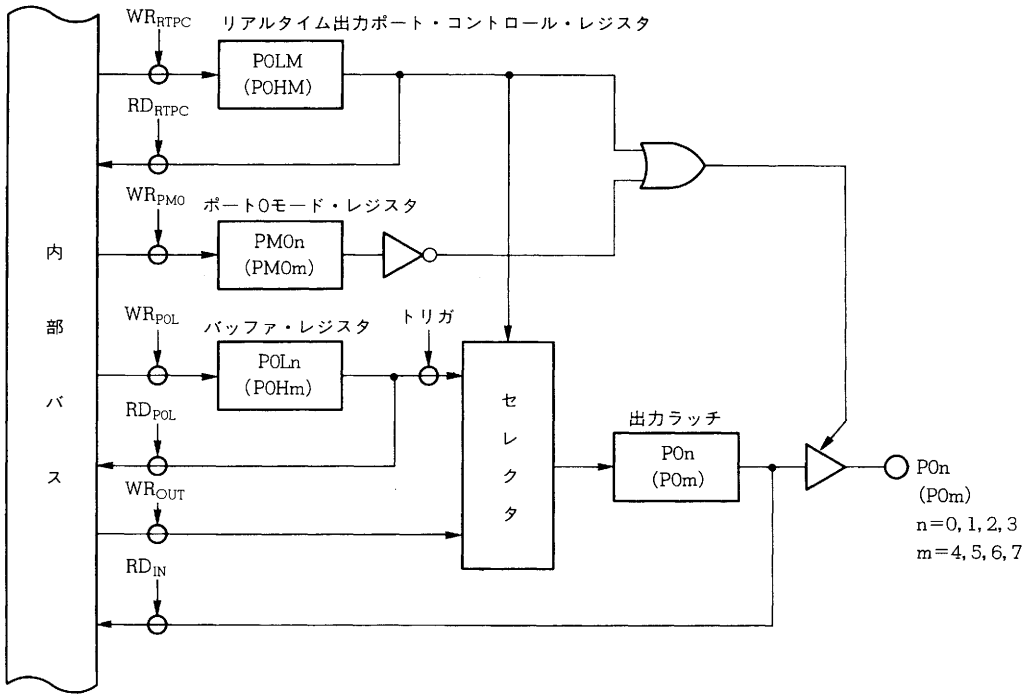
P00-P03, P04-P07はそれぞれ４ビット，または８ビットのリアルタイム出力ポートとして，バッファ・レジスタ（P0L，P0H）の内容を任意のインターバル時間で出力できます。通常の出力ポートかリアルタイム出力ポートかの選択は，リアルタイム出力ポート・コントロール・レジスタ（RTPC）で行います。

$\overline{\text{RESET}}$入力により出力ハイ・インピーダンス状態となり，出力ラッチの内容は不定になります。

6.2.1　ハードウエア構成

図６－２に，ポート0のハードウエア構成を示します。

図６－２　ポート０のブロック図



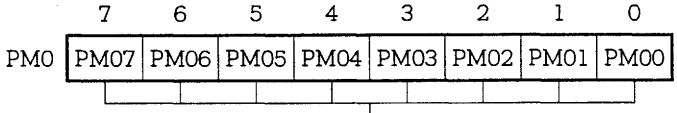
保守／廃止

6.2.2　出力モード／コントロール・モードの設定

ポート０の出力モードは，図６-３のように，ポート０モード・レジスタ(PM0) により設定します。

PM0は，８ビット・データ転送命令で設定します（ビット操作および読み出しはできません)。

図６-３　ポート０モード・レジスタのフォーマット



PM0	P0n端子モード指定（n＝0－7）
00H	出力モード（出力バッファ・オン）
FFH	ハイ・インピーダンス状態(出力バッファ・オフ）
上記以外	設定禁止

リアルタイム出力ポートとして使用する場合は，リアルタイム出力ポート・コントロール・レジスタ（RTPC）のP0LM，P0HMの各ビットをセット(1)します。

なお，P0LM，P0HMをセットすると，PM0の内容にかかわらず，それぞれの端子の出力バッファがオンし，出力ラッチの内容が端子に出力されます。

保守／廃止

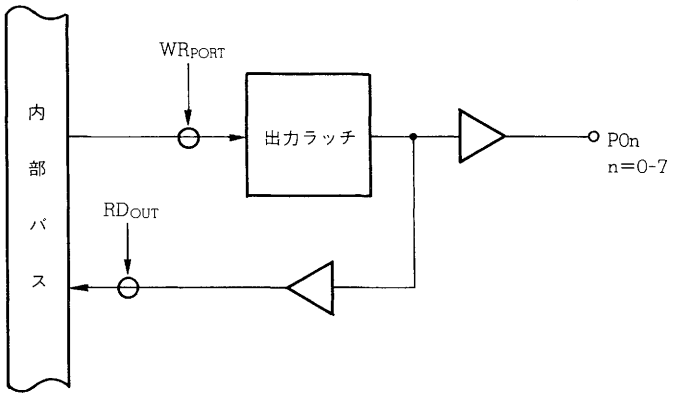
6.2.3　動作状態

ポート０は，出力専用のポートです。

出力モード設定後，出力ラッチが有効となり，転送命令により出力ラッチとアキュームレータとの間でデータのやりとりを行います。また，出力ラッチの内容は，論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは，次に出力ラッチにデータを書き込むまで保持されます。

リアルタイム出力ポートに指定されているポートの出力ラッチへは，書き込みはできません。しかし，リアルタイム出力ポート・モードに設定されていても出力ラッチの内容は，読み出すことができます。

図６－４　出力ポート指定のポート



6.2.4　内蔵プルアップ抵抗

ポート０は，プルアップ抵抗を内蔵していません。

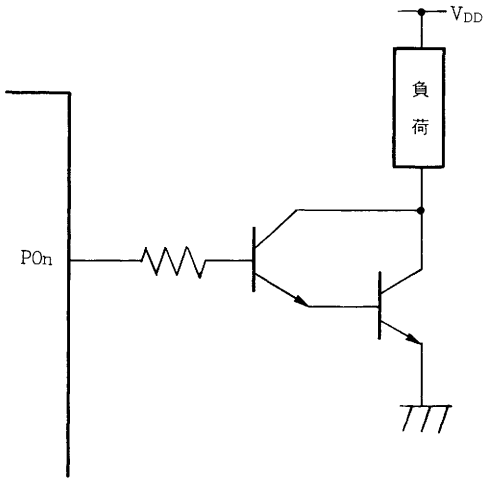
保守／廃止

6.2.5　トランジスタのドライブ例

ポート０は，出力バッファのハイ・レベル側のドライブ能力を強化しているので，アクティブ・ハイでトランジスタをダイレクトにドライブすることができます。

図６－５に接続例を示します。

図６－５　トランジスタのドライブ例



保守／廃止

6.3　ポート2

ポート2は，8ビット入力専用ポートです。P22-P27には，ソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。入力ポートとして動作する以外に外部割り込み信号端子などの制御信号入力端子としても動作します（**表6-3**参照）。また，8端子とも，ノイズによる誤動作を防ぐためシュミット・トリガ入力になっています。

表6-3　ポート2の機能

ポート	機　　能
P20	入力ポート／NMI入力[注]
P21	入力ポート／INTP0入力／CR11キャプチャ・トリガ入力／リアルタイム出力ポートのトリガ信号
P22	入力ポート／INTP1入力／CR22キャプチャ・トリガ入力
P23	入力ポート／INTP2入力／CI入力
P24	入力ポート／INTP3入力／CR02キャプチャ・トリガ入力
P25	入力ポート／INTP4入力／ASCK入力
P26	入力ポート／INTP5入力／A/Dコンバータ外部トリガ入力
P27	入力ポート／SI入力

注　NMI入力は，割り込み許可／禁止状態にかかわらず受け付けます。

(a) ポート端子としての機能

兼用端子の動作にかかわらず，常に端子レベルの読み込み，あるいはテストが可能です。

(b) 制御信号入力端子としての機能

(i)　**NMI (Nonmaskable Interrupt)**

外部ノンマスカブル割り込み要求入力端子です。外部割り込みモード・レジスタ（INTM0）により，立ち上がりエッジ検出，または立ち下がりエッジ検出に指定できます。

(ii)　**INTP0-INTP5 (Interrupt From Peripherals)**

外部割り込み要求入力端子です。INTP0-INTP5端子に外部割り込みモード・レジスタ（INTM0，INTM1）で指定された有効エッジが検出されると，割り込みを発生します（**第12章　エッジ検出機能**参照）。

また，INTP0-INTP3，INTP5は次のように各種機能の外部トリガ入力端子としても使用します。

保守／廃止

・INTP0……８ビット・タイマ／カウンタ１のキャプチャ・トリガ入力端子
　　リアルタイム出力ポートのトリガ信号
・INTP1……８ビット・タイマ／カウンタ２のキャプチャ・トリガ入力端子
・INTP2……８ビット・タイマ／カウンタ２の外部カウント・クロック入力端子
・INTP3……16ビット・タイマ／カウンタのキャプチャ・トリガ入力端子
・INTP5……A/Dコンバータの外部トリガ入力端子

(iii) **CI（Clock Input）**

８ビット・タイマ・カウンタ２の外部クロック入力端子です。

(iv) **ASCK（Asynchronous Serial Clock）**

外部ボー・レート・クロック入力端子です。

(v) **SI（Serial Input）**

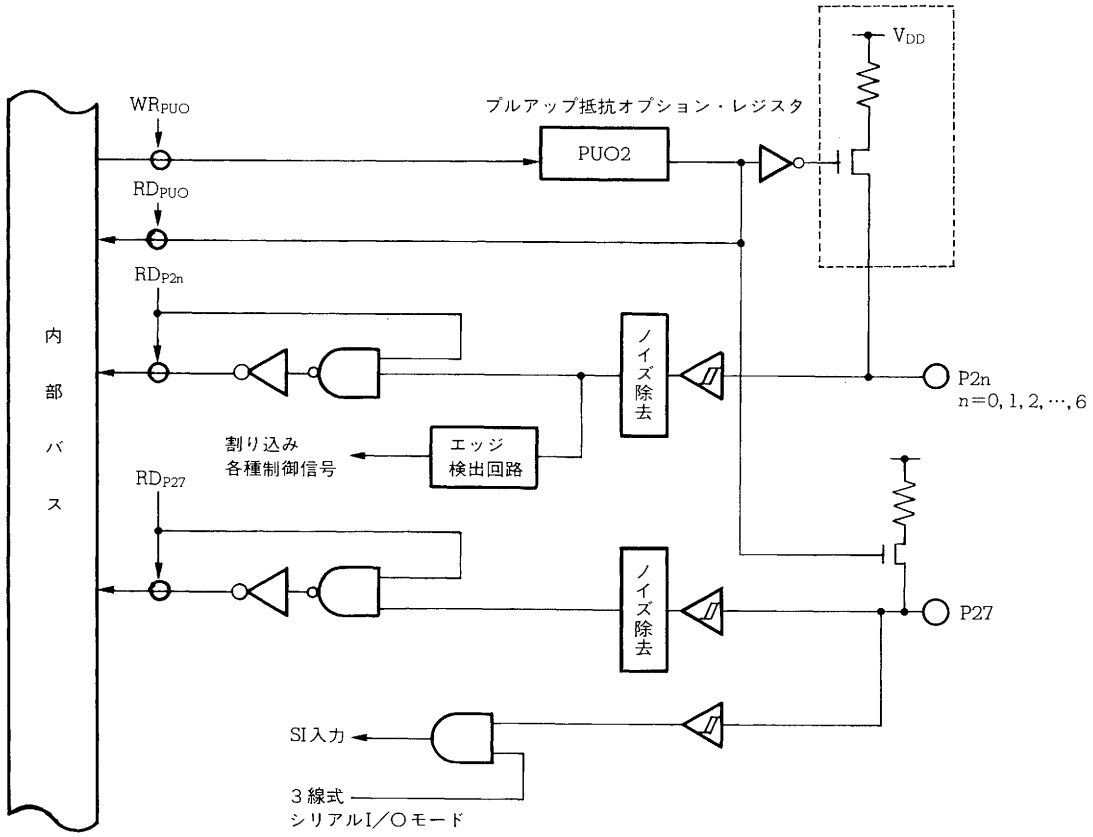
シリアル・データ入力端子（３線式シリアルI/Oモード時）です。

保守／廃止

6.3.1　ハードウエア構成

図６-６に，ポート２のハードウエア構成を示します。

図６-６　ポート２のブロック図



注意　P20，P21には，[ ]で囲まれた回路はありません。

保守／廃止

6.3.2　入力モード／コントロール・モードの設定

ポート2は，入力専用ポートです。

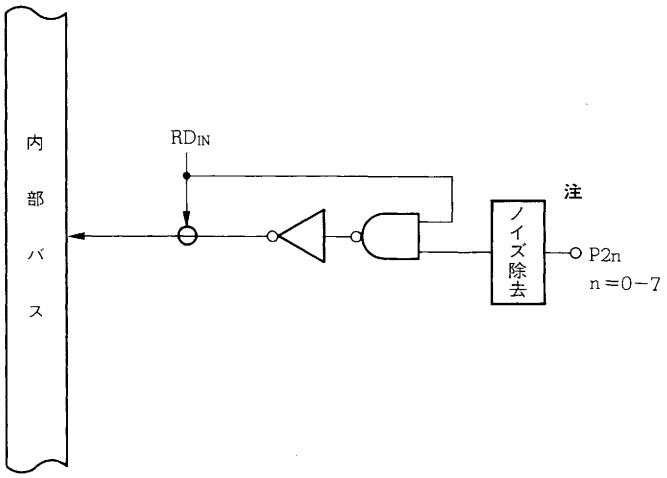
入力モードを設定するためのレジスタはありません。また，常時コントロール信号の入力ができる状態になっていますので各内蔵ハードウエアのコントロール・レジスタなどで，どの信号を使用するかを決定します。

6.3.3　動作状態

ポート2は，入力専用のポートで，常に端子レベルの読み込みあるいはテストが可能です。

なお，P20-P26については，読み込みおよびテスト時のレベルはノイズ除去後のレベルです。ノイズ除去については，**第12章　エッジ検出機能**を参照してください。

図6-7　入力ポート指定のポート



注　P27にはノイズ除去の回路はありません。

注意　インサーキット・エミュレータでは，ポート2の読み込みまたはテスト時にはノイズ除去前の端子レベルとなります。

6.3.4　内蔵プルアップ抵抗

P22-P27は，プルアップ抵抗を内蔵しています。プルアップが必要な場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）のPUO2によりP22-P27の6端子一括で指定できます（ビットごとには指定できません）。

なお，P20，P21には，プルアップ抵抗を内蔵していません。

保守／廃止

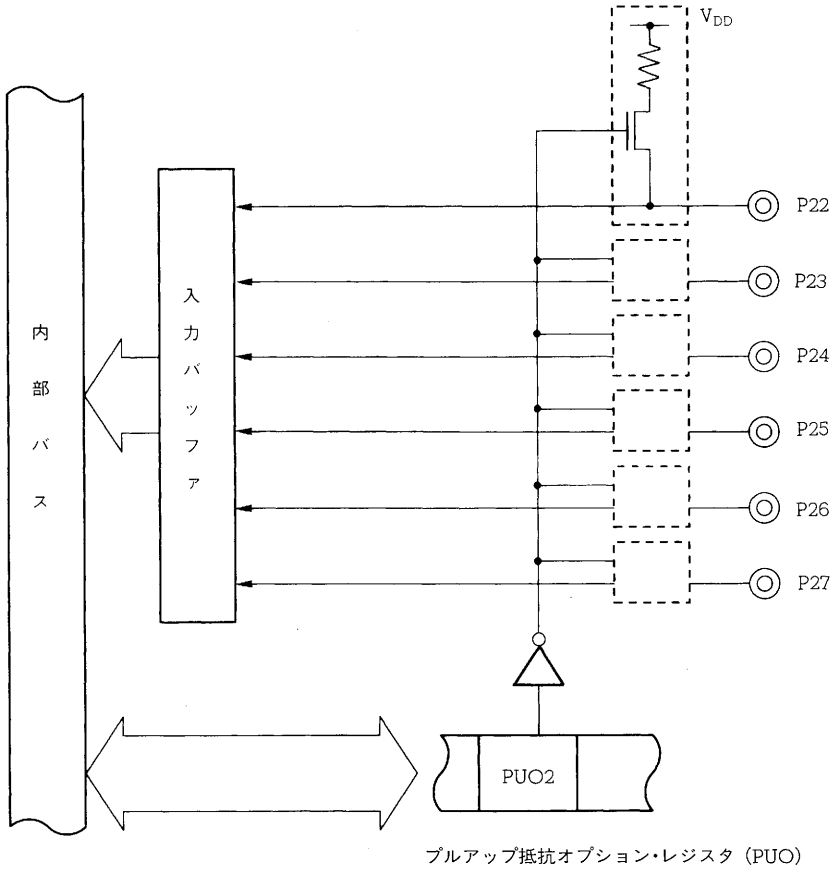
図６－８　プルアップ抵抗オプション・レジスタのフォーマット

	7	6	5	4	3	2	1	0	
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	0	0	（リセットで00H）

PUO2	ポート２のプルアップ抵抗の指定
0	ポート２では使用しない
1	P22-P27の端子で使用する

備考　STOPモードに入る場合，消費電流を低減するために，PUOに00Hを設定することが有効です。

図６－９　プルアップの指定（ポート２）



注意　**P22-P26は，リセット直後にプルアップされないため，兼用端子（INTP1-INTP5）の機能によって割り込み要求フラグがセットされることがあります。したがって，初期化ルーチンでプルアップを指定してから，割り込み要求フラグをクリアしてください。**

保守／廃止

6.4　ポート３

ポート３は，出力ラッチ付き８ビット入出力ポートです。ポート3モード・レジスタ（PM3）により，１ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。

入出力ポートとしての機能以外に，各種コントロール信号端子としての機能を兼用しています。

動作モードは，ポート３モード・コントロール・レジスタ（PMC3）により，表６-４のようにビット単位に指定できます。いずれの端子も，兼用端子の動作にかかわらず，常に端子レベルの読み込みあるいはテストが可能です。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス）になり，出力ラッチの内容は不定となります。

表６-４　ポート３の動作モード（n=0-7）

モード	ポート・モード	コントロール信号入出力モード
設定条件	PMC3n＝0	PMC3n＝1
P30	入出力ポート	RxD入力
P31		TxD出力
P32		$\overline{\text{SCK}}$入出力
P33		SO出力／SB0入出力
P34		TO0出力
P35		TO1出力
P36		TO2出力
P37		TO3出力

(a) ポート・モード

PMC3レジスタによりポート・モードに指定された各ポートは，ポート３モード・レジスタ(PM3)により，１ビット単位で入力／出力の指定ができます。

保守／廃止

(b) コントロール信号入出力モード

PMC3レジスタの設定により，１ビット単位にコントロール端子にすることができます。

(i) **RxD (Recieve Data)**

アシンクロナス・シリアル・インタフェースのシリアル・データ入力端子です。

(ii) **TxD (Transmit Data)**

アシンクロナス・シリアル・インタフェースのシリアル・データ出力端子です。

(iii) **$\overline{\text{SCK}}$ (Serial Clock)**

クロック同期式シリアル・インタフェースのシリアル・クロック入出力端子です。

(iv) **SO (Serial Output)/SBO (Serial Bus)**

SOはシリアル・データ出力端子（３線式シリアルI/Oモード時）です。また，SBOはSBIモード時のシリアル・バス入出力端子です。

備考　ポート３のビット3(P33)には，“SBO”という名前がNEC製のアセンブラ・パッケージで予約語になっています。また，Cコンパイラでは，sfrbit.hというヘッダ・ファイルで定義されています。

(v) **TO0-TO3 (Timer Output)**

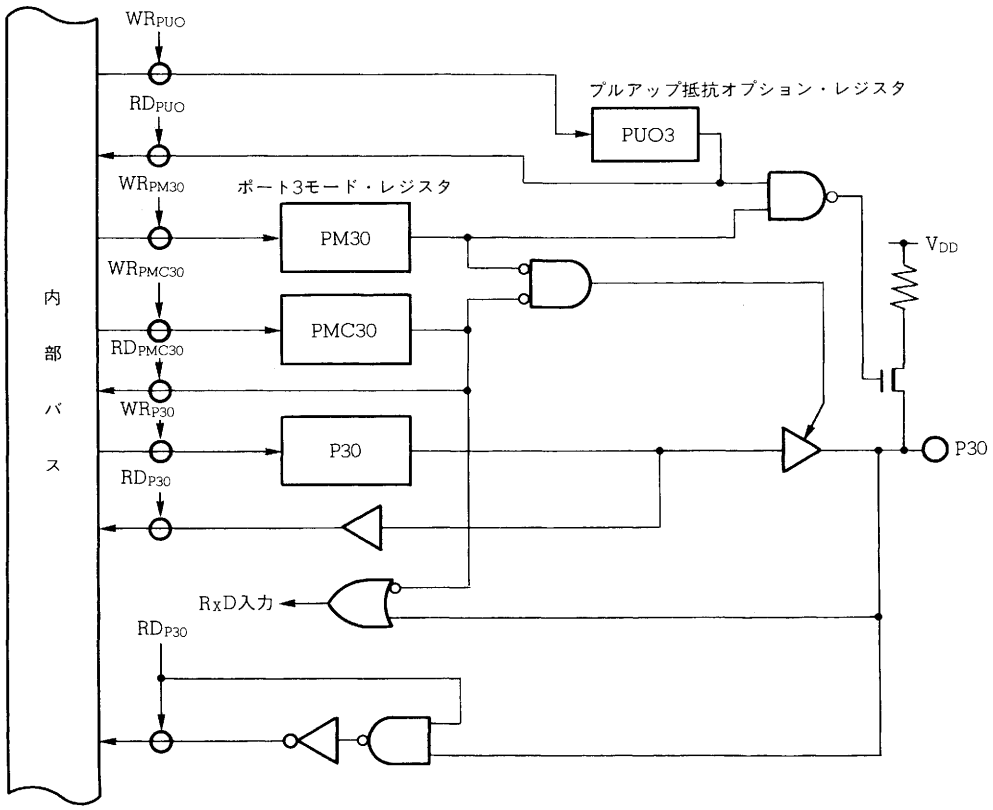
タイマ出力端子です。

保守／廃止

6.4.1　ハードウエア構成

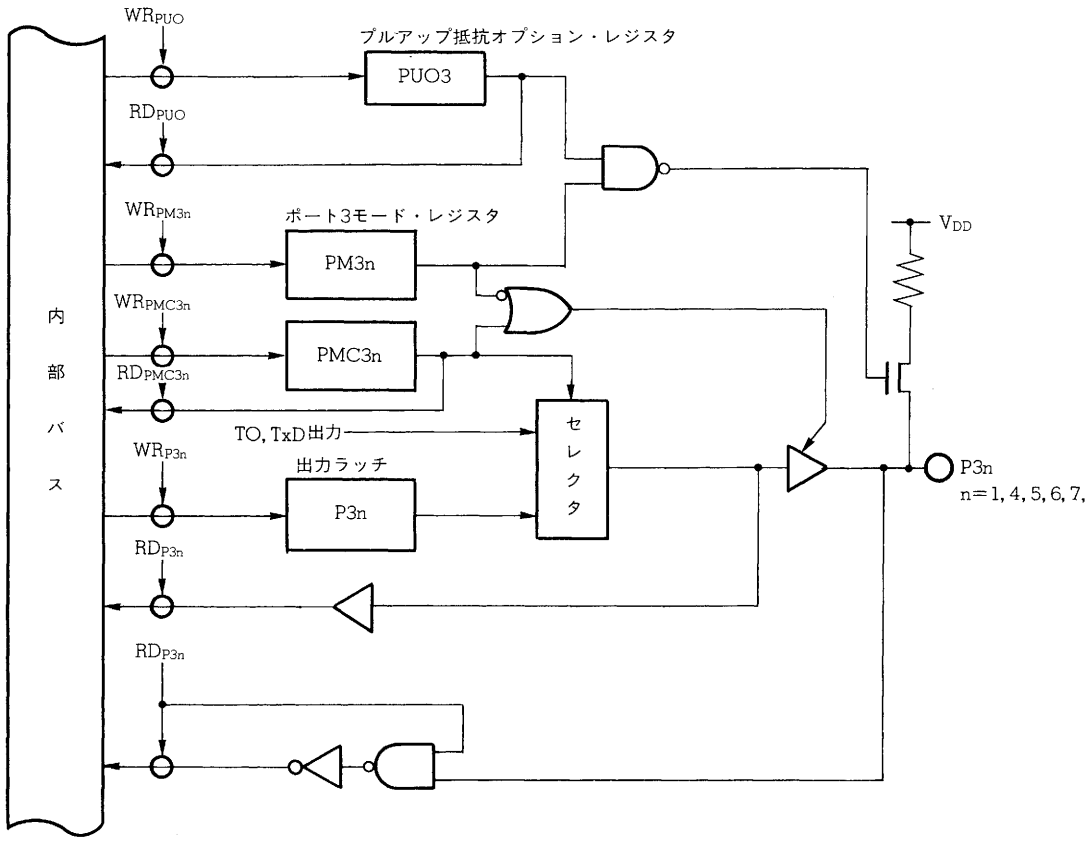
図６－10－図６－13に，ポート３のハードウエア構成を示します。

図６－10　P30（ポート３）のブロック図



保守／廃止

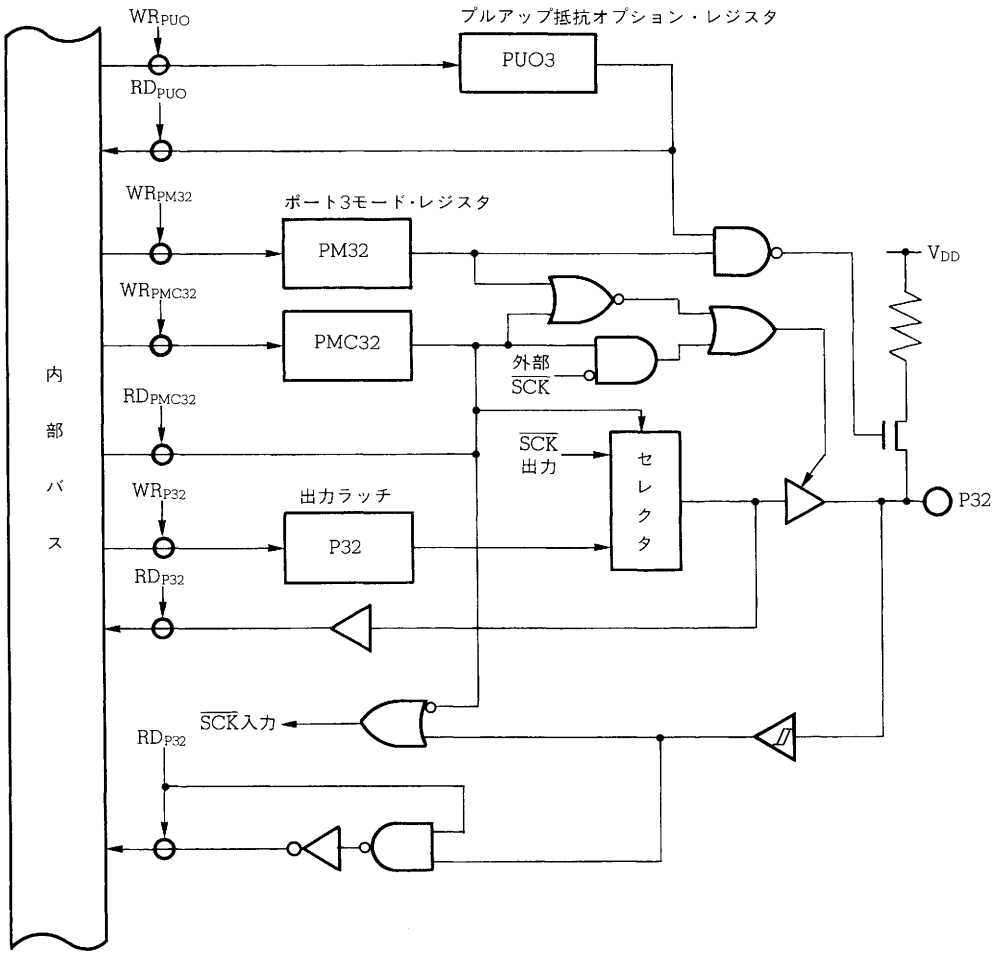
図６－１１　P31，P34－P37（ポート３）のブロック図



保守／廃止

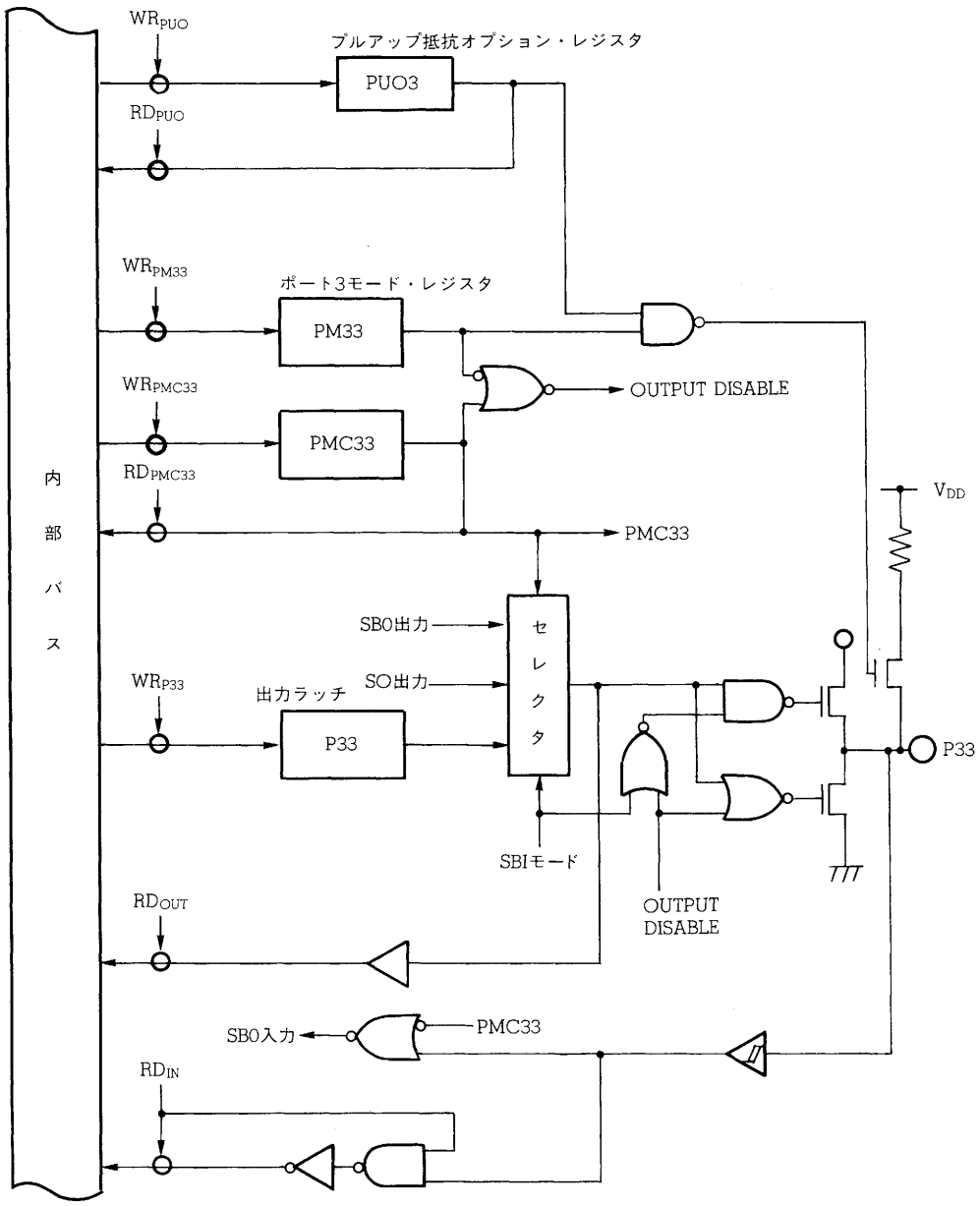
★

図６－12　P32（ポート３）のブロック図



保守／廃止

図6-13　P33（ポート3）のブロック図　★



保守／廃止

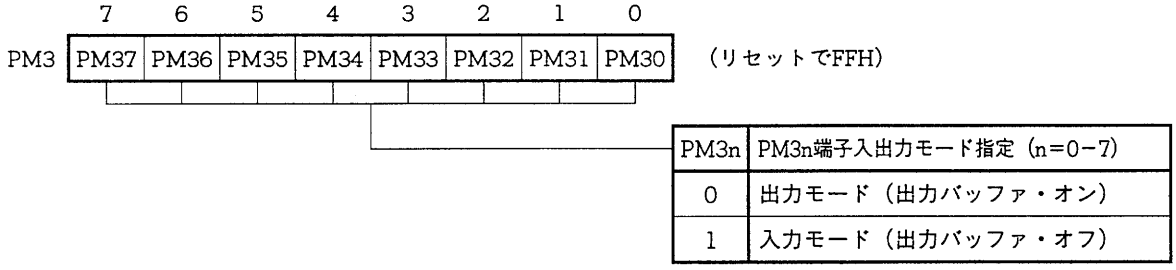
6.4.2　入出力モード／コントロール・モードの設定

ポート3の入出力モードは，図6-14のように，端子ごとにポート3モード・レジスタ（PM3）により設定します。

PM3レジスタは，8ビット・データ転送命令で設定します（ビット操作および読み出しはできません）。

また，ポート3は入出力ポートとしての機能のほかに，各種コントロール信号端子としての機能を兼用しており，図6-15のように，ポート3モード・コントロール・レジスタ（PMC3）により，コントロール・モードを指定します。

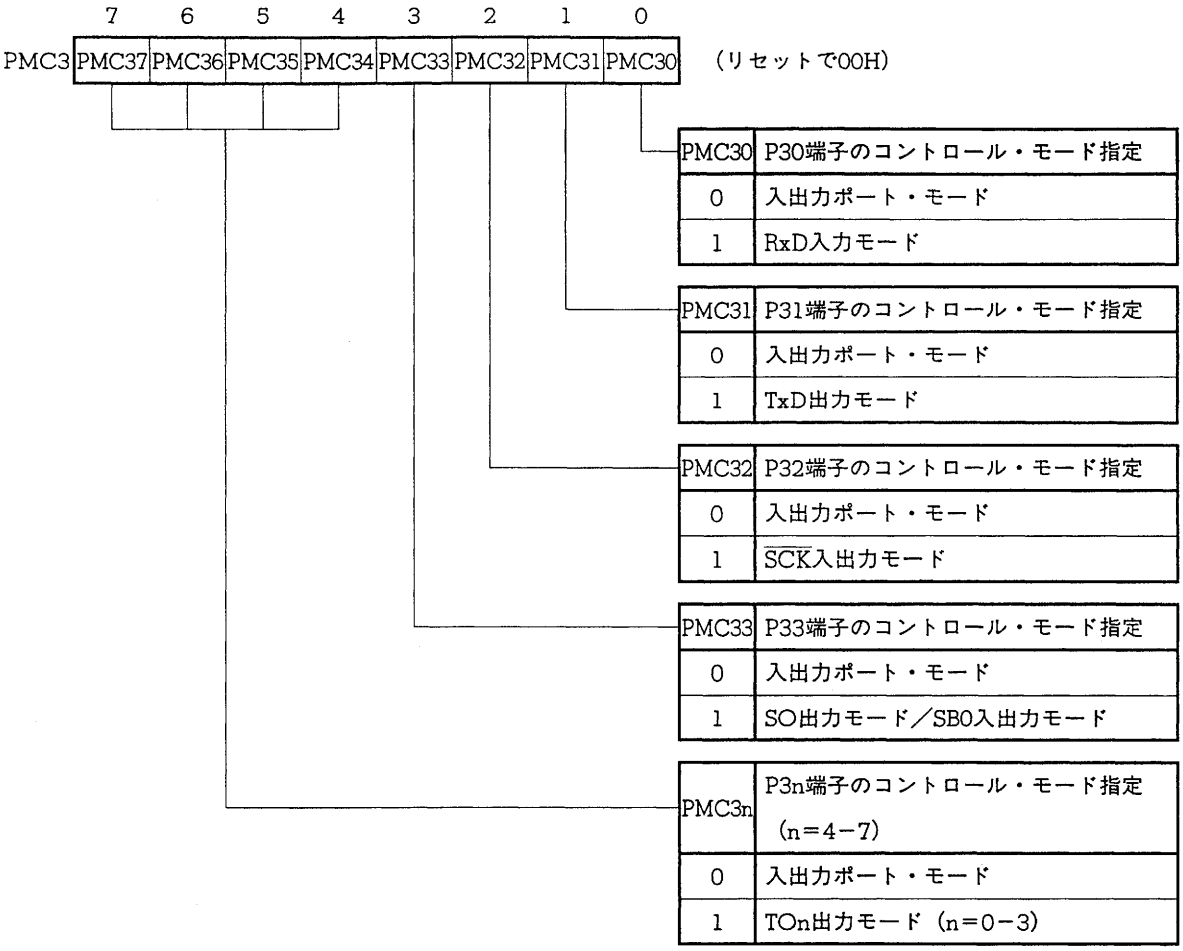
図6-14　ポート3モード・レジスタのフォーマット



PM3n	PM3n端子入出力モード指定（n=0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

保守／廃止

図６－15　ポート３モード・コントロール・レジスタ（PMC3）のフォーマット



PMC30	P30端子のコントロール・モード指定
0	入出力ポート・モード
1	RxD入力モード

PMC31	P31端子のコントロール・モード指定
0	入出力ポート・モード
1	TxD出力モード

PMC32	P32端子のコントロール・モード指定
0	入出力ポート・モード
1	$\overline{SCK}$入出力モード

PMC33	P33端子のコントロール・モード指定
0	入出力ポート・モード
1	SO出力モード／SB0入出力モード

PMC3n	P3n端子のコントロール・モード指定（n＝4－7）
0	入出力ポート・モード
1	TOn出力モード（n＝0－3）

保守／廃止

6.4.3　動作状態

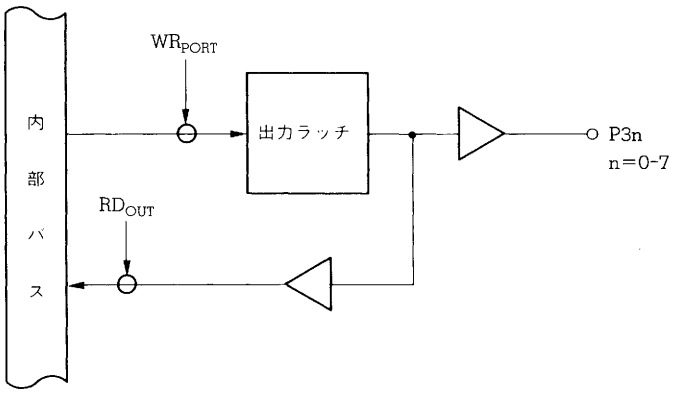
ポート３は，入出力ポートで，各種コントロール端子を兼用しています。

(1) 出力ポートに指定された場合

出力ラッチが有効となり，転送命令により出力ラッチとアキュームレータとの間でデータのやりとりが行えます。また，出力ラッチの内容は，論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは，次に出力ラッチにデータを書き込む[注]まで保持されます。

注　ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

図６－16　出力ポート指定のポート

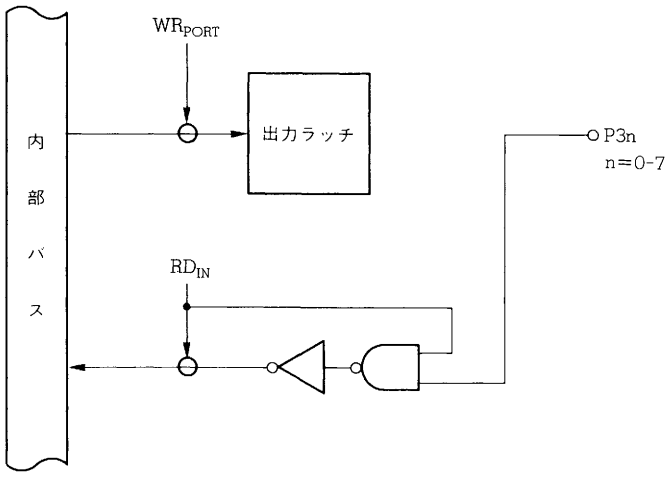


保守／廃止

(2) 入力ポートに指定された場合

ポート端子のレベルを，転送命令でアキュームレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で，転送命令などによりアキュームレータから転送されたデータは，ポートの入出力指定に関係なく，全出力ラッチにストアされます。ただし，入力ポートに指定されているビットの出力バッファは，ハイ・インピーダンス状態になっているため，ポート端子には出力されません(入力指定のビットが出力ポートに切り替えられたとき，出力ラッチの内容がポート端子に出力されます)。また，入力ポートに指定されているビットの出力ラッチの内容は，アキュームレータにロードすることはできません。

図６－17　入力ポート指定のポート



注意　ビット操作命令は，結果として操作するのは１ビットですが，ポートを８ビット単位でアクセスします。したがって，入出力が混在しているポートでビット操作命令を使用すると，入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます(SET1，CLR1命令などで操作を行ったビットを除く)。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

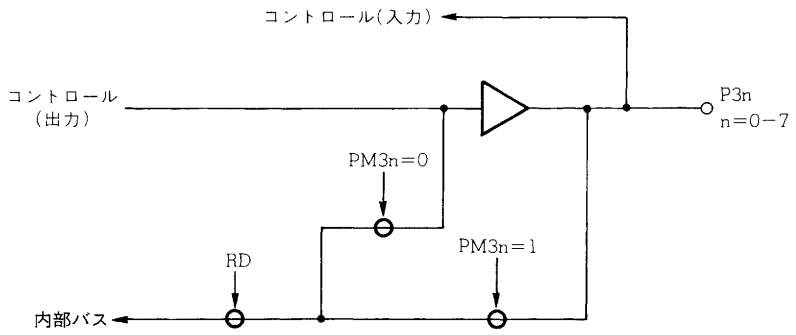
また，その他の８ビット演算命令でポートを操作する場合も同様に注意が必要です。 ★

保守／廃止

(3) コントロール信号入出力に指定された場合

ポート３は，ポート・モード・コントロール・レジスタ（PMC3）のビットをセット(1)することにより，ポート・モード・レジスタ（PM3）の設定にかかわらず，ビット単位にコントロール信号の入力あるいは出力として使用することができます。各端子をコントロール信号として用いる場合，ポートの読み出し命令を実行することにより，コントロール信号の状態をみることができます。

図６－18　コントロール指定の場合



(a) ポートがコントロール信号出力の場合

ポート・モード・レジスタ（PM3n）がセット(1)されている場合，ポートの読み込み命令を実行すると，コントロール信号端子のレベルを読み込むことができます。

PM3nがリセット(0)されている場合，ポートの読み込み命令を実行すると，μPD78244内のコントロール信号の状態を読み込むことができます。

備考　ポート３のビット３（P33）には，“SB0”という名前がNEC製のアセンブラ・パッケージで予約語になっています。また，Cコンパイラではsfrbit.hというヘッダ・ファイルで定義されています。

(b) ポートがコントロール信号入力の場合

ポート・モード・レジスタ（PM3n）がセット(1)されている場合のみ，ポートの読み込み命令を実行すると，コントロール信号端子のレベルを読み込むことができます。

保守／廃止

6.4.4　内蔵プルアップ抵抗

ポート３は，プルアップ抵抗を内蔵しています。プルアップが必要な場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）のPUO3とポート３モード・レジスタ（PM3）で，端子ごとに指定できます。PUO3が１のとき，PM3で入力を指定した（PM3n＝1，n＝0−7）端子の内蔵プルアップ抵抗が有効になります。

また，コントロール・モードに指定された端子でも，プルアップ抵抗を使用する指定は有効になります（コントロール・モード時に出力端子となる端子にも，プルアップ抵抗が接続されます）。したがって，コントロール・モード時にプルアップ抵抗を接続したくない場合には，PM3の対応するビットの内容を０（出力モード）にしてください。

図６−19　プルアップ抵抗オプション・レジスタのフォーマット

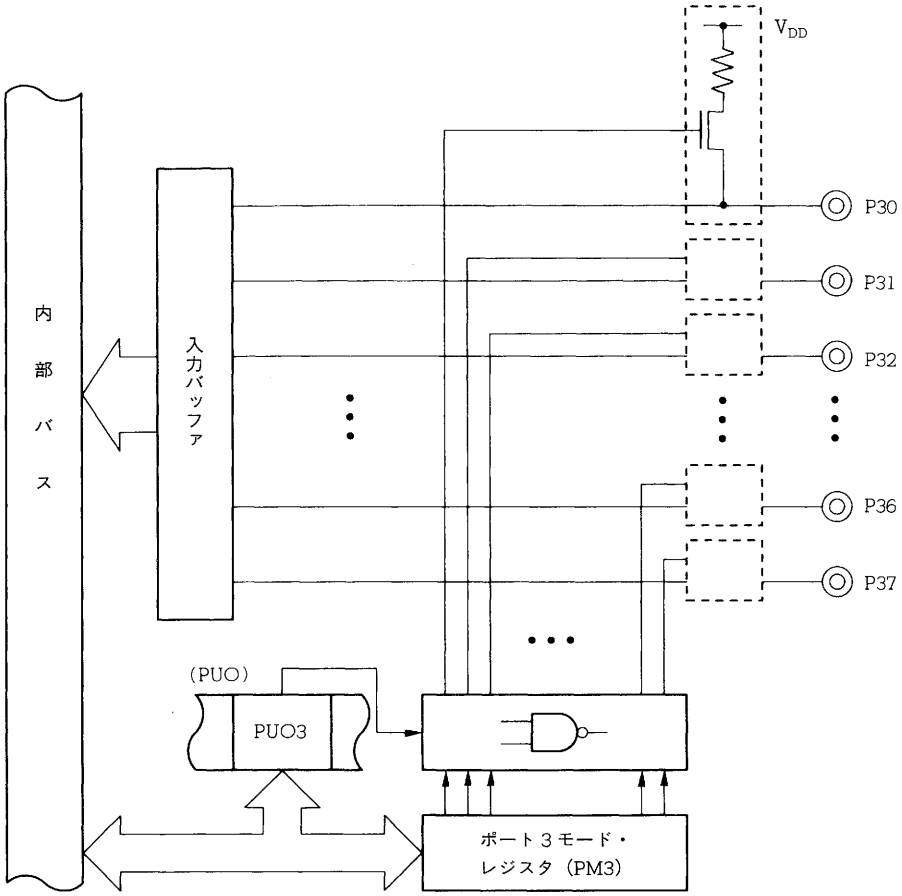
	7	6	5	4	3	2	1	0	
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	0	0	（リセットで00H）

PUO3	ポート３のプルアップ抵抗の指定
0	ポート３では使用しない
1	ポート３で使用する

備考　STOPモードに入る場合，消費電流を低減するために，PUOに00Hを設定することが有効です。

保守／廃止

図6-20　プルアップの指定（ポート3）



保守／廃止

6.5　ポート４

ポート４は，出力ラッチ付き８ビット入出力ポートです。メモリ拡張モード・レジスタ（MM）により，８ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。またLEDをダイレクトにドライブ可能です。

また，外部メモリやI/Oを拡張するとき，時分割アドレス／データ・バス（AD0-AD7）として機能します。

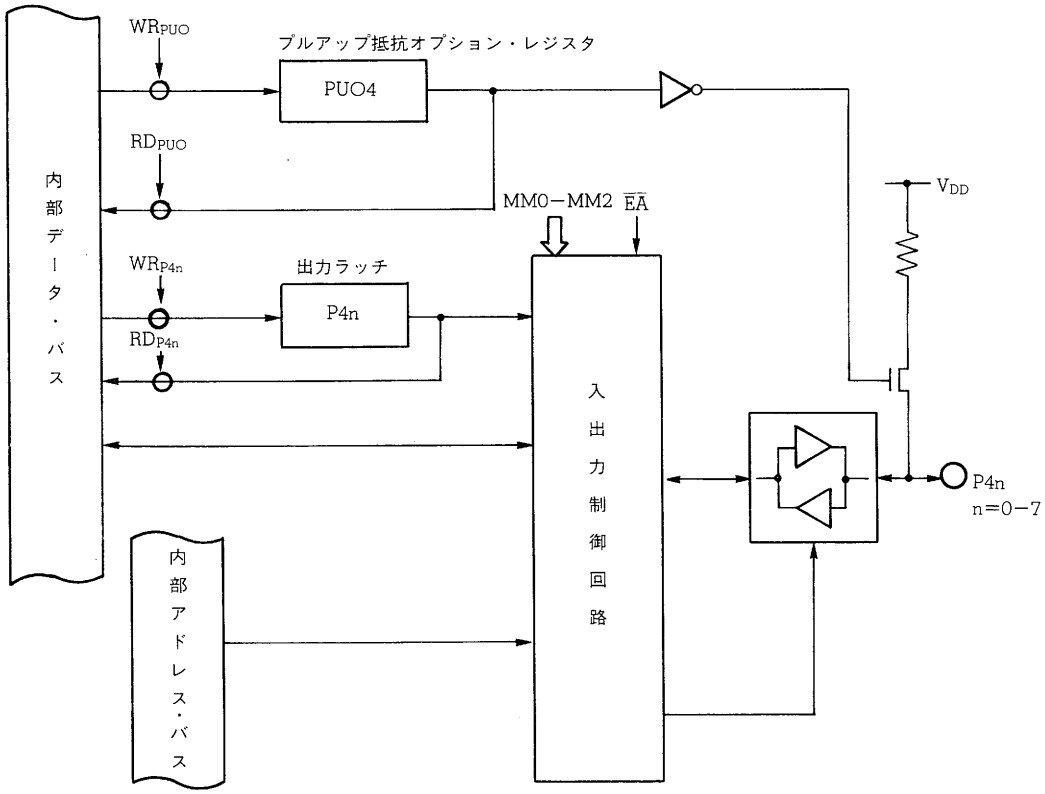
なお，μPD78243の場合は，時分割アドレス／データ・バス（AD0-AD7）としてのみ機能します。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス）になり，出力ラッチの内容は不定となります。

6.5.1　ハードウエア構成

図６－21に，ポート４のハードウエア構成を示します。

図６－21　ポート４のブロック図



保守／廃止

6.5.2　入出力モード／コントロール・モードの設定

ポート４の動作モードは，表６－５のように，メモリ拡張モード・レジスタ（MM：図**14－1**参照）により設定します。

表６－５　ポート４の動作モード

$\overline{EA}$端子	MMレジスタのビット			動作モード
	MM2	MM1	MM0	
1	0	0	0	入力ポート
1	0	0	1	出力ポート
1	1	1	1	アドレス／データ・バス（AD0-AD7）
0	×	×	×	

μPD78243の場合は，アドレス／データ・バス（AD0-AD7）としてのみ動作します。

6.5.3　動作状態

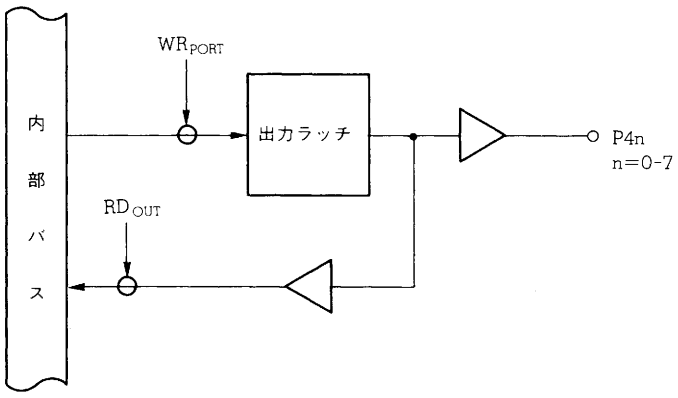
ポート４は，入出力ポートで，アドレス／データ・バス（AD0-AD7）と兼用しています。

(1) 出力ポートに指定された場合

出力ラッチが有効となり，転送命令により出力ラッチとアキュームレータとの間でデータのやりとりが行えます。また，出力ラッチの内容は，論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは，次に出力ラッチにデータを書き込む[注]まで保持されます。

注　ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

図６－22　出力ポート指定のポート

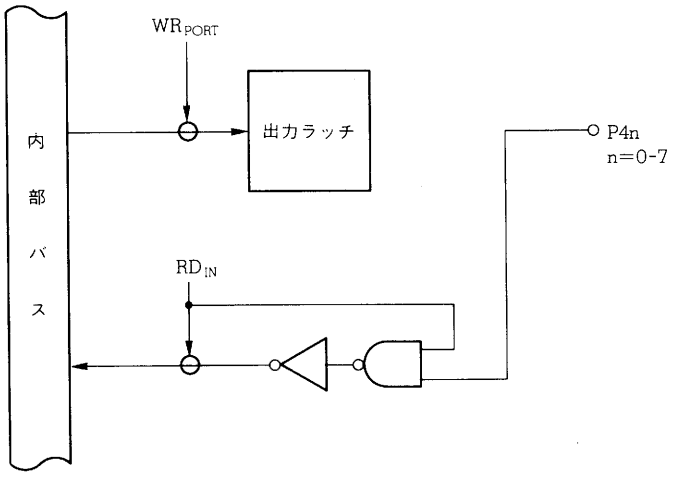


保守／廃止

(2) 入力ポートに指定された場合

ポート端子のレベルを，転送命令でアキュームレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で，転送命令などによりアキュームレータから転送されたデータは，ポートの入出力指定に関係なく，全出力ラッチにストアされます。ただし，入力ポートの指定されているビットの出力バッファはハイ・インピーダンス状態になっているため，ポート端子には出力されません（入力ポート指定が出力ポートに切り替えられたとき，出力ラッチの内容が，ポート端子に出力されます)。また，入力ポートに指定されている場合，出力ラッチの内容は，アキュームレータにロードすることはできません。

図６－23　入力ポート指定のポート



注意　ビット操作命令は，結果として操作するのは１ビットですが，ポートを８ビット単位でアクセスします。したがって，入力に指定されている場合にビット操作命令を使用すると，出力ラッチの内容は不定になってしまいます(SET1，CLR1命令などで操作を行ったビットを除く)。特に入出力を切り替えて使用する場合については注意が必要です。また，その他の８ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) アドレス／データ・バス（AD0-AD7）の場合

外部アクセス時に，自動的に使用されます。

ポート４に対する入出力命令は，実行しないでください。

保守／廃止

6.5.4　内蔵プルアップ抵抗

ポート４は，プルアップ抵抗を内蔵しています。プルアップが必要な場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）のPUO4により，８端子一括に指定できます（ビットごとには指定できません）。

また，入力／出力モードにかかわらず，プルアップ抵抗の接続の指定ができます。

図６－24　プルアップ抵抗オプション・レジスタのフォーマット

	7	6	5	4	3	2	1	0	
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	0	0	（リセットで00H）

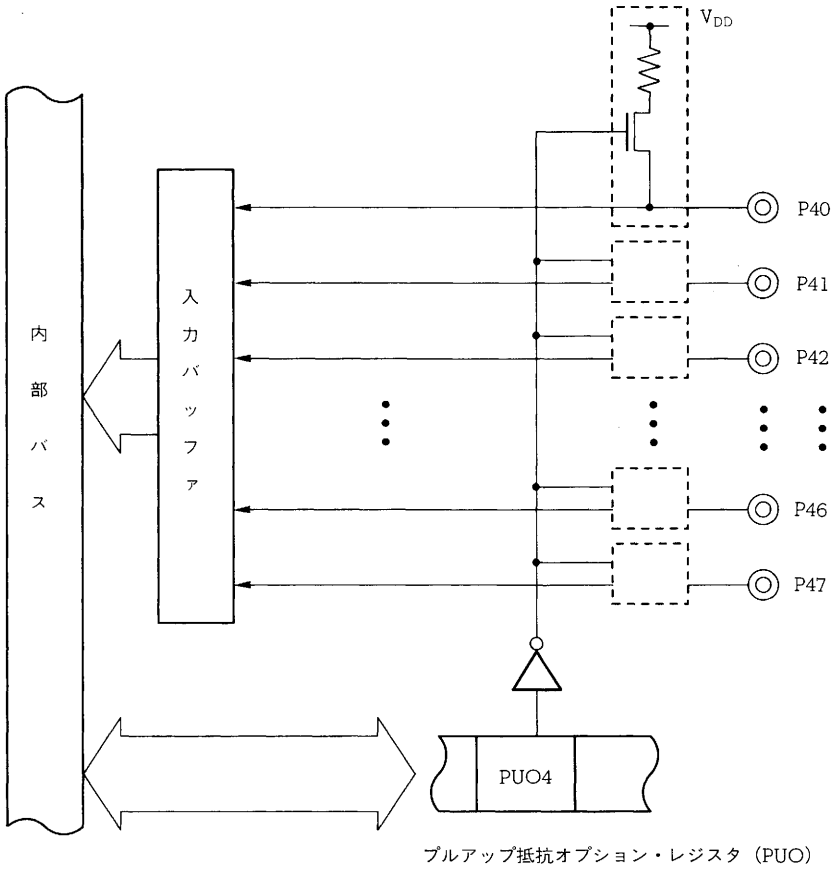
PUO4	ポート４のプルアップ抵抗の指定
0	ポート４では使用しない
1	ポート４で使用する

注意　μPD78243の場合，ポート４をアドレス／データ・バスとして使用しますので，PUO4＝0に設定してください（ポート４に内蔵プルアップ抵抗を接続する指定はしないでください）。
また，μPD78244でポート４をアドレス／データ・バスとして使用する場合も同様にPUO4＝0に設定してください（ポート４に内蔵プルアップ抵抗を接続する指定はしないでください）。

備考　STOPモードに入る場合，消費電流を低減するために，PUOに00Hを設定することが有効です。

保守／廃止

図６－25　プルアップの指定（ポート４）

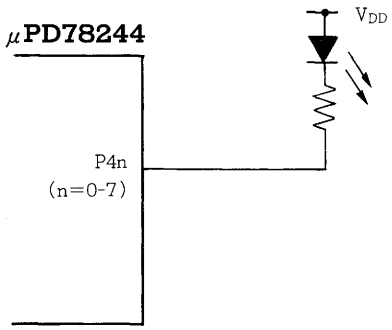


プルアップ抵抗オプション・レジスタ（PUO）

6.5.5　LEDのダイレクト・ドライブ

ポート４は，LEDをアクティブ・ロウでダイレクトにドライブできるように，出力バッファのロウ・レベル側のドライブ能力を強化してあります。図６－26にその使用例を示します。

図６－26　LEDのダイレクト・ドライブ例



保守／廃止

6.6　ポート5

ポート5は，出力ラッチ付き8ビット入出力ポートです。ポート5モード・レジスタ（PM5）により，1ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。またLEDをダイレクトにドライブ可能です。

また，外部メモリやI/Oを拡張するとき，P50-P57は，アドレス・バス（A8-A15）として機能します。

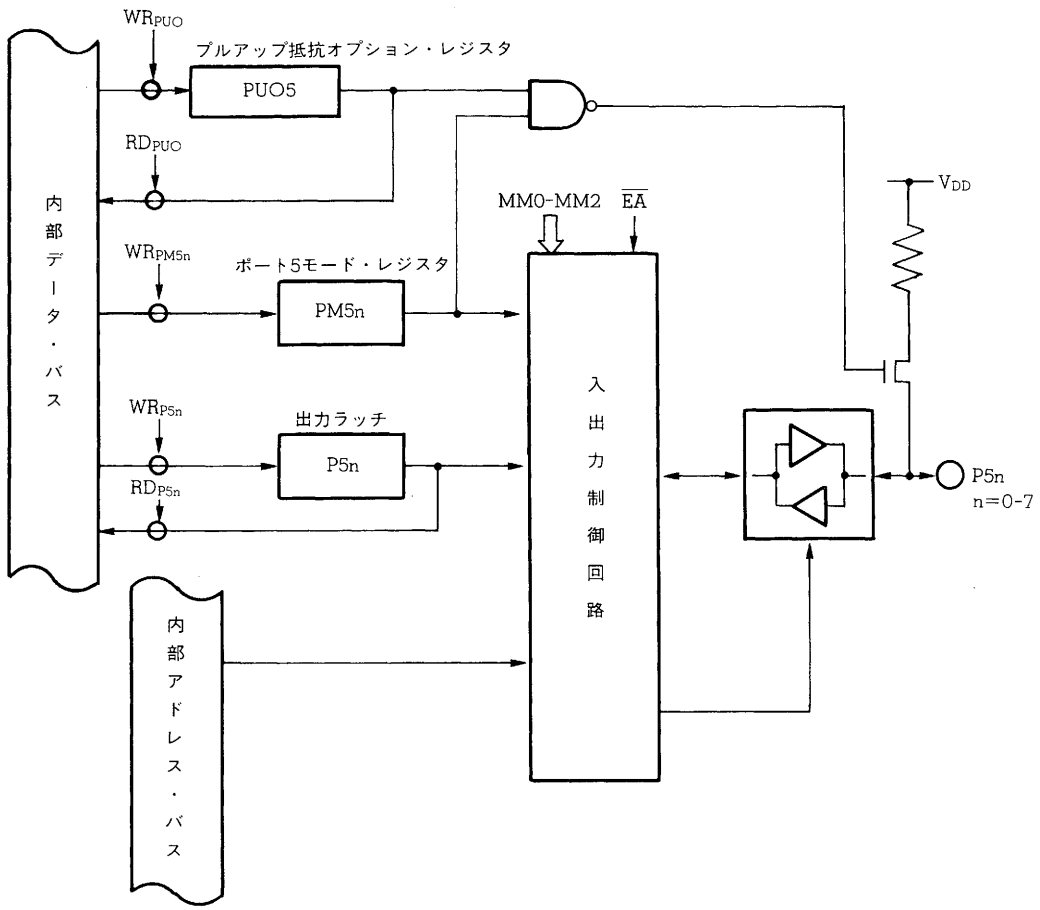
なお，μPD78243の場合は，アドレス・バス（A8-A15）としてのみ機能します。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス状態）になり，出力ラッチの内容は不定となります。

6.6.1　ハードウエア構成

図6-27に，ポート5のハードウエア構成を示します。

図6-27　ポート5のブロック図



保守／廃止

6.6.2　入出力モード／コントロール・モードの設定

ポート５の入出力モードは，図６－28のように，端子ごとにポート５モード・レジスタ（PM5）により設定します。PM5レジスタは，８ビット・データ転送命令で設定します（ビット操作および読み出しはできません）。

ポート５の動作モードは，表６－６のように，メモリ拡張モード・レジスタ（MM：**図14－1**参照）により設定します。

図６－28　ポート５モード・レジスタのフォーマット

	7	6	5	4	3	2	1	0	
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	（リセットでFFH）

PM5n	PM5n端子入出力モード指定（n＝0－7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

表６－６　ポート５の動作モード

$\overline{EA}$端子	MMレジスタのビット			動作モード
	MM2	MM1	MM0	
1	0	0	×	入出力モード
1	1	1	1	アドレス・バス
0	×	×	×	（A8-A15）

μPD78243の場合は，アドレス・バス（A8-A15）としてのみ動作します。

保守／廃止

6.6.3　動作状態

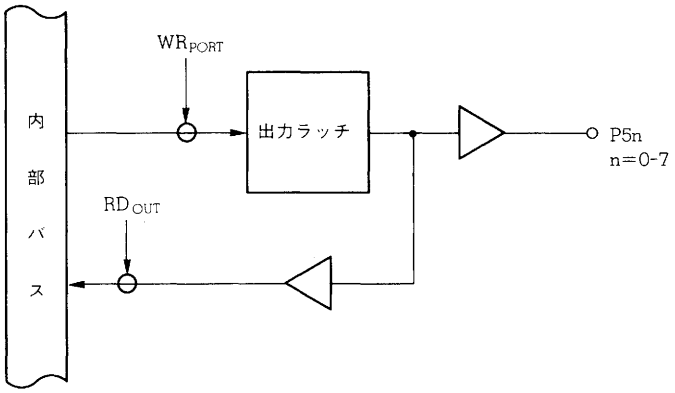
ポート５は，入出力ポートで，アドレス・バス（A8-A15）を兼用しています。

(1) 出力ポートに指定された場合

出力ラッチが有効となり，転送命令により出力ラッチとアキュームレータとの間でデータのやりとりが行えます。また，出力ラッチの内容は，論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは，次に出力ラッチにデータを書き込む[注]まで保持されます。

注　ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

図６-29　出力ポート指定のポート

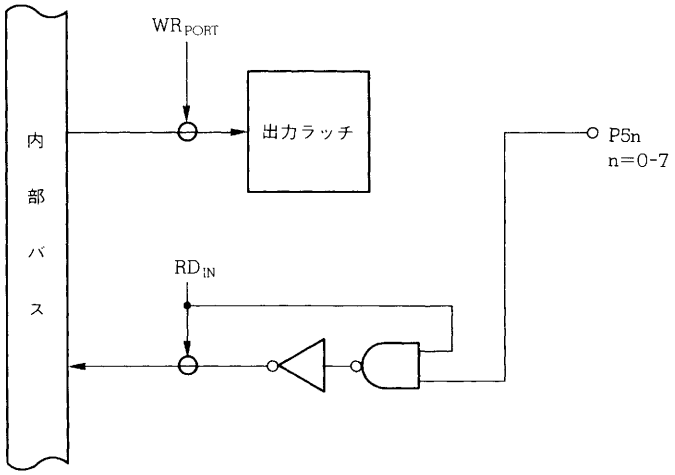


保守／廃止

(2) 入力ポートに指定された場合

ポート端子のレベルを，転送命令でアキュームレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で，転送命令などによりアキュームレータから転送されたデータは，ポートの入出力指定に関係なく，全出力ラッチにストアされます。ただし，入力ポートに指定されているビットの出力バッファは，ハイ・インピーダンス状態になっているため，ポート端子には出力されません（入力指定のビットが，出力ポートに切り替えられたとき，出力ラッチの内容が，ポート端子に出力されます)。また，入力ポートに指定されているビットの出力ラッチの内容は，アキュームレータにロードすることはできません。

図６－30　入力ポート指定のポート



注意　ビット操作命令は，結果として操作するのは１ビットですが，ポートを８ビット単位でアクセスします。したがって，入出力が混在しているポートでビット操作命令を使用すると，入力に指定されている端子の出力ラッチの内容は不定になってしまいます（SET1，CLR1命令などで操作を行ったビットを除く)。特に入出力を切り替えて使用するビットがある場合については注意が必要です。
また，その他の８ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) アドレス・バス（A8-A15）の場合

外部アドレス時に，自動的に使用されます。ポート５に対する入出力命令は，実行しないでください。

保守／廃止

6.6.4　内蔵プルアップ抵抗

ポート5は，プルアップ抵抗を内蔵しています。プルアップが必要な場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）のPUO5とポート5モード・レジスタ（PM5）で，端子ごとに指定できます。

PUO5が1のとき，ポート5に対してポート5モード・レジスタ（PM5）で入力を指定した（PM5n＝1，n＝0-7）端子の内蔵プルアップ抵抗が有効になります。

図6-31　プルアップ抵抗オプション・レジスタのフォーマット

	7	6	5	4	3	2	1	0	
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	0	0	（リセットで00H）

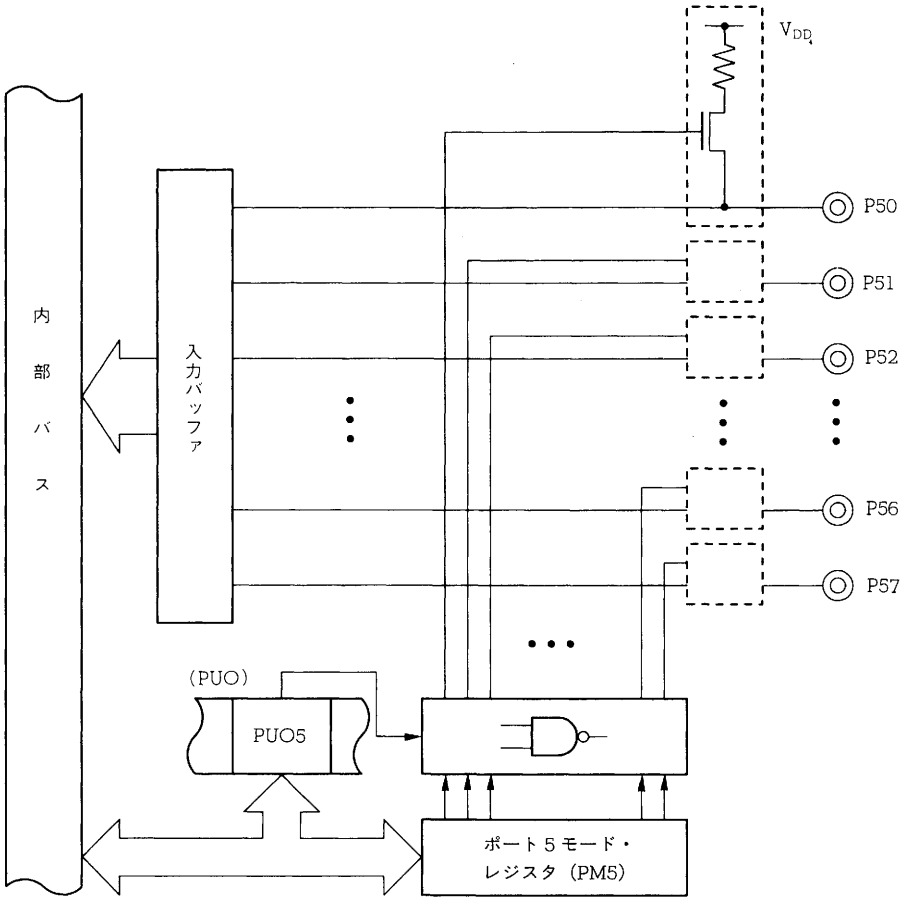
PUO5	ポート5のプルアップ抵抗の指定
0	ポート5では使用しない
1	ポート5で使用する

注意　μPD78243の場合，ポート5をアドレス・バスとして使用しますので，PUO5＝0に設定してください（ポート5に内蔵プルアップ抵抗を接続する指定はしないでください）。
また，μPD78244でポート5をアドレス・バスとして使用する場合も同様にPUO5＝0に設定してください（ポート5に内蔵プルアップ抵抗を接続する指定はしないでください）。

備考　STOPモードに入る場合，消費電流を低減するために，PUOに00Hを設定することが有効です。

保守／廃止

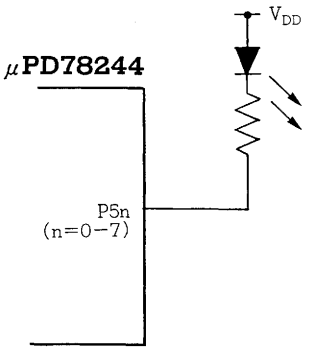
図6－32　プルアップの指定（ポート5）



6.6.5　LEDのダイレクト・ドライブ

ポート5は，LEDをアクティブ・ロウでダイレクトにドライブできるように出力バッファのロウ・レベル側のドライブ能力を強化してあります。図6－33に，その使用例を示します。

図6－33　LEDのダイレクト・ドライブ例



保守／廃止

6.7　ポート６

ポート６は，出力ラッチ付き８ビット入出力ポートです。P64-P67には，ソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。

ポートとしての機能以外に，表６-７のような各種コントロール信号端子としての機能を兼用しています。コントロール端子としての動作は，各機能の操作によって行います。

なお，μPD78243の場合は，P64，P65はそれぞれ$\overline{RD}$出力，$\overline{WR}$出力としてのみ機能します。

$\overline{RESET}$入力により，P60-P63はロウ・レベルになります。P64-P67は，入力ポート（出力ハイ・インピーダンス状態）になり，出力ラッチの内容は，上位４ビットは不定に，下位４ビットは0Hになります。

表６-７　ポート６の動作モード

端　子	ポート・モード	コントロール信号 入出力モード	コントロール端子として動作させるための操作
P60-P63	出力ポート	A16-A19出力	MMレジスタのMM6ビットをセット(1)
P64	入出力ポート	$\overline{RD}$出力	μPD78243の場合，またはMMレジスタのMM2-0ビットにより外部メモリ拡張モードを指定
P65		$\overline{WR}$出力	
P66		$\overline{WAIT}$入力／ ANI6入力	PWレジスタ，またはMMレジスタのPWn1，PWn0ビット(n＝2，3)およびP66を入力モードにすることにより指定
P67		$\overline{REFRQ}$出力／ ANI7入力	RFMレジスタのRFENビットをセット(1)

注意　P60-P63は，$\overline{RESET}$入力中はハイ・インピーダンスですが，$\overline{RESET}$解除後にはロウ・レベルを出力します。したがって，初期状態としてロウ・レベルが出力されてもよいように外付け回路を設計してください。

備考　詳細は，**第14章　ローカル・バス・インタフェース機能**参照。

(a) ポート・モード

P60-P63は出力専用で，P64-P67はポート６モード・レジスタ（PM6）により，１ビット単位で入力／出力の指定ができます。

保守／廃止

(b) コントロール信号入出力モード

(i) **A16-A19 (Address Bus)**

外部メモリ空間拡張時（10000H-FFFFFH）の上位アドレス・バス出力端子です。

メモリ拡張レジスタ（MM）により動作します。

(ii) **$\overline{\text{RD}}$ (Read Strobe)**

外部メモリのリード動作のために出力されるストローブ信号出力端子です。μPD78243の場合か外部メモリ拡張時に動作します。

(iii) **$\overline{\text{WR}}$ (Write Strobe)**

外部メモリのライト動作のために出力されるストローブ信号出力端子です。μPD78243の場合かMMレジスタにより動作します。

(iv) **$\overline{\text{WAIT}}$ (Wait)**

ウエイト信号の入力端子です。プログラマブル・ウエイト制御（PW）レジスタ，またはMMレジスタにより動作します。

(v) **$\overline{\text{REFRQ}}$ (Refresh Request)**

外部に疑似スタティック・メモリを接続した場合に，疑似スタティック・メモリへリフレッシュ・パルスを出力する端子です。リフレッシュ・モード・レジスタ（RFM）により動作します。

(vi) **ANI6, ANI7 (Analog Input)**

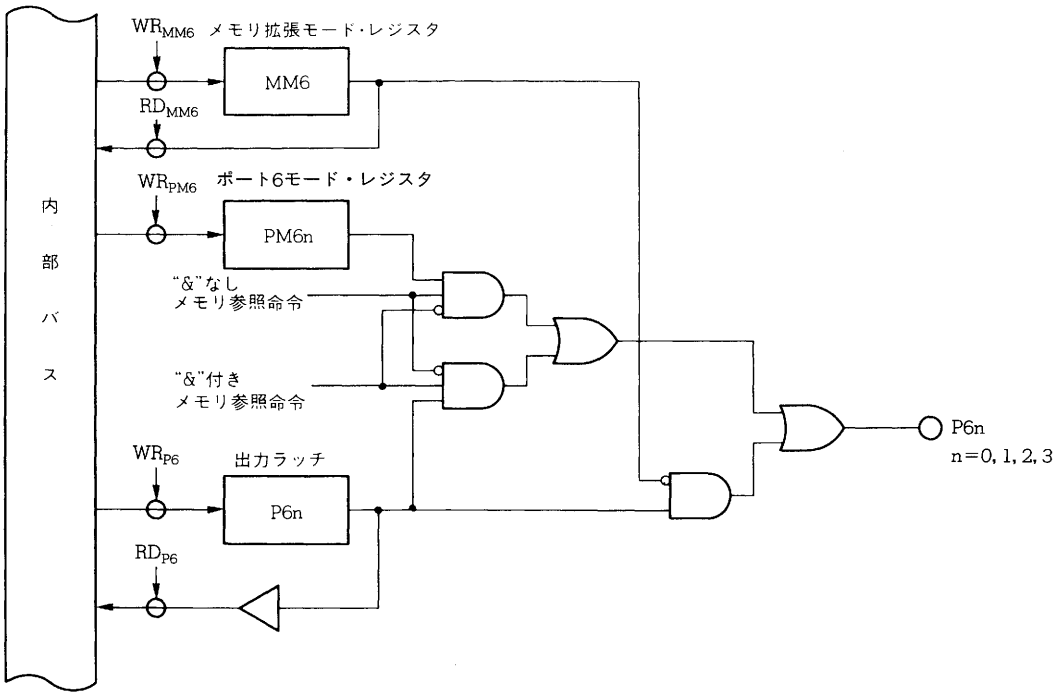
A/Dコンバータ用アナログ入力端子です。

保守／廃止

6.7.1　ハードウエア構成

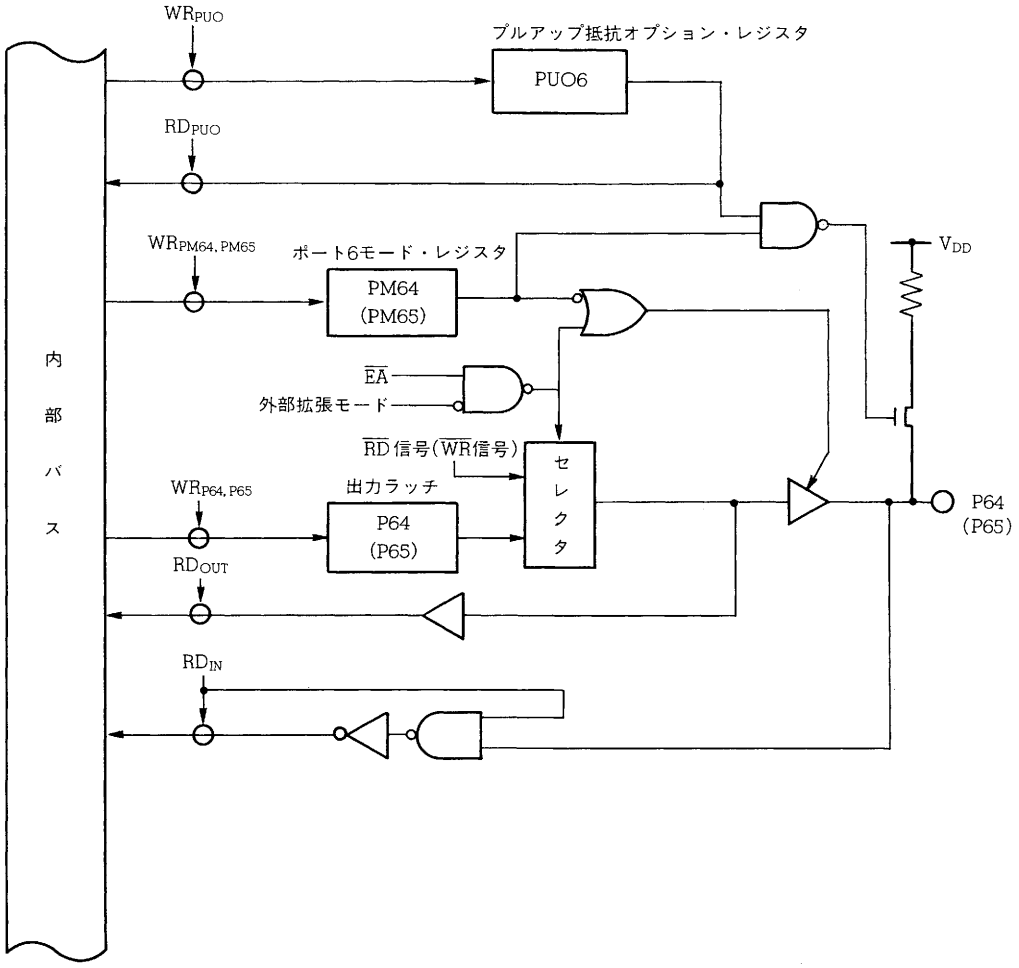
図６－34 -図６－37に，ポート６のハードウエア構成を示します。

図６－34　P60-P63（ポート６）のブロック図



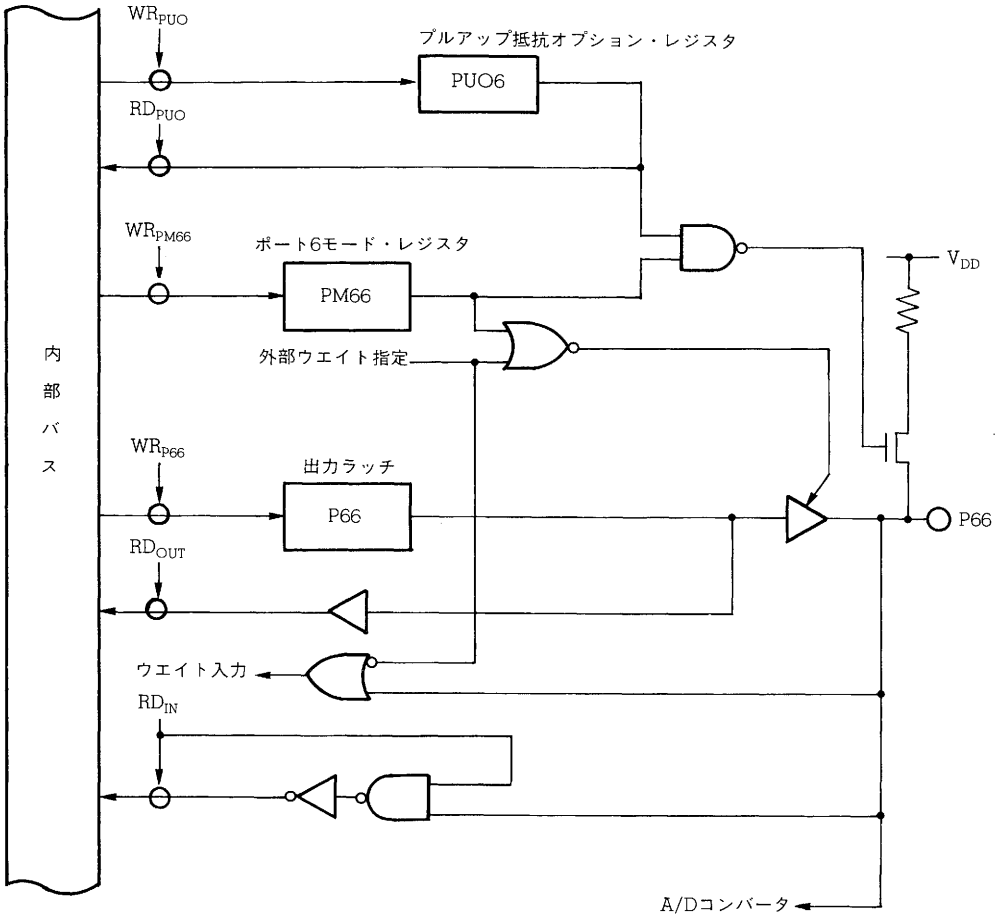
保守／廃止

図６－35　P64，P65（ポート６）のブロック図



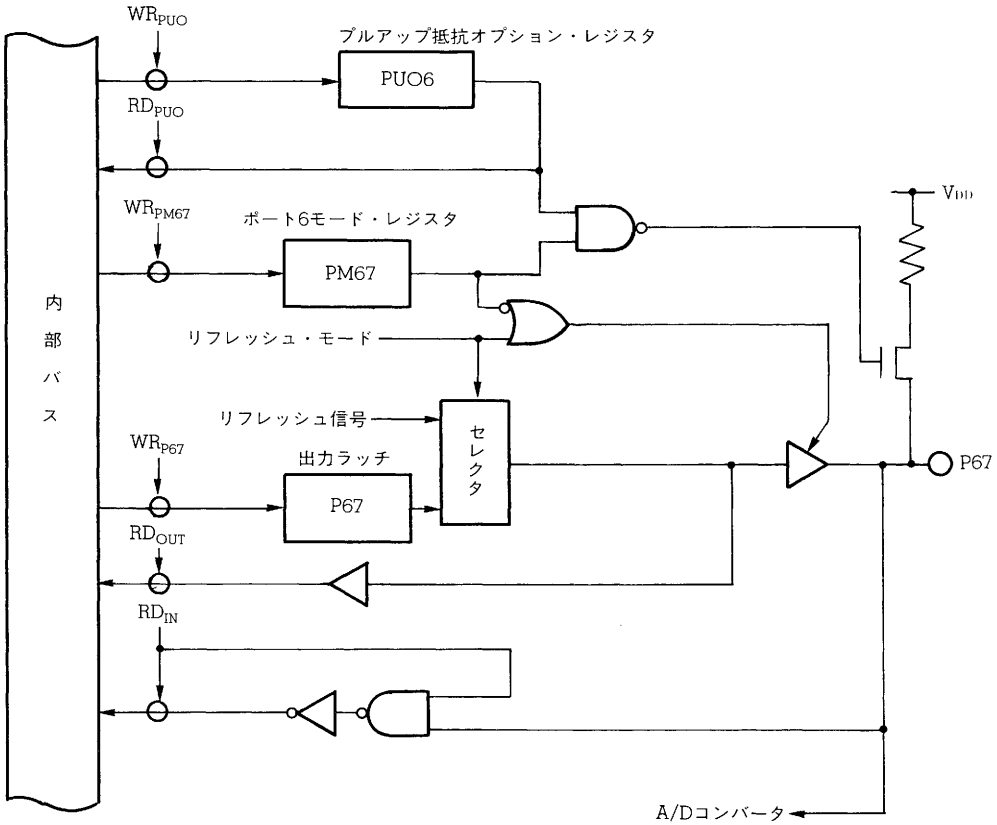
保守／廃止

図６－36　P66（ポート６）のブロック図



保守／廃止

図６－37　P67（ポート６）のブロック図



保守／廃止

6.7.2　入出力モード／コントロール・モードの設定

ポート6の入出力モードは，図6-38のように，ポート6モード・レジスタ（PM6）により設定します。

ポート6のコントロール端子として動作させるための操作は，表6-8に示します。

P66，P67は，常時アナログ信号が入力できるようになっています。

A/D変換動作の指定は，A/DコンバータのADMで行います（詳細は，**第9章　A/Dコンバータ**参照）。ただし，ANI6，ANI7として使用する場合は，ポート6モード・レジスタ（PM6）で入力を，プルアップ抵抗オプション・レジスタ（PUO）のPUO6でプルアップ抵抗の接続禁止（PUO6＝0）を指定する必要があります。

μPD78243の場合，P64，P65は，$\overline{RD}$，$\overline{WR}$信号の出力端子としてのみ動作します。

表6-8　ポート6のコントロール端子機能と操作

端　子	機　能	入出力	コントロール端子として動作させるための操作
P60	A16	出力	MMレジスタのMM6ビットをセット（1）
P61	A17	出力	
P62	A18	出力	
P63	A19	出力	
P64	$\overline{RD}$	出力	μPD78243の場合，またはMMレジスタのMM2-MM0ビットにより外部メモリ拡張モードを指定
P65	$\overline{WR}$	出力	
P66	$\overline{WAIT}$	入力	PWレジスタ，またはMMレジスタのPWn1，PWn0（n＝2，3）およびP66を入力モードにすることにより外部ウエイト入力を指定
P67	$\overline{REFRQ}$	出力	RFMレジスタのRFENビットをセット（1）

注意1．P60-P63を出力ポートとして使用する場合は，PM60-PM63ビットを必ず“0”にしてください。“0”になっていないと，インサーキット・エミュレータで正常なエミュレーションができなくなります。

2．P66/$\overline{WAIT}$端子を$\overline{WAIT}$端子として使用する場合は，P66をPM6レジスタにより入力モードにしてください。

保守／廃止

図６－38　ポート６モード・レジスタのフォーマット

	7	6	5	4	3	2	1	0	
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	（リセットでF×H）

PM63	PM62	PM61	PM60	メモリ・バンク指定[注]
0	0	0	0	バンク０
0	0	0	1	バンク１
0	0	1	0	バンク２
0	0	1	1	バンク３
0	1	0	0	バンク４
0	1	0	1	バンク５
0	1	1	0	バンク６
0	1	1	1	バンク７
1	0	0	0	バンク８
1	0	0	1	バンク９
1	0	1	0	バンクA
1	0	1	1	バンクB
1	1	0	0	バンクC
1	1	0	1	バンクD
1	1	1	0	バンクE
1	1	1	1	バンクF

PM6n	PM6n端子入出力モード指定（n＝4－7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注　メモリ拡張モード・レジスタ（MM）のMM6ビットを１にセットすることにより，“&”なしメモリ参照命令実行時のバンク指定レジスタとなります。１Mバイト拡張機能を使用しない場合は，PM63-PM60はすべて“0”にしてください。

注意　アナログ入力ANI6，ANI7を使用する場合，PM66，PM67は入力モードに設定してください。

備考　ポート６の下位４ビット（P60-P63）は，出力専用ポートです。

保守／廃止

6.7.3　動作状態

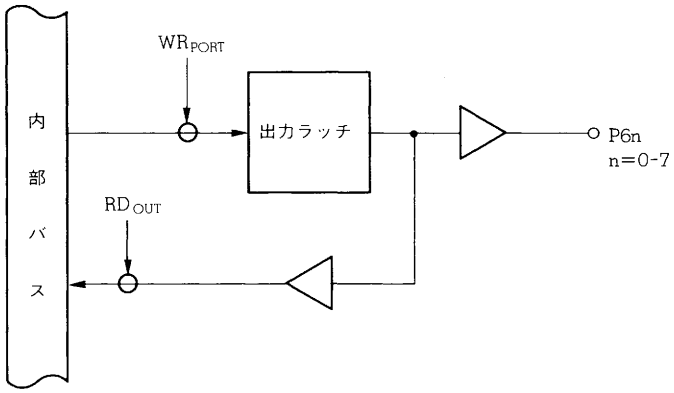
ポート６は入出力ポートで，各種コントロール端子を兼用しています。

(1) 出力ポートに指定された場合

出力ラッチの内容が出力され，転送命令により出力ラッチとアキュームレータとの間でデータのやりとりが行えます。また，出力ラッチの内容は，論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは，次に出力ラッチにデータを書き込む[注]まで保持されます。

注　ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

図６－39　出力ポート指定のポート

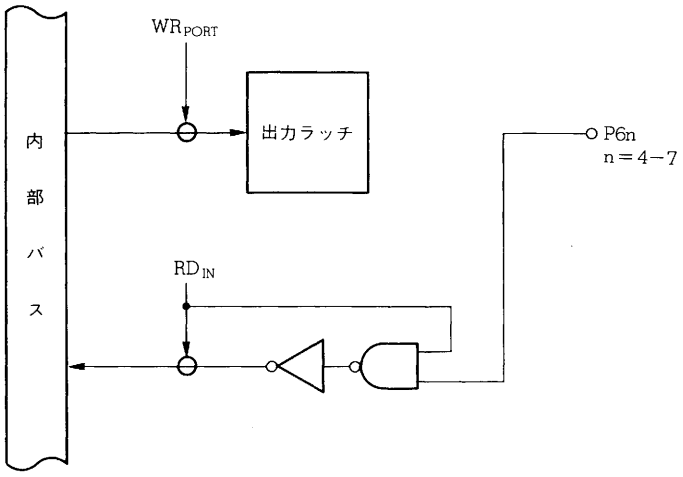


保守／廃止

(2) 入力ポートに指定された場合

ポート端子のレベルを，転送命令でアキュームレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で，転送命令などによりアキュームレータから転送されたデータは，ポートの入出力指定に関係なく，全出力ラッチにストアされます。ただし，入力ポートに指定されているビットの出力バッファは，ハイ・インピーダンス状態になっているため，ポート端子には出力されません（入力指定のビットが，出力ポートに切り替えられたとき，出力ラッチの内容がポート端子に出力されます)。また，入力ポートに指定されているビットの出力ラッチの内容は，アキュームレータにロードすることはできません。

図６－40　入力ポート指定のポート



注意　ビット操作命令は，結果として操作するのは１ビットですが，ポートを８ビット単位でアクセスします。したがって，入出力が混在しているポートでビット操作命令を使用すると，入力に指定されている端子の出力ラッチの内容は不定になってしまいます（SET1，CLR1命令などで操作を行ったビットを除く)。特に入出力を切り替えて使用するビットがある場合については注意が必要です。
また，その他の８ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) コントロール端子の場合

ソフトウエアで操作することやテストすることはできません。

(4) アナログ入力端子の場合（P66，P67のみ）

アナログ入力端子（ANI6，ANI7）として使用している場合でも，端子レベルの読み込みあるいはテストが可能です。

保守／廃止

6.7.4　内蔵プルアップ抵抗

P64-P67は，プルアップ抵抗を内蔵しています。プルアップが必要な場合，これらの内蔵抵抗を利用すると，部品点数と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）のPUO6とポート６モード・レジスタ（PM6）で，端子ごとに指定できます。

PUO6が１のとき，ポート６モード・レジスタ（PM6）で入力を指定した（PM6n＝1，n＝4-7）端子の内蔵プルアップ抵抗が有効になります。

なお，P60-P63は，プルアップ抵抗を内蔵していません。

図６－41　プルアップ抵抗オプション・レジスタのフォーマット

	7	6	5	4	3	2	1	0	
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	0	0	（リセットで00H）

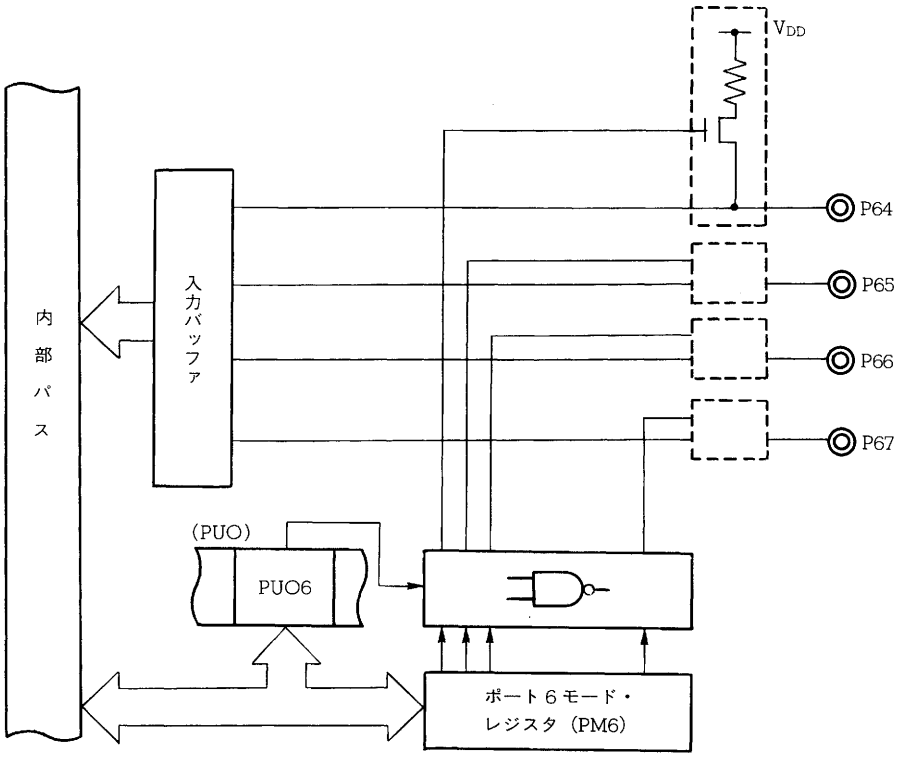
PUO6	ポート６のプルアップ抵抗の指定
0	ポート６では使用しない
1	ポート６で使用する

備考　STOPモードに入る場合，消費電流を低減するために，PUOに00Hを設定することが有効です。

注意　P66，P67をANI6，ANI7として使用する場合は，PUO6＝0として使用してください(ポート６に内蔵プルアップ抵抗を接続する指定はしないでください)。

保守／廃止

図６－42　プルアップの指定（ポート６）



6.7.5　注意事項

P66，P67をアナログ入力端子ANI6，ANI7として使用している場合には，その端子に，AV_{SS}-AV_{REF}の範囲外の電圧を印加しないでください。

詳細については，**第９章　A/Dコンバータの9.6　注意事項**を参照してください。

保守／廃止

6.8　ポート７

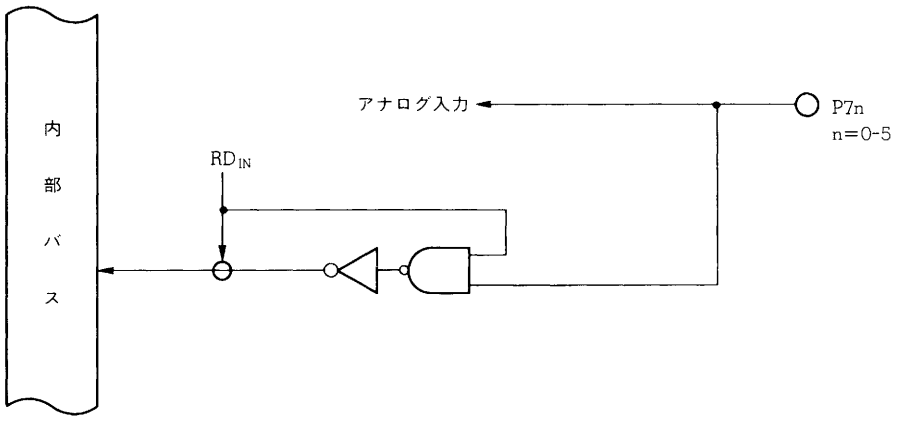
ポート７は，６ビット入力専用ポートです。入力ポートとして働く以外に，A/Dコンバータ用アナログ入力の端子（ANI0-ANI5）としても働きます。

兼用端子の動作にかかわらず，常に端子レベルの読み込み，あるいはテストが可能です。

6.8.1　ハードウエア構成

図６－43に，ポート7のハードウエア構成を示します。

図６－43　ポート７のブロック図



6.8.2　入力モード／コントロール・モードの設定

ポート７は，入力専用ポートです。

また，常時アナログ信号の入力ができるようになっています。モードの設定をする必要はありません。

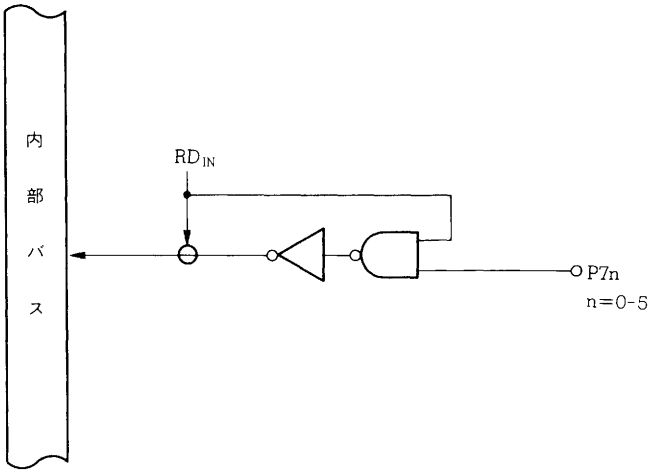
なお，A/D変換動作の指定は，A/DコンバータのADMで行います(詳細は，**第９章　A/Dコンバータ**参照)。

保守／廃止

6.8.3　動作状態

ポート７は，入力専用のポートで，常に端子レベルの読み込みあるいはテストが可能です。

図６－44　入力ポート指定のポート



6.8.4　内蔵プルアップ抵抗

ポート７は，プルアップ抵抗を内蔵していません。

6.8.5　注意事項

(1) P70-P75をANI0-ANI5として使用している端子には，AV_{SS}-AV_{REF}の範囲外の電圧を印加しないでください。

詳細については，**第９章　A/Dコンバータの9.6　注意事項**を参照してください。

(2) ポート７は，６ビットの入力ポートです。したがって，ポート７を読み込んだ場合，上位２ビットの内容は不定になります。

保守／廃止

6.9　注意事項

(1) すべてのポート端子は$\overline{\text{RESET}}$信号が入力されるとハイ・インピーダンスになります(内蔵プルアップ抵抗も端子から切り離されます)。

$\overline{\text{RESET}}$入力中に端子がハイ・インピーダンスとなっては困る場合は，外付けの回路で対策を行ってください。

(2) 内蔵プルアップ抵抗の接続を設定するプルアップ抵抗オプション・レジスタ（PUO）の動作は，インサーキット・エミュレータでは完全なエミュレーションを行うことができません。次のような制限事項があります。

- PUOレジスタをリードしても正しい値を読み出せない。
- PUOレジスタに対するビット操作命令および演算命令が正常に実行できない(場合によっては，SFRイリーガル・アクセス・ブレークが発生し，エミュレーションを中断する場合があります)。
- プルアップ抵抗を内蔵していない。

したがって，次の２つのことを守ってください。

- PUOレジスタへは，８ビット・データ転送命令（MOV命令）によるライト動作でのみ行う。
- ディバグの際には，ターゲット・ボード上にプルアップ抵抗を接続する。

(3) 出力ラッチの内容は$\overline{\text{RESET}}$入力によっても初期化されません。出力ポートとして使用する場合は，必ず出力バッファをオンにする前に，出力ラッチを初期化してください。出力バッファをオンにする前に出力ラッチを初期化していないと出力ポートに予期しないデータが出力されます。

また同様に，コントロール端子として使用する端子は，必ず内部周辺ハードウエアの初期化を行ってからコントロール端子への指定を行ってください。

(4) P22-P26は，リセット直後にプルアップされないため，兼用端子（INTP1-INTP5）機能によって割り込み要求フラグがセットされることがあります。したがって，初期化ルーチンでプルアップを指定してから，割り込み要求フラグをクリアしてください。

(5) インサーキット・エミュレータでは，ポート２の読み込みまたはテスト時にはノイズ除去前の端子レベルとなります。

保守／廃止

(6) μPD78244で，P40-P47，P50-P57をそれぞれアドレス／データ・バス，アドレス・バスとして使用する場合は，PUOレジスタのPUO4，PUO5ビットを必ず“0”にしてください。

また，μPD78243の場合は，P40-P47，P50-P57をそれぞれアドレス／データ・バス，アドレス・バスとして使用しますので，PUOレジスタのPUO4，PUO5ビットを必ず“0”にしてください。

(7) P60-P63は，$\overline{\text{RESET}}$入力中はハイ・インピーダンスですが，$\overline{\text{RESET}}$解除後にはロウ・レベルを出力します。したがって，初期状態としてロウ・レベルが出力されてもよいように外付け回路を設計してください。

(8) P60-P63を出力ポートとして使用する場合は，PM60-PM63ビットを必ず“0”にしてください。“0”になっていないと，インサーキット・エミュレータで正常なエミュレーションができなくなります。

6

(9) アナログ入力ANI6，ANI7を使用する場合，PM66，PM67は入力モードに設定してください。

(10) P66，P67をANI6，ANI7として使用する場合は，PUO6＝0として使用してください(ポート６に内蔵プルアップ抵抗を接続する指定はしないでください)。

(11) P66, P67をアナログ入力端子ANI6, ANI7として使用している場合には，その端子に，AV_{SS}-AV_{REF}の範囲外の電圧を印加しないでください。

詳細については**第９章　A/Dコンバータの9.6　注意事項**を参照してください。

(12) P70-P75をANI0-ANI5として使用する端子には，AV_{SS}-AV_{REF}の範囲外の電圧を印加しないでください。

詳細については**第９章　A/Dコンバータの9.6　注意事項**を参照してください。

(13) ポート７は，６ビットの入力ポートです。したがって，ポート７を読み込んだ場合，上位２ビットの内容は不定になります。

(14) ビット操作命令は，結果として操作するのは１ビットですが，ポートを８ビット単位でアクセスします。したがって，入出力が混在しているポートでビット操作命令を使用すると，入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます(SET1，CLR1命令などで操作を行ったビットを除く)。特に入出力を切り替えて使用するビットがある場合については注意が必要です。 ★

また，その他の８ビット演算命令でポートを操作する場合も同様に注意が必要です。

(15) P66/$\overline{\text{WAIT}}$端子を$\overline{\text{WAIT}}$端子として使用する場合は，P66をPM6レジスタにより入力モードにしてください。

保守／廃止

保守／廃止

第７章　リアルタイム出力機能

7.1　構成と機能

リアルタイム出力機能は，図７－１に示すようにポート０とバッファ・レジスタ（POH，POL）を中心とするハードウエアによって実現されます。

バッファ・レジスタにあらかじめ用意しておいたデータをタイマ割り込み，または外部割り込みの発生と同時にハードで出力ラッチに転送して，外部に出力することをリアルタイム出力機能といいます。また，外部へ出力する端子をリアルタイム出力ポートと呼びます。

リアルタイム出力データとして次の２種が扱えます。

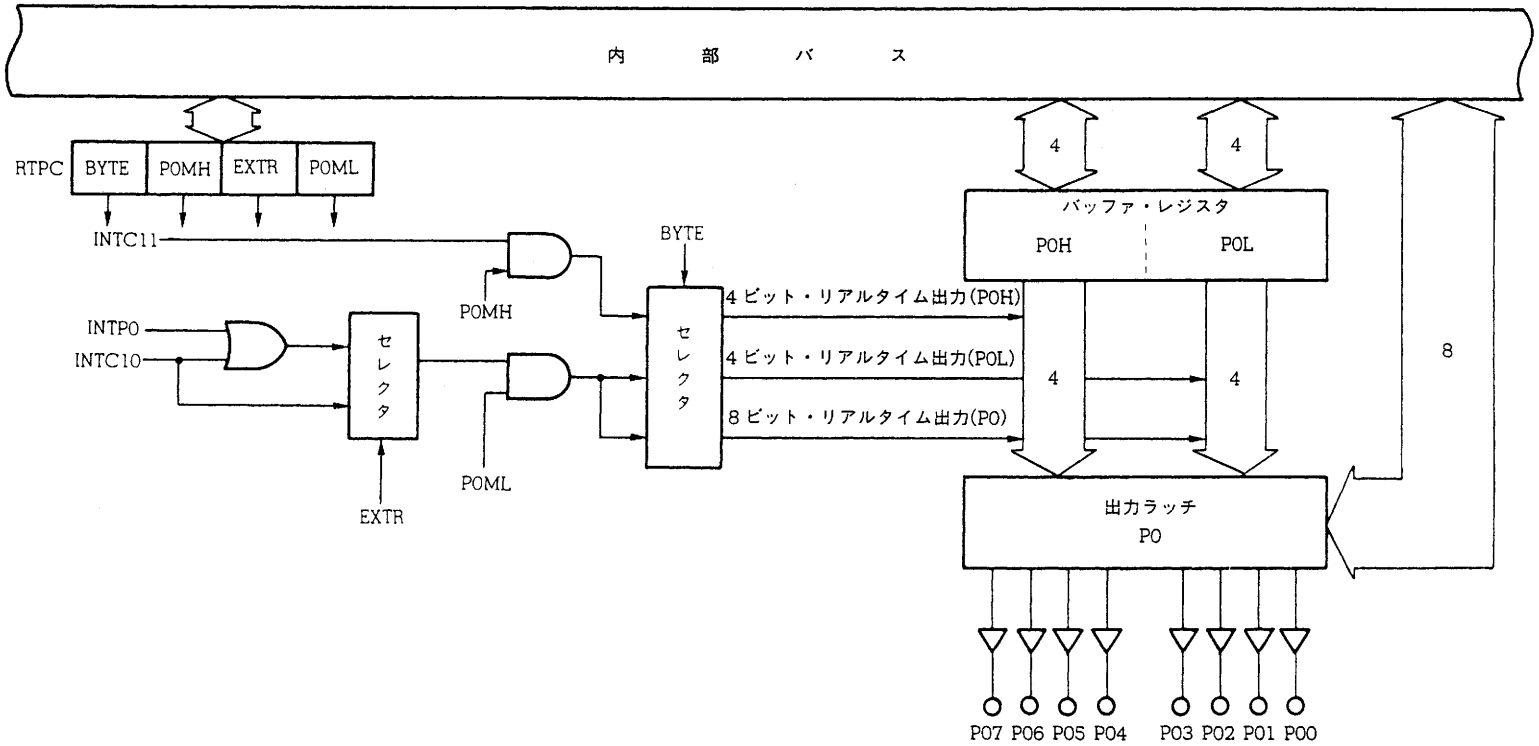
・４ビット×２チャネル
・８ビット×１チャネル

リアルタイム出力機能と後述するマクロ・サービス機能を組み合わせることによって，ソフトウエアの介在なしにプログラマブルなタイミングを持ったパターン・ジェネレータの機能を実現します。

たとえば，ステッピング・モータの制御に最適です。

保守／廃止

図7－1　リアルタイム出力ポートのブロック図



保守／廃止

7.2　リアルタイム出力ポート・コントロール・レジスタ（RTPC）

RTPCレジスタはポート0の機能を指定する8ビット・レジスタです。8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図7-2に示します。

$\overline{\text{RESET}}$入力により00Hになります。

図7-2　リアルタイム出力ポート・コントロール・レジスタ（RTPC）のフォーマット

	7	6	5	④	3	2	1	⓪
RTPC	BYTE	0	0	P0MH	EXTR	0	0	P0ML

P0ML	P00-P03の機能指定
0	ポート・モード
1	リアルタイム出力ポート・モード

EXTR	INTP0によるバッファ・レジスタから出力ラッチへのデータ転送の許可
0	許可しない。
1	許可する。BYTE=0：P0Lのみ転送される。 BYTE=1：P0L/Hが転送される。

P0MH	P04-P07の機能指定
0	ポート・モード
1	リアルタイム出力ポート・モード

BYTE	リアルタイム出力ポートの動作モード
0	4ビット・セパレート・リアルタイム出力ポート
1	8ビット・リアルタイム出力ポート

注意　P0ML，P0MHをセット(1)すると，ポート0モード・レジスタ（PM0）の内容にかかわらず，該当する出力ポートの出力バッファがオンになり，ポート0出力ラッチの内容が出力されます。したがって，リアルタイム出力ポートとして指定する前に，出力ラッチの内容を初期化してください。

保守／廃止

7.3　リアルタイム出力ポートのアクセス

バッファ・レジスタ（POH，POL）は図７-３に示すようにSFR領域内でそれぞれ独立したアドレスにマッピングされています。４ビット×２チャネルのリアルタイム出力機能を指定した場合，バッファ・レジスタ（POH，POL）はそれぞれ独立にデータをセットすることができます。

８ビット×１チャネルのリアルタイム出力機能を指定した場合は，バッファ・レジスタ（POH，POL）のどちらか一方に８ビット・データを書き込むことによって，POH，POLそれぞれにデータをセットすることができます。

表７-１に，ポート０とポート０バッファ・レジスタに対する操作時の動作を示します。

図７-３　バッファ・レジスタ（POH，POL）の構成

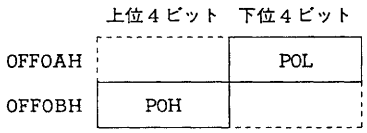


表７-１　ポート０とポート０バッファ・レジスタに対する操作時の動作

動作モード	レジスタ	リード動作		ライト動作	
		上位４ビット	下位４ビット	上位４ビット	下位４ビット
８ビット ポート・モード	P0	出力ラッチ		出力ラッチ	
	POL	バッファ・レジスタ注		—	バッファ・レジスタ
	POH	バッファ・レジスタ注		バッファ・レジスタ	—
８ビット リアルタイム出力 ポート・モード	P0	出力ラッチ		—	
	POL	バッファ・レジスタ		バッファ・レジスタ	
	POH	バッファ・レジスタ		バッファ・レジスタ	
４ビット・セパレート リアルタイム出力 ポート・モード	P0	出力ラッチ		—	
	POL	バッファ・レジスタ注		—	バッファ・レジスタ
	POH	バッファ・レジスタ注		バッファ・レジスタ	—
P00-P03：ポート P04-P07：リアルタイム 出力ポート・モード	P0	出力ラッチ		—	出力ラッチ
	POL	バッファ・レジスタ注		—	バッファ・レジスタ
	POH	バッファ・レジスタ注		バッファ・レジスタ	—
P00-P03：リアルタイム 出力ポート・モード P04-P07：ポート	P0	出力ラッチ		出力ラッチ	—
	POL	バッファ・レジスタ注		—	バッファ・レジスタ
	POH	バッファ・レジスタ注		バッファ・レジスタ	—

注　上位４ビットにはPOHの内容が，下位４ビットにはPOLの内容がそれぞれ読み出されます。

備考　—：　出力ラッチおよびバッファ・レジスタに影響を与えません。

保守／廃止

バッファ・レジスタへのデータ設定の例

・４ビット×２チャネル動作の場合

```
MOV  P0L, #05H   ;P0Lレジスタに0101Bをセット
MOV  P0H, #0C0H ;P0Hレジスタに1100Bをセット
```

・８ビット×１チャネル動作の場合

```
MOV  P0L, #0C5H ;P0Lレジスタに0101B,
                        P0Hレジスタに1100Bをセット
```

または

```
MOV  P0H, #0C5H
```

出力ラッチに転送するタイミングは，次の３つのソースで決定できます。

・８ビット・タイマ／カウンタ1からの割り込み（INTC10またはINTC11）

・INTP0外部割り込み

保守／廃止

7.4　動　　作

ポート０の機能をリアルタイム出力ポートに指定すると，表７-２に示すトリガ条件の発生に同期してバッファ・レジスタ（POH，POL）の内容が出力ラッチに取り込まれ，ポート０の端子に出力されます。

たとえば，出力トリガの発生源として８ビット・タイマ／カウンタ１のタイマ１（TM1）とコンペア・レジスタ（CR10，CR11）との一致信号（INTC10，INTC11）を選択します。そのとき，それぞれのコンペア・レジスタにあらかじめ設定したタイミングでポート０端子の出力データをバッファ・レジスタの値に変化させることができます。このリアルタイム出力ポート機能とマクロ・サービス機能を組み合わせることによって，ポート０出力端子の出力データを任意のインターバル時間で順次変化させることができます（**13.4　マクロ・サービス機能**参照）。

また，出力トリガの発生源として外部割り込み端子INTP0を選択すれば外部イベントに同期したポート０出力を得ることができます。

表７-２　リアルタイム出力ポートの出力トリガ（POMH＝POML＝1の場合）

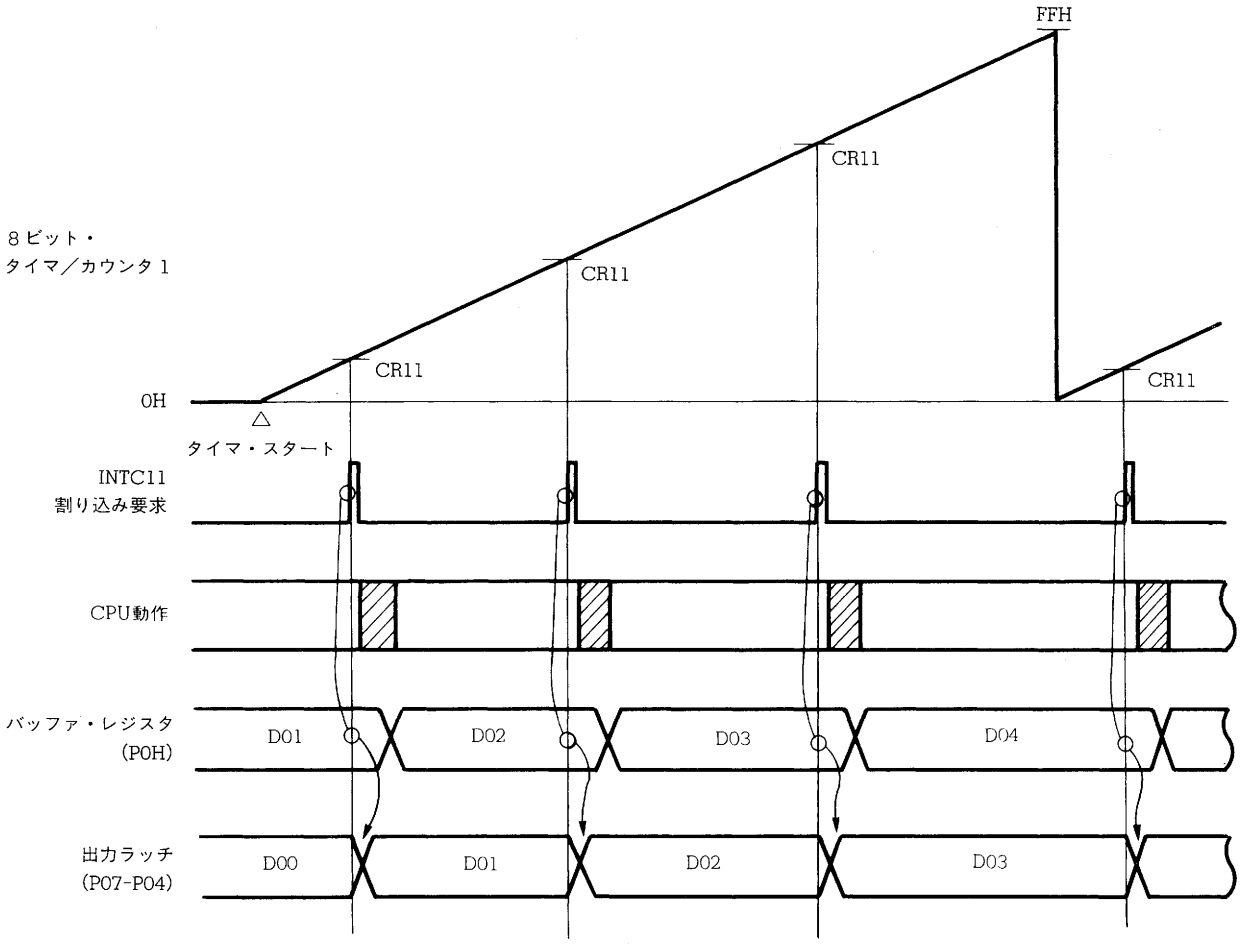
RTPCレジスタ		出力モード	POHレジスタ	POLレジスタ
BYTE	EXTR			
0	0	４ビット・リアルタイム出力	INTC11	INTC10
	1		INTC11	INTC10またはINTP0
1	0	８ビット・リアルタイム出力	INTC10	
	1		INTC10またはINTP0	

注意　インサーキット・エミュレータでは，INTP0端子のディジタル・ノイズ除去を正常に行うことができません。INTP0端子からの信号によるバッファ・レジスタから出力ラッチへのデータ転送を選択した場合，誤検出したエッジに従って動作してしまいます。この点に注意して使用してください。

エッジの誤検出についての詳細は，第12章　エッジ検出機能　12.4　注意事項を参照してください。

保守／廃止

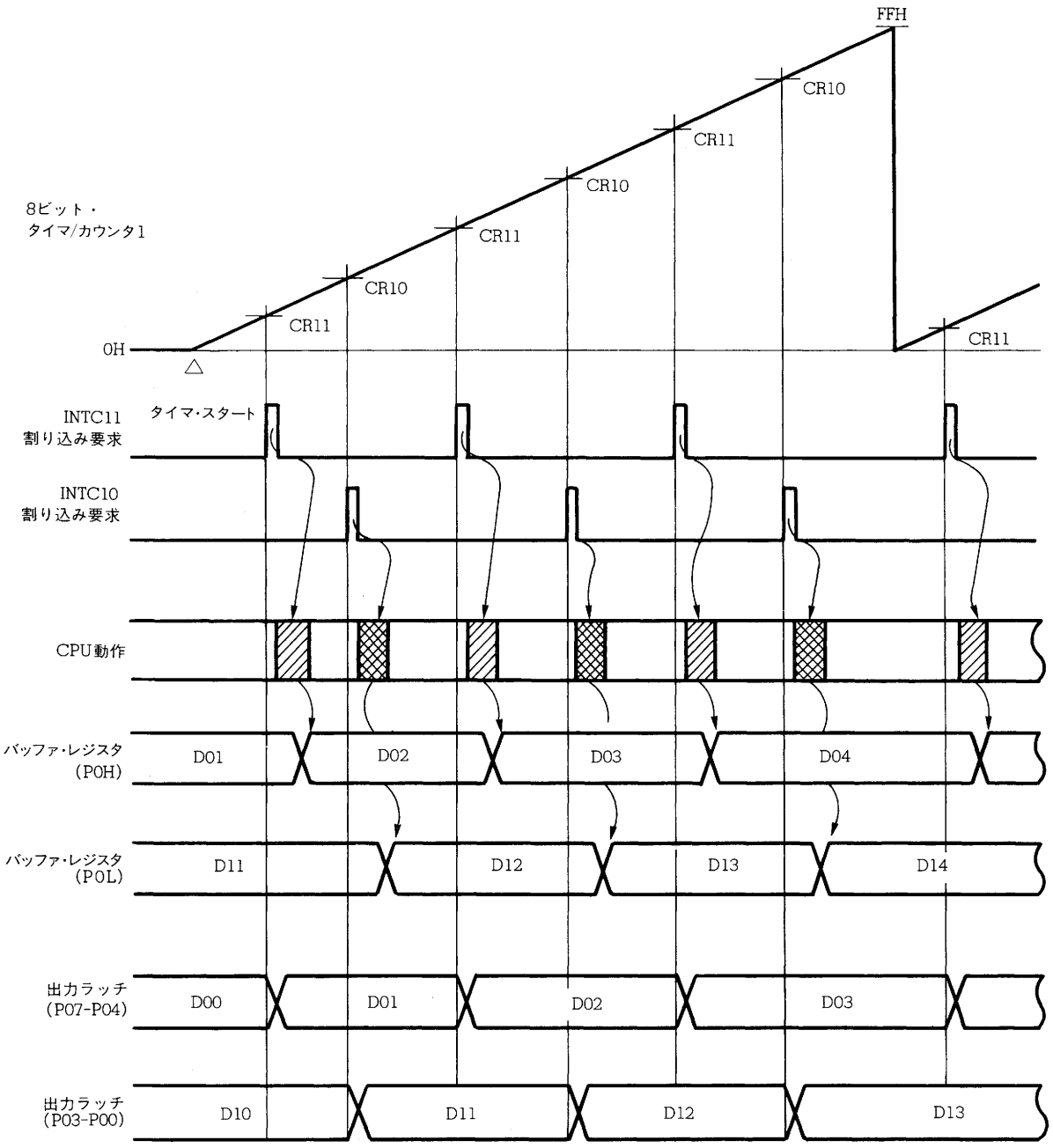
図７－４　リアルタイム出力ポートの動作タイミング



ソフトウエア処理またはマクロ・サービス（**13.4　マクロ・サービス機能**参照）によるバッファ・レジスタおよびコンペア・レジスタの書き換え

保守／廃止

図７－５　リアルタイム出力ポートの動作タイミング（2ch独立制御の例）



ソフトウエア処理またはマクロ・サービス（**13.4　マクロ・サービス機能**参照）によるバッファ・レジスタおよびコンペア・レジスタの書き換え

保守／廃止

7.5　使 用 例

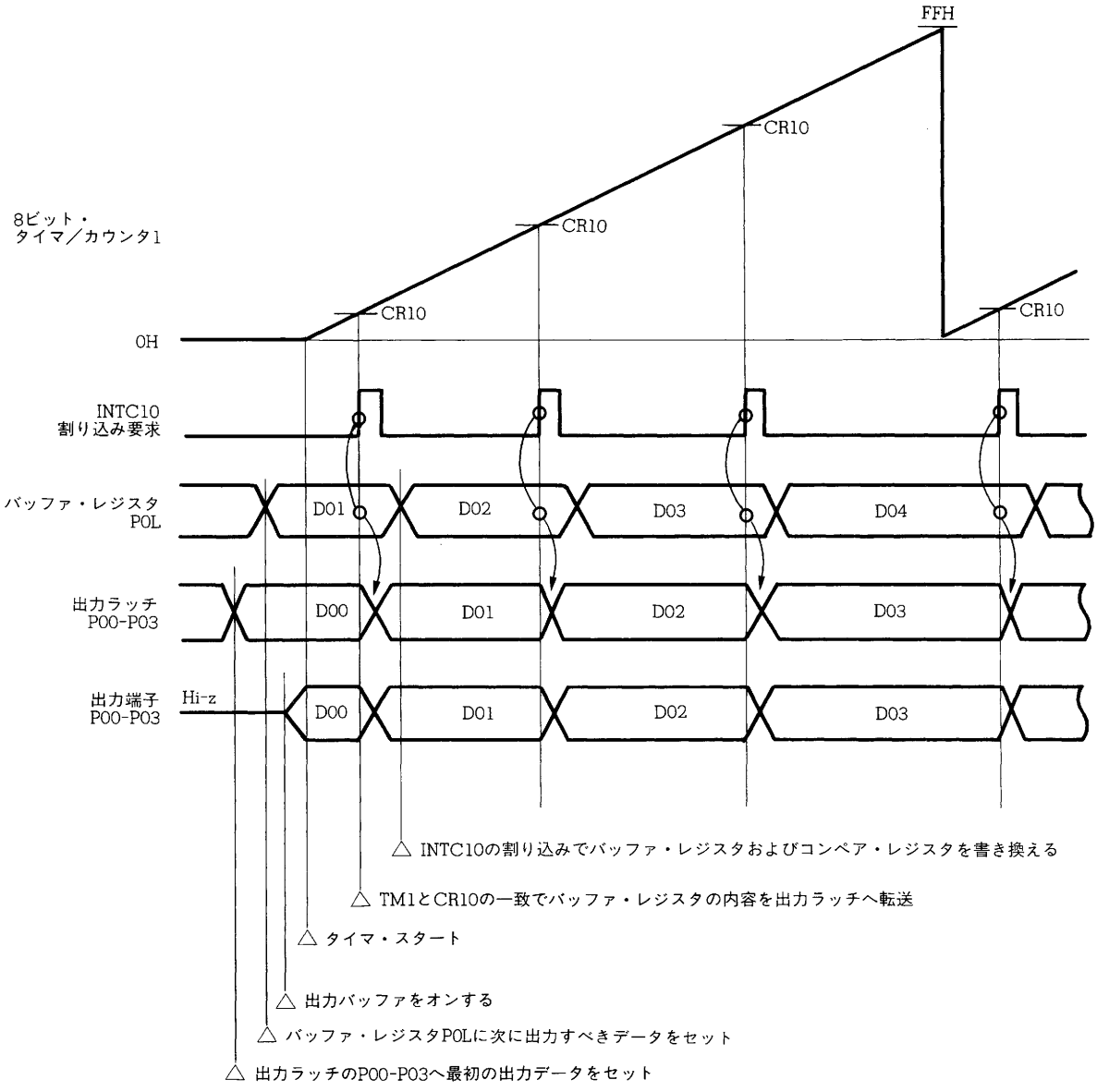
P00－P03を４ビット・リアルタイム出力ポートとして使用する場合を示します。

８ビット・タイマ／カウンタ１のTM1とCR10の内容が一致するごとに，POLの内容がP00-P03へ出力されます。このときに同時に発生する割り込み処理ルーチン中で，次に出力するデータの設定と，次に出力を変化させるタイミングを設定します(図７－６参照)。

なお，タイマ／カウンタ１の使用方法については，**8.2　８ビット・タイマ／カウンタ１**を参照してください。

図７－7に制御レジスタの設定内容，図７－8にその設定手順，図７－9に割り込み処理ルーチン内での処理を示します。

図７－６　リアルタイム出力ポートの動作タイミング



保守／廃止

図７－７　リアルタイム出力機能の制御レジスタの設定内容

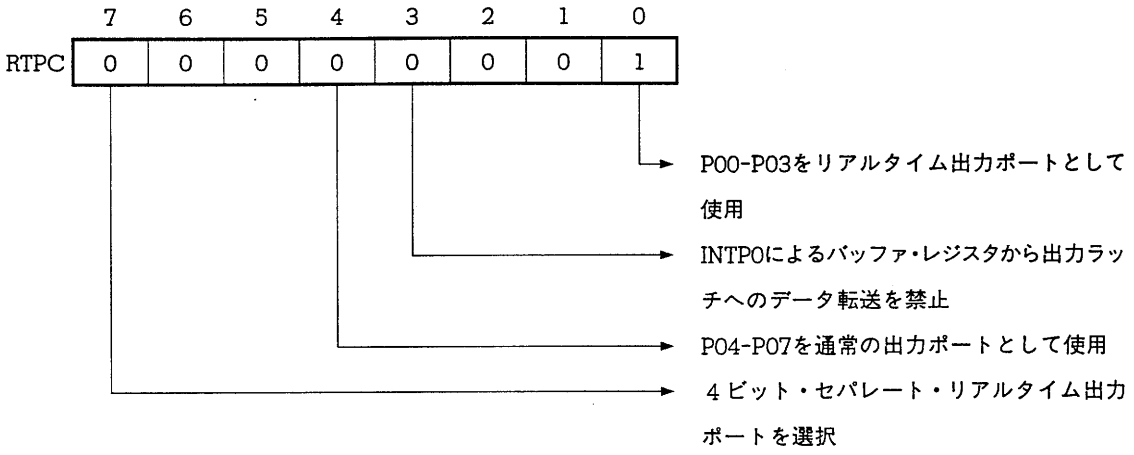
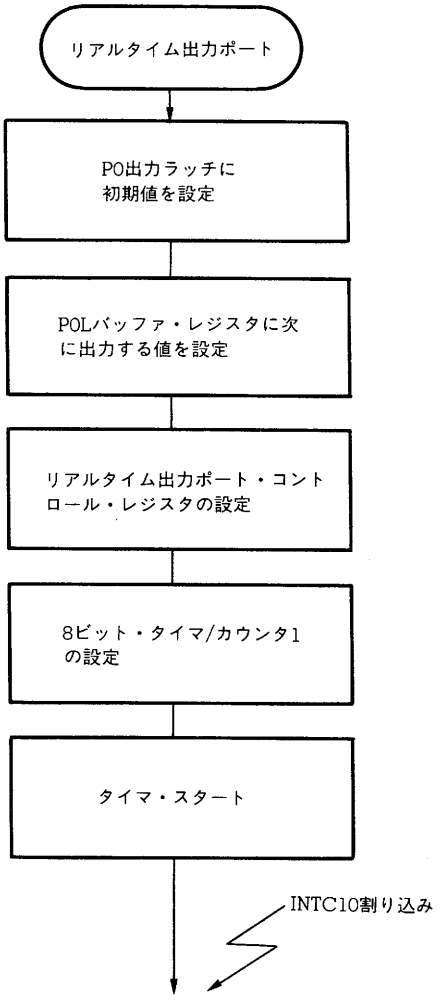
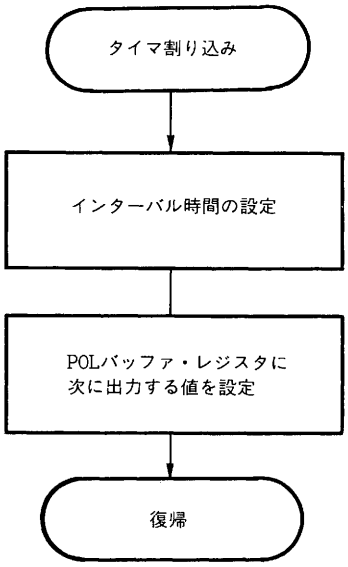


図７－８　リアルタイム出力機能の設定手順



保守／廃止

図７－９　リアルタイム出力機能使用時の割り込み要求処理



保守／廃止

7.6　注意事項

(1) P0ML，P0MHをセット(1)すると，ポート０モード・レジスタ（PM0）の内容にかかわらず，該当する出力ポートの出力バッファがオンになり，ポート０出力ラッチの内容が出力されます。したがって，リアルタイム出力ポートとして指定する前に，出力ラッチの内容を初期化してください。

(2) リアルタイム出力ポートとして指定された場合，ソフトウエアで出力ラッチに直接値を書くことはできなくなります。したがって，リアルタイム出力ポートとして使用することを指定する前に，ソフトウエアで出力ラッチの初期値を設定する必要があります。

また，リアルタイム出力ポートとして使用中に，出力データを強制的に固定値にする必要が生じた場合には，RTPCを操作して，通常の出力ポートに変更してから出力ラッチに出力したい値を書き込むようにしてください。

(3) INTP0端子からの信号によるバッファ・レジスタから出力ラッチへのデータ転送を選択した場合でも，タイマ／カウンタ１（TM1）とコンペア・レジスタ（CR10）の値が一致したときは，バッファ・レジスタから出力ラッチへデータ転送が行われてしまいます。

INTP0端子からの信号によってのみバッファ・レジスタから出力ラッチへのデータ転送を行いたい場合は，次のいずれかを実行してください。ただし，どの方法を使用しても，８ビット・タイマ／カウンタ１のコンペア・レジスタ（CR10）は使用できません。

(a) ８ビット・タイマ／カウンタ１を使用しない。

(b) ８ビット・タイマ／カウンタ１のキャプチャ／コンペア・レジスタ（CR11）をコンペア・レジスタとして使用する場合

キャプチャ／コンペア・レジスタ（CR11）と8ビット・タイマ1（TM1）の値が一致したらクリアを行うモードを使用したインターバル・タイマとして使用する。

ただし，コンペア・レジスタ（CR10）の内容は，CR11レジスタの内容より大きな値にしておくこと。

(c) ８ビット・タイマ／カウンタ１のキャプチャ／コンペア・レジスタ（CR11）をキャプチャ・レジスタとして使用する場合

INTP0に入力される信号の有効エッジの期間が，８ビット・タイマ１（TM1）の値が０からFEHになるまでの時間より十分短いと保証される場合のみ使用すること。

この場合，コンペア・レジスタ（CR10）の値は“FFH”とする。

また，タイマ／カウンタ1は，キャプチャ後クリアするように設定する。

保守／廃止

(d) バッファ・レジスタから出力ラッチへの転送が，最大で８ビット・タイマ１（TM1）の１クロック分遅れても問題がなく，TM1がオーバフローしないことが保証できる場合は，次のように設定して使用してください。

・INTP0信号によるキャプチャ後クリアするように，８ビット・タイマ／カウンタ１を設定する。
・リアルタイム出力ポートのデータ転送のトリガ信号として，INTP0信号を使用しないように設定する。
・コンペア・レジスタ（CR10）に“0H”を設定する。

(4) インサーキット・エミュレータでは，INTP0端子のディジタル・ノイズ除去を正常に行うことができません。INTP0端子からの信号によるバッファ・レジスタから出力ラッチへのデータ転送を選択した場合，誤検出したエッジに従って動作してしまいます。この点に注意して使用してください。

エッジの誤検出についての詳細は，**第12章　エッジ検出機能　12.4　注意事項**を参照してください。

保守／廃止

保守／廃止

第8章　タイマ／カウンタ・ユニット

μPD78244は，16ビット・タイマ／カウンタ・ユニットを1チャネルと8ビット・タイマ／カウンタ・ユニットを3チャネル内蔵しています。

表8-1　タイマ／カウンタの種類と機能

種類と機能＼ユニット		16ビット・タイマ／カウンタ	8ビット・タイマ／カウンタ1	8ビット・タイマ／カウンタ2	8ビット・タイマ／カウンタ3
種類	インターバル・タイマ	2チャネル	2チャネル	2チャネル	1チャネル
	外部イベント・カウンタ	—	—	○	—
	ワンショット・タイマ注	—	—	○	—
機能	タイマ出力	2チャネル	—	2チャネル	—
	トグル出力	○	—	○	—
	PWM／PPG出力	○	—	○	—
	ワンショット・パルス出力注	○	—	○	—
	リアルタイム出力	—	○	—	—
	パルス幅測定	○	○	○	—
	割り込み要求数	2	2	2	1
	シリアル・インタフェースのクロック・ソース	—	—	—	○

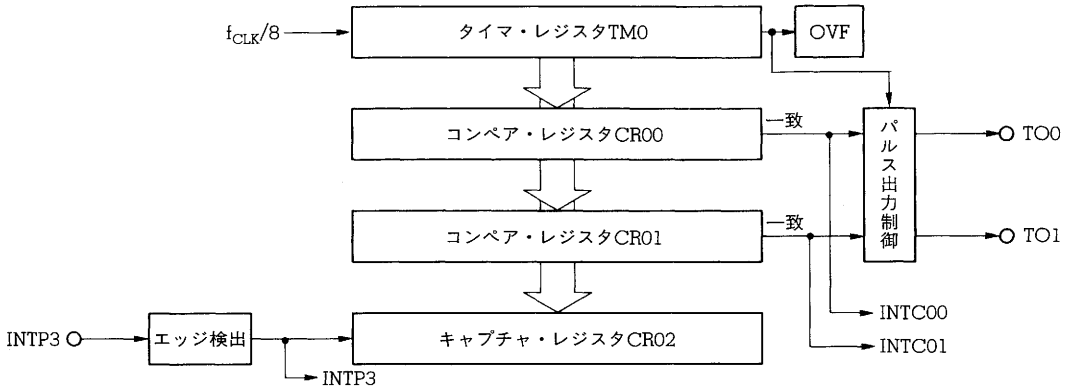
注　ワンショット・タイマ・モードは，8ビット・タイマ／カウンタ2のみが有するモードです。これは，16ビット・タイマ／カウンタのワンショット・パルス出力機能とは機能的に異なります。したがって，16ビット・タイマ／カウンタには，ワンショット・タイマ・モードはありません。なお，16ビット・タイマ／カウンタのワンショット・パルス出力は，μPD78214から追加した機能です。

計7つの割り込み要求をサポートしているので，7チャネルのタイマとして機能させることができます。

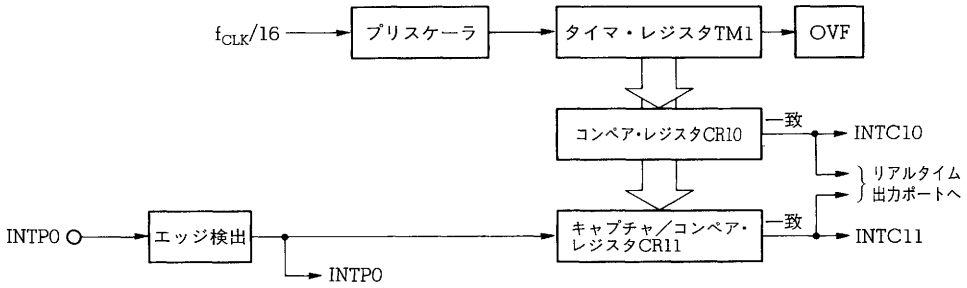
保守／廃止

図８－１　タイマ／カウンタ・ユニットのブロック図

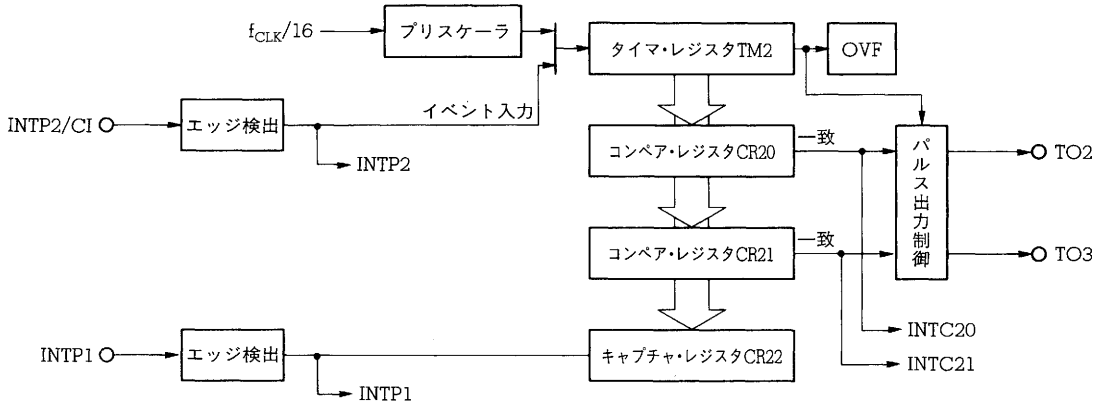
16ビット・タイマ／カウンタ・ユニット



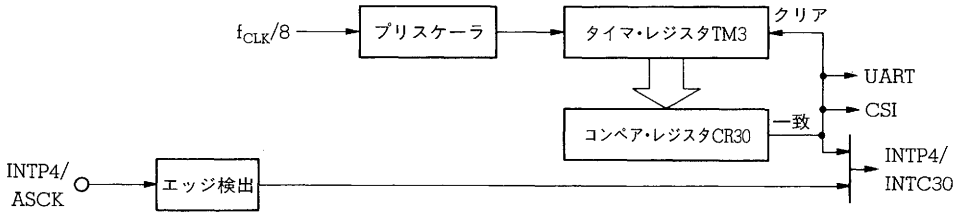
８ビット・タイマ／カウンタ・ユニット１



８ビット・タイマ／カウンタ・ユニット２



８ビット・タイマ／カウンタ・ユニット３



OVF：オーバフロー・フラグ

保守／廃止

8.1　16ビット・タイマ／カウンタ

8.1.1　機　　能

16ビット・タイマ／カウンタは，インターバル・タイマ，プログラマブル矩形波出力，パルス幅測定のような基本機能のほかに，以下のような機能として使うことができます。

・PWM出力
・周期測定
・ソフト・トリガド・ワンショット・パルス出力

(1) インターバル・タイマ

あらかじめ設定したインターバルで内部割り込みを発生します。

表８-２　16ビット・タイマ／カウンタのインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$8/f_{CLK}$ (1.3 μs)	$2^{16}\times 8/f_{CLK}$ (87.4 ms)	$8/f_{CLK}$ (1.3 μs)

(　)内はf_{CLK}＝6 MHzの場合

(2) プログラマブル矩形波出力

TO0，TO1端子にそれぞれ独立に矩形波を出力します。

表８-３　16ビット・タイマ／カウンタのプログラマブル矩形波出力設定範囲

最小パルス幅	最大パルス幅
$8/f_{CLK}$ (1.3 μs)	$2^{16}\times 8/f_{CLK}$ (87.4 ms)

(　)内はf_{CLK}＝6 MHzの場合

保守／廃止

(3) パルス幅測定

外部割り込み端子INTP3へ入力される信号のパルス幅を検出します。

表８－４　16ビット・タイマ／カウンタのパルス幅測定範囲

測定可能なパルス幅	分解能
$\leqq 2^{16} \times 8/f_{CLK}$ ($\leqq$87.4 ms)	$8/f_{CLK}$ (1.3 μs)

( )内はf_{CLK}＝6 MHzの場合

(4) ソフト・トリガド・ワンショット・パルス出力

ソフトウエアによりパルス出力レベルをアクティブに，またハードウエア（割り込み要求信号）によりパルス出力レベルをインアクティブにするワンショット・パルス出力機能です。TO0，TO1に対して独立に制御することができます。

注意　ソフト・トリガド・ワンショット・パルス出力機能は，８ビット・タイマ／カウンタ２のワンショット・タイマ機能とは性質が異なります。

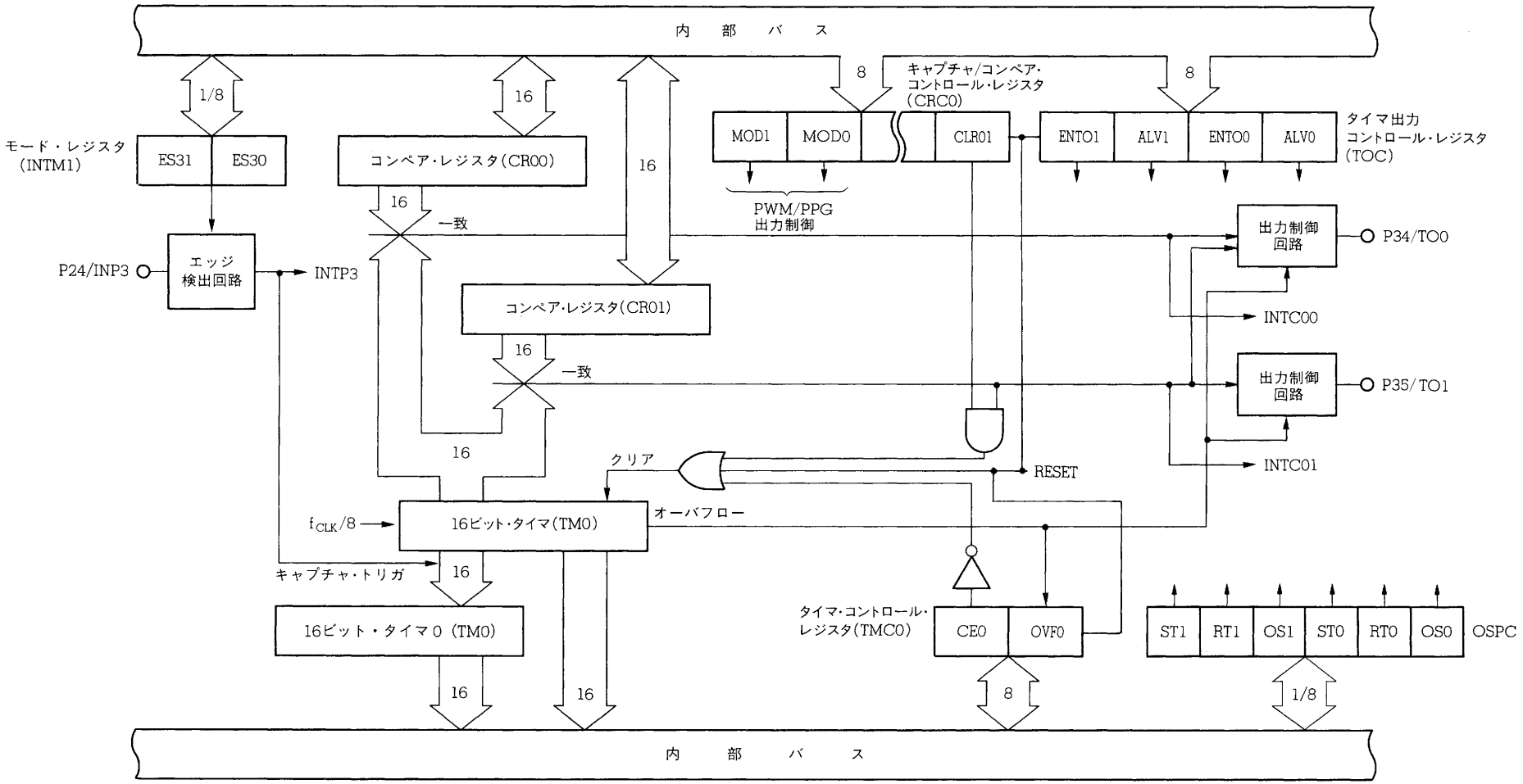
8.1.2 構　　成

16ビット・タイマ／カウンタは，16ビット・タイマ０（TM0）と16ビット・コンペア・レジスタ２本（CR00，CR01），および16ビット・キャプチャ・レジスタ１本（CR02）から構成されます。

図８－２に，16ビット・タイマ／カウンタのブロック図を示します。

保守／廃止

図8-2 16ビット・タイマ/カウンタのブロック図



保守／廃止

(1) 16ビット・タイマ０（TM0）

TM0は，カウント・クロックf_{CLK}/8でアップカウントするタイマです。

タイマ・コントロール・レジスタ0（TMC0）によってカウント動作の停止，許可ができます。

16ビット操作命令で読み出しのみが可能です。$\overline{RESET}$入力により，TM0は0000Hにクリアされ，カウントは停止します。

(2) コンペア・レジスタ（CR00, CR01）

CR00，CR01レジスタは，インターバル・タイマの周期を決める値を保持する16ビット・レジスタです。

CR00，CR01レジスタの内容がTM0の内容と一致すると，割り込み要求（INTC00，INTC01）およびタイマ出力の制御信号を発生します。また，内容一致（CR01）によるカウント値のクリア動作もできます。

16ビット操作命令で読み出し／書き込みが可能です。$\overline{RESET}$入力により不定となります。

(3) キャプチャ・レジスタ（CR02）

CR02レジスタは，TM0の内容をキャプチャする16ビット・レジスタです。

キャプチャ動作は，外部割り込み要求（INTP3）入力端子の有効エッジ入力（キャプチャ・トリガ）に同期します。次のキャプチャ・トリガが発生するまでCR02レジスタの内容は保持されます。

16ビット操作命令で読み出しのみ可能です。$\overline{RESET}$入力により不定となります。

(4) エッジ検出回路

エッジ検出回路は，外部入力の有効エッジを検出します。

INTP3端子入力で外部割り込みモード・レジスタ１（INTM1）により設定された有効エッジを検出して，INTP3とキャプチャ・トリガを発生します（INTM1レジスタについては図 **12－2** 参照）。

(5) 出力制御回路

CR00，CR01レジスタの内容とTM0の内容が一致すると，タイマ出力を反転することができます。タイマ出力コントロール・レジスタ（TOC）の下位４ビットの設定でタイマ出力端子（TO0，TO1）から矩形波を出力することができます。このときキャプチャ／コンペア・コントロール・レジスタ０（CRC0）の指定により，PWM出力やPPG出力もできます。

さらにソフトウエア・トリガによるワンショット・パルスの出力も可能です。

また，TOCレジスタによってタイマ出力の禁止／許可ができます。タイマ出力の禁止状態ではTO0，TO1端子にはインアクティブ・レベルが出力されます（アクティブ・レベルはTOCレジスタにより設定）。

保守／廃止

8.1.3　16ビット・タイマ／カウンタ制御レジスタ

(1) タイマ・コントロール・レジスタ０（TMC0）

TMC0レジスタは，16ビット・タイマ０（TM0）のカウント動作を制御する８ビット・レジスタです。

下位４ビットでTM0のカウント動作を制御します（上位４ビットは８ビット・タイマ／カウンタ3のカウント動作を制御します）。

８ビット操作命令で読み出し／書き込みが可能です。図８－３にTMC0レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図８－３　タイマ・コントロール・レジスタ０（TMC0）のフォーマット

	7	6	5	4	3	2	1	0
TMC0	CE3	0	0	0	CE0	OVF0	0	0

OVF0	TM0のオーバフロー・フラグ
0	オーバフローなし
1	オーバフロー（FFFFHから0000Hへのカウント・アップ）あり。

CE0	TM0のカウント動作制御
0	クリアしたままカウント動作停止
1	カウント動作許可

８ビット・タイマ／カウンタ３のカウント動作を制御します（図８－129を参照）。

備考　OVF0ビットはソフトウエアでのみリセットされます。

保守／廃止

(2) キャプチャ／コンペア・コントロール・レジスタ０（CRC0）

CRC0レジスタは，コンペア・レジスタ（CR01）の内容とTM0のカウンタ値との一致信号によるTM0のクリア動作の許可条件や，タイマ出力（TO0，TO1）モードを指定するレジスタです。

８ビット操作命令で書き込みのみ可能です。図８－４にCRC0レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により10Hにクリアされます。

図８－４　キャプチャ／コンペア・コントロール・レジスタ０（CRC0）のフォーマット

	7	6	5	4	3	2	1	0
CRC0	MOD1	MOD0	0	1	CLR01	0	0	0

MOD1	MOD0	CLR01	タイマ出力モード指定		TM0＝CR01時のTM0のクリア動作
			TO0	TO1	
0	0	0	トグル出力	トグル出力	禁　止
0	0	1	トグル出力	トグル出力	許　可
0	1	0	PWM出力	トグル出力	禁　止
0	1	1	設定禁止		
1	0	0	PWM出力	PWM出力	禁　止
1	0	1	設定禁止		
1	1	0	設定禁止		
1	1	1	PPG出力	トグル出力	許　可

保守／廃止

(3) タイマ出力コントロール・レジスタ（TOC）

TOCレジスタは，タイマ出力のアクティブ・レベルと出力許可／禁止を制御する８ビット・レジスタです。

下位４ビットで16ビット・タイマ／カウンタによるタイマ出力（TO0，TO1端子出力）の動作を制御します（上位４ビットは８ビット・タイマ／カウンタ２によるタイマ出力（TO2，TO3端子出力）の動作を制御します）。

８ビット操作命令で書き込みのみ可能です。図８－５にTOCレジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図８－５　タイマ出力コントロール・レジスタ（TOC）のフォーマット

	7	6	5	4	3	2	1	0
TOC	ENTO3	ALV3	ENTO2	ALV2	ENTO1	ALV1	ENTO0	ALV0

ALV0	TO0端子のアクティブ・レベル	
	トグル出力指定時およびワンショット・パルス出力指定時	PWM/PPG出力指定時
0	ロウ・レベル	ハイ・レベル
1	ハイ・レベル	ロウ・レベル

ENTO0	TO0端子の動作指定
0	$\overline{\text{ALV0}}$を出力
1	パルス出力許可

ALV1	TO1端子のアクティブ・レベル	
	トグル出力指定時およびワンショット・パルス出力指定時	PWM/PPG出力指定時
0	ロウ・レベル	ハイ・レベル
1	ハイ・レベル	ロウ・レベル

ENTO1	TO1端子の動作指定
0	$\overline{\text{ALV1}}$を出力
1	パルス出力許可

８ビット・タイマ／カウント２によるタイマ出力（TO2，TO3端子出力）を制御します（**図８－74**を参照）。

保守／廃止

(4) ワンショット・パルス出力制御レジスタ（OSPC）

ワンショット・パルス出力制御レジスタは，ソフトウエア・トリガによるワンショット・パルス出力の禁止／許可および出力レベルなどを指定する８ビット・レジスタです。

８ビット操作命令とビット操作命令で，読み出し／書き込みが可能です。

図８－６に，ワンショット・パルス出力制御レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により，00Hにクリアされます。

図８－６　ワンショット・パルス出力制御レジスタのフォーマット

	⑦	⑥	5	4	③	②	1	0
OSPC	ST1	RT1	0	OS1	ST0	RT0	0	OS0

OS0	パルス出力の種類選択
0	トグル出力，PWM出力，PPG出力を選択
1	ソフト・トリガド・ワンショット・パルス選択

ST0	RT0	TO0出力の制御
0	0	出力を変化させない
0	1	TO0にインアクティブ・レベルを出力
1	0	TO0にアクティブ・レベルを出力
1	1	設定禁止

OS1	パルス出力の種類選択
0	トグル出力，PWM出力，PPG出力を選択
1	ソフト・トリガド・ワンショット・パルス選択

ST1	RT1	TO1出力の制御
0	0	出力を変化させない
0	1	TO1にインアクティブ・レベルを出力
1	0	TO1にアクティブ・レベルを出力
1	1	設定禁止

備考1. RT0，ST0，RT1，ST1の各ビットは書き込みのみが可能で，読み出し時は“0”になります。

2. 端子からのパルス出力の禁止／許可およびアクティブ・レベルの指定は，タイマ出力制御レジスタ（TOC）で行います。

保守／廃止

8.1.4　16ビット・タイマ０（TM0）の動作

(1) 基本動作

16ビット・タイマ／カウンタのカウント動作は，$f_{CLK}/8$をカウント・クロックとしてカウント・アップします。

$\overline{RESET}$入力により，TM0は0000Hにクリアされ，カウント動作は停止します。

カウント動作の禁止／許可は，タイマ・コントロール・レジスタ０（TMC0）のビット３（CE0）で制御します。CE0ビットをソフトウエアによりセット(1)すると，最初のカウント・クロックでTM0の内容が0000Hにクリアされたのち，カウント・アップ動作を行います。

CE0ビットをリセット(0)することによってTM0は次のカウント・クロックで0000Hにクリアされ，キャプチャ動作や一致信号の発生は停止します。

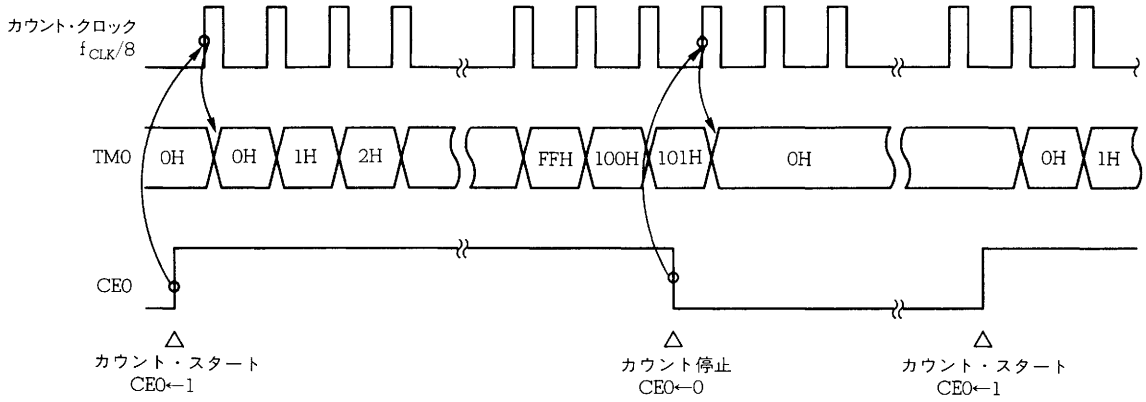
CE0ビットがセット(1)されている状態でさらにCE0ビットをセット(1)した場合，TM0はクリアされないでカウント動作を続けます。

TM0がFFFFHのときにカウント・クロックが入力されると，TM0は0000Hになります。このとき，OVF0がセットされ，出力制御回路にオーバフロー信号を送ります。OVF0は，ソフトウエアによってのみクリアされます。また，カウント動作はそのまま継続されます。

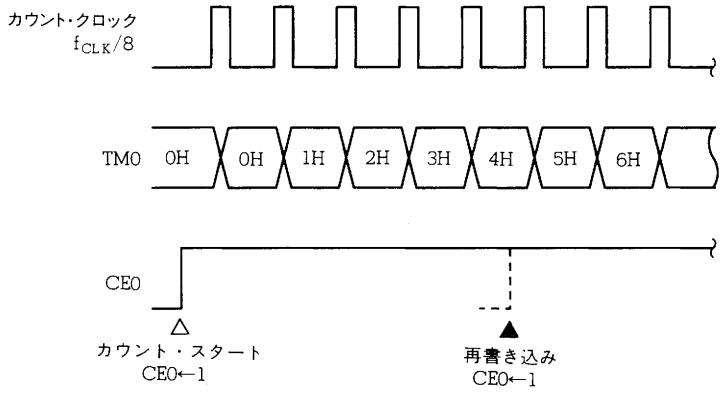
保守／廃止

図８－７　16ビット・タイマ０(TM0)の基本動作

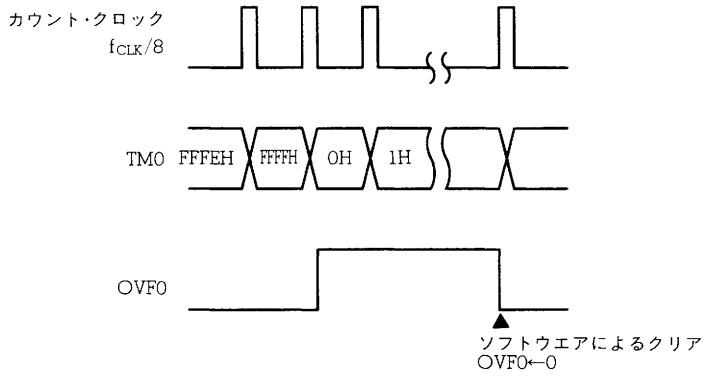
(a) カウント・スタート→カウント停止→カウント・スタートの場合



(b) カウント・スタート後に再度CE0ビット“1”を書き込んだ場合



(c) TM0がFFFFHのときの動作

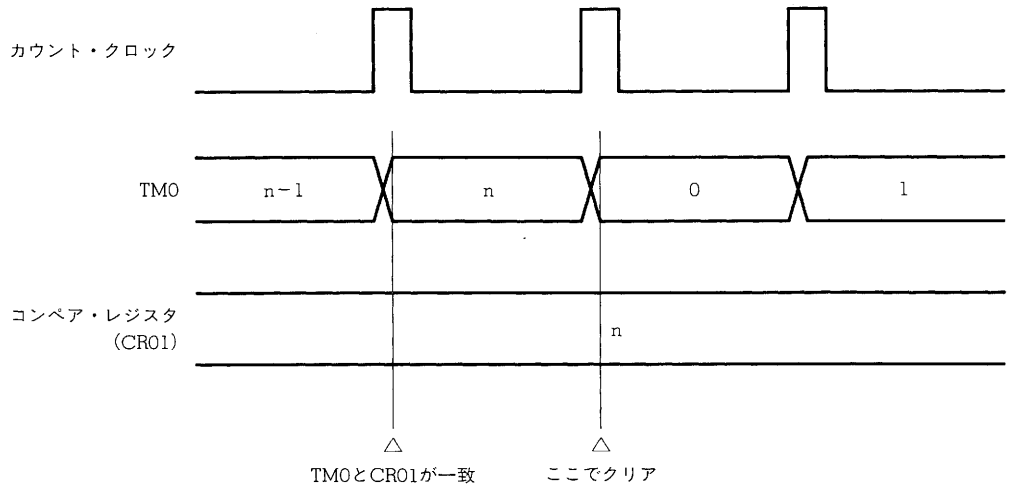


保守／廃止

(2) クリア動作

16ビット・タイマ０（TM0）は，コンペア・レジスタ（CR01）との一致後に自動的にクリアすることができます。TM0は，クリアする要因が発生すると，次のカウント・クロックで0000Hにクリアされます。したがって，クリアする要因が発生しても，次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

図８-８　コンペア・レジスタ（CR01）との一致によるTM0のクリア

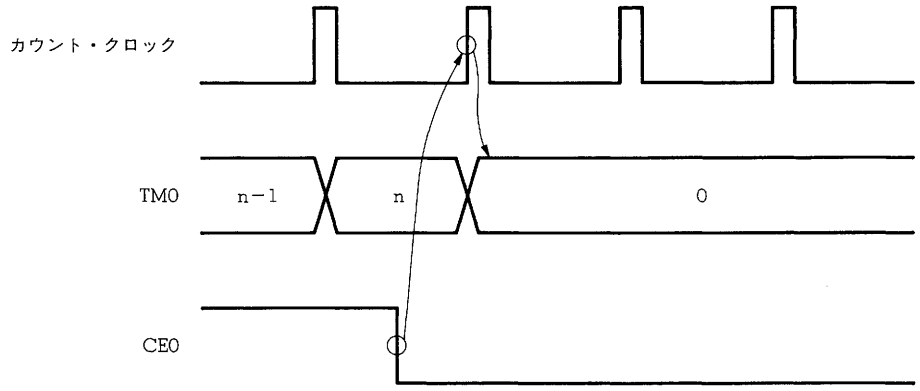


また，TM0はソフトウエアにより，タイマ・コントロール・レジスタ（TMC0）のCE0ビットをリセット(0)することによってもクリアされます。クリア動作は同様に，CE0ビットがリセット(0)されたあとのカウント・クロックで行われます。なお，CE0ビットをリセット(0)し，TM0が０になる前（CE0ビットをリセット(0)したあとの最初のカウント・クロックがくる前）にCE0ビットがセット(1)されると，クリア動作によりTM0が０になる動作とカウント・スタートによる０のカウント動作が同時に行われます。

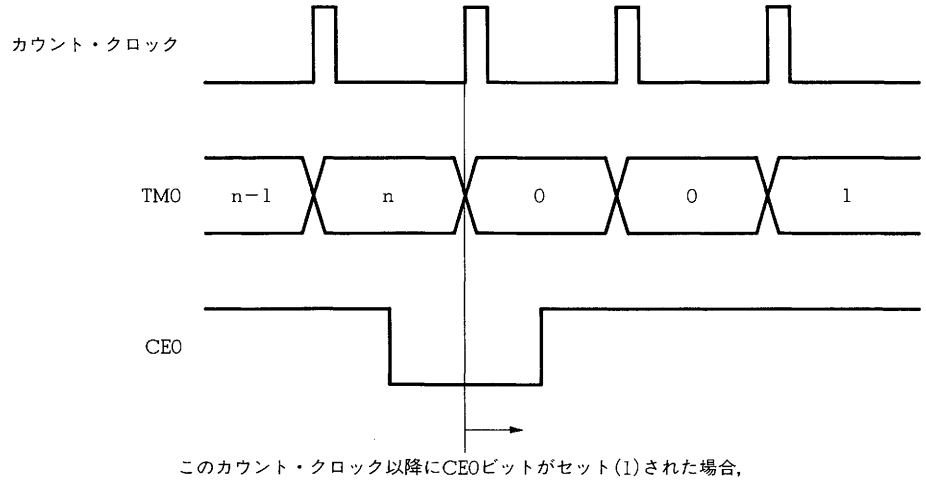
保守／廃止

図８－９　CE0ビットをリセット(0)した場合のクリア動作

(a) 基本動作



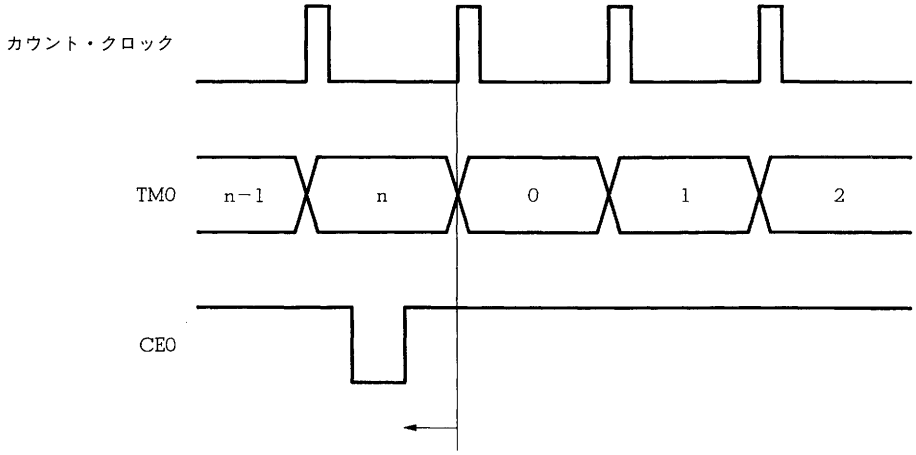
(b) クリア後のTM0が０になってからの再スタート



このカウント・クロック以降にCE0ビットがセット(1)された場合，
CE0ビットをセット(1)したあとのカウント・クロックで０からカウント

保守／廃止

(c) クリア後のTM0が０になる前の再スタート



このカウント・クロック以前にCE0ビットがセット(1)された場合，CE0←0によるTM0のクリア動作とCE0←1による０のカウント動作が同時に行われる

保守／廃止

8.1.5　コンペア・レジスタ，キャプチャ・レジスタの動作

(1) コンペア動作

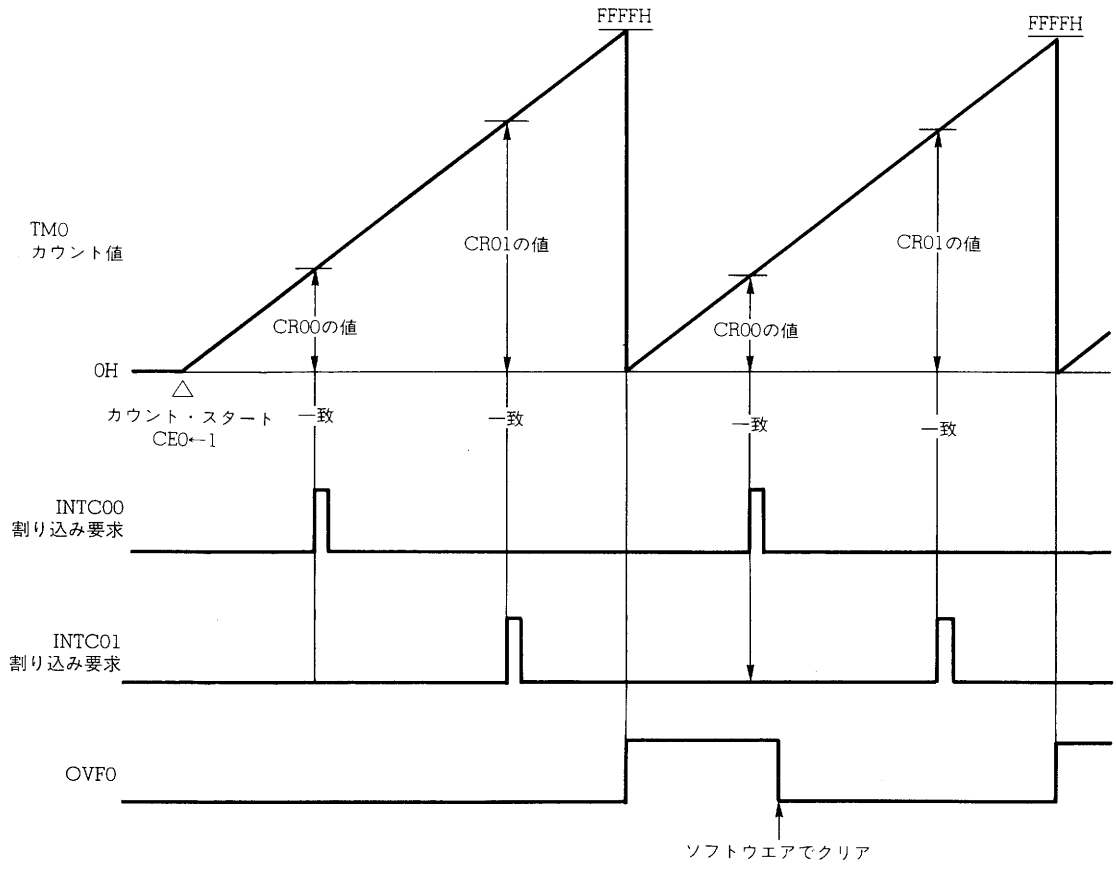
16ビット・タイマ／カウンタは，コンペア・レジスタに設定された値をタイマのカウント値と比較するコンペア動作を行います。

あらかじめ設定されたコンペア・レジスタ（CR00，CR01）の値に16ビット・タイマ０（TM0）のカウント値がカウント動作によって一致すると，出力制御回路に一致信号を送ります。同時に割り込み要求（INTC00，INTC01）を発生します。

また，CR01レジスタの値と一致後，TM0のカウント値をクリアすることができ，CR01レジスタに設定した値を繰り返しカウントするインターバル・タイマとして動作します。

★　**注意　16ビット・タイマ／カウンタでコンペア動作を行うためには，コンペア動作を行わせる前に，使用するコンペア・レジスタに書き込みを行う必要があります。**

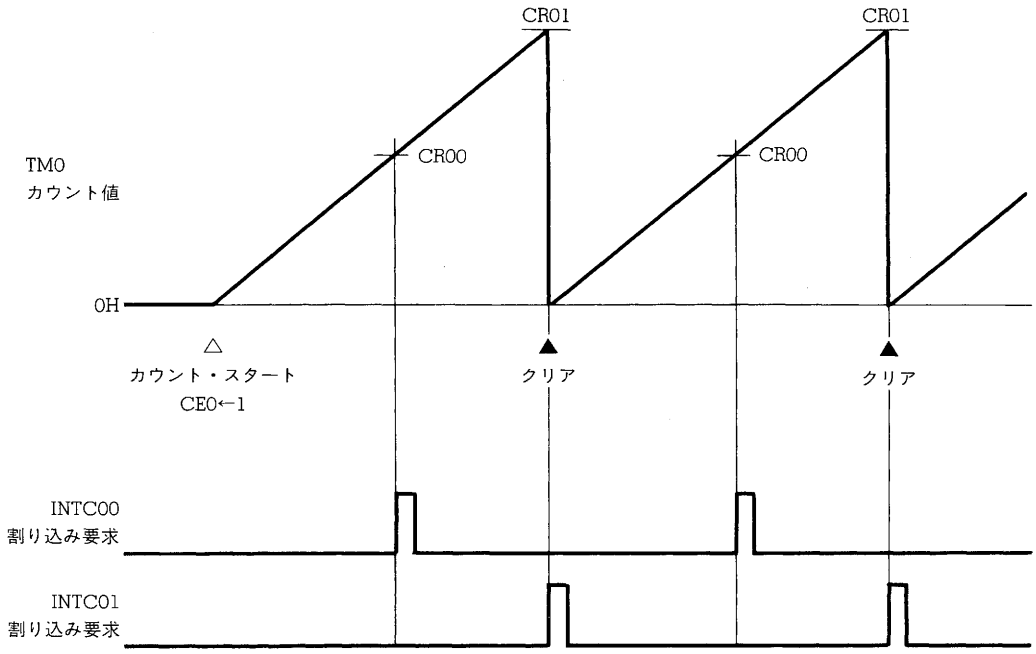
図８－10　コンペア動作



備考　CLR01＝0

保守／廃止

図８－１１　一致検出後，TM0のクリア



備考　CLR01＝1

インターバル時間＝（CR01＋1）×8/f_{CLK}

保守／廃止

(2) キャプチャ動作

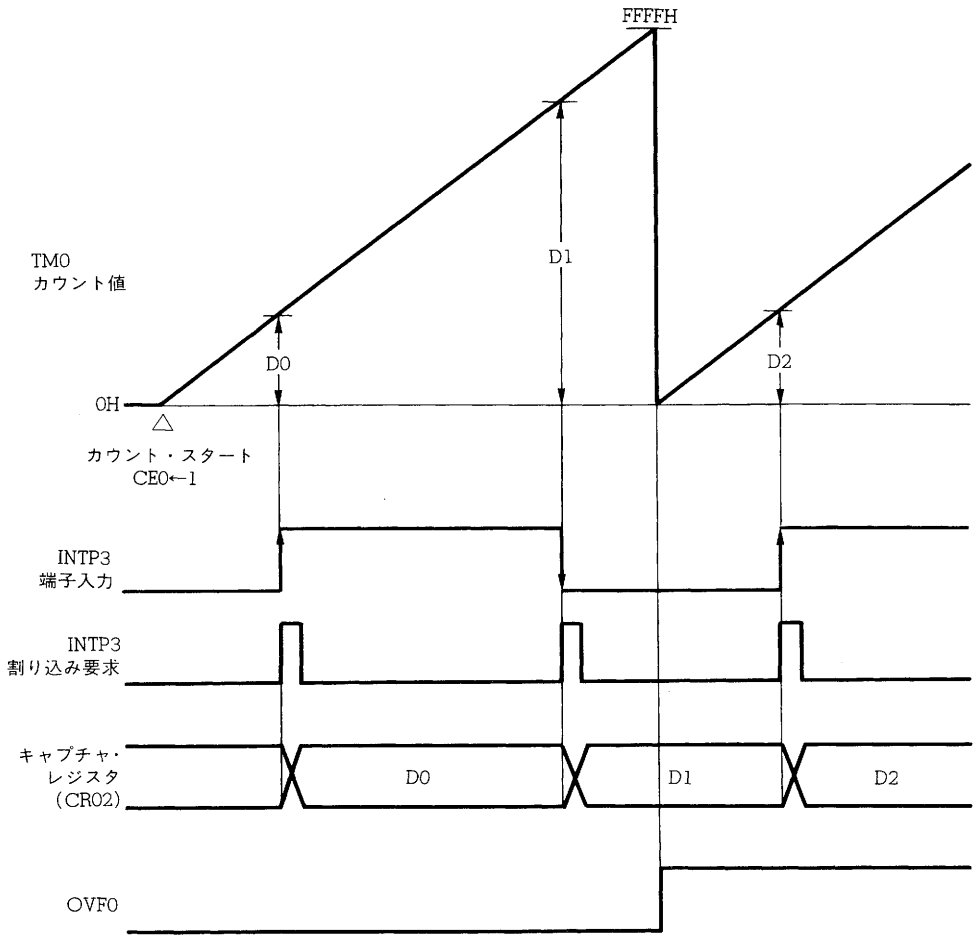
16ビット・タイマ／カウンタは，外部トリガに同期してタイマのカウント値をキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。

外部トリガとして，外部割り込み要求(INTP3)入力端子の入力から検出された有効エッジを用います（キャプチャ・トリガ)。そのキャプチャ・トリガに同期してカウント中の16ビット・タイマ０（TM0）のカウント値をキャプチャ・レジスタ（CR02）に取り込み保持します。次のキャプチャ・トリガが発生するまでCR02レジスタの内容は保持されます。

キャプチャ・トリガの有効エッジは外部割り込みモード・レジスタ１（INTM1）により設定します。立ち上がり，立ち下がり両エッジが，キャプチャ・トリガとなるように設定すれば，外部からの入力パルス幅を測定することができます。また，片側エッジでキャプチャ・トリガを発生させた場合，入力パルスの周期を測定することができます。

INTM1レジスタの詳しいフォーマットは，**第12章　図 12－2** を参照してください。

図８－12　キャプチャ動作



備考　Dn：TM0のカウント値（n＝0，1，2，…）

CLR01＝0

保守／廃止

注意　インサーキット・エミュレータではINTP3端子のディジタル・ノイズ除去を正常に行うことができません。キャプチャ機能を使用している場合，誤検出したエッジによって次のように動作します。

・誤検出したエッジでは，キャプチャ動作を行いません。しかし，誤検出したエッジには，エッジによる割り込みの要求が発生します。

したがって，誤検出したエッジによるINTP3割り込みであるか，正常なINTP3割り込みであるかをソフトウエアで判定してからキャプチャ値を使用してください。
エッジの誤検出についての詳細は，第12章　エッジ検出機能　12.4　注意事項を参照してください。

8.1.6　出力制御回路の基本動作

出力制御回路は，コンペア・レジスタからの一致信号によって，タイマ出力（TO0，TO1）のレベルを制御します。出力制御回路の動作は，タイマ出力コントロール・レジスタ（TOC）とキャプチャ／コンペア・コントロール・レジスタ０（CRC0）とワンショット・パルス出力制御レジスタ（OSPC）によって決定されます（表８－５参照）。

なお，タイマ出力(TO0，TO1)信号を端子へ出力する場合は，PMC3レジスタで該当する端子がコントロール・モードになっている必要があります。

保守／廃止

表8－5　タイマ出力（TO0，TO1）の動作（1/2）

TOC				OSPC		CRC0			TO1	TO0
ENTO1	ALV1	ENTO0	ALV0	OS1	OS0	MOD1	MOD0	CLR01		
0	0/1	0	0/1	×	×	×	×	×	ハイ／ロウ・レベル固定	ハイ／ロウ・レベル固定
0	0/1	1	0/1	×	0	0	0	×	ハイ／ロウ・レベル固定	トグル出力（ロウ／ハイ・アクティブ）
0	0/1	1	0/1	×	0	0	1	0	ハイ／ロウ・レベル固定	PWM出力（ハイ／ロウ・アクティブ）
0	0/1	1	0/1	×	0	1	0	0	ハイ／ロウ・レベル固定	PWM出力（ハイ／ロウ・アクティブ）
0	0/1	1	0/1	×	0	1	1	1	ハイ／ロウ・レベル固定	PPG出力（ハイ／ロウ・アクティブ）
0	0/1	1	0/1	×	1	×	×	×	ハイ／ロウ・レベル固定	ワンショット・パルス出力（ロウ／ハイ・アクティブ）
1	0/1	0	0/1	0	×	0	×	×	トグル出力（ロウ／ハイ・アクティブ）	ハイ／ロウ・レベル固定
1	0/1	0	0/1	0	×	1	0	0	PWM出力（ハイ／ロウ・アクティブ）	ハイ／ロウ・レベル固定
1	0/1	0	0/1	0	×	1	1	×	トグル出力（ロウ／ハイ・アクティブ）	ハイ／ロウ・レベル固定
1	0/1	0	0/1	1	×	×	×	×	ワンショット・パルス出力（ロウ／ハイ・アクティブ）	ハイ／ロウ・レベル固定
1	0/1	1	0/1	0	0	0	0	×	トグル出力（ロウ／ハイ・アクティブ）	トグル出力（ロウ／ハイ・アクティブ）
1	0/1	1	0/1	0	0	0	1	0	トグル出力（ロウ／ハイ・アクティブ）	PWM出力（ハイ／ロウ・アクティブ）
1	0/1	1	0/1	0	0	1	0	0	PWM出力（ハイ／ロウ・アクティブ）	PWM出力（ハイ／ロウ・アクティブ）
1	0/1	1	0/1	0	0	1	1	1	トグル出力（ロウ／ハイ・アクティブ）	PPG出力（ハイ／ロウ・アクティブ）
1	0/1	1	0/1	0	1	0	×	×	トグル出力（ロウ／ハイ・アクティブ）	ワンショット・パルス出力（ロウ／ハイ・アクティブ）
1	0/1	1	0/1	0	1	1	0	0	PWM出力（ハイ／ロウ・アクティブ）	ワンショット・パルス出力（ロウ／ハイ・アクティブ）
1	0/1	1	0/1	0	1	1	1	1	トグル出力（ロウ／ハイ・アクティブ）	ワンショット・パルス出力（ロウ／ハイ・アクティブ）

保守／廃止

表８－５　タイマ出力（TO0，TO1）の動作（2/2）

TOC				OSPC		CRC0			TO1	TO0
ENTO1	ALV1	ENTO0	ALV0	OS1	OS0	MOD1	MOD0	CLR01		
1	0/1	1	0/1	1	0	0	0	×	ワンショット・パルス出力（ロウ／ハイ・アクティブ）	トグル出力（ロウ／ハイ・アクティブ）
1	0/1	1	0/1	1	0	0	1	0	ワンショット・パルス出力（ロウ／ハイ・アクティブ）	PWM出力（ハイ／ロウ・アクティブ）
1	0/1	1	0/1	1	0	1	0	0	ワンショット・パルス出力（ロウ／ハイ・アクティブ）	PWM出力（ハイ／ロウ・アクティブ）
1	0/1	1	0/1	1	0	1	1	1	ワンショット・パルス出力（ロウ／ハイ・アクティブ）	PPG出力（ハイ／ロウ・アクティブ）
1	0/1	1	0/1	1	1	×	×	×	ワンショット・パルス出力（ロウ／ハイ・アクティブ）	ワンショット・パルス出力（ロウ／ハイ・アクティブ）

備考1. ALVn（n=0，1）の“/”は，TOn（n=0，1）の欄の“／”の左右にそれぞれ対応しています。

2. ×印は，０でも１でも動作が同じ場合を示しますが，一部禁止されている組み合わせも含まれています（図８－４参照）。

3. 本表にない組み合わせは，その組み合わせでの使用を禁止しています。

保守／廃止

(1) 基本動作

タイマ出力コントロール・レジスタ（TOC）のENTOn（n=0, 1）をセット(1)することにより，キャプチャ／コンペア・コントロール・レジスタ０（CRC0）のMOD0，MOD1およびCLR01とワンショット・パルス出力制御レジスタ(OSPC)の設定に従ったタイミングでタイマ出力(TO0, TO1)を変化させることができます。

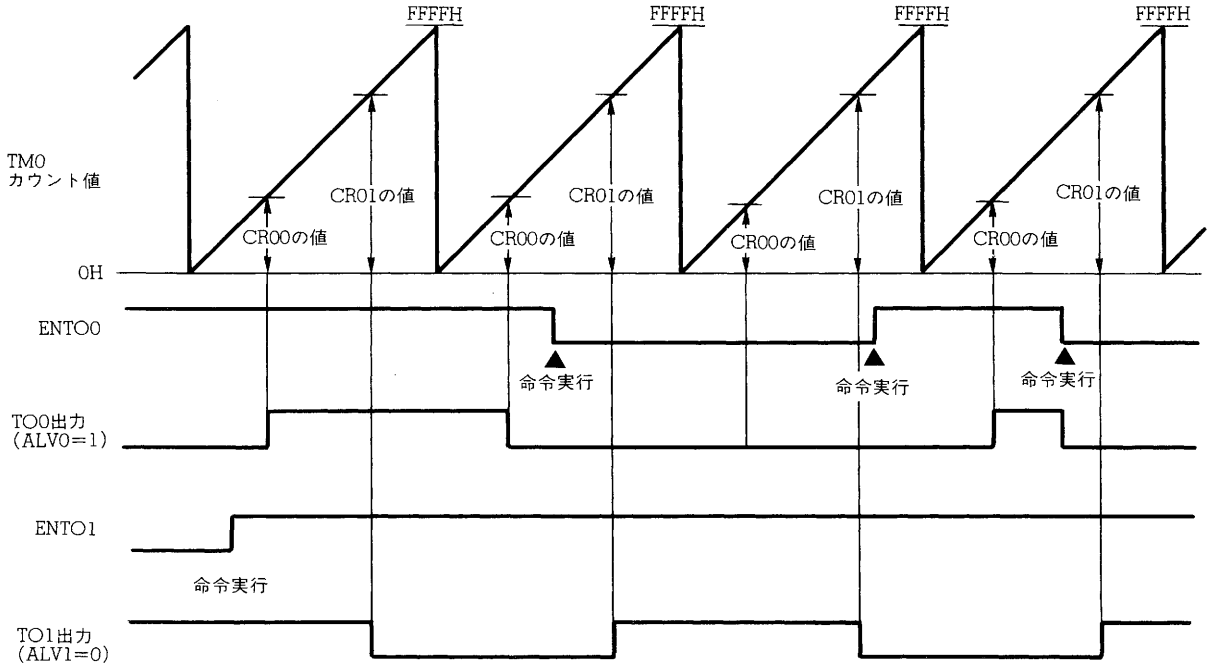
また，ENTOn (n=0, 1) をクリア(0)することにより，タイマ出力（TO0，TO1）を固定レベルにします。固定されるレベルは，タイマ出力コントロール・レジスタ（TOC）のALVn（n=0, 1）によって決定されます。ALVn (n=0, 1) が０のときはハイ・レベルに，ALVn（n=0, 1）が１のときはロウ・レベルになります。

(2) トグル出力

トグル出力は，コンペア・レジスタ（CR00，CR01）の値が16ビット・タイマ０（TM0）の値と一致するたびに出力レベルを反転させる動作モードです。TO0はCR00とTM0の一致によって出力レベルが反転し，TO1はCR01とTM0の一致によって出力レベルが反転します。

なお，TMC0レジスタのCE0ビットをリセット（0）して，16ビット・タイマ／カウンタ０を停止させると，停止時の出力レベルを保持します。

図８－13　トグル出力の動作



保守／廃止

表８－６　TO0，TO1のトグル出力（f_{CLK}＝６MHz）

カウント・クロック	最小パルス幅	最大インターバル時間
$f_{CLK}/8$	1.3 μs	87.4 ms

保守／廃止

8.1.7　PWM出力

16ビット・タイマ０（TM0）がフル・カウントする期間を１周期とするPWM信号を出力するモードです。TO0のパルス幅は，CR00の値によって決定され，TO1のパルス幅は，CR01の値によって決定されます。本機能を使用する場合は，キャプチャ／コンペア・コントロール・レジスタ０（CRC0）のCLR01ビットを０にする必要があります。

パルス周期とパルス幅は，次のようになります。

・PWM周期＝524288/f_{CLK}

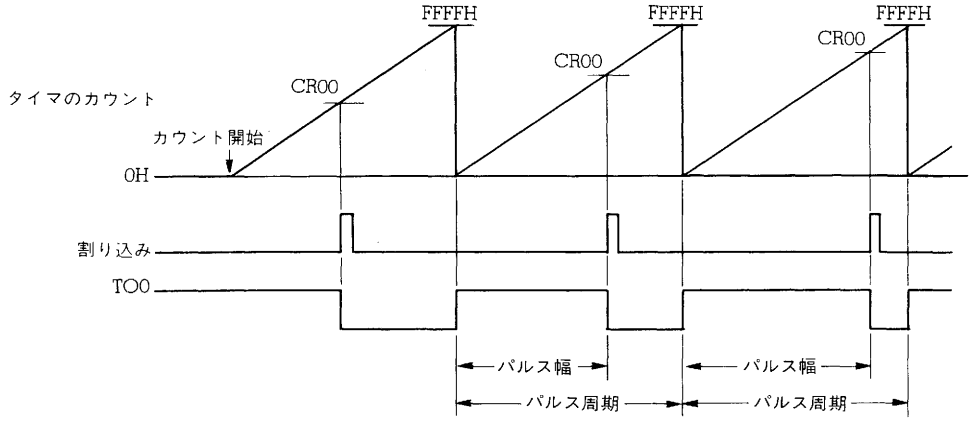
・PWMパルス幅＝((コンペア・レジスタの設定値[注])×8+2)/f_{CLK}≒(コンペア・レジスタの設定値)×8/f_{CLK}

注　コンペア・レジスタには０は設定できません。

$$\text{・デューティ}=\frac{\text{PWMパルス幅}}{\text{PWM周期}}=\frac{(\text{コンペア・レジスタの設定値}\times 8+2)}{65536\times 8}\fallingdotseq\frac{\text{コンペア・レジスタの設定値}}{65536}$$

注意　PWM出力では，近似式に比べて，パルス幅のアクティブ・レベルがf_{CLK}の２クロック分長く，インアクティブ・レベルがf_{CLK}の２クロック分短くなります。高精度の出力が必要な場合は，この点について考慮のうえ使用してください。

図８－14　PWMパルス出力



備考　ALV0＝0

表８－７　TO0，TO1のPWM出力（f_{CLK}＝６MHz）

カウント・クロック	最小パルス幅	PWM周期	PWM周波数
f_{CLK}/8	1.3 μs	87.4 ms	11.4 Hz

保守／廃止

図８－15は，２チャネルのPWM出力の例です。また，図８－16は，コンペア・レジスタにFFFFHを設定した場合の動作です。

図８－15　TM0を用いたPWM出力例

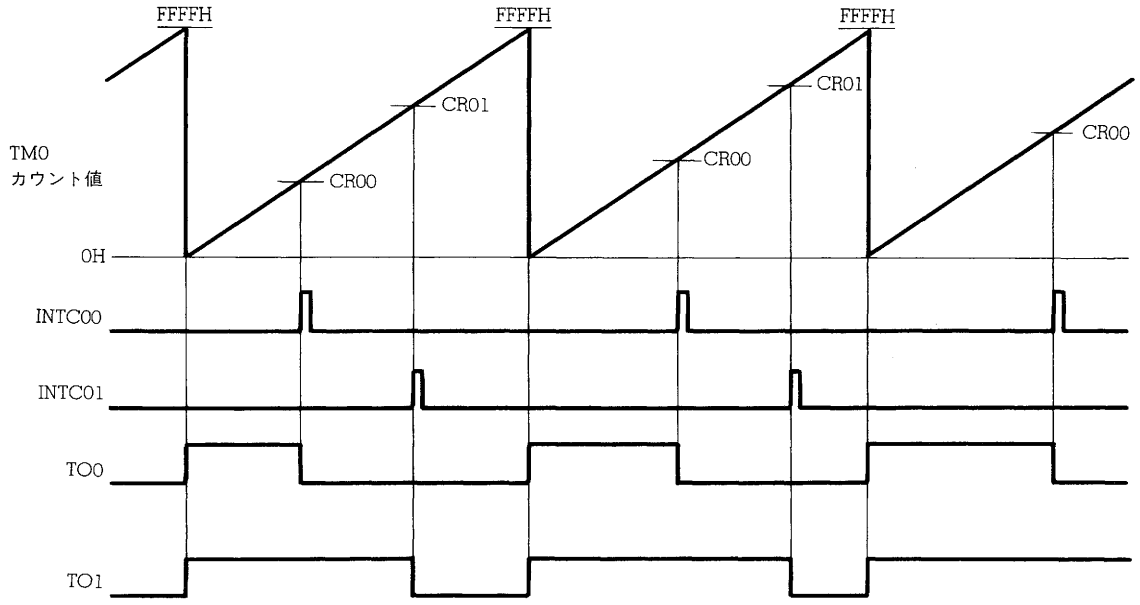
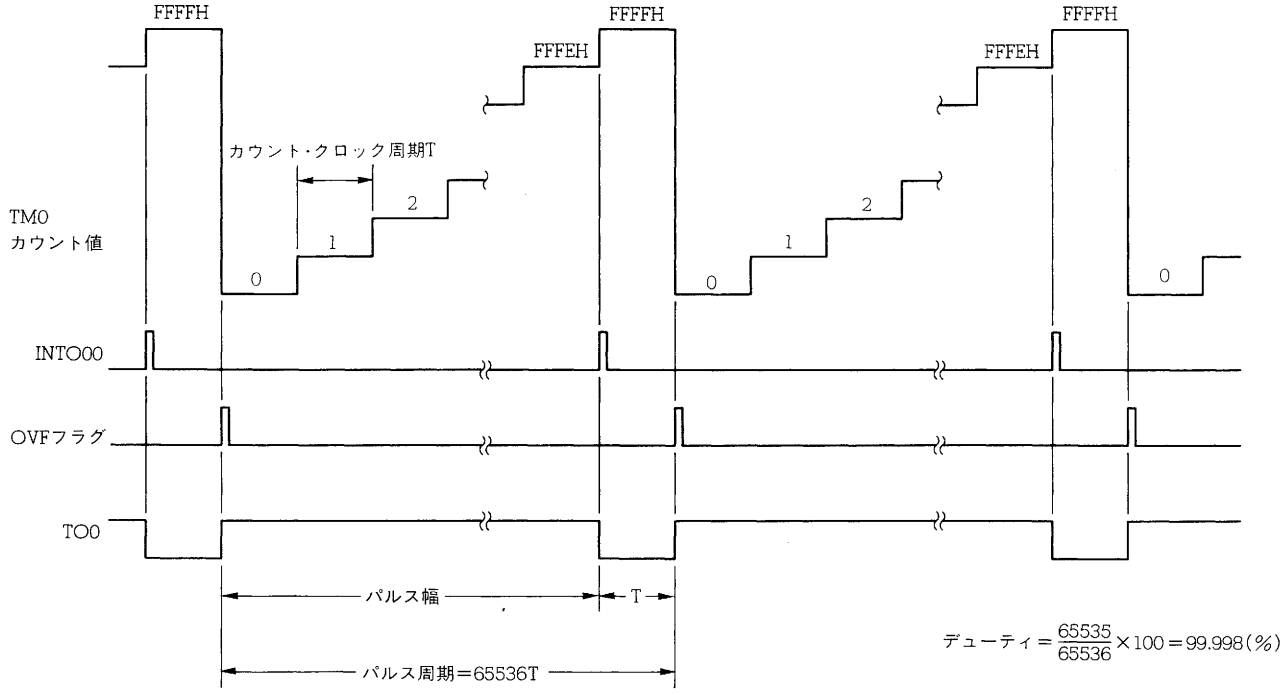


図８－16　CR00＝FFFFHのときのPWM出力

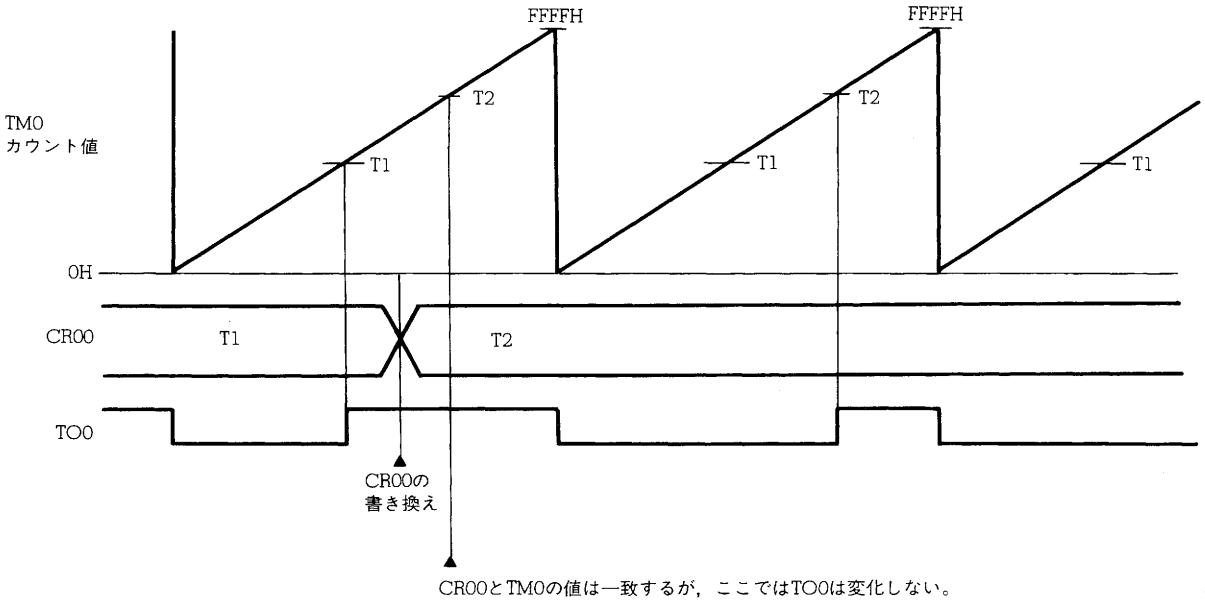


備考　ALV0＝0

保守／廃止

なお，PWM出力の１周期の期間中に，二度以上コンペア・レジスタ（CR00，CR01）の値が16ビット・タイマ０（TM0）の値と一致しても，タイマ出力（TO0，TO1）の出力レベルは変化しません。

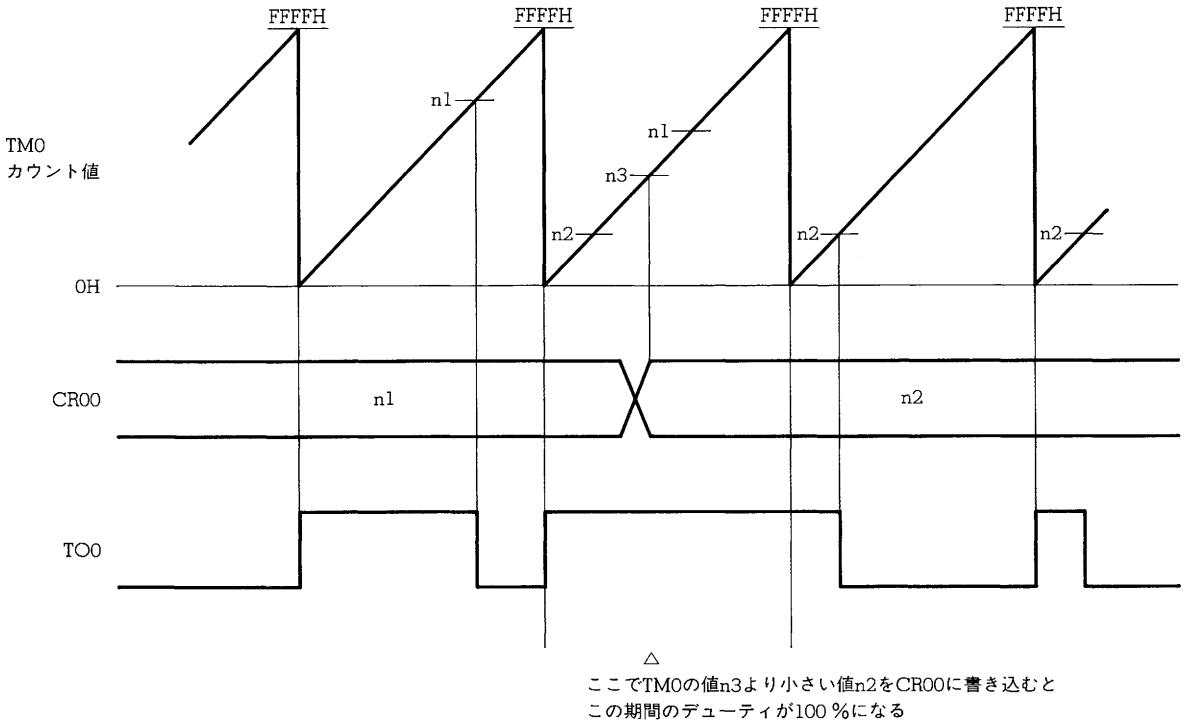
図８－17　コンペア・レジスタの書き換え例



保守／廃止

注意　コンペア・レジスタ（CR00，CR01）の値を16ビット・タイマ０（TM0）より小さい値に設定すると，デューティ100％のPWM信号が出力されてしまいます。CR00，CR01の書き換えはTM0と書き換えを行うコンペア・レジスタ（CR00，CR01）との一致による割り込みで行ってください。

図８－18　PWM出力時にデューティが100％になる例

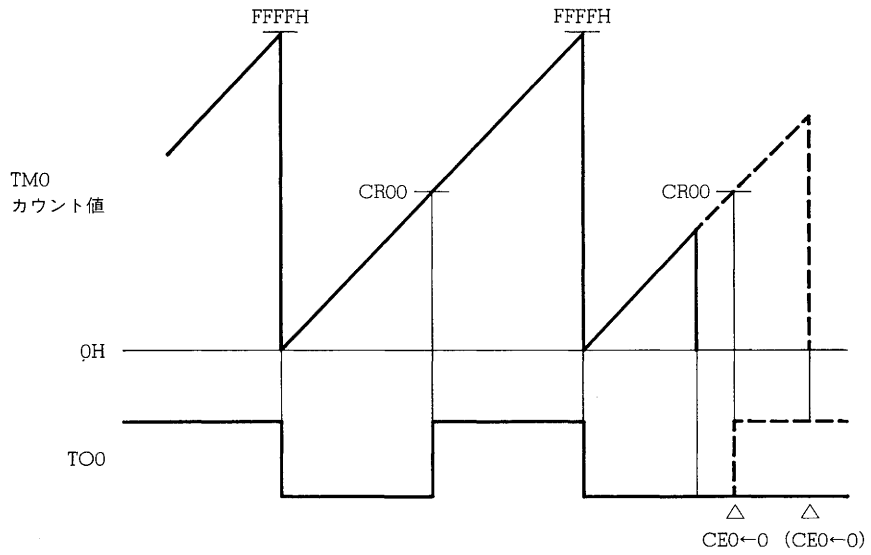


備考　ALV0＝0

保守／廃止

また，PWM信号出力中に，TMC0のCE0ビットをリセット（0）して16ビット・タイマ／カウンタ０を停止させると，停止時の出力レベルをそのまま保持します。

図８－19　PWM信号出力中に16ビット・タイマ／カウンタ０を停止した場合



備考　ALV0＝1

注意　タイマ出力禁止時（ENTOn＝0，n＝0，1）のTOn（n＝0，1）端子の出力レベルは，ALVn（n＝0，1）に設定した値の反転値となります。したがって，PWM出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

保守／廃止

8.1.8　PPG出力

コンペア・レジスタCR01の値で決まる時間を１周期とし，コンペア・レジスタCR00の値で決まる時間をパルス幅とする矩形波を出力する機能です。PWM出力のPWM周期を可変にしたものです。この出力は，TO0からのみ出力することができます。

この機能を使用する場合は，キャプチャ／コンペア・コントロール・レジスタ０(CRC0)のCLR01ビットを１にする必要があります。

パルス周期とパルス幅は，次のようになります。

・PPG周期＝(コンペア・レジスタCR01の設定値＋1)×8/f_{CLK}

・PPGパルス幅＝((コンペア・レジスタCR00の設定値)×8+2)/f_{CLK}≒CR00の設定値×8/f_{CLK}

ただし，CR00≦CR01

$$\text{・デューティ}=\frac{\text{PPGパルス幅}}{\text{PPG周期}}=\frac{\text{CR00の設定値}\times 8+2}{(\text{CR01の設定値}+1)\times 8}\fallingdotseq\frac{\text{CR00の設定値}}{\text{CR01の設定値}+1}$$

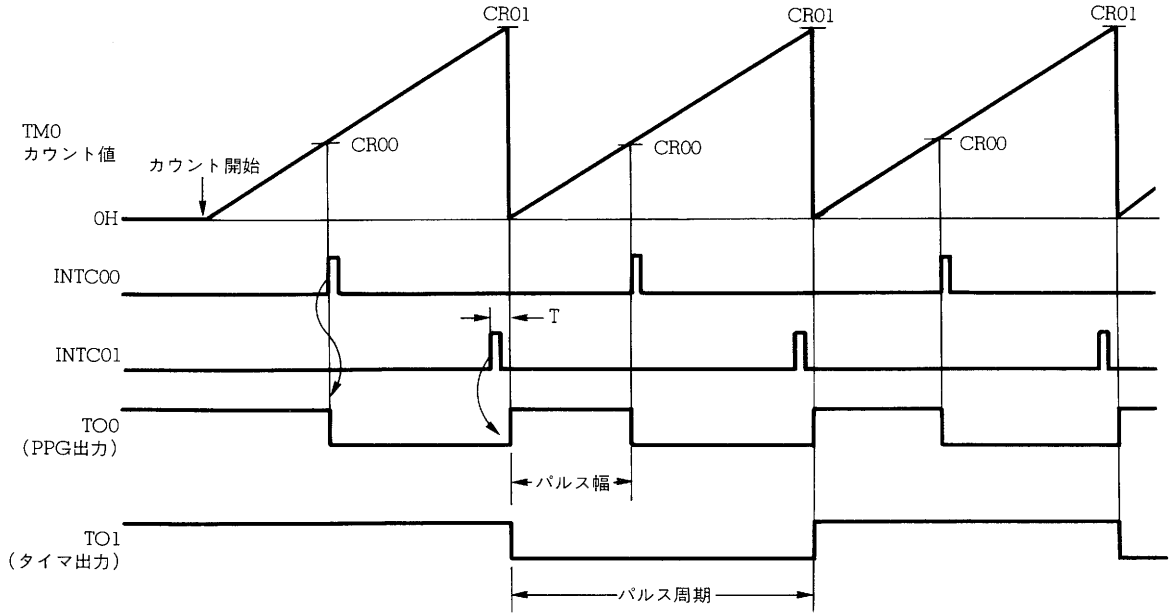
注意　PPG出力では，近似式に比べて，パルス幅のアクティブ・レベルがf_{CLK}の２クロック分長く，インアクティブ・レベルがf_{CLK}の２クロック分短くなります。高精度の出力が必要な場合や，PPGパルス周期が短い場合には，この点について考慮のうえ使用してください。

8

保守／廃止

図８－20は，16ビット・タイマ０（TM0）を用いたPPG出力の例です。また，図８－21はCR00＝CR01に設定した場合の，図８－22は，CR00＝0000Hに設定した場合の例です。

図８－20　TM0を用いたPPG出力例



備考　ALV0＝0，ALV1＝0

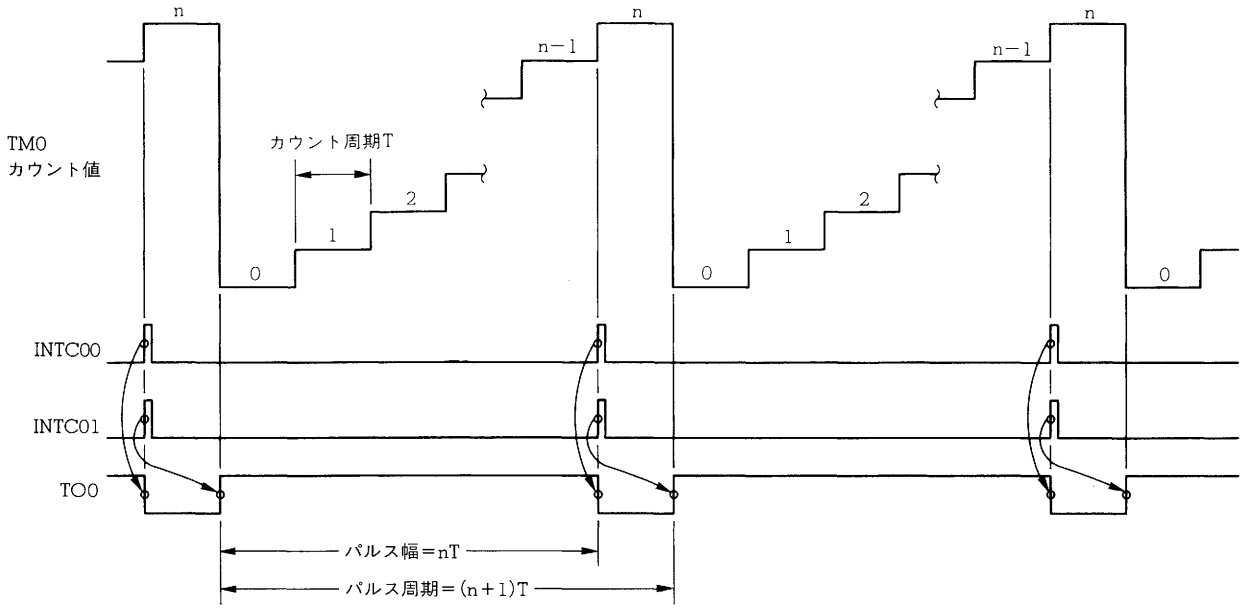
表８－８　TO0のPPG出力（f_{CLK}＝6 MHz）

カウント・クロック	最小パルス幅注	PPG周期	PPG周波数
$f_{CLK}/8$	1.3 μs	2.6 μs-87.4 ms	385 kHz-11.4 Hz

注　CR00＝0のときを除く

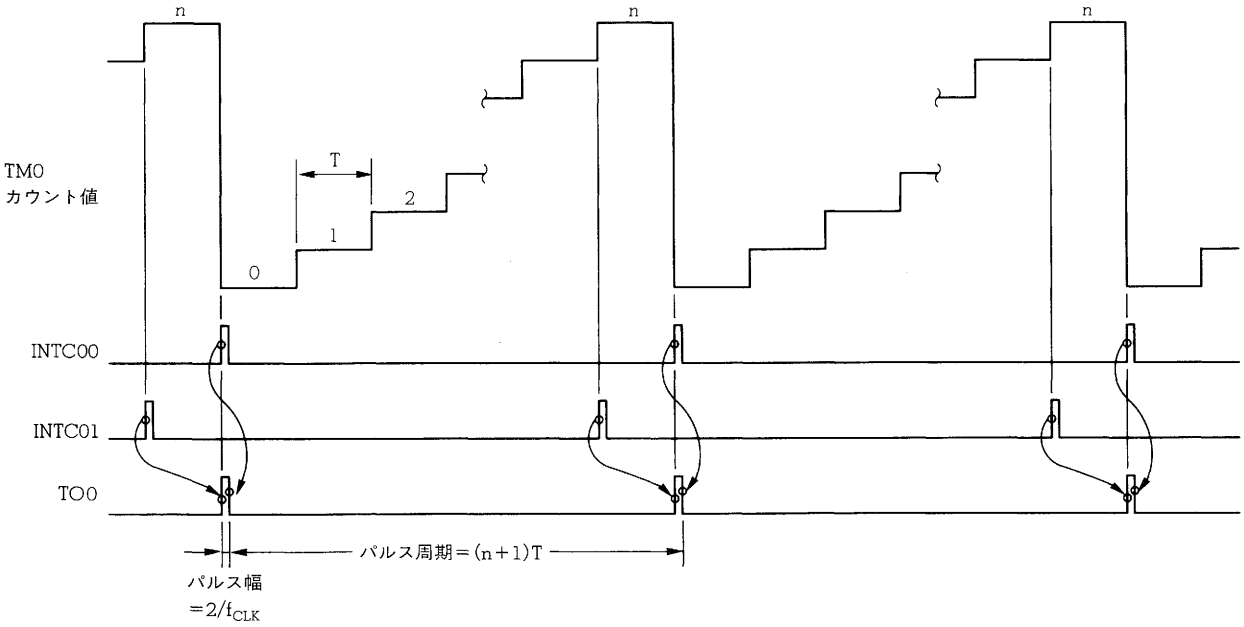
保守／廃止

図８－21　CR00＝CR01のときのPPG出力



備考　ALV0＝0

図８－22　CR00＝0000HのときのPPG出力

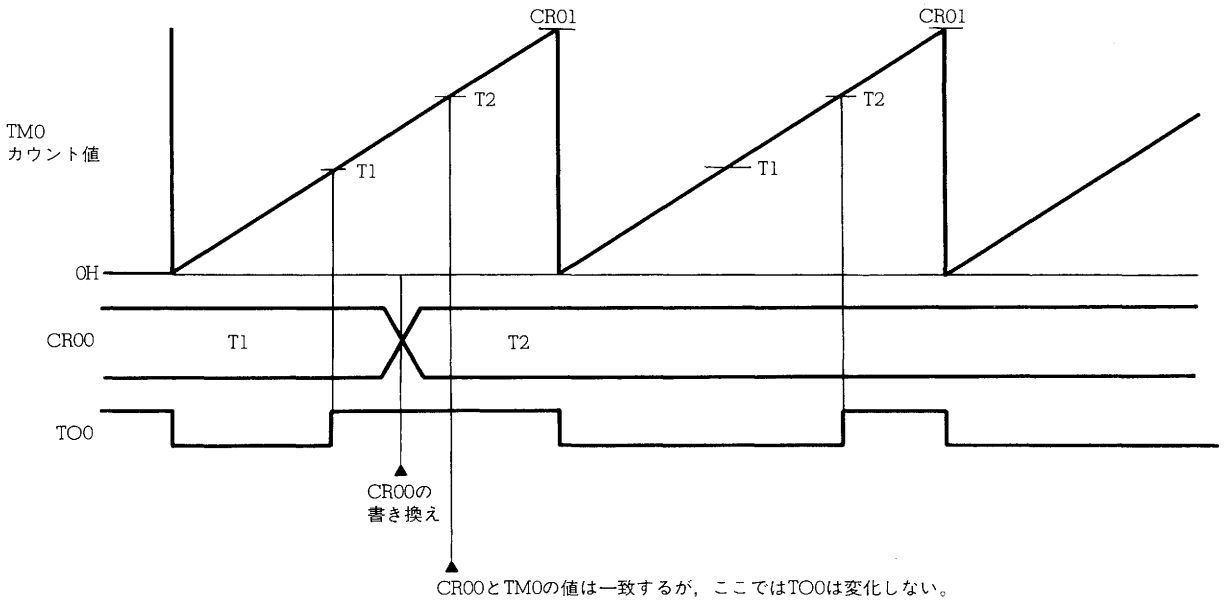


備考　ALV0＝0

保守／廃止

なお，PPG出力の１周期の期間中に二度以上コンペア・レジスタ（CR00）の値が16ビット・タイマ０（TM0）の値と一致しても，タイマ出力（TO0，TO1）の出力レベルは反転しません。

図８－23　コンペア・レジスタの書き換え例

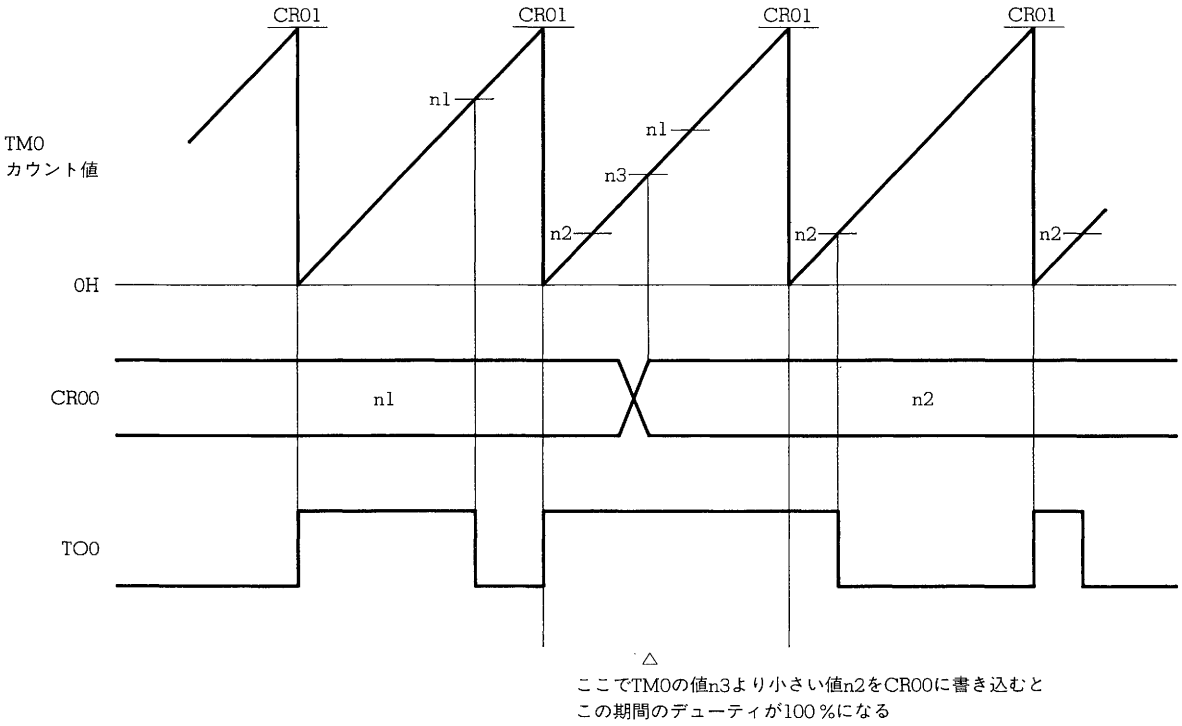


備考　ALV0＝1

保守／廃止

注意1．コンペア・レジスタ（CR00）と16ビット・タイマ０（TM0）が一致するより前にCR00にTM0以下の値を書き込むと，そのPPG周期のデューティが100%になってしまいます。CR00の書き換えは，TM0とCR00との一致による割り込みで行うようにするなどしてください。

図８－24　PPG出力時にデューティが100％になる例



備考　ALV0＝0

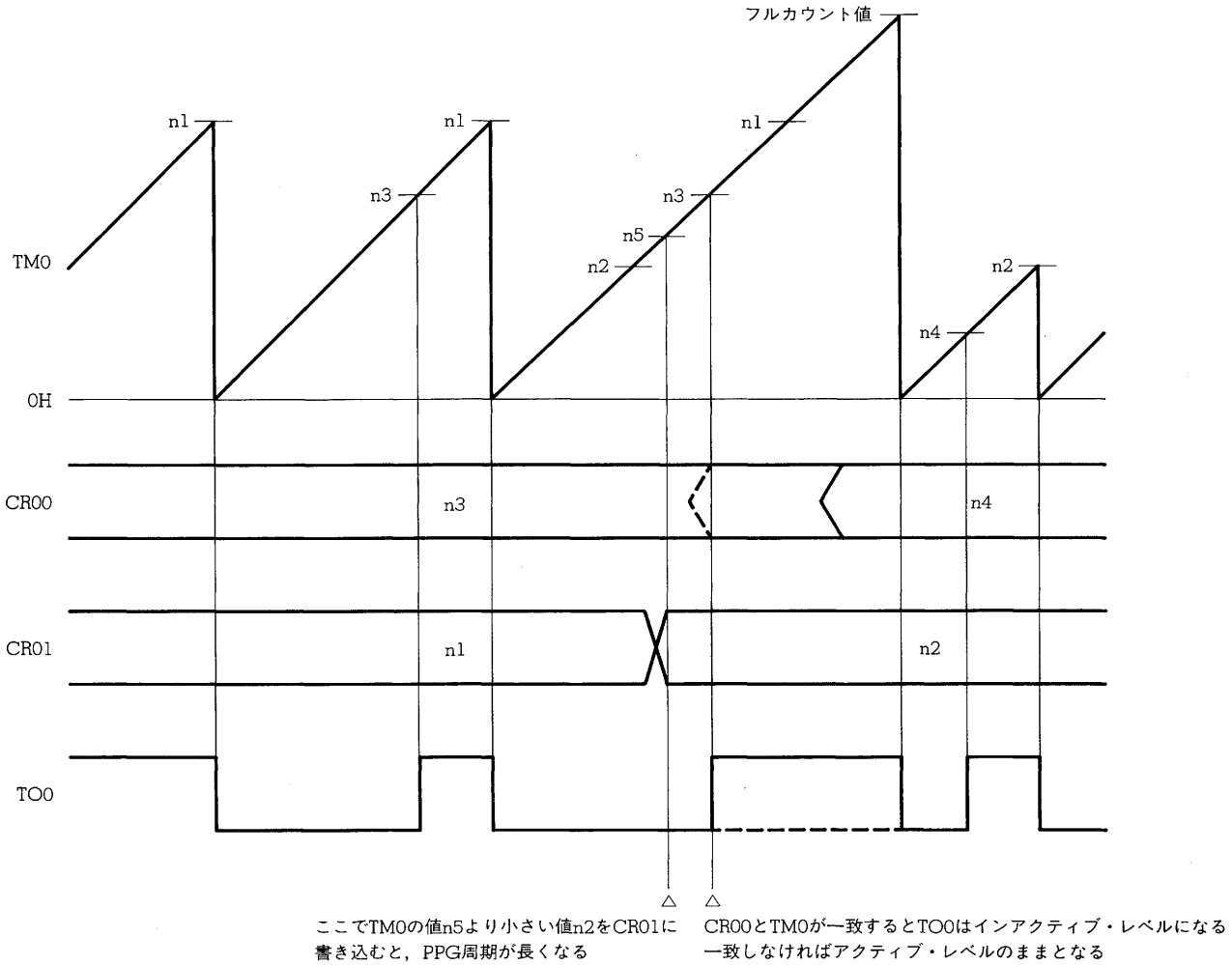
保守／廃止

注意2.　コンペア・レジスタ（CR01）を現在の値より小さい値に変更する場合に，CR01の値を16ビット・タイマ０（TM0）の値より小さくすると，そのときのPPG周期がTM0がフルカウントする時間にまで長くなってしまいます。このときの出力レベルは，コンペア・レジスタ（CR00）とTM0が一致したあとにCR01を書き換えた場合は，TM0がオーバフローして０になるまでインアクティブ・レベルとなり，その後，正常なPPG出力に戻ります。

CR00とTM0が一致する前にCR01を書き換えた場合は，CR00とTM0が一致するまでアクティブ・レベルを出力します。TM0がオーバフローし，０になる前にCR00とTM0が一致した場合は，その時点でインアクティブ・レベルを出力します。TM0がオーバフローし，０になった時点でアクティブ・レベルを出力し，正常なPPG出力に戻ります。

CR01の書き換えは，TM0とCR01との一致割り込みで行うようにするなどしてください。

図８－25　PPG出力の周期が長くなる例



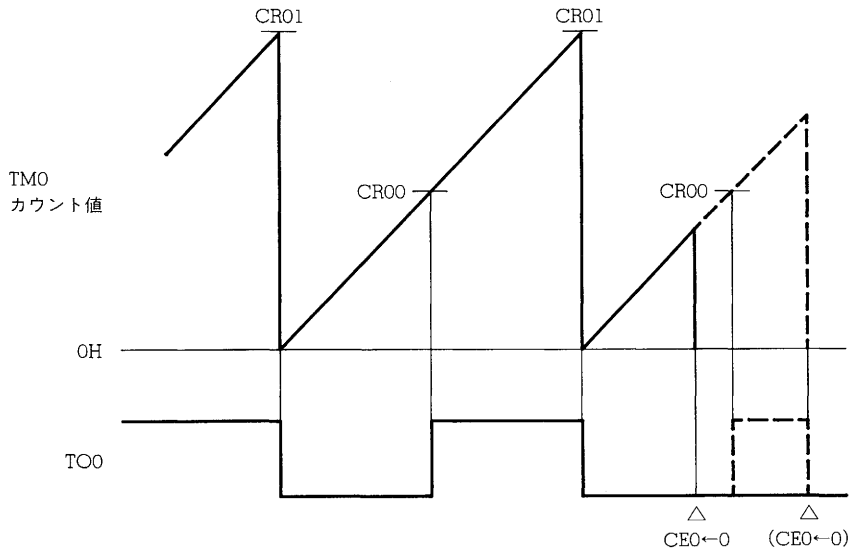
備考　ALV0＝1

保守／廃止

注意3. 割り込みの受け付けなどにかかる時間に対して，十分な時間がPPG周期にないとき(PPG周期が極端に短いとき)は，注意 1，2 で示した方法では対策がとれません。ほかの方法(すべての割り込みをマスクして，割り込み要求フラグをソフトウエアでポーリングするなど)を考えてください。

また，PPG信号出力中に，TMC0のCE0ビットをリセット（0）して16ビット・タイマ／カウンタ０を停止させると，停止時の出力レベルとは無関係に，アクティブ・レベルを出力します。

図８－26　PPG信号出力中に16ビット・タイマ／カウンタ０を停止した場合



注意　タイマ出力禁止時（ENTOn＝0，n＝0，1）のTOn（n＝0，1）端子の出力レベルは，ALVn（n＝0，1）に設定した値の反転値となります。したがって，PPG出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

保守／廃止

8.1.9　ソフト・トリガド・ワンショット・パルス出力

ソフト・トリガド・ワンショット・パルス出力は，ワンショット・パルスをソフトウエアにより出力するモードです。

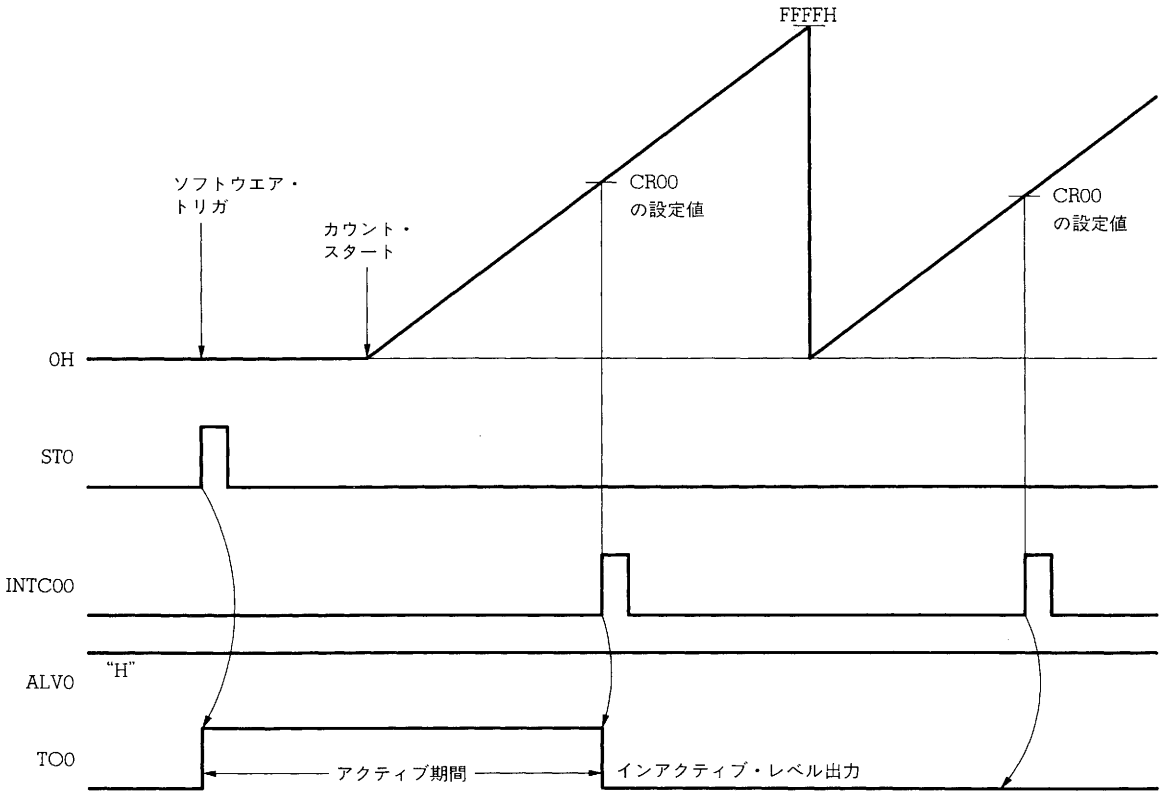
ワンショット・パルス出力制御レジスタ（OSPC）のSTn（n＝0，1）をセット(1)することにより，TOn（n＝0，1）はアクティブ・レベルになります。その後，TM0の値とCR0n（n＝0，1）の値が一致するまでTOnはアクティブ・レベルを保持し，TM0とCR0nの値が一致すると，TOnはインアクティブ・レベルに変化します。その後，再びSTnビットをセットするまでTOnはインアクティブ・レベルを保持します。また，RTn（n＝0，1）ビットをセット(1)することによってもTOnをインアクティブ・レベルにすることができ，同様に再びSTnビットをセットするまでTOnはインアクティブ・レベルを保持します。

TO0，TO1に対して独立に制御することができます。

図８－27は，ソフト・トリガド・ワンショット・パルス出力の例です。

なお，TMC0レジスタのCE0ビットをリセット(0)して，16ビット・タイマ／カウンタ０を停止させると，停止時のレベルを保持します。

図８－27　ソフト・トリガド・ワンショット・パルス出力例



注意　STnとRTnに同時に“1”を書き込まないでください。

保守／廃止

8.1.10　使 用 例

(1) インターバル・タイマとしての動作(1)

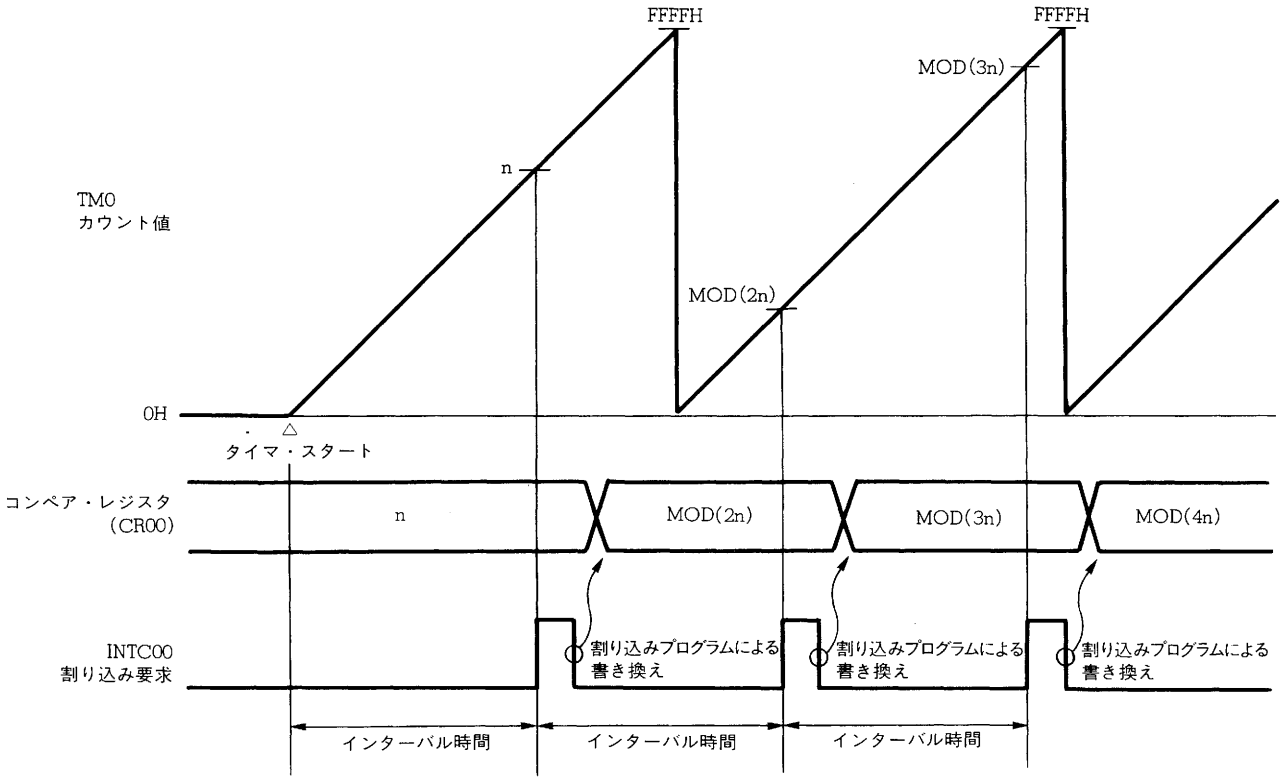
16ビット・タイマ０（TM0）をフリー・ランニングさせ，割り込み処理ルーチン中でコンペア・レジスタ（CR00，CR01）に一定の値を加算することで，加算する一定の値を周期とするインターバル・タイマとして動作します（**図８－28**参照）。

このインターバル・タイマは，1.3 μsの分解能で最大87.4 msまでのカウントができます（内部システム・クロックf_{CLK}＝6 MHz）。

また，16ビット・タイマ０（TM0）１本にコンペア・レジスタが２本ついているため，２種類の周期のインターバル・タイマを作ることができます。

図８－29に制御レジスタの設定内容，図８－30にその設定手順，図８－31に割り込み処理ルーチン内での処理を示します。

図８－28　インターバル・タイマ動作(1)のタイミング

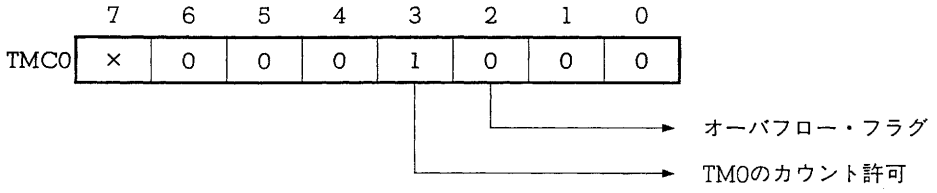


備考　インターバル時間＝n×8/f_{CLK}，1≦n≦FFFFH

保守／廃止

図８－29　インターバル・タイマ動作(1)における制御レジスタの設定内容

★ (a) タイマ・コントロール・レジスタ0（TMC0）



(b) キャプチャ／コンペア・コントロール・レジスタ0(CRC0)

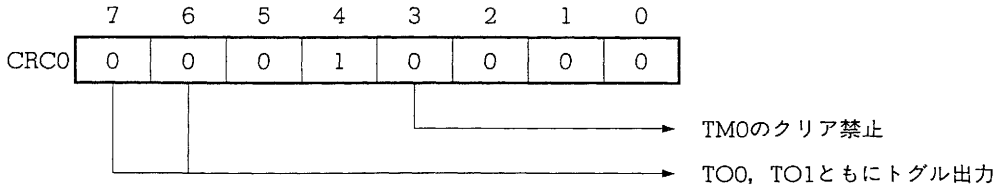
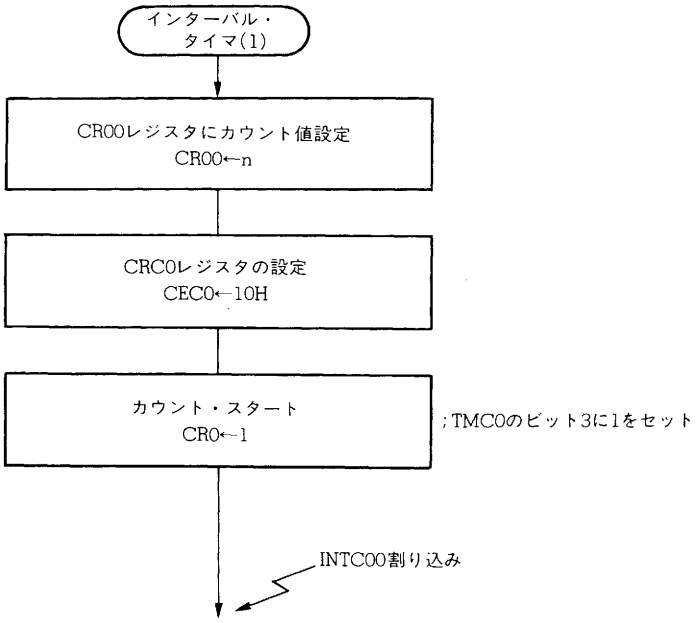
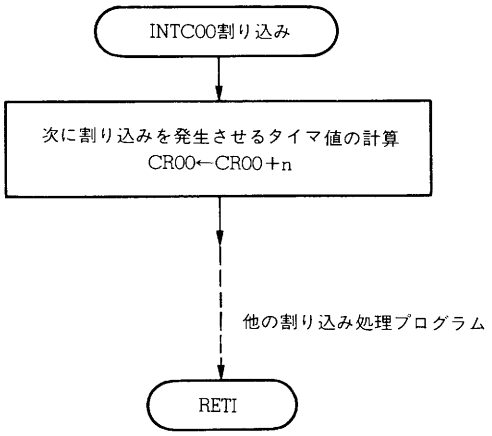


図８－30　インターバル・タイマ動作(1)の設定手順



保守／廃止

図８－31　インターバル・タイマ動作(1)の割り込み要求処理



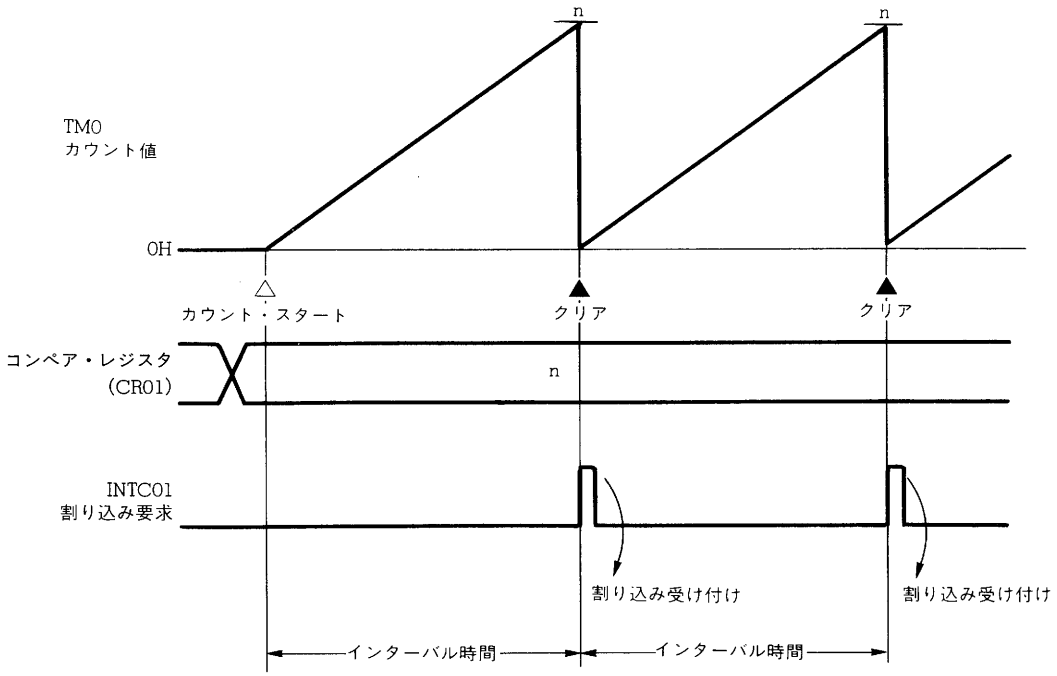
(2) インターバル・タイマとしての動作(2)

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します（図８－32参照）。

このインターバル・タイマは，1.3 μsの分解能で1.3 μsから87.4 msまでのカウントができます(内部システム・クロックf_{CLK}＝6 MHz)。

図８－33に制御レジスタの設定内容を，図８－34にその設定手順を示します。

図８－32　インターバル・タイマ動作(2)のタイミング



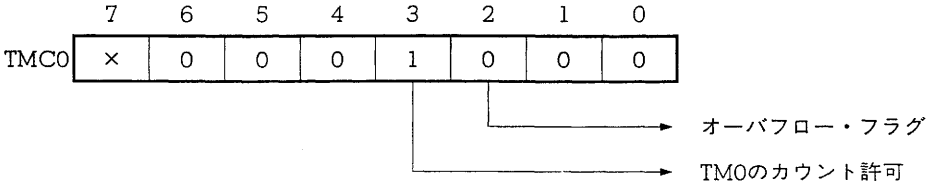
備考　インターバル時間＝(n＋1)×8/f_{CLK}；0≦n≦FFFFH

保守／廃止

図８－33　インターバル・タイマ動作(2)における制御レジスタの設定内容

★

(a) タイマ・コントロール・レジスタ0 (TMC0)



(b) キャプチャ／コンペア・コントロール・レジスタ0(CRC0)

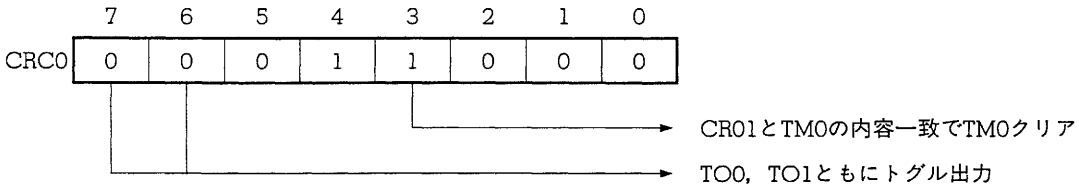
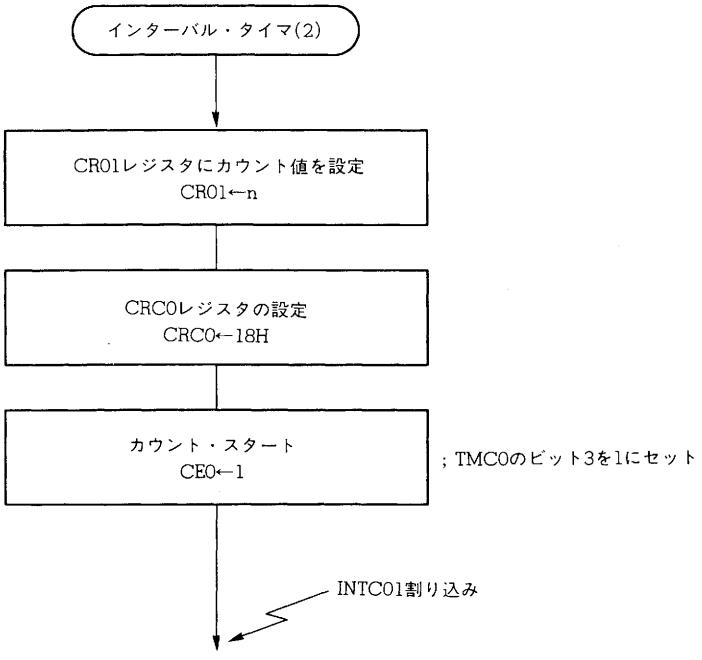


図８－34　インターバル・タイマ動作(2)の設定手順



保守／廃止

(3) パルス幅測定としての動作

パルス幅測定は，外部割り込み要求（INTP3）入力端子に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。

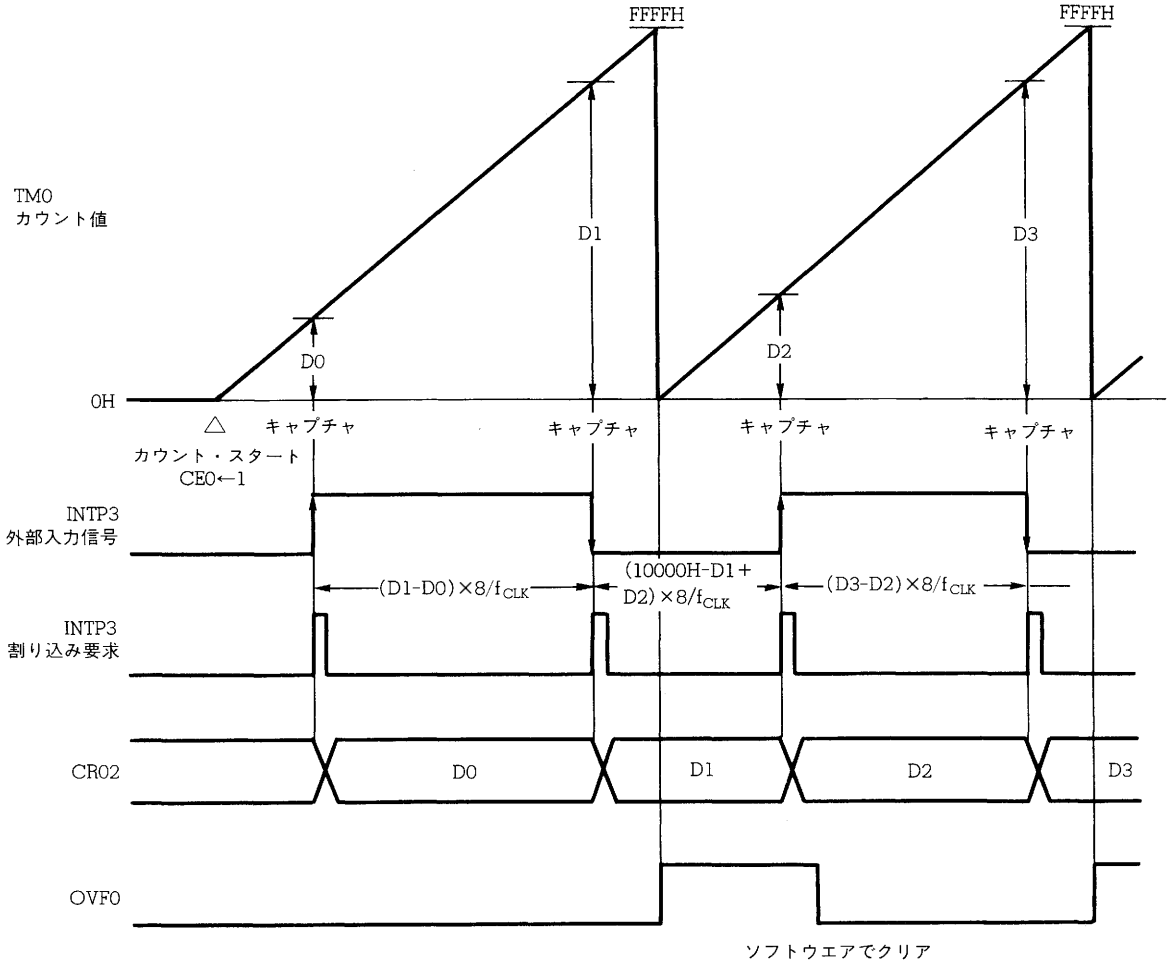
INTP3端子に入力するパルス幅はハイ・レベル，ロウ・レベルとも12システム・クロック(2 μs：f_{CLK}＝6 MHz)以上必要で，これ以下の場合には有効エッジが検出されずキャプチャ動作を行いません。

このパルス幅測定では，分解能1.3 μsで2.6 μsから87.4 msのパルス幅を測定することができます（f_{CLK}＝6 MHz）。

図８－35に示すようにINTP3端子入力の有効エッジ(立ち上がり，立ち下がりの両エッジに指定)に同期して，カウント中の16ビット・タイマ０（TM0）の値をキャプチャ・レジスタ（CR02）に取り込み保持します。パルス幅は，n回目の有効エッジ検出によりCR02レジスタに取り込み保持されたTM0のカウント値（Dn）とn－1回目の有効エッジ検出によるカウント値（D_{n-1}）との差の値とカウント・クロック（$8/f_{CLK}$）との積から求めます。

そのときの制御レジスタの設定内容を図８－36に，設定手順を図８－37に示します。

図８－35　パルス幅測定のタイミング

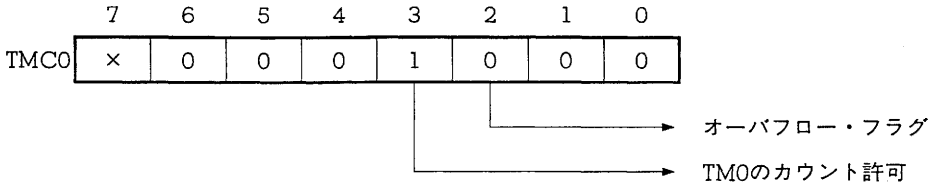


備考　Dn：TM0のカウント値（n＝0，1，2，…）

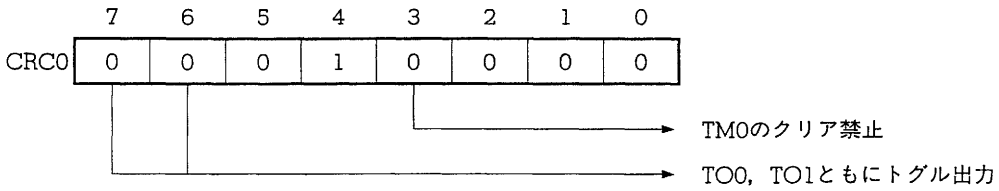
保守／廃止

図８－36　パルス幅測定における制御レジスタの設定内容

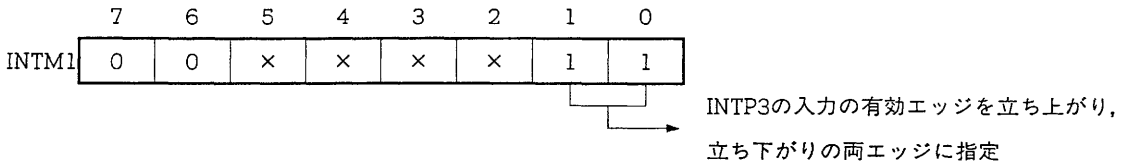
★ (a) タイマ・コントロール・レジスタ0 (TMC0)



(b) キャプチャ／コンペア・コントロール・レジスタ０(CRC0)



(c) 外部割り込みモード・レジスタ１(INTM1)



×：don't care

保守／廃止

図８－37　パルス幅測定の設定手順

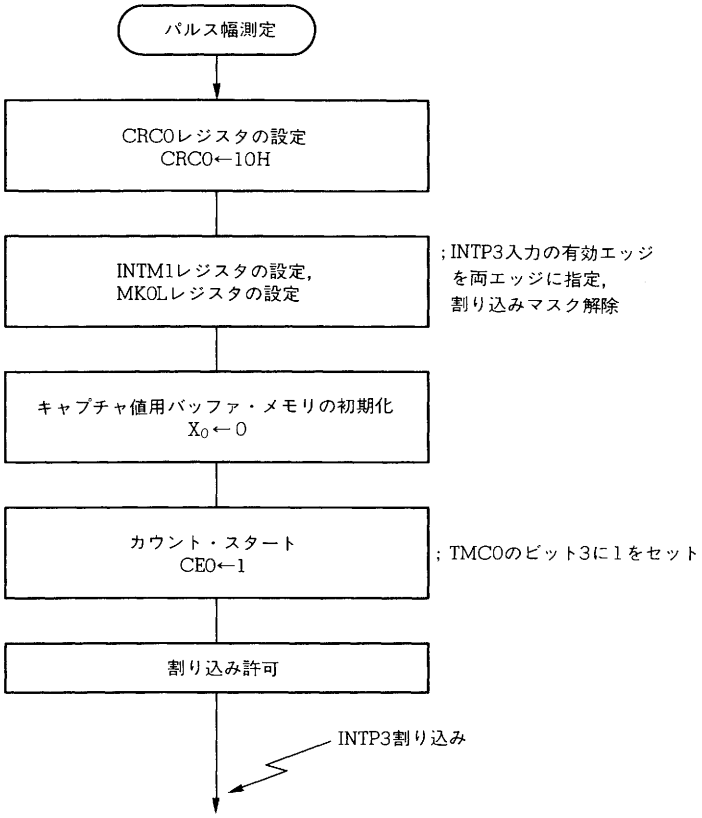
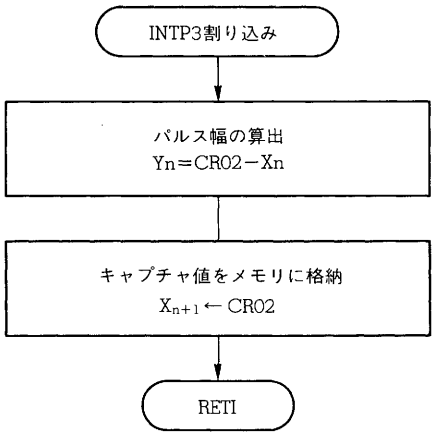


図８－38　パルス幅を算出する割り込み要求処理



保守／廃止

(4) PWM出力としての動作

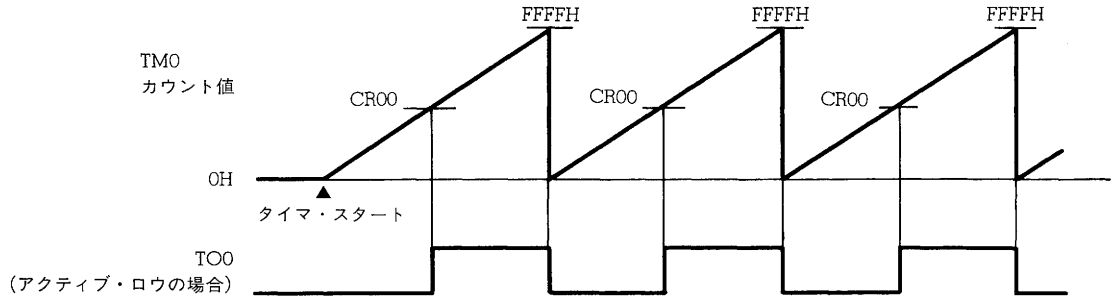
PWM出力は，コンペア・レジスタに設定した値で決まるデューティ比のパルスを出力します（図**8－39**参照）。

このPWM出力は，1/65536-65535/65536のデューティ比を1/65536単位で変化させることができます。

また，16ビット・タイマ０（TM0）１本にコンペア・レジスタが2本ついているため２種類のPWM信号を出力できます。

図８－40に制御レジスタの設定，図８－41にその設定手順，図８－42にデューティを変化させる場合の手順を示します。

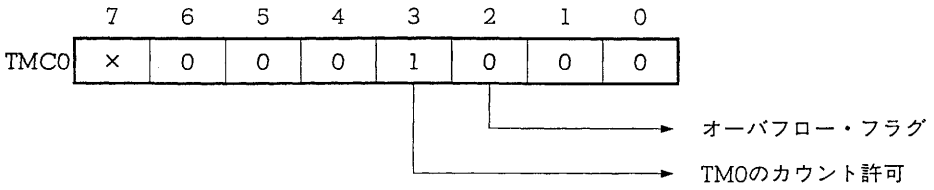
図８－39　16ビット・タイマ／カウンタのPWM信号出力例



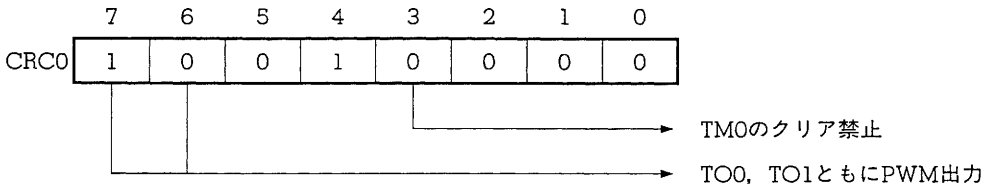
保守／廃止

図８－40　PWM出力動作における制御レジスタの設定内容

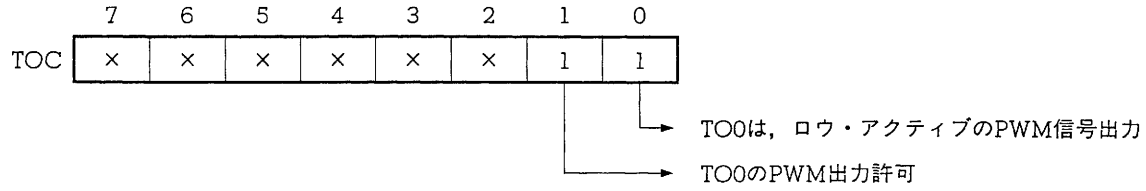
(a) タイマ・コントロール・レジスタ0 (TMC0)　★



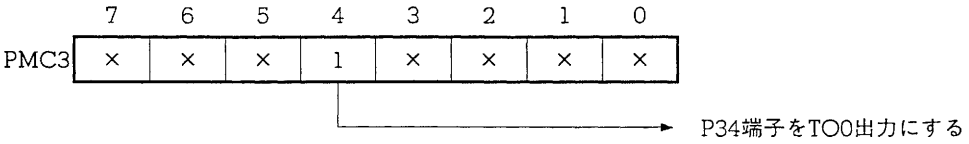
(b) キャプチャ／コンペア・コントロール・レジスタ０ (CRC0)



(c) タイマ出力コントロール・レジスタ (TOC)



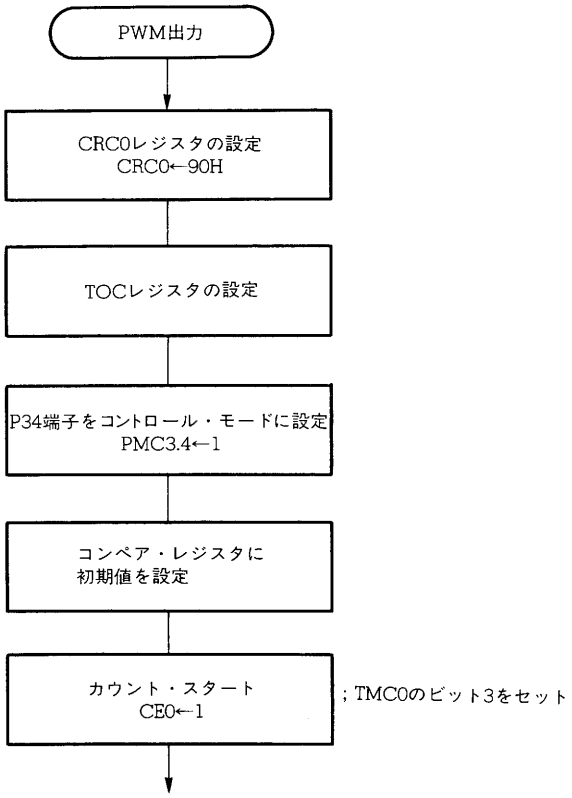
(d) ポート３モード・コントロール・レジスタ (PMC3)



8

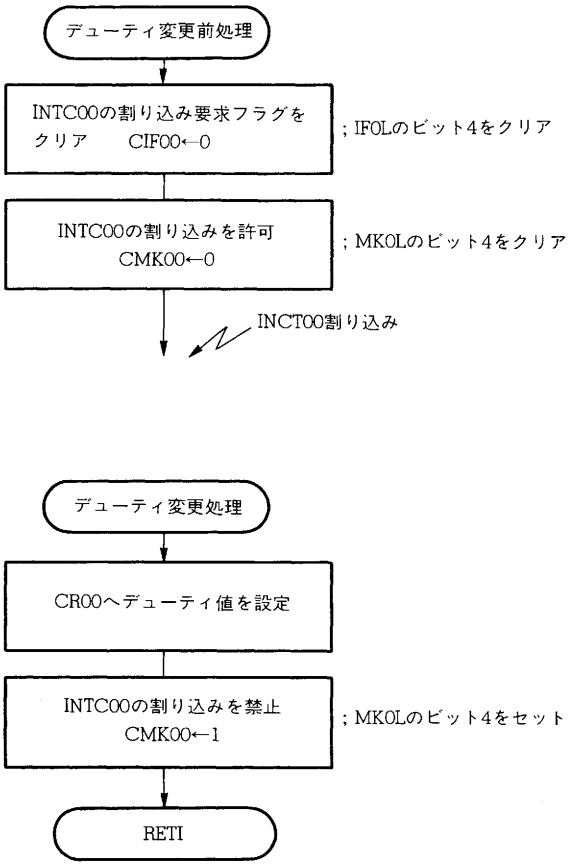
保守／廃止

図８－41　PWM出力の設定手順



保守／廃止

図８－42　PWM出力のデューティ変更



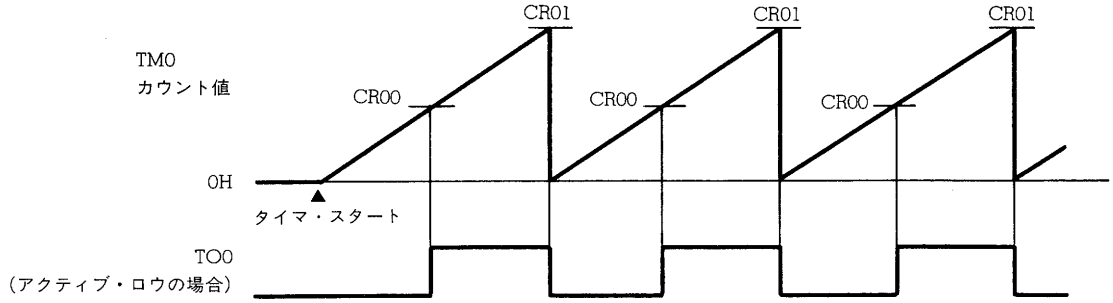
保守／廃止

(5) PPG出力としての動作

PPG出力は，コンペア・レジスタに設定した値で決まる周期と，デューティ比のパルスを出力します（**図８－43**参照）。

図８－44に制御レジスタの設定，図８－45にその設定手順，図８－46にデューティを変化させる場合の手順を示します。

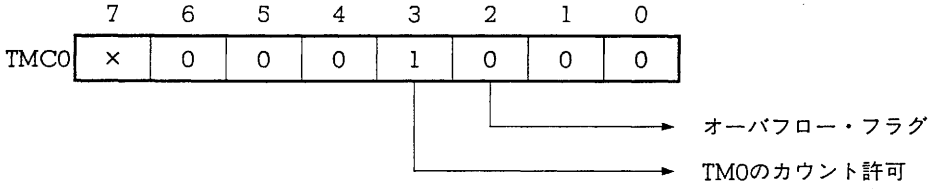
図８－43　16ビット・タイマ／カウンタのPPG信号出力例



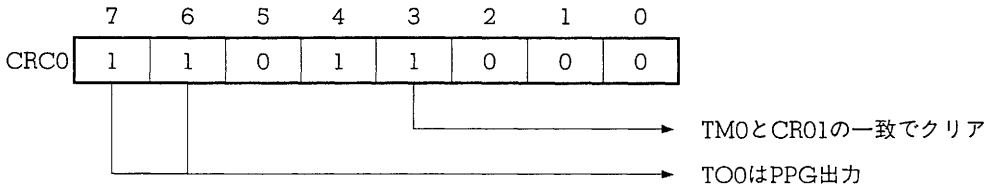
保守／廃止

図８－44　PPG出力動作における制御レジスタの設定内容

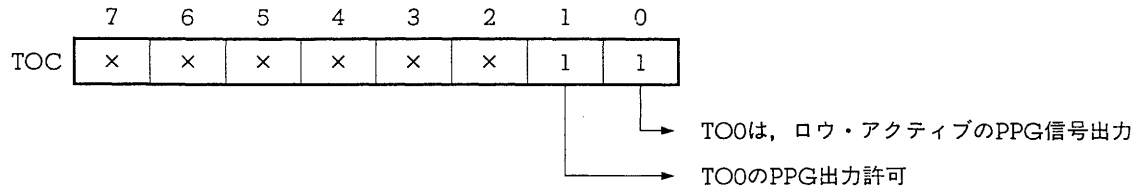
(a) タイマ・コントロール・レジスタ0 (TMC0)　★



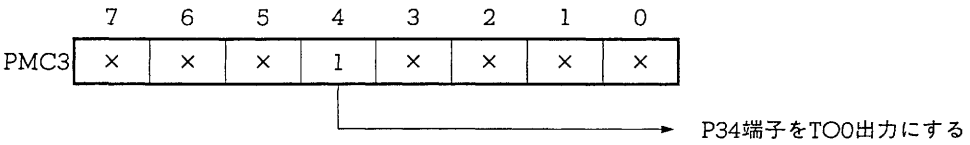
(b) キャプチャ／コンペア・コントロール・レジスタ０ (CRC0)



(c) タイマ出力コントロール・レジスタ (TOC)



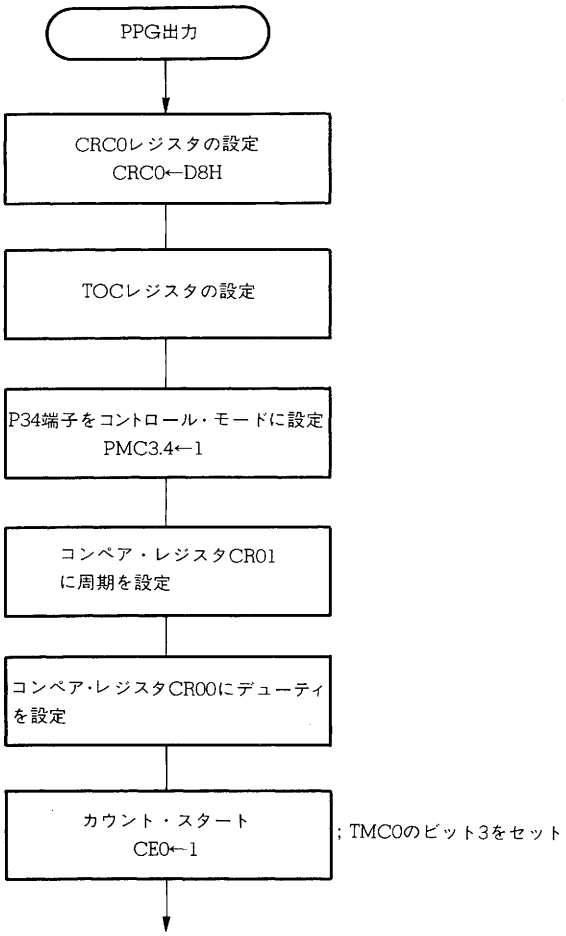
(d) ポート３モード・コントロール・レジスタ (PMC3)



8

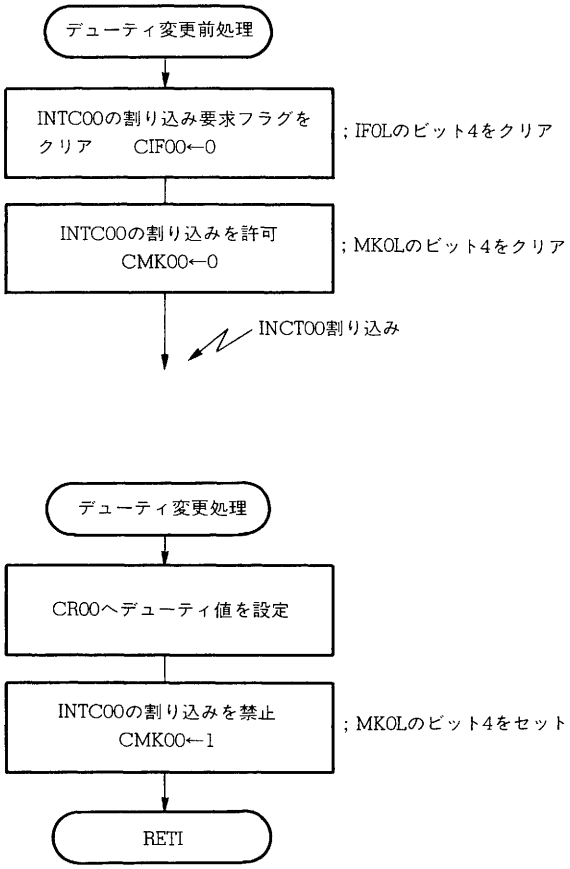
保守／廃止

図８－45　PPG出力の設定手順



保守／廃止

図８－46　PPG出力のデューティ変更



保守／廃止

8.2　8ビット・タイマ／カウンタ1

8.2.1　機　　能

8ビット・タイマ／カウンタ1は，インターバル・タイマ，パルス幅測定のような基本機能のほかにリアルタイム出力ポートの出力トリガ発生用のタイマとして使うことができます。

(1) インターバル・タイマ

あらかじめ設定したインターバルで内部割り込みを発生します。

表8-9　8ビット・タイマ／カウンタ1のインターバル時間

分解能	最小インターバル時間	最大インターバル時間
$16/f_{CLK}$ (2.6 μs)	$16/f_{CLK}$ (2.6 μs)	$2^8\times16/f_{CLK}$ (683 μs)
$32/f_{CLK}$ (5.3 μs)	$32/f_{CLK}$ (5.3 μs)	$2^8\times32/f_{CLK}$ (1.37 ms)
$64/f_{CLK}$ (10.7 μs)	$64/f_{CLK}$ (10.7 μs)	$2^8\times64/f_{CLK}$ (2.73 ms)
$128/f_{CLK}$ (21.3 μs)	$128/f_{CLK}$ (21.3 μs)	$2^8\times128/f_{CLK}$ (5.46 ms)
$256/f_{CLK}$ (42.7 μs)	$256/f_{CLK}$ (42.7 μs)	$2^8\times256/f_{CLK}$ (10.9 ms)
$512/f_{CLK}$ (85.3 μs)	$512/f_{CLK}$ (85.3 μs)	$2^8\times512/f_{CLK}$ (21.8 ms)

( ) 内はf_{CLK}=6 MHz

保守／廃止

(2) パルス幅測定

外部割り込み要求入力端子（INTP0）へ入力される信号のパルス幅を検出します。

表8－10　8ビット・タイマ／カウンタ1のパルス幅測定範囲

測定可能なパルス幅	分解能
$\leqq 2^8 \times 16/f_{CLK}$ (683 μs)	$16/f_{CLK}$ (2.6 μs)
$\leqq 2^8 \times 32/f_{CLK}$ (1.37 ms)	$32/f_{CLK}$ (5.3 μs)
$\leqq 2^8 \times 64/f_{CLK}$ (2.73 μs)	$64/f_{CLK}$ (10.7 μs)
$\leqq 2^8 \times 128/f_{CLK}$ (5.46 ms)	$128/f_{CLK}$ (21.3 μs)
$\leqq 2^8 \times 256/f_{CLK}$ (10.9 ms)	$256/f_{CLK}$ (42.7 μs)
$\leqq 2^8 \times 512/f_{CLK}$ (21.8 ms)	$512/f_{CLK}$ (85.3 μs)

（ ）内はf_{CLK}＝6 MHz

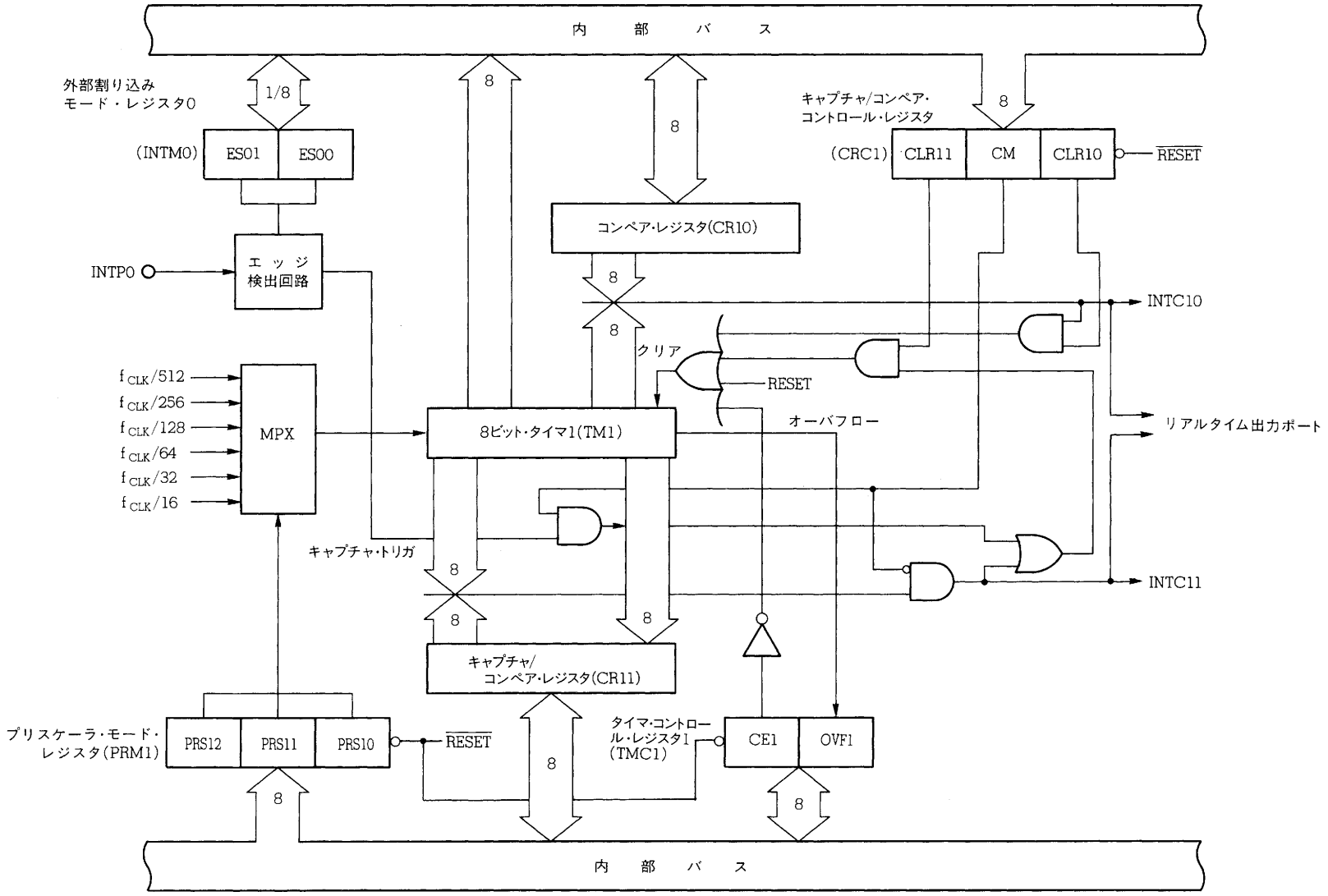
8.2.2 構　　成

8ビット・タイマ／カウンタ1は，8ビット・タイマ1（TM1）と8ビット・コンペア・レジスタ1本（CR10），および8ビット・キャプチャ／コンペア・レジスタ1本（CR11）から構成されます。

図8－47に8ビット・タイマ／カウンタ1のブロック図を示します。

保守／廃止

図8-47　8ビット・タイマ/カウンタ1のブロック図



保守／廃止

(1) 8ビット・タイマ1 (TM1)

TM1は，プリスケーラ・モード・レジスタ1 (PRM1) の下位4ビットで指定されるカウント・クロックをアップカウントするタイマです。

タイマ・コントロール・レジスタ1 (TMC1) によりカウント動作の停止／許可ができます。

8ビット操作命令で読み出しのみが可能です。$\overline{\text{RESET}}$入力により，TM1は00Hにクリアされ，カウントは停止します。

(2) コンペア・レジスタ (CR10)

CR10レジスタは，インターバル・タイマ動作の周期を決める値を保持する8ビット・レジスタです。

CR10レジスタの内容がTM1の値と一致すると，割り込み要求 (INTC10) を発生します。この一致信号は，リアルタイム出力ポートのトリガ信号にもなります。また，一致によりカウント値をクリアすることができます。

8ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

(3) キャプチャ／コンペア・レジスタ (CR11)

CR11レジスタは，キャプチャ／コンペア・コントロール・レジスタ1 (CRC1) の設定により，TM1のカウント値との一致を検出するためのコンペア・レジスタに，またはTM1のカウント値をキャプチャするキャプチャ・レジスタに設定することが可能な8ビット・レジスタです。

(a) コンペア・レジスタに設定した場合

インターバル・タイマ動作の周期を決める値を保持する8ビット・レジスタとして機能します。

CR11レジスタの内容とTM1の内容一致で割り込み要求 (INTC11) を発生します。

また，一致によりカウント値をクリアすることができます。この一致信号は，リアルタイム出力ポートのトリガ信号にもなります。また，一致によりカウント値をクリアすることができます。

(b) キャプチャ・レジスタに設定した場合

外部割り込み要求 (INTP0) 入力端子の有効エッジ入力 (キャプチャ・トリガ) に同期してTM1の内容をキャプチャする8ビット・レジスタとして機能します。

次のキャプチャ・トリガが発生するまでCR11レジスタの内容は保持されます。またキャプチャ後，TM1をクリアすることができます。

8ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

保守／廃止

(4) エッジ検出回路

エッジ検出回路は，外部入力の有効エッジを検出します。

INTP0端子入力で外部割り込みモード・レジスタ0 (INTM0) により設定された有効エッジを検出して，INTP0とキャプチャ・トリガを発生します（INTM0レジスタについては図 **12－1** 参照)。

(5) プリスケーラ

カウント・クロックを内部システム・クロックから生成します。このプリスケーラで生成されたクロックをセレクタで選択し，カウント・クロックとしてタイマはカウント動作を行います。

8.2.3　8ビット・タイマ／カウンタ1制御レジスタ

(1) タイマ・コントロール・レジスタ1 (TMC1)

TMC1レジスタは，8ビット・タイマ 1，2 (TM1，TM2) のカウント動作を制御する8ビット・レジスタです。

下位4ビットで8ビット・タイマ／カウンタ1の（TM1）のカウント動作を制御します（上位4ビットは8ビット・タイマ／カウンタ2の（TM2）のカウント動作を制御します)。

8ビット操作命令で読み出し／書き込みが可能です。図8－48にTMC1レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図8－48　タイマ・コントロール・レジスタ1（TMC1）のフォーマット

	7	6	5	4	3	2	1	0
TMC1	CE2	OVF2	CMD2	0	CE1	OVF1	0	0

OVF1	TM1のオーバフロー・フラグ
0	オーバフローなし
1	オーバフローあり （FFHから00Hへのカウント・アップ）

CE1	TM1のカウント動作制御
0	クリアしたままカウント動作停止
1	カウント動作許可

8ビット・タイマ／カウンタ2 (TM2) のカウント動作を制御します（図 **8－71** 参照)。

備考　OVF1ビットはソフトウエアでのみリセットされます。

保守／廃止

(2) プリスケーラ・モード・レジスタ1 (PRM1)

PRM1レジスタは，8ビット・タイマ1，2 (TM1，TM2) へのカウント・クロックを指定する8ビット・レジスタです。

下位4ビットで8ビット・タイマ／カウンタ1のTM1へのカウント・クロックを指定します（上位4ビットは8ビット・タイマ／カウンタ2のTM2へのカウント・クロックを指定します)。

8ビット操作命令で書き込みのみ可能です。図8-49にPRM1レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図8-49　プリスケーラ・モード・レジスタ1（PRM1）のフォーマット

	7	6	5	4	3	2	1	0
PRM1	PRS23	PRS22	PRS21	PRS20	0	PRS12	PRS11	PRS10

f_{CLK}=6 MHz

PRS12	PRS11	PRS10	カウント・クロック(Hz)の指定	分解能
0	0	0	$f_{CLK}/16$	2.6 μs
0	0	1		
0	1	0		
0	1	1	$f_{CLK}/32$	5.3 μs
1	0	0	$f_{CLK}/64$	10.7 μs
1	0	1	$f_{CLK}/128$	21.3 μs
1	1	0	$f_{CLK}/256$	42.7 μs
1	1	1	$f_{CLK}/512$	85.3 μs

8ビット・タイマ／カウンタ2 (TM2) へのカウント・クロックを指定します（図8-72参照)。

備考　f_{CLK}：システム・クロック周波数

保守／廃止

(3) キャプチャ／コンペア・コントロール・レジスタ1（CRC1）

CRC1レジスタは，キャプチャ／コンペア・レジスタ（CR11）の動作指定と，8ビット・タイマ1（TM1）のクリア動作の許可条件を指定するレジスタです。

8ビット操作命令で書き込みのみ可能です。図8-50にCRC1レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図8-50　キャプチャ／コンペア・コントロール・レジスタ1（CRC1）のフォーマット

	7	6	5	4	3	2	1	0
CRC1	0	0	0	0	CLR11	CM	CLR10	0

CLR10	TM1とCR10レジスタの内容一致でのクリア動作
0	禁止
1	許可

CLR11	CM	CR11レジスタの動作指定	TM1のクリア動作
0	0	コンペア・レジスタ	禁止
1	0		許可(TM1とCR11レジスタの内容が一致したとき)
0	1	キャプチャ・レジスタ	禁止
1	1		許可(TM1の内容をCR11レジスタにキャプチャしたとき)

保守／廃止

8.2.4　8ビット・タイマ1（TM1）の動作

(1) 基本動作

8ビット・タイマ／カウンタ1のカウント動作は，プリスケーラ・モード・レジスタ1（PRM1）の下位4ビットで指定されるカウント・クロックによりカウント・アップします。

$\overline{\text{RESET}}$入力により，TM1は00Hにクリアされ，カウント動作は停止します。

カウント動作の禁止／許可は，タイマ・コントロール・レジスタ1（TMC1）のビット3（CE1）で制御します（8ビット・タイマ／カウンタ1の動作制御はTMC1レジスタの下位4ビットです）。CE1ビットをソフトウエアによりセット(1)すると，最初のカウント・クロックでTM1の内容が00Hにクリアされた後，カウント・アップ動作を行います。

CE1ビットをリセット(0)することによってTM1は次のカウント・クロックで00Hにクリアされ，キャプチャ動作や一致信号の発生は停止します。

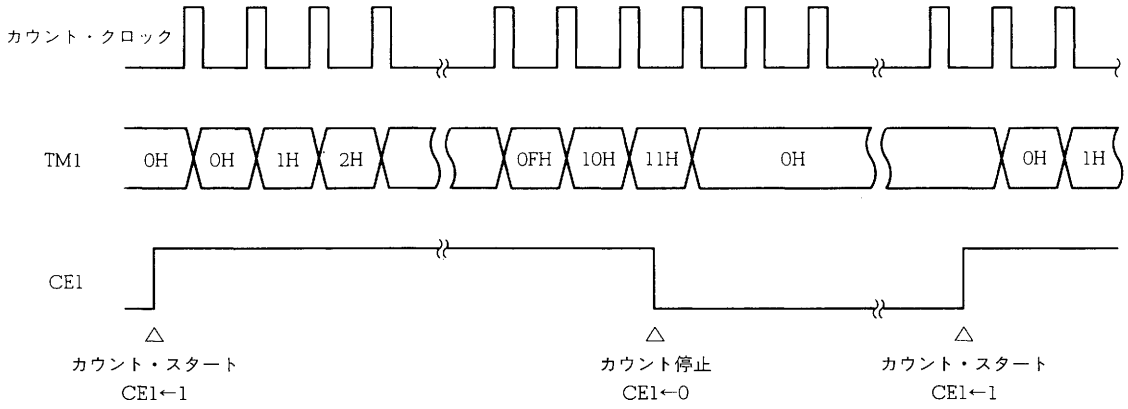
CE1ビットがセット(1)されている状態でさらにCE1ビットをセット(1)した場合，TM1はクリアされないでカウント動作を続けます。

TM1がFFHのときにカウント・クロックが入力されると，TM1は00Hになります。このとき，OVF1がセットされます。OVF1は，ソフトウエアによってのみクリアされます。また，カウント動作はそのまま継続されます。

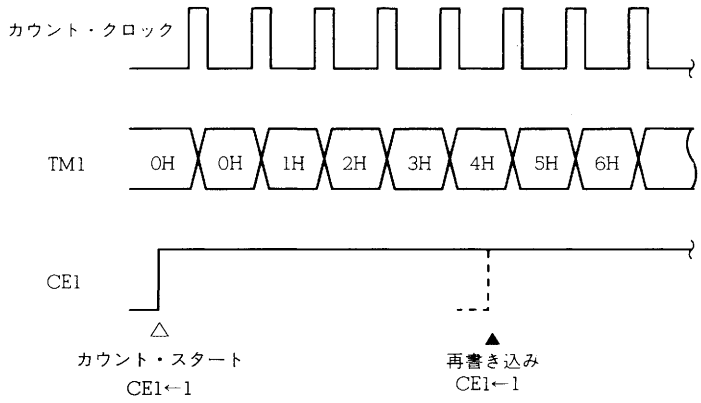
保守／廃止

図8-51　8ビット・タイマ1（TM1）の基本動作

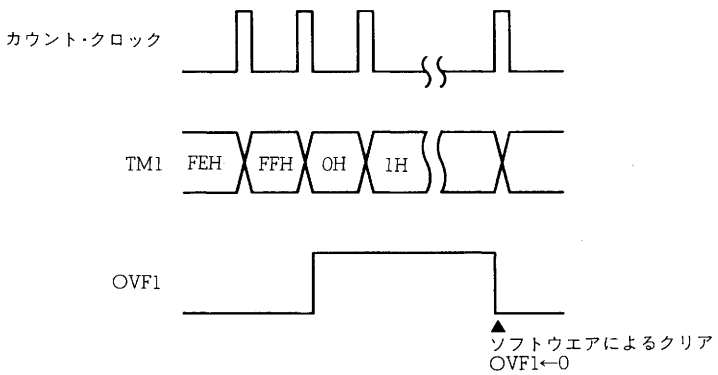
（a）カウント・スタート→カウント禁止→カウント・スタートの場合



（b）カウント・スタート後に再度CE1ビットに“1”を書き込んだ場合



（c）TM1がFFHのときの動作



保守／廃止

(2) クリア動作

8ビット・タイマ1（TM1）は，コンペア・レジスタ（CR1m：m=0，1）との一致後およびキャプチャ後に自動的にクリアすることができます。TM1は，クリアする要因が発生すると，次のカウント・クロックで00Hにクリアされます。したがって，クリアする要因が発生しても，次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

図8-52　コンペア・レジスタ（CR1m）との一致によるTM1のクリア

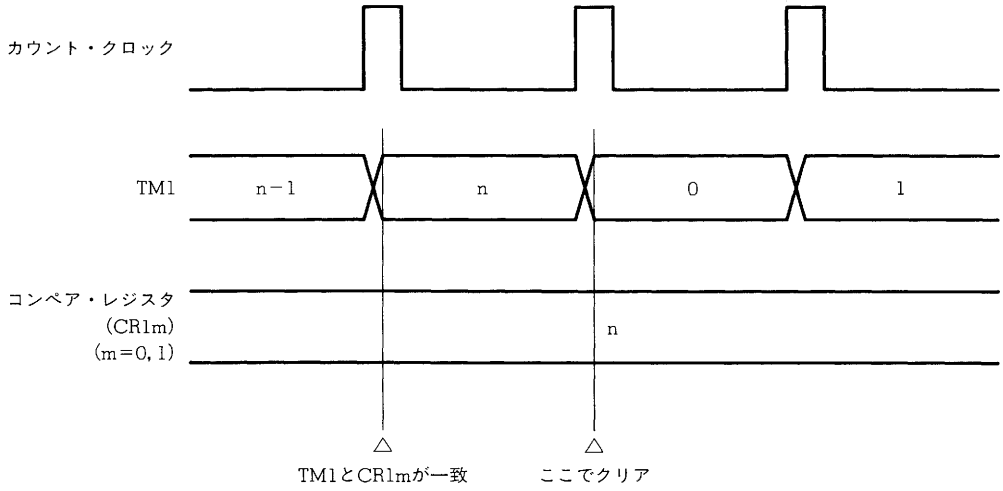
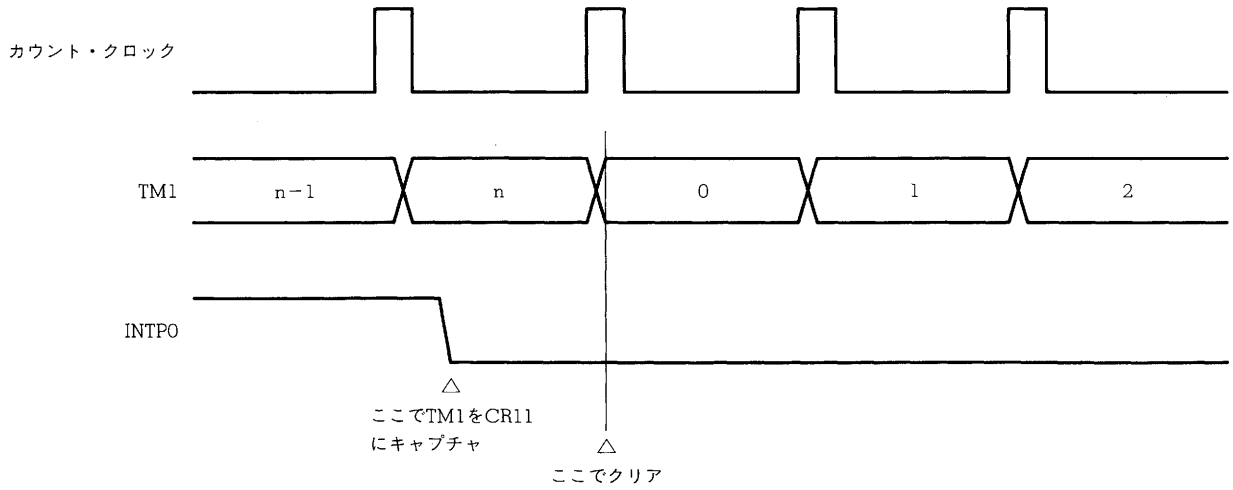


図8-53　キャプチャ後，TM1のクリア

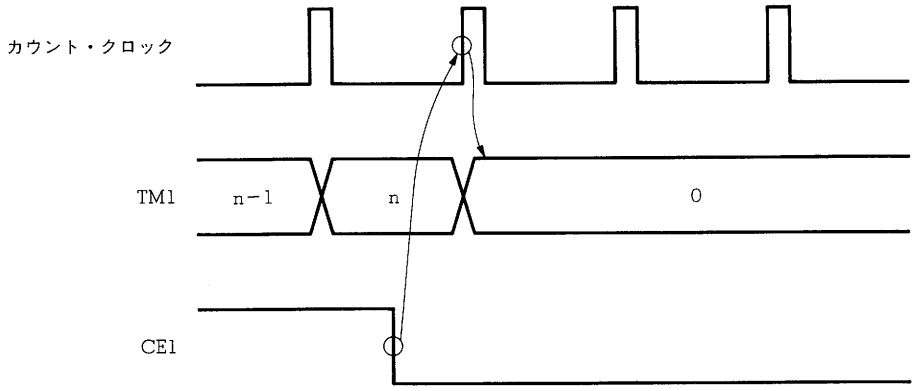


保守／廃止

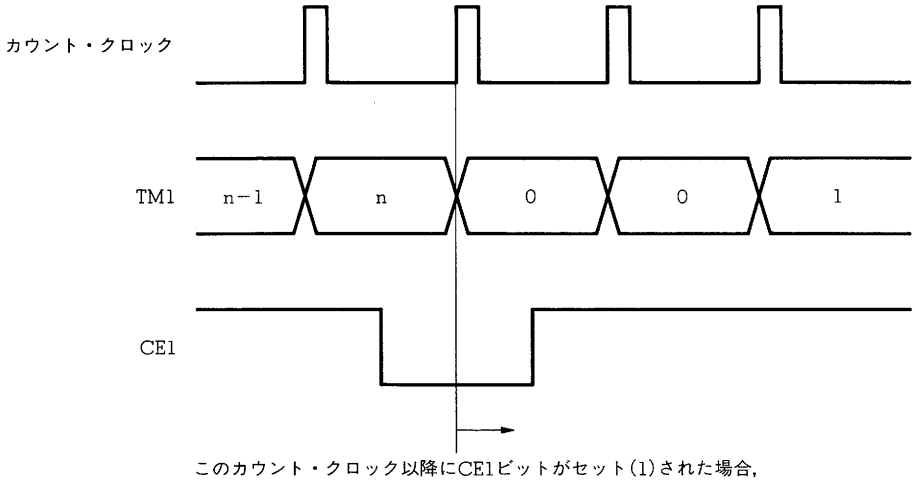
また，TM1はソフトウエアにより，タイマ・コントロール・レジスタ（TMC1）のCE1ビットをリセット(0)することによってもクリアされます。クリア動作は同様に，CE1ビットがリセット(0)されたあとのカウント・クロックで行われます。なお，CE1ビットをリセット(0)し，TM1が0になる前（CE1ビットをリセット(0)したあとの最初のカウント・クロックがくる前）にCE1ビットがセット(1)されると，クリア動作によりTM1が0になる動作とカウント・スタートによる0のカウント動作が同時に行われます。

図8－54　CE1ビットをリセット(0)した場合のクリア動作

(a) 基本動作



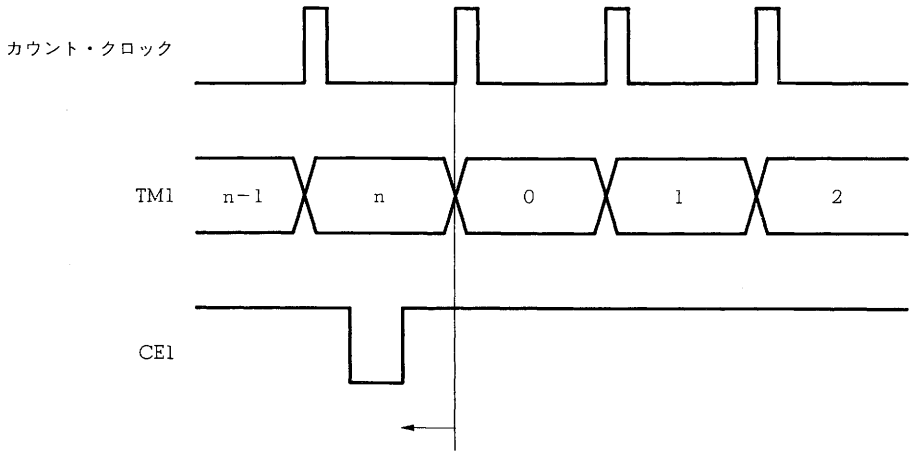
(b) クリア後のTM1が0になってからの再スタート



このカウント・クロック以降にCE1ビットがセット(1)された場合，CE1ビットをセット(1)したあとのカウント・クロックで0からカウント

保守／廃止

(c) クリア後のTM1が0になる前の再スタート



このカウント・クロック以前にCE1ビットがセット(1)された場合，CE1←0によるTM1のクリア動作とCE1←1による0のカウント動作が同時に行われる

保守／廃止

8.2.5　コンペア・レジスタ，キャプチャ／コンペア・レジスタの動作

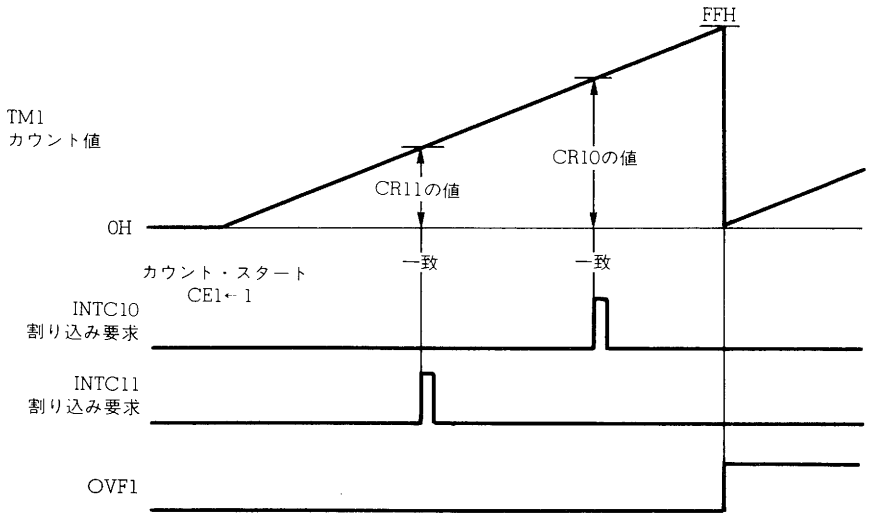
(1) コンペア動作

8ビット・タイマ／カウンタ1はコンペア・レジスタに設定された値をタイマのカウント値と比較するコンペア動作を行います。

あらかじめ設定された，コンペア・レジスタ（CR10），コンペア動作に指定したキャプチャ／コンペア・レジスタ（CR11）の値に8ビット・タイマ1（TM1）のカウント値がカウント動作によって一致すると，割り込み要求信号（CR10レジスタではINTC10，CR11レジスタではINTC11）を発生します。

また，CR10レジスタまたはCR11レジスタの値と 一致後，TM1の内容をクリアすることができ，CR10，CR11レジスタに設定した値を繰り返しカウントするインターバル・タイマとして動作します。

図8－55　コンペア動作

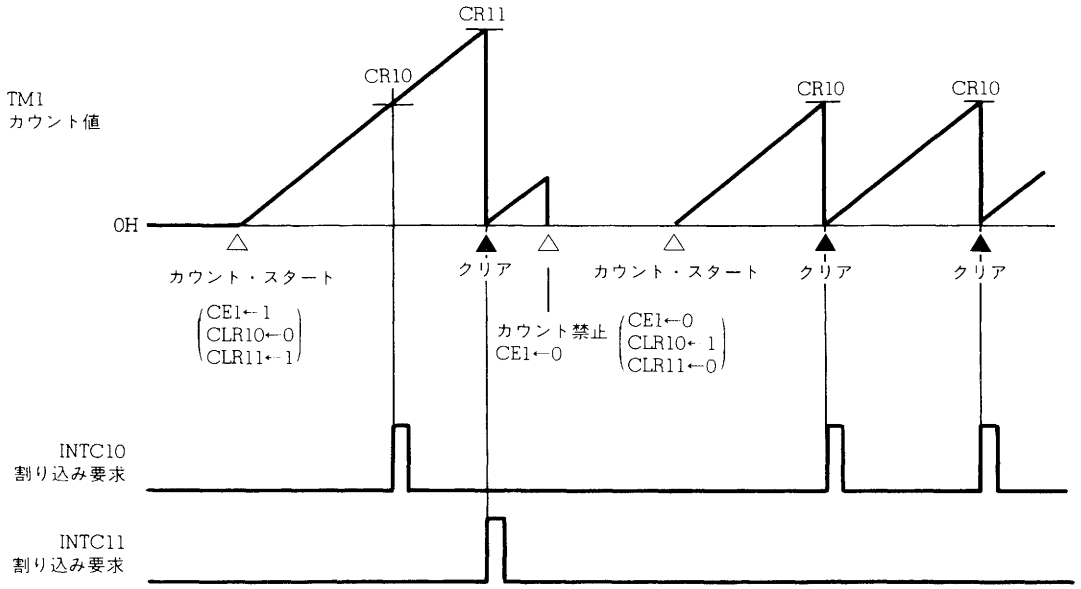


備考　CLR10＝0，CLR11＝0，CM＝0

注意　インサーキット・エミュレータ使用時についての注意がありますので，8.5.4　インサーキット・エミュレータ使用時の注意事項を参照してください。

保守／廃止

図8－56　一致検出後，TM1のクリア



保守／廃止

(2) キャプチャ動作

8ビット・タイマ／カウンタ1は，外部トリガに同期してタイマのカウント値をキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。

外部トリガとして，外部割り込み要求入力端子(INTP0) の入力から検出された有効エッジを用います（キャプチャ・トリガ)。そのキャプチャ・トリガに同期してカウント中の8ビット・タイマ1 (TM1) のカウント値をキャプチャ動作に指定したキャプチャ／コンペア・レジスタ（CR11）に取り込み保持します。次のキャプチャ・トリガが発生するまでCR11レジスタの内容は保持されます。

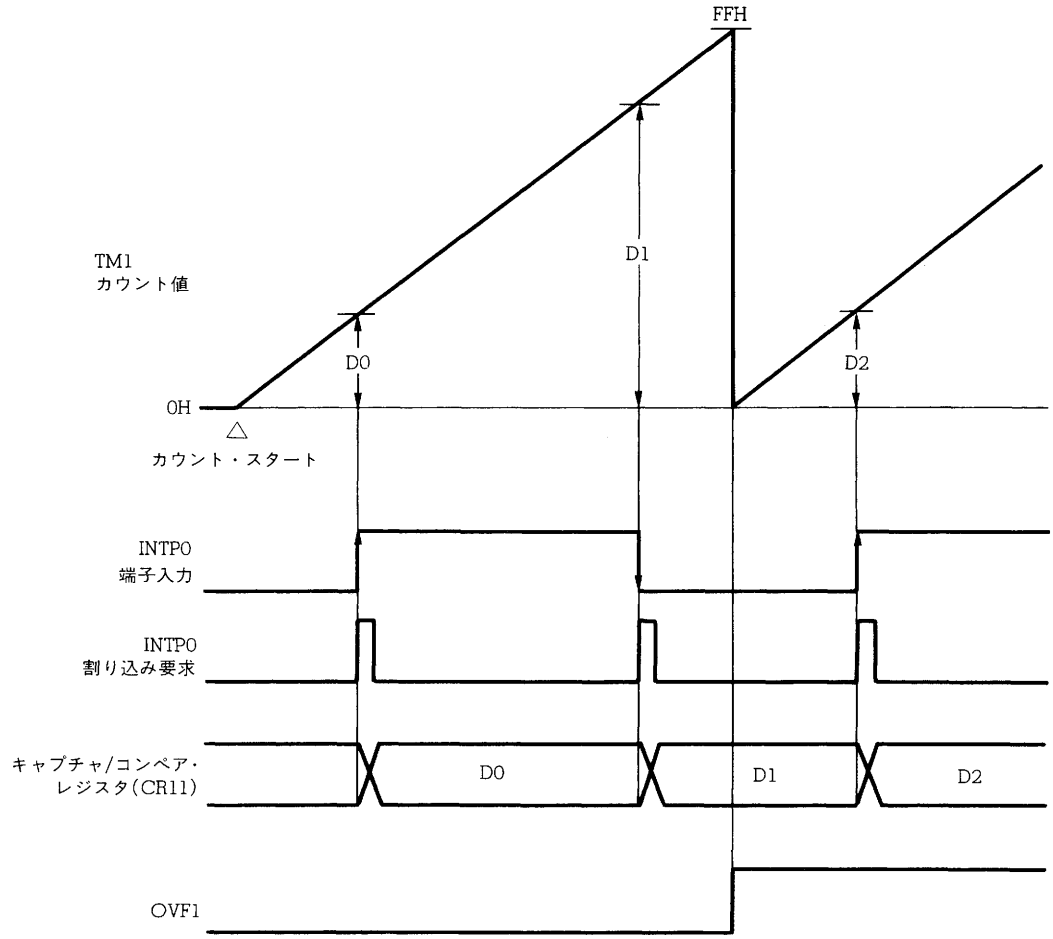
キャプチャ・トリガの有効エッジは外部割り込みモード・レジスタ0（INTM0）により設定します。立ち上がり，立ち下がり両エッジが，キャプチャ・トリガとなるように設定すれば，外部からの入力パルス幅を測定することができます。また，片側エッジでキャプチャ・トリガを発生させた場合，入力パルスの周期を測定することができます。

INTM0レジスタの詳しいフォーマットは，**第12章　図12－1**を参照してください。

注意　インサーキット・エミュレータ使用時についての注意がありますので，8.5.4　インサーキット・エミュレータ使用時の注意事項を参照してください。

保守／廃止

図8－57　キャプチャ動作

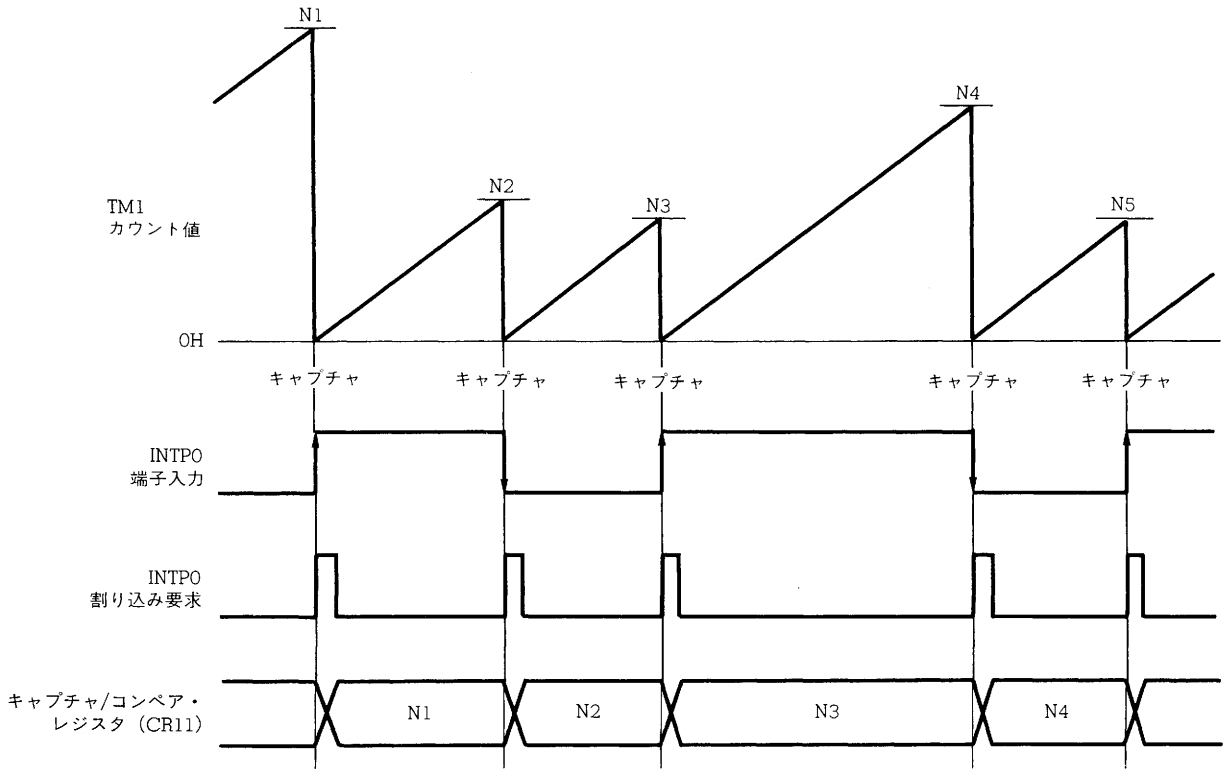


備考　Dn：TM1のカウント値(n＝0，1，2，…)

CLR10＝0，CLR11＝0，CM＝1

保守／廃止

図8－58　キャプチャ後，TM1のクリア



備考　Nn：TM1のカウント値(n＝0，1，2，…)

CLR10＝0，CLR11＝1，CM＝1

保守／廃止

8.2.6 使 用 例

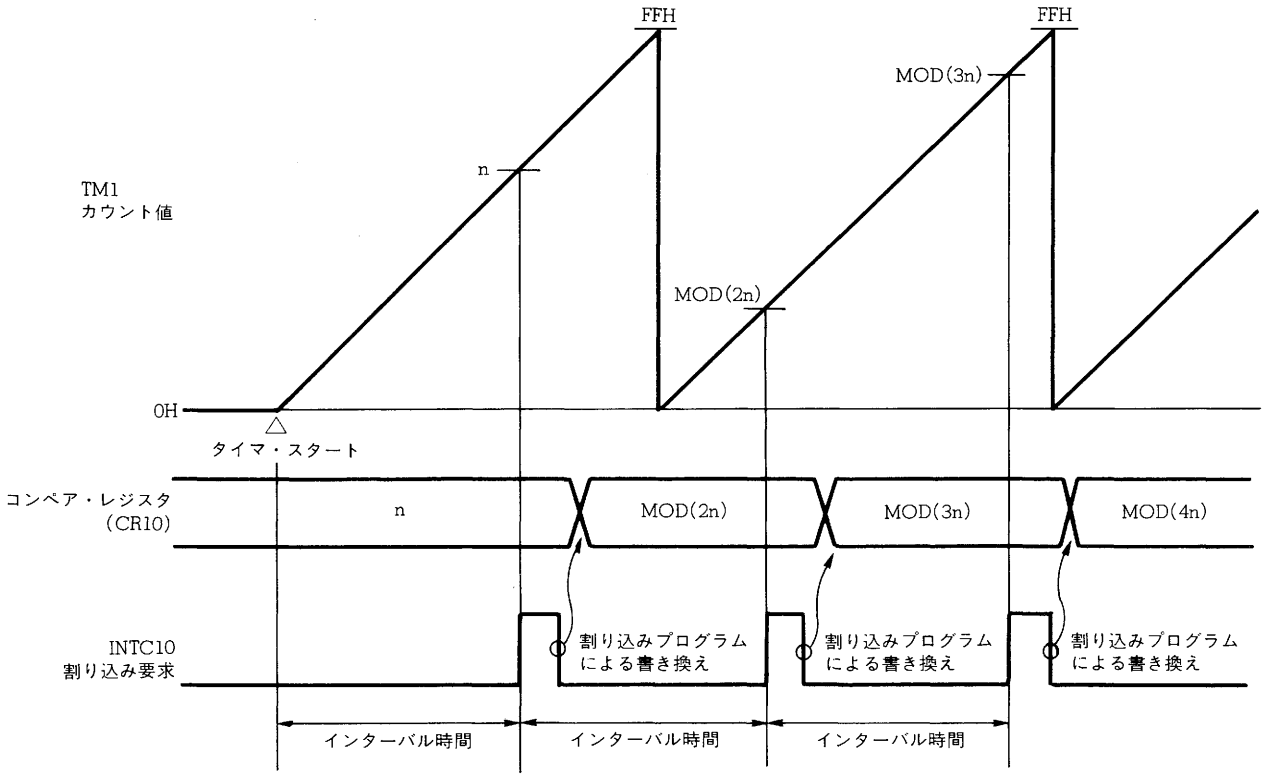
(1) インターバル・タイマとしての動作(1)

8ビット・タイマ1(TM1)をフリー・ランニングさせ，割り込み処理ルーチン中でコンペア・レジスタ(CR10，CR11)に一定の値を加算することで，加算する一定の値を同期とするインターバル・タイマとして動作します(図8-59参照)。

また，8ビット・タイマ1(TM1) 1本にコンペア・レジスタが2本ついているため，2種類の周期のインターバル・タイマを作ることができます。

図8-60に，制御レジスタの設定内容，図8-61に，その設定手順，図8-62に，割り込み処理ルーチン内での処理を示します。

図8-59　インターバル・タイマ動作(1)のタイミング



備考　インターバル時間＝n×x/f_{CLK}，1≦n≦FFH

x＝16，32，64，128，256，512

保守／廃止

図8－60　インターバル・タイマ動作(1)における制御レジスタの設定内容

★

(a) タイマ・コントロール・レジスタ1（TMC1）

	7	6	5	4	3	2	1	0
TMC1	×	×	×	0	1	0	0	0

3ビット目：TM1のカウント許可
2ビット目：オーバフロー・フラグ

(b) プリスケーラ・モード・レジスタ1（PRM1）

	7	6	5	4	3	2	1	0
PRM1	×	×	×	×	0	PRS12	PRS11	PRS10

PRS12, PRS11, PRS10：カウント・クロックの指定
(x/f_{CLK}；x＝16, 32, 64, 128, 256, 512)

(c) キャプチャ／コンペア・コントロール・レジスタ1（CRC1）

	7	6	5	4	3	2	1	0
CRC1	0	0	0	0	0	0	0	0

3ビット目：CR11とTM1の内容一致によるTM1のクリア禁止
2ビット目：CR11レジスタをコンペア・レジスタに指定
1ビット目：CR10とTM1の内容一致によるTM1のクリア禁止

保守／廃止

図8－61　インターバル・タイマ動作(1)の設定手順

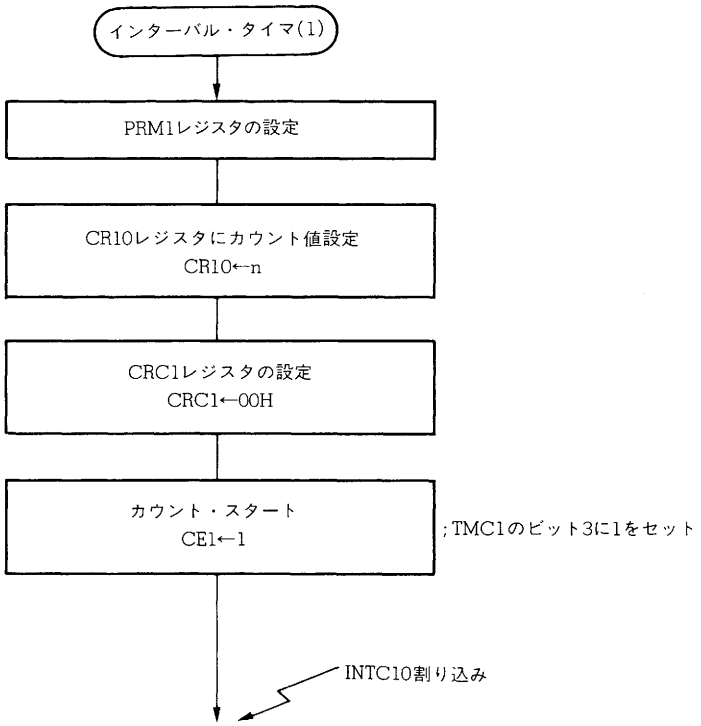
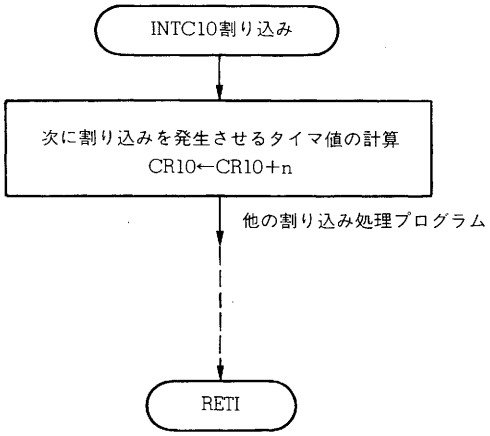


図8－62　インターバル・タイマ動作(1)の割り込み要求処理



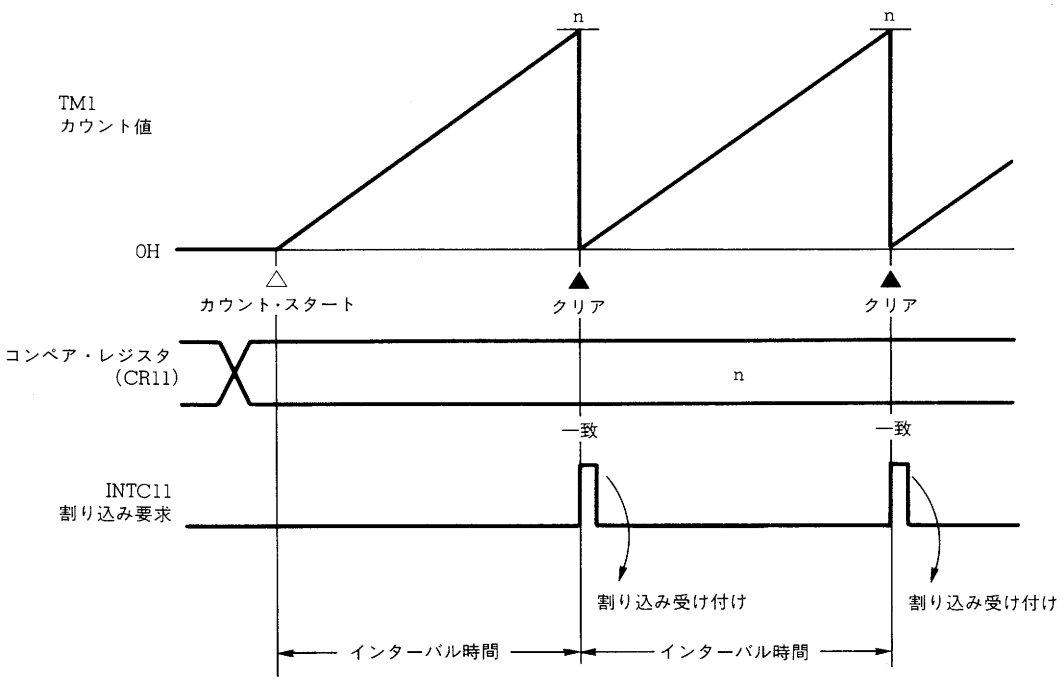
保守／廃止

(2) インターバル・タイマとしての動作(2)

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します（図8－63参照）。

図8－64に制御レジスタの設定内容を，図8－65にその設定手順を示します。

図8－63　インターバル・タイマ動作(2)のタイミング(CR11をコンペア・レジスタとして使用する場合)



備考　インターバル時間＝(n＋1)×x/f_{CLK}

；0≦n≦FFH

x＝16，32，64，128，256，512

保守／廃止

図8-64　インターバル・タイマ動作(2)の制御レジスタの設定内容

(a) タイマ・コントロール・レジスタ1 (TMC1)　★

	7	6	5	4	3	2	1	0
TMC1	×	×	×	0	1	0	0	0

- 2 → オーバフロー・フラグ
- 3 → TM1のカウント許可

(b) プリスケーラ・モード・レジスタ1 (PRM1)

	7	6	5	4	3	2	1	0
PRM1	×	×	×	×	0	PRS12	PRS11	PRS10

- 2, 1, 0 → カウント・クロックの指定
  (x/f_{CLK} ; x = 16, 32, 64, 128, 256, 512)

(c) キャプチャ／コンペア・コントロール・レジスタ1 (CRC1)

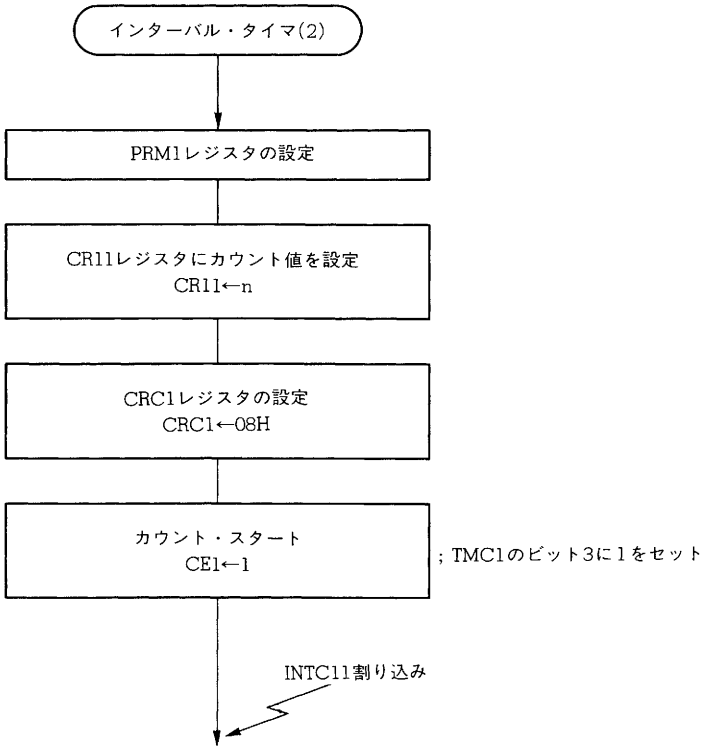
	7	6	5	4	3	2	1	0
CRC1	0	0	0	0	1	0	0	0

- 0 → CR10とTM1の内容一致によるTM1のクリア禁止
- 2 → CR11レジスタをコンペア・レジスタに動作指定
- 3 → CR11とTM1の内容一致によるTM1のクリア許可

8

保守／廃止

図8－65　インターバル・タイマ動作(2)の設定手順



保守／廃止

(3) パルス幅測定としての動作

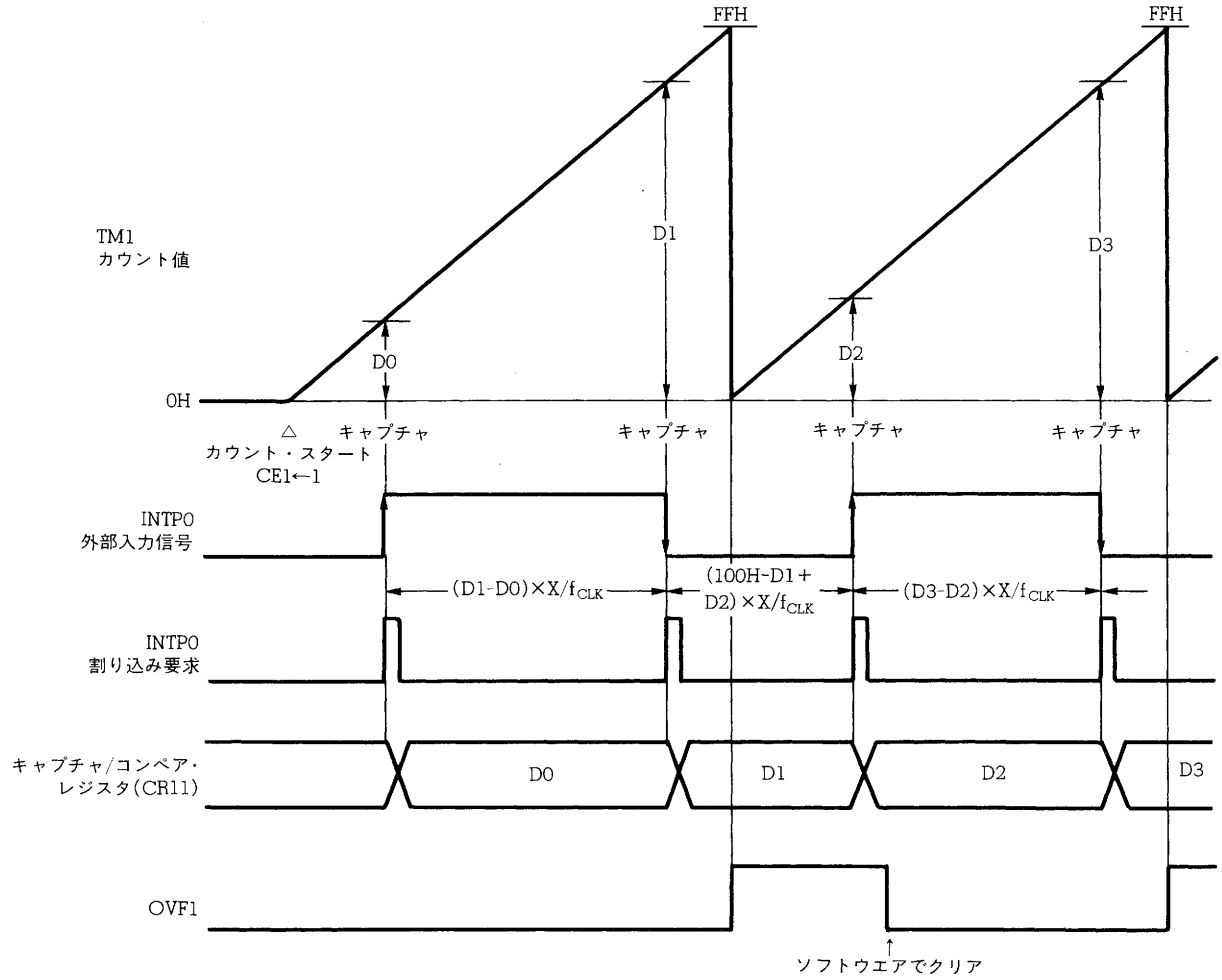
パルス幅測定は，外部割り込み要求入力端子（INTP0）に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。

INTP0端子に入力するパルス幅はハイ・レベル，ロウ・レベルとも12システム・クロック（2 μs：f_{CLK}＝6 MHz）以上必要で，これ以下の場合には有効エッジが検出されずキャプチャ動作を行いません。

図8-66に示すようにINTP0端子入力の有効エッジ(立ち上がり，立ち下がりの両エッジに設定)に同期して，カウント中の8ビット・タイマ1（TM1）の値をキャプチャ・レジスタとして設定したキャプチャ／コンペア・レジスタ（CR11）に取り込み保持します。パルス幅は，n回目の有効エッジ検出によりCR11レジスタに取り込み保持されたTM1のカウント値（Dn）とn－1回目の有効エッジ検出によるカウント値（D_{n-1}）との差の値とカウント・クロック（X/f_{CLK}：X＝16，32，64，128，256，512）との積から求めます。

そのときの制御レジスタの設定内容を図8-67に，設定手順を図8-68に示します。

図8-66　パルス幅測定のタイミング(CR11をキャプチャ・レジスタとして使用する場合)



備考　Dn：TM1のカウント値（n＝0，1，2，…）

X＝16，32，64，128，256，512

保守／廃止

図8－67　パルス幅測定の制御レジスタの設定内容

★ (a) タイマ・コントロール・レジスタ1（TMC1）

	7	6	5	4	3	2	1	0
TMC1	×	×	×	0	1	0	0	0

→ オーバフロー・フラグ

→ TM1のカウント許可

(b) プリスケーラ・モード・レジスタ1（PRM1）

	7	6	5	4	3	2	1	0
PRM1	×	×	×	×	0	PRS12	PRS11	PRS10

→ カウント・クロックの指定

(x/f_{CLK}；x＝16, 32, 64, 128, 256, 512)

(c) キャプチャ/コンペア・コントロール・レジスタ1（CRC1）

	7	6	5	4	3	2	1	0
CRC1	0	0	0	0	0	1	0	0

→ TM1とCR10の一致によるTM1のクリア禁止

→ CR11レジスタをキャプチャ・レジスタに動作指定

→ TM1をCR11へキャプチャしたときのTM1のクリア禁止

(d) 外部割り込みモードレジスタ0（INTM0）

	7	6	5	4	3	2	1	0
INTM0	×	×	×	×	1	1	0	×

→ INTP0入力の有効エッジを立ち上がり，立ち下がりの両エッジに指定

×：don't care

保守／廃止

図8－68　パルス幅測定の設定手順

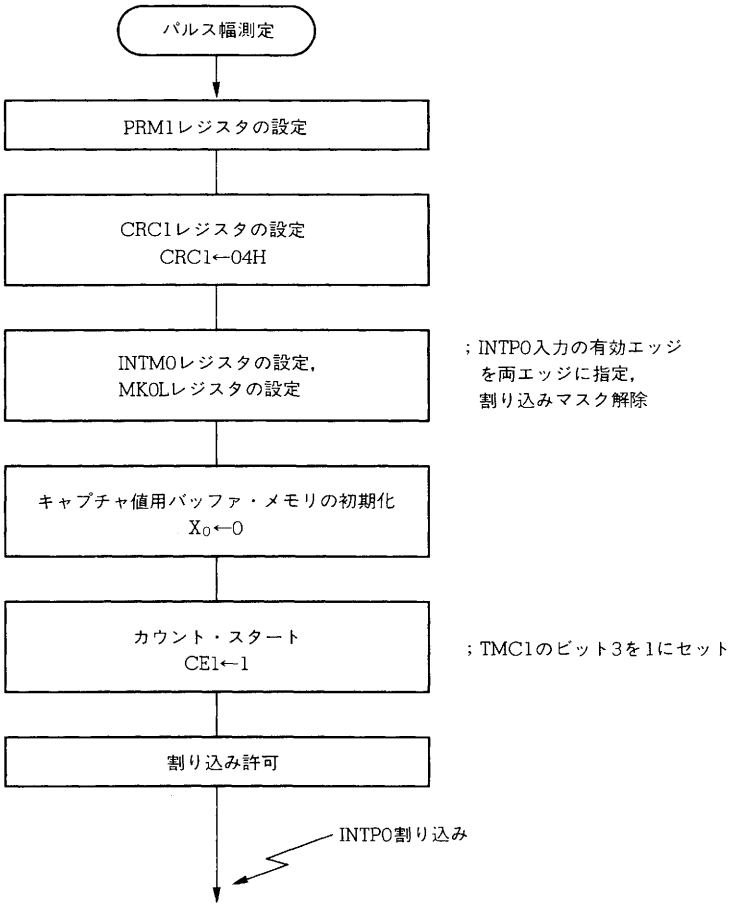
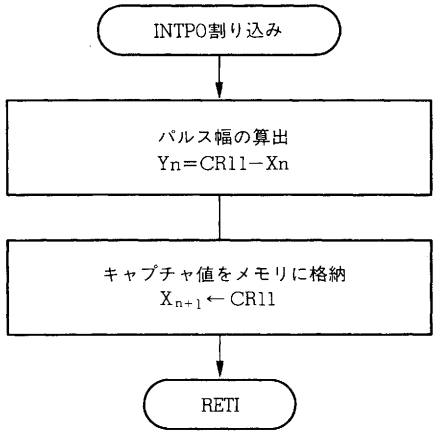


図8－69　パルス幅を算出する割り込み要求処理



保守／廃止

8.3　8ビット・タイマ／カウンタ2

8.3.1　機　　能

8ビット・タイマ／カウンタ2は，ほかの3つのタイマ／カウンタでは持たない次の2つの機能を持っています。

・外部イベント・カウンタ
・ワンショット・タイマ

ここでは次に示す4つの基本的機能について順に説明します。

・インターバル・タイマ
・プログラマブル矩形波出力
・パルス幅測定
・外部イベント・カウンタ

(1) インターバル・タイマ

あらかじめ設定したインターバルで内部割り込みを発生します。

表8－11　8ビット・タイマ／カウンタ2のインターバル時間

分解能	最小インターバル時間	最大インターバル時間
$16/f_{CLK}$ (2.6 μs)	$16/f_{CLK}$ (2.6 μs)	$2^8 \times 16/f_{CLK}$ (683 μs)
$32/f_{CLK}$ (5.3 μs)	$32/f_{CLK}$ (5.3 μs)	$2^8 \times 32/f_{CLK}$ (1.37 ms)
$64/f_{CLK}$ (10.7 μs)	$64/f_{CLK}$ (10.7 μs)	$2^8 \times 64/f_{CLK}$ (2.73 ms)
$128/f_{CLK}$ (21.3 μs)	$128/f_{CLK}$ (21.3 μs)	$2^8 \times 128/f_{CLK}$ (5.46 ms)
$256/f_{CLK}$ (42.7 μs)	$256/f_{CLK}$ (42.7 μs)	$2^8 \times 256/f_{CLK}$ (10.9 ms)
$512/f_{CLK}$ (85.3 μs)	$512/f_{CLK}$ (85.3 μs)	$2^8 \times 512/f_{CLK}$ (21.8 ms)

( ) 内はf_{CLK}＝6 MHz

保守／廃止

(2) プログラマブル矩形波出力

トグル出力端子（TO2, TO3）にそれぞれ独立に矩形波を出力します。

表8-12　8ビット・タイマ／カウンタ2のプログラマブル矩形波出力設定範囲

最小パルス幅	最大パルス幅
$16/f_{CLK}$ (2.6 μs)	$2^8 \times 16/f_{CLK}$ (683 μs)
$32/f_{CLK}$ (5.3 μs)	$2^8 \times 32/f_{CLK}$ (1.37 ms)
$64/f_{CLK}$ (10.7 μs)	$2^8 \times 64/f_{CLK}$ (2.73 ms)
$128/f_{CLK}$ (21.3 μs)	$2^8 \times 128/f_{CLK}$ (5.46 ms)
$256/f_{CLK}$ (42.7 μs)	$2^8 \times 256/f_{CLK}$ (10.9 ms)
$512/f_{CLK}$ (85.3 μs)	$2^8 \times 512/f_{CLK}$ (21.8 ms)

( ) 内はf_{CLK}=6 MHz

注意　上表は内部クロックの場合です。

(3) パルス幅測定

外部割り込み入力端子（INTP1）へ入力される信号のパルス幅を検出します。

表8-13　8ビット・タイマ／カウンタ2のパルス幅測定範囲

測定可能なパルス幅	分解能
$\leqq 2^8 \times 16/f_{CLK}$ (683 μs)	$16/f_{CLK}$ (2.6 μs)
$\leqq 2^8 \times 32/f_{CLK}$ (1.37 ms)	$32/f_{CLK}$ (5.3 μs)
$\leqq 2^8 \times 64/f_{CLK}$ (2.73 ms)	$64/f_{CLK}$ (10.7 μs)
$\leqq 2^8 \times 128/f_{CLK}$ (5.46 ms)	$128/f_{CLK}$ (21.3 μs)
$\leqq 2^8 \times 256/f_{CLK}$ (10.9 ms)	$256/f_{CLK}$ (42.7 μs)
$\leqq 2^8 \times 512/f_{CLK}$ (21.8 ms)	$512/f_{CLK}$ (85.3 μs)

( ) 内はf_{CLK}=6 MHz

保守／廃止

(4) 外部イベント・カウンタ

外部割り込み入力端子（INTP2）から入力されるクロック・パルス（CI端子入力パルス）をカウントします。

表8－14に，8ビット・タイマ／カウンタ2に入力可能なクロックを示します。

表8－14　8ビット・タイマ／カウンタ2に入力可能なクロック

	片エッジをカウントする場合	両エッジをカウントする場合
最大周波数	f_{CLK}/24(250 kHz)	f_{CLK}/32(187.5 kHz)
最小パルス幅注 (ハイおよびロウ・レベル)	12/f_{CLK}(2 μs)	16/f_{CLK}(2.67 μs)

注　(　)内はf_{CLK}＝6 MHz

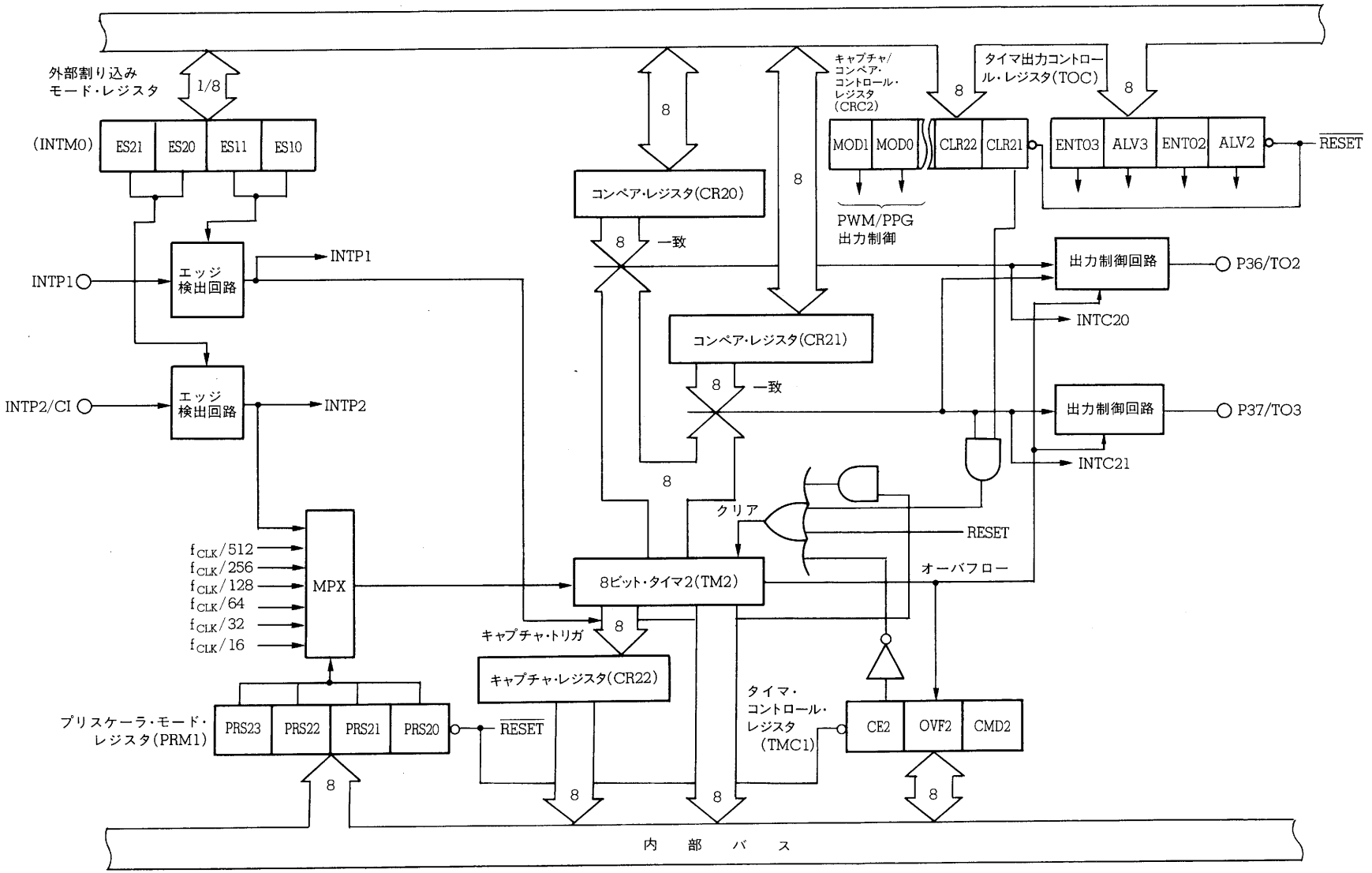
8.3.2 構　　成

8ビット・タイマ／カウンタ2は，8ビット・タイマ2（TM2）と8ビット・コンペア・レジスタ2本（CR20，CR21），および8ビット・キャプチャ・レジスタ1本（CR22）から構成されます。

図8－70に8ビット・タイマ／カウンタ2のブロック図を示します。

保守／廃止

図8－70　8ビット・タイマ/カウンタ2のブロック図



保守／廃止

(1) 8ビット・タイマ2 (TM2)

TM2は，プリスケーラ・モード・レジスタ1 (PRM1) の上位4ビット，または外部割り込みモード・レジスタ0 (INTM0) で指定されるカウント・クロックをアップカウントするタイマです。カウント・クロックは内部クロック，外部クロックの選択もできます。

8ビット操作命令で読み出しのみが可能です。タイマ・コントロール・レジスタ1 (TMC1) によりカウント動作の停止／許可ができます。

$\overline{\text{RESET}}$入力により，TM2は00Hにクリアされ，カウントは停止します。

(2) コンペア・レジスタ (CR20, CR21)

CR20，CR21レジスタは，インターバル・タイマ動作の周期を決める値を保持する8ビット・レジスタです。

CR20, CR21レジスタの内容がTM2の値と一致すると，割り込み要求(INTC20, INTC21)，およびタイマ出力の制御信号を発生します。また，一致(CR21)によりカウント値のクリア動作が行えます。

8ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

(3) キャプチャ・レジスタ (CR22)

CR22レジスタは，TM2の内容をキャプチャする8ビット・レジスタです。

キャプチャ動作は，外部割り込み要求 (INTP1) 入力端子への有効エッジ入力（キャプチャ・トリガ）に同期します。次のキャプチャ・トリガが発生するまで，あるいはCR22レジスタを読み出すまでCR22レジスタの内容は保持されます。読み出し後，CR22レジスタの内容は次のキャプチャ・トリガの発生で値がセットされるまで不定となります。また，キャプチャ後，TM2をクリアすることができます。

8ビット操作命令で読み出しのみが可能です。$\overline{\text{RESET}}$入力により不定となります。

(4) エッジ検出回路

エッジ検出回路は，外部入力の有効エッジを検出します。

INTP1端子入力で外部割り込みモード・レジスタ0 (INTM0) により設定された有効エッジを検出して，INTP1とキャプチャ・トリガを発生します。また，外部割り込み要求 (INTP2) 入力端子からの有効エッジを検出すると，TM2のカウント・クロックとINTP2を発生します。

(5) 出力制御回路

CR20, CR21レジスタの内容とTM2の内容が一致すると，タイマ出力を反転することができます。

タイマ出力コントロール・レジスタ (TOC) 上位4ビットの設定でタイマ出力端子 (TO2, TO3) から矩形波を出力することができます。このとき，キャプチャ/コンペア・コントロール・レジスタ (CRC2) の指定により，PWM出力やPPG出力もできます。

また，TOCレジスタによってタイマ出力の禁止／許可ができます。タイマ出力の禁止状態ではTO2, TO3端子には固定レベルが出力されます（出力レベルはTOCレジスタにより設定)。

保守／廃止

(6) プリスケーラ

カウント・クロックを内部システム・クロックから生成します。このプリスケーラで生成されたクロックをセレクタで選択し，カウント・クロックとしてタイマはカウント動作を行います。

8.3.3 8ビット・タイマ／カウンタ2制御レジスタ

(1) タイマ・コントロール・レジスタ1（TMC1）

TMC1レジスタは，8ビット・タイマ1，2（TM1，TM2）のカウント動作を制御する8ビット・レジスタです。

上位4ビットで8ビット・タイマ／カウンタ2のTM2のカウント動作を制御します（下位4ビットは8ビット・タイマ／カウンタ1のTM1のカウント動作を制御します）。

8ビット操作命令で読み出し／書き込みが可能です。図8-71にTMC1レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図8-71　タイマ・コントロール・レジスタ1（TMC1）のフォーマット

	7	6	5	4	3	2	1	0
TMC1	CE2	OVF2	CMD2	0	CE1	OVF1	0	0

8ビット・タイマ／カウンタ1のTM1のカウント動作を制御します（図8-48を参照）。

CMD2	TM2の動作モード指定
0	通常モード
1	ワンショット・モード

OVF2	TM2のオーバフロー・フラグ
0	オーバフローなし
1	オーバフローあり （FFHから00Hへのカウント・アップ）

CE2	TM2のカウント動作制御
0	クリアしたままカウント動作停止
1	カウント動作許可

備考　OVF2ビットはソフトウエアでのみリセットされます。

保守／廃止

(2) プリスケーラ・モード・レジスタ1 (PRM1)

PRM1レジスタは，8ビット・タイマ1，2 (TM1，TM2) へのカウント・クロックを指定する8ビット・レジスタです。

上位4ビットで8ビット・タイマ／カウンタ2のTM2へのカウント・クロックを指定します（下位4ビットは8ビット・タイマ／カウンタ1のTM1へのカウント・クロックを指定します)。

8ビット操作命令で書き込みのみ可能です。図8-72にPRM1レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図8-72　プリスケーラ・モード・レジスタ1（PRM1）のフォーマット

	7	6	5	4	3	2	1	0
PRM1	PRS23	PRS22	PRS21	PRS20	0	PRS12	PRS11	PRS10

8ビット・タイマ／カウンタ1(TM1)へのカウント・クロックを指定します(**図8-49**を参照)。

f_{CLK}=6 MHz

PRS23	PRS22	PRS21	PRS20	カウント・クロック(Hz)の指定	分解能
0	0	0	0	$f_{CLK}/16$	2.6 μs
0	0	0	1		
0	0	1	0		
0	0	1	1	$f_{CLK}/32$	5.3 μs
0	1	0	0	$f_{CLK}/64$	10.7 μs
0	1	0	1	$f_{CLK}/128$	21.3 μs
0	1	1	0	$f_{CLK}/256$	42.7 μs
0	1	1	1	$f_{CLK}/512$	85.3 μs
1	1	1	1	外部クロック（CI）	

備考　f_{CLK}：システム・クロック周波数

保守／廃止

(3) キャプチャ／コンペア・コントロール・レジスタ 2 (CRC2)

CRC2レジスタは，コンペア・レジスタ（CR21），またはキャプチャ・レジスタ（CR22）による8ビット・タイマ2（TM2）のクリア動作の許可条件やタイマ出力（TO2，TO3）モードを指定するレジスタです。

8ビット操作命令で書き込みのみ可能です。図8-73にCRC2レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により10Hにクリアされます。

図8-73　キャプチャ／コンペア・コントロール・レジスタ 2（CRC2）のフォーマット

	7	6	5	4	3	2	1	0
CRC2	MOD1	MOD0	CLR22	1	CLR21	0	0	0

MOD1	MOD0	CLR22	CLR21	タイマ出力モード		TM2のクリア動作
				TO2	TO3	
0	0	0	0	トグル出力	トグル出力	クリアしない
0	0	0	1	トグル出力	トグル出力	TM2とCR21レジスタの一致でクリア
0	0	1	0	トグル出力	トグル出力	TM2の内容をCR22レジスタへキャプチャ後にクリア
0	0	1	1	トグル出力	トグル出力	TM2とCR21レジスタの一致またはTM2の内容をCR22レジスタへキャプチャ後にクリア
0	1	0	0	PWM出力	トグル出力	クリアしない
1	0	0	0	PWM出力	PWM出力	クリアしない
1	1	0	1	PPG出力	トグル出力	TM2とCR21レジスタの一致でクリア
上記以外				設定禁止		

保守／廃止

(4) タイマ出力コントロール・レジスタ（TOC）

TOCレジスタは，タイマ出力のアクティブ・レベルと出力許可／禁止を制御する8ビット・レジスタです。

上位4ビットで8ビット・タイマ／カウンタ2によるタイマ出力（TO2，TO3端子出力）の動作を制御します（下位4ビットは16ビット・タイマ／カウンタによるタイマ出力（TO0，TO1端子出力）の動作を制御します）。

8ビット操作命令で書き込みのみ可能です。図8-74にTOCレジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図8-74　タイマ出力コントロール・レジスタ（TOC）のフォーマット

	7	6	5	4	3	2	1	0
TOC	ENTO3	ALV3	ENTO2	ALV2	ENTO1	ALV1	ENTO0	ALV0

16ビット・タイマ／カウンタによるタイマ出力（TO0，TO1端子出力）の動作を制御します（図8-5を参照）。

ALV2	TO2端子のアクティブ・レベル	
	トグル出力指定時	PWM/PPG出力指定時
0	ロウ・レベル	ハイ・レベル
1	ハイ・レベル	ロウ・レベル

ENTO2	TO2端子の動作指定
0	$\overline{\text{ALV2}}$を出力
1	パルス出力許可

ALV3	TO3端子のアクティブ・レベル	
	トグル出力指定時	PWM/PPG出力指定時
0	ロウ・レベル	ハイ・レベル
1	ハイ・レベル	ロウ・レベル

ENTO3	TO3端子の動作指定
0	$\overline{\text{ALV3}}$を出力
1	パルス出力許可

保守／廃止

8.3.4　8ビット・タイマ2（TM2）の動作

(1) 基本動作

8ビット・タイマ／カウンタ2のカウント動作は，プリスケーラ・モード・レジスタ1（PRM1）の上位4ビットで指定されるカウント・クロックによりカウント・アップします。

カウント動作の禁止／許可は，タイマ・コントロール・レジスタ1（TMC1）のビット7（CE2）で制御します（8ビット・タイマ／カウンタ2の動作制御はTMC1レジスタの上位4ビットで行われます）。CE2ビットをソフトウエアによりセット(1)すると，最初のカウント・クロックでTM2の内容が00Hにクリアされたあと，カウント・アップ動作を行います。

CE2ビットをソフトウエアによりリセット(1)すると，TM2は次のカウント・クロックで00Hにクリアされ，キャプチャ動作や一致信号の発生は停止します。

CE2ビットがセット(1)されている状態でさらにCE2ビットをセット(1)した場合，TM2のカウント動作は影響を受けません（**図8－75（b）**参照）。

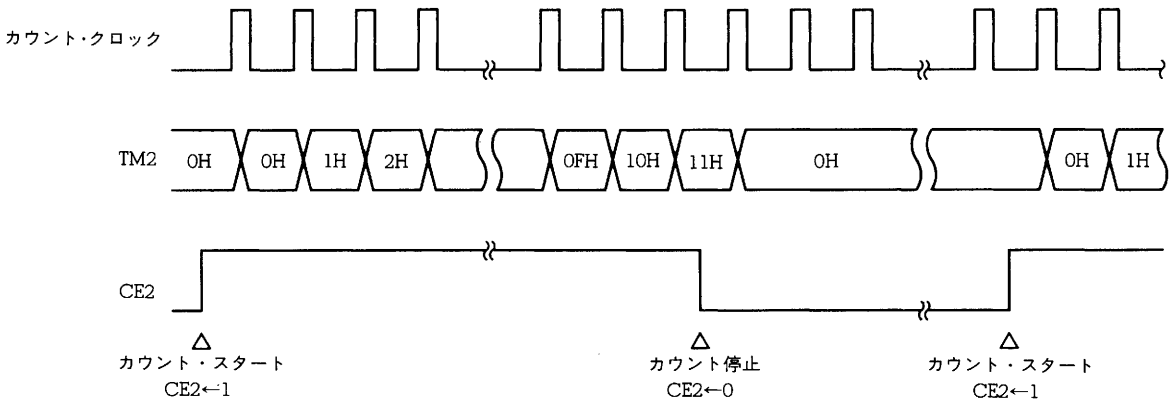
TM2がFFHのときにカウント・クロックが入力されると，TM2は00Hになります。このとき，OVF2がセットされ，出力制御回路にオーバフロー信号を送ります。OVF2は，ソフトウエアによってのみクリアされます。また，カウント動作はそのまま継続されます。

$\overline{\text{RESET}}$入力により，TM2は00Hにクリアされカウント動作は停止します。

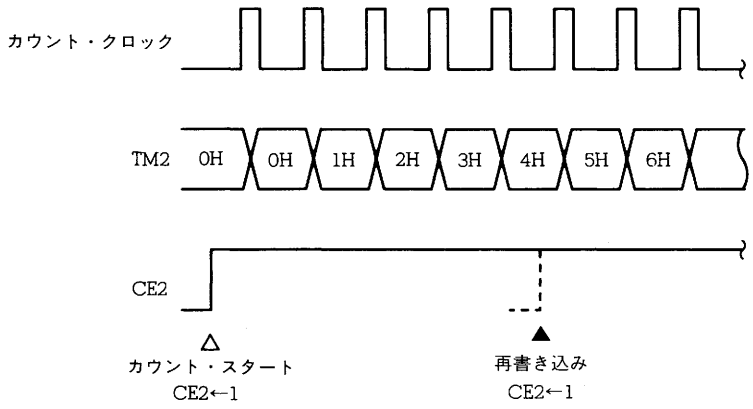
保守／廃止

図8－75　8ビット・タイマ2(TM2)の基本動作

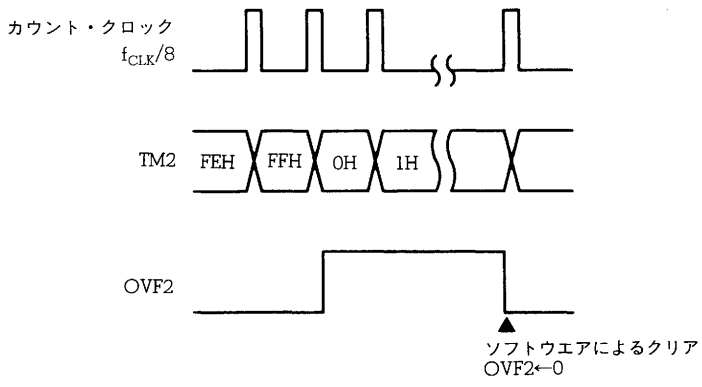
(a) カウント・スタート→カウント禁止→カウント・スタートの場合



(b) カウント・スタート後に再度CE2ビットに“1”を書き込んだ場合



(c) TM2がFFHのときの動作



保守／廃止

(2) クリア動作

8ビット・タイマ2（TM2）は，コンペア・レジスタ（CR21）との一致後およびキャプチャ後に自動的にクリアすることができます。TM2は，クリアする要因が発生すると，次のカウント・クロックで00Hにクリアされます。したがって，クリアする要因が発生しても，次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

図8－76　コンペア・レジスタ（CR21）との一致によるTM2のクリア

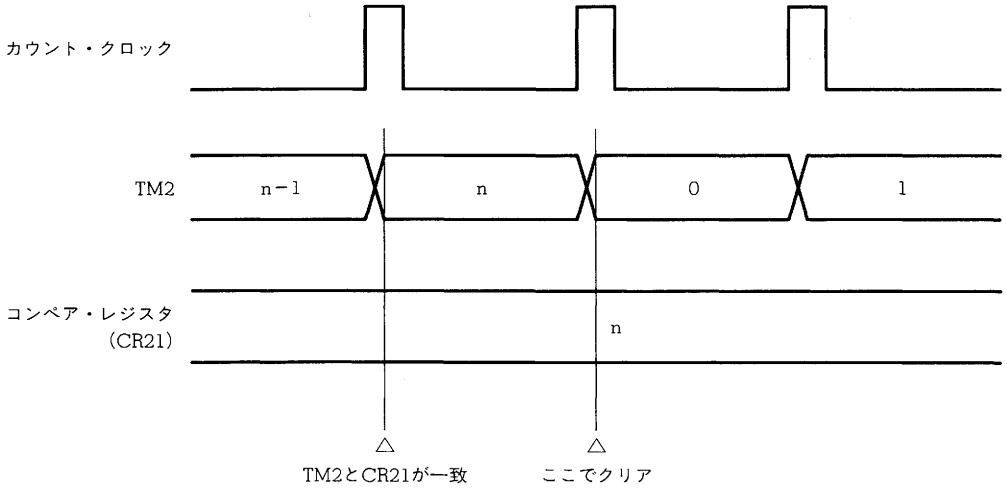
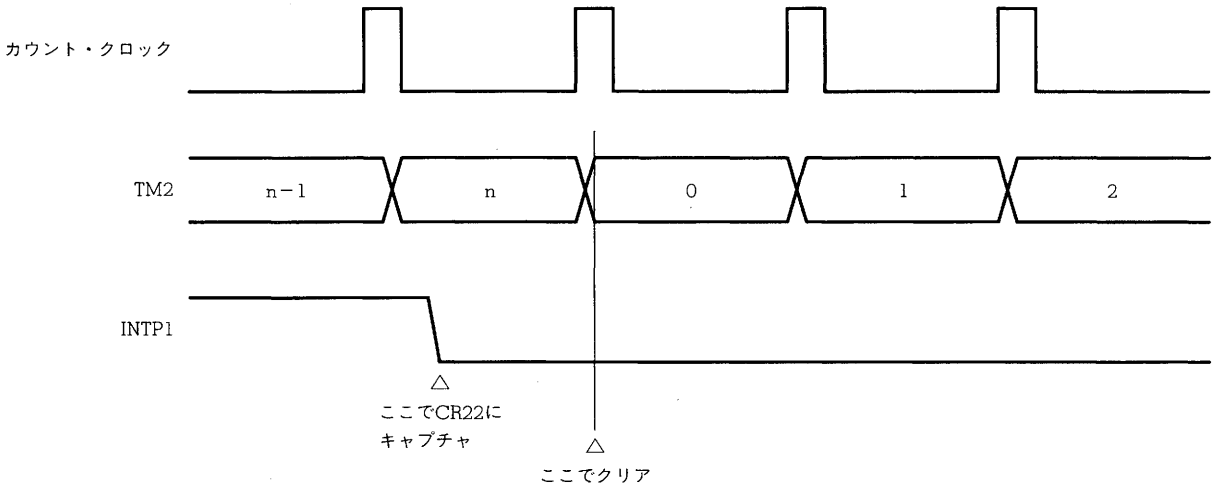


図8－77　キャプチャ後，TM2のクリア

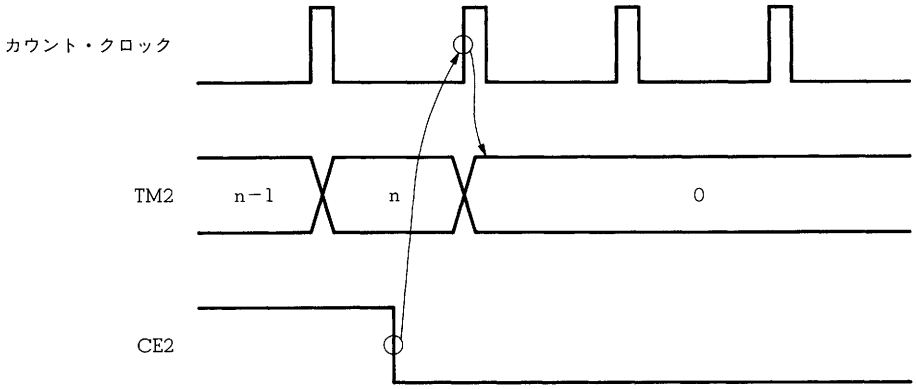


保守／廃止

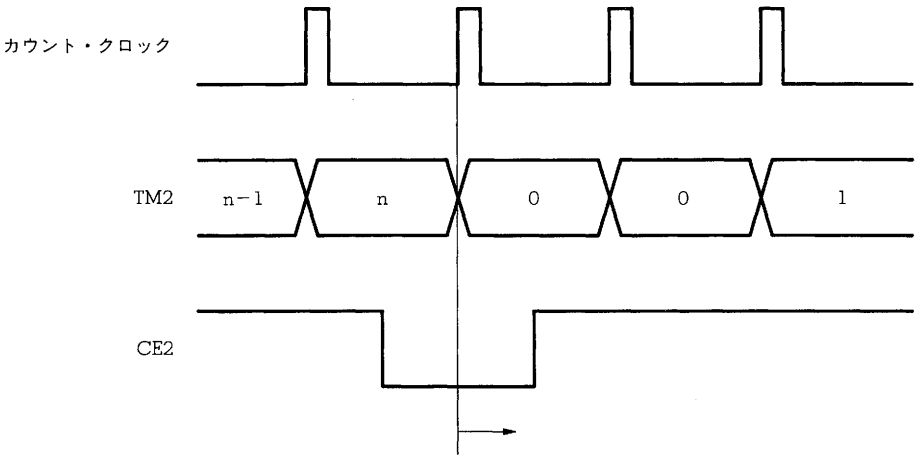
また，TM2はソフトウエアにより，タイマ・コントロール・レジスタ（TMC1）のCE2ビットをリセット(0)することによってもクリアされます。クリア動作は同様に，CE2ビットがリセット(0)されたあとのカウント・クロックで行われます。なお，CE2ビットをリセット(0)し，TM2が0になる前（CE2ビットをリセット(0)したあとの最初のカウント・クロックがくる前）にCE2ビットがセット(1)されると，クリア動作によりTM2が0になる動作とカウント・スタートによる0のカウント動作が同時に行われます。

図8－78　CE2ビットをリセット(0)した場合のクリア動作

(a) 基本動作



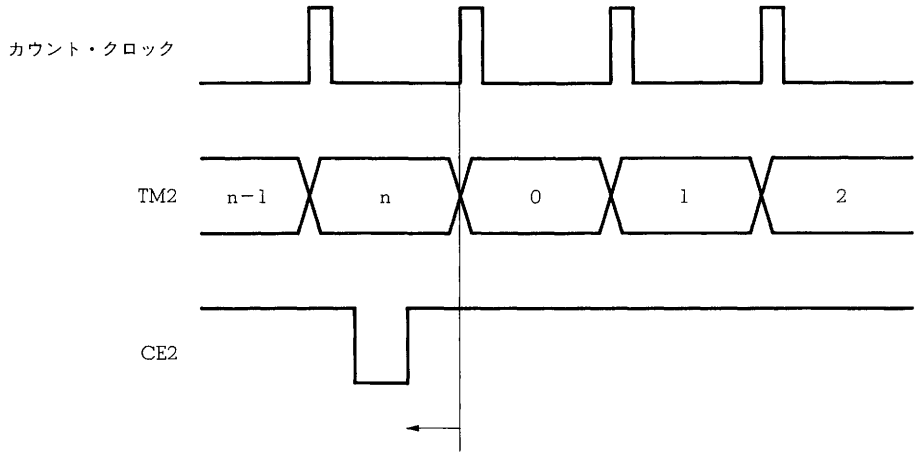
(b) クリア後のTM2が0になってからの再スタート



このカウント・クロック以降にCE2ビットがセット(1)された場合，CE2ビットをセット(1)したあとのカウント・クロックで0からカウント

保守／廃止

(c) クリア後のTM2が0になる前の再スタート



このカウント・クロック以前にCE2ビットがセット(1)された場合，CE2←0によるTM2のクリア動作とCE2←1による0のカウント動作が同時に行われる

保守／廃止

8.3.5　外部イベント・カウンタ機能

8ビット・タイマ／カウンタ2は，外部から入力されるクロック・パルス（CI端子）をカウントすることができます。

外部イベント・カウンタ動作モードは，特別な選択方法を必要としません。プリスケーラ・モード・レジスタ1（PRM1）の上位4ビットの設定によって，TM2のカウント・クロックを外部クロック入力に指定すると，TM2は外部イベント・カウンタとして動作します。

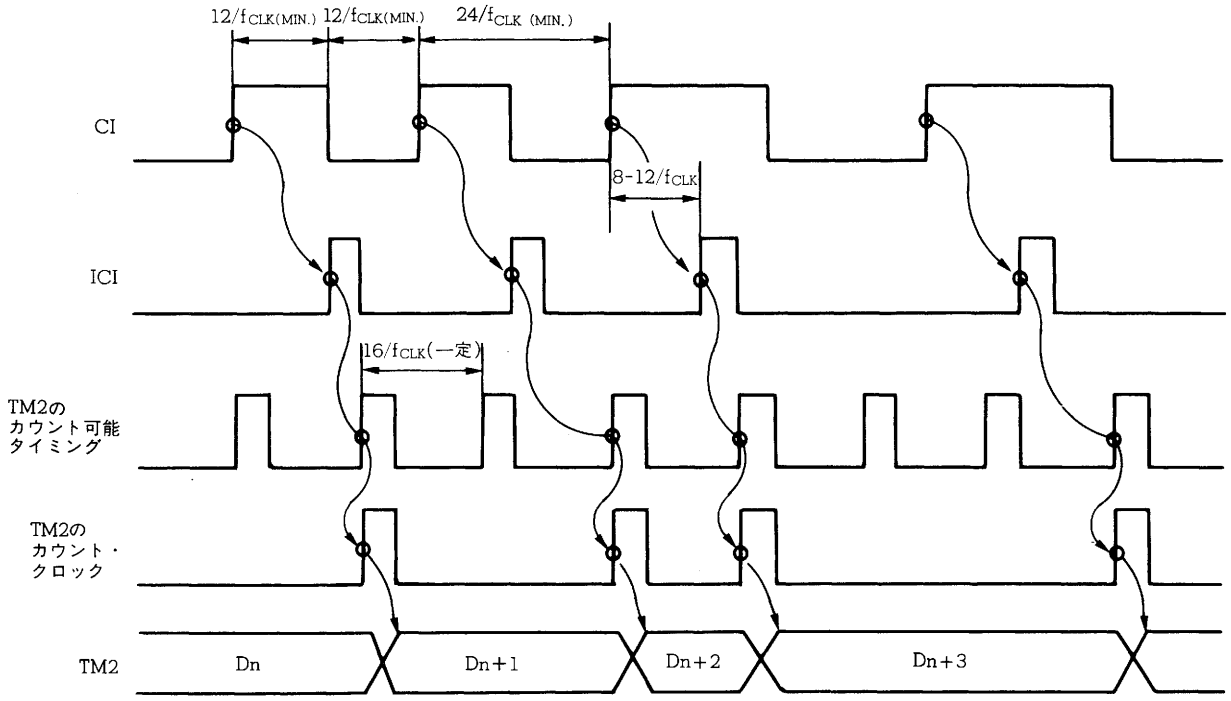
外部イベント・カウンタとしてカウントできる外部クロック・パルスの最大周波数は，CI入力の両エッジをカウントする場合187.5 kHz，片エッジのみをカウントする場合250 kHzです（f_{CLK}＝6 MHz）。

また，両エッジをカウントする場合は，パルス幅はハイ・レベル，ロウ・レベルともに16システム・クロック（2.67 μs：f_{CLK}＝6 MHz）以上必要で，これ以下の場合は，カウントされない場合があります。片エッジをカウントする場合は，パルス幅はハイ・レベル，ロウ・レベルともに12システム・クロック（2 μs：f_{CLK}＝6 MHz）以上必要で，これ以下の場合はカウントされない場合があります。

図8-79に，8ビット・タイマ／カウンタ2の外部イベント・カウントのタイミングを示します。

図8-79　8ビット・タイマ／カウンタ2の外部イベント・カウンタのタイミング（1/2）

（1）片エッジをカウントする場合（最大周波数＝f_{CLK}/24）

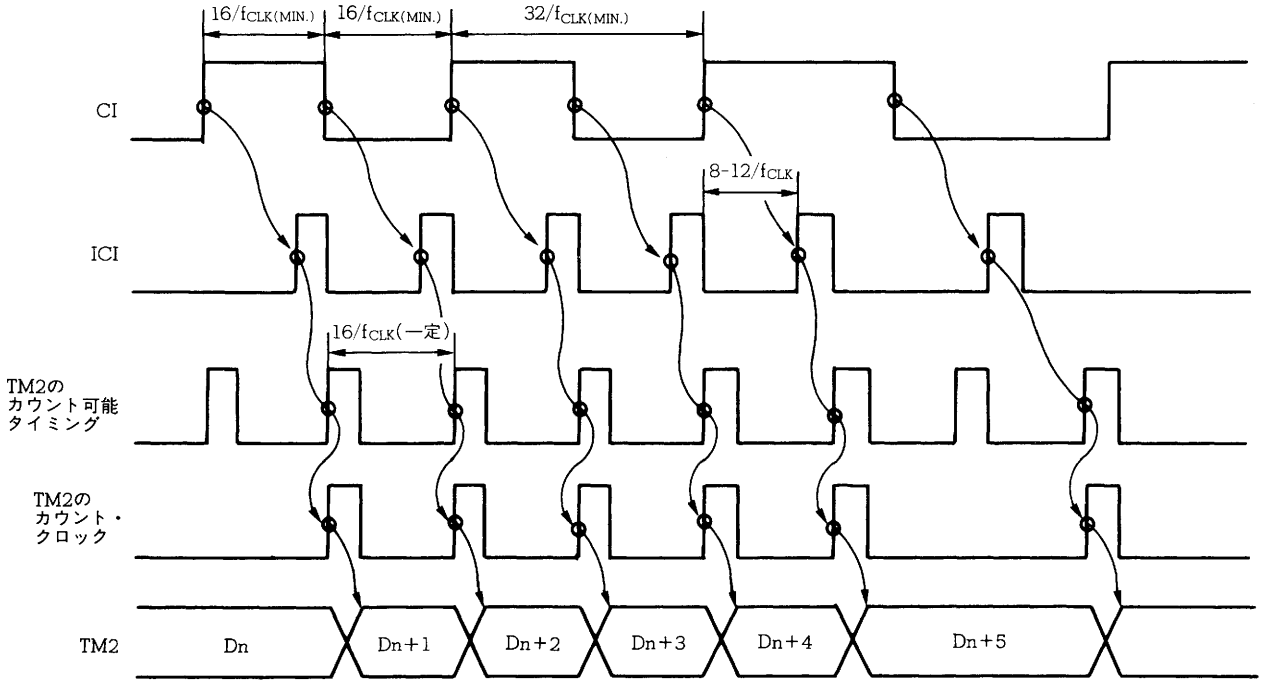


備考　　ICI：CI入力のエッジ検出回路通過後の信号

保守／廃止

図8－79　8ビット・タイマ／カウンタ2の外部イベント・カウンタのタイミング（2/2）

（2）両エッジをカウントする場合（最大周波数＝f_{CLK}/32）



備考　ICI：CI入力のエッジ検出回路通過後の信号

TM2のカウント動作は，基本動作の場合と同様にTMC1レジスタのCE2ビットで制御します。

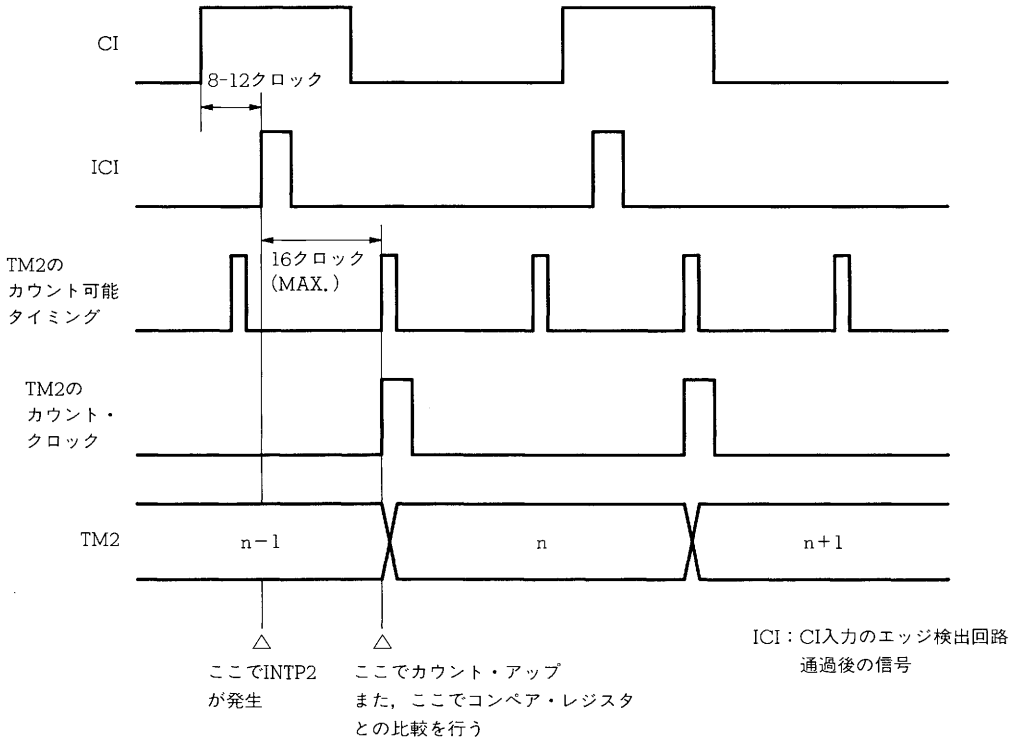
CE2ビットをソフトウエアによってセット(1)すると，最初のカウント・クロックでTM2の内容が00Hとなり，カウント・アップ動作を開始します。

TM2のカウント動作中CE2ビットをソフトウエアによりセット(0)すると，TM2は次のカウント・クロックで00Hにクリアされ停止状態となります。また，CE2ビットがセットされている状態で，さらにソフトウエアによりCE2ビットをセット(1)した場合，TM2のカウント動作は影響を受けません。

保守／廃止

注意1．　8ビット・タイマ／カウンタ2を外部イベント・カウンタとして使用する場合，CI端子に有効エッジが入力されてからTM2がインクリメントされるまで最大2システム・クロック（4.67 μs：f_{CLK}＝6 MHz）だけ遅れます。したがって，エッジ検出直後にTM2の値を読み出してもインクリメントされていない場合があります。また，コンペア・レジスタ（CR20，CR21）との一致による割り込み要求の発生も同様にエッジ入力より遅れます。エッジ入力直後の短いタイミングの制御を行う必要がある場合には，注意してください。

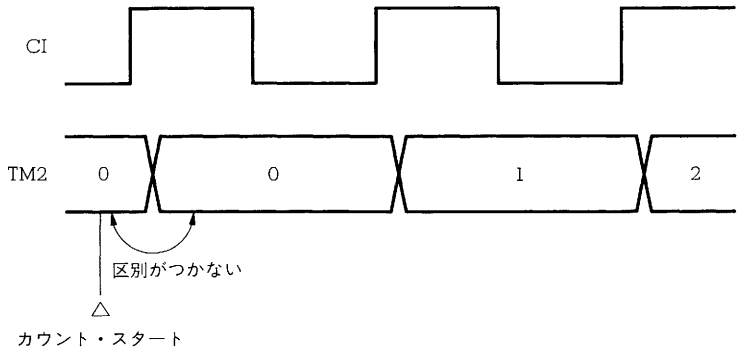
図8－80　外部イベント・カウンタでの割り込み要求発生



保守／廃止

注意2.　8ビット・タイマ／カウンタ2を外部イベント・カウンタとして使用する場合，有効エッジの入力が一度もない状態と1回だけあった状態の区別がTM2だけではつけられません(図8－81参照)。TM2の内容はいずれの場合も0になります。区別をつける必要がある場合には，INTP2の割り込み要求フラグを利用してください(INTP2端子とCI端子は兼用になっており，いずれの機能も同時に使用できます)。例を図8－82に示します。

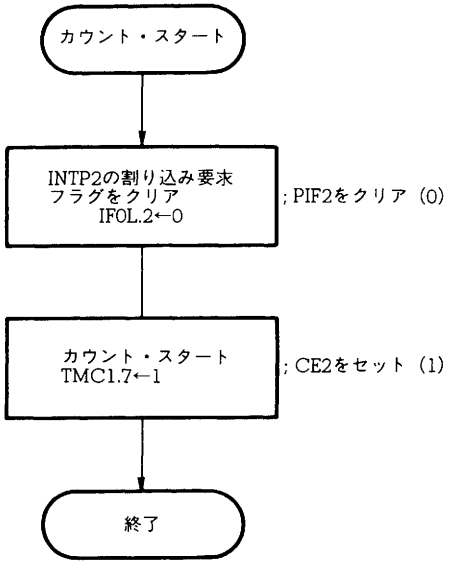
図8－81　外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例



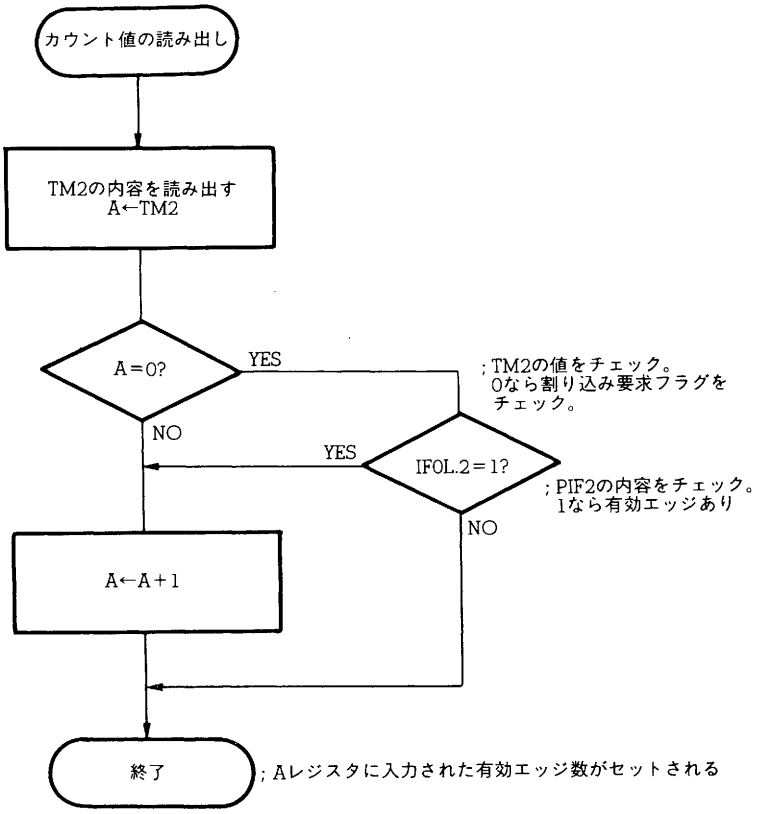
保守／廃止

図8－82　外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法

(a) カウント・スタート時の処理



(b) カウント値読み出し時の処理



保守／廃止

注意3.　インサーキット・エミュレータではCI/INTP2端子のディジタル・ノイズ除去を正常に行うことができません。イベント・カウンタを使用している場合は，8.5.4　インサーキット・エミュレータ使用時の注意事項を参照してください。

保守／廃止

8.3.6　ワンショット・タイマ機能

8ビット・タイマ／カウンタ2には，カウントの結果フルカウント（FFH）になると自動的に停止する動作モードがあります。

図8－83　ワンショット・タイマ動作

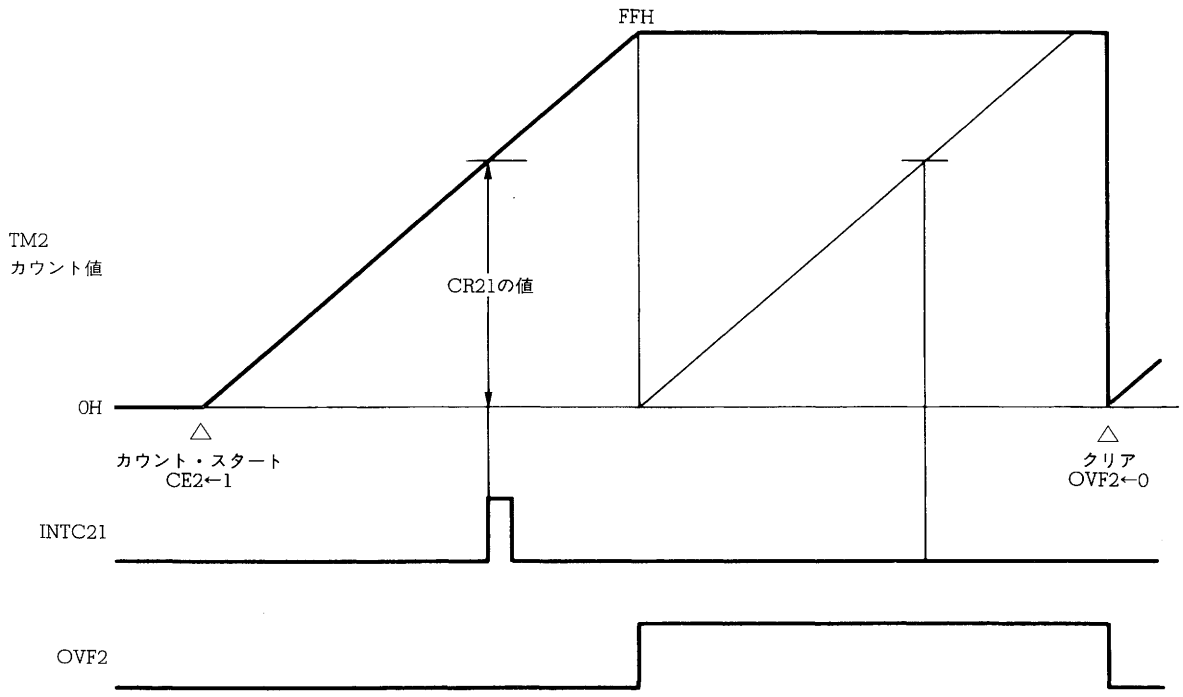


図8－83に示すように，CR20，CR21レジスタにあらかじめ設定した値（0H-FFH）とTM2の値との一致で，それぞれワンショットの割り込みを発生します。

ワンショット・タイマ動作モードの指定は，タイマ・コントロール・レジスタ1（TMC1）のビット5（CMD2）をソフトウエアでセット(1)することによって行います。

TM2のカウント動作は，基本動作の場合と同様にTMC1レジスタのCE2ビットで制御します。

CE2ビットをソフトウエアによってセット(1)すると，最初のカウント・クロックでTM2の内容が00Hとなり，カウント・アップ動作を開始します。

カウント・アップの結果TM2の内容がFFH（フルカウント）になると，TMC1レジスタのビット6（OVF2）がセット(1)され，TM2はカウント値FFHのまま停止します。

カウント停止状態から再びワンショット・タイマ動作をスタートさせる場合，OVF2ビットをソフトウエアでリセット(0)することによって行います。OVF2ビットをリセット(0)すると，次のカウント・クロックでTM2の内容が00Hとなり，カウント・アップ動作を再開します。

TM2のカウント動作中にCE2ビットをソフトウエアによりリセット(0)すると，TM2は次のカウント・クロックで00Hにクリアされ，停止状態となります。また，CE2ビットがセット(1)されている状態で，さらにソフトウエアでCE2ビットをセット(1)した場合，TM2のカウント動作は影響を受けません。

保守／廃止

8.3.7　コンペア・レジスタ，キャプチャ・レジスタの動作

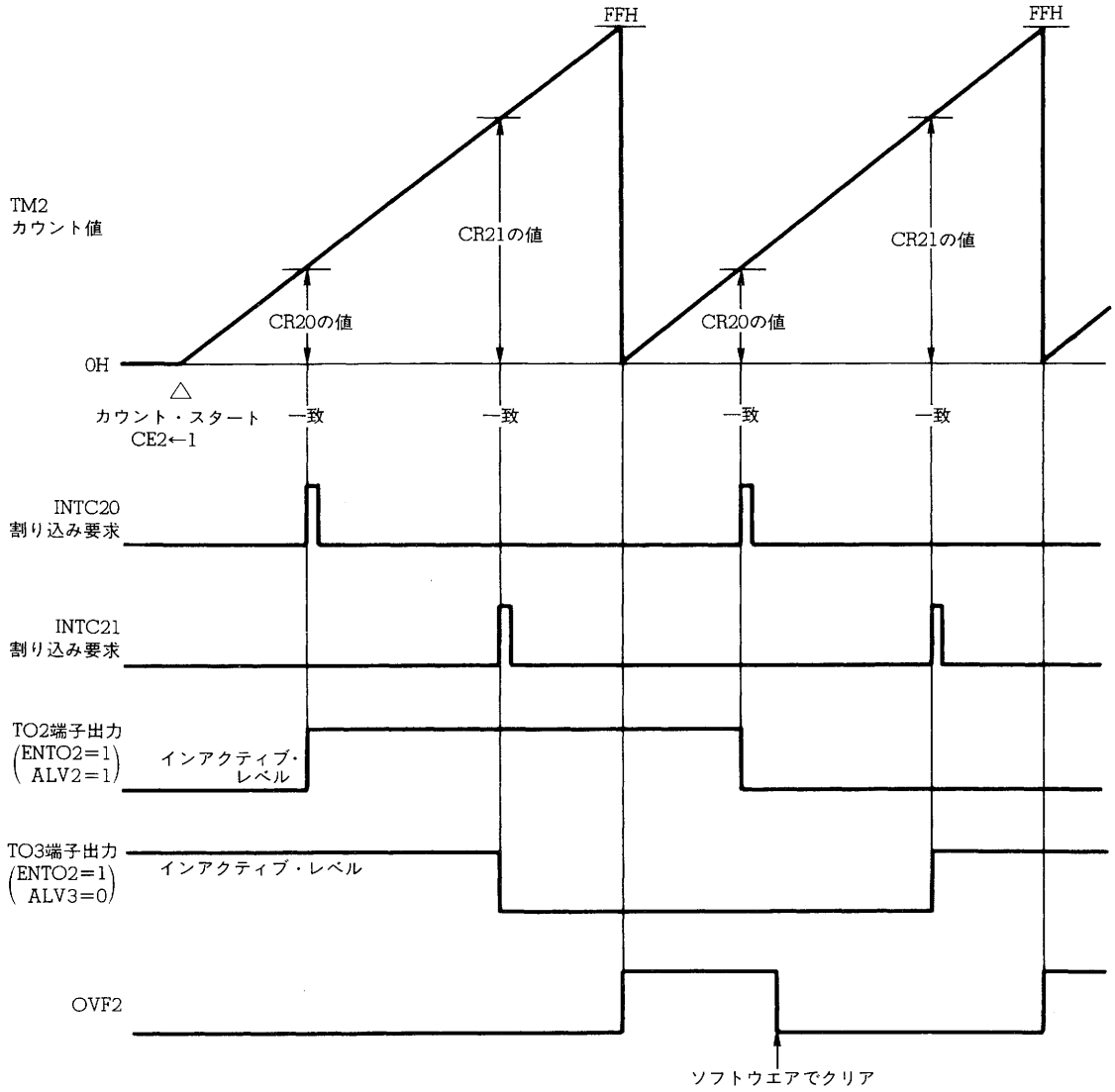
(1) コンペア動作

8ビット・タイマ／カウンタ2は，コンペア・レジスタに設定された値をタイマのカウント値と比較するコンペア動作を行います。

あらかじめ設定されたコンペア・レジスタ（CR20，CR21）の値に8ビット・タイマ2（TM2）のカウント値がカウント動作によって一致すると，出力制御回路に一致信号を送ります。同時に割り込み要求信号（INTC20，INTC21）を発生します。

また，CR21レジスタの値と一致後，TM2の内容をクリアすることができ，CR21レジスタに設定した値を繰り返しカウントするインターバル・タイマとして動作します。

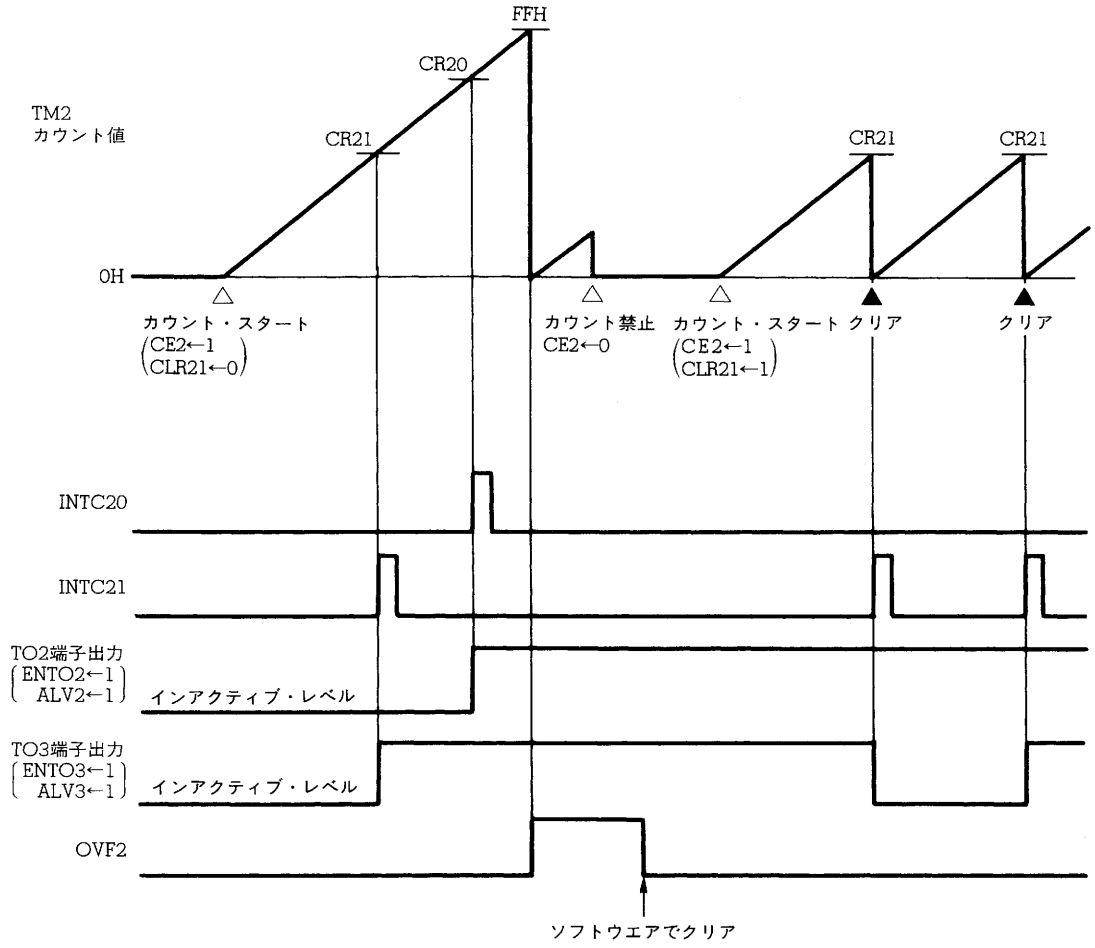
図8－84　コンペア動作



備考　CLR21＝0，CLR22＝0

保守／廃止

図8-85　一致検出後，TM2のクリア



備考　CLR22＝0

注意　インサーキット・エミュレータ使用時についての注意がありますので，8.5.4　インサーキット・エミュレータ使用時の注意事項を参照してください。

保守／廃止

(2) キャプチャ動作

8ビット・タイマ／カウンタ2は，外部トリガに同期してタイマのカウント値をキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。

外部トリガとして，外部割り込み要求(INTP1) 入力端子の入力から検出された有効エッジを用います(キャプチャ・トリガ)。そのキャプチャ・トリガに同期してカウント中の8ビット・タイマ(TM2)のカウント値をキャプチャ・レジスタ（CR22）に取り込み保持します。プログラムでCR22のキャプチャ値を読み出した後，CR22レジスタの内容は不定となります。

キャプチャ・トリガの有効エッジは外部割り込みモード・レジスタ0 (INTM0) により設定します。立ち上がり，立ち下がり両エッジが，キャプチャ・トリガとなるように設定すれば，外部からの入力パルス幅を測定することができます。また，片側エッジでキャプチャ・トリガを発生させた場合，入力パルスの周期を測定することができます。

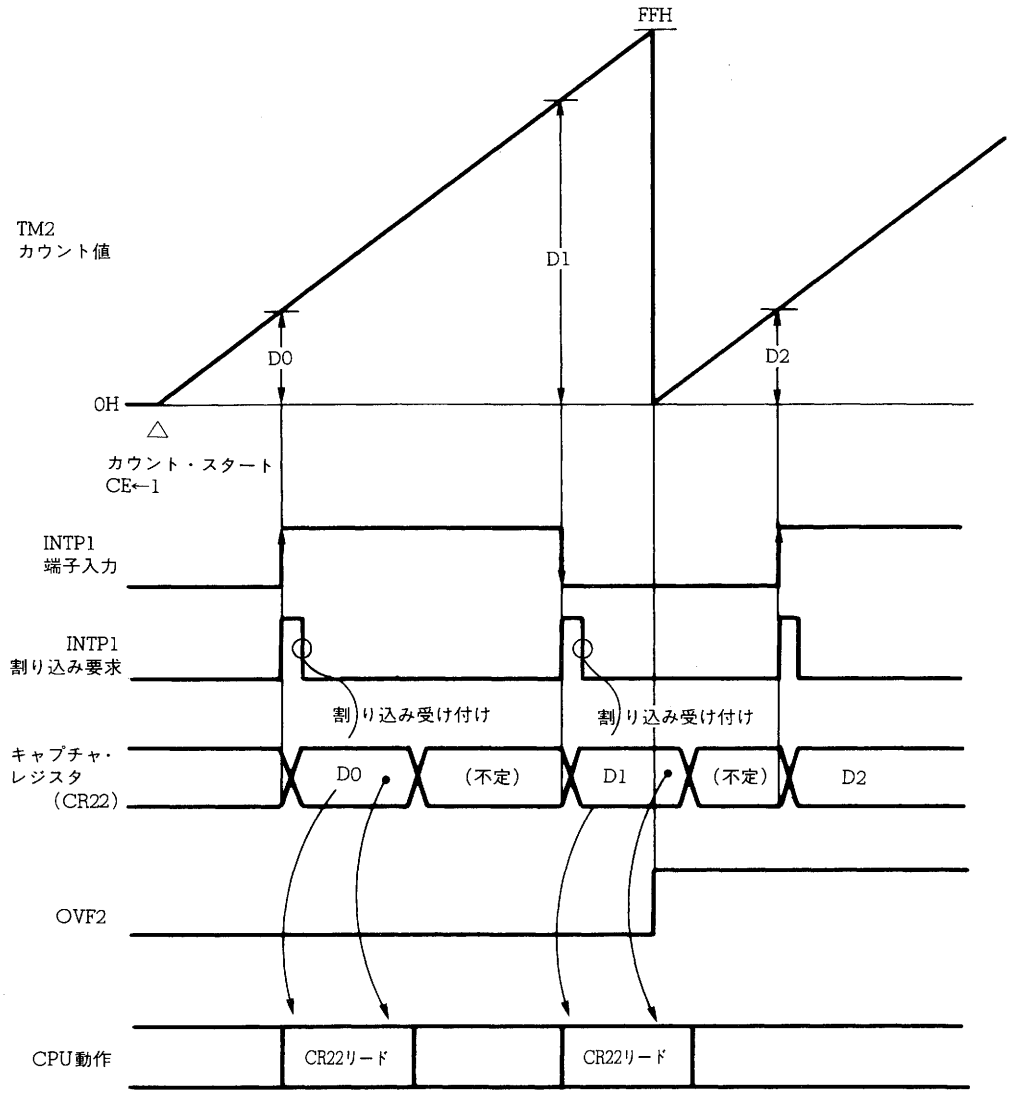
INTM0レジスタの詳しいフォーマットは，**第12章　図12－1**を参照してください。

注意1．CR22レジスタは，読み出したあと，不定になります。キャプチャした値を2回以上使用したい場合は，レジスタまたはメモリなどへキャプチャした値を退避しておき，その値を使用するようにしてください。

2．インサーキット・エミュレータ使用時についての注意がありますので，8.5.4　インサーキット・エミュレータ使用時の注意事項を参照してください。

保守／廃止

図8－86　キャプチャ動作

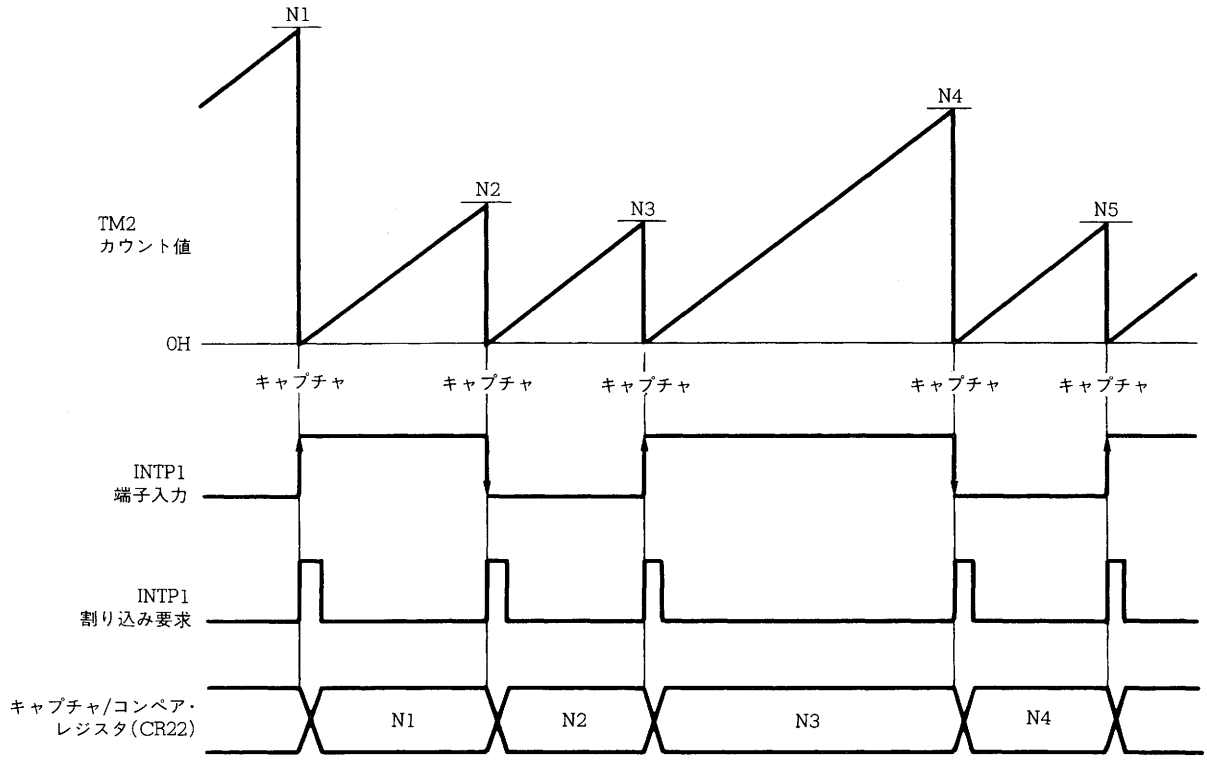


備考　Dn：TM2のカウント値（n＝0，1，2，…）

CLR21＝0，CLR22＝0

保守／廃止

図8－87　キャプチャ後，TM2のクリア



備考　CLR21＝0，CLR22＝1

8.3.8　出力制御回路の基本動作

出力制御回路は，コンペア・レジスタからの一致信号によって，タイマ出力（TO2，TO3）のレベルを制御します。出力制御回路の動作は，タイマ出力コントロール・レジスタ（TOC）とキャプチャ／コンペア・コントロール・レジスタ2（CRC2）によって決定されます（**表8－15**参照）。なお，タイマ出力（TO2，TO3）信号の端子への出力は，PMC3レジスタで該当する端子がコントロール・モードになっている必要があります。

保守／廃止

表8－15　タイマ出力（TO2，TO3）の動作

TOC				CRC2				TMC1	TO3	TO2
ENTO3	ALV3	ENTO2	ALV2	MOD1	MOD0	CLR22	CLR21	CMD2		
0	0/1	0	0/1	×	×	×	×	×	ハイ／ロウ・レベル固定	ハイ／ロウ・レベル固定
0	0/1	1	0/1	0	0	×注	×	×	ハイ／ロウ・レベル固定	トグル出力（ロウ／ハイ・アクティブ）
1	0/1	0	0/1	0	0	×注	×	×	トグル出力（ロウ／ハイ・アクティブ）	ハイ／ロウ・レベル固定
1	0/1	1	0/1	0	0	×注	×	×	トグル出力（ロウ／ハイ・アクティブ）	トグル出力（ロウ／ハイ・アクティブ）
0	0/1	1	0/1	0	1	0	0	0	ハイ／ロウ・レベル固定	PWM出力（ハイ／ロウ・アクティブ）
1	0/1	0	0/1	0	1	0	0	0	トグル出力（ロウ／ハイ・アクティブ）	ハイ／ロウ・レベル固定
1	0/1	1	0/1	0	1	0	0	0	トグル出力（ロウ／ハイ・アクティブ）	PWM出力（ハイ／ロウ・アクティブ）
0	0/1	1	0/1	1	0	0	0	0	ハイ／ロウ・レベル固定	PWM出力（ハイ／ロウ・アクティブ）
1	0/1	0	0/1	1	0	0	0	0	PWM出力（ハイ／ロウ・アクティブ）	ハイ／ロウ・レベル固定
1	0/1	1	0/1	1	0	0	0	0	PWM出力（ハイ／ロウ・アクティブ）	PWM出力（ハイ／ロウ・アクティブ）
0	0/1	1	0/1	1	1	0	1	0	ハイ／ロウ・レベル固定	PPG出力（ハイ／ロウ・アクティブ）
1	0/1	0	0/1	1	1	0	1	0	トグル出力（ロウ／ハイ・アクティブ）	ハイ／ロウ・レベル固定
1	0/1	1	0/1	1	1	0	1	0	トグル出力（ロウ／ハイ・アクティブ）	PPG出力（ハイ／ロウ・アクティブ）

注　通常，この場合はCLR22は0とします。

備考1.　ALV3，ALV2の欄の0/1は，それぞれTO3，TO2の“／”の左右に対応します。

2.　×は0または1を示します。

3.　本表にない組み合わせは使用できません。

保守／廃止

(1) 基本動作

タイマ出力コントロール・レジスタ（TOC）のENTOn（n＝2，3）をセット(1)することにより，キャプチャ／コンペア・コントロール・レジスタ２(CRC2）のMOD0，MOD1およびCLR21の設定に従ったタイミングでタイマ出力（TO2，TO3）を変化させることができます。

また，ENTOn（n＝2，3）をクリア(0)することにより，タイマ出力（TO2，TO3）を固定レベルにします。固定されるレベルは，タイマ出力コントロール・レジスタ(TOC)のALVn(n＝2，3)によって決定されます。ALVn(n＝2，3）が０のときはハイ・レベルに，ALVn(n＝2，3）が１のときはロウ・レベルになります。

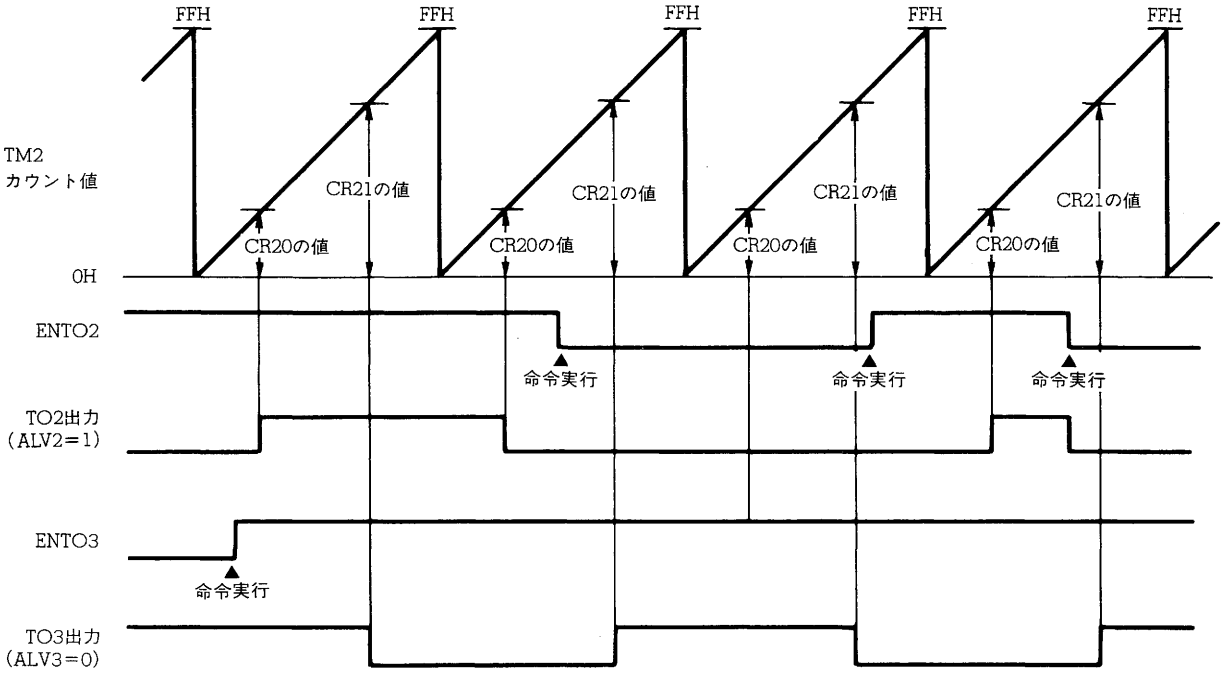
(2) トグル出力

トグル出力は，コンペア・レジスタ（CR20，CR21）の値が８ビット・タイマ２（TM2）の値と一致するたびに出力レベルを反転させる動作モードです。TO2はCR20とTM2の一致によって出力レベルが反転し，TO3はCR21とTM2の一致によって出力レベルが反転します。

なお，TMC1レジスタのCE2ビットをリセット（0）して，８ビット・タイマ／カウンタ２を停止させると，停止時の出力レベルをそのまま保持します。

8

図８－88　トグル出力の動作



保守／廃止

表8－16　TO2，TO3のトグル出力（f_{CLK}＝6 MHz）

カウント・クロック	最小パルス幅	最大パルス幅
$f_{CLK}/16$	2.6 μs	$2^8\times16/f_{CLK}$ (683 μs)
$f_{CLK}/32$	5.3 μs	$2^8\times32/f_{CLK}$ (1.37 ms)
$f_{CLK}/64$	10.7 μs	$2^8\times64/f_{CLK}$ (2.73 ms)
$f_{CLK}/128$	21.3 μs	$2^8\times128/f_{CLK}$ (5.46 ms)
$f_{CLK}/256$	42.7 μs	$2^8\times256/f_{CLK}$ (10.9 ms)
$f_{CLK}/512$	85.3 μs	$2^8\times512/f_{CLK}$ (21.8 ms)

注意　インサーキット・エミュレータ使用時についての注意がありますので，8.5.4　インサーキット・エミュレータ使用時の注意事項を参照してください。

保守／廃止

8.3.9　PWM出力

8ビット・タイマ2（TM2）がフルカウントする期間を1周期とするPWM信号を出力するモードです。TO2のパルス幅は，CR20の値によって決定され，TO3のパルス幅は，CR21の値によって決定されます。この機能を使用する場合は，キャプチャ／コンペア・コントロール・レジスタ2（CRC2）のCLR21ビットおよびCLR22ビットを0に，また，タイマ・コントロール・レジスタ1（TMC1）のCMD2ビットを0にする必要があります。

パルス周期とパルス幅は，次のようになります。

・PWM周期＝256×x/f_{CLK}

・PWMパルス幅＝((コンペア・レジスタの設定値注)×x＋2)/f_{CLK}

；x＝16，32，64，128，256，512

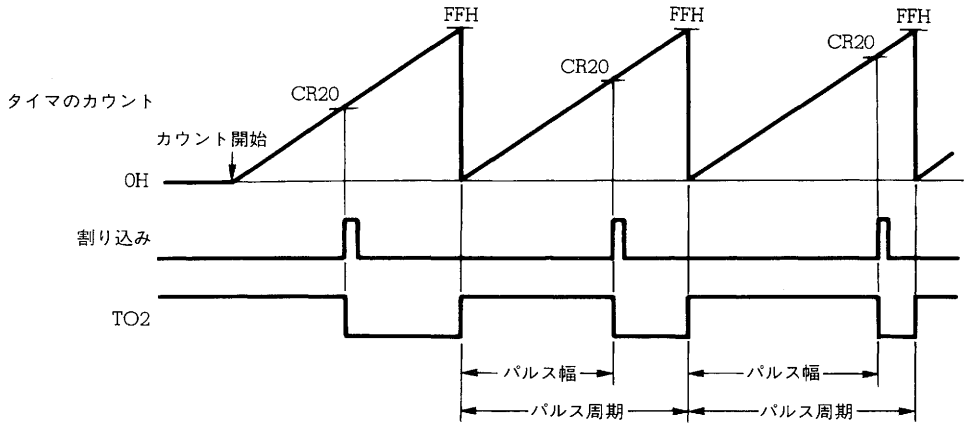
注　コンペア・レジスタには0は設定できません。

・デューティ＝$\frac{\text{PWMパルス幅}}{\text{PWM周期}}=\frac{\text{コンペア・レジスタの設定値}\times x+2}{256\times x}\fallingdotseq\frac{\text{コンペア・レジスタの設定値}}{256}$

注意　PWM出力では，近似式に比べて，パルス幅のアクティブ・レベルがf_{CLK}の2クロック分長く，インアクティブ・レベルがf_{CLK}の2クロック分短くなります。高精度の出力が必要な場合，またはカウント・クロックが高速の場合は，この点について考慮のうえ使用してください。

保守／廃止

図8－89　PWMパルス出力



備考　ALV2＝0

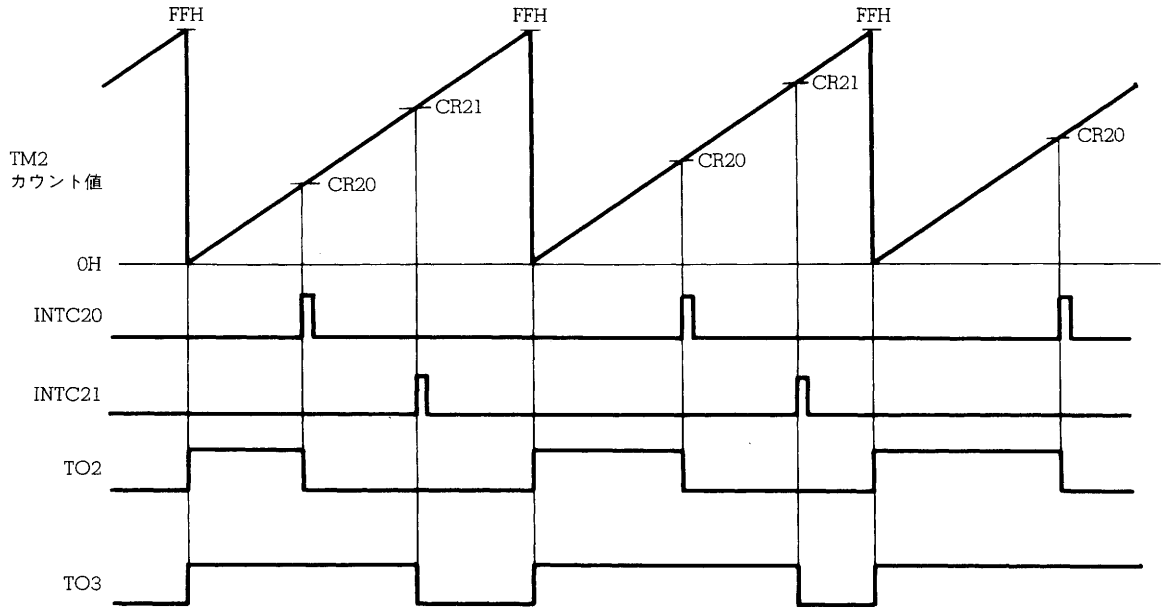
表8－17　TO2，TO3のPWM出力（f_{CLK}＝6 MHz）

カウント・クロック	最小パルス幅（μs）	PWM周期（ms）	PWM周波数（Hz）
$f_{CLK}/16$	2.7	0.7	1465
$f_{CLK}/32$	5.3	1.4	732
$f_{CLK}/64$	10.7	2.7	366
$f_{CLK}/128$	21.3	5.5	183
$f_{CLK}/256$	42.7	10.9	92
$f_{CLK}/512$	85.3	21.8	46

保守／廃止

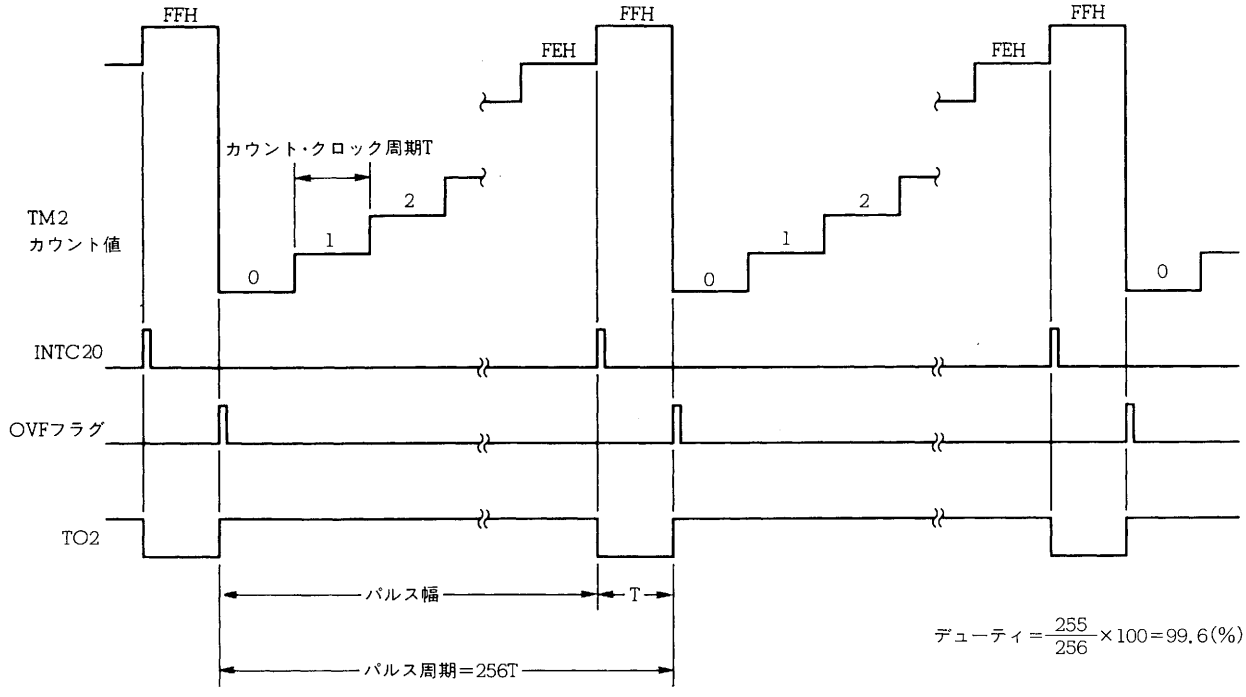
図8－90は，2チャネルのPWM出力の例です。また，図8－91は，コンペア・レジスタにFFHを設定した場合の動作です。

図8－90　TM2を用いたPWM出力例



備考　ALV2＝0，ALV3＝0

図8－91　CR20＝FFHのときのPWM出力

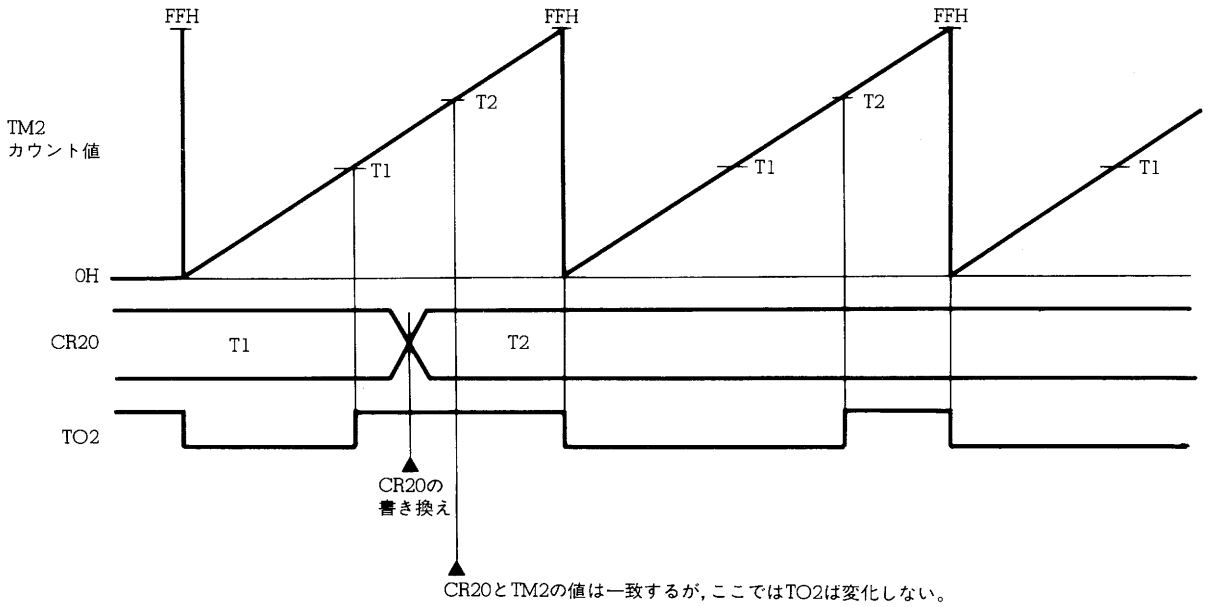


備考　ALV2＝0

保守／廃止

なお，PWM出力の1周期の期間中に，二度以上コンペア・レジスタ（CR20，CR21）の値が8ビット・タイマ2（TM2）の値と一致しても，タイマ出力（TO2，TO3）の出力レベルは反転しません。

図8－92　コンペア・レジスタの書き換え例

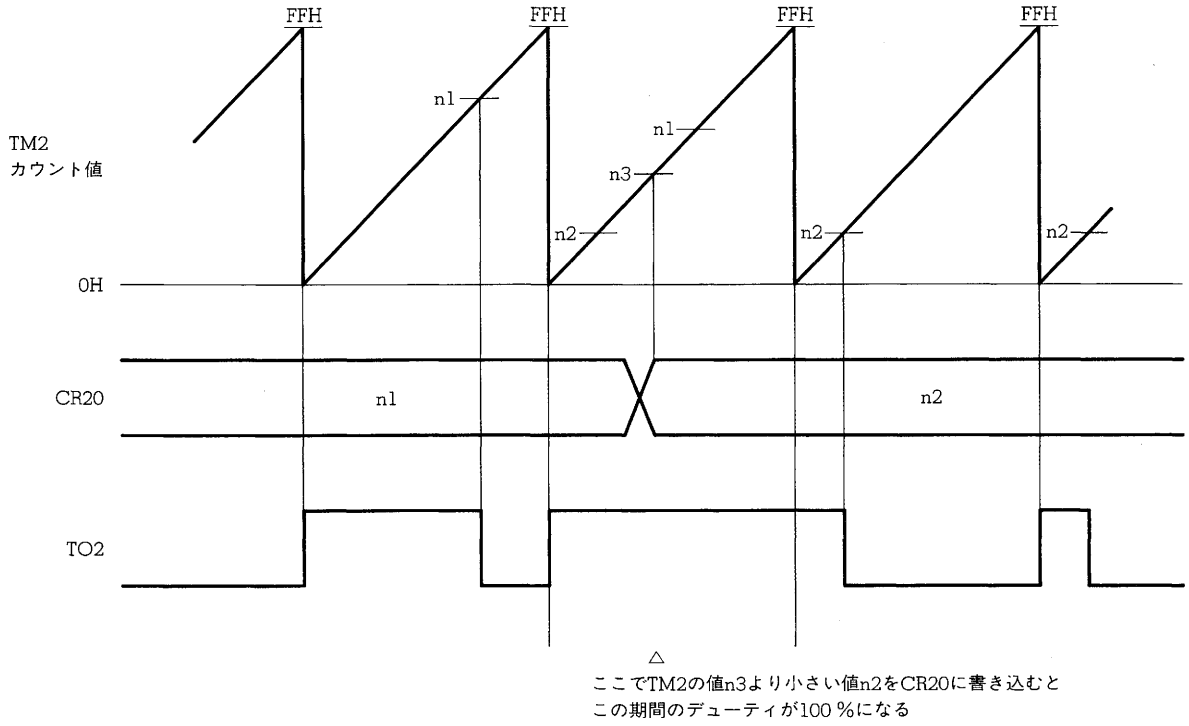


備考　ALV2＝1

保守／廃止

注意　コンペア・レジスタ（CR20，CR21）の値を８ビット・タイマ２（TM2）より小さい値に設定すると，デューティ100％のPWM信号が出力されてしまいます。CR20，CR21の書き換えはTM2と書き換えを行うコンペア・レジスタ（CR20，CR21）との一致による割り込みで行ってください。

図８－93　PWM出力時にデューティが100％になる例

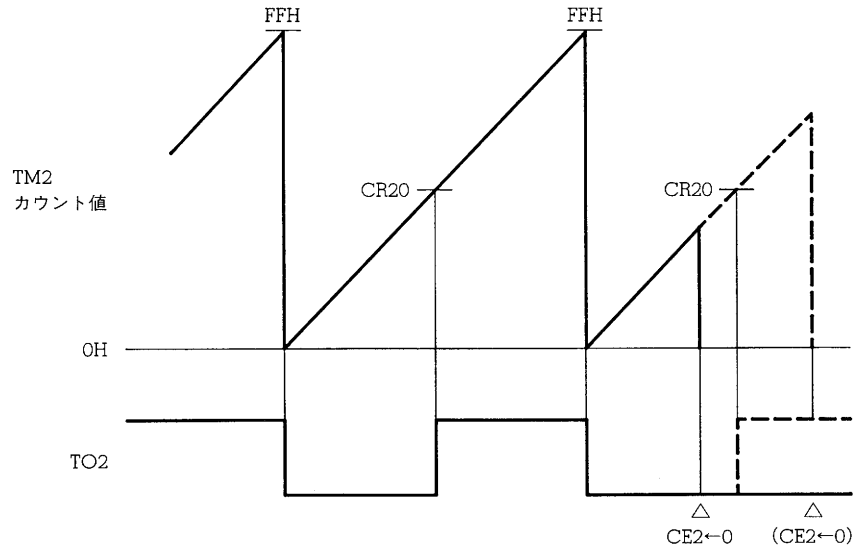


備考　ALV2＝0

保守／廃止

また，PWM信号出力中に，TMC1のCE2ビットをリセット（0）して８ビット・タイマ／カウンタ２を停止させると，停止時の出力レベルをそのまま保持します。

図８－94　PWM信号出力中に８ビット・タイマ／カウンタ２を停止した場合



備考　ALV0＝1

注意　タイマ出力禁止時（ENTOn＝0，n＝2，3）のTOn（n＝2，3）端子の出力レベルは，ALVn（n＝2，3）に設定した値の反転値となります。したがって，PWM出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

保守／廃止

8.3.10　PPG出力

コンペア・レジスタCR21の値で決まる時間を1周期とし，コンペア・レジスタCR20の値で決まる時間をパルス幅とする矩形波を出力する機能です。PWM出力のPWM周期を可変にしたものです。この出力は，TO2からのみ出力することができます。

この機能を使用する場合は，キャプチャ／コンペア・コントロール・レジスタ（CR22）のCLR21ビットを1に，またCLR22ビットを0に，タイマ・コントロール・レジスタ1（TMC1）のCMD2ビットを0にする必要があります。

パルス周期とパルス幅は，次のようになります。

・PPG周期＝（コンペア・レジスタCR21の設定値＋1）×x/f_{CLK}

；x＝16，32，64，128，256，512

・PPGパルス幅＝（（コンペア・レジスタCR20の設定値）×x＋2）/f_{CLK}≒CR20の設定値×x/f_{CLK}

ただし，CR20≦CR21

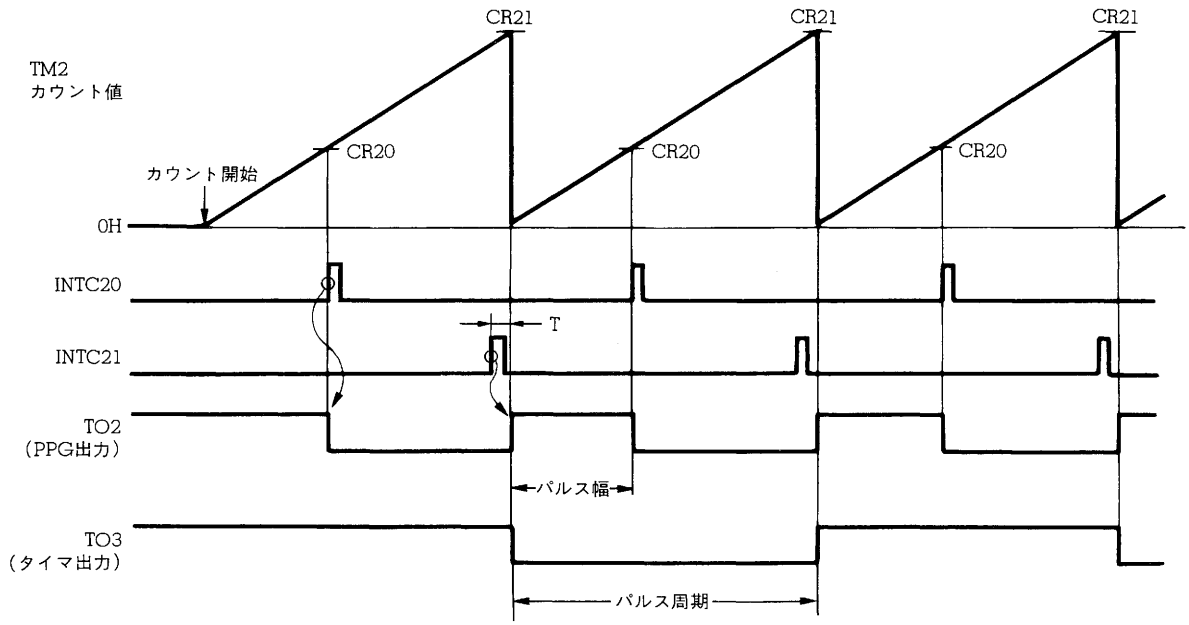
・デューティ＝$\frac{\text{PPGパルス幅}}{\text{PPG周期}}=\frac{\text{CR20の設定値}\times x+2}{(\text{CR21の設定値}+1)\times x}\fallingdotseq\frac{\text{CR20の設定値}}{\text{CR21の設定値}+1}$

注意　PPG出力では，近似式に比べて，パルス幅のアクティブ・レベルがf_{CLK}の2クロック分長く，インアクティブ・レベルがf_{CLK}の2クロック分短くなります。高精度の出力が必要な場合，PPGパルス周期が短い場合，またはカウント・クロックが高速の場合は，この点について考慮のうえ使用してください。

保守／廃止

図8－95は，8ビット・タイマ2(TM2)を用いたPPG出力の例です。また，図8－96はCR20＝CR21に設定した場合の，図8－97はCR20＝00Hに設定した場合の例です。

図8－95　TM2を用いたPPG出力例



備考　ALV2＝0，ALV3＝0

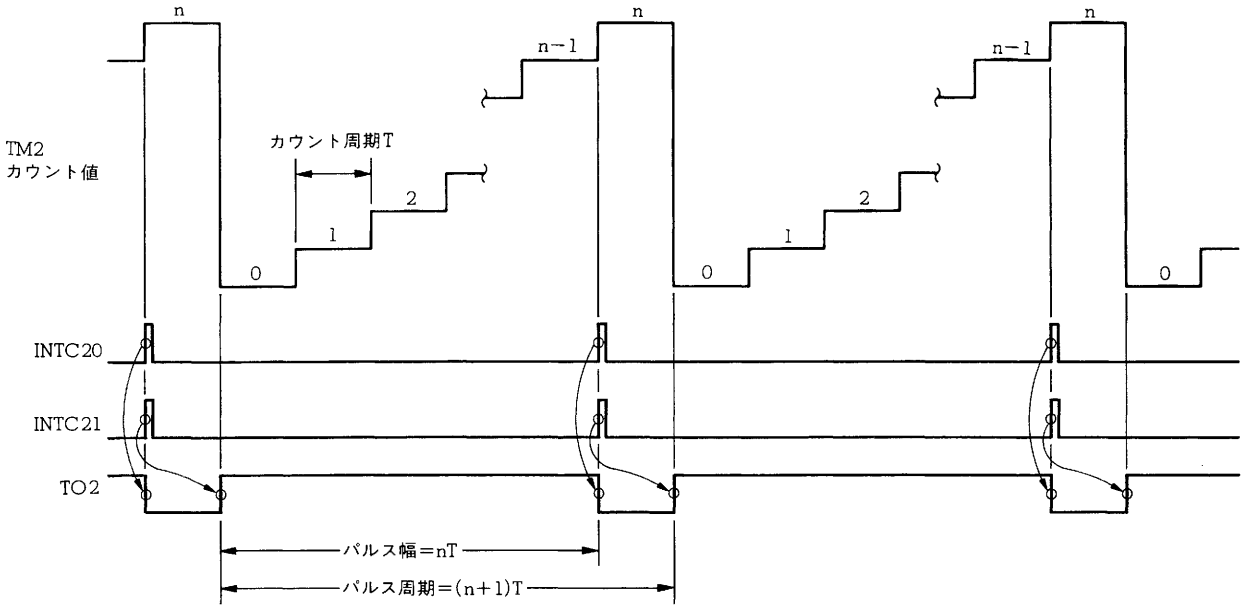
表8－18　TO2のPPG出力（f_{CLK}＝6 MHz）

カウント・クロック	最小パルス幅注	PPG周期	PPG周波数
f_{CLK}/16	2.67 μs	5.33 μs-683 μs	187.5 kHz-1.46 kHz
f_{CLK}/32	5.33 μs	10.7 μs-1.37 ms	93.75 kHz-732 Hz
f_{CLK}/64	10.7 μs	21.3 μs-2.73 ms	46.9 kHz-366 Hz
f_{CLK}/128	21.3 μs	42.7 μs-5.46 ms	23.4 kHz-183 Hz
f_{CLK}/256	42.7 μs	85.3 μs-10.9 ms	11.7 kHz-91.6 Hz
f_{CLK}/512	85.3 μs	171 μs-21.8 ms	5.86 kHz-45.8 Hz

注　CR20＝0のときを除く

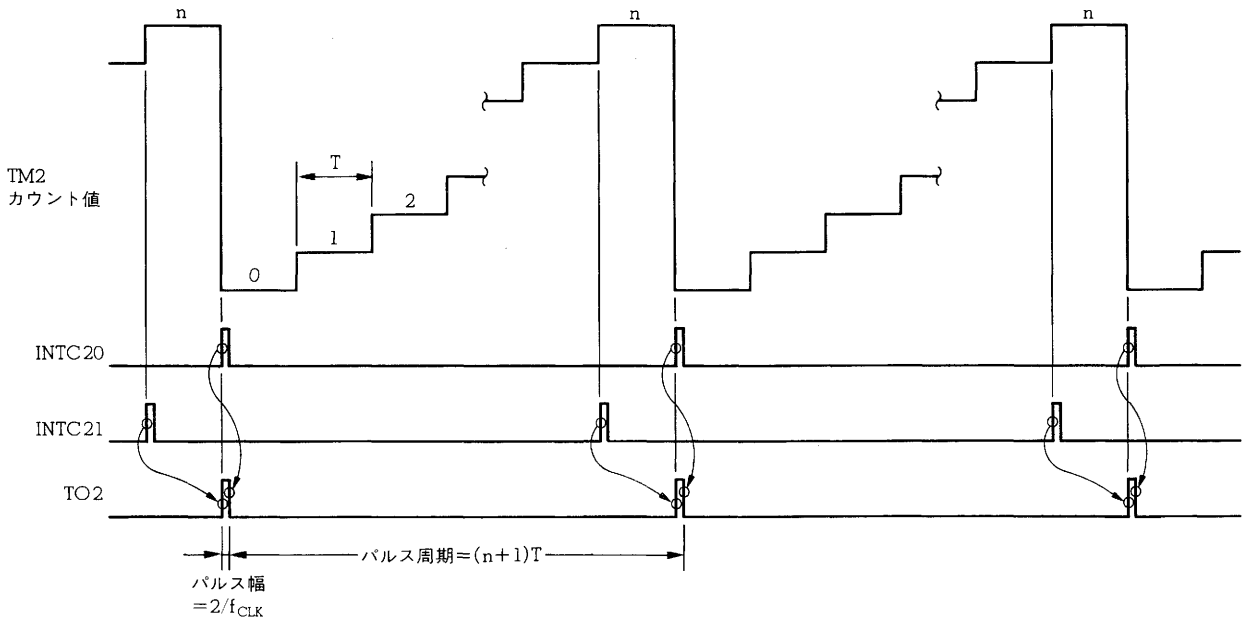
保守／廃止

図8－96　CR20＝CR21のときのPPG出力



備考　ALV2＝0

図8－97　CR20＝00Hのときの PPG出力

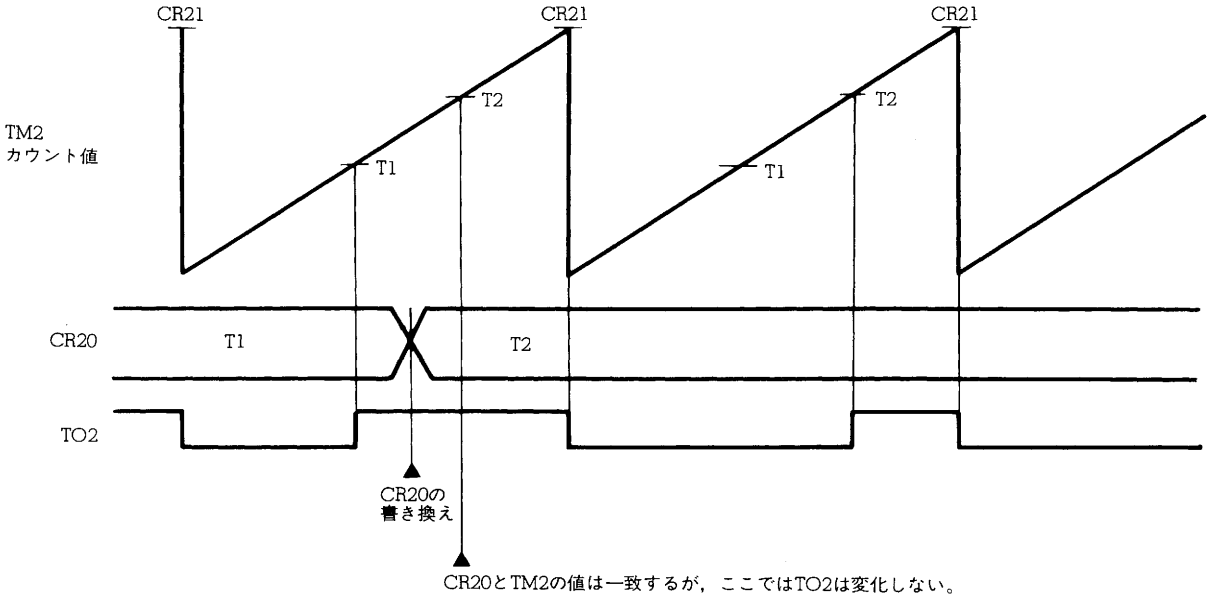


備考　ALV2＝0

保守／廃止

なお，PPG出力の1周期の期間中に，二度以上コンペア・レジスタ（CR20）の値が8ビット・タイマ2（TM2）の値と一致しても，タイマ出力（TO2）の出力レベルは反転しません。

図8－98　コンペア・レジスタの書き換え例

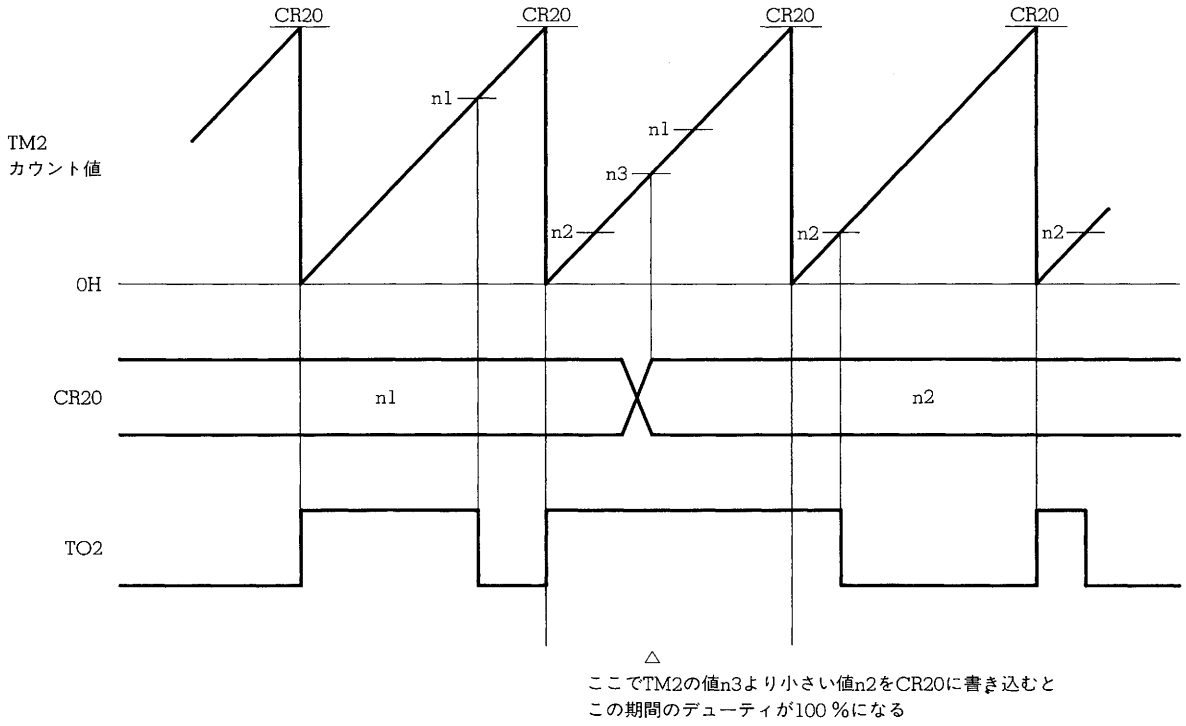


備考　ALV2＝1

保守／廃止

注意1．コンペア・レジスタ（CR20）と８ビット・タイマ２（TM2）が一致するより前にCR20にTM2以下の値を書き込むと，そのPPG周期のデューティが100%になってしまいます。CR20の書き換えは，TM2とCR20との一致による割り込みで行うようにするなどしてください。

図８－99　PPG出力時にデューティが100％になる例



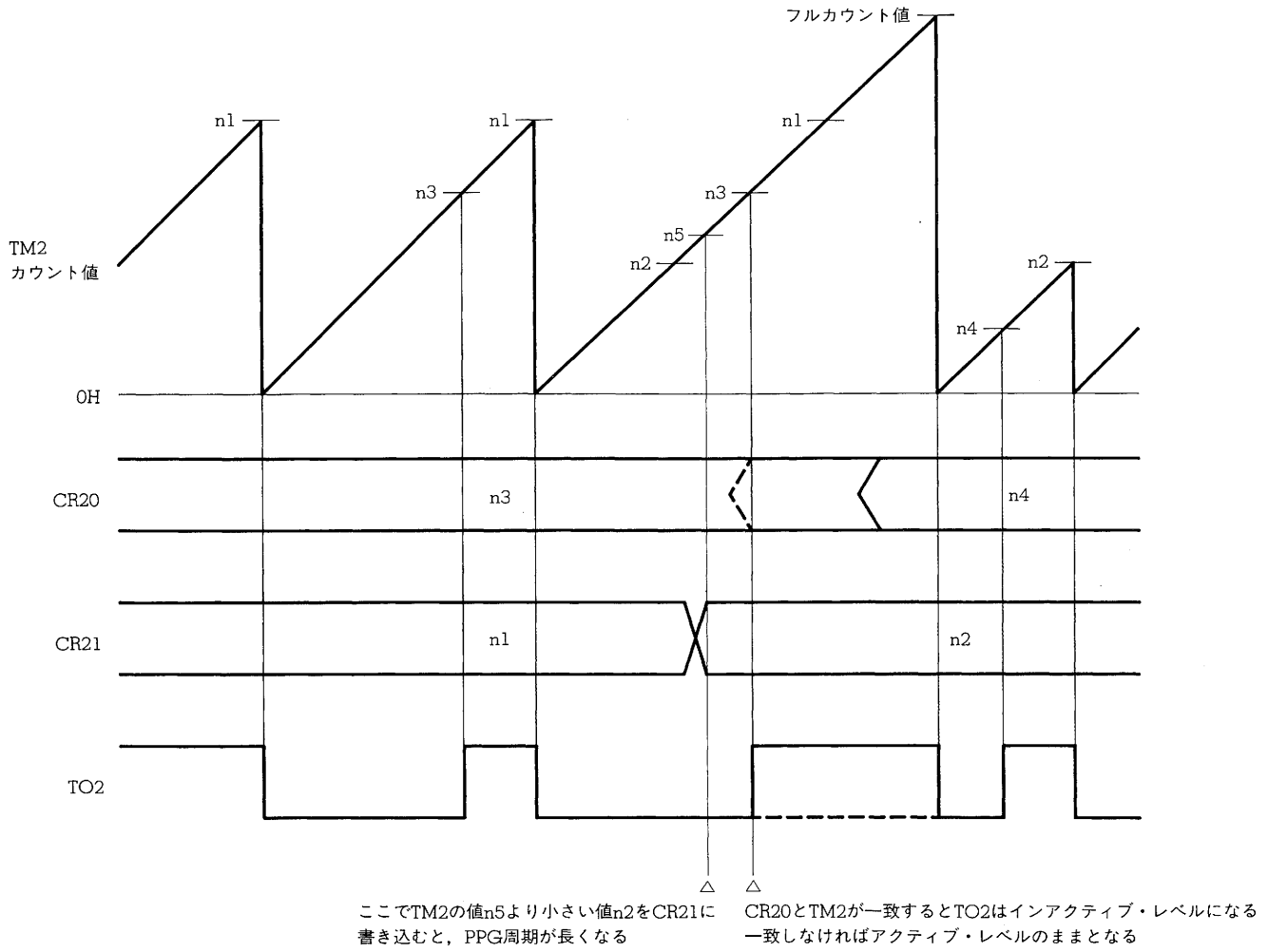
備考　ALV2＝0

保守／廃止

注意2.　コンペア・レジスタ（CR21）を現在の値より小さい値に変更する場合に，CR21の値を8ビット・タイマ2（TM2）の値より小さくすると，そのときのPPG周期がTM2がフルカウントする時間にまで長くなってしまいます。このときの出力レベルは，コンペア・レジスタ（CR20）とTM2が一致したあとにCR21を書き換えた場合は，TM2がオーバフローして0になるまでインアクティブ・レベルとなり，その後，正常なPPG出力に戻ります。CR20とTM2が一致する前にCR21を書き換えた場合は，CR20とTM2が一致するまでアクティブ・レベルを出力します。TM2がオーバフローし，0になる前にCR20とTM2が一致した場合は，その時点でインアクティブ・レベルを出力します。TM2がオーバフローし，0になった時点でアクティブ・レベルを出力し，正常なPPG出力に戻ります。

CR21の書き換えは，TM2とCR21との一致割り込みで行うようにするなどしてください。

図8－100　PPG出力の周期が長くなる例



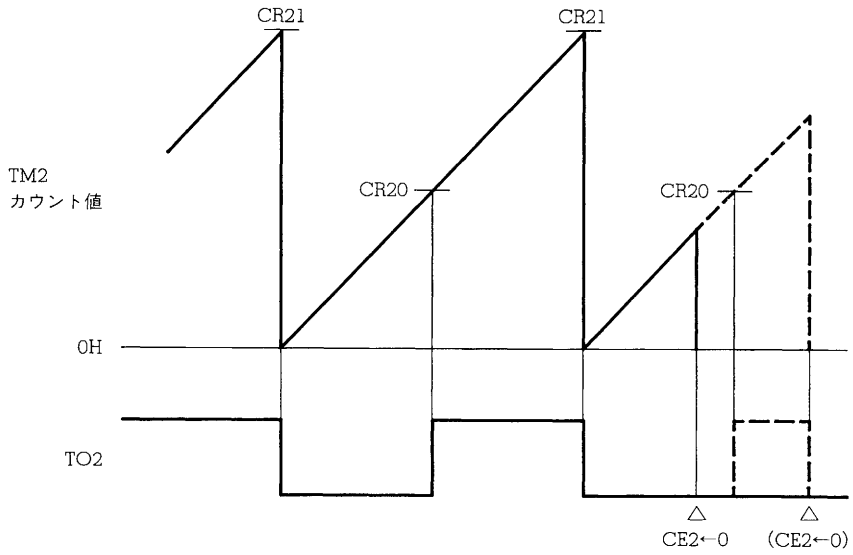
備考　ALV2＝1

保守／廃止

注意3. 割り込みの受け付けなどにかかる時間に対して，十分な時間がPPG周期にないとき(PPG周期が極端に短いとき)は，注意 1，2 で示した方法では対策がとれません。ほかの方法(すべての割り込みをマスクして，割り込み要求フラグをソフトウエアでポーリングするなど)を考えてください。

また，PPG信号出力中に，TMC1のCE2ビットをリセット（0）して８ビット・タイマ／カウンタ２を停止させると，停止時の出力レベルとは無関係に，アクティブ・レベルを出力します。

図８－101　PPG信号出力中に８ビット・タイマ／カウンタ２を停止した場合



注意　タイマ出力禁止時（ENTOn＝0，n＝2，3）のTOn（n＝2，3）端子の出力レベルは，ALVn（n＝2，3）に設定した値の反転値となります。したがって，PPG出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

保守／廃止

8.3.11　使 用 例

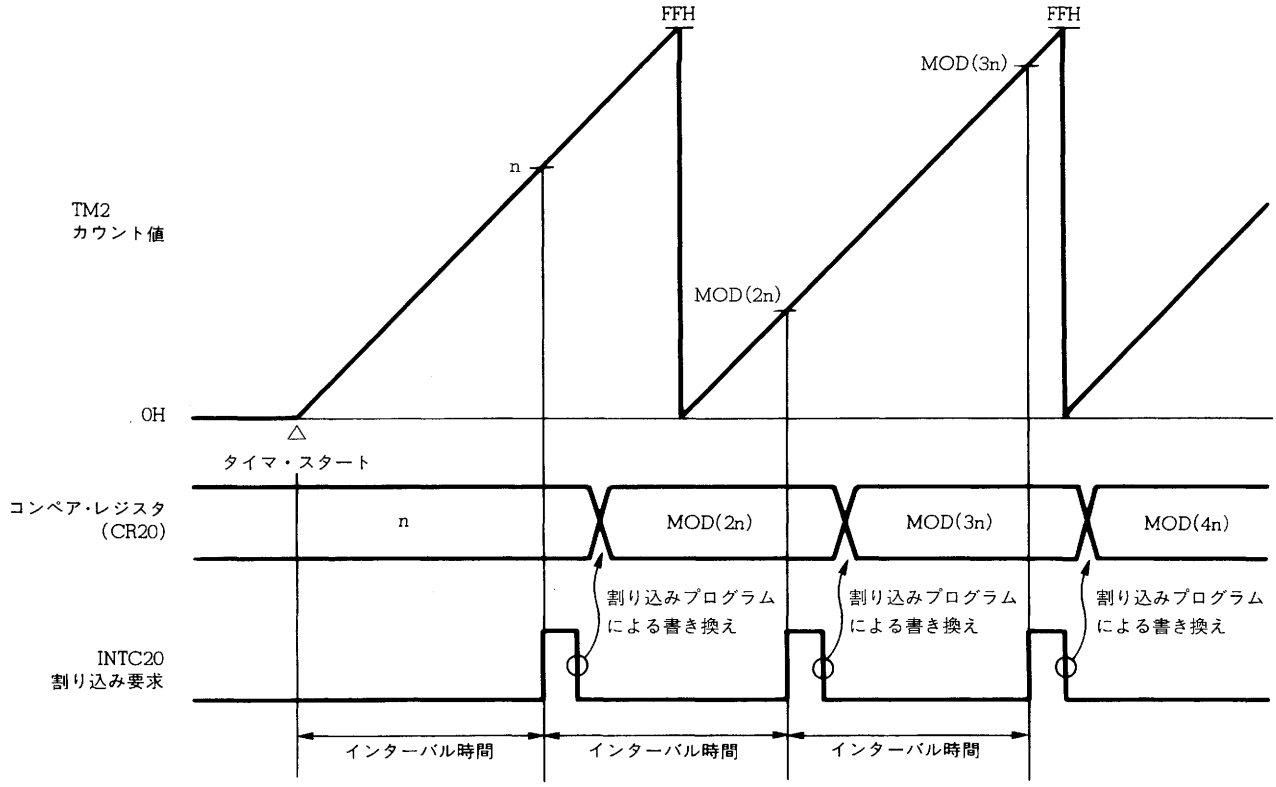
(1) インターバル・タイマとしての動作(1)

8ビット・タイマ2（TM2）をフリー・ランニングさせ，割り込み処理ルーチン中でコンペア・レジスタ（CR20，CR21）に一定の値を加算することで，加算する一定の値を周期とするインターバル・タイマとして動作します（**図8－102**参照）。

また，8ビット・タイマ2（TM2）1本にコンペア・レジスタが2本ついているため，2種類の周期のインターバル・タイマを作ることができます。

図8－103に，制御レジスタの設定内容，図8－104に，その設定手順，図8－105に，割り込み処理ルーチン内での処理を示します。

図8－102　インターバル・タイマ動作(1)のタイミング



備考　インターバル時間＝n×x/f_{CLK}；1≦n≦FFH，x＝16，32，64，128，256，512

保守／廃止

図8－103　インターバル・タイマ動作(1)における制御レジスタの設定内容

(a) プリスケーラ・モード・レジスタ1 (PRM1)

	7	6	5	4	3	2	1	0
PRM1	PRS23	PRS22	PRS21	PRS20	0	×	×	×

→ カウント・クロックの設定
(x/f_{CLK}：x＝16, 32, 64, 128, 256, 512
または外部クロック)

(b) キャプチャ／コンペア・コントロール・レジスタ2 (CRC2)

	7	6	5	4	3	2	1	0
CRC2	0	0	0	1	0	0	0	0

→ TM2のクリア禁止
→ TO2, TO3ともにトグル出力

(c) タイマ・コントロール・レジスタ1 (TMC1)

	7	6	5	4	3	2	1	0
TMC1	1	0	0	0	×	×	0	0

→ 通常モード
→ オーバフロー・フラグ
→ カウント動作許可

保守／廃止

図8－104　インターバル・タイマ動作(1)の設定手順

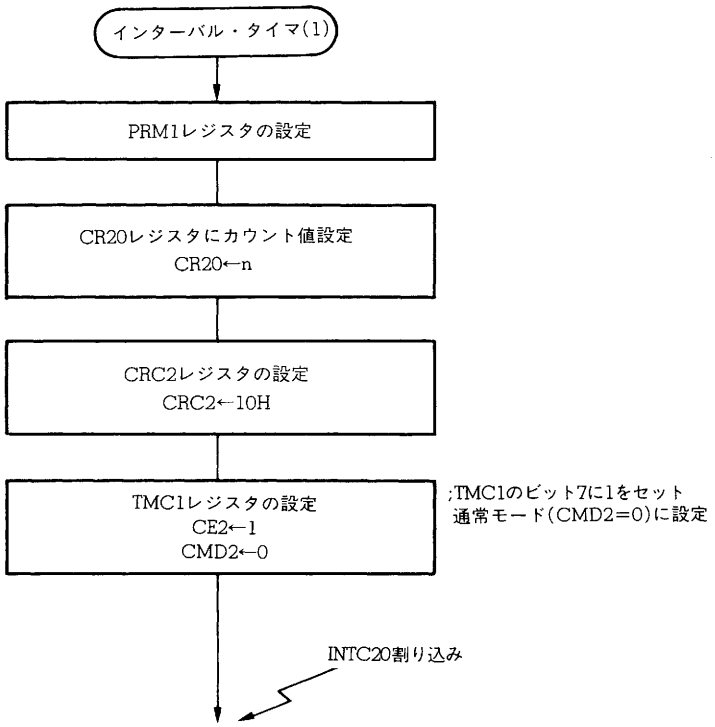
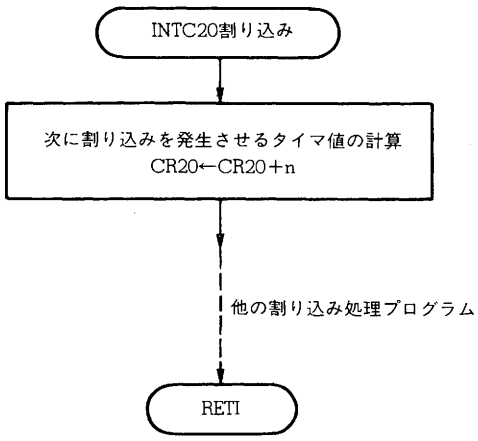


図8－105　インターバル・タイマ動作(1)の割り込み要求処理



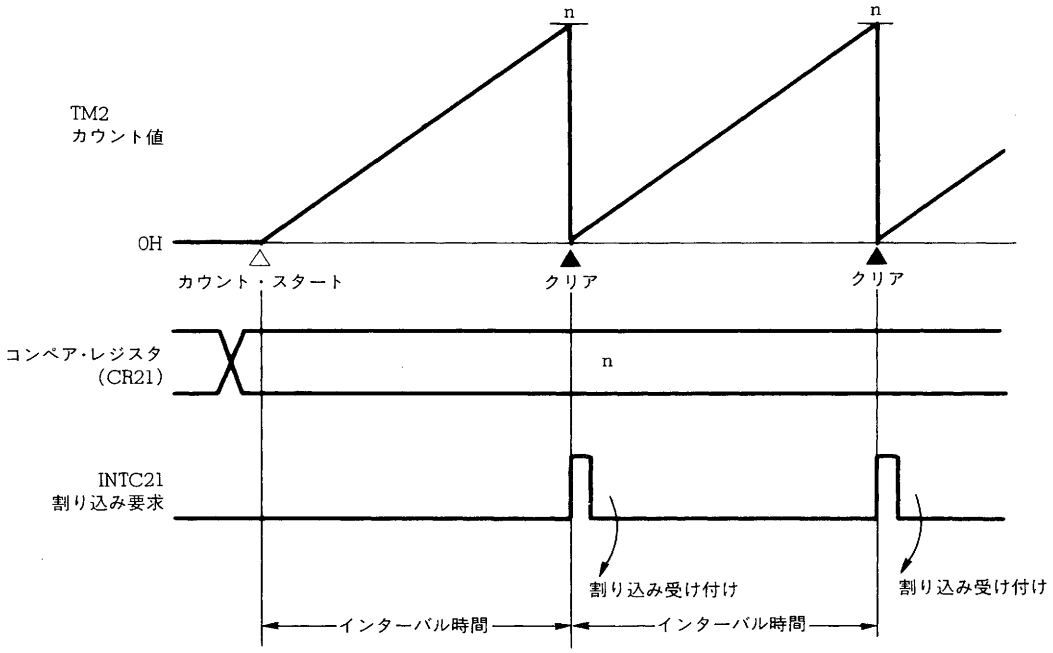
保守／廃止

(2) インターバル・タイマとしての動作(2)

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します（図8－106参照）。

図8－107に制御レジスタの設定内容を，図8－108にその設定手順を示します。

図8－106　インターバル・タイマ動作(2)のタイミング



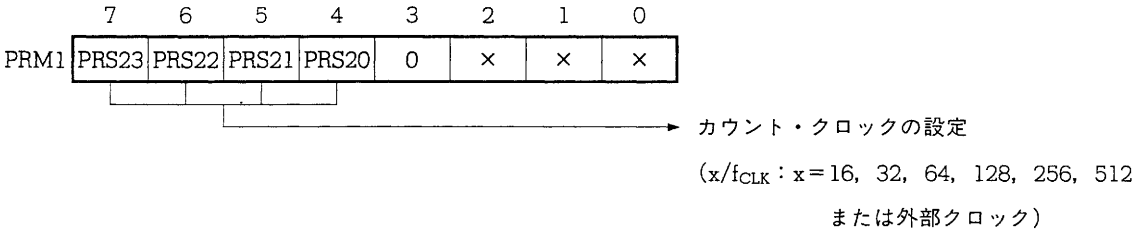
備考　インターバル時間$(n+1)\times x/f_{CLK}$：$0 \leqq n \leqq FFH$

$x = 16,\ 32,\ 64,\ 128,\ 256,\ 512$

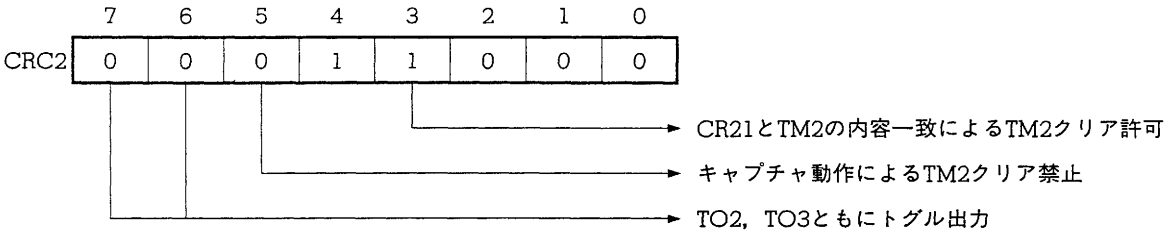
保守／廃止

図8－107　インターバル・タイマ動作（2）の制御レジスタの設定内容

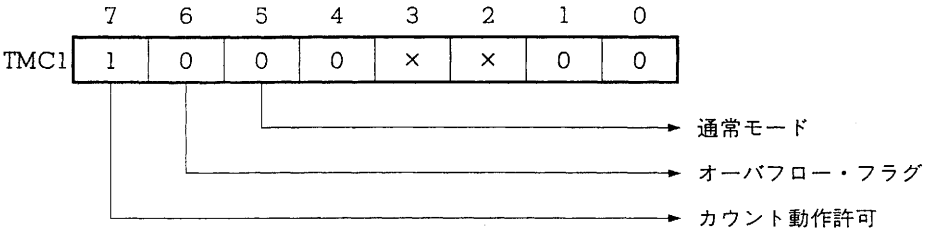
（a）プリスケーラ・モード・レジスタ1（PRM1）



（b）キャプチャ／コンペア・コントロール・レジスタ2（CRC2）

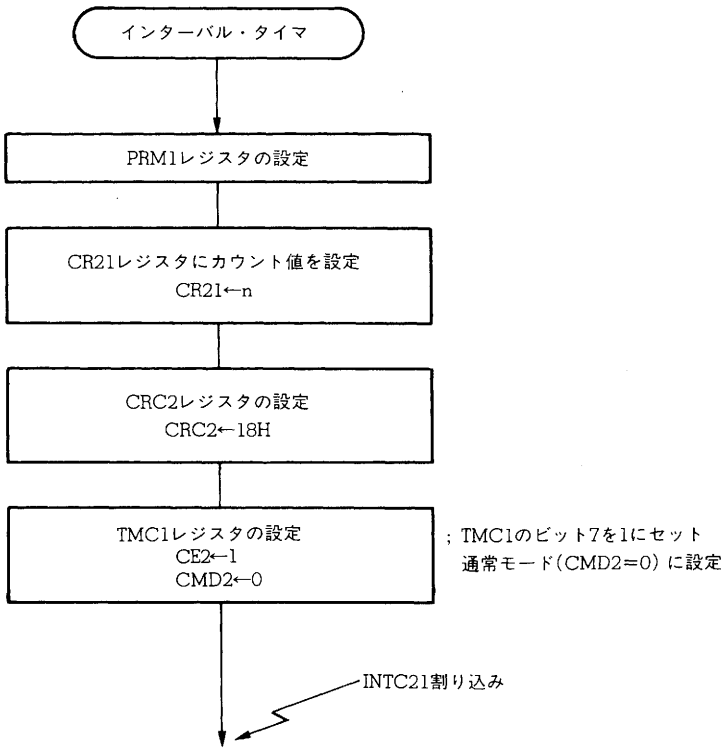


（c）タイマ・コントロール・レジスタ1（TMC1）



保守／廃止

図8－108　インターバル・タイマ動作（2）の設定手順



保守／廃止

(3) パルス幅測定としての動作

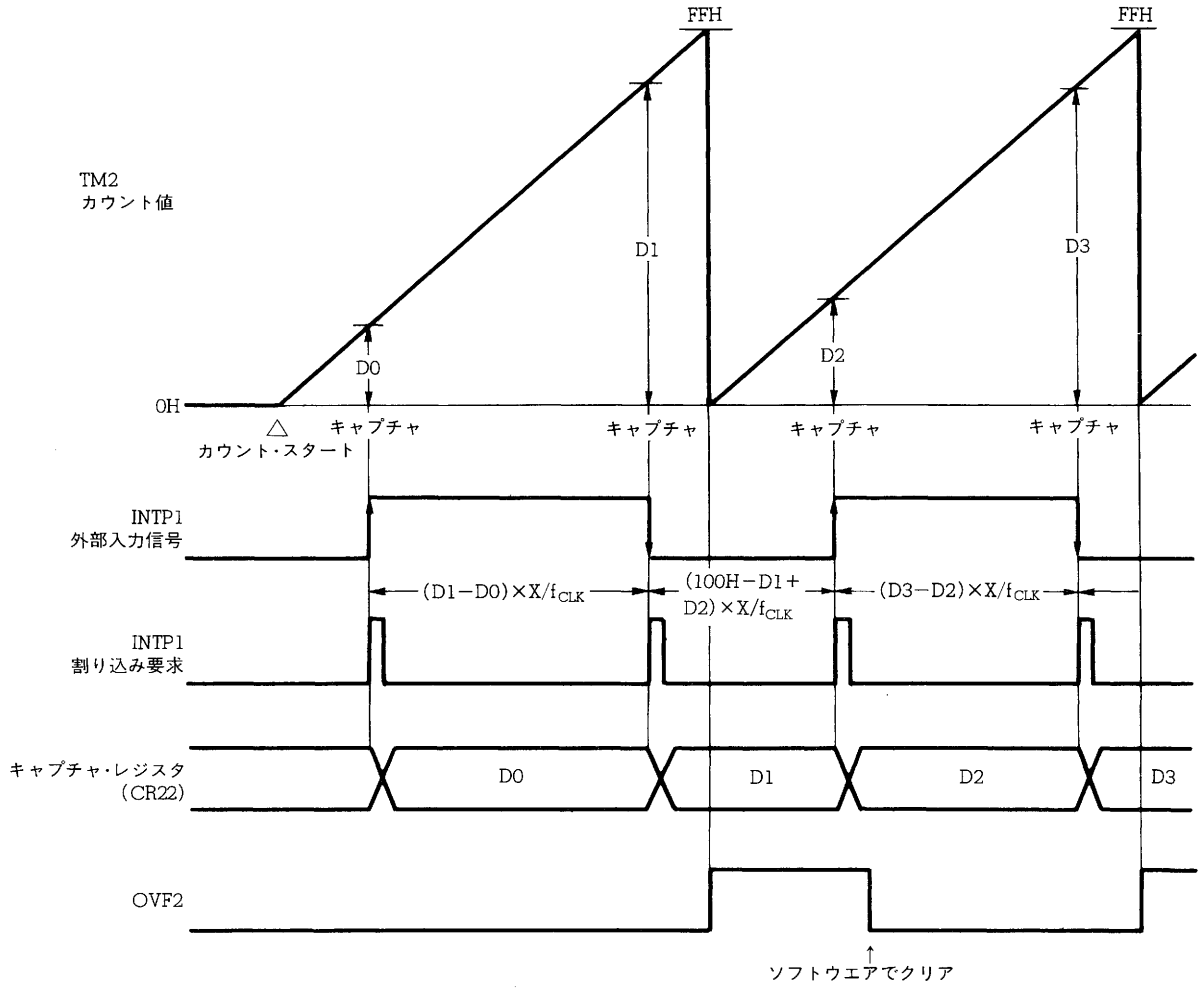
パルス幅測定は，INTP1端子に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。

INTP1端子に入力するパルス幅はハイ・レベル，ロウ・レベルとも12システム・クロック（2 μs：f_{CLK}＝6 MHz）以上必要で，これ以下の場合は有効エッジが検出されずキャプチャ動作を行いません。

図8－109に示すようにINTP1端子入力の有効エッジ(立ち上がり，立ち下がりの両エッジに指定)に同期して，カウント中の8ビット・タイマ2（TM2）の値をキャプチャ・レジスタ（CR22）に取り込み保持します。パルス幅は，n回目の有効エッジ検出によりCR22レジスタに取り込み保持されたTM2のカウント値（Dn）とn－1回目の有効エッジ検出によるカウント値（D_{n-1}）との差の値とカウント・クロック数との積から求めます。

そのときの制御レジスタの設定内容を図8－110に，設定手順を図8－111に示します。

図8－109　パルス幅測定のタイミング



備考　Dn：TM2のカウント値（n＝0，1，2，…）

保守／廃止

図8－110　パルス幅測定の制御レジスタの設定内容

(a) プリスケーラ・モード・レジスタ1 (PRM1)

	7	6	5	4	3	2	1	0
PRM1	PRS23	PRS22	PRS21	PRS20	0	×	×	×

→ カウント・クロックの設定
(x/f_{CLK}：x＝16, 32, 64, 128, 256, 512
または外部クロック)

(b) キャプチャ／コンペア・コントロール・レジスタ2 (CRC2)

	7	6	5	4	3	2	1	0
CRC2	0	0	0	1	0	0	0	0

→ TM2のクリア禁止

(c) タイマ・コントロール・レジスタ1 (TMC1)

	7	6	5	4	3	2	1	0
TMC1	1	0	0	0	×	×	0	0

→ 通常モード
→ オーバフロー・フラグ
→ カウント動作許可

(d) 外部割り込みモード・レジスタ0 (INTM0)

	7	6	5	4	3	2	1	0
INTM0	×	×	1	1	×	×	0	×

→ INTP1入力の有効エッジを立ち上がり，
立ち下がりの両エッジに指定

保守／廃止

図8－111　パルス幅測定の設定手順

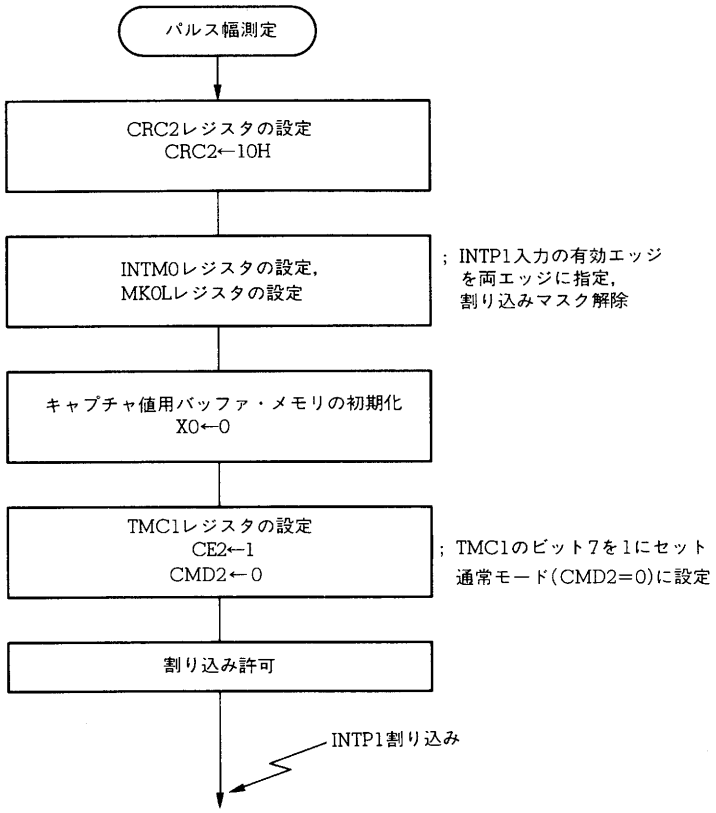
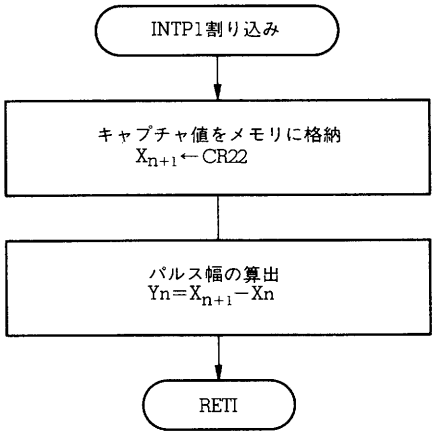


図8－112　パルス幅を算出する割り込み要求処理



保守／廃止

(4) PWM出力としての動作

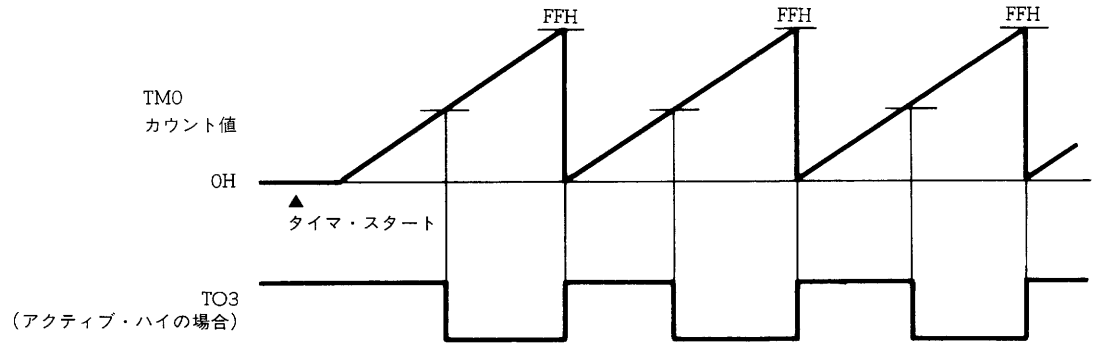
PWM出力は，コンペア・レジスタに設定した値で決まるデューティ比のパルスを出力します（図8－113参照）。

このPWM出力は，1/256-255/256のデューティ比を1/256単位で変化させることができます。

また，８ビット・タイマ２（TM2）１本にコンペア・レジスタが2本ついているため2種類のPWM信号を出力できます。

図８－114に制御レジスタの設定，図８－115にその設定手順，図８－116にデューティを変化させる場合の手順を示します。

図８－113　８ビット・タイマ／カウンタ２のPWM信号出力例



保守／廃止

図8－114　PWM出力動作における制御レジスタの設定内容

(a) タイマ・コントロール・レジスタ1 (TMC1)

	7	6	5	4	3	2	1	0
TMC1	1	0	0	0	×	×	0	0

→ 通常モード
→ オーバフロー・フラグ
→ TM2のカウント許可

(b) プリスケーラ・モード・レジスタ1 (PRM1)

	7	6	5	4	3	2	1	0
PRM1	PRS23	PRS22	PRS21	PRS20	×	×	×	×

→ カウント・クロックの設定
(x/f_{CLK}：x＝16, 32, 64, 128, 256, 512)

(c) キャプチャ／コンペア・コントロール・レジスタ2 (CRC2)

	7	6	5	4	3	2	1	0
CRC2	1	0	0	1	0	0	0	0

→ TM2のクリア禁止
→ TO2, TO3ともにPWM出力

(d) タイマ出力コントロール・レジスタ (TOC)

	7	6	5	4	3	2	1	0
TOC	1	0	×	×	×	×	×	×

→ TO3はハイ・アクティブのPWM信号出力
→ TO3のPWM出力許可

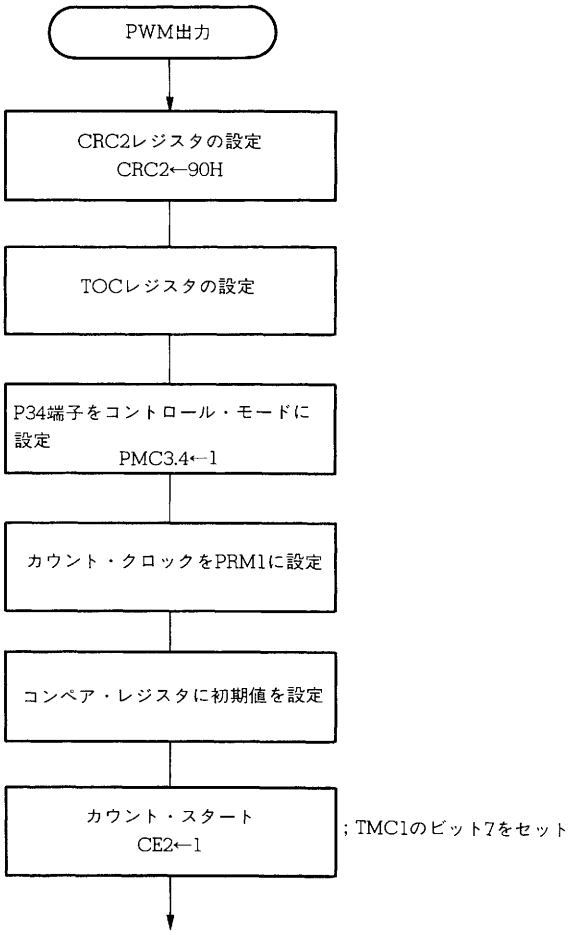
(e) ポート3モード・コントロール・レジスタ (PMC3)

	7	6	5	4	3	2	1	0
PMC3	1	×	×	×	×	×	×	×

→ P37端子をTO3出力にする

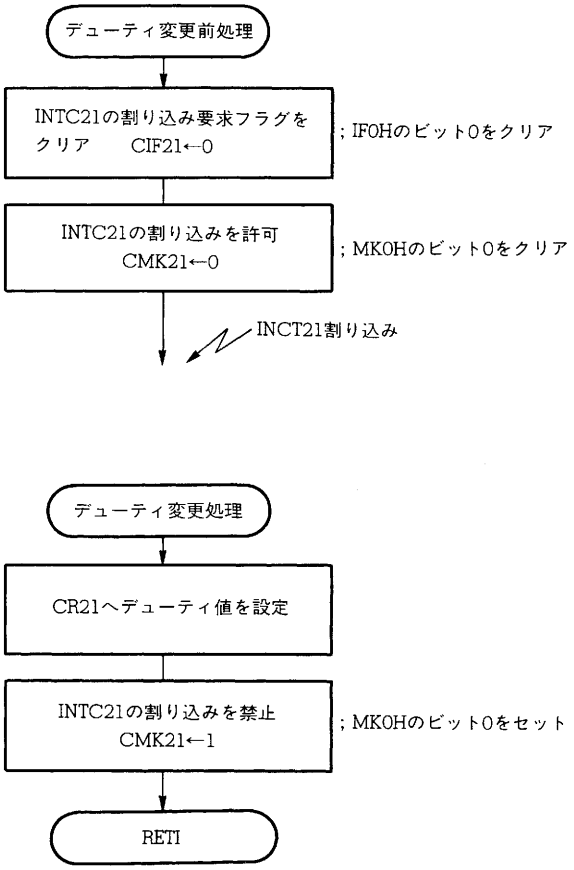
保守／廃止

図8－115　PWM出力の設定手順



保守／廃止

図8－116　PWM出力のデューティ変更

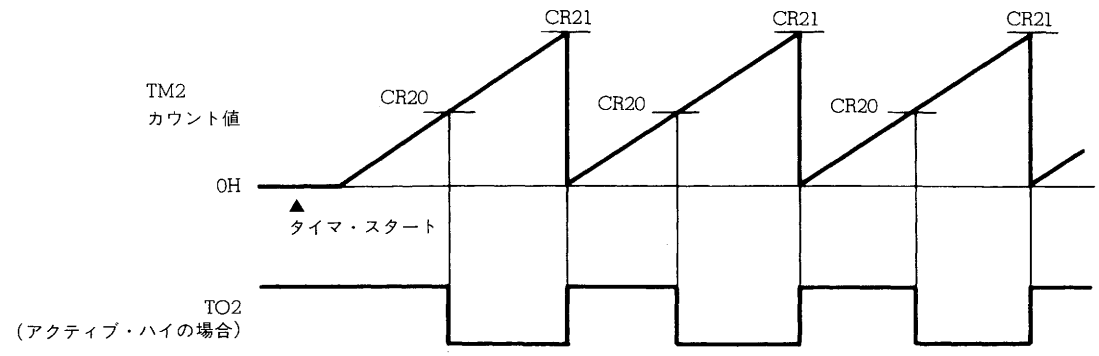


(5) PPG出力としての動作

PPG出力は，コンペア・レジスタに設定した値で決まる周期とデューティ比のパルスを出力します（図8－117参照）。

図8－118に制御レジスタの設定，図8－119にその設定手順，図8－120にデューティを変化させる場合の手順を示します。

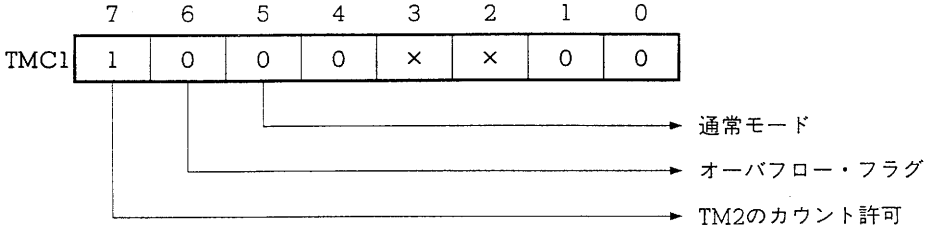
図8－117　8ビット・タイマ／カウンタ2のPPG信号出力例



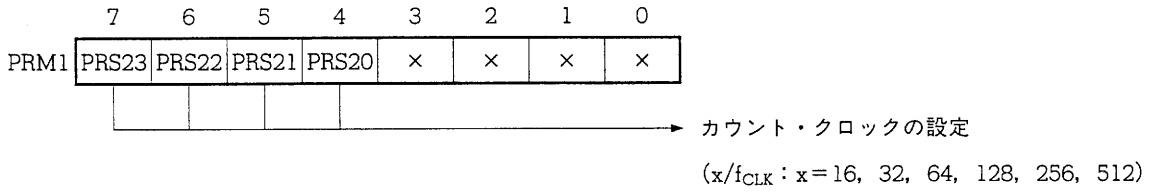
保守／廃止

図8－118　PPG出力動作における制御レジスタの設定内容

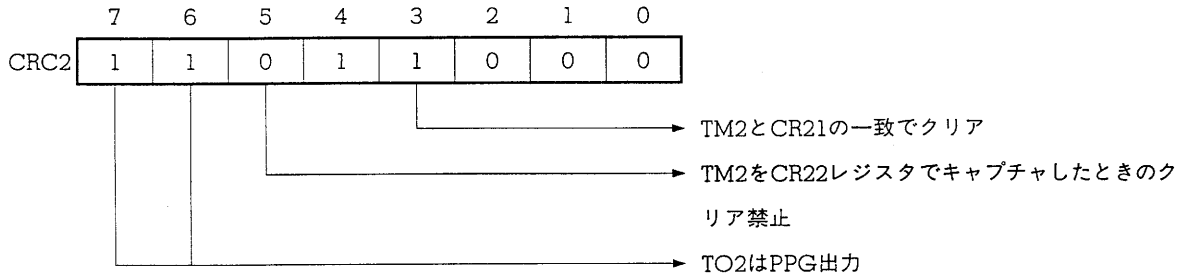
(a) タイマ・コントロール・レジスタ1（TMC1）



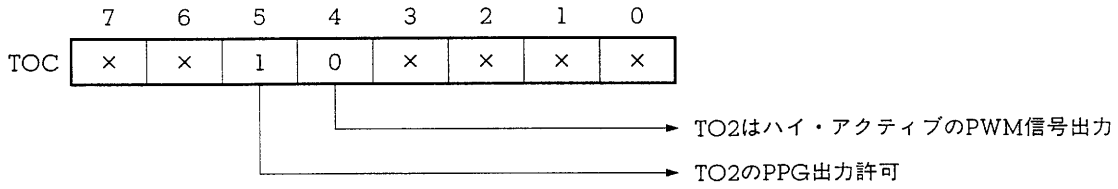
(b) プリスケーラ・モード・レジスタ1（PRM1）



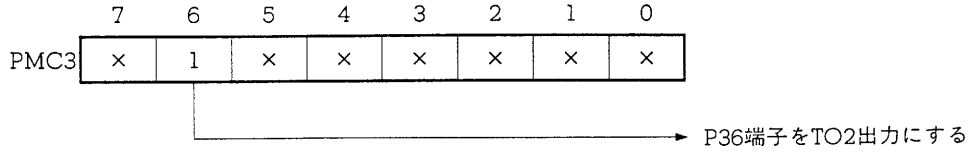
(c) キャプチャ／コンペア・コントロール・レジスタ2（CRC2）



(d) タイマ出力コントロール・レジスタ（TOC）



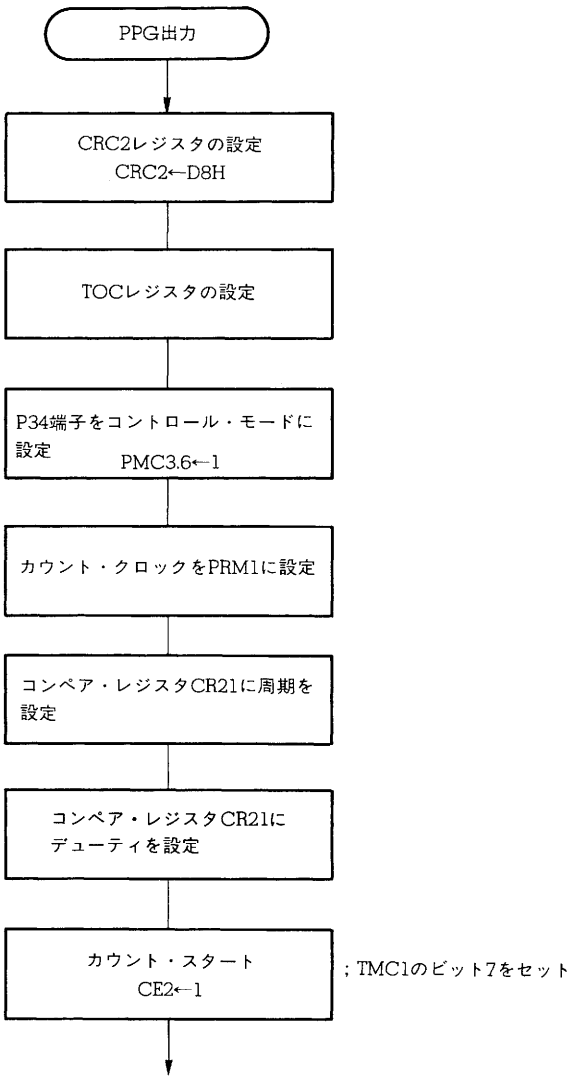
(e) ポート3モード・コントロール・レジスタ（PMC3）



8

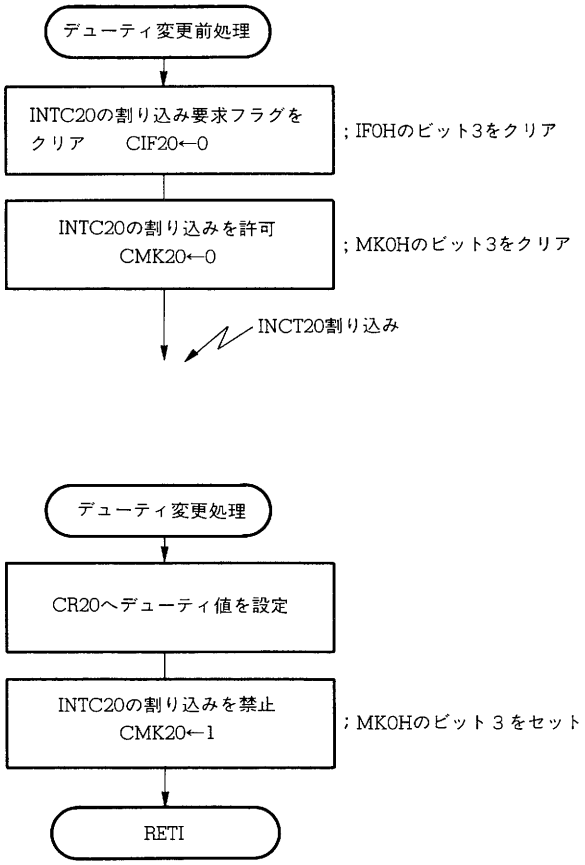
保守／廃止

図8－119　PPG出力の設定手順



保守／廃止

図8－120　PPG出力のデューティ変更



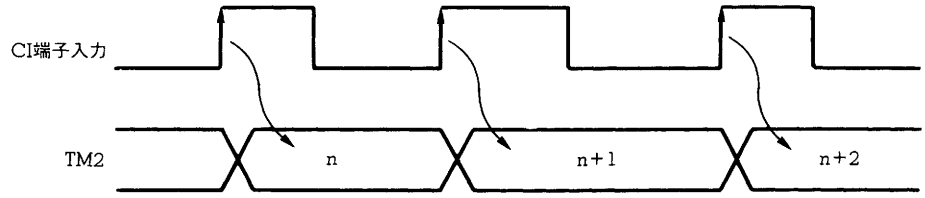
保守／廃止

(6) 外部イベント・カウンタとしての動作

外部イベント・カウンタは，外部から入力されるクロック・パルス（CI端子入力パルス）をカウントするものです。

図8－121に示すように，CI端子入力の有効エッジ（立ち上がりエッジのみを指定）に同期して，8ビット・タイマ2（TM2）の値をインクリメントします。

図8－121　外部イベント・カウンタ動作（片エッジの場合）



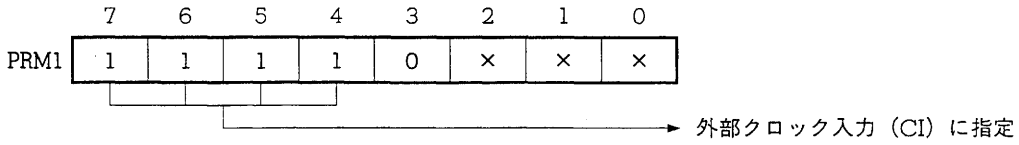
外部イベント・カウンタとして動作する場合の制御レジスタの設定内容を図8－122に，設定手順を図8－123に示します。

備考　TM2の値は，入力クロック・パルス数より，1小さい値になります。

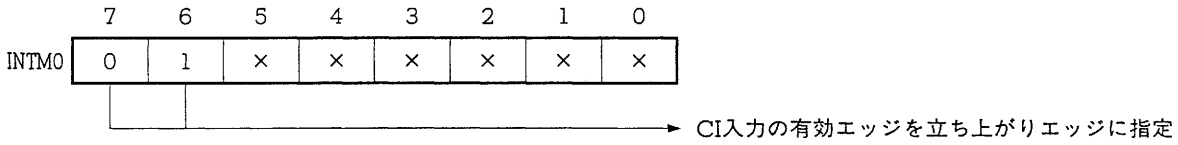
保守／廃止

図8－122　外部イベント・カウンタ動作の制御レジスタの設定内容

(a) プリスケーラ・モード・レジスタ1（PRM1）



(b) 外部割り込みモード・レジスタ0（INTM0）



(c) タイマ・コントロール・レジスタ1（TMC1）

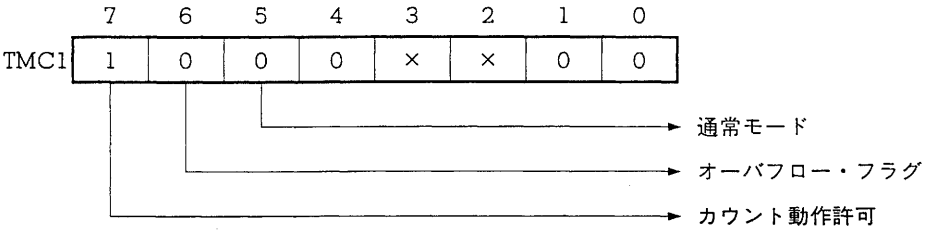
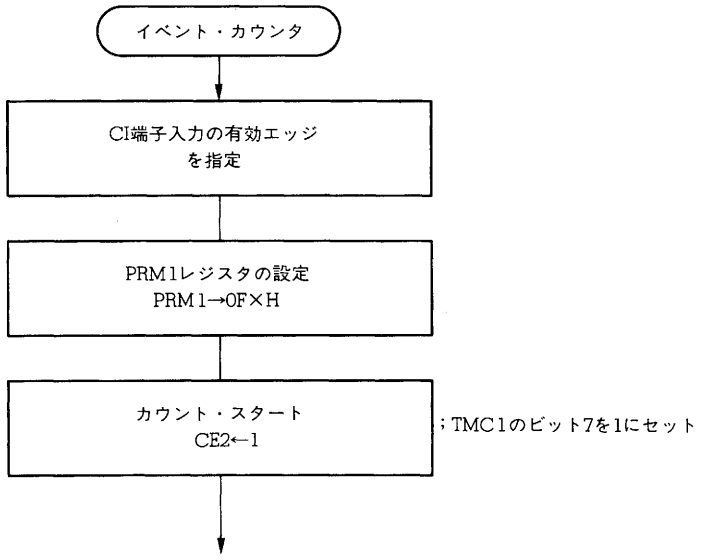


図8－123　外部イベント・カウンタ動作の設定手順



保守／廃止

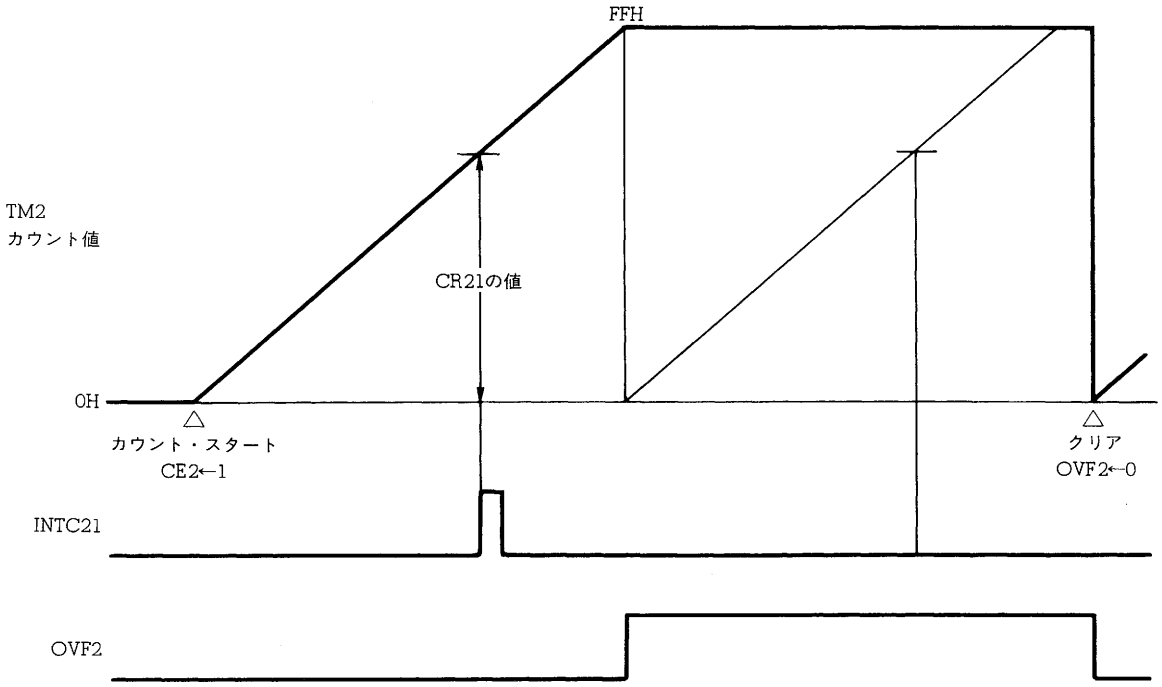
(7) ワンショット・タイマとしての動作

8ビット・タイマ2 (TM2) をスタートさせてから，あらかじめ設定したカウント時間後に1回だけ割り込みを発生するワンショット・パルスとして動作します（図8－124参照)。

また，2回目以降のワンショット・タイマの動作は，タイマ・コントロール・レジスタ1（TMC1）のOVF2ビットをクリアすることで起動することができます。

図8－125に制御レジスタの設定内容，図8－126にその設定手順，図8－127に2回目以降のワンショット・タイマの起動手順を示します。

図8－124　ワンショット・タイマ動作



保守／廃止

図8－125　ワンショット・タイマ動作の制御レジスタの設定内容

(a) タイマ・コントロール・レジスタ1（TMC1）

	7	6	5	4	3	2	1	0
TMC1	CE2	OVF2	1	0	×	×	×	×

→ ワンショット・タイマ・モード

(b) プリスケーラ・モード・レジスタ1（PRM1）

	7	6	5	4	3	2	1	0
PRM1	PRS23	PRS22	PRS21	PRS20	0	×	×	×

→ カウント・クロックの指定
（x/f_{CLK}；x＝16，32，64，128，256，512，または外部クロック）

(c) キャプチャ／コンペア・コントロール・レジスタ2（CRC2）

	7	6	5	4	3	2	1	0
CRC2	0	0	0	1	0	0	0	0

→ TM2のクリア禁止

保守／廃止

図8－126　ワンショット・タイマ動作の設定手順

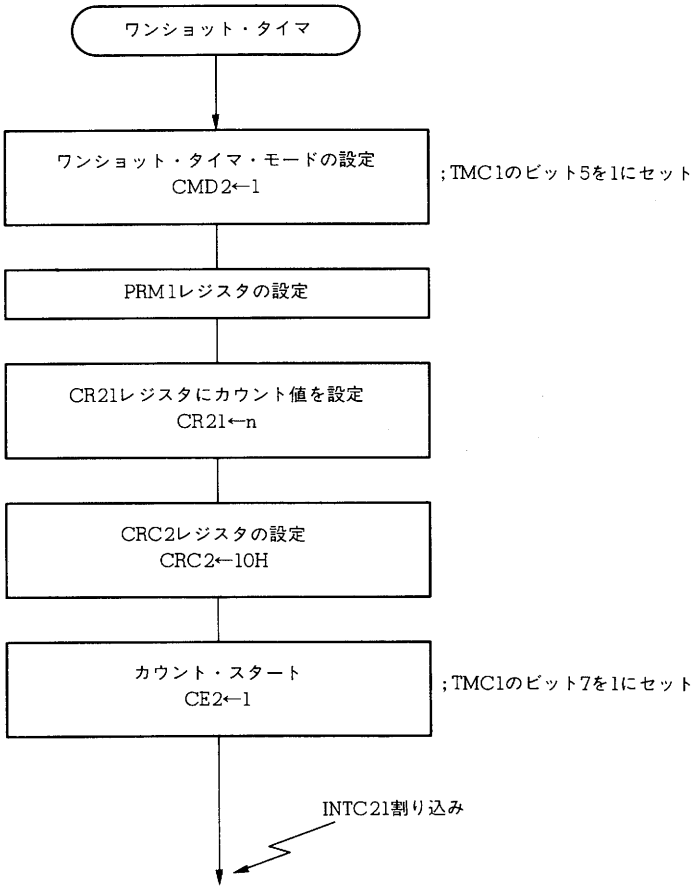
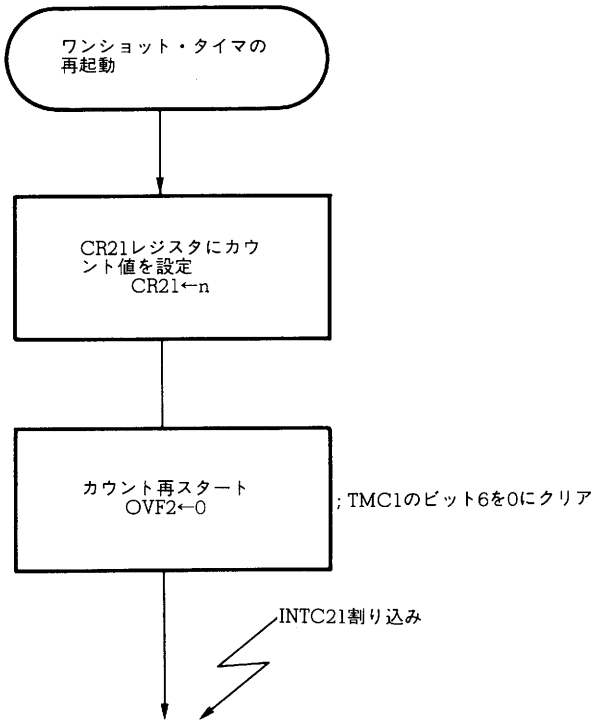


図8－127　2回目以降のワンショット・タイマの起動手順



保守／廃止

8.4　8ビット・タイマ／カウンタ3

8.4.1　機　　能

8ビット・タイマ／カウンタ3は，インターバル・タイマとしての機能のほかにボー・レート・ジェネレータのクロック生成用カウンタとして使うことができます。

インターバル・タイマは，あらかじめ設定したインターバルで内部割り込みを発生します。表8－19にインターバル時間の設定範囲を示します。

表8－19　8ビット・タイマ／カウンタ3のインターバル時間

分　解　能	最小インターバル時間	最大インターバル時間
$8/f_{CLK}$ (1.3 μs)	$8/f_{CLK}$ (1.3 μs)	$2^8 \times 8/f_{CLK}$ (341 μs)
$16/f_{CLK}$ (2.6 μs)	$16/f_{CLK}$ (2.6 μs)	$2^8 \times 16/f_{CLK}$ (683 μs)
$32/f_{CLK}$ (5.3 μs)	$32/f_{CLK}$ (5.3 μs)	$2^8 \times 32/f_{CLK}$ (1.37 ms)
$64/f_{CLK}$ (10.7 μs)	$64/f_{CLK}$ (10.7 μs)	$2^8 \times 64/f_{CLK}$ (2.73 ms)
$128/f_{CLK}$ (21.3 μs)	$128/f_{CLK}$ (21.3 μs)	$2^8 \times 128/f_{CLK}$ (5.46 ms)
$256/f_{CLK}$ (42.7 μs)	$256/f_{CLK}$ (42.7 μs)	$2^8 \times 256/f_{CLK}$ (10.9 ms)
$512/f_{CLK}$ (85.3 μs)	$512/f_{CLK}$ (85.3 μs)	$2^8 \times 512/f_{CLK}$ (21.8 ms)

( ) 内はf_{CLK}＝6 MHz

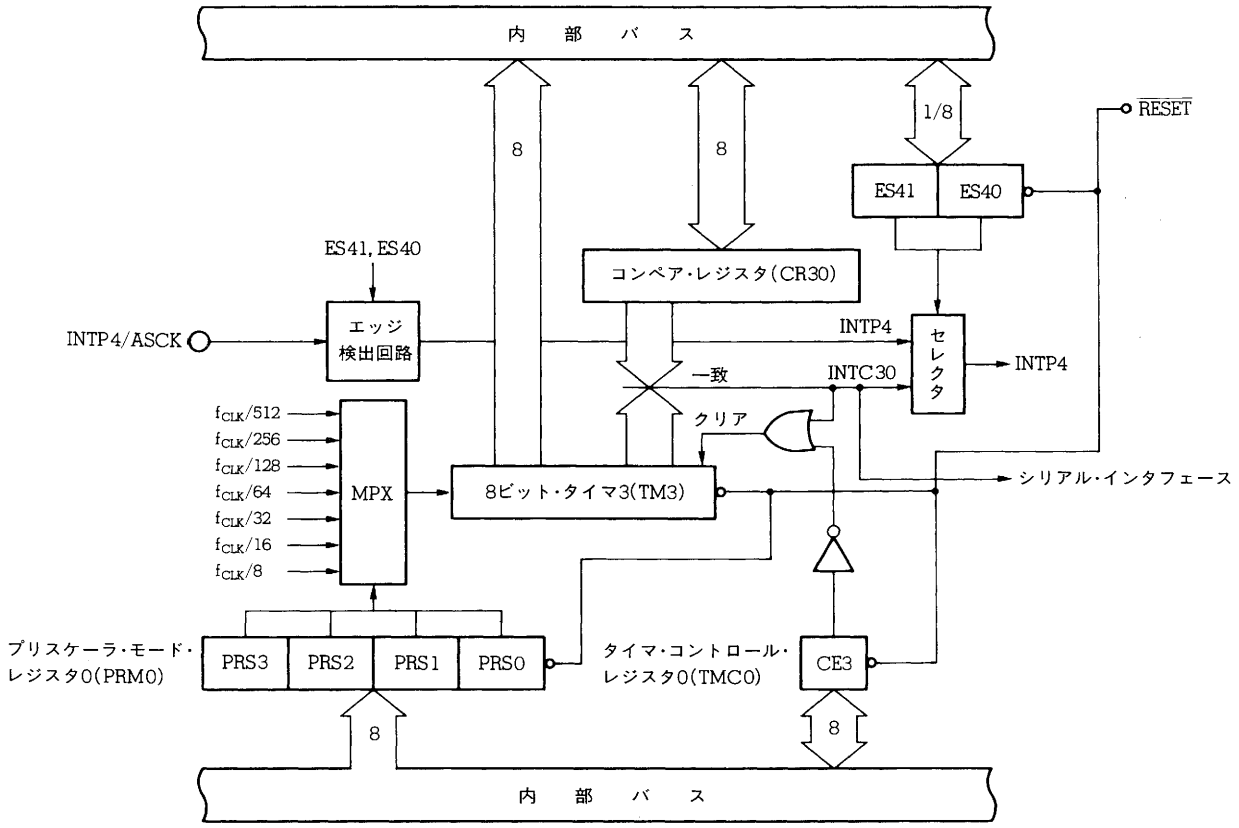
保守／廃止

8.4.2 構　　成

8ビット・タイマ／カウンタ3は，8ビット・タイマ3（TM3）と8ビット・コンペア・レジスタ（CR30）1本から構成されます。

図8-128に8ビット・タイマ／カウンタ3のブロック図を示します。

図8-128　8ビット・タイマ／カウンタ3のブロック図



保守／廃止

(1) 8ビット・タイマ3 (TM3)

TM3は，プリスケーラ・モード・レジスタ0（PRM0）の上位4ビットで指定されるカウント・クロックをアップカウントするタイマです。

8ビット操作命令で読み出しのみが可能です。タイマ・コントロール・レジスタ0（TMC0）によりカウント動作の停止／許可ができます。

$\overline{\text{RESET}}$入力により00Hとなり，カウントは停止します。

(2) コンペア・レジスタ (CR30)

CR30レジスタは，インターバル・タイマ動作の周期を決める値を保持する8ビット・レジスタです。

CR30レジスタの内容がTM3の値と一致すると，TM3の内容を自動的にクリアし割り込み要求（INTC30）を発生します。

8ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

(3) プリスケーラ

カウント・クロックを内部システム・クロックから生成します。このプリスケーラで生成されたクロックをセレクトで選択し，カウント・クロックとしてタイマはカウント動作を行います。

保守／廃止

8.4.3　8ビット・タイマ／カウンタ3制御レジスタ

(1) タイマ・コントロール・レジスタ0（TMC0）

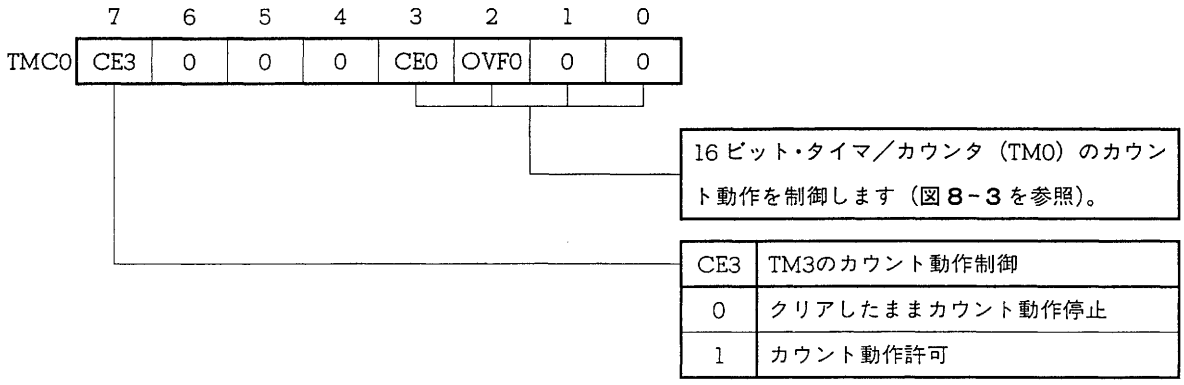
TMC0レジスタは，8ビット・タイマ3（TM3）のカウント動作を制御する8ビット・レジスタです。

上位4ビットで8ビット・タイマ／カウンタ3のTM3のカウント動作を制御します（下位4ビットは16ビット・タイマ／カウンタのTM0のカウント動作を制御します）。

8ビット操作命令で読み出し／書き込みが可能です。図8-129にTMC0レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hになります。

図8-129　タイマ・コントロール・レジスタ0（TMC0）のフォーマット



保守／廃止

(2) プリスケーラ・モード・レジスタ0(PRM0)

PRM0レジスタは，8ビット・タイマ3（TM3）へのカウント・クロックを指定する8ビット・レジスタです。

8ビット操作命令で書き込みのみ可能です。図8-130にPRM0レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hになります。

図8-130　プリスケーラ・モード・レジスタ0（PRM0）のフォーマット

	7	6	5	4	3	2	1	0
PRM0	PRS3	PRS2	PRS1	PRS0	0	0	0	0

f_{CLK}=6 MHz

PRS3	PRS2	PRS1	PRS0	カウント・クロック〔Hz〕の指定	分解能
0	0	0	0	$f_{CLK}/8$	1.3 μs
0	0	0	1		
0	0	1	0	$f_{CLK}/16$	2.6 μs
0	0	1	1	$f_{CLK}/32$	5.3 μs
0	1	0	0	$f_{CLK}/64$	10.7 μs
0	1	0	1	$f_{CLK}/128$	21.3 μs
0	1	1	0	$f_{CLK}/256$	42.7 μs
0	1	1	1	$f_{CLK}/512$	85.3 μs
1	×	×	×	設定禁止	

備考　f_{CLK}：システム・クロック周波数

×　：1または0

保守／廃止

8.4.4　8ビット・タイマ3（TM3）の動作

（1）基本動作

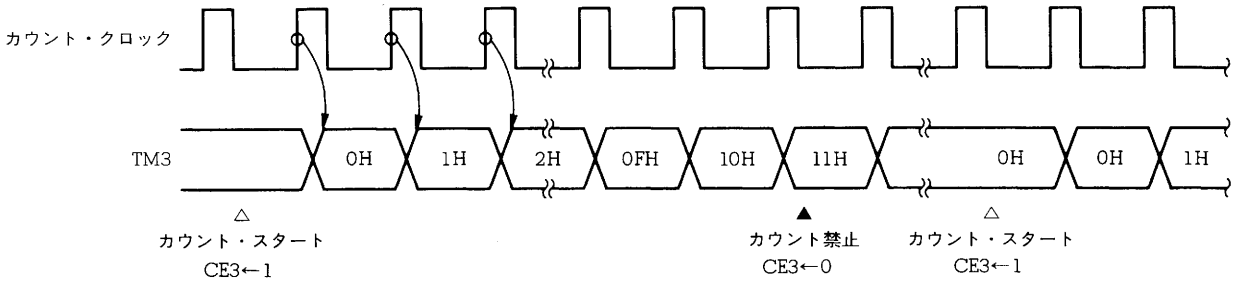
8ビット・タイマ／カウンタ3のカウント動作は，プリスケーラ・モード・レジスタ0（PRM0）の上位4ビットで指定されるカウント・クロックによるカウント・アップで行います。

$\overline{\text{RESET}}$入力により，TM3は00Hにクリアされ，カウント動作は停止します。

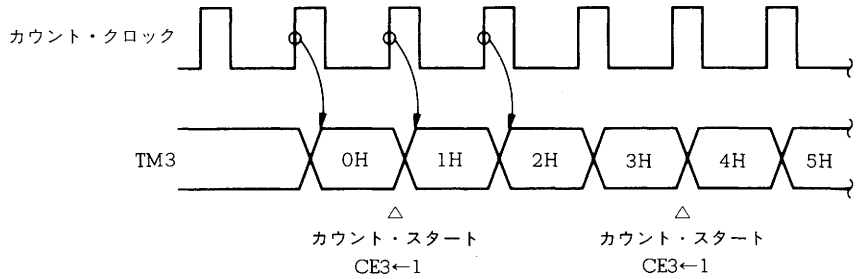
カウント動作の禁止／許可は，タイマ・コントロール・レジスタ0（TMC0）のビット7（CE3）で制御します（8ビット・タイマ／カウンタ3の動作制御はTMC0レジスタの上位4ビットです）。CE3ビットをソフトウエアによりセット(1)すると，最初のカウント・クロックでTM3は次のカウント・クロックで00Hにクリアされたのち，カウント・アップ動作を行います。CE3ビットをリセット(0)することによってTM3は次のカウント・クロックで00Hにクリアされ，一致信号の発生は停止します。CE3ビットがセット(1)されている状態でさらにCE3ビットをセット(1)した場合，TM3はクリアされないでカウント動作を続けます。

図8－131　8ビット・タイマ3（TM3）の基本動作

（a）カウント・スタート→カウント禁止→カウント・スタートの場合



（b）カウント・スタート後の再度CE3ビットに“1”を書き込んだ場合

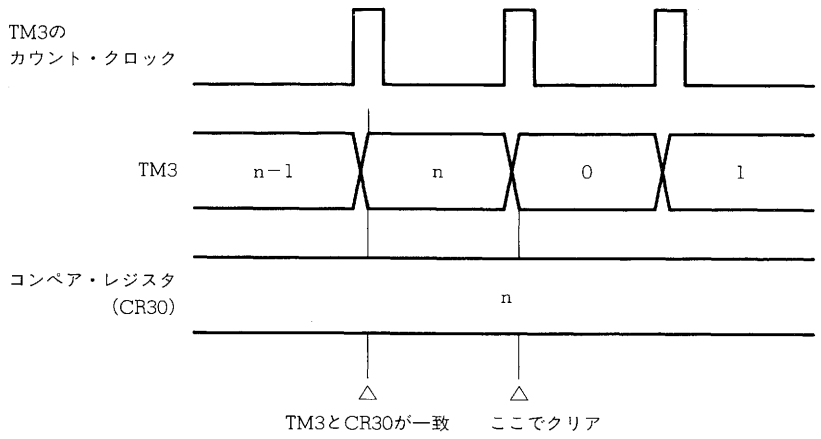


保守／廃止

(2) クリア動作

8ビット・タイマ3（TM3）は，コンペア・レジスタ（CR30）との一致により自動的にクリアされます。TM3は，クリアする要因が発生すると，次のカウント・クロックで00Hにクリアされます。したがって，クリアする要因が発生しても，次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

図8－132　コンペア・レジスタ（CR30）との一致によるTM3のクリア

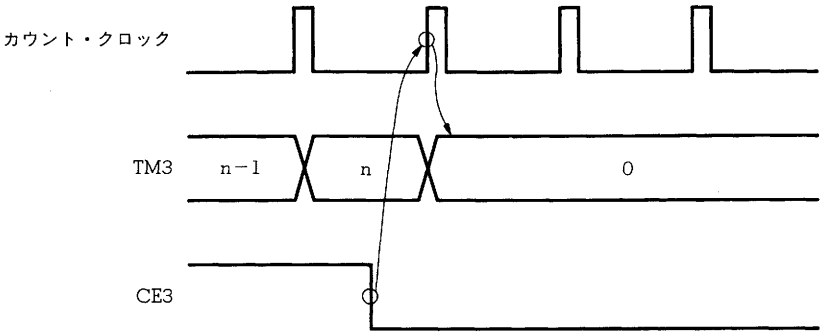


また，TM3はソフトウエアにより，タイマ・コントロール・レジスタ（TMC0）のCE3ビットをリセット(0)することによってもクリアされます。クリア動作は同様に，CE3ビットがリセット(0)されたあとのカウント・クロックで行われます。なお，CE3ビットをリセット(0)し，TM3が0になる前（CE3ビットをリセット(0)したあとの最初のカウント・クロックがくる前）にCE3ビットがセット(1)されると，クリア動作によりTM3が0になる動作とカウント・スタートによる0のカウント動作が同時に行われます。

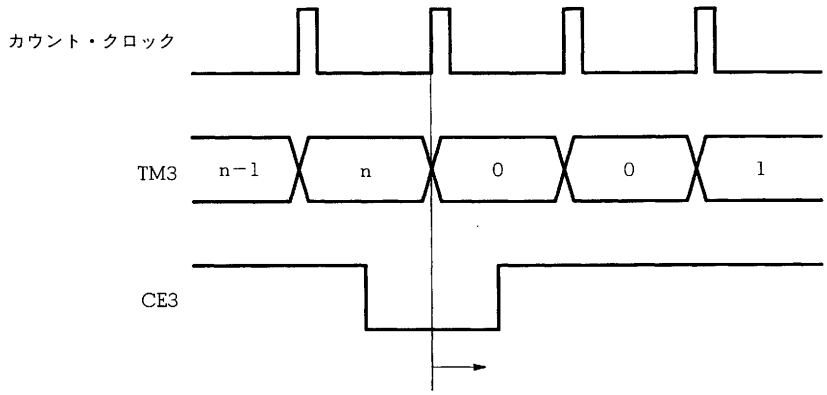
保守／廃止

図8－133　CE3ビットをリセット(0)した場合のクリア動作

(a) 基本動作

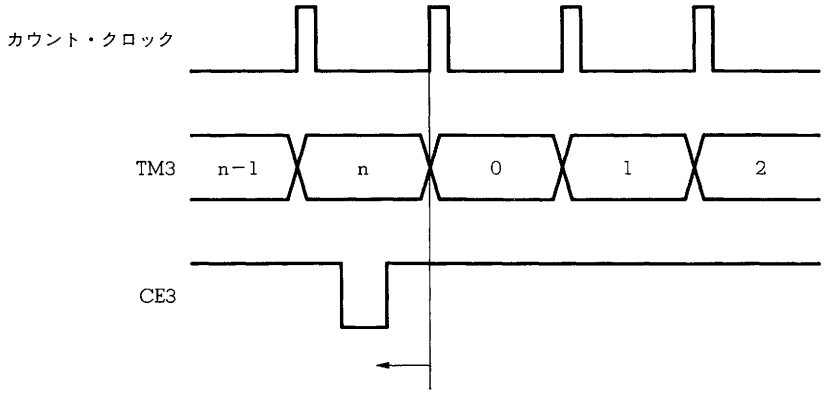


(b) クリア後のTM3が0になってからの再スタート



このカウント・クロック以降にCE3ビットがセット(1)された場合，CE3ビットをセット(1)したあとのカウント・クロックで0からカウント

(c) クリア後のTM3が0になる前の再スタート



このカウント・クロック以前にCE3ビットがセット(1)された場合，CE3←0によるTM3のクリア動作とCE3←1による0のカウント動作が同時に行われる

保守／廃止

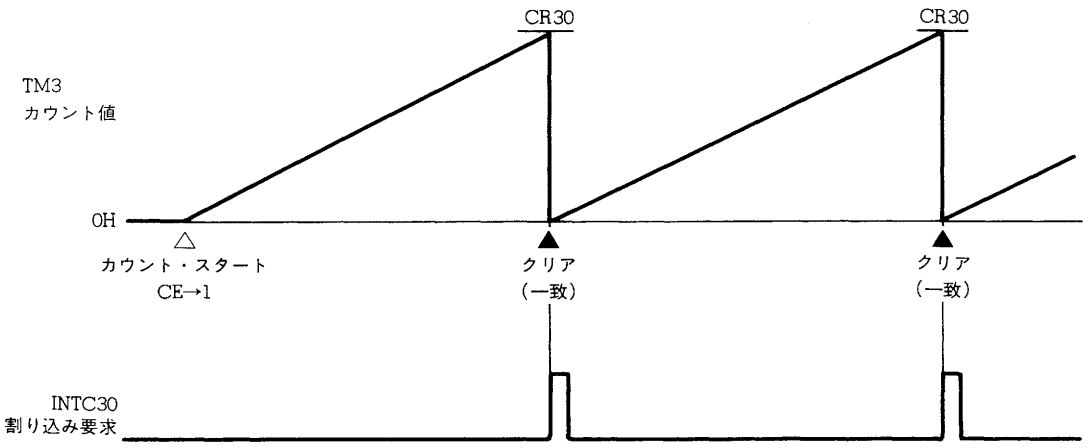
8.4.5　コンペア・レジスタの動作

8ビット・タイマ／カウンタ3は，コンペア・レジスタに設定された値をタイマのカウント値と比較するコンペア動作を行います。

あらかじめ設定された8ビット・コンペア・レジスタ（CR30）の値に8ビット・タイマ3（TM3）のカウント値がカウント動作によって一致すると，割り込み要求（INTC30）を発生します。

また一致後，TM3の内容を自動的にクリアしますので，CR30レジスタに設定した値を繰り返しカウントするインターバル・タイマとして動作します。

図8－134　コンペア動作



保守／廃止

8.4.6　使 用 例

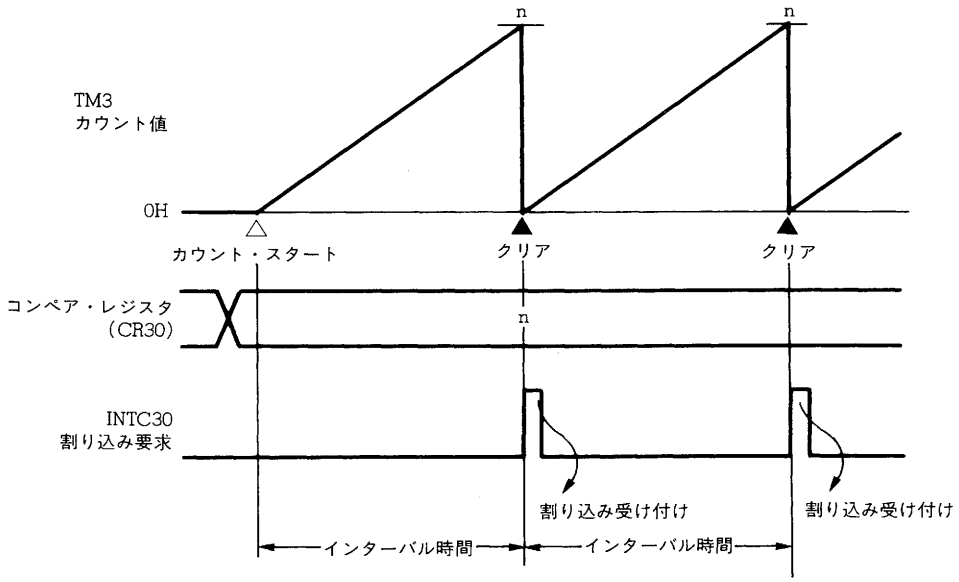
(1) インターバル・タイマとしての動作

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します。また，ボー・レート生成用としても使用できます。

このインターバル・タイマは，最小1.3 μs最大85.3 μsの分解能で，それぞれ最高341 μs，21.8 msまでのカウントができます（内部システム・クロックf_{CLK}＝6 MHz）。

図8－135に示すインターバル・タイマとしての動作の制御レジスタの設定内容を図8－136に，設定手順を図8－137に示します。

図8－135　インターバル・タイマ動作のタイミング



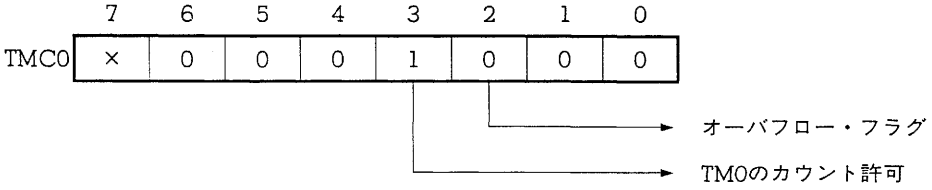
備考　インターバル時間＝(n＋1)×x/f_{CLK}；0≦n≦FFH

x＝8，16，32，64，128，256，512

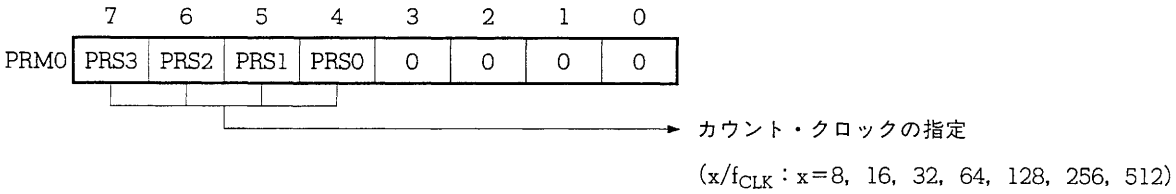
保守／廃止

図8－136　インターバル・タイマ動作の制御レジスタの設定内容

(a) タイマ・コントロール・レジスタ0 (TMC0)　★

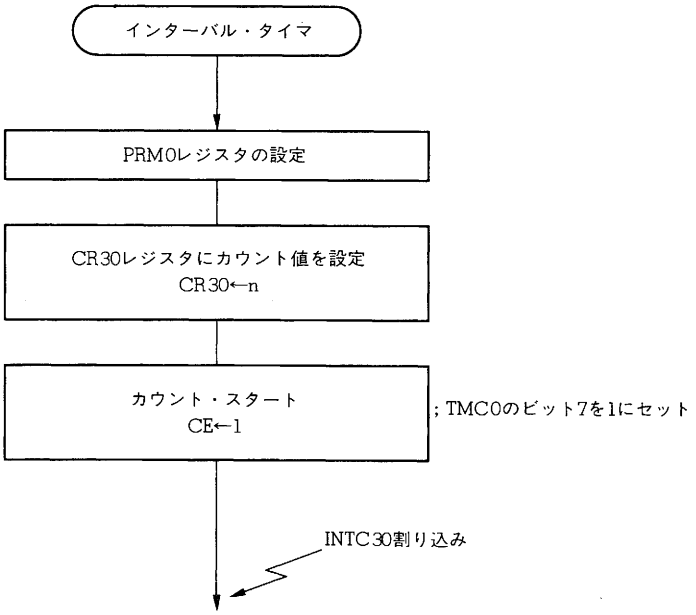


(b) プリスケーラ・モード・レジスタ0 (PRM0)



8

図8－137　インターバル・タイマ動作の設定手順



保守／廃止

8.5　注意事項

8.5.1　全タイマ／カウンタ共通の注意事項

(1) カウンタが動作している期間(TMCnレジスタのCEmビットがセットされているとき)，以下のレジスタの内容を書き換えると誤動作する可能性があります。誤動作はレジスタの書き換えによるハードウエアの機能の変化と，書き換え前の機能で状態が変化するタイミングが競合した場合にどちらが優先されるかが不定のために発生します。

これらのレジスタの内容を書き換える場合は，安全のため必ずカウンタ動作を停止させてから行ってください。

・プリスケーラ・モード・レジスタ（PRMn）
・キャプチャ／コンペア・コントロール・レジスタ（CRCn）
・タイマ出力コントロール・レジスタ（TOC）
・タイマ・コントロール・レジスタ1（TMC1）のCMD2ビット

保守／廃止

(2) タイマ／カウンタからのオーバフローを保持するOVFmフラグは，タイマ／カウンタの動作を制御するTMCnレジスタの中にあります。リード・モディファイ・ライト系の命令(AND TMCn,#7FHなど)を実行した場合などでもOVFmフラグがクリアされてしまう場合があります(CPUの読み出し時に0でも，書き込み時にはタイマ／カウンタからのオーバフローが発生し，1になっている場合があります。しかし，読み出し時に0であったために，OVFmフラグに0を書き込んでしまい，クリア（0）してしまいます)。

同一のTMCnレジスタに割り当てられているタイマ／カウンタのOVFmフラグをクリアしたくない場合には，次のような方法で対応してください。

1. OVFmフラグを使用しているタイマ／カウンタのTMmレジスタを読み出す。
2. タイマ／カウンタの操作を行い，再度TMmレジスタを読み出す。
3. 2つの読み出し値を比較し，後から読み出した値が小さければ，OVFmフラグをセットする。

なお，この方法を使用する間はOVFmフラグの操作を行わないでください。また，最初にTMmを読んでから，次にTMmを読むまでの時間が，TMmがフルカウントする時間より短くなければなりません。

8

例　タイマ／カウンタ1のOVF1フラグをクリアしてしまいたくない場合

```
        MOV    A,TM1
        MOV    TMC1,#×××01000B      ;×××はタイマ／カウンタ2の操作
                                      内容による
        CMP    A,TM1                ;タイマ値をチェック
        BL     $NEXT
        BE     $NEXT
        MOV    TMC1,#×××011000B     ;OVF1をセット
NEXT:
```

保守／廃止

(3) タイマの動作を停止させる命令実行時にコンペア・レジスタとタイマ・レジスタの内容が一致した場合，タイマのカウント動作は停止しますが，割り込みの要求は発生します。

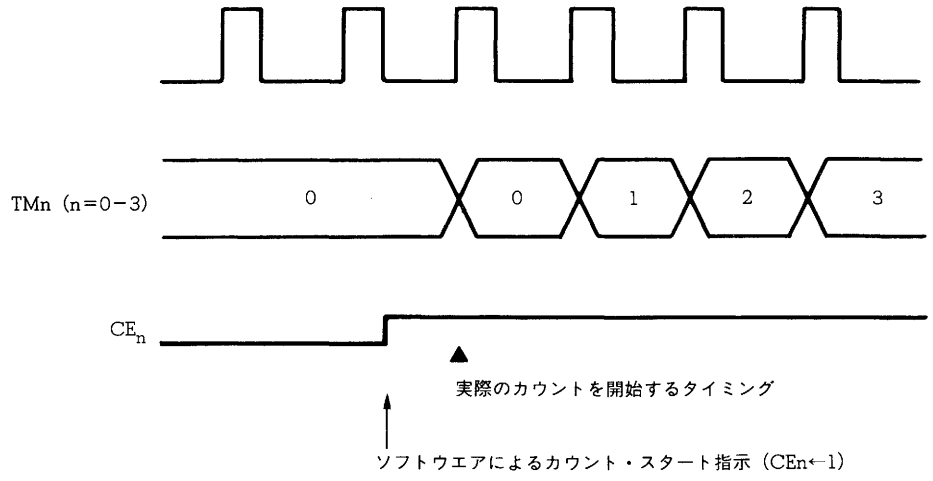
タイマの動作を停止する場合に割り込みを発生させたくないときは，先にマスク・レジスタで割り込みをマスクしてからタイマを停止させてください。

	割り込み要求が発生する可能性のあるプログラム		割り込み要求が発生しないプログラム	
	⋮		⋮	
例	MOV TMC1, #6CH	←この間でタイマ／カウンタからの割り込み要求発生	AND MK0H, #0F6H	←タイマ／カウンタ2からの割り込み禁止
	AND MK0H, #0F6H		MOV TMC1, #6CH	
	⋮		AND IF0H, #0F6H	←タイマ／カウンタ2からの割り込み要求フラグをクリア
			⋮	

(4) タイマ／カウンタをスタート（CEn←1，n=0−3）させる操作を行ってから，実際にタイマ／カウンタがスタートするまで最大1カウント・クロック分の時間がかかります（図8−138参照）。

たとえば，インターバル・タイマとして使用する場合は，1回目のインターバル時間が最大1クロック分だけ長くなります。2回目以降は，指定した間隔どおりになります。

図8−138　カウント・スタート時の動作



保守／廃止

(5) タイマを停止 (CEn←0) する命令を実行してもTMnの内容は，すぐには0になりません。タイマを停止する命令（CEn←0）を実行した後に発生するカウント・クロックで0になります。

なお，タイマを停止してあとすぐに，タイマが0になる前にタイマをスタート（CEn←1）した場合でもタイマは0からカウント・アップを行います。

図8－139　カウント動作の停止

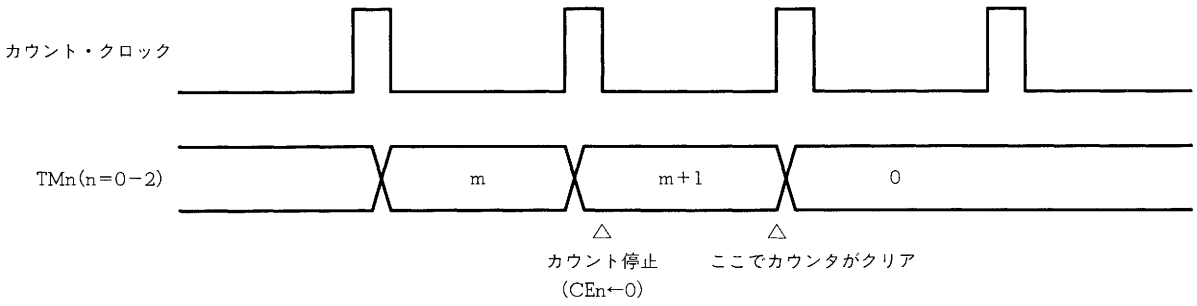
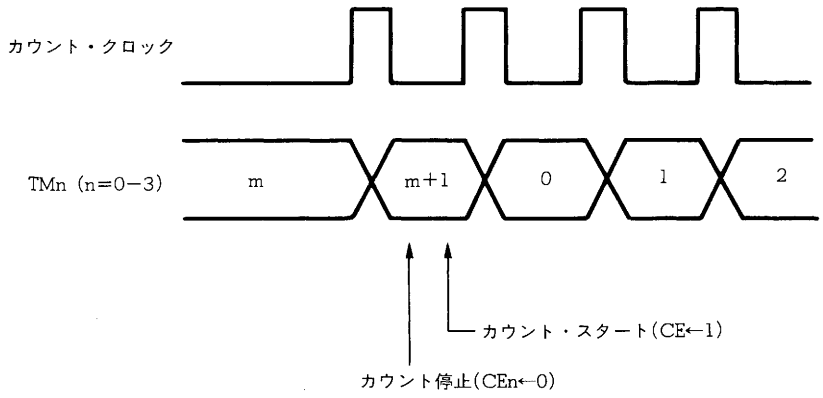


図8－140　カウント動作の停止，再スタートのタイミング



保守／廃止

(6) タイマ／カウンタ関係のレジスタをアクセスする場合，自動的に最大下記のクロック数[注]だけウエイト・サイクルが挿入されます。

注　1ウエイトは$1/f_{CLK}$

表8－20　タイマ／カウンタ関係レジスタ・アクセス時の最大ウエイト数

レジスタ	挿入されるウエイト数	
	リード時	ライト時
TMCn	0	1
PRMn	—	1
CRCn	—	1
TOC	—	1
CRnm	1	1
TM0	7	—
TM1	15	—
TM2	15	—
TM3	7	—

(7) コンペア・レジスタCRnm（n＝0－3，m＝0，1）への書き込みを行う命令実行中は，書き込みの対象となっているCRnmレジスタとTMn（n＝0－3）の一致を検出しません。たとえば，書き込みの前後でCRnmレジスタの内容が変わらない場合に，TMnの値がCRnmレジスタの値と一致しても割り込みの要求は発生せず，また，タイマ出力（TOn，n＝0－3）も変化しません。

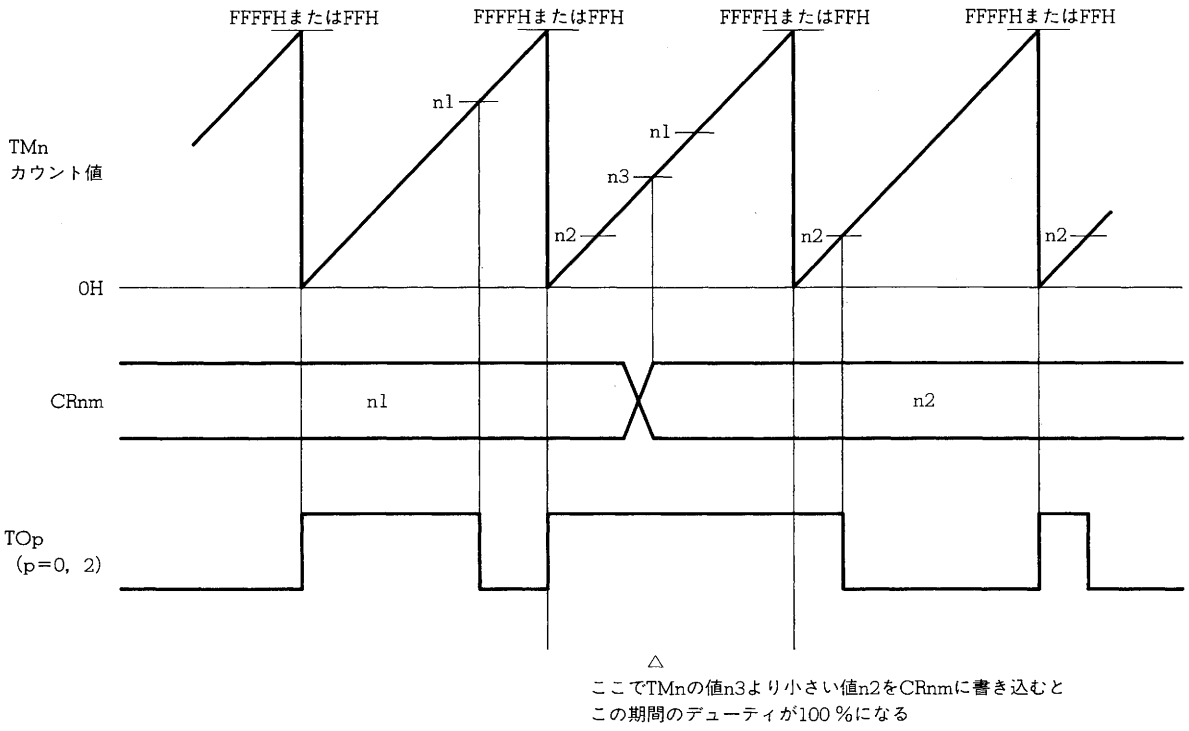
タイマ／カウンタがカウント動作を行っているときのCRnmレジスタへの書き込みは，CRnmレジスタへの書き込み中にTMnの内容とCRnmレジスタの書き込み前後の値が一致しないようなタイミングで行ってください（TMnとCRnmの一致による割り込み要求の発生直後など）。

(8) TMnとCRnmの一致の検出は，TMnがインクリメントまたはクリアされたときにのみ行われます。したがって，TMnとおなじ値をCRnmへ書き込んでも割り込みの要求は発生せず，タイマ出力も変化しません。

保守／廃止

(9) PWMを使用している場合，コンペア・レジスタ　CRnm（n＝0，2，m＝0，1）の値をTMn（n＝0，2）より小さい値に設定すると，デューティ100％のPWM信号が出力されてしまいます。CRnmの書き換えはTMnと書き換えを行うCRnmとの一致による割り込みで行ってください。

図8－141　PWM出力時にデューティが100％になる例



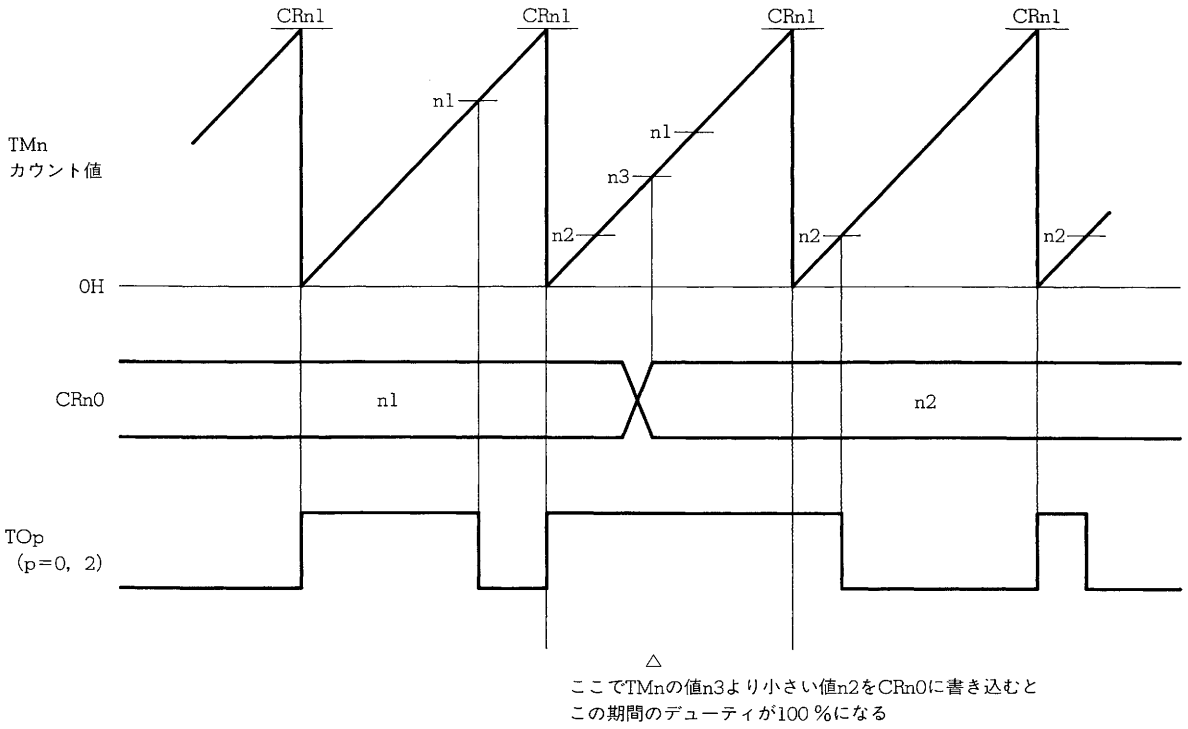
備考　ALVp＝0

保守／廃止

(10) PPG出力を使用している場合のコンペア・レジスタの書き換えに関する注意事項

(a) コンペア・レジスタ　CRn0（n＝0，2）とTMn（n＝0，2）が一致するより前にCRn0にTMn以下の値を書き込むと，そのPPG周期のデューティが100%になってしまいます。CRn0の書き換えは，TMnとCRn0との一致による割り込みで行うようにするなどしてください。

図8－142　PPG出力時にデューティが100％になる例



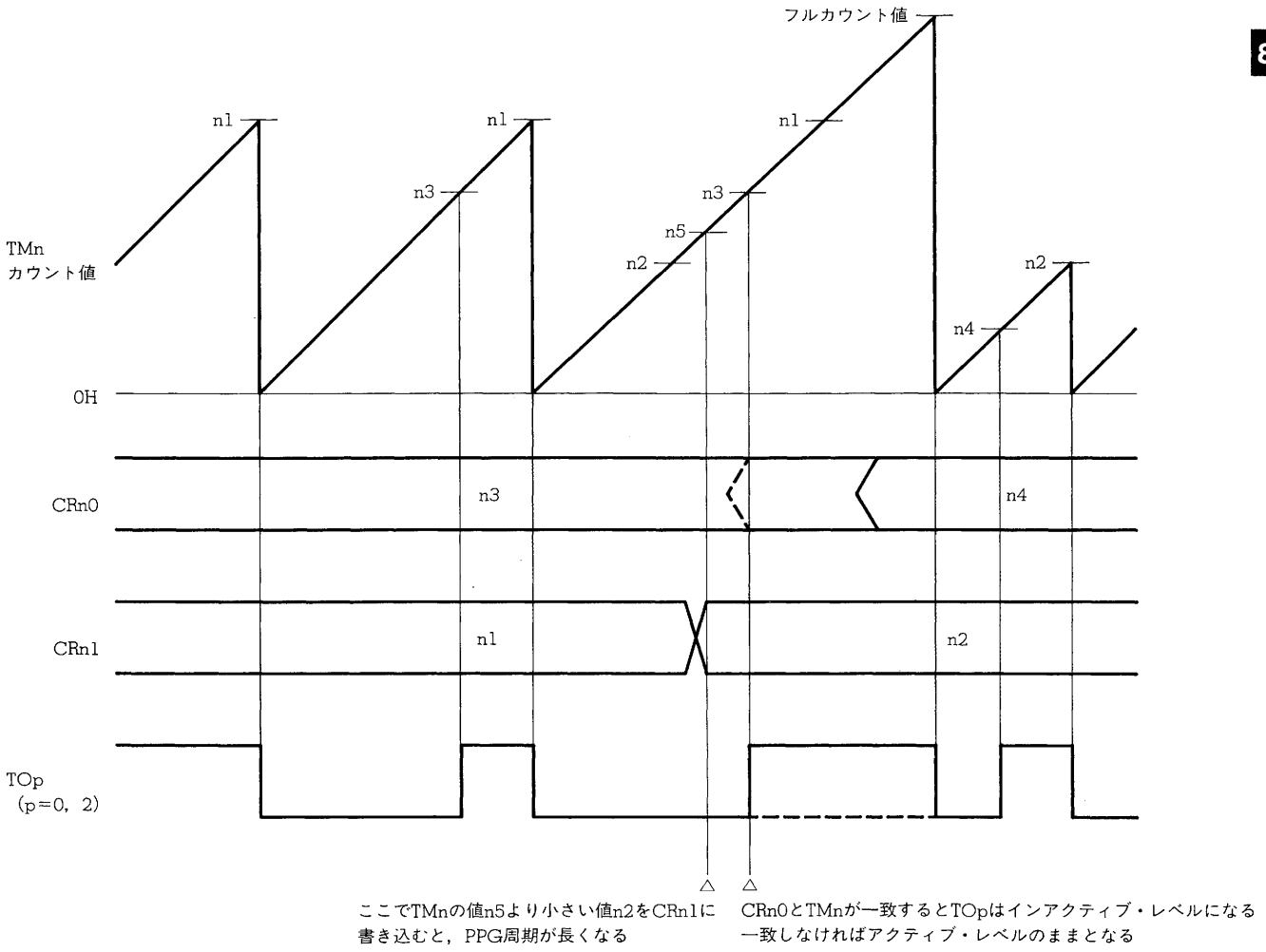
備考　ALVp＝0

保守／廃止

(b) コンペア・レジスタ（CRn1）を現在の値より小さい値に変更する場合に，CRn1の値をTMnの値より小さくすると，そのときのPPG周期がTMnがフルカウントする時間にまで長くなってしまいます。このときの出力レベルは，コンペア・レジスタ（CRn0）とTMnが一致したあとにCRn1を書き換えた場合は，TMnがオーバフローして0になるまでインアクティブ・レベルとなり，その後，正常なPPG出力に戻ります。CRn0とTMnが一致する前にCRn1を書き換えた場合は，CRn0とTMnが一致するまでアクティブ・レベルを出力します。TMnがオーバフローします。0になる前にCRn0とTMnが一致した場合は，その時点でインアクティブ・レベルを出力し，TMnがオーバフローし，0になった時点でアクティブ・レベルを出力し，正常なPPG出力に戻ります。

CRn1の書き換えは，TMnとCRn1との一致割り込みで行うようにするなどしてください。

図8－143　PPG出力の周期が長くなる例



備考　ALVp＝1

保守／廃止

（c）割り込みの受け付けなどにかかる時間に対して，十分な時間がPPG周期にないとき（PPG周期が極端に短いとき）は，(a)，(b)で示した方法では対策がとれません。ほかの方法（すべての割り込みをマスクして，割り込み要求フラグをソフトウエアでポーリングするなど）を考えてください。

(11) PWM出力では，近似式に比べて，パルス幅のアクティブ・レベルがf_{CLK}の２クロック分長く，インアクティブ・レベルがf_{CLK}の２クロック分短くなります。高精度の出力が必要な場合，またはカウント・クロックが高速の場合は，この点について考慮のうえご使用ください。
詳細は，**8.1.7，8.3.9　PWM出力**を参照してください。

(12) タイマ出力禁止時（ENTOn＝0，n＝0，1，2，3）のTOn（n＝0，1，2，3）端子の出力レベルは，ALVn(n＝0，1，2，3)に設定した値の反転値となります。したがって，PWM出力機能またはPPG出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

(13) PPG出力では，近似式に比べて，パルス幅のアクティブ・レベルがf_{CLK}の２クロック分長く，インアクティブ・レベルがf_{CLK}の２クロック分短くなります。高精度の出力が必要な場合，PPGパルス周期が短い場合，またはカウント・クロックが高速の場合は，この点について考慮のうえご使用ください。
詳細は，**8.1.8，8.3.10　PPG出力**を参照してください。

(14) インサーキット・エミュレータでは，ディジタル・ノイズ除去を正常に行うことができません。したがってタイマ／カウンタとエッジ検出を組み合わせて使用する場合は，次の点に注意して使用してください。

- タイマ／カウンタのキャプチャ動作，クリア動作
  ：誤検出したエッジの影響を受けません。したがって，誤検出したエッジによる割り込みが発生しても，キャプチャ値は更新されていません。特にCR22は，CPUが読み出したあとの値が不定となるため注意が必要です。
- タイマ／カウンタのコンペア動作
  ：キャプチャ後にクリアを行うモードに設定されている場合には，誤検出したエッジの影響により，一致割り込み発生のタイミングが変化してしまいます。その結果，タイマ／カウンタとコンペア・レジスタの値が一致するタイミングとは異なるタイミングで，一致割り込みが発生し続けます。
  ・正常なエッジ入力，またはタイマ／カウンタの停止により，一

保守／廃止

致割り込みの発生が正常なタイミングに戻ります。

：タイマ出力は，誤検出したエッジの影響は受けません。正常なタイミングで動作を行います。

エッジの誤検出については，**第12章　エッジ検出機能の12.4　注意事項**を参照してください。

インサーキット・エミュレータについては，**8.5.4　インサーキット・エミュレータ使用時の注意事項**も参照してください。

8.5.2　16ビット・タイマ／カウンタに関する注意事項　★

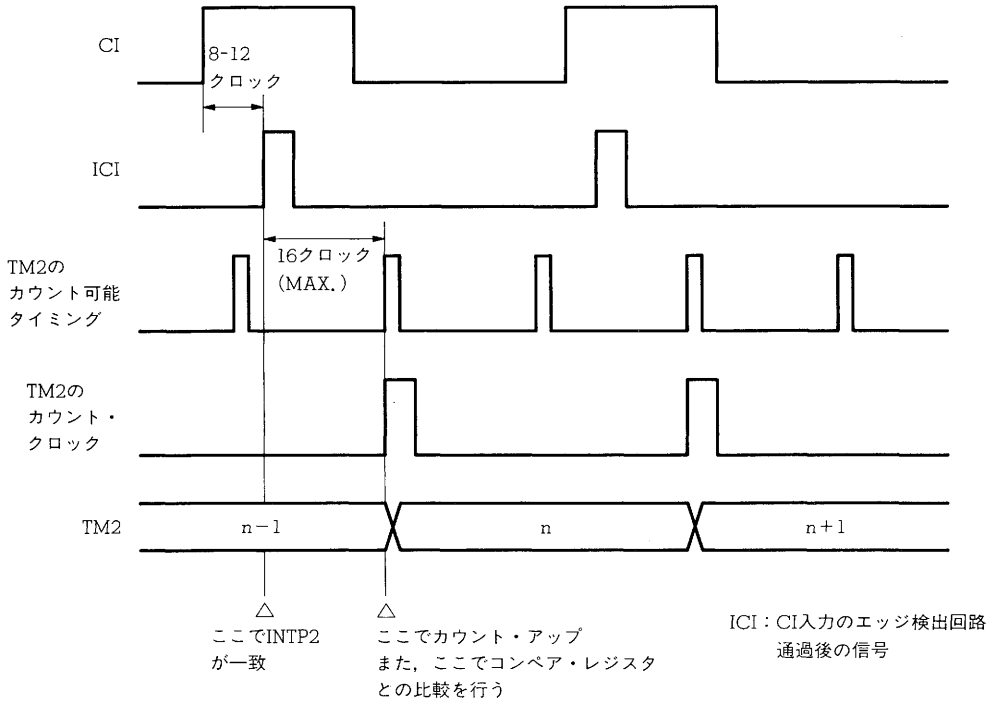
16ビット・タイマ／カウンタでコンペア動作を行うためには，コンペア動作を行わせる前に，使用するコンペア・レジスタに書き込みを行う必要があります。

保守／廃止

8.5.3　8ビット・タイマ／カウンタ2に関する注意事項

(1) 8ビット・タイマ／カウンタ2を外部イベント・カウンタとして使用する場合，CI端子に有効エッジが入力されてからTM2がインクリメントされるまで最大28システム・クロック(4.67 μs：f_{CLK}＝6 MHz) だけ遅れます。したがって，エッジ検出後にTM2の値を読み出してもインクリメントされていない場合があります。また，コンペア・レジスタ（CR20，CR21）との一致による割り込みの要求の発生も同様にエッジ入力より遅れます。細かいタイミングの制御を行う必要がある場合には，この点についても注意してください。

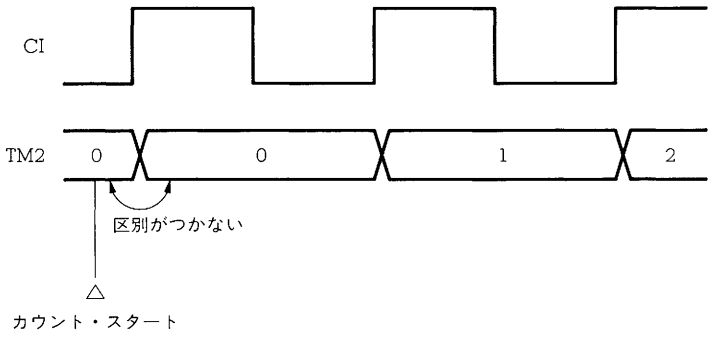
図8－144　外部イベント・カウンタでの割り込み要求発生



保守／廃止

(2) 8ビット・タイマ／カウンタ2を外部イベント・カウンタとして使用する場合，有効エッジの入力が一度もない状態と1回だけあった状態の区別がTM2だけではつけられません（図8－145参照）。TM2の内容はいずれの場合も“0”になります。区別をつける必要がある場合には，INTP2の割り込み要求フラグを利用してください(INTP2端子とCI端子は兼用になっており，いずれの機能も同時に使用できます)。例を図8－146に示します。

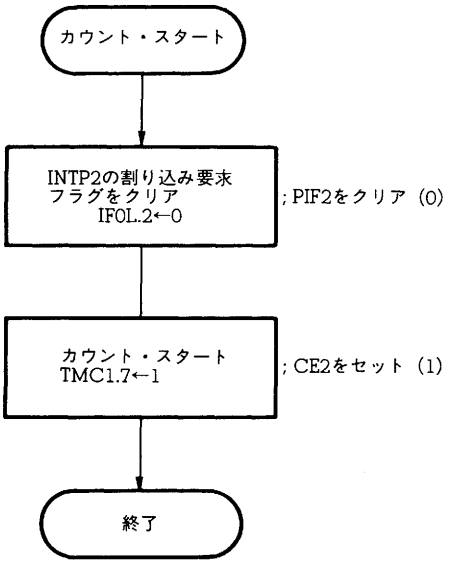
図8－145　外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例



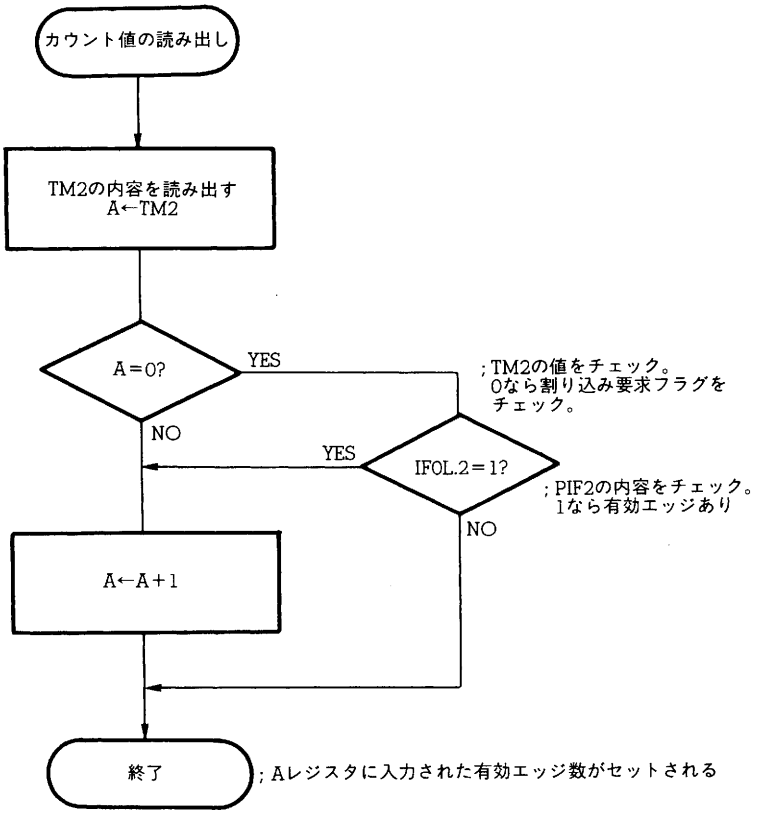
保守／廃止

図8－146　外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法

(a) カウント・スタート時の処理



(b) カウント値読み出し時の処理



保守／廃止

(3) インサーキット・エミュレータでは，ディジタル・ノイズ除去を正常に行うことができません。したがってタイマ／カウンタとエッジ検出を組み合わせて使用する場合は，**8.5.4　インサーキット・エミュレータ使用時の注意事項**を参照してください。

(4) CR22レジスタは，読み出したあと不定になります。キャプチャした値を２回以上使用したい場合は，レジスタまたはメモリなどへキャプチャした値を退避しておき，その値を使用するようにしてください。

保守／廃止

8.5.4　インサーキット・エミュレータ使用時の注意事項

インサーキット・エミュレータでは，INTP0，INTP1，INTP2/CI，INTP3のノイズ除去動作が正常に動作せずに，ノイズをエッジとして誤検出してしまう場合があります。エッジの誤検出の詳細については，**第12章　エッジ検出機能の12.4　注意事項**を参照してください。ここでは，誤検出したエッジにより，どのようにタイマ／カウンタが動作するかを説明します。

(a) キャプチャ動作

誤検出したエッジでは，キャプチャ動作を行いません。しかし，誤検出したエッジでの割り込みは発生します。誤検出したエッジによる割り込み処理の中で読み出したキャプチャ・レジスタの値は次のようになります。

・CR02，CR11の場合

直前の正常なエッジでキャプチャした値

・CR22の場合

不定値

(b) キャプチャ後のクリア動作（8ビット・タイマ／カウンタ1，2のみ）

誤検出したエッジでは，クリア動作は行いません。しかし，エッジの誤検出後，タイマ／カウンタの値とコンペア・レジスタの値とは無関係なタイミングでタイマ／カウンタの値とコンペア・レジスタの値が一致したときの割り込みの要求が発生します。この割り込みの発生タイミングは，タイマ／カウンタがクリアされたと仮定したときのタイミングとなります(図**8－147**参照)。

タイマ／カウンタ1のタイマ／カウンタの値とコンペア・レジスタの値の一致をリアルタイム出力ポートの出力トリガとしている場合は，このずれたタイミングがリアルタイム出力ポートの出力トリガとなります。

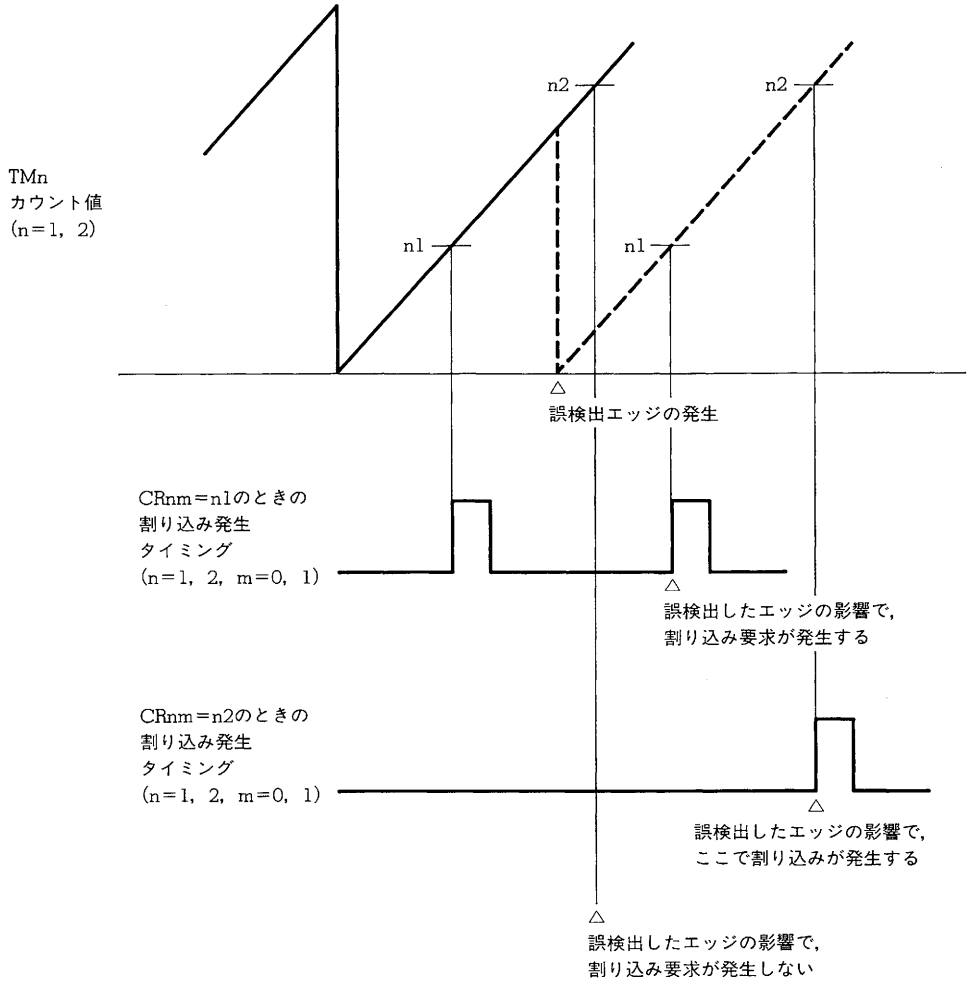
タイマ／カウンタ2のタイマ出力機能は，正しいタイミングで動作します（誤検出したエッジの影響を受けません)。この割り込み発生タイミングのずれは，次の動作で解消されます。

・正常なエッジによるクリア動作

・タイマ・コントロール・レジスタ1（TMC1）の該当するタイマ／カウンタのCEn（n＝1，2）ビットをクリア（0）する

保守／廃止

図8－147　誤検出したエッジによる割り込み発生タイミングの変化



8

(c) イベント・カウンタ機能（タイマ／カウンタ2のみ）

誤検出したエッジでは，タイマ／カウンタの値は変化しません。しかし，タイマ／カウンタの値とコンペア・レジスタの値の一致による割り込み発生タイミングは，誤検出したエッジの数だけ速くなってしまいます。

タイマ出力機能は，正しいタイミングで動作します（誤検出したエッジの影響は受けません）。

この割り込み発生タイミングのずれは，次の動作で解消されます。

・キャプチャ後のクリア機能を使用している場合は，正常なエッジによるクリア動作

・タイマ／コントロール・レジスタ1（TMC1）のCE2ビットをクリア（0）する。

保守／廃止

保守／廃止

第９章　A/Dコンバータ

μPD78244は，８マルチプレクスト・アナログ入力（ANI0-ANI7）をもつアナログ／ディジタル（A/D）・コンバータを内蔵しています。

変換方式は逐次比較で，変換結果を８ビットのA/D変換結果レジスタ（ADCR）に保持します。このため，高速で高精度な変換を行います（変換時間30 μs：f_{CLK}＝6 MHzの場合）。

A/D変換動作の起動には，次のモードがあります。

○ハードウエア・スタート：トリガ入力（INTP5）により変換開始。
○ソフトウエア・スタート：A/Dコンバータ・モード・レジスタ(ADM)のビット設定により変換開始。

また，起動後の動作には，次のモードがあります。

○スキャン・モード：複数のアナログ入力を順次選択し，全端子からの変換データを得ます。
○セレクト・モード：アナログ入力を1端子に固定し，連続的な変換値を得ます。

以上のモードと変換動作の停止は，すべてADMで指定します。

なお，変換結果をADCRへ転送すると，割り込み要求INTADを発生します（ソフトウエア・スタートのセレクト・モードを除く）。このため，マクロ・サービスによって，変換値をメモリへ連続的に転送することができます。

表９－１　INTADを発生するモード

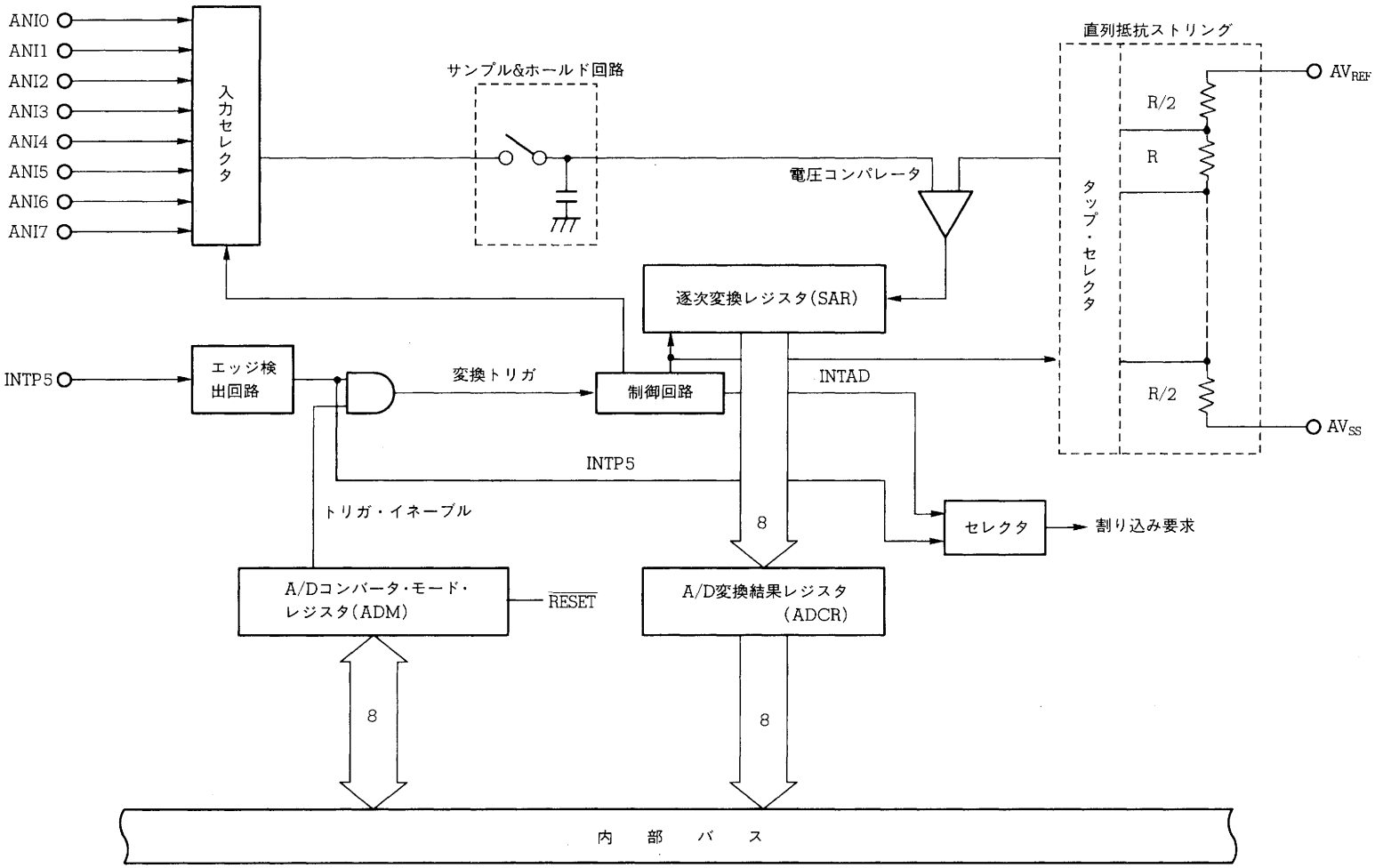
	スキャン・モード	セレクト・モード
ハードウエア・スタート	○	○
ソフトウエア・スタート	○	－

９.１　構　　成

A/Dコンバータは図９－１のように構成されています。

保守／廃止

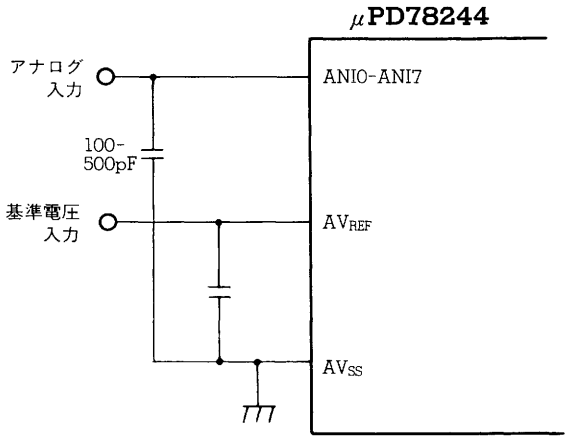
図9-1 A/Dコンバータのブロック図



保守／廃止

注意 1. アナログ入力端子（ANI0-ANI7）および基準電圧入力端子（AV_{REF}）には，ノイズによる誤動作を防ぐため，AV_{SS}との間にキャパシタを接続してください。

図9-2　A/Dコンバータ用端子のキャパシタ接続例



2. A/Dコンバータの入力端子として使用している端子には，AV_{SS}-AV_{REF}の範囲外の電圧が加わらないようにしてください。詳細については，9.6　注意事項を参照してください。

9

(1) 入力回路

入力回路は，A/Dコンバータ・モード・レジスタ（ADM）の指定によりアナログ入力を選択し，動作モードにしたがってアナログ入力をサンプル＆ホールド回路に送ります。

(2) サンプル＆ホールド回路

サンプル＆ホールド回路は，順次送られてくるアナログ入力を1つ1つサンプリングし，A/D変換中のアナログ入力を保持します。

(3) 電圧コンパレータ

電圧コンパレータは，アナログ入力と直列抵抗ストリングの電圧タップとの電圧差を比較します。

(4) 直列抵抗ストリング

直列抵抗ストリングは，アナログ入力と一致する電圧を発生させるためのものです。

直列抵抗ストリングは，A/Dコンバータ用の基準電圧端子（AV_{REF}）とA/Dコンバータ用のGND端子（AV_{SS}）間に接続されています。2端子間を256の等価な電圧ステップにするため，等価な抵抗255個とその1/2の抵抗値の抵抗2個で構成されています。

直列抵抗ストリングの電圧タップは，SARで制御されるタップ・セレクタによって選択します。

保守／廃止

(5) SAR (Successive Approximation Register)

SARは，直列抵抗ストリングの電圧タップの値がアナログ入力の電圧値と一致するデータを，最上位ビット（MSB）から1ビットずつ設定する8ビット・レジスタです。

SARの最下位ビット（LSB）まで設定すると（A/D変換終了），そのSARの内容（変換結果）は，A/D変換結果レジスタ（ADCR）に保持されます。

(6) ADCR(A/D Conversion Result Register)

ADCRは，A/D変換結果を保持する8ビット・レジスタです。A/D変換が終了するたびに，SARから変換結果がロードされます。

$\overline{\text{RESET}}$入力により不定となります。

(7) エッジ検出回路

エッジ検出回路は，割り込み要求入力端子（INTP5）の入力から有効エッジを検出して，外部割り込み要求信号（INTP5）とA/D変換動作の外部トリガを発生します。

INTP5端子入力の有効エッジは，外部割り込みモード・レジスタ1（INTM1）で指定します（図**12-2**参照）。外部トリガの許可／禁止は，ADMレジスタで設定します（**9.2**参照）。

保守／廃止

9.2　A/Dコンバータ・モード・レジスタ（ADM）

ADMは，A/Dコンバータの動作を制御する８ビット・レジスタです。

８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。図９-３にADMのフォーマットを示します。

ビット０（MS）は，動作モードを制御するビットです。

ビット１，２，３（ANI0，1，2）は，A/D変換するアナログ入力を選択するビットです。

ビット６（TRG）は，A/D変換動作の外部同期を許可するビットです。CSビットがセット(1)時，TRGビットをセット(1)すると，INTP5端子に外部トリガとして有効エッジを入力するごとに変換動作を初期化します。TRGビットをリセット(0)すると，INTP5端子入力に関係なく変換動作を行います。

ビット７（CS）は，A/D変換動作を制御するビットです。CSビットをセット(1)すると変換動作を開始し，リセット(0)すると，変換中であってもすべての変換動作を中止します。このとき，ADCRレジスタの更新，INTPAD割り込み要求は発生しません。また，電圧コンパレータへの電源供給を停止し，A/Dコンバータでの消費電力を減らします。

$\overline{\text{RESET}}$入力により00Hとなります。

注意　STOPモードを使用する場合は，STOPモードに入る前にCSビットをリセット(0)して消費電流が下がるようにしてください。CSビットがセット(1)されたままだと，STOPモードに入っても変換動作は止まりますが，電圧コンパレータへの電源供給は止まりませんので，A/Dコンバータでの消費電流は減りません。

保守／廃止

図9-3　A/Dコンバータ・モード・レジスタ（ADM）のフォーマット

	⑦	6	5	4	3	2	1	0
ADM	CS	TRG	0	FR	ANIS2	ANIS1	ANIS0	MS

ANIS2	ANIS1	ANIS0	MS	A/D変換動作モードの指定	
0	0	0	0	スキャン・モード	ANI0入力をスキャン
0	0	1	0		ANI0, ANI1入力をスキャン
0	1	0	0		ANI0-ANI2入力をスキャン
0	1	1	0		ANI0-ANI3入力をスキャン
1	0	0	0		ANI0-ANI4入力をスキャン
1	0	1	0		ANI0-ANI5入力をスキャン
1	1	0	0		ANI0-ANI6入力をスキャン
1	1	1	0		ANI0-ANI7入力をスキャン
0	0	0	1	セレクト・モード	ANI0入力をセレクト
0	0	1	1		ANI1入力をセレクト
0	1	0	1		ANI2入力をセレクト
0	1	1	1		ANI3入力をセレクト
1	0	0	1		ANI4入力をセレクト
1	0	1	1		ANI5入力をセレクト
1	1	0	1		ANI6入力をセレクト
1	1	1	1		ANI7入力をセレクト

FR	変換速度制御	
0	$180/f_{CLK}$ 注	$f_{CLK}>4$ MHz
1	$120/f_{CLK}$ 注	$f_{CLK}\leqq 4$ MHz

TRG	外部端子トリガの制御
0	外部トリガ禁止
1	外部トリガ許可

CS	A/D変換動作制御
0	A/D変換動作停止
1	A/D変換動作開始

注　f_{CLK}：システム・クロック周波数

保守／廃止

9.3 動　　作

9.3.1 A/Dコンバータの基本動作

(1) A/D変換動作手順

A/D変換は，次のような手順で行います。

(a) A/Dコンバータ・モード・レジスタ（ADM）によって設定された動作モードに従って，アナログ入力端子（ANI0－ANI7）のうち1端子を入力セレクタにより選択します。

(b) 入力セレクタにより選択されたアナログ入力端子に入力されている電圧をサンプル＆ホールド回路でサンプリングします。

(c) 一定時間サンプリングを行うと，サンプル＆ホールド回路はホールド状態になり，入力されたアナログ電圧をA/D変換が終了するまで保持します。

(d) SARのビット7をセットし，タップ・セレクタは，直列抵抗ストリングの電圧タップを$\frac{255}{512}AV_{REF}$（$\fallingdotseq \frac{1}{2}AV_{REF}$）にします。

(e) 直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし，アナログ入力が(1/2) AV_{REF}よりも大きければ，SARのMSBをセットしたままです。また，もし(1/2)AV_{REF}よりも小さければ，MSBをリセットします。

(f) 次にSARのビット6が自動的にセット(1)され，次の比較に移ります。ここではすでに結果がセットされているビット7の値によって，次に示すように直列抵抗ストリングの電圧タップが選択されます。

・ビット7＝1……$\frac{383}{512}AV_{REF} \fallingdotseq \frac{3}{4}AV_{REF}$

・ビット7＝0……$\frac{127}{512}AV_{REF} \fallingdotseq \frac{1}{4}AV_{REF}$

この電圧タップとアナログ入力電圧を比較し，その結果でSARのビット6が次のように操作されます。

アナログ入力電圧≧電圧タップ：ビット6＝1

アナログ入力電圧＜電圧タップ：ビット6＝0

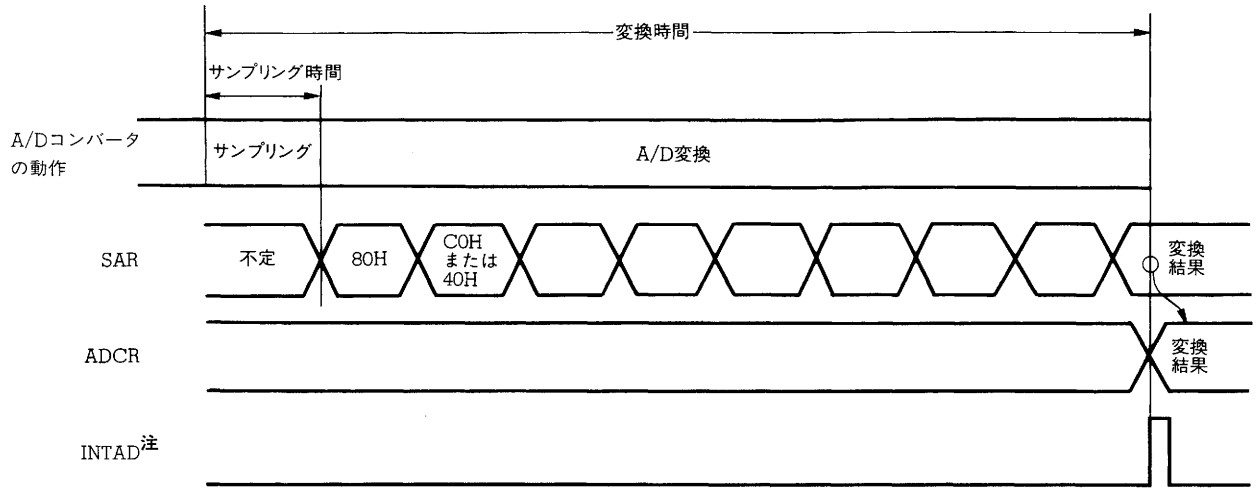
(g) このような比較をSARの最下位ビット（ビット0）まで続けます（バイナリ・サーチ法）。

(h) 8ビットの比較が終了したとき，SARには有効なディジタルの結果が残り，その値がADCRレジスタに転送され，ラッチされます。

同時に，A/D変換終了割り込み要求（INTAD）を発生させることができます（ソフトウエア・スタートのセレクト・モード時を除く）。このINTADをベクタ割り込みかマクロ・サービス（後述）として処理してください。

保守／廃止

図9－4　A/Dコンバータの基本動作



注　ソフトウエア・スタートのセレクト・モード時を除く

A/D変換動作は，ソフトウエアによりCSビットをリセット（0）するまで連続的に行われます。

A/D変換動作中に，ADMレジスタに対する書き込み操作を行うと変換動作は初期化され，CSビットがセット（1）されていれば，最初から変換を開始します。

ADCRレジスタは，$\overline{\text{RESET}}$により不定となります。

(2) 入力電圧と変換結果

アナログ入力端子（ANI0-ANI7）に入力されたアナログ入力電圧とA/D変換結果（ADCRに格納された値）には次式に示す関係があります。

$$ADCR = INT\left(\frac{V_{IN}}{AV_{REF}} \times 256 + 0.5\right)$$

または，

$$(ADCR - 0.5) \times \frac{AV_{REF}}{256} \leqq V_{IN} < (ADCR + 0.5) \times \frac{AV_{REF}}{256}$$

備考　INT(　)　：(　)内の値の整数部を返す関数

V_{IN}　：アナログ入力電圧

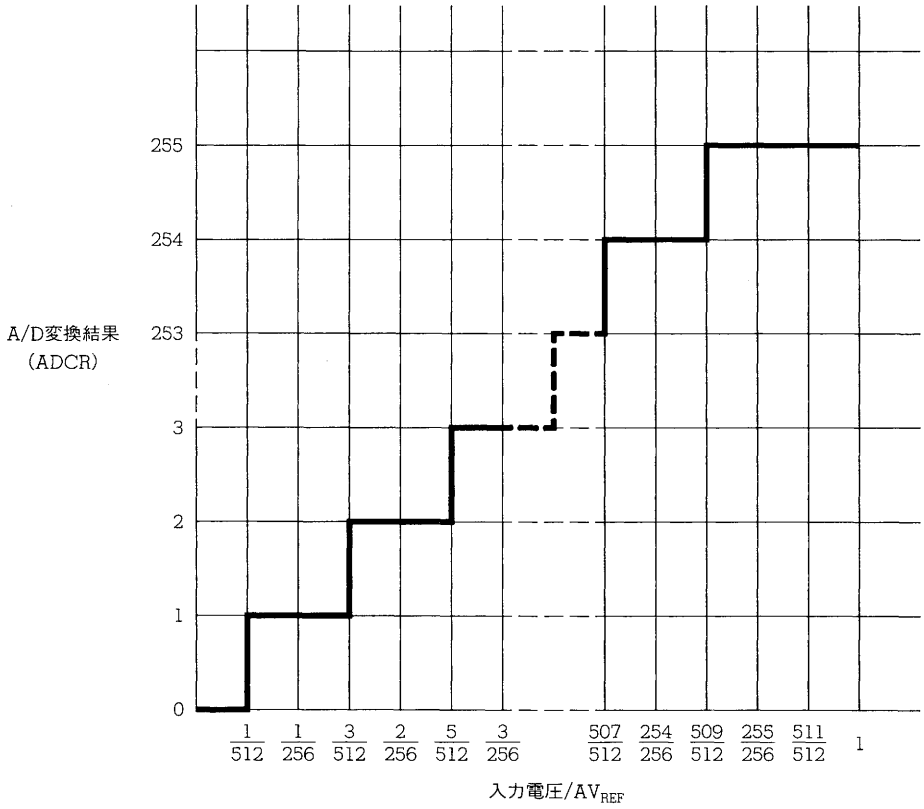
AV_{REF}　：AV_{REF}端子電圧

ADCR　：ADCRレジスタの値

図9－5にアナログ入力電圧とA/D変換結果の関係を図示します。

保守／廃止

図９－５　アナログ入力電圧とA/D変換結果の関係



(3) A/D変換の変換時間

A/D変換の変換時間は，システム・クロック周波数（f_{CLK}）とADMレジスタのFRビットによって決定されます。A/D変換結果の精度を一定以上に保つためには，FRビットはシステム・クロック周波数によって表９－２に示す値に設定しなければなりません。

A/D変換時間は，1回のA/D変換に必要なすべての時間を含んでおり，サンプリング時間も変換時間に含まれます。

表９－２に，その値を示します。

表９－２　A/D変換時間

システム・クロック (f_{CLK})の範囲	FRビット	変換時間	サンプリング時間
4 MHz＜f_{CLK}≦6 MHz	0	$180/f_{CLK}$ (30 μs－45 μs)	$36/f_{CLK}$ (6 μs－9 μs)
2 MHz≦f_{CLK}≦4 MHz	1	$120/f_{CLK}$ (30 μs－60 μs)	$24/f_{CLK}$ (6 μs－12 μs)

保守／廃止

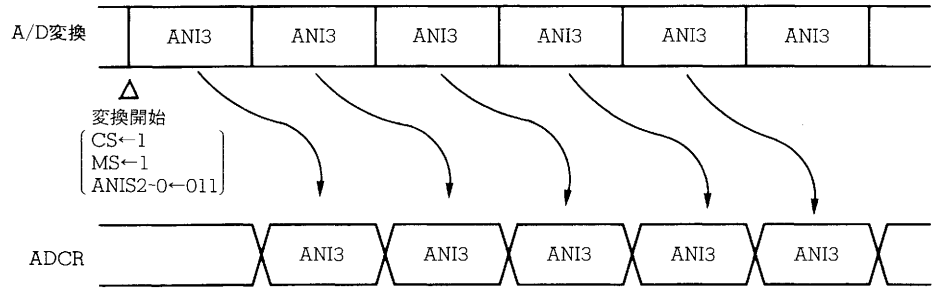
9.3.2　セレクト・モード

ADMレジスタのビット１-３(ANIS0-2)により１つのアナログ入力を指定し，指定されたアナログ入力端子のA/D変換を繰り返します。変換結果をA/D変換結果レジスタ（ADCR）に格納します。

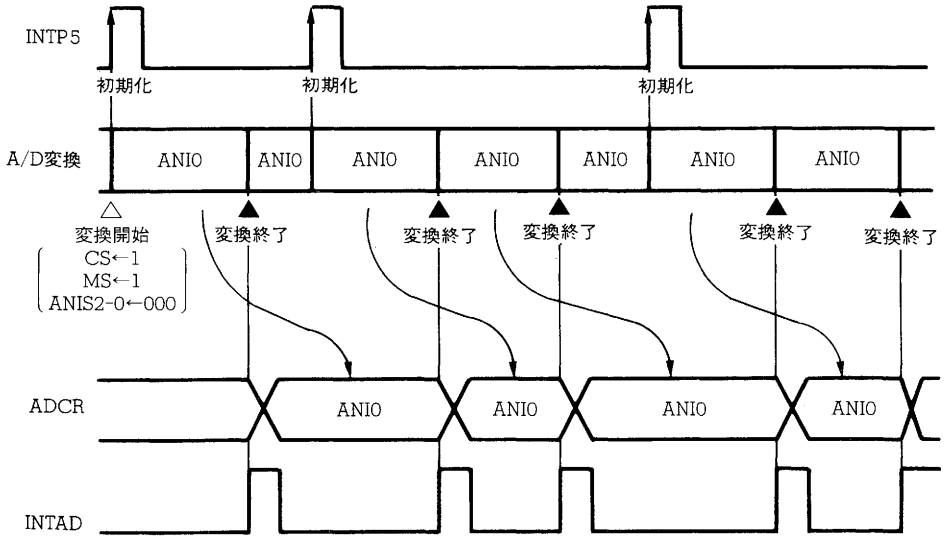
なお，このとき，ADMレジスタのビット６(TRG)がセットされていて，外部トリガが許可されている場合は，A/D変換終了割り込み要求（INTAD）を発生します。

図９-６　セレクト・モードの動作タイミング

(a) TRGビット←0



(b) TRGビット←1



保守／廃止

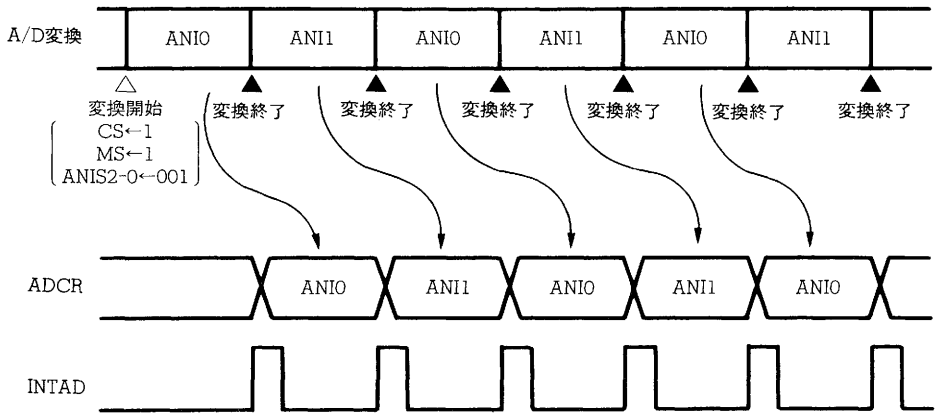
9.3.3　スキャン・モード

A/Dコンバータ・モード・レジスタ（ADM）のビット1-3（ANIS0-ANIS2）により指定されたアナログ入力端子からの入力を順に選択し変換します。

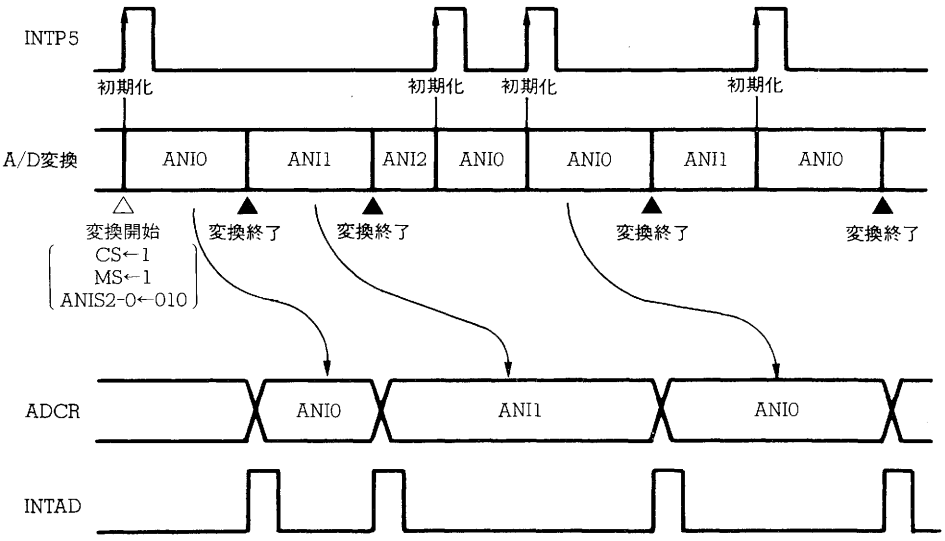
たとえば，ADMレジスタのANIS2-ANIS0＝001のときはANI0とANI1が繰り返しスキャン（ANI0→ANI1→ANI0→ANI1→…）されます。スキャン・モードでは各入力の変換動作が終了するごとに，変換値はADCRレジスタに格納され，A/D変換終了割り込み要求（INTAD）を発生します。

図9-7　スキャン・モードの動作タイミング

(a) TRGビット←0



(b) TRGビット←1



保守／廃止

注意1. A/Dコンバータのスキャン・モード使用時に，A/D変換結果の読み出しをベクタ割り込みで行っている場合，他の割り込み処理などによって，A/D変換終了割り込みが，長時間(FRビットが0の場合，180クロック，FRビットが1の場合，120クロック以上)保留されると変換結果を取りこぼしてしまいます。この変換結果の取りこぼしをソフトウエア的に検出することは困難です。したがって，変換結果の取りこぼしが発生しないよう，次のような対策を採ってください。

- ●他の割り込み処理時間をA/D変換の時間に対して十分短くする
- ●多重割り込みを使用して，他の割り込み処理中でもA/D変換終了割り込みを受け付けるようにする
- ●A/D変換終了割り込みをマクロ・サービスで行うようにする

また，他の割り込みだけでなく，割り込みを保留する要因として，「13.3.5　割り込み要求およびマクロ・サービスが一時的に保留される場合」に示す場合がありますので，その点についても留意してください。

なお，上記対策のうち，マクロ・サービスを使用する方法が，一番簡単だと考えます。

2. A/Dコンバータのスキャン・モード使用時に，割り込みに関するレジスタなどの設定後に，ADMレジスタの設定を行った場合，不要な割り込みが発生することがあり，そのため変換結果の格納アドレスがずれたように見えます。したがって，次の手順で行うことをお勧めします。

- ●割り込みマクロ・サービスなどの初期設定（割り込みマスク・フラグまたは割り込みサービス・モード・フラグの設定）
- ●ADMレジスタへの書き込み
- ●割り込み要求フラグ（PIF5）のリセット(0)
- ●割り込みマスク・フラグまたは，割り込みサービス・モード・フラグの設定

保守／廃止

9.3.4　ソフトウエア・スタートによるA/D変換動作の起動

ソフトウエアによるA/D変換動作のスタートは，ADMレジスタのTRGビットを0，CSビットを1とする値をADMレジスタへ書き込むことで行います。

A/D変換動作中（CSビット＝1）に，再度TRGビットが0でCSビットが1になるような値をADMレジスタに書き込むと，そのとき行っていたA/D変換動作を中断し，書き込まれた値に応じたA/D変換をただちに開始します。

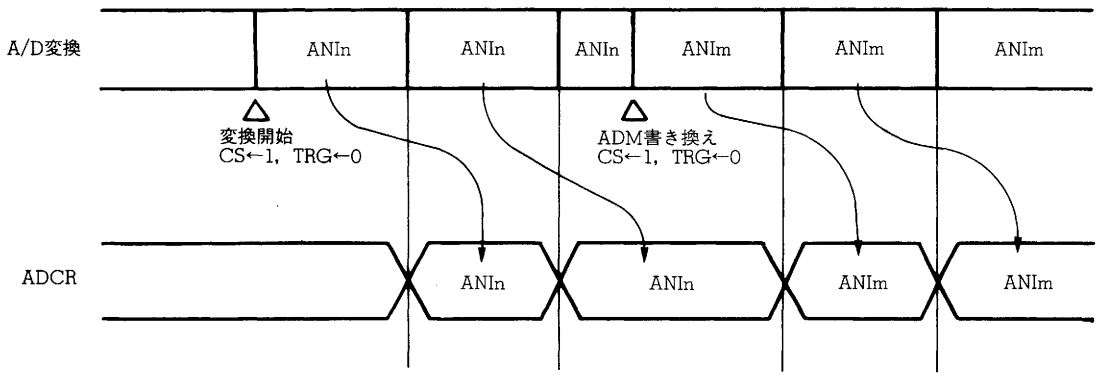
A/D変換動作が一度起動されると，1回のA/D変換動作が終了するとただちにADMレジスタで設定された動作モードに従って，次のA/D変換動作を開始し，ADMレジスタに対する書き込み命令が実行されるまで繰り返し変換動作を続けます。

ソフトウエアによってA/D変換動作が起動された場合（TRGビット＝0）は，INTP5（P26端子）入力は，A/D変換動作に影響を与えません。

(1) セレクト・モードのA/D変換動作の場合

ADMレジスタで設定されたアナログ入力端子のA/D変換動作を起動します。A/D変換動作が終了すると，再度，同一アナログ入力端子のA/D変換動作を行います。A/D変換動作が終了しても割り込み要求INTADは発生しません。

図9－8　ソフトウエア・スタートによるセレクト・モードのA/D変換動作



備考　n＝0，1，…，7

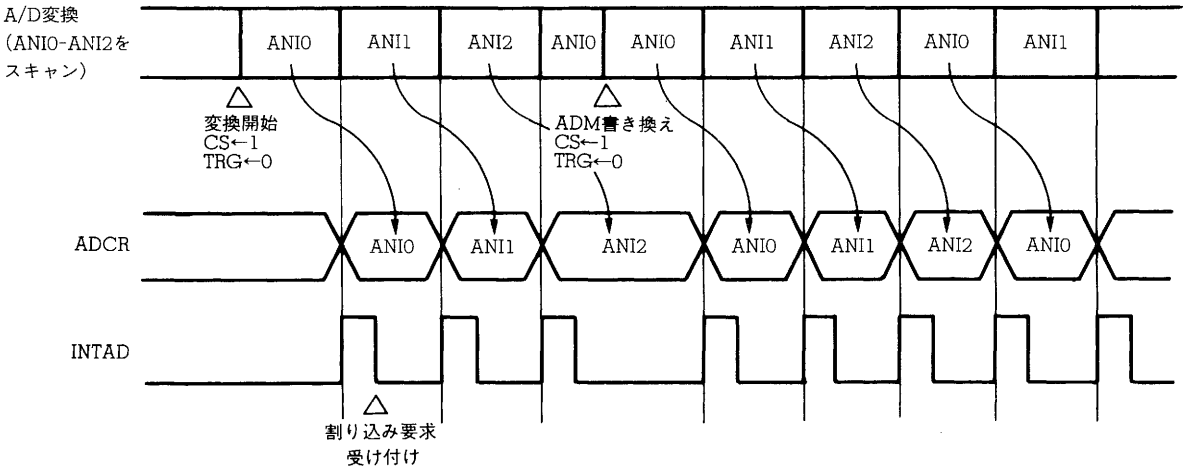
m＝0，1，…，7

保守／廃止

(2) スキャン・モードのA/D変換動作の場合

変換動作が起動されるとANI0端子入力のA/D変換動作を開始します。A/D変換動作が終了すると，次のアナログ入力端子のA/D変換動作を開始します。また，A/D変換動作が終了するたびに，割り込み要求INTADを発生します。

図９－９　ソフトウエア・スタートによるスキャン・モードのA/D変換動作



保守／廃止

9.3.5　ハードウエア・スタートによるA/D変換動作の起動

ハードウエアによるA/D変換動作の起動は，ADMレジスタのTRGビットを1，CSビットを1とすることで可能となります。ADMレジスタのTRGビットを1，CSビットを1とすると外部信号の待機状態になり，INTP5端子（P26端子）に有効エッジが入力されるとA/D変換動作が起動されます。

A/D変換動作がINTP5端子に入力された有効エッジによって起動された後に，再度INTP5端子に有効エッジが入力されると，そのとき行っていたA/D変換動作を中断し，ADMレジスタに設定されている内容に従ったA/D変換動作を最初から行います。

また，A/D変換動作中（CSビット＝1）に，再度TRGビットが1，CSビットが1になるような値をADMレジスタに書き込むと，そのとき行っていたA/D変換動作を中断し（待機状態も中断されます），書き込まれた値に応じたA/D変換動作モードでINTP5端子に有効エッジが入力されるのを待つ待機状態になり，有効エッジが入力されると変換動作を起動します。

本機能を使用することにより，外部信号に同期したA/D変換動作を行うことができます。

A/D変換動作が一度起動されると，1回のA/D変換が終了すると，ただちにADMレジスタで設定された動作モードに従って，次のA/D変換動作を開始します（INTP5端子入力を待ちません）。ADMレジスタに対する書き込み命令が実行されるか，INTP5端子に有効エッジが入力されるまで繰り返し変換動作を行います。

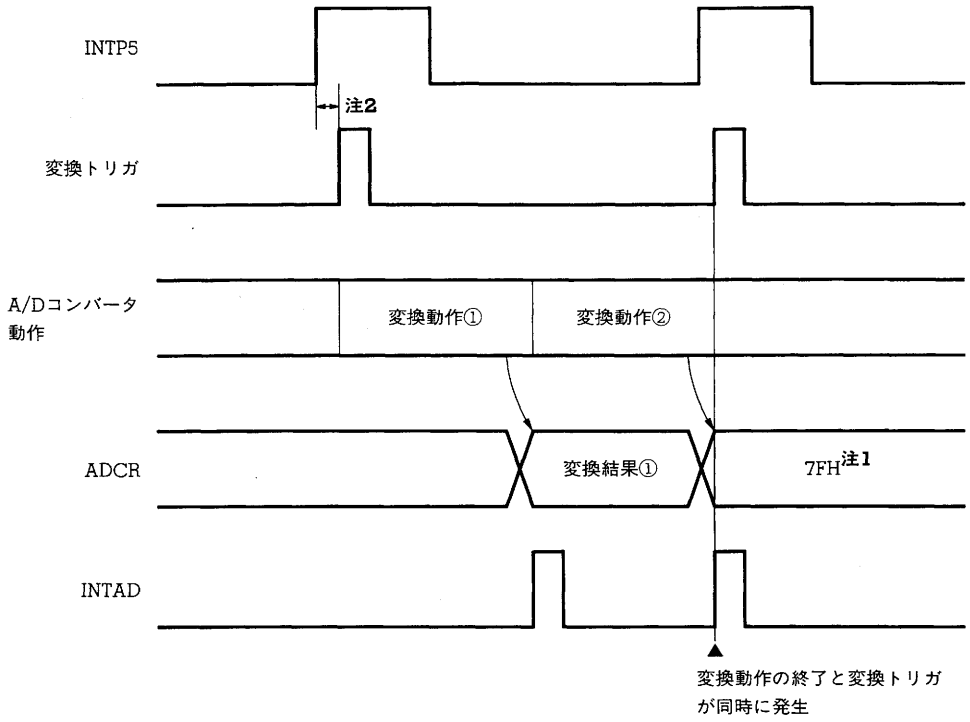
9

注意1．INTP5端子に有効エッジが入力されてから実際にA/D変換動作を開始するまでに8-12システム・クロックが必要です。設計の際には，この遅れ時間について考慮してください。エッジ検出機能の詳細については，第12章　エッジ検出機能を参照ください。

2．ハードウエア・スタートによるA/D変換動作の起動を使用している場合で，INTP5端子に有効エッジが入力され，A/D変換動作を行っているときに，再度，INTP5端子に有効エッジが入力されるとA/Dコンバータが誤動作する可能性があります。誤動作が発生するのは，1回のA/D変換が終了して，変換結果をA/D変換結果レジスタ（ADCR）へ格納しようとするときに，INTP5端子に有効エッジが入力された場合です。このとき，A/D変換終了割り込み（INTAD）は発生しますが，ADCRレジスタに格納される値は，変換結果ではなく，必ず7FHが格納されます（図9-10参照）。

保守／廃止

図9－10　ハードウエア・スタートによるA/D変換の誤動作の例



注1．正しくは変換動作②の変換結果が格納されるが，誤動作により7FHとなる。

2．INTP5端子入力が変化してから有効エッジと判定されるまでの時間。詳細は**第12章　エッジ検出機能**参照。

この不具合を回避するには，ハードウエア・スタートにより必要なA/D変換を行ったあとに，A/Dコンバータ・モード・レジスタ（ADM）を再設定する必要があります。
この不具合は，インサーキット・エミュレータでも同様に発生します。

注意3．インサーキット・エミュレータでは，INTP5端子のディジタル・ノイズ除去を正常に行うことができません。ハードウエア・スタートによるA/D変換の起動を選択している場合，誤検出したエッジに従ってA/D変換を起動してしまいます。この点に注意して使用してください。
エッジの誤検出についての詳細は，第12章　エッジ検出機能の注意事項を参照してください。

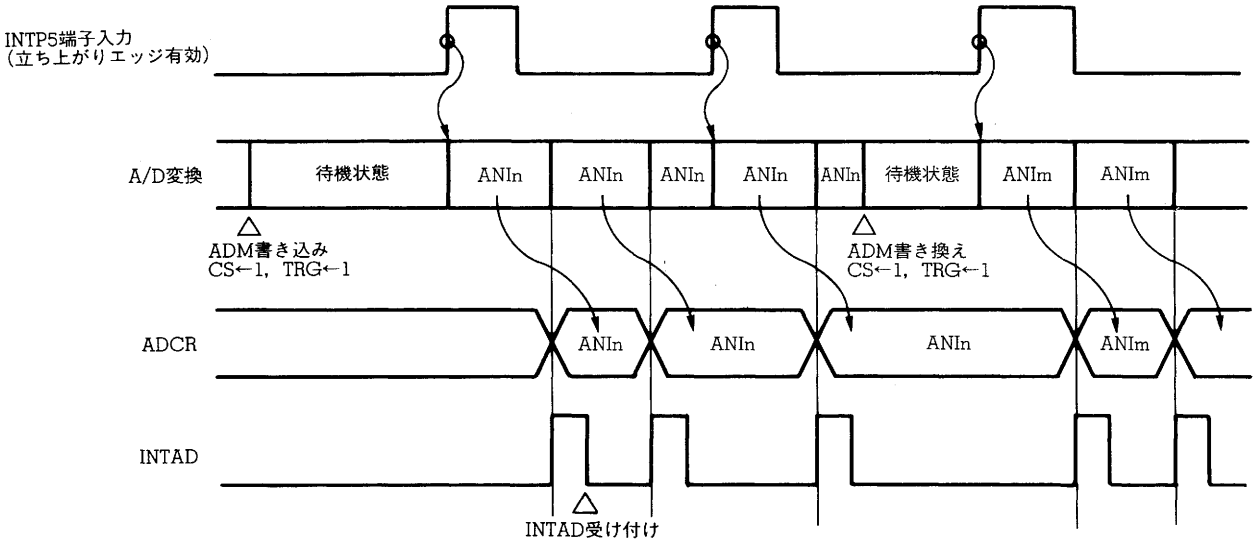
保守／廃止

(1) セレクト・モードのA/D変換動作の場合

ADMレジスタを設定されたアナログ入力端子のA/D変換動作を起動します。A/D変換動作が終了すると，再度，同一アナログ入力端子のA/D変換動作をただちに行います。また，A/D変換動作が終了するたびに，割り込み要求INTADを発生します。

A/D変換動作中にINTP5端子に有効エッジが入力されると，そのとき行っていたA/D変換動作を一度中断して，新たにA/D変換動作を開始します。

図９－11　ハードウエア・スタートによるセレクト・モードのA/D変換動作



備考　n＝0，1，…7

m＝0，1，…7

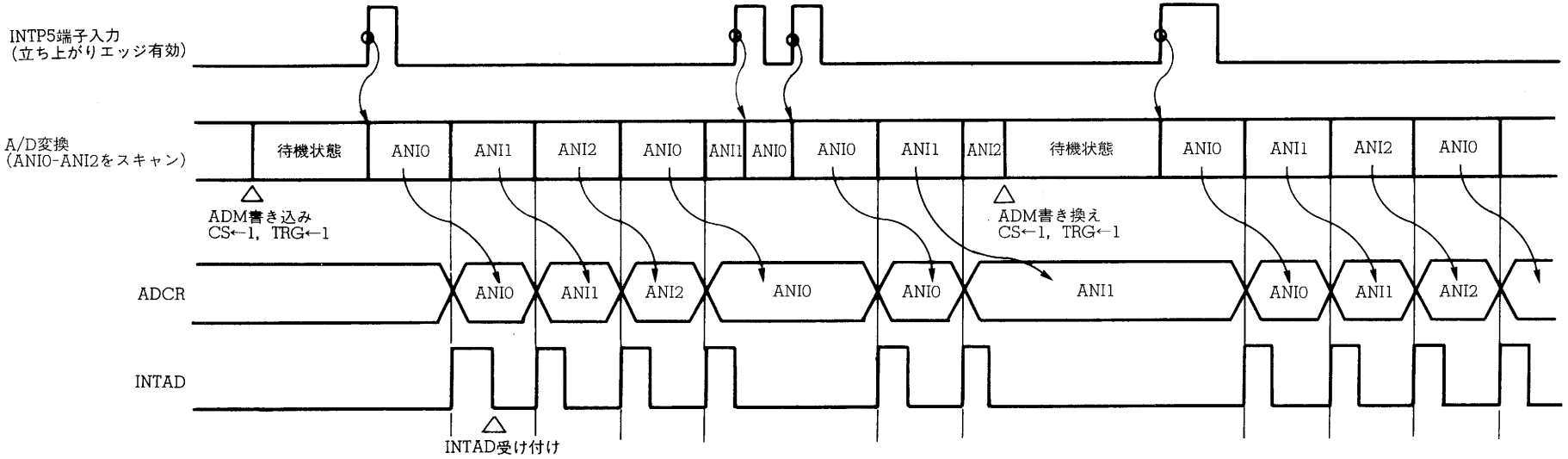
(2) スキャン・モードのA/D変換動作の場合

変換動作が起動されるとANI0端子入力のA/D変換動作を開始します。A/D変換動作が終了すると，次のアナログ入力端子のA/D変換動作を開始します。また，A/D変換動作が終了するたびに割り込み要求INTADを発生します。

A/D変換動作中にINTP5端子に有効エッジが入力されると，そのときに行っていたA/D変換動作を中断し，ANI0端子入力のA/D変換動作からを新たに開始します。

保守／廃止

図9－12　ハードウエア・スタートによるスキャン・モードのA/D変換動作



保守／廃止

9.4　A/Dコンバータの割り込み要求

A/Dコンバータは，セレクト・モードの場合を除いてA/D変換終了ごとに，A/D変換終了割り込み要求（INTAD）を発生します。

INTADに対応する各種の割り込み制御フラグは，外部割り込み要求INTP5に対応する各種割り込み制御フラグと共用になっています。したがって，ADMレジスタの指定によるA/Dコンバータの動作状態によって，割り込み要求発生のタイミングが異なり表9-3のようになります。

INTADによる割り込み処理の制御はINTP5と同様に各割り込み制御レジスタの設定で行います。詳しくは**第13章　割り込み機能**を参照してください。

表9-3　A/Dコンバータの各動作状態における割り込み要求発生条件

A/Dコンバータ動作	割り込み要求フラグ	マスク・フラグ	割り込み要求	割り込み要求発生条件
停止時	PIF5	PMK5	INTP5	INTP5端子への有効エッジ入力
スキャン・モード			INTAD	A/D変換終了
セレクト・モード			INTP5	INTP5端子への有効エッジ入力
ハードウエア・スタートのA/D変換			INTAD	A/D変換終了

9

9.5　ANI6，ANI7使用時の設定

ANI6，ANI7を使用する場合，次のような設定をしてください。

(1) ANI6使用時

- 内部ウエイトを指定（MMレジスタとPWレジスタによる）
- P66を入力ポートに設定（PM66＝1）
- 内部プルアップせず（PUO6＝0）

(2) ANI7使用時

- リフレッシュ機能禁止（RFEN＝0）
- P67を入力ポートに設定（PM67＝1）
- 内部プルアップせず（PUO6＝0）

保守／廃止

9.6　注意事項

(1) アナログ入力端子に印加する電圧範囲について

A/Dコンバータの入力端子ANI0-ANI7(P66, P67, P70-P75)には，次のような注意事項があります。

- A/D変換動作中は，A/D変換の対象となっている端子には，AV_{SS}-AV_{REF}の範囲外の電圧を印加しないでください。

上記注意事項を守らない場合には，μPD78244が破壊する可能性があります。

(2) ハードウエア・スタートのA/D変換について

(a) INTP5端子に有効エッジが入力されてから実際にA/D変換動作を開始するまでに8－12システム・クロックが必要です。設計の際には，この遅れ時間について考慮してください。エッジ検出機能の詳細については，**第12章　エッジ検出機能**を参照してください。

(b) インサーキット・エミュレータでは，INTP5端子のディジタル・ノイズ除去を正常に行うことができません。ハードウエア・スタートによるA/D変換の起動を選択している場合，誤検出したエッジに従ってA/D変換を起動してしまいます。この点に注意して使用してください。

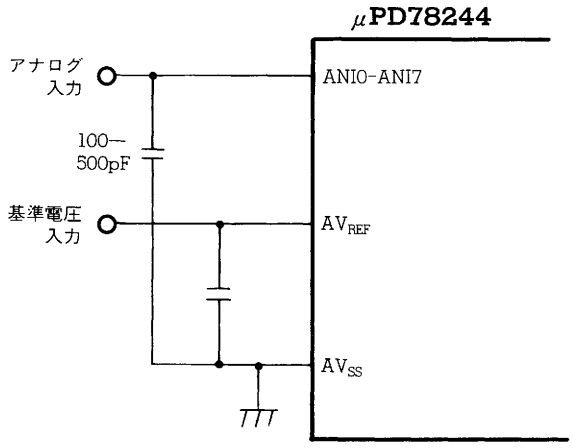
エッジの誤検出についての詳細は，**第12章　エッジ検出機能の12.4　注意事項**を参照してください。

保守／廃止

(3) アナログ入力端子に接続するコンデンサについて

アナログ入力端子（ANI0－ANI7）および基準電圧入力端子（AV_{REF}）には，ノイズによる誤動作を防ぐため，AV_{SS}との間にキャパシタを接続してください。

図9－13　A/Dコンバータ用端子のキャパシタ接続例



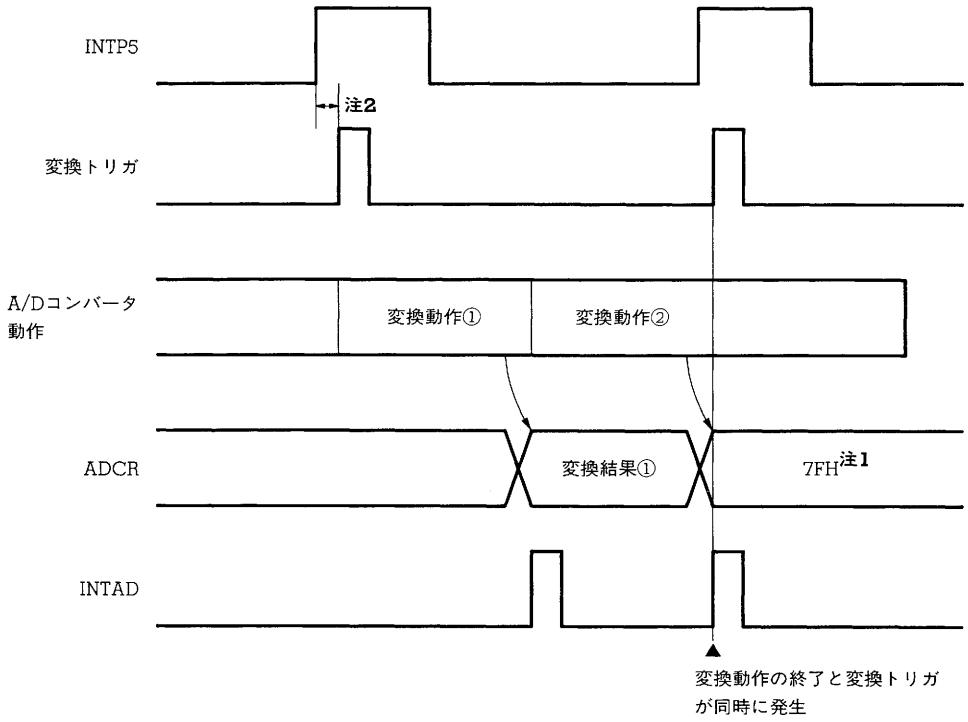
9

(4) STOPモードを使用する場合は，STOPモードに入る前にCSビットをリセット(0)して消費電流が下がるようにしてください。CSビットがセット(1)されたままだと，STOPモードに入っても変換動作は止まりますが，電圧コンパレータへの電流供給は止まりませんので，A/Dコンバータでの消費電流は減りません。

(5) ハードウエア・スタートによるA/D変換動作の起動を使用している場合で，INTP5端子に有効エッジが入力され，A/D変換動作を行っているときに，再度，INTP5端子に有効エッジが入力されるとA/Dコンバータが誤動作する可能性があります。誤動作が発生するのは，1回のA/D変換が終了して，変換結果をA/D変換結果レジスタ（ADCR）へ格納しようとするときに，INTP5端子に有効エッジが入力された場合です。このとき，A/D変換終了割り込み（INTAD）は発生しますが，ADCRレジスタに格納される値は，変換結果ではなく，必ず7FHが格納されます（図9－14参照）。

保守／廃止

図9－14　ハードウエア・スタートによるA/D変換の誤動作の例



注1. 正しくは変換動作②の変換結果が格納されるが，誤動作により7FHとなる。

2. INTP5端子入力が変換してから有効エッジと判定されるまでの時間。詳細は**第12章　エッジ検出機能**参照。

本不具合を回避するには，ハードウエア・スタートにより必要なA/D変換を行ったあとに，A/Dコンバータ・モード・レジスタ（ADM）を再設定する必要があります。

本不具合は，インサーキット・エミュレータでも同様に発生します。

(6) A/Dコンバータのスキャン・モード使用時に，A/D変換結果の読み出しをベクタ割り込みで行っている場合，他の割り込み処理などによって，A/D変換終了割り込みが，長時間（FRビットが0の場合，180クロック，FRビットが1の場合，120クロック以上）保留されると変換結果を取りこぼしてしまいます。この変換結果の取りこぼしをソフトウエア的に検出することは困難です。したがって，変換結果の取りこぼしが発生しないよう，次のような対策を採ってください。

- 他の割り込み処理時間をA/D変換の時間に対して十分短くする
- 多重割り込みを使用して，他の割り込み処理中でもA/D変換終了割り込みを受け付けるようにする
- A/D変換終了割り込みをマクロ・サービスで行うようにする

保守／廃止

また，他の割り込みだけでなく，割り込みを保留する要因として，「**13.3.5　割り込み要求およびマクロ・サービスが一時的に保留される場合**」に示す場合がありますので，その点についても留意してください。

なお，上記対策のうち，マクロ・サービスを使用する方法が，一番簡単だと考えます。

(7) A/Dコンバータのスキャン・モード使用時に，割り込みに関するレジスタなどの設定後に，ADMレジスタの設定を行った場合，不要な割り込みが発生することがあります。次の手順で行うことをお勧めします。

- 割り込みマクロ・サービスなどの初期設定（割り込みマスク・フラグまたは割り込みサービス・モード・フラグの設定）
- ADMレジスタへの書き込み
- 割り込み要求フラグ（PIF5）のリセット(0)
- 割り込みマスク・フラグまたは，割り込みサービス・モード・フラグの設定

保守／廃止

保守／廃止

第10章　アシンクロナス・シリアル・インタフェース

アシンクロナス・シリアル・インタフェースとして，UART（Universal Asynchronous Receiver Transmitter）を内蔵しています。これは，スタート・ビットに続く１バイトのデータを送信する方式で全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており，広範囲な任意のボー・レートで通信できます。

また，ASCK端子への入力クロックを分周して，ボー・レートを定義することもできます。

さらに，８ビット・タイマ／カウンタ３でボー・レートを発生することもできます。

UART専用ボー・レート・ジェネレータを使用すると，MIDI規格のボー・レート（31.25 kbps）も得られます。

クロック同期式シリアル・インタフェースとは独立に動作します。

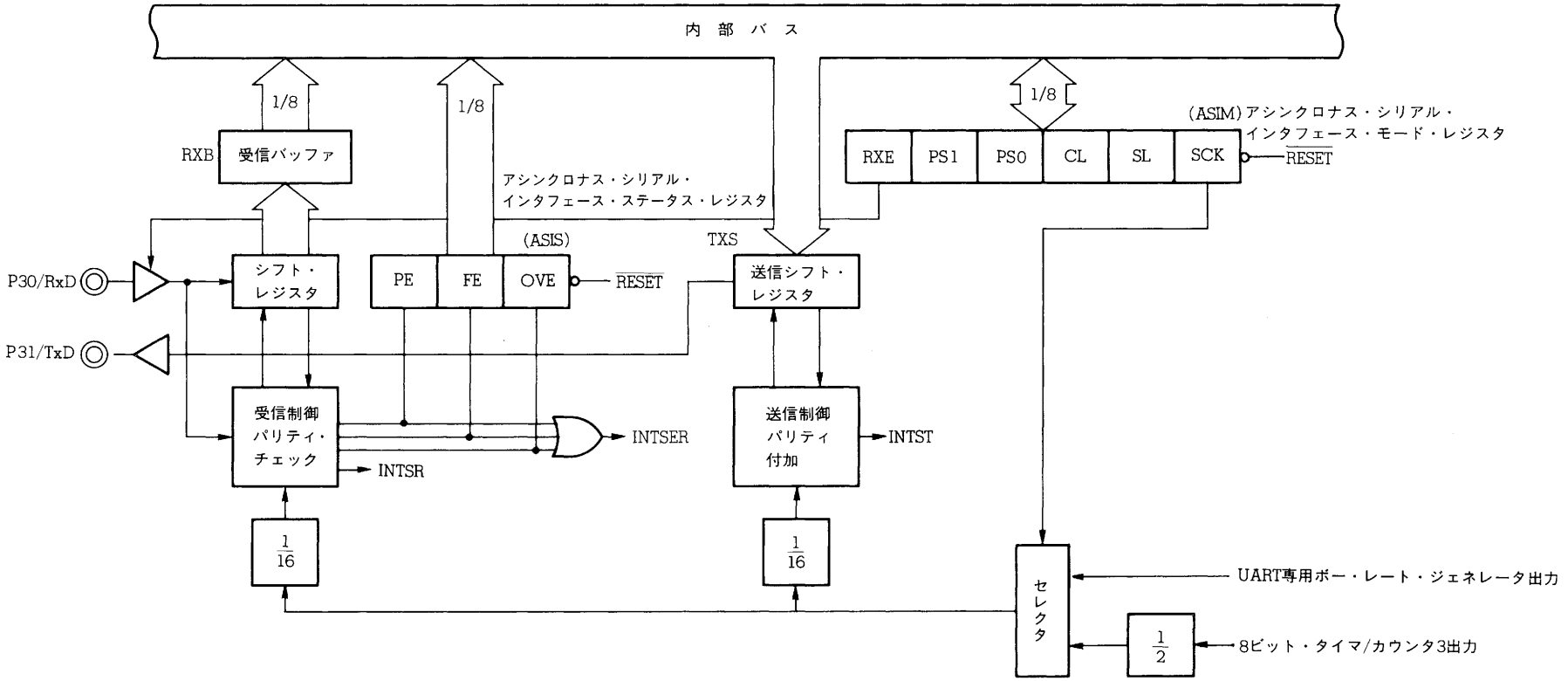
10.1　構　　成

アシンクロナス・シリアル・インタフェースの構成について説明します。

なお，専用ボー・レート・ジェネレータについては**10.4　ボー・レート・ジェネレータ**を参照してください。

保守／廃止

図 10－1　アシンクロナス・シリアル・インタフェースのブロック図



保守／廃止

(1) 受信バッファ（RXB）

受信データを保持するレジスタです。データを1バイト受信するごとにシフト・レジスタから受信データが転送されます。

データ長を7ビットに指定した場合は，受信データはRXBのビット0-6に転送され，RXBのMSBは必ず“0”になります。

8ビット操作命令で読み出しのみが可能です。$\overline{\text{RESET}}$入力により，RXBは不定となります。

(2) 送信シフト・レジスタ（TXS）

送信するデータを設定するレジスタです。TXSレジスタに書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合は，TXSレジスタに書き込んだデータのビット0-6が送信データとして扱われます。TXSレジスタに書き込みを行うと送信動作が開始します。送信動作中にTXSレジスタに書き込みを行ってはいけません。

8ビット操作命令により書き込みのみが可能です。$\overline{\text{RESET}}$入力により，TXSは不定となります。

(3) シフト・レジスタ

RxD端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信すると受信データを受信バッファへ転送します。

シフト・レジスタはCPUから直接操作することはできません。

(4) 受信制御パリティ・チェック

アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）に設定された内容に従って，受信動作を制御します。また，受信動作時にパリティ・エラーなどのエラー・チェックも行い，エラーが検出された場合は，エラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）にセットします。

(5) 送信制御パリティ付加

ASIMレジスタに設定された内容に従って，TXSレジスタに書き込まれたデータにスタート・ビット，パリティ・ビット，ストップ・ビットを付加するなどして，送信動作の制御を行います。

(6) セレクタ

ボー・レート用のクロックのソースを選択します。

保守／廃止

10.2　アシンクロナス・シリアル・インタフェース制御レジスタ

(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）

ASIMレジスタは，アシンクロナス・シリアル・インタフェースの動作を指定する８ビット・レジスタです。

８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図10－２に示します。

$\overline{\text{RESET}}$入力により80Hになります。

図10－２　アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のフォーマット

	7	⑥	5	4	3	2	1	0
ASIM	1	RXE	PS1	PS0	CL	SL	0	SCK

SCK	シリアル・クロックの指定
0	８ビット・タイマ/カウンタ3出力の1/2
1	ボー・レート・ジェネレータ出力

SL	送信データのストップ・ビットの指定
0	１ビット
1	２ビット

CL	送受信データのキャラクタ長の指定
0	７ビット
1	８ビット

PS1	PS0	送受信データのパリティ・ビットの指定
0	0	パリティなし
0	1	送信＝0パリティ付加 受信＝パリティ・エラーを発生しない
1	0	奇数パリティ
1	1	偶数パリティ

RXE	受信許可制御
0	受信禁止状態
1	受信許可状態

保守／廃止

注意1．送信動作中にはアシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）の書き換えは行わないでください。送信中にASIMレジスタの書き換えを行うと，それ以降の送信動作ができなくなる場合があります（$\overline{\text{RESET}}$入力により，正常になります）。送信中かどうかは，送信完了割り込み（INTST）またはINTSTによりセットされる割り込み要求フラグ（STIF）を用いて，ソフトウエアにより判断することができます。

2．受信動作中にASIMレジスタの書き換えを行うと，そのとき受信していたデータおよび，その次に受信するデータが不定になります。受信禁止にしてからモードを変更してください。

(2) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）

ASISレジスタは，受信エラー発生時のエラー内容を示すフラグの集合レジスタです。各フラグは，受信エラー発生時にセット(1)され，受信バッファ(RXB)からデータを読み出すことによってリセット(0)されます。また，新たに次のデータを受信すると，オーバラン・エラー・フラグ（OVE）がセット(1)され，その他のエラー・フラグはリセット(0)されます（次のデータにエラーがあれば，そのエラー・フラグがセット(1)されます）。

8ビット操作命令とビット操作命令で読み出しのみ可能です。そのフォーマットを図10－3に示します。

$\overline{\text{RESET}}$入力により00Hになります。

10

図10－3　アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）のフォーマット

	7	6	5	4	3	②	①	⓪
ASIS	0	0	0	0	0	PE	FE	OVE

オーバラン・エラー・フラグ

1	受信バッファからデータを読み出す前に次の受信が完了

フレーミング・エラー・フラグ

1	ストップ・ビットが検出されない

パリティ・エラー・フラグ

1	送信データのパリティ指定と受信データのパリティが一致しない

注意　受信エラー発生時にも，受信バッファ（RXB）は必ず読み出してください。RXBを読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。

保守／廃止

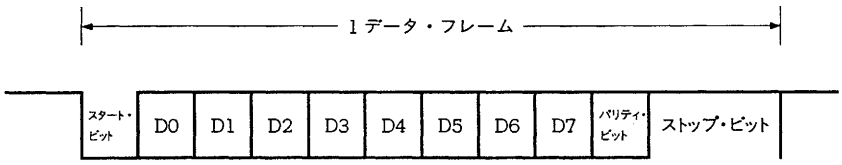
10.3　アシンクロナス・シリアル・インタフェースの動作

10.3.1　データ・フォーマット

送受信データのフォーマットは図10－4に示すとおり，スタート・ビット，キャラクタ・ビット，パリティ・ビット，ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定，パリティ選択，ストップ・ビット長の指定は，アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）によって行います。

図10－4　アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



・スタート・ビット……1ビット
・キャラクタ・ビット……7ビット／8ビット
・パリティ・ビット……偶数パリティ／奇数パリティ／0パリティ／パリティなし
・ストップ・ビット……1ビット／2ビット

キャラクタ・ビットとして7ビットを選択した場合，下位7ビット（ビット0－6）のみが有効となり，送信の場合は最上位ビット（ビット7）は無視され，受信の場合は必ず最上位ビット（ビット7）は“0”になります。

シリアルの転送レートは，アシンクロナス・シリアル・インタフェース・モード・レジスタとボー・レート・ジェネレータまたはタイマ／カウンタ3の設定により1.43 bps-93.75 kbpsから選択します。

また，シリアル・データの受信エラーが発生した場合，アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）の状態を読むことによって受信エラーの内容を判定することができます。

保守／廃止

10.3.2　パリティの種類と動作

パリティ・ビットは，通信データのビット誤りを検出するためのビットです。通常は，送信側と受信側のパリティ・ビットは同一の種類のものを使用します。偶数パリティと奇数パリティでは，1ビット(奇数個)の誤りを検出することができます。0パリティとパリティなしでは，誤りを検出することはできません。

・偶数パリティ

送信データ中の値が“1”のビットの数が奇数個の場合にパリティ・ビットを“1”にします。値が“1”のビットの数が偶数個の場合にはパリティ・ビットを“0”にします。これにより，送信データとパリティ・ビットの中に含まれる値が“1”のビット数が偶数個になるよう制御します。

受信時には，受信データとパリティ・ビットの中に含まれる値が“1”のビット数をカウントし，奇数個であった場合にパリティ・エラーを発生します。

・奇数パリティ

偶数パリティとは逆に，送信データとパリティ・ビットの中に含まれる値が“1”のビットを奇数個になるよう制御します。

受信時には，同様に受信データとパリティ・ビットの中に含まれる値が“1”のビットの数が偶数個であった場合にパリティ・エラーを発生します。

・0パリティ

送信時には，送信データによらずパリティ・ビットを“0”にします。

受信時には，パリティ・ビットの検査を行いません。したがって，パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

・パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。

保守／廃止

10.3.3 送　　信

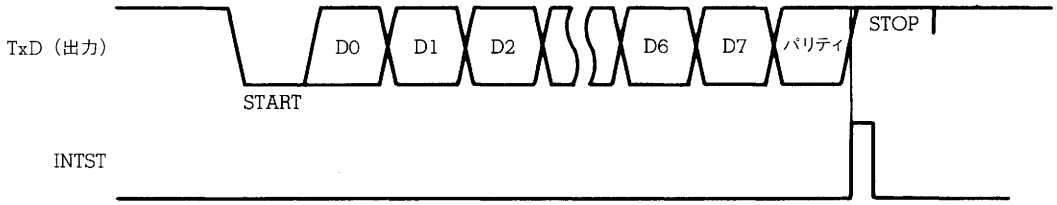
μPD78244のアシンクロナス・シリアル・インタフェースは，常に送信許可状態です。送信シフト・レジスタ(TXS) に送信データを書き込むことによって送信動作は起動します。スタート・ビット，パリティ・ビット，ストップ・ビットは自動的に付加されます。

送信動作の開始により，送信シフト・レジスタ (TXS) 内のデータがシフト・アウトされ，送信シフト・レジスタ (TXS) が空になると送信完了割り込み (INTST) が発生します。

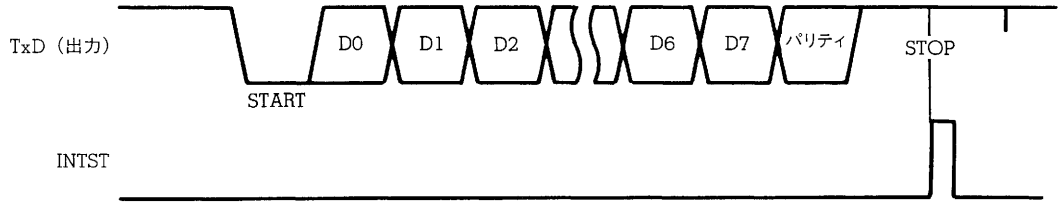
次に送信するデータを送信シフト・レジスタ (TXS) に書き込まなければ，送信動作は中断されます。

図10－5　アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング

(a) ストップ・ビット長：1



(b) ストップ・ビット長：2



注意1．$\overline{\text{RESET}}$入力後，送信シフト・レジスタは空になりますが，送信完了割り込みは発生しません。送信シフト・レジスタに送信データを書き込むことによって送信動作を起動できます。

2．送信動作中にはアシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) の書き換えは行わないでください。送信中にASIMレジスタの書き換えを行うと，それ以降の送信動作ができなくなる場合があります ($\overline{\text{RESET}}$入力により，正常になります)。
送信中かどうかは，送信完了割り込み (INTST) またはINTSTによりセットされる割り込み要求フラグ (STIF) を用いて，ソフトウエアにより判断することができます。

保守／廃止

10.3.4 受　　信

受信動作は，アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のRXEビットがセット(1)されると許可状態となり，RxD端子入力のサンプリングを行います。

RxD端子入力のサンプリングはASIMで指定したシリアル・クロックで行います。

RxD端子入力がロウ・レベルになると，16分周カウンタがカウントを開始し，8回カウントしたところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD端子入力をサンプリングした結果，ロウ・レベルであれば，スタート・ビットとして認識し，16分周カウンタを初期化してカウントを開始し，データのサンプリングを行います。スタート・ビットに続いて，キャラクタ・データ，パリティ・ビットおよび1ビットのストップ・ビット[注]が検出されると，1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると，シフト・レジスタ内の受信データを受信バッファRXBに転送し，受信完了割り込み（INTSR）を発生します。

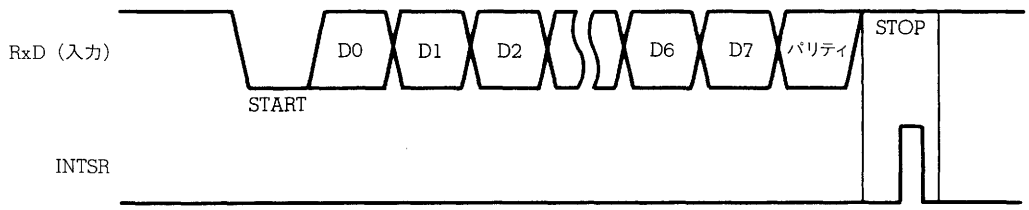
また，エラーが発生しても，RXBにエラーの発生した受信データを転送し，INTSRを発生します。

なお，受信動作中にRXEビットをリセット（0）すると，ただちに受信動作を停止します。このとき，RXBおよびASISの内容は変化せず，また，INTSR，INTSERも発生しません。次にRXEビットをセット(1)すると，再びスタート・ビットのサンプリングを開始します。

注　ASIMレジスタのSLビットの指定にかかわらず，受信時には，ストップ・ビットは1ビットとして動作します。

★

図10－6　アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



注意1.　受信動作中にASIMレジスタの書き換えを行うと，そのとき受信していたデータおよび，その次に受信するデータが不定になります。受信禁止にしてからモードを変更してください。

2.　受信エラー発生時にも，受信バッファ（RXB）は必ず読み出してください。RXBを読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。

保守／廃止

10.3.5　受信エラー

受信動作時のエラーには，パリティ・エラー，フレーミング・エラー，オーバラン・エラーの３種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース・レジスタ（ASIS）内に立つと同時に，受信エラー割り込み（INTSER）を発生します。受信エラーの要因を表10－1に示します。

受信エラー割り込み処理（INTSER）内で，アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）の内容を読み出すことによって，いずれのエラーが受信時に発生したかを検出することができます（**図10－3，図10－7**参照）。

ASISの内容は，受信バッファ（RXB）を読み出すか，次のデータを受信することでリセット(0)されます（次のデータにエラーがあれば，そのエラー・フラグがセットされます）。

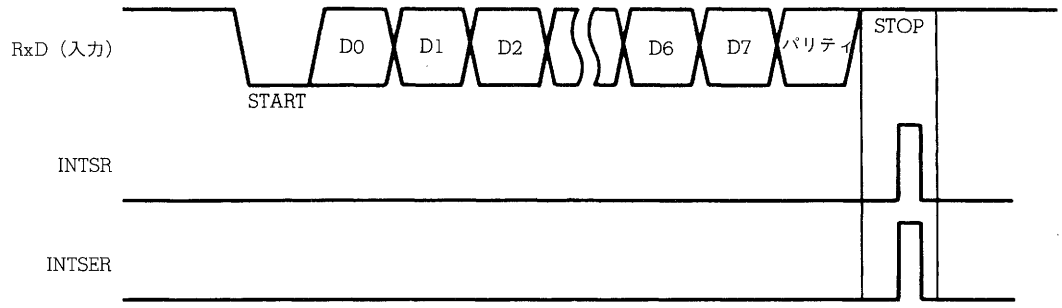
表10－1　受信エラーの要因

受信エラー	要　　因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない注
オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信完了

★

注　受信時には，ストップ・ビットは１ビットとしてのみ動作します。したがって，ストップ・ビットを２ビットとして指定している場合で，ストップ・ビットの２ビット目がロウ・レベルの場合は，エラーを発生しません（次のデータのスタート・ビットとして認識します）。

図10－7　受信エラー・タイミング



備考　μPD78244では，ハードウエアによりブレーク信号を検出することはできません。ブレーク信号は，２キャラクタ以上のロウ・レベル信号なので，受信データが00Hだったフレーミング・エラーが２回連続して発生したことをソフトウエアで検出することで，ブレーク信号が入力されたと判断することが可能です。なお，偶然，フレーミング・エラーが２回発生したときと識別するためには，RxD端子レベルをソフトウエアで読み込み（ポート３モード・レジス

保守／廃止

タ（PM3）のビット0を“1”にして，ポート3（P3）をリードすることで確認が可能）“0”であることを確認することにより，行うことができます。

注意1．**ASISレジスタの内容は，受信バッファ(RXB)を読み出すか，次のデータを受信することにより，リセット(0)されてしまいます。エラーの内容が知りたい場合には，必ずRXBを読み出す前にASISを読み出してください。なお，マクロ・サービスを用いて受信を行っている場合は，エラーの発生したこと（INTSERの発生または受信エラー割り込み要求フラグ(SERIF)がセット(1)される）しか分かりませんので，この点について問題がないことを確認のうえ，ご使用ください。**

2．**受信エラー発生時にも，受信バッファ(RXB)は必ず読み出してください。RXBを読み出さないと次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。**

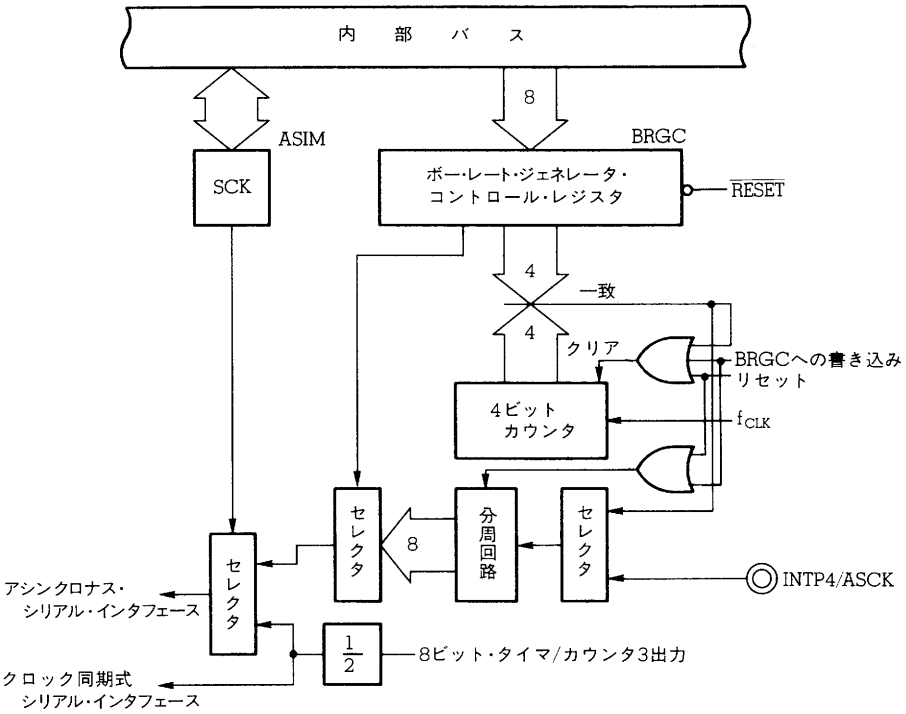
保守／廃止

10.4　ボー・レート・ジェネレータ

10.4.1　専用ボー・レート・ジェネレータの構成

ボー・レート・ジェネレータの構成を図10－8に示します。

図10－8　ボー・レート生成用クロックの発生ブロック図



(1) 4ビット・カウンタ

内部システム・クロック（f_{CLK}）をカウントするカウンタです。ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）の下位4ビットで選択された周波数の信号を生成します。

(2) 分周回路

4ビット・カウンタまたは外部ボー・レート入力（ASCK）からの信号を分周し，次段のセレクタでボー・レート用クロックを選択しています。

(3) 両エッジ検出

ASCK端子入力信号の両エッジを検出し，ASCK入力クロックの倍の周波数の信号を生成します。エッジ検出の詳細については，**第12章　エッジ検出機能**を参照ください。

保守／廃止

10.4.2　ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）

BRGCレジスタは，内部システム・クロック（f_{CLK}）制御によるボー・レート生成用クロックを設定する８ビット・レジスタです。

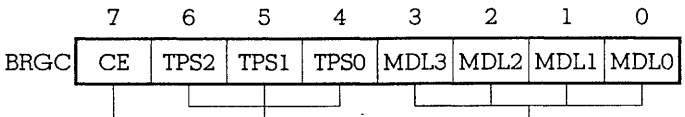
８ビット操作命令で書き込みのみが可能です。そのフォーマットを図10－９に示します。

$\overline{\text{RESET}}$入力により00Hになります。

注意　BRGCレジスタの書き込み命令を実行すると，4 ビット・カウンタおよび分周回路の動作がリセットされてしまいます。したがって，通信動作中にBRGCレジスタへの書き込みを実行すると，生成されるボー・レートが乱れてしまい，正常な通信が行えなくなります。通信動作中にはBRGCレジスタへの書き込みを行わないでください。

保守／廃止

図10－9　ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）のフォーマット



MDL3	MDL2	MDL1	MDL0	k	ボー・レート・ジェネレータの入力クロック
0	0	0	0	3	$f_{CLK}/4$
0	0	0	1	1	$f_{CLK}/2$
0	0	1	0	2	$f_{CLK}/3$
0	0	1	1	3	$f_{CLK}/4$
0	1	0	0	4	$f_{CLK}/5$
0	1	0	1	5	$f_{CLK}/6$
0	1	1	0	6	$f_{CLK}/7$
0	1	1	1	7	$f_{CLK}/8$
1	0	0	0	8	$f_{CLK}/9$
1	0	0	1	9	$f_{CLK}/10$
1	0	1	0	10	$f_{CLK}/11$
1	0	1	1	11	$f_{CLK}/12$
1	1	0	0	12	$f_{CLK}/13$
1	1	0	1	13	$f_{CLK}/14$
1	1	1	0	14	$f_{CLK}/15$
1	1	1	1	外部クロック入力(ASCK)	

TPS2	TPS1	TPS0	分周回路のタップ　1/n
0	0	0	1/2
0	0	1	1/4
0	1	0	1/8
0	1	1	1/16
1	0	0	1/32
1	0	1	1/64
1	1	0	1/128
1	1	1	1/256

CE	4ビット・カウンタと分周回路の動作
0	停止
1	カウント動作

保守／廃止

10.4.3　専用ボー・レート・ジェネレータの動作

専用ボー・レート・ジェネレータはボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）のCEビットをセット(1)することにより動作を開始します。生成するボー・レート用クロックは，内部システム・クロック（f_{CLK}）を分周した信号か，外部ボー・レート入力（ASCK）端子から入力されたクロックを分周した信号になります。

専用ボー・レート・ジェネレータの動作を停止する場合は，CEビットをリセット(0)します。

また，CEビットがセット(1)されているときに，再度CEビットをセット(1)すると，ボー・レート生成用の４ビット・カウンタおよび分周回路をクリアしてから，再度ボー・レート用クロックを生成します。

注意　通信動作中にBRGCレジスタへの書き込みを行うと，生成されるボー・レート用クロックが乱れてしまい，正常な通信動作ができなくなる可能性があります。通信動作中にBRGCレジスタへの書き込みは行わないでください。

(1) 内部システム・クロック（f_{CLK}）によるボー・レート用クロックの生成

内部システム・クロック（f_{CLK}）を４ビット・カウンタで分周し，その信号を分周回路で分周したものをボー・レート用クロックとしています。

内部システム・クロック（f_{CLK}）から生成するボー・レートは，次の式によって求めます。

$$(\text{ボー・レート}) = \frac{f_{CLK}}{k+1} \times \frac{1}{n} \times \frac{1}{16}$$

ただし，

f_{CLK}：内部システム・クロックの周波数
k：BRGCレジスタのMDL3－MDL0ビットの設定値
（k＝1-14；**図10－9**参照）
1/n：分周回路のタップ
16：シリアル・データのサンプリング・レート

(2) ASCK入力によるボー・レート用クロックの生成

ASCK端子入力信号の両エッジを検出し，ASCK端子入力クロックの倍の周波数のクロックを作り，そのクロックを分周回路で分周しています。本機能により，1種類の外部入力クロックで複数のボー・レートを生成することができます。

ASCK端子入力から生成されるボー・レートは，次の式によって求めます。

$$(\text{ボー・レート}) = f_{ASCK} \times \frac{2}{n} \times \frac{1}{16}$$

f_{ASCK}：ASCK入力クロックの周波数

なお，ASCK入力は$f_{CLK}/24$（250 kHz：f_{CLK}＝6 MHz）以下である必要があります。

保守／廃止

10.5　ボー・レートの設定方法

ボー・レートの設定方法には，表10－2に示す3とおりの方法があります。

それぞれ生成できるボー・レートの範囲，ボー・レートの計算式および選択方法についてまとめます。

表10－2　ボー・レートの設定方法

ボー・レート用クロック・ソース		選択方法		ボー・レートの計算式	ボー・レートの範囲
専用ボー・レート・ジェネレータ	内部システム・クロック	ASIMレジスタのSCK＝1	BRGCレジスタのMDL0-3が0-EH	$\frac{f_{CLK}}{k+1}\times\frac{1}{n}\times\frac{1}{16}$	$\frac{f_{CLK}}{61440}-\frac{f_{CLK}}{64}$
	ASCK入力	BRGCレジスタのCE＝1	BRGCレジスタのMDL0-3がFH	$f_{ASCK}\times\frac{2}{n}\times\frac{1}{16}$	$\frac{f_{ASCK}}{2048}-\frac{f_{ASCK}}{16}$注
8ビット・タイマ／カウンタ3		ASIMレジスタのSCK＝0		$\frac{f_{CLK}}{2^{j+3}}\times\frac{1}{m+1}\times\frac{1}{2}\times\frac{1}{16}$	$\frac{f_{CLK}}{4194304}-\frac{f_{CLK}}{256}$

f_{CLK}：内部システム・クロックの周波数

k：BRGCレジスタのMDL3-MDL0ビットの設定値（1-14；**図10－9**参照）

1/n：分周回路のタップ（n＝2，4，8，16，32，64，128，256）

f_{ASCK}：ASCK入力クロックの周波数（$0-\frac{f_{CLK}}{24}$）

$\frac{1}{16}$：シリアル・データのサンプリング・レート

j：プリスケーラ・モード・レジスタ0のPRS3-PRS0ビットの設定（j＝0-6）

PRS3－PRS0	0H	1H	2H	3H	4H	5H	6H	7H
j	0		1	2	3	4	5	6

m：8ビット・コンペア・レジスタ（CR30）の設定値（m＝0-255）

注　f_{ASCK}の入力範囲を含めると，$0-\frac{f_{CLK}}{384}$

10.5.1　専用ボー・レート・ジェネレータを使用した場合の設定例

専用ボー・レート・ジェネレータを使用した場合のBRGCレジスタへの設定例を示します。

専用ボー・レート・ジェネレータを使用する場合は，アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のSCKビットをセット(1)してください。

保守／廃止

表10－3 専用ボー・レート・ジェネレータを使用した場合のBRGCレジスタへの設定例

発振周波数(fxx)または外部クロック入力(fx)	12 MHz		11.0592 MHz		10.0 MHz		9.8304 MHz		7.3728 MHz	
内部システム・クロック(f_{CLK})	6 MHz		5.5296 MHz		5.0 MHz		4.9152 MHz		3.6864 MHz	
ボー・レート[bps]	BRGC値	ボー・レート誤差(%)	BRGC値	ボー・レート誤差(%)	BRGC値	ボー・レート誤差(%)	BRGC値	ボー・レート誤差(%)	BRGC値	ボー・レート誤差(%)
75	—	—	—	—	—	—	—	—	FBH	0.00
110	FCH	2.44	FBH	2.27	FAH	0.89	FAH	0.83	F7H	2.27
150	F9H	2.34	F8H	0.00	F7H	1.73	F7H	0.00	EBH	0.00
300	E9H	2.34	E8H	0.00	E7H	1.73	E7H	0.00	DBH	0.00
600	D9H	2.34	D8H	0.00	D7H	1.73	D7H	0.00	CBH	0.00
1200	C9H	2.34	C8H	0.00	C7H	1.73	C7H	0.00	BBH	0.00
2400	B9H	2.34	B8H	0.00	B7H	1.73	B7H	0.00	ABH	0.00
4800	A9H	2.34	A8H	0.00	A7H	1.73	A7H	0.00	9BH	0.00
9600	99H	2.34	98H	0.00	97H	1.73	97H	0.00	8BH	0.00
19200	89H	2.34	88H	0.00	87H	1.73	87H	0.00	85H	0.00
31250	92H	0.00	—	—	84H	0.00	84H	1.70	—	—
38400	84H	2.34	—	—	83H	1.73	83H	0.00	82H	0.00

保守／廃止

10.5.2　8ビット・タイマ／カウンタ3を使用した場合の設定例

8ビット・タイマ／カウンタ3を使用した場合のボー・レートの設定例を表10－4に示します。8ビット・タイマ／カウンタ3を使用する場合は，アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のSCKビットをリセット(0)してください。

8ビット・タイマ／カウンタ3の使用方法については，**8.4　8ビット・タイマ／カウンタ3**を参照ください。

保守／廃止

表10－4　8ビット・タイマ／カウンタを使用した場合のボー・レート設定例（アシンクロナス・シリアル・インタフェース）

発振周波数fosc (MHz)	12 MHz			11.0592 MHz			10.0 MHz			9.8304 MHz			7.3728 MHz		
内部システム・クロック (f_{CLK}) MHz	6 MHz			5.5296 MHz			5.0 MHz			4.9152 MHz			3.6864 MHz		
ボー・レート[bps]	カウント・クロック	m	ボー・レート誤差(%)	カウント・クロック	m	ボー・レート誤差(%)	カウント・クロック	m	ボー・レート誤差(%)	カウント・クロック	m	ボー・レート誤差(%)	カウント・クロック	m	ボー・レート誤差(%)
75	$f_{CLK}/16$	155	0.16	$f_{CLK}/16$	143	0.00	$f_{CLK}/16$	129	0.16	$f_{CLK}/16$	127	0.00	$f_{CLK}/8$	191	0.00
110	$f_{CLK}/8$	212	0.03	$f_{CLK}/8$	195	0.18	$f_{CLK}/8$	177	0.25	$f_{CLK}/8$	174	0.26	$f_{CLK}/8$	130	0.07
150	$f_{CLK}/8$	155	0.16	$f_{CLK}/8$	143	0.00	$f_{CLK}/8$	129	0.16	$f_{CLK}/8$	127	0.00	$f_{CLK}/8$	95	0.00
300	$f_{CLK}/8$	77	0.16	$f_{CLK}/8$	71	0.00	$f_{CLK}/8$	64	0.16	$f_{CLK}/8$	63	0.00	$f_{CLK}/8$	47	0.00
600	$f_{CLK}/8$	38	0.16	$f_{CLK}/8$	35	0.00	$f_{CLK}/8$	32	1.36	$f_{CLK}/8$	31	0.00	$f_{CLK}/8$	23	0.00
1200	$f_{CLK}/8$	19	2.34	$f_{CLK}/8$	17	0.00	$f_{CLK}/8$	15	1.73	$f_{CLK}/8$	15	0.00	$f_{CLK}/8$	11	0.00
2400	$f_{CLK}/8$	9	2.34	$f_{CLK}/8$	8	0.00	$f_{CLK}/8$	7	1.73	$f_{CLK}/8$	7	0.00	$f_{CLK}/8$	5	0.00
4800	$f_{CLK}/8$	4	2.34	—	—	—	$f_{CLK}/8$	3	1.73	$f_{CLK}/8$	3	0.00	$f_{CLK}/8$	2	0.00
9600	—	—	—	—	—	—	$f_{CLK}/8$	1	1.73	$f_{CLK}/8$	1	0.00	$f_{CLK}/8$	—	—
19200	—	—	—	—	—	—	$f_{CLK}/8$	0	1.73	$f_{CLK}/8$	0	0.00	$f_{CLK}/8$	—	—

保守／廃止

10.5.3　外部ボー・レート入力（ASCK）を使用した場合の設定例

外部ボー・レート入力（ASCK）を使用した場合の設定例を表10－5に示します。ASCK入力を使用する場合は，アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のSCKビットをセット(1)してください。

表10－5　外部ボー・レート入力（ASCK）を使用した場合の設定例

f_{ASCK} （ASCK入力周波数）	153.6 kHz
ボー・レート[bps]	BRGC値
75	FFH
150	EFH
300	DFH
600	CFH
1200	BFH
2400	AFH
4800	9FH
9600	8FH

保守／廃止

10.6　注意事項

(1) 送信動作中にはアシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）の書き換えは行わないでください。送信中にASIMレジスタの書き換えを行うと，それ以降の送信動作ができなくなる場合があります（$\overline{\text{RESET}}$入力により，正常になります）。

送信中かどうかは，送信完了割り込み（INTST）またはINTSTによりセットされる割り込み要求フラグ（STIF）を用いて，ソフトウエアにより判断することができます。

(2) 受信動作中にASIMレジスタの書き換えを行うと，そのとき受信していたデータおよび，その次に受信するデータが不定になります。受信禁止にしてからモードを変更してください。

(3) $\overline{\text{RESET}}$入力後，送信シフト・レジスタは空になりますが，送信完了割り込みは発生しません。送信シフト・レジスタに送信データを書き込むことによって送信動作を起動できます。

(4) 受信エラー発生時にも，受信バッファ（RXB）は必ず読み出してください。RXBを読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。

(5) ASISレジスタの内容は，受信バッファ（RXB）を読み出すか，次のデータを受信することにより，リセット(0)されてしまいます。エラーの内容が知りたい場合には，必ずRXBを読み出す前にASISを読み出してください。なお，マクロ・サービスを用いて受信を行っている場合は，エラーの発生したこと（INTSERの発生または受信エラー割り込み要求フラグ（SERIF）がセット(1)される）しか分かりませんので，この点について問題がないことを確認のうえ，ご使用ください。

(6) 通信動作中には，BRGCレジスタへの書き込みをしないでください。もし書き込み命令を実行すると，4ビット・カウンタおよび分周回路の動作がリセットされてしまい，生成されるボー・レート用クロックが乱れ，正常な通信動作ができなくなる可能性があります。

保守／廃止

保守／廃止

第11章　クロック同期式シリアル・インタフェース

11.1　機　　能

μPD78244のクロック同期式シリアル・インタフェースは図11－1のように構成されます。

μPD78244のクロック同期式シリアル・インタフェースには次のような２つの動作モードがあります。

(1) ３線式シリアルI/Oモード（MSBファースト）

シリアル・クロック（$\overline{SCK}$）と，シリアル・バス（SO，SI）の３本のラインによって8ビット長のデータ転送を行います。従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続する場合に有効です。

(2) シリアル・バス・インタフェース（SBI）モード（MSBファースト）

シリアル・クロック（$\overline{SCK}$）と，シリアル・データ・バス（SB0）の２本のラインにより複数のデバイスと通信可能なモードです。

NECシリアル・バス・フォーマットに準拠します。

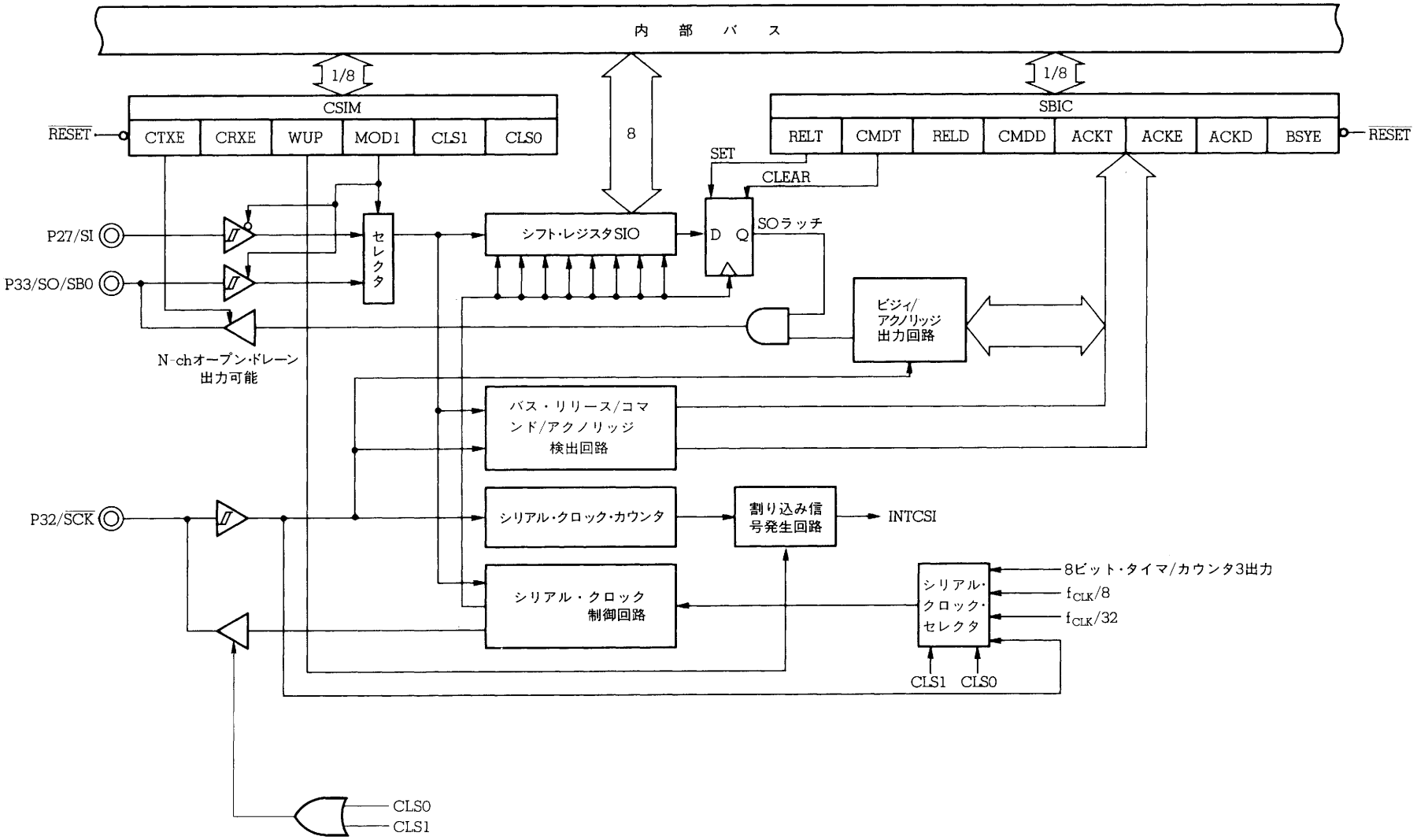
SBIモードではシリアル・データ・バス上にシリアル通信の対象デバイス選択のための“アドレス”，対象デバイスに対して指令を与える“コマンド”および，実際の“データ”を出力することができます。したがって従来のクロック同期式シリアル・インタフェースで複数のデバイスを接続する場合に必要となったハンドシェークのためのラインを必要とせず，入出力ポートの有効活用ができます。

11.2　構　　成

クロック同期式シリアル・インタフェースの構成について説明します。

保守／廃止

図11－1　クロック同期式シリアル・インタフェースのブロック図



保守／廃止

(1) シフト・レジスタ（SIO）

シフト・レジスタ（SIO）は，８ビットのシリアル・データを８ビットのパラレル・データに，８ビットのパラレル・データを８ビットのシリアル・データに変換するレジスタです。SIOは送信および受信の両方に使用されます。

データは，MSB側からシフト・イン（受信）またはシフト・アウト（送信）されます。

SIOに対する書き込み／読み出しにより，実際の送受信動作が制御されます。

８ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

(2) SOラッチ

SOラッチは，SO/SB0端子出力レベルを保持するラッチです。シリアル・バス・インタフェース（SBI）モード時には，ソフトウエアにより直接制御することも可能になります。

(3) シリアル・クロック・セレクタ

使用するシリアル・クロックを選択します。

(4) シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，８ビット・データの送受信が行われたことを調べます。

(5) 割り込み信号発生回路

シリアル・クロック・カウンタでシリアル・クロックを８発カウントしたときに，割り込みの要求を発生するかしないかを制御します。３線式シリアルI/Oモード時には8発カウントするごとに，SBIモード時には条件が成立したときにそれぞれ割り込みの要求を発生します。

(6) シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給の制御を行います。また，内部クロック使用時は$\overline{\text{SCK}}$端子へ出力するクロックの制御も行います。

(7) ビジィ／アクノリッジ出力回路，バス・リリース／コマンド／アクノリッジ検出回路

SBIモード時に各種制御信号の出力および検出を行います。３線式シリアルI/Oモード時には動作しません。

保守／廃止

11.3　制御レジスタ

11.3.1　クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）

CSIMレジスタは，シリアル・インタフェースの動作モード，シリアル・クロック，ウエイク・アップ機能などを指定する８ビット・レジスタです。

８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図11－２に示します。

$\overline{\text{RESET}}$入力により00Hとなります。

図11－２　クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のフォーマット

	⑦	⑥	⑤	4	3	2	1	0
CSIM	CTXE	CRXE	WUP	0	MOD1	0	CLS1	CLS0

CLS1	CLS0	シリアル・クロックの選択		$\overline{\text{SCK}}$端子	SBIモード時のマスタ／スレーブ選択
0	0	外部クロック		入力	スレーブ
0	1	内部クロック	８ビット・タイマ/カウンタ３出力の1/2	出力	マスタ
1	0		$f_{CLK}/32$注		
1	1		$f_{CLK}/8$注		

注　f_{CLK}：内部システム・クロック

WUP	MOD1	動作モード	ウエイク・アップ機能の制御
0	0	3線式シリアルI/Oモード	シリアル転送ごとに割り込み要求を発生
0	1	SBIモード	
1	1		アドレス受信時のみ割り込み要求を発生

CRXE	受信動作
0	禁止
1	許可

CTXE	送信動作
0	禁止
1	許可

保守／廃止

注意　CTXE＝0，CRXE＝1の状態からCTXE＝1，CRXE＝0へ変更する場合，およびCTXE＝1，CRXE＝0の状態からCTXE＝0，CRXE＝1へ変更する場合は，1命令で行わないようにしてください。シリアル・クロック・カウンタが誤動作し，変更後の1回目の通信が8ビット未満で終了してしまいます。次のように2命令に分けて変更してください。

例　CTXE＝1，CRXE＝0をCTXE＝0，CRXE＝1に変更する場合

```
CLR1  CTXE
SET1  CRXE
```

11.3.2　シリアル・バス・インタフェース・コントロール・レジスタ（SBIC）

SBICレジスタは，シリアル・バスの状態を制御するビットとシリアル・バスからの入力データの各種の状態を示すビットから構成された8ビット・レジスタです。SBIモードでのみ用いることができ，3線式シリアルI/Oモードでは操作できません。

8ビット操作命令とビット操作命令で操作します。読み出し／書き込みは，表11－1のようにビットによって異なります。読み出しのとき，書き込みのみのビットは“0”を読み出します。そのフォーマットを図11－3に示します。

$\overline{\text{RESET}}$入力により00Hとなります。

また，ACKD，CMDD，RELDの各検出フラグは，送受信動作を禁止（CTXE＝CRXE＝0）するとクリアされます。

11

表11－1　SBICレジスタの読み出し／書き込み

	⑦	⑥	⑤	④	③	②	①	⓪
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT
	R/W	R	R/W	W	R	R	W	W

備考　R/W：読み出し（Read）／書き込み（Write）
R　：読み出し（Read）のみ
W　：書き込み（Write）のみ

保守／廃止

図11－3　シリアル・バス・インタフェース・コントロール・レジスタ（SBIC）のフォーマット

★

	⑦	⑥	⑤	④	③	②	①	⓪
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT

RELT	バス・リリース信号(REL)のトリガ出力制御
0	出力しない
1	出力する

CMDT	コマンド信号(CMD)のトリガ出力制御
0	出力しない
1	出力する

RELD	バス・リリース信号(REL)の検出
0	検出しない
1	検出している

CMDD	コマンド信号(CMD)の検出
0	検出していない
1	検出している

ACKT	アクノリッジ信号($\overline{ACK}$)のトリガ出力制御
0	出力しない
1	出力する

ACKE	アクノリッジ信号($\overline{ACK}$)の自動出力許可
0	禁止
1	許可

ACKD	アクノリッジ信号($\overline{ACK}$)の検出
0	検出していない
1	検出している

BSYE	同期ビジィ信号($\overline{BUSY}$)の自動出力許可
0	禁止
1	許可

保守／廃止

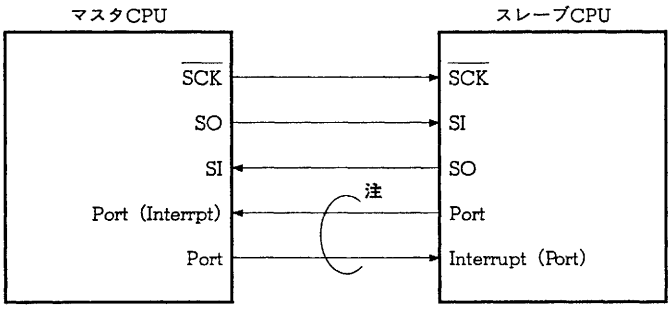
11.4　3線式シリアルI/Oモード

3線式シリアルI/Oモードは，従来のクロック同期式シリアル・インタフェースを内蔵するデバイスとの通信を行うためのモードです。

基本的にはシリアル・クロック（$\overline{SCK}$）とシリアル・データ出力（SO）とシリアル・データ入力（SI）の3本のラインで通信を行います。複数のデバイスと接続する場合はハンドシェーク用のラインが必要になります。

図11－4　3線式シリアルI/Oのシステム構成例

3線式シリアルI/O⟷3線式シリアルI/O



注　ハンドシェーク・ライン

11

保守／廃止

11.4.1　基本動作タイミング

3線式シリアルI/Oモードは，8ビット単位でデータの送受信を行います。データは，シリアル・クロックに同期してMSBファーストで1ビットごとに送受信されます。

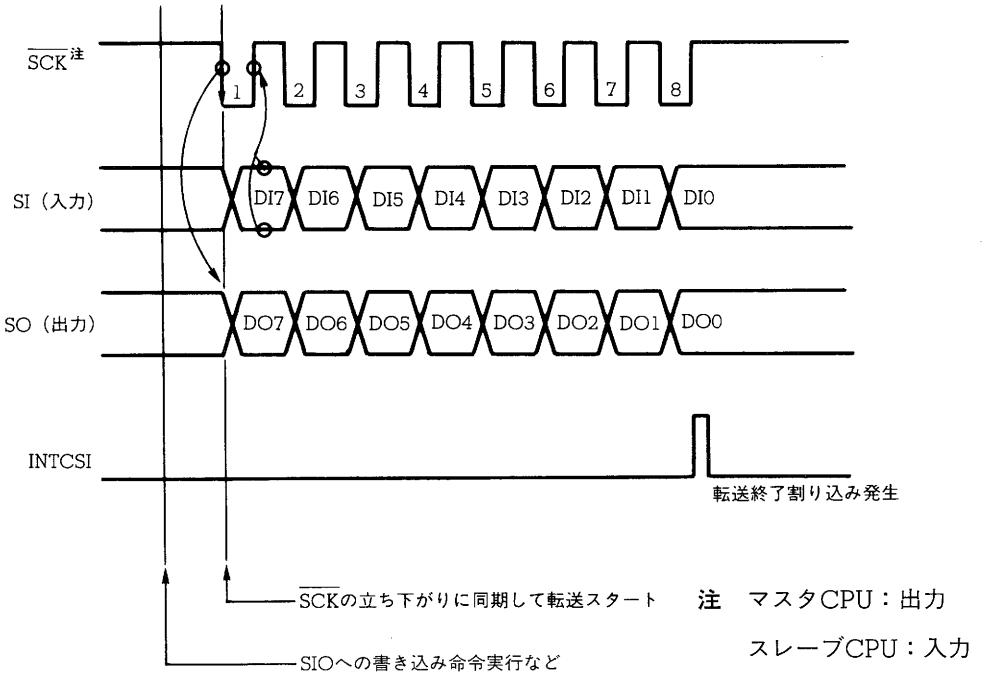
送信データは，$\overline{SCK}$の立ち下がりに同期して出力されます。受信データは，$\overline{SCK}$の立ち上がりでサンプリングされます。

また，8番目の$\overline{SCK}$の立ち上がりで割り込み要求INTCSIを発生します。

内部クロックを$\overline{SCK}$として使用している場合は，$\overline{SCK}$の8番目の立ち上がりで$\overline{SCK}$の出力を停止し，次のデータの送信または受信動作が起動されるまで，$\overline{SCK}$はハイ・レベルを保持します。

図11-5に，3線式シリアルI/Oモードのタイミング図を示します。

図11-5　3線式シリアルI/Oモードのタイミング



注　マスタCPU：出力
　　スレーブCPU：入力

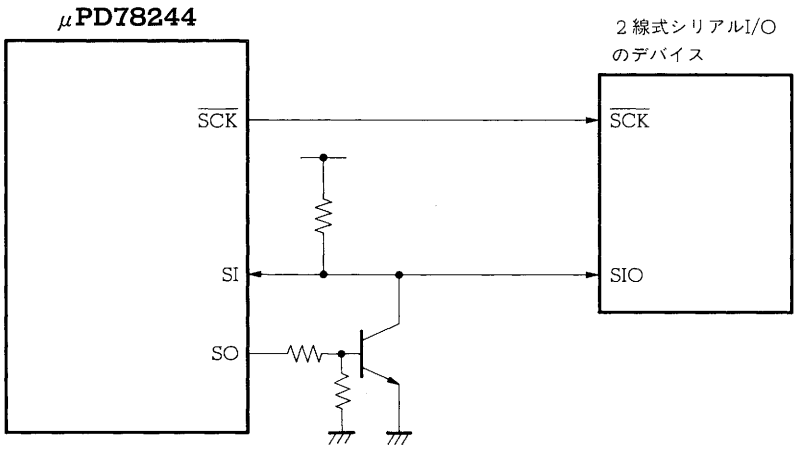
3線式シリアルI/Oモードの場合，SO端子はCMOSのプッシュプル出力になります。

保守／廃止

備考　２線式のシリアルI/Oと接続する場合は，図11－６のようにSO端子にバッファを接続してください。なお，図11－６の場合は，バッファにより出力レベルが反転するので，SIOへは出力したいデータの反転データを書き込んでください。

また，P30/SO端子には内蔵プルアップ抵抗を接続しないように指定してください。

図11－６　２線式シリアルI/Oとの接続例



なお，送信と受信を時分割で行う場合で，２線式シリアルI/Oを持ったデバイスのSIO端子の出力レベルをμPD78244がコントロールできる場合は，SI端子とSO端子を直接接続して使用することもできます。この場合，μPD78244が送信をする場合は，必ず他のデバイスを送信禁止にしてください。

保守／廃止

11.4.2　送信のみ許可の場合の動作

送信動作は，クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のCTXEビットがセット(1)されているときに行われます。CTXEビットがセット(1)されているときに，シフト・レジスタ（SIO）への書き込みを行うと送信動作が起動されます。

なお，CTXEビットがリセット(0)されているときは，SO端子は出力ハイ・インピーダンスとなります。

(1) シリアル・クロックとして内部クロックを選択した場合

送信が起動されると，シリアル・クロックを$\overline{SCK}$端子から出力し，同時にシリアル・クロックの立ち下がりに同期してSIOからデータをSO端子へ順次出力します。また，シリアル・クロックの立ち上がりに同期して，SI端子の信号をSIOにシフト入力します。

なお，送信の起動から$\overline{SCK}$の最初の立ち下がりまでには，最大$\overline{SCK}$の１クロック分の時間がかかります。

送信動作中に送信を禁止(CTXEビットをリセット(0))すると，次の$\overline{SCK}$の立ち上がりで$\overline{SCK}$クロックの出力を停止し，送信動作を中断します。このとき割り込みの要求（INTCSI）は発生しません。また，SO端子は出力ハイ・インピーダンスになり，SIOレジスタの内容は不定になります。

(2) シリアル・クロックとして外部クロックを選択した場合

送信が起動されると，送信起動後に$\overline{SCK}$端子へ入力されたシリアル・クロックの立ち下がりに同期してSIOからデータをSO端子へ順次出力し，同時に$\overline{SCK}$端子入力の立ち上がりに同期して，SI端子の信号をSIOにシフト入力します。送信が起動されていないときに，シリアル・クロックを$\overline{SCK}$端子へ入力してもシフト動作は行われず，SO端子の出力レベルは変化しません。

送信動作中に送信を禁止（CTXEビットをリセット(0)）すると，送信動作を中断し，以降の$\overline{SCK}$入力を無視します。このとき，割り込みの要求(INTCSI)は発生しません。また，SO端子は出力ハイ・インピーダンスになり，SIOレジスタの内容は不定になります。

保守／廃止

11.4.3　受信のみ許可の場合の動作

受信動作はCSIMレジスタのCRXEビットがセット(1)されているときに行われます。CRXEビットを“0”から“1”へ変化させるか，SIOからの読み出しを行うと受信動作は起動されます。

(1) シリアル・クロックとして内部クロックを選択した場合

受信が起動されるとシリアル・クロックを$\overline{SCK}$端子から出力し，シリアル・クロックの立ち上がりに同期してSI端子のデータをSIOへ順次取り込みます。

なお，受信の起動から$\overline{SCK}$の最初の立ち下がりまでには，最大$\overline{SCK}$の１クロック分の時間がかかります。

受信動作中に受信を禁止(CRXEビットをリセット(0))すると，次の$\overline{SCK}$の立ち上がりで$\overline{SCK}$クロックの出力を停止し，受信動作を中断します。このとき割り込みの要求（INTCSI）は発生しません。また，SIOレジスタの内容は不定になります。

(2) シリアル・クロックとして外部クロックを選択した場合

受信が起動されると，受信起動後に$\overline{SCK}$端子へ入力されたシリアル・クロックの立ち上がりに同期してSI端子のデータをSIOへ順次取り込みます。受信が起動されていないときに$\overline{SCK}$端子へシリアル・クロックを入力してもシフト動作は行いません。

受信動作中に受信を禁止（CRXEビットをリセット(0)）すると，受信動作を中断し，以降の$\overline{SCK}$入力を無視します。このとき，割り込みの要求（INTCSI）は発生しません。また，SIOレジスタの内容は不定になります。

保守／廃止

11.4.4　送受信許可の場合の動作

CSIMレジスタのCTXEビットとCRXEビットが両方ともセット(1)されているときは，送信動作と受信動作を同時に行うことができます（送受信動作）。送受信動作は，CRXEビットを“0”から“1”へ変化させるか，SIOへの書き込みを行うと起動します。

なお，送受信動作の1回目の起動時は，必ずCRXEビットが“0”から“1”へ変化するので，すぐに送受信動作が起動され，不定なデータが出力される可能性があります。したがって，送信および受信とも禁止されている（CTXEビットおよびCRXEビットが両方ともリセット(0)されている）ときに，あらかじめSIOへ最初の送信データを書き込んでから，送受信を許可してください。

なお，送受信禁止時（CTXE＝CRXE＝0）は，SO端子は出力ハイ・インピーダンスになります。

(1) シリアル・クロックとして内部クロックを選択した場合

送受信が起動されると，シリアル・クロックが$\overline{SCK}$端子より出力され，シリアル・クロックの立ち下がりに同期してSIOからSO端子へ順次データが出力され，シリアル・クロックの立ち上がりに同期してSI端子のデータを順次SIOへシフト・インします。

なお，送受信の起動から最初の$\overline{SCK}$の立ち下がりまでには，最大$\overline{SCK}$の１クロック分の時間がかかります。

送受信動作中に送信または受信の一方を禁止にした場合は，禁止された動作のみが中断されます。送信のみを禁止した場合は，SO端子は出力ハイ・インピーダンスになります。受信のみを禁止した場合は，SIOレジスタの内容は不定となります。

送受信を同時に禁止した場合は，$\overline{SCK}$の次の立ち上がりで$\overline{SCK}$クロックの出力を停止し，送信および受信動作を中断します。送受信を同時に禁止した場合は，SIOの内容は不定となり，割り込みの要求（INTCSI）は発生しません。また，SO端子は出力ハイ・インピーダンスになります。

(2) シリアル・クロックとして外部クロックを選択した場合

送受信が起動されると，送受信起動後に$\overline{SCK}$端子へ入力されたシリアル・クロックの立ち下がりに同期してSIOから順次SO端子へデータが出力され，シリアル・クロックの立ち上がりに同期してSI端子のデータを順次SIOへシフト・インします。送受信が起動されていないときにシリアル・クロックが$\overline{SCK}$端子へ入力されても，SIOのシフト動作は行いません。また，SO端子の出力レベルも変化しません。

送受信動作中に送信または受信の一方を禁止した場合は，禁止された動作のみが中断されます。送信のみを禁止した場合は，SO端子は出力ハイ・インピーダンスになります。受信のみを禁止した場合は，SIOレジスタの内容は不定となります。

送受信を同時に禁止した場合は，送受信動作を中断し，以降の$\overline{SCK}$入力を無視します。送受信を同時に禁止した場合は，SIOの内容は不定となり，割り込みの要求（INTCSI）は発生しません。SO端子は出力ハイ・インピーダンスになります。

保守／廃止

11.4.5　シリアル・クロックとシフト動作がずれた場合の処置方法

シリアル・クロックとして外部クロックを選択した場合に，ノイズなどにより，シリアル・クロックの数とシフト動作がずれてしまう可能性があります。このような場合，送信動作と受信動作をともに禁止する（CTXEビットおよびCRXEビットをリセット(0)する）ことにより，シリアル・クロック・カウンタが初期化されるので，次に送信または受信を許可した後に最初に入力されるシリアル・クロックを1発目のクロックとして，シフト動作とシリアル・クロックの同期を回復することができます。

11.5　SBIモード

SBI（シリアル・バス・インタフェース）は，NECシリアル・バス・フォーマット準拠の高速シリアル・インタフェース方式です。

SBIは，シングル・マスタの高速シリアル・バスで，２本の信号線で複数のデバイスとの通信を行うことができるように，クロック同期式のシリアルI/O方式に，バス構成のための機能が追加されたフォーマットになっています。そのため，複数のマイコンや周辺ICでシリアル・バスを構成する場合に，使用するポート数や基板上の配線数を削減することができます。

SBIの機能などについては，**シリアル・バス・インタフェース(SBI)ユーザーズ・マニュアル(IEM-5040)**もあわせて参照してください。

保守／廃止

11.5.1　SBIの特徴

従来のシリアルI/O方式では，データ転送機能しか有していないために，複数のデバイスを接続してシリアル・バスを構成した場合に，チップ・セレクト信号やコマンド／データの区別，ビジィ状態の判断などのため多くのポートや配線が必要となります。また，これらの制御を，ソフトウエアで行おうとすると，ソフトウエアの負担が大きくなってしまいます。

SBIでは，シリアル・クロック$\overline{SCK}$と，シリアル・データ・バスSBOの２本の信号線でシリアル・バスを構成することができます。そのため，マイコンのポート数の削減や，基板内の配線や引き回しの減少に有効となります。

SBIの機能について次に示します。

(1) アドレス／コマンド／データの判断機能

シリアル・データを，アドレス，コマンド，およびデータの３種類に区別します。

(2) アドレスによるチップ・セレクト機能

マスタは，アドレスの送信により，スレーブのチップ・セレクト（選択）を行います。

(3) ウエイク・アップ機能

スレーブは，ウエイク・アップ機能（ソフトウエアで設定／解除が可能）により，アドレス受信の判断（チップ・セレクトの判断）を容易に行うことができます。

ウエイク・アップ機能を設定した場合，アドレス受信時のみ，シリアル受信割り込み（INTCSI）が発生します。

そのため，複数のデバイスと通信を行う場合も，選択されたスレーブ以外のCPUはシリアル通信に関係なく動作することができます。

(4) アクノリッジ信号（$\overline{ACK}$）制御機能

シリアル・データの受信確認のための，アクノリッジ信号を制御します。

(5) ビジィ信号（$\overline{BUSY}$）制御機能

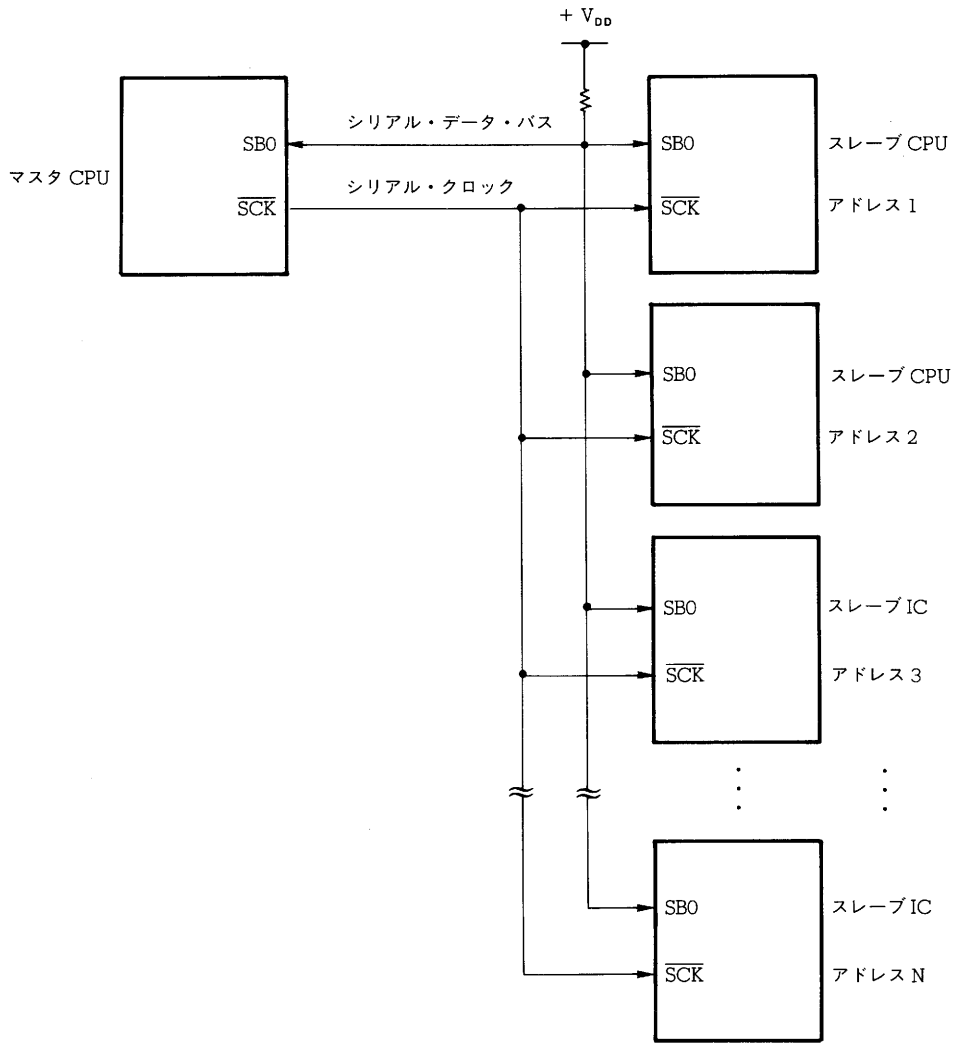
スレーブのビジィ状態を知らせるための，ビジィ信号を制御します。

保守／廃止

SBIに準拠するシリアル・インタフェースを有するCPUや，周辺ICを使用した場合のシリアル・バス構成例を図11－7に示します。

SBIでは，シリアル・データ・バス端子SB0端子は，オープン・ドレーン出力になっているため，シリアル・データ・バス・ラインは，ワイアード・オア状態になります。また，シリアル・データ・バス・ラインには，プルアップ抵抗が必要です。

図11－7　SBIによるシリアル・バス構成例



注意　マスタ／スレーブの交換処理を行う場合は，シリアル・クロック・ライン（$\overline{SCK}$）の入力／出力の切り替えがマスタ，スレーブ間で非同期に行われるため，シリアル・クロック・ライン（$\overline{SCK}$）にもプルアップ抵抗が必要となります。

保守／廃止

11.5.2　シリアル・インタフェースの構成

図11－8に，回路構成図を示します。

シリアル・クロック端子（$\overline{SCK}$）と，シリアル・データ・バス端子SBOの構成は，次のようになっています。

(1) $\overline{SCK}$ ……シリアル・クロックを入出力するための端子

・マスタ……CMOS，プッシュプル出力

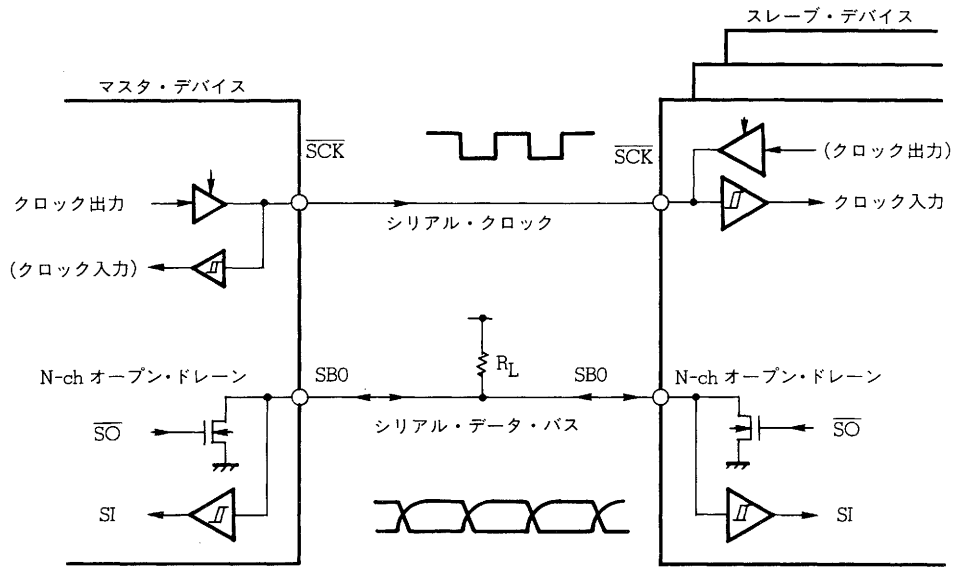
・スレーブ……シュミット入力

(2) SBO ……シリアル・データの入出力兼用端子

マスタ，スレーブ共に出力はN-chオープン・ドレーン，入力は，シュミット入力

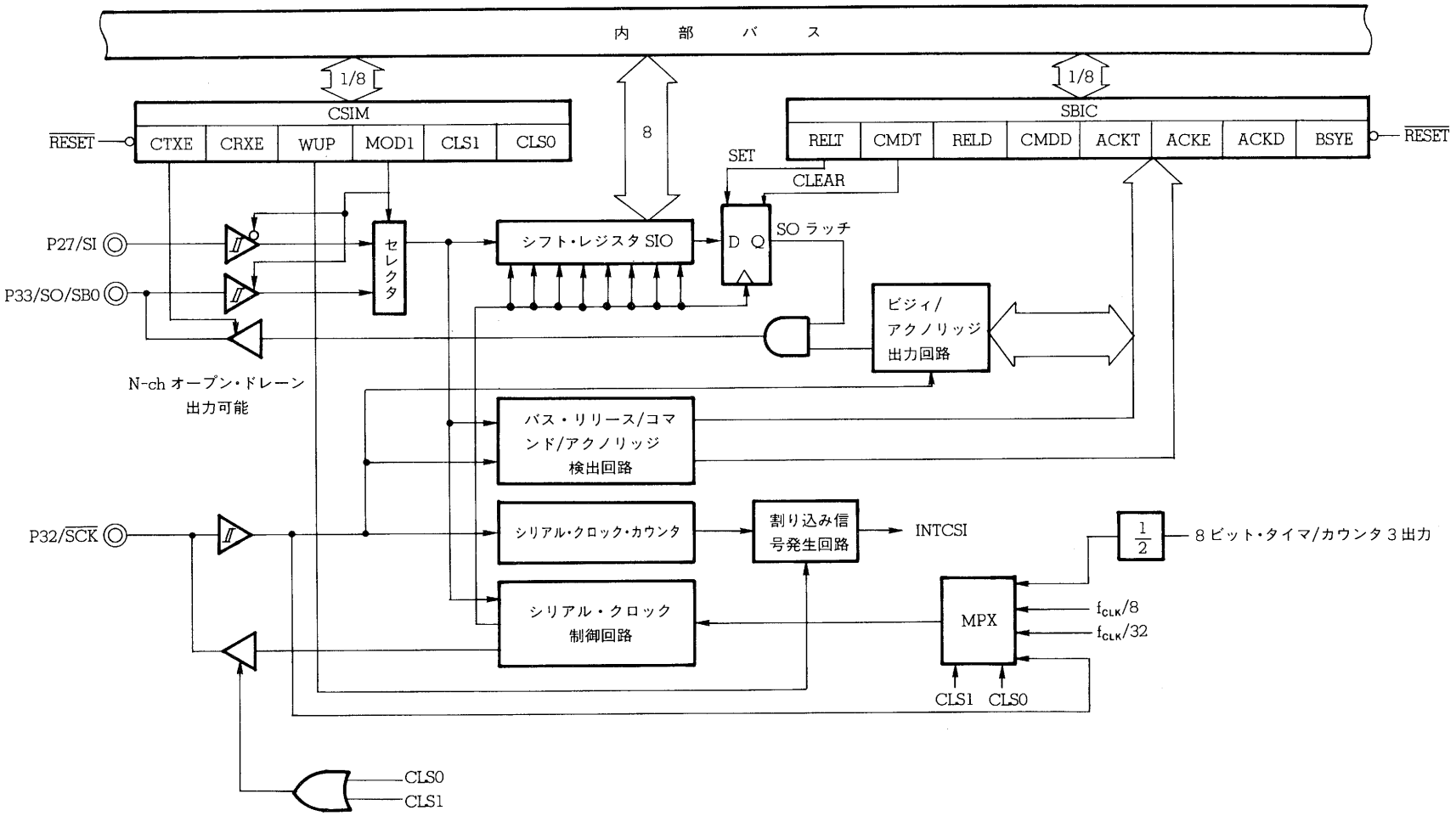
シリアル・データ・バス・ラインは，出力がN-chオープン・ドレーンのため，外部にプルアップ抵抗が必要となります。

図11－8　端子構成図



保守／廃止

図11－9　クロック同期式シリアル・インタフェースのブロック図



保守／廃止

11.5.3　アドレスの一致検出方法

SBIの通信では，マスタのアドレス送信により，特定のスレーブ・デバイスを選択し，通信がスタートされます。

スレーブ・デバイスのアドレス一致の検出は，ソフトウエアで行います。ウエイク・アップ状態(WUP＝1）では，スレーブはアドレス受信時のみ，シリアル転送完了割り込み要求を発生します。

ソフトウエアによる一致アドレス受信処理では，ウエイク・アップ状態を解除（WUP←0）し，以降の「コマンド」，「データ」の受信に備えます。

11.5.4　SBIモードの制御レジスタ

（1）クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）

CSIMレジスタは，シリアル・インタフェースの動作モード，シリアル・クロック，ウエイク・アップ機能などを指定する8ビット・レジスタです。

CSIMレジスタのフォーマットを，図11－10に示します。

８ビット操作命令とビット操作命令でリード／ライトが可能です。

しかし，ビット単位にリード／ライトの属性があります。

CSIMレジスタの値は$\overline{\text{RESET}}$入力により00Hになります。

保守／廃止

図11－10　クロック同期式シリアル・インタフェース・モード・レジスタ(CSIM)のフォーマット

	⑦	⑥	⑤	4	3	2	1	0	
CSIM	CTXE	CRXE	WUP	0	MOD1	0	CLS1	CLS0	(リセットで00H)

CLS1	CLS0	シリアル・クロックの選択		SCK端子	SBIモード時のマスタ／スレーブ選択
0	0	外部クロック		入力	スレーブ
0	1	内部クロック	8ビット・タイマ/カウンタ3出力の1/2	出力	マスタ
1	0		$f_{CLK}/32$[注]		
1	1		$f_{CLK}/8$[注]		

注　f_{CLK}：内部システム・クロック

WUP	MOD1	動作モード	ウエイク・アップ機能の制御
0	0	3線式シリアルI/Oモード	シリアル転送ごとに割り込み要求を発生
0	1	SBIモード	
1	1		アドレス受信時のみ割り込み要求を発生

CRXE	受信動作
0	禁止
1	許可

CTXE	送信動作
0	禁止
1	許可

11

注意　CTXE＝0，CRXE＝1の状態からCTXE＝1，CRXE＝0へ変更する場合，およびCTXE＝1，CRXE＝0の状態からCTXE＝0，CRXE＝1へ変更する場合は，1命令で行わないようにしてください。シリアル・クロック・カウンタが誤動作し，変更後の1回目の通信が8ビット未満で終了してしまいます。次のように2命令に分けて変更してください。

例　CTXE＝1，CRXE＝0をCTXE＝0，CRXE＝1に変更する場合

```
CLR1  CTXE
SET1  CRXE
```

保守／廃止

(2) シリアル・バス・インタフェース・コントロール・レジスタ（SBIC）

シリアル・バス・インタフェース・コントロール・レジスタ（SBIC）は，シリアル・バスの状態を制御するビットとシリアル・バスからの入力データの各種状態を示すフラグから構成される８ビット・レジスタです。

８ビット操作命令およびビット操作命令で，リード／ライトが可能です。ただし，ビットによってリード／ライト動作の可否は，異なります。フォーマットを図11－11に示します。

SBICレジスタの値は$\overline{\text{RESET}}$入力により00Hになります。

図11－11　SBICレジスタのフォーマット（1/2）

	⑦	⑥	⑤	④	③	②	①	⓪	
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	（リセットで00H）

バス・リリース・トリガ・ビット（W）

RELT	バス・リリース信号(REL)のトリガ出力制御ビット。セットすることにより，SOラッチがセット(1)され，その後，RELTビットは自動的にクリア(0)されます。

コマンド・トリガ・ビット（W）

CMDT	コマンド信号(CMD)のトリガ出力制御ビット。セットすることにより，SOラッチがクリア(0)され，その後，CMDTビットは自動的にクリア(0)されます。

バス・リリース検出フラグ（R）

	クリアされる条件（RELD＝0）	セットされる条件（RELD＝1）
RELD	① 転送スタート命令実行時 ② リセット入力時 ③ CTXE＝CRXE＝0	バス・リリース信号（REL）検出時

コマンド検出フラグ（R）

	クリアされる条件（CMDD＝0）	セットされる条件（CMDD＝1）
CMDD	① 転送スタート命令実行時 ② バス・リリース信号(REL) 検出時 ③ リセット入力時 ④ CTXE＝CRXE＝0	コマンド信号（CMD）検出時

保守／廃止

図11－11　SBICレジスタのフォーマット（2/2）

アクノリッジ・トリガ・ビット（W）

ACKT	転送終了後にセットすると，次の$\overline{SCK}$に同期して$\overline{ACK}$が出力されます。$\overline{ACK}$信号出力後，自動的にクリア(0)されます。 注意　① シリアル転送終了前にセット(1)しないでください。 ② ACKTは，ソフトウエアでクリアすることはできません。 ③ ACKTをセットするときは，ACKE＝0にしてください。

アクノリッジ許可ビット（R/W）

ACKE	0	アクノリッジ信号の自動出力を禁止	
	1	転送完了前	9クロック目の$\overline{SCK}$に同期して$\overline{ACK}$を出力
		転送完了後	セット命令実行直後の$\overline{SCK}$に同期して$\overline{ACK}$を出力

アクノリッジ検出フラグ（R）

	クリアされる条件（ACKD＝0）	セットされる条件（ACKD＝1）
ACKD	① 転送スタート命令実行後，ビジィ解除後の1回目の$\overline{SCK}$の立ち下がり時 ② リセット入力時 ③ CTXE＝CRXE＝0 ④ バス・リリース検出時（スレーブ・モード時のみ）	アクノリッジ信号($\overline{ACK}$)検出時

ビジィ許可ビット（R/W）

BSYE	0	① ビジィ信号の自動出力禁止 ② クリア命令実行直後の，$\overline{SCK}$の立ち下がりに同期して，ビジィ信号の出力を停止
	1	アクノリッジ信号に続き$\overline{SCK}$の立ち下がりに同期して，ビジィ信号を出力

備考　(R)　：読み出しのみ可能
　　(W)　：書き込みのみ可能
　　(R/W)：読み出し／書き込みともに可能

★

11

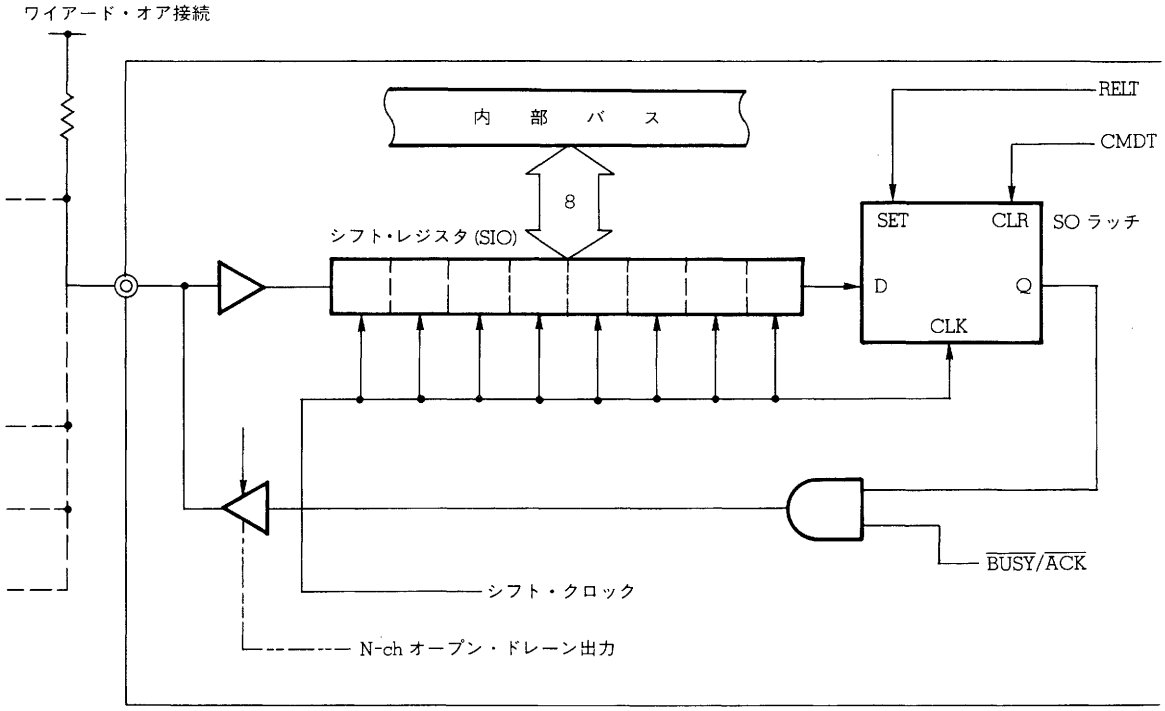
保守／廃止

(3) シフト・レジスタ（SIO）

パラレル-シリアルの変換を行うための８ビット・シフト・レジスタです。

SIOに書き込まれたデータが，シリアル・データ・バスに出力されます。また，シリアル・データ・バスからSIOにデータが読み込まれます。図11－12にシフト・レジスタ周辺の構成を示します。

図11－12　シフト・レジスタ周辺の構成



SBIのデータ・バス構成は，入力端子と出力端子が兼用です。出力端子はN-chオープン・ドレーン構成で，外部のプルアップ抵抗により，ワイアード・オア構成を取ります。したがって，これから受信を行おうとするデバイスは，シフト・レジスタ（SIO）にFFHを設定するか，送信禁止に設定しなければなりません。

保守／廃止

11.6　SBIの通信動作と各種信号

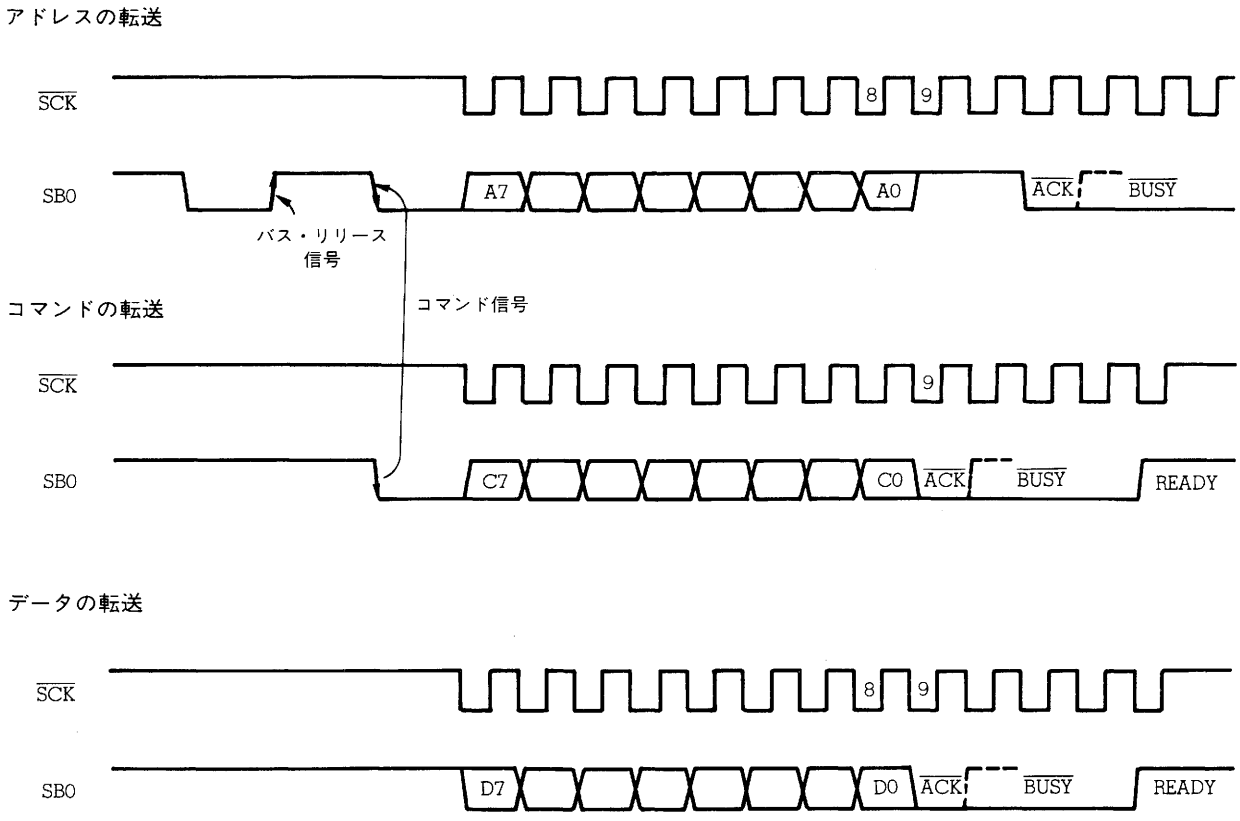
ここでは，SBIのシリアル・データのフォーマットおよび，使用する信号の意味について説明します。

SBIで転送されるシリアル・データは，「アドレス」，「コマンド」，「データ」の３種類に区別されます。また，シリアル・データは，以下の構成で１フレームを形成します。

(バス・リリース信号)＋(コマンド信号)＋８ビット・データ＋$\overline{ACK}$＋($\overline{BUSY}$)

図11－13に，アドレス，コマンド，およびデータの転送タイミングを示します。

図11－13　SBI転送のタイミング



バス・リリース信号およびコマンド信号はマスタが出力します。また，$\overline{BUSY}$はスレーブが出力します。$\overline{ACK}$はマスタ，スレーブのどちらでも出力できます（通常，８ビット・データの受信側が出力します）。

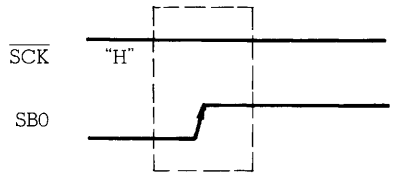
シリアル・クロックは，８ビット・データ転送開始から，$\overline{BUSY}$が解除されるまで，マスタが出力し続けます。

保守／廃止

11.6.1　バス・リリース信号（REL）

バス・リリース信号は，$\overline{SCK}$ラインがハイ・レベルのとき（シリアル・クロックが出力されていない場合）に，SBOラインがロウ・レベルからハイ・レベルに変化した信号です。この信号は，マスタが出力します。

図11－14　バス・リリース信号

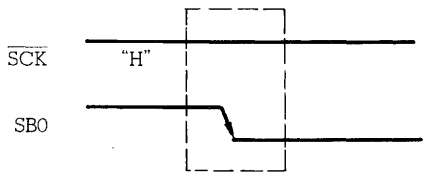


バス・リリース信号は，これからマスタがスレーブに対してアドレスを送信することを示すものです。スレーブは，バス・リリース信号を検出するハードウエアを内蔵しています。

11.6.2　コマンド信号（CMD）

コマンド信号は，$\overline{SCK}$ラインが，ハイ・レベルのとき（シリアル・クロックが出力されていない場合）に，SBOラインがハイ・レベルからロウ・レベルに変化した信号です。この信号は，マスタが出力します。

図11－15　コマンド信号



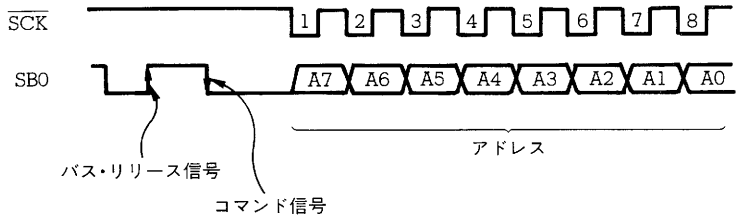
スレーブは，コマンド信号を検出するハードウエアを内蔵しています。

保守／廃止

11.6.3　アドレス

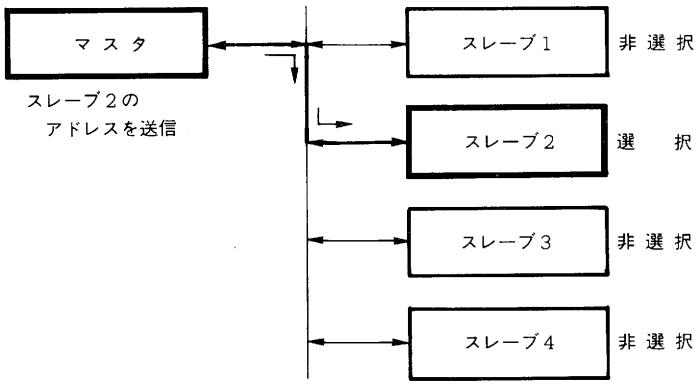
アドレスは，マスタがバス・ラインに接続されているスレーブに対して，特定のスレーブを選択するために出力する８ビット・データです。

図11－16　アドレス



バス・リリース信号，コマンド信号に続く８ビット・データはアドレスと定義されています。スレーブでは，ハードウエアでこの条件を検出し，８ビット・データが自分の指定番号（スレーブ・アドレス）と一致しているかをソフトウエアまたはハードウエアでチェックします。このとき，８ビット・データと，スレーブ・アドレスが一致すると，そのスレーブが選択されたことになり，以後，マスタから切り離し指示があるまで，マスタとの通信を行います。

図11－17　アドレスによるスレーブの選択



保守／廃止

11.6.4　コマンド，データ

アドレスの送信により選択したスレーブに対して，マスタはコマンドの送信や，データの送受信を行います。

図11－18　コマンド

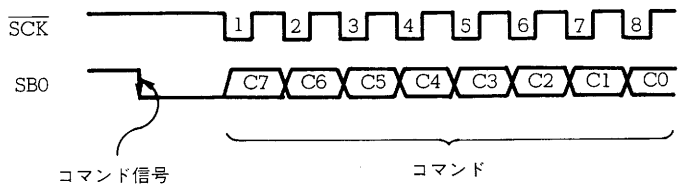
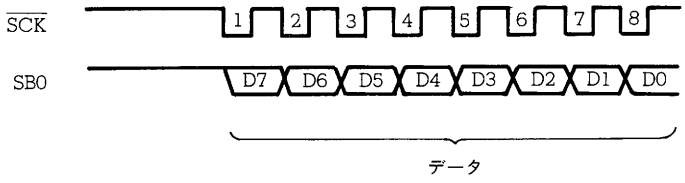


図11－19　データ



コマンド信号の次の８ビット・データはコマンドと定義されています。コマンド信号なしの８ビット・データはデータと定義されています。コマンド，データの使用方法は，通信の仕様によって任意に決定することができます。

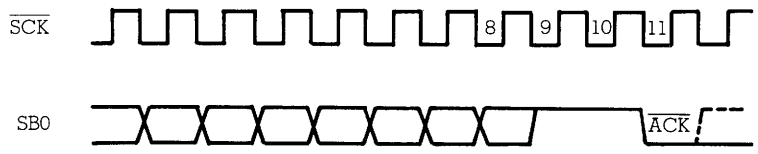
保守／廃止

11.6.5　アクノリッジ信号（$\overline{\text{ACK}}$）

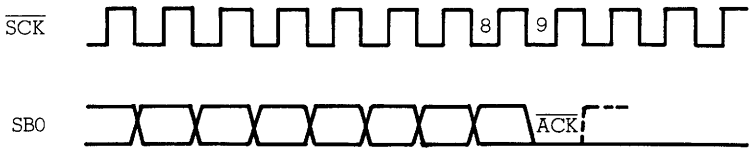
アクノリッジ信号は，送信側と受信側の間における，データ受信の確認のための信号です。

図11－20　アクノリッジ信号

〔11クロック目の$\overline{\text{SCK}}$に同期して出力した場合〕



〔９クロック目の$\overline{\text{SCK}}$に同期して出力した場合〕



アクノリッジ信号は，８ビット・データ転送後の$\overline{\text{SCK}}$の立ち下がりに同期したワンショット・パルスで，その位置は任意で何クロック目の$\overline{\text{SCK}}$に同期させてもかまいません。

送信側は，８ビット・データ送信後，受信側がアクノリッジ信号を返したかをチェックします。データ送信後，一定時間，アクノリッジ信号が返らない場合は，受信が正しく行われなかったものと判断することができます。

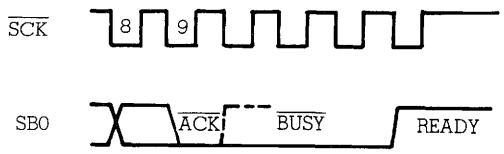
保守／廃止

11.6.6　ビジィ信号（$\overline{\text{BUSY}}$），レディ信号（READY）

ビジィ信号は，スレーブがデータの送受信のための準備中であることをマスタに知らせるための信号です。

レディ信号は，スレーブがデータの送受信が可能であることをマスタに知らせるための信号です。

図11－21　ビジィ信号，レディ信号



SBIでは，スレーブが，SB0ラインをロウ・レベルにすることにより，マスタにビジィ状態を知らせます。

ビジィ信号は，マスタ，またはスレーブの出力したアクノリッジ信号に引き続いて出力させます。ビジィ信号は，$\overline{\text{SCK}}$の立ち下がりに同期して，設定／解除を行います。マスタは，ビジィ信号が解除されると自動的にシリアル・クロック$\overline{\text{SCK}}$の出力を終了します。

マスタは，ビジィ信号が解除され，レディ信号の状態になると次の転送を開始することができます。

保守／廃止

11.6.7　各種信号

SBIにおける，各種の信号と，SBIC上のフラグの動作について図11－22から図11－26に示します。また，SBIの各種の信号の一覧を表11－2に示します。

図11－22　RELT，CMDT，RELD，CMDDの動作

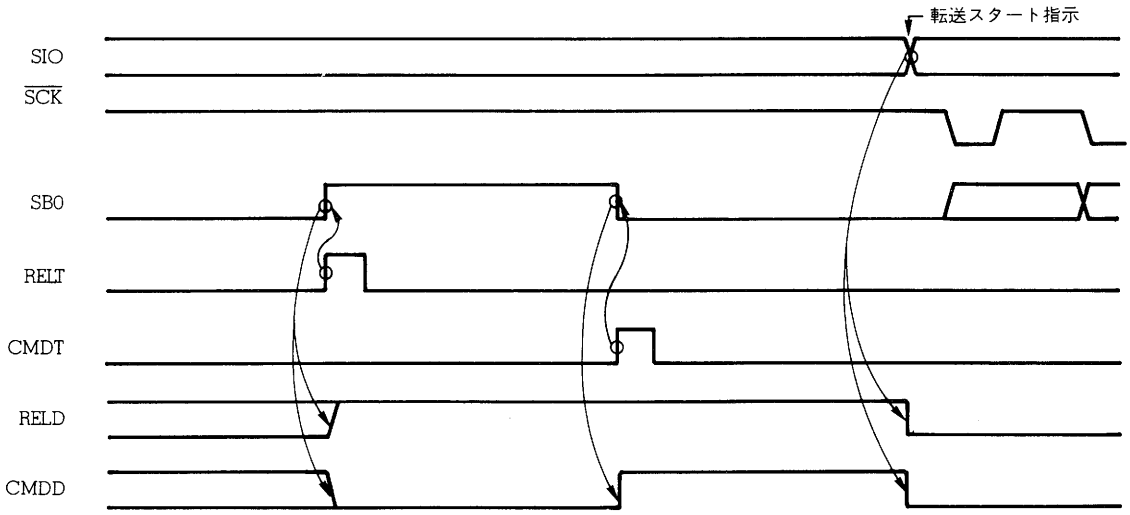
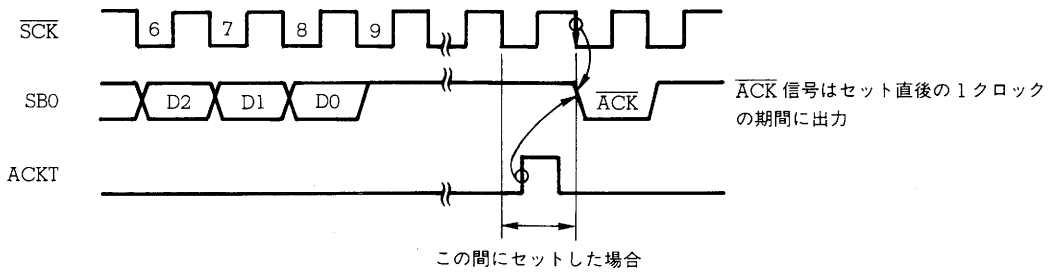


図11－23　ACKTの動作

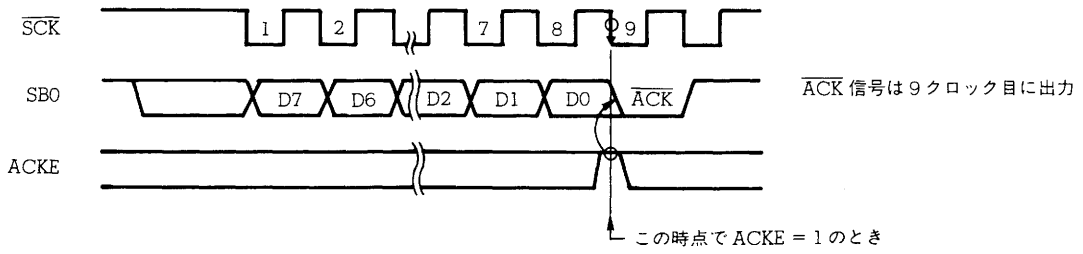


注意　ACKTは転送終了前にはセットしないでください。

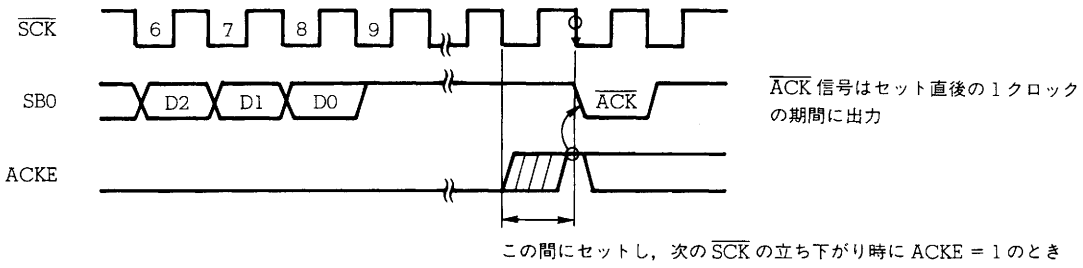
保守／廃止

図11－24　ACKEの動作

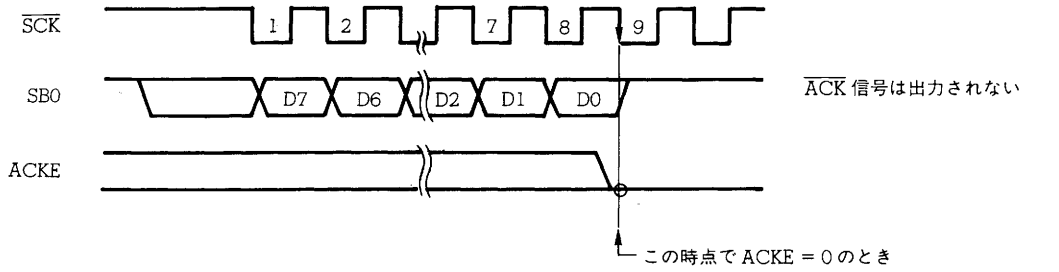
(a) 転送完了時にはACKE＝1の場合



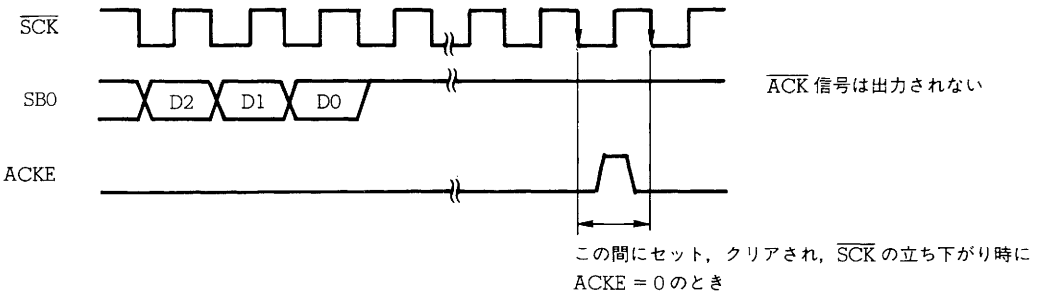
(b) 転送完了後にセットした場合



(c) 転送完了時にACKE＝0の場合



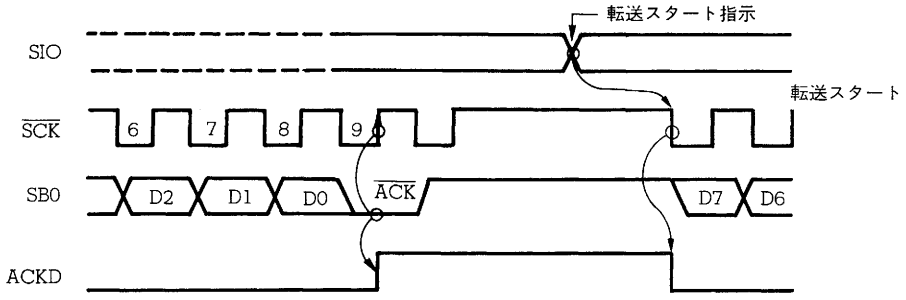
(d) ACKE＝1の期間が短い場合



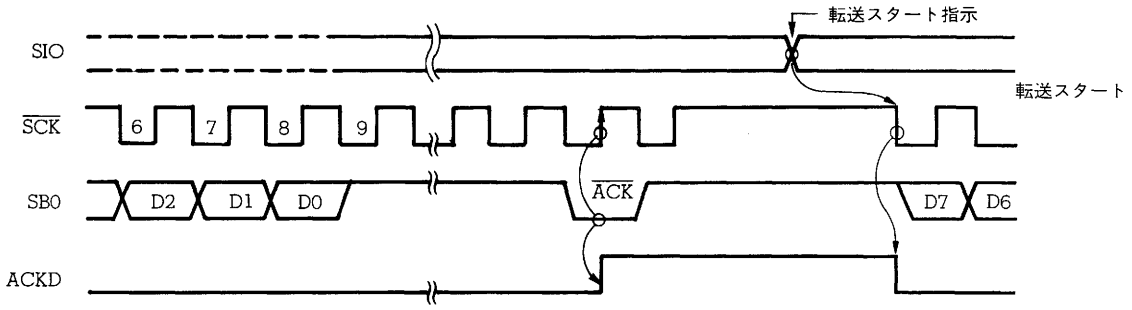
保守／廃止

図11－25　ACKDの動作

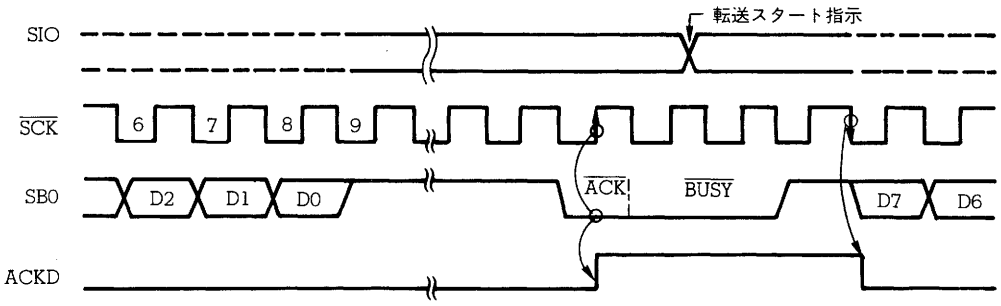
(a) $\overline{SCK}$の9クロック目の期間に$\overline{ACK}$信号が出力された場合



(b) $\overline{SCK}$の9クロック目以降に$\overline{ACK}$信号が出力された場合



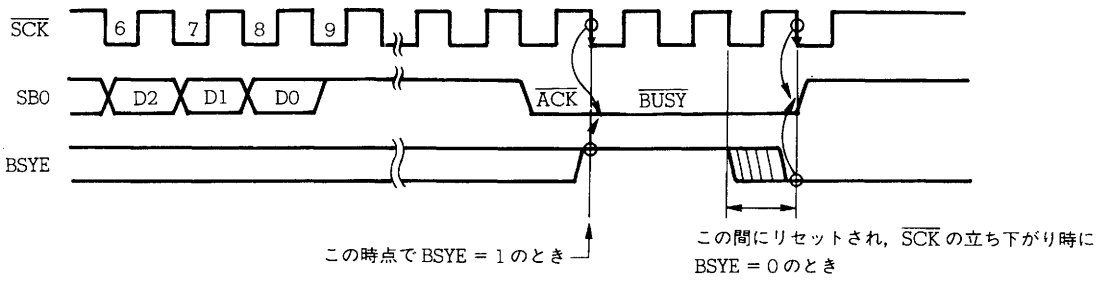
(c) BUSY中に転送スタート指示した場合のクリアのタイミング



11

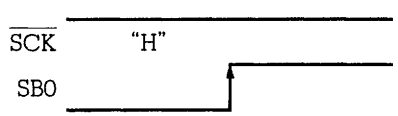
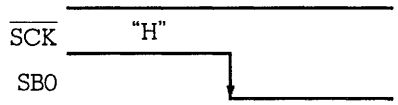
保守／廃止

図11－26　BSYEの動作



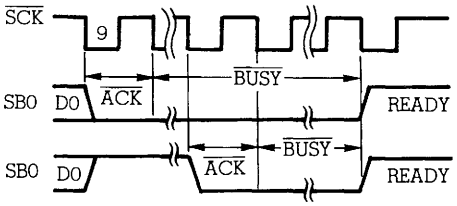
保守／廃止

表11－2　SBIモードにおける各種の信号（1/3）

信号名称	出力するデバイス	定　　義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
バス・リリース信号（REL）	マスタ	$\overline{SCK}$＝1のときの，SB0の立ち上がりエッジ		・RELTのセット	・RELDをセット ・CMDDをクリア	続いてCMD信号を出力し，送信データがアドレスであることを示す。
コマンド信号（CMD）	マスタ	$\overline{SCK}$＝1のとき，SB0の立ち下がりエッジ		・CMDTのセット	・CMDDをセット	(1)REL信号出力後送信データはアドレス。 (2)REL信号出力なしの場合，送信データはコマンド。

保守／廃止

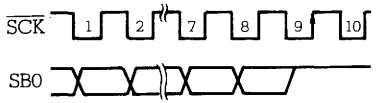
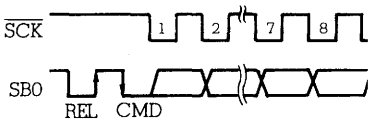
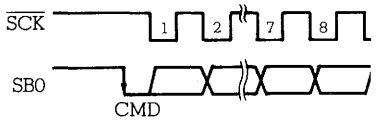
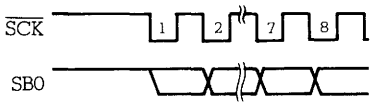
表11－2　SBIモードにおける各種の信号（2/3）

信号名称	出力するデバイス	定　　義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
アクノリッジ信号（$\overline{ACK}$）	マスタ／スレーブ	シリアル受信完了後，$\overline{SCK}$の1クロックの期間のSBOに出力されるロウ・レベルの信号。		①　ACKE＝1 ②　ACKTのセット	・ACKDをセット	受信完了。
ビジィ信号（$\overline{BUSY}$）	スレーブ	アクノリッジ信号に続いてSBOに出力されるロウ・レベルの信号。		・BSYE＝1	——	処理中のため，シリアル送受信不可能状態。
レディ信号（READY）	スレーブ	シリアル転送開始前，完了後，SBOに出力されるハイ・レベルの信号。		①　BSYE＝0 ②　CTXE＝1のときの，SIOへのデータ書き込み（シリアル転送スタート指示）注 ③　CTXE＝0，CRXE＝1のときのSIOからのデータ読み出し命令実行 ④　CRXEビットの0から1への変化	——	シリアル送受信可能状態。

注　データ送受信の場合，$\overline{BUSY}$状態のときは，READY状態になったのち，転送スタートする。

保守／廃止

表11－2　SBIモードにおける各種の信号（3/3）

信号名称	出力するデバイス	定　　義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
シリアル・クロック（$\overline{SCK}$）	マスタ	アドレス／コマンド／データ，$\overline{ACK}$信号，同期$\overline{BUSY}$信号などの出力のための同期クロック。最初の8個でアドレス／コマンド／データを転送する。		① CTXE＝1のときの，SIOへのデータ書き込み命令実行（シリアル転送スタート指示）**注2** ② CTXE＝0，CRXE＝1のときのSIOからのデータ読み出し命令実行 ③ CRXEビットの0から1への変化	CSIIFをセット（8クロック目の立ち上がり）**注1**	シリアル・データ・バスへの信号出力のタイミング
アドレス（A7-A0）	マスタ	REL信号，CMD信号出力後に，$\overline{SCK}$に同期して転送される8ビット・データ。				シリアル・バス上のスレーブ・デバイスのアドレス値
コマンド（C7-C0）	マスタ	REL信号は出力されず，CMD信号のみ出力されたのち，$\overline{SCK}$に同期して転送される8ビット・データ。				スレーブ・デバイスへの指示やメッセージなど
データ（D7-D0）	マスタ／スレーブ	REL信号，CMD信号ともに出力されず，$\overline{SCK}$に同期して転送される8ビット・データ。				スレーブまたはマスタが処理するデータ

注1．WUP＝0のとき，常に$\overline{SCK}$の8クロック目の立ち上がりでCSIIFをセットする。

WUP＝1のとき，アドレスを受信したときのみ，$\overline{SCK}$の8クロック目の立ち上がりでCSIIFをセットする。

2．データ送受信の場合，$\overline{BUSY}$状態のときは，READY状態になったのち，転送スタートする。

保守／廃止

11.6.8　通信動作

SBIでは，マスタがシリアル・バス上に「アドレス」を出力することで複数のデバイスのうち，通信対象となるスレーブ・デバイスを通常1つ選択します。

通信対象デバイスを決定したのちに，マスタ・デバイスとスレーブ・デバイスとの間で，コマンド，データの送受信を行い，シリアル通信を実現します。

各データ通信のタイミング・チャートを図11－27から図11－30に示します。

11.6.9　ビジィ解除方法

SBIのマクロ・サービスを併用した高速転送などを考慮して，送受信許可の状態によって，ビジィの解除条件が変わります。表11－3に$\overline{\text{BUSY}}$解除方法の一覧を示します。

表11－3　$\overline{\text{BUSY}}$解除条件

デバイスと条件		$\overline{\text{BUSY}}$解除条件
CTXE	CRXE	
0	0	――
0	1	BSYE←0，SIOリード・アクセス
1	0	BSYE←0，SIOライト・アクセス注
1	1	

注　次の動作が受信の場合には，SIOに書き込む値はFFHを使用します。

11.6.10　ウエイク・アップ設定動作

ビジィ中のWUP←1は，READY状態となり次第，ウエイク・アップ状態に設定されます。

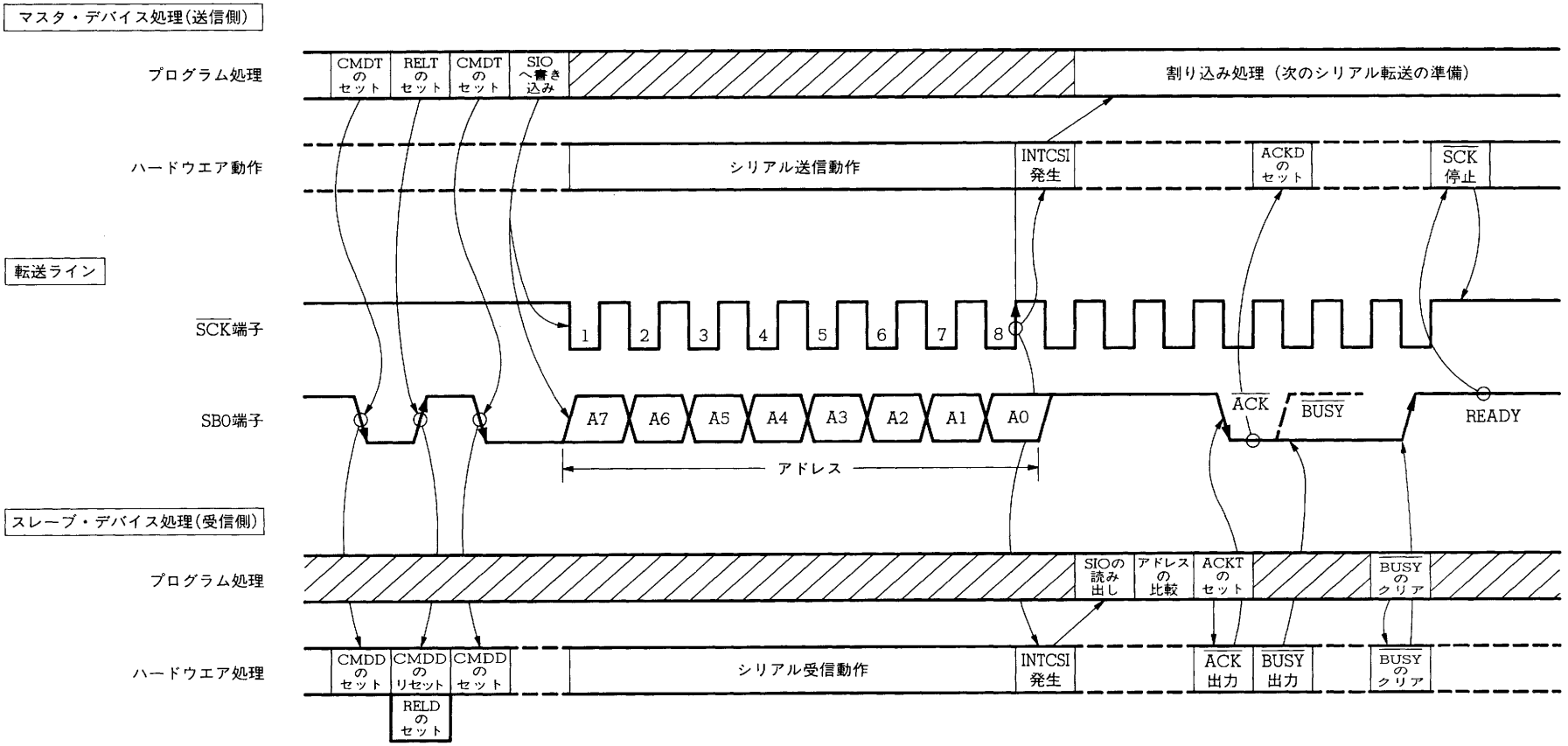
ウエイク・アップ状態になると，アドレスを受信した場合のみ割り込み（INTCSI）を発生します。また，ウエイク・アップ状態では，アクノリッジ（$\overline{\text{ACK}}$）信号の検出を行いません。

11.6.11　送受信動作のスタート

送受信動作のスタートは，ビジィ解除方法と同じ方法で行います。送受信動作のスタートの指示があっても，スレーブがビジィ（$\overline{\text{BUSY}}$）信号を出力している間は，送受信動作は保留され，ビジィが解除されるとスタートします。

保守／廃止

図11－27　マスタ・デバイスからスレーブ・デバイスへのアドレス送信動作



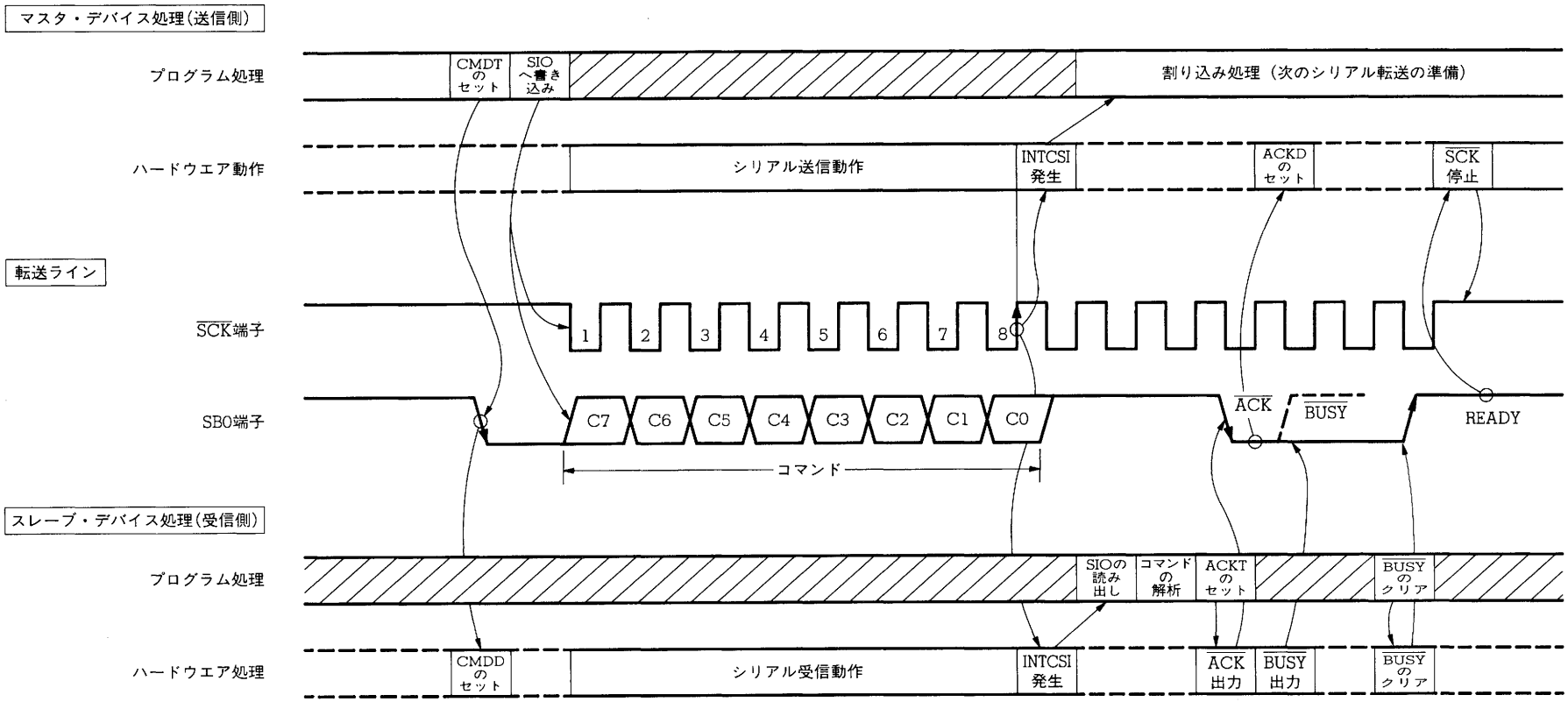
備考　本タイミングは下記の条件の場合

・マスタは送信のみ許可

・スレーブは受信のみ許可，ACKE＝0，BSYE＝1

保守／廃止

図11－28　マスタ・デバイスからスレーブ・デバイスへのコマンド送信動作



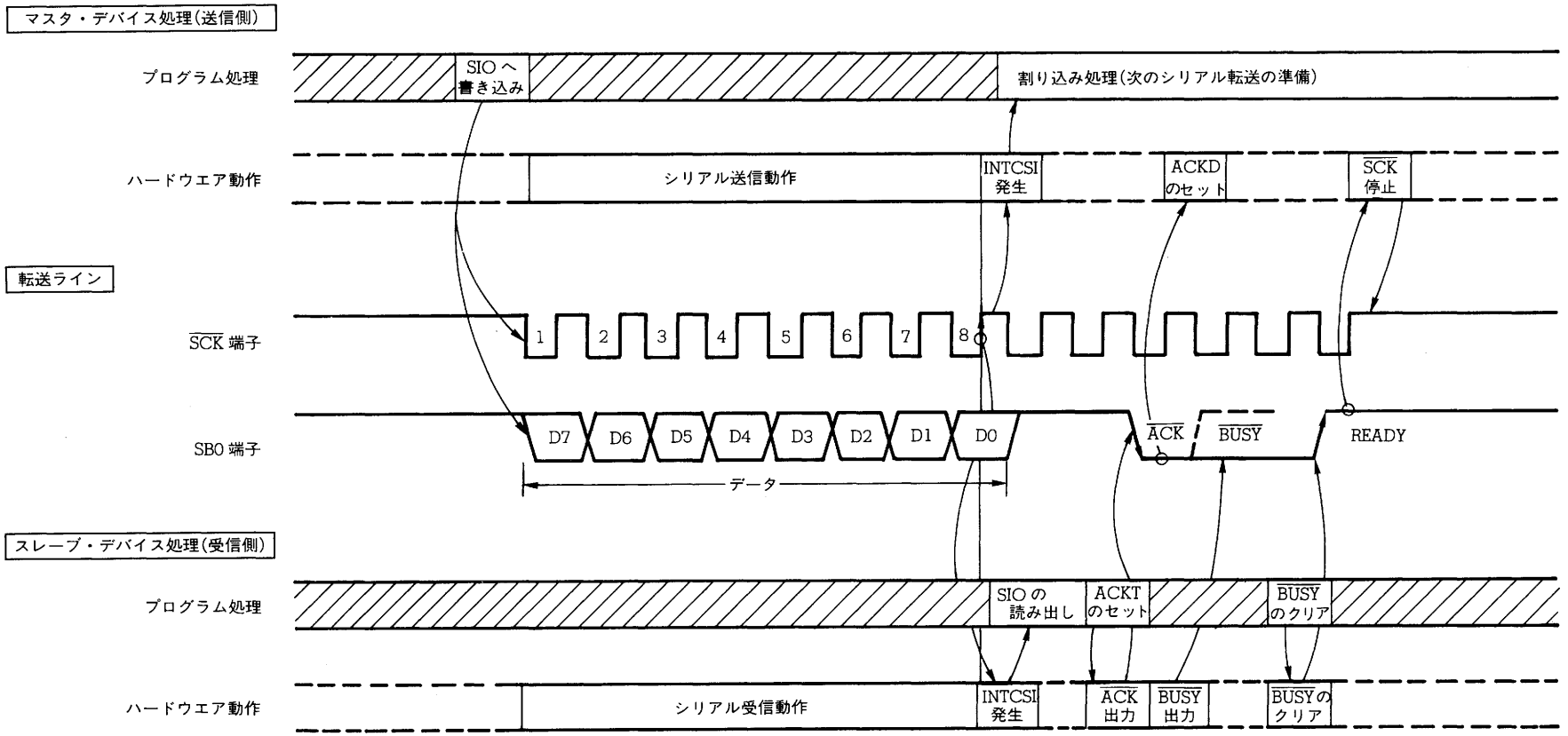
備考　本タイミングは下記の条件の場合

・マスタは送信のみ許可

・スレーブは受信のみ許可，ACKE＝0，BSYE＝1

保守／廃止

図11－29　マスタ・デバイスからスレーブ・デバイスへのデータ送信動作



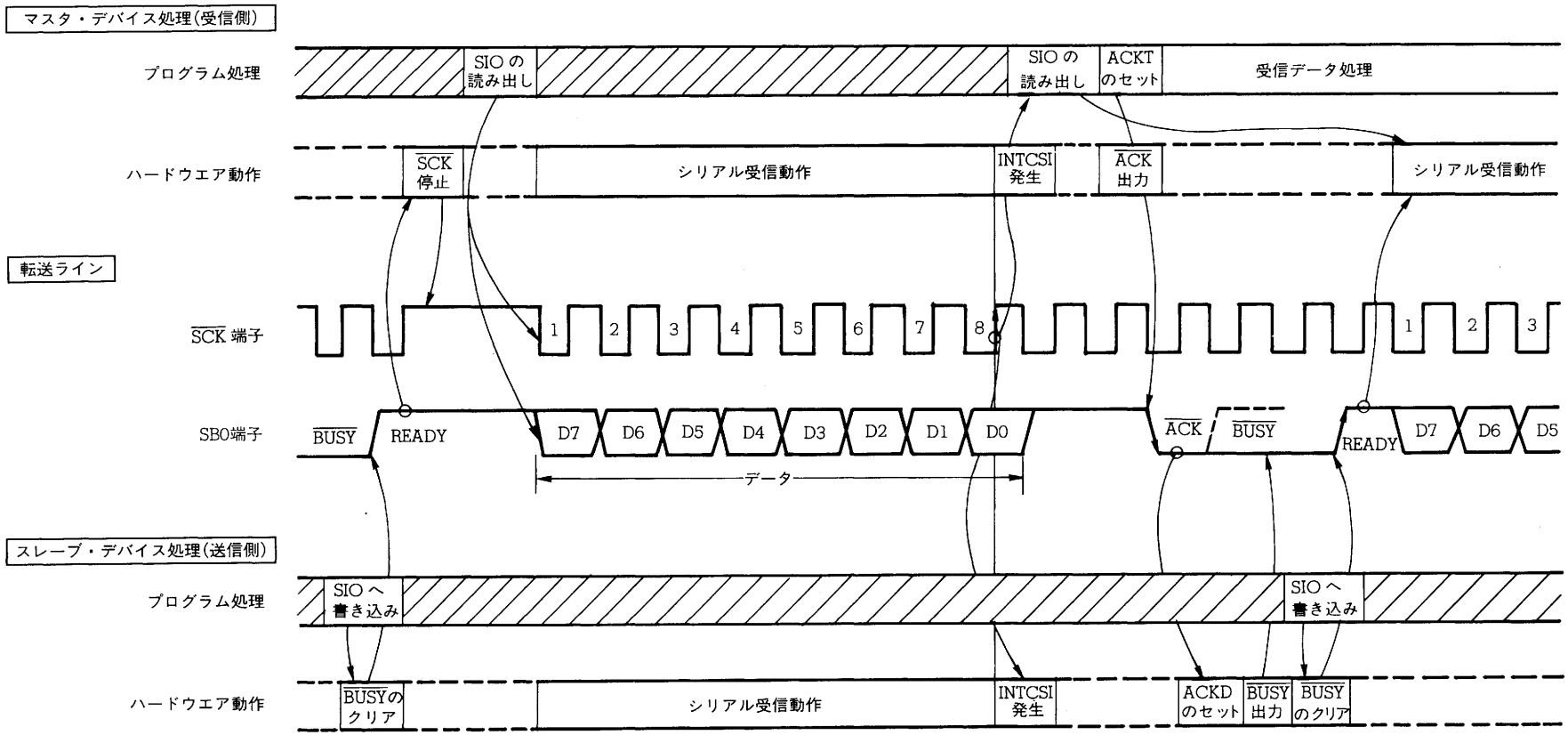
備考　本タイミングは下記の条件のみ

・マスタは送信のみ許可

・スレーブは受信のみ許可，ACKE＝0，BSYE＝1

保守／廃止

図11－30　スレーブ・デバイスからマスタ・デバイスへのデータ送信動作



備考　本タイミングは下記の条件のみ

・マスタは受信のみ許可，ACKE＝0

・スレーブは送信のみ許可，BSYE＝1

保守／廃止

11.7　注意事項

(1) CTXE＝0，CRXE＝1の状態からCTXE＝1，CRXE＝0へ変更する場合，およびCTXE＝1，CRXE＝0の状態からCTXE＝0，CRXE＝1へ変更する場合は，1命令で行わないようにしてください。シリアル・クロック・カウンタが誤動作し，変更後の1回目の通信が8ビット未満で終了してしまいます。次のように2命令に分けて変更してください。

例　CTXE＝1，CRXE＝0をCTXE＝0，CRXE＝1に変更する場合

```
CLR1  CTXE
SET1  CRXE
```

(2) マスタ／スレーブの交換処理を行う場合は，シリアル・クロック・ライン（$\overline{SCK}$）の入力／出力の切り替えがマスタ，スレーブ間で非同期に行われるため，シリアル・クロック・ライン（$\overline{SCK}$）にもプルアップ抵抗が必要となります。

(3) ACKTは，転送終了前にはセットしないでください。

保守／廃止

保守／廃止

第12章　エッジ検出機能

P20-P26は，立ち上がりエッジ／立ち下がりエッジをプログラマブルに指定できるエッジ検出機能を有しており，検出したエッジを内部の各ハードウエアへ送っています。P20-P26端子と検出されたエッジの用途の関係を表12－1に示します。

表12－1　P20-P26端子と検出エッジの用途

端子	用　　途	検出エッジ指定レジスタ
P20	NMI，スタンバイ回路の制御	INTM0
P21	INTP0，8ビット・タイマ/カウンタ1のキャプチャ信号 リアルタイム出力ポートのトリガ信号	
P22	INTP1，8ビット・タイマ/カウンタ2のキャプチャ信号	
P23	INTP2，CI（8ビット・タイマ/カウンタ2のカウント・クロック）	
P24	INTP3，16ビット・タイマ/カウンタのキャプチャ信号	INTM1
P25	INTP4，ASCK（UARTの外部ボー・レート入力）	
P26	INTP5，A/Dコンバータの変換スタート信号	

エッジ検出機能は，STOPモード時を除いて常時動作しています（ただし，P20端子のエッジ検出機能はSTOPモード時も動作しています）。

保守／廃止

12.1　外部割り込みモード・レジスタ（INTMO，INTM1）

外部割り込みモード・レジスタ（INTM0，INTM1）は，P20-P26端子で検出するエッジの有効エッジを指定するレジスタです。INTM0レジスタでP20-P23端子の有効エッジを指定し，INTM1レジスタでP24-P26端子での有効エッジを指定します。

なお，INTM1レジスタは，INTP4割り込みとINTC30割り込みの切り替えの制御も行っています（詳細は，**第13章　割り込み機能**参照）。また，ASCK入力は本レジスタの指定によらず常に両エッジの検出が行われます。

INTM0，INTM1レジスタは，８ビットの操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図12－1，図12－2に示します。

$\overline{\text{RESET}}$入力で00Hになります。

注意　INTMO，INTM1レジスタへの書き込みによって有効エッジを変更しても有効エッジの検出は行われません。また，有効エッジの変更中にエッジが入力された場合は，そのエッジが有効エッジと判断されるか，有効でないと判断されるかは不定です。

保守／廃止

図12－1　外部割り込みモード・レジスタ0（INTM0）のフォーマット

	7	6	5	4	3	2	1	0
INTM0	ES21	ES20	ES11	ES10	ES01	ES00	0	ESNMI

ESNMI	P20(NMI)端子入力，検出エッジ指定
0	立ち下がりエッジ
1	立ち上がりエッジ

ES01	ES00	P21(INTP0，CR11キャプチャ・トリガ，リアルタイム・出力ポート出力トリガ)端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり，立ち上がり両エッジ

ES11	ES10	P22(INTP1，CR22キャプチャ・トリガ)端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり，立ち上がり両エッジ

ES21	ES20	P23(INTP2，CI入力)端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり，立ち上がり両エッジ

保守／廃止

図12－2　外部割り込みモード・レジスタ1（INTM1）のフォーマット

	7	6	5	4	3	2	1	0
INTM1	0	0	ES51	ES50	ES41	ES40	ES31	ES30

ES31	ES30	P24(INTP3, CR02キャプチャ・トリガ)端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり，立ち上がり両エッジ

ES41	ES40	P25(INTP4)端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	INTC30を選択
1	1	立ち下がり，立ち上がり両エッジ

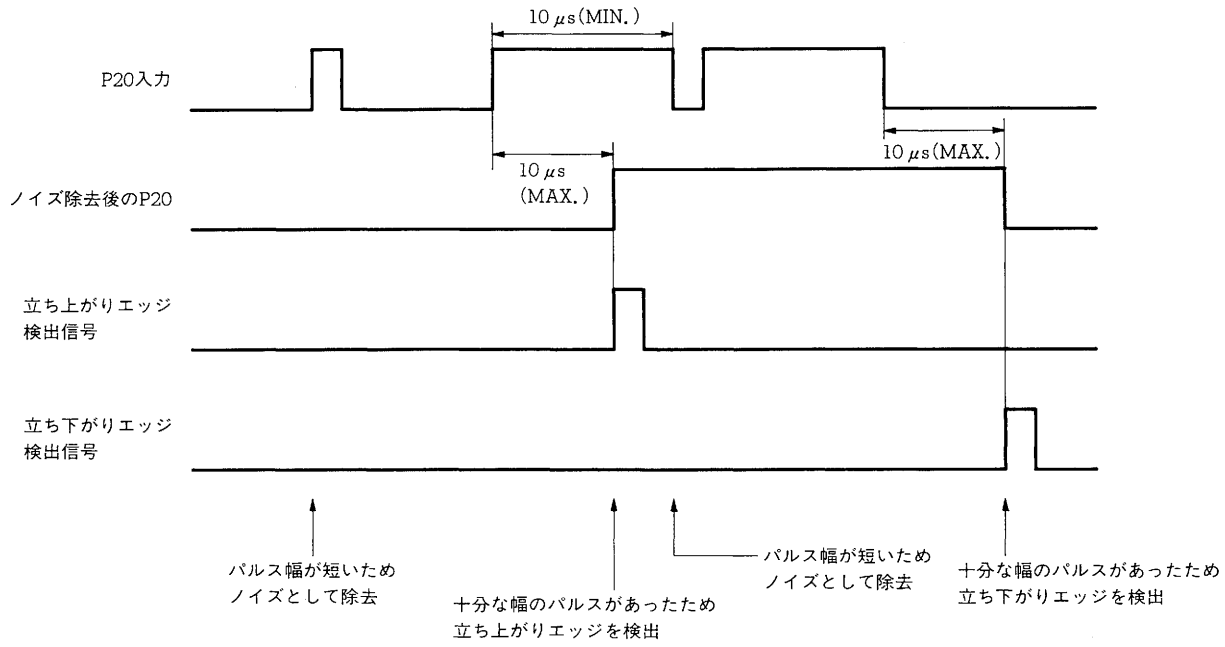
ES51	ES50	P26(INTP5, A/D変換スタート信号)端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり，立ち上がり両エッジ

保守／廃止

12.2　P20端子のエッジ検出

P20端子は，アナログ・ディレイによるノイズ除去後にエッジ検出を行っています。したがって，一定以上の時間幅（10 μs）のパルス幅がないとエッジを検出することができません。

図12－3　P20端子のエッジ検出



注意　P20端子にはアナログ・ディレイによるノイズ除去を行っているため，実際にエッジが入力されてから最大10 μs後にエッジが検出されます。また，P21-P26端子と異なり，デバイスごとの特性の違いにより一定の値とはなりません。

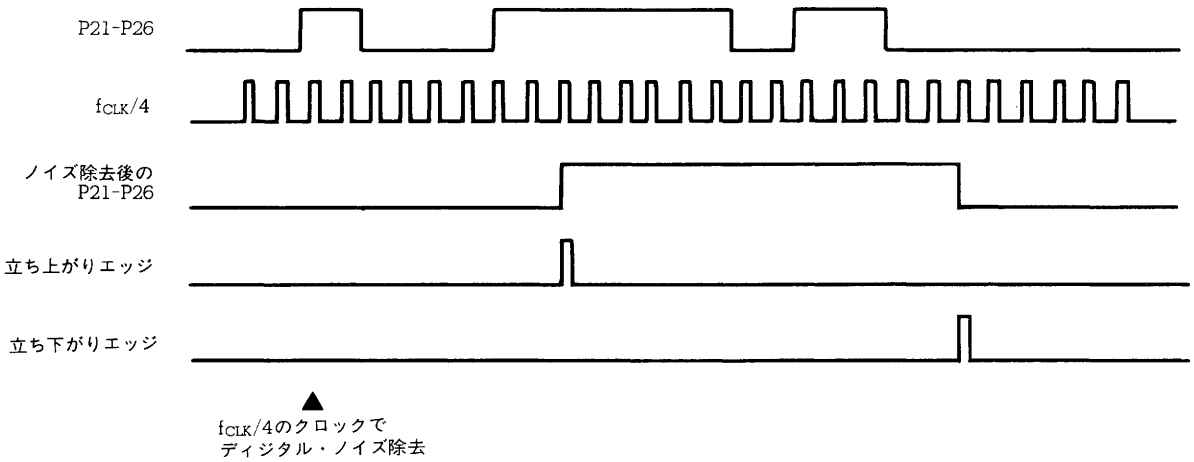
保守／廃止

12.3　P21-P26端子のエッジ検出

P21-P26端子のエッジ検出は，クロック・サンプリングによるディジタル・ノイズ除去後に行われます。

ディジタル・ノイズ除去はf_{CLK}/4のクロックでサンプリングを行い，入力されているレベルが連続して３回以上同一でなければ（２回以下しか連続しなければ）ノイズとして除去されます。したがって，有効エッジと認められるためには，f_{CLK}/4のクロックで３周期以上の期間（2 μs：f_{CLK}＝6 MHz）レベルを保持しなければなりません。

図12－4　P21-P26端子のエッジ検出



注意1. f_{CLK}/4のクロックでディジタル・ノイズ除去を行っているため，端子にエッジが入力されてから，実際にエッジが検出されるまでf_{CLK}のクロックで8-12クロックかかります。

2. 入力パルスの幅がf_{CLK}のクロックで8-12クロックの場合は，有効エッジが検出されるか，検出されないかは不定です。確実に動作させるためには，12クロック以上の期間レベルを固定するようにしてください。

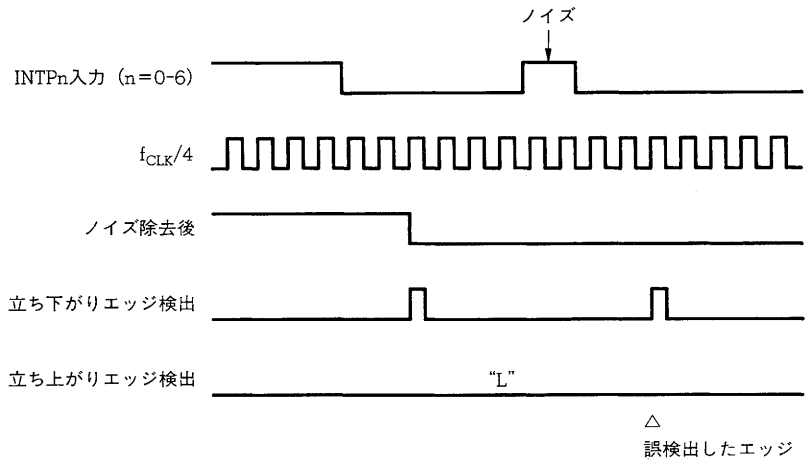
3. 端子に入力されたノイズがμPD78244内のf_{CLK}/4のクロックと同期している場合には，ノイズとして認められない場合があります。このようなノイズが入力される可能性が考えられる場合は，入力端子にフィルタを付加してノイズを除去するようにしてください。

4. インサーキット・エミュレータでは，ディジタル・ノイズ除去を正常に行うことができません。ロウ・レベル入力中のノイズにより立ち下がりエッジを，ハイ・レベル入力中のノイズにより立ち上がりエッジを誤検出してしまう場合があります（図12－5参照）。
また，ポート２を読み出すと，ノイズが除去されずに読めてしまいます。

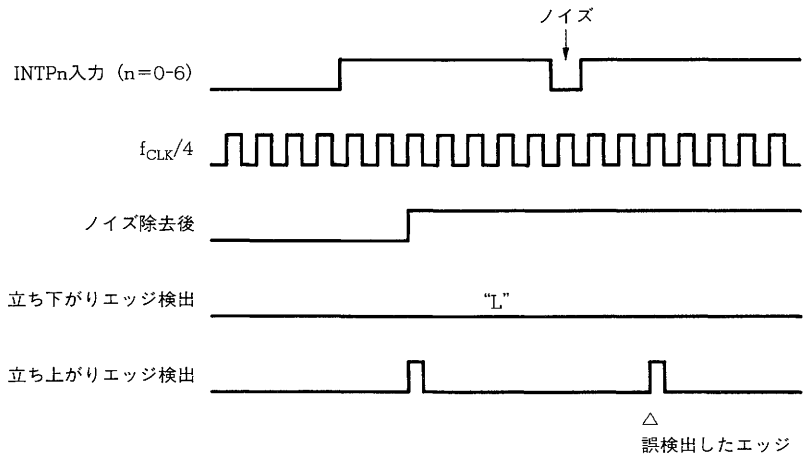
保守／廃止

図12－5　エッジの誤検出

(a) ロウ・レベル入力中のエッジ誤検出



(b) ハイ・レベル入力中のエッジ誤検出



12

保守／廃止

リアルタイム出力ポート，A/Dコンバータ，タイマ／カウンタへの影響は次のとおりです。

- リアルタイム出力ポート：誤検出したエッジに従って動作してしまいます。
- A/Dコンバータ　　：誤検出したエッジに従って動作してしまいます。
- タイマ／カウンタのキャプチャ動作，クリア動作
  ：誤検出したエッジの影響を受けません。したがって，誤検出したエッジによる割り込みが発生しても，キャプチャ値は更新されていません。特にCR22は，CPUが読み出したあとの値が不定となるため注意が必要です。
- タイマ／カウンタのコンペア動作
  ：キャプチャ後にクリアを行うモードに設定されている場合とタイマ／カウンタ２を外部イベント・カウンタとして使用している場合には，誤検出したエッジの影響により，一致割り込み発生のタイミングが変化してしまいます。その結果，タイマ／カウンタとコンペア・レジスタの値が一致するタイミングとは異なるタイミングで，一致割り込みが発生し続けます。
  - キャプチャ後にクリアを行うモードに設定されている場合には，正常なエッジ入力，またはタイマ／カウンタの停止により，一致割り込みの発生が正常なタイミングに戻ります。
  - タイマ／カウンタ２を外部イベント・カウンタとして使用している場合には，タイマ／カウンタの停止により，一致割り込みの発生が正常なタイミングに戻ります。

  ：タイマ出力は，誤検出したエッジの影響は受けません。正常なタイミングで動作を行います。

保守／廃止

12.4　注意事項

(1) INTM0, INTM1レジスタへの書き込みによって有効エッジを変更しても有効エッジの検出は行われません。また，有効エッジの変更中にエッジが入力された場合は，そのエッジが有効エッジと判断されるか，有効でないと判断されるかは不定です。

(2) P20端子はアナログ・ディレイによるノイズ除去を行っているため，実際にエッジが入力されてから最大10 μs後にエッジが検出されます。また，P21-P26端子と異なり，デバイスごとの特性の違いにより一定の値とはなりません。

(3) P21-P26端子は$f_{CLK}/4$のクロックでディジタル・ノイズ除去を行っているため，端子にエッジが入力されてから，実際にエッジが検出されるまでf_{CLK}のクロックで8-12クロックかかります。

(4) P21-P26端子の入力パルスの幅がf_{CLK}のクロックで8-12クロックの場合は，有効エッジが検出されるか，されないかは不定です。確実に動作させるためには，12クロック以上の期間レベルを固定するようにしてください。

(5) P21-P26端子に入力されたノイズがμPD78244内の$f_{CLK}/4$のクロックと同期している場合には，ノイズとして認められない場合があります。このようなノイズが入力される可能性が考えられる場合は，入力端子フィルタを付加してノイズを除去するようにしてください。

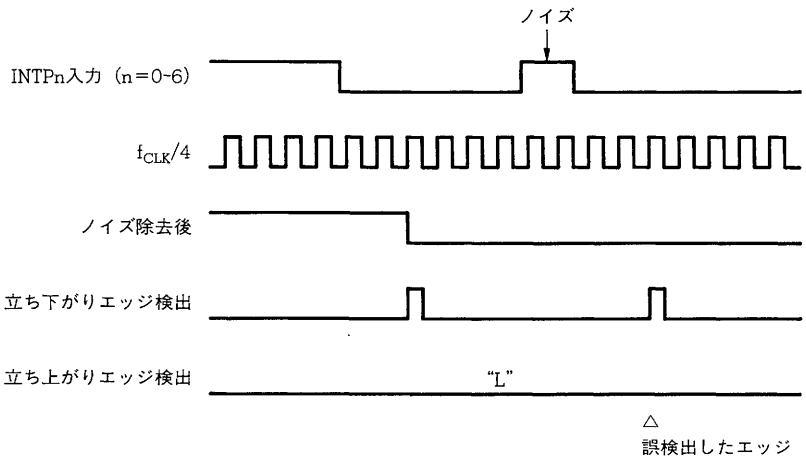
(6) インサーキット・エミュレータでは，ディジタル・ノイズ除去を正常に行うことができません。ロウ・レベル入力中のノイズにより立ち下がりエッジを，ハイ・レベル入力中のノイズにより立ち上がりエッジを誤検出してしまう場合があります（**図12-6**参照）。

また，ポート2を読み出すと，ノイズが除去されずに読めてしまいます。

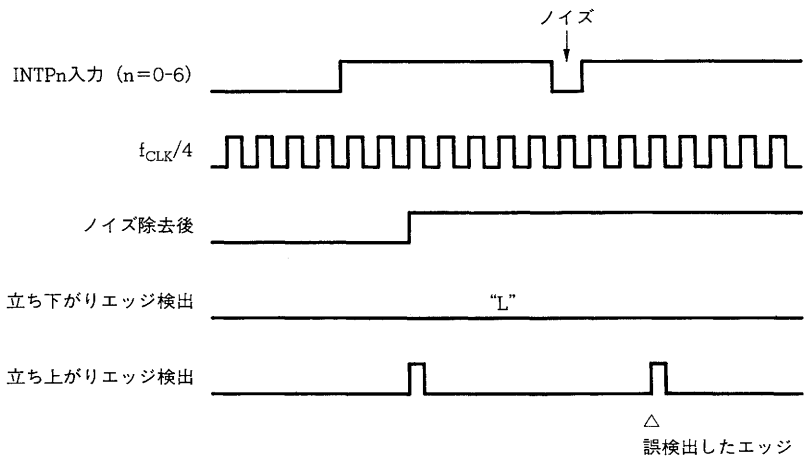
保守／廃止

図12－6　エッジの誤検出

(a) ロウ・レベル入力中のエッジ誤検出



(b) ハイ・レベル入力中のエッジ誤検出



保守／廃止

リアルタイム出力ポート，A/Dコンバータ，タイマ／カウンタへの影響は次のとおりです。

●リアルタイム出力ポート：誤検出したエッジに従って動作してしまいます。

●A/Dコンバータ　　：誤検出したエッジに従って動作してしまいます。

●タイマ／カウンタのキャプチャ動作，クリア動作

：誤検出したエッジの影響を受けません。したがって，誤検出したエッジによる割り込みが発生しても，キャプチャ値は更新されていません。特にCR22は，CPUが読み出したあとの値が不定となるため注意が必要です。

●タイマ／カウンタのコンペア動作

：キャプチャ後にクリアを行うモードに設定されている場合とタイマ／カウンタ２を外部イベント・カウンタとして使用している場合には，誤検出したエッジの影響により，一致割り込み発生のタイミングが変化してしまいます。その結果，タイマ／カウンタとコンペア・レジスタの値が一致するタイミングとは異なるタイミングで，一致割り込みが発生し続けます。

- ●キャプチャ後にクリアを行うモードに設定されている場合には，正常なエッジ入力，またはタイマ／カウンタの停止により，一致割り込みの発生が正常なタイミングに戻ります。
- ●タイマ／カウンタ２を外部イベント・カウンタとして使用している場合には，タイマ／カウンタの停止により，一致割り込みの発生が正常なタイミングに戻ります。

：タイマ出力は，誤検出したエッジの影響は受けません。正常なタイミングで動作を行います。

保守／廃止

保守／廃止

第13章　割り込み機能

μPD78244は，割り込み要求の処理として次の２つのモードを備えています。この２つの処理モードは，プログラムで任意に設定できます。ただし，マクロ・サービスによる割り込み処理の選択は表13－１で示すマクロ・サービス処理モードを備えている割り込み要求ソースに対してのみ選択できます。

表13－１　割り込み要求の処理形態

割り込み要求処理モード	処理の主体	PC，PSWの内容	処　理　形　態
ベクタ割り込み	ソフトウエア	退避／復帰動作を伴う。	任意のサービス・プログラムに分岐し実行。
マクロ・サービス	ハードウエア（ファームウエア）	保持	メモリとI/Oとのデータ転送などあらかじめ設定した処理を実行。

また，マスク可能なベクタ割り込みについては，２レベルの優先順位を持った多重処理制御を容易に行うことが可能です。

保守／廃止

13.1　割り込み要求ソース

μPD78244には，表13－2に示すように21種類（外部：7要因，内部：14要因）の割り込み要求ソースがあり，それぞれ割り込みベクタ・テーブルが割り付けられています。

表13－2　割り込み要求ソースの種類

割り込み要求タイプ	ディフォールト優先順位	割り込み要求発生ソース	発生ユニット	マクロ・サービス・タイプ	ベクタ・テーブル・アドレス
ソフトウエア	なし	BRK命令の実行		なし	003EH
ノンマスカブル	なし	NMI(端子入力エッジ検出)	エッジ検出	なし	0002H
マスカブル	0	INTP0(端子入力エッジ検出)		A，B	0006H
	1	INTP1(端子入力エッジ検出)		A，B	0008H
	2	INTP2(端子入力エッジ検出)		A，B	000AH
	3	INTP3(端子入力エッジ検出)		B	000CH
	4	INTC00(TM0-CR00一致信号発生)	16ビット・タイマ／カウンタ	B	0014H
	5	INTC01(TM0-CR01一致信号発生)		B	0016H
	6	INTC10(TM1-CR10一致信号発生)	8ビット・タイマ／カウンタ1	A，B，C	0018H
	7	INTC11(TM1-CR11一致信号発生)		A，B，C	001AH
	8	INTC21(TM2-CR21一致信号発生)	8ビット・タイマ／カウンタ2	A，B	001CH
	9	INTP4(端子入力エッジ検出)	エッジ検出	B	000EH
		INTC30(TM3-CR30一致信号発生)	8ビット・タイマ／カウンタ3	A，B	
	10	INTP5(端子入力エッジ検出)	エッジ検出	B	0010H
		INTAD(A/D変換終了)	A/Dコンバータ	A，B	
	11	INTC20(TM2-CR20一致信号発生)	8ビット・タイマ／カウンタ2	A，B	0012H
	12	INTSER(アシンクロナス・シリアル・インタフェース受信エラー発生)	アシンクロナス・シリアル・インタフェース	なし	0020H
	13	INTSR(アシンクロナス・シリアル・インタフェース受信終了)		A，B	0022H
	14	INTST(アシンクロナス・シリアル・インタフェース送信終了)		A，B	0024H
	15	INTCSI(クロック同期式シリアル・インタフェース転送終了)	クロック同期式シリアル・インタフェース	A，B	0026H
	16	INTEER(EEPROM書き込みエラー発生)	EEPROM	なし	0028H
	17	INTEPW（EEPROM書き込み終了）		なし	002AH

備考　ディフォールト優先順位は固定されている数値です。同一優先順位を持つ複数の割り込み要求が同時に発生している場合に優先される順位を示します。

保守／廃止

13.1.1　ソフトウエア割り込み要求

ソフトウエアによる割り込み要求は，ベクタ割り込みを発生するBRK命令です。

BRK命令の実行による割り込み要求は，割り込み禁止状態でも受け付けられます。割り込み優先順位制御の対象になりません。

BRK命令が実行されると無条件にベクタ・テーブルの内容がPCにセットされて分岐します。

BRK命令のサービス・ルーチン中でBRK命令を実行することにより，自分自身のルーチンにネスティングすることもできます。

BRK命令のサービス・ルーチンから復帰する際はRETB命令を実行します。

13.1.2　ノンマスカブル割り込み要求

ノンマスカブル割り込み要求はNMI端子入力によって行います。NMI端子入力に外部割り込みモード・レジスタ0（INTM0）のビット0（ESNMI）で指定した有効エッジが入力されたとき，割り込み要求が発生します。

ノンマスカブル割り込み要求は，割り込み禁止状態であっても無条件に受け付けられます。また，割り込み優先順位制御の対象にならず，すべての割り込みに対して最優先の割り込み要求です。

13.1.3　マスカブル割り込み要求

マスカブル割り込み要求は，割り込みマスク・レジスタ（MK0L，MK0H，MK1L）の設定によってマスク制御を受ける割り込み要求です。また，PSWのIEフラグによって，マスカブル割り込み全体に対して受け付けの許可／禁止の指定ができます。

マスカブル割り込み要求は，表13－2のように同一優先順位を持つ複数の割り込み要求が同時に発生している場合の優先順位が決められています（ディフォールト優先順位）。また，優先順位指定フラグ・レジスタ（PR0L，PR0H，PR1L）の設定によって割り込み優先順位を高い優先順位グループと低い優先順位グループの2グループに分け多重処理の制御を行うことができます。ただしマクロ・サービスは，優先順位制御やIEフラグとは無関係に受け付けられます。

保守／廃止

13.1.4　割り込み要求ソースの選択

INTP4とINTC30およびINTP5とINTADは，ベクタ・テーブル，割り込み要求フラグなどの制御フラグなどを共有しているため，同時に使用することができません。したがって，INTP4またはINTC30およびINTP5またはINTADのどちらを使用するかをプログラム上で選択する必要があります。ここで選択した割り込み要求ソース用にベクタ・テーブル，割り込み要求フラグ（PIFn：n＝4，5），割り込みマスク・フラグ（PMKn：n＝4，5），割り込みサービス・モード・フラグ（PISMn：n＝4，5），優先順位指定フラグ（PPRn：n＝4，5）が使用され，その割り込み要求ソースにより，割り込みやマクロ・サービスが発生するようになります。また，選択されなかった割り込み要求ソースでは，これらのフラグ類を使用することができなくなり，割り込みやマクロ・サービスを発生することができなくなります。

他の割り込み要求ソースは，要求ソースごとにベクタ・テーブルや制御フラグを有しているため選択する必要はありません。

(1) INTP4とINTC30の選択

INTP4とINTC30の選択は，外部割り込みモード・レジスタ1（INTM1）のES40，ES41ビットで指定します。

INTM1レジスタは，8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図13－1に示します。

$\overline{\text{RESET}}$入力で00Hになり，INTP4がINTP4端子の立ち下がりエッジで発生するようになります。

図13－1　INTM1レジスタのフォーマット

	7	6	5	4	3	2	1	0
INTM1	0	0	ES51	ES50	ES41	ES40	ES31	ES30

P24，P26端子の検出エッジを指定します（図12－2参照）

ES41	ES40	割り込み要求ソースの選択
0	0	INTP4を選択（INTP4は，INTP4端子入力の立ち下がりエッジで発生）
0	1	NTP4を選択（INTP4は，INTP4端子入力の立ち上がりエッジで発生）
1	0	INTC30を選択（INTC30は，TM3とCR30の一致で発生）
1	1	INTP4を選択（INTP4は，INTP4端子入力の立ち上がり／立ち下がり両エッジで発生）

保守／廃止

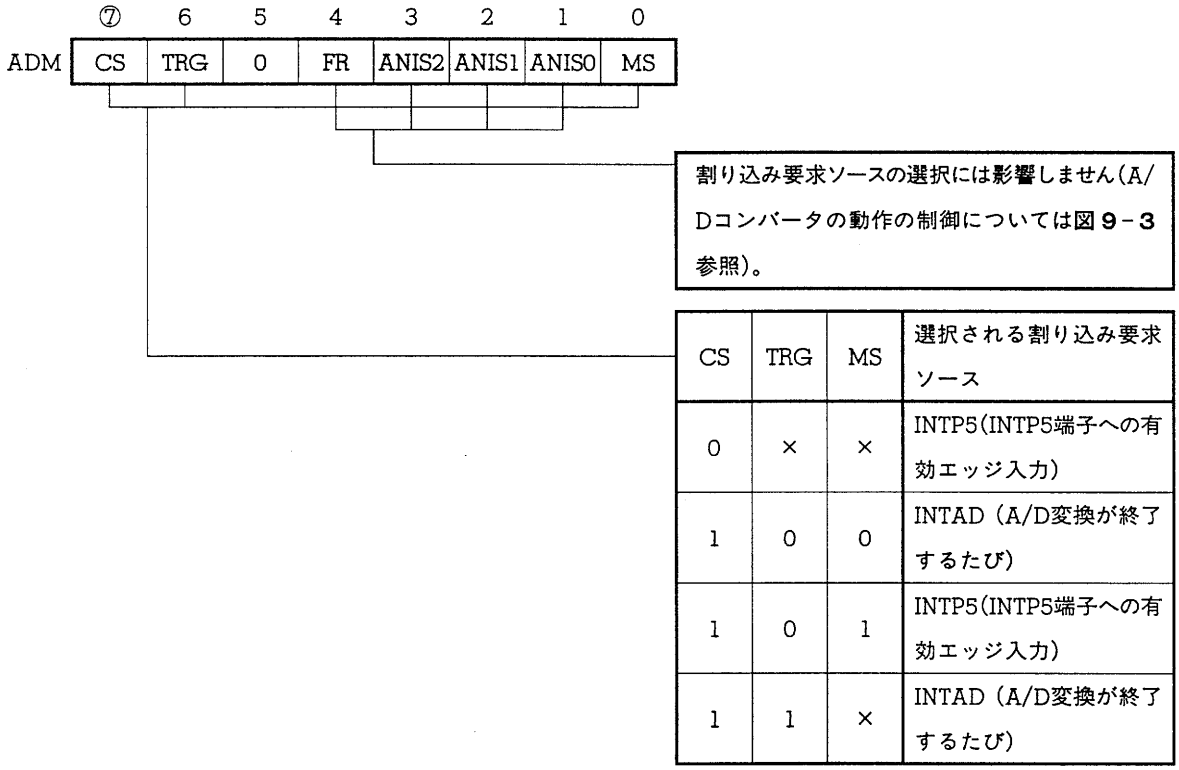
(2) INTP5とINTADの選択

INTP5とINTADの選択は，A/Dコンバータ・モード・レジスタ（ADM）によって指定します（A/Dコンバータへ指定した動作モードによって，自動的に決定されます）。

ADMレジスタは，8ビット操作命令とビット命令で読み出し／書き込みが可能です。そのフォーマットを図13－2に示します。A/Dコンバータの動作の制御については，**第9章　A/Dコンバータ**を参照してください。

$\overline{\text{RESET}}$入力により00Hとなります。

図13－2　ADMレジスタのフォーマット



CS	TRG	MS	選択される割り込み要求ソース
0	×	×	INTP5（INTP5端子への有効エッジ入力）
1	0	0	INTAD（A/D変換が終了するたび）
1	0	1	INTP5（INTP5端子への有効エッジ入力）
1	1	×	INTAD（A/D変換が終了するたび）

保守／廃止

13.2　割り込み処理制御レジスタ

割り込み処理を制御するレジスタには，次の6つがあります。

- 割り込み要求フラグ・レジスタ（IF0L，IF0H，IF1L）
- 割り込みマスク・フラグ・レジスタ（MK0L，MK0H，MK1L）
- 割り込みサービス・モード・レジスタ（ISM0L，ISM0H，ISM1L）
- 優先順位指定フラグ・レジスタ（PR0L，PR0H，PR1L）
- 割り込みステータス・レジスタ（IST）
- プログラム・ステータス・ワード（PSW）

IF，MK，ISM，PRの各レジスタは，読み出し／書き込み可能な16ビットまたは８ビットのレジスタです。レジスタの構成に応じて16ビット単位または，８ビット単位で操作できます。また，ビット操作命令で１ビット単位でセット／リセットを行うことができます。ISTレジスタおよびPSWは，読み出し／書き込み可能な８ビット・レジスタで，８ビット単位とビット単位で操作が可能です。さらにPSWのIEフラグは専用命令で操作可能です。それぞれのフォーマットを図13－３－図13－８に示します。

各割り込み要求ソースに対応する，割り込み要求フラグ，割り込みマスク・フラグ，割り込みサービス・モード・フラグ，優先順位指定フラグ名称を，表13－３に示します。

保守／廃止

表13－3　割り込み要求ソースに対する各種フラグ

割り込み要求ソース	割り込み要求フラグ	割り込みマスク・フラグ	割り込みサービス・モード・フラグ	優先順位指定フラグ
INTP0	PIF0	PMK0	PISM0	PPR0
INTP1	PIF1	PMK1	PISM1	PPR1
INTP2	PIF2	PMK2	PISM2	PPR2
INTP3	PIF3	PMK3	PISM3	PPR3
INTC00	CIF00	CMK00	CISM00	CPR00
INTC01	CIF01	CMK01	CISM01	CPR01
INTC10	CIF10	CMK10	CISM10	CPR10
INTC11	CIF11	CMK11	CISM11	CPR11
INTC21	CIF21	CMK21	CISM21	CPR21
INTP4 INTC30	PIF4	PMK4	PISM4	PPR4
INTP5 INTAD	PIF5	PMK5	PISM5	PPR5
INTC20	CIF20	CMK20	CISM20	CPR20
INTSER	SERIF	SERMK	—	SERPR
INTSR	SRIF	SRMK	SRISM	SRPR
INTST	STIF	STMK	STISM	STPR
INTCSI	CSIIF	CSIMK	CSIISM	CSIPR
INTEER	EERIF	EERMK	—	EERPR
INTEPW	EPWIF	EPWMK	—	EPWPR

保守／廃止

13.2.1　割り込み要求フラグ・レジスタ（IF0L，IF0H，IF1L）

割り込み要求フラグ・レジスタ（IF0L，IF0H，IF1L）は，割り込み要求フラグで構成される８ビット・レジスタです。

各割り込み要求フラグは，対応する割り込み要求の発生でセット(1)され，ベクタ割り込み処理の受け付け，またはマクロ・サービス処理実行によりクリア(0)されます。

$\overline{\text{RESET}}$入力によりIF0L，IF0Hは00Hに，IF1Lは××××　××00Bになります。

図13－3　割り込み要求フラグ・レジスタのフォーマット

	⑦	⑥	⑤	④	③	②	①	⓪	リセット時
IF0L	CIF11	CIF10	CIF01	CIF00	PIF3	PIF2	PIF1	PIF0	00H
IF0H	CSIIF	STIF	SRIF	SERIF	CIF20	PIF5	PIF4	CIF21	00H
IF1L	×	×	×	×	×	×	EPWIF	EERIF	××××　××00B

割り込み要求フラグ

0	割り込み要求が発生していない。
1	割り込み要求発生。

備考　×：don't care

保守／廃止

13.2.2　割り込みマスク・フラグ・レジスタ（MK0L，MK0H，MK1L）

割り込みマスク・フラグ・レジスタ（MK0L，MK0H，MK1L）は，割り込みマスク・フラグで構成される８ビット・レジスタです。各割り込みマスク・フラグは，対応する割り込み要求の許可／禁止を制御します。

$\overline{\text{RESET}}$入力によりMK0L，MK0HはFFHに，MK1Lは×××× ××11Bになり，すべてのマスカブル割り込みは禁止されます。

割り込みマスク・フラグがセット(1)されていると，該当する割り込み要求の受け付けは禁止されます。

割り込みマスク・フラグがリセット(0)されていると，該当する割り込み要求は，ベクタ割り込みまたはマクロ・サービスとして受け付けが可能な状態になります。

図13－4　割り込みマスク・フラグ・レジスタのフォーマット

	⑦	⑥	⑤	④	③	②	①	⓪	リセット時
MK0L	CMK11	CMK10	CMK01	CMK00	PMK3	PMK2	PMK1	PMK0	FFH
MK0H	CSIMK	STMK	SRMK	SERMK	CMK20	PMK5	PMK4	CMK21	FFH
MK1L	×	×	×	×	×	×	EPWMK	EERMK	×××× ××11B

割り込みマスク・フラグ

0	割り込み処理許可
1	割り込み処理保留

備考　×：don't care

保守／廃止

13.2.3　割り込みサービス・モード・レジスタ(ISMOL, ISMOH, ISM1L)

割り込みサービス・モード・レジスタ（ISM0L, ISM0H, ISM1L）は，割り込みサービス・モード・フラグで構成される８ビット・レジスタです。

各割り込みサービス・モード・フラグが“0”のとき，対応する割り込み要求はベクタ割り込みで処理され“1”のときマクロ・サービスで処理されます。マクロ・サービス要求を所定の回数だけ処理すると，クリア(0)されます。

$\overline{\text{RESET}}$入力によりISM0L, ISM0Hは00Hに，ISM1Lは××××　××00Bになり，ベクタ割り込みによる処理を指定します。

図13-5　割り込みサービス・モード・レジスタのフォーマット

	⑦	⑥	⑤	④	③	②	①	⓪	リセット時
ISM0L	CISM11	CISM10	CISM01	CISM00	PISM3	PISM2	PISM1	PISM0	00H
ISM0H	CSIISM	STISM	SRISM	0	CISM20	PISM5	PISM4	CISM21	00H
ISM1L	×	×	×	×	×	×	0	0	××××　××00B

割り込みサービス・モード・フラグ

0	ベクタ割り込みで処理
1	マクロ・サービスで処理

備考　×：don't care

保守／廃止

13.2.4　優先順位指定フラグ・レジスタ（PR0L，PR0H，PR1L）

優先順位指定フラグ・レジスタ（PR0L，PR0H，PR1L）は，割り込み受け付けの優先順位指定フラグで構成される８ビット・レジスタです。割り込みの多重処理の制御に用います。

優先順位は，高い優先順位グループと低い優先順位グループに指定できます。各優先順位指定フラグが“0”のとき対応する割り込み要求は高い優先順位グループに指定され，“1”のとき低い優先順位グループに指定されます。

割り込みが受け付けられると，受け付けられた割り込みの優先順位指定フラグがPSWのISPに転送されます。

低い優先順位のベクタ割り込み処理中は，割り込み許可状態ならば低い優先順位および高い優先順位のベクタ割り込みの多重受け付けが可能となります。また高い優先順位のベクタ割り込み処理中は，割り込み許可状態ならば高い優先順位のベクタ割り込みのみ多重受け付けが可能となります。ただしマクロ・サービスは，優先順位指定には無関係に受け付けられます。

$\overline{\text{RESET}}$入力によりPR0L，PR0HはFFHに，PR1Lは×××× ××11Bになり，すべての割り込み要求は低い優先順位グループに指定されます。

図13－6　優先順位指定フラグ・レジスタのフォーマット

	⑦	⑥	⑤	④	③	②	①	⓪	リセット時
PR0L	CPR11	CPR10	CPR01	CPR00	PPR3	PPR2	PPR1	PPR0	FFH
PR0H	CSIPR	STPR	SRPR	SERPR	CPR20	PPR5	PPR4	CPR21	FFH
PR1L	×	×	×	×	×	×	EPWPR	EERPR	×××× ××11B

優先順位指定フラグ

0	高優先順位レベル
1	低優先順位レベル

備考　×：don't care

保守／廃止

13.2.5　割り込みステータス・レジスタ（IST）

ISTレジスタは，ノンマスカブル割り込み要求（NMI端子入力）による多重割り込みの処理を制御すると同時にノンマスカブル割り込み要求の受け付け状態を示す８ビット・レジスタです。

ノンマスカブル割り込み要求による割り込み処理中にノンマスカブル割り込み要求がさらに発生したとき，NMISビットがリセット(0)されていればこの割り込み要求を受け付けます。NMISビットがセット(1)されていると受け付けません。

また同時に，NMISビットは，ノンマスカブル割り込み要求を受け付けたときにセット(1)されます。ノンマスカブル割り込み要求による処理からの復帰（RETI命令実行）の際リセット(0)されます。

ISTレジスタは，８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。また，NMISフラグはノンマスカブル割り込みの受け付けでセット(1)され，RETI命令により，リセット(0)されます。そのフォーマットを図13－7に示します。

$\overline{\text{RESET}}$入力で00Hになります。

図13－7　割り込みステータス・レジスタのフォーマット

	7	6	5	4	3	2	1	0	リセット時
IST	0	0	0	0	0	0	0	NMIS	00H

NMIS	ノンマスカブル割り込み要求による多重割り込みの処理	ノンマスカブル割り込み要求の受け付け状態
0	許可	復帰時，または受け付けていないとき
1	禁止	受け付けたとき，または処理中

保守／廃止

13.2.6　プログラム・ステータス・ワード（PSW）

PSWは，命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重処理の制御を行うISPフラグがマッピングされています。

８ビット単位で読み出し／書き込み操作ができるほか，ビット操作命令や専用命令(EI，DI)により操作ができます。また，ベクタ割り込み受け付け時，BRK命令実行時にはスタックに退避され，IEフラグはリセット(0)されます。また，マスカブル割り込み受け付け時には，受け付けた割り込みの優先順位指定フラグの内容がISPに転送され，ノンマスカブル割り込み受け付け時には，ISPはリセット(0)されます。PUSH　PSW命令によってもスタックに退避されます。RETI，RETB，POP　PSW命令により，スタックから復帰します。

$\overline{\text{RESET}}$入力により，PSWは02Hとなります。

図13-8　プログラム・ステータス・ワードのフォーマット

	7	6	5	4	3	2	1	0	リセット時
PSW	IE	Z	RBS1	AC	RBS0	0	ISP	CY	02H

通常の命令実行時に使用

ISP	現在処理中の割り込みの優先順位
0	高優先順位の割り込み処理中（低優先順位の割り込み禁止）。
1	割り込みを受け付けていないか，低優先順位の割り込み処理中（すべてのマスカブル割り込み許可）。

IE	割り込み受け付けの許可／禁止
0	禁止
1	許可

保守／廃止

13.3　割り込み処理動作

13.3.1　ソフトウエア割り込みの受け付け動作

ソフトウエア割り込みはBRK命令の実行により受け付けられます。ソフトウエア割り込みは禁止することができません。

ソフトウエア割り込みが受け付けられると，PSW，PCの順にスタックに退避し，IEフラグをリセット(0)し，ベクタ・テーブル（003EH，003FH）の内容をPCにロードして分岐します。

ソフトウエア割り込みからの復帰にはRETB命令を使用します。

注意　ソフトウエア割り込みからの復帰にRETI命令を使用してはいけません。

13.3.2　ノンマスカブル割り込みの受け付け動作

ノンマスカブル割り込み要求は，割り込み禁止状態であっても受け付けられます。また，割り込み優先順位制御の対象にならず，すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると割り込みステータス・レジスタ（IST）のNMISビットがセット(1)され，PSW，PCの順にスタックに退避し，IEフラグ，ISPフラグをリセット(0)し，ベクタ・テーブルの内容をPCへロードし分岐します。NMISビットは，RETI命令によってリセット(0)されます。

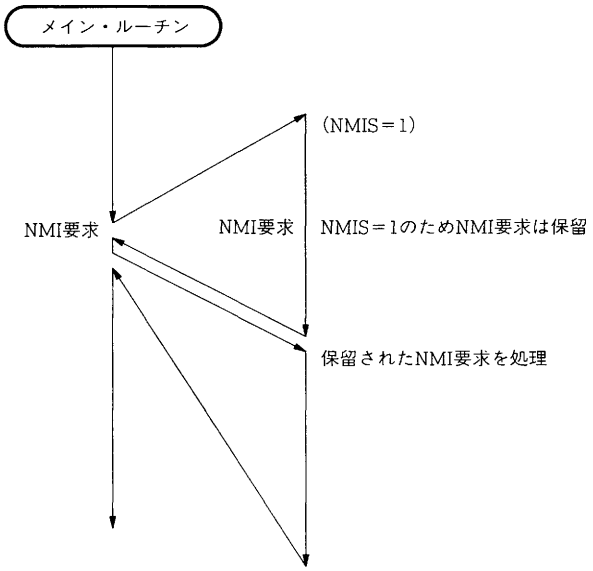
NMISビットがセット(1)されていると新たなノンマスカブル割り込み要求は受け付けられず，NMISビットがリセット(0)されるまで保留されます。したがって，通常はノンマスカブル割り込みサービス・プログラム実行中は，新たなノンマスカブル割り込み要求は受け付けられません。ノンマスカブル割り込みサービス・プログラム実行中に発生した新たなノンマスカブル割り込みは現在処理中のノンマスカブル割り込みサービス・プログラム実行終了後（RETI命令実行後）に要求が受け付けられます。ただし，ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求が２回以上発生しても，そのノンマスカブル割り込みサービス・プログラム実行終了後に受け付けられるノンマスカブル割り込み要求は１回分だけになります。

ノンマスカブル割り込み要求の多重処理を行う場合には，ノンマスカブル割り込みサービス・プログラム中でNMISビットをリセット(0)することで可能となります。NMISがリセット(0)されている場合は，ノンマスカブル割り込みサービス・プログラム中でもノンマスカブル割り込み要求は受け付けられます。

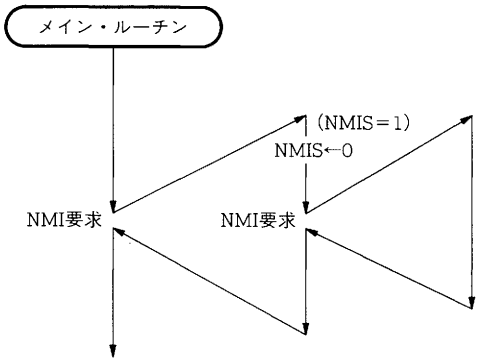
保守／廃止

図13－9　NMI割り込み要求の受け付け動作（1/2）

(a) NMIサービス・プログラム実行中に新たなNMI要求が発生した場合（ISTレジスタを操作しない場合）



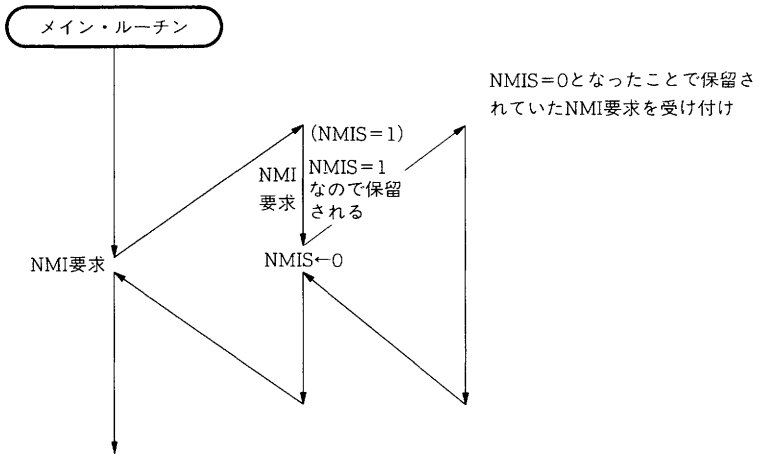
(b) NMIサービス・プログラム実行中に新たなNMI要求が発生した場合(NMIサービス・プログラム中にNMISビットをリセット(0)した場合)



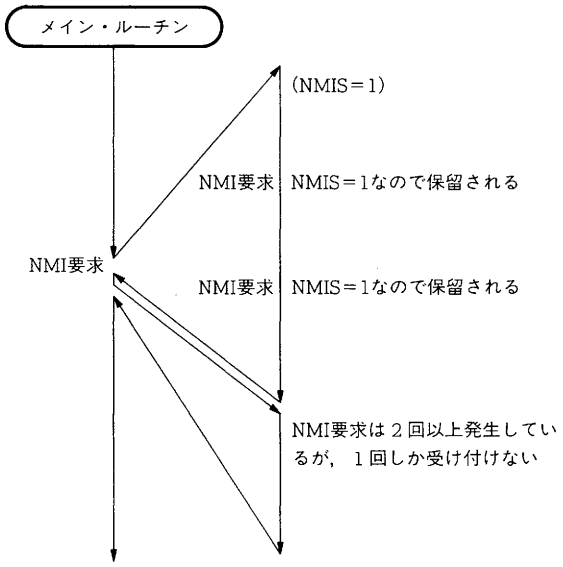
保守／廃止

図13－9　NMI割り込み要求の受け付け動作（2/2）

(c) NMIサービス・プログラム実行中に新たなNMI要求が発生した場合（NMI要求が発生してから現在実行中のNMIサービス・プログラムでNMISビットをリセット(0)した場合）



(d) NMIサービス・プログラム実行中に新たに２回のNMI要求が発生した場合（NMIサービス・プログラム中でNMISビットを操作しない場合）



保守／廃止

注意1. ノンマスカブル割り込みサービス・プログラム中でもマクロ・サービスの要求は受け付けられ，処理されます。ノンマスカブル割り込みサービス・プログラム中でマクロ・サービス処理を行いたくない場合は，ノンマスカブル割り込みサービス・プログラム中で割り込みマスク・レジスタを操作して，マクロ・サービスが発生しないようにしてください。

2. ノンマスカブル割り込みサービス・プログラム中にEI命令を実行するなどして，PSWのIEビットをセット(1)すると高位の優先順位に指定されたマスカブル割り込み要求が受け付けられるようになります。このとき，ノンマスカブル割り込みサービス・プログラム実行中に高位の優先順位に指定されたマスカブル割り込みが発生するとマスカブル割り込みのサービス・プログラムを実行します。また，PSWのIEビットとISPビットをセット(1)すると，低位の優先順位に指定されたマスカブル割り込みについても同様に，割り込みの要求が発生すると，割り込みサービス・プログラムを実行します。マスカブル割り込みサービス・プログラムから復帰するためにRETI命令を使用しますが，このRETI命令によってNMISビットはリセット(0)され，復帰したノンマスカブル割り込みサービス・プログラム中でノンマスカブル割り込みの多重処理を行いたくない場合でも，ノンマスカブル割り込み要求が受け付け可能な状態になってしまいます。ノンマスカブル割り込み要求の多重処理を行いたくない場合は，ノンマスカブル割り込みサービス・プログラム中に割り込み許可状態にしないでください。

3. ノンマスカブル割り込みは，ノンマスカブル割り込み処理プログラム実行中(ISTレジスタのNMISビットをノンマスカブル割り込み処理中で0にして，ノンマスカブル割り込みの多重処理を許可している場合を除く)および13.3.5に示す特定の命令とその次に実行する命令の間を除いては必ず受け付けられます。したがって，特にリセット解除後などのスタック・ポインタの値が不定の場合でもノンマスカブル割り込みを受け付けます。このときのスタック・ポインタの値によっては特殊機能レジスタの書き込みを禁止しているアドレス（3.2.5の表3－4参照）へプログラム・カウンタ（PC）およびプログラム・ステータス・ワード(PSW)を書き込んでしまい，CPUがデッドロックしてしまったり，端子から予期しない信号を出力したり，RAMが実装されていないアドレスへPCやPSWを書き込むことにより，ノンマスカブル割り込み処理プログラムからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。

また，$\overline{\text{RESET}}$端子に立ち上がりエッジが入力されるときとほぼ同時にNMI端子に立ち下がりエッジ（リセット解除後のNMI入力の有効エッジ）が入力されると，リセット動作終了後に1命令も実行せずにノンマスカブル割り込み処理プログラムへ分岐しますので，ほぼ確実に暴走します。これらの現象を回避するためには，スタック・ポインタの初期設定はリセット解除直後に行うようにするとともに，ハードウエアにより$\overline{\text{RESET}}$信号の立ち上がりから10 μs＋18/f_{CLK}以内にNMI信号が立ち下がらないようにする必要があります。

保守／廃止

13.3.3　マスカブル割り込みの受け付け動作

マスカブル割り込みは，割り込み要求フラグがセット(1)され，その割り込みのマスク・フラグがクリア(0)されていると受け付けが可能な状態になります。マクロ・サービスで処理を行う場合は，ただちに受け付けられ，マクロ・サービスによる処理が行われます。ベクタ割り込みの場合は，割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし，優先順位の高い割り込みを処理中（ISPフラグがリセット(0)されているとき）に低い優先順位に指定されている割り込みは受け付けられません。

マスカブル割り込みの要求が同時に発生した場合は，優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また，同一優先順に指定されている場合はディフォールト優先順位に従います。

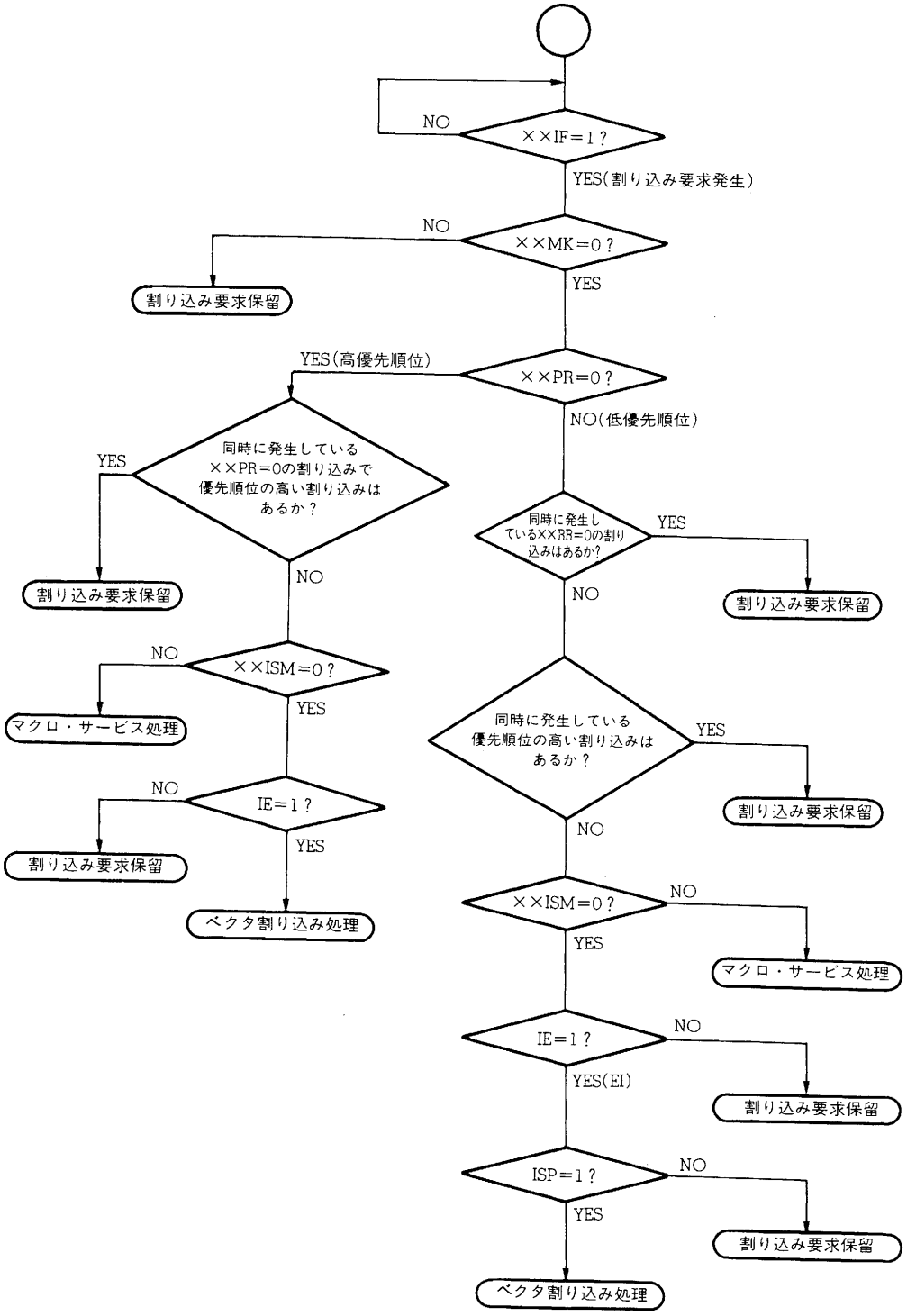
保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み受け付けのアルゴリズムを図13－10に示します。

マスカブル割り込みが受け付けられると，PSW，PCの順にスタックに退避し，IEフラグをリセット(0)(割り込み禁止状態)にし，受け付けた割り込みの優先順位指定フラグの内容をISPへ転送します。さらに，割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし分岐します。割り込みからの復帰はRETI命令で行います。

保守／廃止

図13－10　割り込み処理アルゴリズム



保守／廃止

13.3.4　多重割り込みの処理

μPD78244は，割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは，優先順位によって制御できます。

優先順位制御には，ディフォールト優先順位による制御と，優先順位指定フラグ・レジスタ（PR0）の設定によるプログラマブル優先順位制御があります。ディフォールト優先順位による優先順位制御は，複数の割り込みが同時に発生している場合，各割り込み要求にあらかじめ割り付けてある優先順位（ディフォールト優先順位）に従って割り込み処理を行います（**表13－2**参照）。プログラマブル優先順位制御は，各割り込み要求をPR0レジスタに対応するビットの設定によって，高い優先順位グループと低い優先順位グループの２グループに分けます。多重割り込み可能な割り込み要求を表13－４に示します。

表13－4　多重割り込み処理

受け付け中の割り込み要求	IEフラグ	多重受け付け可能な割り込み要求ソース
低位のプログラマブル優先順位に指定した割り込み	0	●ノンマスカブル割り込み ●マクロ・サービス処理によるマスカブル割り込み
	1[注1]	●ノンマスカブル割り込み ●すべてのマスカブル割り込み
高位のプログラマブル優先順位に指定した割り込み	0	●ノンマスカブル割り込み ●マクロ・サービス処理によるマスカブル割り込み
	1[注1]	●ノンマスカブル割り込み ●マクロ・サービス処理によるマスカブル割り込み ●高位のプログラマブル優先順位に指定したマスカブル割り込み
ノンマスカブル割り込み	0	●ノンマスカブル割り込み[注2] ●マクロ・サービス処理によるマスカブル割り込み
	1[注1]	●ノンマスカブル割り込み[注2] ●マクロ・サービス処理によるマスカブル割り込み ●高位のプログラマブル優先順位に指定したマスカブル割り込み[注3]

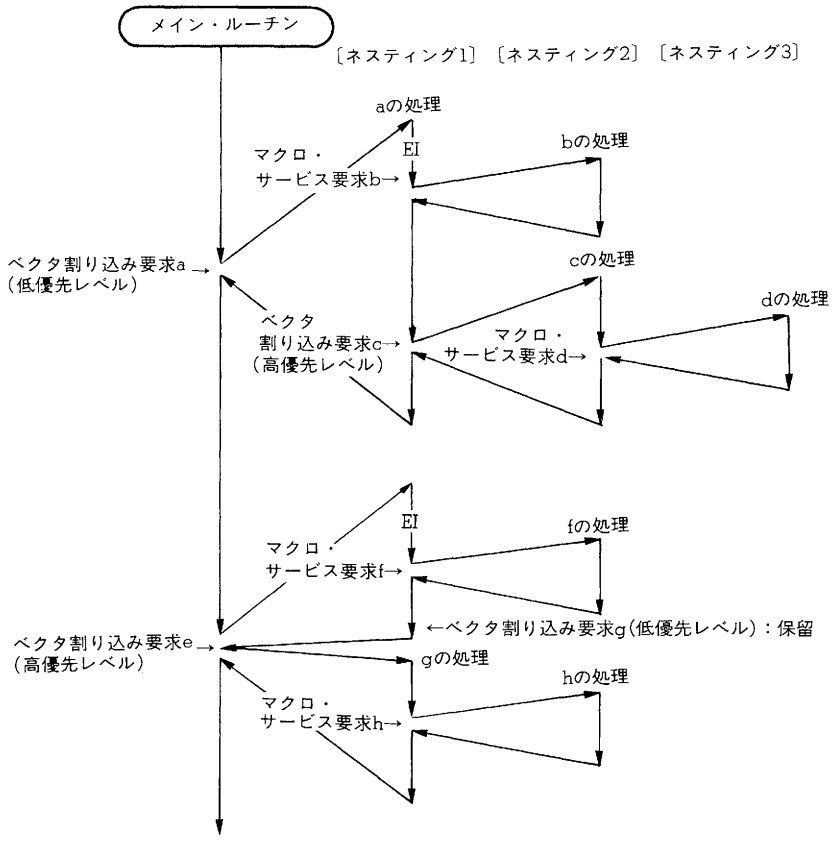
注１．割り込みの要求の受け付け直後は，自動的に割り込み禁止状態（IE＝0）となります。
割り込み許可状態（IE＝1）に設定するためには，EI命令を実行します。

２．ノンマスカブル割り込みの受け付け中は，割り込みステータス・レジスタ（IST）のビット0（NMIS）がセット(1)されます。
NMISビットがセット(1)されている間，ノンマスカブル割り込みは受け付けられません。ノンマスカブル割り込みの多重受け付けを許可する場合は，ソフトウエアで，NMISフラグをリセット(0)します。

３．ISPフラグをセット(1)したときは，低位の割り込みも受け付けが可能です。

保守／廃止

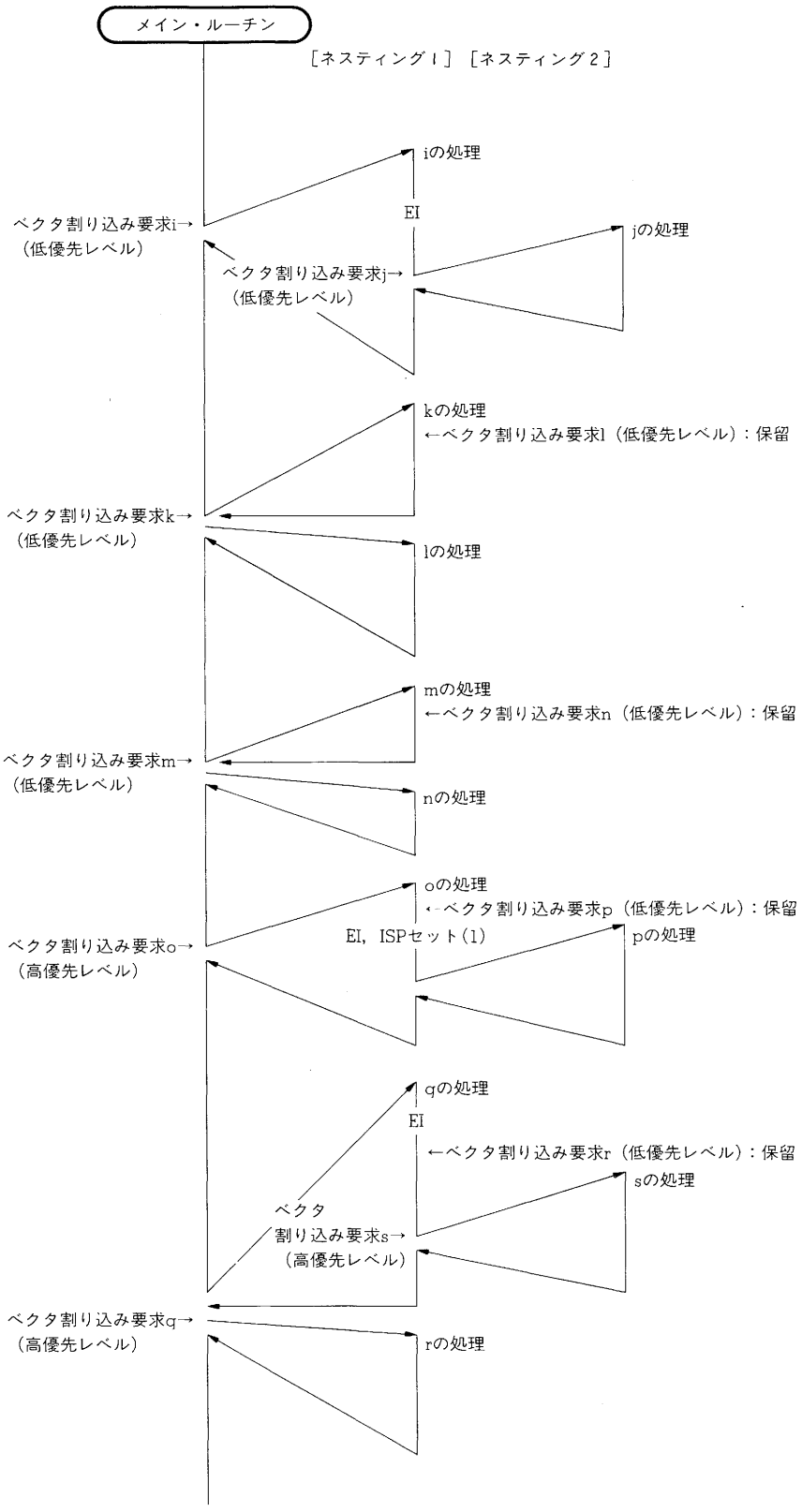
図13－11　割り込み処理中に他の割り込み要求が発生した場合の処理例（1/2）



備考　図中のa-hは，各割り込み要求，マクロ・サービス要求を区別するためにつけた仮の名称です。

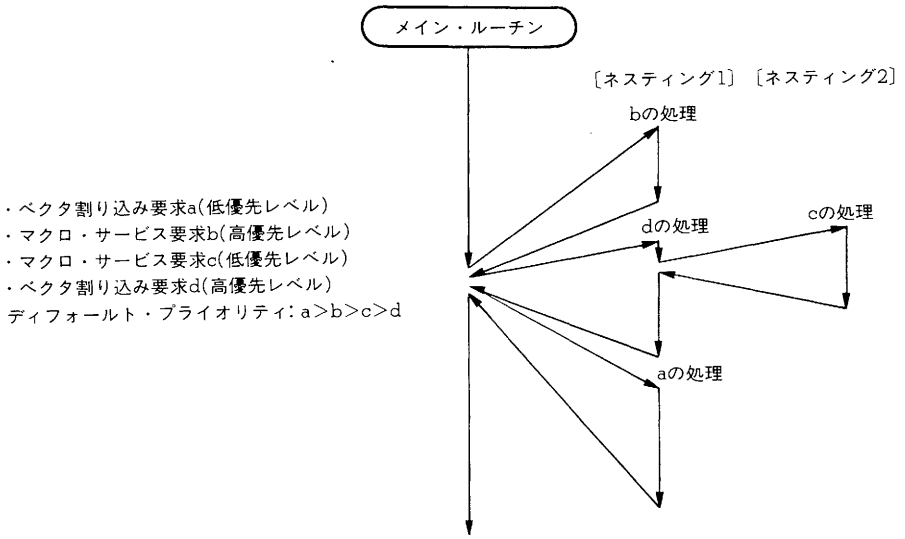
保守／廃止

図13－11　割り込み処理中に他の割り込み要求が発生した場合の処理例（2/2）



保守／廃止

図13－12　同時発生した割り込み要求の処理例



備考　図中のa-dは，各割り込み要求，マクロ・サービス要求を区別するためにつけた仮の名称です。

保守／廃止

13.3.5　割り込み要求およびマクロ・サービスが一時的に保留される場合

以下に示す命令と次に実行する命令の間では，すべての割り込み（ノンマスカブル割り込みも含む）の受け付けおよびマクロ・サービスの処理が一時的に保留されます。ただし，ソフトウエア割り込みは保留されません。

EI
DI
RETI
RETB
POP PSW
MOV PSW, A
MOV PSW, #byte
IST, MK0, MK1, IF0, IF1, PR0, PR1, ISM0, ISM1の各レジスタに対する操作命令
PSWのビット操作命令
（ただし，BT PSW. bit, $addr16, BF PSW. bit, $addr16, SET1 CY, NOT1 CY, CLR1 CY 命令を除く）

注意1.　割り込み関連のレジスタをBF命令などを使用してポーリングを行う場合，そのBF命令などの分岐先は，その命令とならないようにしてください。その命令自身へ分岐するようなプログラムを記述すると，その命令で分岐しない条件が成立するまでの間すべての割り込みとマクロ・サービスが保留されてしまいます。

```
        悪い例
          ⋮
LOOP :  BF   IF0H.3,  $LOOP      ← IF0H.3が1になるまで
        ×××                        すべての割り込みおよびマクロ・サービスが保留されてしまいます。
          ⋮                        BF命令の次の命令実行後に初めて割り込みおよびマクロ・サービスが処理されます。

        良い例(1)
          ⋮
LOOP :  NOP                      ← NOP命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはありません。
        BF   IF0H.3,  $LOOP
          ⋮

        良い例(2)
          ⋮
LOOP :  BT   IF0H.3,  $NEXT      備考　BT命令のかわりにBTCLR命令を使用するとフラグを自動的にクリアしてくれるので便利です。
        BR   $LOOP
NEXT :                           ← BR命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはありません。
          ⋮
```

2.　また，同様の理由により，上記に該当する命令群を連続して使用する場合で，割り込みやマクロ・サービスが保留されている期間が長くなっては困る場合には，NOP命令などを途中に挿入して割り込みやマクロ・サービスが受け付けられるタイミングを作ってください。

保守／廃止

13.3.6　割り込みおよびマクロ・サービスの動作タイミング

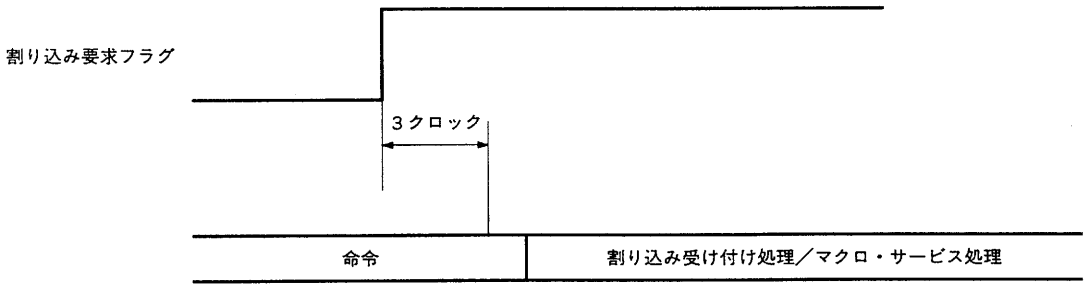
(1) 割り込み要求の発生と受け付け

割り込み要求は，各ハードウエアで発生します。発生した割り込み要求は，割り込み要求フラグをセット(1)します。

割り込み要求フラグがセット(1)されると，優先順位などの判定を行うために３クロック（0.5 μs, f_{CLK}＝6 MHz）かかります。

その後，実行中の命令が終了した時点で，その割り込みまたはマクロ・サービスの受け付けが許可されていれば，その割り込み要求の受け付け処理を行います。なお，実行中の命令が割り込みおよびマクロ・サービスを一時的に保留する命令であれば，その次の命令終了後に受け付けられます。（保留する命令については，**13.3.5　割り込み要求およびマクロ・サービスが一時的に保留される場合**参照）。

図13－13　割り込み要求の発生と受け付け



保守／廃止

(2) 割り込み受け付け処理時間

割り込み要求の受け付けには，表13－5のような時間がかかります。表13－5の時間後に割り込み処理プログラムの実行を開始します。

表13－5　割り込み受け付け処理時間[注]

（単位：クロック）

スタック領域 / プログラム・フェッチ	内部RAM	周辺RAM	外部メモリ
内部ROMフェッチ	18	24	24＋w×3
外部ROMフェッチ	24＋w×3	30＋w×3	30＋w×6

（w＝ウエイト・サイクル数）

注　実行中の命令が終了するまでの時間および優先順位などの判定を行う時間は含まれていません。

備考1. 内部ROMフェッチは，内部ROMからプログラムのフェッチを行っている場合で，メモリ拡張モード・レジスタ（MM）のIFCHビットが1の場合の値です。IFCHビットが0の場合は，外部ROMフェッチと同じになります。

2. 内部RAMは，0FE00H-0FEFFHの領域にある内部RAMを示します。

3. 周辺RAMは，0FC80H-0FDFFHの領域にある内部RAMを示します。

4. 1クロックは，$1/f_{CLK}$（167 ns：12 MHz動作時）です。

保守／廃止

(3) マクロ・サービスの処理時間

マクロ・サービス処理は，マクロ・サービスのタイプなどにより異なり，表13-6，13-7のような時間となります。

表13-6　マクロ・サービス処理時間[注]（MSC＝8ビットの場合）

（単位：クロック）

プログラム・フェッチ ＼ マクロ・サービス処理タイプ ／ メモリ			内部ROMフェッチ			外部ROMフェッチ		
			内部ROM	外部RAM	外部メモリ	内部ROM	内部RAM	外部メモリ
A			—	20	—	—	22	—
B			35	34	36＋w	37	36	38＋w
C	リング制御なし	データ転送	46	44	48＋w×2	48	46	50＋w×2
		自動加算	49	47	51＋w×2	51	49	53＋w×2
	リング制御あり	データ転送	51/55	49/53	53＋w×2/ 57＋w×2	53/57	51/55	55＋w×2/ 59＋w×2
		自動加算	54/58	52/56	56＋w×2/ 60＋w×2	56/60	54/58	58＋w×2/ 62＋w×2

（w＝ウエイト・サイクル数）

注　実行中の命令が終了するまでの時間および優先順位などの判定を行う時間は含まれていません。

備考1.　内部ROMフェッチの欄は，メモリ拡張モード・レジスタ（MM）のIFCHビットが1の場合の値です。IFCHビットが0の場合は，外部ROMフェッチを参照してください。

2.　内部RAMは，内部RAMの0FE00H-0FEFFHの領域が使用される場合の値です。内部RAMの他の領域を使用する場合は，外部メモリの欄でW＝0とした値となります。

3.　表中“／”で区切られた部分は，後者がリング・カウンタが0となる場合，前者がそれ以外の場合をそれぞれ示します。

4.　1クロックは，$1/f_{CLK}$（167 ns：12 MHz動作時）です。

保守／廃止

表13-7　マクロ・サービス処理時間[注]（MSC＝16ビットの場合）

（単位：クロック）

プログラム・フェッチ ＼ メモリ / マクロ・サービス処理タイプ			内部ROMフェッチ			外部ROMフェッチ		
			内部ROM	外部RAM	外部メモリ	内部ROM	内部RAM	外部メモリ
B			38	37	39＋w	40	39	41＋w
C	リング制御なし	データ転送	49	47	51＋w×2	51	49	53＋w×2
		自動加算	52	50	54＋w×2	54	52	56＋w×2
	リング制御あり	データ転送	54/58	52/56	56＋w×2/60＋w×2	56/60	54/58	58＋w×2/62＋w×2
		自動加算	57/61	55/59	59＋w×2/63＋w×2	59/63	57/61	61＋w×2/65＋w×2

（w＝ウエイト・サイクル数）

注　実行中の命令が終了するまでの時間および優先順位などの判定を行う時間は含まれていません。

備考1．内部ROMフェッチの欄は，メモリ拡張モード・レジスタ（MM）のIFCHビットが1の場合の値です。IFCHビットが0の場合は，外部ROMフェッチを参照してください。

2．内部RAMは，内部RAMのOFE00H-OFEFFHの領域が使用される場合の値です。内部RAMの他の領域を使用する場合は，外部メモリの欄でW＝0とした値となります。

3．表中“／”で区切られた部分は，後者がリング・カウンタが0となる場合，前者がそれ以外の場合をそれぞれ示します。

4．1クロックは，$1/f_{CLK}$（167 ns：12 MHz動作時）です。

保守／廃止

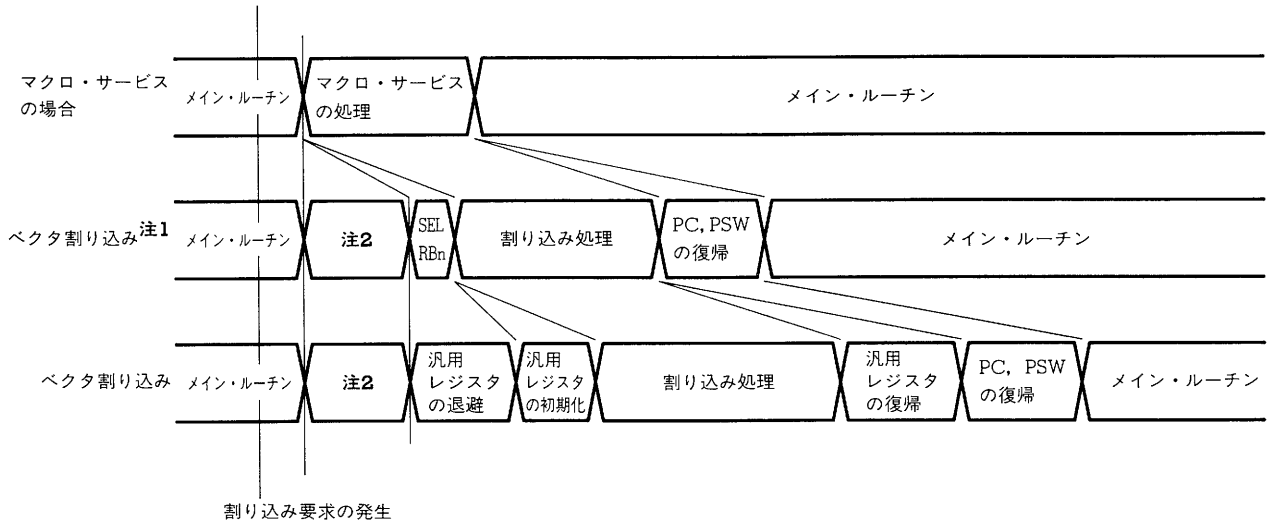
13.4　マクロ・サービス機能

13.4.1　マクロ・サービスの概要

マクロ・サービスは，割り込みの処理方法の一つです。通常のベクタ割り込みではプログラム・カウンタ（PC）やプログラム・ステータス・ワード（PSW）をスタックに退避し，ベクタ・テーブルからベクタ・アドレスを読み出しPCへロードしますが，これらの処理の代わりに別の処理（主にデータ転送）を行います。したがって，割り込みの要求に対して高速に応答することができます。さらに，プログラムで行うより高速に転送処理が可能なので，処理時間も短縮することができます。

また，指定された回数の処理を行ったあとに，ベクタ割り込みを発生しますので，ベクタ割り込みのプログラムが簡略化できるなどの効果もあります。

図13－14　ベクタ割り込みとマクロ・サービスの処理の違い



注1．レジスタ・バンク切り替えを使用した場合で，レジスタにはあらかじめ初期値が設定されているとき

2．PC，PSWをスタックへ退避，ベクタ・アドレスをPCへロード

保守／廃止

13.4.2　マクロ・サービスの種類

マクロ・サービスは表13－8に示す17種類の割り込みで使用することができます（同時に使用できるのは15種類）。また，３種類の動作タイプがあり，用途により使い分けが可能です。

表13－8　マクロ・サービスが使用可能な割り込み

割り込み要求発生ソース	発生ユニット	マクロ・サービス・タイプ	タイプA使用時の特殊機能レジスタ
INTP0（端子入力エッジ検出）	エッジ検出	A，B	CR11
INTP1（端子入力エッジ検出）		A，B	CR22
INTP2（端子入力エッジ検出）		A，B	TM2
INTP3（端子入力エッジ検出）		B	—
INTC00（TM0-CR00一致信号発生）	16ビット・タイマ／カウンタ	B	—
INTC01（TM0-CR01一致信号発生）		B	—
INTC10（TM1-CR10一致信号発生）	８ビット・タイマ／カウンタ１	A，B，C	CR10
INTC11（TM1-CR11一致信号発生）		A，B，C	CR11
INTC21（TM2-CR21一致信号発生）	８ビット・タイマ／カウンタ２	A，B	CR21
INTP4（端子入力エッジ検出）	エッジ検出	B	—
INTC30（TM3-CR30一致信号発生）	８ビット・タイマ／カウンタ３	A，B	CR30
INTP5（端子入力エッジ検出）	エッジ検出	B	—
INTAD（A/D変換終了）	A/Dコンバータ	A，B	ADCR
INTC20（TM2-CR20一致信号発生）	８ビット・タイマ／カウンタ２	A，B	CR20
INTSR(アシンクロナス・シリアル・インタフェース受信終了)	アシンクロナス・シリアル・インタフェース	A，B	RXB
INTST(アシンクロナス・シリアル・インタフェース送信終了)		A，B	TXB
INTCSI(クロック同期式シリアル・インタフェース転送終了)	クロック同期式シリアル・インタフェース	A，B	SIO

保守／廃止

マクロ・サービスの種類は次の３タイプです。

(1) タイプA

割り込み要求の発生ごとに１バイトのデータ転送を特殊機能レジスタ(SFR)とメモリとの間で行い，指定された回数のデータ転送を行うとベクタ割り込みの要求を発生します。

転送の対象となるSFRは割り込み要求ごとに固定です。また，メモリも0FE00H-0FEFFHの内部RAMに限定されます。

指定の方法が簡単で小容量の高速のデータ転送に向いています。

(2) タイプB

タイプAと同様に，割り込み要求の発生ごとに，１バイトのデータ転送をSFRとメモリとの間で行い，指定された回数のデータ転送を行うとベクタ割り込みの要求を発生します。

転送の対象となるSFRとメモリはマクロ・サービス・チャネルで指定します（メモリは，00000H-0FEFFHの64 Kバイトの空間内のみ)。

タイプAの汎用タイプで，転送データ量が多い場合に向いています。

注意　データの転送先をEEPROM領域（0FB00H-0FCFFH）にした場合，EEPROMの書き込み処理が終了するまで次のデータ転送はしないでください。これは，EEPROMの書き込み処理終了前に次のデータを転送すると，EEPROM書き込みエラー割り込み(INTEER)が発生し，あとから転送したデータの正常書き込みができないためです。

(3) タイプC

タイプCは，リアルタイム出力ポート用のマクロ・サービスです。

割り込み要求の発生ごとに，リアルタイム出力ポートと８ビット・タイマ／カウンタ１のコンペア・レジスタのそれぞれへ１バイトずつメモリからデータ転送します。指定された回数のデータ転送を行うと，ベクタ割り込みを発生します。

タイプCのマクロ・サービスは一度の割り込み要求で２箇所へのデータ転送を行うことのほかに，出力データのリング制御やコンペア・レジスタとデータを自動的に加算する機能などを付加して使用することもできます。

タイプCを使用できる割り込みはINTC10とINTC11に限られ，転送対象となるSFRは限定されています。メモリについては00000H-0FEFFHの64 Kバイトの空間を使用できます。

タイプCは，ステッピング・モータの制御などに向いています。

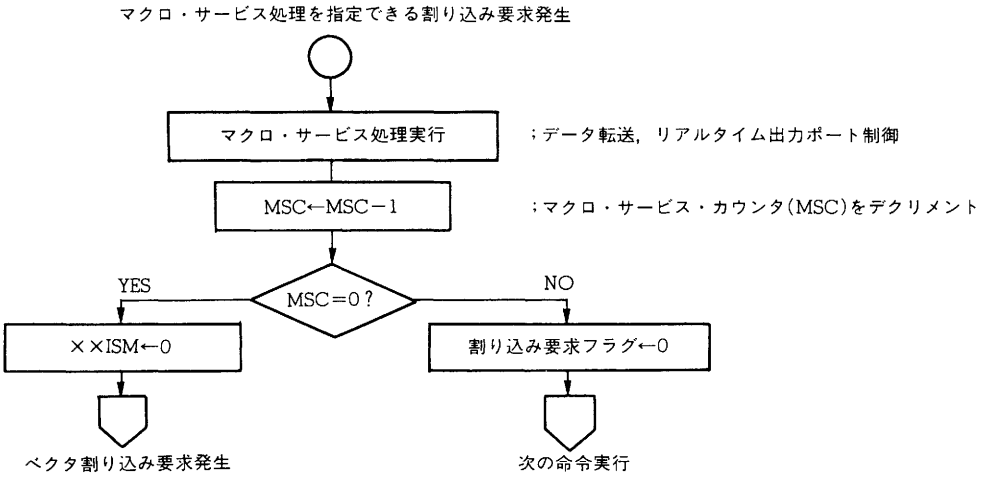
保守／廃止

13.4.3　マクロ・サービスの基本動作

図13－9で示すアルゴリズムで発生したマクロ・サービス処理を指定できる割り込み要求は，基本的には図13－15に示すシーケンスで処理されます。

マクロ・サービス処理を指定できる割り込み要求は，IEフラグの状態には影響されません。割り込みマスク・フラグ・レジスタ（MK0）の割り込みマスク・フラグのセット(1)によってのみ禁止されます。割り込み禁止状態，また割り込み処理プログラム実行中でもマクロ・サービス処理は実行できます。

図13－15　マクロ・サービス処理シーケンス



マクロ・サービスは，マクロ・サービス・コントロール・ワードのモード・レジスタに設定された値により，マクロ・サービスのタイプやデータの転送方向などを決定します。チャネル・ポインタで指定されるマクロ・サービス・チャネルをマクロ・サービスのタイプに従って使用し，転送処理を行います。

マクロ・サービス・チャネルは，転送回数を記憶するマクロ・サービス・カウンタや転送先，転送元のポインタ，データ・バッファが配置されているメモリで，内部RAMのOFE00H-OFEFFHの中の任意のアドレスに配置することが可能です。

保守／廃止

13.4.4　マクロ・サービス制御レジスタ

(1) マクロ・サービス・コントロール・ワード

μPD78244のマクロ・サービス機能は，マクロ・サービス・モード・レジスタとマクロ・サービス・チャネル・ポインタで制御されます。マクロ・サービス・モード・レジスタによってマクロ・サービス処理モードを設定し，マクロ・サービス・チャネル・ポインタによってマクロ・サービス・チャネルのアドレスを指し示します。

マクロ・サービス・モード・レジスタとマクロ・サービス・チャネル・ポインタは，マクロ・サービス・コントロール・ワードとして，各マクロ・サービスごと，図13－16に示すように内部RAMの一部にマッピングされています。

マクロ・サービス処理を行うとき，マクロ・サービス処理を指定できる割り込み要求に対応するマクロ・サービス・モード・レジスタとチャネル・ポインタの値を設定しておく必要があります。

図13－16　マクロ・サービス・コントロール・ワードの構成

0FEDFH	チャネル・ポインタ	INTSR
0FEDEH	モード・レジスタ	
0FEDDH	チャネル・ポインタ	INTST
0FEDCH	モード・レジスタ	
0FEDBH	チャネル・ポインタ	INTCSI
0FEDAH	モード・レジスタ	
0FED9H	チャネル・ポインタ	INTC10
0FED8H	モード・レジスタ	
0FED7H	チャネル・ポインタ	INTC11
0FED6H	モード・レジスタ	
0FED5H	チャネル・ポインタ	INTP4／INTC30
0FED4H	モード・レジスタ	
0FED3H	チャネル・ポインタ	INTP5／INTAD
0FED2H	モード・レジスタ	
0FED1H	チャネル・ポインタ	INTC00
0FED0H	モード・レジスタ	
0FECFH	チャネル・ポインタ	INTC01
0FECEH	モード・レジスタ	
0FECDH	チャネル・ポインタ	INTC20
0FECCH	モード・レジスタ	
0FECBH	チャネル・ポインタ	INTC21
0FECAH	モード・レジスタ	
0FEC9H	チャネル・ポインタ	INTP0
0FEC8H	モード・レジスタ	
0FEC7H	チャネル・ポインタ	INTP1
0FEC6H	モード・レジスタ	
0FEC5H	チャネル・ポインタ	INTP2
0FEC4H	モード・レジスタ	
0FEC3H	チャネル・ポインタ	INTP3
0FEC2H	モード・レジスタ	

保守／廃止

(2) マクロ・サービス・モード・レジスタ

マクロ・サービス・モード・レジスタはマクロ・サービスの動作を指定する８ビット・レジスタです。マクロ・サービス・コントロール・ワードの一部として内部RAM上に書いておきます（図13－16参照）。

そのフォーマットを図13－17に示します。

図13－17　マクロ・サービス・モード・レジスタのフォーマット

7	6	5	4	3	2	1	0
CHT2	CHT1	CHT0	B/W	MOD3	MOD2	MOD1	MOD0

B/W	0	0：マクロ・サービス・カウンタは，８ビット 1：マクロ・サービス・カウンタは，16ビット		
CHT0	0	1	0	1
CHT1	1	0	1	
CHT2	0	1	1	

MOD3	MOD2	MOD1	MOD0	タイプA	タイプB	タイプC		
						MPTを保持	MPTインクリメント	
0	0	0	0	メモリからSFRへデータ転送				
0	0	0	1	SFRからメモリへデータ転送				
1	0	0	0			リング制御なし	データ転送のみ	POL
1	0	0	1					POH
1	0	1	0				自動加算つき	POL
1	0	1	1					POH
1	1	0	0			リング制御つき	データ転送のみ	POL
1	1	0	1					POH
1	1	1	0				自動加算つき	POL
1	1	1	1					POH

(3) マクロ・サービス・チャネル・ポインタ

マクロ・サービス・チャネル・ポインタは，マクロ・サービス・チャネルのアドレスを指定するポインタです。マクロ・サービス・チャネルは内部RAMのOFE00H-OFEFFHの256バイトの空間に配置可能で，アドレスの上位８ビットが固定です。したがって，マクロ・サービス・チャネル・ポインタには，マクロ・サービス・チャネルの最上位アドレスの下位８ビットを設定します。

保守／廃止

13.4.5　マクロ・サービス・タイプA

(1) 動　　作

マクロ・サービス・チャネル内のバッファ・メモリと割り込み要求ごとにあからじめ決められたSFRとの間でデータの転送を行います。

タイプAは，データの転送方向としてメモリからSFR，またはSFRからメモリを選択することができます。

あらかじめマクロ・サービス・カウンタに設定した回数だけ，データ転送を行います。なお，１回のマクロ・サービス処理で８ビットのデータが転送されます。

転送するデータ量が少ないときの高速データ転送に有効です。

マクロ・サービスのタイプAを指定できる割り込み要求は，表13－９のように12種類あります。それぞれが転送元もしくは転送先のSFRとして表13－９のレジスタがハードウエアで指定されています。

表13－９　マクロ・サービス処理を指定できる割り込み要求とSFR（タイプA）

タイプAを指定できるマクロ・サービス処理を行う割り込み要求	転送元／転送先のSFR
INTC10	CR10レジスタ
INTC11	CR11レジスタ
INTC20	CR20レジスタ
INTC21	CR21レジスタ
INTC30	CR30レジスタ
INTSR	RXBレジスタ
INTST	TXSレジスタ
INTCSI	SIOレジスタ
INTAD	ADCRレジスタ
INTP0	CR11レジスタ
INTP1	CR22レジスタ
INTP2	TM2レジスタ

保守／廃止

注意　外部メモリ拡張時（μPD78243は常時）に，マクロ・サービスのタイプAを使用している場合，不正なライト・アクセス動作が発生する場合があります。
不正ライト・アクセスは，次の条件が成立したときに発生します。

- マクロ・サービス実行時に転送先または転送元のバッファ（メモリ）のアドレスがOFEDOH-OFEDFHのとき

不正なライト・アクセスは，通常のメモリ・アクセスと同様に行われます。また，メモリ拡張モード・レジスタ（MM）のPW20，PW21ビットの設定に従ってウエイトが挿入されます。表13－10に，不正なライト・アクセスの発生条件と動作を示します。

表13－10　不正ライト・アクセスの発生条件と動作

不正ライト・アクセス	
アドレス	データ
転送の対象となるSFRのアドレス	転送先または転送元のバッファ（メモリ）のアドレスの下位8ビット

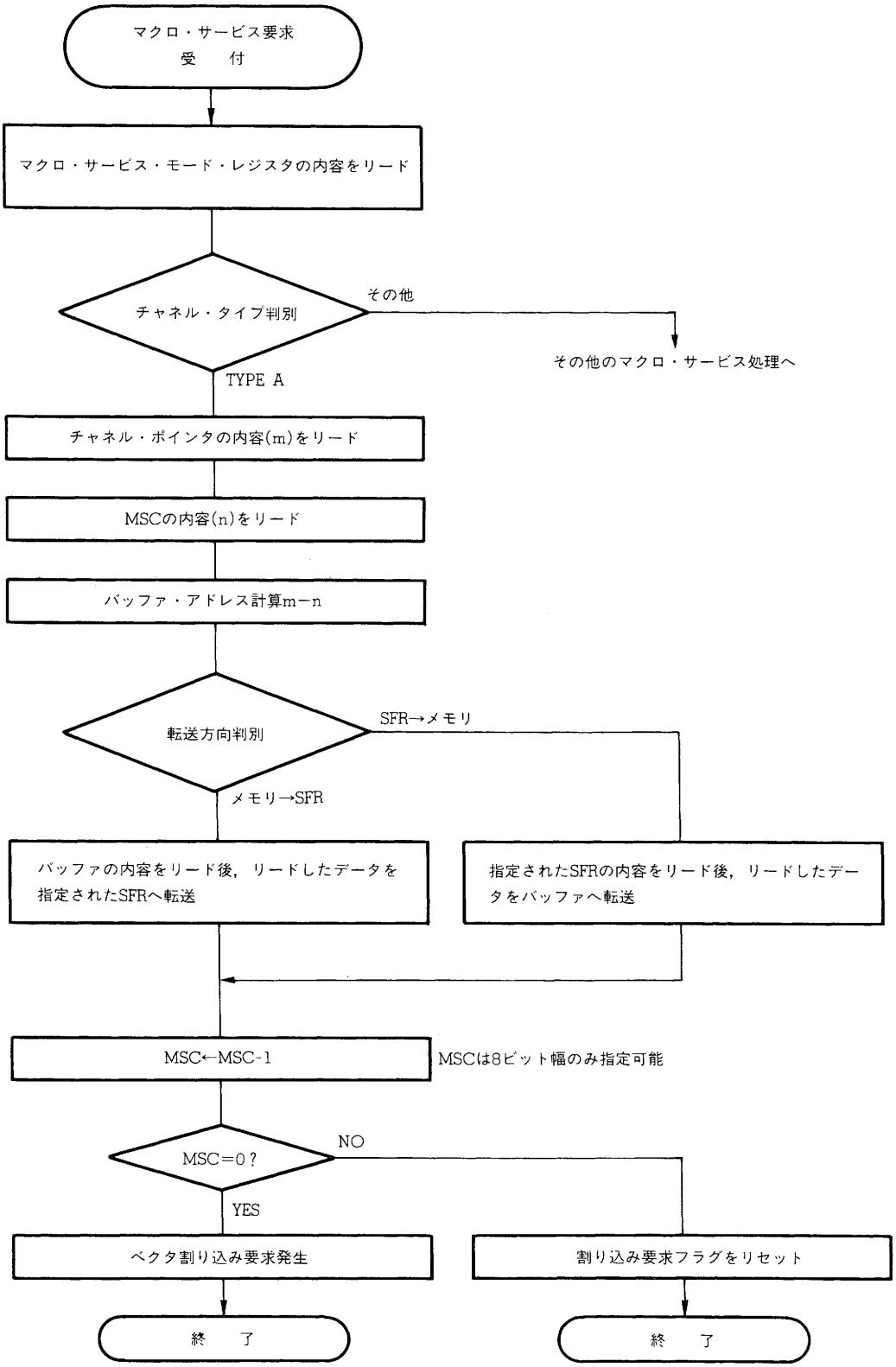
本不具合を回避するには，次の方法があります。

- マクロ・サービスのバッファ領域のアドレスがOFEDOH-OFEDFHとならない位置に配置する。

なお，不具合はインサーキット・エミュレータでも発生します。

保守／廃止

図13－18　マクロ・サービス・データ転送処理フロー（タイプA）



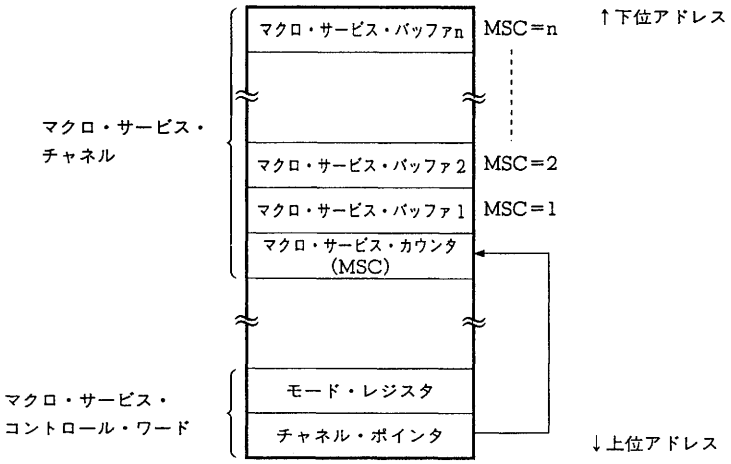
保守／廃止

(2) マクロ・サービス・チャネルの構成

チャネル・ポインタとマクロ・サービス・カウンタとで，転送元もしくは転送先となる内部RAM（0FE00H-0FEFFH）上のバッファ・アドレスを示します（図13－19参照)。チャネル・ポインタには，マクロ・サービス・チャネルの最上位アドレスの下位８ビットを書き込みます。

なお，アクセスの対象となるSFRは，割り込み要求ごとにあからじめ決められています(表13－9参照)。

図13－19　タイプAのマクロ・サービス・チャネル



(マクロ・サービス・バッファ・アドレス)＝(チャネル・ポインタ)－(マクロ・サービス・カウンタ)

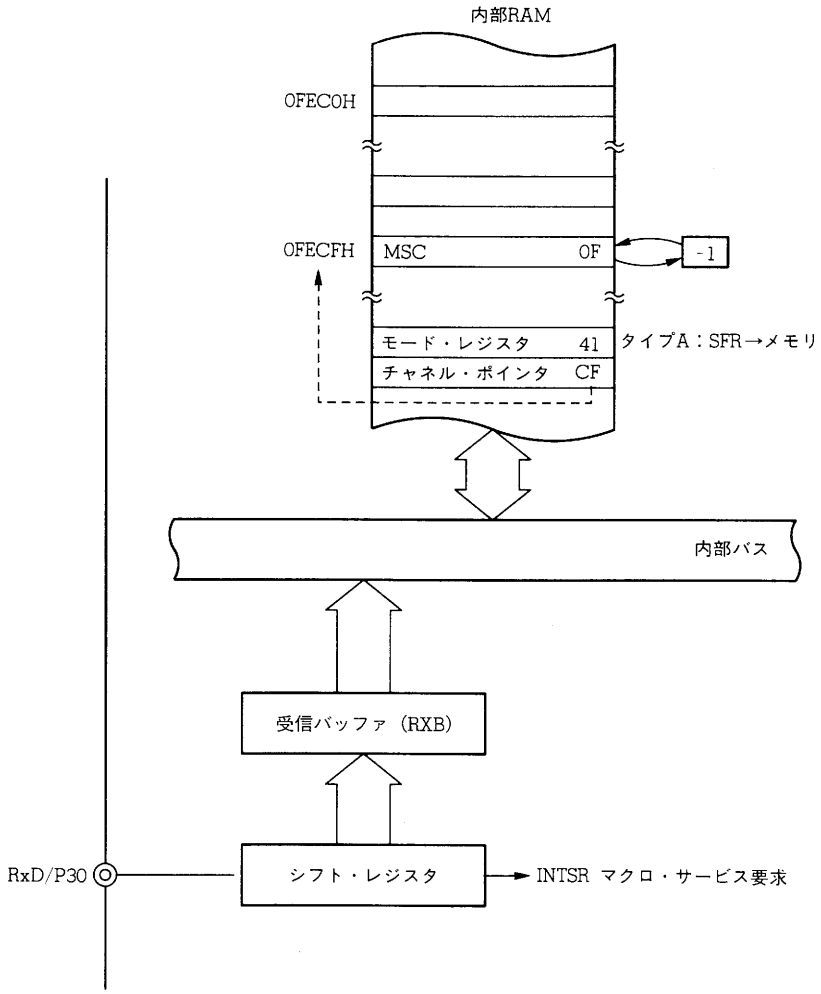
注意　タイプAでは，マクロ・サービス・カウンタ（MSC）を16ビットに指定することはできません。したがって，マクロ・サービス・モード・レジスタのビット４（B/W）には必ず“0”を書き込んでください。

保守／廃止

(3) タイプA使用例

アシンクロナス・シリアル・インタフェースにより受信したデータを内部RAM内のバッファ領域に転送する例を示します。

図13－20　アシンクロナス・シリアル受信



保守／廃止

13.4.6　マクロ・サービス・タイプB

(1) 動　　作

マクロ・サービス・チャネルで指定されるメモリ内のデータ領域とSFRとの間でデータの転送を行います。

タイプBは，データの転送方向としてメモリからSFR，またはSFRからメモリを選択することができます。

あらかじめマクロ・サービス・カウンタに設定した回数だけ，データ転送を行います。なお，1回のマクロ・サービス処理で8ビットのデータが転送されます。

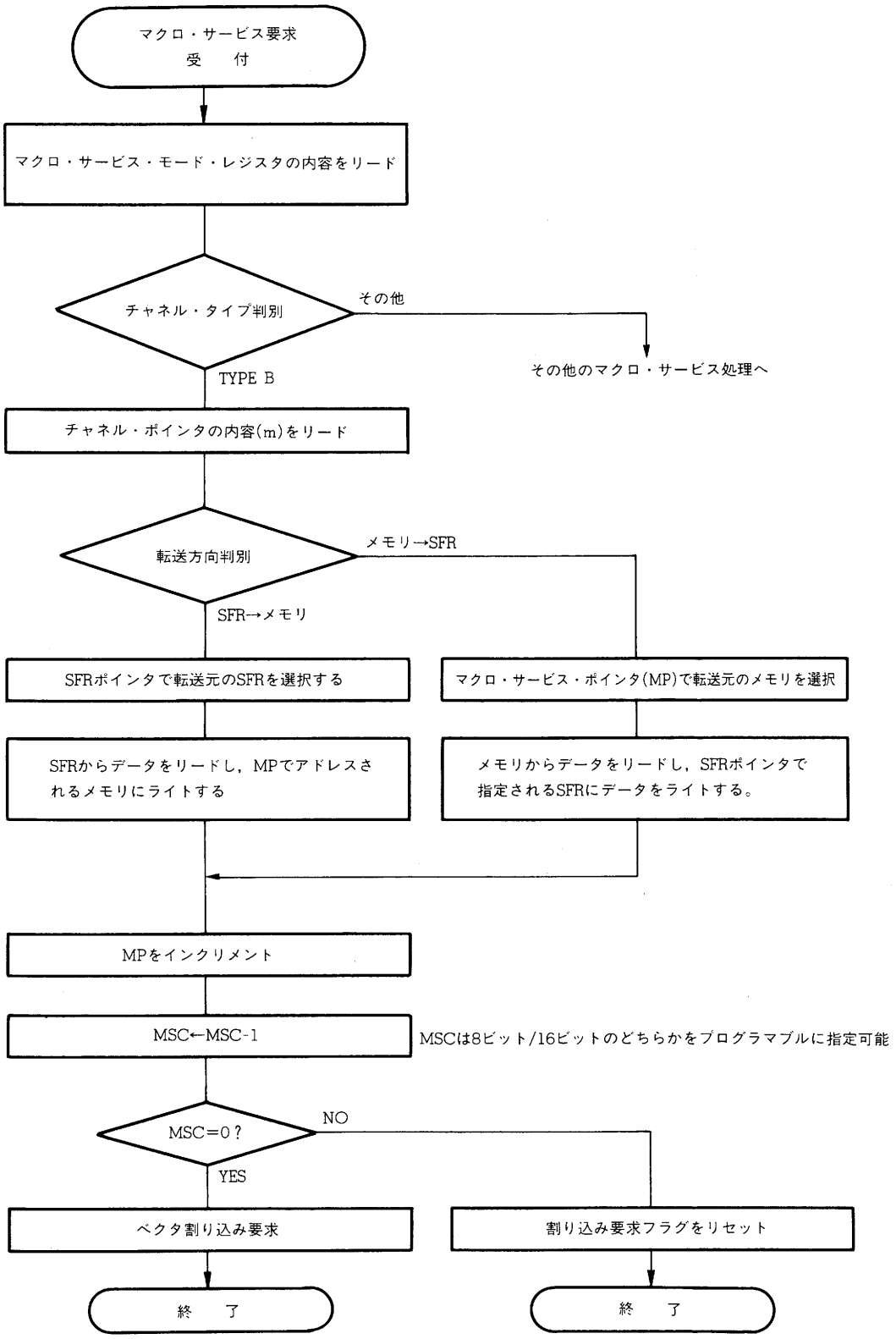
タイプBのマクロ・サービス処理は，μPD78244が持つ割り込み要求のうちマクロ・サービスを起動することのできるすべての要求に対して指定することができます。タイプBは，転送先または転送元となるSFRもSFRポインタにより任意に指定することができます。

タイプAのマクロ・サービスを汎用的にしたタイプで，データ・バッファ領域を64 Kバイトのアドレス空間を持たせることができるため，大容量データの処理に最適です。

注意　データの転送先をEEPROM領域（0FB00H-0FCFFH）にした場合，EEPROMの書き込み処理が終了するまで次のデータ転送はしないでください。これは，EEPROMの書き込み処理終了前に次のデータを転送すると，EEPROM書き込みエラー割り込み(INTEER)が発生し，あとから転送したデータの正常書き込みができないためです。

保守／廃止

図13－21　マクロ・サービス・データ転送処理フロー（タイプB）



保守／廃止

(2) マクロ・サービス・チャネルの構成

マクロ・サービス・ポインタ（MP）は，転送先または転送元となる64 Kメモリ空間内のデータ・バッファ領域を示します。

SFRポインタ(SFRP)には，転送先または転送元となるSFRのアドレスの下位８ビットを書き込みます。

マクロ・サービス・カウンタ（MSC）は，データ転送の回数を指定します。MSCは，８ビット，16ビットの選択が可能です。

マクロ・サービス・ポインタ，SFRポインタおよびマクロ・サービス・カウンタを格納するマクロ・サービス・チャネルは，内部RAM空間のOFE00H-OFEFFHに配置します。

マクロ・サービス・チャネルは，図13－22で示すようにチャネル・ポインタで示します。チャネル・ポインタには，マクロ・サービス・チャネルの最上位アドレスの下位８ビットを書き込みます。

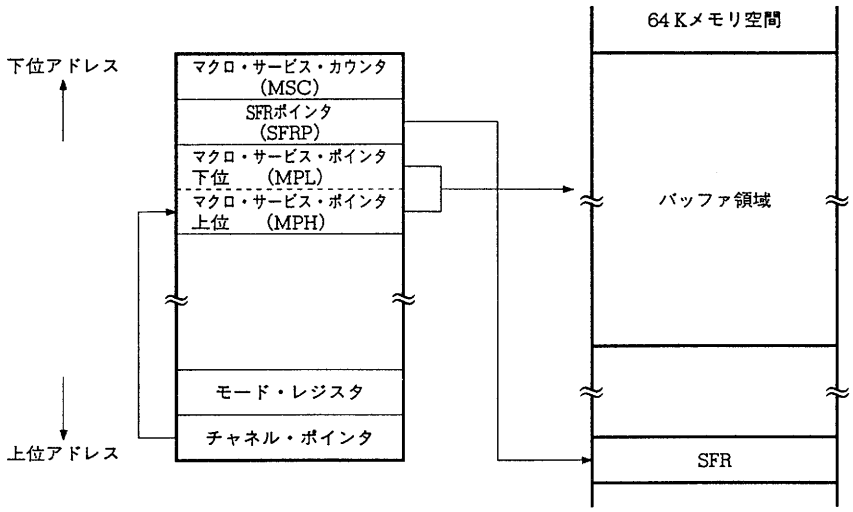
★　**注意　次のものは，SFRとして指定することはできません。**

IFOL，IFOH，IF1L，MKOL，MKOH，MK1L，PROL，PROH，PR1L，ISMOL，ISMOH，ISM1L，IST

保守／廃止

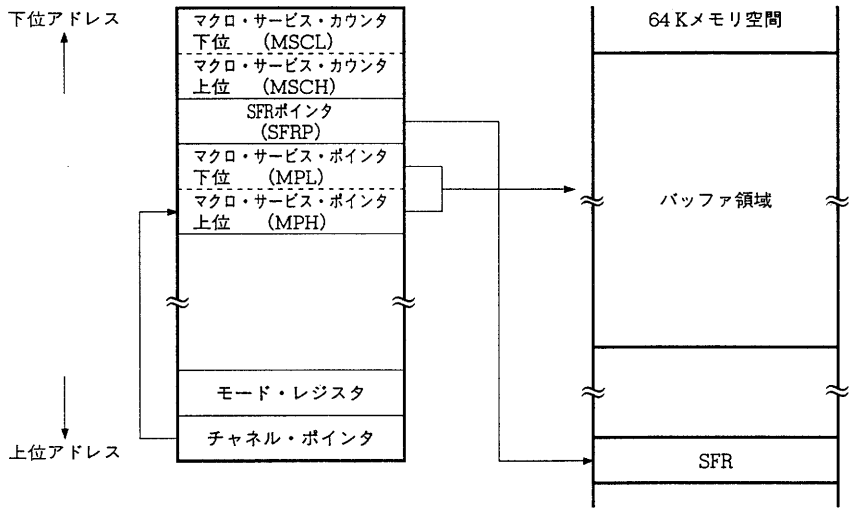
図13－22　タイプBのマクロ・サービス・チャネル

(a) MSCが８ビットの場合



(マクロ・サービス・バッファ・アドレス)＝(マクロ・サービス・ポインタ)

(b) MSCが16ビットの場合



(マクロ・サービス・バッファ・アドレス)＝(マクロ・サービス・ポインタ)

保守／廃止

(3) タイプB使用例

外部信号に同期してポート３からパラレル・データを入力する例を示します。外部信号との同期は外部割り込み端子（INTP4）入力を用います。

図13－23　外部割り込みに同期したパラレル・データ入力

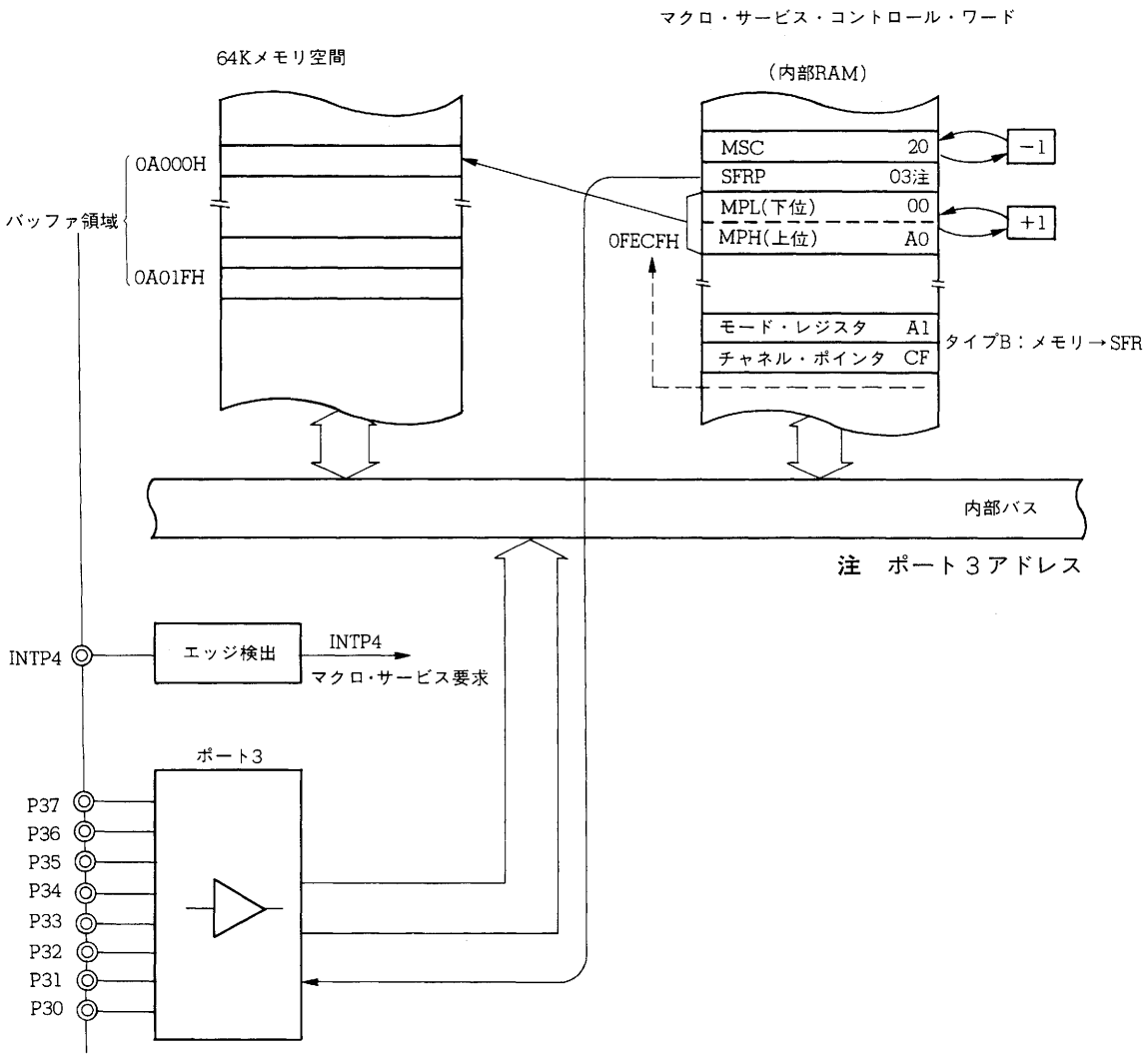
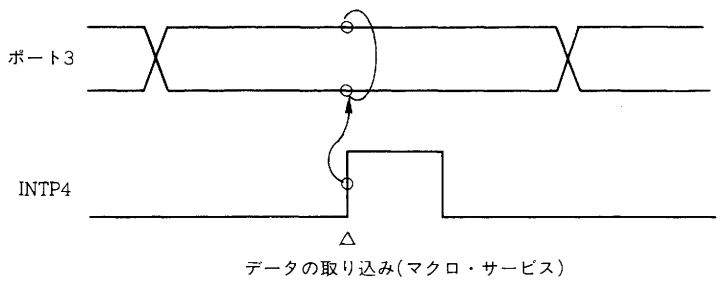


図13－24　パラレル・データ入力のタイミング



保守／廃止

13.4.7　マクロ・サービス・タイプC

(1) 動　　作

タイプCのマクロ・サービスは，８ビット・タイマ／カウンタ１とリアルタイム出力ポートを同時にコントロールします。マクロ・サービスのタイプCでは，１回の割り込み要求に対して，８ビット・タイマ／カウンタ１のコンペア・レジスタとリアルタイム出力ポートのバッファ・レジスタへデータを転送します。

タイプCのマクロ・サービスが指定できる割り込み要求は，INTC10，INTC11のみで表13－11のように転送先のレジスタが決まっています。

表13－11　マクロ・サービス処理を指定できる割り込み要求とSFR（タイプC）

割り込み要求	MPTでアドレスされるデータの転送先	MPDでアドレスされるデータの転送先
INTC10	CR10	P0LまたはP0H（モード・レジスタで設定）
INTC11	CR11	P0LまたはP0H（モード・レジスタで設定）

タイプCのマクロ・サービスは，上記の基本的なデータ転送に加えて，バッファ領域の圧縮とソフトウエアの負担を軽減するために以下の機能を付加することができます。

(a) タイマ用マクロ・サービス・ポインタの保持

タイマ用のマクロ・サービス・ポインタ（MPT）を保持するか，インクリメントするかを選択できます。

(b) 自動加算

タイマ用のマクロ・サービス・ポインタ（MPT）でアドレスされるデータと現在のコンペア・レジスタの値を加算して，加算結果をコンペア・レジスタへ転送します。

自動加算を指定しない場合は，MPTでアドレスされるデータをコンペア・レジスタに転送するだけです。

(c) リング制御

あらかじめ指定された長さの出力データ・パターンを自動的に繰り返し出力します。

これらの指定は，マクロ・サービス・コントロール・ワードのモード・レジスタで指定します。

注意1．マクロ・サービス・タイプCでは，MPT，MPDのインクリメントは16ビットで行われます。したがって，μPD78214シリーズ，μPD78224シリーズのソフトウエアを流用する場合にはご注意ください（μPD78214シリーズ，μPD78224シリーズでのインクリメント動作は下位８ビットに対してだけ行われます）。

保守／廃止

注意2. 外部メモリ拡張時（μPD78243は常時）に，マクロ・サービスのタイプCを使用している場合，不正なライト・アクセス動作が発生する場合があります。
不正ライト・アクセスは，次の条件が成立したときに発生します。

●MPTLのアドレスがOFEDOH-OFEDFHのとき

不正なライト・アクセスは，通常のメモリ・アクセスと同様に行われます。また，メモリ拡張モード・レジスタ（MM）のPW20，PW21ビットの設定に従ってウエイトが挿入されます。表13－12に，不正なライト・アクセスの発生条件と動作を示します。

表13－12　不正ライト・アクセスの発生条件と動作

不正ライト・アクセス	
アドレス	デ　ー　タ
転送先のSFR（CR10またはCR11）のアドレス	MPTLのアドレスの下位８ビット

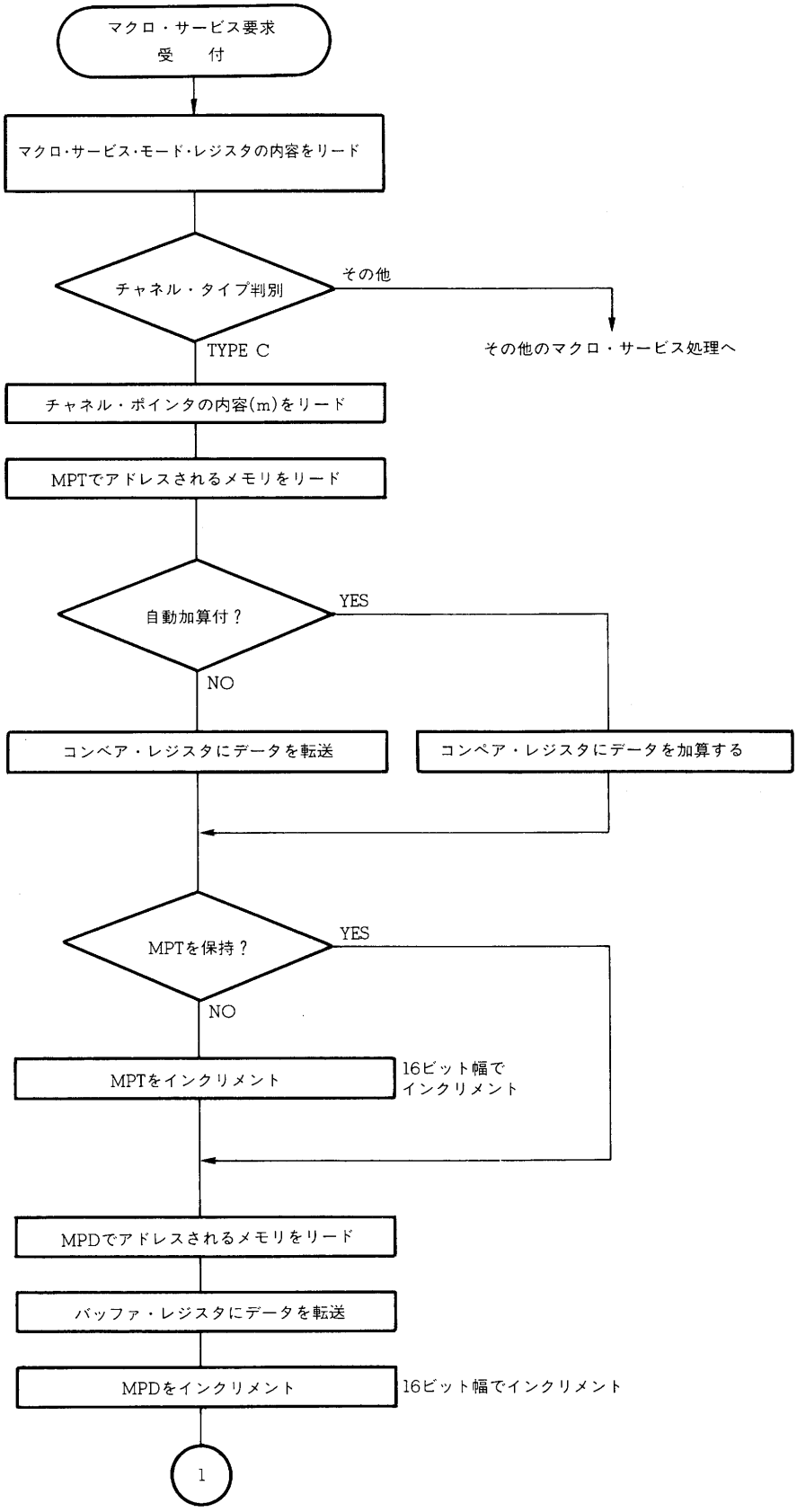
本不具合を回避するには，次の方法があります。

●MPTLのアドレスがOFEDOH-OFEDFHとならない位置に配置する。

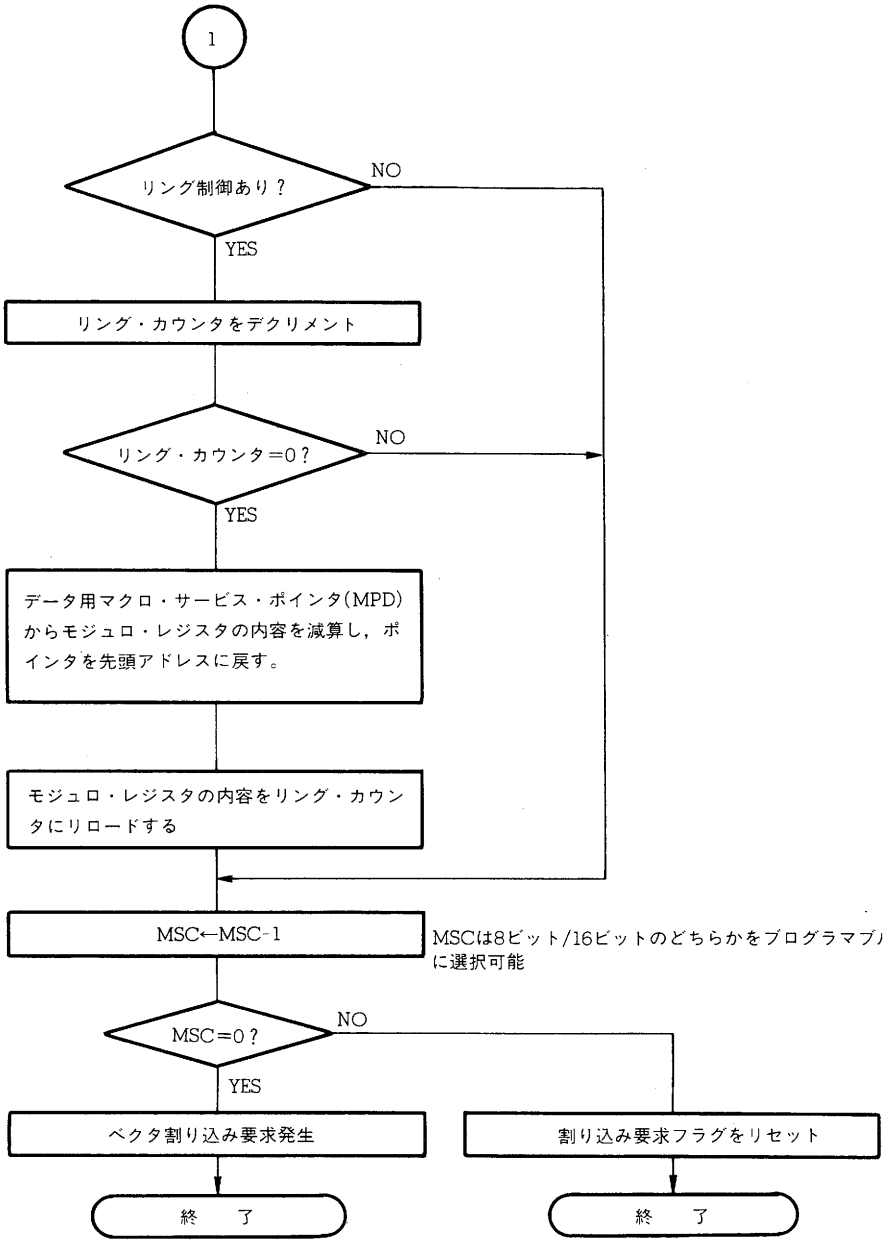
なお，不具合はインサーキット・エミュレータでも発生します。

保守／廃止

図13－25　マクロ・サービス・データ転送処理フロー（タイプC）



保守／廃止


1
リング制御あり？
NO
YES
リング・カウンタをデクリメント
リング・カウンタ＝0？
NO
YES
データ用マクロ・サービス・ポインタ(MPD)からモジュロ・レジスタの内容を減算し，ポインタを先頭アドレスに戻す。
モジュロ・レジスタの内容をリング・カウンタにリロードする
MSC←MSC-1
MSCは8ビット/16ビットのどちらかをプログラマブルに選択可能
MSC＝0？
NO
YES
ベクタ割り込み要求発生
割り込み要求フラグをリセット
終　了
終　了

保守／廃止

(2) マクロ・サービス・チャネルの構成

タイプCのマクロ・サービス・チャネルには図13－26に示す４種類があります。タイマ用マクロ・サービス・ポインタ（MPT）は８ビット・タイマ／カウンタ１のコンペア・レジスタに転送または加算する64 Kメモリ空間内のデータ・バッファ領域を示します。

データ用マクロ・サービス・ポインタ（MPD）はリアルタイム出力ポートへ転送する64 Kメモリ空間内のデータ・バッファ領域を示します。

モジュロ・レジスタ（MR）は，リング制御を使用するときの繰り返しのパターン数を指定します。

リング・カウンタ（RC）は，リング制御を使用するときのパターン内のステップを保持します。通常初期設定時は，モジュロ・レジスタと同じ値に設定します。

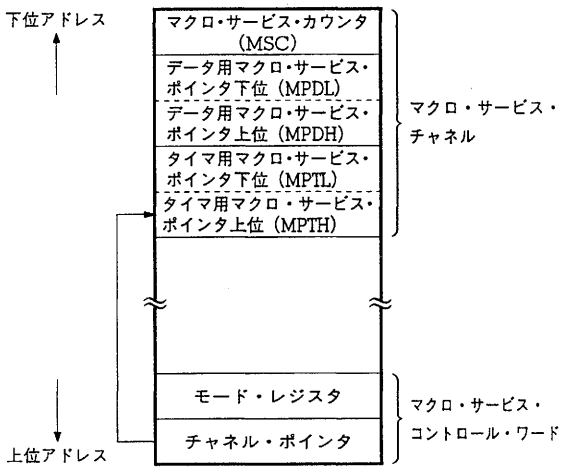
マクロ・サービス・カウンタ（MSC）は，データの転送回数を指定します。MSCは，８ビット，16ビットの選択が可能です。

これらのポインタやカウンタを格納するマクロ・サービス・チャネルは，0FE00H-0FEFFHの内部RAM空間に配置します。マクロ・サービス・チャネルは，図13－26に示すようにチャネル・ポインタで示します。チャネル・ポインタには，マクロ・サービス・チャネルのアドレスの下位８ビットを書き込みます。

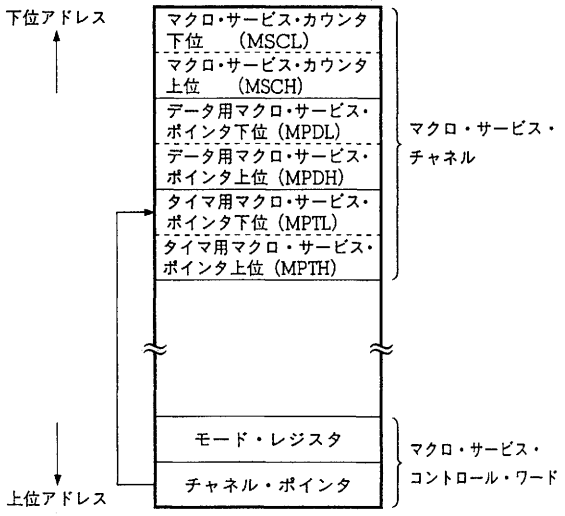
図13－26　タイプCのマクロ・サービス・チャネル（1/2）

(a) リング制御なし

(i) マクロ・サービス・カウンタ８ビット



(ii) マクロ・サービス・カウンタ16ビット

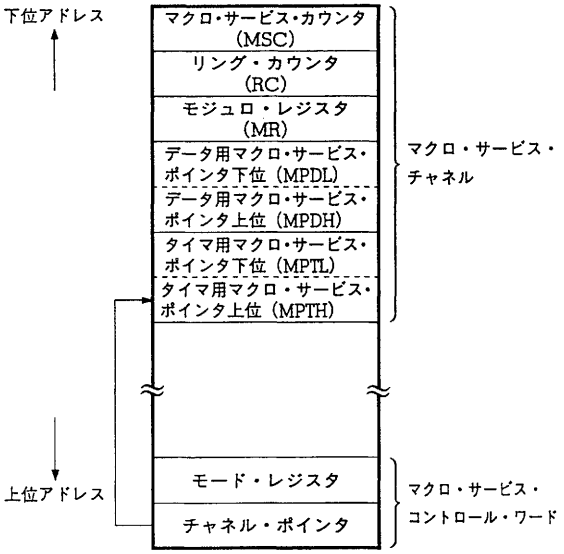


保守／廃止

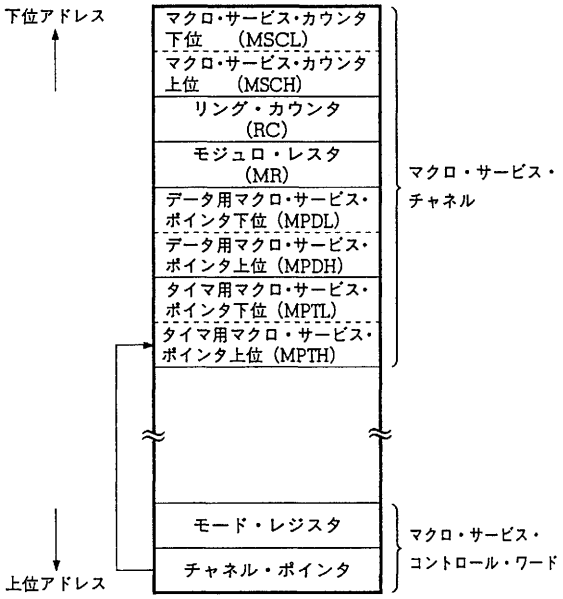
図13－26　タイプCのマクロ・サービス・チャネル（2/2）

（b）リング制御あり

（i）マクロ・サービス・カウンタ８ビット



（ii）マクロ・サービス・カウンタ16ビット



保守／廃止

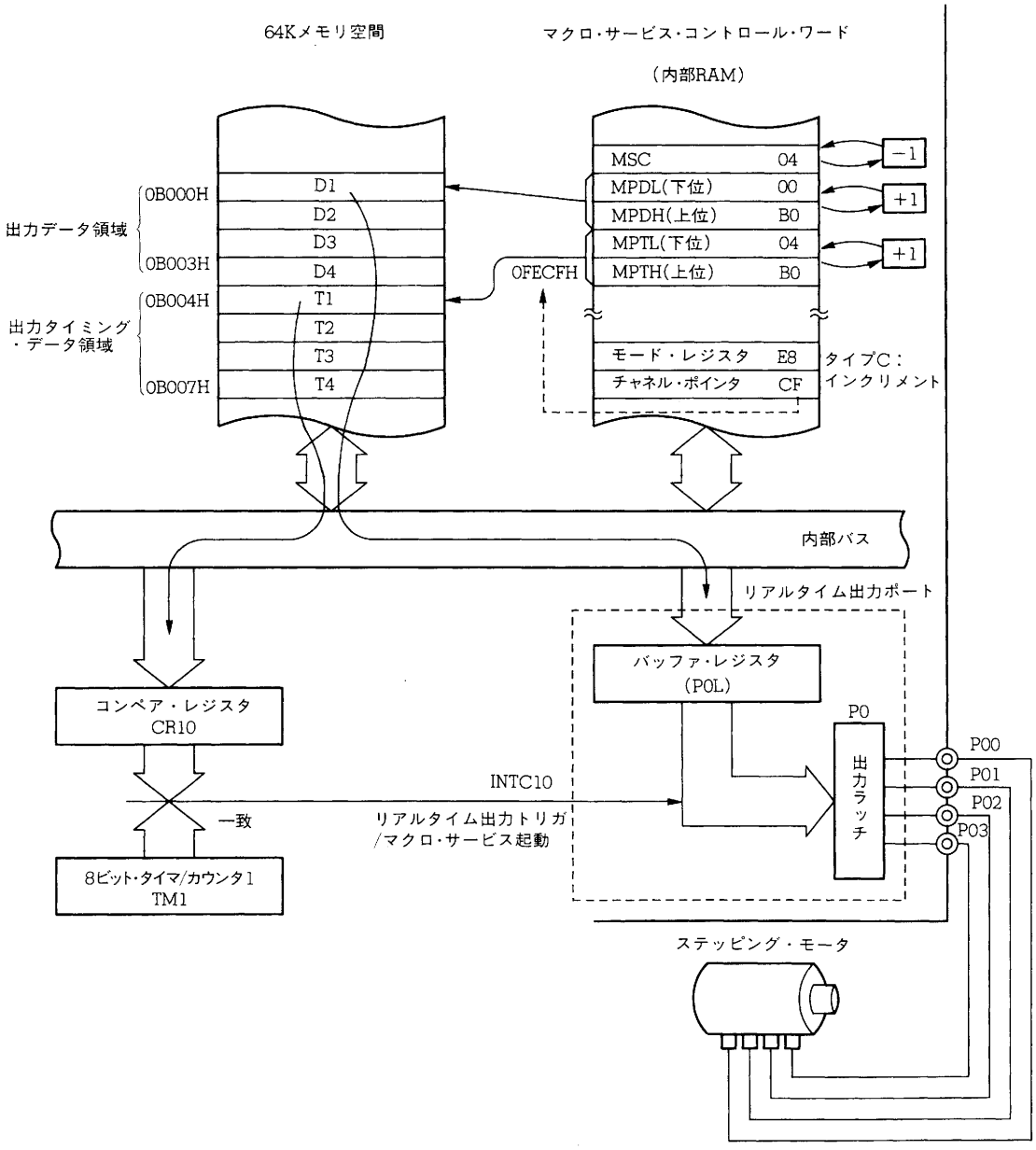
(3) タイプC使用例

(a) 基本動作

リアルタイム出力ポートへの出力パターンと出力インターバルを直接制御する例を示します。

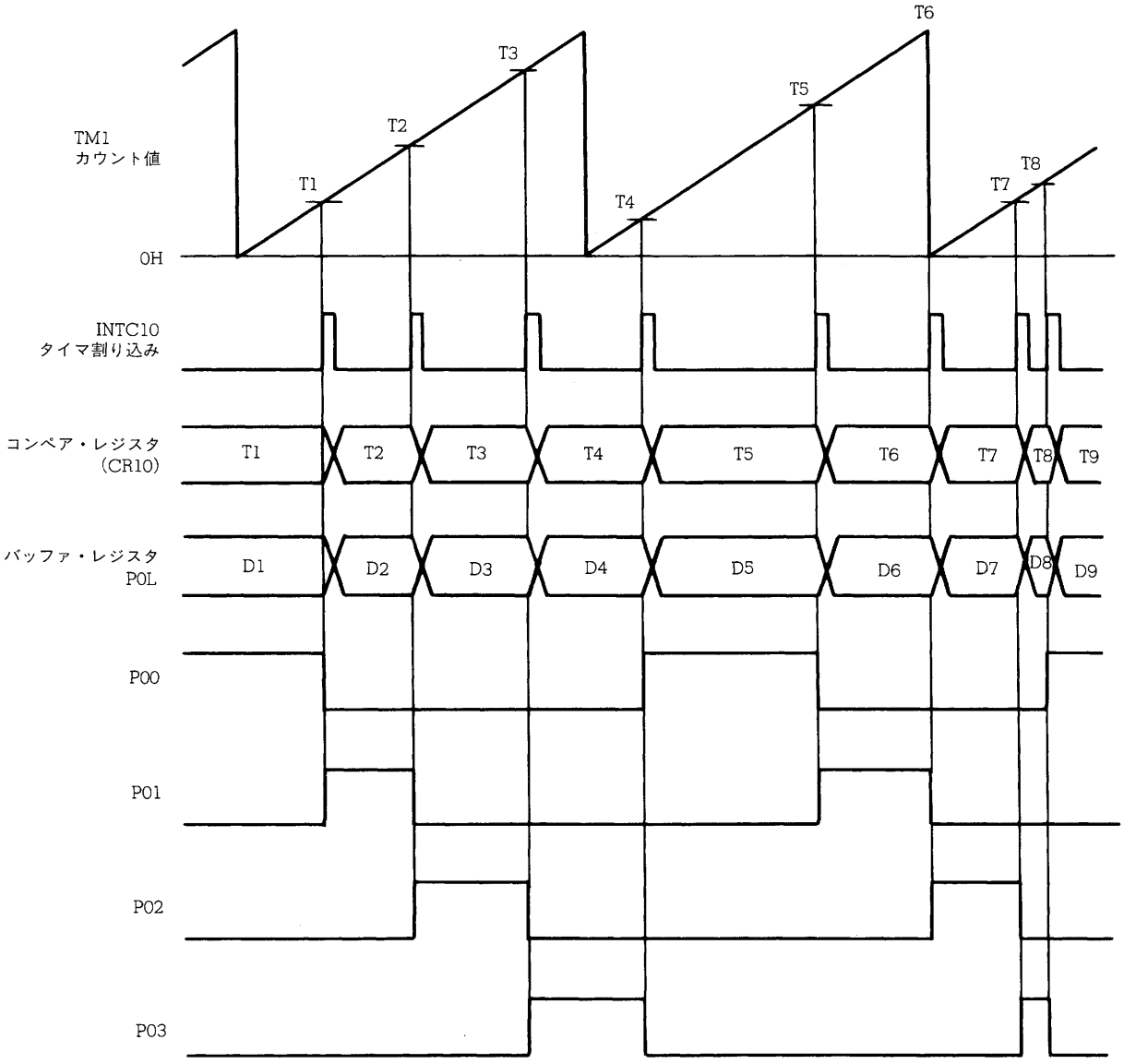
64 Kバイト空間にあらかじめ設定してある２つのデータ格納領域より，リアルタイム出力機能のバッファ・レジスタ（P0H，P0L），およびコンペア・レジスタ（CR10，CR11）に更新データを転送します。

図13－27　リアルタイム出力ポートによるステッピング・モータの開ループ制御



保守／廃止

図13－28　データ転送制御のタイミング



保守／廃止

(b) 自動加算制御およびリング制御の使用例

(i) 自動加算制御

タイプCで示すアドレシングにより動作します。

マクロ・サービス・ポインタ（MPT）で指定された出力タイミング・データ（Δt）をコンペア・レジスタの内容に加算し，加算結果をコンペア・レジスタに書き戻します。

この自動加算制御を利用することにより，コンペア・レジスタの設定値をその都度プログラム中で計算させる必要がなくなります。

(ii) リング制御

リング制御は，あからじめ決められた出力データ・パターンを１サイクル分だけ用意しておいて，１サイクル分の出力パターンをリング形式で繰り返し順に出力するものです。

リング制御を用いる場合，出力するデータ・パターンとして１サイクル分だけ準備すればよいため，データROM領域を小さくすることができます。

マクロ・サービス・カウンタ（MSC）のデクリメントは，１回のデータ転送ごとに行います。

リング制御の場合も，MSC＝0で割り込み要求を発生します。

たとえば，ステッピング・モータを制御する場合，対象となるステッピング・モータの構成，および１相励磁，２相励磁などの相励磁方式によって出力データ・パターンは変化しますが，いずれの場合も繰り返しパターンになります。例として，４相ステッピング・モータの１相励磁の場合と１－２相励磁の場合を図13－29，図13－30に示します。

保守／廃止

図13－29　4相ステッピング・モータの1相励磁の場合

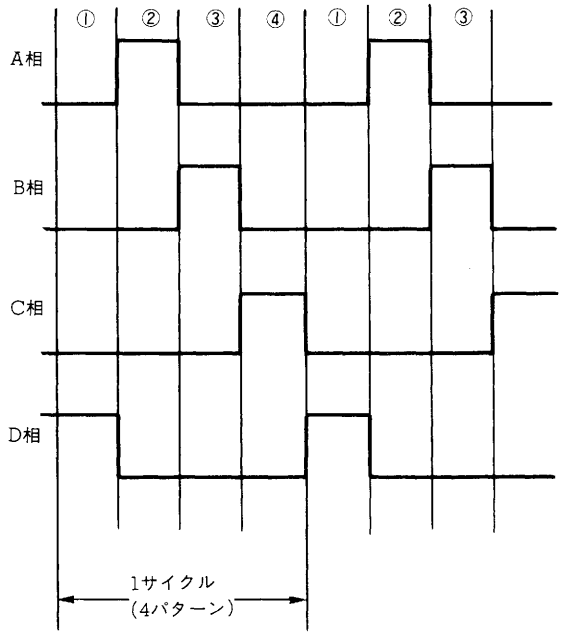
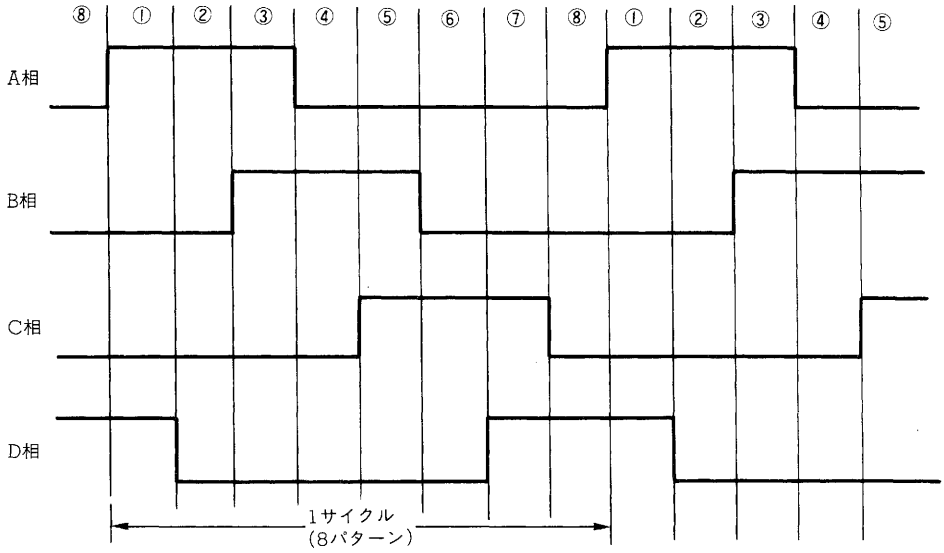


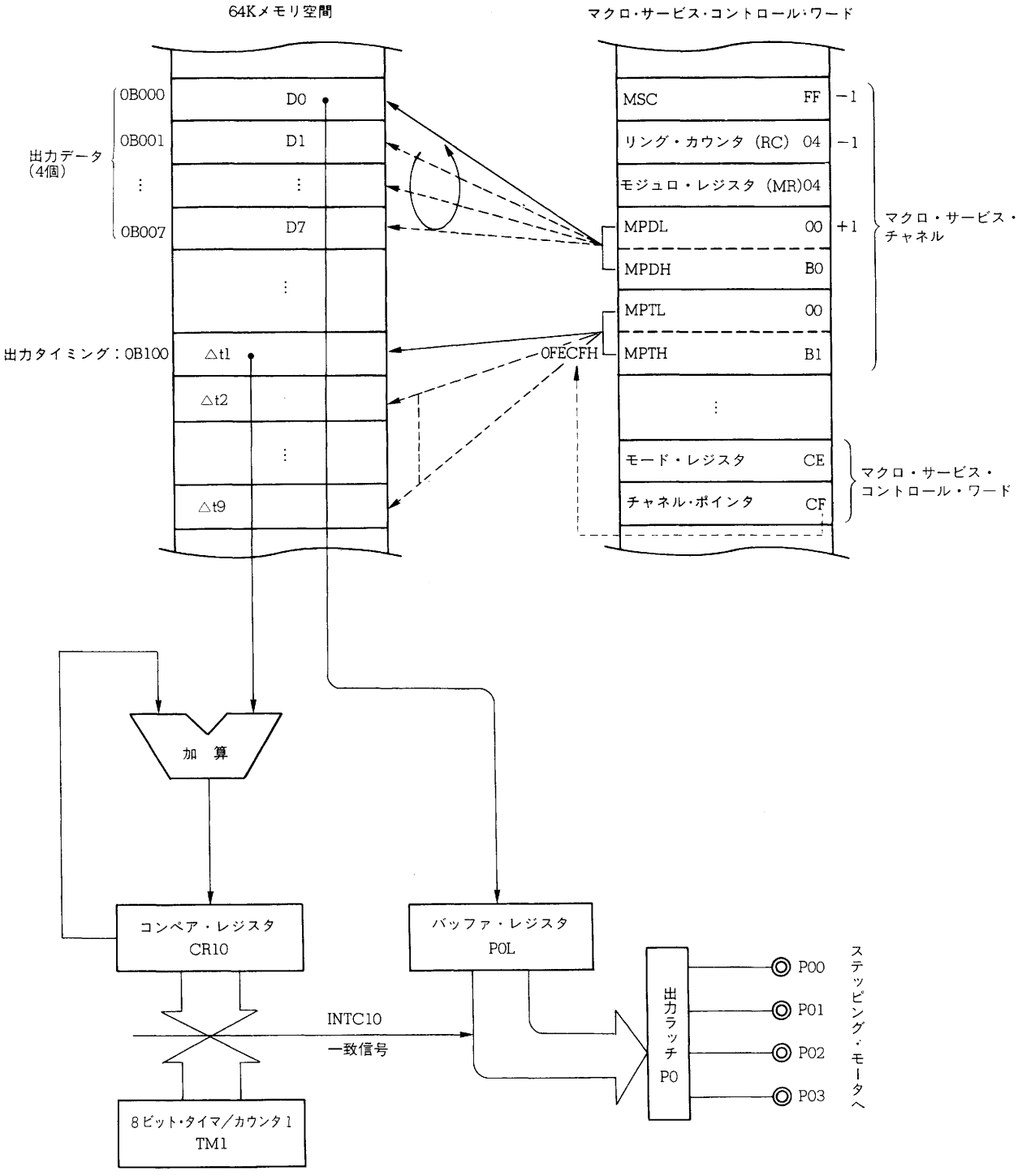
図13－30　4相ステッピング・モータの1－2相励磁の場合



保守／廃止

図13－31　自動加算制御＋リング制御のブロック図1

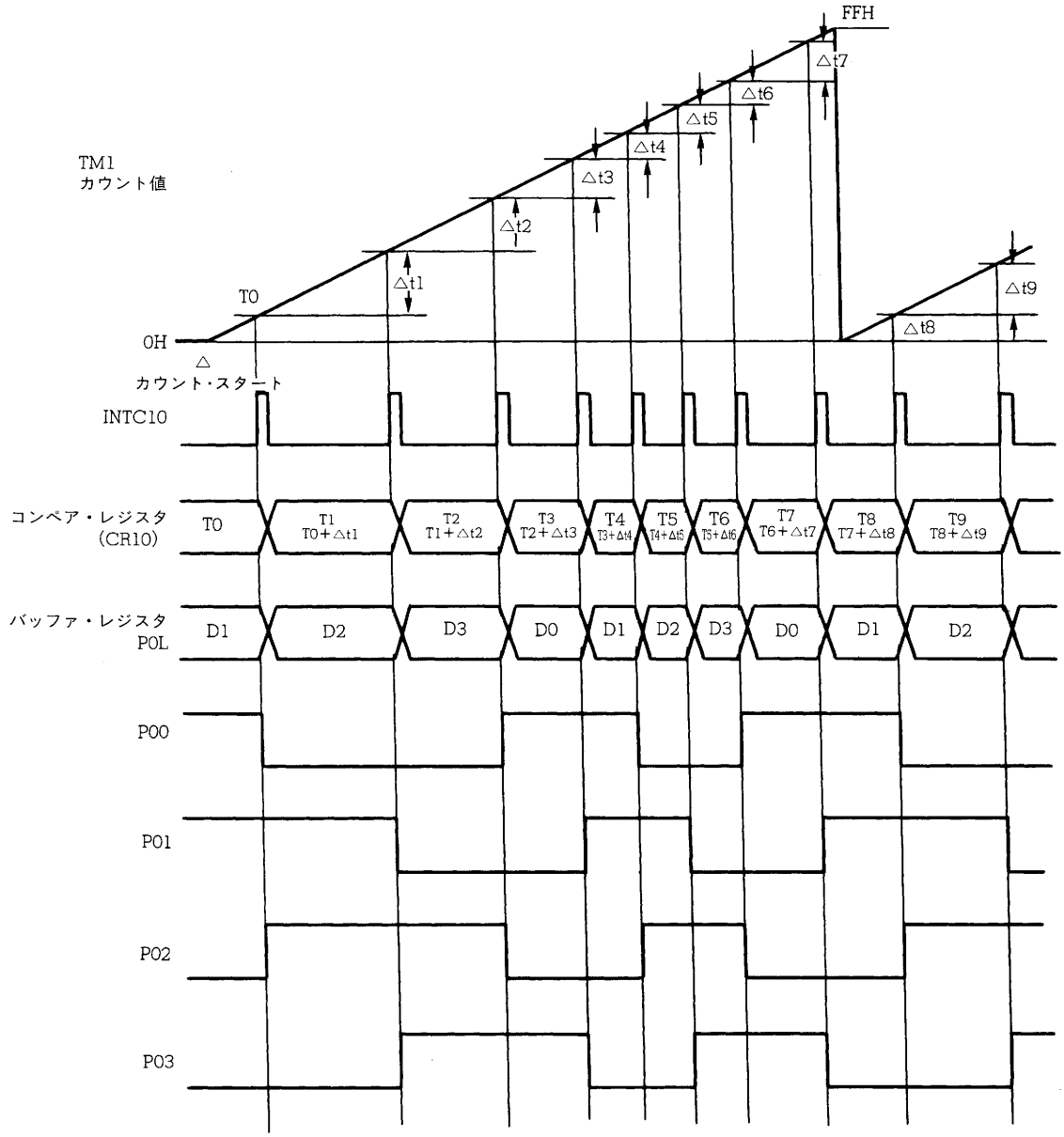
（1－2相励磁で出力タイミングが変化する場合：MSC＝8ビット）



13

保守／廃止

図13－32　自動加算制御＋リング制御のタイミング図１（１－２相励磁で出力タイミングが変化する場合）

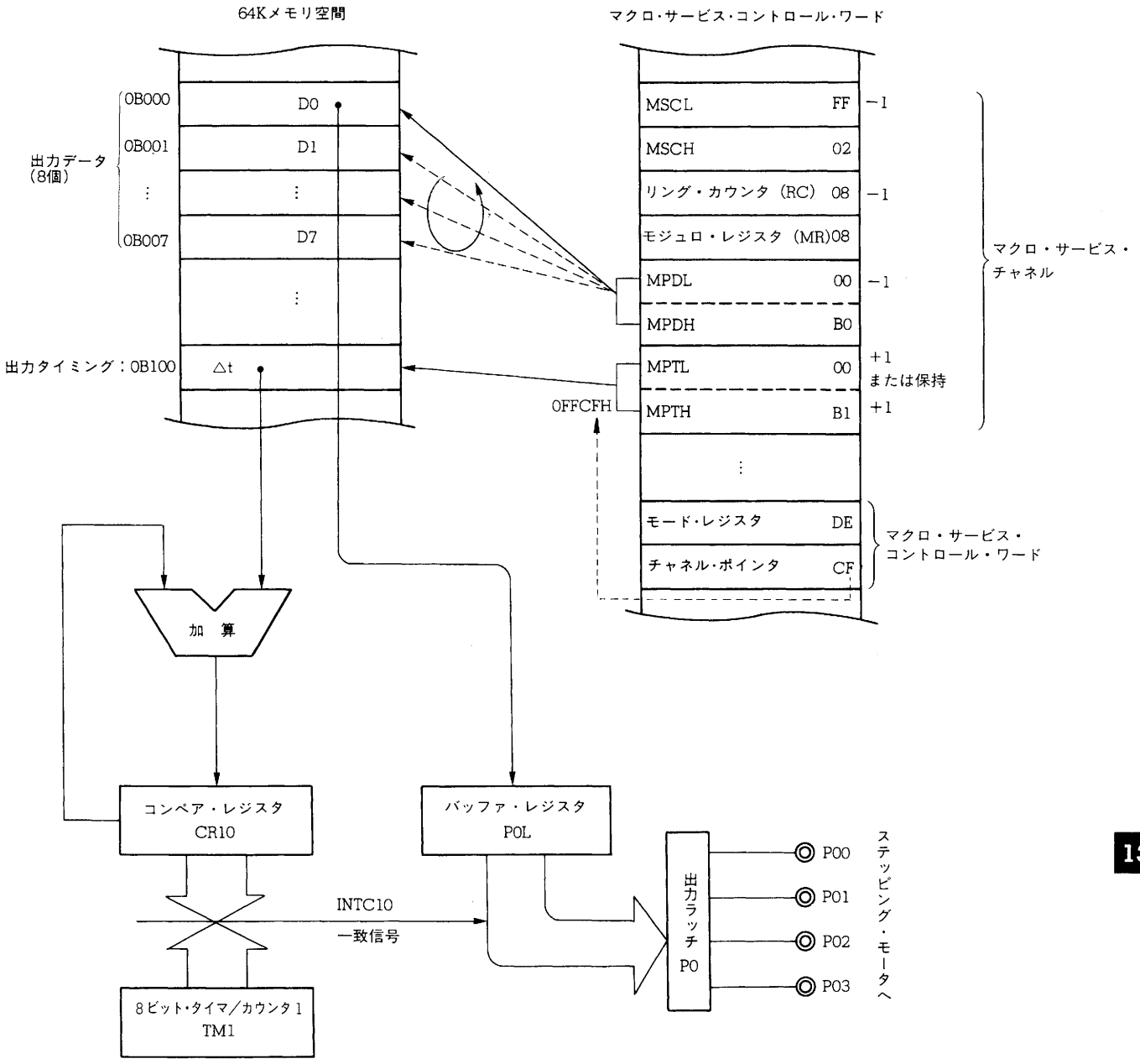


注意　MPTをインクリメントするモードに設定してください。

保守／廃止

図13－33　自動加算制御＋リング制御のブロック図2

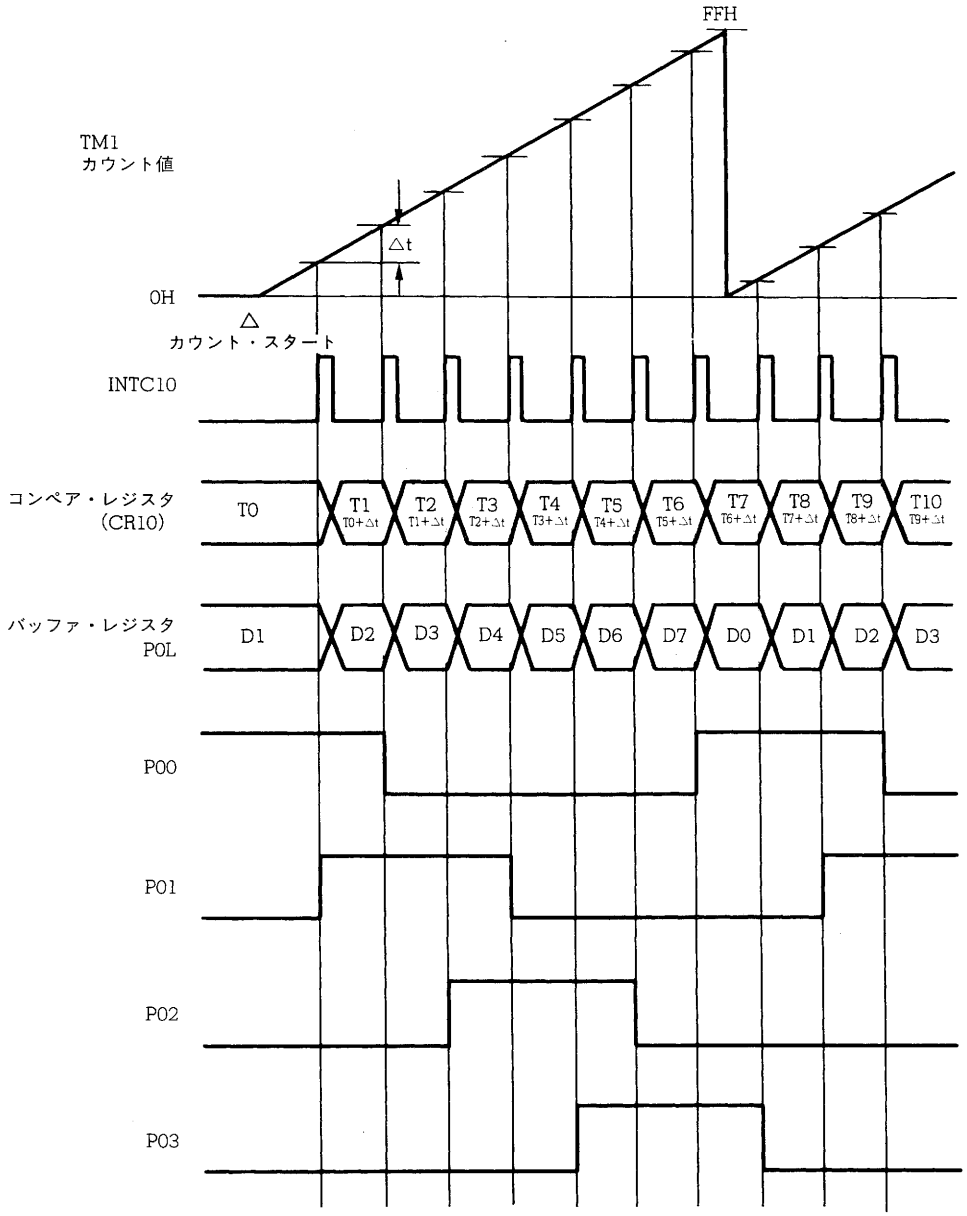
（1－2相励磁の等速運動：MSC＝16ビット）



13

保守／廃止

図13－34　自動加算制御＋リング制御のタイミング図２（１－２相励磁の等速運動）



注意　MPTを保持するモードに設定してください。

保守／廃止

13.5　注意事項

(1) ソフトウエア割り込みからの復帰にRETI命令を使用しないでください。

(2) ノンマスカブル割り込みサービス・プログラム中でもマクロ・サービスの要求は受け付けられ，処理されます。ノンマスカブル割り込みサービス・プログラム中でマクロ・サービス処理を行いたくない場合は，ノンマスカブル割り込みサービス・プログラム中で割り込みマスク・フラグ・レジスタを操作して，マクロ・サービスが発生しないようにしてください。

(3) ノンマスカブル割り込みサービス・プログラム中にEI命令を実行するなどしてPSWのIEビットをセット(1)すると，高位の優先順位に指定されたマスカブル割り込み要求が受け付けられるようになります。このとき，ノンマスカブル割り込みサービス・プログラム実行中に高位の優先順位に指定されたマスカブル割り込みのサービス・プログラムを実行します。また，PSWのIEビットとISPビットをセット(1)すると低位の優先順位に指定されたマスカブル割り込みについても同様に，割り込み要求が発生すると，割り込みサービス・プログラムを実行します。マスカブル割り込みサービス・プログラムから復帰するためにRETI命令を使用しますが，このRETI命令によってNMISビットはリセット(0)され，復帰したノンマスカブル割り込みサービス・プログラム中でノンマスカブル割り込みの多重処理を行いたくない場合でも，ノンマスカブル割り込み要求が受け付け可能な状態になってしまいます。ノンマスカブル割り込み要求の多重処理を行いたくない場合は，ノンマスカブル割り込みサービス・プログラム中に割り込み許可状態にしないでください。

(4) ノンマスカブル割り込みは，**13.3.5**に示す特定の命令とその次に実行する命令の間と，ノンマスカブル割り込み処理プログラム実行中(ISTレジスタのNMISビットをノンマスカブル割り込み処理中で0にして，ノンマスカブル割り込みの多重処理を許可している場合）を除いては，必ず受け付けられます。したがって，特にリセット解除後などのスタック・ポインタの値が不定の場合でもノンマスカブル割り込みを受け付けます。このときのスタック・ポインタの値によっては特殊機能レジスタの書き込みを禁止しているアドレス（**3.2.5**の表**3－4**参照）へプログラム・カウンタ（PC）およびプログラム・ステータス・ワード（PSW）を書き込んでしまい，CPUがデッド・ロックしてしまったり，端子から予期しない信号を出力したり，RAMが実装されていないアドレスへPCやPSWを書き込むことにより，ノンマスカブル割り込み処理プログラムからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。

また，$\overline{\text{RESET}}$端子に立ち上がりエッジが入力されるときとほぼ同時にNMI端子に立ち下がりエッジ（リセット解除後のNMI入力の有効エッジ）が入力されると，リセット動作終了後に1命令も実行せずにノンマスカブル割り込み処理プログラムへ分岐しますので，ほぼ確実に暴走します。これらの現象を回避するためには，スタック・ポインタの初期設定はリセット解除直後に行うようにするとともに，ハードウエアにより$\overline{\text{RESET}}$信号の立ち上がりから$10\,\mu s + 18/f_{CLK}$以内にNMI信号が立ち下がらないようにする必要があります。

保守／廃止

(5) 割り込み関連のレジスタをBF命令などを使用してポーリングを行う場合，そのBF命令などの分岐先は，その命令とならないようにしてください。その命令自身へ分岐するようなプログラムを記述すると，その命令で分岐しない条件が成立するまでの間すべての割り込みとマクロ・サービスが保留されてしまいます。

```
        悪い例
          ⋮
LOOP :  BF   IF0H.3, $LOOP      ← IF0H.3が1になるまで
        ×××                       すべての割り込みおよびマクロ・サービスが保留されてしまいます。
          ⋮                       BF命令の次の命令実行後に初めて割り込みおよびマクロ・サービスが処理されます。

        良い例(1)
          ⋮
LOOP :  NOP                     ← NOP命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはありません。
        BF   IF0H.3, $LOOP
          ⋮

        良い例(2)
          ⋮
LOOP :  BT   IF0H.3, $NEXT      備考 BT命令のかわりにBTCLR命令を使用するとフラグを自動的にクリアしてくれるので便利です。
        BR   $LOOP
NEXT :                          ← BR命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはありません。
          ⋮
```

(6) (5) と同様の理由により，**13.3.5　割り込み要求およびマクロ・サービスが一時的に保留される場合**に該当する命令群を連続して使用する場合で，割り込みやマクロ・サービスが保留されている期間が長くなっては困る場合には，NOP命令などを途中に挿入して割り込みやマクロ・サービスが受け付けられるタイミングを作ってください。

(7) データの転送先をEEPROM領域 (0FB00H-0FCFFH) にした場合，EEPROMの書き込み処理が終了するまで次のデータ転送はしないでください。これは，EEPROMの書き込み処理終了前に次のデータを転送すると，EEPROM書き込みエラー割り込み (INTEER) が発生し，あとから転送したデータの正常書き込みができないためです。

(8) マクロ・サービス・タイプAでは，マクロ・サービス・カウンタ (MSC) を16ビットに指定することはできません。したがって，マクロ・サービス・レジスタのビット4 (B/W) には必ず“0”を書き込んでください。

(9) μPD78244のマクロ・サービス・タイプCでは，MPT，MPDのインクリメントは16ビットで行われます (しかし，μPD78214シリーズ，μPD78224シリーズでのMPT，MPDのインクリメント動作は下位8ビットに対してだけ行われます)。したがって，μPD78214シリーズ，μPD78224シリーズのソフトウエアを流用する場合にはご注意ください。

保守／廃止

(10) 外部メモリ拡張時（μPD78243は常時）に，マクロ・サービスのタイプAおよびタイプCを使用している場合，不正なライト・アクセス動作が発生する場合があります。

不正ライト・アクセスは，次の条件が成立したときに発生します。

条件1. マクロ・サービス・タイプAで，マクロ・サービス実行時に転送先または転送元のバッファ（メモリ）のアドレスが0FED0H-0FEDFHのとき

2. マクロ・サービス・タイプCで，MPTLのアドレスが0FED0H-0FEDFHのとき

不正なライト・アクセスは，通常のメモリ・アクセスと同様に行われます。また，メモリ拡張モード・レジスタ（MM）のPW20，PW21ビットの設定に従ってウエイトが挿入されます。表13－13に，不正なライト・アクセスの発生条件と動作を示します。

表13－13　不正ライト・アクセスの発生条件と動作

条件	マクロ・サービス・タイプ	不正ライト・アクセス	
		アドレス	データ
1	A	転送の対象となるSFRのアドレス	転送先または転送元のバッファ（メモリ）のアドレスの下位８ビット
2	C	転送先のSFR（CR10またはCR11）のアドレス	MPTLのアドレスの下位８ビット

本不具合を回避するには，次の方法があります。

- 条件１の場合はバッファ領域のアドレスが，条件２の場合はMPTLのアドレスが0FED0H-0FEDFHとならない位置に配置することで可能です。

なお，不具合はインサーキット・エミュレータでも発生します。

(11) マクロ・サービス・タイプBでは，次のものをSFRとして指定することはできません。 ★

IF0L，IF0H，IF1L，MK0L，MK0H，MK1L，PR0L，PR0H，PR1L，ISM0L，ISM0H，ISM1L，IST

保守／廃止

保守／廃止

第14章　ローカル・バス・インタフェース機能

ローカル・バス・インタフェース機能は，外部にメモリ（ROM，RAM）およびI/Oを接続するための機能です。

外部のメモリ（ROM，RAM）およびI/Oは，AD0-AD7端子をマルチプレクスト・アドレス／データ・バス，A8-A19端子をアドレス・バスとし，$\overline{RD}$，$\overline{WR}$，ASTB端子信号を用いてアクセスします。

図14－3，図14－4に基本的なバス・インタフェース・タイミングを示します。

また，低速なメモリとインタフェースするためのウエイト機能，疑似スタティックRAMをリフレッシュするためのリフレッシュ信号出力機能を備えています。

保守／廃止

14.1　制御レジスタ

14.1.1　メモリ拡張モード・レジスタ（MM）

MMレジスタは，外部拡張メモリの制御，ウエイト数の指定（アドレス空間00000H-0FFFFH），内部フェッチ・サイクルの制御を行う８ビット・レジスタです。

８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図14－1に示します。

$\overline{\text{RESET}}$入力で20Hになります。

図14－1　メモリ拡張モード・レジスタ（MM）のフォーマット

	7	6	5	4	3	2	1	0
MM	IFCH	MM6	PW21	PW20	0	MM2	MM1	MM0

MM2	MM1	MM0	モード	P50-P57	P40-P47	P65	P64
0	0	0	シングルチップ・モード	ポート・モード	入力ポート	ポート・モード	
0	0	1			出力ポート		
1	1	1	外部メモリ拡張モード	A8-A15	AD0-AD7	$\overline{\text{WR}}$	$\overline{\text{RD}}$

PW21	PW20	ウエイト数（指定範囲00000H-0FFFFH）
0	0	０ウエイト
0	1	１ウエイト
1	0	２ウエイト
1	1	$\overline{\text{WAIT}}$端子入力のロウ・レベル期間に相当するウエイト数

MM6	１Mバイト拡張モード指定
0	P60-P63は汎用出力ポート
1	P60-P63の出力ラッチ（P60-P63）は外部メモリ拡張モード時の上位アドレス（A16-A19）を記憶し，P60-P63はA16-A19の出力端子として機能する。

IFCH	内部フェッチ・サイクル制御
0	外部ROMフェッチ・サイクルと同様な命令実行サイクルとなる。
1	高速に内部ROMフェッチ動作を行う。 （実行サイクルは外部ROMフェッチのときより速くなる）

保守／廃止

14.1.2　プログラマブル・ウエイト制御レジスタ（PW）

PWレジスタは，外部拡張データ・メモリ空間10000H-FFFFFHのウエイト数を指定する８ビット・レジスタです。８ビット操作命令とビット操作命令で読み出し／書き込み動作が可能です。そのフォーマットを図14－２に示します。

$\overline{\text{RESET}}$入力で80Hになります。

図14－２　プログラマブル・ウエイト制御レジスタ（PW）のフォーマット

	7	6	5	4	3	2	1	0
PW	PW31	PW30	0	0	0	0	0	0

PW31	PW30	ウエイト数(指定範囲10000H-FFFFFH)
0	0	０ウエイト
0	1	１ウエイト
1	0	２ウエイト
1	1	$\overline{\text{WAIT}}$端子入力のロウ・レベル期間に相当するウエイト数

保守／廃止

14.2　メモリ拡張機能

14.2.1　外部メモリ拡張機能

μPD78244は，メモリ拡張モード・レジスタ（MM）の設定により，外部に47872バイトのメモリおよび，I/Oの拡張ができます。

外部にメモリ空間を拡張する場合，P50-P57はアドレス・バス，P40-P47はアドレス・データ・マルチプレクスト・バスとして機能します。

また，$\overline{EA}$をロウ・レベルに固定することによって，ROMレス・モードとして動作します。この場合，MMレジスタの設定に関係なく64256バイトのメモリ，またはI/Oを接続することができます。

μPD78243はROMレス品のため，常時，外部メモリを使用します。

図14-3　リード・タイミング

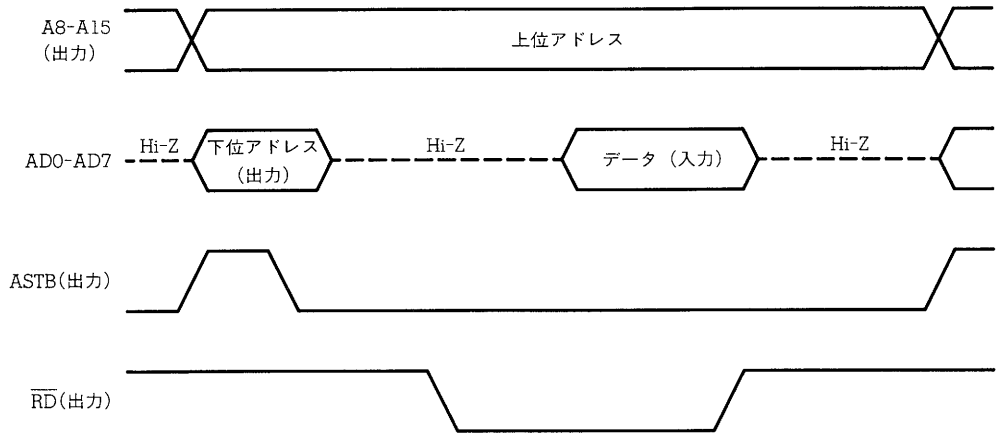
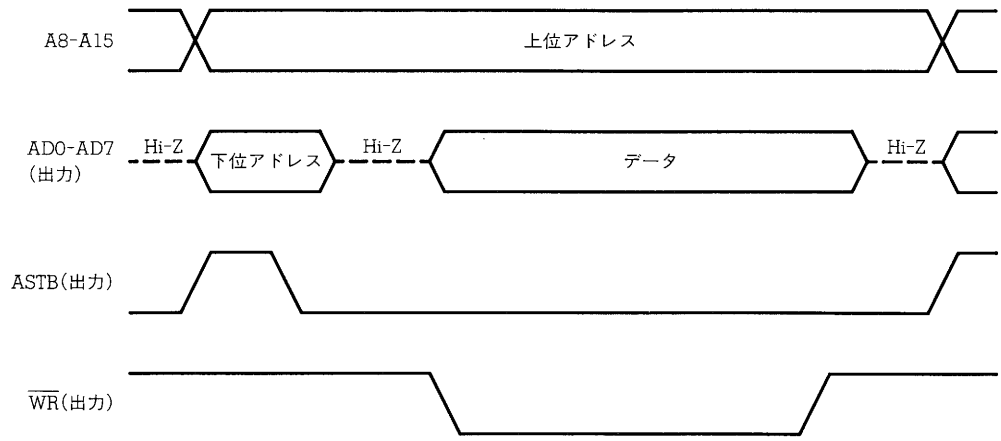


図14-4　ライト・タイミング



保守／廃止

注意1. 内部RAM領域（OFD00H-OFEFFH），およびSFR領域（OFF00H-OFFFFH，ただし，外部SFR領域（OFFD0H-OFFDFH）を除く）に重複して外部デバイスをマッピングすることはできません。

重複してマッピングされた空間を操作する場合，内部RAM，SFRが自動的に操作対象となります。外部にはアドレス信号は出力されますが，ASTB，$\overline{RD}$，$\overline{WR}$信号は出力されません（インアクティブ・レベルのまま）。

2. P50/A8-P57/A15，P60/A16-P63/A19に出力されるアドレス情報は，ASTB信号が立ち上がってから$\overline{RD}$信号または$\overline{WR}$信号が立ち上がるまでの間でだけ有効です。それ以外の期間では，P50/A8-P57/A15，P60/A16-P67/A19の出力レベルは不定となります。回路設計時には不定値が出力されても問題のないよう注意してください。

なお，アドレス出力の有効な期間についての具体的な値は，各製品のデータ・シートを参照してください。

14.2.2　1 Mバイト拡張機能

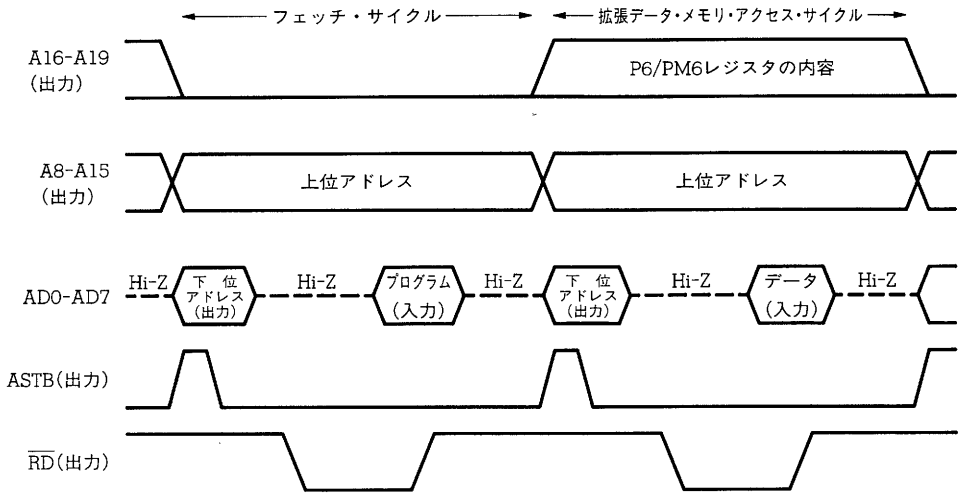
MMレジスタのMM6ビットのセット(1)によって，さらに960 Kバイトまでのデータ・メモリを拡張することができ，1 Mバイトのメモリ空間となります。この場合，P60-P63が最上位のアドレス(A16-A19)として機能します。

```
例　MOV　MM, #47H ；1Mバイト拡張に設定
    MOV　P6, #3H　　；最上位のアドレス情報ラッチ（バンク3を選択）
     ⋮
    MOV　A, &!2000H；32000Hのメモリ内容をAレジスタに格納
```

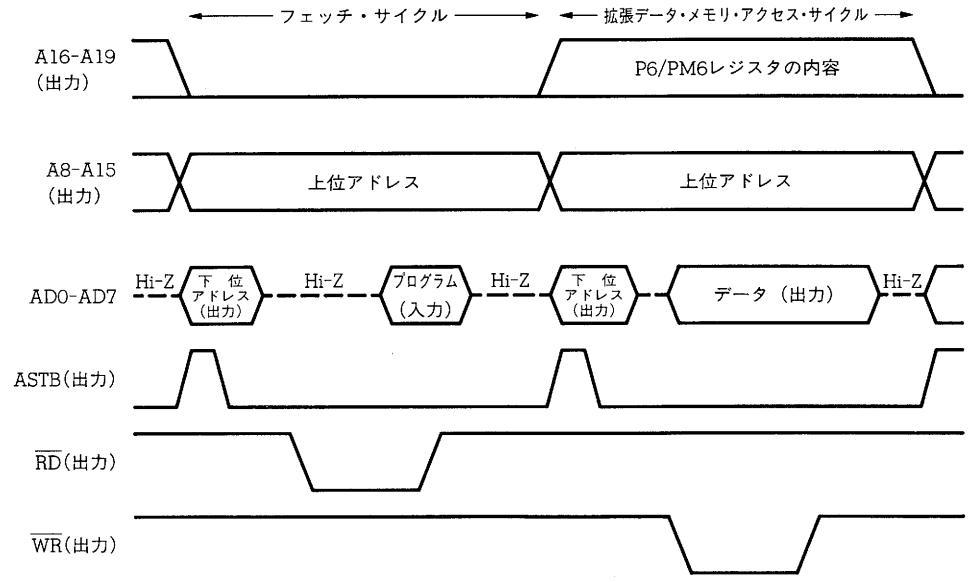
保守／廃止

図14－5　拡張データ・メモリのアクセス

(a) リード・サイクル



(b) ライト・サイクル



保守／廃止

14.2.3　メモリ拡張時のメモリ・マップ

メモリ拡張時のメモリ・マップを図14－6，図14－7に示します。メモリ拡張時であっても，内部ROM領域，内部RAM領域，EEPROM領域およびSFR領域（外部SFR領域（0FFD0H-0FFDFH）を除く）と同一のアドレスにある外部デバイスはアクセスできません。これらのアドレスに対するアクセス時には，μPD78244内のメモリおよびSFRが優先的にアクセスされ，ASTB信号，$\overline{RD}$信号，$\overline{WR}$信号は出力されません（インアクティブ・レベルのまま）。また，アドレス・バス，アドレス／データ・バスの出力レベルは不定になります。ただし，メモリ拡張時に内部ROMのフェッチ動作を外部ROMと同じサイクル数に指定した場合（メモリ拡張モード・レジスタ（MM）のIFCHビットを“0”にすることで指定）は，内部ROMアクセス時にアドレスおよびASTB信号，$\overline{RD}$信号が出力されます。しかし，このときのアドレス／データ・バス上にある情報は取り込まれず，CPUは内部ROMからデータを読み込みます（$\overline{RD}$信号がアクティブのとき，μPD78244のアドレス／データ・バスはハイ・インピーダンス状態になります）。また，このときのバス・サイクルは，通常のリード・サイクルと同一となり，プログラマブル・ウエイト機能によるウエイトの挿入も有効になります。

保守／廃止

注意　外部メモリ拡張時（μPD78243は常時）に，マクロ・サービスのタイプAおよびタイプCを使用している場合，不正なライト・アクセス動作が発生する場合があります。
不正ライト・アクセスは，次の条件が成立したときに発生します。

条件1．マクロ・サービス・タイプAで，マクロ・サービス実行時に転送先または転送元のバッファ（メモリ）のアドレスが0FED0H-0FEDFHのとき
2．マクロ・サービス・タイプCで，MPTLのアドレスが0FED0H-0FEDFHのとき

不正なライト・アクセスは，通常のメモリ・アクセスと同様に行われます。また，メモリ拡張モード・レジスタ（MM）のPW20，PW21ビットの設定に従ってウエイトが挿入されます。表14－1に，不正なライト・アクセスの発生条件と動作を示します。

表14－1　不正ライト・アクセスの発生条件と動作

条件	マクロ・サービス・タイプ	不正ライト・アクセス	
		アドレス	データ
1	A	転送の対象となるSFRのアドレス	転送先または転送元のバッファ（メモリ）のアドレスの下位8ビット
2	C	転送先のSFR（CR10またはCR11）のアドレス	MPTLのアドレスの下位8ビット

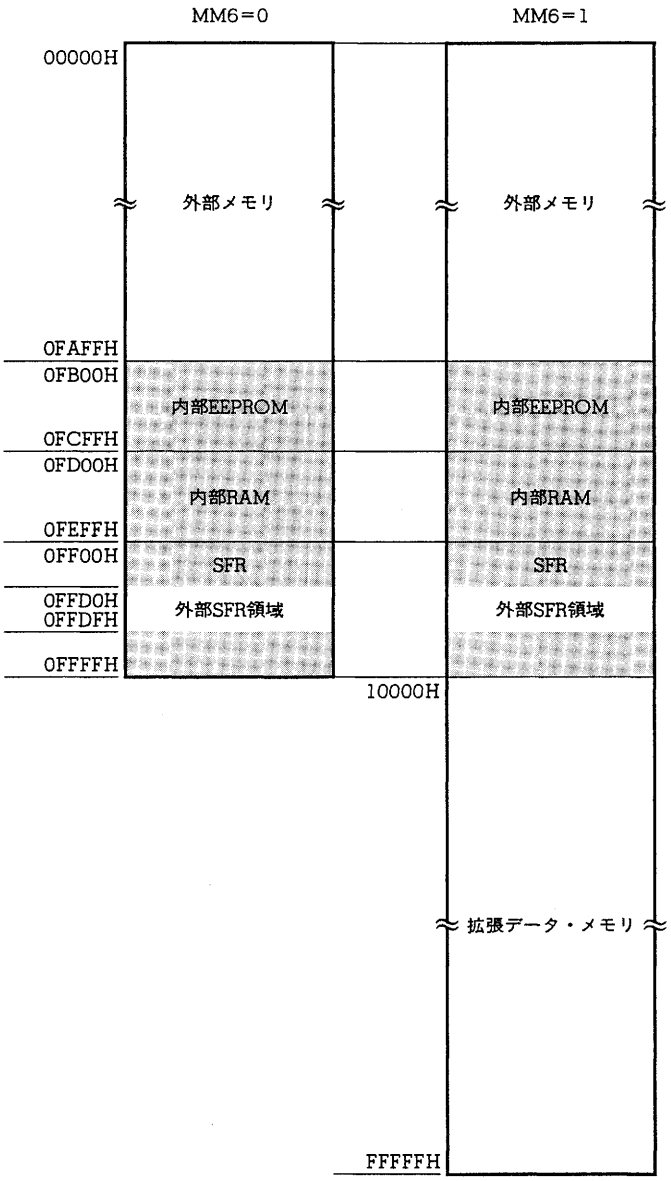
本不具合を回避するには，次の方法があります。

●条件1の場合はバッファ領域のアドレスが，条件2の場合はMPTLのアドレスが0FED0H-0FEDFHとならない位置に配置することで可能です。

なお，不具合はインサーキット・エミュレータでも発生します。

保守／廃止

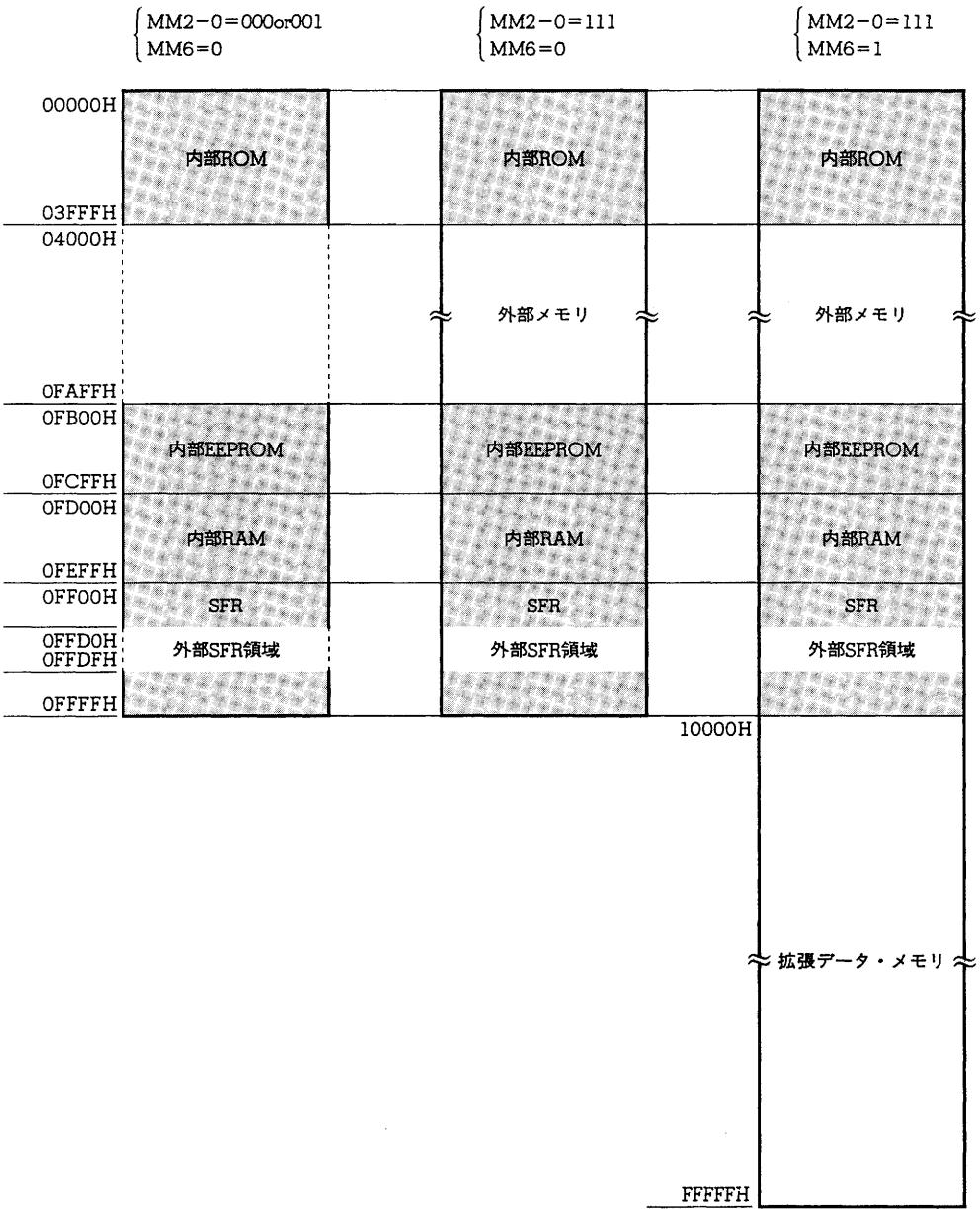
図14－6　μPD78243とμPD78244（$\overline{EA}$＝Lのとき）のデータ・メモリの拡張



備考　▭ は内部メモリ

保守／廃止

図14－7　μPD78244（$\overline{EA}$=Hのとき）のデータ・メモリの拡張



備考1.　　は内部メモリ

2.　----- の領域はアクセスできない領域です。

保守／廃止

14.2.4　メモリとの接続例

μPD78244と外部メモリとの接続例を図14－8に示します。本例では，PROM，SRAM，マスクROMを接続しています。各メモリに対するアドレスの割り付けは以下のようになっています。

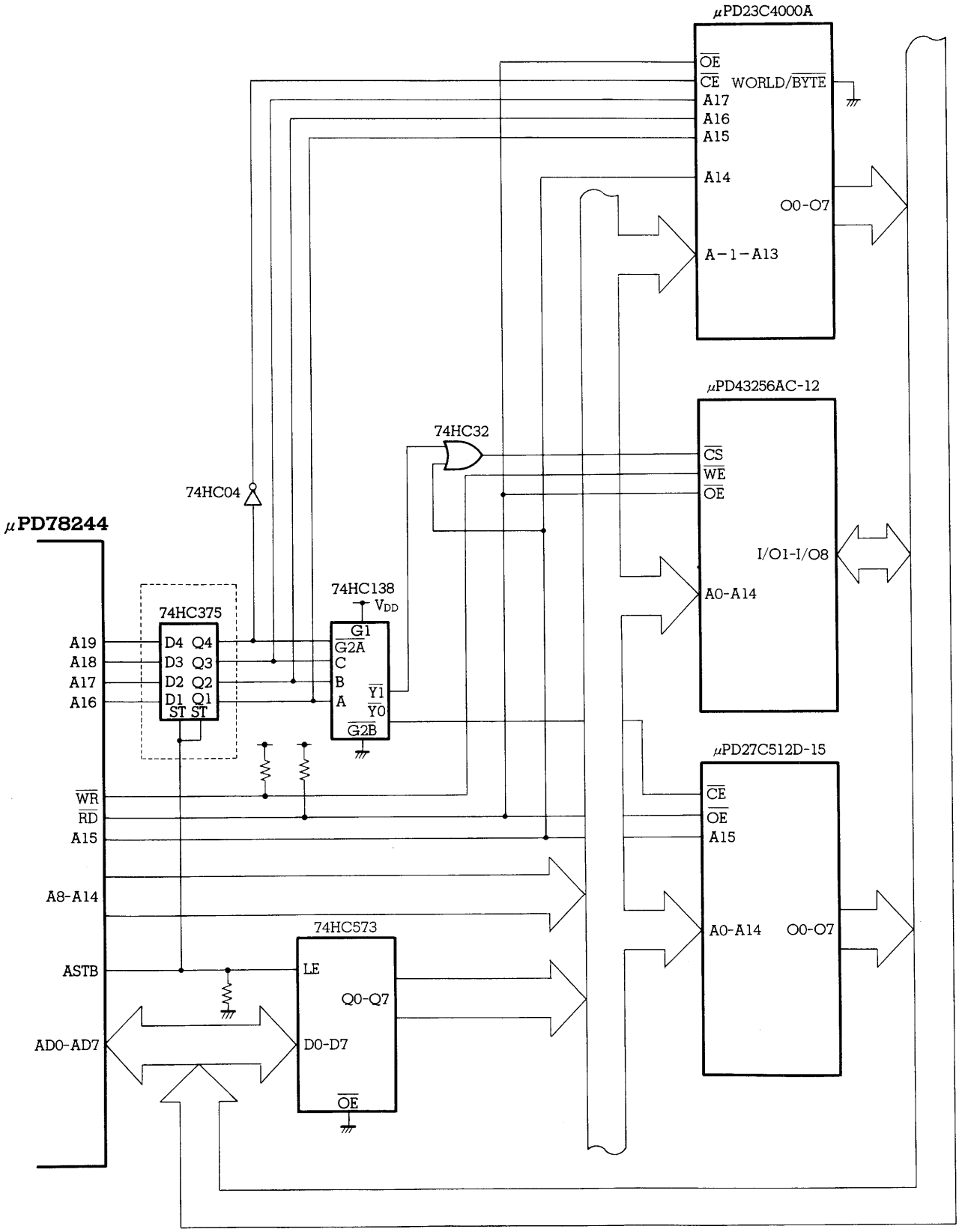
・PROM（μPD27C512D-15）　：0000H-FAFFH（μPD78243）
　4000H-FAFFH（μPD78244）
　および外部SFR領域であるFFD0H-FFDFH
・RAM（μPD73256AC-12）　：10000H-17FFFH
・マスクROM（μPD23C4000A）：80000H-FFFFFH

マスクROMのμPD23C4000Aは，アクセス・タイムなどが遅いので，プログラマブル・ウエイト機能（**14.4　ウエイト機能**参照）を用いて，1ウエイトを入れてご使用ください。

なお，破線で囲んだ回路は，インサーキット・エミュレータを使用する場合のみ必要となる回路です。エミュレータ使用時以外は74HC375を取り除いて，DnとQn（n＝1－4）をショートして使用してください。エミュレータ使用時に本回路がない場合は，誤動作する場合があります（通常は，アドレス・デコーダなどの遅延時間により問題なく動作します）。また，RAMのμPD43256AC-12は，本回路がなければ150 ns品のμPD43256AC-15が使用可能です。

保守／廃止

図14－8　μPD78244とメモリの接続例



備考　図中にはありませんが，アドレスおよびアドレス／データ・バスにはプルアップ抵抗などを接続してください。

保守／廃止

14.3　内部ROM高速フェッチ機能

μPD78244は，ROMを内蔵しております。この内部ROMは，バス・コントロール回路を経由せずに高速にアクセスすることが可能です。通常は，外部ROMと同等のスピードでフェッチするようになっており，メモリ拡張モード・レジスタ（MM）のIFCHビットをセット(1)することにより，高速フェッチ機能が使用され，内部ROMのフェッチを高速に行うようになります。

なお，外部ROMフェッチと同等な命令実行サイクルを選択した場合は，ウエイト機能によるウエイトの挿入が行われますが，高速フェッチ使用時には，内部ROMに対してはウエイトは挿入されません。

$\overline{\text{RESET}}$入力により，外部ROMフェッチ・サイクルと同等な命令実行サイクルとなります。

14.4　ウエイト機能

μPD78244は外部に低速なメモリ，I/Oを接続する場合，外部メモリ・アクセス・サイクルにウエイトを挿入することができます。

ウエイト・サイクルは，$\overline{\text{RD}}$，$\overline{\text{WR}}$信号のロウ・レベルの期間中に挿入され，1サイクルあたり$1/f_{CLK}$（167 ns，f_{CLK}＝6 MHz時）ずつロウ・レベルの期間が引き延ばされます。

ウエイトの挿入方法としては，あらかじめ設定したサイクル数を自動的に挿入するプログラマブル・ウエイト機能，外部からウエイト信号によって制御する機能とがあります。

ウエイト・サイクル挿入の制御は，00000H-0FFFFHの空間に対してはメモリ拡張モード・レジスタ(MM)で，10000H-FFFFFHの空間に対してはプログラマブル・ウエイト制御レジスタ（PW）で指定します。なお，高速フェッチ時内部ROMおよび内部RAMに対するアクセス時には，ウエイトは挿入されません。また内部のSFRに対するアクセス時には，本指定とは無関係に必要なタイミングでウエイトが挿入されます。

内部ROMのアクセスを外部ROMと同じサイクル数でアクセス動作を行うよう指定した場合は，MMレジスタの設定に従って，内部ROMのアクセスにもウエイトが入ります。

P66端子はMMレジスタまたはPWレジスタのいずれか一方，または両方で外部からのウエイト信号で制御することを選択すると，$\overline{\text{WAIT}}$信号入力端子として動作するようになります。

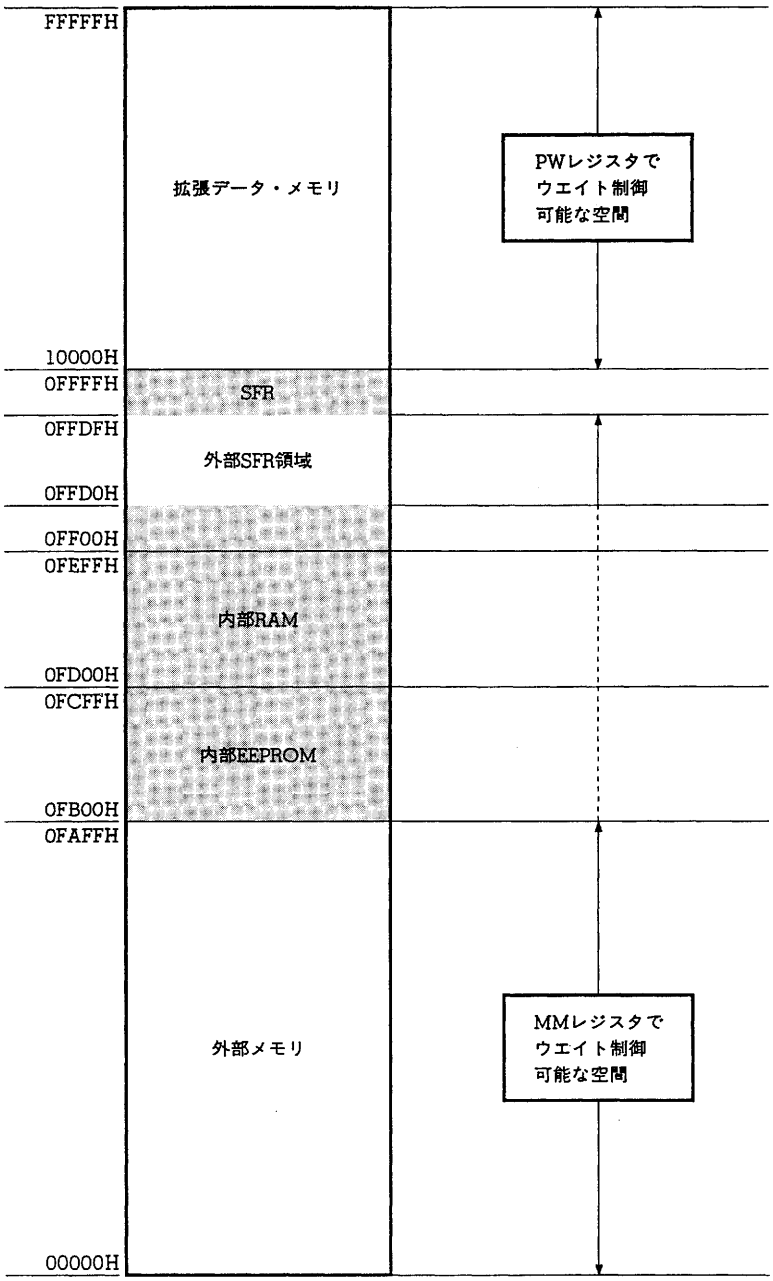
$\overline{\text{RESET}}$入力により，P66端子は汎用入出力ポートとして動作するようになります。

ウエイト・サイクル挿入時のバス・タイミングを図14－9，図14－10に示します。

注意　外部ウエイト機能を使用する場合は，PM6レジスタのビット6を“1”にして，P66/$\overline{\text{WAIT}}$端子を入力モードにしてください。

保守／廃止

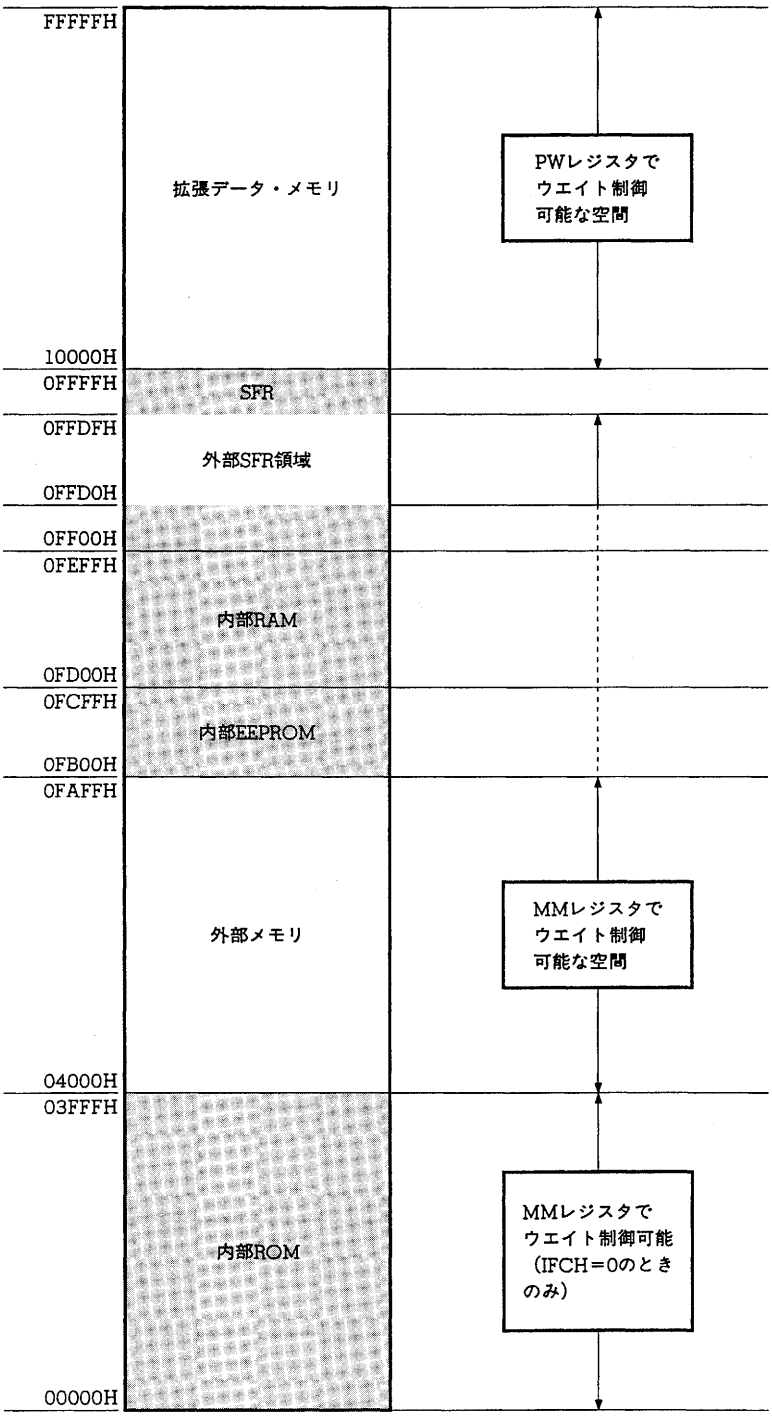
図14－9　μPD78243とμPD78244（$\overline{EA}$=Lのとき）のウエイト制御の空間



備考　　は内部メモリ

保守／廃止

図14－10　μPD78244（$\overline{EA}$=Hのとき）のウエイト制御の空間

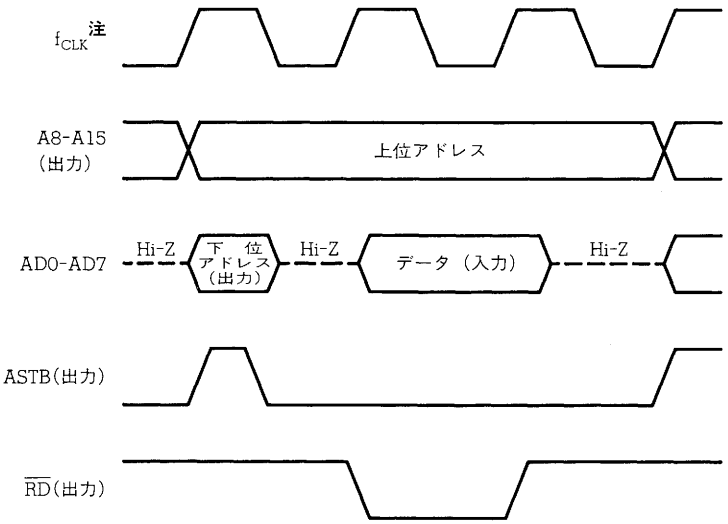


備考　　は内部メモリ

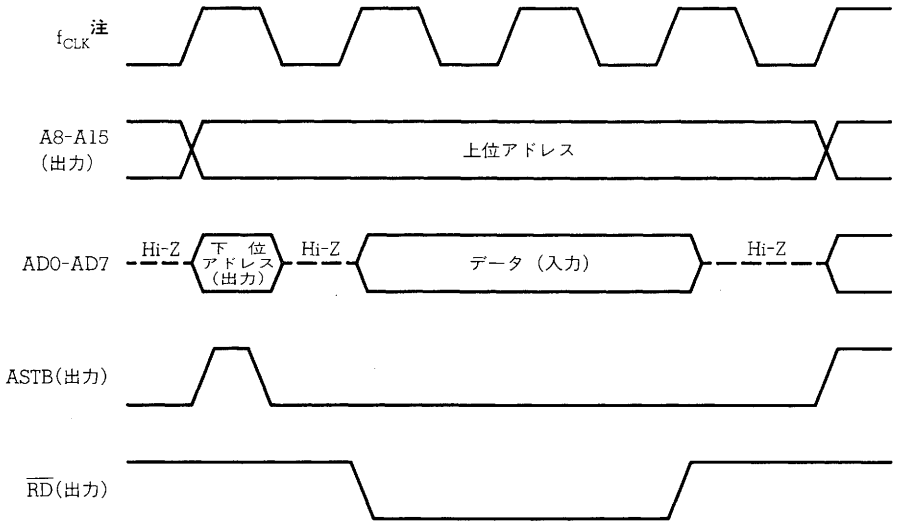
保守／廃止

図14－11　プログラマブル・ウエイト機能によるリード・タイミング（1/2）

（a）0ウエイト・ステート設定時



（b）1ウエイト・ステート設定時

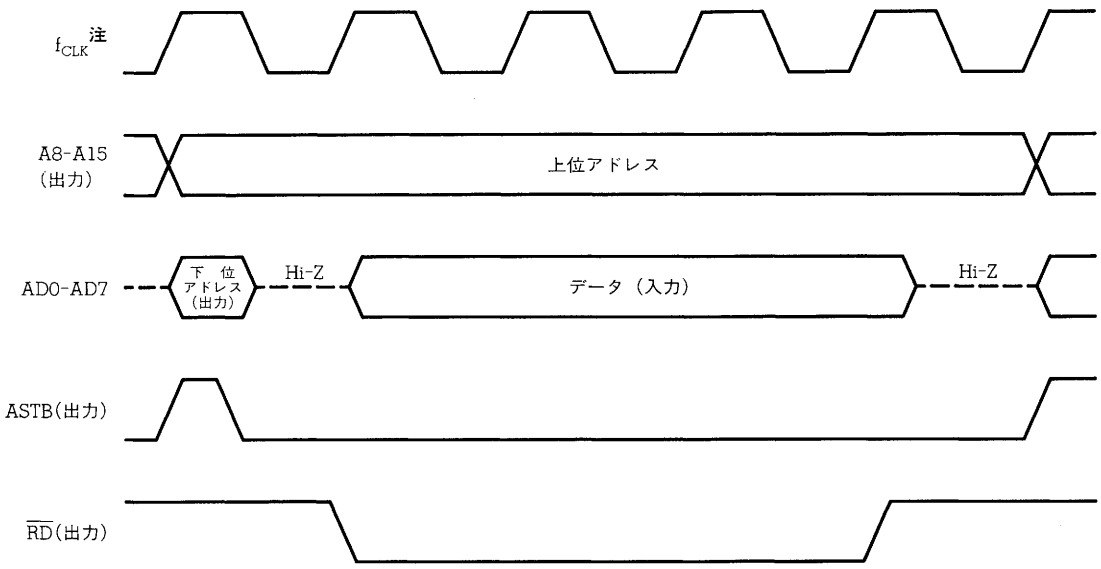


注　f_{CLK}：システム・クロック周波数（$f_{XX}/2$）

保守／廃止

図14－11　プログラマブル・ウエイト機能によるリード・タイミング（2/2）

（c）2ウエイト・ステート設定時

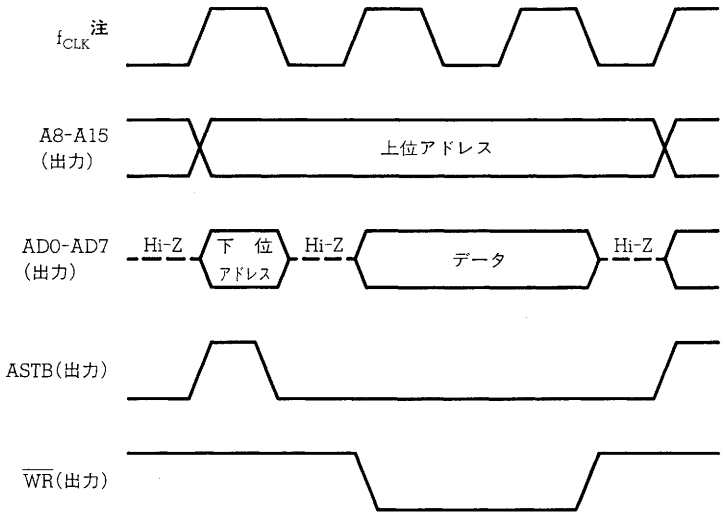


注　f_{CLK}：システム・クロック周波数（$f_{XX}/2$）

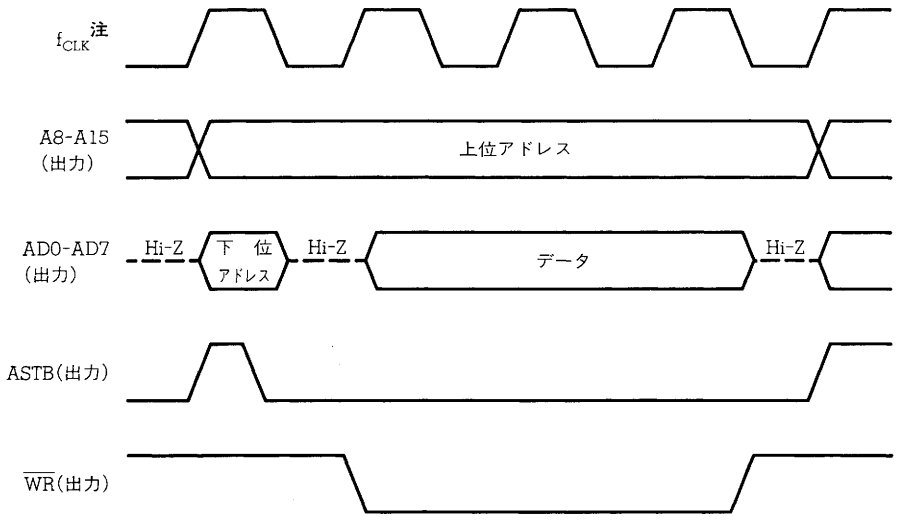
保守／廃止

図14－12　プログラマブル・ウエイト機能によるライト・タイミング（1/2）

（a）0ウエイト・ステート設定時



（b）1ウエイト・ステート設定時

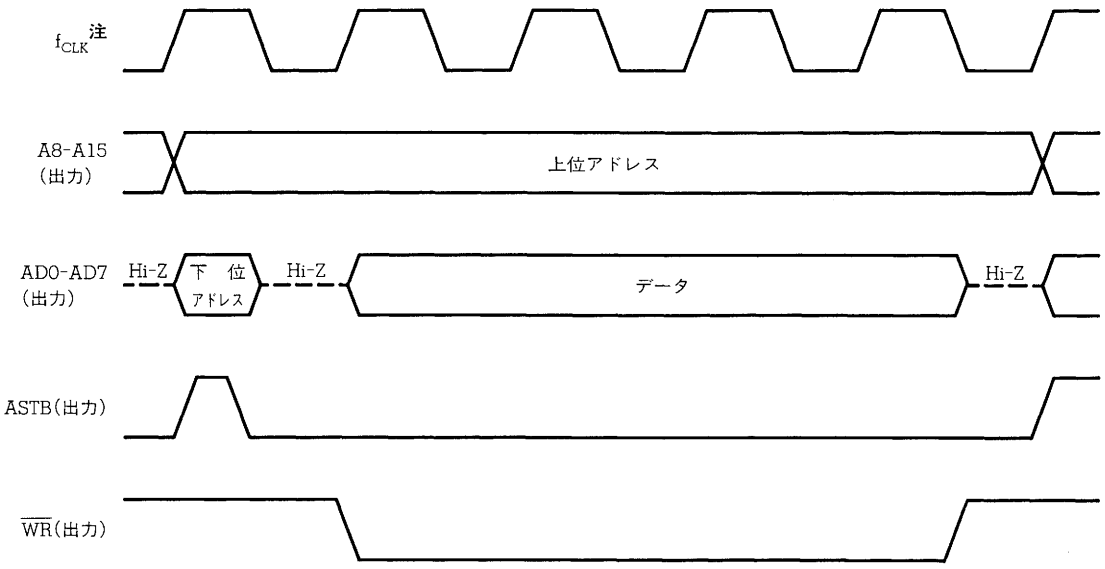


注　f_{CLK}：システム・クロック周波数（$f_{XX}/2$）

保守／廃止

図14－12　プログラマブル・ウエイト機能によるライト・タイミング（2/2）

（c）2ウエイト・ステート設定時

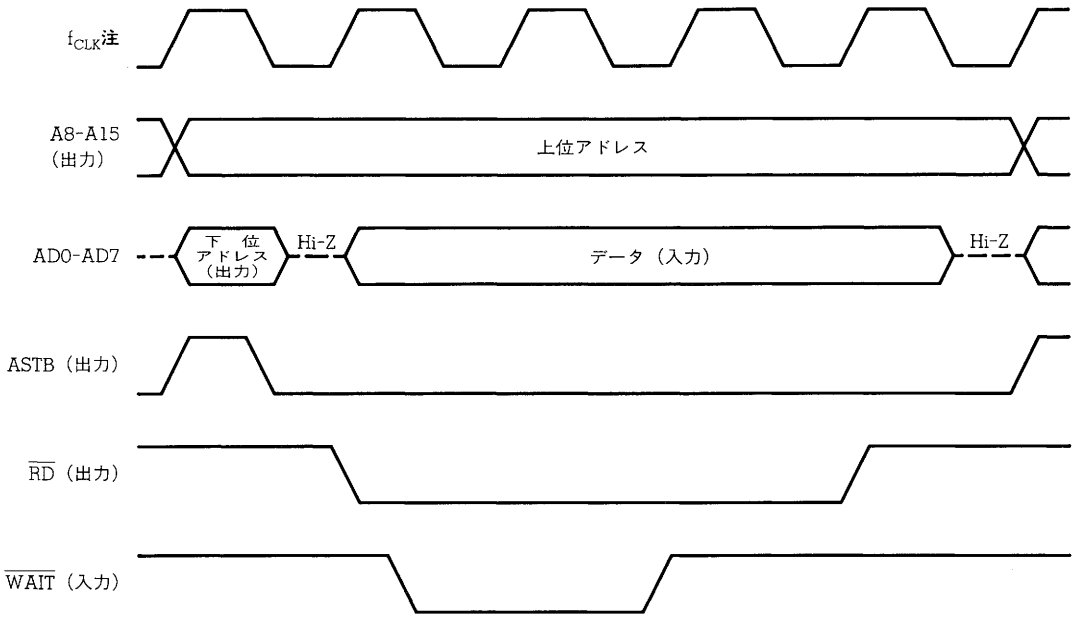


注　f_{CLK}：システム・クロック周波数（$f_{XX}/2$）

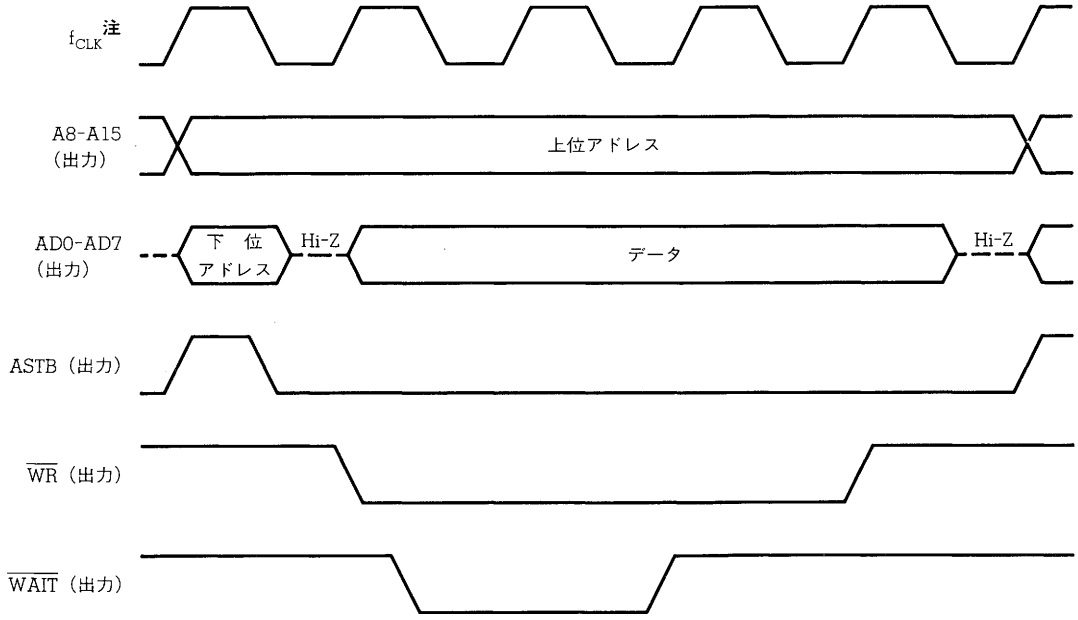
保守／廃止

図14－13　外部ウエイト信号によるタイミング

(a) リード・タイミング



(b) ライト・タイミング



注　f_{CLK}：システム・クロック周波数（$f_{XX}/2$）

保守／廃止

14.5　疑似スタティックRAMリフレッシュ機能

14.5.1　機　　能

μPD78244では，疑似スタティックRAMを直接接続するための疑似スタティックRAMリフレッシュ機能を内蔵しています。

疑似スタティックRAMリフレッシュ機能は，任意のインターバルでリフレッシュ・パルスを出力します。リフレッシュ・モード・レジスタ（RFM）の設定により，リフレッシュ・パルス出力間隔を指定し，外部アクセス・サイクルを疑似スタティックRAMバス・サイクルに対応したリフレッシュ・バス・サイクルに切り替えます（ライト・パルス幅は疑似スタティックRAMを接続しない場合に比較すると半クロック分狭くなります）。

μPD78244では，疑似スタティックRAMの応用システムの低消費電力を実現するセルフ・リフレッシュ動作をサポートするため以下のような機能を備えています。

保守／廃止

14.5.2　リフレッシュ・モード・レジスタ（RFM）

RFMレジスタは，疑似スタティックRAMのリフレッシュ周期およびセルフ・リフレッシュ動作への切り替えを制御する８ビット・レジスタです。

８ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図14－14に示します。

$\overline{\text{RESET}}$入力で00Hとなります。$\overline{\text{REFRQ}}$端子はポート・モードになり，兼用であるP67端子として動作します。

図14－14　リフレッシュ・モード・レジスタ（RFM）のフォーマット

	⑦	6	5	④	3	2	1	0
RFM	RFLV	0	0	RFEN	0	0	RFT1	RFT0

f_{CLK}＝6 MHz

RFT1	RFT0	リフレッシュ・パルス出力周期指定
0	0	$16/f_{CLK}$注　(2.6 μs)
0	1	$32/f_{CLK}$　(5.3 μs)
1	0	$64/f_{CLK}$　(10.7 μs)
1	1	$128/f_{CLK}$　(21.3 μs)

RFLV	RFEN	$\overline{\text{REFRQ}}$端子出力制御
×	0	ポート・モード
0	1	セルフ・リフレッシュ動作（$\overline{\text{REFRQ}}$ロウ・レベル）
1		リフレッシュ・パルス出力許可

備考　×：0または1

注　f_{CLK}：システム・クロック周波数（fxx/2）

保守／廃止

14.5.3 動　　作

(1) パルス・リフレッシュ動作

疑似スタティックRAMのパルス・リフレッシュ・サイクルをサポートするため，バス・サイクルに同期して$\overline{\text{REFRQ}}$端子からリフレッシュ・パルスを出力します。

リフレッシュ・パルスは8 ms間に512回以上発生するように発振周波数とリフレッシュ・モード・レジスタ（RFM）のビット1，0（RFT1，0）で調整します。

表14－2　疑似スタティックRAM使用時のシステム・クロック周波数とリフレッシュ・パルス出力周期

システム・クロック周波数 (f_{CLK}) MHz	リフレッシュ・パルス出力周期指定	RFT1	RFT0
$4.096 < f_{CLK} \leqq 6$ ($8.192 < f_{XX} \leqq 12$)	$64/f_{CLK}$	1	0
$2.048 < f_{CLK} \leqq 4.096$ ($4.096 < f_{XX} \leqq 8.192$)	$32/f_{CLK}$	0	1
$2 \leqq f_{CLK} \leqq 2.048$ ($4 \leqq f_{XX} \leqq 4.096$)	$16/f_{CLK}$	0	0

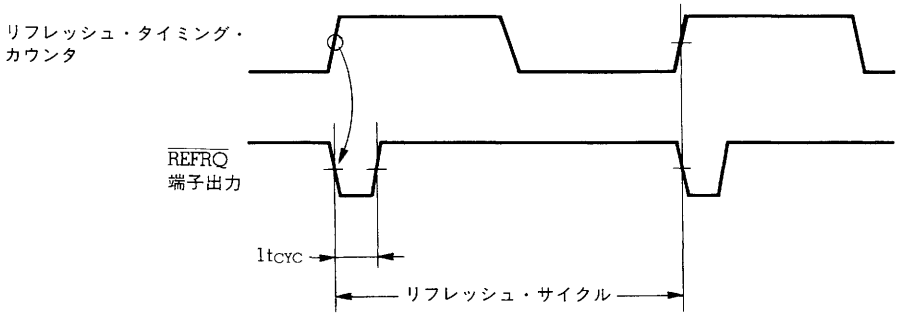
このパルス・リフレッシュ動作は，外部メモリ・アクセス動作と重ならないように行われます。リフレッシュ・サイクル中は，外部メモリ・アクセス・サイクルを保留し（ASTB，$\overline{\text{RD}}$，$\overline{\text{WR}}$などはインアクティブ），外部メモリ・アクセス・サイクル中ではリフレッシュ・サイクルを保留します。

外部メモリ・アクセス動作と重ならない場合は，CPUの命令実行に影響を与えずにリフレッシュ・サイクルを行います。

(a) 内部メモリ・アクセス時

外付けの疑似スタティックRAMをアクセスしない内部メモリ・アクセス時においても，疑似スタティックRAMに格納されたデータが保持されるように，リフレッシュ・バス・サイクルをRFMレジスタで指定された間隔で出力します。

図14－15　内部メモリ・アクセス時のパルス・リフレッシュ動作



t_{CYC}：システム・クロック・サイクル・タイム(1/f_{CLK})(ns)(f_{CLK}=6 MHz)

保守／廃止

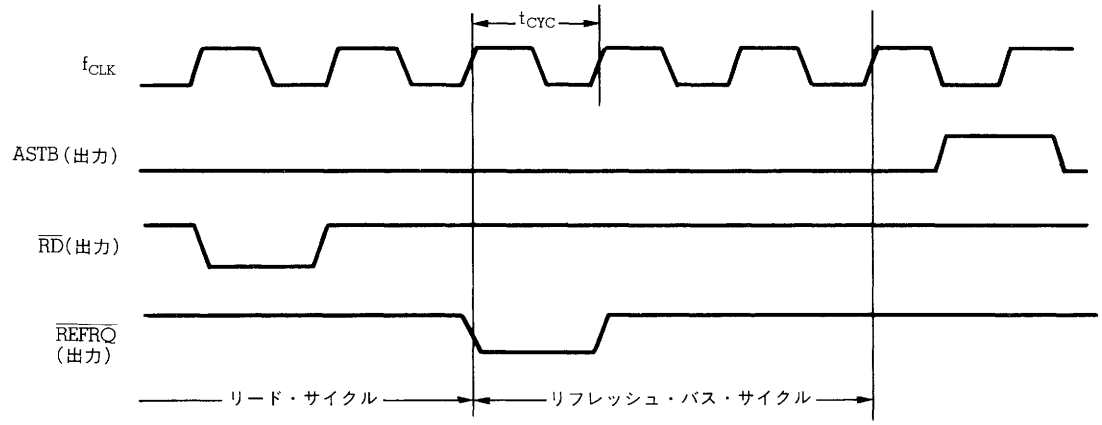
(b) 外部メモリ・アクセス時

リフレッシュ・バス・サイクルは，リフレッシュ・モード・レジスタ（RFM）で指定された間隔で発生します。

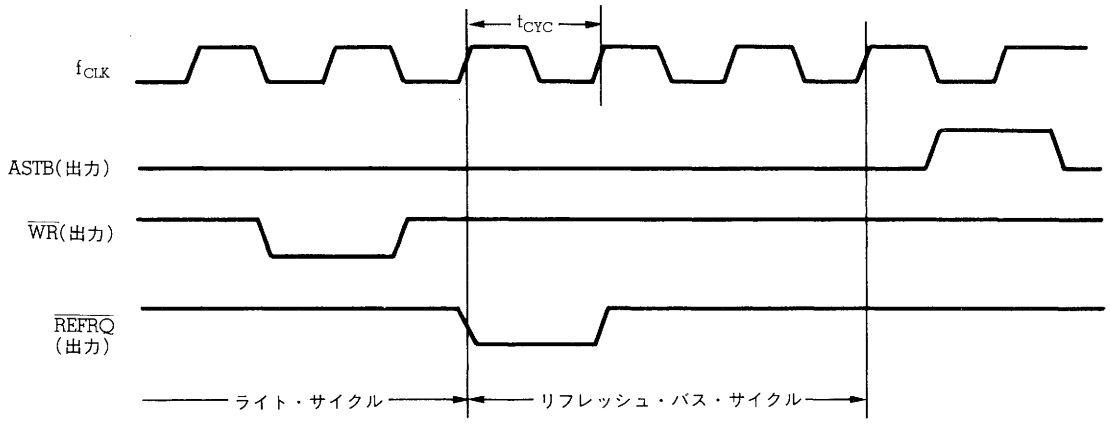
疑似スタティックRAMは，アクセス・タイミングとリフレッシュ・パルス出力タイミングが重なると誤動作する可能性があるため，μPD78244は，バス・サイクルと同期して３クロック・サイクル分のリフレッシュ・バス・サイクルを発生します。

図14－16　外部メモリ・アクセス時のパルス・リフレッシュ動作

(a) メモリ・リード時



(b) メモリ・ライト時



保守／廃止

(2) セルフ・リフレッシュ動作

スタンバイ・モード時も疑似スタティックRAMの内容を保持させるためのモードです。

(a) セルフ・リフレッシュ動作モードの設定

RFMレジスタのビット4 (RFEN) を“1”，ビット7 (RFLV) を“0”に設定すると，$\overline{\text{REFRQ}}$端子からロウ・レベルを出力し，疑似スタティックRAMにセルフ・リフレッシュ動作モードを指示します。

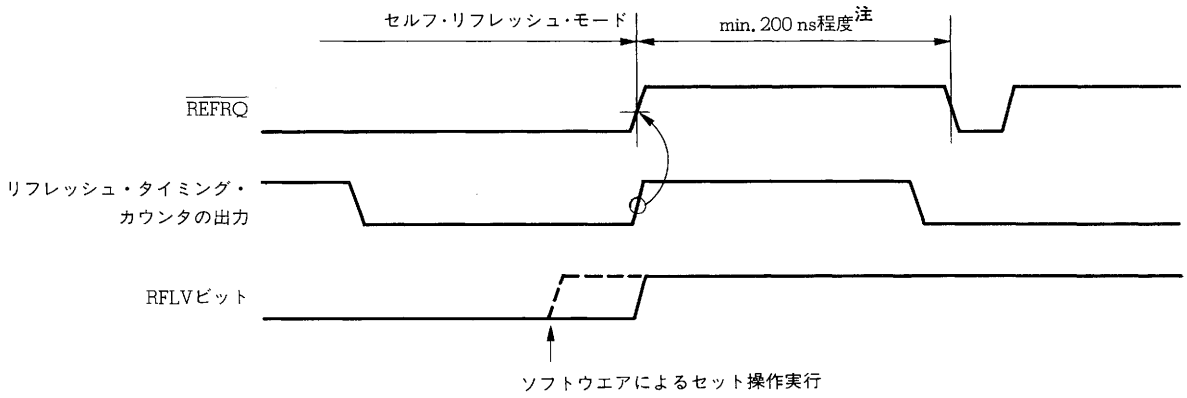
(b) セルフ・リフレッシュ動作からの復帰

疑似スタティックRAMへのリフレッシュ・パルスの出力は，$\overline{\text{REFRQ}}$端子出力レベルがロウ・レベルからハイ・レベルに変化してから200 ns程度[注]は禁止されています。したがってμPD78244は，$\overline{\text{REFRQ}}$端子をリフレッシュ・タイミング・カウンタに同期して立ち上げることにより，禁止時間内にリフレッシュ・パルスを出力しないようにしています。

また，この$\overline{\text{REFRQ}}$端子レベルがロウ・レベルからハイ・レベルに変化したことを知ることができるように，RFLVビットの読み出しレベルは$\overline{\text{REFRQ}}$端子レベルがロウ・レベルからハイ・レベルに変化したときセット(1)されるようになっています。

注　疑似スタティックRAMのスピード・ランクなどによりこの時間は変化します。

図14－17　セルフ・リフレッシュ動作からの復帰タイミング



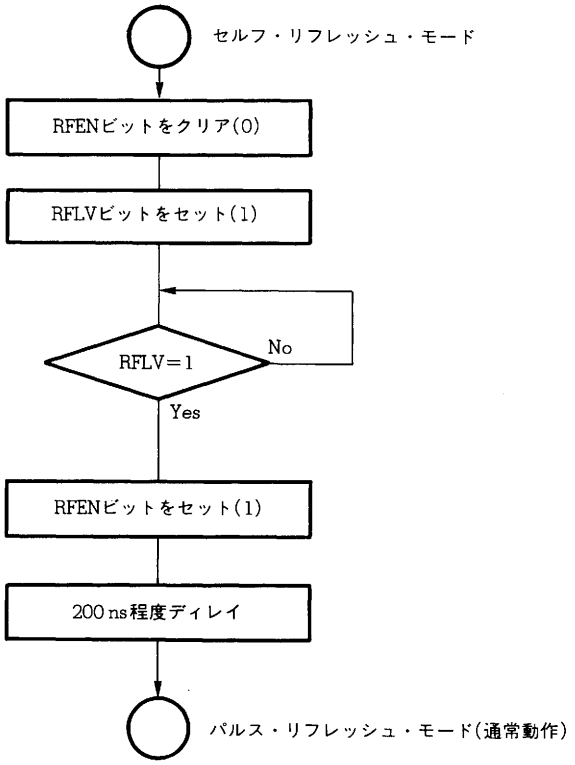
注　リフレッシュ禁止時間

保守／廃止

注意　リフレッシュ・モード・レジスタ(RFM)のRFLVビットを0から1にするときに，RFENビットがセット(1)されている（RFLVビットと同時にセット(1)される場合も含む）と，$\overline{\text{REFRQ}}$端子から約10 nsでピーク・レベルが約2.6 Vのヒゲが出力される場合があります。

したがって，RFLVビットをセット(1)する場合には，図14－18のような手順で操作を行ってください。なお，RFENをセットした後の200 nsのディレイは，疑似スタティックRAMがセルフ・リフレッシュ・モードから復帰したときのアクセス禁止時間を確保するための時間です。

図14－18　セルフ・リフレッシュ動作からの復帰動作

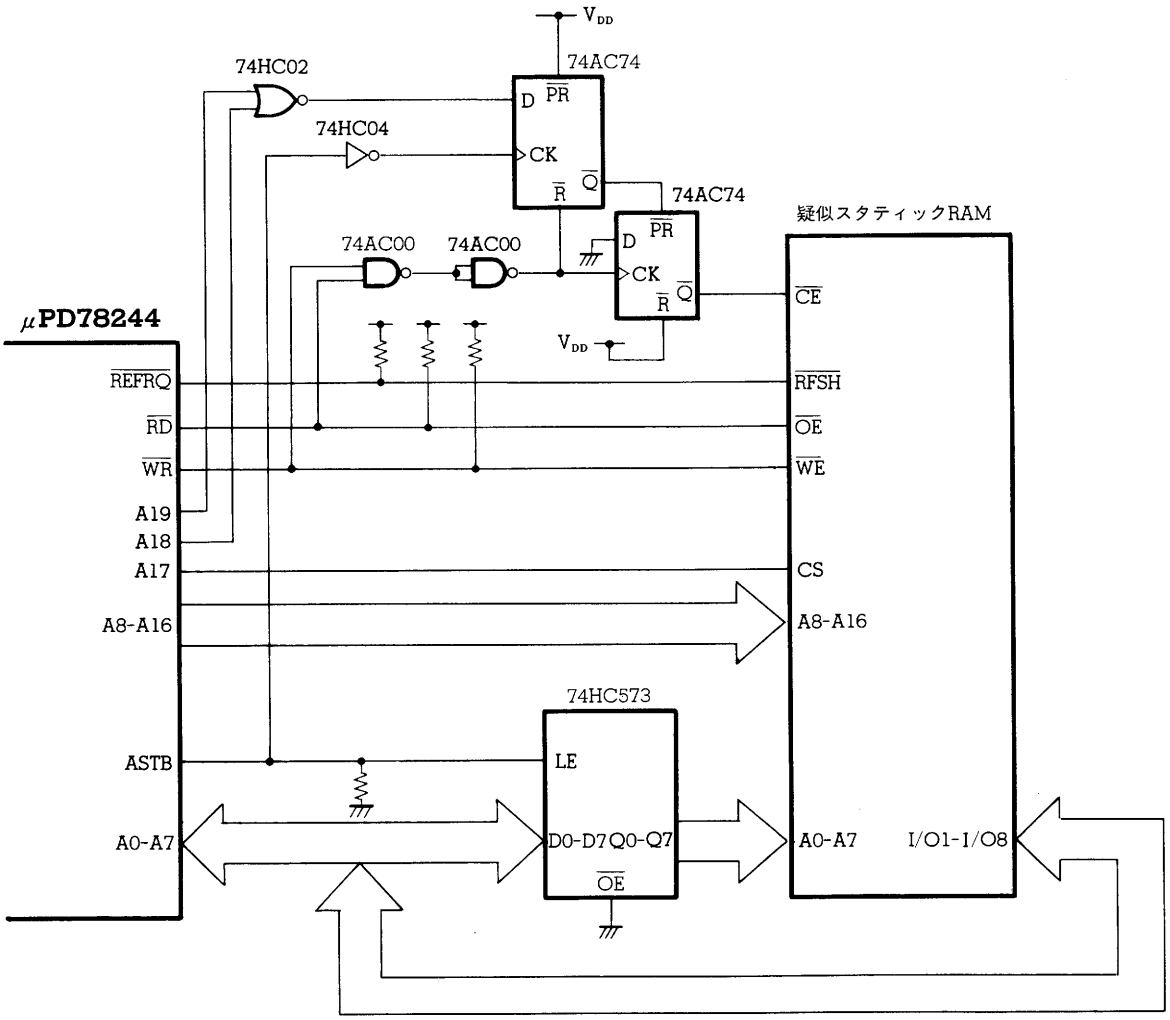


保守／廃止

14.5.4　疑似スタティックRAMとの接続例

図14－19に疑似スタティックRAMとの接続例を示します。なお，この例では疑似スタティックRAMは，20000H-3FFFFHに割り付けています。

図14－19　疑似スタティックRAMとの接続例



備考1. 疑似スタティックRAMのプリチャージ時間およびアクセス・タイムを確保するため，74AC××とあるものは，必ずそれ以上のスピードのあるものを使用してください。また，疑似SRAMのプリチャージ時間を満足させるために，高速品をご使用ください。

2. 図中にはありませんが，アドレスおよびアドレス／データ・バスには，プルアップ抵抗などを接続してください。

保守／廃止

14.6　注意事項

(1) 内部RAM領域（0FD00H-0FEFFH），およびSFR領域（0FF00H-0FFFFH，ただし，外部SFR領域（0FFD0H-0FFDFH）を除く）に重複して外部デバイスをマッピングすることはできません。

重複してマッピングされた空間を操作する場合，内部RAM，SFRが自動的に操作対象となります。外部にはアドレス信号は出力されますが，ASTB，$\overline{RD}$，$\overline{WR}$信号は出力されません(インアクティブ・レベルのまま)。

(2) P50/A8-P57/A15，P60/A16-P63/A19に出力されるアドレス情報は，ASTB信号が立ち上がってから$\overline{RD}$信号または$\overline{WR}$信号が立ち上がるまでの間でだけ有効です。それ以外の期間では，P50/A8-P57/A15，P60/A16-P67/A19の出力レベルは不定となります。回路設計時には不定値が出力されても問題のないよう注意してください。

なお，アドレス出力の有効な期間についての具体的な値は，各製品のデータ・シートを参照してください。

(3) 外部メモリ拡張時（μPD78243は常時）に，マクロ・サービスのタイプAおよびタイプCを使用している場合，不正なライト・アクセス動作が発生する場合があります。

不正ライト・アクセスは，次の条件が成立したときに発生します。

条件1. マクロ・サービス・タイプAで，マクロ・サービス実行時に転送先または転送元のバッファ（メモリ）のアドレスが0FED0H-0FEDFHのとき

2. マクロ・サービス・タイプCで，MPTLのアドレスが0FED0H-0FEDFHのとき

不正なライト・アクセスは，通常のメモリ・アクセスと同様に行われます。また，メモリ拡張モード・レジスタ（MM）のPW20，PW21ビットの設定に従ってウエイトが挿入されます。表14-3に，不正なライト・アクセスの発生条件と動作を示します。

表14-3　不正ライト・アクセスの発生条件と動作

条件	マクロ・サービス・タイプ	不正ライト・アクセス	
		アドレス	データ
1	A	転送の対象となるSFRのアドレス	転送先または転送元のバッファ（メモリ）のアドレスの下位8ビット
2	C	転送先のSFR（CR10またはCR11）のアドレス	MPTLのアドレスの下位8ビット

保守／廃止

本不具合を回避するには，次の方法があります。

● 条件１の場合はバッファ領域のアドレスが，条件２の場合はMPTLのアドレスが0FED0H-0FEDFHとならない位置に配置することで可能です。

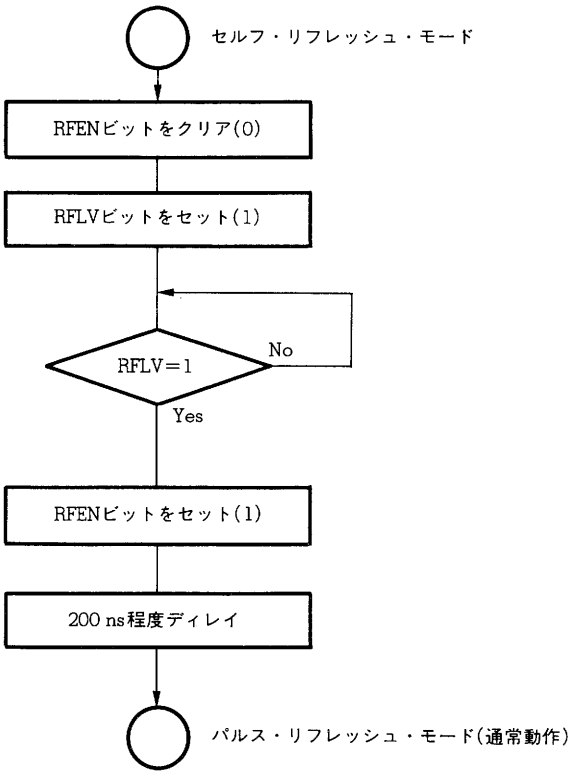
なお，不具合はインサーキット・エミュレータでも発生します。

(4) 外部ウエイト機能を使用する場合は，PM6レジスタのビット６を“1”にして，P66/$\overline{\text{WAIT}}$端子を入力モードにしてください。

(5) リフレッシュ・モード・レジスタ（RFM）のRFLVビットを０から１にするときに，RFENビットがセット(1)されている(RFLVビットと同時にセット(1)される場合も含む)と，$\overline{\text{REFRQ}}$端子から約10 nsでピーク・レベルが約2.0 Vのヒゲが出力される場合があります。

したがって，RFLVビットをセット(1)する場合には，図14－20のような手順で操作を行ってください。なお，RFENをセットした後の200 nsのディレイは，疑似スタティックRAMがセルフ・リフレッシュ・モードから復帰したときのアクセス禁止時間を確保するための時間です。

図14－20　セルフ・リフレッシュ動作からの復帰動作

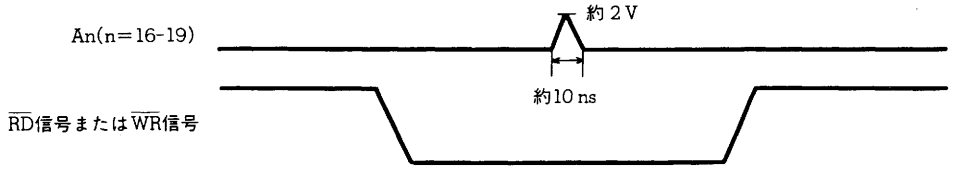


保守／廃止

(6) インサーキット・エミュレータでのエミュレーション時には，次の点についてご留意のうえ，ご使用ください。

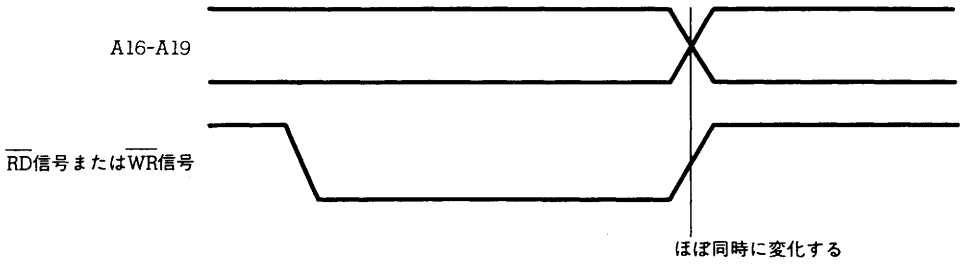
・A16-A19端子から$\overline{RD}$信号，$\overline{WR}$信号がアクティブの期間にヒゲを出力することがあります。

図14－21　エミュレーション時に発生するA16-A19端子のヒゲの例



・A16-A19端子に出力されるアドレス信号の$\overline{RD}$信号，$\overline{WR}$信号に対するホールド時間がほぼ0 nsになります。

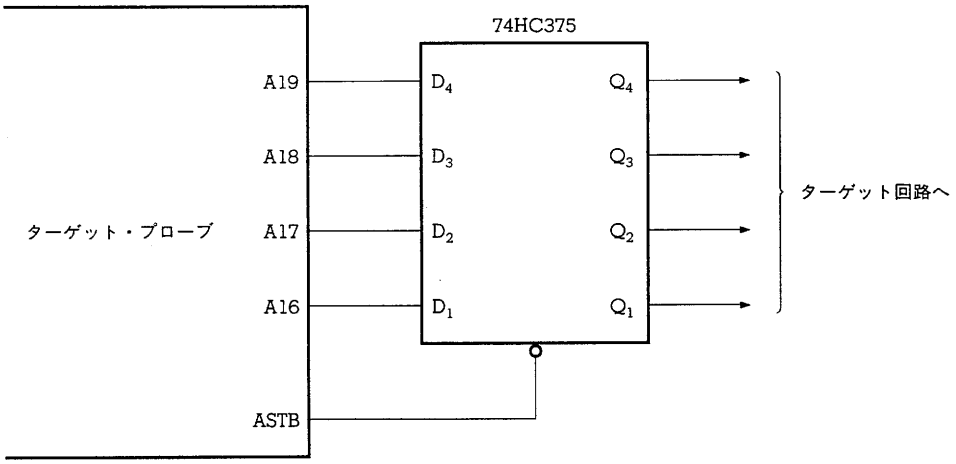
図14－22　エミュレーション時のアドレス・ホールド時間の不足



保守／廃止

これらの問題を回避するためには，エミュレーション時にA16-A19端子にラッチを接続して使用することを推奨します（なお，本処置は，デバイスでは不要です）。

図14－23　エミュレーション時の不具合回避方法



保守／廃止

保守／廃止

第15章　スタンバイ機能

15.1　構成と機能

μPD78244は，システムの消費電力を低減させることのできるスタンバイ機能を持っています。スタンバイ機能には次のような２つのモードがあります。

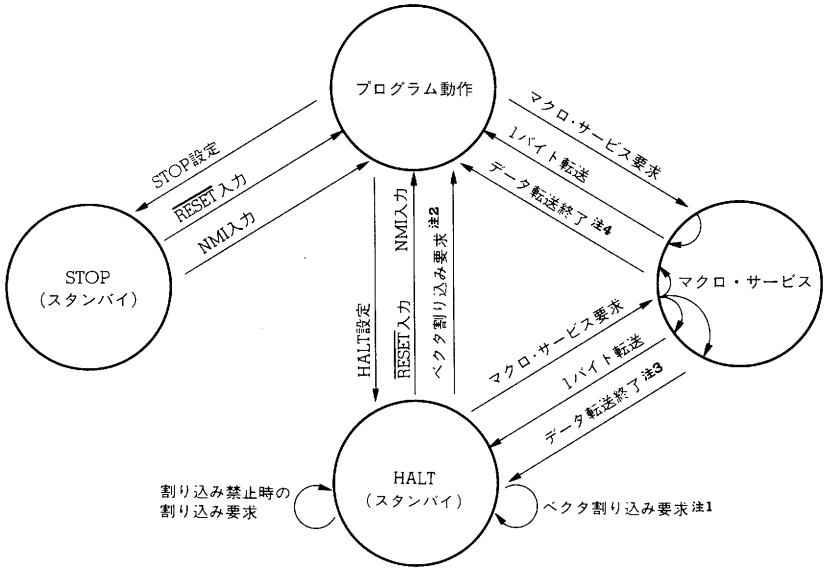
・HALT モ ー ド……CPUの動作クロックを停止させるモードです。通常動作モードとの組み合わせによる間欠動作により，システムのトータル消費電力を低下させることができます。

・STOP モ ー ド……発振回路を停止させ，システム全体が停止するモードです。リーク電流だけの超低消費電力にすることができます。

各モードにはソフトウエアによって設定します。図15－１にスタンバイ・モード（STOP／HALTモード）の遷移図を示します。

スタンバイ機能ブロック図を，図15－２に示します。

図15－１　スタンバイ・モードの遷移図



注 1．低優先レベルのベクタ割り込み要求の場合（HALT設定時に低優先順位の割り込み禁止状態）。

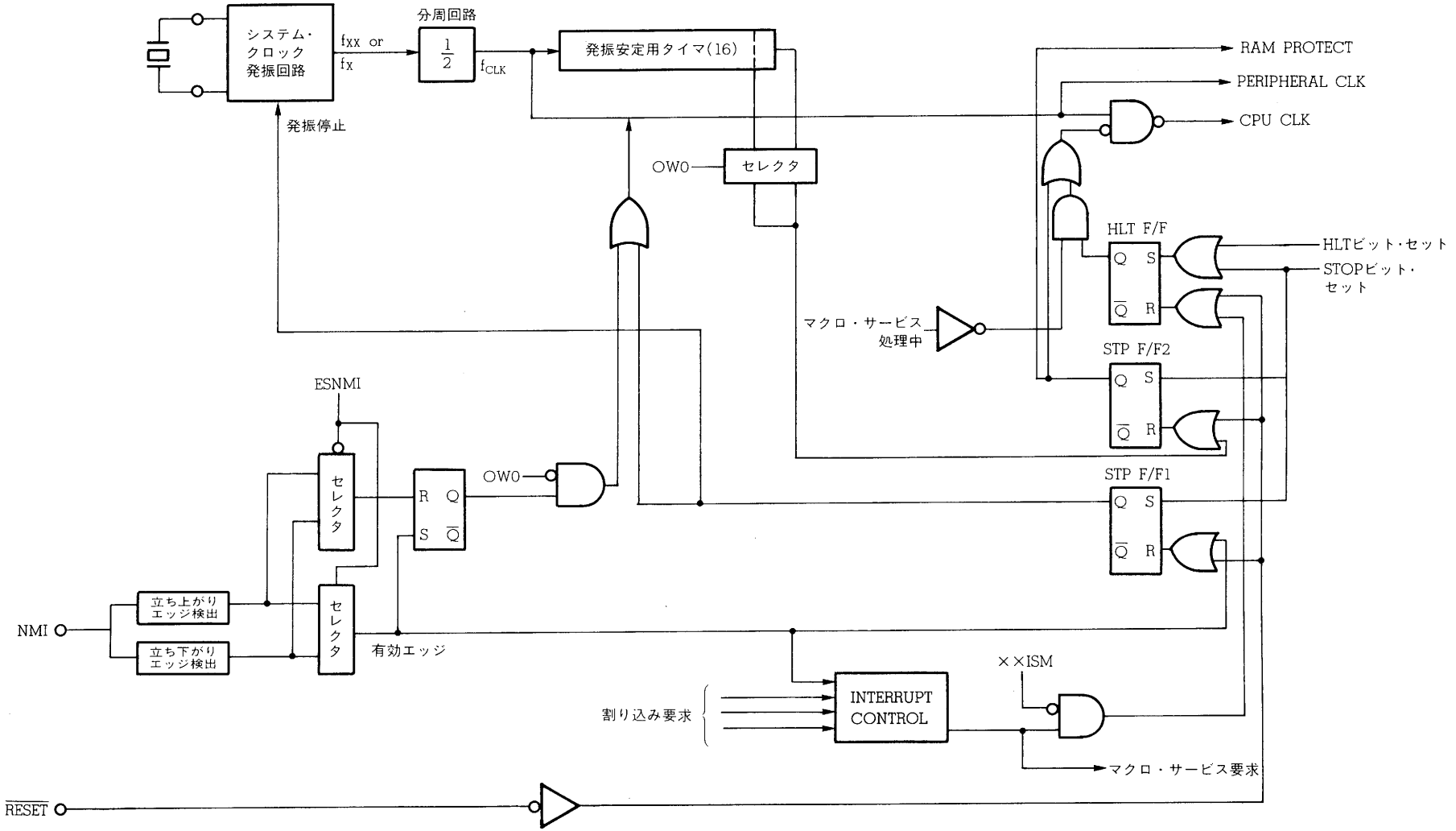
2．高優先レベルのベクタ割り込み要求の場合，または，HALT設定時に低優先順位の割り込み許可状態の場合。

3．低優先レベルのマクロ・サービスの場合（HALT設定時に低優先順位の割り込み禁止状態）。

4．高優先レベルのマクロ・サービスの場合，または，HALT設定時に低優先順位の割り込み許可状態の場合。

保守／廃止

図15－2 スタンバイ機能ブロック図



保守／廃止

15.2　スタンバイ・コントロール・レジスタ（STBC）

スタンバイ・モードを制御する８ビット・レジスタです。読み出し／書き込み可能ですが，書き込みはプログラムの暴走などにより応用システムが不用意に停止しないように専用命令(MOV　STBC，#byte)によってのみ可能です。そのフォーマットを図15－３に示します。

$\overline{\text{RESET}}$入力により，00Hになります。

図15－３　スタンバイ・コントロール・レジスタ（STBC）のフォーマット

	7	6	5	4	3	2	1	0
STBC	0	OW0	0	0	0	0	STP	HLT

HALTモード指定ビット

“1”を書き込むとHALTモード状態に入る。 HALTモードが解除されると自動的にリセット(0)。

STOPモード指定ビット

“1”を書き込むとSTOPモード状態に入る。 STOPモード解除されると自動的にリセット(0)。

発振安定時間選択ビット

OW0	NMIによるSTOPモード解除時の発振安定時間
0	NMI入力のハイまたはロウ・レベルの時間＋発振安定用カウンタの16ビット分のカウント時間
1	発振安定用カウンタの15ビット分のカウント時間

保守／廃止

15.3　HALTモード

15.3.1　HALTモードの設定および動作状態

HALTモードには，STBCレジスタのHLTビットをセット(1)することにより設定されます。

STBCレジスタの書き込みは，専用命令による８ビット・データ書き込みのみ可能です。したがって，HALTモードの設定は，“MOV　STBC，＃01H”命令で行います。

注意　HALTモードを解除する条件が成立しているときにHALTモードの設定を行った場合，HALTモードに入らずに次の命令の実行，またはベクタ割り込みサービス・プログラムへの分岐を行います。確実にHALTモードの設定をしたい場合は，HALTモードに入る前に割り込み要求をクリアするなどしてください。

表15－1　HALTモード時の動作状態

クロック発振回路		動　作
内部システム・クロック		動　作
CPU		動作停止[注]
I／Oライン		HALTモード設定前の状態を保持
各周辺機能		動作継続
内部RAM		保　持
バス・ライン	AD0-AD7	ハイ・インピーダンス
	A8-A15	保　持
	A16-A19	ロウ・レベル
$\overline{RD}$，$\overline{WR}$出力		ハイ・レベル
ASTB出力		ロウ・レベル

注　マクロ・サービス処理は実行されます。

保守／廃止

15.3.2　HALTモードの解除

HALTモードは，次の３つのソースによって解除することができます。

・ノンマスカブル割り込み要求（NMI）
・マスカブル割り込み要求（ベクタ割り込み，マクロ・サービス）
・$\overline{\text{RESET}}$入力

解除ソースと解除後の動作の概要を，表15－２に示します。

表15－２　HALTモードの解除と解除後の動作

解除ソース	MK××	PR××	IE	ISP	動　　作
$\overline{\text{RESET}}$入力	×	×	×	×	通常のリセット動作と同じ
ノンマスカブル割り込み	—	—	×	×	ベクタ割り込み処理実行[注]
マスカブル・ベクタ割り込み要求	0	0	1	×	ベクタ割り込み処理実行
	0	×	1	1	
	0	0	0	×	次アドレス命令実行（割り込み要求保留）
	0	×	0	1	
	0	1	×	0	HALTモード保留（割り込み要求保留）
	1	×	×	×	
マクロ・サービス	0	0	1	×	マクロ・サービス処理実行 終了条件成立→ベクタ割り込み処理実行
	0	×	1	1	終了条件不成立→再びHALT状態へ戻る
	0	0	0	×	マクロ・サービス処理実行 終了条件成立→次アドレス命令実行
	0	×	0	1	終了条件不成立→再びHALT状態へ戻る
	0	1	×	0	マクロ・サービス処理実行後，再びHALT状態へ戻る（割り込み要求保留）
	1	×	×	×	HALTモード保持

注　割り込みステータス・レジスタ（IST）のNMISビットが１の場合は次アドレスの命令を実行し，NMISが０になった時点でNMI割り込みサービス・プログラムへ分岐します。

備考　MK××：割り込みマスク・フラグ　　IE　：割り込み要求許可フラグ
PR××　：優先順位指定フラグ　　ISP：割り込み優先順位ステータス・フラグ

保守／廃止

(1) ノンマスカブル割り込み（NMI）による解除

NMIが発生すると，割り込み受け付けの許可状態（EI），禁止状態（DI）に関係なくHALTモードから解除されます。

HALTモードから解除されると，割り込みステータス・レジスタ（IST）のNMISビットが0の場合は，NMIサービス・プログラムに分岐します。また，NMISビットが1の場合（NMI割り込みサービス・プログラム中でHALTモードに設定した場合など）は，HALTモードを設定した命令の次の命令から実行を再開し，NMISビットが0になると（RETI命令実行などによる）NMI割り込みサービス・プログラムへ分岐します。

(2) マスカブル割り込み要求による解除

マスカブル割り込み要求によるHALTモードの解除は，割り込みマスク・フラグが0の割り込みによってのみ可能です。さらに，割り込み優先順位ステータス・フラグ（ISP）が0（高優先順位の割り込みのみ許可）の場合は，優先順位指定フラグが0（高優先順位）の割り込みによってのみ可能です。ただし，マクロ・サービスは優先順位に関係なく処理されます（マクロ・サービス終了時の割り込みは，優先順位の影響を受けます）。

HALTモードが解除されると，割り込み要求許可フラグ（IE）が1の場合は，割り込み処理プログラムへ分岐します。IEフラグが0の場合は，HALTモードを設定した次の命令から実行を再開します。

マクロ・サービスは，HALTモードを一時的に解除して，1回の処理を行い，再びHALTモードに戻ります。マクロ・サービスが指定回数だけ行われると，IEフラグ，ISPフラグ，優先順位指定フラグに応じた動作をします。

保守／廃止

表15－3　マスカブル割り込み要求によるHALTモードの解除

解除ソース	MK××	PR××	IE	ISP	動　　作
マスカブル・ベクタ割り込み要求	0	0	1	×	ベクタ割り込み処理実行
	0	×	1	1	
	0	0	0	×	次アドレス命令実行（割り込み要求保留）
	0	×	0	1	
	0	1	×	0	HALTモード保持
	1	×	×	×	
マクロ・サービス	0	0	1	×	マクロ・サービス処理実行 終了条件成立→ベクタ割り込み処理実行
	0	×	1	1	終了条件不成立→再びHALT状態へ戻る
	0	0	0	×	マクロ・サービス処理実行 終了条件成立→次アドレス命令実行
	0	×	0	1	終了条件不成立→再びHALT状態へ戻る
	0	1	×	0	マクロ・サービス処理実行後，再びHALT状態へ戻る
	1	×	×	×	HALTモード保持

備考　MK××：割り込みマスク・フラグ

PR××：優先順位指定フラグ

IE　　：割り込み要求許可フラグ

ISP　　：割り込み優先順位ステータス・フラグ

(3) $\overline{\text{RESET}}$入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムを実行します。ただし，内部RAMの内容は，HALTモード設定直前の値を保持しています。

保守／廃止

15.4　STOPモード

15.4.1　STOPモードの設定および動作状態

STOPモードには，STBCレジスタのSTPビットをセット(1)することにより設定されます。

STBCレジスタの書き込みは，専用命令による８ビット・データ書き込みのみ可能です。したがって，STOPモードの設定は，“MOV　STBC，＃02H”命令で行います。

表15－4　STOPモード時の動作状態

クロック発振回路		発振停止
内部システム・クロック		停　止
CPU		動作停止
I/Oライン		STOPモード設定前の状態を保持
各周辺機能		すべて動作停止[注]
内部RAM		保　持
バス・ライン	AD0-AD7	ハイ・インピーダンス
	A8-A15	保　持
	A16-A19	ロウ・レベル
$\overline{RD}$，$\overline{WR}$出力		ハイ・レベル
ASTB出力		ロウ・レベル

注　A/Dコンバータは動作を停止しますが，A/Dコンバータ・モード・レジスタ（ADM）のCSビットがセットされていると，消費電流は減りません。

注意1．STOPモードに設定されるとクロック発振回路のリークを抑えるためX1端子が内部でV_{SS}（GND電位）にショートされます。したがって，外部クロックを使用するシステムではSTOPモードの使用を禁止します。

2．STOPモードの設定時には，A/DコンバータのCSビットをリセットしてください。

3．STOPモードの設定時にNMI要求が保留されていても，STOPモードに設定されます。STOPモードの解除にNMIを使用する場合は，再度NMI信号を入力してください。

保守／廃止

15.4.2　STOPモードの解除

STOPモードは，NMI入力または$\overline{\text{RESET}}$入力により解除されます。

(1) NMI入力によるSTOPモードの解除

(a) STOPモード解除動作

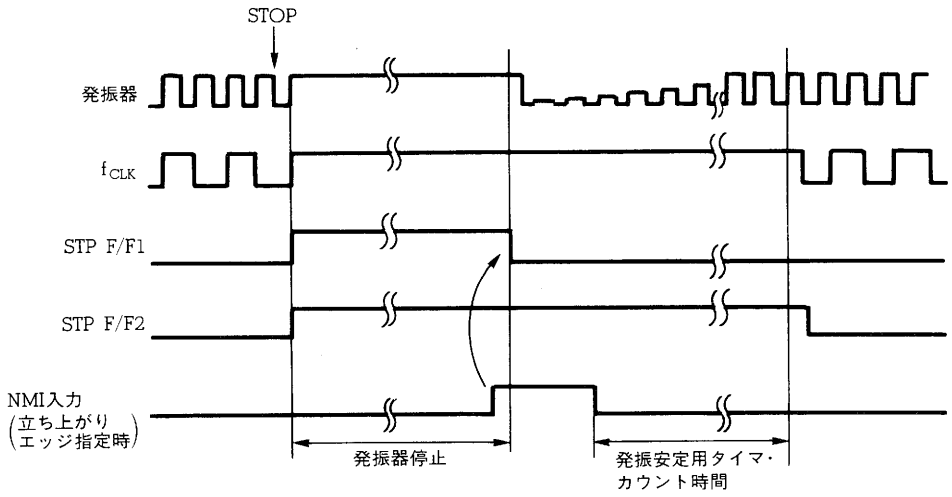
NMI入力に外部割り込みモード・レジスタ（INTM0）で指定した有効エッジが入力されると発振器が発振を再開します。その後，発振安定時間後にSTOPモードは解除されます。

STOPモードから解除されると，割り込みステータス・レジスタ（IST）のNMISビットが0の場合はNMI割り込みサービス・プログラムに分岐します。また，NMISビットが1の場合（NMI割り込みサービス・プログラム中でSTOPモードに設定した場合など）は，STOPモードを設定した命令の次の命令から実行を再開し，NMISが0になると（RETI命令実行などによる）NMI割り込みサービス・プログラムへ分岐します。

(b) 発振安定時間

NMI入力に外部割り込みモード・レジスタ（INTM0）で指定した有効エッジが入力されると発振器が発振を再開します。その後NMI入力レベルがもとのレベルに戻ると発振安定用カウンタがカウントを開始し，そのカウンタが16ビット分のカウントを行うと（約11 ms, fxx＝12 MHz時），内部システム・クロックの供給を開始します。したがって，NMI入力の有効エッジ検出後のハイまたはロウ・レベル幅＋発振安定用カウンタの16ビット分のカウント時間だけ発振安定時間としてウエイトします。

図15－4　NMI入力によるSTOPモードの解除

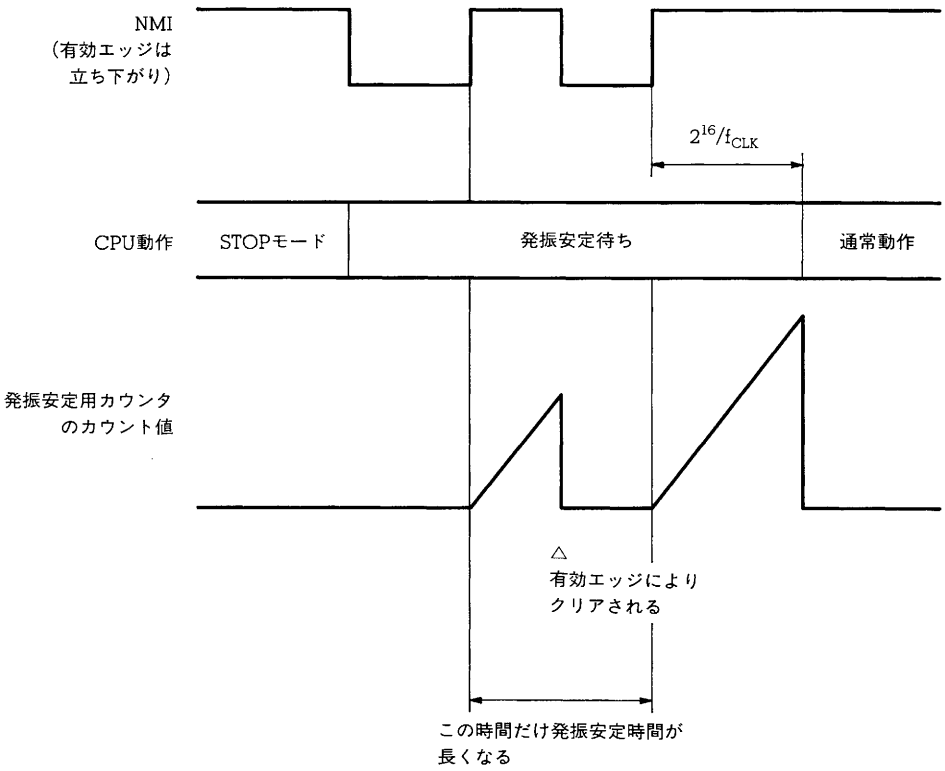


保守／廃止

★ 注意　発振安定時間中にNMI端子に有効エッジが入力されると，発振安定時間をカウントするカウンタがクリアされてしまい，発振安定時間が長くなってしまいます。長くなる時間は，有効エッジが入力されるまでの時間＋NMIのアクティブ・レベル期間です。

確実にSTOPモードから復帰させるためには，発振安定時間中のNMI端子レベルをインアクティブ・レベルに固定するようにしてください。

図15－5　発振安定時間が延長される例



(2) $\overline{\text{RESET}}$入力によるSTOPモードの解除

$\overline{\text{RESET}}$入力をハイからロウに下げ，リセット状態にすると発振器が発振を開始します。$\overline{\text{RESET}}$のアクティブ期間で発振安定時間を確保してください。その後$\overline{\text{RESET}}$を立ち上げると通常の動作をスタートします。

通常のリセット動作とは異なり，データ・メモリはSTOPモード設定前の内容を保持しています。

保守／廃止

15.4.3　STOPモード使用時のチェック項目

STOPモード使用時の消費電流を下げるために必要なチェック項目を示します。

(1) 各出力端子の出力レベルは適正か？

各端子の適正な出力レベルは，次段の回路によって異なります。もっとも消費電流が少なくなるような出力レベルを選んでください。

- 次段の回路の入力インピーダンスが低い場合にハイ・レベルを出力していると，電源からポートへ電流が流れ出し，消費電流が増えてしまいます。次段の回路がCMOS　ICなどの場合がこれにあたります。CMOS　ICは，電源OFF時には，入力インピーダンスが低くなります。消費電流を抑えるため，またCMOS ICの信頼性に悪影響を与えないため，ロウ・レベルを出力してください。ハイ・レベルを出力していると，電源の再投入時にラッチアップの原因となります。

- 次段の回路によっては，ロウ・レベルを入力すると消費電流が増えてしまう場合があります。このような場合は，ハイ・レベルまたはハイ・インピーダンスを出力し，消費電流が少なくなるようにしてください。

出力レベルの設定方法は，ポートのモードによって異なります。

- ポートがコントロール・モードのときには，内蔵ハードウエアの状態によって出力レベルが決定されますので，内蔵ハードウエアの状態を考慮して出力レベルを設定する必要があります。

- ポート・モードのときには，ソフトウエアでポートの出力ラッチとポート・モード・レジスタへ書き込みをすることにより，出力レベルを設定することができます。

ポートがコントロール・モードになっているときには，ポート・モードへ変更することで，出力レベルの設定が簡単になります。

(2) 各入力端子の入力レベルは適正か？

各端子に入力される電圧レベルは，V_{SS}電位からV_{SS}電位の範囲内にしてください。この範囲外の電圧を印加すると，，消費電流が増えるだけでなく，μPD78244の信頼性にも悪影響を与えます。

また，中間電位が加わらないようにしてください。

保守／廃止

(3) 内蔵プルアップ抵抗は必要か？

不要なプルアップ抵抗は，消費電流を増やしたり，他のデバイスのラッチアップの原因となったりします。プルアップ抵抗は，必要な部分だけを使用するモードに指定してください。

必要な部分と不要な部分が混在する場合は，必要な部分については外付けにプルアップ抵抗を接続し，内蔵プルアップ抵抗を使用しないモードに指定するなどしてください。

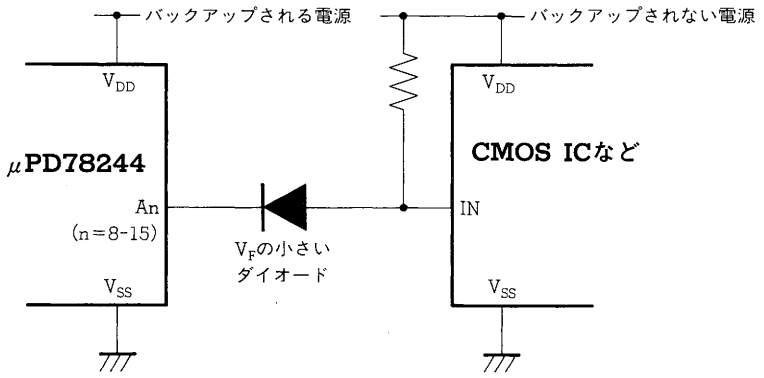
(4) アドレス・バスおよびアドレス／データ・バスなどの処理は適正か？

アドレス・バスはSTOPモード時に不定値（ハイまたはロウ・レベル）を出力します。外部回路の入力インピーダンスが低い場合には，アドレス・バスから電流が流れ出すため消費電流が増えてしまいます。したがって，アドレス・バスに接続する回路の入力インピーダンスをSTOPモード時にも高くしてください。

特にCMOS　ICは電源OFF時に入力インピーダンスが低くなるので，消費電流が増えたり，ICの信頼性に悪影響を与えたりします。したがって，次のように処理してください。

- CMOS　ICの電源をOFFにしない（STOPモード時にも電源を供給する）。
- 図15－6に示すように，V_Fの小さいダイオードを接続して電流が流れないようにする。

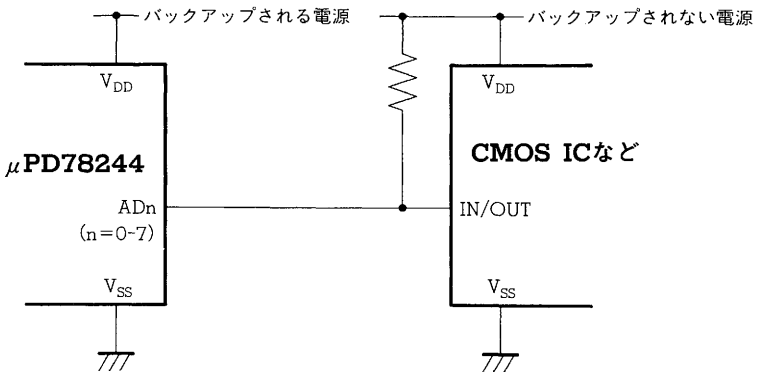
図15－6　アドレス・バスの処理例



アドレス／データ・バスはSTOPモード時にハイ・インピーダンスになります。通常アドレス／データ・バスはプルアップ抵抗によってプルアップします。このプルアップ抵抗をバックアップされる電源に接続すると，バックアップされない電源に接続されている回路の入力インピーダンスが低い場合には，プルアップ抵抗を介して電流が流れてしまい，消費電流が増えてしまいます。したがって，図15－7に示すように，プルアップ抵抗はバックアップされない電源側に接続してください。

保守／廃止

図15－7　アドレス／データ・バスの処理例



$\overline{RD}$, $\overline{WR}$, ASTB, $\overline{REFRQ}$端子は，STOPモード時には，固定レベルを出力しますので，アドレス・バスと同様に対策を行ってください。なお，ASTB端子は，ロウ・レベルを出力していますので，一般的には，外付け部品による対策は不要です。

$\overline{WAIT}$端子に入力される電圧レベルは，V_{SS}電位からV_{DD}電位の範囲内にしてください。この範囲外の電圧を印加すると，消費電流が増えるだけでなく，μPD78244の信頼性にも悪影響を与えます。

なお，μPD78243については，これらの対策が必要ですが，μPD78244の場合は，アドレス・バス，アドレス／データ・バスなどをポート・モードにすることにより，簡単な方法で対策をとることができます。

(5) A/Dコンバータ

A/Dコンバータ・モード・レジスタ（ADM）のビット7にあるCSビットをリセット(0)することにより，AV_{REF}端子に流れる電流を減らすことが可能です。さらに，電流を減らしたい場合には，AV_{REF}端子への電流供給を外付け回路で切断してください。

保守／廃止

15.5　注意事項

(1) HALTモードを解除する条件が成立しているときにHALTモードの設定を行った場合，HALTモードに入らずに次の命令の実行，またはベクタ割り込みサービス・プログラムへの分岐を行います。確実にHALTモードの設定をしたい場合は，HALTモードに入る前に割り込み要求をクリアするなどしてください。

(2) STOPモードに設定されるとクロック発生回路のリークを抑えるため，X1端子が内部V_{SS}(GND電位)にショートされます。したがって，外部クロックを使用するシステムではSTOPモードの使用を禁止します。

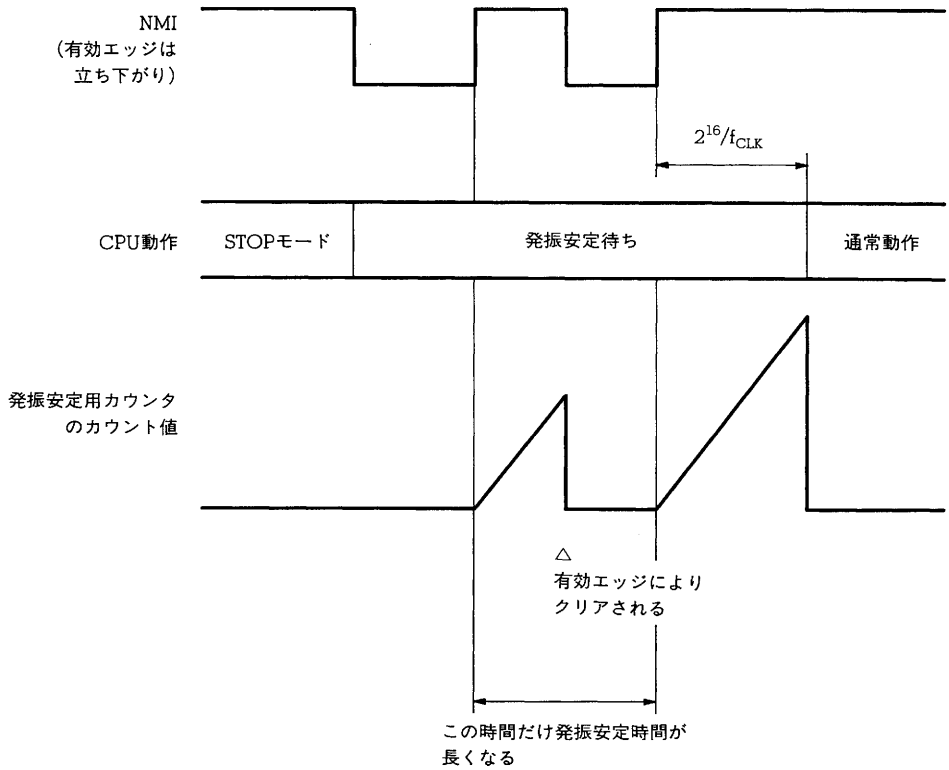
(3) STOPモードの設定時には，A/DコンバータのCSビットをリセットしてください。

(4) STOPモードの設定時にNMI要求が保留されていても，STOPモードに設定されます。STOPモードの解除にNMIを使用する場合は，再度NMI信号を入力してください。

★ (5) 発振安定時間中にNMI端子に有効エッジが入力されると，発振安定時間をカウントするカウンタがクリアされてしまい，発振安定時間が長くなってしまいます。長くなる時間は，有効エッジが入力されるまでの時間＋NMIのアクティブ・レベル期間です。

確実にSTOPモードから復帰させるためには，発振安定時間中のNMI端子レベルをインアクティブ・レベルに固定するようにしてください。

図15－8　発振安定時間が延長される例



第16章　リセット機能

16.1　リセット機能

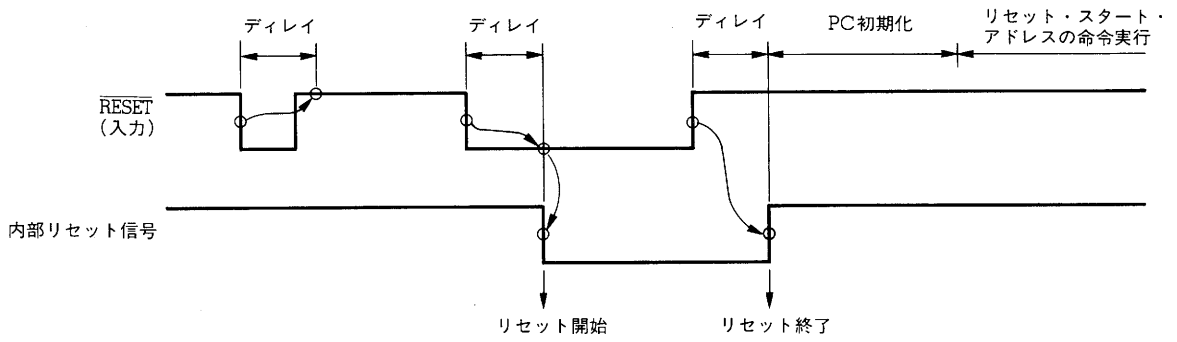
$\overline{\text{RESET}}$入力端子にロウ・レベルが入力されると，システム・リセットがかかり，各ハードウエアは表16－2に示すような状態になります。また，電源端子を除くすべての端子はハイ・インピーダンス状態になります。表16－1に，リセット中およびリセット解除後の端子の状態を示します。

$\overline{\text{RESET}}$入力がロウ・レベルからハイ・レベルになると，リセット状態が解除されリセット・ベクタ・テーブルの00000H番地の内容がプログラム・カウンタ(PC) のビット7－0に，00001H番地の内容がPCのビット15－8にセットされて分岐し，その分岐先アドレスからプログラムの実行を開始します。したがって，任意の番地からリセット・スタートできます。

各種レジスタの内容は，プログラムの中で必要に応じてイニシャライズしてください。

$\overline{\text{RESET}}$入力端子は，ノイズによる誤動作を防ぐため，アナログ・ディレイによるノイズ除去回路を内蔵しています（**図16－1**参照）。

図16－1　リセット信号の受け付け

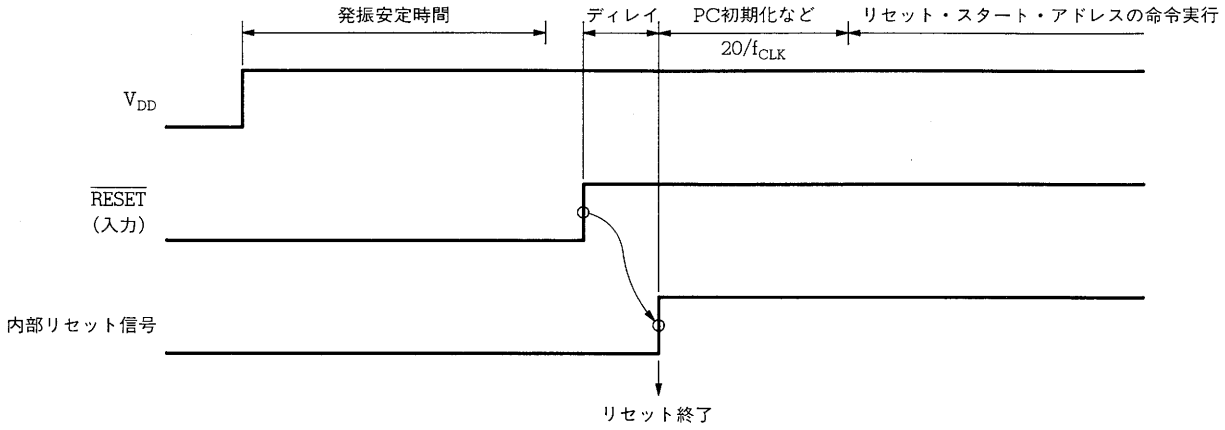


備考　f_{CLK}：システム・クロック周波数（$f_{XX}/2$）

電源投入時およびSTOPモード解除時のリセット動作では，発振安定時間（約40 ms，使用する発振子に依存します）が経過するまで$\overline{\text{RESET}}$信号をアクティブにしてください。

保守／廃止

図16－2　電源投入時のリセット動作



備考　f_{CLK}：システム・クロック周波数（$f_{XX}/2$）

表16－1　リセット入力中，リセット解除後の端子状態

端子名称	入出力	リセット中	リセット解除直後
P00-P07	出力	Hi-Z	Hi-Z
P20／NMI-P27／SI	入力	Hi-Z	Hi-Z（入力ポート）
P30／RxD-P37／TO3	入出力	Hi-Z	Hi-Z（入力ポート・モード）
P40／AD0-P47／AD7	入出力	Hi-Z	Hi-Z（入力ポート・モード）注
P50／A8-P57／A15	入出力	Hi-Z	Hi-Z（入力ポート・モード）注
P60／A16-P63／A19	出力	Hi-Z	0
P64／$\overline{RD}$，P65／$\overline{WR}$	入出力	Hi-Z	Hi-Z（入力ポート・モード）注
P66／$\overline{WAIT}$/ANI6，P67／$\overline{REFRQ}$/ANI7	入出力	Hi-Z	Hi-Z（入力ポート・モード）
P70／ANI0-P75／ANI5	入力	Hi-Z	Hi-Z（入力ポート）
ASTB	出力	Hi-Z	0

注　$\overline{EA}$端子＝0の状態によりROMレス・モードに指定された場合には，アドレス／データ・バスとして機能し，0000H番地からリセット・ベクタ・アドレスをフェッチするための信号を出力します（図16－3（a）参照）。

保守／廃止

表16－2　各ハードウエアのリセット後の状態（1/2）

ハードウエア			リセット後の状態
プログラム・カウンタ（PC）			リセット・ベクタ・テーブル（0000H, 0001H）の内容がセットされる。
スタック・ポインタ（SP）			不　定
プログラム・ステータス・ワード（PSW）			02H
内蔵RAM	データ・メモリ		不　定[注]
	汎用レジスタ（X, A, C, B, E, D, L, H）		
ポート	ポート0, ポート2, ポート3, ポート4, ポート5, ポート7		不定（ハイ・インピーダンス）
	ポート6		×0H
ポート・モード・レジスタ	PM0, PM3, PM5		FFH
	PM6		F×H
ポート3モード・コントロール・レジスタ（PMC3）			00H
プルアップ抵抗オプション・レジスタ（PUO）			00H
メモリ拡張モード・レジスタ（MM）			20H
タイマ／カウンタ・ユニット	16ビット・タイマ／カウンタ	タイマ（TM0）	0000H
		コンペア・レジスタ（CR00, CR01）	不　定
		キャプチャ・レジスタ（CR02）	
	8ビット・タイマ／カウンタ	タイマ（TM1, TM2, TM3）	00H
		コンペア・レジスタ（CR10, CR20, CR21, CR30）	不　定
		キャプチャ・レジスタ（CR22）	
		キャプチャ／コンペア・レジスタ（CR11）	
	タイマ・コントロール・レジスタ（TMC0, TMC1）		00H
	タイマ出力コントロール・レジスタ（TOC）		
	ワンショット・パルス出力制御レジスタ（OSPC）		
	キャプチャ／コンペア・コントロール・レジスタ	CRC0	10H
		CRC1, CRC2	00H
	プリスケーラ・モード・レジスタ（PRM0, PRM1）		00H
A/Dコンバータ	モード・レジスタ（ADM）		00H
	A/D変換結果レジスタ（ADCR）		不　定

注　STOPモードを$\overline{\text{RESET}}$入力で解除した場合は，STOPモード設定前の値を保持しています。

16

保守／廃止

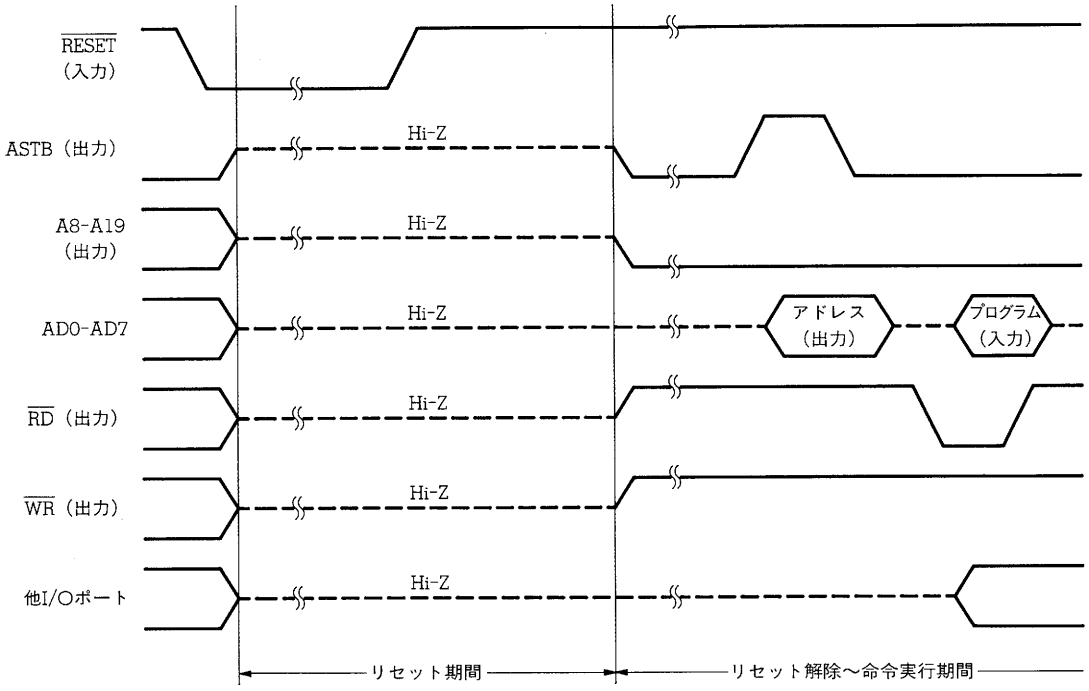
表16－2　各ハードウエアのリセット後の状態（2/2）

ハードウエア			リセット後の状態
シリアル・インタフェース	モード・レジスタ（CSIM）		00H
	シフト・レジスタ（SIO）		不定
	アシンクロナス・モード・レジスタ（ASIM）		80H
	アシンクロナス・ステータス・レジスタ（ASIS）		00H
	シリアル・バス・コントロール・レジスタ（SBIC）		00H
	シリアル受信バッファ（RXB）		不定
	シリアル送信シフト・レジスタ（TXS）		不定
	ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）		00H
リアルタイム出力ポート・コントロール・レジスタ（RTPC）			00H
プログラマブル・ウエイト制御レジスタ（PW）			80H
リフレッシュ・モード・レジスタ（RFM）			00H
割り込み	割り込み要求フラグ・レジスタ	（IF0L，IF0H）	00H
		（IF1L）	××××　××00B
	割り込みマスク・レジスタ	（MK0L，MK0H）	FFH
		（MK1L）	××××　××11B
	優先順位指定フラグ・レジスタ	（PR0L，PR0H）	FFH
		（PR1L）	××××　××11B
	割り込みサービス・モード・レジスタ	（ISM0L，ISM0H）	00H
		（ISM1L）	××××　××00B
	割り込みステータス・レジスタ（IST）		00H
外部割り込みモード・レジスタ（INTM0，INTM1）			00H
スタンバイ・コントロール・レジスタ（STBC）			00H
EEPROM書き込み制御レジスタ（EWC）			0011 0100B

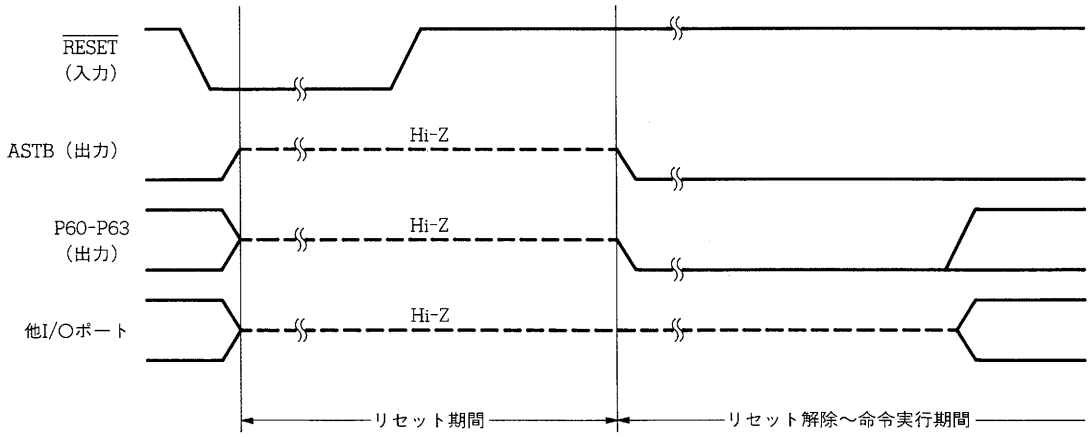
保守／廃止

図16－3　リセット入力時のタイミング

(a) μPD78243の場合



(b) μPD78244の場合



16.2　注意事項

パワーオン時のリセット入力は，電源電圧が規定電圧に達したあと，発振が安定するまでロウ・レベルを保持しなければなりません。

保守／廃止

保守／廃止

第17章　応 用 例

17.1　ステッピング・モータの開ループ制御

μPD78244のリアルタイム出力機能と８ビット・タイマ／カウンタ１，およびマクロ・サービス機能を応用した例として，ステッピング・モータ制御を示します。

図17－１に２系統のステッピング・モータを制御する場合の機能ブロック図を示します。

８ビット・タイマ／カウンタ１（TM1）と２本のコンペア・レジスタ（CR10，CR11）の値が一致することによって割り込み信号が発生します。この割り込み信号をトリガとして，マクロ・サービス機能が動作し，あらかじめ格納しておいたメモリ上のテーブル・データをコンペア・レジスタ，およびリアルタイム出力ポートのバッファ・レジスタへ，CPUが自動的に転送します。このとき，コンペア・レジスタには，次に一致割り込みを発生させるインターバル時間に相当するデータを転送します。

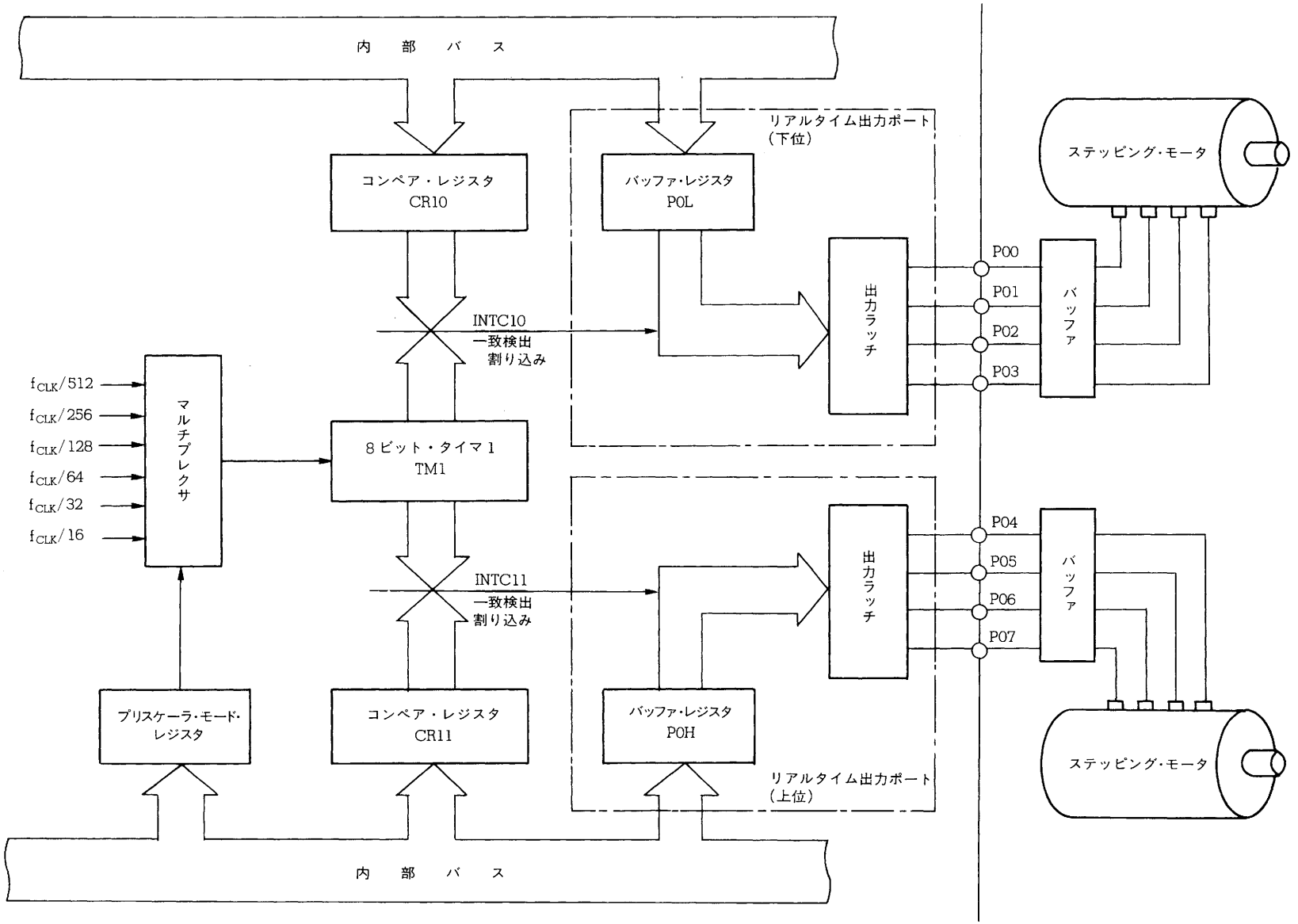
また，バッファ・レジスタには，次にポート０端子から出力するデータを転送します。

μPD78244を用いたステッピング・モータの開ループ制御では，以下のような利点があります。

(1) リアルタイム出力機能によって，あらかじめ設定した任意のインターバル時間に対して正確な制御（出力）信号が得られる。
(2) ８ビット・タイマ／カウンタ１本とコンペア・レジスタ２本の組み合わせによって，それぞれ独立に２系統の制御ができるため，ハードウエアの効率が良い。
(3) マクロ・サービス機能を組み合わせているため，ステッピング・モータの加減速制御などの複雑な制御を，ソフトウエアの介在なしに実現できる。

保守／廃止

図17－1 2系統のステッピング・モータの制御例



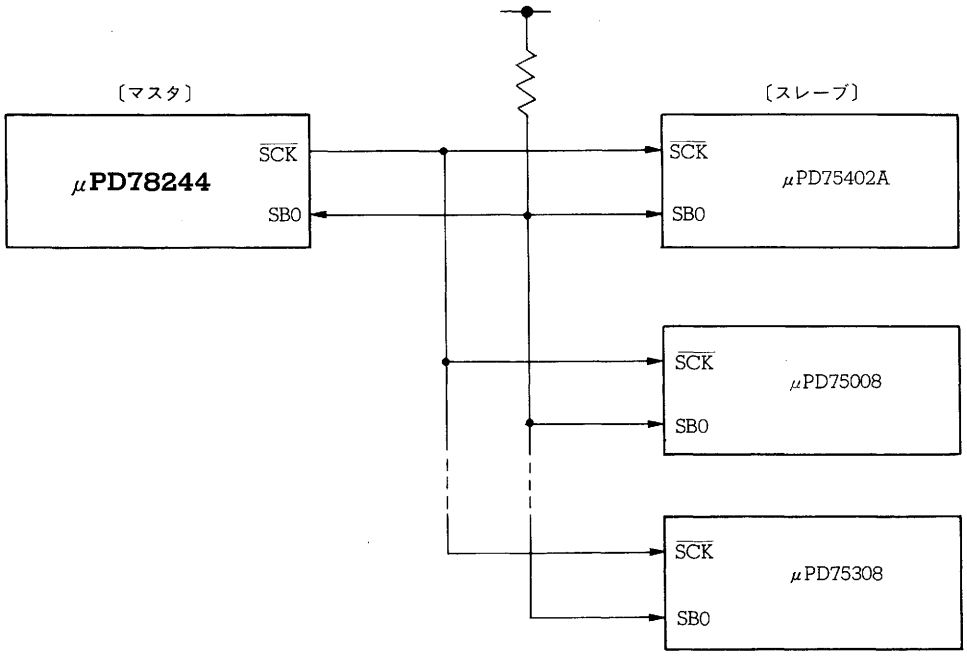
保守／廃止

17.2 複数デバイスとのシリアル通信

図17－2に，シリアル・バス・インタフェースによるシステム構成例を示します。シリアル・バス・インタフェースは，シリアル・クロックとシリアル・バスの2本のラインだけを用いて，アドレス（デバイスの選択）コマンド・データの転送と，アクノリッジ・ビジィの制御ができる機能です。

複数のデバイスとのシリアル通信を行う場合，マスタ・デバイス側は通信対象となるスレーブ・デバイスを選択するため，シリアル・バス・ラインに“アドレス”情報を出力します。スレーブ・デバイス側は，受け取ったアドレス情報があらかじめ与えられている自身のアドレスと一致するかどうか，ソフトウエアによって判定します。自身のアドレスと一致したスレーブ・デバイスのみアクノリッジ信号を送り返し，そのあとにマスタ・デバイスからのコマンドの受け取りやデータの受け渡しを行います。図17－3にシリアル・バス・インタフェース（SBI）による通信の例を示します。

図17－2 シリアル・バス・インタフェースのシステム構成例



17

保守／廃止

図17－3 SBIによる通信例

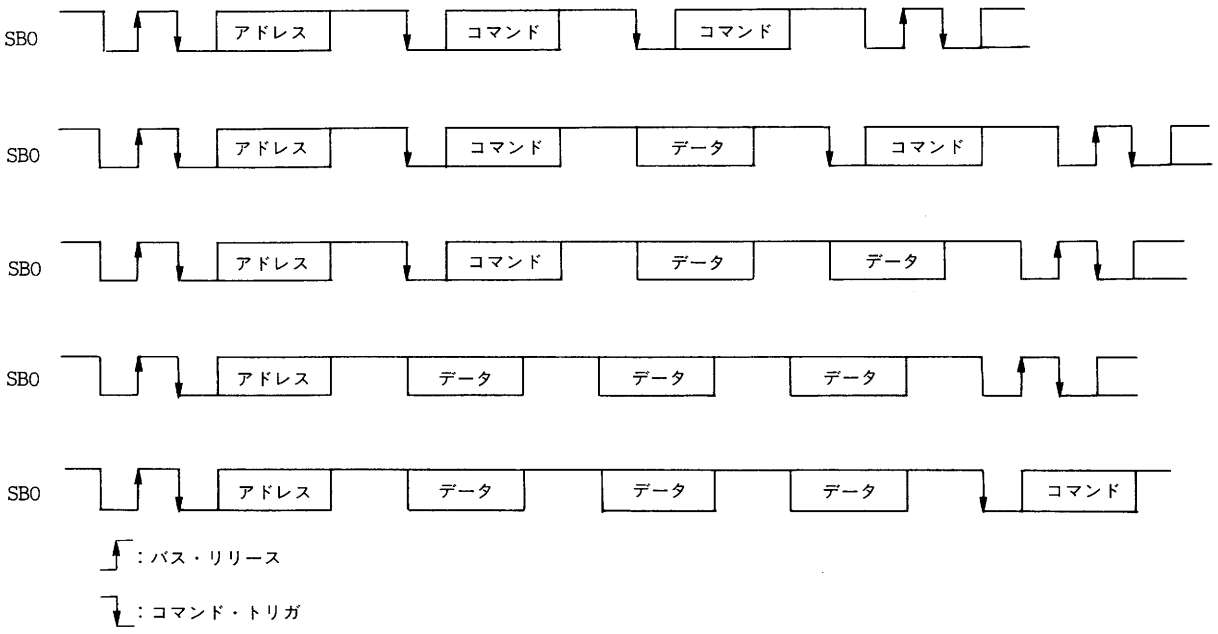
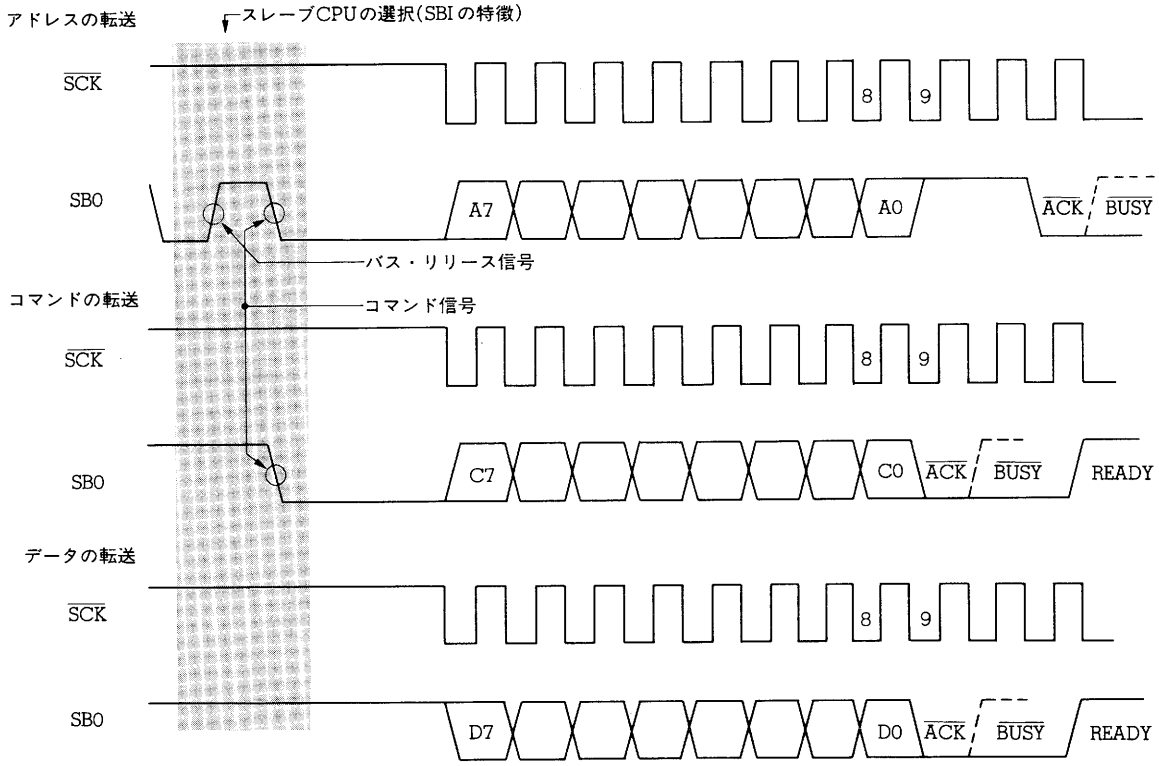


図17－4 シリアル・バス通信タイミング



保守／廃止

第18章　命令のオペレーション

μPD78244サブシリーズの各命令のオペレーションを示します。なお，各命令の詳細な動作，機能語（命令コード）およびクロック数については，**78K/IIシリーズ　ユーザーズ・マニュアル　命令編（IEU-754）**を参照してください。

18.1　凡　　例

18.1.1　オペランド欄

各命令のオペランド欄には，その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述してください(詳細はアセンブラ仕様による)。記述方法の中で複数個あるものは，それらの要素の1つを選択してください。大文字で書かれた英字および+，－，＃，!，$，／，［　］，&記号はキー・ワードですので，そのまま記述してください。

イミーディエト・データをレーベルで記述する際も，+，－，＃，!，$，／，［　］，&は記述してください。r，rpは，機能名称と絶対名称のいずれでも記述できます。

＋	：オートインクリメント指定
－	：オートデクリメント指定
＃	：イミーディエト・データ指定
!	：絶対アドレス指定
$	：相対アドレス指定
／	：ビット反転指定
［　］	：インダイレクト・アドレシング指定
&	：サブバンク指定
r，r′	：レジスタ；
	機能名称：X，A，C，B，E，D，L，H
	絶対名称：R0-R7
rl	：レジスタ・グループ1；
	B，C
rp，rp′	：レジスタ・ペア；
	機能名称：AX，BC，DE，HL
	絶対名称：RP0-RP3

保守／廃止

sfr　　：特殊機能レジスタ；
P0, P2, P3, P4, P5, P6, P7, P0H, P0L, RTPC, CR10, CR11, CR20, CR21, CR22, CR30, PM0, PM3, PM5, PM6, PMC3, PUO, CRC0, CRC1, CRC2, TOC, TM1, TM2, TM3, TMC0, TMC1, PRM0, PRM1, ADM, ADCR, EWC, CSIM, SBIC, SIO, ASIM, ASIS, RXB, TXS, BRGC, STBC (専用命令のみ), MM, PW, RFM, IF0L, IF0H, IF1L, MK0L, MK0H, MK1L, PR0L, PR0H, PR1L, ISM0L, ISM0H, ISM1L, INTM0, INTM1, IST

sfrp　　：特殊機能レジスタ・ペア；
CR00, CR01, CR02, TM0, IF0, MK0, PR0, ISM0

mem　　：インダイレクト・アドレシングによるメモリ・アドレス；
レジスタ間接モード　：[DE], [HL], [DE+], [HL+], [DE−], [HL−]
ベースト・モード　　：[DE+byte], [HL+byte], [SP+byte]
インデクスト・モード：word [A], word [B], word [DE], word [HL]

mem1　　：インダイレクト・アドレシング・グループ1によるメモリ・アドレス；
[DE], [HL]

saddr, saddr'　：ショート・ダイレクト・アドレシングによるメモリ・アドレス；
FE20H-FF1FHイミーディエト・データまたはレーベル

saddrp　　：ショート・ダイレクト・アドレシング・ペアによるメモリ・アドレス；
FE20H-FF1EHイミーディエト・データまたはレーベル

addr16　　：16ビット・アドレス；
0000H-FFFFHイミーディエト・データまたはレーベル

addr11　　：11ビット・アドレス；
800H-FFFHイミーディエト・データまたはレーベル

addr5　　：５ビット・アドレス；
40H-7EHイミーディエト・データまたはレーベル

word　　：16ビット・データ；
16ビット・イミーディエト・データまたはレーベル

byte　　：８ビット・データ；
８ビット・イミーディエト・データまたはレーベル

bit　　：３ビット・データ；
３ビット・イミーディエト・データまたはレーベル

n　　：シフト・ビット数；
３ビット・イミーディエト・データ(0-7)

RBn　　：レジスタ・バンク；
RB0-RB3

保守／廃止

18.1.2　オペレーション欄

A	：Aレジスタ；８ビット・アキュームレータ
X	：Xレジスタ
B	：Bレジスタ
C	：Cレジスタ
D	：Dレジスタ
E	：Eレジスタ
H	：Hレジスタ
L	：Lレジスタ
R0-R7	：レジスタ０－レジスタ７（絶対名称）
AX	：レジスタ・ペア（AX）；16ビット・アキュームレータ
BC	：レジスタ・ペア（BC）
DE	：レジスタ・ペア（DE）
HL	：レジスタ・ペア（HL）
RP0-RP3	：レジスタ・ペア０－レジスタ・ペア３（絶対名称）
PC	：プログラム・カウンタ
SP	：スタック・ポインタ
PSW	：プログラム・ステータス・ワード
CY	：キャリー・フラグ
AC	：補助キャリー・フラグ
Z	：ゼロ・フラグ
RBS1-RBS0	：レジスタ・バンク選択フラグ
IE	：割り込み要求許可フラグ
STBC	：スタンバイ・コントロール・レジスタ
jdisp8	：符号付き８ビット・データ（ディスプレースメント：－128～＋127）
(　)	：(　)内のアドレスまたはレジスタの内容で示されるメモリの内容
××H	：16進数
$\times_H$, $\times_L$	：16ビット・レジスタ・ペアの上位８ビット，下位８ビット

18.1.3　フラグ欄

空白	：変化せず
0	：０にクリアされる
1	：１にセットされる
×	：結果にしたがってセットまたはクリアされる
R	：以前に退避した値がリストアされる

保守／廃止

18.2　オペレーション一覧

(1) 8ビット・データ転送命令：MOV，XCH

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
MOV	r, #byte	2	r←byte			
	saddr, #byte	3	(saddr)←byte			
	sfr, #byte	3	sfr←byte			
	r, r'	2	r←r'			
	A, r	1	A←r			
	A, saddr	2	A←(saddr)			
	saddr, A	2	(saddr)←A			
	saddr, saddr'	3	(saddr)←(saddr')			
	A, sfr	2	A←sfr			
	sfr, A	2	sfr←A			
	A, mem	1-4	A←(mem)			
	A, &mem	2-5	A←(&mem)			
	mem, A	1-4	(mem)←A			
	&mem, A	2-5	(&mem)←A			
	A, !addr16	4	A←(!addr16)			
	A, &!addr16	5	A←(&!addr16)			
	!addr16, A	4	(!addr16)←A			
	&!addr16, A	5	(&!addr16)←A			
	PSW, #byte	3	PSW←byte	×	×	×
	PSW, A	2	PSW←A	×	×	×
	A, PSW	2	A←PSW			
XCH	A, r	1	A↔r			
	r, r'	2	r↔r'			
	A, mem	2-4	A↔(mem)			
	A, &mem	3-5	A↔(&mem)			
	A, saddr	2	A↔(saddr)			
	A, sfr	3	A↔sfr			
	saddr, saddr'	3	(saddr)↔(saddr')			

保守／廃止

(2) 16ビット・データ転送命令：MOVW

ニモニック	オペランド	バイト	オペレーション	フラグ Z	AC	CY
MOVW	rp, #word	3	rp←word			
	saddrp, #word	4	(saddrp)←word			
	sfrp, #word	4	sfrp←word			
	rp, rp'	2	rp←rp'			
	AX, saddrp	2	AX←(saddrp)			
	saddrp, AX	2	(saddrp)←AX			
	AX, sfrp	2	AX←sfrp			
	sfrp, AX	2	sfrp←AX			
	AX, mem1	2	AX←(mem1)			
	AX, &mem1	3	AX←(&mem1)			
	mem1, AX[注]	2	(mem1)←AX			
	&mem1, AX[注]	3	(&mem1)←AX			

注　この命令はEEPROM領域に対しては使用できません。

保守／廃止

(3) 8ビット演算命令：ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
ADD	A, #byte	2	A, CY←A+byte	×	×	×
	saddr, #byte	3	(saddr), CY←(saddr)+byte	×	×	×
	sfr, #byte	4	sfr, CY←sfr+byte	×	×	×
	r, r'	2	r, CY←r+r'	×	×	×
	A, saddr	2	A, CY←A+(saddr)	×	×	×
	A, sfr	3	A, CY←A+sfr	×	×	×
	saddr, saddr'	3	(saddr), CY←(saddr)+(saddr')	×	×	×
	A, mem	2-4	A, CY←A+(mem)	×	×	×
	A, &mem	3-5	A, CY←A+(&mem)	×	×	×
ADDC	A, #byte	2	A, CY←A+byte+CY	×	×	×
	saddr, #byte	3	(saddr), CY←(saddr)+byte+CY	×	×	×
	sfr, #byte	4	sfr, CY←sfr+byte+CY	×	×	×
	r, r'	2	r, CY←r+r'+CY	×	×	×
	A, saddr	2	A, CY←A+(saddr)+CY	×	×	×
	A, sfr	3	A, CY←A+sfr+CY	×	×	×
	saddr, saddr'	3	(saddr), CY←(saddr)+(saddr')+CY	×	×	×
	A, mem	2-4	A, CY←A+(mem)+CY	×	×	×
	A, &mem	3-5	A, CY←A+(&mem)+CY	×	×	×
SUB	A, #byte	2	A, CY←A−byte	×	×	×
	saddr, #byte	3	(saddr), CY←(saddr)−byte	×	×	×
	sfr, #byte	4	sfr, CY←sfr−byte	×	×	×
	r, r'	2	r, CY←r−r'	×	×	×
	A, saddr	2	A, CY←A−(saddr)	×	×	×
	A, sfr	3	A, CY←A−sfr	×	×	×
	saddr, saddr'	3	(saddr), CY←(saddr)−(saddr')	×	×	×
	A, mem	2-4	A, CY←A−(mem)	×	×	×
	A, &mem	3-5	A, CY←A−(&mem)	×	×	×
SUBC	A, #byte	2	A, CY←A−byte−CY	×	×	×
	saddr, #byte	3	(saddr), CY←(saddr)−byte−CY	×	×	×
	sfr, #byte	4	sfr, CY←sfr−byte−CY	×	×	×
	r, r'	2	r, CY←r−r'−CY	×	×	×
	A, saddr	2	A, CY←A−(saddr)−CY	×	×	×
	A, sfr	3	A, CY←A−sfr−CY	×	×	×
	saddr, saddr'	3	(saddr), CY←(saddr)−(saddr')−CY	×	×	×
	A, mem	2-4	A, CY←A−(mem)−CY	×	×	×
	A, &mem	3-5	A, CY←A−(&mem)−CY	×	×	×

保守／廃止

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
AND	A, #byte	2	A←A∧byte	×		
	saddr, #byte	3	(saddr)←(saddr)∧byte	×		
	sfr, #byte	4	sfr←sfr∧byte	×		
	r, r′	2	r←r∧r′	×		
	A, saddr	2	A←A∧(saddr)	×		
	A, sfr	3	A←A∧sfr	×		
	saddr, saddr′	3	(saddr)←(saddr)∧(saddr′)	×		
	A, mem	2-4	A←A∧(mem)	×		
	A, &mem	3-5	A←A∧(&mem)	×		
OR	A, #byte	2	A←A∨byte	×		
	saddr, #byte	3	(saddr)←(saddr)∨byte	×		
	sfr, #byte	4	sfr←sfr∨byte	×		
	r, r′	2	r←r∨r′	×		
	A, saddr	2	A←A∨(saddr)	×		
	A, sfr	3	A←A∨sfr	×		
	saddr, saddr′	3	(saddr)←(saddr)∨(saddr′)	×		
	A, mem	2-4	A←A∨(mem)	×		
	A, &mem	3-5	A←A∨(&mem)	×		
XOR	A, #byte	2	A←A⊻byte	×		
	saddr, #byte	3	(saddr)←(saddr)⊻byte	×		
	sfr, #byte	4	sfr←sfr⊻byte	×		
	r, r′	2	r←r⊻r′	×		
	A, saddr	2	A←A⊻(saddr)	×		
	A, sfr	3	A←A⊻sfr	×		
	saddr, saddr′	3	(saddr)←(saddr)⊻(saddr′)	×		
	A, mem	2-4	A←A⊻(mem)	×		
	A, &mem	3-5	A←A⊻(&mem)	×		
CMP	A, #byte	2	A−byte	×	×	×
	saddr, #byte	3	(saddr)−byte	×	×	×
	sfr, #byte	4	sfr−byte	×	×	×
	r, r′	2	r−r′	×	×	×
	A, saddr	2	A−(saddr)	×	×	×
	A, sfr	3	A−sfr	×	×	×
	saddr, saddr′	3	(saddr)−(saddr′)	×	×	×
	A, mem	2-4	A−(mem)	×	×	×
	A, &mem	3-5	A−(&mem)	×	×	×

保守／廃止

(4) 16ビット演算命令：ADDW, SUBW, CMPW

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
ADDW	AX, #word	3	AX, CY←AX+word	×	×	×
	AX, rp	2	AX, CY←AX+rp	×	×	×
	AX, saddrp	2	AX, CY←AX+(saddrp)	×	×	×
	AX, sfrp	3	AX, CY←AX+sfrp	×	×	×
SUBW	AX, #word	3	AX, CY←AX−word	×	×	×
	AX, rp	2	AX, CY←AX−rp	×	×	×
	AX, saddrp	2	AX, CY←AX−(saddrp)	×	×	×
	AX, sfrp	3	AX, CY←AX−sfrp	×	×	×
CMPW	AX, #word	3	AX−word	×	×	×
	AX, rp	2	AX−rp	×	×	×
	AX, saddrp	2	AX−(saddrp)	×	×	×
	AX, sfrp	3	AX−sfrp	×	×	×

(5) 乗除算命令：MULU, DIVUW

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
MULU	r	2	AX←A×r			
DIVUW	r	2	AX(商), r(余り)←AX÷r, ただし, r=0のときr←X, AX←0FFFFH			

(6) 増減命令：INC, DEC, INCW, DECW

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
INC	r	1	r←r+1	×	×	
	saddr	2	(saddr)←(saddr)+1	×	×	
DEC	r	1	r←r−1	×	×	
	saddr	2	(saddr)←(saddr)−1	×	×	
INCW	rp	1	rp←rp+1			
DECW	rp	1	rp←rp−1			

保守／廃止

(7) シフト・ローテート命令：ROR, ROL, RORC, ROLC, SHR, SHL, SHRW, SHLW, ROR4, ROL4

ニモニック	オペランド	バイト	オペレーション	フラグ Z	AC	CY
ROR	r, n	2	(CY, $r_7 \leftarrow r_0$, $r_{m-1} \leftarrow r_m$) ×n回　n=0−7			×
ROL	r, n	2	(CY, $r_0 \leftarrow r_7$, $r_{m+1} \leftarrow r_m$) ×n回　n=0−7			×
RORC	r, n	2	(CY$\leftarrow r_0$, $r_7 \leftarrow$CY, $r_{m-1} \leftarrow r_m$) ×n回　n=0−7			×
ROLC	r, n	2	(CY$\leftarrow r_7$, $r_0 \leftarrow$CY, $r_{m+1} \leftarrow r_m$) ×n回　n=0−7			×
SHR	r, n	2	(CY$\leftarrow r_0$, $r_7 \leftarrow 0$, $r_{m-1} \leftarrow r_m$) ×n回　n=0−7	×	0	×
SHL	r, n	2	(CY$\leftarrow r_7$, $r_0 \leftarrow 0$, $r_{m+1} \leftarrow r_m$) ×n回　n=0−7	×	0	×
SHRW	rp, n	2	(CY$\leftarrow rp_0$, $rp_{15} \leftarrow 0$, $rp_{m-1} \leftarrow rp_m$) ×n回　n=0−7	×	0	×
SHLW	rp, n	2	(CY$\leftarrow rp_{15}$, $rp_0 \leftarrow 0$, $rp_{m+1} \leftarrow rp_m$) ×n回　n=0−7	×	0	×
ROR4	meml[注]	2	$A_{3-0} \leftarrow (meml)_{3-0}$, $(meml)_{7-4} \leftarrow A_{3-0}$, $(meml)_{3-0} \leftarrow (meml)_{7-4}$			
	&meml[注]	3	$A_{3-0} \leftarrow (\&meml)_{3-0}$, $(\&meml)_{7-4} \leftarrow A_{3-0}$, $(\&meml)_{3-0} \leftarrow (\&meml)_{7-4}$			
ROL4	meml[注]	2	$A_{3-0} \leftarrow (meml)_{7-4}$, $(meml)_{3-0} \leftarrow A_{3-0}$, $(meml)_{7-4} \leftarrow (meml)_{3-0}$			
	&meml[注]	3	$A_{3-0} \leftarrow (\&meml)_{7-4}$, $(\&meml)_{3-0} \leftarrow A_{3-0}$, $(\&meml)_{7-4} \leftarrow (\&meml)_{3-0}$			

注　この命令はEEPROM領域に対しては使用できません。

(8) BCD補正命令：ADJBA, ADJBS

ニモニック	オペランド	バイト	オペレーション	フラグ Z	AC	CY
ADJBA		1	Decimal Adjust Accumulator after Addition	×	×	×
ADJBS		1	Decimal Adjust Accumulator after Subtract	×	×	×

保守／廃止

(9) ビット操作命令：MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
MOV1	CY, saddr.bit	3	CY←(saddr.bit)			×
	CY, sfr.bit	3	CY←sfr.bit			×
	CY, A.bit	2	CY←A.bit			×
	CY, X.bit	2	CY←X.bit			×
	CY, PSW.bit	2	CY←PSW.bit			×
	saddr.bit, CY	3	(saddr.bit)←CY			
	sfr.bit, CY	3	sfr.bit←CY			
	A.bit, CY	2	A.bit←CY			
	X.bit, CY	2	X.bit←CY			
	PSW.bit, CY	2	PSW.bit←CY	×	×	
AND1	CY, saddr.bit	3	CY←CY∧(saddr.bit)			×
	CY, /saddr.bit	3	CY←CY∧$\overline{(saddr.bit)}$			×
	CY, sfr.bit	3	CY←CY∧sfr.bit			×
	CY, /sfr.bit	3	CY←CY∧$\overline{sfr.bit}$			×
	CY, A.bit	2	CY←CY∧A.bit			×
	CY, /A.bit	2	CY←CY∧$\overline{A.bit}$			×
	CY, X.bit	2	CY←CY∧X.bit			×
	CY, /X.bit	2	CY←CY∧$\overline{X.bit}$			×
	CY, PSW.bit	2	CY←CY∧PSW.bit			×
	CY, /PSW.bit	2	CY←CY∧$\overline{PSW.bit}$			×
OR1	CY, saddr.bit	3	CY←CY∨(saddr.bit)			×
	CY, /saddr.bit	3	CY←CY∨$\overline{(saddr.bit)}$			×
	CY, sfr.bit	3	CY←CY∨sfr.bit			×
	CY, /sfr.bit	3	CY←CY∨$\overline{sfr.bit}$			×
	CY, A.bit	2	CY←CY∨A.bit			×
	CY, /A.bit	2	CY←CY∨$\overline{A.bit}$			×
	CY, X.bit	2	CY←CY∨X.bit			×
	CY, /X.bit	2	CY←CY∨$\overline{X.bit}$			×
	CY, PSW.bit	2	CY←CY∨PSW.bit			×
	CY, /PSW.bit	2	CY←CY∨$\overline{PSW.bit}$			×
XOR1	CY, saddr.bit	3	CY←CY⊻(saddr.bit)			×
	CY, sfr.bit	3	CY←CY⊻sfr.bit			×
	CY, A.bit	2	CY←CY⊻A.bit			×
	CY, X.bit	2	CY←CY⊻X.bit			×
	CY, PSW.bit	2	CY←CY⊻PSW.bit			×

保守／廃止

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
SET1	saddr. bit	2	(saddr. bit)←1			
	sfr. bit	3	sfr. bit←1			
	A. bit	2	A. bit←1			
	X. bit	2	X. bit←1			
	PSW. bit	2	PSW. bit←1	×	×	×
	CY	1	CY←1			1
CLR1	saddr. bit	2	(saddr. bit)←0			
	sfr. bit	3	sfr. bit←0			
	A. bit	2	A. bit←0			
	X. bit	2	X. bit←0			
	PSW. bit	2	PSW. bit←0	×	×	×
	CY	1	CY←0			0
NOT1	saddr. bit	3	(saddr. bit)←$\overline{\text{(saddr. bit)}}$			
	sfr. bit	3	sfr. bit←$\overline{\text{sfr. bit}}$			
	A. bit	2	A. bit←$\overline{\text{A. bit}}$			
	X. bit	2	X. bit←$\overline{\text{X. bit}}$			
	PSW. bit	2	PSW. bit←$\overline{\text{PSW. bit}}$	×	×	×
	CY	1	CY←$\overline{\text{CY}}$			×

保守／廃止

(10) コール・リターン命令：CALL, CALLF, CALLT, BRK, RET, RETI, RETB

ニモニック	オペランド	バイト	オペレーション	フラグ Z	AC	CY
CALL	!addr16	3	$(SP-1)\leftarrow(PC+3)_H$, $(SP-2)\leftarrow(PC+3)_L$, $PC\leftarrow$addr16, $SP\leftarrow SP-2$			
	rp	2	$(SP-1)\leftarrow(PC+2)_H$, $(SP-2)\leftarrow(PC+2)_L$, $PC_H\leftarrow rp_H$, $PC_L\leftarrow rp_L$, $SP\leftarrow SP-2$			
CALLF	!addr11	2	$(SP-1)\leftarrow(PC+2)_H$, $(SP-2)\leftarrow(PC+2)_L$, $PC_{15-11}\leftarrow$00001, $PC_{10-0}\leftarrow$addr11, $SP\leftarrow SP-2$			
CALLT	[addr5]	1	$(SP-1)\leftarrow(PC+1)_H$, $(SP-2)\leftarrow(PC+1)_L$, $PC_H\leftarrow$(00000000, addr5+1), $PC_L\leftarrow$ (00000000, addr5), $SP\leftarrow SP-2$			
BRK		1	$(SP-1)\leftarrow$PSW, $(SP-2)\leftarrow(PC+1)_H$ $(SP-3)\leftarrow(PC+1)_L$, $PC_L\leftarrow$(003EH), $PC_H\leftarrow$(003FH), $SP\leftarrow SP-3$, IE←0			
RET		1	$PC_L\leftarrow$(SP), $PC_H\leftarrow$(SP+1), $SP\leftarrow SP+2$			
RETI		1	$PC_L\leftarrow$(SP), $PC_H\leftarrow$(SP+1), PSW←(SP+2), $SP\leftarrow SP+3$, NMIS←0	R	R	R
RETB		1	$PC_L\leftarrow$(SP), $PC_H\leftarrow$(SP+1), PSW←(SP+2), $SP\leftarrow SP+3$	R	R	R

保守／廃止

(11) スタック操作命令：PUSH，POP，MOVW，INCW，DECW

ニモニック	オペランド	バイト	オペレーション	フラグ Z	AC	CY
PUSH	PSW	1	(SP−1)←PSW，SP←SP−1			
	sfr	2	(SP−1)←sfr，SP←SP−1			
	rp	1	(SP−1)←rp_H，(SP−2)←rp_L，SP←SP−2			
POP	PSW	1	PSW←(SP)，SP←SP+1	R	R	R
	sfr	2	sfr←(SP)，SP←SP+1			
	rp	1	rp_L←(SP)，rp_H←(SP+1)，SP←SP+2			
MOVW	SP，#word	4	SP←word			
	SP，AX	2	SP←AX			
	AX，SP	2	AX←SP			
INCW	SP	2	SP←SP+1			
DECW	SP	2	SP←SP−1			

(12) 無条件分岐命令：BR

ニモニック	オペランド	バイト	オペレーション	フラグ Z	AC	CY
BR	!addr16	3	PC←addr16			
	rp	2	PC_H←rp_H，PC_L←rp_L			
	$addr16	2	PC←PC+2+jdisp8			

保守／廃止

(13) 条件付き分岐命令：BC, BL, BNC, BNL, BZ, BE, BNZ, BNE, BT, BF, BTCLR, DBNZ

ニモニック	オペランド	バイト	オペレーション	フラグ Z	AC	CY
BC **BL**	$addr16	2	PC←PC+2+jdisp8 if CY=1			
BNC **BNL**	$addr16	2	PC←PC+2+jdisp8 if CY=0			
BZ **BE**	$addr16	2	PC←PC+2+jdisp8 if Z=1			
BNZ **BNE**	$addr16	2	PC←PC+2+jdisp8 if Z=0			
BT	saddr.bit, $addr16	3	PC←PC+3+jdisp8 if(saddr.bit)=1			
	sfr.bit, $addr16	4	PC←PC+4+jdisp8 if sfr.bit=1			
	A.bit, $addr16	3	PC←PC+3+jdisp8 if A.bit=1			
	X.bit, $addr16	3	PC←PC+3+jdisp8 if X.bit=1			
	PSW.bit, $addr16	3	PC←PC+3+jdisp8 if PSW.bit=1			
BF	saddr.bit, $addr16	4	PC←PC+4+jdisp8 if(saddr.bit)=0			
	sfr.bit, $addr16	4	PC←PC+4+jdisp8 if sfr.bit=0			
	A.bit, $addr16	3	PC←PC+3+jdisp8 if A.bit=0			
	X.bit, $addr16	3	PC←PC+3+jdisp8 if X.bit=0			
	PSW.bit, $addr16	3	PC←PC+3+jdisp8 if PSW.bit=0			
BTCLR	saddr.bit, $addr16	4	PC←PC+4+jdisp8 if(saddr.bit)=1 then reset(saddr.bit)			
	sfr.bit, $addr16	4	PC←PC+4+jdisp8 if sfr.bit=1 then reset sfr.bit			
	A.bit, $addr16	3	PC←PC+3+jdisp8 if A.bit=1 then reset A.bit			
	X.bit, $addr16	3	PC←PC+3+jdisp8 if X.bit=1 then reset X.bit			
	PSW.bit, $addr16	3	PC←PC+3+jdisp8 if PSW.bit=1 then reset PSW.bit	×	×	×
DBNZ	r1, $addr16	2	r1←r1−1, then PC←PC+2+jdisp8 if r1≠0			
	saddr, $addr16	3	(saddr)←(saddr)−1, then PC←PC+3+jdisp8 if(saddr)≠0			

保守／廃止

(14) CPU制御命令：MOV，SEL，NOP，EI，DI

ニモニック	オペランド	バイト	オペレーション	フラグ
				Z AC CY
MOV	STBC，＃byte	4	STBC←byte	
SEL	RBn	2	RBS1－0←n，n＝0－3	
NOP		1	No Operation	
EI		1	IE←1(Enable Interrupt)	
DI		1	IE←0(Disable Interrupt)	

保守／廃止

18.3　アドレシング別命令一覧表

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, SHR, SHL, ROR4, ROL4, DBNZ, PUSH, POP

表18-1　8ビット・アドレシング別命令一覧表

第1オペランド ＼ 第2オペランド	#byte	A	r r'	saddr saddr'	sfr	mem &mem	!addr16 &!addr16	PSW	n	なし[注2]
A	ADD[注1]		MOV XCH	MOV XCH ADD[注1]	MOV XCH ADD[注1]	MOV XCH ADD[注1]	MOV	MOV		
r	MOV		MOV XCH ADD[注1]						ROR RORC ROL ROLC SHR SHL	MULU DIVUW INC DEC
rl										DBNZ
saddr	MOV ADD[注1]	MOV		MOV XCH ADD[注1]						INC DBNZ DEC
sfr	MOV ADD[注1]	MOV								PUSH POP
mem &mem		MOV								
meml &meml										ROR4[注3] ROL4[注3]
!addr16 &!addr16		MOV								
PSW	MOV	MOV								PUSH POP
STBC	MOV									

注1．ADDC, SUB, SUBC, AND, OR, XOR, CMPはADDと同じ

2．第2オペランドがないか，第2オペランドがオペランド・アドレスでない

3．この命令はEEPROM領域に対しては使用できません。

保守／廃止

(2) 16ビット命令

MOVW, ADDW, SUBW, CMPW, INCW, DECW, SHRW, SHLW, PUSH, POP

表18-2　16ビット・アドレシング別命令一覧表

第1オペランド ＼ 第2オペランド	#word	AX	rp rp'	saddrp	sfrp	mem1 &mem1	SP	n	なし
AX	ADDW SUBW CMPW		ADDW SUBW CMPW	MOVW ADDW SUBW CMPW	MOVW ADDW SUBW CMPW	MOVW	MOVW		
rp	MOVW		MOVW					SHLW SHRW	INCW DECW PUSH POP
saddrp	MOVW	MOVW							
sfrp	MOVW	MOVW							
mem1 &mem1		MOVW注							
SP	MOVW	MOVW							INCW DECW

注　この命令はEEPROM領域に対しては使用できません。

保守／廃止

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

表18－3　ビット操作命令アドレシング別命令一覧表

第1オペランド ＼ 第2オペランド	CY	A.bit	/A.bit	X.bit	/X.bit	saddr.bit	/saddr.bit	sfr.bit	/sfr.bit	PSW.bit	/PSW.bit	なし[注]
CY		MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	SET1
A.bit	MOV1											SET1 CLR1 NOT1 BT BF BTCLR
X.bit	MOV1											SET1 CLR1 NOT1 BT BF BTCLR
saddr.bit	MOV1											SET1 CLR1 NOT1 BT BF BTCLR
sfr.bit	MOV1											SET1 CLR1 NOT1 BT BF BTCLR
PSW.bit	MOV1											SET1 CLR1 NOT1 BT BF BTCLR

注　第２オペランドがないか，第２オペランドがオペランド・アドレスでない

保守／廃止

(4) コール命令／分岐命令

CALL, CALLF, CALLT, BR, BC, BT, BF, BTCLR, DBNZ, BL, BNC, BNL, BZ, BE, BNZ, BNE ★

表18－4　コール命令／分岐命令のアドレシング別命令一覧表

命令アドレスのオペランド	$addr16	!addr16	rp	!addr11	[addr5]
基本命令	BR BC注	CALL BR	CALL BR	CALLF	CALLT
複合命令	BT BF BTCLR DBNZ				

注　BL, BNC, BNL, BZ, BF, BNZ, BNEはBCと同じ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, NOP, EI, DI, SEL ★

保守／廃止

保守／廃止

付録A　78K/IIシリーズ製品一覧

この章では，78K/IIシリーズ製品の機能を一覧表にして示します。

なお，詳細につきましては，個別のユーザーズ・マニュアルを参照してください。

保守／廃止

シリーズ名		μPD78214サブシリーズ			μPD78218Aサブシリーズ		μPD78224サブシリーズ	
項目＼品名		μPD78212	μPD78213	μPD78214 (μPD78P214)	μPD78217A	μPD78218A (μPD78P218A)	μPD78220	μPD78224 (μPD78P224)
基本命令数		65（78K/IIシリーズ共通）						
最小命令実行時間		333 ns	500 ns	333 ns	500 ns	333 ns	500 ns	333 ns
PUSH PSW命令の実行時間（クロック数）		スタック・エリアが内部デュアル・ポートRAMの場合：5または7 上記以外：7または9			スタック・エリアが内部デュアル・ポートRAMの場合：6 上記以外：8		スタック・エリアが内部デュアル・ポートRAMの場合：5または7 上記以外：7または9	
動作温度範囲と電源電圧範囲		μPD78P218A以外：−40 °C〜+85 °C, V_{DD} = +5 V±10 % μPD78P218A　：−40 °C〜+85 °C, V_{DD} = +5 V±0.3 V					−40 °C〜+85 °C, V_{DD} = +5 V±5 % −10 °C〜+70 °C, V_{DD} = +5 V±10 %	
汎用レジスタ		8ビット×8×4バンク						
バンク・レジスタ		P6とPM6					P6のみ	
内蔵メモリ	ROM	8Kバイト	なし	16Kバイト	なし	32Kバイト	なし	16Kバイト
	EEPROM	なし						
	RAM	384バイト	512バイト		1024バイト		640バイト	
メモリ空間		プログラム・メモリ空間：64Kバイト，データ・メモリ空間：1Mバイト						
I/O端子	入力	14					8	
	出力	12					12	20
	入出力	28	10	28	10	28	25	35
	合計	54	36	54	36	54	45	63
注 付加機能付き端子	プルアップ抵抗付き端子	34	16	34	16	34	なし	
	LEDダイレクト・ドライブ出力	16	0	16	0	16	8	
	トランジスタ・ダイレクト・ドライブ出力	8					なし	
	P0	8ビット出力ポート						
	P1	—					8ビット入出力ポート	
	P2	8ビット入力ポート						
	P3	8ビット入出力ポート						
	P4	8ビット入出力ポート	—	8ビット入出力ポート	—	8ビット入出力ポート	—	8ビット入出力ポート
	P5	8ビット入出力ポート	—	8ビット入出力ポート	—	8ビット入出力ポート	—	8ビット出力ポート
	P6	4ビット出力ポート＋4ビット入出力ポート	4ビット出力ポート＋2ビット入出力ポート	4ビット出力ポート＋4ビット入出力ポート	4ビット出力ポート＋2ビット入出力ポート	4ビット出力ポート＋4ビット入出力ポート	4ビット出力ポート＋2ビット入出力ポート	4ビット出力ポート＋4ビット入出力ポート
	P7	6ビット入力ポート					7ビット入出力ポート	

注　付加機能付き端子は，I/O端子の中に含まれています。

保守／廃止

(1/3)

μPD78234サブシリーズ				μPD78244サブシリーズ	
μPD78233	μPD78234	μPD78237	μPD78238 (μPD78P238)	μPD78243	μPD78244
65（78K/IIシリーズ共通）					
500 ns	333 ns	500 ns	333 ns	500 ns	333 ns
スタック・エリアが内部デュアル・ポートRAMの場合：6 上記以外：8					
−40 °C〜+85 °C, V_{DD} = +5 V±10 %				−10 °C〜+70 °C, V_{DD} = +5 V±10 %	
8ビット×8×4バンク					
P6とPM6					
な　し	16 Kバイト	な　し	32 Kバイト (32K/16Kバイト注)	な　し	16 Kバイト
な　し				512バイト	
640バイト		1024バイト	1024バイト (1024/640バイト注)	512バイト	
プログラム・メモリ空間：64 Kバイト，データ・メモリ空間：1 Mバイト					
16				14	
12					
18	36	18	36	10	28
46	64	46	64	36	54
24	42	24	42	16	34
8	24	8	24	0	16
8					
8ビット出力ポート					
8ビット入出力ポート				—	
8ビット入力ポート					
8ビット入出力ポート					
—	8ビット 入出力ポート	—	8ビット 入出力ポート	—	8ビット 入出力ポート
—	8ビット 入出力ポート	—	8ビット 入出力ポート	—	8ビット 入出力ポート
4ビット 出力ポート + 2ビット 入出力ポート	4ビット 出力ポート + 4ビット 入出力ポート	4ビット 出力ポート + 2ビット 入出力ポート	4ビット 出力ポート + 4ビット 入出力ポート	4ビット 出力ポート + 2ビット 入出力ポート	4ビット 出力ポート + 4ビット 入出力ポート
8ビット入力ポート				6ビット入力ポート	

注　ソフトウエアにより設定

保守／廃止

シリーズ名		μPD78214サブシリーズ			μPD78218Aサブシリーズ		μPD78224サブシリーズ	
項目＼品名		μPD78212	μPD78213	μPD78214 (μPD78P214)	μPD78217A	μPD78218A (μPD78P218A)	μPD78220	μPD78224 (μPD78P224)
PWM出力		なし						
コンパレータ		なし					4ビット×8	
A/Dコンバータ		8ビット×8					なし	
	変換時間の選択	動作周波数に応じて選択					—	
	AV_{REF}入力電圧範囲	3.4 V～V_{DD}			3.6 V～V_{DD}		—	
	入力電圧に関する制限	ADMレジスタのANI0-ANI2ビットで選択されている端子のみ，常時0VからAV_{REF}端子電圧まで			A/D変換の対象となっている端子について，A/D変換中のみ0V からAV_{REF}端子電圧まで		—	
D/Aコンバータ		なし						
タイマ／カウンタ	16ビット・タイマ/カウンタ	1						
	8ビット・タイマ/カウンタ	3					2	
	トグル出力	4						
	PWM/PPG出力	あり					なし	
	ワンショット・パルス	なし			あり		なし	
	割り込みソース	7					5	
外部SFR領域		0FFD0H-0FFDFHの16バイト					なし	
シリアル・インタフェース	UART	1チャネル						
	CSI	1チャネル（SBI対応）						
	BRG用タイマ	あり（タイマ／カウンタ3と兼用）					あり	
	専用ボー・レート・ジェネレータ	あり					なし	
	外部ボー・レート・クロック入力	あり					なし	
リアルタイム出力ポート		4ビット×2または8ビット×1						

保守／廃止

(2/3)

μPD78234サブシリーズ				μPD78244サブシリーズ	
μPD78233	μPD78234	μPD78237	μPD78238 (μPD78P238)	μPD78243	μPD78244
12ビット×2				なし	
なし					
8ビット×8					
任意に選択可能				動作周波数に応じて選択	
3.4 V～V_{DD}				3.6 V～V_{DD}	
A/D変換の対象となっている端子について，A/D変換中のみ，0 VからAV$_{REF}$端子電圧まで					
8ビット×2				なし	
1					
3					
4					
あり					
あり					
7					
0FFD0H-0FFDFHの16バイト					
1チャネル					
1チャネル（SBI対応）					
あり（タイマ／カウンタ3と兼用）					
あり					
あり					
4ビット×2または8ビット×1					

付

保守／廃止

シリーズ名	μPD78214サブシリーズ			μPD78218Aサブシリーズ		μPD78224サブシリーズ	
品名／項目	μPD78212	μPD78213	μPD78214 (μPD78P214)	μPD78217A	μPD78218A (μPD78P218A)	μPD78220	μPD78224 (μPD78P224)
割り込み	2レベル（プログラマブル），ベクタ／マクロ・サービス						
外　部	7					8	
内　部	12					9	
マクロ・サービス使用可能割り込み数	15					6	
マクロ・サービス・カウンタのビット数	8ビットのみ			8ビット／16ビットの選択が可能（ただし，タイプAを除く）		8ビットのみ	
マクロ・サービス・タイプCのMPD, MPTのインクリメント	下位8ビットのみインクリメント（上位は変化せず）			16ビットでインクリメント		下位8ビットのみインクリメント（上位は変化せず）	
マクロ・サービスの実行時間	μPD78214サブシリーズ，μPD78224サブシリーズは同一です。 μPD78218Aサブシリーズ，μPD78234サブシリーズおよびμPD78244サブシリーズは同一です。 両者の実行時間はモードによって異なります。各製品のユーザーズ・マニュアルで比較してください。						
マクロ・サービス・タイプAのメモリからSFRへのデータ転送時の制限事項	転送データがD0H-DFHのときに発生			転送元バッファ（メモリ）のアドレスが0FED0H-0FEDFHのときに発生		転送データがD0H-DFHのときに発生	
スタンバイ機能	HALT／STOPモード						
STOPモード解除時の発振安定時間	固　定			2種類の時間から選択が可能		固　定	
疑似SRAMリフレッシュ機能	あ　り（リフレッシュ・パルス幅は，$1/f_{CLK}$）					あり（リフレッシュ・パルス幅は，$1.5/f_{CLK}$）	
メモリ・アクセスに関する制限	な　し					リフレッシュ機能使用時は，FC80H-FDFFHのアクセス不可	
ROMレス・モードの設定	$\overline{EA}$端子＝ロウ・レベル	—	$\overline{EA}$端子＝ロウ・レベル	—	$\overline{EA}$端子＝ロウ・レベル	—	$\overline{EA}$端子＝ロウ・レベル
パッケージ	・64ピン・プラスチック・シュリンクDIP(750 mil) ・68ピン・プラスチックQFJ：μPD78212を除く ・64ピン・プラスチックQFP(本体14×14 mm) ・74ピン・プラスチックQFP(本体20×20 mm) ・64ピン・プラスチックQUIP：μPD78212を除く ・64ピン・セラミック窓付きシュリンクDIP：μPD78P214のみ			・64ピン・プラスチック・シュリンクDIP(750 mil) ・64ピン・プラスチックQFP(本体14×14 mm) ・64ピン・セラミック窓付きシュリンクDIP：μPD78P218Aのみ		・84ピン・プラスチックQFJ ・94ピン・プラスチックQFP(本体20×20 mm)	

保守／廃止

(3/3)

μPD78234サブシリーズ				μPD78244サブシリーズ	
μPD78233	μPD78234	μPD78237	μPD78238 (μPD78P238)	μPD78243	μPD78244
2レベル（プログラマブル），ベクタ／マクロ・サービス					
7					
12				14	
15					
8ビット／16ビットの選択が可能（ただし，タイプAを除く）					
16ビットでインクリメント					
μPD78214サブシリーズ，μPD78224サブシリーズは同一です。 μPD78218Aサブシリーズ，μPD78234サブシリーズおよびμPD78244サブシリーズは同一です。 両者の実行時間はモードによって異なります。各製品のユーザーズ・マニュアルで比較してください。					
転送データがD0H-DFHのときに発生				転送元バッファ（メモリ）のアドレスが0FED0H-0FEDFHのときに発生	
HALT／STOPモード					
2種類の時間から選択が可能					
あ　り（リフレッシュ・パルス幅は，$1/f_{CLK}$）					
な　し					
—	MODE端子＝ハイ・レベル	—	MODE端子＝ハイ・レベル（設定不可）	—	$\overline{EA}$端子＝ロウ・レベル
・84ピン・プラスチックQFJ ・80ピン・プラスチックQFP（本体14×14 mm） ・94ピン・プラスチックQFP（本体20×20 mm） ・94ピン・セラミックWQFN：μPD78P238のみ				・64ピン・プラスチック・シュリンクDIP（750 mil） ・64ピン・プラスチックQFP（本体14×14 mm）	

付

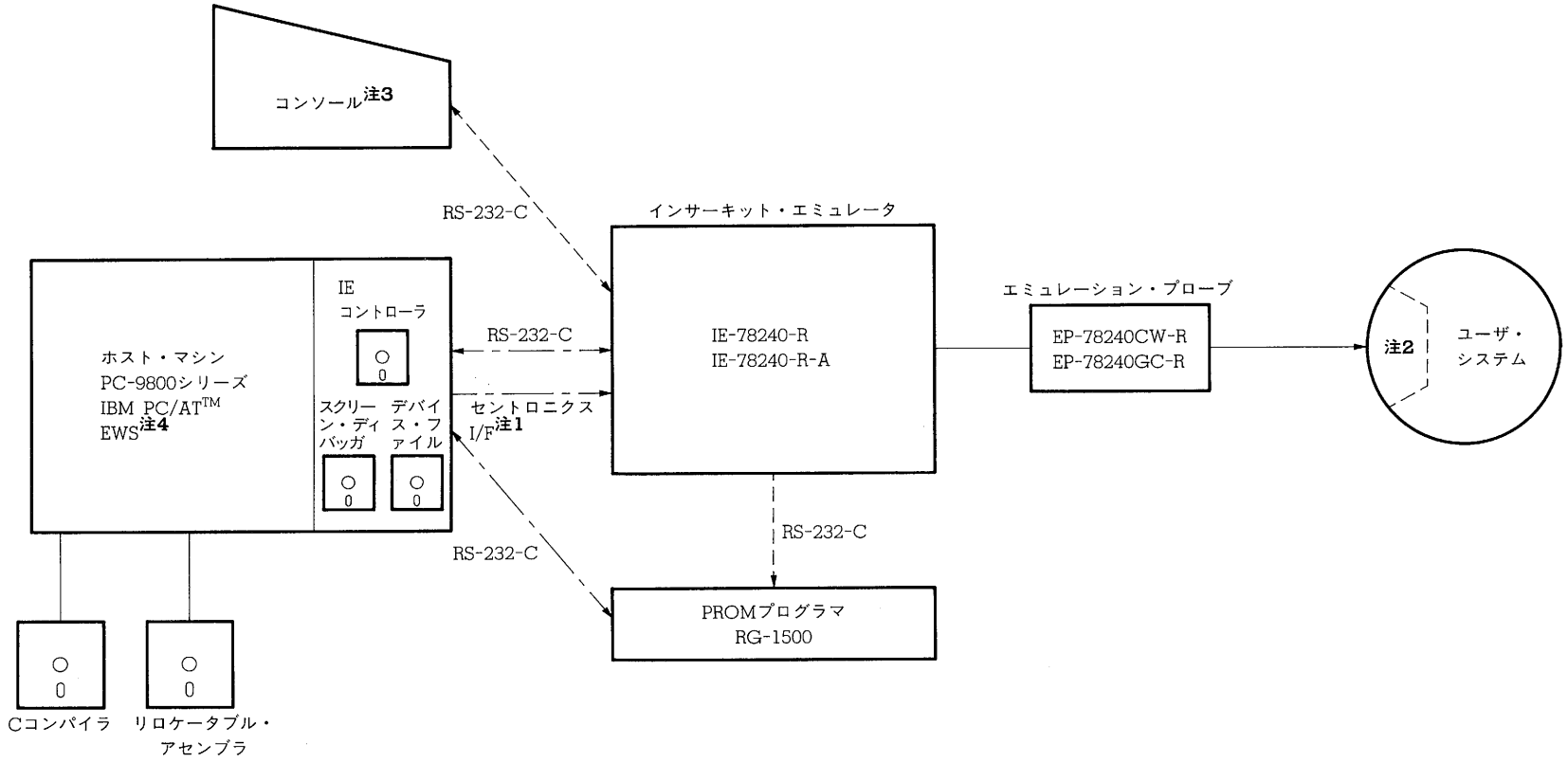
保守／廃止

保守／廃止

付録B　開発ツール

次ページに，μPD78243，78244を使用するシステム開発のための開発ツールを示します。

開発環境★



———：ホスト・マシンと接続して使用する場合

– – – –：コンソールと接続し，IEをスタンド・アロンとして使用する場合

注1．高速ファイル転送（ダウン・ロード）時に使用

2．EV-9200GC-64

3．IE-78240-Rを使用する場合のみ

4．EWSは，HP9000シリーズ300，SUN4/3900，EWS4800/200シリーズになります。また，EWSはインサーキット・エミュレータとは接続できません。

保守／廃止

B.1　ハードウエア

IE-78240-R-A	IE-78240-R-Aは，IE-78240-Rの機能強化版で，μPD78244サブシリーズに共通して使用できるインサーキット・エミュレータです。PC-9800シリーズまたはIBM PC/ATをホスト・マシンとして使用する場合に使用できます。別売のスクリーン・ディバッガとデバイス・ファイルが必要で，これらと組み合わせて，C言語や構造化アセンブリ言語のソース・プログラム・レベルでのディバグが可能です。 データ・アクセスとプログラム・フェッチの同時トレースやC0カバレッジ機能などにより効率の良いディバグやプログラムの検査が行えます。 また，IE-78240-Rをすでにお持ちの場合は，別売のボード（IE-78200-R-BK）を購入することにより，IE-78240-R-Aと同様に使用することができます。
IE-78240-R注1	IE-78240-Rは，μPD78244サブシリーズに共通に使用できるインサーキット・エミュレータです。ホスト・マシンまたはコンソールを接続してディバグを行います。 ホスト・マシンに接続した場合，シンボリック・ディバグと，ホスト・マシンとのオブジェクト・ファイルの転送が可能となり，効率のよいディバグを行うことができます。 RS-232-Cのシリアル・インタフェースを２チャネル内蔵しており，PG-1500PROMプログラマの接続も可能です。 また，IE-78240-Rはセントロニクス I/Fにより，オブジェクト・ファイル，シンボル・ファイルの高速ダウン・ロードを行うことが可能です。
IE-78240-R-EM IE-78200-R-EM注2 IE-78200-R-BK	75Xシリーズ，78Kシリーズ用のインサーキット・エミュレータをIE-78240-R，IE-78240-R-Aとするためのボードです。 詳細は，**B.3**をご参照ください。
EP-78240CW-R EP-78210CW注3	μPD78243CW，78244CW-×××用のエミュレーション・プローブです。
EP-78240GC-R EP-78210GC注3	μPD78243GC-AB8，78244GC-×××-AB8用のエミュレーション・プローブです。EV-9200GC-64とともに使用します。
EV-9200GC-64	μPD78243GC-AB8，78244GC-×××-AB8用に作られたユーザ・システムの基板上に実装するソケットです。EP-78240GC-Rとともに使用します。
PG-1500	付属ボードおよび別売のプログラマ・アダプタを接続することにより，PROM内蔵のシングルチップ・マイクロコンピュータを，スタンド・アロンで，または，ホスト・マシンからの操作によりプログラミングできるPROMプログラマです。 また，256 Kビットから４Mビットまでの代表的なPROMをプログラミングすることもできます。

注1. 新規の製造は行っておりません。IE-78240-R-Aをお求めください。
2. 新規の製造は行っておりません。IE-78200-R-BKをお求めください。
3. 新規の製造は行っておりません。EP-78240CW-R，EP-78240GC-Rをお求めください。

備考1. EP-78210GC，EP-78240GC-Rには，EV-9200GC-64が１個添付されています。
2. EV-9200GC-64は５個１組で販売しています（発注単位は１組となります）。

付

保守／廃止

B.2　ソフトウエア

B.2.1　言語処理用ソフトウエア（1/3）

78K/IIシリーズ リロケータブル・アセンブラ （RA78K/II）	78K/IIシリーズに共通に使用できるリロケータブル・アセンブラです。マクロ機能付きのリロケータブル・アセンブラですので，開発効率の向上が図れます。また，プログラム制御構造を明示的に記述できる構造化アセンブラも添付されており，プログラムの生産性や保守性を向上することができます。リロケータブル・アセンブラは，次のプログラムで構成されています。

構造化アセンブラ・プリプロセッサ （プログラム名：ST78K2）	構造化アセンブラのアセンブリ言語で記述されたソース・プログラムをリロケータブル・アセンブラに入力できる形式に変換します。
リロケータブル・アセンブラ （プログラム名：RA78K2）	アセンブリ言語で記述されたソース・プログラムを機械語に変換するプログラムで，リロケータブルなオブジェクト・モジュール・ファイルを生成します。
リンカ （プログラム名：LK78K2）	リロケータブル・アセンブラが生成したオブジェクト・モジュール・ファイルとライブラリ・ファイルを結合し，プログラムの絶対アドレスを決定し，ロード・モジュール・ファイルを生成します。
オブジェクト・コンバータ （プログラム名：OC78K2）	リンカの生成したロード・モジュール・ファイルをインサーキット・エミュレータやPROMプログラマへダウン・ロードできる形式に変換します。
ライブラリアン （プログラム名：LB78K2）	リロケータブル・アセンブラが出力したオブジェクト・モジュール・ファイルを結合し，1本のライブラリ・ファイルを作成します。また，ライブラリ・ファイルの更新などを行います。
リスト・コンバータ （プログラム名：LCNV78K2）	リロケータブル・アセンブラの出力したアセンブル・リスト・ファイルをオブジェクト・モジュール・ファイルおよびロード・モジュール・ファイルを使って，アブソリュートな値の埋め込まれたアセンブル・リストを作成します。

保守／廃止

言語処理用ソフトウエア（2/3）

78K/IIシリーズ リロケーブル・アセンブラ （RA78K/II）	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS™ （Ver. 3. 30～ Ver. 5. 00A注3）	8インチ2D注1	μS5A1RA78K2
			5インチ2HD	μS5A10RA78K2
			3. 5インチ2HD	μS5A13RA78K2
	IBM PC/AT	PC DOS™ （Ver. 3. 1）	5インチ2D注2	μS7B11RA78K2
			5インチ2HC	μS7B10RA78K2
	HP9000シリーズ300™	HP-UX™ （rel. 7. 05B）	カートリッジ・テープ （QIC-24）	μS3H15RA78K2
	SPARCstation™	Sun OS™ （rel. 4. 1. 1）		μS3K15RA78K2
	EWS-4800シリーズ™ （RISC）	EWS-UX/V™ （rel. 4. 0）		μS3M15RA78K2
78K/IIシリーズ　Cコンパイラ （CC78K/II）	78K/IIシリーズに共通に使用できるCコンパイラです。 言語仕様はANSIに準処しており，プログラムのROM化が可能です。機能として，特殊機能レジスタの操作，ビット操作，ショート・ダイレクト・アドレシングを使用する変数，割り込みの制御機能などを備えており，これらを使うことにより，効率の良いプログラム記述と，より高いオブジェクト効率が実現できます。 また，スタート・アップ・ルーチンのサンプル・プログラムや標準関数のオブジェクト・ライブラリを備えています。 本コンパイラ使用時には，78K/IIシリーズ・リロケータブル・アセンブラ（RA78K/II）が必要です。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS （Ver. 3. 30～ Ver. 5. 00A注3）	5インチ2HD	μS5A10CC78K2
			3. 5インチ2HD	μS5A13CC78K2
	IBM PC/AT	PC DOS （Ver. 3. 1）	5インチ2D注2	μS7B11CC78K2
			5インチ2HC	μS7B10CC78K2
	HP9000シリーズ300	HP-UX （rel. 7. 05B）	カートリッジ・テープ （QIC-24）	μS3H15CC78K2
	SPARCstation	Sun OS （rel. 4. 1. 1）		μS3K15CC78K2
	EWS-4800シリーズ （RISC）	EWS-UX/V （rel. 4. 0）		μS3M15CC78K2

注1．8インチでの新規のご購入はできません。5インチ2HDまたは3.5インチ2HDをお選びください。また，すでに8インチ2Dでご購入いただいている場合，今後のバージョン・アップ時は，5インチ2HDを送付いたしますのでご了承ください。

2．5インチ2Dでの新規のご購入はできません。また，すでに5インチ2Dでご購入いただいている場合，今後のバージョン・アップ時は5インチ2HCを送付いたしますのでご了承ください。

3．Ver. 5. 00/5. 00Aにはタスク・スワップ機能がありますが，このソフトウエアでは，タスク・スワップ機能は使用できません。

付

保守／廃止

言語処理用ソフトウエア（3/3）

78K/IIシリーズ Cコンパイラ ライブラリ・ソース・ファイル （CC78K/II-L）	CC78K/IIに付属しているライブラリのソース・プログラムです。ライブラリを改良する（よりユーザの仕様にあわせる）場合に必要となります。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS （Ver. 3. 30～Ver. 5. 00A[注]）	5インチ2HD	μS5A10CC78K2-L
			3. 5インチ2HD	μS5A13CC78K2-L
	IBM PC/AT	PC DOS （Ver. 3. 1）	5インチ2HC	μS7B10CC78K2-L
	HP9000シリーズ300	HP-UX （rel. 7. 05B）	カートリッジ・テープ （QIC-24）	μS3H15CC78K2-L
	SPARCstation	Sun OS （rel. 4. 1. 1）		μS3K15CC78K2-L
	EWS-4800シリーズ （RISC）	EWS-UX/V （rel. 4. 0）		μS3M15CC78K2-L

注　Ver. 5. 00/5. 00Aにはタスク・スワップ機能がありますが，このソフトウエアでは，タスク・スワップ機能は使用できません。

保守／廃止

B.2.2　インサーキット・エミュレータ用ソフトウエア

<table>
<tr><td>スクリーン・ディバッガ
(SD78K/II)</td><td>78K/IIシリーズ用のインサーキット・エミュレータをコントロールするためのプログラムです。デバイス・ファイル（DF78240）と組み合わせて使用します。
IE-78240-R-A，またはIE-78240-R-Aと同等になるようにシステム・アップしたインサーキット・エミュレータで，ホスト・マシンがPC-9800シリーズまたはIBM PC/ATの場合に使用可能です。
従来品のIEコントローラと比較してC言語，構造化アセンブリ言語，アセンブリ言語で書かれたソース・プログラム・レベルでのディバグができます。また，ホスト・マシンの画面を分割し，さまざまな情報を同時に表示することができるため，効率の良いディバグが行えます。
<table>
<tr><th>ホスト・マシン</th><th>OS</th><th>供給媒体</th><th>オーダ名称</th></tr>
<tr><td rowspan="2">PC-9800シリーズ</td><td rowspan="2">MS-DOS
(Ver. 3. 30～
Ver. 5. 00A注1)</td><td>5インチ2HD</td><td>μS5A10SD78K2</td></tr>
<tr><td>3. 5インチ2HD</td><td>μS5A13SD78K2</td></tr>
<tr><td>IBM PC/AT</td><td>PC DOS
(Ver. 3. 1)</td><td>5インチ2HC</td><td>μS7B10SD78K2</td></tr>
</table></td></tr>
<tr><td>デバイス・ファイル
(DF78240)</td><td>スクリーン・ディバッガ（SD78K/II）と組み合わせて，μPD78244サブシリーズのディバグを行う場合に必要です。
<table>
<tr><th>ホスト・マシン</th><th>OS</th><th>供給媒体</th><th>オーダ名称</th></tr>
<tr><td rowspan="2">PC-9800シリーズ</td><td rowspan="2">MS-DOS
(Ver. 3. 30～
Ver. 5. 00A注1)</td><td>5インチ2HD</td><td>μS5A10DF78240</td></tr>
<tr><td>3. 5インチ2HD</td><td>μS5A13DF78240</td></tr>
<tr><td>IBM PC/AT</td><td>PC DOS
(Ver. 3. 1)</td><td>5インチ2HC</td><td>μS7B10DF78240</td></tr>
</table></td></tr>
<tr><td>インサーキット・エミュレータ・コントロール・プログラム注2
(IE78240)</td><td>78K/IIシリーズのインサーキット・エミュレータをホスト・マシンからコントロールするためのプログラムです。
コマンドの自動実行などを行うことができ，より効率的なディバグが可能です。
IE-78240-Rのコントロール・プログラムとして次のものを用意しています。
<table>
<tr><th>対象エミュレータ</th><th>ホスト・マシン</th><th>OS</th><th>供給媒体</th><th>オーダ名称</th></tr>
<tr><td rowspan="4">IE-78240-R
IE-78240-R-EM</td><td rowspan="3">PC-9800シリーズ</td><td rowspan="3">MS-DOS
(Ver. 3. 10～
Ver. 5. 00A注1)</td><td>8インチ2D注3</td><td>μS5A1IE78240</td></tr>
<tr><td>5インチ2HD</td><td>μS5A10IE78240</td></tr>
<tr><td>3. 5インチ2HD</td><td>μS5A13IE78240</td></tr>
<tr><td rowspan="2">IBM PC/AT</td><td rowspan="2">PC DOS
(Ver. 3. 1)</td><td>5インチ2D注4</td><td>μS7B11IE78240</td></tr>
<tr><td>5インチ2HC</td><td>μS7B10IE78240</td></tr>
</table></td></tr>
</table>

注1．Ver. 5. 00/5. 00Aにはタスク・スワップ機能がありますが，このソフトウエアでは，タスク・スワップ機能は使用できません。

2．IE-78240-R-A，またはIE-78240-R-Aと同等にシステム・アップしたものと組み合わせて使用することはできません。すでにIE-78240-R，またはIE-78240-Rと同等のものをお持ちの場合のみご購入ください（IE-78240-Rは，新規のご購入はできません）。

3．8インチ2Dでの新規のご購入はできません。5インチ2HDまたは3. 5インチ2HDをお選びください。また，すでに8インチ2Dでご購入いただいている場合，今後のバージョン・アップ時は，5インチ2HDを送付いたしますのでご了承ください。

4．5インチ2Dでの新規のご購入はできません。また，すでに5インチ2Dでご購入いただいている場合，今後のバージョン・アップ時は5インチ2HCを送付いたしますのでご了承ください。

付

保守／廃止

B.2.3　PROMプログラマ用ソフトウエア

<table>
<tr><td rowspan="5">PG-1500コントローラ</td><td colspan="4">PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し，ホスト・マシン上でPG-1500を制御します。</td></tr>
<tr><td>ホスト・マシン</td><td>OS</td><td>供給媒体</td><td>オーダ名称</td></tr>
<tr><td rowspan="2">PC-9800シリーズ</td><td rowspan="2">MS-DOS
(Ver. 3. 10～
Ver. 5. 00A^{注1})</td><td>5インチ2HD</td><td>μS5A10PG1500</td></tr>
<tr><td>3. 5インチ2HD</td><td>μS5A13PG1500</td></tr>
<tr><td rowspan="2">IBM PC/AT</td><td rowspan="2">PC DOS
(Ver. 3. 1)</td><td>5インチ2D^{注2}</td><td>μS7B11PG1500</td></tr>
<tr><td>5インチ2HC</td><td>μS7B10PG1500</td></tr>
</table>

注1．Ver. 5. 00/5. 00Aにはタスク・スワップ機能がありますが，このソフトウエアでは，タスク・スワップ機能は使用できません。

2．5インチ2Dでの新規のご購入はできません。また，すでに5インチ2Dでご購入いただいている場合，今後のバージョン・アップ時は5インチ2HCを送付いたしますのでご了承ください。

保守／廃止

B.3　他のインサーキット・エミュレータからのシステム・アップ方法

すでに78Kシリーズまたは75Xシリーズ用のインサーキット・エミュレータをお持ちの場合，本体内部のボートを交換することにより，78K/IIシリーズ用の各インサーキット・エミュレータとして使用することができます。

なお，インサーキット・エミュレータのコントロール・プログラムは，システム・アップ後のインサーキット・エミュレータに対応したコントロール・プログラムが必要です。

B.3.1　IE-78240-R-Aへのシステム・アップ方法

お手持ちのエミュレータ	IEグループNo.	ご購入の必要なボード	備　考
IE-78230-R-A IE-78140-R	1	IE-78240-R-EM	—
IE-78240-R注	2	IE-78200-R-BK	—
IE-78112-R注 IE-78210-R注 IE-78220-R注 IE-78310-R注 IE-78310A-R	3	IE-78200-R-BK IE-78240-R-EM	高速ダウン・ロード機能は使用できません。 IEグループ1，2，4のインサーキット・エミュレータをあわせてお持ちの場合は，IEグループ1，2，4のインサーキット・エミュレータをベースとしたシステム・アップをお勧めします。 また，IEグループ1のインサーキット・エミュレータをお持ちの場合は，IE-78200-R-BKは不要です（IEグループ1のインサーキット・エミュレータ内にIE-78200-R-BKがありますのでそのボードが使用できます）。
IE-75000-R IE-75001-R IE-78000-R IE-78130-R IE-78230-R注 IE-78320-R注 IE-78327-R IE-78330-R IE-78350-R IE-78600-R注	4	IE-78200-R-BK IE-78240-R-EM	IEグループ1のインサーキット・エミュレータをあわせてお持ちの場合は，IE-78200-R-BKは不要です（IEグループ1のインサーキット・エミュレータ内にIE-78200-R-BKがありますのでそのボードが使用できます）。

注　新規の製造は行っておりませんのでご購入はできません。

付

保守／廃止

B.3.2　IE-78240-Rへのシステム・アップ方法

お手持ちのエミュレータ	IEグループNo.	ご購入の必要なボード	備考
IE-78112-R注 IE-78210-R注 IE-78220-R注	1	IE-78240-R-EM	高速ダウン・ロード機能は使用できません。 IEグループ4のインサーキット・エミュレータもあわせてお持ちの場合は，IEグループ4のインサーキット・エミュレータをベースとしたシステム・アップをお勧めします。
IE-78130-R IE-78230-R注	2	IE-78240-R-EM	—
IE-78310-R注 IE-78310A-R	3	IE-78200-R-EM注 IE-78240-R-EM	高速ダウン・ロード機能は使用できません。 IEグループ1のインサーキット・エミュレータもあわせてお持ちの場合は，IE-78200-R-EMは不要です（IEグループ1のインサーキット・エミュレータ内にIE-78200-R-EMがありますので，そのボードが使用できます）。
IE-75000-R IE-75001-R IE-78000-R IE-78320-R注 IE-78327-R IE-78330-R IE-78350-R IE-78600-R注	4	IE-78200-R-EM注 IE-78240-R-EM	IEグループ1のインサーキット・エミュレータをお持ちの場合は，IE-78200-R-EMは不要です（IEグループ1のインサーキット・エミュレータ内にIE-78200-R-EMがありますので，そのボードが使用できます）。
IE-78140-R IE-78230-R-A	5	IE-78200-R-EM注 IE-78240-R-EM	IE-78240-R-Aへのシステム・アップをお勧めします。

注　新規の製造は行っておりませんのでご購入はできません。

保守／廃止

付録C　組み込み用ソフトウエア

C.1　ファジィ推論開発支援システム

<table>
<tr><td rowspan="5">ファジィ知識データ作成ツール</td><td colspan="4">ファジィ知識データ（ファジィ・ルールおよびメンバシップ関数）の入力／編集（エディット）と評価（シミュレーション）を支援するプログラムです。</td></tr>
<tr><td>ホスト・マシン</td><td>OS</td><td>供給媒体</td><td>オーダ名称</td></tr>
<tr><td rowspan="2">PC-9800シリーズ</td><td rowspan="2">MS-DOS
(Ver. 3. 10～
Ver. 3. 30C)</td><td>5インチ2HD</td><td>μS5A10FE9000</td></tr>
<tr><td>3.5インチ2HD</td><td>μS5A13FE9000</td></tr>
<tr><td>IBM PC/AT</td><td>PC DOS
(Ver. 3. 1)</td><td>5インチ2HC</td><td>μS7B10FE9200</td></tr>
<tr><td rowspan="5">トランスレータ</td><td colspan="4">ファジィ知識データ作成ツールを用いて得たファジィ知識データをRA78K/II用のアセンブラ・ソース・プログラムに変換するプログラムです。</td></tr>
<tr><td>ホスト・マシン</td><td>OS</td><td>供給媒体</td><td>オーダ名称</td></tr>
<tr><td rowspan="2">PC-9800シリーズ</td><td rowspan="2">MS-DOS
(Ver. 3. 10～
Ver. 3. 30C)</td><td>5インチ2HD</td><td>μS5A10FT9080</td></tr>
<tr><td>3.5インチ2HD</td><td>μS5A13FT9080</td></tr>
<tr><td>IBM PC/AT</td><td>PC DOS
(Ver. 3. 1)</td><td>5インチ2HC</td><td>μS7B10FT9085</td></tr>
<tr><td rowspan="5">ファジィ推論モジュール
(FI78K/II)</td><td colspan="4">ファジィ推論を実行するプログラムです。トランスレータで変換されたファジィ知識データとリンクすることでファジィ推論を実行します。</td></tr>
<tr><td>ホスト・マシン</td><td>OS</td><td>供給媒体</td><td>オーダ名称</td></tr>
<tr><td rowspan="2">PC-9800シリーズ</td><td rowspan="2">MS-DOS
(Ver. 3. 10～
Ver. 3. 30C)</td><td>5インチ2HD</td><td>μS5A10FI78K2</td></tr>
<tr><td>3.5インチ2HD</td><td>μS5A13FI78K2</td></tr>
<tr><td>IBM PC/AT</td><td>PC DOS
(Ver. 3. 1)</td><td>5インチ2HC</td><td>μS7B10FI78K2</td></tr>
<tr><td rowspan="5">ファジィ推論ディバッガ
(FD78K/II)</td><td colspan="4">インサーキット・エミュレータを使用し，ファジィ知識データをハードウエア・レベルで評価，調整するための支援ソフトウエアです。</td></tr>
<tr><td>ホスト・マシン</td><td>OS</td><td>供給媒体</td><td>オーダ名称</td></tr>
<tr><td rowspan="2">PC-9800シリーズ</td><td rowspan="2">MS-DOS
(Ver. 3. 10～
Ver. 3. 30C)</td><td>5インチ2HD</td><td>μS5A10FD78K2</td></tr>
<tr><td>3.5インチ2HD</td><td>μS5A13FD78K2</td></tr>
<tr><td>IBM PC/AT</td><td>PC DOS
(Ver. 3. 1)</td><td>5インチ2HC</td><td>μS7B10FD78K2</td></tr>
</table>

★ ★ ★ ★

付

保守／廃止

保守／廃止

付録D　レジスタ索引

D.1　レジスタ索引（50音順）

[あ行]

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS） … 351

アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM） … 350

EEPROM書き込み制御レジスタ（EWC） … 51

A/D変換結果レジスタ（ADCR） … 326

A/Dコンバータ・モード・レジスタ（ADM） … 328, 427

[か行]

外部割り込みモード・レジスタ0（INTM0） … 413

外部割り込みモード・レジスタ1（INTM1） … 414, 426

キャプチャ／コンペア・コントロール・レジスタ0（CRC0） … 162

キャプチャ／コンペア・コントロール・レジスタ1（CRC1） … 212

キャプチャ／コンペア・コントロール・レジスタ2（CRC2） … 239

クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM） … 372, 387

[さ行]

16ビット・キャプチャ・レジスタ（CR02） … 160

16ビット・コンペア・レジスタ（CR00, CR01） … 160

16ビット・タイマ0（TM0） … 160

シリアル・シフト・レジスタ（SIO） … 390

シリアル受信バッファ（RXB） … 349

シリアル送信シフト・レジスタ（TXS） … 349

シリアル・バス・インタフェース・コントロール・レジスタ（SBIC） … 374

スタンバイ・コントロール・レジスタ（STBC） … 519

[た行]

タイマ・コントロール・レジスタ0（TMC0） … 161, 298

タイマ・コントロール・レジスタ1（TMC1） … 210, 237

タイマ出力コントロール・レジスタ（TOC） … 163, 240

付

保守／廃止

[は行]

8ビット・キャプチャ／コンペア・レジスタ（CR11）… 209

8ビット・キャプチャ・レジスタ（CR22）… 236

8ビット・コンペア・レジスタ（CR10）… 209

8ビット・コンペア・レジスタ（CR20）… 236

8ビット・コンペア・レジスタ（CR21）… 236

8ビット・コンペア・レジスタ（CR30）… 297

8ビット・タイマ1（TM1）… 209

8ビット・タイマ2（TM2）… 236

8ビット・タイマ3（TM3）… 297

プリスケーラ・モード・レジスタ0（PRM0）… 299

プリスケーラ・モード・レジスタ1（PRM1）… 211, 238

プルアップ抵抗オプション・レジスタ（PUO）… 99, 111, 116, 122, 134

プログラマブル・ウエイト制御レジスタ（PW）… 487

ポート0（P0）… 91

ポート2（P2）… 97

ポート3（P3）… 102

ポート4（P4）… 113

ポート5（P5）… 118

ポート6（P6）… 126

ポート7（P7）… 136

ポート0バッファ・レジスタ（P0L, P0H）… 144

ポート3モード・コントロール・レジスタ（PMC3）… 107

ポート0モード・レジスタ（PM0）… 92

ポート3モード・レジスタ（PM3）… 106

ポート5モード・レジスタ（PM5）… 119

ポート6モード・レジスタ（PM6）… 131

ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）… 360

[ま行]

マクロ・サービス・モード・レジスタ … 456

メモリ拡張モード・レジスタ（MM）… 486

[や行]

優先順位指定フラグ・レジスタ（PR0L, 0H, 1L）… 433

保守／廃止

[ら行]

リアルタイム出力ポート・コントロール・レジスタ（RTPC） … 143
リフレッシュ・モード・レジスタ（RFM） … 506

[わ行]

割り込みサービス・モード・レジスタ（ISM0L，0H，1L） … 432
割り込みステータス・レジスタ（IST） … 434
割り込みマスク・フラグ・レジスタ（MK0L，0H，1L） … 431
割り込み要求フラグ・レジスタ（IF0L，0H，1L） … 430
ワンショット・パルス出力制御レジスタ（OSPC） … 164

保守／廃止

保守／廃止

D.2　レジスタ索引（アルファベット順）

[A]

ADCR　：A/D変換結果レジスタ　…　326

ADM　：A/Dコンバータ・モード・レジスタ　…　328, 427

ASIM　：アシンクロナス・シリアル・インタフェース・モード・レジスタ　…　350

ASIS　：アシンクロナス・シリアル・インタフェース・ステース・レジスタ　…　351

[B]

BRGC　：ボー・レート・ジェネレータ・コントロール・レジスタ　…　360

[C]

CR00　：16ビット・コンペア・レジスタ　…　160

CR01　：16ビット・コンペア・レジスタ　…　160

CR02　：16ビット・コンペア・レジスタ　…　160

CR10　：８ビット・コンペア・レジスタ　…　209

CR11　：８ビット・キャプチャ／コンペア・レジスタ　…　209

CR20　：８ビット・コンペア・レジスタ　…　236

CR21　：８ビット・コンペア・レジスタ　…　236

CR22　：８ビット・キャプチャ・レジスタ　…　236

CR30　：８ビット・コンペア・レジスタ　…　297

CRC0　：キャプチャ／コンペア・コントロール・レジスタ０　…　162

CRC1　：キャプチャ／コンペア・コントロール・レジスタ１　…　212

CRC2　：キャプチャ／コンペア・コントロール・レジスタ２　…　239

CSIM　：クロック同期式シリアル・インタフェース・モード・レジスタ　…　372, 387

[E]

EWC　：EEPROM書き込み制御レジスタ　…　51

[I]

IF0L, IF0H, IF1L　：割り込み要求フラグ・レジスタ　…　430

INTM0　：外部割り込みモード・レジスタ０　…　413

INTM1　：外部割り込みモード・レジスタ１　…　414, 426

ISM0L, ISM0H, ISM1L　：割り込みサービス・モード・レジスタ　…　432

IST　：割り込みステータス・レジスタ　…　434

付

保守／廃止

[M]

MK0L, MK0H, MK1L　：割り込みマスク・フラグ・レジスタ　…　431
MM　：メモリ拡張モード・レジスタ　…　486

[O]

OSPC　：ワンショット・パルス出力制御レジスタ　…　164

[P]

P0　：ポート0　…　91
P2　：ポート2　…　97
P3　：ポート3　…　102
P4　：ポート4　…　113
P5　：ポート5　…　118
P6　：ポート6　…　126
P7　：ポート7　…　136
P0H　：ポート0バッファ・レジスタ　…　144
P0L　：ポート0バッファ・レジスタ　…　144
PM0　：ポート0モード・レジスタ　…　92
PM3　：ポート3モード・レジスタ　…　106
PM5　：ポート5モード・レジスタ　…　119
PM6　：ポート6モード・レジスタ　…　131
PMC3　：ポート3モード・コントロール・レジスタ　…　107
PR0L, PR0H, PR1L　：優先順位指定フラグ・レジスタ　…　433
PRM0　：プリスケーラ・モード・レジスタ0　…　299
PRM1　：プリスケーラ・モード・レジスタ1　…　211, 238
PUO　：プルアップ抵抗オプション・レジスタ　…　99, 111, 116, 122, 134
PW　：プログラマブル・ウエイト制御レジスタ　…　487

[R]

RFM　：リフレッシュ・モード・レジスタ　…　506
RTPC　：リアルタイム出力ポート・コントロール・レジスタ　…　143
RXB　：シリアル受信バッファ　…　349

[S]

SBIC　：シリアル・バス・インタフェース・コントロール・レジスタ　…　374

保守／廃止

SIO　：シリアル・シフト・レジスタ　…　390
STBC　：スタンバイ・コントロール・レジスタ　…　519

[T]
TM0　：16ビット・タイマ０　…　160
TM1　：８ビット・タイマ１　…　209
TM2　：８ビット・タイマ２　…　236
TM3　：８ビット・タイマ３　…　297
TMC0　：タイマ・コントロール・レジスタ０　…　161, 298
TMC1　：タイマ・コントロール・レジスタ１　…　210, 237
TOC　：タイマ出力コントロール・レジスタ　…　163, 240
TXS　：シリアル送信シフト・レジスタ　…　349

保守／廃止

保守／廃止

付録E　総合索引

E.1　50音で始まる語句の索引

[あ行]

アクティブ・レベル　…　163, 240

アクノリッジ許可ビット　…　389

アクノリッジ検出フラグ　…　389

アクノリッジ信号　…　395

アクノリッジ・トリガ・ビット　…　389

アシンクロナス・シリアル・インタフェース　…　347

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ　…　351

アシンクロナス・シリアル・インタフェースの動作　…　352

アシンクロナス・シリアル・インタフェース・モード・レジスタ　…　350

アップカウント　…　209, 236, 297

アドレシング別命令一覧表　…　556

アドレス　…　386, 393, 404

アドレス送信　…　405

アドレス・バス　…　18, 485

アナログ／ディジタル・コンバータ　…　323

アナログ・ディレイ　…　415, 531

1Mバイト拡張機能　…　489

1Mバイト拡張モード指定　…　486

一致信号　…　170, 173, 253, 257

インターバル時間　…　157, 206, 232, 295

インターバル・タイマ　…　191, 223, 274, 304

ウエイク・アップ　…　386, 404

ウエイク・アップ機能　…　387

ウエイト機能　…　497

ウエイト数　…　486, 487

エッジ検出　…　411

エッジ検出回路　…　160, 210, 236, 326

エッジ検出機能　…　411

エラー　…　356

エラー・フラグ　…　356

保守／廃止

オーバフロー　…　165, 241
オーバフロー・フラグ　…　161, 210, 237
オーバライト・エラー　…　54, 60
オーバライト・エラー検出フラグ　…　54
オーバラン・エラー　…　356
オペレーション一覧　…　544

[か行]

外部イベント・カウンタ　…　234, 246, 290
外部イベント・カウンタ機能　…　246
外部イベント・カウンタ動作モード　…　246
外部SFR領域　…　32
外部拡張データ・メモリ　…　33
外部クロック　…　83, 238, 372, 378
外部クロック・パルス　…　246
外部トリガ　…　172, 220, 255
外部ボー・レート入力　…　361, 366
外部メモリ　…　32
外部メモリ拡張モード　…　486
外部割り込みモード・レジスタ　…　412
カウント・アップ動作　…　165, 213, 241, 300
カウント・クロック　…　165, 238, 299
カウント動作　…　165, 213, 241, 300
書き込みエラー　…　66
書き込み終了　…　65
書き込み処理時間　…　56
書き込み専用タイマ　…　49, 54
拡張アドレス・バス　…　33
疑似スタティックRAM　…　505
疑似スタティックRAMリフレッシュ機能　…　505
基準電圧端子　…　325
奇数パリティ　…　352, 353
基本動作　…　176
キャプチャ／コンペア・コントロール・レジスタ0　…　162, 173
キャプチャ／コンペア・コントロール・レジスタ1　…　212
キャプチャ／コンペア・コントロール・レジスタ2　…　239, 257
キャプチャ／コンペア・レジスタ　…　209, 218, 220

保守／廃止

キャプチャ／コンペア・レジスタ動作指定　…　212
キャプチャ動作　…　213, 220, 241, 255
キャプチャ・トリガ　…　172, 220, 255, 413, 414
キャプチャ・レジスタ　…　160, 209, 236
キャラクタ・ビット　…　352
キャリー・フラグ　…　35
偶数パリティ　…　352, 353
クリア　…　170, 218, 253, 303
クリア動作　…　162, 212, 239
クリスタル発振　…　83
クロック・サンプリング　…　416
クロック同期式シリアル・インタフェース　…　369
クロック同期式シリアル・インタフェース・モード・レジスタ　…　372, 386
クロック発生回路　…　83
クロック・パルス　…　234, 246
検出エッジ　…　413, 414
コマンド　…　394, 404
コマンド検出フラグ　…　388
コマンド信号　…　392
コマンド送信　…　406
コマンド・トリガ・ビット　…　388
コンペア動作　…　170, 218, 253, 303
コンペア・レジスタ　…　160, 209, 236, 297

[さ行]

最小インターバル時間　…　157, 206, 232, 295
最小パルス幅　…　157, 233, 234
最大インターバル時間　…　157, 206, 232, 295
最大周波数　…　234, 246
最大パルス幅　…　157, 233
３線式シリアルI/Oモード　…　369, 375
３線式シリアルI/Oモードのタイミング　…　376
サンプル＆ホールド回路　…　325
システム・クロック　…　83
システム・リセット　…　531
自動加算　…　467
シフト動作　…　378

付

保守／廃止

シフト・レジスタ　…　349, 371, 390
時分割アドレス／データ・バス　…　18
周辺RAM　…　31
16ビット・タイマ0　…　160, 165
16ビット・タイマ／カウンタ　…　157
受信　…　355
受信エラー　…　356
受信制御パリティ・チェック　…　349
受信データ　…　355, 376
受信動作　…　355, 379
受信バッファ　…　349, 355
出力制御回路　…　160, 236
出力トリガ　…　146
出力ポート　…　90
主データ・バンク　…　33
シリアル・クロック　…　379, 387
シリアル・クロック・カウンタ　…　371, 381
シリアル・クロック制御回路　…　371
シリアル・クロック・セレクタ　…　371
シリアル・クロック端子　…　384
シリアル・データ　…　371
シリアル・データ出力　…　375
シリアル・データ入力　…　375
シリアル・データ・バス　…　384, 390
シリアル・データ・バス端子　…　384
シリアル・バス・インタフェース・コントロール・レジスタ　…　373, 388
シリアル・バス・インタフェース・モード　…　369
シングルチップ・モード　…　486
スキャン・モード　…　323, 333
スタート・ビット　…　352, 355
スタック・ポインタ　…　37
スタンバイ機能　…　517
スタンバイ・コントロール・レジスタ　…　519
スタンバイ・モード　…　517
ストップ・ビット　…　352
スレーブ　…　372
スレーブ・デバイス　…　404

保守／廃止

セラミック発振　…　83
セルフ・リフレッシュ動作　…　509
セレクタ　…　349
セレクト・モード　…　323, 332
0パリティ　…　352, 353
ゼロ・フラグ　…　36
全二重動作　…　347
専用ボー・レート・ジェネレータ　…　358, 362
送受信動作　…　380
送信　…　354
送信シフト・レジスタ　…　349
送信制御パリティ付加　…　349
送信データ　…　354, 376
送信動作　…　354, 378
測定可能なパルス幅　…　158, 207, 233
ソフトウエア・スタート　…　323, 335
ソフトウエア割り込みの受け付け動作　…　436
ソフトウエア割り込み要求　…　425

[た行]

タイプA　…　453
タイプB　…　453
タイプC　…　453
タイマ／カウンタ・ユニット　…　155
タイマ・コントロール・レジスタ0　…　161, 297, 298
タイマ・コントロール・レジスタ1　…　210, 237
タイマ出力　…　173
タイマ出力コントロール・レジスタ　…　163, 240
タイマ出力モード　…　162
タイマ用マクロ・サービス・ポインタ　…　471
多重処理　…　433, 435
多重処理制御　…　423
多重割り込み　…　434, 442
端子　…　13
端子状態　…　532
逐次比較　…　323
直列抵抗ストリング　…　325

付

保守／廃止

ディジタル・ノイズ除去　…　416
ディフォールト優先順位　…　424，440
データ　…　394，404
データ・バッファ領域　…　464
データ・フォーマット　…　352
データ・フレーム　…　352
データ用マクロ・サービス・ポインタ　…　471
電圧コンパレータ　…　325
特殊機能レジスタ　…　42
トランジスタ・ダイレクト・ドライブ　…　94
トリガ入力　…　323

[な行]

内蔵プルアップ抵抗　…　89，98，111，116，122，134
内部クロック　…　372，378
内部システム・クロック　…　83
内部デュアル・ポートRAM　…　31
内部RAM　…　27，31
内部ROM　…　27
78K/II製品展開図　…　2
入出力回路　…　22
入出力ポート　…　90
入出力ポート数　…　90
入力回路　…　325
入力電圧　…　330
入力ポート　…　90
ノイズ除去　…　415，531
ノンマスカブル割り込み　…　434，442
ノンマスカブル割り込み受け付け　…　436
ノンマスカブル割り込み要求　…　425

[は行]

ハードウエア・スタート　…　323，337
バス・インタフェース機能　…　485
バス・リリース／コマンド／アクノリッジ検出回路　…　371
バス・リリース検出フラグ　…　388
バス・リリース信号　…　392

保守／廃止

バス・リリース・トリガ・ビット　…　388
パターン・ジェネレータ　…　141
発振安定時間　…　88
バッファ・レジスタ　…　141, 144
８ビット・タイマ１　…　209, 213
８ビット・タイマ２　…　236, 241
８ビット・タイマ３　…　297, 300
８ビット・タイマ／カウンタ１　…　146, 206
８ビット・タイマ／カウンタ２　…　232
８ビット・タイマ／カウンタ３　…　295, 364
パラレル・データ　…　371
パリティ・エラー　…　353, 356
パリティ・ビット　…　352, 353
パルス幅　…　246, 280
パルス幅測定　…　195, 229, 280
パルス・リフレッシュ動作　…　507
バンク・レジスタ　…　33
汎用レジスタ　…　38
ビジィ／アクノリッジ出力回路　…　371
ビジィ解除　…　404
ビジィ許可ビット　…　389
ビジィ信号　…　396
副データ・バンク　…　33
プリスケーラ　…　210, 237
プリスケーラ・モード・レジスタ０　…　299
プリスケーラ・モード・レジスタ１　…　211, 238
プルアップ抵抗オプション・レジスタ　…　98, 111, 116, 122, 134
フルカウント　…　252
フレーミング・エラー　…　356
プログラマブル・ウエイト制御レジスタ　…　487
プログラマブル優先順位　…　442
プログラム・カウンタ　…　35
プログラム・ステータス・ワード　…　35, 428, 435
分解能　…　157, 206, 232, 295
分周回路　…　358, 361
ベクタ・テーブル　…　30, 424
ベクタ割り込み　…　423

付

保守／廃止

変換結果　…　330
変換時間　…　331
ポインタ　…　40
ポート　…　89
ポート0　…　91
ポート0モード・レジスタ　…　92
ポート2　…　95
ポート3　…　100
ポート3モード・コントロール・レジスタ　…　106
ポート3モード・レジスタ　…　106
ポート4　…　113
ポート5　…　118
ポート5モード・レジスタ　…　119
ポート6　…　124
ポート6モード・レジスタ　…　130
ポート7　…　136
ポート・モード　…　506
ボー・レート　…　358, 362
ボー・レート・ジェネレータ　…　347, 358
ボー・レート・ジェネレータ・コントロール・レジスタ　…　359
ボー・レート生成用クロック　…　358, 359
ボー・レートの設定方法　…　362
ボー・レート用クロック　…　361
補助キャリー・フラグ　…　36
保留された割り込み　…　440

[ま行]

マクロ・サービス　…　423, 452
マクロ・サービス・カウンタ　…　460, 464, 471
マクロ・サービス機能　…　451
マクロ・サービス・コントロール・ワード　…　454, 455
マクロ・サービス制御レジスタ　…　455
マクロ・サービス・タイプ　…　452
マクロ・サービス・タイプA　…　457
マクロ・サービス・タイプB　…　462
マクロ・サービス・タイプC　…　467
マクロ・サービス・チャネル　…　454

保守／廃止

マクロ・サービス・チャネル・ポインタ　…　456
マクロ・サービスの種類　…　452
マクロ・サービスの処理時間　…　449
マクロ・サービスの動作タイミング　…　447
マクロ・サービスの保留　…　446
マクロ・サービス・ポインタ　…　464
マクロ・サービス・モード・レジスタ　…　456
マスカブル割り込みの受け付け　…　440
マスカブル割り込み要求　…　425
マスタ　…　372
マスタ・デバイス　…　404
マルチプレクスト・アドレス／データ・バス　…　485
マルチプレクスト・アナログ　…　323
未使用端子　…　22
命令のオペレーション　…　541
メモリ拡張機能　…　488
メモリ拡張モード・レジスタ　…　119，486
メモリ空間　…　27
メモリ・マップ　…　28
モジュロ・レジスタ　…　471

[や行]

有効エッジ　…　412
優先順位　…　433，440，442
優先順位指定フラグ　…　433
優先順位指定フラグ・レジスタ　…　428，433
４ビット・カウンタ　…　358
４ビット・セパレート・リアルタイム出力ポート　…　143

[ら行]

ライト・タイミング　…　488
ライト・プロテクト機能　…　72
ライト・プロテクト領域　…　73
リアルタイム出力機能　…　141
リアルタイム出力ポート　…　141，144，467
リアルタイム出力ポート・コントロール・レジスタ　…　92，143
リード・タイミング　…　488

保守／廃止

リセット　…　531
リセット解除後の端子状態　…　532
リセット機能　…　531
リセット入力中の端子状態　…　532
リセット・ベクタ・テーブル　…　531
リフレッシュ機能　…　505
リフレッシュ・バス・サイクル　…　505
リフレッシュ・パルス　…　505
リフレッシュ・モード・レジスタ　…　506
両エッジ　…　413，414
両エッジ検出　…　358
リリース検出フラグ　…　388
リリース・トリガ・ビット　…　388
リング・カウンタ　…　471
リング制御　…　467
ループ・カウンタ　…　40
レジスタ　…　35
レジスタ・バンク選択フラグ　…　36
レディ信号　…　396
ローカル・バス・インタフェース機能　…　485
64ピン・プラスチック・シュリンクDIP　…　5
64ピン・プラスチックQFP　…　6

[わ行]

割り込み　…　423
割り込み受け付け処理時間　…　448
割り込み機能　…　423
割り込みサービス・モード・フラグ　…　432
割り込みサービス・モード・レジスタ　…　428，432
割り込み処理　…　441
割り込み処理制御レジスタ　…　428
割り込みステータス・レジスタ　…　428，434
割り込みマスク・フラグ　…　431，440
割り込みマスク・フラグ・レジスタ　…　428，431
割り込み優先順位ステータス・フラグ　…　36
割り込み要求　…　341
割り込み要求許可フラグ　…　36

保守／廃止

割り込み要求ソース　…　424，426
割り込みの動作タイミング　…　447
割り込み要求の保留　…　446
割り込み要求発生ソース　…　452
割り込み要求フラグ　…　430
割り込み要求フラグ・レジスタ　…　428，430
ワンショット　…　252
ワンショット・タイマ　…　292
ワンショット・タイマ機能　…　252
ワンショット・タイマ動作スタート　…　252
ワンショット・タイマ動作モード　…　252
ワンショット・パルス出力制御レジスタ　…　164，173，190

保守／廃止

保守／廃止

E.2 アルファベットで始まる語句の索引

[A]

A … 38
A8 … 18, 485
A9 … 18, 485
A10 … 18, 485
A11 … 18, 485
A12 … 18, 485
A13 … 18, 485
A14 … 18, 485
A15 … 18, 485
A16 … 20, 485
A17 … 20, 485
A18 … 20, 485
A19 … 20, 485
AC … 36
ACKD … 399
ACKE … 398
ACKT … 397
AD0 … 18, 485
AD1 … 18, 485
AD2 … 18, 485
AD3 … 18, 485
AD4 … 18, 485
AD5 … 18, 485
AD6 … 18, 485
AD7 … 18, 485
A/Dコンバータ … 323
A/Dコンバータの割り込み要求 … 341
A/Dコンバータ・モード・レジスタ … 327, 427
A/D変換結果 … 330
A/D変換結果レジスタ … 323
A/D変換スタート信号 … 414
A/D変換動作 … 329
ADCR … 323, 326
ADM … 327, 427
ALV0 … 163
ALV1 … 163
ALV2 … 240
ALV3 … 240
ANI0 … 323
ANI1 … 323
ANI2 … 323
ANI3 … 323
ANI4 … 323
ANI5 … 323
ANI6 … 20, 323, 341
ANI7 … 20, 323, 341
ANIS0 … 328
ANIS1 … 328
ANIS2 … 328
ASCK … 16, 361, 366
ASIM … 350
ASIS … 351
ASTB … 20, 485
AV_{REF} … 21, 325
AV_{SS} … 21, 325
AX … 38

[B]

B … 38
BC … 38
BRGC … 359, 361
BRK … 424, 436
BSYE … 400
B/W … 456
BYTE … 143

[C]

C … 38
CALLF命令エントリ … 30

付

保守／廃止

CALLT命令テーブル … 30
CE … 360
CE0 … 161, 165
CE1 … 210
CE2 … 237, 241
CE3 … 300
CHT0 … 456
CHT1 … 456
CHT2 … 456
CI … 16, 234, 246
CIF00 … 430
CIF01 … 430
CIF10 … 430
CIF11 … 430
CIF20 … 430
CIF21 … 430
CISM00 … 432
CISM01 … 432
CISM10 … 432
CISM11 … 432
CISM20 … 432
CISM21 … 432
CL … 350
CLR01 … 162
CLR10 … 212
CLR11 … 212
CLR21 … 239
CLR22 … 239
CLS0 … 372, 387
CLS1 … 372, 387
CM … 212
CMD2 … 237
CMDD … 397
CMDT … 397
CMK00 … 431
CMK01 … 431
CMK10 … 431
CMK11 … 431
CMK20 … 431
CMK21 … 431
CPR00 … 433
CPR01 … 433
CPR10 … 433
CPR11 … 433
CPR20 … 433
CPR21 … 433
CR00 … 160, 170
CR01 … 160, 170
CR02 … 160, 172
CR10 … 209, 218
CR11 … 209, 218
CR20 … 236, 253
CR21 … 236, 253
CR22 … 236, 255
CR30 … 297, 303
CRC0 … 162, 173
CRC1 … 212
CRC2 … 239, 257
CRXE … 372, 387
CS … 327, 427
CSIIF … 430
CSIISM … 432
CSIM … 372, 386
CSIMK … 431
CSIPR … 433
CTXE … 372, 387
CY … 35

[D]

D … 38
DE … 38
DI … 435

保守／廃止

[E]

E … 38

$\overline{EA}$ … 20, 27

EEPROM … 27, 47

EEPROM書き込みエラー割り込み … 71

EEPROM書き込み制御レジスタ … 49, 50

EEPROM書き込み終了割り込み … 71

EERIF … 430

EERMK … 431

EERPR … 433

EI … 435

ENTO0 … 163

ENTO1 … 163

ENTO2 … 240

ENTO3 … 240

EOVW … 51, 54

EPWIF … 430

EPWMK … 431

EPWPR … 433

ES00 … 413

ES01 … 413

ES10 … 413

ES11 … 413

ES20 … 413

ES21 … 413

ES30 … 414

ES31 … 414

ES40 … 414, 426

ES41 … 414, 426

ES50 … 414

ES51 … 414

ESNMI … 413

EWC … 49, 50, 51

EWE … 51, 53

EWP … 51, 52

EWST … 51, 54

EWTC0 … 51, 52

EWTC1 … 51, 52

EXTR … 143

[F]

f_{CLK} … 83

FE … 351

FR … 328

[H]

H … 38

HALTモード … 517, 520

HALTモードの解除 … 521

HALTモードの設定 … 520

HL … 38

HLT … 519

[I]

IE … 36, 435

IEフラグ … 440

IF0H … 428, 430

IF0L … 428, 430

IF1L … 428, 430

IFCH … 486

INTAD … 341, 424, 427

INTC00 … 170, 424

INTC01 … 170, 424

INTC10 … 146, 218, 424, 467

INTC11 … 146, 218, 424, 467

INTC20 … 253, 424

INTC21 … 253, 424

INTC30 … 303, 424, 426

INTCSI … 376, 424

INTEER … 71, 424

INTEPW … 71, 424

INTM0 … 412

INTM1 … 412, 426

INTP0 … 16, 146, 220, 413, 424

付

保守／廃止

INTP1 … 16, 255, 413, 424
INTP2 … 16, 234, 413, 424
INTP3 … 16, 172, 414, 424
INTP4 … 16, 414, 424, 426
INTP5 … 16, 337, 414, 424, 427
INTSER … 356, 424
INTSR … 355, 424
INTST … 354, 424
IRAM … 31
ISM0H … 428, 432
ISM0L … 428, 432
ISM1L … 428, 432
ISP … 36, 435, 440
ISPフラグ … 440
IST … 428, 434

[L]
L … 38
LEDダイレクト・ドライブ … 117, 123

[M]
MDL0 … 360
MDL1 … 360
MDL2 … 360
MDL3 … 360
MK0H … 428, 431
MK0L … 428, 431
MK1L … 428, 431
MM … 119, 486
MM0 … 486
MM1 … 486
MM2 … 486
MM6 … 486
MOD0 … 162, 239, 456
MOD1 … 162, 239, 372, 387, 456
MOD2 … 456
MOD3 … 456
MP … 464
MPD … 471
MPT … 471
MR … 471
MS … 327, 328, 427
MSBファースト … 369, 376
MSC … 460, 464, 471
μPD78243 … 1
μPD78244 … 1

[N]
NMI … 16, 424
NMIS … 434, 436

[O]
OS0 … 164
OS1 … 164
OSPC … 164, 173, 190
OVE … 351
OVF0 … 161
OVF1 … 210
OVF2 … 237

[P]
P0H … 144
P0L … 144
P0HM … 92
P0LM … 92
P0MH … 143
P0ML … 143
P20 … 413
P21 … 413
P22 … 413
P23 … 413
P24 … 414
P25 … 414
P26 … 414

保守／廃止

PC … 35
PE … 351
PIF0 … 430
PIF1 … 430
PIF2 … 430
PIF3 … 430
PIF4 … 430
PIF5 … 430
PISM0 … 432
PISM1 … 432
PISM2 … 432
PISM3 … 432
PISM4 … 432
PISM5 … 432
PM0 … 92
PM3 … 106
PM5 … 119
PM6 … 130
PMC3 … 106, 107
PMK0 … 431
PMK1 … 431
PMK2 … 431
PMK3 … 431
PMK4 … 431
PMK5 … 431
Port0 … 91
Port2 … 95
Port3 … 100
Port4 … 113
Port5 … 118
Port6 … 124
Port7 … 136
PPG周期 … 183, 267
PPG周波数 … 184, 268
PPG出力 … 183, 267
PPGパルス幅 … 183, 267
PPR0 … 433
PPR1 … 433
PPR2 … 433
PPR3 … 433
PPR4 … 433
PPR5 … 433
PR0H … 428, 433
PR0L … 428, 433
PR1L … 428, 433
PRAM … 31
PRM0 … 299
PRM1 … 211, 238
PRS0 … 299
PRS1 … 299
PRS2 … 299
PRS3 … 299
PRS10 … 211
PRS11 … 211
PRS12 … 211
PRS20 … 238
PRS21 … 238
PRS22 … 238
PRS23 … 238
PS0 … 350
PS1 … 350
PSW … 35, 428, 435
PUO … 98, 111, 116, 122, 134
PUO2 … 98
PUO3 … 111
PUO4 … 116
PUO5 … 122
PUO6 … 134
PW … 487
PW20 … 486
PW21 … 486
PW30 … 487
PW31 … 487
PWM周期 … 178, 261

付

保守／廃止

PWM周波数 … 178, 262
PWM出力 … 178, 261
PWM信号 … 178, 261
PWMパルス幅 … 178, 261

[R]

R0 … 41
R1 … 41
R2 … 41
R3 … 41
R4 … 41
R5 … 41
R6 … 41
R7 … 41
RBS0 … 36
RBS1 … 36
RC … 471
$\overline{RD}$ … 20, 485
$\overline{REFRQ}$ … 20
RELD … 397
RELT … 397
$\overline{RESET}$ … 21, 531
RETB … 436
RETB命令 … 436
RETI … 436
RETI命令 … 436
RFEN … 506
RFLV … 506
RFM … 506
RFT0 … 506
RFT1 … 506
ROMレス … 30
RP0 … 41
RP1 … 41
RP2 … 41
RP3 … 41
RT0 … 164
RT1 … 164
RTPC … 92, 143
RXB … 349, 355
RxD … 18
RXE … 350

[S]

saddr … 542
saddrp … 542
SAR … 326
SB0 … 18, 384
SBI … 381
SBIC … 373
SBIモード … 369, 381
SCK … 350
$\overline{SCK}$ … 18, 376, 384
$\overline{SCK}$端子 … 378
SERIF … 430
SERMK … 431
SERPR … 433
SFR … 42
SFRポインタ … 464
SFRP … 464
SI … 16, 375
SI端子 … 378
SIO … 371, 390
SL … 350
SO … 18, 375
SO端子 … 378
SOラッチ … 371
SP … 37
SRIF … 430
SRISM … 432
SRMK … 431
SRPR … 433
ST0 … 164
ST1 … 164

保守／廃止

STBC … 519
STIF … 430
STISM … 432
STMK … 431
STOPモード … 517, 524
STOPモードの解除 … 525
STOPモードの設定 … 524
STP … 519
STPR … 433

[T]
TM0 … 160, 165
TM1 … 209, 213
TM2 … 236, 241
TM3 … 297, 300
TMC0 … 161, 297, 298
TMC1 … 210, 237
TO0 … 18, 173
TO1 … 18, 173
TO2 … 18, 257
TO3 … 18, 257
TOC … 163, 240
TPS0 … 360
TPS1 … 360
TPS2 … 360
TRG … 327, 427
TxD … 18
TXS … 349, 354

[U]
UART専用ボー・レート・ジェネレータ … 347

[V]
V_{DD} … 21
V_{SS} … 21

[W]
$\overline{WAIT}$ … 20
WPA0 … 51, 53
WPA1 … 51, 53
$\overline{WR}$ … 20, 485
WUP … 372, 387

[X]
X … 38
X1 … 21, 83
X2 … 21, 83

[Z]
Z … 36

付

保守／廃止

保守／廃止

アンケート記入のお願い

お手数ですが，このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

［ドキュメント名］ μPD78244サブシリーズ　ユーザーズ・マニュアル　ハードウエア編

(IEU-747F（第7版))

［お名前など］（さしつかえのない範囲で）

御社名（学校名，その他）　(　　)
ご住所　(　　)
お電話番号　(　　)
お仕事の内容　(　　)
お名前　(　　)

1．ご評価（各欄に○をご記入ください）

項　　目	大変良い	良　い	普　通	悪　い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン，字の大きさなど					
そ　の　他（　　）					
（　　）					

2．わかりやすい所（第　章，第　章，第　章，第　章，その他　　）

理由［　　］

3．わかりにくい所（第　章，第　章，第　章，第　章，その他　　）

理由［　　］

4．ご意見，ご要望

5．このドキュメントをお届けしたのは

NEC 販売員，特約店販売員，NEC 半応技本部員，その他（　　）

ご協力ありがとうございました。

下記あてに FAX で送信いただくか，最寄りの販売員にコピーをお渡しください。

NEC 半導体インフォメーションセンター
FAX：(044)548-7900

キリトリ

保守／廃止

保守／廃止

お問い合わせは，最寄りのNECへ

【営業関係お問い合わせ先】

コンシューマ半導体販売事業部 OA半導体販売事業部 インダストリ半導体販売事業部	〒108-01	東京都港区芝五丁目7番1号 (NEC本社ビル)	東京	(03)3454-1111 (大代表)
中部支社 半導体販売部	〒460	名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋	(052)242-2755
関西支社 半導体第一販売部	〒540	大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪	(06) 945-3178
関西支社 半導体第二販売部			大阪	(06) 945-3200
関西支社 半導体第三販売部			大阪	(06) 945-3208

北海道支社	札幌	(011)231-0161	小山支店	小山	(0285)24-5011	福井支店	福井	(0776)22-1866
東北支社	仙台	(022)261-5511	長野支社	長野	(0262)35-1444	富山支店	富山	(0764)31-8461
岩手支店	盛岡	(0196)51-4344	松本支店	松本	(0263)35-1666	京都支社	京都	(075)344-7824
山形支店	山形	(0236)23-5511	上諏訪支店	諏訪	(0266)53-5350	神戸支社	神戸	(078)332-3311
郡山支店	郡山	(0249)23-5511	甲府支店	甲府	(0552)24-4141	中国支社	広島	(082)242-5504
いわき支店	いわき	(0246)21-5511	埼玉支社	大宮	(048)641-1411	鳥取支店	鳥取	(0857)27-5311
長岡支店	長岡	(0258)36-2155	立川支社	立川	(0425)26-5981	岡山支店	岡山	(086)225-4455
水戸支店	水戸	(0292)26-1717	千葉支社	千葉	(043)238-8116	四国支社	高松	(0878)36-1200
神奈川支社	横浜	(045)324-5511	静岡支社	静岡	(054)255-2211	新居浜支店	新居浜	(0897)32-5001
群馬支店	高崎	(0273)26-1255	沼津支店	沼津	(0559)63-4455	松山支店	松山	(0899)45-4111
太田支店	太田	(0276)46-4011	浜松支店	浜松	(053)452-2711	九州支社	福岡	(092)271-7700
宇都宮支店	宇都宮	(0286)21-2281	北陸支社	金沢	(0762)23-1621	北九州支店	北九州	(093)541-2887

【本資料に関する技術お問い合わせ先】

半導体応用技術本部 マイクロコンピュータ技術部	〒210	川崎市幸区塚越三丁目484番地	川崎	(044)548-7924
半導体応用技術本部 中部応用システム技術部	〒460	名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋	(052)242-2762
半導体応用技術本部 西日本応用システム技術部	〒540	大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪	(06) 945-3383

半導体
インフォメーションセンター
FAX(044)548-7900
(FAXにてお願い致します)

C93.11