

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD78234サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

ハードウェア編

μ PD78233

μ PD78234

μ PD78237

μ PD78238

μ PD78P238

μ PD78234(A)

μ PD78238(A)

概説	1
端子機能	2
CPU機能	3
クロック発生回路	4
ポート機能	5
リアルタイム出力機能	6
タイマ/カウンタ・ユニット	7
PWM出力ユニット	8
A/Dコンバータ	9
D/Aコンバータ	10
アシンクロナス・シリアル・インタフェース	11
クロック同期式シリアル・インタフェース	12
エッジ検出機能	13
割り込み機能	14
ローカル・バス・インタフェース機能	15
スタンバイ機能	16
リセット機能	17
応用例	18
μ PD78P238のプログラミング	19
命令のオペレーション	20
付録	付

CMOSデバイスの一般的注意事項

① 静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

② 未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

EWS-4800シリーズ, EWS-UX/V, QTOPは、日本電気株式会社の商標です。

MS-DOS, Windowsは、米国マイクロソフト社の商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

SPARC stationは、米国SPARC International, Inc.の商標です。

SUN OSは、米国サン マイクロシステムズ社の商標です。

HP9000シリーズ300, HP-UXは、米国ヒューレット・パカード社の商標です。

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品： μ PD78233GC-3B9, 78233GJ-5BG, 78233LQ,
 μ PD78237GC-3B9, 78237GJ-5BG, 78237LQ,
 μ PD78P238KF

ユーザ判定品： μ PD78234GC- $\times\times\times$ -3B9, 78234GJ- $\times\times\times$ -5BG, 78234LQ- $\times\times\times$,
 μ PD78238GC- $\times\times\times$ -3B9, 78238GJ- $\times\times\times$ -5BG, 78238LQ- $\times\times\times$,
 μ PD78P238GC-3B9, 78P238GJ-5BG, 78P238LQ,
 μ PD78P238GC- $\times\times\times$ -3B9, 78P238GJ- $\times\times\times$ -5BG, 78P238LQ- $\times\times\times$,
 μ PD78234GC(A)- $\times\times\times$ -3B9, 78234GJ(A)- $\times\times\times$ -5BG,
 μ PD78238GC(A)- $\times\times\times$ -3B9, 78238GJ(A)- $\times\times\times$ -5BG

- 本資料の内容は、後日変更する場合があります。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- この製品を使用したことにより、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

本版で改訂された主な箇所

箇所	内容
p.372	図 12-1 クロック同期式シリアル・インタフェースのブロック図の一部を修正
p.536	第 16 章 スタンバイ機能 16.4.3 STOPモード使用時のチェック項目で(5) A/Dコンバータに関する注意を一部削除 アナログ入力端子の処理例を削除
p.539, 540	第 17 章 リセット機能 図 17-1 リセット信号の受け付けおよび図 17-2 電源投入時のリセット動作の一部に説明を追加
p.586-589	付録B 開発ツール ・IBM PC/ATの供給媒体とオーダ名称に3.5インチ2HCに関する記述を追加
p.589	・B.2.4 IBM PC用のOSについてを追加

本文欄外の★印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者 このマニュアルは、 μ PD78234サブシリーズの機能を理解し、その応用システムを設計するユーザのエンジニアを対象とします。

目的 このマニュアルは、 μ PD78234サブシリーズの持つ各種ハードウェア機能を理解していただくことを目的とします。

構成 μ PD78234サブシリーズのマニュアルは、ハードウェア編（このマニュアル）と命令編（78K μ IIシリーズ共通）の2冊に分かれています。

ハードウェア編

端子機能
内部ブロック機能
割り込み
その他の内蔵周辺機能

命令編

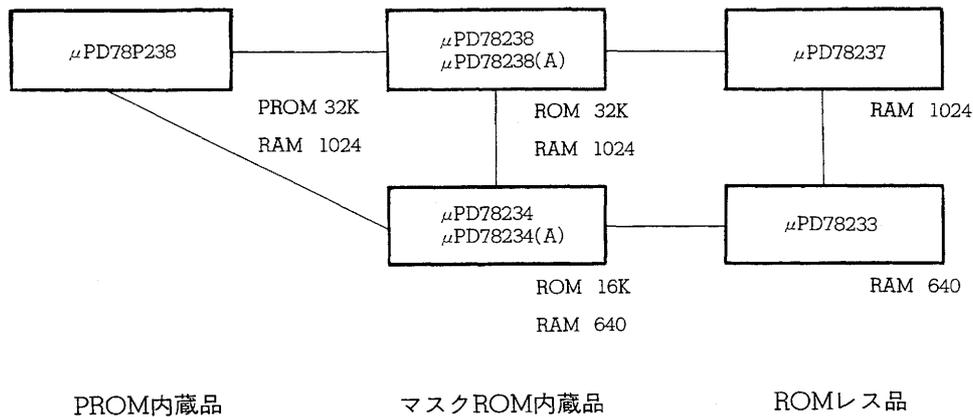
CPU機能
アドレッシング
命令セット

この製品には使用上の注意事項があります。
各章の本文中の該当箇所と各章の最後（まとめ）にそれらの
注意事項を示しますので、必ずお読みください。

読み方 このマニュアルを読むにあたっては、電気、論理回路およびマイクロコンピュータの一通りの知識を必要とします。

μ PD78233, 78237, 78238, 78P238, 78234(A), 78238(A)のマニュアルとしてお使いの方へ

→このマニュアルでは、 μ PD78233, 78234, 78237, 78238, 78P238, 78234(A), 78238(A)の機能について説明しております。各製品の関係は、次のようになっております。



このマニュアル中の使用例は、一般電子機器用の『標準』品質水準品用に作成してあります。『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は、実際に使用する各部品および回路について、その品質水準についてご確認のうえご使用ください。

○特に機能面について違いがない場合

μ PD78234を代表品種として説明しています。したがって、 μ PD78233, 78237, 78238, 78P238, 78234(A), 78238(A)のユーザーズ・マニュアルとしてお使いの場合は、 μ PD78234を μ PD78233, 78237, 78238, 78P238, 78234(A), 78238(A)と読み替えてご使用ください。

○機能面に違いがある場合

製品名をあげ、個別に説明しています。

ROMレス品の機能として特に違いがない場合は、 μ PD78233をROMレス品の代表品種として説明しています。したがって、 μ PD78237のユーザーズ・マニュアルとしてお使いの場合は、 μ PD78233を μ PD78237と読み替えてください。

レジスタ名が分かっていて、レジスタの詳細を確認するとき

→付録D レジスタ索引を利用してください。

他の78K/IIシリーズとの違いを知りたいとき

→付録A 78K/IIシリーズ製品一覧で違いのある項目を確認してください。

さらに、詳細について確認したい場合は付録E 総合索引を利用してください。

機能名などが分かっていて、その詳細を確認するとき

→付録E 総合索引を利用してください。

デバッグをしていて、おかしい動作をしているとき

→各章末に注意事項がまとめてありますので、関連する機能の注意事項を参照してみてください。

一通りμPD78234サブシリーズの機能を理解しようとするとき

→目次に従って読んでください。

μPD78234サブシリーズの命令機能の詳細を知りたいとき

→別冊の78K/IIシリーズ ユーザーズ・マニュアル 命令編 (IEU-754) を参照してください。

μPD78234サブシリーズの電気的特性を知りたいとき

→別冊のデータ・シートを参照してください。

μPD78234サブシリーズの各種機能の応用例を知りたいとき

→別冊のアプリケーション・ノートを参照してください。

凡 例	データ表記の重み	: 左側が上位桁, 右側が下位桁
	アクティブ・ロウの表記	: $\overline{\text{X}}\text{X}\text{X}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 特に気をつけていただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数... $\text{X}\text{X}\text{X}\text{X}\text{B}$ または $\text{X}\text{X}\text{X}\text{X}$
		: 10進数... $\text{X}\text{X}\text{X}\text{X}$
		: 16進数... $\text{X}\text{X}\text{X}\text{X}\text{H}$

レジスタ表記

	7	6	5	4	③	2	1	0
EDC	B	1	0	×	A	1	0	×

ビット番号を○で囲んでいるものは、そのビット名称がNEC製アセンブラでは予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

ライト動作時	リード動作時
0または1を書き込みます。いずれの値でも動作には影響を与えません。	0または1を読み出します。
0を書く必要があります。 1を書く必要があります。	
使用したい機能に応じた値を書き込みます。	動作状態に従った値を読み出します。

本文中のレジスタ表記に『設定禁止』と書いてあるコードの組み合わせは、絶対に書き込まないでください。

- まぎらわしい文字 : 0 (ゼロ), O (オー)
- : 1 (イチ), l (エル), I (アイ)

関連資料 次の資料とあわせてご利用ください。

● μ PD78234サブシリーズに関する資料

資 料 名		品 名		
		μ PD78233 μ PD78234 μ PD78237 μ PD78238	μ PD78P238	μ PD78234(A) μ PD78238(A)
パンフレット		IF-207		-
データ・シート		IC-7902	IC-8030	IC-8146
ユーザーズ・マニュアル	ハードウェア編	このマニュアル		
	命令編	IEU-754		
インストラクション・セット		IEM-S102		
インストラクション活用表		IEM-S101		
特殊機能レジスタ活用表		IEM-S515		
アプリケーション・ノート	基礎編	IEA-607		
	応用編	IEA-700		
	浮動小数点 演算プログラム編	IEA-686		

●シリアル・バス・インタフェース (SBI) ユーザーズ・マニュアル (IEM-5040)

●開発ツールに関する資料

資 料 名		資料番号
IE-78230-R インサーキット・エミュレータ ユーザーズ・マニュアル	ハードウェア編	EEU-682
	ソフトウェア編	EEU-685
IE-78230-R-A インサーキット・エミュレータ ユーザーズ・マニュアル		EEU-789
RA78Kシリーズ アセンブラ・パッケージ ユーザーズ・マニュアル	言語編	EEU-815
	操作編	EEU-809
78Kシリーズ構造化アセンブラ・プリプロセッサ ユーザーズ・マニュアル		EEU-817
CC78Kシリーズ Cコンパイラ ユーザーズ・マニュアル	言語編	EEU-655
	操作編	EEU-656
CC78Kシリーズ Cコンパイラ ライブラリ・ソース・ファイル ユーザーズ・マニュアル		EEU-777
SD78K/II スクリーン・ディバッガ ユーザーズ・マニュアル MS-DOSベース	入門編	EEU-841
	レファレンス編	EEU-813
SD78K/II スクリーン・ディバッガ ユーザーズ・マニュアル PC DOSベース	入門編	-
	レファレンス編	EEU-956
78K/IIシリーズ 開発ツール セレクション・ガイド		EF-231

●組み込み用ソフトウェアに関する資料

資 料 名		資料番号
RX78Kシリーズ リアルタイムOS パンフレット		EF-249
RX78K/II リアルタイムOS ユーザーズ・マニュアル	基礎編	EEU-910
	インストール編	EEU-884
	ディバッガ編	EEU-895
	テクニカル編	EEU-885
RX78K/II リアルタイムOS アプリケーション・ノート		EEA-614
ファジィ推論開発支援システム パンフレット		EF-235
78K/IIシリーズ ファジィ推論開発支援システム ユーザーズ・マニュアル	ファジィ推論モジュール	EEU-860
78K/0, 78K/II, 87ADシリーズ ファジィ推論開発支援システム ユーザーズ・マニュアル	トランスレータ	EEU-862
ファジィ知識データ作成ツール ユーザーズ・マニュアル		EEU-829
78K/IIシリーズ ファジィ推論ディバッガ ユーザーズ・マニュアル		EEU-917

●その他の関連資料

資 料 名		資料番号
QTOPマイコン パンフレット		IB-5040
パッケージマニュアル		IEI-635
半導体デバイス 実装マニュアル		IEI-616
NEC半導体デバイスの品質水準		IEI-620
NEC半導体デバイスの信頼性品質管理		IEM-5068
静電気放電 (ESD) 試験について		MEM-539
半導体デバイスの品質保証ガイド		MEI-603
マイクロコンピュータ関連製品ガイド 社外メーカ編		MEI-604

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 … 1

- 1.1 特 徴 … 3
- 1.2 オーダ情報と品質水準 … 4
 - 1.2.1 オーダ情報 … 4
 - 1.2.2 品質水準 … 5
- 1.3 端子接続図 … 6
 - 1.3.1 通常動作モード … 6
 - 1.3.2 PROMプログラミング・モード … 10
- 1.4 応用システム構成例 (LBPエンジン) … 14
- 1.5 内部ブロック図 … 15
- 1.6 機能一覧 … 16
- 1.7 μ PD78234サブシリーズ製品間の違い … 18
 - 1.7.1 機能の違い … 18
 - 1.7.2 パッケージの違い … 19
 - 1.7.3 μ PD78234, 78238と μ PD78234(A), 78238(A)の違い … 19

第2章 端子機能 … 21

- 2.1 端子機能一覧 … 21
 - 2.1.1 通常動作モード … 21
 - 2.1.2 PROMプログラミング・モード … 23
- 2.2 端子機能説明 … 24
 - 2.2.1 通常動作モード … 24
 - 2.2.2 PROMプログラミング・モード … 32
- 2.3 入出力回路と未使用端子の処理 … 33
- 2.4 注意事項 … 36

第3章 CPU機能 … 37

- 3.1 メモリ空間 … 37
 - 3.1.1 内部プログラム・メモリ領域 … 43
 - 3.1.2 内部RAM領域 … 44
 - 3.1.3 特殊機能レジスタ (SFR) 領域 … 44
 - 3.1.4 外部SFR領域 … 45
 - 3.1.5 外部メモリ空間 … 45
 - 3.1.6 外部拡張データ・メモリ空間 … 45
 - 3.1.7 μ PD78P238のメモリ・マッピング … 47
- 3.2 レジスタ … 48
 - 3.2.1 プログラム・カウンタ (PC) … 48
 - 3.2.2 プログラム・ステータス・ワード (PSW) … 48
 - 3.2.3 スタック・ポインタ (SP) … 50
 - 3.2.4 汎用レジスタ … 51

3.2.5	特殊機能レジスタ (SFR)	… 55
3.3	注意事項	… 59
第4章	クロック発生回路	… 61
4.1	構成と機能	… 61
4.2	注意事項	… 63
4.2.1	外部クロックを入力する場合	… 63
4.2.2	クリスタル／セラミック発振の場合	… 64
第5章	ポート機能	… 67
5.1	デジタル入出力ポート	… 67
5.2	ポート0	… 69
5.2.1	ハードウェア構成	… 69
5.2.2	出力モード／コントロール・モードの設定	… 70
5.2.3	動作状態	… 71
5.2.4	内蔵プルアップ抵抗	… 71
5.2.5	トランジスタのドライブ	… 72
5.3	ポート1	… 73
5.3.1	ハードウェア構成	… 73
5.3.2	入出力モード／コントロール・モードの設定	… 75
5.3.3	動作状態	… 76
5.3.4	内蔵プルアップ抵抗	… 79
5.3.5	LEDのダイレクト・ドライブ	… 81
5.4	ポート2	… 82
5.4.1	ハードウェア構成	… 84
5.4.2	入出力モード／コントロール・モードの設定	… 85
5.4.3	動作状態	… 85
5.4.4	内蔵プルアップ抵抗	… 86
5.5	ポート3	… 88
5.5.1	ハードウェア構成	… 90
5.5.2	入出力モード／コントロール・モードの設定	… 94
5.5.3	動作状態	… 96
5.5.4	内蔵プルアップ抵抗	… 99
5.6	ポート4	… 101
5.6.1	ハードウェア構成	… 101
5.6.2	入出力モード／コントロール・モードの設定	… 102
5.6.3	動作状態	… 102
5.6.4	内蔵プルアップ抵抗	… 104
5.6.5	LEDのダイレクト・ドライブ	… 105
5.7	ポート5	… 106
5.7.1	ハードウェア構成	… 106
5.7.2	入出力モード／コントロール・モードの設定	… 107
5.7.3	動作状態	… 108
5.7.4	内蔵プルアップ抵抗	… 110
5.7.5	LEDのダイレクト・ドライブ	… 111

5.8	ポート6	… 112
5.8.1	ハードウェア構成	… 113
5.8.2	入出力モード／コントロール・モードの設定	… 117
5.8.3	動作状態	… 120
5.8.4	内蔵プルアップ抵抗	… 122
5.9	ポート7	… 123
5.9.1	ハードウェア構成	… 123
5.9.2	入出力モード／コントロール・モードの設定	… 123
5.9.3	動作状態	… 124
5.9.4	内蔵プルアップ抵抗	… 124
5.9.5	注意事項	… 124
5.10	注意事項	… 125
第6章	リアルタイム出力機能	… 127
6.1	構成と機能	… 127
6.2	リアルタイム出力ポート・コントロール・レジスタ (RTPC)	… 129
6.3	リアルタイム出力ポートのアクセス	… 130
6.4	動作	… 132
6.5	使用例	… 135
6.6	注意事項	… 138
第7章	タイマ／カウンタ・ユニット	… 141
7.1	16ビット・タイマ／カウンタ	… 143
7.1.1	機能	… 143
7.1.2	構成	… 144
7.1.3	16ビット・タイマ／カウンタ制御レジスタ	… 147
7.1.4	16ビット・タイマ0 (TM0) の動作	… 151
7.1.5	コンペア・レジスタ, キャプチャ・レジスタの動作	… 155
7.1.6	出力制御回路の基本動作	… 158
7.1.7	PWM出力	… 162
7.1.8	PPG出力	… 167
7.1.9	ソフト・トリガド・ワンショット・パルス出力	… 174
7.1.10	使用例	… 175
7.2	8ビット・タイマ／カウンタ1	… 193
7.2.1	機能	… 193
7.2.2	構成	… 194
7.2.3	8ビット・タイマ／カウンタ1制御レジスタ	… 198
7.2.4	8ビット・タイマ1 (TM1) の動作	… 201
7.2.5	コンペア・レジスタ, キャプチャ／コンペア・レジスタの動作	… 205
7.2.6	使用例	… 210
7.3	8ビット・タイマ／カウンタ2	… 219
7.3.1	機能	… 219
7.3.2	構成	… 221
7.3.3	8ビット・タイマ／カウンタ2制御レジスタ	… 224
7.3.4	8ビット・タイマ2 (TM2) の動作	… 228

- 7.3.5 外部イベント・カウンタ機能 … 232
- 7.3.6 ワンショット・タイマ機能 … 237
- 7.3.7 コンペア・レジスタ, キャプチャ・レジスタの動作 … 238
- 7.3.8 出力制御回路の基本動作 … 242
- 7.3.9 PWM出力 … 246
- 7.3.10 PPG出力 … 252
- 7.3.11 使用例 … 259
- 7.4 8ビット・タイマ/カウンタ3 … 283**
 - 7.4.1 機能 … 283
 - 7.4.2 構成 … 284
 - 7.4.3 8ビット・タイマ/カウンタ3制御レジスタ … 286
 - 7.4.4 8ビット・タイマ3 (TM3) の動作 … 288
 - 7.4.5 コンペア・レジスタの動作 … 291
 - 7.4.6 使用例 … 292
- 7.5 注意事項 … 294**
 - 7.5.1 全タイマ/カウンタ共通の注意事項 … 294
 - 7.5.2 16ビット・タイマ/カウンタに関する注意事項 … 303
 - 7.5.3 8ビット・タイマ/カウンタ2に関する注意事項 … 304
 - 7.5.4 インサーキット・エミュレータ使用時の注意事項 … 308

第8章 PWM出力ユニット … 311

- 8.1 PWM出力ユニットの構成 … 311**
- 8.2 PWM出力ユニットの制御レジスタ … 313**
 - 8.2.1 PWMコントロール・レジスタ (PWMC) … 313
 - 8.2.2 PWMモジュロ・レジスタ (PWM0, PWM1) … 314
- 8.3 PWM出力ユニットの動作 … 315**
 - 8.3.1 PWM出力の基本動作 … 315
 - 8.3.2 PWMパルス出力の許可/禁止 … 315
 - 8.3.3 PWMパルスのアクティブ・レベルの指定 … 316
 - 8.3.4 PWMパルス幅書き換え周期の指定 … 317
- 8.4 注意事項 … 318**

第9章 A/Dコンバータ … 319

- 9.1 構成 … 319**
- 9.2 A/Dコンバータ・モード・レジスタ (ADM) … 323**
- 9.3 動作 … 325**
 - 9.3.1 A/Dコンバータの基本動作 … 325
 - 9.3.2 セレクト・モード … 329
 - 9.3.3 スキャン・モード … 330
 - 9.3.4 ソフトウェア・スタートによるA/D変換動作の起動 … 332
 - 9.3.5 ハードウェア・スタートによるA/D変換動作の起動 … 334
- 9.4 A/Dコンバータの割り込み要求 … 338**
- 9.5 注意事項 … 339**

第10章	D/Aコンバータ	… 343
10.1	構成	… 343
10.2	D/Aコンバータの動作	… 345
10.3	注意事項	… 346
第11章	アシンクロナス・シリアル・インタフェース	… 349
11.1	構成	… 349
11.2	アシンクロナス・シリアル・インタフェース制御レジスタ	… 352
11.3	アシンクロナス・シリアル・インタフェースの動作	… 354
11.3.1	データ・フォーマット	… 354
11.3.2	パリティの種類と動作	… 355
11.3.3	送信	… 356
11.3.4	受信	… 357
11.3.5	受信エラー	… 358
11.4	ポーレート・ジェネレータ	… 360
11.4.1	専用ポーレート・ジェネレータの構成	… 360
11.4.2	ポーレート・ジェネレータ・コントロール・レジスタ (BRGC)	… 361
11.4.3	専用ポーレート・ジェネレータの動作	… 363
11.5	ポーレートの設定方法	… 364
11.5.1	専用ポーレート・ジェネレータを使用した場合の設定例	… 365
11.5.2	8ビット・タイマ/カウンタ3を使用した場合の設定例	… 367
11.5.3	外部ポーレート入力 (ASCK) を使用した場合の設定例	… 369
11.6	注意事項	… 370
第12章	クロック同期式シリアル・インタフェース	… 371
12.1	機能	… 371
12.2	構成	… 371
12.3	制御レジスタ	… 374
12.3.1	クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM)	… 374
12.3.2	シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)	… 375
12.4	3線式シリアルI/Oモード	… 377
12.4.1	基本動作タイミング	… 378
12.4.2	送信のみ許可の場合の動作	… 380
12.4.3	受信のみ許可の場合の動作	… 381
12.4.4	送受信許可の場合の動作	… 382
12.4.5	シリアル・クロックとシフト動作がずれた場合の処置方法	… 383
12.5	SBIモード	… 384
12.5.1	SBIの特徴	… 385
12.5.2	シリアル・インタフェースの構成	… 387
12.5.3	アドレスの一致検出方法	… 389
12.5.4	SBIモードの制御レジスタ	… 389
12.6	SBIの通信動作と各種信号	… 394
12.6.1	バス・リリース信号 (REL)	… 395

- 12.6.2 コマンド信号 (CMD) … 395
- 12.6.3 アドレス … 396
- 12.6.4 コマンド, データ … 397
- 12.6.5 アクノリッジ信号 ($\overline{\text{ACK}}$) … 398
- 12.6.6 ビジィ信号 ($\overline{\text{BUSY}}$), レディ信号 (READY) … 399
- 12.6.7 各種信号 … 400
- 12.6.8 通信動作 … 407
- 12.6.9 ビジィ解除方法 … 412
- 12.6.10 ウェイク・アップ設定動作 … 412
- 12.6.11 送受信動作のスタート … 412
- 12.7 注意事項** … 413

第13章 エッジ検出機能 … 415

- 13.1 外部割り込みモード・レジスタ (INTMO, INTM1)** … 415
- 13.2 P20端子のエッジ検出** … 418
- 13.3 P21 - P26端子のエッジ検出** … 419
- 13.4 注意事項** … 422

第14章 割り込み機能 … 425

- 14.1 割り込み要求ソース** … 426
 - 14.1.1 ソフトウェア割り込み要求 … 427
 - 14.1.2 ノンマスカブル割り込み要求 … 427
 - 14.1.3 マスカブル割り込み要求 … 427
 - 14.1.4 割り込み要求ソースの選択 … 428
- 14.2 割り込み処理制御レジスタ** … 430
 - 14.2.1 割り込み要求フラグ・レジスタ (IFO) … 431
 - 14.2.2 割り込みマスク・レジスタ (MKO) … 431
 - 14.2.3 割り込みサービス・モード・レジスタ (ISMO) … 432
 - 14.2.4 優先順位指定フラグ・レジスタ (PRO) … 432
 - 14.2.5 割り込みステータス・レジスタ (IST) … 433
 - 14.2.6 プログラム・ステータス・ワード (PSW) … 434
- 14.3 割り込み処理動作** … 435
 - 14.3.1 ソフトウェア割り込みの受け付け動作 … 435
 - 14.3.2 ノンマスカブル割り込みの受け付け動作 … 435
 - 14.3.3 マスカブル割り込みの受け付け動作 … 439
 - 14.3.4 多重割り込みの処理 … 441
 - 14.3.5 割り込み要求およびマクロ・サービスが一時的に保留される場合 … 444
 - 14.3.6 割り込みおよびマクロ・サービスの動作タイミング … 446
- 14.4 マクロ・サービス機能** … 450
 - 14.4.1 マクロ・サービスの概要 … 450
 - 14.4.2 マクロ・サービスの種類 … 451
 - 14.4.3 マクロ・サービスの基本動作 … 453
 - 14.4.4 マクロ・サービス制御レジスタ … 454
 - 14.4.5 マクロ・サービス・タイプA … 456
 - 14.4.6 マクロ・サービス・タイプB … 461

14.4.7	マクロ・サービス・タイプC	… 466
14.5	注意事項	… 480
第15章	ローカル・バス・インタフェース機能	… 485
15.1	制御レジスタ	… 486
15.1.1	メモリ拡張モード・レジスタ (MM)	… 486
15.1.2	プログラマブル・ウェイト制御レジスタ (PW)	… 487
15.1.3	メモリ・サイズ切り替えレジスタ (IMS)	… 487
15.2	メモリ拡張機能	… 488
15.2.1	外部メモリ拡張機能	… 488
15.2.2	1Mバイト拡張機能	… 490
15.2.3	μPD78P238のメモリ・マッピング	… 492
15.2.4	メモリ拡張時のメモリ・マップ	… 492
15.2.5	メモリとの接続例	… 498
15.3	内部ROM高速フェッチ機能	… 500
15.4	ウェイト機能	… 500
15.5	疑似スタティックRAMリフレッシュ機能	… 510
15.5.1	機能	… 510
15.5.2	リフレッシュ・モード・レジスタ (RFM)	… 511
15.5.3	動作	… 512
15.5.4	疑似スタティックRAMとの接続例	… 517
15.6	注意事項	… 518
第16章	スタンバイ機能	… 523
16.1	構成と機能	… 523
16.2	スタンバイ・コントロール・レジスタ (STBC)	… 525
16.3	HALTモード	… 526
16.3.1	HALTモードの設定および動作状態	… 526
16.3.2	HALTモードの解除	… 527
16.4	STOPモード	… 530
16.4.1	STOPモードの設定および動作状態	… 530
16.4.2	STOPモードの解除	… 531
16.4.3	STOPモード使用時のチェック項目	… 534
16.5	注意事項	… 537
第17章	リセット機能	… 539
17.1	リセット機能	… 539
17.2	注意事項	… 544
第18章	応用例	… 545
18.1	ステッピング・モータの開ループ制御	… 545
18.2	複数デバイスとのシリアル通信	… 547

第19章 μ PD78P238のプログラミング … 549

- 19.1 動作モード … 549
- 19.2 PROM書き込みの手順 … 550
- 19.3 PROM読み出しの手順 … 552
- 19.4 注意事項 … 553

第20章 命令のオペレーション … 555

- 20.1 凡 例 … 555
 - 20.1.1 オペランド欄 … 555
 - 20.1.2 オペレーション欄 … 557
 - 20.1.3 フラグ欄 … 557
- 20.2 オペレーション一覧 … 558
- 20.3 アドレッシング別命令一覧表 … 569

付録A 78K/IIシリーズ製品一覧 … 573

付録B 開発ツール … 581

- B.1 ハードウェア … 583
- B.2 ソフトウェア … 585
 - B.2.1 言語処理用ソフトウェア … 585
 - B.2.2 インサーキット・エミュレータ用ソフトウェア … 588
 - B.2.3 PROMプログラマ用ソフトウェア … 589
 - B.2.4 IBM PC用のOSについて … 589
- B.3 他のインサーキット・エミュレータからのシステム・アップ方法 … 590
 - B.3.1 IE-78230-R-Aへのシステム・アップ方法 … 590
 - B.3.2 IE-78230-Rへのシステム・アップ方法 … 591

★

付録C 組み込み用ソフトウェア … 593

- C.1 リアルタイムOS … 593
- C.2 ファジィ推論開発支援システム … 594

付録D レジスタ索引 … 595

- D.1 レジスタ索引 (50音順) … 595
- D.2 レジスタ索引 (アルファベット順) … 598

付録E 総合索引 … 601

- E.1 50音で始まる語句の索引 … 601
- E.2 アルファベットで始まる語句の索引 … 612

図の目次 (1/13)

図番号	タイトル, ページ
2-1	端子の入出力回路 … 35
3-1	μPD78233のメモリ・マップ … 39
3-2	μPD78234のメモリ・マップ … 40
3-3	μPD78237のメモリ・マップ … 41
3-4	μPD78238のメモリ・マップ … 42
3-5	バンク間でのデータ転送例 … 46
3-6	メモリ・サイズ切り替えレジスタ … 47
3-7	プログラム・カウンタの構成 … 48
3-8	プログラム・ステータス・ワードの構成 … 48
3-9	スタック・ポインタの構成 … 50
3-10	スタック領域へ退避されるデータ … 50
3-11	スタック領域から復帰されるデータ … 50
3-12	汎用レジスタの構成 … 51
4-1	クロック発生回路のブロック図 … 61
4-2	クロック発振回路の外付け回路 … 62
4-3	外部クロック入力時の信号取り出し点 … 63
4-4	発振子の接続の注意点 … 64
4-5	発振子の接続の悪い例 … 65
5-1	ポートの構成 … 67
5-2	ポート0のブロック図 … 69
5-3	ポート0モード・レジスタのフォーマット … 70
5-4	出力ポート指定のポート … 71
5-5	トランジスタのドライブ例 … 72
5-6	P10, P11 (ポート1) のブロック図 … 73
5-7	P12-P17 (ポート1) のブロック図 … 74
5-8	ポート1モード・レジスタのフォーマット … 75
5-9	出力ポート指定のポート … 76
5-10	入力ポート指定のポート … 77
5-11	PWM信号出力指定の場合 … 78
5-12	プルアップ抵抗オプション・レジスタのフォーマット … 79
5-13	プルアップ抵抗の指定 (ポート1) … 80

図の目次 (2/13)

図番号	タイトル, ページ
5-14	LEDのダイレクト・ドライブ例 … 81
5-15	ポート2のブロック図 … 84
5-16	入力ポート指定のポート … 85
5-17	プルアップ抵抗オプション・レジスタのフォーマット … 86
5-18	プルアップの指定 (ポート2) … 87
5-19	P30 (ポート3) のブロック図 … 90
5-20	P31, P34-P37 (ポート3) のブロック図 … 91
5-21	P32 (ポート3) のブロック図 … 92
5-22	P33 (ポート3) のブロック図 … 93
5-23	ポート3モード・レジスタのフォーマット … 94
5-24	ポート3モード・コントロール・レジスタ (PMC3) のフォーマット … 95
5-25	出力ポート指定のポート … 96
5-26	入力ポート指定のポート … 97
5-27	コントロール指定の場合 … 98
5-28	プルアップ抵抗オプション・レジスタのフォーマット … 99
5-29	プルアップの指定 (ポート3) … 100
5-30	ポート4のブロック図 … 101
5-31	出力ポート指定のポート … 102
5-32	入力ポート指定のポート … 103
5-33	プルアップ抵抗オプション・レジスタのフォーマット … 104
5-34	プルアップの指定 (ポート4) … 105
5-35	LEDのダイレクト・ドライブ例 … 105
5-36	ポート5のブロック図 … 106
5-37	ポート5モード・レジスタのフォーマット … 107
5-38	出力ポート指定のポート … 108
5-39	入力ポート指定のポート … 109
5-40	プルアップ抵抗オプション・レジスタのフォーマット … 110
5-41	プルアップの指定 (ポート5) … 111
5-42	LEDのダイレクト・ドライブ例 … 111
5-43	P60-P63 (ポート6) のブロック図 … 113
5-44	P64, P65 (ポート6) のブロック図 … 114
5-45	P66 (ポート6) のブロック図 … 115
5-46	P67 (ポート6) のブロック図 … 116
5-47	ポート6モード・レジスタのフォーマット … 119

図の目次 (3/13)

図番号	タイトル, ページ
5-48	出力ポート指定のポート … 120
5-49	入力ポート指定のポート … 121
5-50	プルアップ抵抗オプション・レジスタのフォーマット … 122
5-51	プルアップの指定 (ポート6) … 122
5-52	ポート7のブロック図 … 123
5-53	入力ポート指定のポート … 124
6-1	リアルタイム出力ポートのブロック図 … 128
6-2	リアルタイム出力ポート・コントロール・レジスタ (RTPC) のフォーマット … 129
6-3	バッファ・レジスタ (POH, POL) の構成 … 130
6-4	リアルタイム出力ポートの動作タイミング … 133
6-5	リアルタイム出力ポートの動作タイミング (2ch独立制御の例) … 134
6-6	リアルタイム出力ポートの動作タイミング … 135
6-7	リアルタイム出力機能の制御レジスタの設定内容 … 136
6-8	リアルタイム出力機能の設定手順 … 136
6-9	リアルタイム出力機能使用時の割り込み要求処理 … 137
7-1	タイマ/カウンタ・ユニットのブロック図 … 142
7-2	16ビット・タイマ/カウンタのブロック図 … 145
7-3	タイマ・コントロール・レジスタ0 (TMC0) のフォーマット … 147
7-4	キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のフォーマット … 148
7-5	タイマ出力コントロール・レジスタ (TOC) のフォーマット … 149
7-6	ワンショット・パルス出力制御レジスタのフォーマット … 150
7-7	16ビット・タイマ0 (TM0) の基本動作 … 152
7-8	コンペア・レジスタ (CR01) との一致によるTM0のクリア … 153
7-9	CEOビットをリセット(0)した場合のクリア動作 … 154
7-10	コンペア動作 … 155
7-11	一致検出後, TM0のクリア … 156
7-12	キャプチャ動作 … 157
7-13	トグル出力の動作 … 160
7-14	PWMパルス出力 … 162
7-15	TM0を用いたPWM出力例 … 163

図の目次 (4/13)

図番号	タイトル, ページ
7-16	CR00=FFFFHのときのPWM出力例 … 163
7-17	コンペア・レジスタの書き換え例 … 164
7-18	PWM出力時にデューティが100%になる例 … 165
7-19	PWM信号出力中に16ビット・タイマ/カウンタ0を停止した場合 … 166
7-20	TMOを用いたPPG出力例 … 168
7-21	CR00=CR01のときのPPG出力例 … 169
7-22	CR00=0000HのときのPPG出力例 … 169
7-23	コンペア・レジスタの書き換え例 … 170
7-24	PPG出力時にデューティが100%になる例 … 171
7-25	PPG出力の周期が長くなる例 … 172
7-26	PPG信号出力中に16ビット・タイマ/カウンタ0を停止した場合 … 173
7-27	ソフト・トリガド・ワンショット・パルス出力例 … 174
7-28	インターバル・タイマ動作 (1) のタイミング … 175
7-29	インターバル・タイマ動作 (1) における制御レジスタの設定内容 … 176
7-30	インターバル・タイマ動作 (1) の設定手順 … 176
7-31	インターバル・タイマ動作 (1) の割り込み要求処理 … 177
7-32	インターバル・タイマ動作 (2) のタイミング … 177
7-33	インターバル・タイマ動作 (2) における制御レジスタの設定内容 … 178
7-34	インターバル・タイマ動作 (2) の設定手順 … 178
7-35	パルス幅測定のタイミング … 179
7-36	パルス幅測定における制御レジスタの設定内容 … 180
7-37	パルス幅測定の設定手順 … 181
7-38	パルス幅を算出する割り込み要求処理 … 181
7-39	16ビット・タイマ/カウンタのPWM信号出力例 … 182
7-40	PWM出力動作における制御レジスタの設定内容 … 183
7-41	PWM出力の設定手順 … 184
7-42	PWM出力のデューティ変更 … 185
7-43	16ビット・タイマ/カウンタのPPG信号出力例 … 186
7-44	PPG出力動作における制御レジスタの設定内容 … 187
7-45	PPG出力の設定手順 … 188
7-46	PPG出力のデューティ変更 … 189
7-47	16ビット・タイマ/カウンタのワンショット・パルス出力例 … 190
7-48	ワンショット・パルス出力における制御レジスタ設定内容 … 191
7-49	ワンショット・パルス出力の設定手順 … 192

図の目次 (5/13)

図番号	タイトル, ページ
7-50	8ビット・タイマ/カウンタ1のブロック図 … 195
7-51	タイマ・コントロール・レジスタ1 (TMC1) のフォーマット … 198
7-52	プリスケアラ・モード・レジスタ1 (PRM1) のフォーマット … 199
7-53	キャプチャ/コンペア・コントロール・レジスタ1 (CRC1) のフォーマット … 200
7-54	8ビット・タイマ1 (TM1) の基本動作 … 202
7-55	コンペア・レジスタ (CR1m) との一致によるTM1のクリア … 203
7-56	キャプチャ後, TM1のクリア … 203
7-57	CE1ビットをリセット(0)した場合のクリア動作 … 204
7-58	コンペア動作 … 205
7-59	一致検出後, TM1のクリア … 206
7-60	キャプチャ動作 … 208
7-61	キャプチャ後, TM1のクリア … 209
7-62	インターバル・タイマ動作 (1) のタイミング … 210
7-63	インターバル・タイマ動作 (1) における制御レジスタの設定内容 … 211
7-64	インターバル・タイマ動作 (1) の設定手順 … 212
7-65	インターバル・タイマ動作 (1) の割り込み要求処理 … 212
7-66	インターバル・タイマ動作 (2) のタイミング (CR11をコンペア・レジスタとして使用する場合) … 213
7-67	インターバル・タイマ動作 (2) の制御レジスタの設定内容 … 214
7-68	インターバル・タイマ動作 (2) の設定手順 … 215
7-69	パルス幅測定のタイミング (CR11をキャプチャ・レジスタとして使用する場合) … 216
7-70	パルス幅測定の設定レジスタの設定内容 … 217
7-71	パルス幅測定の設定手順 … 218
7-72	パルス幅を算出する割り込み要求処理 … 218
7-73	8ビット・タイマ/カウンタ2のブロック図 … 222
7-74	タイマ・コントロール・レジスタ1 (TMC1) のフォーマット … 224
7-75	プリスケアラ・モード・レジスタ1 (PRM1) のフォーマット … 225
7-76	キャプチャ/コンペア・コントロール・レジスタ2 (CRC2) のフォーマット … 226
7-77	タイマ出力コントロール・レジスタ (TOC) のフォーマット … 227
7-78	8ビット・タイマ2 (TM2) の基本動作 … 229
7-79	コンペア・レジスタ (CR21) との一致によるTM2のクリア … 230
7-80	キャプチャ後, TM2のクリア … 230

図の目次 (6/13)

図番号	タイトル, ページ
7-81	CE2ビットをリセット(0)した場合のクリア動作 … 231
7-82	8ビット・タイマ/カウンタ2の外部イベント・カウントのタイミング … 232
7-83	外部イベント・カウンタでの割り込み要求発生 … 234
7-84	外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例 … 235
7-85	外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法 … 236
7-86	ワンショット・タイマ動作 … 237
7-87	コンペア動作 … 238
7-88	一致検出後, TM2のクリア … 239
7-89	キャプチャ動作 … 241
7-90	キャプチャ後, TM2のクリア … 242
7-91	トグル出力の動作 … 244
7-92	PWMパルス出力 … 247
7-93	TM2を用いたPWM出力例 … 248
7-94	CR20=FFHのときのPWM出力例 … 248
7-95	コンペア・レジスタの書き換え例 … 249
7-96	PWM出力時にデューティが100%になる例 … 250
7-97	PWM信号出力中に8ビット・タイマ/カウンタ2を停止した場合 … 251
7-98	TM2を用いたPPG出力例 … 253
7-99	CR20=CR21のときのPPG出力例 … 254
7-100	CR20=00HのときのPPG出力例 … 254
7-101	コンペア・レジスタの書き換え例 … 255
7-102	PPG出力時にデューティが100%になる例 … 256
7-103	PPG出力の周期が長くなる例 … 257
7-104	PPG信号出力中に8ビット・タイマ/カウンタ2を停止した場合 … 258
7-105	インターバル・タイマ動作 (1) のタイミング … 259
7-106	インターバル・タイマ動作 (1) における制御レジスタの設定内容 … 260
7-107	インターバル・タイマ動作 (1) の設定手順 … 261
7-108	インターバル・タイマ動作 (1) の割り込み要求処理 … 261
7-109	インターバル・タイマ動作 (2) のタイミング … 262
7-110	インターバル・タイマ動作 (2) の制御レジスタの設定内容 … 263
7-111	インターバル・タイマ動作 (2) の設定手順 … 264
7-112	パルス幅測定のタイミング … 265
7-113	パルス幅測定の制御レジスタの設定内容 … 266
7-114	パルス幅測定の設定手順 … 267

図の目次 (7/13)

図番号	タイトル, ページ
7-115	パルス幅を算出する割り込み要求処理 … 267
7-116	8ビット・タイマ/カウンタ2のPWM信号出力例 … 268
7-117	PWM出力動作における制御レジスタの設定内容 … 269
7-118	PWM出力の設定手順 … 271
7-119	PWM出力のデューティ変更 … 272
7-120	8ビット・タイマ/カウンタ2のPPG信号出力例 … 273
7-121	PPG出力動作における制御レジスタの設定内容 … 274
7-122	PPG出力の設定手順 … 276
7-123	PPG出力のデューティ変更 … 277
7-124	外部イベント・カウンタ動作 (片エッジの場合) … 278
7-125	外部イベント・カウンタ動作の制御レジスタの設定内容 … 279
7-126	外部イベント・カウンタ動作の設定手順 … 279
7-127	ワンショット・タイマ動作 … 280
7-128	ワンショット・タイマ動作の制御レジスタの設定内容 … 281
7-129	ワンショット・タイマ動作の設定手順 … 282
7-130	2回目以降のワンショット・タイマの起動手順 … 282
7-131	8ビット・タイマ/カウンタ3のブロック図 … 284
7-132	タイマ・コントロール・レジスタ (TMC0) のフォーマット … 286
7-133	プリスケアラ・モード・レジスタ0 (PRM0) のフォーマット … 287
7-134	8ビット・タイマ3 (TM3) の基本動作 … 288
7-135	コンペア・レジスタ (CR30) との一致によるTM3のクリア … 289
7-136	CE3ビットをリセット(0)した場合のクリア動作 … 290
7-137	コンペア動作 … 291
7-138	インターバル・タイマ動作のタイミング … 292
7-139	インターバル・タイマ動作の制御レジスタの設定内容 … 293
7-140	インターバル・タイマ動作の設定手順 … 293
7-141	カウント・スタート時の動作 … 296
7-142	カウント動作の停止 … 297
7-143	カウント動作の停止, 再スタートのタイミング … 297
7-144	PWM出力時にデューティが100%になる例 … 299
7-145	PPG出力時にデューティが100%になる例 … 300
7-146	PPG出力の周期が長くなる例 … 301
7-147	外部イベント・カウンタでの割り込み要求発生 … 304
7-148	外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例 … 305

図の目次 (8/13)

図番号	タイトル, ページ
7-149	外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法 … 306
7-150	誤検出したエッジによる割り込み発生タイミングの変化 … 309
8-1	PWM出力ユニットの構成 … 311
8-2	PWMコントロール・レジスタ (PWMC) のフォーマット … 313
8-3	PWM出力の基本動作 … 315
8-4	PWM出力のアクティブ・レベル設定 … 316
8-5	PWM出力タイミング例1 (PWMパルス幅書き換え周期 $2^{12}/f_{CLK}$) … 317
8-6	PWM出力タイミング例2 (PWMパルス幅書き換え周期 $2^8/f_{CLK}$) … 318
9-1	A/Dコンバータのブロック図 … 320
9-2	A/Dコンバータ用端子のキャパシタ接続例 … 321
9-3	A/Dコンバータ・モード・レジスタ (ADM) のフォーマット … 324
9-4	A/Dコンバータの基本動作 … 326
9-5	アナログ入力電圧とA/D変換結果の関係 … 327
9-6	セレクト・モードの動作タイミング … 329
9-7	スキャン・モードの動作タイミング … 330
9-8	ソフトウェア・スタートによるセレクト・モードのA/D変換動作 … 332
9-9	ソフトウェア・スタートによるスキャン・モードのA/D変換動作 … 333
9-10	ハードウェア・スタートによるA/D変換の誤動作の例 … 335
9-11	ハードウェア・スタートによるセレクト・モードのA/D変換動作 … 336
9-12	ハードウェア・スタートによるスキャン・モードのA/D変換動作 … 337
9-13	A/Dコンバータ用端子のキャパシタ接続例 … 339
9-14	ハードウェア・スタートによるA/D変換の誤動作の例 … 340
10-1	D/Aコンバータのブロック図 ($n=0, 1$) … 343
10-2	D/Aコンバータの基準電圧入力端子のキャパシタ接続例 … 345
10-3	バッファ・アンプの挿入例 … 346
11-1	アシンクロナス・シリアル・インタフェースのブロック図 … 350
11-2	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のフォーマット … 352
11-3	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) のフォーマット … 353

図の目次 (9/13)

図番号	タイトル, ページ
11-4	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット … 354
11-5	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング … 356
11-6	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング … 357
11-7	受信エラー・タイミング … 358
11-8	ポー・レート生成用クロックの発生ブロック図 … 360
11-9	ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) のフォーマット … 362
12-1	クロック同期式シリアル・インタフェースのブロック図 … 372
12-2	クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) のフォーマット … 374
12-3	シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のフォーマット … 376
12-4	3線式シリアルI/Oのシステム構成例 … 377
12-5	3線式シリアルI/Oモードのタイミング … 378
12-6	2線式シリアルI/Oとの接続例 … 379
12-7	SBIによるシリアル・バス構成例 … 386
12-8	端子構成図 … 387
12-9	クロック同期式シリアル・インタフェースのブロック図 … 388
12-10	クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) のフォーマット … 390
12-11	SBICレジスタのフォーマット … 391
12-12	シフト・レジスタ周辺の構成 … 393
12-13	SBI転送のタイミング … 394
12-14	バス・リリース信号 … 395
12-15	コマンド信号 … 395
12-16	アドレス … 396
12-17	アドレスによるスレーブの選択 … 396
12-18	コマンド … 397
12-19	データ … 397
12-20	アクノリッジ信号 … 398
12-21	ビジィ信号, レディ信号 … 399
12-22	RELT, CMDT, RELD, CMDDの動作 … 400
12-23	ACKTの動作 … 400
12-24	ACKEの動作 … 401

図の目次 (10/13)

図番号	タイトル, ページ
12-25	ACKDの動作 … 402
12-26	BSYEの動作 … 403
12-27	マスタ・デバイスからスレーブ・デバイスへのアドレス送信動作 … 408
12-28	マスタ・デバイスからスレーブ・デバイスへのコマンド送信動作 … 409
12-29	マスタ・デバイスからスレーブ・デバイスへのデータ送信動作 … 410
12-30	スレーブ・デバイスからマスタ・デバイスへのデータ送信動作 … 411
13-1	外部割り込みモード・レジスタ0 (INTM0) のフォーマット … 416
13-2	外部割り込みモード・レジスタ1 (INTM1) のフォーマット … 417
13-3	P20端子のエッジ検出 … 418
13-4	P21-P26端子のエッジ検出 … 419
13-5	エッジの誤検出 … 420
13-6	エッジの誤検出 … 423
14-1	INTM1レジスタのフォーマット … 428
14-2	ADMレジスタのフォーマット … 429
14-3	割り込み要求フラグ・レジスタ (IFO) のフォーマット … 431
14-4	割り込みマスク・レジスタ (MK0) のフォーマット … 431
14-5	割り込みサービス・モード・レジスタ (ISM0) のフォーマット … 432
14-6	優先順位指定フラグ・レジスタ (PRO) のフォーマット … 432
14-7	割り込みステータス・レジスタ (IST) のフォーマット … 433
14-8	プログラム・ステータス・ワードのフォーマット … 434
14-9	NMI割り込み要求の受け付け動作 … 436
14-10	割り込み受け付け処理アルゴリズム … 440
14-11	割り込み処理中に他の割り込み要求が発生した場合の処理例 … 442
14-12	同時発生した割り込み要求の処理例 … 444
14-13	割り込み要求の発生と受け付け … 446
14-14	ベクタ割り込みとマクロ・サービスの処理の違い … 450
14-15	マクロ・サービス処理シーケンス … 453
14-16	マクロ・サービス・コントロール・ワードの構成 … 454
14-17	マクロ・サービス・モード・レジスタのフォーマット … 455
14-18	マクロ・サービス・データ転送処理フロー (タイプA) … 458
14-19	タイプAのマクロ・サービス・チャンネル … 459
14-20	アシンクロナス・シリアル受信 … 460

図の目次 (11/13)

図番号	タイトル, ページ
14-21	マクロ・サービス・データ転送処理フロー (タイプB) … 462
14-22	タイプBのマクロ・サービス・チャンネル … 464
14-23	外部割り込みに同期したパラレル・データ入力 … 465
14-24	パラレル・データ入力のタイミング … 465
14-25	マクロ・サービス・データ転送処理フロー (タイプC) … 468
14-26	タイプCのマクロ・サービス・チャンネル … 471
14-27	リアルタイム出力ポートによるステッピング・モータの開ループ制御 … 472
14-28	データ転送制御のタイミング … 473
14-29	4相ステッピング・モータの1相励磁の場合 … 475
14-30	4相ステッピング・モータの1-2相励磁の場合 … 475
14-31	自動加算制御+リング制御のブロック図1 (1-2相励磁で出力タイミングが変化する場合: MSC=8ビット) … 476
14-32	自動加算制御+リング制御のタイミング図1 (1-2相励磁で出力タイミングが変化する場合) … 477
14-33	自動加算制御+リング制御のブロック図2 (1-2相励磁の等速運動: MSC=16ビット) … 478
14-34	自動加算制御+リング制御のタイミング図2 (1-2相励磁の等速運動) … 479
15-1	メモリ拡張モード・レジスタ (MM) のフォーマット … 486
15-2	プログラマブル・ウェイト制御レジスタ (PW) のフォーマット … 487
15-3	メモリ・サイズ切り替えレジスタ … 487
15-4	リード・タイミング … 489
15-5	ライト・タイミング … 489
15-6	拡張データ・メモリのアクセス … 491
15-7	μ PD78233のデータ・メモリの拡張 … 494
15-8	μ PD78234およびIMS=DDHとしたときの μ PD78P238のデータ・メモリの拡張 … 495
15-9	μ PD78237のデータ・メモリの拡張 … 496
15-10	μ PD78238およびIMS=FFHとしたときの μ PD78P238のデータ・メモリの拡張 … 497
15-11	μ PD78234とメモリの接続例 … 499
15-12	μ PD78233のウェイト制御の空間 … 501
15-13	μ PD78234のウェイト制御の空間 … 502
15-14	μ PD78237のウェイト制御の空間 … 503
15-15	μ PD78238のウェイト制御の空間 … 504
15-16	プログラマブル・ウェイト機能によるリード・タイミング … 505

図の目次 (12/13)

図番号	タイトル, ページ
15-17	プログラマブル・ウエイト機能によるライト・タイミング … 507
15-18	外部ウエイト信号によるタイミング … 509
15-19	リフレッシュ・モード・レジスタ (RFM) のフォーマット … 511
15-20	内部メモリ・アクセス時のパルス・リフレッシュ動作 … 513
15-21	外部メモリ・アクセス時のパルス・リフレッシュ動作 … 514
15-22	セルフ・リフレッシュ動作からの復帰タイミング … 515
15-23	セルフ・リフレッシュ動作からの復帰動作 … 516
15-24	疑似スタティックRAMとの接続例 … 517
15-25	セルフ・リフレッシュ動作からの復帰動作 … 519
15-26	エミュレーション時に発生するA16-A19端子のヒゲの例 … 520
15-27	エミュレーション時のアドレス・ホールド時間の不足 … 520
15-28	エミュレーション時の不具合回避方法 … 521
16-1	スタンバイ・モードの遷移図 … 523
16-2	スタンバイ機能ブロック図 … 524
16-3	スタンバイ・コントロール・レジスタ (STBC) のフォーマット … 525
16-4	NMI入力によるSTOPモードの解除 (OW0ビット=0のとき) … 531
16-5	発振安定時間が延長される例 … 532
16-6	NMI入力によるSTOPモードの解除 (OW0ビット=1のとき) … 533
16-7	アドレス・バスの処理例 … 535
16-8	アドレス/データ・バスの処理例 … 536
16-9	発振安定時間が延長される例 … 538
17-1	リセット信号の受け付け … 539
17-2	電源投入時のリセット動作 … 540
17-3	リセット入力時のタイミング … 543
18-1	2系統のステッピング・モータの制御例 … 546
18-2	シリアル・バス・インタフェースのシステム構成例 … 547
18-3	SBIによる通信例 … 548
18-4	シリアル・バス通信タイミング … 548
19-1	PROMの書き込み/ベリファイ・タイミング … 550
19-2	書き込み手順フロー・チャート … 551

図の目次 (13/13)

図番号	タイトル, ページ
19-3	PROMの読み出しタイミング ... 552

表の目次 (1 / 3)

表番号	タイトル, ページ
2-1	ポート1の動作モード … 24
2-2	ポート2の動作モード … 25
2-3	ポート3の動作モード … 26
2-4	ポート6の動作モード … 28
2-5	各端子の入出力タイプと未使用時の処理 … 33
3-1	ベクタ・テーブル … 43
3-2	レジスタ・バンクの選択 … 49
3-3	機能名称—絶対名称の対応 … 54
3-4	特殊機能レジスタ (SFR) 一覧 … 56
5-1	ポートの機能 … 68
5-2	入出力ポート数 … 68
5-3	P10, P11のPWM信号出力機能の設定方法 … 75
5-4	ポート2の動作モード … 82
5-5	ポート3の動作モード … 88
5-6	ポート4の動作モード … 102
5-7	ポート5の動作モード … 107
5-8	ポート6の動作モード … 112
5-9	ポート6のコントロール端子機能と操作 … 117
6-1	ポート0とポート0バッファ・レジスタに対する操作時の動作 … 130
6-2	リアルタイム出力ポートの出力トリガ (POMH=POML=1の場合) … 132
7-1	タイマ/カウンタの種類と機能 … 141
7-2	16ビット・タイマ/カウンタのインターバル時間 … 143
7-3	16ビット・タイマ/カウンタのプログラマブル矩形波出力設定範囲 … 143
7-4	16ビット・タイマ/カウンタのパルス幅測定範囲 … 144
7-5	タイマ出力 (TO0, TO1) の動作 … 159
7-6	TO0, TO1のトグル出力 ($f_{CLK}=6$ MHz) … 161
7-7	TO0, TO1のPWM周期 ($f_{CLK}=6$ MHz) … 162
7-8	TO0のPPG出力 ($f_{CLK}=6$ MHz) … 168
7-9	8ビット・タイマ/カウンタ1のインターバル時間 … 193
7-10	8ビット・タイマ/カウンタ1のパルス幅測定範囲 … 193

表の目次 (2 / 3)

表番号	タイトル, ページ
7-11	8ビット・タイマ/カウンタ2のインターバル時間 … 219
7-12	8ビット・タイマ/カウンタ2のプログラマブル矩形波出力設定範囲 … 220
7-13	8ビット・タイマ/カウンタ2のパルス幅測定範囲 … 220
7-14	8ビット・タイマ/カウンタ2に inputs 可能なクロック … 221
7-15	タイマ出力 (TO2, TO3) の動作 … 243
7-16	TO2, TO3のトグル出力 ($f_{CLK}=6$ MHz) … 245
7-17	TO2, TO3のPWM周期 ($f_{CLK}=6$ MHz) … 247
7-18	TO2のPPG出力 ($f_{CLK}=6$ MHz) … 253
7-19	8ビット・タイマ/カウンタ3のインターバル時間 … 283
7-20	タイマ/カウンタ関係レジスタ・アクセス時の最大ウェイト数 … 298
9-1	INTADを発生するモード … 319
9-2	A/D変換時間 … 328
9-3	A/Dコンバータの各動作状態における割り込み要求発生条件 … 338
11-1	受信エラーの要因 … 358
11-2	ポー・レートの設定方法 … 364
11-3	専用ポー・レート・ジェネレータを使用した場合のBRGCレジスタへの設定例 … 366
11-4	8ビット・タイマ/カウンタ3を使用した場合のポー・レート設定例 (アシンクロナス・シリアル・インタフェース) … 368
11-5	外部ポー・レート入力 (ASCK) を使用した場合の設定例 … 369
12-1	SBICレジスタの読み出し/書き込み … 375
12-2	SBIにおける各種の信号 … 404
12-3	\overline{BUSY} 解除条件 … 412
13-1	P20-P26端子と検出エッジの用途 … 415
14-1	割り込み要求の処理形態 … 425
14-2	割り込み要求ソースの種類 … 426
14-3	割り込み要求ソースに対する各種フラグ … 430
14-4	多重割り込み処理 … 441
14-5	割り込み受け付け処理時間 … 447
14-6	マクロ・サービス処理時間 (MSC=8ビットの場合) … 448

表の目次 (3 / 3)

表番号	タイトル, ページ
14-7	マクロ・サービス処理時間 (MSC=16ビットの場合) … 449
14-8	マクロ・サービスが使用可能な割り込み … 451
14-9	マクロ・サービス処理を指定できる割り込み要求とSFR (タイプA) … 456
14-10	不正ライト・アクセスの発生条件と動作 … 457
14-11	マクロ・サービス処理を指定できる割り込み要求とSFR (タイプC) … 466
14-12	不正ライト・アクセスの発生条件と動作 … 467
14-13	不正ライト・アクセスの発生条件と動作 … 482
15-1	不正ライト・アクセスの発生条件と動作 … 493
15-2	疑似スタティックRAM使用時のシステム・クロック周波数と リフレッシュ・パルス出力周期 … 512
15-3	不正ライト・アクセスの発生条件と動作 … 518
16-1	HALTモード時の動作状態 … 526
16-2	HALTモードの解除と解除後の動作 … 527
16-3	マスカブル割り込み要求によるHALTモードの解除 … 529
16-4	STOPモード時の動作状態 … 530
17-1	リセット入力中, リセット解除後の端子状態 … 540
17-2	各ハードウェアのリセット後の状態 … 541
19-1	PROMプログラミングの動作モード … 549
20-1	8ビット・アドレッシング別命令一覧表 … 569
20-2	16ビット・アドレッシング別命令一覧表 … 570
20-3	ビット操作命令アドレッシング別命令一覧表 … 571
20-4	コール命令/分岐命令のアドレッシング別命令一覧表 … 572

第 1 章 概 説

μ PD78234は、アナログ信号での入出力を直接行うことのできる78 K/IIシリーズの製品です。78 K/IIシリーズは、8ビット・シングルチップ・マイクロコンピュータで、1 Mバイトのデータ・メモリ空間に対するアクセス機能などを持った高性能CPUを備えた製品です。

μ PD78234は、16 KバイトのマスクROMと640バイトのRAMを内蔵しています。また、高機能タイマ/カウンタ、8ビットA/Dコンバータ、8ビットD/Aコンバータ、PWM出力機能、2チャンネル独立のシリアル・インタフェースなどを内蔵しています。

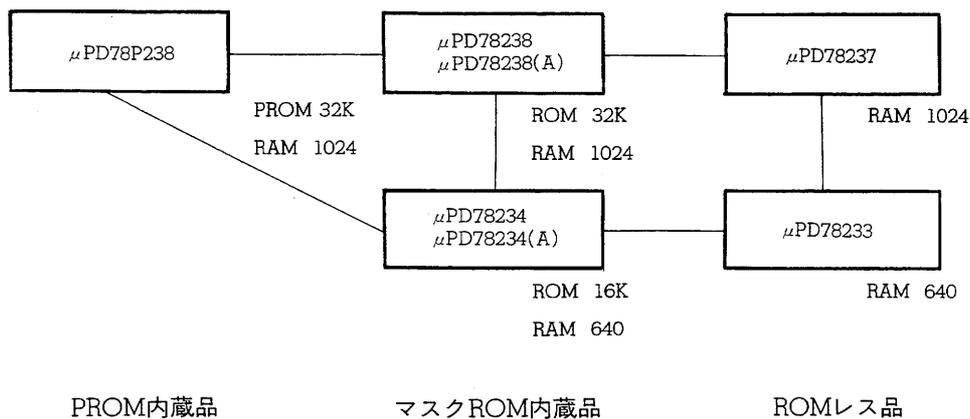
μ PD78233は、 μ PD78234のマスクROMを除いた製品です。

μ PD78238は、 μ PD78234のマスクROMを32 Kバイトに、RAMの容量を1024バイトにした製品です。

μ PD78237は、 μ PD78238のマスクROMを除いた製品です。

μ PD78P238は、 μ PD78238のマスクROMをPROMに置き換えた製品です。

μ PD78234(A)、78238(A)は、それぞれ μ PD78234、78238の『特別』品質水準品です。



これらの製品は、次のような分野に応用できます。

○標準品

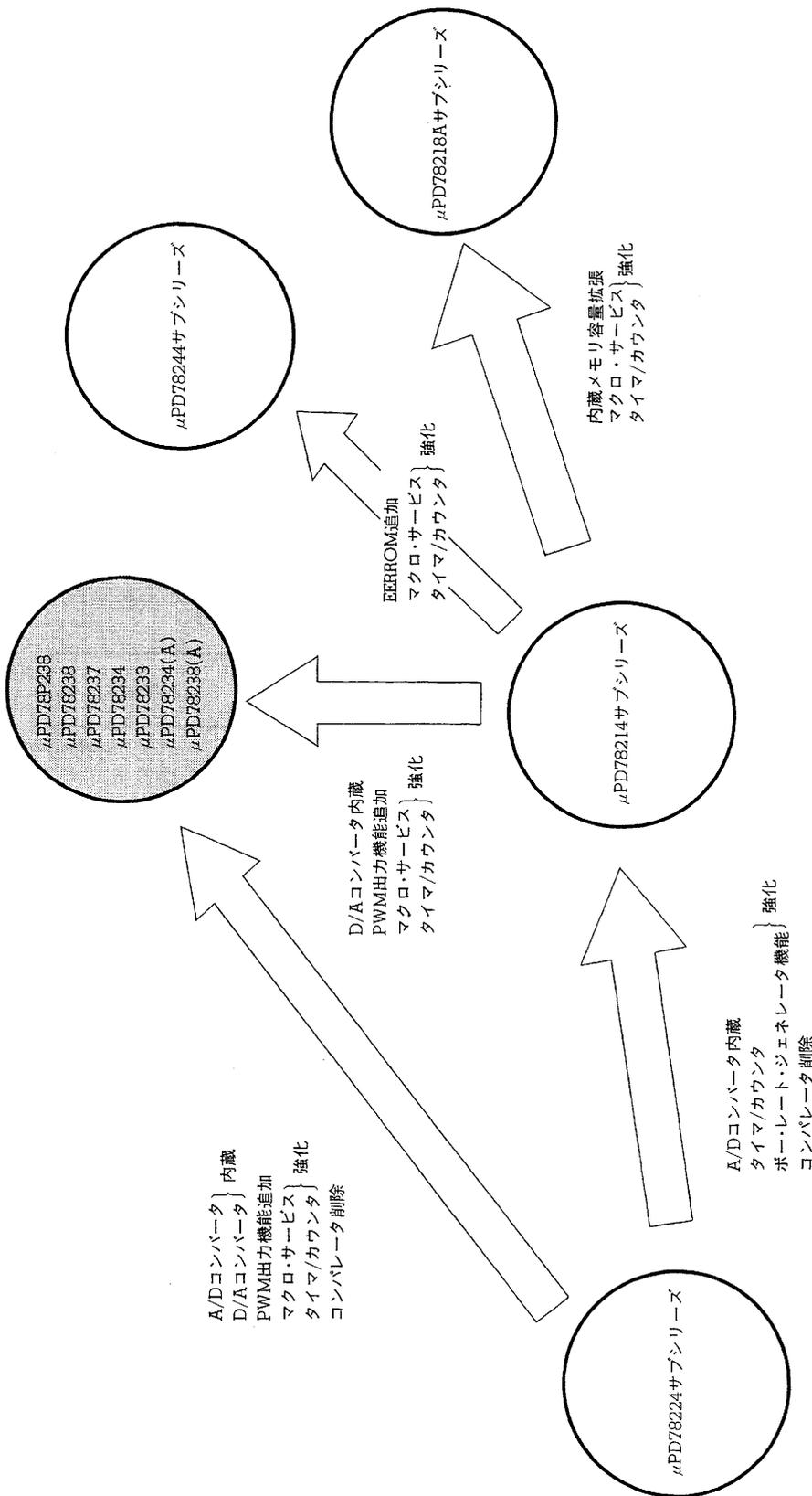
- ・プリンタ
- ・電子タイプライタ
- ・ECR (Electronic Cash Register)
- ・PPC (Plain Paper Copier)
- ・FDD (Floppy Disk Drive)
- ・HDD (Hard Disk Drive)
- ・電子楽器
- ・エアコン (家電)
- ・自動車電話 (通信)
- ・カメラ

○特別品

- ・自動車電装
- ・燃焼制限

78K/II製品展開図

μPD78234サブシリーズ



1.1 特 徴

- 78K/IIシリーズ
- 内部バスの多重化 (命令実行の高速化)
 - ・最小インストラクション・サイクル(12MHz動作時) : 333 ns(μ PD78234, 78238, 78P238)
 - 500 ns(μ PD78233, 78237)
- 制御用途に適する命令セット
- データ・メモリ拡張機能 (メモリ空間1Mバイト : バンク指定ポインタ \times 2)
- 割り込みコントローラ (2レベル・プライオリティ)
 - ・ベクタ割り込み処理
 - ・マクロ・サービス
- 内部メモリ
 - ・ROM
 - マスクROM : 16 Kバイト (μ PD78234)
 - 32 Kバイト (μ PD78238)
 - 内蔵せず (μ PD78233, 78237)
 - PROM : 32 Kバイト (μ PD78P238)
 - ・RAM : 640バイト (μ PD78233, 78234)
 - 1024バイト (μ PD78237, 78238, 78P238)
- I/O端子 : 64本 (μ PD78234, 78238, 78P238)
 - 46本 (μ PD78233, 78237)
 - ・ソフトウェア・プログラマブル・プルアップ : 42入力 (μ PD78234, 78238, 78P238)
 - 24入力 (μ PD78233, 78237)
 - ・LEDダイレクト・ドライブ可能 : 24出力 (μ PD78234, 78238, 78P238)
 - 8出力 (μ PD78233, 78237)
 - ・トランジスタ・ダイレクト・ドライブ可能 : 8出力
- シリアル・インタフェース
 - ・UART (ポーレート・ジェネレータ内蔵)
 - ・クロック同期式シリアル・インタフェース (3線式シリアルI/O, シリアル・バス・インタフェース)
- リアルタイム出力ポート (8ビット・タイマ/カウンタと組み合わせることにより, 2系統のステッピング・モータの独立制御が可能)
- 8ビットA/Dコンバータ (アナログ8入力)
- 8ビットD/Aコンバータ (アナログ2出力)
- 12ビットPWM出力 (2出力)
- 高機能タイマ/カウンタ・ユニット
 - ・16ビット \times 1
 - ・8ビット \times 3

1.2 オーダ情報と品質水準

1.2.1 オーダ情報

オーダ名称	パッケージ	内蔵ROM
μ PD78233GC-3B9	80ピン・プラスチックQFP(本体14×14 mm)	なし
μ PD78233GJ-5BG	94ピン・プラスチックQFP(本体20×20 mm)	//
μ PD78233LQ	84ピン・プラスチックQFJ(□1150 mil)	//
μ PD78234GC-×××-3B9	80ピン・プラスチックQFP(本体14×14 mm)	マスクROM
μ PD78234GJ-×××-5BG	94ピン・プラスチックQFP(本体20×20 mm)	//
μ PD78234LQ-×××	84ピン・プラスチックQFJ(□1150 mil)	//
μ PD78237GC-3B9	80ピン・プラスチックQFP(本体14×14 mm)	なし
μ PD78237GJ-5BG	94ピン・プラスチックQFP(本体20×20 mm)	//
μ PD78237LQ	84ピン・プラスチックQFJ(□1150 mil)	//
μ PD78238GC-×××-3B9	80ピン・プラスチックQFP(本体14×14 mm)	マスクROM
μ PD78238GJ-×××-5BG	94ピン・プラスチックQFP(本体20×20 mm)	//
μ PD78238LQ-×××	84ピン・プラスチックQFJ(□1150 mil)	//
μ PD78P238GC-3B9	80ピン・プラスチックQFP(本体14×14 mm)	ワン・タイムPROM
μ PD78P238GJ-5BG	94ピン・プラスチックQFP(本体20×20 mm)	//
μ PD78P238LQ	84ピン・プラスチックQFJ(□1150 mil)	//
μ PD78P238KF ^{注1}	94ピン・セラミックWQFN	EPROM
μ PD78P238GC-×××-3B9 ^{注2}	80ピン・プラスチックQFP(本体14×14 mm)	書き込み済みワン・タイムPROM
μ PD78P238GJ-×××-5BG ^{注2}	94ピン・プラスチックQFP(本体20×20 mm)	//
μ PD78P238LQ-××× ^{注2}	84ピン・プラスチックQFJ(□1150 mil)	//
μ PD78234GC(A)-×××-3B9	80ピン・プラスチックQFP(本体14×14 mm)	マスクROM
μ PD78234GJ(A)-×××-5BG	94ピン・プラスチックQFP(本体20×20 mm)	//
μ PD78238GC(A)-×××-3B9	80ピン・プラスチックQFP(本体14×14 mm)	//

注1. EV-9200G-94(ソケット)と組み合わせて、94ピン・プラスチックQFP用に設計した基板に実装できます。

2. QTOPTMマイコンです。

QTOPマイコンとは、NECでプログラムの書き込みから捺印、スクリーニング、ベリファイまでトータル・サポートしたワン・タイムPROM内蔵シングルチップ・マイコンの総称です。

備考 ×××はROMコード番号です。

1.2.2 品質水準

オーダ名称	パッケージ	品質水準
μ PD78233GC-3B9	80ピン・プラスチックQFP(本体14×14 mm)	標準(一般電子機器用)
μ PD78233GJ-5BG	94ピン・プラスチックQFP(本体20×20 mm)	//
μ PD78233LQ	84ピン・プラスチックQFJ(□1150 mil)	//
μ PD78234GC-×××-3B9	80ピン・プラスチックQFP(本体14×14 mm)	//
μ PD78234GJ-×××-5BG	94ピン・プラスチックQFP(本体20×20 mm)	//
μ PD78234LQ-×××	84ピン・プラスチックQFJ(□1150 mil)	//
μ PD78237GC-3B9	80ピン・プラスチックQFP(本体14×14 mm)	//
μ PD78237GJ-5BG	94ピン・プラスチックQFP(本体20×20 mm)	//
μ PD78237LQ	84ピン・プラスチックQFJ(□1150 mil)	//
μ PD78238GC-×××-3B9	80ピン・プラスチックQFP(本体14×14 mm)	//
μ PD78238GJ-×××-5BG	94ピン・プラスチックQFP(本体20×20 mm)	//
μ PD78238LQ-×××	84ピン・プラスチックQFJ(□1150 mil)	//
μ PD78P238GC-3B9	80ピン・プラスチックQFP(本体14×14 mm)	//
μ PD78P238GJ-5BG	94ピン・プラスチックQFP(本体20×20 mm)	//
μ PD78P238LQ	84ピン・プラスチックQFJ(□1150 mil)	//
μ PD78P238KF ^{注1}	94ピン・セラミックWQFN	//
μ PD78P238GC-×××-3B9 ^{注2}	80ピン・プラスチックQFP(本体14×14 mm)	//
μ PD78P238GJ-×××-5BG ^{注2}	94ピン・プラスチックQFP(本体20×20 mm)	//
μ PD78P238LQ-××× ^{注2}	84ピン・プラスチックQFJ(□1150 mil)	//
μ PD78234GC(A)-×××-3B9	80ピン・プラスチックQFP(本体14×14 mm)	特別(高信頼度電子機器用)
μ PD78234GJ(A)-×××-5BG	94ピン・プラスチックQFP(本体20×20 mm)	//
μ PD78238GC(A)-×××-3B9	80ピン・プラスチックQFP(本体14×14 mm)	//

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

注1. EV-9200G-94(ソケット)と組み合わせて、94ピン・プラスチックQFP用に設計した基板に実装できます。

2. QTOPマイコンです。

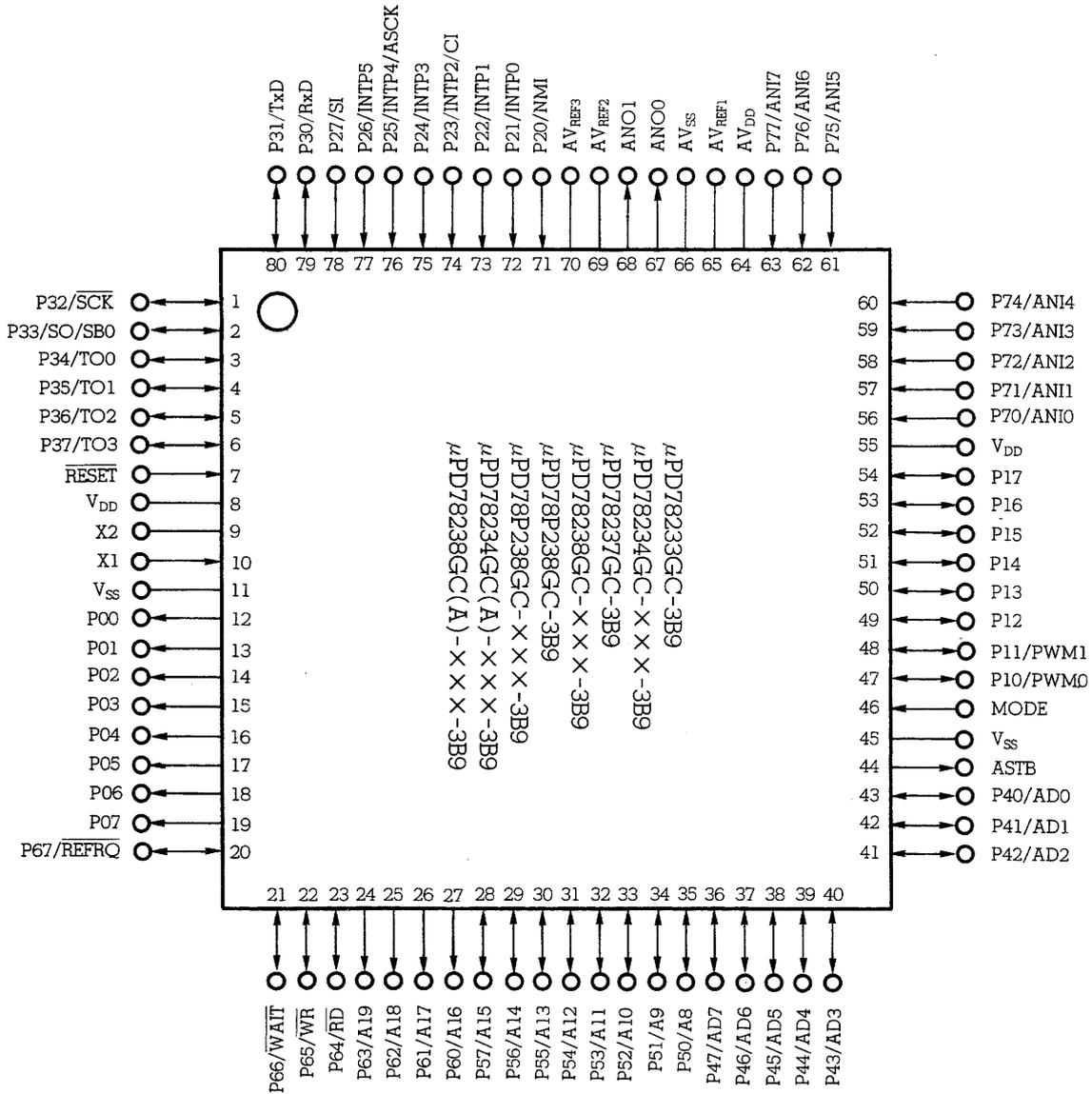
QTOPマイコンとは、NECでプログラムの書き込みから捺印、スクリーニング、ベリファイまでトータル・サポートしたワン・タイムPROM内蔵シングルチップ・マイコンの総称です。

備考 ×××はROMコード番号です。

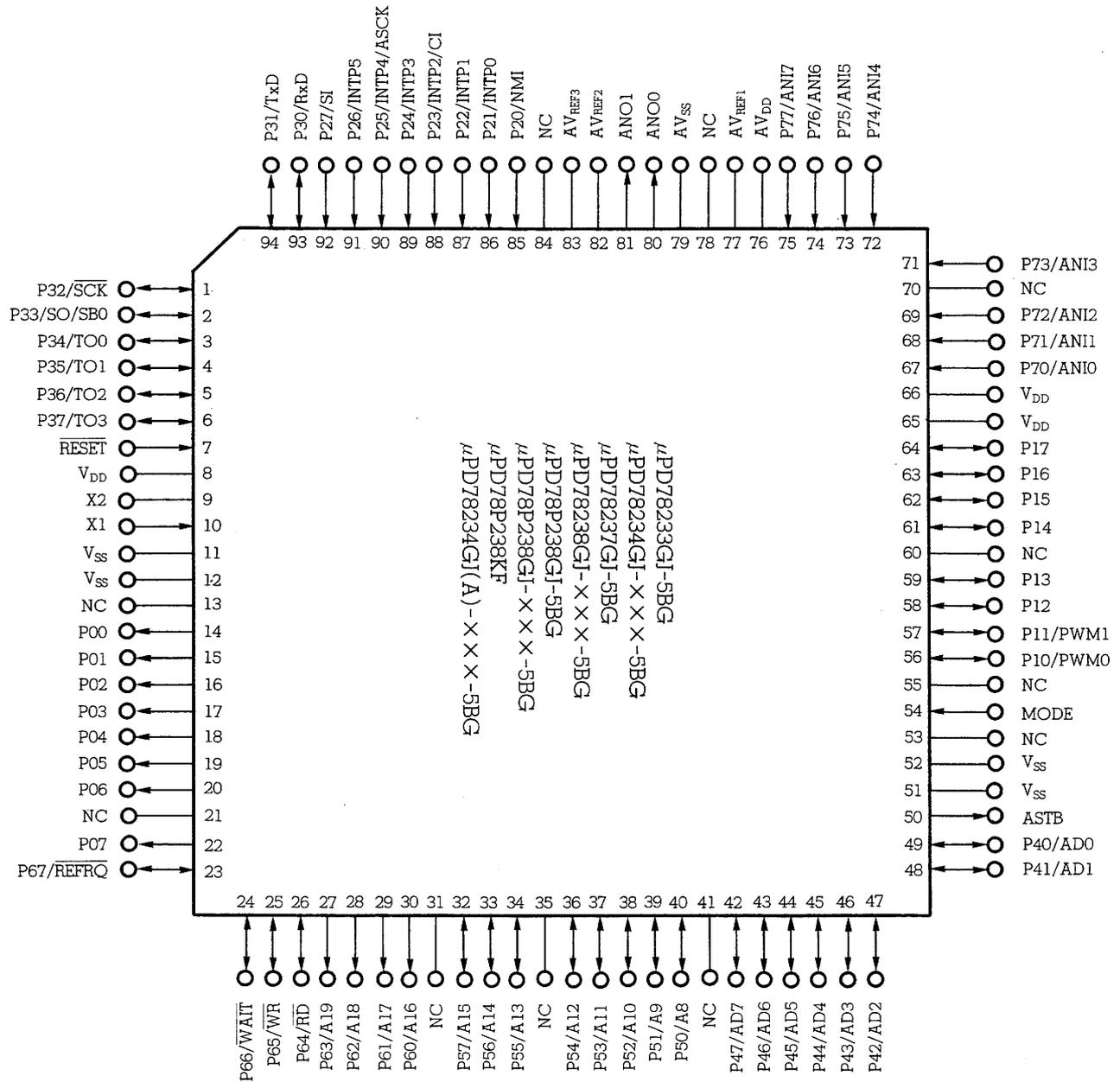
1.3 端子接続図 (Top View)

1.3.1 通常動作モード

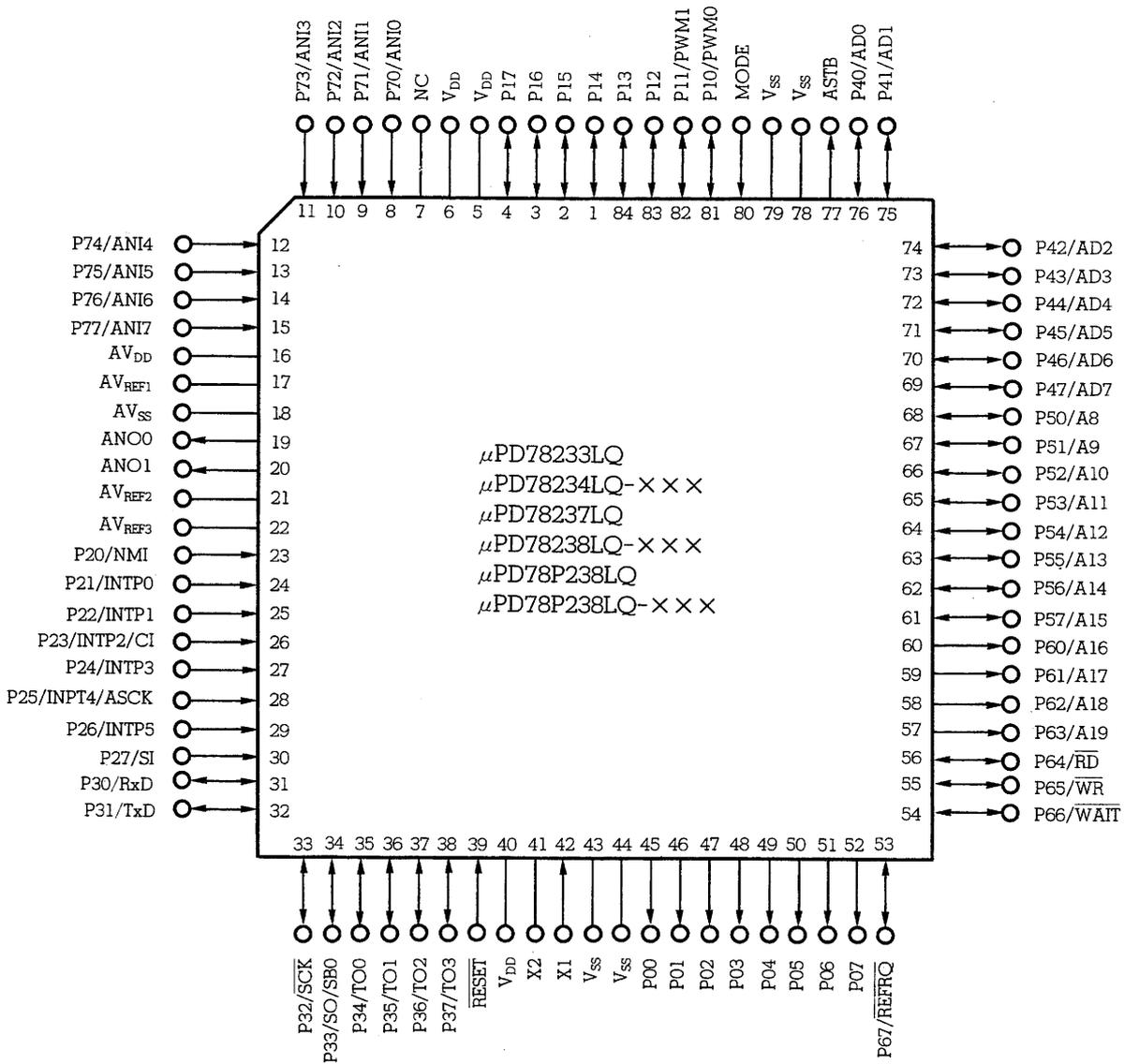
(1) 80ピン・プラスチックQFP (本体14×14 mm)



(2) 94ピン・プラスチックQFP, 94ピン・セラミックWQFN (本体20×20 mm)



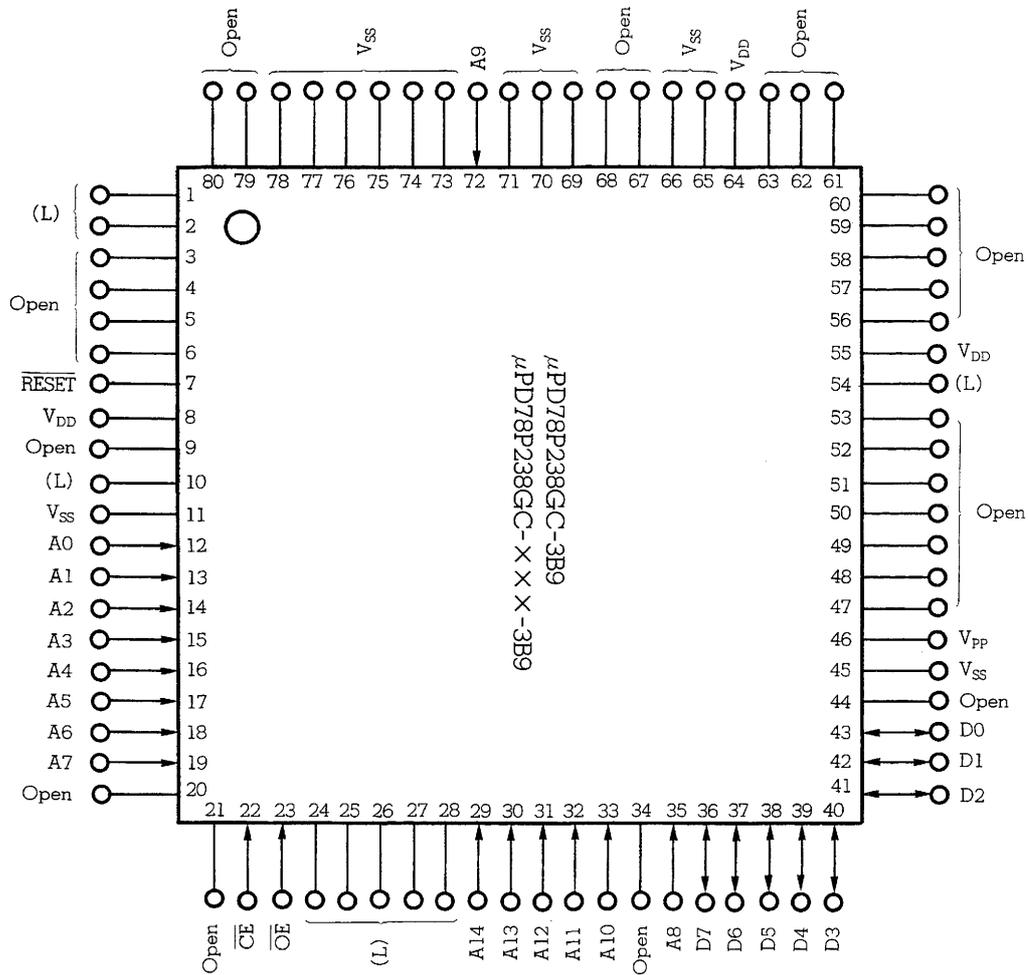
(3) 84ピン・プラスチックQFJ(□1150 mil)



P00-P07	: Port 0	A8-A19	: Address Bus
P10-P17	: Port 1	\overline{RD}	: Read Strobe
P20-P27	: Port 2	\overline{WR}	: Write Strobe
P30-P37	: Port 3	\overline{WAIT}	: Wait
P40-P47	: Port 4	ASTB	: Address Strobe
P50-P57	: Port 5	\overline{REFRQ}	: Refresh Request
P60-P67	: Port 6	\overline{RESET}	: Reset
P70-P77	: Port 7	MODE	: Mode
TO0-TO3	: Timer Output	X1, X2	: Crystal
CI	: Clock Input	ANIO-ANI7	: Analog Input
RxD	: Receive Data	AN00, AN01	: Analog Output
TxD	: Transmit Data	$AV_{REF1}-AV_{REF3}$: Reference Voltage
\overline{SCK}	: Serial Clock	AV_{DD}	: Analog Power Supply
ASCK	: Asynchronous Serial Clock	AV_{SS}	: Analog Ground
SB0	: Serial Bus	V_{DD}	: Power Supply
SI	: Serial Input	V_{SS}	: Ground
SO	: Serial Output	NC	: Non-connection
PWM0, PWM1	: Pulse Width Modulation Output		
NMI	: Non-maskable Interrupt		
INTP0-INTP5	: Interrupt From Peripherals		
AD0-AD7	: Address/Data Bus		

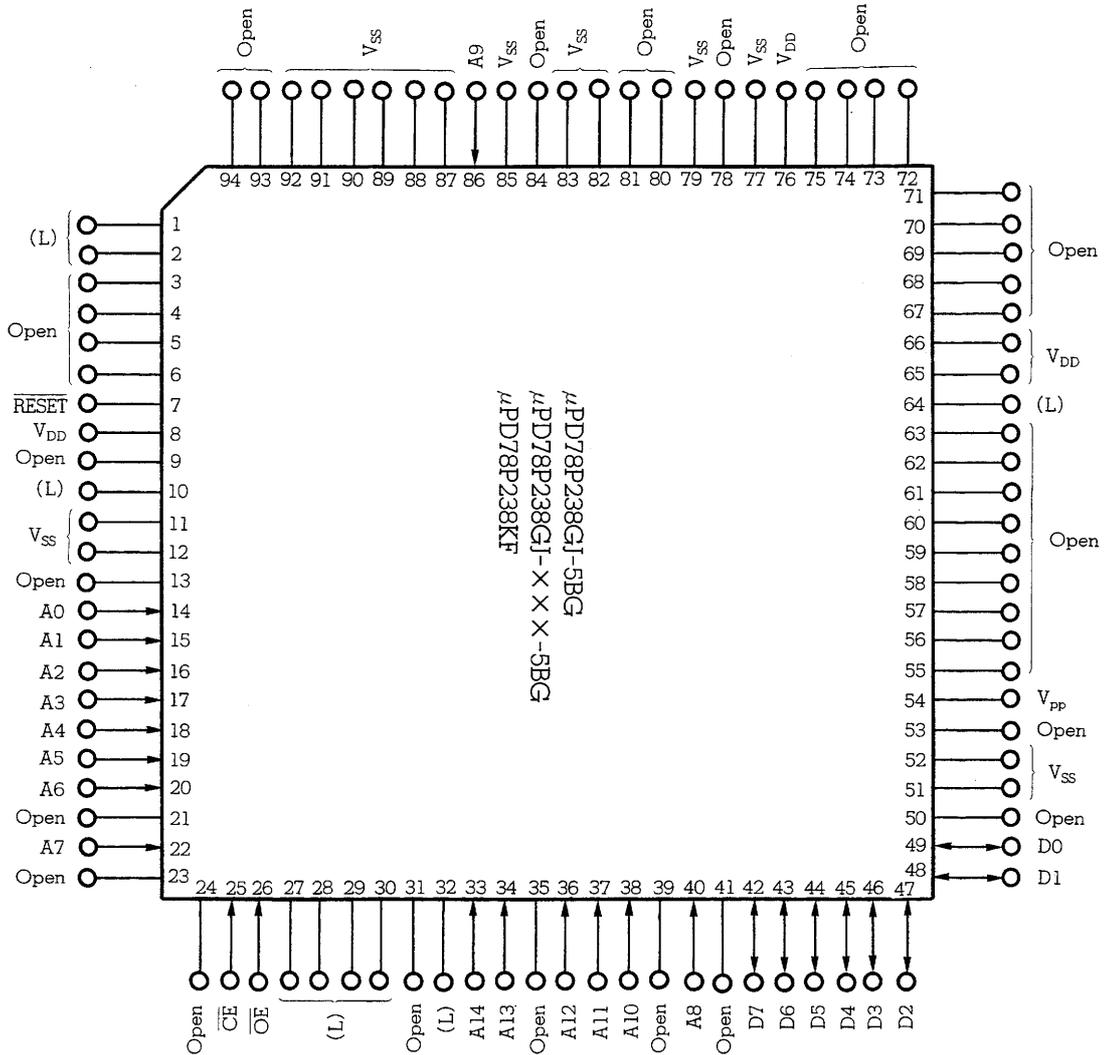
1.3.2 PROMプログラミング・モード ($V_{PP} \geq 5V$, $\overline{RESET} = L$)

(1) 80ピン・プラスチックQFP (本体14×14 mm)



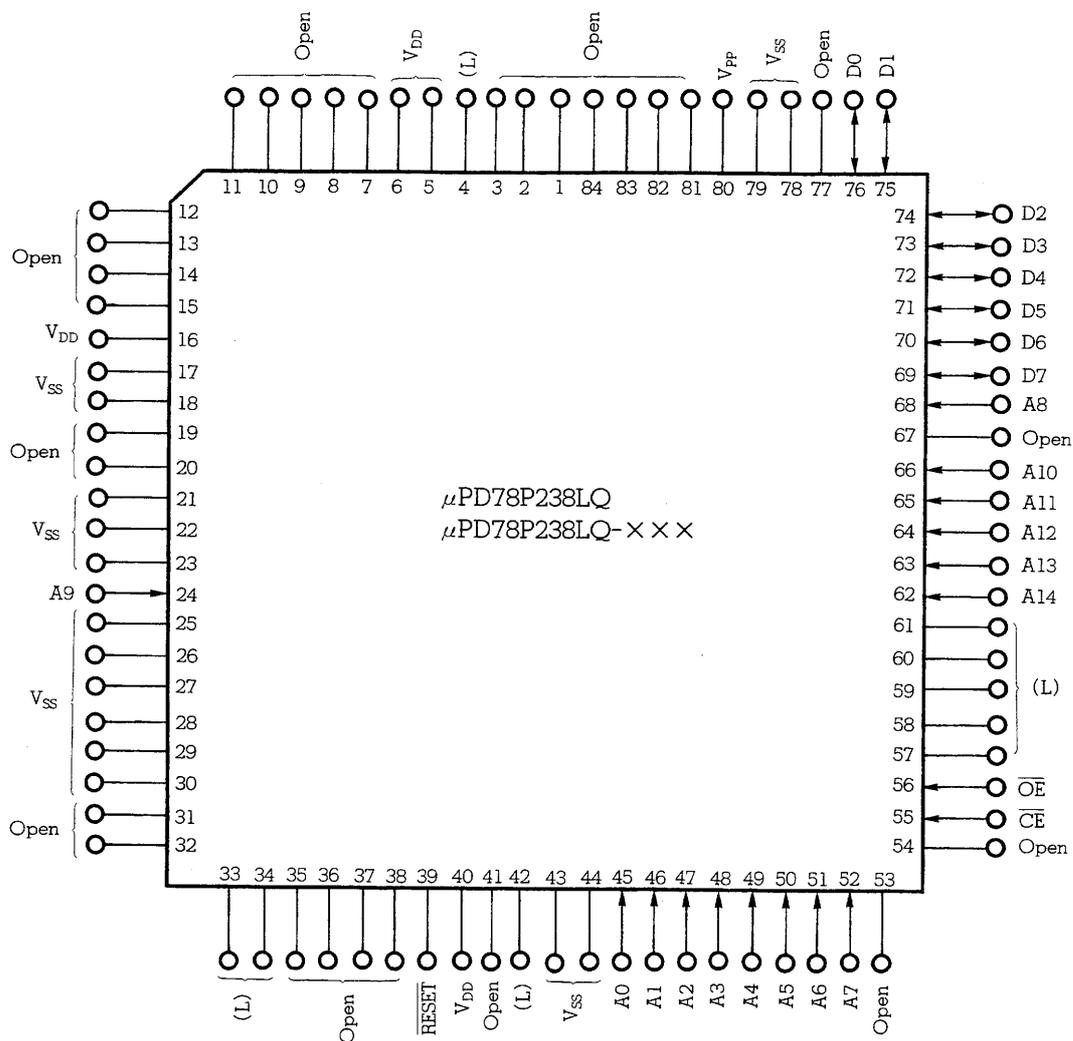
- 注意 L : 個別に10kΩのプルダウン抵抗を介してV_{SS}に接続してください。
- V_{SS} : グランドに接続してください。
- Open : 何も接続しないでください。
- \overline{RESET} : ロウ・レベルにしてください。

(2) 94ピン・プラスチックQFP, 94ピン・セラミックWQFN (本体20×20 mm)



- 注意 L : 個別に10 kΩのプルダウン抵抗を介してV_{SS}に接続してください。
- V_{SS} : グランドに接続してください。
- Open : 何も接続しないでください。
- RESET : ロウ・レベルにしてください。

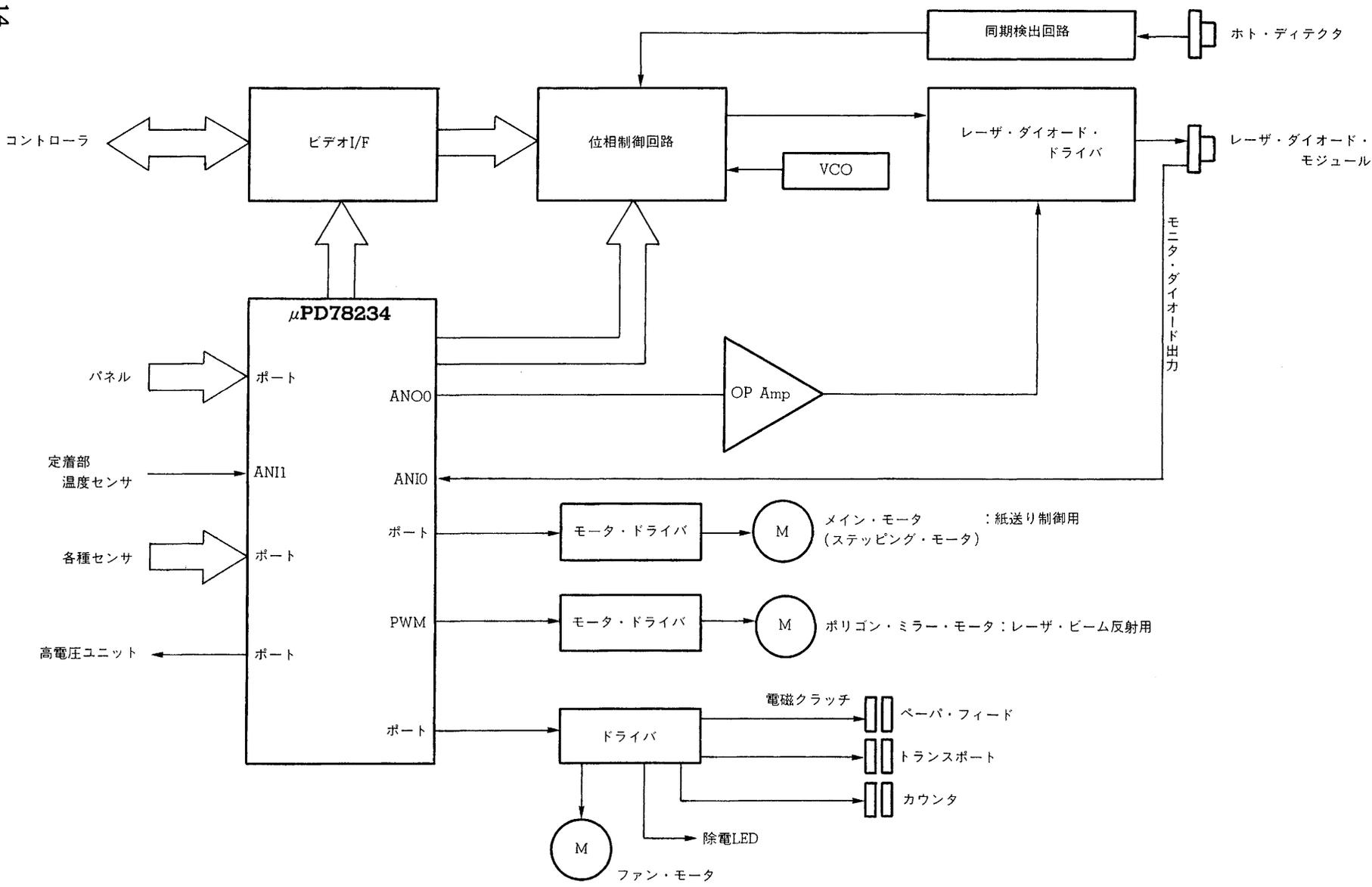
(3) 84ピン・プラスチックQFJ(□1150 mil)



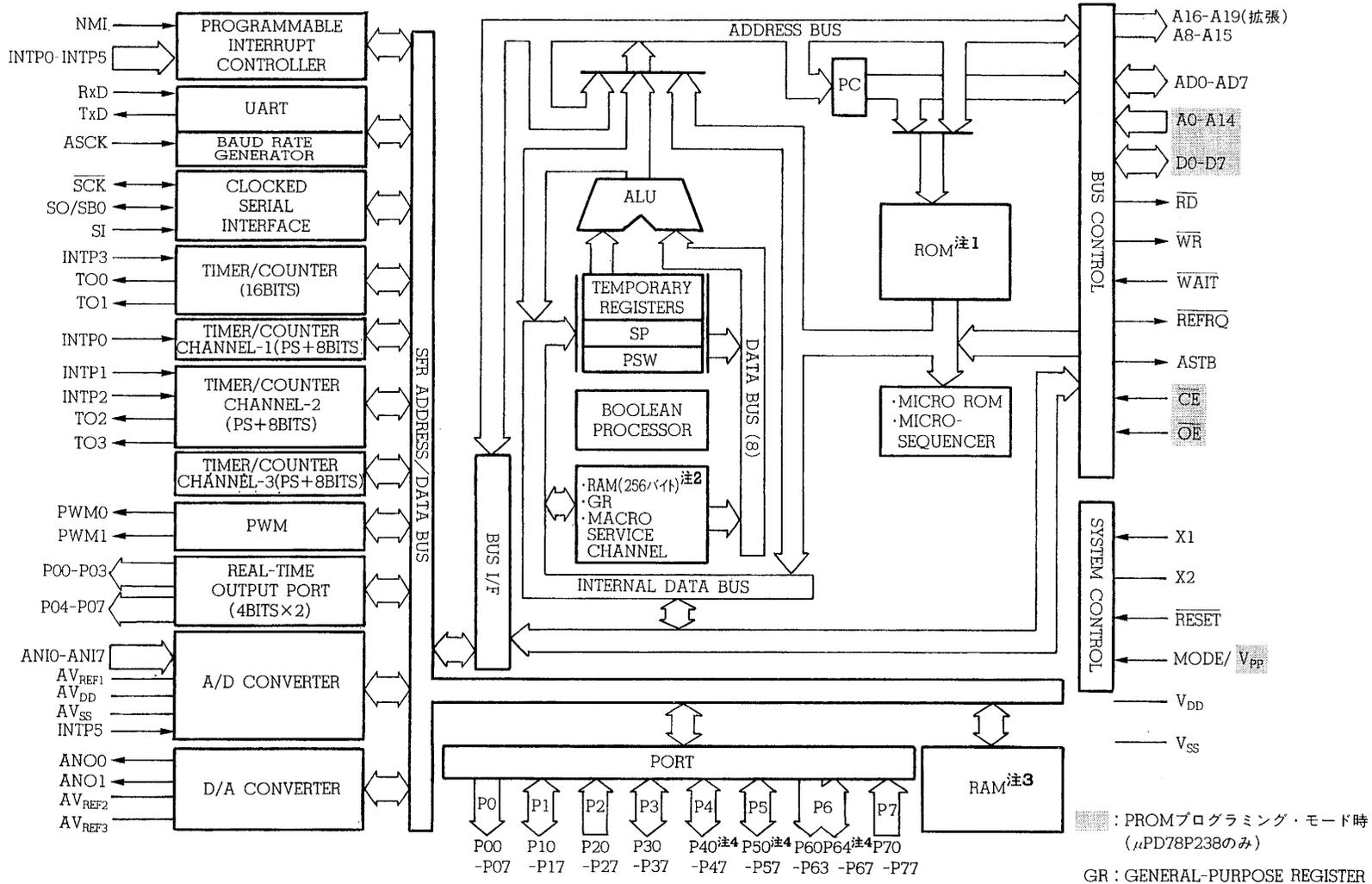
- 注意 L : 個別に10kΩのプルダウン抵抗を介してV_{SS}に接続してください。
- V_{SS} : グランドに接続してください。
- Open : 何も接続しないでください。
- RESET : ロウ・レベルにしてください。

V_{PP}	: Programming Power Supply	\overline{OE}	: Output Enable
\overline{RESET}	: Reset	V_{DD}	: Power Supply
A0-A14	: Address Bus	V_{SS}	: Ground
D0-D7	: Data Bus		
\overline{CE}	: Chip Enable		

1.4 応用システム構成例 (IBPエンジン)



1.5 内部ブロック図



- 注1. μPD78233, 78237 : 内蔵せず, μPD78234 : 16 Kバイト, μPD78238, 78P238 : 32 Kバイト
- 注2. 内部デュアル・ポートRAM
- 注3. 周辺RAM (PRAM), μPD78233, 78234 : 384バイト, μPD78237, 78238, 78P238 : 768バイト
- 注4. μPD78233, 78237の場合, P40-P47, P50-P57, P64, P65はポートとして使用することはできません。

1.6 機能一覧

項 目		μPD78233	μPD78237	μPD78234	μPD78238	μPD78P238
基本命令(ニモニック)数		65				
最小命令実行時間 (12 MHz動作時)		500 ns			333 ns	
内部メモリ	ROM	な し		16 Kバイト	32 Kバイト	32 K/16 Kバイト ^{注1}
	RAM	640バイト	1024バイト	640バイト	1024バイト	1024/640バイト ^{注1}
アドレス空間		プログラム・メモリ空間：64 Kバイト， データ・メモリ空間：1 Mバイト				
I/O端子	入 力	16				
	出 力	12				
	入出力	18			36	
	合 計	46			64	
	^{注2} 付加機能付き端子	プルアップ抵抗付き端子	24		42	
		LEDダイレクト・ドライブ出力	8		24	
		トランジスタ・ダイレクト・ドライブ出力	8			
リアルタイム出力ポート		ビット×2， または8ビット×1				
汎用レジスタ		8ビット×8×4バンク(メモリ・マッピング)				
タイマ/カウンタ	16ビット・タイマ/カウンタ：タイマ・レジスタ×1 キャプチャ・レジスタ×1 パルス出力可 コンペア・レジスタ×2 トグル出力 PWM/PPG出力 ワンショット・パルス出力					
	8ビット・タイマ/カウンタ1：タイマ・レジスタ×1 パルス出力可 キャプチャ/コンペア・レジスタ×1 (リアルタイム出力： コンペア・レジスタ×2 4ビット×2)					
	8ビット・タイマ/カウンタ2：タイマ・レジスタ×1 キャプチャ・レジスタ×1 パルス出力可 コンペア・レジスタ×2 トグル出力 PWM/PPG出力					
	8ビット・タイマ/カウンタ3：タイマ・レジスタ×1 コンペア・レジスタ×1 —					
PWM出力		12ビット分解能×2チャンネル				
シリアル・インタフェース		UART : 1チャンネル(ポー・レート・ジェネレータ内蔵) クロック同期式シリアルI/O : 1チャンネル				

(次ページに続く)

注1. ソフトウェアにより設定

2. 付加機能付き端子は、I/O端子の中に含まれています。

項 目	μ PD78233	μ PD78237	μ PD78234	μ PD78238	μ PD78P238
A/Dコンバータ	8ビット分解能×8チャンネル				
D/Aコンバータ	8ビット分解能×2チャンネル				
割り込み	19要因(外部7, 内部12)+BRK命令 2レベルの優先順位(プログラマブル) 2種類の処理形態(ベクタ割り込み, マクロ・サービス)				
命令セット	16ビット演算 乗除算(8ビット×8ビット, 16ビット÷8ビット) ビット操作 BCD補正, その他				
パッケージ	80ピン・プラスチックQFP(本体14×14 mm) 94ピン・プラスチックQFP(本体20×20 mm) 84ピン・プラスチックQFJ(□1150 mil) 94ピン・セラミックWQFN(μ PD78P238のみ)				

1.7 μPD78234サブシリーズ製品間の違い

1.7.1 機能の違い

項 目		μPD78233	μPD78237	μPD78234	μPD78238	μPD78P238
最小命令実行時間 (12 MHz動作時)		500 ns			333 ns	
内部メモリ	ROM	な し		16 Kバイト	32 Kバイト	32 K/16 Kバイト ^{注1}
	RAM	640バイト	1024バイト	640バイト	1024バイト	1024/640バイト ^{注1}
内部メモリ・サイズ切り替え		不 可				可
I/O端子 付加機能付き端子	入 力	16				
	出 力	12				
	入出力	18		36		
	合 計	46		64		
	注2 プルアップ 抵抗付き端子	24		42		
	LEDダイレクト・ ドライブ出力	8		24		
	トランジスタ・ ダイレクト・ドライブ出力	8				
ROMレスモード設定		ROMレス品		MODE端子=ハイ・レベル		不可

注1. ソフトウェアにより設定

2. 付加機能付き端子は、I/O端子の中に含まれています。

1.7.2 パッケージの違い

本製品では、94ピンと80ピンの2種類のQFPを用意しております。ユーザ・システムの開発や実装条件などに下表のような差がありますので、その点を考慮の上、パッケージを選択してください。

項 目	94ピンQFP	80ピンQFP
パッケージ・サイズ	本体20×20 mm	本体14×14 mm
窓付きPROM	μPD78P238KF (PROM版での評価が容易)	なし
実装方法	赤外線リフロ、VPSによる実装時の吸湿量管理 詳細についてはデータ・シートを参照してください。	

1.7.3 μPD78234, 78238とμPD78234(A), 78238(A)の違い

項 目	品 名	μPD78234, 78238	μPD78234(A), 78238(A)
品質水準		標準（一般電子機器用）	特別（高信頼度電子機器用）
パッケージ		<ul style="list-style-type: none"> ・80ピン・プラスチックQFP ・94ピン・プラスチックQFP ・84ピン・プラスチックQFJ ・94ピン・セラミックWQFN (μPD78P238のみ) 	<ul style="list-style-type: none"> ・80ピン・プラスチックQFP ・94ピン・プラスチックQFP^注

注 μPD78234(A)のみ

第2章 端子機能

2.1 端子機能一覧

2.1.1 通常動作モード

(1) ポート

端子名称	入出力	兼用端子	機能	
P00-P07	出力	—	ポート0(P0)： リアルタイム出力ポート(4ビット×2)として使用可能 トランジスタ駆動可能	
P10	入出力	PWM0	ポート1(P1)： 1ビット単位で入力/出力の指定可能 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 LED駆動可能	
P11		PWM1		
P12-P17		—		
P20	入力	NMI	ポート2(P2)： P20は汎用ポートとしては使用不可(ノンマスカブル割り込み) ただし、割り込みルーチンにおいて、入力レベルの確認可 P22-P27は6ビット単位でソフトウェアによる内蔵プルアップ抵抗の接続の指定可能	
P21		INTP0		
P22		INTP1		
P23		INTP2/CI		
P24		INTP3		
P25		INTP4/ASCK		
P26		INTP5		
P27	SI	ポート3(P3)： 1ビット単位で入力/出力の指定可能 ^{注1} 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能		
P30	RxD			
P31	TxD			
P32	SCK			
P33	SO/SB0			
P34-P37	TO0-TO3	ポート4(P4)： 8ビット単位で入力/出力の指定可能 8ビット単位でソフトウェアによる内蔵プルアップ抵抗の接続の指定可能		
P40-P47 ^注	入出力			AD0-AD7
P50-P57 ^注	入出力	A8-A15	LED駆動可能	
P60-P63	出力	A16-A19	ポート6(P6)： P64-P67は1ビット単位で入力/出力の指定可能 P64-P67は、入力モードの端子についてソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能	
P64 ^注	入出力	\overline{RD}		
P65 ^注		\overline{WR}		
P66		\overline{WAIT}		
P67		REFRQ		
P70-P77	入力	ANIO-ANI7	ポート7(P7)	

注 μ PD78233の場合、ポートとして使用することはできません。

(2) ポート以外

端子名称	入出力	機能	兼用端子
TO0-TO3	出力	タイマ出力	P34-P37
CI	入力	8ビット・タイマ/カウンタ2へのカウント・クロック入力	P23/INTP2
RxD	入力	シリアル・データ入力(UART)	P30
TxD	出力	シリアル・データ出力(UART)	P31
ASCK	入力	ポーレート・クロック入力(UART)	P25/INTP4
SBO	入出力	シリアル・データ入出力(SBI)	P33/SO
SI	入力	シリアル・データ入力(3線式シリアルI/O)	P27
SO	出力	シリアル・データ出力(3線式シリアルI/O)	P33/SBO
SCK	入出力	シリアル・クロック入出力(SBI, 3線式シリアルI/O)	P32
NMI	入力	外部割り込み要求	P20
INTP0			P21
INTP1			P22
INTP2			P23/CI
INTP3			P24
INTP4			P25/ASCK
INTP5			P26
AD0-AD7	入出力	時分割アドレス/データ・バス(外部メモ接続)	P40-P47 ^注
A8-A15	出力	上位アドレス・バス(外部メモリ接続)	P50-P57 ^注
A16-A19	出力	アドレス拡張時の上位アドレス(外部メモリ接続)	P60-P63
\overline{RD}	出力	外部メモリへのリード・ストロブ	P64 ^注
\overline{WR}	出力	外部メモリへのライト・ストロブ	P65 ^注
WAIT	入力	ウェイト挿入	P66
ASTB	出力	時分割アドレス(A0-A7)のラッチ・タイミング出力(外部メモリ・アクセス時)	—
\overline{REFRQ}	出力	外部疑似スタティック・メモリへのリフレッシュ・パルス出力	P67
RESET	入力	チップ・リセット	—
X1	入力	システム・クロック発振用クリスタル接続(X1にクロック入力も可能)	—
X2	—		—
MODE	入力	ROMレス動作指示(内部ROMと同一空間の外部アクセス) μ PD78233ではハイ・レベルに、 μ PD78234ではロウ・レベルにして使用します	—
ANIO-ANI7	入力	A/Dコンバータ用アナログ電圧入力	P70-P77
AN00, AN01	出力	D/Aコンバータ用アナログ電圧出力	—
AV _{REF1}	—	A/Dコンバータ用基準電圧印加	—
AV _{REF2} , AV _{REF3}		D/Aコンバータ用基準電圧印加	
AV _{DD}		A/Dコンバータ用正電源	
AV _{SS}		A/Dコンバータ用GND	
V _{DD}		正電源	
V _{SS}		GND	
NC		内部接続していません	

注 μ PD78233の場合、ポートとして使用することはできません。

2.1.2 PROMプログラミング・モード (μ PD78P238のみ : $V_{PP} \geq 5V$, $\overline{RESET} = L$)

端子名称	入出力	機 能
V_{PP}	入力	PROMプログラミング・モード設定 プログラム書き込み/ベリファイ時の高電圧印加端子
\overline{RESET}		PROMプログラミング・モード設定
A0-A14		アドレス・バス
D0-D7	入出力	データ・バス
\overline{CE}	入力	PROMイネーブル入力/プログラム・パルス入力
\overline{OE}		PROMへのリード・ストロブ入力
V_{DD}	—	正電源
V_{SS}		GND

2.2 端子機能説明

2.2.1 通常動作モード

(1) P00-P07 (Port0)……3ステート出力

ポート0は、出力ラッチ付き8ビット出力専用ポートで、トランジスタのダイレクト・ドライブが可能です。ポート0モード・レジスタ (PM0) により、8ビット単位で出力モード/ハイ・インピーダンス状態の指定ができます。

P00-P03, P04-P07はそれぞれ4ビット、または8ビットのリアルタイム出力ポートとして、バッファ・レジスタ (POL, POH) の内容を任意のインターバル時間で出力できます。通常出力ポートかリアルタイム出力ポートかの選択は、リアルタイム出力ポート・コントロール・レジスタ (RTPC) で行います。

$\overline{\text{RESET}}$ 入力により出力ハイ・インピーダンス状態となり、出力ラッチの内容は不定になります。

(2) P10-P17 (Port1)……3ステート入出力

ポート1は、出力ラッチ付き8ビット入出力ポートです。ポート1モード・レジスタ (PM1) により、1ビット単位で入力/出力の指定ができます。各端子にプログラマブル・プルアップ抵抗を内蔵しています。また、LEDのダイレクト・ドライブが可能です。

PWMコントロール・レジスタ (PWMC) により、P10, P11端子は、PWM出力端子としても機能します。

$\overline{\text{RESET}}$ 入力により入力ポート (出力ハイ・インピーダンス状態) となり、出力ラッチの内容は不定となります。

表 2-1 ポート1の動作モード

端子	ポート・モード	コントロール信号出力モード	コントロール端子として動作させるための操作
P10	入出力ポート	PWM0出力	PWMCレジスタのEN0ビットをセット(1)
P11		PWM1出力	PWMCレジスタのEN1ビットをセット(1)
P12-P17		—	—

(a) ポート・モード

P10, P11は、PWMCレジスタのEN0, EN1ビットがリセット(0) されていれば、また、P12-P17は常時ポート・モードとして動作し、ポート1モード・レジスタ (PM1) により、1ビット単位で入力/出力の指定ができます。

(b) コントロール信号出力モード

P10, P11は、PWMCレジスタのそれぞれEN0, EN1ビットをセット (1) することにより、PWM信号の出力端子として動作します。

(3) P20-P27 (Port2)………入力

ポート2は、8ビット入力専用ポートです。P22-P27には、ソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。入力ポートとして動作する以外に外部割り込み信号端子などの制御信号入力端子としても動作します(表2-2参照)。また、8端子とも、ノイズによる誤動作を防ぐためシュミット・トリガ入力になっています。

表2-2 ポート2の動作モード

ポート	機能
P20	入力ポート/NMI入力 注
P21	入力ポート/INTP0入力/CR11キャプチャ・トリガ入力/リアルタイム出力ポートのトリガ信号
P22	入力ポート/INTP1入力/CR22キャプチャ・トリガ入力
P23	入力ポート/INTP2入力/CI入力
P24	入力ポート/INTP3入力/CR02キャプチャ・トリガ入力
P25	入力ポート/INTP4入力/ASCK入力
P26	入力ポート/INTP5入力/A/Dコンバータ外部トリガ入力
P27	入力ポート/SI入力

注 NMI入力は、割り込み許可/禁止状態にかかわらず受け付けます。

(a) ポート端子としての機能

兼用端子の動作にかかわらず、常に端子レベルの読み込み、あるいはテストが可能です。

(b) 制御信号入力端子としての機能**(i) NMI (Non-maskable Interrupt)**

外部ノンマスクابل割り込み要求入力端子です。外部割り込みモード・レジスタ(INTMO)により、立ち上がりエッジ検出、または立ち下がりエッジ検出に指定できます。

(ii) INTP0-INTP5 (Interrupt From Peripherals)

外部割り込み要求入力端子です。INTP0-INTP5端子に外部割り込みモード・レジスタ(INTMO, INTM1)で指定された有効エッジが検出されると、割り込みを発生します(第13章 エッジ検出機能参照)。

また、INTP0-INTP3, INTP5は次のように各種機能の外部トリガ入力端子としても使用します。

- INTP0………8ビット・タイマ/カウンタ1のキャプチャ・トリガ入力端子
リアルタイム出力ポートのトリガ信号
- INTP1………8ビット・タイマ/カウンタ2のキャプチャ・トリガ入力端子
- INTP2………8ビット・タイマ/カウンタ2の外部カウント・クロック入力端子

- ・INTP3……………16ビット・タイマ/カウンタのキャプチャ・トリガ入力端子
- ・INTP5……………A/Dコンバータの外部トリガ入力端子

(iii) **CI (Clock Input)**

8ビット・タイマ/カウンタ2の外部クロック入力端子です。

(iv) **ASCK (Asynchronous Serial Clock)**

外部ポー・レート・クロック入力端子です。

(v) **SI (Serial Input)**

シリアル・データ入力端子 (3線式シリアルI/Oモード時) です。

(4) P30-P37 (Port3)……………3ステート入出力

ポート3は、出力ラッチ付き8ビット入出力ポートです。ポート3モード・レジスタ (PM3) により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

入出力ポートとしての機能以外に、各種コントロール信号端子としての機能を兼用しています。

動作モードは、ポート3モード・コントロール・レジスタ (PMC3) により、表2-3のようにビット単位に指定できます。いずれの端子も、兼用端子の動作にかかわらず、常に端子レベルの読み込みあるいはテストが可能です。

$\overline{\text{RESET}}$ 入力により、入力ポート (出力ハイ・インピーダンス) になり、出力ラッチの内容は不定となります。

表 2-3 ポート3の動作モード (n=0-7)

モード	ポート・モード	コントロール信号入出力モード
設定条件	PMC3n=0	PMC3n=1
P30	入出力ポート	RxD入力
P31		TxD出力
P32		$\overline{\text{SCK}}$ 入出力
P33		SO出力/SBO入出力
P34		TO0出力
P35		TO1出力
P36		TO2出力
P37		TO3出力

(a) ポート・モード

PMC3レジスタによりポート・モードに指定された各ポートは、ポート3モード・レジスタ (PM3) により、1ビット単位で入力/出力の指定ができます。

(b) コントロール信号入出力モード

PMC3レジスタの設定により、1ビット単位にコントロール端子にすることができます。

(i) RxD (Recieve Data)

アシンクロナス・シリアル・インタフェースのシリアル・データ入力端子です。

(ii) TxD (Transmit Data)

アシンクロナス・シリアル・インタフェースのシリアル・データ出力端子です。

(iii) $\overline{\text{SCK}}$ (Serial Clock)

クロック同期式シリアル・インタフェースのシリアル・クロック入出力端子です。

(iv) SO (Serial Output)/SBO (Serial Bus)

SOはシリアル・データ出力端子 (3線式シリアルI/Oモード時) です。また、SBOはSBIモード時のシリアル・バス入出力端子です。

(v) TO0 - TO3 (Timer Output)

タイマ出力端子です。

(5) P40-P47 (Port4) ……3ステート入出力

ポート4は、出力ラッチ付き8ビット入出力ポートです。メモリ拡張モード・レジスタ (MM) により、8ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。また、LEDをダイレクトにドライブ可能です。

また、外部メモリやI/Oを拡張するとき、時分割アドレス/データ・バス (AD0-AD7) として機能します。

なお、 μ PD78233の場合は、時分割アドレス/データ・バス (AD0-AD7) としてのみ機能します。

$\overline{\text{RESET}}$ 入力により、入力ポート (出力ハイ・インピーダンス) になり、出力ラッチの内容は不定になります。

(6) P50-P57 (Port5).....3ステート入出力

ポート5は、出力ラッチ付き8ビット入出力ポートです。ポート5モード・レジスタ(PM5)により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。また、LEDをダイレクトにドライブ可能です。

また、外部メモリやI/Oを拡張するとき、P50-P57は、アドレス・バス(A8-A15)として機能します。

なお、 μ PD78233の場合は、アドレス・バス(A8-A15)としてのみ機能します。

$\overline{\text{RESET}}$ 入力により、入力ポート(出力ハイ・インピーダンス状態)になり、出力ラッチの内容は不定になります。

(7) P60-P67 (Port6).....P60-P63：出力，P64-P67：3ステート入出力

ポート6は、出力ラッチ付き8ビット入出力ポートです。P64-P67には、ソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

ポートとしての機能以外に、表2-4のような各種コントロール信号端子としての機能を兼用しています。コントロール端子としての動作は、各機能の操作によって行います。

なお、 μ PD78233の場合は、P64、P65はそれぞれ $\overline{\text{RD}}$ 出力、 $\overline{\text{WR}}$ 出力としてのみ機能します。

$\overline{\text{RESET}}$ 入力により、P60-P63は出力ハイ・インピーダンスになり、 $\overline{\text{RESET}}$ 解除後にロウ・レベルになります。また $\overline{\text{RESET}}$ 入力によりP64-P67は、入力ポート(出力ハイ・インピーダンス状態)になります。出力ラッチの内容は、上位4ビットは不定に、下位4ビットはOHになります。

表2-4 ポート6の動作モード

端 子	ポート・モード	コントロール信号 入出力モード	コントロール端子として動作させるための 操作
P60-P63	出力ポート	A16-A19出力	MMレジスタのMM6ビットをセット(1)
P64	入出力ポート	$\overline{\text{RD}}$ 出力	μ PD78233の場合、またはMMレジスタのMM2-0ビットにより外部メモリ拡張モードを指定
P65		$\overline{\text{WR}}$ 出力	
P66		$\overline{\text{WAIT}}$ 入力	PWレジスタ、またはMMレジスタのPWn1、PWn0ビット(n=2, 3)およびP66を入力モードにすることにより指定
P67		$\overline{\text{REFRQ}}$ 出力	RFMレジスタのRFENビットをセット(1)

注意 P60-P63は、 $\overline{\text{RESET}}$ 入力中はハイ・インピーダンス状態ですが、 $\overline{\text{RESET}}$ 解除後にロウ・レベルを出力します。したがって、初期状態としてロウ・レベルが出力されてもよいように外付け回路を設計してください。

備考 詳細は、第15章 ローカル・バス・インタフェース機能参照。

(a) ポート・モード

P60-P63は出力専用で、P64-P67はポート6モード・レジスタ (PM6) により、1ビット単位で入力/出力の指定ができます。

(b) コントロール信号入出力モード**(i) A16-A19 (Address Bus)**

外部メモリ空間拡張時 (10000H-FFFFFFH) の上位アドレス・バス出力端子です。
メモリ拡張モード・レジスタ (MM) により動作します。

(ii) \overline{RD} (Read Strobe)

外部メモリのリード動作のために出力されるストロブ信号出力端子です。
MODE端子=1の場合か外部メモリ拡張時に動作します。

(iii) \overline{WR} (Write Strobe)

外部メモリのライト動作のために出力されるストロブ信号出力端子です。
MODE端子=1の場合かMMレジスタにより動作します。

(iv) \overline{WAIT} (Wait)

ウェイト信号の入力端子です。プログラマブル・ウェイト制御(PW)レジスタ、またはMMレジスタにより動作します。

(v) \overline{REFRQ} (Refresh Request)

外部に疑似スタティック・メモリを接続した場合に、疑似スタティック・メモリヘリフレッシュ・パルスを出力する端子です。リフレッシュ・モード・レジスタ (RFM) により動作します。

(8) P70-P77 (Port7)……………入力

ポート7は、8ビット入力専用ポートです。入力ポートとして働く以外に、A/Dコンバータ用アナログ入力の端子 (ANIO-ANI7) としても働きます。

兼用端子の動作にかかわらず、常に端子レベルの読み込み、あるいはテストが可能です。

(9) ASTB (Address Strobe)……………出力

外部メモリをアクセスするため、アドレス情報を外部でラッチするタイミング信号の出力端子です。

(10) **MODE (Mode)**……………入力

プログラム・メモリのアクセスを内部ROMではなく外部メモリから行わせるためのコントロール信号入力端子です。ロウ・レベル入力のとき内部ROMがアクセスされ、ハイ・レベルが入力されているとROMレス・モードとなり、外付けのメモリをアクセスします。 μ PD78233の場合は、ハイ・レベルに固定して使用します。 μ PD78234の場合は、ロウ・レベルに固定して使用します。

注意 μ PD78P238では、必ず**MODE**端子をロウ・レベルにして使用してください。**MODE**端子をハイ・レベルにしても、**ROMレス・モード**にはなりません。

(11) **X1, X2 (Crystal)**

内部クロック発振用のクリスタル接続端子です。外部からクロックを供給する場合はX1端子に入力します。X2端子はX1端子の逆相の信号を入力します。

(12) **RESET (Reset)**……………入力

ロウ・レベル・アクティブのリセット入力です。

(13) **AN00, AN01**……………出力

D/Aコンバータのアナログ電圧出力端子です。

(14) **AV_{REF1}**

A/Dコンバータの基準電圧入力端子です。

(15) **AV_{REF2}**

D/Aコンバータの基準電圧入力(+側)端子です。

(16) **AV_{REF3}**

D/Aコンバータの基準電圧入力(-側)端子です。

(17) **AV_{DD}**

A/Dコンバータの電源端子です。 V_{DD} 端子と同電位にしてください。

(18) **AV_{SS}**

A/DコンバータのGND端子です。 V_{SS} 端子と同電位にしてください。

(19) **V_{DD}**

正電源供給端子です。すべての V_{DD} 端子を正電源に接続してください。

(20) V_{SS}

GND 電位端子です。すべての V_{SS} 端子をグラウンドに接続してください。

(21) **NC (Non-Connection)**

内部接続していません。

2.2.2 PROMプログラミング・モード(μ PD78P238の場合)

(1) V_{PP} (Programming Power Supply)………入力

μ PD78P238をPROMプログラミング・モードに設定する入力端子です。この端子の入力電圧が5 V以上で、 $\overline{\text{RESET}}$ 入力がロウ・レベルになると、 μ PD78P238はPROMプログラミング・モードに移行します。

$V_{PP}=12.5\text{ V}$, $\overline{\text{OE}}=\text{H}$ のときに $\overline{\text{CE}}=\text{L}$ とすると、D0-D7上のプログラム・データを、A0-A14で選択されている内部PROMセル内に書き込むことができます。

(2) $\overline{\text{RESET}}$ ………入力

μ PD78P238をPROMプログラミング・モードに設定する入力端子です。この端子の入力がロウ・レベルで、 V_{PP} 端子の入力電圧が5 V以上になると、 μ PD78P238はPROMプログラミング・モードに移行します。

(3) A0 - A14 (Address Bus)………入力

アドレス・バスです。内部PROMのアドレス (0000H-7FFFH) を選択します。

(4) D0 - D7 (Data Bus)………入出力

データ・バスです。このバスを介して、内部PROMのプログラムの書き込み/読み出しを行います。

(5) $\overline{\text{CE}}$ (Chip Enable)………入力

内部PROMのイネーブル信号を入力します。この信号がアクティブのとき、プログラムの書き込み/読み出しが可能となります。

(6) $\overline{\text{OE}}$ (Output Enable)………入力

内部PROMへのリード・ストロブ信号を入力します。 $\overline{\text{CE}}=\text{L}$ のときにこの信号をアクティブにすると、A0-A14で選択されている内部PROMセル内のプログラム (1バイト) をD0-D7上に読み出すことができます。

(7) V_{DD}

正電源供給端子です。

(8) V_{SS}

GND電位端子です。

2.3 入出力回路と未使用端子の処理

表2-5は、機能を有する端子の入出力回路タイプと、その機能を使用しない場合の処理方法を示します。また、図2-1は、各タイプの回路です。

表2-5 各端子の入出力タイプと未使用時の処理 (1/2)

端子	入出力タイプ	入出力	未使用時の推奨接続方法
P00-P07	4	出力	オープン
P10-P17	5-A	入出力	入力時： V_{DD} に接続 出力時：オープン
P20/NMI	2		V_{DD} または V_{SS} に接続
P21/INTP0			
P22/INTP1	2-A	入力	V_{DD} に接続
P23/INTP2/CI			
P24/INTP3			
P25/INTP4/ASCK			
P26/INTP5			
P27/SI			
P30/RxD	5-A		
P31/TxD			
P32/SCK	8-A		
P33/SB0/SO	10-A	入出力	入力時： V_{DD} に接続 出力時：オープン
P34/TO0-P37/TO3	5-A		
P40/AD0-P47/AD7			
P50/A8-P57/A15			
P60/A16-P63/A19	4	出力	オープン
P64/RD	5-A	入出力	入力時： V_{DD} に接続 出力時：オープン
P65/WR			
P66/WAIT			
P67/REFRQ			
P70/ANI0-P77/ANI7	9	入力	V_{SS} に接続
AN00, AN01	12	出力	オープン
ASTB	4		

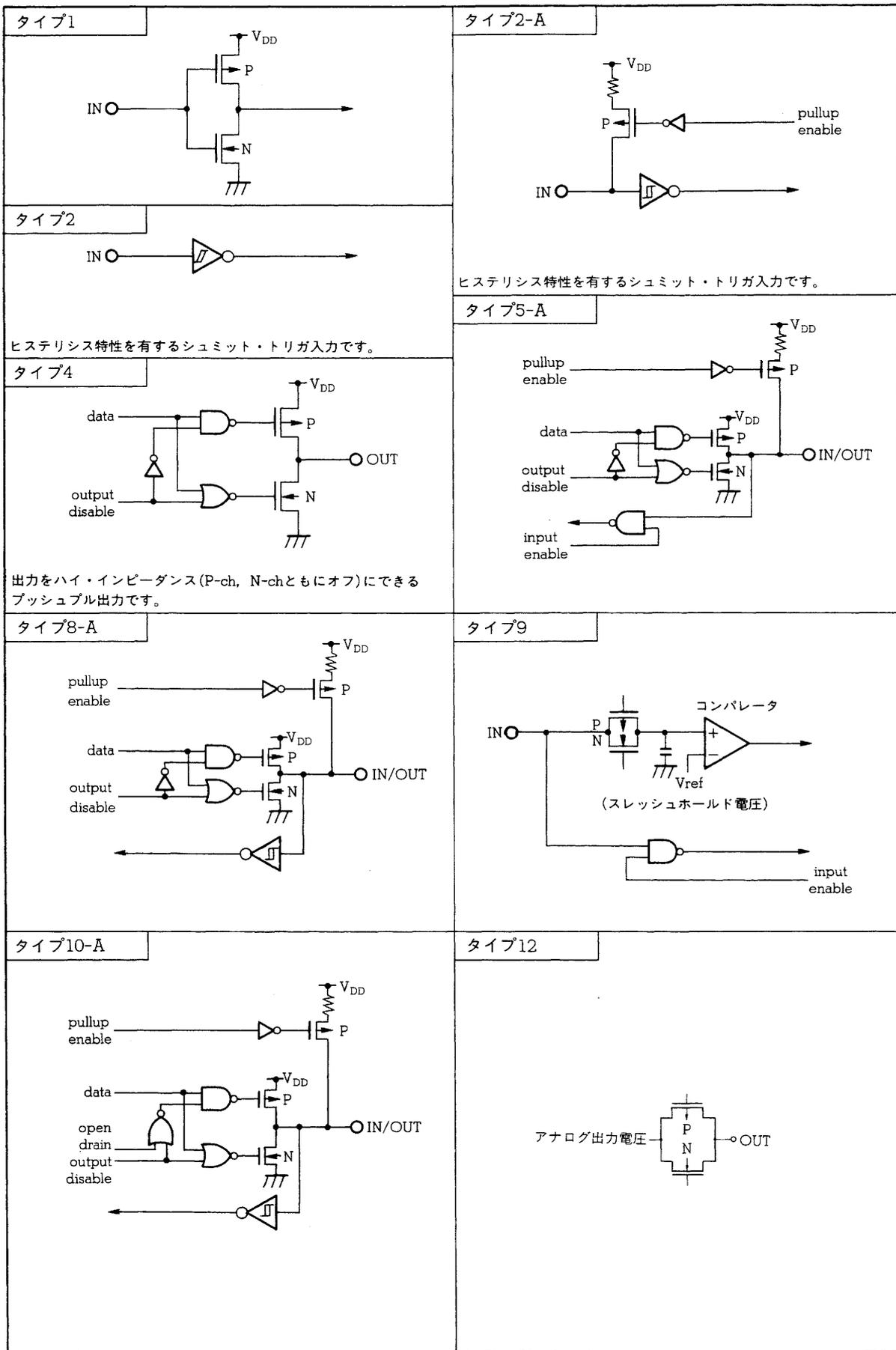
表2-5 各端子の入出力タイプと未使用時の処理 (2/2)

端子	入出力タイプ	入出力	未使用時の推奨接続方法
RESET	2	入力	—
MODE	1		
AV _{REF1} -AV _{REF3}	—		V _{SS} に接続
AV _{SS}			
V _{DD}			V _{DD} に接続

備考 タイプ番号は78Kシリーズで統一しているため、各製品内では連番とは限りません(内蔵しない回路あり)。

注意 入出力兼用端子で、入出力のモードが不定な場合は、数十 kΩの抵抗を介してV_{DD}に接続してください(特に、電源投入時にリセット入力端子がロウ・レベル入力電圧以上になる場合や、ソフトウェアで入出力を切り替えている場合)。

図2-1 端子の入出力回路



2.4 注意事項

- (1)未使用端子の処理において、入出力兼用端子で、入出力のモードが不定な場合は、数十 k Ω の抵抗を介してV_{DD}に接続してください（特に電源投入時にリセット入力端子がロウ・レベル入力電圧以上になる場合や、ソフトウェアで入出力を切り替えている場合）。
- (2) μ PD78P238では、必ずMODE端子をロウ・レベルにして使用してください。MODE端子をハイ・レベルにしても、ROMレス・モードにはなりません。
- (3)P60-P63は、 $\overline{\text{RESET}}$ 入力中はハイ・インピーダンスですが、 $\overline{\text{RESET}}$ 解除後に、ロウ・レベルを出力します。したがって、初期状態としてロウ・レベルが出力されてもよいように外付け回路を設計してください。

第3章 CPU機能

3.1 メモリ空間

μ PD78234は、1 Mバイトのメモリ空間をアクセスできます。MODE端子の状態によって、プログラム・メモリのマッピングが異なります。なお、 μ PD78233は、MODE=Hとして使用します。

μ PD78P238の場合、メモリ・サイズ切り替えレジスタの指定により、 μ PD78234と同一のメモリ・マッピングと μ PD78238と同一のメモリ・マッピングとを切り替えることができます。

また、 μ PD78P238の場合、MODE=Hとして使用することはできません。

(1) μ PD78233の場合 (MODE=H)

プログラム・メモリを外部メモリ (64640バイト：00000H-0FC7FH) にマッピングしています。この領域は、データ・メモリとの共用も可能です。

データ・メモリを、内部RAM (640バイト：0FC80H-0FEFFH) にマッピングしています。1 Mバイト拡張モードでは、外部メモリ (960 Kバイト：10000H-FFFFFFH) を拡張データ・メモリとしてマッピングします。

(2) μ PD78234の場合 (MODE=L)

プログラム・メモリを、内部ROM (16 Kバイト：00000H-03FFFH) と外部メモリ (48256バイト：04000H-0FC7FH) にマッピングしています。外部メモリは、外部メモリ拡張モードでアクセスします。外部メモリにマッピングする領域は、データ・メモリとの共用も可能です。

データ・メモリを内部RAM (640バイト：0FC80H-0FEFFH) にマッピングしています。1 Mバイト拡張モードでは、外部メモリ (960バイト：10000H-FFFFFFH) を拡張データ・メモリとしてマッピングします。

(3) μ PD78237の場合 (MODE=H)

プログラム・メモリを外部メモリ (64256バイト：00000H-0FAFFH) にマッピングしています。この領域は、データ・メモリとの共用も可能です。

データ・メモリを、内部RAM (1024バイト：0FB00H-0FEFFH) にマッピングしています。1 Mバイト拡張モードでは、外部メモリ (960 Kバイト：10000H-FFFFFFH) を拡張データ・メモリとしてマッピングしています。

(4) μ PD78238の場合 (MODE=L)

プログラム・メモリを内部ROM (32 Kバイト : 00000H-07FFFH) と外部メモリ (31488バイト : 08000H-0FAFFH) にマッピングしています。外部メモリは、外部メモリ拡張モードでアクセスします。外部メモリにマッピングする領域は、データ・メモリとの共用も可能です。

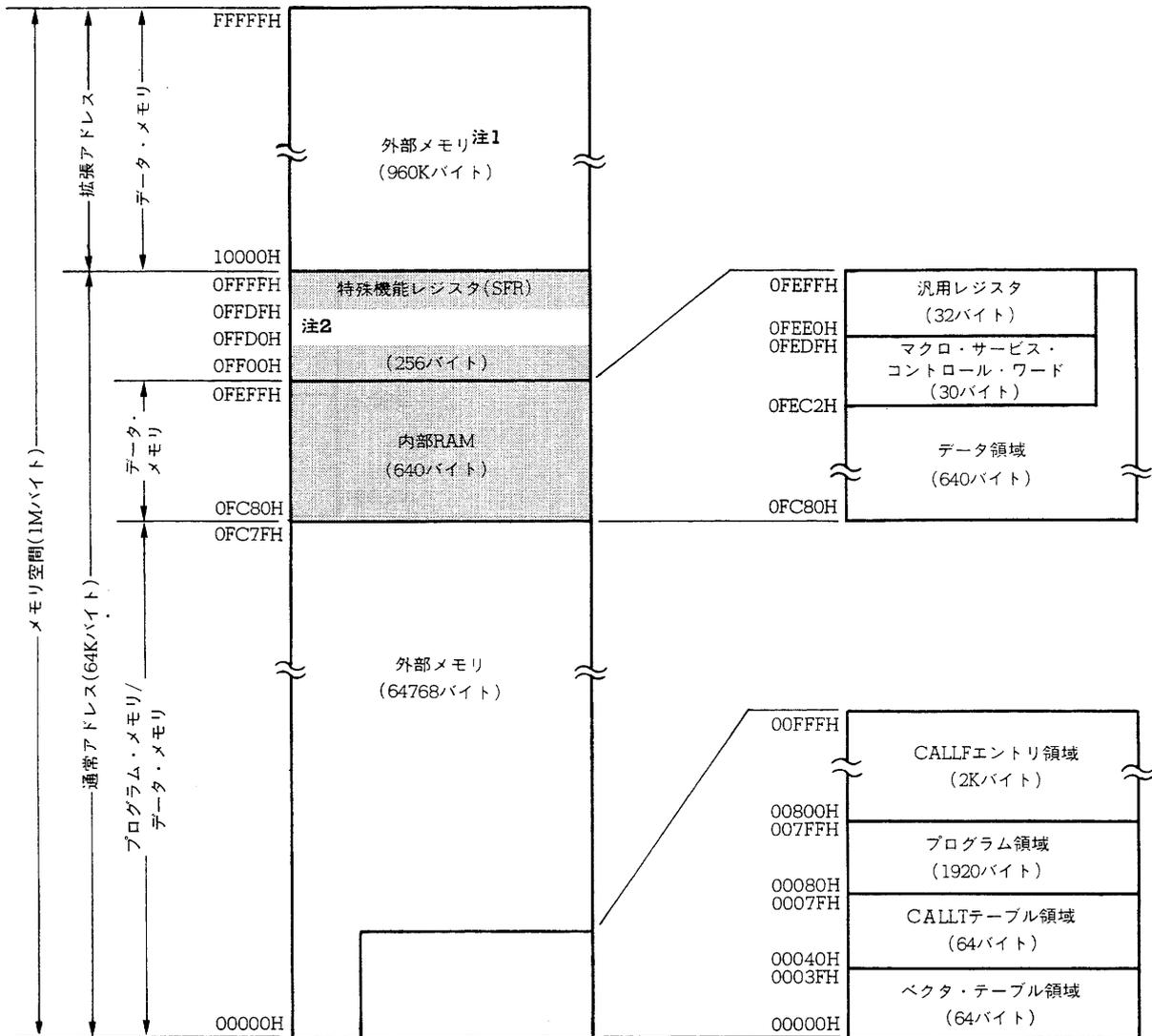
データ・メモリを、内部RAM (1024バイト : 0FBO0H-0FEFFH) にマッピングしています。1 Mバイト拡張モードでは、外部メモリ (960 Kバイト : 10000H-FFFFFH) を拡張データ・メモリとしてマッピングします。

(5) μ PD78P238の場合 (MODE=L)

メモリ・サイズ切り替えレジスタ (IMS) で、 μ PD78234と同一のメモリ・マッピングにするか、 μ PD78238と同一のメモリ・マッピングにするかを選択できます。 $\overline{\text{RESET}}$ 入力後は、 μ PD78238と同一のメモリ・マッピングになっています。

注意 μ PD78P238は、MODE=H (ROMレス動作指定) として使用することはできません。

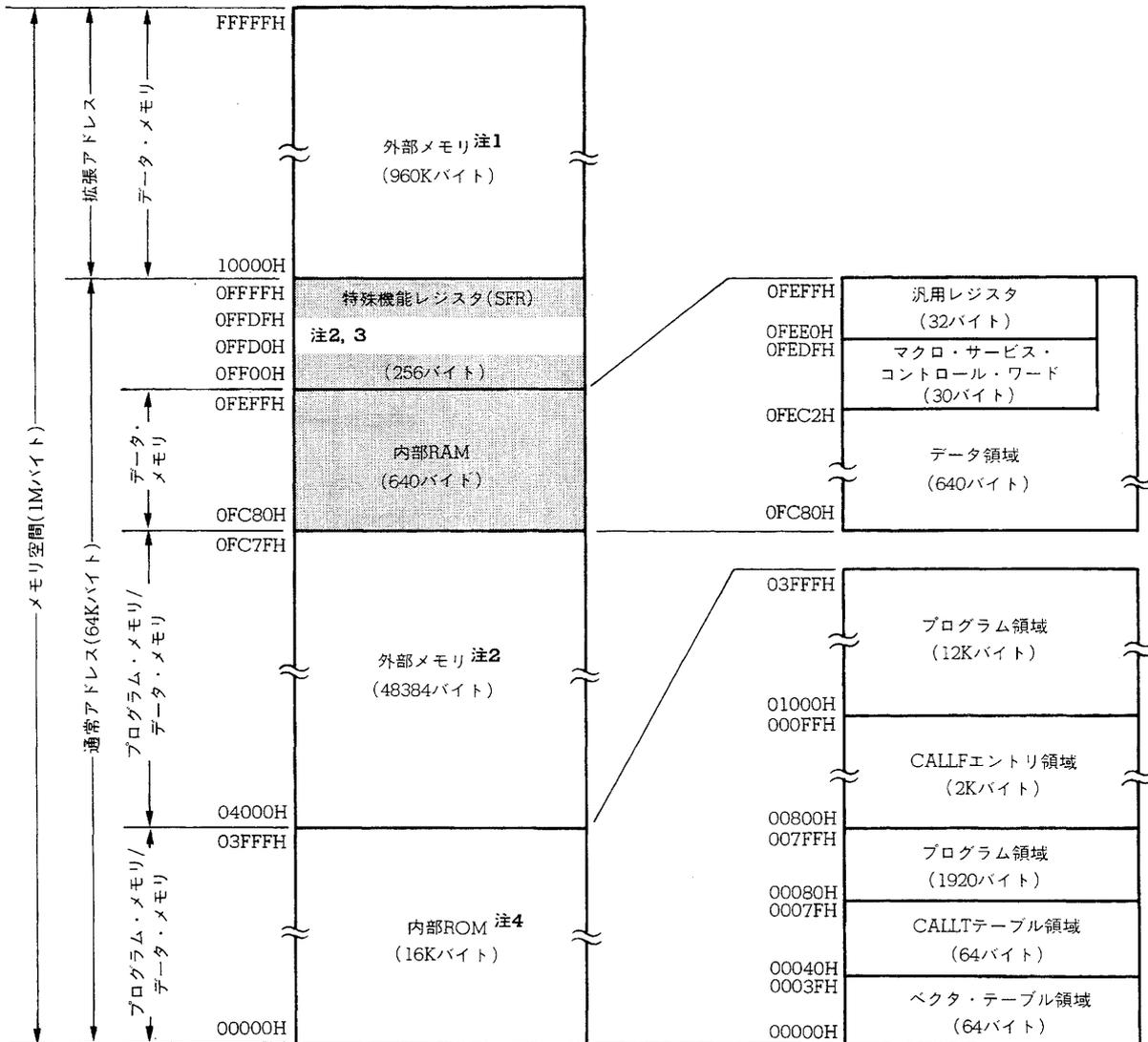
図3-1 μPD78233のメモリ・マップ



注1. 1Mバイト拡張モードでアクセス は内部メモリ

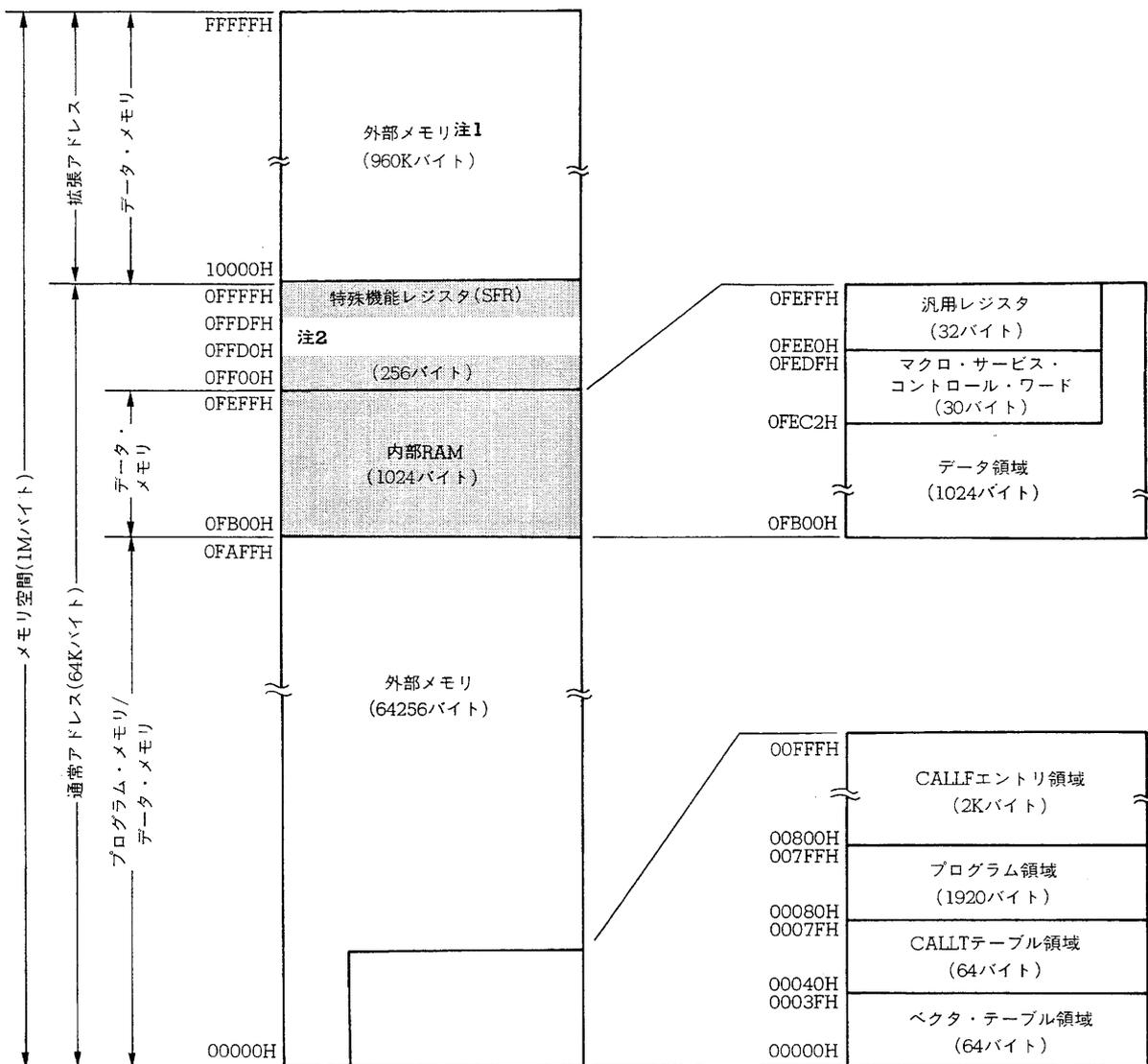
2. 外部SFR領域

図3-2 μPD78234のメモリ・マップ



- 注1. 1Mバイト拡張モードでアクセス は内部メモリ
- 注2. 外部メモリ拡張モードでアクセス
- 注3. 外部SFR領域
- 注4. μPD78P238の場合は内部PROM

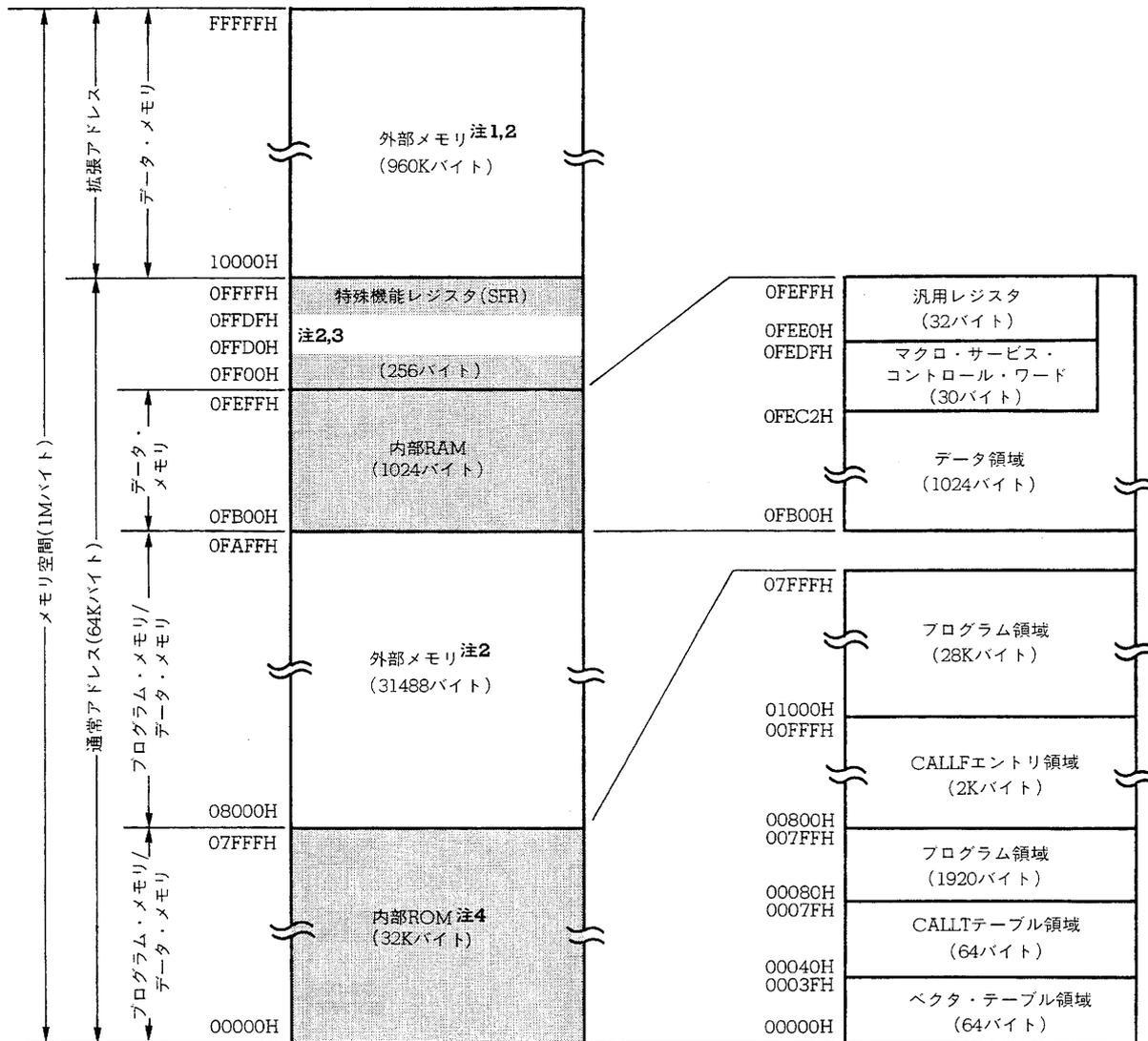
図3-3 μPD78237のメモリ・マップ



注1. 1Mバイト拡張モードでアクセス は内部メモリ

2. 外部SFR領域

図3-4 μPD78238のメモリ・マップ



- 注1. 1Mバイト拡張モードでアクセス
 - 注2. 外部メモリ拡張モードでアクセス
 - 注3. 外部SFR領域
 - 注4. μPD78P238の場合は内部PROM
- は内部メモリ

3.1.1 内部プログラム・メモリ領域

00000H-03FFFH (μ PD78238の場合は、00000H-07FFFH)のアドレス空間に16K×8ビット (μ PD78238は32K×8ビット)のROMを内蔵しており、プログラムやテーブル・データなどを格納します。通常、プログラム・カウンタ (PC) でアドレスされます。

μ PD78233の場合、このアドレス空間は外部メモリとなります (ROMレス動作)。

(1) ベクタ・テーブル領域

00000H-0003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には $\overline{\text{RESET}}$ 入力、各割り込み要求発生により分岐する場合のプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうちの低位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-1 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求
00000H	リセット ($\overline{\text{RESET}}$ 入力)
00002H	NMI
00006H	INTP0
00008H	INTP1
0000AH	INTP2
0000CH	INTP3
0000EH	INTP4/INTC30
00010H	INTP5/INTAD
00012H	INTC20
00014H	INTC00
00016H	INTC01
00018H	INTC10
0001AH	INTC11
0001CH	INTC21
00020H	INTSER
00022H	INTSR
00024H	INTST
00026H	INTCSI
0003EH	BRK

(2) CALLT命令テーブル領域

00040H-0007FHの64バイトの領域には、1バイト・コール命令 (CALLT) のサブルーチン・エン트리・アドレスを格納することができます。

(3) CALLF命令エン트리領域

00800H-00FFFFHのアドレスは、2バイト・コール命令 (CALLF) で直接サブルーチン・コールすることができます。

3.1.2 内部RAM領域

0FC80H-0FEFFH(μ PD78238の場合は0FB00H-0FEFFH)の領域に、640バイト(μ PD78238は1024バイト)の汎用スタティックRAMが内蔵されています。

この領域は、次の2つのRAMで構成されています。

- 周辺RAM (PRAM) : 0FC80H-0FDFFH (μ PD78238は、0FB00H-0FDFFH)
- 内部デュアル・ポートRAM(IRAM) : OFE00H-0FEFFH

内部デュアル・ポートRAM (IRAM) は、高速アクセスが可能です。

特に、OFE20H-0FEFFHの領域は高速アクセス用のショート・ダイレクト・アドレッシング・モード (**78K**/IIシリーズ ユーザーズ・マニュアル 命令編の第6章 アドレッシング参照) が使用できます。

そのうち、OFEE0H-0FEFFHの32バイトの領域には4バンクの汎用レジスタ群が、OFEC2H-0FEDFHの30バイトの領域にはマクロ・サービス・コントロール・ワードがマッピングされています。

注意 内部RAM領域からのプログラム・フェッチはできません。

備考 OFE20H-0FEC1Hの領域には、頻繁にアクセスするデータやワーク・エリア、ステータス・フラグなどを配置すると効果的です。

また、OFE00H-0FE1FHの領域は、スタック領域、マクロ・サービス・チャンネルおよびマクロ・サービスのデータ転送用領域などとして使用すると、高速にアクセスが可能なので、システムのスループットの向上に役立ち効果的です (この領域は、ショート・ダイレクト・アドレッシングが使えず、操作方法は他のメモリ空間と同じになります。しかし、他のメモリ空間より高速にアクセスが可能なので、全体的に見た場合、他のアドレッシング・モードで使用するよりはスタック領域、マクロ・サービス・チャンネルおよびマクロ・サービスのデータ転送用領域などとして使用した方がメリットが出ると考えられます)。

3.1.3 特殊機能レジスタ (SFR) 領域

OFF00H-OFFFFHの領域には、オンチップ周辺ハードウェアの特殊機能レジスタ (SFR) がマッピングされています (**3.2.5 特殊機能レジスタ参照**)。

また、OFFD0H-OFFDFHは、外部SFR領域としてマッピングされており、 μ PD78233(ROMレス)の場合や、 μ PD78234の外部メモリ拡張モード (メモリ拡張モード・レジスタ (MM) で設定) 時に、外付けされた周辺I/Oなどをアクセスすることができます。

注意 この領域内で、SFRのマッピングされていないアドレスをアクセスしないでください。誤ってアクセスすると、 μ PD78234がデッドロック状態となることがあります。デッドロック状態は、リセット入力によってのみ解除されます。

3.1.4 外部SFR領域

SFR領域のうち、OFFDOH-OFFDFHの16バイトの領域は、外部SFR領域としてマッピングされています。 μ PD78233 (ROMレス) の場合や μ PD78234の外部メモリ拡張モード (メモリ拡張モード・レジスタ (MM) で設定) の場合に、アドレス・バスおよびアドレス/データ・バスなどを使用して、外付けされた周辺I/Oなどをアクセスすることができます。

外部SFR領域は、SFRアドレッシングでアクセスすることができるので、周辺I/Oなどの操作が簡単にできること、オブジェクト・サイズを圧縮することができるなどの特徴があります。さらに、マクロ・サービス・タイプBのSFRとして指定することも可能です。

なお、外部SFR領域に対するアクセス時のバスの動作は、通常のメモリ・アクセスと同様になります (第15章 ローカル・バス・インタフェース機能参照)。

3.1.5 外部メモリ空間

04000H-0FC7FHの (μ PD78233は08000H-0FAFFH) の領域は、メモリ拡張モード・レジスタ (MM) の設定によりアクセスが可能となる外部メモリ空間です。プログラム、テーブル・データなどの格納、および周辺I/Oデバイスを割り付けることができます。

なお、 μ PD78233の場合は、00000H-0FC7FH (μ PD78237の場合は、00000H-0FAFFH) の領域が常時アクセス可能です。

3.1.6 外部拡張データ・メモリ空間

10000H-FFFFFFHの領域は、メモリ拡張モード・レジスタ (MM) により、1 Mバイト拡張モードに指定した場合にアクセス可能となる空間です。このとき、ポート6のP60-P63端子が4ビットの拡張アドレス・バス (A16-A19) として機能します。また、データ・メモリ空間は、64 Kバイト単位の16個のバンクとして扱われ、P6レジスタおよびPM6レジスタの下位4ビットが、バンクを選択するためのバンク・レジスタとして機能します。漢字キャラクタ・ジェネレータなどの大容量データを使用する場合に有効です。

この空間のアクセスは、あらかじめ使用するバンク (A16-A19の上位4ビットのアドレス情報) を、バンク・レジスタ (P6レジスタのP60-P63またはPM6レジスタのPM60-PM63) にセットした状態で、拡張アドレッシング可能な命令を実行することで行います。P60-P63端子から出力される上位4ビットのアドレスは、拡張アドレッシング可能な命令を実行する間のみ有効となります。

また、バンク・レジスタが2本あるため、操作対象となるデータ・バンクとして常時2バンクが使用できます。2本のバンク・レジスタは、命令のオペランドに“&”を付けるか、付けないかで選択します。“&”がある場合はP6レジスタが、“&”がない場合はPM6レジスタがバンク・レジスタとなります。

したがって、たとえば2バンクのうち1つを主データ・バンクとしてRAMの領域を指定し、もう一方を副データ・バンクとしてデータROM領域を指定するにすれば、データROMから読み出したデータ (例：プリンタ用の文字データ) に対し拡大、縮小などの操作を行い、RAMに格納するといった処理が簡単にできます。

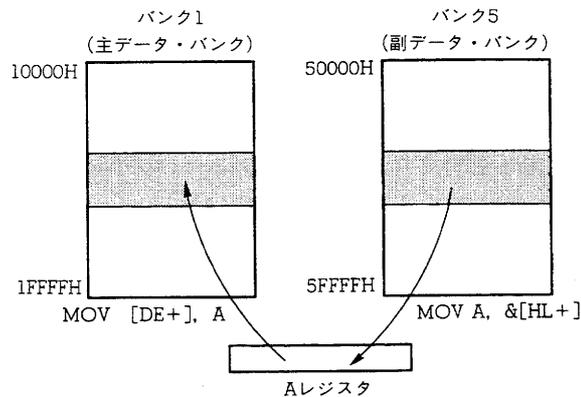
例 主バンクを1, 副バンクを5としてバンク5のデータをバンク1に転送します。

```

MOV MM, #47H    ;メモリ拡張モードに設定
MOV PM6, #1H    ;主バンク・レジスタ (PM6) の設定
MOV P6, #5H     ;副バンク・レジスタ (P6) の設定
MOV B, #OFFH    ;ループ・カウンタの設定

LOOP:           ;
    ⋮
MOV A, &[HL+]   ;バンク5からデータのリード (P6レジスタの内容を最上位のアド
                ;ドレス情報として付加)
MOV [DE+], A    ;バンク1へデータを格納 (PM6レジスタの内容を最上位のアド
                ;ドレス情報として付加)
    ⋮
DBNZ B, $LOOP   ;繰り返し処理
    
```

図 3-5 バンク間でのデータ転送例



- 備考1. MOV [DE+], AおよびMOV A, &[HL+]の両命令はバンク0に格納されています。
2. PM6レジスタをバンク・レジスタとして使用する命令は、P6レジスタを使用する命令より、命令コードと実行時間が短くなります。また、P6レジスタを操作する命令は、PM6レジスタを操作する命令より短く、実行時間も短くなります。
- したがって頻繁にアクセスするバンクを指定する主バンク・レジスタとしてPM6を、指定するバンクが頻繁に変わる副バンク・レジスタとしてP6を使用すると効率的です。

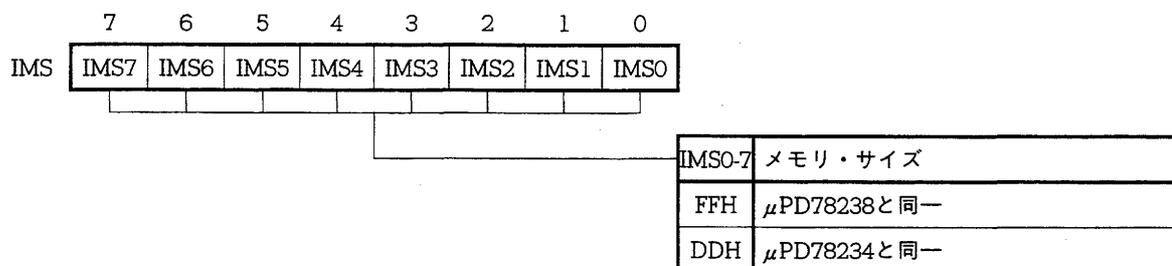
3.1.7 μ PD78P238のメモリ・マッピング

μ PD78P238は、内部ROMを32 Kバイト、内部RAMを1024バイト内蔵しています。したがって、 μ PD78234とは若干メモリ・マッピングが異なっております。この違いを吸収するために、 μ PD78P238では、ソフトウェアにより内部メモリの一部を使用しないようにするための機能（メモリ・サイズの切り替え機能）を有しています。

メモリ・サイズの切り替えは、メモリ・サイズ切り替えレジスタ (IMS) によって行います。 μ PD78234と同一のメモリ・マッピングにする場合には、リセット直後に本レジスタへの書き込みを必ず行ってください。

IMSレジスタは、8ビット操作命令で書き込みが可能です。そのフォーマットを図3-6に示します。 $\overline{\text{RESET}}$ 入力によりFFHになります。

図3-6 メモリ・サイズ切り替えレジスタ



本レジスタは、 μ PD78234, 78238にはありません。しかし、本レジスタへの書き込み命令を μ PD78234, 78238で実行しても動作に影響を与えません。

3.2 レジスタ

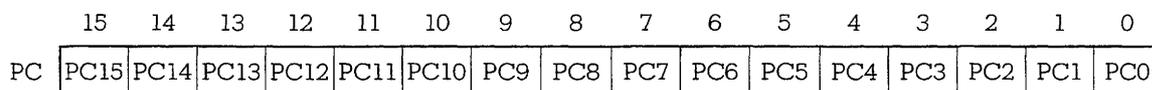
3.2.1 プログラム・カウンタ (PC)

次に実行するプログラムのアドレス情報を保持する16ビット・バイナリ・カウンタです (図3-7参照)。

通常、フェッチする命令のバイト数に応じて自動的にインクリメントされます。分岐を伴う命令を実行した場合、イミディエイト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、内部ROM ($\mu\text{PD78233}$ の場合は外部メモリ)の00000H番地の内容がPCの下位8ビットに、00001H番地の内容がPCの上位8ビットにセットされます。

図3-7 プログラム・カウンタの構成



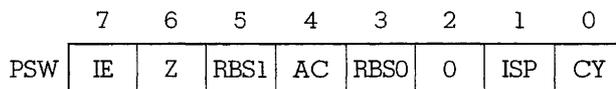
3.2.2 プログラム・ステータス・ワード (PSW)

命令の実行の結果によって、セット、リセットされる各種のフラグで構成される8ビット・レジスタです (図3-8参照)。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令により各フラグの操作ができます。PSWは、ベクタ割り込み要求受け付け時、およびBRK、PUSH PSW命令実行時にスタックに退避され、RETI、RETB、POP PSW命令実行により復帰します。

$\overline{\text{RESET}}$ 入力により、PSWは02Hとなります (割り込み受け付け不可能な状態)。

図3-8 プログラム・ステータス・ワードの構成



(1) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。

また、シフト・ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(2) 割り込み優先順位ステータス・フラグ (ISP)

現在、受け付け可能なマスクブル・ベクタ割り込みの優先順位を管理するフラグです。

マスクブル割り込みを受け付けると、受け付けた割り込みの優先順位指定フラグの内容をISPに転送します。また、ノンマスクブル割り込み (NMI) 受け付け時には“0”になります。

このフラグが“0”のときは優先順位指定フラグ・レジスタ (PRO) で低位に指定したベクタ割り込みの受け付け禁止状態で、“1”のときは割り込みの優先順位にかかわらず、受け付け可能な状態を示します。なお、実際の受け付けは、IEフラグの状態で制御されます。

マスクブル・ベクタ割り込みの受け付けにより、そのつど内容が更新されます。

詳細は第14章 割り込み機能をご覧ください。

(3) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです (表3-2 参照)。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

表3-2 レジスタ・バンクの選択

RBS1	RBS0	指定レジスタ・バンク
0	0	レジスタ・バンク0
0	1	レジスタ・バンク1
1	0	レジスタ・バンク2
1	1	レジスタ・バンク3

(4) 補助キャリー・フラグ (AC)

演算の結果、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット

(1)され、それ以外のときリセット(0)されるフラグです。

BCD補正命令実行時に使用されます。

(5) ゼロ・フラグ (Z)

演算の結果がゼロのときセット(1)され、それ以外のときリセット(0)されるフラグです。

(6) 割り込み要求許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

“0”のときは割り込み禁止状態となり、ノンマスクブル割り込み、およびマスク解除したマクロ・サービスのみ受け付け可能となります。それ以外はすべて禁止されます。

“1”のときは割り込み許可状態となり、割り込み要求受け付けの許可は、ISPフラグ、各割り込み要求に対応する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

EI命令実行によりセット(1)され、DI命令実行または割り込みの受け付けでリセット(0)されます。

3.2.3 スタック・ポインタ (SP)

スタック領域 (LIFO形式: 00000H-OFFFFH) の先頭アドレスを保持する16ビット・レジスタです (図3-9参照)。サブルーチン処理や割り込み処理時にスタック領域をアドレスするために使われます。

SPの内容は、スタック領域への書き込み前にデクリメントされ、スタック領域からの読み出し後にインクリメントされます (図3-10, 3-11参照)。

SPは、専用命令によりアクセスします。

SPの内容はRESET入力により不定になりますので、リセット解除直後に (サブルーチン・コールや割り込みを受け付ける前) に必ず初期化プログラムによりSPをイニシャライズしてください。

例 SPのイニシャライズ

```
MOVW SP, #0FEE0H; SP ← 0FEE0H (FEDFHから使用の場合)
```

図3-9 スタック・ポインタの構成

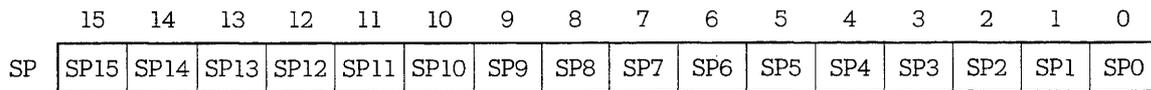


図3-10 スタック領域へ退避されるデータ

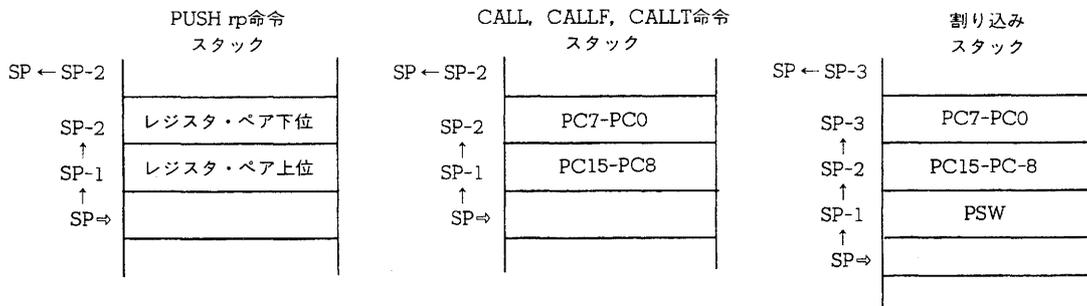
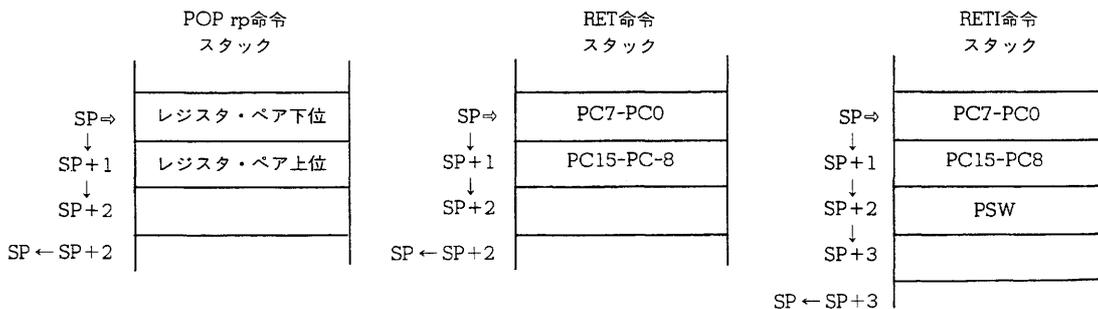


図3-11 スタック領域から復帰されるデータ



- 注意1. スタック・アドレッシングでは、64Kバイトすべての空間でアクセス可能ですが、SFR領域および内部ROM領域にスタック・エリアを確保することはできません。
2. SPは、RESET入力により不定になります。一方、リセット解除直後でもノンマスカブル割り込みは受け付け可能です。したがって、リセット解除直後のSPが不定な状態でノンマスカブル割り込みの要求が発生すると、予期しない動作を行う場合があります。これらの危険を最小限にするために、SPの初期設定はリセット解除直後に行うようにしてください。詳細は、14.3.2 ノンマスカブル割り込みの受け付け動作を参照してください。

3.2.4 汎用レジスタ

(1) 構成

汎用レジスタは、データ・メモリの特定番地 (OFEE0H-OFEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されます (図3-12参照)。

図3-12 汎用レジスタの構成

(8ビット処理の場合)				(16ビット処理の場合)			
OFEE0H	A	E1H	X	EOH	↑ レジスタ・バンク3 (RBS1,0=11) ↓	AX	EOH
	B	E3H	C	E2H		BC	E2H
	D	E5H	E	E4H		DE	E4H
	H	E7H	L	E6H		HL	E6H
	A	E9H	X	E8H	↑ レジスタ・バンク2 (RBS1,0=10) ↓	AX	E8H
	B	EBH	C	EAH		BC	EAH
	D	EDH	E	ECH		DE	ECH
	H	EFH	L	EEH		HL	EEH
	A	F1H	X	FOH	↑ レジスタ・バンク1 (RBS1,0=01) ↓	AX	FOH
	B	F3H	C	F2H		BC	F2H
	D	F5H	E	F4H		DE	F4H
	H	F7H	L	F6H		HL	F6H
OFEFFH	A	F9H	X	F8H	↑ レジスタ・バンク0 (RBS1,0=00) ↓	AX	F8H
	B	FBH	C	FAH		BC	FAH
	D	FDH	E	FCH		DE	FCH
	H	FFH	L	FEH		HL	FEH

命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって指定します。

RESET入力によりレジスタ・バンク0が指定されます。

また、実行中のレジスタ・バンクは、PSW内のレジスタ・バンク選択フラグ (RBS0, RBS1) を読み出すことによって確認することができます。

OFEE0H-OFEFFHの領域は、汎用レジスタとして使用する、しないにかかわらず、通常のデータ・メモリとしてアドレス指定し、アクセスすることができます。

備考 レジスタ・バンクを変更する場合で、元のレジスタ・バンクに戻す必要がある場合は、PUSH PSW命令でスタックへPSWを退避してからSEL RBn命令を実行してください。元に戻すときは、スタックの位置に変化がなければPOP PSW命令で戻せます。

なお、割り込み処理プログラムでレジスタ・バンクを変更する場合には、PSWは割り込みの受け付け時に自動的にスタックへ退避され、RETI, RETB命令で復帰されますので、割り込み処理ルーチンで使用するレジスタ・バンクが1つに固定されていれば、単にSEL RBn命令を実行するだけで、PUSH PSW命令を実行する必要はありません。

例1. 通常のプログラムでレジスタ・バンクを変更する場合

レジスタ・バンク2を指定する場合

```

⋮
PUSH PSW
SEL RB2 }
⋮       } レジスタ・バンク2で動作
POP PSW }
⋮       } 元のレジスタ・バンクで動作

```

2. 割り込み処理プログラムでレジスタ・バンクを変更する場合

レジスタ・バンク1を選択する場合

```

SEL RB1 }
⋮       } レジスタ・バンク1で動作
RETI    } 割り込み処理プログラムからの復帰時には元のレジスタ・バ
          } ンクに自動的に復帰する

```

(2) 機能

汎用レジスタはそれぞれ8ビット単位で操作できるほか、2個の8ビット・レジスタがペアとなって16ビット単位でも操作できます (AX, BC, DE, HL)。

また、各レジスタは、演算結果の一部保管やレジスタ間演算命令のオペランドとして使用することが可能です。

汎用レジスタは、4つのレジスタ・バンクを有しているため、通常の処理と割り込み時の処理でレジスタ・バンクを使い分けることにより、効率のよいプログラムを作成できます。

各レジスタは、それぞれ次に示す固有機能を持っています。

A(R1) :

8ビット・データの転送や演算処理の中心となるレジスタです。ビット・データの格納にも使用できます。

また、インデクスト・アドレッシング時のオフセット値を格納するレジスタとしても使用可能です。

AX(RP0) :

16ビット・データの転送や演算処理の中心となるレジスタです。

X(RO) :

ビット・データを格納することができます。

B(R3) :

ループ・カウンタとしての機能を持っており、DBNZ命令で使用できます。

また、インデクスト・アドレッシング時のオフセット値を格納するレジスタとしても使用可能です。

C(R2) :

ループ・カウンタとしての機能を持っており、DBNZ命令で使用できます。

DE(RP2), HL(RP3) :

ポインタとしての機能を持っており、レジスタ・インダイレクト・アドレッシング、ベースト・アドレッシング時にベース・アドレスを指定するレジスタとして動作します。

また、インデクスト・アドレッシング時には、オフセット値を格納するレジスタとしても動作します。

各レジスタは、それぞれの固有機能を重視した機能名称(X, A, C, B, E, D, L, H, AX, BC, DE, HL)のほか、絶対名称(R0-R7, RP0-RP3)でも記述することができます。対応は、表3-3を参照してください。

表3-3 機能名称—絶対名称の対応

機能名称	絶対名称
X	R0
A	R1
C	R2
B	R3
E	R4
D	R5
L	R6
H	R7

機能名称	絶対名称
AX	RP0
BC	RP1
DE	RP2
HL	RP3

3.2.5 特殊機能レジスタ (SFR)

内蔵周辺ハードウェアのモード・レジスタ、コントロール・レジスタなどの特別な機能が割り付けられたレジスタで、OFF00H-OFFFFHの256バイトの空間にマッピングされています。

注意 この領域内で、**SFR**の割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると、 μ PD78234がデッドロック状態となることがあります。デッドロック状態は、リセット入力によってのみ解除されます。

表3-4に特殊機能レジスタ (SFR) の一覧を示します。表中の項目の意味は次のようになります。

- ・略号……………内蔵されたSFRを示す記号。NEC製アセンブラ (RA78K/II) では予約語になっています。Cコンパイラ (CC78K/II) では#pragma sfr指令により、sfr変数として使用できます。
- ・R/W ……………該当するSFRが読み出し／書き込みが可能かどうかを示します。
 - R/W : 読み出し (Read)／書き込み (Write) 可能
 - R : 読み出し (Read) のみ
 - W : 書き込み (Write) のみ
- ・操作可能ビット単位…該当するSFRを操作する場合に、適応可能な操作ビット単位を示します。16ビット操作可能なSFRはオペランドのsfrpに記述でき、アドレスで指定する場合は偶数アドレスを記述します。1ビット操作可能なSFRは、ビット操作命令に記述できます。
- ・リセット時…………… $\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表3-4 特殊機能レジスタ (SFR) 一覧 (1/3)

アドレス	特殊機能レジスタ (SFR) 名称		略号	R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
OFF00H	ポート0		P0	R/W	○	○	—	不定
OFF01H	ポート1		P1		○	○	—	
OFF02H	ポート2		P2	R	○	○	—	
OFF03H	ポート3		P3	R/W	○	○	—	
OFF04H	ポート4		P4		○	○	—	
OFF05H	ポート5		P5		○	○	—	
OFF06H	ポート6		P6		○	○	—	
OFF07H	ポート7		P7	R	○	○	—	不定
OFF0AH		ポート0バッファ・レジスタ	P0L		○	○	—	
OFF0BH	ポート0バッファ・レジスタ		P0H		○	○	—	00H
OFF0CH	リアルタイム出力ポート・コントロール・レジスタ		RTPC		○	○	—	
OFF10H	16ビット・コンペア・レジスタ (16ビット・タイマ/カウンタ)		CR00	R/W	—	—	○	
OFF12H	16ビット・コンペア・レジスタ (16ビット・タイマ/カウンタ)		CR01		—	—	○	
OFF14H	8ビット・コンペア・レジスタ (8ビット・タイマ/カウンタ1)		CR10		—	○	—	
OFF15H	8ビット・コンペア・レジスタ (8ビット・タイマ/カウンタ2)		CR20		—	○	—	不定
OFF16H	8ビット・コンペア・レジスタ (8ビット・タイマ/カウンタ2)		CR21		—	○	—	
OFF17H	8ビット・コンペア・レジスタ (8ビット・タイマ/カウンタ3)		CR30		—	○	—	
OFF18H	16ビット・キャプチャ・レジスタ (16ビット・タイマ/カウンタ)		CR02		R	—	—	○
OFF1AH	8ビット・キャプチャ・レジスタ (8ビット・タイマ/カウンタ2)		CR22	—		○	—	
OFF1CH	8ビット・キャプチャ/コンペア・レジスタ (8ビット・タイマ/カウンタ1)		CR11	R/W	—	○	—	FFH
OFF20H	ポート0モード・レジスタ		PM0	W	—	○	—	
OFF21H	ポート1モード・レジスタ		PM1		—	○	—	
OFF23H	ポート3モード・レジスタ		PM3		—	○	—	
OFF25H	ポート5モード・レジスタ		PM5		—	○	—	F×H
OFF26H	ポート6モード・レジスタ		PM6	R/W	○	○	—	
OFF30H	キャプチャ/コンペア・コントロール・レジスタ0		CRC0	W	—	○	—	10H
OFF31H	タイマ出力コントロール・レジスタ		TOC		—	○	—	00H
OFF32H	キャプチャ/コンペア・コントロール・レジスタ1		CRC1		—	○	—	
OFF34H	キャプチャ/コンペア・コントロール・レジスタ2		CRC2		—	○	—	
OFF40H	プルアップ抵抗オプション・レジスタ		PUO	R/W	○	○	—	
OFF43H	ポート3モード・コントロール・レジスタ		PMC3		○	○	—	

表 3-4 特殊機能レジスタ (SFR) 一覧 (2/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
OFF50H	16ビット・タイマ・レジスタ0	TM0	R	—	—	○	0000H
OFF52H	8ビット・タイマ・レジスタ1	TM1		—	○	—	00H
OFF54H	8ビット・タイマ・レジスタ2	TM2		—	○	—	
OFF56H	8ビット・タイマ・レジスタ3	TM3		—	○	—	
OFF5CH	プリスケアラ・モード・レジスタ0	PRM0	W	—	○	—	00H
OFF5DH	タイマ・コントロール・レジスタ0	TMC0	R/W	—	○	—	00H
OFF5EH	プリスケアラ・モード・レジスタ1	PRM1	W	—	○	—	
OFF5FH	タイマ・コントロール・レジスタ1	TMC1	R/W	—	○	—	00H
OFF60H	D/A変換設定レジスタ0	DACS0	R/W	—	○	—	
OFF61H	D/A変換設定レジスタ1	DACS1	R/W	—	○	—	00H
OFF68H	A/Dコンバータ・モード・レジスタ	ADM	R/W	○	○	—	
OFF6AH	A/D変換結果レジスタ	ADCR	R	—	○	—	不定
OHH70H	PWM制御レジスタ	PWMC	R/W	—	○	—	05H
OFF72H	PWMモジュロ・レジスタ0	PWM0	W	—	—	○	不定
OFF73H							
OFF74H	PWMモジュロ・レジスタ1	PWM1	W	—	—	○	
OFF75H							
OFF7DH	ワンショット・パルス出力制御レジスタ	OSPC	R/W	○	○	—	00H
OFF80H	クロック同期式シリアル・インタフェース・モード・レジスタ	CSIM	R/W	○	○	—	00H
OFF82H	シリアル・バス・インタフェース・コントロール・レジスタ	SBIC		○	○	—	
OFF86H	シリアル・シフト・レジスタ	SIO		—	○	—	不定
OFF88H	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM	R/W	○	○	—	80H
OFF8AH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS	R	○	○	—	00H
OFF8CH	シリアル受信バッファ：UART	RXB		—	○	—	
OFF8EH	シリアル送信シフト・レジスタ：UART	TXS	W	—	○	—	00H
OFF90H	ポーレート・ジェネレータ・コントロール・レジスタ	BRGC		—	○	—	
OFFC0H	スタンバイ・コントロール・レジスタ	STBC	R/W	—	○	—	0000×000B
OFFC4H	メモリ拡張モード・レジスタ	MM		○	○	—	20H
OFFC5H	プログラマブル・ウェイト制御レジスタ	PW		○	○	—	80H
OFFC6H	リフレッシュ・モード・レジスタ	RFM		○	○	—	00H
OFFCFH	メモリ・サイズ切り替えレジスタ ^注	IMS	W	—	○	—	FFH
OFFD0H OFFDFH	(外部SFR領域)	—	R/W	○	○	—	不定
OFFE0H	割り込み要求フラグ・レジスタL	IFOL	R/W	○	○	○	0000H
OFFE1H	割り込み要求フラグ・レジスタH	IFOH		○	○		

注 μPD78P238のみ

表3-4 特殊機能レジスタ (SFR) 一覧 (3/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
OFFE4H	割り込みマスク・フラグ・レジスタL	MKOL	R/W	○	○	○	FFFFH
OFFE5H	割り込みマスク・フラグ・レジスタH	MKOH		○	○		
OFFE8H	優先順位指定フラグ・レジスタL	PROL	R/W	○	○	○	FFFFH
OFFE9H	優先順位指定フラグ・レジスタH	PROH		○	○		
OFFECH	割り込み処理形態指定フラグ・レジスタL	ISMOL	R/W	○	○	○	0000H
OFFEDH	割り込み処理形態指定フラグ・レジスタH	ISMOH		○	○		
OFFF4H	外部割り込みモード・レジスタ0	INTMO	R/W	○	○	—	00H
OFFF5H	外部割り込みモード・レジスタ1	INTM1		○	○	—	
OFFF8H	割り込みステータス・レジスタ	IST		○	○	—	00H

3.3 注意事項

(1) μ PD78P238は、MODE=H (ROMレス動作指定) として使用することができません。

(2) 内部RAM領域からのプログラム・フェッチはできません。

(3) 特殊機能 (SFR) レジスタ

OFF00H-OFFFFHの領域内で、SFRの割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると、 μ PD78234がデッドロック状態となることがあります。デッドロック状態は、リセット入力によってのみ解除されます。

(4) スタック・ポインタの動作

スタック・アドレッシングでは、64 Kバイトすべての空間でアクセス可能ですが、SFR領域および内部ROM領域にスタック・エリアを確保することはできません。

(5) スタック・ポインタの初期化

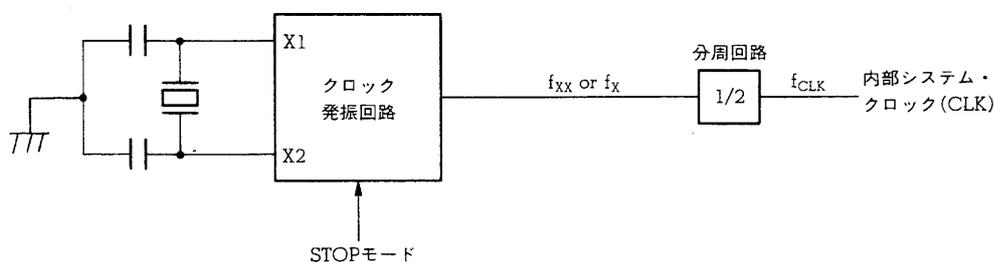
SPは、 $\overline{\text{RESET}}$ 入力により不定になります。一方、リセット解除直後でもノンマスクابل割り込みは受け付け可能です。したがって、リセット解除直後のSPが不定な状態でノンマスクابل割り込みの要求が発生すると、予期しない動作を行う場合があります。これらの危険を最小限にするために、SPの初期設定はリセット解除直後に行うようにしてください。詳細は、**14.3.2 ノンマスクابل割り込みの受け付け動作**を参照してください。

第4章 クロック発生回路

4.1 構成と機能

クロック発生回路は、CPUおよび内蔵ハードウェアに供給される内部システム・クロック（CLK）を発生、制御する回路です。図4-1のように構成されます。

図4-1 クロック発生回路のブロック図



- 備考 f_{XX} : クリスタル/セラミック発振周波数
 f_X : 外部クロック周波数
 f_{CLK} : 内部システム・クロック周波数 ($=\frac{1}{2}f_{XX}$ or $\frac{1}{2}f_X$)

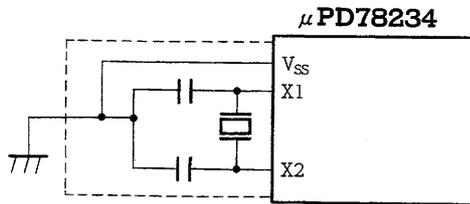
クロック発振回路は、X1, X2端子に接続されたクリスタル振動子/セラミック発振子によって発振します。スタンバイ・モード（STOP）に設定されると、発振を停止します（第16章 スタンバイ機能参照）。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子にはその逆相を入力してください。なお、外部クロックを入力する場合は、STOPモードを使用することはできません。

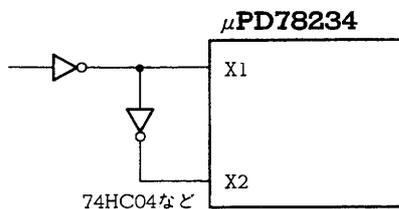
分周回路は、クロック発振回路出力（クリスタル/セラミック発振の場合 f_{XX} 、外部クロックの場合 f_X ）を2分周して、内部システム・クロック（CLK）を生成します。

図4-2 クロック発生回路の外付け回路

(a) クリスタル/セラミック発振



(b) 外部クロック



注意 クロック発生回路を使用する場合は、配線容量などの影響を避けるために、図4-2の [] 部分を次のように配線してください。

- 配線を極力短くする。
- ほかの信号線と交差させない。
- 変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- 発振回路から信号を取り出さない。

備考 水晶振動子とセラミック発振子の使い分け

一般に水晶振動子の発振周波数はきわめて安定しています。したがって、高精度の時間の管理を行う場合（たとえば、時計、周波数測定など）に最適です。

また、セラミック発振子は、水晶振動子と比較すると発振周波数の安定性では劣りますが、発振開始時間が速く、小型で安価であるという3つの特徴を持っています。したがって通常の用途（高い精度の時間管理を必要としない場合）には有効です。さらに、コンデンサ内蔵品などもあり、部品点数、実装面積の削減に効果があります。

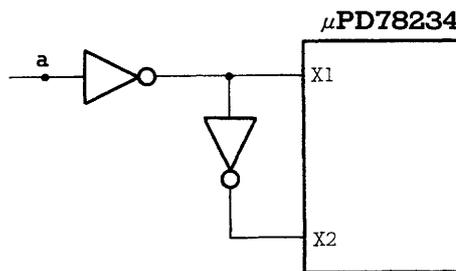
4.2 注意事項

クロック発生回路には次のような注意事項があります。

4.2.1 外部クロックを入力する場合

- (1) 外部クロックを入力する場合には、STOPモードを使用しないでください。破壊を起こす可能性があります。また、破壊しなくとも信頼性に影響を与えます。
- (2) 外部クロックを入力する場合は、X1端子へ入力した信号の逆相の信号をX2端子へ入力してください。逆相の信号をX2端子へ入力しない場合、ノイズなどによる誤動作がより発生しやすくなります。
- (3) 外部クロックを入力する場合は、HCMOSまたはそれと同等のドライブ能力を持ったデバイスで行ってください。
- (4) X1, X2端子からは信号を取り出さないようにしてください。取り出す場合は、図4-3のa点から取り出してください。

図4-3 外部クロック入力時の信号取り出し点



- (5) X1端子からインバータを通してX2端子へと接続する部分の配線は、特に極力短くなるようにしてください。

4.2.2 クリスタル／セラミック発振の場合

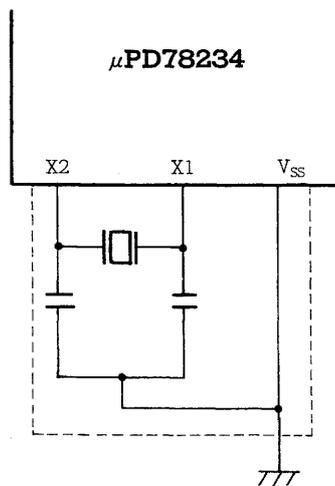
(1) 発振回路は高周波のアナログ回路となりますので、十分に注意を払ってください。

特に注意しなければならない点について以下に例をあげます。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} 端子と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- ・発振回路部から信号を取り出さない。

発振が正常に安定して行われないと、マイコンも正常に安定した動作を行うことができません。また、高精度な発振周波数を得たい場合などは、発振器メーカーにご相談することを推奨致します。

図4-4 発振子の接続の注意点

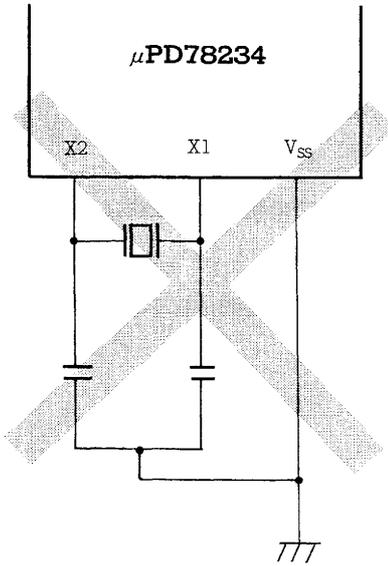


注意1. 発振回路はX1, X2端子にできるだけ近づけてください。

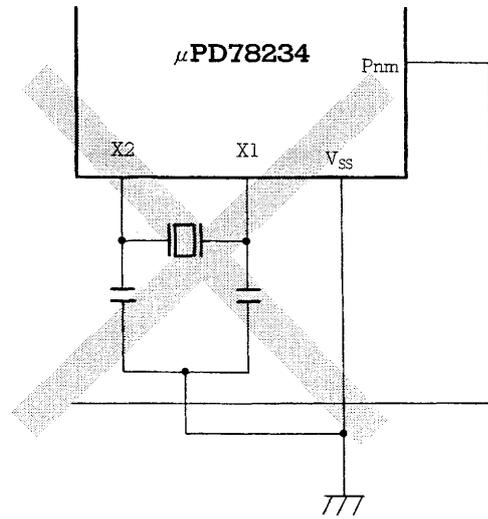
2. の範囲に他の信号線を通さないでください。

図4-5 発振子の接続の悪い例

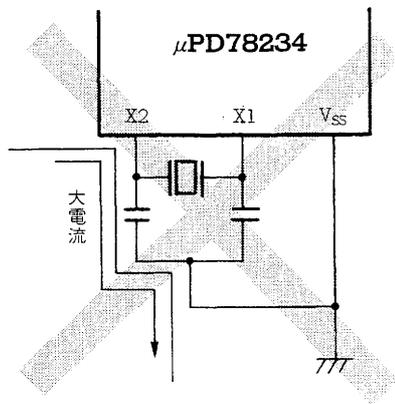
(a) 接続回路の配線が長い



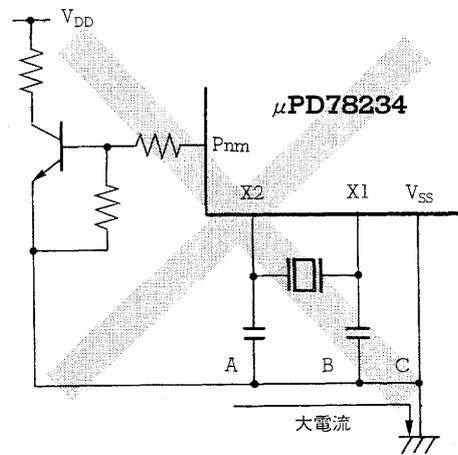
(b) 信号線が交差している



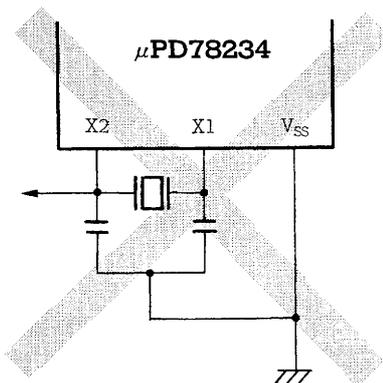
(c) 変化する大電流が信号線を近接している



(d) 発振回路のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



(2) パワーオン時およびSTOPモードからの復帰時には発振が安定になるまでの時間を確保する必要があります。一般に水晶振動子を使用した場合、数msec、セラミック発振子を使用した場合、数百 μ secの時間が発振を安定させるために必要です。

発振の安定時間は下記のように決定されますので、これらによって十分な時間を確保してください。

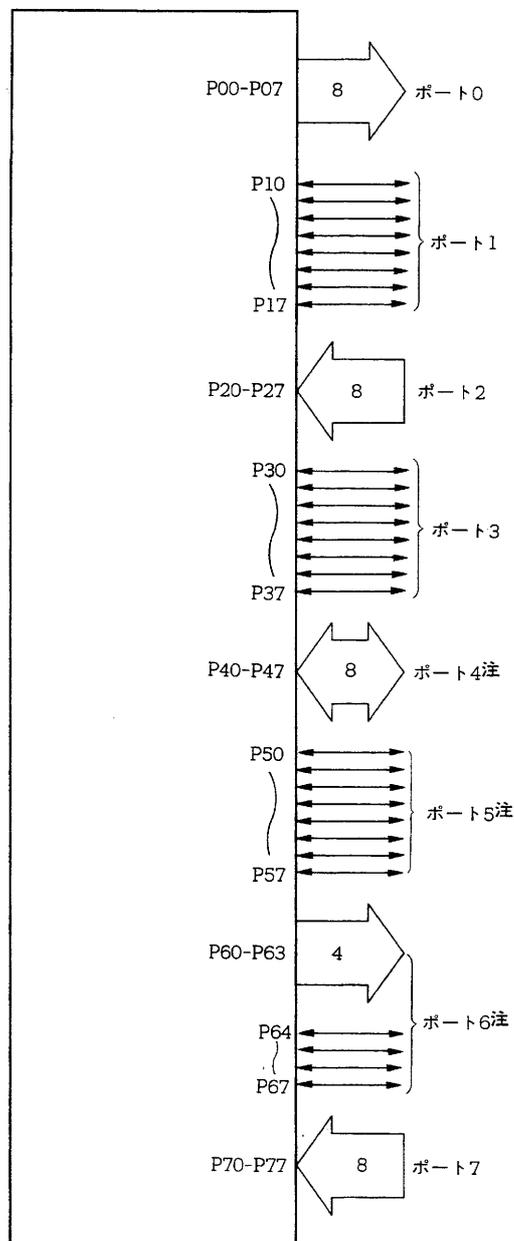
- ① パワーオン時 : $\overline{\text{RESET}}$ 入力 (リセット期間)
- ② STOPモードからの復帰時 : (i) $\overline{\text{RESET}}$ 入力 (リセット期間)
(ii) NMI信号がアクティブの時間 + 自動的にスタートするタイマの時間
(iii) NMI信号の有効エッジで自動的にスタートするタイマの時間

第5章 ポート機能

5.1 デジタル入出力ポート

μ PD78234は図5-1のようなポートを備えており、多様な制御ができます。各ポートの機能は表5-1のとおりです。ポート1からポート6は、入力時に、内蔵プルアップ抵抗の使用をソフトウェアで指定できます。

図5-1 ポートの構成



注 μ PD78233の場合、P40-P47、P50-P57、P64、P65はポートとして使用することはできません。

表5-1 ポートの機能

名称	端子名	機能	ソフトウェア・プルアップの指定
ポート0	P00 - P07	8ビット単位で出力かハイ・インピーダンスに指定可能。 4ビット・リアルタイム出力ポートとしても動作可能 (P00-P03, P04-P07)。 トランジスタ駆動可能	————
ポート1	P10 - P17	1ビット単位で入力か出力に指定可能。 LED駆動可能。	入力モードの端子について一括して指定
ポート2	P20 - P27	入力ポート。	6ビット単位 (P22-P27)
ポート3	P30 - P37	1ビット単位で入力か出力に指定可能。	入力モードの端子について一括して指定
ポート4	P40 - P47	8ビット単位で入力か出力に指定可能。 LED駆動可能	8ビット単位
ポート5	P50 - P57	1ビット単位で入力か出力に指定可能。 LED駆動可能	入力モードの端子について一括して指定
ポート6	P60 - P63	出力ポート。	————
	P64 - P67	1ビット単位で入力か出力に指定可能。	入力モードの端子について一括して指定
ポート7	P70 - P77	入力ポート。	————

備考 μ PD78233では、ポート4、ポート5およびP64、P65は、それぞれアドレス/データ・バス、アドレス・バス、 \overline{RD} 、 \overline{WR} として動作します。したがって、これらの端子はLEDダイレクト・ドライブやソフトウェア・プルアップ抵抗の内蔵指定はできません。

表5-2 入出力ポート数

入出力 ポート	合計	入出力時		
		入力時 ソフトウェア・プルアップ抵抗	出力時 LEDダイレクト・ドライブ	出力時 トランジスタ・ダイレクト・ドライブ
入力ポート	16(16)	6(6)	—	—
入出力ポート	36(18)	36(18)	24(8)	0(0)
出力ポート	12(12)	—	0(0)	8(8)
合計	64(46)	42(24)	24(8)	8(8)

()内は μ PD78233の場合

5.2 ポート0

ポート0は、出力ラッチ付き8ビット出力専用ポートで、トランジスタのダイレクト・ドライブが可能です。ポート0モード・レジスタ (PM0)により、8ビット単位で出力モード/ハイ・インピーダンス状態の指定ができます。

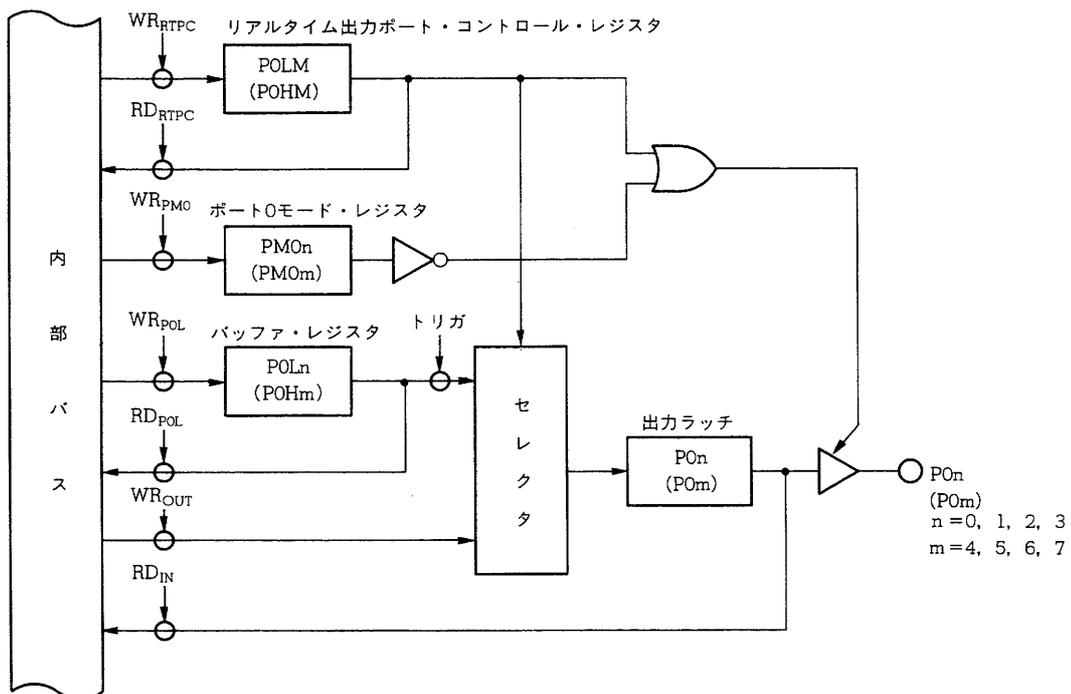
P00-P03, P04-P07はそれぞれ4ビット、または8ビットのリアルタイム出力ポートとして、バッファ・レジスタ (POL, POH)の内容を任意のインターバル時間で出力できます。通常出力ポートかリアルタイム出力ポートかの選択は、リアルタイム出力ポート・コントロール・レジスタ (RTPC)で行います。

RESET入力により出力ハイ・インピーダンス状態となり、出力ラッチの内容は不定になります。

5.2.1 ハードウェア構成

図5-2に、ポート0のハードウェア構成を示します。

図5-2 ポート0のブロック図

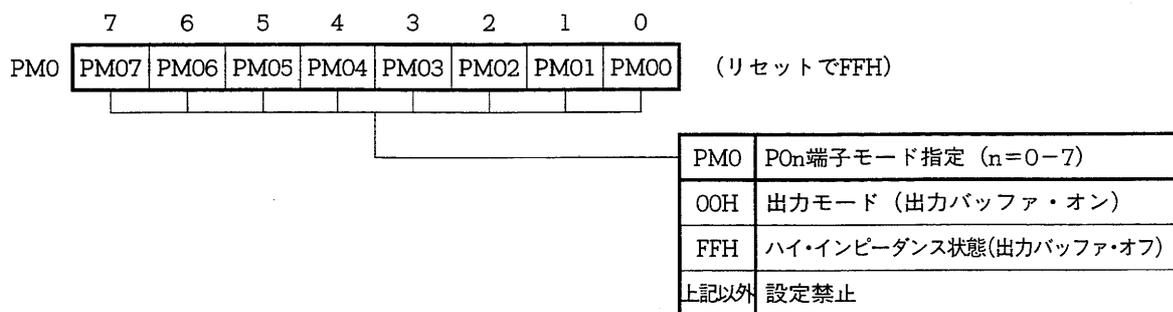


5.2.2 出力モード／コントロール・モードの設定

ポート0の出力モードは、図5-3のように、ポート0モード・レジスタ(PM0)により設定します。

PM0は、8ビット・データ転送命令で設定します(ビット操作および読み出しはできません)。

図5-3 ポート0モード・レジスタのフォーマット



リアルタイム出力ポートとして使用する場合は、リアルタイム出力ポート・コントロール・レジスタ(RTPC)のPOLM, POHMの各ビットをセット(1)します。

なお、POLM, POHMをセットすると、PM0の内容にかかわらず、それぞれの端子の出力バッファがオンし、出力ラッチの内容が端子に出力されます。

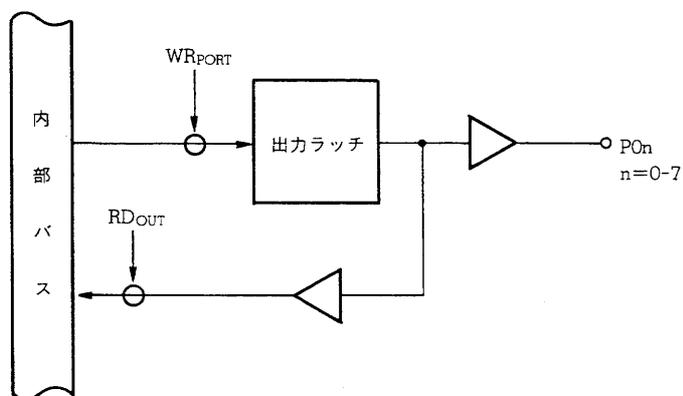
5.2.3 動作状態

ポート0は、出力専用のポートです。

出力モード設定後、出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込むまで保持されます。

リアルタイム出力ポートに指定されているポートの出力ラッチへは、書き込みはできません。しかし、リアルタイム出力ポート・モードに設定されていても出力ラッチの内容は読み出すことができます。

図5-4 出力ポート指定のポート



5.2.4 内蔵プルアップ抵抗

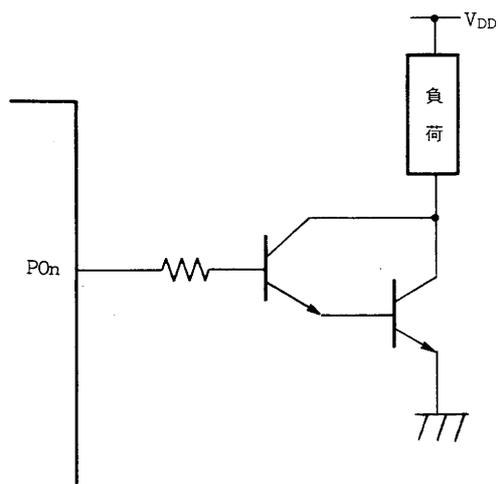
ポート0は、プルアップ抵抗を内蔵していません。

5.2.5 トランジスタのドライブ

ポート0は、出力バッファのハイ・レベル側のドライブ能力を強化しているのので、アクティブ・ハイでトランジスタをダイレクトにドライブすることができます。

図5-5に接続例を示します。

図5-5 トランジスタのドライブ例



5.3 ポート1

ポート1は、出力ラッチ付き8ビット入出力ポートです。ポート1モード・レジスタ (PM1) により、1ビット単位で入力/出力の指定ができます。各端子にプログラマブル・プルアップ抵抗を内蔵しています。また、LEDのダイレクト・ドライブが可能です。

PWMコントロール・レジスタ (PWMC) により、P10, P11端子は、PWM出力端子としても機能します。

$\overline{\text{RESET}}$ 入力により入力ポート (出力ハイ・インピーダンス状態) となり、出力ラッチの内容は不定となります。

5.3.1 ハードウェア構成

図5-6, 5-7に、ポート1のハードウェア構成を示します。

図5-6 P10, P11(ポート1)のブロック図

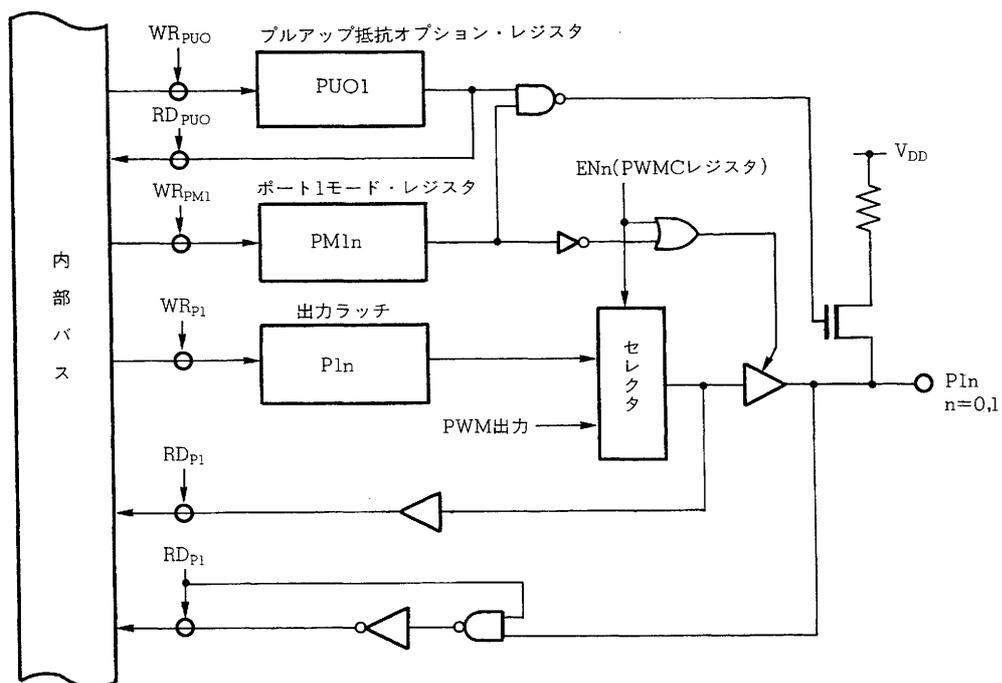
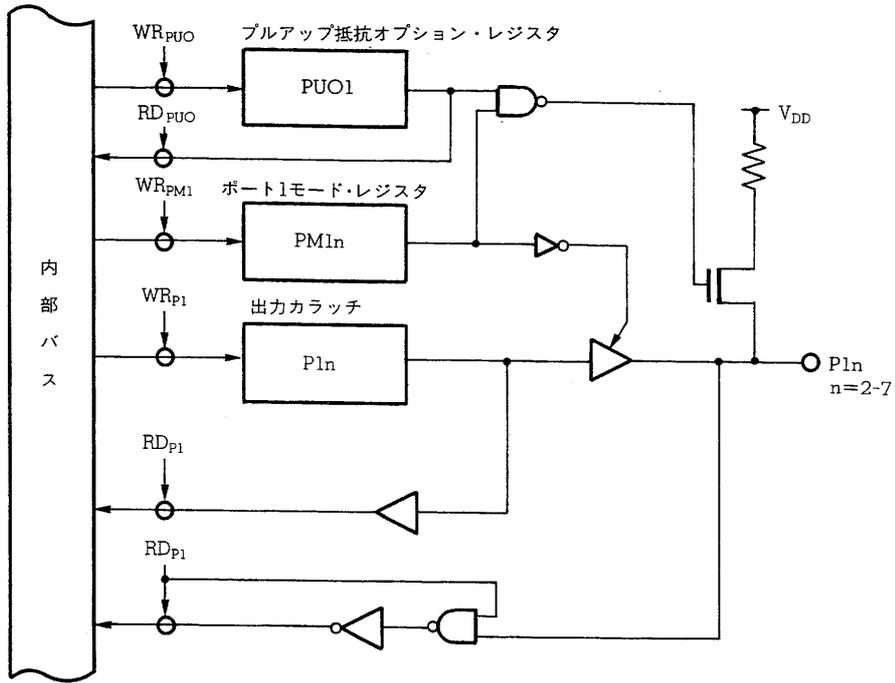


図5-7 P12-P17(ポート1)のブロック図



5.3.2 入出力モード／コントロール・モードの設定

ポート1の入出力モードは、図5-8のように、端子ごとにポート1モード・レジスタ(PM1)により設定します。

PM1レジスタは、8ビット・データ転送命令で設定します(ビット操作および読み出しはできません)。

また、P10, P11は、入出力ポートとしての機能のほかに、PWM信号出力端子としての機能を兼用しており、表5-3のように、PWMコントロール・レジスタ(PWMC)により、コントロール・モードを指定します。

図5-8 ポート1モード・レジスタのフォーマット

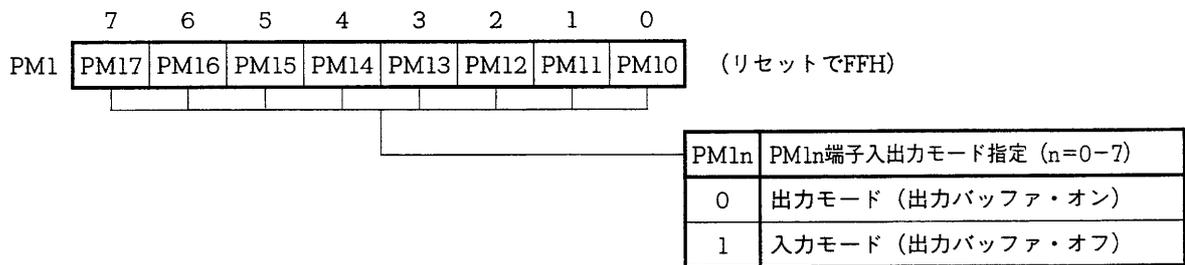


表5-3 P10, P11のPWM信号出力機能の設定方法

端子	機能	PWM信号出力機能を設定する方法
P10	PWM0	PWMCレジスタのEN0ビットをセット(1)
P11	PWM1	PWMCレジスタのEN1ビットをセット(1)

5.3.3 動作状態

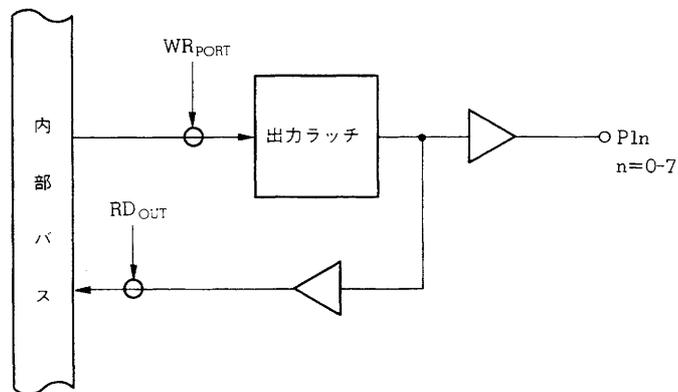
ポート1は、入出力ポートで、P10, P11端子はPWM信号出力端子を兼用しています。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりが行えます。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込む^注まで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

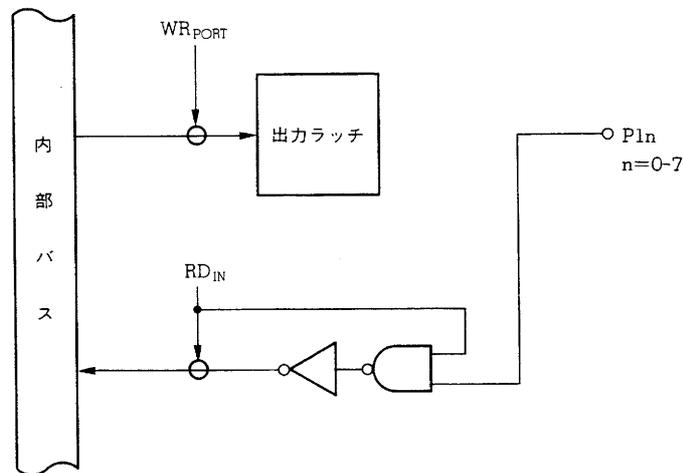
図5-9 出力ポート指定のポート



(2) 入力ポートに設定された場合

ポート端子のレベルを、転送命令などでアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき、出力ラッチの内容がポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図5-10 入力ポート指定のポート

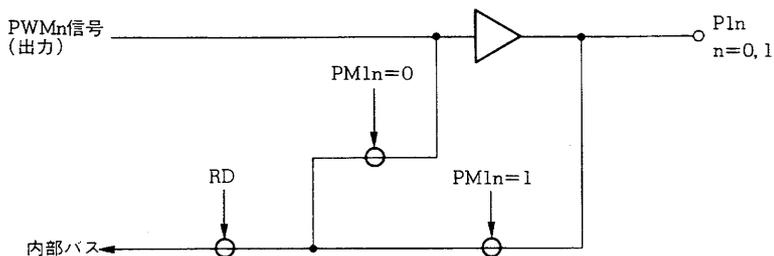


注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力が混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます（SET1, CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) PWM信号出力に指定された場合

ポート1は、PWMコントロールレジスタ (PWMC) のENnビット (n=0, 1) をセット(1)することにより、ポート1モードレジスタ (PM1) の設定にもかかわらず、1ビット単位にPWM信号の出力ポートとして使用することができます。P10, P11端子をPWM信号出力ポートとして用いる場合、ポートの読み出し命令を実行することにより、PWM信号の状態をみるすることができます。

図5-11 PWM信号出力指定の場合



(a) ポートがコントロール信号出力の場合

ポート1モードレジスタ (PM1n) がセット(1)されている場合、ポートの読み込み命令を実行すると、コントロール信号端子のレベルを読み込むことができます。

PM1nがリセット(0)されている場合、ポートの読み込み命令を実行すると、 μ PD78234内のコントロール信号の状態を読み込むことができます。

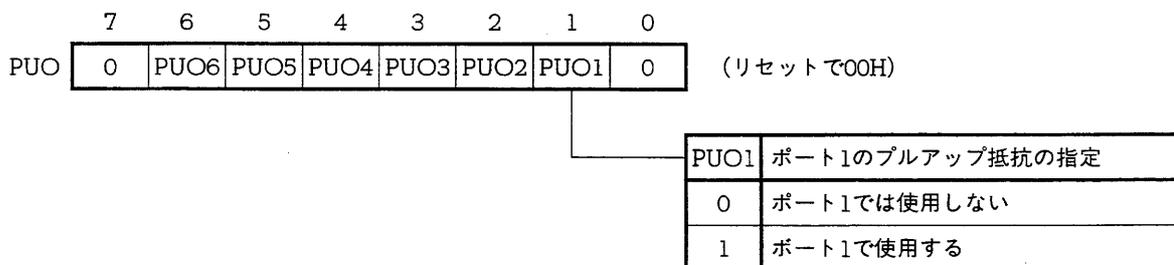
5.3.4 内蔵プルアップ抵抗

ポート1は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタ (PUO) のPUO1とポート1モード・レジスタ (PM1) で、端子ごとに指定できます。PUO1が1のとき、PM1で入力を指定した (PM1n=1, n=0-7) 端子の内蔵プルアップ抵抗が有効になります。

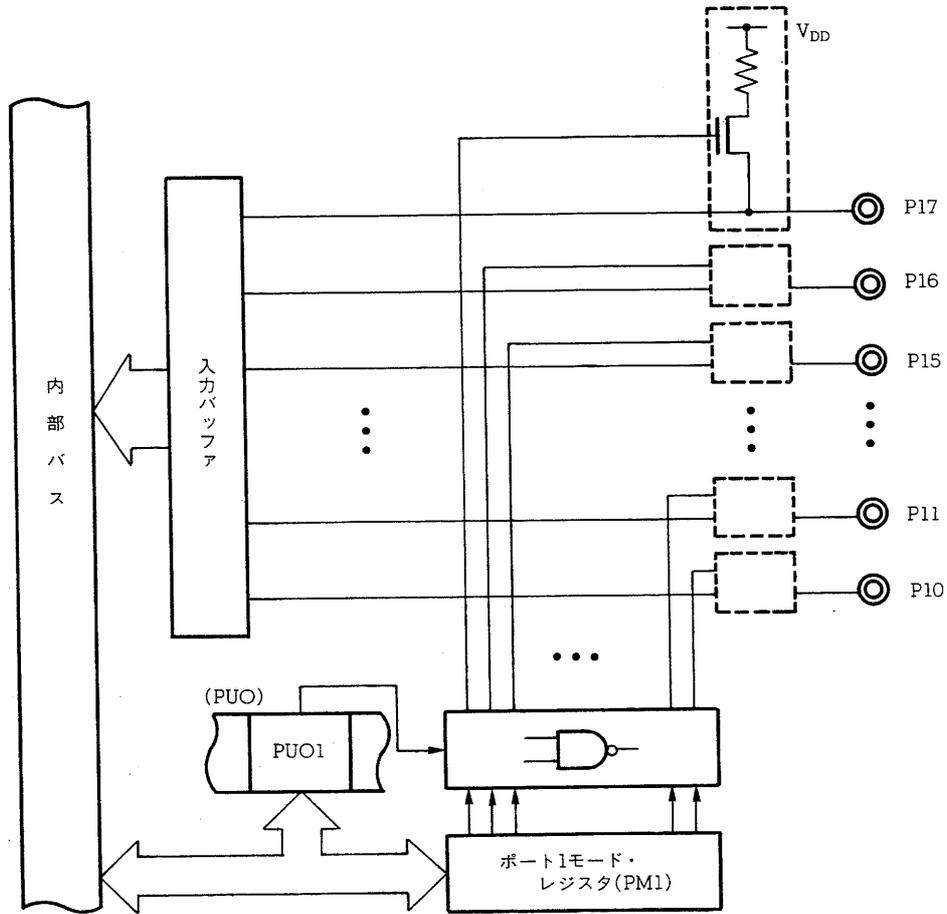
また、PWM信号出力に指定された端子でも、プルアップ抵抗を使用する指定は有効になります (PWM信号出力端子となる端子にも、プルアップ抵抗が接続されます)。したがって、PWM信号出力端子にプルアップ抵抗を接続したくない場合には、PM1の対応するビットの内容を0 (出力モード) にしてください。

図5-12 プルアップ抵抗オプション・レジスタのフォーマット



備考 STOPモードに入る場合、消費電流を低減するために、PUOに00Hを設定することが有効です。

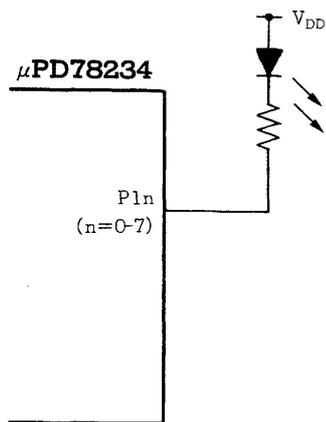
図5-13 プルアップ抵抗の指定 (ポート1)



5.3.5 LEDのダイレクト・ドライブ

ポート1は、LEDをアクティブ・ロウでダイレクトにドライブできるように出力バッファのロウ・レベル側のドライブ能力を強化してあります。図5-14に、その使用例を示します。

図5-14 LEDのダイレクト・ドライブ例



5.4 ポート2

ポート2は、8ビット入力専用ポートです。P22-P27には、ソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。入力ポートとして働く以外に外部割り込み信号端子などの制御信号入力端子としても働きます（表5-4参照）。また、8端子とも、ノイズによる誤動作を防ぐためシュミット・トリガ入力になっています。

表5-4 ポート2の動作モード

ポート	機能
P20	入力ポート/NMI入力注
P21	入力ポート/INTP0入力/CR11キャプチャ・トリガ入力/リアルタイム出力ポートの出力トリガ信号
P22	入力ポート/INTP1入力/CR22キャプチャ・トリガ入力
P23	入力ポート/INTP2入力/CI入力
P24	入力ポート/INTP3入力/CR02キャプチャ・トリガ入力
P25	入力ポート/INTP4入力/ASCK入力
P26	入力ポート/INTP5入力/A/Dコンバータ外部トリガ入力
P27	入力ポート/SI入力

注 NMI入力は、割り込み許可/禁止状態にかかわらず受け付けます。

(a) ポート端子としての機能

兼用端子の動作にかかわらず、常に端子レベルの読み込み、あるいはテストが可能です。

(b) 制御信号入力端子としての機能

(i) NMI (Non-maskable Interrupt)

外部ノンマスカブル割り込み要求入力端子です。外部割り込みモード・レジスタ (INTMO) により、立ち上がりエッジ検出、または立ち下がりエッジ検出に指定できます。

(ii) INTPO-INTP5 (Interrupt From Peripherals)

外部割り込み要求入力端子です。INTPO-INTP5端子に外部割り込みモード・レジスタ (INTMO, INTM1) で指定された有効エッジが検出されると、割り込みを発生します(第13章 エッジ検出機能参照)。

また、INTPO-INTP3, INTP5は次のように各種機能の外部トリガ入力端子としても使用します。

- INTP0……………8ビット・タイマ/カウンタ1のキャプチャ・トリガ入力端子
リアルタイム出力ポートのトリガ信号
- INTP1……………8ビット・タイマ/カウンタ2のキャプチャ・トリガ入力端子
- INTP2……………8ビット・タイマ/カウンタ2の外部カウント・クロック入力端子
- INTP3……………16ビット・タイマ/カウンタのキャプチャ・トリガ入力端子
- INTP5……………A/Dコンバータの外部トリガ入力端子

(iii) **CI (Clock Input)**

8ビット・タイマ/カウンタ2の外部クロック入力端子です。

(iv) **ASCK (Asynchronous Serial Clock)**

外部ポー・レート・クロック入力端子です。

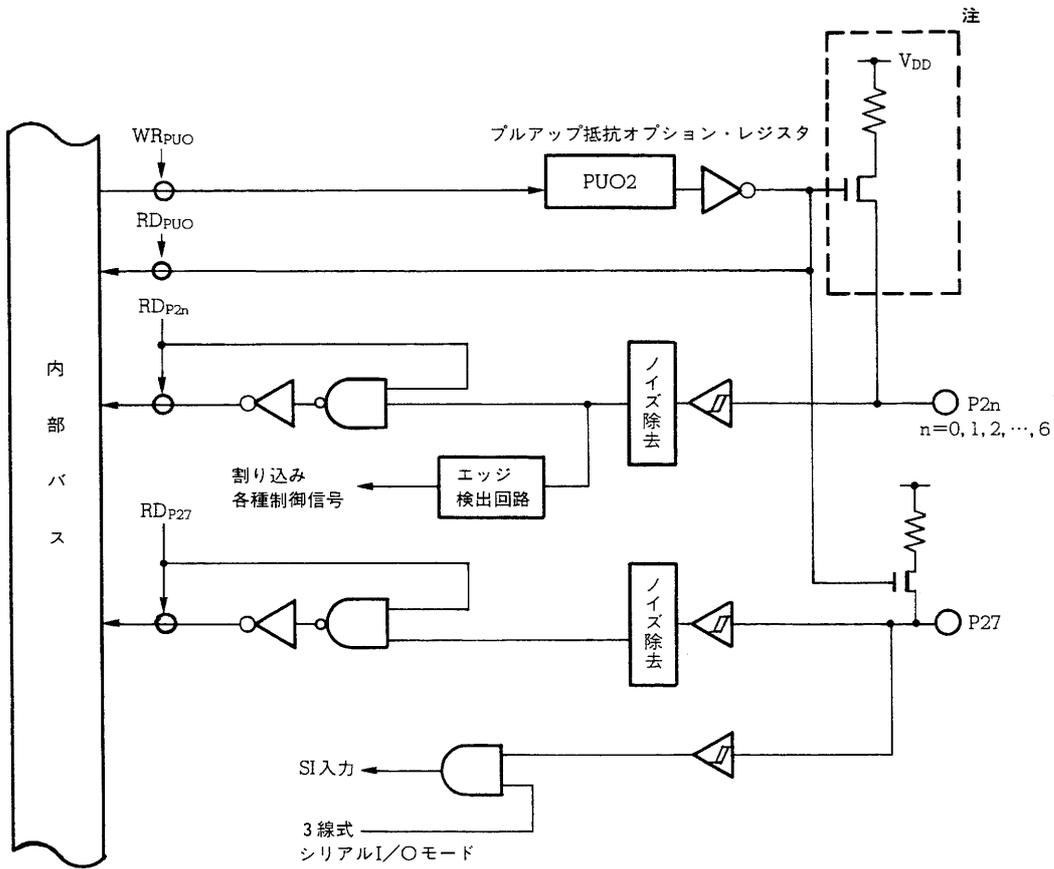
(v) **SI (Serial Input)**

シリアル・データ入力端子 (3線式シリアルI/Oモード時) です。

5.4.1 ハードウェア構成

図5-15に、ポート2のハードウェア構成を示します。

図5-15 ポート2のブロック図



注 P20, P21には、 で囲まれた回路はありません。

5.4.2 入出力モード／コントロール・モードの設定

ポート2は、入力専用ポートです。入力モードを設定するためのレジスタはありません。

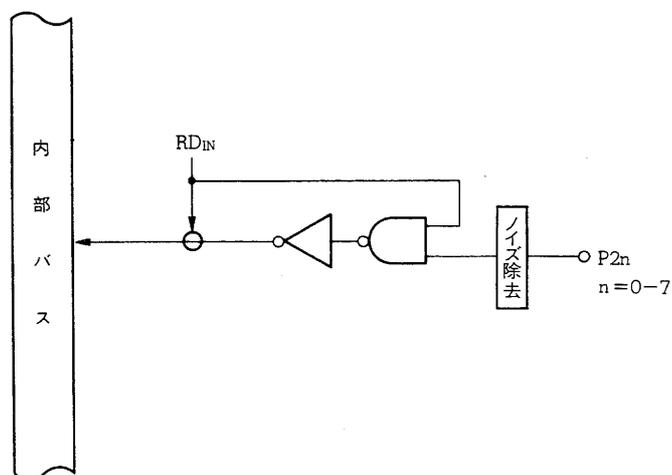
また、常時コントロール信号の入力ができる状態になっていますので、各内蔵ハードウェアのコントロール・レジスタなどで、どの信号を使用するかを決定します。

5.4.3 動作状態

ポート2は、入力専用のポートで、常に端子レベルの読み込みあるいはテストが可能です。

なお、P20-P27については、読み込みおよびテスト時のレベルはノイズ除去後のレベルです。ノイズ除去については、第13章 エッジ検出機能を参照してください。

図5-16 入力ポート指定のポート



注意 インサーキット・エミュレータでは、ポート2の読み込みまたはテスト時にはノイズ除去前の端子レベルとなります。

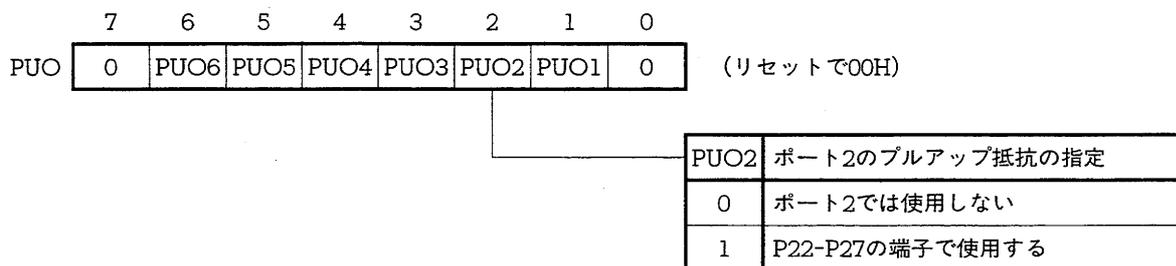
5.4.4 内蔵プルアップ抵抗

P22-P27は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタ (PUO) のPUO2によりP22-P27の6端子一括で指定できます (ビットごとには指定できません)。

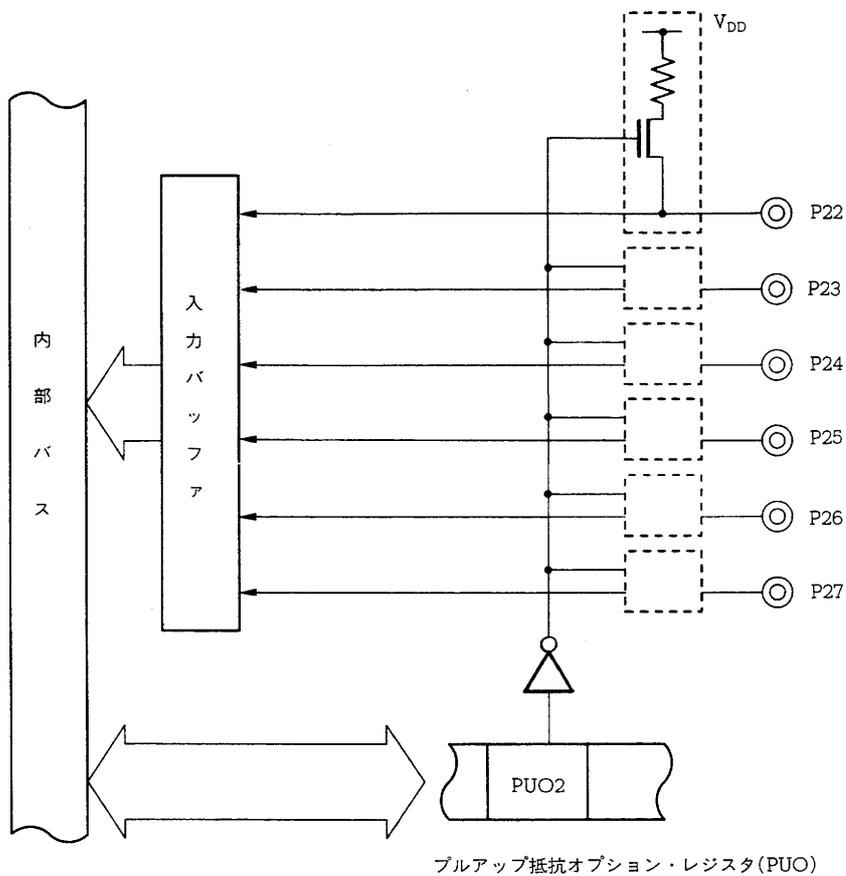
なお、P20, P21には、プルアップ抵抗を内蔵していません。

図5-17 プルアップ抵抗オプション・レジスタのフォーマット



備考 STOPモードに入る場合、消費電流を低減するために、PUOに00Hを設定することが有効です。

図5-18 プルアップの指定 (ポート2)



注意 P22-P26は、リセット直後にプルアップされないため、兼用端子(INTP1-INTP5)の機能によって割り込み要求フラグがセットされることがあります。したがって初期化ルーチンでプルアップを指定してから、割り込み要求フラグをクリアしてください。

5.5 ポート3

ポート3は、出力ラッチ付き8ビット入出力ポートです。ポート3モード・レジスタ (PM3) により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

入出力ポートとしての機能以外に、各種コントロール信号端子としての機能を兼用しています。

動作モードは、ポート3モード・コントロール・レジスタ (PMC3) により、表5-5のように1ビット単位に指定できます。いずれの端子も、兼用端子の動作にかかわらず、常に端子レベルの読み込みあるいはテストが可能です。

$\overline{\text{RESET}}$ 入力により、入力ポート（出力ハイ・インピーダンス状態）になり、出力ラッチの内容は不定となります。

表 5-5 ポート3の動作モード (n=0-7)

モード	ポート・モード	コントロール信号入出力モード
設定条件	PMC3n=0	PMC3n=1
P30	入出力ポート	RxD入力
P31		TxD出力
P32		SCK入出力
P33		SO出力/SBO入出力
P34		TO0出力
P35		TO1出力
P36		TO2出力
P37		TO3出力

(a) ポート・モード

PMC3レジスタによりポート・モードに指定された各ポートは、ポート3モード・レジスタ (PM3) により、1ビット単位で入力/出力の指定ができます。

(b) コントロール信号入出力モード

PMC3レジスタの設定により、1ビット単位にコントロール端子にすることができます。

(i) RxD (Recieve Data)

アシンクロナス・シリアル・インタフェースのシリアル・データ入力端子です。

(ii) TxD (Transmit Data)

アシンクロナス・シリアル・インタフェースのシリアル・データ出力端子です。

(iii) $\overline{\text{SCK}}$ (Serial Clock)

クロック同期式シリアル・インタフェースのシリアル・クロック入出力端子です。

(iv) SO (Serial Output) / SBO (Serial Bus)

SOはシリアル・データ出力端子（3線式シリアルI/Oモード時）です。また、SBOはSBIモード時のシリアル・バス入出力端子です。

備考 ポート3のビット3 (P33) は、“SBO”という名前がNEC製のアセンブラ・パッケージで予約語になっています。また、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義されています。

(v) TO0-TO3 (Timer Output)

タイマ出力端子です。

5.5.1 ハードウェア構成

図5-19-22に、ポート3のハードウェア構成を示します。

図5-19 P30(ポート3)のブロック図

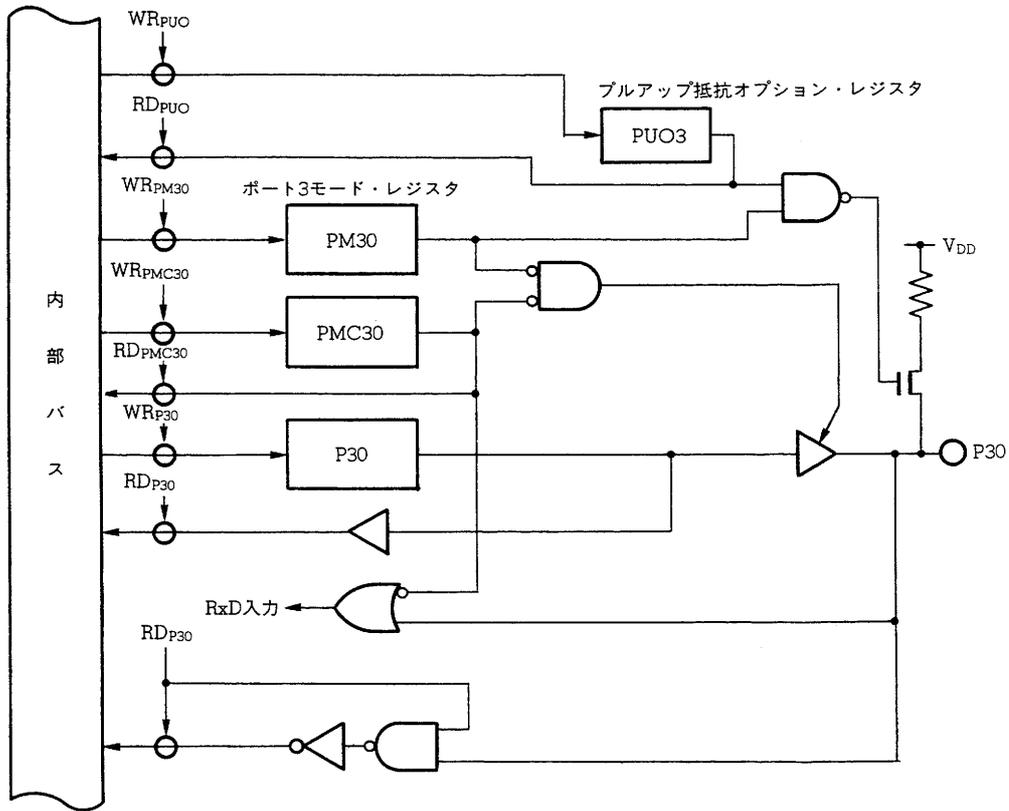


図5-20 P31, P34-P37(ポート3)のブロック図

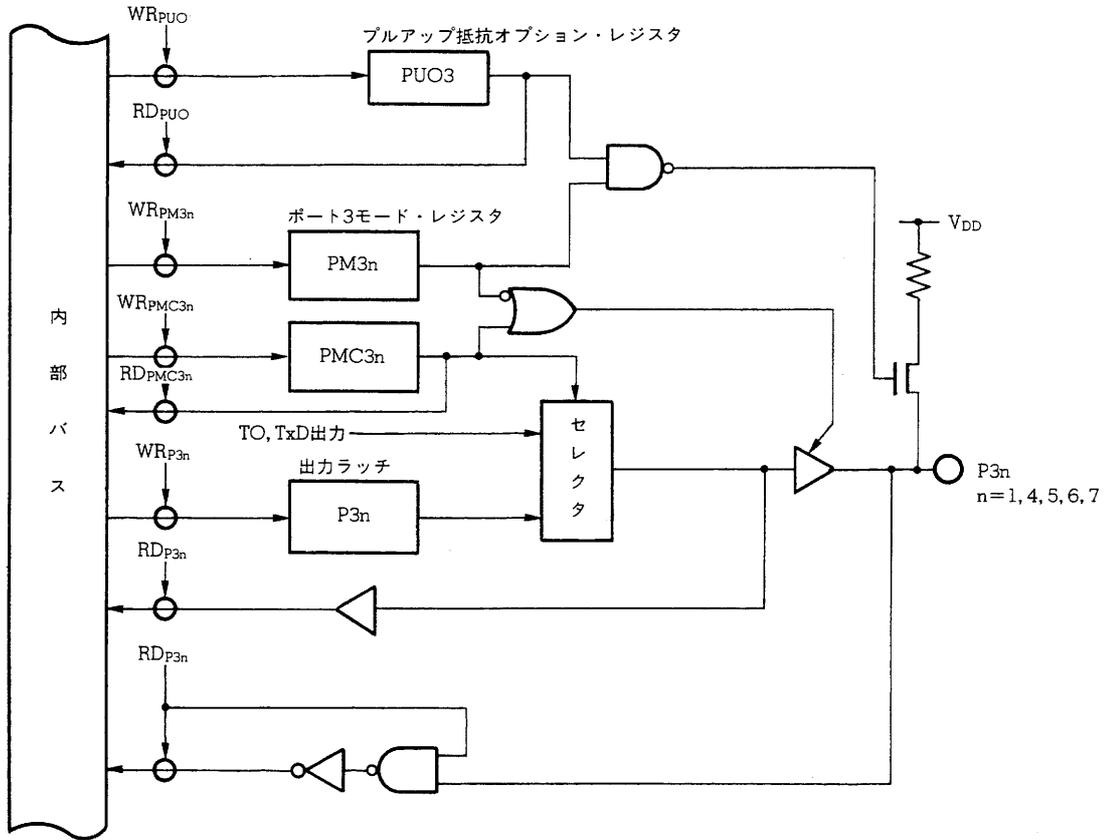


図5-21 P32(ポート3)のブロック図

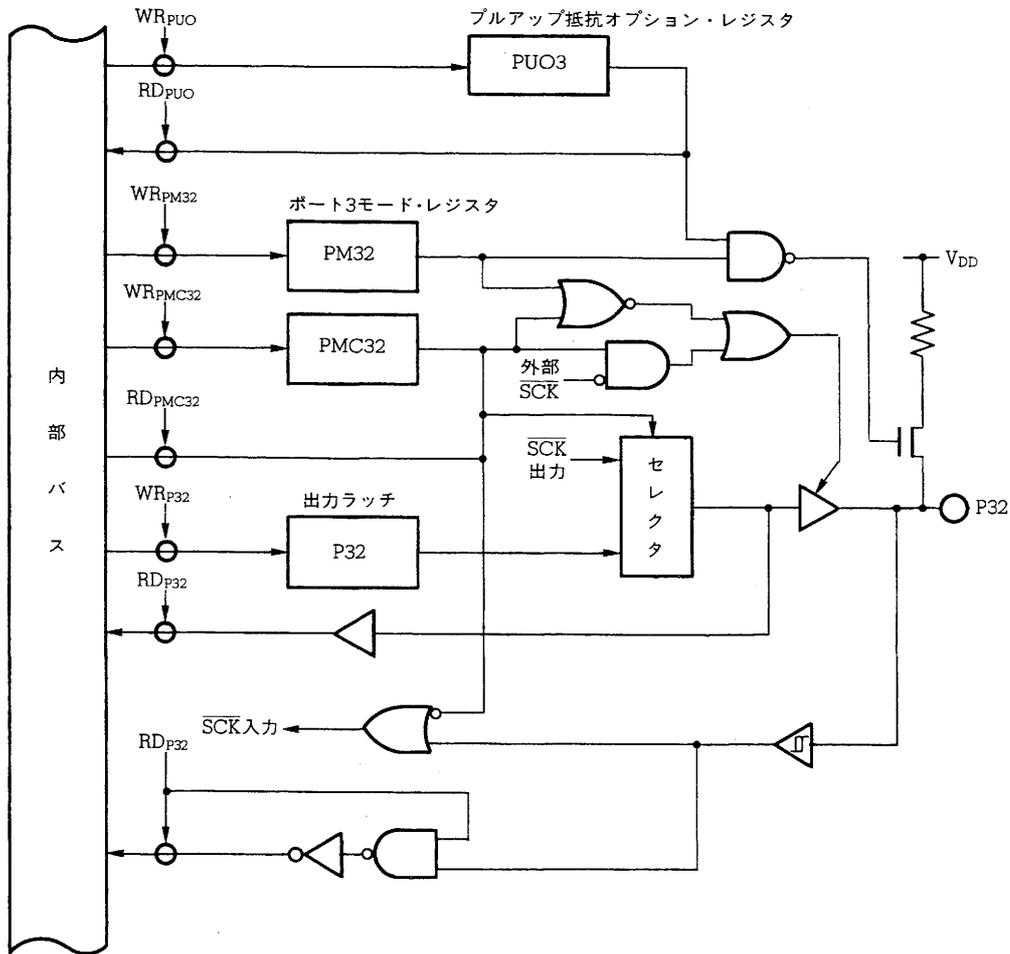
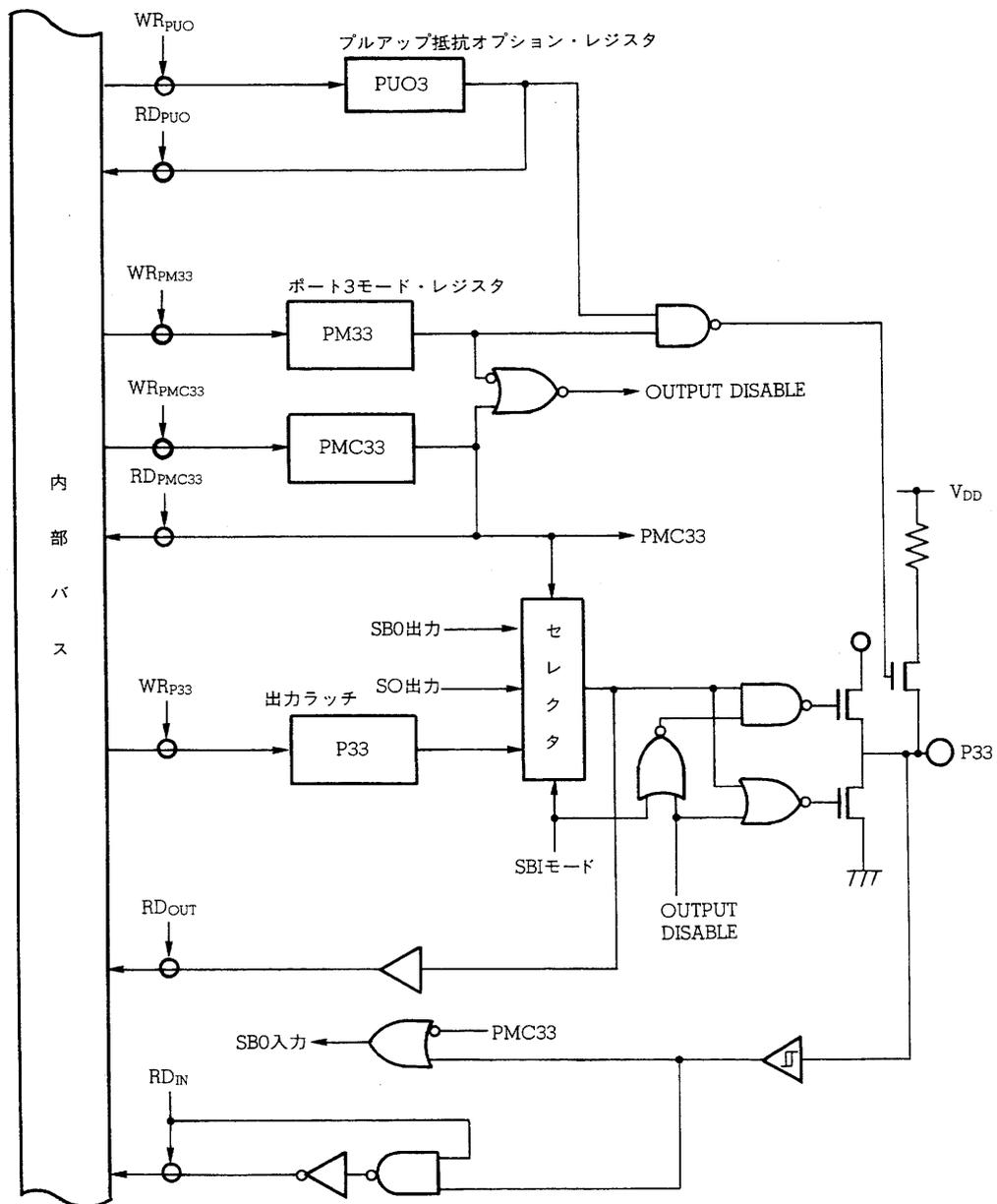


図5-22 P33(ポート3)のブロック図



5.5.2 入出力モード／コントロール・モードの設定

ポート3の入出力モードは、図5-23のように、端子ごとにポート3モード・レジスタ (PM3) により設定します。

PM3レジスタは、8ビット・データ転送命令で設定します (ビット操作および読み出しはできません)。

また、ポート3は入出力ポートとしての機能のほかに、各種コントロール信号端子としての機能を兼用しており、図5-24のように、ポート3モード・コントロール・レジスタ (PMC3) により、コントロール・モードを指定します。

図5-23 ポート3モード・レジスタのフォーマット

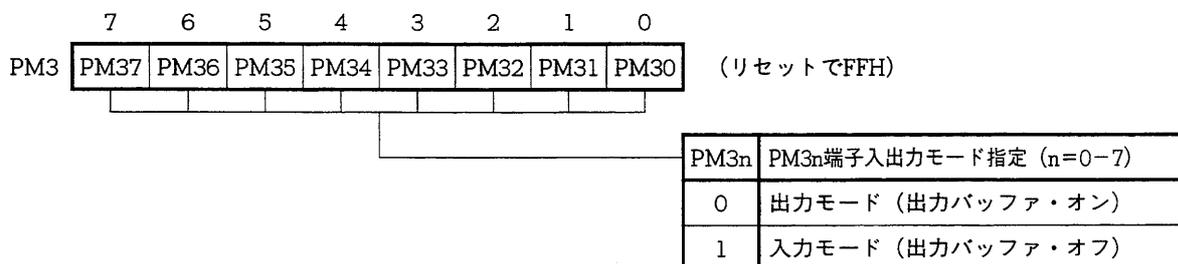
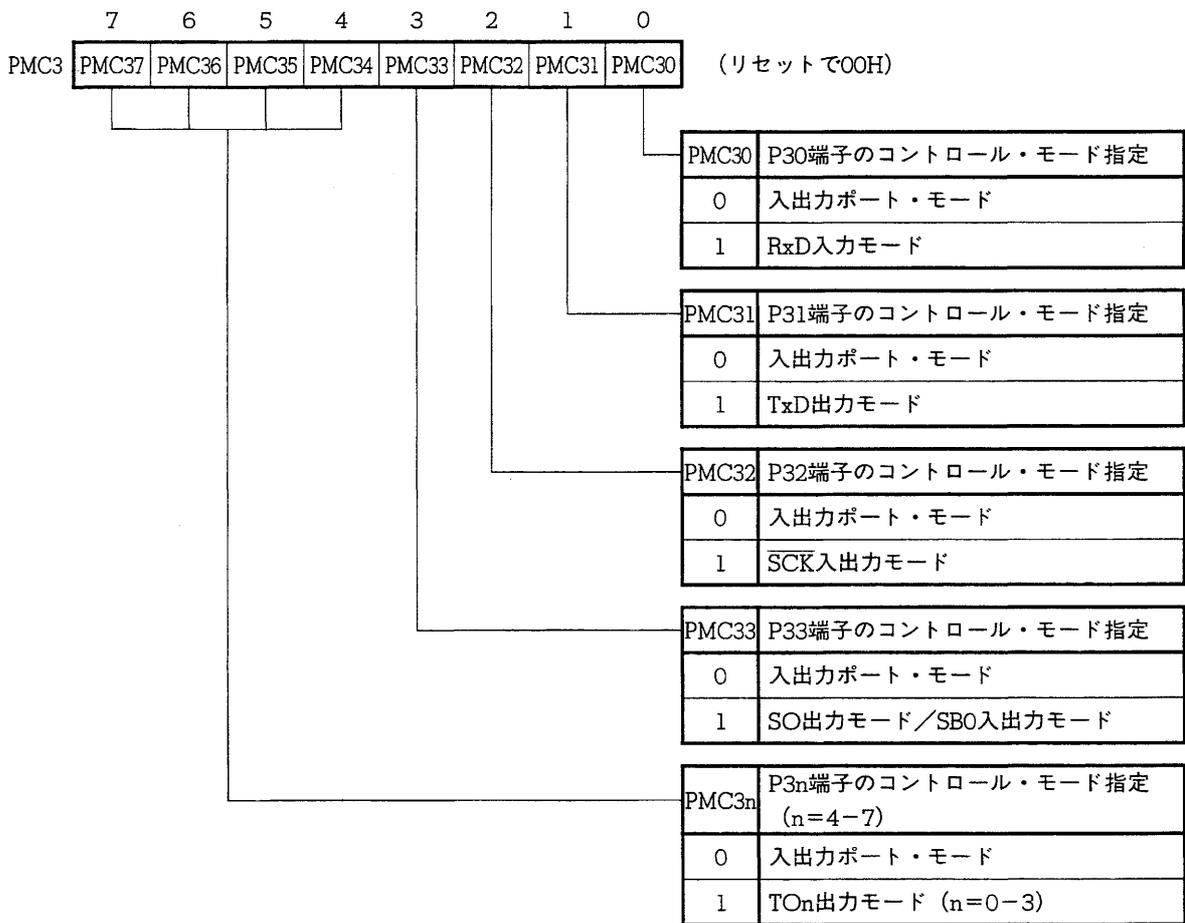


図5-24 ポート3モード・コントロール・レジスタ(PMC3)のフォーマット



5.5.3 動作状態

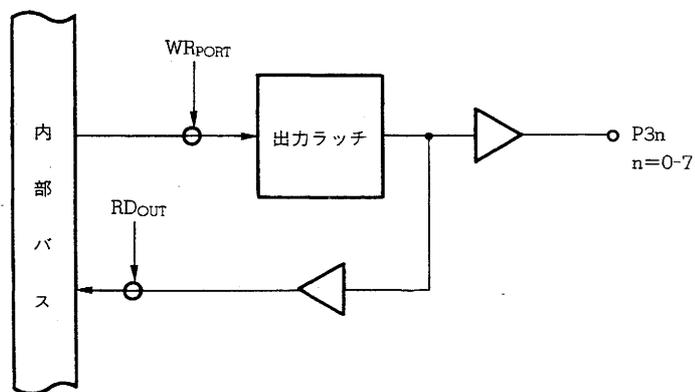
ポート3は、入出力ポートで、各種コントロール端子を兼用しています。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりが行えます。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込む^注まで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

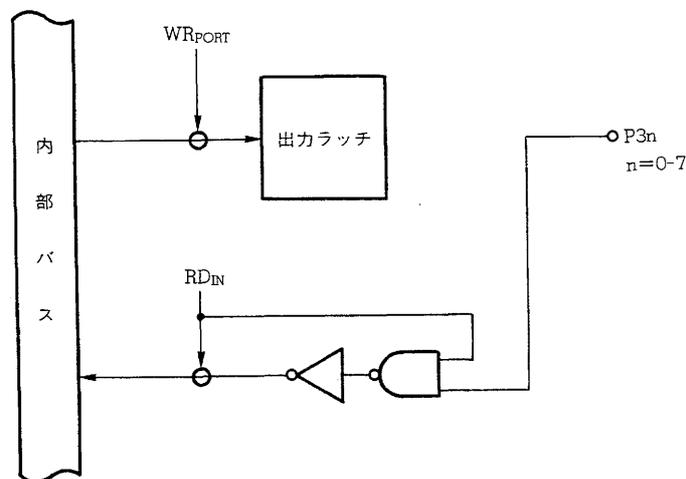
図 5-25 出力ポート指定のポート



(2) 入力ポートに設定された場合

ポート端子のレベルを、転送命令でアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき、出力ラッチの内容がポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図5-26 入力ポート指定のポート

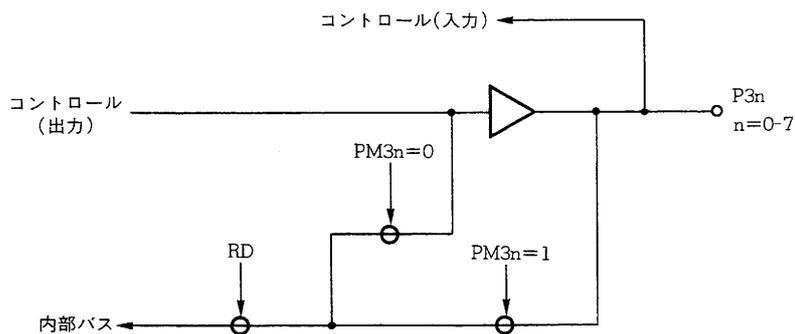


注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力が混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます（SET1、CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) コントロール信号入出力に指定された場合

ポート3は、ポート3モード・コントロール・レジスタ (PMC3) のビットをセット(1)することにより、ポート3モード・レジスタ (PM3) の設定にかかわらず、1ビット単位にコントロール信号の入力あるいは出力として使用することができます。各端子をコントロール信号として用いる場合、ポートの読み出し命令を実行することにより、コントロール信号の状態をみることができます。

図5-27 コントロール指定の場合



(a) ポートがコントロール信号出力の場合

ポート3モード・レジスタ (PM3) がセット(1)されている場合、ポートの読み込み命令を実行すると、コントロール信号端子のレベルを読み込むことができます。

PM3がリセット(0)されている場合、ポートの読み込み命令を実行すると、 μ PD78234内のコントロール信号の状態を読み込むことができます。

備考 ポート3のビット3 (P33) は“SB0”という名前がNEC製のアセンブラ・パッケージで予約語になっています。また、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義されています。

(b) ポートがコントロール信号入力の場合

ポート3モード・レジスタ (PM3) がセット(1)されている場合のみ、ポートの読み込み命令を実行すると、コントロール信号端子のレベルを読み込むことができます。

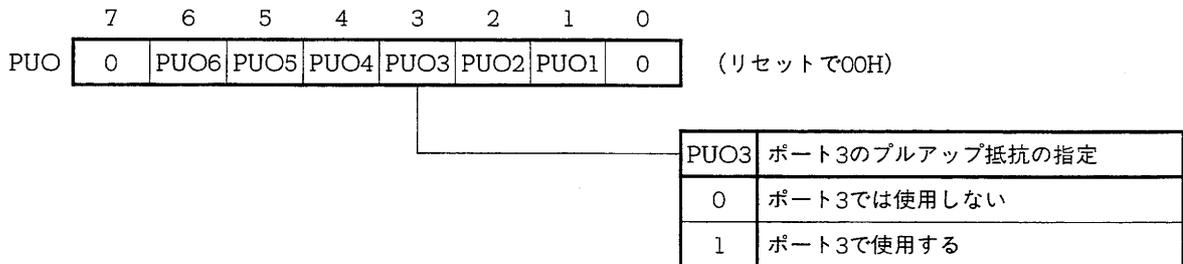
5.5.4 内蔵プルアップ抵抗

ポート3は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタ (PUO) のPUO3とポート3モード・レジスタ (PM3) で、端子ごとに指定できます。PUO3が1のとき、PM3で入力を指定した (PM3n=1, n=0-7) 端子の内蔵プルアップ抵抗が有効になります。

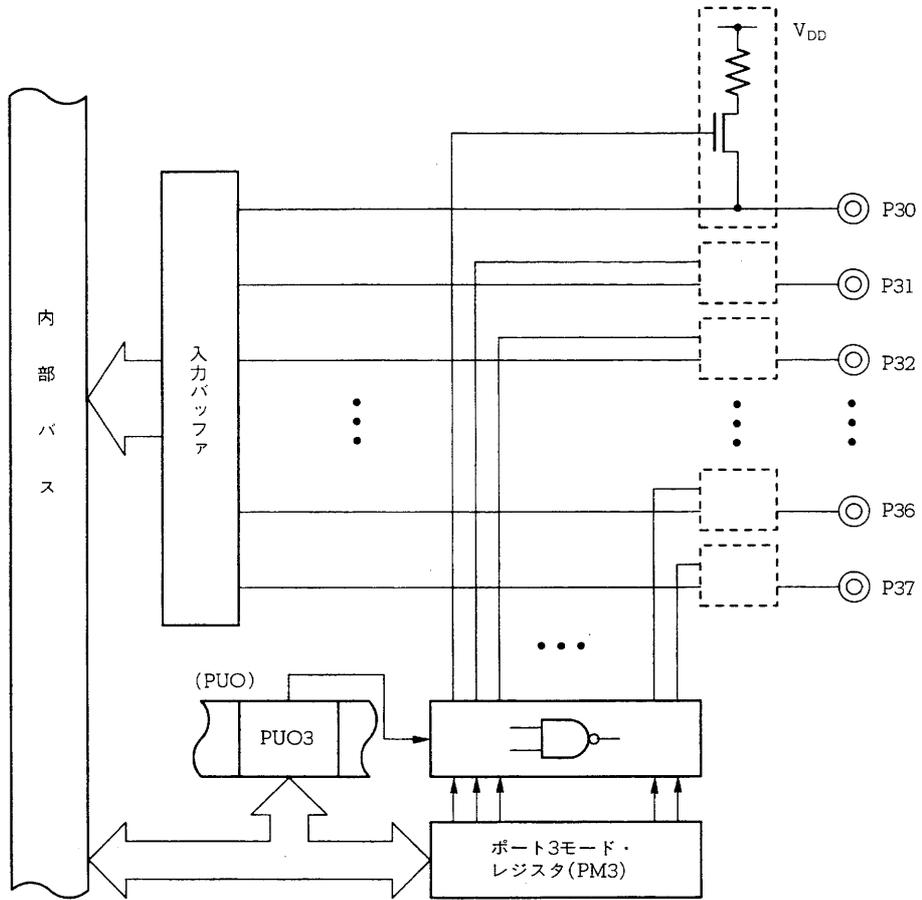
また、コントロール・モードに指定された端子でも、プルアップ抵抗を使用する指定は有効になります(コントロール・モード時に出力端子となる端子にも、プルアップ抵抗が接続されます)。したがって、コントロール・モード時にプルアップ抵抗を接続したくない場合には、PM3の対応するビットの内容を0(出力モード)にしてください。

図5-28 プルアップ抵抗オプション・レジスタのフォーマット



備考 STOPモードに入る場合、消費電流を低減するために、PUOに00Hを設定することが有効です。

図5-29 プルアップの指定 (ポート3)



5.6 ポート4

ポート4は、出力ラッチ付き8ビット入出力ポートです。メモリ拡張モード・レジスタ (MM) により、8ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。また、LEDをダイレクトにドライブ可能です。

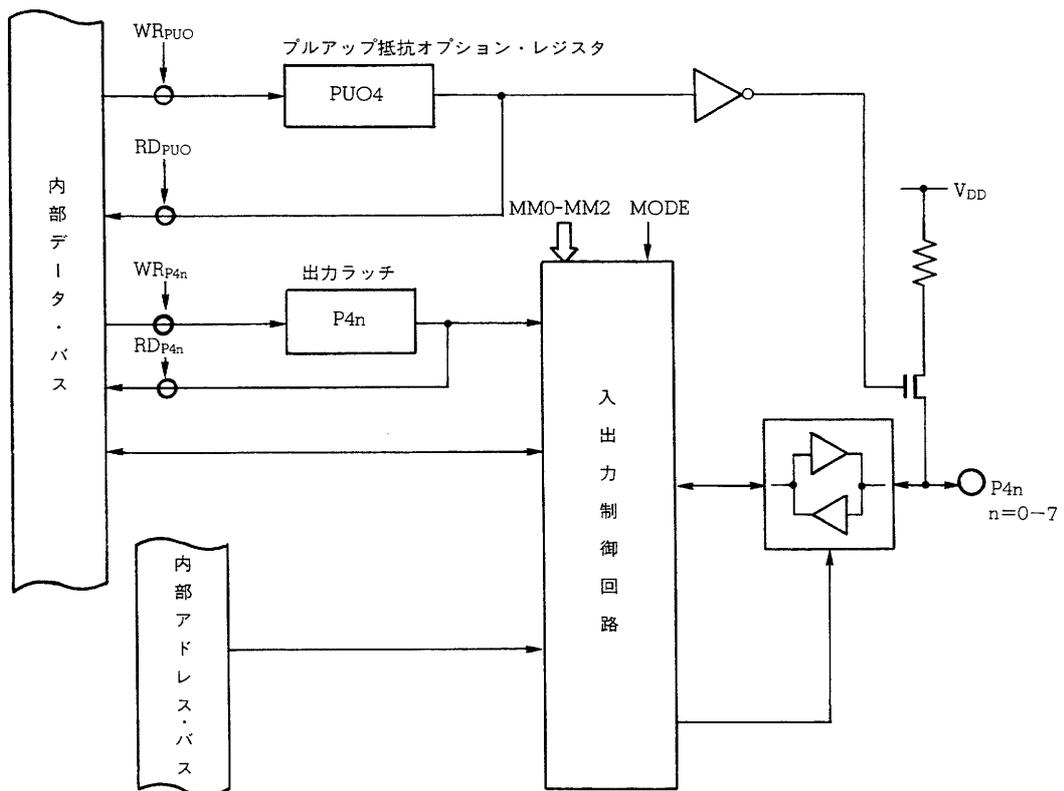
また、外部メモリやI/Oを拡張するとき、時分割アドレス/データ・バス (AD0-AD7) として機能します。

なお、 μ PD78233の場合は、時分割アドレス/データ・バス (AD0-AD7) としてのみ機能します。
 $\overline{\text{RESET}}$ 入力により、入力ポート (出力ハイ・インピーダンス) になり、出力ラッチの内容は不定になります。

5.6.1 ハードウェア構成

図5-30に、ポート4のハードウェア構成を示します。

図5-30 ポート4のブロック図



5.6.2 入出力モード／コントロール・モードの設定

ポート4の動作モードは、表5-6のように、メモリ拡張モード・レジスタ（MM：図15-1参照）により設定します。

表5-6 ポート4の動作モード

MODE端子	MMレジスタのビット			動作モード
	MM2	MM1	MM0	
0	0	0	0	入力ポート
0	0	0	1	出力ポート
0	1	1	1	アドレス/ データ・バス (AD0-AD7)
1注	×	×	×	

注 μ PD78P238にはMODE=1の状態はありません。

μ PD78233の場合は、アドレス／データ・バス（AD0-AD7）としてのみ動作します。

5.6.3 動作状態

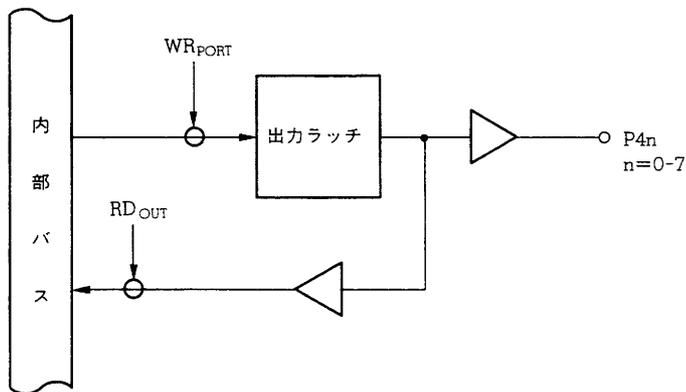
ポート4は入出力ポートで、アドレス／データ・バス（AD0-AD7）と兼用しています。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりが行えます。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込む注まで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

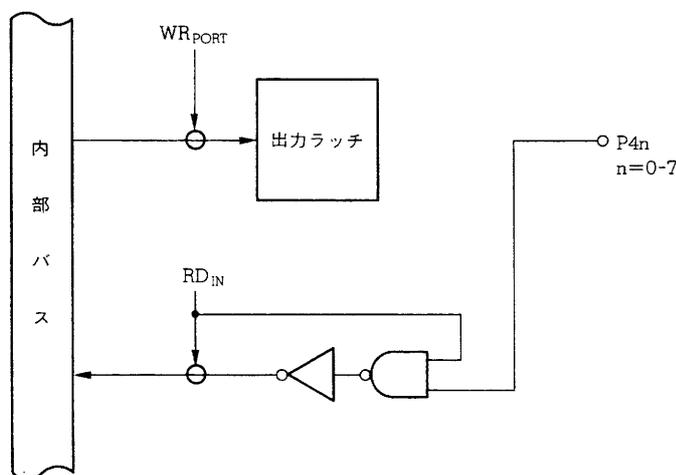
図5-31 出力ポート指定のポート



(2) 入力ポートに指定された場合

ポート端子のレベルを、転送命令でアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートの指定されているビットの出力バッファはハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力ポートの指定が出力ポートに切り替えられたとき、出力ラッチの内容が、ポート端子に出力されます）。また、入力ポートに指定されている場合、出力ラッチの内容は、アキュムレータにロードすることはできません。

図 5-32 入力ポート指定のポート



注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力に指定されている場合に、ビット操作命令を使用すると、出力ラッチの内容は不定になってしまいます（SET1, CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用する場合には注意が必要です。また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) アドレス/データ・バス (AD0-AD7) の場合

外部アクセス時に、自動的に使用されます。

ポート4に対する入出力命令は、実行しないでください。

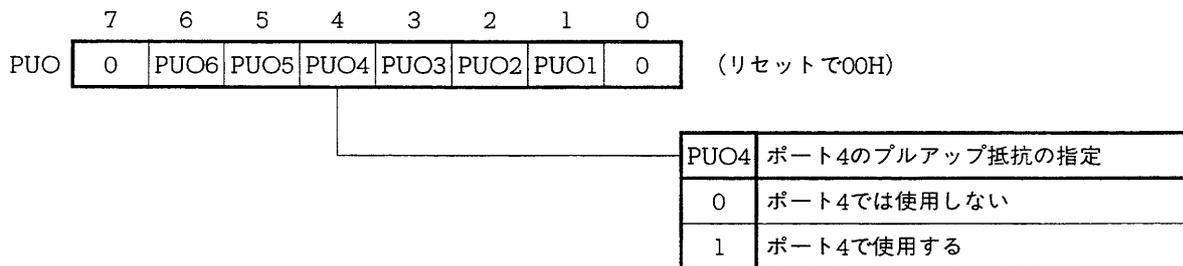
5.6.4 内蔵プルアップ抵抗

ポート4は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタ (PUO) のPUO4により、8端子一括で指定できます (ビットごとには指定できません)。

また、入力/出力モードにかかわらず、プルアップ抵抗の接続の指定ができます。

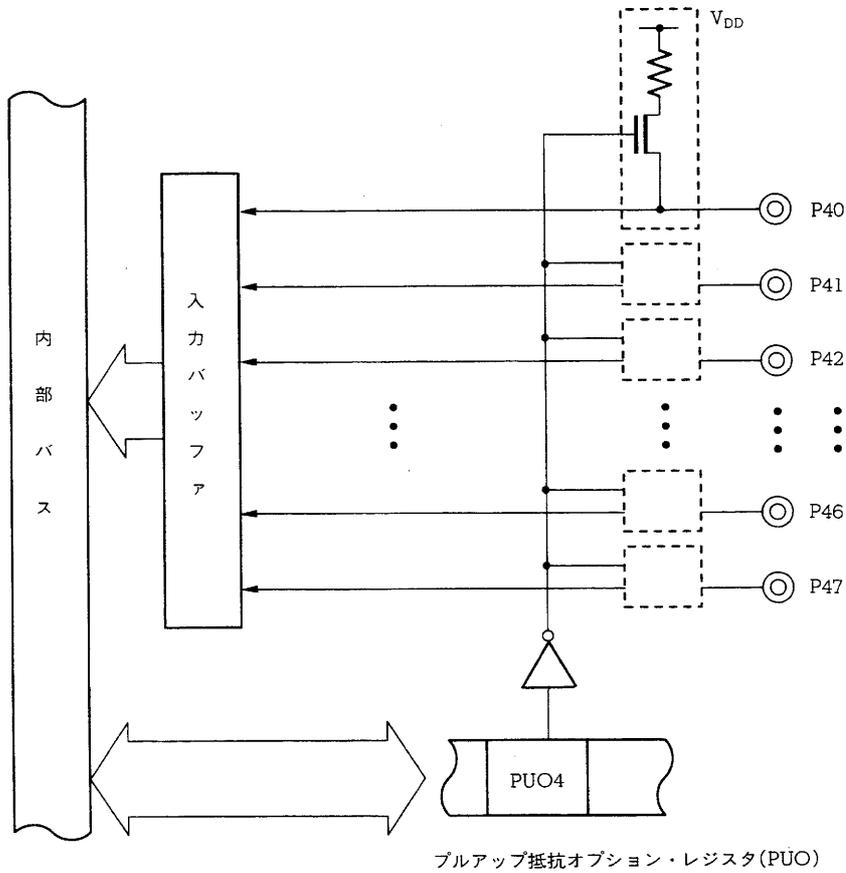
図5-33 プルアップ抵抗オプション・レジスタのフォーマット



注意 μ PD78233の場合、ポート4をアドレス/データ・バスとして使用しますのでPUO4に必ず“0”を設定して、内蔵プルアップ抵抗の接続を行わないようにしてください。また、 μ PD78234でポート4をアドレス/データ・バスとして使用する場合も同様にご覧ください。

備考 STOPモードに入る場合、消費電流を低減するために、PUOに00Hを設定することが有効です。

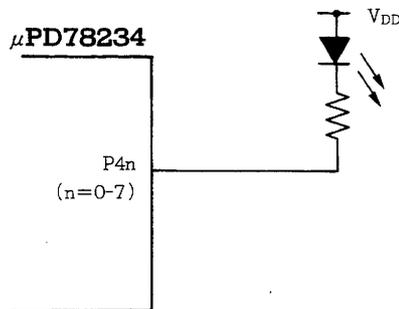
図5-34 プルアップの指定 (ポート4)



5.6.5 LEDのダイレクト・ドライブ

ポート4は、LEDをアクティブ・ロウでダイレクトにドライブできるように、出力バッファのロウ・レベル側のドライブ能力を強化してあります。図5-35にその使用例を示します。

図5-35 LEDのダイレクト・ドライブ例



5.7 ポート5

ポート5は、出力ラッチ付き8ビット入出力ポートです。ポート5モード・レジスタ (PM5) により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。また、LEDをダイレクトにドライブ可能です。

また、外部メモリやI/Oを拡張するとき、P50-P57は、アドレス・バス (A8-A15) として機能します。

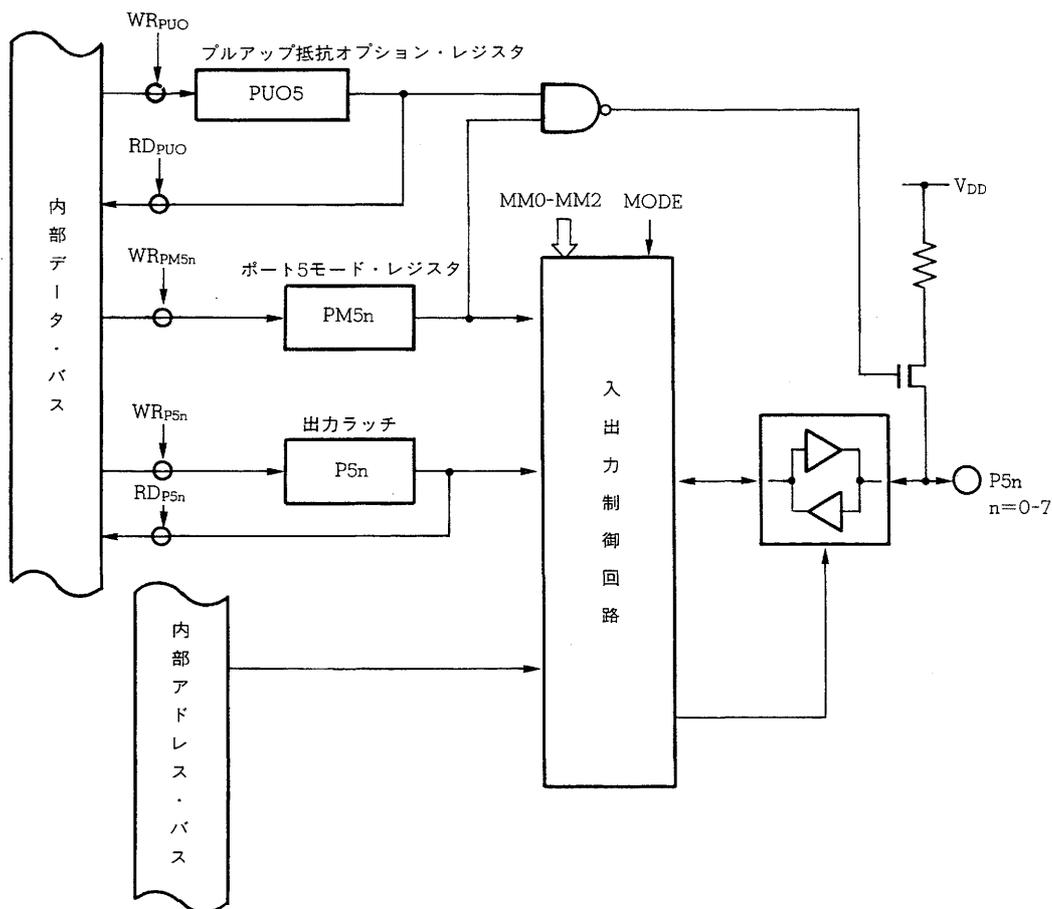
なお、 μ PD78233の場合は、アドレス・バス (A8-A15) としてのみ機能します。

RESET入力により、入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は不定になります。

5.7.1 ハードウェア構成

図5-36に、ポート5のハードウェア構成を示します。

図5-36 ポート5のブロック図



5.7.2 入出力モード／コントロール・モードの設定

ポート5の入出力モードは、図5-37のように、端子ごとにポート5モード・レジスタ (PM5) により設定します。PM5レジスタは、8ビット・データ転送命令で設定します (ビット操作および読み出しはできません)。

ポート5コントロール・モードは、表5-7のように、メモリ拡張モード・レジスタ (MM: 図15-1参照) により設定します。

図5-37 ポート5モード・レジスタのフォーマット

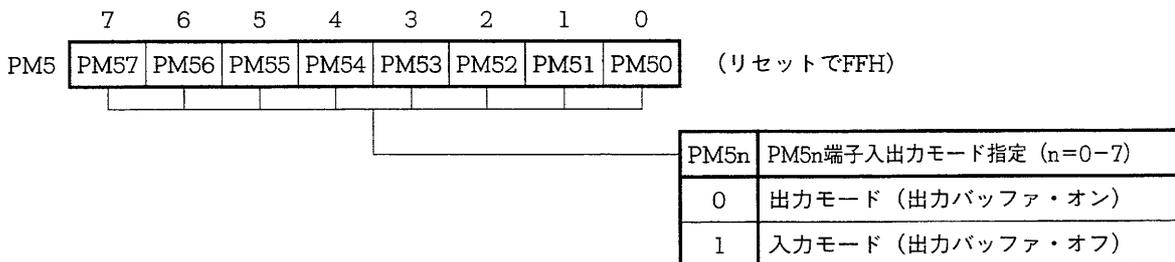


表5-7 ポート5の動作モード

MODE端子	MMレジスタのビット			動作モード
	MM2	MM1	MM0	
0	0	0	×	入出力モード
0	1	1	1	アドレス・バス (A8-A15)
1注	×	×	×	

注 μPD78P238にはMODE=1の状態はありません。

μPD78233の場合は、アドレス・バス (A8-A15) としてのみ動作します。

5.7.3 動作状態

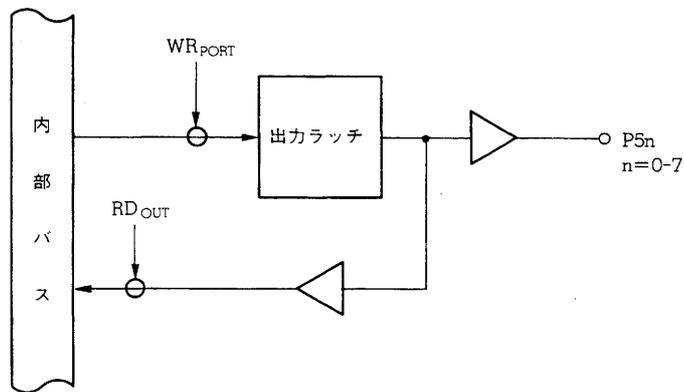
ポート5は入出力ポートで、アドレス・バス (A8-A15) を兼用しています。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりが行えます。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込む^注まで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

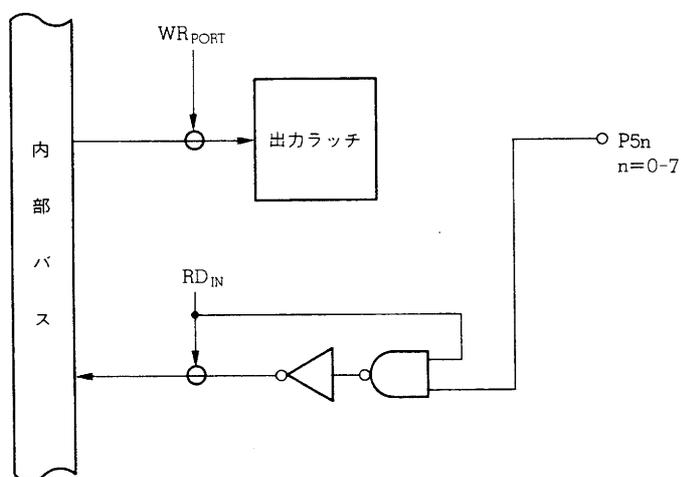
図 5-38 出力ポート指定のポート



(2) 入力ポートに指定された場合

ポート端子のレベルを、転送命令でアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません(入力指定のビットが、出力ポートに切り替えられたとき、出力ラッチの内容が、ポート端子に出力されます)。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図 5-39 入力ポート指定のポート



注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力が混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子の出力ラッチの内容は不定になってしまいます (SET1, CLR1命令などで操作を行ったビットを除く)。特に入出力を切り替えて使用するビットがある場合には注意が必要です。

また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) アドレス・バス (A8-A15) の場合

外部アドレス時に、自動的に使用されます。

ポート5に対する入出力命令は、実行しないでください。

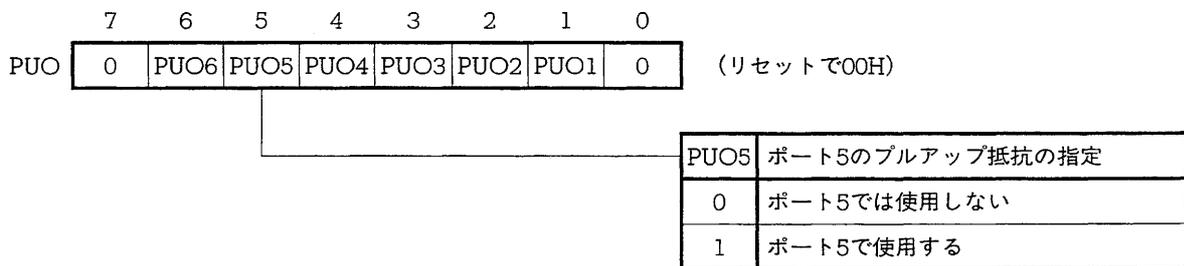
5.7.4 内蔵プルアップ抵抗

ポート5は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタ (PUO) のPUO5とポート5モード・レジスタ (PM5) で、端子ごとに指定できます。

PUO5が1のとき、ポート5に対してポート5モード・レジスタ (PM5) で入力を指定した (PM5n=1, n=0-7) 端子の内蔵プルアップ抵抗が有効になります。

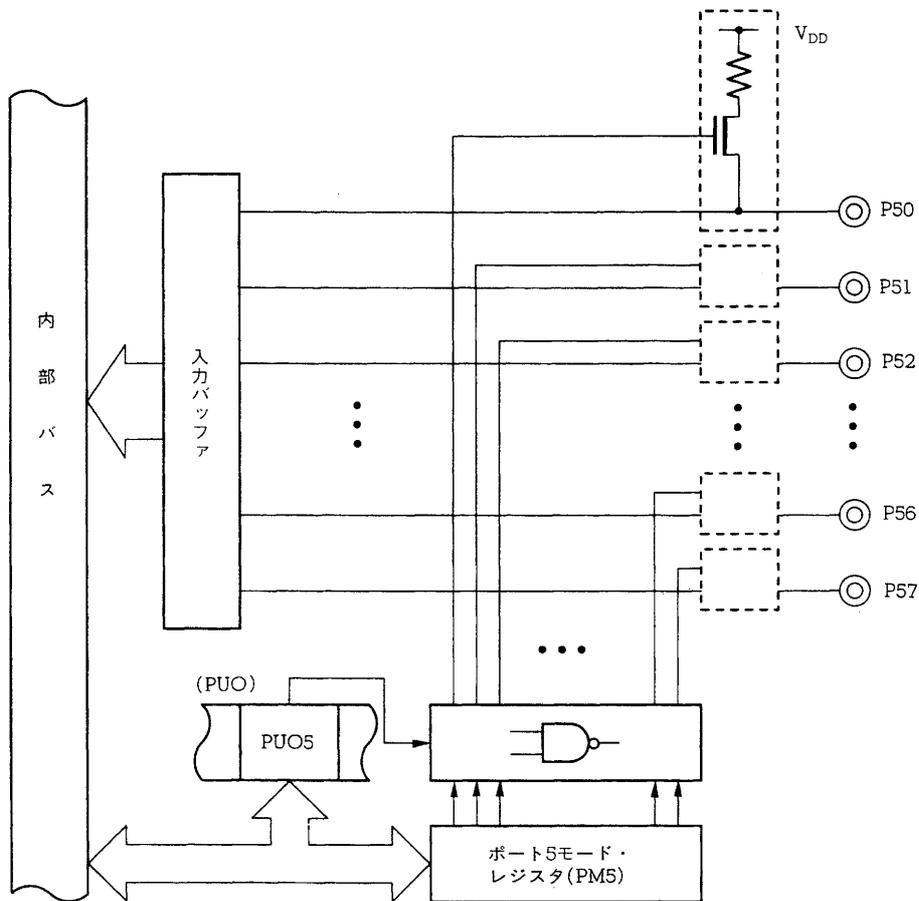
図 5-40 プルアップ抵抗オプション・レジスタのフォーマット



注意 μ PD78233の場合、ポート5をアドレス・バスとして使用しますので、PUO5に必ず“0”を設定して、内蔵プルアップ抵抗の接続を行わないようにしてください。また、 μ PD78234でポート5をアドレス/データ・バスとして使用する場合も同様にしてください。

備考 STOPモードに入る場合、消費電流を低減するために、PUOに00Hを設定することが有効です。

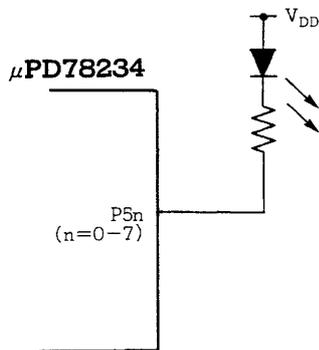
図5-41 プルアップの指定 (ポート5)



5.7.5 LEDのダイレクト・ドライブ

ポート5は、LEDをアクティブ・ロウでダイレクトにドライブできるように出力バッファのロウ・レベル側のドライブ能力を強化してあります。図5-42に、その使用例を示します。

図5-42 LEDのダイレクト・ドライブ例



5.8 ポート6

ポート6は、出力ラッチ付き8ビット入出力ポートです(P60-P63は出力専用ポート)。P64-P67には、ソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

ポートとしての機能以外に、表5-8のような各種コントロール信号端子としての機能を兼用しています。コントロール端子としての動作は、各機能の操作によって行います。

なお、 μ PD78233の場合は、P64、P65はそれぞれ \overline{RD} 出力、 \overline{WR} 出力としてのみ機能します。

\overline{RESET} 入力により、P60-P63は出力ハイ・インピーダンスになり、 \overline{RESET} 解除後にロウ・レベルになります。また、 \overline{RESET} 入力によりP64-P67は、入力ポート（出力ハイ・インピーダンス状態）になります。出力ラッチの内容は、上位4ビットは不定に、下位4ビットはOHになります。

表5-8 ポート6の動作モード

端子	ポート・モード	コントロール信号 入出力モード	コントロール端子として動作させるための 操作
P60-P63	出力ポート	A16-A19出力	MMレジスタのMM6ビットをセット(1)
P64	入出力ポート	\overline{RD} 出力	μ PD78233の場合、またはMMレジスタのMM2-0ビットにより外部メモリ拡張モードを指定
P65		\overline{WR} 出力	
P66		\overline{WAIT} 入力	PWレジスタ、またはMMレジスタのPW _{n1} , PW _{n0} ビット(n=2,3)およびP66を入力モードにすることにより指定
P67		\overline{REFRQ} 出力	RFMレジスタのRFENビットをセット(1)

注意 P60-P63は、 \overline{RESET} 入力中は出力ハイ・インピーダンスですが、 \overline{RESET} 解除後にロウ・レベルを出力します。したがって、初期状態としてロウ・レベルが出力されてもよいように外付け回路を設計してください。

備考 詳細は第15章 ローカル・バス・インタフェース機能参照。

5.8.1 ハードウェア構成

図5-43-図5-46に、ポート6のハードウェア構成を示します。

図5-43 P60-P63 (ポート6) のブロック図

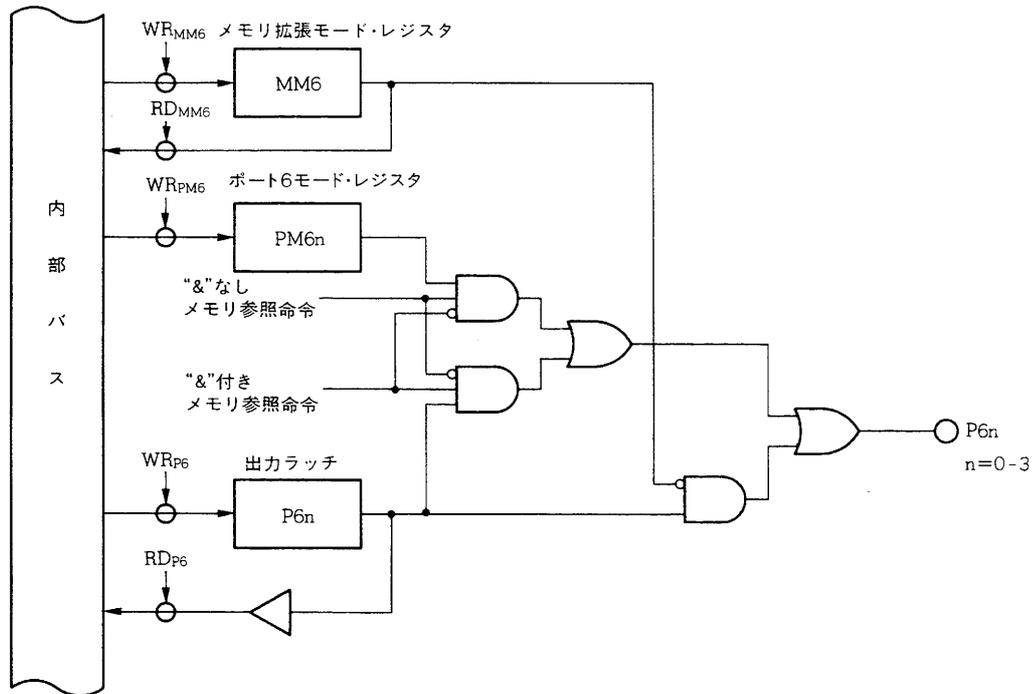


図5-44 P64, P65 (ポート6) のブロック図

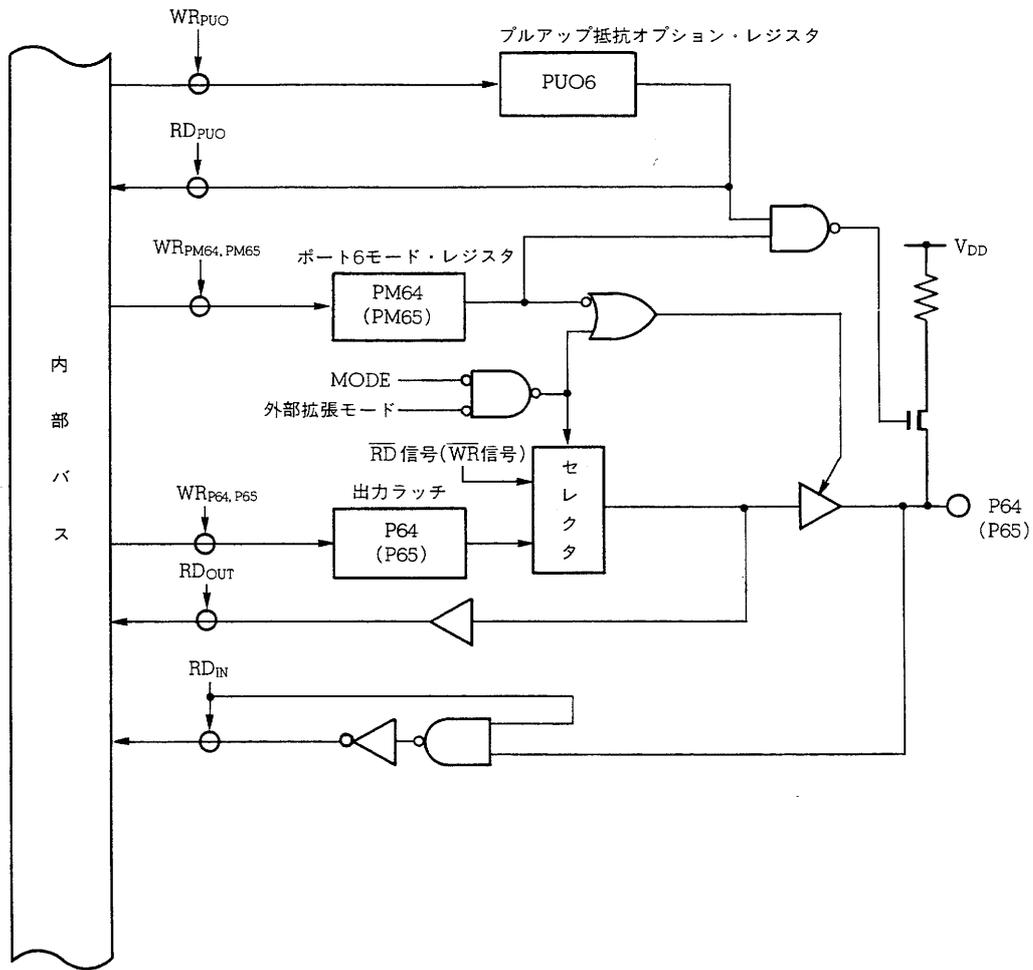


図5-45 P66 (ポート6) のブロック図

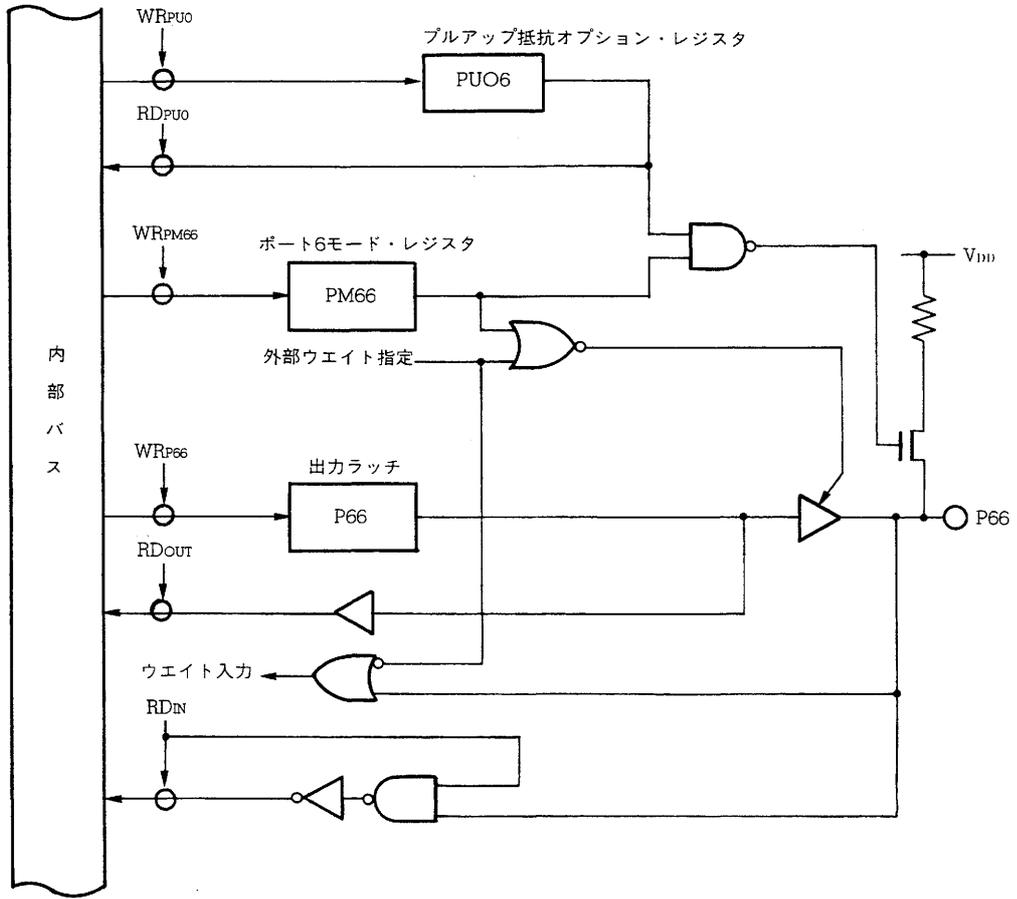
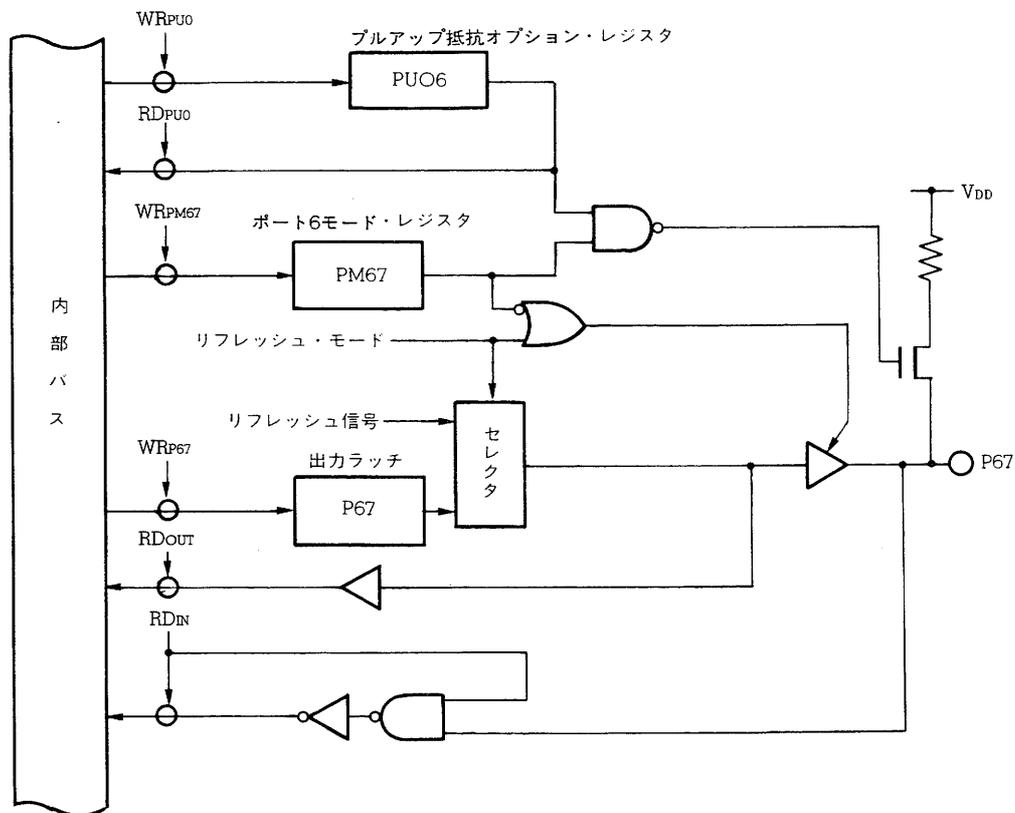


図5-46 P67 (ポート6) のブロック図



5.8.2 入出力モード／コントロール・モードの設定

ポート6の入出力モードは、図5-47のように、ポート6モードレジスタ (PM6) により設定します。
 ポート6のコントロール端子として動作させるための操作は、表5-9に示します。
 μ PD78233の場合、P64、P65は、 \overline{RD} 、 \overline{WR} 信号の出力端子としてのみ動作します。

表5-9 ポート6のコントロール端子機能と操作

端子	機能	入出力	コントロール端子として動作させるための操作
P60	A16	出力	MMレジスタのMM6ビットをセット(1)
P61	A17	出力	
P62	A18	出力	
P63	A19	出力	
P64	\overline{RD}	出力	μ PD78233の場合、またはMMレジスタのMM2-MM0ビットにより外部メモリ拡張モードを指定
P65	\overline{WR}	出力	
P66	\overline{WAIT}	入力	PWレジスタ、またはMMレジスタのPWn1, PWn0 (n=2, 3) およびP66を入力モードにすることにより外部ウエイト入力を指定
P67	\overline{REFRQ}	出力	RFMレジスタのRFENビットをセット(1)

- 注意1. P60-P63を出力ポートとして使用する場合は、PM60-PM63ビットを必ず“0”にしてください。“0”になっていないと、インサーキット・エミュレータで正常なエミュレーションができなくなります。
2. P66/ \overline{WAIT} 端子を \overline{WAIT} 端子として使用する場合は、P66をPM6レジスタにより入力モードにしてください。

(a) ポート・モード

コントロール・モードに指定されていない各ポートは、P60-P63は出力専用ポートになり、P64-P67はポート・モード6レジスタ (PM6) により、1ビット単位で入力／出力の指定ができます。

(b) コントロール信号入出力モード

(i) **A16-A19 (Address Bus)**

外部メモリ空間拡張時 (10000H-FFFFFFH) の上位アドレス・バス出力端子です。
メモリ拡張モード・レジスタ (MM) により動作します。

(ii) **$\overline{\text{RD}}$ (Read Strobe)**

外部メモリのリード動作のために出力されるストロブ信号出力端子です。μPD78233
の場合か外部メモリ拡張時に動作します。

(iii) **$\overline{\text{WR}}$ (Write Strobe)**

外部メモリのライト動作のために出力されるストロブ信号出力端子です。μPD78233
の場合かMMレジスタにより動作します。

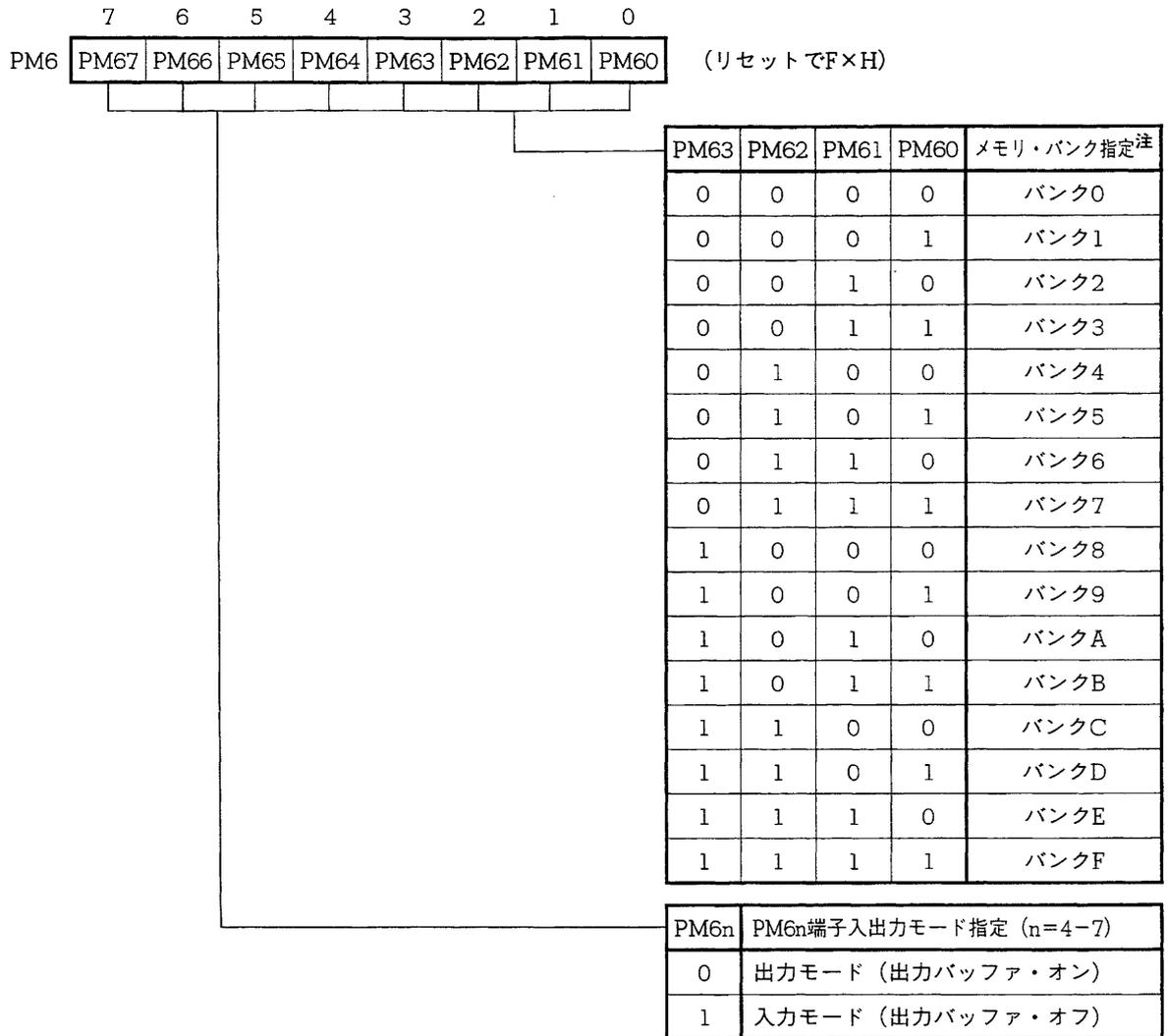
(iv) **$\overline{\text{WAIT}}$ (Wait)**

ウェイト信号の入力端子です。プログラマブル・ウェイト制御 (PW) レジスタ, または
MMレジスタにより動作します。

(v) **$\overline{\text{REFRQ}}$ (Refresh Request)**

外部に疑似スタティック・メモリを接続した場合に, 疑似スタティック・メモリヘリフ
レッシュ・パルスを出力する端子です。リフレッシュ・モード・レジスタ (RFM) により
動作します。

図5-47 ポート6モード・レジスタのフォーマット



注 メモリ拡張モード・レジスタ (MM) のMM6ビットを1にセットすることにより、“&”なしメモリ参照命令実行時のバンク指定レジスタとなります。1Mバイト拡張機能を使用しない場合は、PM63-PM60はすべて“0”にしてください。

備考 ポート6の下位4ビット(P60-P63)は出力専用ポートです。

5.8.3 動作状態

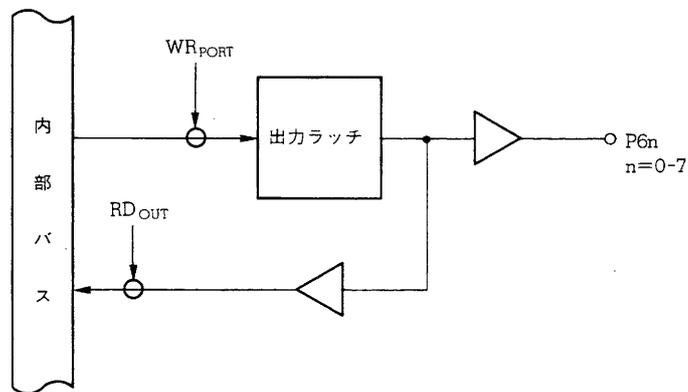
ポート6は入出力ポートで、各種コントロール端子を兼用しています。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりが行えます。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込む^注まで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

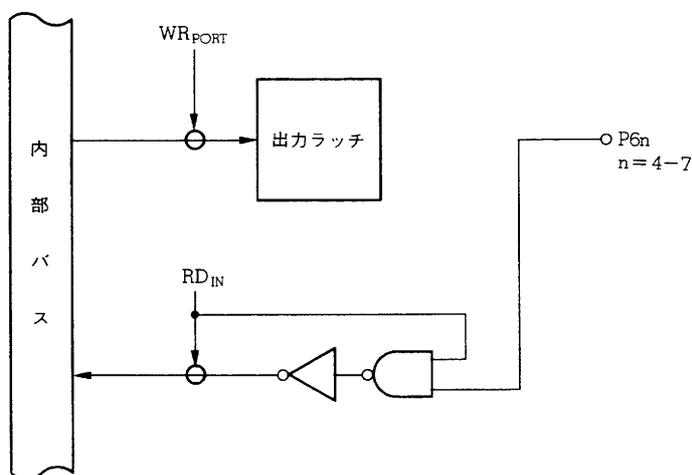
図5-48 出力ポート指定のポート



(2) 入力ポートに指定された場合

ポート端子のレベルを、転送命令でアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが、出力ポートに切り替えられたとき、出力ラッチの内容がポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図 5-49 入力ポート指定のポート



注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力が混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます(**SET1**, **CLR1**命令などで操作を行ったビットを除く)。特に入出力を切り替えて使用するビットがある場合については注意が必要です。また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) コントロール端子の場合

ソフトウェアで操作することやテストすることはできません。

5.8.4 内蔵プルアップ抵抗

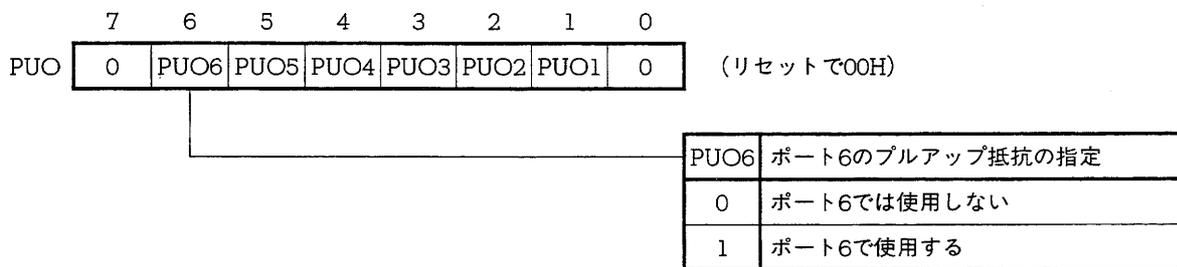
P64-P67は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタ (PUO) のPUO6とポート6モード・レジスタ (PM6) で、端子ごとに指定できます。

PUO6が1のとき、ポート6モード・レジスタ (PM6) で入力を指定した (PM6n=1, n=4-7) 端子の内蔵プルアップ抵抗が有効になります。

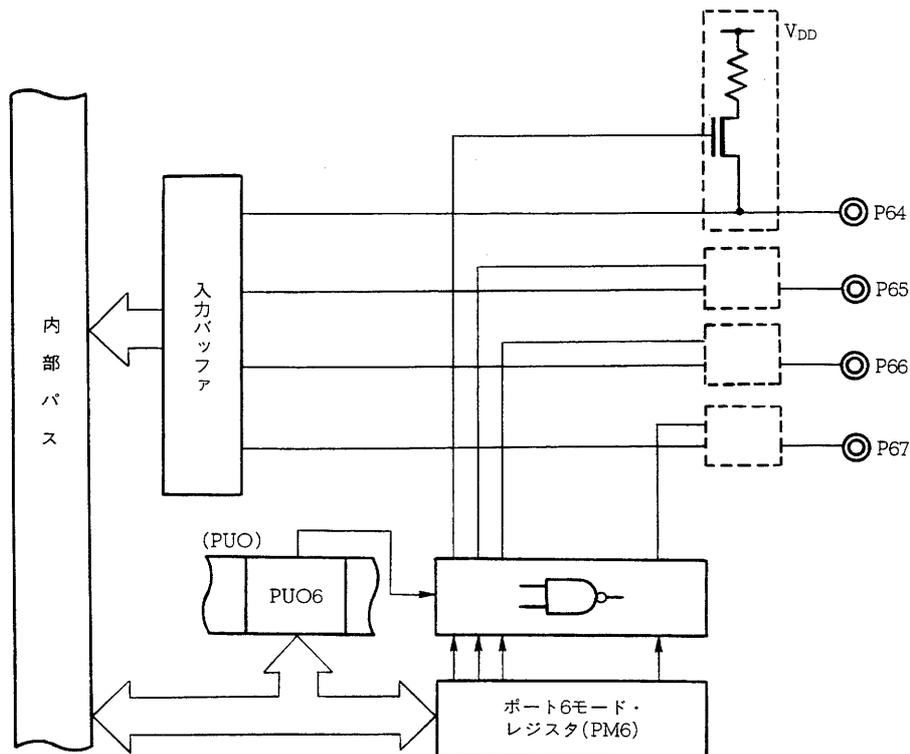
なお、P60-P63は、プルアップ抵抗を内蔵していません。

図5-50 プルアップ抵抗オプション・レジスタのフォーマット



備考 STOPモードに入る場合、消費電流を低減するために、PUOに00Hを設定することが有効です。

図5-51 プルアップの指定(ポート6)



5.9 ポート7

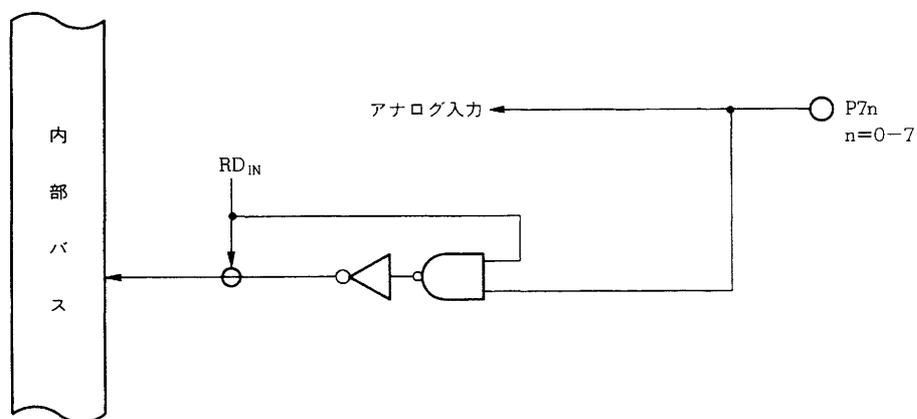
ポート7は、8ビット入力専用ポートです。入力ポートとして動作する以外に、A/Dコンバータ用アナログ入力の端子（ANIO-ANI7）としても動作します。

兼用端子の動作にかかわらず、常に端子レベルの読み込み、あるいはテストが可能です。

5.9.1 ハードウェア構成

図5-52に、ポート7のハードウェア構成を示します。

図5-52 ポート7のブロック図



5.9.2 入出力モード／コントロール・モードの設定

ポート7は、入力専用ポートです。

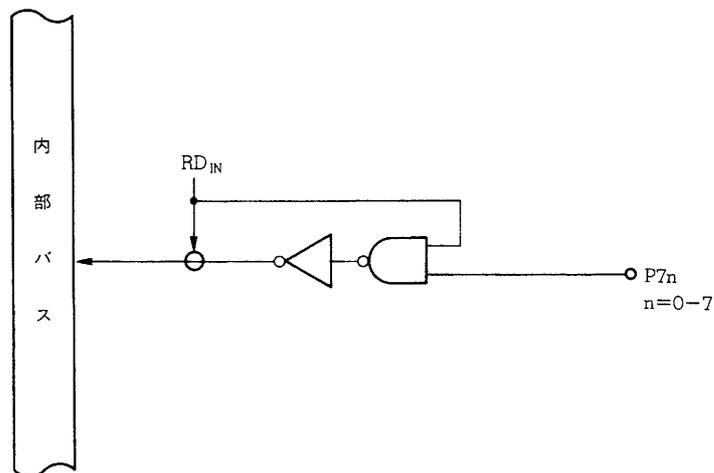
また、常時アナログ信号の入力ができるようになっています。モードの設定をする必要はありません。

なお、A/D変換動作の指定は、A/DコンバータのADMで行います(詳細は、第9章 A/Dコンバータ参照)。

5.9.3 動作状態

ポート7は入力専用のポートで、常に端子レベルの読み込みあるいはテストが可能です。

図 5-53 入力ポート指定のポート



5.9.4 内蔵プルアップ抵抗

ポート7は、プルアップ抵抗を内蔵していません。

5.9.5 注意事項

P70-P77をANIO-ANI7として使用している端子に AV_{SS} - AV_{REF} の範囲外の電圧を印加しないでください。

詳細については、第9章 A/Dコンバータの9.5 注意事項を参照してください。

5.10 注意事項

(1) すべてのポート端子は $\overline{\text{RESET}}$ 信号が入力されるとハイ・インピーダンスになります（内蔵プルアップ抵抗も端子から切り離されます）。

$\overline{\text{RESET}}$ 入力中に端子がハイ・インピーダンスとなって困る場合は、外付けの回路で対策を行ってください。

(2) 内蔵プルアップ抵抗の接続を設定するプルアップ抵抗オプション・レジスタ（PUO）の動作は、インサーキット・エミュレータでは完全なエミュレーションを行うことができません。次のような制限事項があります。

- PUOレジスタをリードしても正しい値を読み出せない。
- PUOレジスタに対するビット操作命令および演算命令が正常に実行できない（場合によっては、SFRイリーガル・アクセス・ブレイクが発生し、エミュレーションを中断する場合があります）。
- プルアップ抵抗を内蔵していない。

したがって、次の2つのことを守ってください。

- PUOレジスタへは、8ビット・データ転送命令（MOV命令）によるライト動作でのみ行う。
- デバッグの際には、ターゲット・ボード上にプルアップ抵抗を接続する。

(3) 出力ラッチの内容は $\overline{\text{RESET}}$ 入力によっても初期化されません。出力ポートとして使用する場合は、必ず出力バッファをオンする前に、出力ラッチを初期化してください。出力バッファをオンする前に出力ラッチを初期化していないと出力ポートに予期しないデータが出力されます。

また同様に、コントロール端子として使用する端子は、必ず内部周辺ハードウェアの初期化を行ってからコントロール端子への指定を行ってください。

(4) P22-P26は、リセット直後にプルアップされないため、兼用端子（INTP1-INTP5）機能によって割り込み要求フラグがセットされることがあります。したがって、初期化ルーチンでプルアップを指定してから、割り込み要求フラグをクリアしてください。

(5) インサーキット・エミュレータでは、ポート2の読み込みまたはテスト時にはノイズ除去前の端子レベルとなります。

- (6) P60-P63を出力ポートとして使用する場合は、PM60-PM63ビットを必ず“0”にしてください。
“0”になっていないと、インサーキット・エミュレータで正常なエミュレーションができなくなります。
- (7) P70-P77をANIO-ANI7として使用している端子に AV_{SS} - AV_{REF} の範囲外の電圧を印加しないでください。
詳細については、第9章 **A/Dコンバータの9.5 注意事項**を参照してください。
- (8) μ PD78234で、P40-P47、P50-P57をそれぞれアドレス/データ・バス、アドレス・バスとして使用する場合は、PUOレジスタのPUO4、PUO5ビットを必ず“0”に設定して、内蔵プルアップ抵抗の接続を行わないようにしてください。
また、 μ PD78233の場合は、P40-P47、P50-P57をそれぞれアドレス/データ・バス、アドレス・バスとして使用しますので、PUOレジスタのPUO4、PUO5ビットを必ず“0”に設定して、内蔵プルアップ抵抗の接続を行わないようにしてください。
- (9) P60-P63は、 \overline{RESET} 入出力中は出力ハイ・インピーダンスですが、 \overline{RESET} 解除後にロウ・レベルを出力します。したがって、初期状態としてロウ・レベルが出力されてもよいように外付け回路を設計してください。
- (10) ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力が混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます (SET1、CLR1命令などで操作を行ったビットを除く)。特に入出力を切り替えて使用するビットがある場合については注意が必要です。また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。
- (11) P66/ \overline{WAIT} 端子を \overline{WAIT} 端子として使用する場合は、P66をPM6レジスタにより入力モードにしてください。

第6章 リアルタイム出力機能

6.1 構成と機能

リアルタイム出力機能は、図6-1に示すようにポート0とバッファ・レジスタ (POH, POL) を中心とするハードウェアによって実現されます。

バッファ・レジスタにあらかじめ用意しておいたデータをタイマ割り込み、または外部割り込みの発生と同時にハードで出力ラッチに転送して、外部に出力することをリアルタイム出力機能といいます。また、外部へ出力する端子をリアルタイム出力ポートと呼びます。

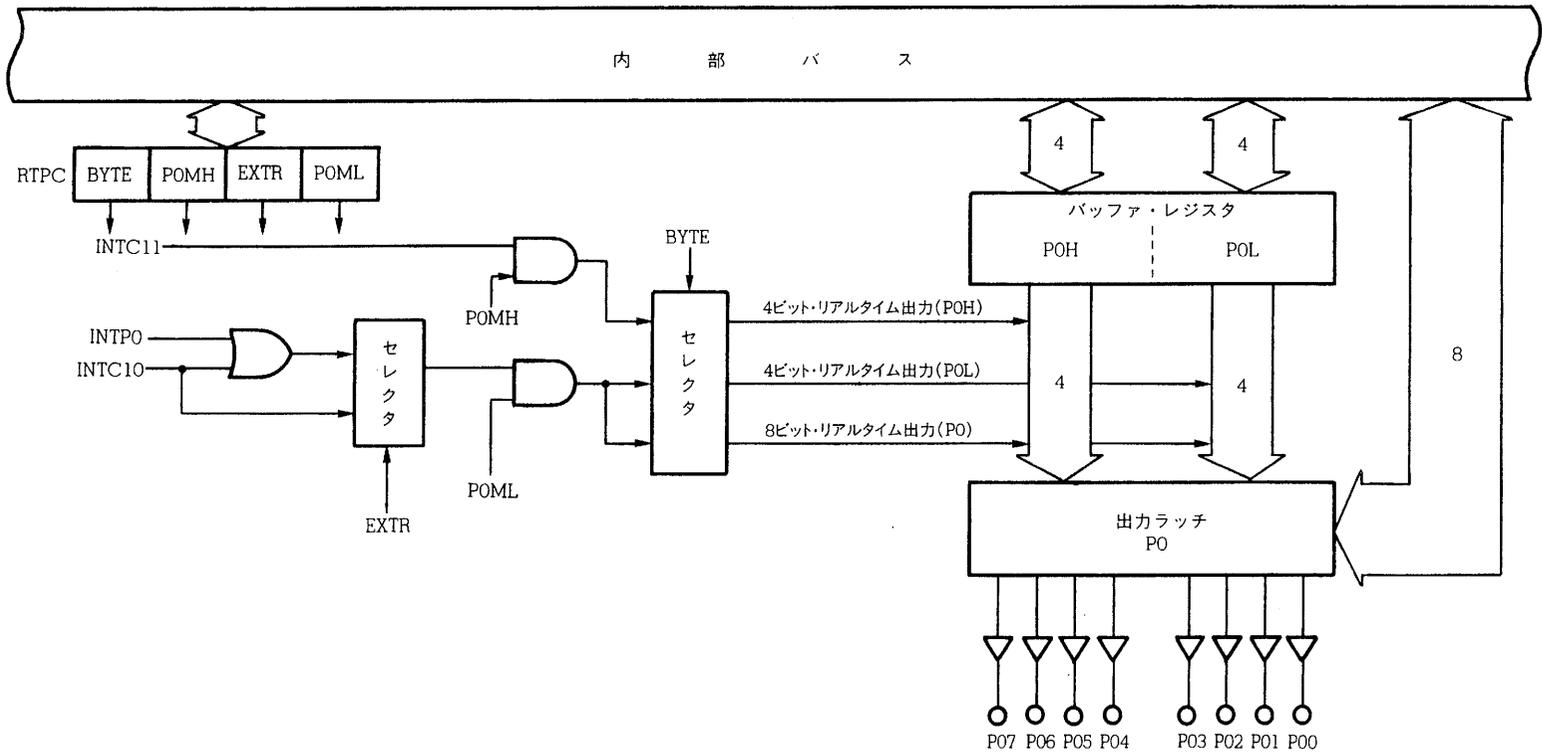
リアルタイム出力データとして次の2種が扱えます。

- 4ビット×2チャンネル
- 8ビット×1チャンネル

リアルタイム出力機能と後述するマクロ・サービス機能を組み合わせることによって、ソフトウェアの介入なしにプログラマブルなタイミングを持ったパターン・ジェネレータの機能を実現します。

たとえばステッピング・モータの制御に最適です。

図 6-1 リアルタイム出力ポートのブロック図



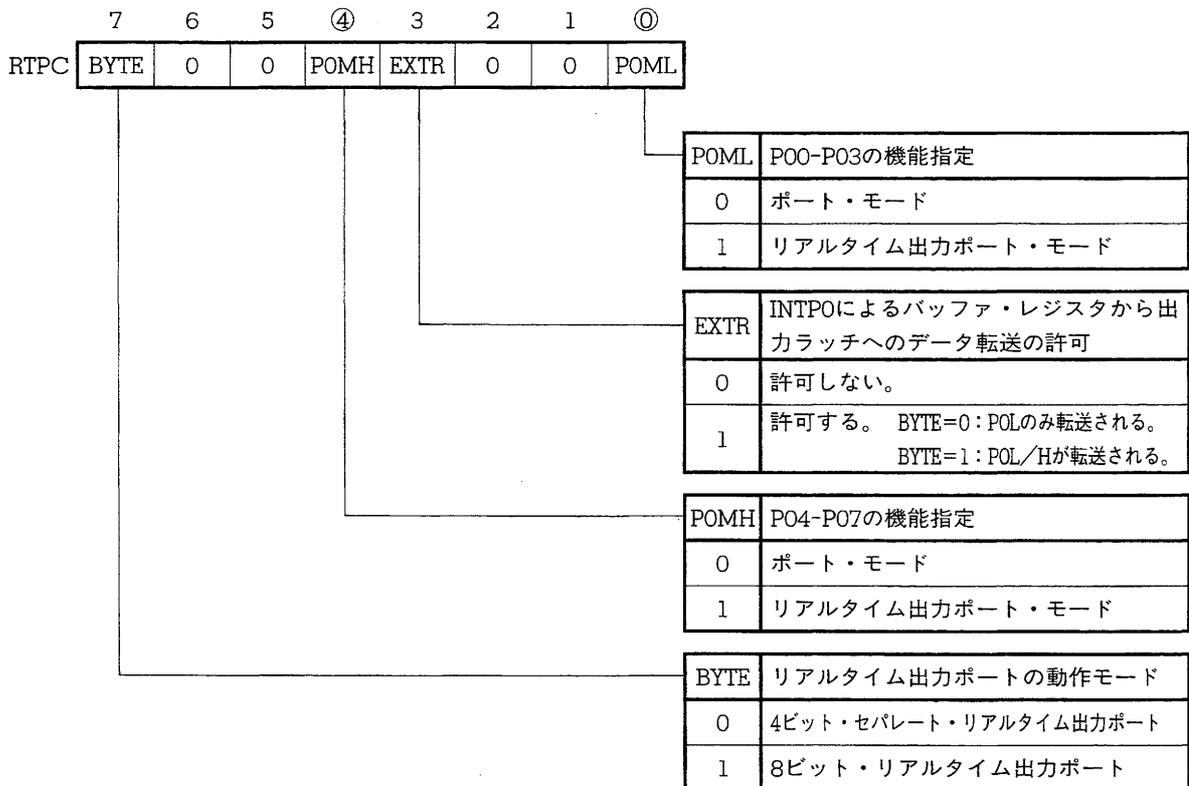
6.2 リアルタイム出力ポート・コントロール・レジスタ (RTPC)

RTPCレジスタはポート0の機能を指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図6-2に示します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6-2 リアルタイム出力ポート・コントロール・レジスタ (RTPC) のフォーマット



注意 POML, POMHをセット(1)すると、ポート0モード・レジスタの内容にかかわらず、該当するポートの出力バッファがオンとなり、ポート0出力ラッチの内容が出力されます。したがって、リアルタイム出力ポートとして指定する前に、出力ラッチの内容を初期化してください。

6.3 リアルタイム出力ポートのアクセス

バッファ・レジスタ (POH, POL) は図6-3に示すようにSFR領域内でそれぞれ独立したアドレスにマッピングされています。

4ビット×2チャンネルのリアルタイム出力機能を指定した場合、バッファ・レジスタ(POH, POL) はそれぞれ独立にデータをセットすることができます。

8ビット×1チャンネルのリアルタイム出力機能を指定した場合は、バッファ・レジスタ(POH, POL) のどちらか一方に8ビット・データを書き込むことによって、POH, POLそれぞれにデータをセットすることができます。

表6-1に、ポート0とポート0バッファ・レジスタに対する操作時の動作を示します。

図6-3 バッファ・レジスタ (POH, POL) の構成

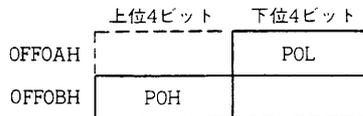


表6-1 ポート0とポート0バッファ・レジスタに対する操作時の動作

動作モード	レジスタ	リード動作		ライト動作	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
8ビット・ポート・モード	PO	出力ラッチ		出力ラッチ	
	POL	バッファ・レジスタ注		—	バッファ・レジスタ
	POH	バッファ・レジスタ注		バッファ・レジスタ	—
8ビット・リアルタイム出力ポート・モード	PO	出力ラッチ		—	
	POL	バッファ・レジスタ		バッファ・レジスタ	
	POH	バッファ・レジスタ		バッファ・レジスタ	
4ビット・セパレート・リアルタイム出力ポート・モード	PO	出力ラッチ		—	
	POL	バッファ・レジスタ注		—	バッファ・レジスタ
	POH	バッファ・レジスタ注		バッファ・レジスタ	—
P00-P03：ポート P04-P07：リアルタイム出力ポート・モード	PO	出力ラッチ		—	出力ラッチ
	POL	バッファ・レジスタ注		—	バッファ・レジスタ
	POH	バッファ・レジスタ注		バッファ・レジスタ	—
P00-P03：リアルタイム出力ポート・モード P04-P07：ポート	PO	出力ラッチ		出力ラッチ	
	POL	バッファ・レジスタ注		—	バッファ・レジスタ
	POH	バッファ・レジスタ注		バッファ・レジスタ	—

注 上位4ビットにはPOHの内容が、下位4ビットにはPOLの内容がそれぞれ読み出されます。

—： 出力ラッチおよびバッファ・レジスタに影響を与えません。

バッファ・レジスタへのデータ設定の例

- ・4ビット×2チャンネル動作の場合

```
MOV POL, #05H ;POLレジスタに0101Bをセット
```

```
MOV POH, #0C0H ;POHレジスタに1100Bをセット
```

- ・8ビット×1チャンネル動作の場合

```
MOV POL, #0C5H ;POLレジスタに0101B,
```

```
POHレジスタに1100Bをセット
```

または

```
MOV POH, #0C5H
```

出カラッチに転送するタイミングは、次の3つのソースで決定できます。

- ・8ビット・タイマ/カウンタ1からの割り込み (INTC10またはINTC11)
- ・INTPO外部割り込み

6.4 動作

ポート0の機能をリアルタイム出力ポートに指定すると、表6-2に示すトリガ条件の発生に同期してバッファ・レジスタ（POH, POL）の内容が出力ラッチに取り込まれ、ポート0の端子に出力されます。

たとえば、出力トリガの発生源として8ビット・タイマ/カウンタ1のタイマ1（TM1）とコンペア・レジスタ（CR10, CR11）との一致信号（INTC10, INTC11）を選択します。そのとき、それぞれのコンペア・レジスタにあらかじめ設定した値をインターバルとするタイミングでポート0端子の出力データをバッファ・レジスタの値に変化させることができます。このリアルタイム出力ポート機能とマクロ・サービス機能を組み合わせることによって、ポート0出力端子の出力データを任意のインターバル時間で順次変化させることができます（14.4 マクロ・サービス機能参照）。

また、出力トリガの発生源として外部割り込み端子INTPOを選択すれば外部イベントに同期したポート0出力を得ることができます。

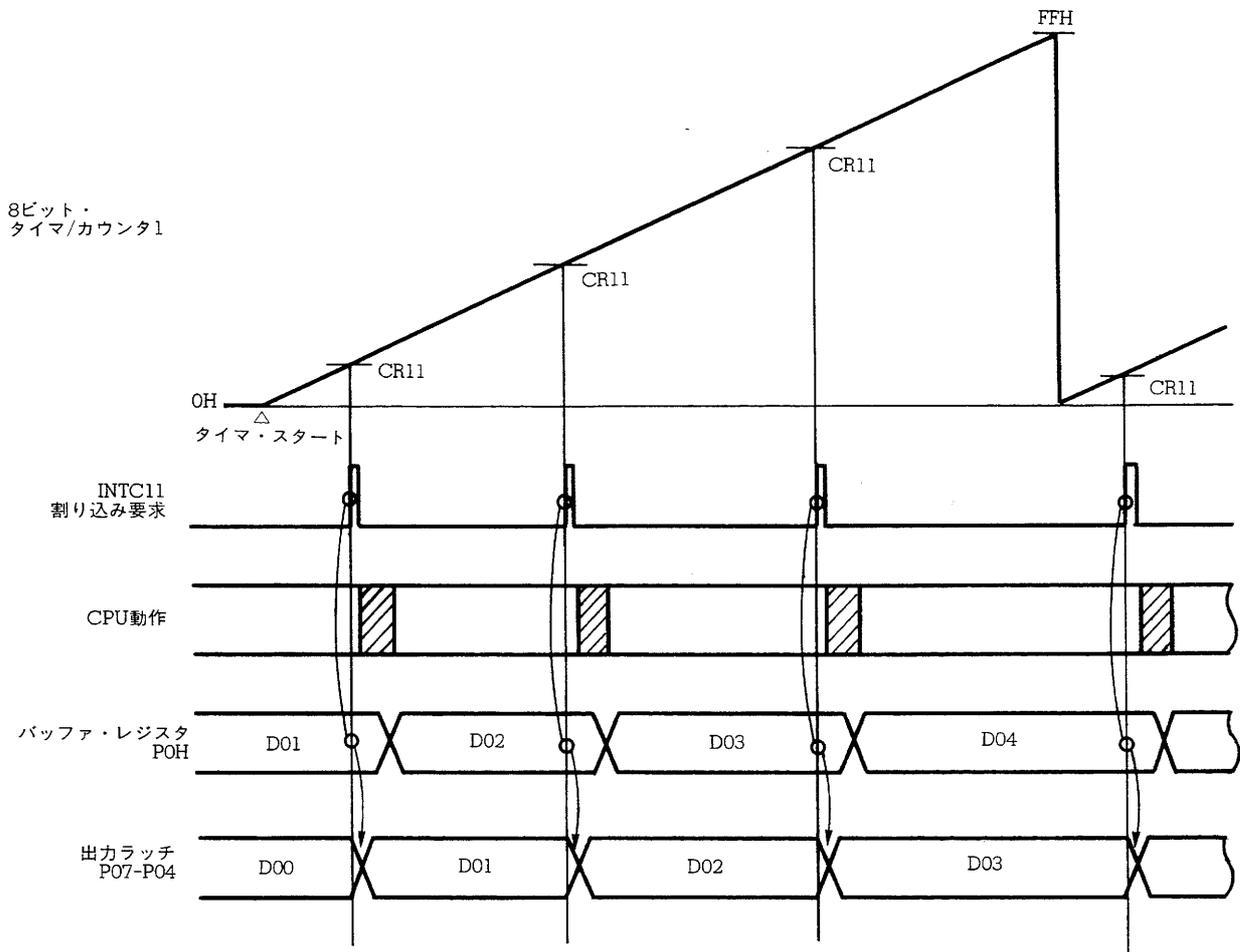
表6-2 リアルタイム出力ポートの出力トリガ（POMH=POML=1の場合）

RTPCレジスタ		出力モード	POHレジスタ	POLレジスタ
BYTE	EXTR			
0	0	4ビット・リアルタイム出力	INTC11	INTC10
	1		INTC11	INTC10/INTPO
1	0	8ビット・リアルタイム出力	INTC10	
	1		INTC10/INTPO	

注意 インサーキット・エミュレータでは、INTPO端子のデジタル・ノイズ除去を正常に行うことができません。INTPO端子からの信号によるバッファ・レジスタから出力ラッチへのデータ転送を選択した場合、誤検出したエッジに従って動作してしまいます。この点に注意して使用してください。

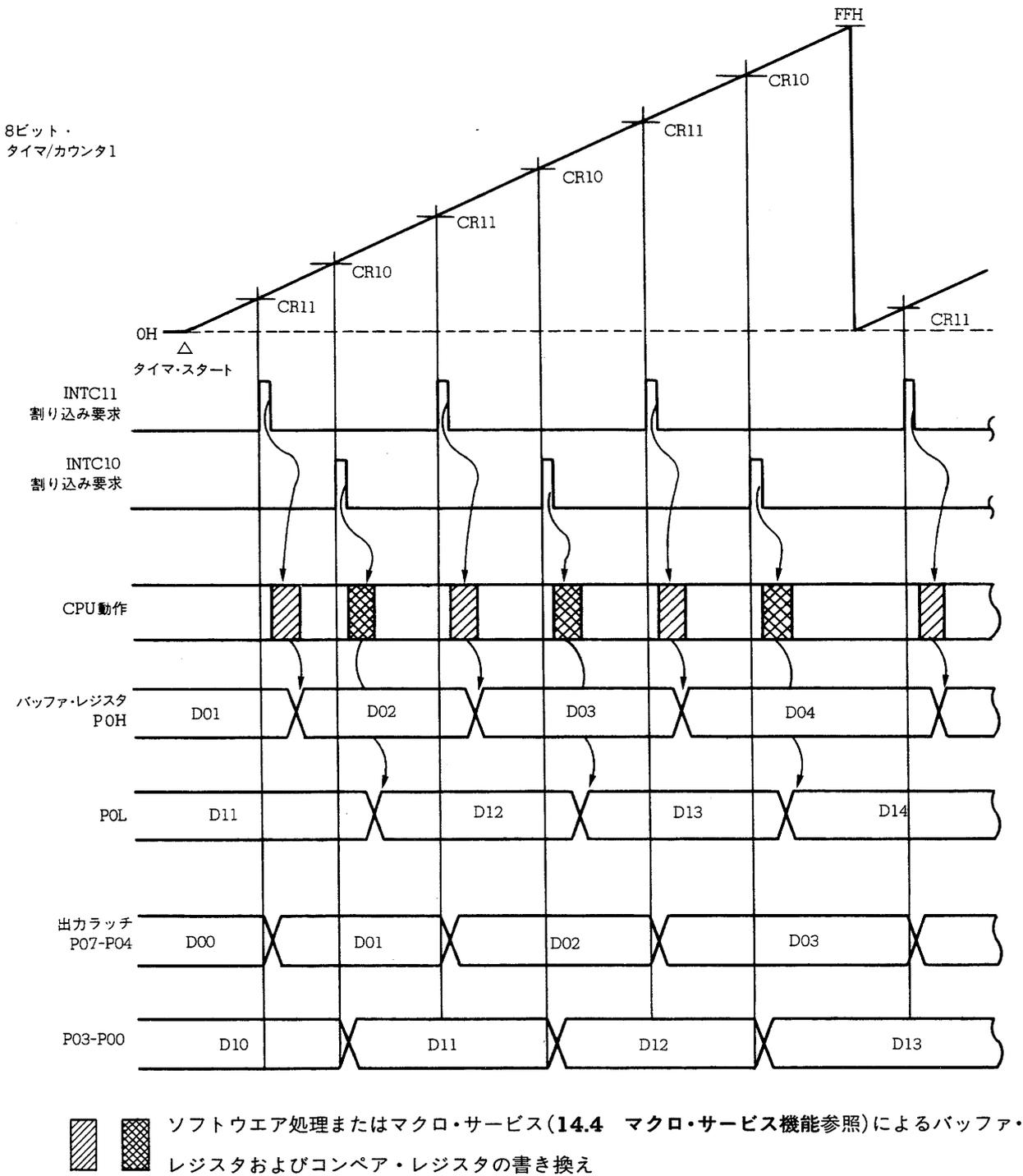
エッジの誤検出についての詳細は、第13章 エッジ検出機能 13.4 注意事項を参照してください。

図6-4 リアルタイム出力ポートの動作タイミング



 ソフトウェア処理またはマクロ・サービス(14.4 マクロ・サービス機能参照)によるバッファ・レジスタおよびコンペア・レジスタの書き換え

図6-5 リアルタイム出力ポートの動作タイミング (2ch独立制御の例)



6.5 使用例

P00-P03を4ビット・リアルタイム出力ポートとして使用する場合を示します。

8ビット・タイマ/カウンタ1のTM1とCR10の内容が一致することにより、POLの内容がP00-P03へ出力されます。このときに同時に発生する割り込み処理ルーチン中で、次に出力するデータの設定と、次に出力を変化させるタイミングを設定します（図6-6参照）。

なお、タイマ/カウンタ1の使用方法については、7.2 8ビット・タイマ/カウンタ1の項を参照してください。

図6-7に制御レジスタの設定内容、図6-8にその設定手順、図6-9に割り込み処理ルーチン内での処理を示します。

図6-6 リアルタイム出力ポートの動作タイミング

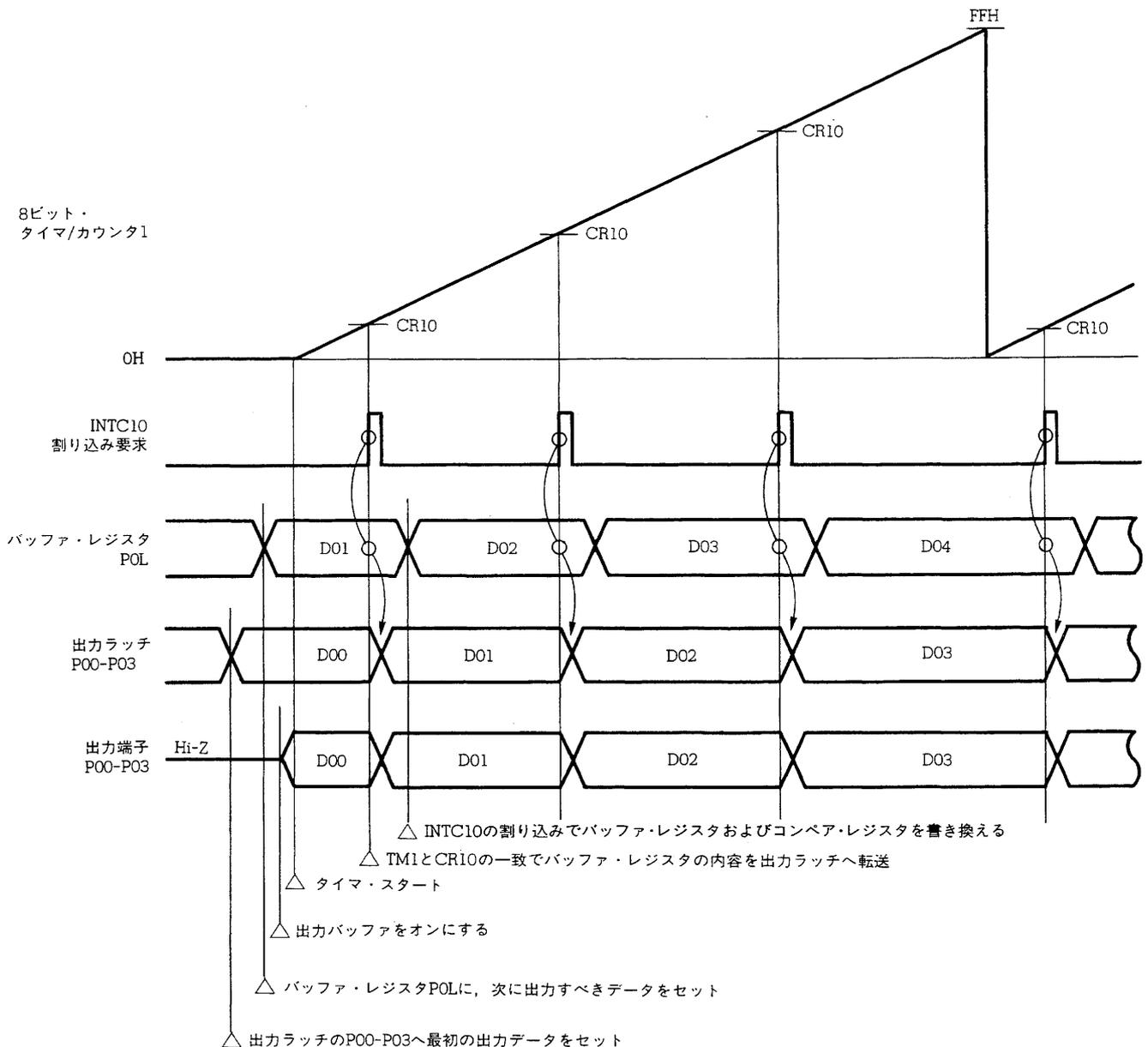


図6-7 リアルタイム出力機能の制御レジスタの設定内容

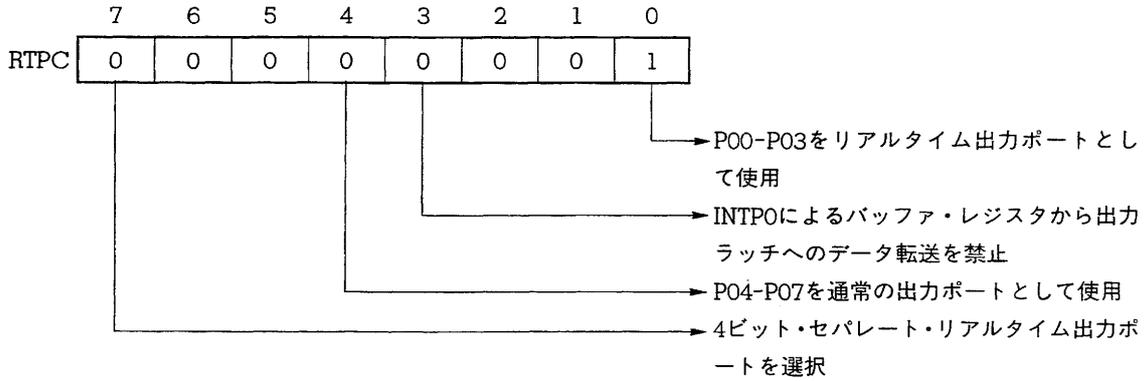


図6-8 リアルタイム出力機能の設定手順

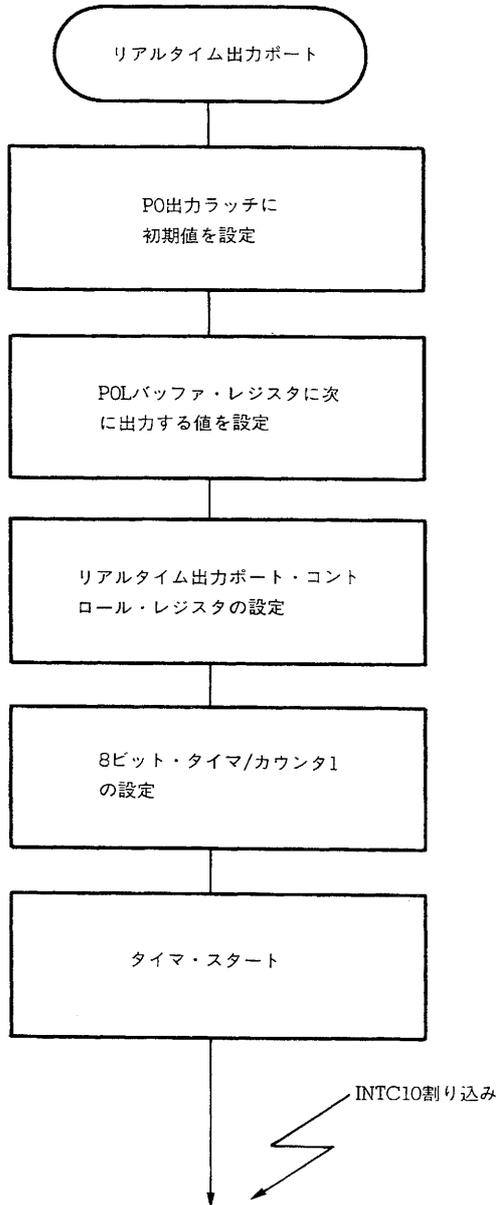
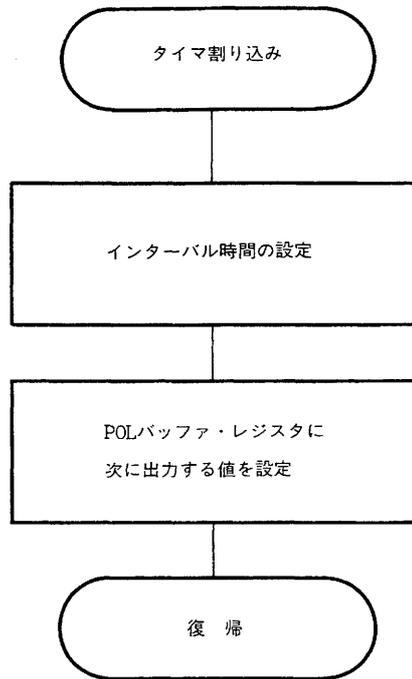


図6-9 リアルタイム出力機能使用時の割り込み要求処理



6.6 注意事項

(1) リアルタイム出力ポートとして指定を行うと、ポート0の出力バッファがPM0レジスタの内容とは無関係に自動的にオンとなり、PO出力ラッチの内容を出力します。したがって、リアルタイム出力ポートとして指定する前に、出力ラッチの内容を初期化してください。

(2) リアルタイム出力ポートとして指定された場合、ソフトウェアで出力ラッチに直接値を書くことはできなくなります。したがって、リアルタイム出力ポートとして使用することを指定する前に、ソフトウェアで出力ラッチの初期値を設定する必要があります。

また、リアルタイム出力ポートとして使用中に、出力データを強制的に固定値にする必要が生じた場合には、RTPCを操作して、通常出力ポートに変更してから出力ラッチに出力したい値を書き込むようにしてください。

(3) INTPO端子からの信号によるバッファ・レジスタから出力ラッチへのデータ転送を選択した場合でも、タイマ/カウンタ1 (TM1) とコンペア・レジスタ (CR10) の値が一致したときは、バッファ・レジスタから出力ラッチへデータ転送が行われてしまいます。

INTPO端子からの信号によってのみバッファ・レジスタから出力ラッチへのデータ転送を行いたい場合は、次のいずれかを実行してください。ただし、どの方法を使用しても8ビット・タイマ/カウンタ1のコンペア・レジスタ (CR10) は使用できません。

(a) 8ビット・タイマ/カウンタ1を使用しない。

(b) 8ビット・タイマ/カウンタ1のキャプチャ/コンペア・レジスタ (CR11) をコンペア・レジスタとして使用する場合

キャプチャ・コンペア・レジスタ (CR11) とタイマ/カウンタ1 (TM1) の値が一致したらクリアを行うモードを使用したインターバル・タイマとして使用する。ただし、コンペア・レジスタ (CR10) の内容は、CR11レジスタの内容より大きな値にしておくこと (INTC10は発生しません)。

(c) 8ビット・タイマ/カウンタ1のキャプチャ/コンペア・レジスタ (CR11) をキャプチャ・レジスタとして使用する場合

INTPOに入力される信号の有効エッジの間隔が、8ビット・タイマ1 (TM1) の値が0からFEHになるまでの時間より十分短いと保証される場合のみ使用すること。

この場合、コンペア・レジスタ (CR10) の値は“FFH”とする。

また、タイマ/カウンタ1は、キャプチャ後クリアするように設定する。

(d) バッファ・レジスタから出力ラッチへの転送が、最大で8ビット・タイマ1(TM1)の1クロック分遅れても問題がなく、TM1がオーバーフローしないことが保証できる場合は、次のように設定して使用してください。

- ・INTPO信号によるキャプチャ後クリアするように、8ビット・タイマ/カウンタ1を設定する。
- ・リアルタイム出力ポートのデータ転送のトリガ信号として、INTPO信号を使用しないように設定する。
- ・コンペア・レジスタ (CR10) に“0H”を設定する。

(4) POML, POMHをセット(1)すると、ポート0モード・レジスタの内容にかかわらず、該当するポートの出力バッファがオンとなり、ポート0出力ラッチの内容が出力されます。したがって、リアルタイム出力ポートとして指定する前に、出力ラッチの内容を初期化してください。

(5) インサーキット・エミュレータでは、INTPO端子のデジタル・ノイズ除去を正常に行うことができません。INTPO端子からの信号によるバッファ・レジスタから出力ラッチへのデータ転送を選択した場合、誤検出したエッジに従って動作してしまいます。この点に注意して使用してください。

エッジの誤検出についての詳細は、**第13章 エッジ検出機能 13.4 注意事項**を参照してください。

第7章 タイマ/カウンタ・ユニット

μPD78234は、16ビット・タイマ/カウンタ・ユニットを1チャンネルと、8ビット・タイマ/カウンタ・ユニットを3チャンネル内蔵しています。

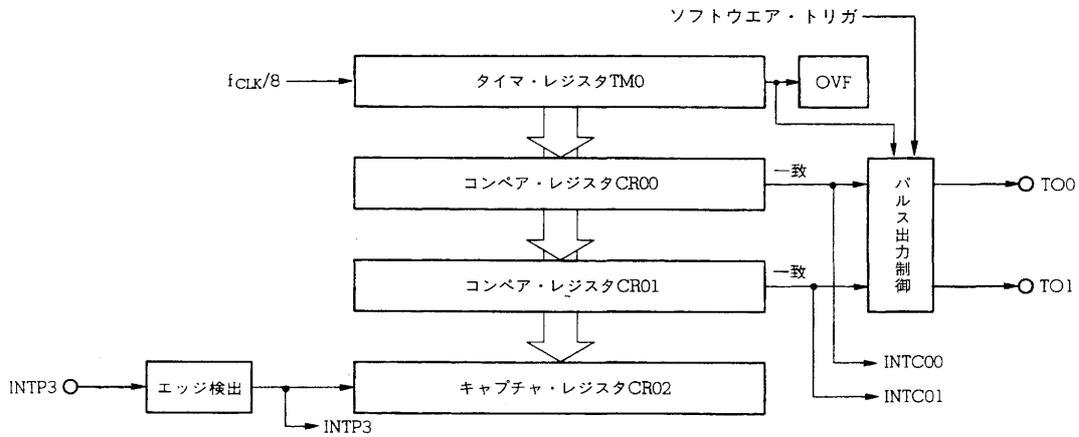
表 7-1 タイマ/カウンタの種類と機能

種類と機能		16ビット・タイマ/ カウンタ	8ビット・タイマ/ カウンタ1	8ビット・タイマ/ カウンタ2	8ビット・タイマ/ カウンタ3
種類	インターバル・タイマ	2ch	2ch	2ch	1ch
	外部イベント・カウンタ	—	—	○	—
	ワンショット・タイマ	—	—	○	—
機能	タイマ出力	2ch	—	2ch	—
	トグル出力	○	—	○	—
	PWM/PPG出力	○	—	○	—
	ワンショット・パルス出力	○	—	—	—
	リアルタイム出力	—	○	—	—
	パルス幅測定	○	○	○	—
	割り込み要求数	2	2	2	1
	シリアル・インタフェースのクロック・ソース	—	—	—	○

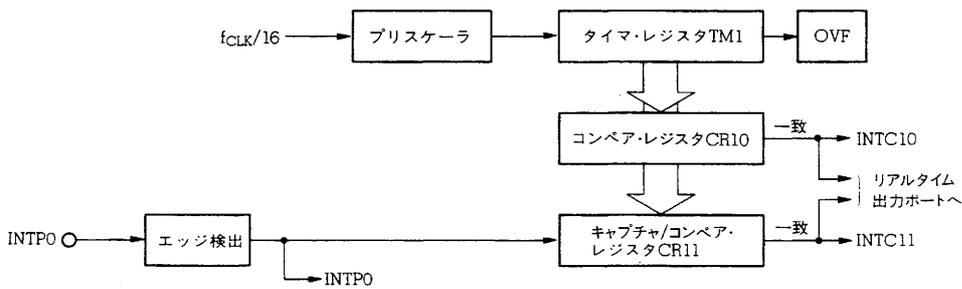
計7つの割り込み要求をサポートしているため、7チャンネルのタイマとして機能させることができます。

図7-1 タイマ/カウンタ・ユニットのブロック図

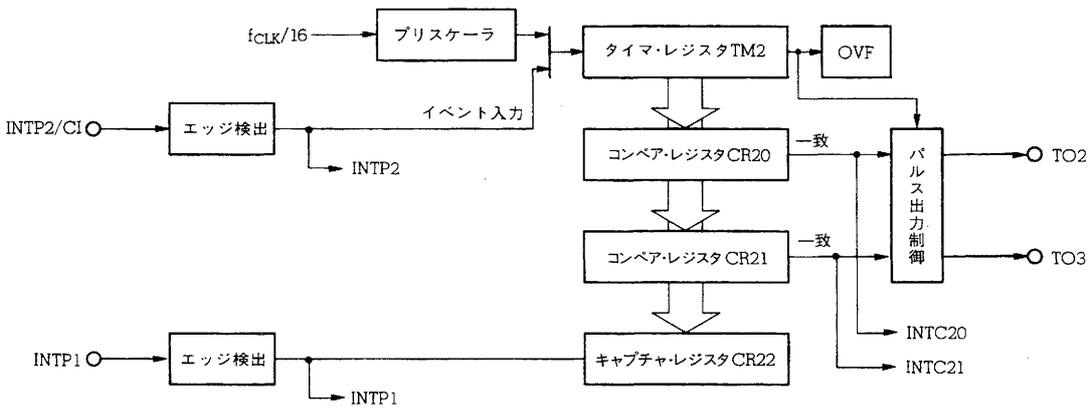
16ビット・タイマ/カウンタ・ユニット



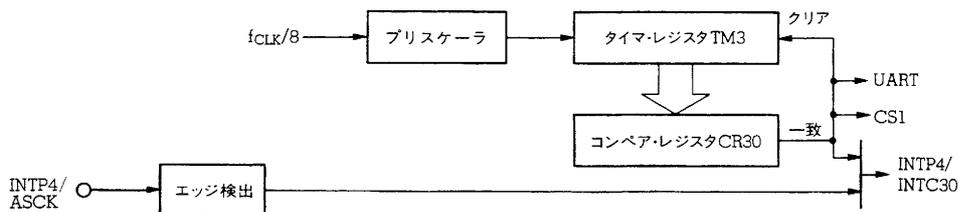
8ビット・タイマ/カウンタ・ユニット1



8ビット・タイマ/カウンタ・ユニット2



8ビット・タイマ/カウンタ・ユニット3



OVF: オーバフロー・フラグ

7.1 16ビット・タイマ/カウンタ

7.1.1 機能

16ビット・タイマ/カウンタは、インターバル・タイマ、プログラマブル矩形波出力、パルス幅測定のような基本機能のほかに、以下のような機能として使うことができます。

- ・PWM出力
- ・周期測定
- ・ソフト・トリガド・ワンショット・パルス出力

(1) インターバル・タイマ

あらかじめ設定したインターバルで内部割り込みを発生します。

表 7-2 16ビット・タイマ/カウンタのインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$8/f_{\text{CLK}}$ (1.3 μs)	$2^{16} \times 8/f_{\text{CLK}}$ (87.4 ms)	$8/f_{\text{CLK}}$ (1.3 μs)

()内は $f_{\text{CLK}}=6$ MHzの場合

(2) プログラマブル矩形波出力

TO0, TO1端子にそれぞれ独立に矩形波を出力します。

表 7-3 16ビット・タイマ/カウンタのプログラマブル矩形波出力設定範囲

最小パルス幅	最大パルス幅
$8/f_{\text{CLK}}$ (1.3 μs)	$2^{16} \times 8/f_{\text{CLK}}$ (87.4 ms)

()内は $f_{\text{CLK}}=6$ MHzの場合

(3) パルス幅測定

外部割り込み端子INTP3へ入力される信号のパルス幅を検出します。

表 7-4 16ビット・タイマ/カウンタのパルス幅測定範囲

測定可能なパルス幅	分解能
$12/f_{CLK} - 2^{16} \times 8/f_{CLK}$ (2.0 μ s) (87.4 ms)	$8/f_{CLK}$ (1.3 μ s)

()内は $f_{CLK}=6$ MHzの場合

(4) ソフト・トリガド・ワンショット・パルス出力

ソフトウェアによりパルス出力レベルをアクティブに、またハードウェア（割り込み要求信号）によりパルス出力レベルをインアクティブにするワンショット・パルス出力機能です。TO0, TO1 に対して独立に制御することができます。

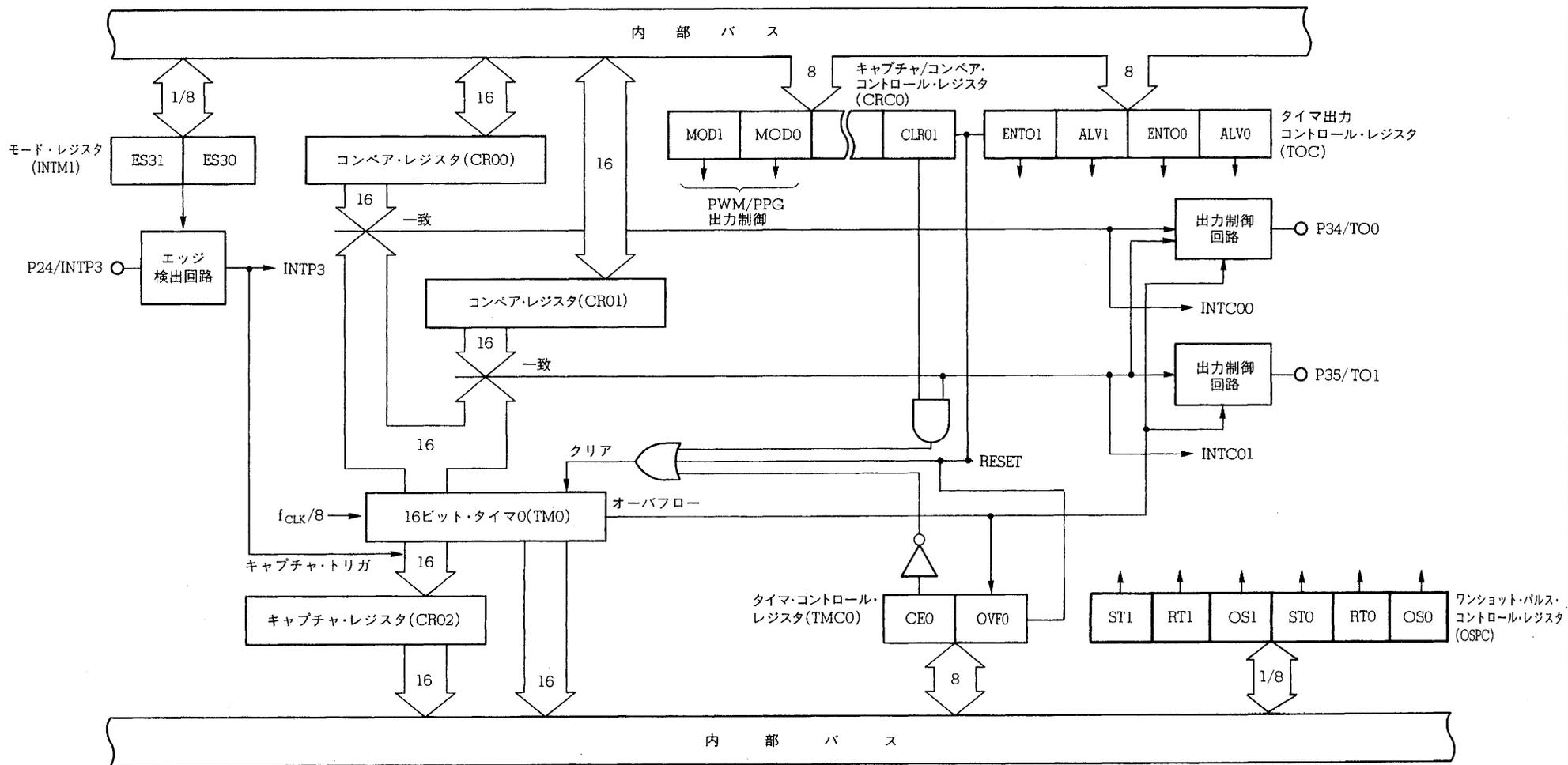
注意 ソフト・トリガド・ワンショット・パルス出力機能は、8ビット・タイマ/カウンタ2のワンショット・タイマ機能とは性質が異なります。

7.1.2 構成

16ビット・タイマ/カウンタは、16ビット・タイマ0 (TM0) と16ビット・コンペア・レジスタ2本 (CR00, CR01), および16ビット・キャプチャ・レジスタ1本 (CR02) から構成されます。

図7-2に、16ビット・タイマ/カウンタのブロック図を示します。

図 7-2 16ビット・タイマ/カウンタのブロック図



(1) 16ビット・タイマ0 (TMO)

TMOは、カウント・クロック $f_{CLK}/8$ でアップカウントするタイマです。

タイマ・コントロール・レジスタ0 (TMC0) によってカウント動作の停止、許可ができます。

16ビット操作命令で読み出しのみが可能です。 \overline{RESET} 入力により、TMOは0000Hにクリアされ、カウントは停止します。

(2) コンペア・レジスタ (CRO0, CRO1)

CRO0, CRO1レジスタは、インターバル・タイマの周期を決める値を保持する16ビット・レジスタです。

CRO0, CRO1レジスタの内容がTMOの内容と一致すると、割り込み要求 (INTC00, INTC01) およびタイマ出力の制御信号を発生します。また、内容一致 (CRO1) によるカウント値のクリア動作もできます。

16ビット操作命令で読み出し/書き込みが可能です。 \overline{RESET} 入力により不定となります。

(3) キャプチャ・レジスタ (CRO2)

CRO2レジスタは、TMOの内容をキャプチャする16ビット・レジスタです。

キャプチャ動作は、外部割り込み要求 (INTP3) 入力端子の有効エッジ入力 (キャプチャ・トリガ) に同期します。次のキャプチャ・トリガが発生するまでCRO2レジスタの内容は保持されます。

16ビット操作命令で読み出しのみ可能です。 \overline{RESET} 入力により不定となります。

(4) エッジ検出回路

エッジ検出回路は、外部入力の有効エッジを検出します。

INTP3端子入力での外部割り込みモード・レジスタ1 (INTM1) により設定された有効エッジを検出して、INTP3とキャプチャ・トリガを発生します (INTM1レジスタについては図 13-2 参照)。

(5) 出力制御回路

CRO0, CRO1レジスタの内容とTMOの内容が一致すると、タイマ出力を反転することができます。タイマ出力コントロール・レジスタ (TOC) の下位4ビットの設定でタイマ出力端子 (TO0, TO1) から矩形波を出力することができます。このときキャプチャ/コンペア・コントロール・レジスタ0 (CRO0) の指定により、PWM出力やPPG出力もできます。

さらにソフトウェア・トリガによるワンショット・パルスの出力も可能です。

また、TOCレジスタによってタイマ出力の禁止/許可ができます。タイマ出力の禁止状態ではTO0, TO1端子には固定レベルが出力されます (出力レベルはTOCレジスタにより設定)。

7.1.3 16ビット・タイマ/カウンタ制御レジスタ

(1) タイマ・コントロール・レジスタ0 (TMC0)

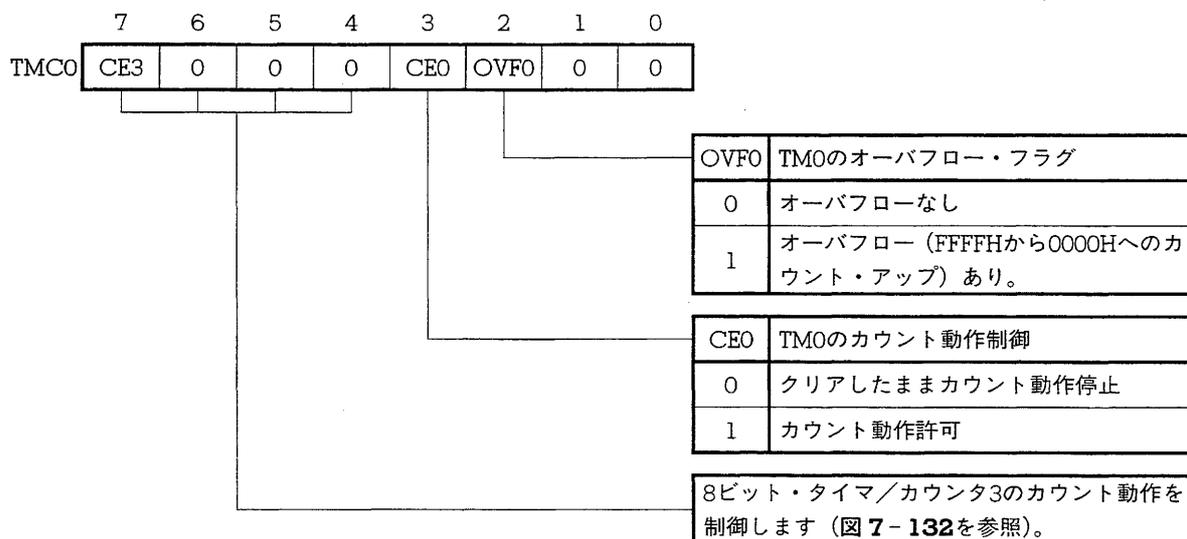
TMC0レジスタは、16ビット・タイマ0 (TM0) のカウント動作を制御する8ビット・レジスタです。

下位4ビットでTM0のカウント動作を制御します (上位4ビットは8ビット・タイマ/カウンタ3のカウント動作を制御します)。

8ビット操作命令で読み出し/書き込みが可能です。図7-3にTMC0レジスタのフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hにクリアされます。

図7-3 タイマ・コントロール・レジスタ0 (TMC0) のフォーマット



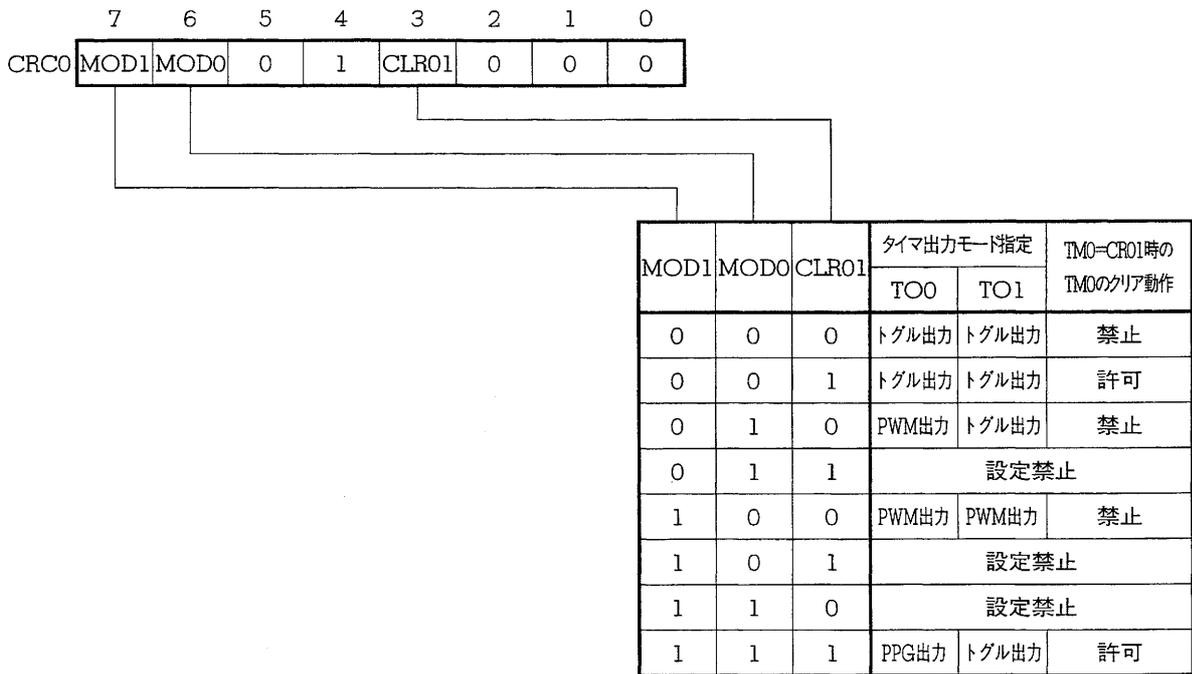
備考 OVFOビットはソフトウェアでのみリセットされます。

(2) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

CRC0レジスタは、コンペア・レジスタ (CR01) の内容とTMOのカウンタ値との一致信号によるTMOのクリア動作の許可条件や、タイマ出力 (TO0, TO1) モードを指定するレジスタです。

8ビット操作命令で書き込みのみ可能です。図7-4にCRC0レジスタのフォーマットを示します。
 $\overline{\text{RESET}}$ 入力により10Hにクリアされます。

図7-4 キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のフォーマット



(3) タイマ出力コントロール・レジスタ (TOC)

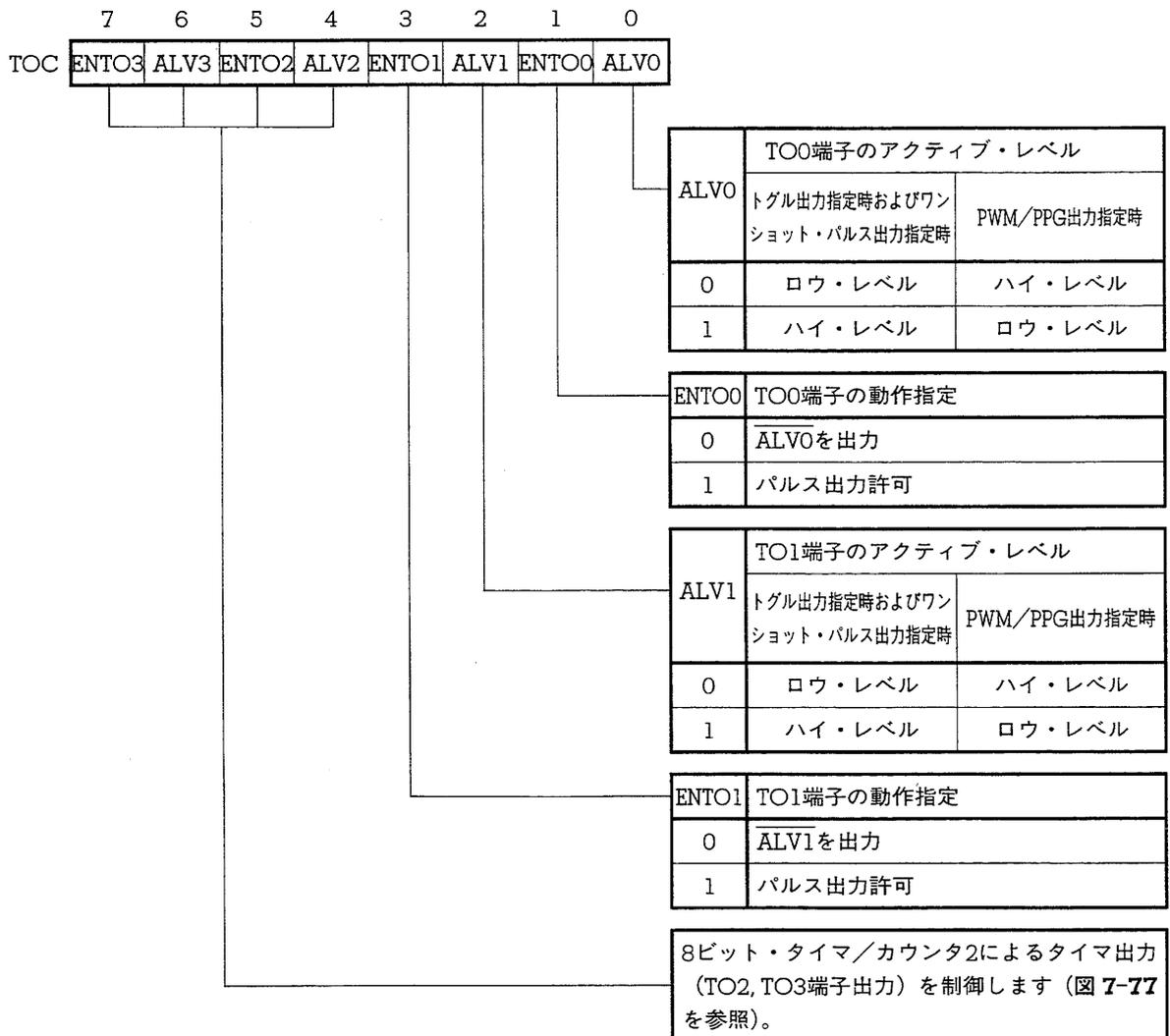
TOCレジスタは、タイマ出力のアクティブ・レベルと出力許可/禁止を制御する8ビット・レジスタです。

下位4ビットで16ビット・タイマ/カウンタによるタイマ出力 (TO0, TO1端子出力) の動作を制御します (上位4ビットは8ビット・タイマ/カウンタ2によるタイマ出力 (TO2, TO3端子出力) の動作を制御します)。

8ビット操作命令で書き込みのみ可能です。図7-5にTOCレジスタのフォーマットを示します。

RESET入力により00Hにクリアされます。

図7-5 タイマ出力コントロール・レジスタ (TOC) のフォーマット



(4) ワンショット・パルス出力制御レジスタ(OSPC)

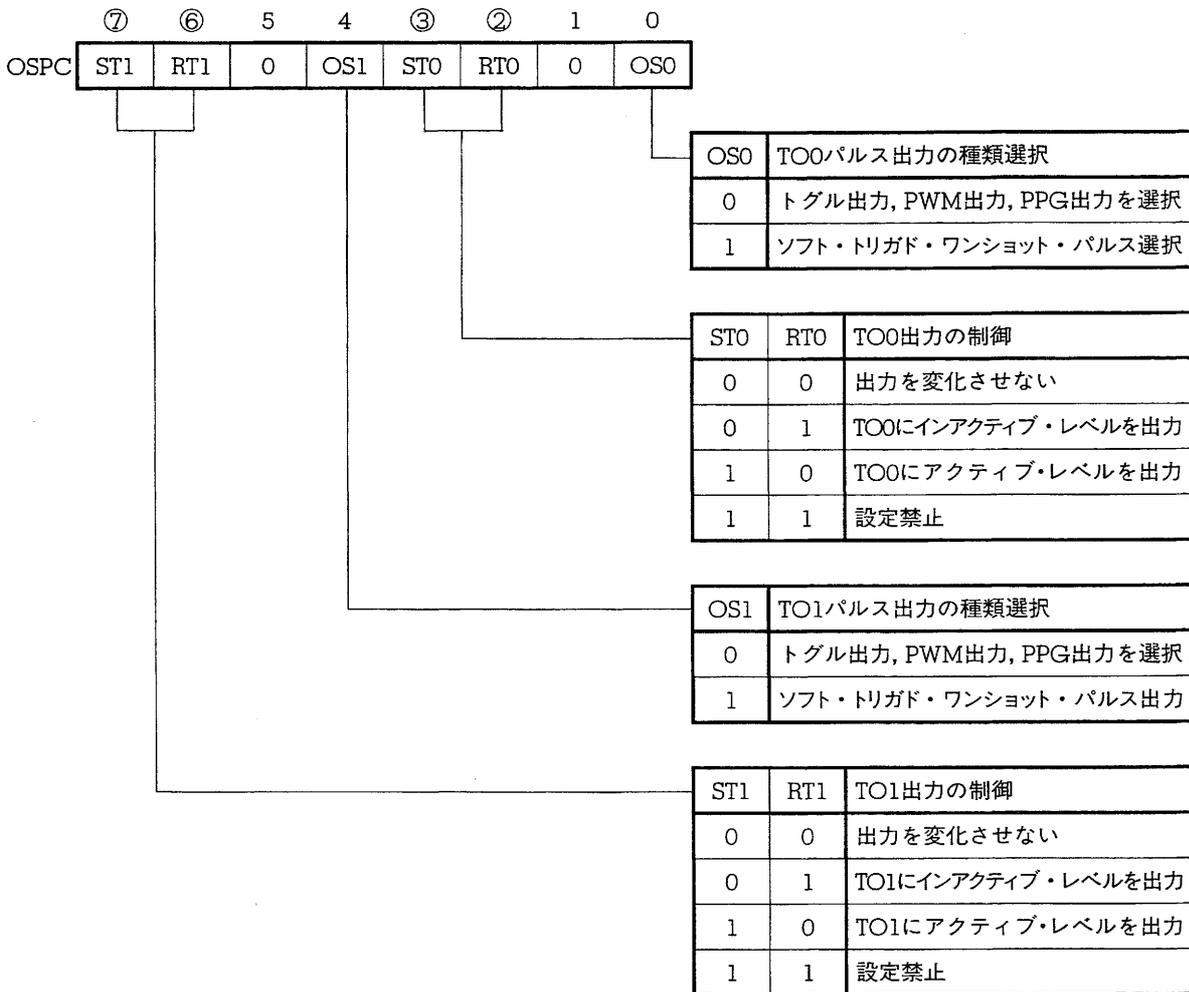
ワンショット・パルス出力制御レジスタは、ソフトウェア・トリガによるワンショット・パルス出力の禁止/許可および出力レベルなどを指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で、読み出し/書き込みが可能です。

図7-6に、ワンショット・パルス出力制御レジスタのフォーマットを示します。

RESET入力により、00Hにクリアされます。

図7-6 ワンショット・パルス出力制御レジスタのフォーマット



備考1. RTO, STO, RT1, ST1の各ビットは書き込みのみが可能で、読み出し時は“0”になります。

2. 端子からのパルス出力の禁止/許可およびアクティブ・レベルの指定は、タイマ出力制御レジスタ (TOC) で行います。

7.1.4 16ビット・タイマ0 (TMO) の動作

(1) 基本動作

16ビット・タイマ/カウンタのカウンタ動作は、 $f_{CLK}/8$ をカウンタ・クロックとしてカウンタ・アップします。

\overline{RESET} 入力により、TMOは0000Hにクリアされ、カウンタ動作は停止します。

カウンタ動作の禁止/許可は、タイマ・コントロール・レジスタ0 (TMC0) のビット3 (CEO) で制御します。CEOビットをソフトウェアによりセット(1)すると、最初のカウンタ・クロックでTMOの内容が0000Hにクリアされたのち、カウンタ・アップ動作を行います。

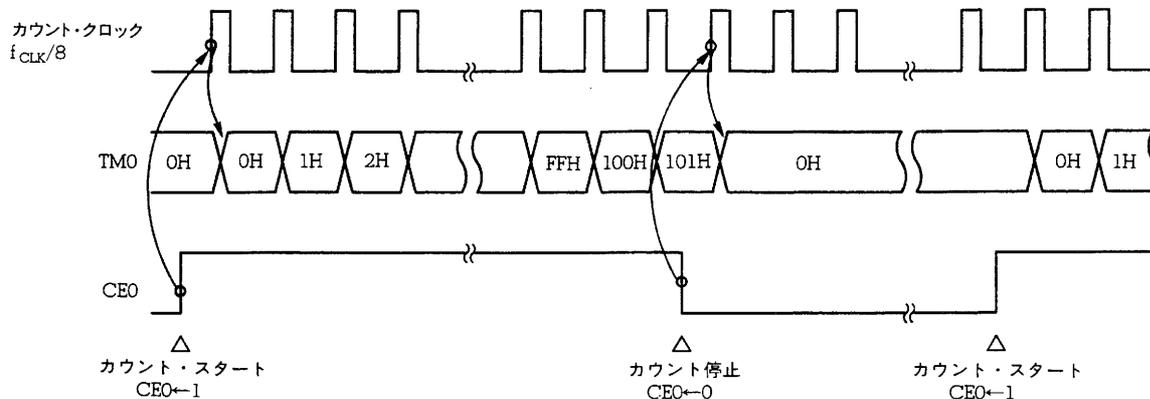
CEOビットをリセット(0)することによってTMOは次のカウンタ・クロックで0000Hにクリアされ、キャプチャ動作や一致信号の発生は停止します。

CEOビットがセット(1)されている状態でさらにCEOビットをセット(1)した場合、TMOはクリアされないでカウンタ動作を続けます。

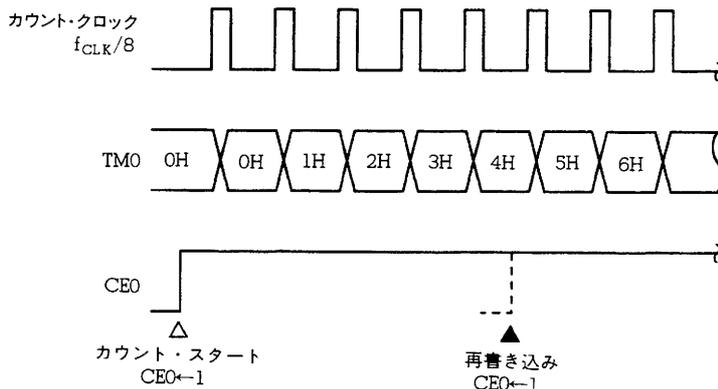
TMOがFFFFHのときにカウンタ・クロックが入力されると、TMOは0000Hになります。このとき、OVFOがセットされ、出力制御回路にオーバーフロー信号を送ります。OVFOは、ソフトウェアによってのみクリアされます。また、カウンタ動作はそのまま継続されます。

図7-7 16ビット・タイマ0(TMO)の基本動作

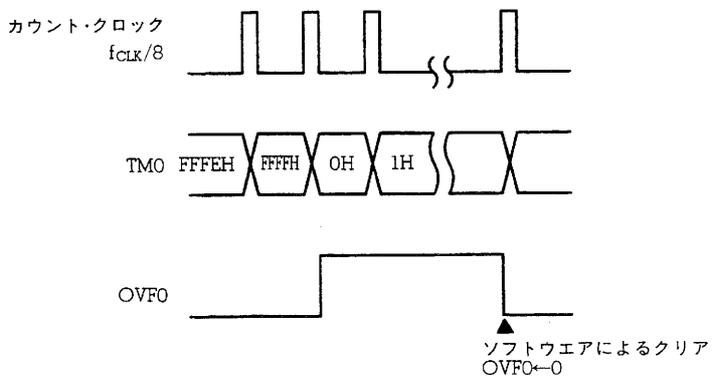
(a) カウント・スタート→カウント停止→カウント・スタートの場合



(b) カウント・スタート後に再度CEOビット“1”を書き込んだ場合



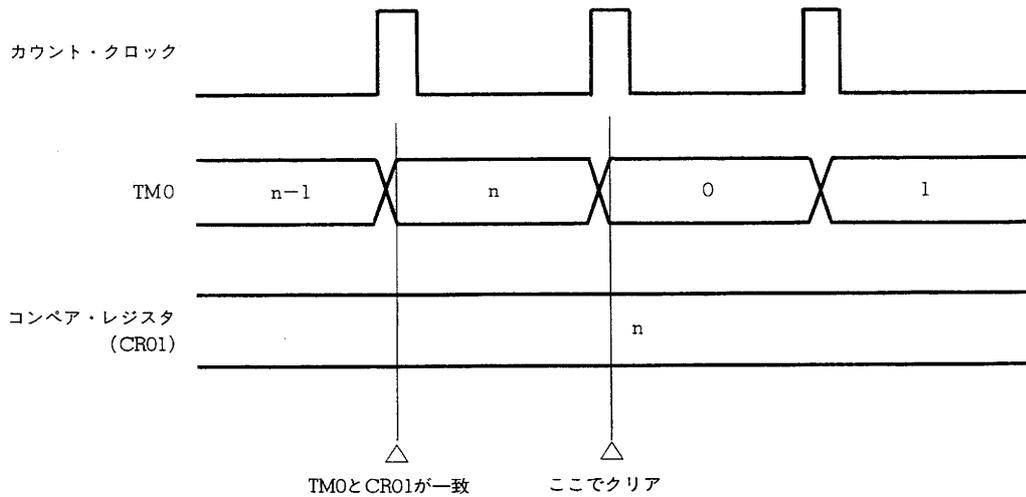
(c) TMOがFFFFHのときの動作



(2) クリア動作

16ビット・タイマ0 (TMO) は、コンペア・レジスタ (CR01) との一致後に自動的にクリアすることができます。TMOは、クリアする要因が発生すると、次のカウント・クロックで0000Hにクリアされます。したがって、クリアする要因が発生しても、次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

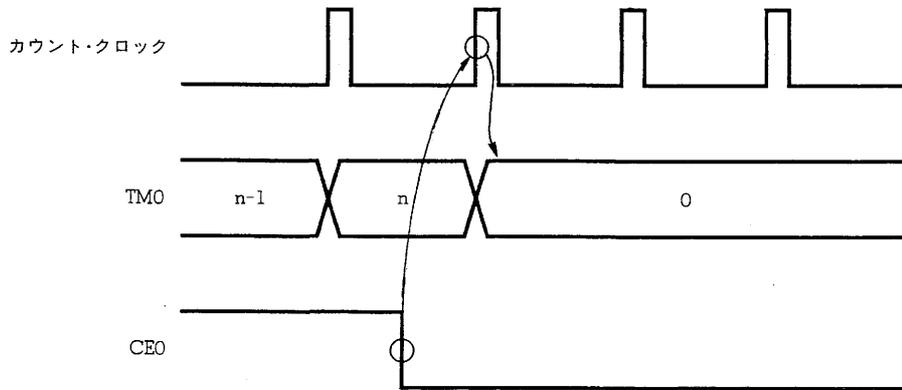
図 7-8 コンペア・レジスタ (CR01) との一致によるTMOのクリア



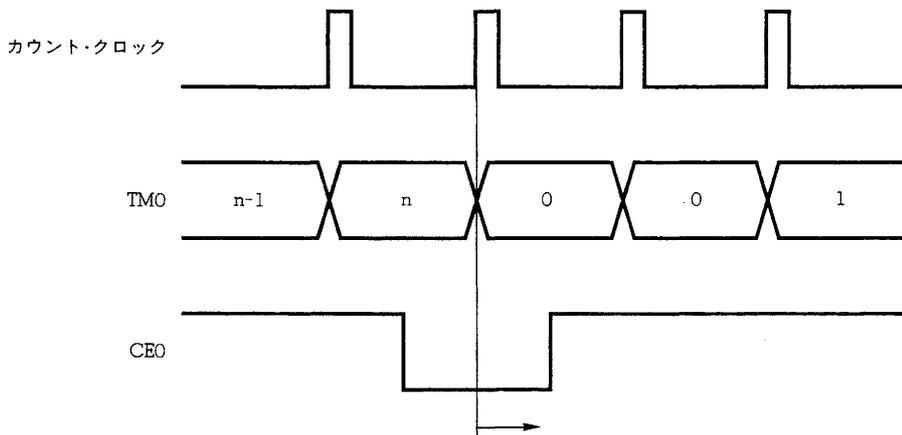
また、TMOはソフトウェアにより、タイマ・コントロール・レジスタ (TMCO) のCEOビットをリセット(0)することによってもクリアされます。クリア動作は同様に、CEOビットがリセット(0)されたあとのカウント・クロックで行われます。なお、CEOビットをリセット(0)し、TMOが0になる前(CEOビットをリセット(0)したあとの最初のカウント・クロックがくる前)にCEOビットがセット(1)されると、クリア動作によりTMOが0になる動作とカウント・スタートによる0のカウント動作が同時に行われます。

図7-9 CEOビットをリセット(0)した場合のクリア動作

(a) 基本動作

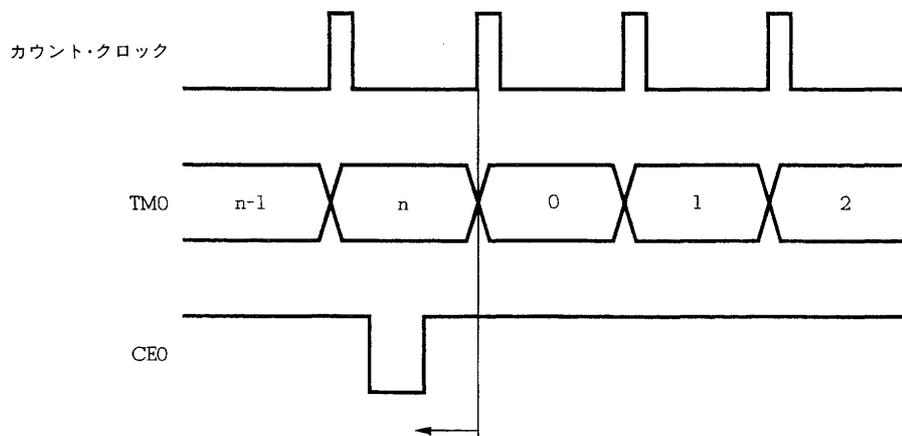


(b) クリア後のTMOが0になってからの再スタート



このカウント・クロック以降にCEOビットがセット(1)された場合、CEOビットをセット(1)したあとのカウント・クロックで0からカウント。

(c) クリア後のTMOが0になる前の再スタート



このカウント・クロック以前にCEOビットがセット(1)された場合、CEO←0によるTMOのクリア動作とCEO←1による0のカウント動作が同時に行われる。

7.1.5 コンペア・レジスタ，キャプチャ・レジスタの動作

(1) コンペア動作

16ビット・タイマ/カウンタは、コンペア・レジスタに設定された値をタイマのカウンタ値と比較するコンペア動作を行います。

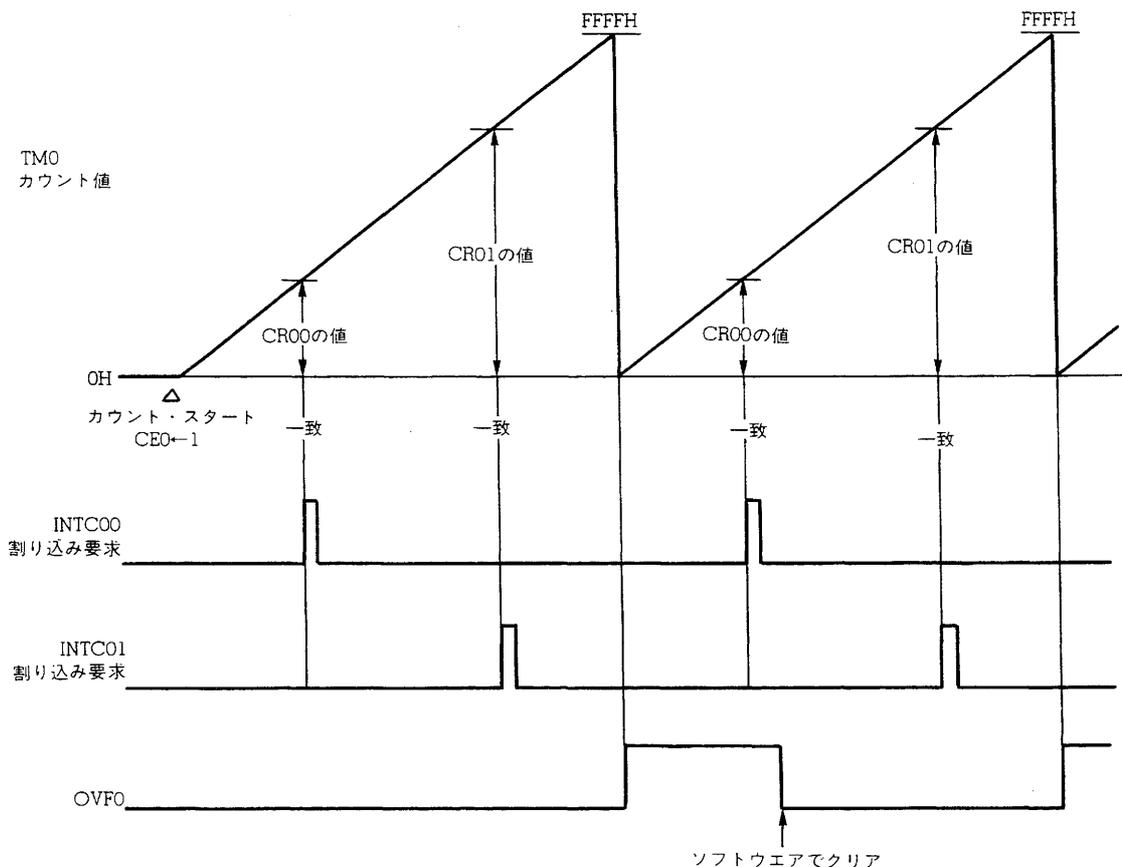
あらかじめ設定されたコンペア・レジスタ (CR00, CR01) の値に16ビット・タイマ0 (TM0) のカウンタ値がカウンタ動作によって一致すると、出力制御回路に一致信号を送ります。同時に割り込み要求 (INTC00, INTC01) を発生します。

また、CR01レジスタの値と一致後、TM0のカウンタ値をクリアすることができ、CR01レジスタに設定した値を繰り返しカウントするインターバル・タイマとして動作します。

注意 16ビット・タイマ/カウンタでコンペア動作を行うためには、コンペア動作を行わせる前に、使用するコンペア・レジスタに書き込みを行う必要があります。

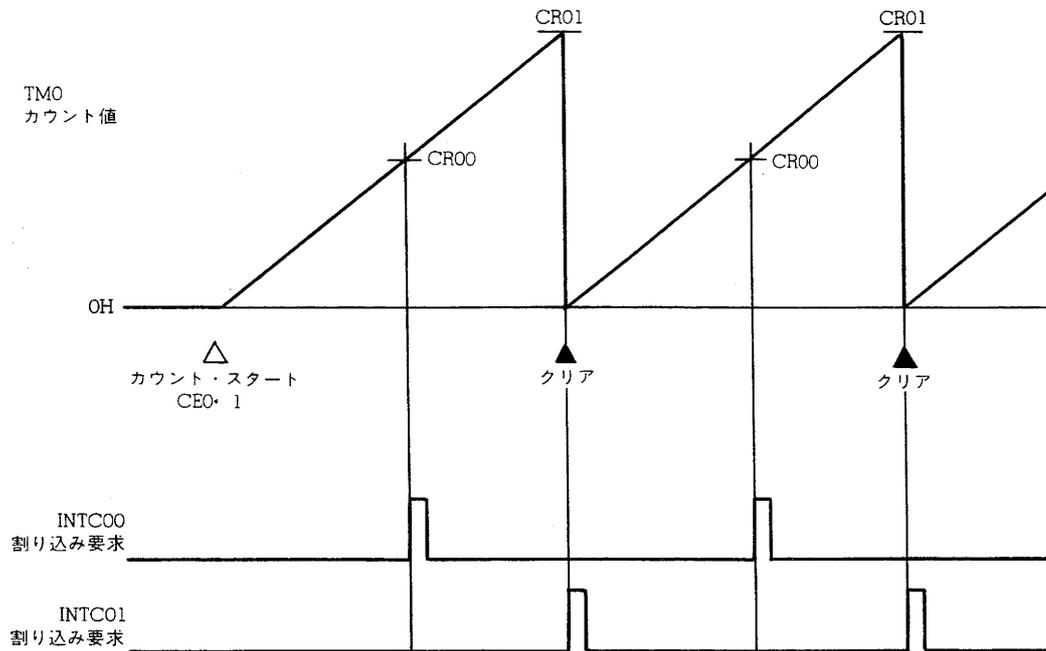
7

図 7-10 コンペア動作



備考 CLR01=1

図7-11 一致検出後、TMOのクリア



備考 CLR01=0

(2) キャプチャ動作

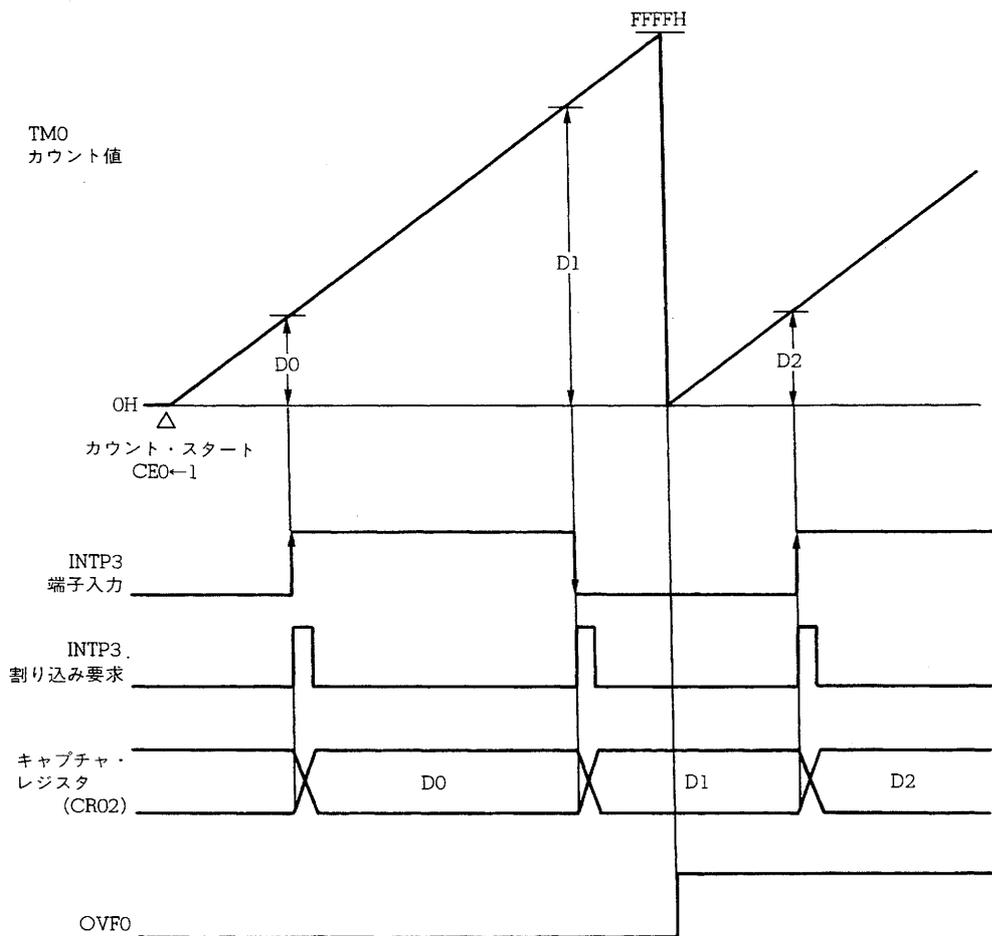
16ビット・タイマ/カウンタは、外部トリガに同期してタイマのカウンタ値をキャプチャ・レジスタに取り込み、保持するキャプチャ動作を行います。

外部トリガとして、外部割り込み要求 (INTP3) 入力端子の入力から検出された有効エッジをいいます (キャプチャ・トリガ)。そのキャプチャ・トリガに同期してカウンタ中の16ビット・タイマ (TMO) のカウンタ値をキャプチャ・レジスタ (CR02) に取り込み、保持します。次のキャプチャ・トリガが発生するまでCR02レジスタの内容は保持されます。

キャプチャ・トリガの有効エッジは外部割り込みモード・レジスタ1 (INTM1) により設定します。立ち上がり、立ち下がり両エッジがキャプチャ・トリガとなるように設定すれば、外部からの入力パルス幅を測定することができます。また、片側エッジでキャプチャ・トリガが発生させた場合、入力パルスの周期を測定することができます。

INTM1レジスタの詳しいフォーマットは、第13章の図 13-2 を参照してください。

図 7-12 キャプチャ動作



備考 Dn : TMOのカウンタ値(n=0, 1, 2, ...)

CLR01=0

注意 インサーキット・エミュレータではINTP3端子のデジタル・ノイズ除去を正常に行うことができません。キャプチャ機能を使用している場合、誤検出したエッジによって次のように動作します。

- 誤検出したエッジでは、キャプチャ動作を行いません。しかし、誤検出したエッジには、エッジによる割り込みの要求が発生します。

したがって、誤検出したエッジによるINTP3割り込みであるか、正常なINTP3割り込みであるかをソフトウェアで判定してからキャプチャ値を使用してください。

エッジの誤検出についての詳細は、第13章 エッジ検出機能 13.4 注意事項を参照してください。

7.1.6 出力制御回路の基本動作

出力制御回路は、オーバフロー信号または、コンペア・レジスタからの一致信号によって、タイマ出力(TO0,TO1)のレベルを制御します。出力制御回路の動作は、タイマ出力コントロール・レジスタ(TOC)とキャプチャ/コンペア・コントロール・レジスタ0(CRC0)とワンショット・パルス出力制御レジスタ(OSPC)によって決定されます(表7-5参照)。

なお、タイマ出力(TO0, TO1)信号を端子へ出力する場合は、PMC3レジスタで該当する端子がコントロール・モードになっている必要があります。

表 7-5 タイマ出力 (TO0, TO1) の動作

TOC				OSPC		CRC0			TO1	TO0
ENTO1	ALV1	ENTO0	ALV0	OS1	OSO	MOD1	MOD0	CLR01		
0	0/1	0	0/1	×	×	×	×	×	ハイ/ロウ・レベル固定	ハイ/ロウ・レベル固定
0	0/1	1	0/1	×	0	0	0	×	ハイ/ロウ・レベル固定	トグル出力(ロウ/ハイ・アクティブ)
0	0/1	1	0/1	×	0	0	1	0	ハイ/ロウ・レベル固定	PWM出力(ハイ/ロウ・アクティブ)
0	0/1	1	0/1	×	0	1	0	0	ハイ/ロウ・レベル固定	PWM出力(ハイ/ロウ・アクティブ)
0	0/1	1	0/1	×	0	1	1	1	ハイ/ロウ・レベル固定	PPG出力(ハイ/ロウ・アクティブ)
0	0/1	1	0/1	×	1	×	×	×	ハイ/ロウ・レベル固定	ワンショット・パルス出力(ロウ/ハイ・アクティブ)
1	0/1	0	0/1	0	×	0	×	×	トグル出力(ロウ/ハイ・アクティブ)	ハイ/ロウ・レベル固定
1	0/1	0	0/1	0	×	1	0	0	PWM出力(ハイ/ロウ・アクティブ)	ハイ/ロウ・レベル固定
1	0/1	0	0/1	0	×	1	1	×	トグル出力(ロウ/ハイ・アクティブ)	ハイ/ロウ・レベル固定
1	0/1	0	0/1	1	×	×	×	×	ワンショット・パルス出力(ロウ/ハイ・アクティブ)	ハイ/ロウ・レベル固定
1	0/1	1	0/1	0	0	0	0	×	トグル出力(ロウ/ハイ・アクティブ)	トグル出力(ロウ/ハイ・アクティブ)
1	0/1	1	0/1	0	0	0	1	0	トグル出力(ロウ/ハイ・アクティブ)	PWM出力(ハイ/ロウ・アクティブ)
1	0/1	1	0/1	0	0	1	0	0	PWM出力(ハイ/ロウ・アクティブ)	PWM出力(ハイ/ロウ・アクティブ)
1	0/1	1	0/1	0	0	1	1	1	トグル出力(ロウ/ハイ・アクティブ)	PPG出力(ハイ/ロウ・アクティブ)
1	0/1	1	0/1	0	1	0	×	×	トグル出力(ロウ/ハイ・アクティブ)	ワンショット・パルス出力(ロウ/ハイ・アクティブ)
1	0/1	1	0/1	0	1	1	0	0	PWM出力(ハイ/ロウ・アクティブ)	ワンショット・パルス出力(ロウ/ハイ・アクティブ)
1	0/1	1	0/1	0	1	1	1	1	トグル出力(ロウ/ハイ・アクティブ)	ワンショット・パルス出力(ロウ/ハイ・アクティブ)
1	0/1	1	0/1	1	0	0	0	×	ワンショット・パルス出力(ロウ/ハイ・アクティブ)	トグル出力(ロウ/ハイ・アクティブ)
1	0/1	1	0/1	1	0	0	1	0	ワンショット・パルス出力(ロウ/ハイ・アクティブ)	PWM出力(ハイ/ロウ・アクティブ)
1	0/1	1	0/1	1	0	1	0	0	ワンショット・パルス出力(ロウ/ハイ・アクティブ)	PWM出力(ハイ/ロウ・アクティブ)
1	0/1	1	0/1	1	0	1	1	1	ワンショット・パルス出力(ロウ/ハイ・アクティブ)	PPG出力(ハイ/ロウ・アクティブ)
1	0/1	1	0/1	1	1	×	×	×	ワンショット・パルス出力(ロウ/ハイ・アクティブ)	ワンショット・パルス出力(ロウ/ハイ・アクティブ)

備考1. ALVn(n=0, 1)の“/”は、TON(n=0, 1)の欄の“/”の左右にそれぞれ対応しています。

2. ×印は、0でも1でも動作が同じ場合を示しますが、一部禁止されている組み合わせも含まれています (図 7-4 参照)。
3. 本表にない組み合わせは、その組み合わせでの使用を禁止しています。

(1) 基本動作

タイマ出力コントロール・レジスタ (TOC) のENTOn (n=0,1) をセット(1)することにより、キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のMOD0, MOD1, CLR01とワンショット・パルス出力制御レジスタ (OSPC)の設定に従ったタイミングでタイマ出力 (TO0, TO1) を変化させることができます。

また、ENTOn (n=0,1) をクリア(0)することにより、タイマ出力 (TO0, TO1) を固定レベルにします。固定されるレベルは、タイマ出力コントロール・レジスタ (TOC) のALVn (n=0,1) によって決定されます。ALVn (n=0,1) が0のときはハイ・レベルに、ALVn (n=0,1) が1のときはロウ・レベルになります。

(2) トグル出力

トグル出力は、コンペア・レジスタ (CR00, CR01) の値が16ビット・タイマ0 (TMO) の値と一致するたびに出力レベルを反転させる動作モードです。TO0はCR00とTMOの一致によって出力レベルが反転し、TO1はCR01とTMOの一致によって出力レベルが反転します。

なお、TMC0レジスタのCEOビットをリセット(0)して、16ビット・タイマ/カウンタ0を停止させると、停止時の出力レベルを保持します。

図 7-13 トグル出力の動作

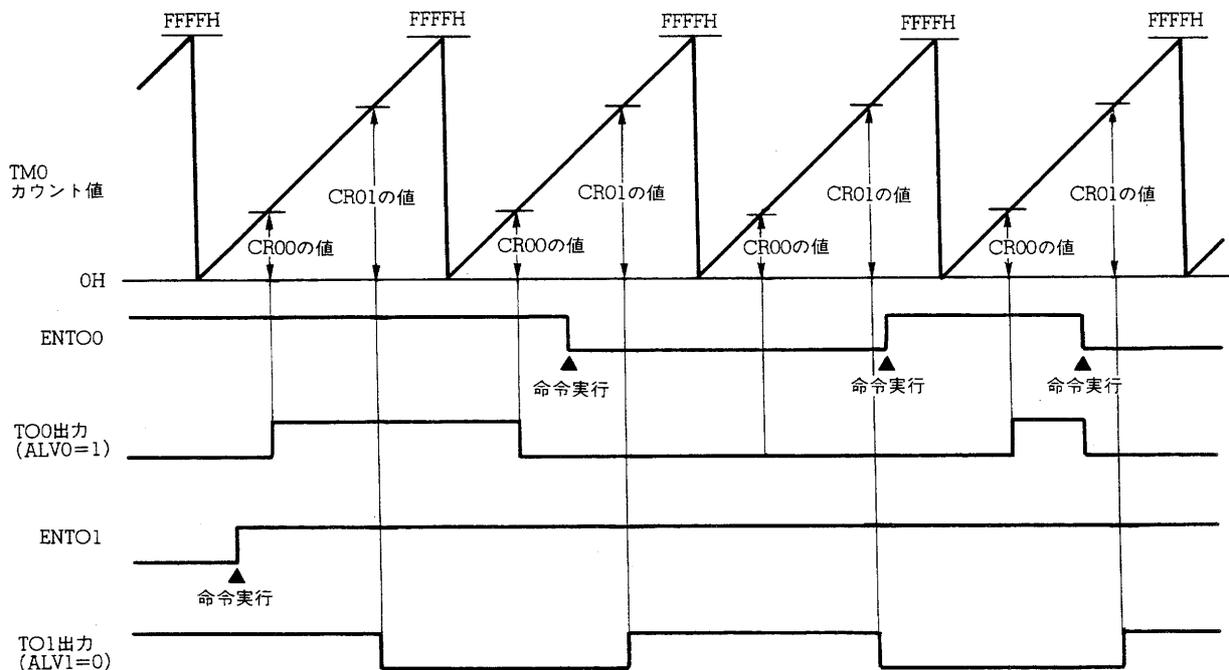


表 7-6 TO0, TO1のトグル出力 ($f_{\text{CLK}}=6 \text{ MHz}$)

カウント・クロック	最小パルス幅	最大インターバル時間
$f_{\text{CLK}}/8$	$1.3 \mu\text{s}$	87.4 ms

7.1.7 PWM出力

16ビット・タイマ0 (TM0) がフルカウントする期間を1周期とするPWM信号を出力するモードです。TO0のパルス幅は、CRO0の値によって決定され、TO1のパルス幅は、CRO1の値によって決定されます。本機能を使用する場合は、キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のCLR01ビットを0にする必要があります。

パルス周期とパルス幅は、次のようになります。

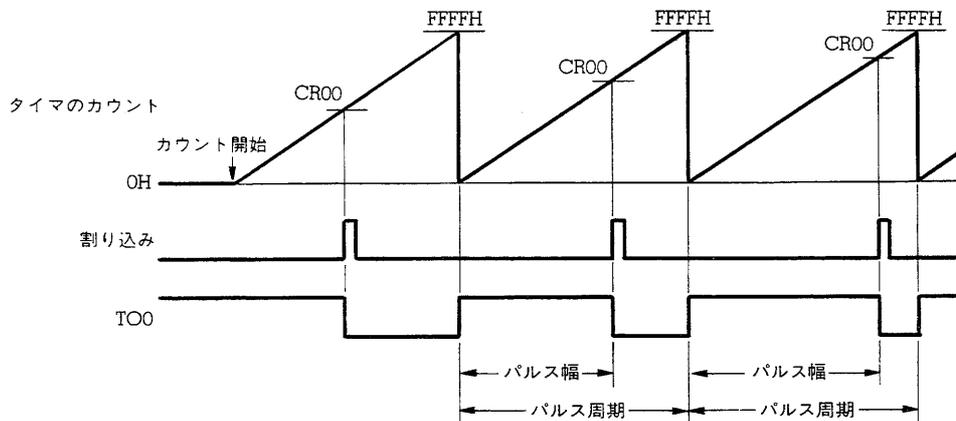
- PWM周期 = $524288 / f_{CLK}$
- PWMパルス幅 = (コンペア・レジスタの設定値注) $\times 8 + 2$ / $f_{CLK} \approx$ (コンペア・レジスタの設定値) $\times 8 / f_{CLK}$

注 コンペア・レジスタには0は設定できません。

$$\text{デューティ} = \frac{\text{PWMパルス幅}}{\text{PWM周期}} = \frac{(\text{コンペア・レジスタの設定値} \times 8 + 2)}{65536 \times 8} \approx \frac{\text{コンペア・レジスタの設定値}}{65536}$$

注意 PWM出力では、パルス幅が近似式に比べてアクティブ・レベルで、 f_{CLK} の2クロック分長く、インアクティブ・レベルが f_{CLK} の2クロック分短くなります。高精度の出力が必要な場合は、この点について考慮のうえご使用ください。

図 7-14 PWMパルス出力



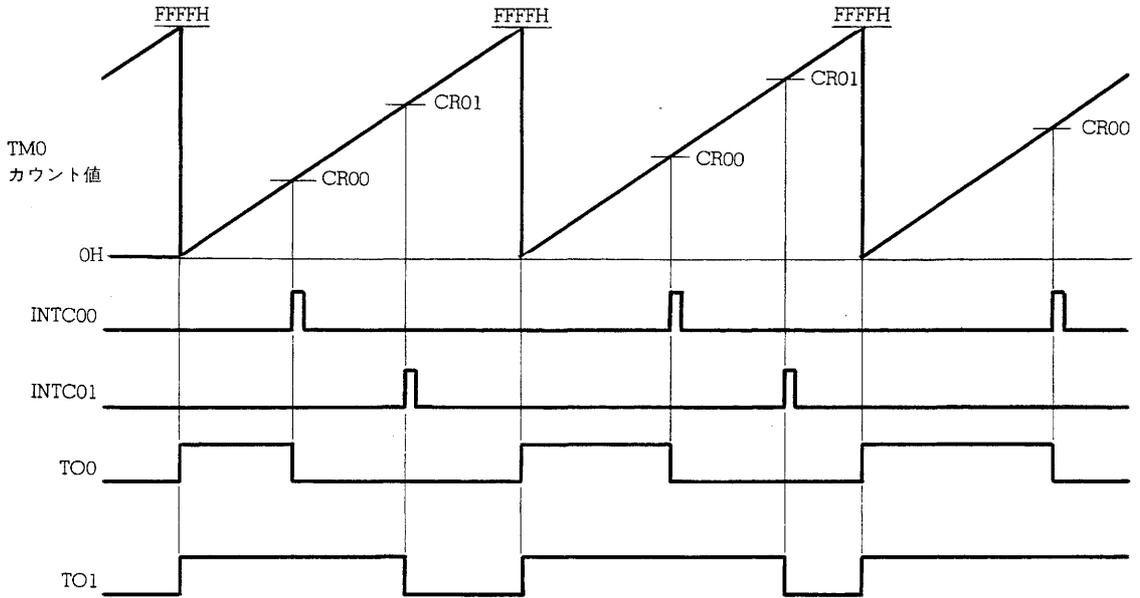
備考 ALV0=0

表 7-7 TO0, TO1のPWM周期($f_{CLK}=6\text{ MHz}$)

カウント・クロック	最小パルス幅	周期	PWM周波数
$f_{CLK}/8$	1.3 μs	87.4 ms	11.4 Hz

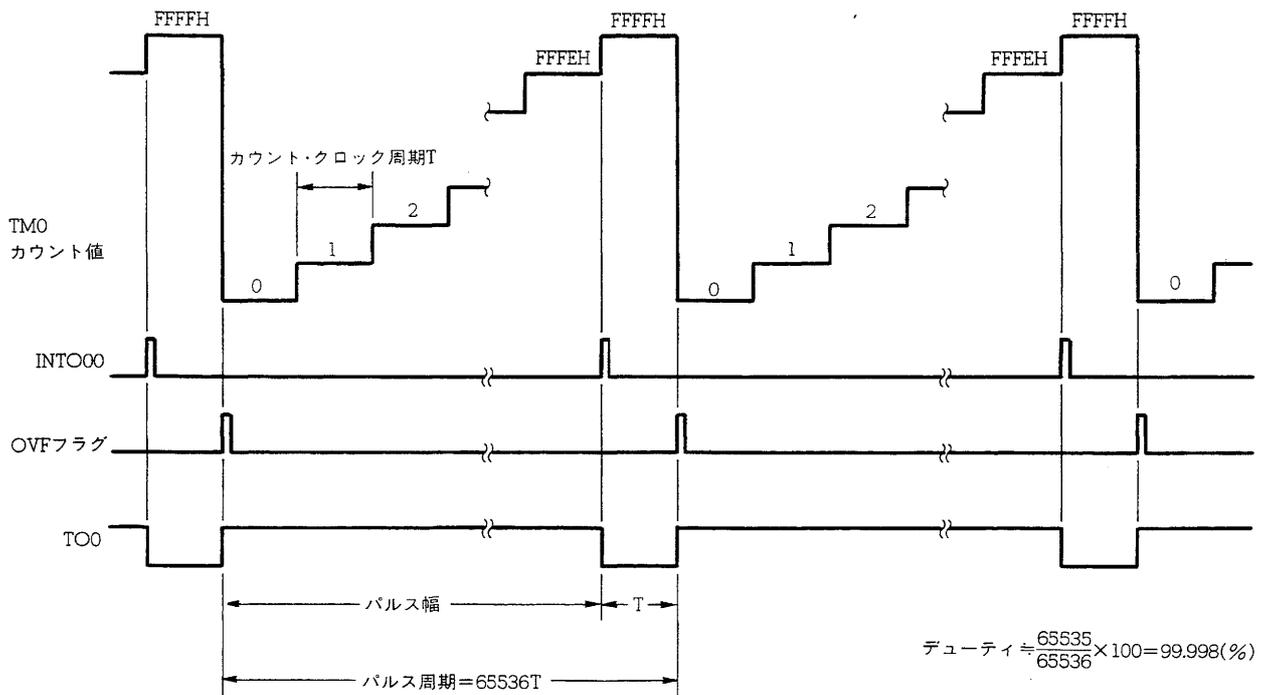
図7-15は、2チャンネルのPWM出力の例です。また、図7-16は、コンペア・レジスタにFFFFHを設定した場合の動作です。

図7-15 TMOを用いたPWM出力例



備考 ALV0=0, ALV1=0

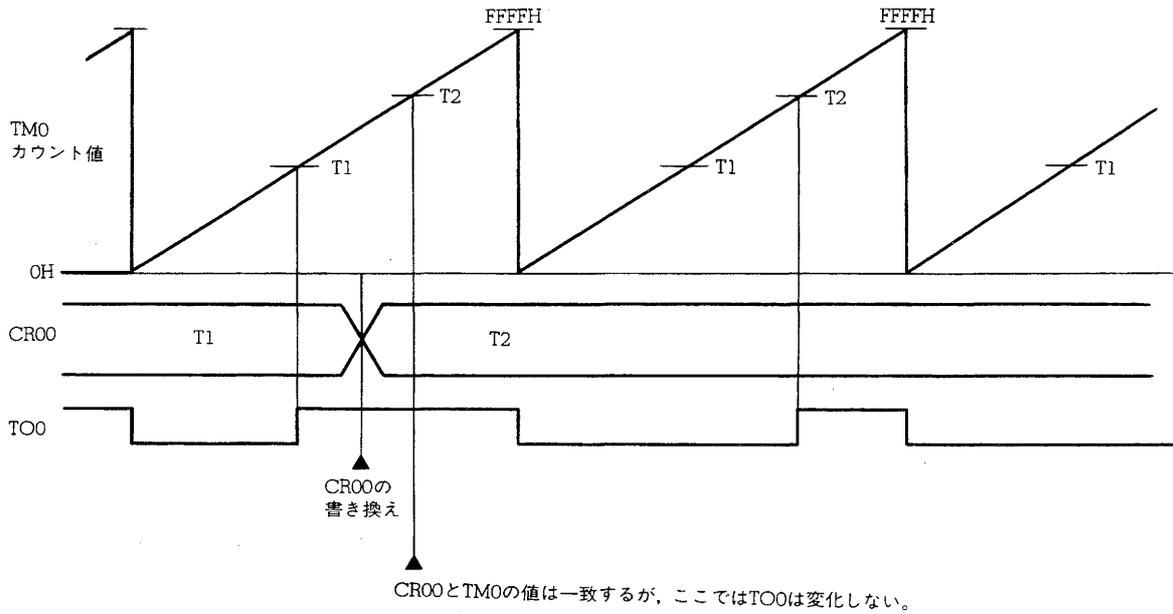
図7-16 CRO0=FFFFHのときのPWM出力例



備考 ALV0=0

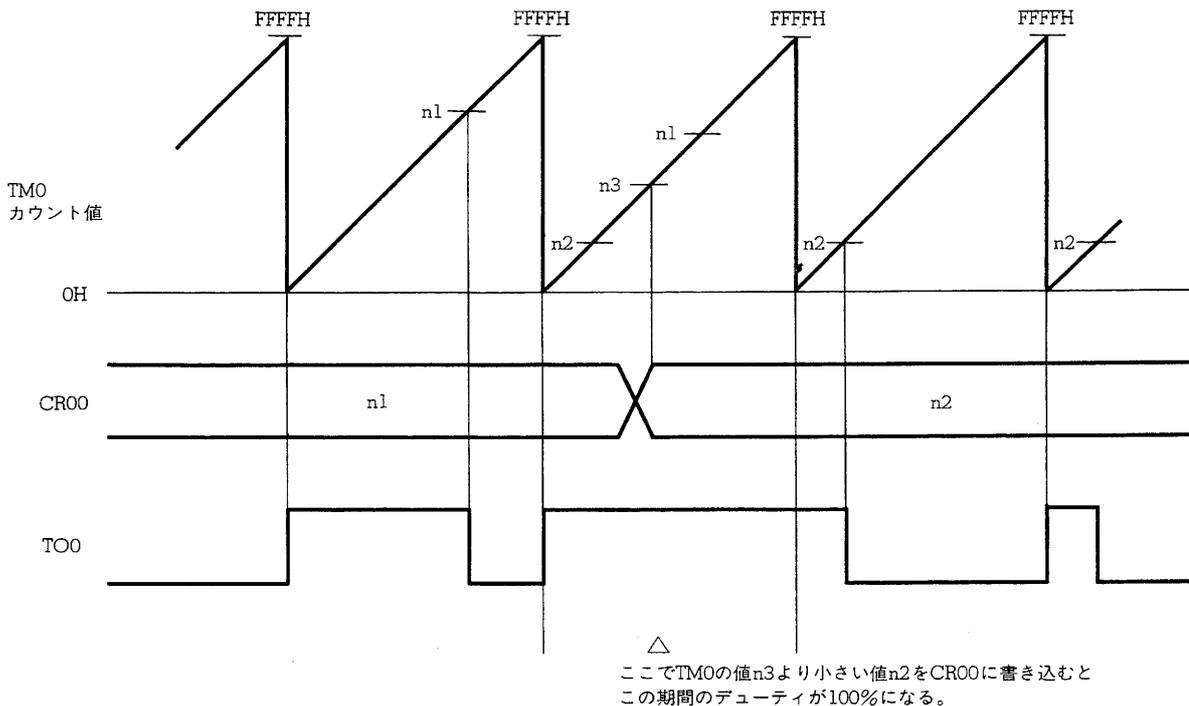
なお、PWM出力の1周期の期間中に、二度以上コンペア・レジスタ (CR00, CR01) の値が16ビット・タイマ0 (TM0) の値と一致しても、タイマ出力 (TO0, TO1) の出力レベルは変化しません。

図7-17 コンペア・レジスタの書き換え例



注意 コンペア・レジスタ (CRO0, CRO1) の値を16ビット・タイマO (TMO) より小さい値に設定すると、デューティ100%のPWM信号が出力されてしまいます。CRO0, CRO1の書き換えはTMOと書き換えを行うコンペア・レジスタ (CRO0, CRO1) との一致による割り込みで行ってください。

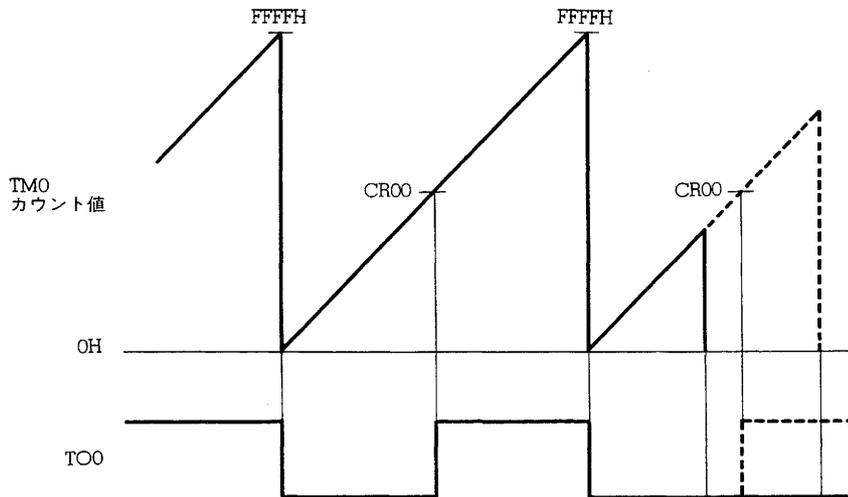
図7-18 PWM出力時にデューティが100%になる例



備考 ALVO=0

また、PWM信号出力中に、TMC0のCEOビットをリセット(0)して16ビット・タイマ/カウンタ0を停止させると、停止時の出力レベルをそのまま保持します。

図7-19 PWM信号出力中に16ビット・タイマ/カウンタ0を停止した場合



備考 ALV0=1

注意 タイマ出力禁止時 ($ENTOn=0$, $n=0, 1$) の TON ($n=0, 1$) 端子の出力レベルは、 $ALVn$ ($n=0, 1$) に設定した値の反転値となります。したがって、PWM出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

7.1.8 PPG出力

コンペア・レジスタCR01の値で決まる時間を1周期とし、コンペア・レジスタCR00の値で決まる時間をパルス幅とする矩形波を出力する機能です。PWM出力のPWM周期を可変にしたものです。この出力は、TO0からのみ出力することができます。

この機能を使用する場合は、キャプチャ/コンペア・コントロール・レジスタ(CRC0)のCLR01ビットを1にする必要があります。

パルス周期とパルス幅は、次のようになります。

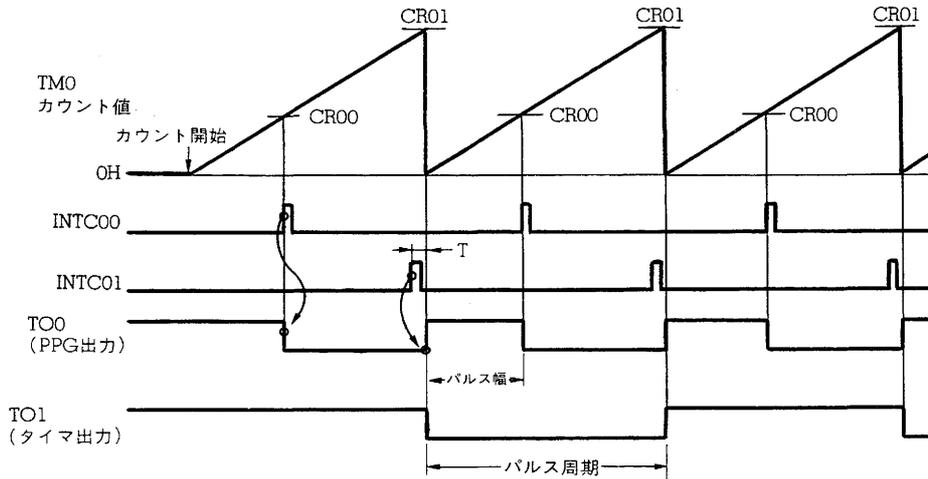
- ・ PPG周期 = (コンペア・レジスタCR01の設定値+1) × 8 / f_{CLK}
- ・ PPGパルス幅 = ((コンペア・レジスタCR00の設定値) × 8 + 2) / f_{CLK} ≐ CR00の設定値 × 8 / f_{CLK}
ただし、CR00 ≤ CR01

$$\cdot \text{デューティ} = \frac{\text{PPGパルス幅}}{\text{PPG周期}} = \frac{\text{CR00の設定値} \times 8 + 2}{(\text{CR01の設定値} + 1) \times 8} \doteq \frac{\text{CR00の設定値}}{\text{CR01の設定値} + 1}$$

注意 PPG出力では、パルス幅が近似式に比べてアクティブ・レベルで、f_{CLK}の2クロック分長く、インアクティブ・レベルがf_{CLK}の2クロック分短くなります。高精度の出力が必要な場合や、PPGパルス周期が短い場合には、この点について考慮のうえご使用ください。

図7-20は、16ビット・タイマ0(TM0)を用いたPPG出力の例です。また、図7-21はCR00=CR01に設定した場合の、図7-22は、CR00=0000Hに設定した場合の例です。

図7-20 TM0を用いたPPG出力例



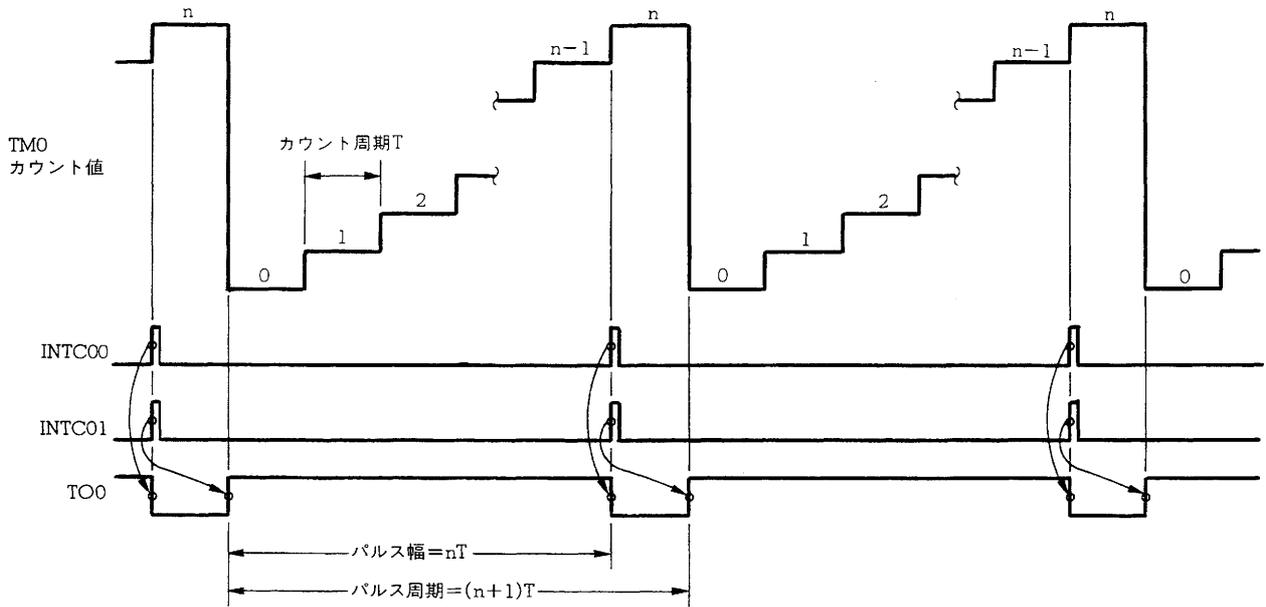
備考 ALV0=0, ALV1=0

表7-8 TO0のPPG出力($f_{CLK}=6\text{ MHz}$)

カウント・クロック	最小パルス注	繰り返し周期	PPG周波数
$f_{CLK}/8$	$1.3\ \mu\text{s}$	$2.6\ \mu\text{s}-87.4\ \text{ms}$	385 kHz-11.4 Hz

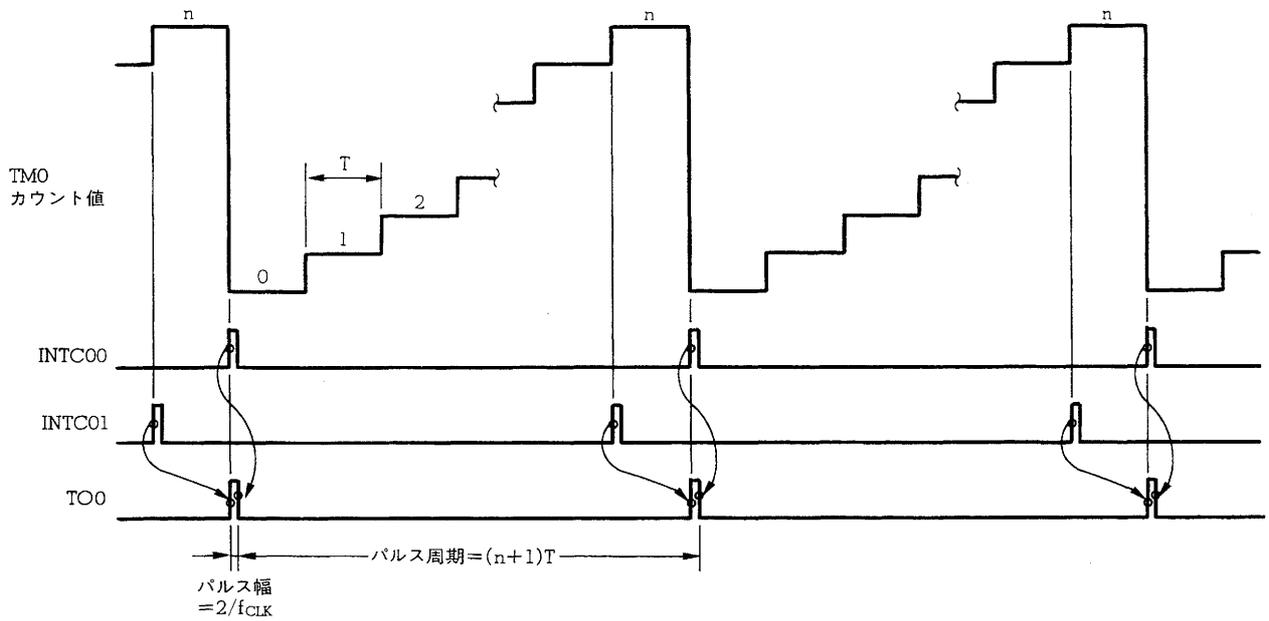
注 CR00=0のときを除く

図 7-21 CR00=CR01のときのPPG出力例



備考 ALV0=0

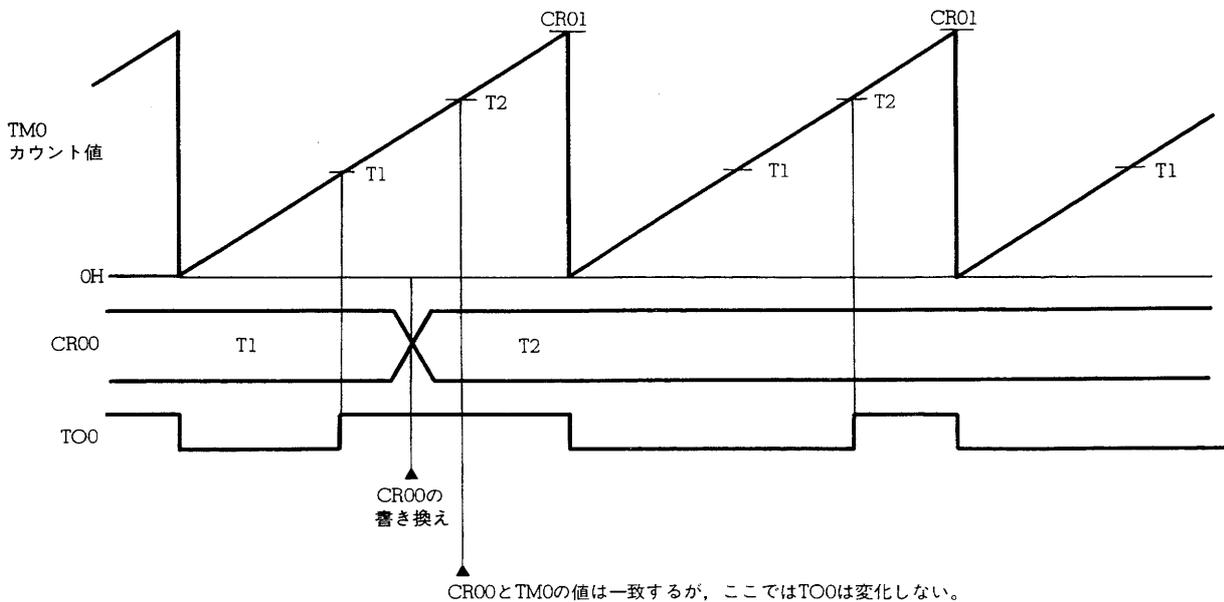
図 7-22 CR00=0000HのときのPPG出力例



備考 ALV0=0

なお、PPG出力の1周期の期間中に二度以上コンペア・レジスタ（CR00, CR01）の値が16ビット・タイマ0（TMO）の値と一致しても、タイマ出力（TO0, TO1）の出力レベルは変化しません。

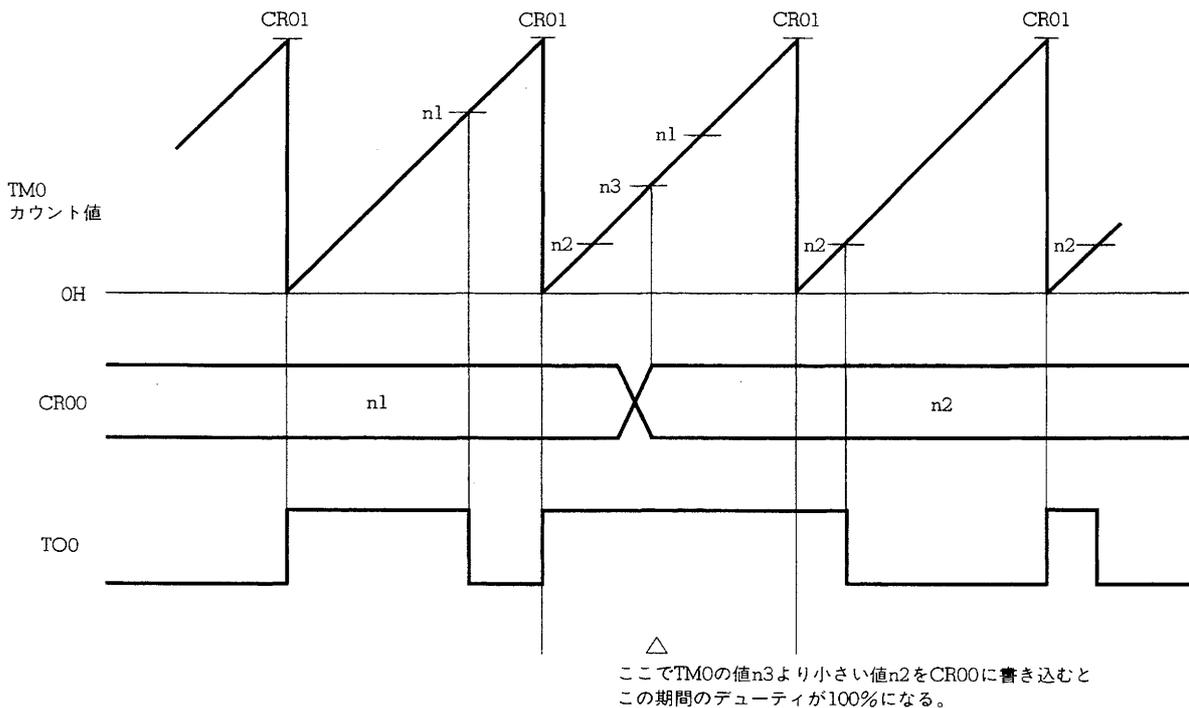
図 7-23 コンペア・レジスタの書き換え例



備考 ALVO=1

注意1. コンペア・レジスタ (CRO0) と16ビット・タイマ0 (TMO) が一致するより前にCRO0にTMO以下の値を書き込むと、そのPPG周期のデューティが100%になってしまいます。CRO0の書き換えは、TMOとCRO0との一致による割り込みで行うようにするなどしてください。

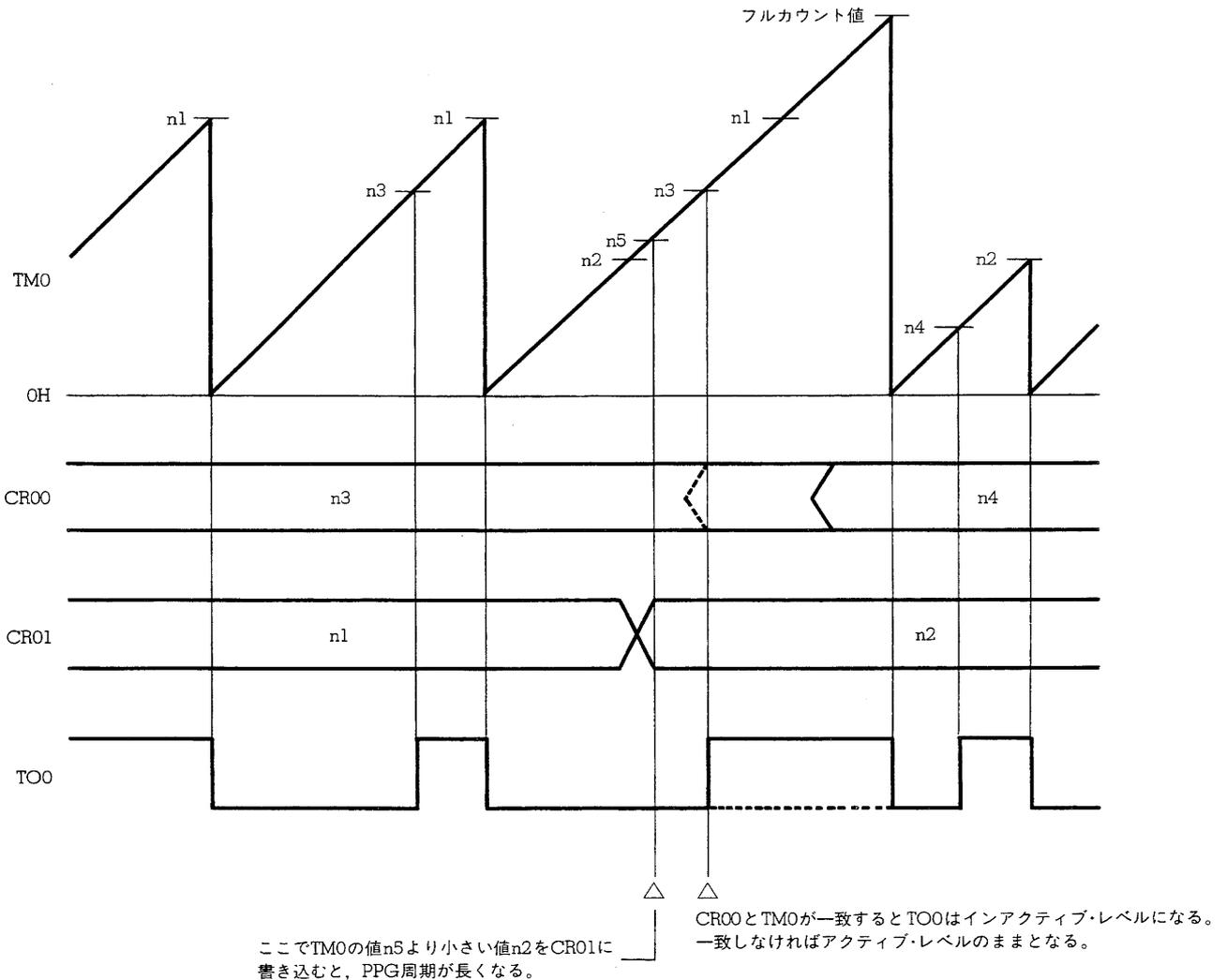
図7-24 PPG出力時にデューティが100%になる例



備考 ALVO=0

注意2. コンペアレジスタ (CRO1) を現在の値より小さい値に変更する場合に、CRO1の値を16ビット・タイマ0 (TMO) の値より小さくすると、そのときのPPG周期がTMOがフルカウントする時間にまで長くなってしまいます。このときの出力レベルは、コンペアレジスタ (CRO0) とTMOが一致したあとにCRO1を書き換えた場合は、TMOがオーバーフローして0になるまでインアクティブレベルとなり、その後、正常なPPG出力に戻ります。CRO0とTMOが一致する前にCRO1を書き換えた場合は、CRO0とTMOが一致するまでアクティブレベルを出力します。TMOがオーバーフローし、0になる前にCRO0とTMOが一致した場合は、その時点でインアクティブレベルを出力します。TMOがオーバーフローし、0になった時点でアクティブレベルを出力し、正常なPPG出力に戻ります。CRO1の書き換えは、TMOとCRO1との一致割り込みで行うようにするなどしてください。

図 7-25 PPG出力の周期が長くなる例

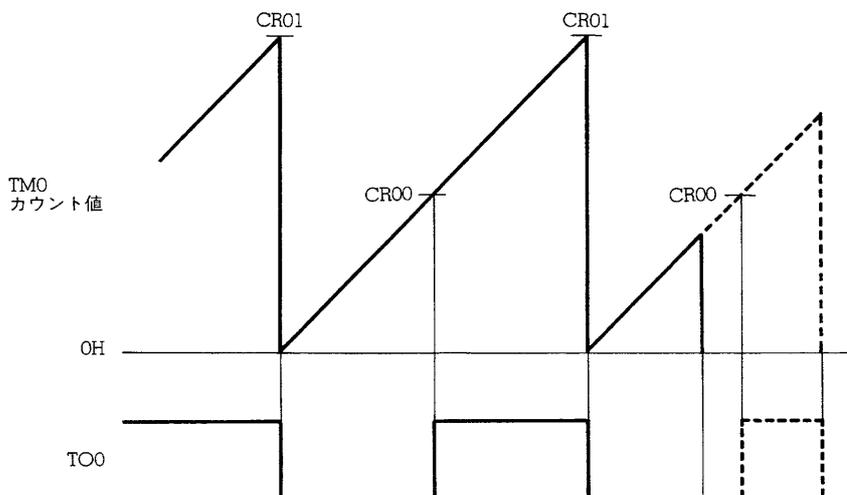


備考 ALVO=1

注意3. 割り込みの受け付けなどにかかる時間に対して、十分な時間がPPG周期にないとき(PPG周期が極端に短いとき)は、注意1, 2で示した方法では対策がとれません。ほかの方法(すべての割り込みをマスクして、割り込み要求フラグをソフトウェアでポーリングするなど)を考えてください。

また、PPG信号出力中に、TMC0のCEOビットをリセット(0)して16ビット・タイマ/カウンタ0を停止させると、停止時の出力レベルとは無関係に、アクティブ・レベルを出力します。

図7-26 PPG信号出力中に16ビット・タイマ/カウンタ0を停止した場合



注意 タイマ出力禁止時 ($ENTOn=0, n=0, 1$) の $TON (n=0, 1)$ 端子の出力レベルは、 $ALVn (n=0, 1)$ に設定した値の反転値となります。したがって、PPG出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

7.1.9 ソフト・トリガド・ワンショット・パルス出力

ソフト・トリガド・ワンショット・パルス出力は、ワンショット・パルスをソフトウェアにより出力するモードです。

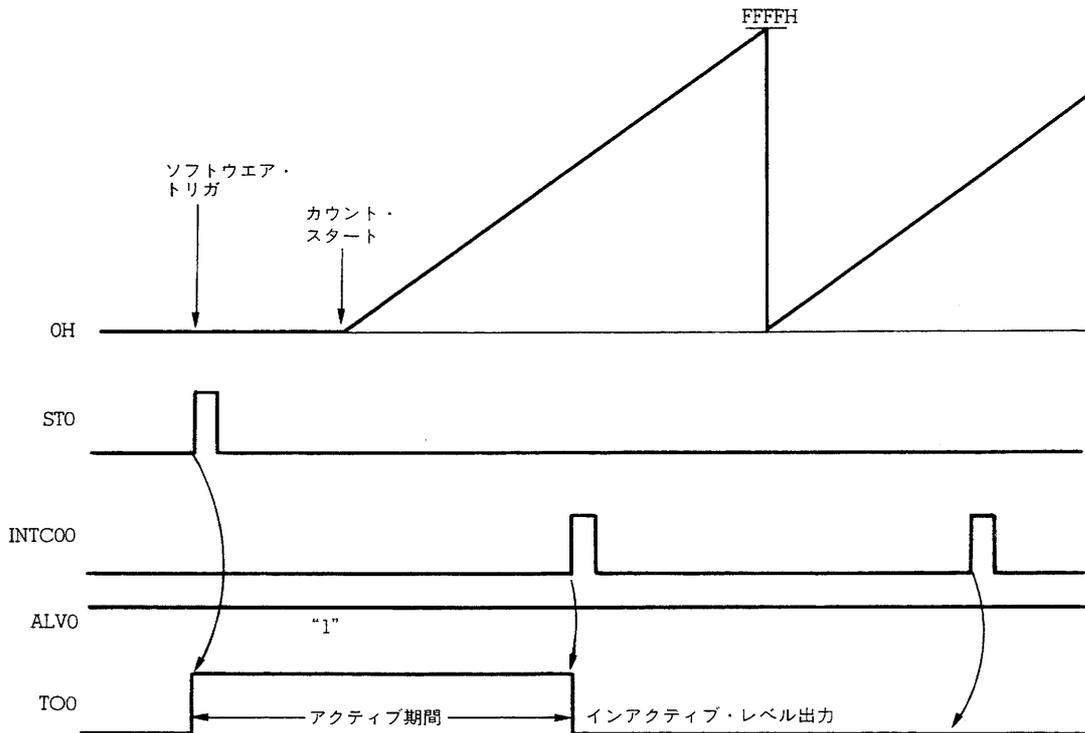
ワンショット・パルス出力制御レジスタ (OSPC) のSTn (n=0, 1) をセット(1)することにより、TON (n=0, 1) はアクティブ・レベルになります。その後、TMOの値とCROn (n=0, 1) の値が一致するまでTONはアクティブ・レベルを保持し、TMOとCROnの値が一致すると、TONはインアクティブ・レベルに変化します。その後、再びSTnビットをセットするまでTONはインアクティブ・レベルを保持します。また、RTn (n=0, 1) ビットをセット(1)することによってもTONをインアクティブ・レベルにすることができ、同様に再びSTnビットをセットするまでTONはインアクティブ・レベルを保持します。

TO0, TO1に対して独立に制御することができます。

図7-27は、ソフト・トリガド・ワンショット・パルス出力の例です。

なお、TMC0レジスタのCEOビットをリセット(0)して、16ビット・タイマ/カウンタ0を停止させると、停止時のレベルを保持します。

図7-27 ソフト・トリガド・ワンショット・パルス出力例



注意 STnとRTnに同時に“1”を書き込まないでください。

7.1.10 使用例

(1) インターバル・タイマとしての動作(1)

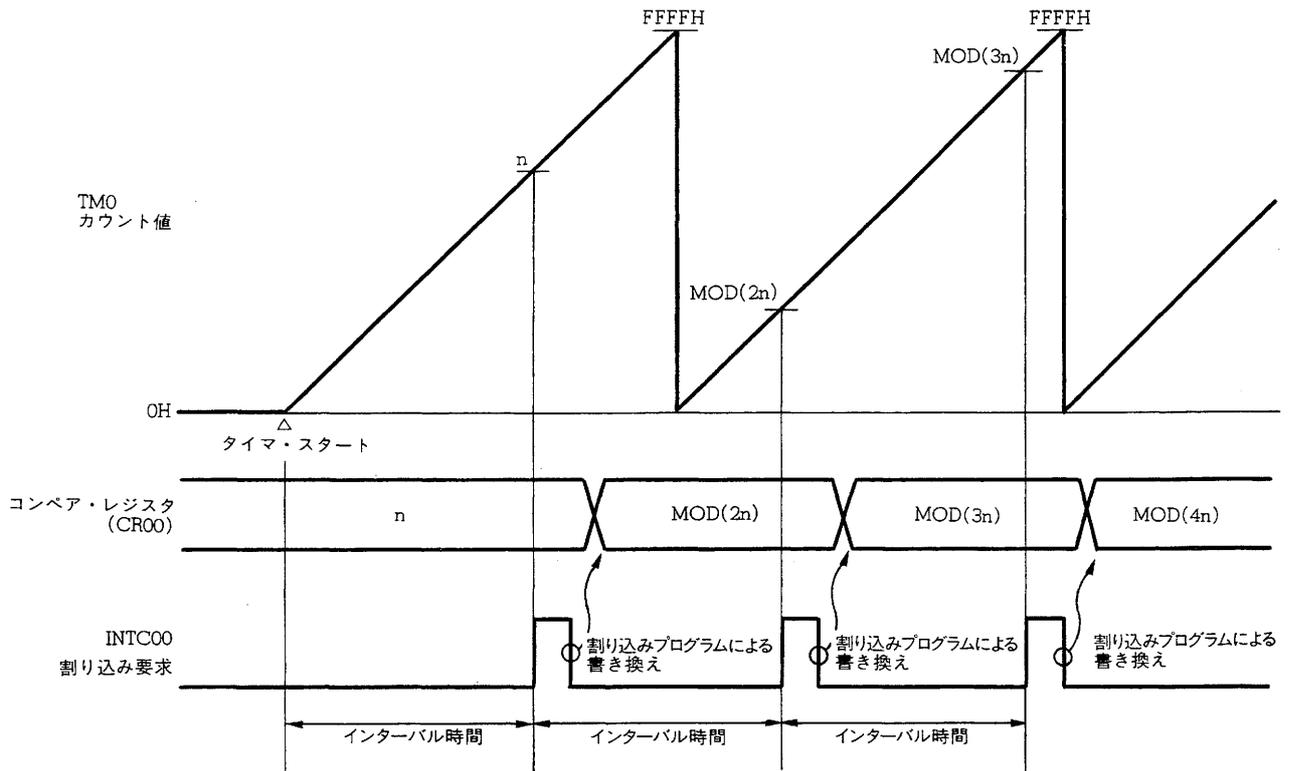
16ビット・タイマ0 (TMO) をフリー・ランニングさせ、割り込み処理ルーチン中でコンペア・レジスタ (CRO0, CRO1) に一定の値を加算することで、加算する一定の値を周期とするインターバル・タイマとして動作します (図7-28参照)。

このインターバル・タイマは、 $1.3\mu\text{s}$ の分解能で最大87.4msまでのカウントができます (内部システム・クロック $f_{\text{CLK}}=6\text{MHz}$)。

また、16ビット・タイマ0 (TMO) 1本にコンペア・レジスタが2本ついているため、2種類の周期のインターバル・タイマを作ることができます。

図7-29に制御レジスタの設定内容、図7-30にその設定手順、図7-31に割り込み処理ルーチン内での処理を示します。

図7-28 インターバル・タイマ動作(1)のタイミング



備考 インターバル時間 $=n \times 8 / f_{\text{CLK}}$, $1 \leq n \leq \text{FFFFH}$

図7-29 インターバル・タイマ動作(1)における制御レジスタの設定内容

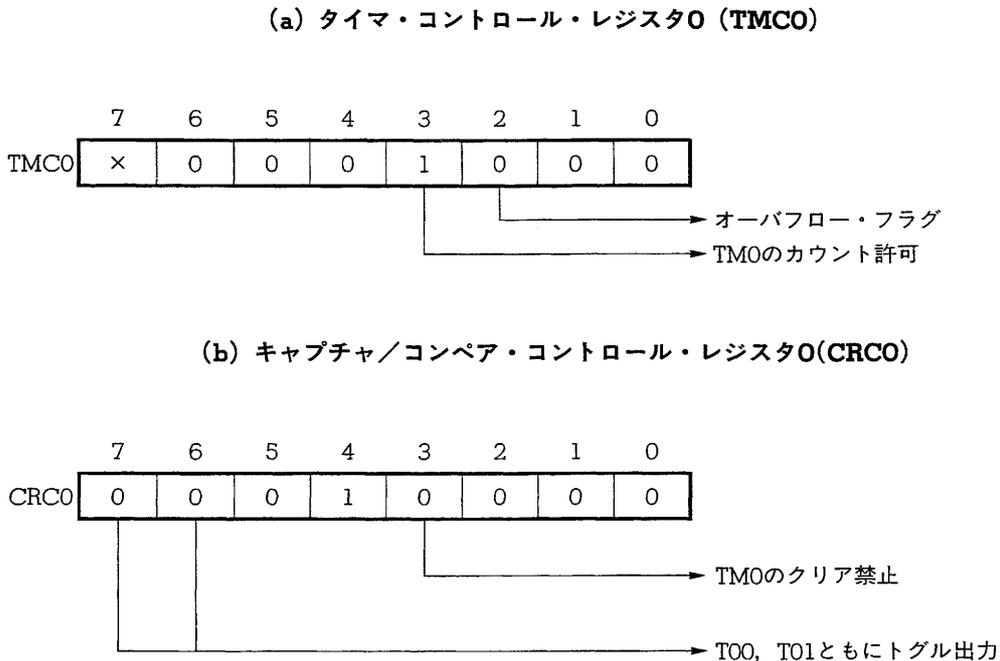


図7-30 インターバル・タイマ動作(1)の設定手順

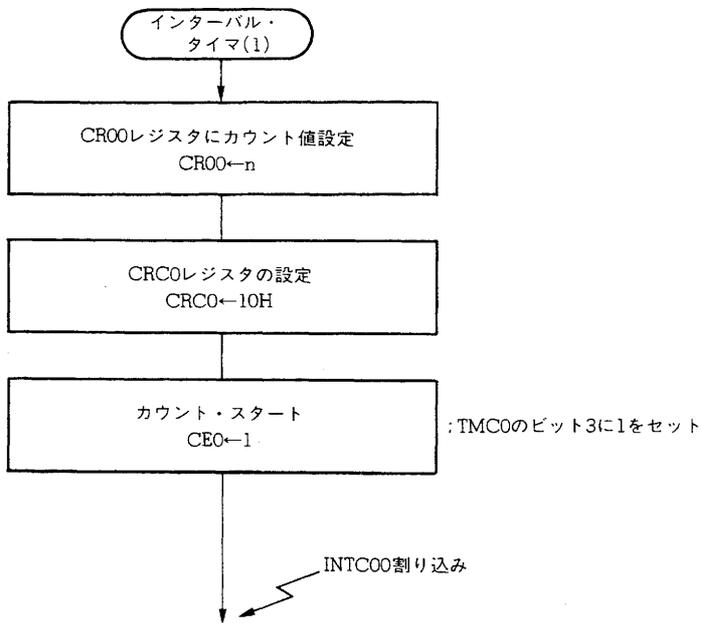
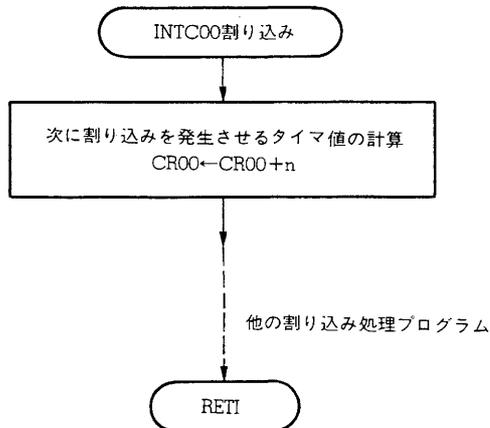


図7-31 インターバル・タイマ動作(1)の割り込み要求処理



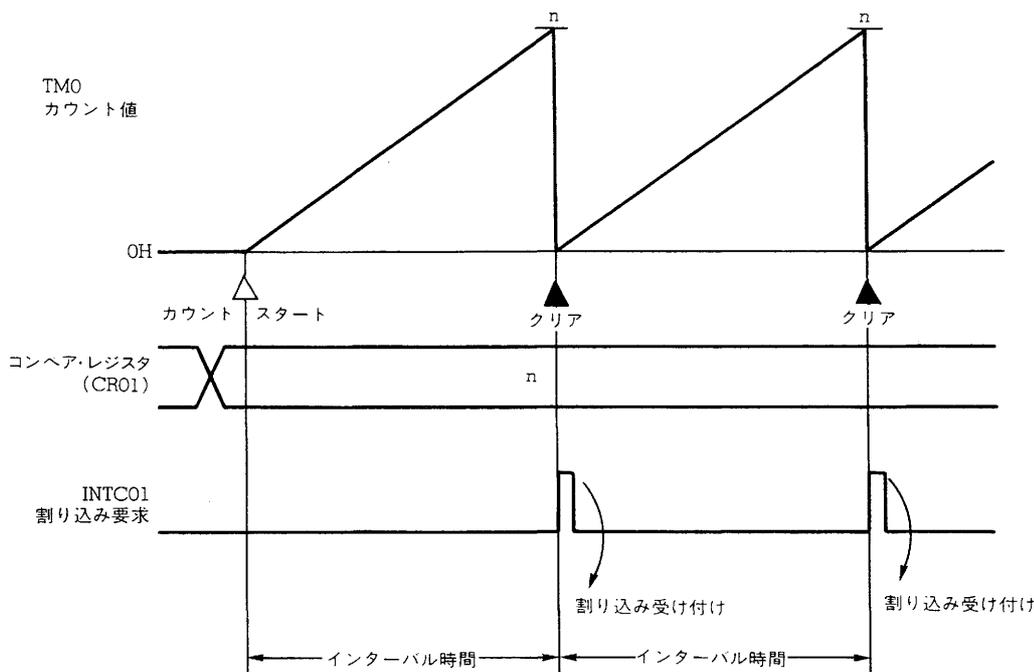
(2) インターバル・タイマとしての動作(2)

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します (図7-32参照)。

このインターバル・タイマは、1.3 μsの分解能で1.3 μsから87.4 msまでのカウントができます (内部システム・クロック $f_{CLK}=6\text{ MHz}$)。

図7-33に制御レジスタの設定内容を、図7-34にその設定手順を示します。

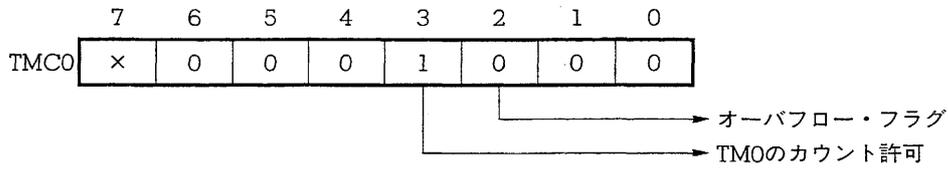
図7-32 インターバル・タイマ動作(2)のタイミング



備考 インターバル時間 = $(n+1) \times 8 / f_{CLK}$; $0 \leq n \leq \text{FFFFH}$

図7-33 インターバル・タイマ動作(2)における制御レジスタの設定内容

(a) タイマ・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0(CRC0)

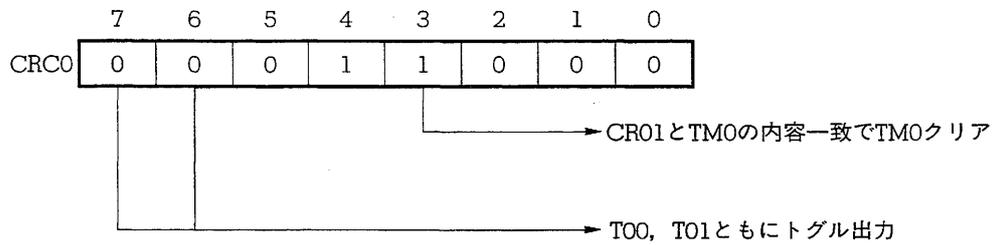
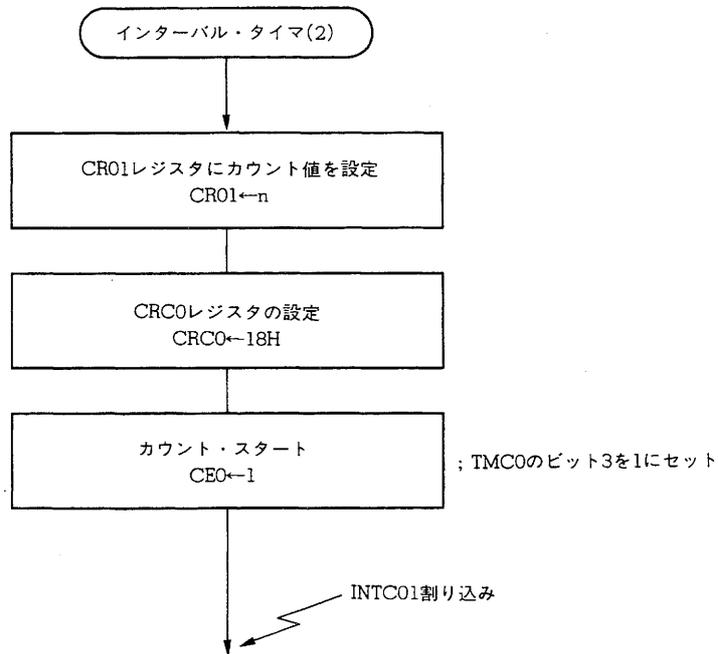


図7-34 インターバル・タイマ動作(2)の設定手順



(3) パルス幅測定としての動作

パルス幅測定は、外部割り込み要求 (INTP3) 入力端子に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。

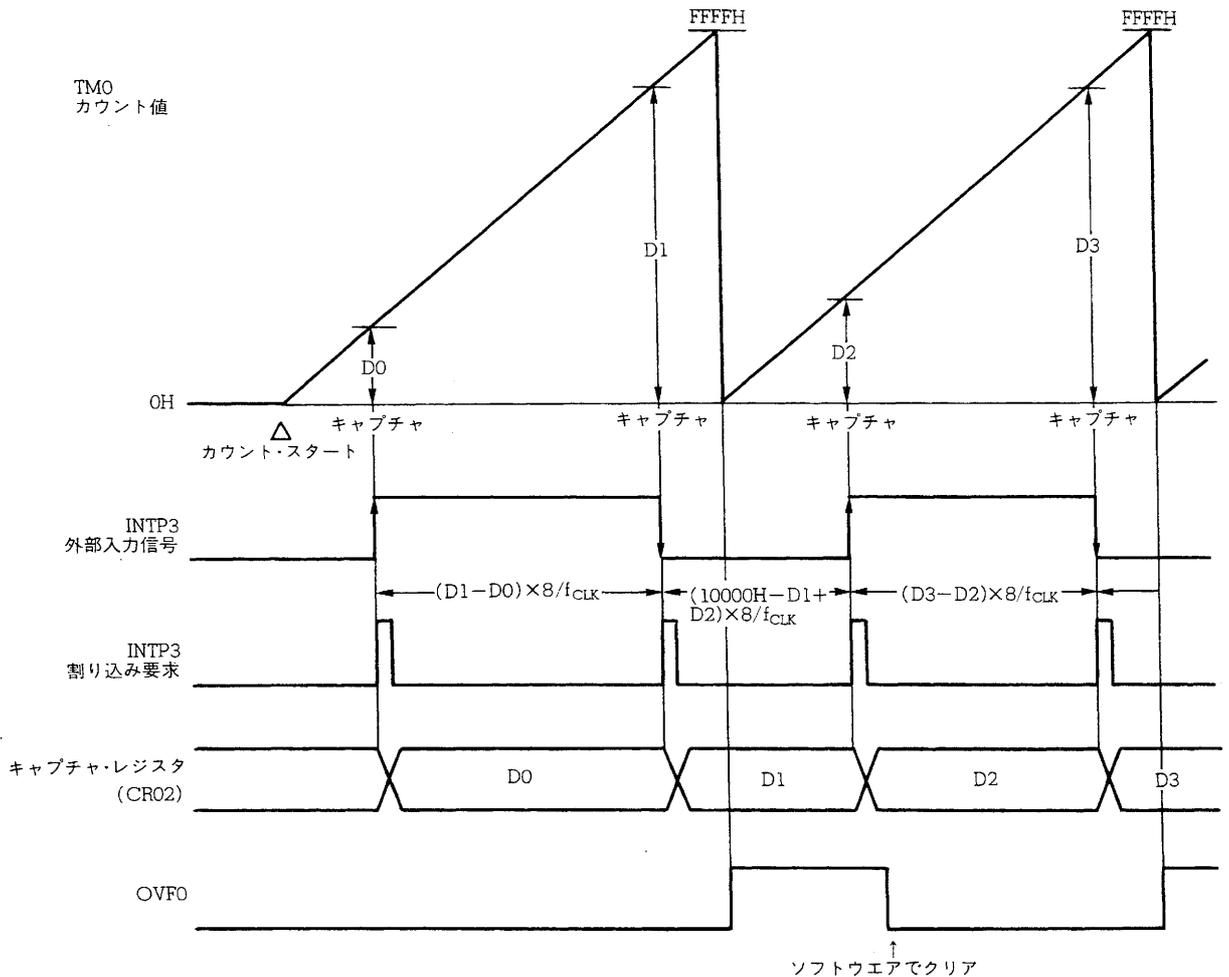
INTP3端子に入力するパルス幅はハイ・レベル、ロウ・レベルとも12システム・クロック ($2\mu\text{s}$: $f_{\text{CLK}}=6\text{MHz}$)以上必要で、これ以下の場合には有効エッジが検出されずキャプチャ動作を行いません。

このパルス幅測定では、分解能 $1.3\mu\text{s}$ で $2.6\mu\text{s}$ から 87.4ms のパルス幅を測定することができます ($f_{\text{CLK}}=6\text{MHz}$)。

図7-35に示すようにINTP3端子入力の有効エッジ(立ち上がり, 立ち下りの両エッジに指定)に同期して、カウント中の16ビット・タイマ0 (TM0) の値をキャプチャ・レジスタ (CR02) に取り込み、保持します。パルス幅は、 n 回目の有効エッジ検出によりCR02レジスタに取り込み、保持されているTM0のカウント値 (D_n) と $n-1$ 回目の有効エッジ検出によるカウント値 (D_{n-1}) との差の値とカウント・クロック ($8/f_{\text{CLK}}$) との積から求めます。

そのときの制御レジスタの設定内容を図7-36に、設定手順を図7-37に示します。

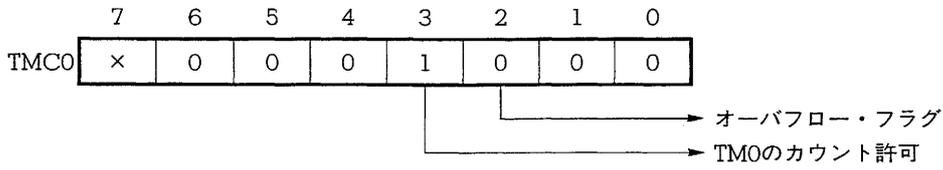
図7-35 パルス幅測定のタイミング



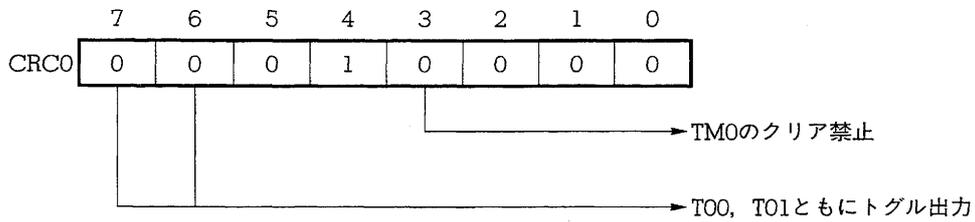
備考 D_n : TM0のカウント値 ($n=0, 1, 2, \dots$)

図7-36 パルス幅測定における制御レジスタの設定内容

(a) タイマ・コントロール・レジスタ0 (TMCO)



(b) キャプチャ/コンペア・コントロール・レジスタ0(CRCO)



(c) 外部割り込みモード・レジスタ1(INTM1)

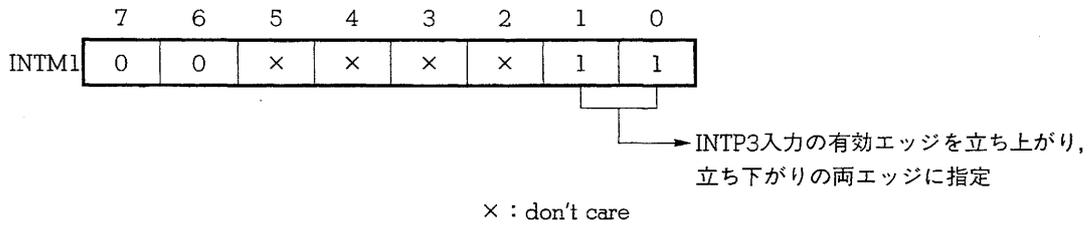


図 7-37 パルス幅測定の設定手順

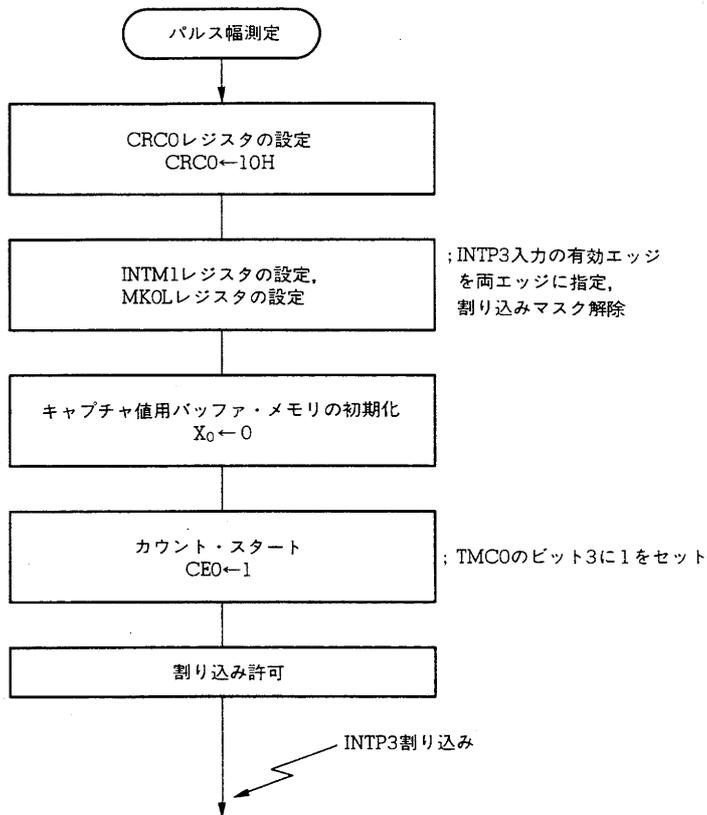
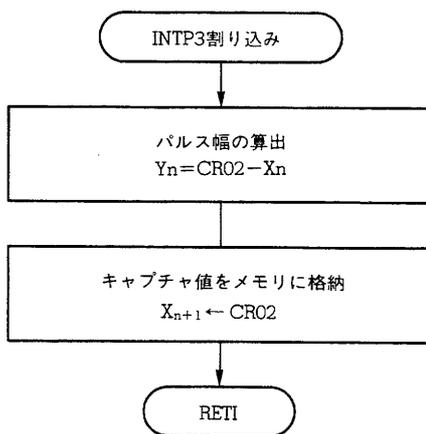


図 7-38 パルス幅を算出する割り込み要求処理



(4) PWM出力としての動作

PWM出力は、コンペア・レジスタに設定した値で決まるデューティ比のパルスを出力します（図7-39参照）。

このPWM出力は、 $1/65536-65535/65536$ のデューティ比を1/65536単位で変化させることができます。

また、16ビット・タイマ0 (TM0) 1本にコンペア・レジスタが2本ついているため2種類のPWM信号を出力できます。

図7-40に制御レジスタの設定内容, 図7-41にその設定手順, 図7-42にデューティを変化させる場合の手順を示します。

図7-39 16ビット・タイマ/カウンタのPWM信号出力例

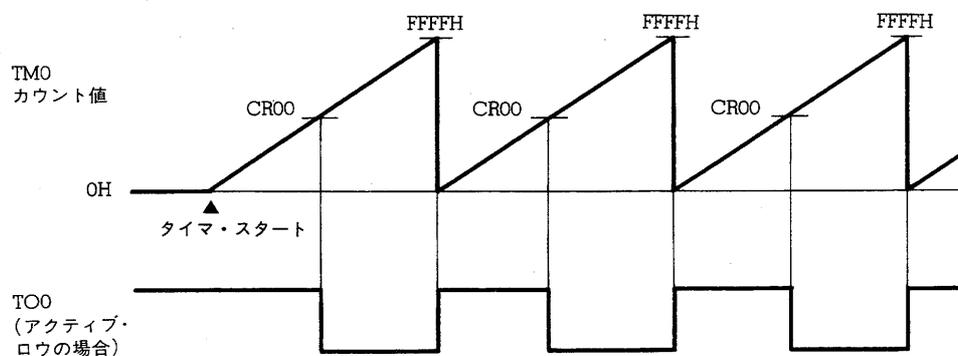
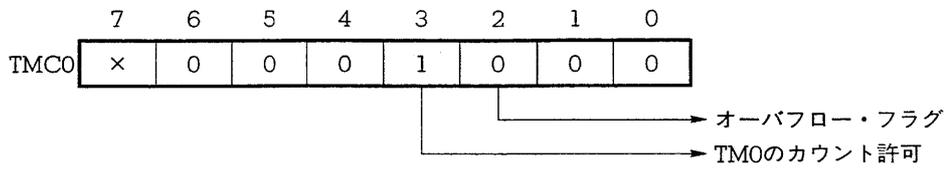
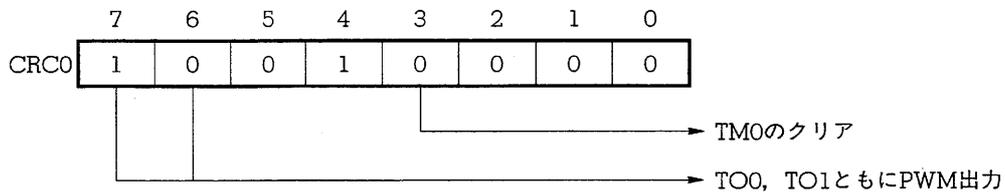


図7-40 PWM出力動作における制御レジスタの設定内容

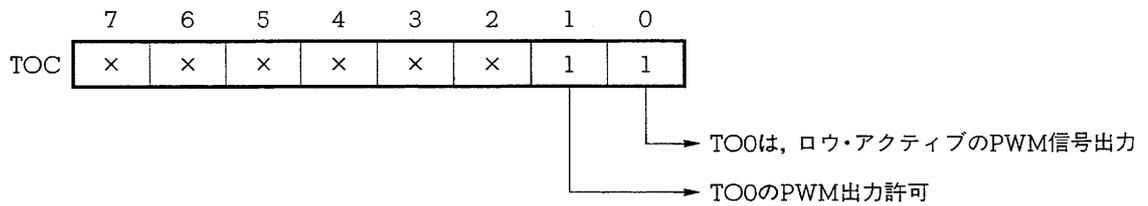
(a) タイマ・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) タイマ出力コントロール・レジスタ (TOC)



(d) ポート3モード・コントロール・レジスタ (PMC3)

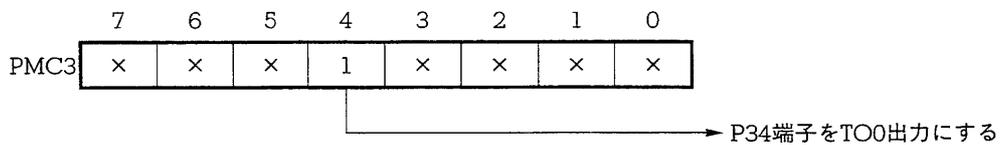


図7-41 PWM出力の設定手順

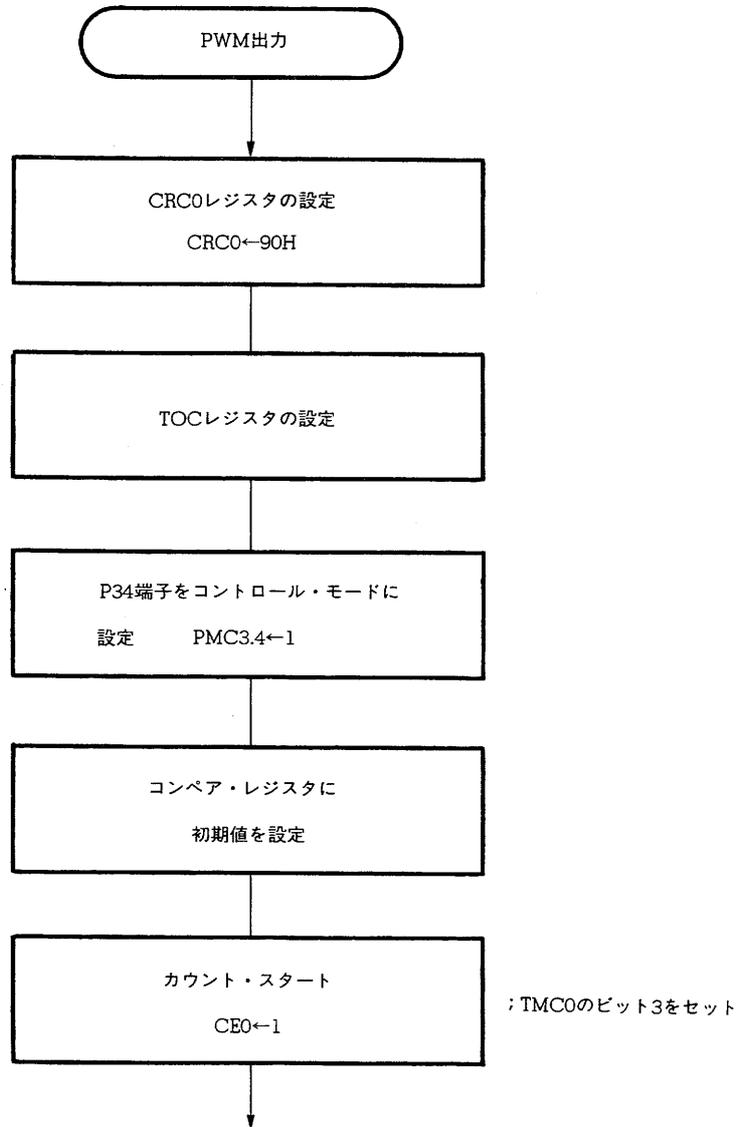
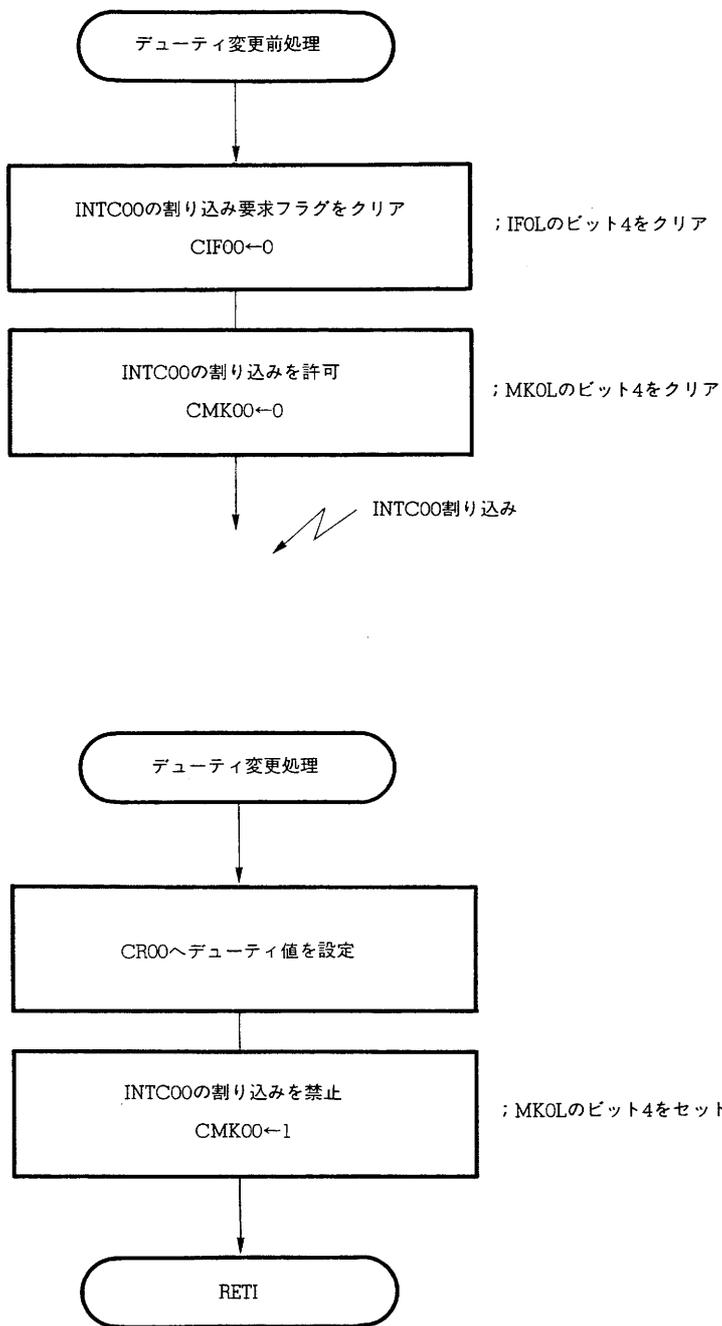


図7-42 PWM出力のデューティ変更



(5) PPG出力としての動作

PPG出力は、コンペア・レジスタに設定した値で決まる周期と、デューティ比のパルスを出力します (図7-43参照)。

図7-44に制御レジスタの設定内容, 図7-45にその設定手順, 図7-46にデューティを変化させる場合の手順を示します。

図7-43 16ビット・タイマ/カウンタのPPG信号出力例

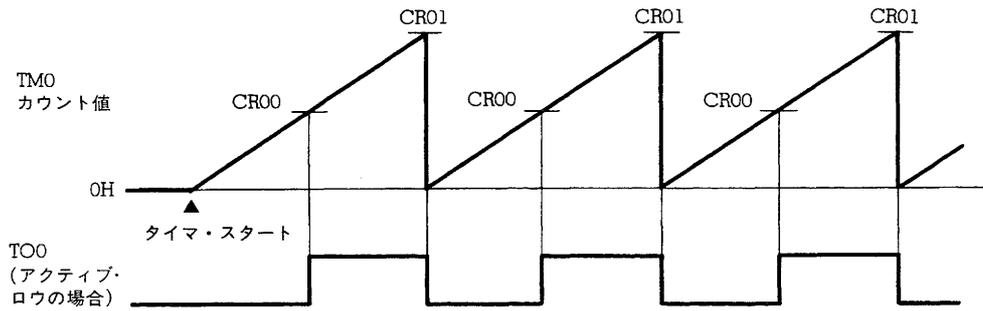
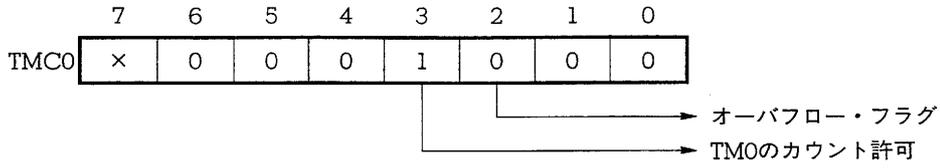
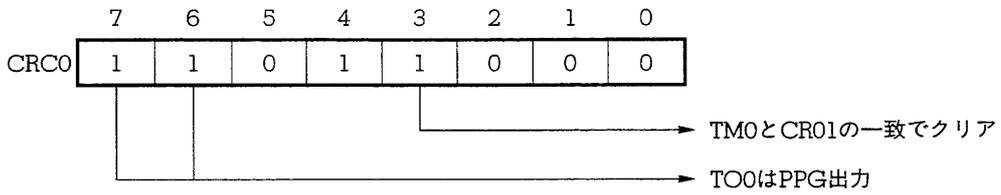


図7-44 PPG出力動作における制御レジスタの設定内容

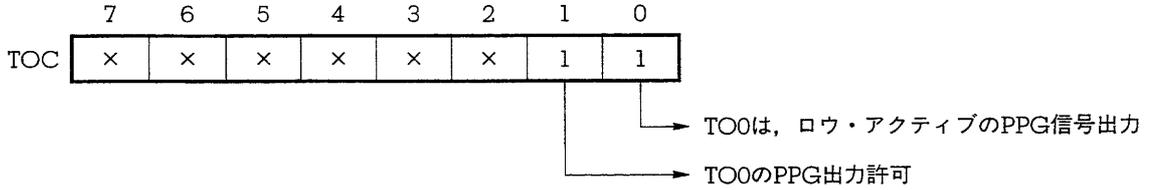
(a) タイマ・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) タイマ出力コントロール・レジスタ (TOC)



(d) ポート3モード・コントロール・レジスタ (PMC3)

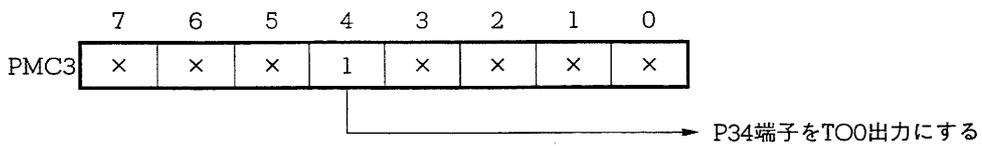


図7-45 PPG出力の設定手順

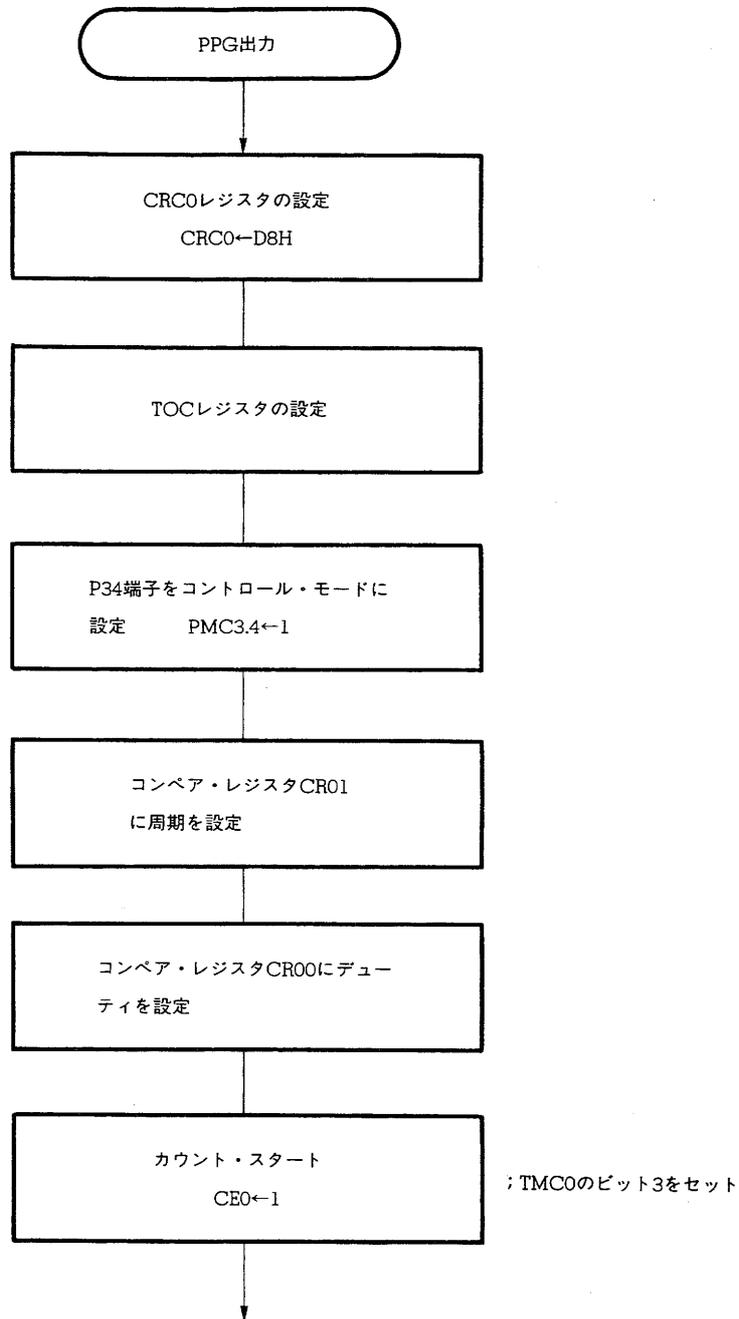
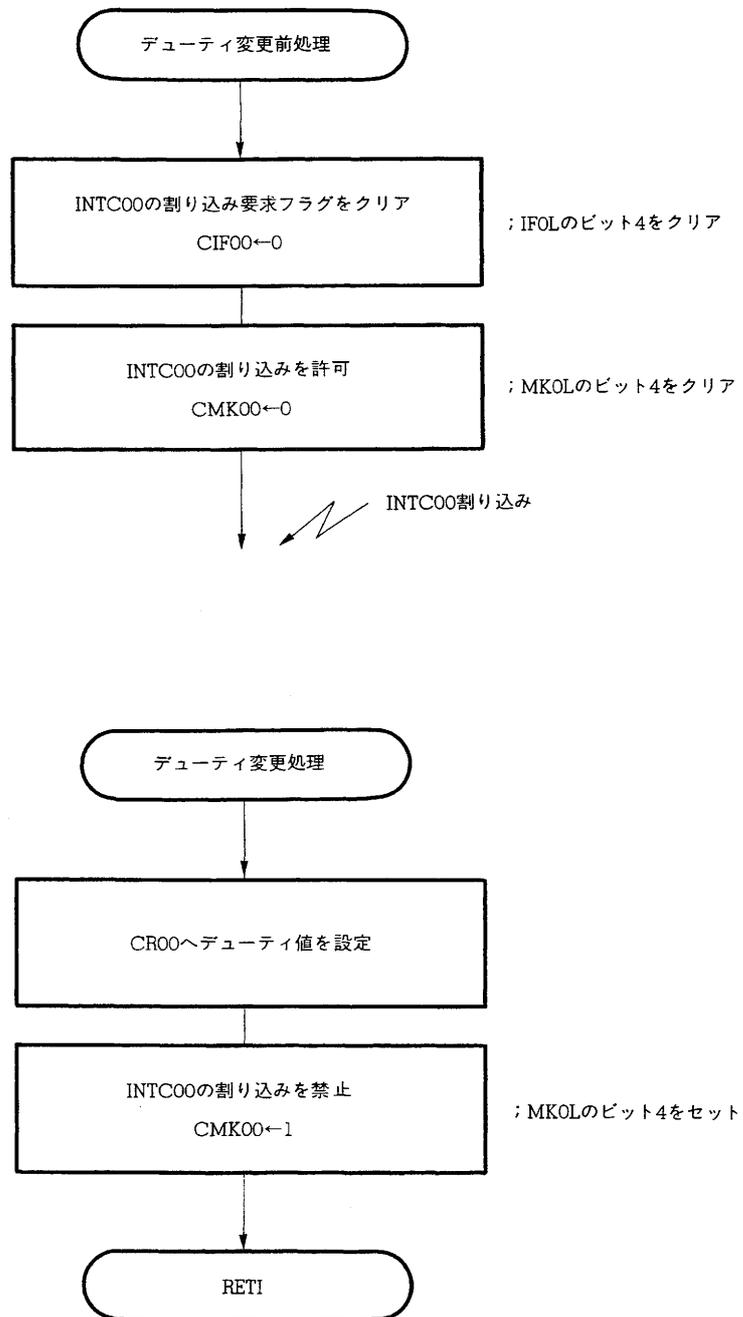


図7-46 PPG出力のデューティ変更



(6) ソフト・トリガド・ワンショット・パルス出力例

ソフト・トリガド・ワンショット・パルス出力は、ソフトウェアでトリガをかけてワンショット・パルスを出力するモードです（図7-47参照）。

図7-48に制御レジスタの設定内容、図7-49にその設定手順を示します。

図7-47 16ビット・タイマ/カウンタのワンショット・パルス出力例

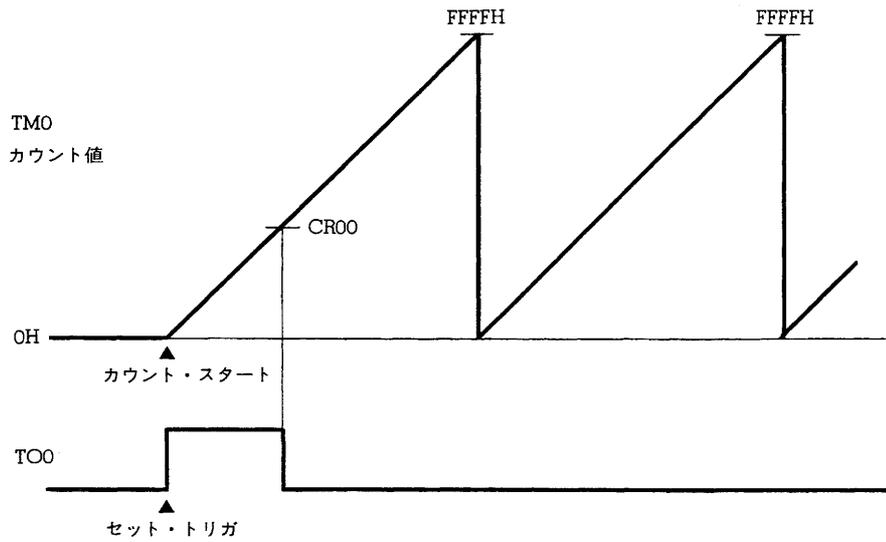
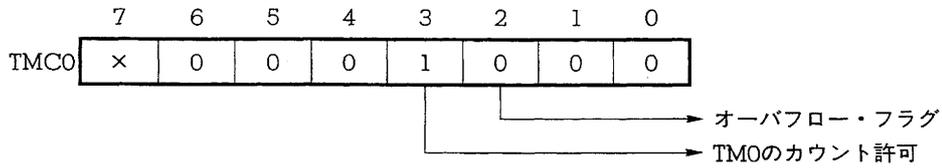
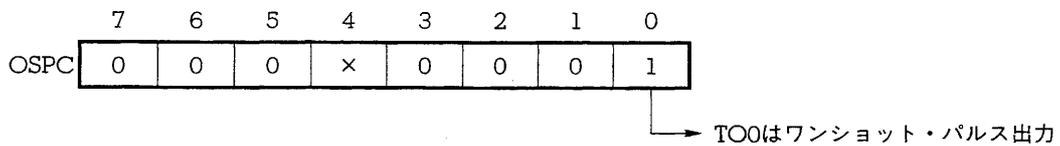


図7-48 ワンショット・パルス出力における制御レジスタ設定内容

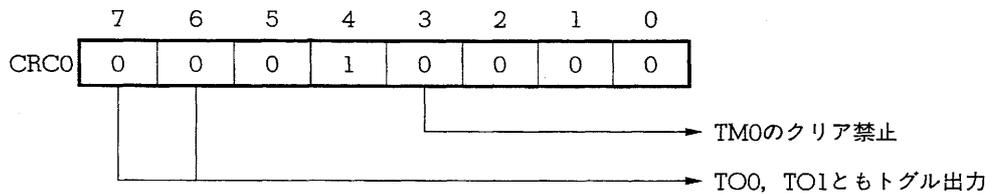
(a) タイマ・コントロール・レジスタ0 (TMCO)



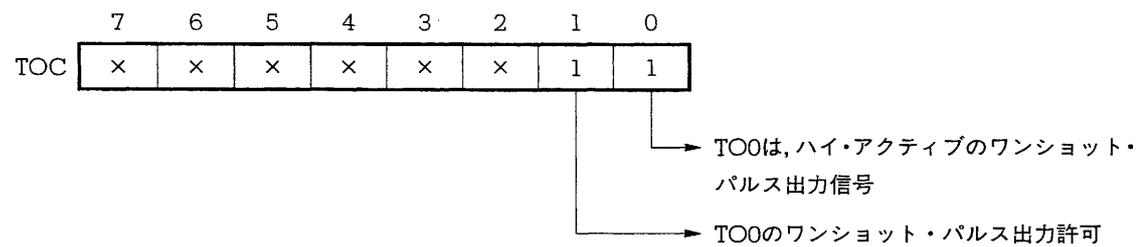
(b) ワンショット・パルス出力制御レジスタ (OSPC)



(c) キャプチャ/コンペア・コントロール・レジスタ0 (CRCO)



(d) タイマ出力コントロール・レジスタ (TOC)



(e) ポート3モード・コントロール・レジスタ (PMC3)

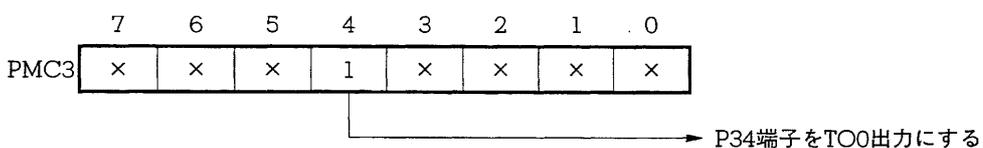
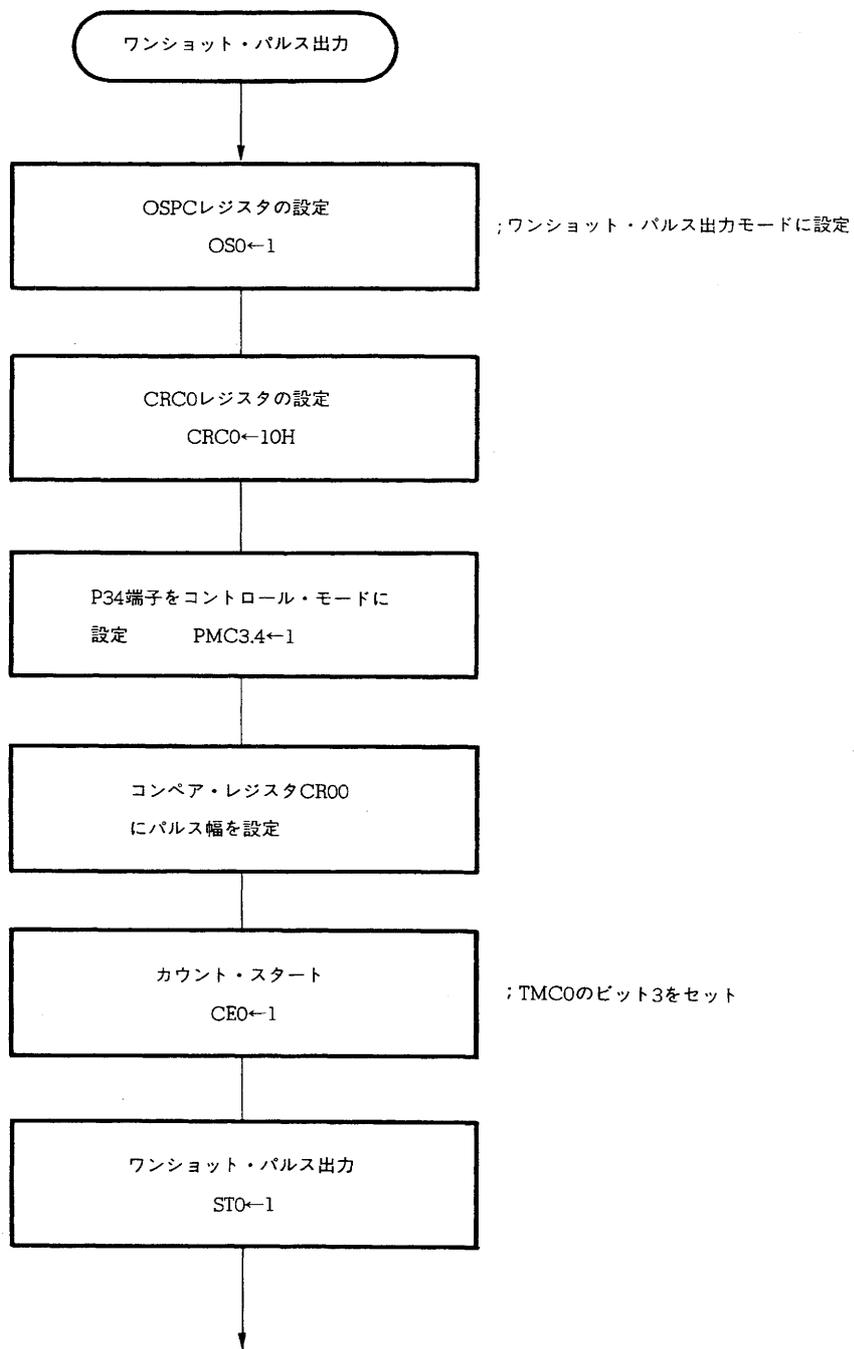


図 7-49 ワンショット・パルス出力の設定手順



7.2 8ビット・タイマ/カウンタ1

7.2.1 機能

8ビット・タイマ/カウンタ1は、インターバル・タイマ、パルス幅測定のような基本機能のほかにリアルタイム出力ポートの出力トリガ発生用のタイマとして使うことができます。

(1) インターバル・タイマ

あらかじめ設定したインターバルで内部割り込みを発生します。

表 7-9 8ビット・タイマ/カウンタ1のインターバル時間

分解能	最小インターバル時間	最大インターバル時間
$16/f_{CLK}$ (2.6 μ s)	$16/f_{CLK}$ (2.6 μ s)	$2^8 \times 16/f_{CLK}$ (683 μ s)
$32/f_{CLK}$ (5.3 μ s)	$32/f_{CLK}$ (5.3 μ s)	$2^8 \times 32/f_{CLK}$ (1.37 ms)
$64/f_{CLK}$ (10.7 μ s)	$64/f_{CLK}$ (10.7 μ s)	$2^8 \times 64/f_{CLK}$ (2.73 ms)
$128/f_{CLK}$ (21.3 μ s)	$128/f_{CLK}$ (21.3 μ s)	$2^8 \times 128/f_{CLK}$ (5.46 ms)
$256/f_{CLK}$ (42.7 μ s)	$256/f_{CLK}$ (42.7 μ s)	$2^8 \times 256/f_{CLK}$ (10.9 ms)
$512/f_{CLK}$ (85.3 μ s)	$512/f_{CLK}$ (85.3 μ s)	$2^8 \times 512/f_{CLK}$ (21.8 ms)

() 内は $f_{CLK}=6$ MHz

(2) パルス幅測定

外部割り込み要求入力端子 (INTPO) へ入力される信号のパルス幅を検出します。

表 7-10 8ビット・タイマ/カウンタ1のパルス幅測定範囲

測定可能なパルス幅	分解能
$\leq 2^8 \times 16/f_{CLK}$ (683 μ s)	$16/f_{CLK}$ (2.6 μ s)
$\leq 2^8 \times 32/f_{CLK}$ (1.37 ms)	$32/f_{CLK}$ (5.3 μ s)
$\leq 2^8 \times 64/f_{CLK}$ (2.73 μ s)	$64/f_{CLK}$ (10.7 μ s)
$\leq 2^8 \times 128/f_{CLK}$ (5.46 ms)	$128/f_{CLK}$ (21.3 μ s)
$\leq 2^8 \times 256/f_{CLK}$ (10.9 ms)	$256/f_{CLK}$ (42.7 μ s)
$\leq 2^8 \times 512/f_{CLK}$ (21.8 ms)	$512/f_{CLK}$ (85.3 μ s)

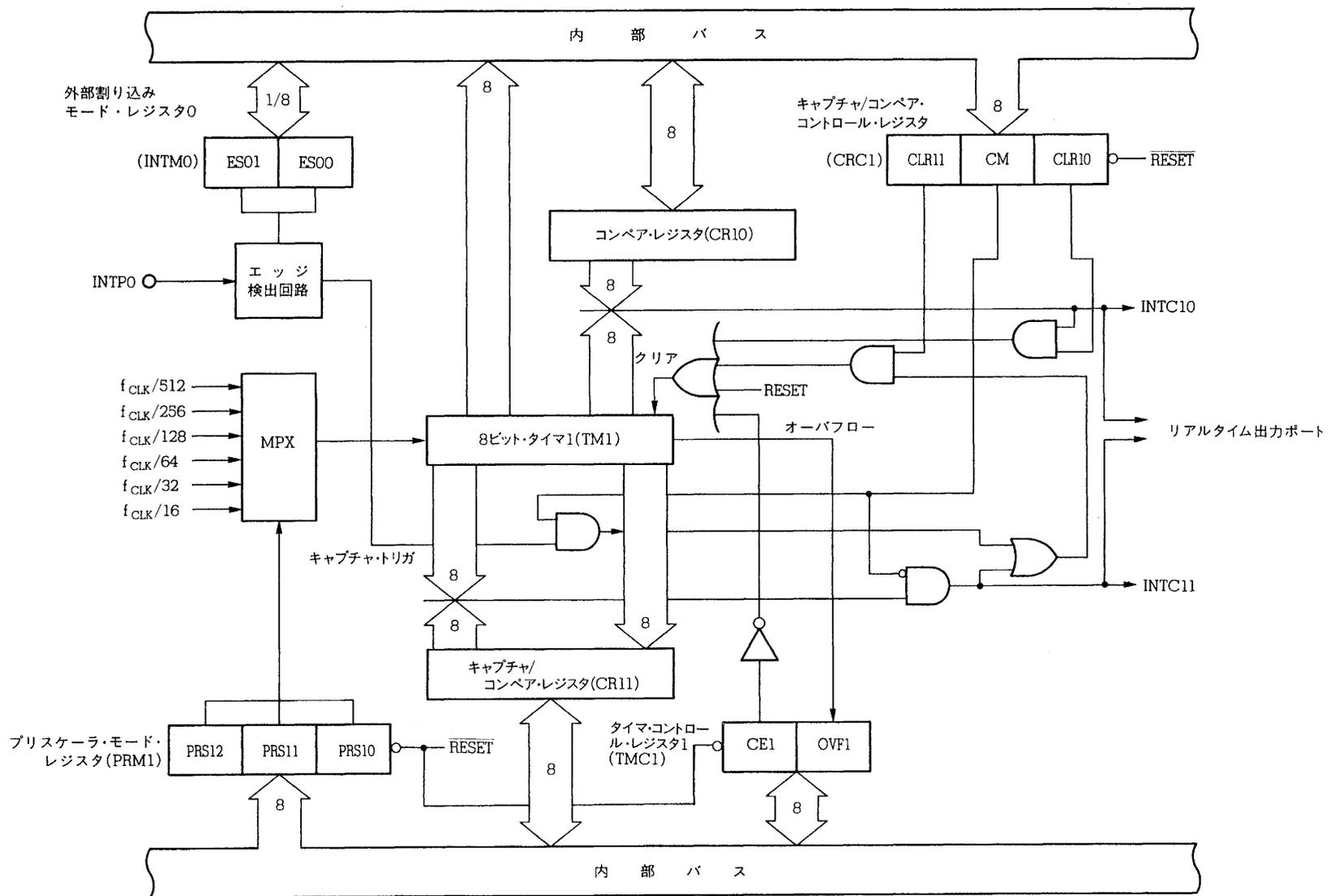
() 内は $f_{CLK}=6$ MHz

7.2.2 構成

8ビット・タイマ/カウンタ1は、8ビット・タイマ1 (TM1) と8ビット・コンペア・レジスタ1本 (CR10), および8ビット・キャプチャ/コンペア・レジスタ1本 (CR11) から構成されます。

図7-50に8ビット・タイマ/カウンタ1のブロック図を示します。

図7-50 8ビット・タイマ/カウンタ1のブロック図



(1) 8ビット・タイマ1 (TM1)

TM1は、プリスケアラ・モード・レジスタ1 (PRM1) の下位4ビットで指定されるカウント・クロックをアップカウントするタイマです。

タイマ・コントロール・レジスタ1 (TMC1) によりカウント動作の停止/許可ができます。

8ビット操作命令で読み出しのみが可能です。 $\overline{\text{RESET}}$ 入力により、TM1は00Hにクリアされ、カウントは停止します。

(2) コンペア・レジスタ (CR10)

CR10レジスタは、インターバル・タイマ動作の周期を決める値を保持する8ビット・レジスタです。

CR10レジスタの内容がTM1の値と一致すると、割り込み要求 (INTC10) を発生します。この一致信号は、リアルタイム出力ポートのトリガ信号にもなります。また、一致によりカウント値をクリアすることができます。

8ビット操作命令で読み出し/書き込みが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(3) キャプチャ/コンペア・レジスタ (CR11)

CR11レジスタは、キャプチャ/コンペア・コントロール・レジスタ1 (CRC1) の設定により、TM1のカウント値との一致を検出するためのコンペア・レジスタに、またはTM1のカウント値をキャプチャするキャプチャ・レジスタに設定することが可能な8ビット・レジスタです。

(a) コンペア・レジスタに設定した場合

インターバル・タイマ動作の周期を決める値を保持する8ビット・レジスタとして機能します。

CR11レジスタの内容とTM1の内容一致で割り込み要求 (INTC11) を発生します。

また、一致によりカウント値をクリアすることができます。この一致信号は、リアルタイム出力ポートのトリガ信号にもなります。また、一致によりカウント値をクリアすることができます。

(b) キャプチャ・レジスタに設定した場合

外部割り込み要求 (INTPO) 入力端子の有効エッジ入力 (キャプチャ・トリガ) に同期してTM1の内容をキャプチャする8ビット・レジスタとして機能します。

次のキャプチャ・トリガが発生するまでCR11レジスタの内容は保持されます。またキャプチャ後、TM1をクリアすることができます。

8ビット操作命令で読み出し/書き込みが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(4) エッジ検出回路

エッジ検出回路は、外部入力の有効エッジを検出します。

INTPO端子入力で外部割り込みモード・レジスタ0 (INTMO) により設定された有効エッジを検出して、INTPOとキャプチャ・トリガを発生します (INTMOレジスタについては図 13-1 参照)。

(5) プリスケーラ

カウント・クロックを内部システム・クロックから生成します。このプリスケーラで生成されたクロックをセレクタで選択し、カウント・クロックとしてタイマはカウント動作を行います。

7.2.3 8ビット・タイマ/カウンタ1制御レジスタ

(1) タイマ・コントロール・レジスタ1 (TMC1)

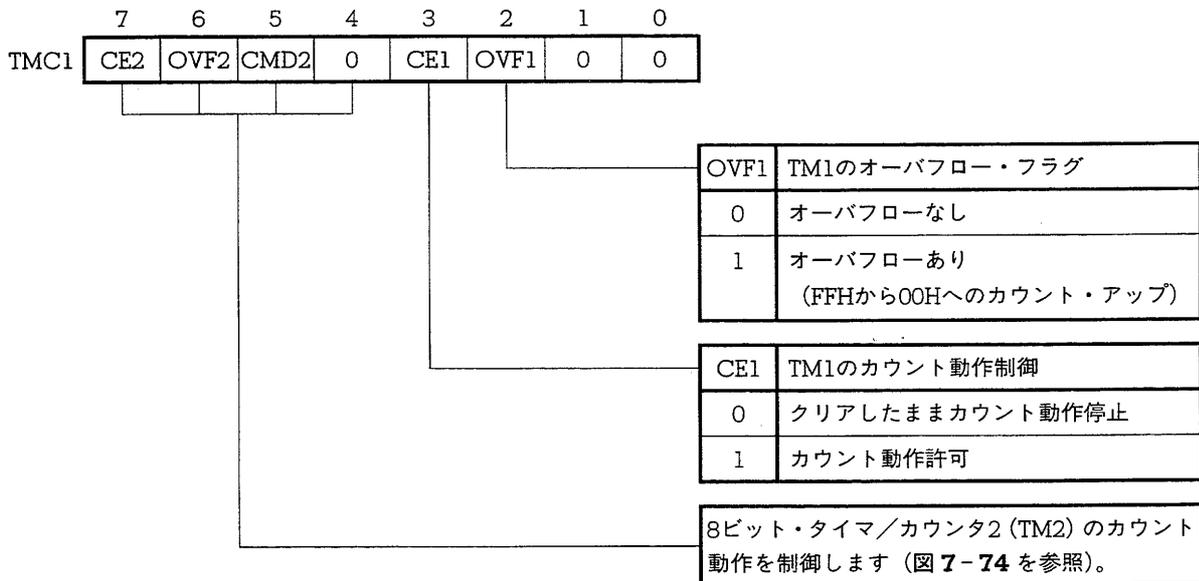
TMC1レジスタは、8ビット・タイマ1, 2 (TM1, TM2) のカウント動作を制御する8ビット・レジスタです。

下位4ビットで8ビット・タイマ/カウンタ1の (TM1) のカウント動作を制御します (上位4ビットは8ビット・タイマ/カウンタ2の (TM2) のカウント動作を制御します)。

8ビット操作命令で読み出し/書き込みが可能です。図7-51にTMC1レジスタのフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hにクリアされます。

図7-51 タイマ・コントロール・レジスタ1 (TMC1) のフォーマット



備考 OVF1ビットはソフトウェアでのみリセットされます。

(2) プリスケアラ・モード・レジスタ1 (PRM1)

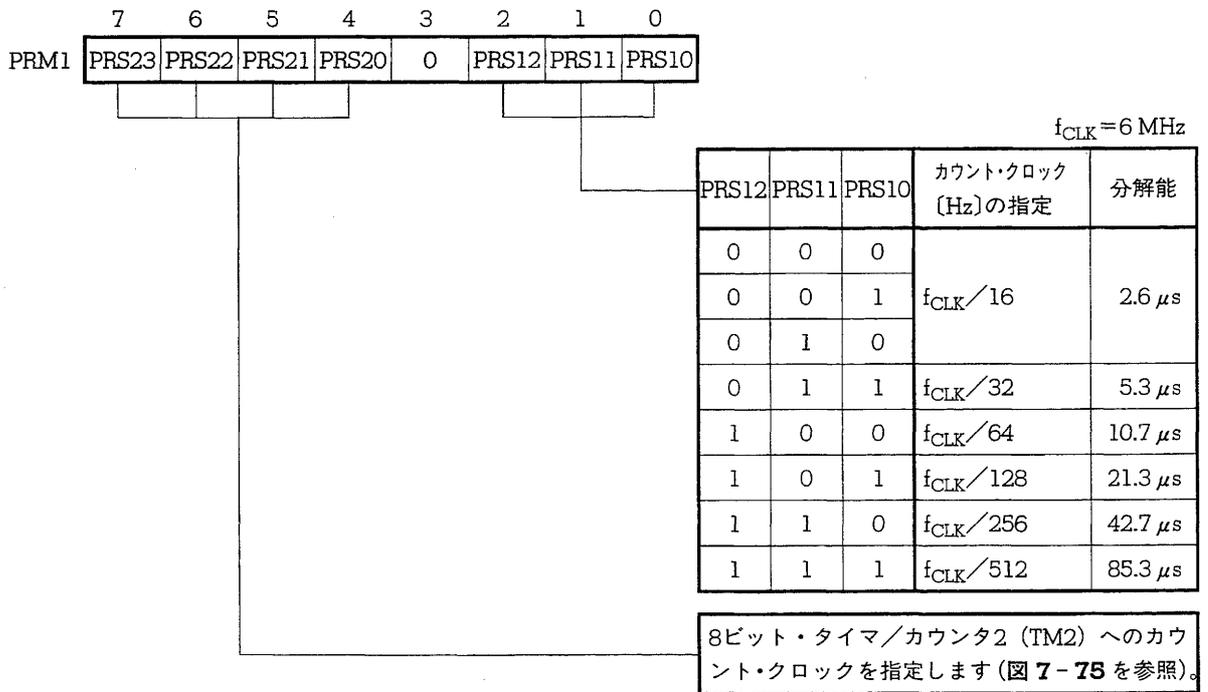
PRM1レジスタは、8ビット・タイマ1, 2 (TM1, TM2) へのカウント・クロックを指定する8ビット・レジスタです。

下位4ビットで8ビット・タイマ/カウンタ1のTM1へのカウント・クロックを指定します (上位4ビットは8ビット・タイマ/カウンタ2のTM2へのカウント・クロックを指定します)。

8ビット操作命令で書き込みのみ可能です。図7-52にPRM1レジスタのフォーマットを示します。

RESET入力により00Hにクリアされます。

図7-52 プリスケアラ・モード・レジスタ1 (PRM1) のフォーマット



備考 f_{CLK} : システム・クロック周波数

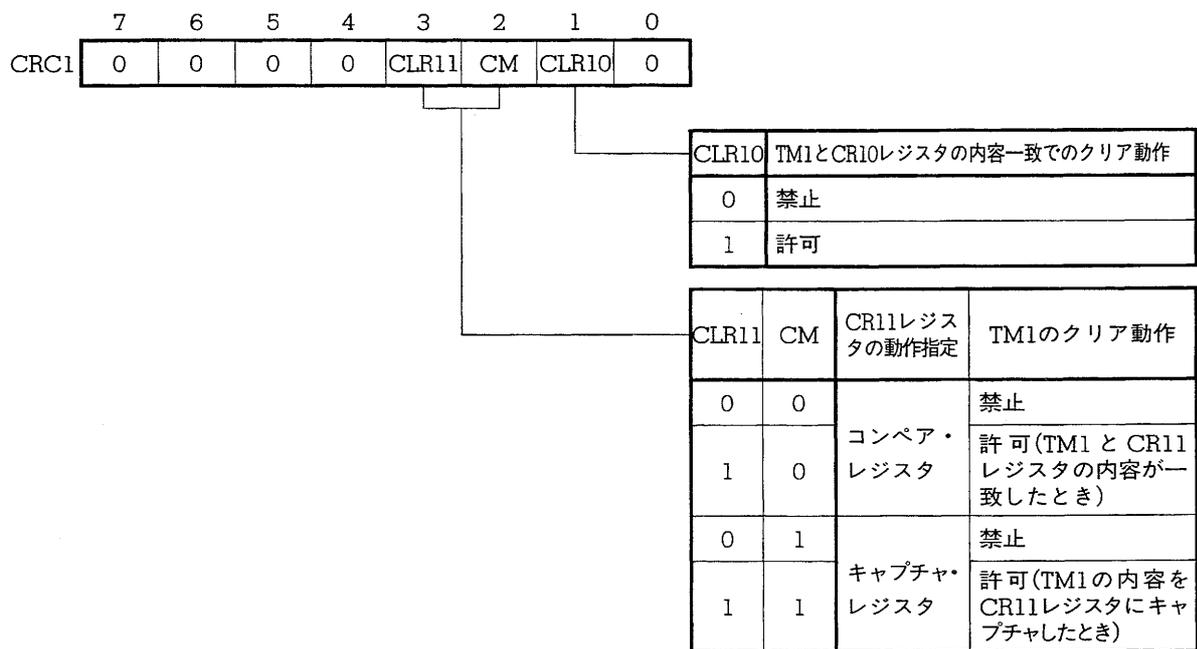
(3) キャプチャ/コンペア・コントロール・レジスタ1 (CRC1)

CRC1レジスタは、キャプチャ/コンペア・レジスタ (CR11) の動作指定と、8ビット・タイマ1 (TM1) のクリア動作の許可条件を指定するレジスタです。

8ビット操作命令で書き込みのみ可能です。図7-53にCRC1レジスタのフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hにクリアされます。

図7-53 キャプチャ/コンペア・コントロール・レジスタ1 (CRC1) のフォーマット



7.2.4 8ビット・タイマ1 (TM1) の動作

(1) 基本動作

8ビット・タイマ/カウンタ1のカウンタ動作は、プリスケアラ・モード・レジスタ1 (PRM1) の下位4ビットで指定されるカウンタ・クロックによりカウンタ・アップします。

$\overline{\text{RESET}}$ 入力により、TM1は00Hにクリアされ、カウンタ動作は停止します。

カウンタ動作の禁止/許可は、タイマ・コントロール・レジスタ1 (TMC1) のビット3 (CE1) で制御します(8ビット・タイマ/カウンタ1の動作制御はTMC1レジスタの下位4ビットです)。CE1ビットをソフトウェアによりセット(1)すると、最初のカウンタ・クロックでTM1の内容が00Hにクリアされた後、カウンタ・アップ動作を行います。

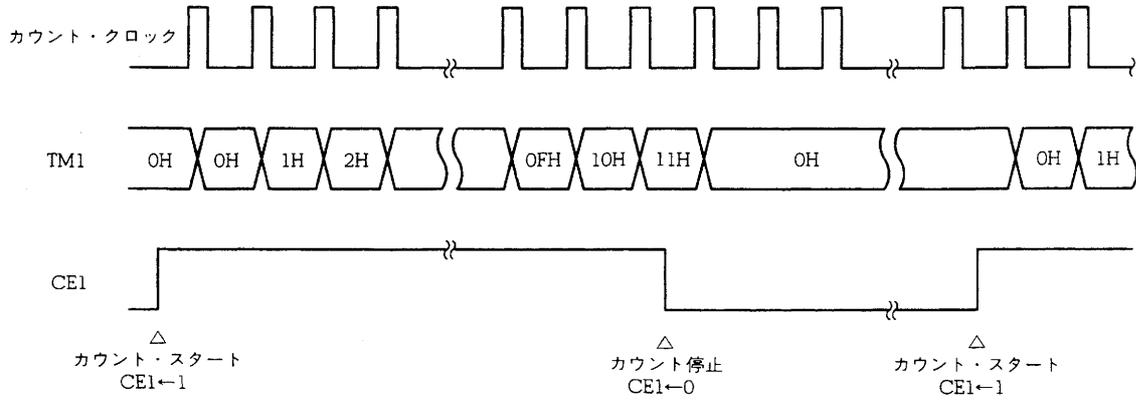
CE1ビットをリセット(0)することによってTM1は次のカウンタ・クロックで00Hにクリアされ、キャプチャ動作や一致信号の発生は停止します。

CE1ビットがセット(1)されている状態でさらにCE1ビットをセット(1)した場合、TM1はクリアされないでカウンタ動作を続けます。

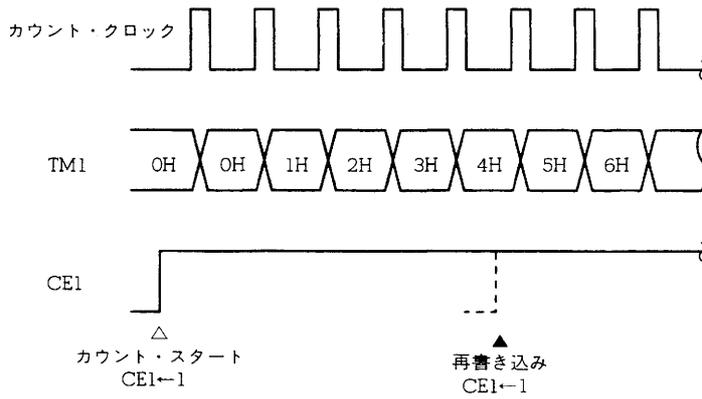
TM1がFFHのときにカウンタ・クロックが入力されると、TM1は00Hになります。このとき、OVF1がセットされます。OVF1は、ソフトウェアによってのみクリアされます。また、カウンタ動作はそのまま継続されます。

図7-54 8ビット・タイマ1(TM1)の基本動作

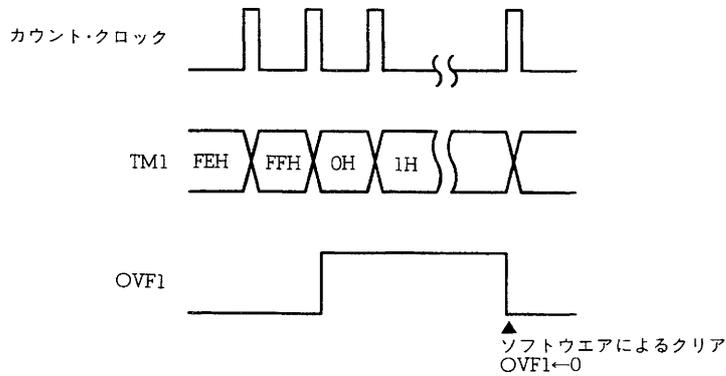
(a) カウント・スタート→カウント禁止→カウント・スタートの場合



(b) カウント・スタート後に再度CE1ビットに“1”を書き込んだ場合



(c) TM1がFFHのときの動作



(2) クリア動作

8ビット・タイマ1 (TM1) は、コンペア・レジスタ (CR1m : m=0, 1) との一致後およびキャプチャ後に自動的にクリアすることができます。TM1は、クリアする要因が発生すると、次のカウント・クロックでOOHにクリアされます。したがって、クリアする要因が発生しても、次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

図7-55 コンペア・レジスタ (CR1m) との一致によるTM1のクリア

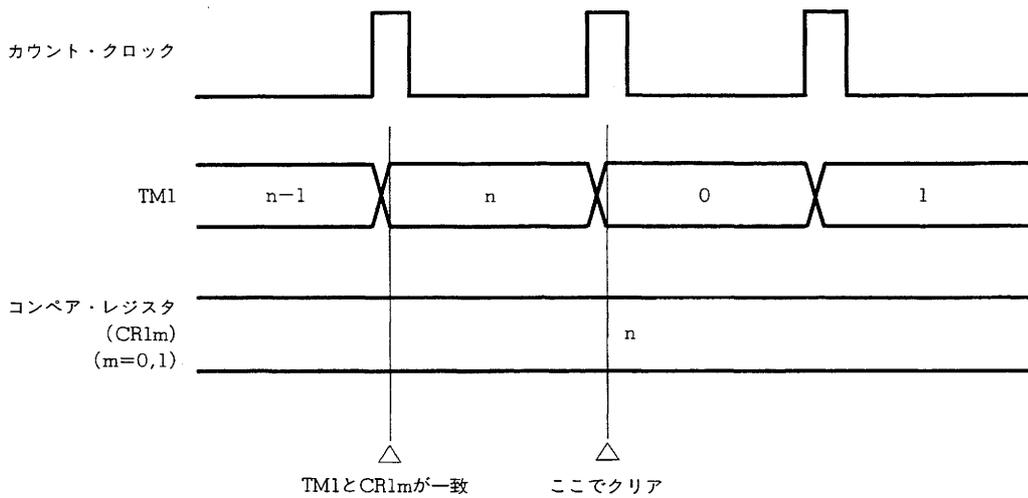
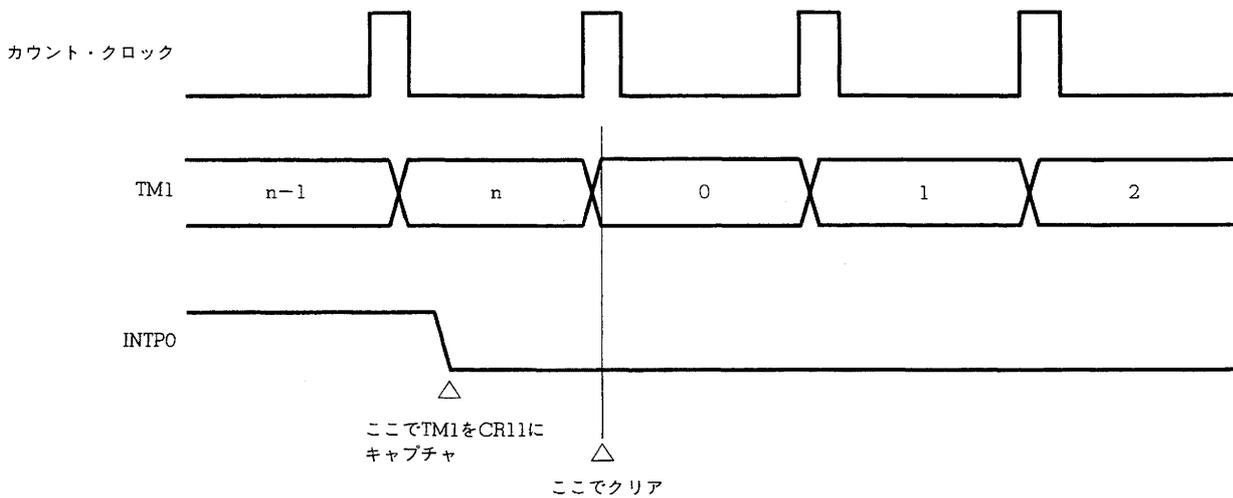


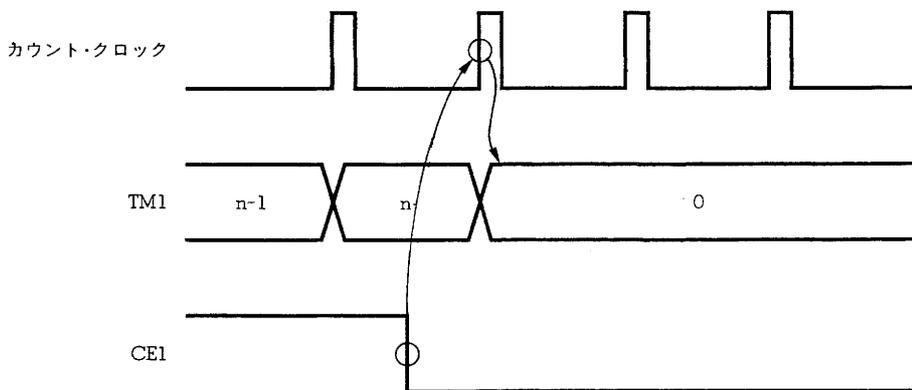
図7-56 キャプチャ後、TM1のクリア



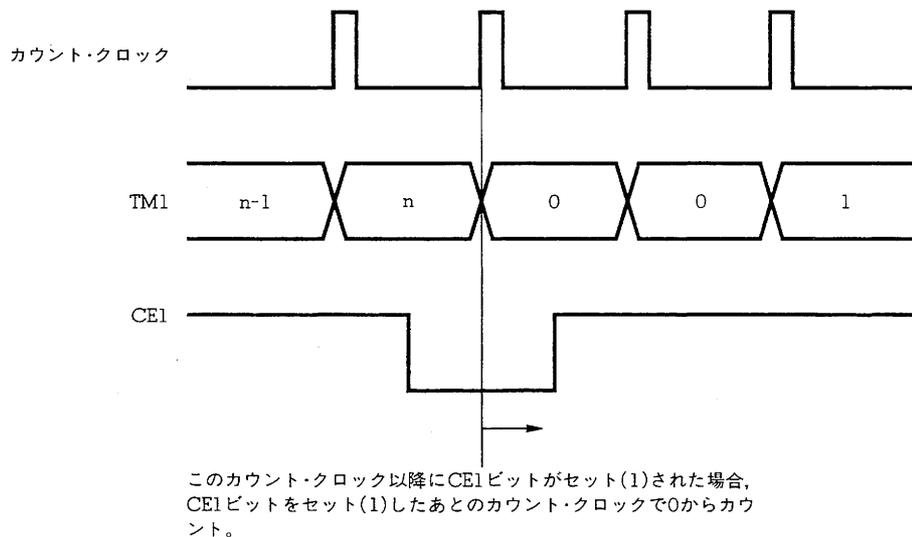
また、TM1はソフトウェアにより、タイマ・コントロール・レジスタ (TMC1) のCE1ビットをリセット(0)することによってもクリアされます。クリア動作は同様に、CE1ビットがリセット(0)されたあとのカウント・クロックで行われます。なお、CE1ビットをリセット(0)し、TM1が0になる前 (CE1ビットをリセット(0)したあとの最初のカウント・クロックがくる前) にCE1ビットがセット(1)されると、クリア動作によりTM1が0になる動作とカウント・スタートによる0のカウント動作が同時に行われます。

図7-57 CE1ビットをリセット(0)した場合のクリア動作

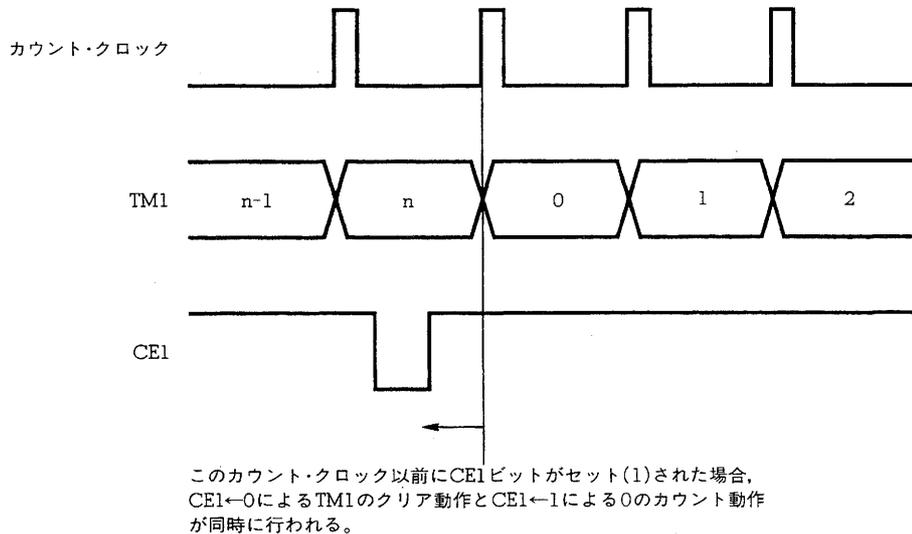
(a) 基本動作



(b) クリア後のTM1が0になってからの再スタート



(c) クリア後のTM1が0になる前の再スタート



7.2.5 コンペア・レジスタ，キャプチャ/コンペア・レジスタの動作

(1) コンペア動作

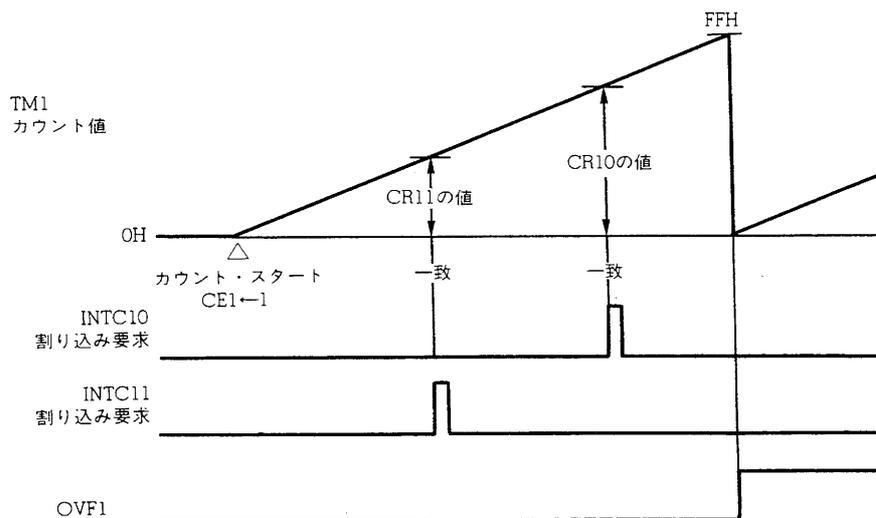
8ビット・タイマ/カウンタ1はコンペア・レジスタに設定された値をタイマのカウンタ値と比較するコンペア動作を行います。

あらかじめ設定されたコンペア・レジスタ (CR10)，コンペア動作に指定したキャプチャ/コンペア・レジスタ (CR11) の値に8ビット・タイマ1 (TM1) のカウンタ値がカウント動作によって一致すると，割り込み要求信号 (CR10レジスタではINTC10，CR11レジスタではINTC11) を発生します。

また，CR10レジスタまたはCR11レジスタの値と一致後，TM1の内容をクリアすることができ，CR10，CR11レジスタに設定した値を繰り返しカウントするインターバル・タイマとして動作します。

7

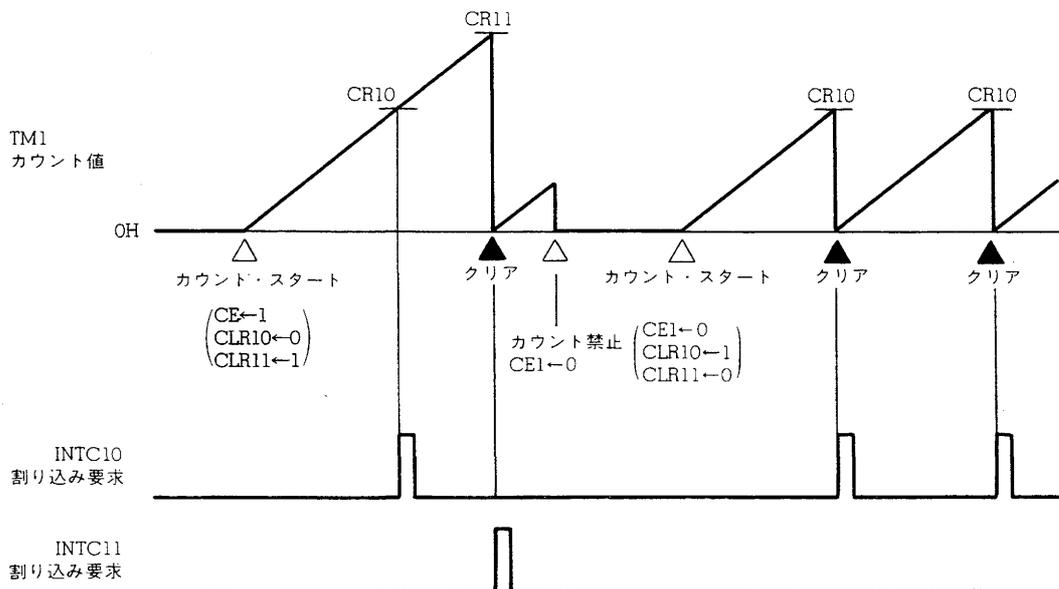
図 7-58 コンペア動作



備考 CLR10=0, CLR11=0, CM=0

注意 インサーキット・エミュレータ使用時についての注意がありますので，7.5.4 インサーキット・エミュレータ使用時の注意事項を参照してください。

図7-59 一致検出後、TM1のクリア



(2) キャプチャ動作

8ビット・タイマ/カウンタ1は、外部トリガに同期してタイマのカウント値をキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。

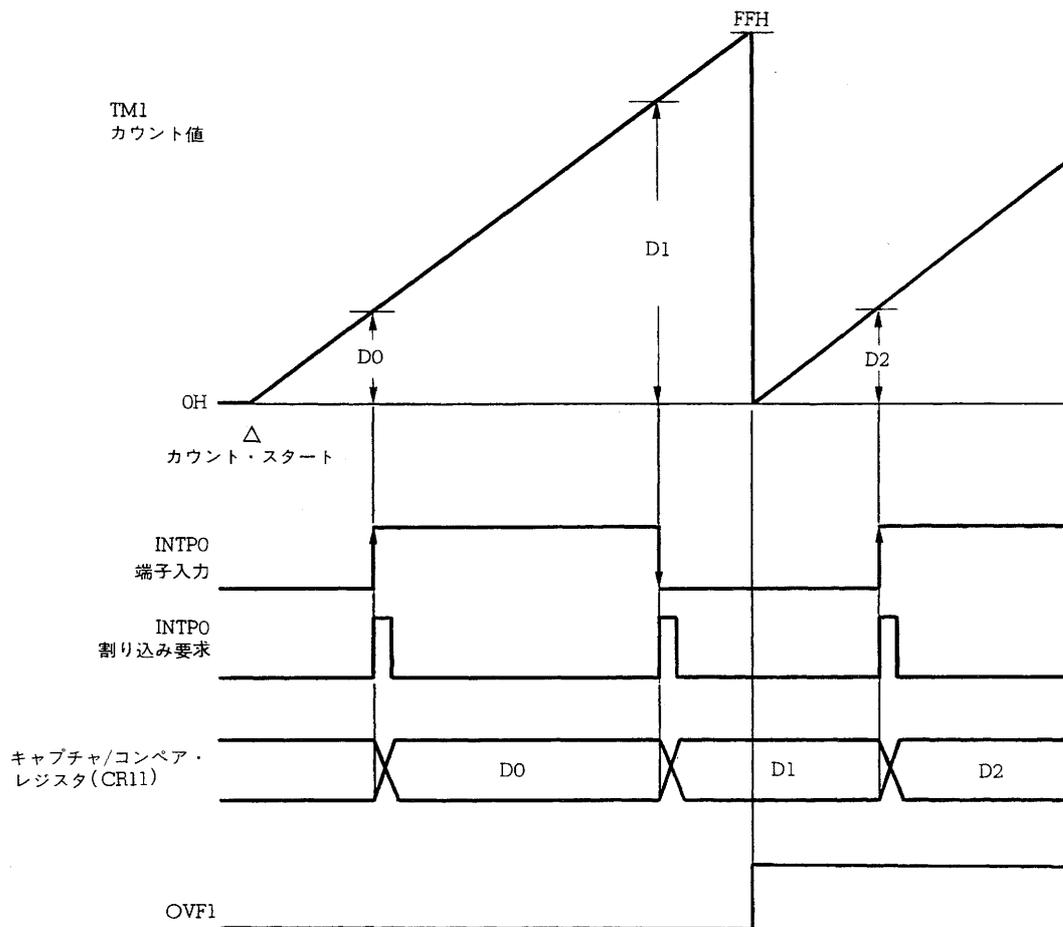
外部トリガとして、外部割り込み要求入力端子(INTPO)の入力から検出された有効エッジをいいます(キャプチャ・トリガ)。そのキャプチャ・トリガに同期してカウント中の8ビット・タイマ1(TM1)のカウント値をキャプチャ動作に指定したキャプチャ/コンペア・レジスタ(CR11)に取り込み保持します。次のキャプチャ・トリガが発生するまでCR11レジスタの内容は保持されます。

キャプチャ・トリガの有効エッジは外部割り込みモード・レジスタ0(INTMO)により設定します。立ち上がり、立ち下がり両エッジがキャプチャ・トリガとなるように設定すれば、外部からの入力パルス幅を測定することができます。また、片側エッジでキャプチャ・トリガを発生させた場合、入力パルスの周期を測定することができます。

INTMOレジスタの詳しいフォーマットは、**第13章 エッジ検出機能の図13-1**を参照してください。

注意 インサーキット・エミュレータ使用時についての注意がありますので、**7.5.4 インサーキット・エミュレータ使用時の注意事項**を参照してください。

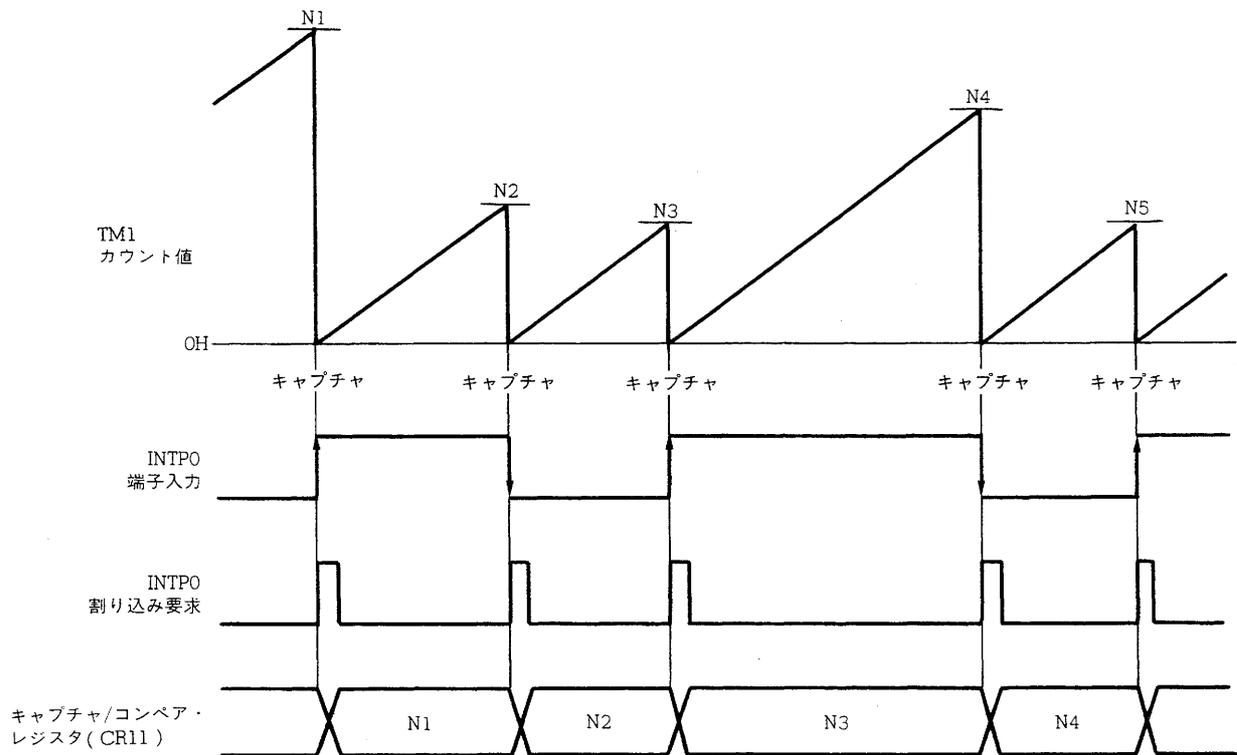
図7-60 キャプチャ動作



備考 D_n : TM1のカウンタ値 ($n=0, 1, 2, \dots$)

CLR10=0, CLR11=0, CM=1

図7-61 キャプチャ後、TM1のクリア



備考 NI: TM1のカウント値 ($n=0, 1, 2, \dots$)

CLR10=0, CLR11=0, CM=1

7

7.2.6 使用例

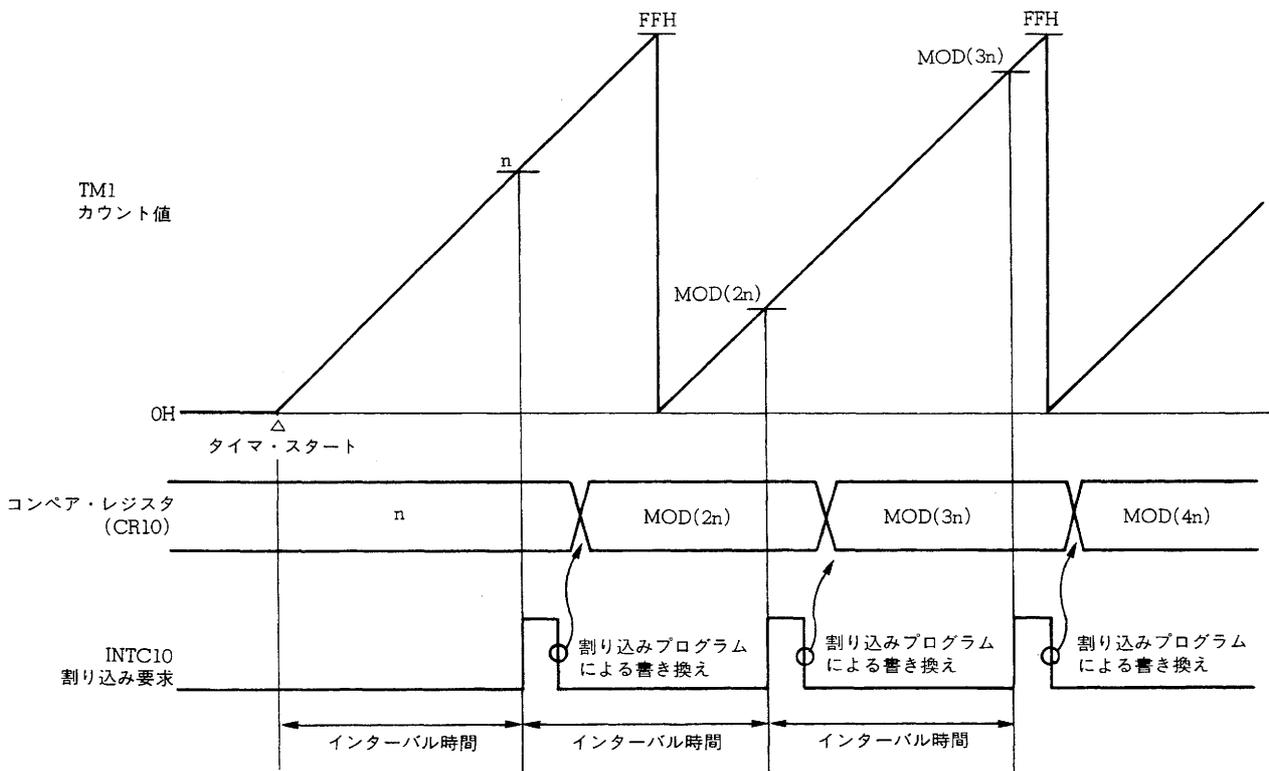
(1) インターバル・タイマとしての動作(1)

8ビット・タイマ1(TM1)をフリー・ランニングさせ、割り込み処理ルーチン中でコンペア・レジスタ(CR10, CR11)に一定の値を加算することで、加算する一定の値を同期とするインターバル・タイマとして動作します(図7-62参照)。

また、8ビット・タイマ1(TM1)1本にコンペア・レジスタが2本ついているため、2種類の周期のインターバル・タイマを作ることができます。

図7-63に制御レジスタの設定内容, 図7-64にその設定手順, 図7-65に割り込み処理ルーチン内の処理を示します。

図7-62 インターバル・タイマ動作(1)のタイミング

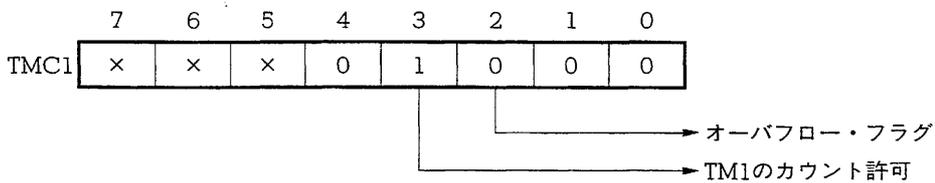


備考 インターバル時間 = $n \times x / f_{CLK}$, $1 \leq n \leq FFH$

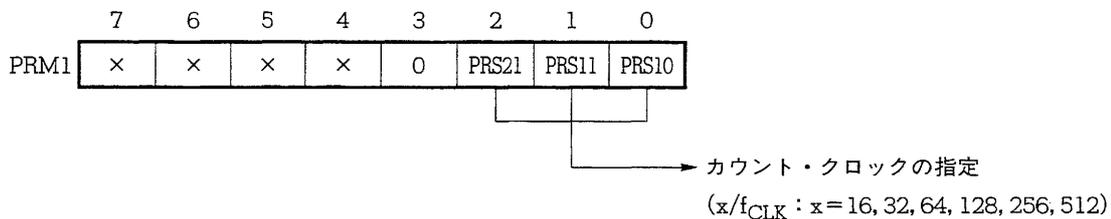
$x = 16, 32, 64, 128, 256, 512$

図 7-63 インターバル・タイマ動作(1)における制御レジスタの設定内容

(a) タイマ・コントロール・レジスタ1 (TMC1)



(b) プリスケアラ・モード・レジスタ1 (PRM1)



(c) キャプチャ/コンペア・コントロール・レジスタ1 (CRC1)

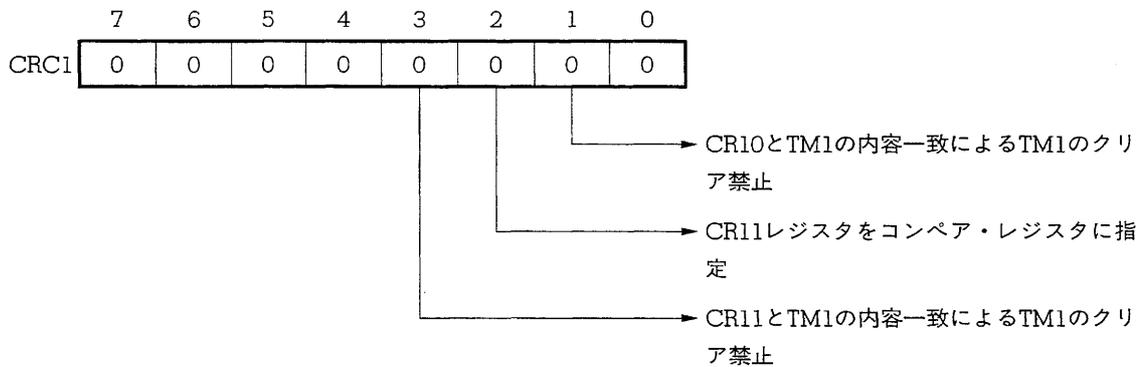


図7-64 インターバル・タイマ動作(1)の設定手順

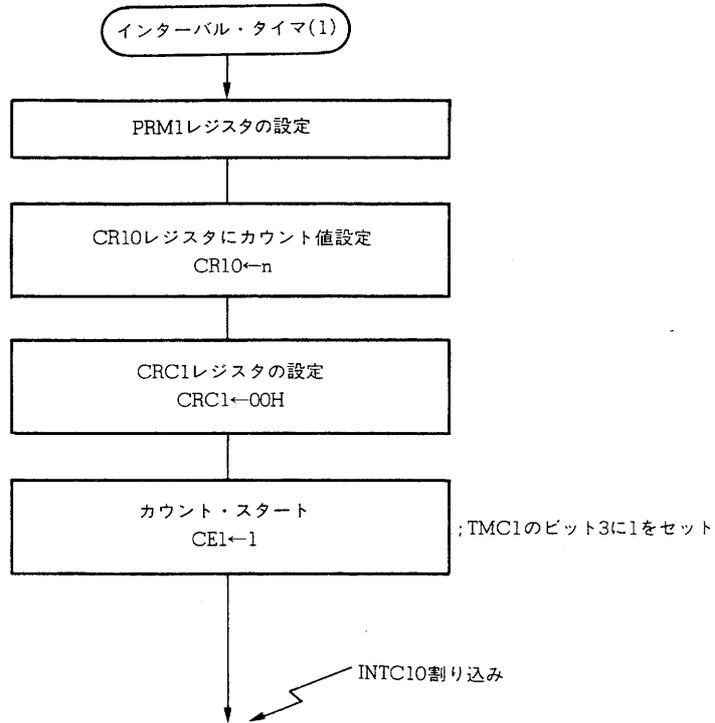
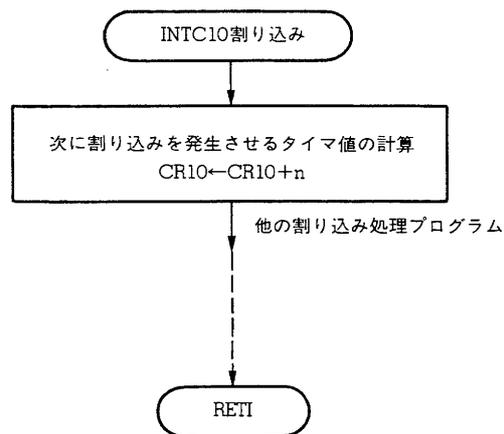


図7-65 インターバル・タイマ動作(1)の割り込み要求処理

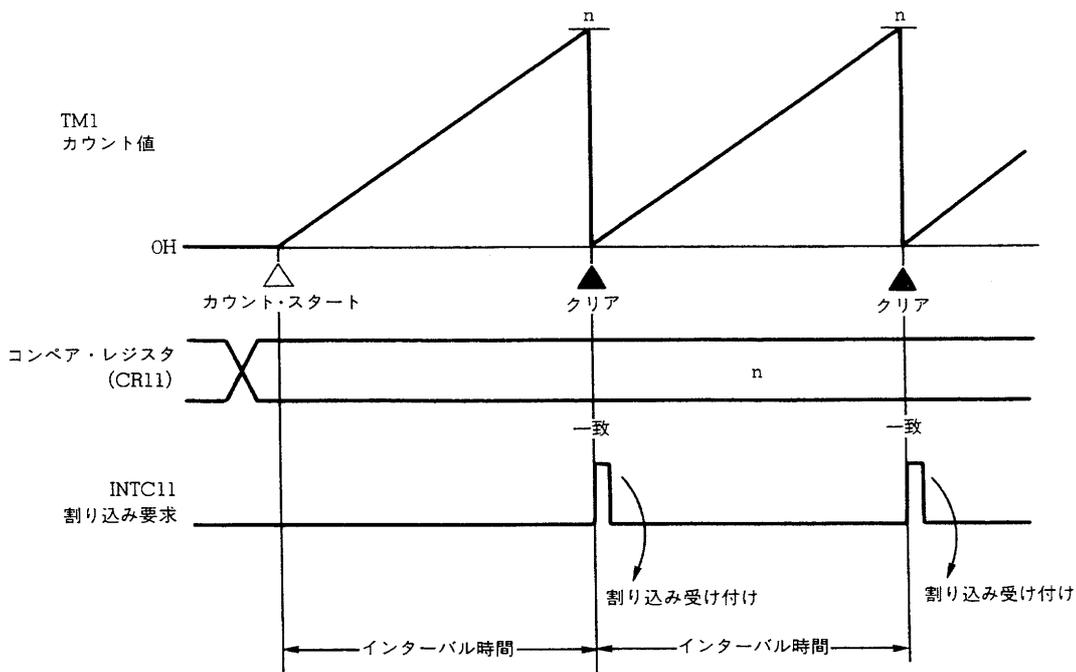


(2) インターバル・タイマとしての動作(2)

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します(図7-66参照)。

図7-67に制御レジスタの設定内容を、図7-68にその設定手順を示します。

図7-66 インターバル・タイマ動作(2)のタイミング(CR11をコンペア・レジスタとして使用する場合)



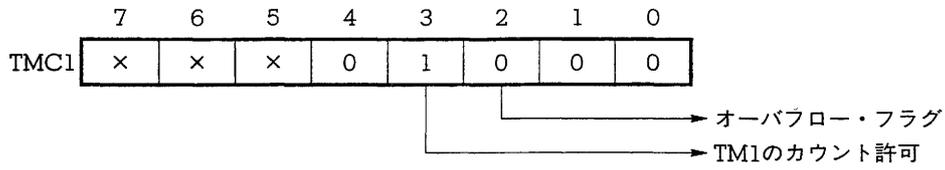
備考 インターバル時間 = $(n+1) \times x / f_{CLK}$

$0 \leq n \leq FFH$

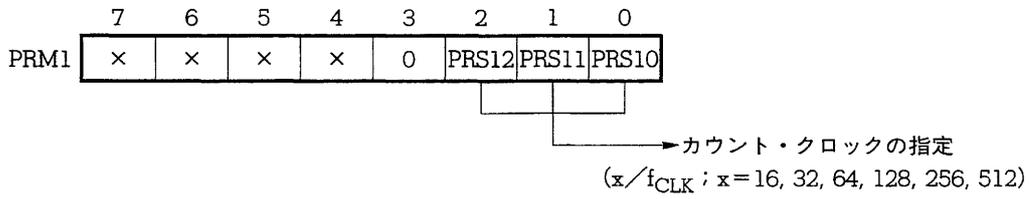
$x = 16, 32, 64, 128, 256, 512$

図7-67 インターバル・タイマ動作(2)の制御レジスタの設定内容

(a) タイマ・コントロール・レジスタ1 (TMC1)



(b) プリスケアラ・モード・レジスタ1 (PRM1)



(c) キャプチャ/コンペア・コントロール・レジスタ (CRC1)

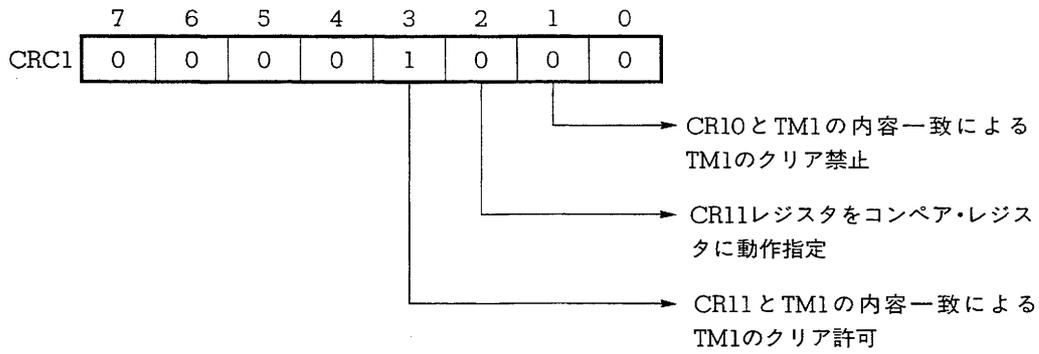
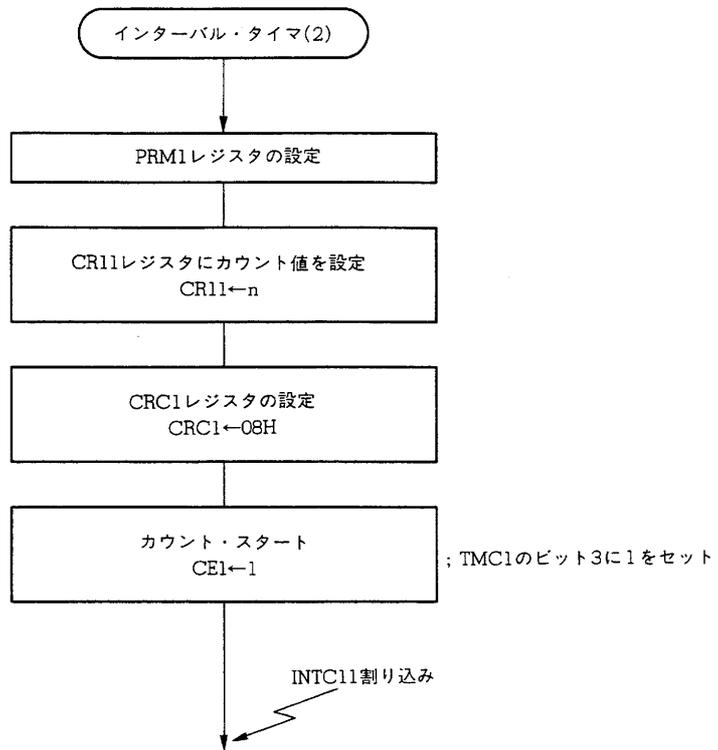


図 7-68 インターバル・タイマ動作(2)の設定手順



(3) パルス幅測定としての動作

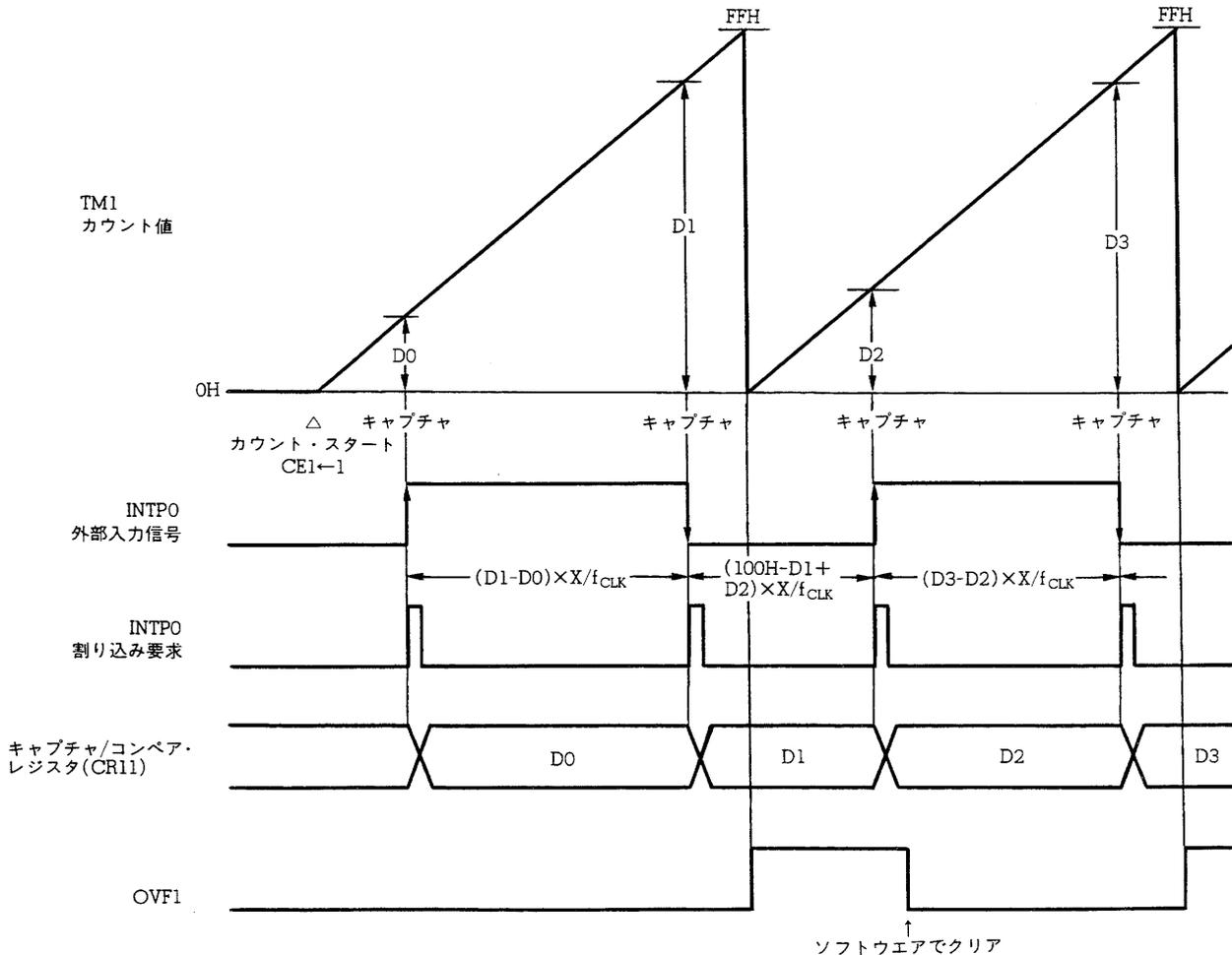
パルス幅測定は、外部割り込み要求入力端子 (INTP0) に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。

INTP0端子に入力するパルス幅はハイ・レベル、ロウ・レベルとも12システム・クロック ($2\mu\text{s}$: $f_{\text{CLK}}=6\text{MHz}$) 以上必要で、これ以下の場合には有効エッジが検出されずキャプチャ動作を行いません。

図7-69に示すようにINTP0端子入力の有効エッジ(立ち上がり, 立ち下りの両エッジに設定)に同期して、カウント中の8ビット・タイム1 (TM1) の値をキャプチャ・レジスタとして設定したキャプチャ/コンペア・レジスタ (CR11) に取り込み保持します。パルス幅は、 n 回目の有効エッジ検出によりCR11レジスタに取り込み保持されたTM1のカウンタ値 (D_n) と $n-1$ 回目の有効エッジ検出によるカウンタ値 (D_{n-1}) との差の値とカウンタ・クロック (X/f_{CLK} : $X=16, 32, 64, 128, 256, 512$) との積から求めます。

そのときの制御レジスタの設定内容を図7-70に、設定手順を図7-71に示します。

図7-69 パルス幅測定のタイミング(CR11をキャプチャ・レジスタとして使用する場合)

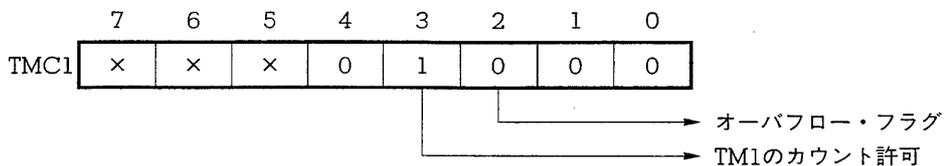


備考 D_n : TM1のカウンタ値 ($n=0, 1, 2, \dots$)

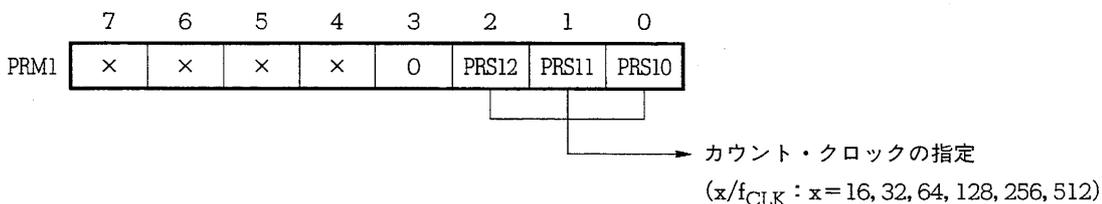
$X=16, 32, 64, 128, 256, 512$

図 7-70 パルス幅測定制御レジスタの設定内容

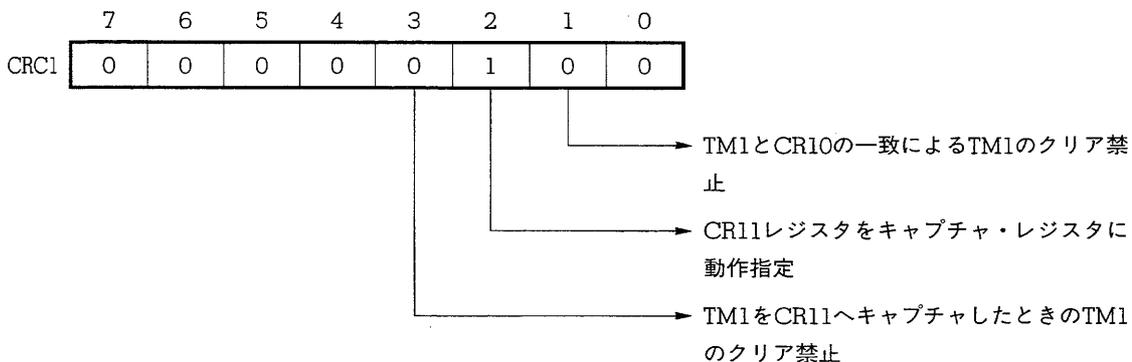
(a) タイマ・コントロール・レジスタ1 (TMC1)



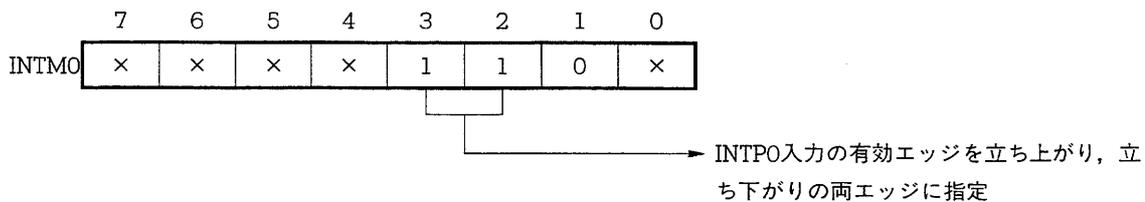
(b) プリスケアラ・モード・レジスタ(RPM1)



(c) キャプチャ/コンペア・コントロール・レジスタ1(CRC1)



(d) 外部割り込みモード・レジスタ0(INTMO)



× : don't care

図7-71 パルス幅測定の設定手順

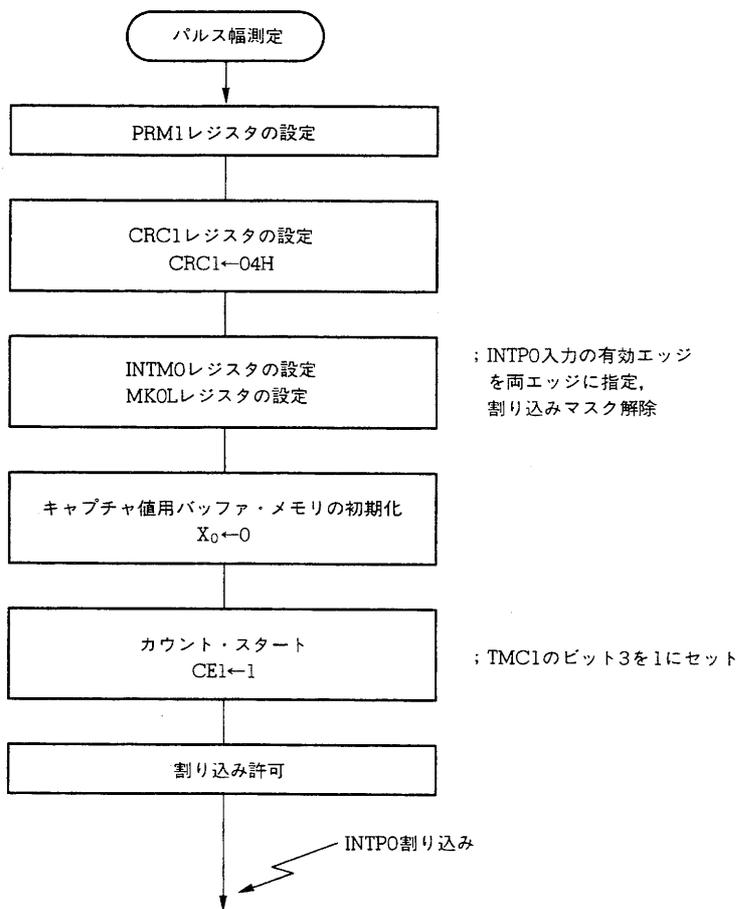
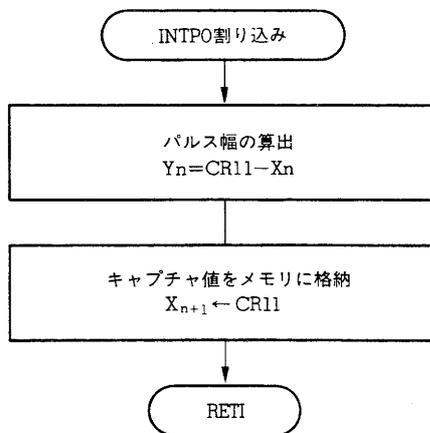


図7-72 パルス幅を算出する割り込み要求処理



7.3 8ビット・タイマ/カウンタ2

7.3.1 機能

8ビット・タイマ/カウンタ2は、ほかの3つのタイマ/カウンタでは持たない次の2つの機能を持っています。

- ・外部イベント・カウンタ
- ・ワンショット・タイマ注

ここでは次に示す4つの基本的機能について順に説明します。

- ・インターバル・タイマ
- ・プログラマブル矩形波出力
- ・パルス幅測定
- ・外部イベント・カウンタ

注 ワンショット・タイマ機能とは、タイマ・レジスタ(TM2)自身の動作のことです。したがって、16ビット・タイマ/カウンタのワンショット・パルス出力機能とは性質が異なります。

(1) インターバル・タイマ

あらかじめ設定したインターバルで内部割り込みを発生します。

表 7-11 8ビット・タイマ/カウンタ2のインターバル時間

分解能	最小インターバル時間	最大インターバル時間
$16/f_{CLK}$ (2.6 μ s)	$16/f_{CLK}$ (2.6 μ s)	$2^8 \times 16/f_{CLK}$ (683 μ s)
$32/f_{CLK}$ (5.3 μ s)	$32/f_{CLK}$ (5.3 μ s)	$2^8 \times 32/f_{CLK}$ (1.37 ms)
$64/f_{CLK}$ (10.7 μ s)	$64/f_{CLK}$ (10.7 μ s)	$2^8 \times 64/f_{CLK}$ (2.73 ms)
$128/f_{CLK}$ (21.3 μ s)	$128/f_{CLK}$ (21.3 μ s)	$2^8 \times 128/f_{CLK}$ (5.46 ms)
$256/f_{CLK}$ (42.7 μ s)	$256/f_{CLK}$ (42.7 μ s)	$2^8 \times 256/f_{CLK}$ (10.9 ms)
$512/f_{CLK}$ (85.3 μ s)	$512/f_{CLK}$ (85.3 μ s)	$2^8 \times 512/f_{CLK}$ (21.8 ms)

() 内は $f_{CLK}=6$ MHz

(2) プログラマブル矩形波出力

タイマ出力端子 (TO2, TO3) にそれぞれ独立に矩形波を出力します。

表 7-12 8ビット・タイマ/カウンタ2のプログラマブル矩形波出力設定範囲

最小パルス幅	最大パルス幅
$16/f_{CLK}$ (2.6 μ s)	$2^8 \times 16/f_{CLK}$ (683 μ s)
$32/f_{CLK}$ (5.3 μ s)	$2^8 \times 32/f_{CLK}$ (1.37 ms)
$64/f_{CLK}$ (10.7 μ s)	$2^8 \times 64/f_{CLK}$ (2.73 ms)
$128/f_{CLK}$ (21.3 μ s)	$2^8 \times 128/f_{CLK}$ (5.46 ms)
$256/f_{CLK}$ (42.7 μ s)	$2^8 \times 256/f_{CLK}$ (10.9 ms)
$512/f_{CLK}$ (85.3 μ s)	$2^8 \times 512/f_{CLK}$ (21.8 ms)

() 内は $f_{CLK}=6$ MHz

注意 上表は内部クロックの場合です。

(3) パルス幅測定

外部割り込み入力端子 (INTP1) へ入力される信号のパルス幅を検出します。

表 7-13 8ビット・タイマ/カウンタ2のパルス幅測定範囲

測定可能なパルス幅	分解能
$\leq 2^8 \times 16/f_{CLK}$ (683 μ s)	$16/f_{CLK}$ (2.6 μ s)
$\leq 2^8 \times 32/f_{CLK}$ (1.37 ms)	$32/f_{CLK}$ (5.3 μ s)
$\leq 2^8 \times 64/f_{CLK}$ (2.73 ms)	$64/f_{CLK}$ (10.7 μ s)
$\leq 2^8 \times 128/f_{CLK}$ (5.46 ms)	$128/f_{CLK}$ (21.3 μ s)
$\leq 2^8 \times 256/f_{CLK}$ (10.9 ms)	$256/f_{CLK}$ (42.7 μ s)
$\leq 2^8 \times 512/f_{CLK}$ (21.8 ms)	$512/f_{CLK}$ (85.3 μ s)

() 内は $f_{CLK}=6$ MHz

(4) 外部イベント・カウンタ

外部割り込み入力端子 (INTP2) から入力されるクロック・パルス (CI端子入力パルス) をカウントします。

表7-14に、8ビット・タイマ/カウンタ2に入力可能なクロックを示します。

表7-14 8ビット・タイマ/カウンタ2に入力可能なクロック

	片エッジをカウントする場合	両エッジをカウントする場合
最大周波数	$f_{\text{CLK}}/24$ (250 kHz)	$f_{\text{CLK}}/32$ (187.5 kHz)
最小パルス幅 (ハイおよびロウ・レベル)	$12/f_{\text{CLK}}$ ($2\ \mu\text{s}$)	$16/f_{\text{CLK}}$ ($2.67\ \mu\text{s}$)

()内は $f_{\text{CLK}}=6\ \text{MHz}$

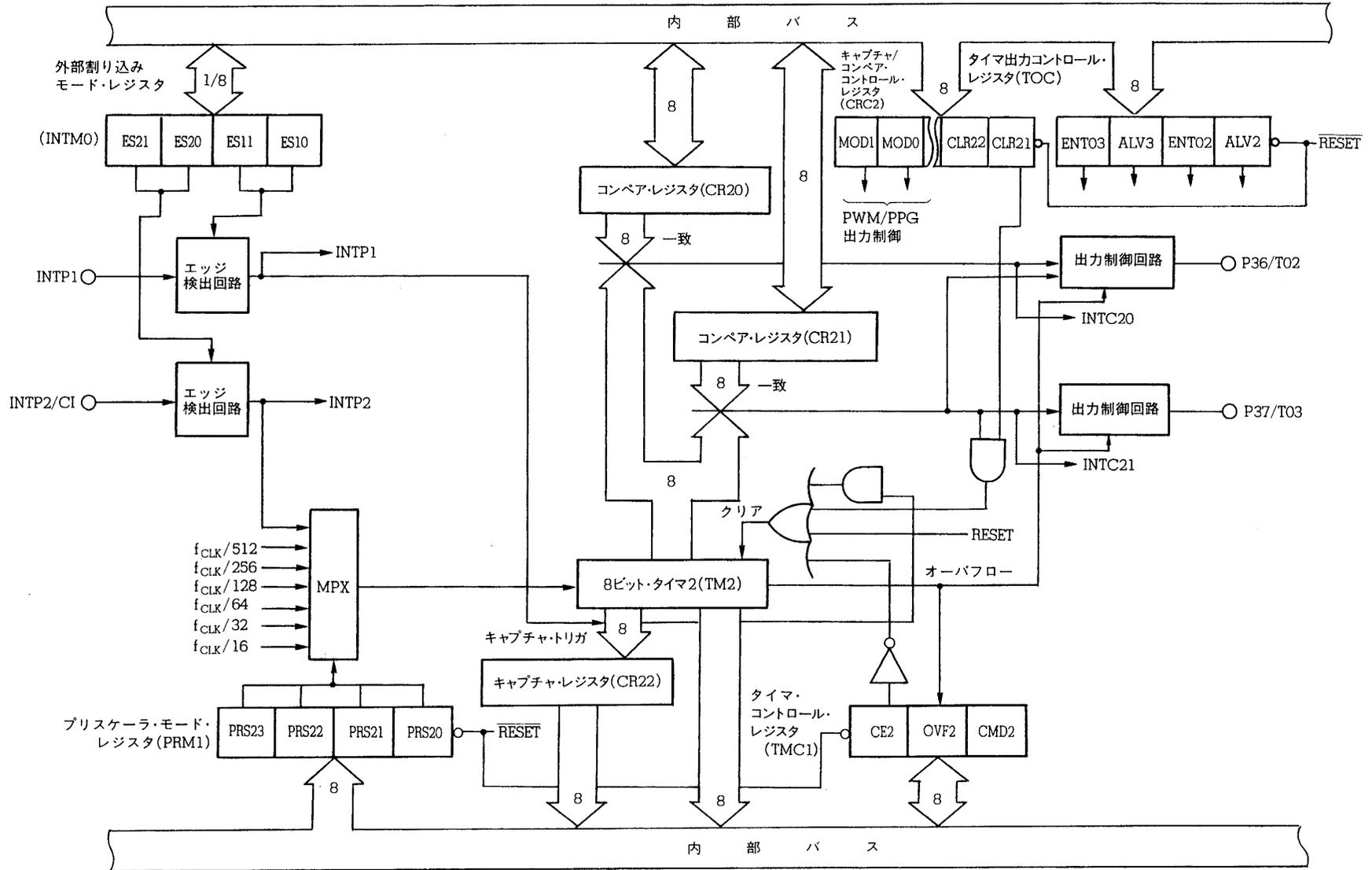
7

7.3.2 構成

8ビット・タイマ/カウンタ2は、8ビット・タイマ2 (TM2) と8ビット・コンペア・レジスタ2本 (CR20, CR21)、および8ビット・キャプチャ・レジスタ1本 (CR22) から構成されます。

図7-73に8ビット・タイマ/カウンタ2のブロック図を示します。

図 7-73 8ビット・タイマ/カウンタ2のブロック図



(1) 8ビット・タイマ2 (TM2)

TM2は、プリスケアラ・モード・レジスタ1 (PRM1) の上位4ビット、および外部割り込みモード・レジスタ0 (INTMO) で指定されるカウント・クロックをアップカウントするタイマです。カウント・クロックは内部クロック、外部クロックの選択もできます。

8ビット操作命令で読み出しのみが可能です。タイマ・コントロール・レジスタ1 (TMC1) によりカウント動作の停止/許可ができます。

$\overline{\text{RESET}}$ 入力により、TM2は00Hにクリアされ、カウントは停止します。

(2) コンペア・レジスタ (CR20, CR21)

CR20, CR21レジスタは、インターバル・タイマ動作の周期を決める値を保持する8ビット・レジスタです。

CR20, CR21レジスタの内容がTM2の値と一致すると、割り込み要求 (INTC20, INTC21)、およびタイマ出力の制御信号を発生します。また、一致 (CR21) によりカウント値のクリア動作が行えます。

8ビット操作命令で読み出し/書き込みが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(3) キャプチャ・レジスタ (CR22)

CR22レジスタは、TM2の内容をキャプチャする8ビット・レジスタです。

キャプチャ動作は、外部割り込み要求 (INTP1) 入力端子への有効エッジ入力 (キャプチャ・トリガ) に同期します。次のキャプチャ・トリガが発生するまで、あるいはCR22レジスタを読み出すまでCR22レジスタの内容は保持されます。読み出し後、CR22レジスタの内容は次のキャプチャ・トリガの発生で値がセットされるまで不定となります。また、キャプチャ後、TM2をクリアすることができます。

8ビット操作命令で読み出しのみが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(4) エッジ検出回路

エッジ検出回路は、外部入力の有効エッジを検出します。

INTP1端子入力での外部割り込みモード・レジスタ0 (INTMO) により設定された有効エッジを検出して、INTP1とキャプチャ・トリガを発生します。また、外部割り込み要求 (INTP2) 入力端子からの有効エッジを検出すると、TM2のカウント・クロックとINTP2を発生します。

(5) 出力制御回路

CR20, CR21レジスタの内容とTM2の内容が一致すると、タイマ出力を反転することができます。

タイマ出力コントロール・レジスタ (TOC) 上位4ビットの設定でタイマ出力端子 (TO2, TO3) から矩形波を出力することができます。このとき、キャプチャ/コンペア・コントロール・レジスタ (CRC2) の指定により、PWM出力やPPG出力もできます。

また、TOCレジスタによってタイマ出力の禁止/許可ができます。タイマ出力の禁止状態では

TO2, TO3端子には固定レベルが出力されます（出力レベルはTOCレジスタにより設定）。

(6) プリスケーラ

カウント・クロックを内部システム・クロックから生成します。このプリスケーラで生成されたクロックをセレクトで選択し、カウント・クロックとしてタイマはカウント動作を行います。

7.3.3 8ビット・タイマ/カウンタ2制御レジスタ

(1) タイマ・コントロール・レジスタ1 (TMC1)

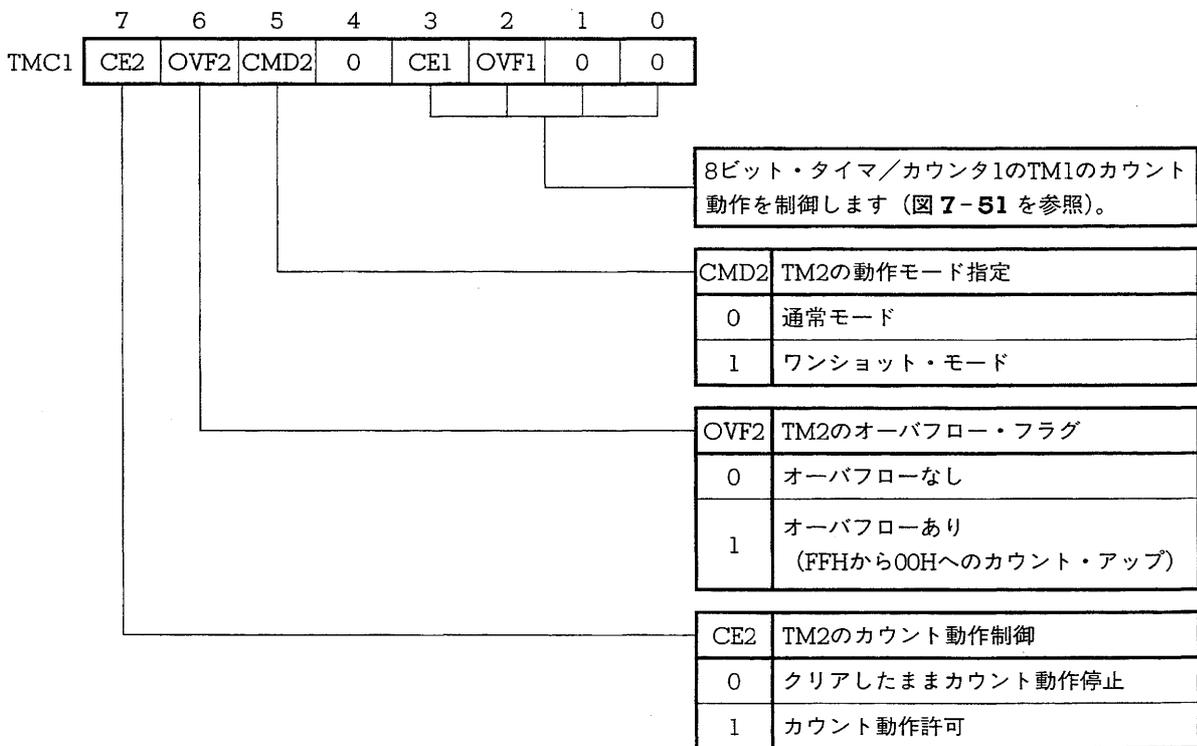
TMC1レジスタは、8ビット・タイマ1, 2 (TM1, TM2) のカウント動作を制御する8ビット・レジスタです。

上位4ビットで8ビット・タイマ/カウンタ2のTM2のカウント動作を制御します（下位4ビットは8ビット・タイマ/カウンタ1のTM1のカウント動作を制御します）。

8ビット操作命令で読み出し/書き込みが可能です。図7-74にTMC1レジスタのフォーマットを示します。

RESET入力により00Hにクリアされます。

図7-74 タイマ・コントロール・レジスタ1 (TMC1) のフォーマット



備考 OVF2ビットはソフトウェアでのみリセットされます。

(2) プリスケーラ・モード・レジスタ1 (PRM1)

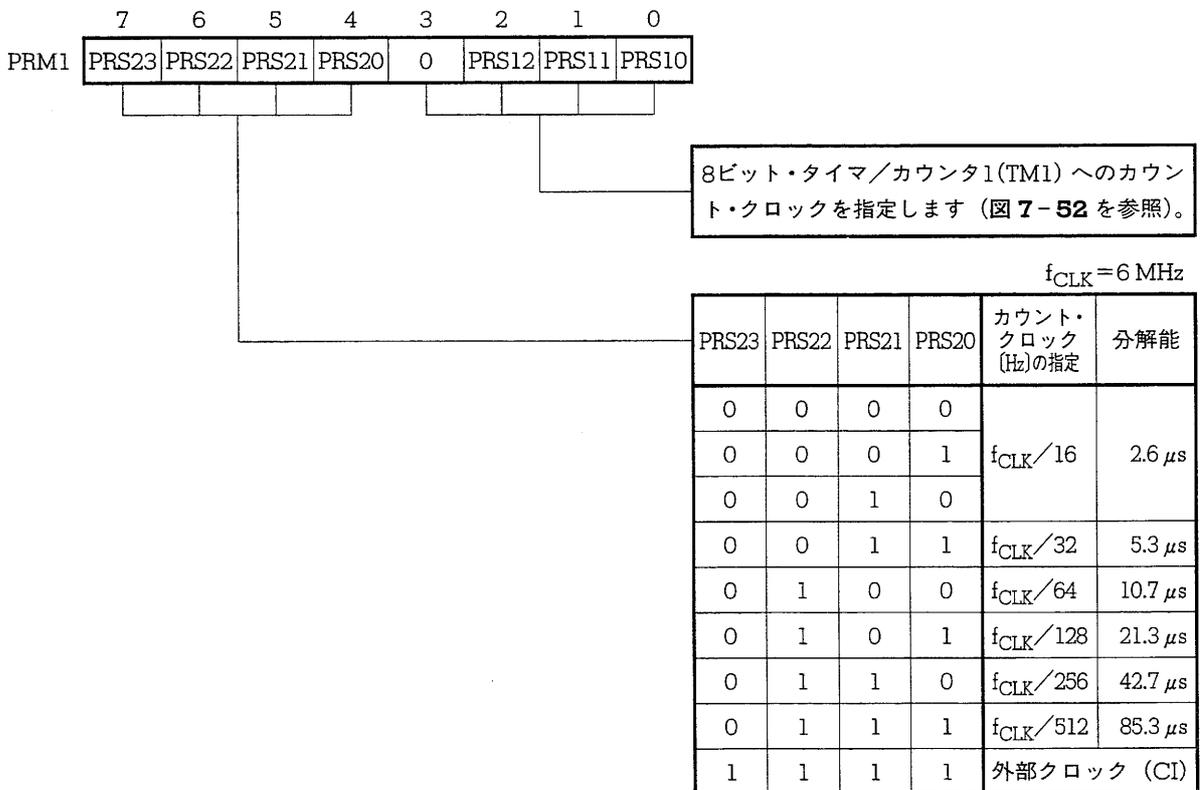
PRM1レジスタは、8ビット・タイマ1, 2 (TM1, TM2) へのカウント・クロックを指定する8ビット・レジスタです。

上位4ビットで8ビット・タイマ/カウンタ2のTM2へのカウント・クロックを指定します (下位4ビットは8ビット・タイマ/カウンタ1のTM1へのカウント・クロックを指定します)。

8ビット操作命令で書き込みのみ可能です。図7-75にPRM1レジスタのフォーマットを示します。

$\overline{\text{RESET}}$ 入力によりOOHにクリアされます。

図7-75 プリスケーラ・モード・レジスタ1 (PRM1) のフォーマット



備考 f_{CLK} : システム・クロック周波

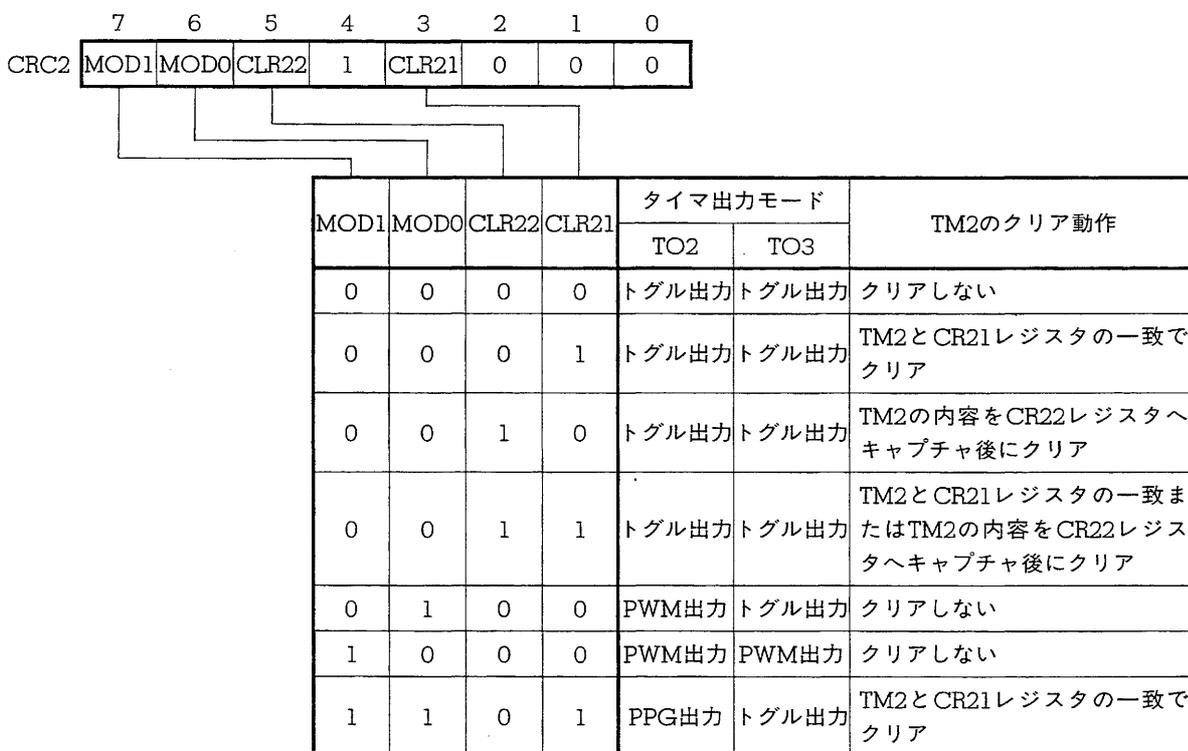
(3) キャプチャ/コンペア・コントロール・レジスタ2 (CRC2)

CRC2レジスタは、コンペア・レジスタ (CR21)、またはキャプチャ・レジスタ (CR22) による8ビット・タイマ2 (TM2) のクリア動作の許可条件やタイマ出力 (TO2, TO3) モードを指定するレジスタです。

8ビット操作命令で書き込みのみ可能です。図7-76にCRC2レジスタのフォーマットを示します。

RESET入力により10Hにクリアされます。

図7-76 キャプチャ/コンペア・コントロール・レジスタ2 (CRC2) のフォーマット



注意 上記以外の組み合わせは禁止

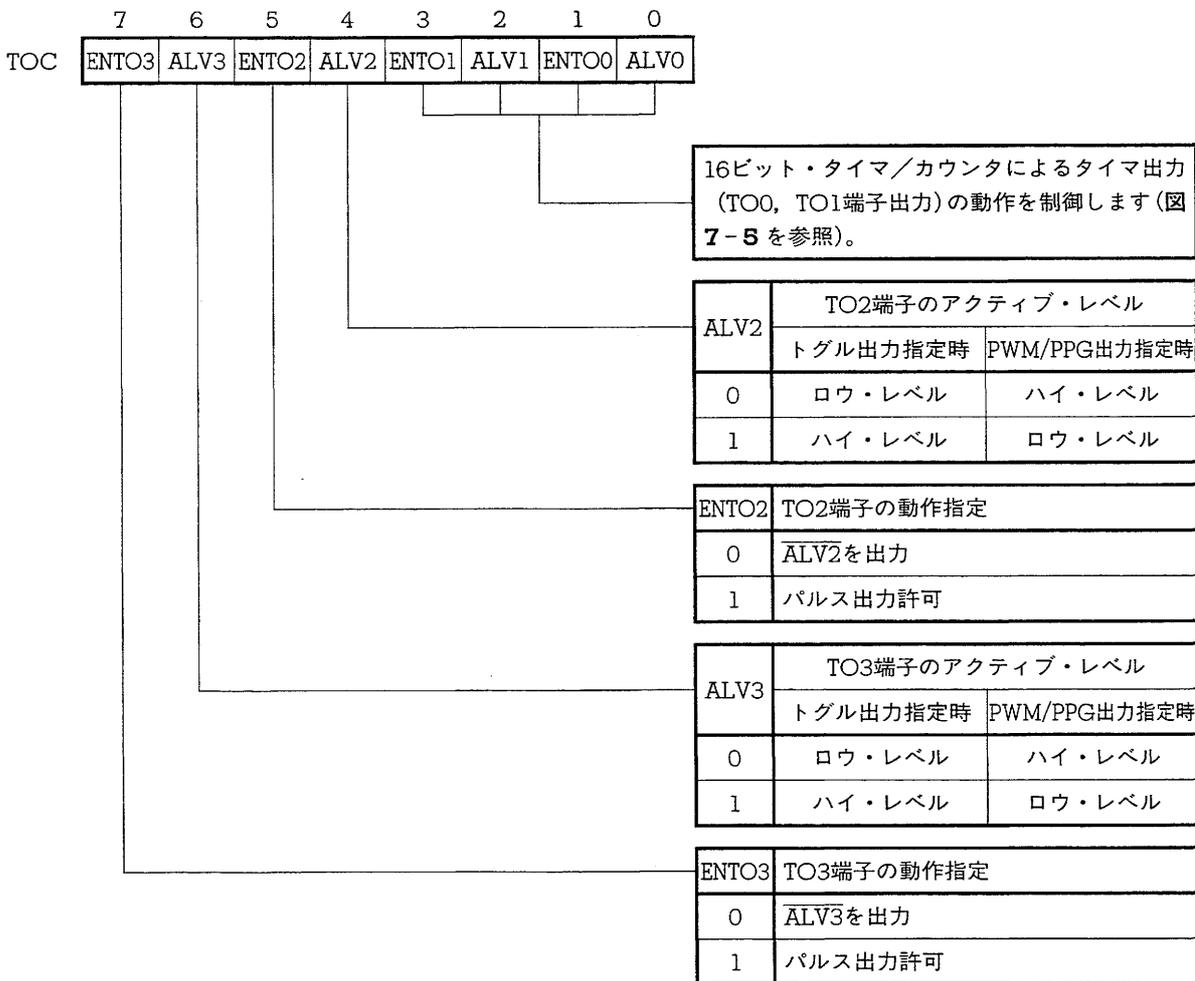
(4) タイマ出力コントロール・レジスタ (TOC)

TOCレジスタは、タイマ出力のアクティブ・レベルと出力許可/禁止を制御する8ビット・レジスタです。

上位4ビットで8ビット・タイマ/カウンタ2によるタイマ出力 (TO2, TO3端子出力) の動作を制御します (下位4ビットは16ビット・タイマ/カウンタによるタイマ出力 (TO0, TO1端子出力) の動作を制御します)。

8ビット操作命令で書き込みのみ可能です。図7-77にTOCレジスタのフォーマットを示します。
RESET入力により00Hにクリアされます。

図7-77 タイマ出力コントロール・レジスタ (TOC) のフォーマット



7.3.4 8ビット・タイマ2 (TM2) の動作

(1) 基本動作

8ビット・タイマ/カウンタ2のカウンタ動作は、プリスケアラ・モード・レジスタ1 (PRM1) の上位4ビットで指定されるカウンタ・クロックによりカウンタ・アップします。

カウンタ動作の禁止/許可は、タイマ・コントロール・レジスタ1 (TMC1) のビット7 (CE2) で制御します (8ビット・タイマ/カウンタ2の動作制御はTMC1レジスタの上位4ビットで行われます)。CE2ビットをソフトウェアによりセット(1)すると、最初のカウンタ・クロックでTM2の内容が00Hにクリアされた後、カウンタ・アップ動作を行います。

CE2ビットをソフトウェアによりリセット(0)すると、TM2は次のカウンタ・クロックで00Hにクリアされ、キャプチャ動作や一致信号の発生は、停止します。

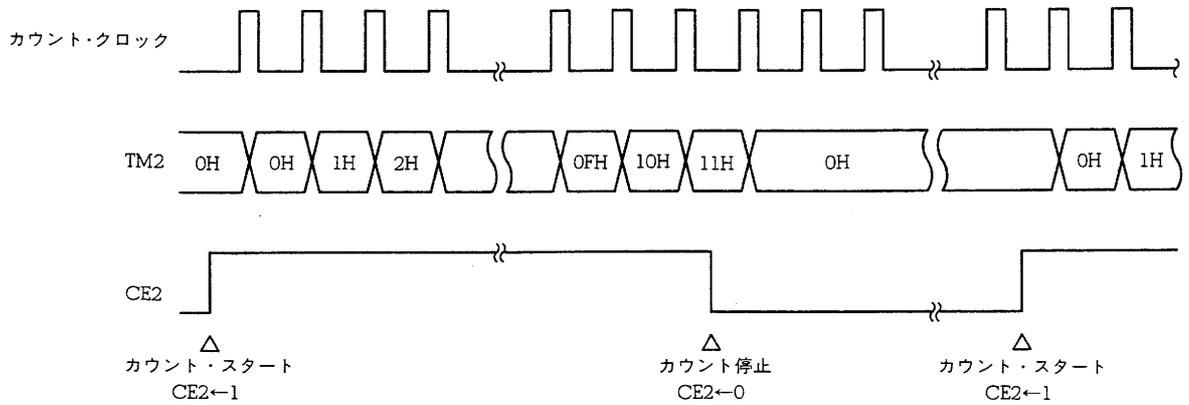
CE2ビットがセット(1)されている状態でさらにCE2ビットをセット(1)した場合、TM2のカウンタ動作は影響を受けません (図 7-78 (b)参照)。

TM2がFFHのときにカウンタ・クロックが入力されると、TM2は00Hになります。このとき、OVF2がセットされ、出力制御回路にオーバフロー信号を送ります。OVF2は、ソフトウェアによってのみクリアされます。また、カウンタ動作はそのまま継続されます。

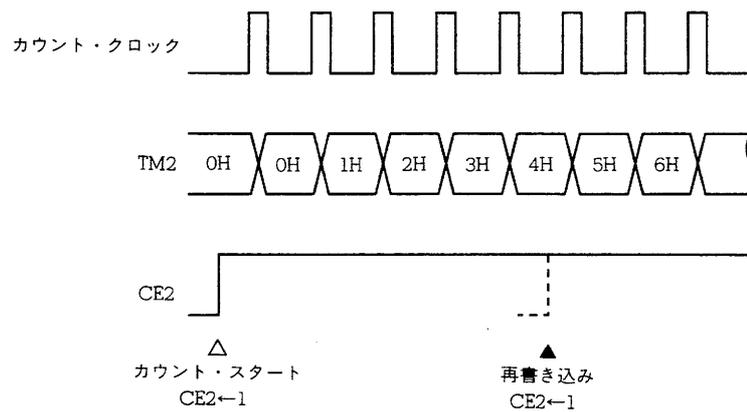
$\overline{\text{RESET}}$ 入力により、TM2は00Hにクリアされカウンタ動作は停止します。

図7-78 8ビット・タイマ2(TM2)の基本動作

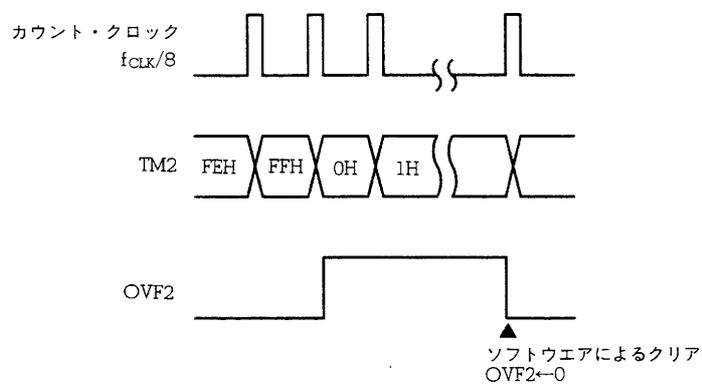
(a) カウント・スタート→カウント禁止→カウント・スタートの場合



(b) カウント・スタート後に再度CE2ビットに“1”を書き込んだ場合



(c) TM2がFFHのときの動作



(2) クリア動作

8ビット・タイマ2 (TM2) は、コンペア・レジスタ (CR21) との一致後およびキャプチャ後に自動的にクリアすることができます。TM2は、クリアする要因が発生すると、次のカウント・クロックで00Hにクリアされます。したがって、クリアする要因が発生しても、次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

図7-79 コンペア・レジスタ (CR21) との一致によるTM2のクリア

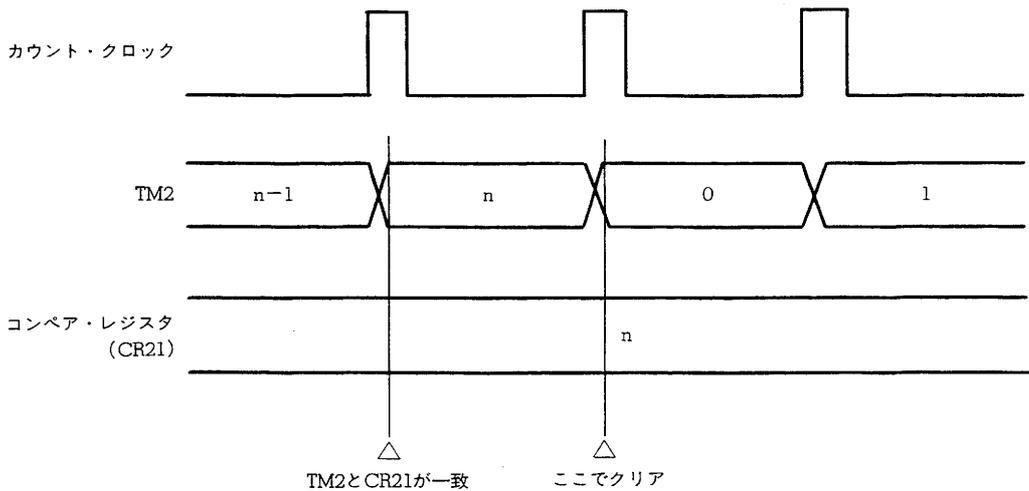
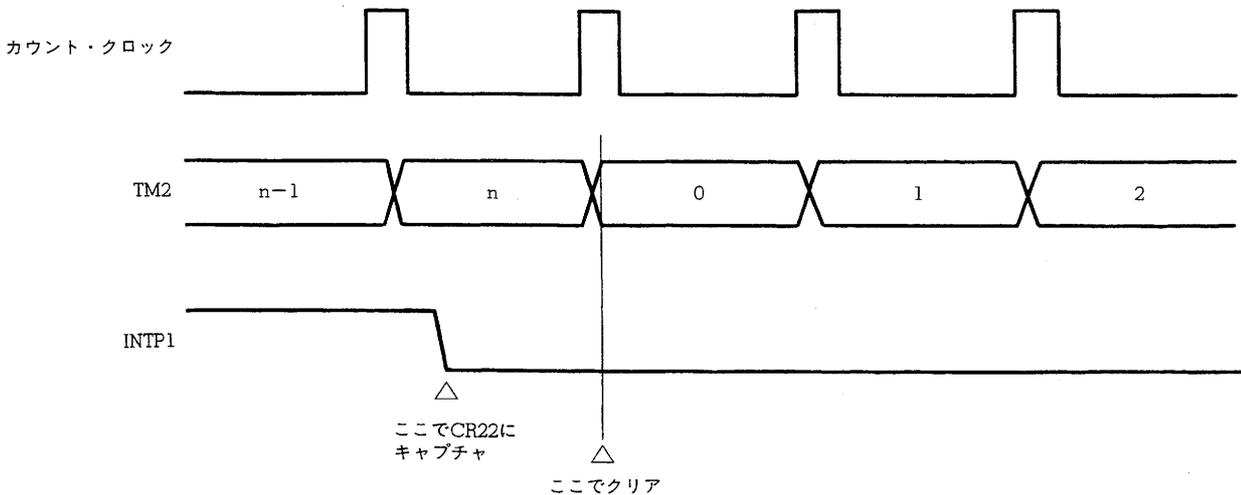


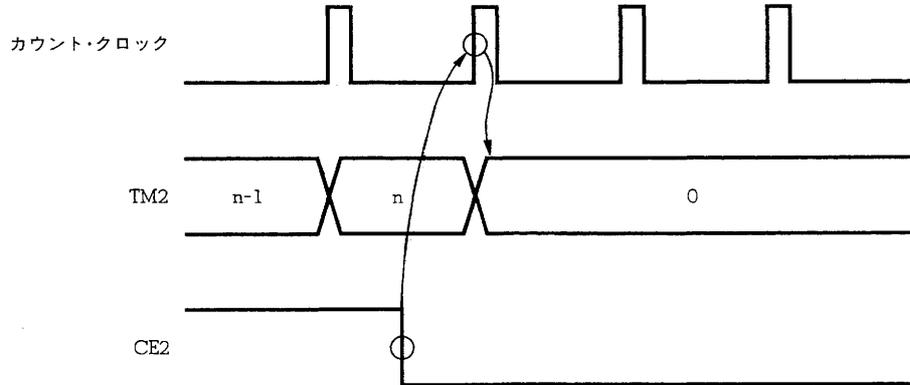
図7-80 キャプチャ後、TM2のクリア



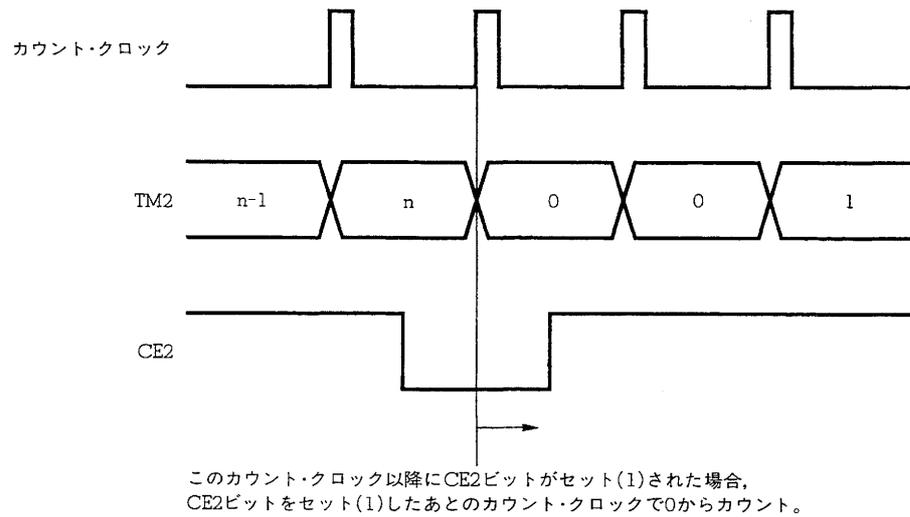
また、TM2はソフトウェアにより、タイマ・コントロール・レジスタ (TMC1) のCE2ビットをリセット(0)することによってもクリアされます。クリア動作は同様に、CE2ビットがリセット(0)されたあとのカウント・クロックで行われます。なお、CE2ビットをリセット(0)し、TM2が0になる前 (CE2ビットをリセット(0)したあとの最初のカウント・クロックがくる前) にCE2ビットがセット(1)されると、クリア動作によりTM2が0になる動作とカウント・スタートによる0のカウント動作が同時に行われます。

図 7-81 CE2ビットをリセット(0)した場合のクリア動作

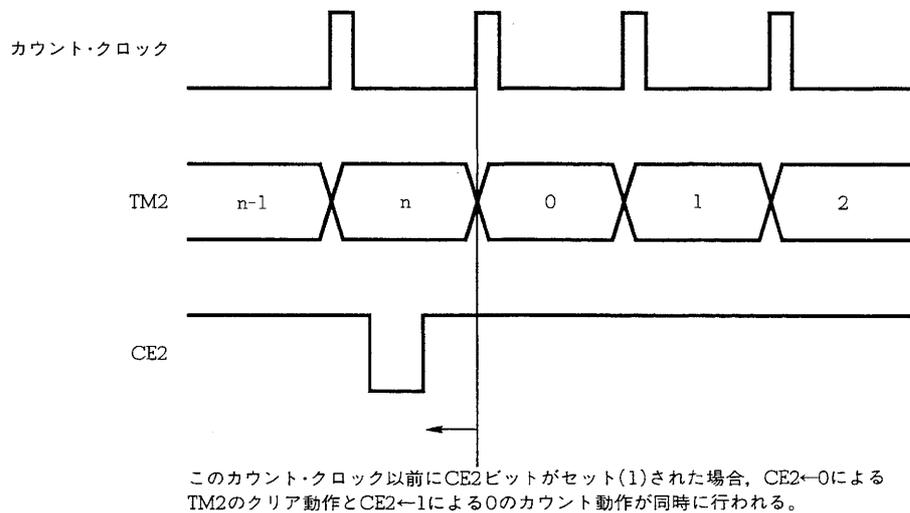
(a) 基本動作



(b) クリア後のTM2が0になってからの再スタート



(c) クリア後のTM2が0になる前の再スタート



7.3.5 外部イベント・カウンタ機能

8ビット・タイマ/カウンタ2は、外部から入力されるクロック・パルス (CI端子) をカウントすることができます。

外部イベント・カウンタ動作モードは、特別な選択方法を必要としません。プリスケアラ・モード・レジスタ1 (PRM1) の上位4ビットの設定によって、TM2のカウント・クロックを外部クロック入力に指定すると、TM2は外部イベント・カウンタとして動作します。

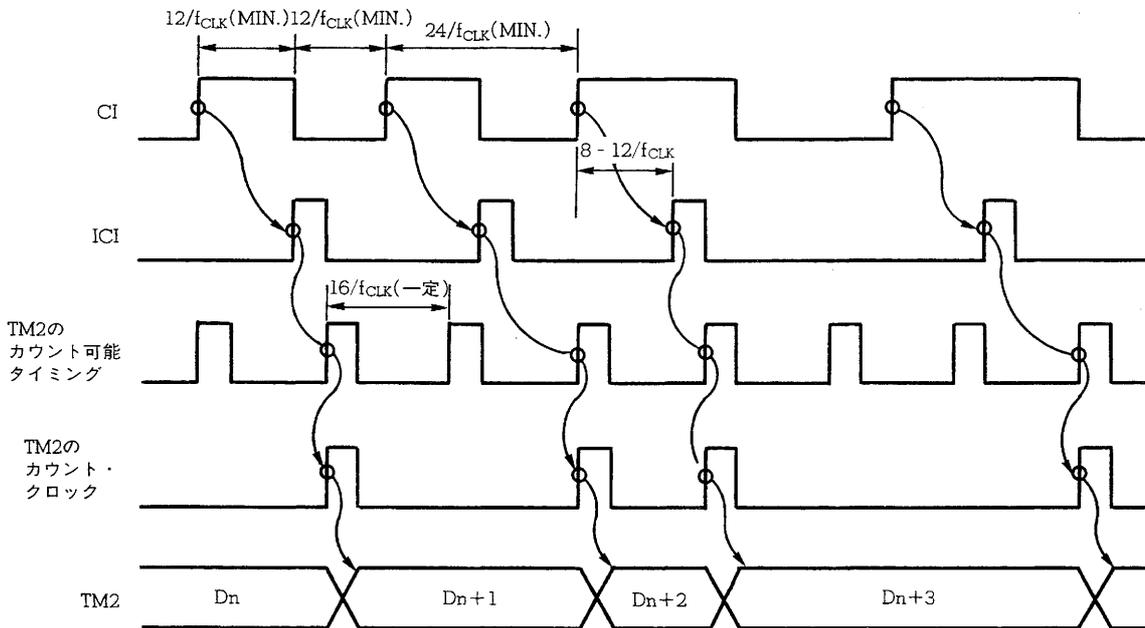
外部イベント・カウンタとしてカウントできる外部クロック・パルスの最大周波数はCI入力の両エッジをカウントする場合187.5 kHz、片エッジのみをカウントする場合250 kHzです ($f_{CLK}=6\text{ MHz}$)。

また、両エッジをカウントする場合は、パルス幅はハイ・レベル、ロウ・レベルともに16システム・クロック ($2.67\text{ }\mu\text{s} : f_{CLK}=6\text{ MHz}$) 以上必要で、これ以下の場合は、カウントされない場合があります。片エッジをカウントする場合は、パルス幅はハイ・レベル、ロウ・レベルともに12システム・クロック ($2\text{ }\mu\text{s} : f_{CLK}=6\text{ MHz}$) 以上必要で、これ以下の場合はカウントされない場合があります。

図7-82に、8ビット・タイマ/カウンタ2の外部イベント・カウントのタイミングを示します。

図7-82 8ビット・タイマ/カウンタ2の外部イベント・カウントのタイミング (1/2)

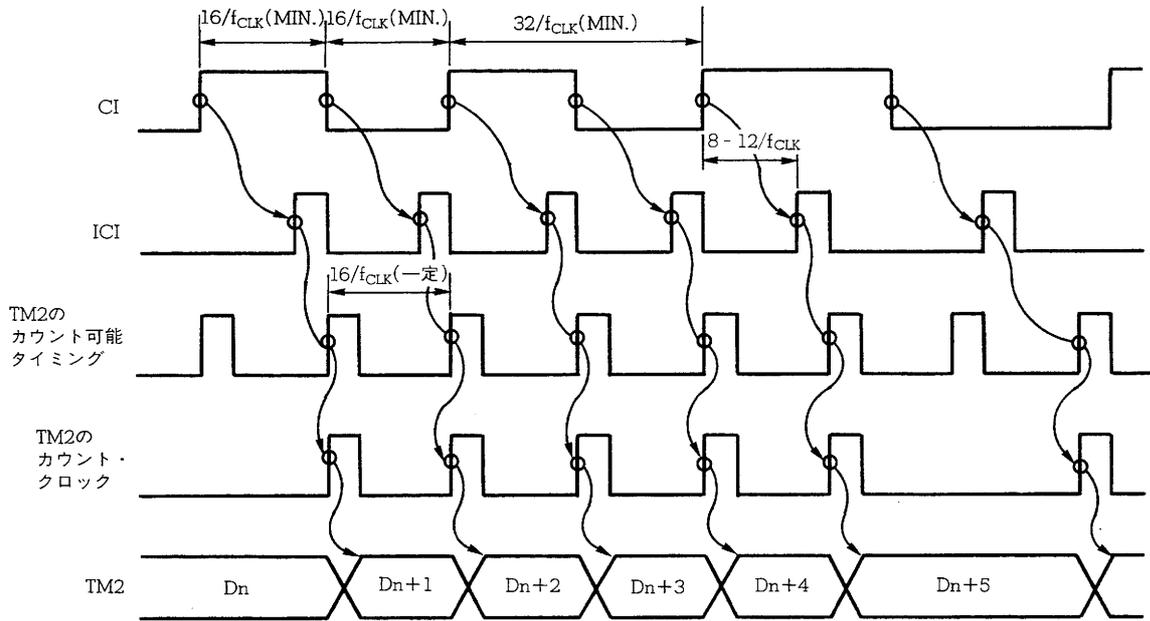
(1) 片エッジをカウントする場合 (最大周波数= $f_{CLK}/24$)



備考 ICI : CI入力のエッジ検出回路通過後の信号

図7-82 8ビット・タイマ/カウンタ2の外部イベント・カウントのタイミング (2/2)

(2) 両エッジをカウントする場合 (最大周波数= $f_{CLK}/32$)



備考 ICI: CI入力のエッジ検出回路通過後の信号

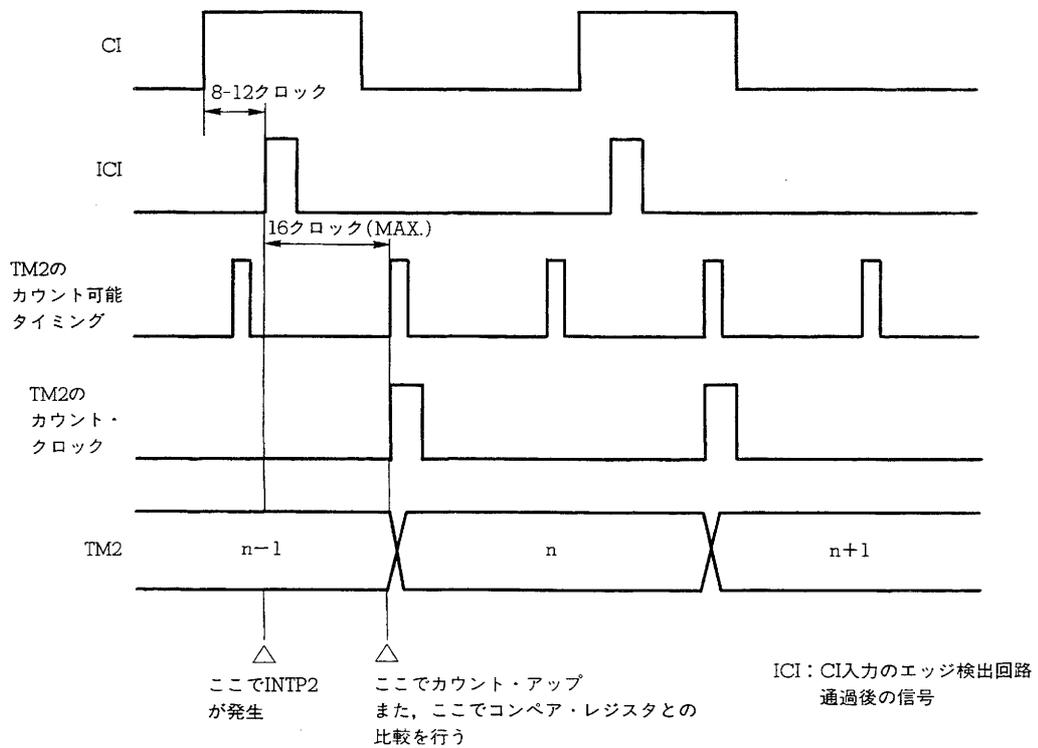
TM2のカウントの動作は、基本動作の場合と同様にTMC1レジスタのCE2ビットで制御します。

CE2ビットをソフトウェアによってセット(1)すると、最初のカウント・クロックでTM2の内容が00Hとなり、カウント・アップ動作を開始します。

TM2のカウント動作中CE2ビットをソフトウェアによりセット(0)すると、TM2は次のカウント・クロックで00Hにクリアされ停止状態となります。また、CE2ビットがセットされている状態で、さらにソフトウェアによりCE2ビットをセット(1)した場合、TM2のカウント動作は影響を受けません。

注意1. 8ビット・タイマ/カウンタ2を外部イベント・カウンタとして使用する場合、CI端子に有効エッジが入力されてからTM2がインクリメントされるまで最大28システム・クロック($4.67\mu\text{s} : f_{\text{CLK}}=6\text{MHz}$)だけ遅れます。したがって、エッジ検出直後にTM2の値を読み出してもインクリメントされていない場合があります。また、コンペア・レジスタ(CR20, CR21)との一致による割り込み要求の発生も同様にエッジ入力より遅れます。エッジ入力直後の短いタイミングの制御を行う必要がある場合には、注意してください。

図7-83 外部イベント・カウンタでの割り込み要求発生



注意2. 8ビット・タイマ/カウンタ2を外部イベント・カウンタとして使用する場合、有効エッジの入力が一度もない状態と1回だけあった状態の区別がTM2だけではつけられません(図7-84参照)。TM2の内容はいずれの場合も0になります。区別をつける必要がある場合には、INTP2の割り込み要求フラグを利用してください(INTP2端子とCI端子は兼用になっており、いずれの機能も同時に使用できます)。例を図7-85に示します。

図7-84 外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例

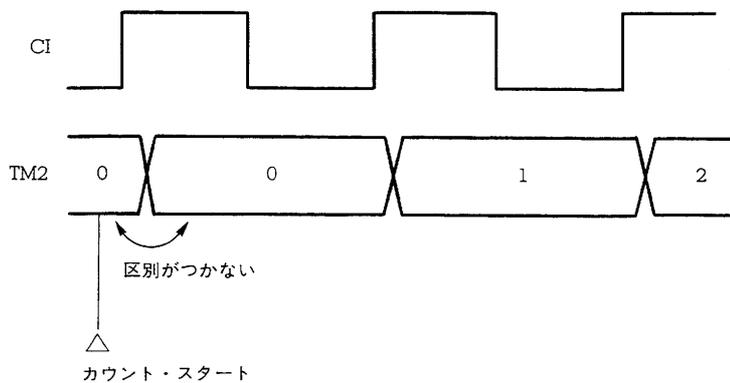
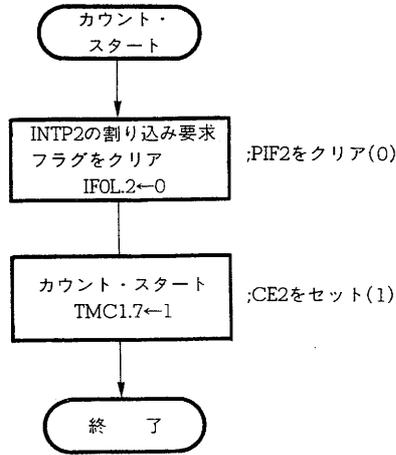
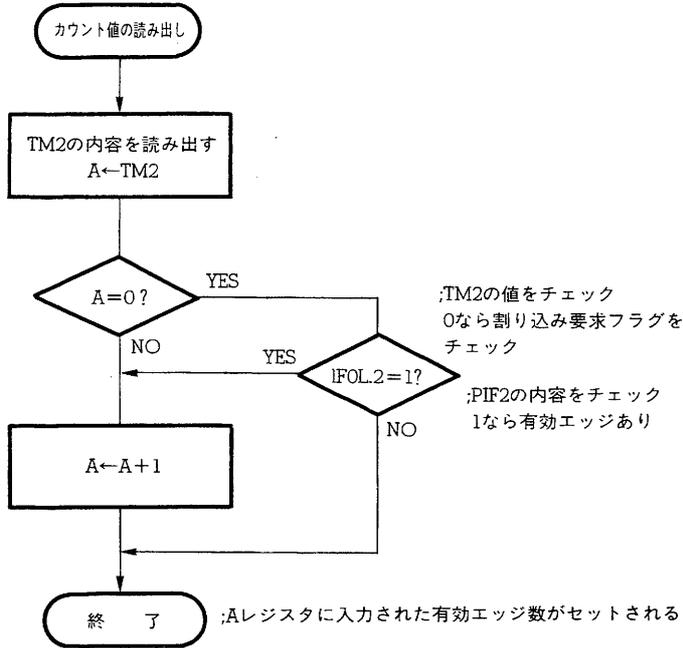


図7-85 外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法

(a) カウント・スタート時の処理



(b) カウント値読み出し時の処理



注意3. インサーキット・エミュレータではCI/INTP2端子のデジタル・ノイズ除去を正常に行うことができません。イベント・カウンタを使用している場合は、7.5.4 インサーキット・エミュレータ使用時の注意事項を参照してください。

7.3.6 ワンショット・タイマ機能

8ビット・タイマ/カウンタ2には、カウントの結果フルカウント (FFH) になると自動的に停止する動作モードがあります。

図 7-86 ワンショット・タイマ動作

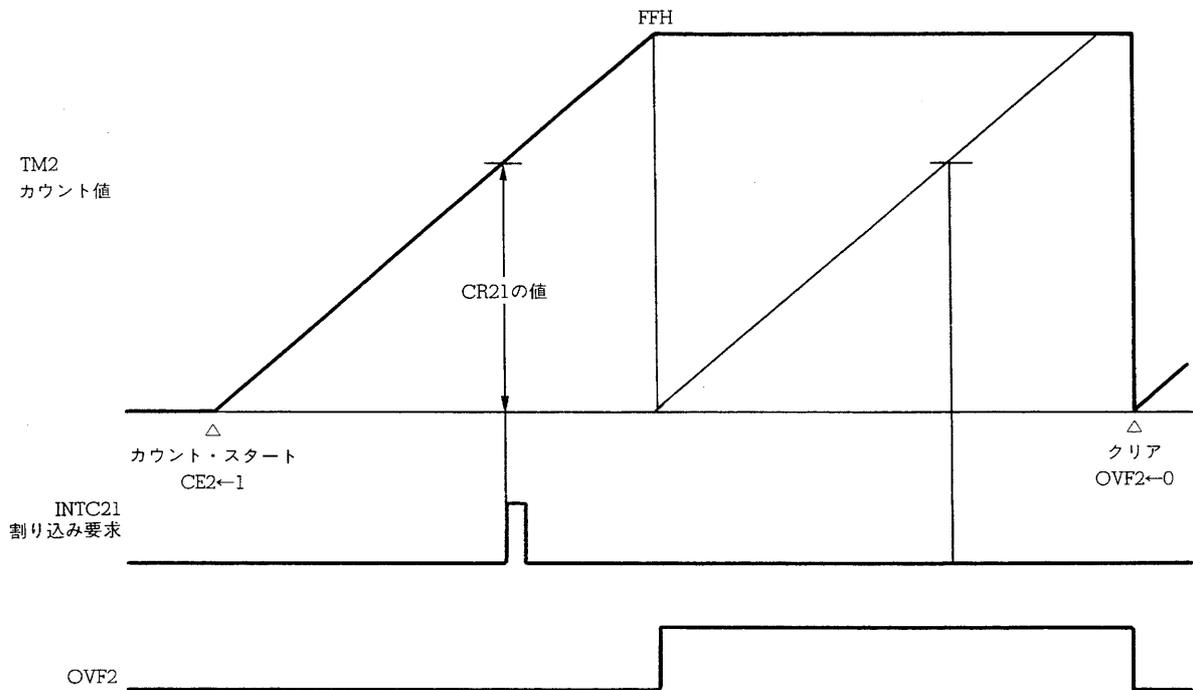


図 7-86 に示すように、CR20、CR21レジスタにあらかじめ設定した値 (0H-FFH) とTM2の値との一致で、それぞれワンショットの割り込みを発生します。

ワンショット・タイマ動作モードの指定は、タイマ・コントロール・レジスタ1 (TMC1) のビット5 (CMD2) をソフトウェアでセット(1)することによって行います。

TM2のカウント動作は、基本動作の場合と同様にTMC1、レジスタのCE2ビットで制御します。

CE2ビットをソフトウェアによってセット(1)すると、最初のカウント・クロックでTM2の内容が00Hとなり、カウント・アップ動作を開始します。

カウント・アップの結果TM2の内容がFFH (フルカウント) になると、TMC1レジスタのビット6 (OVF2) がセット(1)され、TM2はカウント値FFHのまま停止します。

カウント停止状態から再びワンショット・タイマ動作をスタートさせる場合、OVF2ビットをソフトウェアでリセット(0)することによって行います。OVF2ビットをリセット(0)すると、次のカウント・クロックでTM2の内容が00Hとなり、カウント・アップ動作を再開します。

TM2のカウント動作中にCE2ビットをソフトウェアによりリセット(0)すると、TM2は次のカウント・クロックで00Hにクリアされ、停止状態となります。また、CE2ビットがセット(1)されている状態で、さらにソフトウェアでCE2ビットをセット(1)した場合、TM2のカウント動作は影響を受けません。

7.3.7 コンペア・レジスタ, キャプチャ・レジスタの動作

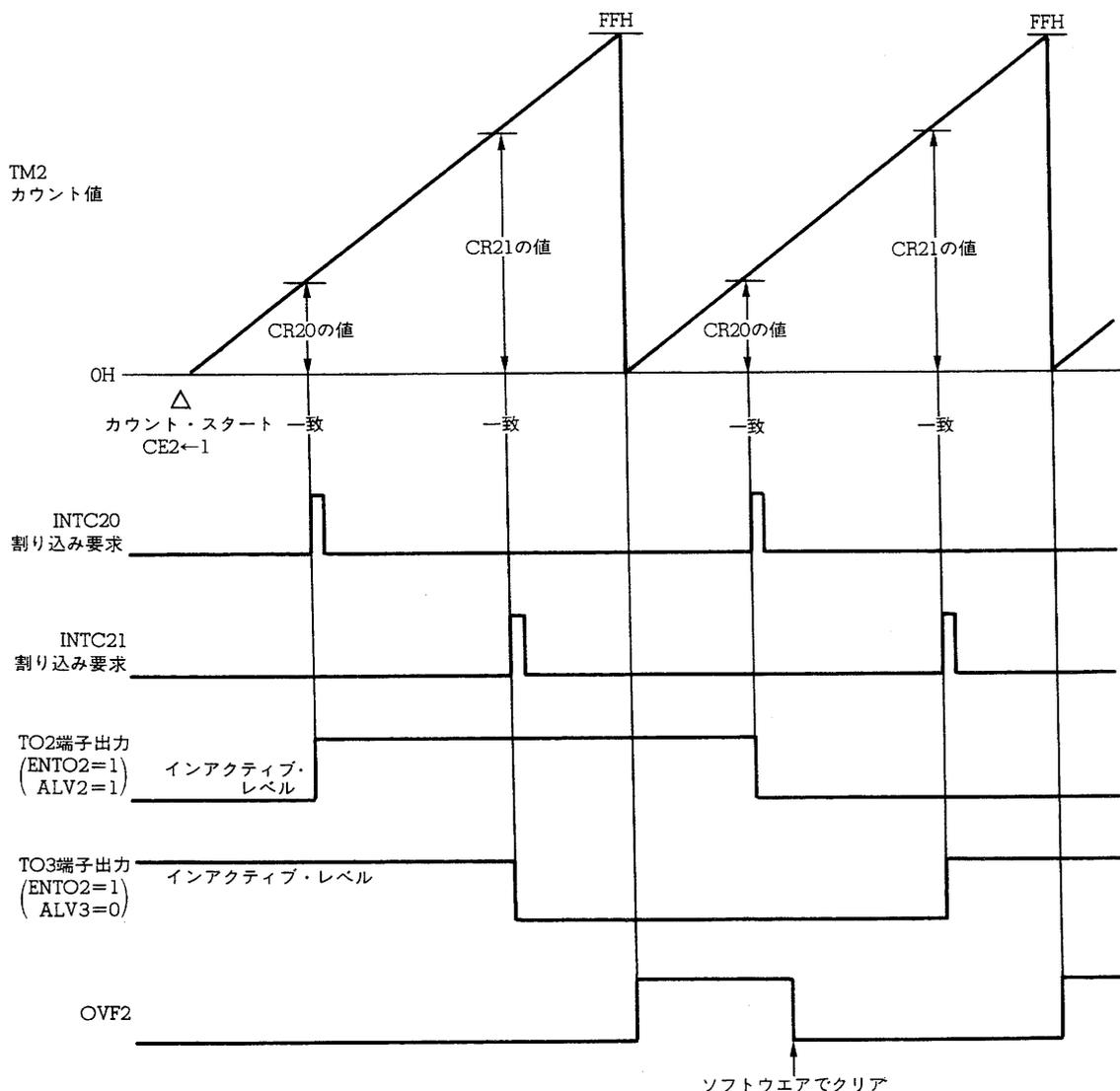
(1) コンペア動作

8ビット・タイマ/カウンタ2は、コンペア・レジスタに設定された値をタイマのカウンタ値と比較するコンペア動作を行います。

あらかじめ設定されたコンペア・レジスタ (CR20, CR21) の値に8ビット・タイマ2 (TM2) のカウンタ値がカウント動作によって一致すると、出力制御回路に一致信号を送ります。同時に割り込み要求信号 (INTC20, INTC21) を発生します。

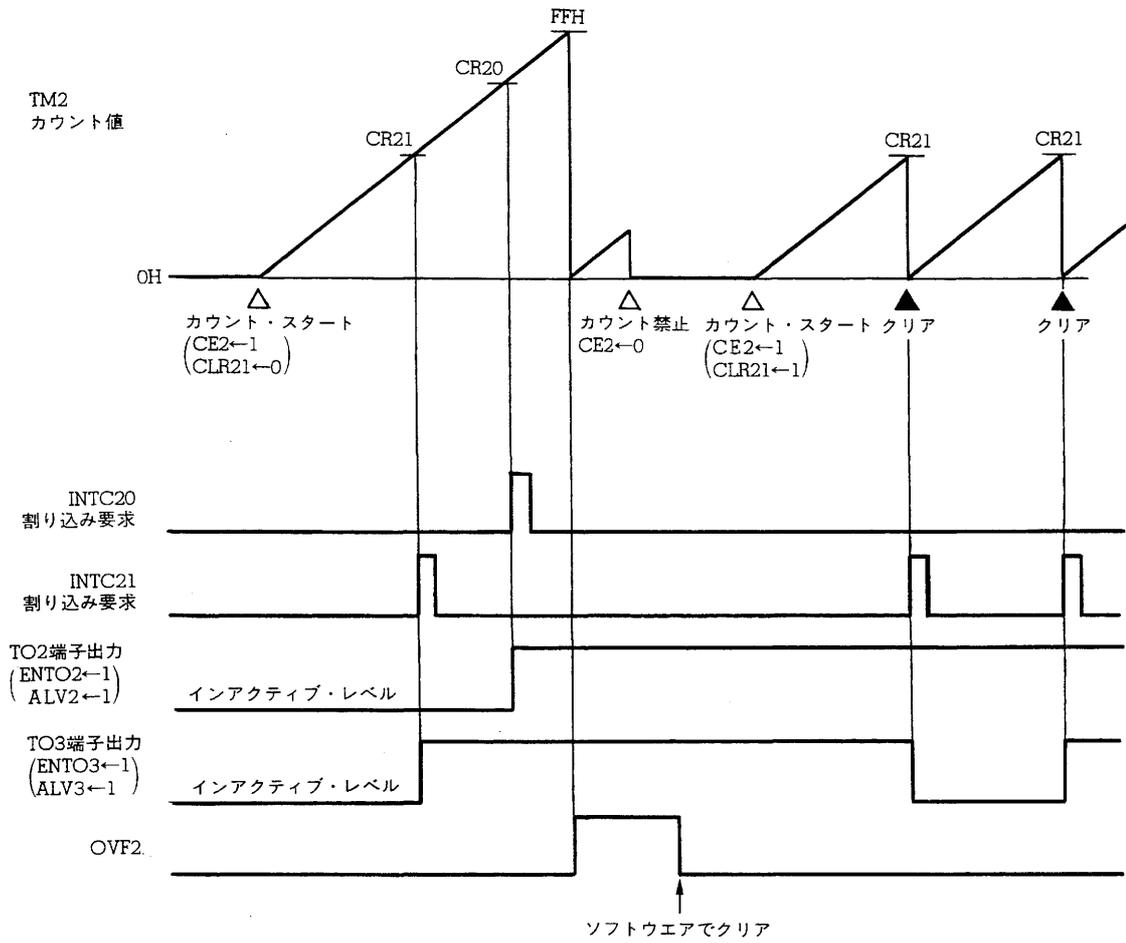
また、CR21レジスタの値と一致後、TM2の内容をクリアすることができ、CR21レジスタに設定した値を繰り返しカウントするインターバル・タイマとして動作します。

図 7-87 コンペア動作



備考 CLR21=0, CLR22=0

図 7-88 一致検出後、TM2のクリア



備考 CLR22=0

注意 インサーキット・エミュレータ使用時についての注意がありますので、7.5.4 インサーキット・エミュレータ使用時の注意事項を参照してください。

(2) キャプチャ動作

8ビット・タイマ/カウンタ2は、外部トリガに同期してタイマのカウント値をキャプチャ・レジスタに取り込み、保持するキャプチャ動作を行います。

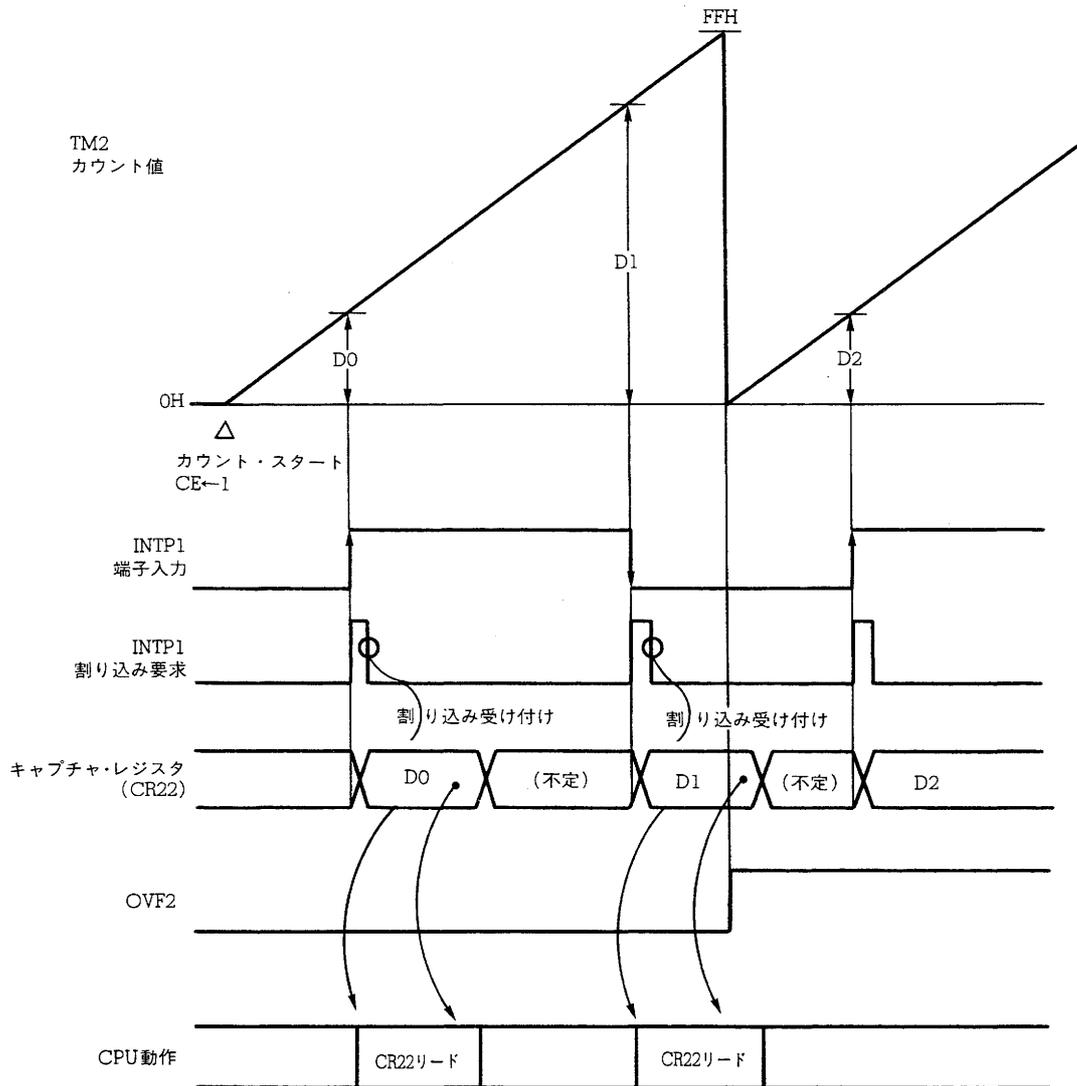
外部トリガとして、外部割り込み要求(INTP1) 入力端子の入力から検出された有効エッジを用います(キャプチャ・トリガ)。そのキャプチャ・トリガに同期してカウント中の8ビット・タイマ2(TM2)のカウント値をキャプチャ・レジスタ(CR22)に取り込み、保持します。プログラムでCR22のキャプチャ値を読み出した後、CR22レジスタの内容は不定となります。

キャプチャ・トリガの有効エッジは外部割り込みモード・レジスタ0(INTMO)により設定します。立ち上がり、立ち下がり両エッジがキャプチャ・トリガとなるように設定すれば、外部からの入力パルス幅を測定することができます。また、片側エッジでキャプチャ・トリガを発生させた場合、入力パルスの周期を測定することができます。

INTMOレジスタの詳しいフォーマットは、第13章 エッジ検出機能の図13-1を参照してください。

- 注意1. CR22レジスタは、読み出したあと、不定になります。キャプチャした値を2回以上使用したい場合は、レジスタまたはメモリなどへキャプチャ値を退避しておき、その値を使用するようにしてください。
2. インサーキット・エミュレータ使用時についての注意がありますので、7.5.4 インサーキット・エミュレータ使用時の注意事項を参照してください。

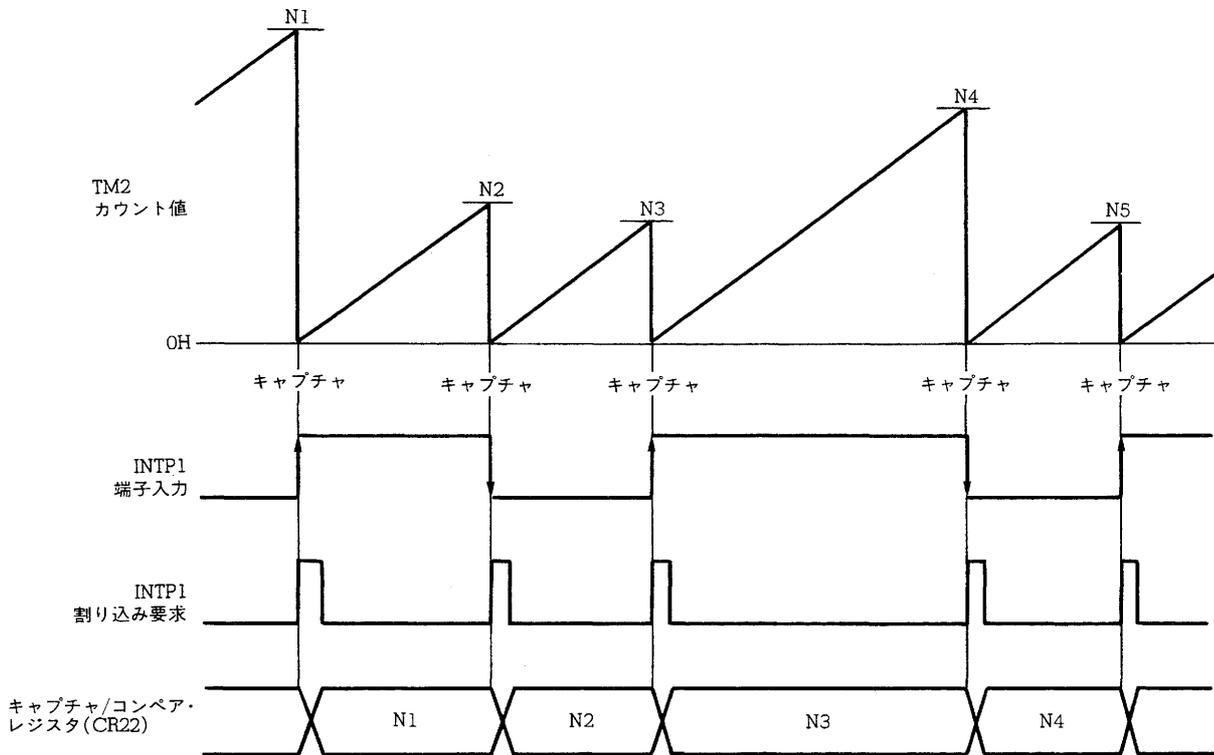
図7-89 キャプチャ動作



備考 Dn : TM2のカウンタ値 (n=0, 1, 2, ...)

CLR21=0, CLR22=0

図 7-90 キャプチャ後, TM2のクリア



備考 CLR21=0, CLR22=1

7.3.8 出力制御回路の基本動作

出力制御回路は、コンペア・レジスタからの一致信号によって、タイマ出力 (TO2, TO3) のレベルを制御します。出力制御回路の動作は、タイマ出力コントロール・レジスタ (TOC) とキャプチャ/コンペア・コントロール・レジスタ2 (CRC2) によって決定されます (表 7-15 参照)。なお、タイマ出力 (TO2, TO3) 信号の端子への出力は、PMC3レジスタで該当する端子がコントロール・モードになっている必要があります。

表 7-15 タイマ出力 (TO2, TO3) の動作

TOC				CRC2				TMC1	TO3	TO2
ENTO3	ALV3	ENTO2	ALV2	MOD1	MOD0	CLR22	CLR21	CMD2		
0	0/1	0	0/1	×	×	×	×	×	ハイ/ロウ・レベル固定	ハイ/ロウ・レベル固定
0	0/1	1	0/1	0	0	×	×	×	ハイ/ロウ・レベル固定	トグル出力 (ロウ/ハイ・アクティブ)
1	0/1	0	0/1	0	0	×	×	×	トグル出力 (ロウ/ハイ・アクティブ)	ハイ/ロウ・レベル固定
1	0/1	1	0/1	0	0	×	×	×	トグル出力 (ロウ/ハイ・アクティブ)	トグル出力 (ロウ/ハイ・アクティブ)
0	0/1	1	0/1	0	1	0	0	0	ハイ/ロウ・レベル固定	PWM出力 (ハイ/ロウ・アクティブ)
1	0/1	0	0/1	0	1	0	0	0	トグル出力 (ロウ/ハイ・アクティブ)	ハイ/ロウ・レベル固定
1	0/1	1	0/1	0	1	0	0	0	トグル出力 (ロウ/ハイ・アクティブ)	PWM出力 (ハイ/ロウ・アクティブ)
0	0/1	1	0/1	1	0	0	0	0	ハイ/ロウ・レベル固定	PWM出力 (ハイ/ロウ・アクティブ)
1	0/1	0	0/1	1	0	0	0	0	PWM出力 (ハイ/ロウ・アクティブ)	ハイ/ロウ・レベル固定
1	0/1	1	0/1	1	0	0	0	0	PWM出力 (ハイ/ロウ・アクティブ)	PWM出力 (ハイ/ロウ・アクティブ)
0	0/1	1	0/1	1	1	0	1	0	ハイ/ロウ・レベル固定	PPG出力 (ハイ/ロウ・アクティブ)
1	0/1	0	0/1	1	1	0	1	0	トグル出力 (ロウ/ハイ・アクティブ)	ハイ/ロウ・レベル固定
1	0/1	1	0/1	1	1	0	1	0	トグル出力 (ロウ/ハイ・アクティブ)	PPG出力 (ハイ/ロウ・アクティブ)

注 通常、この場合はCLR22は0とします。

備考1. ALV3, ALV2の欄の0/1は、それぞれTO3, TO2の“/”の左右に対応します。

2. ×は0または1を表します。
3. 本表にない組み合わせは使用できません。

(1) 基本動作

タイマ出力コントロール・レジスタ (TOC) のENTOn (n=2, 3) をセット(1)することにより、キャプチャ/コンペア・コントロール・レジスタ2 (CRC2) のMOD0, MOD1およびCLR21の設定に従ったタイミングでタイマ出力 (TO2, TO3) を変化させることができます。

また、ENTOn (n=2, 3) をクリア (0) することにより、タイマ出力 (TO2, TO3) を固定レベルにします。固定されるレベルは、タイマ出力コントロール・レジスタ (TOC) のALVn(n=2, 3) によって決定されます。ALVn(n=2, 3) が0のときはハイ・レベルに、ALVn(n=2, 3) が1のときはロウ・レベルになります。

(2) トグル出力

トグル出力は、コンペア・レジスタ (CR20, CR21) の値が8ビット・タイマ2 (TM2) の値と一致するたびに出力レベルを反転させる動作モードです。TO2はCR20とTM2の一致によって出力レベルが反転し、TO3はCR21とTM2の一致によって出力レベルが反転します。

なお、TMC1レジスタのCE2ビットをリセット (0) して、8ビット・タイマ/カウンタ2を停止させると、停止時の出力レベルを保持します。

図7-91 トグル出力の動作

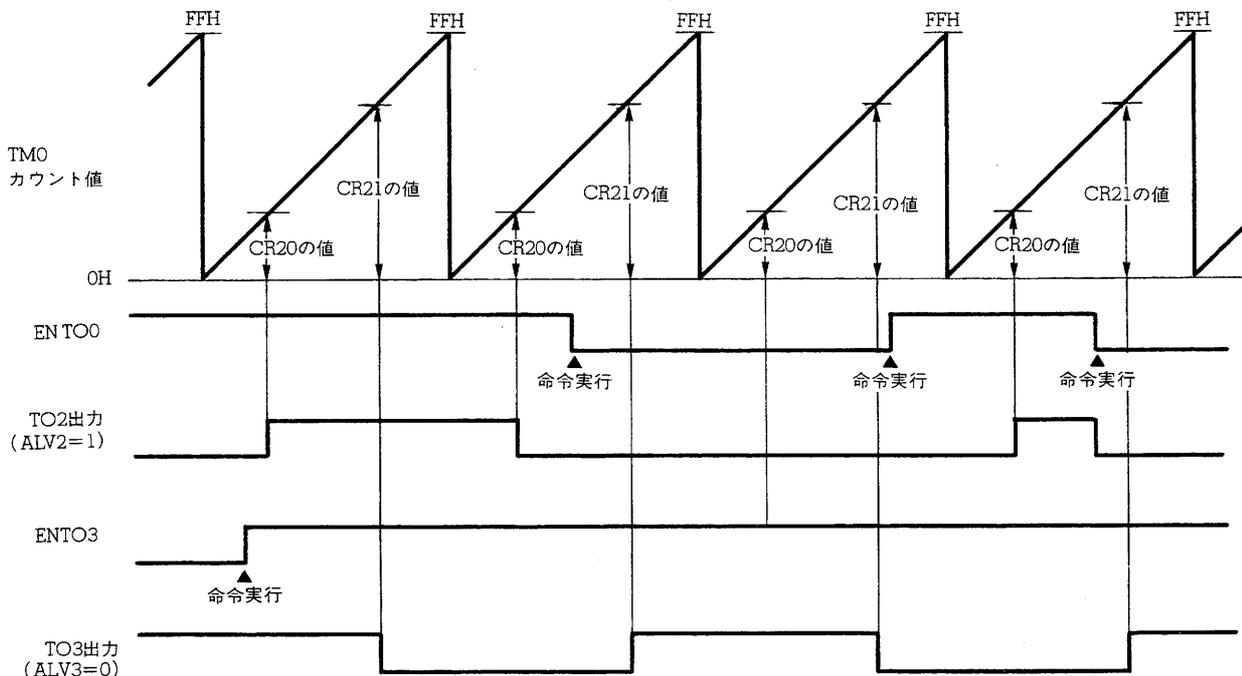


表 7-16 TO2, TO3のトグル出力 ($f_{\text{CLK}}=6 \text{ MHz}$)

カウント・クロック	最小パルス幅	最大パルス幅
$f_{\text{CLK}}/16$	$2.6 \mu\text{s}$	$2^8 \times 16/f_{\text{CLK}}$ (683 μs)
$f_{\text{CLK}}/32$	$5.3 \mu\text{s}$	$2^8 \times 32/f_{\text{CLK}}$ (1.37 ms)
$f_{\text{CLK}}/64$	$10.7 \mu\text{s}$	$2^8 \times 64/f_{\text{CLK}}$ (2.73 ms)
$f_{\text{CLK}}/128$	$21.3 \mu\text{s}$	$2^8 \times 128/f_{\text{CLK}}$ (5.46 ms)
$f_{\text{CLK}}/256$	$42.7 \mu\text{s}$	$2^8 \times 256/f_{\text{CLK}}$ (10.9 ms)
$f_{\text{CLK}}/512$	$85.3 \mu\text{s}$	$2^8 \times 512/f_{\text{CLK}}$ (21.8 ms)

注意 インサーキット・エミュレータ使用時についての注意がありますので、7.5.4 インサーキット・エミュレータ使用時の注意事項を参照してください。

7.3.9 PWM出力

8ビット・タイマ2 (TM2) がフルカウントする期間を1周期とするPWM信号を出力するモードです。TO2のパルス幅は、CR20の値によって決定され、TO3のパルス幅は、CR21の値によって決定されます。この機能を使用する場合は、キャプチャ/コンペア・コントロール・レジスタ2 (CRC2) のCLR21ビットおよびCLR22ビットを0に、また、タイマ・コントロール・レジスタ1 (TMC1) のCMD2ビットを0にする必要があります。

パルス周期とパルス幅は、次のようになります。

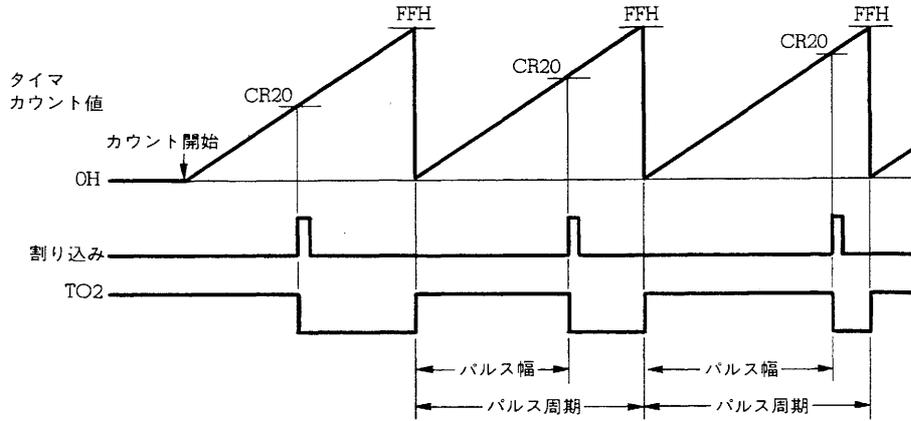
- PWM周期 = $256 / f_{\text{CLK}}$
- PWMパルス幅 = $((\text{コンペア・レジスタの設定値注}) \times x + 2) / f_{\text{CLK}}$
; x = 16, 32, 64, 128, 256, 512

注 コンペア・レジスタには0は設定できません。

$$\text{・ デューティ} = \frac{\text{PWMパルス幅}}{\text{PWM周期}} = \frac{\text{コンペア・レジスタの設定値} \times x + 2}{256 \times x} = \frac{\text{コンペア・レジスタの設定値}}{256}$$

注意 PWM出力では、パルス幅が近似式に比べてアクティブ・レベルで、 f_{CLK} の2クロック分長く、インアクティブ・レベルが f_{CLK} の2クロック分短くなります。高精度の出力が必要な場合、またはカウント・クロックが高速の場合は、この点について考慮のうえご使用ください。

図 7-92 PWMパルス出力



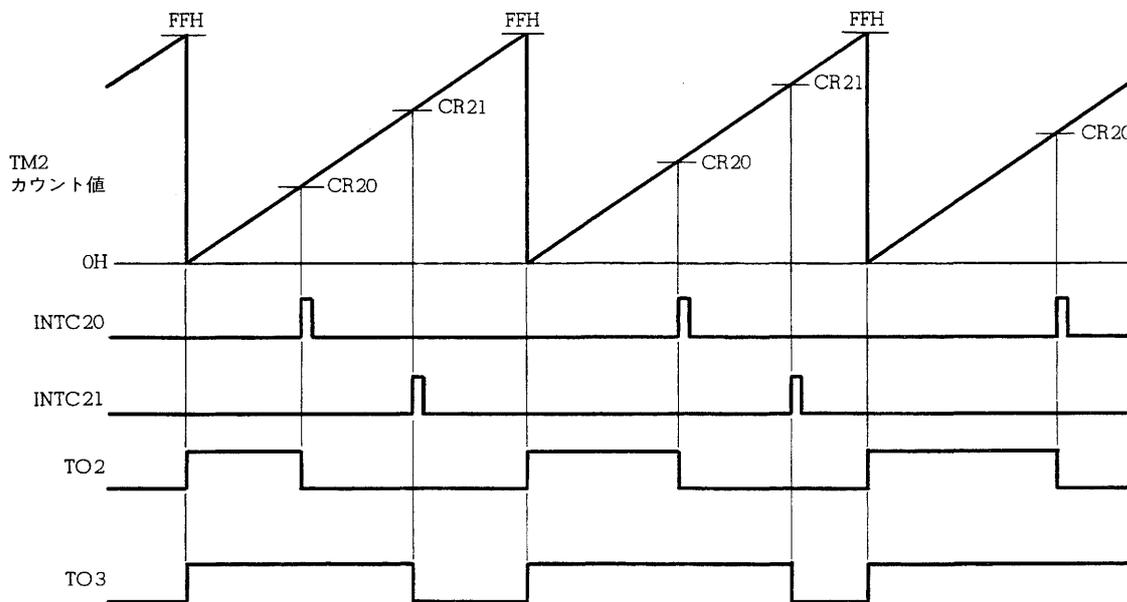
備考 ALV2=0

表 7-17 TO2, TO3のPWM周期 ($f_{CLK}=6\text{ MHz}$)

カウント・クロック	最小パルス幅(μs)	周期 (ms)	PWM周波数(Hz)
$f_{CLK}/16$	2.7	0.7	1465
$f_{CLK}/32$	5.3	1.4	732
$f_{CLK}/64$	10.7	2.7	366
$f_{CLK}/128$	21.3	5.5	183
$f_{CLK}/256$	42.7	10.9	92
$f_{CLK}/512$	85.3	21.8	46

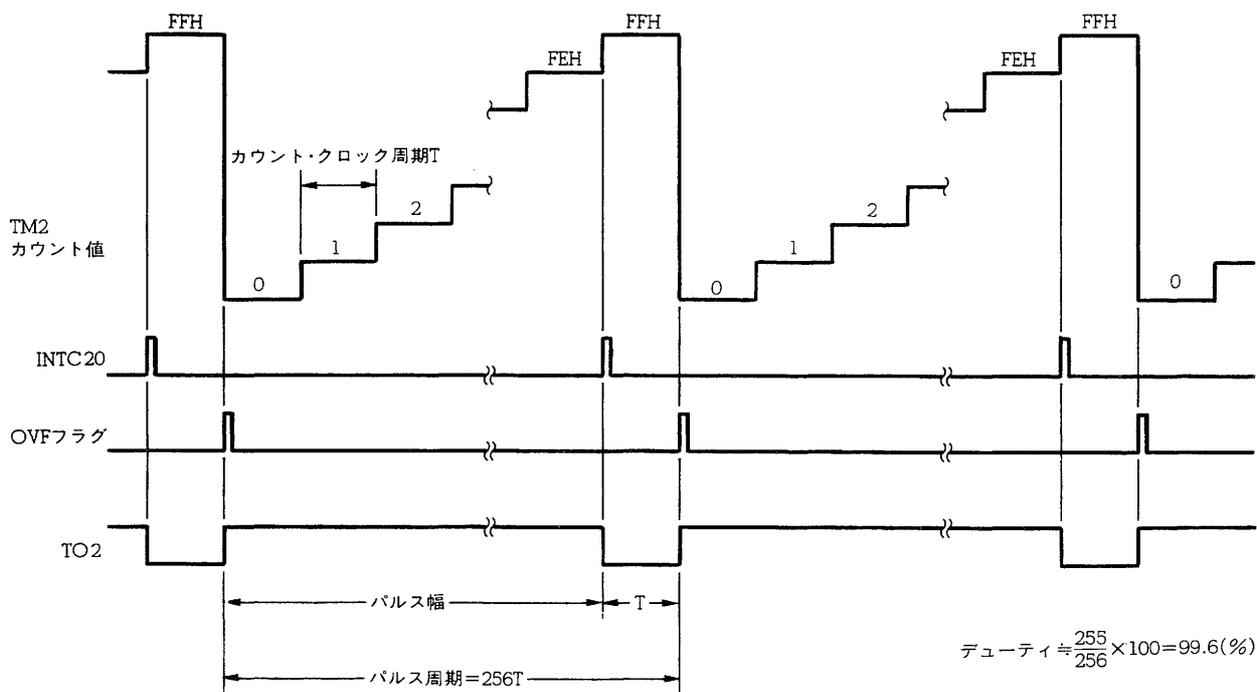
図7-93は、2チャンネルのPWM出力の例です。また、図7-94は、コンペア・レジスタにFFHを設定した場合の動作です。

図7-93 TM2を用いたPWM出力例



備考 ALV2=0, ALV3=0

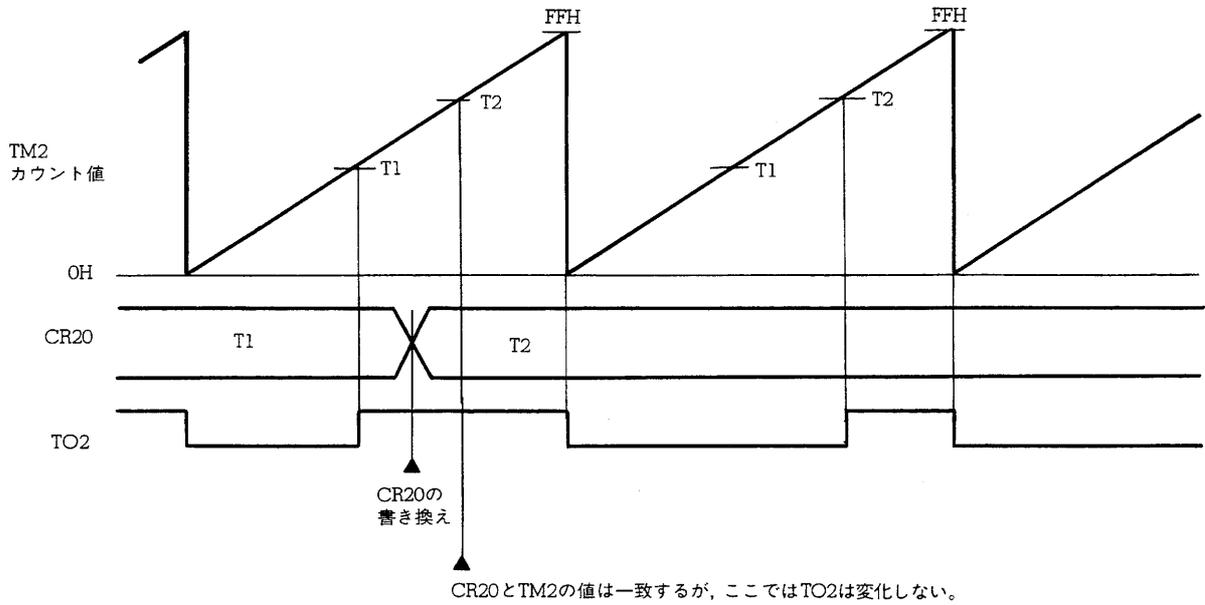
図7-94 CR20=FFHのときのPWM出力例



備考 ALV2=0

なお、PWM出力の1周期の期間中に、二度以上コンペア・レジスタ（CR20, CR21）の値が8ビット・タイマ（TM2）の値と一致しても、タイマ出力（TO2, TO3）の出力レベルは反転しません。

図7-95 コンペア・レジスタの書き換え例

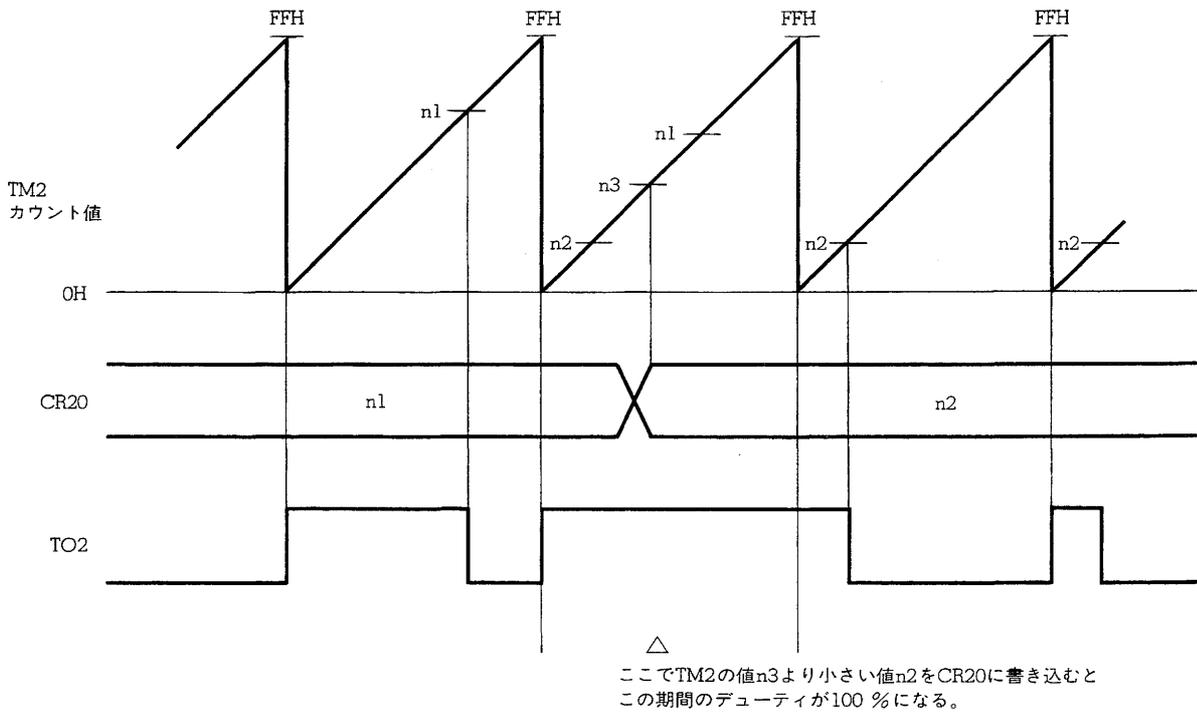


CR20とTM2の値は一致するが、ここではTO2は変化しない。

備考 ALV2=1

注意 コンペア・レジスタ (CR20, CR21) の値を8ビット・タイマ2 (TM2) より小さい値に設定すると、デューティ100%のPWM信号が出力されてしまいます。CR20, CR21の書き換えはTM2と書き換えを行うコンペア・レジスタ (CR20, CR21) との一致による割り込みで行ってください。

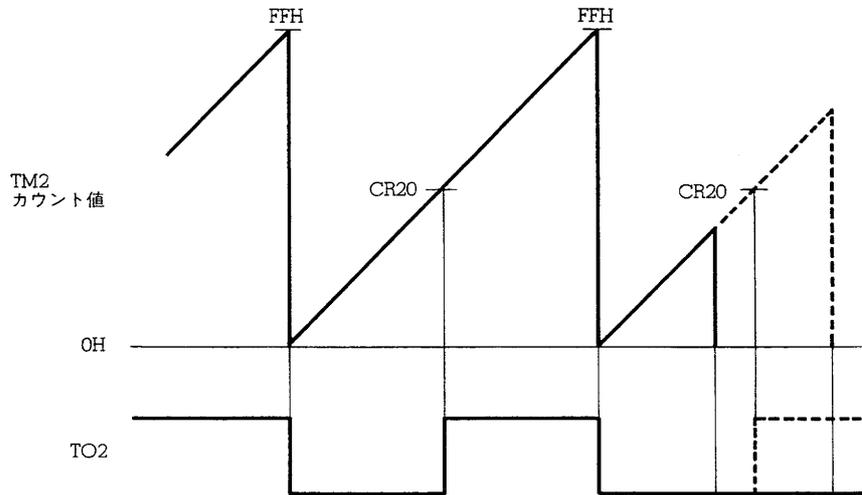
図7-96 PWM出力時にデューティが100%になる例



備考 ALV2=0

また、PWM信号出力中に、TMC1のCE2ビットをリセット(0)して8ビット・タイマ/カウンタ2を停止させると、停止時の出力レベルをそのまま保持します。

図7-97 PWM信号出力中に8ビット・タイマ/カウンタ2を停止した場合



備考 ALV0=1

注意 タイマ出力禁止時 ($ENTOn=0$, $n=2, 3$) の TO_n ($n=2, 3$) 端子の出力レベルは、 ALV_n ($n=2, 3$) に設定した値の反転値となります。したがって、PWM出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

7.3.10 PPG出力

コンペア・レジスタCR21の値で決まる時間を1周期とし、コンペア・レジスタCR20の値で決まる時間をパルス幅とする矩形波を出力する機能です。PWM出力のPWM周期を可変にしたものです。この出力は、TO2からのみ出力することができます。

この機能を使用する場合は、キャプチャ/コンペア・コントロール・レジスタ (CR22) のCLR21ビットを1に、またCLR22ビットを0に、タイマ・コントロール・レジスタ1 (TMC1) のCMD2ビットを0にする必要があります。

パルス周期とパルス幅は、次のようになります。

$$\begin{aligned} \cdot \text{PPG周期} &= (\text{コンペア・レジスタCR21の設定値} + 1) \times x / f_{\text{CLK}} \\ &\quad ; x = 16, 32, 64, 128, 256, 512 \end{aligned}$$

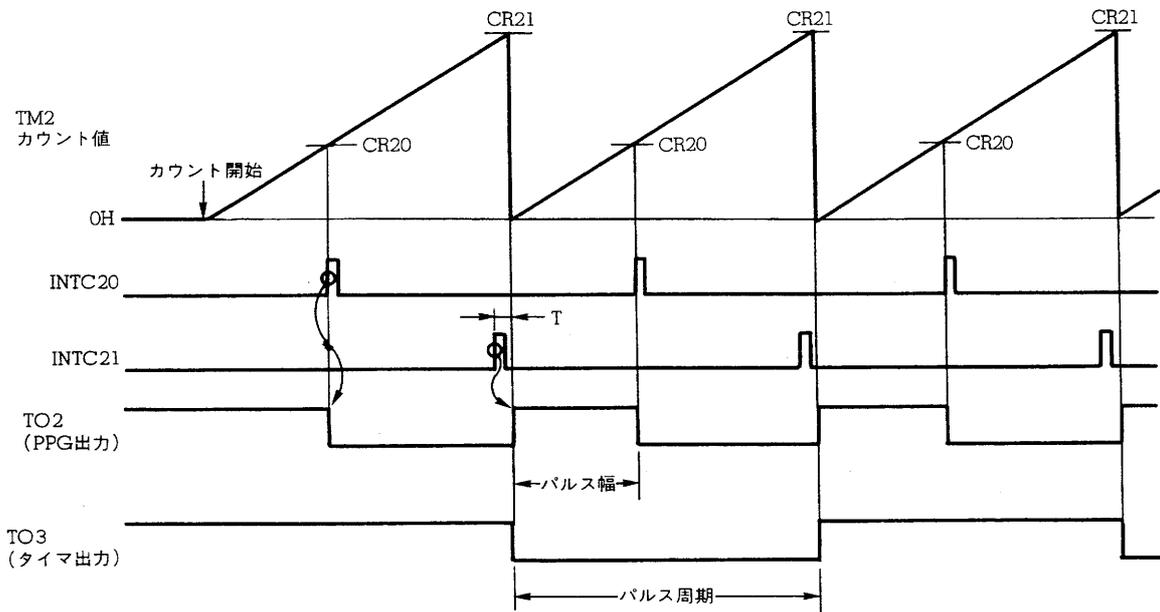
$$\begin{aligned} \cdot \text{PPGパルス幅} &= ((\text{コンペア・レジスタCR20の設定値}) \times x + 2) / f_{\text{CLK}} \doteq \text{CR20の設定値} \times x / f_{\text{CLK}} \\ &\quad \text{ただし, } \text{CR20} \leq \text{CR21} \end{aligned}$$

$$\cdot \text{デューティ} = \frac{\text{PPGパルス幅}}{\text{PPG周期}} = \frac{\text{CR20の設定値} \times x + 2}{(\text{CR21の設定値} + 1) \times x} \doteq \frac{\text{CR20の設定値}}{\text{CR21の設定値} + 1}$$

注意 PPG出力では、パルス幅が近似式に比べてアクティブ・レベルで、 f_{CLK} の2クロック分長く、インアクティブ・レベルが f_{CLK} の2クロック分短くなります。高精度の出力が必要な場合、PPGパルス周期が短い場合、またはカウント・クロックが高速の場合は、この点について考慮のうえご使用ください。

図7-98は、8ビット・タイマ2 (TM2) を用いたPPG出力の例です。また図7-99はCR20=CR21に設定した場合の、図7-100は、CR20=00Hに設定した場合の例です。

図7-98 TM2を用いたPPG出力例



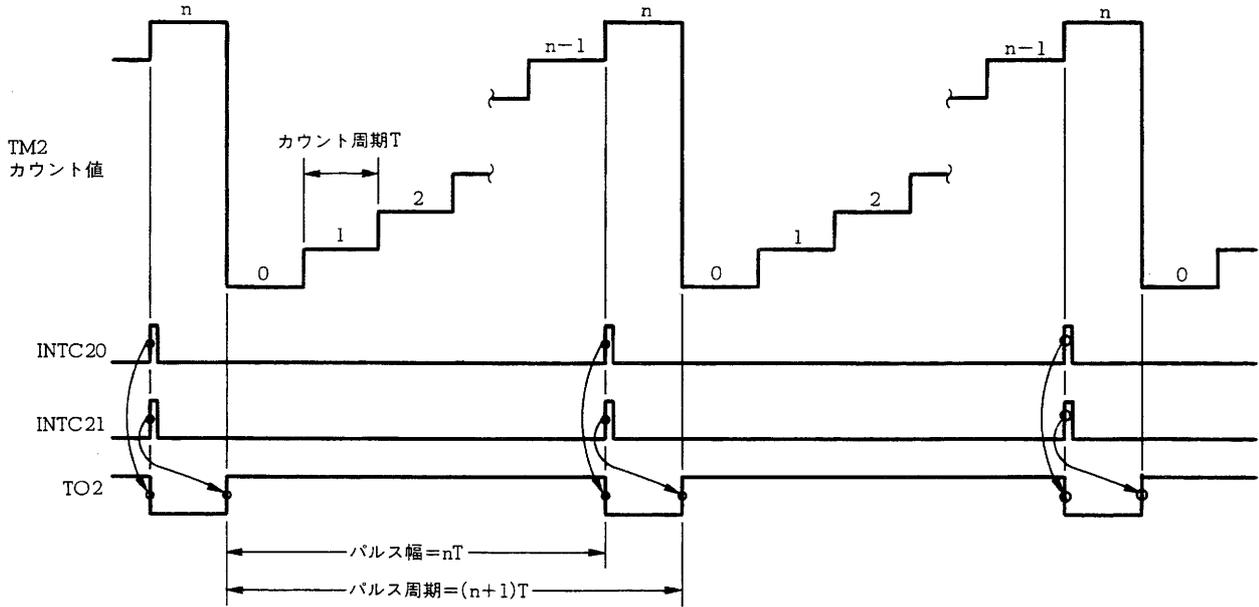
備考 ALV2=0, ALV3=0

表7-18 TO2のPPG出力 ($f_{CLK}=6\text{ MHz}$)

カウント・クロック	最小パルス幅注	PPG周期	PPG周波数
$f_{CLK}/16$	$2.67\ \mu\text{s}$	$5.33\ \mu\text{s}-683\ \mu\text{s}$	$187.5\ \text{kHz}-1.46\ \text{kHz}$
$f_{CLK}/32$	$5.33\ \mu\text{s}$	$10.7\ \mu\text{s}-1.37\ \text{ms}$	$93.75\ \text{kHz}-732\ \text{Hz}$
$f_{CLK}/64$	$10.7\ \mu\text{s}$	$21.3\ \mu\text{s}-2.73\ \text{ms}$	$46.9\ \text{kHz}-366\ \text{Hz}$
$f_{CLK}/128$	$21.3\ \mu\text{s}$	$42.7\ \mu\text{s}-5.46\ \text{ms}$	$23.4\ \text{kHz}-183\ \text{Hz}$
$f_{CLK}/256$	$42.7\ \mu\text{s}$	$85.3\ \mu\text{s}-10.9\ \text{ms}$	$11.7\ \text{kHz}-91.6\ \text{Hz}$
$f_{CLK}/512$	$85.3\ \mu\text{s}$	$171\ \mu\text{s}-21.8\ \text{ms}$	$5.86\ \text{kHz}-45.8\ \text{Hz}$

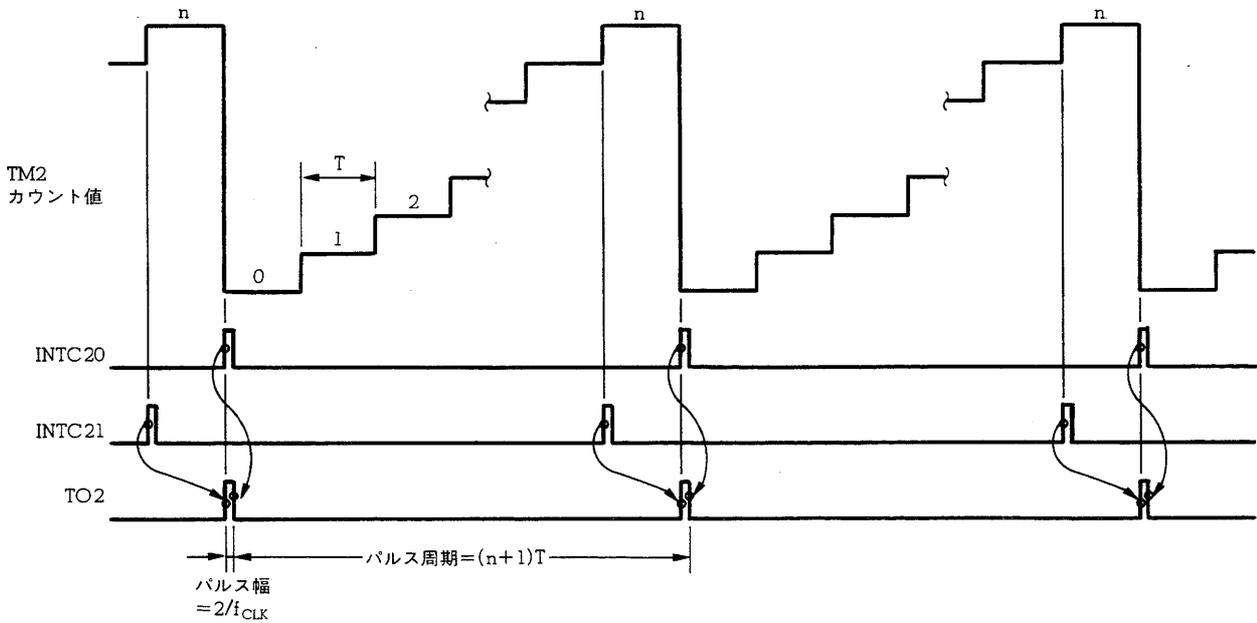
注 CR20=0のときを除く

図7-99 CR20=CR21のときのPPG出力例



備考 ALV2=0

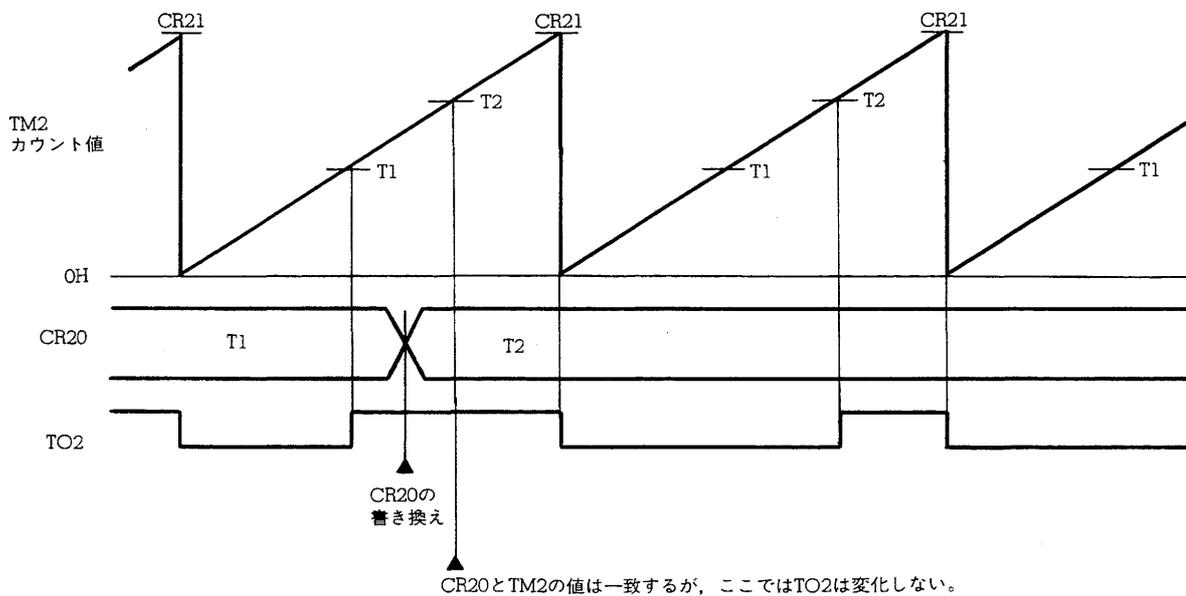
図7-100 CR20=00HのときのPPG出力例



備考 ALV2=0

なお、PPG出力の1周期の期間中に、二度以上コンペア・レジスタ（CR20）の値が8ビット・タイマ2（TM2）の値と一致しても、タイマ出力（TO2）の出力レベルは反転しません。

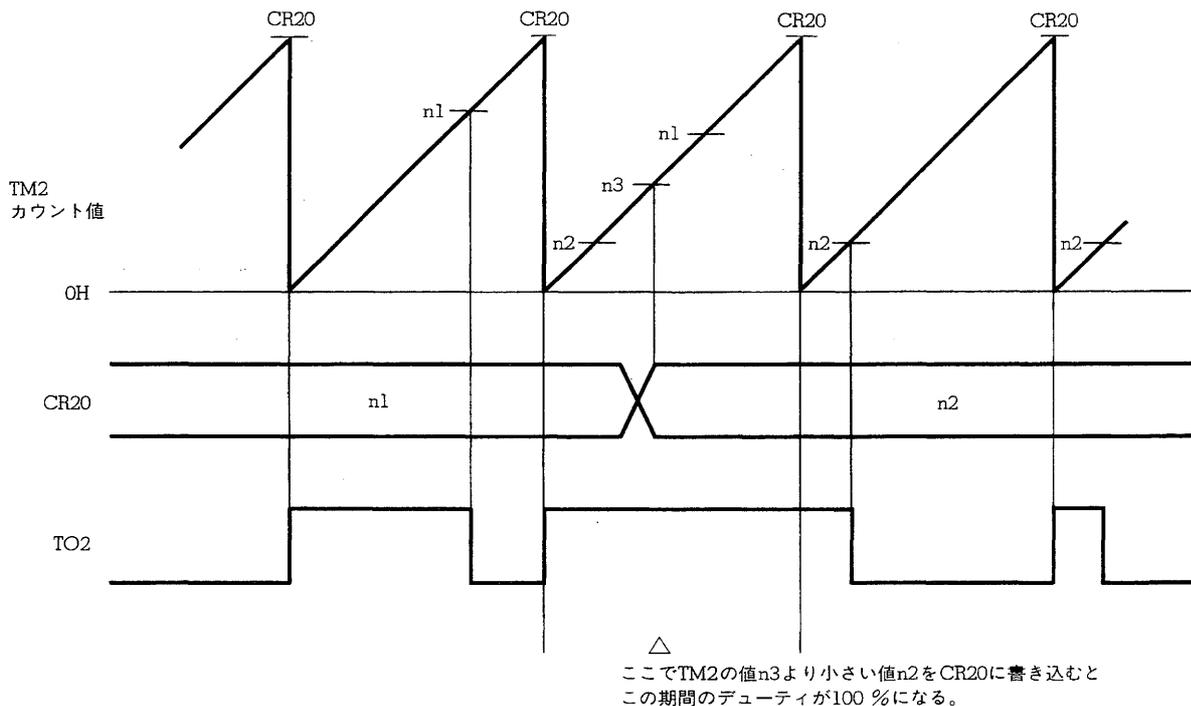
図 7-101 コンペア・レジスタの書き換え例



備考 ALV2=1

注意1. コンペア・レジスタ (CR20) と8ビット・タイマ2 (TM2) が一致するより前にCR20にTM2以下の値を書き込むと、そのPPG周期のデューティが100%になってしまいます。CR20の書き換えは、TM2とCR20との一致による割り込みで行うようにするなどしてください。

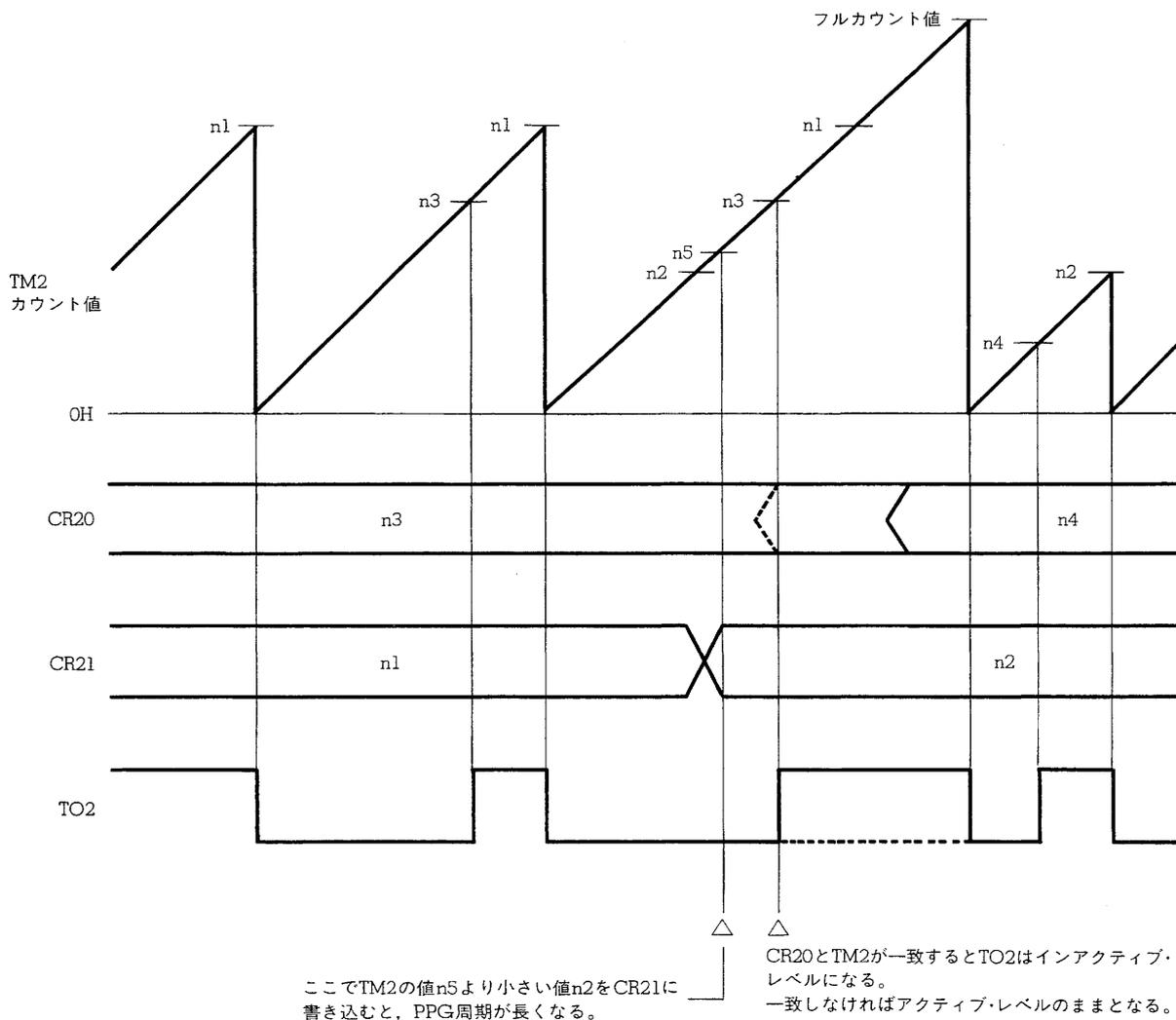
図7-102 PPG出力時にデューティが100%になる例



備考 ALV2=0

注意2. コンペア・レジスタ (CR21) を現在の値より小さい値に変更するときに、CR21の値を8ビット・タイマ2 (TM2) の値より小さくすると、そのときのPPG周期がTM2がフルカウントする時間にまで長くなってしまいます。このときの出力レベルは、コンペア・レジスタ (CR20) とTM2が一致したあとにCR21を書き換えた場合は、TM2がオーバーフローして0になるまでインアクティブ・レベルとなり、その後、正常なPPG出力に戻ります。CR20とTM2が一致する前にCR21を書き換えた場合は、CR20とTM2が一致するまでアクティブ・レベルを出力します。TM2がオーバーフローし、0になる前にCR20とTM2が一致した場合は、その時点でインアクティブ・レベルを出力します。TM2がオーバーフローし、0になった時点でアクティブ・レベルを出力し、正常なPPG出力に戻ります。CR21の書き換えは、TM2とCR21との一致割り込みで行うようにするなどしてください。

図 7-103 PPG出力の周期が長くなる例

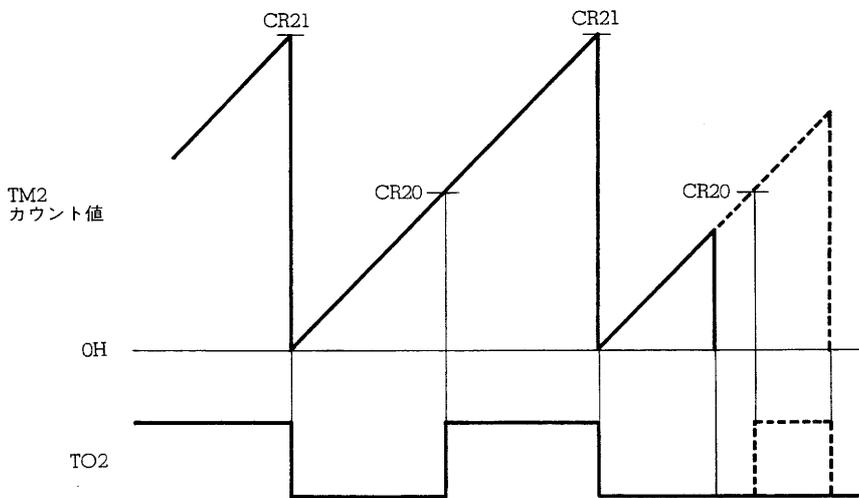


備考 ALV2=1

注意3. 割り込みの受け付けなどにかかる時間に対して、十分な時間がPPG周期にないとき(PPG周期が極端に短いとき)は、注意1, 2に示した方法では対策がとれません。ほかの方法(すべての割り込みをマスクして、割り込み要求フラグをソフトウェアでポーリングするなど)を考えてください。

また、PPG信号出力中に、TMC1のCE2ビットをリセット(0)して8ビット・タイマ/カウンタ2を停止させると、停止時の出力レベルとは無関係に、アクティブ・レベルを出力します。

図7-104 PPG信号出力中に8ビット・タイマ/カウンタ2を停止した場合



注意 タイマ出力禁止時 ($ENTOn=0$, $n=2, 3$) の TO_n ($n=2, 3$) 端子の出力レベルは、 ALV_n ($n=2, 3$) に設定した値の反転値となります。したがって、PPG出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

7.3.11 使用例

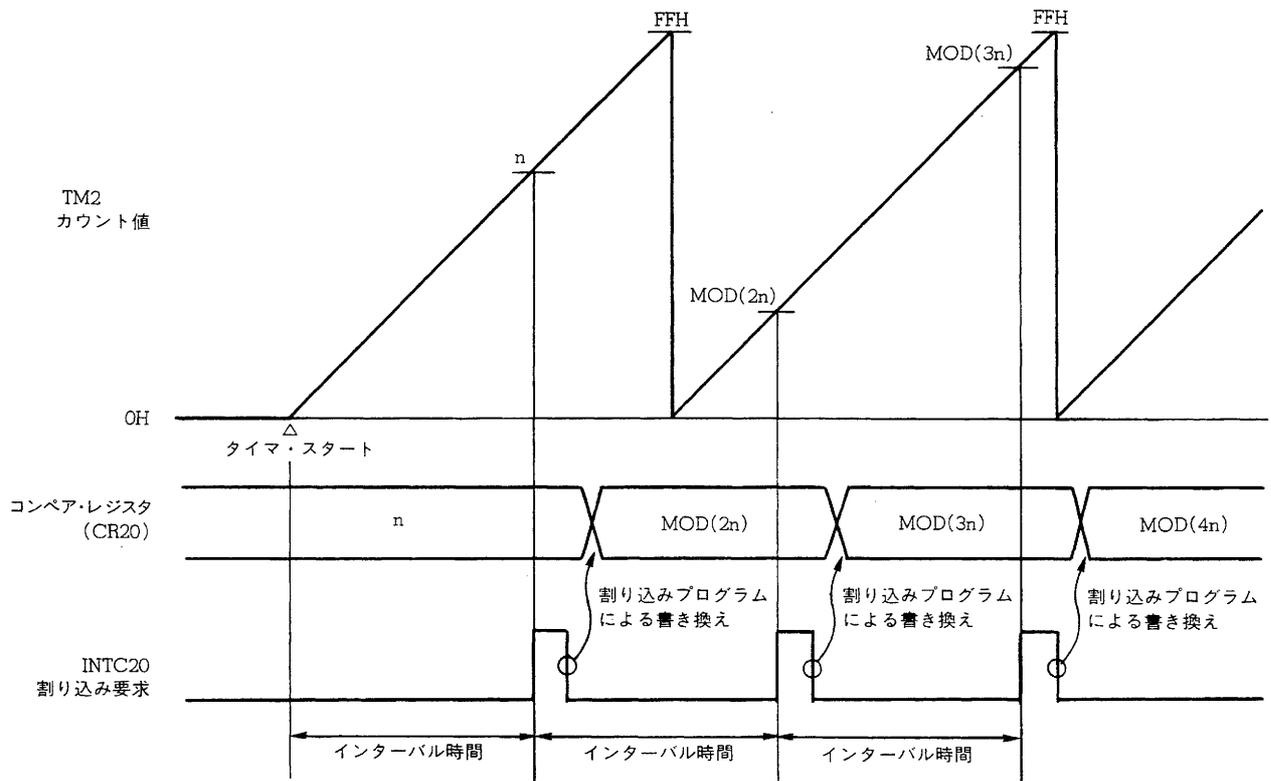
(1) インターバル・タイマとしての動作(1)

8ビット・タイマ2 (TM2) をフリーランニングさせ、割り込み処理ルーチン中でコンペア・レジスタ (CR20, CR21) に一定の値を加算することで、加算する一定の値を周期とするインターバル・タイマとして動作します (図7-105参照)。

また、8ビット・タイマ2 (TM2) 1本にコンペア・レジスタが2本ついているため、2種類の周期のインターバル・タイマを作ることができます。

図7-106に制御レジスタの設定内容、図7-107にその設定手順、図7-108に割り込み処理ルーチン内での処理を示します。

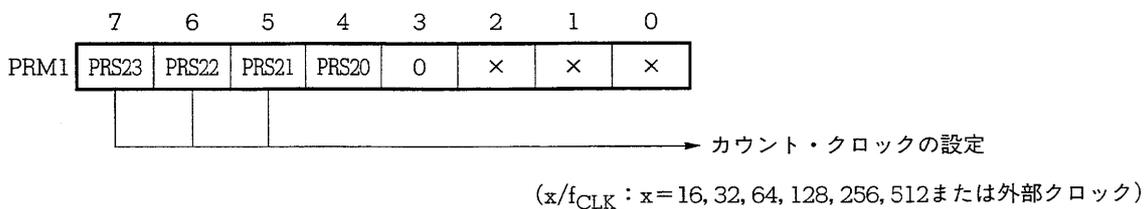
図7-105 インターバル・タイマ動作(1)のタイミング



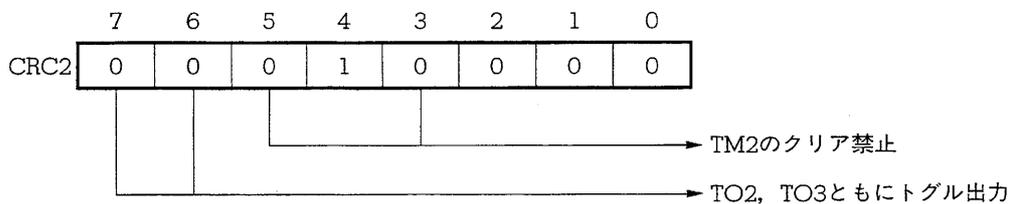
備考 インターバル時間 = $n \times x / f_{CLK}$; $1 \leq n \leq FFH$, $x = 16, 32, 64, 128, 256, 512$

図7-106 インターバル・タイマ動作(1)における制御レジスタの設定内容

(a) プリスケアラ・モード・レジスタ (PRM1)



(b) キャプチャ/コンペア・コントロール・レジスタ2 (CRC2)



(c) タイマ・コントロール・レジスタ1 (TMC1)

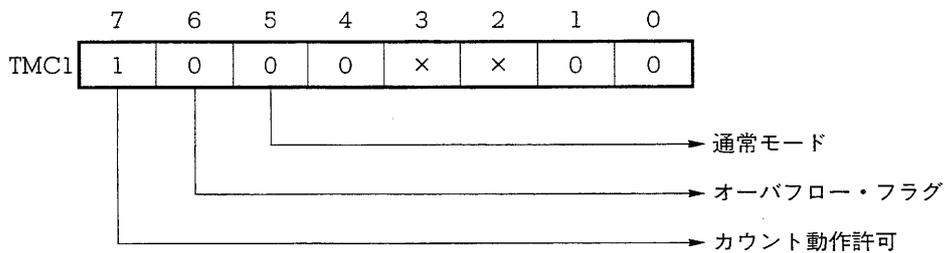


図7-107 インターバル・タイマ動作(1)の設定手順

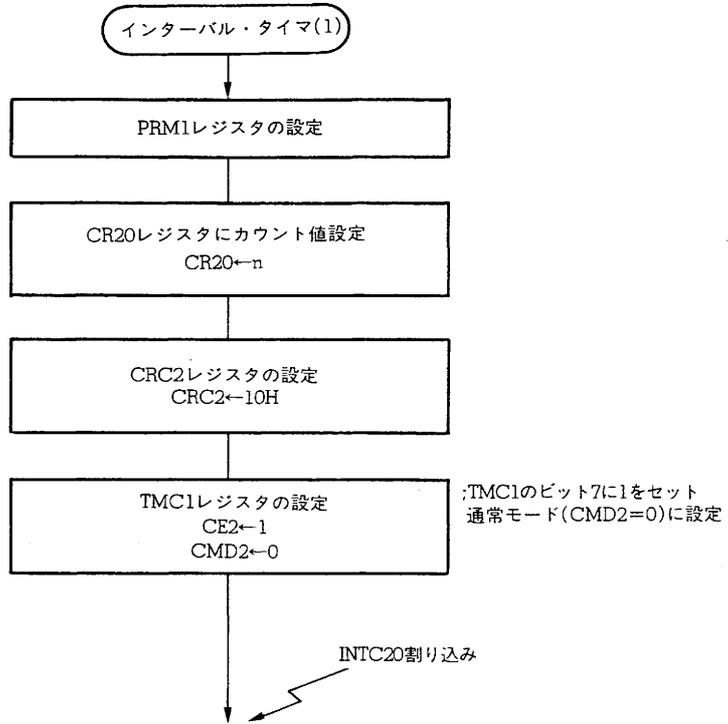
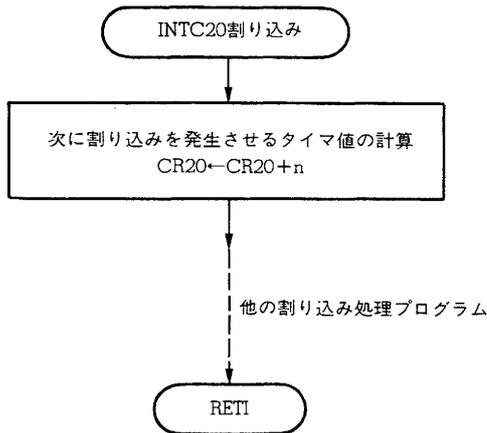


図7-108 インターバル・タイマ動作(1)の割り込み要求処理

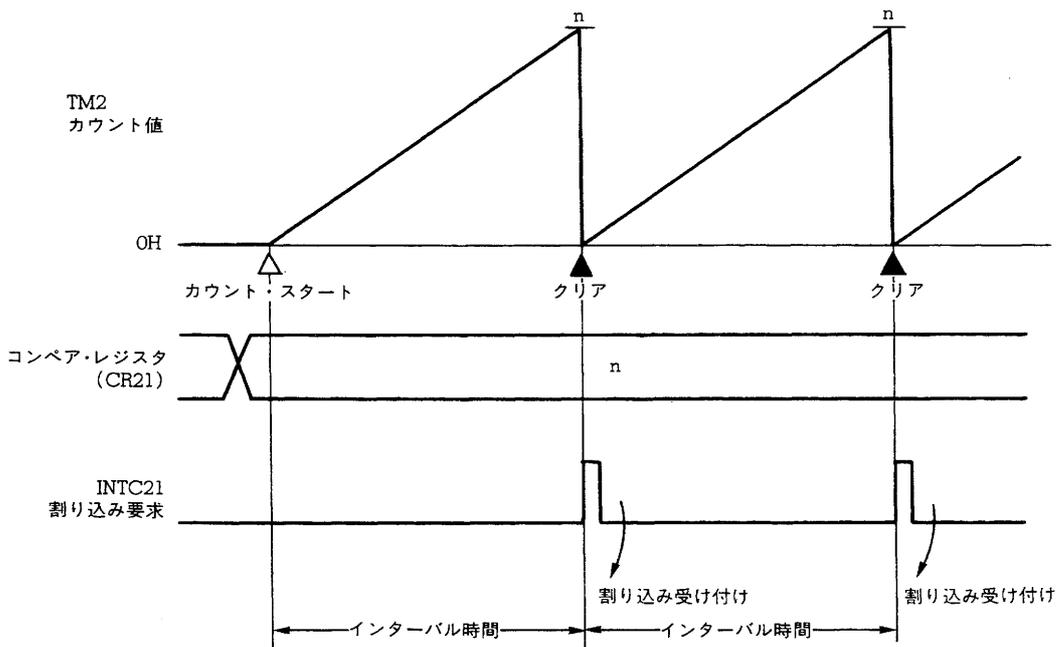


(2) インターバル・タイマとしての動作(2)

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します(図7-109参照)。

図7-110に制御レジスタの設定内容を、図7-111にその設定手順を示します。

図7-109 インターバル・タイマ動作(2)のタイミング

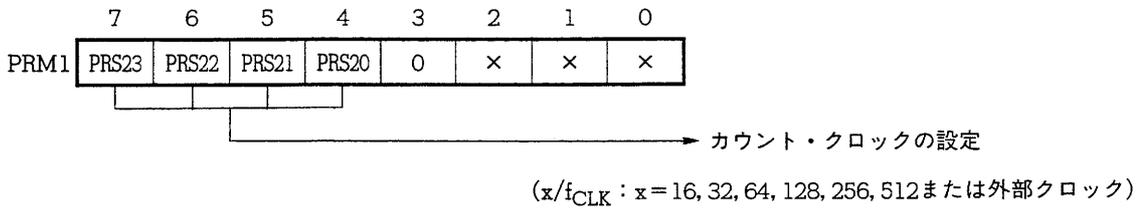


備考 インターバル時間 $(n+1) \times x / f_{CLK}$; $0 \leq n \leq FFH$

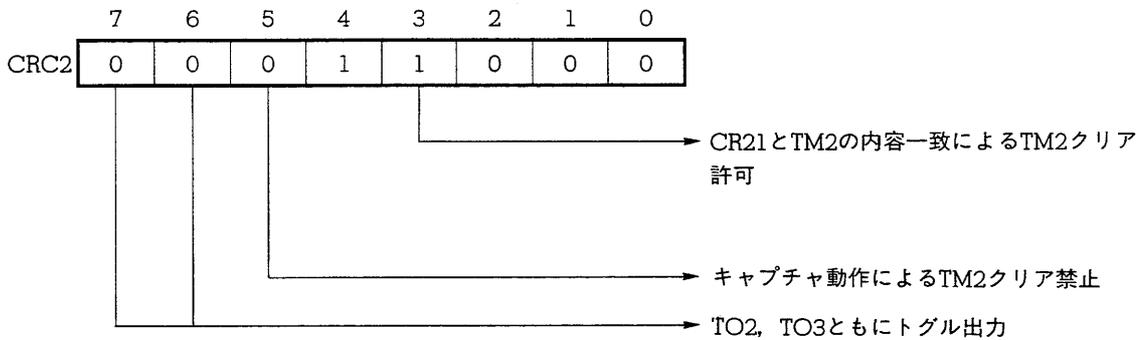
$x = 16, 32, 64, 128, 256, 512$

図 7-110 インターバル・タイマ動作(2)の制御レジスタの設定内容

(a)プリスケアラ・モード・レジスタ(PRM1)



(b)キャプチャ/コンペア・コントロール・レジスタ2(CRC2)



(c)タイマ・コントロール・レジスタ1(TMC1)

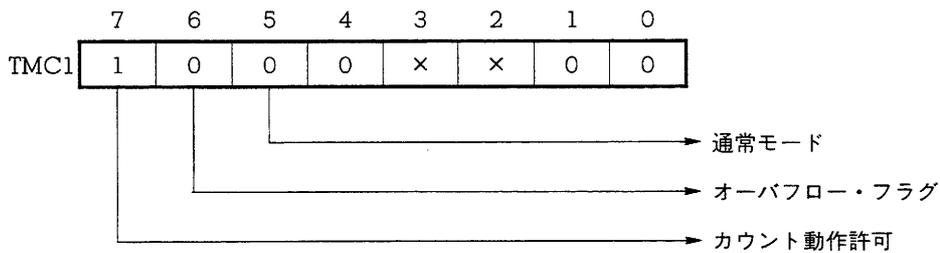
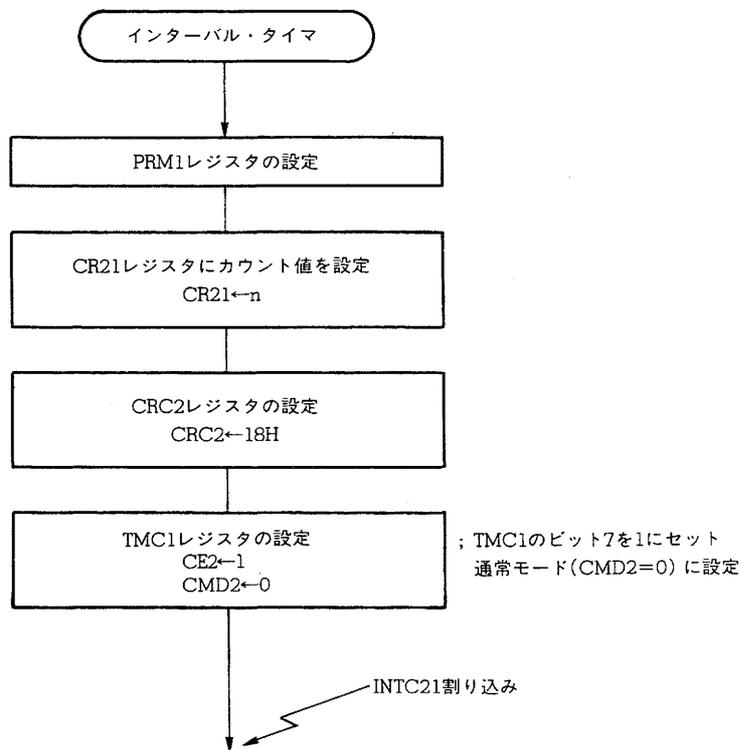


図7-111 インターバル・タイマ動作(2)の設定手順



(3) パルス幅測定としての動作

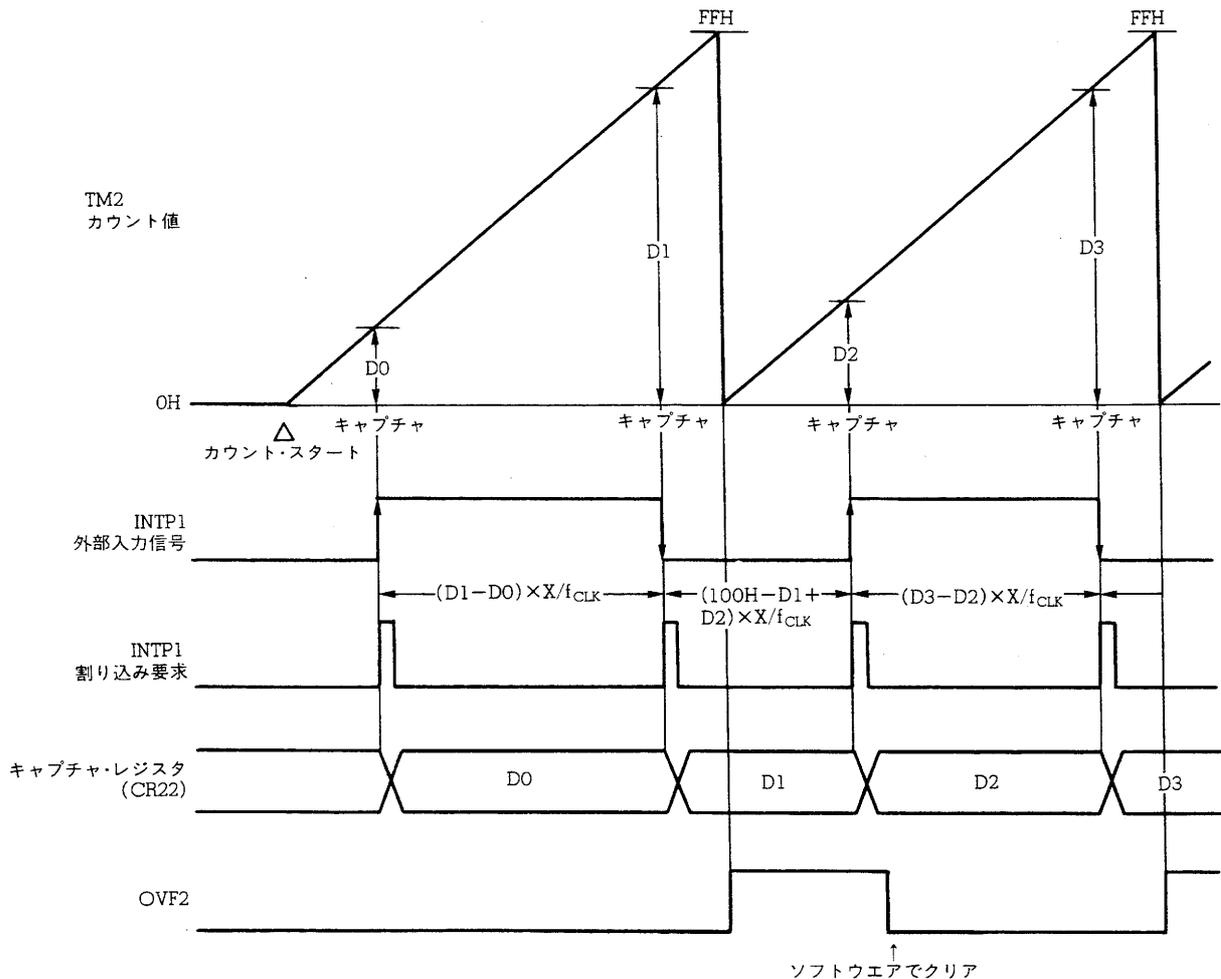
パルス幅測定は、INTP1端子に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。

INTP1端子に入力するパルス幅はハイ・レベル、ロウ・レベルとも12システム・クロック ($2\mu\text{s}$: $f_{\text{CLK}}=6\text{MHz}$) 以上必要で、これ以下の場合には有効エッジが検出されずキャプチャ動作を行いません。

図7-112に示すようにINTP1端子入力の有効エッジ（立ち上がり、立ち下りの両エッジに指定）に同期して、カウント中の8ビット・タイマ2 (TM2) の値をキャプチャ・レジスタ (CR22) に取り込み、保持します。パルス幅は、 n 回目の有効エッジ検出によりCR22レジスタに取り込み、保持されているTM2のカウント値 (D_n) と $n-1$ 回目の有効エッジ検出によるカウント値 (D_{n-1}) との差の値とカウント・クロック数との積から求めます。

そのときの制御レジスタの設定内容を図7-113に、設定手順を図7-114に示します。

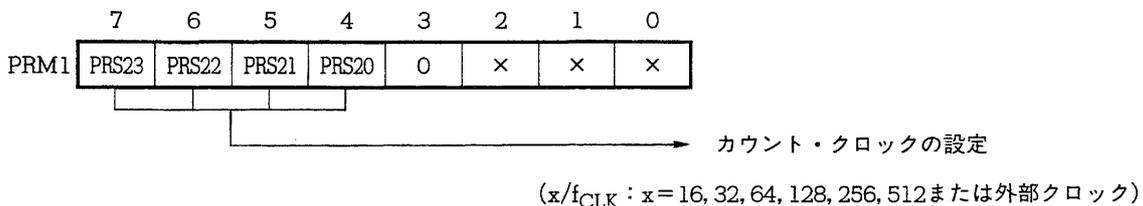
図7-112 パルス幅測定のタイミング



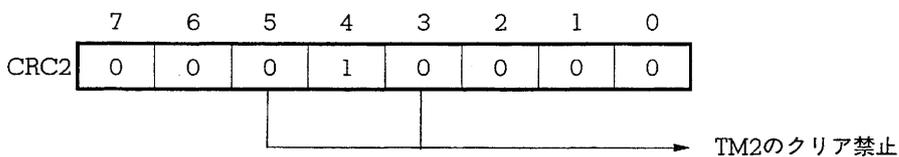
備考 D_n : TM2のカウント値 ($n=0, 1, 2, \dots$)

図7-113 パルス幅測定制御レジスタの設定内容

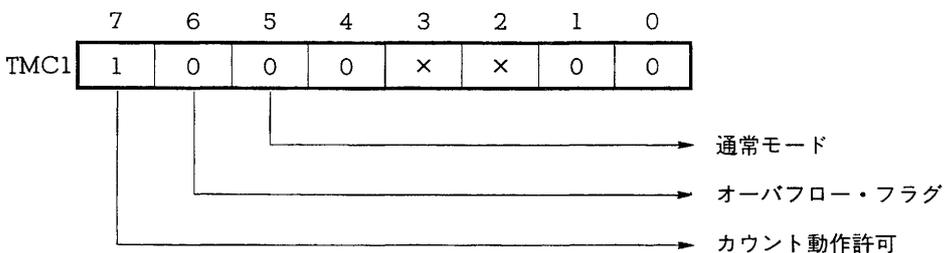
(a) プリスケアラ・モード・レジスタ1 (PRM1)



(b) キャプチャ/コンペア・コントロール・レジスタ2 (CRC2)



(c) タイマ・コントロール・レジスタ1 (TMC1)



(d) 外部割り込みモード・レジスタ (INTMO)

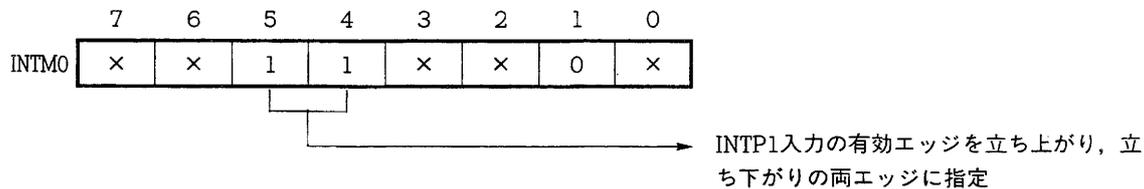
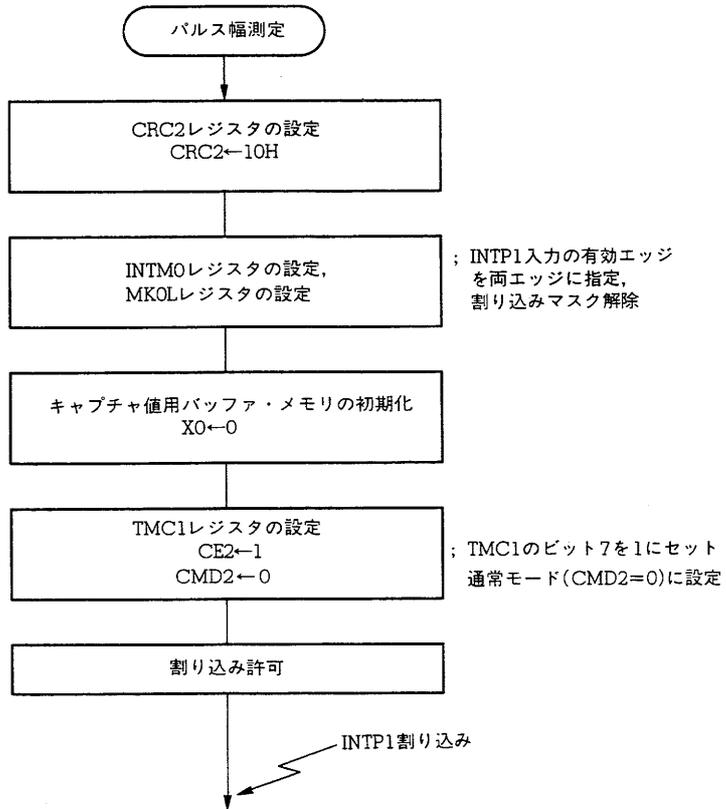
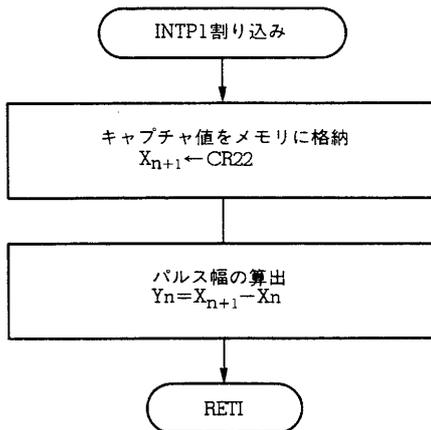


図 7-114 パルス幅測定の設定手順



7

図 7-115 パルス幅を算出する割り込み要求処理



(4) PWM出力としての動作

PWM出力は、コンペア・レジスタに設定した値で決まるデューティ比のパルスを出力します（図7-116参照）。

このPWM出力は、1/256-255/256のデューティ比を1/256単位で変化させることができます。

また、8ビット・タイマ2（TM2）1本にコンペア・レジスタが2本ついているため2種類のPWM信号を出力できます。

図7-117に制御レジスタの設定内容，図7-118にその設定手順，図7-119にデューティを変化させる場合の手順を示します。

図7-116 8ビット・タイマ/カウンタ2のPWM信号出力例

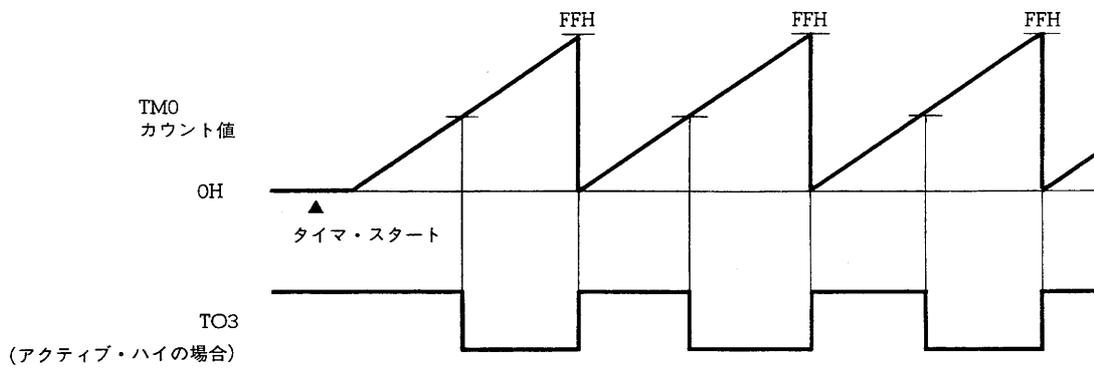
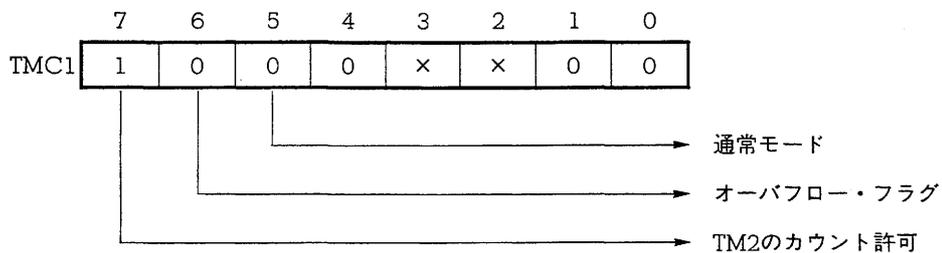
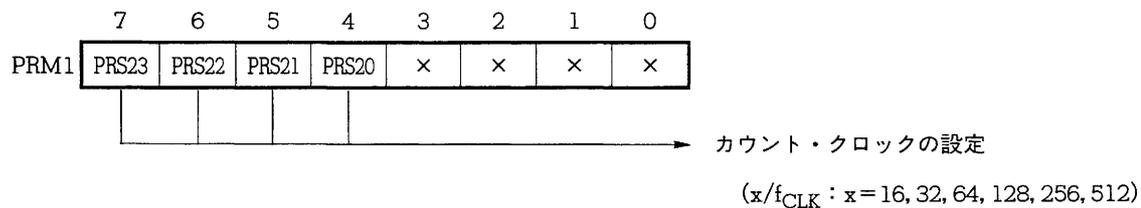


図 7-117 PWM出力動作における制御レジスタの設定内容

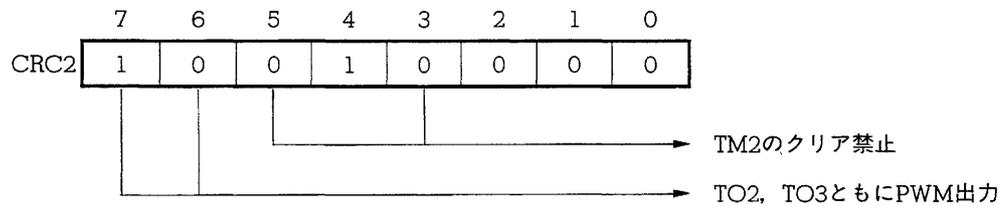
(a) タイマ・コントロール・レジスタ1 (TMC1)



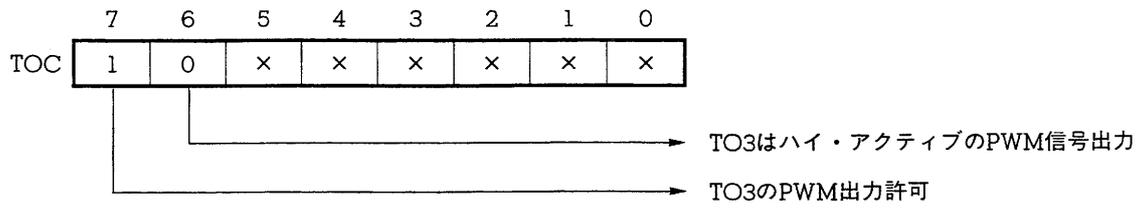
(b) プリスケアラ・モード・レジスタ1 (PRM1)



(c) キャプチャ/コンペア・コントロール・レジスタ2 (CRC2)



(d) タイマ出力コントロール・レジスタ (TOC)



(e) ポート3モード・コントロール・レジスタ (PMC3)

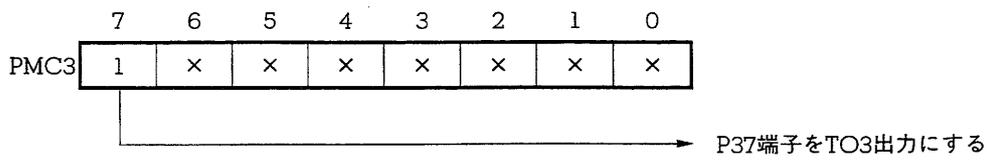


図7-118 PWM出力の設定手順

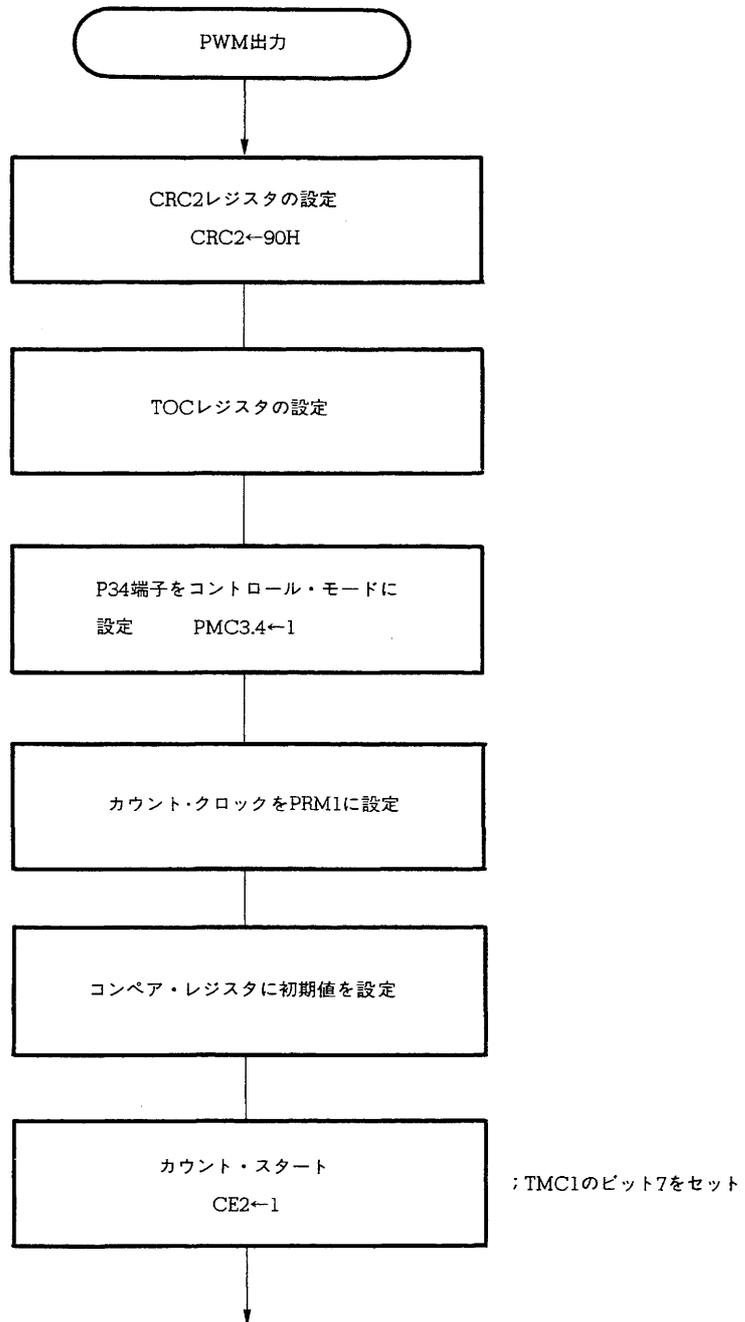
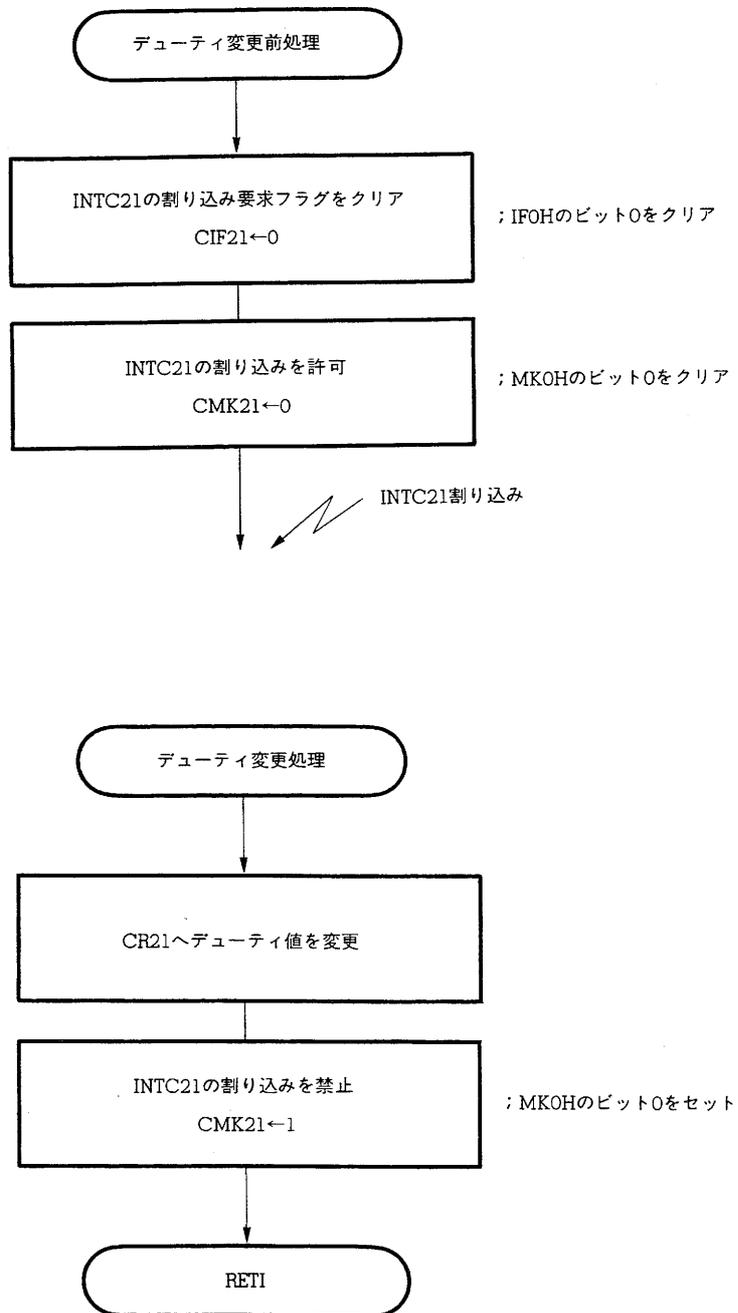


図7-119 PWM出力のデューティ変更



(5) PPG出力としての動作

PPG出力は、コンペア・レジスタに設定した値で決まる周期と、デューティ比のパルスを出力します (図7-120参照)。

図7-121に制御レジスタの設定内容, 図7-122にその設定手順, 図7-123にデューティを変化させる場合の手順を示します。

図7-120 8ビット・タイマ/カウンタ2のPPG信号出力例

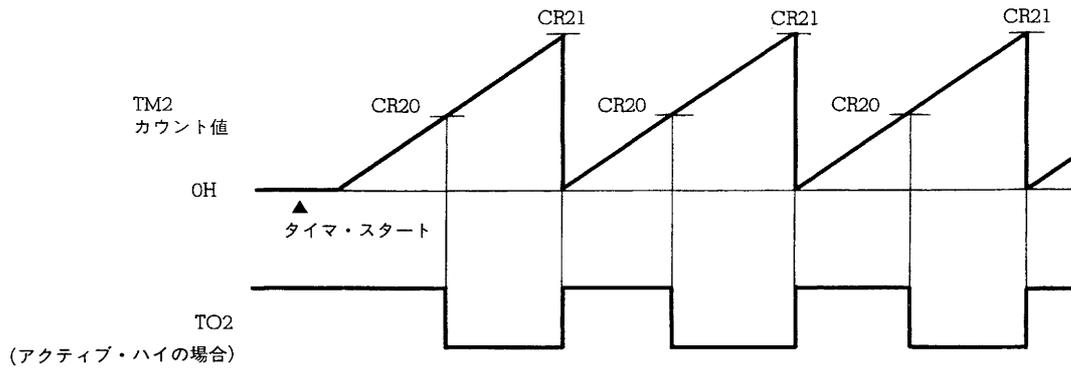
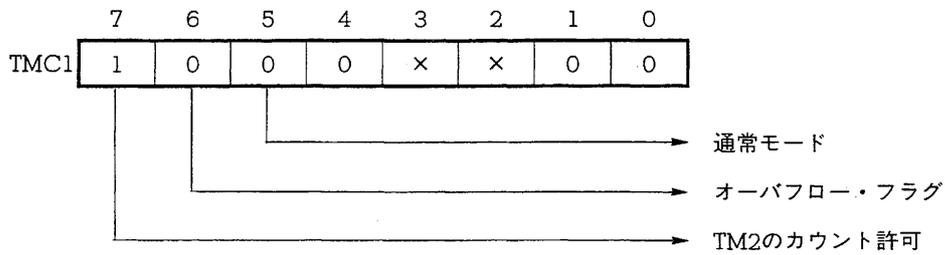
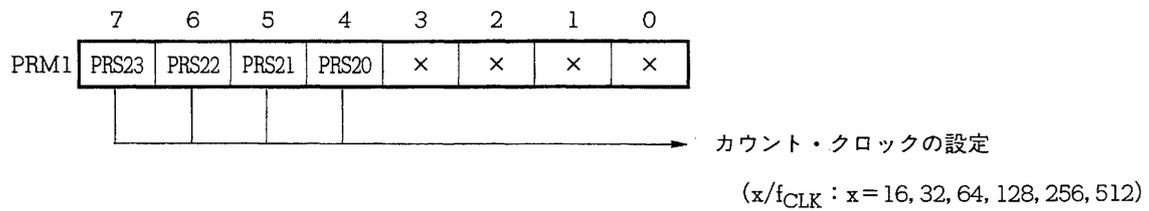


図7-121 PPG出力動作における制御レジスタの設定内容

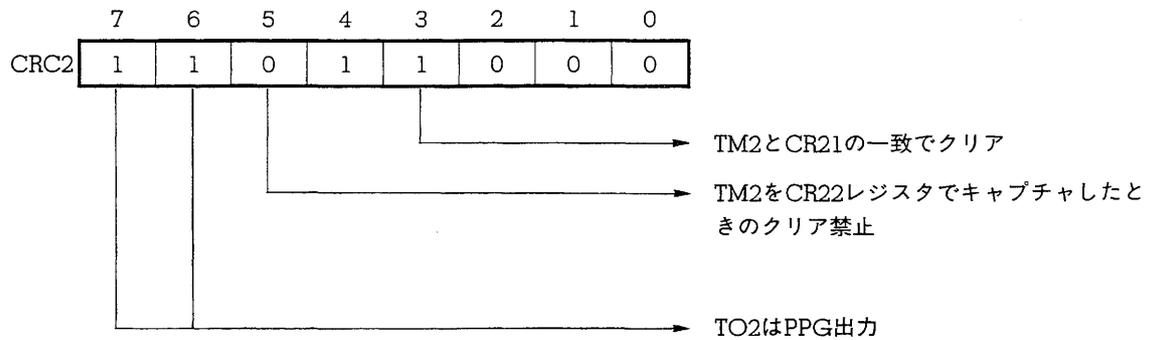
(a) タイマ・コントロール・レジスタ1 (TMC1)



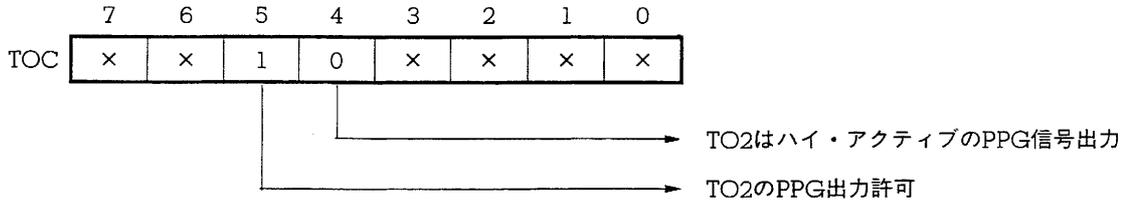
(b) プリスケアラ・モード・レジスタ1 (PRM1)



(c) キャプチャ/コンペア・コントロール・レジスタ2 (CRC2)



(d) タイマ出力コントロール・レジスタ (TOC)



(e) ポート3モード・コントロール・レジスタ (PMC3)

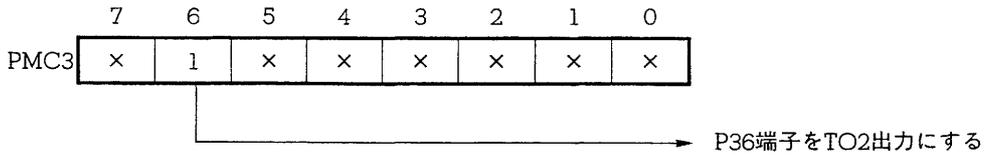


図 7-122 PPG出力の設定手順

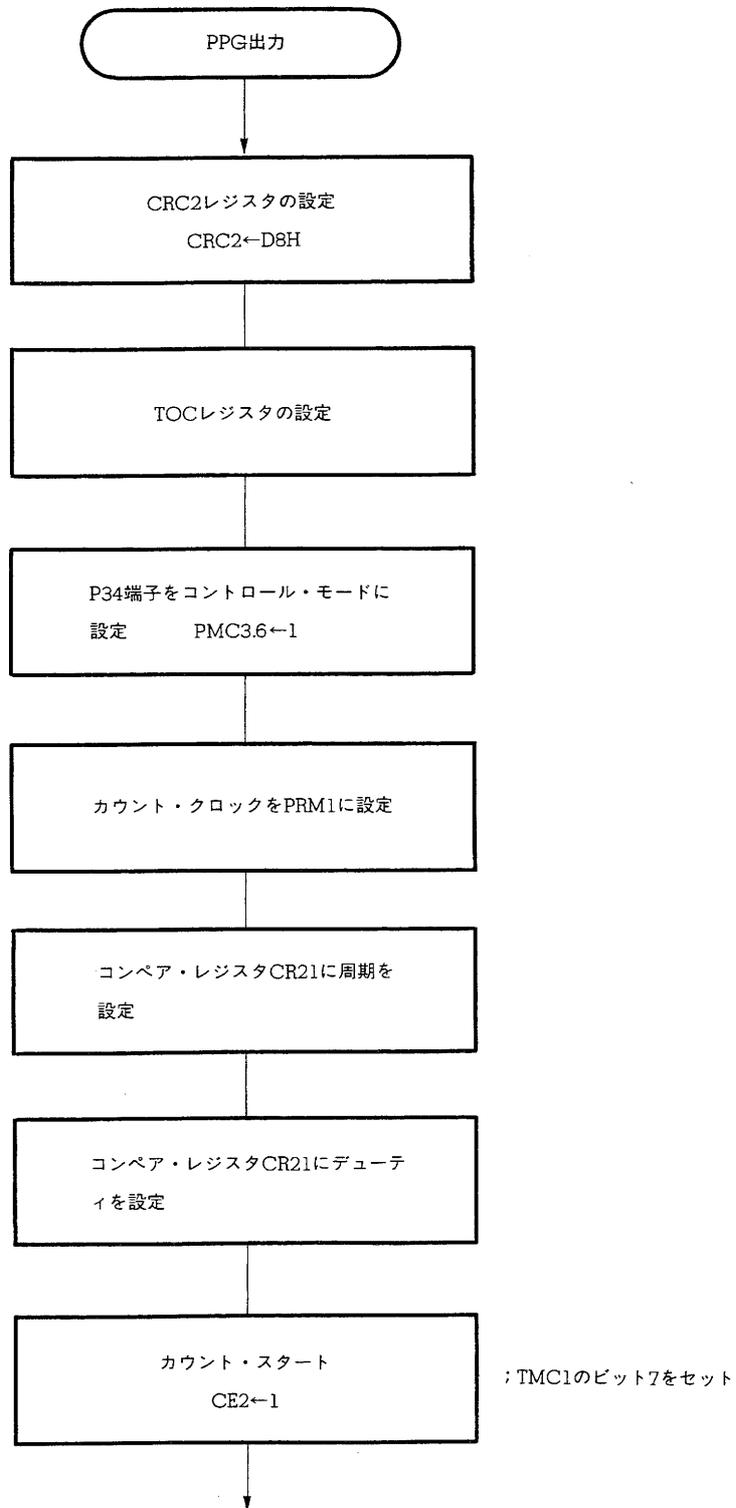
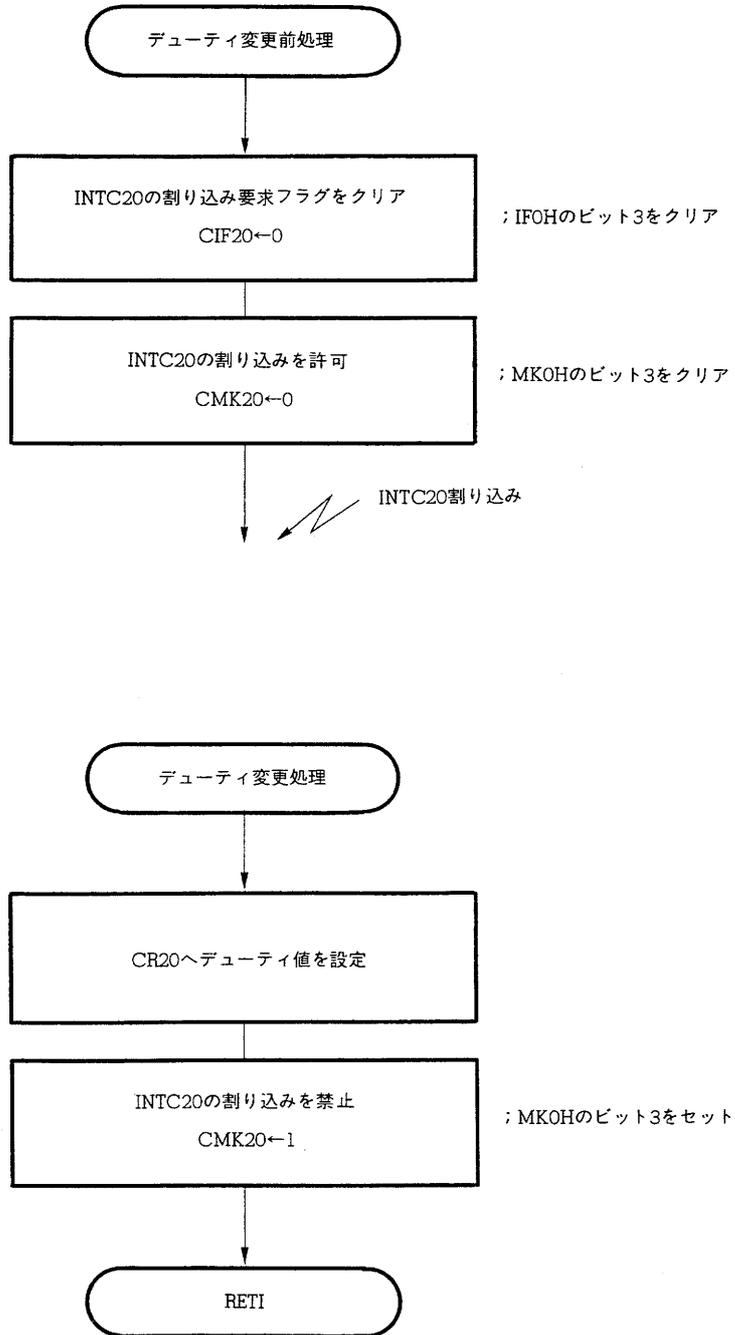


図7-123 PPG出力のデューティ変更

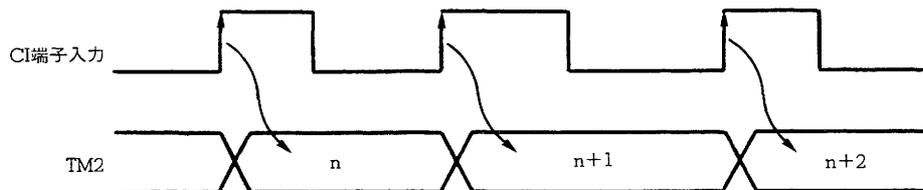


(6) 外部イベント・カウンタとしての動作

外部イベント・カウンタは、外部から入力されるクロック・パルス（CI端子入力パルス）をカウントするものです。

図7-124に示すように、CI端子入力の有効エッジ（立ち上がりエッジのみを指定）に同期して、8ビット・タイマ2（TM2）の値をインクリメントします。

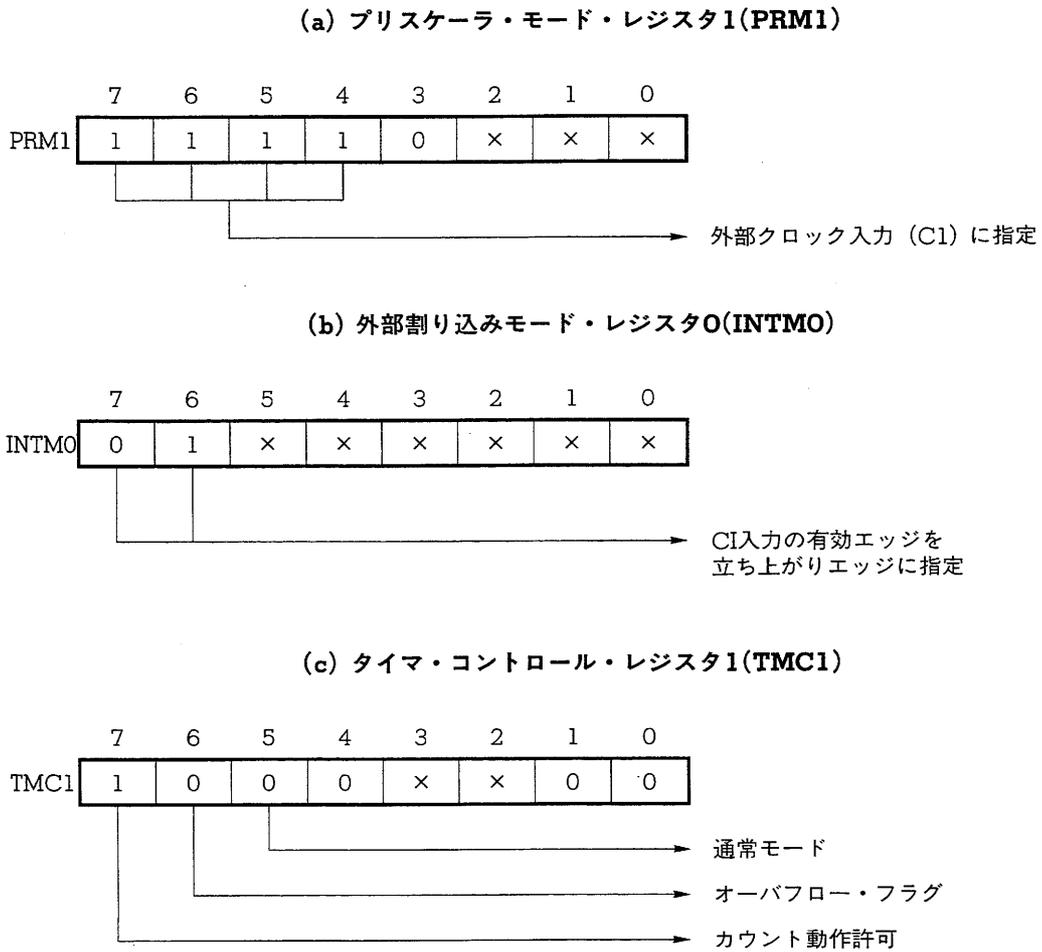
図7-124 外部イベント・カウンタ動作（片エッジの場合）



外部イベント・カウンタとして動作する場合の制御レジスタの設定内容を図7-125に、設定手順を図7-126に示します。

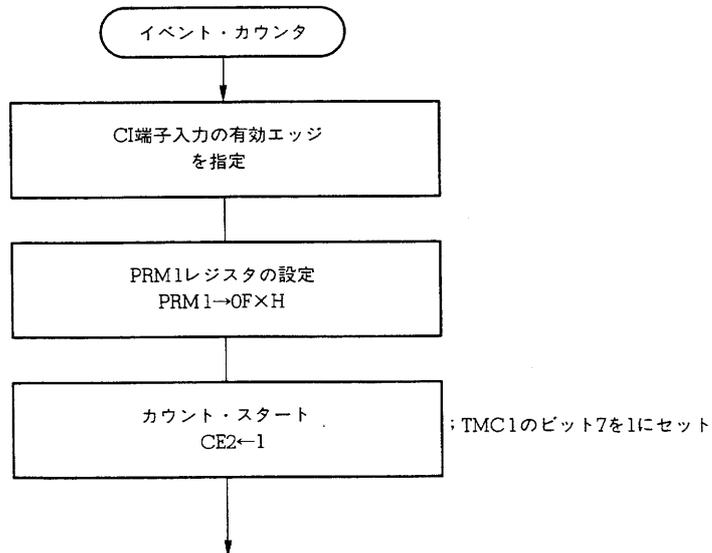
備考 TM2の値は、入力クロック・パルス数より、1小さい値になります。

図 7-125 外部イベント・カウンタ動作の制御レジスタの設定内容



7

図 7-126 外部イベント・カウンタ動作の設定手順



(7) ワンショット・タイマとしての動作

8ビット・タイマ2 (TM2) をスタートさせてから、あらかじめ設定したカウント時間後に1回だけ割り込みを発生するワンショット・パルスとして動作します (図7-127参照)。

また、2回目以降のワンショット・タイマの動作は、タイマ・コントロール・レジスタ1 (TMC1) のOVF2ビットをクリアすることで起動することができます。

図7-128に制御レジスタの設定内容、図7-129にその設定手順、図7-130に2回目以降のワンショット・タイマの起動手順を示します。

図7-127 ワンショット・タイマ動作

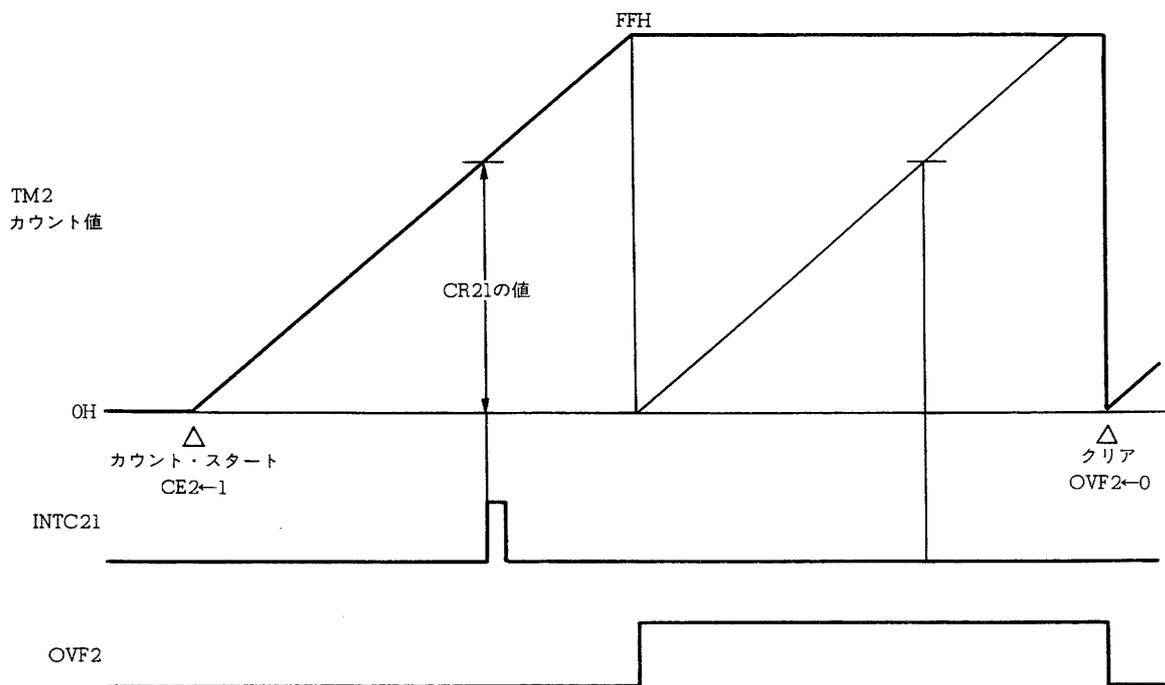
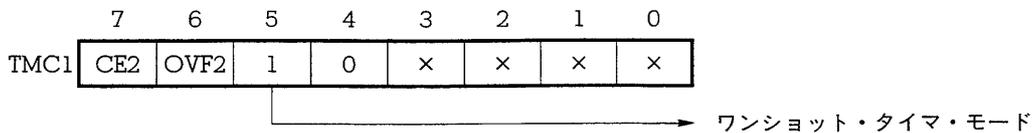
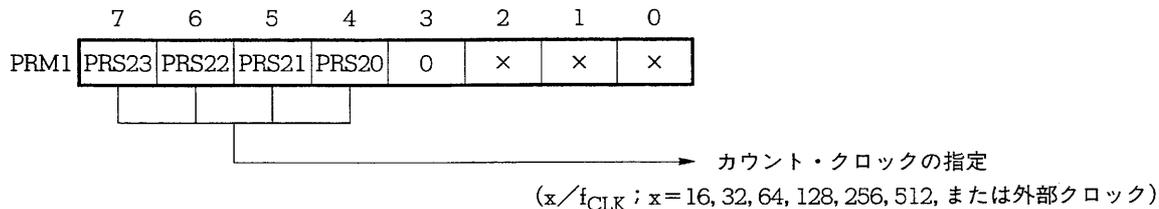


図7-128 ワンショット・タイマ動作の制御レジスタの設定内容

(a) タイマ・コントロール・レジスタ1 (TMC1)



(b) プリスケーラ・モード・レジスタ1 (PRM1)



(c) キャプチャ/コンペア・コントロール・レジスタ2 (CRC2)

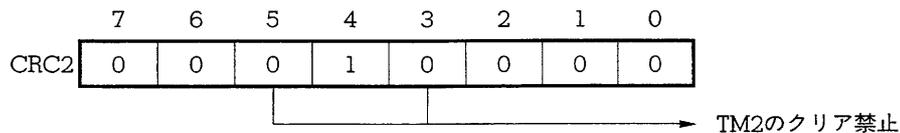


図7-129 ワンショット・タイマ動作の設定手順

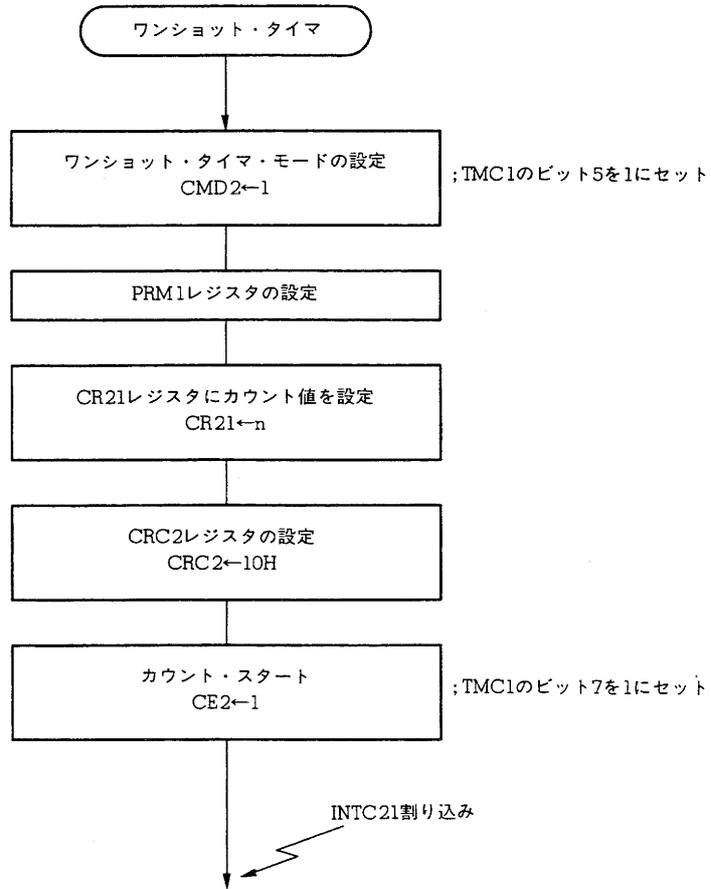
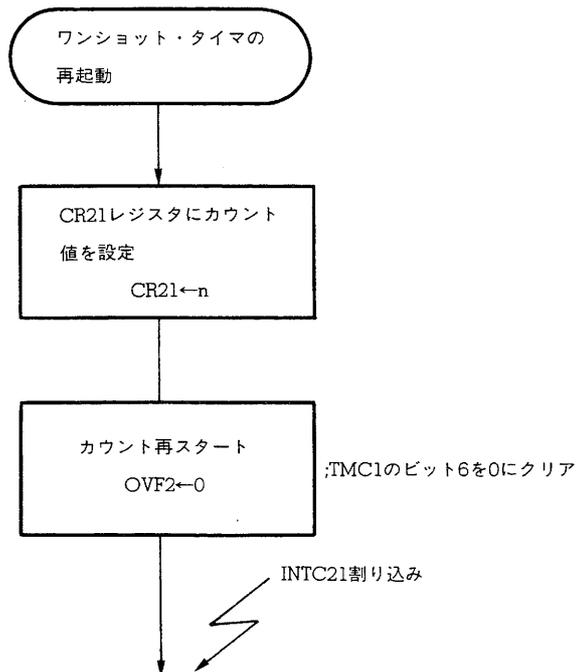


図7-130 2回目以降のワンショット・タイマの起動手順



7.4 8ビット・タイマ/カウンタ3

7.4.1 機能

8ビット・タイマ/カウンタ3は、インターバル・タイマとしての機能のほかにポー・レート・ジェネレータのクロック生成用カウンタとして使うことができます。

インターバル・タイマは、あらかじめ設定したインターバルで内部割り込みを発生します。表7-19にインターバル時間の設定範囲を示します。

表7-19 8ビット・タイマ/カウンタ3のインターバル時間

分解能	最小インターバル時間	最大インターバル時間
$8/f_{\text{CLK}}$ (1.3 μs)	$8/f_{\text{CLK}}$ (1.3 μs)	$2^8 \times 8/f_{\text{CLK}}$ (341 μs)
$16/f_{\text{CLK}}$ (2.6 μs)	$16/f_{\text{CLK}}$ (2.6 μs)	$2^8 \times 16/f_{\text{CLK}}$ (683 μs)
$32/f_{\text{CLK}}$ (5.3 μs)	$32/f_{\text{CLK}}$ (5.3 μs)	$2^8 \times 32/f_{\text{CLK}}$ (1.37 ms)
$64/f_{\text{CLK}}$ (10.7 μs)	$64/f_{\text{CLK}}$ (10.7 μs)	$2^8 \times 64/f_{\text{CLK}}$ (2.73 ms)
$128/f_{\text{CLK}}$ (21.3 μs)	$128/f_{\text{CLK}}$ (21.3 μs)	$2^8 \times 128/f_{\text{CLK}}$ (5.46 ms)
$256/f_{\text{CLK}}$ (42.7 μs)	$256/f_{\text{CLK}}$ (42.7 μs)	$2^8 \times 256/f_{\text{CLK}}$ (10.9 ms)
$512/f_{\text{CLK}}$ (85.3 μs)	$512/f_{\text{CLK}}$ (85.3 μs)	$2^8 \times 512/f_{\text{CLK}}$ (21.8 ms)

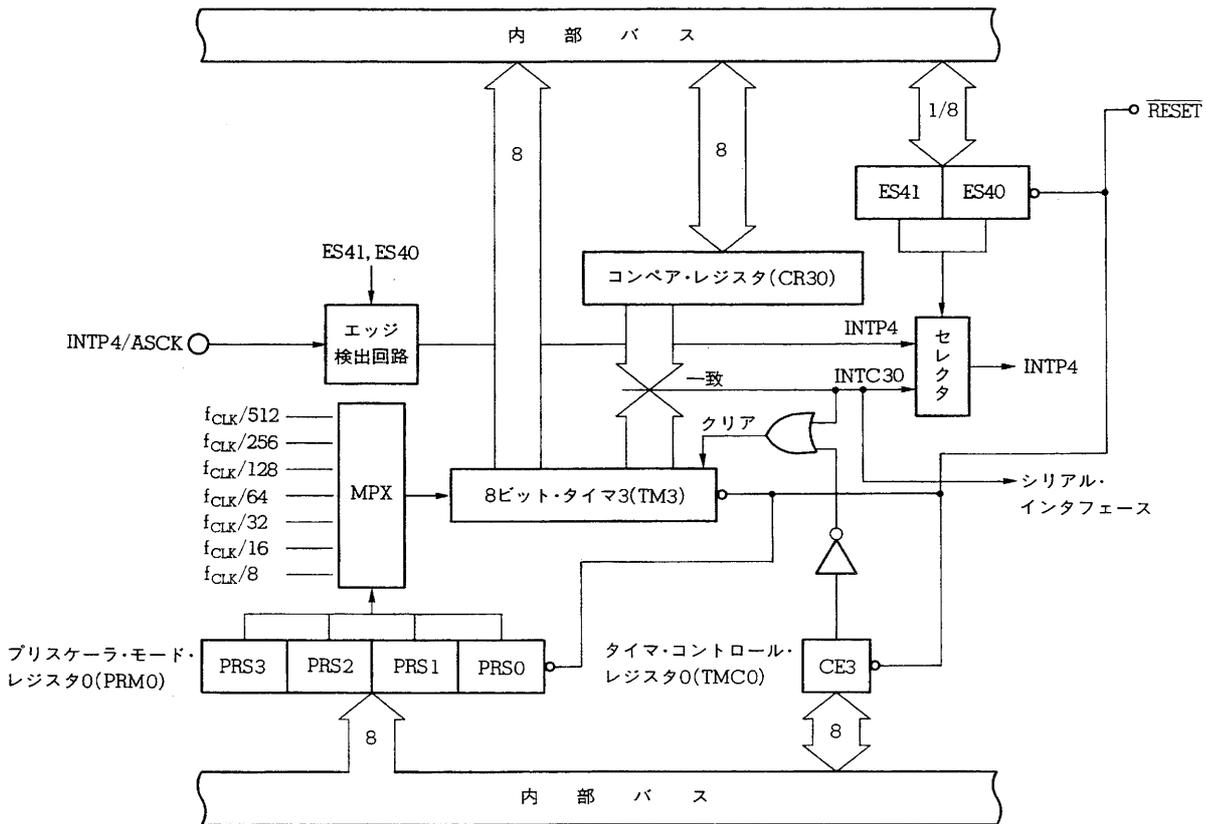
()内は $f_{\text{CLK}}=6\text{ MHz}$

7.4.2 構成

8ビット・タイマ/カウンタ3は、8ビット・タイマ3 (TM3) と8ビット・コンペア・レジスタ (CR30) 1本から構成されます。

図7-131 に8ビット・タイマ/カウンタ3のブロック図を示します。

図7-131 8ビット・タイマ/カウンタ3のブロック図



(1) 8ビット・タイマ3 (TM3)

TM3は、プリスケアラ・モード・レジスタ0 (PRM0) の上位4ビットで指定されるカウント・クロックをアップカウントするタイマです。

8ビット操作命令で読み出しのみが可能です。タイマ・コントロール・レジスタ0 (TMCO) によりカウント動作の停止/許可ができます。

$\overline{\text{RESET}}$ 入力により00Hとなり、カウントは停止します。

(2) コンペア・レジスタ (CR30)

CR30レジスタは、インターバル・タイマ動作の周期を決める値を保持する8ビット・レジスタです。

CR30レジスタの内容がTM3の値と一致すると、TM3の内容を自動的にクリアし割り込み要求 (INTC30) を発生します。

8ビット操作命令で読み出し/書き込みが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(3) プリスケアラ

カウント・クロックを内部システム・クロックから生成します。このプリスケアラで生成されたクロックをセレクタで選択し、カウント・クロックとしてタイマはカウント動作を行います。

7.4.3 8ビット・タイマ/カウンタ3制御レジスタ

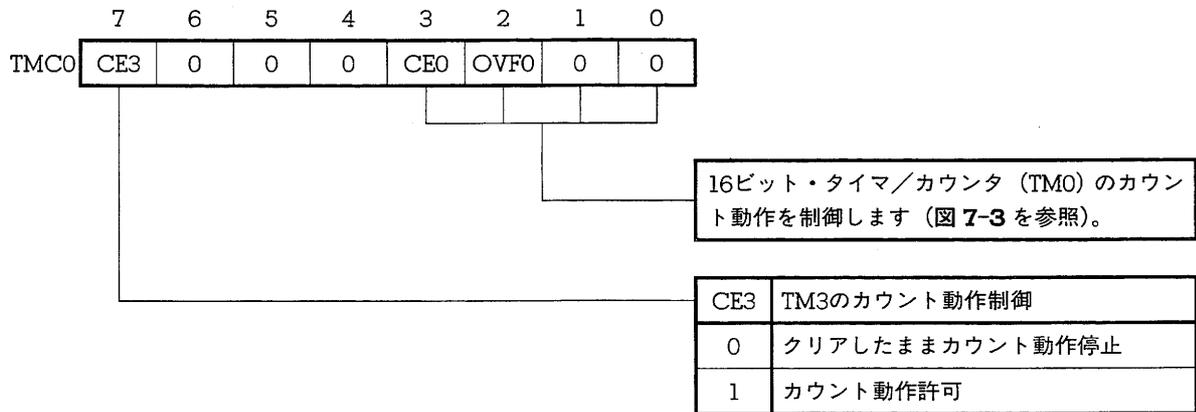
(1) タイマ・コントロール・レジスタ0 (TMC0)

TMC0レジスタは、8ビット・タイマ3 (TM3) のカウント動作を制御する8ビット・レジスタです。上位4ビットで8ビット・タイマ/カウンタ3のTM3のカウント動作を制御します (下位4ビットは16ビット・タイマ/カウンタのTM0のカウント動作を制御します)。

8ビット操作命令で読み出し/書き込みが可能です。図7-132にTMC0レジスタのフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7-132 タイマ・コントロール・レジスタ (TMC0) のフォーマット



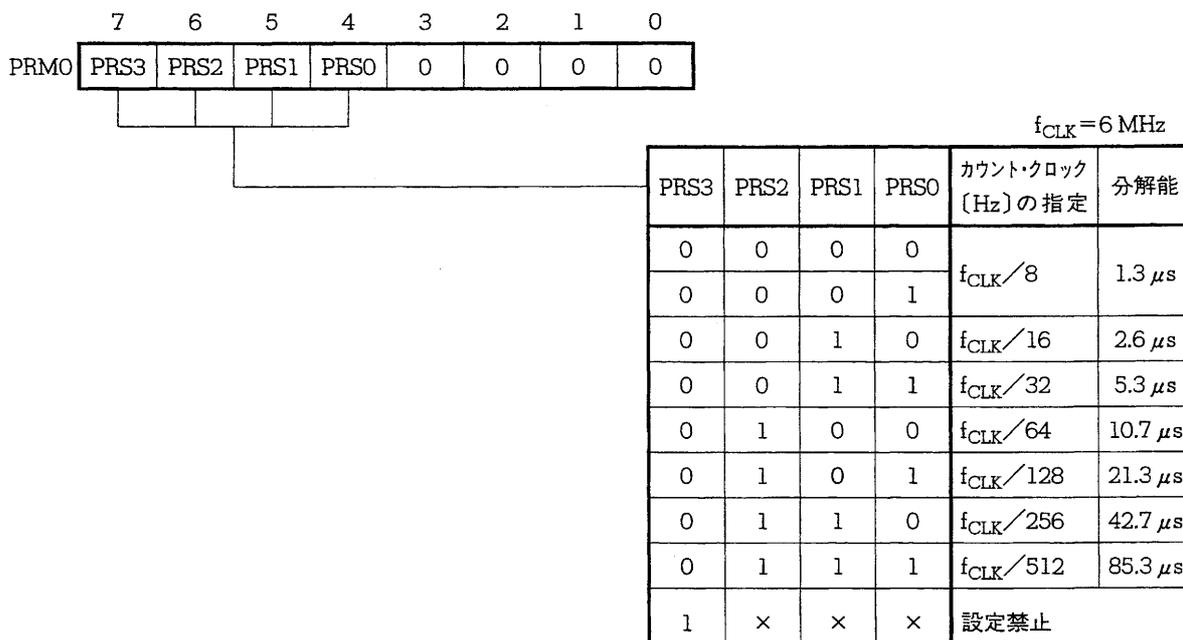
(2) プリスケアラ・モード・レジスタ0(PRMO)

PRMOレジスタは、8ビット・タイマ3 (TM3) へのカウント・クロックを指定する8ビット・レジスタです。

8ビット操作命令で書き込みのみ可能です。図7-133にPRMOレジスタのフォーマットを示します。

RESET入力によりOOHになります。

図7-133 プリスケアラ・モード・レジスタ0 (PRMO) のフォーマット



備考 f_{CLK} : システム・クロック周波数

× : 1または0

7.4.4 8ビット・タイマ3 (TM3) の動作

(1) 基本動作

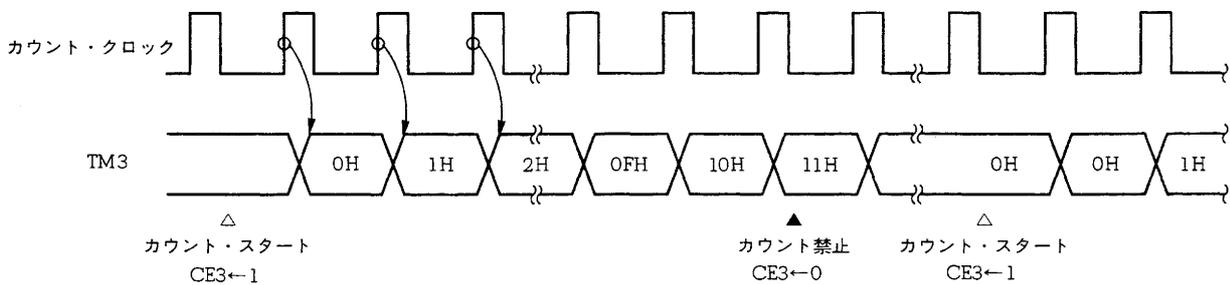
8ビット・タイマ/カウンタ3のカウント動作は、プリスケアラ・モード・レジスタ0 (PRM0) の上位4ビットで指定されるカウント・クロックによるカウント・アップで行います。

$\overline{\text{RESET}}$ 入力により、TM3は00Hにクリアされ、カウント動作は停止します。

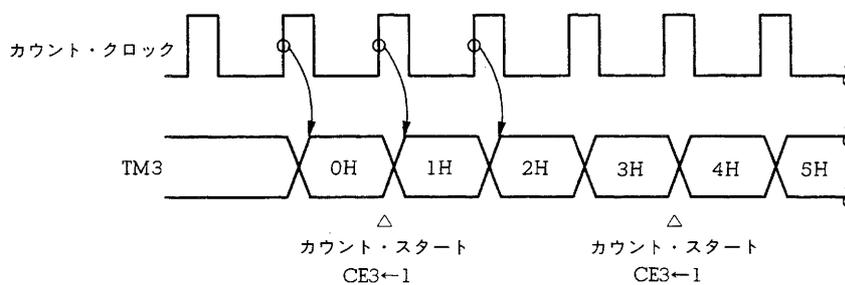
カウント動作の禁止/許可は、タイマ・コントロール・レジスタ0 (TMC0) のビット7 (CE3) で制御します(8ビット・タイマ/カウンタ3の動作制御はTMC0レジスタの上位4ビットです)。CE3ビットをソフトウェアによりセット(1)すると、最初のカウント・クロックでTM3は次のカウント・クロックで00Hにクリアされたのち、カウント・アップ動作を行います。CE3ビットをリセット(0)することによってTM3は次のカウント・クロックで00Hにクリアされ、一致信号の発生は停止します。CE3ビットがセット(1)されている状態でさらにCE3ビットをセット(1)した場合、TM3はクリアされないでカウント動作を続けます。

図 7-134 8ビット・タイマ3(TM3)の基本動作

(a) カウント・スタート→カウント禁止→カウント・スタートの場合



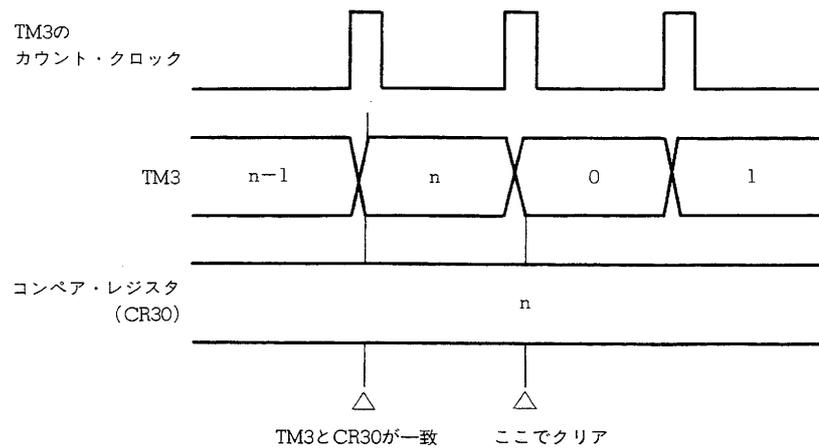
(b) カウント・スタート後の再度CE3ビットに“1”を書き込んだ場合



(2) クリア動作

8ビット・タイマ3 (TM3) は、コンペア・レジスタ (CR30) との一致により自動的にクリアされます。TM3は、クリアする要因が発生すると、次のカウント・クロックで00Hにクリアされます。したがって、クリアする要因が発生しても、次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

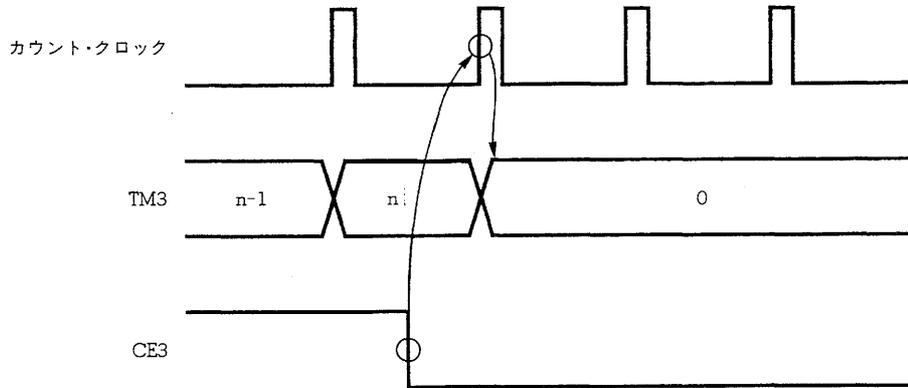
図7-135 コンペア・レジスタ (CR30) との一致によるTM3のクリア



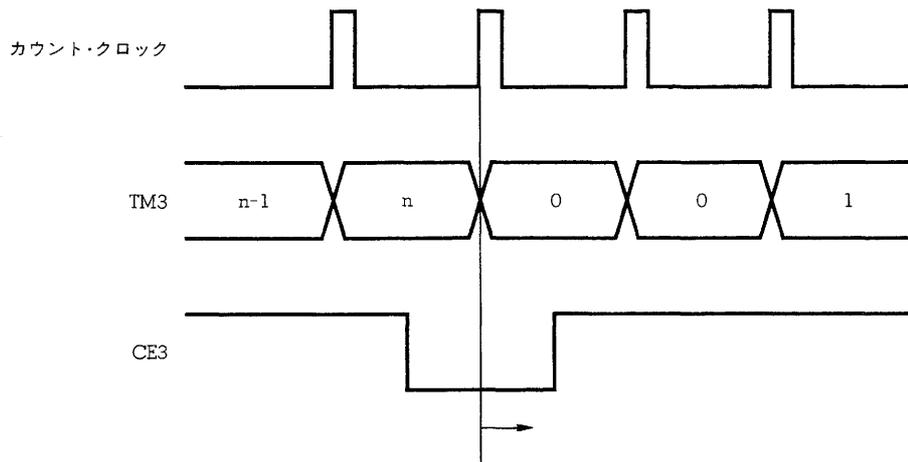
また、TM3はソフトウェアにより、タイマ・コントロール・レジスタ (TMC0) のCE3ビットをリセット(0)することによってもクリアされます。クリア動作は同様に、CE3ビットがリセット(0)されたあとのカウント・クロックで行われます。なお、CE3ビットをリセット(0)し、TM3が0になる前 (CE3ビットをリセット(0)したあとの最初のカウント・クロックがくる前) にCE3ビットがセット(1)されると、クリア動作によりTM3が0になる動作とカウント・スタートによる0のカウント動作が同時に行われます。

図7-136 CE3ビットをリセット(0)した場合のクリア動作

(a) 基本動作

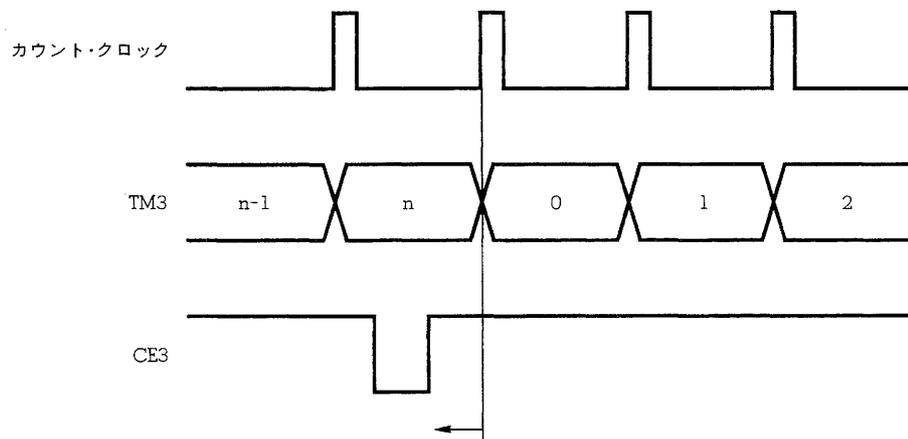


(b) クリア後のTM3が0になってからの再スタート



このカウント・クロック以降にCE3ビットがセット(1)された場合、CE3ビットをセット(1)したあとのカウント・クロックで0からカウント。

(c) クリア後のTM3が0になる前の再スタート



このカウント・クロック以前にCE3ビットがセット(1)された場合、CE3←0によるTM3のクリア動作とCE3←1による0のカウント動作が同時に行われる。

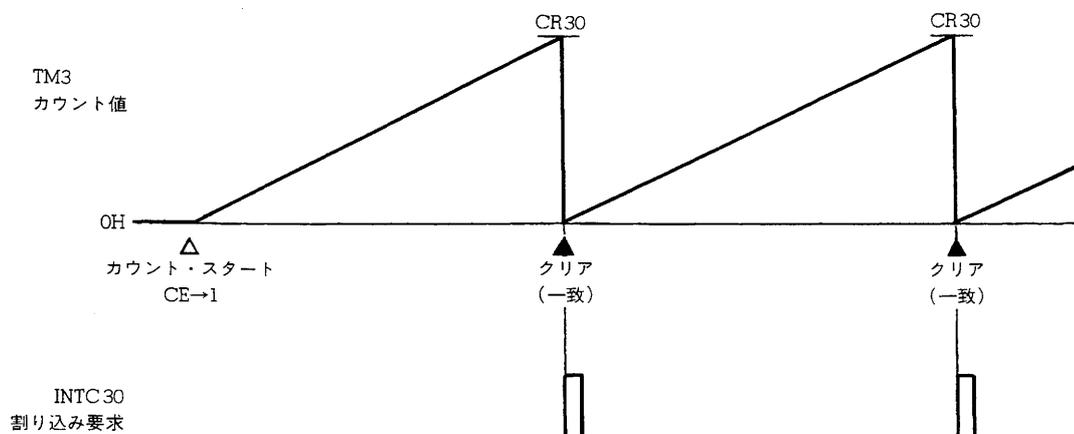
7.4.5 コンペア・レジスタの動作

8ビット・タイマ/カウンタ3は、コンペア・レジスタに設定された値をタイマのカウンタ値と比較するコンペア動作を行います。

あらかじめ設定された8ビット・コンペア・レジスタ (CR30) の値に8ビット・タイマ3 (TM3) のカウンタ値がカウンタ動作によって一致すると、割り込み要求 (INTC30) を発生します。

また一致後、TM3の内容を自動的にクリアしますので、CR30レジスタに設定した値を繰り返しカウントするインターバル・タイマとして動作します。

図 7-137 コンペア動作



7.4.6 使用例

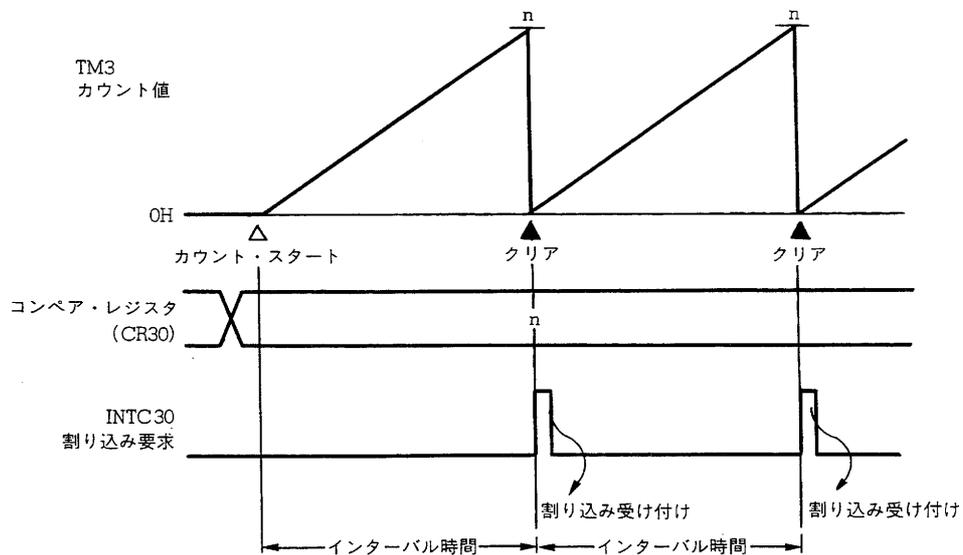
○インターバル・タイマとしての動作

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します。また、ポーレート生成用としても使用できます。

このインターバル・タイマは、最小1.3 μ s最大85.3 μ sの分解能で、それぞれ最高341 μ s, 21.8 msまでのカウントができます（内部システム・クロック $f_{CLK}=6$ MHz）。

図7-138に示すインターバル・タイマとしての動作の制御レジスタの設定内容を図7-139に、設定手順を図7-140に示します。

図7-138 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $(n+1) \times x / f_{CLK}$; $0 \leq n \leq FFH$

$x = 8, 16, 32, 64, 128, 256, 512$

図7-139 インターバル・タイマ動作の制御レジスタの設定内容

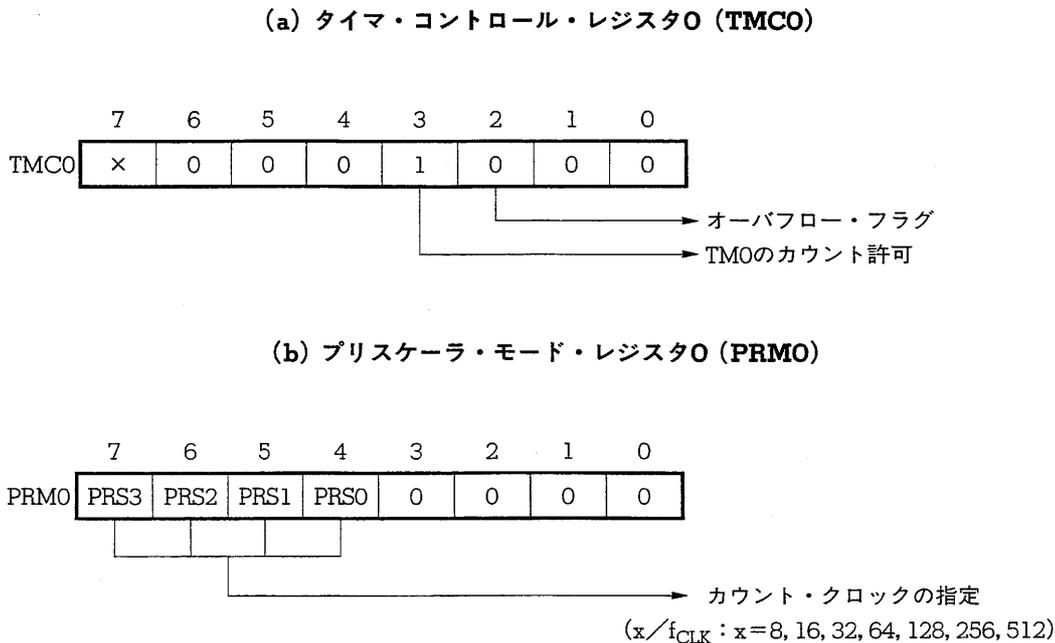
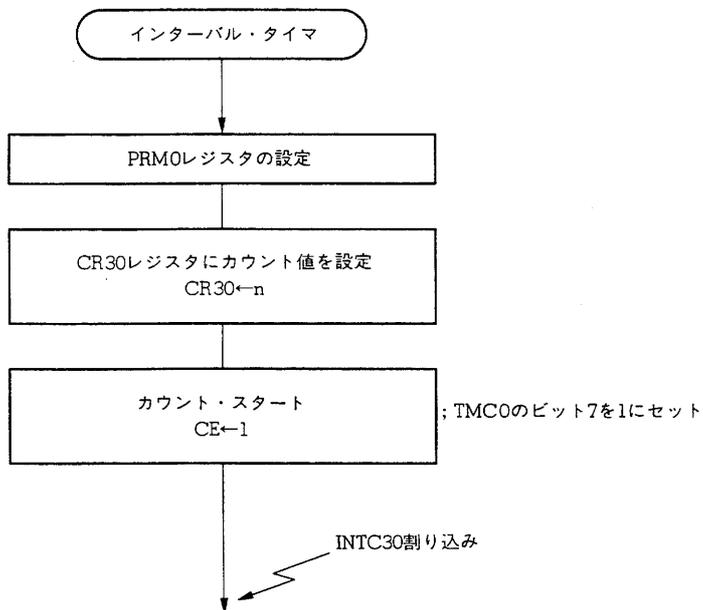


図7-140 インターバル・タイマ動作の設定手順



7.5 注意事項

7.5.1 全タイマ/カウンタ共通の注意事項

(1) カウンタが動作している期間(TMCnレジスタのCEmビットがセットされているとき)、以下のレジスタの内容を書き換えると誤動作する可能性があります。誤動作はレジスタの書き換えによるハードウェアの機能の変化と、書き換え前の機能で状態が変化するタイミングが競合した場合にどちらが優先されるかが不定のために発生します。

これらのレジスタの内容を書き換える場合は、安全のため必ずカウンタ動作を停止させてから行ってください。

- ・プリスケアラ・モード・レジスタ (PRMn)
- ・キャプチャ/コンペア・コントロール・レジスタ (CRCn)
- ・タイマ出力コントロール・レジスタ (TOC)
- ・タイマ・コントロール・レジスタ1 (TMC1) のCMD2ビット

(2) タイマ/カウンタからのオーバーフローを保持するOVFmフラグは、タイマ/カウンタの動作を制御するTMCnレジスタの中にあります。リード・モディファイ・ライト系の命令(AND TMCn,#7FHなど)を実行した場合などにOVFmフラグがクリアされてしまう場合があります(読み出し時に0でも書き込み時にはタイマ/カウンタからのオーバーフローが発生し、1になっている場合があります。しかし、読み出し時に0であったために、OVFmフラグに0を書き込んでしまい、クリア(0)してしまいます)。

同一のTMCnレジスタに割り当てられているタイマ/カウンタのOVFmフラグをクリアしたくない場合には、次のような方法で対応してください。

1. OVFmフラグを使用しているタイマ/カウンタのTMmレジスタを読み出す。
2. タイマ/カウンタの操作を行い、再度TMmレジスタを読み出す。
3. 2つの読み出し値を比較し、後から読み出した値が小さければ、OVFmフラグをセットする。

なお、この方法を使用する間は、割り込みプログラムなどでOVFmフラグの操作を行わないでください。また、最初にTMmを読んでから、次にTMmを読むまでの時間が、TMmがフルカウントする時間より短くなければなりません。

例 タイマ/カウンタ1のOVF1フラグをクリアしてしまいたくない場合

```

MOV A, TM1
MOV TMC1, #×××01000B ; ×××はタイマ/カウンタ2の操作内容による
CMP A, TM1           ; タイマ値をチェック
BL $NEXT
BE $NEXT
MOV TMC1, #×××01100B ; OVF1をセット
NEXT :

```

(3) タイマの動作を停止させる命令実行時にコンペア・レジスタとタイマ・レジスタの内容が一致した場合、タイマのカウンタ動作は停止しますが、割り込みの要求は発生します。

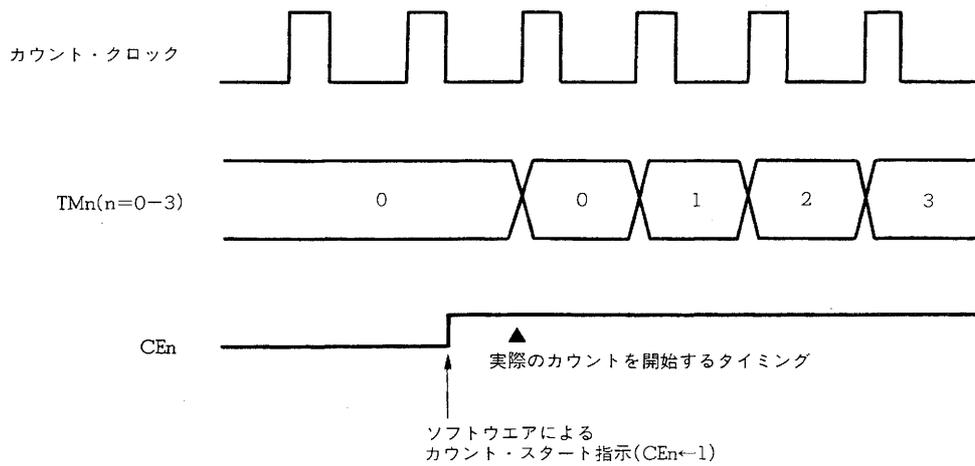
タイマの動作を停止する場合に割り込みを発生させたくないときは、先にマスク・レジスタで割り込みをマスクしてからタイマを停止させてください。

<pre> 割り込み要求が発生する可能性のあるプログラム : 例 MOV TMC1, #6CH AND MKOH, #0F6H : </pre>	<p>←この間でタイマ/カウンタからの割り込み要求発生</p>	<pre> 割り込み要求が発生しないプログラム : AND MKOH, #0F6H ←タイマ/カウンタ2 MOV TMC1, #6CH ←からの割り込み禁止 AND IFOH, #0F6H ←タイマ/カウンタ2 : : ←からの割り込み要求フラグをクリア </pre>
--	---------------------------------	--

(4) タイマ/カウンタをスタート ($CE_n \leftarrow 1$, $(n=0-3)$) させる操作を行ってから、実際にタイマ/カウンタがスタートするまで最大1カウント・クロック分の時間がかかります (図7-141参照)。

たとえば、インターバル・タイマとして使用する場合は、1回目のインターバル時間が最大1クロック分だけ長くなります。2回目以降は、指定した間隔どおりになります。

図7-141 カウント・スタート時の動作



(5) タイマを停止 ($CE_n \leftarrow 0$) する命令を実行しても TM_n の内容は、すぐには 0 になりません。タイマを停止する命令 ($CE_n \leftarrow 0$) を実行したあとに発生するカウント・クロックで 0 になります。

なお、タイマを停止したあとすぐに、タイマが 0 になる前にタイマをスタート ($CE_n \leftarrow 1$) した場合でもタイマは 0 からカウント・アップを行います。

図 7-142 カウント動作の停止

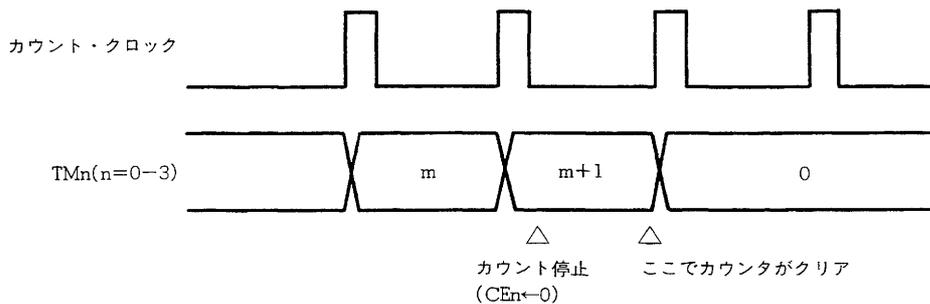
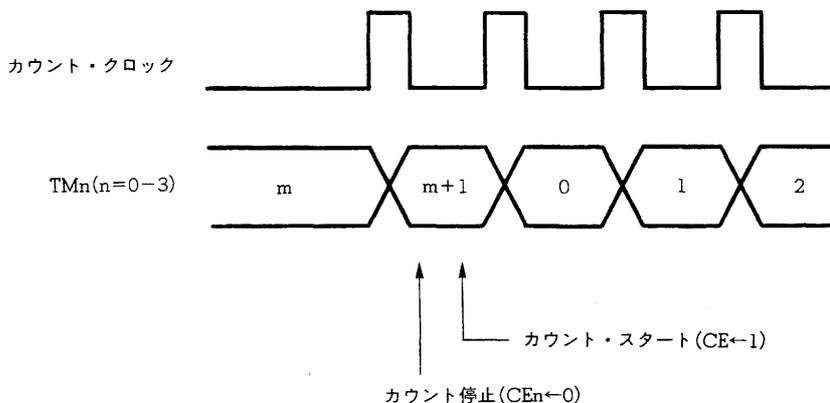


図 7-143 カウント動作の停止，再スタートのタイミング



- (6) タイマ/カウンタ関係のレジスタをアクセスする場合、自動的に最大下記のクロック数注だけウェイト・サイクルが挿入されます。

表 7-20 タイマ/カウンタ関係レジスタ・アクセス時の最大ウェイト数

レジスタ	挿入される最大ウェイト数	
	リード時	ライト時
TMCn	0	1
PRMn	—	1
CRCn	—	1
TOC	—	1
OSPC	0	0
CRnm	1	1
TM0	7	—
TM1	15	—
TM2	15	—
TM3	7	—

注 1クロックは $1/f_{CLK}$ の時間です。

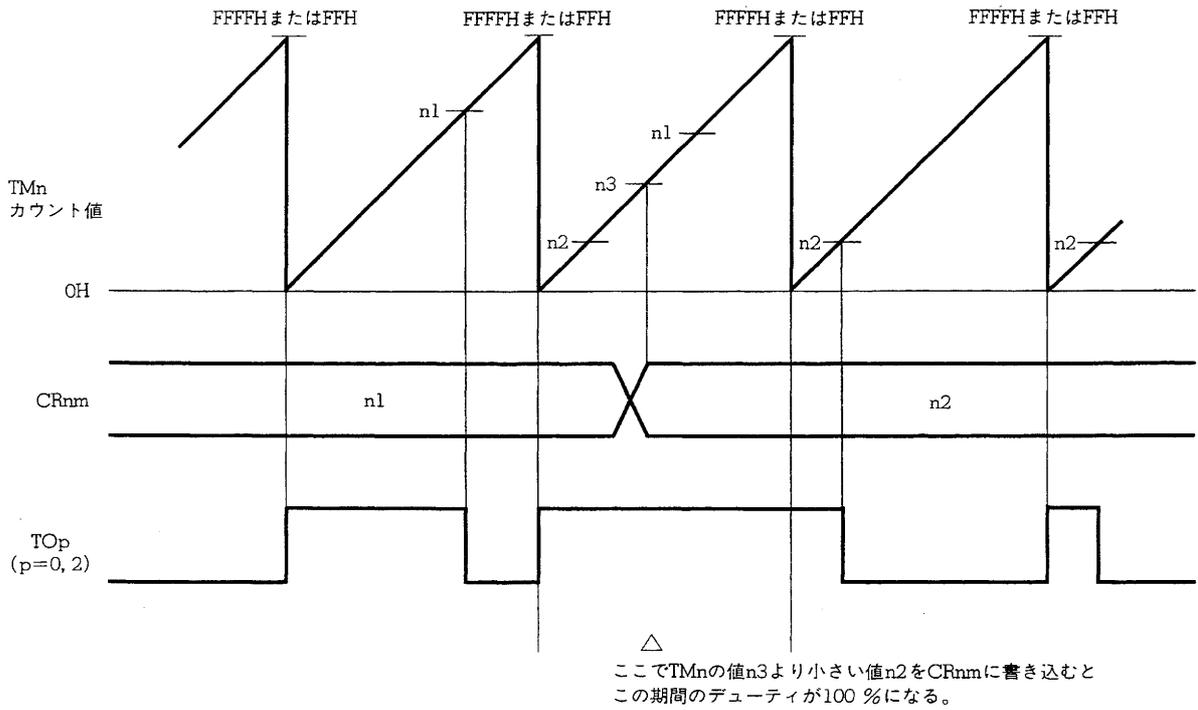
- (7) コンペア・レジスタCRnm ($n=0-3$, $m=0, 1$) への書き込みを行う命令実行中は、書き込みの対象となっているCRnmレジスタとTMn ($n=0-3$)の一致を検出しません。たとえば、書き込みの前後でCRnmレジスタの内容が変わらない場合に、TMnの値がCRnmレジスタの値と一致しても割り込みの要求は発生せず、またタイマ出力 (TON, $n=0-3$) も変化しません。

タイマ/カウンタがカウント動作を行っているときのCRnmレジスタへの書き込みは、CRnmレジスタへの書き込み中にTMnの内容とCRnmレジスタの書き込み前後の値が一致しないようなタイミングで行ってください (TMnとCRnmの一致による割り込み要求の発生直後など)。

- (8) TMnとCRnmの一致の検出は、TMnがインクリメントされたときのみ行われます。したがって、TMnと同じ値をCRnmへ書き込んでも割り込みの要求は発生せず、タイマ出力も変化しません。

- (9) PWMを使用している場合、コンペアレジスタCRnm (n=0, 2, m=0, 1) の値をTMn (n=0, 2) より小さい値に設定すると、デューティ100%のPWM信号が出力されてしまいます。CRnmの書き換えはTMnと書き換えを行うCRnmとの一致による割り込みで行ってください。

図7-144 PWM出力時にデューティが100%になる例

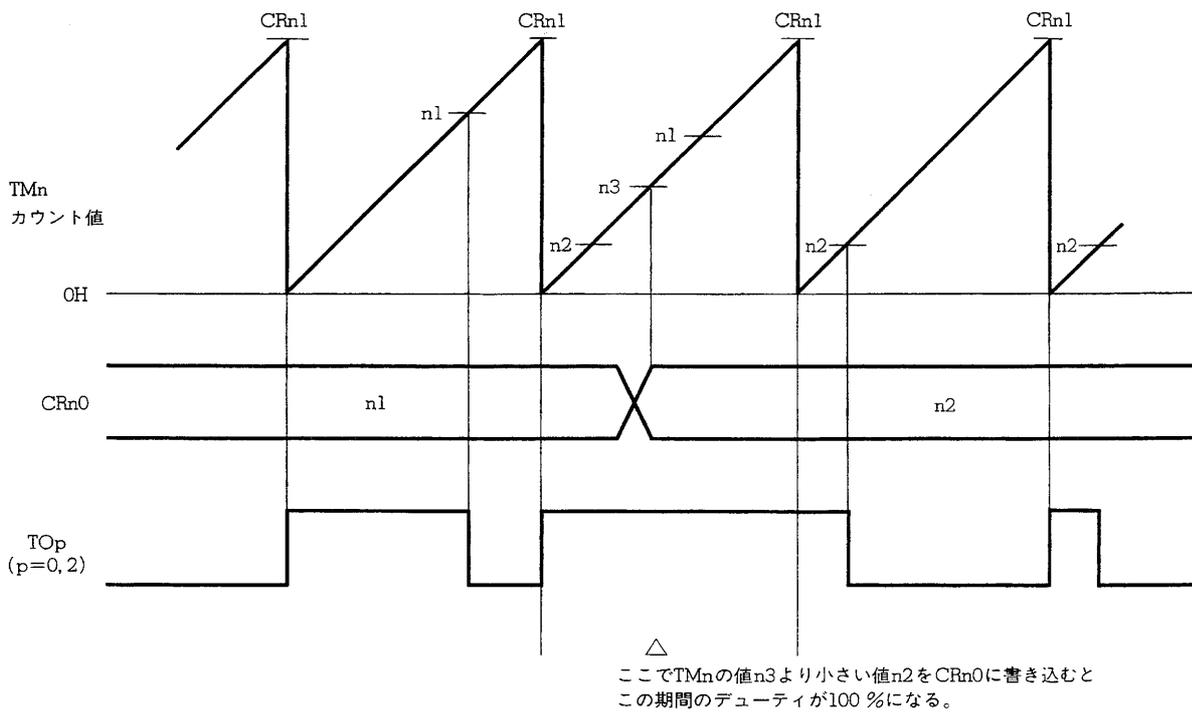


備考 ALVp=0

(10) PPG出力を使用している場合のコンペア・レジスタの書き換えに関する注意事項

- (a) コンペア・レジスタCRn0 (n=0, 2) とTMn (n=0, 2) が一致するより前にCRn0にTMn以下の値を書き込むと、そのPPG周期のデューティが100%になってしまいます。CRn0の書き換えは、TMnとCRn0との一致による割り込みで行うようにするなどしてください。

図7-145 PPG出力時にデューティが100%になる例

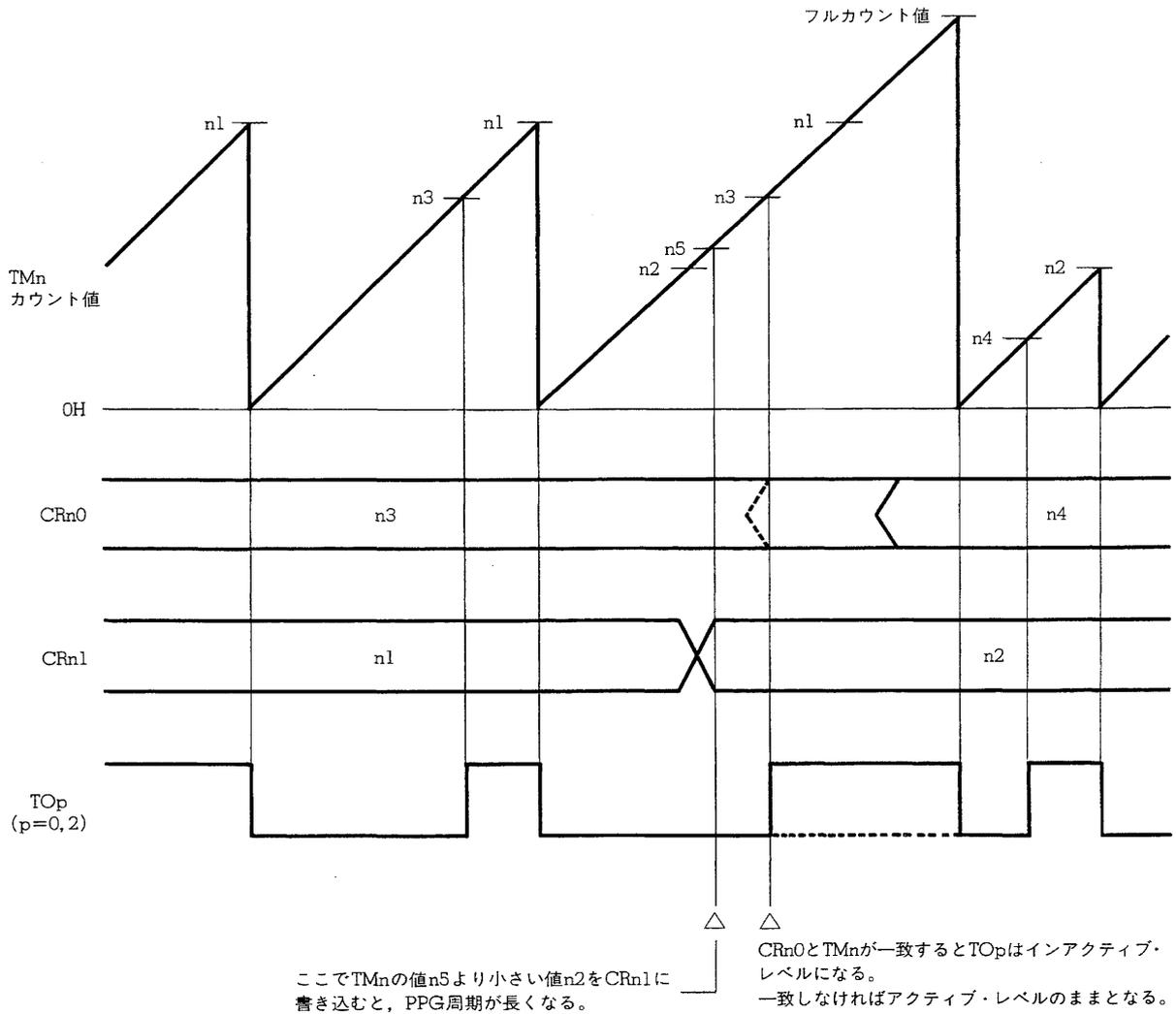


備考 ALVp=0

(b) コンペア・レジスタ (CRn1) を現在の値より小さい値に変更する場合に、CRn1の値をTMnの値より小さくすると、そのときのPPG周期がTMnがフルカウントする時間にまで長くなってしまいます。このときの出力レベルは、コンペア・レジスタ (CRn0) とTMnが一致したあとにCRn1を書き換えた場合は、TMnがオーバフローして0になるまでインアクティブ・レベルとなり、その後、正常なPPG出力に戻ります。CRn0とTMnが一致する前にCRn1を書き換えた場合は、CRn0とTMnが一致するまでアクティブ・レベルを出力します。TMnがオーバフローし、0になる前にCRn0とTMnが一致した場合は、その時点でインアクティブ・レベルを出力します。TMnがオーバフローし、0になった時点でアクティブ・レベルを出力し、正常なPPG出力に戻ります。

CRn1の書き換えは、TMnとCRn1との一致割り込みで行うようにするなどしてください。

図 7-146 PPG出力の周期が長くなる例



備考 ALVp=1

(c) 割り込みの受け付けなどにかかる時間に対して、十分な時間がPPG周期にないとき（PPG周期が極端に短いとき）は、(a)、(b)で示した方法では対策がとれません。ほかの方法（すべての割り込みをマスクして、割り込み要求フラグをソフトウェアでポーリングするなど）を考えてください。

(11) PWM出力では、パルス幅が近似式に比べてアクティブ・レベルで、 f_{CLK} の2クロック分長く、インアクティブ・レベルが f_{CLK} の2クロック分短くなります。高精度の出力が必要な場合、またはカウント・クロックが高速の場合は、この点について考慮のうえご使用ください。

詳細は、**7.1.7**、**7.3.9 PWM出力**を参照してください。

(12) タイマ出力禁止時（ $ENTOn=0$ 、 $n=0, 1, 2, 3$ ）の TON （ $n=0, 1, 2, 3$ ）端子の出力レベルは、 $ALVn$ （ $n=0, 1, 2, 3$ ）に設定した値の反転値となります。したがって、PWM出力機能またはPPG出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

(13) PPG出力では、パルス幅が近似式に比べてアクティブ・レベルで、 f_{CLK} の2クロック分長く、インアクティブ・レベルが f_{CLK} の2クロック分短くなります。高精度の出力が必要な場合、PPGパルス周期が短い場合、またはカウント・クロックが高速の場合は、この点について考慮のうえご使用ください。

詳細は、**7.1.8**、**7.3.10 PPG出力**を参照してください。

- (14) インサーキット・エミュレータでは、デジタル・ノイズ除去を正常に行うことができません。したがって、タイマ/カウンタとエッジ検出を組み合わせる場合は、次の点に注意して使用してください。

・タイマ/カウンタのキャプチャ動作、クリア動作

: 誤検出したエッジの影響を受けません。したがって、誤検出したエッジによる割り込みが発生しても、キャプチャ値は更新されていません。特にCR22は、CPUが読み出したあとの値が不定となるため注意が必要です。

・タイマ/カウンタのコンペア動作

: キャプチャ後にクリアを行うモードに設定されている場合には、誤検出したエッジの影響により、一致割り込み発生のタイミングが変化してしまいます。その結果、タイマ/カウンタとコンペアレジスタの値が一致するタイミングとは異なるタイミングで、一致割り込みが発生し続けます。

正常なエッジ入力、またはタイマ/カウンタの停止により、一致割り込みの発生が正常なタイミングに戻ります。

: タイマ出力は、誤検出したエッジの影響を受けません。正常なタイミングで動作を行います。

エッジの誤検出についての詳細は、第13章 エッジ検出機能の13.4 注意事項を参照してください。

インサーキット・エミュレータについては、7.5.4 インサーキット・エミュレータ使用時の注意事項も参照してください。

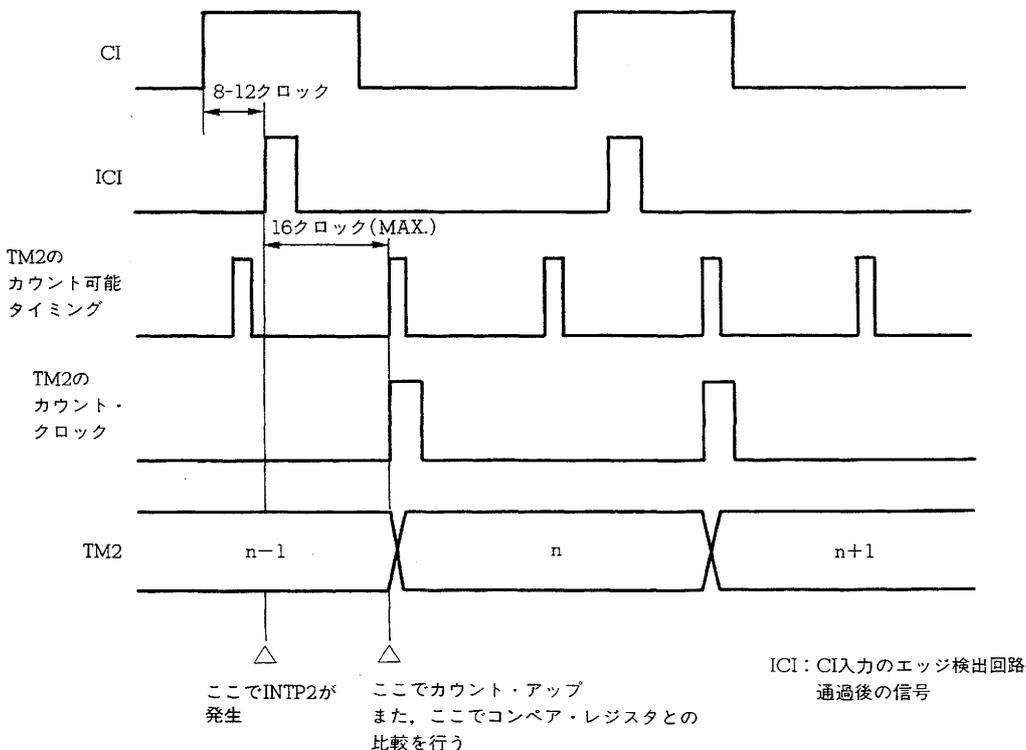
7.5.2 16ビット・タイマ/カウンタに関する注意事項

16ビット・タイマ/カウンタでコンペア動作を行うためには、コンペア動作を行わせる前に、使用するコンペア・レジスタに書き込みを行う必要があります。

7.5.3 8ビット・タイマ/カウンタ2に関する注意事項

- (1) 8ビット・タイマ/カウンタ2を外部イベント・カウンタとして使用する場合、CI端子に有効エッジが入力されてからTM2がインクリメントされるまで最大28システム・クロック ($4.67 \mu\text{s} : f_{\text{CLK}} = 6 \text{ MHz}$) だけ遅れます。したがって、エッジ検出直後にTM2の値を読み出してもインクリメントされていない場合があります。また、コンペア・レジスタ (CR20, CR21) との一致による割り込みの要求の発生も同様にエッジ入力より遅れます。細かいタイミングの制御を行う必要がある場合には、この点についても注意してください。

図7-147 外部イベント・カウンタでの割り込み要求発生



(2) 8ビット・タイマ/カウンタ2を外部イベント・カウンタとして使用する場合、有効エッジの入力が一度もない状態と1回だけあった状態の区別がTM2だけではつけられません(図7-148参照)。TM2の内容はいずれの場合も0になります。区別をつける必要がある場合には、INTP2の割り込み要求フラグを利用してください(INTP2端子とCI端子は兼用になっており、いずれの機能も同時に使用できます)。

例を図7-149に示します。

図7-148 外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例

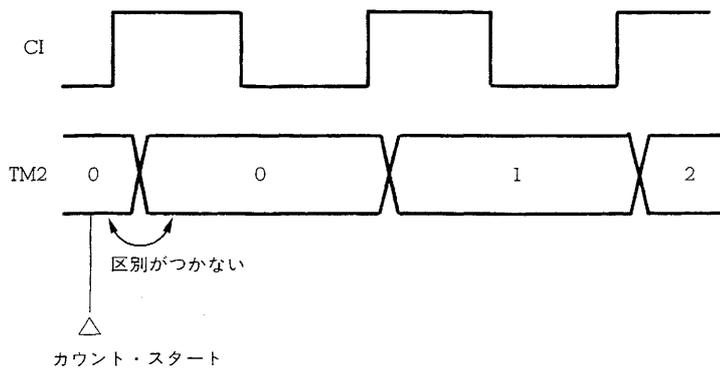
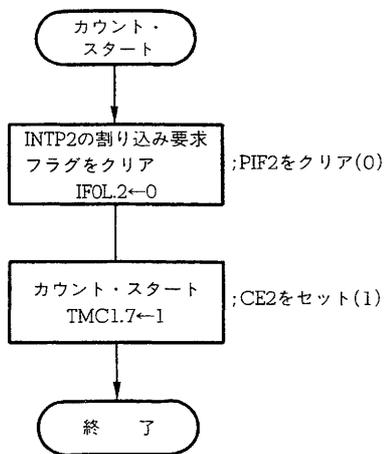
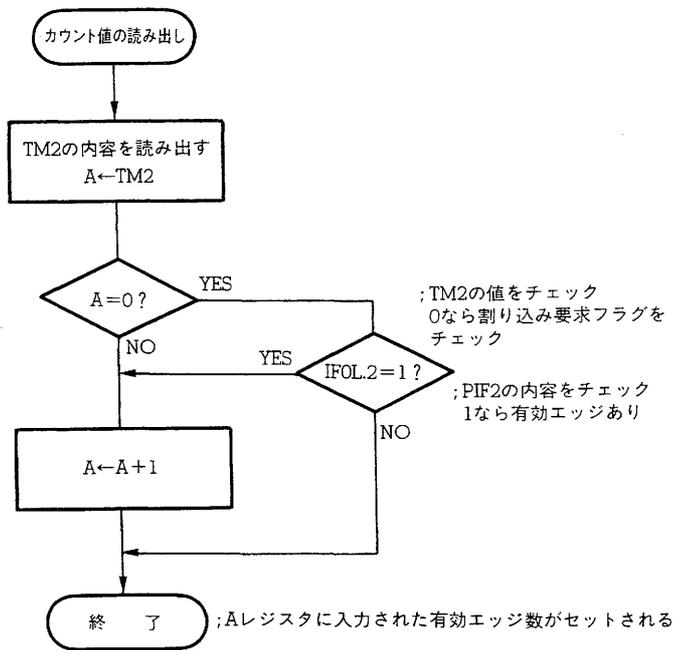


図7-149 外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法

(a) カウント・スタート時の処理



(b) カウント値読み出し時の処理



- (3) インサーキット・エミュレータでは、デジタル・ノイズ除去を正常に行うことができません。したがってタイマ/カウンタとエッジ検出を組み合わせる場合は、**7.5.4 インサーキット・エミュレータ使用時の注意事項**を参照してください。
- (4) CR22レジスタは、読み出したあと不定になります。キャプチャした値を2回以上使用したい場合は、レジスタまたはメモリなどへキャプチャ値を退避しておき、その値を使用するようにしてください。

7.5.4 インサーキット・エミュレータ使用時の注意事項

インサーキット・エミュレータでは、INTP0, INTP1, INTP2/CI, INTP3のノイズ除去動作が正常に動作せずに、ノイズをエッジとして誤検出してしまう場合があります。エッジの誤検出の詳細については、第13章 エッジ検出機能の13.4 注意事項を参照してください。ここでは、誤検出したエッジにより、どのようにタイマ/カウンタが動作するかを説明します。

(a) キャプチャ動作

誤検出したエッジでは、キャプチャ動作を行いません。しかし、誤検出したエッジでの割り込みは発生します。誤検出したエッジによる割り込み処理の中で読み出したキャプチャ・レジスタの値は次のようになります。

- ・ CR02, CR11の場合
直前の正常なエッジでキャプチャした値
- ・ CR22の場合
不定値

(b) キャプチャ後のクリア動作 (8ビット・タイマ/カウンタ1, 2のみ)

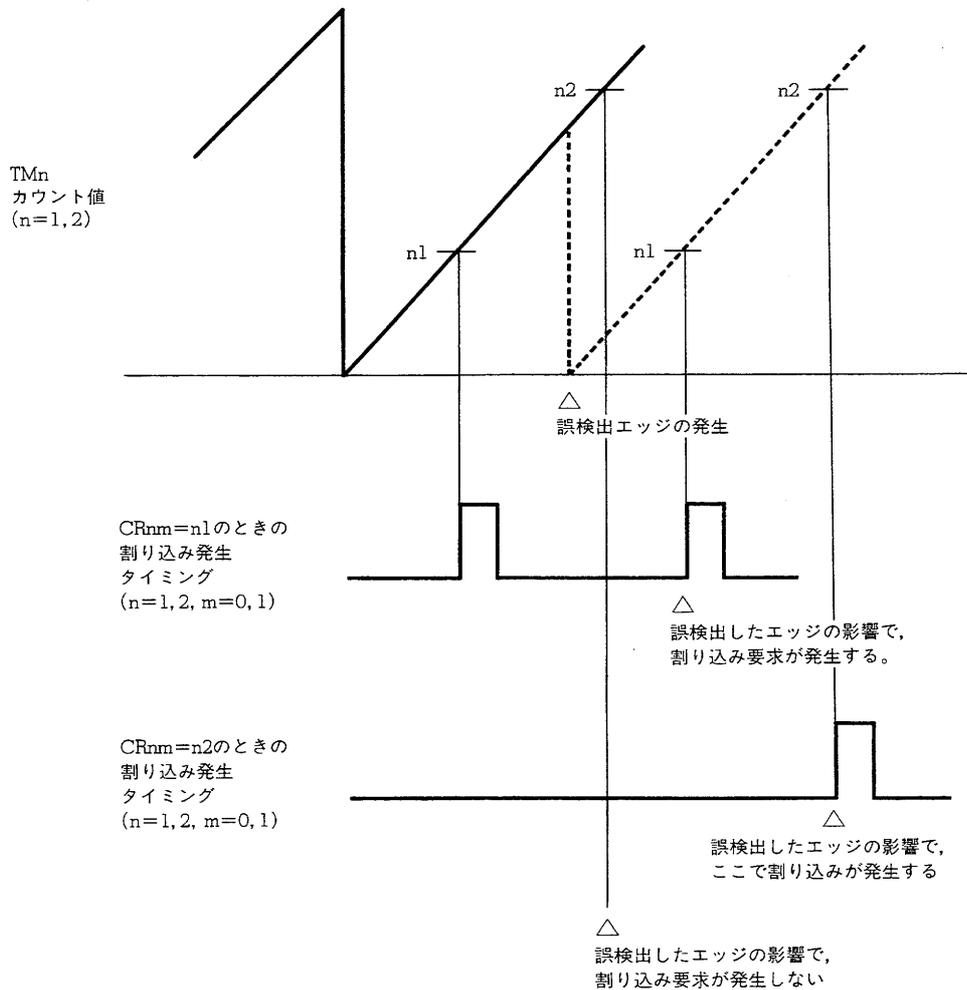
誤検出したエッジでは、クリア動作は行いません。しかし、エッジの誤検出後、タイマ/カウンタの値とコンペア・レジスタの値とは無関係なタイミングでタイマ/カウンタの値とコンペア・レジスタの値が一致したときの割り込みの要求が発生します。この割り込みの発生タイミングは、タイマ/カウンタがクリアされたと仮定したときのタイミングとなります (図 7-150参照)。

タイマ/カウンタ1のタイマ/カウンタの値とコンペア・レジスタの値の一致をリアルタイム出力ポートの出力トリガとしている場合は、このずれたタイミングがリアルタイム出力ポートの出力トリガとなります。

タイマ/カウンタ2のタイマ出力機能は、正しいタイミングで動作します (誤検出したエッジの影響を受けません)。この割り込み発生タイミングのずれは、次の動作で解消されます。

- ・ 正常なエッジによるクリア動作
- ・ タイマ・コントロール・レジスタ1 (TMC1) の該当するタイマ/カウンタのCE_n (n=1, 2) ビットをクリア(0)する

図 7-150 誤検出したエッジによる割り込み発生タイミングの変化



(c) イベント・カウンタ機能 (タイマ/カウンタ2のみ)

誤検出したエッジでは、タイマ/カウンタの値は変化しません。しかし、タイマ/カウンタの値とコンペア・レジスタの値の一致による割り込み発生タイミングは、誤検出したエッジの数だけ速くなってしまいます。

タイマ出力機能は、正しいタイミングで動作します(誤検出したエッジの影響は受けません)。この割り込み発生タイミングのずれは、次の動作で解消されます。

- ・キャプチャ後のクリア機能を使用している場合は、正常なエッジによるクリア動作
- ・タイマ/コントロール・レジスタ1 (TMC1) のCE2ビットをクリア (0) する。

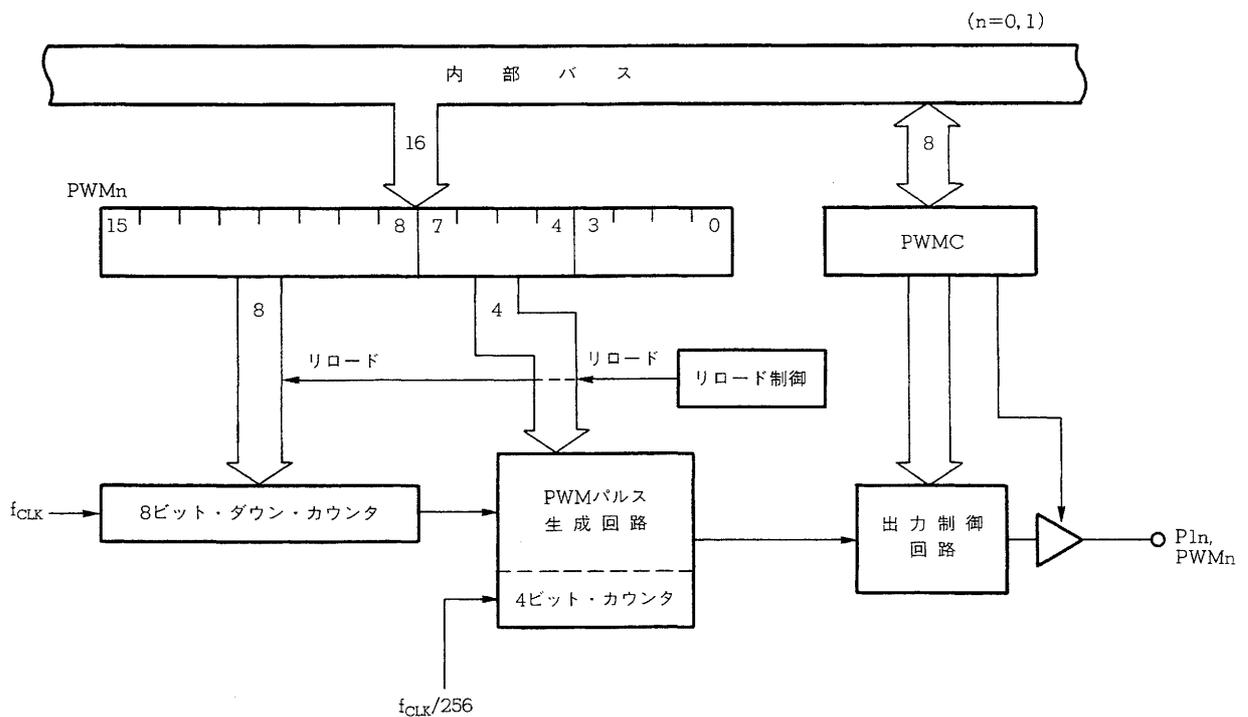
第8章 PWM出力ユニット

μ PD78234は、12ビット分解能のPWM (パルス幅変調)出力回路を、2チャンネル内蔵しています。PWM出力パルスのアクティブ・レベルをハイ/ロウに選択することができます。また、PWM出力ポートは、P10, P11端子と兼用になっています。

8.1 PWM出力ユニットの構成

PWM出力ユニットの構成を図8-1に示します。

図8-1 PWM出力ユニットの構成



(1) 8ビット・ダウン・カウンタ

基本となるPWM信号のタイミングを生成します。

(2) PWMパルス生成回路 (4ビット・カウンタ含む)

追加パルス付加の制御をし、出力するPWMパルスを生成します。

(3) リロード制御

8ビット・ダウン・カウンタおよび4ビット・カウンタのモジュロ値のリロードを制御します。

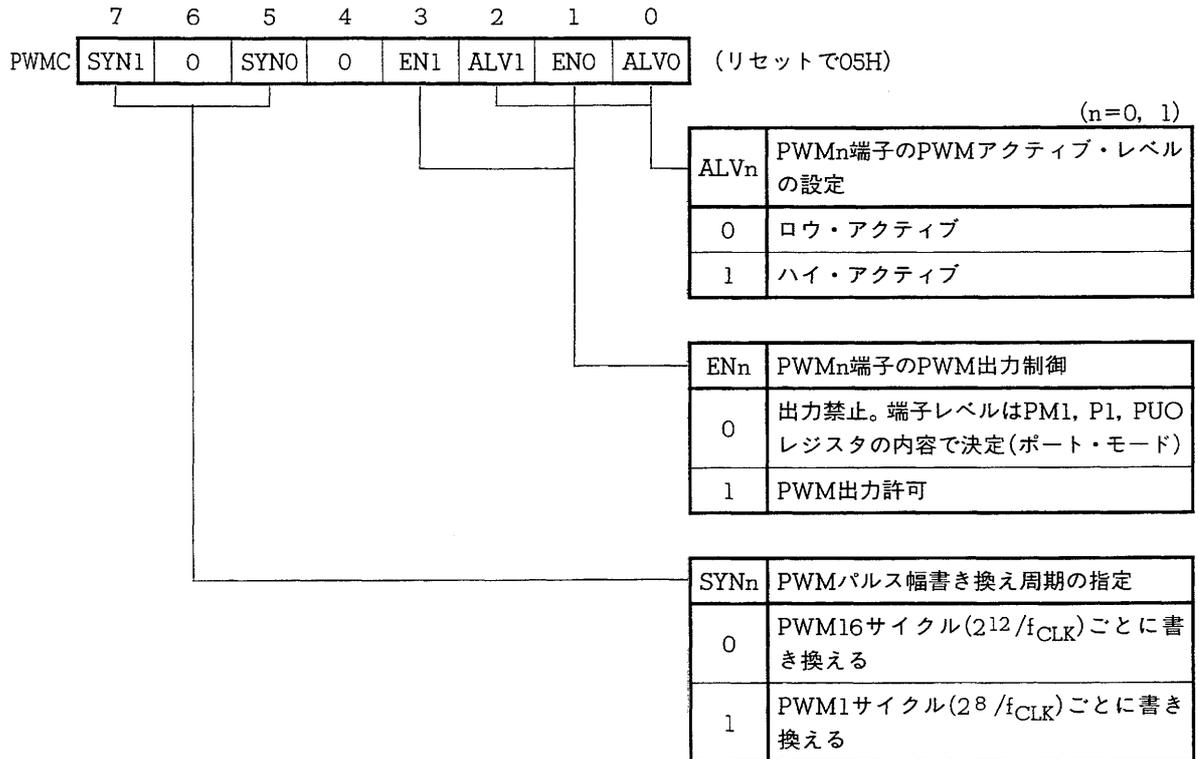
(4) 出力制御回路

PWM信号のアクティブ・レベルの制御をします。

8.2 PWM出力ユニットの制御レジスタ

8.2.1 PWMコントロール・レジスタ (PWMC)

図8-2 PWMコントロール・レジスタ (PWMC) のフォーマット



PWMコントロール・レジスタ (PWMC) は、PWM出力端子 (PWM0, PWM1) の動作状態を制御する8ビット・レジスタです。

PWMCレジスタは、読み出し／書き込み可能なレジスタで、ビット操作および8ビット操作が可能です。

$\overline{\text{RESET}}$ 入力により、PWMCは05Hとなり、PWM0, PWM1端子は、ポート・モードとなり入力状態(出力ハイ・インピーダンス) となります。

8.2.2 PWMモジュロ・レジスタ (PWM0, PWM1)

PWM0, PWM1レジスタは、PWMパルスのパルス幅を決定する16ビット・レジスタです。データの設定は、16ビット・データ転送命令で行います。

このレジスタは、書き込み専用のレジスタで、読み出しはできません。

PWM0, PWM1レジスタのビット15-4の内容が12ビットPWMパルス幅を決定します(12ビット分解能)。ビット3-0は意味を持たず、1または0のいずれのデータを書き込んでもPWM出力に影響しません。

$\overline{\text{RESET}}$ 入力により、モジュロ・レジスタの内容は不定になりますので、初期化プログラムでデータを設定してから、PWM出力の許可をしてください。

注意 PWMモジュロ・レジスタ (PWM n ; $n=0, 1$)へは、0000H-00FFHの値を設定しないでください。PWM n レジスタへは0100H-FFFFHの値を設定するようにしてください。出力可能なPWM信号のデューティ値は、 $17/4096-4096/4096$ となります。

8.3 PWM出力ユニットの動作

8.3.1 PWM出力の基本動作

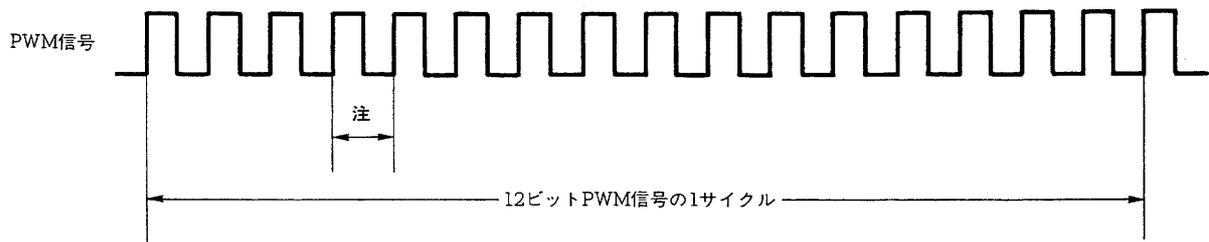
PWMパルス出力のデューティは、PWMモジュロ・レジスタ (PWMn; n=0, 1) のビット4-15に設定する値で次のように決定されます。

$$\text{PWMパルス出力のデューティ} = \frac{(\text{PWMnのビット4-15の値})^{\text{注}} + 1}{4096}$$

注 $16 \leq (\text{PWMnのビット4-15の値}) \leq 4095$

PWMパルス出力は、繰り返し周期 $f_{\text{CLK}}/256(42.7 \mu\text{s}, 23.4 \text{ kHz} : f_{\text{CLK}}=6 \text{ MHz})$ の8ビット分解能のPWM信号を16回繰り返して出力することで、12ビット分解能を実現しています。PWMnレジスタのビット8-15で決定される8ビット分解能のPWMパルスに、1サイクルごとにPWMnレジスタのビット4-7の値に従って、追加パルス($1/f_{\text{CLK}}$)の付加を制御して、16周期で1回のPWMパルス信号を実現しています。

図 8-3 PWM出力の基本動作



注 PWMパルス 1サイクル8ビット分解能

8.3.2 PWMパルス出力の許可／禁止

PWMパルスを出力するときは、PWMモジュロ・レジスタにデータを設定したあと、PWMCレジスタのENO, EN1ビットを(1)します。

これにより、PWM出力端子からは、PWMCレジスタのALV0, ALV1で指定されたアクティブ・レベルのPWMパルスが出力されます。

PWMCレジスタのENO, EN1ビットをクリアすると、PWM出力ユニットはただちにPWM出力動作を停止し、PWM出力端子はPM1, P1, PUOの各レジスタで指定された状態になります。

すなわち、ポート1モード・レジスタ (PM1) のPM1n=0 (n=0, 1) のときは出力状態になり、P1n (n=0, 1) の内容が指定されます。また、PM1n=1 (n=0, 1) のときは入力状態となり、プルアップ抵抗オプション・レジスタ (PUO) のPUO1=1のときは、内蔵プルアップ抵抗によりハイ・レベルになり、PUO1=0のときは出力ハイ・インピーダンスになります。

8.3.3 PWMパルスのアクティブ・レベルの指定

PWMCレジスタのALV0, ALV1ビットは、PWM出力端子から出力されるPWMパルスのアクティブ・レベルを指定します。

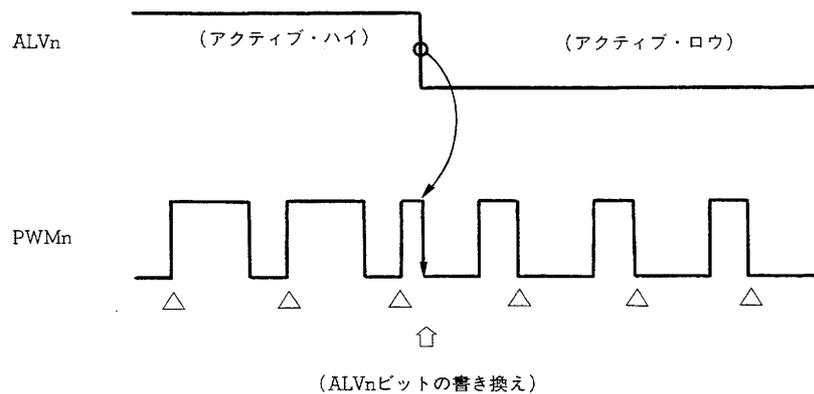
ALV0, ALV1をセット(1)すると、ハイ・アクティブ・レベルのパルスを出し、リセット(0)するとロウ・アクティブ・レベルのパルスを出しします。

ALV0, ALV1を書き換えると、ただちにPWMアクティブ・レベルが変化します。図8-4にPWM出力のアクティブ・レベル設定と端子状態を示します。

図8-4は、PWMCレジスタのEN_n (n=0, 1) をセット(1)し、PWM出力を許可している状態でALV_n (n=0, 1) を切り替えた場合です。

EN_n (n=0, 1) がリセット(0)の状態ではALV_n (n=0, 1) を書き換えても、端子状態は変化しません。

図8-4 PWM出力のアクティブ・レベル設定



備考 EN_n=1 (n=0, 1)

8.3.4 PWMパルス幅書き換え周期の指定

PWM出力の開始, およびパルス幅の変更は, PWMパルス16サイクル($2^{12}/f_{CLK}$) ごと, あるいは, PWMパルス1サイクル($2^8/f_{CLK}$) ごとの, いずれかに同期して行われます。このPWMパルス幅書き換え周期の指定は, PWMCレジスタのSYN_n (n=0, 1) ビットで行います。

SYN_n (n=0, 1) ビットをリセット(0)すると, パルス幅の変更は, PWMパルス16サイクル($2^{12}/f_{CLK}$) ごとに行われます。したがって, PWMモジュロ・レジスタに書き込まれたデータに対応する幅のパルスを出力するようになるまでには, 最大 2^{12} クロック ($f_{CLK}=6\text{ MHz}$ 時で $683\ \mu\text{s}$) かかります。

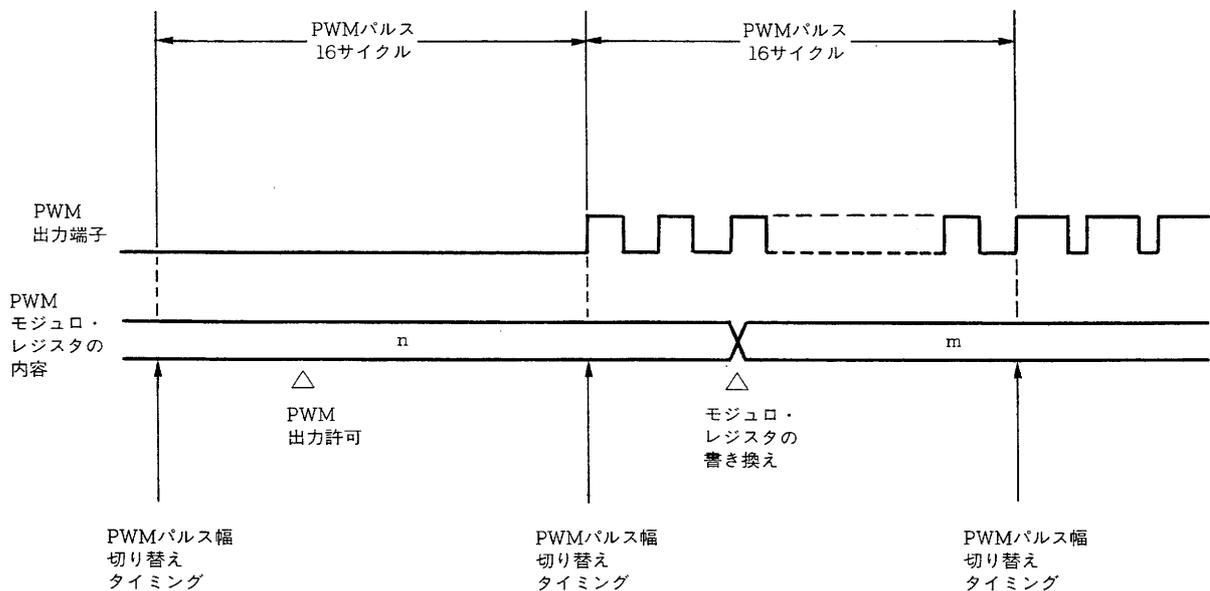
このときのPWM出力タイミング例を, 図8-5に示します。

一方, SYN_n (n=0, 1) ビットをセット(1)すると, パルス幅の変更は, PWMパルス1サイクル($2^8/f_{CLK}$) ごとに行われます。この場合, PWMモジュロ・レジスタに書き込まれたデータに対応する幅のパルスを出力するようになるまでには, 最大 2^8 クロック ($f_{CLK}=6\text{ MHz}$ 時で, $43\ \mu\text{s}$) となります。

ただし, PWMパルス書き換え周期を, $2^8/f_{CLK}$ ごとに指定した場合, (SYN_nビットをセット(1)した場合), 得られるPWMパルスの精度は8ビット以上12ビット以下となり, 書き換え周期を $2^{12}/f_{CLK}$ に指定したときよりも精度が低下するので, 注意が必要です。

書き換えタイミングが $2^8/f_{CLK}$ の場合のPWM出力タイミング例を, 図8-6に示します。

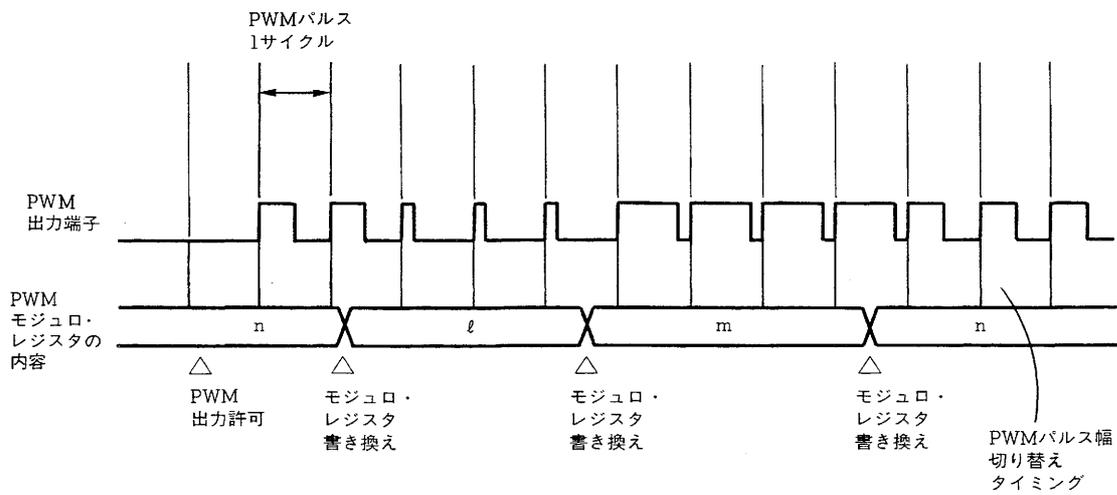
図8-5 PWM出力タイミング例1 (PWMパルス幅書き換え周期 $2^{12}/f_{CLK}$)



注意 1. パルス幅の書き換えは, PWMパルス1サイクルごとに行われます。

2. PWMパルスの精度は, 12ビット。

図8-6 PWM出力タイミング例2 (PWMパルス幅書き換え周期 $2^8/f_{CLK}$)



- 注意 1. パルス幅の書き換えは、PWMパルス1サイクルごとに行われます。
 2. PWMパルスの精度は、8ビット以上12ビット以下。

備考 l , m , n はPWMモジュール・レジスタの内容

8.4 注意事項

PWMモジュール・レジスタ (PWM n ; $n=0, 1$) へは、0000H-00FFHの値を設定しないでください。PWM n レジスタへは0100H-FFFFHの値を設定するようにしてください。出力可能なPWM信号のデューティ値は、 $17/4096-4096/4096$ となります。

第9章 A/Dコンバータ

μ PD78234は、8マルチプレクスト・アナログ入力（ANIO-ANI7）をもつアナログ／デジタル（A/D）コンバータを内蔵しています。

変換方式は逐次比較で、変換結果を8ビットのA/D変換結果レジスタ（ADCR）に保持します。このため、高速で高精度な変換を行います（変換時間 $20\mu\text{s}$ ： $f_{\text{CLK}}=6\text{MHz}$ 、高速変換の場合）。

A/D変換動作の起動には、次のモードがあります。

- ハードウェア・スタート：トリガ入力（INTP5）により変換開始。
- ソフトウェア・スタート：A/Dコンバータ・モード・レジスタ（ADM）のビット設定により変換開始。

また、起動後の動作には、次のモードがあります。

- スキャン・モード：複数のアナログ入力を順次選択し、全端子からの変換データを得ます。
- セレクト・モード：アナログ入力を1端子に固定し、連続的な変換値を得ます。

以上のモードと変換動作の停止は、すべてADMで指定します。

なお、変換結果をADCRへ転送すると、割り込み要求INTADを発生します（ソフトウェア・スタートのセレクト・モードを除く）。このため、マクロ・サービスによって、変換値をメモリへ連続的に転送することができます。

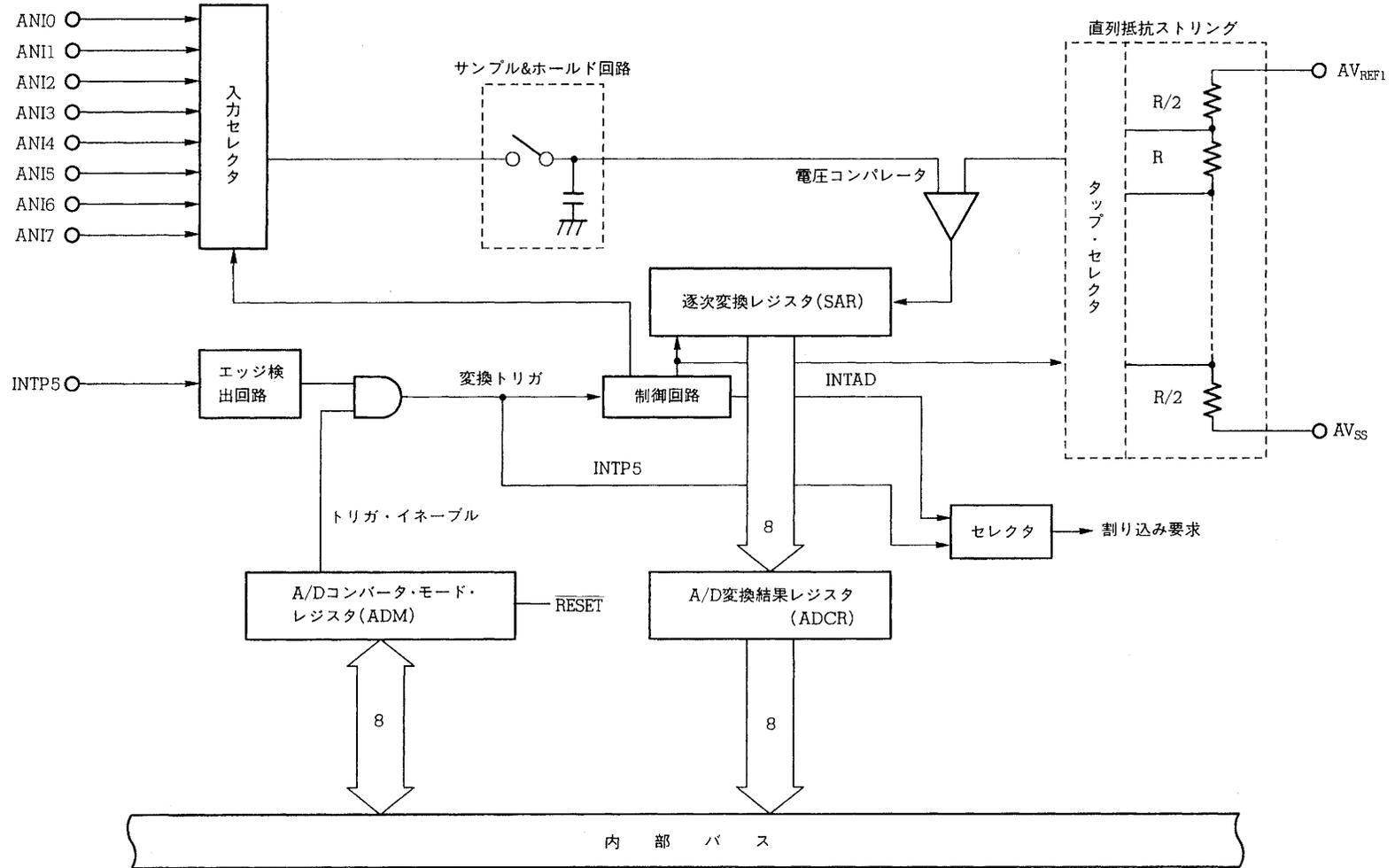
表9-1 INTADを発生するモード

スタート \ モード	スキャン・モード	セレクト・モード
ハードウェア・スタート	○	○
ソフトウェア・スタート	○	—

9.1 構成

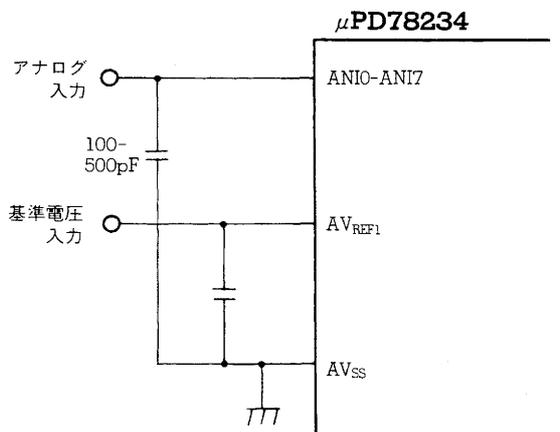
A/Dコンバータは図9-1のように構成されています。

図9-1 A/Dコンバータのブロック図



注意 1. アナログ入力端子 (ANIO-ANI7) および基準電圧入力端子 (AV_{REF1}) には, ノイズによる誤動作を防ぐため, AV_{SS} との間にキャパシタを接続してください。

図 9-2 A/Dコンバータ用端子のキャパシタ接続例



2. A/Dコンバータの入力端子として使用している端子には, AV_{SS} - AV_{REF1} の範囲外の電圧が加わらないようにしてください。詳細については, 9.5 注意事項を参照してください。

(1) 入力回路

入力回路は, A/Dコンバータ・モード・レジスタ (ADM) の指定によりアナログ入力を選択し, 動作モードに従ってアナログ入力をサンプル&ホールド回路に送ります。

(2) サンプル&ホールド回路

サンプル&ホールド回路は, 順次送られてくるアナログ入力を1つ1つサンプリングし, A/D変換中のアナログ入力を保持します。

(3) 電圧コンパレータ

電圧コンパレータは, アナログ入力と直列抵抗ストリングの電圧タップとの電圧差を比較します。

(4) 直列抵抗ストリング

直列抵抗ストリングは, アナログ入力と一致する電圧を発生させるためのものです。

直列抵抗ストリングは, A/Dコンバータ用の基準電圧端子 (AV_{REF1}) と A/Dコンバータ用の GND 端子 (AV_{SS}) 間に接続されています。2端子間を256の等価な電圧ステップにするため, 等価な抵抗255個とその1/2の抵抗値の抵抗2個で構成されています。

直列抵抗ストリングの電圧タップは, SARで制御されるタップ・セレクタによって選択します。

(5) SAR (Successive Approximation Register)

SARは、直列抵抗ストリングの電圧タップの値がアナログ入力の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定する8ビット・レジスタです。

SARの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARの内容 (変換結果) はA/D変換結果レジスタ (ADCR) に保持されます。

(6) ADCR (A/D Conversion Result Register)

ADCRは、A/D変換結果を保持する8ビット・レジスタです。A/D変換が終了するたびに、SARから変換結果がロードされます。

$\overline{\text{RESET}}$ 入力により不定となります。

(7) エッジ検出回路

エッジ検出回路は、割り込み要求入力端子 (INTP5) の入力から有効エッジを検出して、外部割り込み要求信号 (INTP5) とA/D変換動作の外部トリガを発生します。

INTP5端子入力の有効エッジは、外部割り込みモード・レジスタ1 (INTM1) で指定します (図 13-2 参照)。外部トリガの許可/禁止は、ADMレジスタで設定します (9.2参照)。

9.2 A/Dコンバータ・モード・レジスタ (ADM)

ADMは、A/Dコンバータの動作を制御する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。図9-3にADMのフォーマットを示します。

ビット0 (MS) は、動作モードを制御するビットです。

ビット1, 2, 3 (ANIO, 1, 2) は、A/D変換するアナログ入力を選択するビットです。

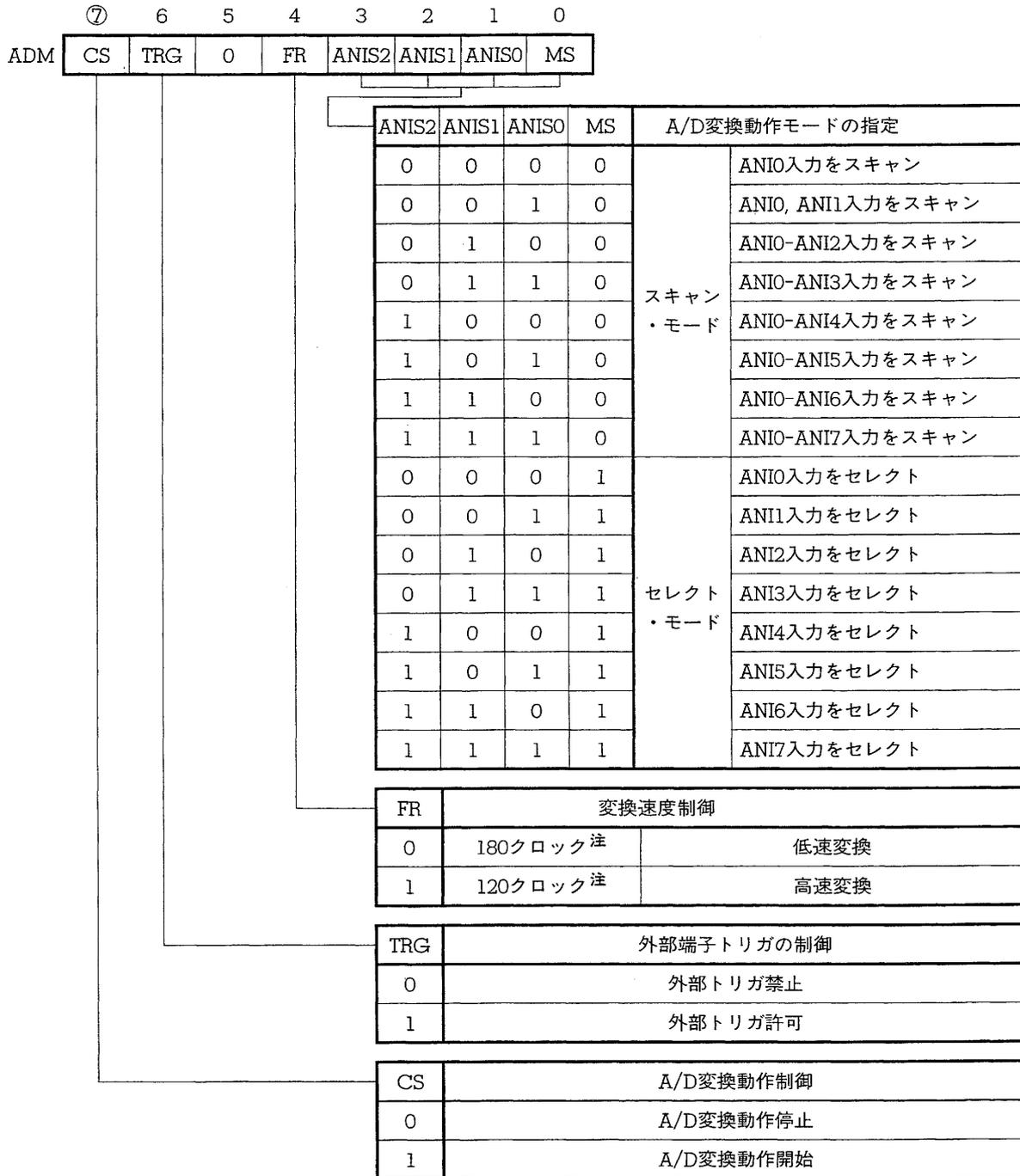
ビット6 (TRG) は、A/D変換動作の外部同期を許可するビットです。CSビットがセット(1)時、TRGビットをセット(1)すると、INTP5端子に外部トリガとして有効エッジを入力するごとに変換動作を初期化します。TRGビットをリセット(0)すると、INTP5端子入力に関係なく変換動作を行います。

ビット7 (CS) は、A/D変換動作を制御するビットです。CSビットをセット(1)すると変換動作を開始し、リセット(0)すると、変換中であってもすべての変換動作を中止します。このとき、ADCRレジスタの更新、INTPAD割り込み要求は発生しません。また、電圧コンパレータへの電源供給を停止し、A/Dコンバータでの消費電流を減らします。

$\overline{\text{RESET}}$ 入力により00Hとなります。

注意 STOPモードを使用する場合は、STOPモードに入る前にCSビットをリセット(0)して消費電流が下がるようにしてください。CSビットがセット(1)されたままだと、STOPモードに入っても変換動作は止まりますが、電圧コンパレータへの電源供給は止まりませんので、A/Dコンバータでの消費電流は減りません。

図9-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット



注 1クロック = $1/f_{CLK} = 2/f_{XX}$

9.3 動作

9.3.1 A/Dコンバータの基本動作

(1) A/D変換動作手順

A/D変換は、次のような手順で行います。

- (a) アナログ入力の選択と動作モードの指定をA/Dコンバータ・モード・レジスタ (ADM) によって設定します。
- (b) ADMレジスタのビット7 (CS) をセット(1)し、A/D変換を開始させます。
- (c) 変換開始とともにSARの最上位ビット (ビット7) が自動的にセット(1)されます。
- (d) SARのビット7がセットされるとタップ・セレクタは、直列抵抗ストリングの電圧タップを $\frac{255}{512}AV_{REF1}$ ($\cong \frac{1}{2}AV_{REF1}$) にします。
- (e) 直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力 $(1/2) AV_{REF1}$ よりも大きければ、SARのMSBをセットしたままです。また、もし $(1/2) AV_{REF1}$ よりも小さければ、MSBをリセットします。
- (f) 次にSARのビット6が自動的にセット(1)され、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

$$\cdot \text{ビット7}=1 \cdots \frac{383}{512}AV_{REF1} \cong \frac{3}{4}AV_{REF1}$$

$$\cdot \text{ビット7}=0 \cdots \frac{127}{512}AV_{REF1} \cong \frac{1}{4}AV_{REF1}$$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。

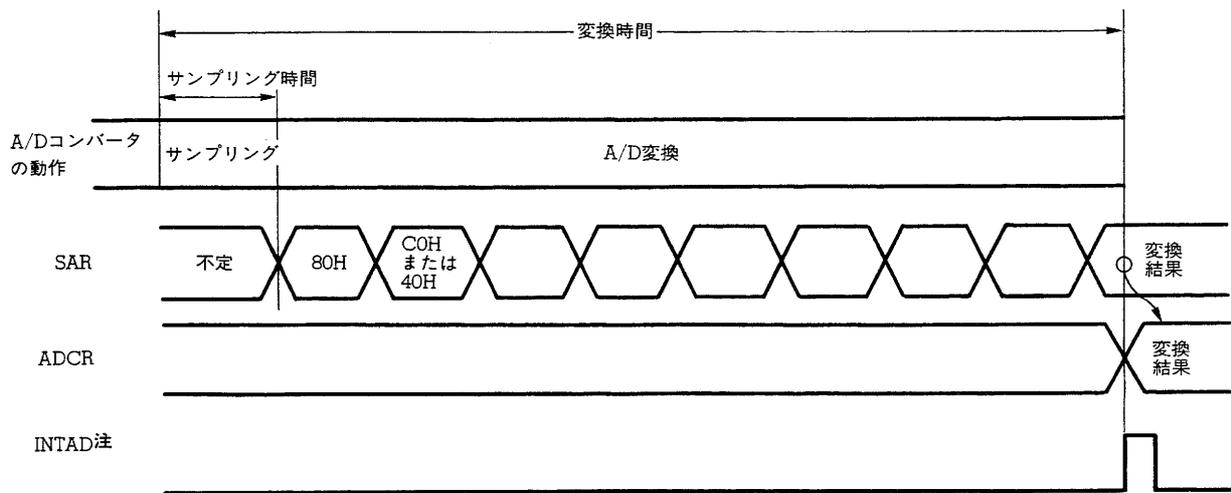
- ・アナログ入力電圧 \geq 電圧タップ : ビット6=1
- ・アナログ入力電圧 $<$ 電圧タップ : ビット6=0

- (g) このような比較をSARの最下位ビット (ビット0) まで続けます (バイナリ・サーチ法)。

(h) 8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がADCRレジスタに転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます (ソフトウェア・スタートのセレクト・モードを除く)。このINTADをベクタ割り込みかマクロ・サービス (後述) として処理してください。

図9-4 A/Dコンバータの基本動作



注 ソフトウェア・スタートのセレクト・モードを除く。

A/D変換動作は、ソフトウェアによりCSビットをリセット(0)するまで連続的に行われます。

A/D変換動作中に、ADMレジスタに対する書き込み操作を行うと変換動作は初期化され、CSビットがセット(1)されていれば、最初から変換を開始します。

ADCRレジスタは、RESETにより不定となります。

(2) 入力電圧と変換結果

アナログ入力端子 (ANIO-ANI7) に入力されたアナログ入力電圧とA/D変換結果 (ADCRに格納された値) には次式に示す関係があります。

$$ADCR = \text{INT}\left(\frac{V_{IN}}{AV_{REF1}} \times 256 + 0.5\right)$$

または,

$$(ADCR - 0.5) \times \frac{AV_{REF1}}{256} \leq V_{IN} < (ADCR + 0.5) \times \frac{AV_{REF1}}{256}$$

備考 INT() : ()内の値の整数部を返す関数

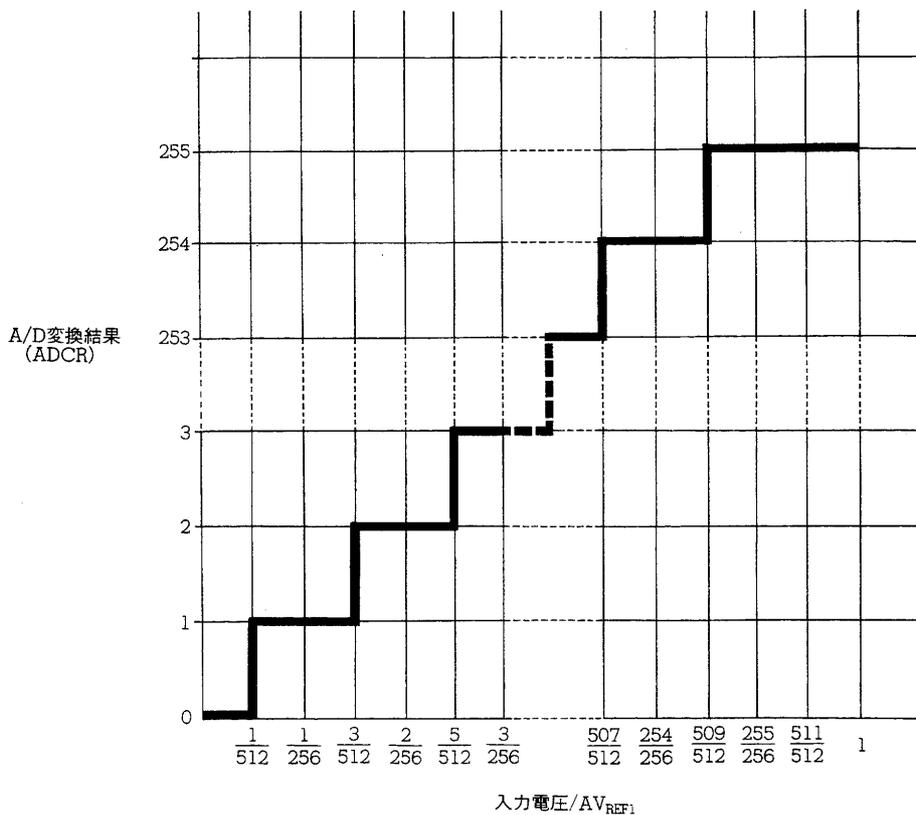
V_{IN} : アナログ入力電圧

AV_{REF1} : AV_{REF1} 端子電圧

ADCR : ADCRレジスタの値

図9-5にアナログ入力電圧とA/D変換結果の関係を図示します。

図9-5 アナログ入力電圧とA/D変換結果の関係



(3) A/D変換の変換時間

A/D変換の変換時間は、システム・クロック周波数 (f_{CLK}) とADMレジスタのFRビットによって決定されます。

A/D変換時間は、1回のA/D変換に必要なすべての時間を含んでおり、サンプリング時間も変換時間に含まれます。

表9-2に、その値を示します。

表9-2 A/D変換時間

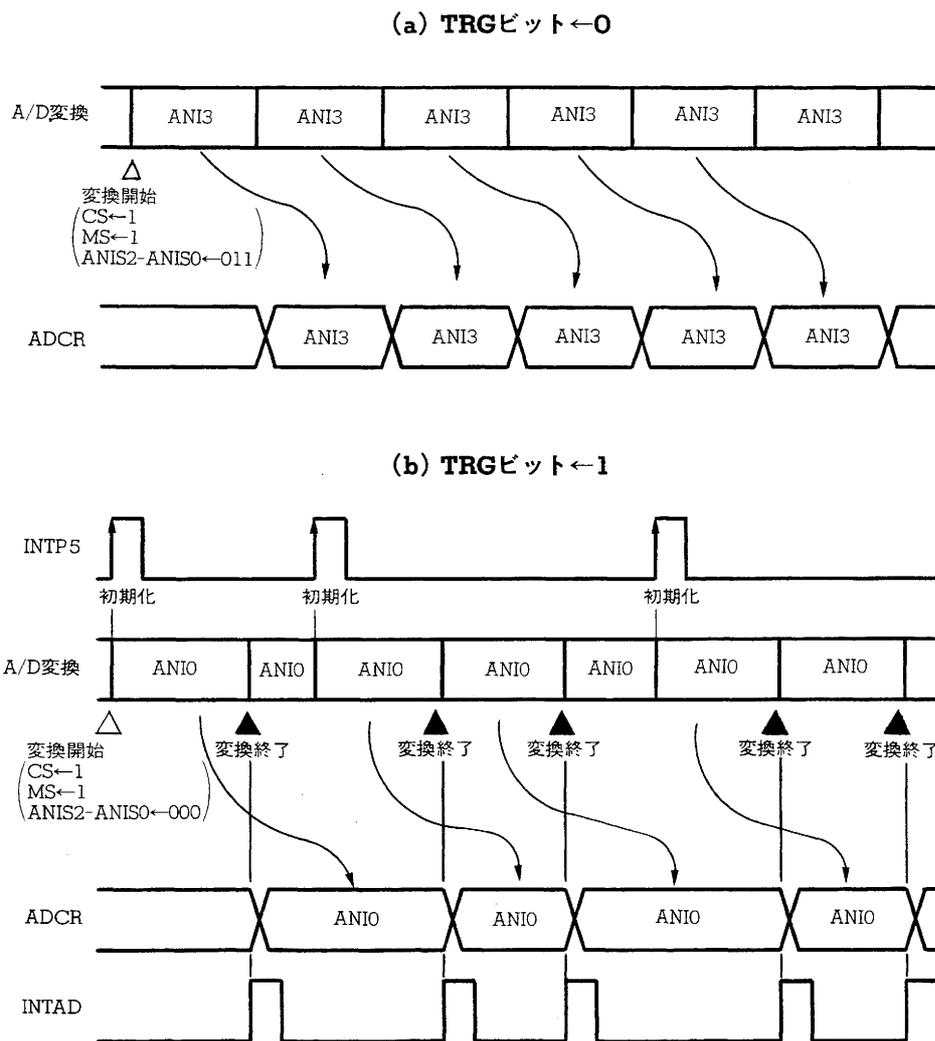
システム・クロック (f_{CLK}) の範囲	FRビット	変換時間	サンプリング時間
$2 \text{ MHz} < f_{\text{CLK}} \leq 6 \text{ MHz}$	0	$180/f_{\text{CLK}}$ ($30 \mu\text{s} - 90 \mu\text{s}$)	$36/f_{\text{CLK}}$ ($6 \mu\text{s} - 18 \mu\text{s}$)
$2 \text{ MHz} \leq f_{\text{CLK}} \leq 6 \text{ MHz}$	1	$120/f_{\text{CLK}}$ ($20 \mu\text{s} - 60 \mu\text{s}$)	$24/f_{\text{CLK}}$ ($4 \mu\text{s} - 12 \mu\text{s}$)

9.3.2 セレクト・モード

ADMレジスタのビット1-3 (ANIS0-ANIS2) により1つのアナログ入力を指定し、指定されたアナログ入力端子のA/D変換を開始します。変換結果をA/D変換結果レジスタ (ADCR) に格納します。

なお、このとき、ADMレジスタのビット6 (TRG) がセットされていて、外部トリガが許可されている場合は、A/D変換終了割り込み要求 (INTAD) を発生します。

図9-6 セレクト・モードの動作タイミング



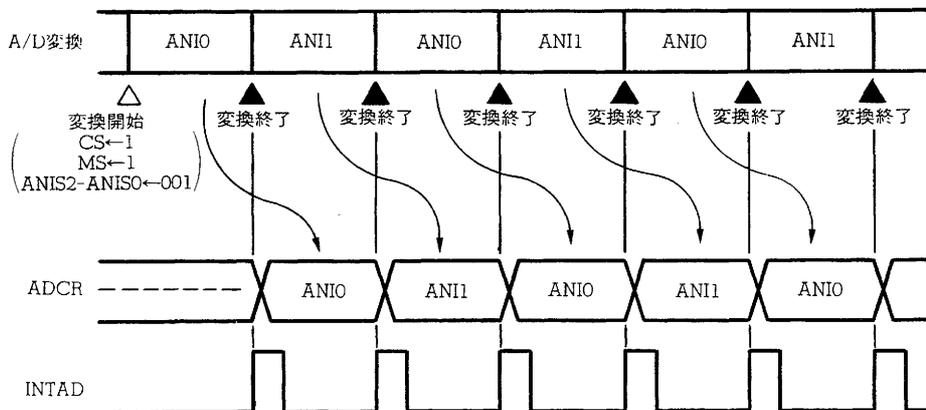
9.3.3 スキャン・モード

A/Dコンバータ・モード・レジスタ (ADM) のビット1-3 (ANIS0-ANIS2) により指定されたアナログ入力端子からの入力を順に選択し変換します。

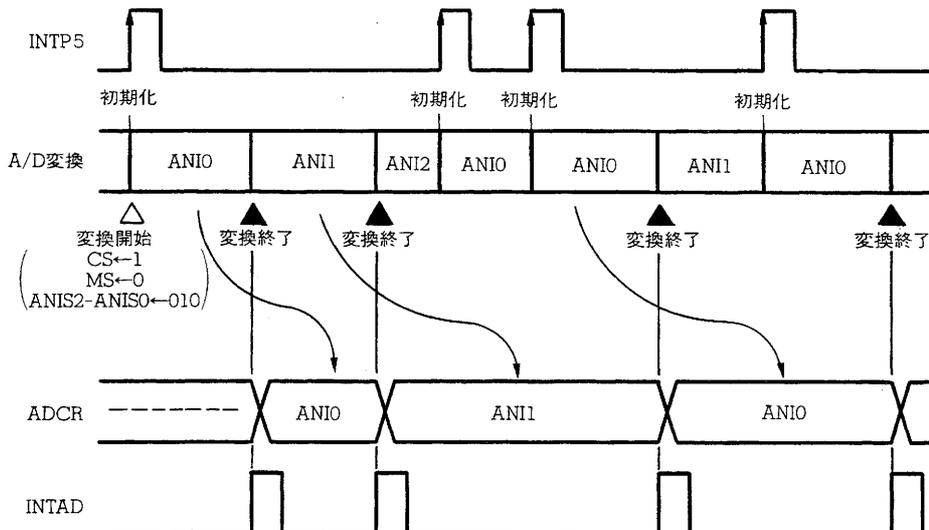
たとえば、ADMレジスタのANIS2-ANIS0=001のときはANIOとANI1が繰り返しスキャン (ANIO→ANI1→ANIO→ANI1→…) されます。スキャン・モードでは各入力の変換動作が終了するごとに、変換値はADCRレジスタに格納され、A/D変換終了割り込み要求 (INTAD) を発生します。

図9-7 スキャン・モードの動作タイミング

(a) TRGビット←0



(b) TRGビット←1



注意1. A/Dコンバータのスキャン・モード使用時に、A/D変換結果の読み出しをベクタ割り込みで行っている場合、他の割り込み処理などによって、A/D変換終了割り込みが、長時間（FRビットが0の場合、180クロック、FRビットが1の場合、120クロック以上）保留されると変換結果を取りこぼしてしまいます。この変換結果の取りこぼしをソフトウェア的に検出することは困難です。したがって、変換結果の取りこぼしが発生しないよう、次のような対策を採ってください。

- ・他の割り込み処理時間をA/D変換の時間に対して十分短くする
- ・多重割り込みを使用して、他の割り込み処理中でもA/D変換終了割り込みを受け付けるようにする
- ・A/D変換終了割り込みをマクロ・サービスで行うようにする

また、他の割り込みだけでなく、割り込みを保留する要因として、「14.3.5 割り込み要求およびマクロ・サービスが一時的に保留される場合」に示す場合がありますので、その点についても留意してください。

なお、上記対策のうち、マクロ・サービスを使用する方法が、一番簡単だと考えます。

2. A/Dコンバータのスキャン・モード使用時に、割り込みに関するレジスタなどの設定後に、ADMレジスタの設定を行った場合、不要な割り込みが発生することがあり、そのため、変換結果の格納アドレスがずれたように見えます。したがって、次の手順で行うことをお勧めします。

- ・ADMレジスタへの書き込み
- ・割り込み要求フラグ（PIF5）のリセット(0)
- ・割り込みマスク・フラグまたは、割り込みサービス・モード・フラグの設定

9.3.4 ソフトウェア・スタートによるA/D変換動作の起動

ソフトウェアによるA/D変換動作のスタートは、ADMレジスタのTRGビットを0、CSビットを1とする値をADMレジスタへ書き込むことで行います。

A/D変換動作中 (CSビット=1) に、再度TRGビットが0でCSビットが1になるような値をADMレジスタに書き込むと、そのとき行っていたA/D変換動作を中断し、書き込まれた値に応じたA/D変換をただちに開始します。

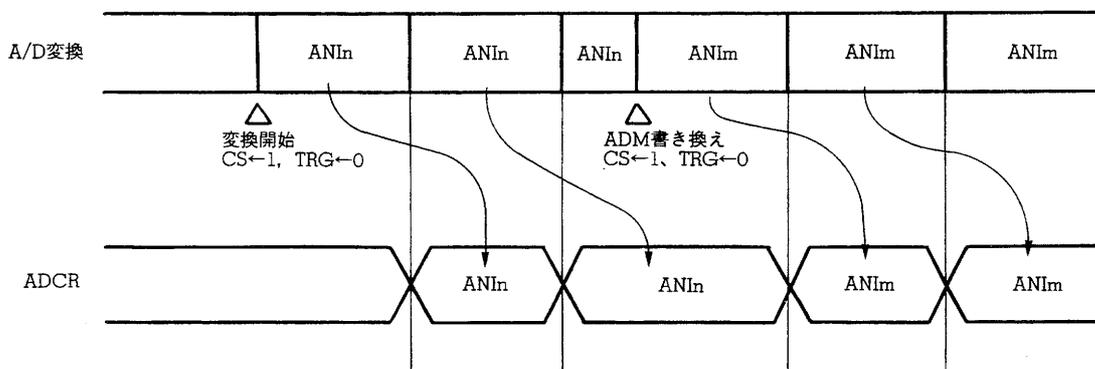
A/D変換動作が一度起動されると、1回のA/D変換動作が終了するとただちにADMレジスタで設定された動作モードに従って、次のA/D変換動作を開始し、ADMレジスタに対する書き込み命令が実行されるまで繰り返し変換動作を続けます。

ソフトウェアによってA/D変換動作が起動された場合 (TRGビット=0) は、INTP5 (P26端子) 入力 は、A/D変換動作に影響を与えません。

(1) セレクト・モードのA/D変換動作の場合

ADMレジスタで設定されたアナログ入力端子のA/D変換動作を起動します。A/D変換動作が終了すると、再度、同一アナログ入力端子のA/D変換動作を行います。A/D変換動作が終了しても割り込み要求INTADは発生しません。

図9-8 ソフトウェア・スタートによるセレクト・モードのA/D変換動作

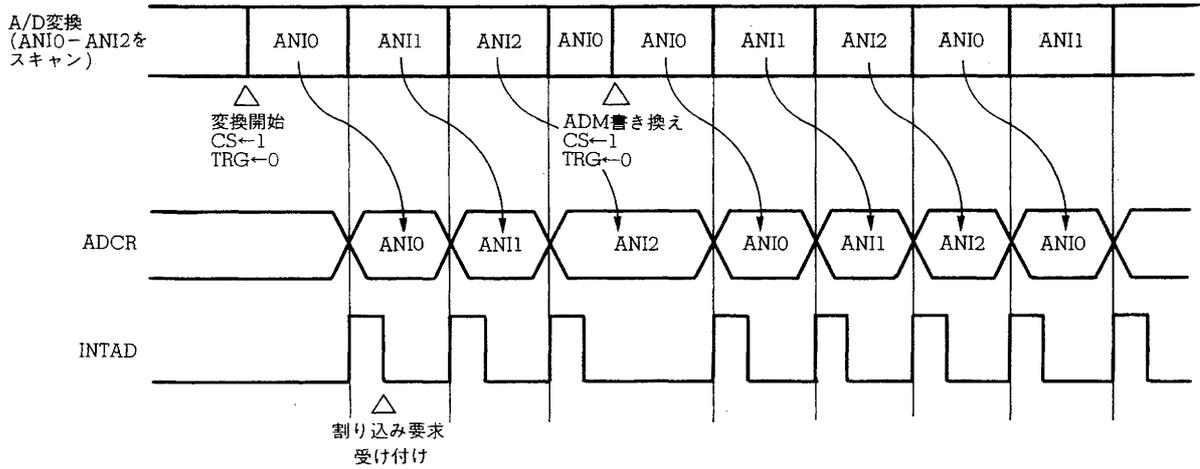


備考 n=0, 1, ..., 7
m=0, 1, ..., 7

(2) スキャン・モードのA/D変換動作の場合

変換動作が起動されるとANI0端子入力のA/D変換動作を開始します。A/D変換動作が終了すると、次のアナログ入力端子のA/D変換動作を開始します。また、A/D変換動作が終了するたびに、割り込み要求INTADを発生します。

図9-9 ソフトウェア・スタートによるスキャン・モードのA/D変換動作



9.3.5 ハードウェア・スタートによるA/D変換動作の起動

ハードウェアによるA/D変換動作の起動は、ADMレジスタのTRGビットを1、CSビットを1とすることで可能となります。ADMレジスタのTRGビットを1、CSビットを1とすると外部信号の待機状態になり、INTP5端子（P26端子）に有効エッジが入力されるとA/D変換動作が起動されます。

A/D変換動作がINTP5端子に入力された有効エッジによって起動された後に、再度INTP5端子に有効エッジが入力されると、そのとき行っていたA/D変換動作を中断し、ADMレジスタに設定されている内容に従ったA/D変換動作を最初から行います。

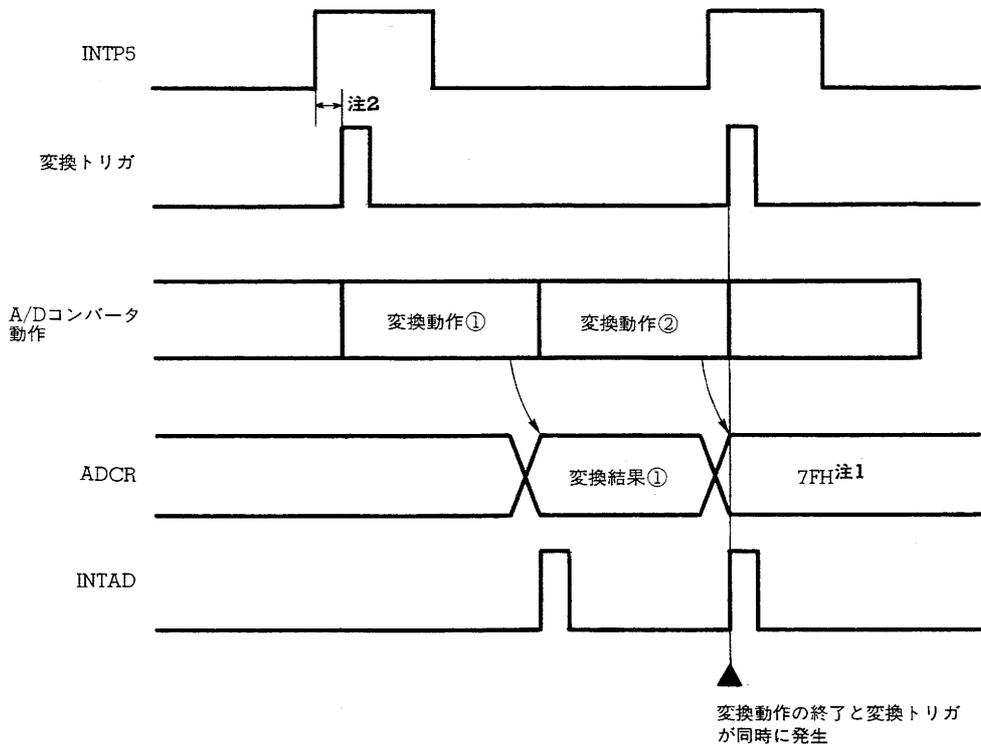
また、A/D変換動作中（CSビット=1）に、再度TRGビットが1、CSビットが1になるような値をADMレジスタに書き込むと、そのとき行っていたA/D変換動作を中断し（待機状態も中断されます）、書き込まれた値に応じたA/D変換動作モードでINTP5端子に有効エッジが入力されるのを待つ待機状態になり、有効エッジが入力されると変換動作を起動します。

本機能を使用することにより、外部信号に同期したA/D変換動作を行うことができます。

A/D変換動作が一度起動されると、1回のA/D変換が終了すると、ただちにADMレジスタで設定された動作モードに従って、次のA/D変換動作を開始します（INTP5端子入力を待ちません）。ADMレジスタに対する書き込み命令が実行されるか、INTP5端子に有効エッジが入力されるまで繰り返し変換動作を行います。

- 注意 1. INTP5端子に有効エッジが入力されてから実際にA/D変換動作を開始するまでに8-12システム・クロックが必要です。設計の際には、この遅れ時間について考慮してください。エッジ検出機能の詳細については、第13章 エッジ検出機能を参照ください。
2. ハードウェア・スタートによるA/D変換動作の起動を使用している場合で、INTP5端子に有効エッジが入力され、A/D変換動作を行っているときに、再度、INTP5端子に有効エッジが入力されるとA/Dコンバータが誤動作する可能性があります。誤動作が発生するのは、1回のA/D変換が終了して、変換結果をA/D変換結果レジスタ（ADCR）へ格納しようとするときに、INTP5端子に有効エッジが入力された場合です。このとき、A/D変換終了割り込み（INTAD）は発生しますが、ADCRレジスタに格納される値は、変換結果ではなく、必ず7FHが格納されます（図9-10参照）。

図9-10 ハードウェア・スタートによるA/D変換の誤動作の例



注1. 正しくは変換動作②の変換結果が格納されるが、誤動作により7FHとなる。

2. INTP5端子入力に変化してから有効エッジと判定されるまでの時間。詳細は第13章 エッジ検出機能参照。

本不具合を回避するには、ハードウェア・スタートにより必要なA/D変換を行ったあとに、A/Dコンバータ・モード・レジスタ (ADM) を再設定する必要があります。
本不具合は、インサーキット・エミュレータでも同様に発生します。

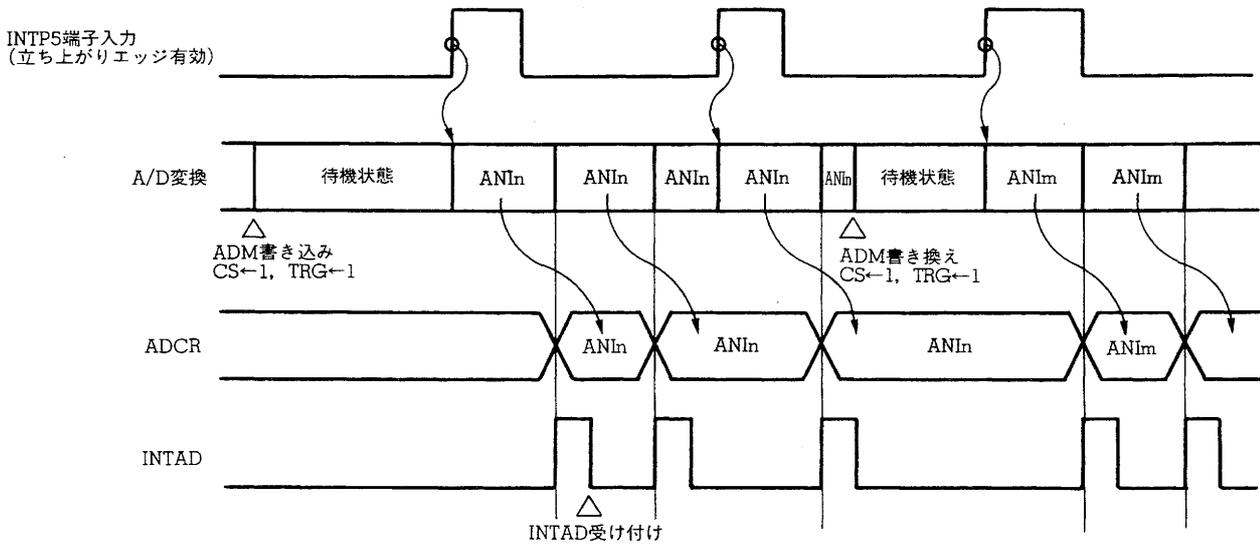
注意3. インサーキット・エミュレータでは、INTP5端子のデジタル・ノイズ除去を正常に行うことができません。ハードウェア・スタートによるA/D変換の起動を選択している場合、誤検出したエッジに従ってA/D変換を起動してしまいます。この点に注意して使用してください。
エッジの誤検出についての詳細は、第13章 エッジ検出機能の13.4 注意事項を参照してください。

(1) セレクト・モードのA/D変換動作の場合

ADMレジスタを設定されたアナログ入力端子のA/D変換動作を起動します。A/D変換動作が終了すると、再度、同一アナログ入力端子のA/D変換動作をただちに行います。また、A/D変換動作が終了するたびに、割り込み要求INTADを発生します。

A/D変換動作中にINTP5端子に有効エッジが入力されると、そのとき行っていたA/D変換動作を一度中断して、新たにA/D変換動作を開始します。

図9-11 ハードウェア・スタートによるセレクト・モードのA/D変換動作



備考 n = 0, 1, ..., 7

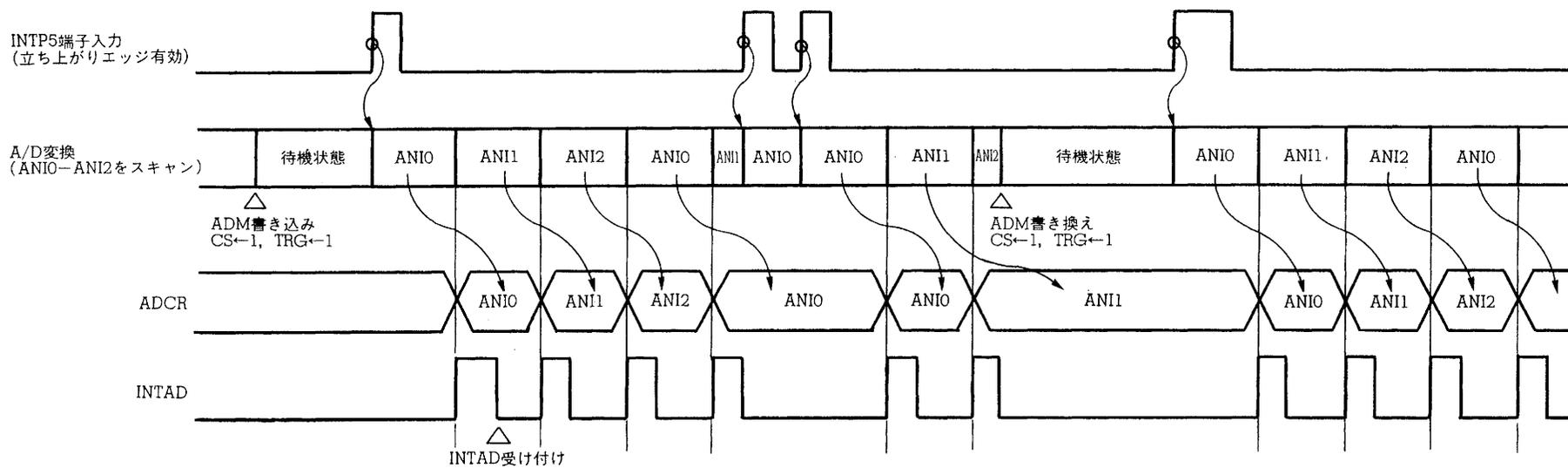
m = 0, 1, ..., 7

(2) スキャン・モードのA/D変換動作の場合

変換動作が起動されるとANIO端子入力のA/D変換動作を開始します。A/D変換動作が終了すると、次のアナログ入力端子のA/D変換動作を開始します。また、A/D変換動作が終了するたびに割り込み要求INTADを発生します。

A/D変換動作中にINTP5端子に有効エッジが入力されると、そのときに行っていたA/D変換動作を中断し、ANIO端子入力のA/D変換動作からを新たに開始します。

図9-12 ハードウェア・スタートによるスキャン・モードのA/D変換動作



9.4 A/Dコンバータの割り込み要求

A/Dコンバータは、セレクト・モードの場合を除いてA/D変換終了ごとに、A/D変換終了割り込み要求(INTAD)を発生します。

INTADに対応する各種の割り込み制御フラグは、外部割り込み要求INTP5に対応する各種割り込み制御フラグと共用になっています。したがって、ADMレジスタの指定によるA/Dコンバータの動作状態によって、割り込み要求発生のタイミングが異なり表9-3のようになります。

INTADによる割り込み処理の制御はINTP5と同様に各割り込み制御レジスタの設定で行います。詳しくは第14章 割り込み機能を参照してください。

表9-3 A/Dコンバータの各動作状態における割り込み要求発生条件

A/Dコンバータ動作	割り込み要求フラグ	マスク・フラグ	割り込み要求	割り込み要求発生条件
停止時	PIF5	PMK5	INTP5	INTP5端子への有効エッジ入力
スキャン・モード			INTAD	A/D変換終了
セレクト・モード			INTP5	INTP5端子への有効エッジ入力
ハードウェア・スタートのA/D変換			INTAD	A/D変換終了

9.5 注意事項

(1) アナログ入力端子に印加する電圧範囲について

A/Dコンバータの入力端子ANIO-ANI7 (P70-P77) には次のような注意事項があります。

- ・A/D変換動作中は、A/D変換の対象となっている端子には、 $AV_{SS}-AV_{REF1}$ の範囲外の電圧を印加しないでください。

上記注意事項を守らない場合には、 μ PD78234が破壊する可能性があります。

(2) ハードウェア・スタートのA/D変換

(a) INTP5端子に有効エッジが入力されてから実際にA/D変換動作を開始するまでに8-12システム・クロックが必要です。設計の際には、この遅れ時間について考慮してください。エッジ検出機能の詳細については、第13章 エッジ検出機能を参照してください。

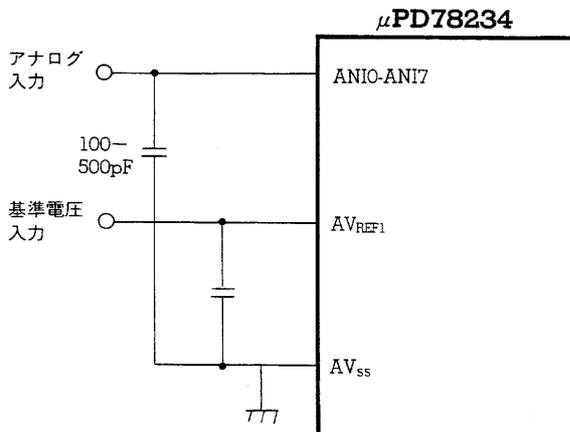
(b) インサーキット・エミュレータでは、INTP5端子のデジタル・ノイズ除去を正常に行うことができません。ハードウェア・スタートによるA/D変換の起動を選択している場合、誤検出したエッジに従ってA/D変換を起動してしまいます。この点に注意して使用してください。

エッジの誤検出についての詳細は、第13章 エッジ検出機能の13.4 注意事項を参照してください。

(3) アナログ入力端子に接続するコンデンサについて

アナログ入力端子 (ANIO-ANI7) および基準電圧入力端子 (AV_{REF1}) には、ノイズによる誤動作を防ぐため、 AV_{SS} との間にキャパシタを接続してください。

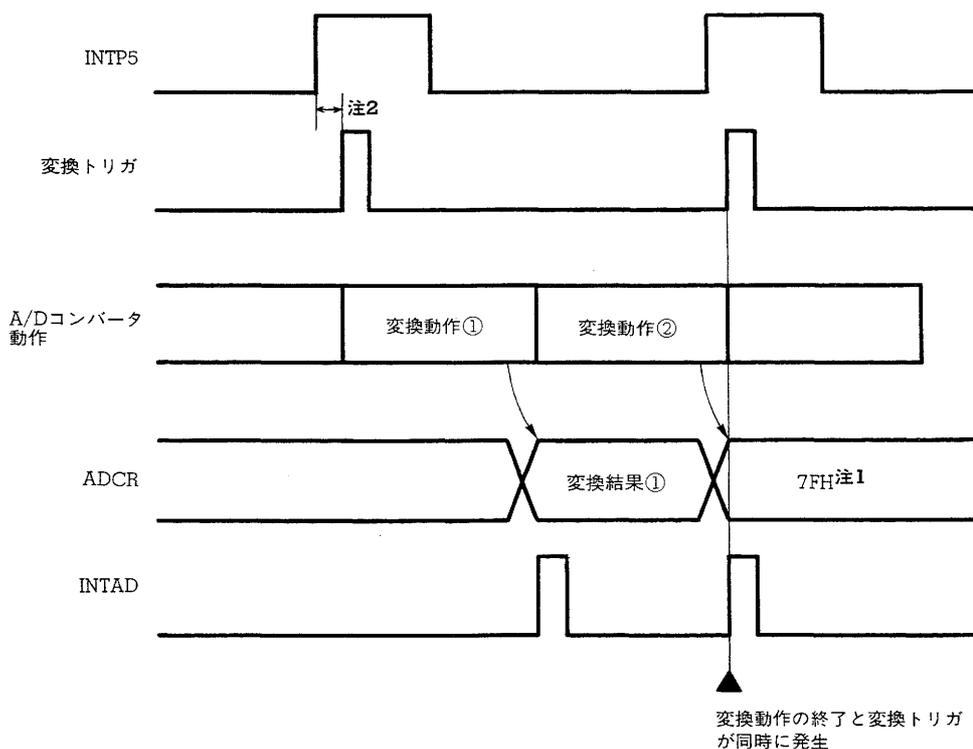
図9-13 A/Dコンバータ用端子のキャパシタ接続例



(4) STOPモードを使用する場合は、STOPモードに入る前にCSビットをリセット(0)して消費電流が下がるようにしてください。CSビットがセット(1)されたままだと、STOPモードに入っても変換動作は止まりますが、電圧コンパレータへの電源供給は止まりませんので、A/Dコンバータでの消費電流は減りません。

(5) ハードウェア・スタートによるA/D変換動作の起動を使用している場合で、INTP5端子に有効エッジが入力され、A/D変換動作を行っているときに、再度、INTP5端子に有効エッジが入力されるとA/Dコンバータが誤動作する可能性があります。誤動作が発生するのは、1回のA/D変換が終了して、変換結果をA/D変換結果レジスタ(ADCR)へ格納しようとするときに、INTP5端子に有効エッジが入力された場合です。このとき、A/D変換終了割り込み(INTAD)は発生しますが、ADCRレジスタに格納される値は、変換結果ではなく、必ず7FHが格納されます(図9-14参照)。

図9-14 ハードウェア・スタートによるA/D変換の誤動作の例



注1. 正しくは変換動作②の変換結果が格納されるが、誤動作により7FHとなる。

2. INTP5端子入力に変化してから有効エッジと判定されるまでの時間。詳細は第13章 エッジ検出機能参照。

本不具合を回避するには、ハードウェア・スタートにより必要なA/D変換を行ったあとに、A/Dコンバータ・モード・レジスタ(ADM)を再設定する必要があります。

本不具合は、インサーキット・エミュレータでも同様に発生します。

(6) A/Dコンバータのスキャン・モード使用時に、A/D変換結果の読み出しをベクタ割り込みで行っている場合、他の割り込み処理などによって、A/D変換終了割り込みが、長時間（FRビットが0の場合、180クロック、FRビットが1の場合、120クロック以上）保留されると変換結果を取りこぼしてしまいます。この変換結果の取りこぼしをソフトウェア的に検出することは困難です。したがって、変換結果の取りこぼしが発生しないよう、次のような対策を採ってください。

- ・他の割り込み処理時間をA/D変換の時間に対して十分短くする
- ・多重割り込みを使用して、他の割り込み処理中でもA/D変換終了割り込みを受け付けるようにする
- ・A/D変換終了割り込みをマクロ・サービスで行うようにする

また、他の割り込みだけでなく、割り込みを保留する要因として、「**14.3.5 割り込み要求およびマクロ・サービスが一時的に保留される場合**」に示す場合がありますので、その点についても留意してください。

なお、上記対策のうち、マクロ・サービスを使用する方法が、一番簡単だと考えます。

(7) A/Dコンバータのスキャン・モード使用時に、割り込みに関するレジスタなどの設定後に、ADMレジスタの設定を行った場合、不要な割り込みが発生することがあり、そのため、変換結果の格納アドレスがずれたように見えます。したがって、次の手順で行うことをお勧めします。

- ・ADMレジスタへの書き込み
- ・割り込み要求フラグ（PIF5）のリセット（0）
- ・割り込みマスク・フラグまたは、割り込みサービス・モード・フラグの設定

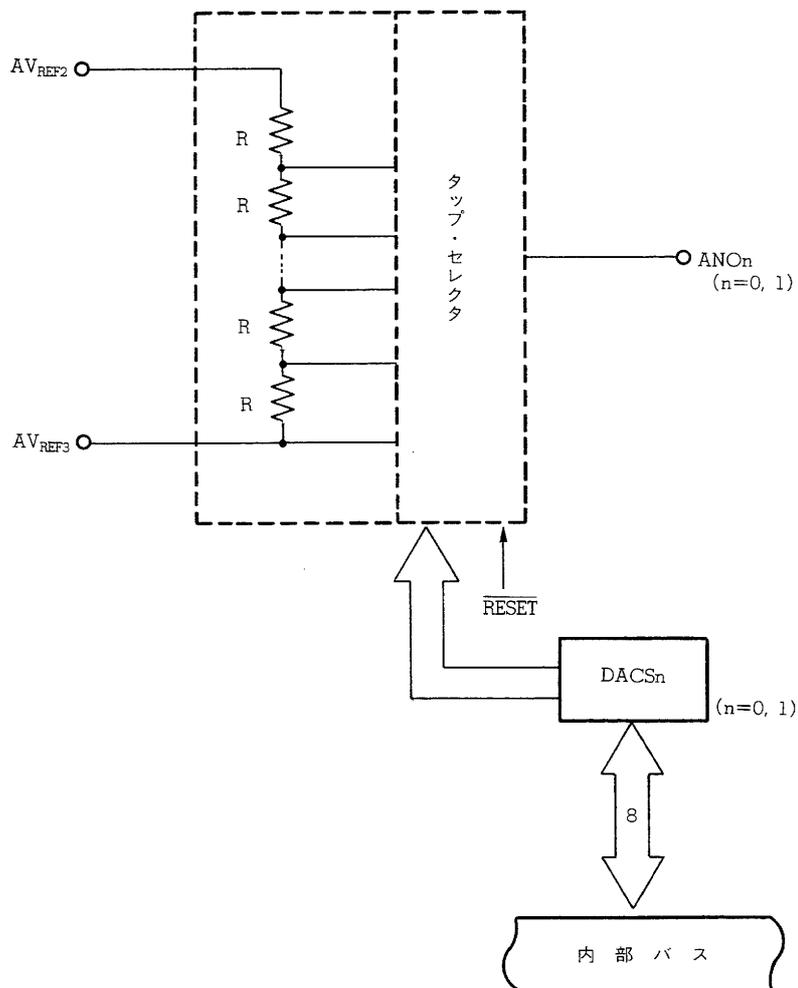
第 10 章 D/Aコンバータ

8ビットの分解能の電圧出力型のデジタル/アナログ(D/A)コンバータを2回路内蔵しています。変換方式は、抵抗ストリング方式です。

10.1 構成

D/Aコンバータは、図 10-1のように構成されています。

図 10-1 D/Aコンバータのブロック図 (n=0, 1)



(1) D/A変換値設定レジスタ (DACSn, n=0, 1)

ANOn端子(n=0, 1)に出力する電圧値を設定するレジスタです。ANOn端子に出力される電圧値は、次式で決定されます。

$$ANOn = \frac{AV_{REF2} - AV_{REF3}}{256} \times DACSn + AV_{REF3} [V]$$

\overline{RESET} 入力によりOOHに初期化されます。

(2) 抵抗ストリング

同一の抵抗値を持った256個の抵抗が直列に接続され、その両端がそれぞれ AV_{REF2} 端子と AV_{REF3} 端子に接続されています。抵抗ストリングは、ANO0端子とANO1端子用に独立して2回路を内蔵しています。

(3) タップ・セレクト

抵抗ストリングの256個あるタップをDACSnレジスタの値によって選択し、ANOn端子と接続します。

また、 \overline{RESET} がロウ・レベル(0)のときにANOn端子をどのタップとも接続されていない状態、すなわち、出力をハイ・インピーダンス状態にします。

10.2 D/Aコンバータの動作

出力したい値をD/A変換値設定レジスタ(DACSn, n=0, 1)に書き込むことにより, ANOn端子(n=0, 1)から書き込んだ値に相当するアナログ電圧がただちに出力されます。出力電圧は, 次にDACSnレジスタ(n=0, 1)に値を書き込むまで保持されます。

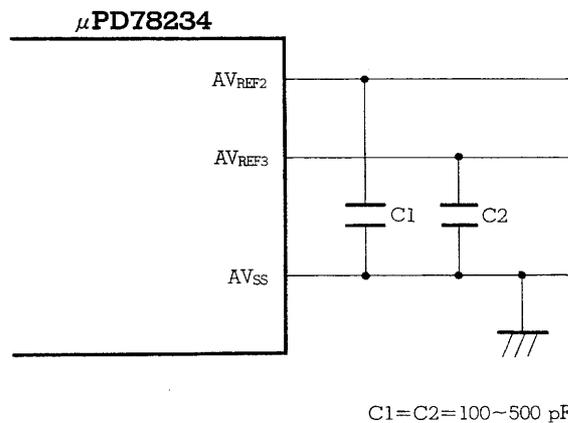
ANOn端子からの出力電圧は, 次式で決定されます。

$$ANOn = \frac{AV_{REF2} - AV_{REF3}}{256} \times DACSn + AV_{REF3} [V]$$

RESET入力がロウ・レベルの期間中は, ANOnは出力ハイ・インピーダンスの状態となり, DACSnレジスタは00Hに初期化されます。RESET解除後は, ANOn端子からはAV_{REF3}端子と同一レベルが出力されます。

D/Aコンバータの安定動作のために, 基準電圧入力端子(AV_{REF2}, AV_{REF3})とAV_{SS}の間にはキャパシタを接続してください。

図 10-2 D/Aコンバータの基準電圧入力端子のキャパシタ接続例

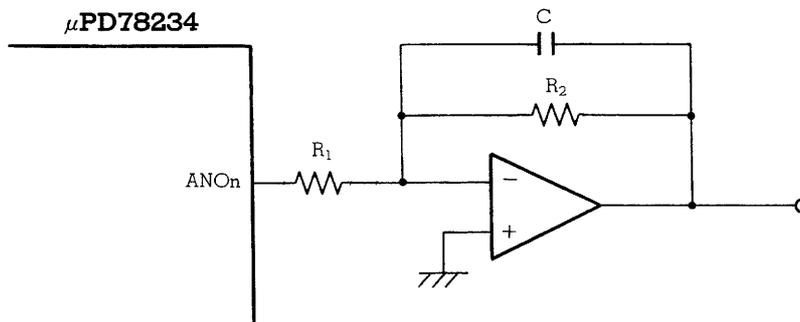


10.3 注意事項

- (1) D/Aコンバータの出力インピーダンスが高いため、ANOn端子 ($n=0, 1$) から電流を取り出すことはできません。負荷の入力インピーダンスが低い場合には、負荷とANOn端子の間にバッファ・アンプを挿入して使用してください。また、バッファ・アンプや負荷までの配線は極力短くするようにしてください（出力インピーダンスが高いため）。配線が長くなるような場合は、グラウンド・パターンで囲むなどの処理を行ってください。
- (2) D/Aコンバータの出力電圧は階段状に変化しますので、一般的にはD/Aコンバータの出力する信号はロウ・パス・フィルタを通してから使用するようにしてください。
- (3) μ PD78234の内蔵するD/Aコンバータは、 $\overline{\text{RESET}}$ がロウ・レベルの期間中は出力がハイ・インピーダンスとなります。負荷側の回路は入力が高インピーダンスになってもよいように考慮してください。

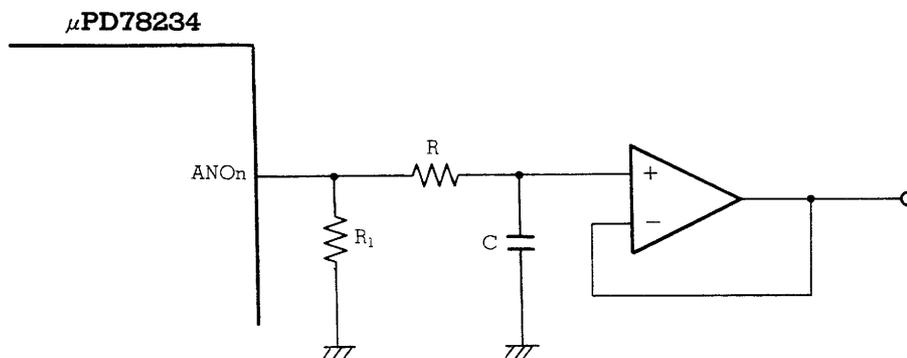
図 10-3 バッファ・アンプの挿入例

(a) インバーティング・アンプ



• バッファ・アンプの入力インピーダンスは R_1

(b) ボルテージ・フォロア



• バッファ・アンプの入力インピーダンスは R_1 。
 • R_1 がないと $\overline{\text{RESET}}$ がロウ・レベルのときの出力が不定になってしまいます。

- (4) D/Aコンバータの出力は、リセット解除後、 AV_{REF3} 端子と同一レベルを出力しますので、リセット解除後、 AV_{REF3} 端子レベルが出力されてもよいように考慮してください。

第 11 章 アシクロナス・シリアル・インタフェース

アシクロナス・シリアル・インタフェースとして、UART (Universal Asynchronous Receiver Transmitter) を内蔵しています。これは、スタート・ビットに続く 1 バイトのデータを送信する方式で、全二重動作が可能です。

UART 専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

また、ASCK 端子への入力クロックを分周して、ポー・レートを定義することもできます。

さらに、8 ビット・タイマ/カウンタ 3 でポー・レートを発生することもできます。

UART 専用ポー・レート・ジェネレータを使用すると、MIDI 規格のポー・レート (31.25 kbps) も得られます。

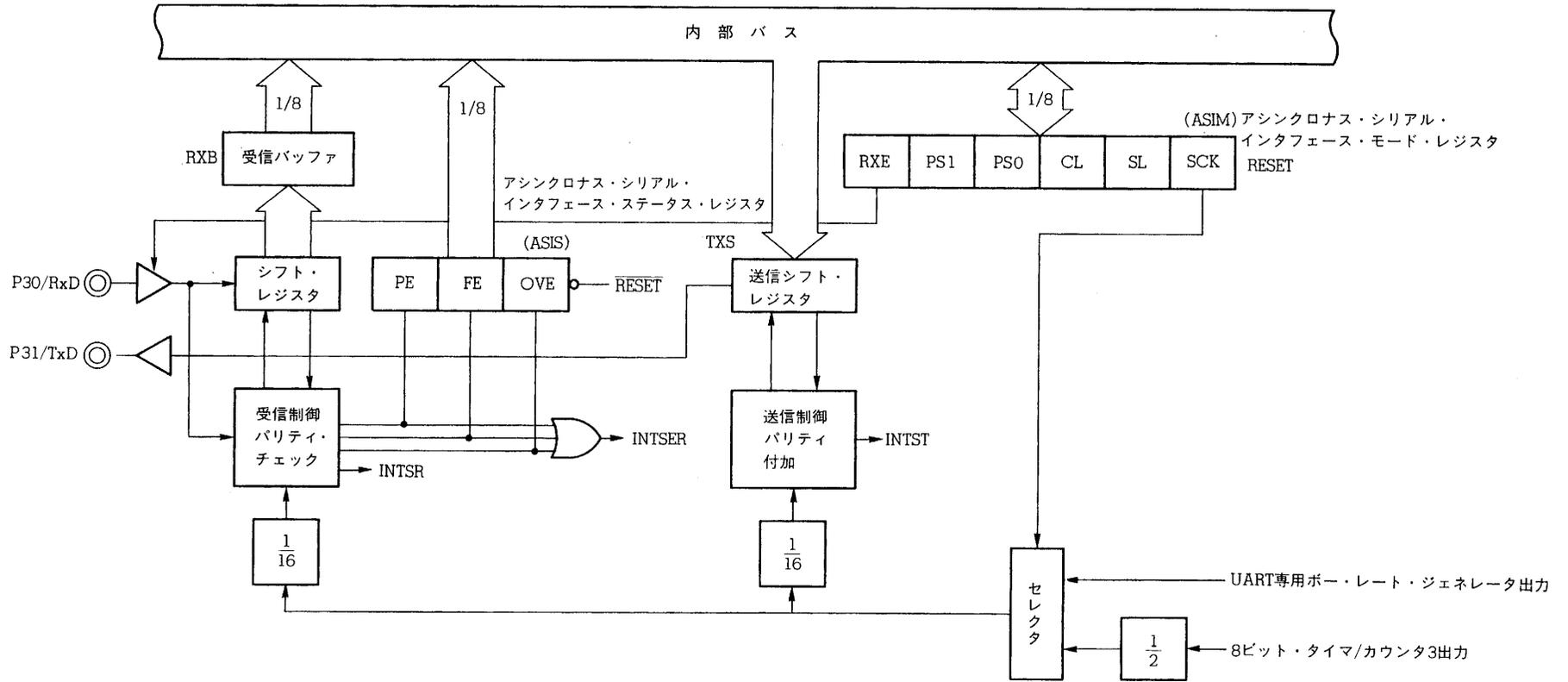
クロック同期式シリアル・インタフェースとは独立に動作します。

11.1 構成

アシクロナス・シリアル・インタフェースの構成について説明します。

なお、専用ポー・レート・ジェネレータについては、11.4 ポー・レート・ジェネレータを参照してください。

図 11-1 アシクロナス・シリアル・インタフェースのブロック図



(1) 受信バッファ (RXB)

受信データを保持するレジスタです。データを1バイト受信することにシフト・レジスタから受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXBのビット0-6に転送され、RXBのMSBは必ず“0”になります。

8ビット操作命令で読み出しのみが可能です。 $\overline{\text{RESET}}$ 入力により、RXBは不定となります。

(2) 送信シフト・レジスタ (TXS)

送信するデータを設定するレジスタです。TXSレジスタに書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合は、TXSレジスタに書き込んだデータのビット0-6が送信データとして扱われます。TXSレジスタに書き込みを行うと送信動作が開始します。送信動作中にTXSレジスタに書き込みを行ってはいけません。

8ビット操作命令により書き込みのみが可能です。 $\overline{\text{RESET}}$ 入力により、TXSは不定となります。

(3) シフト・レジスタ

RxD端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信すると受信データを受信バッファへ転送します。

シフト・レジスタはCPUから直接操作することはできません。

(4) 受信制御パリティ・チェック

アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) に設定された内容に従って、受信動作を制御します。また、受信動作時にパリティ・エラーなどのエラー・チェックも行い、エラーが検出された場合は、エラー内容に応じた値をアシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) にセットします。

(5) 送信制御パリティ付加

ASIMレジスタに設定された内容に従って、TXSレジスタに書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットを付加するなどして、送信動作の制御を行います。

(6) セレクタ

ポー・レート用のクロックのソースを選択します。

11.2 アシクロナス・シリアル・インタフェース制御レジスタ

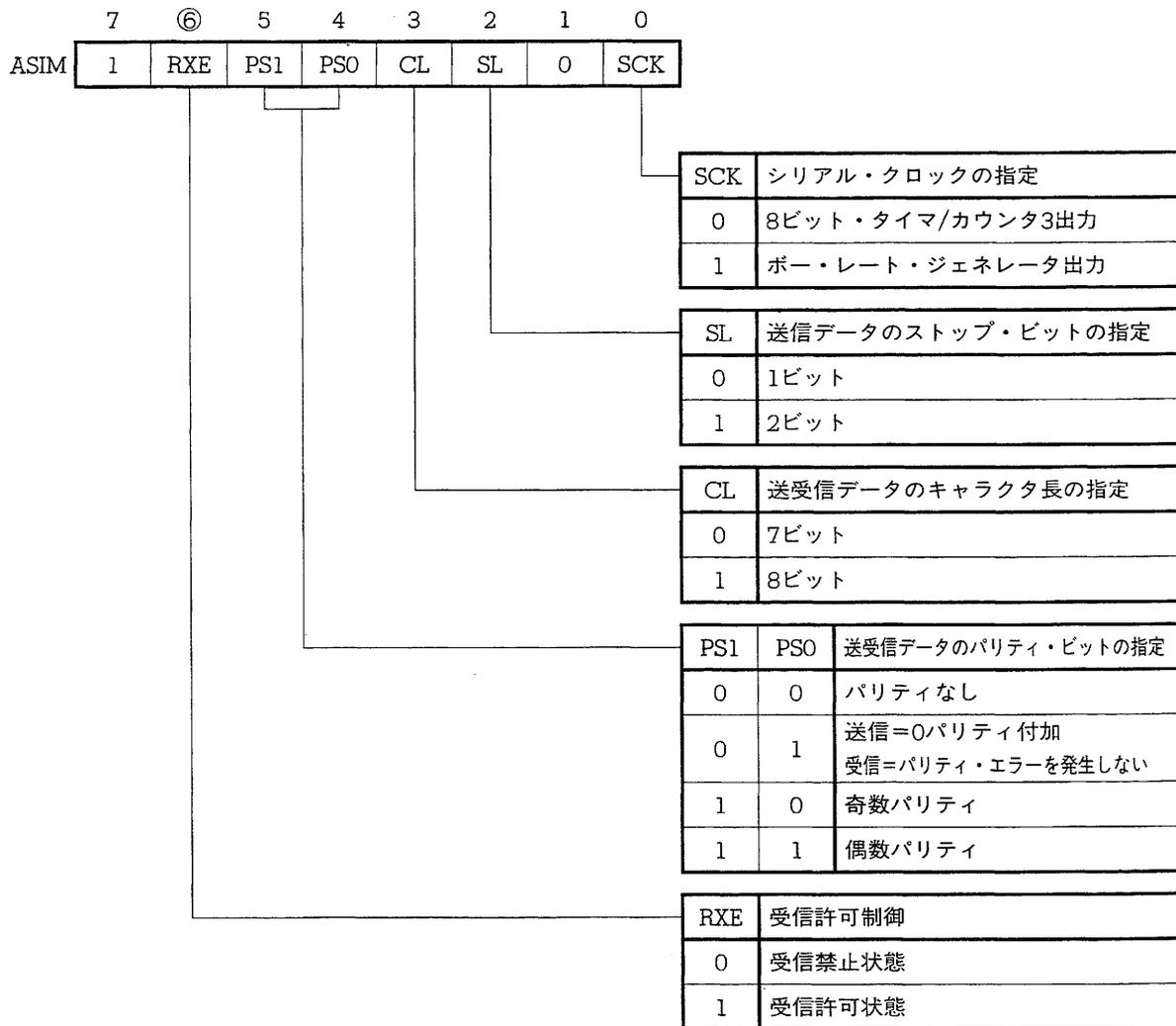
(1) アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)

ASIMレジスタは、アシクロナス・シリアル・インタフェースの動作を指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図 11-2 に示します。

RESET入力により80Hになります。

図 11-2 アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のフォーマット



注意1. 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) の書き換えは行わないでください。送信中にASIMレジスタの書き換えを行うと、それ以降の送信動作ができなくなる場合があります ($\overline{\text{RESET}}$ 入力により、正常になります)。

送信中かどうかは、送信完了割り込み (INTST) またはINTSTによりセットされる割り込み要求フラグ (STIF) を用いて、ソフトウェアにより判断することができます。

2. 受信動作中にASIMレジスタの書き換えを行うと、そのとき受信していたデータおよび、その次に受信するデータがおかしくなります。受信禁止にしてからモードを変更してください。

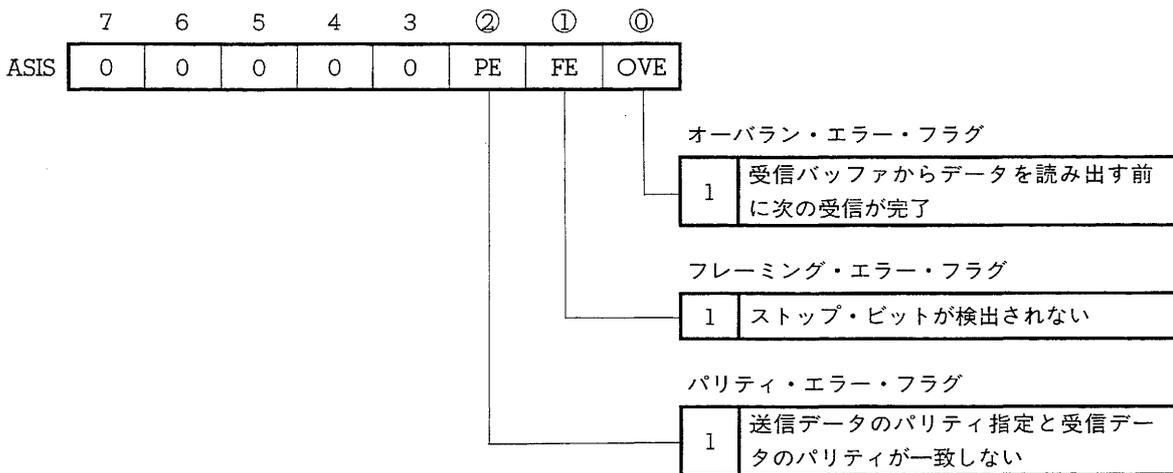
(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)

ASISレジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。各フラグは、受信エラー発生時にセット(1)され、受信バッファ (RXB) からデータを読み出すことによってリセット(0)されます。また、新たに次のデータを受信すると、オーバラン・エラー・フラグ (OVE) がセット(1)され、その他のエラー・フラグはリセット(0)されます (次のデータにエラーがあれば、そのエラー・フラグがセット(1)されます)。

8ビット操作命令とビット操作命令で読み出しのみ可能です。そのフォーマットを図 11-3 に示します。

$\overline{\text{RESET}}$ 入力によりOOHになります。

図 11-3 アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) のフォーマット



注意 受信エラー発生時にも、受信バッファ (RXB) は必ず読み出してしてください。RXBを読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

11.3 アシクロナス・シリアル・インタフェースの動作

11.3.1 データ・フォーマット

全二重のアシクロナス・モードによるシリアル・データの送受信を行います。

送受信データのフォーマットは図 11-4 に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) によって行います。

図 11-4 アシクロナス・シリアル・インタフェースの送受信データのフォーマット



- ・スタート・ビット……………1ビット
- ・キャラクタ・ビット……7ビット/8ビット
- ・パリティ・ビット……………偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット……………1ビット/2ビット

シリアル転送レートは、アシクロナス・シリアル・インタフェース・モード・レジスタとボー・レート・ジェネレータまたはタイマ/カウンタ3の設定により1.43 bps - 93.75 kbpsから選択します。

また、シリアルデータの受信エラーが発生した場合、アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の状態を読むことによって受信エラーの内容を判定することができます。

11.3.2 パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット(奇数個)の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

- ・偶数パリティ

送信データ中の値が“1”のビットの数が奇数個の場合にパリティ・ビットを“1”にします。値が“1”のビットの数が偶数個の場合にはパリティ・ビットを“0”にします。これにより、送信データとパリティ・ビットの中に含まれる値が“1”のビット数が偶数個になるよう制御します。受信時には、受信データとパリティ・ビットの中に含まれる値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

- ・奇数パリティ

偶数パリティとは逆に、送信データとパリティ・ビットの中に含まれる値が“1”のビットを奇数個になるよう制御します。

受信時には、同様に受信データとパリティ・ビットの中に含まれる値が“1”のビットの数が偶数個であった場合にパリティ・エラーを発生します。

- ・0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

- ・パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

11.3.3 送 信

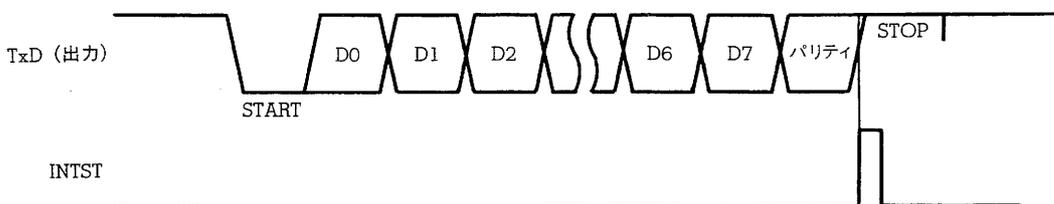
μPD78234のアシクロナス・シリアル・インタフェースは、常に送信許可状態です。送信シフト・レジスタ (TXS) に送信データを書き込むことによって送信動作を起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、送信シフト・レジスタ (TXS) 内のデータがシフト・アウトされ、送信シフト・レジスタ (TXS) が空になると送信完了割り込み (INTST) が発生します。

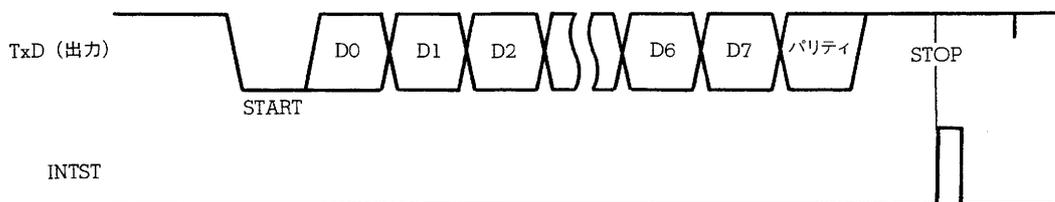
次に送信するデータを送信シフト・レジスタ (TXS) に書き込まなければ、送信動作は中断されます。

図 11-5 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング

(a) ストップ・ビット長：1



(b) ストップ・ビット長：2



注意 1. **RESET**入力後、送信シフト・レジスタは空になりますが、送信完了割り込みは発生しません。送信シフト・レジスタに送信データを書き込むことによって送信動作を起動できます。

2. 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ (**ASIM**) の書き換えは行わないでください。送信中に**ASIM**レジスタの書き換えを行うと、それ以降の送信動作ができなくなる場合があります (**RESET**入力により、正常になります)。

送信中かどうかは、送信完了割り込み (**INTST**) または **INTST** によりセットされる割り込み要求フラグ (**STIF**) を用いて、ソフトウェアにより判断することができます。

11.3.4 受信

受信動作は、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のRXEビットがセット(1)されると許可状態となり、RxD端子入力のサンプリングを行います。

RxD端子入力のサンプリングはASIMで指定したシリアル・クロックで行います。

RxD端子入力がロウ・レベルになると、16分周カウンタがカウントを開始し、8回カウントしたところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD端子入力をサンプリングした結果、ロウ・レベルであれば、スタート・ビットとして認識し、16分周カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットにつづいて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビット^注が検出されると、1フレームのデータ受信が終了します。

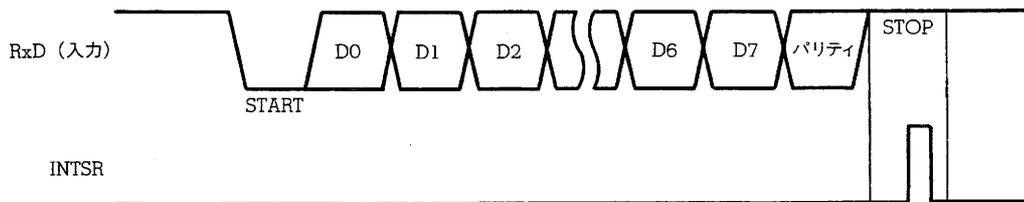
1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファRXBに転送し、受信完了割り込み (INTSR) を発生します。

また、エラーが発生しても、RXBにエラーの発生した受信データを転送し、INTSRが発生します。

なお、受信動作中にRXEビットをリセット (0) すると、ただちに受信動作を停止します。このとき、RXBおよびASISの内容は変化せず、またINTSR、INTSERも発生しません。次にRXEビットをセット(1)すると、再びスタート・ビットのサンプリングを開始します。

注 ASIMレジスタのSLビットの指定にかかわらず、受信時には、ストップ・ビットは1ビットとして動作します。

図 11-6 アシクロナス・シリアル・インタフェース受信完了割り込みタイミング



- 注意1. 受信エラー発生時にも、受信バッファ(RXB)は必ず読み出してください。RXBを読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
2. 受信動作中にASIMレジスタの書き換えを行うと、そのとき受信していたデータおよび、その次に受信するデータがおかしくなります。受信禁止にしてからモードを変更してください。

11.3.5 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシクロナス・シリアル・インタフェース・レジスタ (ASIS)内に立つと同時に、受信エラー割り込み (INTSER)を発生します。受信エラーの要因を表 11-1 に示します。

受信エラー割り込み処理 (INTSER)内で、アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図 11-3, 図 11-7参照)。

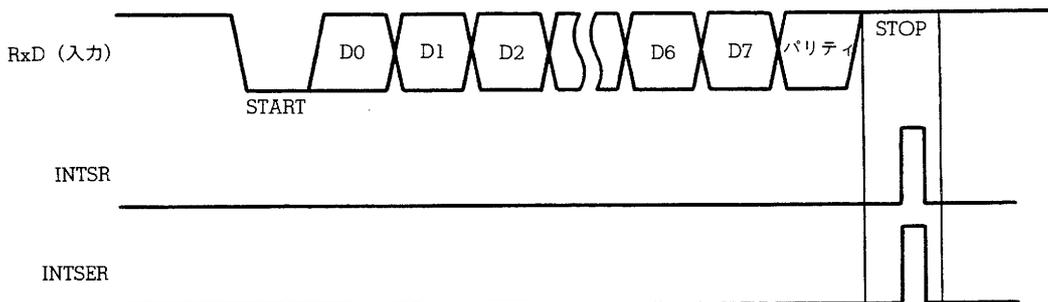
ASISの内容は、受信バッファ (RXB)を読み出すか、次のデータを受信することでリセット (0) されます (次の受信データにエラーがあれば、そのエラー・フラグがセットされます)。

表 11-1 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない注
オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信完了

注 受信時には、ストップ・ビットは1ビットとしてのみ動作します。したがって、ストップ・ビットを2ビットとして指定している場合で、ストップ・ビットの2ビット目がロウ・レベルの場合は、エラーを発生しません (次のデータのスタート・ビットとして認識します)。

図 11-7 受信エラー・タイミング



備考 μ PD78234では、ハードウェアによりブレイク信号を検出することはできません。ブレイク信号は、2キャラクタ以上のロウ・レベル信号なので、受信データが00Hだったフレーミング・エラーが2回連続して発生したことをソフトウェアで検出することで、ブレイク信号が入力されたと判断することが可能です。なお、偶然、フレーミング・エラーが2回発生したときと識別するためには、RxD端子レベルをソフトウェアで読み込み (ポート3モード・レジスタ (PM3) のビット0を“1”にして、ポート3 (P3) をリードすることで確認が可能) “0”であることを確認することにより、行うことができます。

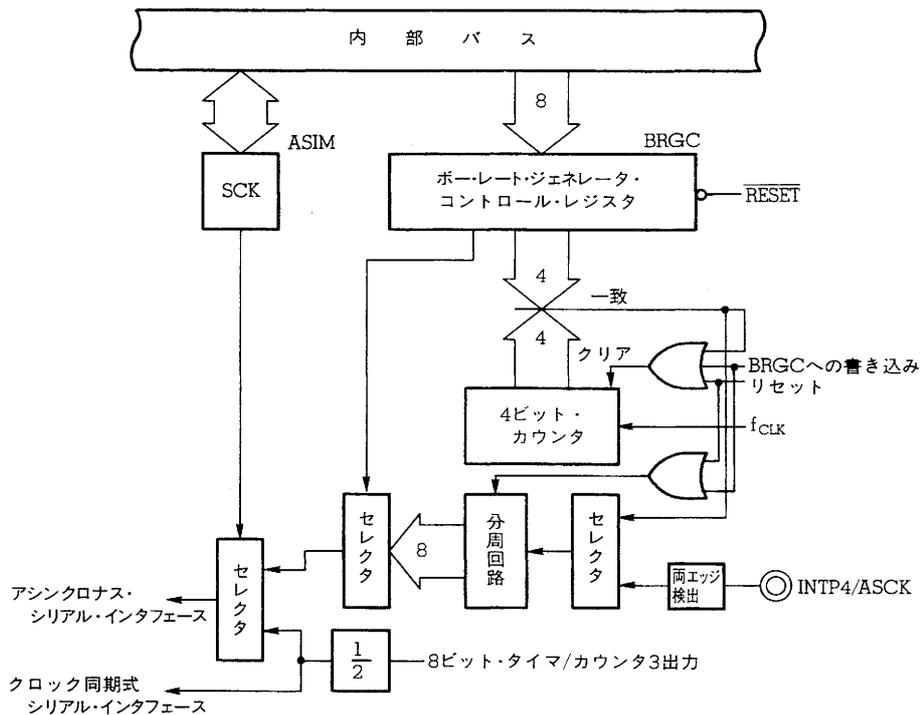
- 注意 1. **ASIS**レジスタの内容は、受信バッファ(**RXB**)を読み出すか、次のデータを受信することにより、リセット(**0**)されてしまいます。エラーの内容が知りたい場合には、必ず**RXB**を読み出す前に**ASIS**を読み出してください。なお、マクロ・サービスを用いて受信を行っている場合は、エラーの発生したこと (**INTSER**の発生または受信エラー割り込み要求フラグ (**SERIF**) がセット(**1**)される)しか分かりませんので、この点について問題がないことを確認のうえ、ご使用ください。
2. 受信エラー発生時にも、受信バッファ(**RXB**)は必ず読み出してください。**RXB**を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

11.4 ポー・レート・ジェネレータ

11.4.1 専用ポー・レート・ジェネレータの構成

ポー・レート・ジェネレータの構成を図11-8に示します。

図11-8 ポー・レート生成用クロックの発生ブロック図



(1) 4ビット・カウンタ

内部システム・クロック (f_{CLK}) をカウントするカウンタです。ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) の下位4ビットで選択された周波数の信号を生成します。

(2) 分周回路

4ビット・カウンタまたは外部ポー・レート入力 (ASCK) からの信号を分周し、次段のセレクトでポー・レート用クロックを選択しています。

(3) 両エッジ検出

ASCK端子入力信号の両エッジを検出し、ASCK入力クロックの倍の周波数の信号を生成します。エッジ検出の詳細については、第13章 エッジ検出機能を参照ください。

11.4.2 ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC)

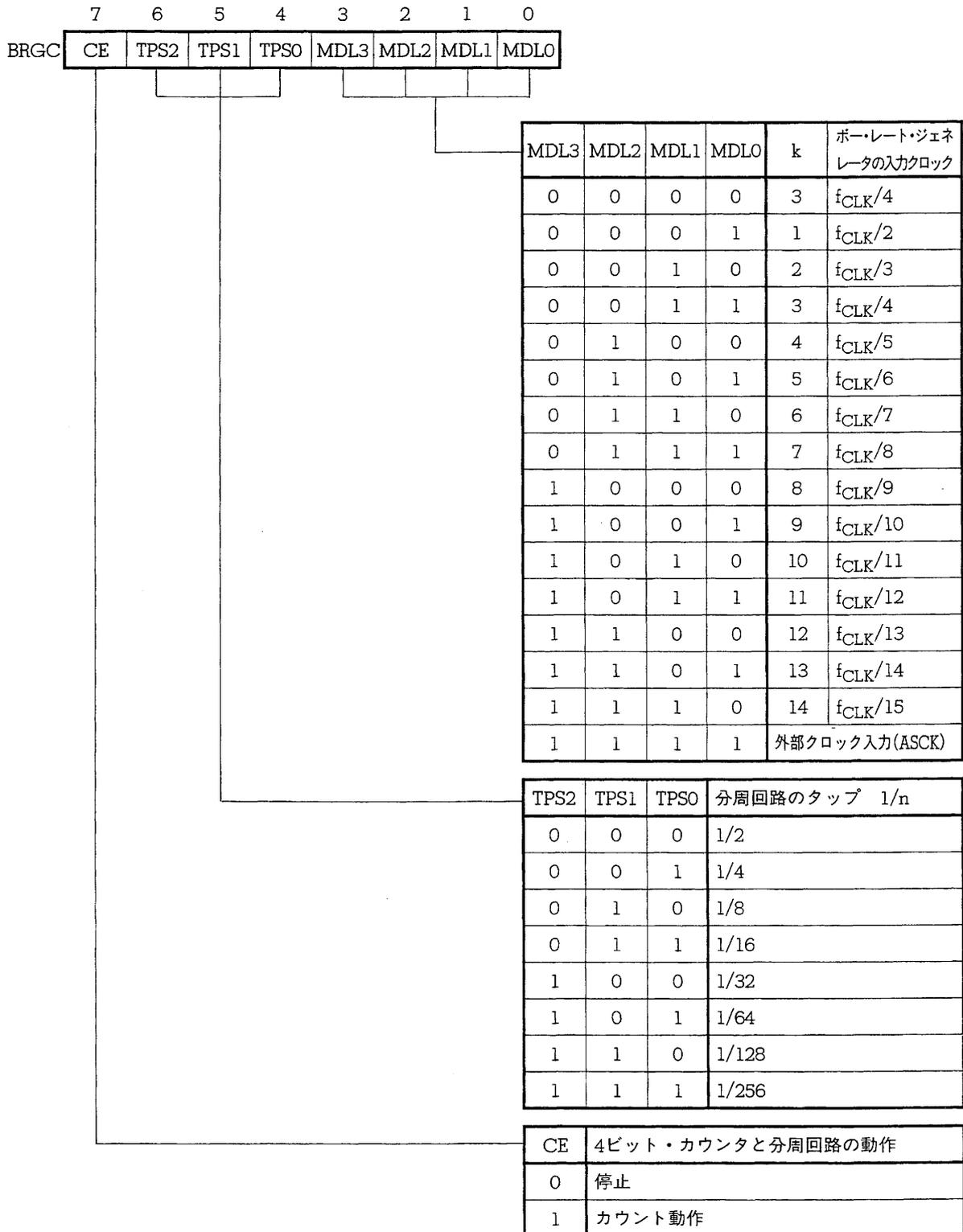
BRGCレジスタは、内部システム・クロック (f_{CLK}) 制御によるボー・レート生成用クロックを設定する8ビット・レジスタです。

8ビット操作命令で書き込みのみが可能です。そのフォーマットを図11-9に示します。

\overline{RESET} 入力によりOOHになります。

注意 BRGCレジスタの書き込み命令を実行すると、4ビット・カウンタおよび分周回路の動作がリセットされてしまいます。したがって、通信動作中にBRGCレジスタへの書き込みを実行すると、生成されるボー・レートが乱れてしまい、正常な通信が行えなくなります。通信動作中にはBRGCレジスタの書き込みを行わないでください。

図11-9 ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) のフォーマット



11.4.3 専用ポー・レート・ジェネレータの動作

専用ポー・レート・ジェネレータはポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) の CE ビットをセット (1) することにより動作を開始します。生成するポー・レート用クロックは、内部システム・クロック (f_{CLK}) を分周した信号か、外部ポー・レート入力 (ASCK) 端子から入力されたクロックを分周した信号になります。

専用ポー・レート・ジェネレータの動作を停止する場合は、CE ビットをリセット (0) します。

また、CE ビットがセット (1) されているときに、再度 CE ビットをセット (1) すると、ポー・レート生成用の 4 ビット・カウンタおよび分周回路をクリアしてから、再度ポー・レート用クロックを生成します。

注意 通信動作中に BRGC レジスタへの書き込みを行うと、生成されるポー・レート用クロックが乱れてしまい、正常な通信動作ができなくなる可能性があります。通信動作中に BRGC レジスタへの書き込みは行わないでください。

(1) 内部システム・クロック (f_{CLK}) によるポー・レート用クロックの生成

内部システム・クロック (f_{CLK}) を 4 ビット・カウンタで分周し、その信号を分周回路で分周したものをポー・レート用クロックとしています。

内部システム・クロック (f_{CLK}) から生成するポー・レートは、次の式によって求めます。

$$(\text{ポー・レート}) = \frac{f_{\text{CLK}}}{k+1} \times \frac{1}{n} \times \frac{1}{16}$$

ただし、

f_{CLK} : 内部システム・クロックの周波数

k : BRGC レジスタの MDL3-MDL0 ビットの設定値

($k=1-14$; 図 11-9 参照)

$1/n$: 分周回路のタップ

16: シリアル・データのサンプリング・レート

(2) ASCK 入力によるポー・レート用クロックの生成

ASCK 端子入力信号の両エッジを検出し、ASCK 端子入力クロックの倍の周波数のクロックを作り、そのクロックを分周回路で分周しています。本機能により、1 種類の外部入力クロックで複数のポー・レートを生成することができます。

ASCK 端子入力から生成されるポー・レートは、次の式によって求めます。

$$(\text{ポー・レート}) = f_{\text{ASCK}} \times \frac{2}{n} \times \frac{1}{16}$$

f_{ASCK} : ASCK 入力クロックの周波数

なお、ASCK 入力は $f_{\text{CLK}}/24$ (250 kHz: $f_{\text{CLK}}=6$ MHz) 以下である必要があります。

11.5 ボー・レートの設定方法

ボー・レートの設定方法には、表 11-2 に示す 3 通りの方法があります。

それぞれ生成できるボー・レートの範囲、ボー・レートの計算式および選択方法についてまとめます。

表 11-2 ボー・レートの設定方法

ボー・レート用クロック・ソース		選 択 方 法		ボー・レートの計算式	ボー・レートの範囲
専用ボー・レート・ジェネレータ	内部システム・クロック	ASIMレジスタの SCK=1	BRGCレジスタの MDL0-3が0-EH	$\frac{f_{CLK}}{k+1} \times \frac{1}{n} \times \frac{1}{16}$	$\frac{f_{CLK}}{61440} - \frac{f_{CLK}}{64}$
	ASCK入力	BRGCレジスタの CE=1	BRGCレジスタの MDL0-3がFH	$f_{ASCK} \times \frac{2}{n} \times \frac{1}{16}$	$\frac{f_{ASCK}}{2048} - \frac{f_{ASCK}^{注}}{16}$
8ビット・タイマ/カウンタ3		ASIMレジスタの SCK=0		$\frac{f_{CLK}}{2^{j+3}} \times \frac{1}{m+1} \times \frac{1}{2} \times \frac{1}{16}$	$\frac{f_{CLK}}{4194304} - \frac{f_{CLK}}{256}$

f_{CLK} : 内部システム・クロックの周波数

k : BRGCレジスタのMDL3-MDL0ビットの設定値 (1-14 ; 図 11-9 参照)

1/n : 分周回路のタップ (n=2, 4, 8, 16, 32, 64, 128, 256)

f_{ASCK} : ASCK入力クロックの周波数 ($0 - \frac{f_{CLK}}{24}$)

$\frac{1}{16}$: シリアル・データのサンプリング・レート

j : プリスケアラ・モード・レジスタ0のPRS3-PRS0ビットの設定 (j=0-6)

PRS3-PRS0	0H	1H	2H	3H	4H	5H	6H	7H
j	0	1	2	3	4	5	6	

m : 8ビット・コンペア・レジスタ (CR30)の設定値 (m=0-255)

注 f_{ASCK} の入力範囲を含めると、 $0 - \frac{f_{CLK}}{384}$

11.5.1 専用ポー・レート・ジェネレータを使用した場合の設定例

専用ポー・レート・ジェネレータを使用した場合のBRGCレジスタへの設定例を示します。

専用ポー・レート・ジェネレータを使用する場合は、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のSCKビットをセット(1)してください。

表 11-3 専用ポー・レート・ジェネレータを使用した場合のBRGCレジスタへの設定例

発振周波数(f_{xx})または 外部クロック入力(f_x)	12 MHz		11.0592 MHz		10.0 MHz		9.8304 MHz		7.3728 MHz	
内部システム・クロック(f_{CLK})	6 MHz		5.5296 MHz		5.0 MHz		4.9152 MHz		3.6864 MHz	
ポー・レート [bps]	BRGC値	ポー・レート 誤差 (%)	BRGC値	ポー・レート 誤差 (%)	BRGC値	ポー・レート 誤差 (%)	BRGC値	ポー・レート 誤差 (%)	BRGC値	ポー・レート 誤差 (%)
75	—	—	—	—	—	—	—	—	FBH	0.00
110	FCH	2.44	FBH	2.27	FAH	0.89	FAH	0.83	F7H	2.27
150	F9H	2.34	F8H	0.00	F7H	1.73	F7H	0.00	EBH	0.00
300	E9H	2.34	E8H	0.00	E7H	1.73	E7H	0.00	DBH	0.00
600	D9H	2.34	D8H	0.00	D7H	1.73	D7H	0.00	CBH	0.00
1200	C9H	2.34	C8H	0.00	C7H	1.73	C7H	0.00	BBH	0.00
2400	B9H	2.34	B8H	0.00	B7H	1.73	B7H	0.00	ABH	0.00
4800	A9H	2.34	A8H	0.00	A7H	1.73	A7H	0.00	9BH	0.00
9600	99H	2.34	98H	0.00	97H	1.73	97H	0.00	8BH	0.00
19200	89H	2.34	88H	0.00	87H	1.73	87H	0.00	85H	0.00
31250	92H	0.00	—	—	84H	0.00	84H	1.70	—	—
38400	84H	2.34	—	—	83H	1.73	83H	0.00	82H	0.00

11.5.2 8ビット・タイマ/カウンタ3を使用した場合の設定例

8ビット・タイマ/カウンタ3を使用した場合のポーレートの設定例を表11-4に示します。8ビット・タイマ/カウンタ3を使用する場合は、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のSCKビットをリセット(0)してください。

8ビット・タイマ/カウンタ3の使用方法については、7.4 8ビット・タイマ/カウンタ3を参照ください。

表 11-4 8ビット・タイマ/カウンタ3を使用した場合のボー・レート設定例 (アシンクロナス・シリアル・インタフェース)

発振周波数 f_{osc} (MHz)	12 MHz			11.0592 MHz			10.0 MHz			9.8304 MHz			7.3728 MHz		
内部システム・ クロック (f_{CLK}) MHz	6 MHz			5.5296 MHz			5.0 MHz			4.9152 MHz			3.6864 MHz		
ボー・レート [bps]	カウント・ クロック	m	ボー・レート 誤差 (%)												
75	$f_{CLK}/16$	155	0.16	$f_{CLK}/16$	143	0.00	$f_{CLK}/16$	129	0.16	$f_{CLK}/16$	127	0.00	$f_{CLK}/8$	191	0.00
110	$f_{CLK}/8$	212	0.03	$f_{CLK}/8$	195	0.18	$f_{CLK}/8$	177	0.25	$f_{CLK}/8$	174	0.26	$f_{CLK}/8$	130	0.07
150	$f_{CLK}/8$	155	0.16	$f_{CLK}/8$	143	0.00	$f_{CLK}/8$	129	0.16	$f_{CLK}/8$	127	0.00	$f_{CLK}/8$	95	0.00
300	$f_{CLK}/8$	77	0.16	$f_{CLK}/8$	71	0.00	$f_{CLK}/8$	64	0.16	$f_{CLK}/8$	63	0.00	$f_{CLK}/8$	47	0.00
600	$f_{CLK}/8$	38	0.16	$f_{CLK}/8$	35	0.00	$f_{CLK}/8$	32	1.36	$f_{CLK}/8$	31	0.00	$f_{CLK}/8$	23	0.00
1200	$f_{CLK}/8$	19	2.34	$f_{CLK}/8$	17	0.00	$f_{CLK}/8$	15	1.73	$f_{CLK}/8$	15	0.00	$f_{CLK}/8$	11	0.00
2400	$f_{CLK}/8$	9	2.34	$f_{CLK}/8$	8	0.00	$f_{CLK}/8$	7	1.73	$f_{CLK}/8$	7	0.00	$f_{CLK}/8$	5	0.00
4800	$f_{CLK}/8$	4	2.34	-	-	-	$f_{CLK}/8$	3	1.73	$f_{CLK}/8$	3	0.00	$f_{CLK}/8$	2	0.00
9600	-	-	-	-	-	-	$f_{CLK}/8$	1	1.73	$f_{CLK}/8$	1	0.00	$f_{CLK}/8$	-	-
19200	-	-	-	-	-	-	$f_{CLK}/8$	0	1.73	$f_{CLK}/8$	0	0.00	$f_{CLK}/8$	-	-

11.5.3 外部ポー・レート入力 (ASCK) を使用した場合の設定例

外部ポー・レート入力 (ASCK) を使用した場合の設定例を表11-5に示します。ASCK入力を使用する場合は、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のSCKビットをセット(1)してください。

表 11-5 外部ポー・レート入力 (ASCK) を使用した場合の設定例

f_{ASCK} (ASCK入力周波数)	153.6 kHz
ポー・レート [bps]	BRGC値
75	FFH
150	EFH
300	DFH
600	CFH
1200	BFH
2400	AFH
4800	9FH
9600	8FH

11.6 注意事項

(1) 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) の書き換えは行わないでください。送信中に ASIM レジスタの書き換えを行うと、それ以降の送信動作ができなくなる場合があります ($\overline{\text{RESET}}$ 入力により、正常になります)。

送信中かどうかは、送信完了割り込み (INTST) または INTST によりセットされる割り込み要求フラグ (STIF) を用いて、ソフトウェアにより判断することができます。

(2) 受信動作中に ASIM レジスタの書き換えを行うと、そのとき受信していたデータおよび、その次に受信するデータがおかしくなります。受信禁止にしてからモードを変更してください。

(3) $\overline{\text{RESET}}$ 入力後、送信シフト・レジスタは空になりますが、送信完了割り込みは発生しません。送信シフト・レジスタに送信データを書き込むことによって、送信動作を起動できます。

(4) 受信エラー発生時にも、受信バッファ (RXB) は必ず読み出してください。RXB を読み出さないと、次のデータ受信時にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(5) ASIS レジスタの内容は、受信バッファ (RXB) を読み出すか、次のデータを受信することにより、リセット (0) されてしまいます。エラーの内容が知りたい場合には、必ず RXB を読み出す前に ASIS を読み出してください。

なお、マクロ・サービスを用いて受信を行っている場合は、エラーの発生したこと (INTSER の発生または受信エラー割り込み要求フラグ (SERIF) がセット (1) される) しか分かりませんので、この点について問題がないことを確認のうえ、ご使用ください。

(6) 通信動作中には、BRGC レジスタへの書き込みをしないでください。もし書き込み命令を実行すると、4 ビット・カウンタおよび分周回路の動作がリセットされてしまい、生成されるポー・レート用クロックが乱れ、正常な通信動作ができなくなる可能性があります。

第 12 章 クロック同期式シリアル・インタフェース

12.1 機 能

μPD78234のクロック同期式シリアル・インタフェースは図 12-1 のように構成されます。

μPD78234のクロック同期式シリアル・インタフェースには以下のような2つの動作モードがあります。

(1) 3線式シリアルI/Oモード (MSBファースト)

シリアル・クロック ($\overline{\text{SCK}}$) と、シリアル・バス (SO, SI) の3本のラインによって8ビット長のデータ転送を行います。従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続する場合に有効です。

(2) シリアル・バス・インタフェース (SBI) モード (MSBファースト)

シリアル・クロック ($\overline{\text{SCK}}$) と、シリアル・データ・バス (SB0) の2本のラインにより複数のデバイスと通信可能なモードです。

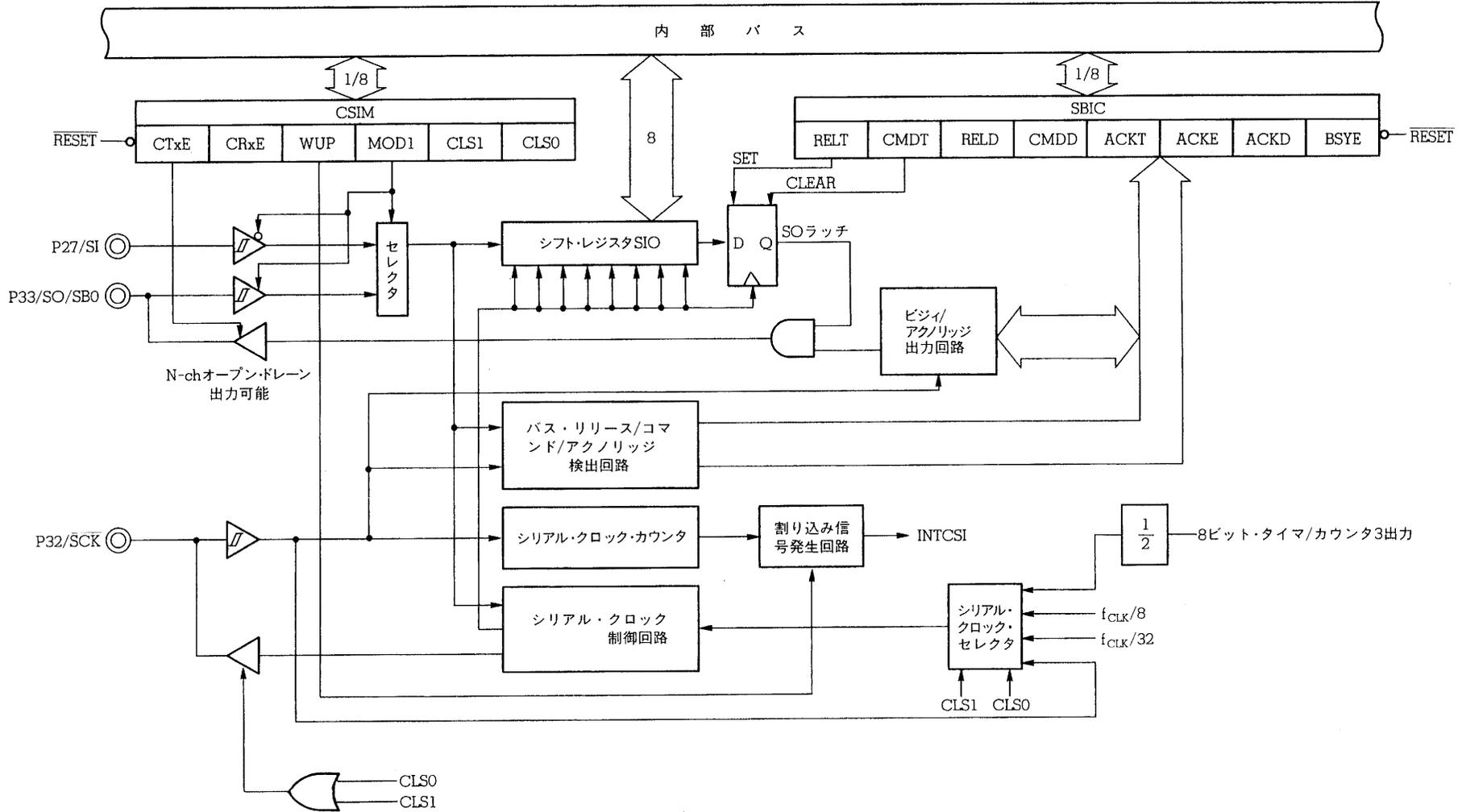
NECシリアル・バス・フォーマットに準拠します。

SBIモードではシリアル・データ・バス上にシリアル通信の対象デバイス選択のための“アドレス”，対象デバイスに対して指令を与える“コマンド”および、実際の“データ”を出力することができます。したがって従来のクロック同期式シリアル・インタフェースで複数のデバイスを接続する場合に必要なハンド・シェイクのためのラインを必要とせず、入出力ポートの有効活用ができます。

12.2 構 成

クロック同期式シリアル・インタフェースの構成について説明します。

図 12-1 クロック同期式シリアル・インタフェースのブロック図★



(1) シフト・レジスタ (SIO)

シフト・レジスタ (SIO)は、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。SIOは送信および受信の両方に使用されます。

データは、MSB側からシフト・イン (受信) またはシフト・アウト (送信) されます。

SIOに対する書き込み/読み出しにより、実際の送受信動作が制御されます。

8ビット操作命令で読み出し/書き込みが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(2) SOラッチ

SOラッチは、SO/SB0端子出力レベルを保持するラッチです。シリアル・バス・インタフェース (SBI) モード時には、ソフトウェアにより直接制御することも可能になります。

(3) シリアル・クロック・セレクト

使用するシリアル・クロックを選択します。

(4) シリアル・クロック・カウンタ

送信/受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(5) 割り込み信号発生回路

シリアル・クロック・カウンタでシリアル・クロックを8発カウントしたときに、割り込みの要求を発生するかしないかを制御します。3線式シリアルI/Oモード時には8発カウントするごとに、SBIモード時には条件が成立したときにそれぞれ割り込みの要求を発生します。

(6) シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給の制御を行います。また、内部クロック使用時はSCK端子へ出力するクロックの制御も行います。

(7) ビジィ/アクノリッジ出力回路, バス・リリース/コマンド/アクノリッジ検出回路

SBIモード時に各種制御信号の出力および検出を行います。3線式シリアルI/Oモード時には動作しません。

12.3 制御レジスタ

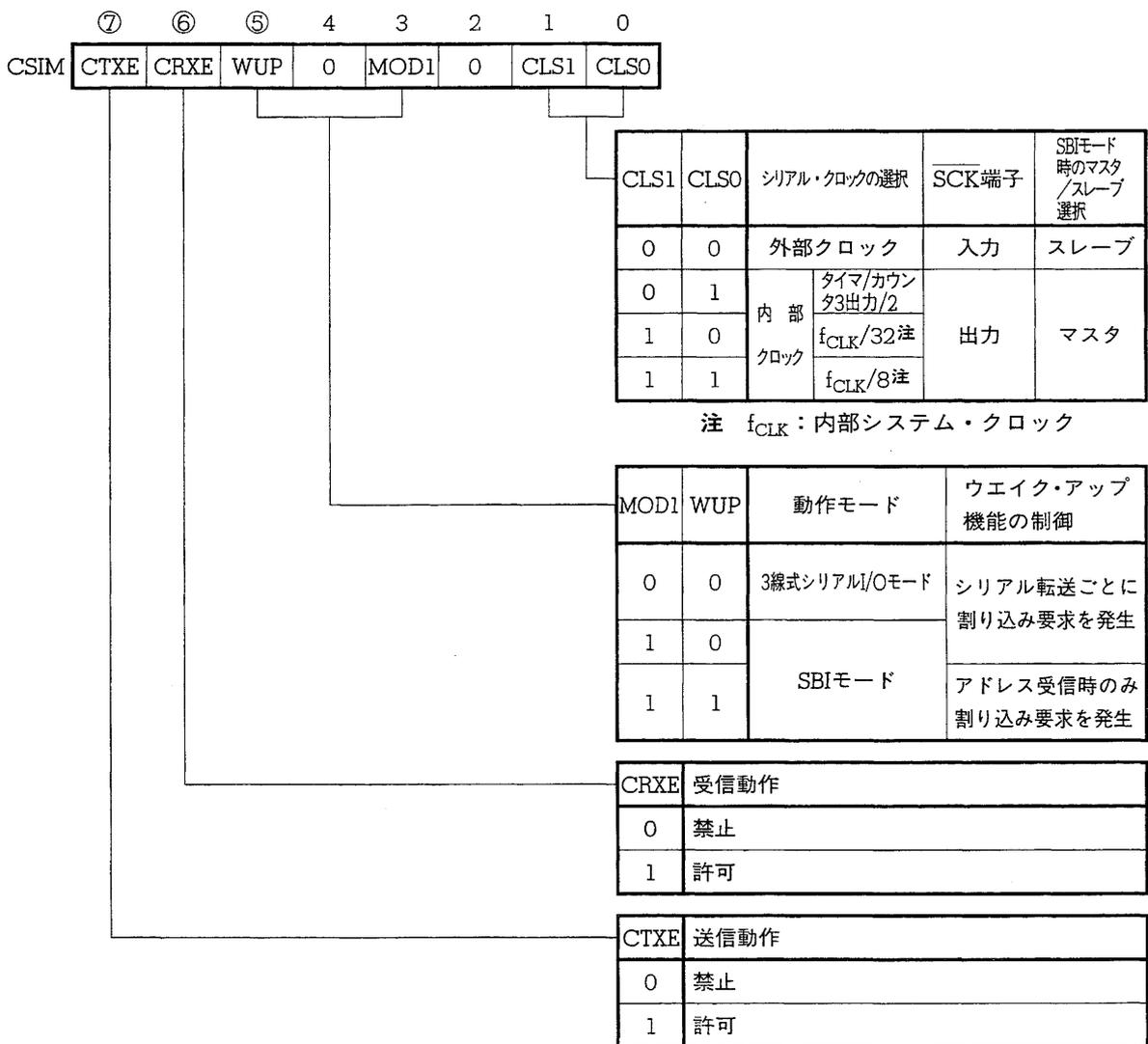
12.3.1 クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM)

CSIMレジスタは、シリアル・インタフェースの動作モード、シリアル・クロック、ウェイク・アップ機能などを指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図 12-2 に示します。

$\overline{\text{RESET}}$ 入力により00Hとなります。

図 12-2 クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) のフォーマット



注意 CTXE=0, CRXE=1の状態からCTXE=1, CRXE=0へ変更する場合, およびCTXE=1, CRXE=0の状態からCTXE=0, CRXE=1へ変更する場合は, 1命令で行わないようにしてください。シリアル・クロック・カウンタが誤動作し, 変更後の1回目の通信が8ビット未満で終了してしまいます。次のように2命令に分けて変更してください。

例 CTXE=1, CRXE=0をCTXE=0, CRXE=1に変更する場合

CLR1 CTXE

SET1 CRXE

12.3.2 シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBICレジスタは, シリアル・バスの状態を制御するビットとシリアル・バスからの入力データの各種の状態を示すビットから構成された8ビット・レジスタです。SBIモードでのみ用いることができ, 3線式シリアルI/Oモードでは操作してはいけません。

8ビット操作命令とビット操作命令で操作します。読み出し/書き込みは, 表12-1のようにビットによって異なります。読み出しのとき, 書き込みのみのビットは“0”を読み出します。そのフォーマットを図12-3に示します。

$\overline{\text{RESET}}$ 入力により00Hとなります。

また, ACKD, CMDD, RELDの各検出フラグは, 送受信動作を禁止 (CTxE=CHxE=0) するとクリアされます。

表 12-1 SBICレジスタの読み出し/書き込み

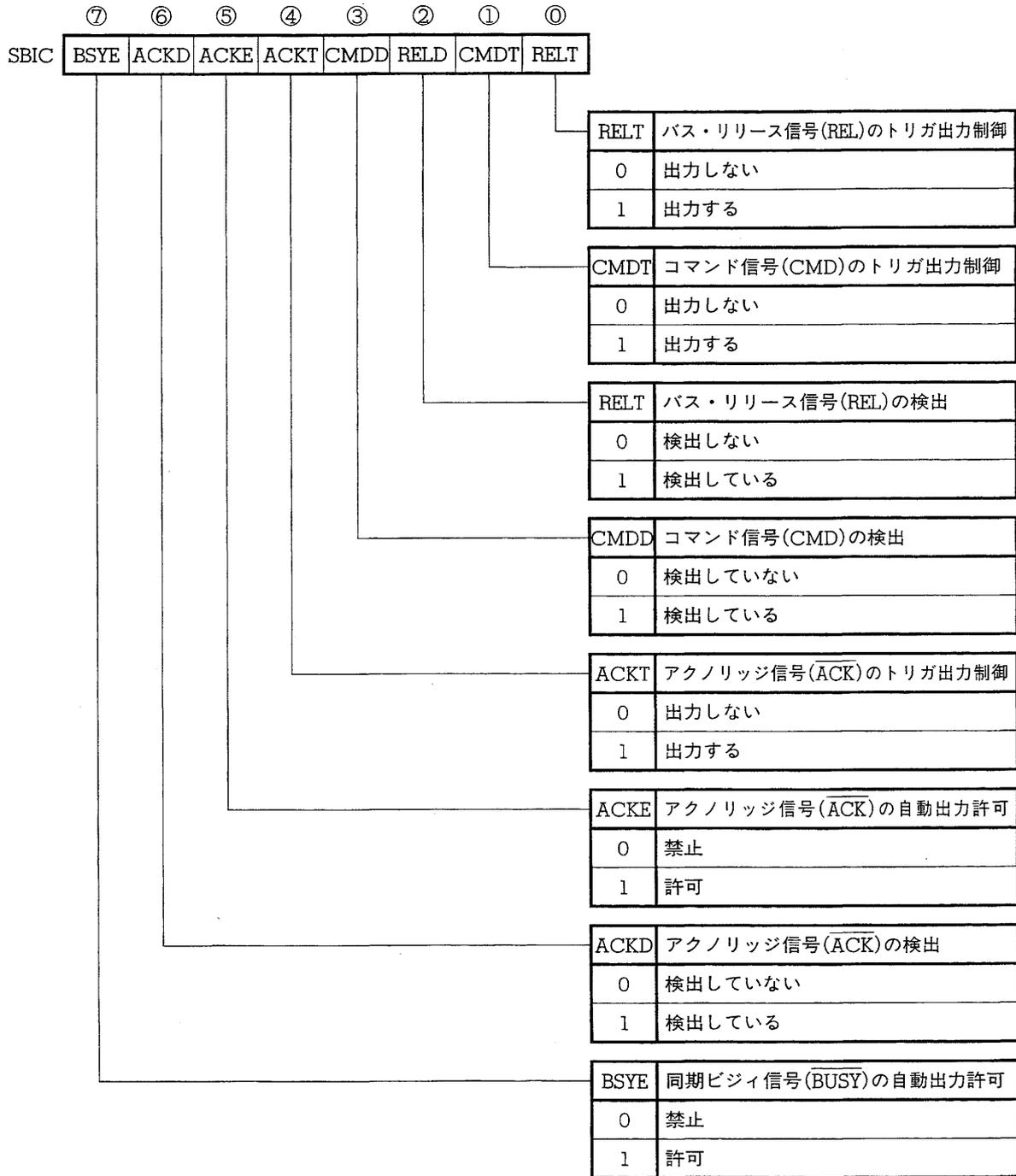
	⑦	⑥	⑤	④	③	②	①	①
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT
	R/W	R	R/W	W	R	R	W	W

備考 R/W : 読み出し (Read)/書き込み (Write)

R : 読み出し (Read) のみ

W : 書き込み (Write) のみ

図 12-3 シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のフォーマット



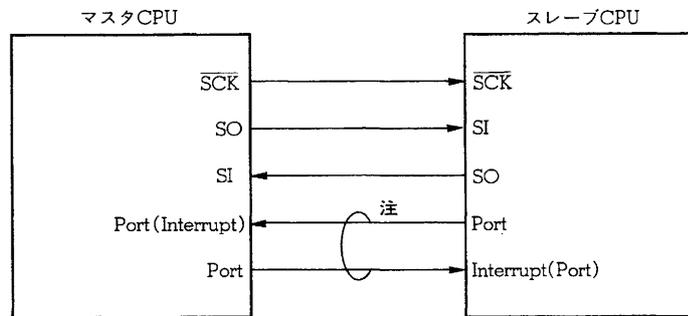
12.4 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、従来のクロック同期式シリアル・インタフェースを内蔵するデバイスとの通信を行うためのモードです。

基本的にはシリアル・クロック ($\overline{\text{SCK}}$) とシリアル・データ出力 (SO) とシリアル・データ入力 (SI) の3本のラインで通信を行います。複数のデバイスと接続する場合はハンド・シェイク用のラインが必要になります。

図 12-4 3線式シリアルI/Oのシステム構成例

3線式シリアルI/O↔3線式シリアルI/O



注 ハンドシェイク・ライン

12.4.1 基本動作タイミング

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期してMSBファーストで1ビットごとに送受信されます。

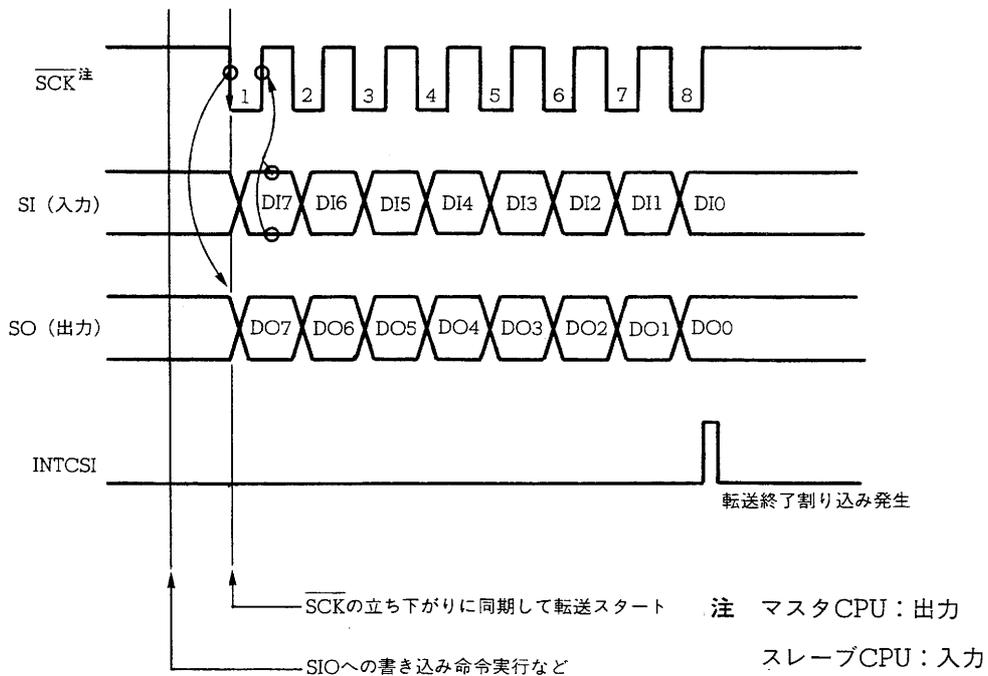
送信データは、 \overline{SCK} の立ち下がりに同期して出力されます。受信データは、 \overline{SCK} の立ち上がりでサンプリングされます。

また、8番目の \overline{SCK} の立ち上がりで割り込み要求INTCSIを発生します。

内部クロックを \overline{SCK} として使用している場合は、 \overline{SCK} の8番目の立ち上がりで \overline{SCK} の出力を停止し、次のデータの送信または受信動作が起動されるまで、 \overline{SCK} はハイ・レベルを保持します。

図12-5に、3線式シリアルI/Oモードのタイミング図を示します。

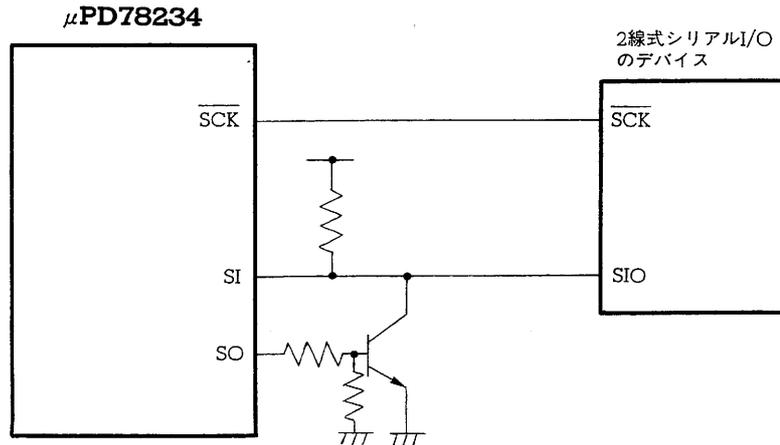
図 12-5 3線式シリアルI/Oモードのタイミング



3線式シリアルI/Oの場合、SO端子はCMOSのプッシュプル出力になります。

備考 2線式のシリアルI/Oと接続する場合は、図12-6のようにSO端子にバッファを接続してください。なお、図12-6の場合は、バッファにより出力レベルが反転するので、SIOへは出力したいデータの反転データを書き込んでください。
また、P33/SO端子には、内蔵プルアップ抵抗を接続しないように指定してください。

図 12-6 2線式シリアルI/Oとの接続例



なお、送信と受信を時分割で行う場合で、2線式シリアルI/Oを持ったデバイスのSIO端子の出力レベルをμPD78234がコントロールできる場合は、SI端子とSO端子を直接接続して使用することもできます。この場合、μPD78234が送信をする場合は、必ず他のデバイスを送信禁止にしてください。

12.4.2 送信のみ許可の場合の動作

送信動作は、クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) の CTXE ビットがセット (1) されているときに行われます。CTXE ビットがセット (1) されているときに、シフト・レジスタ (SIO) への書き込みを行うと送信動作が起動されます。

なお、CTXE ビットがリセット (0) されているときは、SO 端子は出力ハイ・インピーダンスとなります。

(1) シリアル・クロックとして内部クロックを選択した場合

送信が起動されるとシリアル・クロックを $\overline{\text{SCK}}$ 端子から出力し、同時にシリアル・クロックの立ち下がりに同期して SIO からデータを SO 端子へ順次出力します。また、シリアル・クロックの立ち上がりに同期して、SI 端子の信号を SIO にシフト入力します。

なお、送信の起動から $\overline{\text{SCK}}$ の最初の立ち下がりまでには、最大 $\overline{\text{SCK}}$ の 1 クロック分の時間がかかります。

送信動作中に送信を禁止 (CTXE ビットをリセット (0)) すると、次の $\overline{\text{SCK}}$ の立ち上がりで $\overline{\text{SCK}}$ クロックの出力を停止し、送信動作を中断します。このとき割り込みの要求 (INTCSI) は発生しません。また、SO 端子は出力ハイ・インピーダンスになります。

(2) シリアル・クロックとして外部クロックを選択した場合

送信が起動されると、送信起動後に $\overline{\text{SCK}}$ 端子へ入力されたシリアル・クロックの立ち下がりに同期して SIO からデータを SO 端子へ順次出力し、同時に $\overline{\text{SCK}}$ 端子入力の立ち上がりに同期して、SI 端子の信号を SIO にシフト入力します。送信が起動されていないときに、シリアル・クロックを $\overline{\text{SCK}}$ 端子へ入力してもシフト動作は行われず、SO 端子の出力レベルは変化しません。

送信動作中に送信を禁止 (CTXE ビットをリセット (0)) すると、送信動作を中断し、以降の $\overline{\text{SCK}}$ 入力を無視します。このとき、割り込みの要求 (INTCSI) は発生しません。また、SO 端子は出力ハイ・インピーダンスになります。

12.4.3 受信のみ許可の場合の動作

受信動作はCSIMレジスタのCRXEビットがセット(1)されているときに行われます。CRXEビットを“0”から“1”へ変化させるか、SIOからの読み出しを行うと受信動作は起動されます。

(1) シリアル・クロックとして内部クロックを選択した場合

受信が起動されるとシリアル・クロックを $\overline{\text{SCK}}$ 端子から出力し、シリアル・クロックの立ち上がりに同期してSI端子のデータをSIOへ順次取り込みます。

なお、受信の起動から $\overline{\text{SCK}}$ の最初の立ち下がりまでには、最大 $\overline{\text{SCK}}$ の1クロック分の時間がかかります。

受信動作中に受信を禁止 (CRXEビットをリセット(0)) すると、次の $\overline{\text{SCK}}$ の立ち上がりで $\overline{\text{SCK}}$ クロックの出力を停止し、受信動作を中断します。このとき割り込みの要求 (INTCSI) は発生しません。また、SIOレジスタの内容は不定になります。

(2) シリアル・クロックとして外部クロックを選択した場合

受信が起動されると、受信起動後に $\overline{\text{SCK}}$ 端子へ入力されたシリアル・クロックの立ち上がりに同期してSI端子のデータをSIOへ順次取り込みます。受信が起動されていないときに $\overline{\text{SCK}}$ 端子へシリアル・クロックを入力してもシフト動作は行いません。

受信動作中に受信を禁止 (CRXEビットをリセット(0)) すると、受信動作を中断し、以降の $\overline{\text{SCK}}$ 入力を無視します。このとき、割り込みの要求 (INTCSI) は発生しません。

12.4.4 送受信許可の場合の動作

CSIMレジスタのCTXEビットとCRXEビットが両方ともセット(1)されているときは、送信動作と受信動作を同時に行うことができます(送受信動作)。送受信動作は、CRXEビットを“0”から“1”へ変化させるか、SIOへの書き込みを行うと起動します。

なお、送受信動作の1回目の起動時は、必ずCRXEビットが“0”から“1”へ変化するので、すぐに送受信動作が起動され、不定なデータが出力される可能性があります。したがって、送信および受信とも禁止されている(CTXEビットおよびCRXEビットが両方ともリセット(0)されている)ときに、あらかじめSIOへ最初の送信データを書き込んでから、送受信を許可してください。

なお、送受信禁止時(CTXE=CRXE=0)のときは、SO端子は出力ハイ・インピーダンスになります。

(1) シリアル・クロックとして内部クロックを選択した場合

送受信が起動されると、シリアル・クロックが $\overline{\text{SCK}}$ 端子より出力され、シリアル・クロックの立ち下がりに同期してSIOからSO端子へ順次データが出力され、シリアル・クロックの立ち上がりに同期してSI端子のデータを順次SIOへシフト・インします。

なお、送受信の起動から $\overline{\text{SCK}}$ の最初の立ち下がりまでには、最大 $\overline{\text{SCK}}$ の1クロック分の時間がかかります。

送受信動作中に送信または受信の一方を禁止にした場合は、禁止された動作のみが中断されます。送信のみを禁止した場合は、SO端子は出力ハイ・インピーダンスになります。受信のみを禁止した場合は、SIOレジスタの内容は不定となります。

送受信を同時に禁止した場合は、 $\overline{\text{SCK}}$ の次の立ち上がりで $\overline{\text{SCK}}$ クロックの出力を停止し、送信および受信動作を中断します。送受信を同時に禁止した場合は、SIOの内容は不定となり、割り込みの要求(INTCSI)は発生しません。また、SO端子は出力ハイ・インピーダンスになります。

(2) シリアル・クロックとして外部クロックを選択した場合

送受信が起動されると、送受信起動後に $\overline{\text{SCK}}$ 端子へ入力されたシリアル・クロックの立ち下がりに同期してSIOから順次SO端子へデータが出力され、シリアル・クロックの立ち上がりに同期してSI端子のデータを順次SIOへシフト・インします。送受信が起動されていないときにシリアル・クロックが $\overline{\text{SCK}}$ 端子へ入力されても、SIOのシフト動作は行いません。また、SO端子の出力レベルも変化しません。

送受信動作中に送信または受信の一方を禁止した場合は、禁止された動作のみが中断されます。送信のみを禁止した場合は、SO端子は出力ハイ・インピーダンスになります。受信のみを禁止した場合は、SIOレジスタの内容は不定となります。

送受信を同時に禁止した場合は、送受信動作を中断し、以降の $\overline{\text{SCK}}$ 入力を無視します。送受信を同時に禁止した場合は、SIOの内容は不定となり、割り込みの要求(INTCSI)は発生しません。SO端子は出力ハイ・インピーダンスになります。

12.4.5 シリアル・クロックとシフト動作がずれた場合の処置方法

シリアル・クロックとして外部クロックを選択した場合に、ノイズなどにより、シリアル・クロックの数とシフト動作がずれてしまう可能性があります。このような場合、送信動作と受信動作をともに禁止する（CTXEビットおよびCRXEビットをリセット(0)する）ことにより、シリアル・クロック・カウンタが初期化されるので、次に送信または受信を許可した後に最初に入力されるシリアル・クロックを1発目のクロックとして、シフト動作とシリアル・クロックの同期を回復することができます。

12.5 SBIモード

SBI (シリアル・バス・インタフェース) は、NECシリアル・バス・フォーマット準拠の高速シリアル・インタフェース方式です。

SBIは、シングル・マスタの高速シリアル・バスで、2本の信号線で複数のデバイスとの通信を行うことができるように、クロック同期式のシリアルI/O方式に、バス構成のための機能が追加されたフォーマットになっています。そのため、複数のマイコンや周辺ICでシリアル・バスを構成する場合に、使用するポート数や基板上の配線数を削減することができます。

SBIの機能などについては、シリアル・バス・インタフェース(SBI) ユーザーズ・マニュアル(IEM-5040)もあわせて参照してください。

12.5.1 SBIの特徴

従来のシリアルI/O方式では、データ転送機能しか有していないために、複数のデバイスを接続してシリアル・バスを構成した場合に、チップ・セレクト信号やコマンド/データの区別、ビジー状態の判断などのため多くのポートや配線が必要となります。また、これらの制御を、ソフトウェアで行おうとすると、ソフトウェアの負担が大きくなってしまいます。

SBIでは、シリアル・クロック \overline{SCK} と、シリアル・データ・バスSBOの2本の信号線でシリアル・バスを構成することができます。そのため、マイコンのポート数の削減や、基板内の配線や引き回しの減少に有効となります。

SBIの機能について以下に示します。

(1) アドレス/コマンド/データの判断機能

シリアル・データを、アドレス、コマンド、およびデータの3種類に区別します。

(2) アドレスによるチップ・セレクト機能

マスタは、アドレスの送信により、スレーブのチップ・セレクト（選択）を行います。

(3) ウェイク・アップ機能

スレーブは、ウェイク・アップ機能（ソフトウェアで設定/解除が可能）により、アドレス受信の判断（チップ・セレクトの判断）を容易に行うことができます。

ウェイク・アップ機能を設定した場合、アドレス受信時のみ、シリアル受信割り込み (INTCSI) が発生します。

そのため、複数のデバイスと通信を行う場合も、選択されたスレーブ以外のCPUはシリアル通信に関係なく動作することができます。

(4) アクノリッジ信号 (\overline{ACK})制御機能

シリアル・データの受信確認のための、アクノリッジ信号を制御します。

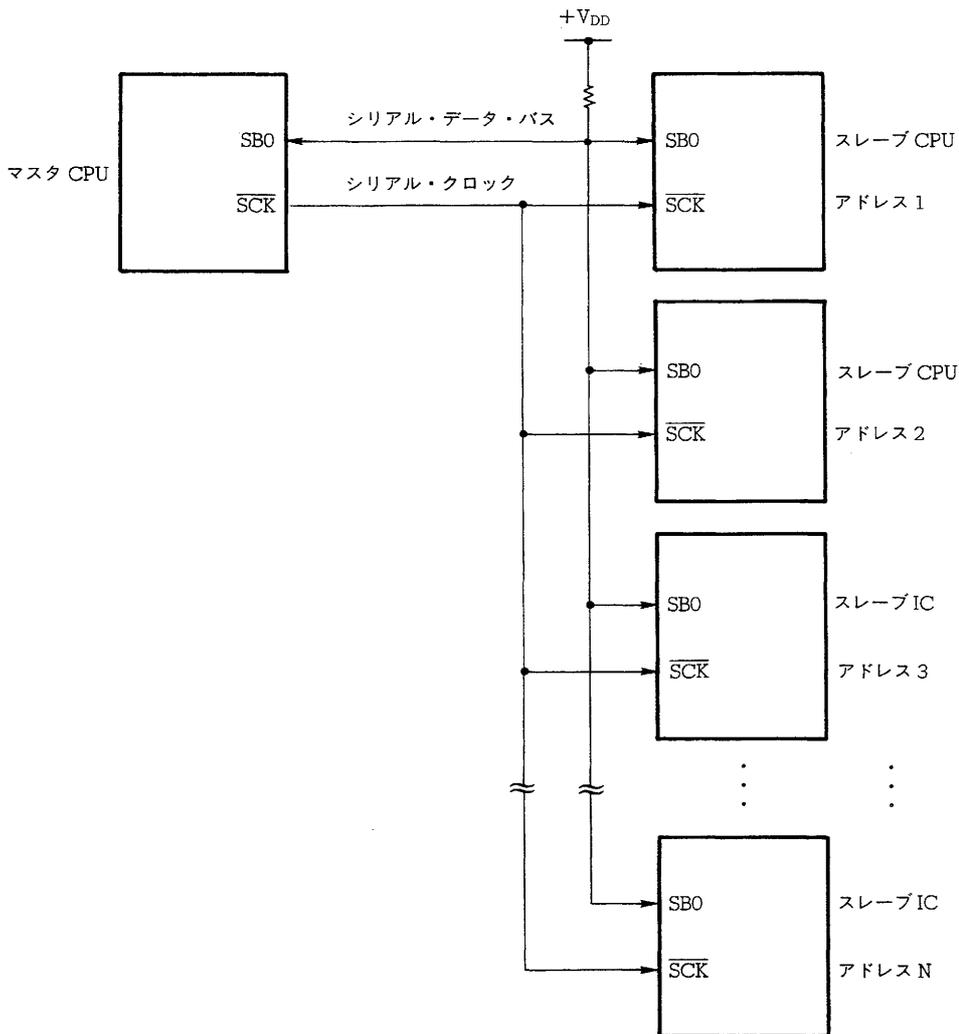
(5) ビジー信号 (\overline{BUSY})制御機能

スレーブのビジー状態を知らせるための、ビジー信号を制御します。

SBIに準拠するシリアル・インタフェースを有するCPUや、周辺ICを使用した場合のシリアル・バス構成例を図12-7に示します。

SBIでは、シリアル・データ・バス端子SBO端子は、オープン・ドレーン出力になっているため、シリアル・データ・バス・ラインは、ワイアード・オア状態になります。また、シリアル・データ・バス・ラインには、プルアップ抵抗が必要です。

図 12-7 SBIによるシリアル・バス構成例



注意 マスタ/スレーブの交換処理を行う場合は、シリアル・クロック・ライン ($\overline{\text{SCK}}$) の入力/出力の切り替えがマスタ、スレーブ間で非同期に行われるため、シリアル・クロック・ライン ($\overline{\text{SCK}}$) にもプルアップ抵抗が必要となります。

12.5.2 シリアル・インタフェースの構成

図12-9に、 μ PD78234の回路構成図を示します。

シリアル・クロック端子 ($\overline{\text{SCK}}$) と、シリアル・データ・バス端子SBOの構成は、次のようになっています。

- (1) $\overline{\text{SCK}}$ シリアル・クロックを入出力するための端子
 - ・ マスタCMOS, プッシュプル出力
 - ・ スレーブシュミット入力
- (2) SBOシリアル・データの入出力兼用端子
 - マスタ, スレーブともに出力はN-chオープン・ドレイン, 入力は, シュミット入力

シリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図 12-8 端子構成図

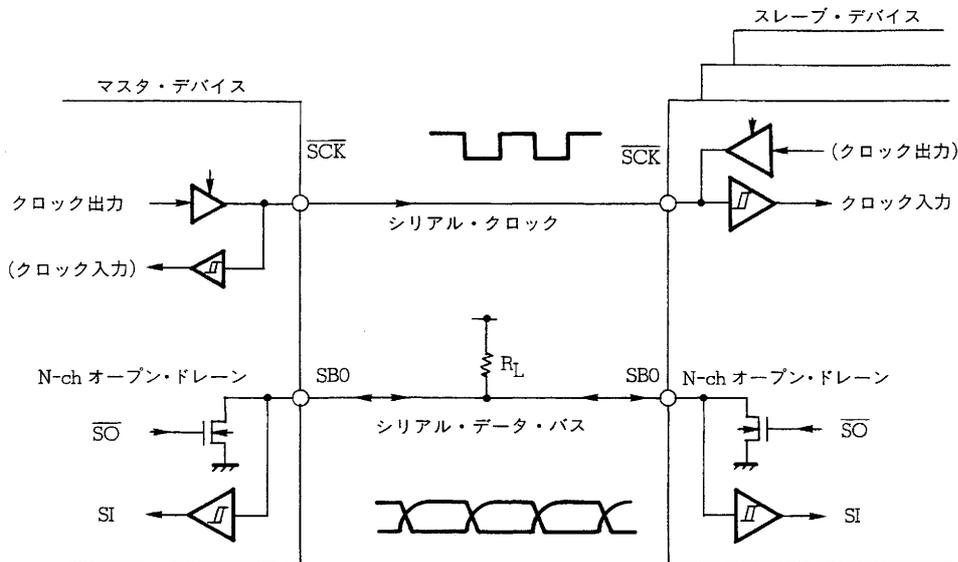
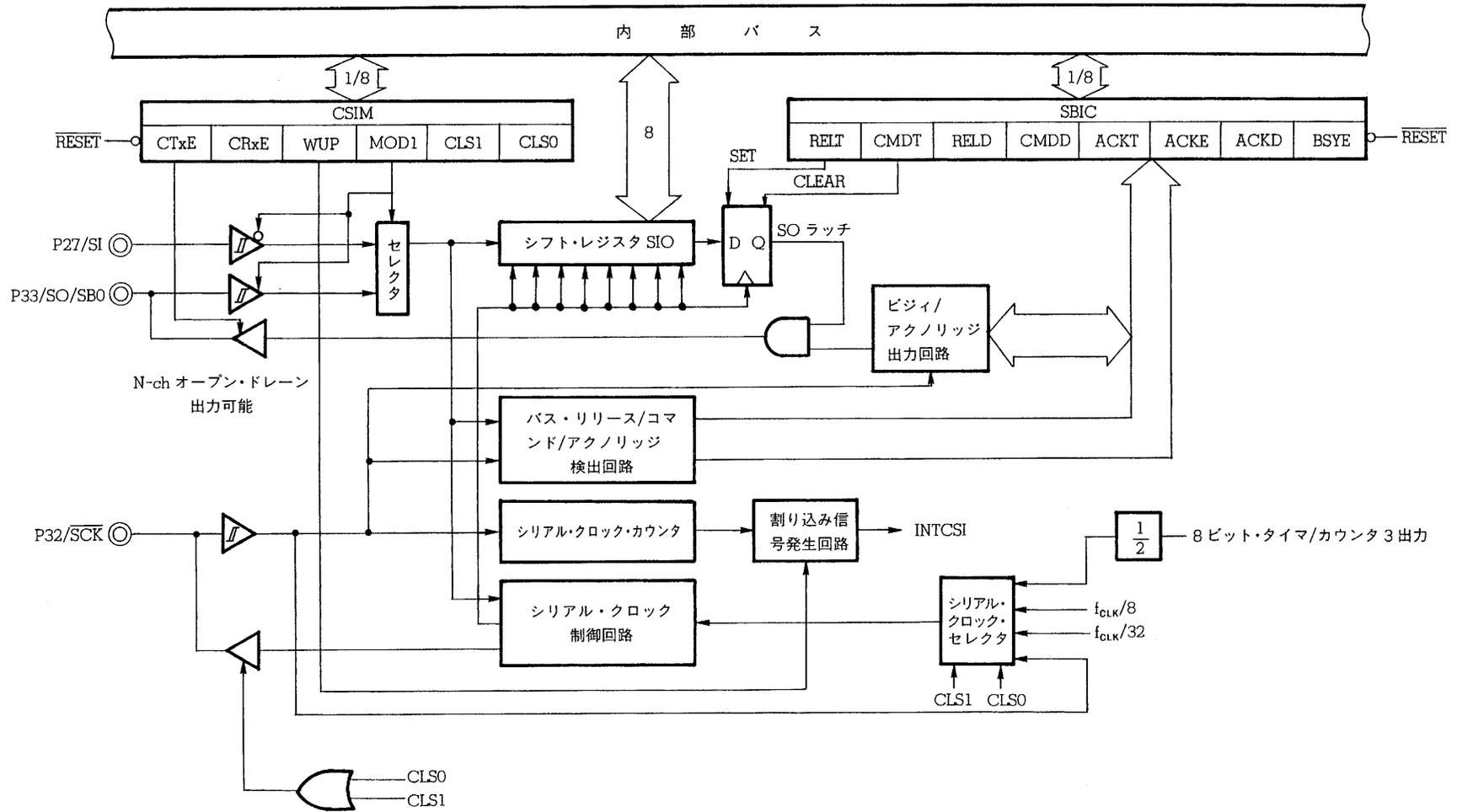


図 12-9 クロック同期式シリアル・インタフェースのブロック図



12.5.3 アドレスの一致検出方法

SBIの通信では、マスタのアドレス送信により、特定のスレーブ・デバイスを選択し、通信がスタートされます。

スレーブ・デバイスのアドレス一致の検出は、ソフトウェアで行います。ウェイク・アップ状態(WUP=1)では、スレーブはアドレス受信時のみ、シリアル転送完了割り込み要求を発生します。

ソフトウェアによる一致アドレス受信処理では、ウェイク・アップ状態を解除(WUP←0)し、以後の「コマンド」、「データ」の受信に備えます。

12.5.4 SBIモードの制御レジスタ

(1) クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM)

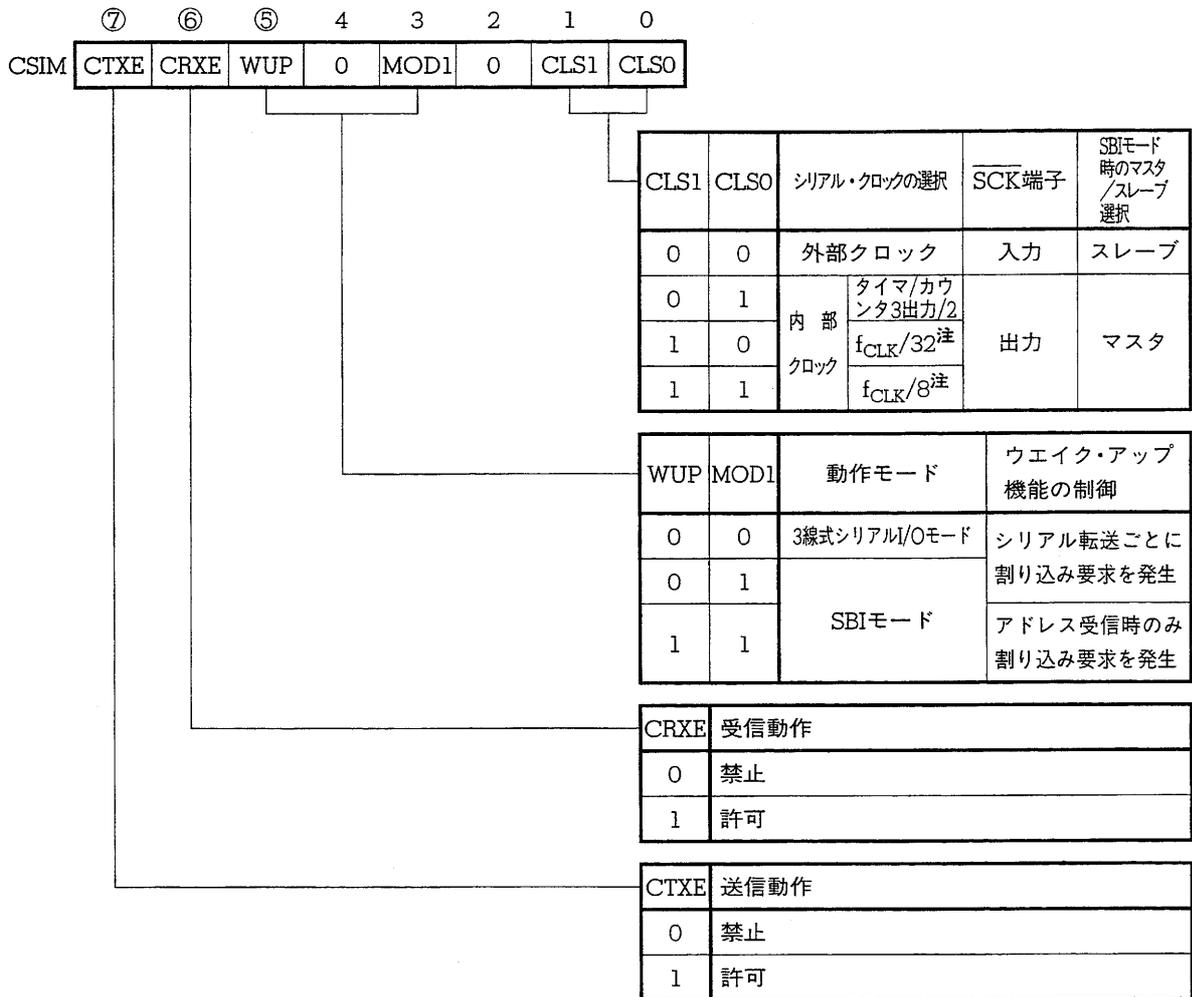
CSIMレジスタは、シリアル・インタフェースの動作モード、シリアル・クロック、ウェイク・アップ機能などを指定する8ビット・レジスタです。

CSIMレジスタのフォーマットを、図12-10に示します。

8ビット操作命令とビット操作命令でリード/ライトが可能です。しかし、ビット単位にリード/ライトの属性があります。

CSIMレジスタの値は、 $\overline{\text{RESET}}$ 入力によりOOHになります。

図 12-10 クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM)のフォーマット



注 f_{CLK} : 内部システム・クロック

注意 CTXE=0, CRXE=1の状態からCTXE=1, CRXE=0へ変更する場合、およびCTXE=1, CRXE=0の状態からCTXE=0, CRXE=1へ変更する場合は、1命令で行わないようにしてください。シリアル・クロック・カウンタが誤動作し、変更後の1回目の通信が8ビット未満で終了してしまいます。次のように2命令に分けて変更してください。

例 CTXE=1, CRXE=0をCTXE=0, CRXE=1に変更する場合

CLR1 CTXE

SET1 CRXE

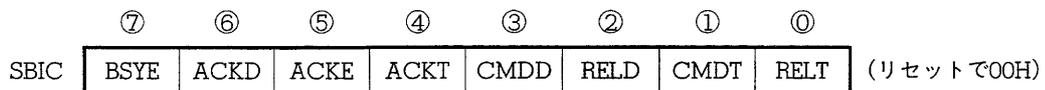
(2) シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)

シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) は、シリアル・バスの状態を制御するビットとシリアル・バスからの入力データの各種状態を示すフラグから構成される8ビット・レジスタです。

8ビット操作命令およびビット操作命令で、リード/ライトが可能です。ただし、ビットによってリード/ライト動作の可否は、異なります。フォーマットを図12-11に示します。

SBICレジスタの値はRESET入力により00Hになります。

図 12-11 SBICレジスタのフォーマット (1/2)



バス・リリース・トリガ・ビット (W)

RELT	バス・リリース信号 (REL) のトリガ出力制御ビット。セットすることにより、SOラッチがセット(1)され、その後、RELTビットは自動的にクリア (0) されます。
------	---

コマンド・トリガ・ビット (W)

CMDT	コマンド信号 (CMD) のトリガ出力制御ビット。セットすることにより、SOラッチがクリア (0) され、その後、CMDTビットは自動的にクリア (0) されます。
------	--

バス・リリース検出フラグ (R)

RELD	クリアされる条件 (RELD=0)	セットされる条件 (RELD=1)
	<ul style="list-style-type: none"> ① 転送スタート命令実行時 ② リセット入力時 ③ CTXE=CRXE=0 	バス・リリース信号 (REL) 検出時

コマンド検出フラグ (R)

CMDD	クリアされる条件 (CMDD=0)	セットされる条件 (CMDD=1)
	<ul style="list-style-type: none"> ① 転送スタート命令実行時 ② バス・リリース信号 (REL) 検出時 ③ リセット入力時 ④ CTXE=CRXE=0 	コマンド信号 (CMD) 検出時

図 12-11 SBICレジスタのフォーマット (2/2)

アクノリッジ・トリガ・ビット (W)

ACKT	転送終了時にセットすると、次のSCKに同期してACKが出力されます。ACK信号出力後、自動的にクリア (0) されます。 注意 ① シリアル転送終了前にセット(1)しないでください。 ② ACKTは、ソフトウェアでクリアすることはできません。 ③ ACKTをセットするときは、ACKE=0にしてください。
------	---

アクノリッジ許可ビット (R/W)

ACKE	0	アクノリッジ信号の自動出力を禁止	
	1	転送完了前	9クロック目のSCKに同期してACKを出力
		転送完了後	セット命令実行直後のSCKに同期してACKを出力

アクノリッジ検出フラグ (R)

ACKD	クリアされる条件 (ACKD=0)	セットされる条件 (ACKD=1)
	① 転送スタート命令実行後、ビジー解除後の1回目のSCKの立ち下がり時 ② リセット入力時 ③ CTXE=CRXE=0 ④ バス・リリース検出時 (スレーブ・モード時のみ)	アクノリッジ信号 (ACK) 検出時

ビジー許可ビット (R/W)

BSYE	0	① ビジー信号の自動出力禁止 ② クリア命令実行直後の、SCKの立ち下がりに同期して、ビジー信号の出力を停止
	1	アクノリッジ信号に続きSCKの立ち下がりに同期して、ビジー信号を出力

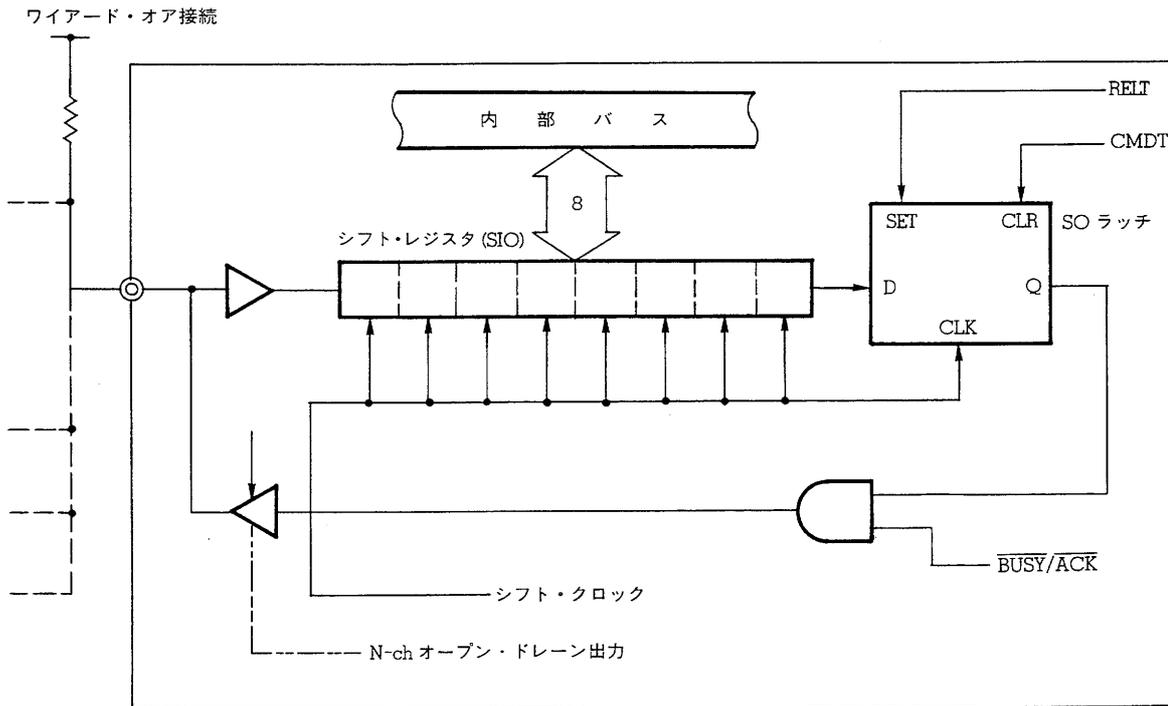
- 備考 (R) : 読み出しのみ可能
 (W) : 書き込みのみ可能
 (R/W) : 読み出し/書き込みともに可能

(3) シフト・レジスタ (SIO)

パラレル-シリアルの変換を行うための8ビット・シフト・レジスタです。

SIOに書き込まれたデータが、シリアル・データ・バスに出力されます。また、シリアル・データ・バスからSIOにデータが読み込まれます。図12-12にシフト・レジスタ周辺の構成を示します。

図 12-12 シフト・レジスタ周辺の構成



SBIのデータ・バス構成は、入力端子と出力端子が兼用です。出力端子はN-chオープン・ドレイン構成で、外部のプルアップ抵抗により、ワイアード・オア構成を取ります。したがって、これから受信を行おうとするデバイスは、シフト・レジスタ (SIO) にFFHを設定するか、送信禁止に設定しなければなりません。

12.6 SBIの通信動作と各種信号

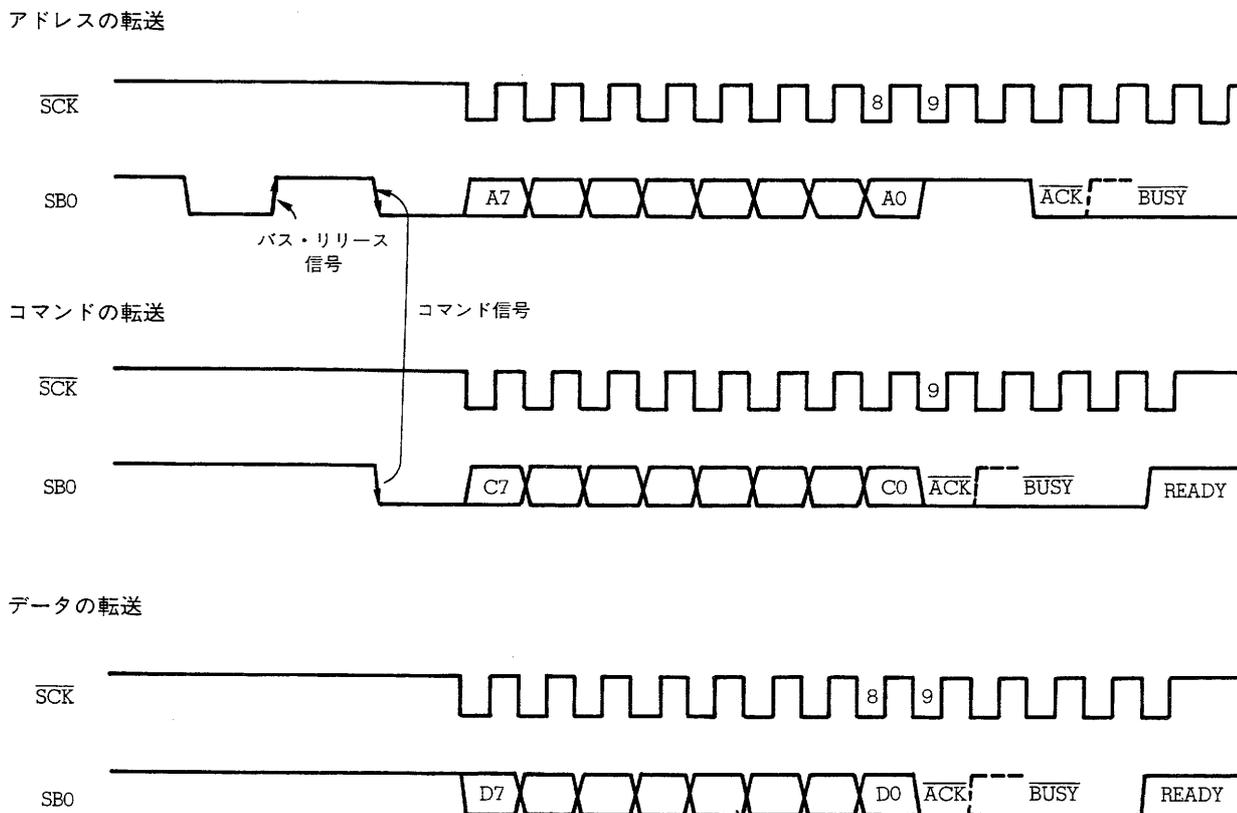
ここでは、SBIシリアル・データのフォーマットおよび、使用する信号の意味について説明します。

SBIで転送されるシリアル・データは、「アドレス」、「コマンド」、「データ」の3種類に区別されます。また、シリアル・データは、以下の構成で1フレームを形成します。

$$\text{(バス・リリース信号)} + \text{(コマンド信号)} + 8\text{ビット・データ} + \overline{\text{ACK}} + \text{(BUSY)}$$

図 12-13に、アドレス、コマンド、およびデータの転送タイミングを示します。

図 12-13 SBI転送のタイミング



バス・リリース信号およびコマンド信号はマスタが出力します。また、 $\overline{\text{BUSY}}$ はスレーブが出力します。

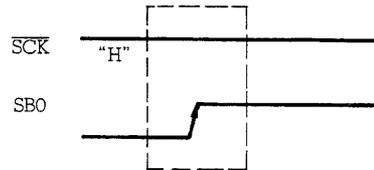
$\overline{\text{ACK}}$ はマスタ、スレーブのどちらでも出力できます（通常、8ビット・データの受信側が出力します）。

シリアル・クロックは、8ビット・データ転送開始から、 $\overline{\text{BUSY}}$ が解除されるまで、マスタが出力し続けます。

12.6.1 バス・リリース信号 (REL)

バス・リリース信号は、 $\overline{\text{SCK}}$ ラインがハイ・レベルのとき（シリアル・クロックが出力されていない場合）に、SBOラインがロウ・レベルからハイ・レベルに変化した信号です。この信号は、マスタが出力します。

図 12-14 バス・リリース信号

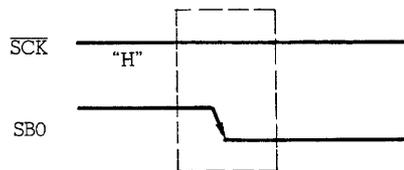


バス・リリース信号は、これからマスタがスレーブに対してアドレスを送信することを示すものです。スレーブは、バス・リリース信号を検出するハードウェアを内蔵しています。

12.6.2 コマンド信号 (CMD)

コマンド信号は、 $\overline{\text{SCK}}$ ラインが、ハイ・レベルのとき（シリアル・クロックが出力されていない場合）に、SBOラインがハイ・レベルからロウ・レベルに変化した信号です。この信号は、マスタが出力します。

図 12-15 コマンド信号

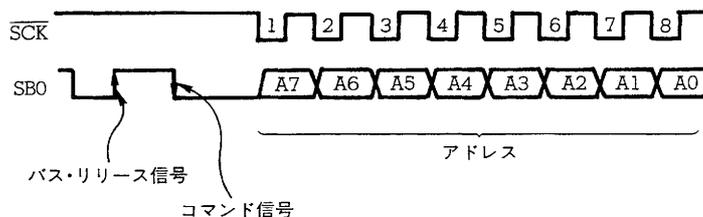


スレーブは、コマンド信号を検出するハードウェアを内蔵しています。

12.6.3 アドレス

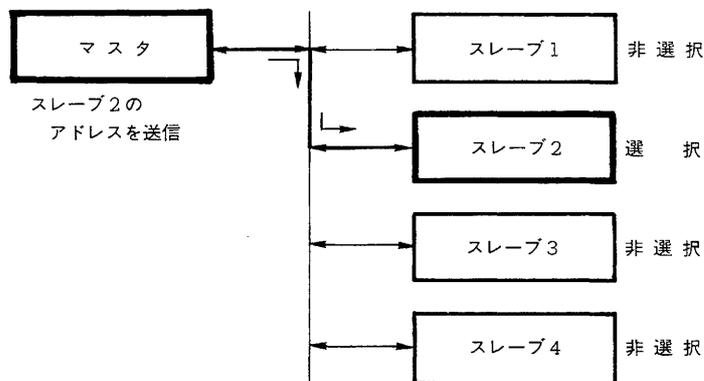
アドレスは、マスタがバス・ラインに接続されているスレーブに対して、特定のスレーブを選択するために出力する8ビット・データです。

図 12-16 アドレス



バス・リリース信号、コマンド信号に続く8ビット・データはアドレスと定義されています。スレーブでは、ハードウェアでこの条件を検出し、8ビット・データが自分の指定番号（スレーブ・アドレス）と一致しているかをソフトウェアまたはハードウェアでチェックします。このとき、8ビット・データと、スレーブ・アドレスが一致すると、そのスレーブが選択されたことになり、以後、マスタから切り離し指示があるまで、マスタとの通信を行います。

図 12-17 アドレスによるスレーブの選択



12.6.4 コマンド, データ

アドレスの送信により選択したスレーブに対して、マスタはコマンドの送信や、データの送受信を行います。

図 12-18 コマンド

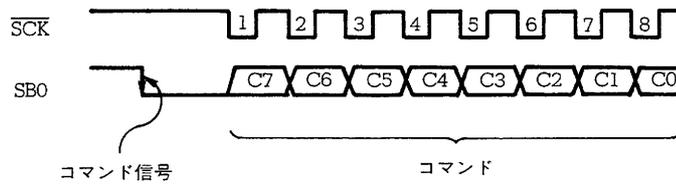
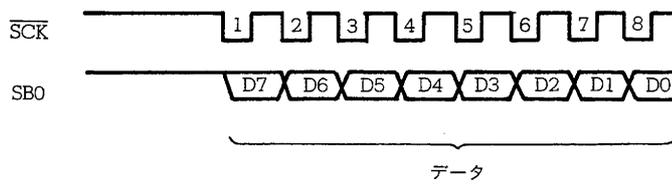


図 12-19 データ



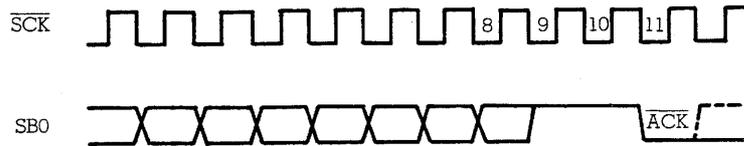
コマンド信号の次の8ビット・データはコマンドと定義されています。コマンド信号なしの8ビット・データはデータと定義されています。コマンド、データの使用方法は、通信の仕様によって任意に決定することができます。

12.6.5 アクノリッジ信号 ($\overline{\text{ACK}}$)

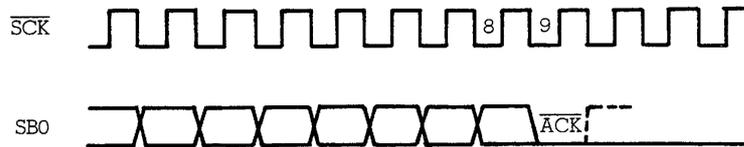
アクノリッジ信号は、送信側と受信側の間における、データ受信の確認のための信号です。

図12-20 アクノリッジ信号

〔11クロック目の $\overline{\text{SCK}}$ に同期して出力した場合〕



〔9クロック目の $\overline{\text{SCK}}$ に同期して出力した場合〕



アクノリッジ信号は、8ビット・データ転送後の $\overline{\text{SCK}}$ の立ち下がりに同期したワンショット・パルスで、その位置は任意で何クロック目の $\overline{\text{SCK}}$ に同期させてもかまいません。

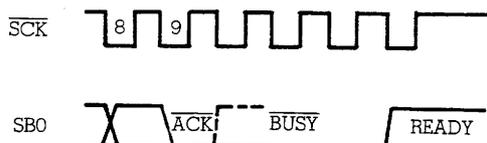
送信側は、8ビット・データ送信後、受信側がアクノリッジ信号を返したかをチェックします。データ送信後、一定時間、アクノリッジ信号が返らない場合は、受信が正しく行われなかったものと判断することができます。

12.6.6 ビジィ信号 ($\overline{\text{BUSY}}$) , レディ信号 (READY)

ビジィ信号は、スレーブがデータの送受信のための準備中であることをマスタに知らせるための信号です。

レディ信号は、スレーブがデータの送受信が可能であることをマスタに知らせるための信号です。

図 12-21 ビジィ信号, レディ信号



SBIでは、スレーブが、 SBO ラインをロウ・レベルにすることにより、マスタにビジィ状態を知らせます。

ビジィ信号は、マスタ、またはスレーブの出力したアクノリッジ信号に引き続いて出力させます。ビジィ信号は、 $\overline{\text{SCK}}$ の立ち下がりに同期して、設定／解除を行います。マスタは、ビジィ信号が解除されると自動的にシリアル・クロック $\overline{\text{SCK}}$ の出力を終了します。

マスタは、ビジィ信号が解除され、レディ信号の状態になると次の転送を開始することができます。

12.6.7 各種信号

SBIにおける、各種の信号と、SBIC上のフラグの動作について図12-22から図12-26に示します。また、SBIの各種の信号の一覧を表12-2に示します。

図 12-22 RELT, CMDT, RELD, CMDDの動作

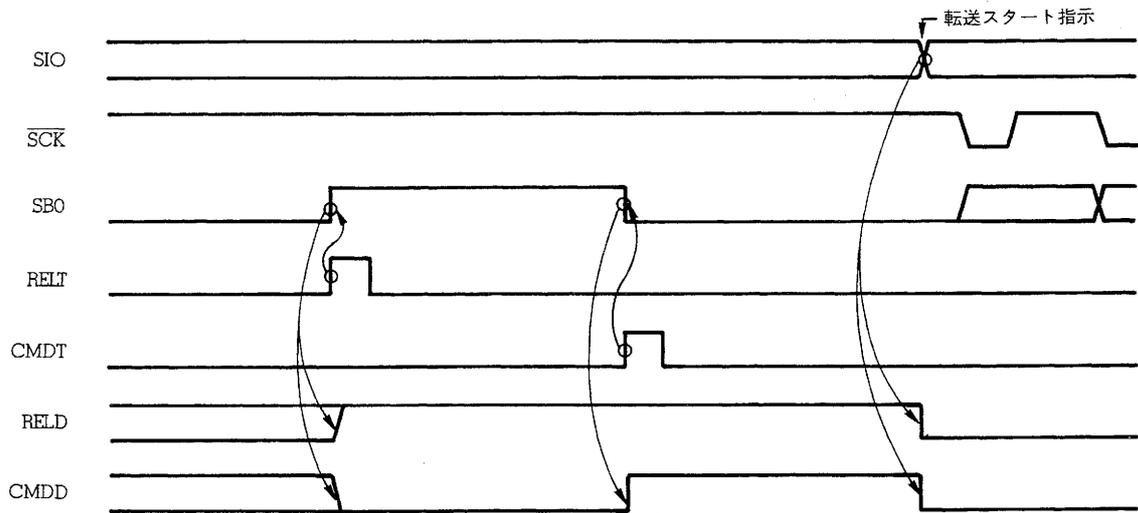
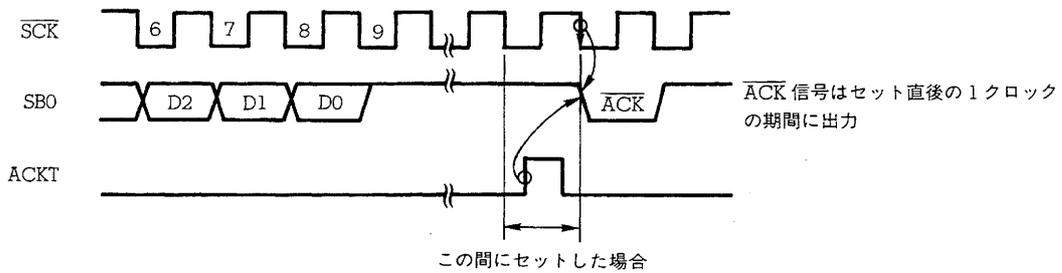


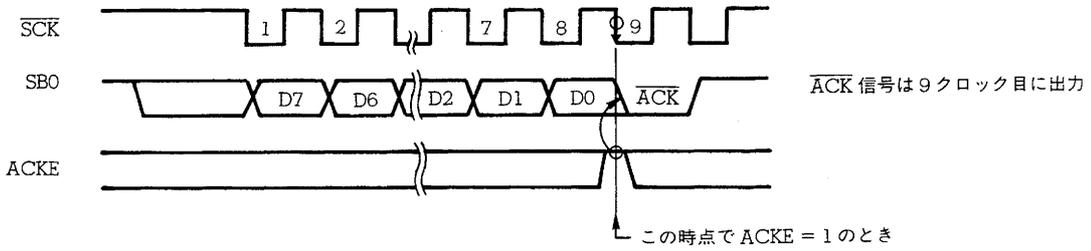
図 12-23 ACKTの動作



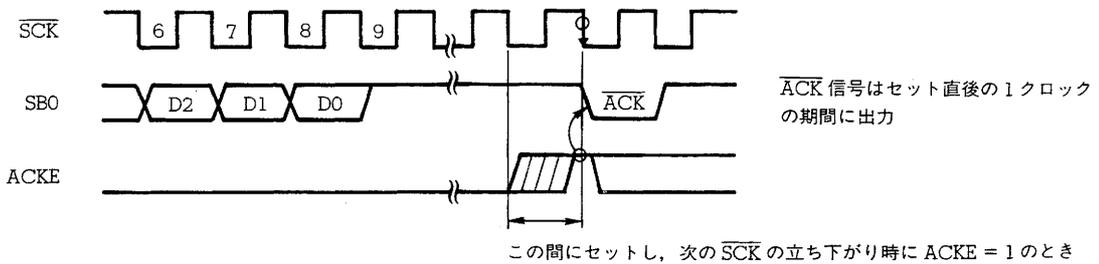
注意 ACKTは転送終了前にはセットしないでください。

図 12-24 ACKE の動作

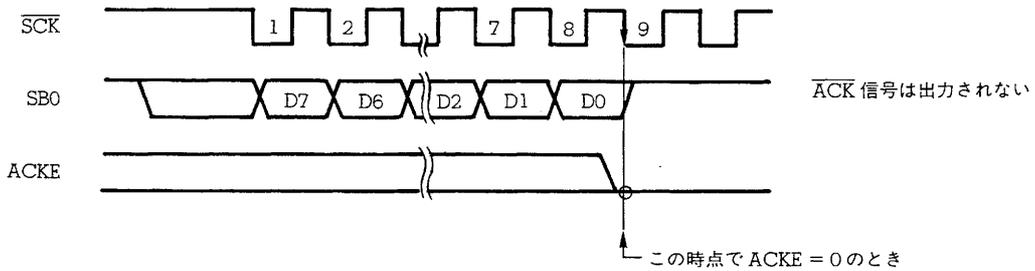
(a) 転送完了時には $ACK_E = 1$ の場合



(b) 転送完了後にセットした場合



(c) 転送完了時に $ACK_E = 0$ の場合



(d) $ACK_E = 1$ の期間が短い場合

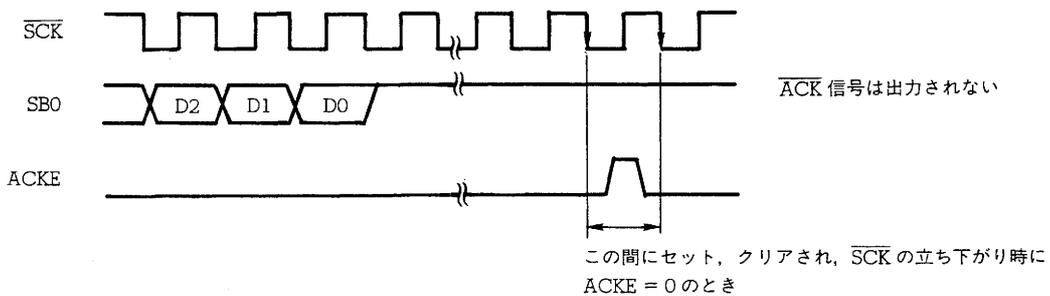
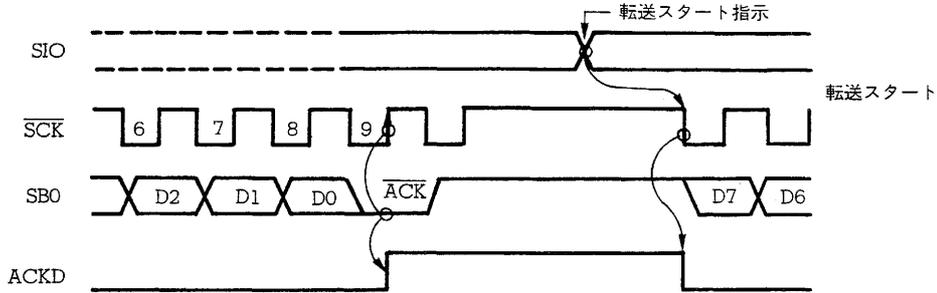
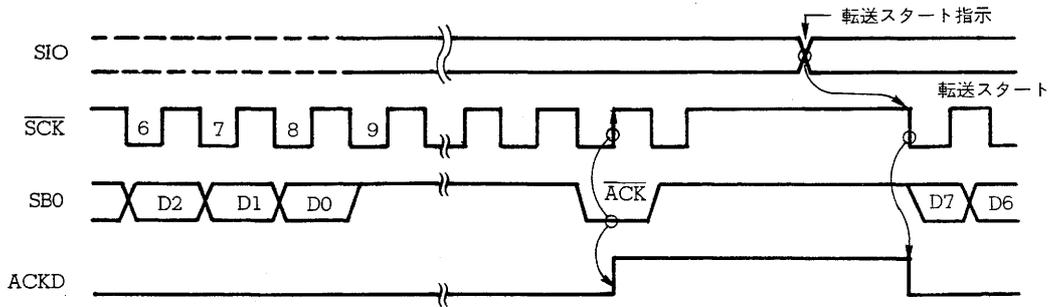


図 12-25 ACKDの動作

(a) \overline{SCK} の 9 クロック目の間に \overline{ACK} 信号が出力された場合



(b) \overline{SCK} の 9 クロック目以降に \overline{ACK} 信号が出力された場合



(c) BUSY中に転送スタート指示した場合のクリアのタイミング

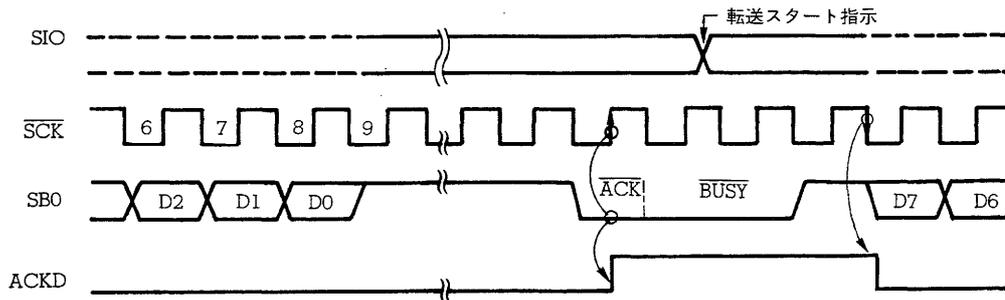


図 12-26 BSYEの動作

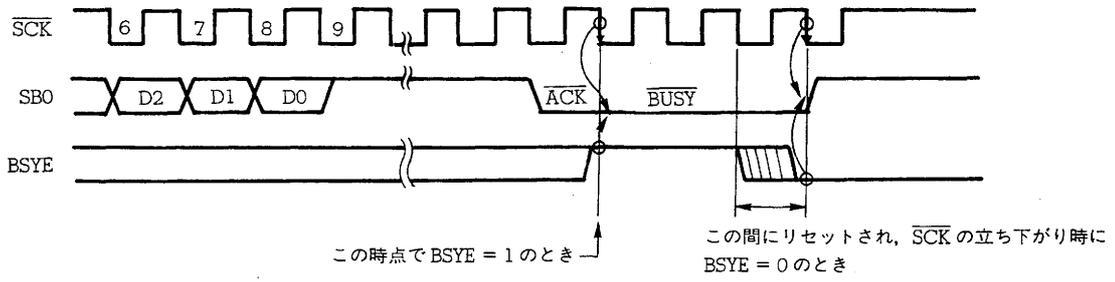


表 12-2 SBIにおける各種の信号 (1/3)

信号名称	出力するデバイス	定義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
バス・リリース信号 (REL)	マスタ	$\overline{SCK}=1$ のときの、SBOの立ち上がりエッジ	<p>The chart shows two signals: \overline{SCK} and SBO. \overline{SCK} is a constant high signal labeled "H". SBO is a low signal that transitions to high at a specific point in time.</p>	・ RELTのセット	・ RELDをセット ・ CMDDをクリア	続いてCMD信号を出力し、送信データがアドレスであることを示す。
コマンド信号 (CMD)	マスタ	$\overline{SCK}=1$ のときの、SBOの立ち下がりエッジ	<p>The chart shows two signals: \overline{SCK} and SBO. \overline{SCK} is a constant high signal labeled "H". SBO is a high signal that transitions to low at a specific point in time.</p>	・ CMDTのセット	・ CMDDをセット	(1) REL信号出力後送信データはアドレス。 (2) REL信号出力なしの場合、送信データはコマンド。

表 12-2 SBIにおける各種の信号 (2/3)

信号名称	出力するデバイス	定 義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
アクリッジ信号 (ACK)	マスタ/スレーブ	シリアル受信完了後, <u>SCK</u> の1クロックの期間のSBOに出力されるロウ・レベルの信号。		① ACKE=1 ② ACKTのセット	・ACKDをセット	受信完了
ビジー信号 (BUSY)	スレーブ	アクリッジ信号に続いてSBOに出力されるロウ・レベルの信号。		・BSYE=1	—	処理中のため, シリアル送受信不可能状態。
レディ信号 (READY)	スレーブ	シリアル転送開始前, 完了後, SBOに出力されるハイ・レベルの信号。		① BSYE=0 ② CTXE=1のときの, SIOへのデータ書き込み (シリアル転送スタート指示)注2 ③ CTXE=0, CRXE=1のときのSIOからのデータ読み出し命令実行 ④ CRXEビットの0から1への変化	—	シリアル送受信可能状態。

表12-2 SBIにおける各種の信号 (3/3)

信号名称	出力するデバイス	定義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
シリアル・クロック (SCK)	マスタ	アドレス/コマンド/データ, ACK信号, 同期BUSY信号などの出力のための同期クロック。最初の8個でアドレス/コマンド/データを転送する。		① CTXE=1のときのSIOへのデータ書き込み命令実行 (シリアル転送スタート指示)注2 ② CTXE=0, CRXE=1のときのSIOからのデータ読み出し命令実行 ③ CRXEビットの0から1への変化	CSIIFをセット (8クロック目の立ち上がり)注1	シリアル・データ・バスへの信号出力のタイミング
アドレス (A7-A0)	マスタ	REL信号, CMD信号出力後に, SCKに同期して転送される8ビット・データ				シリアル・バス上のスレーブ・デバイスのアドレス値
コマンド (C7-C0)	マスタ	REL信号は出力されず, CMD信号のみ出力されたのち, SCKに同期して転送される8ビット・データ。				スレーブ・デバイスへの指示やメッセージなど
データ (D7-D0)	マスタ/スレーブ	REL信号, CMD信号ともに出力されず, SCKに同期して転送される8ビット・データ。				スレーブまたはマスタが処理するデータ

注1. WUP=0のとき, 常にSCKの8クロック目の立ち上がりでCSIIFをセットする。

WUP=1のとき, アドレスを受信したときのみ, SCKの8クロック目の立ち上がりでCSIIFをセットする。

2. データ送受信の場合, BUSY状態のときは, READY状態になったのち, 転送スタートする。

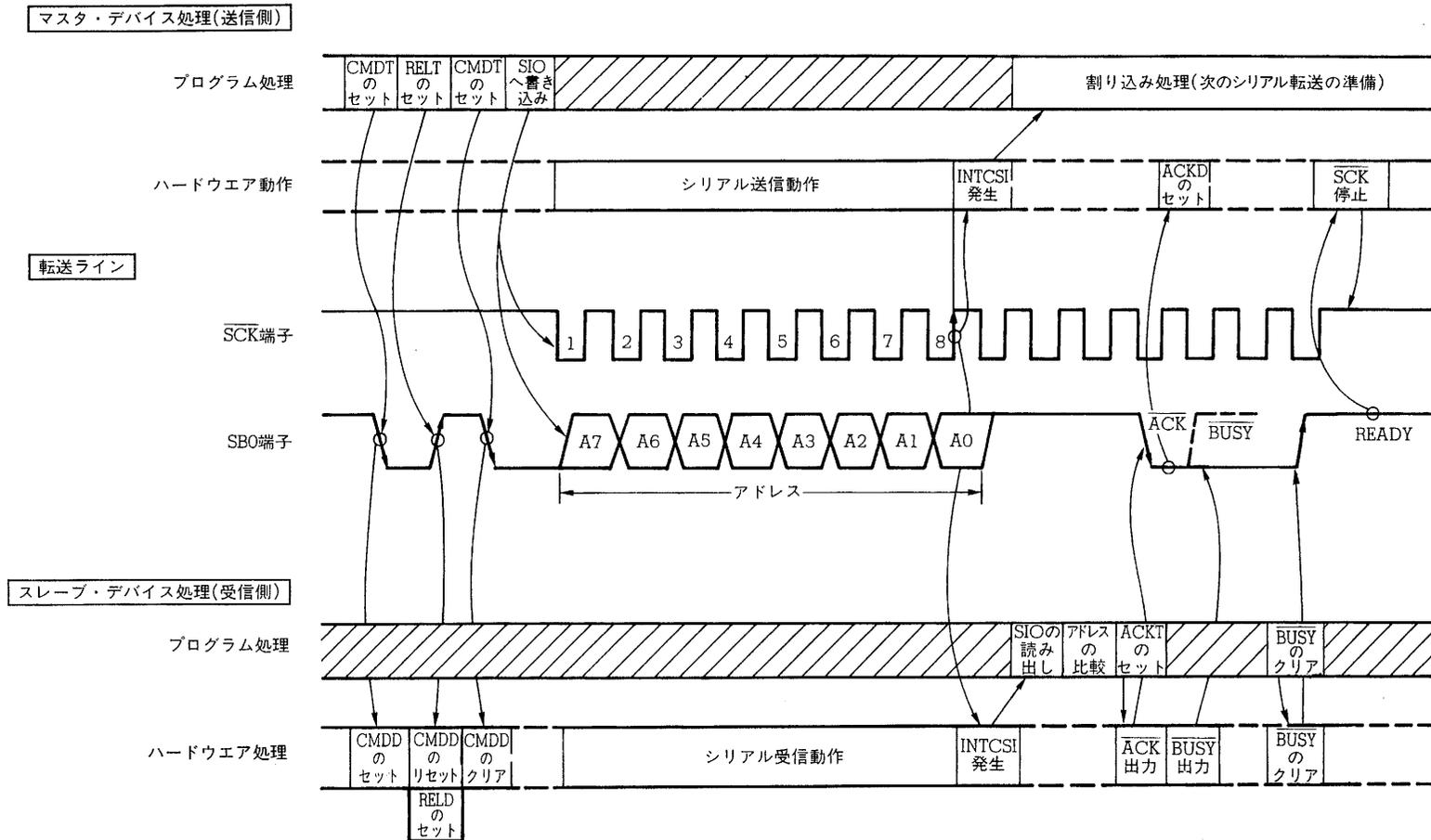
12.6.8 通信動作

SBIでは、マスタがシリアル・バス上に「アドレス」を出力することで複数のデバイスのうち、通信対象となるスレーブ・デバイスを通常1つ選択します。

通信対象デバイスを決定したのちに、マスタ・デバイスとスレーブ・デバイスとの間で、コマンド、データの送受信を行い、シリアル通信を実現します。

各データの通信のタイミング・チャートを図12-27から図12-30に示します。

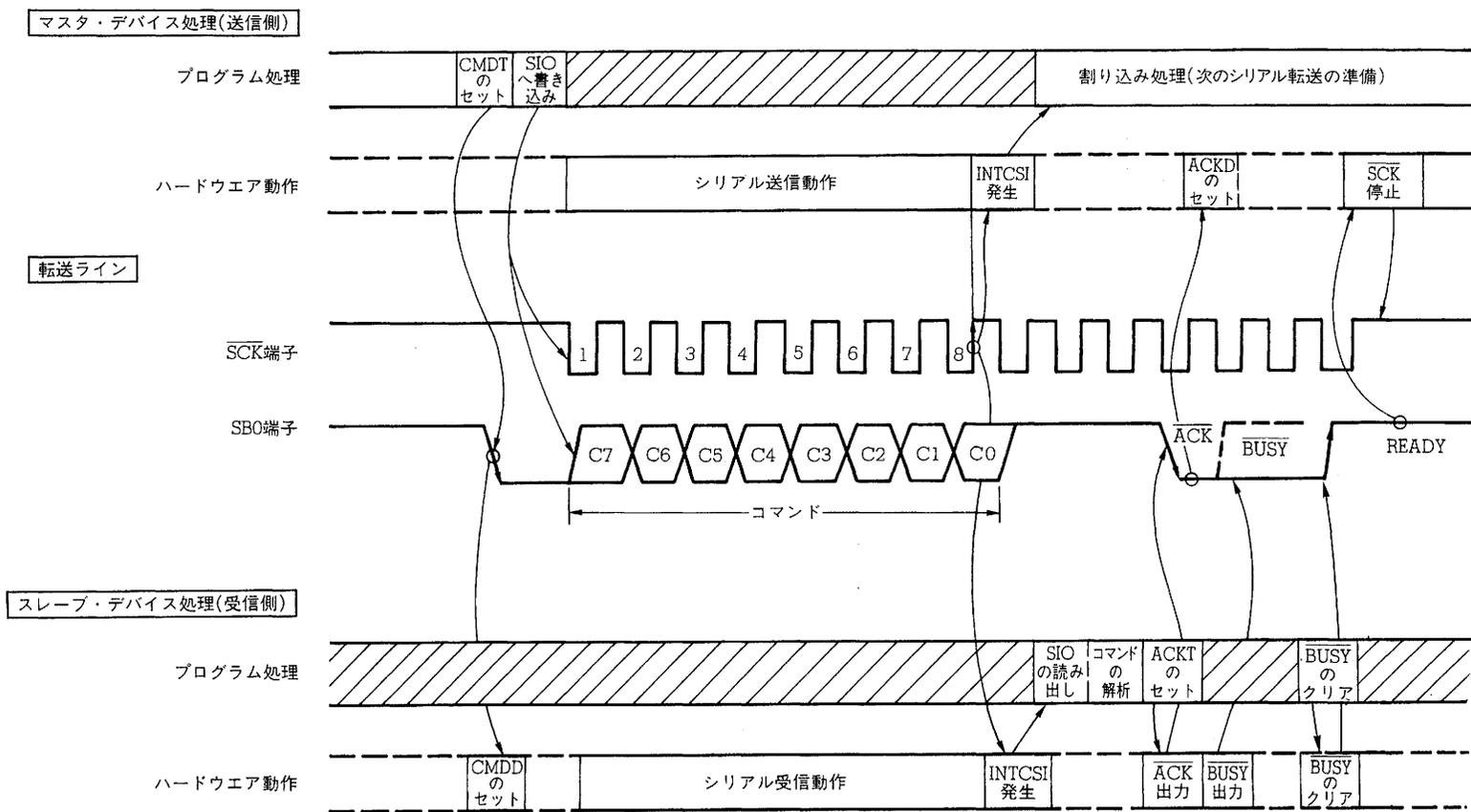
図 12-27 マスタ・デバイスからスレーブ・デバイスへのアドレス送信動作



備考 本タイミングは下記の条件の場合

- ・ マスタは送信のみ許可
- ・ スレーブは受信のみ許可, ACKE=0, BSYE=1

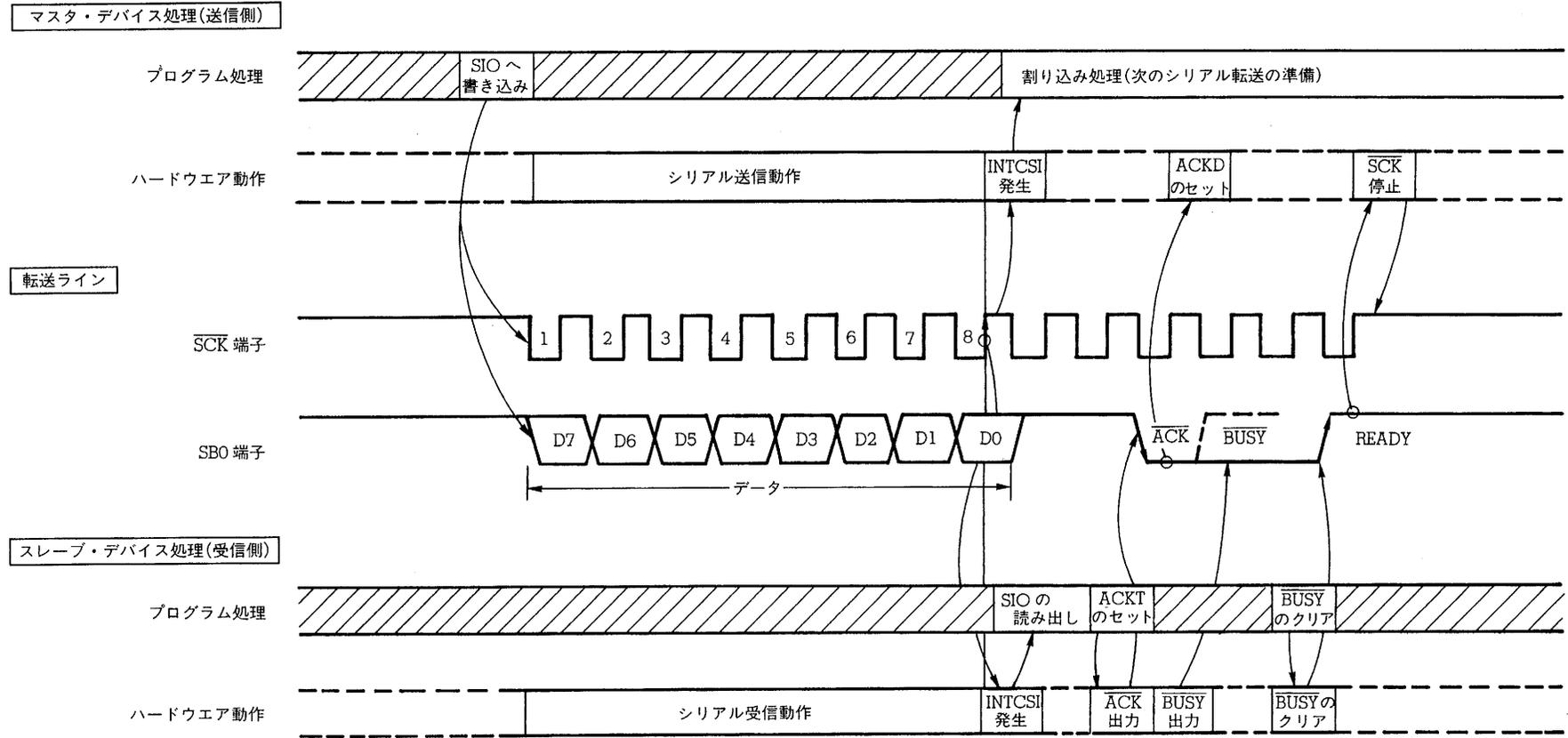
図 12-28 マスタ・デバイスからスレーブ・デバイスへのコマンド送信動作



備考 本タイミングは下記の条件の場合

- ・ マスタは送信のみ許可
- ・ スレーブは受信のみ許可, ACKE=0, BSYE=1

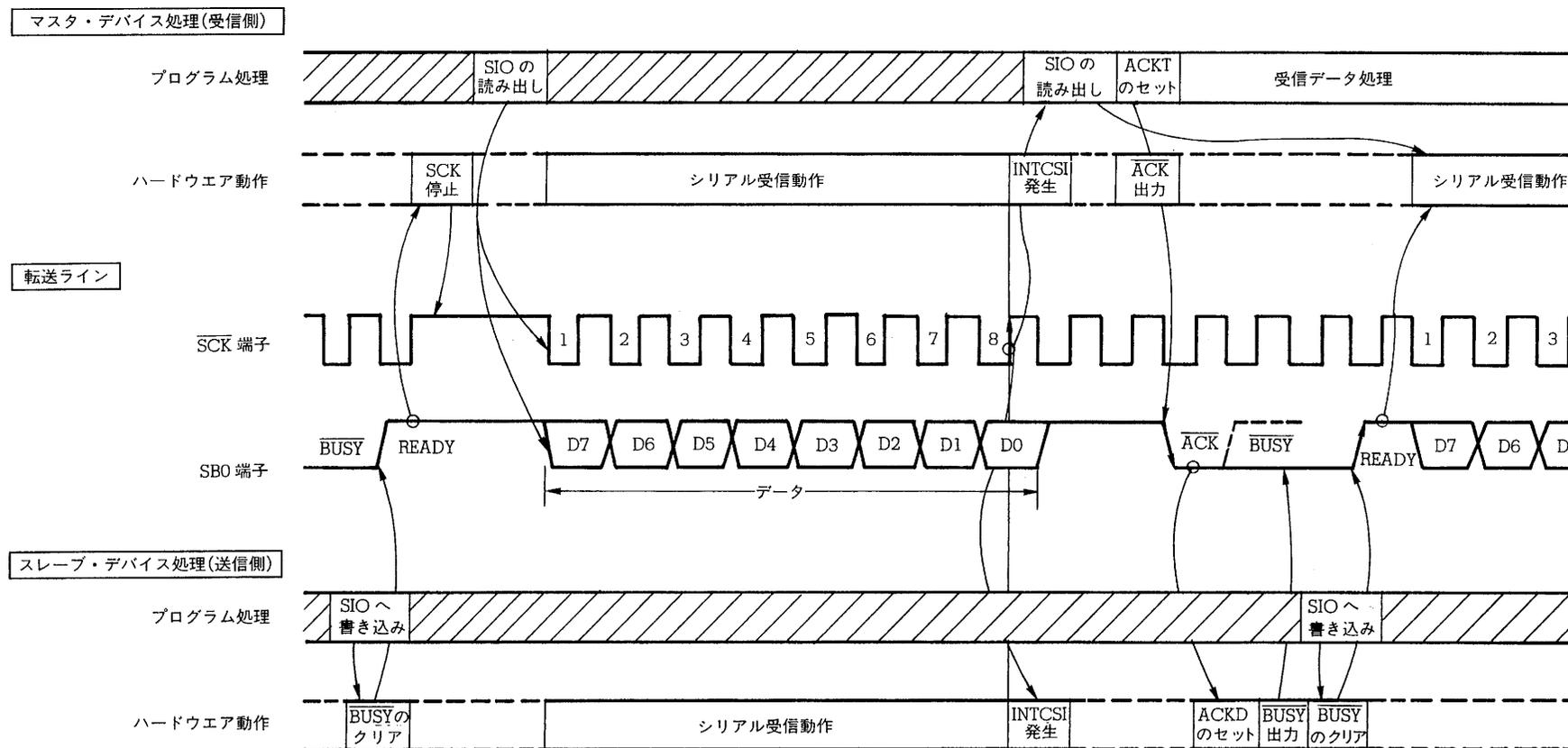
図 12-29 マスタ・デバイスからスレーブ・デバイスへのデータ送信動作



備考 本タイミングは下記の条件の場合

- ・ マスタは送信のみ許可
- ・ スレーブは受信のみ許可, ACKE=0, BSYE=1

図 12-30 スレーブ・デバイスからマスタ・デバイスへのデータ送信動作



備考 本タイミングは下記の条件の場合

- ・マスタは受信のみ許可, ACKE=0
- ・スレーブは送信のみ許可, BSYE=1

12.6.9 ビジィ解除方法

SBIのマクロ・サービスを併用した高速転送などを考慮して、送受信許可の状態によって、ビジィの解除条件が変わります。表12-3に $\overline{\text{BUSY}}$ 解除方法の一覧を示します。

表 12-3 $\overline{\text{BUSY}}$ 解除条件

送受信許可の状態		$\overline{\text{BUSY}}$ 解除条件
CTxE	CRxE	
0	0	なし
0	1	BSYE←0またはSIOリード・アクセス
1	0	BSYE←0またはSIOライト・アクセス注
1	1	

注 次の動作が受信の場合には、SIOに書き込む値はFFHを使用します。

12.6.10 ウェイク・アップ設定動作

ビジィ中のWUP←1は、READY状態となり次第、ウェイク・アップ状態に設定されます。

ウェイク・アップ状態になると、アドレスを受信した場合のみ割り込み (INTCSI) を発生します。また、ウェイク・アップ状態では、アクリッジ ($\overline{\text{ACK}}$) 信号の検出を行いません。

12.6.11 送受信動作のスタート

送受信動作のスタートは、ビジィ解除方法と同じ方法で行います。送受信動作のスタートの指示があっても、スレーブがビジィ ($\overline{\text{BUSY}}$) 信号を出力している間は、送受信動作は保留され、ビジィが解除されるとスタートします。

12.7 注意事項

- (1) CTXE=0, CRXE=1の状態からCTXE=1, CRXE=0へ変更する場合、およびCTXE=1, CRXE=0の状態からCTXE=0, CRXE=1へ変更する場合は、1命令で行わないようにしてください。シリアル・クロック・カウンタが誤動作し、変更後の1回目の通信が8ビット未満で終了してしまいます。次のように2命令に分けて変更してください。

例 CTXE=1, CRXE=0をCTXE=0, CRXE=1に変更する場合

```
CLR1 CTXE
```

```
SET1 CRXE
```

- (2) マスタ/スレーブの交換処理を行う場合は、シリアル・クロック・ライン (\overline{SCK}) の入力/出力の切り替えがマスタ、スレーブ間で非同期に行われるため、シリアル・クロック・ライン (\overline{SCK}) にもプルアップ抵抗が必要となります。
- (3) ACKTは、転送終了前にはセットしないでください。

第 13 章 エッジ検出機能

P20-P26は、立ち上がりエッジ/立ち下がりエッジをプログラマブルに指定できるエッジ検出機能を有しており、検出したエッジを内部の各ハードウェアへ送っています。P20-P26端子と検出されたエッジの用途の関係を表13-1に示します。

表 13-1 P20-P26端子と検出エッジの用途

端子	用 途	検出エッジ指定レジスタ
P20	NMI, スタンバイ回路の制御	INTMO
P21	INTP0, 8ビット・タイマ/カウンタ1のキャプチャ信号 リアルタイム出力ポートのトリガ信号	
	P22	
P23	INTP2, CI (8ビット・タイマ/カウンタ2のカウント・クロック)	
P24	INTP3, 16ビット・タイマ/カウンタ0のキャプチャ信号	INTM1
P25	INTP4, ASCK(UARTの外部ポー・レート入力)	
P26	INTP5, A/Dコンバータの変換スタート信号	

エッジ検出機能は、STOPモード時を除いて常時動作しています(ただし、P20端子のエッジ検出機能はSTOPモード時も動作しています)。

13.1 外部割り込みモード・レジスタ (INTMO, INTM1)

外部割り込みモード・レジスタ (INTMO, INTM1) は、P20-P26端子で検出するエッジの有効エッジを指定するレジスタです。INTMOレジスタでP20-P23端子の有効エッジを指定し、INTM1レジスタでP24-P26端子での有効エッジを指定します。

なお、INTM1レジスタは、INTP4割り込みとINTC30割り込みの切り替えの制御も行っています(詳細は、第14章 割り込み機能参照)。また、ASCK入力は本レジスタの指定によらず常に両エッジの検出が行われます。

INTMO, INTM1レジスタは、8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。そのフォーマットを図13-1, 図13-2に示します。

$\overline{\text{RESET}}$ 入力でもOHになります。

図 13-1 外部割り込みモード・レジスタ0 (INTMO) のフォーマット

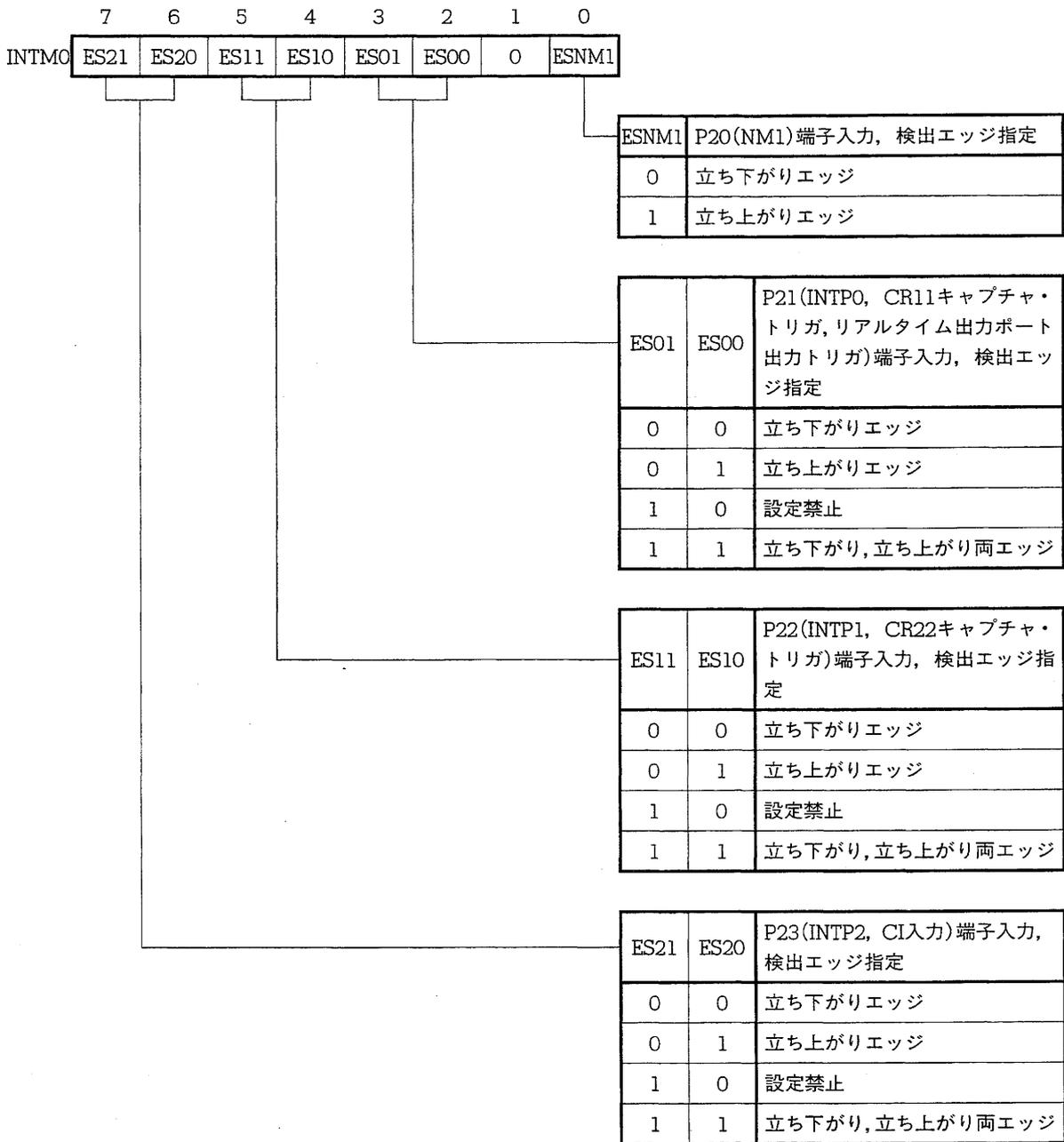
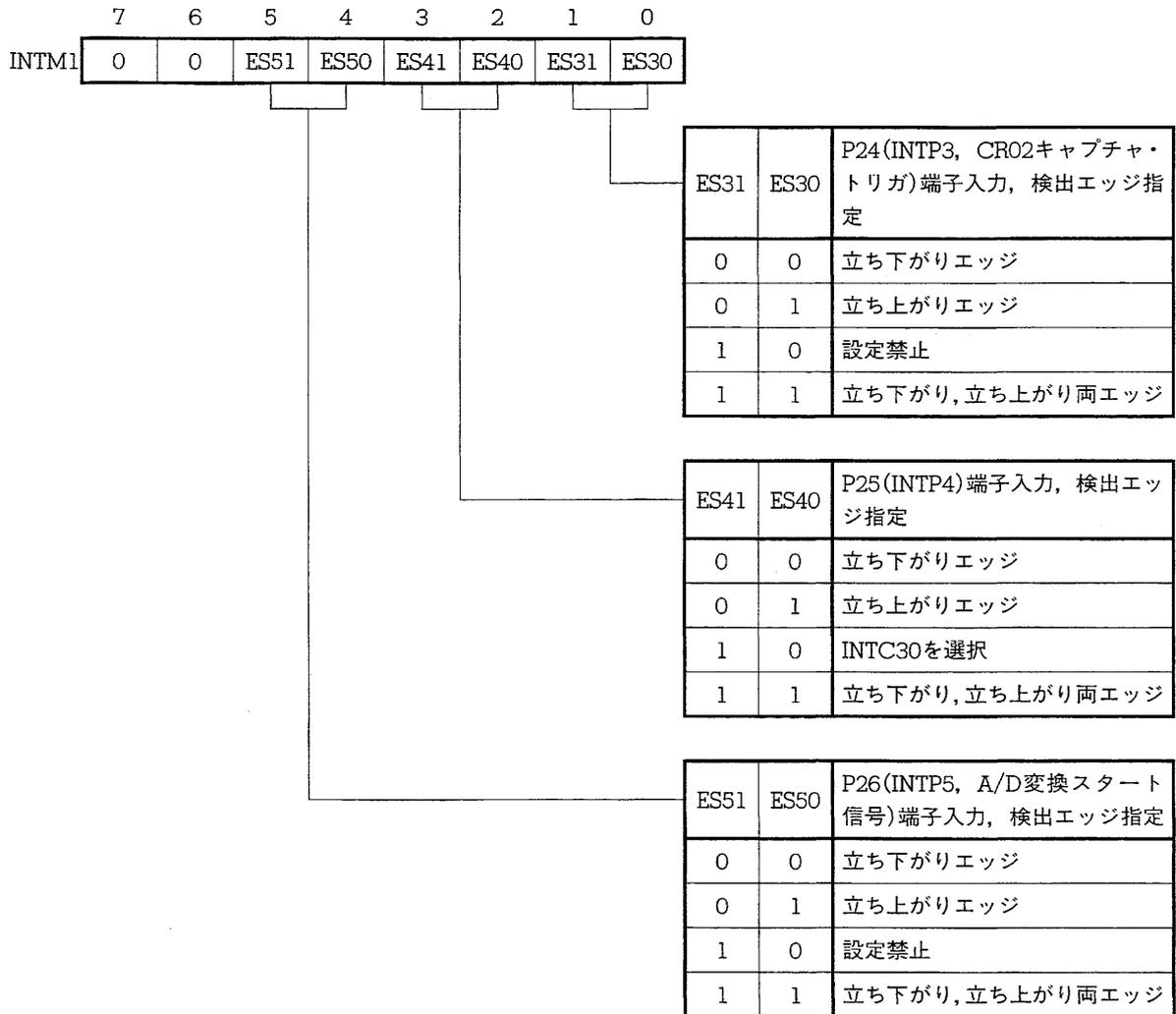


図 13-2 外部割り込みモード・レジスタ1 (INTM1) のフォーマット

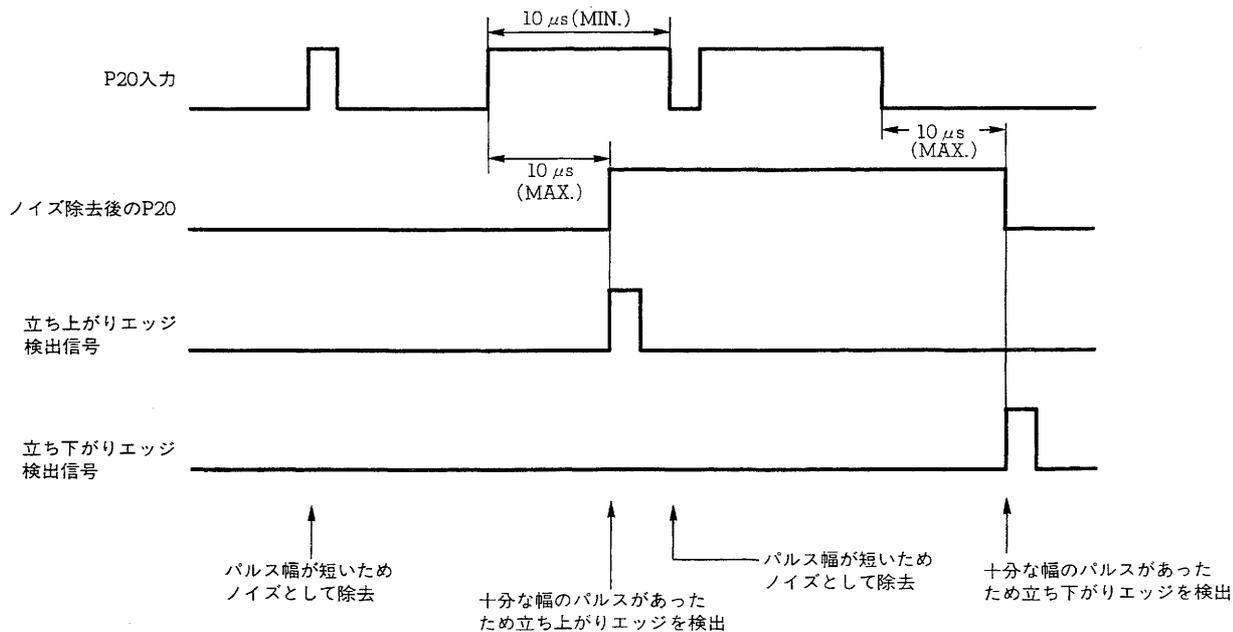


注意 INTMO, INTM1 レジスタへの書き込みによって有効エッジを変更したときには有効エッジの検出は行われません。また、有効エッジの変更中に、エッジが入力された場合は、そのエッジが有効エッジと判断されるか、有効でないエッジと判断されるかは不定です。

13.2 P20端子のエッジ検出

P20端子は、アナログ・ディレイによるノイズ除去後にエッジ検出を行っています。したがって、一定以上の時間幅（ $10\mu\text{s}$ ）のパルス幅がないとエッジを検出することができません。

図 13-3 P20端子のエッジ検出



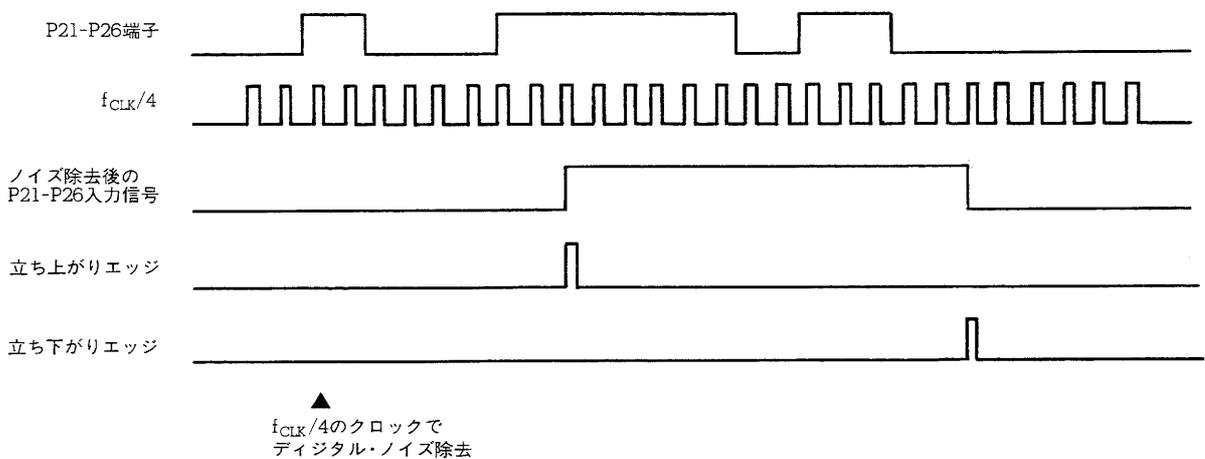
注意 P20端子にはアナログ・ディレイによるノイズ除去を行っているため、実際にエッジが入力されてから最大 $10\mu\text{s}$ 後にエッジが検出されます。また、P21-P26端子と異なり、デバイスごとの特性の違いにより、エッジが検出されるまでの遅延時間は一定の値とはなりません。

13.3 P21-P26端子のエッジ検出

P21-P26端子のエッジ検出は、クロック・サンプリングによるデジタル・ノイズ除去後に行われます。

デジタル・ノイズ除去は、 $f_{\text{CLK}}/4$ のクロックでサンプリングを行い、入力されているレベルが連続して3回以上同一でなければ（2回以下しか連続しなければ）ノイズとして除去されます。したがって、有効エッジと認められるためには、 $f_{\text{CLK}}/4$ のクロックで3周期以上の期間（ $2\mu\text{s} : f_{\text{CLK}}=6\text{MHz}, f_{\text{CLK}}=\frac{1}{2}f_{\text{XX}}, f_{\text{XX}}=12\text{MHz}$ ）レベルを保持しなければなりません。

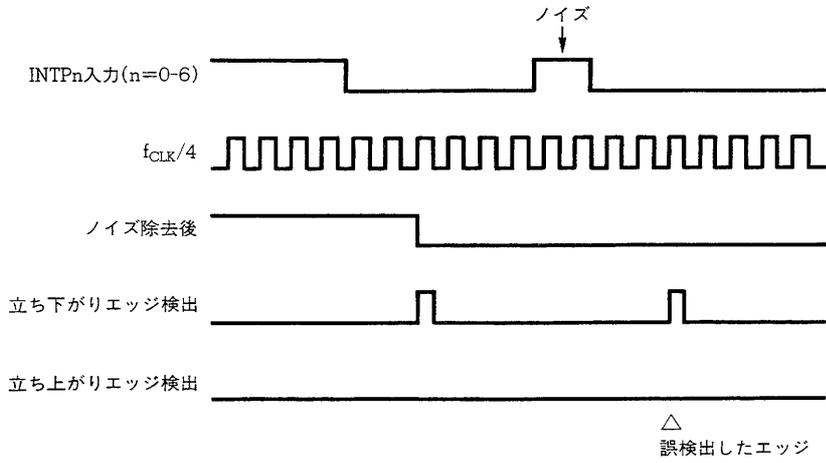
図 13-4 P21-P26端子のエッジ検出



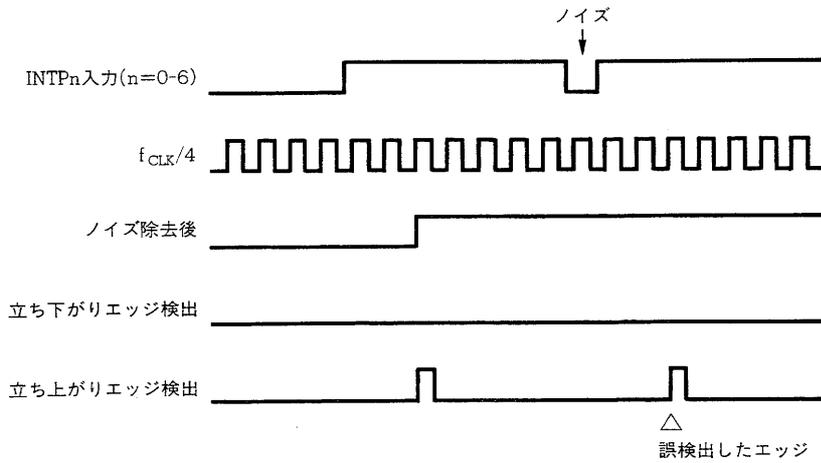
- 注意 1. $f_{\text{CLK}}/4$ のクロックでデジタル・ノイズ除去を行っているため、端子にエッジが入力されてから、実際にエッジが検出されるまで f_{CLK} のクロックで8-12クロックかかります。
2. 入力パルスの幅が f_{CLK} のクロックで8-12クロックの場合は、有効エッジが検出されるか、検出されないかは不定です。確実に動作させるためには、12クロック以上の期間レベルを固定するようにしてください。
3. 端子に入力されたノイズが $\mu\text{PD78234}$ 内の $f_{\text{CLK}}/4$ のクロックと同期している場合には、ノイズとして認められない場合があります。このようなノイズが入力される可能性が考えられる場合は、入力端子にフィルタを付加してノイズを除去するようにしてください。
4. インサーキット・エミュレータでは、デジタル・ノイズ除去を正常に行うことができません。ロウ・レベル入力中のノイズにより立ち下がりエッジを、ハイ・レベル入力中のノイズにより立ち上がりエッジを誤検出してしまう場合があります（図 13-5参照）。
- また、ポート2を読み出すと、ノイズが除去されずに読めてしまいます。

図 13-5 エッジの誤検出

(a) ロウ・レベル入力中のエッジ誤検出



(b) ハイ・レベル入力中のエッジ誤検出



リアルタイム出力ポート、A/Dコンバータ、タイマ/カウンタへの影響は次のとおりです。

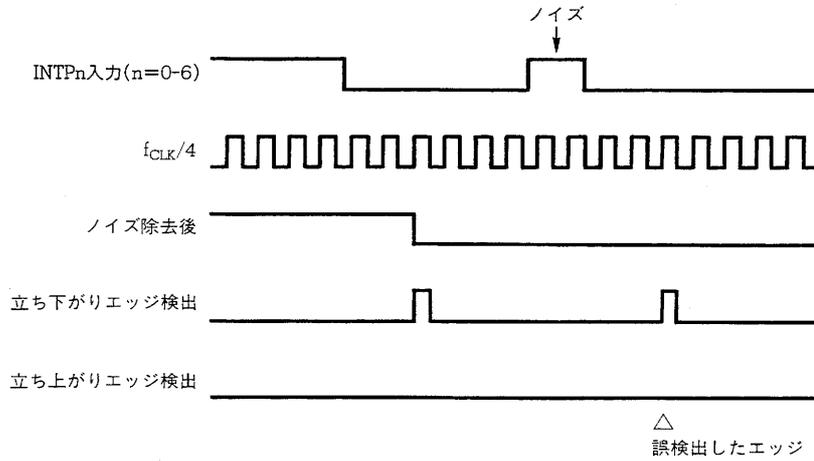
- ・リアルタイム出力ポート：誤検出したエッジに従って動作してしまいます。
- ・A/Dコンバータ：誤検出したエッジに従って動作してしまいます。
- ・タイマ/カウンタのキャプチャ動作、クリア動作
 - ：誤検出したエッジの影響を受けません。したがって、誤検出したエッジによる割り込みが発生しても、キャプチャ値は更新されていません。特にCR22は、CPUが読み出したあとの値が不定となるため注意が必要です。
- ・タイマ/カウンタのコンペア動作
 - ：キャプチャ後にクリアを行うモードに設定されている場合とタイマ/カウンタ2を外部イベント・カウンタとして使用している場合には、誤検出したエッジの影響により、一致割り込み発生のタイミングが変化してしまいます。その結果、タイマ/カウンタとコンペア・レジスタの値が一致するタイミングとは異なるタイミングで、一致割り込みが発生し続けます。このずれは、次の動作により解消されます。
 - ・キャプチャ後にクリアを行うモードに設定されている場合には、正常なエッジ入力、またはタイマ/カウンタの停止により、一致割り込みの発生が正常なタイミングに戻ります。
 - ・タイマ/カウンタ2を外部イベント・カウンタとして使用している場合には、タイマ/カウンタの停止により、一致割り込みの発生が正常なタイミングに戻ります。
 - ：タイマ出力は、誤検出したエッジの影響を受けません。正常なタイミングで動作を行います。

13.4 注意事項

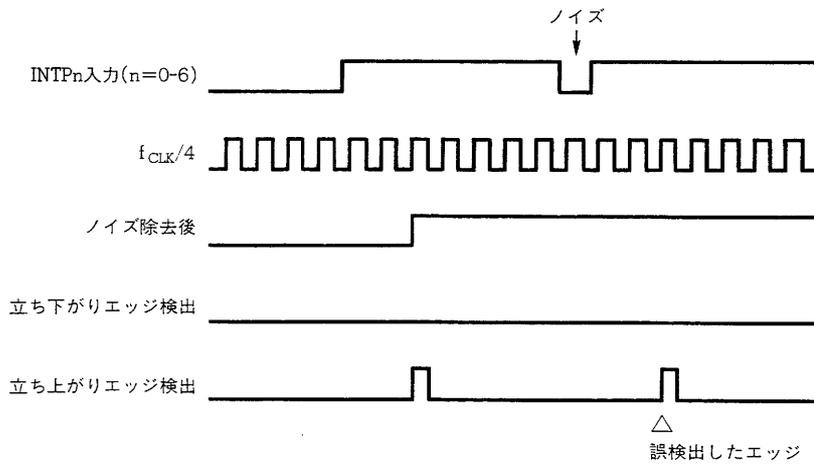
- (1) INTMO, INTM1レジスタへの書き込みによって有効エッジを変更したときには有効エッジの検出は行われません。また、有効エッジの変更中にエッジが入力された場合は、そのエッジが有効エッジと判断されるか、有効でないと判断されるかは不定です。
- (2) P20端子はアナログ・ディレイによるノイズ除去を行っているため、実際にエッジが入力されてから最大10 μ s後にエッジが検出されます。また、P21-P26端子と異なり、デバイスごとの特性の違いにより、エッジが検出されるまでの遅延時間は一定の値とはなりません。
- (3) $f_{CLK}/4$ のクロックでデジタル・ノイズ除去を行っているため、端子にエッジが入力されてから、実際にエッジが検出されるまで f_{CLK} のクロックで8-12クロックかかります。
- (4) 入力パルスの幅が f_{CLK} のクロックで8-12クロックの場合は、有効エッジが検出されるか、されな
いかは不定です。確実に動作させるためには、12クロック以上の期間レベルを固定するようにして
ください。
- (5) 端子に入力されたノイズが μ PD78234内の $f_{CLK}/4$ のクロックと同期している場合には、ノイズと
して認められない場合があります。このようなノイズが入力される可能性が考えられる場合は、入
力端子フィルタを付加してノイズを除去するようにしてください。
- (6) インサーキット・エミュレータでは、デジタル・ノイズ除去を正常に行うことができません。
ロウ・レベル入力中のノイズにより立ち下がりエッジを、ハイ・レベル入力中のノイズにより立ち
上がりエッジを誤検出してしまう場合があります（図 13-6参照）。
また、ポート2を読み出すと、ノイズが除去されずに読めてしまいます。

図 13-6 エッジの誤検出

(a) ロウ・レベル入力中のエッジ誤検出



(b) ハイ・レベル入力中のエッジ誤検出



リアルタイム出力ポート，A/Dコンバータ，タイマ/カウンタへの影響は次のとおりです。

- ・リアルタイム出力ポート：誤検出したエッジに従って動作してしまいます。
- ・A/Dコンバータ：誤検出したエッジに従って動作してしまいます。
- ・タイマ/カウンタのキャプチャ動作，クリア動作
 - ：誤検出したエッジの影響を受けません。したがって，誤検出したエッジによる割り込みが発生しても，キャプチャ値は更新されていません。特にCR22は，CPUが読み出したあとの値が不定となるため注意が必要です。
- ・タイマ/カウンタのコンペア動作
 - ：キャプチャ後にクリアを行うモードに設定されている場合とタイマ/カウンタ2を外部イベント・カウンタとして使用している場合には，誤検出したエッジの影響により，一致割り込み発生タイミングが変化してしまいます。その結果，タイマ/カウンタとコンペア・レジスタの値が一致するタイミングとは異なるタイミングで，一致割り込みが発生し続けます。このずれは，次の動作により解消されます。
 - ・キャプチャ後にクリアを行うモードに設定されている場合には，正常なエッジ入力，またはタイマ/カウンタの停止により，一致割り込みの発生が正常なタイミングに戻ります。
 - ・タイマ/カウンタ2を外部イベント・カウンタとして使用している場合には，タイマ/カウンタの停止により，一致割り込みの発生が正常なタイミングに戻ります。
 - ：タイマ出力は，誤検出したエッジの影響を受けません。正常なタイミングで動作を行います。

第 14 章 割り込み機能

μPD78234は、割り込み要求の処理として次の2つのモードを備えています。この2つの処理モードは、プログラムで任意に設定できます。ただし、マクロ・サービスによる割り込み処理の選択は表 14-1 で示すマクロ・サービス処理モードを備えている割り込み要求ソースに対してのみ選択できます。

表 14-1 割り込み要求の処理形態

割り込み要求処理モード	処理の主体	PC, PSWの内容	処 理 形 態
ベクタ割り込み	ソフトウェア	退避/復帰動作を伴う。	任意のサービス・プログラムに分岐し実行。
マクロ・サービス	ハードウェア (ファームウェア)	保持	メモリとI/Oとのデータ転送などあらかじめ設定した処理を実行。

また、マスク可能なベクタ割り込みについては、2レベルの優先順位を持った多重処理制御を容易に行うことが可能です。

14.1 割り込み要求ソース

μPD78234には、表 14-2 に示すように19種類の割り込み要求ソースがあり、それぞれ割り込みベクタ・テーブルが割り付けられています。

表 14-2 割り込み要求ソースの種類

割り込み要求タイプ	デフォルト優先順位	割り込み要求発生ソース	発生ユニット	マクロ・サービスタイプ	ベクタ・テーブル・アドレス
ソフトウェア	なし	BRK命令の実行		なし	003EH
ノンマスカブル	なし	NMI(端子入力エッジ検出)		なし	0002H
マスカブル	0	INTP0(端子入力エッジ検出)	エッジ検出	A, B	0006H
	1	INTP1(端子入力エッジ検出)		A, B	0008H
	2	INTP2(端子入力エッジ検出)		A, B	000AH
	3	INTP3(端子入力エッジ検出)		B	000CH
	4	INTC00(TM0-CR00一致信号発生)	16ビット・タイマ/カウンタ	B	0014H
	5	INTC01(TM0-CR01一致信号発生)		B	0016H
	6	INTC10(TM1-CR10一致信号発生)	8ビット・タイマ/カウンタ1	A, B, C	0018H
	7	INTC11(TM1-CR11一致信号発生)		A, B, C	001AH
	8	INTC21(TM2-CR21一致信号発生)	8ビット・タイマ/カウンタ2	A, B	001CH
	9	INTP4(端子入力エッジ検出)	エッジ検出	B	000EH
		INTC30(TM3-CR30一致信号発生)	8ビット・タイマ/カウンタ3	A, B	
	10	INTP5(端子入力エッジ検出)	エッジ検出	B	0010H
		INTAD(A/D変換終了)	A/Dコンバータ	A, B	
	11	INTC20(TM2-CR20一致信号発生)	8ビット・タイマ/カウンタ2	A, B	0012H
	12	INTSER(アシンクロナス・シリアル・インタフェース受信エラー発生)	アシンクロナス・シリアル・インタフェース	なし	0020H
13	INTSR(アシンクロナス・シリアル・インタフェース受信終了)	A, B		0022H	
14	INTST(アシンクロナス・シリアル・インタフェース送信終了)	A, B		0024H	
15	INTCSI(クロック同期式シリアル・インタフェース転送終了)	クロック同期式シリアル・インタフェース		A, B	0026H

備考 デフォルト優先順位は固定されている数値です。同一優先順位を持つ複数の割り込み要求が同時に発生している場合に優先される順位を示します。

14.1.1 ソフトウェア割り込み要求

ソフトウェアによる割り込み要求は、ベクタ割り込みを発生するBRK命令です。

BRK命令の実行による割り込み要求は、割り込み禁止状態でも受け付けられます。割り込み優先順位制御の対象になりません。

BRK命令が実行されると無条件にベクタ・テーブルの内容がPCにセットされて分岐します。

BRK命令のサービス・ルーチン中でBRK命令を実行することにより、自分自身のルーチンにネスティングすることもできます。

BRK命令のサービス・ルーチンから復帰する際はRETB命令を実行します。

14.1.2 ノンマスクابل割り込み要求

ノンマスクابل割り込み要求はNMI端子入力によって行います。NMI端子入力に外部割り込みモード・レジスタ0 (INTMO) のビット0 (ESNMI) で指定した有効エッジが入力されたとき、割り込み要求が発生します。

ノンマスクابل割り込み要求は、割り込み禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

14.1.3 マスクابل割り込み要求

マスクابل割り込み要求は、割り込みマスク・レジスタ (MKO) の設定によってマスク制御を受ける割り込み要求です。また、PSWのIEフラグによって、マスクابل割り込み全体に対して受け付けの許可/禁止の指定ができます。

マスクابل割り込み要求は、表 14-2 のように同一優先順位を持つ複数の割り込み要求が同時に発生している場合の優先順位が決められています (デフォルト優先順位)。また、優先順位指定フラグ・レジスタ (PRO) の設定によって割り込み優先順位を高い優先順位グループと低い優先順位グループの2グループに分け、多重処理の制御を行うことができます。ただしマクロ・サービスは、優先順位制御やIEフラグとは無関係に受け付けられます。

14.1.4 割り込み要求ソースの選択

INTP4とINTC30およびINTP5とINTADは、ベクタ・テーブル、割り込み要求フラグなどの制御フラグなどを共有しているため、同時に使用することができません。したがって、INTP4またはINTC30およびINTP5またはINTADのどちらを使用するかをプログラム上で選択する必要があります。ここで選択した割り込み要求ソース用にベクタ・テーブル、割り込み要求フラグ (PIFn : n=4, 5), 割り込みマスク・フラグ (PMKn : n=4, 5), 割り込みサービス・モード・フラグ (PISMn : n=4, 5), 優先順位指定フラグ (PPRn : n=4, 5) が使用され、その割り込み要求ソースにより、割り込みやマクロ・サービスが発生するようになります。また、選択されなかった割り込み要求ソースでは、これらのフラグ類を使用することができなくなり、割り込みやマクロ・サービスが発生することができなくなります。

他の割り込み要求ソースは、要求ソースごとにベクタ・テーブルや制御フラグを有しているため選択する必要はありません。

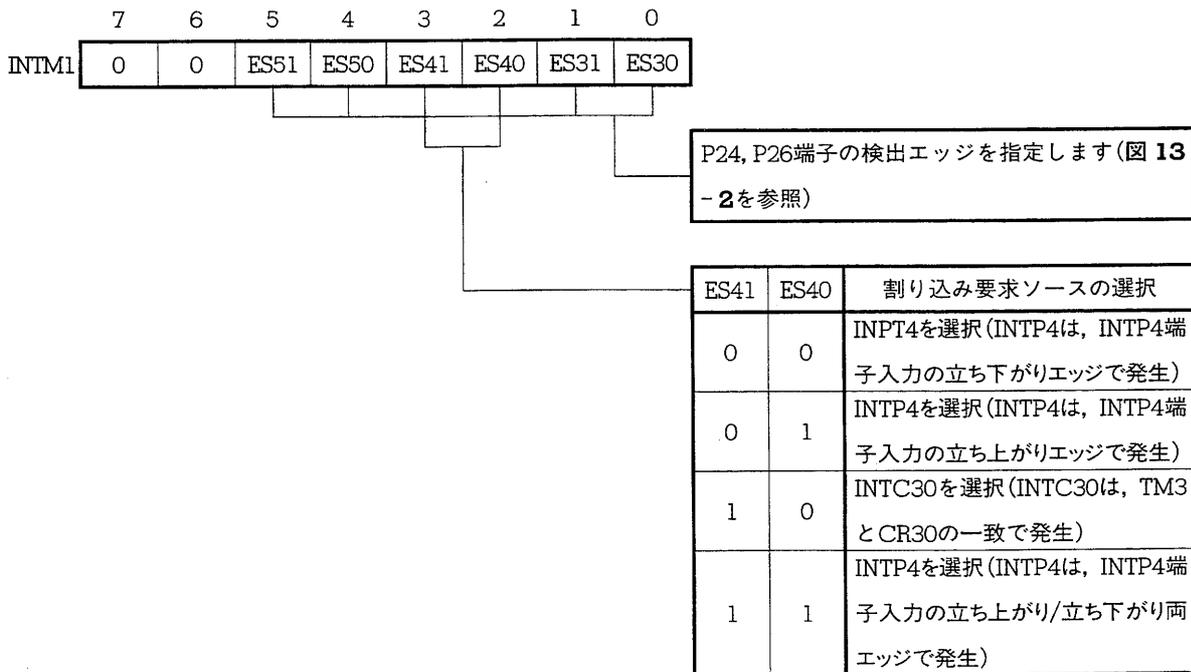
(1) INTP4とINTC30の選択

INTP4とINTC30の選択は、外部割り込みモード・レジスタ1 (INTM1) のES40, ES41ビットで指定します。

INTM1レジスタは、8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。そのフォーマットを図14-1に示します。

$\overline{\text{RESET}}$ 入力でOOHになり、INTP4がINTP4端子の立ち下がりエッジで発生するようになります。

図 14-1 INTM1レジスタのフォーマット



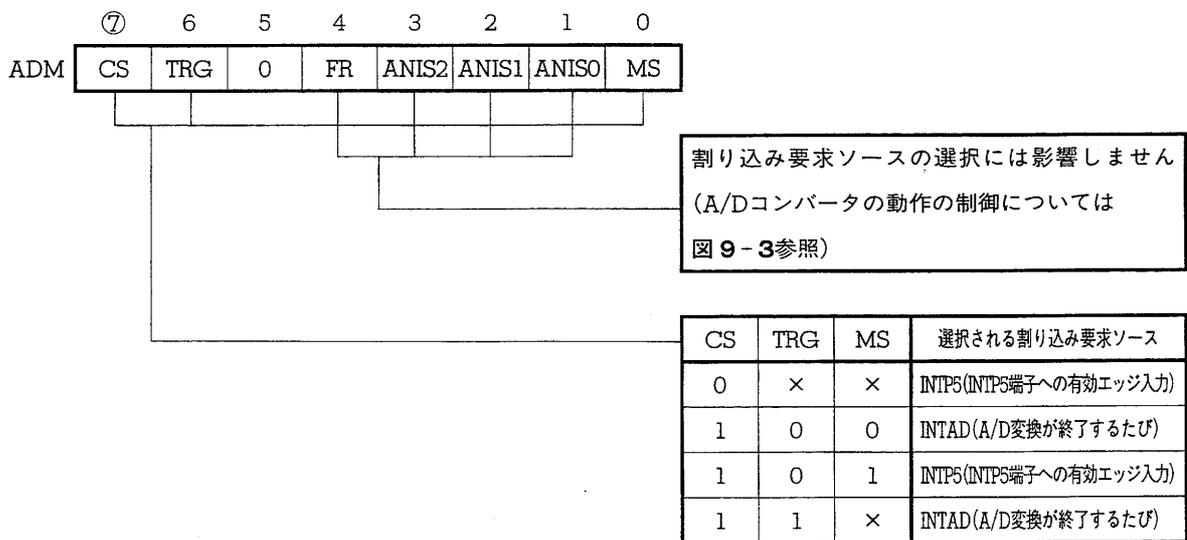
(2) INTP5とINTADの選択

INTP5とINTADの選択は、A/Dコンバータ・モード・レジスタ (ADM) によって指定します (A/Dコンバータへ指定した動作モードによって、自動的に決定されます)。

ADMレジスタは、8ビット操作命令とビット命令で読み出し/書き込みが可能です。そのフォーマットを図14-2に示します。A/Dコンバータの動作の制御については、第9章 A/Dコンバータを参照してください。

$\overline{\text{RESET}}$ 入力により00Hとなります。

図 14-2 ADMレジスタのフォーマット



14.2 割り込み処理制御レジスタ

割り込み処理を制御するレジスタには、次の6つがあります。

- ・割り込み要求フラグ・レジスタ (IFO)
- ・割り込みマスク・レジスタ (MKO)
- ・割り込みサービス・モード・レジスタ (ISMO)
- ・優先順位指定フラグ・レジスタ (PRO)
- ・割り込みステータス・レジスタ (IST)
- ・プログラム・ステータス・ワード (PSW)

IFO, MKO, ISMO, PROは、読み出し／書き込み可能な16ビット・レジスタです。16ビット単位で操作できるほか、8ビット単位で操作できます。また、ビット操作命令で1ビット単位でセット／リセットを行うことができます。ISTレジスタおよびPSWは読み出し／書き込み可能な8ビット・レジスタで、8ビット単位とビット単位で操作ができます。さらに、PSWのEフラグは専用命令で操作可能です。それぞれのフォーマットを図 14-3-14-8 に示します。

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、割り込みサービス・モード・フラグ、優先順位指定フラグ名称を、表 14-3 に示します。

表 14-3 割り込み要求ソースに対する各種フラグ

割り込み要求ソース	割り込み要求フラグ	割り込みマスク・フラグ	割り込みサービス・モード・フラグ	優先順位指定フラグ
INTP0	PIF0	PMK0	PISM0	PPR0
INTP1	PIF1	PMK1	PISM1	PPR1
INTP2	PIF2	PMK2	PISM2	PPR2
INTP3	PIF3	PMK3	PISM3	PPR3
INTC00	CIF00	CMK00	CISM00	CPR00
INTC01	CIF01	CMK01	CISM01	CPR01
INTC10	CIF10	CMK10	CISM10	CPR10
INTC11	CIF11	CMK11	CISM11	CPR11
INTC21	CIF21	CMK21	CISM21	CPR21
INTP4 INTC30	PIF4	PMK4	PISM4	PPR4
INTP5 INTAD	PIF5	PMK5	PISM5	PPR5
INTC20	CIF20	CMK20	CISM20	CPR20
INTSER	SERIF	SERMK	—	SERPR
INTSR	SRIF	SRMK	SRISM	SRPR
INTST	STIF	STMK	STISM	STPR
INTCSI	CSIIF	CSIMK	CSIISM	CSIPR

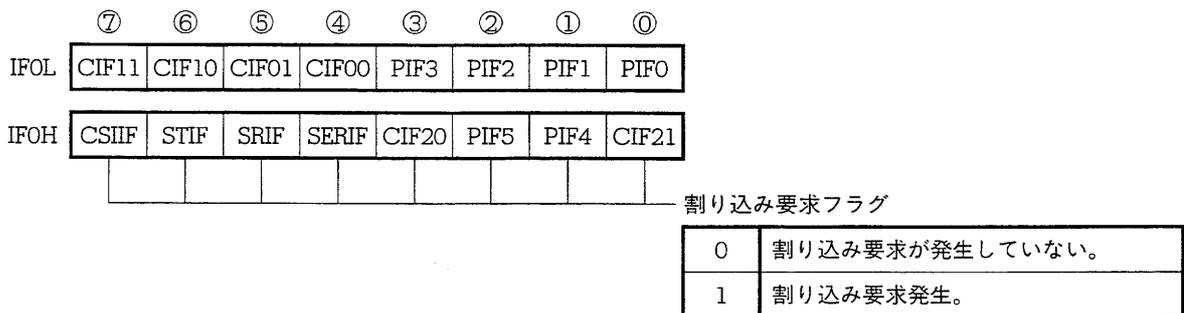
14.2.1 割り込み要求フラグ・レジスタ (IFO)

IFOレジスタは、割り込み要求フラグで構成される16ビット・レジスタです。

各割り込み要求フラグは、対応する割り込み要求の発生でセット(1)され、ベクタ割り込み処理の受け付け、またはマクロ・サービス処理実行によりクリア(0)されます。

RESET入力により0000Hになります。

図 14-3 割り込み要求フラグ・レジスタ (IFO) のフォーマット



14.2.2 割り込みマスク・レジスタ (MKO)

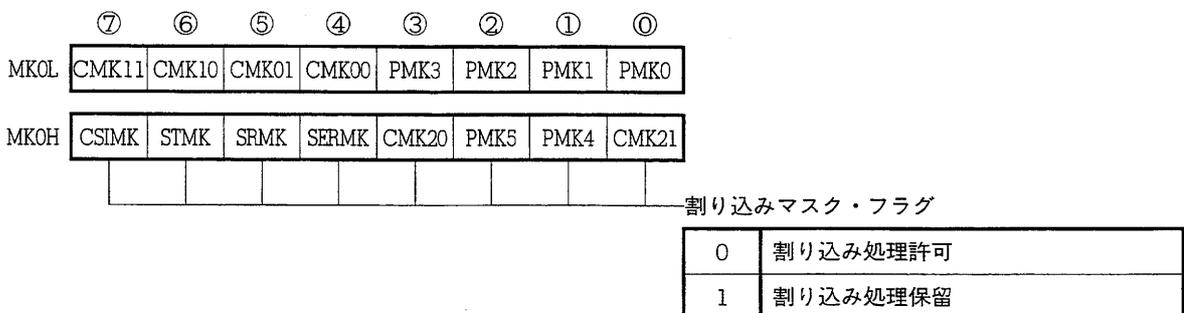
MKOレジスタは、割り込みマスク・フラグで構成される16ビット・レジスタです。各割り込みマスク・フラグは、対応する割り込み要求の許可/禁止を制御します。

RESET入力によりFFFFHになり、すべてのマスクブル割り込みは禁止されます。

割り込みマスク・フラグがセット(1)されていると、該当する割り込み要求の受け付けは禁止されます。

割り込みマスク・フラグがリセット(0)されていると、該当する割り込み要求は、ベクタ割り込みまたはマクロ・サービスとして受け付けが可能な状態になります。

図 14-4 割り込みマスク・レジスタ (MKO) のフォーマット



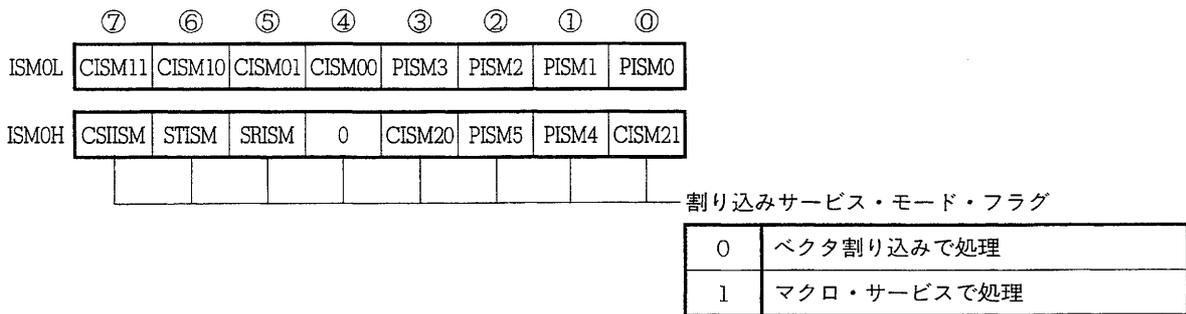
14.2.3 割り込みサービス・モード・レジスタ (ISMO)

ISMOは、割り込みサービス・モード・フラグで構成される16ビット・レジスタです。

各割り込みサービス・モード・フラグが“0”のとき、対応する割り込み要求はベクタ割り込みで処理され、“1”のときマクロ・サービスで処理されます。マクロ・サービス要求を所定の回数だけ処理すると、クリア(0)されます。

RESET入力により0000Hになり、ベクタ割り込みによる処理を指定します。

図 14-5 割り込みサービス・モード・レジスタ (ISMO) のフォーマット



14.2.4 優先順位指定フラグ・レジスタ (PRO)

PROレジスタは、割り込み受け付けの優先順位指定フラグで構成される16ビット・レジスタです。割り込みの多重処理の制御に用います。

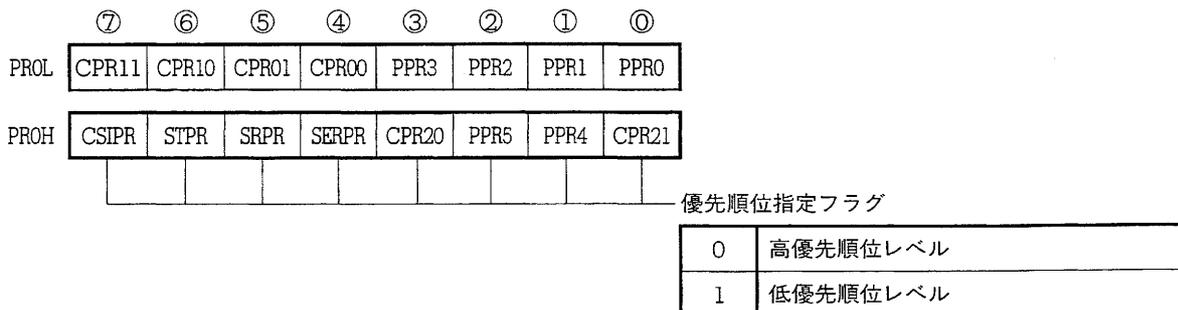
優先順位は、高い優先順位グループと低い優先順位グループの2グループに指定できます。各優先順位指定フラグが“0”のとき対応する割り込み要求は高い優先順位グループに指定され、“1”のとき低い優先順位グループに指定されます。

割り込みが受け付けられると、受け付けられた割り込みの優先順位指定フラグがPSWのISPに転送されます。

低い優先順位のベクタ割り込み処理中は、割り込み許可状態ならば低い優先順位および高い優先順位のベクタ割り込みの多重受け付けが可能となります。また高い優先順位のベクタ割り込み処理中は、割り込み許可状態ならば高い優先順位のベクタ割り込みのみ多重受け付けが可能となります。ただしマクロ・サービスは、優先順位指定には無関係に受け付けられます。

RESET入力によりFFFFHになり、すべての割り込み要求は低い優先順位グループに指定されます。

図 14-6 優先順位指定フラグ・レジスタ (PRO)のフォーマット



14.2.5 割り込みステータス・レジスタ (IST)

ISTレジスタは、ノンマスクابل割り込み要求 (NMI端子入力) による多重割り込みの処理を制御すると同時にノンマスクابل割り込み要求の受け付け状態を示す8ビット・レジスタです。

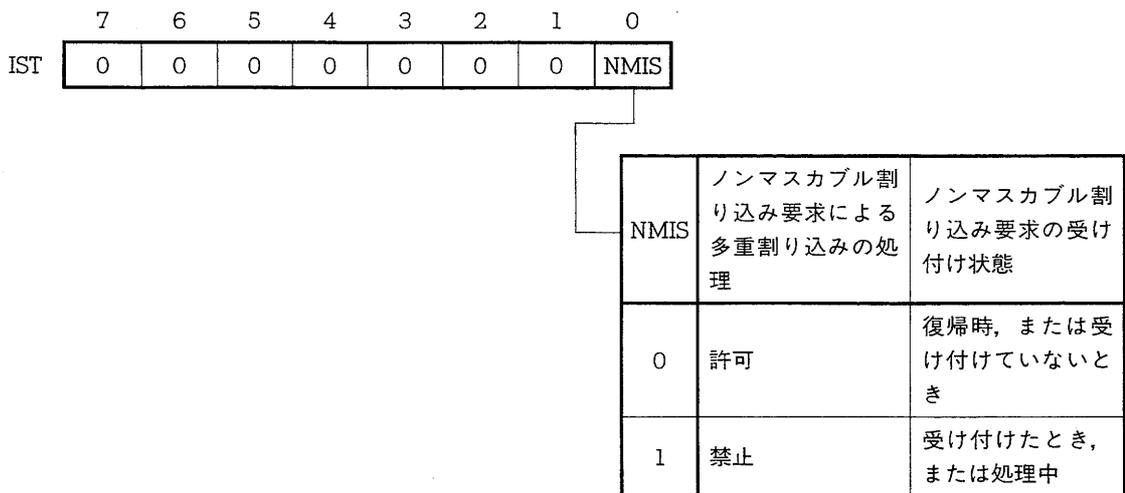
ノンマスクابل割り込み要求による割り込み処理中にノンマスクابل割り込み要求がさらに発生したとき、NMISビットがリセット(0)されていればこの割り込み要求を受け付けます。NMISビットがセット(1)されていると受け付けません。

また同時に、NMISビットは、ノンマスクابل割り込み要求を受け付けたときにセット(1)されます。ノンマスクابل割り込み要求による処理からの復帰(RETI命令実行)の際リセット(0)されます。

ISTレジスタは、8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。また、NMISフラグは、ノンマスクابل割り込みの受け付けでセット(1)され、RETI命令によりリセット(0)されます。そのフォーマットを図 14-7 に示します。

$\overline{\text{RESET}}$ 入力で00Hになります。

図 14-7 割り込みステータス・レジスタ (IST) のフォーマット



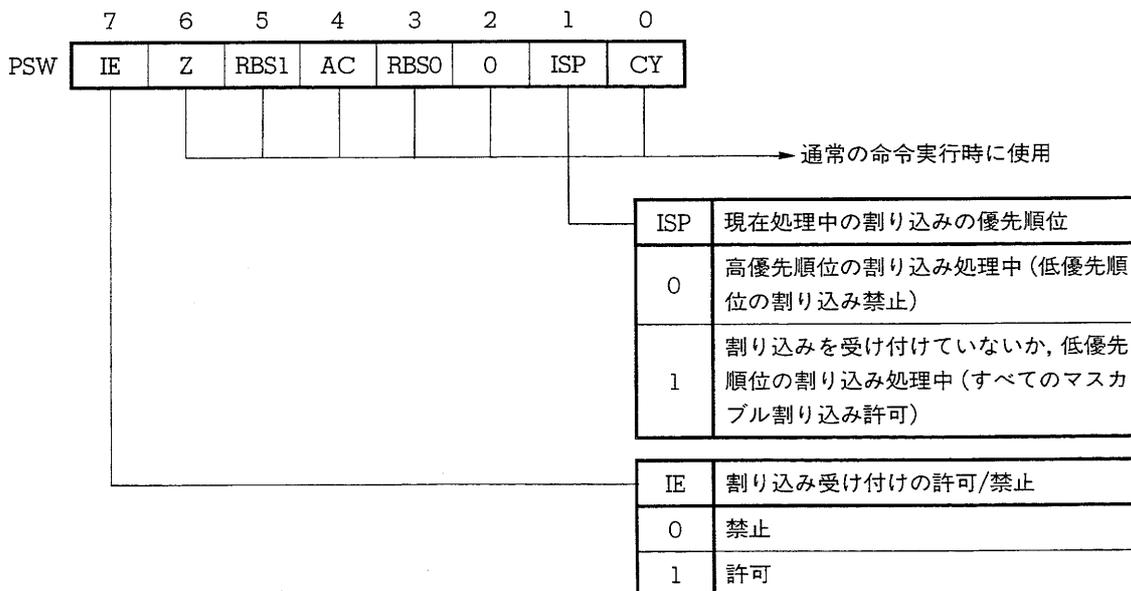
14.2.6 プログラム・ステータス・ワード (PSW)

PSWは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可/禁止を設定するIEフラグと多重処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時、BRK命令実行時にはスタックに退避され、IEフラグはリセット(0)されます。また、マスク可能割り込み受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPに転送され、ノンマスク可能割り込み受け付け時には、ISPはリセット(0)されます。PUSH PSW命令によってもスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

$\overline{\text{RESET}}$ 入力により、PSWは02Hとなります。

図 14-8 プログラム・ステータス・ワードのフォーマット



14.3 割り込み処理動作

14.3.1 ソフトウェア割り込みの受け付け動作

ソフトウェア割り込みはBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することができません。

ソフトウェア割り込みが受け付けられると、PSW、PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(003EH, 003FH)の内容をPCにロードして分岐します。

ソフトウェア割り込みからの復帰にはRETB命令を使用します。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用してはいけません。

14.3.2 ノンマスクابل割り込みの受け付け動作

ノンマスクابل割り込み要求は、割り込み禁止状態であっても受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

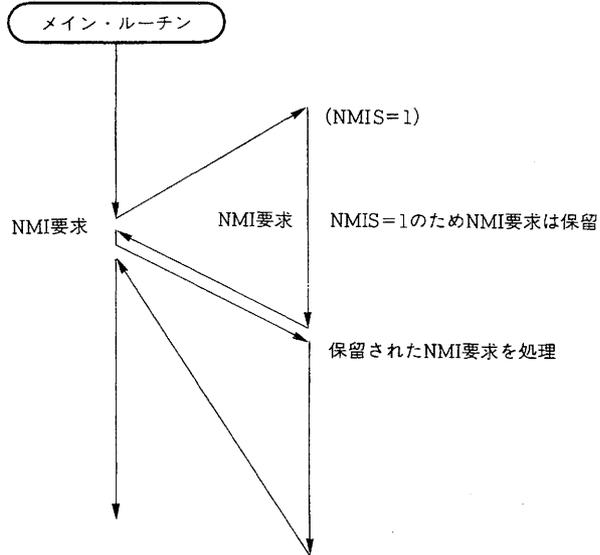
ノンマスクابل割り込み要求が受け付けられると割り込みステータス・レジスタ(IST)のNMISビットがセット(1)され、PSW、PCの順にスタックに退避し、IEフラグ、ISPフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。NMISビットは、RETI命令によってリセット(0)されます。

NMISビットがセット(1)されていると新たなノンマスクابل割り込み要求は受け付けられず、NMISビットがリセット(0)されるまで保留されます。したがって、通常はノンマスクابل割り込みサービス・プログラム実行中は、新たなノンマスクابل割り込み要求は受け付けられません。ノンマスクابل割り込みサービス・プログラム実行中に発生した新たなノンマスクابل割り込みは現在処理中のノンマスクابل割り込みサービス・プログラム実行終了後(RETI命令実行後)に要求が受け付けられます。ただし、ノンマスクابل割り込みサービス・プログラム実行中に新たなノンマスクابل割り込み要求が2回以上発生しても、そのノンマスクابل割り込みサービス・プログラム実行終了後に受け付けられるノンマスクابل割り込み要求は1回分だけになります。

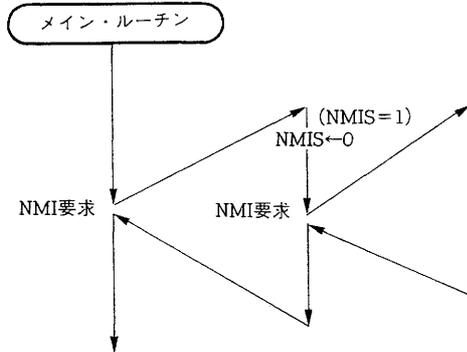
ノンマスクابل割り込み要求の多重処理を行う場合には、ノンマスクابل割り込みサービス・プログラム中でNMISビットをリセット(0)することで可能となります。NMISがリセット(0)されている場合は、ノンマスクابل割り込みサービス・プログラム中でもノンマスクابل割り込み要求は受け付けられます。

図 14-9 NMI割り込み要求の受け付け動作

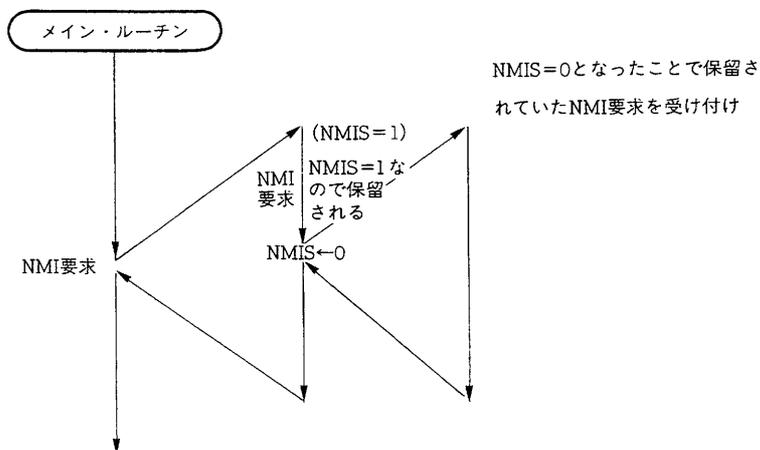
(a) NMIサービス・プログラム実行中に新たなNMI要求が発生した場合 (ISTレジスタを操作しない場合)



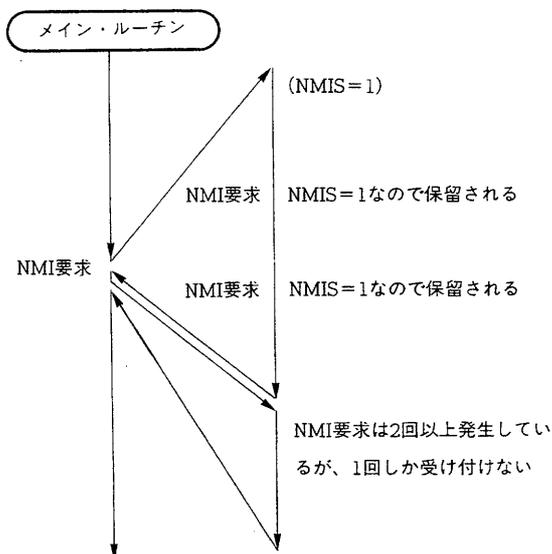
(b) NMIサービス・プログラム実行中に新たなNMI要求が発生した場合 (NMIサービス・プログラム中に NMISビットをリセット(0)した場合)



(c) NMIサービス・プログラム実行中に新たなNMI要求が発生した場合（NMI要求が発生してから現在実行中のNMIサービス・プログラムでNMISビットをリセット(0)した場合）



(d) NMIサービス・プログラム実行中に新たに2回のNMI要求が発生した場合（NMIサービス・プログラム中でNMISビットを操作しない場合）



- 注意1. ノンマスクابل割り込みサービス・プログラム中でもマクロ・サービスの要求は受け付けられ、処理されます。ノンマスクابل割り込みサービス・プログラム中でマクロ・サービス処理を行いたくない場合は、ノンマスクابل割り込みサービス・プログラム中で割り込みマスク・レジスタを操作して、マクロ・サービスが発生しないようにしてください。
2. ノンマスクابل割り込みサービス・プログラム中にEI命令を実行するなどして、PSWのIEビットをセット(1)すると高位の優先順位に指定されたマスクابل割り込み要求が受け付けられるようになります。このとき、ノンマスクابل割り込みサービス・プログラム実行中に高位の優先順位に指定されたマスクابل割り込みが発生するとマスクابل割り込みのサービス・プログラムを実行します。また、PSWのIEビットとISPビットをセット(1)すると、低位の優先順位に指定されたマスクابل割り込みについても同様に、割り込みの要求が発生すると、割り込みサービス・プログラムを実行します。マスクابل割り込みサービス・プログラムから復帰するためにRETI命令を使用しますが、このRETI命令によってNMISビットはリセット(0)され、復帰したノンマスクابل割り込みサービス・プログラム中でノンマスクابل割り込みの多重処理を行いたくない場合でも、ノンマスクابل割り込み要求が受け付け可能な状態になってしまいます。ノンマスクابل割り込み要求の多重処理を行いたくない場合は、ノンマスクابل割り込みサービス・プログラム中に割り込み許可状態にしないでください。
 3. ノンマスクابل割り込みは、ノンマスクابل割り込み処理プログラム実行中(ISTレジスタのNMISビットをノンマスクابل割り込み処理中で0にして、ノンマスクابل割り込みの多重処理を許可している場合を除く)および14.3.5に示す特定の命令とその次に実行する命令の間を除いては必ず受け付けられます。したがって、特にリセット解除後などのスタック・ポインタの値が不定の場合でもノンマスクابل割り込みを受け付けます。このときのスタック・ポインタの値によっては特殊機能レジスタの書き込みを禁止しているアドレス(3.2.5の表3-4参照)へプログラム・カウンタ(PC)およびプログラム・ステータス・ワード(PSW)を書き込んでしまい、CPUがデッドロックしてしまったり、端子から予期しない信号を出力したり、RAMが実装されていないアドレスへPCやPSWを書き込むことにより、ノンマスクابل割り込み処理プログラムからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。
- また、 $\overline{\text{RESET}}$ 端子に立ち上がりエッジが入力されるときとほぼ同時にNMI端子に立ち下がりエッジ(リセット解除後のNMI入力の有効エッジ)が入力されると、リセット動作終了後に1命令も実行せずにノンマスクابل割り込み処理プログラムへ分岐しますので、ほぼ確実に暴走します。これらの現象を回避するためには、スタック・ポインタの初期設定はリセット解除直後に行うようにするとともに、ハードウェアにより $\overline{\text{RESET}}$ 信号の立ち上がりから $10\mu\text{s} + 18/f_{\text{CLK}}$ 以内にNMI信号が立ち下がらないようにする必要があります。

14.3.3 マスカブル割り込みの受け付け動作

マスカブル割り込みは、割り込み要求フラグがセット(1)され、その割り込みのマスク・フラグがクリア(0)されていると受け付けが可能な状態になります。マクロ・サービスで処理を行う場合は、ただちに受け付けられ、マクロ・サービスによる処理が行われます。ベクタ割り込みの場合は、割り込み許可状態 (IEフラグがセット(1)されているとき) であれば受け付けます。ただし、優先順位の高い割り込みを処理中 (ISPフラグがリセット(0)されているとき) に低い優先順位に指定されている割り込みは受け付けられません。

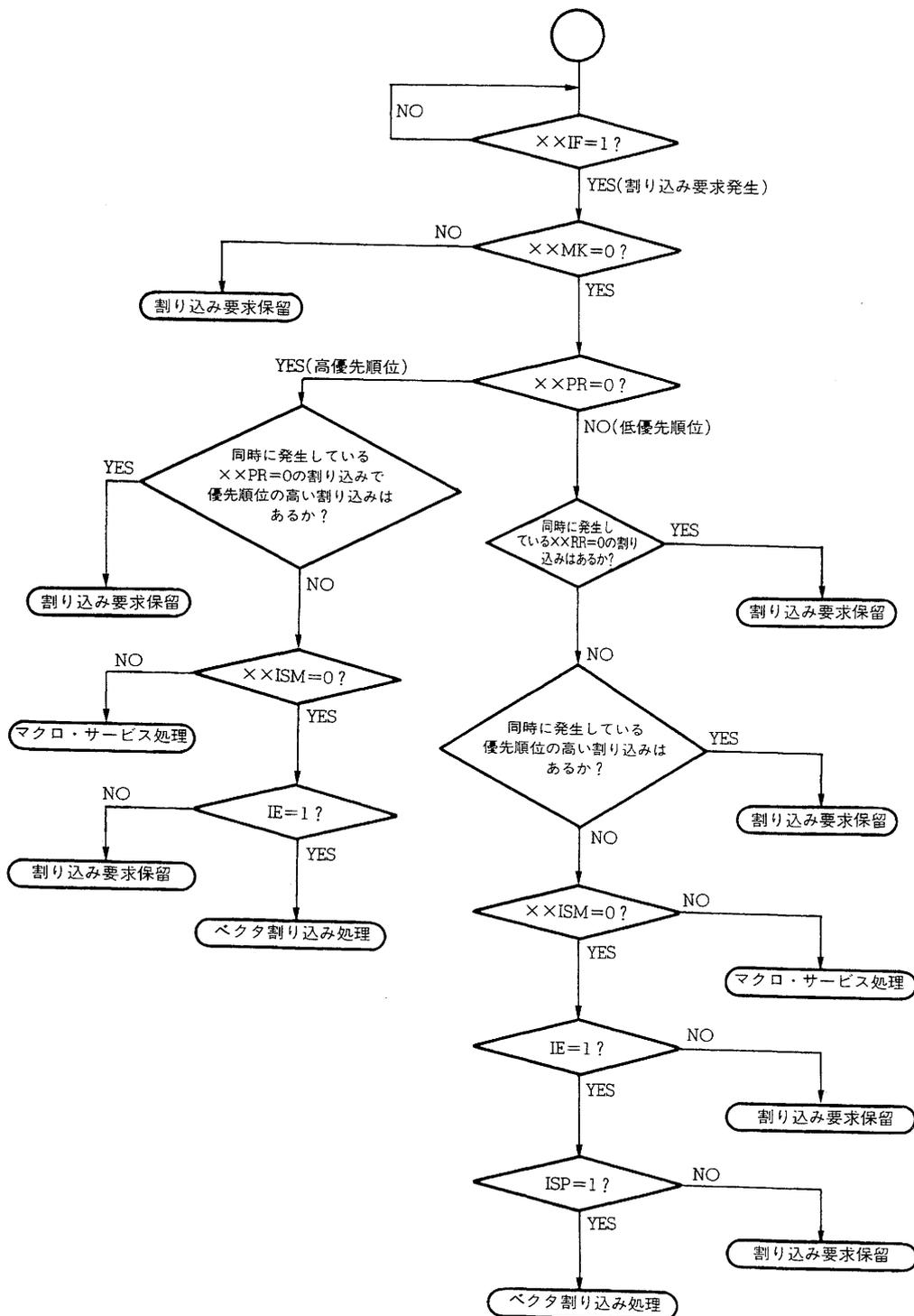
マスカブル割り込みの要求が同時に発生した場合は、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、同一優先順に指定されている場合はデフォルト優先順位に従います。

保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み受け付けのアルゴリズムを図14-10に示します。

マスカブル割り込みが受け付けられると、PSW, PCの順にスタックに退避し、IEフラグをリセット(0) (割り込み禁止状態) にし、受け付けた割り込みの優先順位指定フラグの内容をISPへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし分岐します。割り込みからの復帰はRETI命令で行います。

図 14-10 割り込み受け付け処理アルゴリズム



14.3.4 多重割り込みの処理

μPD78234は、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、優先順位指定フラグ・レジスタ (PRO) の設定によるプログラマブル優先順位制御があります。デフォルト優先順位による優先順位制御は、複数の割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込み処理を行います (表 14-2 参照)。プログラマブル優先順位制御は、各割り込み要求をPROレジスタに対応するビットの設定によって、高い優先順位グループと低い優先順位グループの2グループに分けます。多重割り込み可能な割り込み要求を表 14-4 に示します。

表 14-4 多重割り込み処理

受け付け中の割り込み要求	IEフラグ	多重受け付け可能な割り込み要求ソース
低位のプログラマブル優先順位に指定した割り込み	0	<ul style="list-style-type: none"> ● ノンマスカブル割り込み ● マクロ・サービス処理によるマスカブル割り込み
	¹ 注1	<ul style="list-style-type: none"> ● ノンマスカブル割り込み ● すべてのマスカブル割り込み
高位のプログラマブル優先順位に指定した割り込み	0	<ul style="list-style-type: none"> ● ノンマスカブル割り込み ● マクロ・サービス処理によるマスカブル割り込み
	¹ 注1	<ul style="list-style-type: none"> ● ノンマスカブル割り込み ● マクロ・サービス処理によるマスカブル割り込み ● 高位のプログラマブル優先順位に指定したマスカブル割り込み
ノンマスカブル割り込み	0	<ul style="list-style-type: none"> ● ノンマスカブル割り込み^{注2} ● マクロ・サービス処理によるマスカブル割り込み
	¹ 注1	<ul style="list-style-type: none"> ● ノンマスカブル割り込み^{注2} ● マクロ・サービス処理によるマスカブル割り込み ● 高位のプログラマブル優先順位に指定したマスカブル割り込み^{注3}

注 1. 割り込みの要求の受け付け直後は、自動的に割り込み禁止状態 (IE=0) となります。

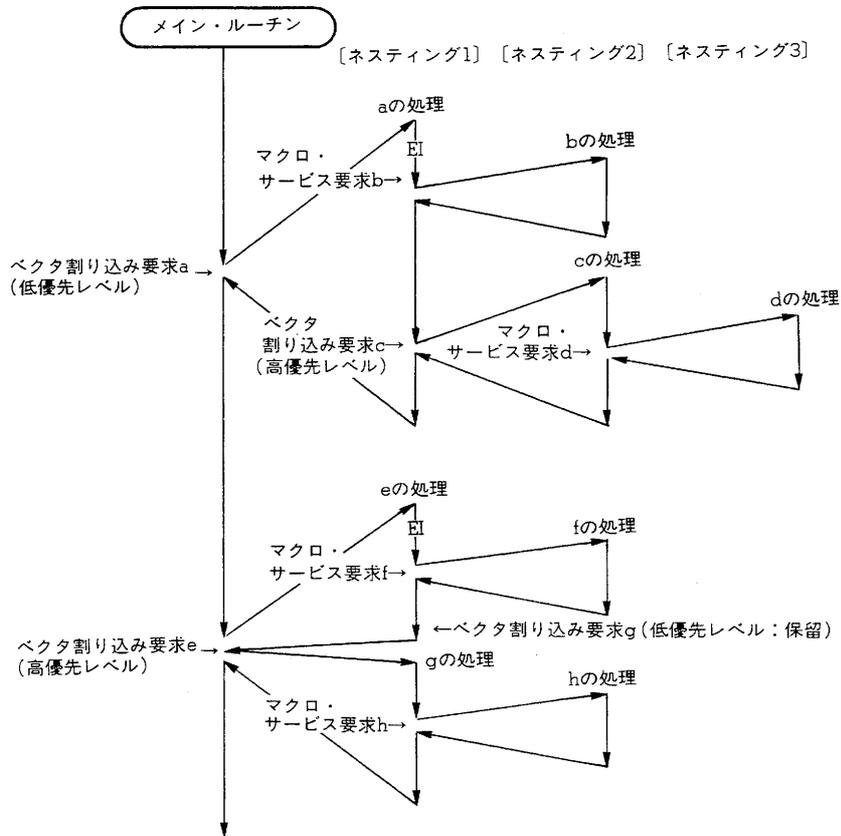
割り込み許可状態 (IE=1) に設定するためには、EI命令を実行します。

2. ノンマスカブル割り込みの受け付け中は、割り込みステータス・レジスタ (IST) のビット 0 (NMIS) がセット(1)されます。

NMISビットがセット(1)されている間、ノンマスカブル割り込みは発生しません。ノンマスカブル割り込みの多重受け付けを許可する場合は、ソフトウェアで、NMISフラグをリセット(0)します。

3. ISPフラグをセット(1)したときは、低位の割り込みも受け付けが可能です。

図 14-11 割り込み処理中に他の割り込み要求が発生した場合の処理例 (1/2)



備考 図の中のa-hは、各割り込み要求、マクロ・サービス要求を区別するためにつけた仮の名称です。

図 14-11 割り込み処理中に他の割り込み要求が発生した場合の処理例 (2/2)

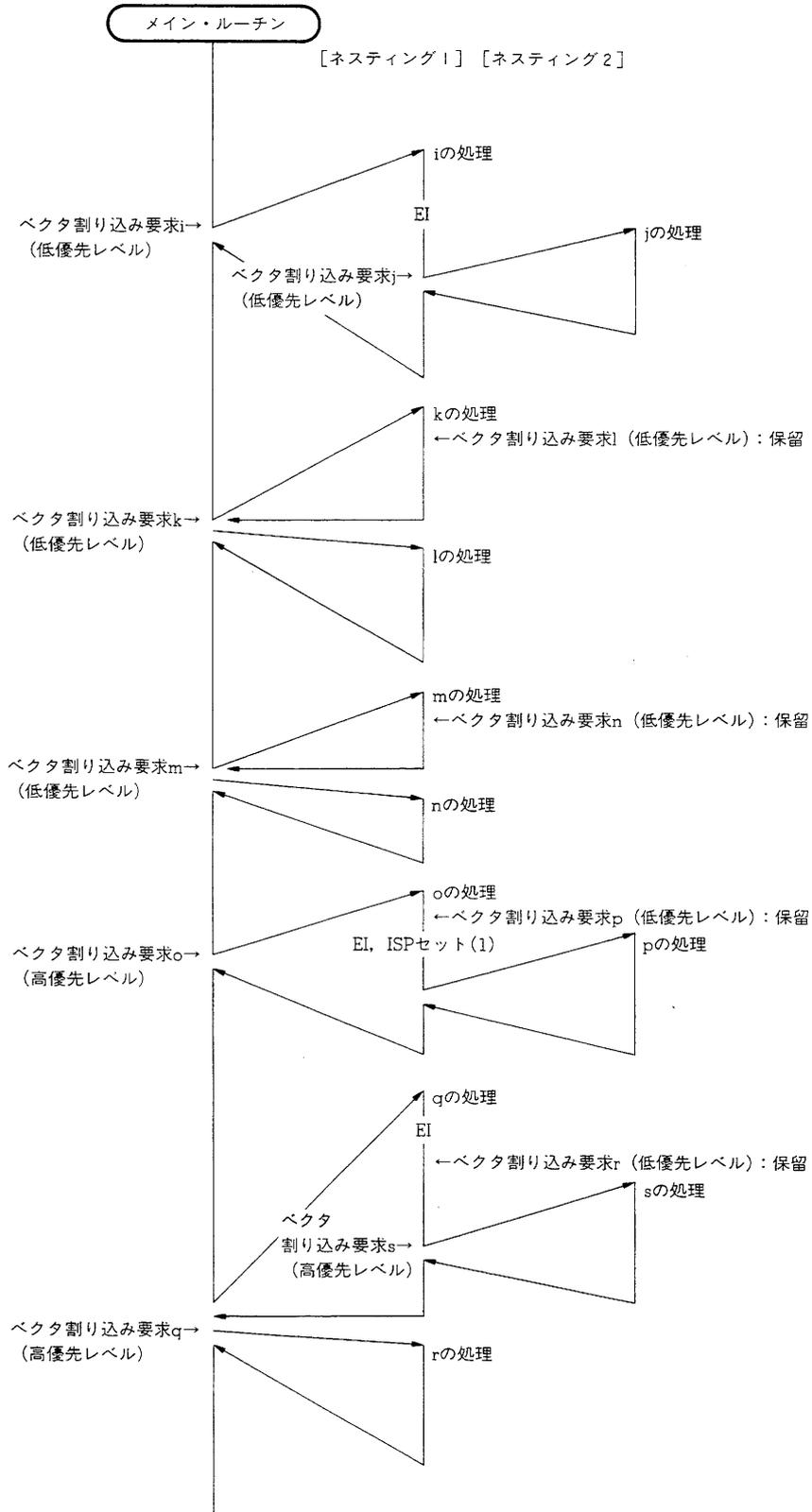
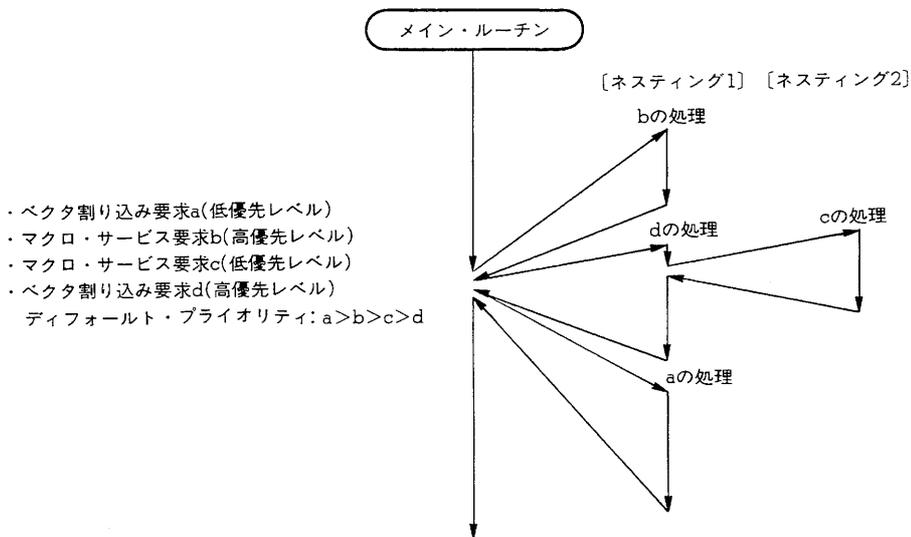


図 14-12 同時発生した割り込み要求の処理例



備考 図の中のa-dは、各割り込み要求、マクロ・サービス要求を区別するためにつけた仮の名称です。

14.3.5 割り込み要求およびマクロ・サービスが一時的に保留される場合

以下に示す命令と次に実行する命令の間では、割り込みの受け付けおよびマクロ・サービスの処理が一時的に保留されます。ただし、ソフトウェア割り込みは保留されません。

- EI
- DI
- RETI
- RETB
- POP PSW
- MOV PSW, A
- MOV PSW, #byte
- IST, MKO, IFO, PRO, ISMOの各レジスタに対する操作命令
- PSWのビット操作命令

(ただし、BT PSW.bit, \$addr16, BF PSW.bit, \$addr16, SET1 CY, NOT1 CY, CLR1 CY 命令を除く)。

注意 1. 割り込み関連のレジスタをBF命令などを使用してポーリングを行う場合、そのBF命令などの分岐先は、その命令とならないようにしてください。その命令自身へ分岐するようなプログラムを記述すると、その命令で分岐しない条件が成立するまでの間すべての割り込みとマクロ・サービスが保留されてしまいます。

悪い例

```

:
LOOP: BF IFOH. 3, $LOOP    IFOH. 3が1になるまですべての割り込みおよびマクロ・サ
                             サービスが保留されてしまう。
    ×××                    ← BF命令の次の命令実行後に初めて割り込みおよびマクロ・
                             サービスが処理される。
:

```

良い例(1)

```

:
LOOP: NOP
    BF IFOH. 3, $LOOP    ← NOP命令の実行後に割り込みおよびマクロ・サービスが処
                             理されるため長時間割り込みが保留されることはない。
:

```

良い例(2)

```

:
LOOP: BT IFOH. 3, $NEXT    BT命令のかわりにBTCLR命令を使用するとフラグを自動
                             的にクリアしてくれるので便利。
    BR $LOOP              ← BR命令の実行後に割り込みおよびマクロ・サービスが処理
                             されるため長時間割り込みが保留されることはない。
NEXT: :

```

2. また、同様の理由により、上記に該当する命令群を連続して使用する場合で、割り込みやマクロ・サービスが保留されている期間が長くなっては困る場合には、NOP命令などを途中に挿入して割り込みやマクロ・サービスが受け付けられるタイミングを作ってください。

14.3.6 割り込みおよびマクロ・サービスの動作タイミング

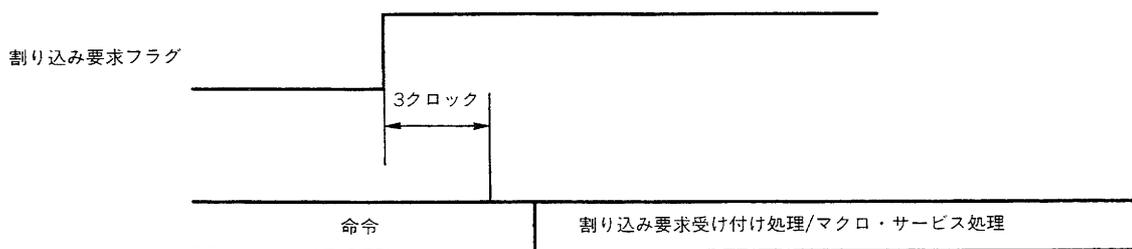
(1) 割り込み要求の発生と受け付け

割り込み要求は、各ハードウェアで発生します。発生した割り込み要求は、割り込み要求フラグをセット(1)します。

割り込み要求フラグがセット(1)されると、優先順位などの判定を行うために3クロック ($0.5 \mu\text{s}$, $f_{\text{CLK}}=6 \text{ MHz}$) かかります。

その後、実行中の命令が終了した時点で、その割り込みまたはマクロ・サービスの受け付けが許可されていれば、その割り込み要求の受け付け処理を行います。なお、実行中の命令が割り込みおよびマクロ・サービスを一時的に保留する命令であれば、その次の命令終了後に受け付けられます (保留する命令については、14.3.5 割り込み要求およびマクロ・サービスが一時的に保留される場合参照)。

図 14-13 割り込み要求の発生と受け付け (単位: クロック)



(2) 割り込み受け付け処理時間

割り込み要求の受け付けには、表 14-5 のような時間がかかります。表 14-5 の時間後に、割り込み処理プログラムの実行を開始します。

表 14-5 割り込み受け付け処理時間^注

(単位：クロック)

スタック領域 プログラム・フェッチ	内部RAM	周辺RAM	外部メモリ
内部ROMフェッチ	18	24	24+w×3
外部ROMフェッチ	24+w×3	30+w×3	30+w×6

(w=ウエイト・サイクル数)

注 実行中の命令が終了するまでの時間および優先順位などの判定を行う時間は含まれていません。

備考 1. 内部ROMフェッチは、内部ROMからプログラムのフェッチを行っている場合で、メモリ拡張モード・レジスタ (MM) のIFCHビットが1の場合の値です。IFCHビットが0の場合は、外部ROMフェッチと同じになります。

2. 内部RAMは、0FE00H-0FEFFHの領域にある内部RAMを示します。

3. 周辺RAMは、0FC80H-0FDFFH (μ PD78237, 78238, 78P238は、0FB00H-0FDFFH)の領域にある内部RAMを示します。

4. 1クロックは、 $1/f_{CLK}$ (167ns : 12MHz動作時) です。

(3) マクロ・サービスの処理時間

マクロ・サービス処理は、マクロ・サービスのタイプなどにより異なり、表 14-6、14-7 のような時間となります。

表 14-6 マクロ・サービス処理時間^注 (MSC=8ビットの場合)

(単位：クロック)

プログラム・フェッチ		メモリ	内部ROMフェッチ			外部ROMフェッチ		
			内部ROM	内部RAM	外部メモリ	内部ROM	内部RAM	外部メモリ
A			—	20	—	—	22	—
B			35	34	36+w	37	36	38+w
C	リング制御なし	データ転送	46	44	48+w×2	48	46	50+w×2
		自動加算	49	47	51+w×2	51	49	53+w×2
	リング制御あり	データ転送	51/55	49/53	53+w×2/ 57+w×2	53/57	51/55	55+w×2/ 59+w×2
		自動加算	54/58	52/56	56+w×2/ 60+w×2	56/60	54/58	58+w×2/ 62+w×2

(w=ウェイト・サイクル数)

注 実行中の命令が終了するまでの時間および優先順位などの判定を行う時間は含まれていません。

- 備考 1. 内部ROMフェッチの欄は、メモリ拡張モード・レジスタ (MM) のIFCHビットが1の場合の値です。IFCHビットが0の場合は、外部ROMフェッチを参照してください。
2. 内部RAMは、内部RAMのOFEOOH-OFEFHの領域が使用される場合の値です。内部RAMの他の領域を使用する場合は、外部メモリの欄でW=0とした値となります。
3. 表中“/”で区切られた部分は、後者がリング・カウンタが0となる場合、前者がそれ以外の場合をそれぞれ示します。
4. 1クロックは、 $1/f_{CLK}$ (167ns : 12MHz動作時) です。

表 14-7 マクロ・サービス処理時間注 (MSC=16ビットの場合)

(単位: クロック)

プログラム・フェッチ メモリ		内部ROMフェッチ			外部ROMフェッチ			
		内部ROM	内部RAM	外部メモリ	内部ROM	内部RAM	外部メモリ	
B		38	37	39+w	40	39	41+w	
C	リング制御 なし	データ転送	49	47	51+w×2	51	49	53+w×2
		自動加算	52	50	54+w×2	54	52	56+w×2
	リング制御 あり	データ転送	54/58	52/56	56+w×2/ 60+w×2	56/60	54/58	58+w×2/ 62+w×2
		自動加算	57/61	55/59	59+w×2/ 63+w×2	59/63	57/61	61+w×2/ 65+w×2

(w=ウエイト・サイクル数)

注 実行中の命令が終了するまでの時間および優先順位などの判定を行う時間は含まれていません。

- 備考 1. 内部ROMフェッチの欄は、メモリ拡張モード・レジスタ (MM) のIFCHビットが1の場合の値です。IFCHビットが0の場合は、外部ROMフェッチを参照してください。
2. 内部RAMは、内部RAMの0FE00H-0FEFFHの領域が使用される場合の値です。内部RAMの他の領域を使用する場合は、外部メモリの欄でW=0とした値となります。
3. 表中“/”で区切られた部分は、後者がリング・カウンタが0となる場合、前者がそれ以外の場合をそれぞれ示します。
4. 1クロックは、 $1/f_{CLK}$ (167ns: 12MHz動作時) です。

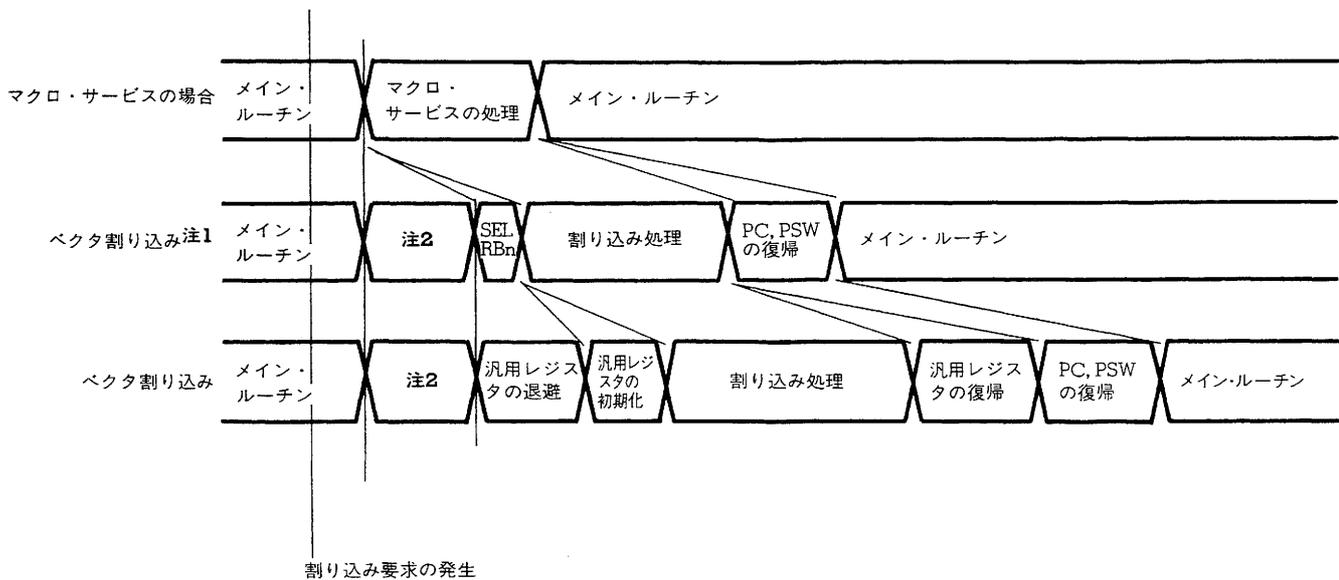
14.4 マクロ・サービス機能

14.4.1 マクロ・サービスの概要

マクロ・サービスは、割り込みの処理方法の一つです。通常のベクタ割り込みではプログラム・カウンタ (PC) やプログラム・ステータス・ワード (PSW) をスタックに退避し、ベクタ・テーブルからベクタ・アドレスを読み出しPCへロードしますが、これらの処理の代わりに別の処理 (主にデータ転送) を行います。したがって、割り込みの要求に対して高速に応答することができます。さらに、プログラムで行うより高速に転送処理が可能なので、処理時間も短縮することができます。

また、指定された回数の処理を行ったあと、ベクタ割り込みを発生しますので、ベクタ割り込みのプログラムが簡略化できるなどの効果もあります。

図 14-14 ベクタ割り込みとマクロ・サービスの処理の違い



注 1. レジスタ・バンク切り替えを使用した場合で、レジスタにはあらかじめ初期値が設定されているとき。

2. PC, PSWをスタックへ退避, ベクタ・アドレスをPCへロード。

14.4.2 マクロ・サービスの種類

マクロ・サービスは表 14-8 に示す 17 種類の割り込みで使用することができます（同時に使用できるのは 15 種類）。また、3 種類の動作タイプがあり、用途により使い分けが可能です。

表 14-8 マクロ・サービスが使用可能な割り込み

割り込み要求発生ソース	発生ユニット	マクロ・サービス・タイプ	タイプA使用時の特殊機能レジスタ
INTP0(端子入力エッジ検出)	エッジ検出	A, B	CR11
INTP1(端子入力エッジ検出)		A, B	CR22
INTP2(端子入力エッジ検出)		A, B	TM2
INTP3(端子入力エッジ検出)		B	—
INTC00(TM0-CR00—致信号発生)	16ビット・タイマ/カウンタ	B	—
INTC01(TM0-CR01—致信号発生)		B	—
INTC10(TM1-CR10—致信号発生)	8ビット・タイマ/カウンタ1	A, B, C	CR10
INTC11(TM1-CR11—致信号発生)		A, B, C	CR11
INTC21(TM2-CR21—致信号発生)	8ビット・タイマ/カウンタ2	A, B	CR21
INTP4(端子入力エッジ検出)	エッジ検出	B	—
INTC30(TM3-CR30—致信号発生)	8ビット・タイマ/カウンタ3	A, B	CR30
INTP5(端子入力エッジ検出)	エッジ検出	B	—
INTAD(A/D変換終了)	A/Dコンバータ	A, B	ADCR
INTC20(TM2-CR20—致信号発生)	8ビット・タイマ/カウンタ2	A, B	CR20
INTSR(アシンクロナス・シリアル・インタフェース受信終了)	アシンクロナス・シリアル・インタフェース	A, B	RXB
INTST(アシンクロナス・シリアル・インタフェース送信終了)		A, B	TXB
INTCSI(クロック同期式シリアル・インタフェース転送終了)	クロック同期式シリアル・インタフェース	A, B	SIO

マクロ・サービスの種類は以下の3タイプです。

(1) タイプA

割り込み要求の発生ごとに1バイトのデータを特殊機能レジスタ (SFR) とメモリとの間で行い、指定された回数のデータ転送を行うとベクタ割り込みの要求を発生します。

転送の対象となるSFRは割り込み要求ごとに固定となっています。また、メモリも0FE00H-0FEFFHの内部RAMに限定されます。

指定の方法が簡単で小容量の高速のデータ転送に向いています。

(2) タイプB

タイプAと同様に、割り込み要求の発生ごとに、1バイトのデータをSFRとメモリとの間で行い、指定された回数のデータ転送を行うとベクタ割り込みの要求を発生します。

転送の対象となるSFRとメモリはマクロ・サービス・チャンネルで指定します (メモリは、0000H-FEFFFHの64 Kバイトの空間内のみ)。

タイプAの汎用タイプで、転送データ量が多い場合に向いています。

(3) タイプC

割り込み要求の発生ごとに、リアルタイム出力ポートと8ビット・タイマ/カウンタ1のコンペア・レジスタのそれぞれへ1バイトずつメモリからデータ転送します。指定された回数のデータ転送を行うと、ベクタ割り込みを発生します。

タイプCのマクロ・サービスは一度の割り込み要求で2箇所へのデータ転送を行うことのほかに、出力データのリング制御やコンペア・レジスタとデータを自動的に加算する機能などを付加して使用することもできます。

タイプCを使用できる割り込みはINTC10とINTC11に限られ、転送対象となるSFRは限定されています。メモリについては0000H-FEFFFHの64 Kバイトの空間を使用できます。

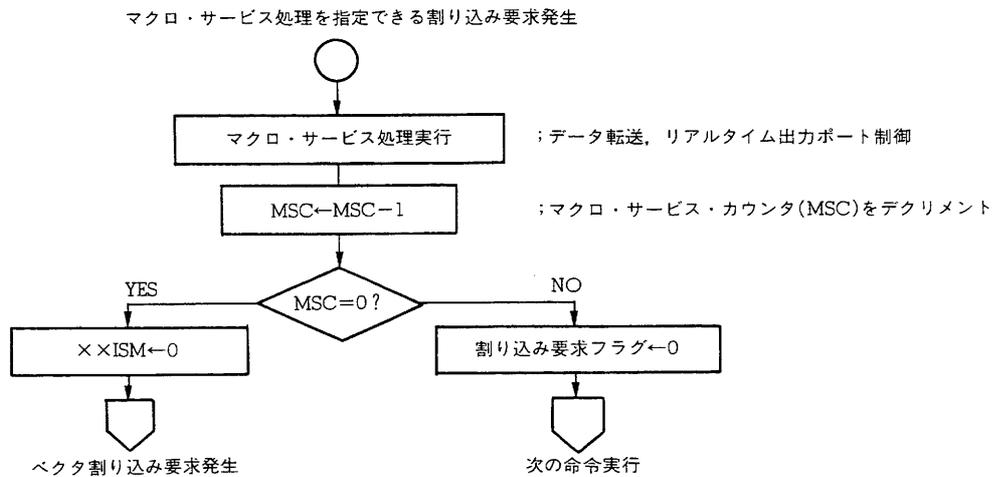
タイプCはリアルタイム出力ポート用のマクロ・サービスでステッピング・モータの制御などに向いています。

14.4.3 マクロ・サービスの基本動作

図 14-10 で示すアルゴリズムで発生したマクロ・サービス処理を指定できる割り込み要求は、基本的には図 14-15 に示すシーケンスで処理されます。

マクロ・サービス処理を指定できる割り込み要求は、IEフラグの状態には影響されません。割り込みマスク・レジスタ (MK0) の割り込みマスク・フラグのセット(1)によってのみ禁止されます。割り込み禁止状態、また割り込み処理プログラム実行中でもマクロ・サービス処理は実行できます。

図 14-15 マクロ・サービス処理シーケンス



マクロ・サービスは、マクロ・サービス・コントロール・ワードのモード・レジスタに設定された値により、マクロ・サービスのタイプや転送方向などを決定します。その後、チャンネル・ポイントで指定されるマクロ・サービス・チャンネルをマクロ・サービスのタイプに従って使用して転送処理を行います。

マクロ・サービス・チャンネルには、転送回数を記憶するマクロ・サービス・カウンタや転送先や転送元のポインタやデータ・バッファが配置されているメモリで、内部RAMのFE00H-FEFFFHの中の任意のアドレスに配置することが可能です。

14.4.4 マクロ・サービス制御レジスタ

(1) マクロ・サービス・コントロール・ワード

μPD78234のマクロ・サービス機能は、マクロ・サービス・モード・レジスタとマクロ・サービス・チャンネル・ポインタで制御されます。マクロ・サービス・モード・レジスタによってマクロ・サービス処理モードを設定し、マクロ・サービス・チャンネル・ポインタによってマクロ・サービス・チャンネルのアドレスを指し示します。

マクロ・サービス・モード・レジスタとマクロ・サービス・チャンネル・ポインタは、マクロ・サービス・コントロール・ワードとして、各マクロ・サービスごと、図 14-16 に示すように内部RAMの一部にマッピングされています。

マクロ・サービス処理を行うとき、マクロ・サービス処理を指定できる割り込み要求に対応するマクロ・サービス・モード・レジスタとチャンネル・ポインタの値を設定しておく必要があります。

図 14-16 マクロ・サービス・コントロール・ワードの構成

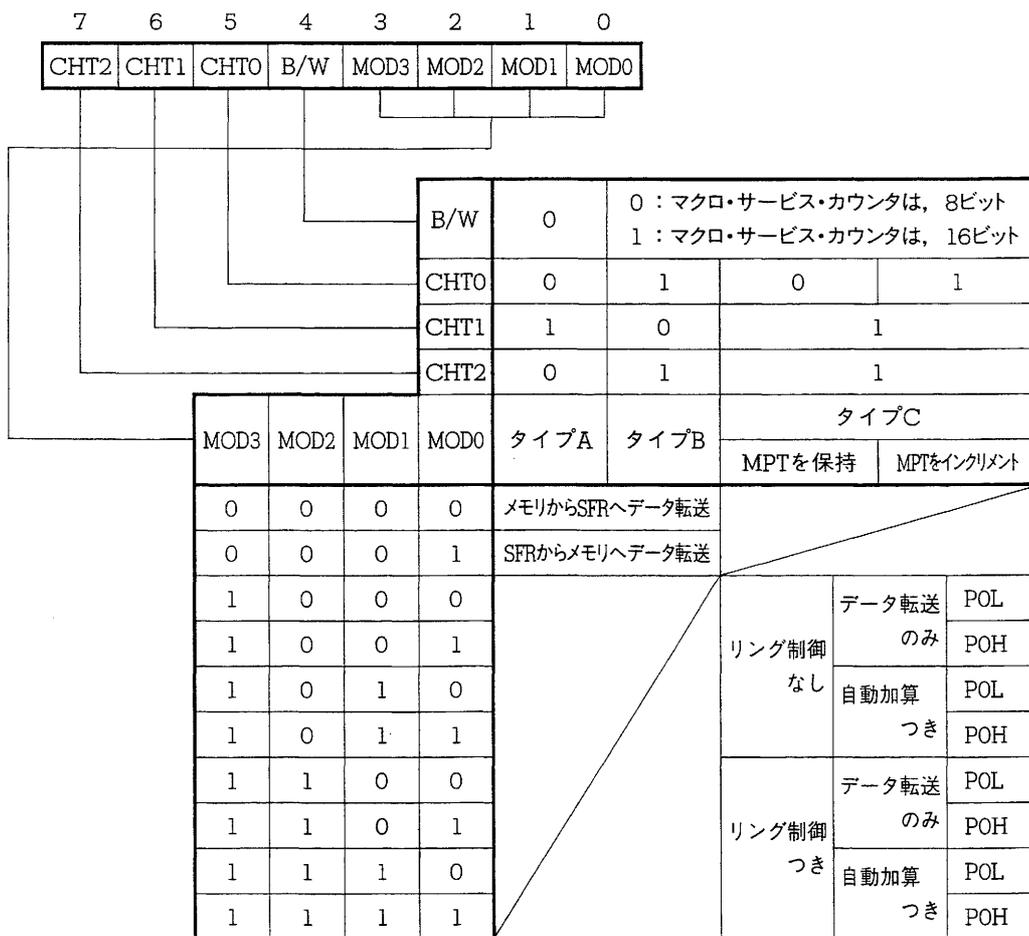
0FEDFH	チャンネル・ポインタ	} INTSR
0FEDEH	モード・レジスタ	
0FEDDH	チャンネル・ポインタ	} INTST
0FEDCH	モード・レジスタ	
0FEDBH	チャンネル・ポインタ	} INTCSI
0FEDAH	モード・レジスタ	
0FED9H	チャンネル・ポインタ	} INTC10
0FED8H	モード・レジスタ	
0EFD7H	チャンネル・ポインタ	} INTC11
0FED6H	モード・レジスタ	
0FED5H	チャンネル・ポインタ	} INTP4/INTC30
0FED4H	モード・レジスタ	
0FED3H	チャンネル・ポインタ	} INTP5/INTAD
0FED2H	モード・レジスタ	
0FED1H	チャンネル・ポインタ	} INTC00
0FED0H	モード・レジスタ	
0FECFH	チャンネル・ポインタ	} INTC01
0FECEH	モード・レジスタ	
0FECDH	チャンネル・ポインタ	} INTC20
0FECCH	モード・レジスタ	
0FECBH	チャンネル・ポインタ	} INTC21
0FECAH	モード・レジスタ	
0FEC9H	チャンネル・ポインタ	} INTP0
0FEC8H	モード・レジスタ	
0FEC7H	チャンネル・ポインタ	} INTP1
0FEC6H	モード・レジスタ	
0FEC5H	チャンネル・ポインタ	} INTP2
0FEC4H	モード・レジスタ	
0FEC3H	チャンネル・ポインタ	} INTP3
0FEC2H	モード・レジスタ	

(2) マクロ・サービス・モード・レジスタ

マクロ・サービス・モード・レジスタはマクロ・サービスの動作を指定する8ビット・レジスタです。マクロ・サービス・コントロール・ワードの一部として内部RAM上に書いておきます (図 14-16 参照)。

そのフォーマットを図 14-17 に示します。

図 14-17 マクロ・サービス・モード・レジスタのフォーマット



(3) マクロ・サービス・チャンネル・ポインタ

マクロ・サービス・チャンネル・ポインタは、マクロ・サービス・チャンネルのアドレスを指定するポインタです。マクロ・サービス・チャンネルは内部RAMのFE00H-FEFFFHの256バイトの空間に配置可能で、アドレスの上位8ビットが固定です。したがって、マクロ・サービス・チャンネル・ポインタには、マクロ・サービス・チャンネルの最上位アドレスの下位8ビットを設定します。

14.4.5 マクロ・サービス・タイプA

(1) 動作

マクロ・サービス・チャンネル内のバッファ・メモリと割り込み要求ごとにあらかじめ決まっているSFRとの間でデータの転送を行います。

タイプAは、データの転送方向としてメモリからSFR、またはSFRからメモリを選択することができます。

あらかじめマクロ・サービス・カウンタに設定した回数だけ、データ転送を行います。なお、1回のマクロ・サービス処理で8ビットのデータが転送されます。

転送するデータ量が少ないときに、高速でデータ転送ができるので有効です。

マクロ・サービスのタイプAを指定できる割り込み要求は、表 14-9のように12種類あります。それぞれが転送元もしくは転送先のSFRとして表 14-9のレジスタがハードウェアで指定されています。

表 14-9 マクロ・サービス処理を指定できる割り込み要求とSFR (タイプA)

タイプAを指定できるマクロ・サービス処理を行う割り込み要求	転送元／転送先のSFR
INTC10	CR10レジスタ
INTC11	CR11レジスタ
INTC20	CR20レジスタ
INTC21	CR21レジスタ
INTC30	CR30レジスタ
INTSR	RXBレジスタ
INTST	TXSレジスタ
INTCSI	SIOレジスタ
INTAD	ADCRレジスタ
INTP0	CR11レジスタ
INTP1	CR22レジスタ
INTP2	TM2レジスタ

注意 外部メモリ拡張時 (μ PD78233は常時) に、マクロ・サービスのタイプAを使用している場合、不正なライト・アクセス動作が発生する場合があります。

不正ライト・アクセスは、次の2つの条件のうちどちらかが成立したときに発生します。

- (1) メモリからSFRへの転送の場合で、転送データがDOH-DFHのとき
- (2) SFRからメモリへの転送の場合で、マクロ・サービス実行時に転送先バッファ (メモリ) のアドレスがOFEDOH-OFEDFHのとき

不正なライト・アクセスは、通常のメモリ・アクセスと同様に行われます。また、メモリ拡張モード・レジスタ (MM) のPW20, PW21ビットの設定に従ってウェイトが挿入されます。表 14-10に、不正なライト・アクセスの発生条件と動作を示します。

表 14-10 不正ライト・アクセスの発生条件と動作

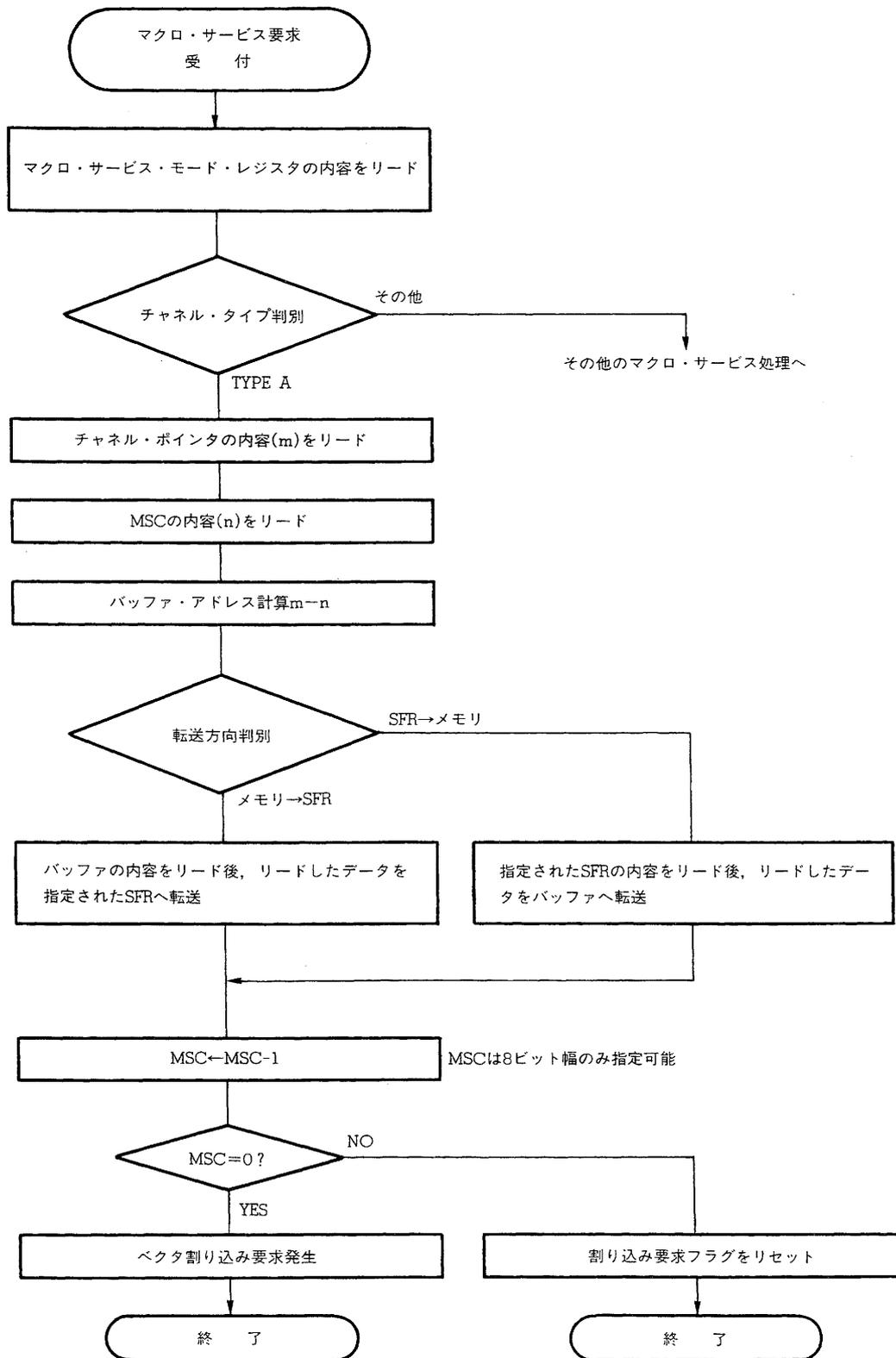
条件	不正ライト・アクセス	
	アドレス	データ
1	転送先のSFRのアドレス	マクロ・サービスで転送したデータ
2	転送の対象となるSFRのアドレス	転送先バッファ (メモリ) のアドレスの下位8ビット

本不具合を回避するには、次の2つの方法があります。

- (1) 条件1の不具合は、ソフトウェアによって回避することは困難です(転送データに依存するため)。したがって、外付けのアドレス・デコード回路によりOFF00H-OFFFFHの領域のイメージが外付け回路のメモリ・アドレスに重複しないようにする。
- (2) 使用するマクロ・サービスが条件1に該当しない(SFRからメモリへの転送を使用しない)場合、および条件2の場合は、バッファ領域のアドレスがOFEDOH-OFEDFHとならない位置に配置する。

なお、不具合はインサーキット・エミュレータでも発生します。

図 14-18 マクロ・サービス・データ転送処理フロー (タイプA)

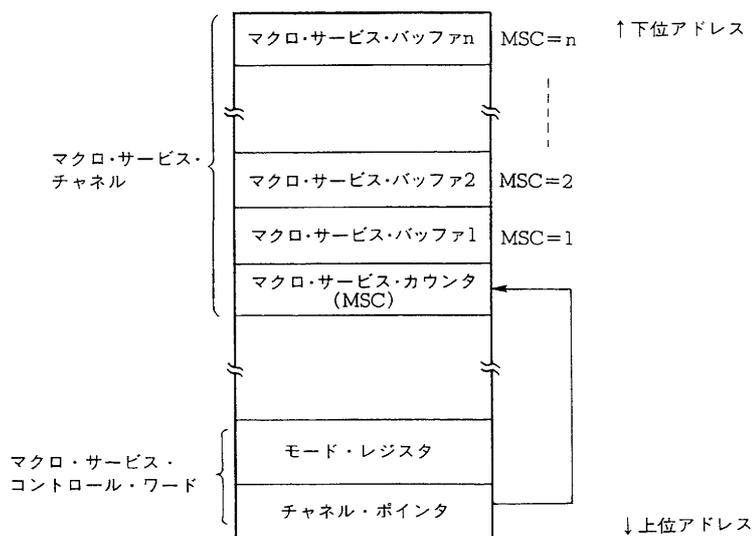


(2) マクロ・サービス・チャンネルの構成

チャンネル・ポインタとマクロ・サービス・カウンタ (MSC) とで、転送元もしくは転送先となる内部RAM (FE00H-FEFFFH) 上のバッファ・アドレスを示します (図 14-19参照)。チャンネル・ポインタには、アドレスの下位8ビットを書き込みます。

なお、アクセスの対象となるSFRは、割り込み要求ごとにあらかじめ決められています (表 14-9参照)。

図 14-19 タイプAのマクロ・サービス・チャンネル



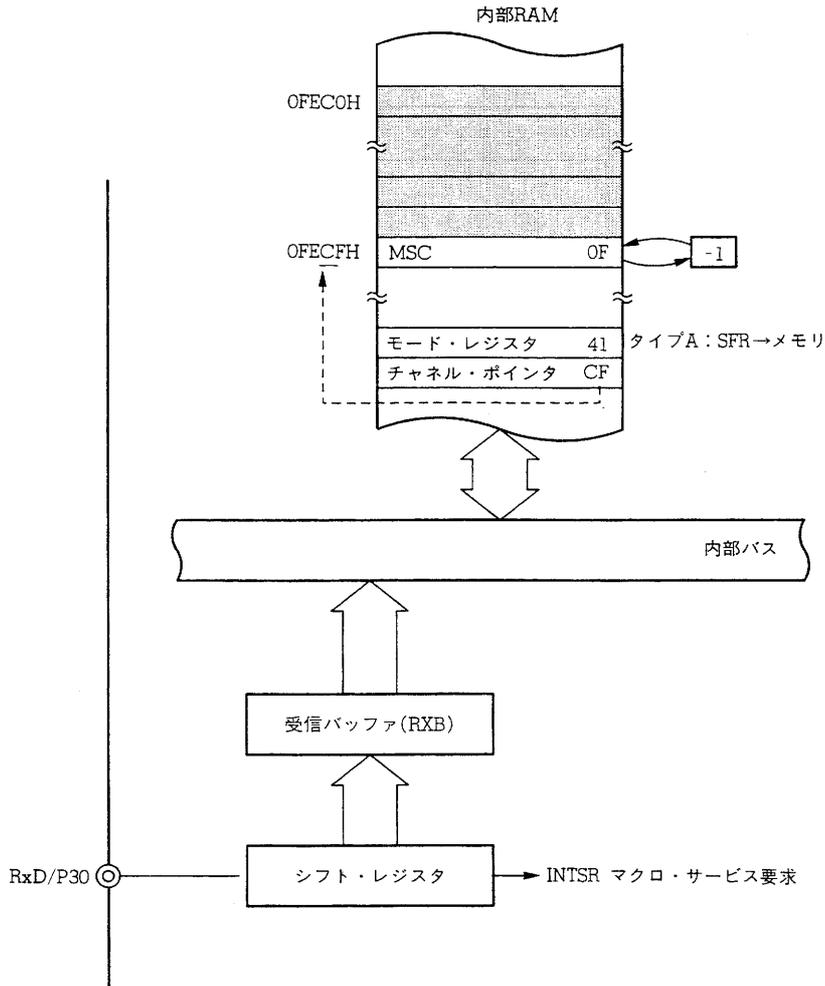
$$(\text{マクロ・サービス・バッファ・アドレス}) = (\text{チャンネル・ポインタ}) - (\text{マクロ・サービス・カウンタ})$$

注意 タイプAでは、マクロ・サービス・カウンタ (MSC) を16ビットに指定することはできません。したがって、マクロ・サービス・モード・レジスタのビット4 (B/W) には必ず“0”を書き込んでください。

(3) タイプA使用例

アシンクロナス・シリアル・インタフェースにより受信したデータを内蔵RAM内のバッファ領域に転送する例を示します。

図 14-20 アシンクロナス・シリアル受信



14.4.6 マクロ・サービス・タイプB

(1) 動作

マクロ・サービス・チャンネルで指定されるメモリ内のデータ領域とSFRとの間でデータの転送を行います。

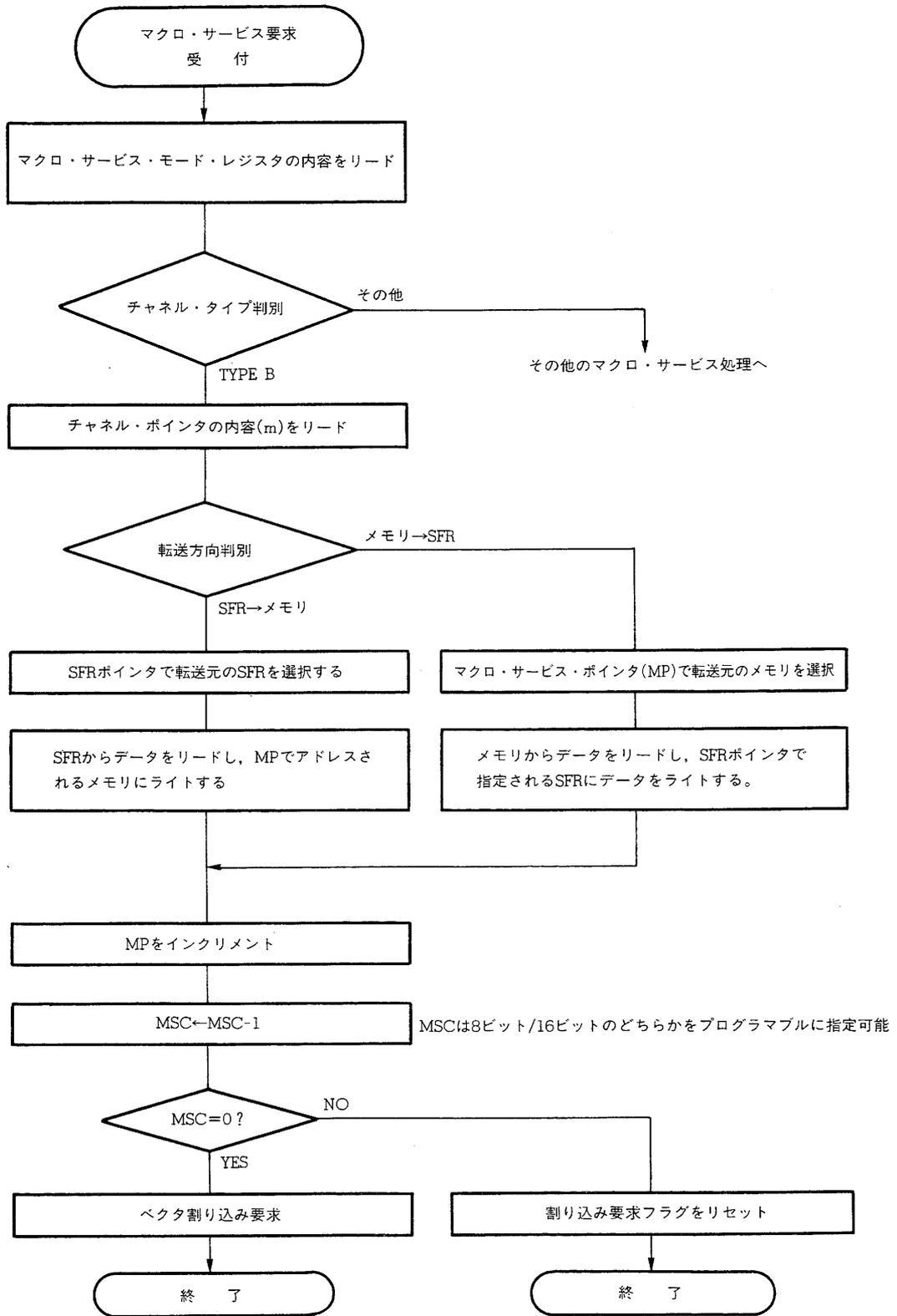
タイプBは、データの転送方向としてメモリからSFR、またはSFRからメモリを選択することができます。

あらかじめマクロ・サービス・カウンタに設定した回数だけ、データ転送を行います。なお、1回のマクロ・サービス処理で8ビットのデータが転送されます。

タイプBのマクロ・サービス処理は、 μ PD78234が持つ割り込み要求のうちマクロ・サービスを起動することのできるすべての要求に対して指定することができます。タイプBは、転送先または転送元となるSFRもSFRポイントにより任意に指定することができます。

タイプAのマクロ・サービスを汎用的にしたタイプで、データ・バッファ領域を64 Kバイトのアドレス空間に持たせることができるため、大容量データの処理に最適です。

図 14-21 マクロ・サービス・データ転送処理フロー (タイプB)



(2) マクロ・サービス・チャンネルの構成

マクロ・サービス・ポインタ (MP) は、転送先または転送元となる64 Kメモリ空間内のデータ・バッファ領域を示します。

SFRポインタ (SFRP) には、転送先または転送元となるSFRのアドレスの下位8ビットを書き込みます。

マクロ・サービス・カウンタ (MSC) は、データ転送の回数を指定します。MSCは8ビット、16ビットの選択が可能です。

マクロ・サービス・ポインタ、SFRポインタおよびマクロ・サービス・カウンタを格納するマクロ・サービス・チャンネルは、内部RAM空間の0FE00H-0FEFFHに配置します。

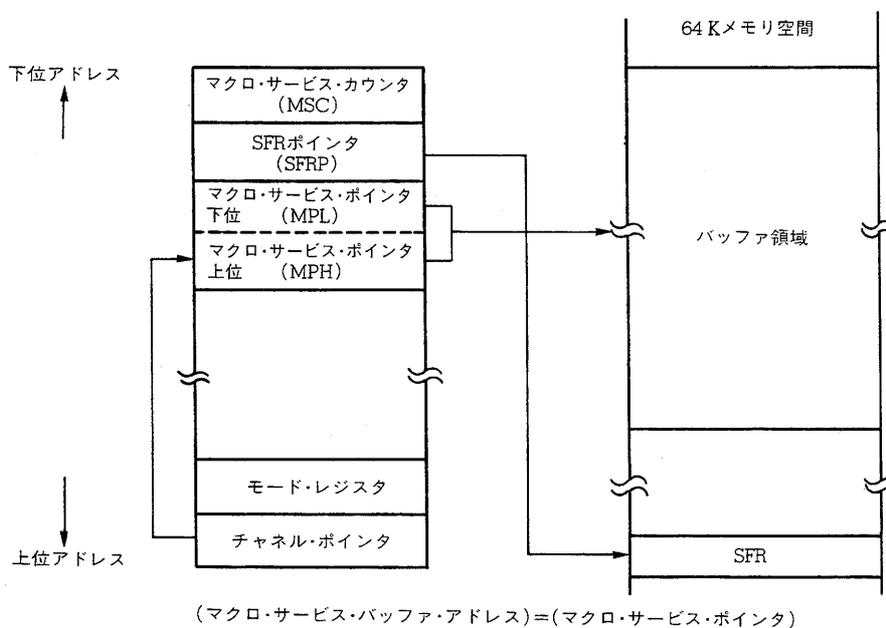
マクロ・サービス・チャンネルは、図14-22で示すようにチャンネル・ポインタで示します。チャンネル・ポインタには、マクロ・サービス・チャンネルのアドレスの下位8ビットを書き込みます。

注意 次のものは、SFRとして使用することはできません。

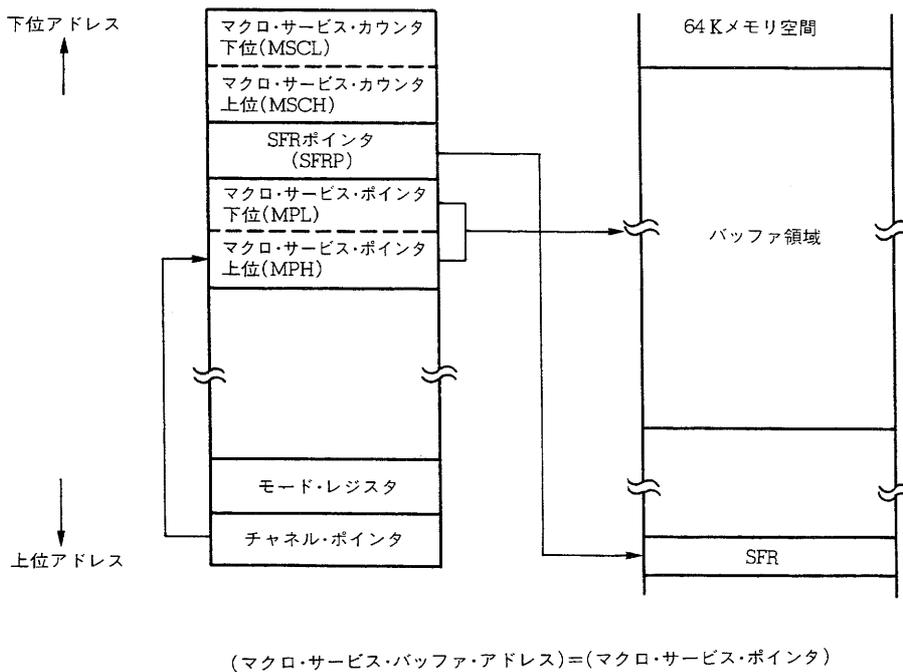
IFOL, IFOH, MKOL, MKOH, PROL, PROH, ISMOL, ISMOH, IST

図 14-22 タイプBのマクロ・サービス・チャンネル

(a) MSCが8ビットの場合



(b) MSCが16ビットの場合



(3) タイプB使用例

外部信号に同期してポート3から平行・データを入力する例を示します。外部信号との同期は外部割り込み端子 (INTP4) 入力を用います。

図 14-23 外部割り込みに同期した平行・データ入力

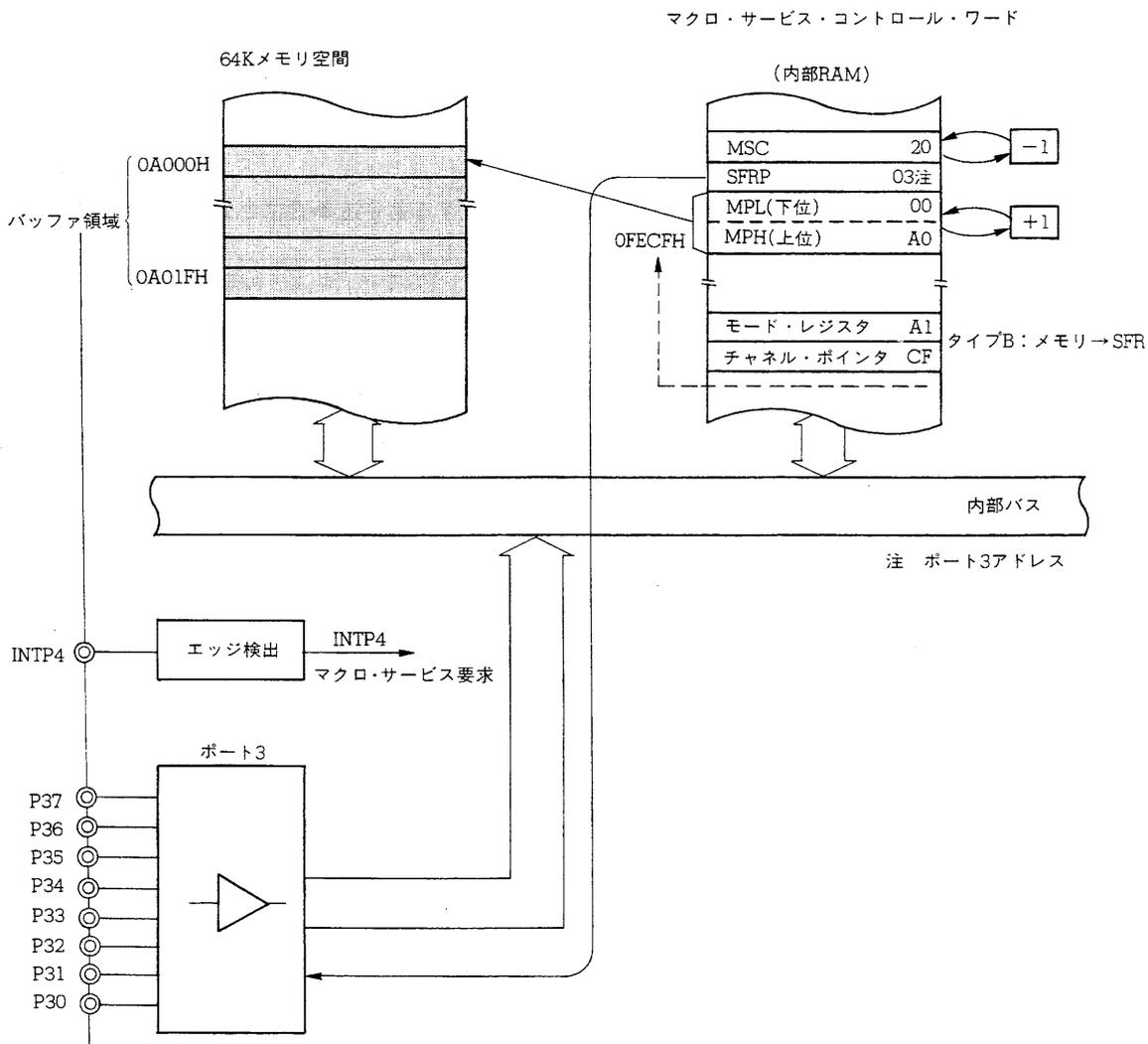
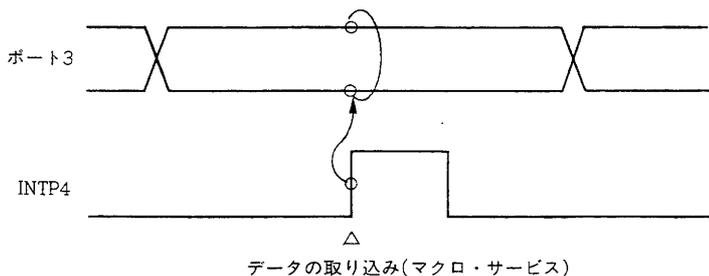


図 14-24 平行・データ入力のタイミング



14.4.7 マクロ・サービス・タイプC

(1) 動作

タイプCのマクロ・サービスは、8ビット・タイマ/カウンタ1とリアルタイム出力ポートを同時にコントロールします。マクロ・サービスのタイプCでは、1回の割り込み要求に対して、8ビット・タイマ/カウンタ1のコンペア・レジスタとリアルタイム出力ポートのバッファ・レジスタへデータを転送します。

タイプCのマクロ・サービスが指定できる割り込み要求は、INTC10、INTC11のみで表 14-11 のように転送先のレジスタが決まっています。

表 14-11 マクロ・サービス処理を指定できる割り込み要求とSFR (タイプC)

割り込み要求	MPTでアドレスされるデータの転送先	MPDでアドレスされるデータの転送先
INTC10	CR10	POLまたはPOH (モード・レジスタで設定)
INTC11	CR11	POLまたはPOH (モード・レジスタで設定)

タイプCのマクロ・サービスは、上記の基本的なデータ転送に加えて、バッファ領域の圧縮とソフトウェアの負担を軽減するために以下の機能を付加することができます。

(a) タイマ用マクロ・サービス・ポイントの保持

タイマ用のマクロ・サービス・ポイント (MPT) を保持するか、インクリメントするかを選択できます。

(b) 自動加算

タイマ用のマクロ・サービス・ポイント (MPT) でアドレスされるデータと現在のコンペア・レジスタの値を加算して、加算結果をコンペア・レジスタへ転送します

自動加算を指定しない場合は、MPTでアドレスされるデータをコンペア・レジスタに転送するだけです。

(c) リング制御

あらかじめ指定された長さの出力データ・パターンを自動的に繰り返し出力します。

これらの指定は、マクロ・サービス・コントロール・ワードのモード・レジスタで指定します。

注意 1. マクロ・サービス・タイプCでも、MPT、MPDのインクリメントは16ビットで行われます。したがって、 μ PD78214サブシリーズ、 μ PD78224サブシリーズのソフトウェアを流用する場合にはご注意ください (μ PD78214サブシリーズ、 μ PD78224サブシリーズのインクリメント動作は下位8ビットに対してだけ行われます)。

注意 2. 外部メモリ拡張時 (μ PD78233は常時) に、マクロ・サービスのタイプCを使用している場合、不正なライト・アクセス動作が発生する場合があります。

不正ライト・アクセスは、次の条件が成立したときに発生します。

- ・ MPTLのアドレスがOFED0H-OFEDFHのとき

不正なライト・アクセスは、通常のメモリ・アクセスと同様に行われます。また、メモリ拡張モード・レジスタ (MM) のPW20, PW21ビットの設定に従ってウェイトが挿入されます。表 14-12に、不正なライト・アクセスの発生条件と動作を示します。

表 14-12 不正ライト・アクセスの発生条件と動作

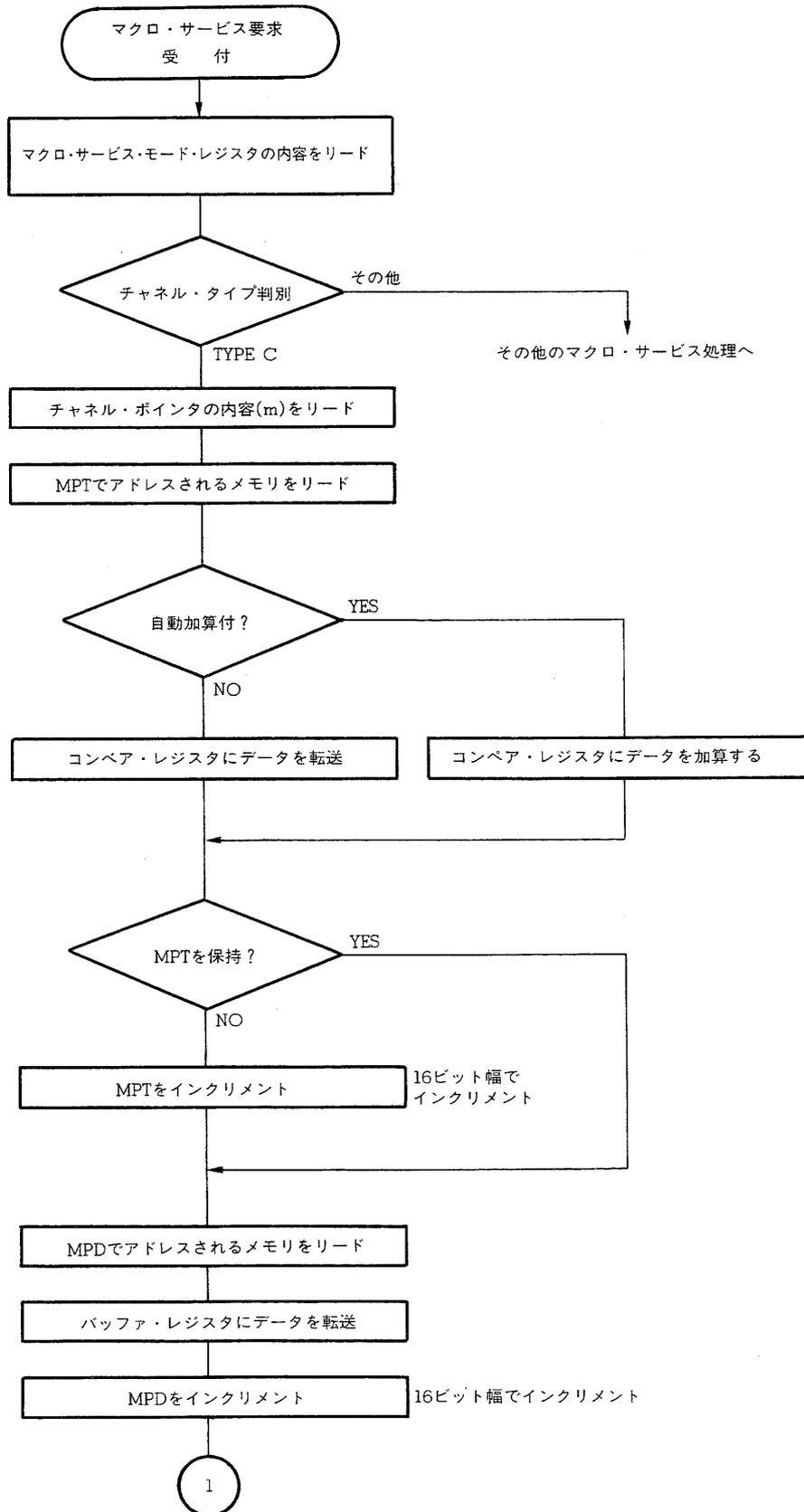
不正ライト・アクセス	
アドレス	データ
転送先のSFR (CR10またはCR11) のアドレス	MPTLのアドレスの下位8ビット

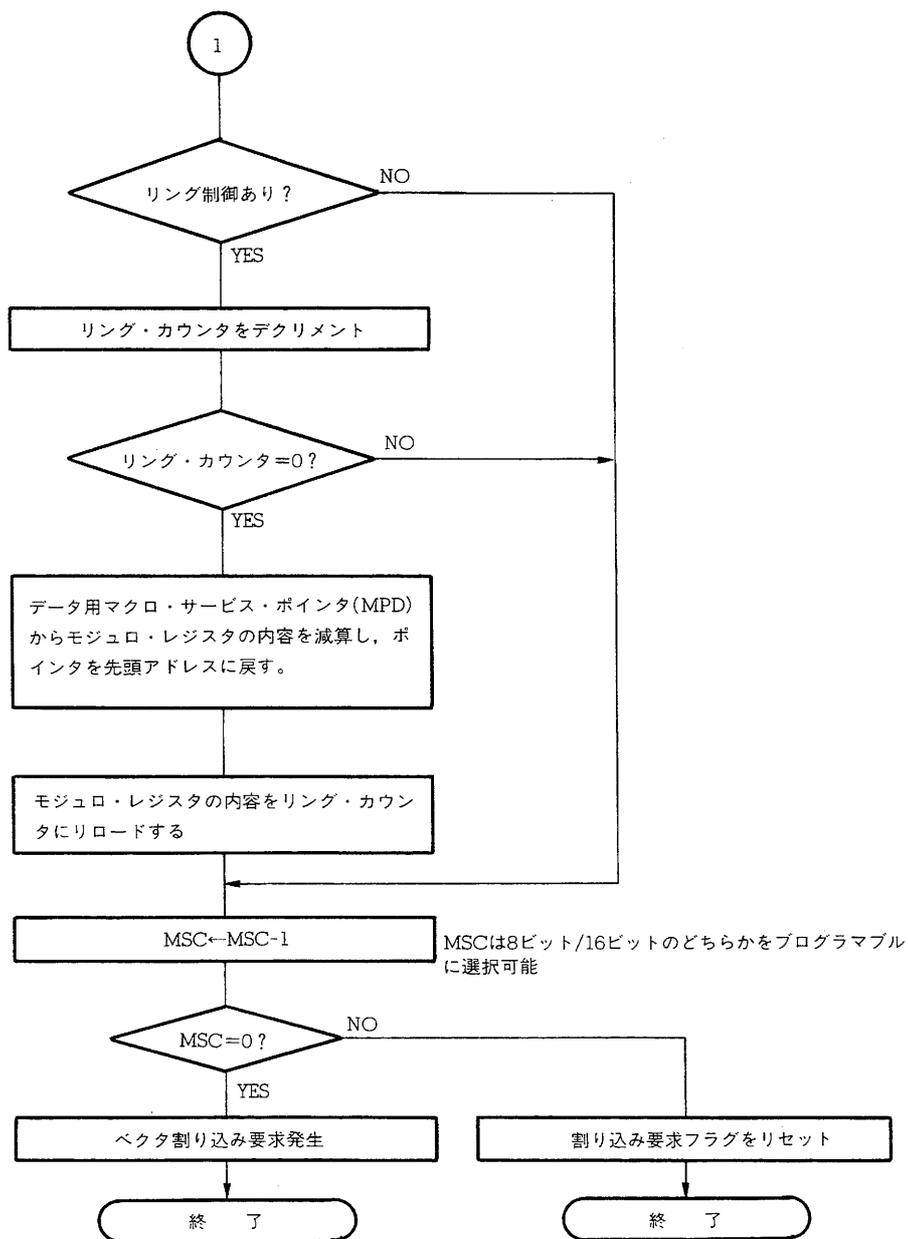
本不具合を回避するには、次の方法があります。

- ・ MPTLのアドレスがOFED0H-OFEDFHとならない位置に配置する。

なお、不具合はインサーキット・エミュレータでも発生します。

図 14-25 マクロ・サービス・データ転送処理フロー (タイプC)





(2) マクロ・サービス・チャンネルの構成

タイプCのマクロ・サービス・チャンネルには図 14-26 に示す4種類があります。

タイマ用マクロ・サービス・ポインタ (MPT) は8ビット・タイマ/カウンタ1のコンペア・レジスタに転送または加算する64 Kメモリ空間内のデータ・バッファ領域を示します。

データ用マクロ・サービス・ポインタ (MPD) はリアルタイム出力ポートへ転送する64 Kメモリ空間内のデータ・バッファ領域を示します。

モジュロ・レジスタ (MR) は、リング制御を使用するとき繰り返しのパターン数を指定します。

リング・カウンタ (RC) は、リング制御を使用するときのパターン内のステップを保持します。通常初期設定時は、モジュロ・レジスタと同じ値に設定します。

マクロ・サービス・カウンタ (MSC) は、データの転送回数を指定します。MSCは8ビット、16ビットの選択が可能です。

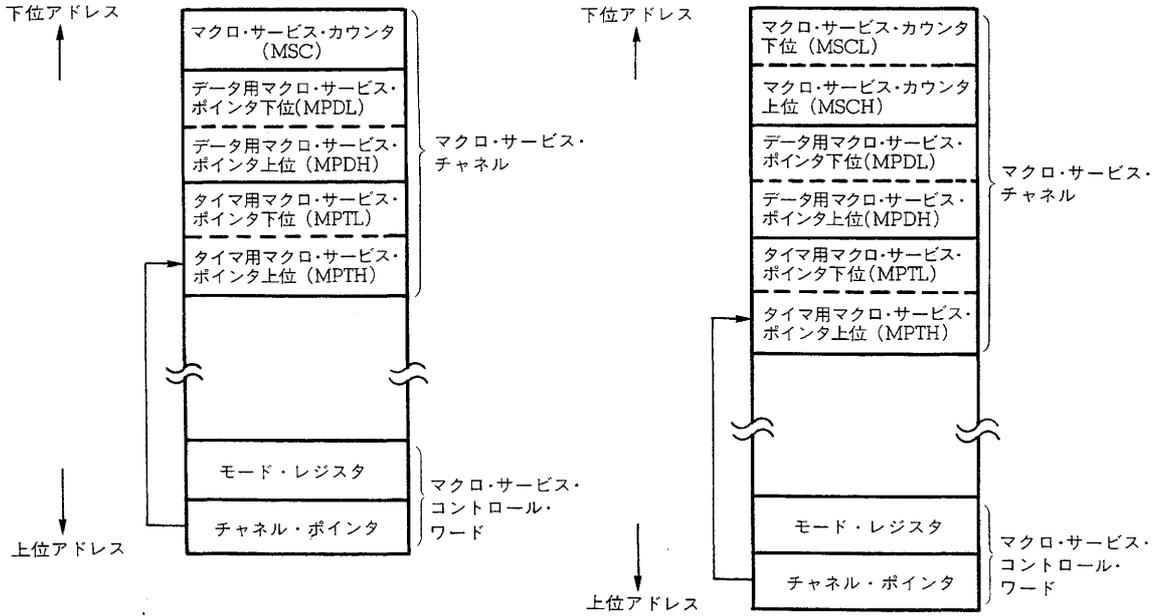
これらのポインタやカウンタを格納するマクロ・サービス・チャンネルは、0FE00H-0FEFFHの内部RAM空間に配置します。マクロ・サービス・チャンネルは、図14-26に示すようにチャンネル・ポインタで示します。チャンネル・ポインタには、マクロ・サービス・チャンネルのアドレスの下位8ビットを書き込みます。

図 14-26 タイプCのマクロ・サービス・チャンネル

(a) リング制御なし

(i) マクロ・サービス・カウンタ8ビット

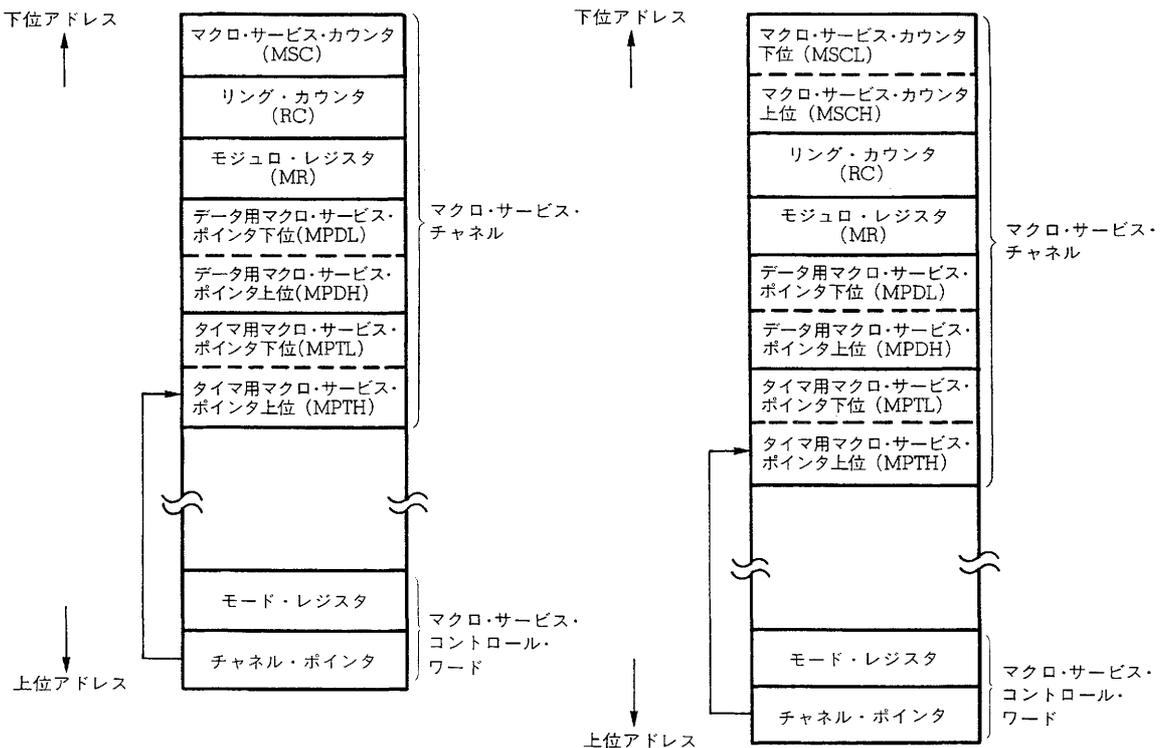
(ii) マクロ・サービス・カウンタ16ビット



(b) リング制御あり

(i) マクロ・サービス・カウンタ8ビット

(ii) マクロ・サービス・カウンタ16ビット



(3) タイプC使用例

(a) 基本動作

リアルタイム出力ポートへの出力パターンと出力インターバルを直接制御する例を示します。

64Kバイト空間にあらかじめ設定してある2つのデータ格納領域より、リアルタイム出力機能のバッファ・レジスタ (POH, POL), およびコンペア・レジスタ (CR10, CR11) に更新データを転送します。

図 14-27 リアルタイム出力ポートによるステッピング・モータの開ループ制御

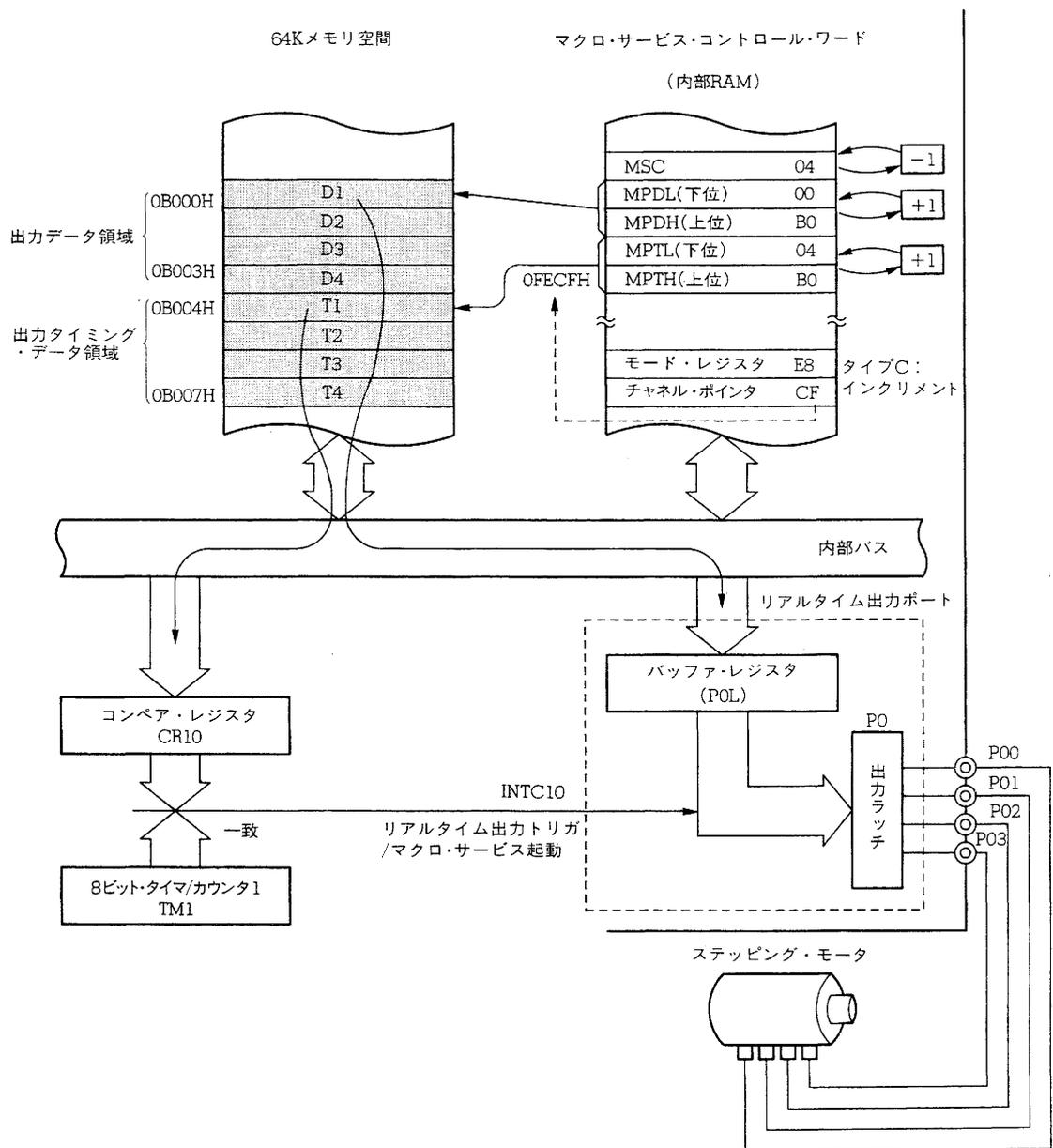
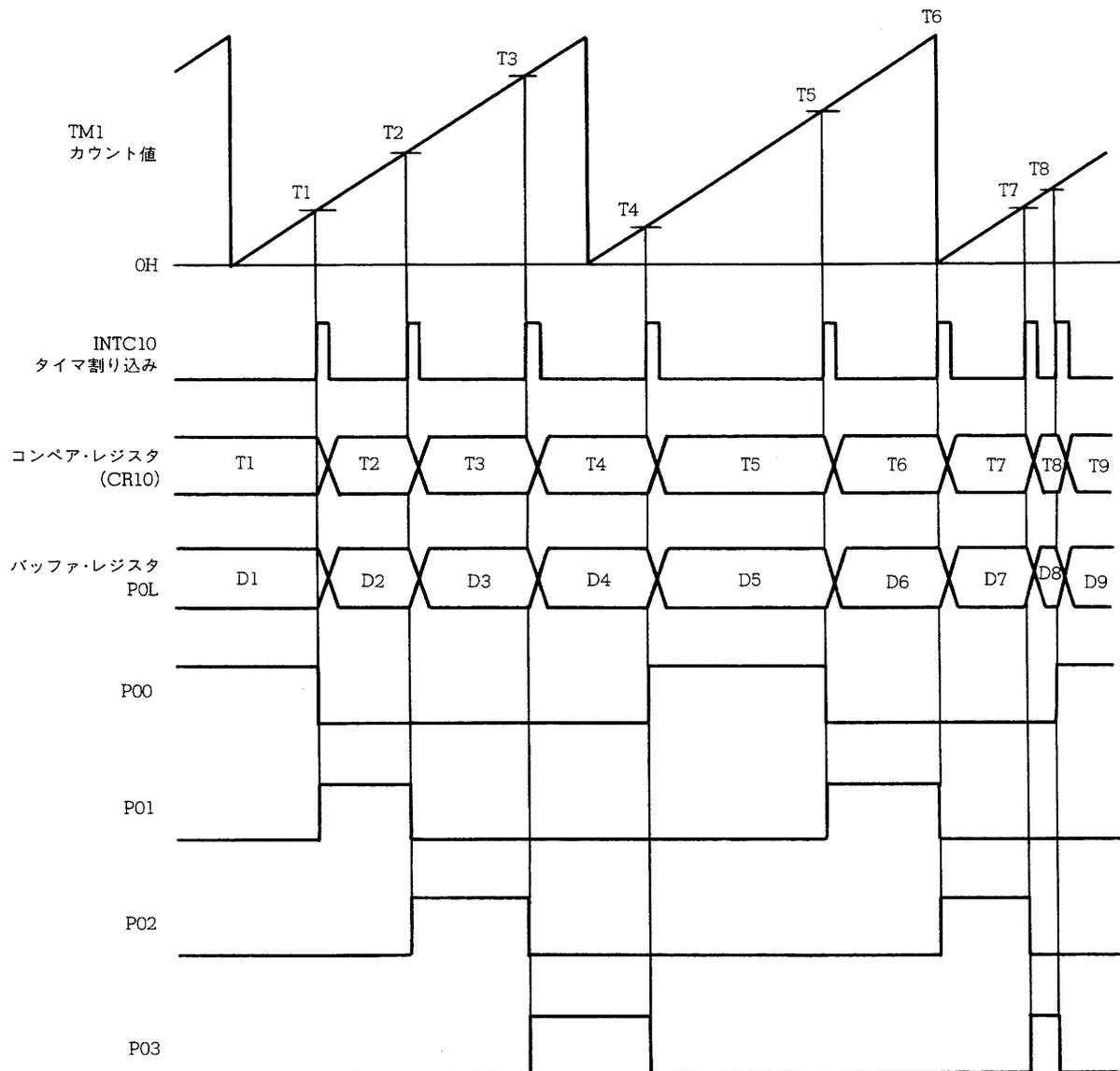


図 14-28 データ転送制御のタイミング



(b) 自動加算制御およびリング制御の使用例**(i) 自動加算制御**

マクロ・サービス・ポインタ (MPT) で指定された出力タイミング・データ (Δt) をコンペア・レジスタの内容に加算し、加算結果をコンペア・レジスタに書き戻します。

この自動加算制御を利用することにより、コンペア・レジスタの設定値をその都度プログラム中で計算させる必要がなくなります。

(ii) リング制御

リング制御は、あらかじめ決まる出力データ・パターンを1サイクル分だけ用意しておいて、1サイクル分の出力パターンをリング形式で繰り返し順に出力するものです。

リング制御を用いる場合、出力するデータ・パターンとして1サイクル分だけ準備すればよいので、データROM領域を小さくすることができます。

マクロ・サービス・カウンタ (MSC) のデクリメントは、1回のデータ転送ごとに行います。

リング制御の場合も、MSC=0で割り込み要求を発生します。

たとえば、ステッピング・モータを制御する場合、対象となるステッピング・モータの構成、および1相励磁、2相励磁などの相励磁方式によって出力データ・パターンは変化しますが、いずれの場合も繰り返しパターンになります。例として、4相ステッピング・モータの1相励磁の場合と1-2相励磁の場合を図14-29、図14-30に示します。

図 14-29 4相ステップング・モータの1相励磁の場合

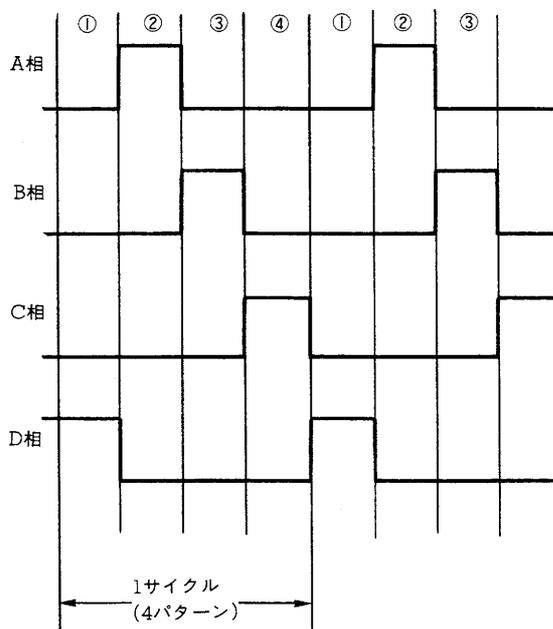


図 14-30 4相ステップング・モータの1-2相励磁の場合

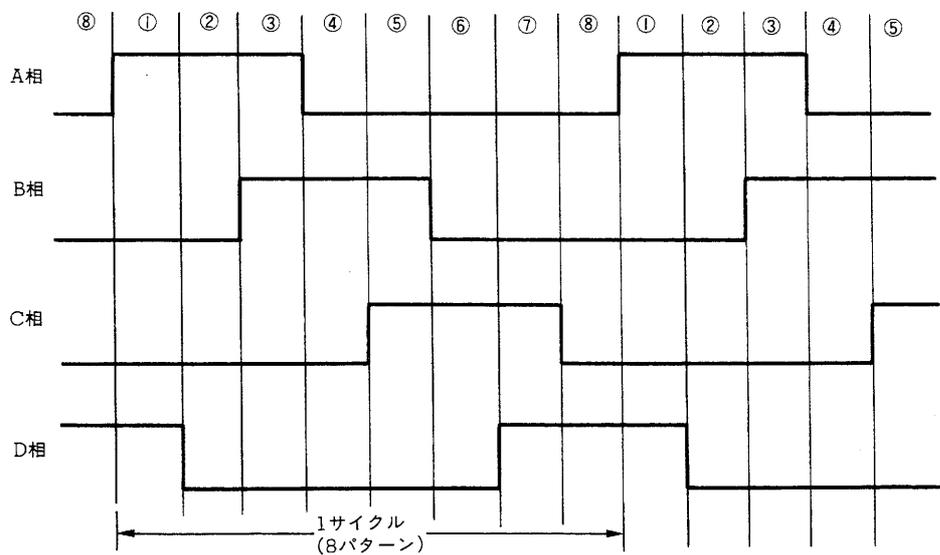


図 14-31 自動加算制御+リング制御のブロック図1

(1-2相励磁で出力タイミングが変化する場合：MSC=8ビット)

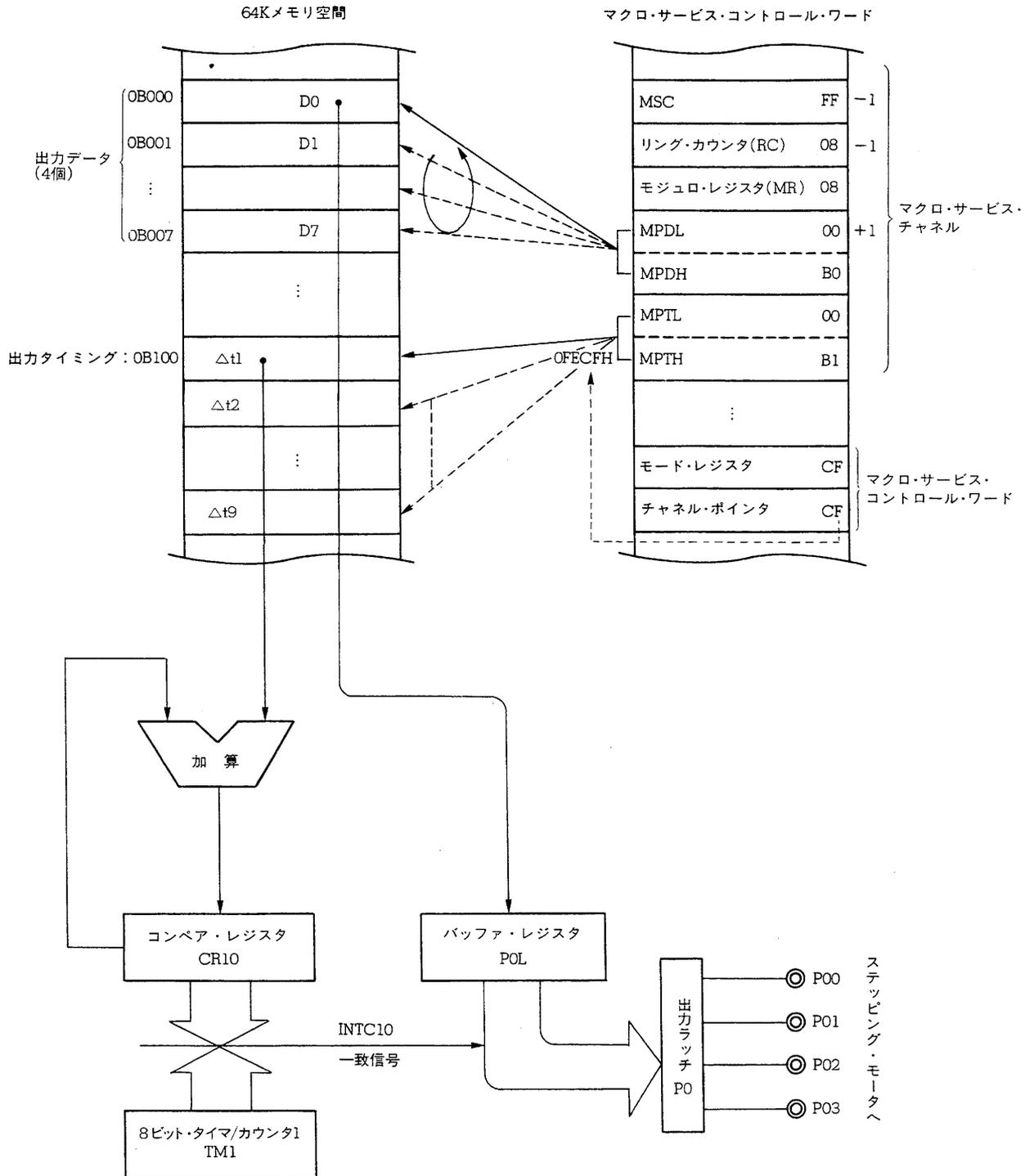
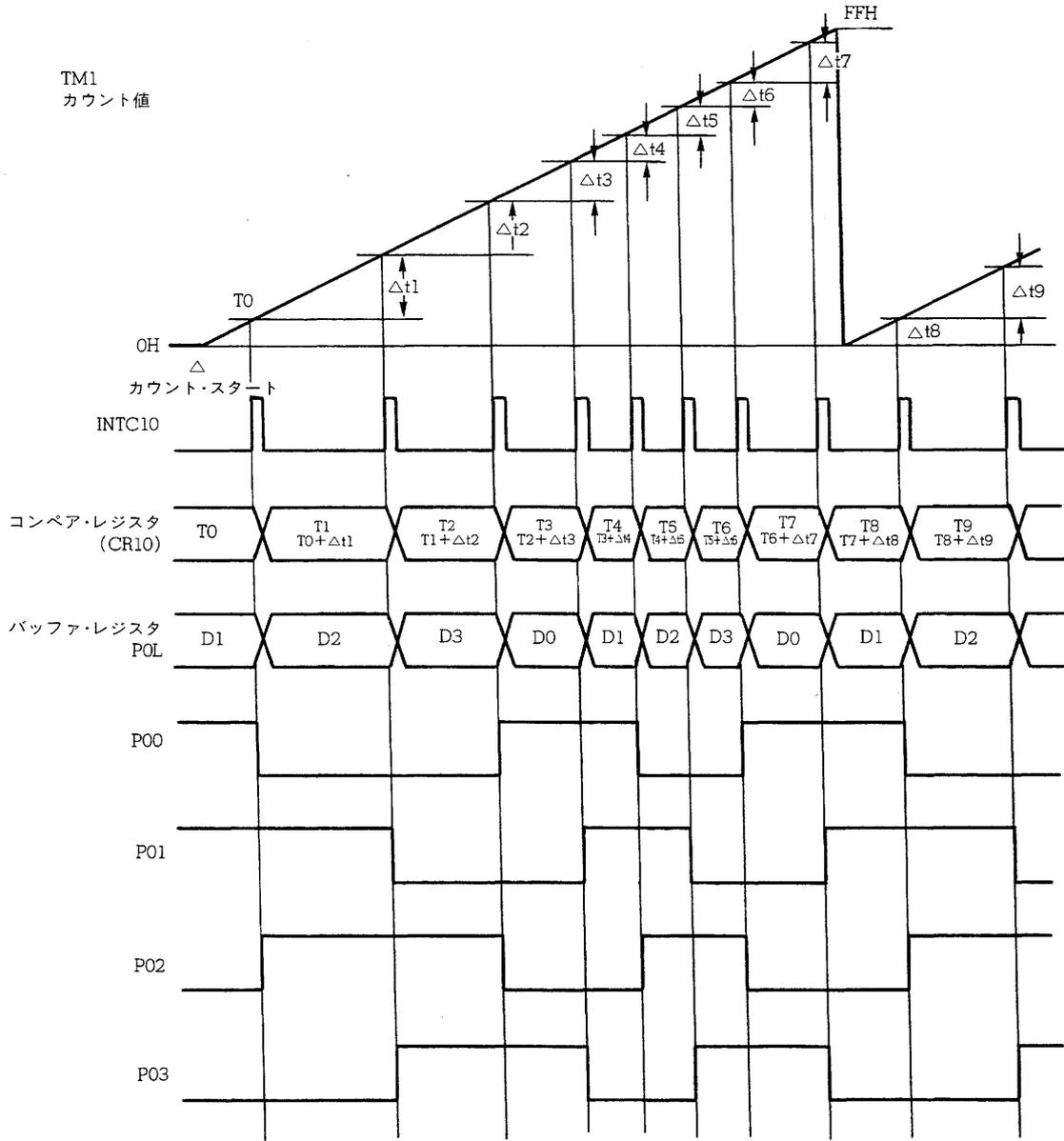


図 14-32 自動加算制御+リング制御のタイミング図1(1-2相励磁で出力タイミングが変化する場合)



注意 MPTをインクリメントするモードに設定してください。

図 14-33 自動加算制御+リング制御のブロック図 2

(1-2相励磁の等速運動 : MSC=16ビット)

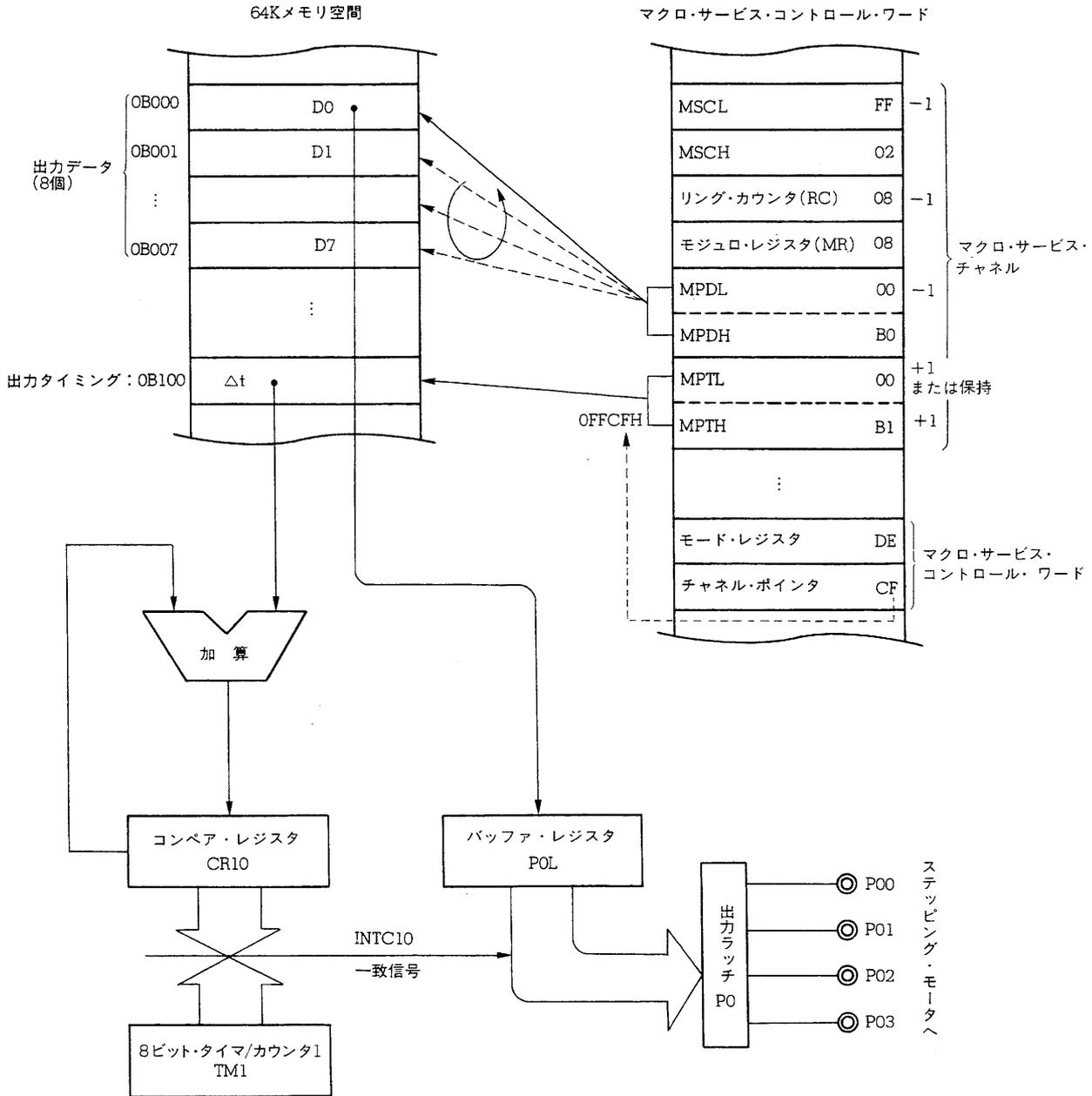
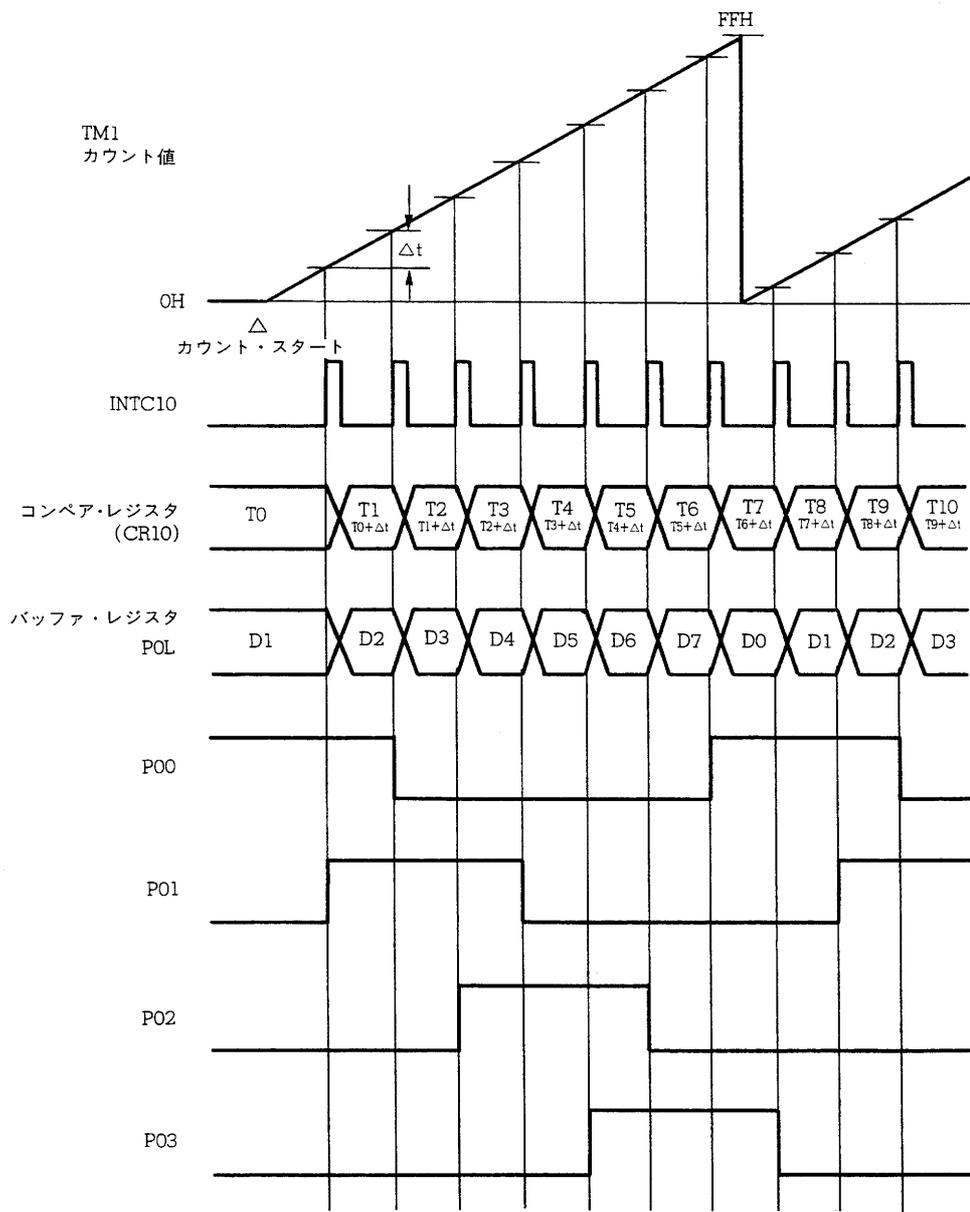


図 14-34 自動加算制御+リング制御のタイミング図 2(1-2相励磁の等速運動)



注意 MPTを保持するモードに設定してください。

14.5 注意事項

- (1) ソフトウェア割り込みからの復帰にRETI命令を使用してはいけません。
- (2) ノンマスカブル割り込みサービス・プログラム中でもマクロ・サービスの要求は受け付けられ、処理されます。ノンマスカブル割り込みサービス・プログラム中でマクロ・サービスの処理を行いたくない場合は、ノンマスカブル割り込みサービス・プログラム中で割り込みマスク・レジスタを操作して、マクロ・サービスが発生しないようにしてください。
- (3) ノンマスカブル割り込みサービス・プログラム中にEI命令を実行するなどしてPSWのIEビットをセット(1)すると、高位の優先順位に指定されたマスカブル割り込み要求が受け付けられるようになります。このとき、ノンマスカブル割り込みサービス・プログラム実行中に高位の優先順位に指定されたマスカブル割り込みが発生するとマスカブル割り込みのサービス・プログラムを実行します。また、PSWのIEビットとISPビットをセット(1)すると、低位の優先順位に指定されたマスカブル割り込みについても同様に割り込み要求が発生すると、割り込みサービス・プログラムを実行します。マスカブル割り込みサービス・プログラムから復帰するためにRETI命令を使用しますが、このRETI命令によってNMISビットはリセット(0)され、復帰したノンマスカブル割り込みサービス・プログラム中でノンマスカブル割り込みの多重処理を行いたくない場合でも、ノンマスカブル割り込み要求が受け付け可能な状態になってしまいます。ノンマスカブル割り込み要求の多重処理を行いたくない場合は、ノンマスカブル割り込みサービス・プログラム中に割り込み許可状態にしないでください。
- (4) ノンマスカブル割り込みは、ノンマスカブル割り込み処理プログラム実行中(ISTレジスタのNMISビットをノンマスカブル割り込み処理中で0にして、ノンマスカブル割り込みの多重処理を許可している場合を除く)および**14.3.5**に示す特定の命令とその次に実行する命令の間を除いては必ず受け付けられます。したがって、特にリセット解除後などのスタック・ポインタの値が不定の場合でもノンマスカブル割り込みを受け付けます。このときのスタック・ポインタの値によっては特殊機能レジスタの書き込みを禁止しているアドレス (**3.2.5**の表**3-4**参照)へプログラム・カウンタ(PC) およびプログラム・ステータス・ワード (PSW) を書き込んでしまい、CPUがデッドロックしてしまったり、端子から予期しない信号を出力したり、RAMが実装されていないアドレスへPCやPSWを書き込むことにより、ノンマスカブル割り込み処理プログラムからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。

また、RESET端子に立ち上がりエッジが入力されるときとほぼ同時にNMI端子に立ち下がりエッジ(リセット解除後のNMI入力の有効エッジ)が入力されると、リセット動作終了後に1命令も実行せずにノンマスカブル割り込み処理プログラムへ分岐しますので、ほぼ確実に暴走します。これらの現象を回避するためには、スタック・ポインタの初期設定はリセット解除直後に行うようにする

とともに、ハードウェアにより $\overline{\text{RESET}}$ 信号の立ち上がりから $10\mu\text{s} + 18/f_{\text{CLK}}$ 以内にNMI信号が立ち下がらないようにする必要があります。

- (5) 割り込み関連のレジスタをBF命令などを使用してポーリングを行う場合、そのBF命令などの分岐先は、その命令とならないようにしてください。その命令自身へ分岐するようなプログラムを記述すると、その命令で分岐しない条件が成立するまでの間すべての割り込みとマクロ・サービスが保留されてしまいます。

悪い例

```

      :
LOOP:  BF IFOH. 3,  $LOOP  IFOH. 3が1になるまですべての割り込みおよびマクロ・サ
      :                    サービスが保留されてしまう。
      :                    ← BF命令の次の命令実行後に初めて割り込みおよびマクロ・
      :                    サービスが処理される。
      :

```

良い例(1)

```

      :
LOOP:  NOP
      :                    ← NOP命令の実行後に割り込みおよびマクロ・サービスが処
      :                    理されるため長時間割り込みが保留されることはない。
      :                    BF IFOH. 3,  $LOOP
      :

```

良い例(2)

```

      :
LOOP:  BT IFOH. 3,  $NEXT  BT命令のかわりにBTCLR命令を使用するとフラグを自動
      :                    的にクリアしてくれるので便利。
      :                    ← BR命令の実行後に割り込みおよびマクロ・サービスが処理
      :                    されるため長時間割り込みが保留されることはない。
      :                    BR $LOOP
NEXT:  :

```

- (6) (5)と同様の理由により、**14.3.5 割り込み要求およびマクロ・サービスが一時的に保留される場合**に該当する命令群を連続して使用する場合で、割り込みやマクロ・サービスが保留されている期間が長くなっては困る場合には、NOP命令などを途中に挿入して割り込みやマクロ・サービスが受け付けられるタイミングを作ってください。

(7) マクロ・サービス・タイプCでもMPT, MPDのインクリメントは16ビットで行われます (しかし μ PD78214サブシリーズ, μ PD78224サブシリーズのインクリメント動作は下位8ビットに対してだけ行われます)。したがって, μ PD78214サブシリーズ, μ PD78224サブシリーズのソフトウェアを流用する場合にはご注意ください。

(8) マクロ・サービス・タイプAでは, マクロ・サービス・カウンタ (MSC) を16ビットに指定することはできません。したがって, マクロ・サービス・レジスタのビット4 (B/W) には必ず“0”を書き込んでください。

(9) 外部メモリ拡張時 (μ PD78233は常時) に, マクロ・サービスのタイプAおよびタイプCを使用している場合, 不正なライト・アクセス動作が発生する場合があります。

不正なライト・アクセスは, 以下の3つの条件のうちどれかが成立したときに発生します。

- 条件 1. マクロ・サービス・タイプAで, メモリからSFRへの転送の場合で, 転送データがDOH-DFHのとき
- 2. マクロ・サービス・タイプAで, SFRからメモリへの転送の場合で, マクロ・サービス実行時に転送先バッファ (メモリ) のアドレスがOFEDOH-OFEDFHのとき
- 3. マクロ・サービス・タイプCでMPTLのアドレスがOFEDOH-OFEDFHのとき

不正なライト・アクセスは, 通常のメモリ・アクセスと同様に行われます。また, メモリ拡張モード・レジスタ (MM) のPW20, PW21ビットの設定に従ってウエイトが挿入されます。表 14-13 に, 不正なライト・アクセスの発生条件と動作を示します。

表 14-13 不正ライト・アクセスの発生条件と動作

条件	マクロ・サービス・タイプ	不正ライト・アクセス	
		アドレス	データ
1	A	転送先のSFRのアドレス	マクロ・サービスで転送したデータ
2	A	転送の対象となるSFRのアドレス	転送先バッファ (メモリ) のアドレスの下位8ビット
3	C	転送先のSFR (CR10またはCR11) のアドレス	MPTLのアドレスの下位8ビット

本不具合を回避する方法には, 次の方法があります。

1. 条件1の不具合はソフトウェアによって回避することは困難です（転送データに依存するため）。したがって、外付けのアドレス・デコード回路によりOFF00H-OFFFFHの領域のイメージが外付け回路のメモリ・アドレスに重複しないようにする必要があります。
2. 使用するマクロ・サービスが条件1に該当しない（マクロ・サービス・タイプAでSFRからメモリへの転送を使用しない）場合、および条件2の場合はバッファ領域が、条件3の場合はMPTLのアドレスがOFED0H-OFEDFHとならない位置に配置することで可能です。

なお、不具合はインサーキット・エミュレータでも発生します。

(10) マクロ・サービス・タイプBでは、次のものをSFRとして使用することはできません。

IFOL, IFOH, MKOL, MKOH, PROL, PROH, ISMOL, ISMOH, IST

第 15 章 ローカル・バス・インタフェース機能

ローカル・バス・インタフェース機能は、外部にメモリ (ROM, RAM) およびI/Oを接続するための機能です。

外部のメモリ (ROM, RAM) およびI/Oは、AD0-AD7端子をマルチプレクスト・アドレス/データ・バス, A8-A19端子をアドレス・バスとし、 \overline{RD} , \overline{WR} , ASTB端子信号を用いてアクセスします。

図 15-4, 15-5 に基本的なバス・インタフェース・タイミングを示します。

また、低速なメモリとインタフェースするためのウエイト機能、疑似スタティックRAMをリフレッシュするためのリフレッシュ信号出力機能を備えています。

15.1 制御レジスタ

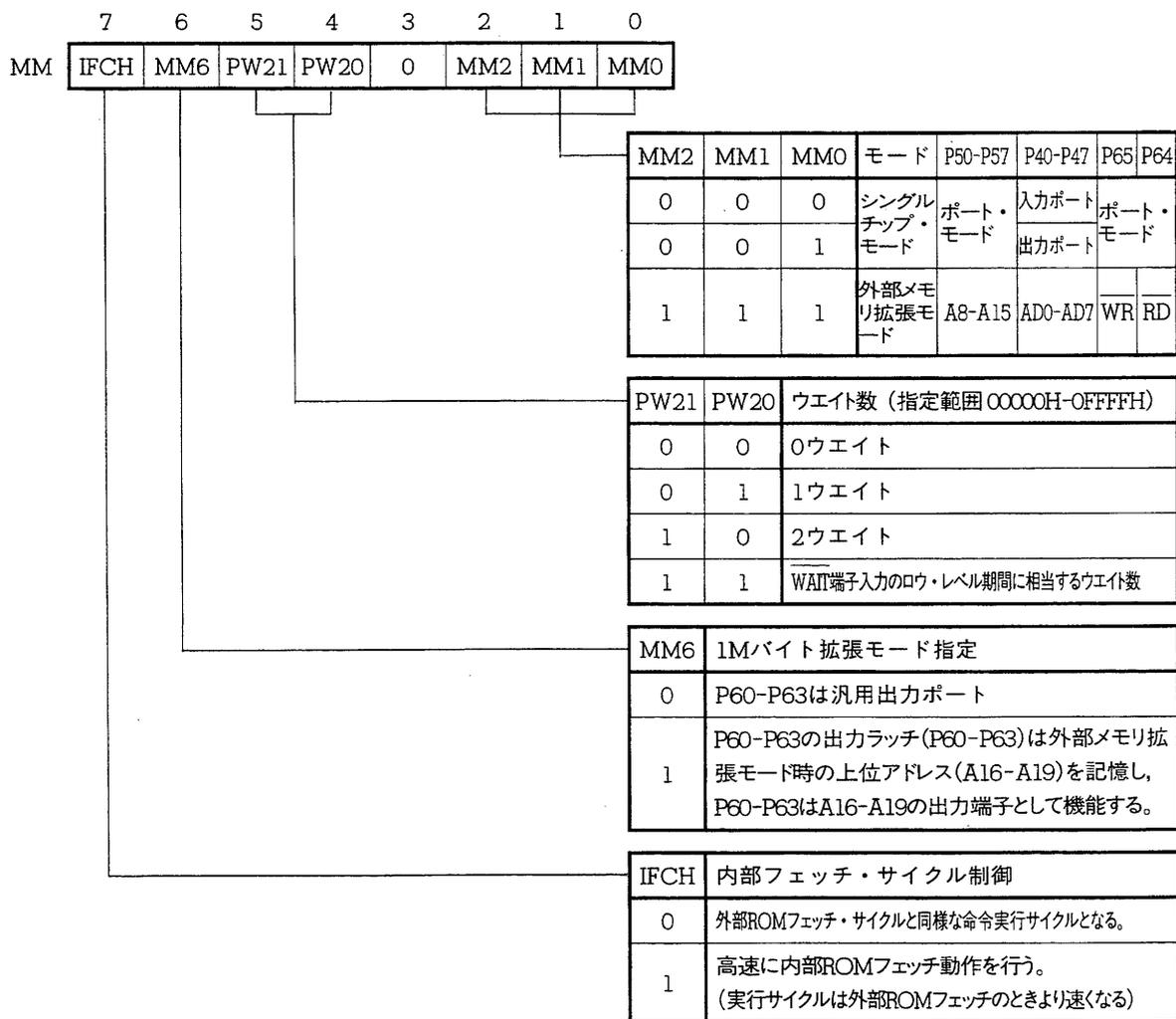
15.1.1 メモリ拡張モード・レジスタ (MM)

MMレジスタは、外部拡張メモリの制御、ウェイト数の指定(アドレス空間00000H-OFFFFH)、内部フェッチ・サイクルの制御を行う8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図 15-1に示します。

$\overline{\text{RESET}}$ 入力で20Hになります。

図 15-1 メモリ拡張モード・レジスタ (MM) のフォーマット

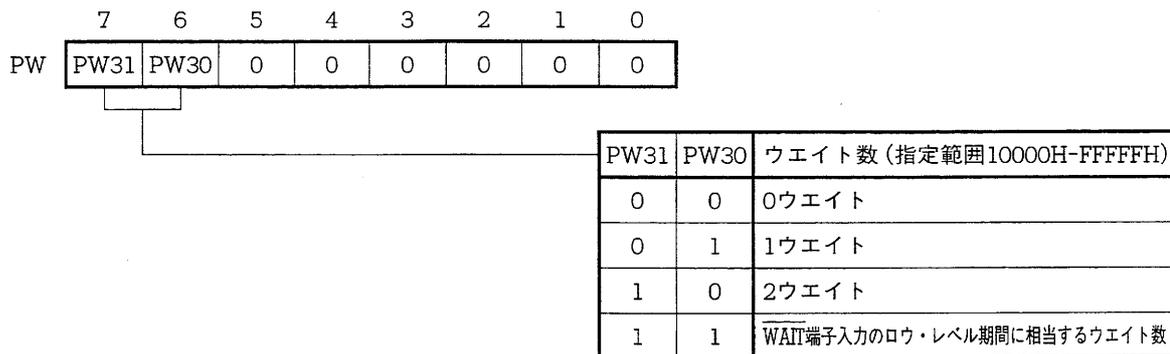


15.1.2 プログラマブル・ウェイト制御レジスタ (PW)

PWレジスタは、外部拡張データ・メモリ空間10000H-FFFFFHのウェイト数を指定する8ビット・レジスタです。8ビット操作命令とビット操作命令で読み出し／書き込み動作が可能です。そのフォーマットを図15-2に示します。

$\overline{\text{RESET}}$ 入力で80Hになります。

図 15-2 プログラマブル・ウェイト制御レジスタ (PW) のフォーマット



15.1.3 メモリ・サイズ切り替えレジスタ (IMS)

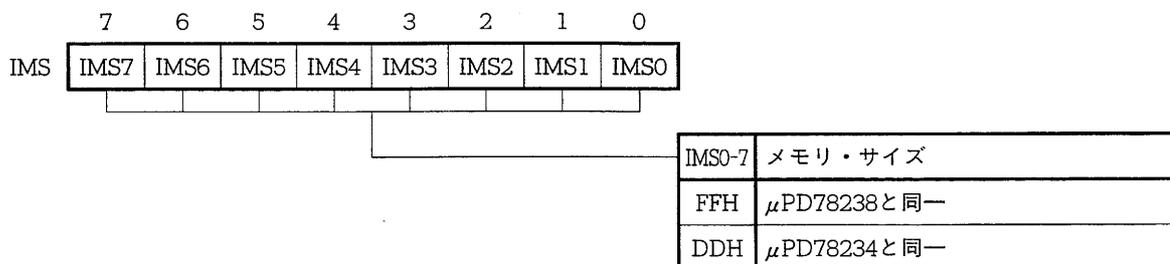
IMSレジスタは、 $\mu\text{PD78P238}$ の内部メモリの容量を切り替えて $\mu\text{PD78234}$ または $\mu\text{PD78238}$ と同一の動作をさせるためのレジスタです。

$\mu\text{PD78234}$ と同一のメモリ・サイズにする場合は、リセット直後に本レジスタへの書き込みを必ず行ってください。また、書き込んだ値を変更してはいけません。

IMSレジスタは、8ビット操作命令で書き込み動作のみが可能です。そのフォーマットを図15-3に示します。

$\overline{\text{RESET}}$ 入力によりFFHとなり、 $\mu\text{PD78238}$ と同一のメモリ・マッピングになります。

図 15-3 メモリ・サイズ切り替えレジスタ



本レジスタは、 $\mu\text{PD78234}$, 78238にはありません。しかし、本レジスタへの書き込み命令を $\mu\text{PD78234}$, 78238で実行しても動作に影響を与えません。

15.2 メモリ拡張機能

15.2.1 外部メモリ拡張機能

μ PD78234は、メモリ拡張モード・レジスタ (MM)の設定により、外部に48256バイト(μ PD78238の場合は31488バイト)のメモリおよびI/Oの拡張ができます。

外部にメモリ空間を拡張する場合、P50-P57はアドレス・バス、P40-P47はアドレス・データ・マルチプレクスト・バスとして機能します。

また、MODEをハイ・レベルに固定することによって、ROMレス・モードとして動作します。この場合、MMレジスタの設定に関係なく64640バイト(μ PD78238の場合は64256バイト)のメモリまたはI/Oを接続することができます(μ PD78P238は、MODE端子をハイ・レベルとして使用することはできません)。

μ PD78233はROMレス品のため、常時、外部メモリを使用します。

注意 P50/A8-P57/A15, P60/A16-P63/A19に出力されるアドレス情報は、ASTB信号が立ち上がってから $\overline{\text{RD}}$ 信号または $\overline{\text{WR}}$ 信号が立ち上がるまでの間でだけ有効です。それ以外の期間では、P50/A8-P57/A15, P60/A16-P67/A19の出力レベルは不定となります。回路設計時には不定値が出力されても問題のないよう注意してください。

なお、アドレス出力の有効な期間についての具体的な値は、各製品のデータ・シートを参照してください。

図 15-4 リード・タイミング

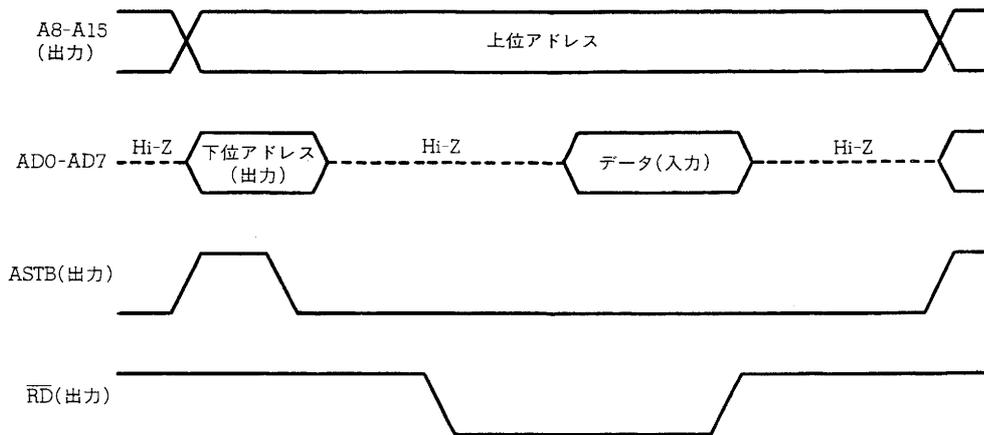
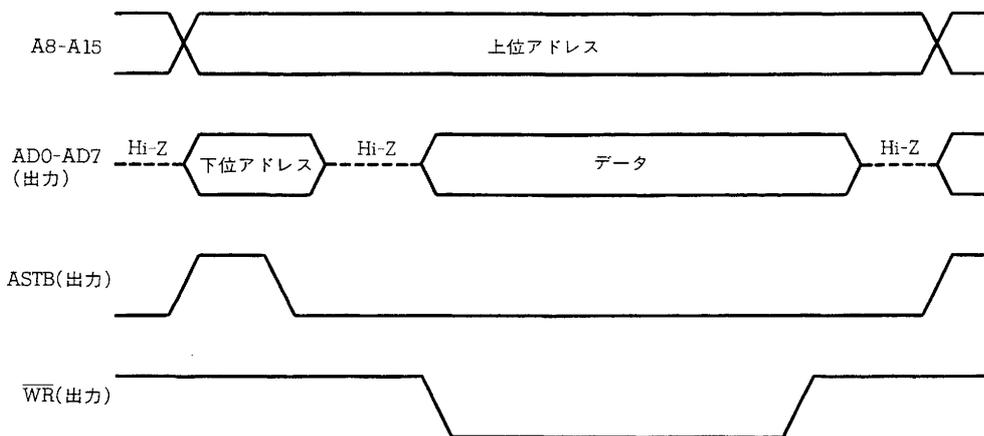


図 15-5 ライト・タイミング



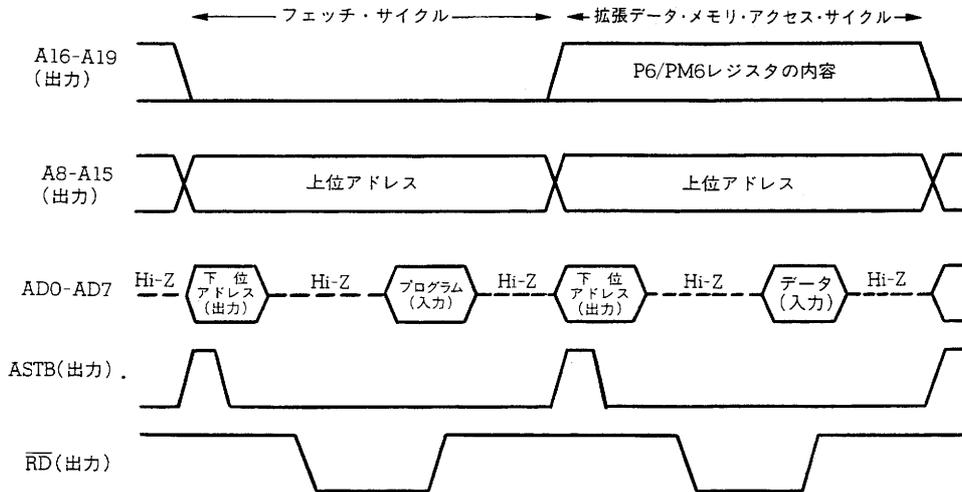
15.2.2 1 Mバイト拡張機能

MMレジスタのMM6ビットのセット(1)によって、さらに960 Kバイトまでのデータ・メモリを拡張することができ、1 Mバイトのメモリ空間となります。この場合、P60-P63が最上位のアドレス(A16-A19)として機能します。

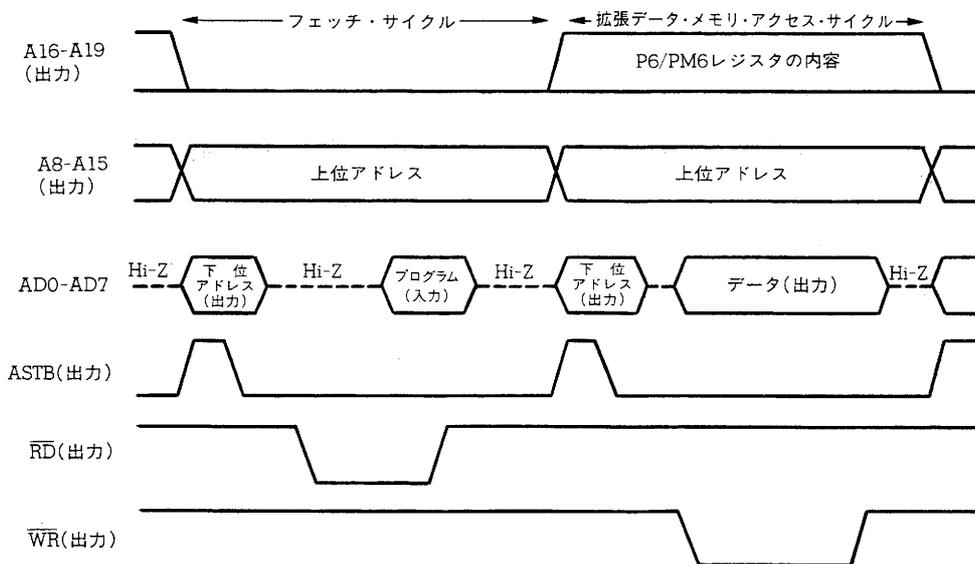
```
例 MOV MM, #47H ; 1 Mバイト拡張に設定
    MOV P6, #3H ; 最上位のアドレス情報ラッチ (バンク3を選択)
    :
    MOV A, &!2000H ; 32000Hのメモリ内容をAレジスタに格納
```

図 15-6 拡張データ・メモリのアクセス

(a) リード・サイクル



(b) ライト・サイクル



15.2.3 μ PD78P238のメモリ・マッピング

μ PD78P238は、内部PROMを32Kバイト、内部RAMを1024バイト内蔵しています。したがって、 μ PD78234とは若干メモリ・マッピングが異なっています。この違いを吸収するために、 μ PD78P238では、ソフトウェアにより内部メモリの一部を使用しないようにするための機能（メモリ・サイズの切り替え機能）を有しています。

メモリ・サイズの切り替えは、メモリ・サイズ切り替えレジスタ (IMS) によって行います。 μ PD78234と同一のメモリ・マッピングにする場合には、リセット直後に本レジスタへの書き込みを必ず行ってください。

本レジスタは、 μ PD78234, 78238にはありません。しかし、本レジスタへの書き込み命令を μ PD78234, 78238で実行しても動作に影響を与えません。

15.2.4 メモリ拡張時のメモリ・マップ

メモリ拡張時のメモリ・マップを図 15-7—図15-10に示します。メモリ拡張時であっても、内部ROM領域、内部RAM領域およびSFR領域（外部SFR領域（OFFD0H-OFFDFH）を除く）と同一のアドレスにある外部デバイスはアクセスできません。これらのアドレスに対するアクセス時には、 μ PD78234内のメモリおよびSFRが優先的にアクセスされ、ASTB信号、 \overline{RD} 信号、 \overline{WR} 信号は出力されません（インアクティブ・レベルのまま）。また、アドレス・バス、アドレス/データ・バスの出力レベルは不定になります。ただし、メモリ拡張時に内部ROMのフェッチ動作を外部ROMと同じサイクル数に指定した場合（メモリ拡張モード・レジスタ (MM) のIFCHビットを“0”にすることで指定）は、内部ROMアクセス時にアドレスおよびASTB信号、 \overline{RD} 信号が出力されます。しかし、このときのアドレス/データ・バス上にある情報は取り込まれず、CPUは内部ROMからデータを読み込みます（ \overline{RD} 信号がアクティブのとき、 μ PD78234のアドレス/データ・バスはハイ・インピーダンス状態になります）。また、このときのバス・サイクルは、通常のリード・サイクルと同一となり、プログラマブル・ウエイト機能によるウエイトの挿入も有効になります。

注意 外部メモリ拡張時 (μ PD78233は常時) に、マクロ・サービスのタイプAおよびタイプCを使用している場合、不正なライト・アクセス動作が発生する場合があります。

不正なライト・アクセスは、以下の3つの条件のうちどれかが成立したときに発生します。

- 条件1. マクロ・サービス・タイプAで、メモリからSFRへの転送の場合で、転送データがDOH-DFHのとき
2. マクロ・サービス・タイプAで、SFRからメモリへの転送の場合で、マクロ・サービス実行時に転送先バッファ (メモリ) のアドレスがOFEDOH-OFEDFHのとき
3. マクロ・サービス・タイプCでMPTLのアドレスがOFEDOH-OFEDFHのとき

不正なライト・アクセスは、通常のメモリ・アクセスと同様に行われます。また、メモリ拡張モード・レジスタ (MM) のPW20, PW21ビットの設定に従ってウエイトが挿入されます。表 15-1 に、不正なライト・アクセスの発生条件と動作を示します。

表 15-1 不正ライト・アクセスの発生条件と動作

条件	マクロ・サービス・タイプ	不正ライト・アクセス	
		アドレス	データ
1	A	転送先のSFRのアドレス	マクロ・サービスで転送したデータ
2	A	転送の対象となるSFRのアドレス	転送先バッファ (メモリ) のアドレスの下位8ビット
3	C	転送先のSFR (CR10またはCR11) のアドレス	MPTLのアドレスの下位8ビット

本不具合を回避する方法には、次の方法があります。

1. 条件1の不具合はソフトウェアによって回避することは困難です (転送データに依存するため)。したがって、外付けのアドレス・デコード回路によりOFFOOH-OFFFFHの領域のイメージが外付け回路のメモリ・アドレスに重複しないようにする必要があります。
2. 使用するマクロ・サービスが条件1に該当しない (マクロ・サービス・タイプAでSFRからメモリへの転送を使用しない) 場合、および条件2の場合はバッファ領域が、条件3の場合はMPTLのアドレスがOFEDOH-OFEDFHとならない位置に配置することで可能です。

なお、不具合はインサーキット・エミュレータでも発生します。

図 15-7 μ PD78233のデータ・メモリの拡張

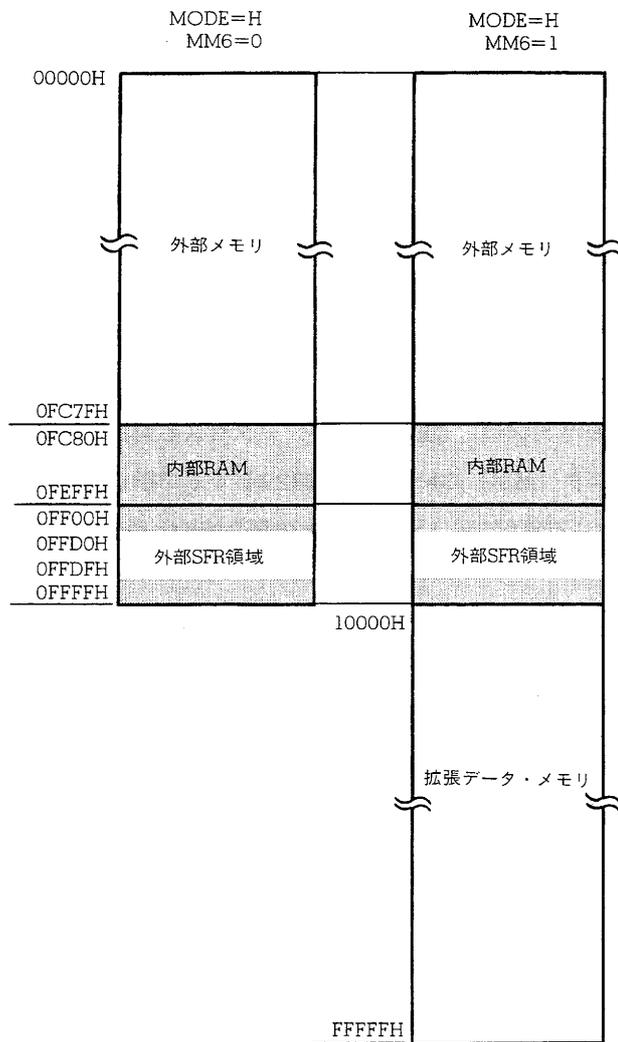


図 15-8 μ PD78234およびIMS=DDHとしたときの μ PD78P238のデータ・メモリの拡張

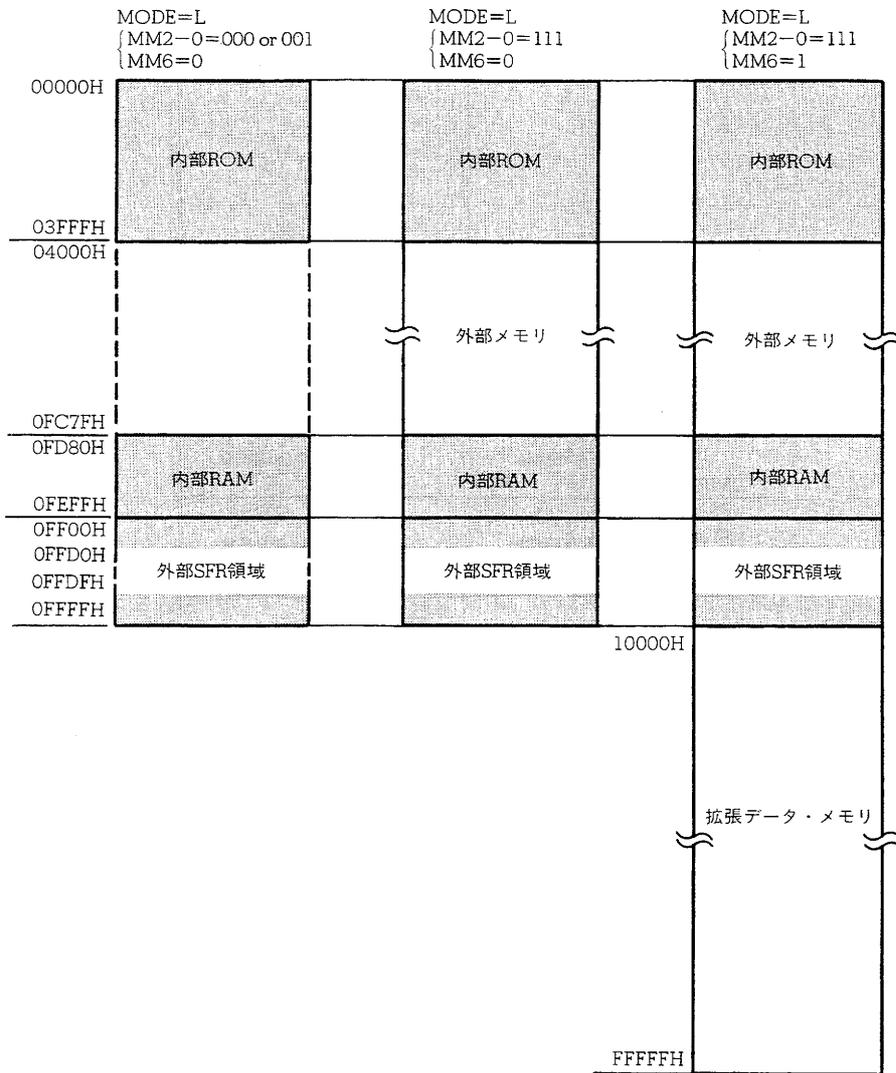


図 15-9 μ PD78237のデータ・メモリの拡張

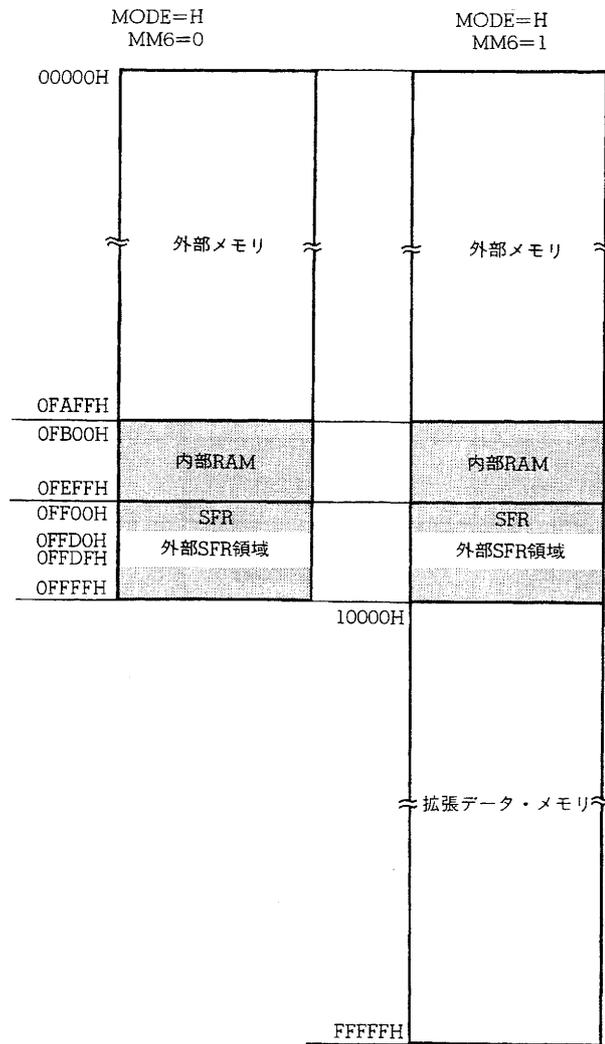
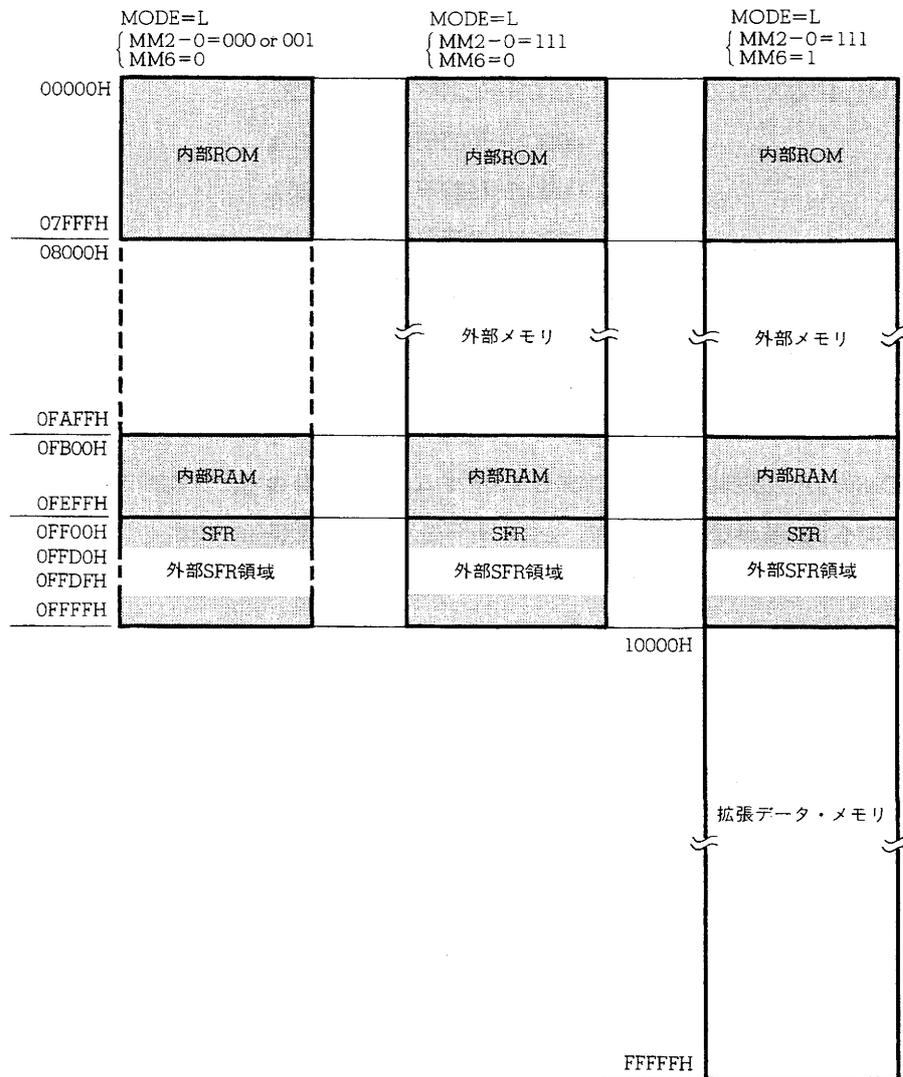


図 15-10 μ PD78238およびIMS=FFHとしたときの μ PD78P238のデータ・メモリの拡張



15.2.5 メモリとの接続例

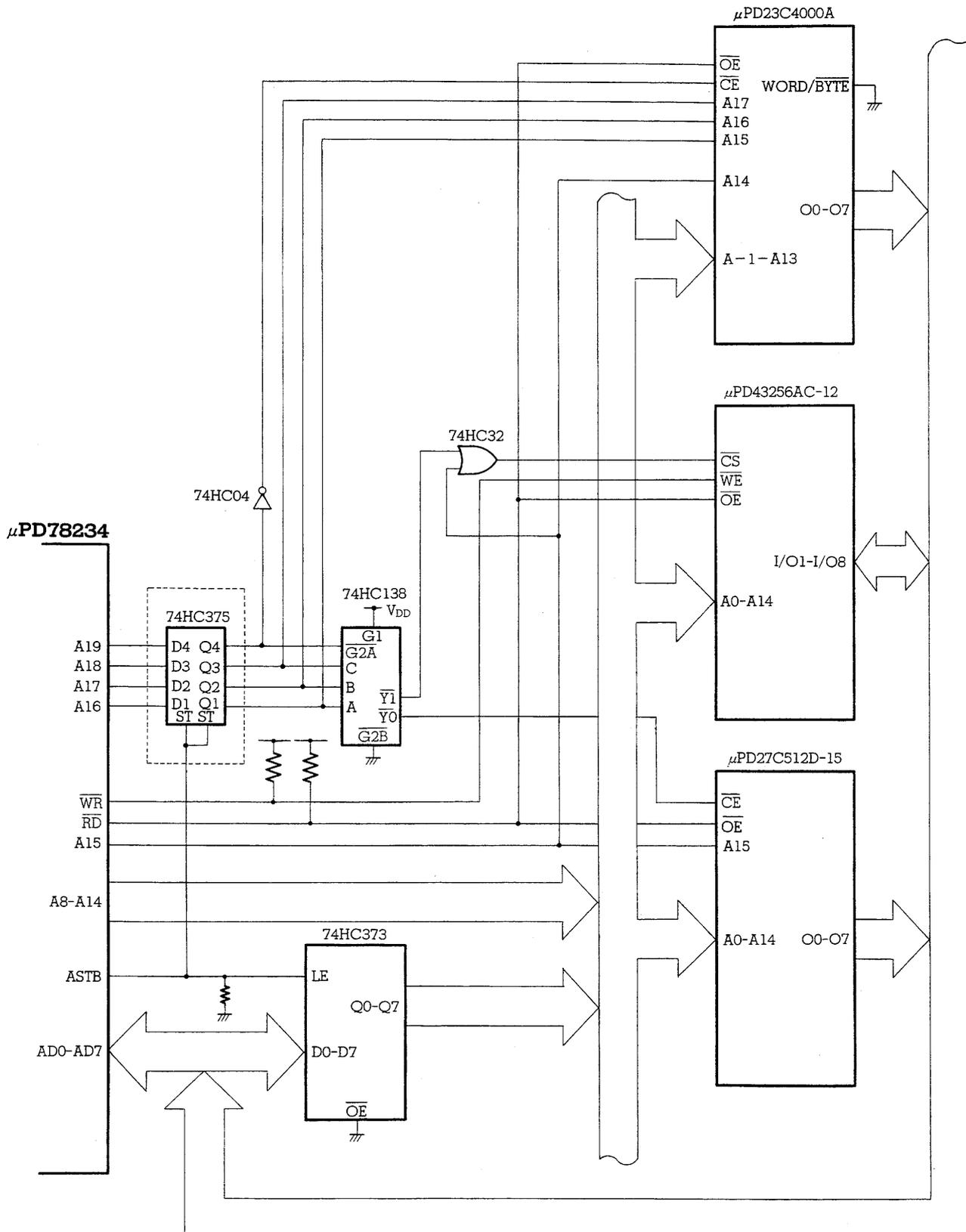
μ PD78234と外部メモリとの接続例を図 15-11に示します。本例では、PROM, SRAM, マスクROMを接続しています。各メモリに対するアドレスの割り付けは以下のようになっています。

- PROM(μ PD27C512D-15) : 0000H-FC7FH(μ PD78233)
4000H-FC7FH(μ PD78234)
0000H-FAFFH(μ PD78237)
8000H-FAFFH(μ PD78238)
および外部SFR領域であるFFD0H-FFDFH
- RAM(μ PD43256AC-12) : 10000H-17FFFH
- マスクROM(μ PD23C4000A) : 80000H-FFFFFFH

マスクROMの μ PD23C4000Aは、アクセス・タイムなどが遅いので、プログラマブル・ウエイト機能(15.4 ウエイト機能参照)を用いて、1ウエイトを入れてご使用ください。

なお、破線で囲んだ回路は、インサーキット・エミュレータを使用する場合のみ必要となる回路です。エミュレータ使用時以外は74HC375を取り除いて、 D_n と Q_n ($n=1-4$)をショートして使用してください。エミュレータ使用時に本回路がない場合は、誤動作する可能性があります(通常は、アドレス・デコードなどの遅延時間により問題なく動作します)。また、RAMの μ PD43256AC-12は、本回路がなければ150 ns品の μ PD43256AC-15が使用可能です。

図 15-11 μ PD78234とメモリの接続例



備考 アドレスおよびアドレス/データ・バスにはプルアップ抵抗などを接続する必要があります。

15.3 内部ROM高速フェッチ機能

μ PD78234, 78238, 78P238は、ROMを内蔵しております。この内部ROMは、バス・コントロール回路を経由せずに高速にアクセスすることが可能です。通常は、外部ROMと同等のスピードでフェッチするようになっており、メモリ拡張モード・レジスタ (MM) のIFCHビットをセット(1)することにより、高速フェッチ機能が使用され、内部ROMのフェッチを高速に行うようになります。

なお、外部ROMフェッチと同等な命令実行サイクルを選択した場合は、ウェイト機能によるウェイトの挿入が行われますが、高速フェッチ使用時には内部ROMに対してはウェイトは挿入されません。

$\overline{\text{RESET}}$ 入力により、外部ROMフェッチ・サイクルと同等な命令実行サイクルとなります。

15.4 ウェイト機能

μ PD78234は外部に低速なメモリ、I/Oを接続する場合、外部メモリ・アクセス・サイクルにウェイトを挿入することができます。

ウェイト・サイクルは、 $\overline{\text{RD}}$, $\overline{\text{WR}}$ 信号のロウレベルの期間中に挿入され、1サイクルあたり $1/f_{\text{CLK}}$ (167 ns, $f_{\text{CLK}}=6$ MHz時)ずつロウ・レベルの期間が引き延ばされます。

ウェイトの挿入方法としては、あらかじめ設定したサイクル数を自動的に挿入するプログラマブル・ウェイト機能、外部からウェイト信号によって制御する機能とがあります。

ウェイト・サイクル挿入の制御は、00000H-0FFFFHの空間に対してはメモリ拡張モード・レジスタ (MM) で、10000H-FFFFFFHの空間に対してはプログラマブル・ウェイト制御レジスタ (PW) で指定します。なお、高速フェッチ時の内部ROMおよび内部RAMに対するアクセス時には、ウェイトは挿入されません。また内部のSFRに対するアクセス時には、本指定とは無関係に必要なタイミングでウェイトが挿入されます。

外部ROMと同じサイクル数でアクセス動作を行うよう指定した場合は、MMレジスタの設定にしたがって、内部ROMのアクセスにもウェイトが入ります。

P66端子はMMレジスタまたはPWレジスタのいずれか一方、または両方で外部からのウェイト信号で制御することを選択すると、 $\overline{\text{WAIT}}$ 信号入力端子として動作するようになります。 $\overline{\text{RESET}}$ 入力により、P66端子は汎用入出力ポートとして動作するようになります。

ウェイト・サイクル挿入時のバス・タイミングを図 15-16—図 15-18 に示します。

注意 外部ウェイト機能を使用する場合は、PM6レジスタのビット6を“1”にして、P66/ $\overline{\text{WAIT}}$ 端子を入力モードにしてください。

図 15-12 μ PD78233のウェイト制御の空間

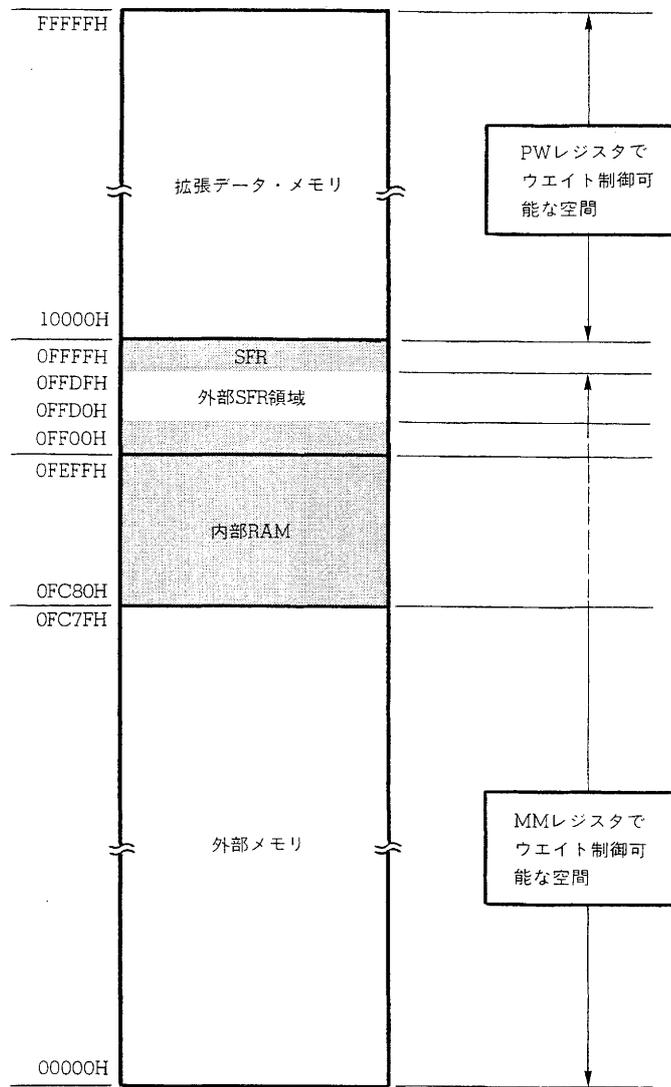


図 15-13 μ PD78234のウェイト制御の空間

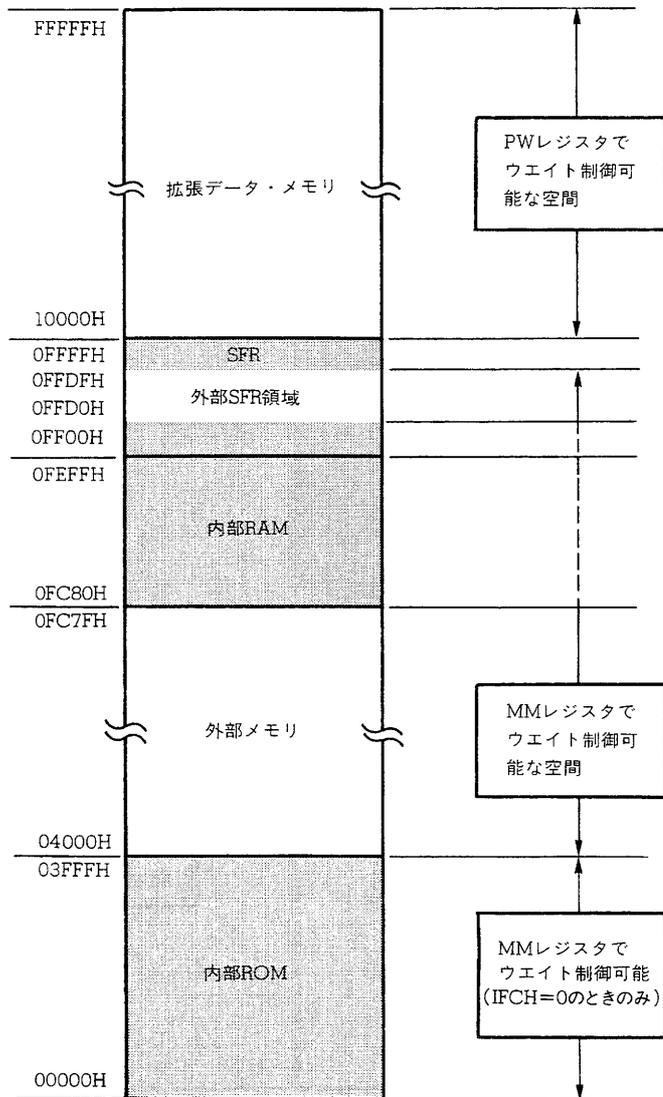


図 15-14 μ PD78237のウェイト制御の空間

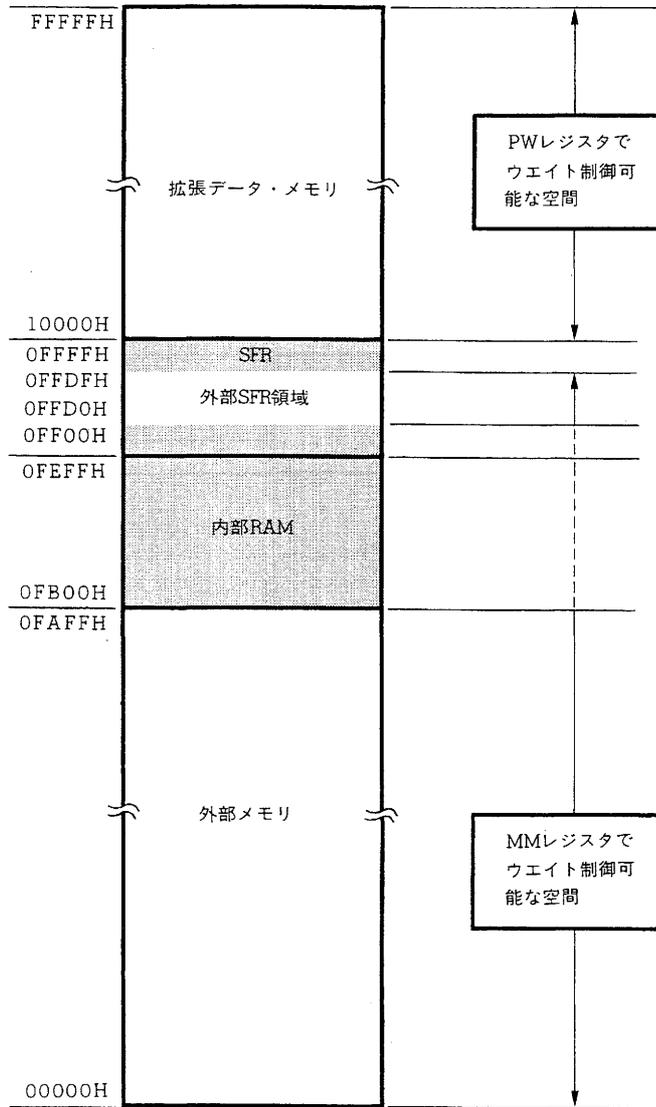


図 15-15 μ PD78238のウェイト制御の空間

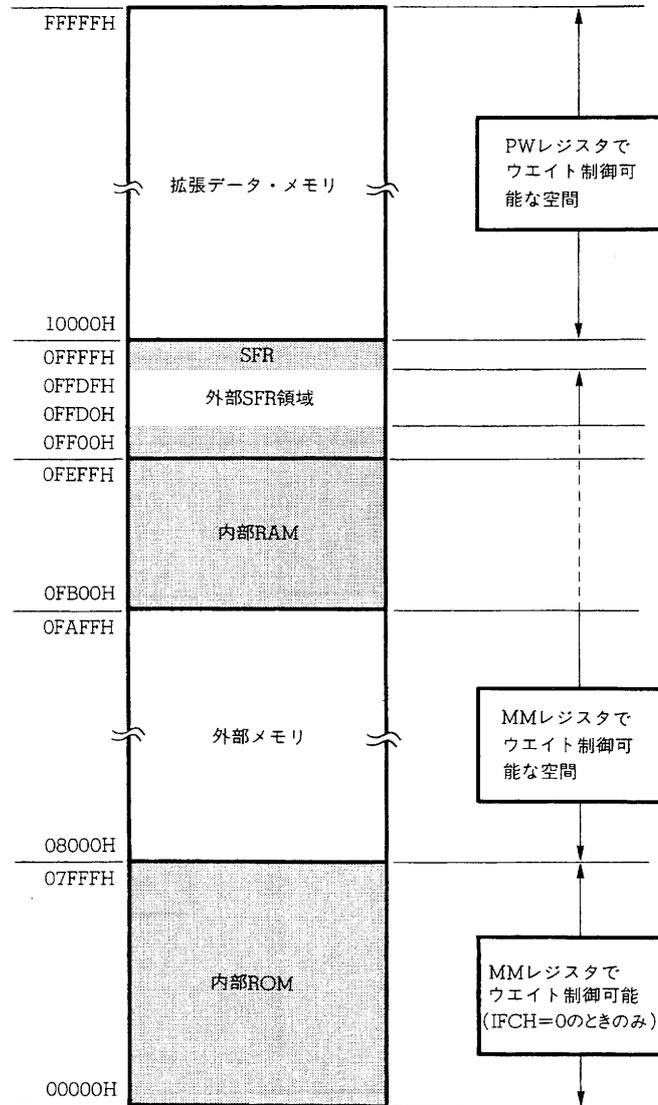
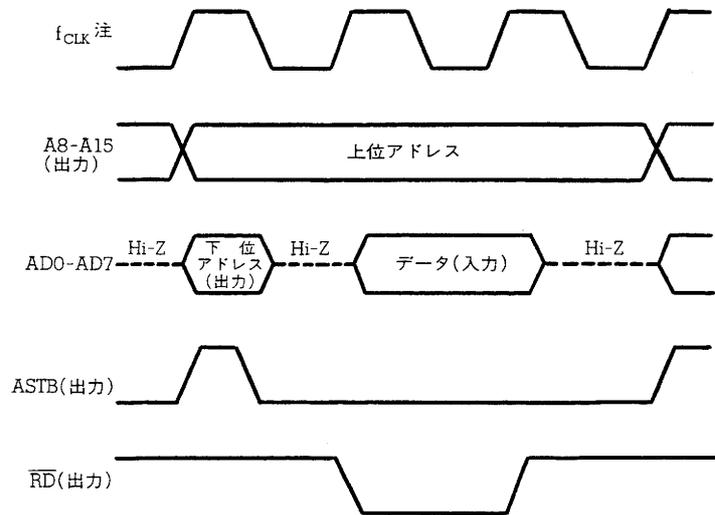


図 15-16 プログラマブル・ウエイト機能によるリード・タイミング(1/2)

(a) 0ウエイト・ステート設定時



(b) 1ウエイト・ステート設定時

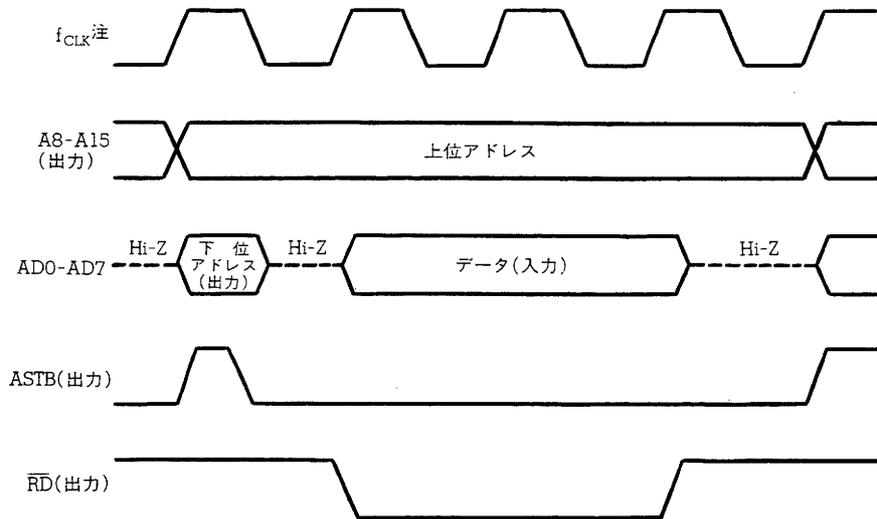
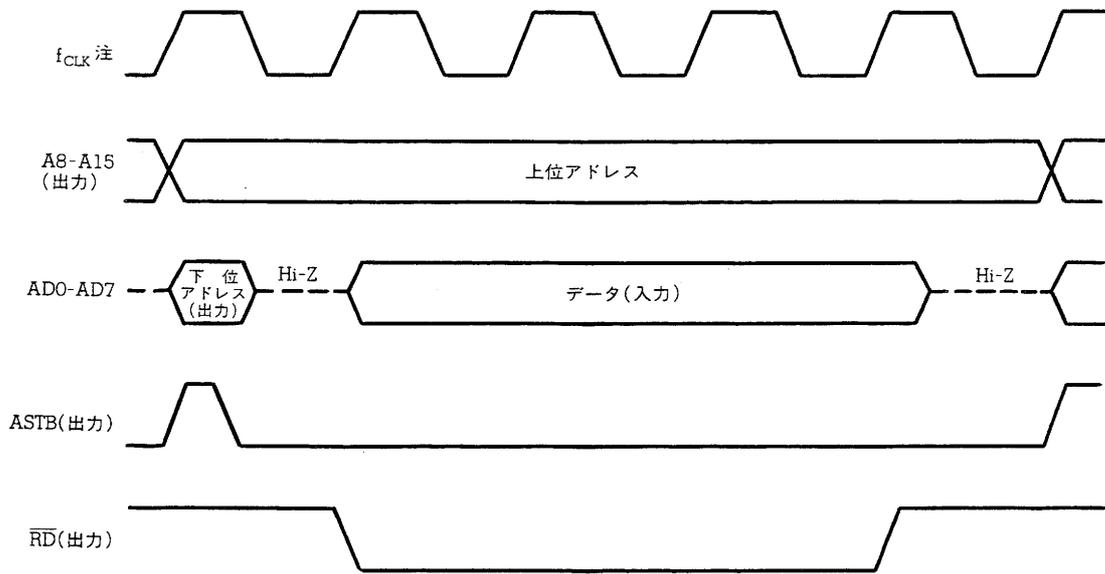


図 15-16 プログラマブル・ウェイト機能によるリード・タイミング(2/2)

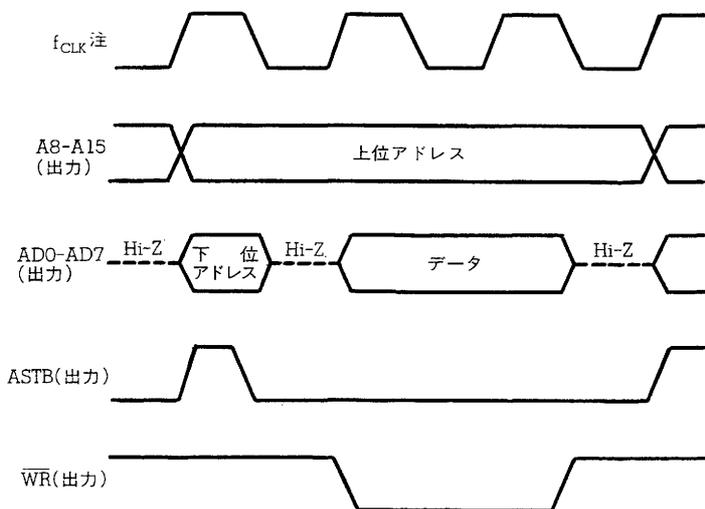
(c) 2ウェイト・ステート設定時



注 f_{CLK}: システム・クロック周波数 (f_{XX}/2)

図 15-17 プログラマブル・ウエイト機能によるライト・タイミング(1/2)

(a) 0ウエイト・ステート設定時



(b) 1ウエイト・ステート設定時

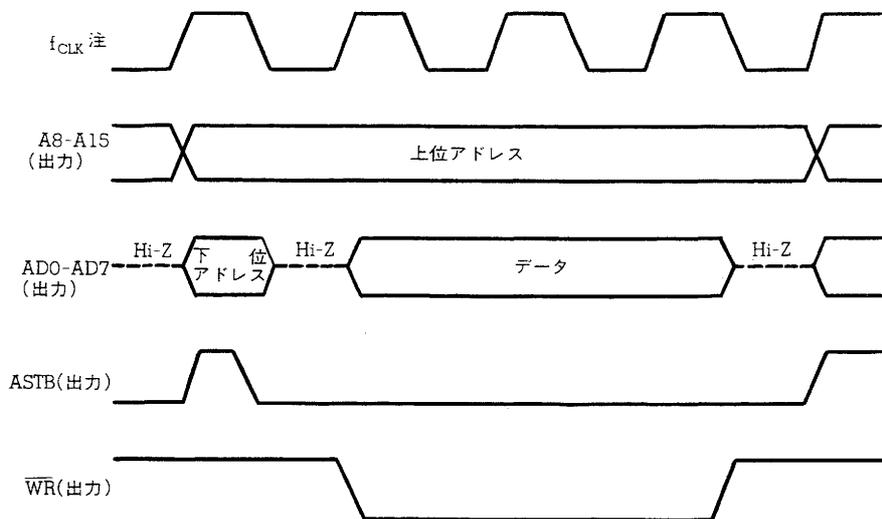
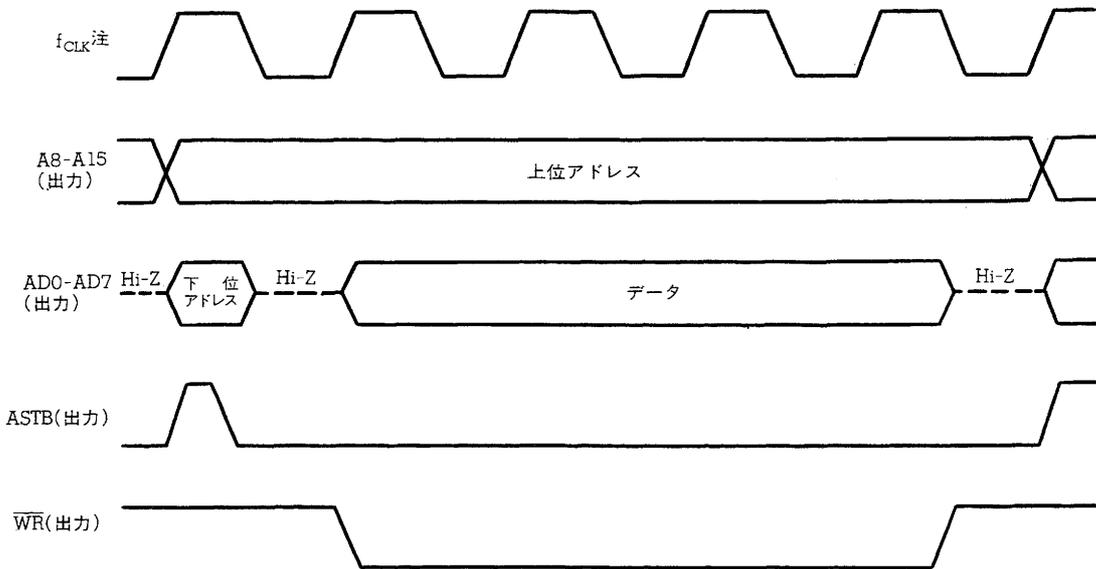


図 15-17 プログラマブル・ウェイト機能によるライト・タイミング(2/2)

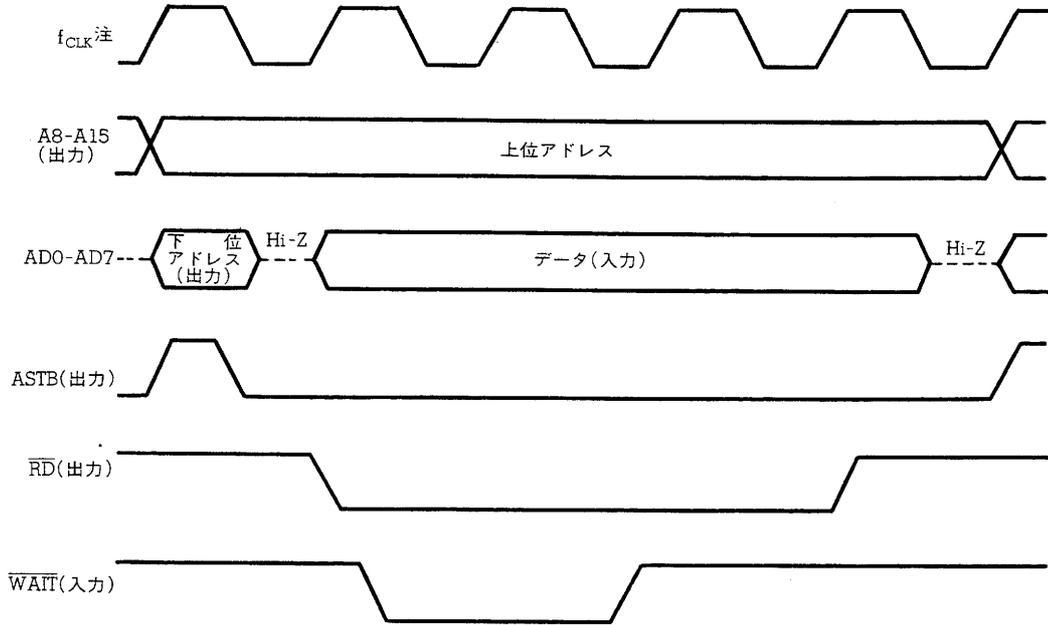
(c) 2ウェイト・ステート設定時



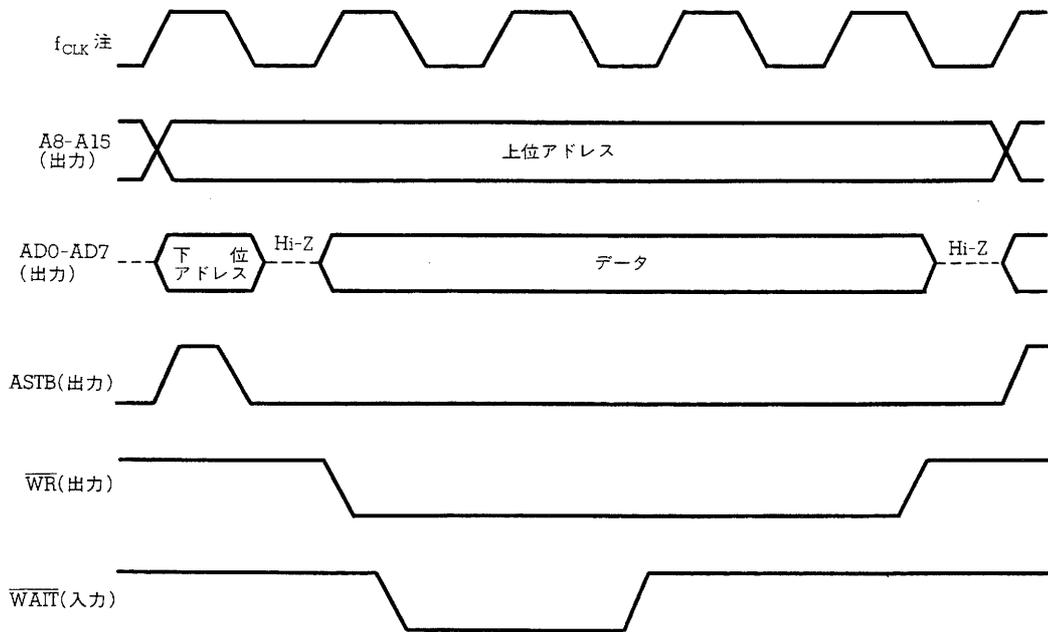
注 f_{CLK}: システム・クロック周波数 (f_{XX}/2)

図 15-18 外部ウエイト信号によるタイミング

(a) リード・タイミング



(b) ライト・タイミング



注 f_{CLK} : システム・クロック周波数 ($f_{XX}/2$)

15.5 疑似スタティックRAMリフレッシュ機能

15.5.1 機 能

μ PD78234では、疑似スタティックRAMを直接接続するための疑似スタティックRAMリフレッシュ機能を内蔵しています。

疑似スタティックRAMリフレッシュ機能は、任意のインターバルでリフレッシュ・パルスを出力します。リフレッシュ・モード・レジスタ (RFM) の設定により、リフレッシュ・パルス出力間隔を指定し、外部アクセス・サイクルを疑似スタティックRAMバス・サイクルに対応したリフレッシュ・バス・サイクルに切り替えます (ライト・パルス幅は疑似スタティックRAMを接続しない場合に比較すると半クロック分狭くなります)。

μ PD78234では、疑似スタティックRAMの応用システムの低消費電力を実現するセルフ・リフレッシュ動作をサポートするための機能も備えています。

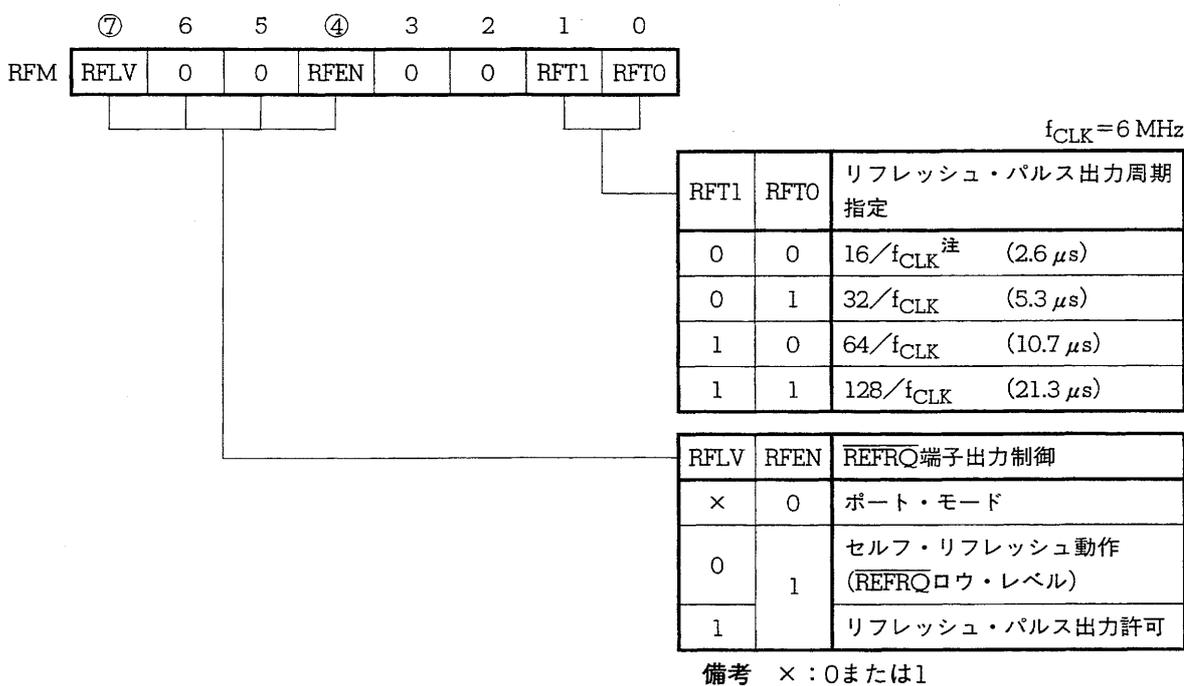
15.5.2 リフレッシュ・モード・レジスタ (RFM)

RFMレジスタは、疑似スタティックRAMのリフレッシュ周期およびセルフ・リフレッシュ動作への切り替えを制御する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図 15-19 に示します。

$\overline{\text{RESET}}$ 入力で00Hとなります。 $\overline{\text{REFRQ}}$ 端子はポート・モードになり、兼用であるP67端子として動作します。

図 15-19 リフレッシュ・モード・レジスタ (RFM) のフォーマット



注 f_{CLK} : システム・クロック周波数 ($f_{\text{XX}}/2$)

15.5.3 動作

(1) パルス・リフレッシュ動作

疑似スタティックRAMのパルス・リフレッシュ・サイクルをサポートするため、バス・サイクルに同期して $\overline{\text{REFRQ}}$ 端子からリフレッシュ・パルスを出力します。

リフレッシュ・パルスは8 ms間に512回以上発生するようにシステム・クロック周波数とリフレッシュ・モード・レジスタ (RFM) のビット1, 0 (RFT1, RFT0) で調整します。

表 15-2 疑似スタティックRAM使用時のシステム・クロック周波数とリフレッシュ・パルス出力周期

システム・クロック周波数 (f_{CLK})MHz	リフレッシュ・パルス出力周期指定	RFT1	RFT0
$4.096 < f_{\text{CLK}} \leq 6$ ($8.192 < f_{\text{XX}} \leq 12$)	$64/f_{\text{CLK}}$	1	0
$2.048 < f_{\text{CLK}} \leq 4.096$ ($4.096 < f_{\text{XX}} \leq 8.192$)	$32/f_{\text{CLK}}$	0	1
$2 \leq f_{\text{CLK}} \leq 2.048$ ($4 \leq f_{\text{XX}} \leq 4.096$)	$16/f_{\text{CLK}}$	0	0

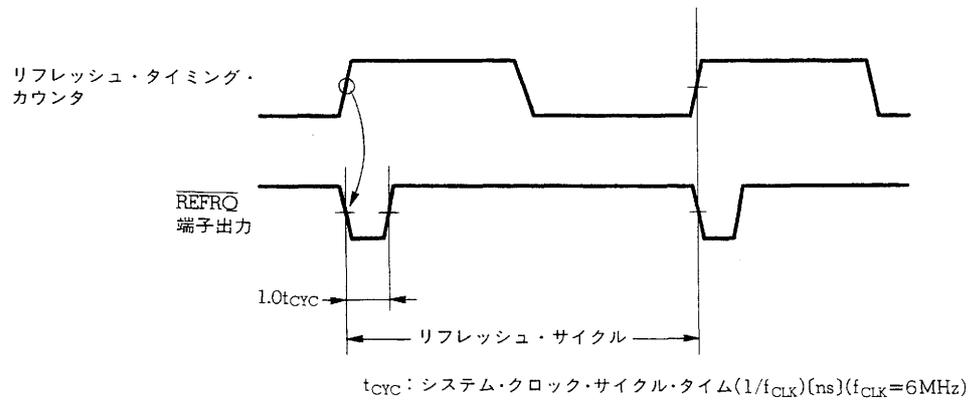
このパルス・リフレッシュ動作は、外部メモリ・アクセス動作と重ならないように行われます。リフレッシュ・サイクル中は、外部メモリ・アクセス・サイクルを保留し (ASTB, $\overline{\text{RD}}$, $\overline{\text{WR}}$ などはインアクティブ)、外部メモリ・アクセス・サイクル中ではリフレッシュ・サイクルを保留します。

外部メモリ・アクセス動作と重ならない場合は、CPUの命令実行に影響を与えずにリフレッシュ・サイクルを行います。

(a) 内部メモリ・アクセス時

外付けの疑似スタティックRAMをアクセスしない内部メモリ・アクセス時においても、疑似スタティックRAMに格納されたデータが保持されるように、リフレッシュ・バス・サイクルをRFMレジスタで指定された間隔で出力します。この場合、CPUの命令実行に影響を与えません。

図 15-20 内部メモリ・アクセス時のパルス・リフレッシュ動作



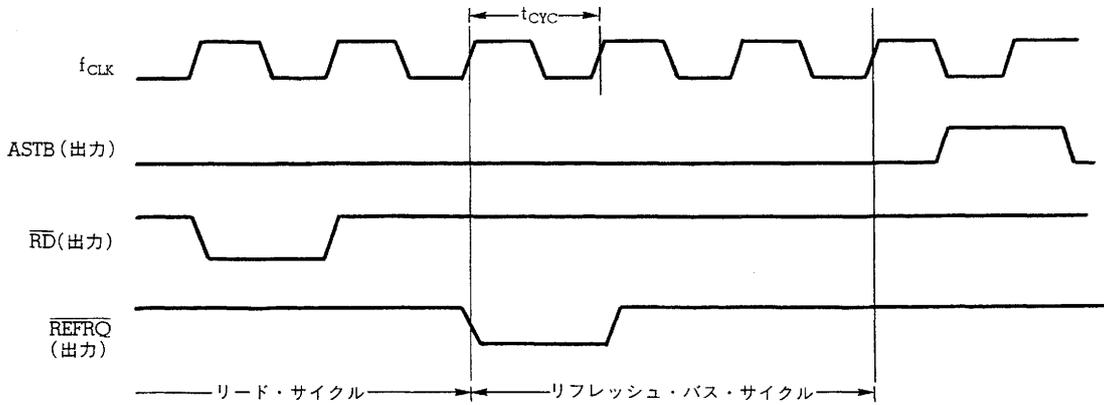
(b) 外部メモリ・アクセス時

リフレッシュ・バス・サイクルは、リフレッシュ・モード・レジスタ (RFM) で指定された間隔で発生します。

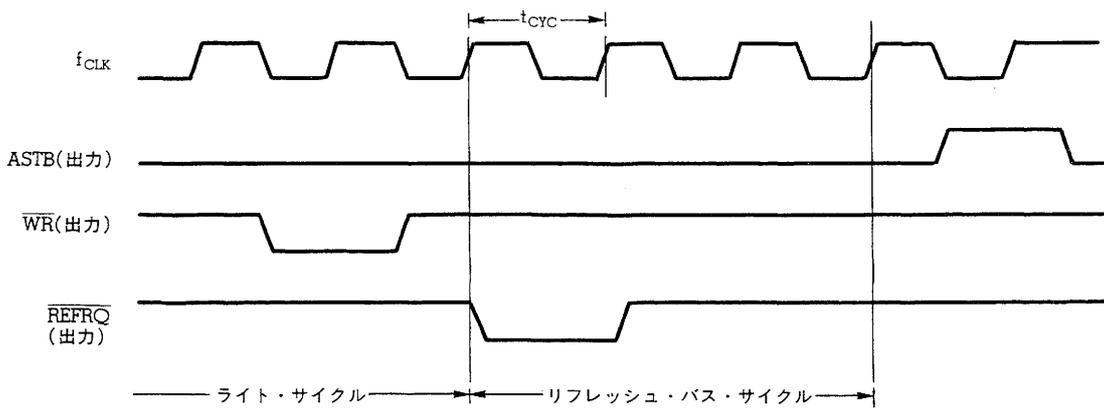
疑似スタティックRAMは、アクセス・タイミングとリフレッシュ・パルス出力タイミングが重なると誤動作する可能性があるため、 μ PD78234は、バス・サイクルと同期して3クロック・サイクル分のリフレッシュ・バス・サイクルを発生します。

図 15-21 外部メモリ・アクセス時のパルス・リフレッシュ動作

(a) メモリ・リード時



(b) メモリ・ライト時



(2) セルフ・リフレッシュ動作

スタンバイ・モード時も疑似スタティックRAMの内容を保持させるためのモードです。

(a) セルフ・リフレッシュ動作モードの設定

RFMレジスタのビット4 (RFEN) を“1”, ビット7 (RFLV) を“0” に設定すると, $\overline{\text{REFRQ}}$ 端子からロウ・レベルを出力し, 疑似スタティックRAMにセルフ・リフレッシュ動作モードを指示します。

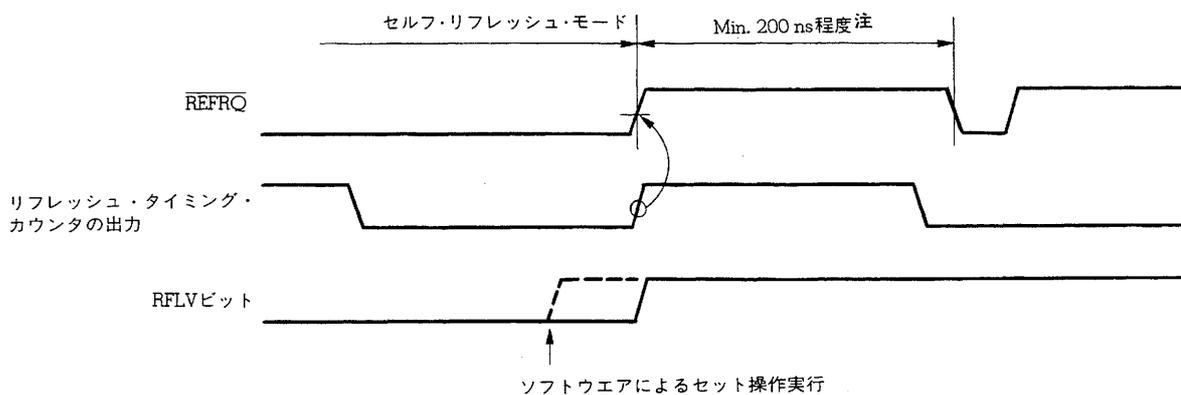
(b) セルフ・リフレッシュ動作からの復帰

疑似スタティックRAMへのリフレッシュ・パルスの出力は, $\overline{\text{REFRQ}}$ 端子出力レベルがロウ・レベルからハイ・レベルに変化してから200 ns程度^注は禁止されています。したがって $\mu\text{PD78234}$ は $\overline{\text{REFRQ}}$ 端子をリフレッシュ・タイミング・カウンタに同期して立ち上げることにより, 禁止時間内にリフレッシュ・パルスを出力しないようにしています。

また, この $\overline{\text{REFRQ}}$ 端子レベルがロウ・レベルからハイ・レベルに変化したことを知ることができるように, RFLVビットの読み出しレベルは $\overline{\text{REFRQ}}$ 端子レベルがロウ・レベルからハイ・レベルに変化したときセット(1)されるようになっています。

注 疑似スタティックRAMのスピード・ランクなどによりこの時間は変化します。

図 15-22 セルフ・リフレッシュ動作からの復帰タイミング

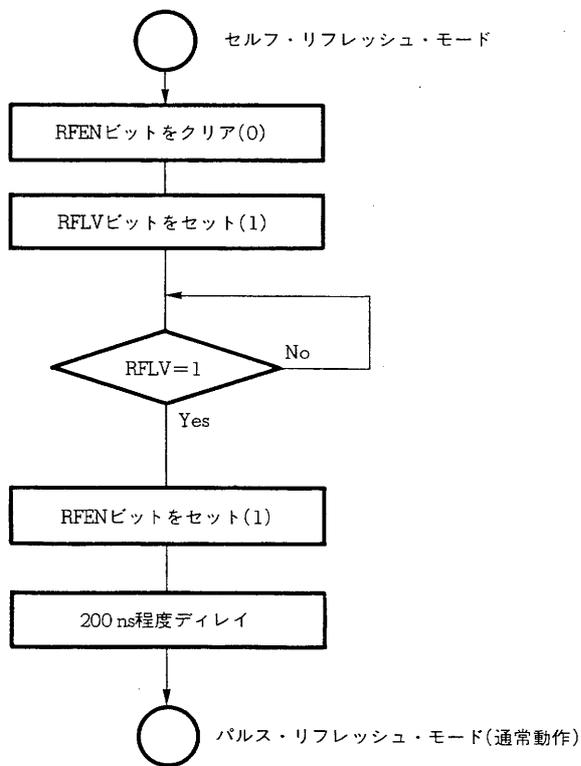


注 リフレッシュ禁止時間

注意 リフレッシュ・モード・レジスタ (RFM) のRFLVビットを0から1にするときに、RFENビットがセット(1)されている (RFLVビットと同時にセット(1)される場合も含む) と、 $\overline{\text{REFRQ}}$ 端子から約10 nsでピーク・レベルが約2.6 Vのヒゲが出力される場合があります。

したがって、RFLVビットをセット(1)する場合には、図 15-23のような手順で操作を行ってください。なお、RFENをセットした後の200 nsのディレイは、疑似スタティックRAMがセルフ・リフレッシュ・モードから復帰したときのアクセス禁止時間を確保するための時間です。

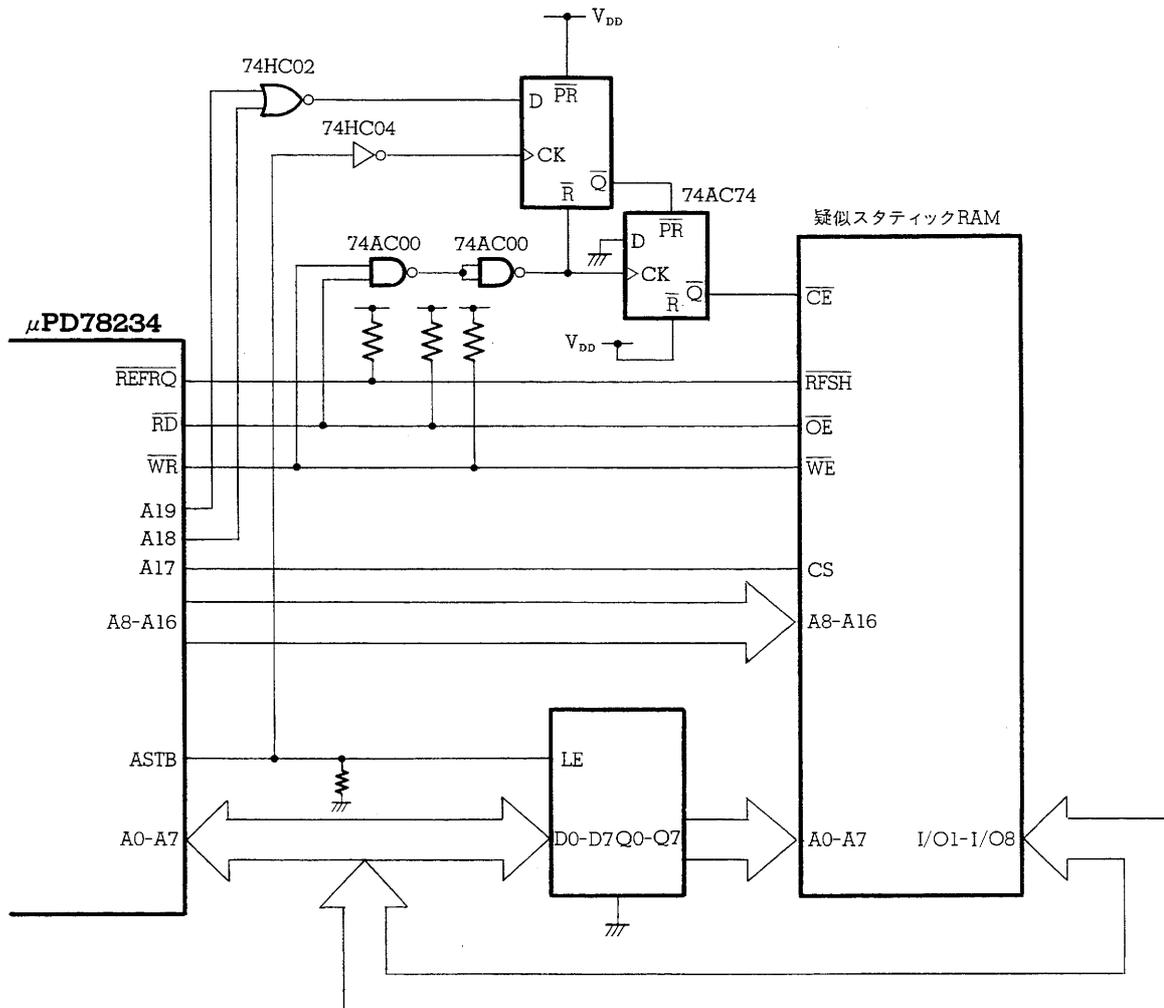
図 15-23 セルフ・リフレッシュ動作からの復帰動作



15.5.4 疑似スタティックRAMとの接続例

図15-24に疑似スタティックRAMとの接続例を示します。なお、本例では疑似スタティックRAMは、20000H-3FFFFHに割り付けています。

図 15-24 疑似スタティックRAMとの接続例



- 備考 1. 疑似スタティックRAMのプリチャージ時間およびアクセス・タイムを確保するため、74AC××とあるものは、必ずそれ以上のスピードのあるものを使用してください。また、疑似SRAMのプリチャージ時間を満足させるために、高速品をご使用ください。
2. アドレスおよびアドレス/データ・バスには、プルアップ抵抗などを接続する必要があります。

15.6 注意事項

- (1) P50/A8-P57/A15, P60/A16-P63/A19に出力されるアドレス情報は、ASTB信号が立ち上がってからRD信号またはWR信号が立ち上がるまでの間でだけ有効です。それ以外の期間では、P50/A8-P57/A15, P60/A16-P67/A19の出力レベルは不定となります。回路設計時には不定値が出力されても問題のないよう注意してください。

なお、アドレス出力の有効な期間についての具体的な値は、各製品のデータ・シートを参照してください。

- (2) 外部メモリ拡張時 (μ PD78233は常時) に、マクロ・サービスのタイプAおよびタイプCを使用している場合、不正なライト・アクセス動作が発生する場合があります。

不正なライト・アクセスは、以下の3つの条件のうちどれかが成立したときに発生します。

- 条件 1. マクロ・サービス・タイプAで、メモリからSFRへの転送の場合で、転送データがDOH-DFHのとき
2. マクロ・サービス・タイプAで、SFRからメモリへの転送の場合で、マクロ・サービス実行時に転送先バッファ (メモリ) のアドレスがOFEDO H-OFEDFHのとき
3. マクロ・サービス・タイプCでMPTLのアドレスがOFEDO H-OFEDFHのとき

不正なライト・アクセスは、通常のメモリ・アクセスと同様に行われます。また、メモリ拡張モード・レジスタ (MM) のPW20, PW21ビットの設定に従ってウェイトが挿入されます。表 15-3 に、不正なライト・アクセスの発生条件と動作を示します。

表 15-3 不正ライト・アクセスの発生条件と動作

条件	マクロ・サービス・タイプ	不正ライト・アクセス	
		アドレス	データ
1	A	転送先のSFRのアドレス	マクロ・サービスで転送したデータ
2	A	転送の対象となるSFRのアドレス	転送先バッファ (メモリ) のアドレスの下位8ビット
3	C	転送先のSFR (CR10またはCR11) のアドレス	MPTLのアドレスの下位8ビット

本不具合を回避する方法には、次の方法があります。

1. 条件1の不具合はソフトウェアによって回避することは困難です(転送データに依存するため)。したがって、外付けのアドレス・デコード回路によりOFF00H-OFFFFHの領域のイメージが外付け回路のメモリ・アドレスに重複しないようにする必要があります。
2. 使用するマクロ・サービスが条件1に該当しない(マクロ・サービス・タイプAでSFRからメモリへの転送を使用しない)場合、および条件2の場合はバッファ領域が、条件3の場合はMPTLのアドレスがOFED0H-OFEDFHとならない位置に配置することで可能です。

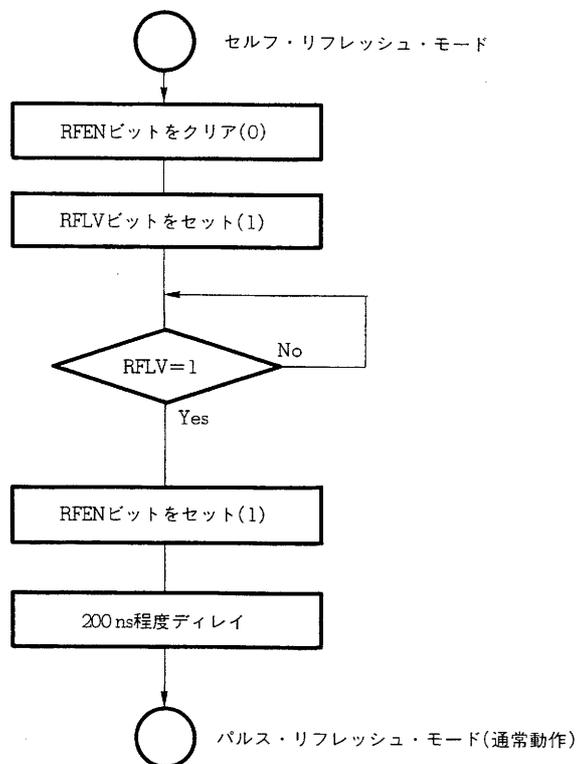
なお、不具合はインサーキット・エミュレータでも発生します。

(3) 外部ウェイト機能を使用する場合は、PM6レジスタのビット6を“1”にして、P66/ $\overline{\text{WAIT}}$ 端子を入力モードにしてください。

(4) リフレッシュ・モード・レジスタ (RFM) のRFLVビットを0から1にするときに、RFENビットがセット(1)されている(RFLVビットと同時にセット(1)される場合も含む)と、 $\overline{\text{REFRQ}}$ 端子から約10 nsでピーク・レベルが約2.6 Vのヒゲが出力される場合があります。

したがって、RFLVビットをセット(1)する場合には、図 15-25のような手順で操作を行ってください。なお、RFENをセットした後の200 nsのディレイは、疑似スタティックRAMがセルフ・リフレッシュ・モードから復帰したときのアクセス禁止時間を確保するための時間です。

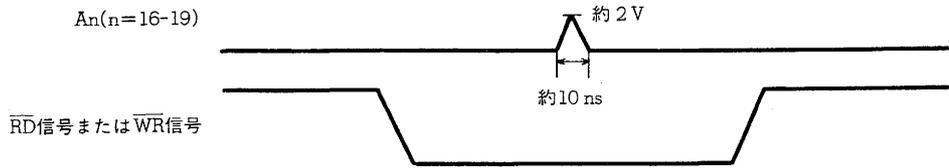
図 15-25 セルフ・リフレッシュ動作からの復帰動作



(5) インサーキット・エミュレータでのエミュレーション時には、以下の点についてご留意のうえ、ご使用ください。

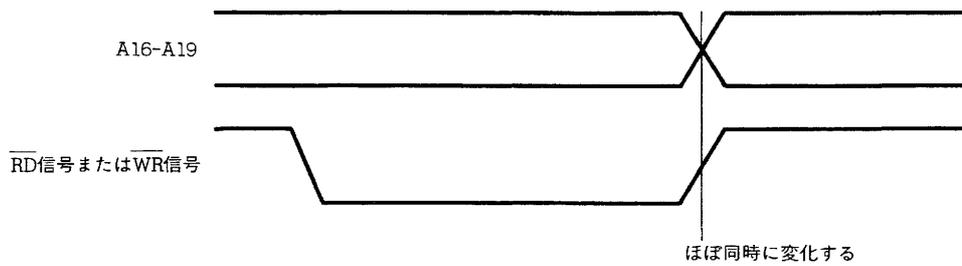
- ・A16-A19端子から \overline{RD} 信号、 \overline{WR} 信号がアクティブの期間にヒゲを出力することがあります。

図 15-26 エミュレーション時に発生するA16-A19端子のヒゲの例



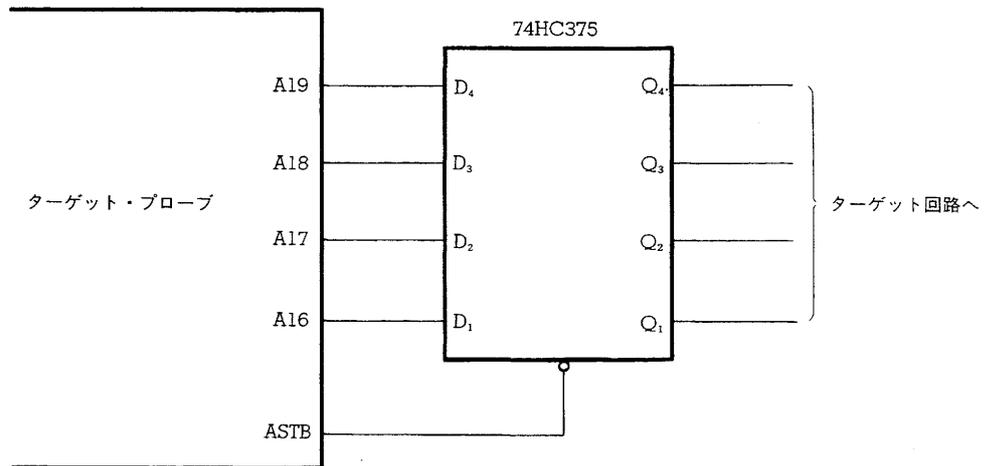
- ・A16-A19端子に出力されるアドレス信号の \overline{RD} 信号、 \overline{WR} 信号に対するホールド時間がほぼ 0 nsになります。

図 15-27 エミュレーション時のアドレス・ホールド時間の不足



これらの問題を回避するためには、エミュレーション時にA16-A19端子にラッチを接続して使用することを推奨します（なお、本処置は、デバイスでは不要です）。

図 15-28 エミュレーション時の不具合回避方法



第 16 章 スタンバイ機能

16.1 構成と機能

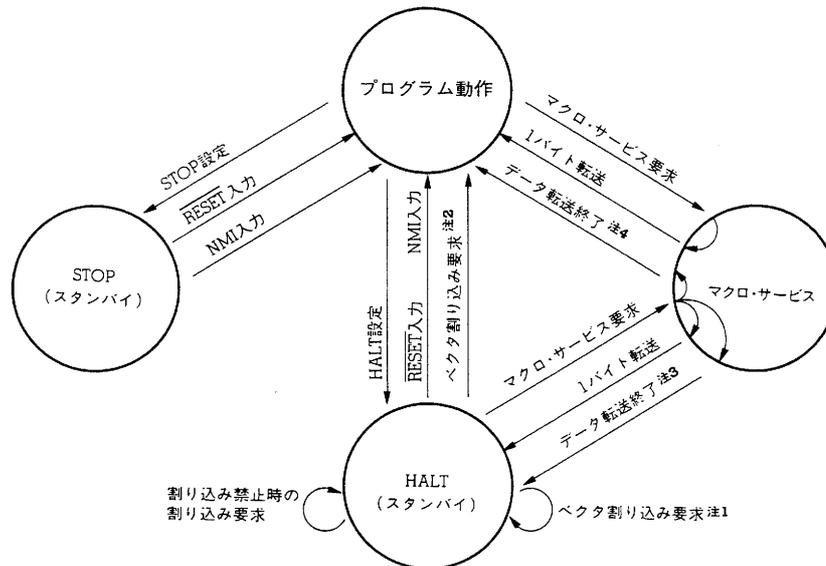
μPD78234は、システムの消費電力を低減させることのできるスタンバイ機能を持っています。スタンバイ機能には次のような2つのモードがあります。

- ・HALT モード……CPUの動作クロックを停止させるモードです。通常動作モードとの組み合わせによる間欠動作により、システムのトータル消費電力を低下させることができます。
- ・STOP モード……発振回路を停止させ、システム全体が停止するモードです。
リーク電流だけの超低消費電力にすることができます。

各モードにはソフトウェアによって設定します。図 16-1 にスタンバイ・モード (STOP/HALTモード) の遷移図を示します。

スタンバイ機能ブロック図を、図 16-2 に示します。

図 16-1 スタンバイ・モードの遷移図



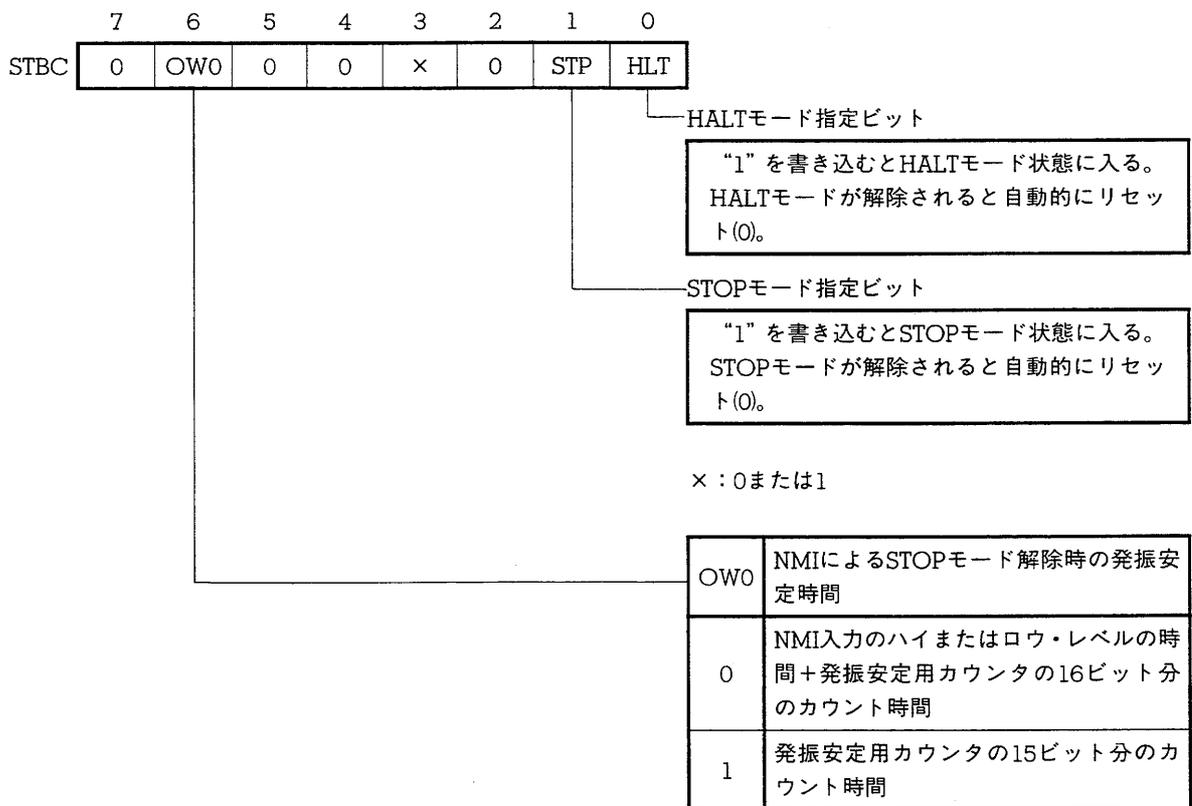
- 注 1. 低優先レベルのベクタ割り込み要求の場合 (HALT設定時に低優先順位の割り込み禁止状態)。
- 注 2. 高優先レベルのベクタ割り込み要求の場合、または、HALT設定時に低優先順位の割り込み許可状態の場合。
- 注 3. 低優先レベルのマクロ・サービスの場合 (HALT設定時に低優先順位の割り込み禁止状態)。
- 注 4. 高優先レベルのマクロ・サービスの場合、または、HALT設定時に低優先順位の割り込み許可状態の場合。

16.2 スタンバイ・コントロール・レジスタ (STBC)

スタンバイ・モードを制御する8ビット・レジスタです。読み出し／書き込み可能ですが、書き込みはプログラムの暴走などにより応用システムが不用意に停止しないように専用命令(MOV STBC, #byte)によってのみ可能です。そのフォーマットを図 16-3 に示します。

$\overline{\text{RESET}}$ 入力により、0000×000Bになります。

図 16-3 スタンバイ・コントロール・レジスタ (STBC) のフォーマット



16.3 HALTモード

16.3.1 HALTモードの設定および動作状態

HALTモードには、STBCレジスタのHLTビットをセット(1)することにより設定されます。

STBCレジスタの書き込みは、専用命令による8ビット・データ書き込みのみ可能です。したがって、HALTモードの設定は、“MOV STBC, #01H” 命令で行います。

注意 HALTモードを解除する条件が成立しているときにHALTモードの設定を行った場合、HALTモードには入らずに次の命令の実行、またはベクタ割り込みサービス・プログラムへの分岐を行います。確実にHALTモードの設定をしたい場合は、HALTモードに入る前に割り込み要求をクリアするなどしてください。

表 16-1 HALTモード時の動作状態

クロック発振回路	動作	
内部システム・クロック	動作	
CPU	動作停止 ^注	
I/Oライン	HALTモード設定前の状態を保持	
各周辺機能	動作継続	
内部RAM	保持	
バス・ライン	AD0-AD7	ハイ・インピーダンス
	A8-A15	保持
	A16-A19	ロウ・レベル
\overline{RD} , \overline{WR} 出力	ハイ・レベル	
ASTB出力	ロウ・レベル	

注 マクロ・サービス処理は実行されます。

16.3.2 HALTモードの解除

HALTモードは、次の3つのソースによって解除することができます。

- ・ ノンマスカブル割り込み要求 (NMI)
- ・ マスカブル割り込み要求 (ベクタ割り込み, マクロ・サービス)
- ・ $\overline{\text{RESET}}$ 入力

解除ソースと解除後の動作の概要を、表 16-2 に示します。

表 16-2 HALTモードの解除と解除後の動作

解除ソース	MK××	PR××	IE	ISP	動作
$\overline{\text{RESET}}$ 入力	×	×	×	×	通常のリセット動作と同じ
ノンマスカブル 割り込み	—	—	×	×	ベクタ割り込み処理実行 ^注
マスカブル・ベ クタ割り込み要 求	0	0	1	×	ベクタ割り込み処理実行
	0	×	1	1	
	0	0	0	×	次アドレス命令実行(割り込み要求保留)
	0	×	0	1	
	0	1	×	0	HALTモード保留(割り込み要求保留)
1	×	×	×		
マクロ・サービ ス	0	0	1	×	マクロ・サービス処理実行 終了条件成立→ベクタ割り込み処理実行 終了条件不成立→再びHALT状態へ戻る
	0	×	1	1	
	0	0	0	×	マクロ・サービス処理実行 終了条件成立→次アドレス命令実行 終了条件不成立→再びHALT状態へ戻る
	0	×	0	1	
	0	1	×	0	マクロ・サービス処理実行後、再びHALT状 態へ戻る(割り込み要求保留)
	1	×	×	×	HALTモード保持

注 割り込みステータス・レジスタ (LST) のNMISビットが1の場合は次アドレスの命令を実行し、NMISが0になった時点でNMI割り込みサービス・プログラムへ分岐します。

備考 MK×× : 割り込みマスク・フラグ

IE : 割り込み要求許可フラグ

PR×× : 優先順位指定フラグ

ISP : 割り込み優先順位ステータス・フラグ

(1) ノンマスカブル割り込み (NMI) による解除

NMIが発生すると、割り込み受け付けの許可状態 (EI)、禁止状態 (DI) に関係なく HALTモードから解除されます。

HALTモードから解除されると、割り込みステータス・レジスタ (IST) の NMIS ビットが 0 の場合は、NMI サービス・プログラムに分岐します。また、NMIS ビットが 1 の場合 (NMI 割り込みサービス・プログラム中で HALTモードに設定した場合など) は、HALTモードを設定した命令の次の命令から実行を再開し、NMIS ビットが 0 になると (RETI 命令実行などによる) NMI 割り込みサービス・プログラムへ分岐します。

(2) マスカブル割り込み要求による解除

マスカブル割り込み要求による HALTモードの解除は、割り込みマスク・フラグが 0 の割り込みによってのみ可能です。さらに、割り込み優先順位ステータス・フラグ (ISP) が 0 (高優先順位の割り込みのみ許可) の場合は、優先順位指定フラグが 0 (高優先順位) の割り込みによってのみ可能です。ただし、マクロ・サービスは優先順位に関係なく処理されます (マクロ・サービス終了時の割り込みは、優先順位の影響を受けません)。

HALTモードが解除されると、割り込み要求許可フラグ (IE) が 1 の場合は、割り込み処理プログラムへ分岐します。IE フラグが 0 の場合は、HALTモードを設定した次の命令から実行を再開します。

マクロ・サービスは、HALTモードを一時的に解除して、1 回の処理を行い、再び HALTモードに戻ります。マクロ・サービスが指定回数だけ行われると、IE フラグ、ISP フラグ、優先順位指定フラグに応じた動作をします。

表 16-3 マスカブル割り込み要求によるHALTモードの解除

解除ソース	MK××	PR××	IE	ISP	動作
マスカブル・ベクタ割り込み要求	0	0	1	×	ベクタ割り込み処理実行
	0	×	1	1	
	0	0	0	×	次アドレス命令実行（割り込み要求保留）
	0	×	0	1	
	0	1	×	0	HALTモード保持（割り込み要求保留）
	1	×	×	×	
マクロ・サービス	0	0	1	×	マクロ・サービス処理実行 終了条件成立→ベクタ割り込み処理実行 終了条件不成立→再びHALT状態へ戻る
	0	×	1	1	
	0	0	0	×	マクロ・サービス処理実行 終了条件成立→次アドレス命令実行 終了条件不成立→再びHALT状態へ戻る
	0	×	0	1	
	0	1	×	0	マクロ・サービス処理実行後、再びHALT状態へ戻る（割り込み要求保留）
	1	×	×	×	HALTモード保持

備考 MK×× : 割り込みマスク・フラグ

PR×× : 優先順位指定フラグ

IE : 割り込み要求許可フラグ

ISP : 割り込み優先順位ステータス・フラグ

(3) RESET入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐した後、プログラムを実行します。ただし、内部RAMの内容は、HALTモード設定直前の値を保持しています。

16.4 STOPモード

16.4.1 STOPモードの設定および動作状態

STOPモードには、STBCレジスタのSTPビットをセット(1)することにより設定されます。

STBCレジスタの書き込みは、専用命令による8ビット・データ書き込みのみ可能です。したがって、STOPモードの設定は、“MOV STBC, #02H” 命令で行います。

表 16-4 STOPモード時の動作状態

クロック発振回路	発振停止	
内部システム・クロック	停止	
CPU	動作停止	
I/Oライン	STOPモード設定前の状態を保持	
各周辺機能	すべて動作停止 注	
内部RAM	保持	
バス・ライン	AD0-AD7	ハイ・インピーダンス
	A8-A15	保持
	A16-A19	ロウ・レベル
\overline{RD} , \overline{WR} 出力	ハイ・レベル	
ASTB出力	ロウ・レベル	

注 A/Dコンバータは動作を停止しますが、A/Dコンバータ・モード・レジスタ (ADM) のCSビットがセットされていると、消費電流は減りません。

- 注意 1. STOPモードに設定されるとクロック発振回路のリークを抑えるため X1端子が内部でV_{SS} (GND電位)にショートされます。したがって、外部クロックを使用するシステムではSTOPモードの使用を禁止します。
2. A/DコンバータのCSビットをリセットしてください。
 3. STOPモードの設定時にNMI要求が保留されていても、STOPモードに設定されます。STOPモードの解除にNMIを使用する場合は、再度NMI信号を入力してください。

16.4.2 STOPモードの解除

STOPモードは、NMI入力またはRESET入力により解除されます。

(1) NMI入力によるSTOPモードの解除

(a) STOPモード解除動作

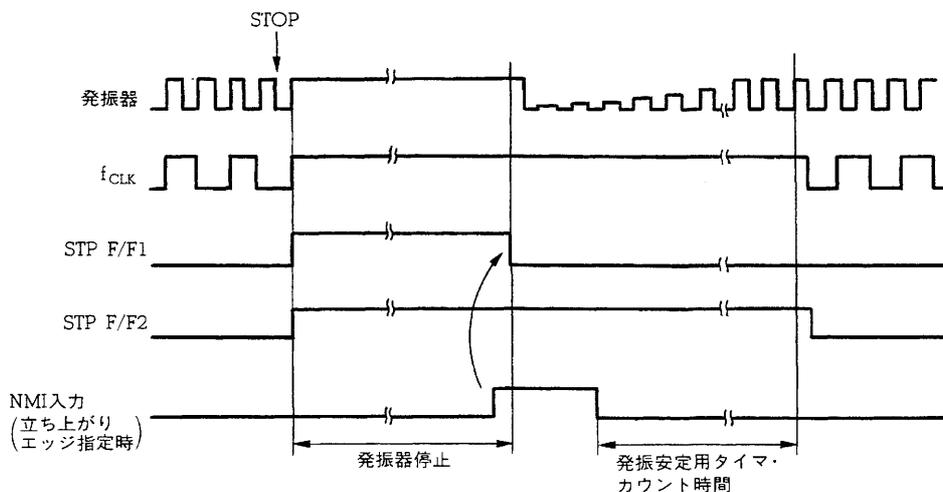
NMI入力に外部割り込みモード・レジスタ (INTMO) で指定した有効エッジが入力されると発振器が発振を再開します。その後スタンバイ・コントロール・レジスタ (STBC) のOWOビットで指定された発振安定時間後にSTOPモードは解除されます。

STOPモードから解除されると、割り込みステータス・レジスタ (IST) のNMISビットが0の場合は、NMI割り込みサービス・プログラムに分岐します。また、NMISビットが1の場合(NMI割り込みサービス・プログラム中でSTOPモードに設定した場合など)は、STOPモードを設定した命令の次の命令から実行を再開し、NMISビットが0になると (RETI命令実行などによる) NMI割り込みサービス・プログラムへ分岐します。

(b) OWOビット=0の場合の発振安定時間

NMI入力に外部割り込みモード・レジスタ (INTMO) で指定した有効エッジが入力されると発振器が発振を再開します。その後NMI入力レベルがもとのレベルに戻ると発振安定用カウンタがカウントを開始し、そのカウンタが16ビット分のカウントを行うと (約11 ms, $f_{XX}=12$ MHz時), 内部システム・クロックの供給を開始します。したがって、NMI入力の有効エッジ検出後のハイまたはロウ・レベル幅+発振安定用カウンタの16ビット分のカウント時間だけ発振安定時間としてウェイトします。

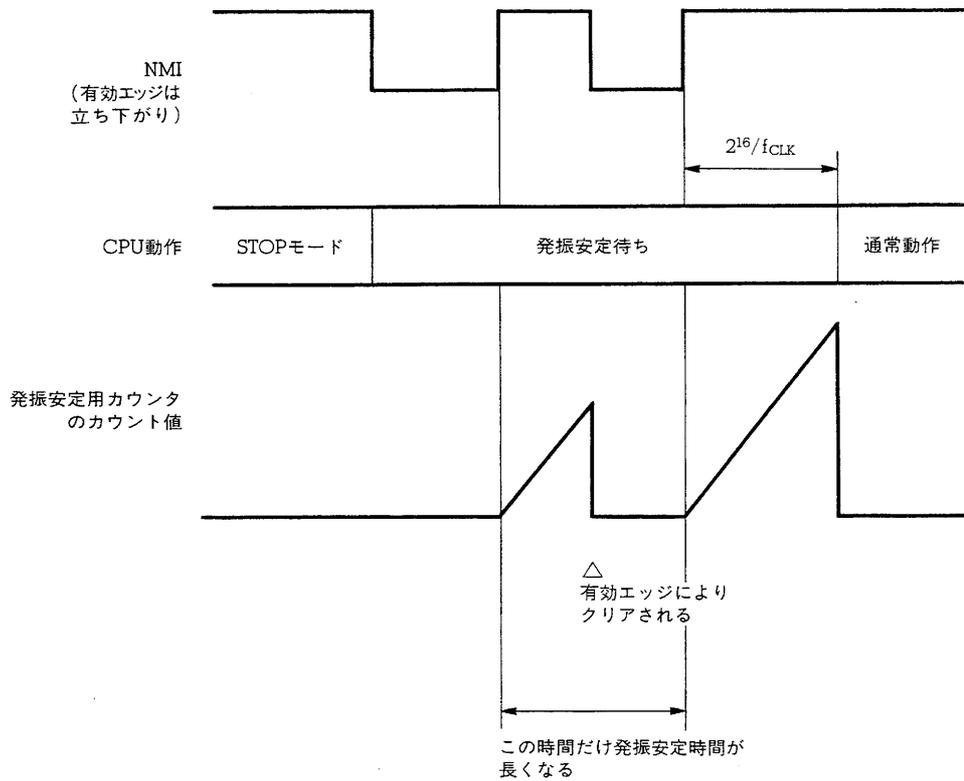
図 16-4 NMI入力によるSTOPモードの解除 (OWOビット=0のとき)



注意 発振安定時間中にNMI端子に有効エッジが入力されると、発振安定時間をカウントするカウンタがクリアされてしまい、発振安定時間が長くなってしまいます。長くなる時間は、有効エッジが入力されるまでの時間+NMIのアクティブ・レベル期間です。

確実にSTOPモードから復帰させるためには、発振安定時間中のNMI端子レベルをインアクティブ・レベルに固定するようにしてください。

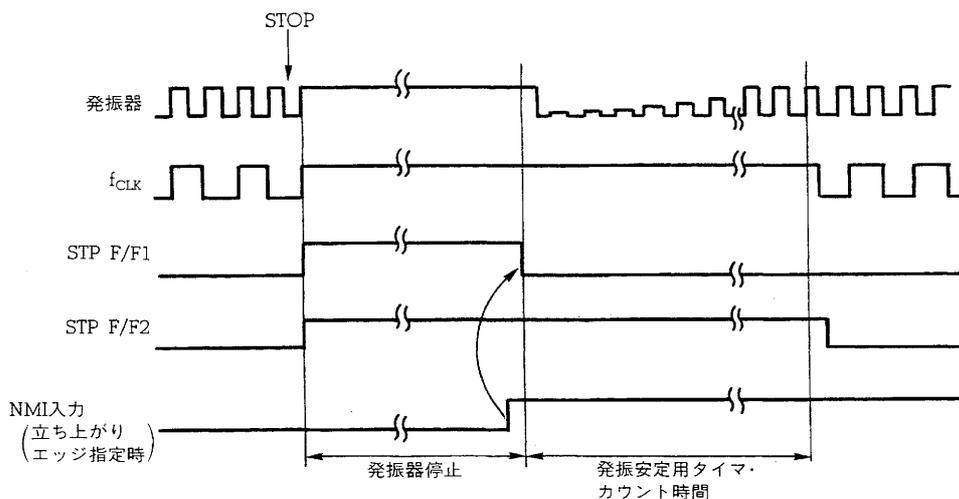
図 16-5 発振安定時間が延長される例



(c) OWOビット=1の場合の発振安定時間

NMI入力に外部割り込みモード・レジスタで指定した有効エッジが入力されると発振器が発振を再開します。発振を再開するとともに発振安定用カウンタがカウントを開始し、発振安定用カウンタの15ビット分のカウントを行うと（約5.5 ms, $f_{xx}=12\text{ MHz}$ 時）、内部システム・クロックの供給を開始します。したがって、NMI入力の有効エッジ検出後の発振安定用カウンタの15ビット分のカウント時間だけ発振安定時間としてウエイトします。

図 16-6 NMI入力によるSTOPモードの解除 (OWOビット=1のとき)



注意 STOPモードのNMIによる解除で、OWOビットが1の場合の動作は、インサーキット・エミュレータではエミュレーションできません。

本機能を使用する場合は、 $\mu\text{PD78P238}$ などにより評価を行ってください。

(2) RESET入力によるSTOPモードの解除

RESET入力をハイからロウに下げ、リセット状態にすると発振器が発振を開始します。RESETのアクティブ期間で発振安定時間を確保してください。その後RESETを立ち上げると通常の動作をスタートします。

通常のリセット動作とは異なり、データ・メモリはSTOPモード設定前の内容を保持しています。

16.4.3 STOPモード使用時のチェック項目

STOPモード使用時の消費電流を下げるために必要なチェック項目を示します。

(1) 各出力端子の出力レベルは適正か？

各端子の適正な出力レベルは、次段の回路によって異なります。最も消費電流が少なくなるような出力レベルを選んでください。

- 次段の回路の入力インピーダンスが低い場合にハイ・レベルを出力していると、電源からポートへ電流が流れ出し、消費電流が増えてしまいます。次段の回路がCMOS ICなどの場合がこれにあたります。CMOS ICは、電源OFF時には、入力インピーダンスが低くなります。消費電流を抑えるため、またCMOS ICの信頼性に悪影響を与えないため、ロウ・レベルを出力してください。ハイ・レベルを出力していると、電源の再投入時にラッチアップの原因となります。
- 次段の回路によっては、ロウ・レベルを入力すると消費電流が増えてしまう場合があります。このような場合は、ハイ・レベルまたはハイ・インピーダンスを出力し、消費電流が少なくなるようにしてください。

出力レベルの設定方法は、ポートのモードによって異なります。

- ポートがコントロール・モードのときには、内蔵ハードウェアの状態によって出力レベルが決定されますので、内蔵ハードウェアの状態を考慮して出力レベルを設定する必要があります。
- ポート・モードのときには、ソフトウェアでポートの出力ラッチとポート・モード・レジスタへ書き込みをすることにより、出力レベルを設定することができます。

ポートがコントロール・モードになっているときには、ポート・モードへ変更することで、出力レベルの設定が簡単になります。

(2) 各入力端子の入力レベルは適正か？

各端子に入力される電圧レベルは、 V_{SS} 電位から V_{DD} 電位の範囲内にしてください。この範囲外の電圧を印加すると、消費電流が増えるだけでなく、 μ PD78234の信頼性にも悪影響を与えます。

また、中間電位が加わらないようにしてください。

(3) 内蔵プルアップ抵抗は必要か？

不要なプルアップ抵抗は、消費電流を増やしたり、他のデバイスのラッチアップの原因となります。プルアップ抵抗は、必要な部分だけを使用するモードに指定してください。

必要な部分と不要な部分が混在する場合は、必要な部分については外付けにプルアップ抵抗を接続し、内蔵プルアップ抵抗を使用しないモードに指定するなどしてください。

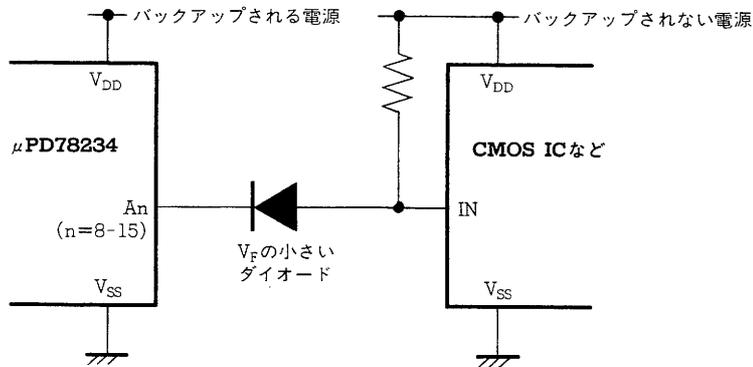
(4) アドレス・バスおよびアドレス／データ・バスなどの処理は適正か？

アドレス・バスはSTOPモード時に不定値（ハイまたはロウ・レベル）を出力します。外部回路の入カインピーダンスが低い場合には、アドレス・バスから電流が流れ出すため消費電流が増えてしまいます。したがって、アドレス・バスに接続する回路の入カインピーダンスをSTOPモード時にも高くしてください。

特にCMOS ICは電源OFF時に入カインピーダンスが低くなるので、消費電流が増えたり、ICの信頼性に悪影響を与えたりします。したがって、次のように処理してください。

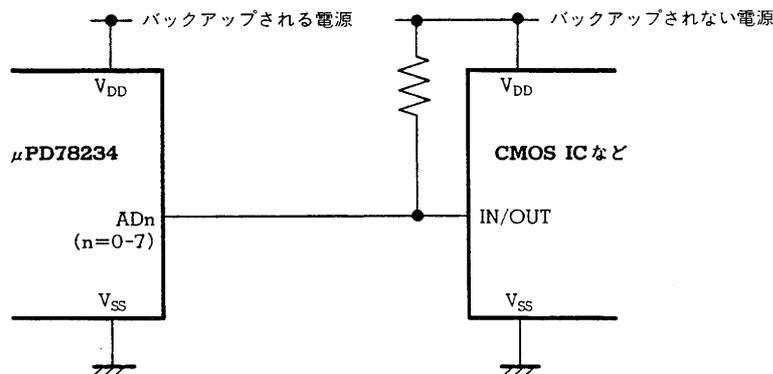
- CMOS ICの電源をOFFにしない（STOPモード時にも電源を供給する）。
- 図 16-7に示すように、 V_F の小さいダイオードを接続して電流が流れないようにする。

図 16-7 アドレス・バスの処理例



アドレス／データ・バスはSTOPモード時にハイ・インピーダンスになります。通常アドレス／データ・バスはプルアップ抵抗によってプルアップします。このプルアップ抵抗をバックアップされる電源に接続すると、バックアップされない電源に接続されている回路の入カインピーダンスが低い場合には、プルアップ抵抗を介して電流が流れてしまい、消費電流が増えてしまいます。したがって、図 16-8に示すように、プルアップ抵抗はバックアップされない電源側に接続してください。

図 16-8 アドレス/データ・バスの処理例



\overline{RD} , \overline{WR} , \overline{ASTB} , \overline{REFRQ} 端子は、STOPモード時には、固定レベルを出力しますので、アドレス・バスと同様に対策を行ってください。なお、 \overline{ASTB} 端子は、ロウ・レベルを出力していますので、一般的には、外付け部品による対策は不要です。

\overline{WAIT} 端子に入力される電圧レベルは、 V_{SS} 電位から V_{DD} 電位の範囲内にしてください。この範囲外の電圧を印加すると、消費電流が増えるだけでなく、 $\mu\text{PD78234}$ の信頼性にも悪影響を与えます。

なお、 $\mu\text{PD78233}$ については、これらの対策が必要ですが、 $\mu\text{PD78234}$ の場合は、アドレス・バス、アドレス/データ・バスなどをポート・モードにすることにより、簡単な方法で対策をとることができます。

★

(5) A/Dコンバータ

A/Dコンバータ・モード・レジスタ (ADM) のビット7にあるCSビットをリセット(0)することにより、 AV_{REF1} 端子に流れる電流を減らすことが可能です。さらに、電流を減らしたい場合には、 AV_{REF1} 端子への電流供給を外付け回路で切断してください。

なお、 AV_{DD} 端子は、必ず V_{DD} と同電位にしてください。STOPモード時に AV_{DD} 端子に電源が供給されていないと、消費電流が増えるだけでなく、信頼性に悪影響を与えます。

(6) D/Aコンバータ

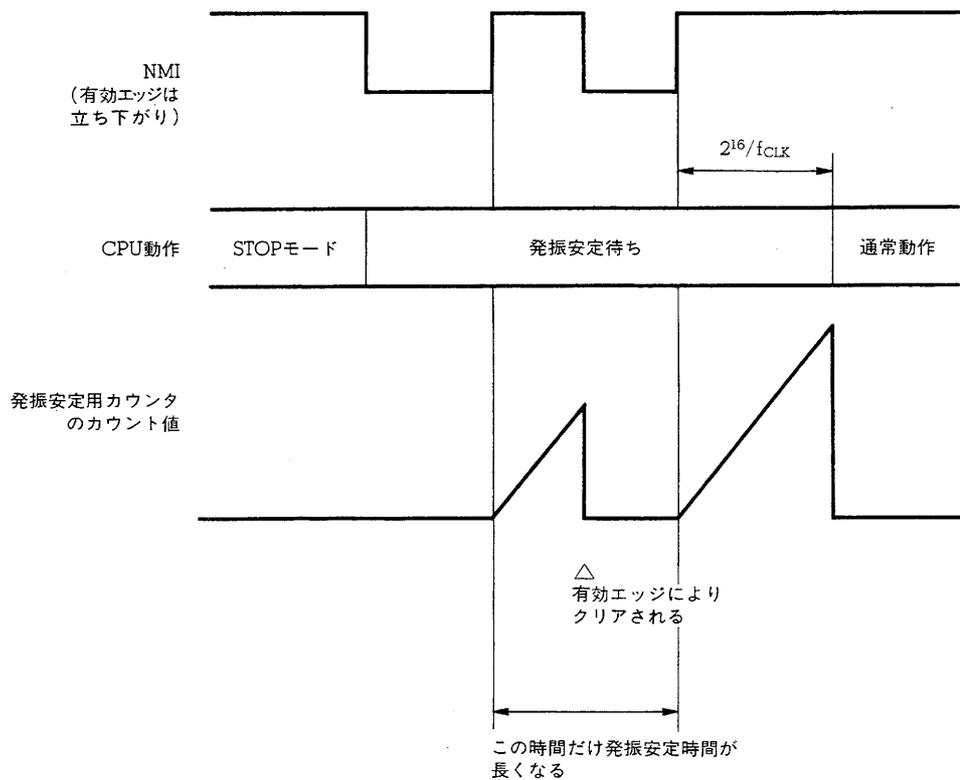
AV_{REF2} 端子に入力する電圧を AV_{REF3} と同電位にすることで、消費電流をなくすることができます。なお、このときの $ANOn$ ($n=0, 1$)の出力は、 AV_{REF3} と同電位になりますので、次段の回路の消費電流が一番小さくなるように AV_{REF3} 端子電圧を設定してください。

また、 $ANOn$ 端子には、外部から電圧を印加しないようにしてください。外部からの電圧が加わると、消費電流が増えるだけでなく、 $\mu\text{PD78234}$ の破壊または信頼性に対する悪影響を与えます。

16.5 注意事項

- (1) HALTモードを解除する条件が成立しているときにHALTモードの設定を行った場合、HALTモードには入らずに次の命令の実行、またはベクタ割り込みサービス・プログラムへの分岐を行います。確実にHALTモードの設定をしたい場合は、HALTモードに入る前に割り込み要求をクリアするなどしてください。
- (2) STOPモードに設定されるとクロック発振回路のリークを抑えるため、X1端子が内部で V_{SS} (GND 電位) にショートされます。したがって、外部クロックを使用するシステムではSTOPモードの使用を禁止します。
- (3) STOPモードの設定時には、A/DコンバータのCSビットをリセットしてください。
- (4) STOPモードの設定時にNMI要求が保留されていても、STOPモードに設定されています。STOPモードの解除にNMIを使用する場合は、再度NMI信号を入力してください。
- (5) STBCのOW0ビット=0の場合、発振安定時間中にNMI端子に有効エッジが入力されると、発振安定時間をカウントするカウンタがクリアされてしまい、発振安定時間が長くなってしまいます。長くなる時間は、有効エッジが入力されるまでの時間+NMIのアクティブ・レベル期間です。確実にSTOPモードから復帰させるためには、発振安定時間中のNMI端子レベルをインアクティブ・レベルに固定するようにしてください。

図 16-9 発振安定時間が延長される例



(6) STOPモードのNMIによる解除で、OW0ビットが1の場合の動作は、インサーキット・エミュレータではエミュレーションできません。本機能を使用する場合は、 μ PD78P238などにより評価を行ってください。

第 17 章 リセット機能

17.1 リセット機能

$\overline{\text{RESET}}$ 入力端子にロウ・レベルが入力されると、システム・リセットがかかり、各ハードウェアは表 17-2 に示すような状態になります。また、電源端子を除くすべての端子は、ハイ・インピーダンス状態になります。表 17-1 に、リセット中およびリセット解除後の端子の状態を示します。

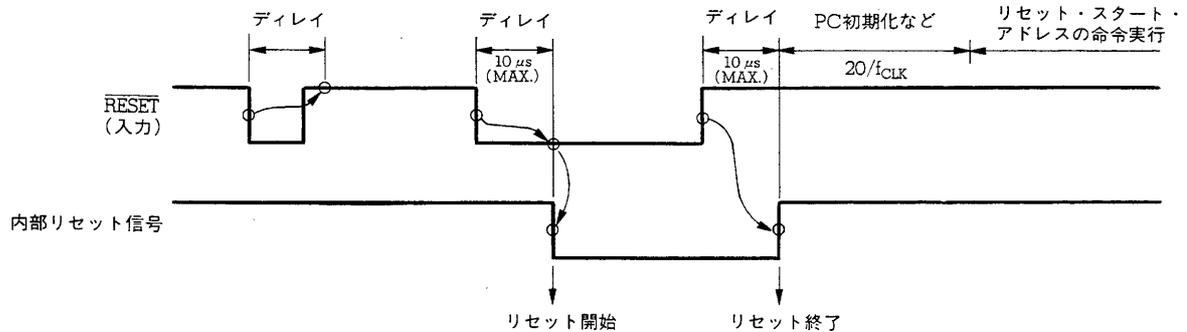
$\overline{\text{RESET}}$ 入力がロウ・レベルからハイ・レベルになると、リセット状態が解除されリセット・ベクタ・テーブルの 00000H 番地の内容がプログラム・カウンタ (PC) のビット 7-0 に、00001H 番地の内容が PC のビット 15-8 にセットされて分岐し、その分岐先アドレスからプログラムの実行を開始します。したがって、任意の番地からリセット・スタートできます。

各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

$\overline{\text{RESET}}$ 入力端子は、ノイズによる誤動作を防ぐため、アナログ・ディレイによるノイズ除去回路を内蔵しています (図 17-1 参照)。

図 17-1 リセット信号の受け付け

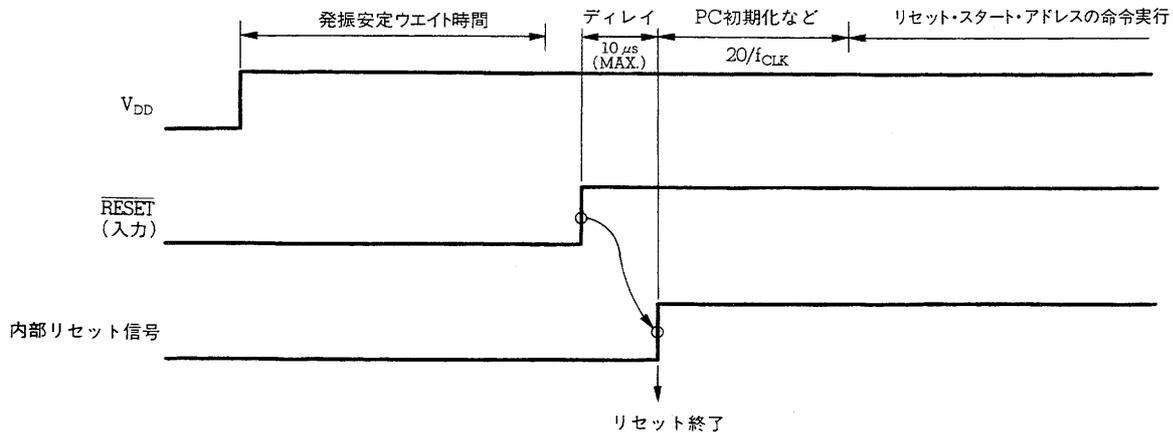
★



備考 f_{CLK} : システム・クロック周波数 ($f_{\text{XX}}/2$)

- ★ 電源投入時のリセット動作では、発振安定ウエイト時間（約30 ms、使用する発振子に依存します）が経過するまで $\overline{\text{RESET}}$ 信号をアクティブにしてください。

★ 図 17-2 電源投入時のリセット動作



備考 f_{CLK} : システム・クロック周波数 ($f_{\text{XX}}/2$)

表 17-1 リセット入力中、リセット解除後の端子状態

端子名称	入出力	リセット中	リセット解除直後
P00-P07	出力	Hi-Z	Hi-Z
P10/PWM0-P17	入出力	Hi-Z	Hi-Z (入力ポート・モード)
P20/NMI-P27/SI	入力	Hi-Z	Hi-Z (入力ポート)
P30/RxD-P37/TO3	入出力	Hi-Z	Hi-Z (入力ポート・モード)
P40/AD0-P47/AD7	入出力	Hi-Z	Hi-Z (入力ポート・モード) 注
P50/A8-P57/A15	入出力	Hi-Z	Hi-Z (入力ポート・モード) 注
P60/A16-P63/A19	出力	Hi-Z	0
P64/ $\overline{\text{RD}}$, P65/ $\overline{\text{WR}}$	入出力	Hi-Z	Hi-Z (入力ポート・モード) 注
P66/ $\overline{\text{WAIT}}$, P67/ $\overline{\text{REFRQ}}$	入出力	Hi-Z	Hi-Z (入力ポート・モード)
P70/ANIO-P77/ANI7	入力	Hi-Z	Hi-Z (入力ポート)
ASTB	出力	Hi-Z	0
AN00, AN01	出力	Hi-Z	AV_{REF3} 端子の入力電圧を出力

注 MODE端子=1の状態により、ROMレス・モードに指定された場合には、アドレス/データ・バスとして機能し、0000H番地からリセット・ベクタ・アドレスをフェッチするための信号を出力する (図 17-3(a)参照)。

表 17-2 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態	
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。	
スタック・ポインタ (SP)		不定 ^注	
プログラム・ステータス・ワード (PSW)		02H	
内蔵RAM	データ・メモリ	不定 ^注	
	汎用レジスタ (X, A, C, B, E, D, L, H)		
ポート	ポート0, ポート1, ポート3, ポート4, ポート5	不定 (ハイ・インピーダンス)	
	ポート6	×0H	
ポート・モード・レジスタ	PM0, PM1, PM3, PM5	FFH	
	PM6	F×H	
ポート3モード・コントロール・レジスタ (PMC3)		00H	
プルアップ抵抗オプション・レジスタ (PUO)		00H	
リアルタイム出力ポート・コントロール・レジスタ (RTPC)		00H	
タイマ/ カウンタ・ ユニット	16ビット・ タイマ/ カウンタ	タイマ (TM0)	0000H
		コンペア・レジスタ (CR00, CR01)	不定
		キャプチャ・レジスタ (CR02)	
	8ビット・ タイマ/ カウンタ	タイマ (TM1, TM2, TM3)	00H
		コンペア・レジスタ (CR10, CR20, CR21, CR30)	不定
		キャプチャ・レジスタ (CR22)	
		キャプチャ/コンペア・レジスタ (CR11)	
	タイマ・コントロール・レジスタ (TMC0, TMC1)		00H
	タイマ出力コントロール・レジスタ (TOC)		
	キャプチャ/コンペア・ コントロール・レジスタ	CRC0	10H
		CRC1, CRC2	00H
	プリスケアラ・モード・レジスタ (PRM0, PRM1)		00H
ワンショット・パルス出力制御レジスタ (OSPC)		00H	
PWM	PWMコントロール・レジスタ (PWMC)	05H	
	PWMモジュロ・レジスタ (PWM0, PWM1)	不定	

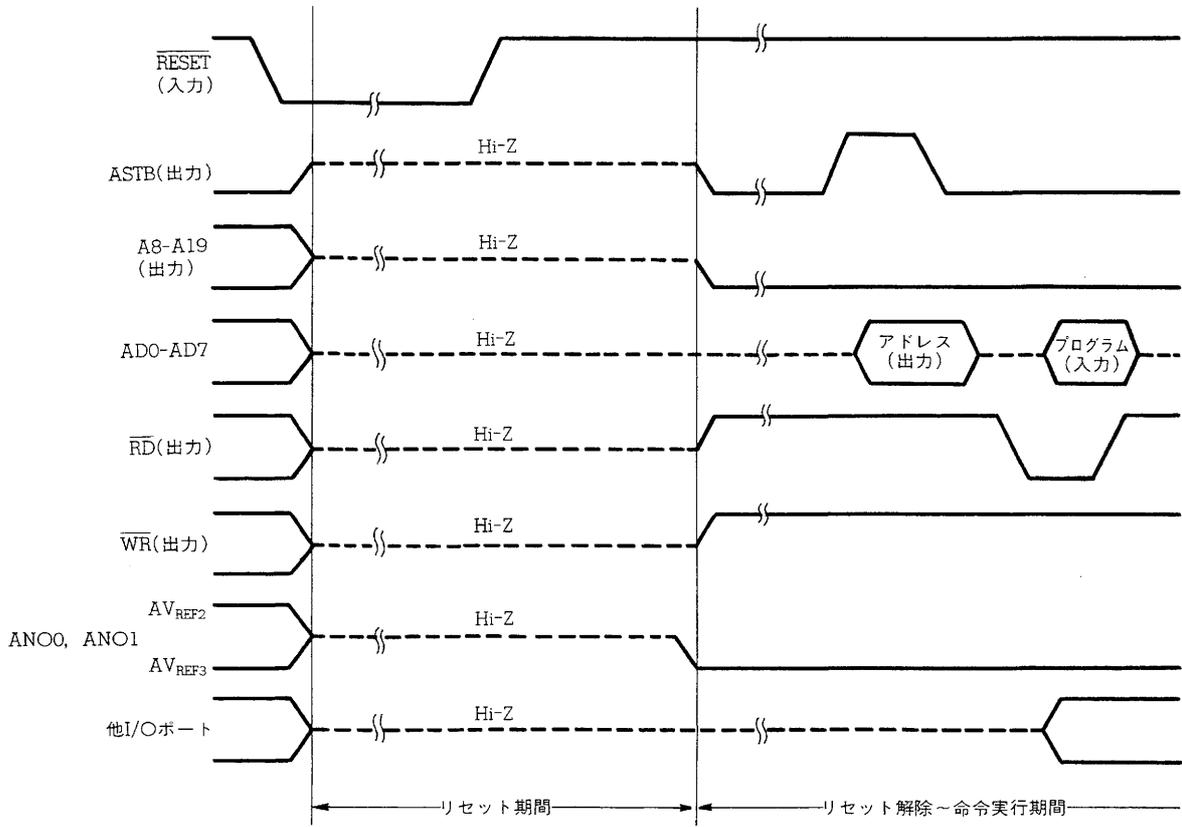
注 STOPモードをRESET入力で解除した場合は、STOPモード設定前の値を保持しています。

表 17-2 各ハードウェアのリセット後の状態 (2/2)

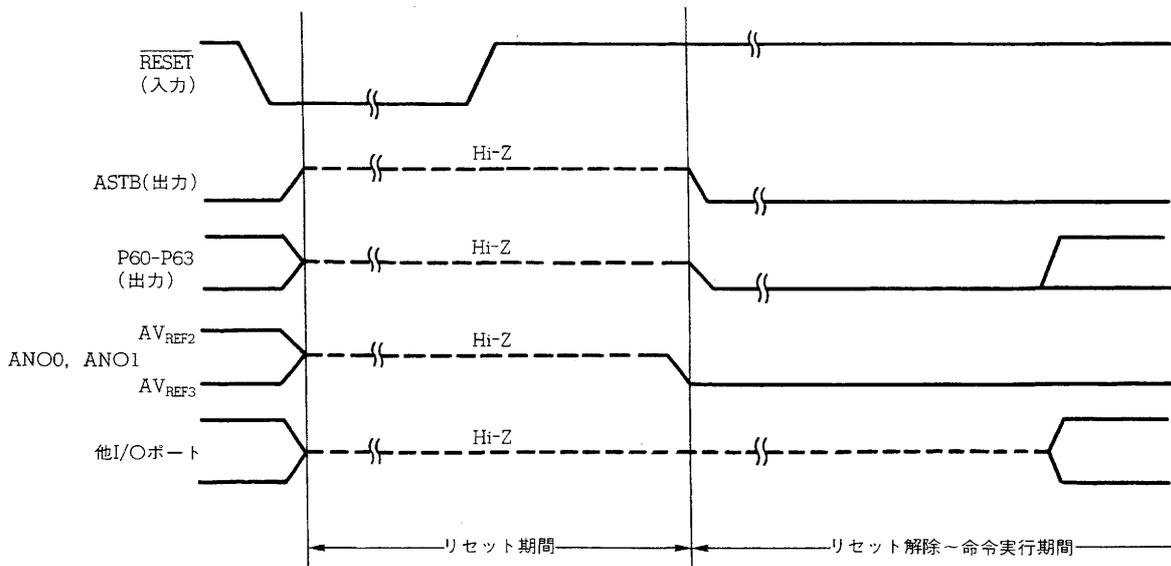
ハードウェア		リセット後の状態
A/Dコンバータ	モード・レジスタ (ADM)	00H
	A/D変換結果レジスタ (ADCR)	不 定
D/Aコンバータ	D/A変換値設定レジスタ (DACSO, DACS1)	00H
シリアル・ インタフェ ース	モード・レジスタ (CSIM)	00H
	シフト・レジスタ (SIO)	不 定
	アシンクロナス・モード・レジスタ (ASIM)	80H
	アシンクロナス・ステータス・レジスタ (ASIS)	00H
	シリアル・バス・コントロール・レジスタ (SBIC)	00H
	シリアル受信バッファ (RXB)	不 定
	シリアル送信シフト・レジスタ (TXS)	不 定
	ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC)	00H
メモリ拡張モード・レジスタ (MM)		20H
プログラマブル・ウェイト制御レジスタ (PW)		80H
リフレッシュ・モード・レジスタ (RFM)		00H
割 り 込 み	割り込み要求フラグ・レジスタ (IFO)	0000H
	割り込みマスク・レジスタ (MKO)	FFFFH
	優先順位指定フラグ・レジスタ (PRO)	FFFFH
	割り込みサービス・モード・レジスタ (ISM0)	0000H
	割り込みステータス・レジスタ (IST)	00H
外部割り込みモード・レジスタ (INTMO, INTM1)		00H
スタンバイ・コントロール・レジスタ (STBC)		0000×000B
内蔵メモリ・サイズ切り替えレジスタ (IMS)		FFH

図 17-3 リセット入力時のタイミング

(a) μ PD78233の場合



(b) μ PD78234の場合



17.2 注意事項

パワーオン時のリセット入力は、電源電圧が規定電圧に達したあと、発振が安定するまでロウ・レベルを保持しなければなりません。

第 18 章 応 用 例

18.1 ステッピング・モータの開ループ制御

μ PD78234のリアルタイム出力機能と8ビット・タイマ/カウンタ1およびマクロ・サービス機能を応用した例として、ステッピング・モータ制御を示します。

図 18-1 に2系統のステッピング・モータを制御する場合の機能ブロック図を示します。

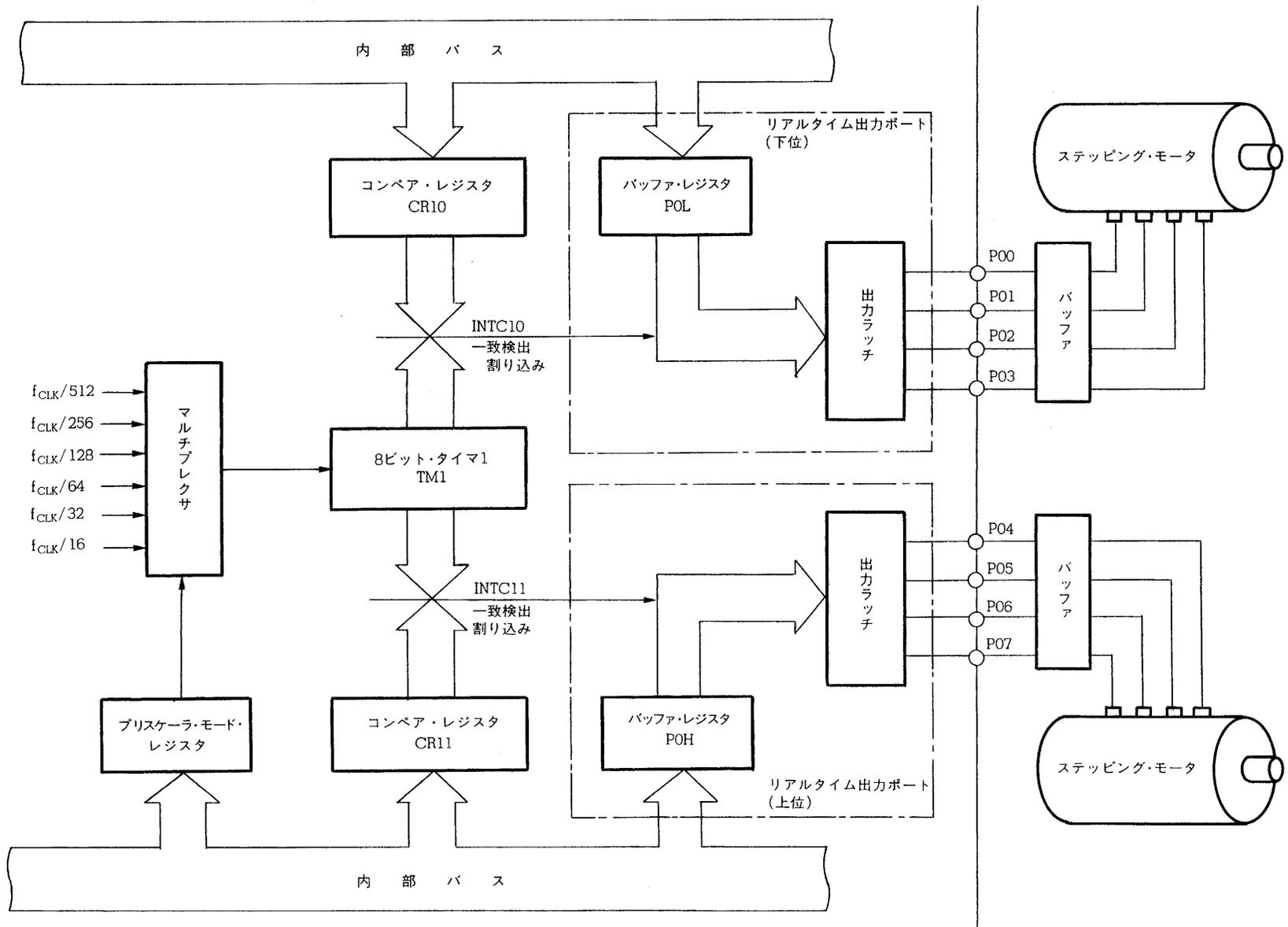
8ビット・タイマ/カウンタ1 (TM1) と2本のコンペア・レジスタ (CR10, CR11) の値が一致することによって割り込み信号が発生します。この割り込み信号をトリガとして、マクロ・サービス機能が動作し、あらかじめ格納しておいたメモリ上のテーブル・データをコンペア・レジスタ、およびリアルタイム出力ポートのバッファ・レジスタへ、CPUが自動的に転送します。このとき、コンペア・レジスタには、次に一致割り込みを発生させるインターバル時間に相当するデータを転送します。

また、バッファ・レジスタには、次にポート0端子から出力するデータを転送します。

μ PD78234を用いたステッピング・モータの開ループ制御では、以下のような利点があります。

- (1) リアルタイム出力機能によって、あらかじめ設定した任意のインターバル時間に対して正確な制御（出力）信号が得られる。
- (2) 8ビット・タイマ/カウンタ1本とコンペア・レジスタ2本の組み合わせによって、それぞれ独立に2系統の制御ができるため、ハードウェアの効率が良い。
- (3) マクロ・サービス機能を組み合わせているため、ステッピング・モータの加減速制御などの複雑な制御を、ソフトウェアの介入なしに実現できる。

図 18-1 2系統のステッピング・モータの制御例



18.2 複数デバイスとのシリアル通信

図18-2に、シリアル・バス・インタフェースによるシステム構成例を示します。シリアル・バス・インタフェースは、シリアル・クロックとシリアル・バスの2本のラインだけを用いて、アドレス（デバイスの選択）コマンド・データの転送と、アクノリッジ・ビジィの制御ができる機能です。

複数のデバイスとのシリアル通信を行う場合、マスタ・デバイス側は通信対象となるスレーブ・デバイスを選択するため、シリアル・バス・ラインに“アドレス”情報を出力します。スレーブ・デバイス側は、受け取ったアドレス情報があらかじめ与えられている自身のアドレスと一致するかどうか、ソフトウェアによって判定します。自身のアドレスと一致したスレーブ・デバイスのみアクノリッジ信号を送りかえし、そのあとにマスタ・デバイスからのコマンドの受け取りやデータの受け渡しを行います。図18-3にシリアル・バス・インタフェース（SBI）による通信の例を示します。

図18-2 シリアル・バス・インタフェースのシステム構成例

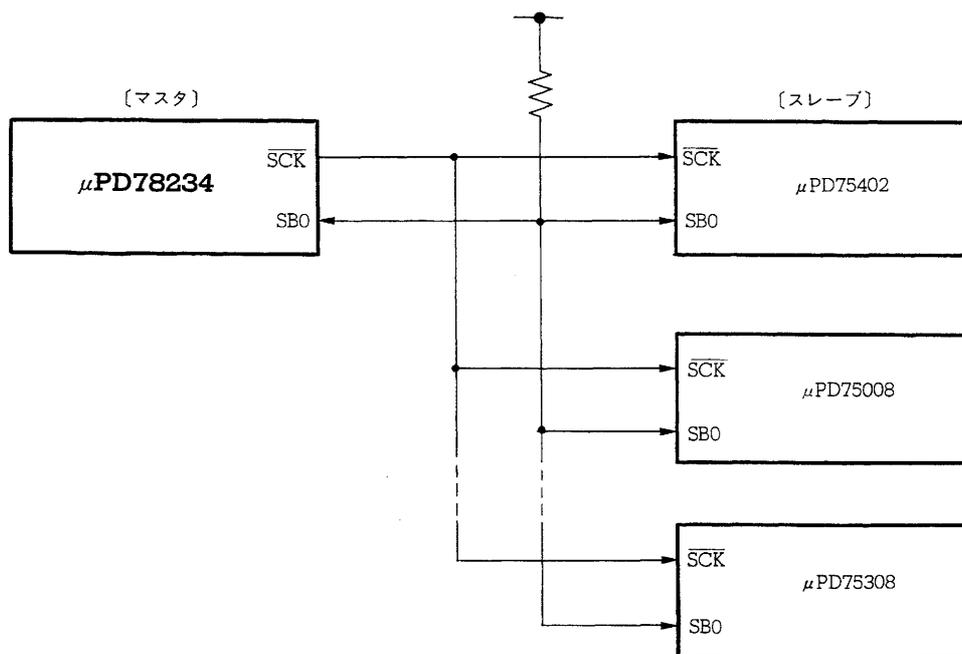


図 18-3 SBIによる通信例

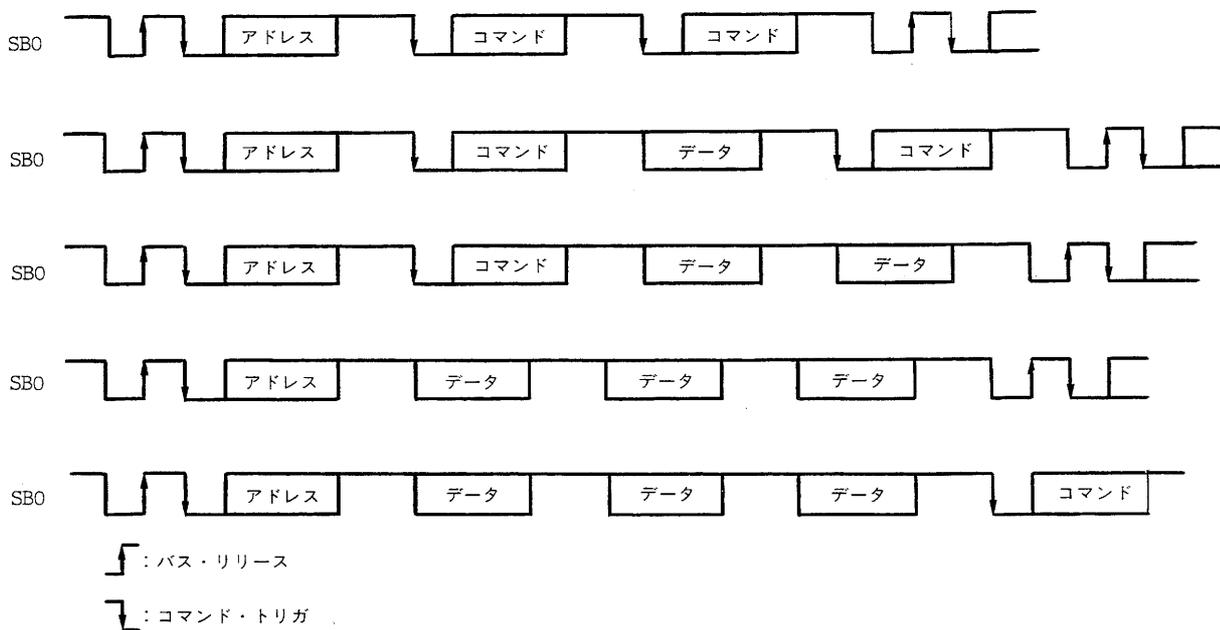
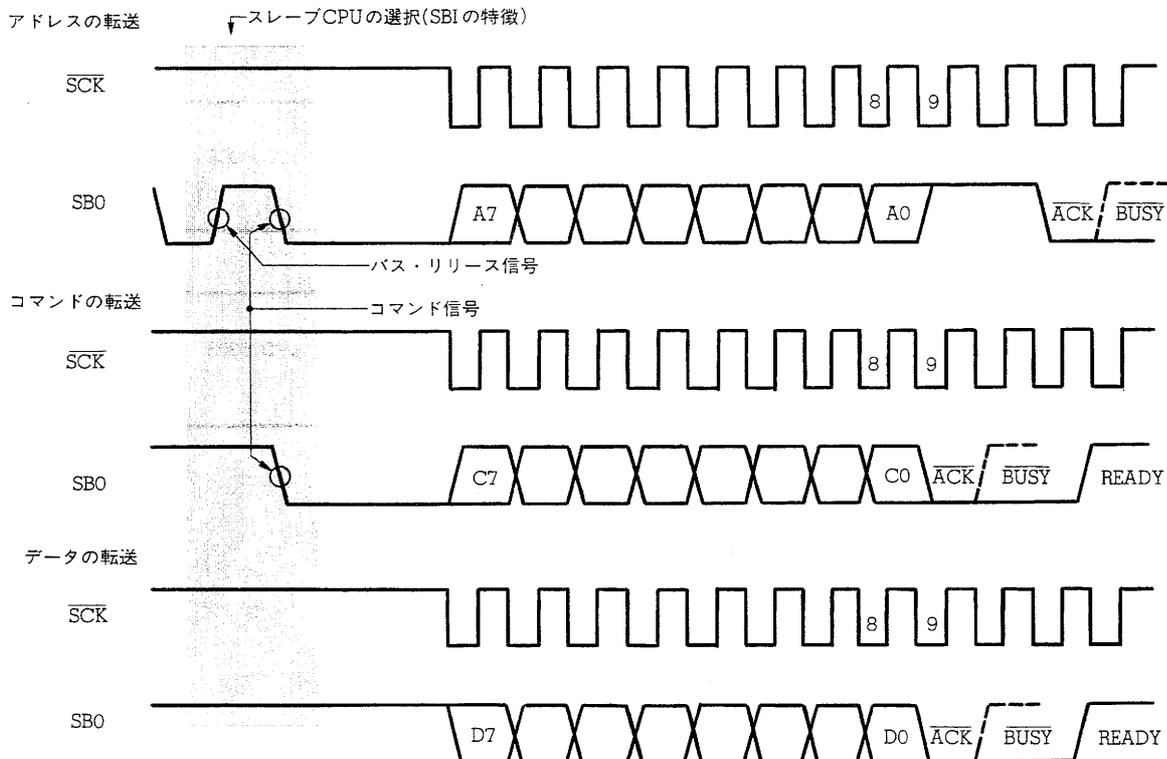


図 18-4 シリアル・バス通信タイミング



第19章 μ PD78P238のプログラミング

μ PD78P238が内蔵しているプログラム・メモリは、32768×8ビットの、電氣的書き込み可能なPROMです。PROMのプログラミングをするときは、MODE/V_{pp}端子、 $\overline{\text{RESET}}$ 端子でPROMプログラミング・モードに設定します。

プログラミング特性は μ PD27C256A^注とコンパチブルです。

注 プログラム・パルスが100 μ sのモードには対応していません。

19.1 動作モード

μ PD78P238は、MODE/V_{pp}端子に5 Vまたは12.5 V、 $\overline{\text{RESET}}$ 端子にロウ・レベルを印加すると、PROMプログラミング・モードになります。このモードは $\overline{\text{CE}}$ 、 $\overline{\text{OE}}$ 端子の設定により、表 19-1 のような動作モードになります。

また、 μ PD78P238は、読み出しモードに設定することにより、PROMの内容を読み出すことができます。

表 19-1 PROMプログラミングの動作モード

モード	端子 $\overline{\text{RESET}}$	MODE/V _{pp}	V _{DD}	$\overline{\text{CE}}$	$\overline{\text{OE}}$	D0-D7
プログラム書き込み	L	+12.5 V	+6 V	L	H	データ入力
プログラム・ベリファイ				H	L	データ出力
プログラム・インヒビット				H	H	ハイ・インピーダンス
読み出し		+5 V	+5 V	L	L	データ出力
出力ディスエーブル				L	H	ハイ・インピーダンス
スタンバイ				H	L/H	ハイ・インピーダンス

注意 MODE/V_{pp}を+12.5 V、V_{DD}を+6 Vに設定したとき、 $\overline{\text{CE}}$ と $\overline{\text{OE}}$ をともに“L”にすることは禁止しています。

19.2 PROM書き込みの手順

PROMの書き込み手順は次のようになっており、高速書き込みが可能です。

- (1) $\overline{\text{RESET}}$ 端子, P17端子, P60-P63端子をロウ・レベルに固定。MODE/ V_{pp} 端子に+5 Vを供給。その他, 使用しない端子は2.3に示すように処理する。
- (2) V_{DD} 端子に+6 V, MODE/ V_{pp} 端子には+12.5 Vを供給。
- (3) 初期アドレスを供給。
- (4) 書き込みデータを供給。
- (5) $\overline{\text{CE}}$ 端子に1 msのプログラム・パルス (アクティブ・ロウ) を供給。
- (6) ベリファイ・モード。書き込めていれば(8)へ, 書き込めていなければ(4)-(6)を繰り返す。25回繰り返して書き込めなければ, (7)へ。
- (7) 不良デバイスとして書き込み動作を中止する。
- (8) 書き込みデータを供給し, ((4)-(6)で繰り返した回数) \times 3 msのプログラム・パルスを供給 (追加書き込み)。
- (9) アドレスをインクリメント。
- (10) (4)-(9)を最終アドレスまで繰り返す。

上述の(2)-(8)のタイミングを図 19-1 に示します。

図 19-1 PROMの書き込み/ベリファイ・タイミング

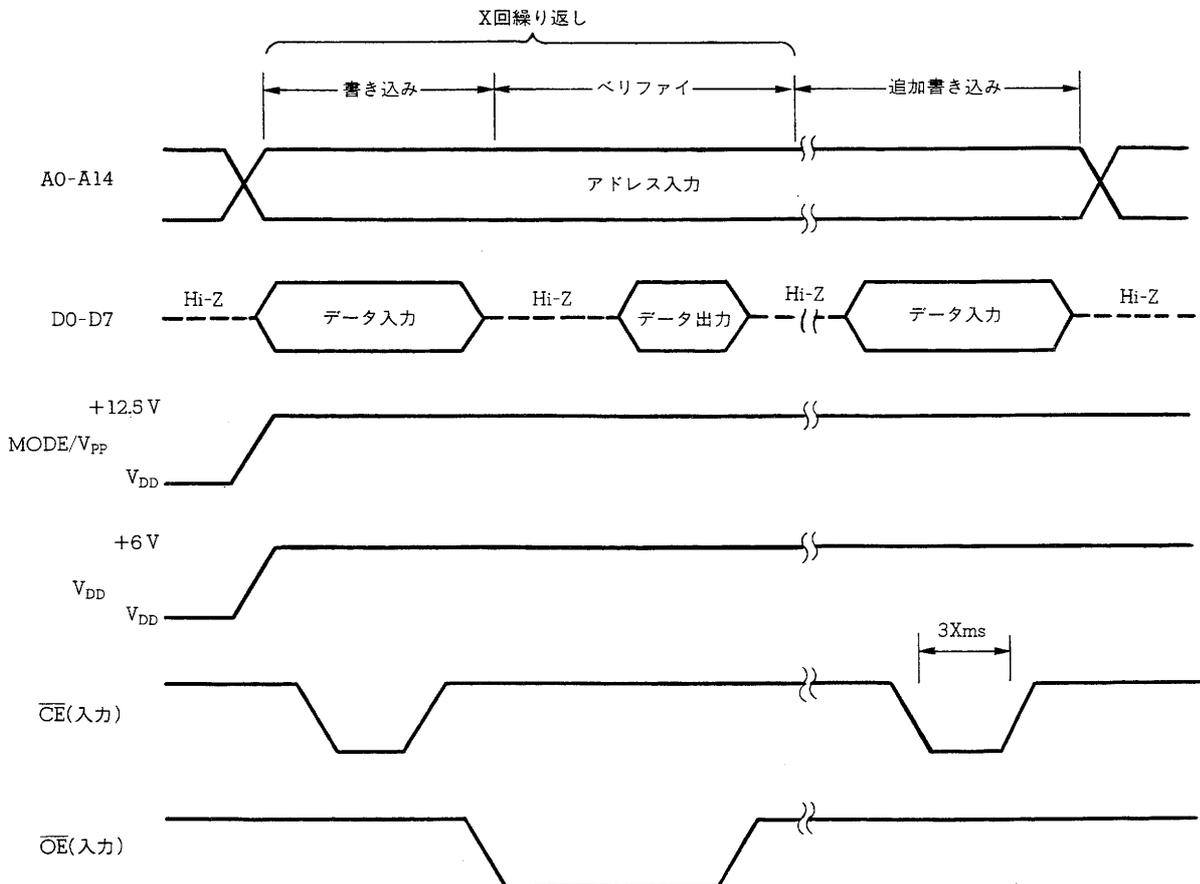
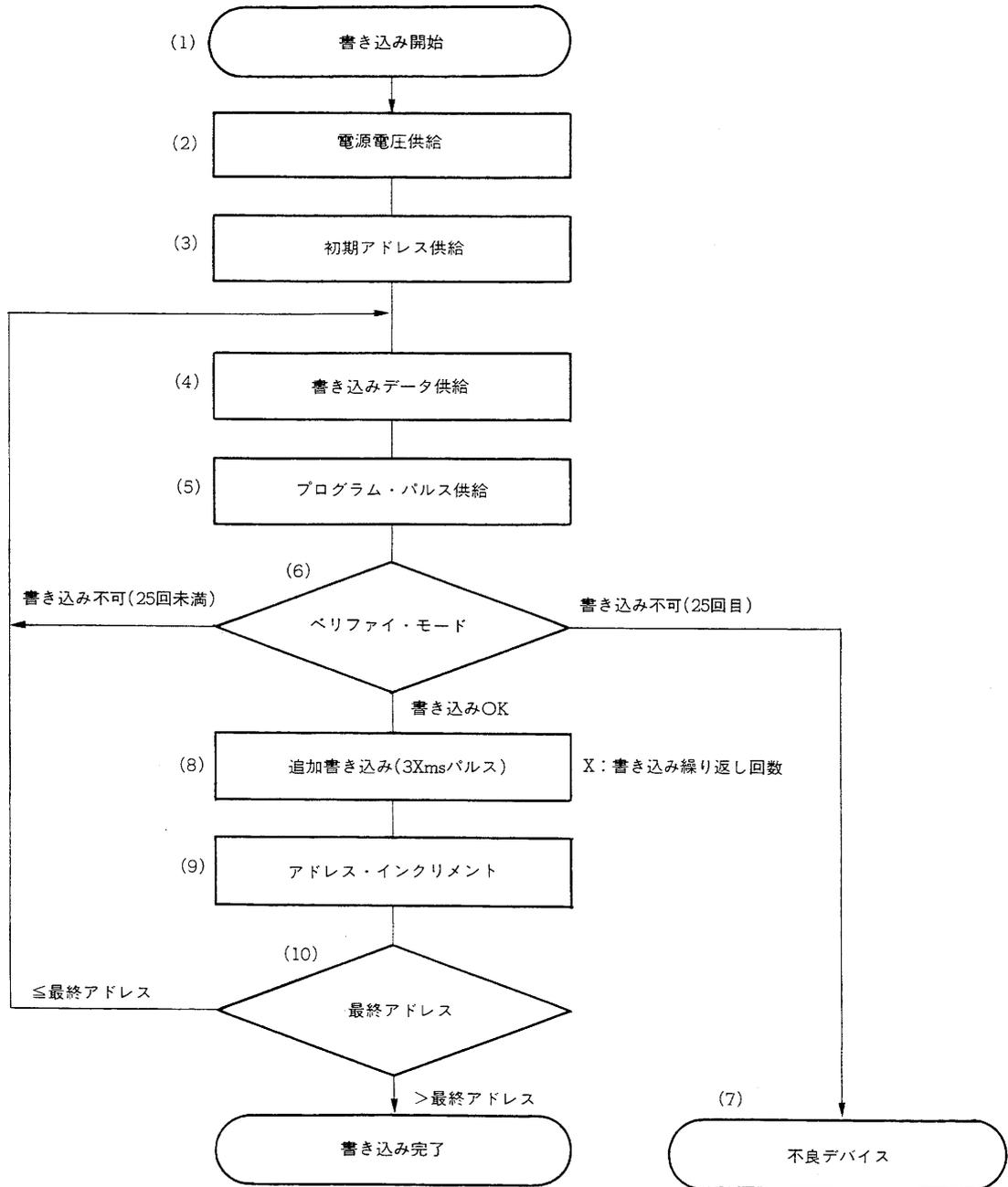


図 19-2 書き込み手順フロー・チャート



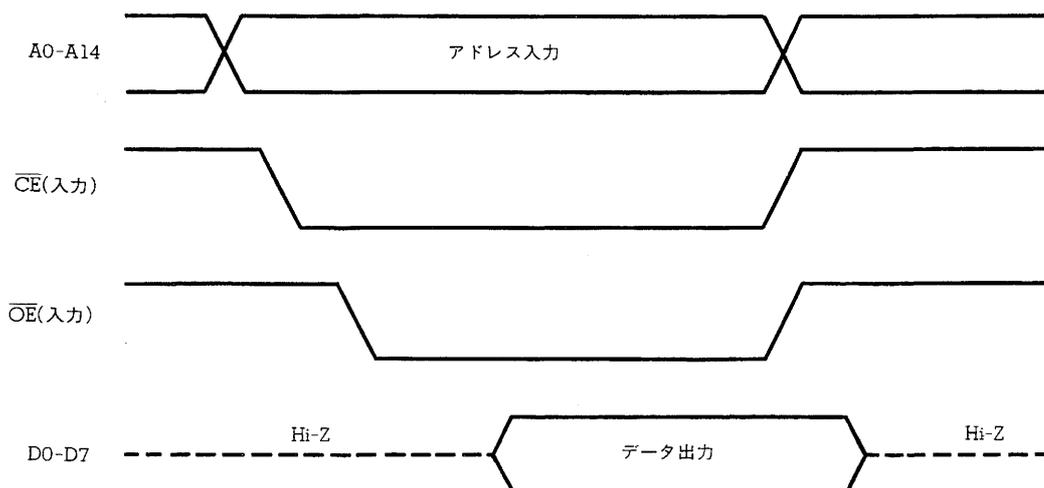
19.3 PROM読み出しの手順

次に示す手順によって、PROMの内容を外部データ・バス（D0-D7）に読み出すことができます。

- (1) $\overline{\text{RESET}}$ 端子をロウ・レベルに固定。MODE/ V_{pp} 端子に+5 Vを供給。その他、使用しない端子は1.3.2に示すように処理する。
- (2) V_{DD} , V_{pp} 端子に5 Vを供給。
- (3) 読み出そうとするデータのアドレスをA0-A14端子に入力。
- (4) リード・モード
- (5) データをD0-D7端子に出力。

上述の(2)-(5)のタイミングを図 19-3 に示します。

図 19-3 PROMの読み出しタイミング



19.4 注意事項

MODE/V_{PP}を +12.5 V, V_{DD}+6 Vに設定したとき、 $\overline{\text{CE}}$ と $\overline{\text{OE}}$ をともに“L”にすることは禁止しています。

第 20 章 命令のオペレーション

μ PD78234サブシリーズの各命令のオペレーションを示します。なお、各命令の詳細な動作、機械語(命令コード)およびクロック数については、**78 K/IIシリーズ ユーザーズ・マニュアル 命令編 (IEU-754)**を参照してください。

20.1 凡 例

20.1.1 オペランド欄

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述してください(詳細はアセンブラ仕様による)。記述方法の中で複数個あるものは、それらの要素の1つを選択してください。大文字で書かれた英字および+, -, #, !, \$, /, [], &記号はキー・ワードですので、そのまま記述してください。

イミューディエト・データをレーベルで記述する際も, +, -, #, !, \$, /, [], &は記述してください。r, rpは、機能名称と絶対名称のいずれでも記述できます。

+	: オートインクリメント指定
-	: オートデクリメント指定
#	: イミューディエト・データ指定
!	: 絶対アドレス指定
\$: 相対アドレス指定
/	: ビット反転指定
[]	: インダイレクト・アドレッシング指定
&	: サブバンク指定
r, r'	: レジスタ ; 機能名称 : X, A, C, B, E, D, L, H 絶対名称 : R0-R7
rl	: レジスタ・グループl ; B, C
rp, rp'	: レジスタ・ペア ; 機能名称 : AX, BC, DE, HL 絶対名称 : RP0-RP3

sfr	: 特殊機能レジスタ ; P0, P1, P2, P3, P4, P5, P6, P7, P0H, P0L, RTPC, CR10, CR11, CR20, CR21, CR22, CR30, PM0, PM1, PM3, PM5, PM6, PMC3, PUO, CRC0, CRC1, CRC2, TOC, TM1, TM2, TM3, TMC0, TMC1, PRM0, PRM1, OSPC, PWMC, ADM, ADCR, DACS0, DACS1, CSIM, SBIC, SIO, ASIM, ASIS, RXB, TXS, BRGC, STBC(専用命令のみ), MM, PW, RFM, IFOL, IFOH, MKOL, MKOH, PROL, PROH, ISMOL, ISMOH, INTMO, INTM1, IST, IMS
sfrp	: 特殊機能レジスタ・ペア ; CRO0, CRO1, CRO2, TMO, PWM0, PWM1, IF0, MK0, PRO, ISMO
mem	: インダイレクト・アドレッシングによるメモリ・アドレス ; レジスタ間接モード : [DE], [HL], [DE+], [HL+], [DE-], [HL-] ベース・モード : [DE+byte], [HL+byte], [SP+byte] インデクスト・モード : word [A], word [B], word [DE], word [HL]
mem1	: インダイレクト・アドレッシング・グループ1によるメモリ・アドレス ; [DE], [HL]
saddr, saddr'	: ショート・ダイレクト・アドレッシングによるメモリ・アドレス ; FE20H-FF1FHイミディエト・データまたはレーベル
saddrp	: ショート・ダイレクト・アドレッシング・ペアによるメモリ・アドレス ; FE20H-FF1EHイミディエト・データまたはレーベル
addr16	: 16ビット・アドレス ; 0000H-FFFFHイミディエト・データまたはレーベル
addr11	: 11ビット・アドレス ; 800H-FFFHイミディエト・データまたはレーベル
addr5	: 5ビット・アドレス ; 40H-7EHイミディエト・データまたはレーベル
word	: 16ビット・データ ; 16ビット・イミディエト・データまたはレーベル
byte	: 8ビット・データ ; 8ビット・イミディエト・データまたはレーベル
bit	: 3ビット・データ ; 3ビット・イミディエト・データまたはレーベル
n	: シフト・ビット数 ; 3ビット・イミディエト・データ (0-7)
RBn	: レジスタ・バンク ; RBO-RB3

20.1.2 オペレーション欄

A	: Aレジスタ ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
R0-R7	: レジスタ0-レジスタ7(絶対名称)
AX	: レジスタ・ペア (AX) ; 16ビット・アキュムレータ
BC	: レジスタ・ペア (BC)
DE	: レジスタ・ペア (DE)
HL	: レジスタ・ペア (HL)
RPO-RP3	: レジスタ・ペア0-レジスタ・ペア3(絶対名称)
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS1-RBS0	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
STBC	: スタンバイ・コントロール・レジスタ
jdisp8	: 符号付き8ビット・データ (ディスプレイメント: -128~+127)
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
××H	: 16進数
× _H , × _L	: 16ビット・レジスタ・ペアの上位8ビット, 下位8ビット

20.1.3 フラグ欄

空白	: 変化せず
0	: 0にクリアされる
1	: 1にセットされる
×	: 結果に従ってセットまたはクリアされる
R	: 以前に退避した値がリストアされる

20.2 オペレーション一覧

(1) 8ビット・データ転送命令：MOV, XCH

モニック	オペランド	バイト	オペレーション	クロック		
				Z	AC	CY
MOV	r, #byte	2	$r \leftarrow \text{byte}$			
	saddr, #byte	3	$(\text{saddr}) \leftarrow \text{byte}$			
	sfr, #byte	3	$\text{sfr} \leftarrow \text{byte}$			
	r, r'	2	$r \leftarrow r'$			
	A, r	1	$A \leftarrow r$			
	A, saddr	2	$A \leftarrow (\text{saddr})$			
	saddr, A	2	$(\text{saddr}) \leftarrow A$			
	saddr, saddr'	3	$(\text{saddr}) \leftarrow (\text{saddr}')$			
	A, sfr	2	$A \leftarrow \text{sfr}$			
	sfr, A	2	$\text{sfr} \leftarrow A$			
	A, mem	1-4	$A \leftarrow (\text{mem})$			
	A, &mem	2-5	$A \leftarrow (\&\text{mem})$			
	mem, A	1-4	$(\text{mem}) \leftarrow A$			
	&mem, A	2-5	$(\&\text{mem}) \leftarrow A$			
	A, !addr16	4	$A \leftarrow (!\text{addr}16)$			
	A, &!addr16	5	$A \leftarrow (\&! \text{addr}16)$			
	!addr16, A	4	$(!\text{addr}16) \leftarrow A$			
	&!addr16, A	5	$\&! \text{addr}16) \leftarrow A$			
	PSW, #byte	3	$\text{PSW} \leftarrow \text{byte}$	×	×	×
	PSW, A	2	$\text{PSW} \leftarrow A$	×	×	×
A, PSW	2	$A \leftarrow \text{PSW}$				
XCH	A, r	1	$A \leftrightarrow r$			
	r, r'	2	$r \leftrightarrow r'$			
	A, mem	2-4	$A \leftrightarrow (\text{mem})$			
	A, &mem	3-5	$A \leftrightarrow (\&\text{mem})$			
	A, saddr	2	$A \leftrightarrow (\text{saddr})$			
	A, sfr	3	$A \leftrightarrow \text{sfr}$			
	saddr, saddr'	3	$(\text{saddr}) \leftrightarrow (\text{saddr}')$			

(2) 16ビット・データ転送命令：MOVW

ニモニック	オペランド	バイト	オペレーション	クロック		
				Z	AC	CY
MOVW	rp, #word	3	rp ← word			
	saddrp, #word	4	(saddrp) ← word			
	sfrp, #word	4	sfrp ← word			
	rp, rp'	2	rp ← rp'			
	AX, saddrp	2	AX ← (saddrp)			
	saddrp, AX	2	(saddrp) ← AX			
	AX, sfrp	2	AX ← sfrp			
	sfrp, AX	2	sfrp ← AX			
	AX, meml	2	AX ← (meml)			
	AX, &meml	3	AX ← (&meml)			
	meml, AX	2	(meml) ← AX			
	&meml, AX	3	(&meml) ← AX			

(3) 8ビット演算命令：ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP

二モニック	オペランド	バイト	オペレーション	クロック		
				Z	AC	CY
ADD	A, #byte	2	$A, CY \leftarrow A + \text{byte}$	×	×	×
	saddr, #byte	3	$(\text{saddr}), CY \leftarrow (\text{saddr}) + \text{byte}$	×	×	×
	sfr, #byte	4	$\text{sfr}, CY \leftarrow \text{sfr} + \text{byte}$	×	×	×
	r, r'	2	$r, CY \leftarrow r + r'$	×	×	×
	A, saddr	2	$A, CY \leftarrow A + (\text{saddr})$	×	×	×
	A, sfr	3	$A, CY \leftarrow A + \text{sfr}$	×	×	×
	saddr, saddr'	3	$(\text{saddr}), CY \leftarrow (\text{saddr}) + (\text{saddr}')$	×	×	×
	A, mem	2-4	$A, CY \leftarrow A + (\text{mem})$	×	×	×
	A, &mem	3-5	$A, CY \leftarrow A + (\&\text{mem})$	×	×	×
ADDC	A, #byte	2	$A, CY \leftarrow A + \text{byte} + CY$	×	×	×
	saddr, #byte	3	$(\text{saddr}), CY \leftarrow (\text{saddr}) + \text{byte} + CY$	×	×	×
	sfr, #byte	4	$\text{sfr}, CY \leftarrow \text{sfr} + \text{byte} + CY$	×	×	×
	r, r'	2	$r, CY \leftarrow r + r' + CY$	×	×	×
	A, saddr	2	$A, CY \leftarrow A + (\text{saddr}) + CY$	×	×	×
	A, sfr	3	$A, CY \leftarrow A + \text{sfr} + CY$	×	×	×
	saddr, saddr'	3	$(\text{saddr}), CY \leftarrow (\text{saddr}) + (\text{saddr}') + CY$	×	×	×
	A, mem	2-4	$A, CY \leftarrow A + (\text{mem}) + CY$	×	×	×
	A, &mem	3-5	$A, CY \leftarrow A + (\&\text{mem}) + CY$	×	×	×
SUB	A, #byte	2	$A, CY \leftarrow A - \text{byte}$	×	×	×
	saddr, #byte	3	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte}$	×	×	×
	sfr, #byte	4	$\text{sfr}, CY \leftarrow \text{sfr} - \text{byte}$	×	×	×
	r, r'	2	$r, CY \leftarrow r - r'$	×	×	×
	A, saddr	2	$A, CY \leftarrow A - (\text{saddr})$	×	×	×
	A, sfr	3	$A, CY \leftarrow A - \text{sfr}$	×	×	×
	saddr, saddr'	3	$(\text{saddr}), CY \leftarrow (\text{saddr}) - (\text{saddr}')$	×	×	×
	A, mem	2-4	$A, CY \leftarrow A - (\text{mem})$	×	×	×
	A, &mem	3-5	$A, CY \leftarrow A - (\&\text{mem})$	×	×	×
SUBC	A, #byte	2	$A, CY \leftarrow A - \text{byte} - CY$	×	×	×
	saddr, #byte	3	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte} - CY$	×	×	×
	sfr, #byte	4	$\text{sfr}, CY \leftarrow \text{sfr} - \text{byte} - CY$	×	×	×
	r, r'	2	$r, CY \leftarrow r - r' - CY$	×	×	×
	A, saddr	2	$A, CY \leftarrow A - (\text{saddr}) - CY$	×	×	×
	A, sfr	3	$A, CY \leftarrow A - \text{sfr} - CY$	×	×	×
	saddr, saddr'	3	$(\text{saddr}), CY \leftarrow (\text{saddr}) - (\text{saddr}') - CY$	×	×	×
	A, mem	2-4	$A, CY \leftarrow A - (\text{mem}) - CY$	×	×	×
	A, &mem	3-5	$A, CY \leftarrow A - (\&\text{mem}) - CY$	×	×	×

二モニック	オペランド	バイト	オペレーション	クロック		
				Z	AC	CY
AND	A, #byte	2	$A \leftarrow A \wedge \text{byte}$	×		
	saddr, #byte	3	$(\text{saddr}) \leftarrow (\text{saddr}) \wedge \text{byte}$	×		
	sfr, #byte	4	$\text{sfr} \leftarrow \text{sfr} \wedge \text{byte}$	×		
	r, r'	2	$r \leftarrow r \wedge r'$	×		
	A, saddr	2	$A \leftarrow A \wedge (\text{saddr})$	×		
	A, sfr	3	$A \leftarrow A \wedge \text{sfr}$	×		
	saddr, saddr'	3	$(\text{saddr}) \leftarrow (\text{saddr}) \wedge (\text{saddr}')$	×		
	A, mem	2-4	$A \leftarrow A \wedge (\text{mem})$	×		
	A, &mem	3-5	$A \leftarrow A \wedge (\&\text{mem})$	×		
OR	A, #byte	2	$A \leftarrow A \vee \text{byte}$	×		
	saddr, #byte	3	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×		
	sfr, #byte	4	$\text{sfr} \leftarrow \text{sfr} \vee \text{byte}$	×		
	r, r'	2	$r \leftarrow r \vee r'$	×		
	A, saddr	2	$A \leftarrow A \vee (\text{saddr})$	×		
	A, sfr	3	$A \leftarrow A \vee \text{sfr}$	×		
	saddr, saddr'	3	$(\text{saddr}) \leftarrow (\text{saddr}) \vee (\text{saddr}')$	×		
	A, mem	2-4	$A \leftarrow A \vee (\text{mem})$	×		
	A, &mem	3-5	$A \leftarrow A \vee (\&\text{mem})$	×		
XOR	A, #byte	2	$A \leftarrow A \nabla \text{byte}$	×		
	saddr, #byte	3	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$	×		
	sfr, #byte	4	$\text{sfr} \leftarrow \text{sfr} \nabla \text{byte}$	×		
	r, r'	2	$r \leftarrow r \nabla r'$	×		
	A, saddr	2	$A \leftarrow A \nabla (\text{saddr})$	×		
	A, sfr	3	$A \leftarrow A \nabla \text{sfr}$	×		
	saddr, saddr'	3	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla (\text{saddr}')$	×		
	A, mem	2-4	$A \leftarrow A \nabla (\text{mem})$	×		
	A, &mem	3-5	$A \leftarrow A \nabla (\&\text{mem})$	×		
CMP	A, #byte	2	$A - \text{byte}$	×	×	×
	saddr, #byte	3	$(\text{saddr}) - \text{byte}$	×	×	×
	sfr, #byte	4	$\text{sfr} - \text{byte}$	×	×	×
	r, r'	2	$r - r'$	×	×	×
	A, saddr	2	$A - (\text{saddr})$	×	×	×
	A, sfr	3	$A - \text{sfr}$	×	×	×
	saddr, saddr'	3	$(\text{saddr}) - (\text{saddr}')$	×	×	×
	A, mem	2-4	$A - (\text{mem})$	×	×	×
	A, &mem	3-5	$A - (\&\text{mem})$	×	×	×

(4) 16ビット演算命令：ADDW, SUBW, CMPW

ニモニック	オペランド	バイト	オペレーション	クロック		
				Z	AC	CY
ADDW	AX, #word	3	AX, CY ← AX+word	×	×	×
	AX, rp	2	AX, CY ← AX+rp	×	×	×
	AX, saddrp	2	AX, CY ← AX+(saddrp)	×	×	×
	AX, sfrp	3	AX, CY ← AX+sfrp	×	×	×
SUBW	AX, #word	3	AX, CY ← AX-word	×	×	×
	AX, rp	2	AX, CY ← AX-rp	×	×	×
	AX, saddrp	2	AX, CY ← AX-(saddrp)	×	×	×
	AX, sfrp	3	AX, CY ← AX-sfrp	×	×	×
CMPW	AX, #word	3	AX-word	×	×	×
	AX, rp	2	AX-rp	×	×	×
	AX, saddrp	2	AX-(saddrp)	×	×	×
	AX, sfrp	3	AX-sfrp	×	×	×

(5) 乗除算命令：MULU, DIVUW

ニモニック	オペランド	バイト	オペレーション	クロック		
				Z	AC	CY
MULU	r	2	AX ← A×r			
DIVUW	r	2	AX(商), r(余り) ← AX÷r ただし, r=0のときr←X, AX←OFFFHH			

(6) 増減命令：INC, DEC, INCW, DECW

ニモニック	オペランド	バイト	オペレーション	クロック		
				Z	AC	CY
INC	r	1	r ← r+1	×	×	
	saddr	2	(saddr) ← (saddr)+1	×	×	
DEC	r	1	r ← r-1	×	×	
	saddr	2	(saddr) ← (saddr)-1	×	×	
INCW	rp	1	rp ← rp+1			
DECW	rp	1	rp ← rp-1			

(7) シフト・ローテート命令：ROR, ROL, RORC, ROLC, SHR, SHL, SHRW, SHLW, ROR4,

ROL4

二モニック	オペランド	バイト	オペレーション	クロック		
				Z	AC	CY
ROR	r, n	2	$(CY, r_7 \leftarrow r_0, r_{m-1} \leftarrow r_m) \times n$ 回 $n=0-7$			×
ROL	r, n	2	$(CY, r_0 \leftarrow r_7, r_{m+1} \leftarrow r_m) \times n$ 回 $n=0-7$			×
RORC	r, n	2	$(CY \leftarrow r_0, r_7 \leftarrow CY, r_{m-1} \leftarrow r_m) \times n$ 回 $n=0-7$			×
ROLC	r, n	2	$(CY \leftarrow r_7, r_0 \leftarrow CY, r_{m+1} \leftarrow r_m) \times n$ 回 $n=0-7$			×
SHR	r, n	2	$(CY \leftarrow r_0, r_7 \leftarrow 0, r_{m-1} \leftarrow r_m) \times n$ 回 $n=0-7$	×	0	×
SHL	r, n	2	$(CY \leftarrow r_7, r_0 \leftarrow 0, r_{m+1} \leftarrow r_m) \times n$ 回 $n=0-7$	×	0	×
SHRW	rp, n	2	$(CY \leftarrow rp_0, rp_{15} \leftarrow 0, rp_{m-1} \leftarrow rp_m) \times n$ 回 $n=0-7$	×	0	×
SHLW	rp, n	2	$(CY \leftarrow rp_{15}, rp_0 \leftarrow 0, rp_{m+1} \leftarrow rp_m) \times n$ 回 $n=0-7$	×	0	×
ROR4	meml	2	$\bar{A}_{3-0} \leftarrow (meml)_{3-0}, (meml)_{7-4} \leftarrow \bar{A}_{3-0},$ $(meml)_{3-0} \leftarrow (meml)_{7-4}$			
	& meml	3	$\bar{A}_{3-0} \leftarrow (\&meml)_{3-0}, (\&meml)_{7-4} \leftarrow \bar{A}_{3-0},$ $(\&meml)_{3-0} \leftarrow (\&meml)_{7-4}$			
ROL4	meml	2	$\bar{A}_{3-0} \leftarrow (meml)_{7-4}, (meml)_{3-0} \leftarrow \bar{A}_{3-0},$ $(meml)_{7-4} \leftarrow (meml)_{3-0}$			
	& meml	3	$\bar{A}_{3-0} \leftarrow (\&meml)_{7-4}, (\&meml)_{3-2} \leftarrow \bar{A}_{3-0},$ $(\&meml)_{7-4} \leftarrow (\&meml)_{3-0}$			

(8) BCD補正命令：ADJBA, ADJBS

二モニック	オペランド	バイト	オペレーション	クロック		
				Z	AC	CY
ADJBA		1	Decimal Adjust Accumulator after Addition	×	×	×
ADJBS		1	Decimal Adjust Accumulator after Subtract	×	×	×

(9) ビット操作命令 : MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1

二モニック	オペランド	バイト	オペレーション	クロック		
				Z	AC	CY
MOV1	CY, saddr.bit	3	$CY \leftarrow (\text{saddr.bit})$			×
	CY, sfr.bit	3	$CY \leftarrow \text{sfr.bit}$			×
	CY, A.bit	2	$CY \leftarrow \text{A.bit}$			×
	CY, X.bit	2	$CY \leftarrow \text{X.bit}$			×
	CY, PSW.bit	2	$CY \leftarrow \text{PSW.bit}$			×
	saddr.bit, CY	3	$(\text{saddr.bit}) \leftarrow \text{CY}$			
	sfr.bit, CY	3	$\text{sfr.bit} \leftarrow \text{CY}$			
	A.bit, CY	2	$\text{A.bit} \leftarrow \text{CY}$			
	X.bit, CY	2	$\text{X.bit} \leftarrow \text{CY}$			
	PSW.bit, CY	2	$\text{PSW.bit} \leftarrow \text{CY}$	×	×	
AND1	CY, saddr.bit	3	$CY \leftarrow \text{CY} \wedge (\text{saddr.bit})$			×
	CY, /saddr.bit	3	$CY \leftarrow \text{CY} \wedge \overline{(\text{saddr.bit})}$			×
	CY, sfr.bit	3	$CY \leftarrow \text{CY} \wedge \text{sfr.bit}$			×
	CY, /sfr.bit	3	$CY \leftarrow \text{CY} \wedge \overline{\text{sfr.bit}}$			×
	CY, A.bit	2	$CY \leftarrow \text{CY} \wedge \text{A.bit}$			×
	CY, /A.bit	2	$CY \leftarrow \text{CY} \wedge \overline{\text{A.bit}}$			×
	CY, X.bit	2	$CY \leftarrow \text{CY} \wedge \text{X.bit}$			×
	CY, /X.bit	2	$CY \leftarrow \text{CY} \wedge \overline{\text{X.bit}}$			×
	CY, PSW.bit	2	$CY \leftarrow \text{CY} \wedge \text{PSW.bit}$			×
	CY, /PSW.bit	2	$CY \leftarrow \text{CY} \wedge \overline{\text{PSW.bit}}$			×
	OR1	CY, saddr.bit	3	$CY \leftarrow \text{CY} \vee (\text{saddr.bit})$		
CY, /saddr.bit		3	$CY \leftarrow \text{CY} \vee \overline{(\text{saddr.bit})}$			×
CY, sfr.bit		3	$CY \leftarrow \text{CY} \vee \text{sfr.bit}$			×
CY, /sfr.bit		3	$CY \leftarrow \text{CY} \vee \overline{\text{sfr.bit}}$			×
CY, A.bit		2	$CY \leftarrow \text{CY} \vee \text{A.bit}$			×
CY, /A.bit		2	$CY \leftarrow \text{CY} \vee \overline{\text{A.bit}}$			×
CY, X.bit		2	$CY \leftarrow \text{CY} \vee \text{X.bit}$			×
CY, /X.bit		2	$CY \leftarrow \text{CY} \vee \overline{\text{X.bit}}$			×
CY, PSW.bit		2	$CY \leftarrow \text{CY} \vee \text{PSW.bit}$			×
CY, /PSW.bit		2	$CY \leftarrow \text{CY} \vee \overline{\text{PSW.bit}}$			×
XOR1		CY, saddr.bit	3	$CY \leftarrow \text{CY} \oplus (\text{saddr.bit})$		
	CY, sfr.bit	3	$CY \leftarrow \text{CY} \oplus \text{sfr.bit}$			×
	CY, A.bit	2	$CY \leftarrow \text{CY} \oplus \text{A.bit}$			×
	CY, X.bit	2	$CY \leftarrow \text{CY} \oplus \text{X.bit}$			×
	CY, PSW.bit	2	$CY \leftarrow \text{CY} \oplus \text{PSW.bit}$			×

二モニック	オペランド	バイト	オペレーション	クロック		
				Z	AC	CY
SET1	saddr.bit	2	(saddr.bit) ← 1			
	sfr.bit	3	sfr.bit ← 1			
	A.bit	2	A.bit ← 1			
	X.bit	2	X.bit ← 1			
	PSW.bit	2	PSW.bit ← 1	×	×	×
	CY	1	CY ← 1			1
CLR1	saddr.bit	2	(saddr.bit) ← 0			
	sfr.bit	3	sfr.bit ← 0			
	A.bit	2	A.bit ← 0			
	X.bit	2	X.bit ← 0			
	PSW.bit	2	PSW.bit ← 0	×	×	×
	CY	1	CY ← 0			0
NOT1	saddr.bit	3	(saddr.bit) ← $\overline{\text{saddr.bit}}$			
	sfr.bit	3	sfr.bit ← $\overline{\text{sfr.bit}}$			
	A.bit	2	A.bit ← $\overline{\text{A.bit}}$			
	X.bit	2	X.bit ← $\overline{\text{X.bit}}$			
	PSW.bit	2	PSW.bit ← $\overline{\text{PSW.bit}}$	×	×	×
	CY	1	CY ← $\overline{\text{CY}}$			×

(10) コール・リターン命令 : CALL, CALLF, CALLT, BRK, RET, RETI, RETB

二モニック	オペランド	バイト	オペレーション	クロック		
				Z	AC	CY
CALL	laddr16	3	$(SP-1) \leftarrow (PC+3)_H, (SP-2) \leftarrow (PC+3)_L,$ $PC \leftarrow \text{addr16}, SP \leftarrow SP-2$			
	rp	2	$(SP-1) \leftarrow (PC+2)_H, (SP-2) \leftarrow (PC+2)_L,$ $PC_H \leftarrow rp_H, PC_L \leftarrow rp_L, SP \leftarrow SP-2$			
CALLF	laddr11	2	$(SP-1) \leftarrow (PC+2)_H, (SP-2) \leftarrow (PC+2)_L,$ $PC_{15-11} \leftarrow 00001, PC_{10-0} \leftarrow \text{addr11}, SP \leftarrow SP-2$			
CALLT	[addr5]	1	$(SP-1) \leftarrow (PC+1)_H, (SP-2) \leftarrow (PC+1)_L,$ $PC_H \leftarrow (000000001, \text{addr5}+1),$ $PC_L \leftarrow (000000001, \text{addr5}), SP \leftarrow SP-2$			
BRK		1	$(SP-1) \leftarrow PSW, (SP-2) \leftarrow (PC+1)_H$ $(SP-3) \leftarrow (PC+1)_L, PC_L \leftarrow (003EH),$ $PC_H \leftarrow (003FH), SP \leftarrow SP-3, IE \leftarrow 0$			
RET		1	$PC_L \leftarrow (SP), PC_H \leftarrow (SP+1), SP \leftarrow SP+2$			
RETI		1	$PC_L \leftarrow (SP), PC_H \leftarrow (SP+1), PSW \leftarrow (SP+2),$ $SP \leftarrow SP+3, NMIS \leftarrow 0$	R	R	R
RETB		1	$PC_L \leftarrow (SP), PC_H \leftarrow (SP+1), PSW \leftarrow (SP+2),$ $SP \leftarrow SP+3$	R	R	R

(11) スタック操作命令 : PUSH, POP, MOVW, INCW, DECW

二モニック	オペランド	バイト	オペレーション	クロック		
				Z	AC	CY
PUSH	PSW	1	$(SP-1) \leftarrow PSW, SP \leftarrow SP-1$			
	sfr	2	$(SP-1) \leftarrow \text{sfr}, SP \leftarrow SP-1$			
	rp	1	$(SP-1) \leftarrow rp_H, (SP-2) \leftarrow rp_L, SP \leftarrow SP-2$			
POP	PSW	1	$PSW \leftarrow (SP), SP \leftarrow SP+1$	R	R	R
	sfr	2	$\text{sfr} \leftarrow (SP), SP \leftarrow SP+1$			
	rp	1	$rp_L \leftarrow (SP), rp_H \leftarrow (SP+1), SP \leftarrow SP+2$			
MOVW	SP, # word	4	$SP \leftarrow \text{word}$			
	SP, AX	2	$SP \leftarrow AX$			
	AX, SP	2	$AX \leftarrow SP$			
INCW	SP	2	$SP \leftarrow SP+1$			
DECW	SP	2	$SP \leftarrow SP-1$			

(12) 無条件分岐命令 : BR

ニモニック	オペランド	バイト	オペレーション	クロック		
				Z	AC	CY
BR	laddr16	3	$PC \leftarrow \text{addr16}$			
	rp	2	$PC_H \leftarrow rp_H, PC_L \leftarrow rp_L$			
	\$addr16	2	$PC \leftarrow PC + 2 + \text{jdisp8}$			

(13) 条件付き分岐命令 : BC, BL, BNC, BNL, BZ, BE, BNZ, BNE, BT, BF, BTCLR, DBNZ

ニモニック	オペランド	バイト	オペレーション	クロック		
				Z	AC	CY
BC	\$addr16	2	$PC \leftarrow PC + 2 + \text{jdisp8}$ if $CY = 1$			
BL						
BNC	\$addr16	2	$PC \leftarrow PC + 2 + \text{jdisp8}$ if $CY = 0$			
BNL						
BZ	\$addr16	2	$PC \leftarrow PC + 2 + \text{jdisp8}$ if $Z = 1$			
BE						
BNZ	\$addr16	2	$PC \leftarrow PC + 2 + \text{jdisp8}$ if $Z = 0$			
BNE						
BT	saddr.bit, \$addr16	3	$PC \leftarrow PC + 3 + \text{jdisp8}$ if (saddr.bit) = 1			
	sfr.bit, \$addr16	4	$PC \leftarrow PC + 4 + \text{jdisp8}$ if sfr.bit = 1			
	A.bit, \$addr16	3	$PC \leftarrow PC + 3 + \text{jdisp8}$ if A.bit = 1			
	X.bit, \$addr16	3	$PC \leftarrow PC + 3 + \text{jdisp8}$ if X.bit = 1			
	PSW.bit, \$addr16	3	$PC \leftarrow PC + 3 + \text{jdisp8}$ if PSW.bit = 1			
BF	saddr.bit, \$addr16	4	$PC \leftarrow PC + 4 + \text{jdisp8}$ if (saddr.bit) = 0			
	sfr.bit, \$addr16	4	$PC \leftarrow PC + 4 + \text{jdisp8}$ if sfr.bit = 0			
	A.bit, \$addr16	3	$PC \leftarrow PC + 3 + \text{jdisp8}$ if A.bit = 0			
	X.bit, \$addr16	3	$PC \leftarrow PC + 3 + \text{jdisp8}$ if X.bit = 0			
	PSW.bit, \$addr16	3	$PC \leftarrow PC + 3 + \text{jdisp8}$ if PSW.bit = 0			
BTCLR	saddr.bit, \$addr16	4	$PC \leftarrow PC + 4 + \text{jdisp8}$ if (saddr.bit) = 1 then reset (saddr.bit)			
	sfr.bit, \$addr16	4	$PC \leftarrow PC + 4 + \text{jdisp8}$ if sfr.bit = 1 then reset sfr.bit			
	A.bit, \$addr16	3	$PC \leftarrow PC + 3 + \text{jdisp8}$ if A.bit = 1 then reset A.bit			
	X.bit, \$addr16	3	$PC \leftarrow PC + 3 + \text{jdisp8}$ if X.bit = 1 then reset X.bit			
	PSW.bit, \$addr16	3	$PC \leftarrow PC + 3 + \text{jdisp8}$ if PSW.bit = 1 then reset PSW.bit			
DBNZ	rl, \$addr16	2	$rl \leftarrow rl - 1$, then $PC \leftarrow PC + 2 + \text{jdisp8}$ if $rl \neq 0$			
	saddr, \$addr16	3	(saddr) \leftarrow (saddr) - 1, then $PC \leftarrow PC + 3 + \text{jdisp8}$ if (saddr) $\neq 0$			

(14) CPU制御命令: MOV, SEL, NOP, EI, DI

二モニック	オペランド	バイト	オペレーション	クロック
				Z AC CY
MOV	STBC, #byte	4	STBC ← byte	
SEL	R _{Bn}	2	RBS1-0 ← n, n=0-3	
NOP		1	No Operation	
EI		1	IE ← 1 (Enable Interrupt)	
DI		1	IE ← 0 (Disable Interrupt)	

20.3 アドレッシング別命令一覧表

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, SHR, SHL, ROR4, ROL4, DBNZ, PUSH, POP

表 20-1 8ビット・アドレッシング別命令一覧表

第2オペランド 第1オペランド	#byte	A	r r'	saddr saddr'	sfr	mem	&mem	!addr16	& laddr16	PSW	n	なし注2
A	ADD注1		MOV XCH	MOV XCH ADD注1	MOV XCH ADD注1	MOV XCH ADD注1	MOV XCH ADD注1	MOV	MOV	MOV		
r	MOV		MOV XCH ADD注1								ROR RORC ROL ROLC SHR SHL	MULU DIVUW DEC INC
rl												DBNZ
saddr	MOV ADD注1	MOV		MOV XCH ADD注1								DEC INC DBNZ
sfr	MOV ADD注1	MOV										POP PUSH
mem & mem		MOV										
mem1 & mem1												ROR4 ROL4
!addr16 & !addr16		MOV										
PSW	MOV	MOV										POP PUSH
STBC	MOV											

注1. ADDC, SUB, SUBC, AND, OR, XOR, CMPはADDと同じ

2. 第2オペランドがないか, 第2オペランドがオペランド・アドレスでない

(2) 16ビット命令

MOVW, ADDW, SUBW, CMPW, INCW, DECW, SHRW, SHLW, PUSH, POP

表 20-2 16ビット・アドレッシング別命令一覧表

第2オペランド 第1オペランド	#word	AX	rp rp'	saddrp	sfrp	meml	&meml	SP	n	なし
AX	ADDW SUBW CMPW		ADDW SUBW CMPW	MOVW ADDW SUBW CMPW	MOVW ADDW SUBW CMPW	MOVW	MOVW	MOVW		
rp	MOVW		MOVW						SHLW SHRW	DECW INCW PUSH POP
saddrp	MOVW	MOVW								
sfrp	MOVW	MOVW								
meml &meml		MOVW								
SP	MOVW	MOVW								DECW INCW

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

表 20-3 ビット操作命令アドレッシング別命令一覧表

第2オペランド 第1オペランド	CY	A. bit	/A. bit	X.bit	/X. bit	saddr. bit	/saddr. bit	sfr. bit	/sfr. bit	PSW. bit	/PSW. bit	なし注
CY		MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	CLR1 NOT1 SET1
A.bit	MOV1											CLR1 NOT1 SET1 BF BT BTCLR
X.bit	MOV1											CLR1 NOT1 SET1 BF BT BTCLR
saddr. bit	MOV1											CLR1 NOT1 SET1 BF BT BTCLR
sfr.bit	MOV1											CLR1 NOT1 SET1 BF BT BTCLR
PSW.bit	MOV1											CLR1 NOT1 SET1 BF BT BTCLR

注 第2オペランドがないか、第2オペランドがオペランド・アドレスでない

(4) コール命令/分岐命令

CALL, CALLF, CALLT, BR, BC, BT, BF, BTCLR, DBNZ, BL, BNC, BNL, BZ, BE, BNZ, BNE

表 20-4 コール命令/分岐命令のアドレッシング別命令一覧表

命令アドレスの オペランド	\$addr16	laddr16	rp	laddr11	[addr5]
基本命令	BR BC注	CALL BR	CALL BR	CALLF	CALLT
複合命令	BT BF BTCLR DBNZ				

注 BL, BNC, BNL, BZ, BF, BNZ, BNEはBCと同じ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, NOP, EI, DI, SEL

付録A 78K/IIシリーズ製品一覧

次ページ以降に、78K/IIシリーズの製品を一覧表にして表します。

シリーズ名		μPD78214サブシリーズ			μPD78218Aサブシリーズ		μPD78224サブシリーズ		
項目	品名	μPD78212	μPD78213	μPD78214 (μPD78P214)	μPD78217A	μPD78218A (μPD78P218A)	μPD78220	μPD78224 (μPD78P224)	
	基本命令数	65 (78K/IIシリーズ共通)							
最小命令実行時間		333 ns	500 ns	333 ns	500 ns	333 ns	500 ns	333 ns	
PUSH PSW命令の 実行時間 (クロック数)		スタック・エリアが内部デュアル・ポートRAMの場合：5または7 上記以外：7または9			スタック・エリアが内部デュアル・ ポートRAMの場合：6 上記以外：8		スタック・エリアが内部デュアル・ ポートRAMの場合：5または7 上記以外：7または9		
動作温度範囲と 電源電圧範囲		μPD78P218A以外：-40~+85°C, V _{DD} =+5V±10% μPD78P218A：-40~+85°C, V _{DD} =+5V±0.3V					-40~+85°C, V _{DD} =+5V±5% -10~+70°C, V _{DD} =+5V±10%		
汎用レジスタ		8ビット×8×4バンク							
バンク・レジスタ		P6とPM6					P6のみ		
内蔵 メモリ	ROM	8Kバイト	なし	16Kバイト	なし	32Kバイト	なし	16Kバイト	
	EEPROM	なし							
	RAM	384バイト	512バイト		1024バイト		640バイト		
メモリ空間		プログラム・メモリ空間：64Kバイト, データ・メモリ空間：1Mバイト							
I/O 端子	入力	14						8	
	出力	12						12	20
	入出力	28	10	28	10	28	25	35	
	合計	54	36	54	36	54	45	63	
	注 付加機能 付き端子	プルアップ抵抗 付き端子	34	16	34	16	34	なし	
		LEDダイレクト ドライブ出力	16	0	16	0	16	8	
		トランジスタダイ レクトドライブ出力	8						なし
	P0	8ビット出力ポート							
	P1	—						8ビット入出力ポート	
	P2	8ビット入力ポート							
	P3	8ビット入出力ポート							
	P4	8ビット 入出力ポート	—	8ビット 入出力ポート	—	8ビット 入出力ポート	—	8ビット 入出力ポート	
	P5	8ビット 入出力ポート	—	8ビット 入出力ポート	—	8ビット 入出力ポート	—	8ビット 出力ポート	
	P6	4ビット 出力ポート	4ビット 出力ポート	4ビット 出力ポート	4ビット 出力ポート	4ビット 出力ポート	4ビット 出力ポート	4ビット 出力ポート	
4ビット 入出力ポート		2ビット 入出力ポート	4ビット 入出力ポート	2ビット 入出力ポート	4ビット 入出力ポート	2ビット 入出力ポート	4ビット 入出力ポート		
P7	6ビット入力ポート						7ビット入出力ポート		

注 付加機能付き端子は、I/O端子の中に含まれています。

(1/3)

μPD78234サブシリーズ				μPD78244サブシリーズ	
μPD78233	μPD78234	μPD78237	μPD78238 (μPD78P238)	μPD78243	μPD78244
65(78K/IIシリーズ共通)					
500 ns	333 ns	500 ns	333 ns	500 ns	333 ns
スタック・エリアが内部デュアル・ポートRAMの場合：6 上記以外：8					
-40~+85°C, V _{DD} =+5V±10%				-10~+70°C, V _{DD} =+5V±10%	
8ビット×8×4バンク					
P6とPM6					
なし	16 Kバイト	なし	32 Kバイト (32K/16Kバイト注)	なし	16 Kバイト
なし				512バイト	
640バイト		1024バイト	1024バイト (1024/640バイト注)	512バイト	
プログラム・メモリ空間：64 Kバイト，データ・メモリ空間：1 Mバイト					
16				14	
12					
18	36	18	36	10	28
46	64	46	64	36	54
24	42	24	42	16	34
8	24	8	24	0	16
8					
8ビット出力ポート					
8ビット入出力ポート				—	
8ビット入力ポート					
8ビット入出力ポート					
—	8ビット 入出力ポート	—	8ビット 入出力ポート	—	8ビット 入出力ポート
—	8ビット 入出力ポート	—	8ビット 入出力ポート	—	8ビット 入出力ポート
4ビット 出力ポート +	4ビット 出力ポート +	4ビット 出力ポート +	4ビット 出力ポート +	4ビット 出力ポート +	4ビット 出力ポート +
2ビット 入出力ポート	4ビット 入出力ポート	2ビット 入出力ポート	4ビット 入出力ポート	2ビット 入出力ポート	4ビット 入出力ポート
8ビット入力ポート				6ビット入力ポート	

注 ソフトウェアにより設定

シリーズ名		μPD78214サブシリーズ		μPD78218Aサブシリーズ		μPD78224サブシリーズ			
項目	品名	μPD78212	μPD78213	μPD78214 (μPD78P214)	μPD78217A	μPD78218A (μPD78P218A)	μPD78220	μPD78224 (μPD78P224)	
	PWM出力		なし						
コンパレータ		なし					4ビット×8		
A/Dコンバータ		8ビット×8					なし		
変換時間の 選択		動作周波数に応じて選択					—		
AV _{REF} 入力 電圧範囲		3.4V~V _{DD}			3.6V~V _{DD}			—	
入力電圧に 関する制限		ADMレジスタのAN10-AN12ビットで選 択されている端子のみ、常時0Vから AV _{REF} 端子電圧まで			A/D変換の対象となっ ている端子について、A/D 変換中のみ0VからAV _{REF} 端子電圧まで			—	
D/Aコンバータ		なし							
タイマ/ カウンタ	16ビット・タイマ/カウンタ	1							
	8ビット・タイマ/カウンタ	3					2		
	タイマ出力	4							
	PWM/PPG出力	あり					なし		
	ワンショット・パルス	なし			あり			なし	
	割り込みソース	7					5		
外部SFR領域		OFFDOH-OFFDFHの16バイト					なし		
シリアル・ インタフェース	UART	1チャンネル							
	CSI	1チャンネル (SBI対応)							
	BRG用タイマ	あり (タイマ/カウンタ3と兼用)					あり		
	専用ポーレート・ジェネレータ	あり					なし		
	外部ポーレート・クロック入力	あり					なし		
リアルタイム出力ポート		4ビット×2または8ビット×1							

(2/3)

μPD78234サブシリーズ				μPD78244サブシリーズ	
μPD78233	μPD78234	μPD78237	μPD78238 (μPD78P238)	μPD78243	μPD78244
12ビット×2				なし	
なし					
8ビット×8					
任意に選択可能				動作周波数に応じて選択	
3.4 V~V _{DD}				3.6 V~V _{DD}	
A/D変換の対象となっている端子について、A/D変換中のみ、0VからAV _{REF} 端子電圧まで					
8ビット×2				なし	
1					
3					
4					
あり					
あり					
7					
OFFDOH-OFFDFHの16バイト					
1チャンネル					
1チャンネル(SBI対応)					
あり(タイマ/カウンタ3と兼用)					
あり					
あり					
4ビット×2または8ビット×1					

シリーズ名	μPD78214サブシリーズ			μPD78218Aサブシリーズ		μPD78224サブシリーズ	
品名	μPD78212	μPD78213	μPD78214 (μPD78P214)	μPD78217A	μPD78218A (μPD78P218A)	μPD78220	μPD78224 (μPD78P224)
項目	2レベル (プログラマブル), ベクタ/マクロ・サービス						
割り込み	2レベル (プログラマブル), ベクタ/マクロ・サービス						
外部	7					8	
内部	12					9	
マクロ・サービス使用 可能割り込み数	15					6	
マクロ・サービス・カ ウンタのビット数	8ビットのみ			8ビット/16ビットの選択が可能 (ただし, タイプAを除く)		8ビットのみ	
マクロ・サービスタイプCの MPD, MPTのインクリメント	下位8ビットのみインクリメント (上位は変化せず)			16ビットでインクリメント		下位8ビットのみインクリメント (上位は変化せず)	
マクロ・サービス の実行時間	μPD78214サブシリーズとμPD78224サブシリーズは同一です。 μPD78218Aサブシリーズ, μPD78234サブシリーズおよびμPD78244サブシリーズは同一です。 両者の実行時間はモードによって異なります。各製品のユーザーズ・マニュアルで比較してく ださい。						
マクロ・サービスタイプAの メモリからSRAMへのデータ転送 時の制限事項	転送データがDOH-DFHのときに発生			転送元バッファ(メモリ) のアドレスがOFEDOH- OFEDFHのときに発生		転送データがDOH-DFH のときに発生	
スタンバイ機能	HALT/STOPモード						
STOPモード解除時 の発振安定時間	固定			2種類の時間から選択が 可能		固定	
疑似SRAM リフレッシュ機能	あり (リフレッシュ・パルス幅は, $1/f_{CLK}$)					あり (リフレッシュ・パルス幅は, $1.5/f_{CLK}$)	
メモリ・アクセスに 関する制限	なし					リフレッシュ機能使用時は, FC80H-FDFFHのアクセス不可	
ROMレス・モードの 設定	\overline{EA} 端子= ロウ・レベル	—	\overline{EA} 端子= ロウ・レベル	—	\overline{EA} 端子= ロウ・レベル	—	\overline{EA} 端子= ロウ・レベル
パッケージ	<ul style="list-style-type: none"> ・64ピン・プラスチック・シュリンクDIP(750mil) ・68ピン・プラスチックQFJ: μPD78212を除く ・64ピン・プラスチックQFP(本体14×14mm) ・74ピン・プラスチックQFP(本体20×20mm) ・64ピン・プラスチックQUIP: μPD78212を除く ・64ピン・セラミック窓付きシュリンクDIP: μPD78P214のみ 			<ul style="list-style-type: none"> ・64ピン・プラスチック・シュリンクDIP(750mil) ・64ピン・プラスチックQFP(本体14×14mm) ・64ピン・セラミック窓付きシュリンクDIP: μPD78P218Aのみ 		<ul style="list-style-type: none"> ・84ピン・プラスチックQFJ ・94ピン・プラスチックQFP(本体20×20mm) 	

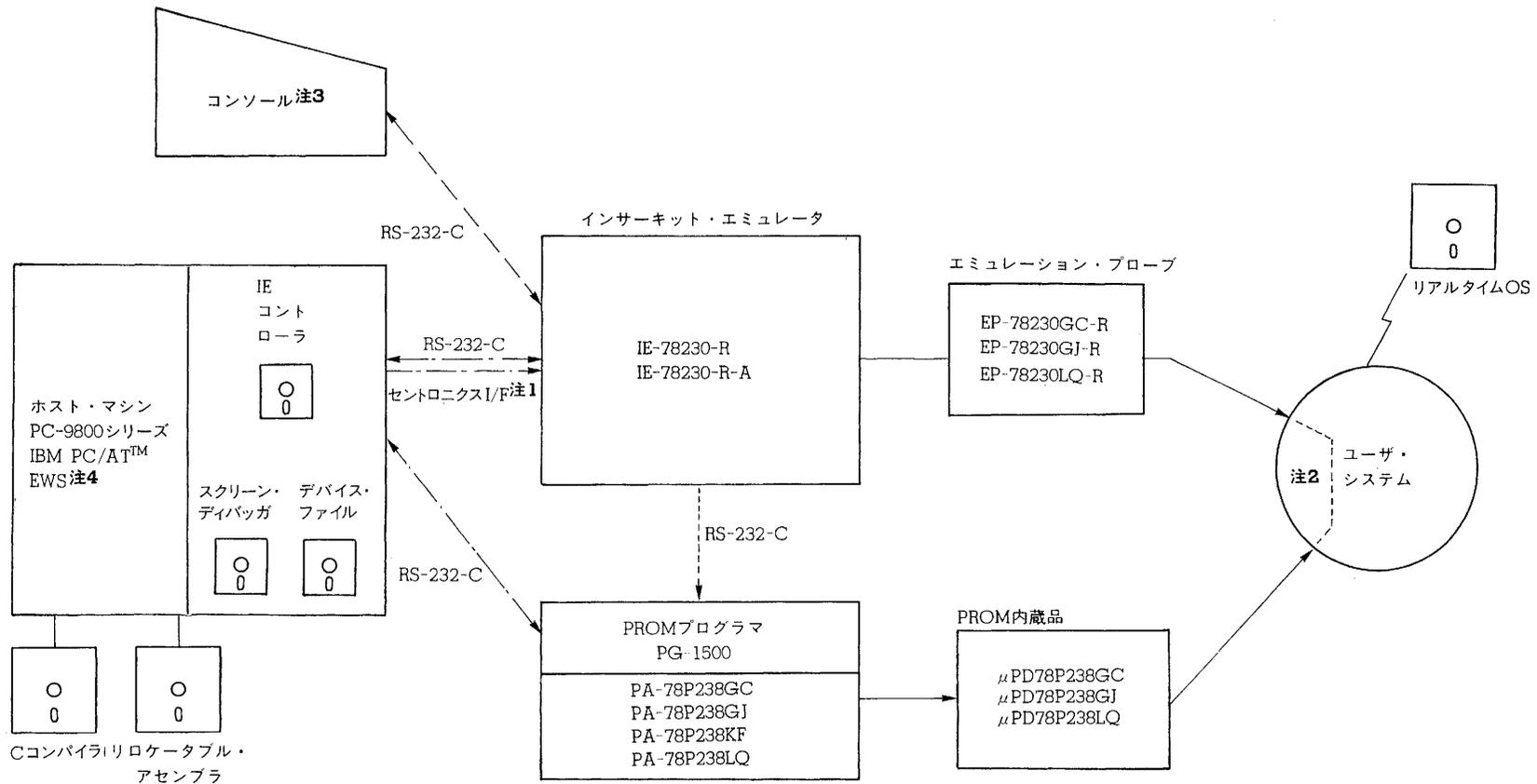
(3/3)

μPD78234サブシリーズ				μPD78244サブシリーズ	
μPD78233	μPD78234	μPD78237	μPD78238 (μPD78P238)	μPD78243	μPD78244
2レベル (プログラマブル), ベクタ/マクロ・サービス					
7					
12			14		
15					
8ビット/16ビットの選択が可能 (ただし, タイプAを除く)					
16ビットでインクリメント					
<p>μPD78214サブシリーズとμPD78224サブシリーズは同一です。 μPD78218Aサブシリーズ, μPD78234サブシリーズおよびμPD78244サブシリーズは同一です。 両者の実行時間はモードによって異なります。各製品のユーザーズ・マニュアルで比較してください。</p>					
転送データがDOH-DFHのときに発生				転送元バッファ(メモリ)のアドレスがOFEDOH-OFEDFHのときに発生	
HALT/STOPモード					
2種類の時間から選択が可能					
あり (リフレッシュ・パルス幅は, $1/f_{CLK}$)					
なし					
—	MODE端子= ハイ・レベル	—	MODE端子= ハイ・レベル (設定不可)	—	\overline{EA} 端子= ロウ・レベル
<ul style="list-style-type: none"> ・84ピン・プラスチックQFJ ・80ピン・プラスチックQFP (本体14×14 mm) ・94ピン・プラスチックQFP (本体20×20 mm) ・94ピン・セラミックWQFN : μPD78P238のみ 				<ul style="list-style-type: none"> ・64ピン・プラスチック・シュリンクDIP(750 mil) ・64ピン・プラスチックQFP(本体14×14 mm) 	

付録B 開発ツール

次ページに、 μ PD78234サブシリーズを使用するシステム開発のための開発ツールを示します。

開発環境



————— : ホスト・マシンと接続して使用する場合

----- : コンソールと接続し、IEをスタンド・アロンとして使用する場合

注1. 高速ファイル転送(ダウン・ロード時に使用)

2. EV-9200GC-80, EV-9200G-94

3. IE-78230-Rを使用する場合のみ

4. EWSは、HP9000シリーズ300, SUN4/3900, EWS-4800/200シリーズになります。また、EWSはインサーキット・エミュレータとは接続できません。

B.1 ハードウェア (1/2)

IE-78230-R-A	<p>IE-78230-R-Aは、IE-78230-Rの機能強化版で、μPD78234サブシリーズ^{注1}に共通して使用できるインサーキット・エミュレータです。PC-9800シリーズまたはIBM PC/ATをホスト・マシンとして使用する場合に使用できます。別売のスクリーン・ディバグとデバイス・ファイルが必要で、これらと組み合わせて、C言語や構造化アセンブリ言語のソース・プログラム・レベルでのディバグが可能です。データ・アクセスとプログラム・フェッチの同時トレースやCOカバレッジ機能などにより効率の良いディバグやプログラムの検査が行えます。</p> <p>また、IE-78230-Rをすでにお持ちの場合は、別売のボード (IE-78200-R-BK) を購入することにより、IE-78230-R-Aと同様に使用することができます。</p>
IE-78230-R ^{注2}	<p>IE-78230-Rは、μPD78234サブシリーズに共通して使用できるインサーキット・エミュレータです。ホスト・マシンまたはコンソールを接続してディバグを行います。</p> <p>ホスト・マシンに接続した場合、シンボリック・ディバグと、ホスト・マシンとのオブジェクト・ファイルの転送が可能となり、効率のよいディバグを行うことができます。</p> <p>RS-232-Cのシリアル・インタフェースを2チャンネル内蔵しており、PG-1500などのPROMプログラムの接続も可能です。</p>
IE-78230-R-EM IE-78200-R-EM ^{注2} IE-78200-R-BK	<p>75Xシリーズ、78Kシリーズ用のインサーキット・エミュレータをIE-78230-R、IE-78230-R-Aにシステム・アップするためのボードです。</p> <p>詳細は、B.3を参照してください。</p>
EP-78230LQ-R	<p>μPD78233LQ, μPD78234LQ-$\times\times\times$, μPD78237LQ, μPD78238LQ-$\times\times\times$, μPD78P238LQ用のエミュレーション・プローブです。</p>
EP-78230GJ-R	<p>μPD78233GJ-5BG, μPD78234GJ-$\times\times\times$-5BG, μPD78237GJ-5BG, μPD78238GJ-$\times\times\times$-5BG, μPD78P238GJ-5BG, μPD78234GJ(A)-$\times\times\times$-5BG, μPD78238GJ(A)-$\times\times\times$-5BG用のエミュレーション・プローブです。</p>
EP-78230GC-R	<p>μPD78233GC-3B9, μPD78234GC-$\times\times\times$-3B9, μPD78237GC-3B9, μPD78238GC-$\times\times\times$-3B9, μPD78P238GC-3B9, μPD78234GC(A)-$\times\times\times$-3B9, μPD78238GC(A)-$\times\times\times$-3B9用のエミュレーション・プローブです。</p>

注1. μ PD78233, 78234, 78237, 78238, 78P238, 78234(A), 78238(A)

2. IE-78230-R, IE-78200-R-EMは新規の製造は行っておりません。

IE-78230-R-A, IE-78200-R-BKをお求めください。

ハードウェア (2/2)

EV-9200G-94注	μ PD78233GJ-5BG, μ PD78234GJ- $\times\times\times$ 5BG, μ PD78237GJ-5BG, μ PD78238GJ- $\times\times\times$ -5BG, μ PD78P238GJ-5BG用につくられたユーザ・システム用の基板に実装するソケットです。 EP-78230GJとともに使用します。
EV-9200GC-80注	μ PD78233GC-3B9, μ PD78234GC- $\times\times\times$ -3B9, μ PD78237GC-3B9, μ PD78238- $\times\times\times$ -3B9, μ PD78P238GC-3B9用につくられたユーザ・システム用の基板に実装するソケットです。 EP-78230GCとともに使用します。
EV-9900	EV-9200G-94から μ PD78P238KFを取りはずす際に使用する治具です。ピンセットでも代用できますが、あると作業しやすくなります。また、2本使うとより簡単に作業できます。
PG-1500	付属ボードおよび別売のプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたは、ホスト・マシンからの操作によりプログラミングできるPROMプログラマです。また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。
PA-78P238LQ	μ PD78P238LQ用のPROMプログラマ・アダプタで、PG-1500などと組み合わせて使用します。
PA-78P238GJ	μ PD78P238GJ-5BG用のPROMプログラマ・アダプタで、PG-1500などと組み合わせて使用します。
PA-78P238GC	μ PD78P238GC-3B9用のPROMプログラマ・アダプタで、PG-1500などと組み合わせて使用します。
PA-78P238KF	μ PD78P238KF用のPROMプログラマ・アダプタで、PG-1500などと組み合わせて使用します。

注 EV-9200G-94, EV-9200G-80は、5個1組で販売しています（発注単位は1組単位になります）。

また、EP-78230GJ-R, EP-78230GC-Rには、それぞれ1個ずつEV-9200G-94またはEV-9200GC-80が付属しています。

B.2 ソフトウェア

B.2.1 言語処理用ソフトウェア (1/3)

78K/IIシリーズ リロケータブル・アセンブラ (RA78K/II)	78K/IIシリーズに共通に使用できるリロケータブル・アセンブラです。マクロ機能付きのリロケータブル・アセンブラですので、開発効率の向上が図れます。また、プログラム制御構造を明示的に記述できる構造化アセンブラも添付されており、プログラムの生産性や保守性を向上することができます。リロケータブル・アセンブラは、次のプログラムで構成されています。	
構造化アセンブラ・プリプロセッサ (プログラム名：ST78K2)	構造化アセンブラのアセンブリ言語で記述されたソース・プログラムをリロケータブル・アセンブラに入力できる形式に変換します。	
リロケータブル・アセンブラ (プログラム名：RA78K2)	アセンブリ言語で記述されたソース・プログラムを機械語に変換するプログラムで、リロケータブルなオブジェクト・モジュール・ファイルを生成します。	
リンカ (プログラム名：LK78K2)	リロケータブル・アセンブラが生成したオブジェクト・モジュール・ファイルとライブラリ・ファイルを結合し、プログラムの絶対アドレスを決定し、ロード・モジュール・ファイルを生成します。	
オブジェクト・コンバータ (プログラム名：OC78K2)	リンカの生成したロード・モジュール・ファイルをインサーキット・エミュレータやPROMプログラマへダウン・ロードできる形式に変換します。	
ライブラリアン (プログラム名：LB78K2)	リロケータブル・アセンブラが出力したオブジェクト・モジュール・ファイルを結合し、1本のライブラリ・ファイルを作成します。また、ライブラリ・ファイルの更新などを行います。	
リスト・コンバータ (プログラム名：LCNV78K2)	リロケータブル・アセンブラの出力したアセンブル・リスト・ファイルをオブジェクト・モジュール・ファイルおよびロード・モジュール・ファイルを使って、アプソリュートな値の埋め込まれたアセンブル・リストを作成します。	

言語処理用ソフトウェア (2/3)

78K/IIシリーズ リロケータブル・アセンブラ (RA78K/II)	ホスト・マシン	OS	供給媒体	オーダ名称
★	PC-9800シリーズ	MS-DOS™ (Ver.3.30~ Ver.5.00A ^{注3})	8インチ2D ^{注1}	μS5A1RA78K2
			5インチ2HD	μS5A10RA78K2
			3.5インチ2HD	μS5A13RA78K2
	IBM PC/ATおよび その互換機	B.2.4参照	5インチ2D ^{注2}	μS7B11RA78K2
			5インチ2HC	μS7B10RA78K2
			3.5インチ2HC	μS7B13RA78K2
	HP9000シリーズ300™	HP-UX™ (rel.7.05B)	カートリッジ・テープ (QIC-24)	μS3H15RA78K2
	SPARCstation™	Sun OS™ (rel.4.1.1)		μS3K15RA78K2
	EWS-4800シリーズ™ (RISC)	EWS-UX/V™ (rel.4.0)		μS3M15RA78K2
78K/IIシリーズ Cコンパイラ (CC78K/II)	78K/IIシリーズに共通に使用できるCコンパイラです。 言語仕様はANSIに準拠しており、プログラムのROM化が可能です。機能として、特殊機能レジスタの操作、ビット操作、ショート・ダイレクト・アドレッシングを使用する変数、割り込みの制御機能などを備えており、これらを使うことにより、効率の良いプログラム記述と、より高いオブジェクト効率が実現できます。 また、スタート・アップ・ルーチンのサンプル・プログラムや標準関数のオブジェクト・ライブラリを備えています。 本コンパイラ使用時には、78K/IIシリーズ リロケータブル・アセンブラ (RA78K/II) が必要です。			
★	ホスト・マシン	OS	供給媒体	オーダ名称
★	PC-9800シリーズ	MS-DOS (Ver.3.30~ Ver.5.00A ^{注3})	5インチ2HD	μS5A10CC78K2
			3.5インチ2HD	μS5A13CC78K2
	IBM PC/ATおよび その互換機	B.2.4参照	5インチ2D ^{注2}	μS7B11CC78K2
			5インチ2HC	μS7B10CC78K2
			3.5インチ2HC	μS7B13CC78K2
	HP9000シリーズ300	HP-UX (rel.7.05B)	カートリッジ・テープ (QIC-24)	μS3H15CC78K2
	SPARCstation	Sun OS (rel.4.1.1)		μS3K15CC78K2
EWS-4800シリーズ (RISC)	EWS-UX/V (rel.4.0)	μS3M15CC78K2		

注1. 8インチ2Dでの新規のご購入はできません。5インチ2HDまたは3.5インチ2HDをお選びください。

また、すでに8インチ2Dでご購入いただいている場合、今後のバージョン・アップ時は5インチ2HDを送付いたしますのでご了承ください。

2. 5インチ2Dでの新規のご購入はできません。また、すでに5インチ2Dでご購入いただいている場合、今後のバージョン・アップ時は5インチ2HCを送付いたしますのでご了承ください。

3. Ver.5.00/5.00Aにはタスク・スワップ機能がありますが、このソフトウェアでは、タスク・スワップ機能は使用できません。

言語処理用ソフトウェア (3/3)

78K/IIシリーズ Cコンパイラ ライブラリ・ソース・ファイル (CC78K/II-L)	CC78K/IIに付属しているライブラリのソース・プログラムです。ライブラリを改良する（よりユーザの仕様に合わせる）場合に必要となります。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.30～ Ver.5.00A注)	5インチ2HD	μS5A10CC78K2-L
			3.5インチ2HD	μS5A13CC78K2-L
	IBM PC/ATおよび その互換機	B.2.4参照	5インチ2HC	μS7B10CC78K2-L
			3.5インチ2HC	μS7B13CC78K2-L
	HP9000シリーズ300	HP-UX (rel.7.05B)	カートリッジ・テープ (QIC-24)	μS3H15CC78K2-L
	SPARCstation	Sun OS (rel.4.1.1)		μS3K15CC78K2-L
EWS-4800シリーズ (RISC)	EWS-UX/V (rel.4.0)	μS3M15CC78K2-L		

注 Ver.5.00/5.00Aにはタスク・スワップ機能がありますが、このソフトウェアでは、タスク・スワップ機能は使用できません。

B.2.2 インサーキット・エミュレータ用ソフトウェア

★ スクリーン・ディバग्ガ (SD78K/II)	78K/IIシリーズ用のインサーキット・エミュレータをコントロールするためのプログラムです。デバイス・ファイル (DF78230) と組み合わせて使用します。 IE-78230-R-A, またはIE-78230-R-Aと同等になるようにシステム・アップしたインサーキット・エミュレータで、ホスト・マシンがPC-9800シリーズまたはIBM PC/ATの場合に使用可能です。 C言語, 構造化アセンブリ言語, アセンブリ言語で書かれたソース・プログラム・レベルでのディバグや, ホスト・マシンの画面を分割し, さまざまな情報を同時に表示することで効率の良いディバグが行えます。				
	ホスト・マシン	OS	供給媒体	オーダ名称	
	PC-9800シリーズ	MS-DOS (Ver.3.30~ Ver.5.00A ^{注1})	5インチ2HD	μS5A10SD78K2	
			3.5インチ2HD	μS5A13SD78K2	
	IBM PC/ATおよび その互換機	B.2.4参照	5インチ2HC	μS7B10SD78K2	
3.5インチ2HC			μS7B13SD78K2		
★ デバイス・ファイル (DF78230)	スクリーン・ディバग्ガ (SD78K/II) と組み合わせて, μPD78234サブシリーズのディバグを行う場合に必要です。				
	ホスト・マシン	OS	供給媒体	オーダ名称	
	PC-9800シリーズ	MS-DOS (Ver.3.30~ Ver.5.00A ^{注1})	5インチ2HD	μS5A10DF78230	
			3.5インチ2HD	μS5A13DF78230	
	IBM PC/ATおよび その互換機	B.2.4参照	5インチ2HC	μS7B10DF78230	
3.5インチ2HC			μS7B13DF78230		
★ インサーキット・エミュレー タ・コントロール・プログラム ^{注4} (IE78230)	IE-78230-Rをホスト・マシンからコントロールするためのプログラムです。コマンドの自動実行などを行うことができ, より効率的なディバグが可能です。 IE-78230-Rのコントロール・プログラムとして次のものを用意しています。				
	対象エミュレータ	ホスト・マシン	OS	供給媒体	オーダ名称
	IE-78230-R	PC-9800シリーズ	MS-DOS (Ver.3.10~ Ver.5.00A ^{注1})	8インチ2D ^{注2}	μS5A1IE78230
	IE-78230-R-EM			5インチ2HD	μS5A10IE78230
				3.5インチ2HD	μS5A13IE78230
		IBM PC/ATおよび その互換機	B.2.4参照	5インチ2D ^{注3}	μS7B11IE78230
				5インチ2HC	μS7B10IE78230
3.5インチ2HC				μS7B13IE78230	

- 注1. Ver.5.00/5.00Aにはタスク・スワップ機能がありますが、このソフトウェアでは、タスク・スワップ機能は使用できません。
- 2. 8インチ2Dでの新規のご購入はできません。5インチ2HDまたは3.5インチ2HDをお選びください。また、すでに8インチ2Dでご購入いただいている場合、今後のバージョン・アップ時は、5インチ2HDを送付いたしますのでご了承ください。
- 3. 5インチ2Dでの新規のご購入はできません。また、すでに5インチ2Dでご購入いただいている場合、今後のバージョン・アップ時は、5インチ2HCを送付いたしますのでご了承ください。
- 4. IE-78230-R-A, またはIE-78230-R-Aと同等にシステム・アップしたものと組み合わせて使用することはできません。すでにIE-78230-R, またはIE-78230-Rと同等のものをお持ちの場合のみご購入ください (IE-78230-Rは、新規のご購入はできません)。

B.2.3 PROMプログラマ用ソフトウェア

PG-1500コントローラ	PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.10~ Ver.5.00A ^{注1})	5インチ2HD	μS5A10PG1500
			3.5インチ2HD	μS5A13PG1500
	IBM PC/ATおよび その互換機	B.2.4参照	5インチ2D ^{注2}	μS7B11PG1500
5インチ2HC			μS7B10PG1500	
3.5インチ2HC			μS7B13PG1500	

★

- 注1. Ver.5.00/5.00Aにはタスク・スワップ機能がありますが、このソフトウェアでは、タスク・スワップ機能は使用できません。
- 2. 5インチ2Dでの新規のご購入はできません。また、すでに5インチ2Dでご購入いただいている場合、今後のバージョン・アップ時は5インチ2HCを送付いたしますのでご了承ください。

B.2.4 IBM PC用のOSについて

★

IBM PC用のOSとして、次のものがサポートされています。

OS	バージョン
PC DOS TM	Ver.3.1~Ver.6.1
Windows TM 注1	Ver.3.1
MS-DOS	Ver.5.0~Ver.6.0 5.0/V ^{注2}
IBM DOS TM	J5.02/V ^{注2}

- 注1. ファジィ知識データ作成ツールの場合には、PC DOSとWindowsを組み合わせて使用します。
- 2. 英語モードのみサポートしています。

注意 Ver.5.0以降にはタスク・スワップ機能がありますが、このソフトウェアでは、タスク・スワップ機能は使用できません。

付

B.3 他のインサーキット・エミュレータからのシステム・アップ方法

すでに78Kシリーズまたは75Xシリーズ用のインサーキット・エミュレータをお持ちの場合、本体内部のボードを交換することにより、78K/IIシリーズ用の各インサーキット・エミュレータとして使用することができます。

なお、インサーキット・エミュレータのコントロール・プログラムは、システム・アップ後のインサーキット・エミュレータに対応したコントロール・プログラムが必要です。

B.3.1 IE-78230-R-Aへのシステム・アップ方法

お手持ちの エミュレータ	IEグループNo.	ご購入の必要なボード	備 考
IE-78240-R-A IE-78140-R	1	IE-78230-R-EM	—
IE-78230-R ^注	2	IE-78200-R-BK	—
IE-78112-R ^注 IE-78210-R ^注 IE-78220-R ^注 IE-78310-R ^注 IE-78310A-R	3	IE-78200-R-BK IE-78230-R-EM	高速ダウン・ロード機能は使用できません。 IEグループ1, 2, 4のインサーキット・エミュレータをあわせてお持ちの場合は、IEグループ1, 2, 4のインサーキット・エミュレータをベースとしたシステム・アップをお勧めします。 また、IEグループ1のインサーキット・エミュレータをお持ちの場合は、IE-78200-R-BKは不要です（IEグループ1のインサーキット・エミュレータ内にIE-78200-R-BKがありますのでそのボードが使用できます）。
IE-75000-R IE-75001-R IE-78000-R IE-78130-R IE-78240-R IE-78320-R ^注 IE-78327-R IE-78330-R IE-78350-R IE-78600-R ^注	4	IE-78200-R-BK IE-78230-R-EM	IEグループ1のインサーキット・エミュレータをあわせてお持ちの場合は、IE-78200-R-BKは不要です（IEグループ1のインサーキット・エミュレータ内にIE-78200-R-BKがありますのでそのボードが使用できます）。

注 新規の製造は行っておりませんのでご購入はできません。

B.3.2 IE-78230-Rへのシステム・アップ方法

お手持ちの エミュレータ	IEグループNo.	ご購入の必要なボード	備 考
IE-78112-R ^注 IE-78210-R ^注 IE-78220-R ^注	1	IE-78230-R-EM	高速ダウン・ロード機能は使用できません。IEグループ4のインサーキット・エミュレータもあわせてお持ちの場合は、IEグループ4のインサーキット・エミュレータをベースとしたシステム・アップをお勧めします。
IE-78130-R IE-78240-R ^注	2	IE-78230-R-EM	——
IE-78310-R ^注 IE-78310A-R	3	IE-78200-R-EM ^注 IE-78230-R-EM	高速ダウン・ロード機能は使用できません。IEグループ1のインサーキット・エミュレータもあわせてお持ちの場合は、IE-78200-R-EMは不要です (IEグループ1のインサーキット・エミュレータ内にIE-78200-R-EMがありますので、そのボードが使用できます)。
IE-75000-R IE-75001-R IE-78000-R IE-78320-R ^注 IE-78327-R IE-78330-R IE-78350-R IE-78600-R ^注	4	IE-78200-R-EM ^注 IE-78230-R-EM	IEグループ1のインサーキット・エミュレータをお持ちの場合は、IE-78200-R-EMは不要です (IEグループ1のインサーキット・エミュレータ内にIE-78200-R-EMがありますので、そのボードが使用できます)。
IE-78140-R IE-78240-R-A	5	IE-78200-R-EM ^注 IE-78230-R-EM	IE-78230-R-Aへのシステム・アップをお勧めします。

注 新規の製造は行っておりませんので、ご購入はできません。

付録C 組み込み用ソフトウェア

C.1 リアルタイムOS

リアルタイムOS (RX78K/II)	RX78K/IIは、リアルタイム性の要求される制御分野を対象として、マルチタスク環境を実現することを目的としています。CPUのアイドル時間を他の処理に割り当て、システム全体としての性能の向上を図ることができます。			
	RX78K/IIでは、 μ ITRON仕様に準拠したシステム・コール(31個)を提供しています。RX78K/IIパッケージでは、RX78K/IIのニュークリアスと複数の情報テーブルを作成するためのツール(コンフィギュレータ)を提供します。			
	ただし、使用する場合は、1Kバイト以上のRANが必要です。注1			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.30~ Ver.5.00A注2)	5インチ2HD	μ S5A10RX78217
			3.5インチ2HD	μ S5A13RX78217
	IBM PC/ATおよび その互換機	B.2.4参照	5インチ2HC	μ S7B10RX78217
			3.5インチ2HC	μ S7B13RX78217
HP9000シリーズ300	HP-UX (rel.7.05B)	カートリッジ・テープ (QIC-24)	μ S3H15RX78217	
SPARCstation	Sun OS (rel.4.1.1)		μ S3K15RX78217	
EWS-4800シリーズ (RISC)	EWS-UX/V (rel.4.0)		μ S3M15RX78217	

注1. 対象デバイス： μ PD78237, 78238, 78P238

2. Ver.5.00/5.00Aにはタスク・スワップ機能がありますが、このソフトウェアでは、タスク・スワップ機能は使用できません。

注意 ご購入される場合、事前に購入申込書にご記入のうえ、使用許諾契約書を締結する必要があります。

備考 RX78K/II リアルタイムOSを使用するときは、RA78K/II アセンブラ・パッケージ(別売)が必要です。

★

C.2 ファジィ推論開発支援システム

★ ファジィ知識データ作成ツール	ファジィ知識データ（ファジィ・ルールおよびメンバシップ関数）の入力／編集（エディット）と評価（シミュレーション）を支援するプログラムです。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.30～ Ver.5.00A ^注)	5インチ2HD	μS5A10FE9000
			3.5インチ2HD	μS5A13FE9000
	IBM PC/ATおよびその互換機	B.2.4参照	5インチ2HC	μS7B10FE9200
3.5インチ2HC			μS7B13FE9200	
★ トランスレータ	ファジィ知識データ作成ツールを用いて得たファジィ知識データをRA78K/II用のアセンブラ・ソース・プログラムに変換するプログラムです。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.30～ Ver.5.00A ^注)	5インチ2HD	μS5A10FT9080
			3.5インチ2HD	μS5A13FT9080
	IBM PC/ATおよびその互換機	B.2.4参照	5インチ2HC	μS7B10FT9085
3.5インチ2HC			μS7B13FT9085	
★ ファジィ推論モジュール (FI78K/II)	ファジィ推論を実行するプログラムです。トランスレータで変換されたファジィ知識データとリンクすることでファジィ推論を実行します。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.30～ Ver.5.00A ^注)	5インチ2HD	μS5A10FI78K2
			3.5インチ2HD	μS5A13FI78K2
	IBM PC/ATおよびその互換機	B.2.4参照	5インチ2HC	μS7B10FI78K2
3.5インチ2HC			μS7B13FI78K2	
★ ファジィ推論ディバッガ (FD78K/II)	インサーキット・エミュレータを使用し、ファジィ知識データをハードウェア・レベルで評価、調整するための支援ソフトウェアです。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.30～ Ver.5.00A ^注)	5インチ2HD	μS5A10FD78K2
			3.5インチ2HD	μS5A13FD78K2
	IBM PC/ATおよびその互換機	B.2.4参照	5インチ2HC	μS7B10FD78K2
3.5インチ2HC			μS7B13FD78K2	

注 Ver.5.00/5.00Aにはタスク・スワップ機能がありますが、このソフトウェアでは、タスク・スワップ機能は使用できません。

付録D レジスタ索引

D.1 レジスタ索引 (50音順)

[あ行]

- アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) … 353
- アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) … 352
- A/D変換結果レジスタ (ADCR) … 322
- A/Dコンバータ・モード・レジスタ (ADM) … 324, 429

[か行]

- 外部割り込みモード・レジスタ0 (INTM0) … 416
- 外部割り込みモード・レジスタ1 (INTM1) … 417, 428
- キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) … 148
- キャプチャ/コンペア・コントロール・レジスタ1 (CRC1) … 200
- キャプチャ/コンペア・コントロール・レジスタ2 (CRC2) … 226
- クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) … 374, 390

[さ行]

- 16ビット・キャプチャ・レジスタ (CR02) … 146
- 16ビット・コンペア・レジスタ (CR00, CR01) … 146
- 16ビット・タイマ0 (TMO) … 146
- シリアル・シフト・レジスタ (SIO) … 393
- シリアル受信バッファ (RXB) … 351
- シリアル送信シフト・レジスタ (TXS) … 351
- シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) … 376
- スタンバイ・コントロール・レジスタ (STBC) … 525

[た行]

- タイマ・コントロール・レジスタ0 (TMC0) … 147, 286
- タイマ・コントロール・レジスタ1 (TMC1) … 198, 224
- タイマ出力コントロール・レジスタ (TOC) … 149, 227
- D/A変換値設定レジスタ0 (DACSO) … 344
- D/A変換値設定レジスタ1 (DACSI) … 344

[は行]

- 8ビット・キャプチャ/コンペア・レジスタ (CR11) … 196
- 8ビット・キャプチャ/レジスタ (CR22) … 223
- 8ビット・コンペア・レジスタ (CR10) … 196
- 8ビット・コンペア・レジスタ (CR20) … 223
- 8ビット・コンペア・レジスタ (CR21) … 223
- 8ビット・コンペア・レジスタ (CR30) … 285
- 8ビット・タイマ1 (TM1) … 196
- 8ビット・タイマ2 (TM2) … 223
- 8ビット・タイマ3 (TM3) … 285
- PWMコントロール・レジスタ (PWMC) … 313
- PWMモジュロ・レジスタ0 (PWM0) … 314
- PWMモジュロ・レジスタ1 (PWM1) … 314
- プリスケーラ・モード・レジスタ0 (PRM0) … 287
- プリスケーラ・モード・レジスタ1 (PRM1) … 199, 225
- プルアップ抵抗オプション・レジスタ (PUO) … 79, 86, 99, 104, 110, 122
- プログラマブル・ウェイト制御レジスタ (PW) … 487
- プログラム・ステータス・ワード (PSW) … 434
- ポート0 (P0) … 69
- ポート1 (P1) … 73
- ポート2 (P2) … 84
- ポート3 (P3) … 90
- ポート4 (P4) … 101
- ポート5 (P5) … 106
- ポート6 (P6) … 113
- ポート7 (P7) … 123
- ポート0バッファ・レジスタ (POL, POH) … 130
- ポート0モード・レジスタ (PM0) … 70
- ポート1モード・レジスタ (PM1) … 75
- ポート3モード・コントロール・レジスタ (PMC3) … 95
- ポート3モード・レジスタ (PM3) … 94
- ポート5モード・レジスタ (PM5) … 107
- ポート6モード・レジスタ (PM6) … 119
- ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) … 362

[ま行]

- マクロ・サービス・モード・レジスタ … 455

メモリ拡張モード・レジスタ (MM) … 486

メモリ・サイズ切り替えレジスタ (IMS) … 47, 487

[や行]

優先順位指定フラグ・レジスタ (PRO) … 432

[ら行]

リアルタイム出力ポート・コントロール・レジスタ (RTPC) … 129

リフレッシュ・モード・レジスタ (RFM) … 511

[わ行]

割り込みサービス・モード・レジスタ (ISMO) … 432

割り込みステータス・レジスタ (IST) … 433

割り込みマスク・レジスタ (MKO) … 431

割り込み要求フラグ・レジスタ (IFO) … 431

ワンショット・パルス出力制御レジスタ (OSPC) … 150

D.2 レジスタ索引（アルファベット順）

[A]

- ADCR : A/D変換結果レジスタ … 322
ADM : A/Dコンバータ・モード・レジスタ … 324, 429
ASIM : アシクロナス・シリアル・インタフェース・モード・レジスタ … 352
ASIS : アシクロナス・シリアル・インタフェース・ステータス・レジスタ … 353

[B]

- BRGC : ボー・レート・ジェネレータ・コントロール・レジスタ … 362

[C]

- CR00 : 16ビット・コンペア・レジスタ … 146
CR01 : 16ビット・コンペア・レジスタ … 146
CR02 : 16ビット・キャプチャ・レジスタ … 146
CR10 : 8ビット・コンペア・レジスタ … 196
CR11 : 8ビット・キャプチャ・コンペア・レジスタ … 196
CR20 : 8ビット・コンペア・レジスタ … 223
CR21 : 8ビット・コンペア・レジスタ … 223
CR22 : 8ビット・キャプチャ/コンペア・レジスタ … 223
CR30 : 8ビット・コンペア・レジスタ … 285
CRC0 : キャプチャ/コンペア・コントロール・レジスタ0 … 148
CRC1 : キャプチャ/コンペア・コントロール・レジスタ1 … 200
CRC2 : キャプチャ/コンペア・コントロール・レジスタ2 … 226
CSIM : クロック同期式シリアル・インタフェース・モード・レジスタ … 374, 390

[D]

- DACSO : D/A変換値設定レジスタ0 … 344
DACSI : D/A変換値設定レジスタ1 … 344

[I]

- IFO : 割り込み要求フラグ・レジスタ … 431
IMS : メモリ・サイズ切り替えレジスタ … 47, 487
INTM0 : 外部割り込みモード・レジスタ0 … 416
INTM1 : 外部割り込みモード・レジスタ1 … 417, 428
ISM0 : 割り込みサービス・モード・レジスタ … 432

IST : 割り込みステータス・レジスタ … 433

[M]

MK0 : 割り込みマスク・レジスタ … 431

MM : メモリ拡張モード・レジスタ … 486

[O]

OSPC : ワンショット・パルス出力制御レジスタ … 150

[P]

P0 : ポート0 … 69

P1 : ポート1 … 73

P2 : ポート2 … 84

P3 : ポート3 … 90

P4 : ポート4 … 101

P5 : ポート5 … 106

P6 : ポート6 … 113

P7 : ポート7 … 123

POH : ポート0バッファ・レジスタ … 130

POL : ポート0バッファ・レジスタ … 130

PM0 : ポート0モード・レジスタ … 70

PM1 : ポート1モード・レジスタ … 75

PM3 : ポート3モード・レジスタ … 94

PM5 : ポート5モード・レジスタ … 107

PM6 : ポート6モード・レジスタ … 119

PMC3 : ポート3モード・コントロール・レジスタ … 95

PRO : 優先順位指定フラグ・レジスタ … 432

PRM0 : プリスケアラ・モード・レジスタ0 … 287

PRM1 : プリスケアラ・モード・レジスタ1 … 199, 225

PUO : プルアップ抵抗オプション・レジスタ … 79, 86, 99, 104, 110, 122

PW : プログラマブル・ウェイト制御レジスタ … 487

PSW : プログラマブル・ステータス・ワード … 434

PWM0 : PWMモジュロ・レジスタ0 … 314

PWM1 : PWMモジュロ・レジスタ1 … 314

PWMC : PWMコントロール・レジスタ … 313

[R]

- RFM : リフレッシュ・モード・レジスタ … 511
RTPC : リアルタイム出力ポート・コントロール・レジスタ … 129
RXB : シリアル受信バッファ … 351

[S]

- SBIC : シリアル・バス・インタフェース・コントロール・レジスタ … 376
SIO : シリアル・シフト・レジスタ … 393
STBC : スタンバイ・コントロール・レジスタ … 525

[T]

- TM0 : 16ビット・タイマ0 … 146
TM1 : 8ビット・タイマ1 … 196
TM2 : 8ビット・タイマ2 … 223
TM3 : 8ビット・タイマ3 … 285
TMC0 : タイマ・コントロール・レジスタ0 … 147, 286
TMC1 : タイマ・コントロール・レジスタ1 … 198, 224
TOC : タイマ出力コントロール・レジスタ … 149, 227
TXS : シリアル送信シフト・レジスタ … 351

付録E 総合索引

E.1 50音で始まる語句の索引

[あ行]

- アクティブ・レベル … 316
- アクノリッジ許可ビット … 392
- アクノリッジ検出フラグ … 392
- アクノリッジ信号 … 385, 398
- アクノリッジ・トリガ・ビット … 392
- アシンクロナス・シリアル・インタフェース … 349
- アシンクロナス・シリアル・インタフェース・ステータス・レジスタ … 353
- アシンクロナス・シリアル・インタフェースの動作 … 354
- アシンクロナス・シリアル・インタフェース・モード・レジスタ … 352
- アップカウント … 223
- アドレッシング別命令一覧表 … 569
- アドレス … 396
- アドレス送信 … 408
- アドレス・バス … 28, 485
- アナログ/デジタル・コンバータ … 319
- アナログ・ディレイ … 539
- アナログ電圧 … 345
- 1Mバイト拡張機能 … 490
- 1Mバイト拡張モード指定 … 486
- 一致信号 … 155, 238, 242
- インターバル時間 … 143, 193, 283
- インターバル・タイマ … 175, 210, 259, 262, 291, 292
- ウエイク・アップ … 385, 412
- ウエイク・アップ機能 … 385
- ウエイト機能 … 500
- ウエイト数 … 486
- エッジ検出 … 415, 418
- エッジ検出回路 … 146, 197, 223, 322
- エッジ検出機能 … 415

エラー … 358
エラー・フラグ … 358
オーバフロー … 228
オーバフロー信号 … 158, 228
オーバフロー・フラグ … 224
オーバラン・エラー … 358
オペレーション一覧 … 558

[か行]

外部イベント・カウンタ … 221, 232, 278
外部イベント・カウンタ機能 … 232
外部イベント・カウンタ動作モード … 232
外部SFR領域 … 45
外部拡張データ・メモリ … 45
外部クロック … 61, 225, 232, 374
外部クロック・パルス … 232
外部トリガ … 157, 207, 240
外部ポー・レート入力 … 363, 369
外部メモリ … 45
外部メモリ拡張機能 … 488
外部割り込みモード・レジスタ … 415, 416, 417
カウント・アップ動作 … 151, 201, 228, 288
カウント・クロック … 151, 199, 201, 225, 228, 287, 288
カウント動作 … 151, 201, 228, 288
書き込みの手順 … 550
拡張アドレス・バス … 45
疑似スタティックRAM … 510
疑似スタティックRAMリフレッシュ機能 … 510
基準電圧端子 … 321
奇数パリティ … 354, 355
基本動作 … 160
キャプチャ/コンペア・コントロール・レジスタ0 … 148, 158
キャプチャ/コンペア・コントロール・レジスタ1 … 200
キャプチャ/コンペア・コントロール・レジスタ2 … 226, 242
キャプチャ/コンペア・レジスタ … 196, 205, 207
キャプチャ/コンペア・レジスタ動作指定 … 200
キャプチャ動作 … 201, 207, 228, 240

キャプチャ・トリガ … 157, 207, 240
キャプチャ・レジスタ … 146, 196, 223
キャラクタ・ビット … 354
キャリー・フラグ … 48
偶数パリティ … 354, 355
クリア … 155, 291
クリア動作 … 200, 226
繰り返し周期 … 315
クリスタル発振 … 61
クロック・サンプリング … 419
クロック同期式シリアル・インタフェース … 371
クロック同期式シリアル・インタフェース・モード・レジスタ … 374, 389
クロック発生回路 … 61
クロック・パルス … 221, 232
検出エッジ … 416, 417
コマンド … 397
コマンド検出フラグ … 391
コマンド信号 … 395
コマンド送信 … 409
コマンド・トリガ・ビット … 391
コンペア動作 … 205, 238, 291
コンペア・レジスタ … 146, 196, 223, 285, 289, 291

[さ行]

最小インターバル時間 … 143, 193, 219, 283
最小パルス幅 … 143, 220, 221
最大インターバル時間 … 143, 193, 219, 283
最大周波数 … 221, 232
最大パルス幅 … 143, 220
3線式シリアルI/Oモード … 371
3線式シリアルI/Oモードのタイミング … 378
サンプル&ホールド回路 … 321
システム・クロック … 61
システム・リセット … 539
自動加算 … 466
シフト動作 … 380
シフト・レジスタ … 351, 373, 393

時分割アドレス／データ・バス … 27
周辺RAM … 44
16ビット・タイマ0 … 146, 151
16ビット・タイマ／カウンタ … 143
受信 … 357
受信エラー … 358
受信エラー割り込み … 358
受信完了割り込み … 357
受信制御パリティ・チェック … 351
受信データ … 357, 378
受信動作 … 357, 358, 381
受信バッファ … 351
出力インピーダンス … 346
出力制御回路 … 146, 223, 312
出力電圧 … 345
出力トリガ … 132
出力ポート … 68, 486
主データ・バンク … 45
シリアル・クロック … 377, 387
シリアル・クロック・カウンタ … 373
シリアル・クロック制御回路 … 373
シリアル・クロック・セクタ … 373
シリアル・クロック端子 … 387
シリアル・データ … 373
シリアル・データ出力 … 377
シリアル・データ入力 … 377
シリアル・データ・バス … 387
シリアル・データ・バス端子 … 387
シリアル・バス・インタフェース・コントロール・レジスタ … 376, 391
シリアル・バス・インタフェース・モード … 371
シングルチップ・モード … 486
スキャン・モード … 319, 330
スタート・ビット … 354
スタック・ポインタ … 50
スタンバイ機能 … 523
スタンバイ・コントロール・レジスタ … 525
スタンバイ・モード … 523

ストップ・ビット … 354
スレーブ … 413
スレーブ・デバイス … 407
セラミック発振 … 61
セルフ・リフレッシュ動作 … 515
セレクト … 351
セレクト・モード … 319, 329
Oパリティ … 354, 355
ゼロ・フラグ … 49
全二重動作 … 349
専用ポー・レート・ジェネレータ … 363
送受信動作 … 382
送信 … 356
送信完了割り込み … 356
送信シフト・レジスタ … 351
送信制御パリティ付加 … 351
送信データ … 356
送信動作 … 356, 380
測定可能なパルス幅 … 144, 193, 220
ソフトウェア・スタート … 319, 332
ソフトウェア割り込みの受け付け動作 … 435
ソフトウェア割り込み要求 … 427
ソフト・トリガド・ワンショット・パルス出力 … 144, 174, 190

[た行]

タイプA … 452
タイプB … 452
タイプC … 452
タイマ/カウンタ・ユニット … 141
タイマ・コントロール・レジスタ0 … 147, 286
タイマ・コントロール・レジスタ1 … 198, 224
タイマ出力 … 158, 242
タイマ出力コントロール・レジスタ … 149, 227
タイマ出力モード … 148, 226
タイマ用マクロ・サービス・ポインタ … 470
多重処理 … 425, 432
多重処理制御 … 425

多重割り込み … 433, 441
タップ・セクタ … 344
端子 … 21
端子状態 … 540
逐次比較 … 319
直列抵抗ストリング … 321
追加パルス … 315
抵抗ストリング … 343, 344
抵抗ストリング方式 … 343
デジタル／アナログ・コンバータ … 343
デジタル・ノイズ除去 … 419
デフォルト優先順位 … 426
データ … 397
データ・バッファ領域 … 463
データ・フォーマット … 354
データ・フレーム … 354
データ用マクロ・サービス・ポインタ … 470
電圧コンパレータ … 321
動作モード … 549
特殊機能レジスタ … 55
トランジスタ・ダイレクト・ドライブ … 72
トリガ入力 … 319

[な行]

内蔵プルアップ抵抗 … 67, 79, 86, 99, 104, 110, 122
内部クロック … 374
内部システム・クロック … 61
内部デュアル・ポートRAM … 44
内部RAM … 44
内部ROM … 500
内部ROM高速フェッチ機能 … 500
78K/II製品展開図 … 2
入カインピーダンス … 346
入出力回路 … 33
入出力ポート … 68
入出力ポート数 … 68
入力回路 … 321

入力電圧 … 327
入力ポート … 68, 486
ノイズ除去 … 539
ノンマスクابل割り込み … 435
ノンマスクابل割り込みの受け付け … 435
ノンマスクابل割り込み要求 … 427, 433, 435

【は行】

ハードウェア・スタート … 319, 334
バス・インタフェース機能 … 485
バス・リリース/コマンド/アクノリッジ検出回路 … 373
バス・リリース検出フラグ … 391
バス・リリース信号 … 395
バス・リリース・トリガ・ビット … 391
パターン・ジェネレータ … 127
発振安定時間 … 66
バッファ・レジスタ … 130
8ビット・タイマ1 … 196, 201
8ビット・タイマ2 … 223, 228
8ビット・タイマ3 … 285, 288
8ビット・タイマ/カウンタ1 … 132, 193
8ビット・タイマ/カウンタ2 … 219
8ビット・タイマ/カウンタ3 … 283
8ビット・ダウン・カウンタ … 312
パラレル・データ … 373
パリティ・エラー … 355, 358
パリティなし … 355
パリティ・ビット … 354
パルス幅 … 232
パルス幅測定 … 179, 216, 265
パルス・リフレッシュ動作 … 512
バンク・レジスタ … 45
汎用レジスタ … 51
ビジィ/アクノリッジ出力回路 … 373
ビジィ解除 … 412
ビジィ許可ビット … 392
ビジィ信号 … 385, 399

副データ・バンク … 45
プリスケアラ … 197, 224, 285
プリスケアラ・モード・レジスタ0 … 287
プリスケアラ・モード・レジスタ1 … 199, 225
プルアップ抵抗オプション・レジスタ … 79, 86, 99, 104, 110, 122
フルカウント … 237
フレーミング・エラー … 358
プログラマブル・ウェイト制御レジスタ … 487
プログラマブル優先順位 … 441
プログラミング … 549
プログラム・カウンタ … 48
プログラム・ステータス・ワード … 48, 430, 434
分解能 … 143, 193, 219, 283
分周回路 … 360, 363
ベクタ・テーブル … 43, 426
ベクタ割り込み … 425
変換結果 … 327
変換時間 … 328
ポインタ … 53
ポート … 67
ポート・モード … 486, 511
ポート0 … 69
ポート0モード・レジスタ … 70
ポート1 … 73
ポート1モード・レジスタ … 75
ポート2 … 82
ポート3 … 88
ポート3モード・コントロール・レジスタ … 95
ポート3モード・レジスタ … 94
ポート4 … 101
ポート5 … 106
ポート5モード・レジスタ … 107
ポート6 … 112
ポート6モード・レジスタ … 119
ポート7 … 123
ポー・レート … 364
ポー・レート・ジェネレータ … 360

ポー・レート・ジェネレータ・コントロール・レジスタ … 361
ポー・レート生成用クロック … 361
ポー・レートの設定方法 … 364
ポー・レート用クロック … 363
補助キャリア・フラグ … 49
保留された割り込み … 439

[ま行]

マクロ・サービス … 425, 450
マクロ・サービス・カウンタ … 459
マクロ・サービス機能 … 450
マクロ・サービス・コントロール・ワード … 454
マクロ・サービス制御レジスタ … 454
マクロ・サービス・タイプ … 451
マクロ・サービス・タイプA … 456
マクロ・サービス・タイプB … 461
マクロ・サービス・タイプC … 466
マクロ・サービス・チャンネル … 459, 463
マクロ・サービス・チャンネル・ポインタ … 454
マクロ・サービスの種類 … 451, 452
マクロ・サービスの処理時間 … 448
マクロ・サービスの動作タイミング … 446
マクロ・サービスの保留 … 444
マクロ・サービス・ポインタ … 463
マクロ・サービス・モード・レジスタ … 455
マスクابل割り込みの受け付け … 439
マスクابل割り込み要求 … 427
マスタ … 413
マスタ・デバイス … 407
マルチプレクスト・アドレス/データ・バス … 485
マルチプレクスト・アナログ … 319
未使用端子 … 33
メモリ拡張機能 … 488
メモリ拡張モード・レジスタ … 101, 107, 486
メモリ空間 … 37
メモリ・サイズ切り替えレジスタ … 47, 487
メモリ・マップ … 39

メモリ・マッピング … 37
モジュロ・レジスタ … 470

[や行]

有効エッジ … 415
優先順位 … 432, 435
優先順位指定フラグ … 432
優先順位指定フラグ・レジスタ … 430, 432
読み出しの手順 … 552
4ビット・カウンタ … 312, 360
4ビット・セパレート・リアルタイム出力ポート … 129

[ら行]

ライト・タイミング … 489
リアルタイム出力機能 … 127
リアルタイム出力ポート … 128, 130, 466
リアルタイム出力ポート・コントロール・レジスタ … 70, 129
リード・タイミング … 489
リセット … 539
リセット解除後の端子状態 … 540
リセット機能 … 539
リセット入力中の端子状態 … 540
リセット・ベクタ・テーブル … 539
リフレッシュ機能 … 510
リフレッシュ・バス・サイクル … 510
リフレッシュ・パルス … 510
リフレッシュ・モード・レジスタ … 511
両エッジ … 416, 417
両エッジ検出 … 360
リリース検出フラグ … 391
リリース・トリガ・ビット … 391
リロード制御 … 312
リング・カウンタ … 470
リング制御 … 466
ループ・カウンタ … 53
レジスタ … 48
レジスタ・バンク選択フラグ … 49

レディ信号 … 399

ローカル・バス・インタフェース機能 … 485

[わ行]

割り込み … 425

割り込み受け付け処理時間 … 447

割り込み機能 … 425

割り込みサービス・モード・フラグ … 432

割り込みサービス・モード・レジスタ … 430, 432

割り込み処理 … 434

割り込み処理制御レジスタ … 430

割り込み信号発生回路 … 373

割り込みステータス・レジスタ … 430, 433

割り込みマスク・フラグ … 431

割り込みマスク・レジスタ … 430, 431

割り込み優先順位ステータス・フラグ … 49

割り込み要求 … 338

割り込み要求許可フラグ … 49

割り込み要求ソース … 426, 428

割り込みの動作タイミング … 446

割り込み要求の保留 … 444

割り込み要求発生ソース … 451

割り込み要求フラグ … 431

割り込み要求フラグ・レジスタ … 430, 431

ワンショット … 237

ワンショット・タイマ … 280

ワンショット・タイマ機能 … 237

ワンショット・タイマ動作スタート … 237

ワンショット・タイマ動作モード … 237

ワンショット・パルス … 146, 174

ワンショット・パルス出力 … 146, 174

ワンショット・パルス出力制御レジスタ … 150, 174

E.2 アルファベットで始まる語句の索引

[A]

- A … 51
- A0 … 32
- A1 … 32
- A2 … 32
- A4 … 32
- A5 … 32
- A6 … 32
- A7 … 32
- A8 … 28, 32, 485
- A9 … 28, 32, 485
- A10 … 28, 32, 485
- A11 … 28, 32, 485
- A12 … 28, 32, 485
- A13 … 28, 32, 485
- A14 … 28, 32, 485
- A15 … 28, 485
- A16 … 29, 485
- A17 … 29, 485
- A18 … 29, 485
- A19 … 29, 485
- AC … 49, 434
- ACKD … 402
- ACKE … 401
- ACKT … 400
- AD0 … 27
- AD1 … 27
- AD2 … 27
- AD3 … 27
- AD4 … 27
- AD5 … 27
- AD6 … 27
- AD7 … 27
- A/Dコンバータ … 319
- A/Dコンバータの割り込み要求 … 338
- A/Dコンバータ・モード・レジスタ … 323
- A/D変換結果 … 327
- A/D変換結果レジスタ … 319
- A/D変換スタート信号 … 415
- A/D変換動作 … 332, 334
- ADCR … 319, 322
- ADM … 323, 429
- ALV0 … 149, 313
- ALV1 … 149, 313
- ALV2 … 227
- ALV3 … 227
- ANI0 … 319
- ANI1 … 319
- ANI2 … 319
- ANI3 … 319
- ANI4 … 319
- ANI5 … 319
- ANI6 … 319
- ANI7 … 319
- ANISO … 324
- ANIS1 … 324
- ANIS2 … 324
- ANO0 … 30
- ANO1 … 30
- ASCK … 26, 363, 369
- ASIM … 352, 354
- ASIS … 353
- ASTB … 29, 485
- AV_{DD} … 30
- AV_{REF} … 30, 321
- AV_{SS} … 30, 321
- AX … 51

[B]

B … 51

- BC ... 51
BRGC ... 361
BRK ... 426
BSYE ... 403
BYTE ... 129
- [c]**
- C ... 51
CALLF命令エントリ ... 43
CALLT命令テーブル ... 43
CE ... 362
 \overline{CE} ... 32
CE0 ... 147, 151
CE1 ... 198, 201
CE2 ... 224, 228
CE3 ... 288
CHT0 ... 455
CHT1 ... 455
CHT2 ... 455
CI ... 26, 225
CIF00 ... 431
CIF01 ... 431
CIF10 ... 431
CIF11 ... 431
CIF20 ... 431
CIF21 ... 431
CISM00 ... 432
CISM01 ... 432
CISM10 ... 432
CISM11 ... 432
CISM20 ... 432
CISM21 ... 432
CL ... 352
CLR01 ... 148
CLR10 ... 200
CLR11 ... 200
CLR21 ... 226
CLR22 ... 226
CLS0 ... 374, 390
CLS1 ... 374, 390
CM ... 200
CMD2 ... 224
CMDD ... 400
CMDT ... 400
CMK00 ... 431
CMK01 ... 431
CMK10 ... 431
CMK11 ... 431
CMK20 ... 431
CMK21 ... 431
CPR00 ... 432
CPR01 ... 432
CPR10 ... 432
CPR11 ... 432
CPR20 ... 432
CPR21 ... 432
CR00 ... 146, 155
CR01 ... 146, 155
CR02 ... 146, 157
CR10 ... 196, 205
CR11 ... 196, 205, 207
CR20 ... 223, 238
CR21 ... 223, 238
CR22 ... 223, 240
CR30 ... 285, 289, 291
CRC0 ... 148, 158
CRC1 ... 200
CRC2 ... 226, 242
CRXE ... 374, 390
CS ... 324, 429
CSIIF ... 431
CSIISM ... 432
CSIM ... 374, 389
CSIMK ... 431

CSIPR ... 432
CTXE ... 374, 390
CY ... 48, 434

[D]

D ... 51
D0 ... 32
D1 ... 32
D2 ... 32
D3 ... 32
D4 ... 32
D5 ... 32
D6 ... 32
D7 ... 32
DACSn, n=0, 1 ... 344
D/Aコンバータ ... 343
D/A変換値設定レジスタ ... 344
DE ... 51
DI ... 434

[E]

E ... 51
EI ... 434
ENO ... 75, 313
EN1 ... 75, 313
ENTO0 ... 149
ENTO1 ... 149
ENTO2 ... 227
ENTO3 ... 227
ES00 ... 416
ES01 ... 416
ES10 ... 416
ES11 ... 416
ES20 ... 416
ES21 ... 416
ES30 ... 417
ES31 ... 417

ES40 ... 417, 428
ES41 ... 417, 428
ES50 ... 417
ES51 ... 417
ESNMI ... 416
EXTR ... 129

[F]

f_{CLK} ... 61
FE ... 353
FR ... 324

[H]

H ... 51
HALTモード ... 523, 526
HALTモードの解除 ... 527
HALTモードの設定 ... 526
HL ... 51
HLT ... 525

[I]

IE ... 49, 434
IEフラグ ... 434
IFO ... 430, 431
IFOH ... 431
IFOL ... 431
IFCH ... 486
IMS ... 487
INTAD ... 338, 429
INTC00 ... 155, 426
INTC01 ... 155, 426
INTC10 ... 132, 205, 426, 466
INTC11 ... 132, 205, 426, 466
INTC20 ... 238, 426
INTC21 ... 238, 426
INTC30 ... 291, 426, 428
INTCSI ... 426

- INTMO ... 415, 416
INTM1 ... 415, 417, 428
INTPO ... 25, 207, 416, 426
INTP1 ... 25, 240, 416, 426
INTP2 ... 25, 221, 416, 426
INTP3 ... 25, 157, 417, 426
INTP4 ... 25, 417, 426, 428
INTP5 ... 25, 319, 338, 417, 426, 429
INTSER ... 358, 426
INTSR ... 357, 426
INTST ... 356, 426
IRAM ... 44
ISMO ... 430, 432
ISMOH ... 432
ISMOL ... 432
ISP ... 49, 434, 439
ISPフラグ ... 439
IST ... 430
- [L]**
L ... 51
LEDダイレクト・ドライブ ... 81, 105, 111
- [M]**
MDL0 ... 362
MDL1 ... 362
MDL2 ... 362
MDL3 ... 362
MK0 ... 430, 431
MK0H ... 431
MK0L ... 431
MM ... 101, 107, 486
MM0 ... 486
MM1 ... 486
MM2 ... 486
MM6 ... 486
MOD0 ... 148, 226, 455
MOD1 ... 148, 226, 374, 390, 455
MOD2 ... 455
MOD3 ... 455
MODE ... 30
MP ... 463
MPD ... 470
MPT ... 470
MR ... 470
MS ... 324, 429
MSBファースト ... 378
MSC ... 459
 μ PD78233 ... 1
 μ PD78234 ... 1
 μ PD78237 ... 1
 μ PD78238 ... 1
 μ PD78P238 ... 1
- [N]**
NC ... 31
NMI ... 25, 426
NMIS ... 433
- [O]**
 \overline{OE} ... 32
OS0 ... 150
OS1 ... 150
OSPC ... 150, 174
OVE ... 353
OVF0 ... 147
OVF1 ... 198, 224
OVF2 ... 224
OW0 ... 525
- [P]**
POH ... 130
POL ... 130
POHM ... 70

- POLM ... 70
POMH ... 129
POML ... 129
P20 ... 416
P21 ... 416
P22 ... 416
P23 ... 416
P24 ... 417
P25 ... 417
P26 ... 417
PC ... 48
PE ... 353
PIF0 ... 431
PIF1 ... 431
PIF2 ... 431
PIF3 ... 431
PIF4 ... 431
PIF5 ... 431
PISMO ... 432
PISM1 ... 432
PISM2 ... 432
PISM3 ... 432
PISM4 ... 432
PISM5 ... 432
PM0 ... 70
PM1 ... 75
PM3 ... 94
PM5 ... 107
PM6 ... 119
PMC3 ... 95
PMK0 ... 431
PMK1 ... 431
PMK2 ... 431
PMK3 ... 431
PMK4 ... 431
PMK5 ... 431
Port0 ... 69
Port1 ... 73
Port2 ... 82
Port3 ... 88
Port4 ... 101
Port5 ... 106
Port6 ... 112
Port7 ... 123
PPG周期 ... 167, 252
PPG周波数 ... 168, 253
PPG出力 ... 167, 252
PPGパルス幅 ... 167, 252
PPR0 ... 432
PPR1 ... 432
PPR2 ... 432
PPR3 ... 432
PPR4 ... 432
PPR5 ... 432
PRO ... 430, 432
PROH ... 432
PROL ... 432
PRAM ... 44
PRM0 ... 287
PRM1 ... 199, 225
PROM ... 549
PROM書き込みの手順 ... 550
PROMプログラミング・モード ... 23, 549
PROM読み出しの手順 ... 552
PRS0 ... 287
PRS1 ... 287
PRS2 ... 287
PRS3 ... 287
PRS10 ... 199
PRS11 ... 199
PRS12 ... 199
PRS20 ... 225
PRS21 ... 225
PRS22 ... 225

PRS23 … 225
 PS0 … 352
 PS1 … 352
 PSW … 48, 430
 PUO … 79, 86, 99, 104, 110, 122
 PUO1 … 79
 PUO2 … 86
 PUO3 … 99
 PUO4 … 104
 PUO5 … 110
 PUO6 … 122
 PW … 487
 PW20 … 486
 PW21 … 486
 PW30 … 487
 PW31 … 487
 PWM0 … 24, 314
 PWM1 … 24, 314
 PWMコントロール・レジスタ … 75, 313
 PWM周期 … 162, 246
 PWM周波数 … 162, 247
 PWM出力 … 162, 246, 311
 PWM出力ポート … 311
 PWM出力ユニット … 311
 PWM信号 … 162
 PWMパルス … 317
 PWMパルス繰り返し周期 … 315
 PWMパルス出力のデューティ … 315
 PWMパルス生成回路 … 312
 PWMパルス幅 … 162, 246
 PWMパルス幅書き換え周期 … 317
 PWMモジュロ・レジスタ … 314
 PWMC … 75, 313
 R2 … 54
 R3 … 54
 R4 … 54
 R5 … 54
 R6 … 54
 R7 … 54
 RBS0 … 49, 434
 RBS1 … 49, 434
 RC … 470
 \overline{RD} … 29, 485
 \overline{REFRQ} … 29
 RELD … 400
 RELT … 400
 \overline{RESET} … 30, 32
 RETB … 434
 RETB命令 … 435
 RETI … 434
 RETI命令 … 435
 RFEN … 511
 RFLV … 511
 RFM … 511
 RFT0 … 511
 RFT1 … 511
 ROMレス … 45
 RPO … 54
 RP1 … 54
 RP2 … 54
 RP3 … 54
 RT0 … 150
 RT1 … 150
 RTPC … 70, 129
 RXB … 351
 RxD … 27
 RXE … 352

[R]

R0 … 54
 R1 … 54

[S]

SAR … 322

SBO ... 27, 387
SBIC ... 391
SBIモード ... 371, 384
SCK ... 352
 $\overline{\text{SCK}}$... 27, 377, 387
 $\overline{\text{SCK}}$ 端子 ... 380
SERIF ... 431
SERMK ... 431
SERPR ... 432
SFR ... 55
SFRポインタ ... 463
SFRP ... 463
SI ... 26, 377
SI端子 ... 381
SIO ... 373, 393
SL ... 352
SO ... 27, 377
SO端子 ... 380
SOラッチ ... 373
SP ... 50
SRIF ... 431
SRISM ... 432
SRMK ... 431
SRPR ... 432
ST0 ... 150
ST1 ... 150
STBC ... 525
STIF ... 431
STISM ... 432
STMK ... 431
STOPモード ... 523, 530
STOPモードの解除 ... 531
STOPモードの設定 ... 530
STP ... 525
STPR ... 432
SYNO ... 313
SYN1 ... 313

[T]

TM0 ... 146, 151
TM1 ... 196, 201
TM2 ... 223, 228
TM3 ... 285, 288
TMC0 ... 147, 286
TMC1 ... 198, 224
TO0 ... 27
TO1 ... 27
TO2 ... 27
TO3 ... 27
TOC ... 149, 227
TPS0 ... 362
TPS1 ... 362
TPS2 ... 362
TRG ... 324, 429
TxD ... 27
TXS ... 351

[U]

UART専用ポー・レート・ジェネレータ ... 349

[V]

V_{DD} ... 30, 32
 V_{PP} ... 32
 V_{SS} ... 31, 32

[W]

$\overline{\text{WAIT}}$... 29
 $\overline{\text{WR}}$... 29, 485
WUP ... 374, 390

[X]

X ... 51
X1 ... 30, 61
X2 ... 30, 61

[Z]

Z… 49, 434

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD78234サブシリーズ ユーザーズ・マニュアル ハードウェア編
(IEU-718H(第9版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ()
 ご住所 ()
 お電話番号 ()
 お仕事の内容 ()
 お名前 ()

1. ご評価 (各欄に○をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
そ の 他 ()					
()					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他)
 理由 []

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他)
 理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは
 NEC 販売員, 特約店販売員, NEC 半応技術部員, その他 ()

ご協力ありがとうございました。

下記あてに FAX で送信いただくか, 最寄りの販売員にコピーをお渡しください。

NEC 半導体インフォメーションセンター
 FAX : (044)548-7900

— お問い合わせは、最寄りの NEC へ —

【営業関係お問い合わせ先】

コンシューマ半導体販売事業部
 OA半導体販売事業部 〒108-01 東京都港区芝五丁目7番1号(NEC本社ビル) 東京 (03)3454-1111 (大代表)
 インドストリ半導体販売事業部

中部支社 半導体販売部 〒460 名古屋市中区栄四丁目14番5号(松下中日ビル) 名古屋 (052)242-2755

関西支社 半導体第一販売部 〒540 大阪市中央区城見一丁目4番24号(NEC関西ビル) 大阪 (06) 945-3178
 半導体第二販売部 大阪 (06) 945-3200
 半導体第三販売部 大阪 (06) 945-3208

北海道支社	札幌 (011)231-0161	小笠原支店	小笠原 (0285)24-5011	福井支店	福井 (0776)22-1866
東北支社	仙台 (022)261-5511	長松支店	長松 (0262)35-1444	富山支店	富山 (0764)31-8461
岩手支店	盛岡 (0196)51-4344	本支店	本 (0263)35-1666	京都支社	京都 (075)344-7824
山形支店	山形 (0236)23-5511	上諏訪支店	上諏訪 (0266)53-5350	神戸支社	神戸 (078)332-3311
山形支店	山形 (0249)23-5511	甲斐支店	甲斐 (0552)24-4141	中国支社	広島 (082)242-5504
いわき支店	いわき (0246)21-5511	立川支店	立川 (048)641-1411	鳥取支店	鳥取 (0857)27-5311
長岡支店	長岡 (0258)36-2155	千葉支店	千葉 (0425)26-5981	岡山支店	岡山 (086)225-4455
水戸支店	水戸 (0292)26-1717	立川支店	立川 (043)238-8116	四国支店	高松 (0878)36-1200
神奈川支店	横浜 (045)324-5511	静岡支店	静岡 (054)255-2211	新潟支店	新潟 (0897)32-5001
群馬支店	高崎 (0273)26-1255	静岡支店	静岡 (0559)63-4455	松山支店	松山 (0899)45-4111
太田支店	太田 (0276)46-4011	浜松支店	浜松 (053)452-2711	九州支社	福岡 (092)271-7700
宇都宮支店	宇都宮 (0286)21-2281	北陸支店	金沢 (0762)23-1621	北九州支店	北九州 (093)541-2887

【本資料に関する技術お問い合わせ先】

半導体応用技術本部 〒210 川崎市幸区塚越三丁目484番地 川崎 (044)548-7924
 マイクロコンピュータ技術部

半導体応用技術本部 〒460 名古屋市中区栄四丁目14番5号(松下中日ビル) 名古屋 (052)242-2762
 中部応用システム技術部

半導体応用技術本部 〒540 大阪市中央区城見一丁目4番24号(NEC関西ビル) 大阪 (06) 945-3383
 西日本応用システム技術部

半導体
 インフォメーションセンター
 FAX(044)548-7900
 (FAXにてお願い致します)