

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

μPD780988 サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD780982	μPD780982(A)
μPD780983	μPD780983(A)
μPD780984	μPD780984(A)
μPD780986	μPD780986(A)
μPD780988	μPD780988(A)
μPD78F0988A	μPD78F0988A(A)

[メモ]

目次要約

第1章	概 説	...	27
第2章	端子機能	...	40
第3章	CPUアーキテクチャ	...	51
第4章	ポート機能	...	88
第5章	クロック発生回路	...	104
第6章	16ビット・タイマ/イベント・カウンタ	...	112
第7章	8ビット・タイマ/イベント・カウンタ	...	146
第8章	10ビット・インバータ制御用タイマ	...	171
第9章	ウォッチドッグ・タイマ	...	185
第10章	リアルタイム出力ポート	...	192
第11章	A/Dコンバータ	...	215
第12章	シリアル・インタフェースUART00, UART01	...	236
第13章	シリアル・インタフェースSIO3	...	267
第14章	割り込み機能	...	275
第15章	外部デバイス拡張機能	...	297
第16章	スタンバイ機能	...	310
第17章	リセット機能	...	318
第18章	μ PD78F0988A	...	322
第19章	命令セットの概要	...	365
第20章	電気的特性（拡張規格品）	...	380
第21章	電気的特性（従来規格品）	...	399
第22章	外形図	...	418
第23章	半田付け推奨条件	...	421
付録A	開発ツール	...	424
付録B	ターゲット・システム設計上の注意	...	436
付録C	レジスタ索引	...	440
付録D	改版履歴	...	447

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIPは、NECエレクトロニクスの登録商標です。

IEBusは、NECエレクトロニクスの商標です。

WindowsおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700、HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

イーサネットは、米国ゼロックス社の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

- 非該当品：μPD78F0988ACW, 78F0988ACW-A, 78F0988AGC-AB8, 78F0988AGC-AB8-A,
μPD78F0988AGC-8BS, 78F0988AGC-8BS-A, 78F0988AGC(A)-AB8
- ユーザ判定品：μPD780982CW-xxx, 780982CW-xxx-A, 780983CW-xxx, 780983CW-xxx-A,
μPD780984CW-xxx, 780984CW-xxx-A, 780986CW-xxx, 780986CW-xxx-A,
μPD780988CW-xxx, 780988CW-xxx-A, 780982GC-xxx-8BS, 780982GC-xxx-8BS-A
μPD780983GC-xxx-8BS, 780983GC-xxx-8BS-A, 780984GC-xxx-8BS,
μPD780986GC-xxx-8BS, 780986GC-xxx-8BS-A, 780988GC-xxx-8BS,
μPD780988GC-xxx-8BS-A, 780982GC(A)-xxx-8BS, 780983GC(A)-xxx-8BS,
μPD780984GC(A)-xxx-8BS, 780986GC(A)-xxx-8BS, 780988GC(A)-xxx-8BS

- 本資料に記載されている内容は2005年7月現在のものです。今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

本版で改訂された主な箇所 (1/2)

箇 所	内 容
U13029JJ6V0UD00 U13029JJ7V0UD00	
全般	<ul style="list-style-type: none"> ・パッケージの追加 64ピン・プラスチックLQFP (14x14) μ PD780982GC-x x x-8BS, 780983GC-x x x-8BS, 780984GC-x x x-8BS μ PD780986GC-x x x-8BS, 780988GC-x x x-8BS, 78F0988AGC-8BS μ PD780982GC(A)-x x x-8BS, 780983GC(A)-x x x-8BS, 780984GC(A)-x x x-8BS μ PD780986GC(A)-x x x-8BS, 780988GC(A)-x x x-8BS ・電源電圧範囲を下記のように変更 V_{DD} = 4.0 ~ 5.5 V V_{DD} = 3.0 ~ 5.5 V (拡張規格品の場合), V_{DD} = 4.0 ~ 5.5 V (従来規格品の場合) ・システム・クロック発振周波数 (f_x) を下記のように変更 f_x = 8.38 MHz f_x = 12 MHz (拡張規格品のみ), f_x = 8.38 MHz ・最小命令実行時間を変更
p.27	1.1 拡張規格品と従来規格品について を追加
p.31	1.6 端子接続図 (Top View)
p.32	<ul style="list-style-type: none"> ・64ピン・プラスチックSDIP (19.05 mm (750)) に注意2, 3を追加 ・64ピン・プラスチックQFP (14x14), 64ピン・プラスチックLQFP (14x14) に注意2, 3を追加
p.59	3.1.2 内部データ・メモリ空間 (1) 内部高速RAM, (2) 内部拡張RAMに説明文を追加
p.105	表5 - 2 CPUクロックと最小命令実行時間の関係 を変更
p.111	図5 - 5 CPUクロックの切り替え を変更
p.123	図6 - 9 プリスケラ・モード・レジスタ00のフォーマット を変更
p.124	図6 - 10 プリスケラ・モード・レジスタ01のフォーマット を変更
p.129	図6 - 16 PPG出力の構成図 を追加
p.129	図6 - 17 PPG出力動作のタイミング を追加
p.154	図7 - 7 タイマ・クロック選択レジスタ50のフォーマット を変更
p.155	図7 - 8 タイマ・クロック選択レジスタ51のフォーマット を変更
p.156	図7 - 9 タイマ・クロック選択レジスタ52のフォーマット を変更
p.176	図8 - 2 インバータ・タイマ・コントロール・レジスタ7のフォーマット を変更
p.185	表9 - 1 ウォッチドッグ・タイマの暴走検出時間 を変更
p.186	表9 - 2 インターバル時間 を変更
p.187	図9 - 2 ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット を変更
p.189	図9 - 4 発振安定時間選択レジスタのフォーマット を変更
p.190	表9 - 4 ウォッチドッグ・タイマの暴走検出時間 を変更
p.191	表9 - 5 インターバル・タイマのインターバル時間 を変更
p.217	11.2 A/Dコンバータの構成 (2) A/D変換結果レジスタ0 (ADCR0) にレジスタの図を追加
p.219	図11 - 2 A/Dコンバータ・モード・レジスタ0のフォーマット を変更
p.228	11.5 A/Dコンバータの注意事項 (6) ANI0-ANI7端子の入カインピーダンスについてを追加
p.247	図12 - 9 ボー・レート・ジェネレータ・コントロール・レジスタ0のフォーマット を変更

本版で改訂された主な箇所 (2/2)

箇 所	内 容
p.248	図12 - 10 ボー・レート・ジェネレータ・コントロール・レジスタ1のフォーマットを変更
p.250	12.4.2 アシクロナス・シリアル・インタフェース (UART) モード ・説明文を変更
p.254	・(1) レジスタの設定の(c) ボー・レート・ジェネレータ・コントロール・レジスタ0, 1 (BRGC00, BRGC01) を変更
p.256	表12 - 2 5ビット・カウンタのソース・クロックとmの値の関係 (UART00の場合) を変更
p.256	表12 - 3 5ビット・カウンタのソース・クロックとmの値の関係 (UART01の場合) を変更
p.257	表12 - 4 システム・クロックとボー・レートの関係を変更
p.264	12.4.3 赤外線データ転送モードに備考を追加
p.265	表12 - 7 赤外線データ転送モードで設定可能なボー・レートを変更
p.270	図13 - 2 シリアル動作モード・レジスタ3のフォーマットを変更
p.297	15.1 外部デバイス拡張機能に注意を追加
p.301	図15 - 2 メモリ拡張モード・レジスタのフォーマットのR/WをWに変更
p.311	図16 - 1 発振安定時間選択レジスタのフォーマットを変更
p.314	図16 - 3 HALTモードのRESET入力による解除を変更
p.317	図16 - 5 STOPモードのRESET入力による解除を変更
p.325-p.339	フラッシュ・メモリ・プログラミングに関する内容を, 18.3 フラッシュ・メモリの特徴として改訂
p.347	18.4.5 エントリRAM領域 (c) 書き込み時間データの表を変更
p.380	第20章 電気的特性 (拡張規格品) を追加
p.399	第21章 電気的特性 (従来規格品) を追加
p.418	第22章 外形図を追加
p.421	第23章 半田付け推奨条件を追加
p.424-p.435	付録A 開発ツールを変更
p.436	付録B ターゲット・システム設計上の注意を追加
U13029JJ7V0UD00	U13029JJ7V1UD00
p.29	1.4 オーダー情報を変更
p.421	第23章 半田付け推奨条件を変更

本文欄外の★印は、本版で改訂された主な箇所を示しています。

はじめに

対象者 このマニュアルは、 μ PD780988サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD780988サブシリーズのマニュアルは、このマニュアルと命令編（78K/0シリーズ共通）の2冊に分かれています。

μ PD780988サブシリーズ ユーザーズ・マニュアル (このマニュアル)	78K/0シリーズ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

μ PD780982(A), 780983(A), 780984(A), 780986(A), 780988(A), 78F0988A(A)のマニュアルとしてお使いになる方へ

特に機能面での違いがないかぎり、 μ PD780982, 780983, 780984, 780986, 780988, 78F0988Aを代表品種として説明しています。 μ PD780982(A), 780983(A), 780984(A), 780986(A), 780988(A), 78F0988A(A)のマニュアルとしてお使いの場合は、 μ PD780982, 780983, 780984, 780986, 780988, 78F0988Aをそれぞれ μ PD780982(A), 780983(A), 780984(A), 780986(A), 780988(A), 78F0988A(A)と読み替えてください。

一通りの機能を理解しようとするとき

目次に従って読んでください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がRA78K0では予約語に、CC78K0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

レジスタ名が分かっている、レジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

μ PD780988サブシリーズの命令機能の詳細を知りたいとき

別冊の**78K/0シリーズ ユーザーズ・マニュアル 命令編 (U12326J)**を参照してください。

注意 このマニュアル中の使用例は、一般電気機器用の『標準』品質水準用に作成してあります。『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は、実際に使用する各部品および回路について、その品質についてご検討のうえご使用ください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子, 信号名称に上線)
	注	: 本文中に付けた注の説明
	注意	: 気を付けて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数... xxx または xxx B 10進数... xxx 16進数... xxx H

★ 関連資料

関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μPD780988サブシリーズ ユーザーズ・マニュアル	このマニュアル	U13029E
μPD780988サブシリーズ アプリケーション・ノート インバータ制御編	U13119J	U13119E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E
78K/0シリーズ アプリケーション・ノート 基礎編 ()	U12704J	U12704E

開発ツール(ソフトウェア)の資料(ユーザーズ・マニュアル)

資料名	資料番号		
	和文	英文	
RA78K0 アセンブラ・パッケージ	操作編	U14445J	U14445E
	言語編	U14446J	U14446E
	構造化アセンブリ言語編	U11789J	U11789E
CC78K0 Cコンパイラ	操作編	U14297J	U14297E
	言語編	U14298J	U14298E
SM78K0S, SM78K0 システム・シミュレータ Ver.2.10以上	操作編 (Windows®ベース)	U14611J	U14611E
SM78Kシリーズ システム・シミュレータ Ver.2.10以上	外部部品ユーザ・オープン・ インタフェース仕様編	U15006J	U15006E
ID78Kシリーズ 統合ディバッガ Ver.2.30以上	操作編 (Windowsベース)	U15185J	U15185E
ID78K0 統合ディバッガ EWSベース	レファレンス編	U11151J	-
RX78K0 リアルタイムOS	基礎編	U11537J	U11537E
	インストール編	U11536J	U11536E
プロジェクト・マネージャ Ver.3.12以上 (Windowsベース)		U14610J	U14610E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

開発ツール（ハードウェア）の資料（ユーザズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K0-NS インサーキット・エミュレータ	U13731J	U13731E
IE-78K0-NS-A インサーキット・エミュレータ	U14889J	U14889E
IE-78K0-NS-PA パフォーマンス・ボード	U16109J	作成予定
IE-78001-R-A インサーキット・エミュレータ	U14142J	U14142E
IE-78K0-R-EX1 インサーキット・エミュレータ	作成予定	作成予定

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザズ・マニュアル	U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザズ・マニュアル	U15260J	U15260E

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE - Products and Packages -	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 27

- ★ 1.1 拡張規格品と従来規格品について ... 27
- 1.2 特 徴 ... 28
- 1.3 応用分野 ... 29
- 1.4 オーダ情報 ... 29
- 1.5 端子接続図 (Top View) ... 31
- 1.6 78K/0シリーズの展開 ... 34
- 1.7 ブロック図 ... 37
- 1.8 機能概要 ... 38
- 1.9 標準水準品と(A)製品との違い ... 39
- 1.10 フラッシュ・メモリ製品 μ PD78F0988Aと μ PD78F0988との違い ... 39

第2章 端子機能 ... 40

- 2.1 端子機能一覧 ... 40
- 2.2 端子機能の説明 ... 44
 - 2.2.1 P00-P03 (Port0) ... 44
 - 2.2.2 P10-P17 (Port1) ... 44
 - 2.2.3 P20-P26 (Port2) ... 45
 - 2.2.4 P30-P37 (Port3) ... 45
 - 2.2.5 P40-P47 (Port4) ... 45
 - 2.2.6 P50-P57 (Port5) ... 46
 - 2.2.7 P64-P67 (Port6) ... 47
 - 2.2.8 TO70-TO75 ... 47
 - 2.2.9 AVREF ... 47
 - 2.2.10 AVDD ... 47
 - 2.2.11 AVSS ... 47
 - 2.2.12 $\overline{\text{RESET}}$... 47
 - 2.2.13 X1, X2 ... 47
 - 2.2.14 VDD0, VDD1 ... 47
 - 2.2.15 VSS0, VSS1 ... 48
 - 2.2.16 VPP (μ PD78F0988Aのみ) ... 48
 - 2.2.17 TEST (マスクROM製品のみ) ... 48
- 2.3 端子の入出力回路と未使用端子の処理 ... 49

第3章 CPUアーキテクチャ ... 51

- 3.1 メモリ空間 ... 51
 - 3.1.1 内部プログラム・メモリ空間 ... 58
 - 3.1.2 内部データ・メモリ空間 ... 59
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 59
 - 3.1.4 外部メモリ空間 ... 59
 - 3.1.5 データ・メモリ・アドレッシング ... 60
- 3.2 プロセッサ・レジスタ ... 66
 - 3.2.1 制御レジスタ ... 66
 - 3.2.2 汎用レジスタ ... 69

3.2.3	特殊機能レジスタ (SFR : Special Function Register)	...	71
3.3	命令アドレスのアドレッシング	...	76
3.3.1	レラティブ・アドレッシング	...	76
3.3.2	イミディエイト・アドレッシング	...	77
3.3.3	テーブル・インダイレクト・アドレッシング	...	78
3.3.4	レジスタ・アドレッシング	...	79
3.4	オペランド・アドレスのアドレッシング	...	80
3.4.1	インプライド・アドレッシング	...	80
3.4.2	レジスタ・アドレッシング	...	81
3.4.3	ダイレクト・アドレッシング	...	82
3.4.4	ショート・ダイレクト・アドレッシング	...	83
3.4.5	特殊機能レジスタ (SFR) アドレッシング	...	84
3.4.6	レジスタ・インダイレクト・アドレッシング	...	85
3.4.7	ベースト・アドレッシング	...	86
3.4.8	ベースト・インデクスト・アドレッシング	...	87
3.4.9	スタック・アドレッシング	...	87

第4章 ポート機能 ... 88

4.1	ポートの機能	...	88
4.2	ポートの構成	...	90
4.2.1	ポート0	...	91
4.2.2	ポート1	...	92
4.2.3	ポート2	...	93
4.2.4	ポート3	...	94
4.2.5	ポート4	...	95
4.2.6	ポート5	...	96
4.2.7	ポート6	...	98
4.3	ポート機能を制御するレジスタ	...	99
4.4	ポート機能の動作	...	102
4.4.1	入出力ポートへの書き込み	...	102
4.4.2	入出力ポートからの読み出し	...	102
4.4.3	入出力ポートでの演算	...	103

第5章 クロック発生回路 ... 104

5.1	クロック発生回路の機能	...	104
5.2	クロック発生回路の構成	...	104
5.3	クロック発生回路を制御するレジスタ	...	105
5.4	システム・クロック発振回路	...	106
5.4.1	システム・クロック発振回路	...	106
5.4.2	分周回路	...	108
5.5	クロック発生回路の動作	...	109
5.6	CPUクロックの設定の変更	...	110
5.6.1	CPUクロックの切り替えに要する時間	...	110
5.6.2	CPUクロックの切り替え手順	...	111

第6章 16ビット・タイマ/イベント・カウンタ ... 112

6.1	16ビット・タイマ/イベント・カウンタの概要	...	112
6.2	16ビット・タイマ/イベント・カウンタの機能	...	112
6.3	16ビット・タイマ/イベント・カウンタの構成	...	113

6.4	16ビット・タイマ/イベント・カウンタを制御するレジスタ	...	116
6.5	16ビット・タイマ/イベント・カウンタの動作	...	126
6.5.1	インターバル・タイマとしての動作	...	126
6.5.2	PPG出力としての動作	...	128
6.5.3	パルス幅測定としての動作	...	130
6.5.4	外部イベント・カウンタとしての動作	...	137
6.5.5	方形波出力としての動作	...	138
6.6	16ビット・タイマ/イベント・カウンタの注意事項	...	141
第7章 8ビット・タイマ/イベント・カウンタ ... 146			
7.1	8ビット・タイマ/イベント・カウンタの概要	...	146
7.2	8ビット・タイマ/イベント・カウンタの機能	...	146
7.3	8ビット・タイマ/イベント・カウンタの構成	...	147
7.4	8ビット・タイマ/イベント・カウンタを制御するレジスタ	...	150
7.5	8ビット・タイマ/イベント・カウンタの動作	...	157
7.5.1	インターバル・タイマ(8ビット)としての動作	...	157
7.5.2	外部イベント・カウンタとしての動作	...	161
7.5.3	方形波出力(8ビット分解能)としての動作	...	162
7.5.4	8ビットPWM出力としての動作	...	163
7.5.5	インターバル・タイマ(16ビット)としての動作	...	166
7.6	8ビット・タイマ/イベント・カウンタの注意事項	...	169
第8章 10ビット・インバータ制御用タイマ ... 171			
8.1	10ビット・インバータ制御用タイマの概要	...	171
8.2	10ビット・インバータ制御用タイマの機能	...	171
8.3	10ビット・インバータ制御用タイマの構成	...	171
8.4	10ビット・インバータ制御用タイマを制御するレジスタ	...	175
8.5	10ビット・インバータ制御用タイマの動作	...	179
第9章 ウォッチドッグ・タイマ ... 185			
9.1	ウォッチドッグ・タイマの概要	...	185
9.2	ウォッチドッグ・タイマの機能	...	185
9.3	ウォッチドッグ・タイマの構成	...	186
9.4	ウォッチドッグ・タイマを制御するレジスタ	...	187
9.5	ウォッチドッグ・タイマの動作	...	190
9.5.1	ウォッチドッグ・タイマとしての動作	...	190
9.5.2	インターバル・タイマとしての動作	...	191
第10章 リアルタイム出力ポート ... 192			
10.1	リアルタイム出力ポートの機能	...	192
10.2	リアルタイム出力ポートの構成	...	192
10.3	リアルタイム出力ポートを制御するレジスタ	...	197
10.4	リアルタイム出力ポートの動作	...	203
10.5	リアルタイム出力ポートの使用方法	...	213
10.6	リアルタイム出力ポートの注意事項	...	214
第11章 A/Dコンバータ ... 215			
11.1	A/Dコンバータの機能	...	215

11.2	A/Dコンバータの構成	...	215
11.3	A/Dコンバータを制御するレジスタ	...	218
11.4	A/Dコンバータの動作	...	221
11.4.1	A/Dコンバータの基本動作	...	221
11.4.2	入力電圧と変換結果	...	223
11.4.3	A/Dコンバータの動作モード	...	224
11.5	A/Dコンバータの注意事項	...	227
11.6	A/Dコンバータ特性表の読み方	...	233
第12章	シリアル・インタフェースUART00, UART01	...	236
12.1	シリアル・インタフェースの機能	...	236
12.2	シリアル・インタフェースの構成	...	237
12.3	シリアル・インタフェースを制御するレジスタ	...	241
12.4	シリアル・インタフェースの動作	...	249
12.4.1	動作停止モード	...	249
12.4.2	アシンクロナス・シリアル・インタフェース(UART)モード	...	250
12.4.3	赤外線データ転送モード	...	264
第13章	シリアル・インタフェースSIO3	...	267
13.1	シリアル・インタフェースの機能	...	267
13.2	シリアル・インタフェースの構成	...	268
13.3	シリアル・インタフェースを制御するレジスタ	...	269
13.4	シリアル・インタフェースの動作	...	271
13.4.1	動作停止モード	...	271
13.4.2	3線式シリアルI/Oモード	...	272
第14章	割り込み機能	...	275
14.1	割り込み機能の種類	...	275
14.2	割り込み要因と構成	...	275
14.3	割り込み機能を制御するレジスタ	...	280
14.4	割り込み処理動作	...	286
14.4.1	ノンマスカブル割り込み要求の受け付け動作	...	286
14.4.2	マスカブル割り込み要求の受け付け動作	...	289
14.4.3	ソフトウェア割り込み要求の受け付け動作	...	291
14.4.4	多重割り込み処理	...	292
14.4.5	割り込み要求の保留	...	295
第15章	外部デバイス拡張機能	...	297
15.1	外部デバイス拡張機能	...	297
15.2	外部デバイス拡張機能を制御するレジスタ	...	301
15.3	外部デバイス拡張機能のタイミング	...	304
15.4	メモリとの接続例	...	309
第16章	スタンバイ機能	...	310
16.1	スタンバイ機能と構成	...	310
16.1.1	スタンバイ機能	...	310
16.1.2	スタンバイ機能を制御するレジスタ	...	311

16.2	スタンバイ機能の動作	...	312	
16.2.1	HALTモード	...	312	
16.2.2	STOPモード	...	315	
第17章	リセット機能	...	318	
第18章	μPD78F0988A	...	322	
18.1	メモリ・サイズ切り替えレジスタ	...	323	
18.2	内部拡張RAMサイズ切り替えレジスタ	...	324	
18.3	フラッシュ・メモリの特徴	...	325	
18.3.1	プログラミング環境	...	325	
18.3.2	通信方式	...	326	
18.3.3	オンボード上の端子処理	...	329	
★	18.3.4	フラッシュ書き込み用アダプタの接続	...	332
18.4	セルフ書き込みによるフラッシュ・メモリ・プログラミング	...	340	
18.4.1	フラッシュ・メモリの構成	...	340	
18.4.2	フラッシュ・プログラミング・モード・コントロール・レジスタ	...	341	
18.4.3	セルフ書き込みの手順	...	342	
18.4.4	CPU資源	...	346	
18.4.5	エントリRAM領域	...	346	
18.4.6	セルフ書き込みサブルーチン	...	348	
18.4.7	セルフ書き込み回路構成	...	364	
第19章	命令セットの概要	...	365	
19.1	凡例	...	366	
19.1.1	オペランドの表現形式と記述方法	...	366	
19.1.2	オペレーション欄の説明	...	367	
19.1.3	フラグ動作欄の説明	...	367	
19.2	オペレーション一覧	...	368	
19.3	アドレッシング別命令一覧	...	376	
★	第20章	電気的特性（拡張規格品）	...	380
★	第21章	電気的特性（従来規格品）	...	399
★	第22章	外形図	...	418
★	第23章	半田付け推奨条件	...	421
	付録A	開発ツール	...	424
★	A.1	ソフトウェア・パッケージ	...	426
	A.2	言語処理用ソフトウェア	...	426
★	A.3	制御ソフトウェア	...	427
	A.4	フラッシュ・メモリ書き込み用ツール	...	427
	A.5	デバッグ用ツール（ハードウェア）	...	428
	A.5.1	インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-Aを使用する場合	...	428
	A.5.2	インサーキット・エミュレータ IE-78001-R-Aを使用する場合	...	429

	A.6	ディバグ用ツール(ソフトウェア)	...	430
★	A.7	組み込み用ソフトウェア	...	431
	A.8	78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法	...	432
	A.9	変換ソケット, 変換アダプタの外形図	...	433
★	付録B	ターゲット・システム設計上の注意	...	436
	付録C	レジスタ索引	...	440
	C.1	レジスタ索引(50音順)	...	440
	C.2	レジスタ索引(アルファベット順)	...	443
	付録D	改版履歴	...	447

図の目次 (1/6)

図番号	タイトル, ページ
2 - 1	端子の入出力回路一覧 ... 50
3 - 1	メモリ・マップ (μ PD780982) ... 52
3 - 2	メモリ・マップ (μ PD780983) ... 53
3 - 3	メモリ・マップ (μ PD780984) ... 54
3 - 4	メモリ・マップ (μ PD780986) ... 55
3 - 5	メモリ・マップ (μ PD780988) ... 56
3 - 6	メモリ・マップ (μ PD78F0988A) ... 57
3 - 7	データ・メモリのアドレッシング (μ PD780982) ... 60
3 - 8	データ・メモリのアドレッシング (μ PD780983) ... 61
3 - 9	データ・メモリのアドレッシング (μ PD780984) ... 62
3 - 10	データ・メモリのアドレッシング (μ PD780986) ... 63
3 - 11	データ・メモリのアドレッシング (μ PD780988) ... 64
3 - 12	データ・メモリのアドレッシング (μ PD78F0988A) ... 65
3 - 13	プログラム・カウンタの構成 ... 66
3 - 14	プログラム・ステータス・ワードの構成 ... 66
3 - 15	スタック・ポインタの構成 ... 68
3 - 16	スタック・メモリへ退避されるデータ ... 68
3 - 17	スタック・メモリから復帰されるデータ ... 68
3 - 18	汎用レジスタの構成 ... 70
4 - 1	ポートの種類 ... 88
4 - 2	P00-P03のブロック図 ... 91
4 - 3	P10-P17のブロック図 ... 92
4 - 4	P20-P26のブロック図 ... 93
4 - 5	P30-P37のブロック図 ... 94
4 - 6	P40-P47のブロック図 ... 95
4 - 7	P50のブロック図 ... 96
4 - 8	P51-P57のブロック図 ... 97
4 - 9	P64-P67のブロック図 ... 98
4 - 10	ポート・モード・レジスタのフォーマット ... 100
4 - 11	プルアップ抵抗オプション・レジスタのフォーマット ... 101
5 - 1	クロック発生回路のブロック図 ... 104
5 - 2	プロセッサ・クロック・コントロール・レジスタのフォーマット ... 105
5 - 3	システム・クロック発振回路の外付け回路 ... 106
5 - 4	発振子の接続の悪い例 ... 107
5 - 5	CPUクロックの切り替え ... 111
6 - 1	16ビット・タイマ/イベント・カウンタ00のブロック図 ... 113

図の目次 (2/6)

図番号	タイトル, ページ
6 - 2	16ビット・タイマ/イベント・カウンタ01のブロック図 ... 114
6 - 3	16ビット・タイマ・モード・コントロール・レジスタ00のフォーマット ... 117
6 - 4	16ビット・タイマ・モード・コントロール・レジスタ01のフォーマット ... 118
6 - 5	キャプチャ/コンペア・コントロール・レジスタ00のフォーマット ... 119
6 - 6	キャプチャ/コンペア・コントロール・レジスタ01のフォーマット ... 120
6 - 7	タイマ出力コントロール・レジスタ00のフォーマット ... 121
6 - 8	タイマ出力コントロール・レジスタ01のフォーマット ... 122
6 - 9	プリスケアラ・モード・レジスタ00のフォーマット ... 123
6 - 10	プリスケアラ・モード・レジスタ01のフォーマット ... 124
6 - 11	ポート・モード・レジスタ5のフォーマット ... 125
6 - 12	インターバル・タイマ動作時の制御レジスタ設定内容 ... 126
6 - 13	インターバル・タイマの構成図 ... 127
6 - 14	インターバル・タイマ動作のタイミング ... 127
6 - 15	PPG出力動作時の制御レジスタ設定内容 ... 128
6 - 16	PPG出力の構成図 ... 129
6 - 17	PPG出力動作のタイミング ... 129
6 - 18	フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容 ... 130
6 - 19	フリー・ランニング・カウンタによるパルス幅測定の構成図 ... 131
6 - 20	フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時) ... 131
6 - 21	フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容 ... 132
6 - 22	立ち上がりエッジ指定時のCR01nキャプチャ動作 ... 133
6 - 23	フリー・ランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時) ... 133
6 - 24	フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容 ... 134
6 - 25	フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) ... 135
6 - 26	リスタートによるパルス幅測定時の制御レジスタ設定内容 ... 136
6 - 27	リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) ... 136
6 - 28	外部イベント・カウンタ・モード時の制御レジスタ設定内容 ... 137
6 - 29	外部イベント・カウンタの構成図 ... 138
6 - 30	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 138
6 - 31	方形波出力モード時の制御レジスタ設定内容 ... 139
6 - 32	方形波出力動作のタイミング ... 140
6 - 33	16ビット・タイマ・カウンタのスタート・タイミング ... 141
6 - 34	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 141
6 - 35	キャプチャ・レジスタのデータ保持タイミング ... 142
6 - 36	OVF0nフラグの動作タイミング ... 143
7 - 1	8ビット・タイマ/イベント・カウンタ50のブロック図 ... 147
7 - 2	8ビット・タイマ/イベント・カウンタ51のブロック図 ... 148
7 - 3	8ビット・タイマ/イベント・カウンタ52のブロック図 ... 148

図の目次 (3/6)

図番号	タイトル, ページ
7 - 4	8ビット・タイマ・モード・コントロール・レジスタ50のフォーマット ... 151
7 - 5	8ビット・タイマ・モード・コントロール・レジスタ51のフォーマット ... 152
7 - 6	8ビット・タイマ・モード・コントロール・レジスタ52のフォーマット ... 153
7 - 7	タイマ・クロック選択レジスタ50のフォーマット ... 154
7 - 8	タイマ・クロック選択レジスタ51のフォーマット ... 155
7 - 9	タイマ・クロック選択レジスタ52のフォーマット ... 156
7 - 10	ポート・モード・レジスタ2のフォーマット ... 156
7 - 11	インターバル・タイマ動作のタイミング ... 158
7 - 12	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 161
7 - 13	方形波出力動作のタイミング ... 162
7 - 14	PWM出力の動作タイミング ... 164
7 - 15	CR5n変更による動作のタイミング ... 165
7 - 16	16ビット分解能カスケード接続モード (TM50とTM51の場合) ... 167
7 - 17	16ビット分解能カスケード接続モード (TM51とTM52の場合) ... 169
7 - 18	8ビット・タイマ・カウンタのスタート・タイミング ... 169
7 - 19	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 170
8 - 1	10ビット・インバータ制御用タイマのブロック図 ... 172
8 - 2	インバータ・タイマ・コントロール・レジスタ7のフォーマット ... 176
8 - 3	インバータ・タイマ・モード・レジスタ7のフォーマット ... 177
8 - 4	TM7の動作タイミング (基本動作) ... 181
8 - 5	TM7の動作タイミング (CMn (BFCMn) CM3 (BFCM3)) ... 182
8 - 6	TM7の動作タイミング (CMn (BFCMn) = 000H) ... 183
8 - 7	TM7の動作タイミング (CMn (BFCMn) = CM3 - 1/2DTM, CMn (BFCMn) > CM3 - 1/2DTM) ... 184
9 - 1	ウォッチドッグ・タイマのブロック図 ... 186
9 - 2	ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット ... 187
9 - 3	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 188
9 - 4	発振安定時間選択レジスタのフォーマット ... 189
10 - 1	リアルタイム出力ポートのブロック図 ... 193
10 - 2	リアルタイム出力バッファ・レジスタ0の構成 ... 195
10 - 3	リアルタイム出力バッファ・レジスタ1の構成 ... 196
10 - 4	ポート・モード・レジスタ3のフォーマット ... 197
10 - 5	リアルタイム出力ポート・モード・レジスタ0のフォーマット ... 197
10 - 6	リアルタイム出力ポート・モード・レジスタ1のフォーマット ... 198
10 - 7	リアルタイム出力ポート・コントロール・レジスタ0のフォーマット ... 199
10 - 8	リアルタイム出力ポート・コントロール・レジスタ1のフォーマット ... 200
10 - 9	DC制御レジスタ0のフォーマット ... 201
10 - 10	DC制御レジスタ1のフォーマット ... 202

図の目次 (4/6)

図番号	タイトル, ページ
10 - 11	リアルタイム出力ポートの動作タイミング例 (8 ビット× 1) ... 205
10 - 12	リアルタイム出力ポートの動作タイミング例 (6 ビット× 1) ... 210
11 - 1	A/Dコンバータのブロック図 ... 216
11 - 2	A/Dコンバータ・モード・レジスタ 0 のフォーマット ... 219
11 - 3	アナログ入力チャネル指定レジスタ 0 のフォーマット ... 220
11 - 4	A/Dコンバータの基本動作 ... 222
11 - 5	アナログ入力電圧とA/D変換結果の関係 ... 223
11 - 6	ハードウェア・スタートによるA/D変換動作 (立ち下がリエッジ指定時) ... 225
11 - 7	ソフトウェア・スタートによるA/D変換動作 ... 226
11 - 8	スタンバイ・モード時の消費電流を低減させる方法例 ... 227
11 - 9	アナログ入力端子の処理 ... 228
11 - 10	A/D変換終了割り込み要求発生タイミング ... 229
11 - 11	AV _{DD} 端子の処理 ... 229
11 - 12	変換結果を読み出すタイミング (変換結果が不定値の場合) ... 230
11 - 13	変換結果を読み出すタイミング (変換結果が正常値の場合) ... 230
11 - 14	AV _{REF} 端子とコンデンサの接続例 ... 231
11 - 15	ANI0-ANI7端子内部等価回路 ... 232
11 - 16	信号源インピーダンスが高い場合の回路例 ... 232
11 - 17	総合誤差 ... 234
11 - 18	量子化誤差 ... 234
11 - 19	ゼロスケール誤差 ... 235
11 - 20	フルスケール誤差 ... 235
11 - 21	積分直線性誤差 ... 235
11 - 22	微分直線性誤差 ... 235
12 - 1	シリアル・インタフェースUART00のブロック図 ... 237
12 - 2	UART00のポー・レート・ジェネレータのブロック図 ... 238
12 - 3	シリアル・インタフェースUART01のブロック図 ... 238
12 - 4	UART01のポー・レート・ジェネレータのブロック図 ... 239
12 - 5	アシンクロナス・シリアル・インタフェース・モード・レジスタ 0 のフォーマット ... 242
12 - 6	アシンクロナス・シリアル・インタフェース・モード・レジスタ 1 のフォーマット ... 243
12 - 7	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ 0 のフォーマット ... 244
12 - 8	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ 1 のフォーマット ... 245
12 - 9	ポー・レート・ジェネレータ・コントロール・レジスタ 0 のフォーマット ... 247
12 - 10	ポー・レート・ジェネレータ・コントロール・レジスタ 1 のフォーマット ... 248
12 - 11	サンプリング誤差を考慮したポー・レートの許容誤差 (k = 0 の場合) ... 258
12 - 12	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 259
12 - 13	アシンクロナス・シリアル・インタフェース送信完了割り込み要求発生タイミング ... 261
12 - 14	アシンクロナス・シリアル・インタフェース受信完了割り込み要求発生タイミング ... 262

図の目次 (5/6)

図番号	タイトル, ページ
12 - 15	受信エラー・タイミング ... 263
12 - 16	赤外線データ転送モードとUARTモードのデータ・フォーマットの比較 ... 264
13 - 1	シリアル・インタフェース3のブロック図 ... 268
13 - 2	シリアル動作モード・レジスタ3のフォーマット ... 270
13 - 3	3線式シリアルI/Oモードのタイミング ... 274
14 - 1	割り込み機能の基本構成 ... 278
14 - 2	割り込み要求フラグ・レジスタのフォーマット ... 281
14 - 3	割り込みマスク・フラグ・レジスタのフォーマット ... 282
14 - 4	優先順位指定フラグ・レジスタのフォーマット ... 283
14 - 5	外部割り込み立ち上がりエッジ許可レジスタ, 外部割り込み立ち下がりエッジ許可レジスタのフォーマット ... 284
14 - 6	外部割り込み立ち上がりエッジ許可レジスタ5, 外部割り込み立ち下がりエッジ許可レジスタ5のフォーマット ... 284
14 - 7	プログラム・ステータス・ワードの構成 ... 285
14 - 8	ノンマスクブル割り込み要求発生から受け付けまでのフロー・チャート ... 287
14 - 9	ノンマスクブル割り込み要求の受け付けタイミング ... 287
14 - 10	ノンマスクブル割り込み要求の受け付け動作 ... 288
14 - 11	割り込み要求受け付け処理アルゴリズム ... 290
14 - 12	割り込み要求の受け付けタイミング (最小時間) ... 291
14 - 13	割り込み要求の受け付けタイミング (最大時間) ... 291
14 - 14	多重割り込みの例 ... 293
14 - 15	割り込み要求の保留 ... 296
15 - 1	外部デバイス拡張機能使用時のメモリ・マップ ... 298
15 - 2	メモリ拡張モード・レジスタのフォーマット ... 301
15 - 3	メモリ拡張ウエイト設定レジスタのフォーマット ... 302
15 - 4	メモリ・サイズ切り替えレジスタのフォーマット ... 303
15 - 5	外部メモリからの命令フェッチ ... 305
15 - 6	外部メモリのリード・タイミング ... 306
15 - 7	外部メモリのライト・タイミング ... 307
15 - 8	外部メモリのリード・モディファイ・ライト・タイミング ... 308
15 - 9	μPD780984とメモリの接続例 ... 309
16 - 1	発振安定時間選択レジスタのフォーマット ... 311
16 - 2	HALTモードの割り込み要求発生による解除 ... 313
16 - 3	HALTモードのRESET入力による解除 ... 314
16 - 4	STOPモードの割り込み要求発生による解除 ... 316
16 - 5	STOPモードのRESET入力による解除 ... 317

図の目次 (6/6)

図番号	タイトル, ページ
17 - 1	リセット機能のブロック図 ... 318
17 - 2	RESET入力によるリセット・タイミング ... 319
17 - 3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 319
17 - 4	STOPモード中のRESET入力によるリセット・タイミング ... 319
18 - 1	メモリ・サイズ切り替えレジスタのフォーマット ... 323
18 - 2	内部拡張RAMサイズ切り替えレジスタのフォーマット ... 324
18 - 3	フラッシュ・メモリにプログラムを書き込むための環境 ... 325
18 - 4	通信方式選択フォーマット ... 326
18 - 5	専用フラッシュ・ライターとの接続例 ... 327
18 - 6	V _{PP} 端子の接続例 ... 329
18 - 7	信号の衝突 (シリアル・インタフェースの入力端子) ... 330
18 - 8	ほかのデバイスの異常動作 ... 330
18 - 9	信号の衝突 (RESET端子) ... 331
18 - 10	3線式シリアルI/O (SIO3) でのフラッシュ書き込み用アダプタ配線例 ... 332
18 - 11	3線式シリアルI/O (SIO3) ハンドシェイクありでのフラッシュ書き込み用アダプタ配線例 ... 334
18 - 12	UART (UART0) でのフラッシュ書き込み用アダプタ配線例 ... 336
18 - 13	擬似3線式シリアルI/Oでのフラッシュ書き込み用アダプタ配線例 ... 338
18 - 14	フラッシュ・メモリの構成 ... 340
18 - 15	フラッシュ・プログラミング・モード・コントロール・レジスタのフォーマット ... 341
18 - 16	セルフ・プログラミング・フロー・チャート ... 343
18 - 17	セルフ書き込みタイミング ... 345
18 - 18	セルフ書き込み回路構成 ... 364
A - 1	開発ツール構成 ... 425
A - 2	EV-9200GC-64 外形図 (参考) (単位: mm) ... 433
A - 3	EV-9200GC-64 基板取り付け推奨パターン (参考) (単位: mm) ... 434
A - 4	TGC-064SAP 外形図 (参考) (単位: mm) ... 435
B - 1	インサークット・エミュレータ~変換ソケットまたは変換アダプタまでの距離 (1) ... 436
B - 2	インサークット・エミュレータ~変換ソケットまたは変換アダプタまでの距離 (2) ... 437
B - 3	インサークット・エミュレータ~変換ソケットまたは変換アダプタまでの距離 (3) ... 437
B - 4	ターゲット・システムの接続条件 (1) ... 438
B - 5	ターゲット・システムの接続条件 (2) ... 438
B - 6	ターゲット・システムの接続条件 (3) ... 439

表の目次 (1/3)

表番号	タイトル, ページ
1 - 1	拡張規格品と従来規格品との違い ... 27
1 - 2	標準水準品と(A)製品との違い ... 39
1 - 3	μ PD78F0988Aとμ PD78F0988との違い ... 39
2 - 1	各端子の入出力回路タイプ ... 49
3 - 1	内部ROM容量 ... 58
3 - 2	ベクタ・テーブル ... 58
3 - 3	汎用レジスタの絶対アドレス対照表 ... 69
3 - 4	特殊機能レジスタ一覧 ... 72
4 - 1	ポートの機能 ... 89
4 - 2	ポートの構成 ... 90
5 - 1	クロック発生回路の構成 ... 104
5 - 2	CPUクロックと最小命令実行時間の関係 ... 105
5 - 3	CPUクロックの切り替えに要する最大時間 ... 110
6 - 1	16ビット・タイマ/イベント・カウンタの構成 ... 113
6 - 2	TI00n端子の有効エッジとCR00n, CR01nのキャプチャ・トリガ ... 115
6 - 3	TI01n端子の有効エッジとCR00nのキャプチャ・トリガ ... 115
7 - 1	8ビット・タイマ/イベント・カウンタの構成 ... 147
8 - 1	10ビット・インバータ制御用タイマの構成 ... 171
9 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 185
9 - 2	インターバル時間 ... 186
9 - 3	ウォッチドッグ・タイマの構成 ... 186
9 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 190
9 - 5	インターバル・タイマのインターバル時間 ... 191
10 - 1	リアルタイム出力ポートの構成 ... 192
10 - 2	リアルタイム出力バッファ・レジスタ0に対する操作時の動作 ... 195
10 - 3	リアルタイム出力バッファ・レジスタ1に対する操作時の動作 ... 196
10 - 4	リアルタイム出力ポートの動作モードと出力トリガ ... 199
10 - 5	リアルタイム出力ポートの動作モードと出力トリガ ... 200
10 - 6	制御レジスタの各ビットの設定とリアルタイム出力の関係 ... 204
10 - 7	制御レジスタの各ビットの設定とリアルタイム出力の関係 ... 209

表の目次 (2/3)

表番号	タイトル, ページ
11 - 1	A/Dコンバータの構成 ... 215
11 - 2	等価回路の各抵抗と容量値 (参考値) ... 232
12 - 1	シリアル・インタフェースの構成 ... 237
12 - 2	5ビット・カウンタのソース・クロックとmの値の関係 (UART00の場合) ... 256
12 - 3	5ビット・カウンタのソース・クロックとmの値の関係 (UART01の場合) ... 256
12 - 4	システム・クロックとポー・レートの関係 ... 257
12 - 5	受信エラーの要因 ... 263
12 - 6	ビット・レートとパルス幅の値 ... 265
12 - 7	赤外線データ転送モードで設定可能なポー・レート ... 265
13 - 1	シリアル・インタフェース3の構成 ... 268
14 - 1	割り込み要因一覧 ... 276
14 - 2	割り込み要求ソースに対する各種フラグ ... 280
14 - 3	マスカブル割り込み要求発生から処理までの時間 ... 289
14 - 4	割り込み処理中に多重割り込み可能な割り込み要求 ... 292
15 - 1	外部メモリ拡張モード時の端子機能 ... 297
15 - 2	外部メモリ拡張モード時のポート4, 6の端子の状態 ... 297
15 - 3	メモリ・サイズ切り替えレジスタの設定値 ... 303
16 - 1	HALTモード時の動作状態 ... 312
16 - 2	HALTモードの解除後の動作 ... 314
16 - 3	STOPモード時の動作状態 ... 315
16 - 4	STOPモードの解除後の動作 ... 317
17 - 1	各ハードウェアのリセット後の状態 ... 320
18 - 1	μPD78F0988AとマスクROM製品の違い ... 322
18 - 2	メモリ・サイズ切り替えレジスタの設定値 ... 323
18 - 3	内部拡張RAMサイズ切り替えレジスタの設定値 ... 324
18 - 4	通信方式一覧 ... 326
18 - 5	端子接続一覧 ... 328
18 - 6	エントリRAM領域 ... 346
18 - 7	セルフ書き込みサブルーチン一覧 ... 348
19 - 1	オペランドの表現形式と記述方法 ... 366
23 - 1	表面実装タイプの半田付け条件 ... 421

表の目次 (3/3)

表番号	タイトル, ページ
23 - 2	挿入タイプの半田付け条件 ... 423
A - 1	78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法 ... 432
B - 1	インサーキット・エミュレータ～変換ソケットまたは変換アダプタまでの距離 ... 436

第1章 概 説

★ 1.1 拡張規格品と従来規格品について

拡張規格品，従来規格品とは，それぞれ次の製品を指します。

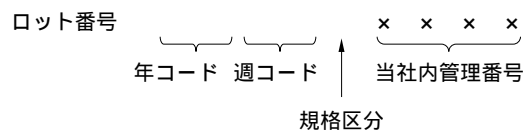
拡張規格品 ... 規格区分^注が「K」以外の製品

- ・平成13年12月1日以降受注分のマスクROM製品
- ・平成14年1月1日以降出荷分のフラッシュ・メモリ製品

従来規格品 ... 規格区分^注が「K」の製品

- ・上記拡張規格品に該当しない製品

注 規格区分とは，パッケージ捺印のロット番号で左から5桁目のアルファベット表記を指します。



拡張規格品と従来規格品では，電源電圧範囲と動作周波数規格が違います。その違いを表1 - 1に示します。

表1 - 1 拡張規格品と従来規格品との違い

電源電圧 (V _{DD})	保証動作スピード (動作周波数)	
	従来規格品	拡張規格品
4.5 ~ 5.5 V	8.38 MHz (0.238 μs)	12 MHz (0.166 μs)
4.0 ~ 5.5 V	8.38 MHz (0.238 μs)	8.38 MHz (0.238 μs)
3.0 ~ 5.5 V	-	8.38 MHz (0.238 μs)

備考 ()内は最小命令実行時間

1.2 特 徴

ROM , RAM内蔵

品 名	プログラム・メモリ		データ・メモリ	
	内部ROM	フラッシュ・メモリ	内部高速RAM	内部拡張RAM
μ PD780982	16 Kバイト	-	1024バイト	-
μ PD780983	24 Kバイト	-		-
μ PD780984	32 Kバイト	-		-
μ PD780986	48 Kバイト	-		1024バイト
μ PD780988	60 Kバイト	-		1024バイト ^{注2}
μ PD78F0988A	-	60 Kバイト ^{注1}		

注1 . メモリ・サイズ切り替えレジスタ (IMS) により , 16 K, 24 K, 32 K, 48 K, 60 Kバイトを選択可能。

2 . 内部拡張RAMサイズ切り替えレジスタ (IXS) により , 0 , 1024バイトを選択可能。

従来のμ PD78014, 78018Fサブシリーズに比べ , EMI (Electro Magnetic Interference) ノイズを低減
外部メモリ拡張空間 : 256バイト (μ PD780988を除く)

★ 最小命令実行時間 : 0.166 μs (fx = 12 MHz動作時^注) , 0.238 μs (fx = 8.38 MHz動作時)

システム制御に適した命令セット

- ・全アドレス空間でビット処理可能
- ・乗除算命令内蔵

I/Oポート : 47本

A/Dコンバータ

- ・10ビット分解能 × 8チャンネル

シリアル・インタフェース : 3チャンネル

- ・UARTモード : 2チャンネル
- ・3線式シリアルI/Oモード : 1チャンネル

タイマ : 7チャンネル

- ・10ビット・インバータ制御用タイマ : 1チャンネル
- ・16ビット・タイマ/イベント・カウンタ : 2チャンネル
- ・8ビット・タイマ/イベント・カウンタ : 3チャンネル
- ・ウォッチドッグ・タイマ : 1チャンネル

ベクタ割り込み要因 : 26

★ 電源電圧 : $V_{DD} = 3.0 \sim 5.5 V$ (拡張規格品の場合)

$V_{DD} = 4.0 \sim 5.5 V$ (従来規格品の場合)

注 拡張規格品のみ。

1.3 応用分野

インバータ・エアコン，洗濯機，冷蔵庫などのモータ制御用

★ 1.4 オーダ情報

・マスクROM製品

オーダ名称	パッケージ	品質水準
μ PD780982CW- x x x	64ピン・プラスチックSDIP (19.05 mm (750))	標準 (一般電子機器用)
μ PD780982CW- x x x -A	"	"
μ PD780982GC- x x x -8BS	64ピン・プラスチックLQFP (14x14)	"
μ PD780982GC- x x x -8BS-A	"	"
μ PD780983CW- x x x	64ピン・プラスチックSDIP (19.05 mm (750))	"
μ PD780983CW- x x x -A	"	"
μ PD780983GC- x x x -8BS	64ピン・プラスチックLQFP (14x14)	"
μ PD780983GC- x x x -8BS-A	"	"
μ PD780984CW- x x x	64ピン・プラスチックSDIP (19.05 mm (750))	"
μ PD780984CW- x x x -A	"	"
μ PD780984GC- x x x -8BS	64ピン・プラスチックLQFP (14x14)	"
μ PD780984GC- x x x -8BS-A	"	"
μ PD780986CW- x x x	64ピン・プラスチックSDIP (19.05 mm (750))	"
μ PD780986CW- x x x -A	"	"
μ PD780986GC- x x x -8BS	64ピン・プラスチックLQFP (14x14)	"
μ PD780986GC- x x x -8BS-A	"	"
μ PD780988CW- x x x	64ピン・プラスチックSDIP (19.05 mm (750))	"
μ PD780988CW- x x x -A	"	"
μ PD780988GC- x x x -8BS	64ピン・プラスチックLQFP (14x14)	"
μ PD780988GC- x x x -8BS-A	"	"
μ PD780982GC (A)- x x x -8BS	64ピン・プラスチックLQFP (14x14)	特別 (高信頼度電子機器用)
μ PD780983GC (A)- x x x -8BS	"	"
μ PD780984GC (A)- x x x -8BS	"	"
μ PD780986GC (A)- x x x -8BS	"	"
μ PD780988GC (A)- x x x -8BS	"	"

備考1 . x x x はROMコード番号です。

2 . オーダ名称の末尾「-A」の製品は，鉛フリー製品です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J)をご覧ください。

・フラッシュ・メモリ製品

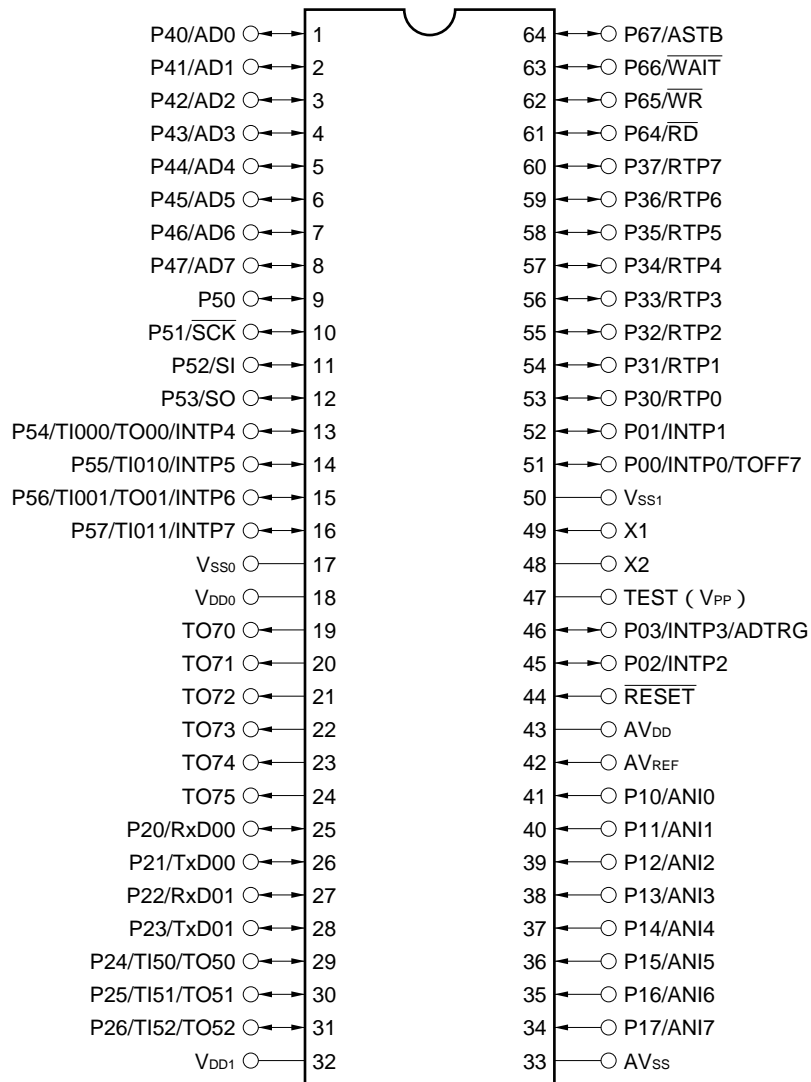
オーダ名称	パッケージ	品質水準
μ PD78F0988ACW	64ピン・プラスチックSDIP (19.05 mm (750))	標準 (一般電子機器用)
μ PD78F0988ACW-A	〃	〃
μ PD78F0988AGC-AB8	64ピン・プラスチックQFP (14x14)	〃
μ PD78F0988AGC-AB8-A	〃	〃
μ PD78F0988AGC-8BS	64ピン・プラスチックLQFP (14x14)	〃
μ PD78F0988AGC-8BS-A	〃	〃
μ PD78F0988AGC (A) -AB8	64ピン・プラスチックQFP (14x14)	特別 (高信頼度電子機器用)

備考 オーダ名称の末尾「-A」の製品は、鉛フリー製品です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J)をご覧ください。

1.5 端子接続図 (Top View)

・64ピン・プラスチックSDIP (19.05 mm (750))



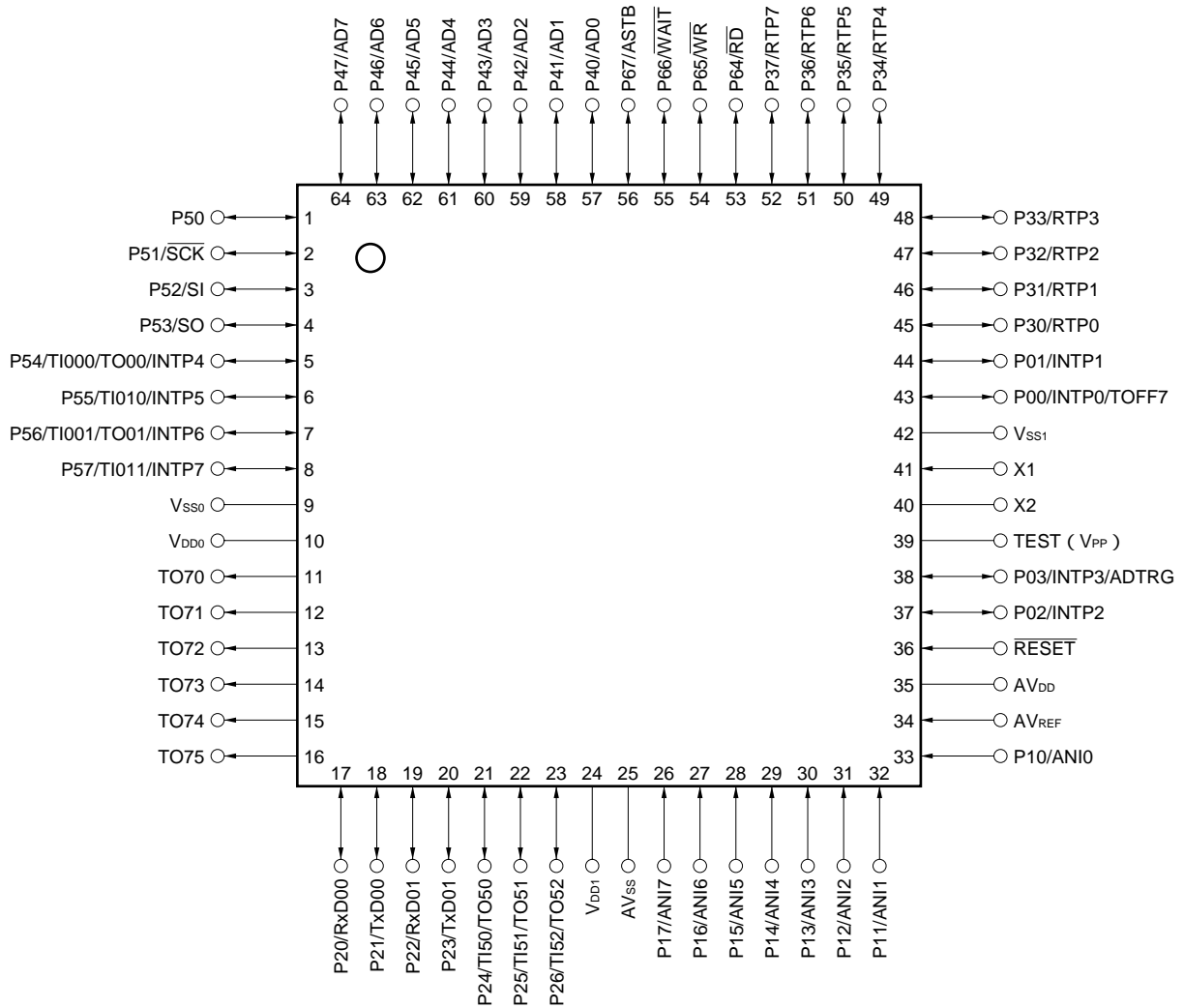
注意 1 . TEST端子はV $_{SS0}$ に直接接続してください。

- ★ 2 . 通常動作モード時は、V $_{PP}$ 端子はV $_{SS0}$ に直接接続してください。
- ★ 3 . フラッシュ書き込みモード時は、V $_{PP}$ 端子は10 k Ω でV $_{SS0}$ にプルダウン接続してください。
- 4 . 特別水準品は、64ピン・プラスチックSDIP (19.05 mm (750))のパッケージを用意していません。

備考 1 . ()内は μ PD78F0988Aのとき。

- 2 . マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V $_{DD0}$ とV $_{DD1}$ に個別の電源を供給し、V $_{SS0}$ とV $_{SS1}$ を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

- ・ 64ピン・プラスチックQFP (14x14)
- ・ 64ピン・プラスチックLQFP (14x14)



注意 1 . TEST端子はV_{SS0}に直接接続してください。

- ★ 2 . 通常動作モード時は、V_{PP}端子はV_{SS0}に直接接続してください。
- ★ 3 . フラッシュ書き込みモード時は、V_{PP}端子は10 kΩでV_{SS0}にプルダウン接続してください。

備考 1 . () 内はμPD78F0988Aのとき。

- 2 . マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD0}とV_{DD1}に個別の電源を供給し、V_{SS0}とV_{SS1}を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

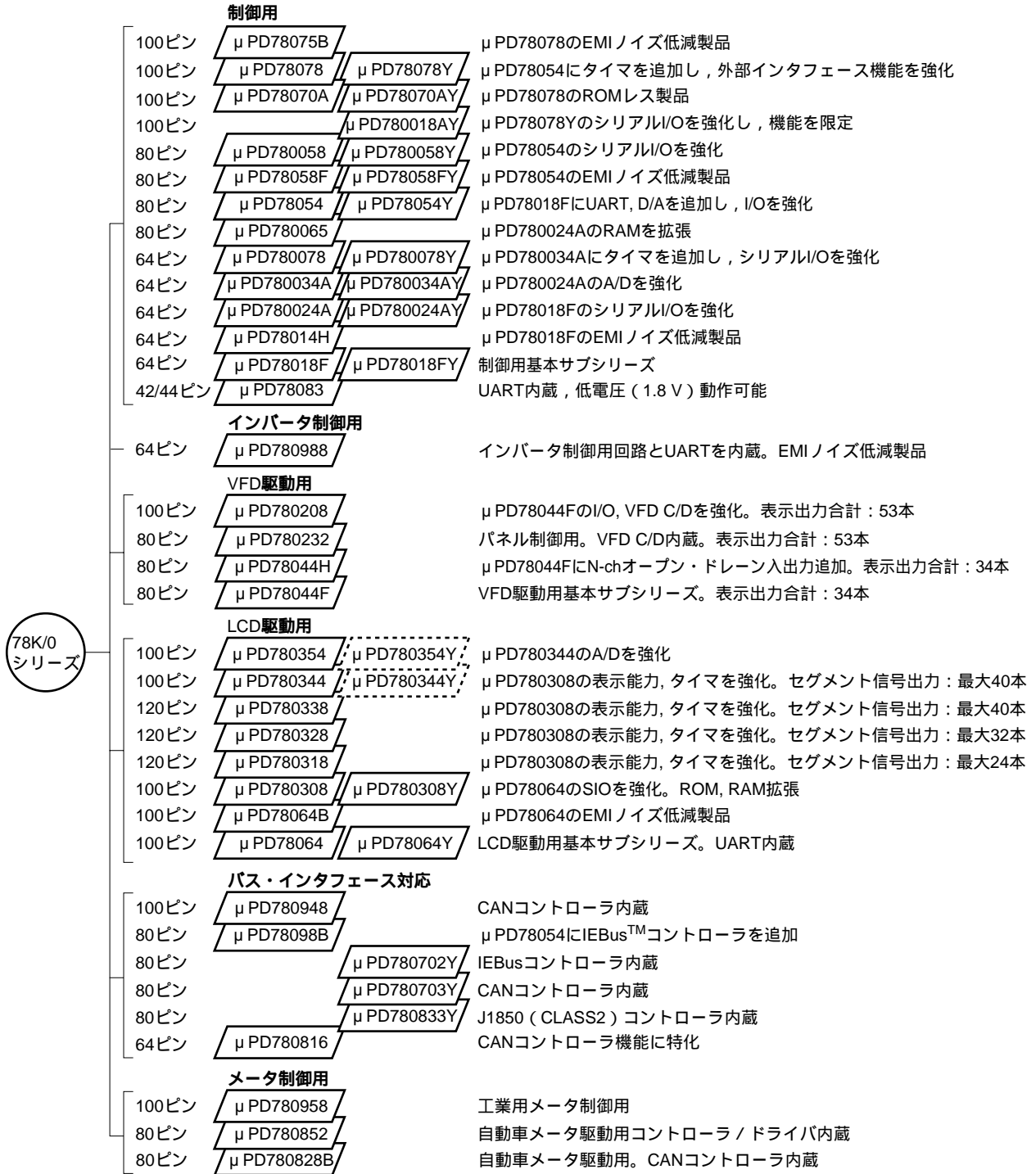
AD0-AD7	: Address/Data Bus	RxD00, RxD01	: Receive Data
ADTRG	: AD Trigger Input	$\overline{\text{SCK}}$: Serial Clock
ANI0-ANI7	: Analog Input	SI	: Serial Input
ASTB	: Address Strobe	SO	: Serial Output
AV _{DD}	: Analog Power Supply	TEST	: Test
AV _{REF}	: Analog Reference Voltage	TI000, TI001,	
AV _{SS}	: Analog Ground	TI010, TI011,	
INTP0-INTP7	: External Interrupt Input	TI50-TI52	: Timer Input
P00-P03	: Port0	TO00, TO01,	
P10-P17	: Port1	TO50-TO52,	
P20-P26	: Port2	TO70-TO75	: Timer Output
P30-P37	: Port3	TOFF7	: Timer Output Off
P40-P47	: Port4	TxD00, TxD01	: Transmit Data
P50-P57	: Port5	V _{DD0} , V _{DD1}	: Power Supply
P64-P67	: Port6	V _{PP}	: Programming Power Supply
$\overline{\text{RD}}$: Read Strobe	V _{SS0} , V _{SS1}	: Ground
$\overline{\text{RESET}}$: Reset	$\overline{\text{WAIT}}$: Wait
RTP0-RTP7	: Real-time Port	$\overline{\text{WR}}$: Write Strobe
		X1, X2	: Crystal

★ 1.6 78K/0シリーズの展開

78K/0シリーズの製品展開を示します。枠内はサブシリーズ名称です。



Yサブシリーズは、I²Cバス対応の製品です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP® (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

・ Yなしサブシリーズ

サブシリーズ名	機能	ROM容量 (バイト)	タイマ				8-bit A/D	10-bit A/D	8-bit D/A	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張			
			8-bit	16-bit	時計	WDT										
制御用	μ PD78075B	32 K-40 K	4ch	1ch	1ch	1ch	8ch	-	2ch	3ch(UART:1ch)	88本	1.8 V				
	μ PD78078	48 K-60 K									61本	2.7 V				
	μ PD78070A	-														
	μ PD780058	24 K-60 K	2ch							3ch(時分割UART:1ch)	68本	1.8 V				
	μ PD78058F	48 K-60 K								3ch(UART:1ch)	69本	2.7 V				
	μ PD78054	16 K-60 K										2.0 V				
	μ PD780065	40 K-48 K										2.7 V				
	μ PD780078	48 K-60K								2ch	-	8ch		3ch(UART:2ch)	52本	1.8 V
	μ PD780034A	8 K-32 K								1ch	8ch	-		3ch(UART:1ch)	51本	
	μ PD780024A							2ch	53本							
	μ PD78014H															
	μ PD78018F	8 K-60 K														
μ PD78083	8 K-16 K	-	-					1ch(UART:1ch)	33本		-					
インバータ 制御用	μ PD780988	16 K-60 K	3ch	注	-	1ch	-	8ch	-	3ch(UART:2ch)	47本	4.0 V				
VFD 駆動用	μ PD780208	32 K-60 K	2ch	1ch	1ch	1ch	8ch	-	-	2ch	74本	2.7 V	-			
	μ PD780232	16 K-24 K	3ch	-	-		4ch				40本	4.5 V				
	μ PD78044H	32 K-48 K	2ch	1ch	1ch		8ch			1ch	68本	2.7 V				
	μ PD78044F	16 K-40 K								2ch						
LCD 駆動用	μ PD780354	24K-32 K	4ch	1ch	1ch	1ch	-	8ch	-	3ch(UART:1ch)	66本	1.8 V	-			
	μ PD780344						8ch	-								
	μ PD780338	48 K-60 K	3ch	2ch			-	10ch	1ch	2ch(UART:1ch)	54本					
	μ PD780328										62本					
	μ PD780318										70本					
	μ PD780308	48 K-60 K	2ch	1ch			8ch	-	-	3ch(時分割UART:1ch)	57本	2.0 V				
	μ PD78064B	32 K								2ch(UART:1ch)						
μ PD78064	16 K-32 K															
バス・イン タフェース 対応	μ PD780948	60 K	2ch	2ch	1ch	1ch	8ch	-	-	3ch(UART:1ch)	79本	4.0 V				
	μ PD78098B	40 K-60 K		1ch							2ch	69本	2.7 V	-		
	μ PD780816	32 K-60 K		2ch							12ch	-	2ch(UART:1ch)	46本	4.0 V	
メータ 制御用	μ PD780958	48 K-60 K	4ch	2ch	-	1ch	-	-	-	2ch(UART:1ch)	69本	2.2 V	-			
ダッシュ ボード制御用	μ PD780852	32 K-40 K	3ch	1ch	1ch	1ch	5ch	-	-	3ch(UART:1ch)	56本	4.0 V	-			
	μ PD780828B	32 K-60 K									59本					

注 16ビット・タイマ：2チャンネル

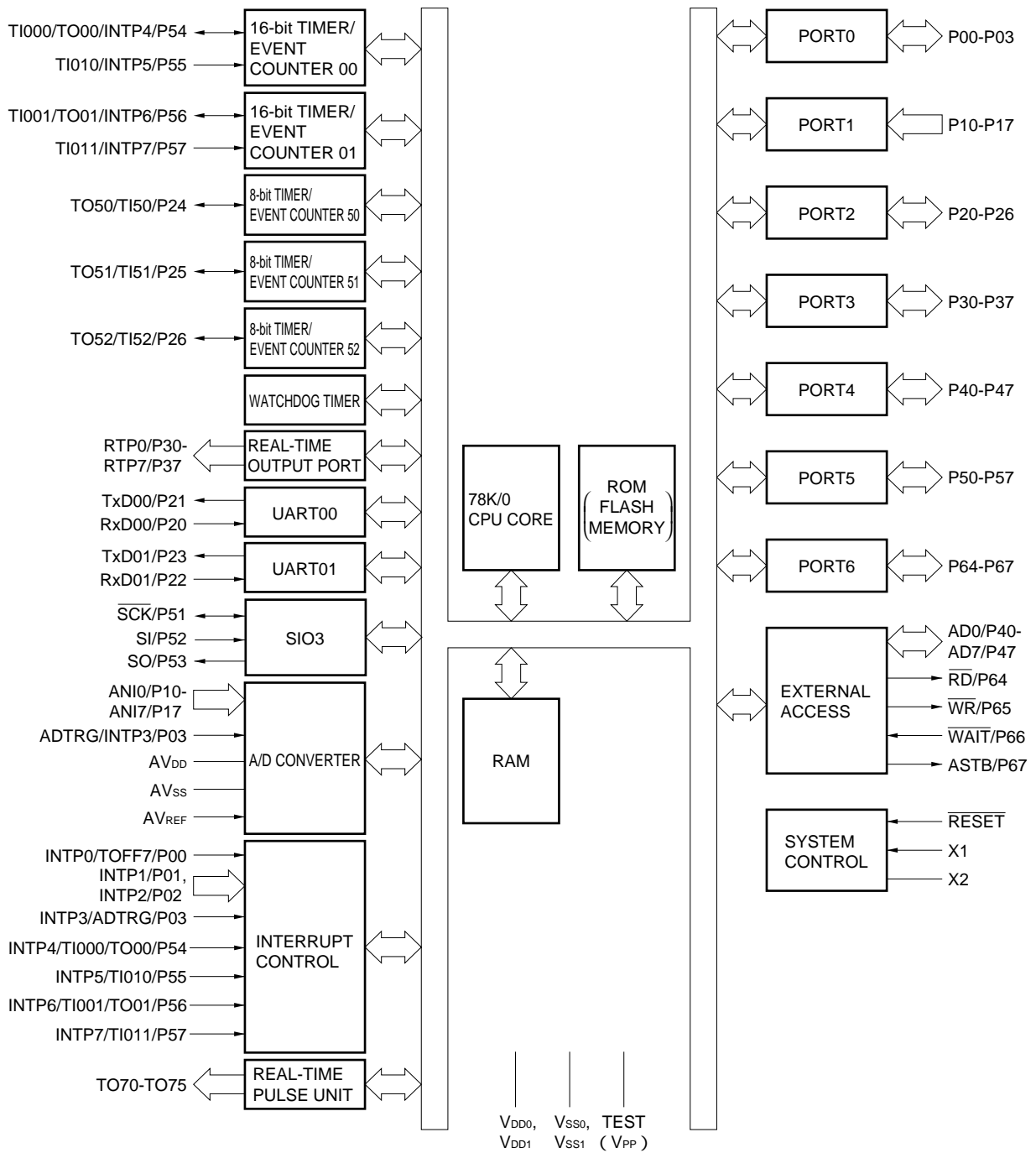
10ビット・タイマ：1チャンネル

・ Yサブシリーズ

機能 サブシリーズ名		ROM容量 (バイト)	タイマ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張				
			8-bit	16-bit	時計	WDT	A/D	A/D	D/A								
制御用	μ PD78078Y	48 K-60 K	4ch	1ch	1ch	1ch	8ch	-	2ch	3ch(UART:1ch, I ² C:1ch)	88本	1.8 V					
	μ PD78070AY	-									61本	2.7 V					
	μ PD780018AY	48 K-60 K								-	3ch(I ² C:1ch)	88本					
	μ PD780058Y	24 K-60 K	2ch						2ch	3ch(時分割UART: 1ch, I ² C:1ch)	68本	1.8 V					
	μ PD78058FY	48 K-60 K									3ch(UART:1ch, I ² C:1ch)	69本		2.7 V			
	μ PD78054Y	16 K-60 K										2.0 V					
	μ PD780078Y	48 K-60 K								2ch	-	8ch		-	4ch(UART:2ch, I ² C:1ch)	52本	1.8 V
	μ PD780034AY	8 K-32 K								1ch	8ch	-			3ch(UART:1ch, I ² C:1ch)	51本	
	μ PD780024AY																
μ PD78018FY	8 K-60 K	2ch(I ² C:1ch)	53本														
LCD 駆動用	μ PD780354Y	24 K-32 K	4ch	1ch	1ch	1ch	-	8ch	-	4ch(UART:1ch, I ² C:1ch)	66本	1.8 V	-				
	μ PD780344Y						8ch	-									
	μ PD780308Y	48 K-60 K	2ch						3ch(時分割UART: 1ch, I ² C:1ch)	57本	2.0 V						
	μ PD78064Y	16 K-32 K								2ch(UART:1ch, I ² C:1ch)							
バス・イン タフェース 対応	μ PD780701Y	60 K	3ch	2ch	1ch	1ch	16ch	-	-	4ch(UART:1ch, I ² C:1ch)	67本	3.5 V	-				
	μ PD780703Y																
	μ PD780833Y										65本	4.5 V					

備考 YなしサブシリーズとYサブシリーズは、シリアル・インタフェース以外の機能は共通です（Yなしサブシリーズがある場合）。

1.7 ブロック図



備考 1 . 内部ROM , RAM容量は製品によって異なります。

2 . () 内は μ PD78F0988Aのとき。

1.8 機能概要

品名		μ PD780982	μ PD780983	μ PD780984	μ PD780986	μ PD780988	μ PD78F0988A	
内部メモリ	ROM	マスクROM					フラッシュ・メモリ	
		16 Kバイト	24 Kバイト	32 Kバイト	48 Kバイト	60 Kバイト	60 Kバイト ^{注1}	
	高速RAM	1024バイト						
	拡張RAM	なし			1024バイト		1024バイト ^{注2}	
メモリ空間		64 Kバイト						
汎用レジスタ		8ビット×32レジスタ(8ビット×8レジスタ×4バンク)						
★	最小命令実行時間		最小命令実行時間の可変機能内蔵 ・拡張規格品の場合 0.166 μs/0.33 μs/0.66 μs/1.3 μs/2.6 μs (システム・クロック: 12 MHz動作, V _{DD} = 4.5 ~ 5.5 V時) 0.238 μs/0.48 μs/0.96 μs/1.9 μs/3.8 μs (システム・クロック: 8.38 MHz動作時) ・従来規格品の場合 0.238 μs/0.48 μs/0.96 μs/1.9 μs/3.8 μs (システム・クロック: 8.38 MHz動作時)					
命令セット		・16ビット演算 ・乗除算(8ビット×8ビット, 16ビット÷8ビット) ・ビット操作(セット, リセット, テスト, プール演算) ・BCD補正など						
I/Oポート		合計 : 47本 ・CMOS入力 : 8本 ・CMOS入出力: 39本						
リアルタイム出力ポート		・8ビット×1または4ビット×2 ・6ビット×1または4ビット×1						
A/Dコンバータ		・10ビット分解能×8チャンネル						
シリアル・インタフェース		・UARTモード: 2チャンネル ・3線式シリアルI/Oモード: 1チャンネル						
タイマ		・16ビット・タイマ/イベント・カウンタ: 2チャンネル ・8ビット・タイマ/イベント・カウンタ: 3チャンネル ・10ビット・インバータ制御用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル						
タイマ出力		11本(汎用出力: 5本, インバータ制御用出力: 6本)						
ベクタ割り込み 要因	マスカブル	内部: 16, 外部: 8						
	ノンマスカブル	内部: 1						
	ソフトウェア	1						
★	電源電圧		・V _{DD} = 3.0 ~ 5.5 V (拡張規格品の場合) ・V _{DD} = 4.0 ~ 5.5 V (従来規格品の場合)					
動作周囲温度		T _A = -40 ~ +85						
★	パッケージ		・64ピン・プラスチックSDIP(19.05 mm(750)) ^{注3} ・64ピン・プラスチックQFP(14x14) ・64ピン・プラスチックLQFP(14x14)					

注1. メモリ・サイズ切り替えレジスタ(IMS)により, フラッシュ・メモリ容量の変更可能。

2. 内部拡張RAMサイズ切り替えレジスタ(IXS)により, 内部拡張RAM容量の変更可能。

3. 標準水準品のみ。

タイマ/イベント・カウンタの概要（詳細は、第6章 16ビット・タイマ/イベント・カウンタ、第7章 8ビット・タイマ/イベント・カウンタ、第8章 10ビット・インバータ制御用タイマ、第9章 ウォッチドッグ・タイマを参照）を次に示します。

		16ビット・タイマ/イベント・カウンタ	8ビット・タイマ/イベント・カウンタ	10ビット・インバータ制御用タイマ	ウォッチドッグ・タイマ
動作	インターバル・タイマ	2チャンネル	3チャンネル	1チャンネル	1チャンネル ^注
モード	外部イベント・カウンタ			-	-
機能	タイマ出力				-
	PWM出力	-		-	-
	PPG出力		-	-	-
	パルス幅測定		-	-	-
	方形波出力			-	-
	割り込み要求				

注 ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

1.9 標準水準品と(A)製品との違い

標準水準品（ μ PD780982, 780983, 780984, 780986, 780988, 78F0988A）と(A)製品（ μ PD780982(A), 780983(A), 780984(A), 780986(A), 780988(A), 78F0988A(A)）との違いを表1-2に示します。

表1-2 標準水準品と(A)製品との違い

項目	品名	標準水準品	(A)製品
		標準（一般電子機器用）	特別（高信頼度電子機器用）
★	パッケージ	<ul style="list-style-type: none"> ・ 64ピン・プラスチックSDIP（19.05 mm（750）） ・ 64ピン・プラスチックQFP（14x14） ・ 64ピン・プラスチックLQFP（14x14） 	<ul style="list-style-type: none"> ・ 64ピン・プラスチックQFP（14x14） ・ 64ピン・プラスチックLQFP（14x14）

1.10 フラッシュ・メモリ製品 μ PD78F0988Aと μ PD78F0988との違い

μ PD78F0988Aと μ PD78F0988（旧品）の違いを表1-3に示します。

表1-3 μ PD78F0988Aと μ PD78F0988との違い

項目	品名	μ PD78F0988A	μ PD78F0988（旧品）
フラッシュ・メモリ・エリア		2 エリア 0 : 0-1FFFFH 1 : 2000H-EFFFFH	3 エリア 0 : 0-1FFFFH 1 : 2000H-7FFFFH 2 : 8000H-EFFFFH
品質水準		<ul style="list-style-type: none"> ・ 標準 ・ 特別（64ピン・プラスチックQFP（14x14）） 	<ul style="list-style-type: none"> ・ 標準

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子

端子名称	入出力	機 能	リセット時	兼用端子
P00	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	INTP0/TOFF7
P01				INTP1
P02				INTP2
P03				INTP3/ADTRG
P10-P17	入力	ポート1。 8ビット入力専用ポート。	入力	ANI0-ANI7
P20	入出力	ポート2。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	RxD00
P21				TxD00
P22				RxD01
P23				TxD01
P24				TI50/TO50
P25				TI51/TO51
P26				TI52/TO52
P30-P37	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	RTP0-RTP7
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	AD0-AD7
P50	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 LEDを直接駆動可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P51				SCK
P52				SI
P53				SO
P54				INTP4/TI000/TO00
P55				INTP5/TI010
P56				INTP6/TI001/TO01
P57				INTP7/TI011

端子名称	入出力	機能	リセット時	兼用端子
P64	入出力	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	\overline{RD}
P65				\overline{WR}
P66				\overline{WAIT}
P67				ASTB

(2) ポート以外の端子

端子名称	入出力	機 能	リセット時	兼用端子
INTP0	入力	有効エッジ（立ち上がりエッジ，立ち下がりエッジ，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力。	入力	P00/TOFF7
INTP1			入力	P01
INTP2			入力	P02
INTP3			入力	P03/ADTRG
INTP4			入力	P54/TI000/TO00
INTP5			入力	P55/TI010
INTP6			入力	P56/TI001/TO01
INTP7			入力	P57/TI011
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力。	入力	P24/TO50
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力。	入力	P25/TO51
TI52		8ビット・タイマ/イベント・カウンタ52への外部カウント・クロック入力。	入力	P26/TO52
TI000		16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力。 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ（CR000, CR010）へのキャプチャ・トリガ入力。	入力	P54/INTP4/TO00
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ（CR000）へのキャプチャ・トリガ入力。	入力	P55/INTP5
TI001		16ビット・タイマ/イベント・カウンタ01への外部カウント・クロック入力。 16ビット・タイマ/イベント・カウンタ01のキャプチャ・レジスタ（CR001, CR011）へのキャプチャ・トリガ入力。	入力	P56/INTP6/TO01
TI011		16ビット・タイマ/イベント・カウンタ01のキャプチャ・レジスタ（CR001）へのキャプチャ・トリガ入力。	入力	P57/INTP7
TO50		出力	8ビット・タイマ/イベント・カウンタ50出力。	入力
TO51	8ビット・タイマ/イベント・カウンタ51出力。		入力	P25/TI51
TO52	8ビット・タイマ/イベント・カウンタ52出力。		入力	P26/TI52
TO00	16ビット・タイマ/イベント・カウンタ00出力。		入力	P54/INTP4/TI000
TO01	16ビット・タイマ/イベント・カウンタ01出力。		入力	P56/INTP6/TI001
RTP0-RTP7	出力	リアルタイム・パルス・ユニットからのトリガ信号に同期して，パルス出力を行うリアルタイム出力ポート。	入力	P30-P37
TxD00	出力	アシンクロナス・シリアル・インタフェースのシリアル・データ出力。	入力	P21
TxD01			入力	P23
RxD00	入力	アシンクロナス・シリアル・インタフェースのシリアル・データ入力。	入力	P20
RxD01			入力	P22
$\overline{\text{SCK}}$	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入力	P51
SI	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P52
SO	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P53
ANI0-ANI7	入力	A/Dコンバータのアナログ入力。	入力	P10-P17
ADTRG	入力	A/Dコンバータへの外部トリガ信号入力。	入力	P03/INTP3

端子名称	入出力	機 能	リセット時	兼用端子
TO70-TO75	出力	3相PWMインバータ制御用タイマ出力。	Hi-Z	-
TOFF7	入力	タイマ出力 (TO70-TO75) 停止外部入力。	入力	P00/INTP0
AD0-AD7	入出力	外部にメモリを拡張する場合の, アドレス / データ・バス。	入力	P40-P47
$\overline{\text{RD}}$	出力	外部メモリのリード動作用ストロープ信号出力。	入力	P64
$\overline{\text{WR}}$		外部メモリのライト動作用ストロープ信号出力。	入力	P65
$\overline{\text{WAIT}}$	入力	外部メモリ・アクセス時のウエイト挿入。	入力	P66
ASTB	出力	外部メモリをアクセスするために, ポート4, 5に出力されるアドレス情報を外部でラッチするストロープ出力。	入力	P67
AVREF	入力	A/Dコンバータの基準電圧入力。	-	-
AVDD	-	A/Dコンバータのアナログ電源。	-	-
AVSS	-	A/Dコンバータのグランド電位。	-	-
$\overline{\text{RESET}}$	入力	システム・リセット入力。	-	-
X1	入力	システム・クロック発振用クリスタル接続。	-	-
X2	-		-	-
VDD0	-	ポート部の正電源。	-	-
VSS0	-	ポート部のグランド電位。	-	-
VDD1	-	正電源 (ポート部を除く)。	-	-
VSS1	-	グランド電位 (ポート部を除く)。	-	-
TEST	-	テスト・モード設定端子。VSS0に直接接続してください。	-	-
VPP ^注	-	プログラム書き込み / ベリファイ時の高電圧印加。 通常動作モード時は, VSS0に直接接続してください。	-	-

注 VPP端子はμPD78F0988Aのみ。

2.2 端子機能の説明

2.2.1 P00-P03 (Port0)

4ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、タイマ出力停止外部入力、A/Dコンバータの外部トリガ信号入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマ出力停止外部入力、A/Dコンバータの外部トリガ信号入力として機能しません。

(a) INTP0-INTP3

有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。また, INTP2は, 有効エッジの入力により, リアルタイム出力ポートの外部トリガ信号入力端子にもなります。

(b) TOFF7

タイマ出力 (TO70-TO75) 停止外部入力端子です。

(c) ADTRG

A/Dコンバータへの外部トリガ信号入力端子です。

2.2.2 P10-P17 (Port1)

8ビット入力専用ポートです。汎用入力ポートのほかにA/Dコンバータのアナログ入力機能があります。

(1) ポート・モード

8ビットの入力ポートとして機能します。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI7) として機能します。

2.2.3 P20-P26 (Port2)

7ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、タイマの入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

7ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ2 (PU2) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、タイマの入出力として機能します。

(a) RxD00, RxD01, TxD00, TxD01

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) TI50-TI52

8ビット・タイマ/イベント・カウンタ50-52への外部カウント・クロック入力端子です。

(c) TO50-TO52

8ビット・タイマ/イベント・カウンタ50-52出力端子です。

2.2.4 P30-P37 (Port3)

8ビットの入出力ポートです。入出力ポートのほかにリアルタイム出力ポート機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

トリガに同期してデータを出力するリアルタイム出力ポート (RTP0-RTP7) として機能します。

2.2.5 P40-P47 (Port4)

8ビットの入出力ポートです。入出力ポートのほかにアドレス/データ・バス機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時のアドレス/データ・バス端子 (AD0-AD7) として機能します。

2.2.6 P50-P57 (Port5)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのクロック入出力, データ入出力, タイマの入出力, 外部割り込み要求入力機能があります。

LEDを直接駆動可能です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ5 (PM5) により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5 (PU5) により, 内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのクロック入出力, データ入出力, タイマの入出力, 外部割り込み要求入力として機能します。

(a) $\overline{\text{SCK}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(b) SI, SO

シリアル・インタフェースのシリアル・データの入出力端子です。

(c) TI000, TI001

16ビット・タイマ/イベント・カウンタ00, 01への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00, 01のキャプチャ・レジスタへのキャプチャ・トリガ信号入力端子です。

(d) TI010, TI011

16ビット・タイマ/イベント・カウンタ00, 01のキャプチャ・レジスタへのキャプチャ・トリガ信号入力端子です。

(e) TO00, TO01

16ビット・タイマ/イベント・カウンタ00, 01出力端子です。

(f) INTP4-INTP7

有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

2.2.7 P64-P67 (Port6)

4ビットの入出力ポートです。入出力ポートのほかに外部メモリ拡張モード時の制御機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ6 (PU6) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の制御信号出力端子 (\overline{RD} , \overline{WR} , \overline{WAIT} , ASTB) として機能します。制御信号出力として使用した端子は、内蔵プルアップ抵抗が自動的に使用されなくなります。

注意 外部メモリ拡張モード時で外部ウエイトを使用しないときは、P66を入出力ポートとして使用できません。

2.2.8 TO70-TO75

3相PWMインバータ制御用タイマ出力端子です。

2.2.9 AVREF

A/Dコンバータの基準電圧入力端子です。

A/Dコンバータを使用しない場合はV_{SS0}に接続してください。

2.2.10 AVDD

A/Dコンバータのアナログ電源端子です。

A/Dコンバータを使用しないときでも、常にV_{DD0}端子と同電位で使用してください。

2.2.11 AVSS

A/Dコンバータのグランド電位端子です。

A/Dコンバータを使用しないときでも、常にV_{SS0}端子と同電位で使用してください。

2.2.12 \overline{RESET}

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.13 X1, X2

システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

2.2.14 VDD0, VDD1

V_{DD0}は、ポート部の正電源供給端子です。

V_{DD1}は、ポート部以外の正電源供給端子です。

2.2.15 V_{SS0}, V_{SS1}

V_{SS0}は、ポート部のグラウンド電位端子です。

V_{SS1}は、ポート部以外のグラウンド電位端子です。

2.2.16 V_{PP} (μ PD78F0988Aのみ)

プログラム書き込み / ベリファイ時の高電圧印加端子です。

通常動作モード時はV_{SS0}に直接接続してください。

2.2.17 TEST (マスクROM製品のみ)

ICのテストに使用する端子です。必ずV_{SS0}に直接接続してください。

2.3 端子の入出力回路と未使用端子の処理

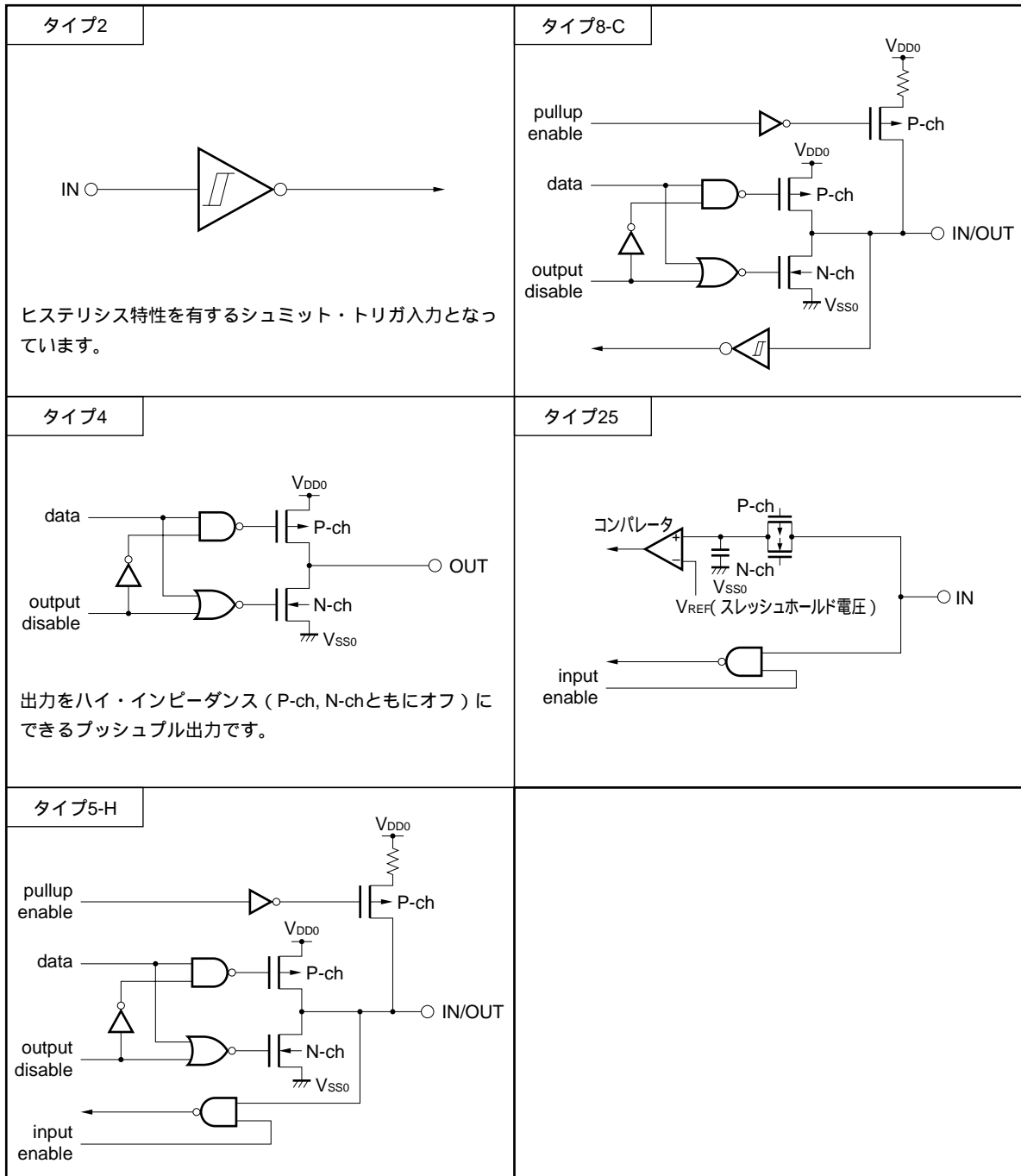
各端子の入出力回路タイプと、未使用端子の処理を表2-1に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-1 各端子の入出力回路タイプ

端子	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTP0/TOFF7	8-C	入出力	入力時：個別に抵抗を介して、 V_{SS0} に接続してください。 出力時：オープンにしてください。
P01/INTP1			
P02/INTP2			
P03/INTP3/ADTRG			
P10/ANI0-P17/ANI7	25	入力	V_{DD0} または V_{SS0} に接続してください。
P20/RxD00	8-C	入出力	入力時：個別に抵抗を介して、 V_{DD0} または V_{SS0} に接続してください。 出力時：オープンにしてください。
P21/TxD00	5-H		
P22/RxD01	8-C		
P23/TxD01	5-H		
P24/TI50/TO50	8-C		
P25/TI51/TO51			
P26/TI52/TO52			
P30/RTP0-P37/RTP7	5-H		
P40/AD0-P47/AD7			
P50			
P51/ \overline{SCK}	8-C		
P52/SI	5-H		
P53/SO			
P54/INTP4/TI000/TO00			
P55/INTP5/TI010			
P56/INTP6/TI001/TO01			
P57/INTP7/TI011			
P64/ \overline{RD}			
P65/ \overline{WR}			
P66/ \overline{WAIT}			
P67/ASTB			
TO70-TO75	4	出力	オープンにしてください。
RESET	2	-	-
AV _{DD}	-		V_{DD0} に接続してください。
AV _{REF}	-		V_{SS0} に接続してください。
AV _{SS}	-		
TEST (マスクROM製品)	-		V_{SS0} に直接接続してください。
V _{PP} (フラッシュ・メモリ製品)	-		

図2-1 端子の入出力回路一覧



第3章 CPUアーキテクチャ

3.1 メモリ空間

μPD780988サブシリーズの各製品は、それぞれ64 Kバイトのメモリ空間をアクセスできます。図3 - 1から図3 - 6に、メモリ・マップを示します。

注意1 .メモリ・サイズ切り替えレジスタ (IMS) の初期値は、内部メモリ容量にかかわらず、

μPD780988サブシリーズすべての製品において一定 (CFH) となっています。したがって、各製品ごとに次に示す値を設定して使用してください。

μPD780982 : C4H

μPD780983 : C6H

μPD780984 : C8H

μPD780986 : CCH

μPD780988 : CFH (μPD780988は設定値がCFHなので、初期値を変更する必要はありません)

μPD78F0988A : マスクROM製品に対応した値

2 .内部拡張RAMサイズ切り替えレジスタ (IXS) の初期値は、内部拡張RAM容量にかかわらず、

μPD780988サブシリーズすべての製品において一定 (0CH) となっています。したがって、各製品ごとに次に示す値を設定して使用してください。

μPD780982, 780983, 780984 : 0CH (μPD780982, 780983, 780984は設定値が0CHなので、初期値を変更する必要はありません)

μPD780986, 780988 : 0AH

μPD78F0988A : マスクROM製品に対応した値

図3-1 メモリ・マップ (μPD780982)

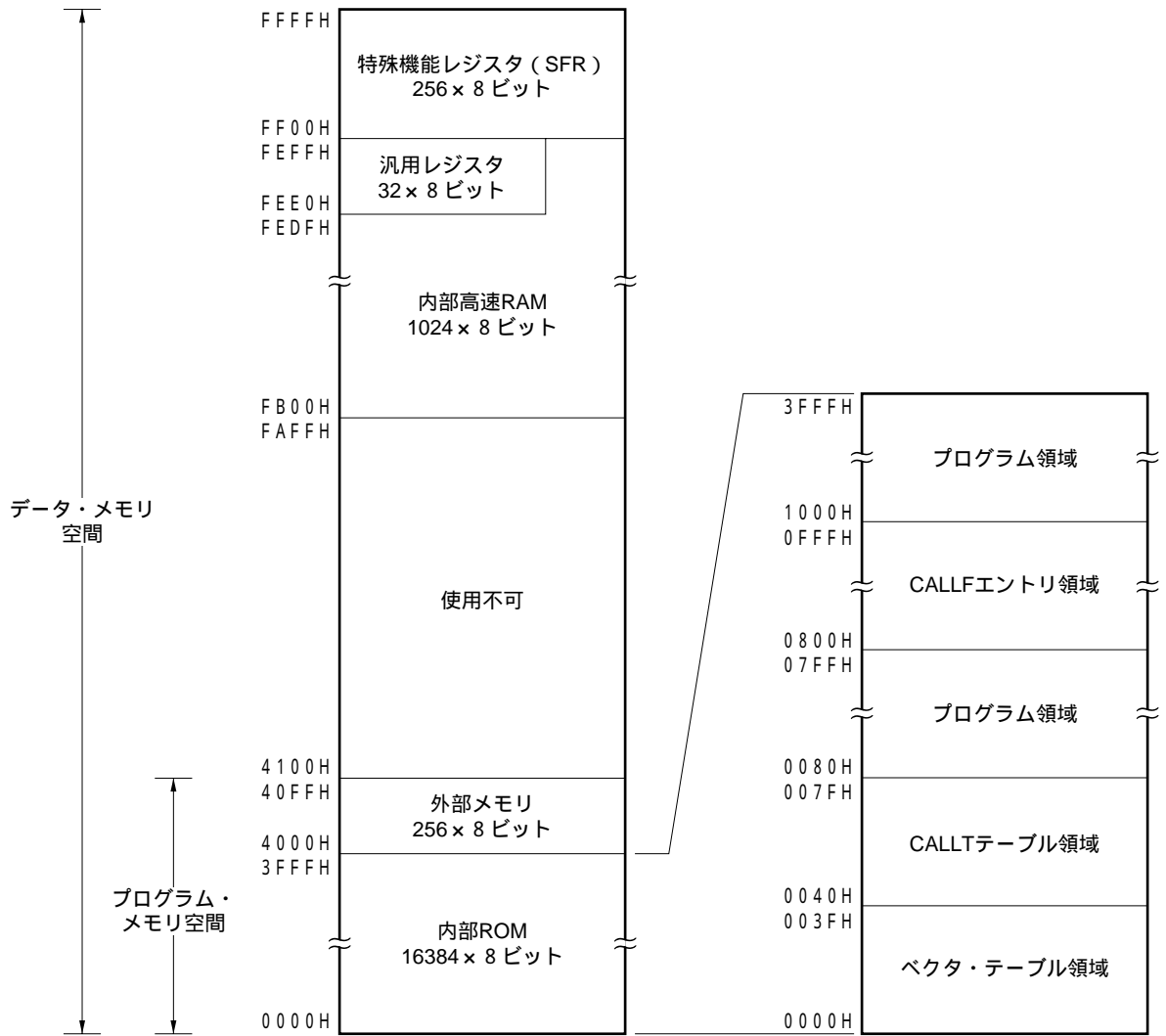


図3 - 2 メモリ・マップ (μPD780983)

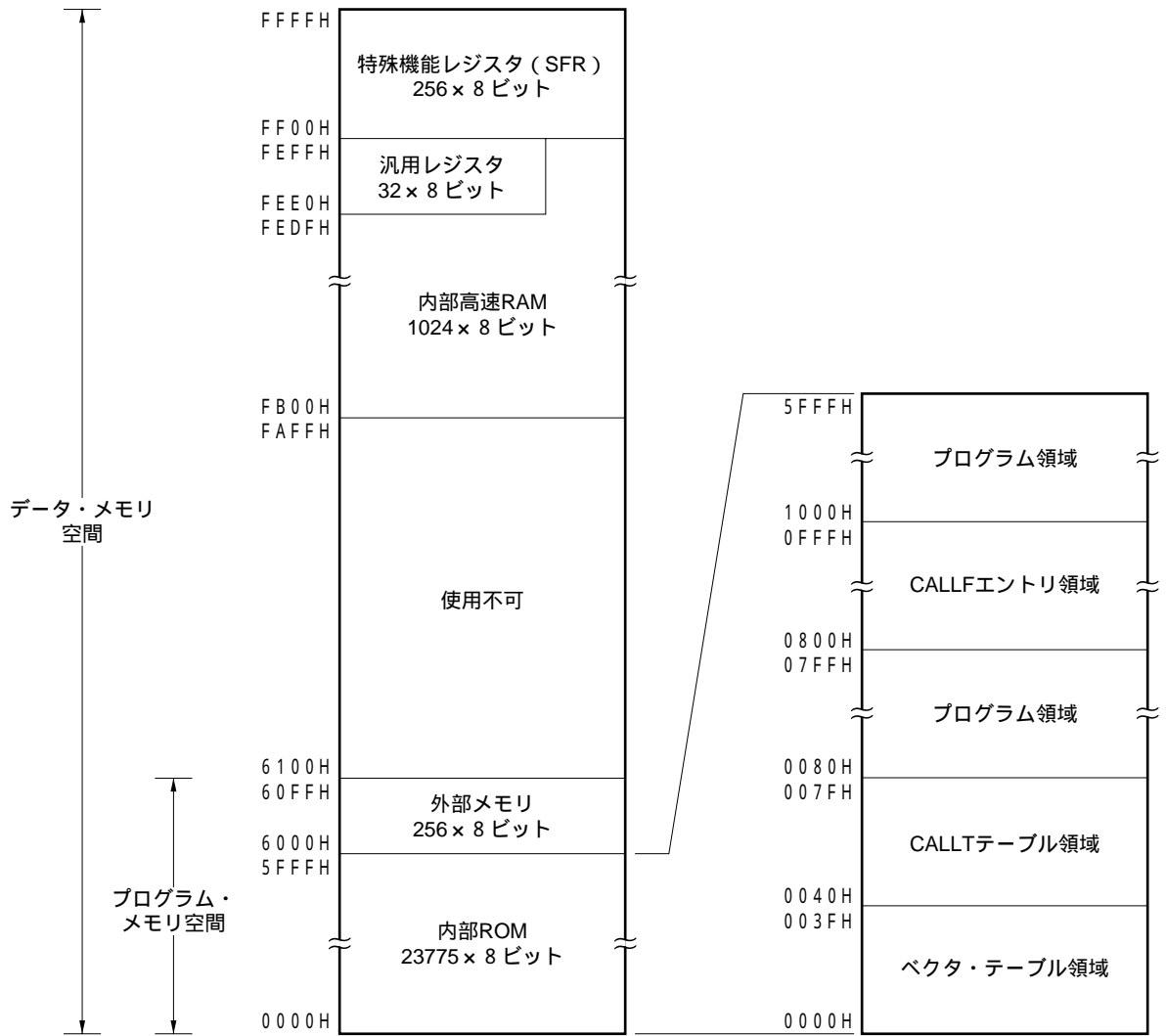


図3-3 メモリ・マップ (μPD780984)

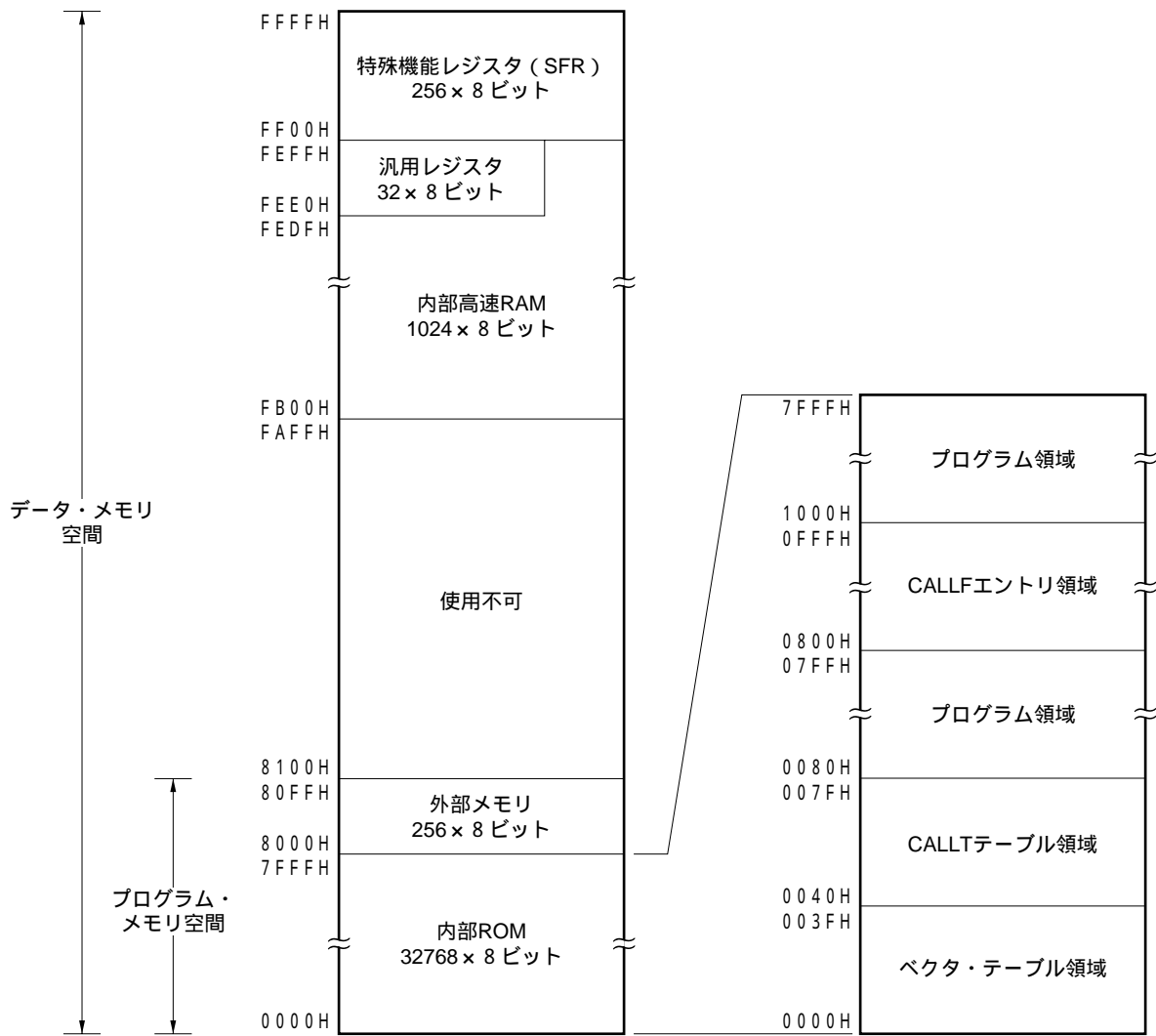


図3 - 4 メモリ・マップ (μPD780986)

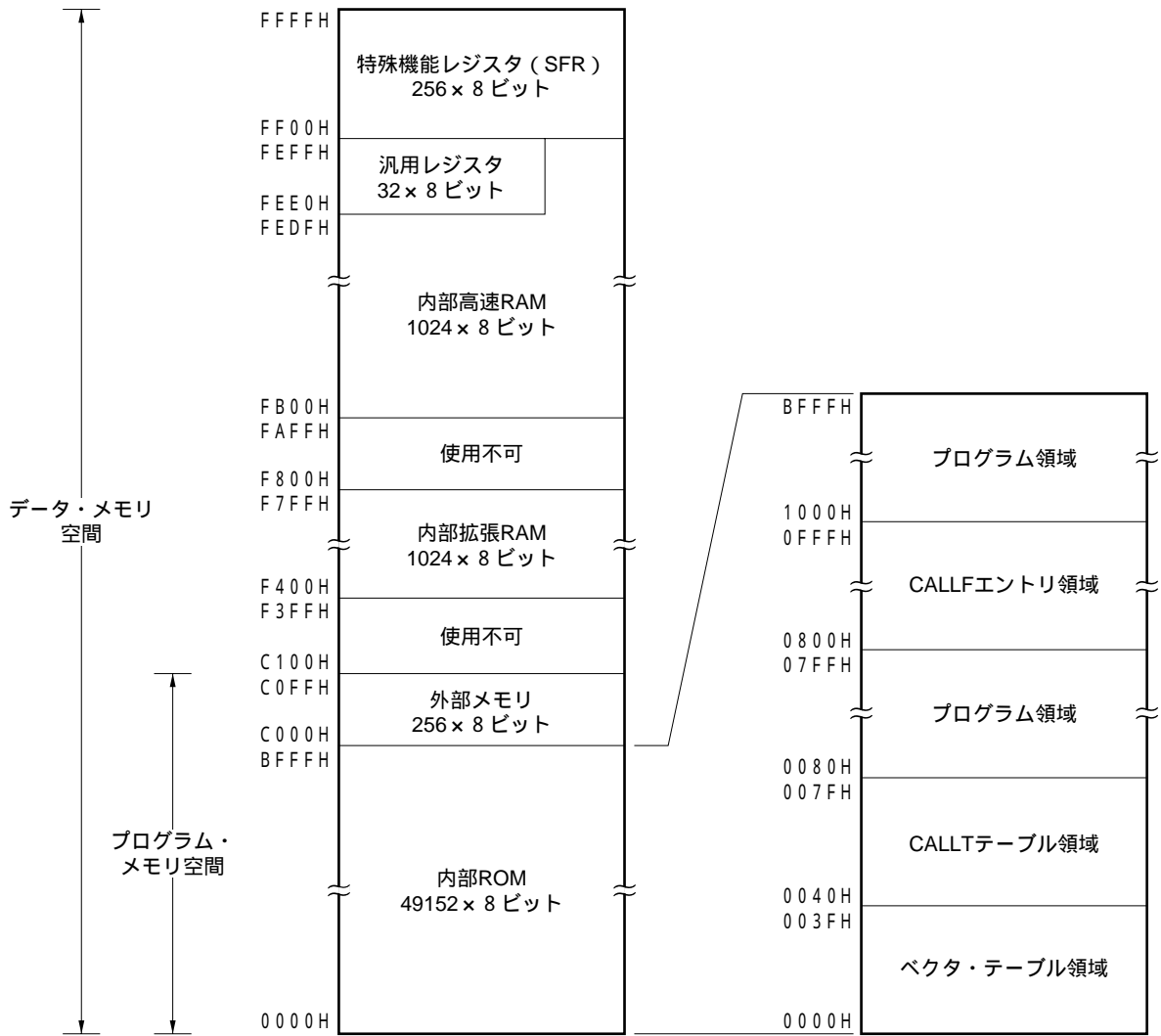


図3-5 メモリ・マップ (μPD780988)

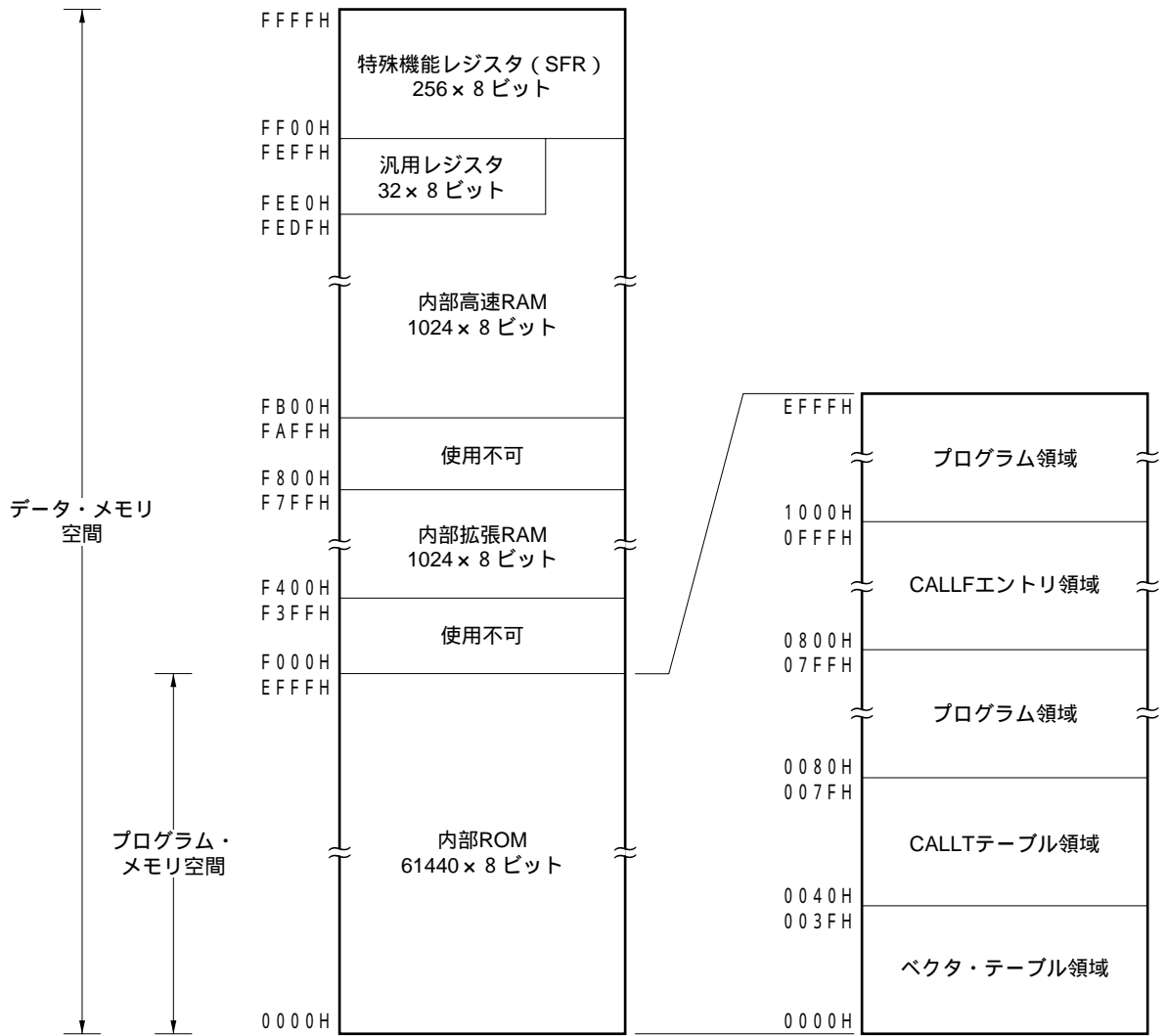
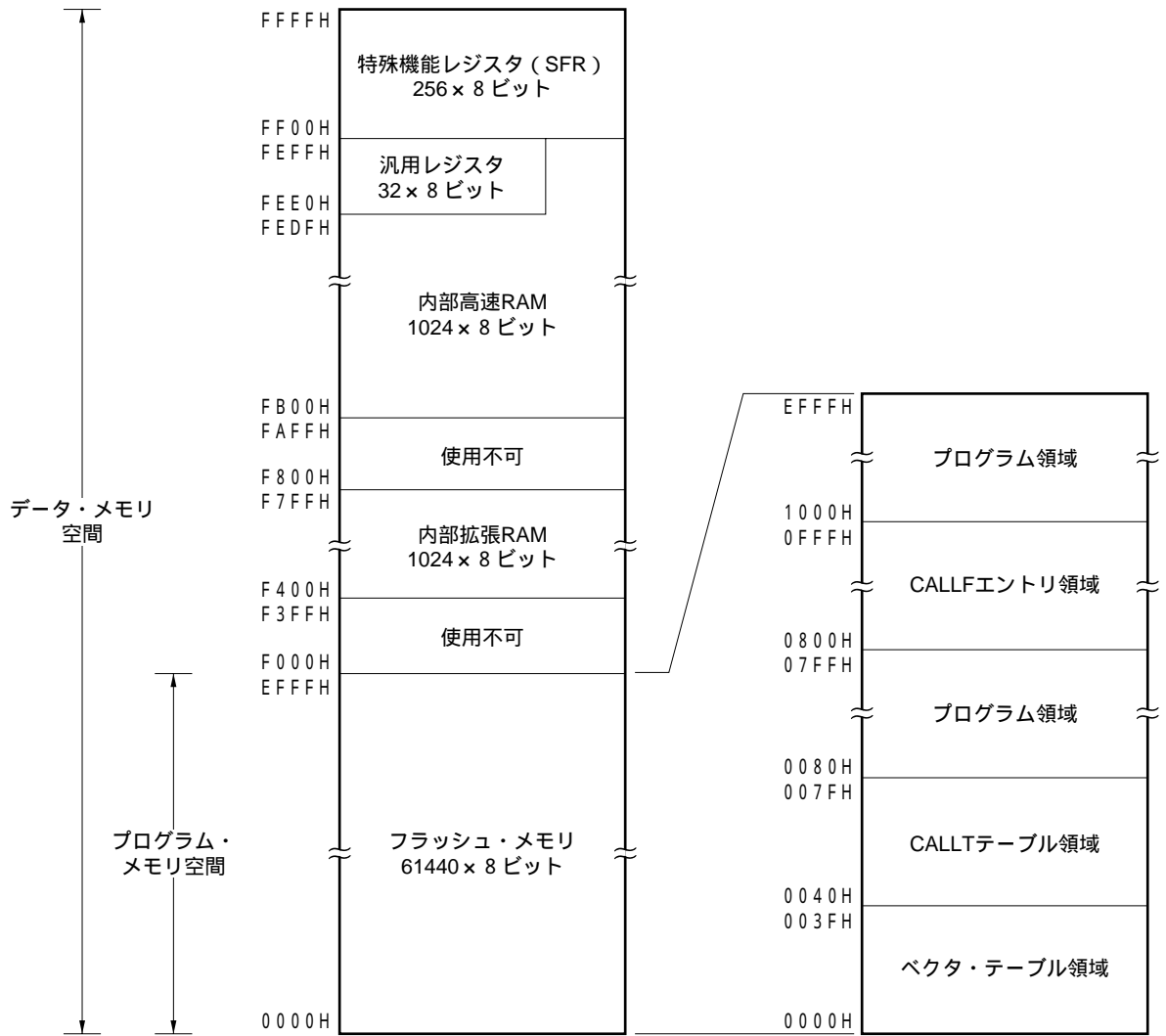


図3 - 6 メモリ・マップ (μPD78F0988A)



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD780988サブシリーズは、各製品ごとに次に示す内部ROM（またはフラッシュ・メモリ）を内蔵していません。

表3 - 1 内部ROM容量

製 品	容 量	
	構 造	
μPD780982	マスクROM	16384 × 8 ビット (0000H-3FFFH)
μPD780983		23775 × 8 ビット (0000H-5FFFH)
μPD780984		32768 × 8 ビット (0000H-7FFFH)
μPD780986		49152 × 8 ビット (0000H-BFFFH)
μPD780988		61440 × 8 ビット (0000H-EFFFH)
μPD78F0988A	フラッシュ・メモリ	61440 × 8 ビット (0000H-EFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、RESET入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうちの下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3 - 2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
0 0 0 0 H	RESET入力	0 0 1 C H	INTTM001
0 0 0 4 H	INTWDT	0 0 1 E H	INTTM011
0 0 0 6 H	INTP0	0 0 2 0 H	INTSER0
0 0 0 8 H	INTP1	0 0 2 2 H	INTSR0
0 0 0 A H	INTP2	0 0 2 4 H	INTST0
0 0 0 C H	INTP3	0 0 2 6 H	INTSR1
0 0 0 E H	INTP4	0 0 2 8 H	INTST1
0 0 1 0 H	INTP5	0 0 2 A H	INTTM50
0 0 1 2 H	INTP6	0 0 2 C H	INTTM51
0 0 1 4 H	INTP7	0 0 2 E H	INTTM52
0 0 1 6 H	INTTM7	0 0 3 0 H	INTCSI3
0 0 1 8 H	INTTM000	0 0 3 2 H	INTAD0
0 0 1 A H	INTTM010	0 0 3 E H	BRK命令

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納できます。

(3) CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令(CALLF)で直接サブルーチン・コールできます。

3.1.2 内部データ・メモリ空間

μPD780988サブシリーズは、次に示すRAMを内蔵しています。

(1) 内部高速RAM

FB00H-FEFFFHの1024バイトの領域に、内部高速RAMが割り付けられています。このうちFEE0H-FEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられています。

- ★ プログラム領域として命令を書いて実行することはできません。
また、内部高速RAMはスタック・メモリとしても使用できます。

(2) 内部拡張RAM

μPD780986, 780988, 78F0988Aのみ、F400H-F7FFFHの1024バイトの領域に、内部拡張RAMが割り付けられています。

- ★ 内部高速RAMと同様に通常のデータ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。

3.1.3 特殊機能レジスタ(SFR: Special Function Register)領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ(SFR)が割り付けられています(3.2.3 特殊機能レジスタ(SFR: Special Function Register)の表3-4 特殊機能レジスタ一覧参照)。

注意 SFRを割り付けていないアドレスをアクセスしないでください。

3.1.4 外部メモリ空間

メモリ拡張モード・レジスタ(MEM)の設定によりアクセスが可能な外部メモリ空間です。プログラム、テーブル・データなどの格納、および周辺デバイスを割り付けることができます。

3.1.5 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり，命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

次に実行する命令のアドレスはプログラム・カウンタ（PC）によりアドレスされます（詳細については，3.3 命令アドレスのアドレッシングを参照してください）。

一方，命令を実行する際に操作対象となるメモリのアドレッシングについて，μPD780988サブシリーズでは，その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域（FB00H-FFFFH）では，特殊機能レジスタ（SFR）や汎用レジスタなど，それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3 - 7から図3 - 12にデータ・メモリのアドレッシングを示します。各アドレッシングの詳細については，3.4 オペランド・アドレスのアドレッシングを参照してください。

図3 - 7 データ・メモリのアドレッシング（μPD780982）

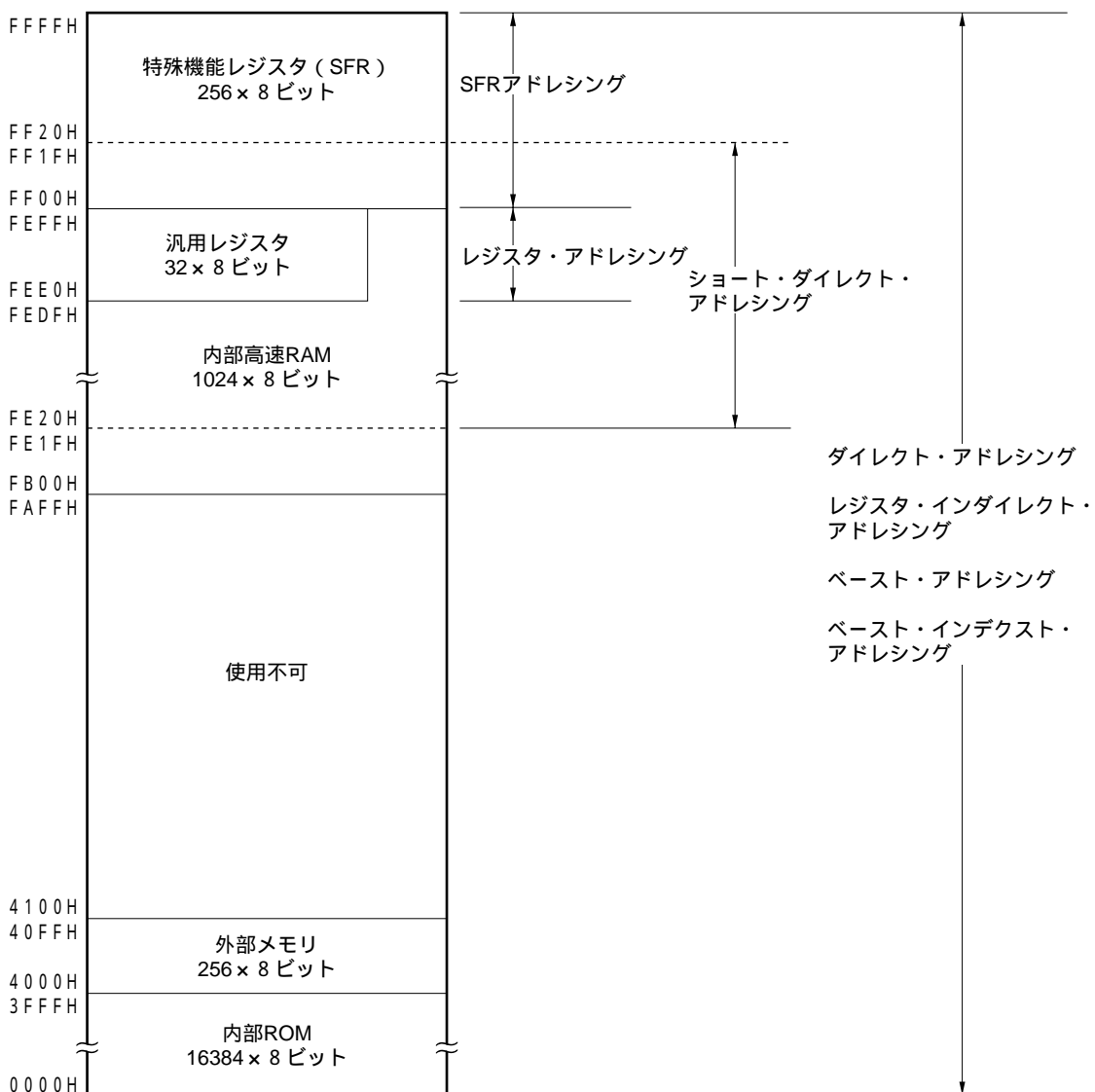


図3 - 8 データ・メモリのアドレッシング (μPD780983)

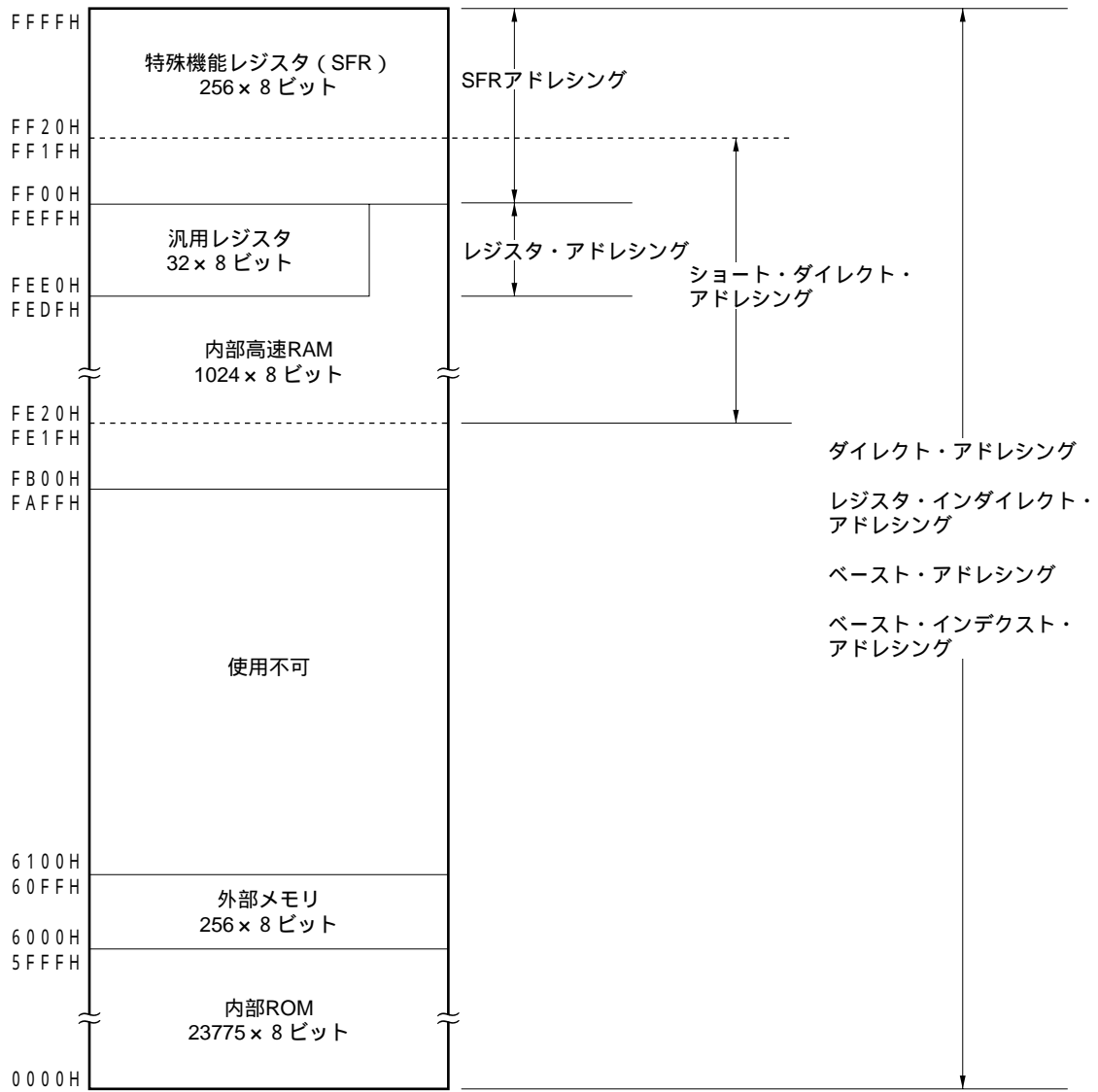


図3-9 データ・メモリのアドレッシング (μPD780984)

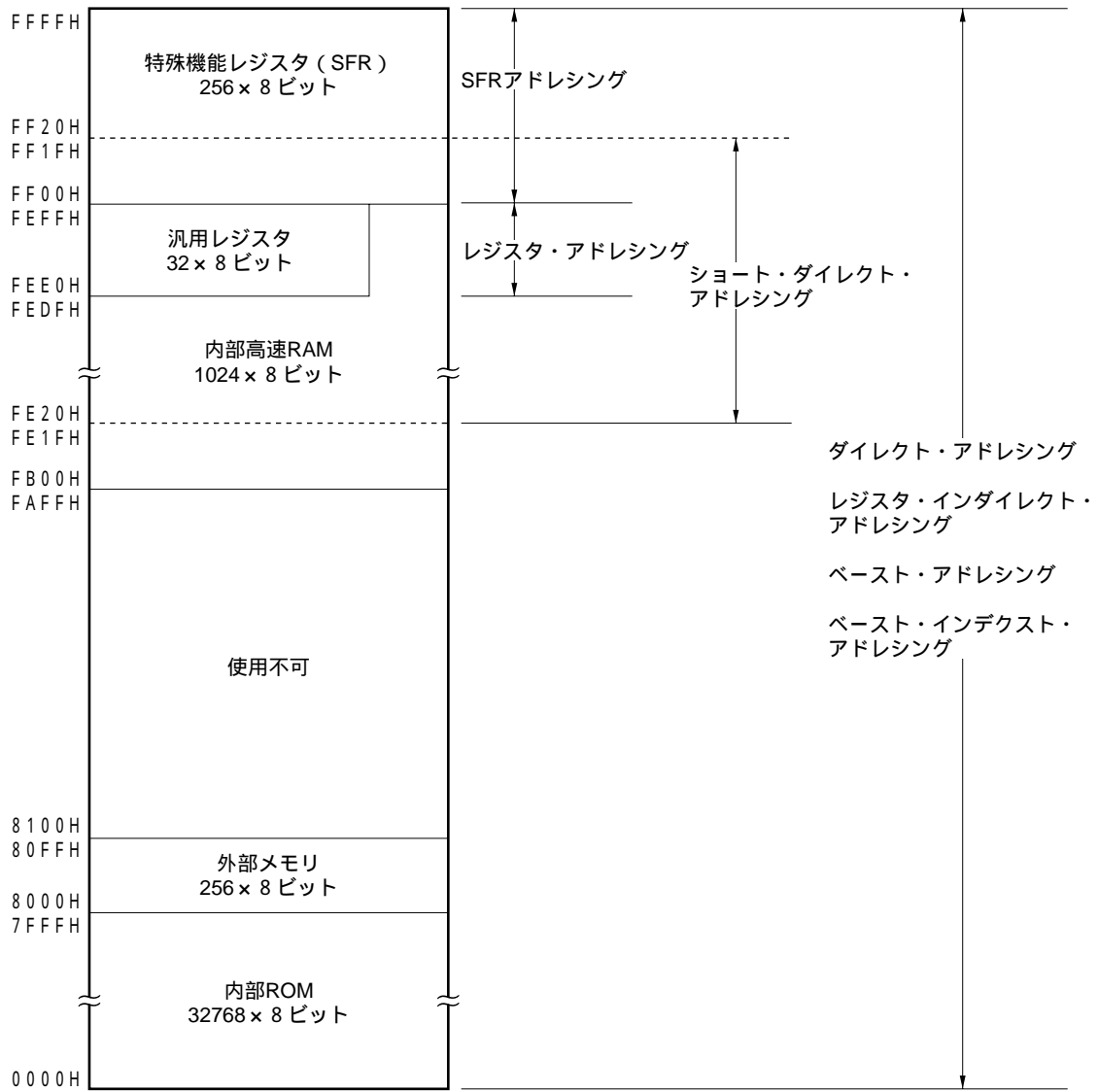


図3 - 10 データ・メモリのアドレッシング (μPD780986)

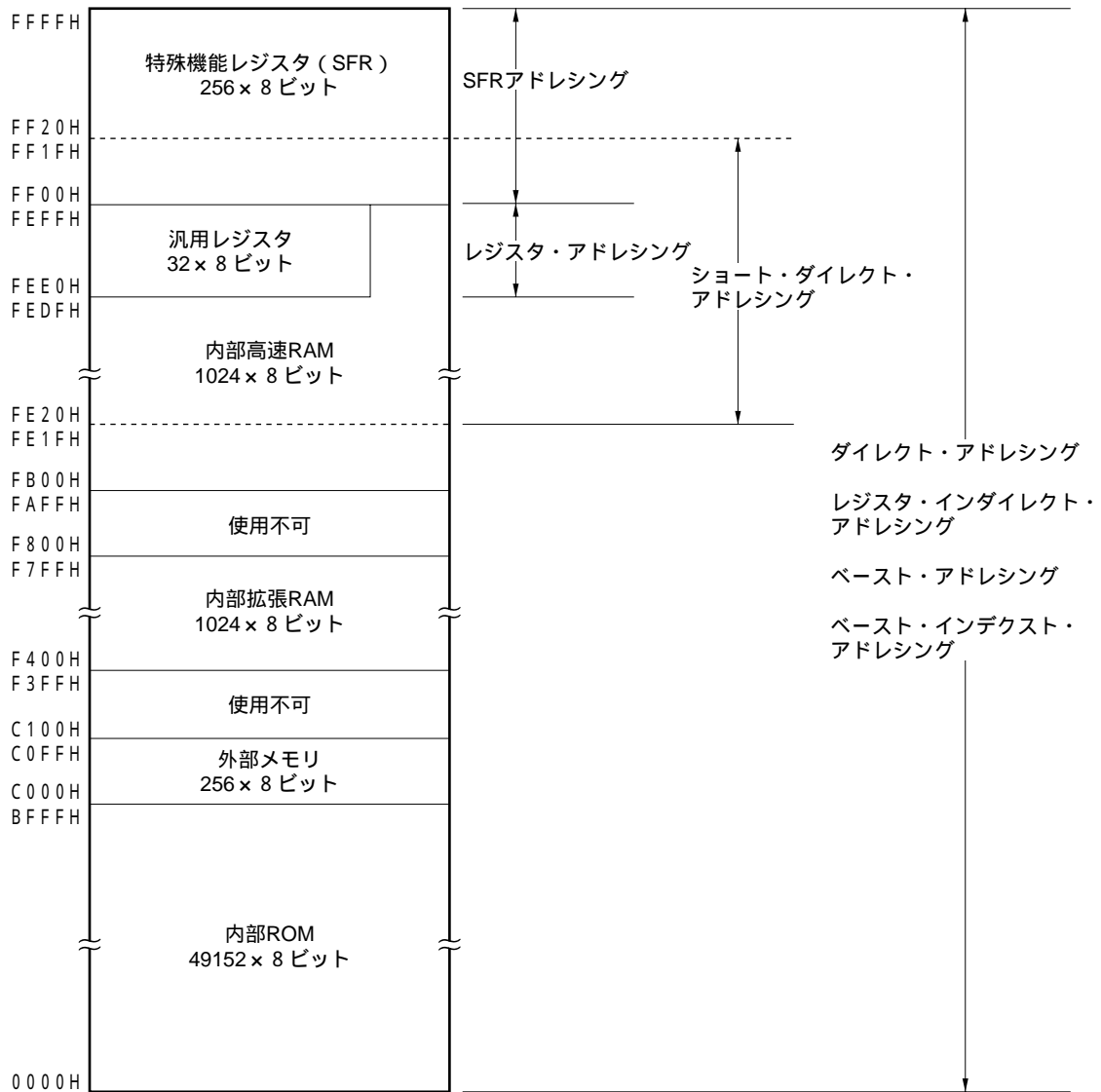


図3 - 11 データ・メモリのアドレッシング (μPD780988)

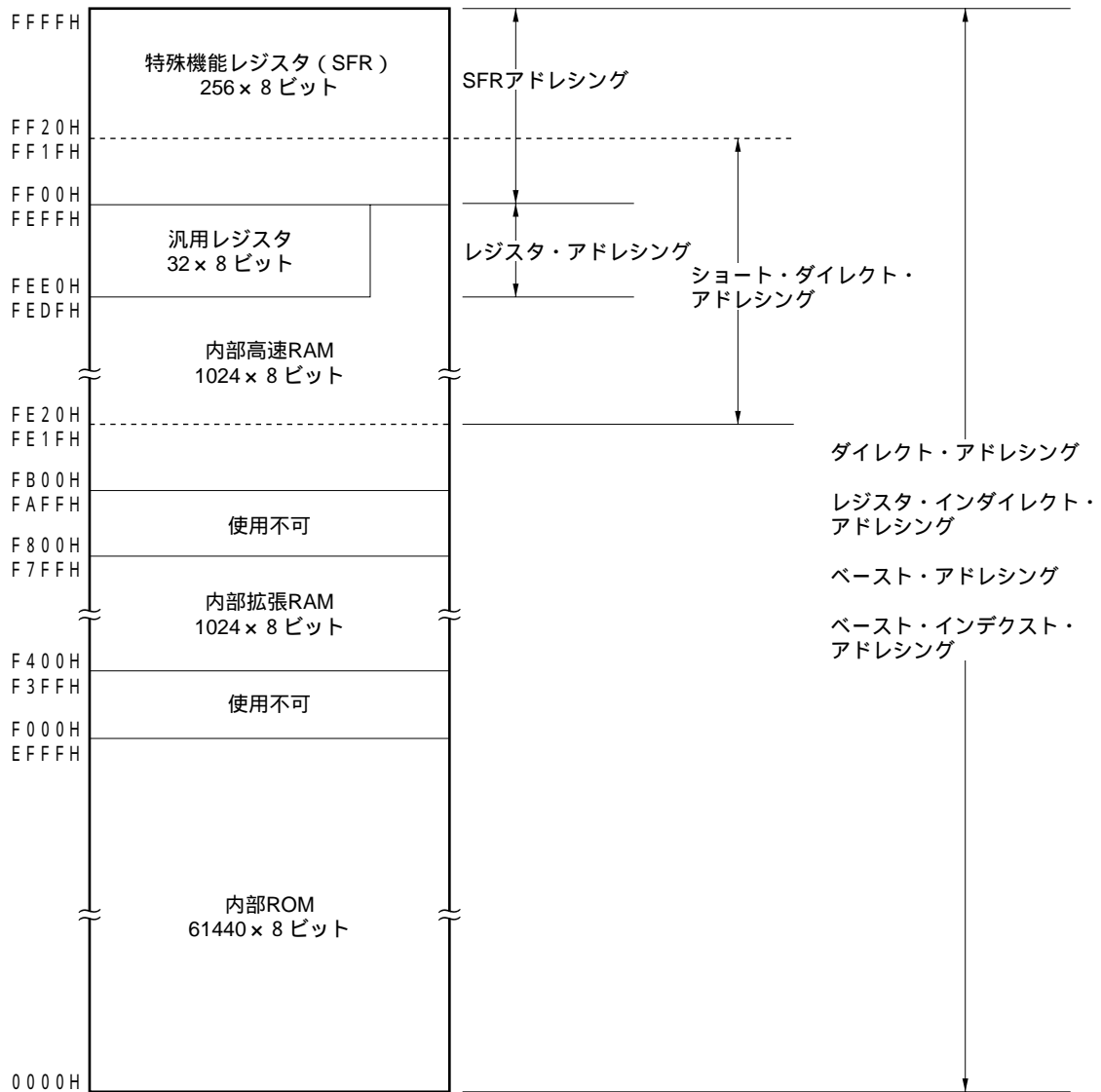
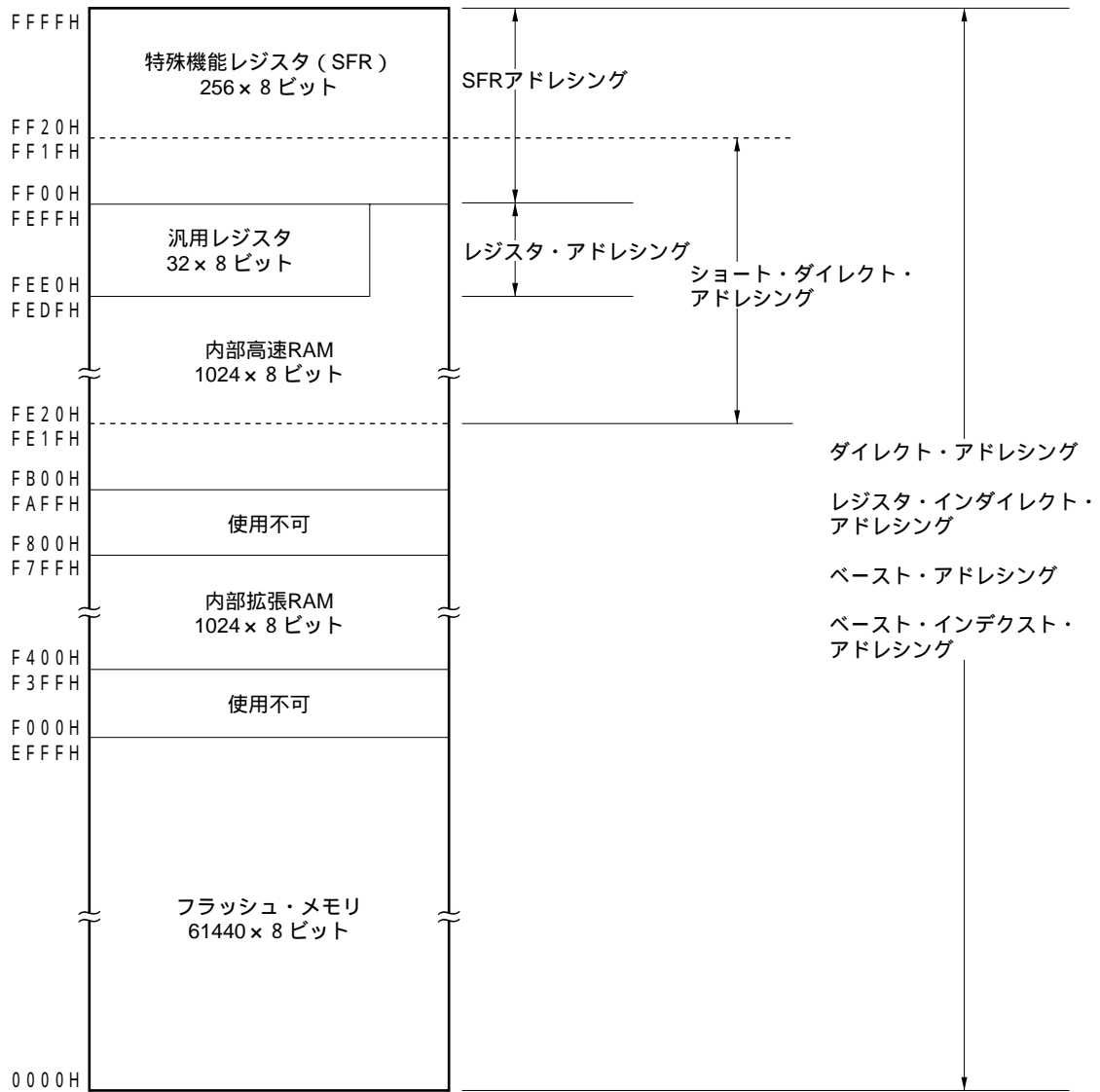


図3 - 12 データ・メモリのアドレッシング (μPD78F0988A)



3.2 プロセッサ・レジスタ

μPD780988サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

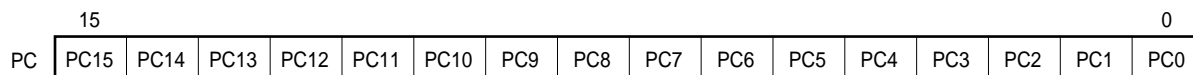
（1）プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 13 プログラム・カウンタの構成



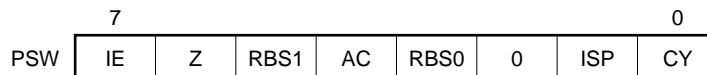
（2）プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETB、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3 - 14 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスクブル割り込み以外の割り込み要求はすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ (ISP)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込み要求の受け付けでリセット (0) され、EI命令の実行によりリセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサービス・プライオリティ・フラグ (ISP)

受け付け可能なマスクブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) (14.3 (3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

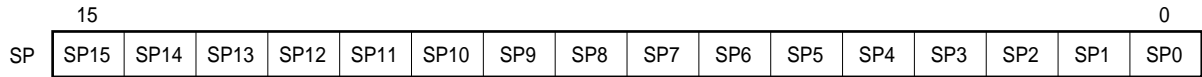
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域 (FB00H-FEFFFH) のみ設定可能です。

図3 - 15 スタック・ポインタの構成



スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 16, 図3 - 17のようになります。

注意 SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3 - 16 スタック・メモリへ退避されるデータ

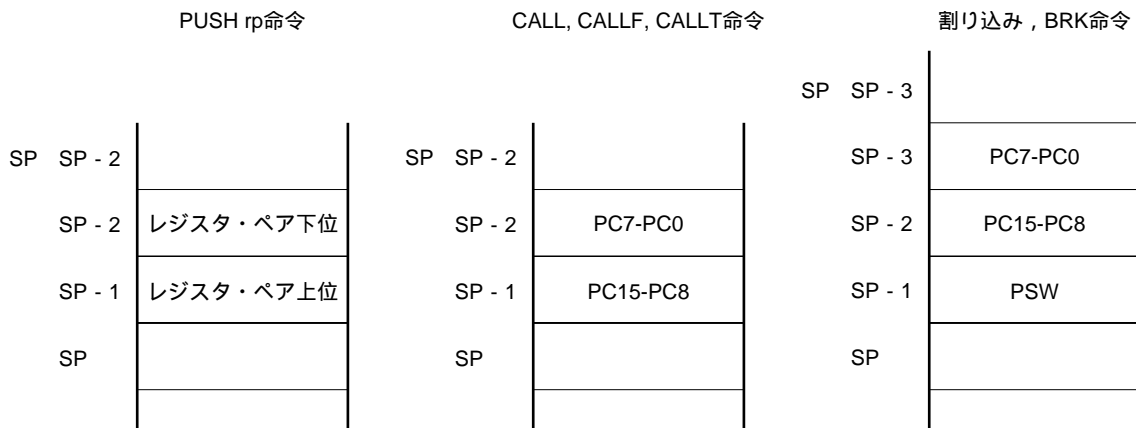
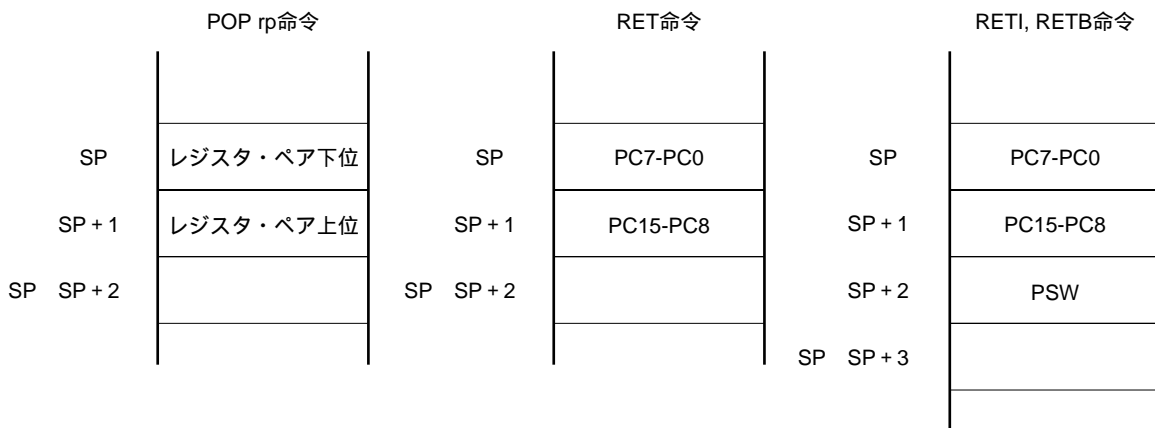


図3 - 17 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地（FEE0H-FEFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

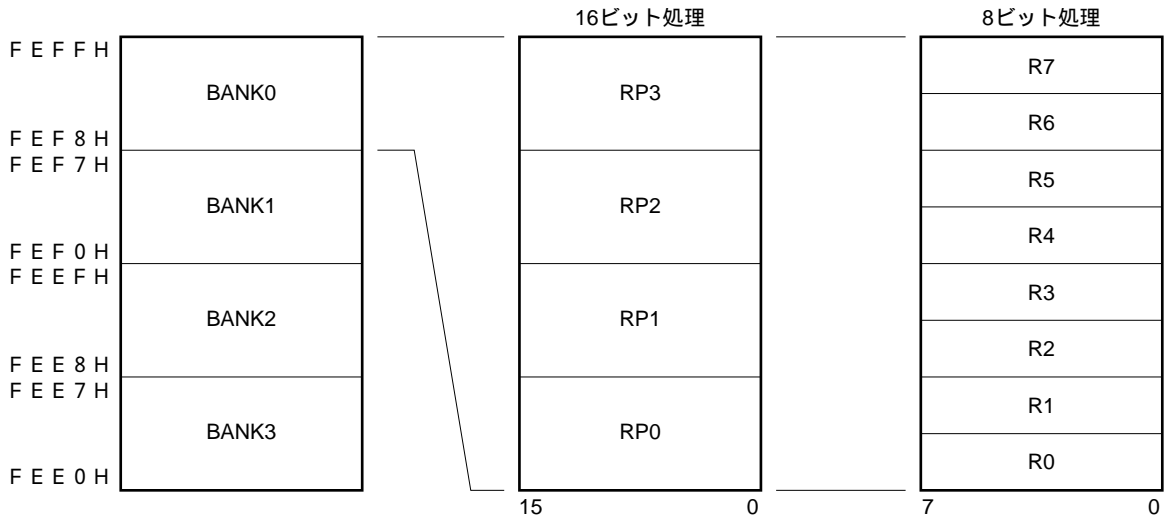
命令実行時に使用するレジスタ・バンクは、CPU制御命令（SEL RBn）によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

表3-3 汎用レジスタの絶対アドレス対照表

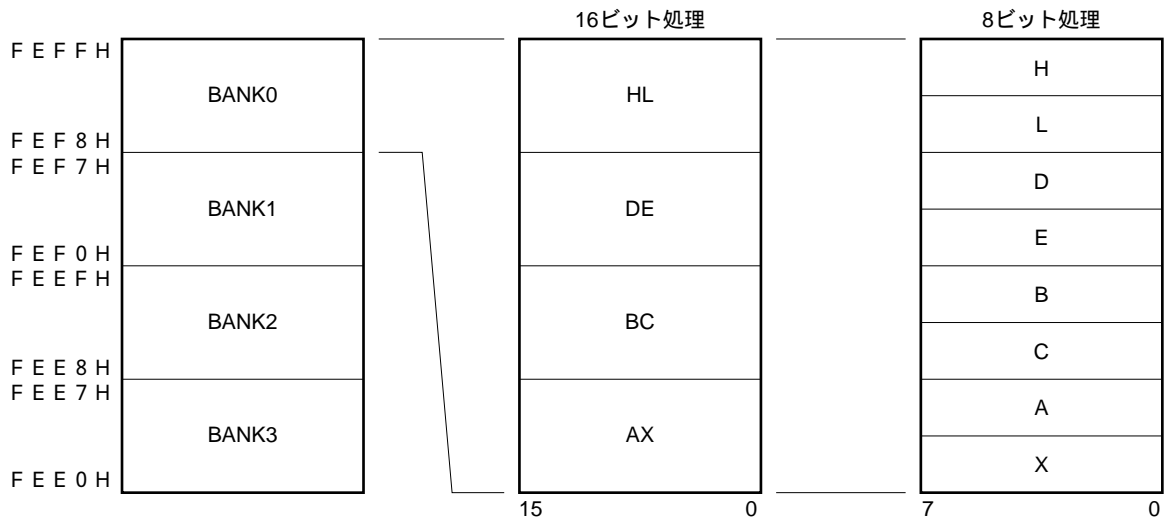
バンク名	レジスタ		絶対アドレス	バンク名	レジスタ		絶対アドレス
	機能名称	絶対名称			機能名称	絶対名称	
BANK0	H	R7	F E F F H	BANK2	H	R7	F E E F H
	L	R6	F E F E H		L	R6	F E E E H
	D	R5	F E F D H		D	R5	F E E D H
	E	R4	F E F C H		E	R4	F E E C H
	B	R3	F E F B H		B	R3	F E E B H
	C	R2	F E F A H		C	R2	F E E A H
	A	R1	F E F 9 H		A	R1	F E E 9 H
	X	R0	F E F 8 H		X	R0	F E E 8 H
BANK1	H	R7	F E F 7 H	BANK3	H	R7	F E E 7 H
	L	R6	F E F 6 H		L	R6	F E E 6 H
	D	R5	F E F 5 H		D	R5	F E E 5 H
	E	R4	F E F 4 H		E	R4	F E E 4 H
	B	R3	F E F 3 H		B	R3	F E E 3 H
	C	R2	F E F 2 H		C	R2	F E E 2 H
	A	R1	F E F 1 H		A	R1	F E E 1 H
	X	R0	F E F 0 H		X	R0	F E E 0 H

図3-18 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFH の領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1 , 8 , 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- ・ **1ビット操作**

1ビット操作命令のオペランド (sfr. bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ **8ビット操作**

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ **16ビット操作**

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 4 に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・ **略号**

特殊機能レジスタのアドレスを示す略号です。

RA78K0で予約語に、CC78K0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

RA78K0, ID78K0-NS, ID78K0, SM78K0使用時に命令のオペランドとして記述できます。

- ・ **R/W**

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ **操作可能ビット単位**

操作可能なビット単位 (1 , 8 , 16) を $\overline{\hspace{1cm}}$ で示します。 - は操作できないビット単位であることを示します。

- ・ **リセット時**

$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表3-4 特殊機能レジスタ一覧(1/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W		操作可能ビット単位			リセット時	
						1ビット	8ビット	16ビット		
FF00H	ポート0	P0		R/W				-	00H	
FF01H	ポート1	P1		R				-		
FF02H	ポート2	P2		R/W				-		
FF03H	ポート3	P3						-		
FF04H	ポート4	P4						-		
FF05H	ポート5	P5						-		
FF06H	ポート6	P6				-				
FF07H	8ビット・タイマ・カウンタ52	TM52		R		-		-	0000H	
FF08H	10ビット・バッファ・レジスタ0	BFCM0	BFCM0L	R/W	R/W	-				
FF09H			-		-		-			
FF0AH	10ビット・バッファ・レジスタ1	BFCM1	BFCM1L	R/W	R/W	-				
FF0BH			-		-		-			
FF0CH	10ビット・バッファ・レジスタ2	BFCM2	BFCM2L	R/W	R/W	-				
FF0DH			-		-		-			
FF0EH	10ビット・バッファ・レジスタ3	BFCM3	BFCM3L	R/W	R/W	-				
FF0FH			-		-		-			
FF10H	16ビット・タイマ・カウンタ00	TM00		R		-	-			
FF11H										
FF12H	16ビット・タイマ・カウンタ01	TM01						-		-
FF13H										
FF14H	8ビット・タイマ・カウンタ50	TM5	TM50			-				
FF15H			TM51			-				
FF16H	8ビット・コンペア・レジスタ50	CR5	CR50	R/W		-				
FF17H			CR51					-		
FF18H	A/D変換結果レジスタ0	ADCR0		R		-	-			
FF19H										
FF1AH	送信シフト・レジスタ0	TXS00		W		-		-	FFH	
	受信バッファ・レジスタ0	RXB00		R		-		-		
FF1BH	送信シフト・レジスタ1	TXS01		W		-		-		
	受信バッファ・レジスタ1	RXB01		R		-		-		
FF1FH	シリアルI/Oシフト・レジスタ3	SIO3		R/W		-		-	不定	
FF20H	ポート・モード・レジスタ0	PM0							-	FFH
FF22H	ポート・モード・レジスタ2	PM2							-	
FF23H	ポート・モード・レジスタ3	PM3							-	
FF24H	ポート・モード・レジスタ4	PM4							-	
FF25H	ポート・モード・レジスタ5	PM5							-	
FF26H	ポート・モード・レジスタ6	PM6							-	

表3-4 特殊機能レジスタ一覧(2/4)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF30H	ブルアップ抵抗オプション・レジスタ0	PU0	R/W			-	00H
FF32H	ブルアップ抵抗オプション・レジスタ2	PU2				-	
FF33H	ブルアップ抵抗オプション・レジスタ3	PU3				-	
FF34H	ブルアップ抵抗オプション・レジスタ4	PU4				-	
FF35H	ブルアップ抵抗オプション・レジスタ5	PU5				-	
FF36H	ブルアップ抵抗オプション・レジスタ6	PU6				-	
FF42H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS			-	-	
★ FF47H	メモリ拡張モード・レジスタ	MEM	W	-	-		
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP	R/W			-	
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN				-	
FF60H	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00				-	
FF61H	プリスケアラ・モード・レジスタ00	PRM00		-	-		
FF62H	キャプチャ/コンペア・コントロール・レジスタ00	CRC00				-	
FF63H	タイマ出力コントロール・レジスタ00	TOC00				-	
FF64H	16ビット・キャプチャ/コンペア・レジスタ000	CR000		-	-		不定
FF65H							
FF66H	16ビット・キャプチャ/コンペア・レジスタ010	CR010		-	-		00H
FF67H							
FF68H	16ビット・タイマ・モード・コントロール・レジスタ01	TMC01				-	00H
FF69H	プリスケアラ・モード・レジスタ01	PRM01		-	-		
FF6AH	キャプチャ/コンペア・コントロール・レジスタ01	CRC01				-	
FF6BH	タイマ出力コントロール・レジスタ01	TOC01				-	
FF6CH	16ビット・キャプチャ/コンペア・レジスタ001	CR001		-	-		不定
FF6DH							
FF6EH	16ビット・キャプチャ/コンペア・レジスタ011	CR011		-	-		00H
FF6FH							
FF70H	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50				-	00H
FF71H	タイマ・クロック選択レジスタ50	TCL50		-	-		
FF74H	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51				-	
FF75H	タイマ・クロック選択レジスタ51	TCL51		-	-		
FF78H	8ビット・タイマ・モード・コントロール・レジスタ52	TMC52				-	
FF79H	タイマ・クロック選択レジスタ52	TCL52		-	-		
FF7AH	8ビット・コンペア・レジスタ52	CR52		-	-		
FF7CH	外部割り込み立ち上がりエッジ許可レジスタ5	EGP5				-	00H
FF7DH	外部割り込み立ち下がりエッジ許可レジスタ5	EGN5				-	
FF80H	ADコンバータ・モード・レジスタ0	ADM0				-	
FF81H	アナログ入力チャネル指定レジスタ0	ADS0		-	-		
FF84H	リアルタイム出力バッファ・レジスタ0L	RTBL00				-	

表3-4 特殊機能レジスタ一覧(3/4)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W		操作可能ビット単位			リセット時
						1ビット	8ビット	16ビット	
FF85H	リアルタイム出力バッファ・レジスタ0H	RTBH00		R/W				-	00H
FF86H	リアルタイム出力ポート・モード・レジスタ0	RTPM00						-	
FF87H	リアルタイム出力ポート・コントロール・レジスタ0	RTPC00						-	
FF89H	フラッシュ・プログラミング・モード・コントロール・レジスタ	FLPMC						-	
FF90H	インバータ・タイマ・コントロール・レジスタ7	TMC7						-	
FF91H	インバータ・タイマ・モード・レジスタ7	TMM7						-	
FF92H	10ビット・コンペア・レジスタ0	CM0	R/W	R/W	-			0000H	
FF93H				-		-			
FF94H	10ビット・コンペア・レジスタ1	CM1	R/W	R/W	-				
FF95H				-		-			
FF96H	10ビット・コンペア・レジスタ2	CM2	R/W	R/W	-				
FF97H				-		-			
FF98H	10ビット・コンペア・レジスタ3	CM3	R/W	R/W	-			00FFH	
FF99H				-		-			
FF9AH	デッド・タイム・リロード・レジスタ	DTIME		W		-	-	FFH	
FF9CH	リアルタイム出力バッファ・レジスタ1L	RTBL01		R/W				-	00H
FF9DH	リアルタイム出力バッファ・レジスタ1H	RTBH01						-	
FF9EH	リアルタイム出力ポート・モード・レジスタ1	RTPM01						-	
FF9FH	リアルタイム出力ポート・コントロール・レジスタ1	RTPC01						-	
FFA0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM00						-	
FFA1H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS00		R		-	-	-	
FFA2H	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRGC00		R/W		-	-	-	
FFA8H	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	ASIM01						-	
FFA9H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	ASIS01		R		-	-	-	
FFAAH	ポー・レート・ジェネレータ・コントロール・レジスタ1	BRGC01		R/W		-	-	-	
FFB0H	シリアル動作モード・レジスタ3	CSIM3						-	
FFB8H	DC制御レジスタ0	DCCTL0						-	
FFBCH	DC制御レジスタ1	DCCTL1						-	
FFD0H	外部アクセス領域 ^{注2}							-	不定
FFDFH									
FFE0H	割り込み要求フラグ・レジスタ0L	IF0L	IF0						00H
FFE1H	割り込み要求フラグ・レジスタ0H	IF0H							

注1. ビット2は、V_{PP}のレベルによって変化します。

2. 外部アクセス領域は、SFRアドレッシングではアクセスできません。ダイレクト・アドレッシングでアクセスしてください。

表3-4 特殊機能レジスタ一覧(4/4)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FFE2H	割り込み要求フラグ・レジスタ1L	IF1L		R/W			-	00H
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L	MK0					FFH
FFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H						
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L					-	
FFE8H	優先順位指定フラグ・レジスタ0L	PR0L	PR0					
FFE9H	優先順位指定フラグ・レジスタ0H	PR0H						
FEAH	優先順位指定フラグ・レジスタ1L	PR1L					-	
FFF0H	メモリ・サイズ切り替えレジスタ	IMS			-		-	CFH ^{注1}
FFF4H	内部拡張RAMサイズ切り替えレジスタ	IXS			-		-	0CH ^{注2}
FFF8H	メモリ拡張ウエイト設定レジスタ	MM			-		-	10H
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM					-	00H
FFFAH	発振安定時間選択レジスタ	OSTS			-		-	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC					-	

注1．初期値はCFHですが、各製品ごとに次に示す値を設定して使用してください。

- μ PD780982 : C4H
- μ PD780983 : C6H
- μ PD780984 : C8H
- μ PD780986 : CCH
- μ PD780988 : CFH (μ PD780988は設定値がCFHなので、初期値を変更する必要はありません)
- μ PD78F0988A : マスクROM製品に対応した値

2．初期値は0CHですが、各製品ごとに次に示す値を設定して使用してください。

- μ PD780982, 780983, 780984 : 0CH (μ PD780982, 780983, 780984は設定値が0CHなので、初期値を変更する必要はありません)
- μ PD780986, 780988 : 0AH
- μ PD78F0988A : マスクROM製品に対応した値

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

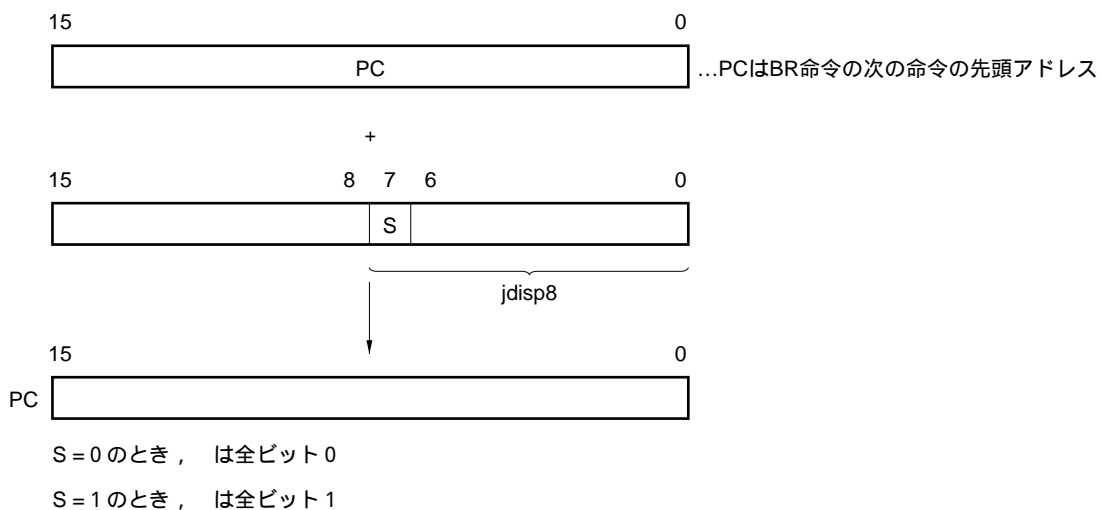
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレイメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレイメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するという事です。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



3.3.2 イミディエト・アドレッシング

【機能】

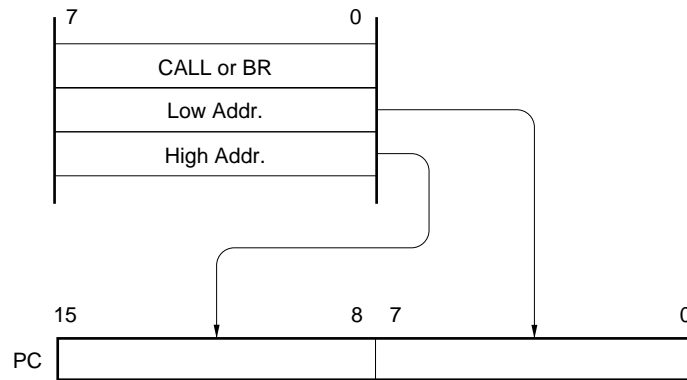
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

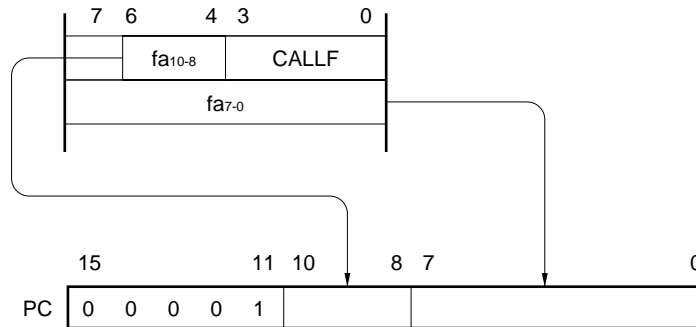
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



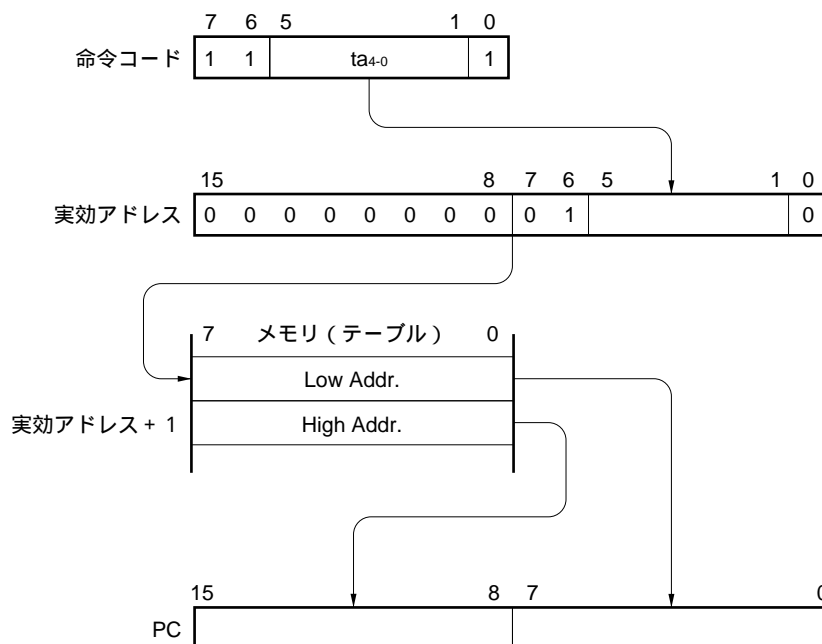
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



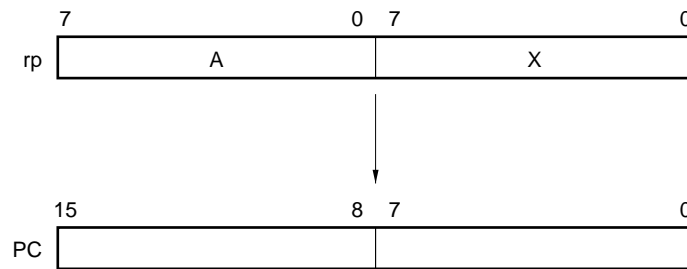
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア (AX) の内容がプログラム・カウンタ (PC) に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

μPD780988サブシリーズの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ, 積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため、特定のオペランド形式を持ちません。

【記述例】

MULU Xの場合

8ビット×8ビットの乗算命令において、AレジスタとXレジスタの積をAXに格納する。ここで、A, AXレジスタがインプライド・アドレッシングで指定されている。

3.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コード (Rn, RPn) により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

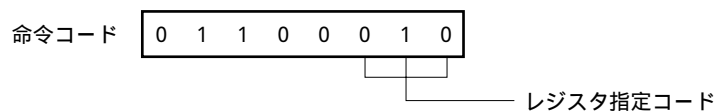
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

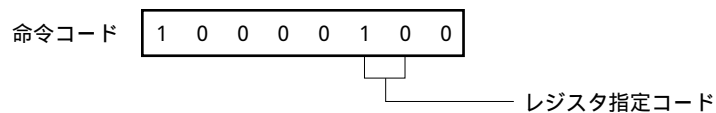
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.3 ダイレクト・アドレッシング

【機能】

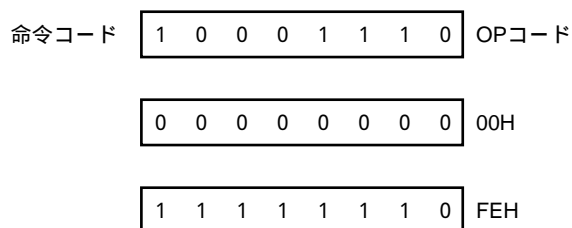
命令語中のイミューディアット・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

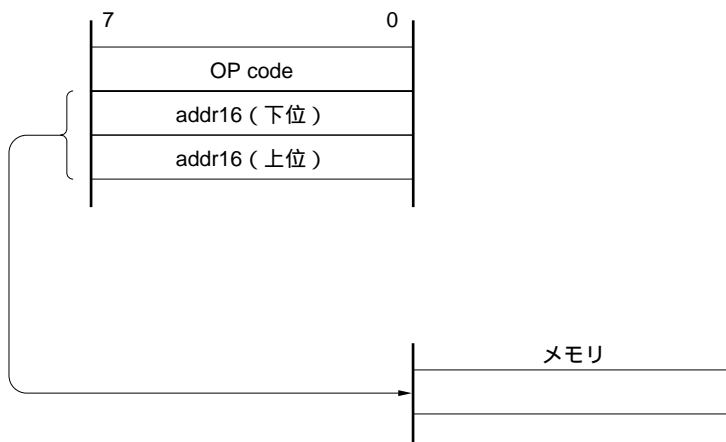
表現形式	記述方法
addr16	ラベルまたは16ビット・イミューディアット・データ

【記述例】

MOV A, !0FE00H ; ! addr16をFE00Hとする場合



【図解】



3.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部分です。この領域には、プログラム上で頻繁にアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

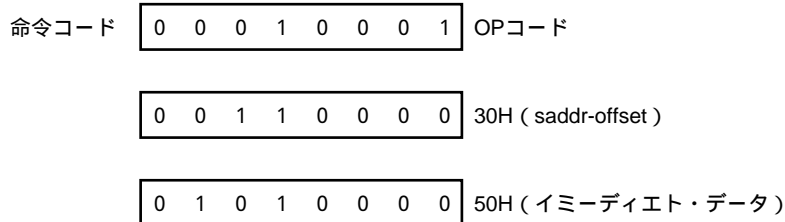
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。【図解】を参照してください。

【オペランド形式】

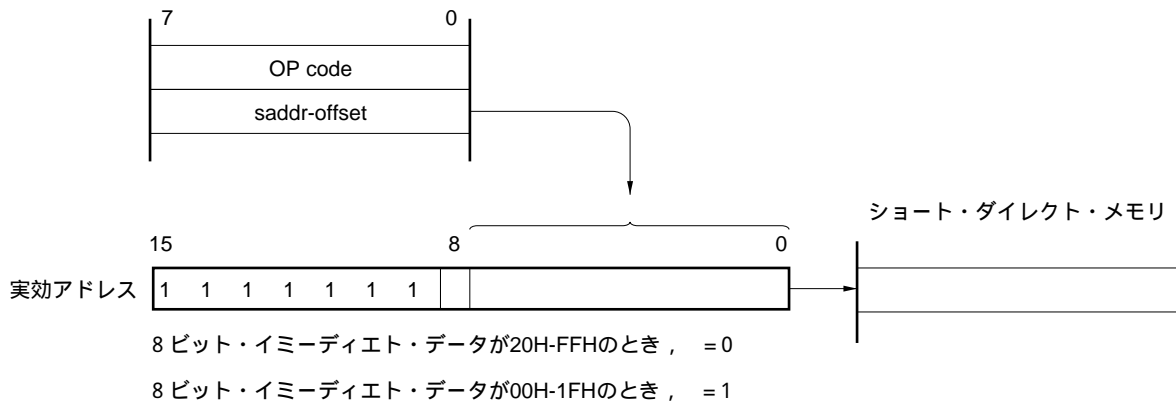
表現形式	記述方法
saddr	レーベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	レーベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV 0FE30H, #50H ; saddrをFE30H, イミディエト・データを50Hとする場合



【図解】



3.4.5 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

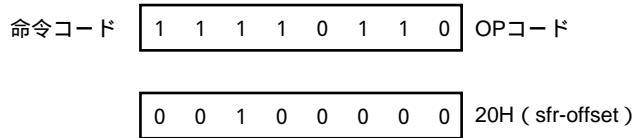
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

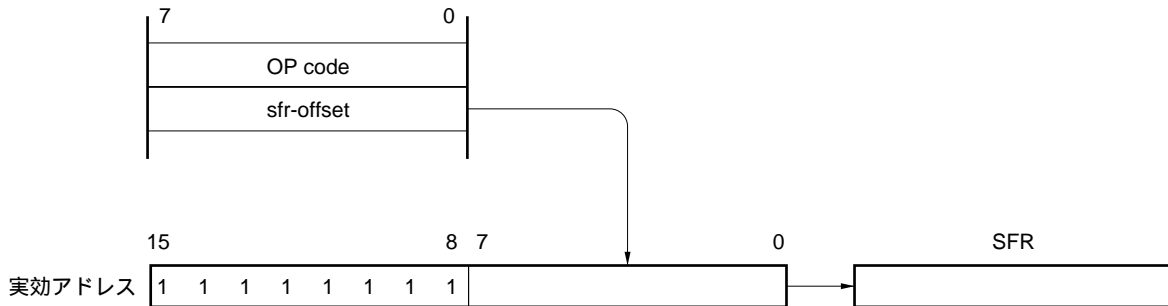
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



【図解】



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

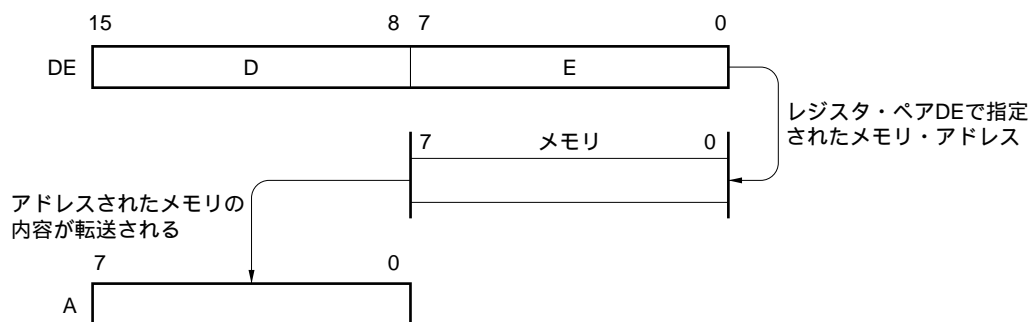
【記述例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



3.4.7 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中のものです。オフセット・データを正の数として16ビットに拡張して加算します。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

1	0	1	0	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

3.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中のレジスタです。BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して加算します。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL+B], [HL+C]

【記述例】

MOV A, [HL+B]の場合

命令コード

1 0 1 0 1 0 1 1

3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ(SP)の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスできます。

【記述例】

PUSH DEの場合

命令コード

1 0 1 1 0 1 0 1

第4章 ポート機能

4.1 ポートの機能

μPD780988サブシリーズは、8本の入力ポートと39本の入出力ポートを内蔵しています。図4-1にポートの種類を示します。いずれのポートも1ビット操作、8ビット操作が可能で、きわめて多様に制御できます。また、ポートとしての機能のほかに、内蔵ハードウェアの入出力端子としての機能などを持っています。

図4-1 ポートの種類

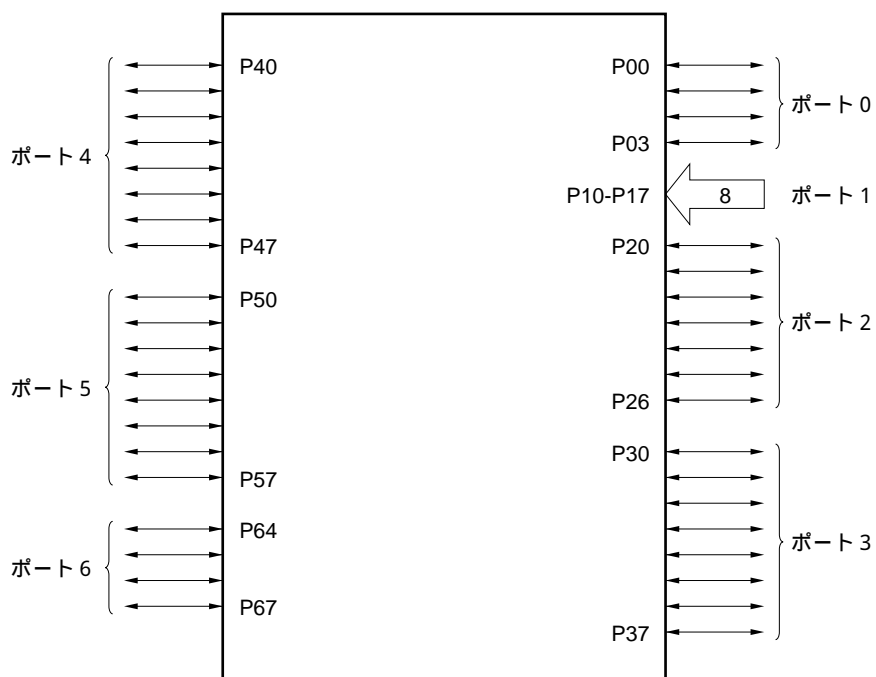


表4-1 ポートの機能

端子名称	機能	兼用端子	
ポート0	P00	4ビット入出力ポート。	INTP0/TOFF7
	P01	1ビット単位で入力/出力の指定可能。	INTP1
	P02	ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	INTP2
	P03		INTP3/ADTRG
ポート1	P10-P17	8ビット入力専用ポート。	ANI0-ANI7
ポート2	P20	7ビット入出力ポート。	RxD00
	P21	1ビット単位で入力/出力の指定可能。	TxD00
	P22	ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	RxD01
	P23		TxD01
	P24		TI50/TO50
	P25		TI51/TO51
	P26	TI52/TO52	
ポート3	P30-P37	8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	RTP0-RTP7
ポート4	P40-P47	8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	AD0-AD7
ポート5	P50	8ビット入出力ポート。	-
	P51	LEDを直接駆動可能。	SCK
	P52	1ビット単位で入力/出力の指定可能。	SI
	P53	ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	SO
	P54		INTP4/TI000/TO00
	P55		INTP5/TI010
	P56		INTP6/TI001/TO01
	P57		INTP7/TI011
ポート6	P64	4ビット入出力ポート。	\overline{RD}
	P65	1ビット単位で入力/出力の指定可能。	\overline{WR}
	P66	ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	\overline{WAIT}
	P67		ASTB

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4 - 2 ポートの構成

項 目		構 成
制御レジスタ		ポート・モード・レジスタ (PM0, PM2-PM6) プルアップ抵抗オプション・レジスタ (PU0, PU2-PU6)
ポ ー ト	合計	47本
	入力	8本
	入出力	39本
プルアップ抵抗		39本 (ソフトウェア制御)

4.2.1 ポート0

出力ラッチ付き4ビット入出力ポートです。ポート・モード・レジスタ0 (PM0) により、1ビット単位で入力モード/出力モードの指定ができます。P00-P03端子は、プルアップ抵抗オプション・レジスタ0 (PU0) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

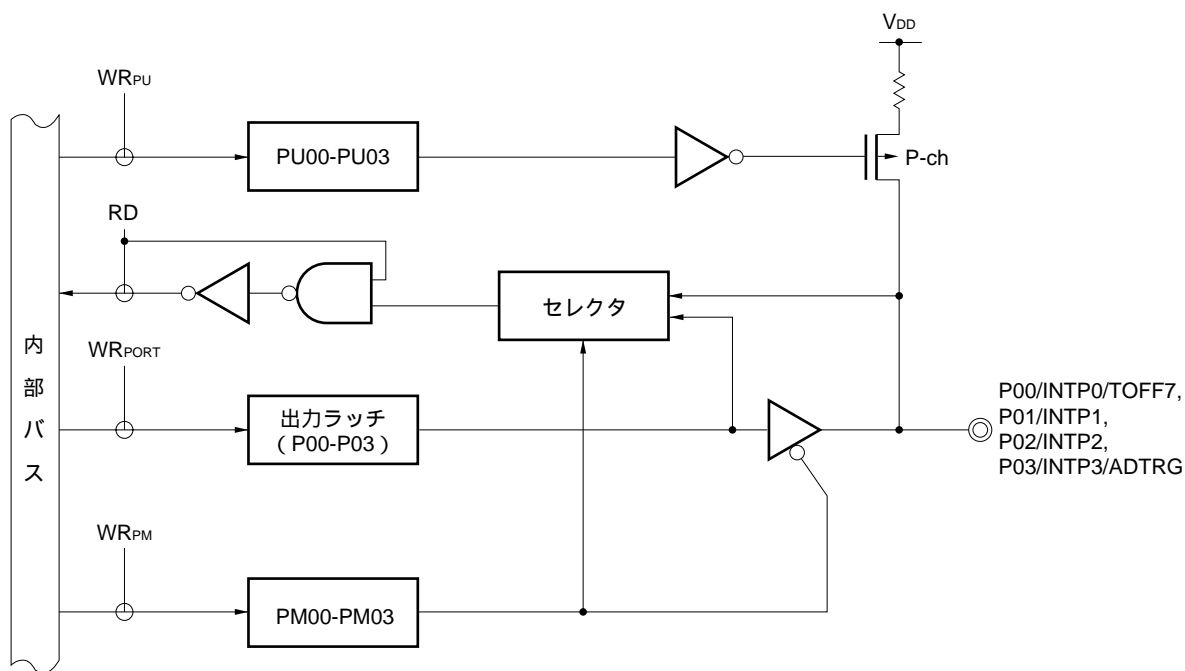
また、兼用機能として外部割り込み要求入力、タイマ出力停止外部入力、A/Dコンバータの外部トリガ信号入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-2にポート0のブロック図を示します。

注意 ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされます。したがって、出力モードを使用するとき、割り込みマスク・フラグに1を設定してください。

図4-2 P00-P03のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

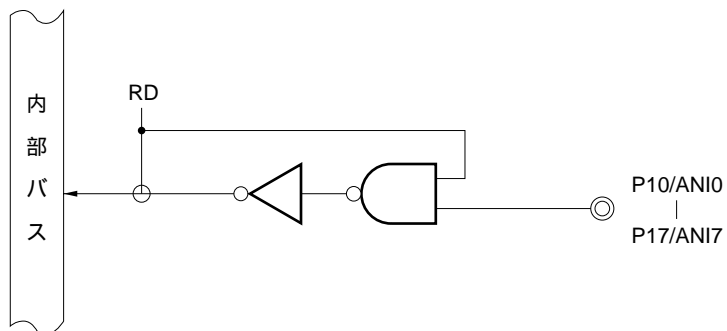
WR : ポート0のライト信号

4.2.2 ポート1

8ビット入力専用ポートです。兼用機能としてA/Dコンバータのアナログ入力があります。

図4 - 3にポート1のブロック図を示します。

図4 - 3 P10-P17のブロック図



4.2.3 ポート2

出力ラッチ付き7ビット入出力ポートです。P20-P26端子は、ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力モード/出力モードの指定ができます。P20-P26端子は、プルアップ抵抗オプション・レジスタ2 (PU2) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

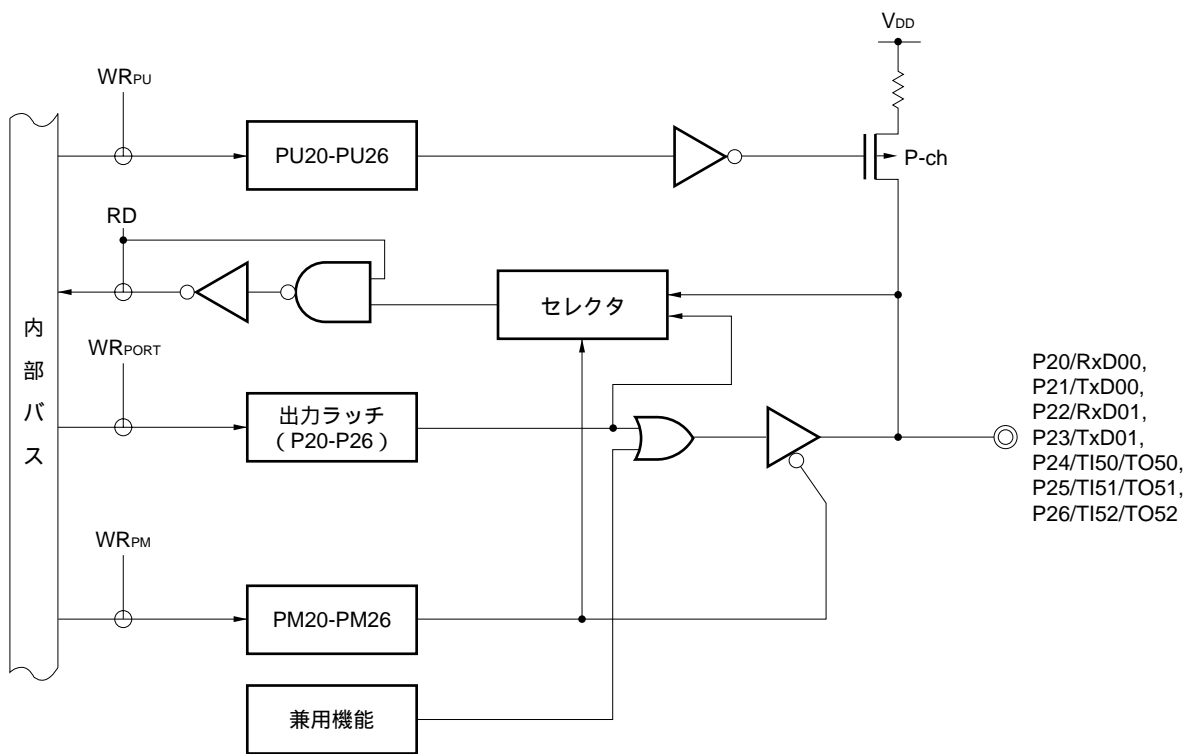
また、兼用機能としてシリアル・インタフェースのデータ入出力、タイマの入出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 4にポート2のブロック図を示します。

注意 シリアル・インタフェースで送信動作を行う場合またはタイマ出力を行う場合は、使用する端子を出力モードにし、出力ラッチに0を設定してください。また、受信動作を行う場合またはタイマ入力を行う場合は、使用する端子を入力モードにしてください。

図4 - 4 P20-P26のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

4.2.4 ポート3

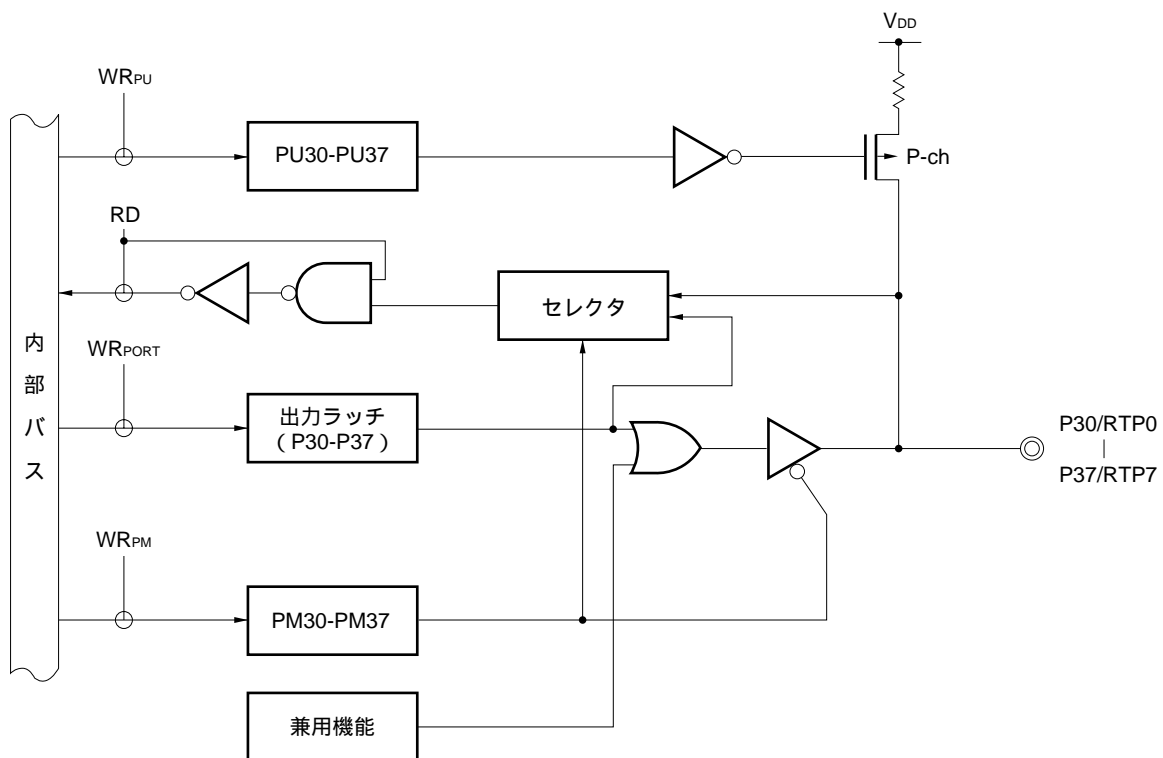
出力ラッチ付き8ビット入出力ポートです。P30-P37端子は、ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力モード/出力モードの指定ができます。P30-P37端子は、プルアップ抵抗オプション・レジスタ3 (PU3) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてリアルタイム出力ポートがあります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 5 にポート3のブロック図を示します。

図4 - 5 P30-P37のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

4.2.5 ポート4

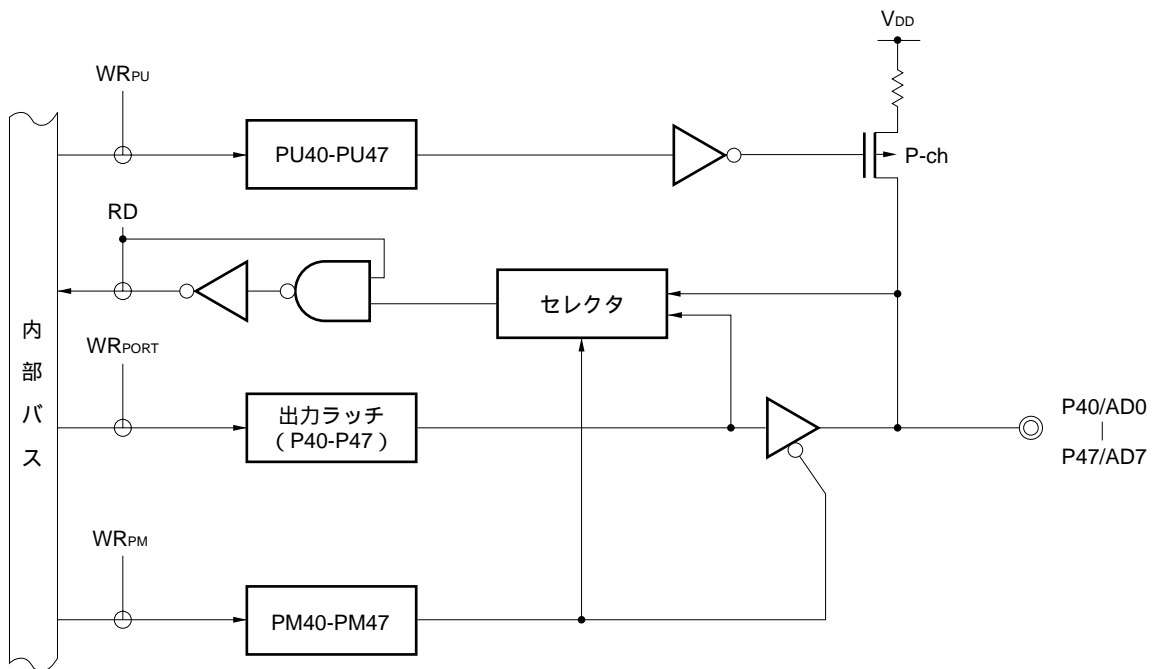
出力ラッチ付き8ビット入出力ポートです。P40-P47端子は、ポート・モード・レジスタ4 (PM4) により、1ビット単位で入力モード/出力モードの指定ができます。P40-P47端子は、プルアップ抵抗オプション・レジスタ4 (PU4) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部メモリ拡張モード時のアドレス/データ・バス機能があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 6 にポート4のブロック図を示します。

図4 - 6 P40-P47のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート4のリード信号

WR : ポート4のライト信号

4.2.6 ポート5

出力ラッチ付き 8 ビット入出力ポートです。P50-P57端子は、ポート・モード・レジスタ 5 (PM5) により、1 ビット単位で入力モード/出力モードの指定ができます。P50-P57端子は、プルアップ抵抗オプション・レジスタ 5 (PU5) により、1 ビット単位で内蔵プルアップ抵抗を使用できます。

ポート 5 はLEDを直接駆動可能です。

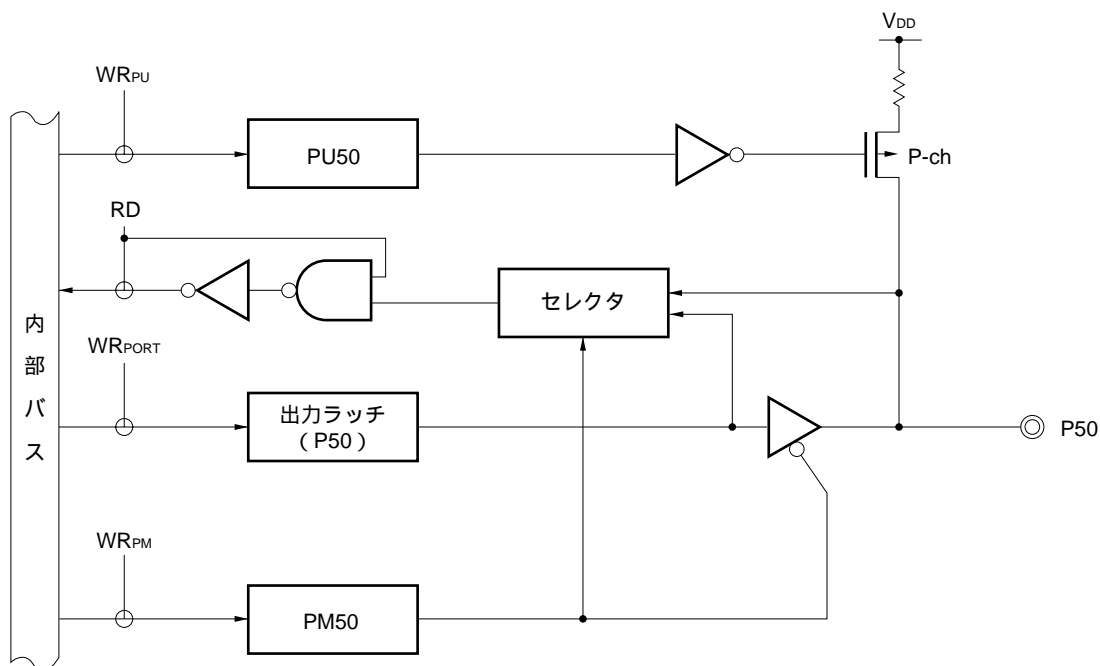
また、P51-P57は兼用機能としてシリアル・インタフェースのクロック入出力、データ入出力、タイマの入出力、外部割り込み要求入力機能があります。

RESET入力により、入力モードになります。

図 4 - 7、図 4 - 8 にポート 5 のブロック図を示します。

- 注意 1** . シリアル・インタフェースで送信動作を行う場合またはタイマ出力を行う場合は、使用する端子を出力モードにし、出力ラッチに 0 を設定してください。また、受信動作を行う場合またはタイマ入力を行う場合は、使用する端子を入力モードにしてください。
- 2** . P54-P57は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされます。したがって、出力モードを使用するとき、割り込みマスク・フラグに 1 を設定してください。

図 4 - 7 P50のブロック図



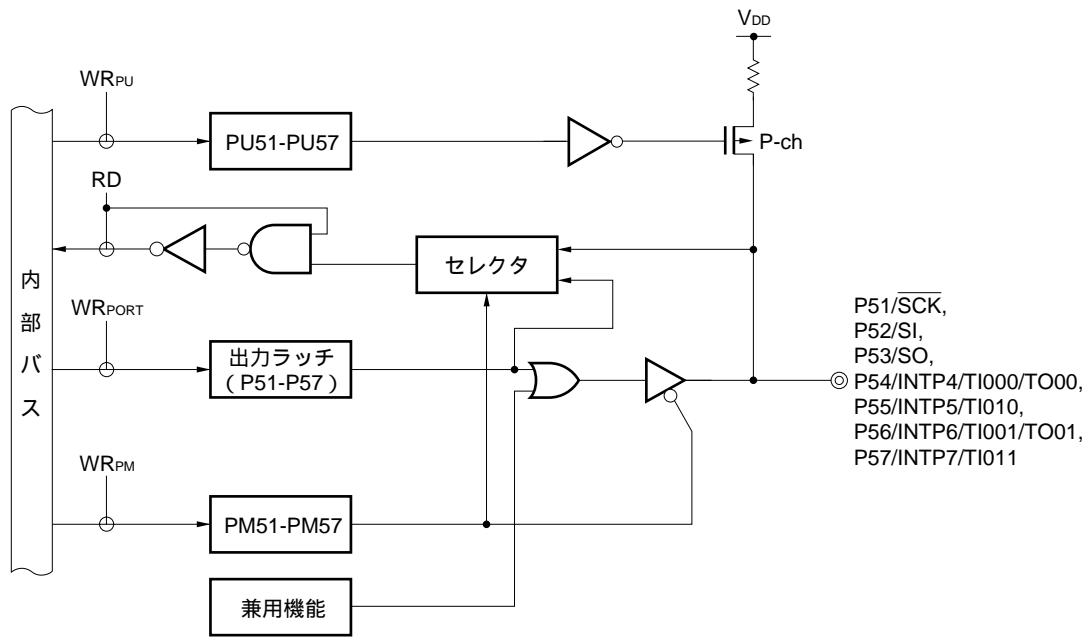
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート 5 のリード信号

WR : ポート 5 のライト信号

図4 - 8 P51-P57のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート5のリード信号

WR : ポート5のライト信号

4.2.7 ポート6

出力ラッチ付き4ビット入出力ポートです。P64-P67端子は、ポート・モード・レジスタ6 (PM6) により、1ビット単位で入力モード/出力モードの指定ができます。P64-P67端子は、プルアップ抵抗オプション・レジスタ6 (PU6) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

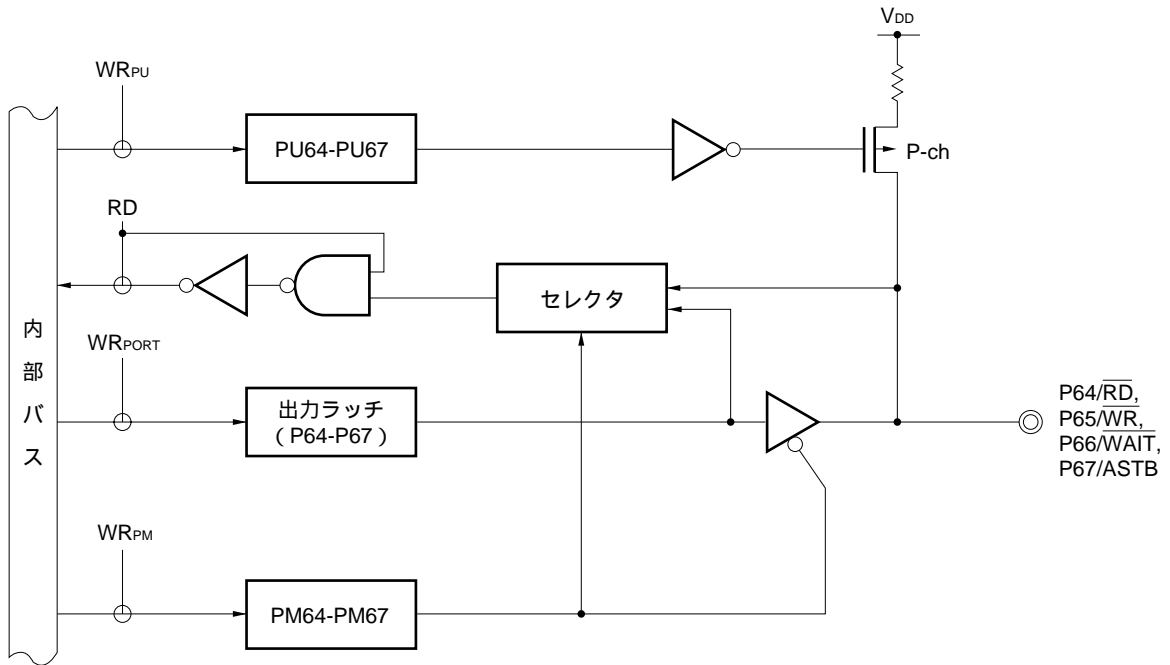
また、兼用機能として外部メモリ拡張モード時の制御信号出力機能があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-9にポート6のブロック図を示します。

注意 外部メモリ拡張モード時で外部ウエイトを使用しないときは、P66を入出力ポートとして使用することができます。

図4-9 P64-P67のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート6のリード信号

WR : ポート6のライト信号

4.3 ポート機能を制御するレジスタ

ポートを制御するレジスタには、次の2種類があります。

- ・ポート・モード・レジスタ (PM0, PM2, PM3, PM4, PM5, PM6)
- ・プルアップ抵抗オプション・レジスタ (PU0, PU2, PU3, PU4, PU5, PU6)

(1) ポート・モード・レジスタ (PM0, PM2, PM3, PM4, PM5, PM6)

ポートの入力/出力を1ビット単位で設定するレジスタです。

PM0, PM2, PM3, PM4, PM5, PM6は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

- 注意 1.** ポート0, P54-P57は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
- 2.** ポート0, 2-6は出力モードに設定しても、プルアップ抵抗は遮断されないため、出力モードで使用する場合には、対応するプルアップ抵抗オプション・レジスタに“0”を設定してください。
- 3.** ポートに兼用端子がある場合、兼用出力機能として使用するときは、出力ラッチに0を設定してください。

図4 - 10 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM2	1	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	1	1	1	1	FF26H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0 : n = 0-3) (m = 2 : n = 0-6) (m = 3, 4, 5 : n = 0-7) (m = 6 : n = 4-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) プルアップ抵抗オプション・レジスタ (PU0, PU2, PU3, PU4, PU5, PU6)

各ポートの内蔵プルアップ抵抗を使用するか、使用しないかを設定するレジスタです。PU0, PU2-PU6を設定することにより、PU0, PU2-PU6内のビットに対応するポート端子の内蔵プルアップ抵抗を使用できます。

PU0, PU2-PU6は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

注意1. ポート1は、プルアップ抵抗を内蔵していません。

2. PUmに1を設定すると、入力/出力モード、外部拡張モードにかかわらず、内蔵プルアップ抵抗が接続されます。よって、出力モード、外部拡張モードで使用する場合は対応するPUmのビットを0にしてください (m = 0, 2-6)。

図4 - 11 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	PU03	PU02	PU01	PU00	FF30H	00H	R/W
PU2	0	PU26	PU25	PU24	PU23	PU22	PU21	PU20	FF32H	00H	R/W
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30	FF33H	00H	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	FF34H	00H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	FF35H	00H	R/W
PU6	PU67	PU66	PU65	PU64	0	0	0	0	FF36H	00H	R/W

PUmn	Pmn端子の内蔵プルアップ抵抗の選択
	(m = 0 : n = 0-3)
	(m = 2 : n = 0-6)
	(m = 3, 4, 5 : n = 0-7)
	(m = 6 : n = 4-7)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第5章 クロック発生回路

★ 5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。STOP命令の実行により、発振を停止できます。

- ・ 拡張規格品の場合
システム・クロック発振回路は、1.0～12.0 MHzの周波数を発振します。
- ・ 従来規格品の場合
システム・クロック発振回路は、1.0～8.38 MHzの周波数を発振します。

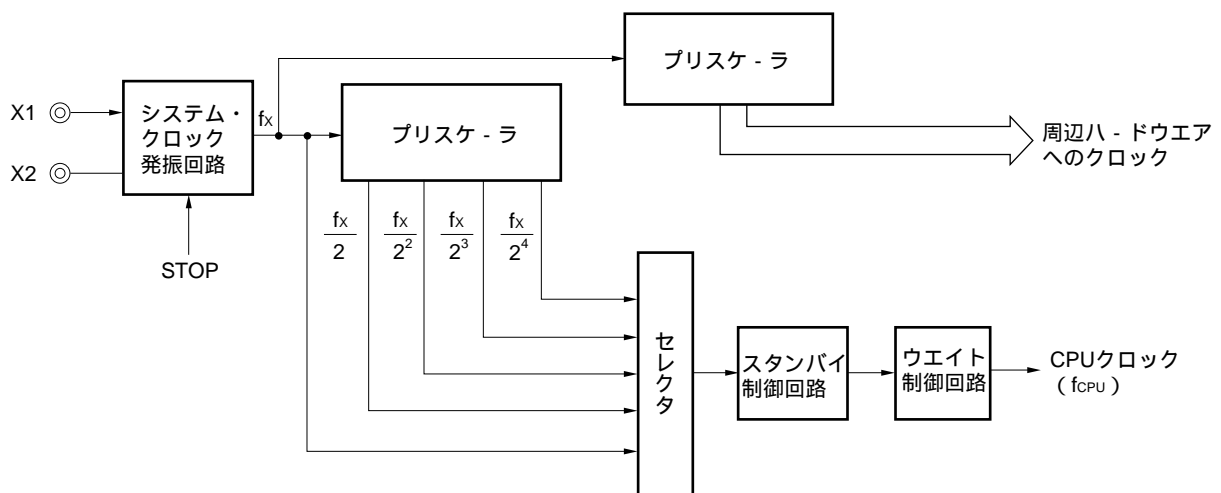
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表 5 - 1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC)
発振回路	システム・クロック発振回路

図 5 - 1 クロック発生回路のブロック図

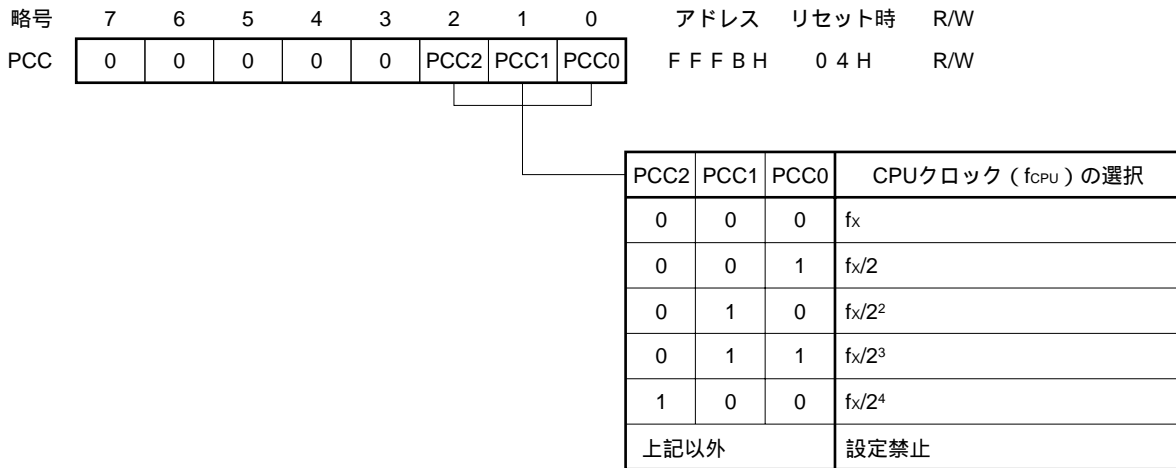


5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、プロセッサ・クロック・コントロール・レジスタ（PCC）で制御します。CPUクロックの選択を設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、04Hになります。

図5 - 2 プロセッサ・クロック・コントロール・レジスタのフォーマット



注意 ビット3-7には、必ず0を設定してください。

備考 f_x : システム・クロック発振周波数

μPD780988サブシリーズの一番速い命令は、CPUクロック2クロックで実行されます。したがって、CPUクロック (f_{cpu}) と最小命令実行時間の関係は、表5 - 2のようになります。

★

表5 - 2 CPUクロックと最小命令実行時間の関係

CPUクロック (f _{cpu})	最小命令実行時間 : 2/f _{cpu}	
	f _x = 12 MHz動作時 ^注	f _x = 8.38 MHz動作時
f _x	0.166 μs	0.238 μs
f _x /2	0.33 μs	0.48 μs
f _x /2 ²	0.66 μs	0.96 μs
f _x /2 ³	1.3 μs	1.9 μs
f _x /2 ⁴	2.6 μs	3.8 μs

注 拡張規格品のみ。

備考 f_x : システム・クロック発振周波数

5.4 システム・クロック発振回路

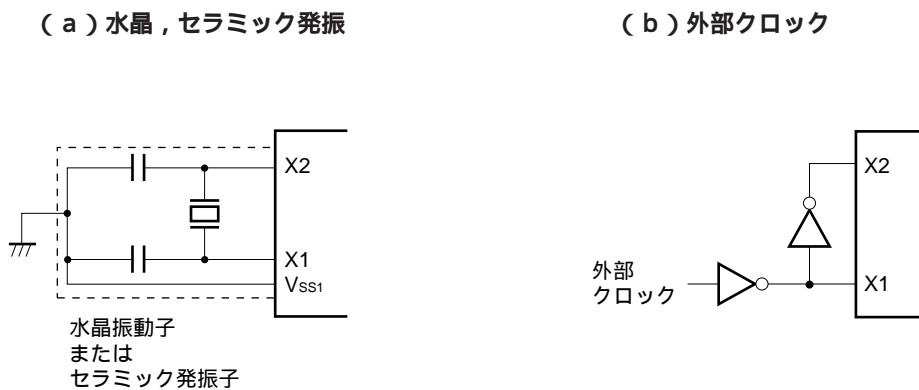
5.4.1 システム・クロック発振回路

- ★ システム・クロック発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（標準：12 MHz）によって発振します。

また、外部クロックも入力できます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

図5 - 3 にシステム・クロック発振回路の外付け回路を示します。

図5 - 3 システム・クロック発振回路の外付け回路



- 注意1．外部クロックを入力しているとき、STOP命令を実行しないでください。これは、STOP命令を実行すると、システム・クロックの動作が停止され、X2端子が V_{DD1} にプルアップされるためです。
- 2．システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 3の破線の部分を次のように配線してください。

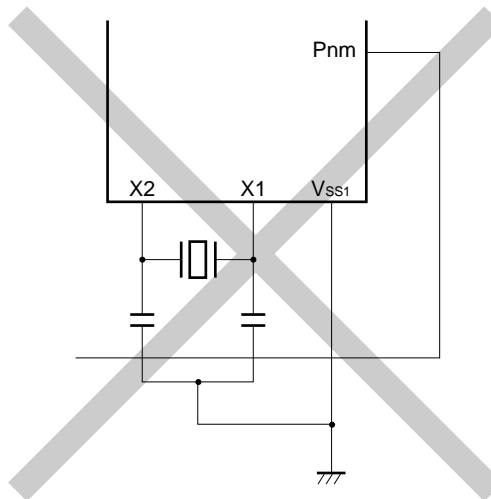
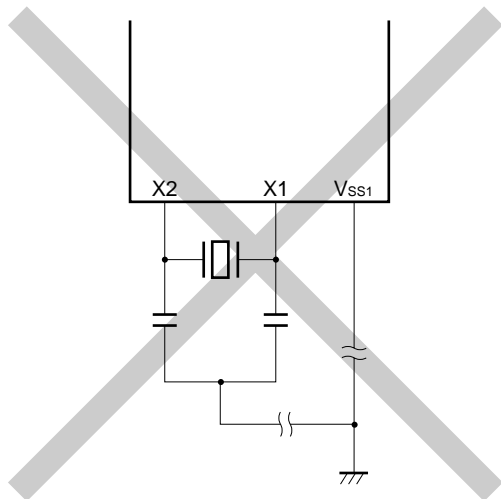
- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS1} と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

図5 - 4 に発振子の接続の悪い例を示します。

図5-4 発振子の接続の悪い例(1/2)

(a) 接続回路の配線が長い

(b) 信号線が交差している



(c) 変化する大電流が信号線に近接している

(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)

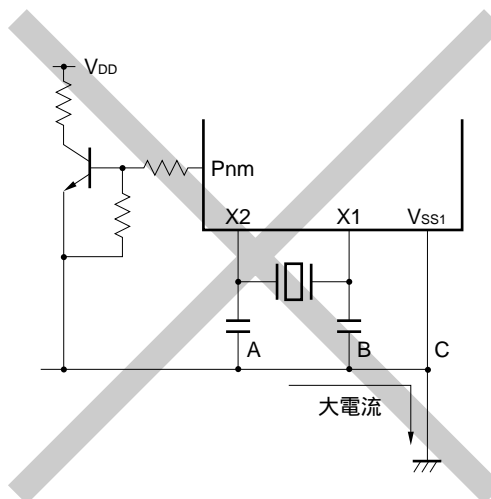
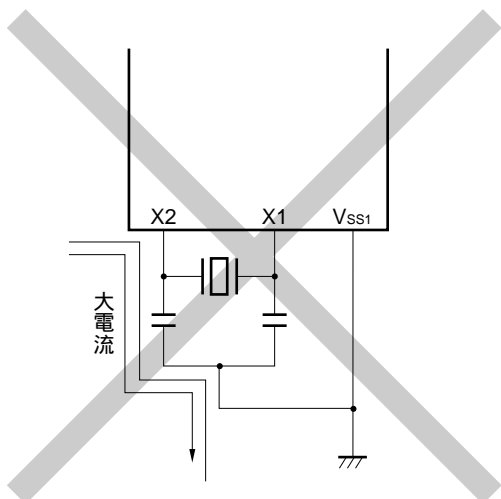
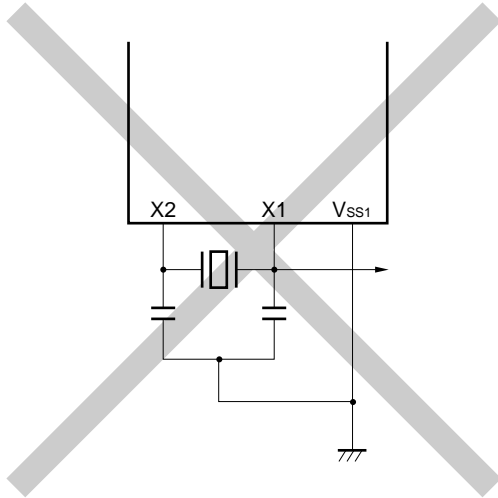


図5 - 4 発振子の接続の悪い例 (2/2)

(e) 信号を取り出している



5.4.2 分周回路

分周回路は、システム・クロック発振回路出力 (fx) を分周して、各種クロックを生成します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・システム・クロック f_x
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) により決定され、次のような機能、動作となります。

- ★ (a) $\overline{\text{RESET}}$ 信号発生によりシステム・クロックの最低速モード (2.6 μs : 12 MHz動作時, 3.8 μs : 8.38 MHz動作時) が選択されます (PCC = 04H)。なお, $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間, システム・クロックの発振は停止します。
- ★ (b) システム・クロックを選択した状態でPCCの設定により5段階の最小命令実行時間 (0.166 μs , 0.33 μs , 0.66 μs , 1.3 μs , 2.6 μs : 12 MHz動作時/0.238 μs , 0.48 μs , 0.96 μs , 1.9 μs , 3.8 μs : 8.38 MHz動作時) を選択できます。
- (c) STOPモード, HALTモードの2つのスタンバイ・モードが使用できます。
- (d) 周辺ハードウェアへのクロックはシステム・クロックを分周して供給されます。このため, システム・クロックを停止させたときは周辺ハードウェアも停止します (ただし, 外部からの入力クロック動作は除く)。

5.6 CPUクロックの設定の変更

5.6.1 CPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット0-2（PCC0-PCC2）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表5 - 3参照）。

表5 - 3 CPUクロックの切り替えに要する最大時間

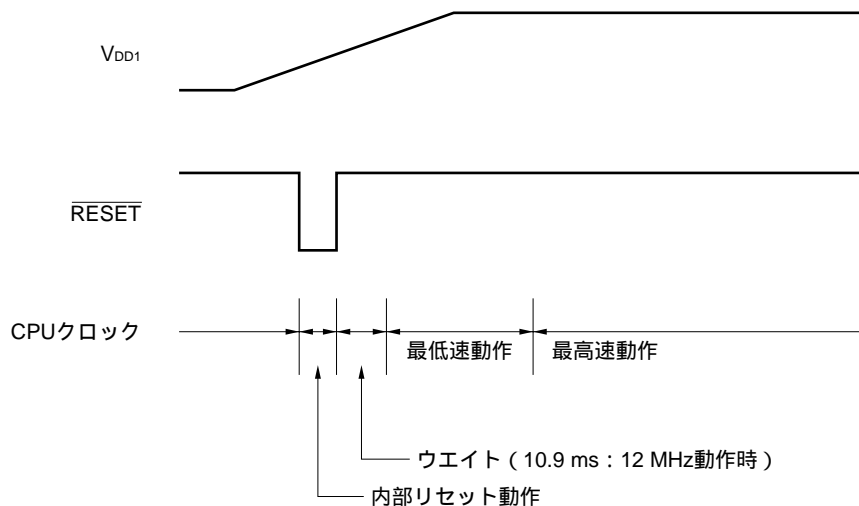
切り替え前の設定値			切り替え後の設定値														
PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0
			0	0	0	0	0	1	0	1	0	0	1	1	1	0	0
0	0	0	16命令			16命令			16命令			16命令					
0	0	1	8命令			8命令			8命令			8命令					
0	1	0	4命令			4命令			4命令			4命令					
0	1	1	2命令			2命令			2命令			2命令					
1	0	0	1命令			1命令			1命令			1命令					

備考 1命令は、切り替え前のCPUクロックの最小命令実行時間となります。

5.6.2 CPUクロックの切り替え手順

CPUクロックの切り替えについて説明します。

図5 - 5 CPUクロックの切り替え



電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^{17}/f_x$) を確保します。

★ その後、CPUはシステム・クロックの最低速 (2.6 μs : 12 MHz動作時, 3.8 μs : 8.38 MHz動作時) で命令の実行を開始します。

V_{DD1} 電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) を書き換えて最高速動作を行います。

第6章 16ビット・タイマ/イベント・カウンタ

6.1 16ビット・タイマ/イベント・カウンタの概要

インターバル・タイマ, PPG出力, パルス幅測定 (赤外線リモコン受信機能), 外部イベント・カウンタ, 任意の周波数の方形波出力などに使用できます。

6.2 16ビット・タイマ/イベント・カウンタの機能

16ビット・タイマ/イベント・カウンタには, 次のような機能があります。

- ・ インターバル・タイマ
- ・ PPG出力
- ・ パルス幅測定
- ・ 外部イベント・カウンタ
- ・ 方形波出力

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

(2) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

(4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

6.3 16ビット・タイマ/イベント・カウンタの構成

16ビット・タイマ/イベント・カウンタは、次のハードウェアで構成されています。

表6-1 16ビット・タイマ/イベント・カウンタの構成

項目	構成
タイマ・レジスタ	16ビット・タイマ・カウンタ0n (TM0n)
レジスタ	16ビット・キャプチャ/コンペア・レジスタ00n, 01n (CR00n, CR01n)
タイマ出力	TO0n
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) タイマ出力コントロール・レジスタ0n (TOC0n) プリスケアラ・モード・レジスタ0n (PRM0n) ポート・モード・レジスタ5 (PM5) 注

注 図4-8 P51-P57のブロック図を参照してください。

備考 n = 0, 1

図6-1 16ビット・タイマ/イベント・カウンタ00のブロック図

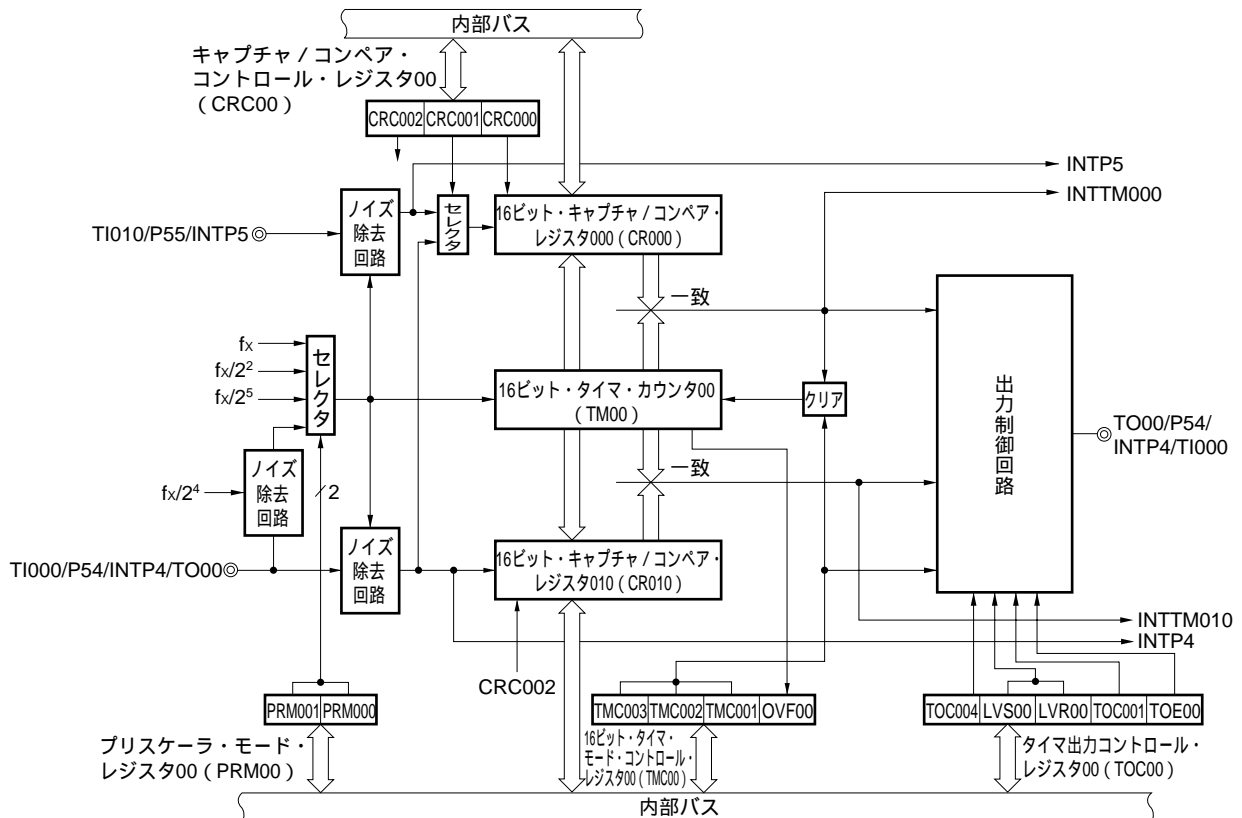
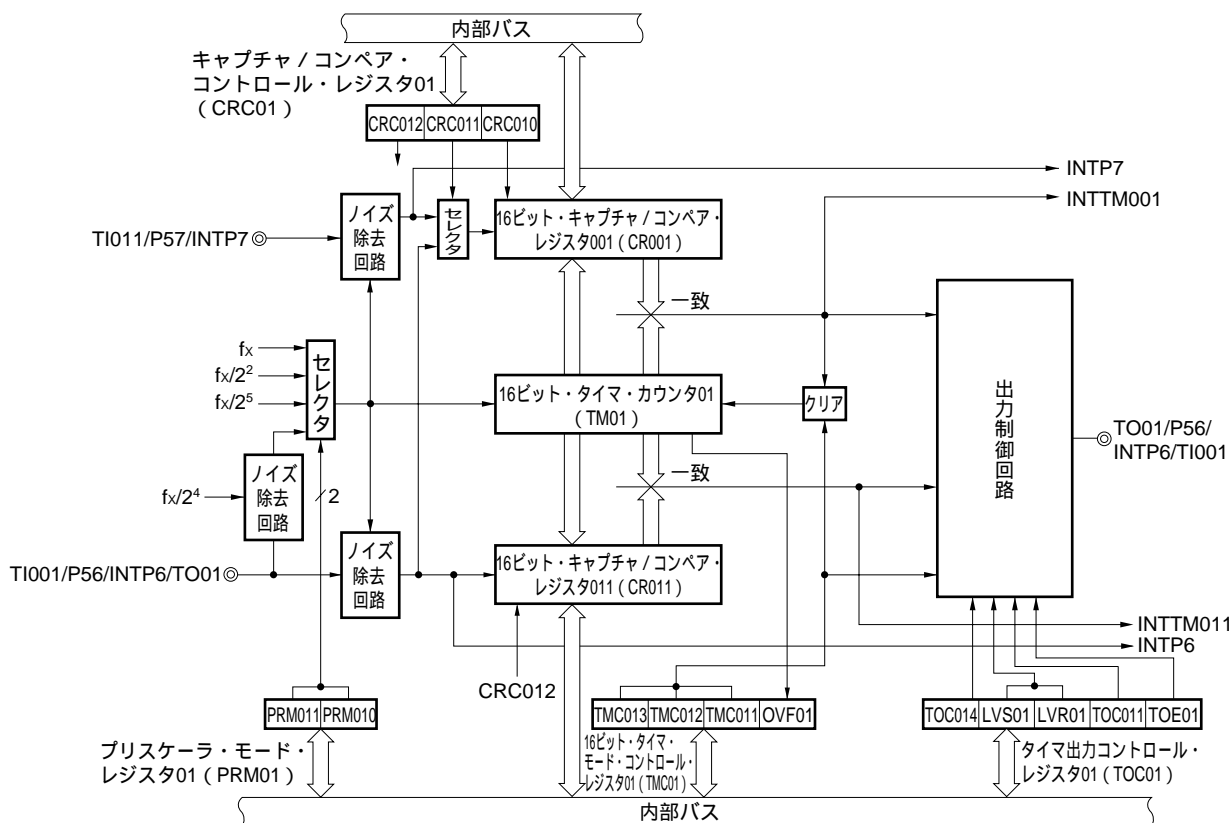


図6-2 16ビット・タイマ/イベント・カウンタ01のブロック図



(1) 16ビット・タイマ・カウンタ00, 01 (TM00, TM01)

TM00, TM01は、カウント・パルスをカウントする16ビットのリード専用レジスタです。

入カクロックの立ち上がりに同期して、カウンタをインクリメントします。また、動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は0000Hになります。

RESET入力

TMC0n3, TMC0n2をクリア

TI00n有効エッジ入力でクリア&スタート・モード時のTI00n有効エッジが入力されたとき

CR00nの一致でクリア&スタート・モード時のTM0nとCR00nの一致

備考 n = 0, 1

(2) 16ビット・キャプチャ/コンペア・レジスタ000, 001 (CR000, CR001)

CR000, CR001は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) のビット0 (CRC0n0) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

・CR00nをコンペア・レジスタとして使用するとき

CR00nに設定した値と16ビット・タイマ・カウンタ0n (TM0n) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM00n) を発生します。TM0nをインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

・CR00nをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00n端子、またはTI01n端子の有効エッジが選択できます。TI00n, TI01nの有効エッジは、プリスケラ・モード・レジスタ 0n (PRM0n) で設定します。キャプチャ・トリガをTI00n端子の有効エッジに指定したときは表6 - 2、キャプチャ・トリガをTI01n端子の有効エッジに指定したときは表6 - 3のようになります。

表6 - 2 TI00n端子の有効エッジとCR00n, CR01nのキャプチャ・トリガ

ES0n1	ES0n0	TI00n端子の有効エッジ	CR00nのキャプチャ・トリガ	CR01nのキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち上がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ	キャプチャ動作しない	立ち上がり, 立ち下がり両エッジ

n = 0, 1

表6 - 3 TI01n端子の有効エッジとCR00nのキャプチャ・トリガ

ES1n1	ES1n0	TI01n端子の有効エッジ	CR00nのキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ	立ち上がり, 立ち下がり両エッジ

n = 0, 1

CR00nは、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

- 注意1 . TM0nとCR00nの一致でクリア&スタート・モードでは、CR00nには0000H以外の値を設定してください。ただし、フリー・ランニング・モードおよびTI00nの有効エッジのクリア・モードにおいて、CR00nに0000Hを設定した場合は、オーバフロー (FFFFH) 後に割り込み要求 (INTTM00n) を発生します。
- 2 . CR00nの変更後の値が16ビット・タイマ・カウンタ0n (TM0n) の値よりも小さいとき、TM0nはカウントを継続しオーバフローして0から再カウントします。したがって、CR00nの変更後の値が変更前の値よりも小さいときは、CR00nを変更後、タイマを再スタートさせる必要があります。
- 3 . P54 (P56) をTI000 (TI001) 有効エッジとして使用するとき、タイマ出力 (TO00 (TO01)) として使用できません。また、TO00 (TO01) として使用するとき、TI000 (TI001) 有効エッジとして使用できません。

備考 n = 0, 1

(3) 16ビット・キャプチャ/コンペア・レジスタ010, 011 (CR010, CR011)

CR010, CR011は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) のビット2 (CRC0n2) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

- ・CR01nをコンペア・レジスタとして使用するとき

CR01nに設定した値と16ビット・タイマ・カウンタ0n (TM0n) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM01n) を発生します。

- ・CR01nをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00n端子の有効エッジが選択できます。TI00nの有効エッジは、プリスケラ・モード・レジスタ0n (PRM0n) で設定します。

CR01nは、16ビット・メモリ操作命令で設定します。

RESET入力により不定になります。

注意 TM0nとCR00nの一致でクリア&スタート・モードでは、CR01nには0000H以外の値を設定してください。ただし、フリー・ランニング・モードおよびTI00nの有効エッジのクリア・モードにおいて、CR01nに0000Hを設定した場合は、オーバフロー (FFFFH) 後に割り込み要求 (INTTM01n) を発生します。

備考 n = 0, 1

6.4 16ビット・タイマ/イベント・カウンタを制御するレジスタ

16ビット・タイマ/イベント・カウンタ00, 01を制御するレジスタには、次の9種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ00, 01 (TMC00, TMC01)
- ・キャプチャ/コンペア・コントロール・レジスタ00, 01 (CRC00, CRC01)
- ・タイマ出力コントロール・レジスタ00, 01 (TOC00, TOC01)
- ・プリスケラ・モード・レジスタ00, 01 (PRM00, PRM01)
- ・ポート・モード・レジスタ5 (PM5)

(1) 16ビット・タイマ・モード・コントロール・レジスタ00, 01 (TMC00, TMC01)

16ビット・タイマの動作モード、16ビット・タイマ・カウンタ00, 01 (TM00, TM01) のクリア・モード、出力タイミングの設定およびオーバフローを検出するレジスタです。

TMC00, TMC01は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

注意 16ビット・タイマ・カウンタ0n (TM0n) は、TMC0n2, TMC0n3に0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します (n = 0, 1)。動作を停止させるには、TMC0n2, TMC0n3に0, 0を設定してください。

図6-3 16ビット・タイマ・モード・コントロール・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
TMC00	0	0	0	0	TMC003	TMC002	TMC001	OVF00	FF60H	00H	R/W

TMC003	TMC002	TMC001	動作モードおよび クリア・モードの選択	TO00の出力 タイミングの選択	割り込み要求の発生
0	0	0	動作停止 (TM00は0にクリア)	変化なし	発生しない
0	1	0	フリー・ランニング・モード	TM00とCR000の一致または TM00とCR010の一致	TM00とCR000の一致 または TM00とCR010の一致 で発生
0	1	1		TM00とCR000の一致, TM00とCR010の一致または TI000の有効エッジ	
1	0	0	TI000の有効エッジで クリア&スタート	-	
1	0	1			
1	1	0	TM00とCR000の一致で クリア&スタート	TM00とCR000の一致または TM00とCR010の一致	
1	1	1		TM00とCR000の一致, TM00とCR010の一致または TI000の有効エッジ	

OVF00	16ビット・タイマ・カウンタ00 (TM00) のオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

注意1 . OVF00フラグ以外のビットには、タイマ動作を停止してから書き込んでください。

- 2 . TI000/TO00/INTP4/P54端子の有効エッジは、プリスケアラ・モード・レジスタ00 (PRM00) で設定します。
- 3 . TM00とCR000の一致でクリア&スタート・モードを選択した場合、CR000の設定値がFFFFHで、TM00の値がFFFFHから0000Hに変化するとき、OVF00フラグが1に設定されます。

備考 TO00 : 16ビット・タイマ/イベント・カウンタ00の出力端子
 TI000 : 16ビット・タイマ/イベント・カウンタ00の入力端子
 TM00 : 16ビット・タイマ・カウンタ00
 CR000 : 16ビット・キャプチャ/コンペア・レジスタ000
 CR010 : 16ビット・キャプチャ/コンペア・レジスタ010

図6 - 4 16ビット・タイマ・モード・コントロール・レジスタ01のフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
TMC01	0	0	0	0	TMC013	TMC012	TMC011	OVF01	FF68H	00H	R/W

TMC013	TMC012	TMC011	動作モードおよび クリア・モードの選択	TO01の出力 タイミングの選択	割り込み要求の発生
0	0	0	動作停止 (TM01は0にクリア)	変化なし	発生しない
0	0	1			
0	1	0	フリー・ランニング・モード	TM01とCR001の一致または TM01とCR011の一致	TM01とCR001の一致 または TM01とCR011の一致 で発生
0	1	1		TM01とCR001の一致, TM01とCR011の一致または TI001の有効エッジ	
1	0	0	TI001の有効エッジで クリア&スタート	-	
1	0	1			
1	1	0	TM01とCR001の一致で クリア&スタート	TM01とCR001の一致または TM01とCR011の一致	
1	1	1		TM01とCR001の一致, TM01とCR011の一致または TI001の有効エッジ	

OVF01	16ビット・タイマ・カウンタ01 (TM01) のオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

注意 1 . OVF01フラグ以外のビットには、タイマ動作を停止してから書き込んでください。

- 2 . TI001/TO01/INTP6/P56端子の有効エッジは、プリスケアラ・モード・レジスタ01 (PRM01) で設定します。
- 3 . TM01とCR001の一致でクリア&スタート・モードを選択した場合、CR001の設定値がFFFFHで、TM01の値がFFFFHから0000Hに変化するとき、OVF01フラグが1に設定されます。

備考 TO01 : 16ビット・タイマ/イベント・カウンタ01の出力端子
 TI001 : 16ビット・タイマ/イベント・カウンタ01の入力端子
 TM01 : 16ビット・タイマ・カウンタ01
 CR001 : 16ビット・キャプチャ/コンペア・レジスタ001
 CR011 : 16ビット・キャプチャ/コンペア・レジスタ011

(2) キャプチャ/コンペア・コントロール・レジスタ00, 01 (CRC00, CRC01)

16ビット・キャプチャ/コンペア・レジスタ (CR000, CR010, CR001, CR011) の動作を制御するレジスタです。

CRC00, CRC01は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図6-5 キャプチャ/コンペア・コントロール・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CRC00	0	0	0	0	0	CRC002	CRC001	CRC000	FF62H	00H	R/W

CRC002	CR010の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC001	CR000のキャプチャ・トリガの選択
0	TI010の有効エッジでキャプチャする
1	TI000の有効エッジの逆相でキャプチャする

CRC000	CR000の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注意1 . CRC00は、必ずタイマ動作を停止させてから設定してください。

- 2 . 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) で、TM00とCR000の一致でクリア&スタート・モードを選択したとき、CR000をキャプチャ・レジスタに指定しないでください。
- 3 . TI000の有効エッジに立ち上がり、立ち下がり両エッジを選択した場合には、キャプチャは動作しません。
- 4 . キャプチャを確実にを行うために、キャプチャ・トリガはプリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックの2回分より長いパルスが必要とします。

図6-6 キャプチャ/コンペア・コントロール・レジスタ01のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CRC01	0	0	0	0	0	CRC012	CRC011	CRC010	FF6AH	00H	R/W

CRC012	CR011の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC011	CR001のキャプチャ・トリガの選択
0	TI011の有効エッジでキャプチャする
1	TI001の有効エッジの逆相でキャプチャする

CRC010	CR001の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注意1 . CRC01は、必ずタイマ動作を停止させてから設定してください。

- 2 . 16ビット・タイマ・モード・コントロール・レジスタ01 (TMC01) で、TM01とCR001の一致でクリア&スタート・モードを選択したとき、CR001をキャプチャ・レジスタに指定しないでください。
- 3 . TI001の有効エッジに立ち上がり、立ち下がり両エッジを選択した場合には、キャプチャは動作しません。
- 4 . キャプチャを確実に行うために、キャプチャ・トリガはプリスケラ・モード・レジスタ01 (PRM01) で選択したカウント・クロックの2回分より長いパルスが必要とします。

(3) タイマ出力コントロール・レジスタ00, 01 (TOC00, TOC01)

16ビット・タイマ/イベント・カウンタ00, 01出力制御回路の動作を制御するレジスタです。R-S型フリップフロップ (LV0) のセット/リセット, 出力の反転許可/禁止および16ビット・タイマ/イベント・カウンタ00, 01のタイマ出力許可/禁止を設定します。

TOC00, TOC01は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により00Hになります。

図6-7 タイマ出力コントロール・レジスタ00のフォーマット

略号	7	6	5	4	③	②	1	①	アドレス	リセット時	R/W
TOC00	0	0	0	TOC004	LVS00	LVR00	TOC001	TOE00	FF63H	00H	R/W

TOC004	CR010とTM00の一致によるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	

LVS00	LVR00	16ビット・タイマ/イベント・カウンタ00のタイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット(0)
1	0	タイマ出力F/Fをセット(1)
1	1	設定禁止

TOC001	CR000とTM00の一致によるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	

TOE00	16ビット・タイマ/イベント・カウンタ00のタイマ出力の制御	
0	出力禁止(出力は0レベルに固定)	
1	出力許可	

注意1. TOC00は, 必ずタイマ動作を停止させてから設定してください。

2. TOC00のビット5-7には, 必ず0を設定してください。

備考 データ設定後にLVS00, LVR00を読み出すと, 0が読み出せます。

図6-8 タイマ出力コントロール・レジスタ01のフォーマット

略号	7	6	5	4	③	②	1	①	アドレス	リセット時	R/W
TOC01	0	0	0	TOC014	LVS01	LVR01	TOC011	TOE01	FF6BH	00H	R/W

TOC014	CR011とTM01の一致によるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	

LVS01	LVR01	16ビット・タイマ/イベント・カウンタ01のタイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット(0)
1	0	タイマ出力F/Fをセット(1)
1	1	設定禁止

TOC011	CR001とTM01の一致によるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	

TOE01	16ビット・タイマ/イベント・カウンタ01のタイマ出力の制御	
0	出力禁止(出力は0レベルに固定)	
1	出力許可	

注意1 . TOC01は、必ずタイマ動作を停止させてから設定してください。

2 . TOC01のビット5-7には、必ず0を設定してください。

備考 データ設定後にLVS01, LVR01を読み出すと、0が読み出せます。

(4) プリスケアラ・モード・レジスタ00, 01 (PRM00, PRM01)

16ビット・タイマ・カウンタ00,01 (TM00, TM01) のカウント・クロックおよびTI000, TI001入力の有効エッジを設定するレジスタです。PRM00, PRM01は, 8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

★ 図6-9 プリスケアラ・モード・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PRM00	ES101	ES100	ES001	ES000	0	0	PRM001	PRM000	FF61H	00H	R/W

ES101	ES100	TI010有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

ES001	ES000	TI000有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

PRM001	PRM000	カウント・クロックの選択		
			$f_x = 12 \text{ MHz}$ 動作時 ^{注1}	$f_x = 8.38 \text{ MHz}$ 動作時
0	0	f_x	12 MHz	8.38 MHz
0	1	$f_x/2^2$	3 MHz	2.09 MHz
1	0	$f_x/2^5$	375 kHz	262 kHz
1	1	TI000有効エッジ ^{注2}		

注1 . 拡張規格品のみ。

2 . 外部クロックは内部クロック ($f_x/2^4$) の2回分より長いパルスが必要とします。

注意1 . カウント・クロックにTI000の有効エッジを設定する場合, TI000有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。また, P54/TI000/TO00/INTP4端子をタイマ出力 (TO00) として使用できません。

2 . PRM00は, 必ずタイマ動作を停止させてからデータを設定してください。

3 . システム・リセット直後にTI000端子またはTI010端子がハイ・レベルの場合, TI000端子またはTI010端子の有効エッジを立ち上がりエッジまたは両エッジに指定し, 16ビット・タイマ・カウンタ00 (TM00) の動作を許可すると, その直後に立ち上がりエッジを検出します。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし, いったん動作を停止させたあとの再動作許可時には, 立ち上がりエッジは検出されません。

備考1 . f_x : システム・クロック発振周波数

2 . TI000, TI010: 16ビット・タイマ/イベント・カウンタ00の入力端子

★

図6-10 プリスケアラ・モード・レジスタ01のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PRM01	ES111	ES110	ES011	ES010	0	0	PRM011	PRM010	FF69H	00H	R/W

ES111	ES110	TI011有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

ES011	ES010	TI001有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

PRM011	PRM010	カウント・クロックの選択		
			fx = 12 MHz動作時 ^{注1}	fx = 8.38 MHz動作時
0	0	fx	12 MHz	8.38 MHz
0	1	fx/2 ²	3 MHz	2.09 MHz
1	0	fx/2 ⁵	375 kHz	262 kHz
1	1	TI001有効エッジ ^{注2}		

注1 . 拡張規格品のみ。

2 . 外部クロックは内部クロック (fx/2⁴) の2回分より長いパルスを必要とします。

注意1 . カウント・クロックにTI001の有効エッジを設定する場合, TI001有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。また, P56/TI001/TO01/INTP6端子をタイマ出力 (TO01) として使用できません。

2 . PRM01は, 必ずタイマ動作を停止させてからデータを設定してください。

3 . システム・リセット直後にTI001端子またはTI011端子がハイ・レベルの場合, TI001端子またはTI011端子の有効エッジを立ち上がりエッジまたは両エッジに指定し, 16ビット・タイマ・カウンタ01 (TM01) の動作を許可すると, その直後に立ち上がりエッジを検出します。TI001端子またはTI011端子をプルアップしている場合などは注意してください。ただし, いったん動作を停止させたあとの再動作許可時には, 立ち上がりエッジは検出されません。

備考1 . fx : システム・クロック発振周波数

2 . TI001, TI011 : 16ビット・タイマ/イベント・カウンタ01の入力端子

(5) ポート・モード・レジスタ5 (PM5)

ポート5の入力/出力を1ビット単位で設定するレジスタです。

P54/TO00/TI000/INTP4端子, P56/TO01/TI001/INTP6端子をタイマ出力として使用するとき, PM54, PM56およびP54, P56の出力ラッチに0を設定してください。

PM5は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, FFHになります。

図6 - 11 ポート・モード・レジスタ5のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FF25H	FFH	R/W

PM5n	P5n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.5 16ビット・タイマ/イベント・カウンタの動作

6.5.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) と、キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) を図6 - 12のように設定することにより、インターバル・タイマとして動作します。16ビット・キャプチャ/コンペア・レジスタ00n (CR00n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

16ビット・タイマ・カウンタ0n (TM0n) のカウント値がCR00nに設定した値と一致したとき、TM0nの値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM00n) を発生します。

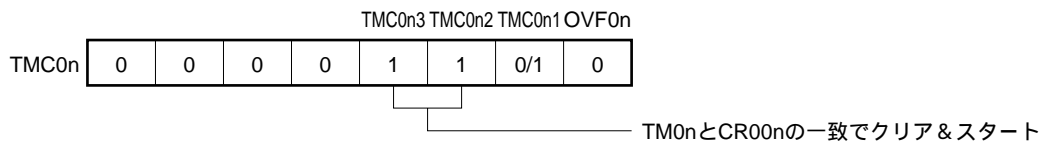
プリスケアラ・モード・レジスタ0n (PRM0n) のビット0, 1 (PRM0n0, PRM0n1) でTM0nのカウント・クロックを選択できます。

なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、6.6 16ビット・タイマ/イベント・カウンタの注意事項 (3) を参照してください。

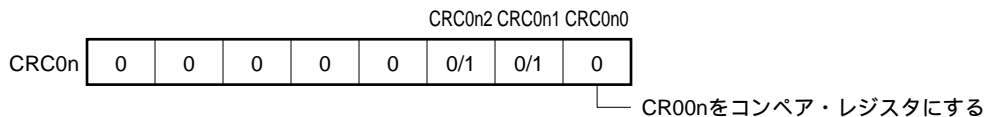
備考 n = 0, 1

図6 - 12 インターバル・タイマ動作時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

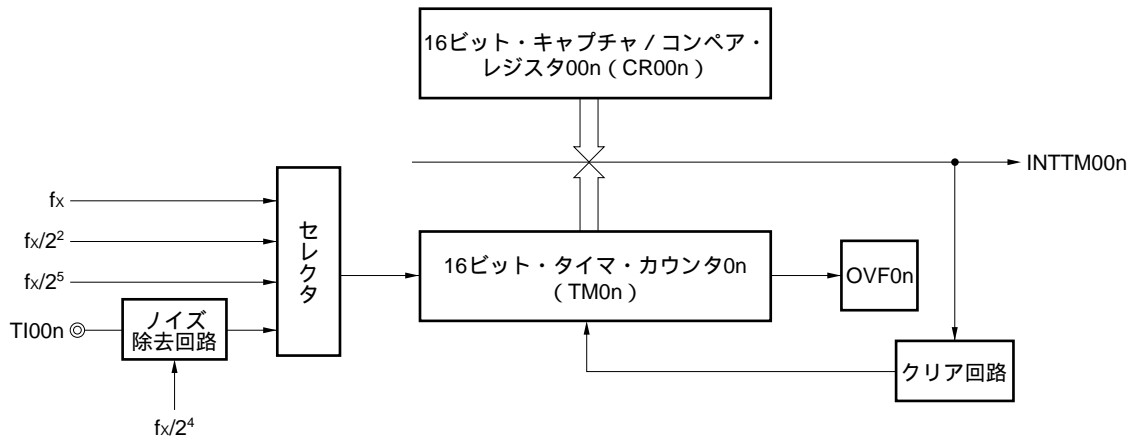


備考1 . 0/1 : 0または1を設定することにより、インターバル・タイマと同時にほかの機能を使用できます。

詳細は、図6 - 3から図6 - 6を参照してください。

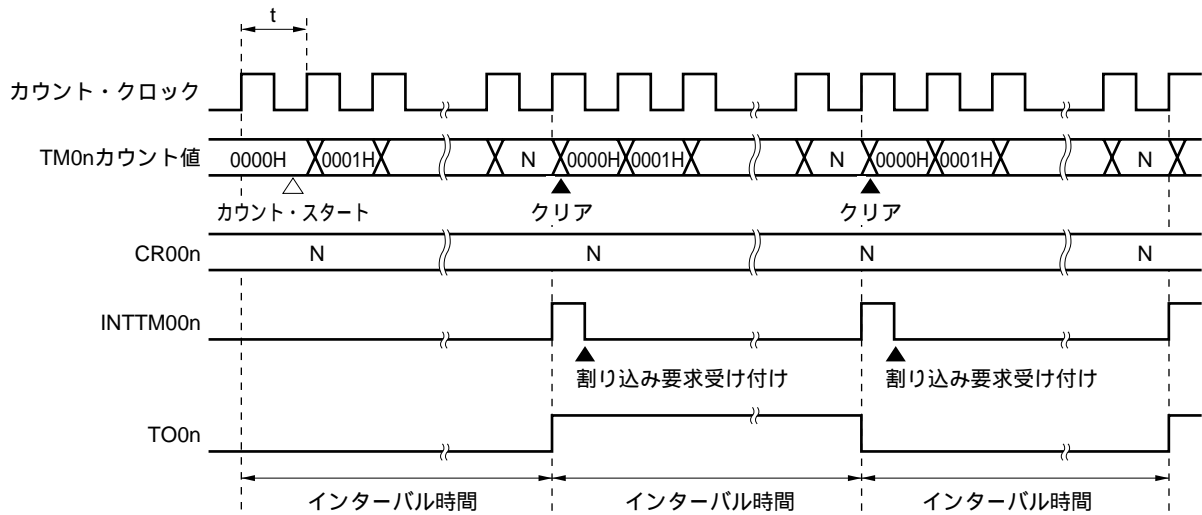
2 . n = 0, 1

図6 - 13 インターバル・タイマの構成図



備考 n = 0, 1

図6 - 14 インターバル・タイマ動作のタイミング



備考1 . インターバル時間 = (N + 1) × t : N = 0001H-FFFFH

2 . n = 0, 1

6.5.2 PPG出力としての動作

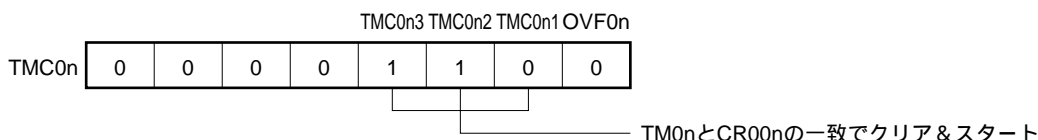
16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) と、キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) を図6-15のように設定することにより、PPG (Programmable Pulse Generator) 出力として動作します。

PPG出力パルスは、16ビット・キャプチャ/コンペア・レジスタ00n (CR00n) にあらかじめ設定したカウント値を1周期とし、16ビット・キャプチャ/コンペア・レジスタ01n (CR01n) にあらかじめ設定したカウント値をパルス幅とする矩形波をTO0n端子から出力します。

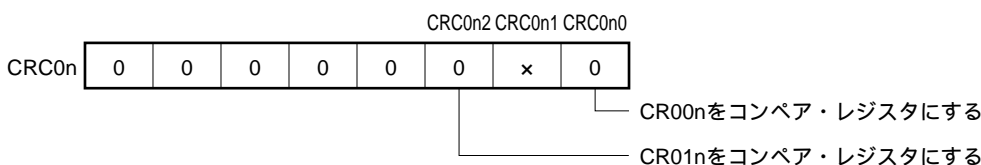
備考 n = 0, 1

図6-15 PPG出力動作時の制御レジスタ設定内容

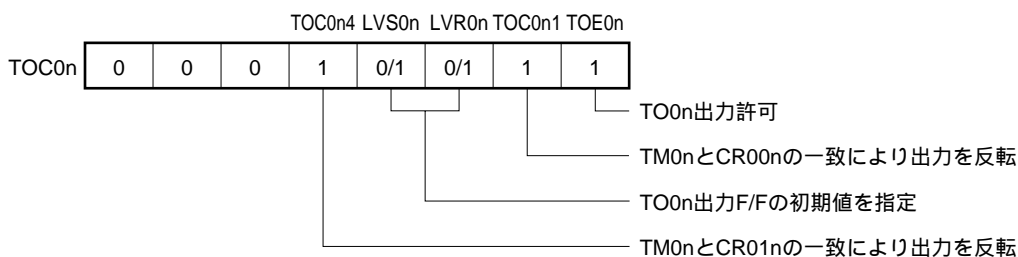
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



(c) タイマ出力コントロール・レジスタ0n (TOC0n)



注意1 . CR00nとCR01nには次の範囲の値を設定してください。

$$0000H < CR01n < CR00n \quad FFFFH$$

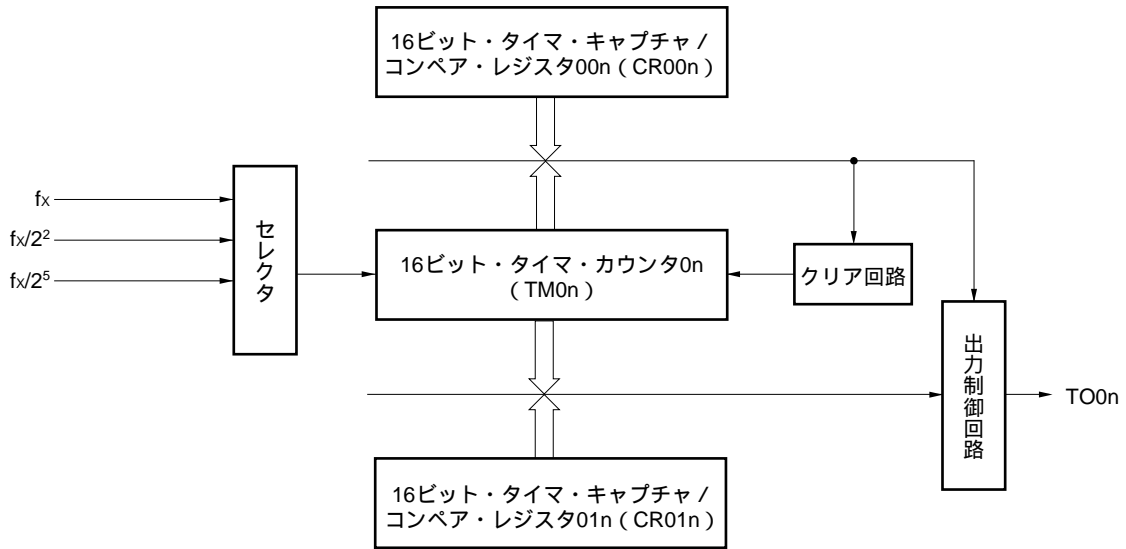
2 . PPG出力によって生成されるパルスの周期は (CR00nの設定値 + 1) , デューティは (CR01nの設定値 + 1) / (CR00nの設定値 + 1) になります。

備考 x : don't care

n = 0, 1

★

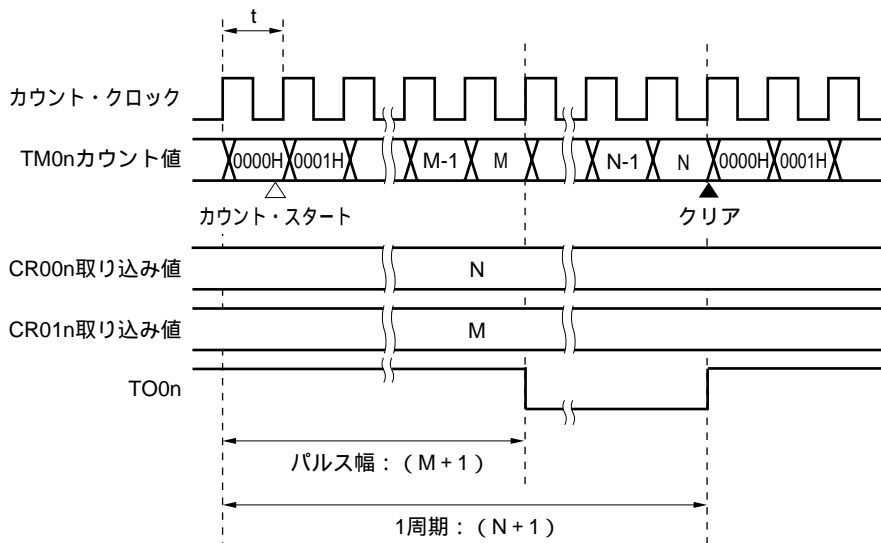
図6-16 PPG出力の構成図



備考 n = 0, 1

★

図6-17 PPG出力動作のタイミング



備考1 . 0000H < M < N FFFFH

2 . n = 0, 1

6.5.3 パルス幅測定としての動作

16ビット・タイマ・カウンタ0n (TM0n) を使用し、TI00n端子およびTI01n端子に入力される信号のパルス幅を測定できます。

測定方法は、TM0nをフリー・ランニングさせて測定する方法とTI00n端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

(1) フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

16ビット・タイマ・カウンタ0n (TM0n) をフリー・ランニングで動作させているとき (図6 - 18のレジスタの設定参照)、TI00n端子にプリスケアラ・モード・レジスタ0n (PRM0n) で指定したエッジが入力されるとTM0nの値を16ビット・キャプチャ/コンペア・レジスタ01n (CR01n) に取り込み、外部割り込み要求信号 (INTTM01n) をセットします。

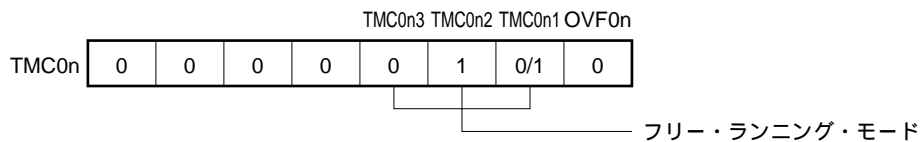
TI00n端子の有効エッジは、PRM0nのビット4, 5 (ES0n0, ES0n1) で指定し、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

PRM0nで選択したカウント・クロックでサンプリングを行い、TI00n端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

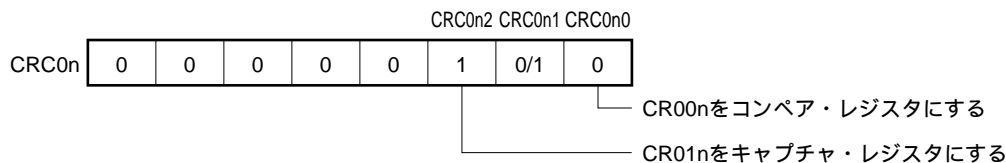
備考 n = 0, 1

図6 - 18 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

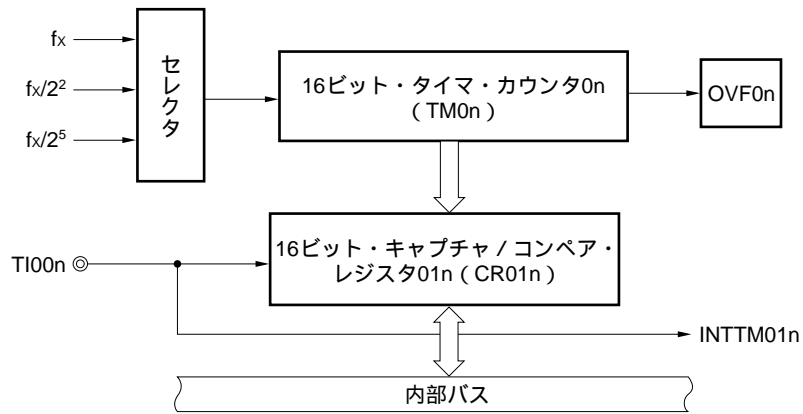


備考1 . 0/1 : 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、

図6 - 3から図6 - 6を参照してください。

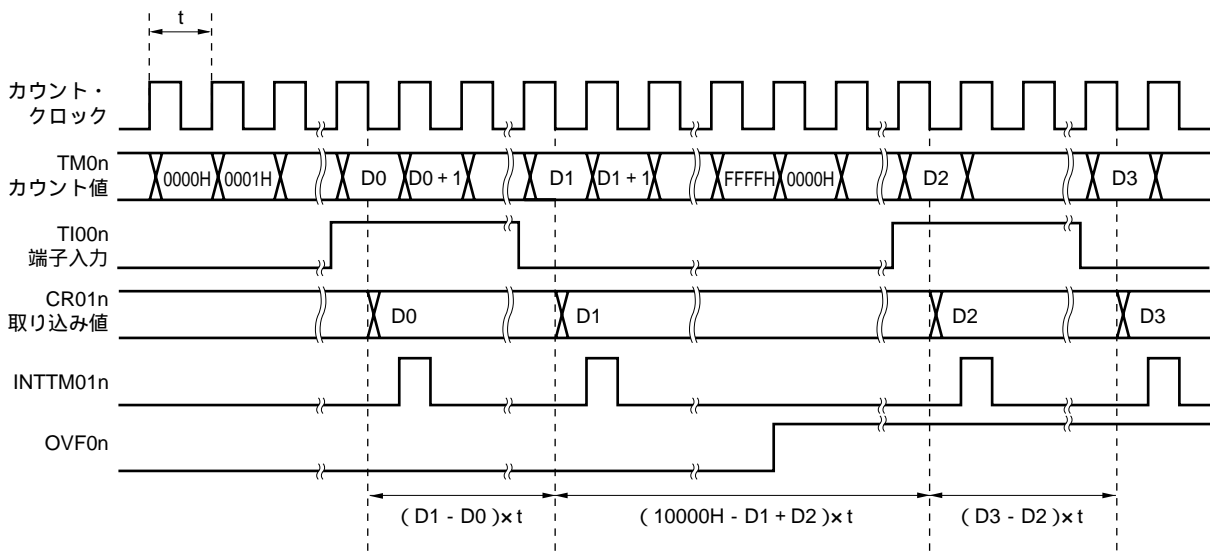
2 . n = 0, 1

図6-19 フリー・ランニング・カウンタによるパルス幅測定の構成図



備考 n = 0, 1

図6-20 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時)



備考 n = 0, 1

(2) フリー・ランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・カウンタ0n (TM0n) をフリー・ランニングで動作させているとき (図6 - 21参照) , TI00n端子およびTI01n端子に入力される2つの信号のパルス幅を同時に測定できます。

TI00n端子にプリスケアラ・モード・レジスタ0n (PRM0n) のビット4, 5 (ES0n0, ES0n1) で指定したエッジが入力されると, TM0nの値を16ビット・キャプチャ/コンペア・レジスタ01n (CR01n) に取り込み, 外部割り込み要求信号 (INTTM01n) をセットします。

また, TI01n端子にPRM0nのビット6, 7 (ES1n0, ES1n1) で指定したエッジが入力されると, TM0nの値を16ビット・キャプチャ/コンペア・レジスタ00n (CR00n) に取り込み, 外部割り込み要求信号 (INTTM00n) をセットします。

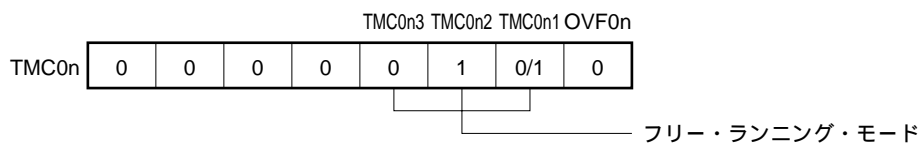
TI00n端子とTI01n端子の有効エッジは, PRM0nのビット4, 5 (ES0n0, ES0n1) およびビット6, 7 (ES1n0, ES1n1) でそれぞれ指定し, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

PRM0nで選択したカウント・クロック周期でサンプリングを行い, TI00n端子またはTI01n端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

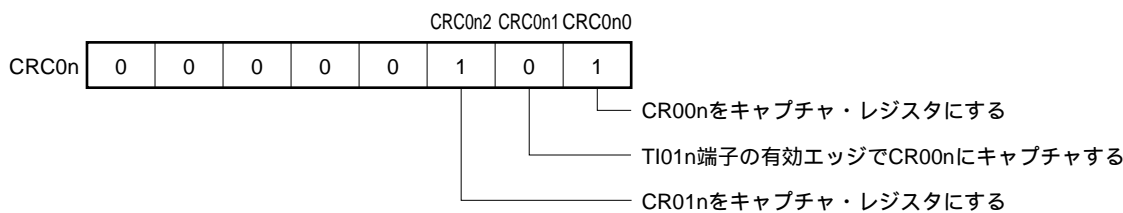
備考 n = 0, 1

図6 - 21 フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



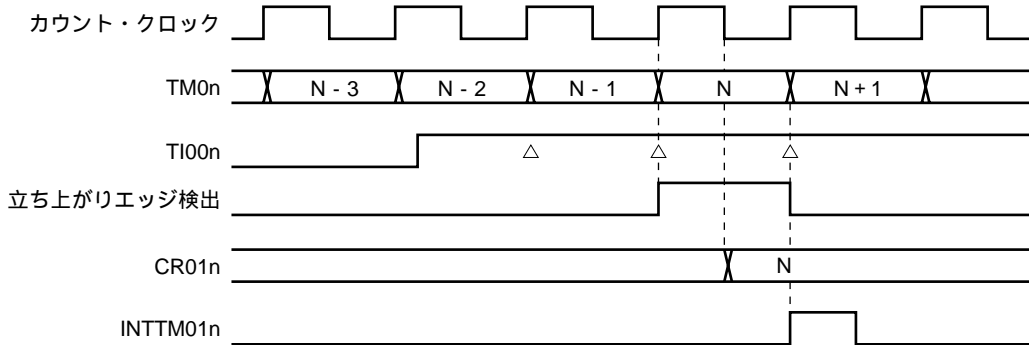
備考1 . 0/1 : 0または1を設定することにより, パルス幅測定と同時にほかの機能を使用できます。詳細は, 図6 - 3, 図6 - 4を参照してください。

2 . n = 0, 1

・キャプチャ動作について (フリー・ランニング・モード)

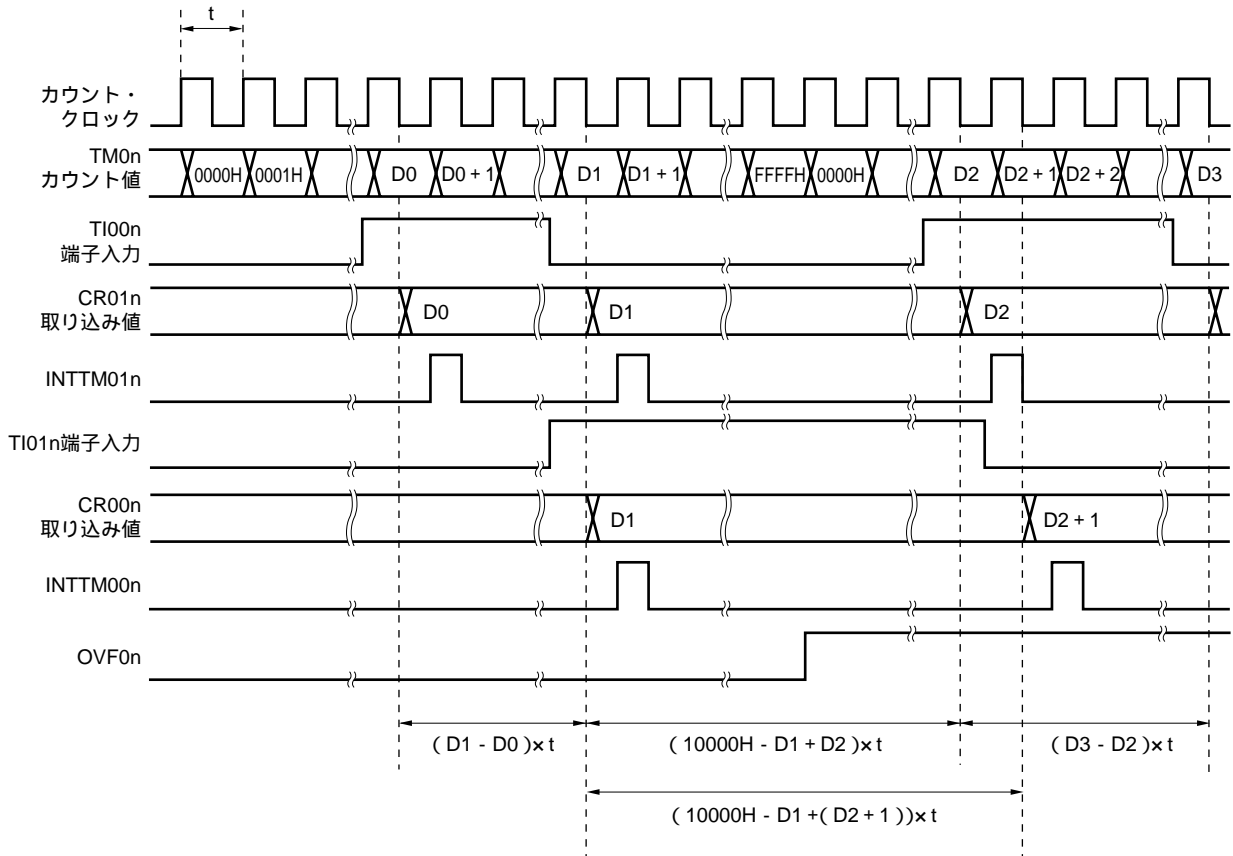
キャプチャ・トリガが入力されたときのキャプチャ・レジスタの動作を示します。

図6-22 立ち上がりエッジ指定時のCR01nキャプチャ動作



備考 n = 0, 1

図6-23 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時)



備考 n = 0, 1

(3) フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・カウンタ0n (TM0n) をフリー・ランニングで動作させているとき (図6 - 24参照) , TI00n端子に入力する信号のパルス幅を測定できます。

TI00n端子にプリスケアラ・モード・レジスタ0n (PRM0n) のビット4, 5 (ES0n0, ES0n1) で指定したエッジが入力されると, TM0nの値を16ビット・キャプチャ/コンペア・レジスタ01n (CR01n) に取り込み, 外部割り込み要求信号 (INTTM01n) をセットします。

また, CR01nへのキャプチャ動作と逆のエッジ入力で, TM0nの値を16ビット・キャプチャ/コンペア・レジスタ00n (CR00n) に取り込みます

TI00n端子の有効エッジは, PRM0nのビット4, 5 (ES0n0, ES0n1) で指定し, 立ち上がりエッジまたは立ち下がりエッジの選択ができます。

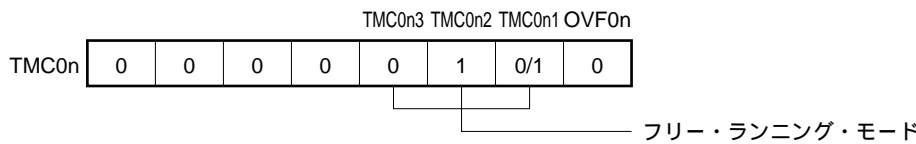
PRM0nで選択したカウント・クロック周期でサンプリングを行い, TI00n端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

注意 TI00n端子の有効エッジを, 立ち上がり, 立ち下がりの両エッジに指定した場合, キャプチャ/コンペア・レジスタ00n (CR00n) はキャプチャ動作を行えません。

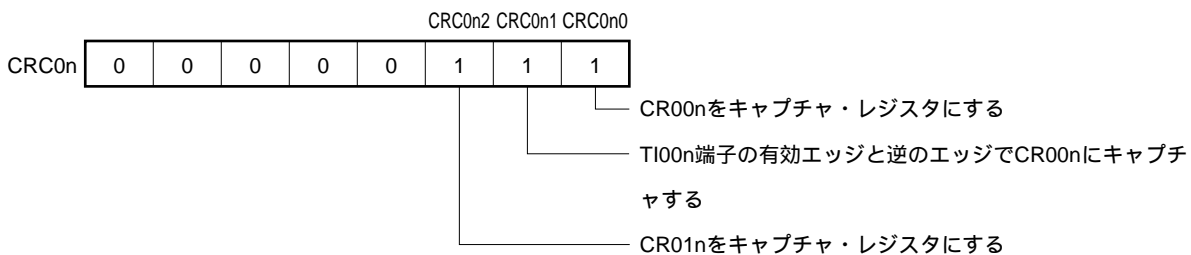
備考 n = 0, 1

図6 - 24 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



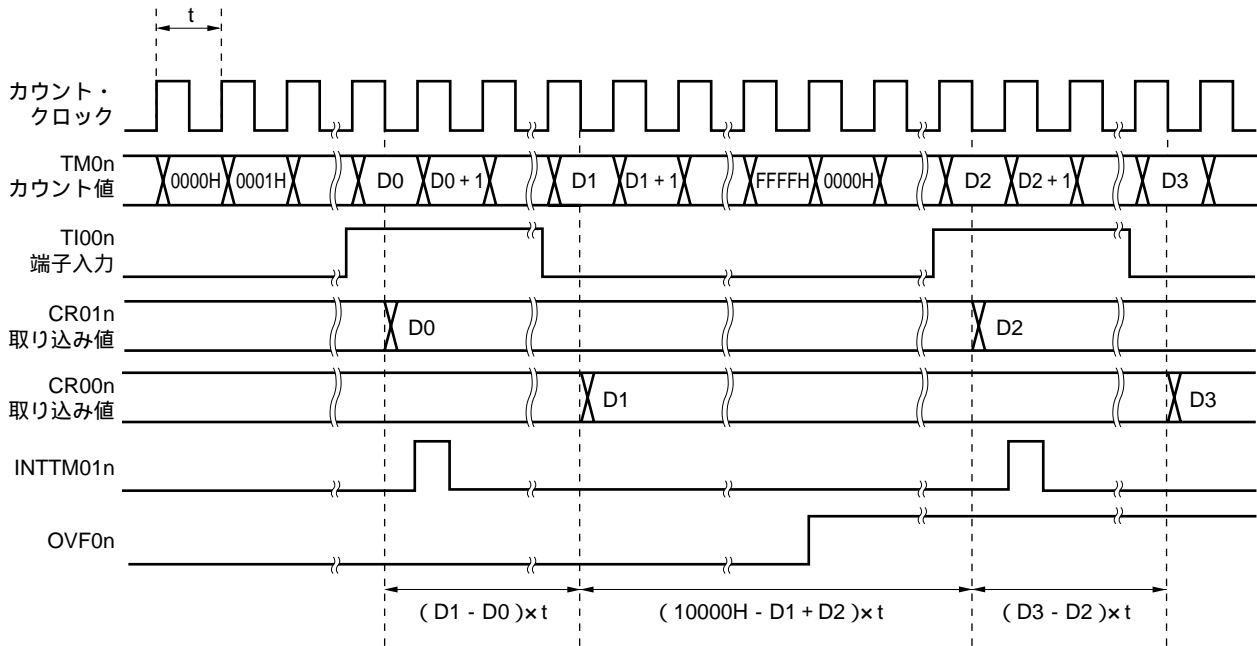
(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



備考1 .0/1 : 0または1を設定することにより, パルス幅測定と同時にほかの機能を使用できます。詳細は, 図6 - 3, 図6 - 4を参照してください。

2 . n = 0, 1

図6-25 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング
(立ち上がりエッジ指定時)



備考 n = 0, 1

(4) リスタートによるパルス幅測定

TI00n端子への有効エッジを検出したとき、16ビット・タイマ・カウンタ0n (TM0n) のカウント値を16ビット・キャプチャ/コンペア・レジスタ01n (CR01n) に取り込んだあと、TM0nをクリアしてカウントを再開することにより、TI00n端子に入力された信号のパルス幅を測定します(図6-26参照)。

TI00n端子の有効エッジは、プリスケアラ・モード・レジスタ0n (PRM0n) のビット4, 5 (ES0n0, ES0n1) で指定し、立ち上がりエッジまたは立ち下がりエッジの選択ができます。

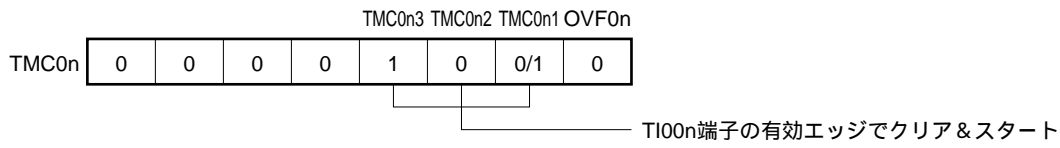
PRM0nで選択したカウント・クロック周期でサンプリングを行い、TI00n端子の有効レベルを2回検出することで始めてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

注意 TI00n端子の有効エッジを、立ち上がり、立ち下がりの両エッジに指定した場合、キャプチャ/コンペア・レジスタ00n (CR00n) はキャプチャ動作を行えません。

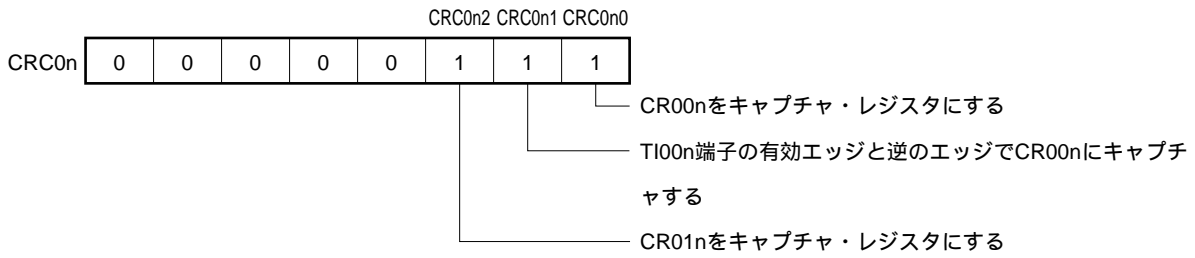
備考 n = 0, 1

図6-26 リスタートによるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



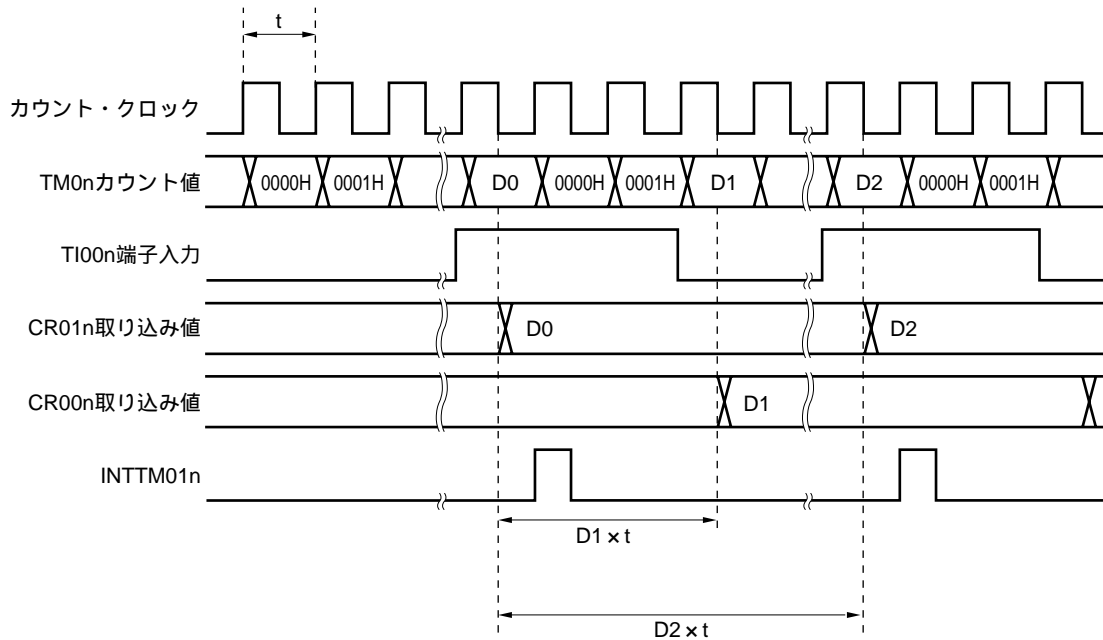
(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



備考1 . 0/1 : 0または1を設定することにより, パルス幅測定と同時にほかの機能を使用できます。詳細は, 図6-3, 図6-4を参照してください。

2 . n = 0, 1

図6-27 リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時)



備考 n = 0, 1

6.5.4 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI00n端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ0n (TM0n) でカウントするものです。

プリスケアラ・モード・レジスタ0n (PRM0n) で指定した有効エッジが入力されるたびに、TM0nがインクリメントされます。

TM0nの計数値が16ビット・キャプチャ/コンペア・レジスタ00n (CR00n) の値と一致すると、TM0nは0にクリアされ、割り込み要求信号 (INTTM00n) が発生します。

なお、CR00nには0000H以外の値を設定してください (1パルスのカウント動作はできません)。

TI00n端子の有効エッジは、PRM0nのビット4, 5 (ES0n0, ES0n1) で指定し、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

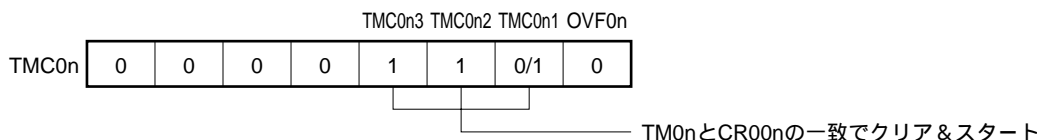
内部クロック ($f_x/2^4$) でサンプリングを行い、TI00n端子の有効レベルを2回検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。

注意 外部イベント・カウンタとして使用するとき、P54/TI000/TO00/INTP4端子 (P56/TI001/TO01/INTP6端子) をタイマ出力 (TO00 (TO01)) として使用できません。

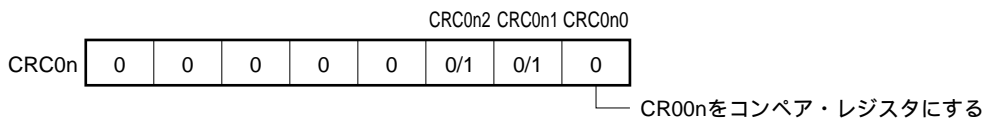
備考 n = 0, 1

図6 - 28 外部イベント・カウンタ・モード時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



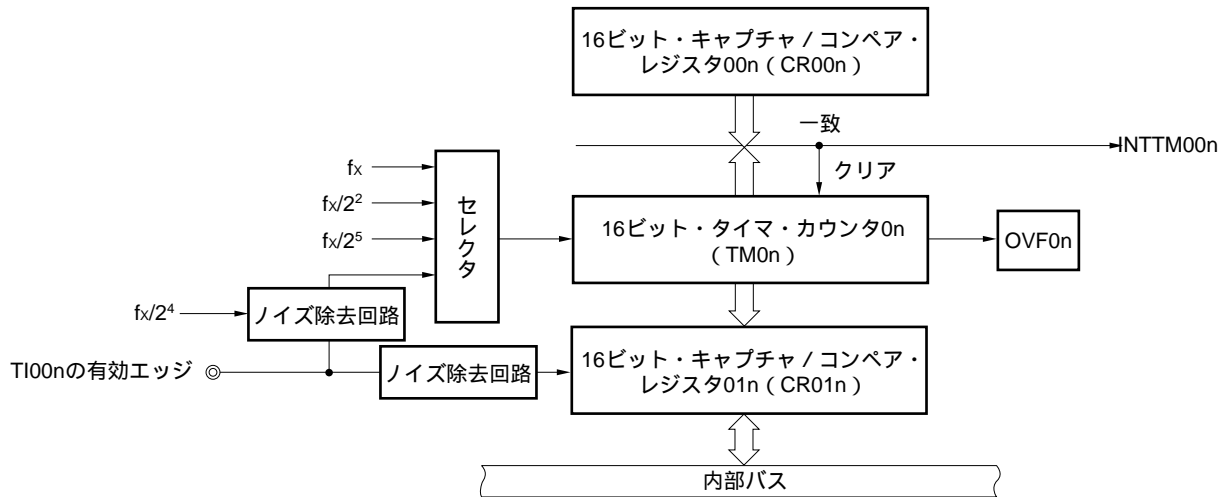
(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



備考1 .0/1 : 0または1を設定することにより、外部イベント・カウンタと同時にほかの機能を使用できます。詳細は、図6 - 3から図6 - 6を参照してください。

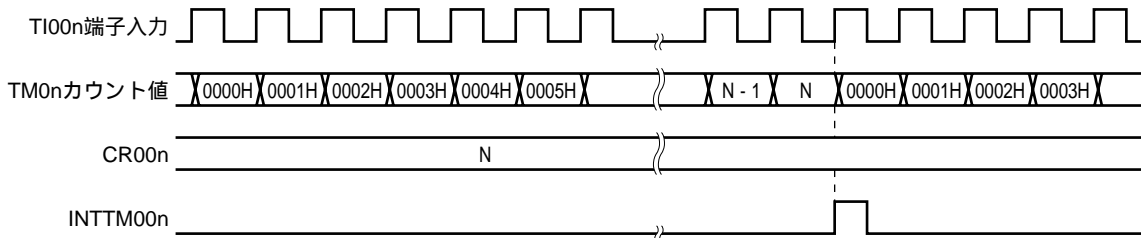
2 . n = 0, 1

図6-29 外部イベント・カウンタの構成図



備考 n = 0, 1

図6-30 外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時)



注意 外部イベント・カウンタのカウンタ値を読み出す場合は、TM0n (n = 0, 1) を読み出してください。

備考 n = 0, 1

6.5.5 方形波出力としての動作

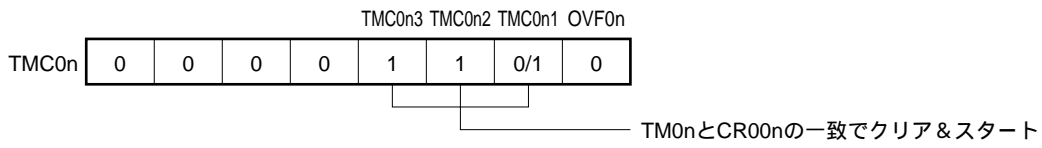
16ビット・キャプチャ/コンペア・レジスタ00n (CR00n) にあらかじめ設定したカウンタ値をインターバルとする、任意の周波数の方形波出力として動作します。

タイマ出力コントロール・レジスタ0n (TOC0n) のビット0 (TOE0n) とビット1 (TOC0n1) に1を設定することにより、CR00nにあらかじめ設定したカウンタ値をインターバルとしてTO0n端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

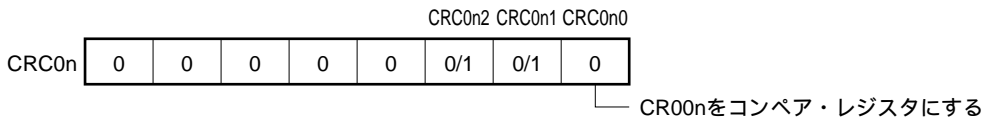
備考 n = 0, 1

図6 - 31 方形波出力モード時の制御レジスタ設定内容

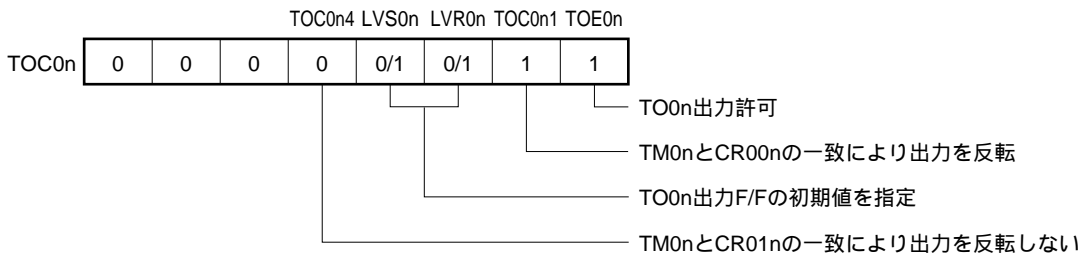
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



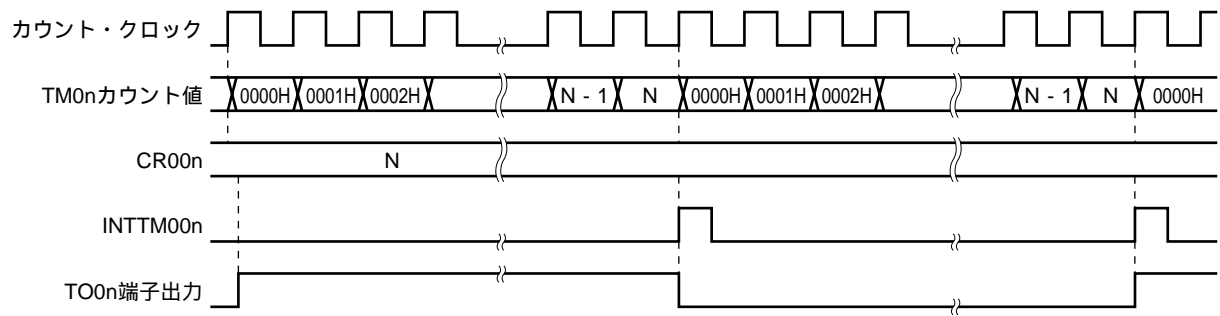
(c) タイマ出力コントロール・レジスタ0n (TOC0n)



備考1 . 0/1 : 0または1を設定することにより, 方形波出力と同時にほかの機能を使用できます。詳細は, 図6 - 3から図6 - 8を参照してください。

2 . n = 0, 1

図6 - 32 方形波出力動作のタイミング



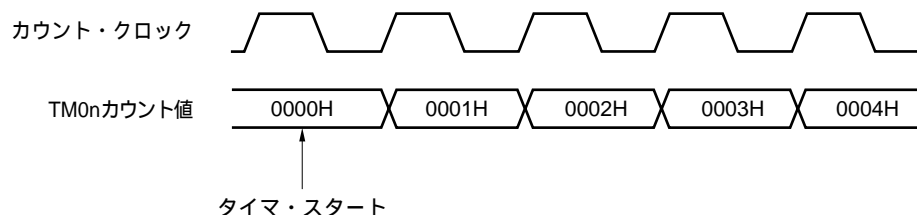
備考 n = 0, 1

6.6 16ビット・タイマ/イベント・カウンタの注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・クロックに対して16ビット・タイマ・カウンタ0n (TM0n : n = 0, 1) が非同期でスタートするためです。

図6-33 16ビット・タイマ・カウンタのスタート・タイミング



備考 n = 0, 1

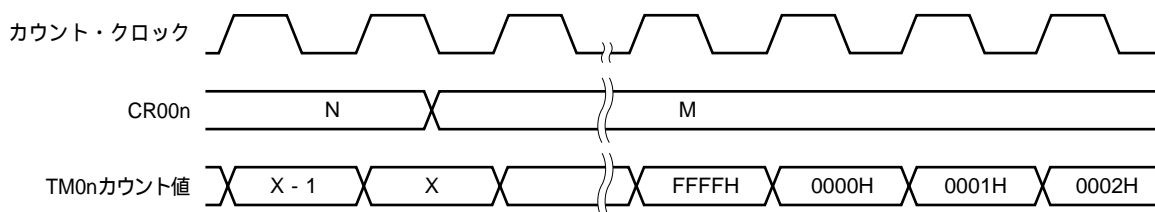
(2) 16ビット・コンペア・レジスタの設定 (TM0nとCR00nの一致でクリア&スタート・モードの場合)

16ビット・キャプチャ/コンペア・レジスタ00n, 01n (CR00n, CR01n : n = 0, 1) には、0000H以外の値を設定してください。したがって、イベント・カウンタとして使用时、1パルスのカウント動作はできません。

(3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

16ビット・キャプチャ/コンペア・レジスタ00n (CR00n : n = 0, 1) の変更後の値が、16ビット・タイマ・カウンタ0n (TM0n : n = 0, 1) の値よりも小さいとき、TM0nはカウントを継続しオーバーフローして0から再カウントします。したがって、CR00nの変更後の値 (M) が変更前の値 (N) より小さいときは、CR00nを変更後、タイマをリセットし、再スタートさせる必要があります。

図6-34 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考 $N > X > M$

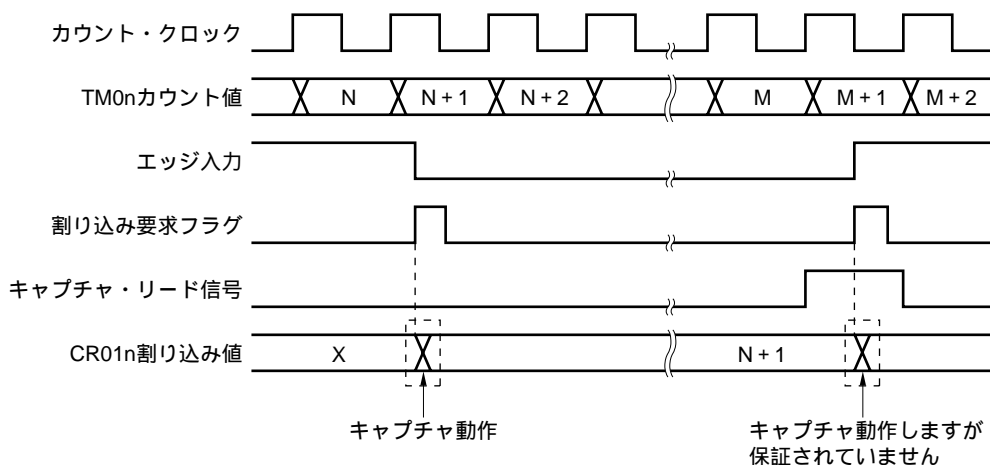
n = 0, 1

(4) キャプチャ・レジスタのデータ保持タイミング

16ビット・キャプチャ/コンペア・レジスタ01n (CR01n) の読み出し中にTI00n端子の有効エッジが入力されたとき、CR01nはキャプチャ動作を行います。このときのキャプチャ値は保証されません。ただし、有効エッジの検出による割り込み要求信号 (TMIF01n) はセットされます。

備考 n = 0, 1

図6 - 35 キャプチャ・レジスタのデータ保持タイミング



備考 n = 0, 1

(5) 有効エッジの設定

TI00n端子の有効エッジは、16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット 2, 3 (TMC0n2, TMC0n3) に 0, 0 を設定し、タイマ動作を停止させたあとに設定してください。有効エッジは、プリスケアラ・モード・レジスタ0n (PRM0n) のビット 4, 5 (ES0n0, ES0n1) で設定します。

備考 n = 0, 1

(6) OVF0nフラグの動作

OVF0nフラグ（16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）のビット6）は、次のときに“1”に設定されます。

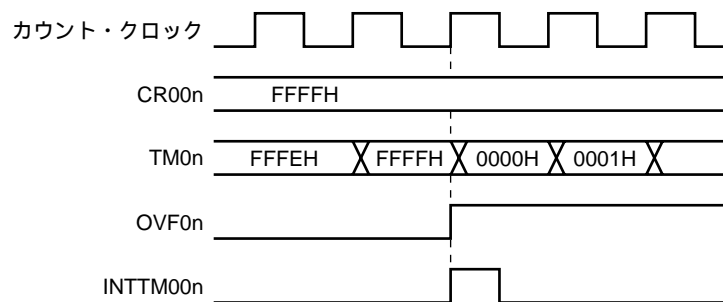
TM0nとCR00nの一致でクリア&スタート，TI00nの有効エッジでクリア&スタート，フリー・ランニングのいずれかのモードを選択

CR00nをFFFFHに設定

TM0nがFFFFHから0000Hにカウント・アップするとき

備考 n = 0, 1

図6 - 36 OVF0nフラグの動作タイミング



備考 n = 0, 1

TM0nがオーバーフロー後，次のカウント・クロックが来る前（TM0nが0001Hになる前）にOVF0nフラグをクリアしても，再度セットされ，クリアは無効となります。

備考 n = 0, 1

(7) 競合動作について

16ビット・キャプチャ/コンペア・レジスタ00n, 01n（CR00n, CR01n）のリード期間とキャプチャ・トリガ入力の競合（CR00n, CR01nはキャプチャ・レジスタとして使用）

キャプチャ・トリガ入力が優先されます。CR00n, CR01nのリード・データは不定となります。

16ビット・キャプチャ/コンペア・レジスタ00n, 01n（CR00n, CR01n）のライト期間と16ビット・タイマ・カウンタ0n（TM0n）との一致タイミングの競合（CR00n, CR01nはコンペア・レジスタとして使用）

一致判別は正常に行われません。一致タイミング付近でCR00n, CR01nのライト動作は行わないでください。

(8) タイマ動作について

16ビット・タイマ・カウンタ0n (TM0n) をリードしても、16ビット・キャプチャ/コンペア・レジスタ01n (CR01n) にはキャプチャしません。

CPUの動作モードに関係なく、タイマが停止していると、外部割り込み要求入力のノイズは除去されません。

備考 n = 0, 1

(9) キャプチャ動作について

カウント・クロックにTI00n (n = 0,1) の有効エッジを指定した場合、TI00nをトリガに指定したキャプチャ・レジスタは正常にキャプチャ動作できません。

TI00nの有効エッジに立ち上がり、立ち下がりの両エッジを選択した場合には、キャプチャ動作しません。

キャプチャを確実にを行うために、キャプチャ・トリガはプリスケアラ・モード・レジスタ0n (PRM0n) で選択したカウント・クロックの2回分より長いパルスが必要とします。

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み要求入力 (INTTM00n) は次のカウント・クロックの立ち上がりで発生します。

備考 n = 0, 1

(10) コンペア動作について

16ビット・キャプチャ/コンペア・レジスタ00n, 01n (CR00n, CR01n) の設定値と16ビット・タイマ・カウンタ0n (TM0n) のカウント値が一致し、INTTM00n, INTTM01nが発生するタイミングで、CR00n, CR01nに値を書き込むと、INTTM00n, INTTM01nが発生しないことがあります。したがって、同じ値の場合でもCR00n, CR01nに何度も書き込まないでください。

コンペア・モードに設定したCR00n, CR01nは、キャプチャ・トリガが入力されてもキャプチャ動作を行いません。

備考 n = 0, 1

(11) エッジ検出について

システム・リセット直後にTI00n端子またはTI01n端子がハイ・レベルの場合、TI00n端子またはTI01n端子の有効エッジを立ち上がりエッジまたは両エッジに指定し、16ビット・タイマ・カウンタ0n (TM0n) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI00n端子またはTI01n端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

TI00n端子の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで、ノイズ除去のためのサンプリング・クロックが異なります。前者は $f_x/2^4$ で、後者はプリスケアラ・モード・レジスタ0n (PRM0n) で選択したカウント・クロックでサンプリングします。前述のサンプリング・クロックでサンプリングして、TI00n端子の有効レベルを2回検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。

備考 n = 0, 1

第7章 8ビット・タイマ/イベント・カウンタ

7.1 8ビット・タイマ/イベント・カウンタの概要

インターバル・タイマ，外部イベント・カウンタ，任意の周波数の方形波出力，PWM出力などに使用できます。また，2本の8ビット・タイマ/イベント・カウンタを1本の16ビット・タイマ/イベント・カウンタとして使用することもできます。

7.2 8ビット・タイマ/イベント・カウンタの機能

8ビット・タイマ/イベント・カウンタ50, 51, 52には，次の2つのモードがあります。

- ・ 8ビット・タイマ/イベント・カウンタを単体で使用するモード（単体モード）
- ・ カスケード接続して使用するモード（16ビット分解能：カスケード接続モード）

次に，これら2つのモードについて説明します。

（1）8ビット・タイマ/イベント・カウンタを単体で使用するモード（単体モード）

次のような機能として使用できます。

- ・ インターバル・タイマ
- ・ 外部イベント・カウンタ
- ・ 方形波出力
- ・ PWM出力

（2）TM50とTM51，TM51とTM52をカスケード接続して使用するモード（16ビット分解能：カスケード接続モード）

カスケード接続することにより，16ビットのタイマ/イベント・カウンタとして動作します。

次のような機能として使用できます。

- ・ 16ビット分解能のインターバル・タイマ
- ・ 16ビット分解能の外部イベント・カウンタ
- ・ 16ビット分解能の方形波出力

7.3 8ビット・タイマ/イベント・カウンタの構成

8ビット・タイマ/イベント・カウンタは、次のハードウェアで構成されています。

表7-1 8ビット・タイマ/イベント・カウンタの構成

項目	構成
タイマ・レジスタ	8ビット・タイマ・カウンタ5n (TM5n)
レジスタ	8ビット・コンペア・レジスタ5n (CR5n)
タイマ出力	TO5n
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) タイマ・クロック選択レジスタ5n (TCL5n) ポート・モード・レジスタ2 (PM2) 注

注 図4-4 P20-P26のブロック図を参照してください。

備考 n = 0-2

図7-1 8ビット・タイマ/イベント・カウンタ50のブロック図

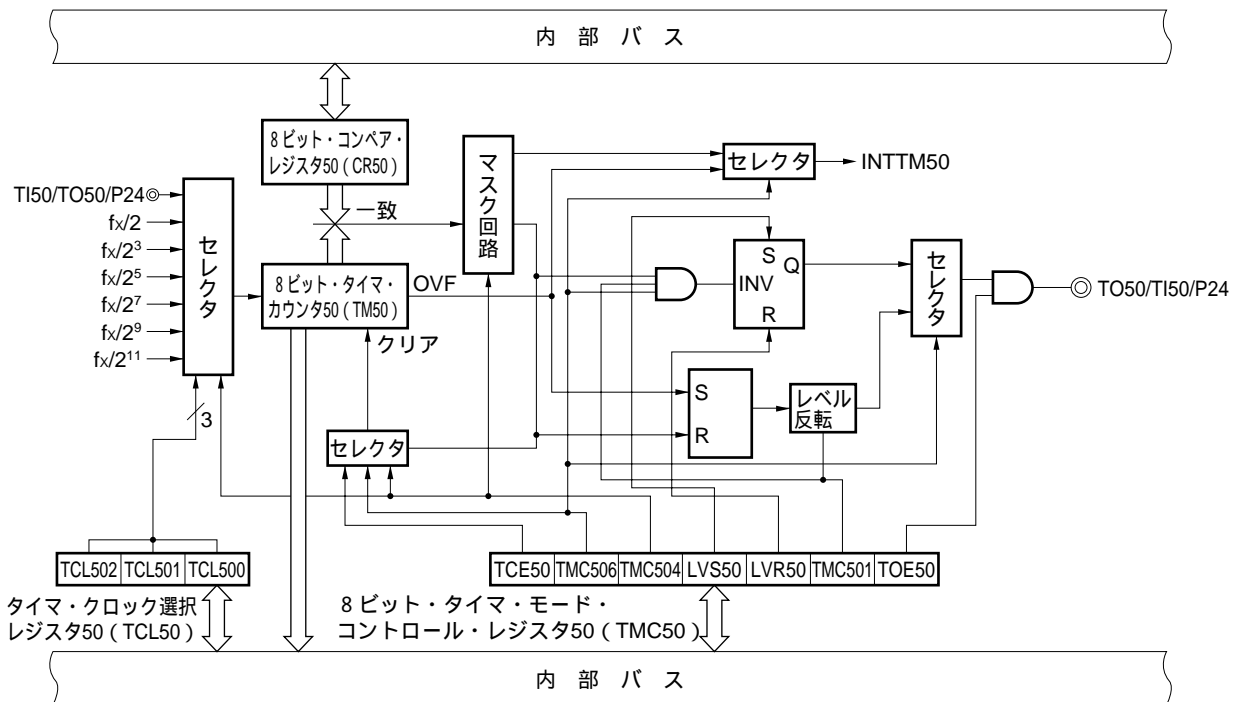


図7-2 8ビット・タイマ/イベント・カウンタ51のブロック図

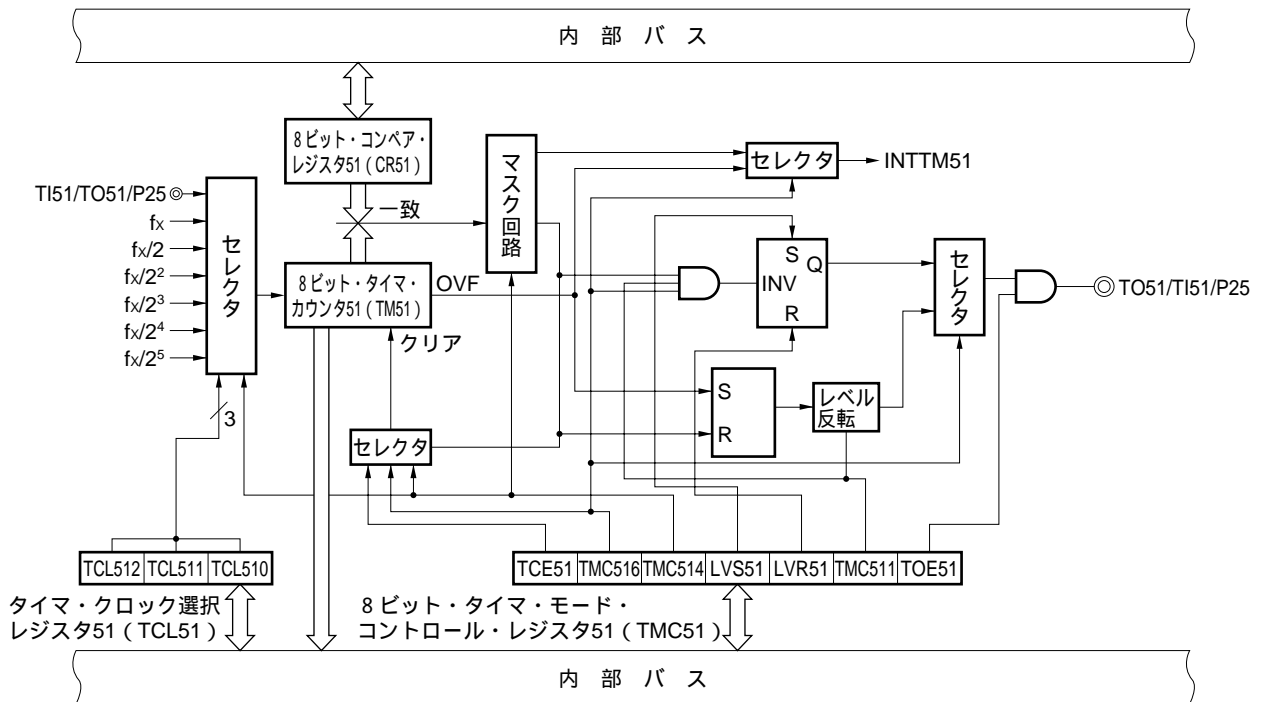
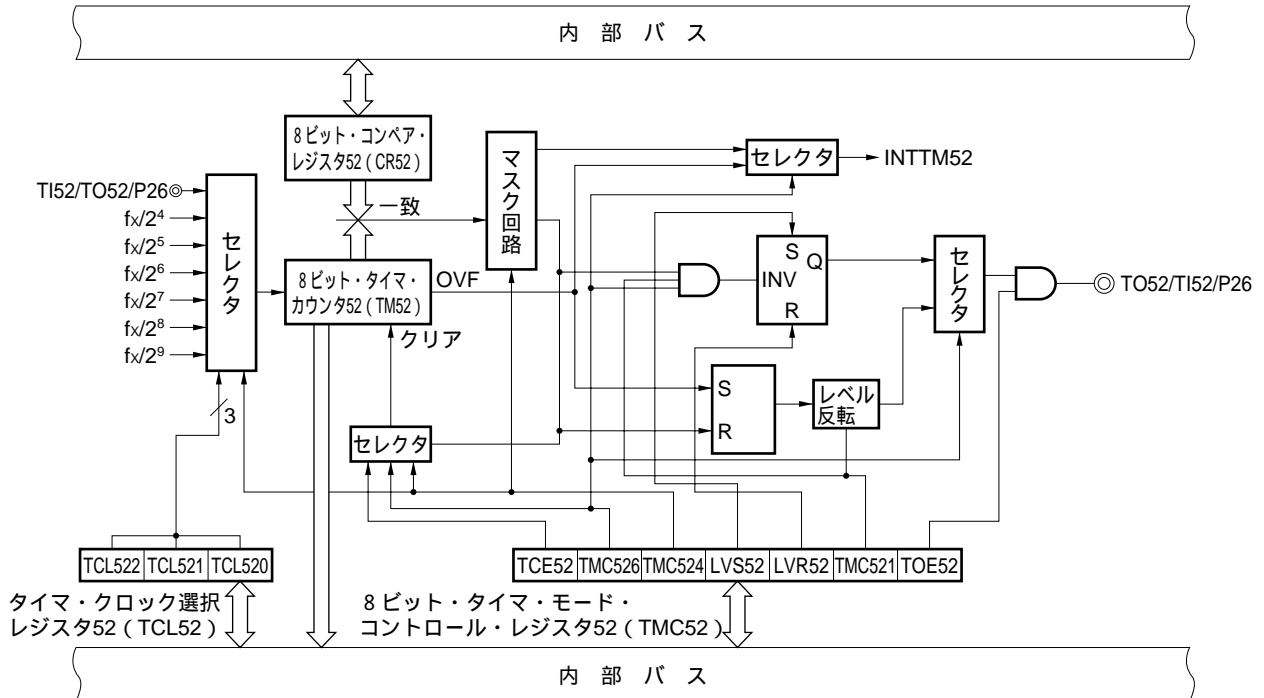


図7-3 8ビット・タイマ/イベント・カウンタ52のブロック図



(1) 8ビット・タイマ・カウンタ50, 51, 52 (TM50, TM51, TM52)

TM50, TM51, TM52は、カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

TM50, TM51 (TM51, TM52) は、カスケード接続し、16ビット・タイマとして使用できます。

TM50, TM51をカスケード接続し、16ビット・タイマとして使用した場合、16ビット操作命令により読み出せます。しかし、内部8ビット・バスで接続されていますので、TM50, TM51を2回に分けて読み出しします。したがって、カウント変化中読み出しを考慮し、2度読みにより比較してください。

TM51, TM52をカスケード接続し、16ビット・タイマとして使用した場合、16ビット操作命令による読み出しはできません。TM51, TM52を読み出す場合、8ビット操作命令を使用し、TM51, TM52を別々に読み出してください。

動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は00Hになります。

RESET \bar 入力

TCE5nをクリア

TM5nとCR5nの一致でクリア&スタート・モード時のTM5nとCR5nの一致

注意 カスケード接続時は、TM51のTCE51またはTM52のTCE52をクリアしても00Hとなります。

備考 n = 0-2

(2) 8ビット・コンペア・レジスタ50, 51, 52 (CR50, CR51, CR52)

CR5nに設定した値と8ビット・タイマ・カウンタ5n (TM5n) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM5n) を発生します (PWMモード以外)。

CR5nの値は、00H-FFHの範囲で設定でき、カウント動作中の書き換えが可能です。

TM50, TM51をカスケード接続し、16ビット・タイマとして使用した場合、CR50, CR51は、16ビット・コンペア・レジスタとして動作します。16ビット長でカウンタ値とレジスタ値を比較し、一致すると割り込み要求 (INTTM50) を発生します。そのとき、INTTM51割り込み要求も発生しますので、TM50, TM51をカスケード接続して使用する場合は、INTTM51割り込み要求をマスクしてください。

TM51, TM52をカスケード接続して使用する場合も同様で、一致した場合、INTTM51割り込み要求が発生します (INTTM52割り込み要求はマスクしてください)。

CR50, CR51, CR52は、8ビット・メモリ操作命令で設定します。

CR50, CR51をカスケード接続した場合、CR5レジスタとして16ビット・アクセスが可能です。

リセット入力により、不定となります。

注意 カスケード接続時に8ビット・コンペア・レジスタ5n (CR5n) の設定値を変更する場合、カスケード接続した8ビット・タイマ・カウンタ5n (TM5n) の各タイマ動作を停止させてから変更してください。

備考 n = 0-2

7.4 8ビット・タイマ/イベント・カウンタを制御するレジスタ

8ビット・タイマ/イベント・カウンタ50, 51, 52を制御するレジスタには、次の7種類があります。

- ・ 8ビット・タイマ・モード・コントロール・レジスタ50, 51, 52 (TMC50, TMC51, TMC52)
- ・ タイマ・クロック選択レジスタ50, 51, 52 (TCL50, TCL51, TCL52)
- ・ ポート・モード・レジスタ2 (PM2)

(1) 8ビット・タイマ・モード・コントロール・レジスタ50, 51, 52 (TMC50, TMC51, TMC52)

TMC50, TMC51, TMC52は、次の6種類の設定を行うレジスタです。

- 8ビット・タイマ・カウンタ50, 51, 52 (TM50, TM51, TM52) のカウント動作制御
- 8ビット・タイマ・カウンタ50, 51, 52 (TM50, TM51, TM52) の動作モードの選択
- 単体モード/カスケード接続モードの選択
- タイマ出力F/F (フリップフロップ) の状態設定
- タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択
- タイマ出力の制御

TMC50, TMC51, TMC52は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図7 - 4 から図7 - 6 にTMC50, TMC51, TMC52のフォーマットを示します。

図7-4 8ビット・タイマ・モード・コントロール・レジスタ50のフォーマット

略号	⑦	6	5	4	③	②	1	①	アドレス	リセット時	R/W
TMC50	TCE50	TMC506	0	0	LVS50	LVR50	TMC501	TOE50	FF70H	00H	R/W
TCE50		TM50のカウンタ動作制御									
0		カウンタを0にクリア後, カウンタ動作禁止 (プリスケアラ禁止)									
1		カウンタ動作開始									
TMC506		TM50の動作モード選択									
0		TM50とCR50の一致でクリア&スタート・モード									
1		PWM (フリー・ランニング) モード									
LVS50	LVR50	8ビット・タイマ/イベント・カウンタ50のタイマ出力F/Fの状態の設定									
0	0	変化しない									
0	1	タイマ出力F/Fをリセット (0)									
1	0	タイマ出力F/Fをセット (1)									
1	1	設定禁止									
TMC501		PWMモード以外 (TMC506 = 0)					PWMモード (TMC506 = 1)				
		タイマF/Fの制御					アクティブ・レベルの選択				
0		反転動作禁止					ハイ・アクティブ				
1		反転動作許可					ロウ・アクティブ				
TOE50		8ビット・タイマ/イベント・カウンタ50のタイマ出力の制御									
0		出力禁止 (ポート・モード)									
1		出力許可									

注意 TCE50をクリア (0) する場合には, 割り込みマスク・フラグ (TMMK50) をセット (1) してから行ってください。TCE50をクリアしたときに割り込みが発生する可能性があります。TCE50をクリア (0) するときの手順を次に示します。

TMMK50 = 1 ; マスク・セット
 TCE50 = 0 ; タイマ・クリア
 TMIF50 = 0 ; 割り込み要求フラグ・クリア
 TMMK50 = 0 ; マスク・クリア
 ∴
 TCE50 = 1 ; タイマ・スタート
 ∴

備考1 . PWMモード時は, TCE50 = 0 により, PWM出力はインアクティブ・レベルになります。
2 . データ設定後にLVS50, LVR50を読み出すと, 0 が読み出せます。

図7-5 8ビット・タイマ・モード・コントロール・レジスタ51のフォーマット

略号	⑦	6	5	4	③	②	1	①	アドレス	リセット時	R/W
TMC51	TCE51	TMC516	0	TMC514	LVS51	LVR51	TMC511	TOE51	FF74H	00H	R/W
TCE51	TM51のカウンタ動作制御										
0	カウンタを0にクリア後、カウンタ動作禁止(プリスケール禁止)										
1	カウンタ動作開始										
TMC516	TM51の動作モード選択										
0	TM51とCR51の一致でクリア&スタート・モード										
1	PWM(フリー・ランニング)モード										
TMC514	単体モード/カスケード接続モードの選択										
0	単体モード										
1	カスケード接続モード(TM50と接続)										
LVS51	LVR51	8ビット・タイマ/イベント・カウンタ51のタイマ出力F/Fの状態の設定									
0	0	変化しない									
0	1	タイマ出力F/Fをリセット(0)									
1	0	タイマ出力F/Fをセット(1)									
1	1	設定禁止									
TMC511	PWMモード以外(TMC516=0)					PWMモード(TMC516=1)					
	タイムF/Fの制御					アクティブ・レベルの選択					
0	反転動作禁止					ハイ・アクティブ					
1	反転動作許可					ロウ・アクティブ					
TOE51	8ビット・タイマ/イベント・カウンタ51のタイマ出力の制御										
0	出力禁止(ポート・モード)										
1	出力許可										

注意 TCE51をクリア(0)する場合には、割り込みマスク・フラグ(TMMK51)をセット(1)してから行ってください。TCE51をクリアしたときに割り込みが発生する可能性があります。TCE51をクリア(0)するときの手順を次に示します。

- TMMK51 = 1 ; マスク・セット
- TCE51 = 0 ; タイマ・クリア
- TMIF51 = 0 ; 割り込み要求フラグ・クリア
- TMMK51 = 0 ; マスク・クリア
- ⋮
- TCE51 = 1 ; タイマ・スタート
- ⋮

備考1 . PWMモード時は、TCE51 = 0により、PWM出力はインアクティブ・レベルになります。
2 . データ設定後にLVS51, LVR51を読み出すと、0が読み出せます。

図7-6 8ビット・タイマ・モード・コントロール・レジスタ52のフォーマット

略号	⑦	6	5	4	③	②	1	①	アドレス	リセット時	R/W
TMC52	TCE52	TMC526	0	TMC524	LVS52	LVR52	TMC521	TOE52	FF78H	00H	R/W
TCE52	TM52のカウンタ動作制御										
0	カウンタを0にクリア後、カウンタ動作禁止(プリスケール禁止)										
1	カウンタ動作開始										
TMC526	TM52の動作モード選択										
0	TM52とCR52の一致でクリア&スタート・モード										
1	PWM(フリー・ランニング)モード										
TMC524	単体モード/カスケード接続モードの選択										
0	単体モード										
1	カスケード接続モード(TM51と接続)										
LVS52	LVR52	8ビット・タイマ/イベント・カウンタ52のタイマ出力F/Fの状態の設定									
0	0	変化しない									
0	1	タイマ出力F/Fをリセット(0)									
1	0	タイマ出力F/Fをセット(1)									
1	1	設定禁止									
TMC521	PWMモード以外(TMC526=0)					PWMモード(TMC526=1)					
	タイムF/Fの制御					アクティブ・レベルの選択					
0	反転動作禁止					ハイ・アクティブ					
1	反転動作許可					ロウ・アクティブ					
TOE52	8ビット・タイマ/イベント・カウンタ52のタイマ出力の制御										
0	出力禁止(ポート・モード)										
1	出力許可										

注意 TCE52をクリア(0)する場合には、割り込みマスク・フラグ(TMMK52)をセット(1)してから行ってください。TCE52をクリアしたときに割り込みが発生する可能性があります。TCE52をクリア(0)するときの手順を次に示します。

TMMK52 = 1 ; マスク・セット
 TCE52 = 0 ; タイマ・クリア
 TMIF52 = 0 ; 割り込み要求フラグ・クリア
 TMMK52 = 0 ; マスク・クリア
 ∴
 TCE52 = 1 ; タイマ・スタート
 ∴

備考1 . PWMモード時は、TCE52 = 0により、PWM出力はインアクティブ・レベルになります。
 2 . データ設定後にLVS52, LVR52を読み出すと、0が読み出せます。

(2) タイマ・クロック選択レジスタ50, 51, 52 (TCL50, TCL51, TCL52)

8ビット・タイマ・カウンタ50, 51, 52 (TM50, TM51, TM52) のカウント・クロックおよび TI50, TI51, TI52入力の有効エッジを設定するレジスタです。

TCL50, TCL51, TCL52は, 8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図7-7から図7-9にTCL50, TCL51, TCL52のフォーマットを示します。

★

図7-7 タイマ・クロック選択レジスタ50のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500	FF71H	00H	R/W

TCL502	TCL501	TCL500	カウント・クロックの選択		
				$f_x = 12 \text{ MHz}$ 動作時 ^注	$f_x = 8.38 \text{ MHz}$ 動作時
0	0	0	TI50の立ち下がりエッジ		
0	0	1	TI50の立ち上がりエッジ		
0	1	0	$f_x/2$	6 MHz	4.19 MHz
0	1	1	$f_x/2^3$	1.5 MHz	1.05 MHz
1	0	0	$f_x/2^5$	375 kHz	262 kHz
1	0	1	$f_x/2^7$	93.7 kHz	65.5 kHz
1	1	0	$f_x/2^9$	23.4 kHz	16.4 kHz
1	1	1	$f_x/2^{11}$	5.85 kHz	4.09 kHz

注 拡張規格品のみ。

注意1 . TCL50を同一データ以外に書き換える場合は, いったんタイマ動作を停止させてから書き換えてください。

2 . TCL50のビット3-7には, 必ず0を設定してください。

備考 f_x : システム・クロック発振周波数

★

図7-8 タイマ・クロック選択レジスタ51のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510	FF75H	00H	R/W

TCL512	TCL511	TCL510	カウント・クロックの選択		
			fx = 12 MHz動作時 ^注		fx = 8.38 MHz動作時
0	0	0	TI51の立ち下がりエッジ		
0	0	1	TI51の立ち上がりエッジ		
0	1	0	fx	12 MHz	8.38 MHz
0	1	1	fx/2	6 MHz	4.19 MHz
1	0	0	fx/2 ²	3 MHz	2.1 MHz
1	0	1	fx/2 ³	1.5 MHz	1.05 MHz
1	1	0	fx/2 ⁴	750 kHz	524 kHz
1	1	1	fx/2 ⁵	375 kHz	262 kHz

注 拡張規格品のみ。

注意1 . TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2 . TCL51のビット3-7には、必ず0を設定してください。

備考1 . fx : システム・クロック発振周波数

2 . TM50とTM51のカスケード接続モード時、TCL510-TCL512の設定は無効になります。

★

図7-9 タイマ・クロック選択レジスタ52のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL52	0	0	0	0	0	TCL522	TCL521	TCL520	FF79H	00H	R/W

TCL522	TCL521	TCL520	カウント・クロックの選択		
			fx = 12 MHz動作時 ^注		fx = 8.38 MHz動作時
0	0	0	TI52の立ち下がりエッジ		
0	0	1	TI52の立ち上がりエッジ		
0	1	0	fx/2 ⁴	750 kHz	524 kHz
0	1	1	fx/2 ⁵	375 kHz	262 kHz
1	0	0	fx/2 ⁶	187 kHz	131 kHz
1	0	1	fx/2 ⁷	93.7 kHz	65.5 kHz
1	1	0	fx/2 ⁸	46.8 kHz	32.7 kHz
1	1	1	fx/2 ⁹	23.4 kHz	16.4 kHz

注 拡張規格品のみ。

注意1 . TCL52を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2 . TCL52のビット 3-7 には、必ず0を設定してください。

備考1 . fx : システム・クロック発振周波数

2 . TM51とTM52のカスケード接続モード時、TCL520-TCL522の設定は無効になります。

(3) ポート・モード・レジスタ2 (PM2)

ポート2の入力/出力を1ビット単位で設定するレジスタです。

P24/TI50/TO50-P26/TI52/TO52端子をタイマ出力として使用するとき、PM24-PM26および、P24-P26の出力ラッチに0を設定してください。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図7-10 ポート・モード・レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM2	1	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W

PM2n	P2n端子の入出力モードの選択 (n = 0-6)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

7.5 8ビット・タイマ/イベント・カウンタの動作

7.5.1 インターバル・タイマ(8ビット)としての動作

8ビット・コンペア・レジスタ5n (CR5n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5n (TM5n) のカウント値がCR5nに設定した値と一致したとき、TM5nの値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM5n) を発生します。

タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) でTM5nのカウント・クロックを選択できます。

なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、7.6 8ビット・タイマ/イベント・カウンタの注意事項の(2)を参照してください。

<設定方法>

各レジスタの設定を行います。

- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : TM5nとCR5nの一致でクリア&スタート・モードを選択
(TMC5n = 0000 x x x 0B x = don't care)

TCE5n = 1 を設定すると、カウント動作を開始します。

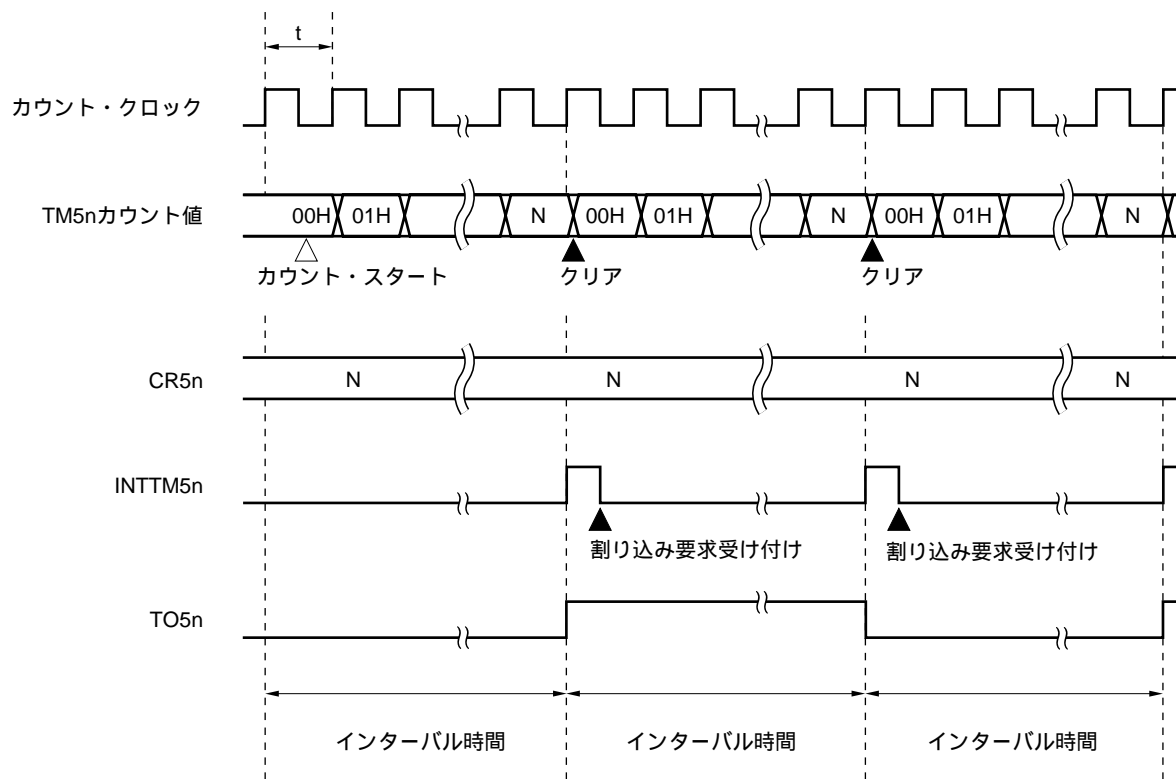
TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

以後、同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは、TCE5n = 0 にしてください。

備考 n = 0-2

図7-11 インターバル・タイマ動作のタイミング (1/3)

(a) 基本動作

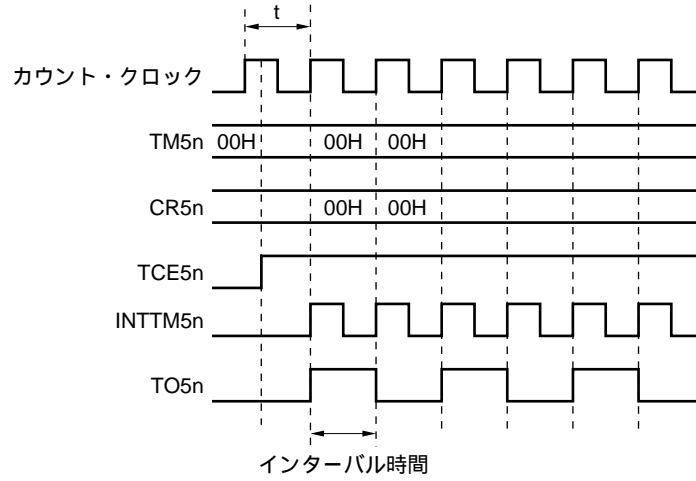


備考1 . インターバル時間 = (N + 1) × t : N = 00H-FFH

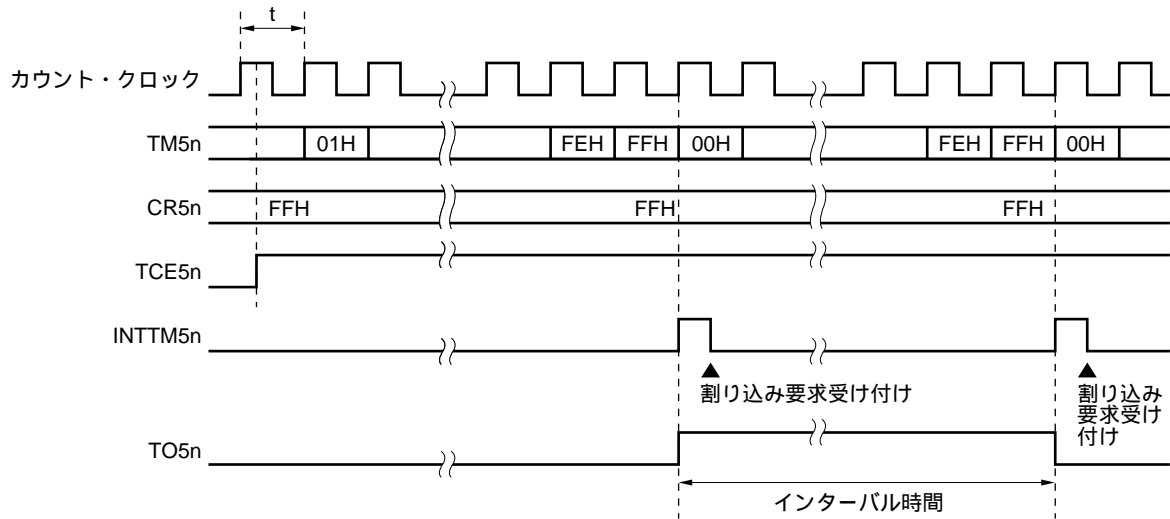
2 . n = 0-2

図7-11 インターバル・タイマ動作のタイミング (2/3)

(b) CR5n = 00Hの場合



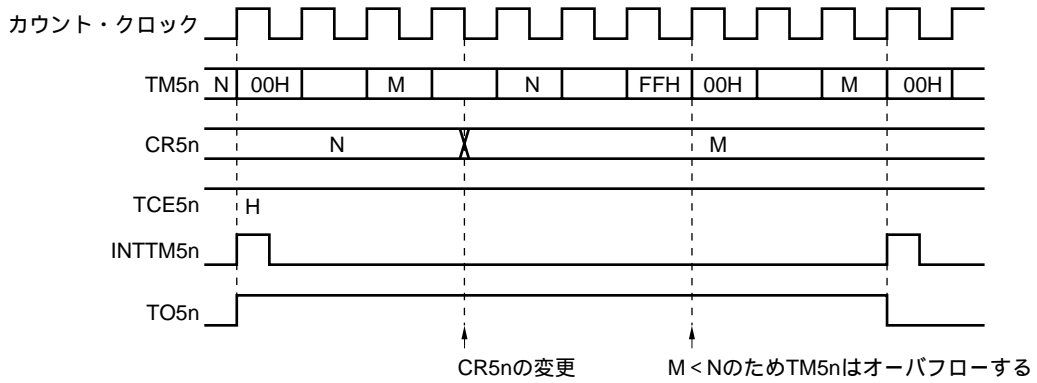
(c) CR5n = FFHの場合



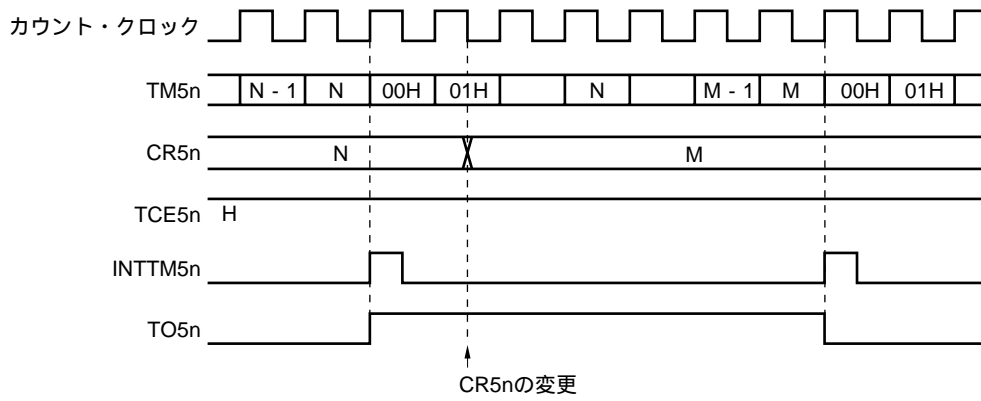
備考 n = 0-2

図7-11 インターバル・タイマ動作のタイミング (3/3)

(d) CR5n変更による動作 (M < N)



(e) CR5n変更による動作 (M > N)



備考 n = 0-2

7.5.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI50/P24-TI52/P26端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5n (TM5n) でカウントするものです。

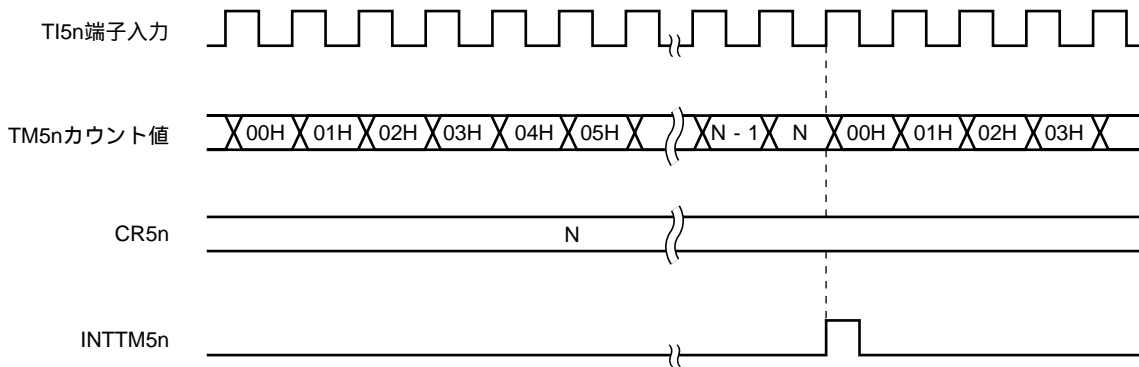
タイマ・クロック選択レジスタ5n (TCL5n) で指定した有効エッジが入力されるたびに、TM5nがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5nの計数値が8ビット・コンペア・レジスタ5n (CR5n) の値と一致すると、TM5nは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。

備考 n = 0-2

図7 - 12 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考 N = 00H-FFH

n = 0-2

7.5.3 方形波出力（8ビット分解能）としての動作

8ビット・コンペア・レジスタ5n（CR5n）にあらかじめ設定した値をインターバルとする，任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）のビット0（TOE5n）に1を設定することにより，CR5nにあらかじめ設定したカウント値をインターバルとしてTO5nの出力状態が反転します。これにより，任意の周波数の方形波出力（デューティ = 50 %）が可能です。

< 設定方法 >

各レジスタの設定を行います。

- ・ポート・ラッチ，ポート・モード・レジスタ2（PM2）に“0”を設定
- ・TCL5n：カウント・クロックの選択
- ・CR5n：コンペア値
- ・TMC5n：TM5nとCR5nの一致でクリア&スタート・モード

LVS5n	LVR5n	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可

タイマ出力許可 TOE5n = 1

TCE5n = 1 を設定すると，カウント動作を開始します。

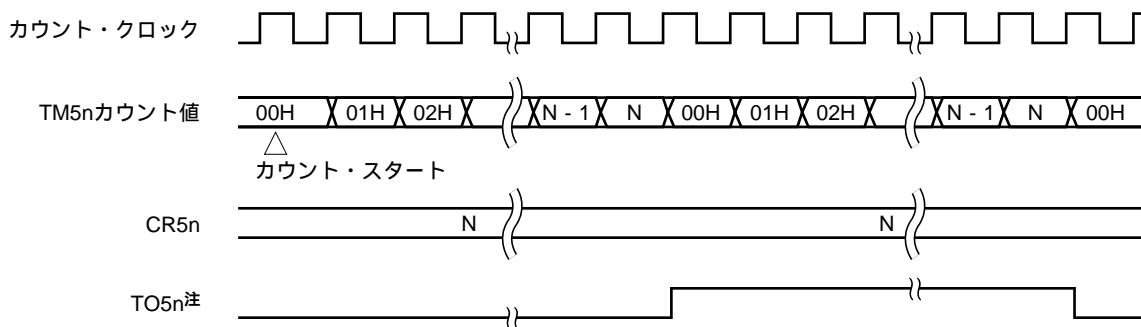
TM5nとCR5nの値が一致すると，タイマ出力F/Fが反転します。

また，INTTM5nが発生し，TM5nは00Hにクリアされます。

以後，同一間隔でタイマ出力F/Fが反転し，TO5nから方形波が出力されます。

備考 n = 0-2

図7 - 13 方形波出力動作のタイミング



注 TO5n出力の初期値は，8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）のビット2，3（LVR5n, LVS5n）で設定できます。

備考 n = 0-2

7.5.4 8ビットPWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット6 (TMC5n6) を“1”に設定することにより、PWM出力として動作します。

8ビット・コンペア・レジスタ5n (CR5n) に設定した値で決まるデューティ比のパルスを、TO5nから出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nに設定してください。また、アクティブ・レベルは、TMC5nのビット1 (TMC5n1) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) で選択できます。

TMC5nのビット0 (TOE5n) により、PWM出力の許可/禁止が選択できます。

(1) PWM出力の基本動作

<設定方法>

ポート・ラッチ，ポート・モード・レジスタ2 (PM2) に“0”を設定します。

8ビット・コンペア・レジスタ5n (CR5n) でアクティブ・レベル幅を設定します。

タイマ・クロック選択レジスタ5n (TCL5n) で、カウント・クロックを選択します。

TMC5nのビット1 (TMC5n1) で、アクティブ・レベルを設定します。

TMC5nのビット7 (TCE5n) に“1”を設定すると、カウント動作を開始します。

カウント動作を停止するときは、TCE5nに“0”を設定してください。

<PWM出力の動作>

カウント動作を開始すると、PWM出力 (TO5nからの出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると、設定方法 で設定したアクティブ・レベルを出力します。アクティブ・レベルは、CR5nと8ビット・タイマ・カウンタ5n (TM5n) のカウント値が一致するまで出力されます。

CR5nとカウント値が一致したあとのPWM出力は、再度オーバフローが発生するまでインアクティブ・レベルを出力します。

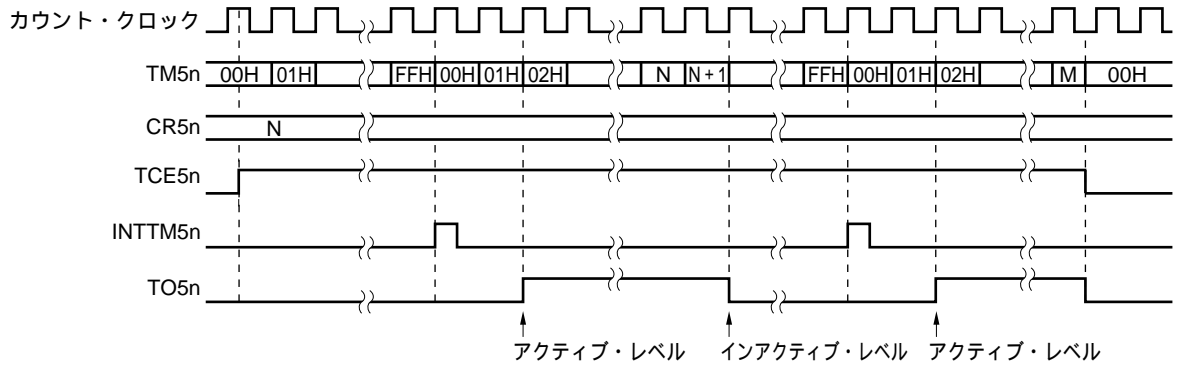
以後、カウント動作が停止されるまで、を繰り返します。

TCE5n = 0 によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

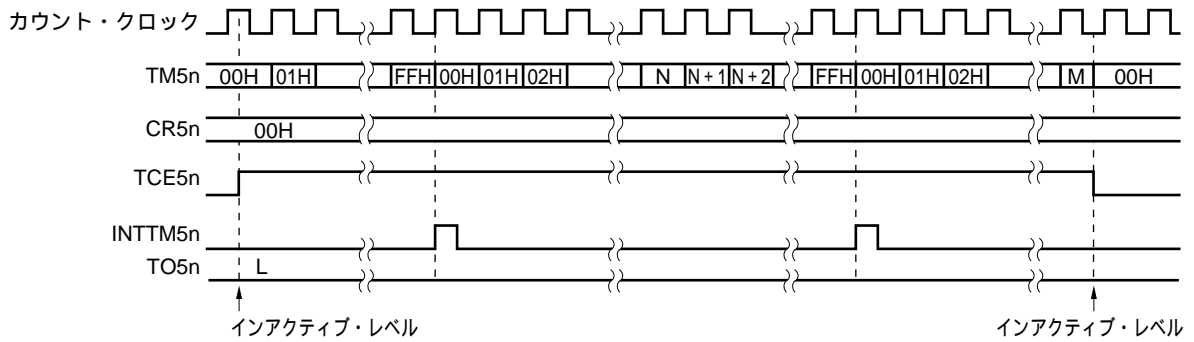
備考 n = 0-2

図7-14 PWM出力の動作タイミング

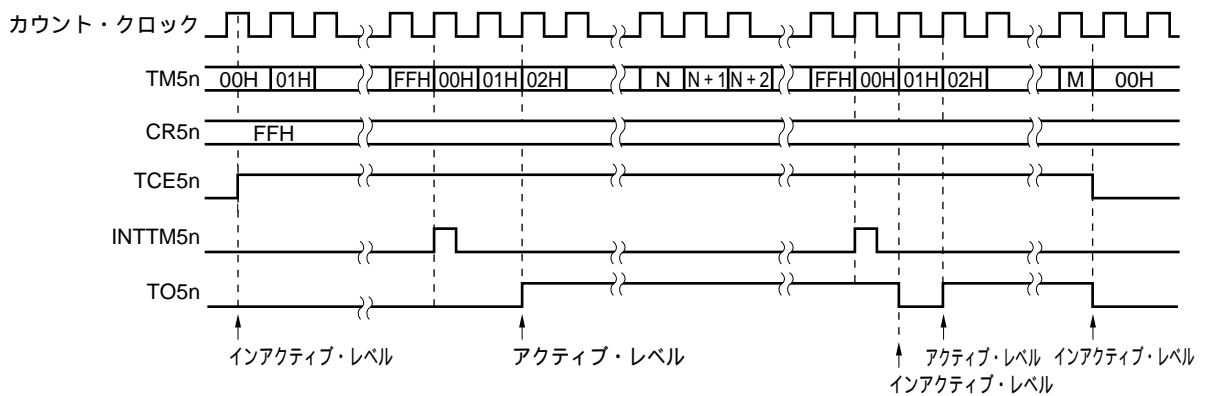
(a) 基本動作 (アクティブ・レベル = Hのとき)



(b) CR5n = 0の場合



(c) CR5n = FFHの場合

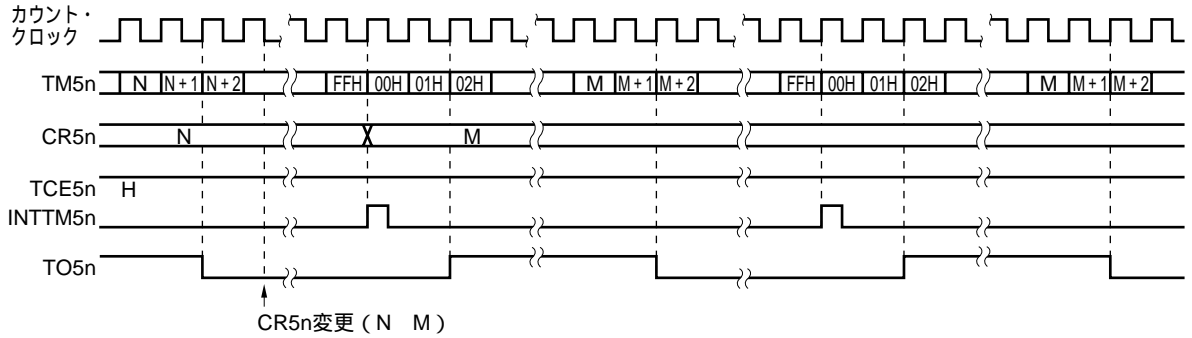


備考 n = 0-2

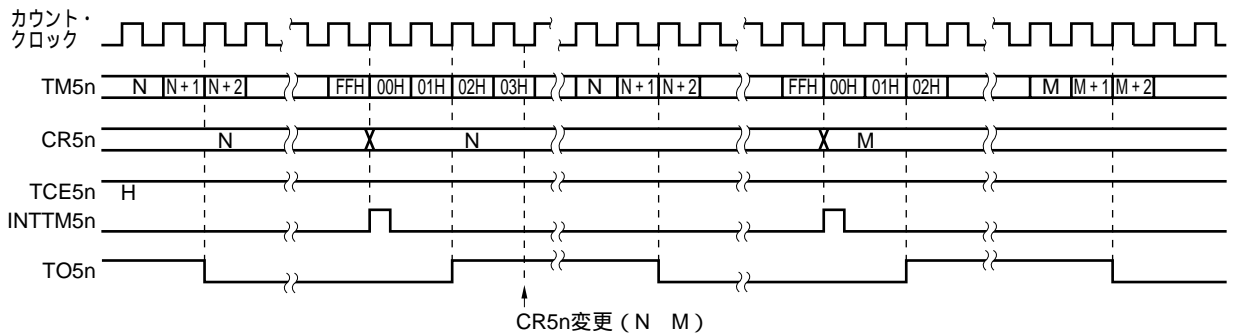
(2) CR5n変更による動作

図7-15 CR5n変更による動作のタイミング

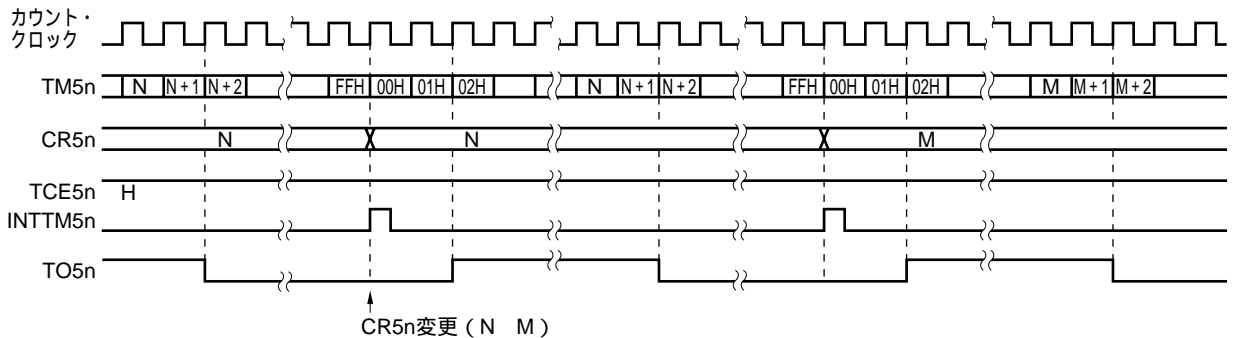
(a) CR5nの値をTM5nのオーバーフロー前にN Mに変更した場合



(b) CR5nの値をTM5nのオーバーフロー後にN Mに変更した場合



(c) CR5nの値をTM5nのオーバーフロー直後の2クロック間(00H, 01H)にN Mに変更した場合



備考 n = 0-2

7.5.5 インターバル・タイマ（16ビット）としての動作

（1）カスケード接続（16ビット・タイマ）モード（TM50とTM51の場合）

8ビット・タイマ・モード・コントロール・レジスタ51（TMC51）のビット4（TMC514）に“1”を設定することにより、16ビット分解能のタイマ/イベント・カウンタ・モードになります。

8ビット・コンペア・レジスタ50, 51（CR50, CR51）にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

< 設定方法 >

各レジスタの設定を行います。

- ・ TCL50 : TM50はカウント・クロック選択
カスケード接続するTM51は設定不要
- ・ CR50, CR51 : コンペア値（各コンペア値とも00H-FFHの設定が可能）
- ・ TMC50, TMC51 : TM50とCR50（TM51とCR51）の一致でクリア&スタート・モードを選択

$$\left[\begin{array}{ll} \text{TM50} & \text{TMC50} = 0000 \times \times \times 0\text{B} \quad \times : \text{don't care} \\ \text{TM51} & \text{TMC51} = 0001 \times \times \times 0\text{B} \quad \times : \text{don't care} \end{array} \right]$$

先にTMC51をTCE51 = 1に設定し、そのあとTMC50をTCE50 = 1に設定することにより、カウント動作を開始します。

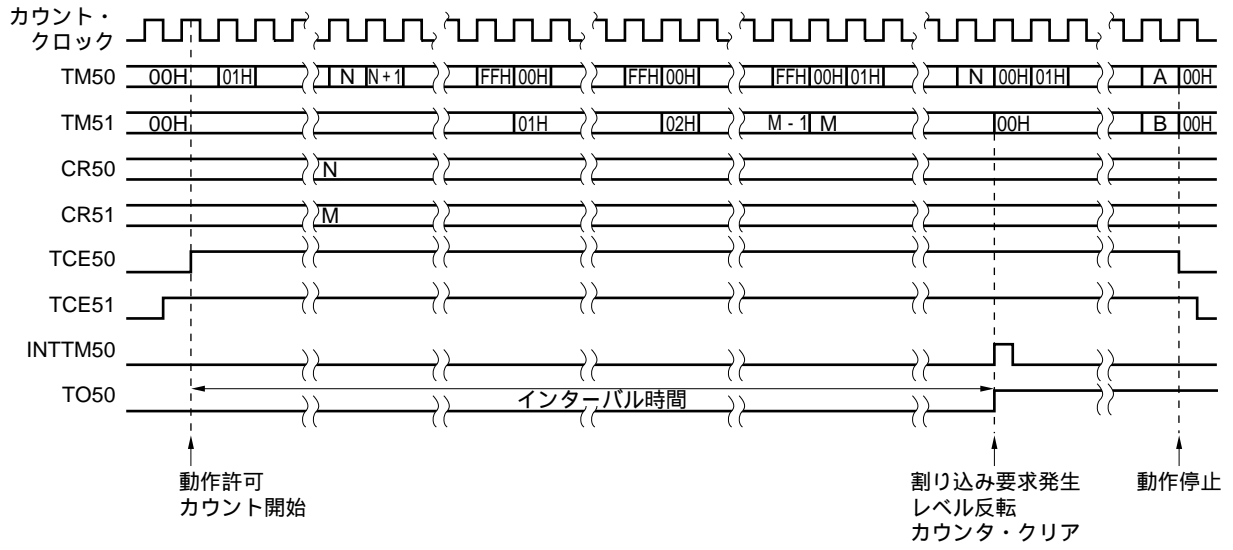
カスケード接続されたタイマのTM50とCR50の値が一致すると、TM50のINTTM50が発生します（TM50, TM51は00Hにクリアされます）。

以後、同一間隔でINTTM50が繰り返し発生します。

- 注意1．コンペア・レジスタ（CR50, CR51）は、必ずタイマ動作を停止させてから設定してください。
- 2．カスケード接続で使用している場合でも、TM51のカウント値がCR51と一致すると、TM51のINTTM51が発生してしまいます。TM51は、割り込み禁止のため必ずマスクしてください。
- 3．TCE50, TCE51は、TM51, TM50の順にセットしてください。
- 4．カウントの再スタート/ストップは、TM50のTCE50のみ1/0に設定することにより、動作/停止できます。

図7 - 16に、16ビット分解能カスケード接続モードのタイミング例を示します。

図7 - 16 16ビット分解能カスケード接続モード (TM50とTM51の場合)



(2) カスケード接続 (16ビット・タイマ) モード (TM51とTM52の場合)

8ビット・タイマ・モード・コントロール・レジスタ52 (TMC52) のビット4 (TMC524) に “ 1 ” を設定することにより, 16ビット分解能のタイマ/イベント・カウンタ・モードになります。

8ビット・コンペア・レジスタ51, 52 (CR51, CR52) にあらかじめ設定したカウント値をインターバルとし, 繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

< 設定方法 >

各レジスタの設定を行います。

- ・ TCL51 : TM51はカウント・クロック選択
カスケード接続するTM52は設定不要
- ・ CR51, CR52 : コンペア値 (各コンペア値とも00H-FFHの設定が可能)
- ・ TMC51, TMC52 : TM51とCR51 (TM52とCR52) の一致でクリア&スタート・モードを選択

TM51	TMC51 = 0000 x x x 0B	x : don't care
TM52	TMC52 = 0001 x x x 0B	x : don't care

先にTMC52をTCE52 = 1 に設定し, そのあとTMC51をTCE51 = 1 に設定することにより, カウント動作を開始します。

カスケード接続されたタイマのTM51とCR51の値が一致すると, TM51のINTTM51が発生します (TM51, TM52は00Hにクリアされます)。

以後, 同一間隔でINTTM51が繰り返し発生します。

- 注意 1 . コンペア・レジスタ (CR51, CR52) は, 必ずタイマ動作を停止させてから設定してください。**
- 2 . カスケード接続で使用している場合でも, TM52のカウント値がCR52と一致すると, TM52のINTTM52が発生してしまいます。TM52は, 割り込み禁止のため必ずマスクしてください。**
- 3 . TCE51, TCE52は, TM52, TM51の順にセットしてください。**
- 4 . カウントの再スタート/ストップは, TM51のTCE51のみ1/0に設定することにより, 動作/停止できます。**

図7 - 17に, 16ビット分解能カスケード接続モードのタイミング例を示します。

図7-17 16ビット分解能カスケード接続モード (TM51とTM52の場合)

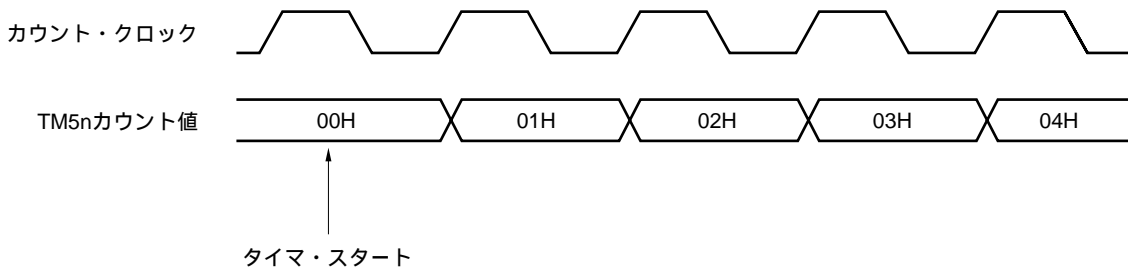


7.6 8ビット・タイマ/イベント・カウンタの注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・クロックに対して8ビット・タイマ・カウンタ $5n$ (TM $5n$: $n=0-2$) が非同期でスタートするためです。

図7-18 8ビット・タイマ・カウンタのスタート・タイミング

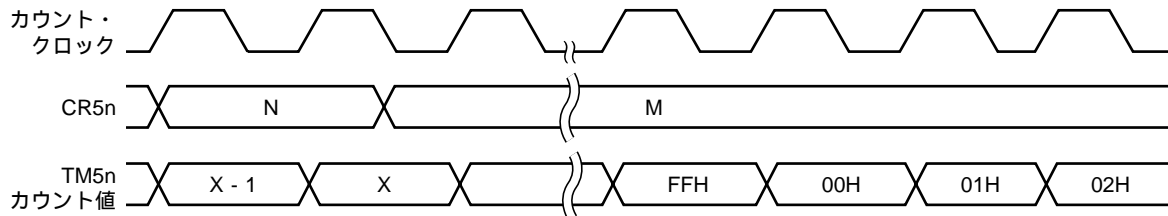


備考 $n=0-2$

(2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・コンペア・レジスタ5n (CR5n : n = 0-2) の変更後の値が, 8ビット・タイマ・カウンタ5n (TM5n : n = 0-2) の値よりも小さいとき, TM5nはカウントを継続しオーバーフローして0から再カウントします。したがって, CR5nの変更後の値 (M) が変更前の値 (N) より小さいときは, CR5nを変更後, タイマを再スタートさせる必要があります。

図7-19 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



注意 TI5n入力を選択している場合を除き, STOPモードに設定する前は必ずTCE5n = 0にしてください。

備考 $N > X > M$
n = 0-2

(3) タイマ動作中のTM5nの読み出しについて

動作中のTM5nを読み出す場合, カウント・クロックが一時停止するため, 選択するカウント・クロックは, CPUクロックの2周期分より長いハイ/ロウ・レベルのある波形を選択してください。たとえば, CPUクロック (f_{CPU}) が f_x のとき, 選択するカウント・クロックが $f_x/4$ 以下であれば読み出せます。

備考 n = 0-2
 f_x : システム・クロック発振周波数

第8章 10ビット・インバータ制御用タイマ

8.1 10ビット・インバータ制御用タイマの概要

インバータ制御を実現するタイマです。8ビットのデッド・タイム生成用のタイマを内蔵しており、アクティブ・レベルの重ならない波形を出力できます。

8.2 10ビット・インバータ制御用タイマの機能

10ビット・インバータ制御用タイマは、インバータ制御を実現するタイマです。

8ビットのデッド・タイム生成用のタイマを内蔵しており、アクティブ・レベルの重ならない波形を出力できます。正相、逆相あわせて6チャンネルのパルス出力を行います。また、アクティブ・レベルの変更機能、および外部入力（TOFF7）、ウォッチドッグ・タイマ割り込み要求入力による出力オフ機能を備えています。

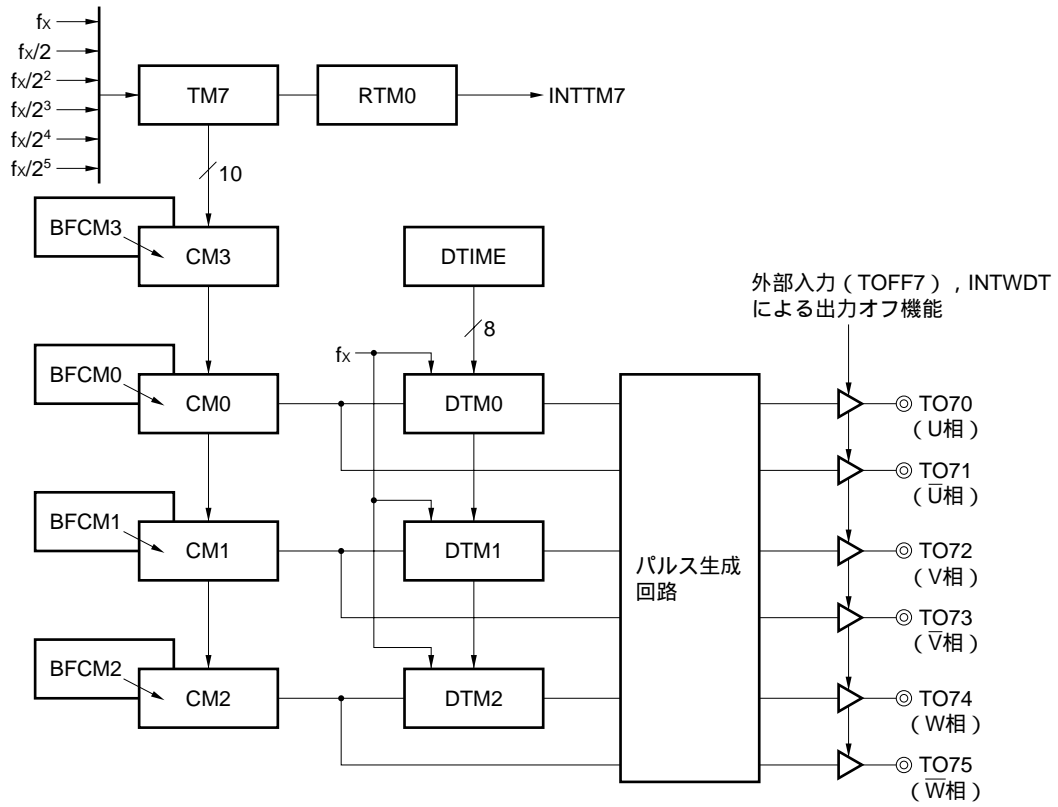
8.3 10ビット・インバータ制御用タイマの構成

10ビット・インバータ制御用タイマは、次のハードウェアで構成されています。

表8 - 1 10ビット・インバータ制御用タイマの構成

項目	構成
タイマ・カウンタ	10ビット・アップ/ダウン・カウンタ×1本（TM7） デッド・タイム・タイマ×3本（DTM0, DTM1, DTM2） バッファ転送制御用タイマ×1本（RTM0）
レジスタ	10ビット・コンペア・レジスタ×4本（CM0, CM1, CM2, CM3） 10ビット・バッファ・レジスタ×4本（BFCM0, BFCM1, BFCM2, BFCM3） デッド・タイム・リロード・レジスタ×1本（DTIME）
タイマ出力	6本（TO70, TO71, TO72, TO73, TO74, TO75）
制御レジスタ	インバータ・タイマ・コントロール・レジスタ7（TMC7） インバータ・タイマ・モード・レジスタ7（TMM7）

図8-1 10ビット・インバータ制御用タイマのブロック図



(1) 10ビット・アップ/ダウン・カウンタ (TM7)

TM7は、カウント・パルスをカウントする10ビットのアップ/ダウン・カウンタです。

カウント・クロックの立ち上がり同期してカウント動作を行います。タイマをスタートさせると0からインクリメントし、あらかじめ設定されたコンペア・レジスタ3 (CM3) の値とTM7のカウント値が一致すると、ダウン・カウント動作に切り替わります。

ダウン・カウント動作中に000Hになるとアンダフロー信号を発生し、割り込み要求信号INTTM7を発生します。アンダフローが発生すると、ダウン・カウント動作からアップ・カウント動作に切り替わります。INTTM7は通常アンダフローごとに発生しますが、インバータ・タイマ・コントロール・レジスタ7 (TMC7) のIDEV0-IDEV2ビットにより発生回数を分周できます。

TM7は、リード/ライトできません。

TM7の周期はCM3によって制御されます。

カウント・クロックは、fx, fx/2, fx/4, fx/8, fx/16, fx/32の6種類から選択できます。

RESET入力、またはTMC7のCE7ビットをクリアすることにより000Hとなります。

(2) 10ビット・コンペア・レジスタ 0-2 (CM0-CM2)

CM0-CM2は、10ビットのコンペア・レジスタで、TM7と常に比較を行い、それぞれ一致するとフリップフロップの内容を変化させます。

また、CM0-CM2は、それぞれバッファ・レジスタ (BFCM0-BFCM2) を備えており、割り込み要求信号INTTM7の発生タイミングでバッファの内容をCM0-CM2に転送します。

CM0-CM2への書き込みは、TM7が停止時にのみ可能です。

出力タイミングは、BFCM0-BFCM3に対し、データを書き込んで設定してください。

RESET入力、またはTMC7のCE7ビットをクリアすることにより000Hとなります。

(3) 10ビット・コンペア・レジスタ 3 (CM3)

CM3は、10ビットのコンペア・レジスタで、TM7の上限値を制御しています。TM7のカウント値が、CM3または0と一致すると、次のカウント・クロックでTM7のアップ・カウント/ダウン・カウントを切り替えます。

また、CM3はバッファ・レジスタ (BFCM3) を備えており、割り込み要求信号INTTM7の発生タイミングでバッファの内容をCM3に転送します。

CM3への書き込みは、TM7が停止時にのみ可能です。

TM7への周期は、BFCM3に対しデータを書き込んで設定してください。

CM3はRESET入力により0FFHとなります。

CM3には、000Hは設定しないでください。

(4) 10ビット・バッファ・レジスタ 0-3 (BFCM0-BFCM3)

BFCM0-BFCM3は、10ビットのレジスタです。割り込み要求信号INTTM7の発生タイミングで各バッファ・レジスタに対応したコンペア・レジスタ (CM0-CM3) にデータを転送します。

BFCM0-BFCM3はTM7のカウンタ停止中 / 動作中にかかわらずリード / ライトが可能です。

$\overline{\text{RESET}}$ 入力により、BFCM0-BFCM2は000H、BFCM3は0FFHとなります。

BFCM0-BFCM3は、ワード単位だけでなく、バイト単位でのリード / ライトも可能です。8ビット以下でリード / ライトする場合はBFCM0L-BFCM3Lを使用します。

(5) デッド・タイム・リロード・レジスタ (DTIME)

DTIMEは、8ビットのデッド・タイム設定用のレジスタで、3つのデッド・タイム・タイマ (DTM0-DTM2) に対して共通です。ただし、DTIMEからDTM0-DTM2へデータをロードするタイミングはそれぞれ独立して行われます。

DTIMEはTM7のカウンタ停止中のみライト可能です。タイマ動作中にDTIMEを書き換える命令を実行しても、データは書き換わりません。

DTIMEは $\overline{\text{RESET}}$ 入力によりFFHとなります。

DTIMEに00Hを設定した場合でも、fxのデッド・タイムを持った出力が行われます。

(6) デッド・タイム・タイマ 0-2 (DTM0-DTM2)

DTM0-DTM2は、8ビットのダウン・カウンタで、デッド・タイムを生成します。

CM0-CM2とTM7のコンペア一致タイミングで、デッド・タイム・リロード・レジスタ (DTIME) の値がロードされ、ダウン・カウンタを開始します。DTM0-DTM2は、それぞれ00H FFHに変化すると、アンダフロー信号を発生し、FFHで停止します。

カウンタ・クロックはfxです。

DTM0-DTM2は、リード / ライトできません。

$\overline{\text{RESET}}$ 入力、またはTMC7のCE7ビットをクリアすることによりFFHとなります。

(7) バッファ転送制御用タイマ (RTM0)

RTM0は3ビットのアップ・カウンタです。割り込み要求信号INTTM7を分周する機能を持ちます。

TM7のアンダフロー信号によりインクリメントを行い、TMC7のIDEV0-IDEV2ビットで設定した分周回数値と一致するとINTTM7を発生します。

RTM0は、リード / ライトできません。

$\overline{\text{RESET}}$ 入力により7Hとなります。また、INTTM7の発生、TMC7のCE7ビットのクリアによっても、7Hとなります。

8.4 10ビット・インバータ制御用タイマを制御するレジスタ

10ビット・インバータ制御用タイマを制御するレジスタには、次の2種類があります。

- ・インバータ・タイマ・コントロール・レジスタ7 (TMC7)
- ・インバータ・タイマ・モード・レジスタ7 (TMM7)

(1) インバータ・タイマ・コントロール・レジスタ7 (TMC7)

TMC7は、TM7、デッド・タイム・タイマ0-2 (DTM0-DTM2)、およびバッファ転送制御用タイマ (RTM0)の動作制御、TM7のカウント・クロックの指定、コンペア・レジスタ転送周期の選択を行うレジスタです。

TMC7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

★

図8 - 2 インバータ・タイマ・コントロール・レジスタ7のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC7	CE7	0	TCL72	TCL71	TCL70	IDEV2	IDEV1	IDEV0	FF90H	00H	R/W

CE7	TM7, DTM0-DTM2, RTM0の動作制御
0	クリア&停止 (TO70-TO75はHi-Z)
1	カウント許可

TCL72	TCL71	TCL70	カウント・クロックの選択		
				fx = 12 MHz動作時 ^注	fx = 8.38 MHz動作時
0	0	0	fx	12 MHz	8.38 MHz
0	0	1	fx/2	6 MHz	4.19 MHz
0	1	0	fx/2 ²	3 MHz	2.1 MHz
0	1	1	fx/2 ³	1.5 MHz	1.05 MHz
1	0	0	fx/2 ⁴	750 kHz	524 kHz
1	0	1	fx/2 ⁵	375 kHz	262 kHz
上記以外			設定禁止		

IDEV2	IDEV1	IDEV0	INTTM7の発生頻度の選択
0	0	0	TM7のアンダフローごとに発生 (毎回)
0	0	1	TM7のアンダフロー 2回につき 1回発生
0	1	0	TM7のアンダフロー 3回につき 1回発生
0	1	1	TM7のアンダフロー 4回につき 1回発生
1	0	0	TM7のアンダフロー 5回につき 1回発生
1	0	1	TM7のアンダフロー 6回につき 1回発生
1	1	0	TM7のアンダフロー 7回につき 1回発生
1	1	1	TM7のアンダフロー 8回につき 1回発生

注 拡張規格品のみ。

備考 fx : システム・クロック発振周波数

(2) インバータ・タイマ・モード・レジスタ7 (TMM7)

TMM7は、TO70-TO75出力のアクティブ・レベル指定、動作制御、およびTOFF7の有効エッジを設定するレジスタです。

TMM7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図8-3 インバータ・タイマ・モード・レジスタ7のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMM7	0	0	0	PNOFFB ^注	ALV	TOEDG	TOSPP	TOSPW	F F 9 1 H	0 0 H	R/W
PNOFFB ^注		TO70-TO75へのTM7出力制御状態フラグ									
0		TM7出力禁止状態 (TO70-TO75はHi-Z)									
1		TM7出力許可状態									
ALV		TO70-TO75出力のアクティブ・レベルの指定									
0		ロウ・レベル									
1		ハイ・レベル									
TOEDG		TOFF7の有効エッジの指定									
0		立ち下がりエッジ									
1		立ち上がりエッジ									
TOSPP		TOFF7の有効エッジによるTO70-TO75の出力停止の制御									
0		出力停止しない									
1		出力停止 (TO70-TO75はHi-Z)									
TOSPW		INTWDTによるTO70-TO75の出力停止の制御									
0		出力停止しない									
1		出力停止 (TO70-TO75はHi-Z)									

注 PNOFFBビットは、読み出し専用フラグです。ソフトウェアによるセット/リセットはできません。TM7の停止時 (CE7 = 0)、または動作中 (CE7 = 1) にTOFF7、INTWDTによる出力停止が発生した場合に、リセットされます。

注意 TMM7のビット5-7には、必ず0を設定してください。

備考1 . TO70-TO75は、次の場合にHi-Z状態になります。ただし、CE7 = 1 であれば、TM7, DTM0-DTM2, RTM0の各タイマは停止しません。

- ・ TOSPP = 1 で、TOFF7端子へ有効エッジが入力された場合
- ・ TOSPW = 1 で、指定した割り込み要求が発生した場合

TO70-TO75出力を復帰させる場合は次の手順で行います。

- CE7に0を書き込み、各タイマを停止させます。
- 使用している出力停止機能のフラグに0を書き込みます。
- 再度各レジスタの初期設定を行います。

2 . PNOFFB, ALV, CE7, TO70-TO75は、次のような関係になります。

PNOFFB	ALV	CE7	TO70, TO72, TO74	TO71, TO73, TO75
0	0	0	Hi-Z	Hi-Z
0	1	0	Hi-Z	Hi-Z
0	0/1	1	Hi-Z	Hi-Z
1	0/1	1	PWM波形出力	PWM波形出力

8.5 10ビット・インバータ制御用タイマの動作

(1) 設定手順

- (a) インバータ・タイマ・コントロール・レジスタ7 (TMC7) のTCL70-TCL72ビットでTM7のカウント・クロックを設定し、IDEV0-IDEV2ビットで割り込み要求信号INTTM7の発生頻度を設定します。
- (b) インバータ・タイマ・モード・レジスタ7 (TMM7) のALVビットでTO70-TO75端子のアクティブ・レベルを設定します。
- (c) 10ビット・コンペア・レジスタ3 (CM3) に第1 PWM周期の半周期幅を設定します。
・PWM周期 = $CM3値 \times 2 \times TM7のクロック \cdot レート$
(TM7のクロック・レートはTMC7で設定します)
- (d) 10ビット・バッファ・レジスタ3 (BFCM3) に第2 PWM周期の半周期幅を設定します。
- (e) デッド・タイム・リロード・レジスタ (DTIME) にデッド・タイム幅を設定します。
・デッド・タイム幅 = $(DTIME + 1) \times fx$
fx: 内部システム・クロック
- (f) 10ビット・コンペア・レジスタ0-2 (CM0-CM2) に第1周期で使うF/Fのセット/リセット・タイミングを設定します。
- (g) BFCM3に第2周期で使うF/Fのセット/リセット・タイミングを設定します。
- (h) TMC7のCE7ビットをセット(1)してTM7, デッド・タイム・タイマ0-2 (DTM0-DTM2), バッファ転送制御用タイマ (RTM0) の動作を許可します。
- 注意** CE7ビットの設定には、必ずビット操作命令を使用してください。
- (i) TM7の動作中は、BFCM0-BFCM3に次の周期で使うF/Fのセット/リセット・タイミングを設定します。
- (j) TM7の動作を停止する場合は、TMC7のCE7 = 0 に設定します。

注意 CE7ビットの設定と同時にほかのビットを書き換えることはできません。

(2) 設定値に対する出力波形幅

- ・ PWM周期 = $CM3 \times 2 \times T_{TM7}$
- ・ デッド・タイム幅 $T_{DTM} = (DTIME + 1) \times f_x$
- ・ 正相 (TO70, TO72, TO74端子) のアクティブ幅
 $= \{ (CM3 - CM_{up}) + (CM3 - CM_{down}) \} \times T_{TM7} - T_{DTM}$
- ・ 逆相 (TO71, TO73, TO75端子) のアクティブ幅
 $= (CM_{down} + CM_{up}) \times T_{TM7} - T_{DTM}$

f_x : システム・クロック発振周波数

T_{TM7} : TM7のカウント・クロック

CM_{up} : TM7がアップ・カウント時のCM0-CM2の設定値

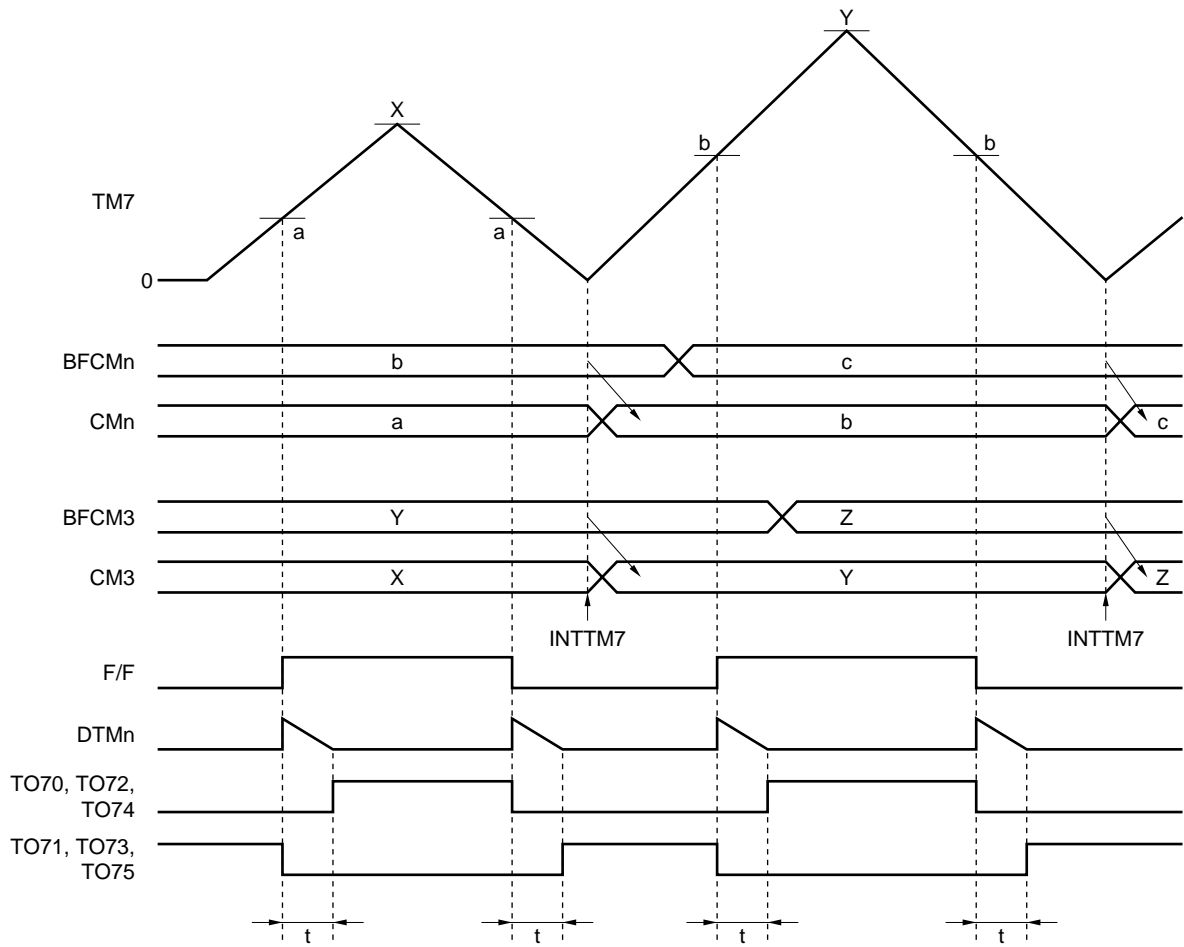
CM_{down} : TM7がダウン・カウント時のCM0-CM2の設定値

注意 正相または逆相のアクティブ幅が上記の式の計算式で“0”または“マイナス”になるような値を設定した場合、TO70-TO75は、アクティブ幅“0”でインアクティブ・レベル固定の波形を出力します(図8-5参照)。

しかし、 $CM_n = 0$, $BFCM_n$ $CM3$ を設定した場合はアクティブ・レベルを出力します。

(3) 動作タイミング

図8-4 TM7の動作タイミング(基本動作)



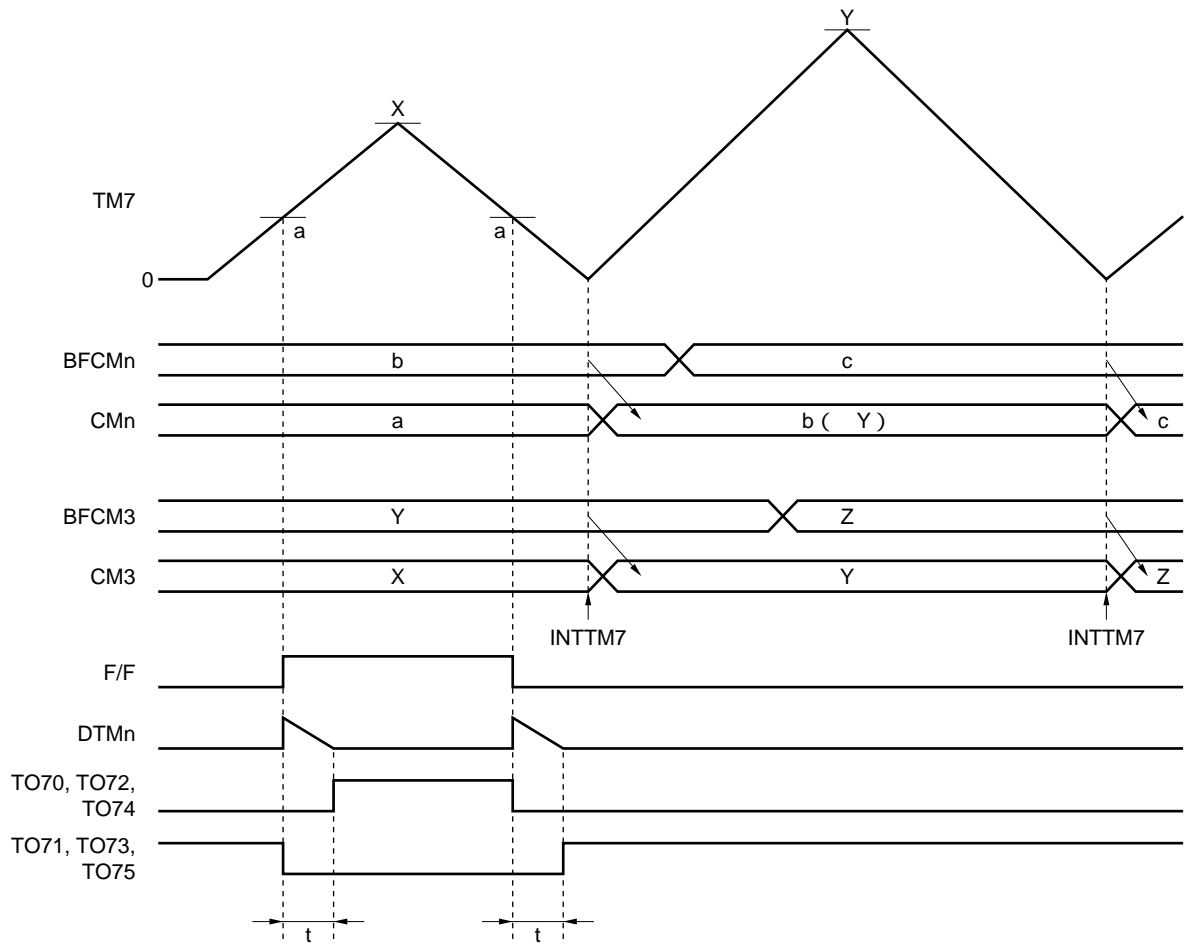
備考1 . n=0-2

2 . t: デッド・タイム = (DTIME + 1) × fx

(fx: システム・クロック発振周波数)

3 . 上図は, アクティブ・ハイで, INTTM7の発生を分周しない場合です。

図8 - 5 TM7の動作タイミング (CMn (BFCMn) CM3 (BFCM3))



備考1 . n = 0-2

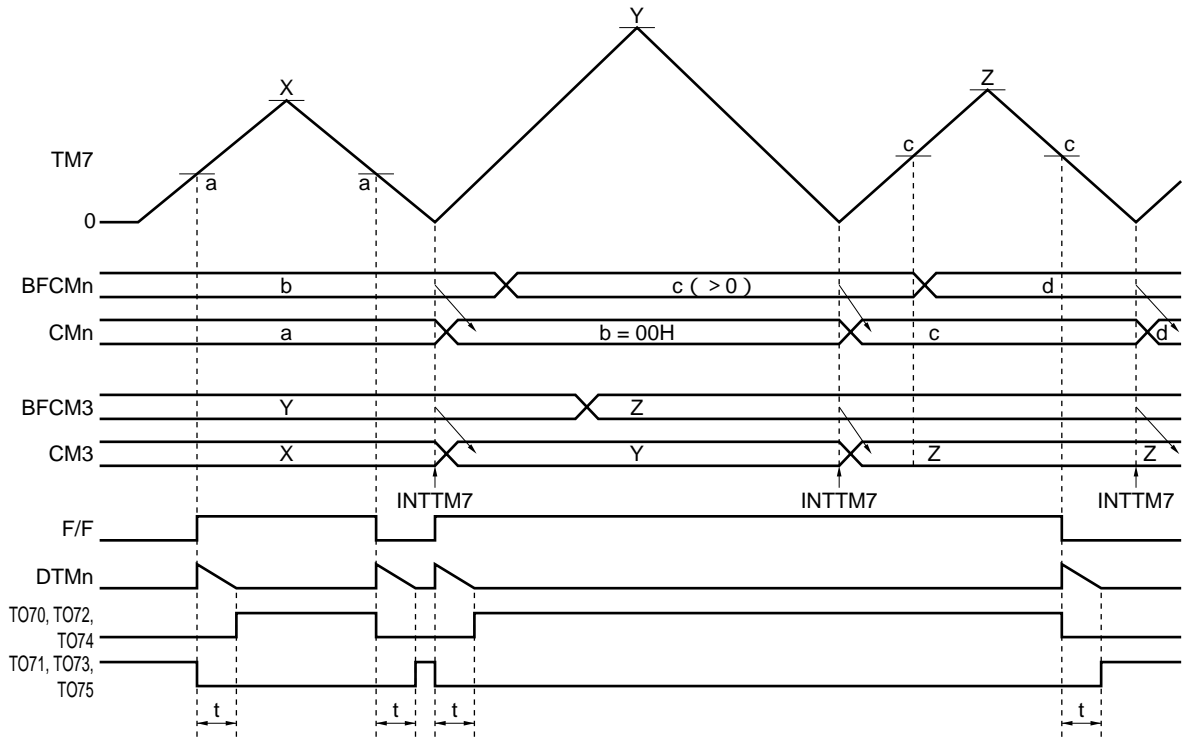
2 . t : デッド・タイム = (DTIME + 1) × fx

(fx : システム・クロック発振周波数)

3 . 上図は、アクティブ・ハイで、INTTM7の発生を分周しない場合です。

BFCMnにCM3より大きい値を設定した場合、正相側 (TO70, TO72, TO74端子) はロウ・レベルを出力し、逆相側 (TO71, TO73, TO75端子) はハイ・レベルを出力し続けます。インバータ制御などにおいて、PWM周期を越えるロウ幅、ハイ幅を出力したい場合にこの設定は有効です。

図8-6 TM7の動作タイミング (CMn (BFCMn) = 000H)



備考1 . n = 0-2

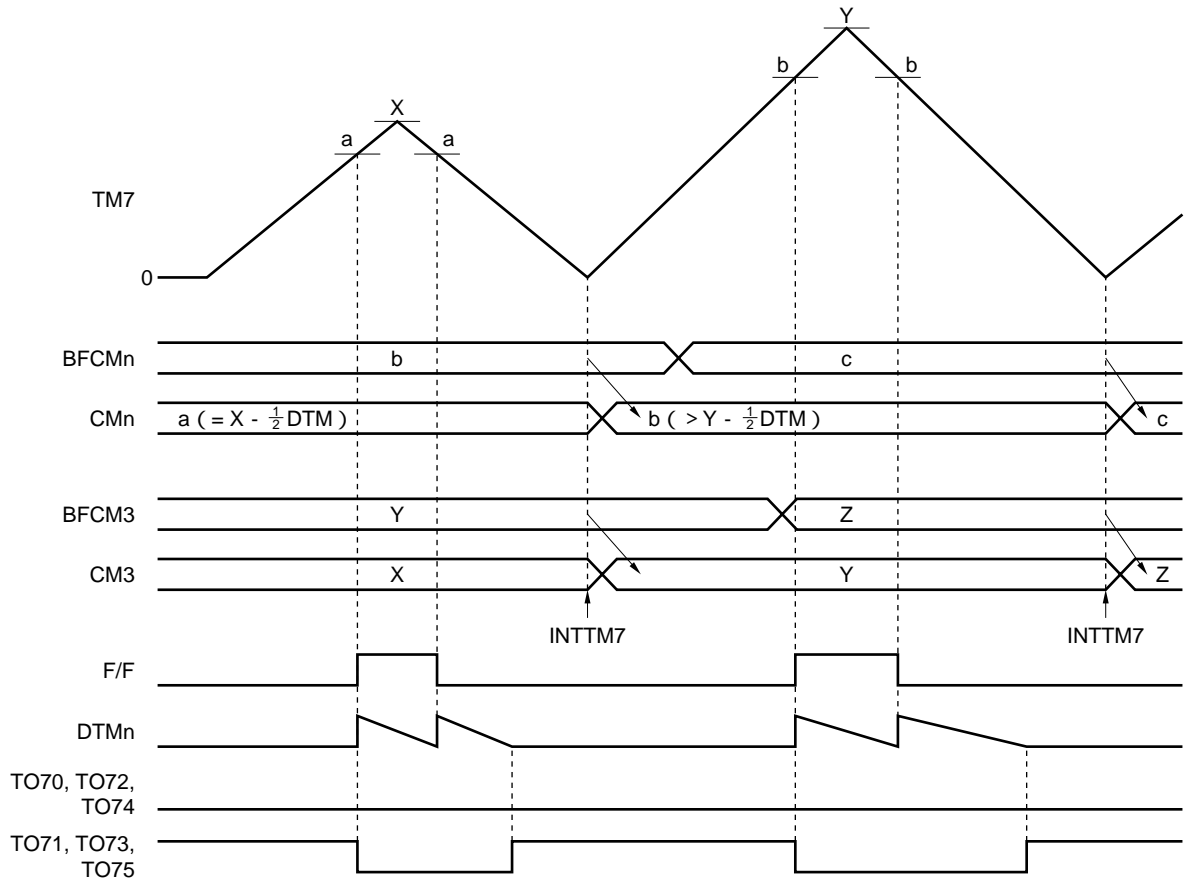
2 . t: デッド・タイム = (DTIME + 1) × fx

(fx: システム・クロック発振周波数)

3 . 上図は, アクティブ・ハイで, INTTM7の発生を分周しない場合です。

図8-7 TM7の動作タイミング

($CM_n (BFCM_n) = CM_3 - 1/2DTM$, $CM_n (BFCM_n) > CM_3 - 1/2DTM$)



備考1 . $n = 0-2$

2 . 上図は、アクティブ・ハイで、INTTM7の発生を分周しない場合です。

第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの概要

ウォッチドッグ・タイマ,あるいは,あらかじめ設定した任意の時間間隔でノンマスクابل割り込み要求,マスクابل割り込み要求, $\overline{\text{RESET}}$ を発生できます。

9.2 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには,次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ
- ・発振安定時間の選択

注意 ウォッチドッグ・タイマ・モードとして使用するか,インターバル・タイマ・モードとして使用するかは,ウォッチドッグ・タイマ・モード・レジスタ(WDTM)で選択してください(ウォッチドッグ・タイマとインターバル・タイマは同時に使用できません)。

(1) ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時,ノンマスクابل割り込み要求または $\overline{\text{RESET}}$ を発生できます。

★

表9 - 1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 12 \text{ MHz}$ 時 ^注	$f_x = 8.38 \text{ MHz}$ 時	暴走検出時間	$f_x = 12 \text{ MHz}$ 時 ^注	$f_x = 8.38 \text{ MHz}$ 時
$2^{12} \times 1/f_x$	341.3 μs	488.8 μs	$2^{16} \times 1/f_x$	5.46 ms	7.82 ms
$2^{13} \times 1/f_x$	682.6 μs	977.6 μs	$2^{17} \times 1/f_x$	10.9 ms	15.6 ms
$2^{14} \times 1/f_x$	1.36 ms	1.96 ms	$2^{18} \times 1/f_x$	21.8 ms	31.3 ms
$2^{15} \times 1/f_x$	2.73 ms	3.91 ms	$2^{20} \times 1/f_x$	87.3 ms	125.1 ms

注 拡張規格品のみ。

備考 f_x : システム・クロック発振周波数

(2) インターバル・タイマ・モード

あらかじめ設定した時間間隔で割り込み要求が発生できます。

★

表9-2 インターバル時間

インターバル時間	$f_x = 12 \text{ MHz}$ 時 ^注	$f_x = 8.38 \text{ MHz}$ 時	インターバル時間	$f_x = 12 \text{ MHz}$ 時 ^注	$f_x = 8.38 \text{ MHz}$ 時
$2^{12} \times 1/f_x$	341.3 μs	488.8 μs	$2^{16} \times 1/f_x$	5.46 ms	7.82 ms
$2^{13} \times 1/f_x$	682.6 μs	977.6 μs	$2^{17} \times 1/f_x$	10.9 ms	15.6 ms
$2^{14} \times 1/f_x$	1.36 ms	1.96 ms	$2^{18} \times 1/f_x$	21.8 ms	31.3 ms
$2^{15} \times 1/f_x$	2.73 ms	3.91 ms	$2^{20} \times 1/f_x$	87.3 ms	125.1 ms

注 拡張規格品のみ。

備考 f_x : システム・クロック発振周波数

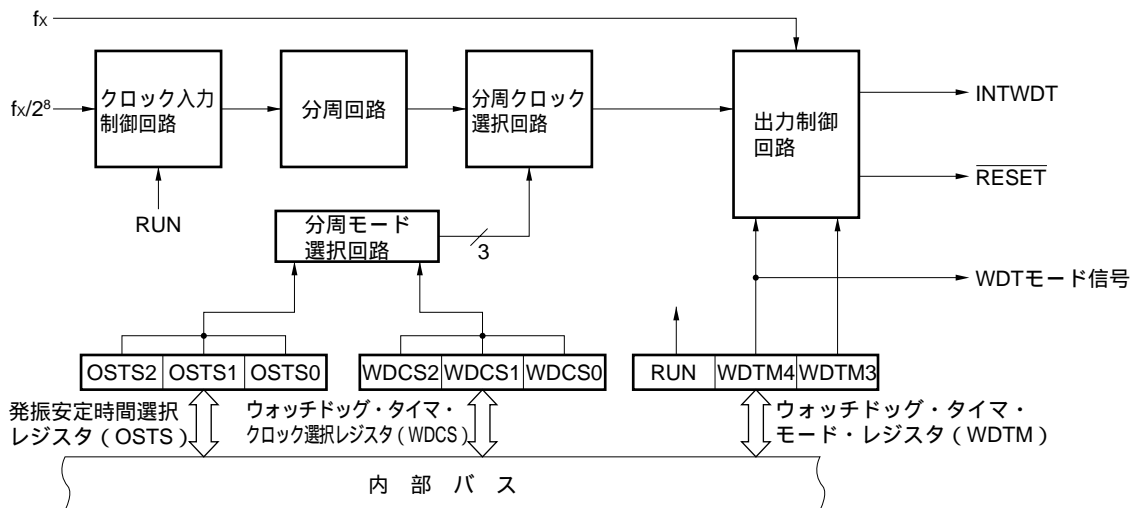
9.3 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表9-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM) 発振安定時間選択レジスタ (OSTS)

図9-1 ウォッチドッグ・タイマのブロック図



9.4 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するレジスタには、次の3種類があります。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)
- ・発振安定時間選択レジスタ (OSTS)

(1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) (図9 - 2 参照)

ウォッチドッグ・タイマおよびインターバル・タイマのオーバフロー時間を設定するレジスタです。

WDCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

★ 図9 - 2 ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0	FF42H	00H	R/W

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバフロー時間の選択	f _x = 12 MHz動作時 ^注		f _x = 8.38 MHz動作時	
0	0	0	2 ¹² /f _x	341.3 μs		488.8 μs	
0	0	1	2 ¹³ /f _x	682.6 μs		977.6 μs	
0	1	0	2 ¹⁴ /f _x	1.36 ms		1.96 ms	
0	1	1	2 ¹⁵ /f _x	2.73 ms		3.91 ms	
1	0	0	2 ¹⁶ /f _x	5.46 ms		7.82 ms	
1	0	1	2 ¹⁷ /f _x	10.9 ms		15.6 ms	
1	1	0	2 ¹⁸ /f _x	21.8 ms		31.3 ms	
1	1	1	2 ²⁰ /f _x	87.3 ms		125.1 ms	

注 拡張規格品のみ。

備考 f_x: システム・クロック発振周波数

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可/禁止を設定するレジスタです。
WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により，00Hになります。

図9-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FFF9H	00H	R/W
	WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注1} ，ウォッチドッグ・タイマによるリセットおよびタイマ割り込みの制御								
	0	x	インターバル・タイマ・モード ^{注2} (オーバーフロー発生時，マスカブル割り込み要求発生) / INTWDTによるTM7のPWM出力オフ機能が使用可能								
	1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時，ノンマスカブル割り込み要求発生) / INTWDTによるTM7のPWM出力オフ機能が使用可能								
	1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時，リセット動作を起動)								
	RUN	ウォッチドッグ・タイマの動作の選択 ^{注3}									
	0	カウントの停止									
	1	カウンタをクリアし，カウントを開始									

注1．WDTM3，WDTM4は，一度1にセットされると，ソフトウェアで0にクリアできません。

2．RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

3．RUNは，一度1にセットされると，ソフトウェアで0にクリアできません。したがって，カウントを開始すると，RESET入力以外で停止させることはできません。

注意 RUNに1をセットし，ウォッチドッグ・タイマをクリアしたとき，実際のオーバーフロー時間は，ウォッチドッグ・タイマ・クロック選択レジスタ (WDGS) で設定した時間より最大 $2^8/f_x$ 秒短くなります。

★

備考 x : don't care

(3) 発振安定時間選択レジスタ (OSTS)

リセット時またはSTOPモードを解除してから発振が安定するまでの発振安定時間を選択するレジスタです。

OSTSは、8ビット・メモリ操作命令で設定します。

RESET入力により、04Hになります。したがって、RESET入力でSTOPモードを解除するとき、解除までの時間は $2^{17}/f_x$ です。

★

図9 - 4 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	F F F A H	0 4 H	R/W

OSTS2	OSTS1	OSTS0	STOPモード解除時の発振安定時間の選択		
				$f_x = 12 \text{ MHz}$ 動作時 ^注	$f_x = 8.38 \text{ MHz}$ 動作時
0	0	0	$2^{12}/f_x$	341.3 μ s	488.8 μ s
0	0	1	$2^{14}/f_x$	1.36 ms	1.96 ms
0	1	0	$2^{15}/f_x$	2.73 ms	3.91 ms
0	1	1	$2^{16}/f_x$	5.46 ms	7.82 ms
1	0	0	$2^{17}/f_x$	10.9 ms	15.6 ms
上記以外			設定禁止		

注 拡張規格品のみ。

備考 f_x : システム・クロック発振周波数

9.5 ウォッチドッグ・タイマの動作

9.5.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット 4 (WDTM4) に 1 を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット 0-2 (WDCS0-WDCS2) でウォッチドッグ・タイマの暴走検出時間間隔を選択できます。WDTMのビット 7 (RUN) に 1 を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内に RUN に 1 を設定してください。RUN に 1 を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUN に 1 がセットされず、暴走検出時間を越えてしまったときは、WDTM のビット 3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込み要求が発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前に RUN を 1 に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

- ★ **注意 1 . 実際の暴走検出時間は設定時間に対して最大 $2^{8/fx}$ 秒短くなる場合があります。**
- 2 . CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

★ 表 9 - 4 ウォッチドッグ・タイマの暴走検出時間

WDCS22	WDCS21	WDCS20	暴走検出時間	$f_x = 12 \text{ MHz}$ 時 ^注	$f_x = 8.38 \text{ MHz}$ 時
0	0	0	$2^{12} \times 1/f_x$	341.3 μs	488.8 μs
0	0	1	$2^{13} \times 1/f_x$	682.6 μs	977.6 μs
0	1	0	$2^{14} \times 1/f_x$	1.36 ms	1.96 ms
0	1	1	$2^{15} \times 1/f_x$	2.73 ms	3.91 ms
1	0	0	$2^{16} \times 1/f_x$	5.46 ms	7.82 ms
1	0	1	$2^{17} \times 1/f_x$	10.9 ms	15.6 ms
1	1	0	$2^{18} \times 1/f_x$	21.8 ms	31.3 ms
1	1	1	$2^{20} \times 1/f_x$	87.3 ms	125.1 ms

注 拡張規格品のみ。

備考 f_x : システム・クロック発振周波数

9.5.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット 4 (WDTM4) に 0 を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット 0-2 (WDCS0-WDCS2) でインターバル・タイマのインターバル時間を選択できます。WDTM のビット 7 (RUN) に 1 を設定することにより、インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき、割り込みマスク・フラグ (WDTMK) と優先順位指定フラグ (WDTPR) が有効となり、マスカブル割り込み要求 (INTWDT) を発生させることができます。INTWDT のデフォルトの優先順位は、マスカブル割り込み要求の中で最も高く設定されています。

インターバル・タイマは、HALT モード時では動作を継続しますが、STOP モード時では動作を停止します。したがって、STOP モードに入る前に RUN を 1 に設定し、インターバル・タイマをクリアしたあと、STOP 命令を実行してください。

注意 1. 一度 WDTM のビット 4 (WDTM4) に 1 をセットする (ウォッチドッグ・タイマ・モードを選択する) と $\overline{\text{RESET}}$ 入力されないかぎり、インターバル・タイマ・モードになりません。

★ **2.** WDTM で設定した直後のインターバル時間は、設定時間に対して最大 $2^8/f_x$ 秒短くなる場合があります。

★ **表 9 - 5 インターバル・タイマのインターバル時間**

WDCS2	WDCS1	WDCS0	インターバル時間	$f_x = 12 \text{ MHz}$ 時 ^注	$f_x = 8.38 \text{ MHz}$ 時
0	0	0	$2^{12} \times 1/f_x$	341.3 μs	488.8 μs
0	0	1	$2^{13} \times 1/f_x$	682.6 μs	977.6 μs
0	1	0	$2^{14} \times 1/f_x$	1.36 ms	1.96 ms
0	1	1	$2^{15} \times 1/f_x$	2.73 ms	3.91 ms
1	0	0	$2^{16} \times 1/f_x$	5.46 ms	7.82 ms
1	0	1	$2^{17} \times 1/f_x$	10.9 ms	15.6 ms
1	1	0	$2^{18} \times 1/f_x$	21.8 ms	31.3 ms
1	1	1	$2^{20} \times 1/f_x$	87.3 ms	125.1 ms

注 拡張規格品のみ。

備考 f_x : システム・クロック発振周波数

第10章 リアルタイム出力ポート

10.1 リアルタイム出力ポートの機能

リアルタイム出力バッファ・レジスタにあらかじめ設定したデータを、タイマ割り込みまたは外部割り込み要求の発生と同時にハードウェアで出力ラッチに転送して、外部に出力することをリアルタイム出力機能といいます。また、外部へ出力する端子をリアルタイム出力ポートと呼びます。

リアルタイム出力ポートを使用することにより、ジッタのない信号が出力できます。したがって、任意の間隔で任意パターンを出力する応用（ステッピング・モータの開ループ制御など）に最適です。

また、出力パターンに対して、特定の端子にPWM変調をかけることができます。

μPD780988サブシリーズは、次に示す2チャンネルのリアルタイム出力ポートを内蔵しています。1ビット単位でリアルタイム出力ポートに指定可能です。

- ・ 8ビット×1または4ビット×2...リアルタイム出力ポート0
- ・ 6ビット×1または4ビット×1...リアルタイム出力ポート1

10.2 リアルタイム出力ポートの構成

リアルタイム出力ポートは、次のハードウェアで構成しています。

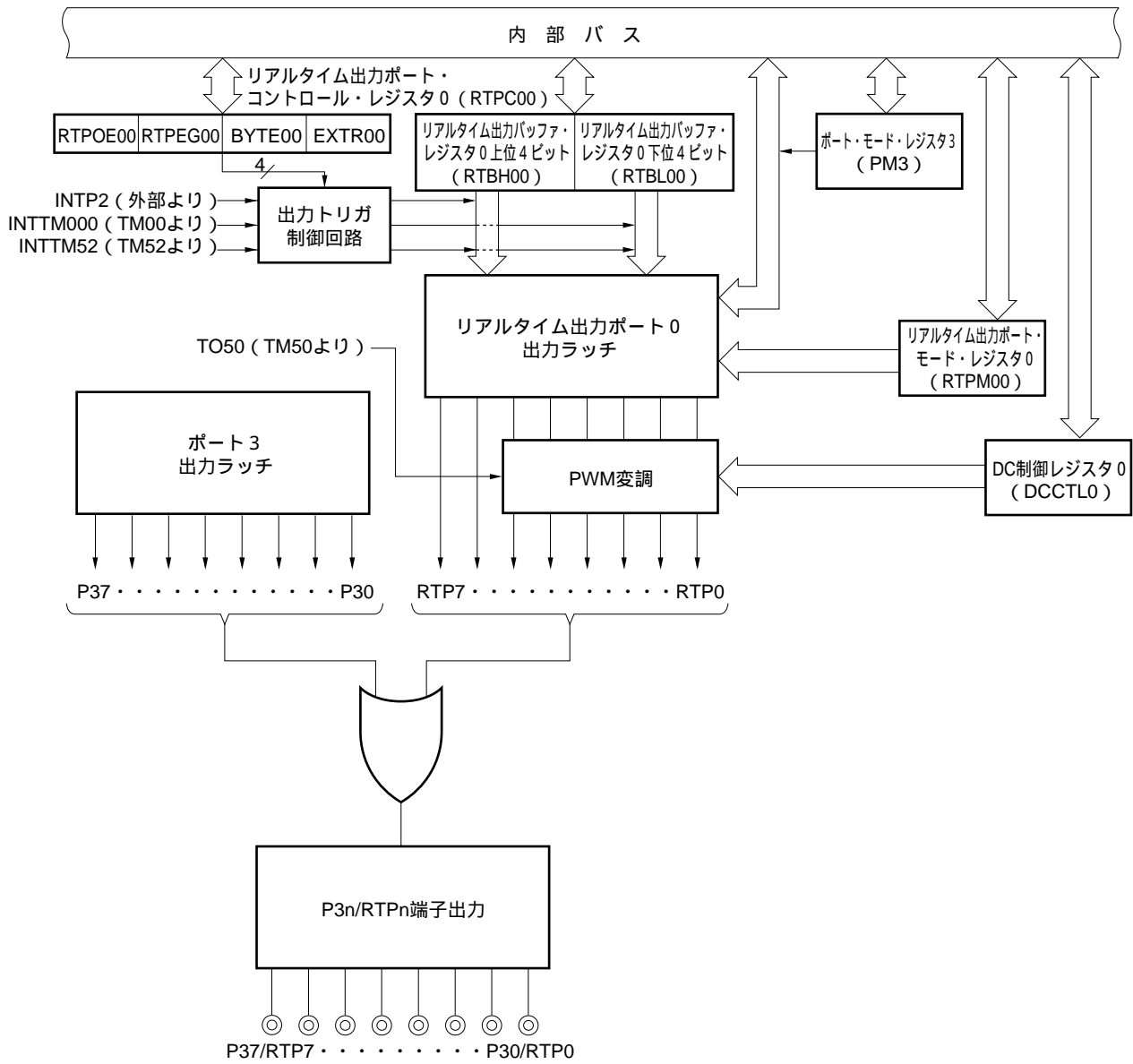
表10 - 1 リアルタイム出力ポートの構成

項 目	構 成
レジスタ	リアルタイム出力バッファ・レジスタ _n (RTBL0 _n , RTBH0 _n)
制御レジスタ	ポート・モード・レジスタ3 (PM3) リアルタイム出力ポート・モード・レジスタ _n (RTPM0 _n) リアルタイム出力ポート・コントロール・レジスタ _n (RTPC0 _n) DC制御レジスタ _n (DCCTL _n)

n = 0, 1

図10 - 1 リアルタイム出力ポートのブロック図 (1/2)

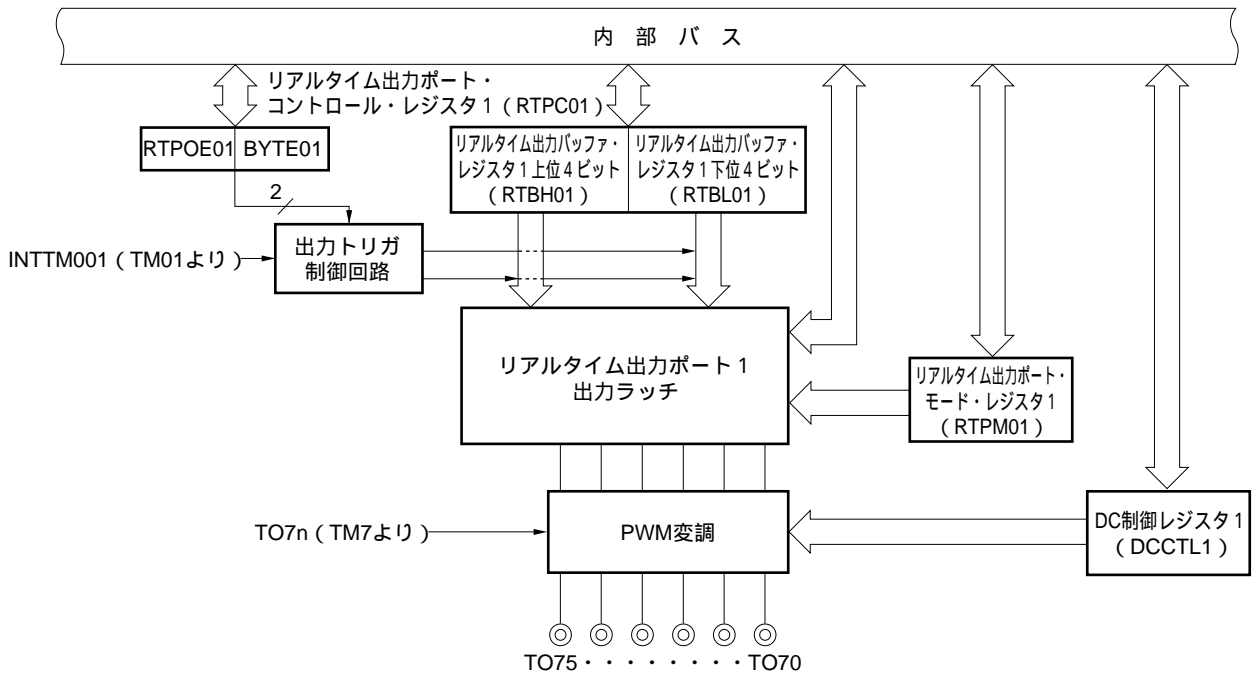
(a) リアルタイム出力ポート0 (8ビット× 1または4ビット× 2)



備考 n = 0-7

図10 - 1 リアルタイム出力ポートのブロック図 (2/2)

(b) リアルタイム出力ポート1 (6ビット×1または4ビット×1)



備考 n = 0-5

(1) リアルタイム出力バッファ・レジスタ0(RTBL00, RTBH00)

出力データをあらかじめ保持しておく4ビットのレジスタです。

RTBL00, RTBH00は、図10 - 2 に示すように特殊機能レジスタ (SFR) 領域内でそれぞれ独立したアドレスにマッピングされています。

4ビット×2チャンネルの動作モードを指定したときは、RTBL00, RTBH00はそれぞれ独立にデータを設定できます。また、RTBL00, RTBH00のどちらのアドレスを指定しても両方のデータを一括して読み出せます。

8ビット×1チャンネルの動作モードを指定したときは、RTBL00, RTBH00のどちらか一方に8ビット・データを書き込むことにより、RTBL00, RTBH00それぞれにデータを設定できます。また、RTBL00, RTBH00のどちらのアドレスを指定しても両方のデータを一括して読み出せます。

図10 - 2 にRTBL00, RTBH00の構成を、表10 - 2 にRTBL00, RTBH00に対する操作時の動作を示します。

図10 - 2 リアルタイム出力バッファ・レジスタ0の構成



表10 - 2 リアルタイム出力バッファ・レジスタ0に対する操作時の動作

動作モード	操作対象レジスタ	リード時 ^{注1}		ライト時 ^{注2}	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×2チャンネル	RTBL00	RTBH00	RTBL00	無効	RTBL00
	RTBH00	RTBH00	RTBL00	RTBH00	無効
8ビット×1チャンネル	RTBL00	RTBH00	RTBL00	RTBH00	RTBL00
	RTBH00	RTBH00	RTBL00	RTBH00	RTBL00

注1．リアルタイム出力ポート・モードに指定したビットのみ読み出せます。ポート・モードに指定したビットに対してリードした場合は、0を読み出します。

2．リアルタイム出力ポートに設定後、リアルタイム出力トリガが発生するまでにRTBL00, RTBH00に出力データを設定してください。

(2) リアルタイム出力バッファ・レジスタ1(RTBL01, RTBH01)

出力データをあらかじめ保持しておく4ビット^注のレジスタです。

RTBL01, RTBH01は, 図10-3に示すように特殊機能レジスタ(SFR)領域内でそれぞれ独立したアドレスにマッピングされています。

4ビット×1チャンネルの動作モードを指定したときは, RTBL01にデータを設定します。

6ビット×1チャンネルの動作モードを指定したときは, RTBL01, RTBH01のどちらか一方に6ビット・データを書き込むことにより, RTBL01, RTBH01それぞれにデータを設定できます。また, RTBL01, RTBH01のどちらのアドレスを指定しても両方のデータを一括して読み出せます。

図10-3にRTBL01, RTBH01の構成を, 表10-3にRTBL01, RTBH01に対する操作時の動作を示します。

注 RTBH01は4ビットのうち, 2ビットのみ有効です。

図10-3 リアルタイム出力バッファ・レジスタ1の構成



表10-3 リアルタイム出力バッファ・レジスタ1に対する操作時の動作

動作モード	操作対象レジスタ	リード時 ^{注1}		ライト時 ^{注2}	
		上位2ビット	下位4ビット	上位2ビット	下位4ビット
4ビット×1チャンネル	RTBL01	無効	RTBL01	無効	RTBL01
6ビット×1チャンネル	RTBL01	RTBH01	RTBL01	RTBH01	RTBL01
	RTBH01	RTBH01	RTBL01	RTBH01	RTBL01

注1. リアルタイム出力ポート・モードに指定したビットのみ読み出せます。RTPM01n = 0 (RTPM01n: リアルタイム出力ポート・モード・レジスタ1 (RTPM01) のビットn (n=0-5)) に指定したビットに対してリードした場合は, 0を読み出します。

2. リアルタイム出力ポートに設定後, リアルタイム出力トリガが発生するまでにRTBL01, RTBH01に出力データを設定してください。

10.3 リアルタイム出力ポートを制御するレジスタ

リアルタイム出力ポートは、次の7種類のレジスタで制御します。

- ・ポート・モード・レジスタ3 (PM3)
- ・リアルタイム出力ポート・モード・レジスタ0, 1 (RTPM00, RTPM01)
- ・リアルタイム出力ポート・コントロール・レジスタ0, 1 (RTPC00, RTPC01)
- ・DC制御レジスタ0, 1 (DCCTL0, DCCTL1)

(1) ポート・モード・レジスタ3 (PM3)

リアルタイム出力端子 (RTP0-RTP7) の兼用端子であるポート3端子 (P30-P37) の入出力モードを設定するレジスタです。ポート3をリアルタイム出力ポートとして使用するためには、リアルタイム出力を行うポートの入出力モードを出力モード (PM3n = 0 : n = 0-7) にする必要があります。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図10-4 ポート・モード・レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W	
PM3n	P3n端子の入出力モードの選択 (n = 0-7)											
	0	出力モード (出力バッファ・オン)										
	1	入力モード (出力バッファ・オフ)										

(2) リアルタイム出力ポート・モード・レジスタ0 (RTPM00)

リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で設定するレジスタです。

対象の出力はRTP0-RTP7です。

RTPM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図10-5 リアルタイム出力ポート・モード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
RTPM00	RTPM07	RTPM06	RTPM05	RTPM04	RTPM03	RTPM02	RTPM01	RTPM00	FF86H	00H	R/W	
RTPM00n	リアルタイム出力ポートの選択 (n = 0-7)											
	0	ポート・モード										
	1	リアルタイム出力ポート・モード										

注意 リアルタイム出力ポートとして使用する場合、リアルタイム出力を行うポートは出力モード (ポート・モード・レジスタ3 (PM3) の該当ビットに0を設定) にしてください。

(3) リアルタイム出力ポート・モード・レジスタ1 (RTPM01)

リアルタイム出力ポート・モードの選択を1ビット単位で設定するレジスタです。

対象の出力はTO70-TO75です。

RTPM01は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図10 - 6 リアルタイム出力ポート・モード・レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RTPM01	0	0	RTPM015	RTPM014	RTPM013	RTPM012	RTPM011	RTPM010	FF9EH	00H	R/W
RTPM01n	リアルタイム出力ポートの選択 (n = 0-5)										
	0	" 0 " 出力									
	1	リアルタイム出力ポート・モード									

注意 RTPM01のビット6, 7には、必ず0を設定してください。

備考 リアルタイム出力ポートとして使用する場合、TO70-TO75が対象の出力となります。

(4) リアルタイム出力ポート・コントロール・レジスタ0 (RTPC00)

リアルタイム出力ポートの動作モード、出力トリガ、および動作の許可/禁止を設定するレジスタです。

対象の出力はRTP0-RTP7です。

リアルタイム出力ポートの動作モードと出力トリガについては表10 - 4に示すような関係があります。

RTPC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図10 - 7 リアルタイム出力ポート・コントロール・レジスタ0のフォーマット

略号	⑦	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
RTPC00	RTPOE00	RTPEG00	BYTE00	EXTR00	0	0	0	0	FF87H	00H	R/W
	RTPOE00	リアルタイム出力ポートの動作制御									
	0	動作禁止 ^注									
	1	動作許可									
	RTPEG00	INTP2の有効エッジ指定									
	0	立ち下がりエッジ									
	1	立ち上がりエッジ									
	BYTE00	リアルタイム出力ポートの動作モード									
	0	4ビット×2チャンネル									
	1	8ビット×1チャンネル									
	EXTR00	INTP2によるリアルタイム出力の制御									
	0	INTP2をリアルタイム出力トリガにしない									
	1	INTP2をリアルタイム出力トリガにする									

注 RTPM00n (リアルタイム出力ポート・モード・レジスタ0 (RTPM00) のビットn (n = 0-7)) = 1で、INV0 (DC制御レジスタ0 (DCCTL0) のビット4) = 0のときに、リアルタイム出力動作禁止 (RTPOE00 = 0) にした場合は、RTP0-RTP7は“0”を出力します。

表10 - 4 リアルタイム出力ポートの動作モードと出力トリガ

BYTE00	EXTR00	動作モード	RTBH00 ポート出力	RTBL00 ポート出力
0	0	4ビット×2チャンネル	INTTM52	INTTM000
0	1		INTTM000	INTP2
1	0	8ビット×1チャンネル	INTTM000	
1	1		INTP2	

(5) リアルタイム出力ポート・コントロール・レジスタ1 (RTPC01)

リアルタイム出力ポートの動作モード，および動作の許可/禁止を設定するレジスタです。

対象の出力はTO70-TO75です。

リアルタイム出力ポートの動作モードと出力トリガについては表10 - 5 に示すような関係があります。

RTPC01は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図10 - 8 リアルタイム出力ポート・コントロール・レジスタ1のフォーマット

略号	⑦	6	⑤	4	3	2	1	0	アドレス	リセット時	R/W
RTPC01	RTPOE01	0	BYTE01	0	0	0	0	0	FF9FH	00H	R/W
	RTPOE01	リアルタイム出力ポートの動作制御									
	0	動作禁止 ^注									
	1	動作許可									
	BYTE01	リアルタイム出力ポートの動作モード									
	0	4ビット×1チャンネル									
	1	6ビット×1チャンネル									

注 RTPM01n (リアルタイム出力ポート・モード・レジスタ1 (RTPM01) のビットn (n = 0-5)) = 1で，INV1 (DC制御レジスタ1 (DCCTL1) のビット4) = 0のときに，リアルタイム出力動作禁止 (RTPOE01 = 0) にした場合は，TO70-TO75は“0”を出力します。

表10 - 5 リアルタイム出力ポートの動作モードと出力トリガ

BYTE01	動作モード	RTBH01 ポート出力	RTBL01 ポート出力
0	4ビット×1チャンネル	-	INTTM001
1	6ビット×1チャンネル	INTTM001	

(6) DC制御レジスタ0 (DCCTL0)

リアルタイム出力ポートのPWM変調動作の許可/禁止, および出力波形の反転許可/禁止を設定するレジスタです。

対象の出力はRTP0-RTP7です。

DCCTL0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図10 - 9 DC制御レジスタ0のフォーマット

略号	⑦	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
DCCTL0	DCEN0	PWMCH0	PWMCL0	INV0	0	0	0	0	FFB8H	00H	R/W
	DCEN0	出力動作の指定									
	0	RTP出力									
	1	PWM変調RTP出力注									
	PWMCH0	PWM変調動作の指定 (RTP0, RTP2, RTP4の出力指定)									
	0	PWM変調動作禁止									
	1	PWM変調動作許可									
	PWMCL0	PWM変調動作の指定 (RTP1, RTP3, RTP5の出力指定)									
	0	PWM変調動作禁止									
	1	PWM変調動作許可									
	INV0	出力波形の指定									
	0	反転禁止									
	1	反転許可									

注 PWM信号はTO50出力を使用します。

備考1 . 対象の出力はRTP0-RTP7です。

2 . PWMCH0, PWMCL0, INV0の設定は, DCEN0 = 1のときのみ有効です。

(7) DC制御レジスタ1 (DCCTL1)

リアルタイム出力ポートのPWM変調動作の許可/禁止, および出力波形の反転許可/禁止を設定するレジスタです。

対象の出力はTO70-TO75です。

DCCTL1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図10 - 10 DC制御レジスタ1のフォーマット

略号	⑦	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
DCCTL1	DCEN1	PWMCH1	PWMCL1	INV1	0	0	0	0	FFBCH	00H	R/W
	DCEN1	出力動作の指定									
	0	インバータ・タイマ出力 (TO70-TO75)									
	1	PWM変調RTP出力 ^注									
	PWMCH1	PWM変調動作の指定 (TO70, TO72, TO74の出力指定)									
	0	PWM変調動作禁止									
	1	PWM変調動作許可									
	PWMCL1	PWM変調動作の指定 (TO71, TO73, TO75の出力指定)									
	0	PWM変調動作禁止									
	1	PWM変調動作許可									
	INV1	出力波形の指定									
	0	反転禁止									
	1	反転許可									

注 PWM信号はインバータ・タイマ出力 (TO70-TO75) を使用します。

備考1 . 対象の出力はTO70-TO75です。

2 . PWMCH1, PWMCL1, INV1の設定は, DCEN1 = 1のときのみ有効です。

10.4 リアルタイム出力ポートの動作

(1) リアルタイム出力ポートとしてRTP0-RTP7を使用する場合...リアルタイム出力ポート0

(8ビット×1または4ビット×2)

リアルタイム出力ポート・コントロール・レジスタ0 (RTPC00)のビット7 (RTPOE00)=1でリアルタイム出力動作を許可した場合、選択された転送トリガ (EXTR00とBYTE00で設定)の発生に同期して、リアルタイム出力バッファ・レジスタ0 (RTBH00, RTBL00)のデータが出力ラッチに転送されます。転送されたデータのうちリアルタイム出力ポート・モード・レジスタ0 (RTPM00)の設定により、リアルタイム出力ポートに指定されたビットのデータのみがRTP0-RTP7のそれぞれのビットから出力されます。RTPM00でポート・モードに指定されたポートは、汎用入出力ポートとして使用できます。

動作モードは、EXTR00とBYTE00の設定により8ビット×1または4ビット×2を選択できます。

INV0の設定により、出力波形を反転させることができます。また、PWMCL0, PWMCH0の設定により、出力パターンにPWM変調をかけることができます。

RTPM00n=1で、INV0=0のときに、リアルタイム出力動作禁止 (RTPOE00=0)にした場合は、RTP0-RTP7は0を出力します。

制御レジスタの各ビットの設定とリアルタイム出力の関係を表10-6に、動作タイミング例を図10-11に示します。

備考	EXTR00	:	リアルタイム出力ポート・コントロール・レジスタ0 (RTPC00)のビット4
	BYTE00	:	" のビット5
	INV0	:	DC制御レジスタ0 (DCCTL0)のビット4
	PWMCL0,		
	PWMCH0	:	" のビット5, 6
	RTPM00n	:	リアルタイム出力ポート・モード・レジスタ0 (RTPM00)のビットn (n=0-7)

表10 - 6 制御レジスタの各ビットの設定とリアルタイム出力の関係

PM3n	P3n	DCEN0	INV0	PWMCH0/ PWMCL0	RTPOE00	RTPM00n	RTBH00m/ RTBL00m	P3n端子の状態								
1	x	x	x	x	x	x	x	入力ポート								
0	1	x	x	x	x	x	x	“ high ” 出力								
								0	0	x	“ low ” 出力					
	0	0	0	x	x	0	0	x	“ low ” 出力							
							1	0	x	“ low ” 出力						
							1	0	x	“ low ” 出力						
								1	0	“ low ” 出力						
						1	0	0	0	0	x	x	“ low ” 出力			
											1	0	x	“ low ” 出力		
										1	0	0	0	0	x	“ low ” 出力
														1	0	“ low ” 出力
		1	0	0	1	0	x	x	“ TO50 ” 出力							
							1	0	x	“ TO50 ” 出力						
						1	0	0	0	0	x	“ TO50 ” 出力				
										1	0	“ TO50 ” 出力				
						1	0	0	1	0	x	“ high ” 出力				
										1	0	x	“ high ” 出力			

PM3n : ポート・モード・レジスタ3 (PM3) のビットn

P3n : ポート3 (P3) のビットn

DCEN0 : DC制御レジスタ0 (DCCTL0) のビット7

INV0 : DCCTL0のビット4

PWMCH0 : DCCTL0のビット6

PWMCL0 : DCCTL0のビット5

RTPOE00 : リアルタイム出力ポート・コントロール・レジスタ0 (RTPC00) のビット7

RTPM00n : リアルタイム出力ポート・モード・レジスタ0 (RTPM00) のビットn

RTBH00m : リアルタイム出力バッファ・レジスタ0H (RTBH00) のビットm

RTBL00m : リアルタイム出力バッファ・レジスタ0L (RTBL00) のビットm

n = 0-7

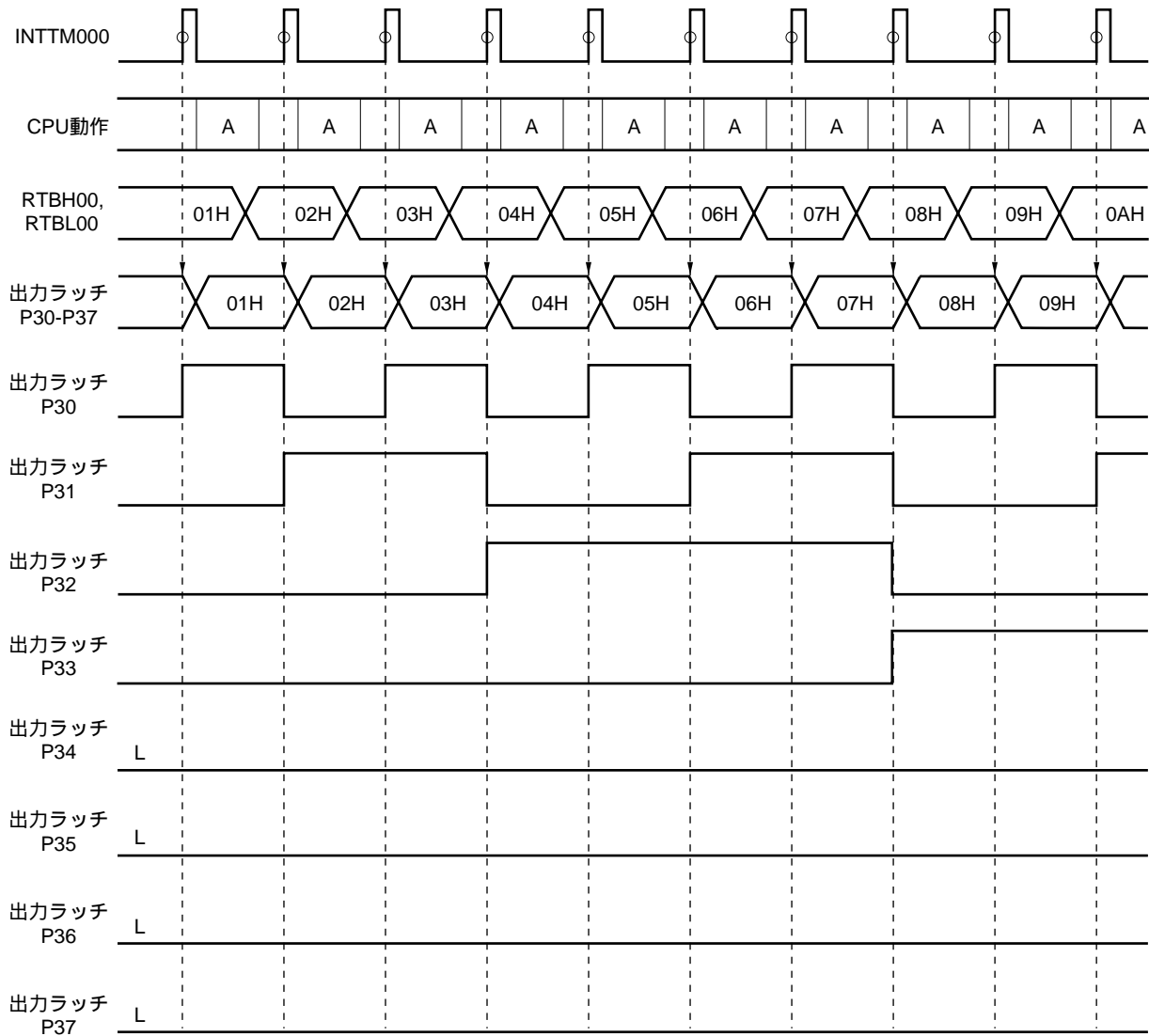
m = 0-3

x : don't care

図10 - 11 リアルタイム出力ポートの動作タイミング例 (8 ビット × 1) (1/3)

(a) 8 ビット × 1 チャンネル , 反転出力禁止 , PWM 変調なし

(EXTR00 = 0 , BYTE00 = 1 , INV0 = 0 , PWMCH0 = 0 , PWMCL0 = 0)

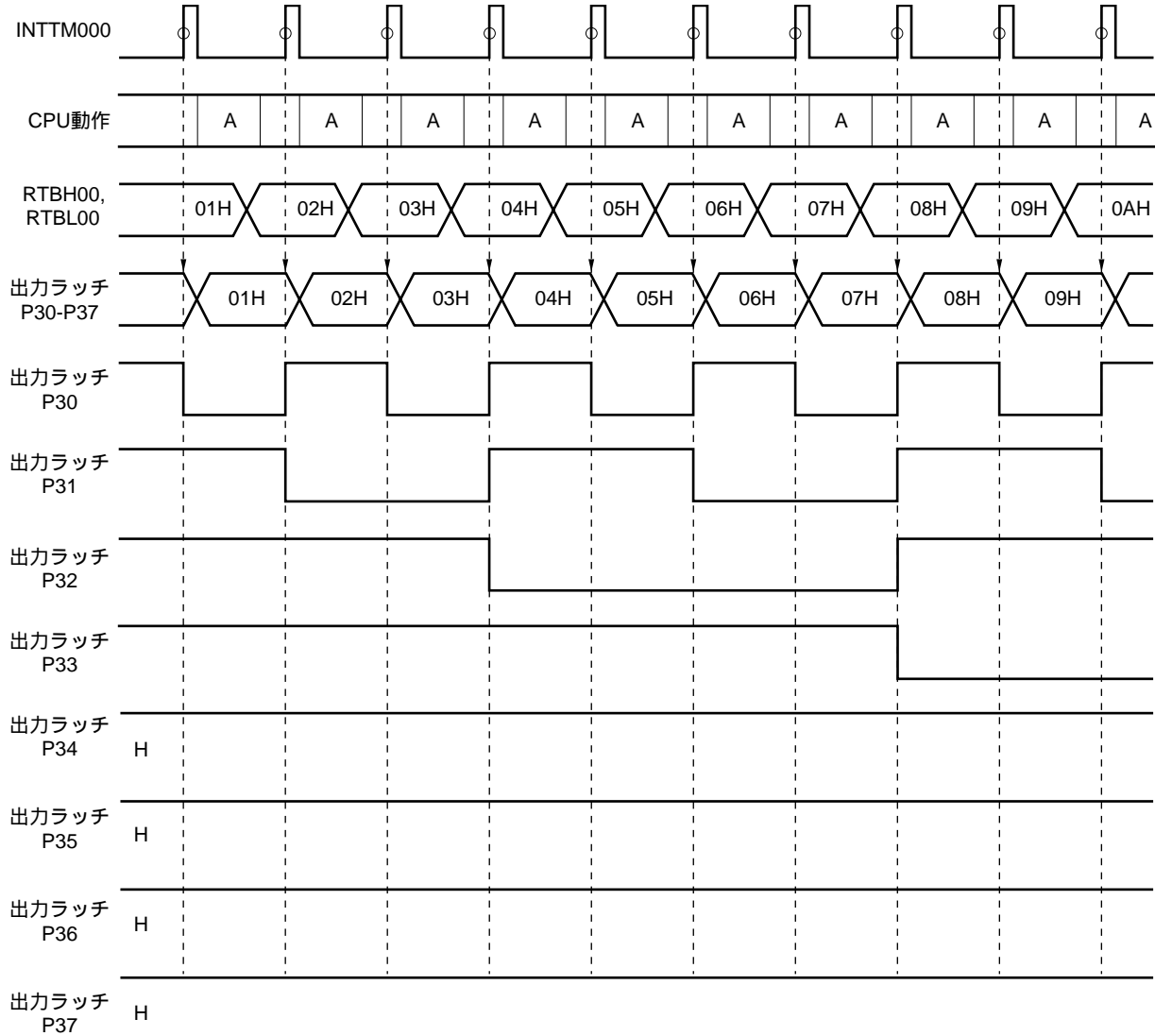


A : INTTM000によるソフトウェア処理 (RTBH00, RTBL00ライト)

図10 - 11 リアルタイム出力ポートの動作タイミング例 (8 ビット × 1) (2 / 3)

(b) 8 ビット × 1 チャンネル , 反転出力許可 , PWM 変調なし

(EXTR00 = 0 , BYTE00 = 1 , INV0 = 1 , PWMCH0 = 0 , PWMCL0 = 0)

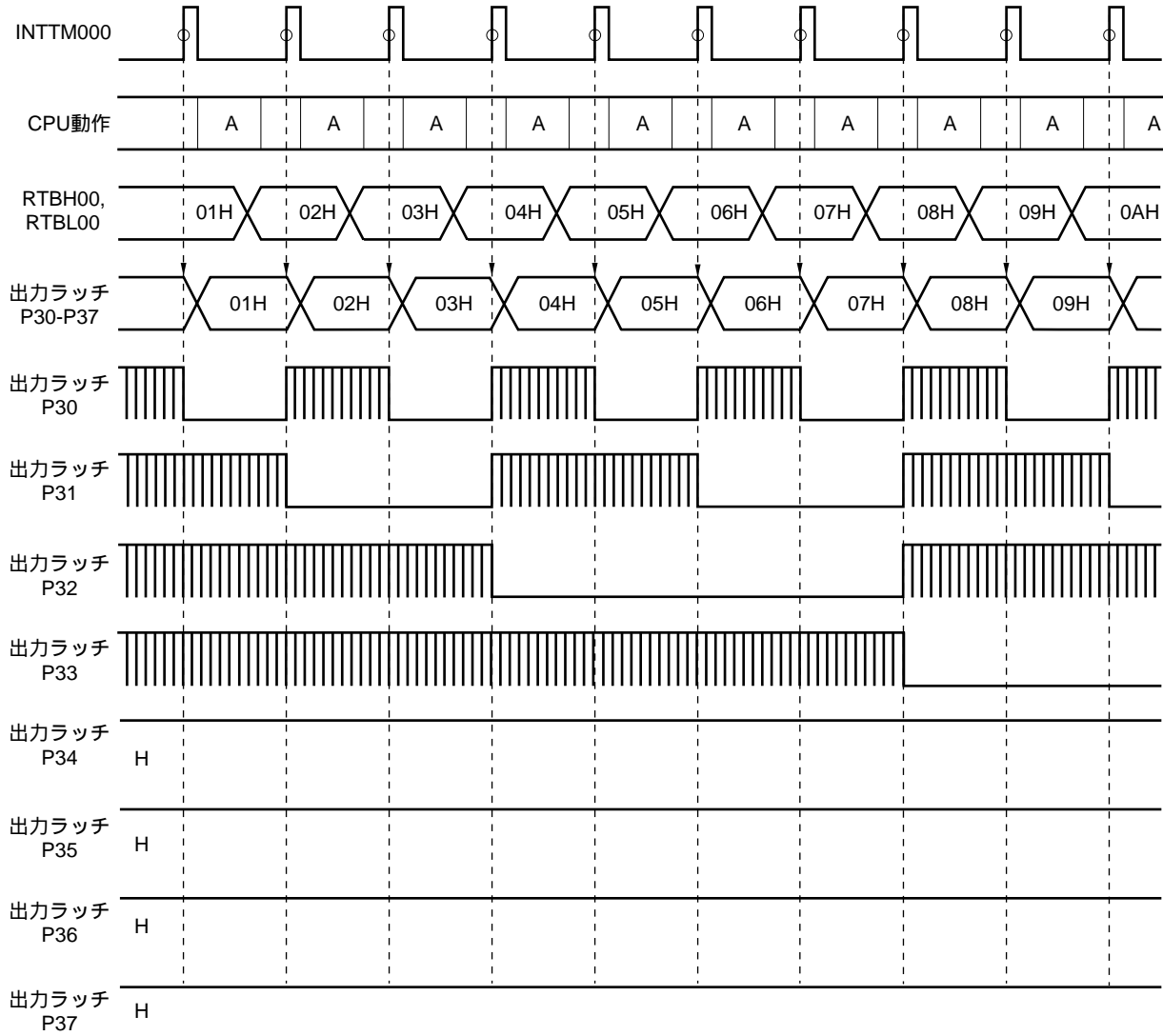


A : INTTM000によるソフトウェア処理 (RTBH00, RTBL00ライト)

図10 - 11 リアルタイム出力ポートの動作タイミング例 (8 ビット × 1) (3 / 3)

(c) 8 ビット × 1 チャンネル , 反転出力許可 , PWM 変調あり

(EXTR00 = 0 , BYTE00 = 1 , INV0 = 1 , PWMCH0 = 1 , PWMCL0 = 1)



A : INTTM000によるソフトウェア処理 (RTBH00 , RTBL00ライト)

(2) リアルタイム出力ポートとしてTO70-TO75を使用する場合...リアルタイム出力ポート1

(6ビット×1または4ビット×1)

リアルタイム出力ポート・コントロール・レジスタ1 (RTPC01) のビット7 (RTPOE01) = 1でリアルタイム出力動作を許可した場合、IMTTM001の発生に同期して、リアルタイム出力バッファ・レジスタ1 (RTBH01, RTBL01) のデータが出力ラッチに転送されます。転送されたデータのうちリアルタイム出力ポート・モード・レジスタ1 (RTPM01) の設定により、リアルタイム出力ポートに指定されたビットのデータのみがTO70-TO75のそれぞれのビットから出力されます。DCEN1でインバータ・タイマ出力に指定した場合は、TO70-TO75をインバータ・タイマ出力として使用できます。

動作モードは、BYTE01の設定により6ビット×1または4ビット×1を選択できます。

INV1の設定により、出力波形を反転させることができます。また、PWMCL1, PWMCH1の設定により、出力パターンにPWM変調をかけることができます。

RTPM01n = 1で、INV1 = 0のときに、リアルタイム出力動作禁止 (RTPOE01 = 0) にした場合は、TO70-TO75は0を出力します。

制御レジスタの各ビットの設定とリアルタイム出力の関係を表10 - 7に、動作タイミング例を図10 - 12に示します。

備考	BYTE01	:	リアルタイム出力ポート・コントロール・レジスタ1 (RTPC01) のビット5
	DCEN1	:	DC制御レジスタ1 (DCCTL1) のビット7
	INV1	:	" のビット4
	PWMCL1,		
	PWMCH1	:	" のビット5, 6
	RTPM01n	:	リアルタイム出力ポート・モード・レジスタ1 (RTPM01) のビットn (n=0-5)

表10 - 7 制御レジスタの各ビットの設定とリアルタイム出力の関係

CE7	DCEN1	INV1	PWMCH1/ PWMCL1	RTPOE01	RTPM01n	RTBH01m/ RTBL01m	TO7n端子の状態						
0	x	x	x	x	x	x	Hi-Z						
1	0	x	x	x	x	x	TO7n						
							1	0	0	x	x	“ low ” 出力	
	1	1	0	0	0	x	x	“ low ” 出力					
								1	0	x	“ low ” 出力		
									1	0	x	“ high ” 出力	
								1	0	x	x	0	x
					1	0	x					TO7n	
						1	0					TO7n	
					1	0	x					x	“ high ” 出力
					1	0	0	0	x	x	x	“ high ” 出力	
												1	0
									1	0	x		“ high ” 出力
										1	0		x
									1	0	x		x
1	0	x	$\overline{\text{TO7n}}$										
1	0	x	x	1	0	0	$\overline{\text{TO7n}}$						
							1	0	x	“ low ” 出力			

CE7 : インバータ・タイマ・コントロール・レジスタ7 (TMC7) のビット7

DCEN1 : DC制御レジスタ1 (DCCTL1) のビット7

INV1 : DCCTL1のビット4

PWMCH1 : DCCTL1のビット6

PWMCL1 : DCCTL1のビット5

RTPOE01 : リアルタイム出力ポート・コントロール・レジスタ1 (RTPC01) のビット7

RTPM01n : リアルタイム出力ポート・モード・レジスタ1 (RTPM01) のビットn

RTBH01m : リアルタイム出力バッファ・レジスタ1H (RTBH01) のビットm

RTBL01m : リアルタイム出力バッファ・レジスタ1L (RTBL01) のビットm

n = 0-5

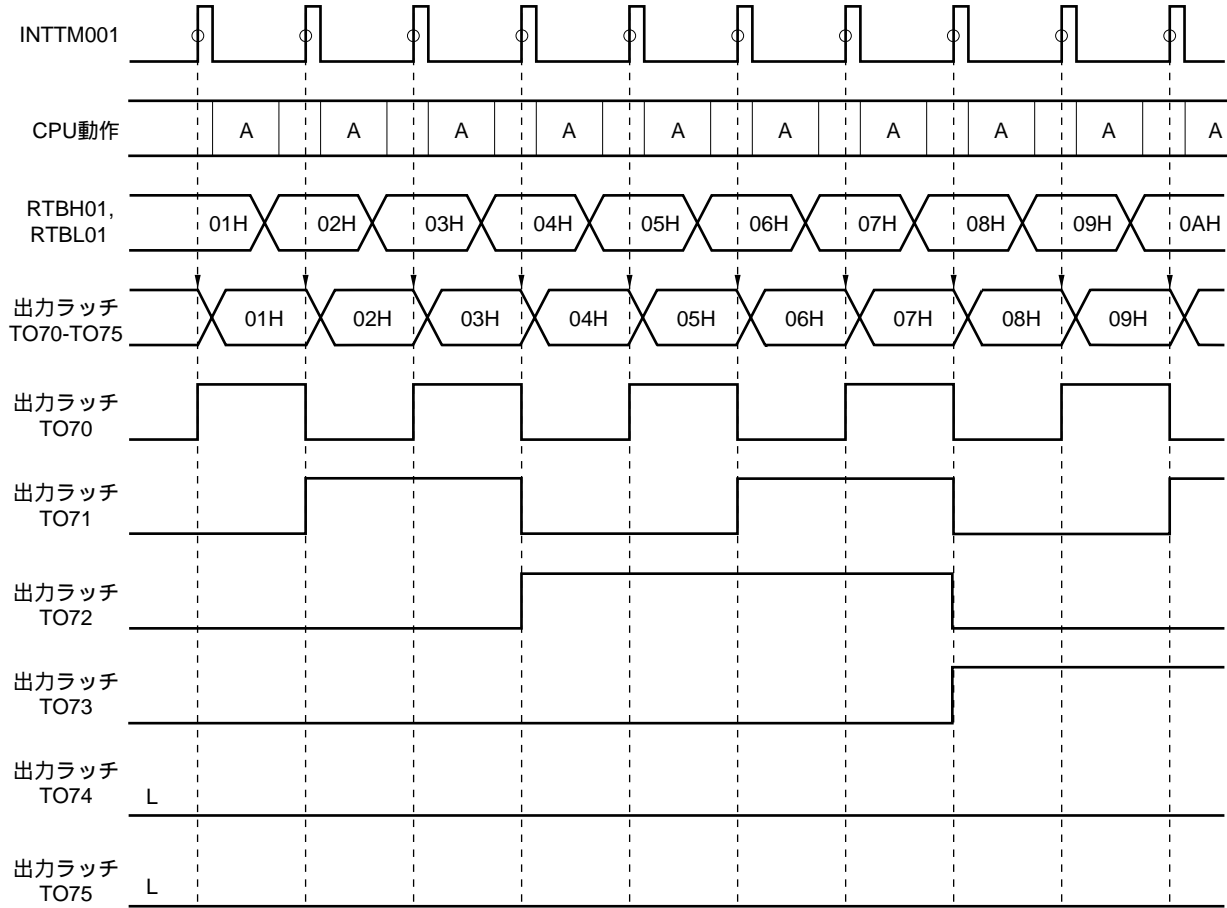
m = 0-3

x : don't care

図10 - 12 リアルタイム出力ポートの動作タイミング例 (6ビット×1) (1/3)

(a) 6ビット×1チャンネル, 反転出力禁止, PWM変調なし

(BYTE01 = 1, INV1 = 0, PWMCH1 = 0, PWMCL1 = 0)

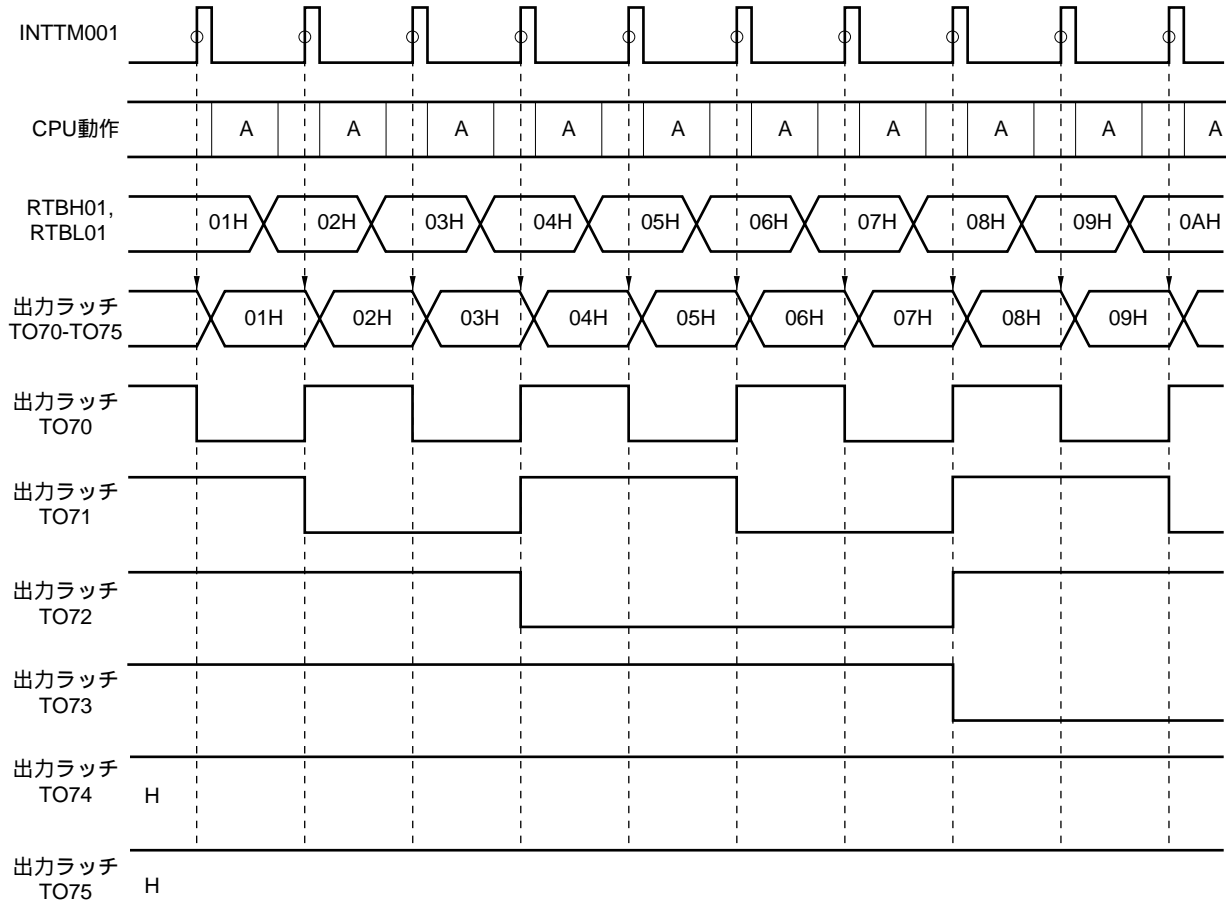


A : INTTM001によるソフトウェア処理 (RTBH01, RTBL01ライト)

図10 - 12 リアルタイム出力ポートの動作タイミング例 (6ビット×1) (2/3)

(b) 6ビット×1チャンネル, 反転出力許可, PWM変調なし

(BYTE01 = 1, INV1 = 1, PWMCH1 = 0, PWMCL1 = 0)

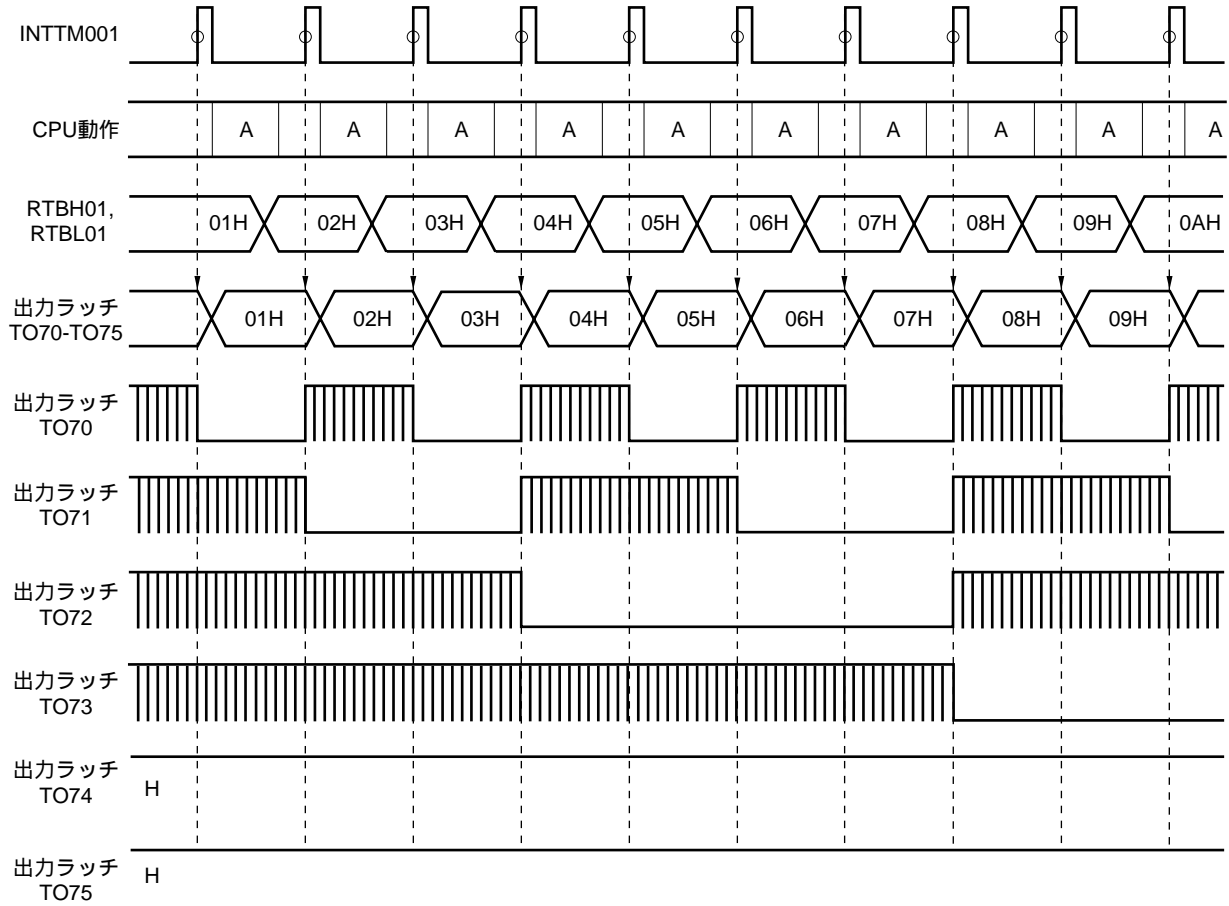


A : INTTM001によるソフトウェア処理 (RTBH01, RTBL01ライト)

図10 - 12 リアルタイム出力ポートの動作タイミング例 (6ビット×1) (3/3)

(c) 6ビット×1チャンネル, 反転出力許可, PWM変調あり

(BYTE01 = 1, INV1 = 1, PWMCH1 = 1, PWMCL1 = 1)



A : INTTM001によるソフトウェア処理 (RTBH01, RTBL01ライト)

10.5 リアルタイム出力ポートの使用方法

リアルタイム出力ポートを使用するときには、次の手順で設定してください。

(1) リアルタイム出力動作を禁止。

リアルタイム出力ポート・コントロール・レジスタ n (RTPC0 n) のビット7 (RTPOE0 n) = 0 に設定。

(2) 初期設定

・初期値をポートの出力ラッチに設定 (リアルタイム出力ポート0のみ)。

・ビット単位でリアルタイム出力ポート・モードを指定。

リアルタイム出力ポート・モード・レジスタ n (RTPM0 n) を設定。

・動作モード (トリガおよび有効エッジ) を選択。

RTPC00のビット4, 5, 6 (EXTR00, BYTE00, RTPEG00) を設定。

または

RTPC01のビット5 (BYTE01) を設定。

・リアルタイム出力ポート0の場合は、ポートの出力ラッチと同じ初期値をリアルタイム出力バッファ・レジスタ0 (RTBH00, RTBL00) に設定。

リアルタイム出力ポート1の場合は、初期値をリアルタイム出力バッファ・レジスタ1 (RTBH01, RTBL01) に設定。

・DC制御レジスタ n (DCCTL n) を設定。

(3) リアルタイム出力動作を許可。

RTPOE0 n = 1

(4) ポートの出力ラッチに対して“0”を設定 (リアルタイム出力ポート0のみ)。

備考 リアルタイム出力ポート0の場合、リアルタイム出力動作により出力される値は、ポートの出力ラッチとリアルタイム出力ポートの出力ラッチのORをとったものとなります (図10-1 (a) 参照)。そのため、リアルタイム出力ポート0を使用するときは、リアルタイム出力動作を許可 (RTPOE00を0 1) したあと最初の転送トリガが発生するまでに、ポートの出力ラッチに0を設定してください。

(5) 選択した転送トリガが発生するまでに、次の出力をRTBH0 n , RTBL0 n に設定。

(6) 選択したトリガに対応する割り込み処理により、順次、次のリアルタイム出力値をRTBH0 n , RTBL0 n に設定。

備考 $n = 0, 1$

10.6 リアルタイム出力ポートの注意事項

- (1) 初期設定は、リアルタイム出力ポート・コントロール・レジスタ n (RTPC0 n) のビット7 (RTPOE0 n) を0にし、リアルタイム出力動作を禁止してから行ってください ($n = 0, 1$)。

- (2) 一度リアルタイム出力動作を禁止 (RTPOE0 $n = 0$) した場合は、リアルタイム出力動作を許可 (RTPOE0 $n = 0 \rightarrow 1$) する前に、必ず出力ラッチと同じ初期値をリアルタイム出力バッファ・レジスタ n (RTBH0 n , RTBL0 n) に設定してください ($n = 0, 1$)。

第11章 A/Dコンバータ

11.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、10ビット分解能8チャンネル（ANI0-ANI7）の構成になっています。

変換方式は逐次比較方式で、変換結果を10ビットのA/D変換結果レジスタ0（ADCR0）に保持します。

A/D変換動作の起動方法には、次の2種類があります。

（1）ハードウェア・スタート

トリガ入力（ADTRG：立ち上がり、立ち下がり、立ち上がり立ち下がりの両エッジの指定が可能）により変換開始。

（2）ソフトウェア・スタート

A/Dコンバータ・モード・レジスタ0（ADM0）を設定することにより変換開始。

アナログ入力をANI0-ANI7から1チャンネル選択し、A/D変換を行ってください。A/D変換の動作は、ハードウェア・スタート時ではA/D変換動作終了後停止し、割り込み要求（INTAD0）が発生されます。ソフトウェア・スタート時では、A/D変換動作を繰り返し行います。A/D変換を1回終了するたびに、INTAD0が発生されます。

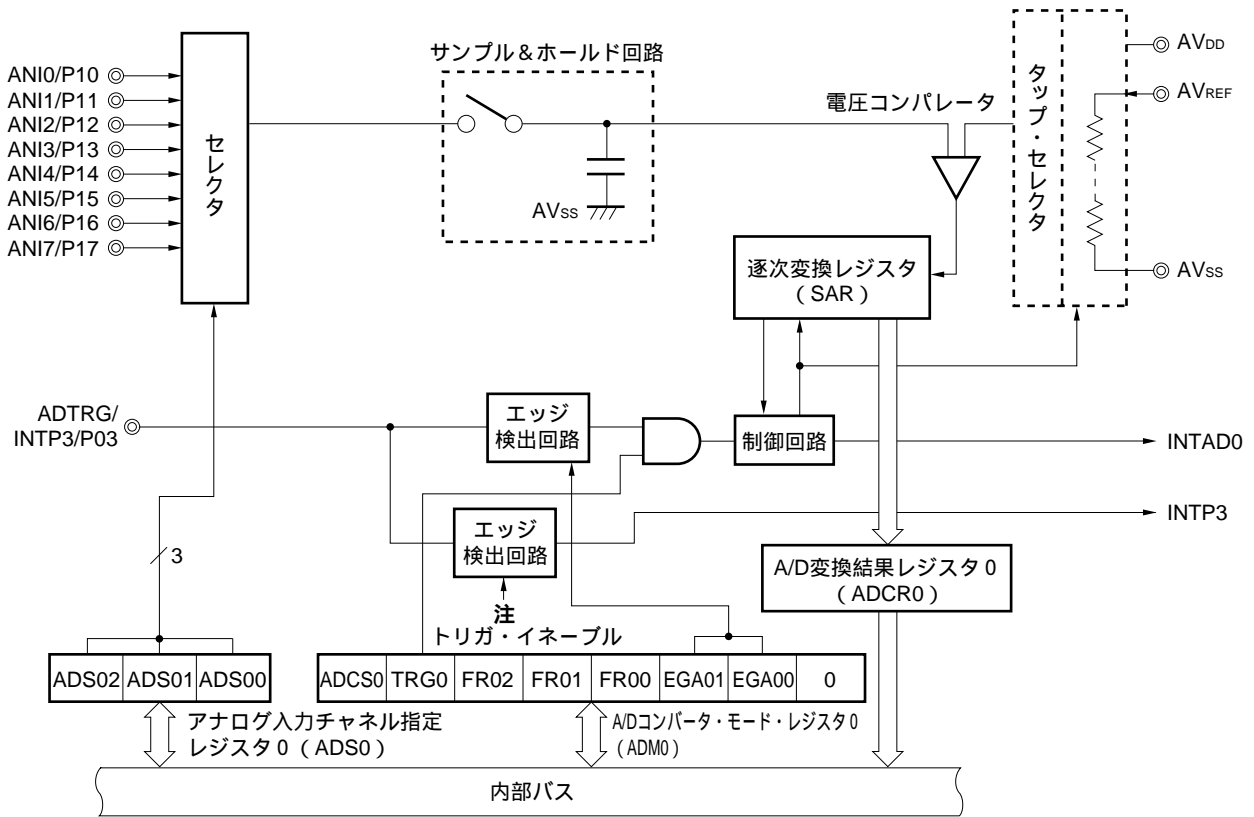
11.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表11 - 1 A/Dコンバータの構成

項目	構成
アナログ入力	8チャンネル（ANI0-ANI7）
制御レジスタ	A/Dコンバータ・モード・レジスタ0（ADM0） アナログ入力チャンネル指定レジスタ0（ADS0）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタ0（ADCR0）

図11-1 A/Dコンバータのブロック図



注 外部割り込み立ち上がり / 立ち下がりエッジ許可レジスタ (EGP, EGN) のビット3 (EGP3, EGN3) で有効エッジ指定 (図14-5 外部割り込み立ち上がりエッジ許可レジスタ, 外部割り込み立ち下がりエッジ許可レジスタのフォーマット参照)。

(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで保持すると (A/D変換終了)、SARの内容はA/D変換結果レジスタ0 (ADCR0) に転送されます。

(2) A/D変換結果レジスタ0 (ADCR0)

A/D変換結果を格納する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。ADCR0には最上位ビット (MSB) から順に格納されます。

ADCR0は、16ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、不定になります。

略号	FF19H	FF18H	アドレス	リセット時	R/W				
★ ADCR0							FF18H, FF19H	不定	R

注意 A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャンネル指定レジスタ0 (ADS0) に対して書き込み動作を行ったとき、ADCR0の内容は不定となることがあります。変換結果は、変換動作終了後、ADM0、ADS0に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(3) サンプル& ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力信号を1つ1つサンプリングし電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは、 AV_{REF} - AV_{SS} 間に接続されており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI7端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 1. ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

2. アナログ入力 (ANI0-ANI7) 端子は入力ポート (P10-P17) 端子と兼用になっています。ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポート1に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルス印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(7) AV_{REF}端子

A/Dコンバータの基準電圧を入力する端子です。

AV_{REF}-AV_{SS}間にかかる電圧に基づいて、ANI0-ANI7に入力される信号をデジタル信号に変換します。

注意 AV_{REF}端子とAV_{SS}端子の間には数十 k の直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AV_{REF}端子とAV_{SS}端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

(8) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS0}端子と同電位で使用してください。

(9) AV_{DD}端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常にV_{DD0}端子と同電位で使用してください。

11.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタには、次の2種類があります。

- ・ A/Dコンバータ・モード・レジスタ 0 (ADM0)
- ・ アナログ入力チャネル指定レジスタ 0 (ADS0)

(1) A/Dコンバータ・モード・レジスタ 0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止、外部トリガを設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

★

図11-2 A/Dコンバータ・モード・レジスタ0のフォーマット

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ADMO	ADCS0	TRG0	FR02	FR01	FR00	EGA01	EGA00	0	FF80H	00H	R/W

ADCS0	A/D変換動作の制御	
0	変換動作停止	
1	変換動作許可	

TRG0	ソフトウェア・スタート/ハードウェア・スタートの選択	
0	ソフトウェア・スタート	
1	ハードウェア・スタート	

FR02	FR01	FR00	A/D変換時間の選択 ^{注1}			
				4.5 V AV _{DD} 5.5 V	4.0 V AV _{DD} <4.5 V	3.0 V AV _{DD} <4.0 V ^{注2}
				f _x = 12 MHz動作時 ^{注2}	f _x = 8.38 MHz動作時	f _x = 8.38 MHz動作時
0	0	0	144/f _x	12 μs	17.1 μs	17.1 μs
0	0	1	120/f _x	設定禁止 ^{注3}	14.3 μs	14.3 μs
0	1	0	96/f _x	設定禁止 ^{注3}	設定禁止 ^{注3}	設定禁止 ^{注3}
1	0	0	72/f _x	設定禁止 ^{注3}	設定禁止 ^{注3}	設定禁止 ^{注3}
1	0	1	60/f _x	設定禁止 ^{注3}	設定禁止 ^{注3}	設定禁止 ^{注3}
1	1	0	48/f _x	設定禁止 ^{注3}	設定禁止 ^{注3}	設定禁止 ^{注3}
上記以外			設定禁止			

EGA01	EGA00	外部トリガ信号の有効エッジ指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち下がり, 立ち上がりの両エッジ検出

注1 . A/D変換時間は次の規定を満たすように設定してください。

< 拡張規格品の場合 >

4.5 V AV_{DD} 5.5 V時 : 12 μs以上

4.0 V AV_{DD} < 4.5 V時 : 14 μs以上

3.0 V AV_{DD} < 4.0 V時 : 17 μs以上

< 従来規格品の場合 >

4.0 V AV_{DD} 5.5 V時 : 14 μs以上

2 . 拡張規格品のみ。

3 . この条件で動作時は, A/D変換時間が注1 で示した規定を満たさないため, 設定禁止です。

注意 FR00-FR02を同一データ以外に書き換える場合は, いったんA/D変換動作を停止させたのちに書き換えてください。

備考 f_x : システム・クロック発振周波数

(2) アナログ入力チャンネル指定レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADS0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11 - 3 アナログ入力チャンネル指定レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADS0	0	0	0	0	0	ADS02	ADS01	ADS00	FF81H	00H	R/W

ADS02	ADS01	ADS00	アナログ入力チャンネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

11.4 A/Dコンバータの動作

11.4.1 A/Dコンバータの基本動作

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ0 (ADS0) で1チャンネル選択してください。選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路がサンプリングしません。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9がセットされます。タップ・セクタにより直列抵抗ストリングの電圧タップが $(1/2) AV_{REF}$ にされます。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差が電圧コンパレータで比較されます。もし、アナログ入力 $(1/2) AV_{REF}$ よりも大きければ、SARのMSBはセットされたままです。また、 $(1/2) AV_{REF}$ よりも小さければ、MSBはリセットされます。

次にSARのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ビット9 = 1 : $(3/4) AV_{REF}$
- ・ビット9 = 0 : $(1/4) AV_{REF}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット8が次のように操作されます。

- ・アナログ入力電圧 > 電圧タップ : ビット8 = 1
- ・アナログ入力電圧 < 電圧タップ : ビット8 = 0

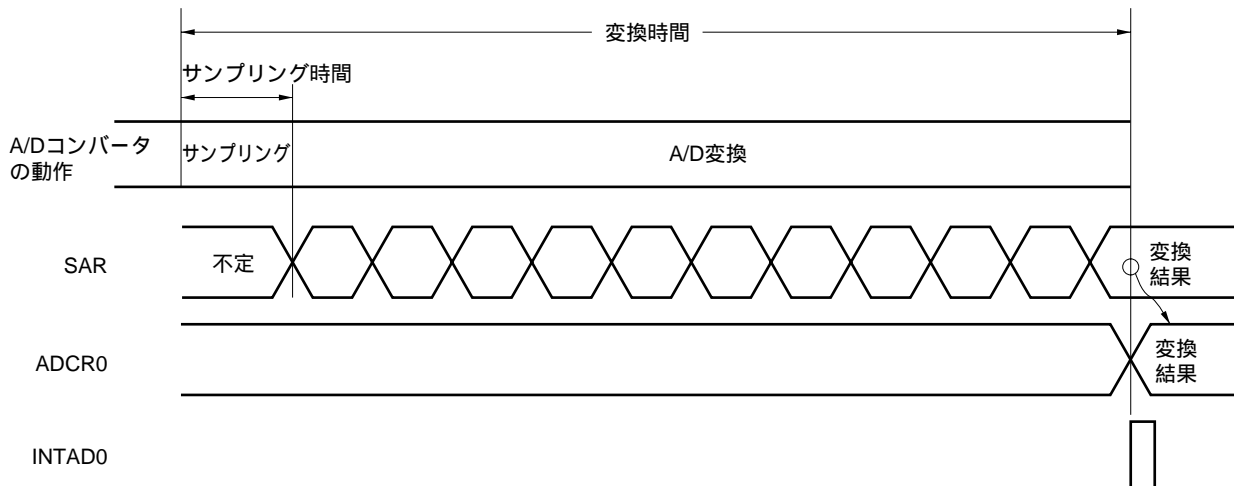
このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

注意 A/D変換動作をスタートした直後の最初のA/D変換値は定格を満たさないことがあります。

図11 - 4 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM0または、アナログ入力チャネル指定レジスタ0 (ADS0) に対する書き込み操作を行うと変換動作は初期化され、ADCS0ビットがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ0 (ADCR0) は、 $\overline{\text{RESET}}$ により不定となります。

11.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ0 (ADCR0) に格納された値) には次式に示す関係があります。

$$ADCR0 = \text{INT} \left(\frac{V_{IN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

または,

$$\left(ADCR0 - 0.5 \right) \times \frac{AV_{REF}}{1024} < V_{IN} < \left(ADCR0 + 0.5 \right) \times \frac{AV_{REF}}{1024}$$

備考 INT () : () 内の値の整数部を返す関数

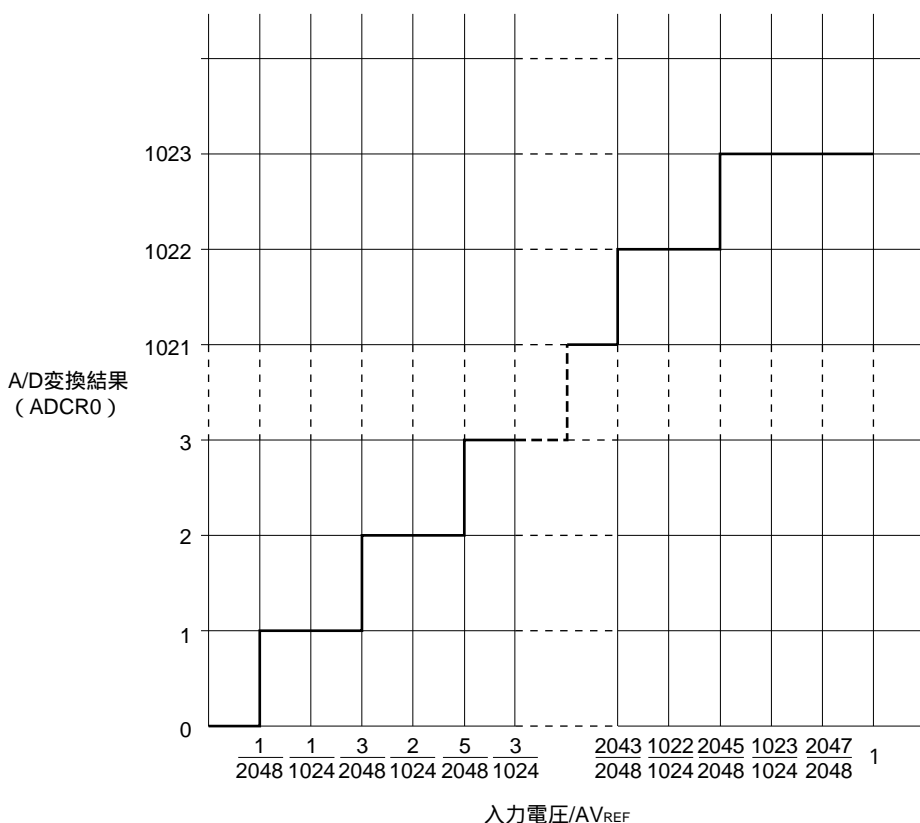
V_{IN} : アナログ入力電圧

AV_{REF} : AV_{REF} 端子電圧

ADCR0 : A/D変換結果レジスタ0 (ADCR0) の値

図11 - 5 にアナログ入力電圧とA/D変換結果の関係を図示します。

図11 - 5 アナログ入力電圧とA/D変換結果の関係



11.4.3 A/Dコンバータの動作モード

アナログ入力チャンネル指定レジスタ0 (ADS0) によってANI0-ANI7からアナログ入力を1チャンネル選択し、A/D変換を開始させてください。

A/D変換動作の起動方法には、次の2種類があります。

- ・ハードウェア・スタート：トリガ入力 (ADTRG：立ち上がり、立ち下がり、立ち上がり立ち下がりの両エッジ指定可能) により変換開始
- ・ソフトウェア・スタート：A/Dコンバータ・モード・レジスタ0 (ADM0) を設定することにより変換開始

また、A/D変換結果は、A/D変換結果レジスタ0 (ADCR0) に格納され、同時に割り込み要求信号 (INTAD0) が発生されます。

(1) ハードウェア・スタートによるA/D変換動作

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット6 (TRG0) に1、ビット7 (ADCS0) に1を設定することによってA/D変換動作の待機状態になります。外部トリガ信号 (ADTRG) が入力されると、アナログ入力チャンネル指定レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

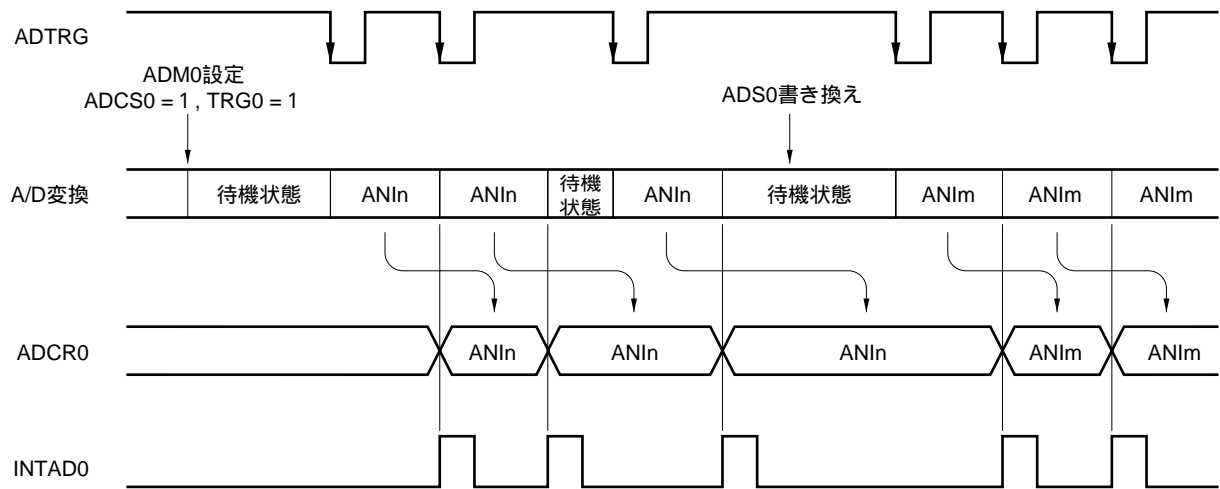
A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD0) が発生されます。A/D変換動作が一度起動し、1回のA/D変換が終了すると、新たに外部トリガ信号が入力されないかぎり、A/D変換動作は開始しません。

A/D変換動作中にADS0を書き換えると、そのとき行っていたA/D変換動作を中断し、新たに外部トリガ信号が入力されるまで待機します。外部トリガ入力信号が再度入力されると、A/D変換動作を最初から行います。A/D変換待機中にADS0を書き換えた場合、次に外部トリガ入力信号が入力された時点で、新たにA/D変換動作を開始します。

また、A/D変換動作中に、ADCS0が0であるデータをADM0に書き込むと、ただちにA/D変換動作を停止します。

注意 P03/INTP3/ADTRGを外部トリガ入力 (ADTRG) として使用するとき、A/Dコンバータ・モード・レジスタ0 (ADM0) のビット1, 2 (EGA00, EGA01) で有効エッジを指定し、割り込みマスク・フラグ (PMK3) を1に設定してください。

図11 - 6 ハードウェア・スタートによるA/D変換動作（立ち下がリエッジ指定時）



備考 n = 0 , 1 , , 7
 m = 0 , 1 , , 7

(2) ソフトウェア・スタートによるA/D変換動作

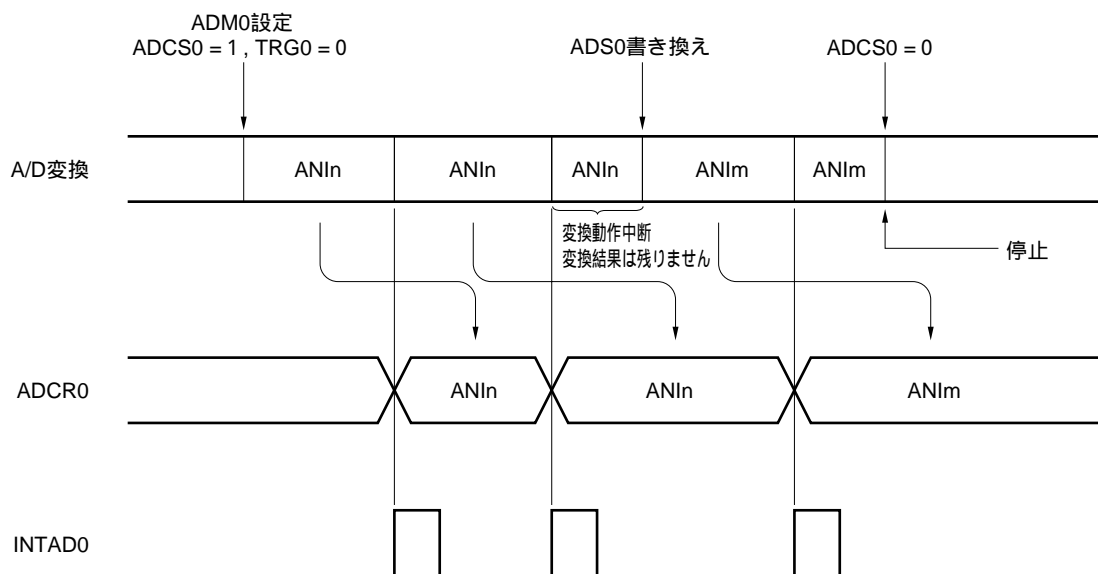
A/Dコンバータ・モード・レジスタ0 (ADM0) のビット6 (TRG0) に0, ビット7 (ADCS0) に1を設定することにより, アナログ入力チャンネル指定レジスタ0 (ADS0)で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し, 割り込み要求信号 (INTAD0) が発生します。A/D変換動作が一度起動し, 1回のA/D変換が終了すると, ただちに次のA/D変換動作を開始します。新たなデータをADS0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に, ADS0を書き換えると, そのとき行っていたA/D変換動作を中断し, 新たに選択したアナログ入力チャンネルのA/D変換動作を開始します。

また, A/D変換動作中に, ADCS0が0であるデータをADM0に書き込むと, ただちにA/D変換動作を停止します。

図11-7 ソフトウェア・スタートによるA/D変換動作



備考 n = 0, 1, …, 7
 m = 0, 1, …, 7

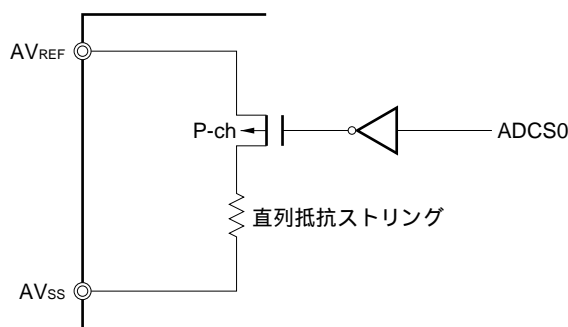
11.5 A/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作を停止します。このとき変換動作停止 (A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) = 0) にすることにより、消費電流を低減させることができます。

スタンバイ・モード時の消費電流を低減させる方法を図11 - 8 に示します。

図11 - 8 スタンバイ・モード時の消費電流を低減させる方法例



(2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内で使用してください。特にAVREF以上、AVSS以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ0 (ADCR0) ライトと命令によるADCR0リードとの競合

ADCR0リードが優先されます。リードしたあと、新しい変換結果がADCR0にライトされます。

変換終了時のADCR0ライトと外部トリガ信号入力の競合

A/D変換中の外部トリガ信号は受け付けられません。したがって、ADCR0ライト中の外部トリガ信号も受け付けられません。

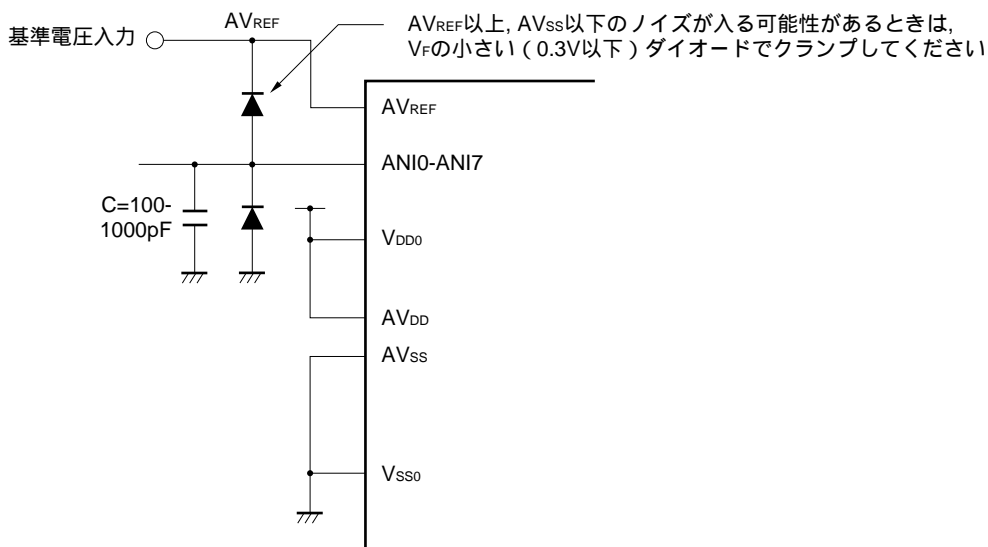
変換終了時のADCR0ライトとA/Dコンバータ・モード・レジスタ0 (ADM0) ライト、またはアナログ入力チャンネル指定レジスタ0 (ADS0) ライトの競合

ADM0またはADS0へのライトが優先されます。ADCR0へのライトはされません。また、変換終了割り込み要求信号 (INTAD0) も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} 、 $ANI0$ - $ANI7$ 端子へのノイズに注意する必要があります。アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図11-9のように、 C を外付けすることを推奨します。

図11-9 アナログ入力端子の処理

(5) $ANI0/P10$ - $ANI7/P17$

アナログ入力 ($ANI0$ - $ANI7$) 端子は入力ポート ($P10$ - $P17$) 端子と兼用になっています。

$ANI0$ - $ANI7$ のいずれかを選択してA/D変換をする場合、変換中にポート1に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルス印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

★ (6) $ANI0$ - $ANI7$ 端子の入カインピーダンスについて

このA/Dコンバータでは、変換時間の約1/10程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入カインピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出カインピーダンスを10kΩ以下にするか、 $ANI0$ - $ANI7$ 端子に100pF程度のコンデンサを付けることを推奨します(図11-9参照)。

(7) AV_{REF} 端子の入カインピーダンスについて

AV_{REF} 端子と AV_{SS} 端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出カインピーダンスが高い場合、 AV_{REF} 端子と AV_{SS} 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

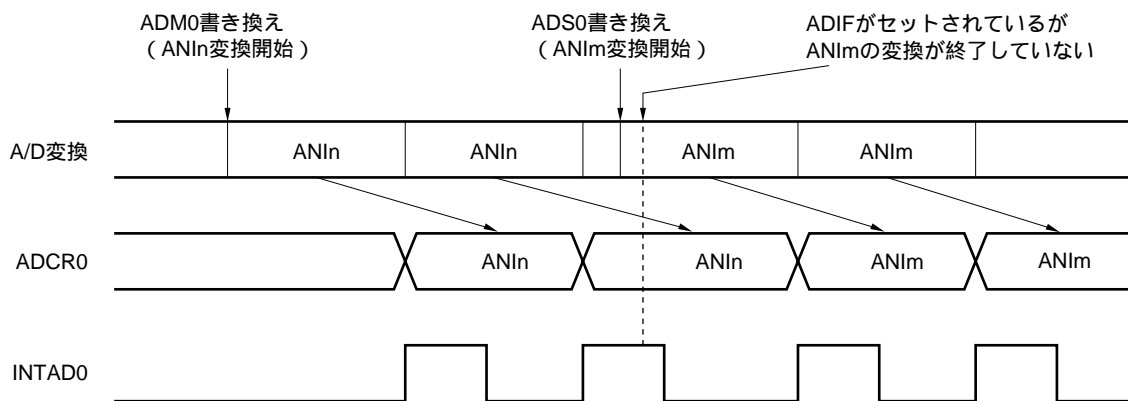
(8) 割り込み要求フラグ (ADIF) について

アナログ入力チャンネル指定レジスタ 0 (ADS0) を変更しても割り込み要求フラグ (ADIF) はクリアされません。

したがって、A/D変換中にアナログ入力端子を変更した場合、ADS0書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。このとき、ADS0書き換え直後にADIFを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください (図11 - 10参照)。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

図11 - 10 A/D変換終了割り込み要求発生タイミング



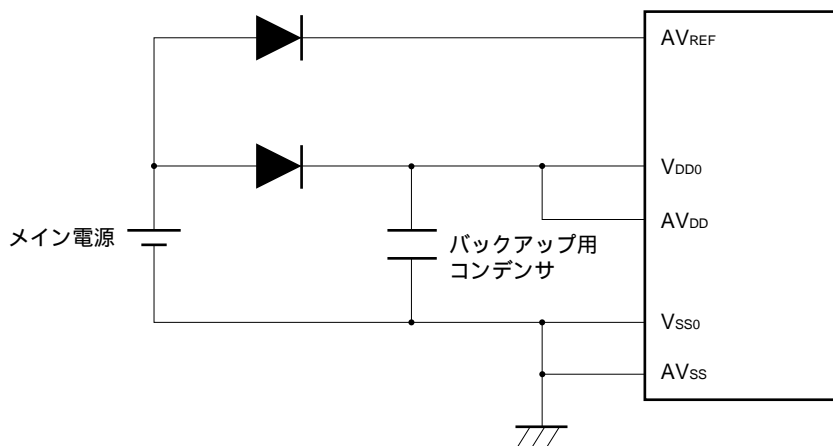
備考 n = 0, 1, …, 7
 m = 0, 1, …, 7

(9) AVDD端子について

AVDD端子はアナログ回路の電源端子であり、ANI0/P10-ANI7/P17の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図11 - 11のように必ずVDD0と同レベルの電位を印加してください。

図11 - 11 AVDD端子の処理



(10) A/D変換スタート直後の変換結果について

A/D変換動作をスタートした直後の最初のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD0) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(11) A/D変換結果レジスタ0 (ADCR0) の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャネル指定レジスタ0 (ADS0) に対して書き込み動作を行ったとき、ADCR0の内容は不定となることがあります。変換結果は、変換動作終了後、ADM0、ADS0に対して書き込み動作を行う前に読み出して下さい。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(12) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。またA/D変換動作を停止してから変換結果を読み出す場合は、次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図11 - 12、図11 - 13に示します。

図11 - 12 変換結果を読み出すタイミング (変換結果が不定値の場合)

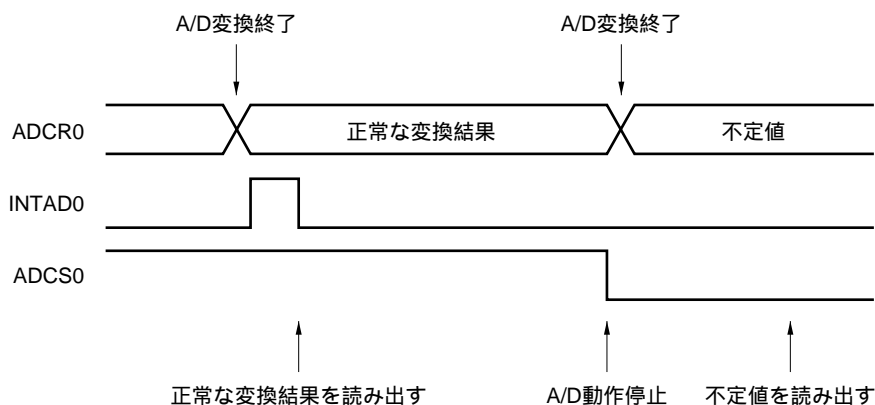
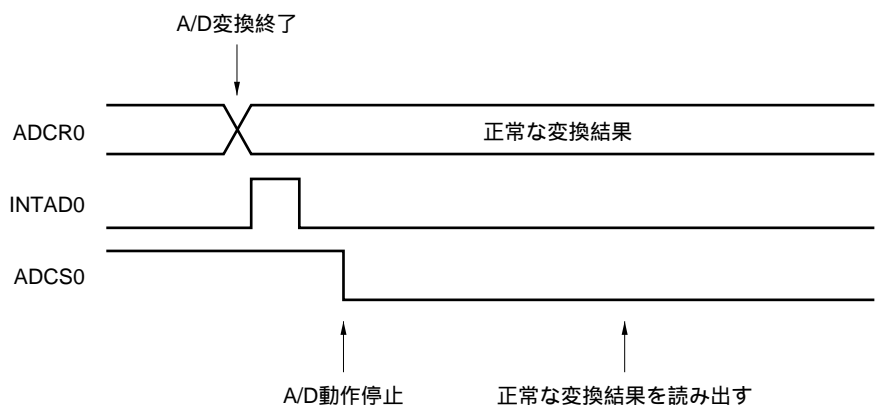


図11 - 13 変換結果を読み出すタイミング (変換結果が正常値の場合)



(13) ボード設計上の注意

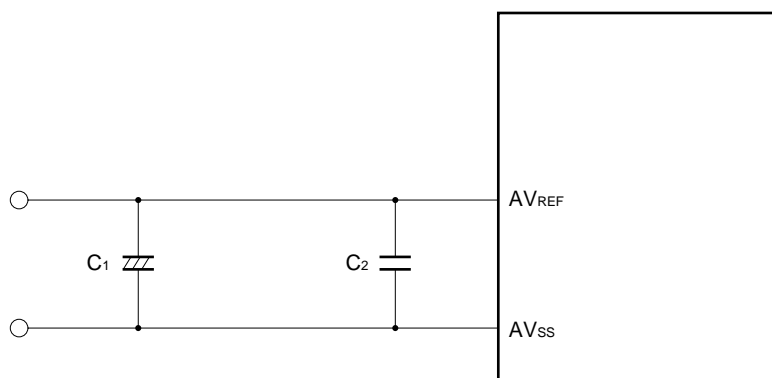
ボード上でのデジタル回路ノイズの影響を避けるために、アナログ回路はデジタル回路とできるだけ離して配置してください。特にアナログ信号線とデジタル信号線を交差させたり近接させたりすることは極力避けてください。ノイズの誘導などによってA/D変換特性が悪化する恐れがあります。

AVSS0とVSS0はボード上で安定しているところで1箇所、接続してください。

(14) AVREF端子

ノイズによる変換誤差を小さく抑えるため、AVREF端子にコンデンサを接続してください。またA/D変換動作を停止した状態から動作開始した直後は、AVREF端子にかかる電圧が不安定になり、A/D変換精度の悪化が生じる場合があります。このような場合にもAVREF端子にコンデンサを接続してください。コンデンサの接続例を図11 - 14に示します。

図11 - 14 AVREF端子とコンデンサの接続例



備考 C1 : 4.7 μ F ~ 10 μ F (参考値)

C2 : 0.01 μ F ~ 0.1 μ F (参考値)

C2は端子のできるだけ近くに接続してください。

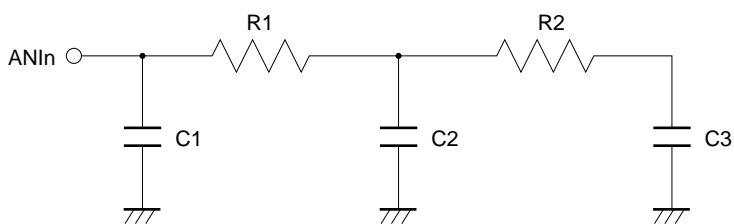
(15) ANI0-ANI7端子内部等価回路と許容信号源インピーダンス

サンプリング時間内にサンプリングを完了し、十分なA/D変換精度を得るにはセンサなどの信号源のインピーダンスが十分に低い必要があります。図11 - 15にANI0-ANI7端子のマイコン内部の等価回路を示します。

信号源のインピーダンスが高い場合には、ANI0-ANI7端子に大きな容量を接続することで見かけ上インピーダンスを低くすることができます。図11 - 16に回路例を示します。この場合にはロウ・パス・フィルタを構成しますので、微分係数の大きなアナログ信号には追従できなくなります。

高速なアナログ信号を変換する場合やスキャン・モードで変換する場合にはロウ・インピーダンスのバッファを挿入してください。

図11 - 15 ANI0-ANI7端子内部等価回路



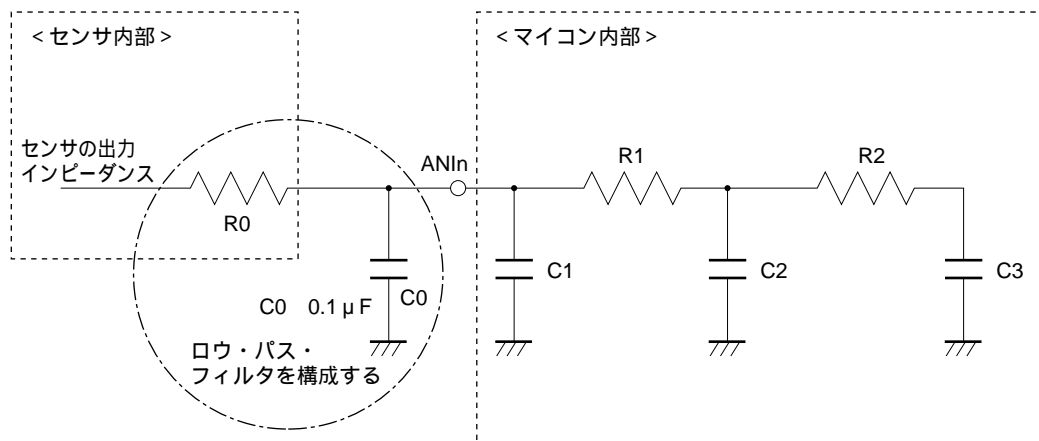
備考 n = 0-7

表11 - 2 等価回路の各抵抗と容量値 (参考値)

AV_{REF}	R1	R2	C1	C2	C3
2.7 V	12 k	8 k	8 pF	3 pF	2 pF
4.5 V	4 k	2.7 k	8 pF	1.4 pF	2 pF

注意 表11 - 2 の各抵抗と容量値は保証値ではありません。

図11 - 16 信号源インピーダンスが高い場合の回路例



備考 n = 0-7

11.6 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力 1 ビットあたりのアナログ入力電圧の比率を 1LSB (Least Significant Bit) といいます。1LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1\text{LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2\text{LSB}$ の誤差です。A/Dコンバータでは、 $\pm 1/2\text{LSB}$ の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図11 - 17 総合誤差

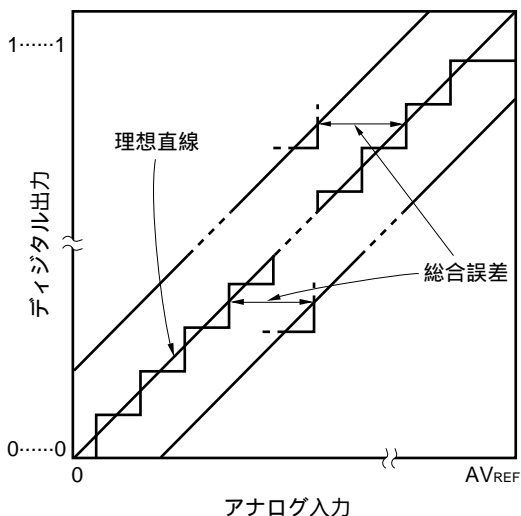
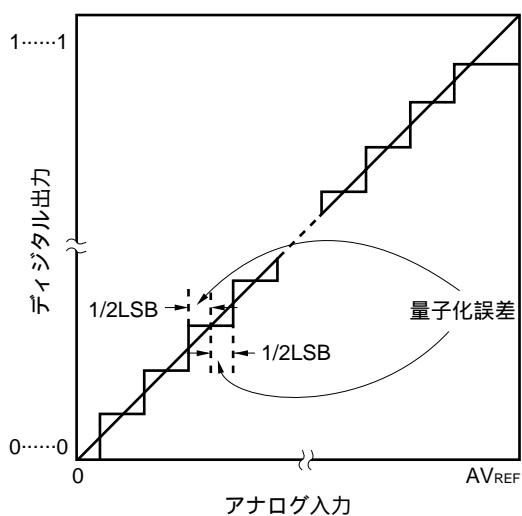


図11 - 18 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 (1/2LSB) との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値 (3/2LSB) との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値 (フルスケール - 3/2LSB) との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

変換結果がある値から1だけ変化するときの、入力電圧の実測値と理論値の差を表します。積分直線誤差が理論差からのずれの絶対値を表すのに対して、微分直線性誤差は各変換値から変化する際に必要な入力電圧変化の程度のばらつき (相対的なずれ) を表します。

図11-19 ゼロスケール誤差

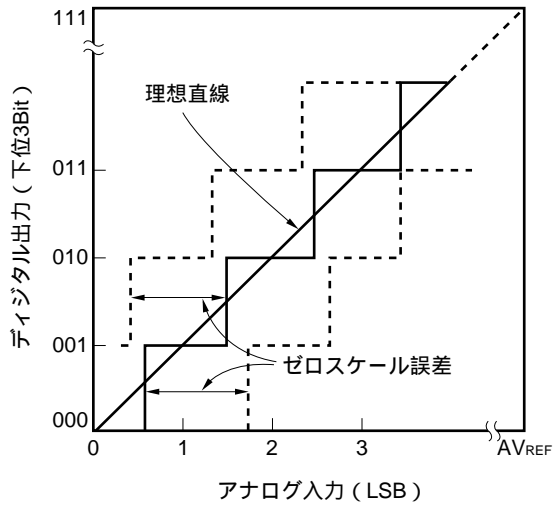


図11-20 フルスケール誤差

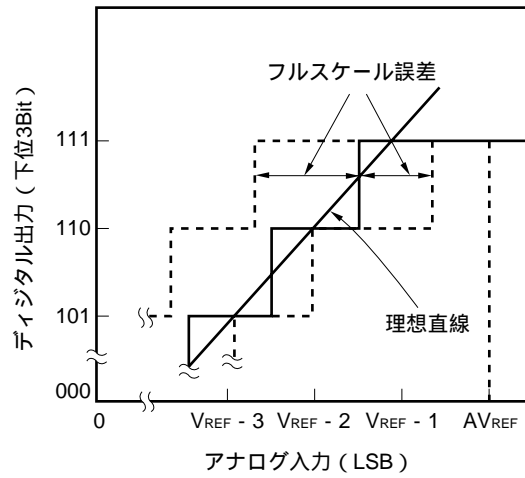


図11-21 積分直線性誤差

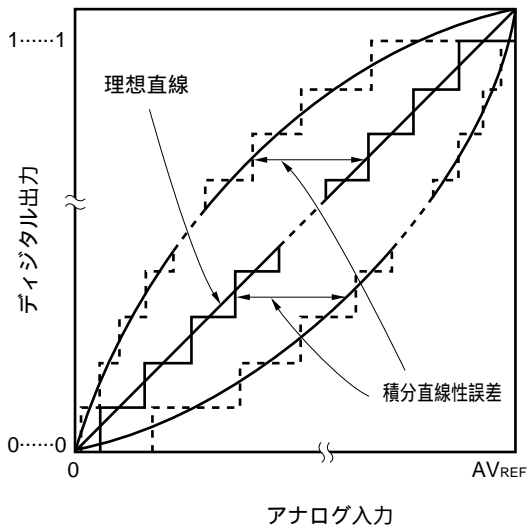
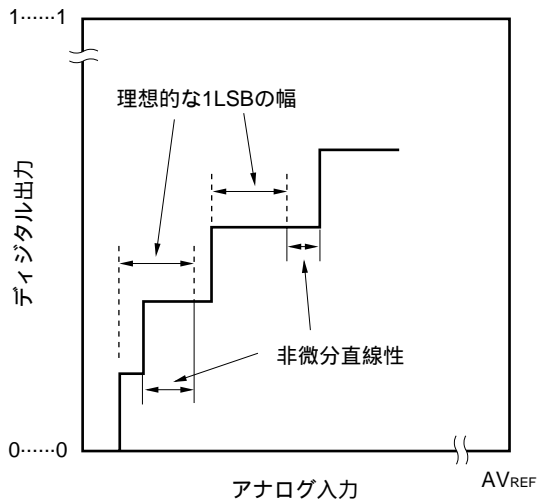


図11-22 微分直線性誤差

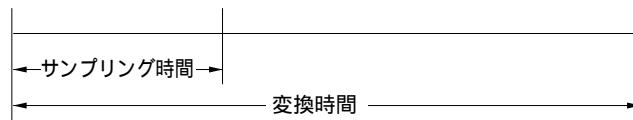


(8) 変換時間

アナログ入力電圧が与えられてから、デジタル出力が得られるまでの時間を表します。
 特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



第12章 シリアル・インタフェースUART00, UART01

12.1 シリアル・インタフェースの機能

シリアル・インタフェースUART00, UART01には、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード
- ・赤外線データ転送モード (UART00のみ)

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) アシンクロナス・シリアル・インタフェース(UART)モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

- ★ ボー・レートは、ボー・レート・ジェネレータ・コントロール・レジスタ0, 1 (BRGC00, BRGC01) の設定により、UART00の場合は600 bps-115.2 kbps (fx = 8.38 MHz動作時), 1200 bps-153.6 kbps (fx = 12 MHz動作時) から、UART01の場合は300 bps-38.4 kbps (fx = 8.38 MHz動作時), 600 bps-76.8 kbps (fx = 12 MHz動作時) から選択できます。

(3) 赤外線データ転送モード (UART00のみ)

115.2 kbps (fx = 7.3728 MHz動作時) のボー・レートで通信できます。

12.2 シリアル・インタフェースの構成

シリアル・インタフェースUART0, UART01は、次のハードウェアで構成しています。

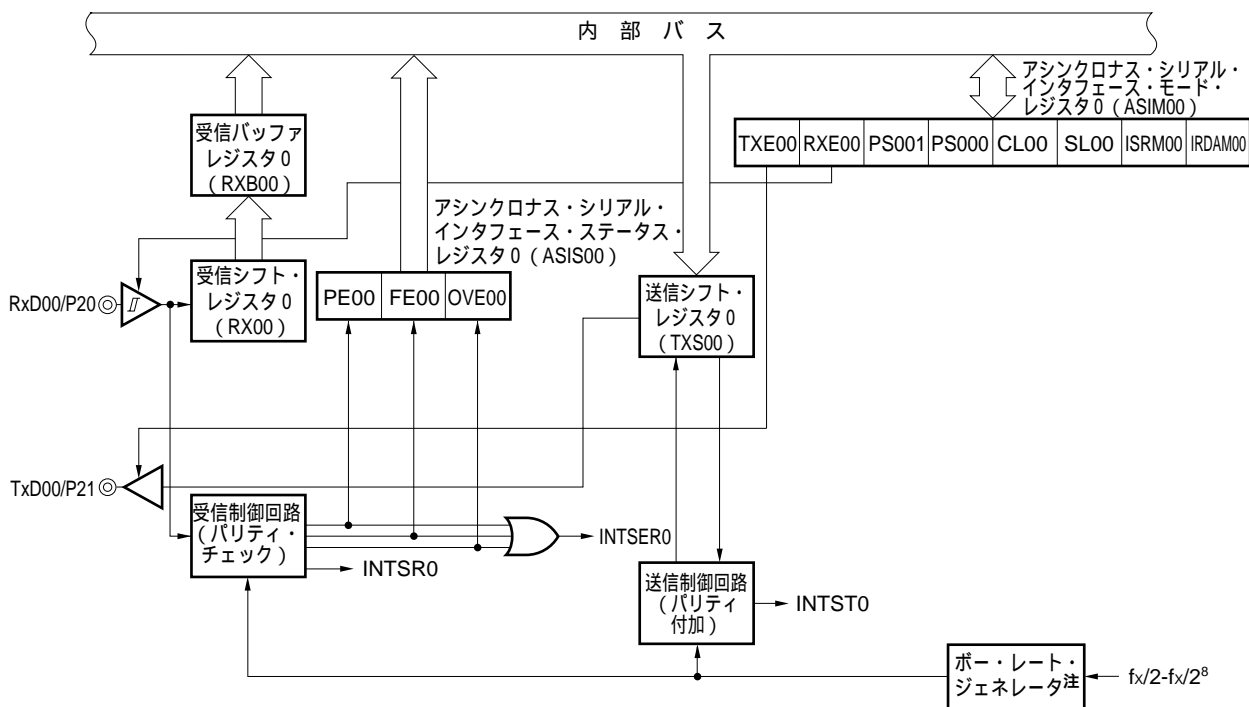
表12 - 1 シリアル・インタフェースの構成

項目	構成
レジスタ	送信シフト・レジスタn (TXS0n) 受信シフト・レジスタn (RX0n) 受信バッファ・レジスタn (RXB0n)
制御レジスタ	アシンクロナス・シリアル・インタフェース・モード・レジスタn (ASIM0n) アシンクロナス・シリアル・インタフェース・ステータス・レジスタn (ASIS0n) ポー・レート・ジェネレータ・コントロール・レジスタn (BRGC0n) ポート・モード・レジスタ2 (PM2) 注

注 図4 - 4 P20-P26のブロック図を参照してください。

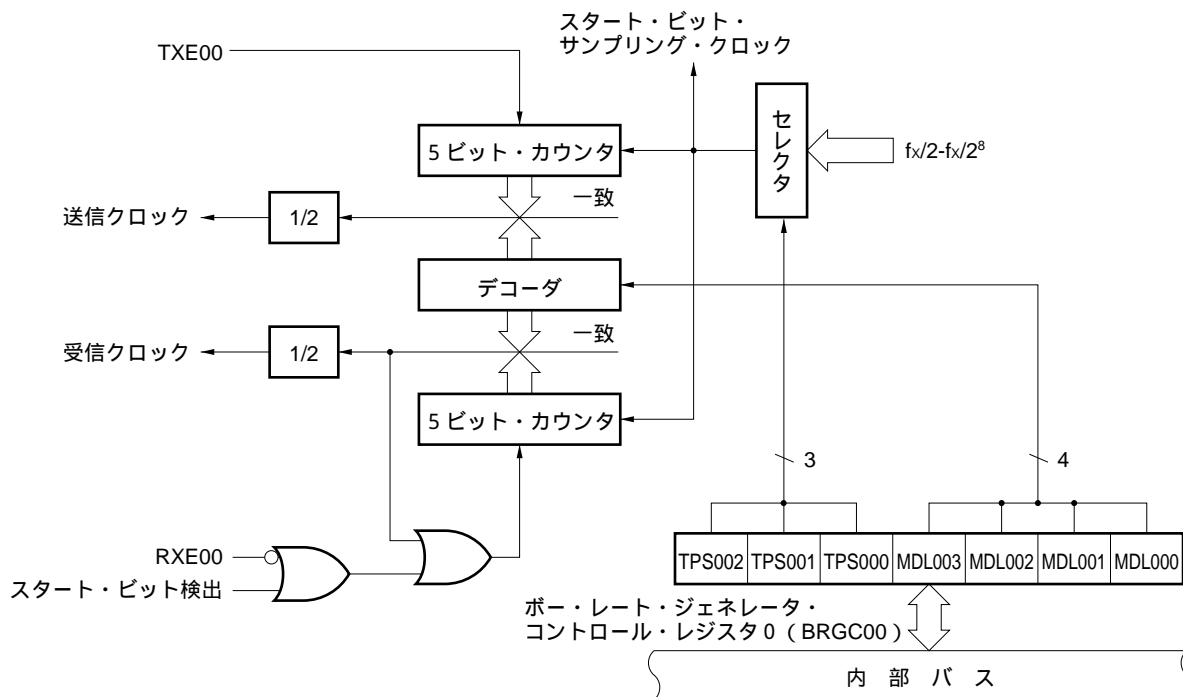
備考 n = 0, 1

図12 - 1 シリアル・インタフェースUART00のブロック図



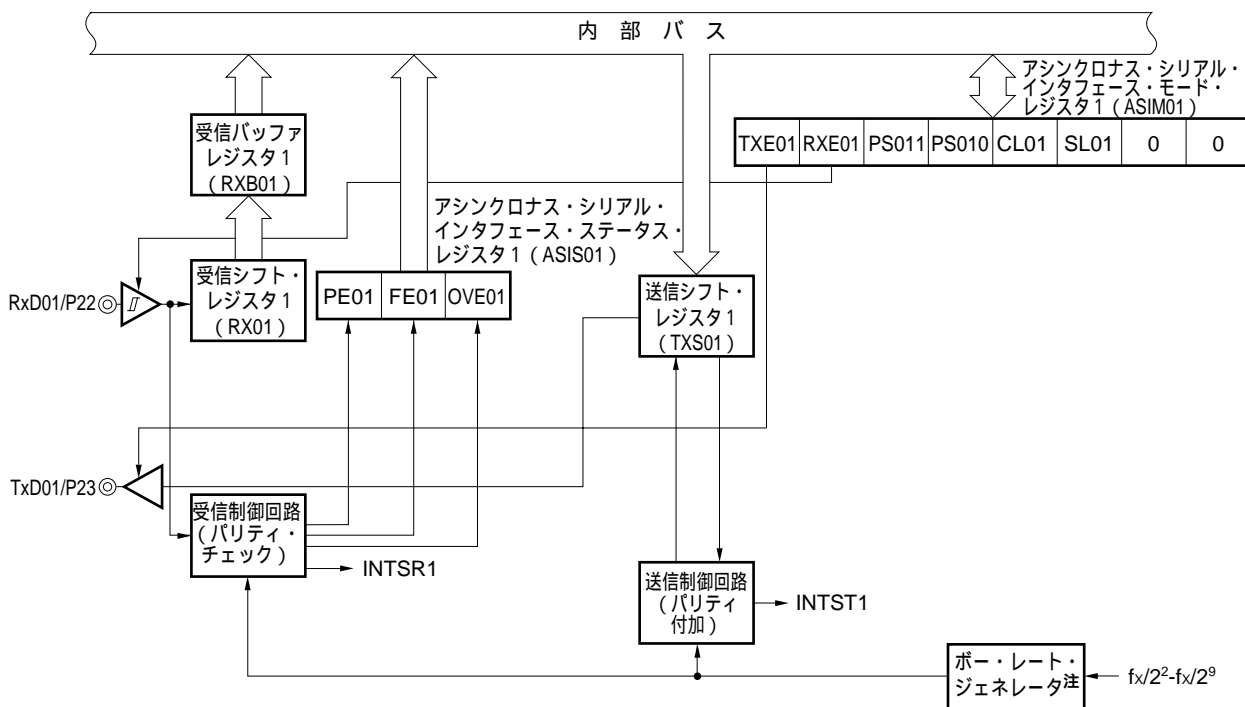
注 ポー・レート・ジェネレータの構成は、図12 - 2を参照してください。

図12 - 2 UART00のポー・レート・ジェネレータのブロック図



備考 TXE00 : アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM00) のビット7
 RXE00 : " のビット6

図12 - 3 シリアル・インタフェースUART01のブロック図



注 ポー・レート・ジェネレータの構成は、図12 - 4を参照してください。

(1) 送信シフト・レジスタ n (TXS0 n)

送信データを設定するレジスタです。TXS0 n に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS0 n に書き込んだデータのビット0-6が送信データとして転送されます。TXS0 n にデータを書き込むことにより、送信動作を開始します。

TXS0 n は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXS0 n への書き込みを行わないでください。

TXS0 n と受信バッファ・レジスタ n (RXB0 n)は同一アドレスに割り当てられており、読み出しを行った場合にはRXB0 n の値が読み出されます。

(2) 受信シフト・レジスタ n (RX0 n)

RxD0 n 端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ n (RXB0 n)へ転送します。

RX0 n はプログラムで直接操作できません。

(3) 受信バッファ・レジスタ n (RXB0 n)

受信データを保持するレジスタです。データを1バイト受信することに受信シフト・レジスタ n (RX0 n)から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB0 n のビット0-6に転送され、RXB0 n のMSBは必ず0になります。

RXB0 n は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 RXB0 n と送信シフト・レジスタ n (TXS0 n)は同一アドレスに割り当てられており、書き込みを行った場合にはTXS0 n に値が書き込まれます。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ n (ASIM0 n)に設定された内容に従って、送信シフト・レジスタ n (TXS0 n)に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作を制御します。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ n (ASIM0 n)に設定された内容に従って、受信動作を制御します。また受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ n (ASIS0 n)にセットします。

備考 $n=0, 1$

12.3 シリアル・インタフェースを制御するレジスタ

シリアル・インタフェースUART00, UART01は、次の6種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ0, 1 (ASIM00, ASIM01)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0, 1 (ASIS00, ASIS01)
- ・ボー・レート・ジェネレータ・コントロール・レジスタ0, 1 (BRGC00, BRGC01)

(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ0, 1 (ASIM00, ASIM01)

ASIM00, ASIM01は、アシンクロナス・シリアル・インタフェースのシリアル転送動作を制御する8ビットのレジスタです。

ASIM00, ASIM01は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

注意 UARTモード時、ポート・モード・レジスタ (PM2x) を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

・受信時

P20 (RxD00), P22 (RxD01) を入力モード (PM20 = 1, PM22 = 1) に設定

・送信時

P21 (TxD00), P23 (TxD01) を出力モード (PM21 = 0, PM23 = 0) に設定

・送受信時

P20, P22を入力モード, P21, P23を出力モードにそれぞれ設定

図12 - 5 アシncロナス・シリアル・インタフェース・モード・レジスタ0のフォーマット

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	ISRM00	IRDAM00	F F A 0 H	0 0 H	R/W

TXE00	RXE00	動作モード	RxD00/P20端子の機能	TxD00/P21端子の機能
0	0	動作停止	ポート機能 (P20)	ポート機能 (P21)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD00)	
1	0	UARTモード (送信のみ)	ポート機能 (P20)	シリアル機能 (TxD00)
1	1	UARTモード (送受信)	シリアル機能 (RxD00)	

PS001	PS000	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ付加 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL00	キャラクタ長の指定
0	7ビット
1	8ビット

SL00	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM00	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

IRDAM00	赤外線データ転送モードの動作の指定 ^{注1}
0	UART (送受信) モード
1	赤外線データ転送 (送受信) モード ^{注2}

注1 . UART / 赤外線データ転送モードの指定は, TXE00, RXE00により制御されます。

- 2 . 赤外線データ転送モード使用時は, ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC00) に必ず00Hを設定してください。

注意 動作モードは, シリアル送受信動作を停止させたあとに切り替えてください。

図12 - 6 アシクロナス・シリアル・インタフェース・モード・レジスタ1のフォーマット

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM01	TXE01	RXE01	PS011	PS010	CL01	SL01	0	0	F F A 8 H	0 0 H	R/W

TXE01	RXE01	動作モード	RxD01/P22端子の機能	TxD01/P23端子の機能
0	0	動作停止	ポート機能 (P22)	ポート機能 (P23)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD01)	
1	0	UARTモード (送信のみ)	ポート機能 (P22)	シリアル機能 (TxD01)
1	1	UARTモード (送受信)	シリアル機能 (RxD01)	

PS011	PS010	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に 0 パリティ付加 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL01	キャラクタ長の指定
0	7ビット
1	8ビット

SL01	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意 動作モードは, シリアル送受信動作を停止させたあとに切り替えてください。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0, 1 (ASIS00, ASIS01)

ASIS00, ASIS01は、受信エラー発生時、エラーの種類を表示するレジスタです。

ASIS00, ASIS01は、8ビット・メモリ操作命令で読み出します。

RESET入力により、00Hになります。

図12-7 アシクロナス・シリアル・インタフェース・ステータス・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS00	0	0	0	0	0	PE00	FE00	OVE00	FFA1H	00H	R
PE00	パリティ・エラー・フラグ										
0	パリティ・エラー未発生										
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)										
FE00	フレーミング・エラー・フラグ										
0	フレーミング・エラー未発生										
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)										
OVE00	オーバラン・エラー・フラグ										
0	オーバラン・エラー未発生										
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)										

注1 . アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM00) のビット2 (SL00) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2 . オーバラン・エラーが発生したとき、受信バッファ・レジスタ0 (RXB00) を必ず読み出してください。

RXB00を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

図12 - 8 アシクロナス・シリアル・インタフェース・ステータス・レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS01	0	0	0	0	0	PE01	FE01	OVE01	FFA9H	00H	R
PE01	パリティ・エラー・フラグ										
0	パリティ・エラー未発生										
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)										
FE01	フレーミング・エラー・フラグ										
0	フレーミング・エラー未発生										
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)										
OVE01	オーバラン・エラー・フラグ										
0	オーバラン・エラー未発生										
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)										

注1 . アシクロナス・シリアル・インタフェース・モード・レジスタ1 (ASIM01) のビット2 (SL01) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2 . オーバラン・エラーが発生したとき、受信バッファ・レジスタ1 (RXB01) を必ず読み出してください。

RXB01を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ0, 1 (BRGC00, BRGC01)

BRGC00, BRGC01は、アシンクロナス・シリアル・インタフェースのシリアル・クロックを設定するレジスタです。

BRGC00, BRGC01は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

★ 図12 - 9 ポー・レート・ジェネレータ・コントロール・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC00	0	TPS002	TPS001	TPS000	MDL003	MDL002	MDL001	MDL000	F F A 2 H	0 0 H	R/W

TPS002	TPS001	TPS000	5ビット・カウンタのソース・クロック選択		
				fx = 12 MHz動作時 ^注	fx = 8.38 MHz動作時
0	0	0	fx/2	6 MHz	4.19 MHz
0	0	1	fx/2 ²	3 MHz	2.1 MHz
0	1	0	fx/2 ³	1.5 MHz	1.05 MHz
0	1	1	fx/2 ⁴	750 kHz	524 kHz
1	0	0	fx/2 ⁵	375 kHz	262 kHz
1	0	1	fx/2 ⁶	187 kHz	131 kHz
1	1	0	fx/2 ⁷	93.7 kHz	65.5 kHz
1	1	1	fx/2 ⁸	46.8 kHz	32.7 kHz

MDL003	MDL002	MDL001	MDL000	ポー・レート・ジェネレータの入力クロックの選択	k
0	0	0	0	f _{sck} /16	0
0	0	0	1	f _{sck} /17	1
0	0	1	0	f _{sck} /18	2
0	0	1	1	f _{sck} /19	3
0	1	0	0	f _{sck} /20	4
0	1	0	1	f _{sck} /21	5
0	1	1	0	f _{sck} /22	6
0	1	1	1	f _{sck} /23	7
1	0	0	0	f _{sck} /24	8
1	0	0	1	f _{sck} /25	9
1	0	1	0	f _{sck} /26	10
1	0	1	1	f _{sck} /27	11
1	1	0	0	f _{sck} /28	12
1	1	0	1	f _{sck} /29	13
1	1	1	0	f _{sck} /30	14
1	1	1	1	設定禁止	-

注 拡張規格品のみ。

注意1 . 通信動作中にBRGC00への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。

2 . 赤外線データ転送モードで使用するときは、BRGC00に00Hを設定してください。

備考1 . f_x : システム・クロック発振周波数

2 . f_{sck} : 5ビット・カウンタのソース・クロック

3 . k : MDL000-MDL003で設定した値 (0 k 14)

★

図12 - 10 ポー・レート・ジェネレータ・コントロール・レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC01	0	TPS012	TPS011	TPS010	MDL013	MDL012	MDL011	MDL010	F F A A H	0 0 H	R/W

TPS012	TPS011	TPS010	5ビット・カウンタのソース・クロック選択		
				fx = 12 MHz動作時 ^注	fx = 8.38 MHz動作時
0	0	0	fx/2 ²	3 MHz	2 MHz
0	0	1	fx/2 ³	1.5 MHz	1 MHz
0	1	0	fx/2 ⁴	750 kHz	524 kHz
0	1	1	fx/2 ⁵	375 kHz	262 kHz
1	0	0	fx/2 ⁶	187 kHz	131 kHz
1	0	1	fx/2 ⁷	93.7 kHz	65.5 kHz
1	1	0	fx/2 ⁸	46.8 kHz	32.7 kHz
1	1	1	fx/2 ⁹	23.4 kHz	16.4 kHz

MDL013	MDL012	MDL011	MDL010	ポー・レート・ジェネレータの入力クロックの選択	k
0	0	0	0	fscck/16	0
0	0	0	1	fscck/17	1
0	0	1	0	fscck/18	2
0	0	1	1	fscck/19	3
0	1	0	0	fscck/20	4
0	1	0	1	fscck/21	5
0	1	1	0	fscck/22	6
0	1	1	1	fscck/23	7
1	0	0	0	fscck/24	8
1	0	0	1	fscck/25	9
1	0	1	0	fscck/26	10
1	0	1	1	fscck/27	11
1	1	0	0	fscck/28	12
1	1	0	1	fscck/29	13
1	1	1	0	fscck/30	14
1	1	1	1	設定禁止	-

注 拡張規格品のみ。

注意 通信動作中にBRGC01への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGC01への書き込みを行わないでください。

- 備考1 . fx : システム・クロック発振周波数
 2 . fscck : 5ビット・カウンタのソース・クロック
 3 . k : MDL010-MDL013で設定した値 (0 k 14)

12.4 シリアル・インタフェースの動作

シリアル・インタフェースUART00, UART01には、次の3種類の動作モードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード
- ・赤外線データ転送モード (UART00のみ)

12.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、端子を通常のポートとして使用できます。

(1) レジスタの設定

動作停止モードは、アシンクロナス・シリアル・インタフェース・モード・レジスタ0, 1 (ASIM00, ASIM01) で設定します。

ASIM00, ASIM01は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM0n	TXE0n	RXE0n	PS0n1	PS0n0	CL0n	SL0n	ISRM0n	IRDAM0n	FFA0H, 00H	00H	R/W
									FFA4H		

TXE0n	RXE0n	動作モード	RxD00/P20, RxD01/P22 端子の機能	TxD00/P21, TxD01/P23 端子の機能
0	0	動作停止	ポート機能	ポート機能
0	1	UARTモード (受信のみ)	シリアル機能	
1	0	UARTモード (送信のみ)	ポート機能	シリアル機能
1	1	UARTモード (送受信)	シリアル機能	

注意 動作モードは、シリアル送受信動作を停止させたあとに切り替えてください。

備考 n = 0, 1

12.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

- ★ ボー・レートは、ボー・レート・ジェネレータ・コントロール・レジスタ0, 1 (BRGC00, BRGC01) の設定により、UART00の場合は600 bps-115.2 kbps (fx = 8.38 MHz動作時)、1200 bps-153.6 kbps (fx = 12 MHz動作時) から、UART01の場合は300 bps-38.4 kbps (fx = 8.38 MHz動作時)、600 bps-76.8 kbps (fx = 12 MHz動作時) から選択できます。

(1) レジスタの設定

UARTモードは、アシクロナス・シリアル・インタフェース・モード・レジスタ0, 1 (ASIM00, ASIM01)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ0, 1 (ASIS00, ASIS01)、ボー・レート・ジェネレータ・コントロール・レジスタ0, 1 (BRGC00, BRGC01) で設定します。

(a) アシクロナス・シリアル・インタフェース・モード・レジスタ0, 1 (ASIM00, ASIM01)

ASIM00, ASIM01は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

注意 UARTモード時、ポート・モード・レジスタ (PM2x) を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

・受信時

P20 (RxD00)、P22 (RxD01) を入力モード (PM20 = 1, PM22 = 1) に設定

・送信時

P21 (TxD00)、P23 (TxD01) を出力モード (PM21 = 0, PM23 = 0) に設定

・送受信時

P20, P22を入力モード、P21, P23を出力モードにそれぞれ設定

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	ISRM00	IRDAM00	F F A 0 H	0 0 H	R/W

TXE00	RXE00	動作モード	RxD00/P20端子の機能	TxD00/P21端子の機能
0	0	動作停止	ポート機能 (P20)	ポート機能 (P21)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD00)	
1	0	UARTモード (送信のみ)	ポート機能 (P20)	シリアル機能 (TxD00)
1	1	UARTモード (送受信)	シリアル機能 (RxD00)	

PS001	PS000	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ付加 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL00	キャラクタ長の指定
0	7ビット
1	8ビット

SL00	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM00	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

IRDAM00	赤外線データ転送モードの動作の指定 ^{注1}
0	UART (送受信) モード
1	赤外線データ転送 (送受信) モード ^{注2}

注1 . UART / 赤外線データ転送モードの指定は, TXE00, RXE00により制御されます。

2 . 赤外線データ転送モード使用時は, ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC00) に必ず00Hを設定してください。

注意 動作モードは, シリアル送受信動作を停止させたあとに切り替えてください。

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM01	TXE01	RXE01	PS011	PS010	CL01	SL01	0	0	F F A 8 H	0 0 H	R/W

TXE01	RXE01	動作モード	RxD01/P22端子の機能	TxD01/P23端子の機能
0	0	動作停止	ポート機能 (P22)	ポート機能 (P23)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD01)	
1	0	UARTモード (送信のみ)	ポート機能 (P22)	シリアル機能 (TxD01)
1	1	UARTモード (送受信)	シリアル機能 (RxD01)	

PS011	PS010	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に 0 パリティ付加 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL01	キャラクタ長の指定
0	7 ビット
1	8 ビット

SL01	送信データのストップ・ビット長の指定
0	1 ビット
1	2 ビット

注意 動作モードは, シリアル送受信動作を停止させたあとに切り替えてください。

(b) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0, 1 (ASIS00, ASIS01)

ASIS00, ASIS01は, 8ビット・メモリ操作命令で読み出します。

RESET入力により, 00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS0n	0	0	0	0	0	PE0n	FE0n	OVE0n	FFA1H, 00H		R
PE0n	パリティ・エラー・フラグ								FFA9H		
0	パリティ・エラー未発生										
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)										
FE0n	フレーミング・エラー・フラグ										
0	フレーミング・エラー未発生										
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)										
OVE0n	オーバラン・エラー・フラグ										
0	オーバラン・エラー未発生										
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)										

注1 . アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIM0n) のビット2 (SL0n) でストップ・ビット長を2ビットに設定した場合も, 受信時のストップ・ビット検出は1ビットのみです。

2 . オーバラン・エラーが発生したとき, 受信バッファ・レジスタn (RXB0n) を必ず読み出してください。

RXB0nを読み出すまで, データ受信のたびにオーバラン・エラーが発生し続けます。

備考 n=0, 1

★ (c) ポー・レート・ジェネレータ・コントロール・レジスタ0, 1 (BRGC00, BRGC01)

BRGC00, BRGC01は, 8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC00	0	TPS002	TPS001	TPS000	MDL003	MDL002	MDL001	MDL000	F F A 2 H	0 0 H	R/W

TPS002	TPS001	TPS000	5ビット・カウンタのソース・クロック選択		
				fx = 12 MHz動作時 ^注	fx = 8.38 MHz動作時
0	0	0	fx/2	6 MHz	4.19 MHz
0	0	1	fx/2 ²	3 MHz	2.1 MHz
0	1	0	fx/2 ³	1.5 MHz	1.05 MHz
0	1	1	fx/2 ⁴	750 kHz	524 kHz
1	0	0	fx/2 ⁵	375 kHz	262 kHz
1	0	1	fx/2 ⁶	187 kHz	131 kHz
1	1	0	fx/2 ⁷	93.7 kHz	65.5 kHz
1	1	1	fx/2 ⁸	46.8 kHz	32.7 kHz

MDL003	MDL002	MDL001	MDL000	ポー・レート・ジェネレータの入力クロックの選択	k
0	0	0	0	fscck/16	0
0	0	0	1	fscck/17	1
0	0	1	0	fscck/18	2
0	0	1	1	fscck/19	3
0	1	0	0	fscck/20	4
0	1	0	1	fscck/21	5
0	1	1	0	fscck/22	6
0	1	1	1	fscck/23	7
1	0	0	0	fscck/24	8
1	0	0	1	fscck/25	9
1	0	1	0	fscck/26	10
1	0	1	1	fscck/27	11
1	1	0	0	fscck/28	12
1	1	0	1	fscck/29	13
1	1	1	0	fscck/30	14
1	1	1	1	設定禁止	-

注 拡張規格品のみ。

注意1. 通信動作中にBRGC00への書き込みを行うと, ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって, 通信動作中にはBRGC00への書き込みを行わないでください。

2. 赤外線データ転送モードで使用するときは, BRGC00に00Hを設定してください。

備考1. fx : システム・クロック発振周波数

2. fscck : 5ビット・カウンタのソース・クロック

3. k : MDL010-MDL013で設定した値 (0 k 14)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC01	0	TPS012	TPS011	TPS010	MDL013	MDL012	MDL011	MDL010	F F A A H	0 0 H	R/W

TPS012	TPS011	TPS010	5ビット・カウンタのソース・クロック選択		
				$f_x = 12 \text{ MHz}$ 動作時 ^注	$f_x = 8.38 \text{ MHz}$ 動作時
0	0	0	$f_x/2^2$	3 MHz	2 MHz
0	0	1	$f_x/2^3$	1.5 MHz	1 MHz
0	1	0	$f_x/2^4$	750 kHz	524 kHz
0	1	1	$f_x/2^5$	375 kHz	262 kHz
1	0	0	$f_x/2^6$	187 kHz	131 kHz
1	0	1	$f_x/2^7$	93.7 kHz	65.5 kHz
1	1	0	$f_x/2^8$	46.8 kHz	32.7 kHz
1	1	1	$f_x/2^9$	23.4 kHz	16.4 kHz

MDL013	MDL012	MDL011	MDL010	ポー・レート・ジェネレータの入力クロックの選択	k
0	0	0	0	$f_{sck}/16$	0
0	0	0	1	$f_{sck}/17$	1
0	0	1	0	$f_{sck}/18$	2
0	0	1	1	$f_{sck}/19$	3
0	1	0	0	$f_{sck}/20$	4
0	1	0	1	$f_{sck}/21$	5
0	1	1	0	$f_{sck}/22$	6
0	1	1	1	$f_{sck}/23$	7
1	0	0	0	$f_{sck}/24$	8
1	0	0	1	$f_{sck}/25$	9
1	0	1	0	$f_{sck}/26$	10
1	0	1	1	$f_{sck}/27$	11
1	1	0	0	$f_{sck}/28$	12
1	1	0	1	$f_{sck}/29$	13
1	1	1	0	$f_{sck}/30$	14
1	1	1	1	設定禁止	-

注 拡張規格品のみ。

注意 通信動作中にBRGC01への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGC01への書き込みを行わないでください。

- 備考 1 . f_x : システム・クロック発振周波数
 2 . f_{sck} : 5ビット・カウンタのソース・クロック
 3 . k : MDL010-MDL013で設定した値 (0 k 14)

生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号になります。

・システム・クロックによるボー・レート用の送受信クロックの生成

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{m+1} (k+16)} [\text{Hz}]$$

f_x : システム・クロック発振周波数

m : TPS0n0-TPS0n2 ($n = 0, 1$) で設定した値

(UART00の場合は $1 \leq m \leq 8$, UART01の場合は $2 \leq m \leq 9$)

k : MDL0n0-MDL0n3 ($n = 0, 1$) で設定した値 ($0 \leq k \leq 14$)

5ビット・カウンタのソース・クロックと m の値との関係を表12 - 2, 表12 - 3に示します。また, システム・クロックとボー・レートの関係を表12 - 4に示します。

★ 表12 - 2 5ビット・カウンタのソース・クロックと m の値の関係 (UART00の場合)

TPS002	TPS001	TPS000	5ビット・カウンタのソース・クロック選択			m
				$f_x = 12 \text{ MHz}$ 動作時 ^注	$f_x = 8.38 \text{ MHz}$ 動作時	
0	0	0	$f_x/2$	6 MHz	4.19 MHz	1
0	0	1	$f_x/2^2$	3 MHz	2.1 MHz	2
0	1	0	$f_x/2^3$	1.5 MHz	1.05 MHz	3
0	1	1	$f_x/2^4$	750 kHz	524 kHz	4
1	0	0	$f_x/2^5$	375 kHz	262 kHz	5
1	0	1	$f_x/2^6$	187 kHz	131 kHz	6
1	1	0	$f_x/2^7$	93.7 kHz	65.5 kHz	7
1	1	1	$f_x/2^8$	46.8 kHz	32.7 kHz	8

注 拡張規格品のみ。

★ 表12 - 3 5ビット・カウンタのソース・クロックと m の値の関係 (UART01の場合)

TPS012	TPS011	TPS010	5ビット・カウンタのソース・クロック選択			m
				$f_x = 12 \text{ MHz}$ 動作時 ^注	$f_x = 8.38 \text{ MHz}$ 動作時	
0	0	0	$f_x/2^2$	3 MHz	2 MHz	2
0	0	1	$f_x/2^3$	1.5 MHz	1 MHz	3
0	1	0	$f_x/2^4$	750 kHz	524 kHz	4
0	1	1	$f_x/2^5$	375 kHz	262 kHz	5
1	0	0	$f_x/2^6$	187 kHz	131 kHz	6
1	0	1	$f_x/2^7$	93.7 kHz	65.5 kHz	7
1	1	0	$f_x/2^8$	46.8kHz	32.7 kHz	8
1	1	1	$f_x/2^9$	23.4 kHz	16.4 kHz	9

注 拡張規格品のみ。

★ 表12 - 4 システム・クロックとボー・レートの関係

システム・クロック fx (MHz)	12.000 ^注			10.000 ^注			8.386			8.000			7.3728			5.000			4.1943		
ボー・レート (bps)	BRGC 00	BRGC 01	誤差 (%)	BRGC 00	BRGC 01	誤差 (%)	BRGC 00	BRGC 01	誤差 (%)	BRGC 00	BRGC 01	誤差 (%)	BRGC 00	BRGC 01	誤差 (%)	BRGC 00	BRGC 01	誤差 (%)	BRGC 00	BRGC 01	誤差 (%)
150	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	7BH	1.14
300	-	-	-	-	-	-	-	7BH	1.10	-	7AH	0.16	-	78H	0	-	70H	1.73	7BH	6BH	1.14
600	-	74H	-2.34	-	70H	1.73	7BH	6BH	1.10	7AH	6AH	0.16	78H	68H	0	70H	60H	1.73	6BH	5BH	1.14
1200	79H	64H	-2.34	70H	60H	1.73	6BH	5BH	1.10	6AH	5AH	0.16	68H	58H	0	60H	50H	1.73	5BH	4BH	1.14
2400	69H	54H	-2.34	60H	50H	1.73	5BH	4BH	1.10	5AH	4AH	0.16	58H	48H	0	50H	40H	1.73	4BH	3BH	1.14
4800	59H	44H	-2.34	50H	40H	1.73	4BH	3BH	1.10	4AH	3AH	0.16	48H	38H	0	40H	30H	1.73	3BH	2BH	1.14
9600	49H	34H	-2.34	40H	30H	1.73	3BH	2BH	1.10	3AH	2AH	0.16	38H	28H	0	30H	20H	1.73	2BH	1BH	1.14
19200	39H	24H	-2.34	30H	20H	1.73	2BH	1BH	1.10	2AH	1AH	0.16	28H	18H	0	20H	10H	1.73	1BH	0BH	1.14
31250	2DH	18H	0	24H	14H	0	21H	11H	-1.34	20H	10H	0	1BH	0BH	1.69	14H	04H	0	11H	01H	-1.31
38400	29H	14H	-2.34	20H	10H	1.73	1BH	0BH	1.10	1AH	0AH	0.16	18H	08H	0	10H	00H	1.73	0BH	-	1.14
76800	19H	04H	-2.34	10H	00H	1.73	0BH	-	1.10	0AH	-	0.16	08H	-	0	00H	-	1.73	-	-	-
115200	0FH	-	0.16	06H	-	-1.36	02H	-	1.10	01H	-	2.12	00H	-	0	-	-	-	-	-	-
153600	04H	-	-2.34	00H	-	1.73	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

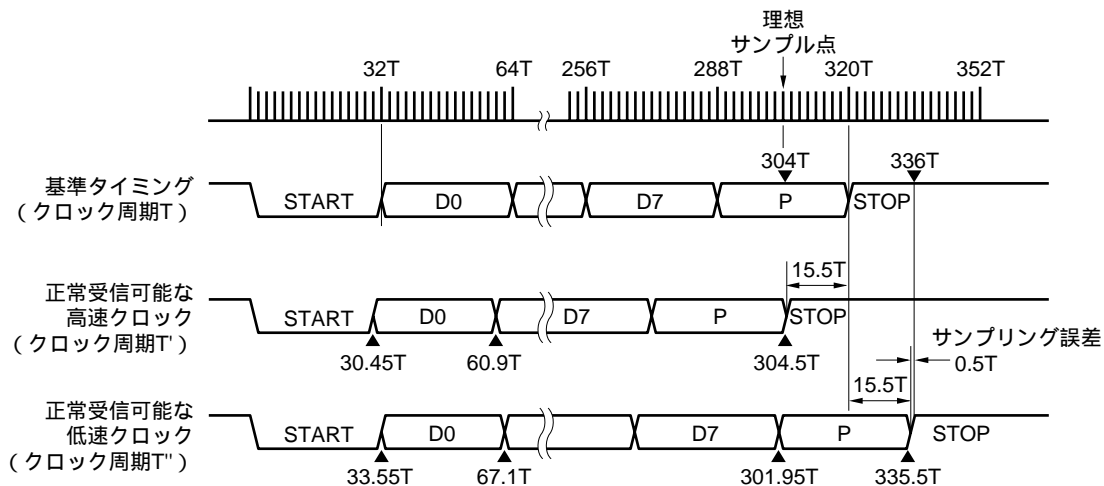
注 拡張規格品のみ。

・ボー・レートの許容誤差範囲

ボー・レートの許容範囲は、1フレームのビット数、およびカウンタの分周比 $[1/(16+k)]$ に依存します。

図12 - 11にボー・レートの許容誤差の例を示します。

図12 - 11 サンプルング誤差を考慮したボー・レートの許容誤差 (k = 0の場合)



備考 T : 5 ビット・カウンタのソース・クロック周期

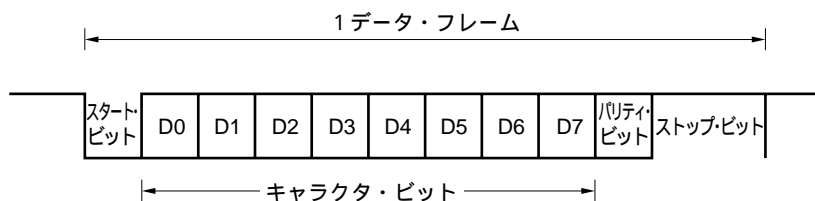
$$\text{ボー・レート許容誤差 (k = 0の場合)} = \frac{\pm 15.5}{320} \times 100 = 4.8438 (\%)$$

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットを図12 - 12に示します。

図12 - 12 アシクロナス・シリアル・インタフェースの送受信データのフォーマット



1 データ・フレームは、次に示す各ビットで構成されます。

- ・スタート・ビット..... 1ビット
- ・キャラクタ・ビット... 7ビット / 8ビット
- ・パリティ・ビット..... 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット..... 1ビット / 2ビット

1 データ・フレーム内のキャラクタ・ビット長、パリティ・ビット、ストップ・ビット長は、アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIM0n) で指定します。

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット (ビット0-6) のみが有効となり、送信の場合は最上位ビット (ビット7) は無視され、受信の場合は必ず最上位ビット (ビット7) は“0”になります。

シリアル転送レートは、ボー・レート・ジェネレータ・コントロール・レジスタn (BRGC0n) で設定します。

また、シリアル・データの受信エラーが発生した場合、アシクロナス・シリアル・インタフェース・ステータス・レジスタn (ASIS0n) の状態を読むことによって受信エラーの内容を判定できます。

備考 n = 0, 1

(b) パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出できます。0パリティとパリティなしでは、誤りを検出できません。

(i) 偶数パリティ**・送信時**

パリティ・ビットを含めた送信データ中の、値が^a 1 のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が^a 1 のビットの数が奇数個：1

送信データ中に、値が^a 1 のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が^a 1 のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が^a 1 のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が^a 1 のビットの数が奇数個：0

送信データ中に、値が^a 1 のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が^a 1 のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットを検査しません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

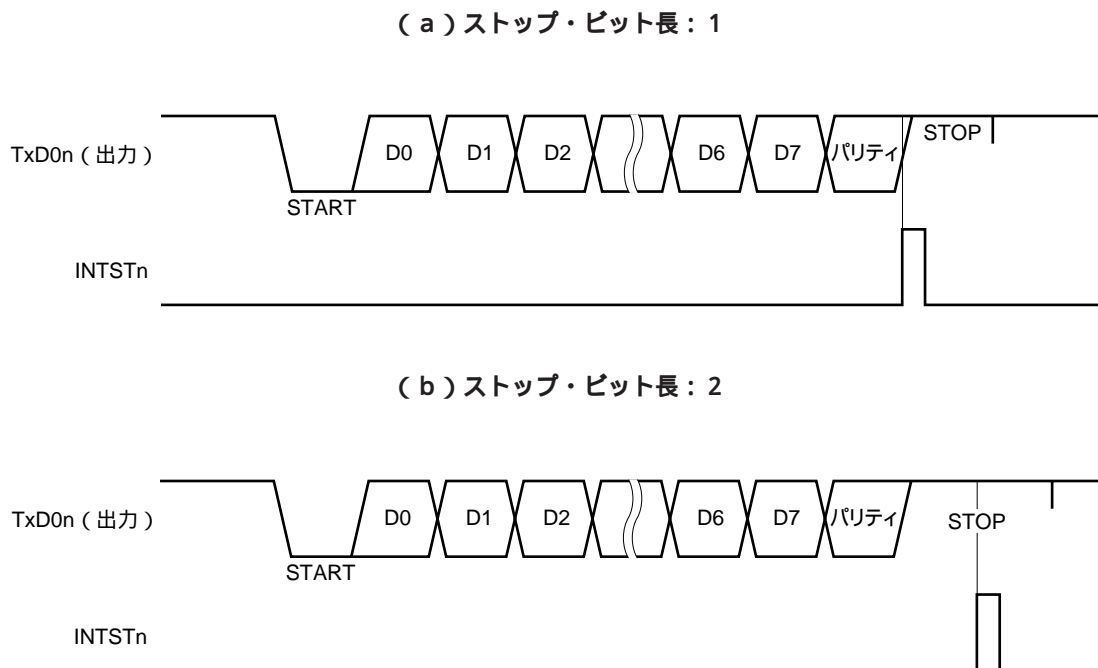
受信時にもパリティ・ビットがないものとして受信します。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

送信動作は、アシンクロナス・シリアル・インタフェース・モードn (ASIM0n) のTXE0nビットがセット (1) されると許可状態となり、送信シフト・レジスタn (TXS0n) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、送信シフト・レジスタn (TXS0n) 内のデータがシフト・アウトされ、送信シフト・レジスタn (TXS0n) が空になると送信完了割り込み要求 (INTSTn) が発生します。

図12 - 13 アシンクロナス・シリアル・インタフェース送信完了割り込み要求発生タイミング



注意 送信動作中にはアシンクロナス・シリアル・インタフェース・モード・レジスタn (ASIM0n) を書き換えないでください。送信中にASIM0nを書き換えると、それ以降の送信動作ができなくなる場合があります (RESET入力により、正常になります)。

送信中かどうかは、送信完了割り込み要求 (INTSTn) またはINTSTnによりセットされる割り込み要求フラグ (STIFn) を用いて、ソフトウェアにより判断できます。

備考 n = 0 , 1

(d) 受信

受信動作は、アシンクロナス・シリアル・インタフェース・モード・レジスタ n (ASIM0 n) のRXE0 n ビットがセット (1) されると許可状態となり、RxD0 n 端子入力のサンプリングを行います。

RxD0 n 端子入力のサンプリングはASIM0 n で指定したシリアル・クロックで行います。

RxD0 n 端子入力が入ロウ・レベルになると、ポー・レート・ジェネレータの5ビット・カウンタがカウントを開始し、設定したポー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD0 n 端子入力をサンプリングした結果、ロウ・レベルであれば、スタート・ビットとして認識し、5ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

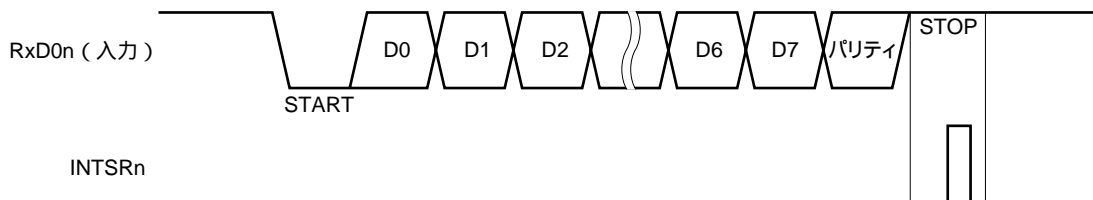
1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ n (RXB0 n) に転送し、受信完了割り込み要求 (INTSR n) を発生します。

また、エラーが発生しても、RXB0 n にエラーの発生した受信データを転送します。エラー発生時、ASIM0 n のビット1 (ISRM0 n) がクリア (0) されている場合は、INTSR n を発生します。

ISRM0 n ビットがセット (1) されている場合は、INTSR n は発生しません。

なお、受信動作中にRXE0 n ビットをリセット (0) すると、ただちに受信動作を停止します。このとき、RXB0 n およびASIS0 n の内容は変化せず、また、INTSR n 、INTSER0も発生しません。

図12-14 アシンクロナス・シリアル・インタフェース受信完了割り込み要求発生タイミング



注意 受信エラー発生時にも、受信バッファ・レジスタ n (RXB0 n) は必ず読み出してください。RXB0 n を読み出さないと、次のデータ受信時にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

備考 $n = 0, 1$

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。UART00の場合、データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS00) 内に立つと、受信エラー割り込み要求 (INTSER0) を発生します。受信エラー割り込み要求は、受信完了割り込み要求 (INTSR0) より先に発生します。UART01の場合は、受信エラー割り込み要求は発生しません。受信エラーの要因を表12 - 5 に示します。

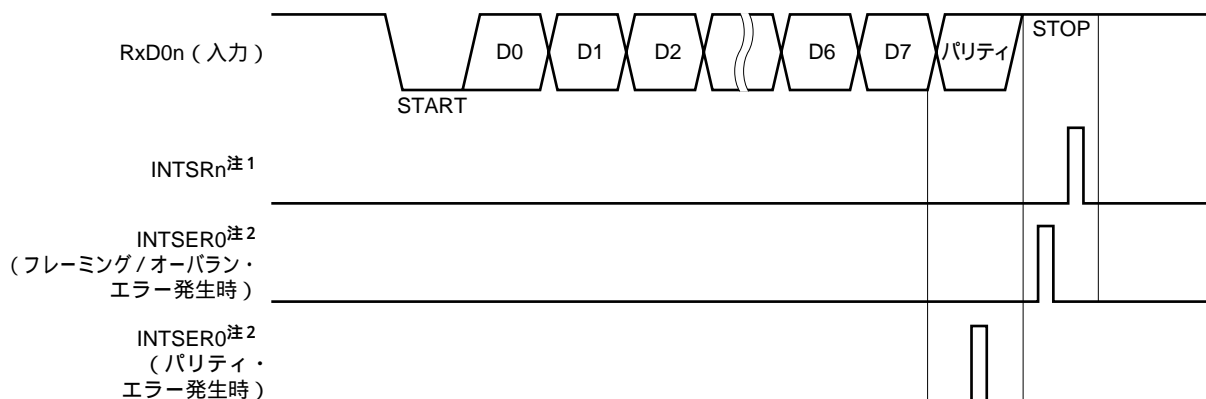
ASIS0nの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます (図12 - 14, 図12 - 15参照)。

ASIS0nの内容は、受信バッファ・レジスタn (RXB0n) を読み出すか、次のデータを受信することでリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表12 - 5 受信エラーの要因

受信エラー	要 因	ASIS0nの値
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない	04H
フレーミング・エラー	ストップ・ビットが検出されない	02H
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了	01H

図12 - 15 受信エラー・タイミング



注1 . ISRM0nビットがセット (1) されている場合に受信エラーが発生したときは、INTSRnは発生しません。

2 . UART01の場合は、受信エラー割り込み要求は発生しません。

注意1 . ASIS0nの内容は、受信バッファ・レジスタn (RXB0n) を読み出すか、次のデータを受信することにより、リセット (0) されます。エラーの内容が知りたい場合には、必ずRXB0nを読み出す前にASIS0nを読み出してください。

2 . 受信エラー発生時にも、受信バッファ・レジスタn (RXB0n) は必ず読み出してください。RXB0nを読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

備考 n = 0, 1

12.4.3 赤外線データ転送モード

注意 赤外線データ転送モードは、UART00でのみ使用できます。

赤外線データ転送モードでは、次に示すデータ・フォーマットでのパルス出力およびパルス受信が可能です。

★ **備考** SIR規格には対応していません（9600 bpsでのネゴシエーションは行えません）。

(1) データ・フォーマット

UARTモードのデータ・フォーマットと比較した赤外線データ転送モードのデータ・フォーマットを図12-16に示します。

IRフレームは、スタート・ビット、8個のデータ・ビット、1ビットのストップ・ビットで終わるパルスからなるUARTフレームのビット列に対応します。

また、そのIRフレームで送受信される電気的パルスの長さは、1ビットの周期の3/16になります。1ビット周期の3/16のパルスは、ビット周期の真ん中から立ち上がります（下図参照）。

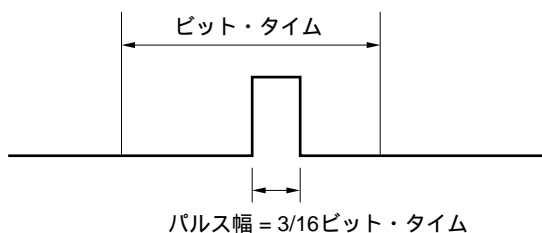
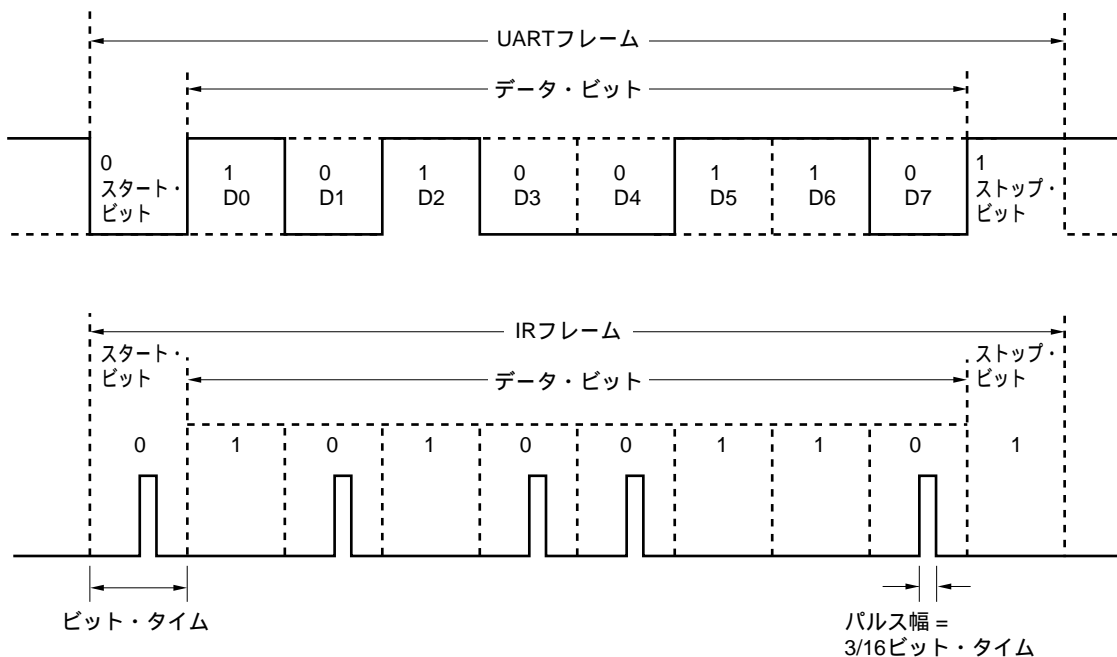


図12-16 赤外線データ転送モードとUARTモードのデータ・フォーマットの比較



(2) ビット・レートとパルス幅

ビット・レート, ビット・レート許容誤差, パルス幅の値を表12 - 6 に示します。

表12 - 6 ビット・レートとパルス幅の値

ビット・レート (kbits/s)	ビット・レート許容誤差 (% of bit rate)	パルス幅最小値 (μ s) 注2	パルス幅3/16公称値 (μ s)	パルス幅最大値 (μ s)
115.2注1	+/-0.87	1.41	1.63	2.71

注1 . $f_x = 7.3728$ MHz動作時

2 . デジタル・ノイズ除去回路を1.41 MHz以上の周波数でマイコンに使用した場合。

注意 赤外線データ転送モードで使用するときは, ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC00) に00Hを設定してください。

備考 f_x : システム・クロック発振周波数

(3) 赤外線データ転送モードで設定可能なボー・レート

表12 - 7 赤外線データ転送モードで設定可能なボー・レート

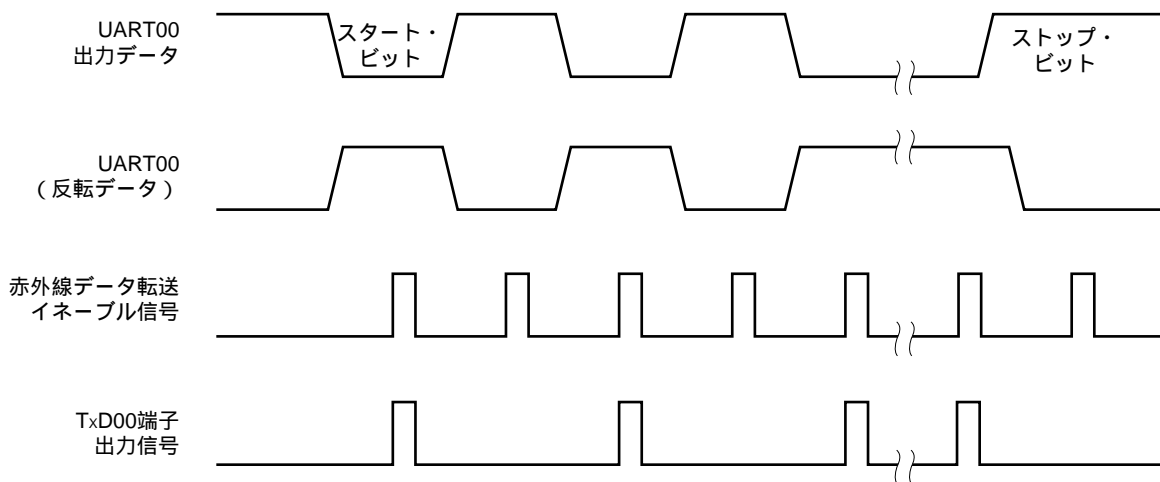
システム・クロック f_x (MHz)	ボー・レート (bps)
12.000注	187500注
8.386	131031
8.000	125000
7.3728	115200
5.000	78125
4.1943	65536

注 拡張規格品のみ。

★

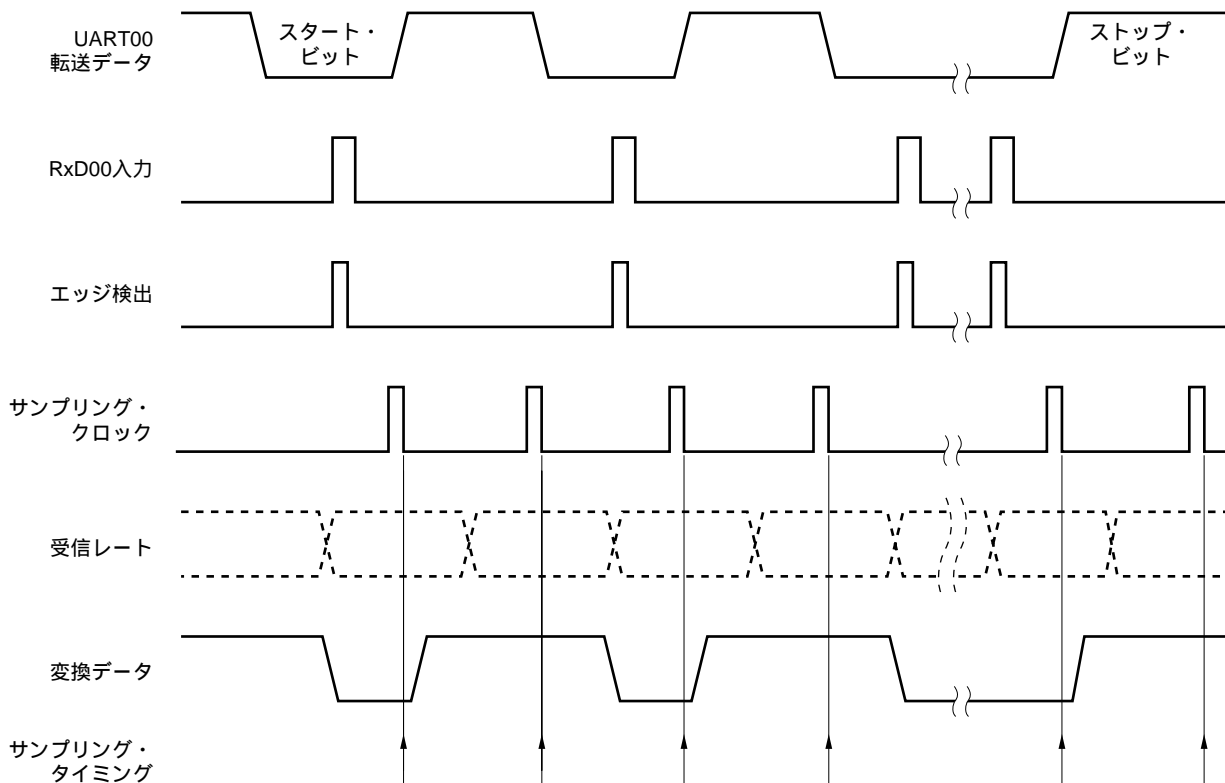
(4) 入出力データと内部信号

・送信動作タイミング



・受信動作タイミング

設定ボー・レートの半分，データの受信が遅れます。



第13章 シリアル・インタフェースSIO3

13.1 シリアル・インタフェースの機能

シリアル・インタフェースSIO3には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。詳細については13.4.1 **動作停止モード**を参照してください。

(2) 3線式シリアルI/Oモード (MSB先頭固定)

シリアル・クロック (\overline{SCK}) , シリアル出力 (SO) , シリアル入力 (SI) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットは、MSB固定です。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

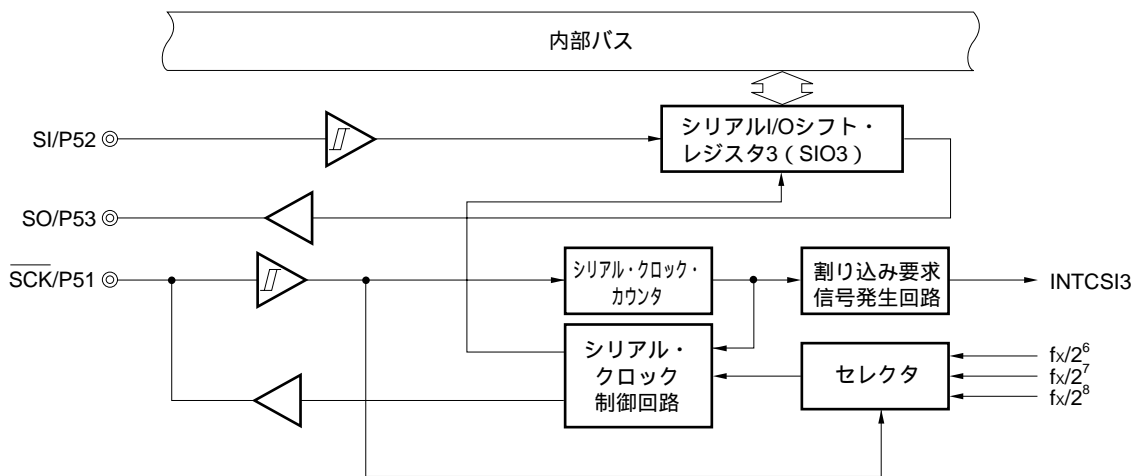
13.2 シリアル・インタフェースの構成

シリアル・インタフェースSIO3は、次のハードウェアで構成されています。

表13 - 1 シリアル・インタフェース3の構成

項目	構成
レジスタ	シリアルI/Oシフト・レジスタ3 (SIO3)
制御レジスタ	シリアル動作モード・レジスタ3 (CSIM3)

図13 - 1 シリアル・インタフェース3のブロック図



(1) シリアルI/O シフト・レジスタ3 (SIO3)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う8ビット・レジスタです。

SIO3は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ3 (CSIM3) のビット7 (CSIE3) が1のとき、SIO3にデータを書き込むか、または読み出すことによりシリアル動作が開始されます。

送信時は、SIO3に書き込まれたデータが、シリアル出力 (SO) に出力されます。

受信時は、データがシリアル入力 (SI) からSIO3に読み込まれます。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 転送動作中のSIO3アクセスは、転送起動トリガとなるアクセス以外は実行しないでください (MODE = 0のときリード動作が、MODE = 1のときはライト動作が禁止となります)。

13.3 シリアル・インタフェースを制御するレジスタ

シリアル・インタフェースSIO3を制御するレジスタには、次のものがあります。

- ・シリアル動作モード・レジスタ3 (CSIM3)

(1) シリアル動作モード・レジスタ3 (CSIM3)

SIO3のシリアル・クロック，動作モード，動作の許可/停止を設定するレジスタです。

CSIM3は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

注意 3線式シリアルI/Oモード時，ポート・モード・レジスタ (PM5x) を次のように設定してください。また，出力ラッチはそれぞれ0に設定してください。

- ・シリアル・クロック出力時 (マスタ送信またはマスタ受信)
P51 ($\overline{\text{SCK}}$) を出力モード (PM51 = 0) に設定
- ・シリアル・クロック入力時 (スレーブ送信またはスレーブ受信)
P51を入力モード (PM51 = 1) に設定
- ・送信/送受信モード時
P53 (SO) を出力モード (PM53 = 0) に設定
P52 (SI) を入力モード (PM52 = 1) に設定 (送受信モード時)
- ・受信モード時
P52 (SI) を入力モード (PM52 = 1) に設定

★

図13 - 2 シリアル動作モード・レジスタ3のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30	FFB0H	00H	R/W

CSIE3	SIO3の動作許可 / 禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能 + ポート機能 ^{注2}

MODE	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO出力
0	送信 / 送受信モード	SIO3ライト	通常出力
1	受信専用モード	SIO3リード	ロウ・レベル固定

SCL31	SCL30	クロックの選択		
		fx = 12 MHz動作時 ^{注3}		fx = 8.38 MHz動作時
0	0	SCK端子への外部クロック入力		
0	1	fx/2 ⁶	187 kHz	131 kHz
1	0	fx/2 ⁷	93.7 kHz	65.5 kHz
1	1	fx/2 ⁸	46.8 kHz	32.7 kHz

注1 . CSIE3 = 0 (SIO3動作停止状態) のときは , SI, SO, $\overline{\text{SCK}}$ 端子は , ポート機能として使用できません。

2 . CSIE3 = 1 (SIO3動作許可状態) のときは , 送信機能のみ使用する場合はSI端子 , 受信専用モード時はSO端子をそれぞれポート機能として使用できます。

3 . 拡張規格品のみ。

備考 fx : システム・クロック発振周波数

13.4 シリアル・インタフェースの動作

シリアル・インタフェースSIO3の持つ2種類のモードについて説明します。

13.4.1 動作停止モード

動作停止モードではシリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードは、シリアル動作モード・レジスタ3 (CSIM3) で設定します。

CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30	FFB0H	00H	R/W

CSIE3	SIO3の動作許可 / 禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能 + ポート機能 ^{注2}

注1 . CSIE3 = 0 (SIO3動作停止状態) のときは、SI, SO, $\overline{\text{SCK}}$ 端子は、ポート機能として使用できません。

2 . CSIE3 = 1 (SIO3動作許可状態) のときは、送信機能のみ使用する場合はSI端子、受信専用モード時はSO端子をそれぞれポート機能として使用できます。

13.4.2 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック ($\overline{\text{SCK}}$)、シリアル出力 (SO)、シリアル入力 (SI) の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードは、シリアル動作モード・レジスタ3 (CSIM3) で設定します。

CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 3線式シリアルI/Oモード時、ポート・モード・レジスタ (PM5x) を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

- ・シリアル・クロック出力時 (マスタ送信またはマスタ受信)
P51 ($\overline{\text{SCK}}$) を出力モード (PM51 = 0) に設定
- ・シリアル・クロック入力時 (スレーブ送信またはスレーブ受信)
P51を入力モード (PM51 = 1) に設定
- ・送信/送受信モード時
P53 (SO) を出力モード (PM53 = 0) に設定
P52 (SI) を入力モード (PM52 = 1) に設定 (送受信モード時)
- ・受信モード時
P52 (SI) を入力モード (PM52 = 1) に設定

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30	FFB0H	00H	R/W

CSIE3	SIO3の動作許可 / 禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能 + ポート機能 ^{注2}

MODE	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO出力
0	送信 / 送受信モード	SIO3ライト	通常出力
1	受信専用モード	SIO3リード	ロウ・レベル固定

SCL31	SCL30	クロックの選択		
		$f_x = 12 \text{ MHz}$ 動作時 ^{注3}		$f_x = 8.38 \text{ MHz}$ 動作時
0	0	SCK端子への外部クロック入力		
0	1	$f_x/2^6$	187 kHz	131 kHz
1	0	$f_x/2^7$	93.7 kHz	65.5 kHz
1	1	$f_x/2^8$	46.8 kHz	32.7 kHz

- 注1 . CSIE3 = 0 (SIO3動作停止状態) のときは、SI, SO, $\overline{\text{SCK}}$ 端子は、ポート機能として使用できません。
- 2 . CSIE3 = 1 (SIO3動作許可状態) のときは、送信機能のみ使用する場合はSI端子、受信専用モード時はSO端子をそれぞれポート機能として使用できます。
- 3 . 拡張規格品のみ。

備考 f_x : システム・クロック発振周波数

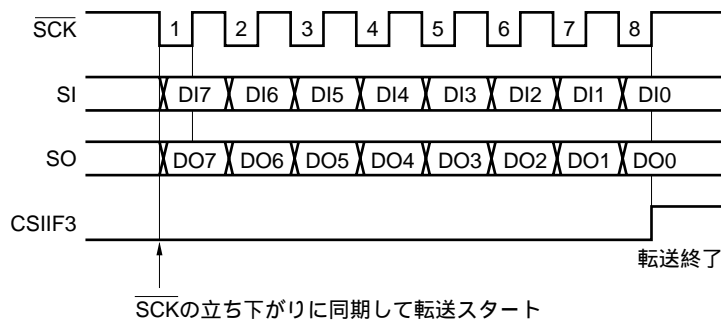
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアルI/Oシフト・レジスタ3 (SIO3) のシフト動作は、シリアル・クロックの立ち下がりに同期して行われます。そして、送信データがSOラッチに保持され、SO端子から出力されます。また、シリアル・クロックの立ち上がりで、SI端子に入力された受信データがSIO3にラッチされます。

8ビット転送終了により、SIO3の動作は自動的に停止し、割り込み要求フラグ (CSIF3) がセットされます。

図13 - 3 3線式シリアルI/Oモードのタイミング



(3) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ3 (SIO3) に転送データをセットする (またはリードする) ことで開始します。

- ・ SIO3の動作制御ビット (CSIE3) = 1
- ・ 8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK}}$ がハイ・レベルの状態
- ・ 送信 / 送受信モード
 - CSIE3 = 1, MODE = 0のとき、SIO3ライトで転送スタート
- ・ 受信専用モード
 - CSIE3 = 1, MODE = 1のとき、SIO3のリードで転送スタート

注意 SIO3にデータを書き込んだあと、CSIE3を“1”にしても転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSIF3) がセットされます。

第14章 割り込み機能

14.1 割り込み機能の種類

割り込み機能には、次の3種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みには、ウォッチドッグ・タイマからの割り込み要求が1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています (表14 - 1 参照)。

スタンバイ・リリース信号を発生します。

マスカブル割り込みには、外部割り込み要求が8要因、内部割り込み要求が16要因あります。

(3) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

14.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計26要因あります (表14 - 1 参照)。

備考 ウォッチドッグ・タイマの割り込み要因 (INTWDT) には、ノンマスカブル割り込みとマスカブル割り込み (内部) の2種類があり、どちらか1種類を選択できます。

表14 - 1 割り込み要因一覧 (1/2)

割り込みの種類	注1 デフォルト・プライオリティ	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	注2 基本構成タイプ
		名称	トリガ			
ノンマスカブル	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ノンマスカブル割り込み選択時)	内部	0004H	(A)
マスカブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ選択時)			
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)
	2	INTP1			0008H	
	3	INTP2			000AH	
	4	INTP3			000CH	
	5	INTP4			000EH	
	6	INTP5			0010H	
	7	INTP6			0012H	
	8	INTP7			0014H	
	9	INTTM7			TM7のアンダフロー	
	10	INTTM000	TM00とCR000の一致信号発生 (コンペア・レジスタ指定時) TI010有効エッジ検出 (キャプチャ・レジスタ指定時)		0018H	
	11	INTTM010	TM00とCR010の一致信号発生 (コンペア・レジスタ指定時) TI000有効エッジ検出 (キャプチャ・レジスタ指定時)		001AH	
	12	INTTM001	TM01とCR001の一致信号発生 (コンペア・レジスタ指定時) TI011有効エッジ検出 (キャプチャ・レジスタ指定時)		001CH	
	13	INTTM011	TM01とCR011の一致信号発生 (コンペア・レジスタ指定時) TI001有効エッジ検出 (キャプチャ・レジスタ指定時)		001EH	
	14	INTSER0	UART00の受信エラー発生		0020H	
	15	INTSR0	UART00の受信終了		0022H	
	16	INTST0	UART00の送信終了		0024H	
	17	INTSR1	UART01の受信終了		0026H	
	18	INTST1	UART01の送信終了		0028H	
	19	INTTM50	TM50とCR50の一致信号発生		002AH	

注1 . デフォルト・プライオリティは、複数のマスカブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位、23が最低順位です。

2 . 基本構成タイプの(A) - (D)は、それぞれ次頁の(A) - (D)に対応しています。

表14 - 1 割り込み要因一覧 (2/2)

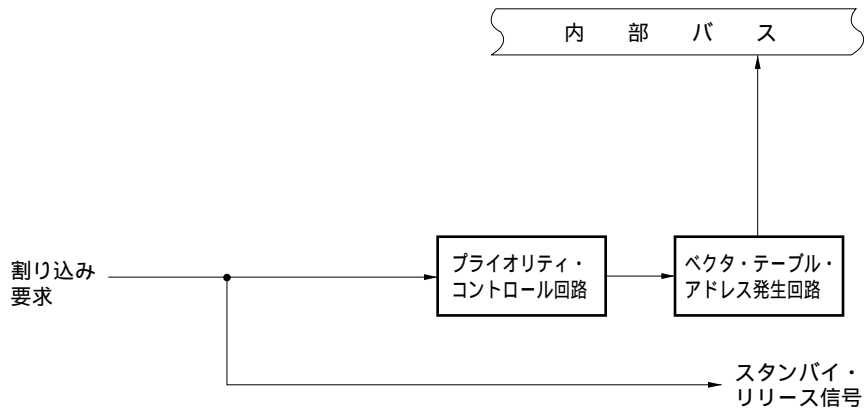
割り込みの種類	注1 デフォルト・プライオリティ	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	注2 基本構成タイプ
		名称	トリガ			
マスカブル	20	INTTM51	TM51とCR51の一致信号発生	内部	002CH	(B)
	21	INTTM52	TM52とCR52の一致信号発生		002EH	
	22	INTCSI3	SIO3の転送終了		0030H	
	23	INTAD0	A/Dコンバータの変換終了		0032H	
ソフトウェア	-	BRK	BRK命令の実行	-	003EH	(D)

注1．デフォルト・プライオリティは、複数のマスカブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位，23が最低順位です。

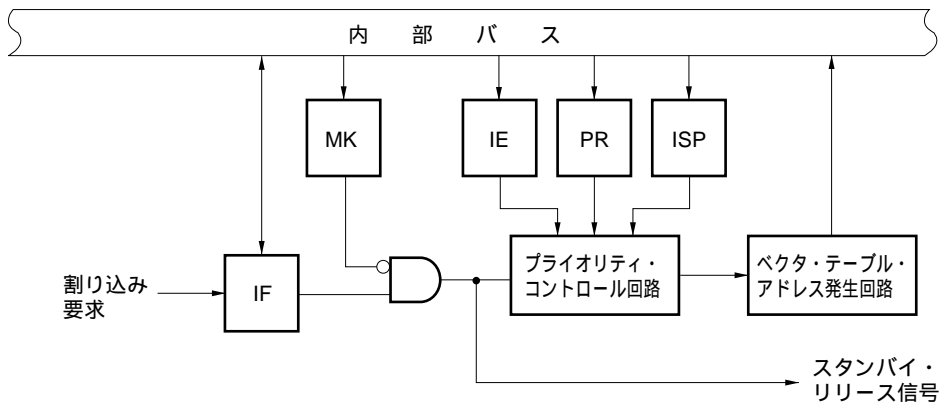
2．基本構成タイプの(A)-(D)は、それぞれ次頁の(A)-(D)に対応しています。

図14 - 1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み

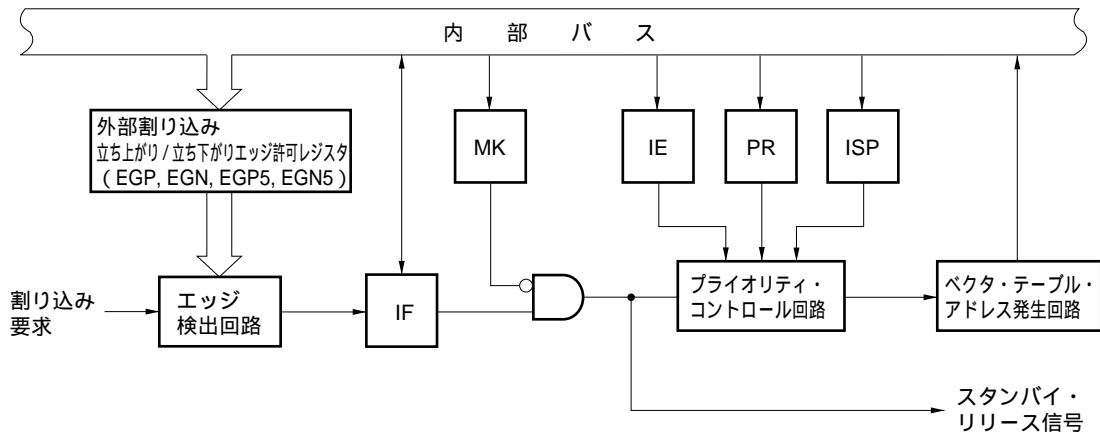


図14 - 1 割り込み機能の基本構成 (2/2)

(D) ソフトウェア割り込み



IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

ISP : インサース・プライオリティ・フラグ

MK : 割り込みマスク・フラグ

PR : 優先順位指定フラグ

14.3 割り込み機能を制御するレジスタ

割り込み機能は、次の8種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・外部割り込み立ち上がりエッジ許可レジスタ5 (EGP5)
- ・外部割り込み立ち下がりエッジ許可レジスタ5 (EGN5)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を、表14 - 2に示します。

表14 - 2 割り込み要求ソースに対する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDT	WDTIF ^注	IF0L	WDTMK ^注	MK0L	WDTPR ^注	PR0L
INTP0	PIF0		PMK0		PPR0	
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTP4	PIF4		PMK4		PPR4	
INTP5	PIF5		PMK5		PPR5	
INTP6	PIF6		PMK6		PPR6	
INTP7	PIF7	IF0H	PMK7	MK0H	PPR7	PR0H
INTTM7	TMIF7		TMMK7		TMPR7	
INTTM000	TMIF000		TMMK000		TMPR000	
INTTM010	TMIF010		TMMK010		TMPR010	
INTTM001	TMIF001		TMMK001		TMPR001	
INTTM011	TMIF011		TMMK011		TMPR011	
INTSER0	SERIF0		SERMK0		SERPR0	
INTSR0	SRIF0		SRMK0		SRPR0	
INTST0	STIF0	IF1L	STMK0	MK1L	STPR0	PR1L
INTSR1	SRIF1		SRMK1		SRPR1	
INTST1	STIF1		STMK1		STPR1	
INTTM50	TMIF50		TMMK50		TMPR50	
INTTM51	TMIF51		TMMK51		TMPR51	
INTTM52	TMIF52		TMMK52		TMPR52	
INTCSI3	CSIF3		CSIMK3		CSIPR3	
INTAD0	ADIF0		ADMK0		ADPR0	

注 ウォッチドッグ・タイマをインターバル・タイマとして使用しているときの割り込み制御フラグ

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、RESET入力時、命令の実行によりクリア (0) されるフラグです。

IF0L, IF0H, IF1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0Hをあわせて16ビット・レジスタIF0として使用するときには、16ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図14 - 2 割り込み要求フラグ・レジスタのフォーマット



- 注意 1 . WDTIFフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1で使用する場合はWDTIFフラグに0を設定してください。
- 2 . スタンバイ・モード時にタイマ、シリアル・インタフェース、A/Dコンバータなどを再動作させる場合、必ず割り込み要求フラグをクリアしたのちに再動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。
 - 3 . 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止およびスタンバイ解除の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。またMK0LとMK0Hをあわせて16ビット・レジスタMK0として使用するとき、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図14 - 3 割り込みマスク・フラグ・レジスタのフォーマット



- 注意 1 . ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合は、WDTMKフラグを読み出すと不定になっています。
- 2 . ポート0, P54-P57は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。
したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

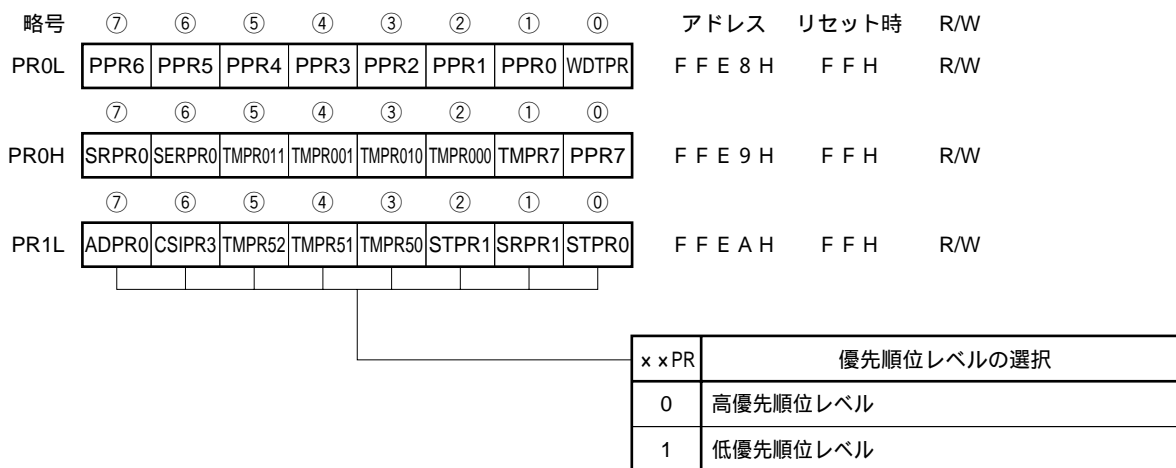
(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。またPR0LとPR0Hをあわせて16ビット・レジスタPR0として使用するときには、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図14 - 4 優先順位指定フラグ・レジスタのフォーマット



注意 ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合は、WDTPRフラグに1を設定してください。

(4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN)

EGP, EGNは, P00-P03端子で検出するエッジの有効エッジを指定するレジスタです。

EGP, EGNは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出し/書き込みが可能です。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図14 - 5 外部割り込み立ち上がりエッジ許可レジスタ, 外部割り込み立ち下がりエッジ許可レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
EGP	0	0	0	0	EGP3	EGP2	EGP1	EGP0	FF48H	00H	R/W
略号	7	6	5	4	3	2	1	0			
EGN	0	0	0	0	EGN3	EGN2	EGN1	EGN0	FF49H	00H	R/W

EGPn	EGNn	INTPn端子の有効エッジ (n = 0-3)
0	0	割り込み禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

(5) 外部割り込み立ち上がりエッジ許可レジスタ5 (EGP5), 外部割り込み立ち下がりエッジ許可レジスタ5 (EGN5)

EGP5, EGN5は, P54-P57端子で検出するエッジの有効エッジを指定するレジスタです。

EGP5, EGN5は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出し/書き込みが可能です。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図14 - 6 外部割り込み立ち上がりエッジ許可レジスタ5, 外部割り込み立ち下がりエッジ許可レジスタ5のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
EGP5	EGP57	EGP56	EGP55	EGP54	0	0	0	0	FF7CH	00H	R/W
略号	7	6	5	4	3	2	1	0			
EGN5	EGN57	EGN56	EGN55	EGN54	0	0	0	0	FF7DH	00H	R/W

EGP5n	EGN5n	INTPn端子の有効エッジ (n = 4-7)
0	0	割り込み禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

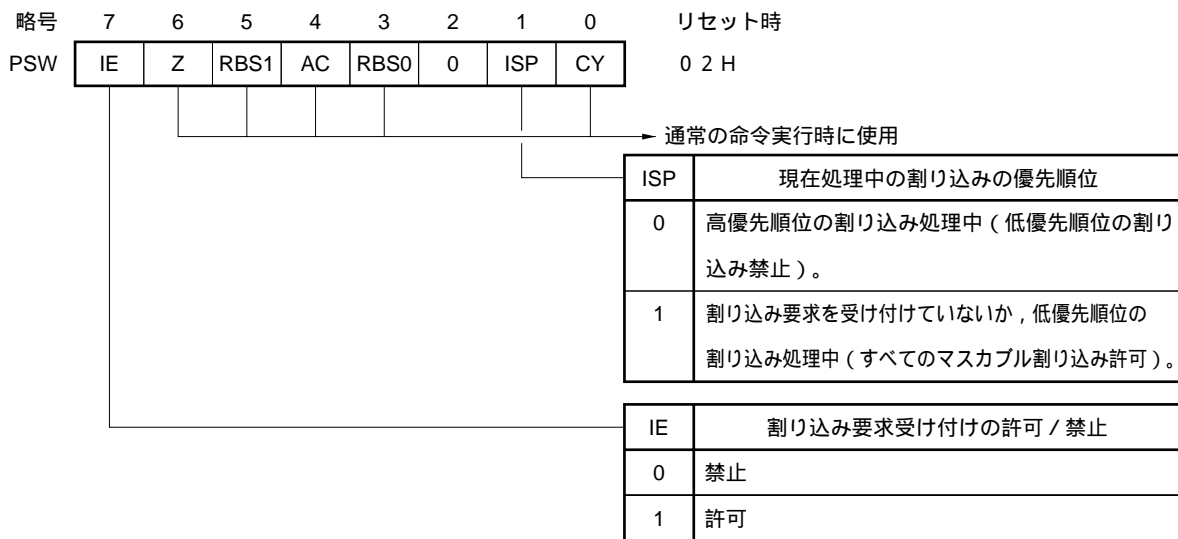
(6) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理を制御するISPフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

RESET入力により、PSWは02Hとなります。

図14 - 7 プログラム・ステータス・ワードの構成



14.4 割り込み処理動作

14.4.1 ノンマスカブル割り込み要求の受け付け動作

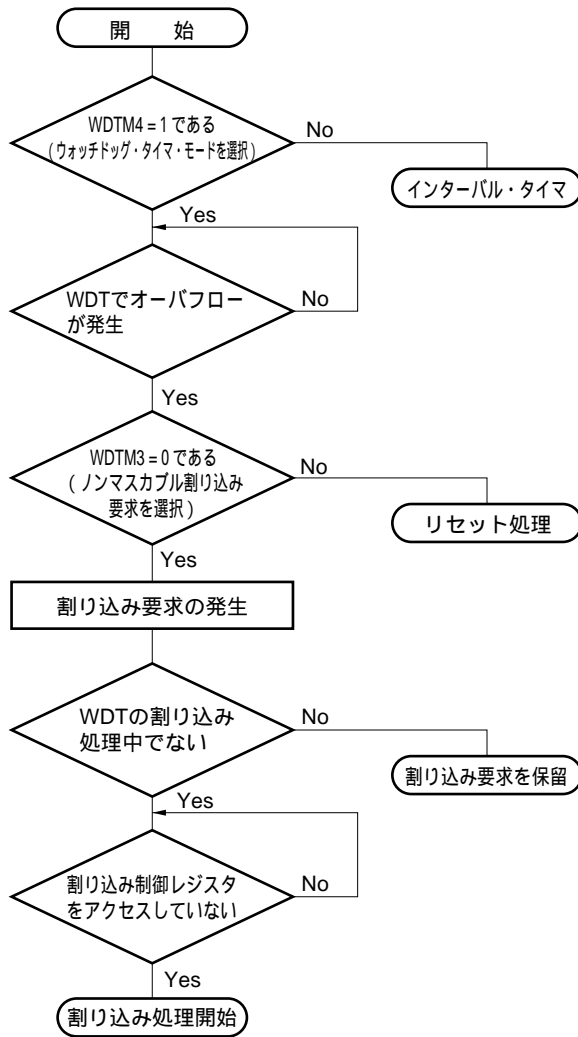
ノンマスカブル割り込み要求は、割り込み要求受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避します。そして、IEフラグ、ISPフラグをリセット (0) し、ベクタ・テーブルの内容をPCへロードし、分岐します。

ノンマスカブル割り込みサービス・プログラム実行中に発生した新たなノンマスカブル割り込み要求は、現在処理中のノンマスカブル割り込みサービス・プログラムの実行が終了 (RETI命令実行後) し、メイン・ルーチンを1命令実行したあと、受け付けられます。ただし、ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求が2回以上発生しても、そのノンマスカブル割り込みサービス・プログラム実行終了後に受け付けられるノンマスカブル割り込み要求は1回分だけになります。

ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャートを図14 - 8に、ノンマスカブル割り込み要求の受け付けタイミングを図14 - 9に、ノンマスカブル割り込み要求が多重に発生した場合の受け付け動作を図14 - 10に示します。

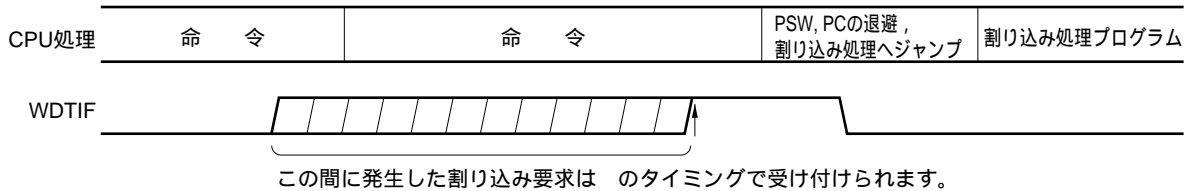
図14 - 8 ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート



WDTM : ウォッチドッグ・タイム・モード・レジスタ

WDT : ウォッチドッグ・タイム

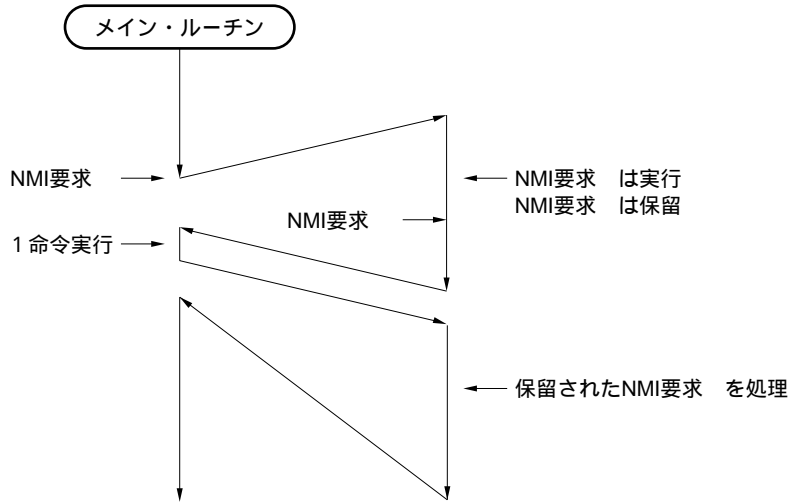
図14 - 9 ノンマスクابل割り込み要求の受け付けタイミング



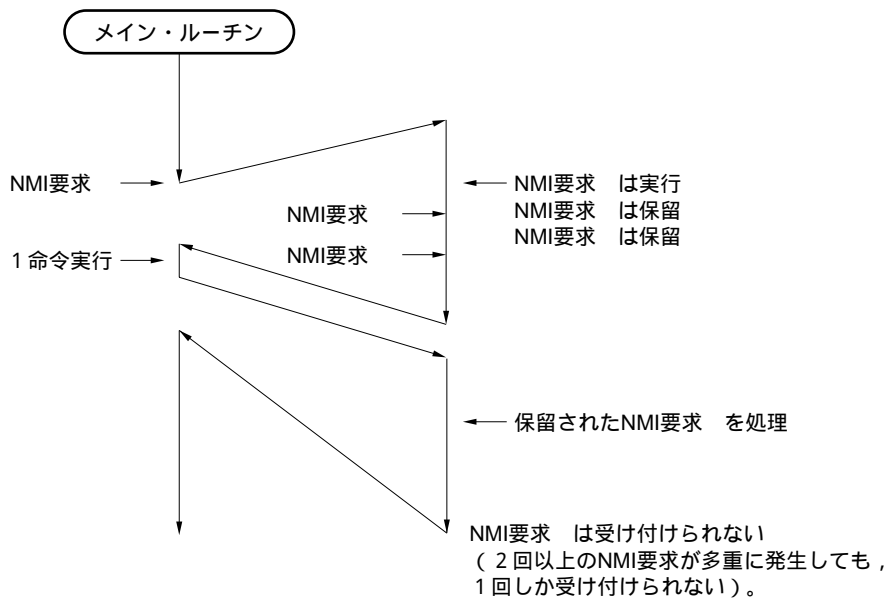
WDTIF : ウォッチドッグ・タイム割り込み要求フラグ

図14 - 10 ノンマスクابل割り込み要求の受け付け動作

(a) ノンマスクابل割り込みサービス・プログラム実行中に
新たなノンマスクابل割り込み要求が発生した場合



(b) ノンマスクابل割り込みサービス・プログラム実行中に
新たに2回のノンマスクابل割り込み要求が発生した場合



14.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中（ISPフラグがリセット（0）されているとき）に低い優先順位に指定されている割り込みの要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表14 - 3のようになります。

割り込み要求の受け付けタイミングについては、図14 - 12、図14 - 13を参照してください。

表14 - 3 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
x × PR = 0 のとき	7クロック	32クロック
x × PR = 1 のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ （ f_{CPU} ：CPUクロック）

マスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込み要求から受け付けられます。

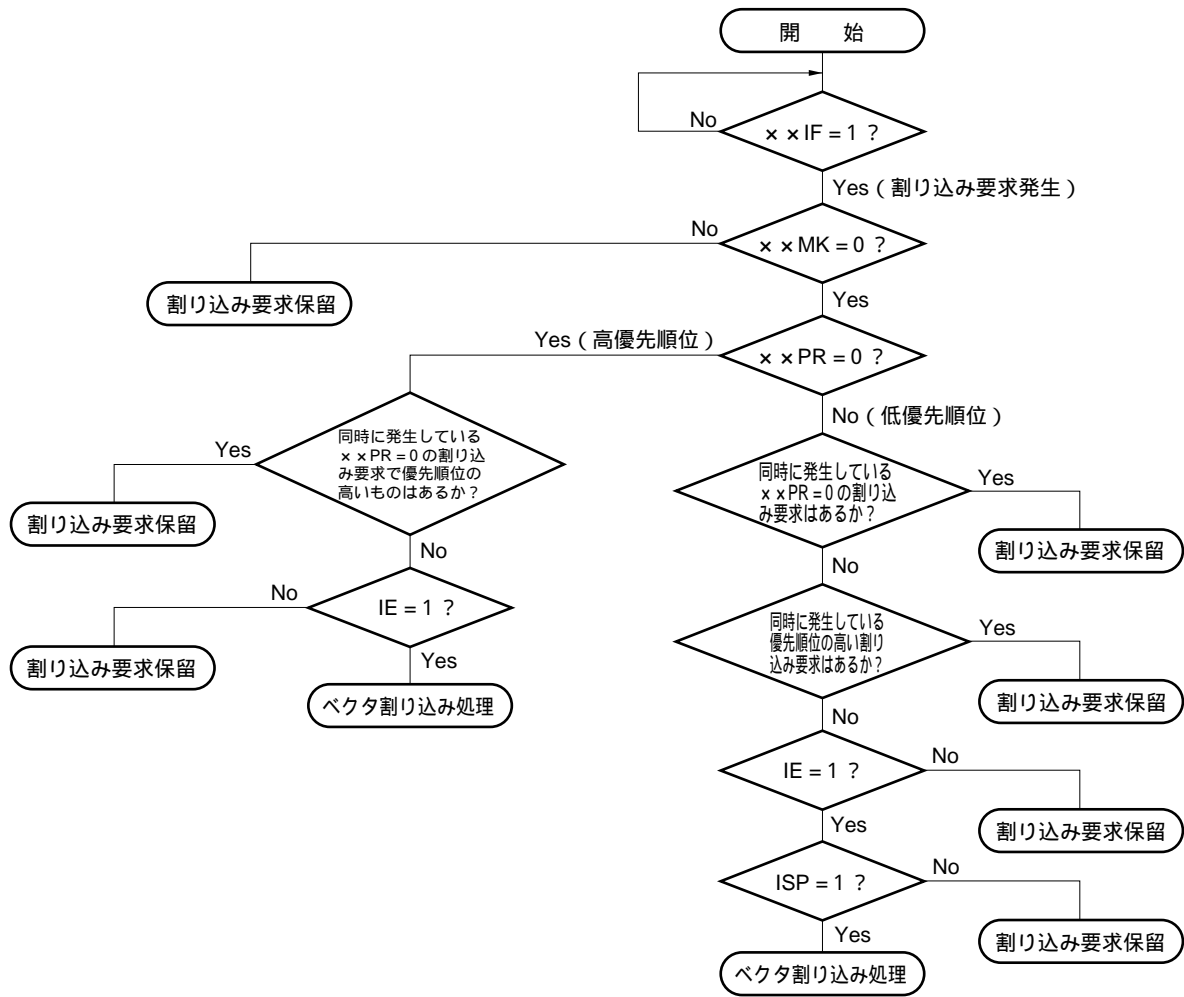
保留された割り込み要求は、受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図14 - 11に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避します。そして、IEフラグをリセット（0）し、受け付けた割り込み要求の優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図14 - 11 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

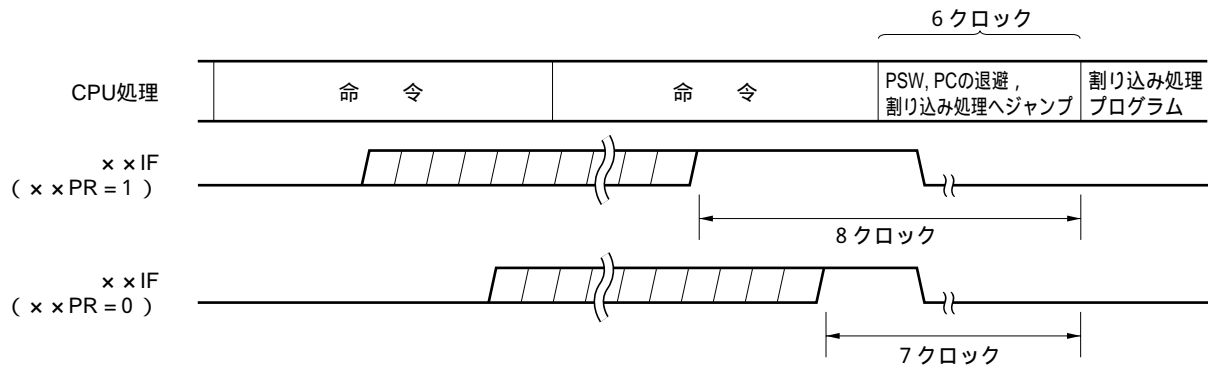
x x MK : 割り込みマスク・フラグ

x x PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可 , 0 = 禁止)

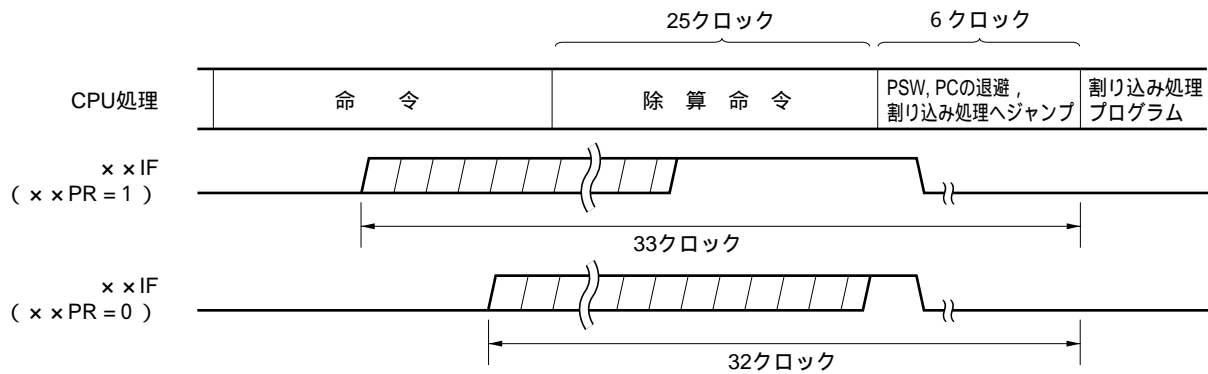
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中 , 1 = 割り込み要求を受け付けていない , または低優先順位の割り込み処理中)

図14 - 12 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU} : CPUクロック)

図14 - 13 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU} : CPUクロック)

14.4.3 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

14.4.4 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません (ノンマスクابل割り込みを除く)。また、割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みはプログラマブル優先順位により制御されます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を1命令実行後に受け付けられます。

なお、ノンマスクابل割り込み処理中には、多重割り込みは許可されません。

表14 - 4に多重割り込み可能な割り込み要求を、図14 - 14に多重割り込みの例を示します。

表14 - 4 割り込み処理中に多重割り込み可能な割り込み要求

多重割り込み要求 処理中の割り込み		ノンマスクابل 割り込み要求	マスクابل割り込み要求			
			× × PR = 0		× × PR = 1	
			IE = 1	IE = 0	IE = 1	IE = 0
ノンマスクابل割り込み		×	×	×	×	×
マスクابل割り込み	ISP = 0		×	×	×	×
	ISP = 1		×			×
ソフトウェア割り込み			×			×

備考1 . : 多重割り込み可能

× : 多重割り込み不可能

2 . ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

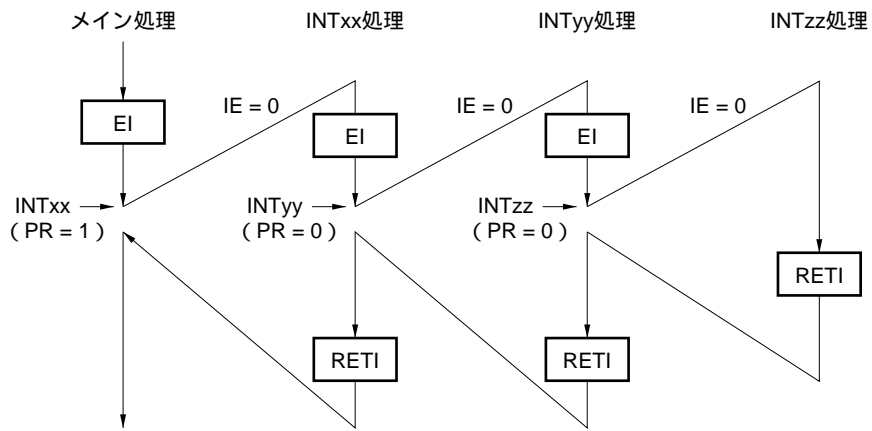
3 . × × PRはPROL, PROH, PR1Lに含まれるフラグです。

× × PR = 0 : 高優先順位レベル

× × PR = 1 : 低優先順位レベル

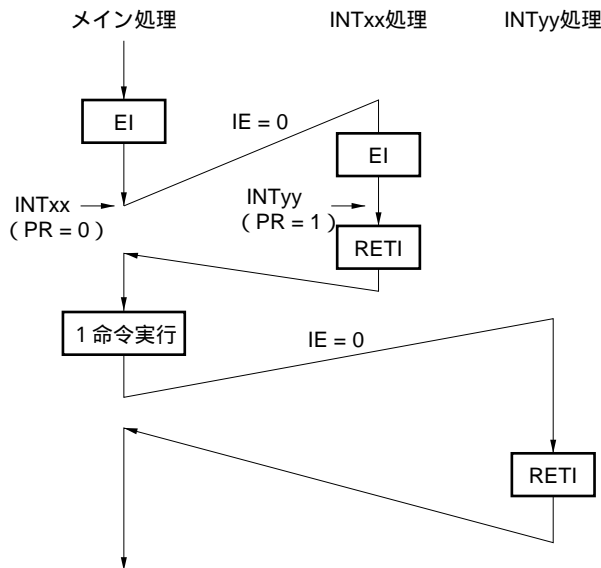
図14 - 14 多重割り込みの例 (1/2)

例 1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例 2 . 優先順位制御により、多重割り込みが発生しない例

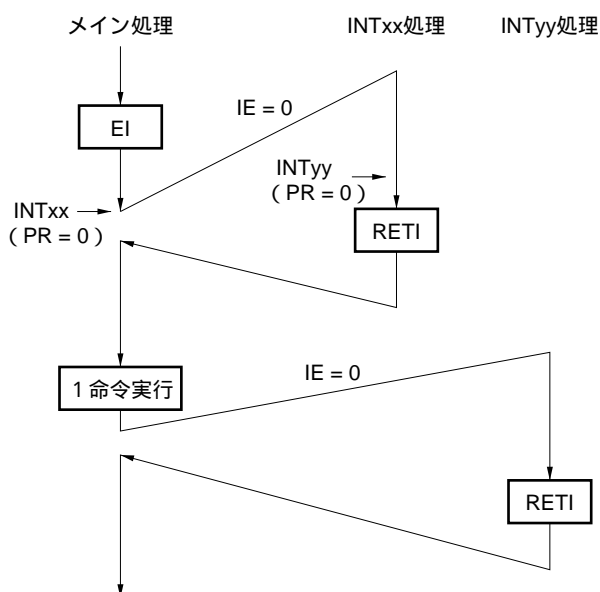


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- PR = 1 : 低優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

図14 - 14 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理 1 命令実行後に受け付けられる。

PR = 0 : 高優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

14.4.5 割り込み要求の保留

命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を以下に示します。

- ・ MOV PSW, #byte
- ・ MOV A, PSW
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ MOV1 CY, PSW. bit
- ・ AND1 CY, PSW. bit
- ・ OR1 CY, PSW. bit
- ・ XOR1 CY, PSW. bit
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ PUSH PSW
- ・ POP PSW
- ・ BT PSW. bit, \$addr16
- ・ BF PSW. bit, \$addr16
- ・ BTCLR PSW. bit, \$addr16
- ・ EI
- ・ DI
- ・ IF0L, IF0H, IF1L, MK0L, MK0H, MK1L, PR0L, PR0H, PR1L, EGP, EGN, EGP5, EGN5の各レジスタに対する操作命令

注意 BRK命令は、上記の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。ただし、ノンマスカブル割り込み要求は受け付けます。

割り込み要求が保留されるタイミングを図14 - 15に示します。

図14 - 15 割り込み要求の保留



備考1 . 命令N : 割り込み要求の保留命令

2 . 命令M : 割り込み要求の保留命令以外の命令

3 . x x IF (割り込み要求) の動作は, x x PR (優先順位レベル) の値の影響を受けません。

第15章 外部デバイス拡張機能

15.1 外部デバイス拡張機能

外部デバイス拡張機能は、内部ROM、RAM、SFR以外の領域に、外部デバイスを接続する機能です。外部デバイスの接続は、ポート4、ポート6を使用します。ポート4、6は、アドレス/データ、リード/ライト・ストロブ、ウエイト、アドレス・ストロブなどを制御します。

μPD780982, 780983, 780984, 780986は、256バイト外部メモリ拡張可能です。

μPD780988は、SFR空間の外部アクセス領域使用により、16バイト外部メモリ拡張可能です。

★ **注意** 外部デバイス拡張機能は、 $f_x = 8.38 \text{ MHz}$ 以下、 $V_{DD} = 4.0 \sim 5.5 \text{ V}$ の条件下でのみ使用可能です。

表15 - 1 外部メモリ拡張モード時の端子機能

外部デバイス接続時の端子機能		兼用端子
名称	機能	
AD0-AD7	マルチプレクスト・アドレス/データ・バス	P40-P47
\overline{RD}	リード・ストロブ信号	P64
\overline{WR}	ライト・ストロブ信号	P65
\overline{WAIT}	ウエイト信号	P66
ASTB	アドレス・ストロブ信号	P67

表15 - 2 外部メモリ拡張モード時のポート4、6の端子の状態

ポート	ポート4	ポート6
	0-7	4 5 6 7
外部拡張モード		
シングルチップ・モード	ポート	ポート
256バイト・メモリ拡張モード	アドレス/データ	\overline{RD} , \overline{WR} , \overline{WAIT} , ASTB

注意 外部ウエイト機能を使用しないとき、すべてのモードでWAIT端子をポートとして使用できます。

外部デバイス拡張機能を使用したときのメモリ・マップは、次のようになります。

図15 - 1 外部デバイス拡張機能使用時のメモリ・マップ (1/3)

(a) μ PD780982およびフラッシュ・メモリ容量を16 Kバイトにしたときの μ PD78F0988Aのメモリ・マップ

(b) μ PD780983およびフラッシュ・メモリ容量を24 Kバイトにしたときの μ PD78F0988Aのメモリ・マップ

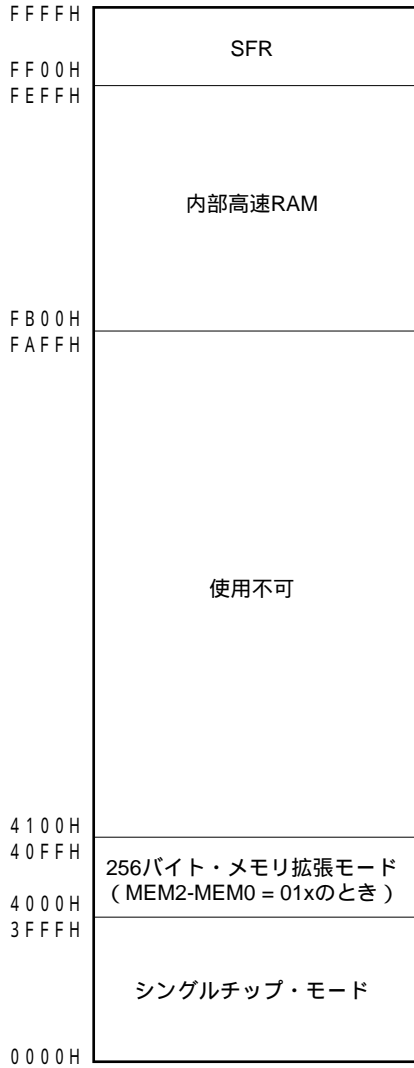


図15 - 1 外部デバイス拡張機能使用時のメモリ・マップ (2/3)

(c) μ PD780984およびフラッシュ・メモリ容量を32 Kバイトにしたときの
 μ PD78F0988Aのメモリ・マップ

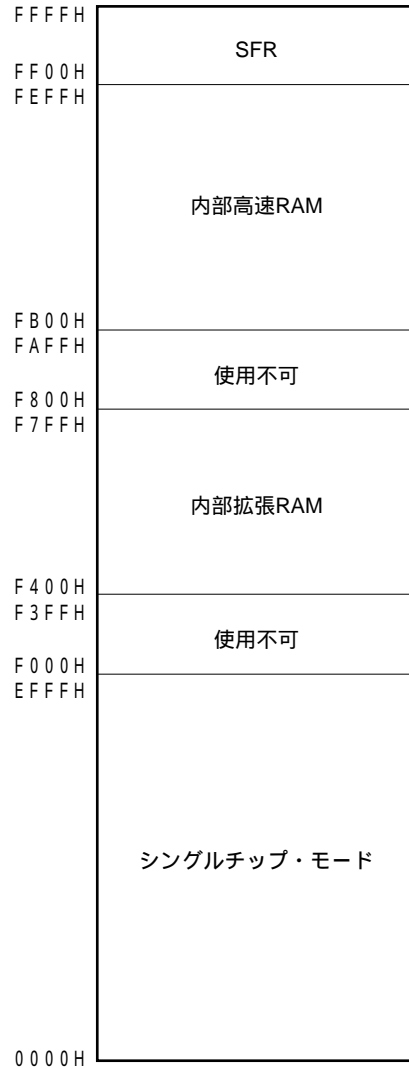


(d) μ PD780986およびフラッシュ・メモリ容量を48 Kバイトにしたときの
 μ PD78F0988Aのメモリ・マップ



図15 - 1 外部デバイス拡張機能使用時のメモリ・マップ (3/3)

(e) μ PD780988およびフラッシュ・メモリ容量を60 Kバイトにしたときの
 μ PD78F0988Aのメモリ・マップ



注意 1 . μ PD780988およびフラッシュ・メモリ容量を60 Kバイトにしたときの μ PD78F0988Aは、256バイトの外部メモリ拡張はできません。SFR空間の外部アクセス領域使用により、16バイトの外部メモリ拡張が可能です。

2 . μ PD78F0988Aは、メモリ・サイズ切り替えレジスタ (IMS) でフラッシュ・メモリ容量を48 Kバイト以下に設定することにより、256バイトの外部メモリ拡張が可能です。

15.2 外部デバイス拡張機能を制御するレジスタ

外部デバイス拡張機能は、次の3種類のレジスタで制御します。

- ・メモリ拡張モード・レジスタ (MEM)
- ・メモリ拡張ウェイト設定レジスタ (MM)
- ・メモリ・サイズ切り替えレジスタ (IMS)

(1) メモリ拡張モード・レジスタ (MEM)

MEMは、外部拡張領域を設定するレジスタです。

MEMは、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図15-2 メモリ拡張モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MEM	0	0	0	0	0	MEM2	MEM1	MEM0	FF47H	00H	W

MEM2	MEM1	MEM0	シングルチップ/ メモリ拡張モードの選択	P40-P47, P64-P67端子の状態	
				P40-P47	P64-P67
0	0	0	シングルチップ・モード	ポート・モード	
0	1	x	256バイト・メモリ拡張モード	AD0-AD7	P64 = \overline{RD} P65 = \overline{WR} P66 = \overline{WAIT} P67 = \overline{ASTB}
上記以外			設定禁止		

注意 ビット3-7には、必ず0を設定してください。

備考 x : don't care

(2) メモリ拡張ウエイト設定レジスタ (MM)

MMは、ウエイト数を設定するレジスタです。

MMは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、10Hになります。

図15 - 3 メモリ拡張ウエイト設定レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MM	0	0	PW1	PW0	0	0	0	0	FFF8H	10H	R/W

PW1	PW0	ウエイトの制御
0	0	ウエイトなし
0	1	ウエイトあり (1ウエイト・ステート挿入)
1	0	設定禁止
1	1	外部ウエイト端子によるウエイト制御

注意 外部ウエイト端子によるウエイト制御をする場合は、 $\overline{\text{WAIT}}/\text{P66}$ 端子を必ず入力モード (ポート・モード・レジスタ6 (PM6) のビット6 (PM66) を1) に設定してください。

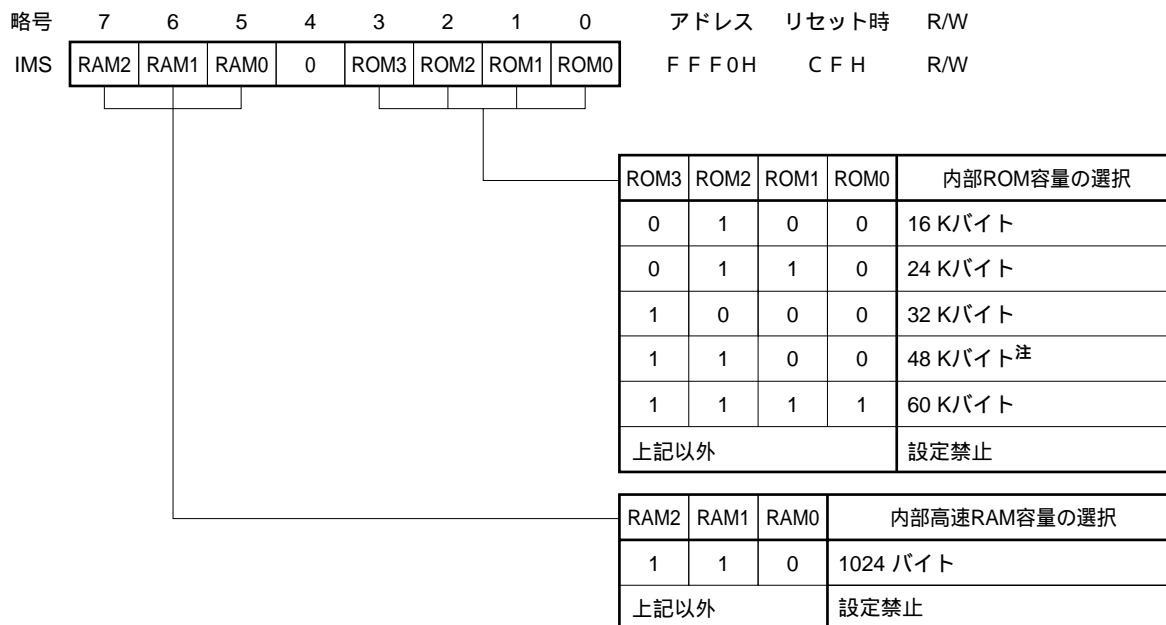
(3) メモリ・サイズ切り替えレジスタ (IMS)

内部ROM容量，内部高速RAM容量を設定するレジスタです。

IMSは，8ビット・メモリ操作命令で設定します。

RESET入力により，CFHになります。

図15 - 4 メモリ・サイズ切り替えレジスタのフォーマット



注 μ PD78F0988Aで外部デバイス拡張機能を使用する場合，フラッシュ・メモリ容量を48 Kバイト以下にしてください。

注意1 IMSのリセット時の値は，内部メモリ容量にかかわらず，μ PD780988サブシリーズすべての製品において一定 (CFH) となっています。したがって，各製品の内部メモリ容量に応じて，必ずIMSを設定してください。

2 ．外部メモリ空間は，内部メモリ容量にかかわらず，IMSで指定された以外の空間で拡張できます。

表15 - 3 メモリ・サイズ切り替えレジスタの設定値

製品名	IMSの設定値
μ PD780982	C4H
μ PD780983	C6H
μ PD780984	C8H
μ PD780986	CCH
μ PD780988	CFH ^{注1}
μ PD78F0988A	注2

注1 μ PD780988は設定値がCFHなので，初期値を変更する必要はありません。

2 ．マスクROM製品に応じて，C4H, C6H, C8H, CCH, CFHを設定してください。

15.3 外部デバイス拡張機能のタイミング

外部メモリ拡張モード時のタイミング・コントロール信号出力端子を以下に示します。

(1) $\overline{\text{RD}}$ 端子 (兼用機能: P64)

リード・ストロブ信号を出力する端子です。外部メモリからの命令フェッチ、データ・アクセス時に出力します。

内部メモリ・アクセス時には、リード・ストロブ信号は出力されません (ハイ・レベルを保持します)。

(2) $\overline{\text{WR}}$ 端子 (兼用機能: P65)

ライト・ストロブ信号を出力する端子です。外部メモリへのデータ・アクセス時に出力します。

内部メモリ・アクセス時には、ライト・ストロブ信号は出力されません (ハイ・レベルを保持します)。

(3) $\overline{\text{WAIT}}$ 端子 (兼用機能: P66)

外部ウエイト信号を入力する端子です。

外部ウエイトを使用しないときは、 $\overline{\text{WAIT}}$ 端子を入出力ポートとして使用できます。

内部メモリ・アクセス時には、外部ウエイト信号は無視されます。

(4) ASTB 端子 (兼用機能: P67)

アドレス・ストロブ信号を出力する端子です。外部メモリからの命令フェッチ、データ・アクセスにかかわらず、必ず出力します。

内部メモリ・アクセス時にも、アドレス・ストロブ信号が出力されます。

(5) AD0-AD7端子 (兼用機能: P40-P47)

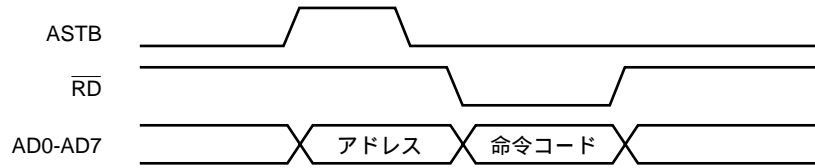
アドレス信号およびデータ信号を出力する端子です。外部メモリからの命令フェッチ、データ・アクセス時に有効信号が出力あるいは入力されます。

内部メモリ・アクセス時にも信号が変化します (出力内容は不定です)。

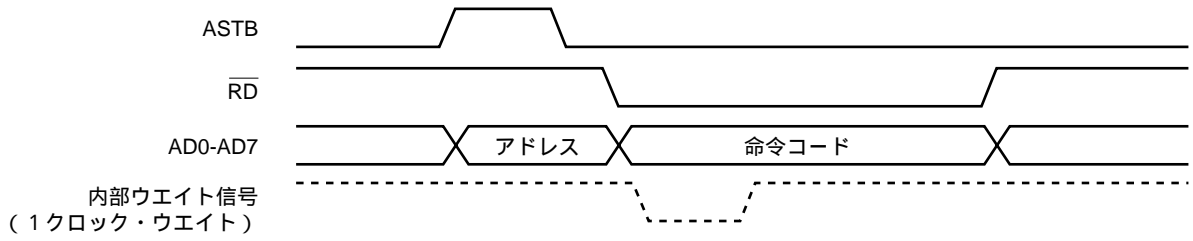
タイミング・チャートを図15 - 5 から図15 - 8 に示します。

図15 - 5 外部メモリからの命令フェッチ

(a) ウェイトなし ($PW1, PW0 = 0, 0$) 設定時



(b) ウェイトあり ($PW1, PW0 = 0, 1$) 設定時



(c) 外部ウェイト ($PW1, PW0 = 1, 1$) 設定時

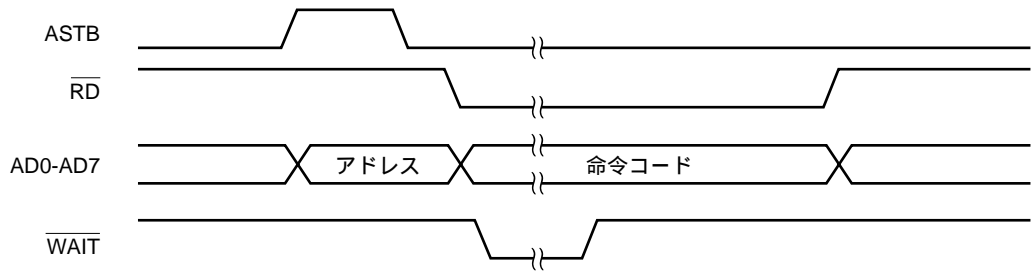
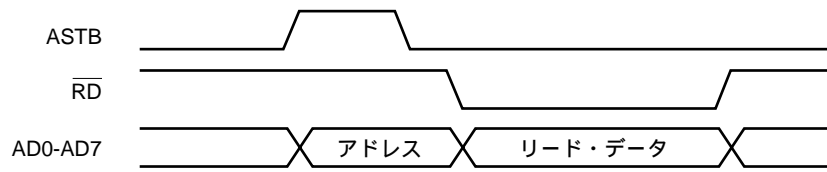
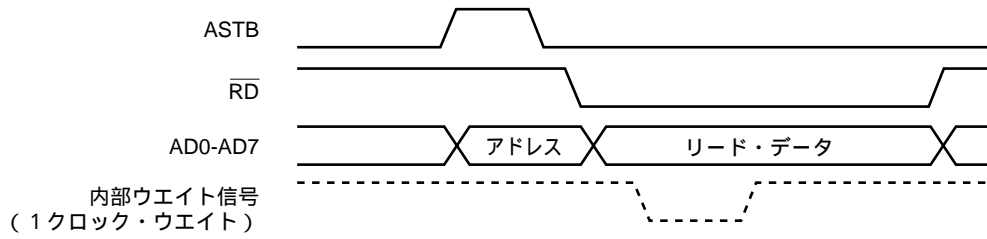


図15 - 6 外部メモリのリード・タイミング

(a) ウェイトなし (PW1 , PW0 = 0 , 0) 設定時



(b) ウェイトあり (PW1 , PW0 = 0 , 1) 設定時



(c) 外部ウェイト (PW1 , PW0 = 1 , 1) 設定時

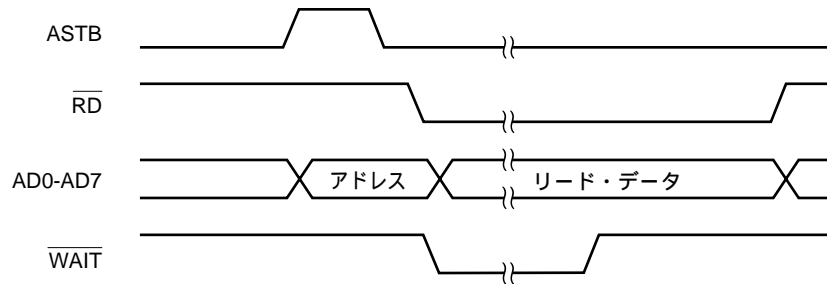
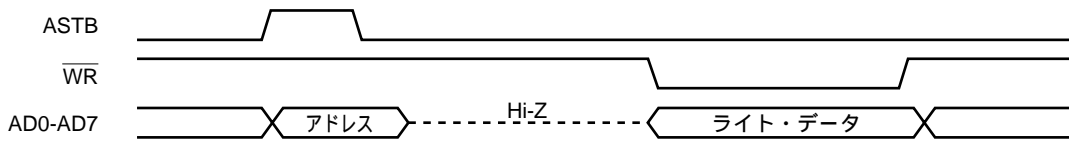
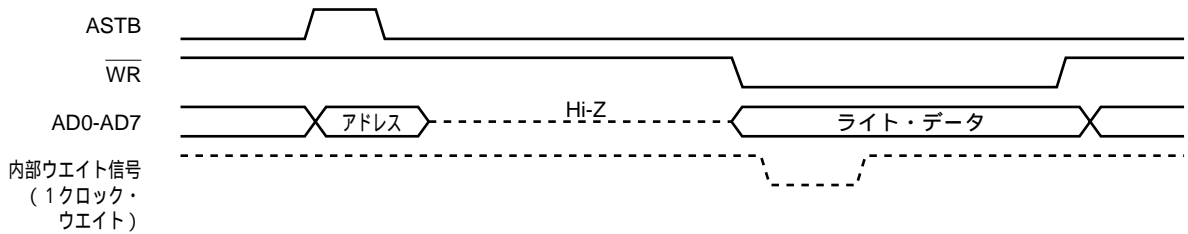


図15 - 7 外部メモリのライト・タイミング

(a) ウエイトなし (PW1 , PW0 = 0 , 0) 設定時



(b) ウエイトあり (PW1 , PW0 = 0 , 1) 設定時



(c) 外部ウエイト (PW1 , PW0 = 1 , 1) 設定時

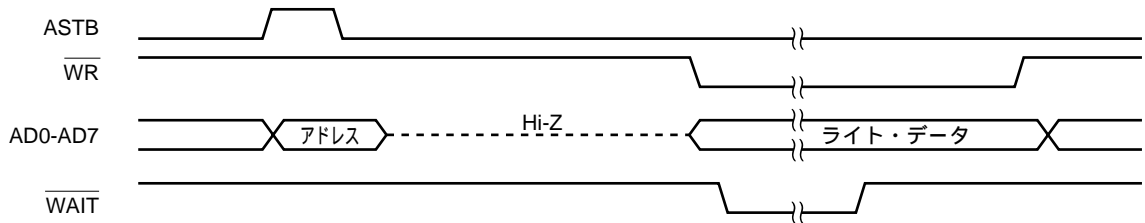
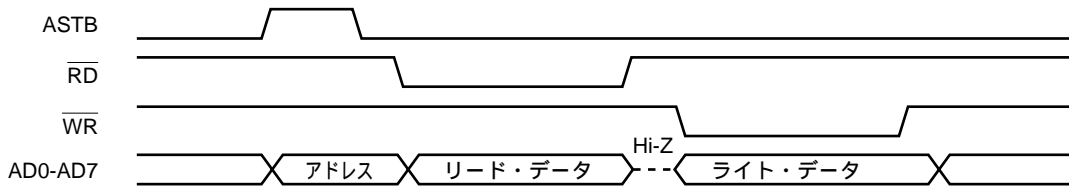
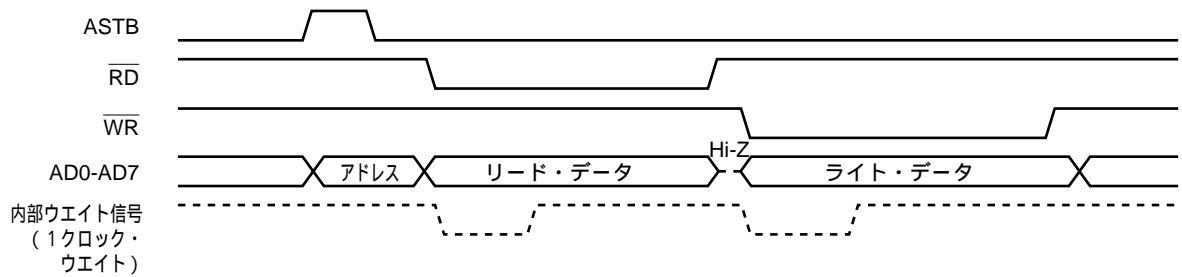


図15 - 8 外部メモリのリード・モディファイ・ライト・タイミング

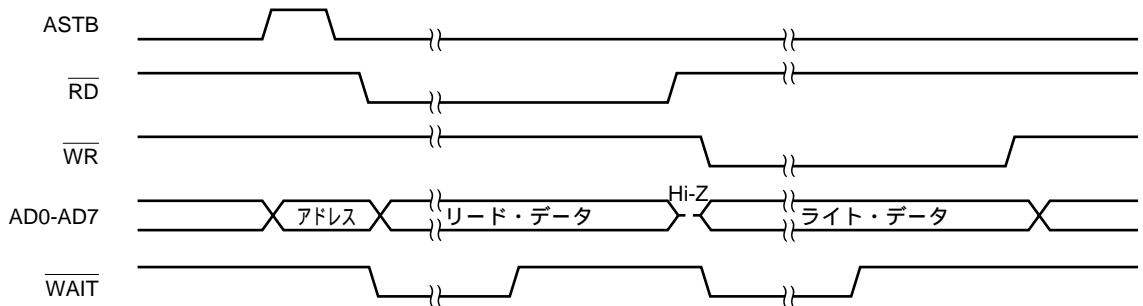
(a) ウエイトなし (PW1 , PW0 = 0 , 0) 設定時



(b) ウエイトあり (PW1 , PW0 = 0 , 1) 設定時



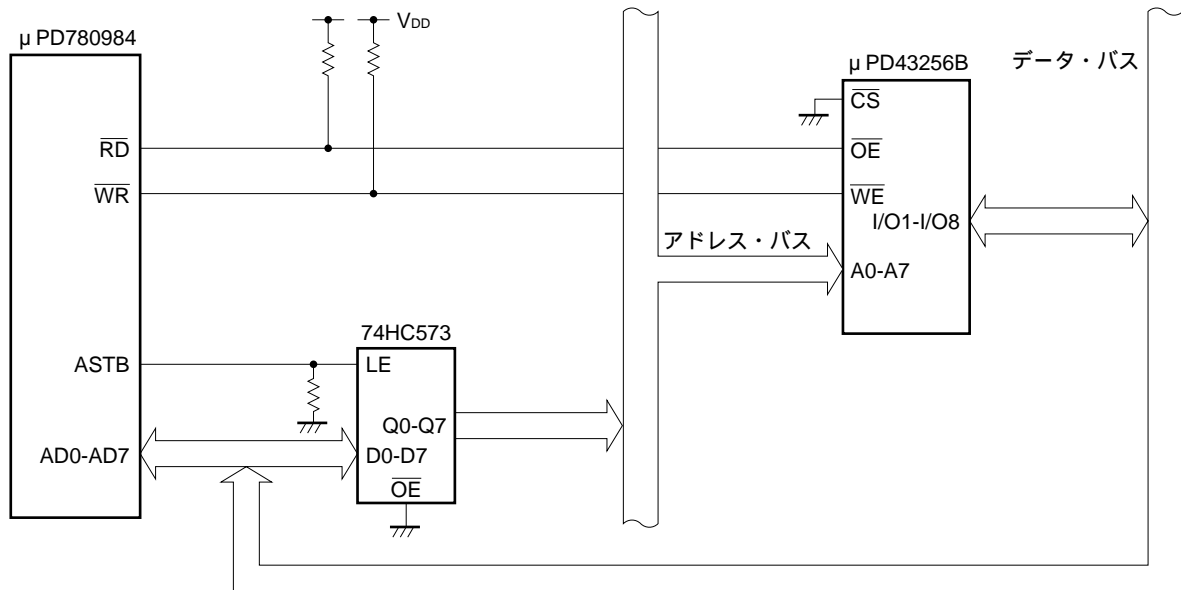
(c) 外部ウエイト (PW1 , PW0 = 1 , 1) 設定時



15.4 メモリとの接続例

μPD780984と外部メモリとの接続例を図15 - 9に示します。この応用例ではSRAMを接続しています。また、外部デバイス拡張機能をフルアドレス・モードで使用し、0000H-7FFFHの32 Kバイトを内部ROM、8000H以降をSRAMに割り当てています。

図15 - 9 μPD780984とメモリの接続例



第16章 スタンバイ機能

16.1 スタンバイ機能と構成

16.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は続きます。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、時計動作のような間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減できます。

また、データ・メモリの低電圧 ($V_{DD} = 2.0\text{ V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 1 . STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

2 . A/Dコンバータ部の消費電流を低減させるためには、A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。

16.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウエイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。したがって、 $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、解除までの時間は $2^{17}/f_x$ です。

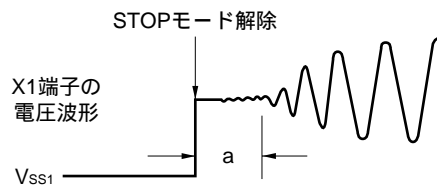
★ 図16 - 1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	F F F A H	0 4 H	R/W

OSTS2	OSTS1	OSTS0	STOPモード解除時の発振安定時間の選択		
				$f_x = 12 \text{ MHz}$ 動作時 ^注	$f_x = 8.38 \text{ MHz}$ 動作時
0	0	0	$2^{12}/f_x$	341.3 μs	488.8 μs
0	0	1	$2^{14}/f_x$	1.36 ms	1.96 ms
0	1	0	$2^{15}/f_x$	2.73 ms	3.91 ms
0	1	1	$2^{16}/f_x$	5.46 ms	7.82 ms
1	0	0	$2^{17}/f_x$	10.9 ms	15.6 ms
上記以外			設定禁止		

注 拡張規格品のみ。

注意 STOPモード解除時のウエイト時間には、STOPモード解除後にクロックが発振を開始するまでの時間 (下図 a) は含まれません。これは、 $\overline{\text{RESET}}$ 入力による場合も、割り込み要求発生による場合も同様です。



備考 f_x : システム・クロック発振周波数

16.2 スタンバイ機能の動作

16.2.1 HALTモード

(1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表16 - 1 HALTモード時の動作状態

項 目		動 作 状 態
クロック発生回路		発振可能。CPUへのクロック供給は停止
CPU		動作停止
ポート（出力ラッチ）		HALTモード設定前の状態を保持
16ビット・タイマ/イベント・カウンタ		動作可能
8ビット・タイマ/イベント・カウンタ		
10ビット・インバータ制御用タイマ		
ウォッチドッグ・タイマ		
リアルタイム出力ポート		
A/Dコンバータ		
シリアル・インタフェース		
外部割り込み		
外部拡張時のバス・ ライン	AD0-AD7	ハイ・インピーダンス
	ASTB	ロウ・レベル
	\overline{WR} , \overline{RD}	ハイ・レベル
	\overline{WAIT}	ハイ・インピーダンス

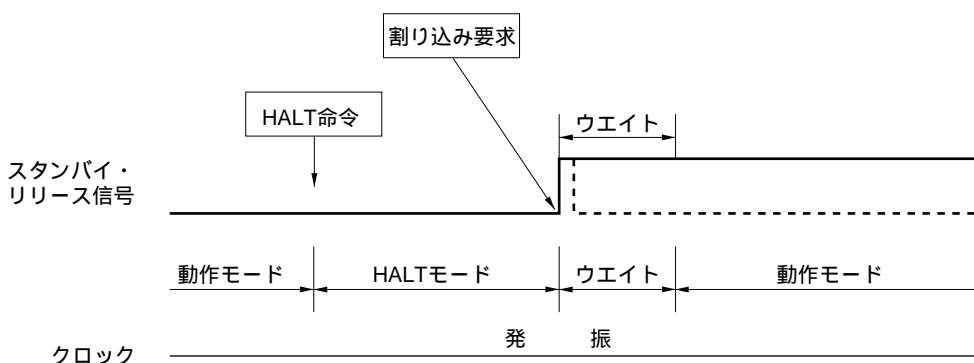
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み要求受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み要求受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図16 - 2 HALTモードの割り込み要求発生による解除



備考1．破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2．ウェイト時間は次のようになります。

- ・ベクタに分岐した場合 : 8 ~ 9クロック
- ・ベクタに分岐しなかった場合 : 2 ~ 3クロック

(b) ノンマスクابل割り込み要求による解除

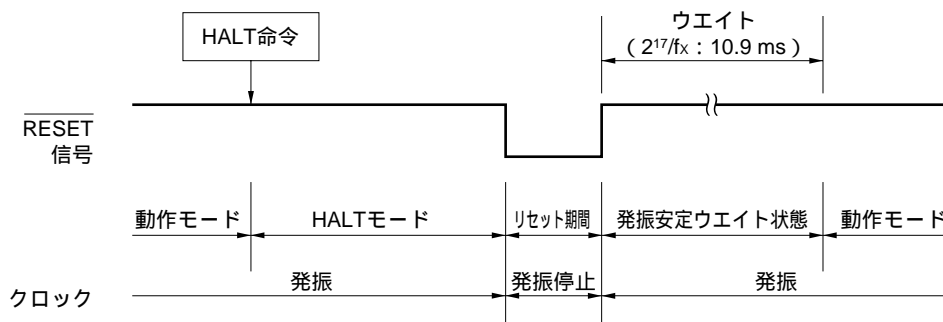
ノンマスクابل割り込み要求が発生すると、割り込み要求受け付け許可、禁止の状態に関係なく、HALTモードは解除され、ベクタ割り込み処理が行われます。

(c) $\overline{\text{RESET}}$ 入力による解除

$\overline{\text{RESET}}$ 信号の入力があると、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

★

図16 - 3 HALTモードの $\overline{\text{RESET}}$ 入力による解除



備考1 . fx : システム・クロック発振周波数

2 . () 内は , fx = 12 MHz動作時

表16 - 2 HALTモードの解除後の動作

解除ソース	MKxx	PRxx	IE	ISP	動作
マスクブル	0	0	0	×	次アドレス命令実行
割り込み要求	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	HALTモード保持
ノンマスクブル	-	-	×	×	割り込み処理実行
割り込み要求	-	-	×	×	リセット処理
RESET入力	-	-	×	×	

x : don't care

16.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意1 . STOPモードに設定すると、クリスタル発振回路部のリークを抑えるためにX2端子が内部で V_{DD1} にプルアップされます。したがって、システム・クロックに外部クロックを使用するシステムでは、STOPモードは使用しないでください。

2 . スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ (OSTS) による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表16 - 3 STOPモード時の動作状態

項 目	動 作 状 態	
クロック発生回路	発振停止	
CPU	動作停止	
出力ポート (出力ラッチ)	STOP命令実行直前の状態を保持	
16ビット・タイマ/イベント・カウンタ	カウント・クロックにTI000, TI001選択時のみ動作可能	
8ビット・タイマ/イベント・カウンタ	カウント・クロックにTI50, TI51, TI52選択時のみ動作可能	
10ビット・インバータ制御用タイマ	動作停止	
ウォッチドッグ・タイマ	動作停止	
リアルタイム出力ポート	外部トリガを使用時または、タイマ/イベント・カウンタのカウント・クロックにTI010, TI011, TI52選択時、動作可能	
A/Dコンバータ	動作停止	
シリアル・インタフェース	動作停止	
外部割り込み	動作可能	
外部拡張時の	AD0-AD7	ハイ・インピーダンス
バス・ライン	ASTB	ロウ・レベル
	\overline{WR} , \overline{RD}	ハイ・レベル
	\overline{WAIT}	ハイ・インピーダンス

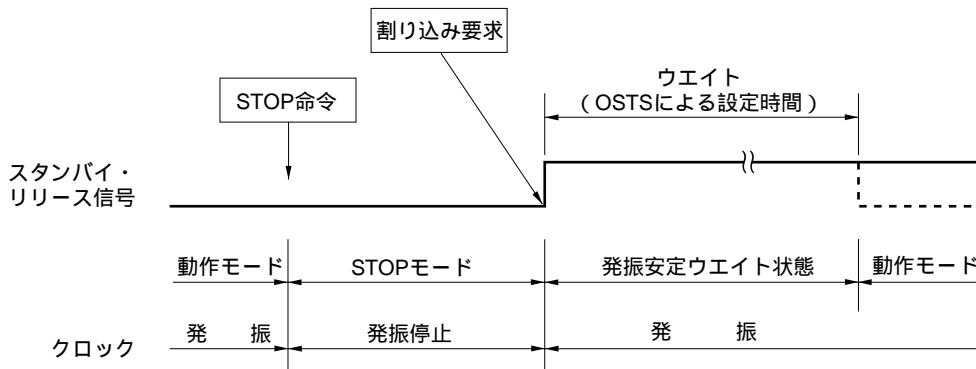
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードは解除されます。発振安定時間経過後、割り込み要求受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み要求受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図16-4 STOPモードの割り込み要求発生による解除



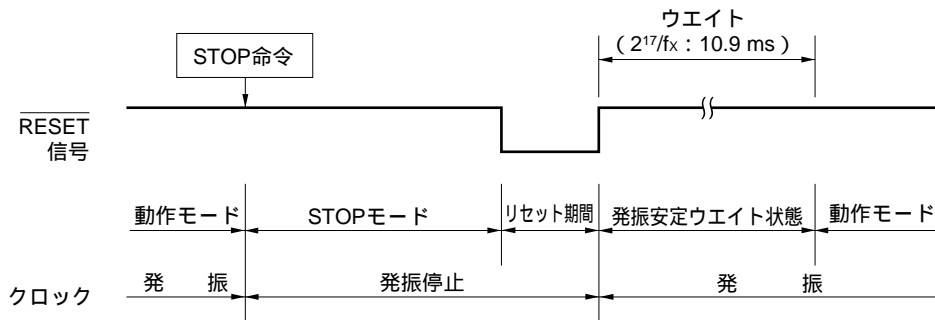
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) $\overline{\text{RESET}}$ 入力による解除

$\overline{\text{RESET}}$ 信号の入力があると、STOPモードは解除されます。そして、発振安定時間経過後リセット動作が行われます。

★

図16 - 5 STOPモードの $\overline{\text{RESET}}$ 入力による解除



備考1 . f_x : システム・クロック発振周波数

2 . () 内は, $f_x = 12 \text{ MHz}$ 動作時

表16 - 4 STOPモードの解除後の動作

解除ソース	MK x x	PR x x	IE	ISP	動作
マスカブル	0	0	0	x	次アドレス命令実行
割り込み要求	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	
	0	1	1	1	割り込み処理実行
	1	x	x	x	STOPモード保持
$\overline{\text{RESET}}$ 入力	-	-	x	x	リセット処理

x : don't care

第17章 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、 $\overline{\text{RESET}}$ 入力により、ともに0000H、0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバーフローが発生することによってリセットがかかり、各ハードウェアは表17-1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後 ($2^{17}/f_x$) プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバーフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後 ($2^{17}/f_x$) プログラムの実行を開始します (図17-2から図17-4参照)。

- 注意1** . 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
- 2 . リセット入力中は、システム・クロックの発振が停止します。
 - 3 . リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。
ただし、ポート端子は、ハイ・インピーダンスとなります。

図17-1 リセット機能のブロック図

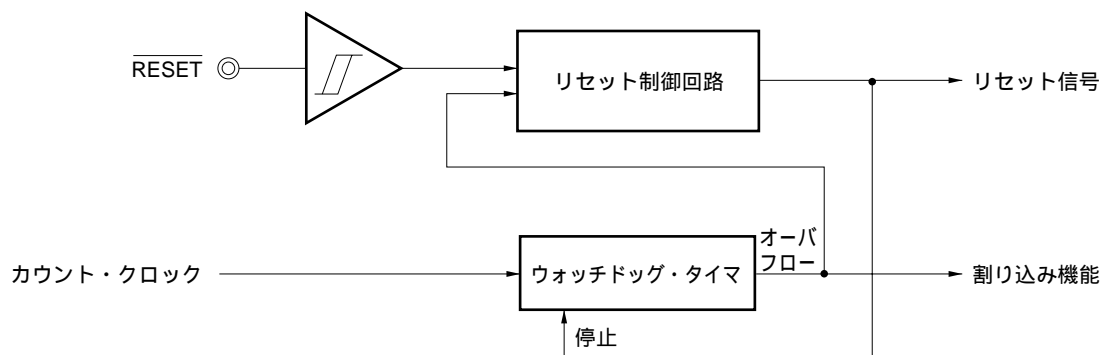


図17-2 RESET入力によるリセット・タイミング

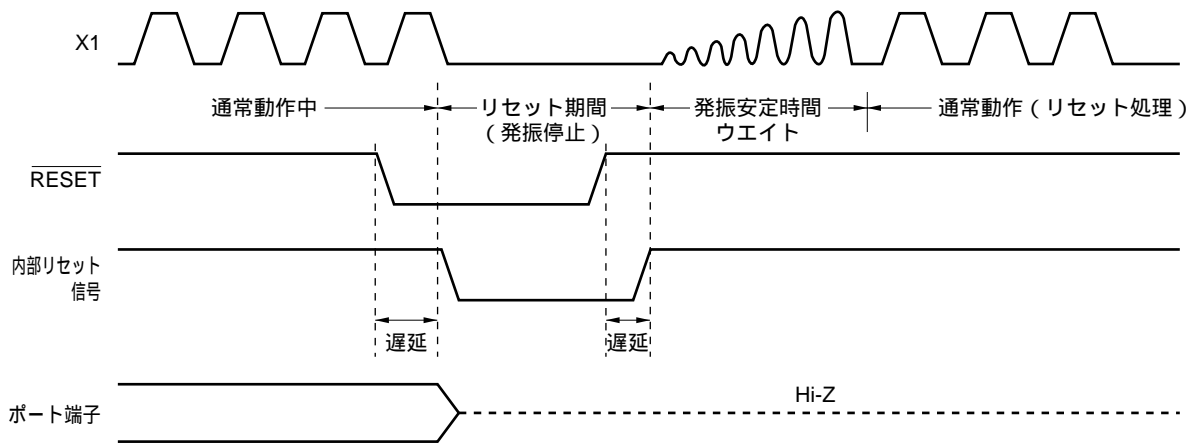


図17-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

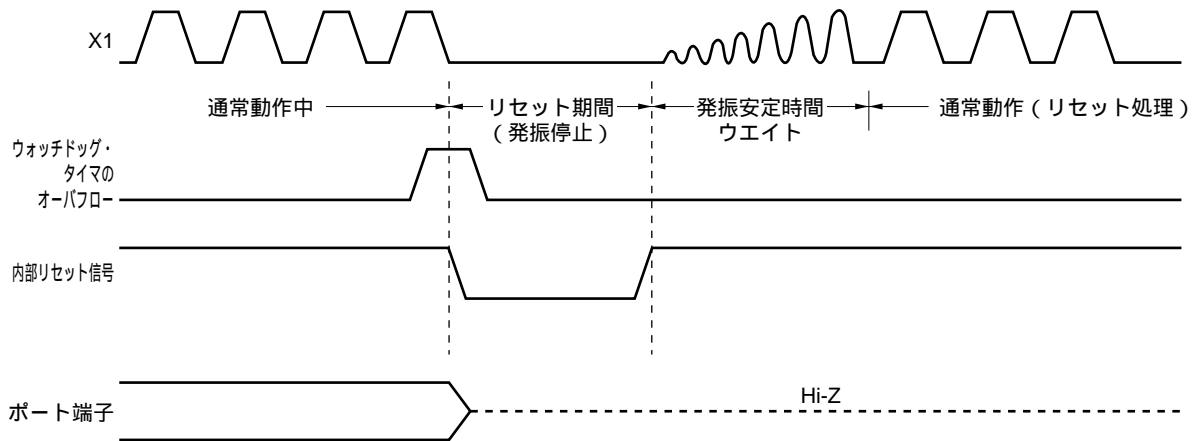


図17-4 STOPモード中のRESET入力によるリセット・タイミング

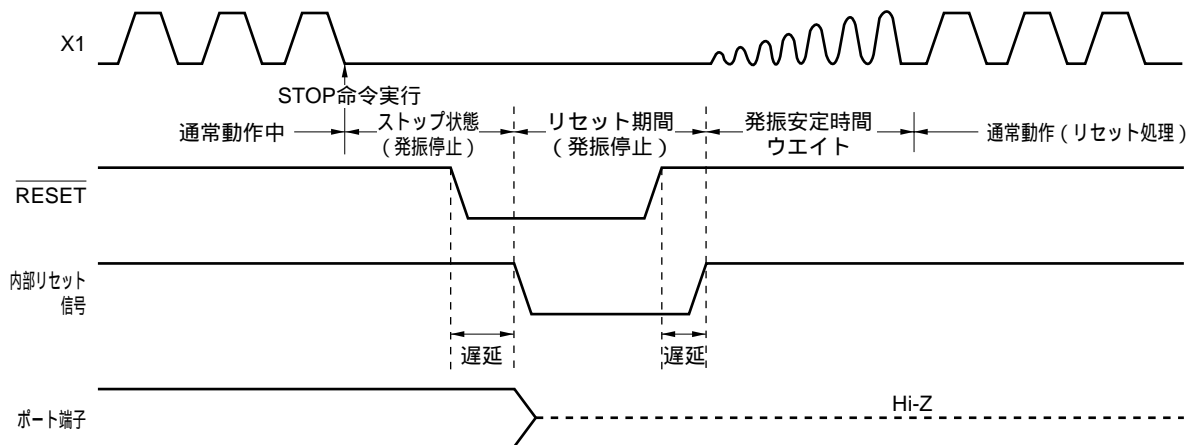


表17 - 1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート (出力ラッチ)	ポート0-6 (P0-P6)	00H
ポート・モード・レジスタ (PM0, PM2-PM6)		FFH
ブルアップ抵抗オプション・レジスタ (PU0, PU2-PU6)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		04H
メモリ拡張モード・レジスタ (MEM)		00H
メモリ拡張ウエイト設定レジスタ (MM)		10H
メモリ・サイズ切り替えレジスタ (IMS)		CFH ^{注3}
内部拡張RAMサイズ切り替えレジスタ (IXS)		0CH ^{注4}
フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)		08H ^{注5}
発振安定時間選択レジスタ (OSTS)		04H
リアルタイム出力ポート	モード・レジスタ (RTPM00, RTPM01)	00H
	コントロール・レジスタ (RTPC00, RTPC01)	00H
	DC制御レジスタ (DCCTL0, DCCTL1)	00H
	パッファ・レジスタ (RTBL00, RTBH00, RTBL01, RTBH01)	00H

注1．リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2．スタンバイ・モード時にリセットがかかった場合には、リセット前の状態がリセット後も保持されます。

3．初期値はCFHですが、各製品ごとに次に示す値を設定して使用してください。

- μ PD780982 : C4H
- μ PD780983 : C6H
- μ PD780984 : C8H
- μ PD780986 : CCH
- μ PD780988 : CFH (μ PD780988は設定値がCFHなので、初期値を変更する必要はありません)
- μ PD78F0988A : マスクROM製品に対応した値

4．初期値は0CHですが、各製品ごとに次に示す値を設定して使用してください。

- μ PD780982, 780983, 780984 : 0CH (μ PD780982, 780983, 780984は設定値が0CHなので、初期値を変更する必要はありません)
- μ PD780986, 780988 : 0AH
- μ PD78F0988A : マスクROM製品に対応した値

5．ビット2は、V_{PP}のレベルによって変化します。

表17-1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア	リセット後の状態	
10ビット・インバータ制御用 タイマ	コンペア・レジスタ (CM0-CM2)	0000H
	コンペア・レジスタ (CM3)	00FFH
	バッファ・レジスタ (BFCM0-BFCM2)	0000H
	バッファ・レジスタ (BFCM3)	00FFH
	デッド・タイム・リロード・レジスタ (DTIME)	FFH
	コントロール・レジスタ (TMC7)	00H
	モード・レジスタ (TMM7)	00H
16ビット・タイマ/ イベント・カウンタ	タイマ・カウンタ (TM00, TM01)	0000H
	キャプチャ/コンペア・コントロール・レジスタ (CRC00, CRC01)	00H
	キャプチャ/コンペア・レジスタ (CR000, CR010, CR001, CR011)	不定
	プリスケラ・モード・レジスタ (PRM00, PRM01)	00H
	モード・コントロール・レジスタ (TMC00, TMC01)	00H
	タイマ出力コントロール・レジスタ (TOC00, TOC01)	00H
8ビット・タイマ/ イベント・カウンタ	タイマ・カウンタ (TM50-TM52)	00H
	コンペア・レジスタ (CR50-CR52)	不定
	クロック選択レジスタ (TCL50-TCL52)	00H
	モード・コントロール・レジスタ (TMC50-TMC52)	00H
ウォッチドッグ・タイマ	クロック選択レジスタ (WDSC)	00H
	モード・レジスタ (WDTM)	00H
シリアル・インタフェース	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM00, ASIM01)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS00, ASIS01)	00H
	送信シフト・レジスタ (TXS00, TXS01)	FFH
	受信バッファ・レジスタ (RXB00, RXB01)	FFH
	ポーレート・ジェネレータ・コントロール・レジスタ (BRGC00, BRGC01)	00H
	シフト・レジスタ (SIO3)	不定
	モード・レジスタ (CSIM3)	00H
A/Dコンバータ	モード・レジスタ (ADM0)	00H
	変換結果レジスタ (ADCR0)	不定
	アナログ入力チャンネル指定レジスタ (ADS0)	00H
割り込み	要求フラグ・レジスタ (IF0L, IF0H, IF1L)	00H
	マスク・フラグ・レジスタ (MK0L, MK0H, MK1L)	FFH
	優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ (EGP, EGP5)	00H
	外部割り込み立ち下がりエッジ許可レジスタ (EGN, EGN5)	00H

第18章 μ PD78F0988A

μ PD78F0988Aは、 μ PD780988の内蔵マスクROMを、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリに置き換えた製品です。 μ PD78F0988AとマスクROM製品の違いを表18 - 1に示します。

表18 - 1 μ PD78F0988AとマスクROM製品の違い

項 目	μ PD78F0988A	マスクROM製品
内部ROM構造	フラッシュ・メモリ	マスクROM
内部ROM容量	60 Kバイト ^{注1}	μ PD780982 : 16 Kバイト μ PD780983 : 24 Kバイト μ PD780984 : 32 Kバイト μ PD780986 : 48 Kバイト μ PD780988 : 60 Kバイト
内部拡張RAM容量	1024バイト ^{注2}	μ PD780982, 780983, : なし 780984 μ PD780986, 780988 : 1024バイト
TEST端子	なし	あり
V _{PP} 端子	あり	なし

注1 . メモリ・サイズ切り替えレジスタ (IMS) により、マスクROM製品と同一の容量に設定できます。

2 . 内部拡張RAMサイズ切り替えレジスタ (IXS) により、マスクROM製品と同一の容量に設定できます。

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品でなく) で十分に評価してください。

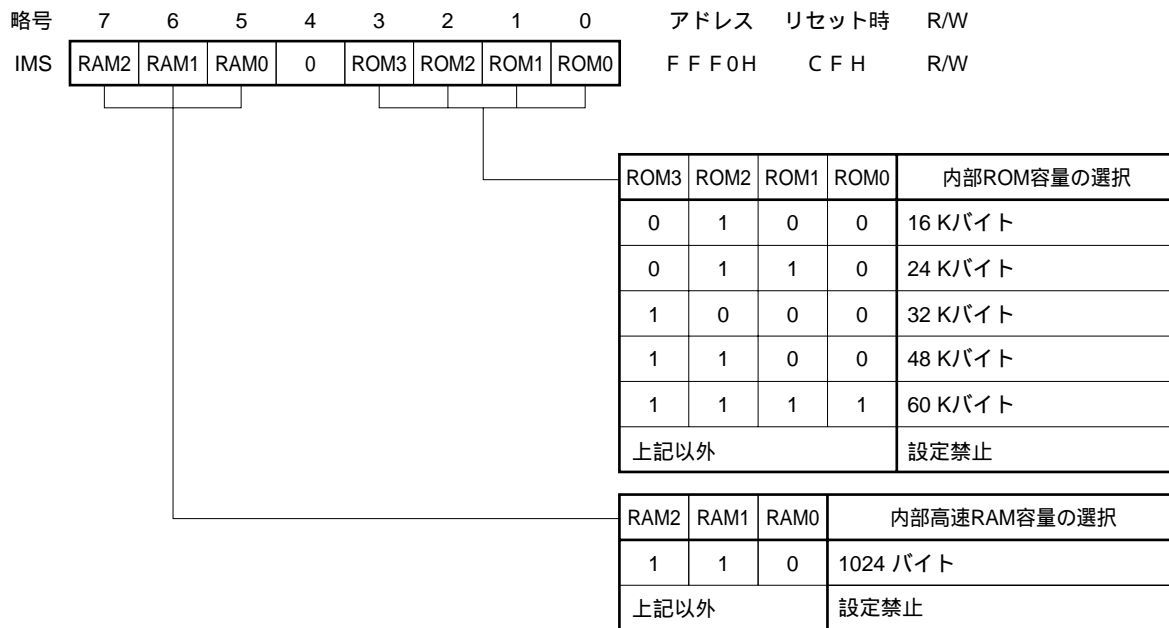
18.1 メモリ・サイズ切り替えレジスタ

μ PD78F0988Aは、メモリ・サイズ切り替えレジスタ（IMS）により、内部メモリ容量を選択できます。IMSを設定することにより、内部メモリ容量の異なるマスクROM製品と同一のメモリ・マップにできます。

IMSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、CFHになります。

図18 - 1 メモリ・サイズ切り替えレジスタのフォーマット



マスクROM製品と同一のメモリ・マップにするIMSの設定値を表18 - 2 に示します。

表18 - 2 メモリ・サイズ切り替えレジスタの設定値

対象のマスクROM製品	IMSの設定値
μ PD780982	C4H
μ PD780983	C6H
μ PD780984	C8H
μ PD780986	CCH
μ PD780988	CFH

注意 マスクROM製品を使用する場合、IMSには表18 - 2 に示す値を必ず設定してください。なお、 μ PD780988は設定値がCFHなので、初期値を変更する必要はありません。

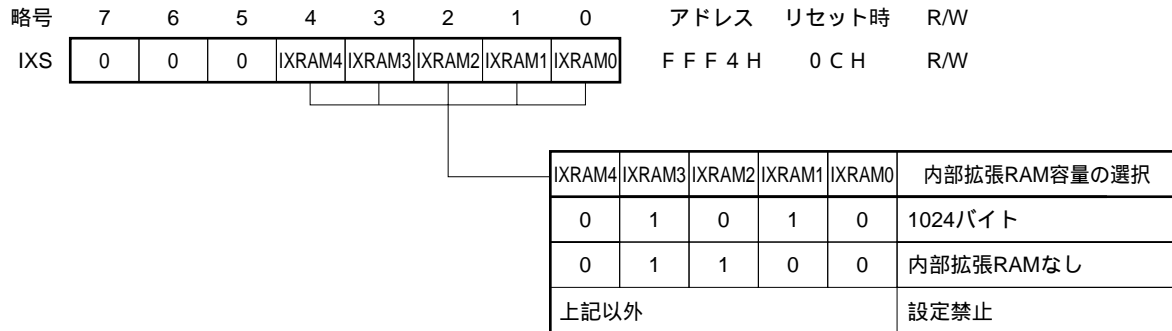
18.2 内部拡張RAMサイズ切り替えレジスタ

μ PD78F0988Aは、内部拡張RAMサイズ切り替えレジスタ(IXS)により、内部拡張RAM容量を選択できます。IXSを設定することにより、内部拡張RAM容量の異なるマスクROM製品と同一のメモリ・マップにできます。

IXSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、0CHになります。

図18 - 2 内部拡張RAMサイズ切り替えレジスタのフォーマット



マスクROM製品と同一のメモリ・マップにするIXSの設定値を表18 - 3に示します。

表18 - 3 内部拡張RAMサイズ切り替えレジスタの設定値

対象のマスクROM製品	IXSの設定値
μ PD780982	0CH
μ PD780983	
μ PD780984	
μ PD780986	0AH
μ PD780988	

注意 マスクROM製品を使用する場合、IXSには表18 - 3に示す値を必ず設定してください。なお、 μ PD780982, 780983, 780984は設定値が0CHなので、初期値を変更する必要はありません。

★ 18.3 フラッシュ・メモリの特徴

フラッシュ・メモリへのプログラミングは、 μ PD78F0988Aを実装した状態（オンボード）のターゲット・システムに、専用のフラッシュ・ライター（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））を接続して行います。またプログラミング専用のターゲット・ボードであるフラッシュ書き込み用アダプタ（プログラム・アダプタ）を用意しています。

備考 FL-PR3, FL-PR4, プログラム・アダプタは、株式会社内藤電誠町田製作所（TEL（045）475-4191）の製品です。

フラッシュ・メモリへの書き込み/消去は、次の条件で行ってください。

拡張規格品の場合

- ・ 4.5 V V_{DD} 5.5 V時： $f_x = 10.0$ MHz以下
- ・ 3.0 V $V_{DD} < 4.5$ V時： $f_x = 8.38$ MHz以下

従来規格品の場合

- ・ 4.0 V V_{DD} 5.5 V時： $f_x = 8.38$ MHz以下

上記以外の条件の詳細については、第20章 電気的特性（拡張規格品）、第21章 電気的特性（従来規格品）を参照してください。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

- ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで少量多品種生産が容易
- 量産立ち上げ時のデータ調整が容易

18.3.1 プログラミング環境

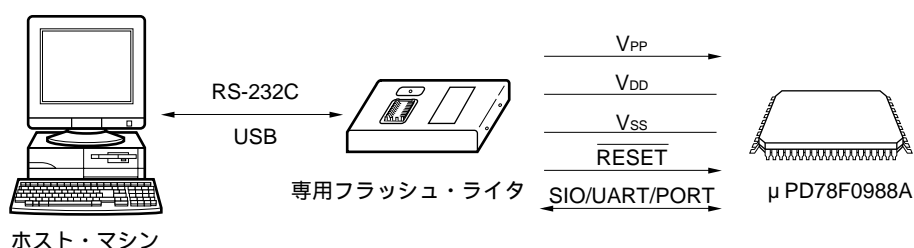
μ PD78F0988Aのフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライターとしてFlashpro /Flashpro を使用した場合、専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライター間の通信は、RS-232C/USB（Rev1.1）で行います。

詳細はFlashpro /Flashpro のマニュアルを参照してください。

備考 USBはFlashpro のみ対応

図18 - 3 フラッシュ・メモリにプログラムを書き込むための環境



18.3.2 通信方式

専用フラッシュ・ライタと μ PD78F0988Aとの通信は、表18 - 4 に示す通信方式から選択して行います。

表18 - 4 通信方式一覧

通信方式	TYPE設定 ^{注1}					使用端子	V _{PP} パルス数
	COMM PORT	SIOクロック	CPU CLOCK	Flash Clock	Multiple Rate		
3線式シリアルI/O (SIO3)	SIO ch-0 (3wired, sync.)	100 Hz-1.25 MHz ^{注2}	任意	1-10 MHz ^{注2}	1.0	SI/P52 SO/P53 $\overline{\text{SCK}}$ /P51	0
3線式シリアルI/O (SIO3) ハンドシェイクあり	SIO ch-3 + handshake					SI/P52 SO/P53 $\overline{\text{SCK}}$ /P51 P50 (HS)	3
UART (UART00)	UART ch-0 (Async.)	4800-76800 bps ^{注2, 4}	任意	1-10 MHz ^{注2}	1.0	RxD00/P20 TxD00/P21	8
疑似3線式シリアル I/O ^{注3}	Port A (Pseudo-3wired)	100 Hz-1 kHz ^{注2}	任意	1-10 MHz ^{注2}	1.0	P24/TI50/TO50 (シリアル・ データ入力) P25/TI51/TO51 (シリアル・ データ出力) P26/TI52/TO52 (シリアル・ク ロック入力)	12

注1．専用フラッシュ・ライタ (Flashpro /Flashpro) 上のTYPE設定における選択項目です。

- 2．電圧により設定可能な範囲が異なります。詳細は第20章 電気的特性 (拡張規格品) , 第21章 電気的特性 (従来規格品) を参照してください。
- 3．ポートをソフトウェアで制御してシリアル転送を行います。
- 4．UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

図18 - 4 通信方式選択フォーマット

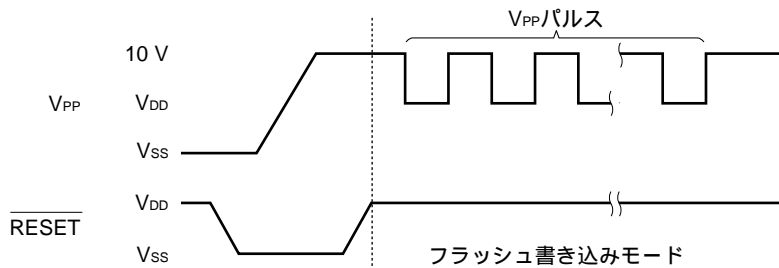
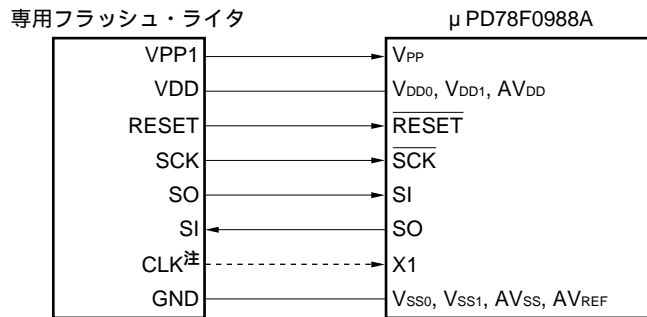
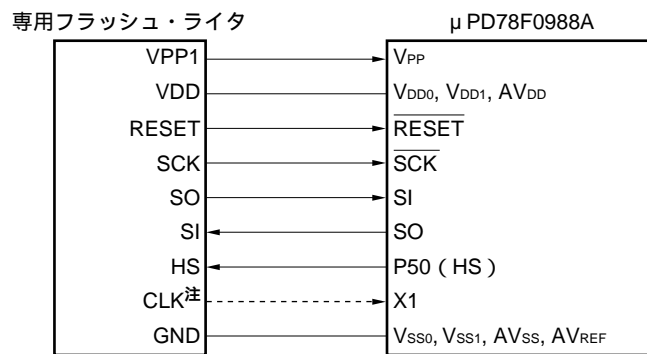


図18 - 5 専用フラッシュ・ライタとの接続例 (1/2)

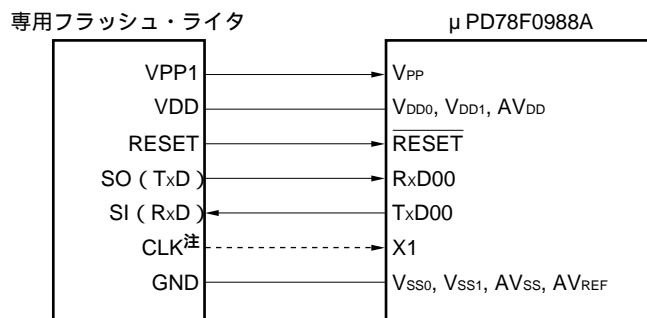
(a) 3線式シリアルI/O (SIO3)



(b) 3線式シリアルI/O (SIO3) ハンドシェークあり



(c) UART (UART00)

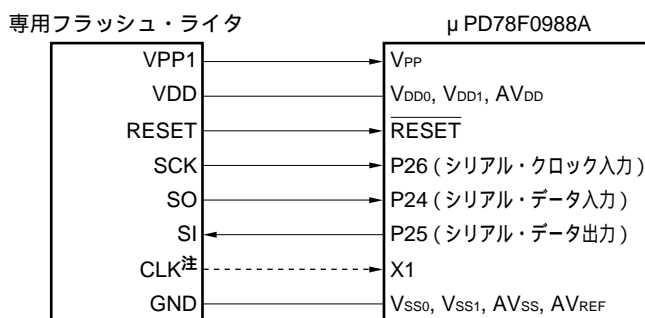


注 専用フラッシュ・ライタからシステム・クロックを供給する場合に接続します。X1端子にすでに振動子が接続されている場合は、CLK端子と接続する必要はありません。

注意 V_{DD0} , V_{DD1} 端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのVDD端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

図18 - 5 専用フラッシュ・ライタとの接続例 (2/2)

(d) 疑似3線式シリアルI/O



注 専用フラッシュ・ライタからシステム・クロックを供給する場合に接続します。X1端子にすでに振動子が接続されている場合は、CLK端子と接続する必要はありません。

注意 VDD0, VDD1端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのVDD端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

専用フラッシュ・ライタとしてFlashpro /Flashpro を使用した場合、μPD78F0988Aに対して次の信号を生成します。詳細はFlashpro /Flashpro のマニュアルを参照してください。

表18 - 5 端子接続一覧

信号名	入出力	端子機能	端子名	SIO3	SIO3 (HS)	UART00	疑似3線式
VPP1	出力	書き込み電圧	V _{PP}				
VPP2	-	-	-	×	×	×	×
VDD	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD0} , V _{DD1} , AV _{DD}	注	注	注	注
GND	-	グランド	V _{SS0} , V _{SS1} , AV _{SS} , AV _{REF}				
CLK	出力	クロック出力	X1				
RESET	出力	リセット信号	RESET				
SI (RxD)	入力	受信信号	SO/TxD00/P25				
SO (TxD)	出力	送信信号	SI/RxD00/P24				
SCK	出力	転送クロック	SCK/P26			×	
HS	入力	ハンドシェイク信号	P50 (HS)	×		×	×

注 V_{DD}電圧はプログラミング開始前に供給する必要があります。

備考 : 必ず接続してください。

: ターゲット・ボード上で供給されていれば、接続の必要はありません。

× : 接続の必要はありません。

18.3.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

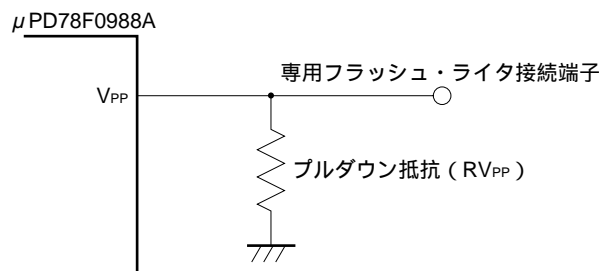
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に10.0 V (TYP.) の書き込み電圧を供給しますので、次の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗 $R_{VPP} = 10\text{ k}$ を接続してください
- (2) ボード上のジャンパで、V_{PP}端子の入力をライター側または直接GNDのどちらかに切り替えてください

V_{PP}端子の接続例を次に示します。

図18 - 6 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

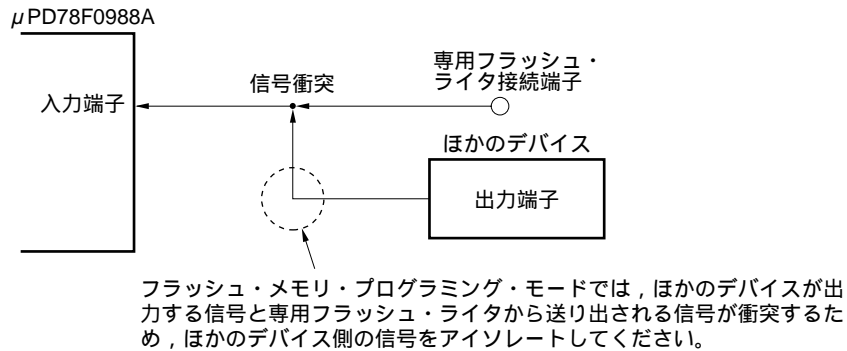
シリアル・インタフェース	使用端子
3線式シリアルI/O (SIO3)	SI, SO, $\overline{\text{SCK}}$
3線式シリアルI/O (SIO3) ハンドシェイクあり	SI, SO, $\overline{\text{SCK}}$, P50 (HS)
UART (UART00)	RxD00, TxD00
疑似3線式シリアルI/O	P24, P25, P26

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

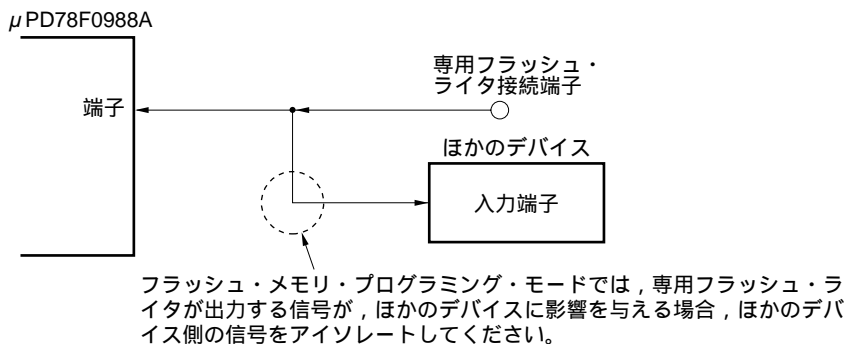
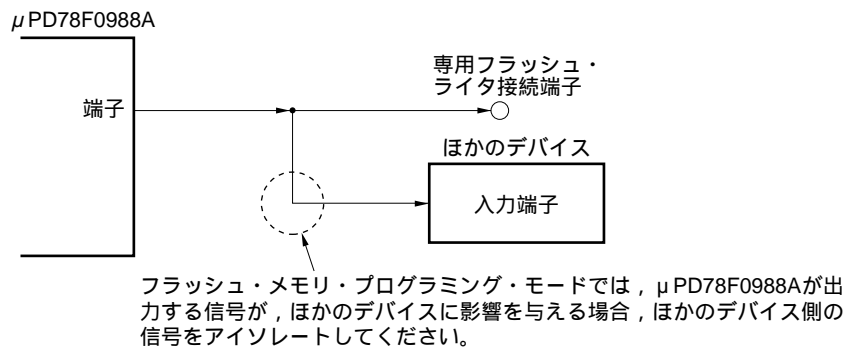
図18 - 7 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図18 - 8 ほかのデバイスの異常動作

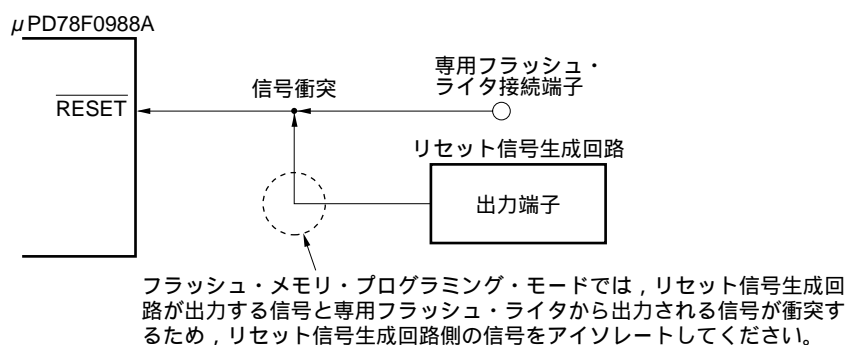


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図18 - 9 信号の衝突 (RESET端子)

**<ポート端子>**

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・ライタと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介して V_{DD0} に接続する、または抵抗を介して V_{SS0} に接続するなどの処置をしてください。

<発振端子>

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上のメイン発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。

<電 源>

フラッシュ・ライタの電源出力を使用する場合は、 V_{DD0} , V_{DD1} 端子はフラッシュ・ライタのVDDに、 V_{SS0} , V_{SS1} 端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのVDDは必ず接続してください。

その他の電源 (AV_{DD} , AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

<その他の端子>

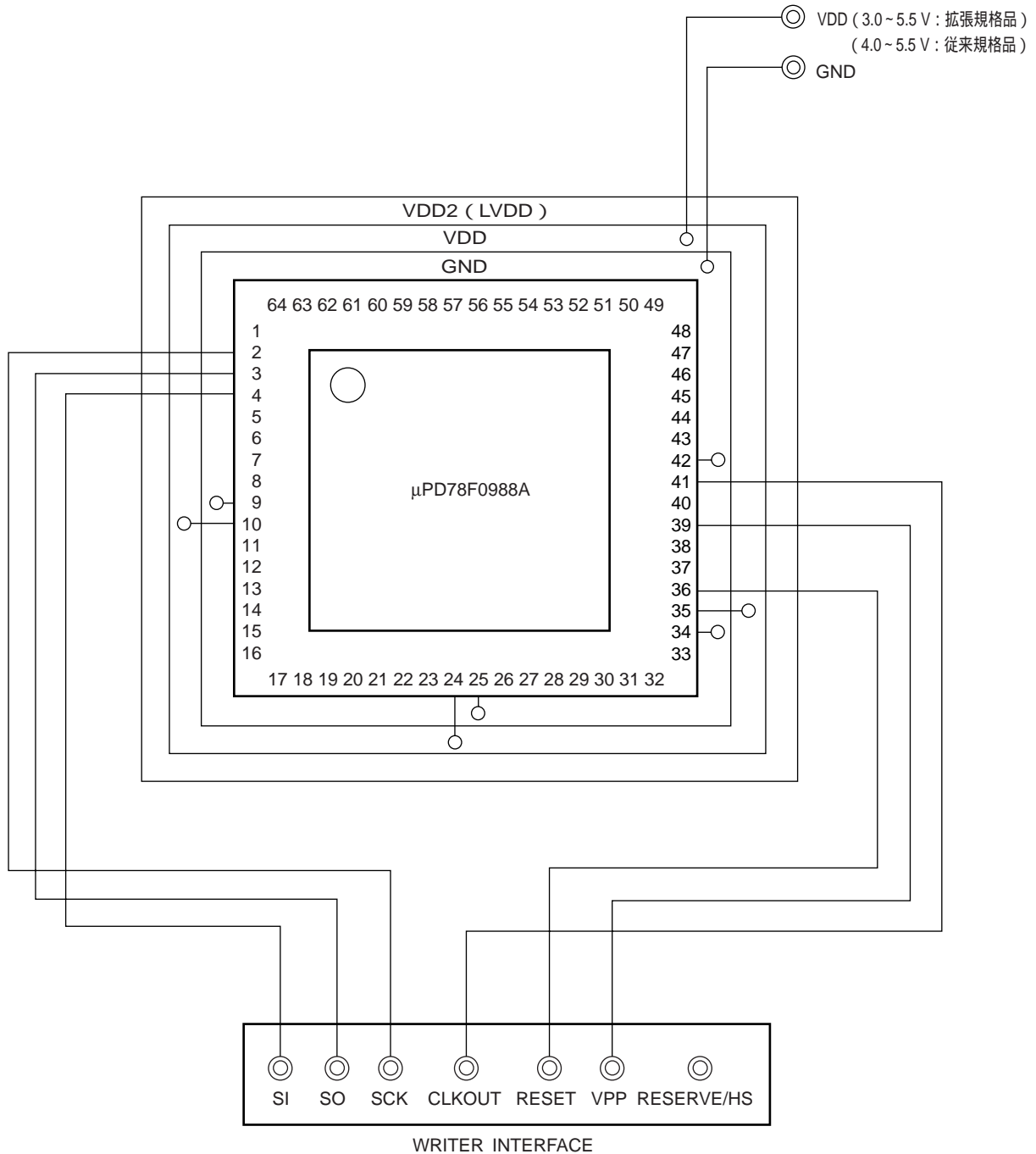
その他の端子 (TO70-TO75, AV_{REF} , TEST) は、通常動作モード時と同じ処理をしてください。

18.3.4 フラッシュ書き込み用アダプタの接続

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図18 - 10 3線式シリアルI/O (SIO3)でのフラッシュ書き込み用アダプタ配線例

(a) 64ピン・プラスチックQFP (14x14) , 64ピン・プラスチックLQFP (14x14) の場合



(b) 64ピン・プラスチックSDIP (19.05 mm (750)) の場合

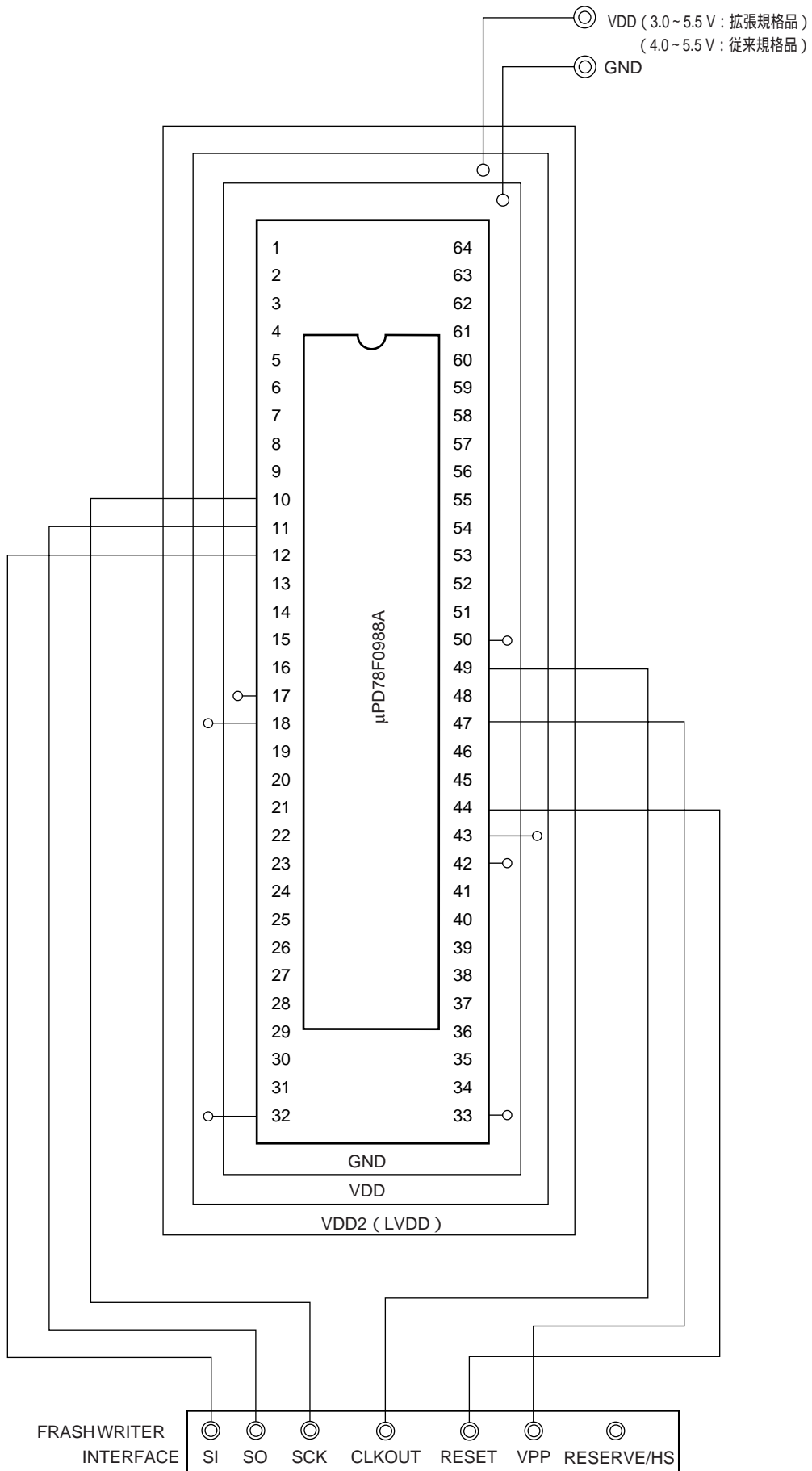
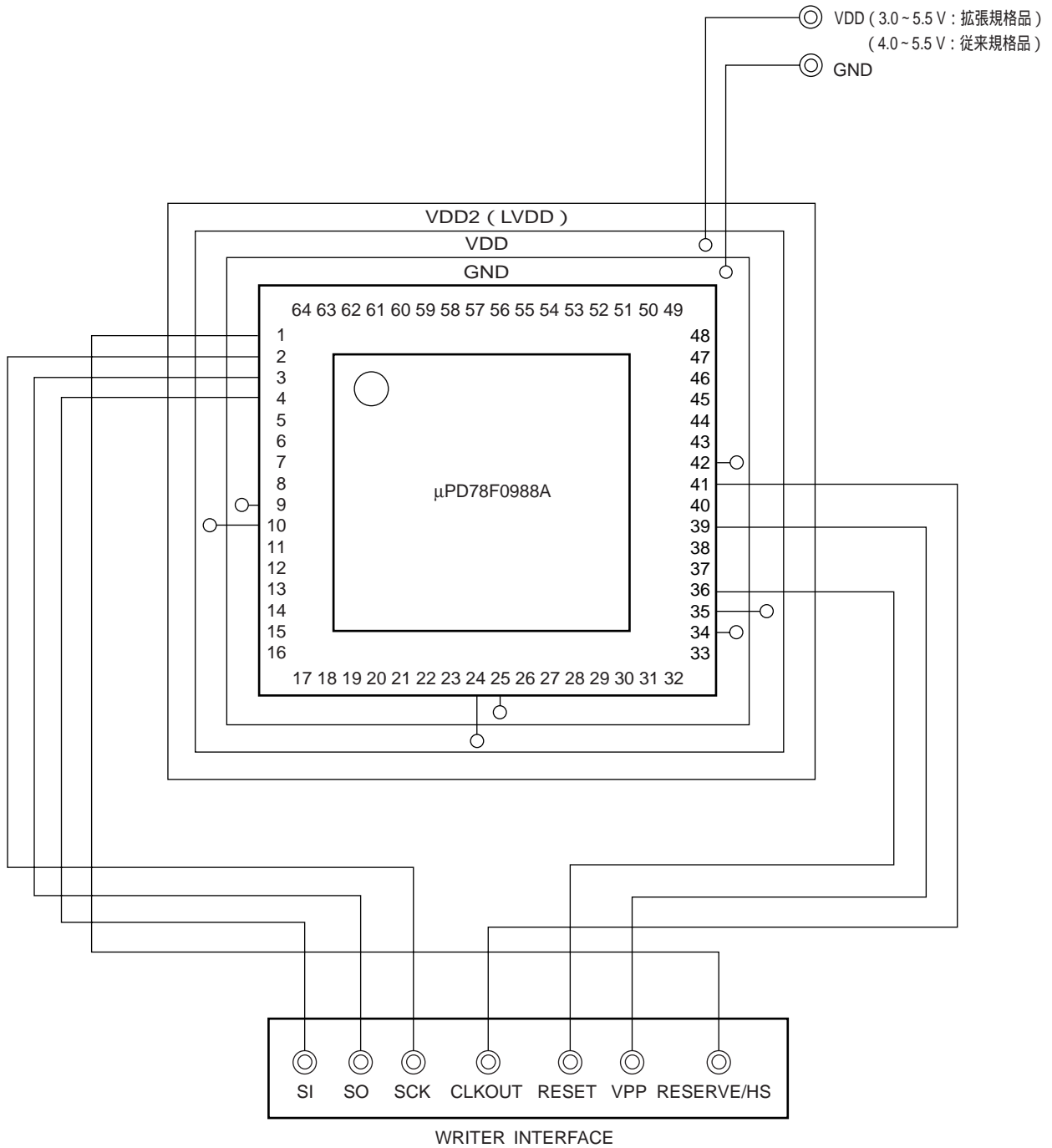


図18 - 11 3線式シリアルI/O (SIO3) ハンドシェークありでのフラッシュ書き込み用アダプタ配線例

(a) 64ピン・プラスチックQFP (14x14) , 64ピン・プラスチックLQFP (14x14) の場合



(b) 64ピン・プラスチックSDIP (19.05 mm (750)) の場合

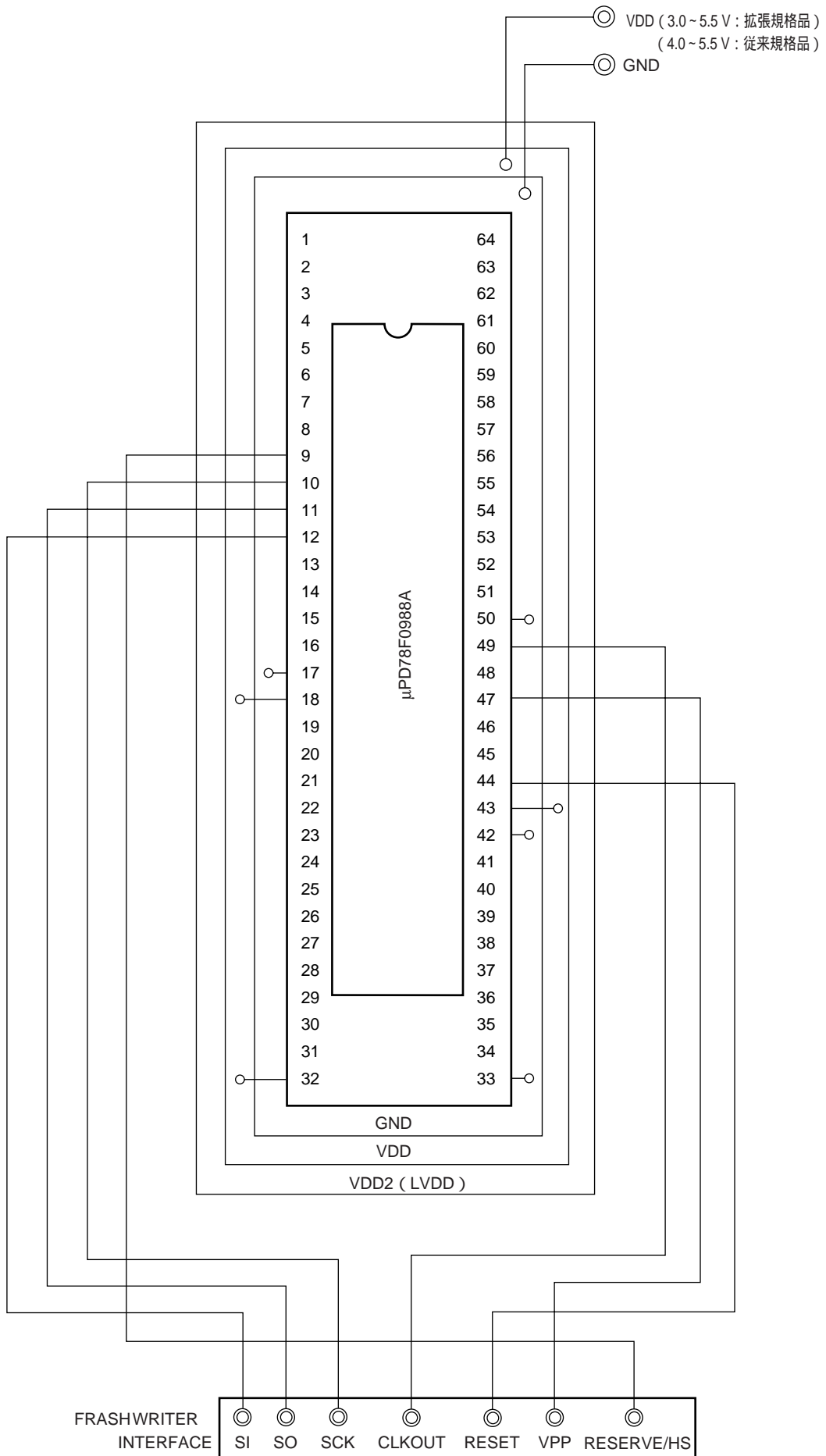
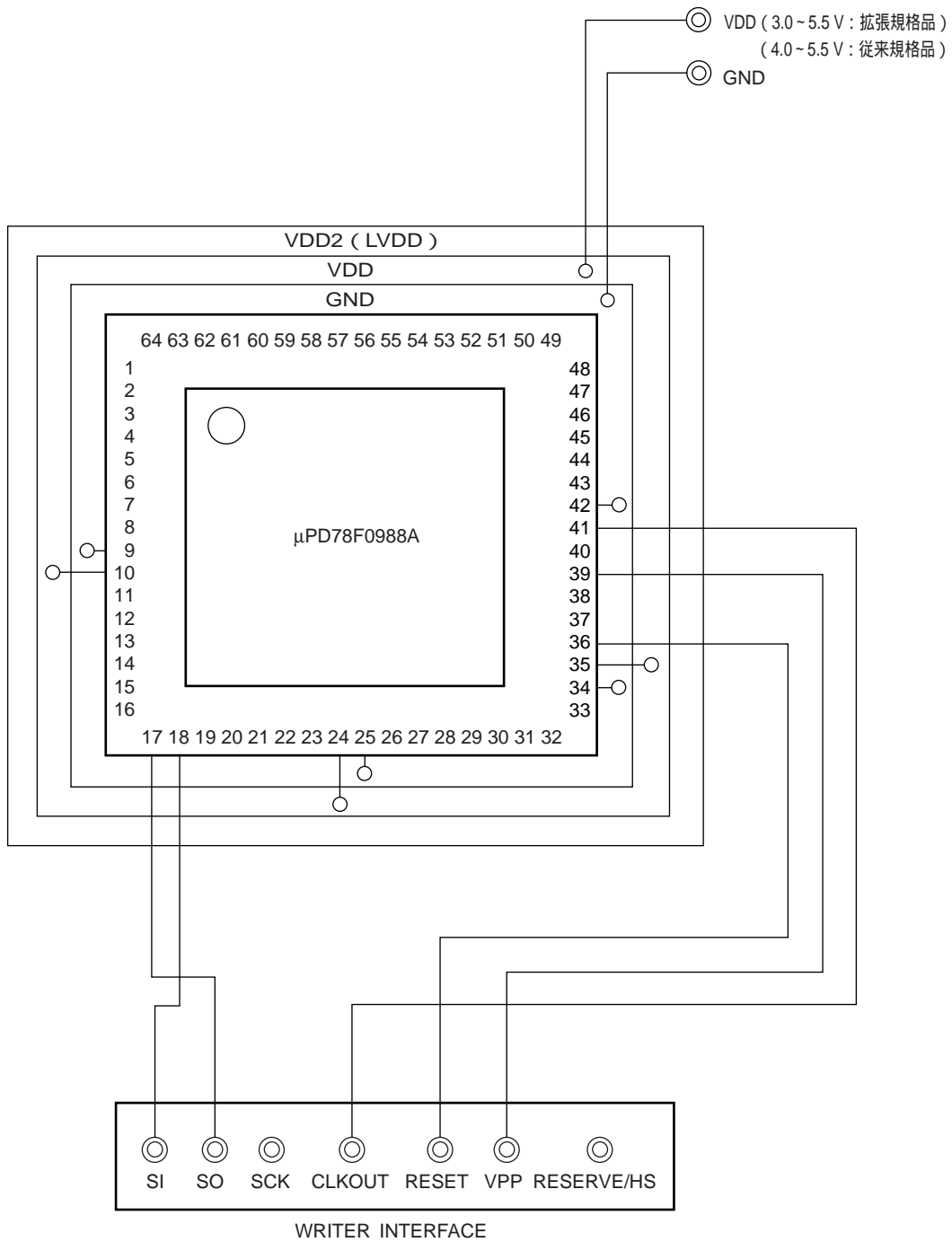


図18 - 12 UART (UART0) でのフラッシュ書き込み用アダプタ配線例

(a) 64ピン・プラスチックQFP (14x14) , 64ピン・プラスチックLQFP (14x14) の場合



(b) 64ピン・プラスチックSDIP (19.05 mm (750)) の場合

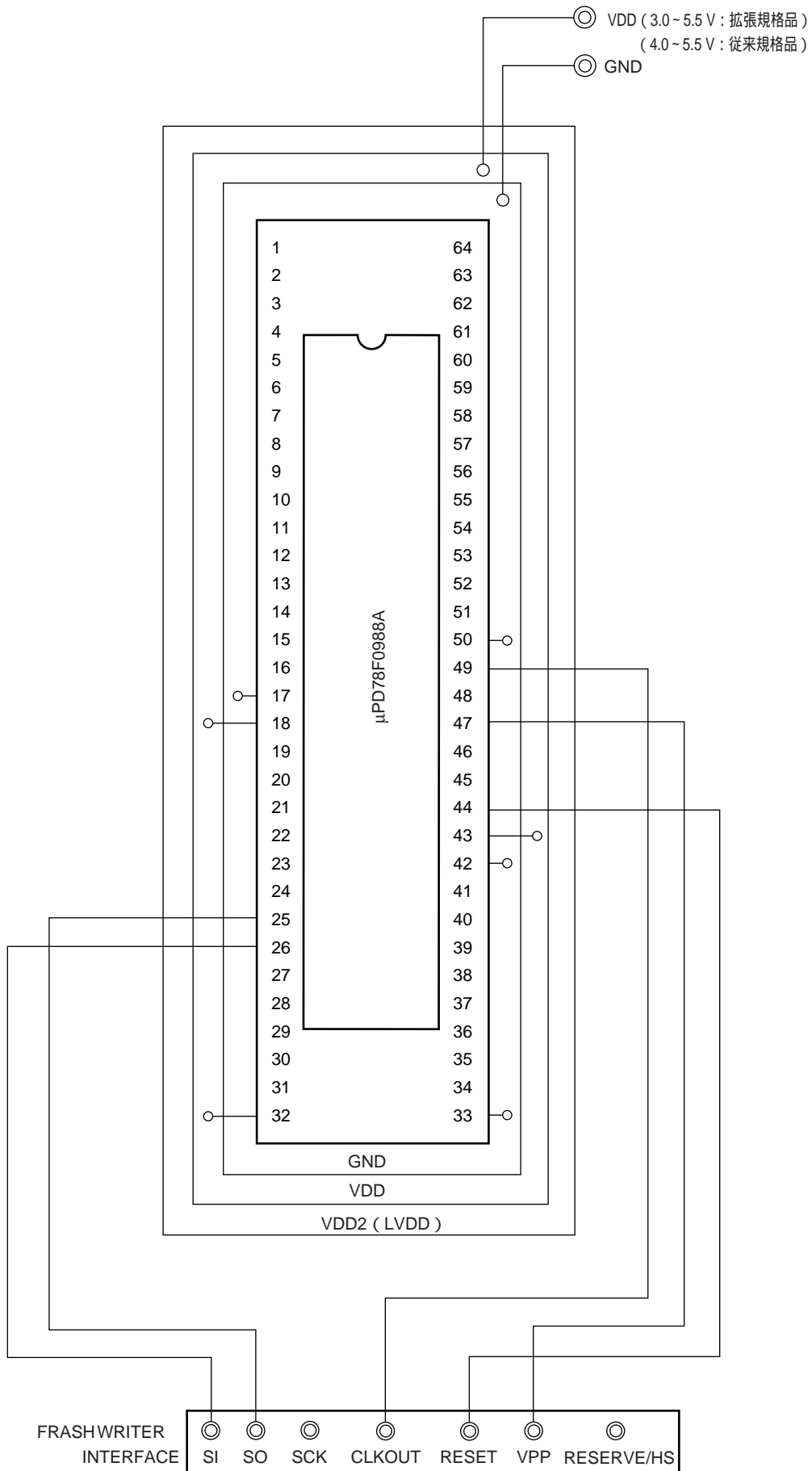
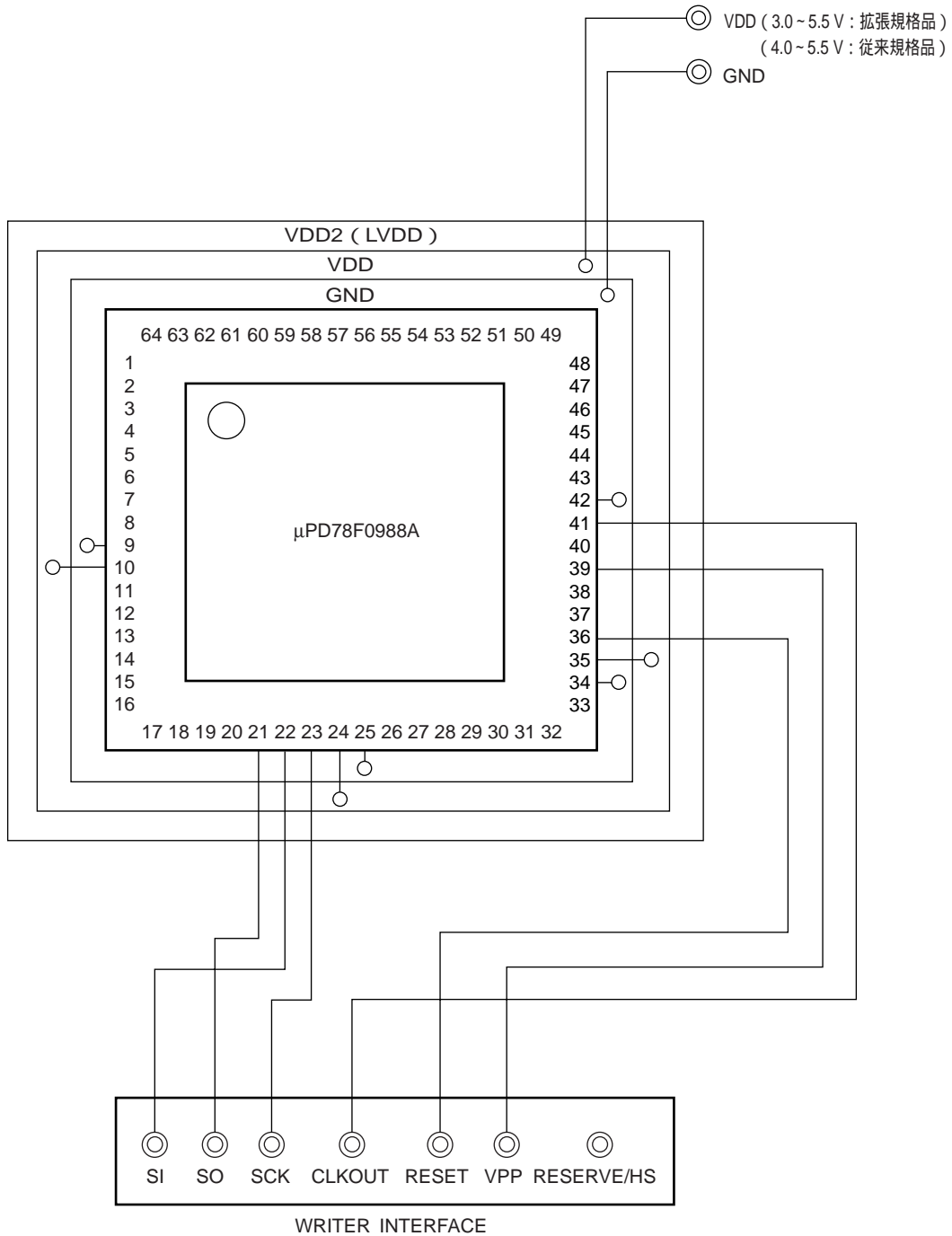
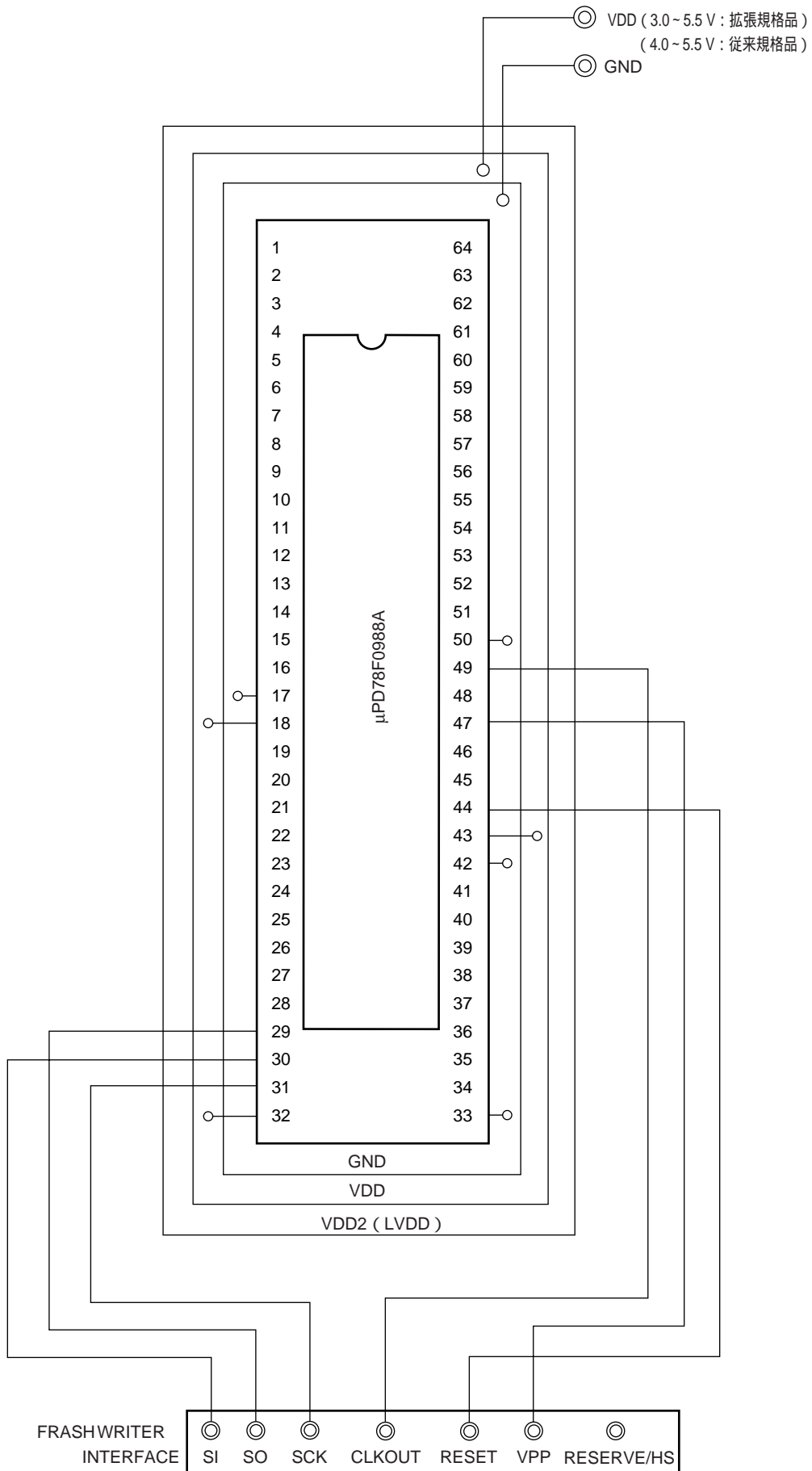


図18 - 13 疑似3線式シリアルI/Oでのフラッシュ書き込み用アダプタ配線例

(a) 64ピン・プラスチックQFP (14x14) , 64ピン・プラスチックLQFP (14x14) の場合



(b) 64ピン・プラスチックSDIP (19.05 mm (750)) の場合



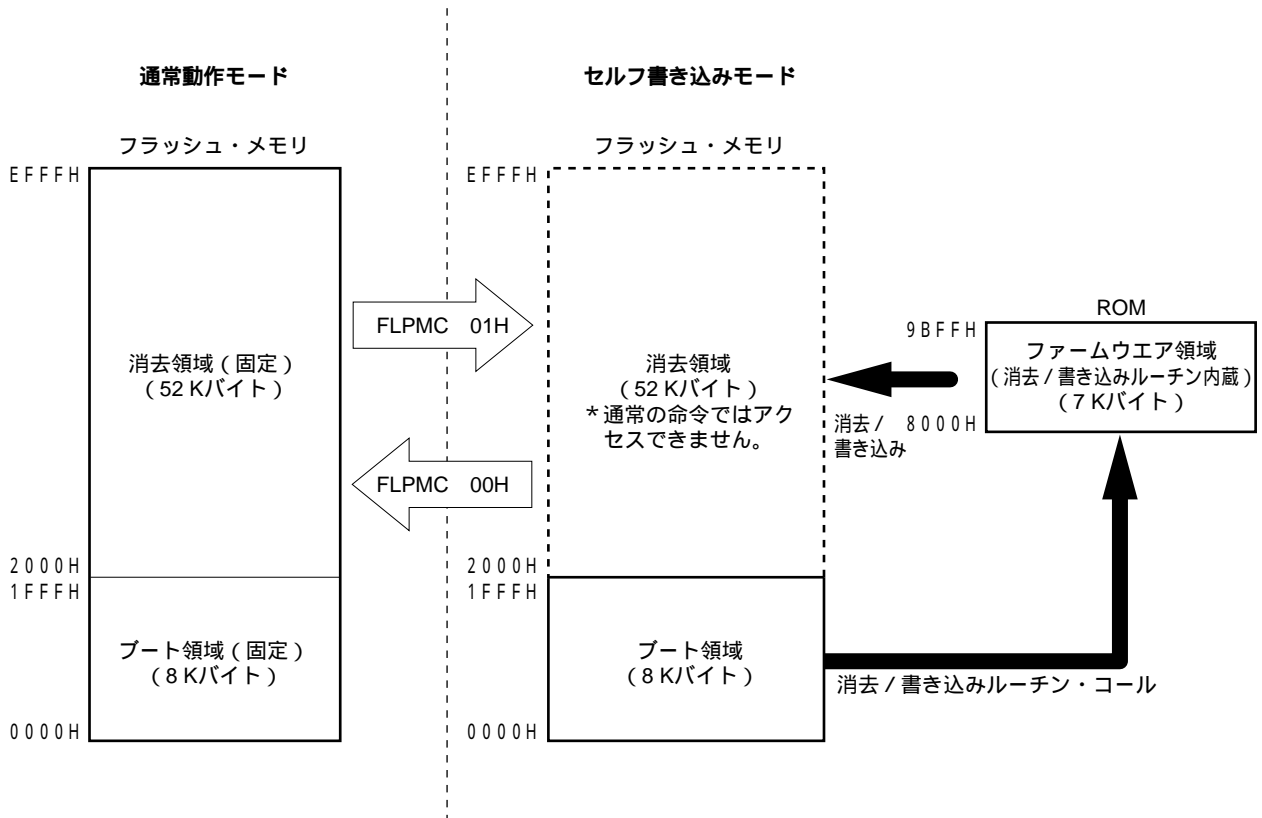
18.4 セルフ書き込みによるフラッシュ・メモリ・プログラミング

μPD78F0988Aは、プログラムによるフラッシュ・メモリの書き換えが可能です。

18.4.1 フラッシュ・メモリの構成

フラッシュ・メモリの構成を図18-14に示します。

図18-14 フラッシュ・メモリの構成



18.4.2 フラッシュ・プログラミング・モード・コントロール・レジスタ

フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) は、動作モードの選択、 V_{PP} 端子の状態の確認を行うレジスタです。

FLPMCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、08Hになります。

図18 - 15 フラッシュ・プログラミング・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
FLPMC	0	0	0	0	1	VPP	0	FLSPM0	FF89H	08H ^{注1}	R/W ^{注2}

VPP	V_{PP} 端子の電圧の印加状態
0	V_{PP} 端子にフラッシュ・メモリの消去 / 書き込みに必要な電圧が印加されていない
1	V_{PP} 端子に V_{DD} 端子より高い電圧が印加されている

FLSPM0	動作モードの選択
0	通常動作モード
1	セルフ書き込みモード

注1．ビット2は、 V_{PP} のレベルによって変化します。

2．ビット2は、読み出しのみ可能です。

注意1．VPPビットは、 V_{PP} 端子に印加されている電圧の状態を表示します。VPPビットが“0”のときは、消去 / 書き込みに必要な電圧が印加されていないことを示します。しかし、VPPビットが“1”の場合であっても消去 / 書き込みに必要な電圧が印加されているとは限りません。したがって、消去 / 書き込みに必要な電圧が確実に V_{PP} 端子に印加されるようなハードウェア構成にしてください。

また、ハードウェアだけでなく、ソフトウェア的に消去 / 書き込みに必要な電圧が印加されていることを確認したい場合には、外付けのハードウェアで検出回路を用意して、その出力を使用してください。

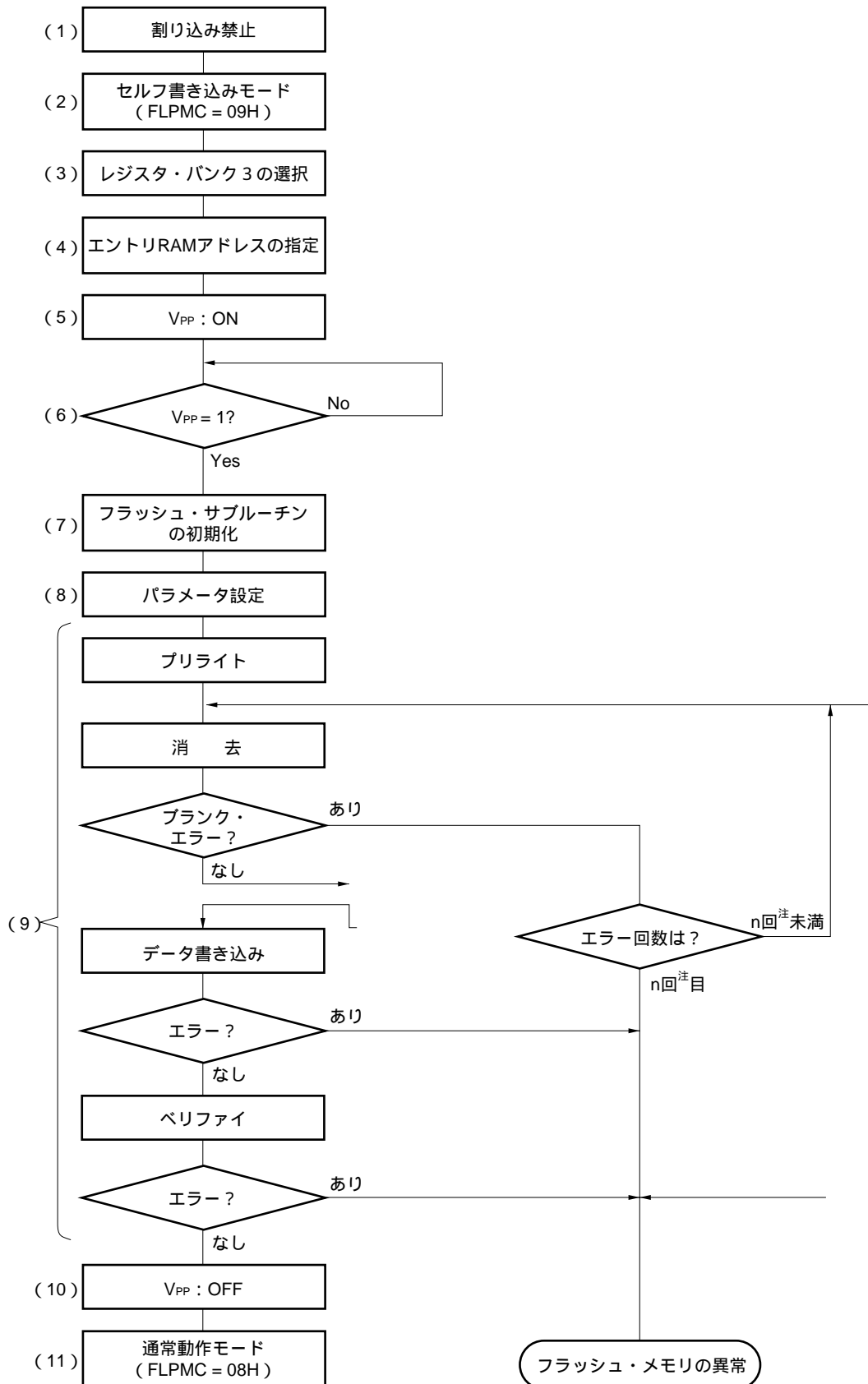
2．ビット1, 3-7は初期値を変更しないでください。

18.4.3 セルフ書き込みの手順

フラッシュ・メモリへのセルフ書き込み手順は次のとおりです（図18 - 16参照）。

- (1) 割り込み禁止
- (2) セルフ書き込みモード (FLPMC = 09H)
- (3) レジスタ・バンク 3 の選択
- (4) HLレジスタにエントリRAMの先頭アドレスを指定
- (5) V_{PP} : ON (電源用ICに対するON信号)
- (6) V_{PP} レベルの確認
- (7) フラッシュ・サブルーチンの初期化
- (8) パラメータ設定
- (9) フラッシュ・メモリの制御 (消去 , 書き込みなど)
- (10) V_{PP} : OFF (電源用ICに対するOFF信号)
- (11) 通常動作モード (FLPMC = 08H)

図18 - 16 セルフ・プログラミング・フロー・チャート (1/2)



注 ユーザ・プログラムにより異なります。

備考 ~ は次のフロー・チャートを参照してください。

図18 - 16 セルフ・プログラミング・フロー・チャート (2/2)

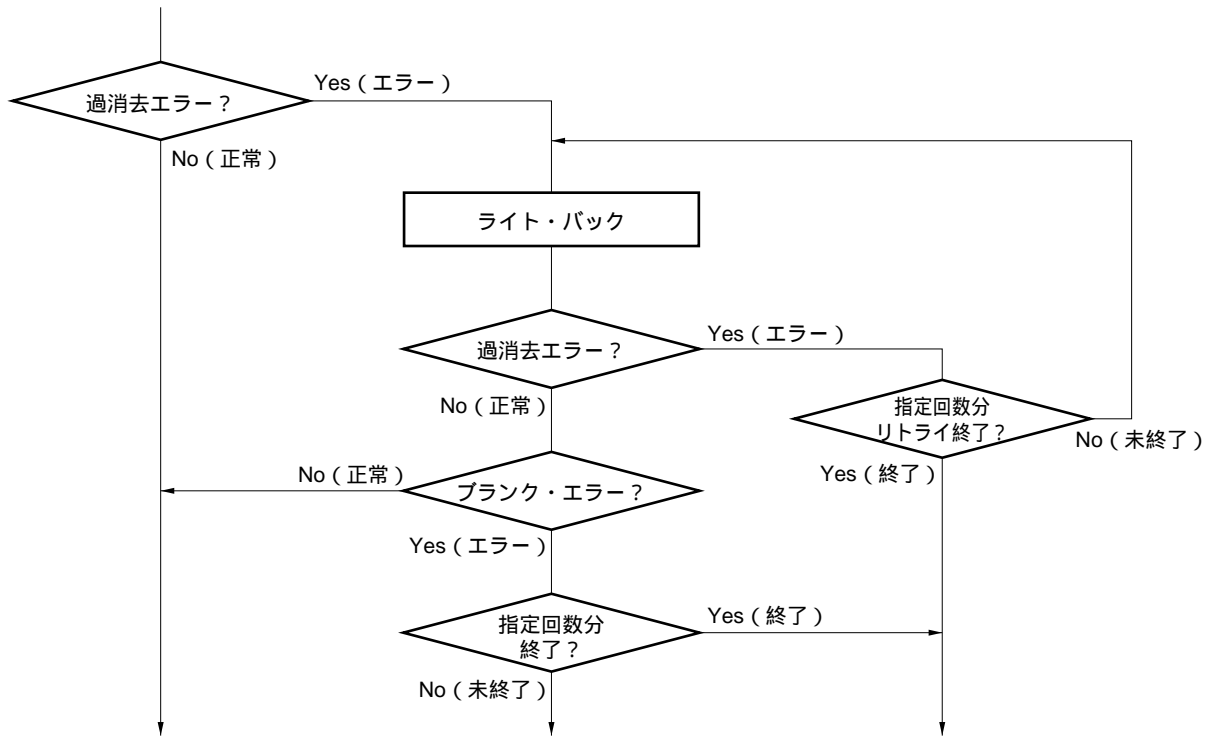
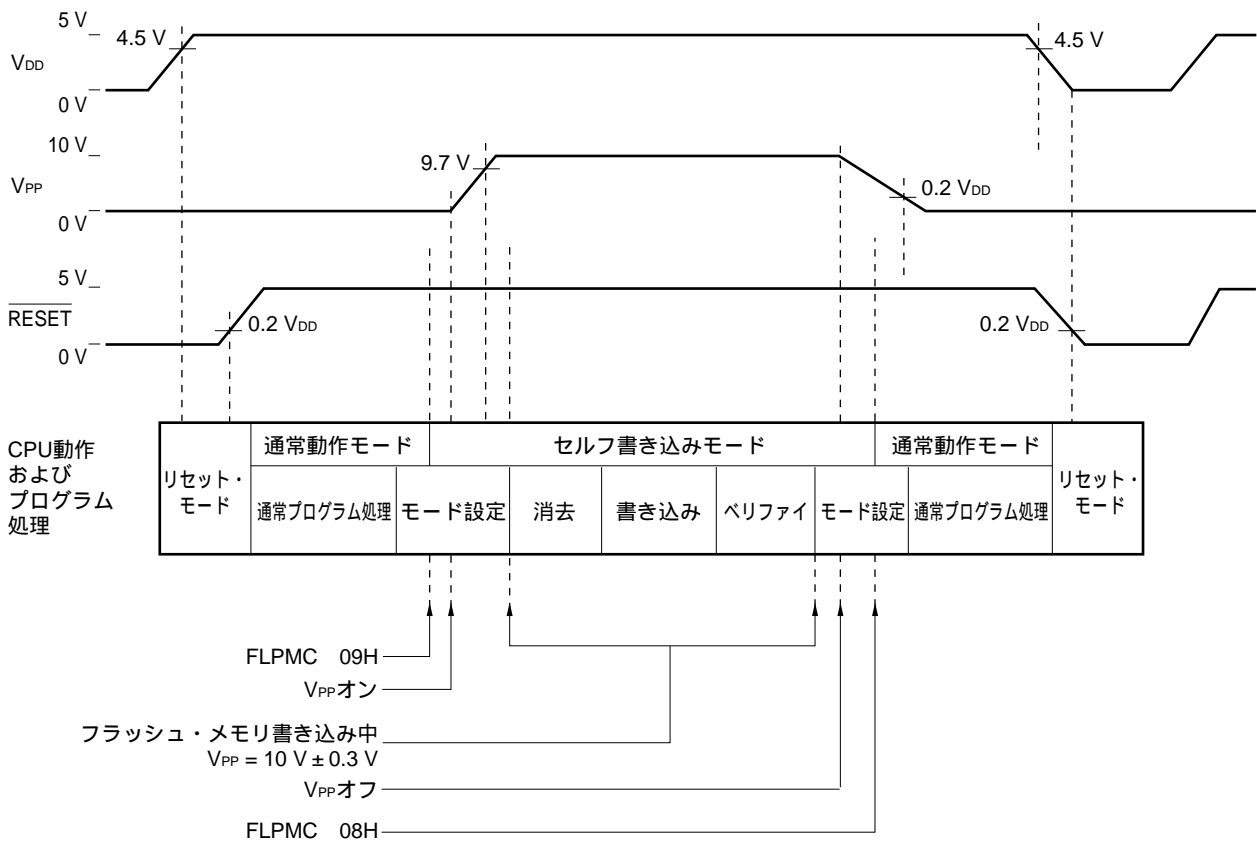


図18 - 17 セルフ書き込みタイミング



18.4.4 CPU資源

セルフ書き込み時に使用するCPU資源は次のとおりです。

- ・レジスタ・バンク : BANK3 (8 バイト)
 - B レジスタ : ステータス・フラグ
 - C レジスタ : 機能番号
 - HLレジスタ : エントリRAM領域先頭アドレス
- ・スタック領域 : 最大16バイト
- ・書き込みデータ格納領域 : 1 ~ 256バイト
- ・エントリRAM領域 : 32バイト
 - セルフ書き込みのサブルーチンが使用するRAM領域。
 - HLレジスタにより, ユーザ指定可能。
- ・ステータス・フラグ

	7	6	5	4	3	2	1	0
パラメータ 設定エラー		-	-	ベリファイ・ エラー	書き込み エラー	消去 エラー	ブランク・ チェック・ エラー	-

18.4.5 エントリRAM領域

エントリRAM領域の内容を表18 - 6 に示します。

表18 - 6 エントリRAM領域

オフセット値	内 容
+ 0	予約領域 (1 バイト)
+ 1	予約領域 (1 バイト)
+ 2 ~ + 3	フラッシュ・メモリ開始アドレス (2 バイト)
+ 4 ~ + 5	予約領域 (2 バイト)
+ 6	フラッシュ・メモリ書き込みバイト数 (1 バイト)
+ 7	書き込み時間データ (1 バイト)
+ 8 ~ + 10	消去時間データ (3 バイト)
+ 11 ~ + 13	ライトバック時間データ (3 バイト)
+ 14 ~ + 15	書き込みデータ格納バッファ先頭アドレス (2 バイト)
+ 16 ~ + 17	ブロック総数, エリア総数 (2 バイト)
+ 18	予約領域 (15 バイト)
⋮	

例 レジスタ・バンク 3 のHLレジスタ値が0FD00Hの場合

- 0FD00H : ステータス
- 0FD02H : フラッシュ・メモリ開始アドレス
- 0FD06H : フラッシュ・メモリ書き込みバイト数
- ・
- ・
- ・

次に、エントリRAM領域の詳細について説明します。

(a) フラッシュ・メモリ開始アドレス

_FlashByteWriteサブルーチンで使用するフラッシュ・メモリ・アドレス値

(b) フラッシュ・メモリ書き込みバイト数

エリア番号, フラッシュ・メモリ書き込みバイト数

(c) 書き込み時間データ

動作周波数により, 次の値を設定

fx (MHz)	設定値
1.00 ~ 1.28	20H
1.29 ~ 2.56	40H
2.57 ~ 5.12	60H
5.13 ~ 8.38	80H
8.39 ~ 10.0	A0H

★

(d) 消去時間データ

設定値 = 消去時間 (s) \times 動作周波数 / $2^9 + 1$

(消去時間範囲: 0.2 s ~ 20 s, 消去時間は1回あたり0.2 sとし, 最長20 sの100回まで可能です)

例 消去時間: 0.2 s, 動作周波数: 5 MHzのとき

$$\begin{aligned} \text{設定値} &= 0.2 \times 5000000 / 512 + 1 \\ &= 1954 \text{ (10進)} \\ &= 7A2 \text{ (16進)} \end{aligned}$$

(e) 書き込みデータ格納バッファ先頭アドレス

書き込みデータ格納バッファ領域の先頭アドレスを保持している領域です。この領域にあるデータをアドレスとして指定されるRAMのデータ(書き込みデータ)をフラッシュ・メモリに書き込みます(_FlashByteWriteサブルーチン)。この領域にあるデータを先頭アドレスとして, 書き込みデータは最大256バイトまで指定可能です。

(f) ライトバック時間

設定値 = ライトバック時間 (s) \times 動作周波数 / 2^7

(ライトバック時間は, 1回あたり0.05 sとし, 最長1.5 sの30回まで可能です)

例 ライトバック時間: 0.05 s, 動作周波数: 5 MHzのとき

$$\begin{aligned} \text{設定値} &= 0.05 \times 5000000 / 128 \\ &= 1953 \text{ (10進)} \\ &= 7A1 \text{ (16進)} \end{aligned}$$

18.4.6 セルフ書き込みサブルーチン

セルフ書き込み時のサブルーチンとその機能を表18 - 7 に示します。

表18 - 7 セルフ書き込みサブルーチン一覧

機能番号		サブルーチン名	機 能
10進	16進		
0	00H	_FlashEnv	フラッシュ・サブルーチンの初期化
1	01H	_FlashSetEnv	パラメータの設定
2	02H	_FlashGetInfo	フラッシュ情報の読み出し
16	10H	_FlashAreaBlankCheck	指定エリアのブランク・チェック
32	20H	_FlashAreaPreWrite	指定エリアのプリライト
48	30H	_FlashAreaErase	指定エリアの消去
54	40H	_FlashAreaWriteBack	指定エリアのライトバック
80	50H	_FlashByteWrite	バイト単位の連続書き込み
96	60H	_FlashAreaVerify	指定エリアの内部ベリファイ

(1) _FlashEnvサブルーチン

【機能】

フラッシュ・サブルーチンの初期化

【引数】

エントリRAMアドレス..... 2 バイト (HLレジスタ)

【返り値】

なし

【呼び出し後のレジスタ/メモリ状態】

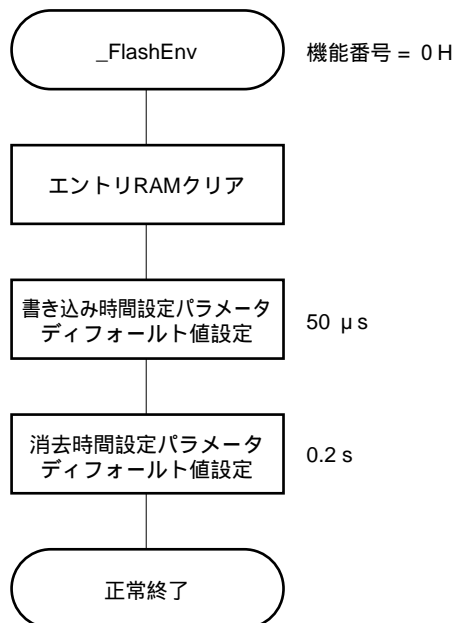
エントリRAMアドレス

【呼び出し例】 エントリRAMアドレス = 0FC30Hの場合

```

DI
SET1  FLSPM0
LOOP : BF  VPP, $LOOP
      SEL  RB3
      MOVW HL, #0FC30H ; エントリRAMアドレス
; * * * * * 初期化 * * * * *
      MOV  C, #0H      ; FlashEnv (機能番号設定)
      CALL !8100H
      .
      .
      .
    
```

【フロー・チャート】



(2) _FlashSetEnv サブルーチン

【機能】

パラメータの設定

【引数】

書き込み時間データ..... 1バイト (オフセット値: +7)

消去時間データ..... 3バイト (オフセット値: +8~10)

【返り値】

ステータス (Bレジスタ)

00H: 正常終了

80H: パラメータ設定エラー

【呼び出し後のレジスタ/メモリ状態】

エントリRAMアドレス, 書き込み時間データ, 消去時間データ

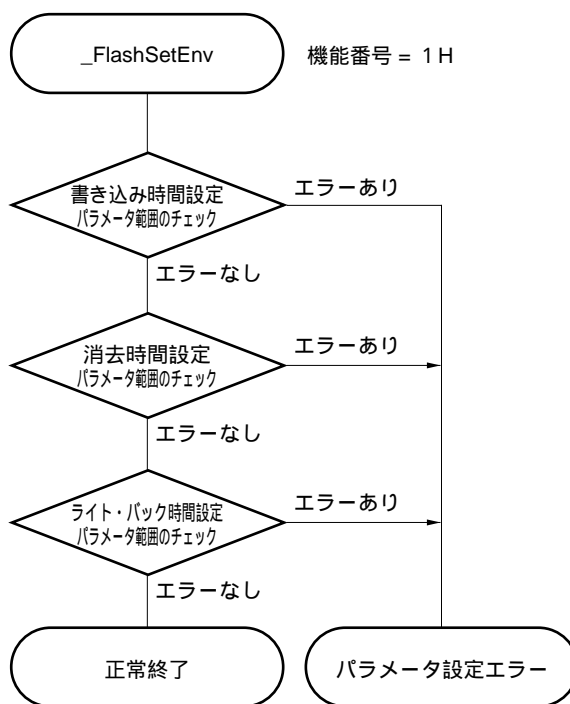
【呼び出し例】 エントリRAMアドレス = 0FC30Hの場合

```

MOV   A, #20H      ; 書き込み時間データ
MOV   !0FC37H, A
MOV   A, #A2H      ; 消去時間データ
MOV   !0FC38H, A   ; 0.2s : 0007A2H (5 MHz時)
MOV   A, #07H
MOV   !0FC39H, A
MOV   A, #00H
MOV   !0FC3AH, A
MOV   A, #0A1H     ; ライト・バック時間データ設定
MOV   !0FC3BH, A   ; 50 ms : 0007A1H (5 MHz時)
MOV   A, #07H
MOV   !0FC3CH, A
MOV   A, #00H
MOV   !0FC3DH, A
MOV   A, #02H
MOV   !0FC40H, A   ; ブロック総数データ設定
MOV   !0FC41H, A   ; エリア総数データ設定
;
MOV   C, #1H      ; FlashSetEnv (機能番号設定)
CALL  !8100H
      .
      .
      .

```


【フロー・チャート】



(3) _FlashGetInfoサブルーチン**【機能】**

フラッシュの製品判別コード読み出し

- ・ μPD78F0988Aのシグネチャ : 50H
- ・ μPD78F0988 (旧製品)のシグネチャ : 40H

【引数】

フラッシュの製品判別コード..... 1バイト (オフセット値 : + 6)

【返り値】

ステータス (Bレジスタ)

00H : 正常終了

80H : オプション指定エラー

製品判別コード (Aレジスタ)

【呼び出し後のレジスタ/メモリ状態】

エントリRAM先頭アドレス

【呼び出し例】 エントリRAMアドレス = 0FC30Hの場合

```
MOV    A, #0H
```

```
MOV    !0FC36H, A
```

```
;
```

```
MOV    C, #40H      ; FlashGetInfo (機能番号指定)
```

```
CALL   !8100H
```

【その他】

本機能により旧製品と新製品を区別できます。

(4) _FlashAreaBlankCheckサブルーチン**【機能】**

指定エリアのブランク・チェック

【引数】

エリア番号 (= 0, 1) 1 バイト (オフセット値 : + 6)

0 : 0000H-1FFFFHの領域のブランク・チェック (ブート領域)

1 : 2000H-EFFFFHの領域のブランク・チェック

【返り値】

ステータス (Bレジスタ)

00H : 正常終了

02H : ブランク・チェック・エラー

80H : エリア番号指定エラー

【呼び出し後のレジスタ/メモリ状態】

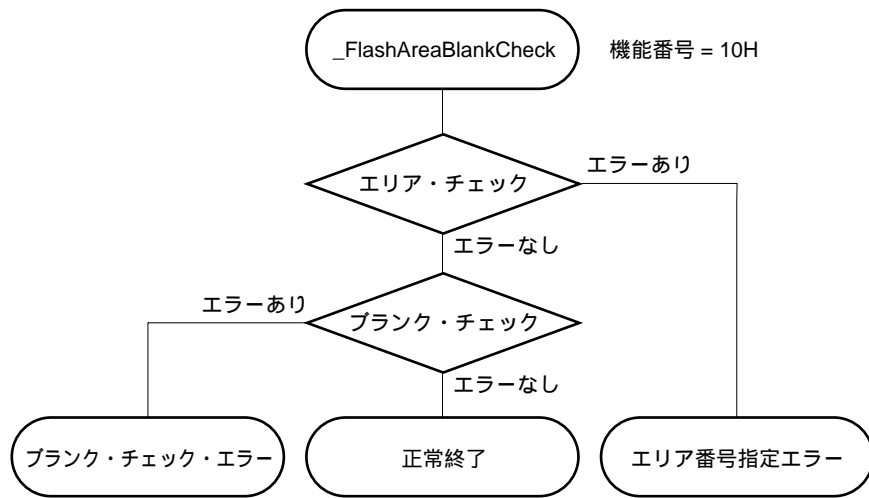
エントリRAMアドレス, エリア番号

【呼び出し例】 エントリRAMアドレス = 0FC30Hの場合

```
MOV   A, #01H           ; 2000H-EFFFFHを指定
MOV   !0FC36H, A
MOV   C, #10H           ; FlashAreaBlankCheck (機能番号設定)
CALL  !8100H
      .
      .
      .
```

注意 エリア0 (0000H-1FFFFH)の領域はブート領域です。引数としてエリア0を指定しないでください。

【フロー・チャート】



(5) _FlashAreaPreWrite サブルーチン

【機能】

指定エリアのプリライト（指定エリアに00Hを書き込む）

【引数】

エリア番号 (= 0, 1, 2) 1 バイト（オフセット値：+ 6）

0：0000H-1FFFHの領域のプリライト（ブート領域）

1：2000H-EFFFHの領域のプリライト

【返り値】

ステータス（Bレジスタ）

00H：正常終了

08H：書き込みエラー

80H：エリア番号指定エラー

【呼び出し後のレジスタ/メモリ状態】

エントリRAMアドレス，エリア番号

【呼び出し例】 エントリRAMアドレス = 0FC30Hの場合

```
MOV  A, #1H          ; 2000H-EFFFHを指定
```

```
MOV  !0FC36H, A
```

```
;
```

```
MOV  C, #20H        ; FlashAreaPreWrite（機能番号設定）
```

```
CALL !8100H
```

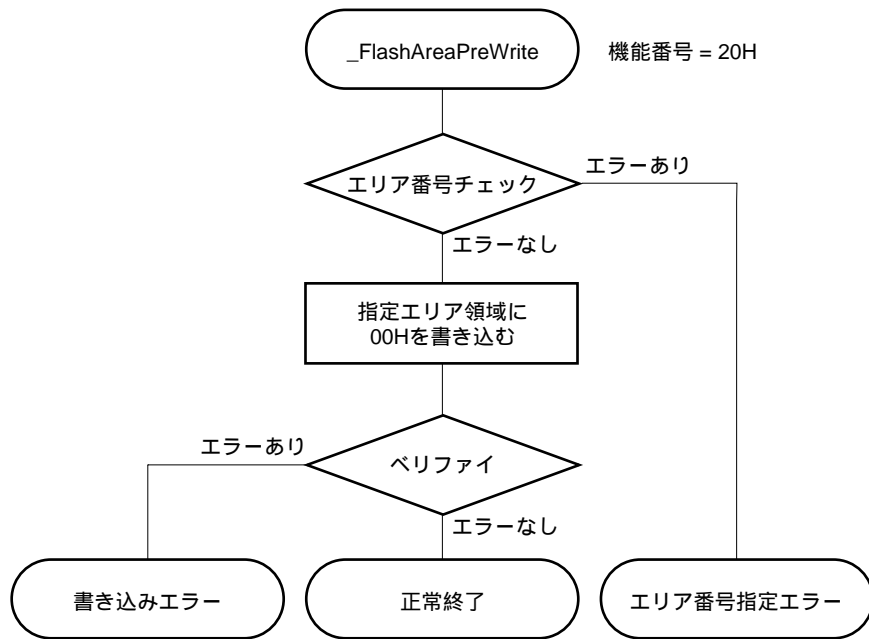
```
·
```

```
·
```

```
·
```

注意 エリア0（0000H-1FFFH）の領域はブート領域です。引数としてエリア0を指定しないでください。

【フロー・チャート】



(6) _FlashAreaEraseサブルーチン

【機能】

指定エリアの消去

【引数】

エリア番号 (= 0, 1) 1 バイト (オフセット値 : + 6)

0 : 0000H-1FFFFHの領域の消去 (ブート領域)

1 : 2000H-EFFFFHの領域の消去

【返り値】

ステータス (B レジスタ)

00H : 正常終了

02H : ブランク・チェック・エラー

04H : 過消去チェック・エラー

80H : エリア番号指定エラー

【呼び出し後のレジスタ/メモリ状態】

エントリRAMアドレス, エリア番号

【呼び出し例】 エントリRAMアドレス = 0FC30Hの場合

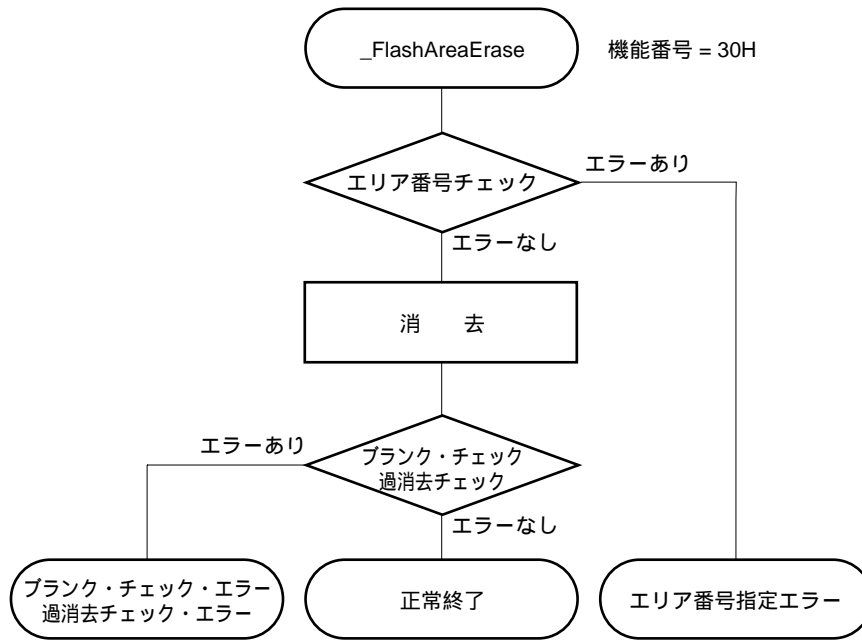
```

MOV   A, #1H           ; 2000H-EFFFFHを指定
MOV   !0FC36H, A
;
MOV   C, #30H          ; FlashAreaErase (機能番号設定)
CALL  !8100H
      .
      .
      .

```

注意 エリア0 (0000H-1FFFFH) の領域はブート領域です。引数としてエリア0を指定しないでください。

【フロー・チャート】



(7) _FlashAreaWriteBack サブルーチン

【機能】

指定エリアのライト・バック

(ライト・バックとは、フラッシュの消去時に過消去状態に陥ったフラッシュを適正な消去状態に戻す操作です)

【引数】

エリア番号 (=0, 1) 1 バイト (オフセット値: + 6)

【返り値】

ステータス (Bレジスタ)

00H: 正常終了

02H: ブランク・チェック・エラー

04H: 過消去チェック・エラー

80H: 書き込みアドレス・エラー

【呼び出し後のレジスタ/メモリ状態】

エントリRAM先頭アドレスとエリア番号

【呼び出し例】 エントリRAMアドレス = 0FC30Hの場合

```
MOV    A, #1H          ; エリア 1 指定
```

```
MOV    !0FC36H, A
```

```
;
```

```
MOV    C, #40H        ; FlashAreaWriteBack (機能番号指定)
```

```
CALL   !8100H
```

【注 意】

ライト・バック時間は、50 ms/回を設定してください。

ライト・バックの回数は、50 ms/回で最大30回を設定してください。

(8)_FlashByteWriteサブルーチン**【機 能】**

バイト単位の連続書き込み

【引 数】

フラッシュ・メモリ書き込み開始アドレス 2バイト (オフセット値: + 2)
 フラッシュ・メモリ書き込みバイト数^注 1バイト (オフセット値: + 6)
 書き込みデータ格納バッファ先頭アドレス 2バイト (オフセット値: + 14)

注 0を設定すると、最大の256バイトを指定できます。

【返 値】

ステータス (Bレジスタ)

00H : 正常終了

08H : 書き込みエラー

80H : 書き込みアドレス・エラー

【呼び出し後のレジスタ/メモリ状態】

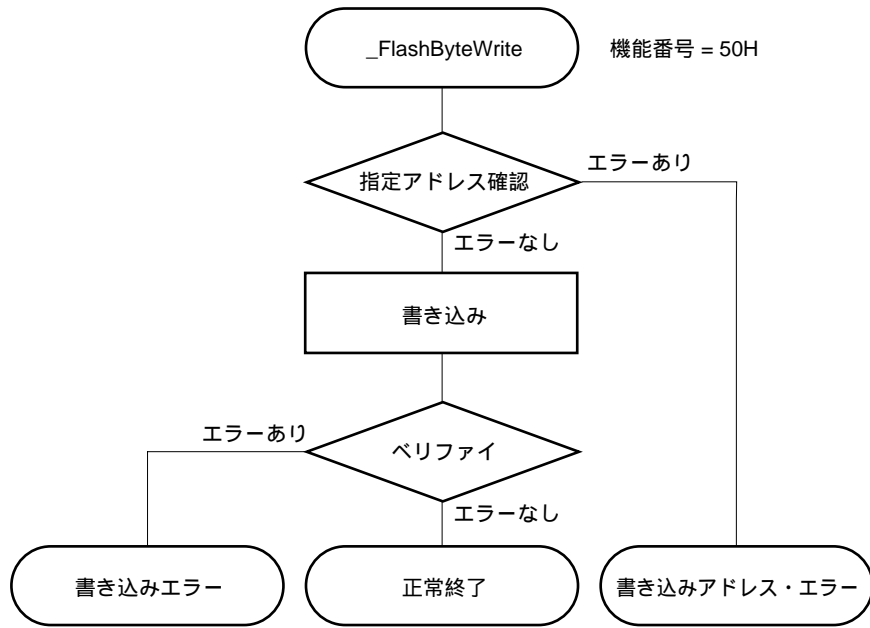
エントリRAMアドレス, フラッシュ・メモリ書き込みバイト数

フラッシュ・メモリ書き込み開始アドレスは書き込み終了時のアドレスに更新

【呼び出し例】 エントリRAMアドレス = 0FC30Hの場合

```
MOVW AX, #0FD00H ; 書き込みデータ格納バッファ先頭アドレス
MOVW !0FC3EH, AX
MOVW AX, #2000H ; フラッシュ・メモリ書き込み開始アドレス
MOVW !0FC32H, AX
MOV A, #0H ; フラッシュ・メモリ書き込みバイト数 (256バイト)
MOV !0FC36H, A
;
MOV C, #50H ; FlashByteWrite (機能番号設定)
CALL !8100H
.
.
.
```

【フロー・チャート】



(9) _FlashArealVerify サブルーチン**【機能】**

指定エリアの内部ベリファイ（指定エリアのフラッシュ・メモリを異なるモードで読み出し，比較する）

【引数】

エリア番号 (= 0, 1) 1 バイト (オフセット値 : + 6)
 0 : 0000H-1FFFFHの領域の内部ベリファイ (ブート領域)
 1 : 2000H-EFFFFHの領域の内部ベリファイ

【返り値】

ステータス (B レジスタ)
 00H : 正常終了
 10H : ベリファイ・エラー
 80H : エリア番号指定エラー

【呼び出し後のレジスタ/メモリ状態】

エントリRAMアドレス，エリア番号

【呼び出し例】 エントリRAMアドレス = 0FC30Hの場合

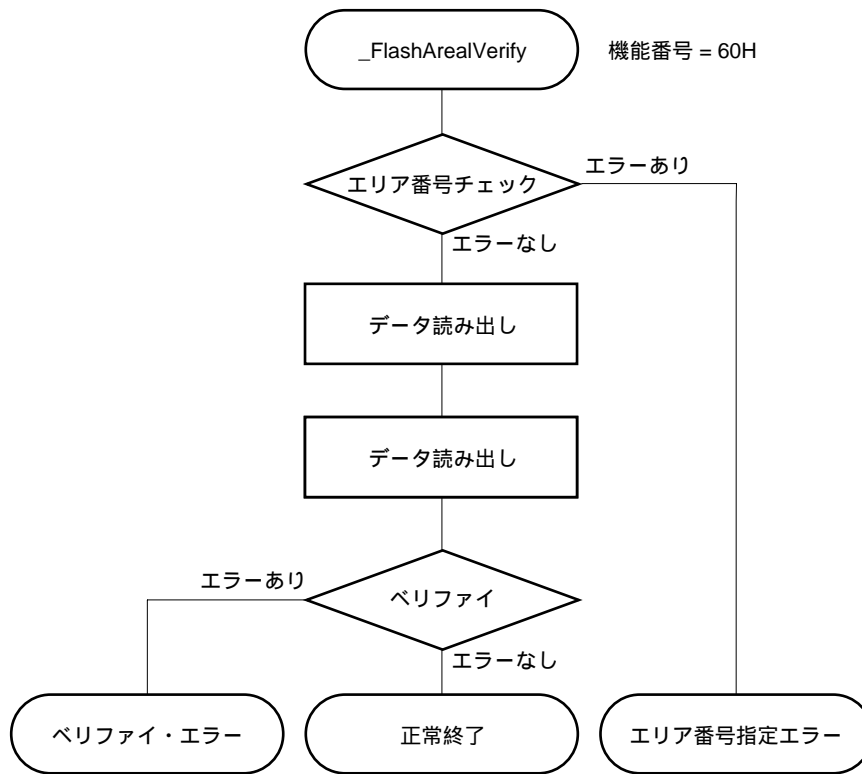
```

MOV   A, #01H      ; 2000H-EFFFFHを指定
MOV   !0FC36H,A
;
MOV   C, #60H      ; FlashArealVerify (機能番号設定)
CALL  !8100H
      .
      .
      .

```

注意 エリア0 (0000H-1FFFFH) の領域はブート領域です。引数としてエリア0を指定しないでください。

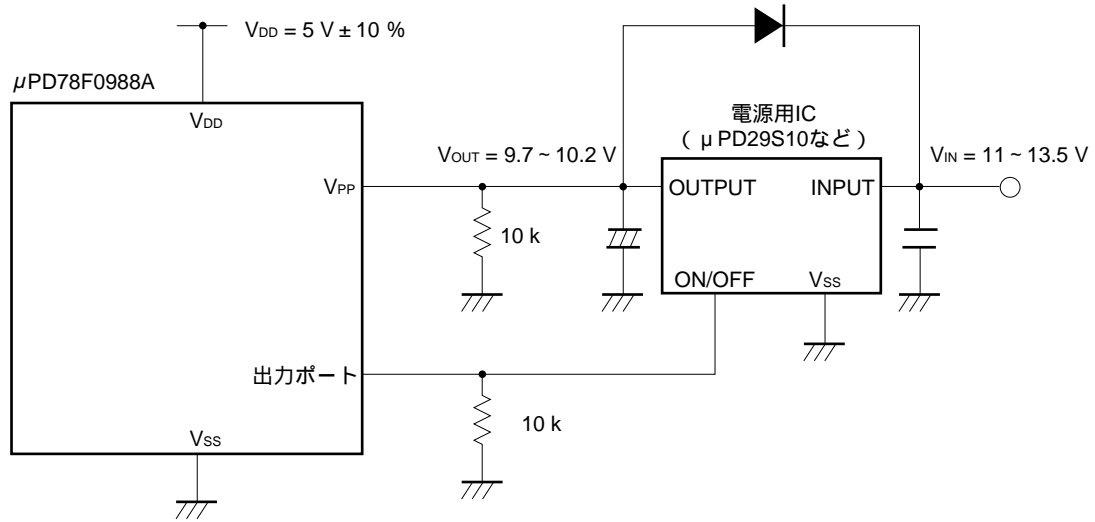
【フロー・チャート】



18.4.7 セルフ書き込み回路構成

セルフ書き込み回路の構成を図18 - 18に示します。

図18 - 18 セルフ書き込み回路構成



第19章 命令セットの概要

μPD780988サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ **ユーザーズ・マニュアル 命令編**（U12326J）を参照してください。

19.1 凡 例

19.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミディエイト・データ指定
- ・ ! : 絶対アドレス指定
- ・ \$: 相対アドレス指定
- ・ [] : 間接アドレス指定

イミディエイト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表19 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号 ^注
sfrp	特殊機能レジスタ略号 (16ビット操作可能なレジスタの偶数アドレスのみ) ^注
saddr	FE20H-FF1FH イミディエイト・データまたはラベル
saddrp	FE20H-FF1FH イミディエイト・データまたはラベル (偶数アドレスのみ)
addr16	0000H-FFFFH イミディエイト・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミディエイト・データまたはラベル
addr5	0040H-007FH イミディエイト・データまたはラベル (偶数アドレスのみ)
word	16ビット・イミディエイト・データまたはラベル
byte	8ビット・イミディエイト・データまたはラベル
bit	3ビット・イミディエイト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3 - 4 特殊機能レジスタ一覧を参照してください。

19.1.2 オペレーション欄の説明

A	: Aレジスタ ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア ; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスクابل割り込み処理中フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x _H , x _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積 (AND)
	: 論理和 (OR)
—	: 排他的論理和 (exclusive OR)
—	: 反転データ
addr16	: 16ビット・イミディエト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

19.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

19.2 オペレーション一覧

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r byte			
		saddr, #byte	3	6	7	(saddr) byte			
		sfr, #byte	3	-	7	sfr byte			
		A, r 注3	1	2	-	A r			
		r, A 注3	1	2	-	r A			
		A, saddr	2	4	5	A (saddr)			
		saddr, A	2	4	5	(saddr) A			
		A, sfr	2	-	5	A sfr			
		sfr, A	2	-	5	sfr A			
		A, laddr16	3	8	9 + n	A (addr16)			
		!addr16, A	3	8	9 + m	(addr16) A			
		PSW, #byte	3	-	7	PSW byte			x x x
		A, PSW	2	-	5	A PSW			
		PSW, A	2	-	5	PSW A			x x x
		A, [DE]	1	4	5 + n	A (DE)			
		[DE], A	1	4	5 + m	(DE) A			
		A, [HL]	1	4	5 + n	A (HL)			
		[HL], A	1	4	5 + m	(HL) A			
		A, [HL + byte]	2	8	9 + n	A (HL + byte)			
		[HL + byte], A	2	8	9 + m	(HL + byte) A			
		A, [HL + B]	1	6	7 + n	A (HL + B)			
[HL + B], A	1	6	7 + m	(HL + B) A					
A, [HL + C]	1	6	7 + n	A (HL + C)					
[HL + C], A	1	6	7 + m	(HL + C) A					

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

3 . nは外部メモリ拡張領域をリードしたときのウェイト数です。

4 . mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
8ビット・データ転送	XCH	A, r ^{注3}	1	2	-	A r	
		A, saddr	2	4	6	A (saddr)	
		A, sfr	2	-	6	A sfr	
		A, !addr16	3	8	10+n+m	A (addr16)	
		A, [DE]	1	4	6+n+m	A (DE)	
		A, [HL]	1	4	6+n+m	A (HL)	
		A, [HL+byte]	2	8	10+n+m	A (HL+byte)	
		A, [HL+B]	2	8	10+n+m	A (HL+B)	
		A, [HL+C]	2	8	10+n+m	A (HL+C)	
16ビット・データ転送	MOVW	rp, #word	3	6	-	rp word	
		saddrp, #word	4	8	10	(saddrp) word	
		sfrp, #word	4	-	10	sfrp word	
		AX, saddrp	2	6	8	AX (saddrp)	
		saddrp, AX	2	6	8	(saddrp) AX	
		AX, sfrp	2	-	8	AX sfrp	
		sfrp, AX	2	-	8	sfrp AX	
		AX, rp ^{注4}	1	4	-	AX rp	
		rp, AX ^{注4}	1	4	-	rp AX	
		AX, !addr16	3	10	12+2n	AX (addr16)	
	!addr16, AX	3	10	12+2m	(addr16) AX		
XCHW	AX, rp ^{注4}	1	4	-	AX rp		
8ビット演算	ADD	A, #byte	2	4	-	A, CY A + byte	x x x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte	x x x
		A, r ^{注3}	2	4	-	A, CY A + r	x x x
		r, A	2	4	-	r, CY r + A	x x x
		A, saddr	2	4	5	A, CY A + (saddr)	x x x
		A, !addr16	3	8	9+n	A, CY A + (saddr16)	x x x
		A, [HL]	1	4	5+n	A, CY A + (HL)	x x x
		A, [HL+byte]	2	8	9+n	A, CY A + (HL+byte)	x x x
		A, [HL+B]	2	8	9+n	A, CY A + (HL+B)	x x x
		A, [HL+C]	2	8	9+n	A, CY A + (HL+C)	x x x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

- 2 . 内部高速RAM以外の領域をアクセスしたとき。
- 3 . r=Aを除く。
- 4 . rp = BC, DE, HLのときのみ。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

- 2 . クロック数は内部ROM領域にプログラムがある場合です。
- 3 . nは外部メモリ拡張領域をリードしたときのウェイト数です。
- 4 . mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	ADDC	A, #byte	2	4	-	A, CY	A + byte + CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY	(saddr) + byte + CY	x	x	x
		A, r <small>注3</small>	2	4	-	A, CY	A + r + CY	x	x	x
		r, A	2	4	-	r, CY	r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY	A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9 + n	A, CY	A + (addr16) + CY	x	x	x
		A, [HL]	1	4	5 + n	A, CY	A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9 + n	A, CY	A + (HL + byte) + CY	x	x	x
		A, [HL + B]	2	8	9 + n	A, CY	A + (HL + B) + CY	x	x	x
		A, [HL + C]	2	8	9 + n	A, CY	A + (HL + C) + CY	x	x	x
	SUB	A, #byte	2	4	-	A, CY	A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY	(saddr) - byte	x	x	x
		A, r <small>注3</small>	2	4	-	A, CY	A - r	x	x	x
		r, A	2	4	-	r, CY	r - A	x	x	x
		A, saddr	2	4	5	A, CY	A - (saddr)	x	x	x
		A, !addr16	3	8	9 + n	A, CY	A - (addr16)	x	x	x
		A, [HL]	1	4	5 + n	A, CY	A - (HL)	x	x	x
		A, [HL + byte]	2	8	9 + n	A, CY	A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9 + n	A, CY	A - (HL + B)	x	x	x
		A, [HL + C]	2	8	9 + n	A, CY	A - (HL + C)	x	x	x
	SUBC	A, #byte	2	4	-	A, CY	A - byte - CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY	(saddr) - byte - CY	x	x	x
		A, r <small>注3</small>	2	4	-	A, CY	A - r - CY	x	x	x
		r, A	2	4	-	r, CY	r - A - CY	x	x	x
		A, saddr	2	4	5	A, CY	A - (saddr) - CY	x	x	x
		A, !addr16	3	8	9 + n	A, CY	A - (addr16) - CY	x	x	x
		A, [HL]	1	4	5 + n	A, CY	A - (HL) - CY	x	x	x
A, [HL + byte]		2	8	9 + n	A, CY	A - (HL + byte) - CY	x	x	x	
A, [HL + B]		2	8	9 + n	A, CY	A - (HL + B) - CY	x	x	x	
A, [HL + C]		2	8	9 + n	A, CY	A - (HL + C) - CY	x	x	x	

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

3 . nは外部メモリ拡張領域をリードしたときのウエイト数です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
8ビット演算	AND	A, #byte	2	4	-	A A byte	x
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x
		A, r <small>注3</small>	2	4	-	A A r	x
		r, A	2	4	-	r r A	x
		A, saddr	2	4	5	A A (saddr)	x
		A, laddr16	3	8	9+n	A A (addr16)	x
		A, [HL]	1	4	5+n	A A (HL)	x
		A, [HL+byte]	2	8	9+n	A A (HL+byte)	x
		A, [HL+B]	2	8	9+n	A A (HL+B)	x
		A, [HL+C]	2	8	9+n	A A (HL+C)	x
	OR	A, #byte	2	4	-	A A byte	x
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x
		A, r <small>注3</small>	2	4	-	A A r	x
		r, A	2	4	-	r r A	x
		A, saddr	2	4	5	A A (saddr)	x
		A, laddr16	3	8	9+n	A A (addr16)	x
		A, [HL]	1	4	5+n	A A (HL)	x
		A, [HL+byte]	2	8	9+n	A A (HL+byte)	x
		A, [HL+B]	2	8	9+n	A A (HL+B)	x
		A, [HL+C]	2	8	9+n	A A (HL+C)	x
	XOR	A, #byte	2	4	-	A A \forall byte	x
		saddr, #byte	3	6	8	(saddr) (saddr) \forall byte	x
		A, r <small>注3</small>	2	4	-	A A \forall r	x
		r, A	2	4	-	r r \forall A	x
		A, saddr	2	4	5	A A \forall (saddr)	x
		A, laddr16	3	8	9+n	A A \forall (addr16)	x
		A, [HL]	1	4	5+n	A A \forall (HL)	x
A, [HL+byte]		2	8	9+n	A A \forall (HL+byte)	x	
A, [HL+B]		2	8	9+n	A A \forall (HL+B)	x	
A, [HL+C]		2	8	9+n	A A \forall (HL+C)	x	

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

3 . nは外部メモリ拡張領域をリードしたときのウエイト数です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
8ビット演算	CMP	A, #byte	2	4	-	A - byte	x x x
		saddr, #byte	3	6	8	(saddr) - byte	x x x
		A, r ^{注3}	2	4	-	A - r	x x x
		r, A	2	4	-	r - A	x x x
		A, saddr	2	4	5	A - (saddr)	x x x
		A, laddr16	3	8	9 + n	A - (addr16)	x x x
		A, [HL]	1	4	5 + n	A - (HL)	x x x
		A, [HL + byte]	2	8	9 + n	A - (HL + byte)	x x x
		A, [HL + B]	2	8	9 + n	A - (HL + B)	x x x
		A, [HL + C]	2	8	9 + n	A - (HL + C)	x x x
16ビット演算	ADDW	AX, #word	3	6	-	AX, CY AX + word	x x x
	SUBW	AX, #word	3	6	-	AX, CY AX - word	x x x
	CMPW	AX, #word	3	6	-	AX - word	x x x
乗除算	MULU	X	2	16	-	AX A × X	
	DIVUW	C	2	25	-	AX (商), C (余り) AX ÷ C	
増減	INC	r	1	2	-	r r + 1	x x
		saddr	2	4	6	(saddr) (saddr) + 1	x x
	DEC	r	1	2	-	r r - 1	x x
		saddr	2	4	6	(saddr) (saddr) - 1	x x
	INCW	rp	1	4	-	rp rp + 1	
DECW	rp	1	4	-	rp rp - 1		
ローテート	ROR	A, 1	1	2	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回	x
	ROL	A, 1	1	2	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回	x
	RORC	A, 1	1	2	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回	x
	ROLC	A, 1	1	2	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回	x
	ROR4	[HL]	2	10	12+n+m	A ₃₋₀ (HL) ₃₋₀ , (HL) ₇₋₄ A ₃₋₀ , (HL) ₃₋₀ (HL) ₇₋₄	
	ROL4	[HL]	2	10	12+n+m	A ₃₋₀ (HL) ₇₋₄ , (HL) ₃₋₀ A ₃₋₀ , (HL) ₇₋₄ (HL) ₃₋₀	

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

- 2 . 内部高速RAM以外の領域をアクセスしたとき。
- 3 . r = A を除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

- 2 . クロック数は内部ROM領域にプログラムがある場合です。
- 3 . nは外部メモリ拡張領域をリードしたときのウェイト数です。
- 4 . mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ	
				注1	注2		Z AC CY	
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	x x x	
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	x x x	
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY (saddr.bit)	x	
		CY, sfr.bit	3	-	7	CY sfr.bit	x	
		CY, A.bit	2	4	-	CY A.bit	x	
		CY, PSW.bit	3	-	7	CY PSW.bit	x	
		CY, [HL].bit	2	6	7+n	CY (HL).bit	x	
		saddr.bit, CY	3	6	8	(saddr.bit) CY		
		sfr.bit, CY	3	-	8	sfr.bit CY		
		A.bit, CY	2	4	-	A.bit CY		
		PSW.bit, CY	3	-	8	PSW.bit CY	x x	
	[HL].bit, CY	2	6	8+n+m	(HL).bit CY			
	AND1	AND1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)	x
			CY, sfr.bit	3	-	7	CY CY sfr.bit	x
			CY, A.bit	2	4	-	CY CY A.bit	x
			CY, PSW.bit	3	-	7	CY CY PSW.bit	x
			CY, [HL].bit	2	6	7+n	CY CY (HL).bit	x
	OR1	OR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)	x
			CY, sfr.bit	3	-	7	CY CY sfr.bit	x
			CY, A.bit	2	4	-	CY CY A.bit	x
			CY, PSW.bit	3	-	7	CY CY PSW.bit	x
			CY, [HL].bit	2	6	7+n	CY CY (HL).bit	x
	XOR1	XOR1	CY, saddr.bit	3	6	7	CY CY ∇ (saddr.bit)	x
			CY, sfr.bit	3	-	7	CY CY ∇ sfr.bit	x
			CY, A.bit	2	4	-	CY CY ∇ A.bit	x
			CY, PSW.bit	3	-	7	CY CY ∇ PSW.bit	x
			CY, [HL].bit	2	6	7+n	CY CY ∇ (HL).bit	x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

3 . nは外部メモリ拡張領域をリードしたときのウェイト数です。

4 . mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
ビット操作	SET1	saddr.bit	2	4	6	(saddr.bit) 1	
		sfr.bit	3	-	8	sfr.bit 1	
		A.bit	2	4	-	A.bit 1	
		PSW.bit	2	-	6	PSW.bit 1	x x x
		[HL].bit	2	6	8+n+m	(HL).bit 1	
	CLR1	saddr.bit	2	4	6	(saddr.bit) 0	
		sfr.bit	3	-	8	sfr.bit 0	
		A.bit	2	4	-	A.bit 0	
		PSW.bit	2	-	6	PSW.bit 0	x x x
		[HL].bit	2	6	8+n+m	(HL).bit 0	
SET1	CY	1	2	-	CY 1	1	
CLR1	CY	1	2	-	CY 0	0	
NOT1	CY	1	2	-	CY \overline{CY}	x	
コール・リターン	CALL	!addr16	3	7	-	(SP-1) (PC+3) _H , (SP-2) (PC+3) _L , PC addr16, SP SP-2	
	CALLF	!addr11	2	5	-	(SP-1) (PC+2) _H , (SP-2) (PC+2) _L , PC ₁₅₋₁₁ 00001, PC ₁₀₋₀ addr11, SP SP-2	
	CALLT	[addr5]	1	6	-	(SP-1) (PC+1) _H , (SP-2) (PC+1) _L , PC _H (00000000, addr5+1), PC _L (00000000, addr5), SP SP-2	
	BRK		1	6	-	(SP-1) PSW, (SP-2) (PC+1) _H , (SP-3) (PC+1) _L , PC _H (003FH), PC _L (003EH), SP SP-3, IE 0	
	RET		1	6	-	PC _H (SP+1), PC _L (SP), SP SP+2	
	RETI		1	6	-	PC _H (SP+1), PC _L (SP), PSW (SP+2), SP SP+3, NMIS 0	R R R
	RETB		1	6	-	PC _H (SP+1), PC _L (SP), PSW (SP+2), SP SP+3	R R R

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

3 . nは外部メモリ拡張領域をリードしたときのウェイト数です。

4 . mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
スタック操作	PUSH	PSW	1	2	-	(SP - 1) PSW, SP SP - 1	
		rp	1	4	-	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2	
	POP	PSW	1	2	-	PSW (SP), SP SP + 1	R R R
		rp	1	4	-	rp _H (SP + 1), rp _L (SP), SP SP + 2	
	MOVW	SP, #word	4	-	10	SP word	
		SP, AX	2	-	8	SP AX	
AX, SP		2	-	8	AX SP		
無条件分岐	BR	!addr16	3	6	-	PC addr16	
		\$addr16	2	6	-	PC PC + 2 + jdisp8	
		AX	2	8	-	PC _H A, PC _L X	
条件付き分岐	BC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 1	
	BNC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 0	
	BZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 1	
	BNZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 0	
	BT	saddr.bit, \$addr16	3	8	9	PC PC + 3 + jdisp8 if (saddr.bit) = 1	
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 1	
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1	
		PSW.bit, \$addr16	3	-	9	PC PC + 3 + jdisp8 if PSW.bit = 1	
		[HL].bit, \$addr16	3	10	11 + n	PC PC + 3 + jdisp8 if (HL).bit = 1	
	BF	saddr.bit, \$addr16	4	10	11	PC PC + 4 + jdisp8 if (saddr.bit) = 0	
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 0	
A.bit, \$addr16		3	8	-	PC PC + 3 + jdisp8 if A.bit = 0		
PSW.bit, \$addr16		4	-	11	PC PC + 4 + jdisp8 if PSW.bit = 0		
[HL].bit, \$addr16		3	10	11 + n	PC PC + 3 + jdisp8 if (HL).bit = 0		

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

3 . nは外部メモリ拡張領域をリードしたときのウエイト数です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
条件付き分岐	BTCLR	saddr.bit, \$addr16	4	10	12	PC PC + 4 + jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)	
		sfr.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit	
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit	
		PSW.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x x x
		[HL] .bit, \$addr16	3	10	12+n+m	PC PC + 3 + jdisp8 if (HL) .bit = 1 then reset (HL) .bit	
	DBNZ	B, \$addr16	2	6	-	B B - 1 , then PC PC + 2 + jdisp8 if B 0	
		C, \$addr16	2	6	-	C C - 1 , then PC PC + 2 + jdisp8 if C 0	
		saddr, \$addr16	3	8	10	(saddr) (saddr) - 1 , then PC PC + 3 + jdisp8 if (saddr) 0	
	CPU制御	SEL	Rb _n	2	4	-	RBS1,0 n
NOP			1	2	-	No Operation	
EI			2	-	6	IE 1 (Enable Interrupt)	
DI			2	-	6	IE 0 (Disable Interrupt)	
HALT			2	6	-	Set HALT Mode	
STOP			2	6	-	Set STOP Mode	

注1 . 内部高速RAM領域をアクセスしたとき, またはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

3 . nは外部メモリ拡張領域をリードしたときのウェイト数です。

4 . mは外部メモリ拡張領域をライトしたときのウェイト数です。

19.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	# byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROL4	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL + byte] [HL + B] [HL + C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	# word	AX	rp ^注	sfrp	saddrp	! addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
! addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド 第1オペランド	A. bit	sfr. bit	saddr. bit	PSW. bit	[HL] . bit	CY	\$addr16	なし
A. bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr. bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr. bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW. bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL] . bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2オペランド 第1オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第20章 電気的特性（拡張規格品）

絶対最大定格（ $T_A = 25$ ）

項目	略号	条件		定格	単位		
電源電圧	V_{DD}			- 0.3 ~ + 6.5	V		
	V_{PP}	μ PD78F0988A, 78F0988A(A)のみ 注1		- 0.3 ~ + 10.5	V		
	AV_{DD}			- 0.3 ~ $V_{DD} + 0.3$	V		
	AV_{REF}			- 0.3 ~ $V_{DD} + 0.3$	V		
	AV_{SS}			- 0.3 ~ + 0.3	V		
入力電圧	V_i	P00-P03, P10-P17, P20-P26, P30-P37, P50-P57, P64-P67, TO70-TO75, X1, X2, \overline{RESET}		- 0.3 ~ $V_{DD} + 0.3$	V		
出力電圧	V_o			- 0.3 ~ $V_{DD} + 0.3$	V		
アナログ入力電圧	V_{AN}	P10-P17	アナログ入力端子	$AV_{SS} - 0.3 \sim AV_{REF} + 0.3$ かつ - 0.3 ~ $V_{DD} + 0.3$	V		
ハイ・レベル 出力電流	I_{OH}	1 端子		- 10	mA		
		P00, P01, P30-P37, P40-P47, P50-P57, P64-P67 合計		- 15	mA		
		P02, P03, P20-P26, TO70-TO75 合計		- 15	mA		
ロウ・レベル 出力電流	I_{OL} 注2	P00-P03, P10-P17, P20-P26,		ピーク値	20	mA	
		P30-P37, P40-P47, P64-P67 1 端子		実効値	10	mA	
		P50-P57, TO70-TO75 1 端子		ピーク値	30	mA	
				実効値	15	mA	
		P00, P01, P30-P37, P40-P47, P64-P67		ピーク値	50	mA	
		合計		実効値	20	mA	
		P02, P03, P20-P26		ピーク値	30	mA	
		合計		実効値	15	mA	
		TO70-TO75		ピーク値	100	mA	
		合計		実効値	70	mA	
		P50-P57		ピーク値	100	mA	
		合計		実効値	70	mA	
		動作周囲温度	T_A	通常動作時		- 40 ~ + 85	
				フラッシュ・メモリ・プログラミング時 (μ PD78F0988A, 78F0988A(A)のみ)		+ 10 ~ + 40	
保存温度	T_{stg}	マスクROM製品		- 65 ~ + 150			
		フラッシュ・メモリ製品		- 40 ~ + 125			

（注の説明は次頁にあります。）

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

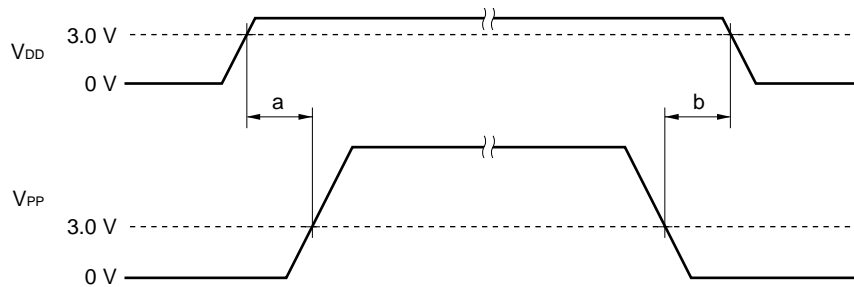
注1. フラッシュ・メモリ書き込み時, V_{PP} の電圧印加タイミングについては, 必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD} が動作電圧範囲の下限電圧 (3.0 V) に達してから10 μ s以上経過後, V_{PP} が V_{DD} を越えること (下図の a)。

・電源電圧立ち下がり時

V_{PP} が V_{DD} の動作電圧範囲の下限電圧 (3.0 V) を下回ってから10 μ s以上経過後, V_{DD} を立ち下げること (下図の b)。



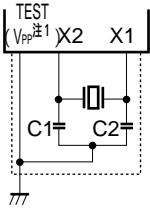
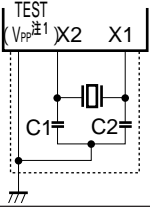
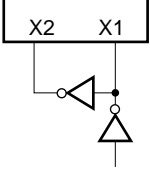
2. 実効値は〔実効値〕 = [ピーク値] $\times \sqrt{\text{デューティ}}$ で計算してください。

容量 ($T_A = 25$, $V_{DD} = V_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C_{IN}	$f = 1$ MHz 被測定端子以外は0V			15	pF
入出力容量	C_{IO}	$f = 1$ MHz 被測定端子以外は0V			15	pF
						P00-P03, P20-P26, P30-P37, P40-P47, P50-P57, P64-P67, TO70-TO75

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性 (T_A = -40 ~ +85 , V_{DD} = 3.0 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位	
セラミック 発振子		発振周波数 (f _x) 注2	4.5 V V _{DD} 5.5 V	1.0		12.0	MHz	
			3.0 V V _{DD} < 4.5 V	1.0		8.38	MHz	
		発振安定時間注3	V _{DD} が発振電圧範囲のMIN.に達したあと				4	ms
水晶振動子		発振周波数 (f _x) 注2	4.5 V V _{DD} 5.5 V	1.0		12.0	MHz	
			3.0 V V _{DD} < 4.5 V	1.0		8.38	MHz	
		発振安定時間注3	4.0 V V _{DD} 5.5 V				10	ms
			3.0 V V _{DD} < 4.0 V				30	ms
外部クロック		X1入力周波数 (f _x) 注2	4.5 V V _{DD} 5.5 V	1.0		12.0	MHz	
			3.0 V V _{DD} < 4.5 V	1.0		8.38	MHz	
		X1入力ハイ、ロウ・レベル幅 (t _{xH} , t _{xL})	4.5 V V _{DD} 5.5 V		38		500	ns
			3.0 V V _{DD} < 4.5 V		50		500	ns

注1 . μ PD78F0988A, 78F0988A(A)の場合

- 2 . 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。
- 3 . リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

配線は極力短くする。

他の信号線と交差させない。

変化する大電流が流れる線に接近させない。

発振回路のコンデンサの接地点は、常にV_{SS1}と同電位になるようにする。

大電流が流れるグランド・パターンに接地しない。

発振回路から信号を取り出さない。

推奨発振回路定数

(1) μ PD780982, 780983, 780984, 780986, 780988, 780982(A), 780983(A), 780984(A), 780986(A), 780988(A)

システム・クロック：セラミック発振子 ($T_A = -40 \sim +85$)

メーカー	品名	周波数 (MHz)	タイプ	推奨回路定数		発振電圧範囲	
				C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)
村田製作所	CSTCC2M00G56-R0	2.00	SMD	内蔵	内蔵	3.0	5.5
	CSTLS2M00G56-B0	2.00	リード	内蔵	内蔵	3.0	5.5
	CSTCR4M00G53-R0	4.00	SMD	内蔵	内蔵	3.0	5.5
	CSTLS4M00G53-B0	4.00	リード	内蔵	内蔵	3.0	5.5
	CSTCR4M19G53-R0	4.19	SMD	内蔵	内蔵	3.0	5.5
	CSTLS4M19G53-B0	4.19	リード	内蔵	内蔵	3.0	5.5
	CSTCR4M91G53-R0	4.91	SMD	内蔵	内蔵	3.0	5.5
	CSTLS4M91G53-B0	4.91	リード	内蔵	内蔵	3.0	5.5
	CSTCR5M00G53-R0	5.00	SMD	内蔵	内蔵	3.0	5.5
	CSTLS5M00G53-B0	5.00	リード	内蔵	内蔵	3.0	5.5
	CSTCE8M00G52-R0	8.00	SMD	内蔵	内蔵	3.0	5.5
	CSTLS8M00G53-B0	8.00	リード	内蔵	内蔵	3.0	5.5
	CSTCE8M38G52-R0	8.38	SMD	内蔵	内蔵	3.0	5.5
	CSTLS8M38G53-B0	8.38	リード	内蔵	内蔵	3.0	5.5
	CSTCE10M0G52-R0	10.00	SMD	内蔵	内蔵	4.5	5.5
	CSTLS10M0G53-B0	10.00	リード	内蔵	内蔵	4.5	5.5
	CSTCE12M0G52-R0	12.00	SMD	内蔵	内蔵	4.5	5.5
	CSTLA12M0T55-B0	12.00	リード	内蔵	内蔵	4.5	5.5
CSTLA12M0T55093-B0	12.00	リード	内蔵	内蔵	4.5	5.5	

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。

実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、 μ PD780988サブシリーズの内部動作条件についてはDC, AC特性の規格内で使用してください。

(2) μ PD78F0988A, 78F0988A(A)

システム・クロック : セラミック発振子 ($T_A = -40 \sim +85$)

メーカー	品名	周波数 (MHz)	タイプ	推奨回路定数		発振電圧範囲	
				C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)
村田製作所	CSTCC2M00G56-R0	2.00	SMD	内蔵	内蔵	3.0	5.5
	CSTLS2M00G56-B0	2.00	リード	内蔵	内蔵	3.0	5.5
	CSTCR4M00G53-R0	4.00	SMD	内蔵	内蔵	3.0	5.5
	CSTLS4M00G53-B0	4.00	リード	内蔵	内蔵	3.0	5.5
	CSTCR4M19G53-R0	4.19	SMD	内蔵	内蔵	3.0	5.5
	CSTLS4M19G53-B0	4.19	リード	内蔵	内蔵	3.0	5.5
	CSTCR4M91G53-R0	4.91	SMD	内蔵	内蔵	3.0	5.5
	CSTLS4M91G53-B0	4.91	リード	内蔵	内蔵	3.0	5.5
	CSTCR5M00G53-R0	5.00	SMD	内蔵	内蔵	3.0	5.5
	CSTLS5M00G53-B0	5.00	リード	内蔵	内蔵	3.0	5.5
	CSTCE8M00G52-R0	8.00	SMD	内蔵	内蔵	3.0	5.5
	CSTLS8M00G53-B0	8.00	リード	内蔵	内蔵	3.0	5.5
	CSTLS8M00G53093-B0	8.00	リード	内蔵	内蔵	3.0	5.5
	CSTCE8M38G52-R0	8.38	SMD	内蔵	内蔵	3.0	5.5
	CSTLS8M38G53-B0	8.38	リード	内蔵	内蔵	3.0	5.5
	CSTLS8M38G53093-B0	8.38	リード	内蔵	内蔵	3.0	5.5
	CSTCE10M0G52-R0	10.00	SMD	内蔵	内蔵	4.5	5.5
	CSTLS10M0G53-B0	10.00	リード	内蔵	内蔵	4.5	5.5
	CSTLS10M0G53093-B0	10.00	リード	内蔵	内蔵	4.5	5.5
	CSTCE12M0G52-R0	12.00	SMD	内蔵	内蔵	4.5	5.5
CSTLA12M0T55-B0	12.00	リード	内蔵	内蔵	4.5	5.5	
CSTLA12M0T55093-B0	12.00	リード	内蔵	内蔵	4.5	5.5	

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。

実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、 μ PD780988サブシリーズの内部動作条件についてはDC, AC特性の規格内で使用してください。

DC特性 (TA = -40 ~ +85 , VDD = 3.0 ~ 5.5 V) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル 入力電圧	V _{IH1}	P10-P17, P21, P23, P30-P37, P40-P47, P50, P53, P64-P67		0.7 V _{DD}		V _{DD}	V
	V _{IH2}	RESET, P00-P03, P20, P22, P24-P26, P51, P52, P54-P57		0.8 V _{DD}		V _{DD}	V
	V _{IH3}	X1, X2		V _{DD} - 0.5		V _{DD}	V
ロウ・レベル 入力電圧	V _{IL1}	P10-P17, P21, P23, P30-P37, P40-P47, P50, P53, P64-P67		0		0.3 V _{DD}	V
	V _{IL2}	RESET, P00-P03, P20, P22, P24-P26, P51, P52, P54-P57		0		0.2 V _{DD}	V
	V _{IL3}	X1, X2		0		0.4	V
ハイ・レベル 出力電圧	V _{OH1}	4.5 V V _{DD} 5.5 V, I _{OH} = - 1 mA		V _{DD} - 1.0		V _{DD}	V
		I _{OH} = - 100 μA		V _{DD} - 0.5		V _{DD}	V
ロウ・レベル 出力電圧	V _{OL1}	P50-P57, TO70-TO75	4.5 V V _{DD} 5.5 V, I _{OL} = 15 mA		0.4	2.0	V
		P00-P03, P20-P26, P30-P37, P40-P47, P64-P67	4.5 V V _{DD} 5.5 V, I _{OL} = 1.6 mA			0.4	V
	V _{OL2}	I _{OL} = 400 μA				0.5	V
ハイ・レベル 入力リーク電流	I _{LIH1}	V _{IN} = V _{DD}	P00-P03, P10-P17, P20-P26, P30-P37, P40-P47, P50-P57, P64-P67, TO70-TO75, RESET			3	μA
	I _{LIH2}		X1, X2			20	μA
ロウ・レベル 入力リーク電流	I _{LIL1}	V _{IN} = 0 V	P00-P03, P10-P17, P20-P26, P30-P37, P40-P47, P50-P57, P64-P67, TO70-TO75, RESET			- 3	μA
	I _{LIL2}		X1, X2			- 20	μA
ハイ・レベル 出力リーク電流	I _{LOH}	V _{OUT} = V _{DD}				3	μA
ロウ・レベル 出力リーク電流	I _{LOL}	V _{OUT} = 0 V				- 3	μA
ソフトウェア・プ ルアップ抵抗	R ₂	V _{IN} = 0 V P00-P03, P20-P26, P30-P37, P40-P47, P50-P57, P64-P67		15	30	90	k

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 3.0 ~ 5.5 V) (2/2)

(a) μPD780982, 780983, 780984, 780986, 780988, 780982(A), 780983(A), 780984(A), 780986(A), 780988(A)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流	IDD1	12.0 MHz水晶発振 動作モード	VDD = 5.0 V ± 10 % ^{注1}	A/Dコンバータ停止時	9	18 ^{注2}	mA
				A/Dコンバータ動作時	10	20 ^{注2}	mA
		8.38 MHz水晶発振 動作モード	VDD = 5.0 V ± 10 % ^{注1}	A/Dコンバータ停止時	6.5	13 ^{注2}	mA
				A/Dコンバータ動作時	7.5	15 ^{注2}	mA
			VDD = 3.0 V ± 10 % ^{注1,3}	A/Dコンバータ停止時	3.5	7 ^{注2}	mA
				A/Dコンバータ動作時	4.5	9 ^{注2}	mA
	IDD2	12.0 MHz水晶発振 HALTモード	VDD = 5.0 V ± 10 % ^{注1}	周辺機能停止時	2	4	mA
				周辺機能動作時		10	mA
		8.38 MHz水晶発振 HALTモード	VDD = 5.0 V ± 10 % ^{注1}	周辺機能停止時	1	2	mA
				周辺機能動作時		7	mA
			VDD = 3.0 V ± 10 % ^{注1,3}	周辺機能停止時	0.8	1.5	mA
				周辺機能動作時		4.5	mA
IDD3	STOPモード	VDD = 5.0 V ± 10 %	0.1	30	μA		
		VDD = 3.0 V ± 10 % ^{注3}	0.05	10	μA		

注1 . 高速動作モード時 (プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき)。

2 . 内部電源 (VDD0, VDD1) に流れるトータル電流です。周辺動作電流を含みます (ただし, ポートのプルアップ抵抗, AVREF端子に流れる電流は含みません)。

3 . VDD = 3.0 ~ 3.3 V時のスペックです。TYP.はVDD = 3.0 V時のスペックです。

(b) μPD78F0988A, 78F0988A(A)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流	IDD1	12.0 MHz水晶発振 動作モード	VDD = 5.0 V ± 10 % ^{注1}	A/Dコンバータ停止時	25	36 ^{注2}	mA
				A/Dコンバータ動作時	26	38 ^{注2}	mA
		8.38 MHz水晶発振 動作モード	VDD = 5.0 V ± 10 % ^{注1}	A/Dコンバータ停止時	15	25 ^{注2}	mA
				A/Dコンバータ動作時	16	27 ^{注2}	mA
			VDD = 3.0 V ± 10 % ^{注1,3}	A/Dコンバータ停止時	12	17 ^{注2}	mA
				A/Dコンバータ動作時	13	19 ^{注2}	mA
	IDD2	12.0 MHz水晶発振 HALTモード	VDD = 5.0 V ± 10 % ^{注1}	周辺機能停止時	2	4	mA
				周辺機能動作時		10	mA
		8.38 MHz水晶発振 HALTモード	VDD = 5.0 V ± 10 % ^{注1}	周辺機能停止時	1.3	2.6	mA
				周辺機能動作時		7.3	mA
			VDD = 3.0 V ± 10 % ^{注1,3}	周辺機能停止時	1	2	mA
				周辺機能動作時		5	mA
IDD3	STOPモード	VDD = 5.0 V ± 10 %	0.1	30	μA		
		VDD = 3.0 V ± 10 % ^{注3}	0.05	10	μA		
VPP電源電圧	VPP1	通常動作時	0		0.2 VDD	V	

注1 . 高速動作モード時 (プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき)。

2 . 内部電源 (VDD0, VDD1) に流れるトータル電流です。周辺動作電流を含みます (ただし, ポートのプルアップ抵抗, AVREF端子に流れる電流は含みません)。

3 . VDD = 3.0 ~ 3.3 V時のスペックです。TYP.はVDD = 3.0 V時のスペックです。

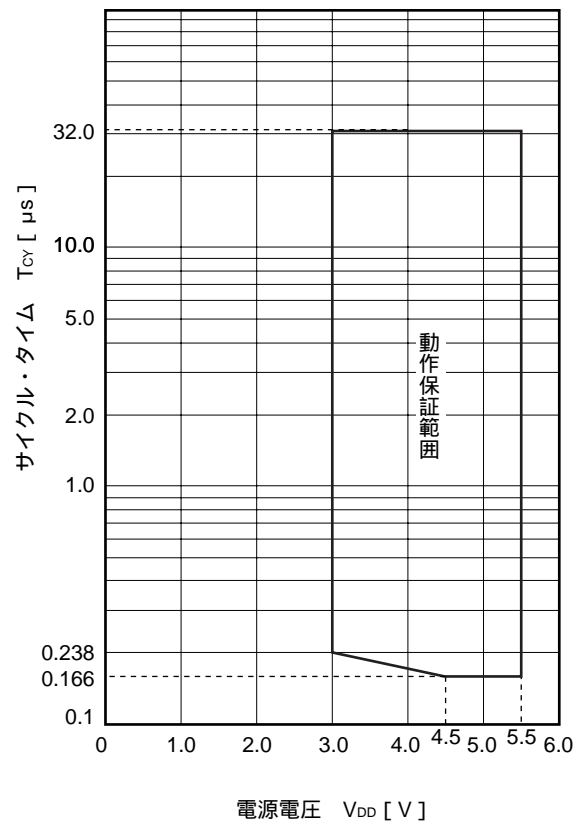
AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 3.0 \sim 5.5 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T _{CY}	システム・クロックで動作 4.5 V $V_{DD} \leq 5.5 V$	0.166		32	μs
		3.0 V $V_{DD} < 4.5 V$	0.238		32	μs
TI000, TI001, TI010, TI011 入力周波数	f _{TI0}		0		f _x /64	MHz
TI000, TI001, TI010, TI011 入力ハイ ,ロウ・ レベル幅	t _{TIH0} t _{TIL0}		2/f _{sam} + 0.1 ^注			μs
TI50, TI51, TI52 入力周波数	f _{TI5}	8/16ビット精度時	0		4	MHz
TI50, TI51, TI52 入力ハイ ,ロウ・ レベル幅	t _{TIH5} t _{TIL5}	8/16ビット精度時	100			ns
割り込み要求入力 ハイ ,ロウ・レベル幅	t _{INTH} t _{INTL}	INTP0-INTP7	1			μs
TOFF入力ハイ , ロウ・レベル幅	t _{TOFFH} t _{TOFFL}		2			μs
RESET入力ロウ・ レベル幅	t _{RSL}		10			μs

注 プリスケアラ・モード・レジスタ00 (PRM00) のビット 0 , 1 (PRM000, PRM001) またはプリスケアラ・モード・レジスタ01 (PRM01) のビット 0 , 1 (PRM010, PRM011) により, f_{sam} = f_x, f_x/4, f_x/32の選択が可能です。ただし, カウント・クロックとしてTI000 (TM00) またはTI001 (TM01) 有効エッジを選択した場合は, f_{sam} = f_x/16となります。

T_{CY} vs V_{DD} (システム・クロック動作時)



(2) リード/ライト・オペレーション ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5 V$)

項目	略号	条件	MIN.	MAX.	単位
ASTBハイ・レベル幅	t _{ASTH}		0.3 t _{cy}		ns
アドレス・セットアップ時間	t _{ADS}		20		ns
アドレス・ホールド時間	t _{ADH}		6		ns
アドレス データ入力時間	t _{ADD1}			(2 + 2n) t _{cy} - 54	ns
	t _{ADD2}			(3 + 2n) t _{cy} - 60	ns
\overline{RD} アドレス出力時間	t _{RDAD}		0	100	ns
\overline{RD} データ入力時間	t _{RDD1}			(2 + 2n) t _{cy} - 87	ns
	t _{RDD2}			(3 + 2n) t _{cy} - 93	ns
リード・データ・ホールド時間	t _{RDH}		0		ns
\overline{RD} ロウ・レベル幅	t _{RDL1}		(1.5 + 2n) t _{cy} - 33		ns
	t _{RDL2}		(2.5 + 2n) t _{cy} - 33		ns
\overline{RD} \overline{WAIT} 入力時間	t _{RDWT1}			t _{cy} - 43	ns
	t _{RDWT2}			t _{cy} - 43	ns
\overline{WR} \overline{WAIT} 入力時間	t _{WRWT}			t _{cy} - 25	ns
\overline{WAIT} ロウ・レベル幅	t _{WTL}		(0.5 + 2n) t _{cy} + 10	(2 + 2n) t _{cy}	ns
ライト・データ・セットアップ時間	t _{WDS}		60		ns
ライト・データ・ホールド時間	t _{WDH}		6		ns
\overline{WR} ロウ・レベル幅	t _{WRL}		(1.5 + 2n) t _{cy} - 15		ns
ASTB \overline{RD} 遅延時間	t _{ASTRD}		6		ns
ASTB \overline{WR} 遅延時間	t _{ASTWR}		2 t _{cy} - 15		ns
外部フェッチ時 \overline{RD} ASTB 遅延時間	t _{RDASt}		0.8 t _{cy} - 15	1.2 t _{cy}	ns
\overline{WR} アドレス・ホールド出力時間	t _{WRADH}		0.8 t _{cy} - 15	1.2 t _{cy} + 30	ns
\overline{RD} ライト・データ出力時間	t _{RDWD}		40		ns
\overline{WR} ライト・データ出力時間	t _{WRWD}		10	60	ns
外部フェッチ時 \overline{RD} アドレス・ホールド時間	t _{RDADH}		0.8 t _{cy} - 15	1.2 t _{cy} + 30	ns
\overline{WAIT} \overline{RD} 遅延時間	t _{WTRD}		0.8 t _{cy}	2.5 t _{cy} + 25	ns
\overline{WAIT} \overline{WR} 遅延時間	t _{WTWR}		0.8 t _{cy}	2.5 t _{cy} + 25	ns

備考 1 . t_{cy} = T_{cy}/4

2 . n はウエイト数を示します。

3 . C_L = 100 pF (C_LはAD0-AD7, \overline{RD} , \overline{WR} , \overline{WAIT} , ASTB端子の負荷容量です)

注意 T_{cy}はMIN. 0.238 μs時のみ使用可能です。

(3) シリアル・インタフェース ($T_A = -40 \sim +85$, $V_{DD} = 3.0 \sim 5.5 V$)

(a) 3線式シリアルI/Oモード (\overline{SCK} ...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKサイクル・タイム	t _{KCY1}	4.5 V V_{DD} 5.5 V	5.32			μs
		3.0 V $V_{DD} < 4.5 V$	7.63			μs
SCKハイ, ロウ・レベル幅	t _{KH1} t _{KL1}		t _{KCY1} /2 - 50			ns
SIセットアップ時間 (対 \overline{SCK})	t _{SIK1}		100			ns
SIホールド時間 (対 \overline{SCK})	t _{KSI1}	4.5 V V_{DD} 5.5 V	300			ns
		3.0 V $V_{DD} < 4.5 V$	400			ns
SCK SO出力遅延 時間	t _{KSO1}	C = 100 pF ^注	4.5 V V_{DD} 5.5 V		200	ns
			3.0 V $V_{DD} < 4.5 V$		300	ns

注 Cは, \overline{SCK} , SO出力ラインの負荷容量です。

(b) 3線式シリアルI/Oモード (\overline{SCK} ...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKサイクル・タイム	t _{KCY2}	4.5 V V_{DD} 5.5 V	666			ns
		3.0 V $V_{DD} < 4.5 V$	800			ns
SCKハイ, ロウ・レベル幅	t _{KH2} t _{KL2}	4.5 V V_{DD} 5.5 V	333			ns
		3.0 V $V_{DD} < 4.5 V$	400			ns
SIセットアップ時間 (対 \overline{SCK})	t _{SIK2}		100			ns
SIホールド時間 (対 \overline{SCK})	t _{KSI2}	4.5 V V_{DD} 5.5 V	300			ns
		3.0 V $V_{DD} < 4.5 V$	400			ns
SCK SO出力遅延 時間	t _{KSO2}	C = 100 pF ^注	4.5 V V_{DD} 5.5 V		200	ns
			3.0 V $V_{DD} < 4.5 V$		300	ns

注 Cは, \overline{SCK} , SO出力ラインの負荷容量です。

(c) UARTモード (UART00) (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		4.5 V V_{DD} 5.5 V			187500	bps
		3.0 V $V_{DD} < 4.5 V$			131031	bps

(d) UARTモード (UART00) (赤外線データ転送モード)

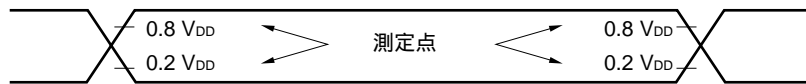
項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		4.0 V V_{DD} 5.5 V			115200	bps
ビット・レート許容誤差		4.0 V V_{DD} 5.5 V			± 0.87	%
出力パルス幅		4.0 V V_{DD} 5.5 V	1.2		0.24/fbr ^注	μs
入力パルス幅		4.0 V V_{DD} 5.5 V	4/fx			μs

注 fbr : 設定ポー・レート

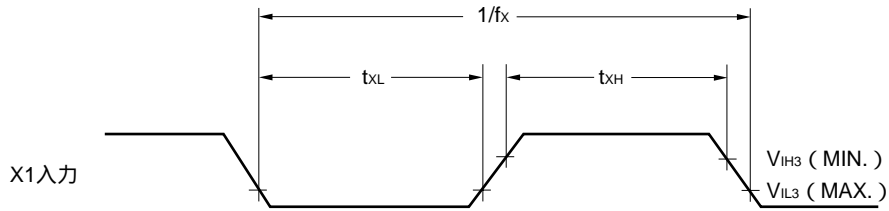
(e) UARTモード (UART01) (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		4.5 V V_{DD} 5.5 V			93750	bps
		3.0 V $V_{DD} < 4.5 V$			65516	bps

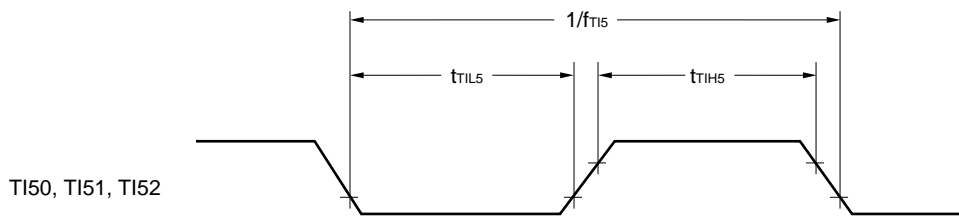
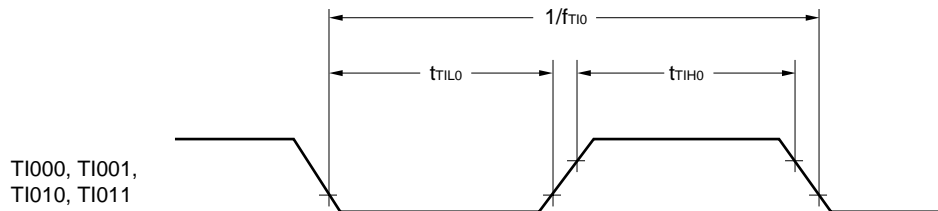
ACタイミング測定点 (X1入力を除く)



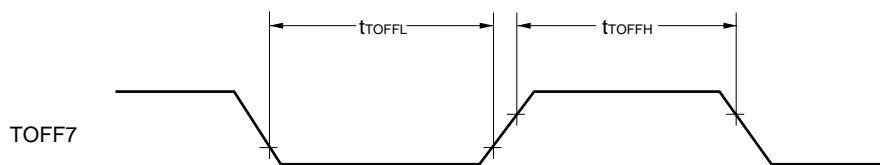
クロック・タイミング



T1タイミング

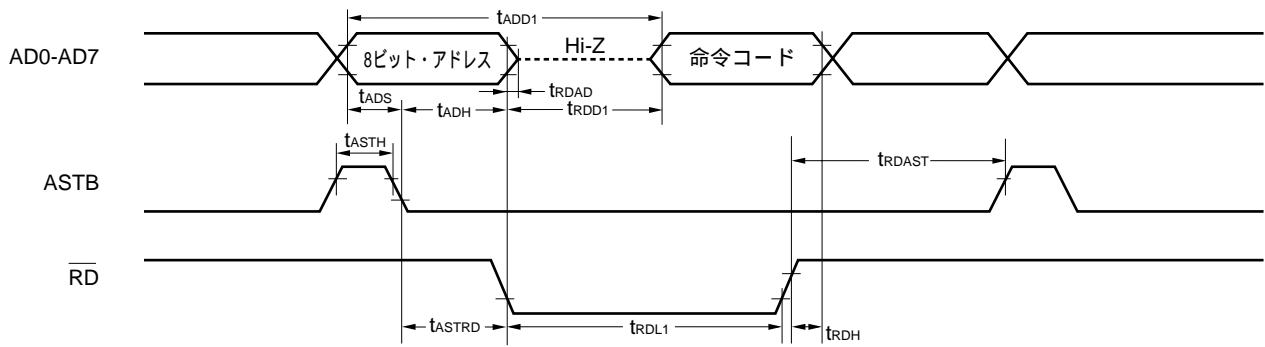


TOFFタイミング

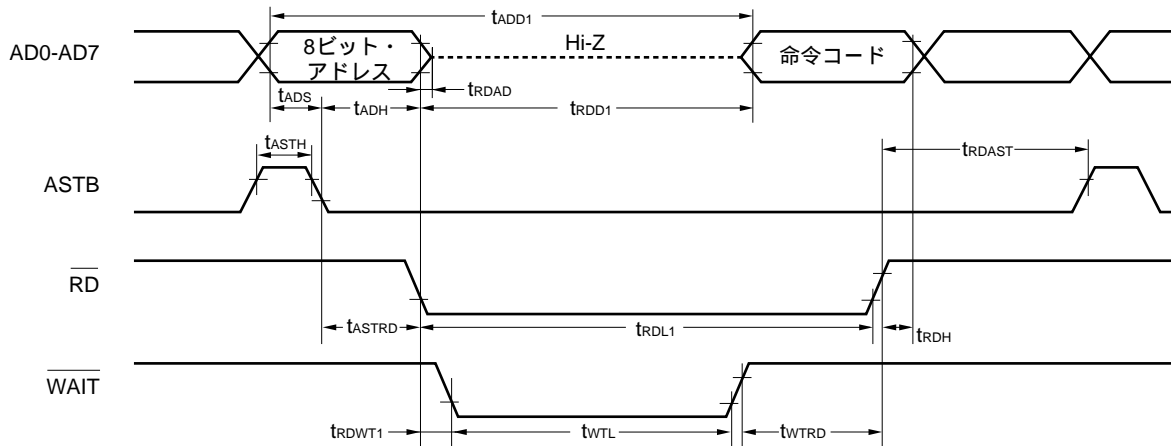


リード/ライト・オペレーション

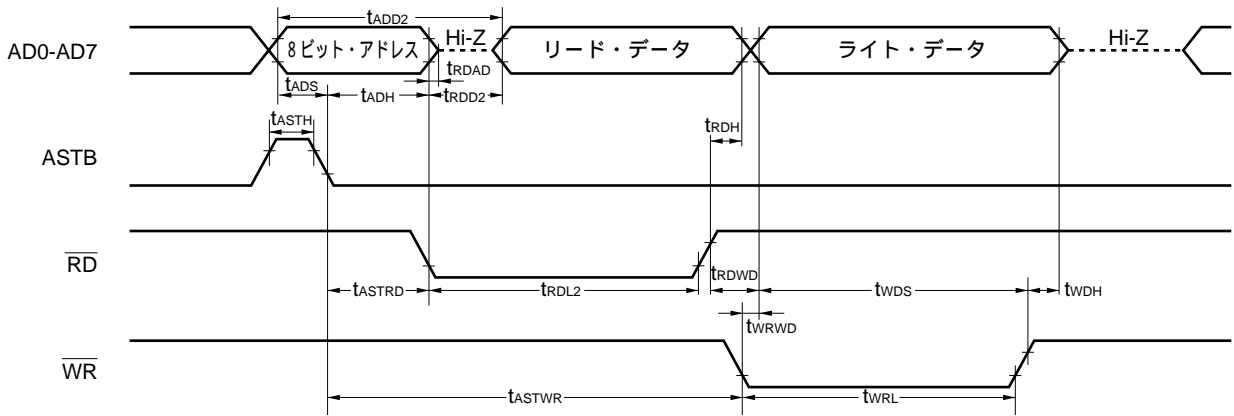
外部フェッチ (ノー・ウエイト時) :



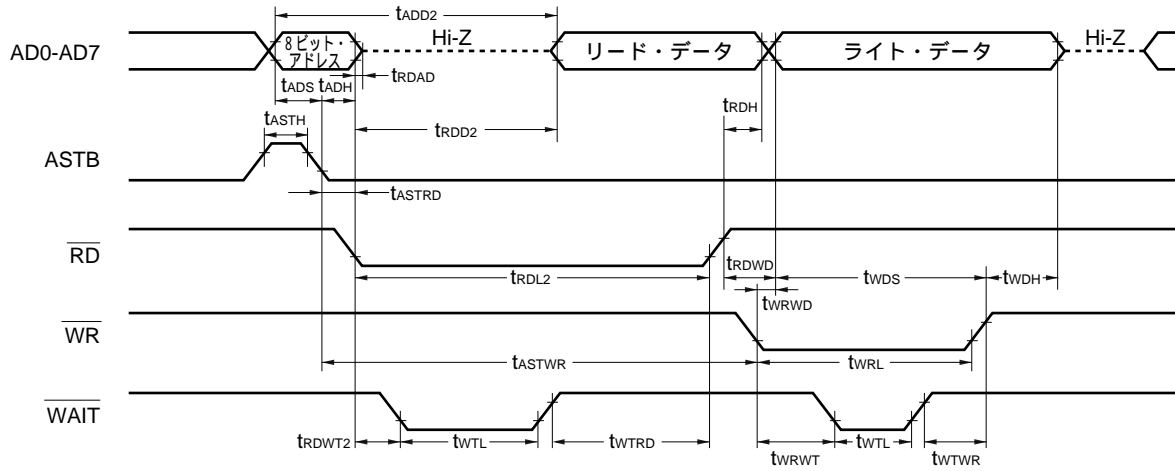
外部フェッチ (ウエイト挿入時) :



外部データ・アクセス (ノー・ウエイト時) :

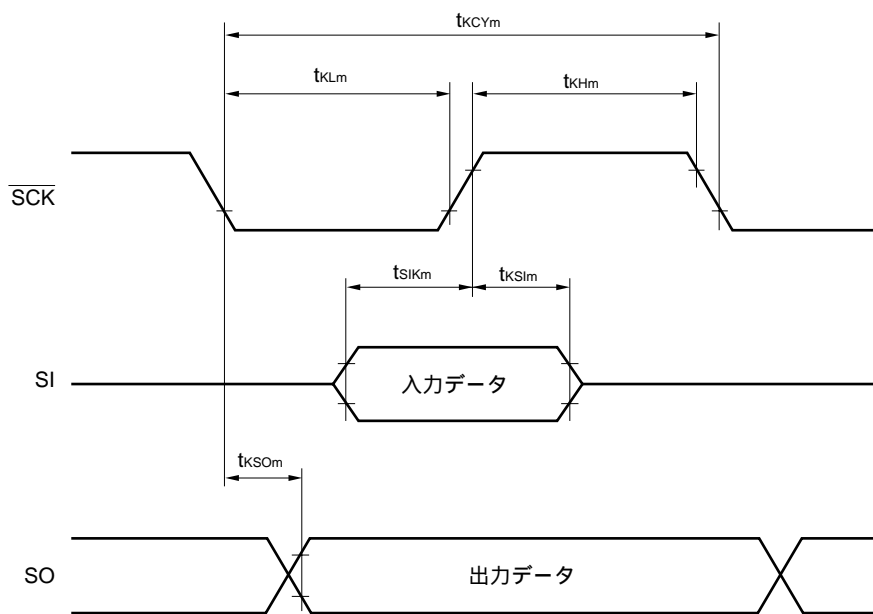


外部データ・アクセス (ウエイト挿入時) :



シリアル転送タイミング

3線式シリアル/Oモード:



m = 1, 2

A/Dコンバータ特性 ($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = 3.0 \sim 5.5$ V, $AV_{SS} = V_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 ^{注1, 2}		4.0 V $AV_{REF} = 5.5$ V		± 0.2	± 0.4	%FSR
		2.7 V $AV_{REF} < 4.0$ V		± 0.3	± 0.6	%FSR
変換時間	t_{CONV}	4.5 V $AV_{DD} = 5.5$ V	12		96	μ s
		4.0 V $AV_{DD} < 4.5$ V	14		96	μ s
		3.0 V $AV_{DD} < 4.0$ V	17		96	μ s
ゼロスケール誤差 ^{注1, 2}		4.0 V $AV_{REF} = 5.5$ V			± 0.4	%FSR
		2.7 V $AV_{REF} < 4.0$ V			± 0.6	%FSR
フルスケール誤差 ^{注1, 2}		4.0 V $AV_{REF} = 5.5$ V			± 0.4	%FSR
		2.7 V $AV_{REF} < 4.0$ V			± 0.6	%FSR
積分直線性誤差 ^{注1}		4.0 V $AV_{REF} = 5.5$ V			± 2.5	LSB
		2.7 V $AV_{REF} < 4.0$ V			± 4.5	LSB
微分直線性誤差 ^{注1}		4.0 V $AV_{REF} = 5.5$ V			± 1.5	LSB
		2.7 V $AV_{REF} < 4.0$ V			± 2.0	LSB
アナログ入力電圧	V_{IAN}		0		AV_{REF}	V
基準電圧	AV_{REF}		2.7		AV_{DD}	V
AV_{REF} - AV_{SS} 間抵抗	R_{REF}	A/D変換非動作時	20	40		k

注1 . 量子化誤差 ($\pm 1/2$ LSB) を含みません。

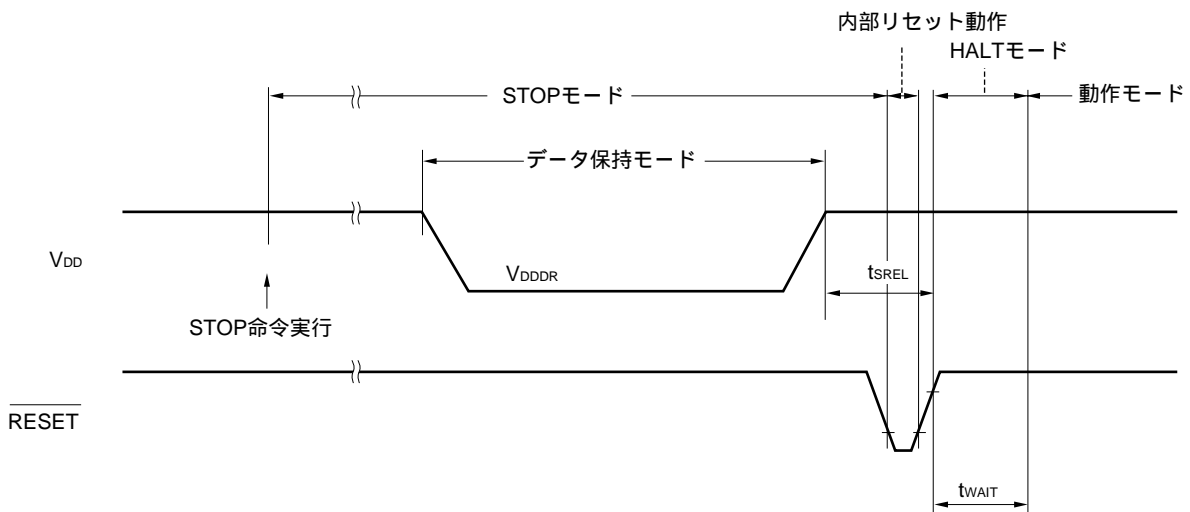
2 . フルスケール値に対する比率 (%FSR) で表します。

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

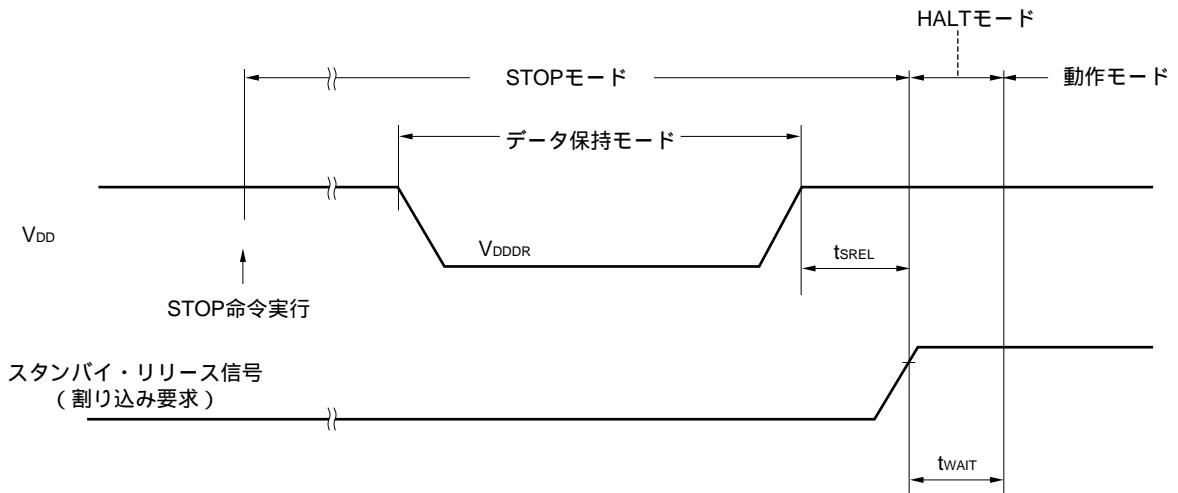
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		2.0		5.5	V
データ保持電源電流	I_{DDDR}	$V_{DDDR} = 2.0$ V		0.1	10	μ A
リリース信号セット時間	t_{SREL}		0			μ s
発振安定ウエイト時間	t_{WAIT}	RESETによる解除		$2^{17}/f_x$		ms
		割り込み要求による解除		注		ms

注 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, $2^{12}/f_x$, $2^{14}/f_x$ - $2^{17}/f_x$ の選択が可能です。

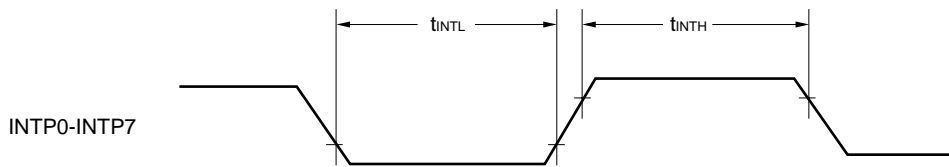
データ保持タイミング (RESETによるSTOPモード解除)



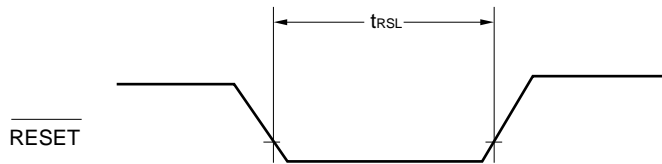
データ保持タイミング (スタンバイ・リリース信号：割り込み要求信号によるSTOPモード解除)



割り込み要求入力タイミング



RESET入力タイミング



フラッシュ・メモリ・プログラミング特性：μPD78F0988A, μPD78F0988A(A)のみ

($T_A = 10 \sim 40$, $V_{DD} = AV_{DD} = 3.0 \sim 5.5$ V, $V_{SS} = AV_{SS} = 0$ V, $V_{PP} = 9.7 \sim 10.3$ V)

(1) 書き込み消去特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f _x	4.5 V V_{DD} 5.5 V	1.0		10	MHz
		3.0 V $V_{DD} < 4.5$ V	1.0		8.38	MHz
V _{PP} 電源電圧	V _{PP2}	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V
V _{DD} 電源電流	I _{DD}	V _{PP} = V _{PP2} 時, f _x = 8.38 MHz			40	mA
V _{PP} 電源電流	I _{PP}	V _{PP} = V _{PP2} 時			100	mA
ステップ消去時間	T _{er}	注1	0.199	0.2	0.201	s
1 エリアあたりの総消去時間	T _{era}	ステップ消去時間 = 0.2 s時 注2			20	s/エリア
ライトバック時間	T _{wb}	注3	49.4	50	50.6	ms
1 ライトバック・コマンドあたりのライトバック回数	C _{wb}	ライトバック時間 = 50 ms時 注4			60	回/ライトバック・コマンド
消去-ライトバック回数	C _{erwb}				16	回
ステップ書き込み時間	T _{wr}	注5	48	50	52	μs
1 ワードあたりの総書き込み時間	T _{wrw}	ステップ書き込み時間 = 50 μs時 (1ワード = 1バイト) 注6	48		520	μs/ワード
1 エリアあたりの書き換え回数	C _{erwr}	消去1回 + 消去後の書き込み1回 = 書き換え1回とする 注7		20		回/エリア

注1．ステップ消去時間の推奨設定値 = 0.2 sです。

2．消去前のプリライトおよび消去ベリファイ時間（ライトバック時間）は、含まれません。

3．ライトバック時間の推奨設定値 = 50 msです。

4．ライトバック・コマンドの発行により、ライトバックは1回実行されます。したがってリトライ回数設定値は、この値よりコマンド発行回数をマイナスした値としてください。

5．ステップ書き込み時間の推奨設定値 = 50 μsです。

6．実際の1ワードあたりの書き込み時間は、100 μsが加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。

7．出荷品に対する初回書き込み時、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

例： P：書き込み E：消去

出荷品 P E P E P：書き換え回数3回

出荷品 E P E P E P：書き換え回数3回

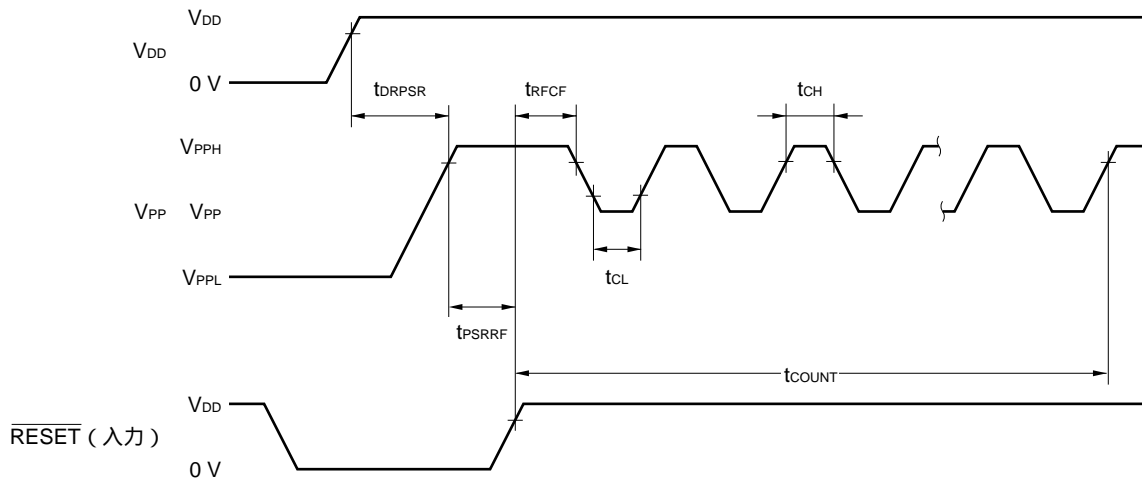
備考1．フラッシュ・メモリ・プログラミング時の動作クロック範囲は、通常動作時と異なります。

2．PG-FP3, FL-PR3（内藤電誠製）、PG-FP4, FL-PR4（内藤電誠製）使用時は、パラメータ・ファイルのダウンロードにて書き込み/消去に必要な時間パラメータは、自動設定されます。特に指示がない場合は、設定値の変更は行わないでください。

(2) シリアル書き込みオペレーション特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{DD} V _{PP} セット時間	t _{DRPSR}	V _{PP} 高電圧	10			μs
V _{PP} $\overline{\text{RESET}}$ セット時間	t _{PSRRF}	V _{PP} 高電圧	1.0			μs
$\overline{\text{RESET}}$ V _{PP} カウンタ開始時間	t _{RFCF}	V _{PP} 高電圧	1.0			μs
カウンタ実行時間	t _{COUNT}				20	ms
V _{PP} カウンタ・ハイ・レベル幅	t _{CH}		8.0			μs
V _{PP} カウンタ・ロウ・レベル幅	t _{CL}		8.0			μs
V _{PP} カウンタ・ノイズ除去幅	t _{NFW}			40		ns

フラッシュ書き込みモード設定タイミング



第21章 電気的特性（従来規格品）

絶対最大定格（ $T_A = 25$ ）

項目	略号	条件	定格	単位	
電源電圧	V_{DD}		- 0.3 ~ + 6.5	V	
	V_{PP}	μ PD78F0988A, 78F0988A(A)のみ 注1	- 0.3 ~ + 10.5	V	
	AV_{DD}		- 0.3 ~ $V_{DD} + 0.3$	V	
	AV_{REF}		- 0.3 ~ $V_{DD} + 0.3$	V	
	AV_{SS}		- 0.3 ~ + 0.3	V	
入力電圧	V_i	P00-P03, P10-P17, P20-P26, P30-P37, P50-P57, P64-P67, TO70-TO75, X1, X2, \overline{RESET}	- 0.3 ~ $V_{DD} + 0.3$	V	
出力電圧	V_o		- 0.3 ~ $V_{DD} + 0.3$	V	
アナログ入力電圧	V_{AN}	P10-P17 アナログ入力端子	$AV_{SS} - 0.3 \sim AV_{REF} + 0.3$ かつ - 0.3 ~ $V_{DD} + 0.3$	V	
ハイ・レベル 出力電流	I_{OH}	1 端子	- 10	mA	
		P00, P01, P30-P37, P40-P47, P50-P57, P64-P67 合計	- 15	mA	
		P02, P03, P20-P26, TO70-TO75 合計	- 15	mA	
ロウ・レベル 出力電流	I_{OL} ^{注2}	P00-P03, P10-P17, P20-P26, P30-P37, P40-P47, P64-P67 1 端子	ピーク値	20	mA
		P50-P57, TO70-TO75 1 端子	実効値	10	mA
			ピーク値	30	mA
		P00, P01, P30-P37, P40-P47, P64-P67 合計	実効値	15	mA
			ピーク値	50	mA
		P02, P03, P20-P26 合計	実効値	20	mA
			ピーク値	30	mA
		TO70-TO75 合計	実効値	15	mA
			ピーク値	100	mA
		P50-P57 合計	実効値	70	mA
			ピーク値	100	mA
			実効値	70	mA
		動作周囲温度	T_A	通常動作時	- 40 ~ + 85
フラッシュ・メモリ・プログラミング時 (μ PD78F0988A, 78F0988A(A)のみ)	+ 10 ~ + 40				
保存温度	T_{stg}	マスクROM製品	- 65 ~ + 150		
		フラッシュ・メモリ製品	- 40 ~ + 125		

（注の説明は次頁にあります。）

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

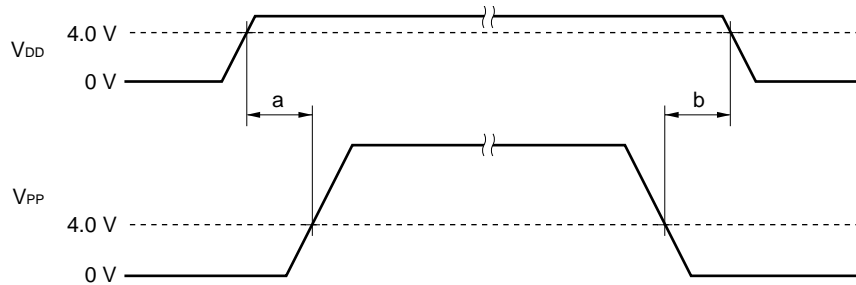
注1．フラッシュ・メモリ書き込み時， V_{PP} の電圧印加タイミングについては，必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD} が動作電圧範囲の下限電圧（4.0 V）に達してから10 μ s以上経過後， V_{PP} が V_{DD} を越えること（下図の a）。

・電源電圧立ち下がり時

V_{PP} が V_{DD} の動作電圧範囲の下限電圧（4.0 V）を下回ってから10 μ s以上経過後， V_{DD} を立ち下げること（下図の b）。



2．実効値は〔実効値〕 = [ピーク値] $\times \sqrt{\text{デューティ}}$ で計算してください。

容量（ $T_A = 25$ ， $V_{DD} = V_{SS} = 0V$ ）

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力容量	C_{IN}	$f = 1\text{ MHz}$ 被測定端子以外は0V				15	pF
入出力容量	C_{IO}	$f = 1\text{ MHz}$ 被測定端子以外は0V	P00-P03, P20-P26, P30-P37, P40-P47, P50-P57, P64-P67, TO70-TO75			15	pF

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性（ $T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5V$ ）

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (f_x) 注2		1.0		8.38	MHz
		発振安定時間注3	V_{DD} が発振電圧範囲のMIN. に達したあと			4	ms
水晶振動子		発振周波数 (f_x) 注2		1.0		8.38	MHz
		発振安定時間注3	V_{DD} が発振電圧範囲のMIN. に達したあと			10	ms
外部クロック		X1入力周波数 (f_x) 注2		1.0		8.38	MHz
		X1入力ハイ、ロウ・レベル幅 (t_{xH} , t_{xL})		50		500	ns

注1 . μ PD78F0988A, 78F0988A(A)の場合

- 2 . 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。
- 3 . リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

配線は極力短くする。

他の信号線と交差させない。

変化する大電流が流れる線に接近させない。

発振回路のコンデンサの接地点は、常に V_{SS1} と同電位になるようにする。

大電流が流れるグラウンド・パターンに接地しない。

発振回路から信号を取り出さない。

推奨発振回路定数

(1) μ PD780982, 780983, 780984, 780986, 780988, 780982(A), 780983(A), 780984(A), 780986(A), 780988(A)

システム・クロック：セラミック発振子 ($T_A = -40 \sim +85$)

メーカー	品名	周波数 (MHz)	タイプ	推奨回路定数		発振電圧範囲	
				C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)
村田製作所	CSTCC2M00G56-R0	2.00	SMD	内蔵	内蔵	4.0	5.5
	CSTLS2M00G56-B0	2.00	リード	内蔵	内蔵	4.0	5.5
	CSTCR4M00G53-R0	4.00	SMD	内蔵	内蔵	4.0	5.5
	CSTLS4M00G53-B0	4.00	リード	内蔵	内蔵	4.0	5.5
	CSTCR4M19G53-R0	4.19	SMD	内蔵	内蔵	4.0	5.5
	CSTLS4M19G53-B0	4.19	リード	内蔵	内蔵	4.0	5.5
	CSTCR4M91G53-R0	4.91	SMD	内蔵	内蔵	4.0	5.5
	CSTLS4M91G53-B0	4.91	リード	内蔵	内蔵	4.0	5.5
	CSTCR5M00G53-R0	5.00	SMD	内蔵	内蔵	4.0	5.5
	CSTLS5M00G53-B0	5.00	リード	内蔵	内蔵	4.0	5.5
	CSTCE8M00G52-R0	8.00	SMD	内蔵	内蔵	4.0	5.5
	CSTLS8M00G53-B0	8.00	リード	内蔵	内蔵	4.0	5.5
	CSTCE8M38G52-R0	8.38	SMD	内蔵	内蔵	4.0	5.5
	CSTLS8M38G53-B0	8.38	リード	内蔵	内蔵	4.0	5.5

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。

実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、 μ PD780988サブシリーズの内部動作条件についてはDC, AC特性の規格内で使用してください。

(2) μ PD78F0988A, 78F0988A(A)システム・クロック：セラミック発振子 ($T_A = -40 \sim +85$)

メーカー	品名	周波数 (MHz)	タイプ	推奨回路定数		発振電圧範囲	
				C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)
村田製作所	CSTCC2M00G56-R0	2.00	SMD	内蔵	内蔵	4.0	5.5
	CSTLS2M00G56-B0	2.00	リード	内蔵	内蔵	4.0	5.5
	CSTCR4M00G53-R0	4.00	SMD	内蔵	内蔵	4.0	5.5
	CSTLS4M00G53-B0	4.00	リード	内蔵	内蔵	4.0	5.5
	CSTCR4M19G53-R0	4.19	SMD	内蔵	内蔵	4.0	5.5
	CSTLS4M19G53-B0	4.19	リード	内蔵	内蔵	4.0	5.5
	CSTCR4M91G53-R0	4.91	SMD	内蔵	内蔵	4.0	5.5
	CSTLS4M91G53-B0	4.91	リード	内蔵	内蔵	4.0	5.5
	CSTCR5M00G53-R0	5.00	SMD	内蔵	内蔵	4.0	5.5
	CSTLS5M00G53-B0	5.00	リード	内蔵	内蔵	4.0	5.5
	CSTCE8M00G52-R0	8.00	SMD	内蔵	内蔵	4.0	5.5
	CSTLS8M00G53-B0	8.00	リード	内蔵	内蔵	4.0	5.5
	CSTLS8M00G53093-B0	8.00	リード	内蔵	内蔵	4.0	5.5
	CSTCE8M38G52-R0	8.38	SMD	内蔵	内蔵	4.0	5.5
	CSTLS8M38G53-B0	8.38	リード	内蔵	内蔵	4.0	5.5
	CSTLS8M38G53093-B0	8.38	リード	内蔵	内蔵	4.0	5.5

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。

実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、 μ PD780988サブシリーズの内部動作条件についてはDC、AC特性の規格内で使用してください。

DC特性 (TA = -40 ~ +85 , VDD = 4.0 ~ 5.5 V) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル 入力電圧	VIH1	P10-P17, P21, P23, P30-P37, P40-P47, P50, P53, P64-P67		0.7 VDD		VDD	V
	VIH2	RESET, P00-P03, P20, P22, P24-P26, P51, P52, P54-P57		0.8 VDD		VDD	V
	VIH3	X1, X2		VDD - 0.5		VDD	V
ロウ・レベル 入力電圧	VIL1	P10-P17, P21, P23, P30-P37, P40-P47, P50, P53, P64-P67		0		0.3 VDD	V
	VIL2	RESET, P00-P03, P20, P22, P24-P26, P51, P52, P54-P57		0		0.2 VDD	V
	VIL3	X1, X2		0		0.4	V
ハイ・レベル 出力電圧	VOH1	4.5 V VDD 5.5 V, IOH = - 1 mA		VDD - 1.0		VDD	V
		IOH = - 100 μA		VDD - 0.5		VDD	V
ロウ・レベル 出力電圧	VOL1	P50-P57, TO70-TO75	4.5 V VDD 5.5 V, IOL = 15 mA		0.4	2.0	V
		P00-P03, P20-P26, P30-P37, P40-P47, P64-P67	4.5 V VDD 5.5 V, IOL = 1.6 mA			0.4	V
	VOL2	IOL = 400 μA				0.5	V
ハイ・レベル 入力リーク電流	ILIH1	VIN = VDD	P00-P03, P10-P17, P20-P26, P30-P37, P40-P47, P50-P57, P64-P67, TO70-TO75, RESET			3	μA
	ILIH2		X1, X2			20	μA
ロウ・レベル 入力リーク電流	ILIL1	VIN = 0 V	P00-P03, P10-P17, P20-P26, P30-P37, P40-P47, P50-P57, P64-P67, TO70-TO75, RESET			- 3	μA
	ILIL2		X1, X2			- 20	μA
ハイ・レベル 出力リーク電流	ILOH	VOUT = VDD				3	μA
ロウ・レベル 出力リーク電流	ILOL	VOUT = 0 V				- 3	μA
ソフトウェア・プ ルアップ抵抗	R2	VIN = 0 V P00-P03, P20-P26, P30-P37, P40-P47, P50-P57, P64-P67		15	30	90	k

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5 V$) (2/2)

(a) μ PD780982, 780983, 780984, 780986, 780988, 780982(A), 780983(A), 780984(A), 780986(A), 780988(A)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
電源電流	I _{DD1}	8.38 MHz水晶発振 動作モード	$V_{DD} = 5.0 V \pm 10 \% \text{注}^1$	A/Dコンバータ停止時		6.5	13 ^{注2}	mA
				A/Dコンバータ動作時		7.5	15 ^{注2}	mA
	I _{DD2}	8.38 MHz水晶発振 HALTモード	$V_{DD} = 5.0 V \pm 10 \% \text{注}^1$	周辺機能停止時		1	2	mA
				周辺機能動作時			7	mA
I _{DD3}	STOPモード	$V_{DD} = 5.0 V \pm 10 \%$		0.1	30	μA		

注1．高速動作モード時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）。

2．内部電源（ V_{DD0} , V_{DD1} ）に流れるトータル電流です。周辺動作電流を含みます（ただし、ポートのプルアップ抵抗， AV_{REF} 端子に流れる電流は含みません）。

(b) μ PD78F0988A, 78F0988A(A)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
電源電流	I _{DD1}	8.38 MHz水晶発振 動作モード	$V_{DD} = 5.0 V \pm 10 \% \text{注}^1$	A/Dコンバータ停止時		15	25 ^{注2}	mA
				A/Dコンバータ動作時		16	27 ^{注2}	mA
	I _{DD2}	8.38 MHz水晶発振 HALTモード	$V_{DD} = 5.0 V \pm 10 \% \text{注}^1$	周辺機能停止時		1.3	2.6	mA
				周辺機能動作時			7.3	mA
I _{DD3}	STOPモード	$V_{DD} = 5.0 V \pm 10 \%$		0.1	30	μA		
V _{PP} 電源電圧	V _{PP1}	通常動作時	0		0.2 V _{DD}	V		

注1．高速動作モード時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）。

2．内部電源（ V_{DD0} , V_{DD1} ）に流れるトータル電流です。周辺動作電流を含みます（ただし、ポートのプルアップ抵抗， AV_{REF} 端子に流れる電流は含みません）。

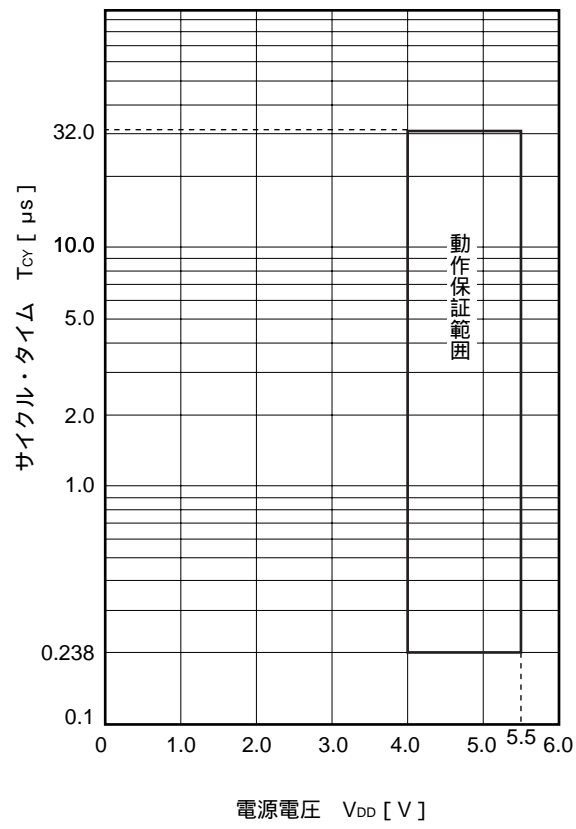
AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T_{CY}	システム・クロックで動作	0.238		32	μs
TI000, TI001, TI010, TI011 入力周波数	f_{TI0}		0		$f_x/64$	MHz
TI000, TI001, TI010, TI011 入力ハイ ,ロウ・ レベル幅	t_{TIH0} t_{TIL0}		$2/f_{sam} +$ 0.1 ^注			μs
TI50, TI51, TI52 入力周波数	f_{TI5}	8/16ビット精度時	0		4	MHz
TI50, TI51, TI52 入力ハイ ,ロウ・ レベル幅	t_{TIH5} t_{TIL5}	8/16ビット精度時	100			ns
割り込み要求入力 ハイ ,ロウ・レベル幅	t_{INTH} t_{INTL}	INTP0-INTP7	1			μs
TOFF入力ハイ , ロウ・レベル幅	t_{TOFFH} t_{TOFFL}		2			μs
RESET入力ロウ・ レベル幅	t_{RSL}		10			μs

注 プリスケアラ・モード・レジスタ00 (PRM00) のビット 0 , 1 (PRM000, PRM001) またはプリスケアラ・モード・レジスタ01 (PRM01) のビット 0 , 1 (PRM010, PRM011) により, $f_{sam} = f_x, f_x/4, f_x/32$ の選択が可能です。ただし, カウント・クロックとしてTI000 (TM00) またはTI001 (TM01) 有効エッジを選択した場合は, $f_{sam} = f_x/16$ となります。

T_{CY} vs V_{DD} (システム・クロック動作時)



(2) リード/ライト・オペレーション ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5 V$)

項目	略号	条件	MIN.	MAX.	単位
ASTBハイ・レベル幅	t_{ASTH}		0.3 t_{CY}		ns
アドレス・セットアップ時間	t_{ADS}		20		ns
アドレス・ホールド時間	t_{ADH}		6		ns
アドレス データ入力時間	t_{ADD1}			$(2 + 2n) t_{CY} - 54$	ns
	t_{ADD2}			$(3 + 2n) t_{CY} - 60$	ns
\overline{RD} アドレス出力時間	t_{RDAD}		0	100	ns
\overline{RD} データ入力時間	t_{RDD1}			$(2 + 2n) t_{CY} - 87$	ns
	t_{RDD2}			$(3 + 2n) t_{CY} - 93$	ns
リード・データ・ホールド時間	t_{RDH}		0		ns
\overline{RD} ロウ・レベル幅	t_{RDL1}		$(1.5 + 2n) t_{CY} - 33$		ns
	t_{RDL2}		$(2.5 + 2n) t_{CY} - 33$		ns
\overline{RD} \overline{WAIT} 入力時間	t_{RDWT1}			$t_{CY} - 43$	ns
	t_{RDWT2}			$t_{CY} - 43$	ns
\overline{WR} \overline{WAIT} 入力時間	t_{WRWT}			$t_{CY} - 25$	ns
\overline{WAIT} ロウ・レベル幅	t_{WTL}		$(0.5 + 2n) t_{CY} + 10$	$(2 + 2n) t_{CY}$	ns
ライト・データ・セットアップ時間	t_{WDS}		60		ns
ライト・データ・ホールド時間	t_{WDH}		6		ns
\overline{WR} ロウ・レベル幅	t_{WRL}		$(1.5 + 2n) t_{CY} - 15$		ns
ASTB \overline{RD} 遅延時間	t_{ASTRD}		6		ns
ASTB \overline{WR} 遅延時間	t_{ASTWR}		$2 t_{CY} - 15$		ns
外部フェッチ時 \overline{RD} ASTB 遅延時間	t_{RDAST}		$0.8 t_{CY} - 15$	$1.2 t_{CY}$	ns
\overline{WR} アドレス・ホールド出力時間	t_{WRADH}		$0.8 t_{CY} - 15$	$1.2 t_{CY} + 30$	ns
\overline{RD} ライト・データ出力時間	t_{RDWD}		40		ns
\overline{WR} ライト・データ出力時間	t_{WRWD}		10	60	ns
外部フェッチ時 \overline{RD} アドレス・ホールド時間	t_{RDADH}		$0.8 t_{CY} - 15$	$1.2 t_{CY} + 30$	ns
\overline{WAIT} \overline{RD} 遅延時間	t_{WTRD}		$0.8 t_{CY}$	$2.5 t_{CY} + 25$	ns
\overline{WAIT} \overline{WR} 遅延時間	t_{WTWR}		$0.8 t_{CY}$	$2.5 t_{CY} + 25$	ns

備考 1 . $t_{CY} = T_{CY}/4$

2 . n はウエイト数を示します。

3 . $C_L = 100 pF$ (C_L はAD0-AD7, \overline{RD} , \overline{WR} , \overline{WAIT} , ASTB端子の負荷容量です)

注意 T_{CY} はMIN. 0.238 μs 時のみ使用可能です。

(3) シリアル・インタフェース (TA = -40 ~ +85 , VDD = 4.0 ~ 5.5 V)

(a) 3線式シリアルI/Oモード (SCK...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKサイクル・タイム	t _{KCY1}		954			ns
SCKハイ, ロウ・レベル幅	t _{KH1} t _{KL1}		t _{KCY1} /2 - 50			ns
SIセットアップ時間 (対SCK)	t _{SIK1}		100			ns
SIホールド時間 (対SCK)	t _{KSI1}		400			ns
SCK SO出力遅延 時間	t _{KSO1}	C = 100 pF ^注			300	ns

注 Cは, SCK, SO出力ラインの負荷容量です。

(b) 3線式シリアルI/Oモード (SCK...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKサイクル・タイム	t _{KCY2}		800			ns
SCKハイ, ロウ・レベル幅	t _{KH2} t _{KL2}		400			ns
SIセットアップ時間 (対SCK)	t _{SIK2}		100			ns
SIホールド時間 (対SCK)	t _{KSI2}		400			ns
SCK SO出力遅延 時間	t _{KSO2}	C = 100 pF ^注			300	ns

注 Cは, SCK, SO出力ラインの負荷容量です。

(c) UARTモード (UART00) (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					125000	bps

(d) UARTモード (UART00) (赤外線データ転送モード)

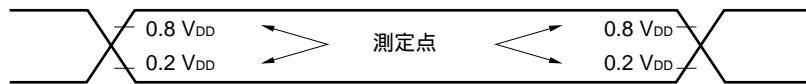
項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					115200	bps
ビット・レート許容誤差					±0.87	%
出力パルス幅			1.2		0.24/fbr ^注	μs
入力パルス幅			4/fx			μs

注 fbr : 設定ボー・レート

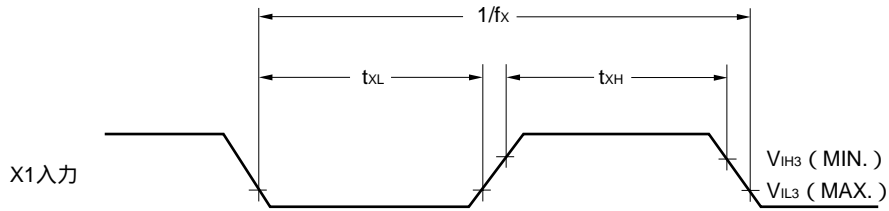
(e) UARTモード (UART01) (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					38400	bps

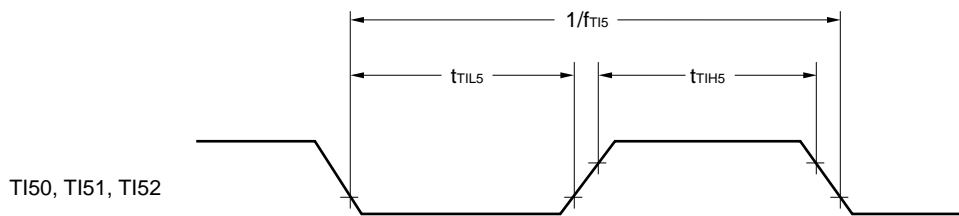
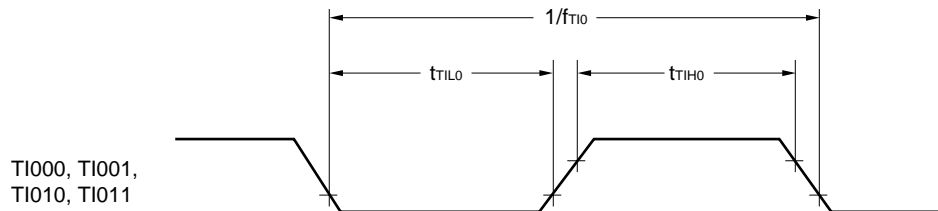
ACタイミング測定点 (X1入力を除く)



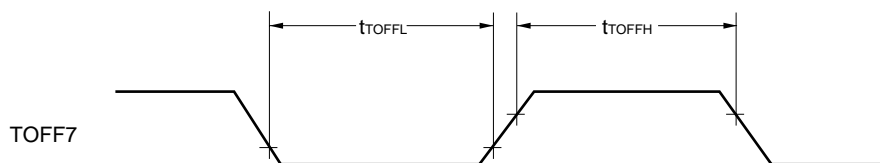
クロック・タイミング



T1タイミング

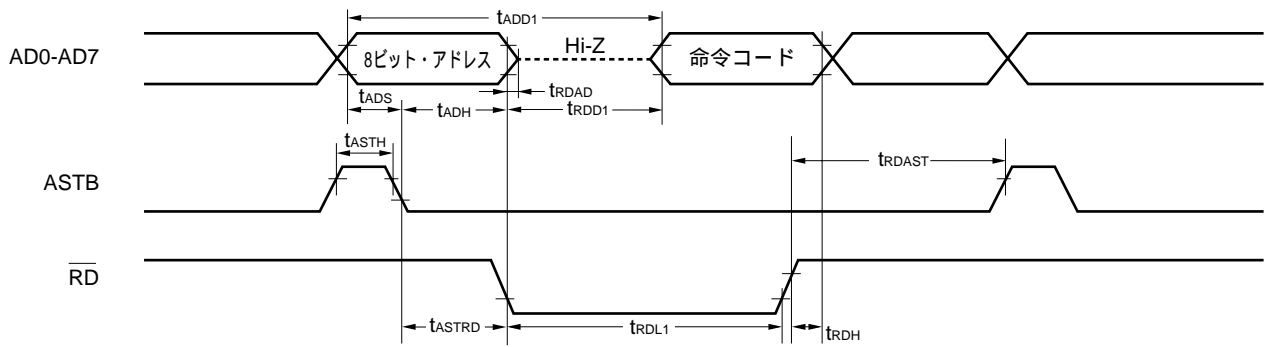


TOFFタイミング

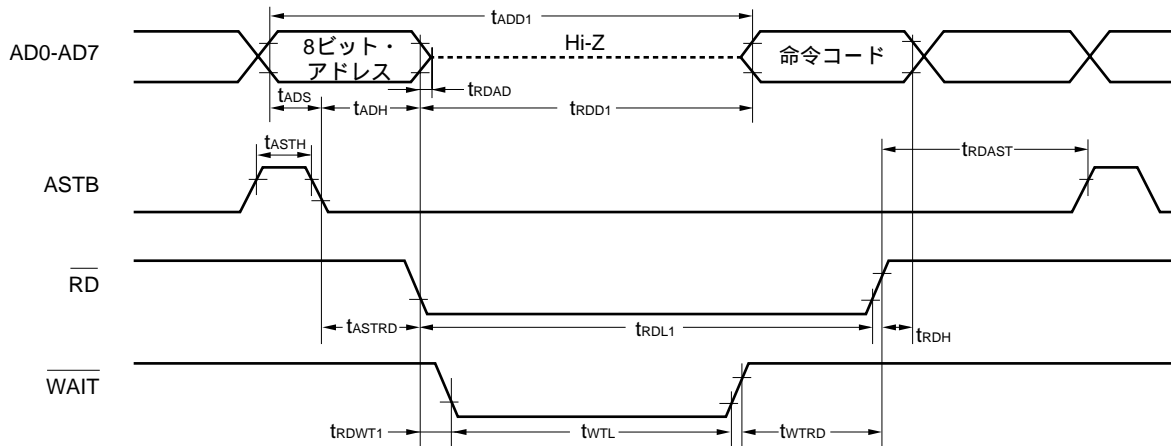


リード/ライト・オペレーション

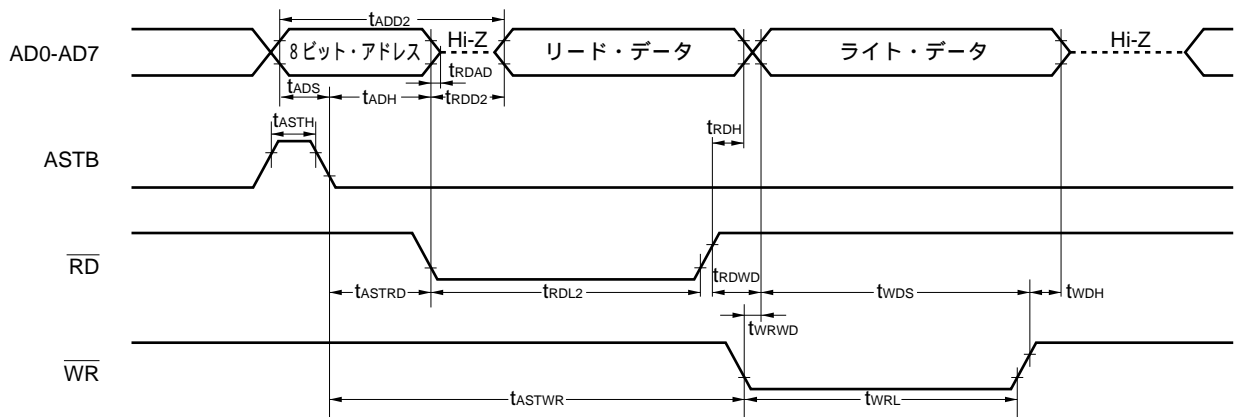
外部フェッチ (ノー・ウエイト時) :



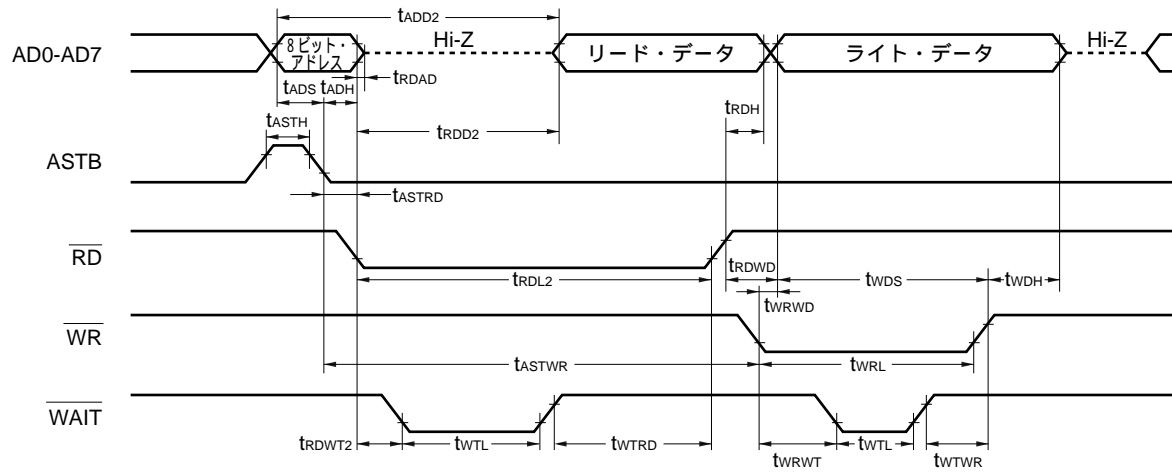
外部フェッチ (ウエイト挿入時) :



外部データ・アクセス (ノー・ウエイト時) :

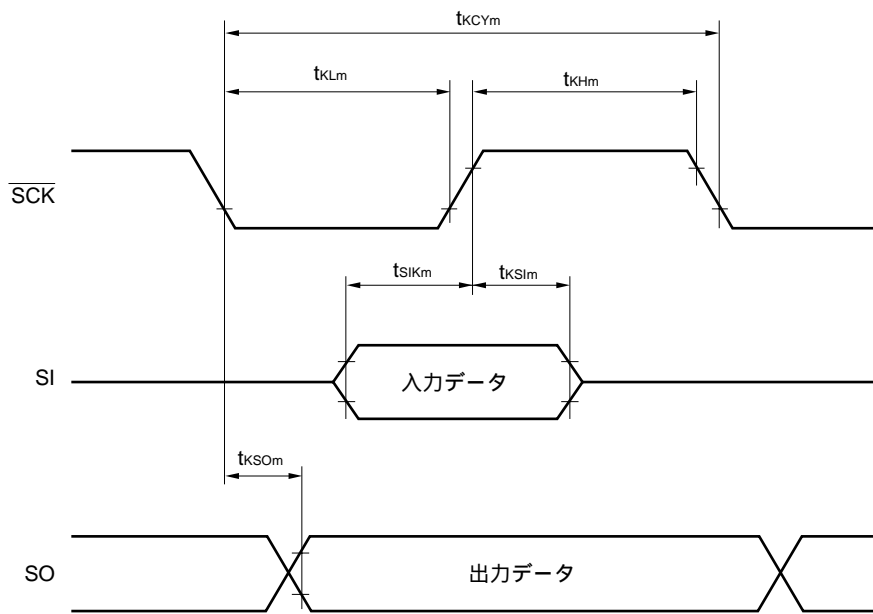


外部データ・アクセス (ウエイト挿入時) :



シリアル転送タイミング

3線式シリアル/Oモード :



m = 1, 2

A/Dコンバータ特性 ($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = 4.0 \sim 5.5$ V, $AV_{SS} = V_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 ^{注1, 2}		4.0 V $AV_{REF} = 5.5$ V		± 0.2	± 0.4	%FSR
		2.7 V $AV_{REF} < 4.0$ V		± 0.3	± 0.6	%FSR
変換時間	t_{CONV}	4.0 V $AV_{DD} = 5.5$ V	14		96	μ s
ゼロスケール誤差 ^{注1, 2}		4.0 V $AV_{REF} = 5.5$ V			± 0.4	%FSR
		2.7 V $AV_{REF} < 4.0$ V			± 0.6	%FSR
フルスケール誤差 ^{注1, 2}		4.0 V $AV_{REF} = 5.5$ V			± 0.4	%FSR
		2.7 V $AV_{REF} < 4.0$ V			± 0.6	%FSR
積分直線性誤差 ^{注1}		4.0 V $AV_{REF} = 5.5$ V			± 2.5	LSB
		2.7 V $AV_{REF} < 4.0$ V			± 4.5	LSB
微分直線性誤差 ^{注1}		4.0 V $AV_{REF} = 5.5$ V			± 1.5	LSB
		2.7 V $AV_{REF} < 4.0$ V			± 2.0	LSB
アナログ入力電圧	V_{IAN}		0		AV_{REF}	V
基準電圧	AV_{REF}		2.7		AV_{DD}	V
AV_{REF} - AV_{SS} 間抵抗	R_{REF}	A/D変換非動作時	20	40		k

注1．量子化誤差 ($\pm 1/2$ LSB) を含みません。

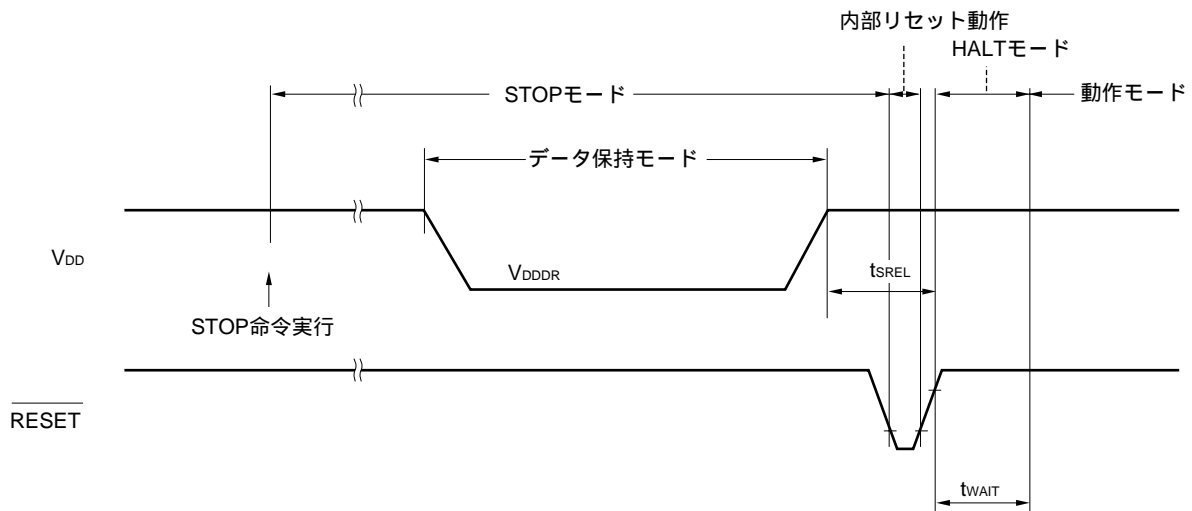
2．フルスケール値に対する比率 (%FSR) で表します。

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

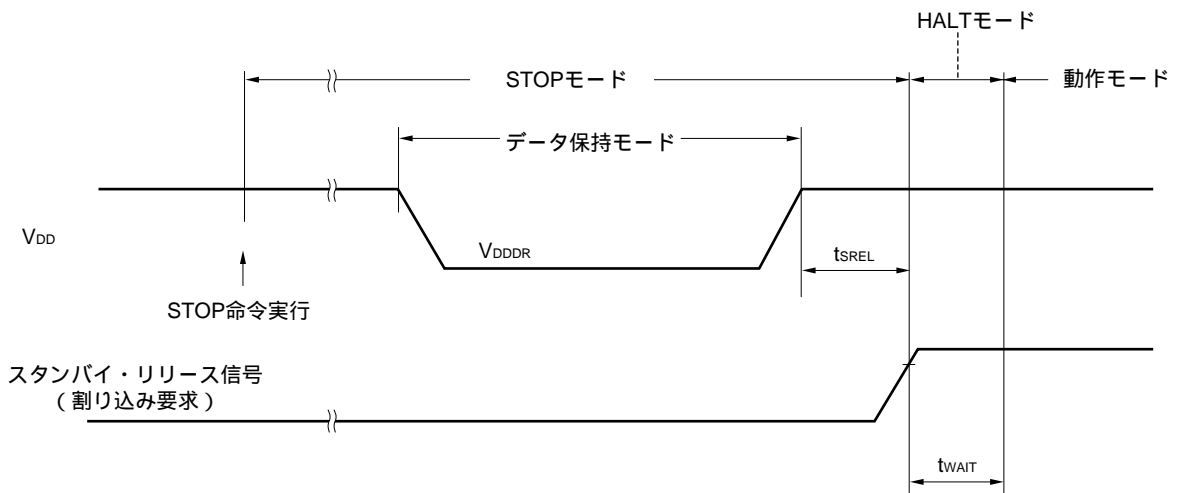
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		2.0		5.5	V
データ保持電源電流	I_{DDDR}	$V_{DDDR} = 2.0$ V		0.1	10	μ A
リリース信号セット時間	t_{SREL}		0			μ s
発振安定ウエイト時間	t_{WAIT}	RESETによる解除		$2^{17}/f_x$		ms
		割り込み要求による解除		注		ms

注 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, $2^{12}/f_x$, $2^{14}/f_x$ - $2^{17}/f_x$ の選択が可能です。

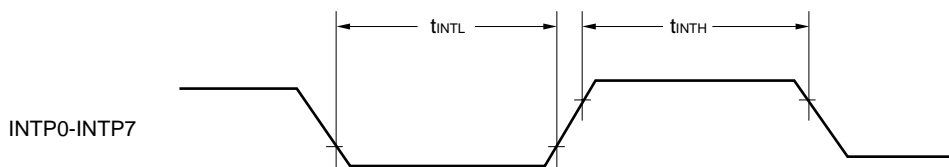
データ保持タイミング (RESETによるSTOPモード解除)



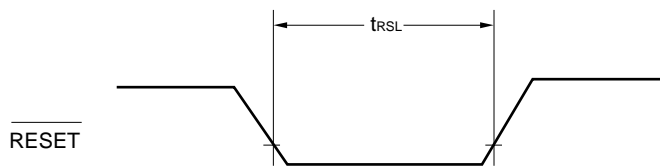
データ保持タイミング (スタンバイ・リリース信号：割り込み要求信号によるSTOPモード解除)



割り込み要求入力タイミング



RESET入力タイミング



フラッシュ・メモリ・プログラミング特性：μPD78F0988A, μPD78F0988A(A)のみ

($T_A = 10 \sim 40$, $V_{DD} = AV_{DD} = 4.0 \sim 5.5$ V, $V_{SS} = AV_{SS} = 0$ V, $V_{PP} = 9.7 \sim 10.3$ V)

(1) 書き込み消去特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_x		1.0		8.38	MHz
V_{PP} 電源電圧	V_{PP2}	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V
V_{DD} 電源電流	I_{DD}	$V_{PP} = V_{PP2}$ 時, $f_x = 8.38$ MHz			40	mA
V_{PP} 電源電流	I_{PP}	$V_{PP} = V_{PP2}$ 時			100	mA
ステップ消去時間	T_{er}	注1	0.199	0.2	0.201	s
1 エリアあたりの総消去時間	T_{era}	ステップ消去時間 = 0.2 s時 注2			20	s/エリア
ライトバック時間	T_{wb}	注3	49.4	50	50.6	ms
1 ライトバック・コマンドあたりのライトバック回数	C_{wb}	ライトバック時間 = 50 ms時 注4			60	回/ライトバック・コマンド
消去-ライトバック回数	C_{erwb}				16	回
ステップ書き込み時間	T_{wr}	注5	48	50	52	μs
1 ワードあたりの総書き込み時間	T_{wrw}	ステップ書き込み時間 = 50 μs時 (1ワード = 1バイト) 注6	48		520	μs/ワード
1 エリアあたりの書き換え回数	C_{erwr}	消去1回 + 消去後の書き込み1回 = 書き換え1回とする 注7		20		回/エリア

注1．ステップ消去時間の推奨設定値 = 0.2 sです。

2．消去前のプリライトおよび消去ベリファイ時間（ライトバック時間）は、含まれません。

3．ライトバック時間の推奨設定値 = 50 msです。

4．ライトバック・コマンドの発行により、ライトバックは1回実行されます。したがってリトライ回数設定値は、この値よりコマンド発行回数をマイナスした値としてください。

5．ステップ書き込み時間の推奨設定値 = 50 μsです。

6．実際の1ワードあたりの書き込み時間は、100 μsが加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。

7．出荷品に対する初回書き込み時、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

例： P：書き込み E：消去

出荷品 P E P E P：書き換え回数3回

出荷品 E P E P E P：書き換え回数3回

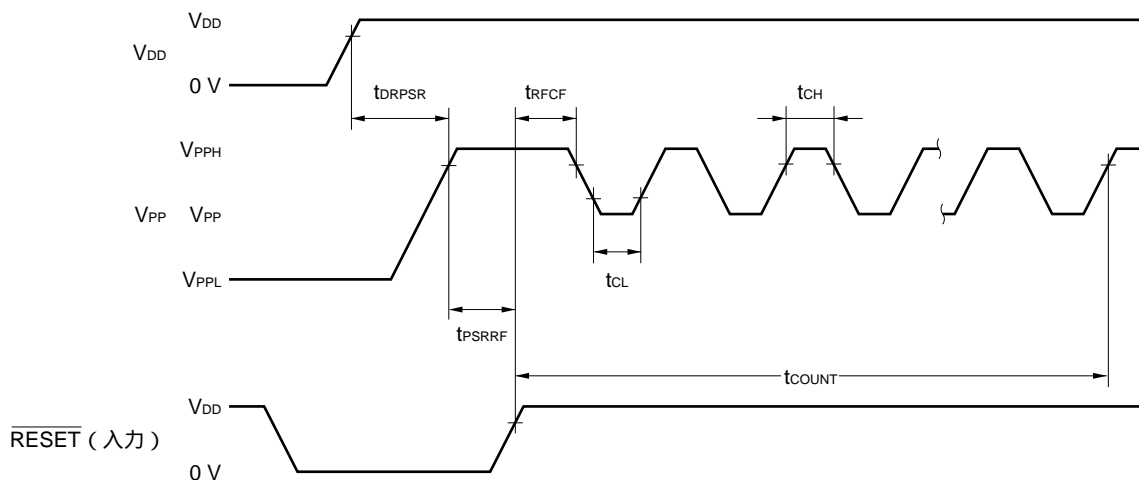
備考1．フラッシュ・メモリ・プログラミング時の動作クロック範囲は、通常動作時と同様です。

2．PG-FP3, FL-PR3（内藤電誠製）、PG-FP4, FL-PR4（内藤電誠製）使用時は、パラメータ・ファイルのダウンロードにて書き込み/消去に必要な時間パラメータは、自動設定されます。特に指示がない場合は、設定値の変更は行わないでください。

(2) シリアル書き込みオペレーション特性

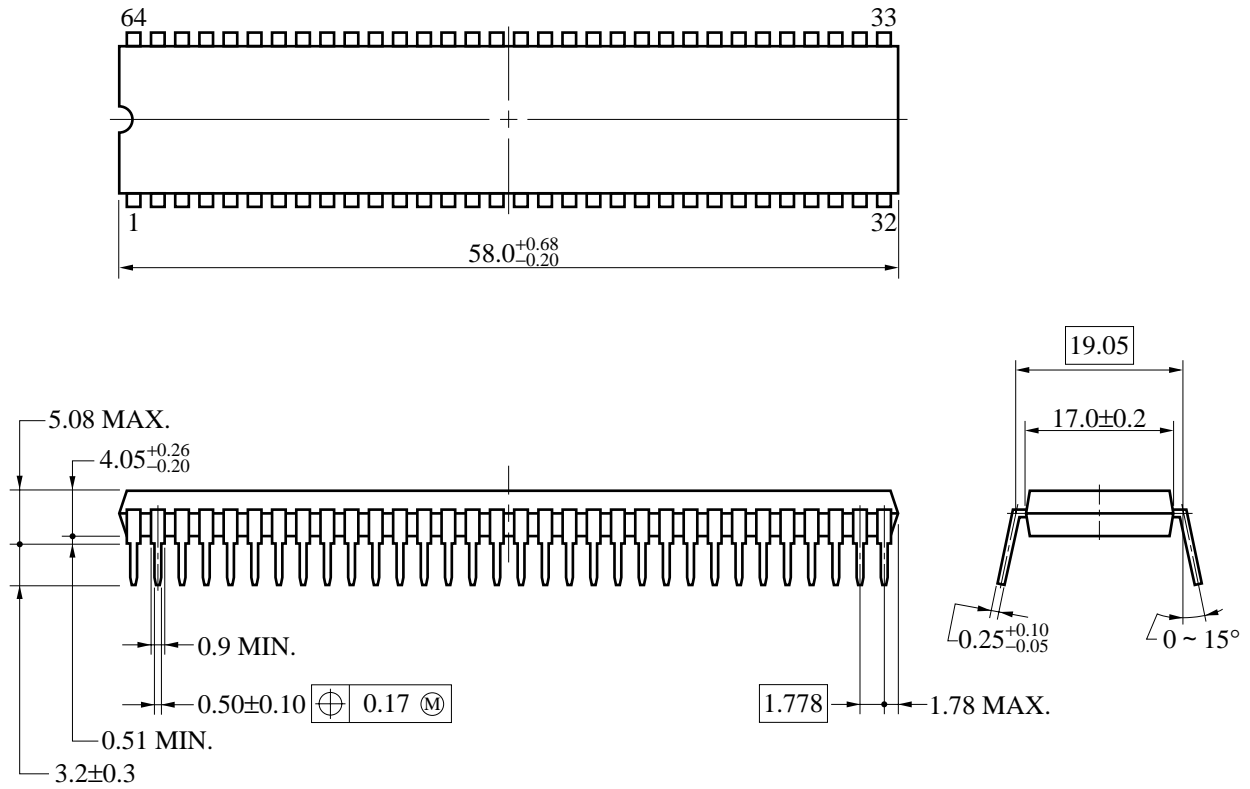
項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{DD} V _{PP} セット時間	t _{DRPSR}	V _{PP} 高電圧	10			μs
V _{PP} $\overline{\text{RESET}}$ セット時間	t _{PSRRF}	V _{PP} 高電圧	1.0			μs
$\overline{\text{RESET}}$ V _{PP} カウンタ開始時間	t _{RFCF}	V _{PP} 高電圧	1.0			μs
カウンタ実行時間	t _{COUNT}				20	ms
V _{PP} カウンタ・ハイ・レベル幅	t _{CH}		8.0			μs
V _{PP} カウンタ・ロウ・レベル幅	t _{CL}		8.0			μs
V _{PP} カウンタ・ノイズ除去幅	t _{NFW}			40		ns

フラッシュ書き込みモード設定タイミング



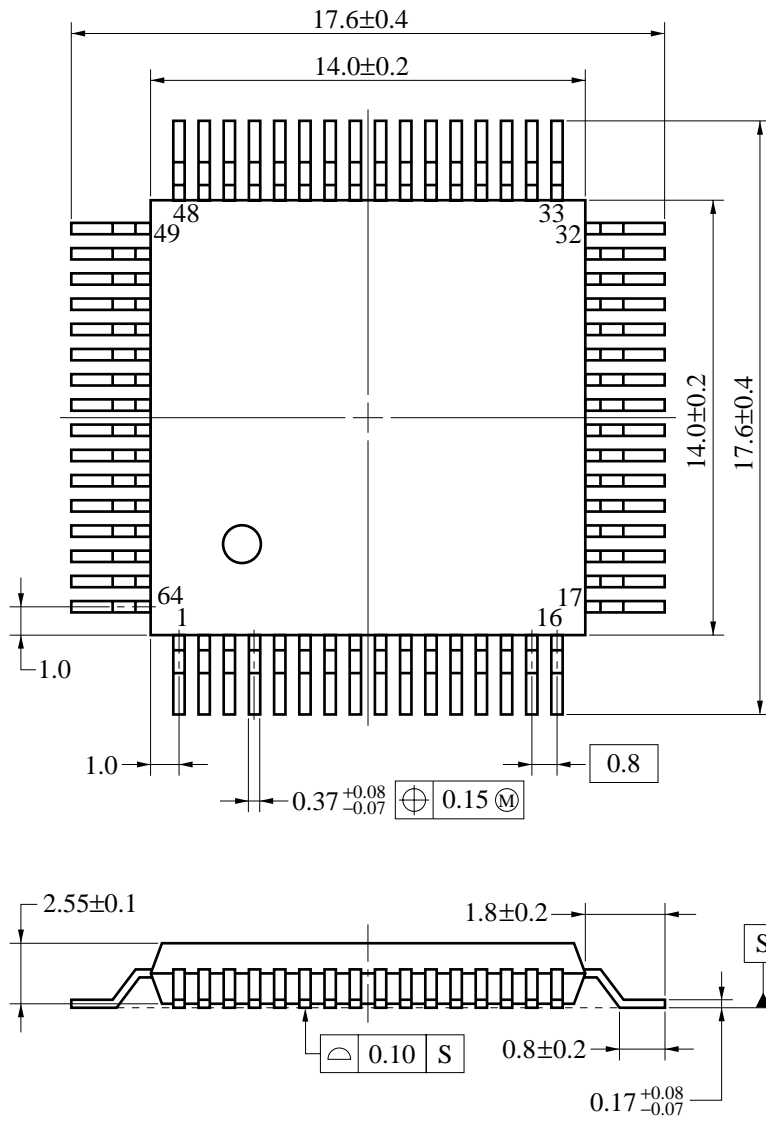
第22章 外形図

64ピン・プラスチック SDIP (19.05 mm (750)) 外形図 (単位: mm)

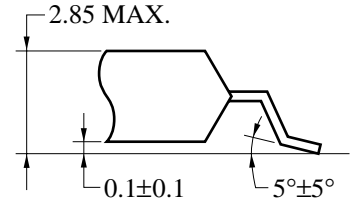


P64C-70-750A,C-4

64ピン・プラスチック QFP (14x14) 外形図 (単位: mm)

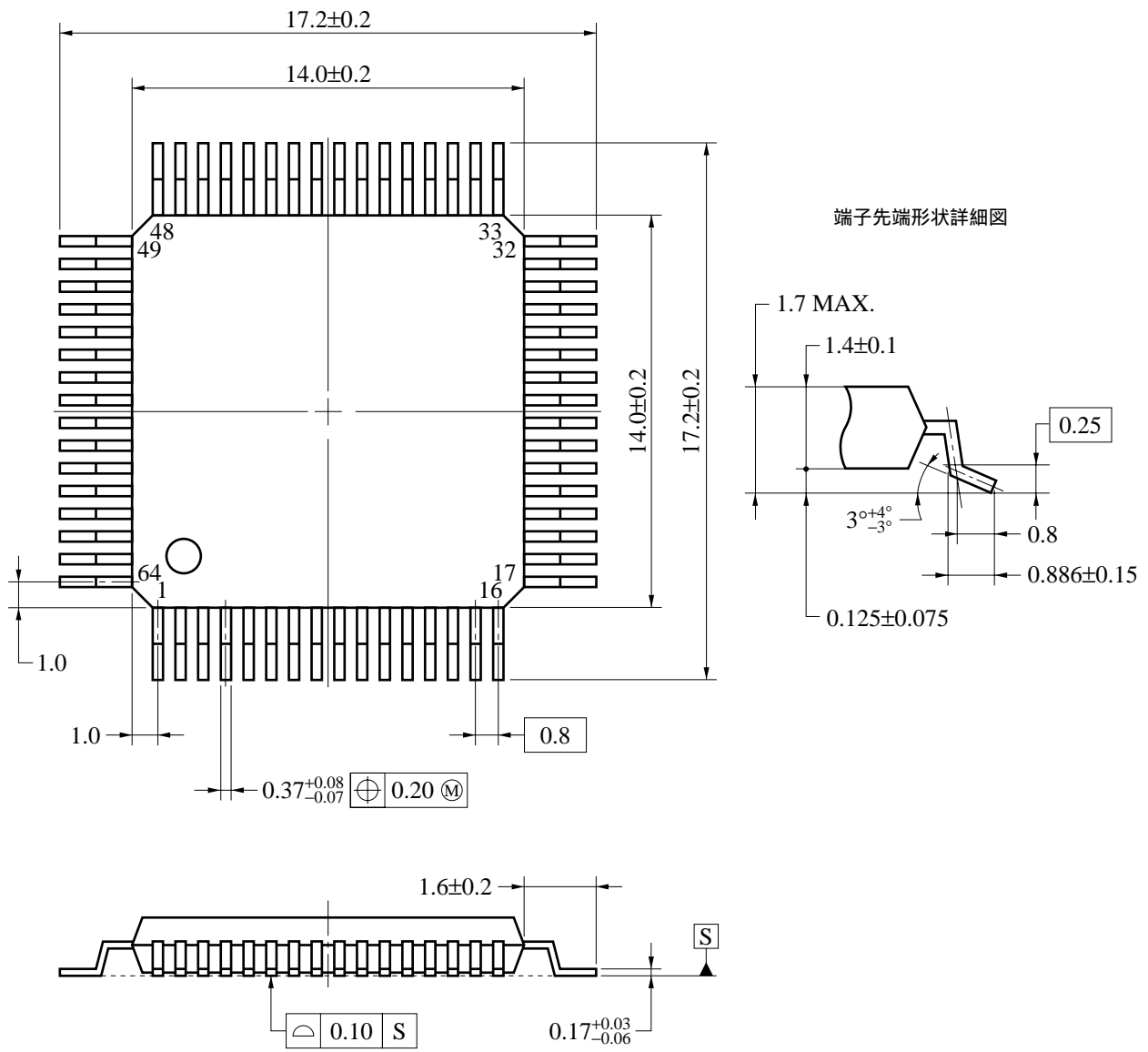


端子先端形状詳細図



P64GC-80-AB8-5

64ピン・プラスチック LQFP (14x14) 外形図 (単位: mm)



P64GC-80-8BS

第23章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表23 - 1 表面実装タイプの半田付け条件 (1/2)

(1) μ PD78F0988AGC-AB8 : 64ピン・プラスチックQFP (14x14)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上)，回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上)，回数：3回以内	VP15-00-3
ウエーブ・ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数：1回 予備加熱温度：120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

(2) μ PD780982GC- x x x -8BS : 64ピン・プラスチックLQFP (14x14)

μ PD780983GC- x x x -8BS : "

μ PD780984GC- x x x -8BS : "

μ PD780986GC- x x x -8BS : "

μ PD780988GC- x x x -8BS : "

μ PD780982GC(A)- x x x -8BS : "

μ PD780983GC(A)- x x x -8BS : "

μ PD780984GC(A)- x x x -8BS : "

μ PD780986GC(A)- x x x -8BS : "

μ PD780988GC(A)- x x x -8BS : "

μ PD78F0988AGC(A)-AB8 : 64ピン・プラスチックQFP (14x14)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上)，回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上)，回数：2回以内	VP15-00-2
ウエーブ・ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数：1回 予備加熱温度：120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

表23 - 1 表面実装タイプの半田付け条件 (2/2)

- (3) μ PD780982GC- $\times \times \times$ -8BS-A : 64ピン・プラスチックLQFP (14x14)
 μ PD780983GC- $\times \times \times$ -8BS-A : " "
 μ PD780984GC- $\times \times \times$ -8BS-A : " "
 μ PD780986GC- $\times \times \times$ -8BS-A : " "
 μ PD780988GC- $\times \times \times$ -8BS-A : " "
 μ PD78F0988AGC-AB8-A : 64ピン・プラスチックSDIP (19.05 mm (750))
 μ PD78F0988AGC-8BS-A : 64ピン・プラスチックLQFP (14x14)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125 プリベーク20時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウエーブ・ソルダーリング	詳細については，当社販売員にお問い合わせください。	-
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

備考 オーダ名称の末尾「-A」の製品は，鉛フリー製品です。

表23 - 2 挿入タイプの半田付け条件

(1) μ PD780982CW- x x x : 64ピン・プラスチックSDIP (19.05 mm (750))

μ PD780983CW- x x x : "

μ PD780984CW- x x x : "

μ PD780986CW- x x x : "

μ PD780988CW- x x x : "

μ PD78F0988ACW : "

半田付け方式	半田付け条件
ウェーブ・ソルダリング (端子のみ)	半田槽温度 : 260 以下 , 時間 : 10秒以内
端子部分加熱	端子温度 : 300 以下 , 時間 : 3秒以内 (1端子当たり)

注意 ウェーブ・ソルダリングは端子のみとし、噴流半田が直接本体に接触しないようにしてください。

(2) μ PD780982CW- x x x -A : 64ピン・プラスチックSDIP (19.05 mm (750))

μ PD780983CW- x x x -A : "

μ PD780984CW- x x x -A : "

μ PD780986CW- x x x -A : "

μ PD780988CW- x x x -A : "

μ PD78F0988ACW-A : "

半田付け方式	半田付け条件
ウェーブ・ソルダリング (端子のみ)	詳細については、当社販売員にお問い合わせください。
端子部分加熱	端子温度 : 300 以下 , 時間 : 3秒以内 (デバイスの一辺当たり)

注意 ウェーブ・ソルダリングは端子のみとし、噴流半田が直接本体に接触しないようにしてください。

備考 オーダ名称の末尾「-A」の製品は、鉛フリー製品です。

付録A 開発ツール

μPD780988サブシリーズを使用するシステム開発のために次のような開発ツールを用意しています。
図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

特に断りのないかぎり、IBM PC/AT™互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

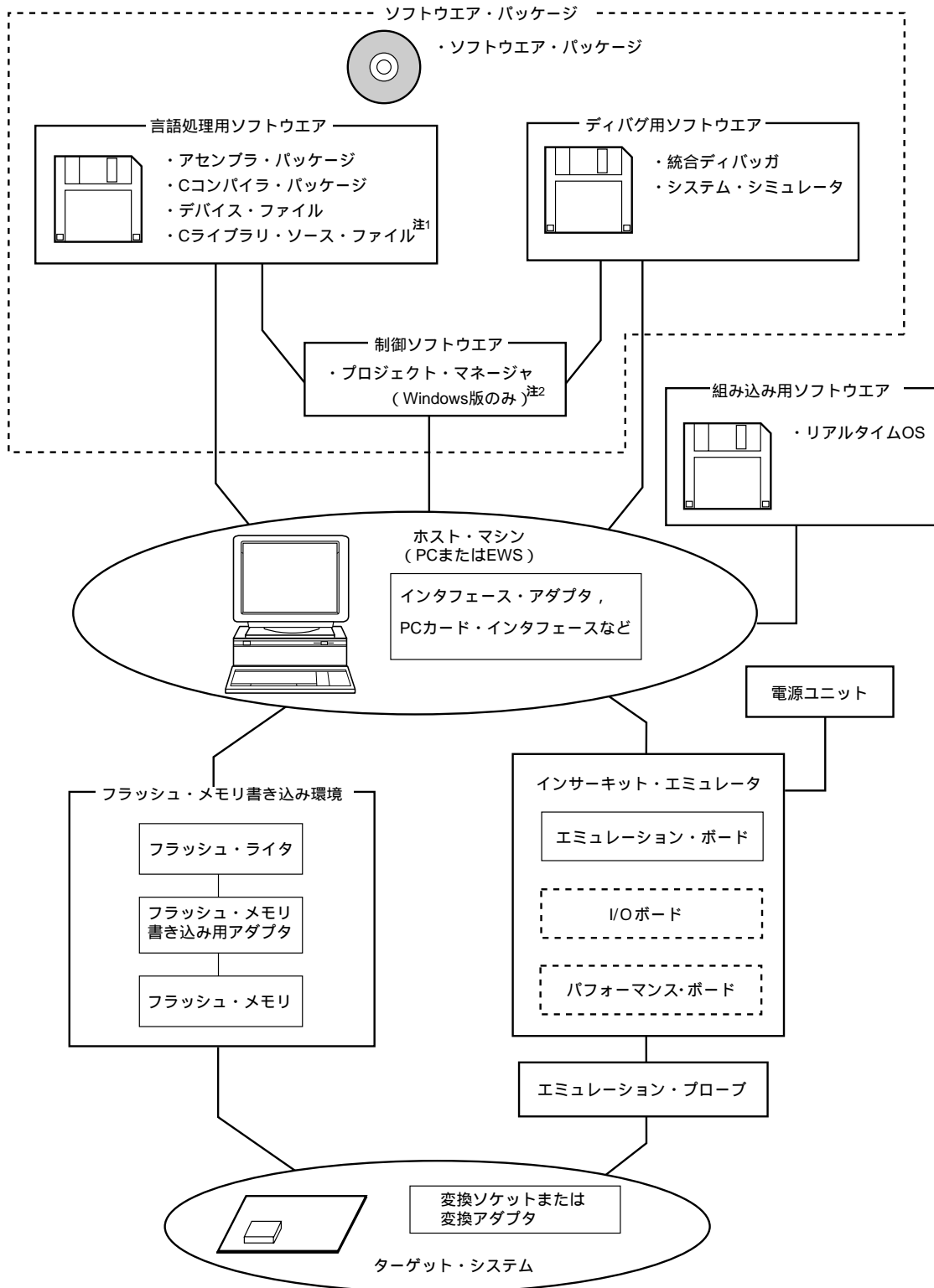
Windowsについて

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows 95
- ・ Windows 98
- ・ Windows 2000
- ・ Windows NT™ Ver.4.0

★

図A-1 開発ツール構成



注1 . Cライブラリ・ソース・ファイルは, ソフトウェア・パッケージには含まれていません。

2 . プロジェクト・マネージャは, アセンブラ・パッケージに入っています。

また, Windows以外ではプロジェクト・マネージャは使用しません。

★ A.1 ソフトウェア・パッケージ

SP78K0 ソフトウェア・パッケージ	78K0シリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 以下のツールが入っています。 RA78K0, CC78K0, ID78K0-NS, SM78K0, デバイス・ファイル各種
オーダ名称：μS××××SP78K0	

備考 オーダ名称の××××は、使用するOSにより異なります。

μS××××SP78K0

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0 アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 別売のデバイス・ファイル（DF780988）と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。
オーダ名称：μS××××RA78K0	
CC78K0 Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。
オーダ名称：μS××××CC78K0	
DF780988 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売の各ツール（RA78K0, CC78K0, SM78K0, ID78K0-NS, ID78K0, RX78K0）と組み合わせて使用します。 対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。
オーダ名称：μS××××DF780988	
CC78K0-L ^{注2} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。
オーダ名称：μS××××CC78K0-L	

注1．DF780988は、RA78K0, CC78K0, SM78K0, ID78K0-NS, ID78K0, RX78K0のすべての製品に共通に使用できません。

★ 2．CC78K0-Lは、ソフトウェア・パッケージ（SP78K0）には含まれていません。

備考 オーダ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××RA78K0

μS××××CC78K0

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700™	HP-UJ™ (Rel.10.10)	
3K17	SPARCstation™	SunOS™ (Rel. 4 . 1 . 4) ， Solaris™ (Rel. 2 . 5 . 1)	

μS××××DF780988

μS××××CC78K0-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UJ (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel. 4 . 1 . 4) ，	3.5インチ2HD FD
3K15		Solaris (Rel. 2 . 5 . 1)	1/4インチCGMT

★ A.3 制御ソフトウェア

プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、ディバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0) の中に入っています。 Windows以外の環境では使用できません。
--------------	---

★ A.4 フラッシュ・メモリ書き込み用ツール

Flashpro (型番 FL-PR3, PG-FP3) Flashpro (型番 FL-PR4, PG-FP4) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライターです。
FA-64CW FA-64GC FA-64GC-8BS-A フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro /Flashpro に接続して使用します。 ・FA-64CW : 64ピン・プラスチックSDIP (CWタイプ) 用 ・FA-64GC : 64ピン・プラスチックQFP (GC-AB8タイプ) 用 ・FA-64GC-8BS-A : 64ピン・プラスチックLQFP (GC-8BSタイプ) 用

備考 FL-PR3, FL-PR4, FA-64CW, FA-64GC, FA-64GC-8BS-Aは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.5 ディバグ用ツール（ハードウェア）

★ A.5.1 インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-Aを使用する場合

IE-78K0-NS インサーキット・エミュレータ	78K/0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバガ（ID78K0-NS）に対応しています。電源ユニット、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0-NS-PA パフォーマンス・ボード	IE-78K0-NSの機能を拡張するためのボードです。IE-78K0-NS-PAを追加することにより、カバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、ディバグ機能がより強化されます。
IE-78K0-NS-A インサーキット・エミュレータ	IE-78K0-NSとIE-78K0-NS-PAを組み合わせたもの
IE-70000-MC-PS-B 電源ユニット	AC100～240Vのコンセントから電源を供給するためのアダプタです。
IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタです（Cバス対応）。
IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです（PCMCIAソケット対応）。
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです（ISAバス対応）。
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-780988-NS-EM4 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータ、IE-78K0-NS-P01と組み合わせて使用します。
IE-78K0-NS-P01 I/Oボード	IE-780988-NS-EM4およびIE-78K0-NSと組み合わせて、エミュレーションを行うボードです。
NP-64CW エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。64ピン・プラスチックSDIP（CWタイプ）用です。
NP-64GC-TQ NP-H64GC-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。64ピン・プラスチックQFP（GC-AB8タイプ）、64ピン・プラスチックLQFP（GC-8BSタイプ）用です。
TGC-064SAP 変換アダプタ （図A-4参照）	64ピン・プラスチックQFP（GC-AB8タイプ）、64ピン・プラスチックLQFP（GC-8BSタイプ）を実装できるように作られたターゲット・システムの基板と、NP-64GC-TQ、NP-H64GC-TQを接続するための変換アダプタです。

備考1 . NP-64CW, NP-64GC, NP-64GC-TQ, NP-H64GC-TQは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（045）475-4191）

2 . TGC-064SAPは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部（TEL（03）3820-7112）

大阪電子部（TEL（06）6244-6672）

3 . TGC-064SAPは、1個単位で販売しています。

A.5.2 インサーキット・エミュレータ IE-78001-R-Aを使用する場合

IE-78001-R-A インサーキット・エミュレータ	78K0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッグ (ID78K0) に対応しています。エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです (Cバス対応)。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです (ISAバス対応)。
★ IE-70000-PCI-IF-A インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-78000-R-SV3 インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてEWSを使用するときに必要なアダプタとケーブルです。IE-78001-R-A内のボードに接続して使用します。 なお、イーサネット™としては10Base-5をサポートしており、他の方式の場合には市販の変換アダプタが必要になります。
IE-780988-NS-EM4 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータ、IE-78K0-NS-P01, IE-78K0-R-EX1と組み合わせて使用します。
IE-78K0-NS-P01 I/Oボード	IE-780988-NS-EM4およびIE-78K0-NSと組み合わせて、エミュレーションを行うボードです。
IE-78K0-R-EX1 エミュレーション・プローブ変換ボード	IE-780988-NS-EM4 + IE-78K0-NS-P01をIE-78001-R-A上で使用するときに必要なボードです。
EP-78240CW-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。64ピン・プラスチックSDIP (CWタイプ) 用です。
EP-78240GC-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。64ピン・プラスチックQFP (GC-AB8タイプ) 用です。
EV-9200GC-64 変換ソケット (図A-2, 図A-3) 参照	64ピン・プラスチックQFP (GC-AB8タイプ) を実装できるように作られたターゲット・システムの基板と、EP-78240GC-Rを接続するための変換ソケットです。

備考 EV-9200GC-64は、5個を1組として、1組単位で販売しています。

A.6 デバッグ用ツール(ソフトウェア)

SM78K0 システム・シミュレータ	78K0シリーズ用のシステム・シミュレータです。SM78K0は、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM78K0を使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル(DF780988)と組み合わせて使用します。 オーダ名称: μS××××SM78K0
ID78K0-NS 統合デバッガ (インサーキット・エミュレータIE-78K0-NS, IE-78K0-NS-A対応)	78K0シリーズ用のインサーキット・エミュレータに対応したデバッガです。ID78K0-NSは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウィンドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイル(DF780988)と組み合わせて使用します。
ID78K0 統合デバッガ (インサーキット・エミュレータIE-78001-R-A対応)	オーダ名称: μS××××ID78K0-NS, μS××××ID78K0

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××SM78K0
μS××××ID78K0-NS
μS××××ID78K0

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

★ A.7 組み込み用ソフトウェア

RX78K0 リアルタイムOS	μITRON仕様に準拠したリアルタイムOSです。 RX78K0のニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。 別売のアセンブラ・パッケージ（RA78K0）およびデバイス・ファイル（DF780988）と組み合わせて使用します。 <PC環境で使用する場合の注意> リアルタイムOSはDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。 オーダ名称：μS×××RX78013-
--------------------	--

注意 RX78K0を購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダ名称の×××および は、使用するホスト・マシン、OSなどにより異なります。

μS×××RX78013-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows	
BB13		英語Windows	

A.8 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法

すでに78K/0シリーズ用の旧タイプのインサーキット・エミュレータ（IE-78000-RまたはIE-78000-R-A）をお持ちの場合、本体内部のブレーク・ボードをIE-78001-R-BKに交換することにより、お持ちのインサーキット・エミュレータをIE-78001-R-Aと同等に使用できます。

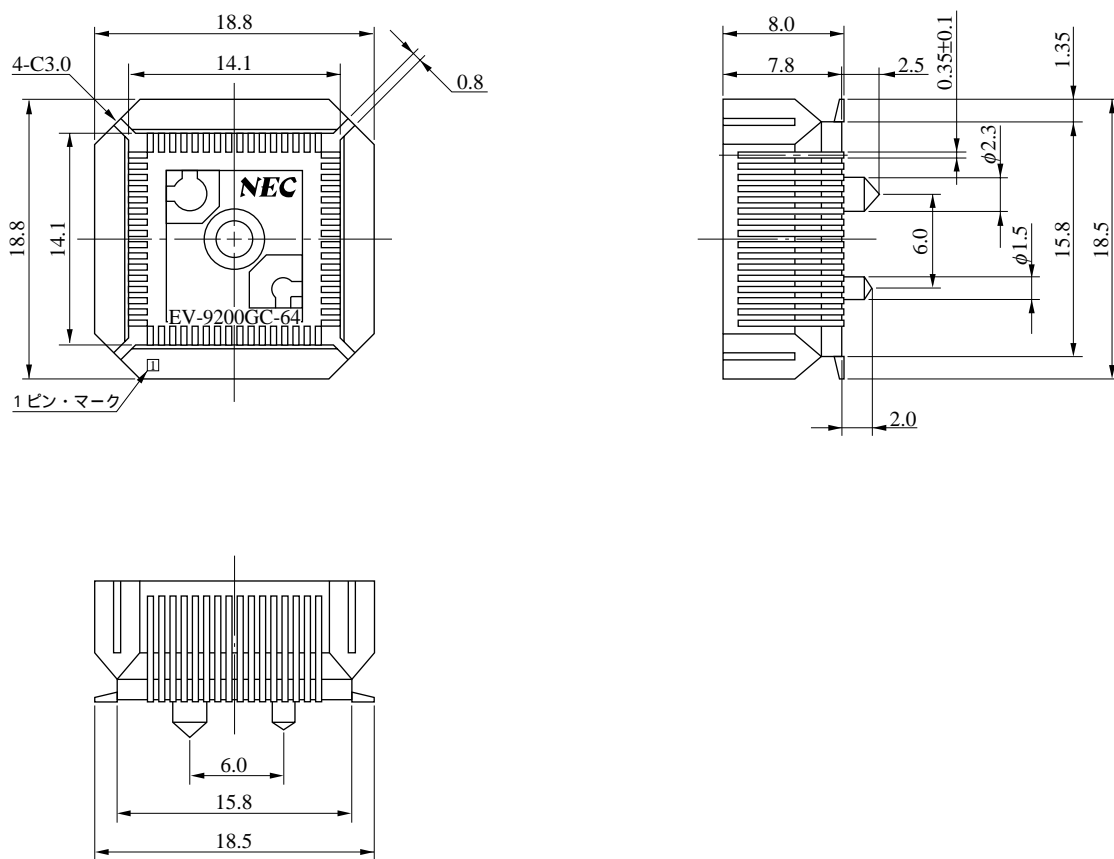
表A - 1 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法

お持ちのインサーキット・エミュレータ	筐体のシステム・アップ ^注	ご購入の必要なボード
IE-78000-R	必要	IE-78001-R-BK
IE-78000-R-A	不要	

注 筐体をシステム・アップするためには、NECエレクトロニクスへの持ち込みが必要となります。

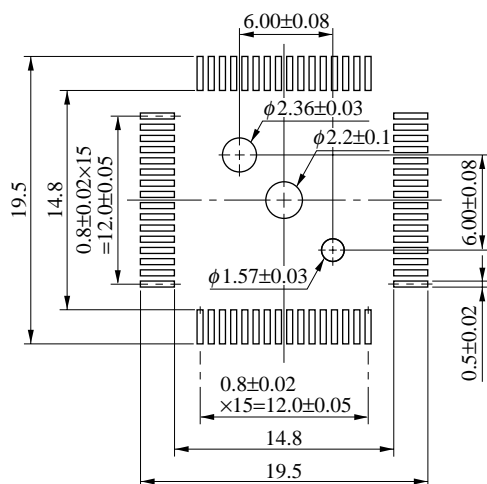
A.9 変換ソケット, 変換アダプタの外形図

図A - 2 EV-9200GC-64 外形図(参考)(単位:mm)



EV-9200GC-64-G0

図A - 3 EV-9200GC-64 基板取り付け推奨パターン(参考)(単位: mm)

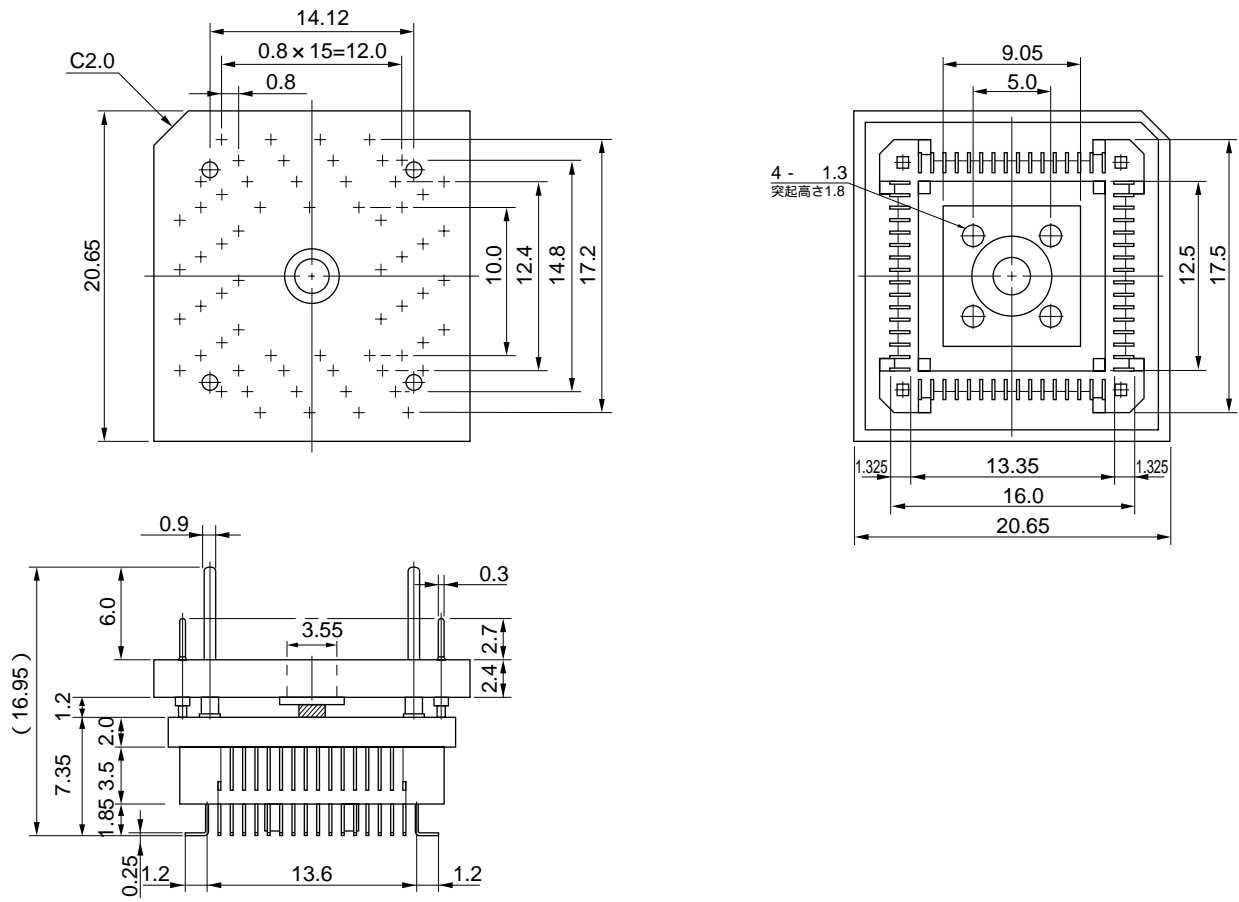


EV-9200GC-64-P1

注意 EV-9200用のマウント・パッド寸法と、対象製品のマウント・パッド寸法(QFP用)は、その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は、「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)をご参照ください。

変換アダプタ (TGC-064SAP) の外形図

図A - 4 TGC-064SAP 外形図 (参考) (単位: mm)



TGC-064SAP-G0

注: 東京エレクトック (株) 製

★

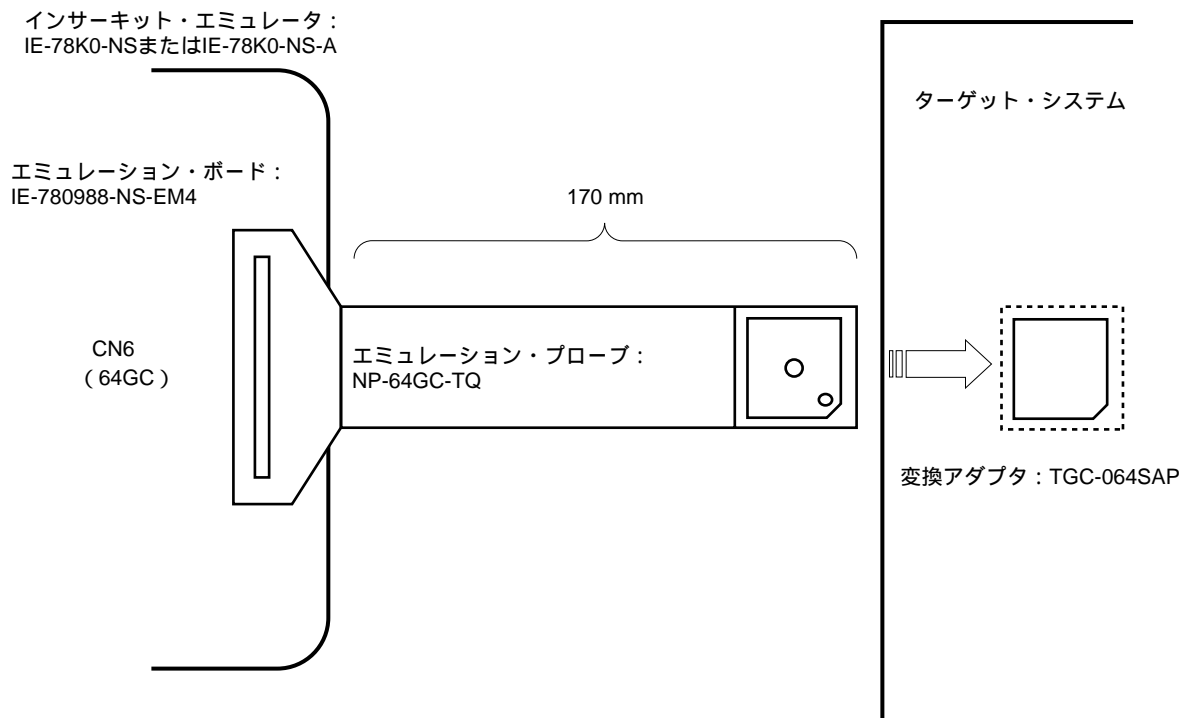
付録B ターゲット・システム設計上の注意

エミュレーション・プローブ、変換コネクタと変換ソケットまたは変換アダプタの接続条件図を次に示します。ターゲット・システム上に実装する部品の形状などを考慮して、システム設計をしてください。

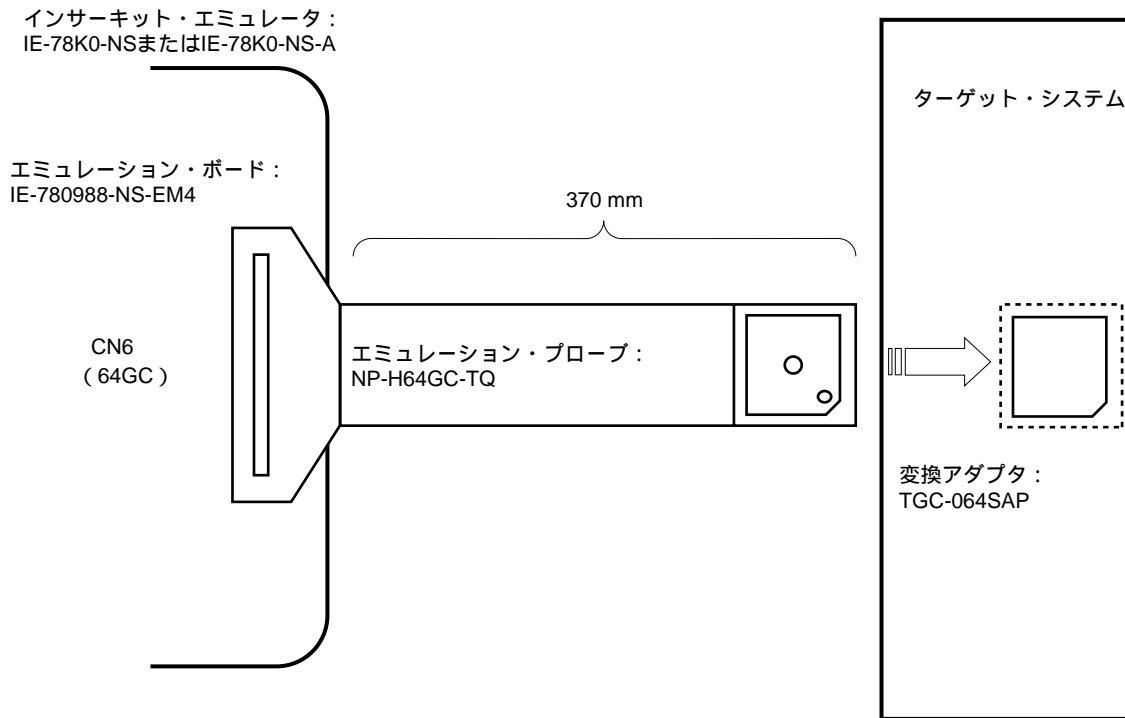
表B - 1 インサーキット・エミュレータ～変換ソケットまたは変換アダプタまでの距離

エミュレーション・プローブ	変換アダプタ, 変換ソケット	インサーキット・エミュレータ～変換ソケットまたは変換アダプタまでの距離
NP-64GC-TQ	TGC-064SAP	170 mm
NP-H64GC-TQ		370 mm
NP-64CW	-	160 mm

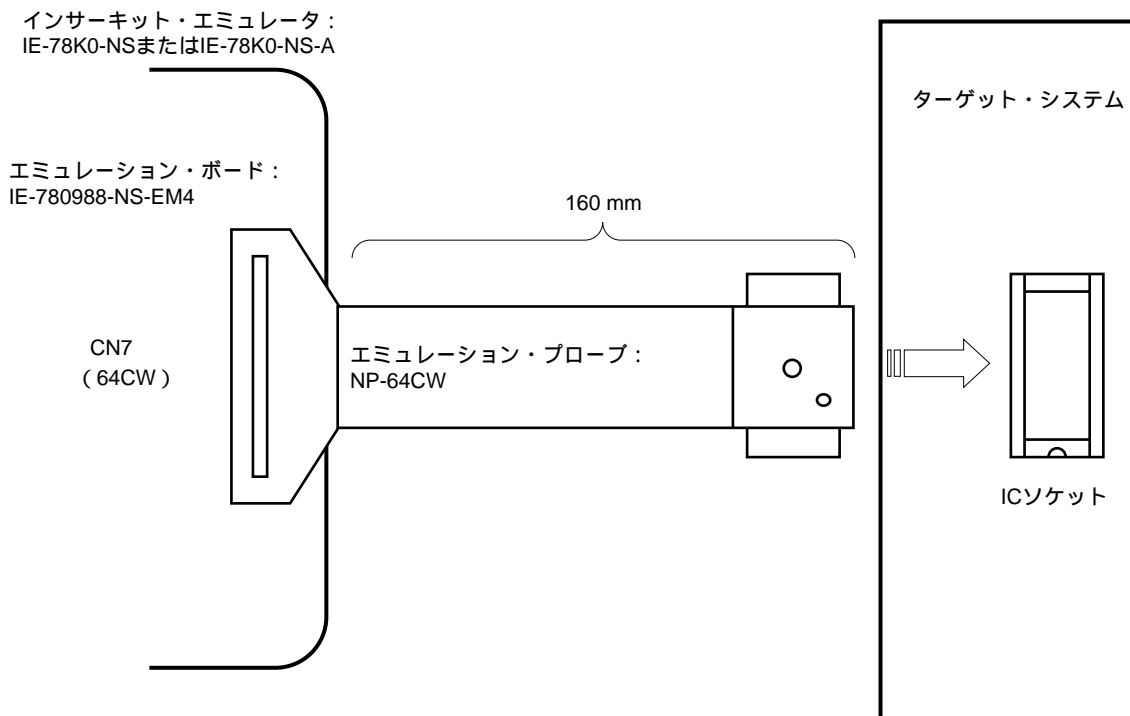
図B - 1 インサーキット・エミュレータ～変換ソケットまたは変換アダプタまでの距離 (1)



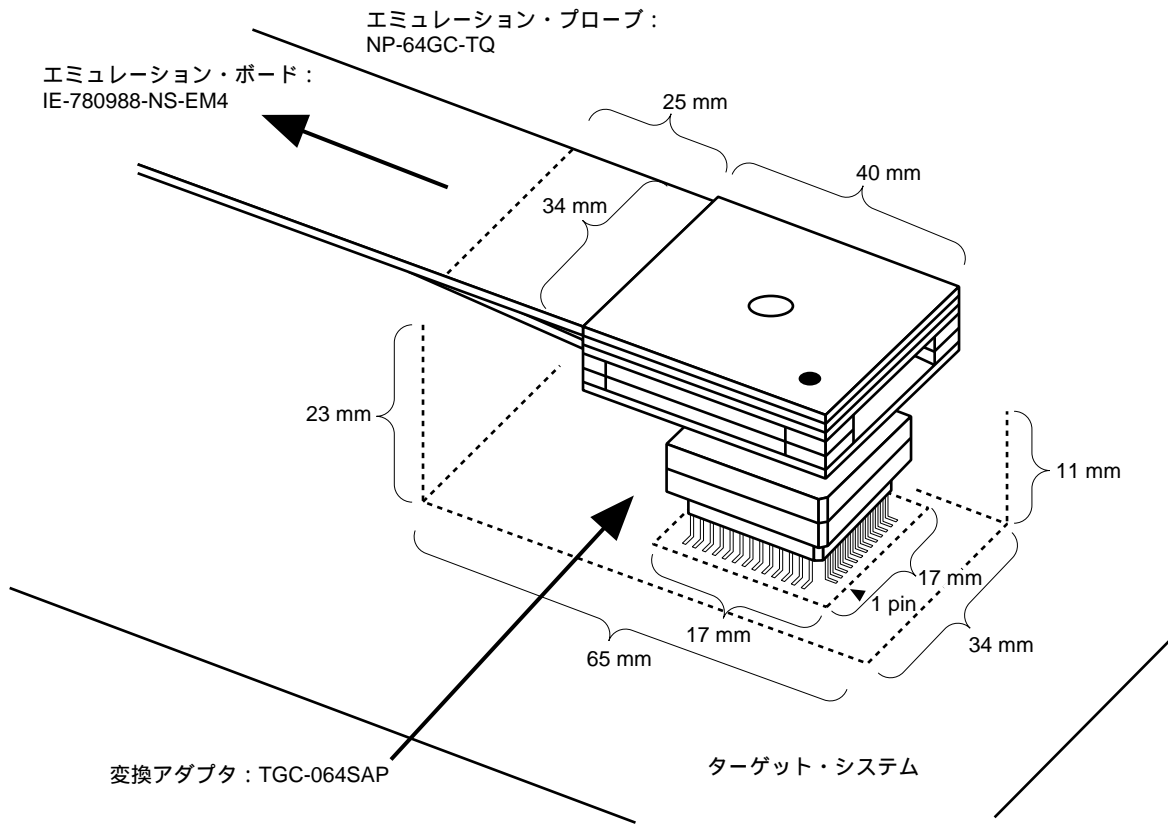
図B - 2 インサーキット・エミュレータ～変換ソケットまたは変換アダプタまでの距離（2）



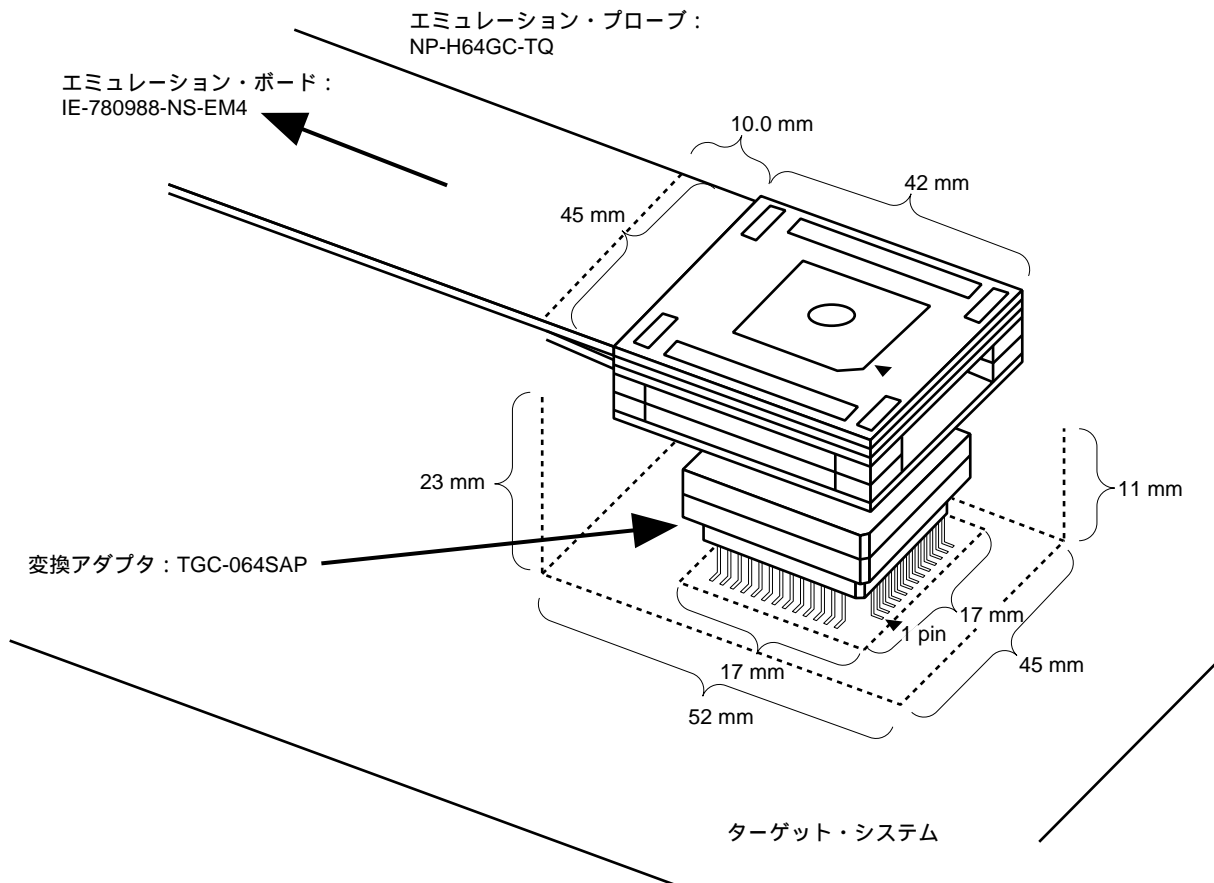
図B - 3 インサーキット・エミュレータ～変換ソケットまたは変換アダプタまでの距離（3）



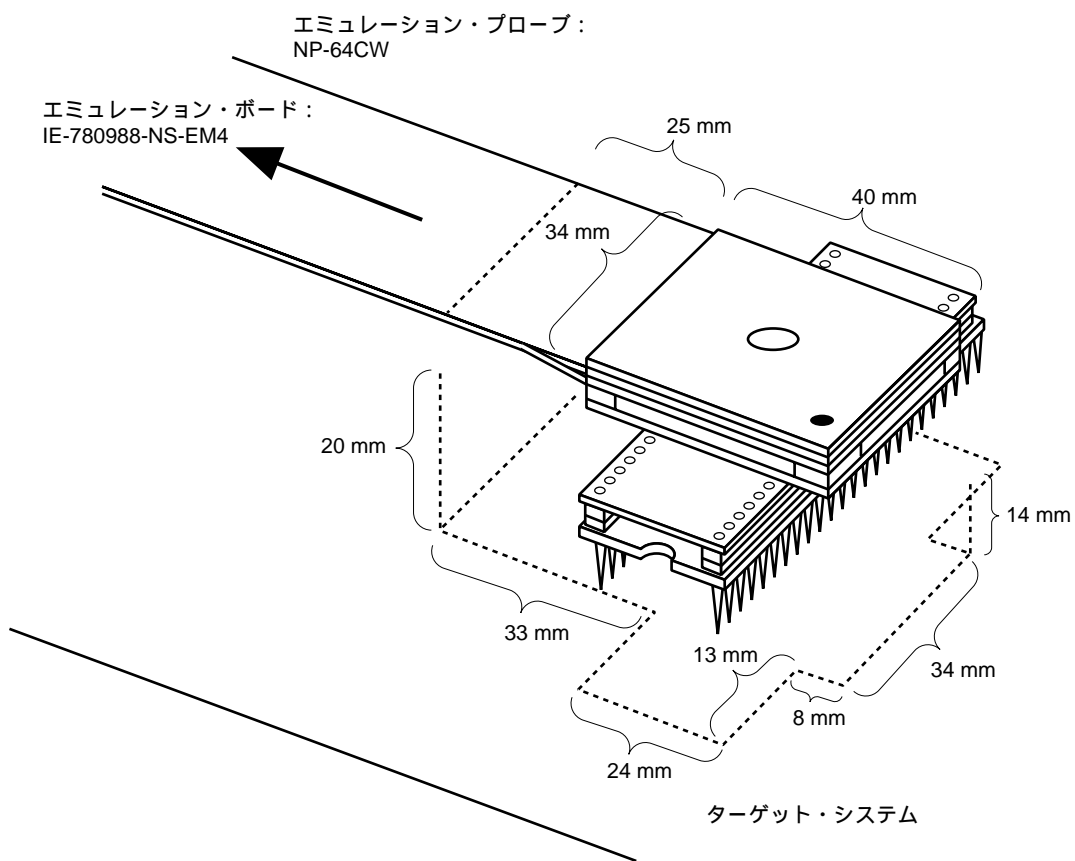
図B - 4 ターゲット・システムの接続条件 (1)



図B - 5 ターゲット・システムの接続条件 (2)



図B - 6 ターゲット・システムの接続条件 (3)



付録C レジスタ索引

C.1 レジスタ索引 (50音順)

[あ行]

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS00) ...	244, 253
アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1 (ASIS01) ...	244, 253
アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM00) ...	241, 249, 250
アシンクロナス・シリアル・インタフェース・モード・レジスタ1 (ASIM01) ...	241, 249, 250
アナログ入力チャンネル指定レジスタ0 (ADS0) ...	220
インバータ・タイマ・コントロール・レジスタ7 (TMC7) ...	175
インバータ・タイマ・モード・レジスタ7 (TMM7) ...	177
ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ...	187
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ...	188
A/Dコンバータ・モード・レジスタ0 (ADM0) ...	218
A/D変換結果レジスタ0 (ADCR0) ...	217

[か行]

外部割り込み立ち上がりエッジ許可レジスタ (EGP) ...	284
外部割り込み立ち上がりエッジ許可レジスタ5 (EGP5) ...	284
外部割り込み立ち下がりエッジ許可レジスタ (EGN) ...	284
外部割り込み立ち下がりエッジ許可レジスタ5 (EGN5) ...	284
キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) ...	119
キャプチャ/コンペア・コントロール・レジスタ01 (CRC01) ...	119

[さ行]

10ビット・コンペア・レジスタ0 (CM0) ...	173
10ビット・コンペア・レジスタ1 (CM1) ...	173
10ビット・コンペア・レジスタ2 (CM2) ...	173
10ビット・コンペア・レジスタ3 (CM3) ...	173
10ビット・バッファ・レジスタ0 (BFCM0) ...	174
10ビット・バッファ・レジスタ1 (BFCM1) ...	174
10ビット・バッファ・レジスタ2 (BFCM2) ...	174
10ビット・バッファ・レジスタ3 (BFCM3) ...	174
16ビット・キャプチャ/コンペア・レジスタ000 (CR000) ...	114
16ビット・キャプチャ/コンペア・レジスタ001 (CR001) ...	114
16ビット・キャプチャ/コンペア・レジスタ010 (CR010) ...	116
16ビット・キャプチャ/コンペア・レジスタ011 (CR011) ...	116
16ビット・タイマ・カウンタ00 (TM00) ...	114
16ビット・タイマ・カウンタ01 (TM01) ...	114
16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) ...	116

16ビット・タイマ・モード・コントロール・レジスタ01 (TMC01) ...	116
受信バッファ・レジスタ0 (RXB00) ...	240
受信バッファ・レジスタ1 (RXB01) ...	240
シリアルI/Oシフト・レジスタ3 (SIO3) ...	268
シリアル動作モード・レジスタ3 (CSIM3) ...	269, 271, 272
送信シフト・レジスタ0 (TXS00) ...	240
送信シフト・レジスタ1 (TXS01) ...	240

[た行]

タイマ・クロック選択レジスタ50 (TCL50) ...	154
タイマ・クロック選択レジスタ51 (TCL51) ...	154
タイマ・クロック選択レジスタ52 (TCL52) ...	154
タイマ出力コントロール・レジスタ00 (TOC00) ...	121
タイマ出力コントロール・レジスタ01 (TOC01) ...	121
DC制御レジスタ0 (DCCTL0) ...	201
DC制御レジスタ1 (DCCTL1) ...	202
デッド・タイム・リロード・レジスタ (DTIME) ...	174

[な行]

内部拡張RAMサイズ切り替えレジスタ (IXS) ...	324
------------------------------	-----

[は行]

8ビット・コンペア・レジスタ50 (CR50) ...	149
8ビット・コンペア・レジスタ51 (CR51) ...	149
8ビット・コンペア・レジスタ52 (CR52) ...	149
8ビット・タイマ・カウンタ50 (TM50) ...	149
8ビット・タイマ・カウンタ51 (TM51) ...	149
8ビット・タイマ・カウンタ52 (TM52) ...	149
8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) ...	150
8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) ...	150
8ビット・タイマ・モード・コントロール・レジスタ52 (TMC52) ...	150
発振安定時間選択レジスタ (OSTS) ...	189, 311
フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) ...	341
プリスケアラ・モード・レジスタ00 (PRM00) ...	123
プリスケアラ・モード・レジスタ01 (PRM01) ...	123
プルアップ抵抗オプション・レジスタ0 (PU0) ...	101
プルアップ抵抗オプション・レジスタ2 (PU2) ...	101
プルアップ抵抗オプション・レジスタ3 (PU3) ...	101
プルアップ抵抗オプション・レジスタ4 (PU4) ...	101
プルアップ抵抗オプション・レジスタ5 (PU5) ...	101
プルアップ抵抗オプション・レジスタ6 (PU6) ...	101
プログラム・ステータス・ワード (PSW) ...	66, 285
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	105

ポート 0 (P0) ...	91
ポート 1 (P1) ...	92
ポート 2 (P2) ...	93
ポート 3 (P3) ...	94
ポート 4 (P4) ...	95
ポート 5 (P5) ...	96
ポート 6 (P6) ...	98
ポート・モード・レジスタ 0 (PM0) ...	99
ポート・モード・レジスタ 2 (PM2) ...	99, 156
ポート・モード・レジスタ 3 (PM3) ...	99, 197
ポート・モード・レジスタ 4 (PM4) ...	99
ポート・モード・レジスタ 5 (PM5) ...	99, 125
ポート・モード・レジスタ 6 (PM6) ...	99
ポー・レート・ジェネレータ・コントロール・レジスタ 0 (BRGC00) ...	246, 254
ポー・レート・ジェネレータ・コントロール・レジスタ 1 (BRGC01) ...	246, 254

[ま行]

メモリ拡張ウエイト設定レジスタ (MM) ...	302
メモリ拡張モード・レジスタ (MEM) ...	301
メモリ・サイズ切り替えレジスタ (IMS) ...	303, 323

[や行]

優先順位指定フラグ・レジスタ0H (PR0H) ...	283
優先順位指定フラグ・レジスタ0L (PR0L) ...	283
優先順位指定フラグ・レジスタ1L (PR1L) ...	283

[ら行]

リアルタイム出力バッファ・レジスタ0H (RTBH00) ...	195
リアルタイム出力バッファ・レジスタ0L (RTBL00) ...	195
リアルタイム出力バッファ・レジスタ1H (RTBH01) ...	196
リアルタイム出力バッファ・レジスタ1L (RTBL01) ...	196
リアルタイム出力ポート・コントロール・レジスタ 0 (RTPC00) ...	198
リアルタイム出力ポート・コントロール・レジスタ 1 (RTPC01) ...	200
リアルタイム出力ポート・モード・レジスタ 0 (RTPM00) ...	197
リアルタイム出力ポート・モード・レジスタ 1 (RTPM01) ...	198

[わ行]

割り込みマスク・フラグ・レジスタ0H (MK0H) ...	282
割り込みマスク・フラグ・レジスタ0L (MK0L) ...	282
割り込みマスク・フラグ・レジスタ1L (MK1L) ...	282
割り込み要求フラグ・レジスタ0H (IF0H) ...	281
割り込み要求フラグ・レジスタ0L (IF0L) ...	281
割り込み要求フラグ・レジスタ1L (IF1L) ...	281

C.2 レジスタ索引 (アルファベット順)

[A]

ADCR0	: A/D変換結果レジスタ0 ...	217
ADS0	: アナログ入力チャネル指定レジスタ0 ...	220
ADM0	: A/Dコンバータ・モード・レジスタ0 ...	218
ASIM00	: アシクロナス・シリアル・インタフェース・モード・レジスタ0 ...	241, 249, 250
ASIM01	: アシクロナス・シリアル・インタフェース・モード・レジスタ1 ...	241, 249, 250
ASIS00	: アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 ...	244, 253
ASIS01	: アシクロナス・シリアル・インタフェース・ステータス・レジスタ1 ...	244, 253

[B]

BFCM0	: 10ビット・バッファ・レジスタ0 ...	174
BFCM1	: 10ビット・バッファ・レジスタ1 ...	174
BFCM2	: 10ビット・バッファ・レジスタ2 ...	174
BFCM3	: 10ビット・バッファ・レジスタ3 ...	174
BRGC00	: ボー・レート・ジェネレータ・コントロール・レジスタ0 ...	246, 254
BRGC01	: ボー・レート・ジェネレータ・コントロール・レジスタ1 ...	246, 254

[C]

CM0	: 10ビット・コンペア・レジスタ0 ...	173
CM1	: 10ビット・コンペア・レジスタ1 ...	173
CM2	: 10ビット・コンペア・レジスタ2 ...	173
CM3	: 10ビット・コンペア・レジスタ3 ...	173
CR000	: 16ビット・キャプチャ/コンペア・レジスタ000 ...	114
CR001	: 16ビット・キャプチャ/コンペア・レジスタ001 ...	114
CR010	: 16ビット・キャプチャ/コンペア・レジスタ010 ...	116
CR011	: 16ビット・キャプチャ/コンペア・レジスタ011 ...	116
CR50	: 8ビット・コンペア・レジスタ50 ...	149
CR51	: 8ビット・コンペア・レジスタ51 ...	149
CR52	: 8ビット・コンペア・レジスタ52 ...	149
CRC00	: キャプチャ/コンペア・コントロール・レジスタ00 ...	119
CRC01	: キャプチャ/コンペア・コントロール・レジスタ01 ...	119
CSIM3	: シリアル動作モード・レジスタ3 ...	269, 271, 272

[D]

DCCTL0	: DC制御レジスタ0 ...	201
DCCTL1	: DC制御レジスタ1 ...	202
DTIME	: デッド・タイム・リロード・レジスタ ...	174

[E]

EGN	: 外部割り込み立ち下がりエッジ許可レジスタ ...	284
EGN5	: 外部割り込み立ち下がりエッジ許可レジスタ5 ...	284

- EGP : 外部割り込み立ち上がりエッジ許可レジスタ ... 284
EGP5 : 外部割り込み立ち上がりエッジ許可レジスタ 5 ... 284

[F]

- FLPMC : フラッシュ・プログラミング・モード・コントロール・レジスタ ... 341

[I]

- IFOH : 割り込み要求フラグ・レジスタ0H ... 281
IFOL : 割り込み要求フラグ・レジスタ0L ... 281
IF1L : 割り込み要求フラグ・レジスタ1L ... 281
IMS : メモリ・サイズ切り替えレジスタ ... 303, 323
IXS : 内部拡張RAMサイズ切り替えレジスタ ... 324

[M]

- MEM : メモリ拡張モード・レジスタ ... 301
MK0H : 割り込みマスク・フラグ・レジスタ0H ... 282
MK0L : 割り込みマスク・フラグ・レジスタ0L ... 282
MK1L : 割り込みマスク・フラグ・レジスタ1L ... 282
MM : メモリ拡張ウエイト設定レジスタ ... 302

[O]

- OSTS : 発振安定時間選択レジスタ ... 189, 311

[P]

- P0 : ポート0 ... 91
P1 : ポート1 ... 92
P2 : ポート2 ... 93
P3 : ポート3 ... 94
P4 : ポート4 ... 95
P5 : ポート5 ... 96
P6 : ポート6 ... 98
PCC : プロセッサ・クロック・コントロール・レジスタ ... 105
PM0 : ポート・モード・レジスタ0 ... 99
PM2 : ポート・モード・レジスタ2 ... 99, 156
PM3 : ポート・モード・レジスタ3 ... 99, 197
PM4 : ポート・モード・レジスタ4 ... 99
PM5 : ポート・モード・レジスタ5 ... 99, 125
PM6 : ポート・モード・レジスタ6 ... 99
PR0H : 優先順位指定フラグ・レジスタ0H ... 283
PR0L : 優先順位指定フラグ・レジスタ0L ... 283
PR1L : 優先順位指定フラグ・レジスタ1L ... 283
PRM00 : プリスケーラ・モード・レジスタ00 ... 123
PRM01 : プリスケーラ・モード・レジスタ01 ... 123

PSW	: プログラム・ステータス・ワード ...	66, 285
PU0	: プルアップ抵抗オプション・レジスタ 0 ...	101
PU2	: プルアップ抵抗オプション・レジスタ 2 ...	101
PU3	: プルアップ抵抗オプション・レジスタ 3 ...	101
PU4	: プルアップ抵抗オプション・レジスタ 4 ...	101
PU5	: プルアップ抵抗オプション・レジスタ 5 ...	101
PU6	: プルアップ抵抗オプション・レジスタ 6 ...	101

[R]

RTBH00	: リアルタイム出力バッファ・レジスタ0H ...	195
RTBH01	: リアルタイム出力バッファ・レジスタ1H ...	196
RTBL00	: リアルタイム出力バッファ・レジスタ0L ...	195
RTBL01	: リアルタイム出力バッファ・レジスタ1L ...	196
RTPC00	: リアルタイム出力ポート・コントロール・レジスタ 0 ...	198
RTPC01	: リアルタイム出力ポート・コントロール・レジスタ 1 ...	200
RTPM00	: リアルタイム出力ポート・モード・レジスタ 0 ...	197
RTPM01	: リアルタイム出力ポート・モード・レジスタ 1 ...	198
RXB00	: 受信バッファ・レジスタ 0 ...	240
RXB01	: 受信バッファ・レジスタ 1 ...	240

[S]

SIO3	: シリアルI/Oシフト・レジスタ 3 ...	268
------	-------------------------	-----

[T]

TCL50	: タイマ・クロック選択レジスタ50 ...	154
TCL51	: タイマ・クロック選択レジスタ51 ...	154
TCL52	: タイマ・クロック選択レジスタ52 ...	154
TM00	: 16ビット・タイマ・カウンタ00 ...	114
TM01	: 16ビット・タイマ・カウンタ01 ...	114
TM50	: 8ビット・タイマ・カウンタ50 ...	149
TM51	: 8ビット・タイマ・カウンタ51 ...	149
TM52	: 8ビット・タイマ・カウンタ52 ...	149
TMC00	: 16ビット・タイマ・モード・コントロール・レジスタ00 ...	116
TMC01	: 16ビット・タイマ・モード・コントロール・レジスタ01 ...	116
TMC50	: 8ビット・タイマ・モード・コントロール・レジスタ50 ...	150
TMC51	: 8ビット・タイマ・モード・コントロール・レジスタ51 ...	150
TMC52	: 8ビット・タイマ・モード・コントロール・レジスタ52 ...	150
TMC7	: インバータ・タイマ・コントロール・レジスタ 7 ...	175
TMM7	: インバータ・タイマ・モード・レジスタ 7 ...	177
TOC00	: タイマ出力コントロール・レジスタ00 ...	121
TOC01	: タイマ出力コントロール・レジスタ01 ...	121
TXS00	: 送信シフト・レジスタ 0 ...	240
TXS01	: 送信シフト・レジスタ 1 ...	240

[W]

- WDCS : ウォッチドッグ・タイマ・クロック選択レジスタ ... 187
- WDTM : ウォッチドッグ・タイマ・モード・レジスタ ... 188

付録D 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/5)

版 数	前版からの改版内容	適用箇所
第3版	次の製品を開発中 開発済みに変更 μ PD780982, 780983, 780984	全般
	1.4 端子接続図 (Top View) ・ AV _{DD} , AV _{SS} 端子の接続の注意を削除	第1章 概 説
	2.1 端子機能一覧 (2)ポート以外の端子 ・ TI000, TI001, AV _{DD} , AV _{SS} 端子の説明を修正 2.2.5 P40-P47 (Port4) (2)コントロール・モードの記述を修正 表2-1 各端子の入出力回路タイプに入出力回路タイプの記述を追加 図2-1 端子の入出力回路一覧を追加	第2章 端子機能
	表3-4 特殊機能レジスタ一覧のTMC50, TMC51, TMC52の記述を修正	第3章 CPUアーキテクチャ
	4.3 ポート機能を制御するレジスタ (1)ポート・モード・レジスタ (PM0, PM2, PM3, PM4, PM5, PM6) に注意を追加 (2)プルアップ抵抗オプション・レジスタ (PU0, PU2, PU3, PU4, PU5, PU6) に注意を追加 図4-11 プルアップ抵抗オプション・レジスタのフォーマットを修正	第4章 ポート機能
	6.3 16ビット・タイマ/イベント・カウンタの構成 表6-3 TI00n端子の有効エッジとCR00n, CR01nのキャプチャ・トリガを修正 (3)16ビット・キャプチャ/コンペア・レジスタ010, 011 (CR010, CR011) の注意を修正 図6-5 キャプチャ/コンペア・コントロール・レジスタ00のフォーマットに注意を追加 図6-6 キャプチャ/コンペア・コントロール・レジスタ01のフォーマットに注意を追加 図6-7 タイマ出力コントロール・レジスタ00のフォーマットに注意を追加 図6-8 タイマ出力コントロール・レジスタ01のフォーマットに注意を追加 図6-9 プリスケアラ・モード・レジスタ00のフォーマットに注を追加 図6-10 プリスケアラ・モード・レジスタ01のフォーマットに注を追加 図6-13 インターバル・タイマの構成図を修正 6.5.4 外部イベント・カウンタとしての動作の説明を修正 図6-27 外部イベント・カウンタの構成図を修正 6.6 16ビット・タイマ/イベント・カウンタの注意事項 (6)ワンショット・パルス出力についてに説明を追加 (10)キャプチャ動作についてに説明を追加 (12)エッジ検出についてに説明を追加	第6章 16ビット・タイマ/イベント・カウンタ

版数	前版からの改版内容	適用箇所
第3版	7.2 8ビット・タイマ/イベント・カウンタの構成 (2) 8ビット・コンペア・レジスタ50, 51, 52 (CR50, CR51, CR52) を修正 7.3 8ビット・タイマ/イベント・カウンタを制御するレジスタ (1) 8ビット・タイマ・モード・コントロール・レジスタ50, 51, 52 (TMC50, TMC51, TMC52) を修正 図7-4 8ビット・タイマ・モード・コントロール・レジスタ50のフォーマットを修正 図7-5 8ビット・タイマ・モード・コントロール・レジスタ51のフォーマットを修正 図7-6 8ビット・タイマ・モード・コントロール・レジスタ52のフォーマットを修正	第7章 8ビット・タイマ/イベント・カウンタ
	(2) 設定値に対する出力波形幅の注意を修正 図8-6 TM7の動作タイミング (CMn (BFCMn) = 000H) を修正	第8章 10ビット・インバータ制御用タイマ
	表10-5 リアルタイム出力ポートの動作モードと出力トリガを修正	第10章 リアルタイム出力ポート
	図11-10 A/D変換終了割り込み要求発生タイミングを修正	第11章 A/Dコンバータ
	図12-2 UART00のポーレート・ジェネレータのブロック図を追加 図12-4 UART01のポーレート・ジェネレータのブロック図を追加	第12章 シリアル・インタフェース (UART00, UART01)
	13.2 シリアル・インタフェースの構成 (1) シリアルI/Oシフト・レジスタ3 (SIO3) を修正	第13章 シリアル・インタフェース (SIO3)
	表17-1 各ハードウェアのリセット後の状態を修正	第17章 リセット機能
	図18-4 3線式シリアルI/O方式でのFlashpro , の接続を修正 図18-5 UART方式でのFlashpro , の接続を修正 図18-6 疑似3線式シリアルI/O方式でのFlashpro , の接続を修正	第18章 μ PD78F0988
	図A-1 開発ツール構成を修正 A.1 言語処理用ソフトウェア ・デバイス・ファイル DF780988を開発中 開発済みに変更 A.3.1 ハードウェア ・次の製品を追加 パフォーマンス・ボード IE-78K0-NS-PA (開発中) エミュレーション・プローブ NP-64GC-TQ (開発済み) 変換アダプタ TGC-064SAP (開発済み) ・次の製品を開発中 開発済みに変更 PCカード・インタフェース IE-70000-CD-IF-A インタフェース・アダプタ IE-70000-PCI-IF 変換アダプタ (TGC-064SAP) の外形図を追加	付録A 開発ツール
	第4版 次の製品を追加 μ PD780982(A), 780983(A), 780984(A), 780986(A), 780988(A) オーダ名称を訂正 μ PD780982(A)GC-xxx-AB8 μ PD780982GC(A)-xxx-AB8 μ PD780983(A)GC-xxx-AB8 μ PD780983GC(A)-xxx-AB8 μ PD780984(A)GC-xxx-AB8 μ PD780984GC(A)-xxx-AB8 μ PD780986(A)GC-xxx-AB8 μ PD780986GC(A)-xxx-AB8 μ PD780988(A)GC-xxx-AB8 μ PD780988GC(A)-xxx-AB8 パッケージ名称を訂正 64ピン・プラスチック・シュリンクDIP (750 mil) 64ピン・プラスチックSDIP (19.05 mm (750))	全般

版数	前版からの改版内容	適用箇所
第4版	図10-6 リアルタイム出力ポート・モード・レジスタ1のフォーマットのビット名称を修正, 注意を追加	第10章 リアルタイム出力ポート
	11.6 A/Dコンバータ特性表の読み方を追加	第11章 A/Dコンバータ
	図12-11 サンプリング誤差を考慮したポーレートの許容誤差(k=0の場合)を追加 表12-5 受信エラーの要因にASIS0nの値の記述を追加	第12章 シリアル・インタフェース(UART00, UART01)
	14.2 割り込み要因と構成に備考を追加	第14章 割り込み機能
	図14-3 割り込みマスク・フラグ・レジスタのフォーマットに注意を追加	
	図14-4 優先順位指定フラグ・レジスタのフォーマットに注意を追加	
	図15-3 メモリ拡張ウエイト設定レジスタのフォーマットに注意を追加	第15章 外部デバイス拡張機能
	18.3.1 通信方式の選択に注意を追加	第18章 μPD78F0988
A.3.1 ハードウェア (1)インサーキット・エミュレータ IE-78K0-NSを使用する場合 ・IE-78K0-NS-PAを開発中 開発済みに変更	付録A 開発ツール	
第5版	16ビット・タイマ/イベント・カウンタの機能から, ワンショット・パルス出力を削除	第6章 16ビット・タイマ/イベント・カウンタ
	図11-17 微分直線性誤差を変更	第11章 A/Dコンバータ
第6版	フラッシュ・メモリ製品の変更 μPD78F0988 μPD78F0988A, 78F0988A(A)	全般
	図6-18 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング(両エッジ指定時)のINTTM01nのタイミング変更	第6章 16ビット・タイマ/イベント・カウンタ
	図6-20 立ち上がりエッジ指定時のCR01nキャプチャ動作のINTTM01nのタイミング変更	
	図6-21 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング(両エッジ指定時)のINTTM00nとINTTM01nのタイミング変更	
	図6-23 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング(立ち上がりエッジ指定時)のINTTM01nのタイミング変更	
	図6-25 リスタートによるパルス幅測定動作のタイミング(立ち上がりエッジ指定時)のINTTM01nのタイミング変更	
	図6-33 キャプチャ・レジスタのデータ保持タイミングのCR01n割り込み値のタイミング変更	
	図6-34 OVF0nフラグの動作タイミングのINTTM00nのタイミング変更	
	11.5 A/Dコンバータの注意事項の(11)-(14)を追加	第11章 A/Dコンバータ
	図14-2 割り込み要求フラグ・レジスタのフォーマットの注意文を追加	第14章 割り込み機能
	18.3 フラッシュ・メモリの特徴を追加	第18章 μPD78F0988A
	表18-4 通信方式一覧に「3線式シリアルI/O+HS」を追加	
	表18-5 フラッシュ・メモリ・プログラミングの主な機能に「ライト・バック」を追加	
	図18-5 3線式シリアルI/O方式でのFlashpro の接続(ハンド・シェイク使用時)を追加	
	18.5 端子処理を追加	
	図18-14 セルフ・プログラミング・フロー・チャートを変更	
	表18-7 エントリRAM領域を変更	
	18.6.5 エントリRAM領域の(d)消去時間データの消去時間範囲を変更, (f)ライト・バック時間を追加	
	表18-8 セルフ書き込みサブルーチン一覧を変更	
	18.6.6 セルフ書き込みサブルーチンを変更	

版 数	前版からの改版内容	適用箇所
第 6 版	開発ツール ・ SP78K0を追加 ・ RA78K0, CC78K0, DF780988, CC78K0-L, SM78K0, ID78K0-NS, ID78K0, RX78K0, MX78K0のオーダ名称を変更	付録A 開発ツール
第 7 版	・ パッケージの追加 μ PD780982GC- x x x -8BS, 780983GC- x x x -8BS, 780984GC- x x x -8BS μ PD780986GC- x x x -8BS, 780988GC- x x x -8BS, 78F0988AGC-8BS μ PD780982GC(A)- x x x -8BS, 780983GC(A)- x x x -8BS, 780984GC(A)- x x x -8BS μ PD780986GC(A)- x x x -8BS, 780988GC(A)- x x x -8BS ・ 電源電圧範囲を下記のように変更 V _{DD} = 4.0 ~ 5.5 V V _{DD} = 3.0 ~ 5.5 V (拡張規格品の場合) , V _{DD} = 4.0 ~ 5.5 V (従来規格品の場合) ・ システム・クロック発振周波数 (f _x) を下記のように変更 f _x = 8.38 MHz f _x = 12 MHz (拡張規格品のみ) , f _x = 8.38 MHz ・ 最小命令実行時間を変更	全般
	1.1 拡張規格品と従来規格品についてを追加	第 1 章 概 説
	1.6 端子接続図 (Top View) ・ 64ピン・プラスチックSDIP (19.05 mm (750)) に注意 2 , 3 を追加 ・ 64ピン・プラスチックQFP (14x14) , 64ピン・プラスチックLQFP (14x14) に注意 2 , 3 を追加	
	3.1.2 内部データ・メモリ空間 (1) 内部高速RAM , (2) 内部拡張RAMに説明文を追加	第 3 章 CPUアーキテクチャ
	表 5 - 2 CPUクロックと最小命令実行時間の関係を変更	第 5 章 クロック発生回路
	図 5 - 5 CPUクロックの切り替えを変更	
	図 6 - 9 プリスケアラ・モード・レジスタ00のフォーマットを変更	第 6 章 16ビット・タイマ / イベント・カウンタ
	図 6 - 10 プリスケアラ・モード・レジスタ01のフォーマットを変更	
	図 6 - 16 PPG出力の構成図を追加	
	図 6 - 17 PPG出力動作のタイミングを追加	
	図 7 - 7 タイマ・クロック選択レジスタ50のフォーマットを変更	第 7 章 8ビット・タイマ / イベント・カウンタ
	図 7 - 8 タイマ・クロック選択レジスタ51のフォーマットを変更	
	図 7 - 9 タイマ・クロック選択レジスタ52のフォーマットを変更	
	図 8 - 2 インバータ・タイマ・コントロール・レジスタ7のフォーマットを変更	第 8 章 10ビット・インバータ制御用タイマ
	表 9 - 1 ウォッチドッグ・タイマの暴走検出時間を変更	第 9 章 ウォッチドッグ・タイマ
	表 9 - 2 インターバル時間を変更	
	図 9 - 2 ウォッチドッグ・タイマ・クロック選択レジスタのフォーマットを変更	
	図 9 - 4 発振安定時間選択レジスタのフォーマットを変更	
	表 9 - 4 ウォッチドッグ・タイマの暴走検出時間を変更	
	表 9 - 5 インターバル・タイマのインターバル時間を変更	
	11.2 A/Dコンバータの構成 (2) A/D変換結果レジスタ 0 (ADCR0) にレジスタの図を追加	第11章 A/Dコンバータ
	図11 - 2 A/Dコンバータ・モード・レジスタ0のフォーマットを変更	
	11.5 A/Dコンバータの注意事項 (6) ANI0-ANI7端子の入カインピーダンスについてを追加	
	図12 - 9 ポー・レート・ジェネレータ・コントロール・レジスタ0のフォーマットを変更	第12章 シリアル・インタフェースUART00, UART01

版数	前版からの改版内容	適用箇所
第7版	図12-10 ポー・レート・ジェネレータ・コントロール・レジスタ1のフォーマットを変更	第12章 シリアル・インタフェースUART00, UART01
	12.4.2 アシクロナス・シリアル・インタフェース (UART) モード ・説明文を変更 ・(1) レジスタの設定の(c) ポー・レート・ジェネレータ・コントロール・レジスタ0, 1 (BRGC00, BRGC01) を変更	
	表12-2 5ビット・カウンタのソース・クロックとmの値の関係 (UART00の場合) を変更	
	表12-3 5ビット・カウンタのソース・クロックとmの値の関係 (UART01の場合) を変更	
	表12-4 システム・クロックとポー・レートの関係を変更	
	12.4.3 赤外線データ転送モードに備考を追加	
	表12-7 赤外線データ転送モードで設定可能なポー・レートを変更	
	図13-2 シリアル動作モード・レジスタ3のフォーマットを変更	第13章 シリアル・インタフェースSIO3
	15.1 外部デバイス拡張機能に注意を追加	第15章 外部デバイス拡張機能
	図15-2 メモリ拡張モード・レジスタのフォーマットのR/WをWに変更	
	図16-1 発振安定時間選択レジスタのフォーマットを変更	第16章 スタンバイ機能
	図16-3 HALTモードのRESET入力による解除を変更	
	図16-5 STOPモードのRESET入力による解除を変更	
	フラッシュ・メモリ・プログラミングに関する内容を, 18.3 フラッシュ・メモリの特徴として改訂	第18章 μ PD78F0988A
	18.4.5 エントリRAM領域 (c) 書き込み時間データの表を変更	
	第20章 電気的特性 (拡張規格品) を追加	第20章 電気的特性 (拡張規格品)
	第21章 電気的特性 (従来規格品) を追加	第21章 電気的特性 (従来規格品)
	第22章 外形図を追加	第22章 外形図
	第23章 半田付け推奨条件を追加	第23章 半田付け推奨条件
	付録A 開発ツールを変更	付録A 開発ツール
付録B ターゲット・システム設計上の注意を追加	付録B ターゲット・システム設計上の注意	
第7版 (修正)	1.4 オータ情報を変更	第1章 概説
	第23章 半田付け推奨条件を追加	第23章 半田付け推奨条件

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
