

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル（暫定）

μPD780701Yサブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD780701Y

μPD780702Y

μPD78F0701Y

資料番号 U13781JJ2V0UM00（第2版）

発行年月 September 2004 N CP(K)

© NEC Corporation 1998

[× ㊦]

目次要約

第 1 章	概 説	…	18
第 2 章	端子機能	…	29
第 3 章	CPUアーキテクチャ	…	41
第 4 章	ポート機能	…	73
第 5 章	クロック発生回路	…	93
第 6 章	16ビット・タイマ/イベント・カウンタ	…	101
第 7 章	8ビット・タイマ/イベント・カウンタ	…	138
第 8 章	時計用タイマ	…	161
第 9 章	ウォッチドッグ・タイマ	…	166
第 10 章	クロック出力/ブザー出力制御回路	…	173
第 11 章	A/Dコンバータ	…	178
第 12 章	シリアル・インタフェース (UART0)	…	193
第 13 章	シリアル・インタフェース (SIO30, SIO31)	…	212
第 14 章	シリアル・インタフェース (IIC0)	…	219
第 15 章	DCANコントローラ (μ PD780701Y, 78F0701Yのみ)	…	278
第 16 章	IEBusコントローラ (μ PD780702Y, 78F0701Yのみ)	…	344
第 17 章	割り込み機能	…	406
第 18 章	スタンバイ機能	…	429
第 19 章	リセット機能	…	437
第 20 章	μ PD78F0701Y	…	441
第 21 章	命令セットの概要	…	467
付 録		…	482

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIP, IEBusは、NECエレクトロニクス株式会社の登録商標です。

Inter Equipment Busは、NECエレクトロニクス株式会社の商標です。

WindowsおよびWindowsNTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

SunOS, Solarisは、米国サン・マイクロシステムズ社の商標です。

イーサネットは、米国ゼロックス社の商標です。

NEWS,NEWS-OSは、ソニー株式会社の商標です。

OSF/Motifは、OpenSoftware Foundation, Inc.の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78F0701YGC-8BT

ユーザ判定品 : μ PD780701YGC- $\times\times\times$ -8BT, 780702YGC- $\times\times\times$ -8BT

- 本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に掲載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

はじめに

対象者 このマニュアルは、 μ PD780701Yサブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示すサブシリーズの各製品です。

・ μ PD780701Yサブシリーズ： μ PD780701Y, 780702Y, 78F0701Y

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD780701Yサブシリーズのマニュアルは、このマニュアルと命令編（78K/0シリーズ共通）の2冊に分かれています。

μ PD780701Yサブシリーズ ユーザーズ・マニュアル (このマニュアル)	78K/0シリーズ ユーザーズ・マニュアル 命令編
---	---------------------------------

- | | |
|-------------|--------|
| ●端子機能 | ●CPU機能 |
| ●内部ブロック機能 | ●命令セット |
| ●割り込み | ●命令の説明 |
| ●その他の内蔵周辺機能 | |

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がRA78K/0では予約語に、CC78K/0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

レジスタ名が分かっている、レジスタの詳細を確認するとき

→付録C レジスタ索引を利用してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: $\overline{\times\times\times}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数 $\cdots\times\times\times\times$ または $\times\times\times\times B$ 10進数 $\cdots\times\times\times\times$ 16進数 $\cdots\times\times\times\times H$

関連資料 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD780701Y, 780702Y ペーパー・マシン	U13920J	U13920E
μ PD78F0701Y ペーパー・マシン	U13563J	U13563E
μ PD780701Yサブシリーズ ユーザーズ・マニュアル	この資料	U13781E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

●開発ツールの関連資料(ユーザズ・マニュアル)

資料名		資料番号	
		和文	英文
RA78K0 アセンブラ・パッケージ	操作編	U11802J	U11802E
	言語編	U11801J	U11801E
	構造化アセンブリ言語編	U11789J	U11789E
CC78K0 Cコンパイラ	操作編	U11517J	U11517E
	言語編	U11518J	U11518E
IE-78K0-NS インサーキット・エミュレータ		U13731J	—
IE-78001-R-A インサーキット・エミュレータ		U14142J	—
IE-78K0-R-EX1 インサーキット・エミュレータ		作成予定	作成予定
IE-780701-NS-EM1 エミュレーション・ボード		作成予定	作成予定
SM78K0S, SM78K0 システム・シミュレータ Windows®ベース	操作編	U14611J	作成予定
SM78Kシリーズ システム・シミュレータ	外部部品ユーザ・オープン・ インタフェース仕様編	U10092J	U10092E
ID78K0-NS 統合ディバग्ガ Ver.2.00以上 Windowsベース	操作編	U14379J	U14379E
ID78K0-NS, ID78K0S-NS 統合ディバग्ガ Ver.2.20以上 Windowsベース	操作編	U14910J	作成予定
ID78K0 統合ディバग्ガ Windowsベース	レファレンス編	U11539J	U11539E
	ガイド編	U11649J	U11649E

●組み込み用ソフトウェアの関連資料(ユーザズ・マニュアル)

資料名		資料番号	
		和文	英文
78K/0シリーズ リアルタイムOS	基礎編	U11537J	U11537E
	インストール編	U11536J	U11536E
78K/0シリーズ用OS MX78K0	基礎編	U12257J	U12257E

●その他の関連資料

資料名		資料番号	
		和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-		X13769X	
半導体デバイス 実装マニュアル		注	
NEC半導体デバイスの品質水準		C11531J	C11531E
NEC半導体デバイスの信頼性品質管理		C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド		C11892J	C11892E
半導体 品質/信頼性ハンドブック		C12769J	—
マイクロコンピュータ関連製品ガイド 社外メーカ編		U11416J	—

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

目 次

第1章 概 説 … 18

- 1.1 特 徴 … 18
- 1.2 応用分野 … 19
- 1.3 オーダ情報 … 19
- 1.4 端子接続図 (Top View) … 20
- 1.5 78K/0シリーズの展開 … 24
- 1.6 ブロック図 … 25
- 1.7 機能概要 … 28

第2章 端子機能 … 29

- 2.1 端子機能一覧 … 29
- 2.2 端子機能の説明 … 33
 - 2.2.1 P00-P07 (ポート0) … 33
 - 2.2.2 P20-P27 (ポート2) … 33
 - 2.2.3 P30-P36 (ポート3) … 34
 - 2.2.4 P40-P47 (ポート4) … 35
 - 2.2.5 P50-P57 (ポート5) … 35
 - 2.2.6 P64-P67 (ポート6) … 35
 - 2.2.7 P70-P77 (ポート7) … 35
 - 2.2.8 P80-P87 (ポート8) … 36
 - 2.2.9 P90-P97 (ポート9) … 36
 - 2.2.10 CTXD (μ PD780701Y, 78F0701Yのみ) … 36
 - 2.2.11 CRXD (μ PD780701Y, 78F0701Yのみ) … 36
 - 2.2.12 ITX0 (μ PD780702Y, 78F0701Yのみ) … 36
 - 2.2.13 IRX0 (μ PD780702Y, 78F0701Yのみ) … 36
 - 2.2.14 AV_{REF} … 37
 - 2.2.15 AV_{SS} … 37
 - 2.2.16 RESET … 37
 - 2.2.17 X1, X2 … 37
 - 2.2.18 CPUREG … 37
 - 2.2.19 V_{DD0}, V_{DD1} … 37
 - 2.2.20 V_{SS0}, V_{SS1} … 37
 - 2.2.21 V_{PP} (μ PD78F0701Yのみ) … 38
 - 2.2.22 IC (μ PD780701Y, 780702Yのみ) … 38
- 2.3 端子の入出力回路と未使用端子の処理 … 39

第3章 CPUアーキテクチャ … 41

- 3.1 メモリ空間 … 41
 - 3.1.1 内部プログラム・メモリ空間 … 44
 - 3.1.2 内部データ・メモリ空間 … 45
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 … 45
 - 3.1.4 外部メモリ空間 … 45
 - 3.1.5 データ・メモリ・アドレッシング … 46

3.2	プロセッサ・レジスタ	…	49
3.2.1	制御レジスタ	…	49
3.2.2	汎用レジスタ	…	53
3.2.3	特殊機能レジスタ (SFR : Special Function Register)	…	55
3.3	命令アドレスのアドレッシング	…	60
3.3.1	レラティブ・アドレッシング	…	60
3.3.2	イミディエト・アドレッシング	…	61
3.3.3	テーブル・インダイレクト・アドレッシング	…	62
3.3.4	レジスタ・アドレッシング	…	63
3.4	オペランド・アドレスのアドレッシング	…	64
3.4.1	インプライド・アドレッシング	…	64
3.4.2	レジスタ・アドレッシング	…	65
3.4.3	ダイレクト・アドレッシング	…	66
3.4.4	ショート・ダイレクト・アドレッシング	…	67
3.4.5	特殊機能レジスタ (SFR) アドレッシング	…	69
3.4.6	レジスタ・インダイレクト・アドレッシング	…	70
3.4.7	ベースト・アドレッシング	…	71
3.4.8	ベースト・インデクスト・アドレッシング	…	72
3.4.9	スタック・アドレッシング	…	72

第4章 ポート機能 … 73

4.1	ポートの機能	…	73
4.2	ポートの構成	…	76
4.2.1	ポート0	…	76
4.2.2	ポート2	…	78
4.2.3	ポート3	…	79
4.2.4	ポート4	…	81
4.2.5	ポート5	…	82
4.2.6	ポート6	…	83
4.2.7	ポート7	…	84
4.2.8	ポート8	…	86
4.2.9	ポート9	…	87
4.3	ポート機能を制御するレジスタ	…	88
4.4	ポート機能の動作	…	92
4.4.1	入出力ポートへの書き込み	…	92
4.4.2	入出力ポートからの読み出し	…	92
4.4.3	入出力ポートでの演算	…	92

第5章 クロック発生回路 … 93

5.1	クロック発生回路の機能	…	93
5.2	クロック発生回路の構成	…	93
5.3	クロック発生回路を制御するレジスタ	…	94
5.4	システム・クロック発振回路	…	95
5.4.1	システム・クロック発振回路	…	95
5.4.2	分周回路	…	97
5.5	クロック発生回路の動作	…	98
5.6	CPUクロックの設定の変更	…	99
5.6.1	CPUクロックの切り替えに要する時間	…	99
5.6.2	CPUクロックの切り替え手順	…	100

第6章	16ビット・タイマ/イベント・カウンタ	…	101
6.1	μPD780701Yサブシリーズ内蔵タイマの概要	…	101
6.2	16ビット・タイマ/イベント・カウンタの機能	…	102
6.3	16ビット・タイマ/イベント・カウンタの構成	…	103
6.4	16ビット・タイマ/イベント・カウンタを制御するレジスタ	…	106
6.5	16ビット・タイマ/イベント・カウンタの動作	…	116
6.5.1	インターバル・タイマとしての動作	…	116
6.5.2	PPG出力としての動作	…	118
6.5.3	パルス幅測定としての動作	…	119
6.5.4	外部イベント・カウンタとしての動作	…	126
6.5.5	方形波出力としての動作	…	127
6.5.6	ワンショット・パルス出力としての動作	…	129
6.6	16ビット・タイマ/イベント・カウンタの注意事項	…	134
第7章	8ビット・タイマ/イベント・カウンタ	…	138
7.1	8ビット・タイマ/イベント・カウンタの機能	…	138
7.2	8ビット・タイマ/イベント・カウンタの構成	…	139
7.3	8ビット・タイマ/イベント・カウンタを制御するレジスタ	…	142
7.4	8ビット・タイマ/イベント・カウンタの動作	…	149
7.4.1	インターバル・タイマ（8ビット）としての動作	…	149
7.4.2	外部イベント・カウンタとしての動作	…	153
7.4.3	方形波出力（8ビット分解能）としての動作	…	154
7.4.4	8ビットPWM出力としての動作	…	155
7.4.5	インターバル・タイマ（16ビット）としての動作	…	158
7.5	8ビット・タイマ/イベント・カウンタの注意事項	…	159
第8章	時計用タイマ	…	161
8.1	時計用タイマの機能	…	161
8.2	時計用タイマの構成	…	162
8.3	時計用タイマを制御するレジスタ	…	163
8.4	時計用タイマの動作	…	164
8.4.1	時計用タイマとしての動作	…	164
8.4.2	インターバル・タイマとしての動作	…	164
第9章	ウォッチドッグ・タイマ	…	166
9.1	ウォッチドッグ・タイマの機能	…	166
9.2	ウォッチドッグ・タイマの構成	…	167
9.3	ウォッチドッグ・タイマを制御するレジスタ	…	168
9.4	ウォッチドッグ・タイマの動作	…	171
9.4.1	ウォッチドッグ・タイマとしての動作	…	171
9.4.2	インターバル・タイマとしての動作	…	172
第10章	クロック出力/ブザー出力制御回路	…	173
10.1	クロック出力/ブザー出力制御回路の機能	…	173
10.2	クロック出力/ブザー出力制御回路の構成	…	174
10.3	クロック出力/ブザー出力制御回路を制御するレジスタ	…	174
10.4	クロック出力/ブザー出力制御回路の動作	…	177

- 10.4.1 クロック出力としての動作 … 177
- 10.4.2 ブザー出力としての動作 … 177

第11章 A/Dコンバータ … 178

- 11.1 A/Dコンバータの機能 … 178
- 11.2 A/Dコンバータの構成 … 180
- 11.3 A/Dコンバータを制御するレジスタ … 182
- 11.4 A/Dコンバータの動作 … 185
 - 11.4.1 A/Dコンバータの基本動作 … 185
 - 11.4.2 入力電圧と変換結果 … 187
 - 11.4.3 A/Dコンバータの動作モード … 188
- 11.5 A/Dコンバータの注意事項 … 190

第12章 シリアル・インタフェース (UART0) … 193

- 12.1 シリアル・インタフェースの機能 … 193
- 12.2 シリアル・インタフェースの構成 … 194
- 12.3 シリアル・インタフェースを制御するレジスタ … 196
- 12.4 シリアル・インタフェースの動作 … 200
 - 12.4.1 動作停止モード … 200
 - 12.4.2 アシンクロナス・シリアル・インタフェース (UART) モード … 201

第13章 シリアル・インタフェース (SIO30, SIO31) … 212

- 13.1 シリアル・インタフェースの機能 … 213
- 13.2 シリアル・インタフェースの構成 … 214
- 13.3 シリアル・インタフェースを制御するレジスタ … 215
- 13.4 シリアル・インタフェースの動作 … 216
 - 13.4.1 動作停止モード … 216
 - 13.4.2 3線式シリアルI/Oモード … 217

第14章 シリアル・インタフェース (IIC0) … 219

- 14.1 シリアル・インタフェースの機能 … 219
- 14.2 シリアル・インタフェースの構成 … 222
- 14.3 シリアル・インタフェースを制御するレジスタ … 224
- 14.4 I²Cバス・モードの機能 … 234
 - 14.4.1 端子構成 … 234
- 14.5 I²Cバスの定義および制御方法 … 235
 - 14.5.1 スタート・コンディション … 235
 - 14.5.2 アドレス … 236
 - 14.5.3 転送方向指定 … 236
 - 14.5.4 アクノリッジ信号 (ACK) … 237
 - 14.5.5 ストップ・コンディション … 238
 - 14.5.6 ウェイト信号 ($\overline{\text{WAIT}}$) … 239
 - 14.5.7 I²C割り込み要求 (INTIIC0) … 241
 - 14.5.8 割り込み要求 (INTIIC0) 発生タイミングおよびウェイト制御 … 261
 - 14.5.9 アドレスの一致検出方法 … 262
 - 14.5.10 エラーの検出 … 262
 - 14.5.11 拡張コード … 263
 - 14.5.12 アービトレーション … 264

- 14.5.13 ウェイク・アップ機能 … 266
- 14.5.14 通信予約 … 266
- 14.5.15 その他の注意事項 … 268
- 14.5.16 通信動作 … 269
- 14.6 タイミング・チャート … 271

第15章 DCANコントローラ (μ PD780701Y, 78F0701Yのみ) … 278

- 15.1 プロトコル … 279
 - 15.1.1 プロトコル・モード機能 … 279
 - 15.1.2 メッセージのフォーマット … 279
 - 15.1.3 データ・フレーム/リモート・フレーム … 280
 - 15.1.4 エラー・フレーム … 286
 - 15.1.5 オーバロード・フレーム … 287
- 15.2 機能 … 288
 - 15.2.1 バス・プライオリティの決定 … 288
 - 15.2.2 ビット・スタフ … 288
 - 15.2.3 マルチマスタ … 288
 - 15.2.4 マルチキャスト … 288
 - 15.2.5 スリープ・モード/ストップ・モード機能 … 289
 - 15.2.6 エラー制御機能 … 289
 - 15.2.7 ボー・レート制御機能 … 292
 - 15.2.8 状態遷移図 … 295
- 15.3 概要 … 298
- 15.4 ターゲット・システムとの接続 … 299
- 15.5 DCANコントローラの構成 … 299
- 15.6 DCANコントローラの特種機能レジスタ (SFR) 一覧 … 300
- 15.7 メッセージとバッファの構成 … 301
- 15.8 送信バッファの構成 … 302
- 15.9 送信メッセージ … 302
 - 15.9.1 送信メッセージ指定部 … 303
 - 15.9.2 送信アイデンティファイア部 … 304
 - 15.9.3 送信データ部 … 305
- 15.10 受信メッセージ・バッファの構成 … 306
- 15.11 受信メッセージ … 307
 - 15.11.1 受信コントロール指定部 … 308
 - 15.11.2 受信ステータス部 … 309
 - 15.11.3 受信アイデンティファイア指定部 … 311
 - 15.11.4 受信メッセージ・データ部 … 312
- 15.12 マスク機能 … 313
 - 15.12.1 アイデンティファイアのマスク … 313
 - 15.12.2 マスク・アイデンティファイア・コントロール・ビットの設定 … 315
 - 15.12.3 マスク・アイデンティファイアの設定 … 315
- 15.13 DCANコントローラを制御するレジスタ … 316
 - 15.13.1 CANコントロール・レジスタ (CANC) … 316
 - 15.13.2 CANエラー・ステータス・レジスタ (CANES) … 320
 - 15.13.3 送信エラー・カウンタ (TEC) … 322
 - 15.13.4 受信エラー・カウンタ (REC) … 322
 - 15.13.5 メッセージ・カウント・レジスタ (MCNT) … 323
 - 15.13.6 ビット・レート・プリスケラ (BRPRS) … 324
 - 15.13.7 同期コントロール・レジスタn (SYNCn: n=0, 1) … 325
 - 15.13.8 送信コントロール・レジスタ (TCR) … 329

15.13.9	受信メッセージ・レジスタ (RMES)	…	331
15.13.10	マスク・コントロール・レジスタ (MASKC)	…	332
15.13.11	再指定コントロール・レジスタ (REDEF)	…	334
15.14	割り込み機能	…	336
15.14.1	割り込みベクトル	…	336
15.14.2	送信割り込み	…	336
15.14.3	受信割り込み	…	336
15.14.4	エラー割り込み	…	336
15.15	スタンバイ機能	…	337
15.15.1	HALTモード	…	337
15.15.2	STOPモード	…	337
15.15.3	DCANスリープ・モード	…	337
15.15.4	DCANストップ・モード	…	337
15.16	フロー・チャートによる機能の説明	…	338
15.16.1	初期化手順	…	338
15.16.2	送信手順	…	339
15.16.3	送信中断手順	…	340
15.16.4	DCANコントローラが行う受信処理	…	341
15.16.5	受信手順 (受信割り込み要求信号 (INTCR) を使用する場合)	…	342
15.16.6	受信手順 (受信割り込み要求信号 (INTCR) を使用しない場合)	…	343

第16章 IEBusコントローラ (μ PD780702Y, 78F0701Yのみ) … 344

16.1	IEBusコントローラの機能	…	344
16.1.1	IEBusの通信プロトコル	…	344
16.1.2	バス占有権の決定 (アービトレーション)	…	345
16.1.3	通信モード	…	346
16.1.4	通信アドレス	…	346
16.1.5	同報通信	…	346
16.1.6	IEBusの伝送フォーマット	…	347
16.1.7	伝送データ	…	357
16.1.8	ビット・フォーマット	…	361
16.2	簡易版IEBusコントローラ	…	362
16.3	IEBusコントローラの構成	…	363
16.4	IEBusコントローラの内部レジスタ	…	365
16.4.1	内部レジスタ一覧	…	365
16.4.2	内部レジスタの説明	…	366
16.5	IEBusコントローラの割り込み動作	…	390
16.5.1	割り込み制御部	…	390
16.5.2	割り込み要因一覧	…	391
16.5.3	通信エラー要因処理一覧	…	392
16.6	割り込み発生タイミングおよび主なCPU処理内容	…	394
16.6.1	マスタ送信	…	394
16.6.2	マスタ受信	…	396
16.6.3	スレーブ送信	…	398
16.6.4	スレーブ受信	…	400
16.6.5	IEBus制御用割り込み発生間隔	…	402

第17章 割り込み機能 … 406

17.1	割り込み機能の種類	…	406
17.2	割り込み要因と構成	…	406

17.3	割り込み機能を制御するレジスタ	…	411
17.4	割り込み処理動作	…	418
17.4.1	ノンマスカブル割り込み要求の受け付け動作	…	418
17.4.2	マスカブル割り込み要求の受け付け動作	…	421
17.4.3	ソフトウェア割り込み要求の受け付け動作	…	423
17.4.4	多重割り込み処理	…	424
17.4.5	割り込み要求の保留	…	427
第18章	スタンバイ機能	…	429
18.1	スタンバイ機能と構成	…	429
18.1.1	スタンバイ機能	…	429
18.1.2	スタンバイ機能を制御するレジスタ	…	430
18.2	スタンバイ機能の動作	…	431
18.2.1	HALTモード	…	431
18.2.2	STOPモード	…	434
第19章	リセット機能	…	437
第20章	μPD78F0701Y	…	441
20.1	内蔵バス・コントローラ (DCAN/IEBus) の切り替えについて	…	442
20.2	メモリ・サイズ切り替えレジスタ (IMS)	…	443
20.3	内部拡張RAMサイズ切り替えレジスタ (IXS)	…	443
20.4	フラッシュ・メモリ・プログラミング	…	444
20.4.1	通信方式の選択	…	444
20.4.2	フラッシュ・メモリ・プログラミングの機能	…	445
20.4.3	Flashpro II, Flashpro IIIの接続	…	445
20.5	セルフ書き込みによるフラッシュ・メモリ・プログラミング	…	446
20.5.1	フラッシュ・メモリの構成	…	446
20.5.2	フラッシュ・プログラミング・モード・ コントロール・レジスタ (FLPMC)	…	447
20.5.3	セルフ書き込みの手順	…	448
20.5.4	CPU資源	…	451
20.5.5	エントリRAM領域	…	451
20.5.6	セルフ書き込みサブルーチン	…	453
20.5.7	セルフ書き込み回路の構成	…	466
第21章	命令セットの概要	…	467
21.1	凡 例	…	468
21.1.1	オペランドの表現形式と記述方法	…	468
21.1.2	オペレーション欄の説明	…	469
21.1.3	フラグ動作欄の説明	…	469
21.2	オペレーション一覧	…	470
21.3	アドレッシング別命令一覧	…	478
付録A	開発ツール	…	482
A.1	言語処理用ソフトウェア	…	485
A.2	フラッシュ・メモリ書き込み用ツール	…	486
A.3	ディバグ用ツール	…	487

- A.3.1 ハードウェア … 487
- A.3.2 ソフトウェア … 489
- A.4 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法 … 491

付録B 組み込み用ソフトウェア … 494

付録C レジスタ索引 … 496

- C.1 レジスタ索引 (50音順) … 496
- C.2 レジスタ索引 (アルファベット順) … 500

★ 付録D 改版履歴 … 504

- D.1 本版で改訂された主な箇所 … 504

第1章 概 説

1.1 特 徴

○大容量ROM, RAM内蔵

項目 品名	プログラム・メモリ	データ・メモリ		
		内部高速RAM	内部拡張RAM	DCAN用バッファRAM
μ PD780701Y	60 Kバイト (マスクROM)	1024バイト	2048バイト	288バイト
μ PD780702Y				—
μ PD78F0701Y	60 Kバイト (フラッシュ・メモリ)			288バイト

○外部メモリ拡張空間：64 Kバイト

○高速 (0.32 μ s：システム・クロック6.29 MHz動作時) から低速 (5.09 μ s) に最小命令実行時間を変更可能

○I/Oポート：67本 (N-chオープン・ドレイン：3本)

○8ビット分解能A/Dコンバータ：16チャンネル

○DCANコントローラ：1チャンネル (μ PD780701Y, 78F0701Yのみ)

○IEBus[®]コントローラ：1チャンネル (μ PD780702Y, 78F0701Yのみ)

○シリアル・インタフェース：4チャンネル

・3線式シリアルI/Oモード：2チャンネル

・UARTモード：1チャンネル

・I²Cモード：1チャンネル

○タイマ：7チャンネル

・16ビット・タイマ/イベント・カウンタ：2チャンネル

・8ビット・タイマ/イベント・カウンタ：3チャンネル

・時計用タイマ：1チャンネル

・ウォッチドッグ・タイマ：1チャンネル

○ベクタ割り込み要因：30

○電源電圧：V_{DD} = 3.5~5.5 V

1.2 応用分野

カー・オーディオ・システムなど

1.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μPD780701YGC-×××-8BT	80ピン・プラスチックQFP (□14 mm)	マスクROM
μPD780702YGC-×××-8BT	〃	〃
μPD78F0701YGC-8BT	〃	フラッシュ・メモリ

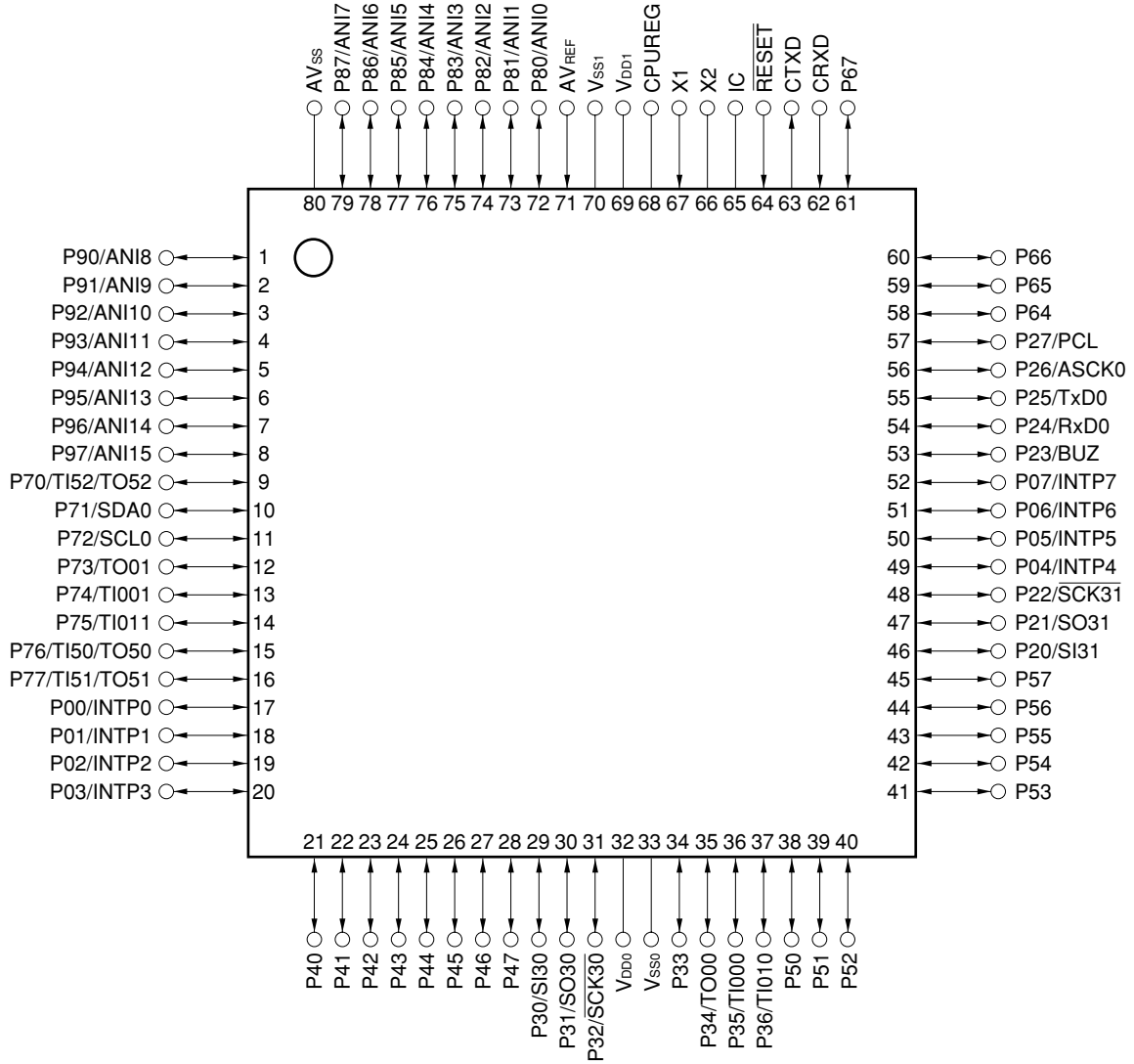
備考 ×××はROMコード番号です。

1.4 端子接続図 (Top View)

(1) μ PD780701Y

・80ピン・プラスチックQFP (□14 mm)

μ PD780701YGC-XXXX-8BT



注意 1. IC (Internally Connected) 端子はVSS0またはVSS1に直接接続してください。

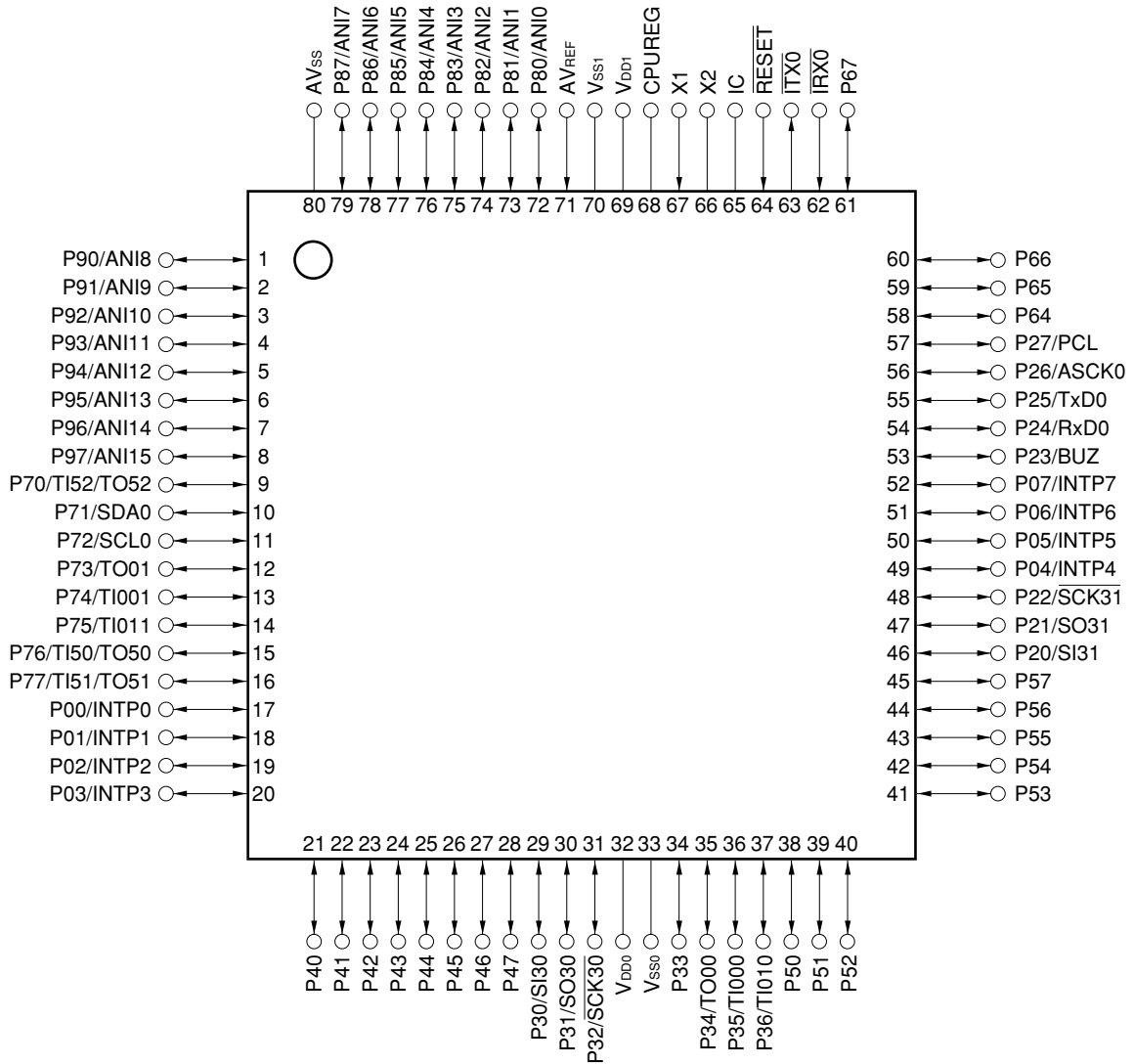
2. AVSS端子はVSS0に接続してください。

3. AVREF端子はVDD0に接続してください。

(2) μ PD780702Y

・80ピン・プラスチックQFP (□14 mm)

μ PD780702YGC-XXXX-8BT



注意 1. IC (Internally Connected) 端子はV_{SS0}またはV_{SS1}に直接接続してください。

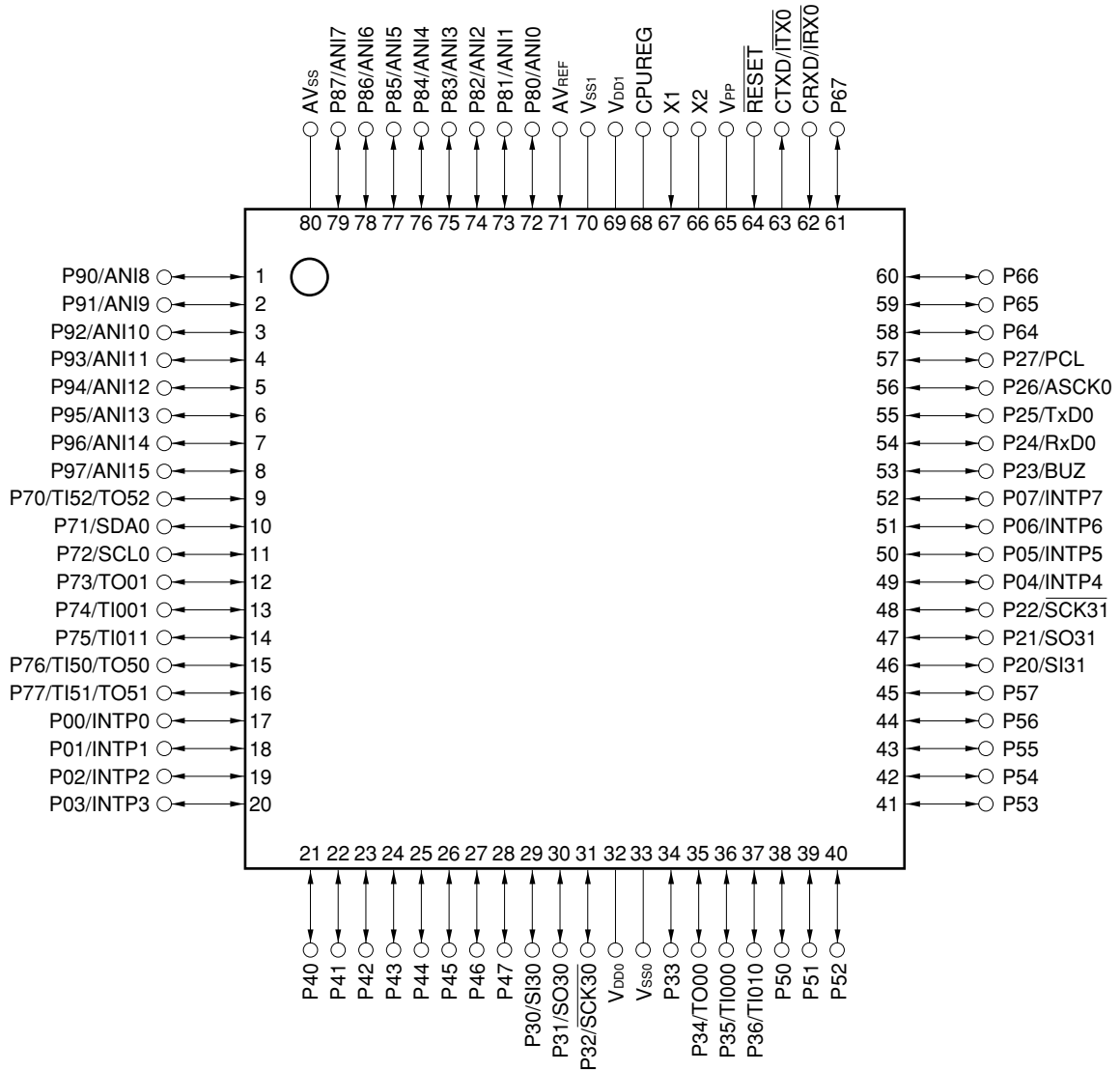
2. AV_{SS}端子はV_{SS0}に接続してください。

3. AV_{REF}端子はV_{DD0}に接続してください。

(3) μ PD78F0701Y

・80ピン・プラスチックQFP (□14 mm)

μ PD78F0701YGC-8BT



注意 1. 通常動作モード時、V_{PP}端子はV_{SS0}またはV_{SS1}に直接接続してください。

2. AV_{SS}端子はV_{SS0}に接続してください。


3. AV_{REF}端子はV_{DD0}に接続してください。

ANI0-ANI15	: Analog Input	P90-P97	: Port9
ASCK0	: Asynchronous Serial Clock	PCL	: Programmable Clock
AV _{REF}	: Analog Reference Voltage	RESET	: Reset
AV _{SS}	: Analog Ground	RxD0	: Receive Data (for UART0)
BUZ	: Buzzer Output	SCK30, SCK31	: Serial Clock (for SIO30, 31)
CPUREG	: Regulator for CPU Power Supply	SCL0	: Serial Clock (for IIC0)
CRXD	: CAN Receive Data	SDA0	: Serial Data
CTXD	: CAN Transmit Data	SI30, SI31	: Serial Input
IC	: Internally Connected	SO30, SO31	: Serial Output
INTP0-INTP7	: Interrupt from Peripherals	TI000, TI010, TI001,	
IRX0	: IEBus Receive Data	TI011, TI50, TI51,	
ITX0	: IEBus Transmit Data	TI52	: Timer Input
P00-P07	: Port0	TO00, TO01, TO50,	
P20-P27	: Port2	TO51, TO52	: Timer Output
P30-P36	: Port3	TxD0	: Transmit Data (for UART0)
P40-P47	: Port4	V _{DD0} , V _{DD1}	: Power Supply
P50-P57	: Port5	V _{PP}	: Programming Power Supply
P64-P67	: Port6	V _{SS0} , V _{SS1}	: Ground
P70-P77	: Port7	X1, X2	: Crystal
P80-P87	: Port8		

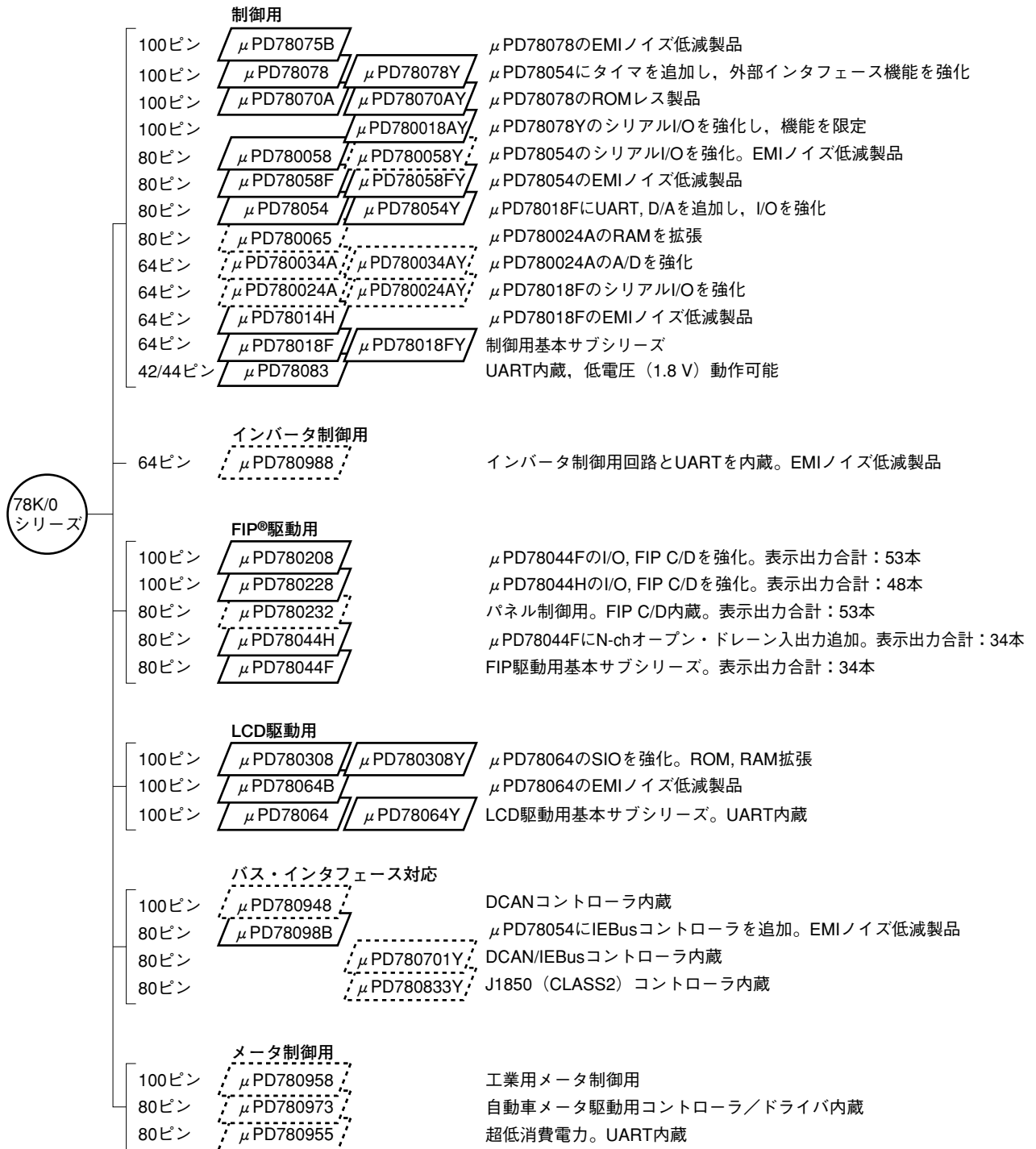
1.5 78K/0シリーズの展開

78K/0シリーズの製品展開を示します。枠内はサブシリーズ名称です。

 量産中の製品

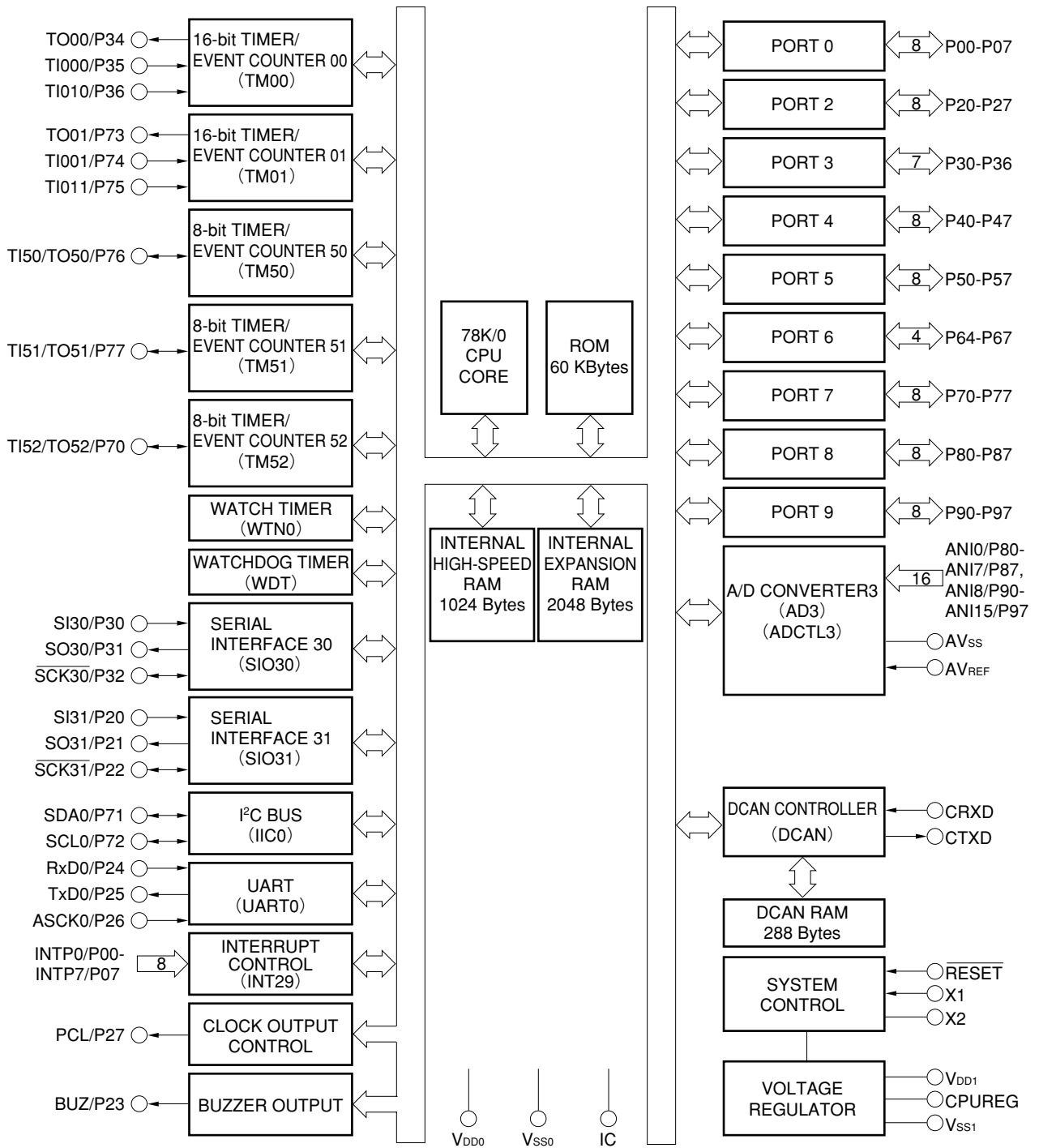
 開発中の製品

Yサブシリーズは、I²Cバス対応の製品です。

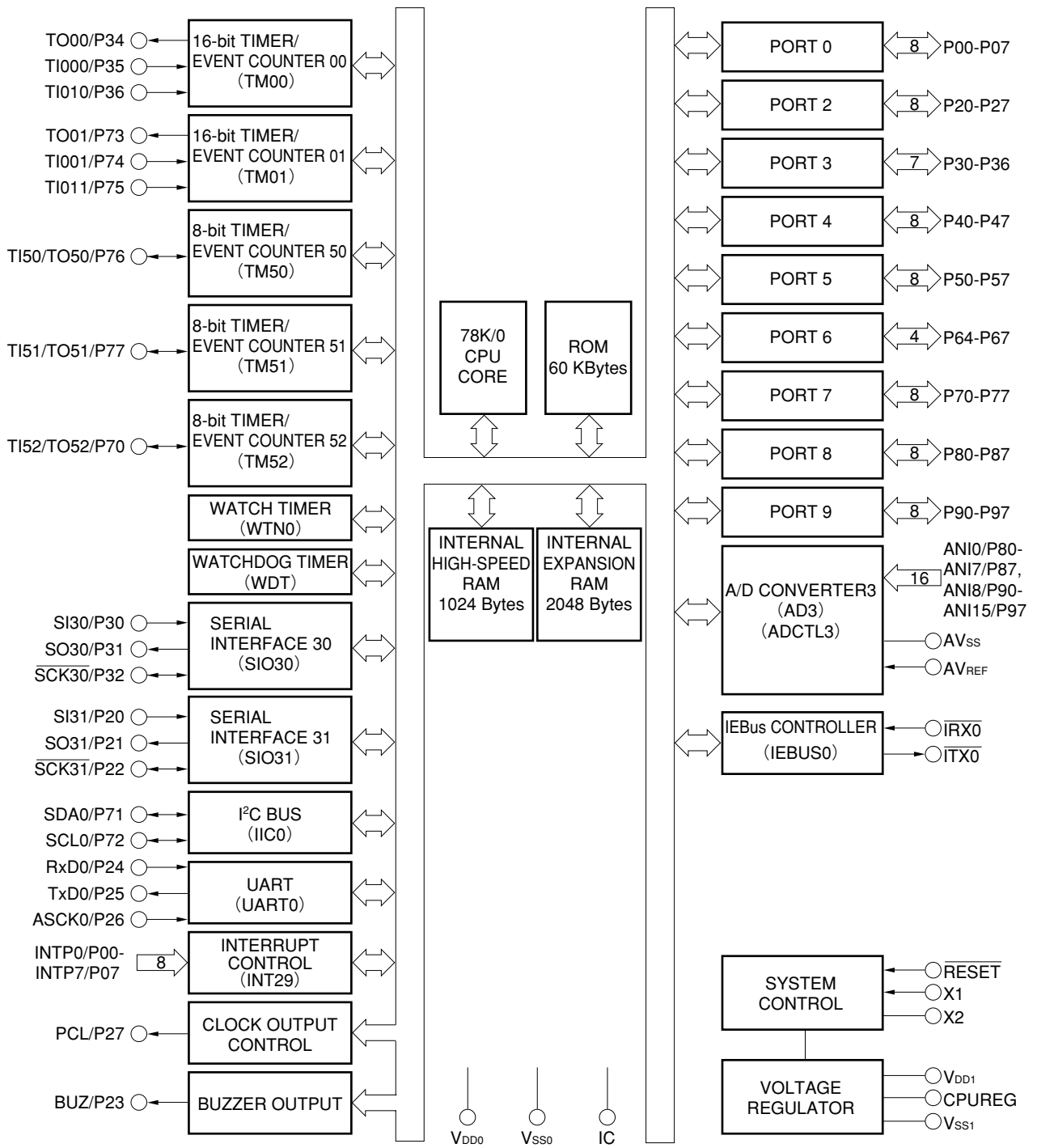


1.6 ブロック図

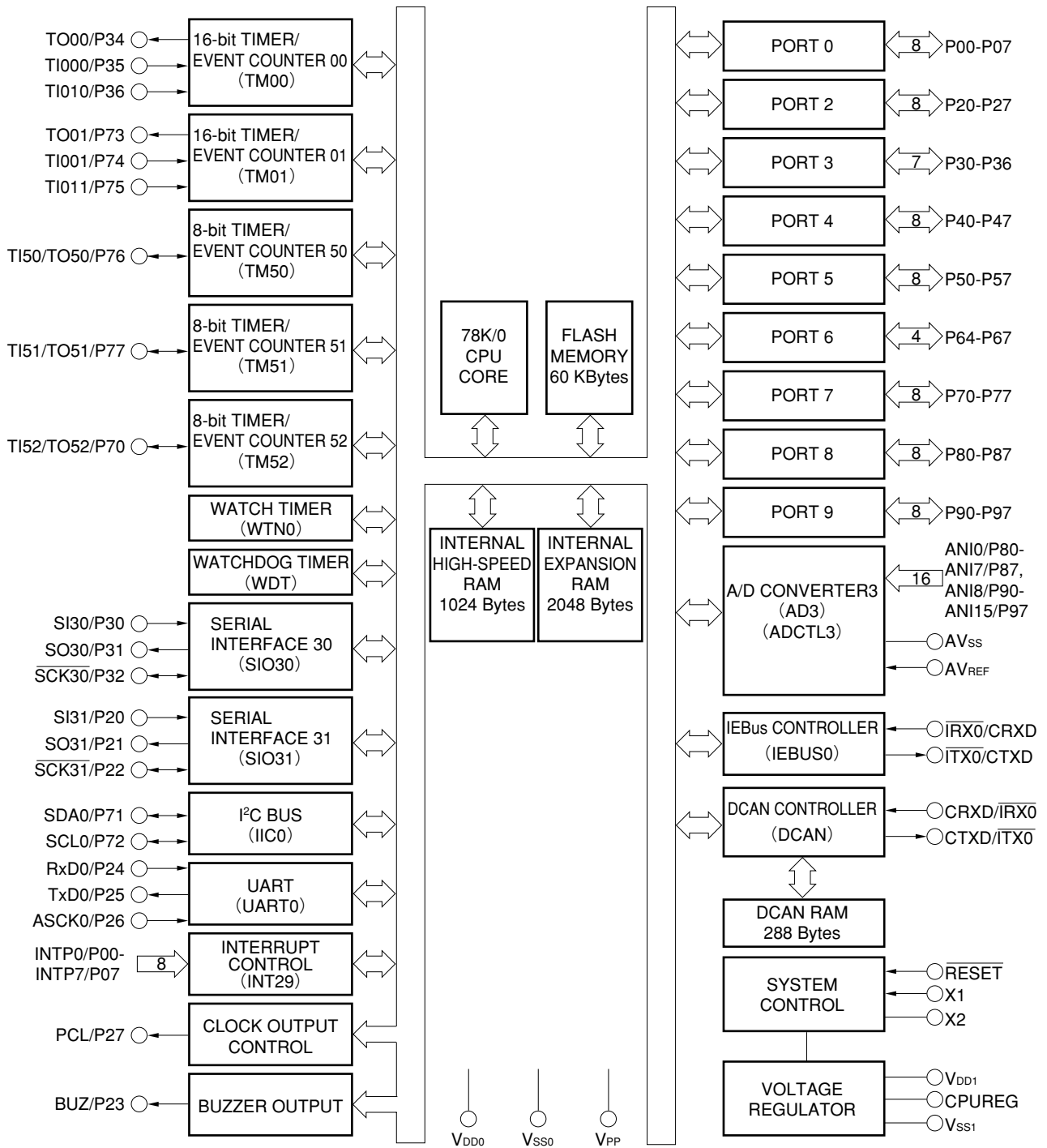
(1) μ PD780701Y



(2) μ PD780702Y



(3) μ PD78F0701Y



1.7 機能概要

項 目		μPD780701Y	μPD780702Y	μPD78F0701Y
内部メモリ	フラッシュ・メモリ	60 Kバイト (マスクROM)		60 Kバイト (フラッシュ・メモリ)
	高速RAM	1024バイト		
	拡張RAM	2048バイト		
	DCAN用バッファRAM	288バイト	—	288バイト
最小命令実行時間		最小命令実行時間の可変機能内蔵 ・0.32 μs/0.64 μs/1.27 μs/2.54 μs/5.09 μs (システム・クロック：6.29 MHz動作時)		
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)		
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ビット操作 (セット, リセット, テスト, ブール演算) ・BCD補正など 		
I/Oポート		合計 : 67本 ・CMOS入出力 : 56本 ・TTL入力/CMOS出力 : 8本 ・N-chオープン・ドレイン入出力 : 3本		
A/Dコンバータ		<ul style="list-style-type: none"> ・8ビット分解能×16チャンネル ・パワー・フェイル検出機能 		
シリアル・インタフェース		<ul style="list-style-type: none"> ・3線式シリアルI/Oモード : 2チャンネル ・UARTモード : 1チャンネル ・I²Cバス・モード : 1チャンネル 		
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ/イベント・カウンタ : 2チャンネル ・8ビット・タイマ/イベント・カウンタ : 3チャンネル ・時計用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 		
タイマ出力		5本 (8ビットPWM出力可能：3本)		
バス・コントローラ		DCANコントローラ	IEBusコントローラ	DCANコントローラ/ IEBusコントローラ ^注
クロック出力		49.2 kHz, 98.3 kHz, 197 kHz, 393 kHz, 786 kHz, 1.57 MHz, 3.15 MHz, 6.29 MHz (システム・クロック：6.29 MHz動作時)		
ブザー出力		0.768 kHz, 1.54 kHz, 3.07 kHz, 6.14 kHz (システム・クロック：6.29 MHz動作時)		
ベクタ割り込み 要因	マスカブル	内部：20, 外部：8	内部：19, 外部：8	内部：20, 外部：8
	ノンマスカブル	内部：1		
	ソフトウェア	1		
電源電圧		V _{DD} = 3.5~5.5 V		
動作周囲温度		T _A = -40~+85 °C		
パッケージ		80ピン・プラスチックQFP (□14 mm)		

注 DCANコントローラとIEBusコントローラを内蔵していますが、同時に使用できません。

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子 (1/2)

端子名称	入出力	機 能		リセット時	兼用端子
P00-P07	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	INTP0-INTP7
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	SI31
P21					SO31
P22					SCK31
P23					BUZ
P24					RxD0
P25					TxD0
P26					ASCK0
P27					PCL
P30	入出力	ポート3。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	SI30
P31			N-chオープン・ドレイン入出力ポート (15V耐圧)。 LEDを直接駆動可能。		SO30
P32					SCK30
P33		ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	—		
P34			TO00		
P35			TI000		
P36			TI010		
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 立ち下がりエッジの検出により、割り込み要求フラグ (KRIF) を1にセット。		入力	—
P50-P57	入出力	ポート5。 8ビット入出力ポート。 TTLレベル入力/CMOS出力。 1ビット単位で入力/出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	—
P64-P67	入出力	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	—

(1) ポート端子 (2/2)

端子名称	入出力	機 能		リセット時	兼用端子
P70	入出力	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	TI52/TO52
P71			N-chオープン・ドレイン入出力ポート (5V耐圧)。		SDA0
P72					SCL0
P73			ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		TO01
P74					TI001
P75					TI011
P76					TI50/TO50
P77					TI51/TO51
P80-P87	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。		入力	ANI0-ANI7
P90-P97	入出力	ポート9。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。		入力	ANI8-ANI15

(2) ポート以外の端子 (1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTP0-INTP7	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりエッジの両エッジ) 指定可能な外部割り込み入力。	入力	P00-P07
SI30	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P30
SI31				P20
SO30	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P31
SO31				P21
SDA0	入出力	シリアル・インタフェースのシリアル・データ入力/出力。	入力	P71
$\overline{\text{SCK30}}$	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入力	P32
$\overline{\text{SCK31}}$				P22
SCL0				P72
RxD0	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P24
TxD0	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P25
ASCK0	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入力	P26
CRXD	入力	DCANコントローラ (DCAN) のデータ入力。 (μ PD780701Y, 78F0701Yのみ)	入力	$\overline{\text{IRX0}}$ 注
CTXD	出力	DCANコントローラ (DCAN) のデータ出力。 (μ PD780701Y, 78F0701Yのみ)	出力	$\overline{\text{ITX0}}$ 注
$\overline{\text{IRX0}}$	入力	IEBusコントローラ (IEBUS0) のデータ入力。 (μ PD780702Y, 78F0701Yのみ)	入力	CRXD注
$\overline{\text{ITX0}}$	出力	IEBusコントローラ (IEBUS0) のデータ出力。 (μ PD780702Y, 78F0701Yのみ)	出力	CTXD注
TI000	入力	16ビット・タイマ (TM00) への外部カウント・クロック入力。	入力	P35
TI010		16ビット・タイマ (TM00) への外部カウント・クロック入力。		P36
TI001		16ビット・タイマ (TM01) への外部カウント・クロック入力。		P74
TI011		16ビット・タイマ (TM01) への外部カウント・クロック入力。		P75
TI50		8ビット・タイマ (TM50) への外部カウント・クロック入力。		P76/TO50
TI51		8ビット・タイマ (TM51) への外部カウント・クロック入力。		P77/TO51
TI52		8ビット・タイマ (TM52) への外部カウント・クロック入力。		P70/TO52
TO00		出力		16ビット・タイマ (TM00) 出力。
TO01	16ビット・タイマ (TM01) 出力。		P73	
TO50	8ビット・タイマ (TM50) 出力。		P76/TO50	
TO51	8ビット・タイマ (TM51) 出力。		P77/TO51	
TO52	8ビット・タイマ (TM52) 出力。		P70/TO52	
PCL	出力	クロック出力。	入力	P27
BUZ	出力	ブザー出力。	入力	P23
ANI0-ANI7	入力	A/Dコンバータ (AD3) のアナログ入力。	入力	P80-P87
ANI8-ANI15				P90-P97
AV _{REF}	入力	A/Dコンバータ (AD3) の基準電圧およびアナログ電源。	—	—
AV _{SS}	—	A/Dコンバータ (AD3) のグラウンド電位。	—	—
X1	入力	システム・クロック発振用クリスタル接続。	—	—
X2	—		—	—

注 μ PD78F0701Yのみ兼用端子があります。

(2) ポート以外の端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
RESET	入力	システム・リセット入力。	入力	—
CPUREG	—	CPU電源用レギュレータ。0.1 μ Fのコンデンサを介してV _{SS0} またはV _{SS1} に接続してください。	— —	— —
V _{DD0}	—	ポート部の正電源。	—	—
V _{DD1}	—	正電源（ポート、アナログ部を除く）。	—	—
V _{SS0}	—	ポート部のグランド電位。	—	—
V _{SS1}	—	グランド電位（ポート、アナログ部を除く）。	—	—
IC	—	内部接続されています。V _{SS0} またはV _{SS1} に直接接続してください。	—	—
V _{PP}	—	プログラム書き込み／ベリファイ時の高電圧印加。通常モード時は、V _{SS0} またはV _{SS1} に直接接続してください。	—	—

2.2 端子機能の説明

2.2.1 P00-P07 (ポート0)

8ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。

ポート・モード・レジスタ0 (PM0) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力 (INTP0-INTP7) として機能します。

INTP0-INTP7は、有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

2.2.2 P20-P27 (ポート2)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのシリアル・データ入出力、シリアル・クロック入出力、ブザー出力、クロック出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。

ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ2 (PU2) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのシリアル・データ入出力、シリアル・クロック入出力、ブザー出力、クロック出力として機能します。

(a) SI31,SO31

シリアル・インタフェース (SIO31) のシリアル・データの入出力端子です。

(b) $\overline{\text{SCK31}}$

シリアル・インタフェース (SIO31) のシリアル・クロックの入出力端子です。

(c) RxD0,TxD0

アシンクロナス・シリアル・インタフェースのシリアル・データの入出力端子です。

(d) ASCK0

アシンクロナス・シリアル・インタフェースのシリアル・クロックの入力端子です。

(e) BUZ

ブザー出力端子です。

(f) PCL

クロック出力端子です。

2.2.3 P30-P36 (ポート3)

7ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのシリアル・クロック入出力、シリアル・データ入出力、タイマの入出力機能があります。

P33はLED直接駆動可能です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

7ビットの入出力ポートとして機能します。

ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。P33はN-chオープン・ドレイン入出力になっています。

P30-P32, P34-P36は、プルアップ抵抗オプション・レジスタ3 (PU3) により、1ビット単位で内蔵プルアップ抵抗を使用できます。また、P35, P36は、有効エッジの入力により、16ビット・タイマ/イベント・カウンタ (TM00) のキャプチャ・トリガ信号入力端子にもなります。

(2) コントロール・モード

シリアル・インタフェースのシリアル・クロック入出力、シリアル・データ入出力、タイマ入出力として機能します。

(a) SI30,SO30

シリアル・インタフェース (SIO30) のシリアル・データの入出力端子です。

(b) $\overline{\text{SCK30}}$

シリアル・インタフェース (SIO30) のシリアル・クロックの入出力端子です。

(c) TO00

タイマの出力端子です。

(d) TI000

16ビット・タイマ/イベント・カウンタ (TM00) への外部カウント・クロック入力端子およびTM00のキャプチャ・レジスタ (CR010) へのキャプチャ・トリガ信号入力端子です。

(e) TI010

16ビット・タイマ/イベント・カウンタ (TM00) のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ信号入力端子です。

2.2.4 P40-P47 (ポート4)

8ビットの入出力ポートです。

立ち下がリエッジの検出により、割り込み要求フラグ (KRIF) を1にセットできます。

ポート・モード・レジスタ4 (PM4) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

2.2.5 P50-P57 (ポート5)

8ビットの入出力ポートです。TTLレベル入力/CMOS出力です。ポート・モード・レジスタ5 (PM5) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5 (PU5) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

2.2.6 P64-P67 (ポート6)

4ビットの入出力ポートです。ポート・モード・レジスタ6 (PM6) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ6 (PU6) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

2.2.7 P70-P77 (ポート7)

8ビットの入出力ポートです。入出力ポートのほかにタイマの入出力、シリアル・インタフェースのシリアル・データ入出力、シリアル・クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。

ポート・モード・レジスタ7 (PM7) により、1ビット単位で入力ポートまたは出力ポートに指定できます。P71, P72は、N-chオープン・ドレイン入出力になっています。

P70, P73-P77は、プルアップ抵抗オプション・レジスタ7 (PU7) により、1ビット単位で内蔵プルアップ抵抗を使用できます。また、P74, P75は、有効エッジの入力により、16ビット・タイマ/イベント・カウンタ (TM01) のキャプチャ・トリガ信号入力端子にもなります。

(2) コントロール・モード

タイマの入出力、シリアル・インタフェースのシリアル・データ入出力、シリアル・クロック入出力として機能します。

(a) TO01, TO50-TO52

タイマの出力端子です。

(b) TI001

16ビット・タイマ/イベント・カウンタ (TM01) への外部カウント・クロック入力端子およびTM01のキャプチャ・レジスタ (CR011) へのキャプチャ・トリガ信号入力端子です。

(c) TI011

16ビット・タイマ/イベント・カウンタ (TM01) のキャプチャ・レジスタ (CR001) へのキャプチャ・トリガ信号入力端子です。

(d) TI50-TI52

8ビット・タイマ/イベント・カウンタへの外部カウント・クロック入力端子です。

(e) SDA0

シリアル・インタフェース (IIC0) のシリアル・データの入出力端子です。

(f) SCL0

シリアル・インタフェース (IIC0) のシリアル・クロックの入出力端子です。

2.2.8 P80-P87 (ポート8)

8ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ8 (PM8) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI7) として機能します。

2.2.9 P90-P97 (ポート9)

8ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ9 (PM9) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI8-ANI15) として機能します。

2.2.10 CTXD (μ PD780701Y, 78F0701Yのみ)

DCANコントローラのデータ出力端子です。

2.2.11 CRXD (μ PD780701Y, 78F0701Yのみ)

DCANコントローラのデータ入力端子です。

2.2.12 $\overline{\text{ITX0}}$ (μ PD780702Y, 78F0701Yのみ)

IEBusコントローラのデータ出力端子です。

2.2.13 $\overline{\text{IRX0}}$ (μ PD780702Y, 78F0701Yのみ)

IEBusコントローラのデータ入力端子です。

2.2.14 AVREF

A/Dコンバータの基準電圧入力端子です。アナログ電源を兼用しています。A/Dコンバータを使用しないときでも、常にV_{DD0}端子と同電位で使用してください。

2.2.15 AVss

A/Dコンバータのグラウンド電位です。A/Dコンバータを使用しないときでも、常にV_{SS0}端子と同電位で使用してください。

2.2.16 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.17 X1, X2

システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

2.2.18 CPUREG

CPU電源用レギュレータ端子です。0.1 μ Fのコンデンサを介してV_{SS0}またはV_{SS1}に接続してください。

2.2.19 V_{DD0}, V_{DD1}

V_{DD0}は、ポート部の正電源供給端子です。

V_{DD1}は、ポート部以外の正電源供給端子です。

2.2.20 V_{SS0}, V_{SS1}

V_{SS0}は、ポート部のグラウンド電位端子です。

V_{SS1}は、ポート部以外のグラウンド電位端子です。

2.2.21 VPP (μ PD78F0701Yのみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み／ベリファイ時の高電圧印加端子です。

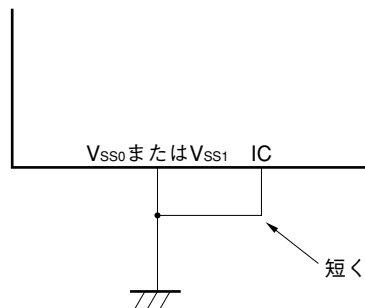
通常動作モード時は、V_{SS0}、V_{SS1}に直接接続してください。

2.2.22 IC (μ PD780701Y, 780702Yのみ)

IC (Internally Connected) 端子は、当社出荷時に μ PD780701Yサブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作モード時には、IC端子をV_{SS0}端子またはV_{SS1}端子に直接接続し、その配線長を極力短くしてください。

IC端子とV_{SS0}端子またはV_{SS1}端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とV_{SS0}端子またはV_{SS1}端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

○IC端子をV_{SS0}端子またはV_{SS1}端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表2-1に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

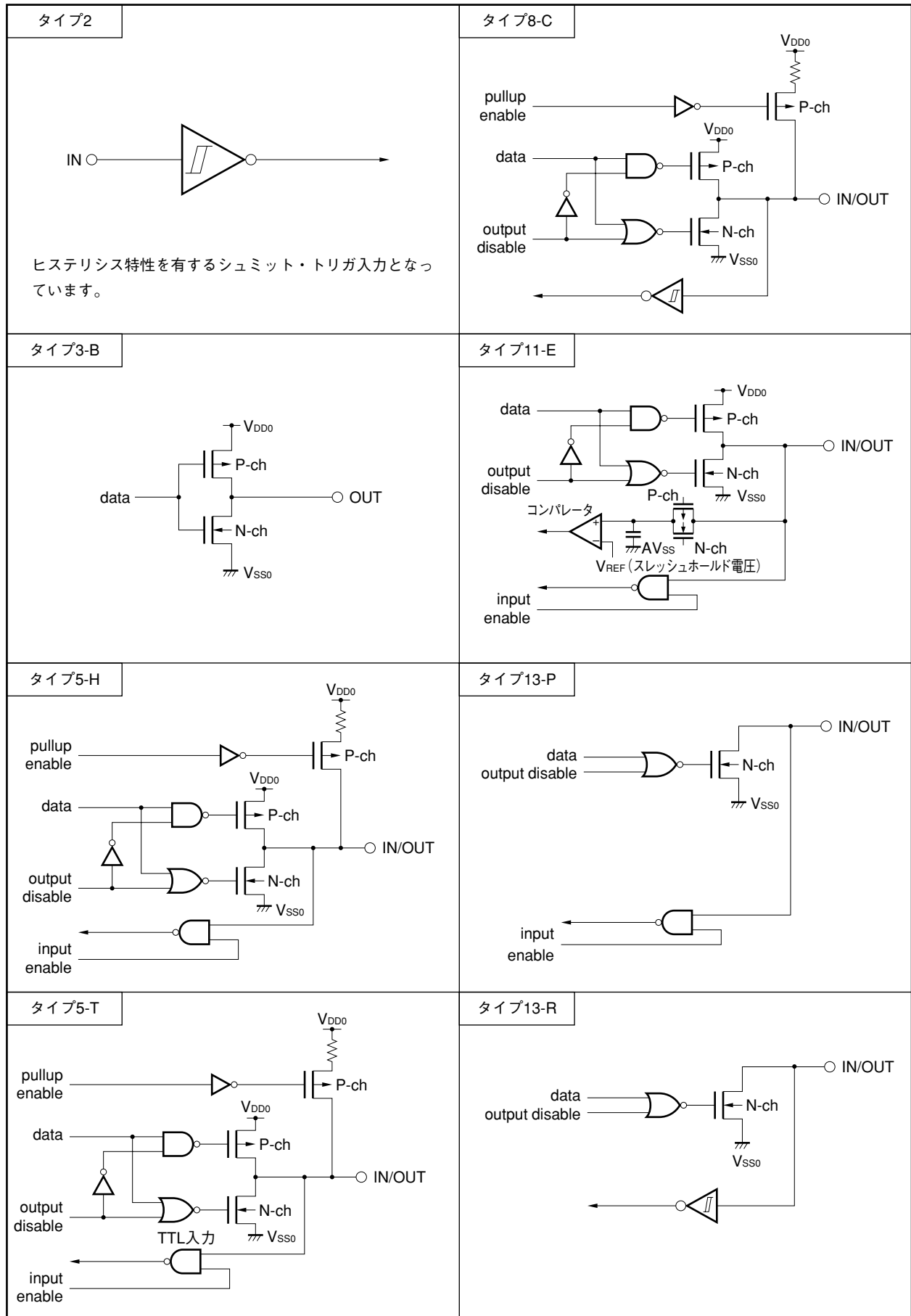
表2-1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法	
P00/INTP0-P07/INTP7	8-C	入出力	個別に抵抗を介して、V _{SS0} に接続してください。	
P20/SI31			個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続してください。	
P21/SO31			5-H	
P22/ $\overline{\text{SCK31}}$			8-C	
P23/BUZ			5-H	
P24/RxD0			8-C	
P25/TxD0			5-H	
P26/ASCK0			8-C	
P27/PCL			5-H	
P30/SI30			8-C	
P31/SO30			5-H	
P32/ $\overline{\text{SCK30}}$			8-C	
P33			13-P	抵抗を介して、V _{DD0} に接続してください。
P34/TO00			5-H	個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続してください。
P35/TI000	8-C			
P36/TI010				
P40-P47	5-H	個別に抵抗を介して、V _{DD0} に接続してください。		
P50-P57	5-T	個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続してください。		
P64-P67	5-H			
P70/TI52/TO52				
P71/SDA0				13-R
P72/SCL0				
P73/TO01	5-H	個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続してください。		
P74/TI001	8-C			
P75/TI011				
P76/TI50/TO50				
P77/TI51/TO51				
P80/ANI0-P87/ANI7	11-E			
P90/ANI8-P97/ANI15				
CRXD ^{注1} / $\overline{\text{IRX0}}$ ^{注2}	2	入力	抵抗を介して、V _{DD0} またはV _{SS0} に接続してください。	
CTXD ^{注1} / $\overline{\text{ITX0}}$ ^{注2}	3-B	出力	オープンにしてください。	
RESET	2	入力	—	
AV _{REF}	—	—	V _{DD0} に接続してください。	
AV _{SS}			V _{SS0} に接続してください。	
V _{PP}			V _{SS0} またはV _{SS1} に直接接続してください。	
IC				

注1. μ PD780701Y, 78F0701Yのみ。

2. μ PD780702Y, 78F0701Yのみ。

図2-1 端子の入出力回路一覧



第3章 CPUアーキテクチャ

3.1 メモリ空間

μPD780701Yサブシリーズは、それぞれ64 Kバイトのメモリ空間をアクセスできます。図3-1から図3-3にメモリ・マップを示します。

図3-1 メモリ・マップ (μPD780701Y)

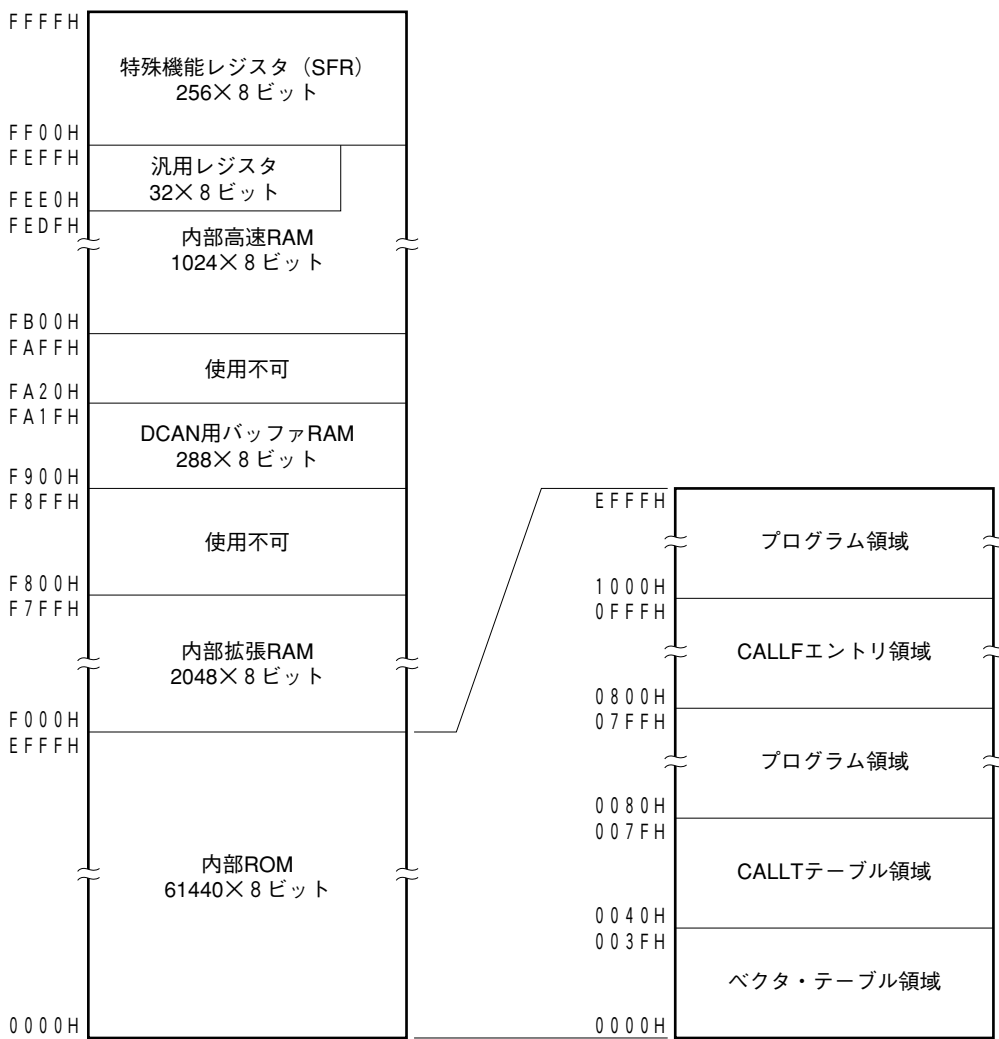


図3-2 メモリ・マップ (μPD780702Y)

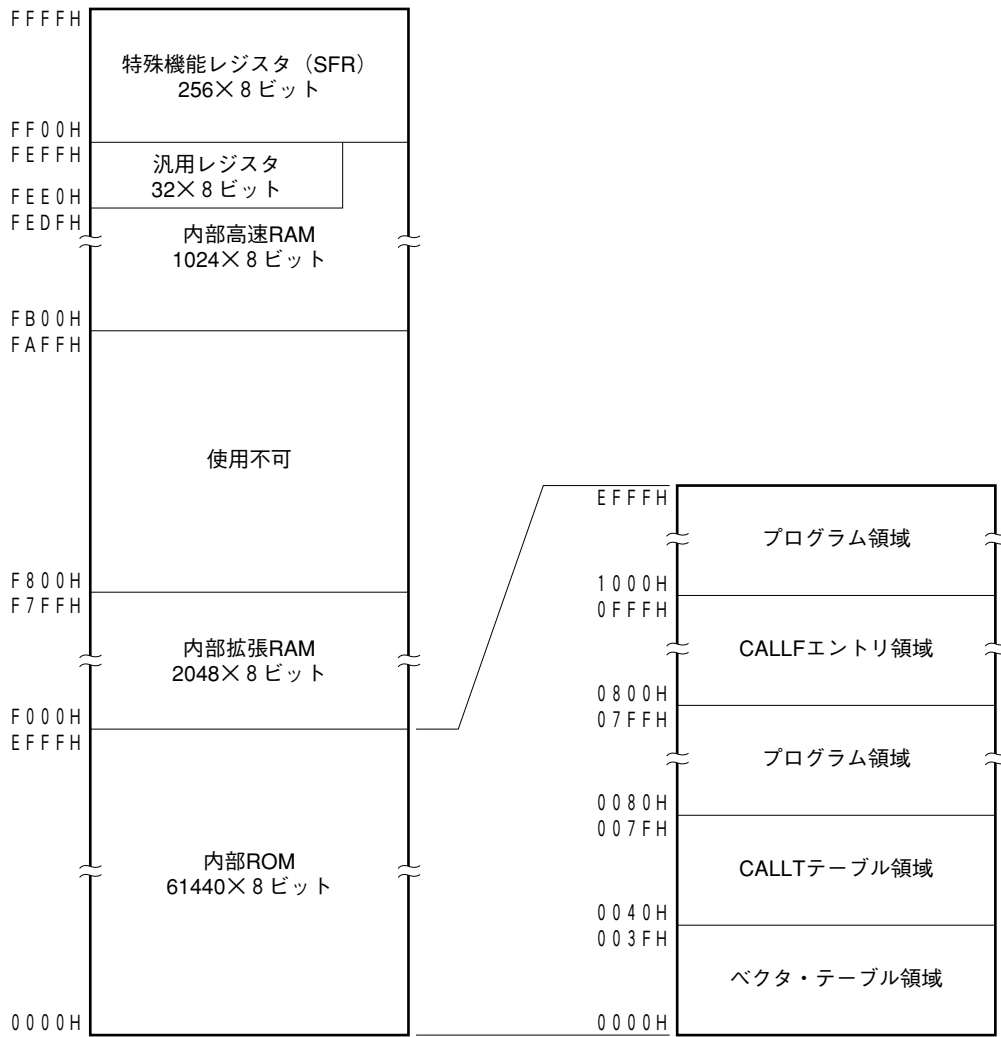
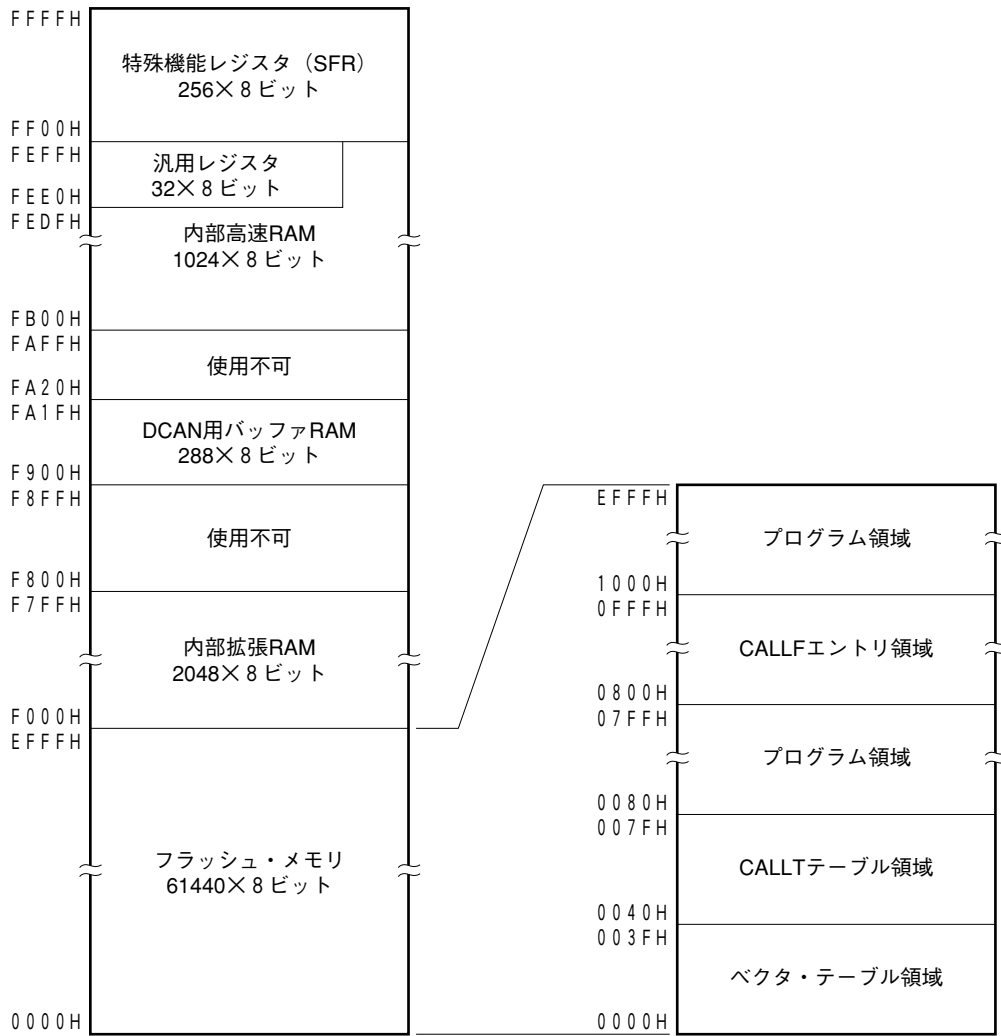


図3-3 メモリ・マップ (μPD78F0701Y)



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなど格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD780701Yサブシリーズは、各製品ごとに次に示す内部ROM（またはフラッシュ・メモリ）を内蔵しています。

表3-1 内部メモリ容量

製 品	内部ROM	
	構 造	容 量
μPD780701Y, 780702Y	マスクROM	61440×8ビット (0000H-EFFFH)
μPD78F0701Y	フラッシュ・メモリ	

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、 $\overline{\text{RESET}}$ 入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
0000H	RESET入力	0022H	INTCE ^{注1}
0004H	INTWDT	0024H	INTCR ^{注1} /INTIE1 ^{注2}
0006H	INTP0	0026H	INTCT ^{注1} /NTIE2 ^{注2}
0008H	INTP1	0028H	INTWTNIO
000AH	INTP2	002AH	INTTM000
000CH	INTP3	002CH	INTTM010
000EH	INTP4	002EH	INTTM001
0010H	INTP5	0030H	INTTM011
0012H	INTP6	0032H	INTTM50
0014H	INTP7	0034H	INTTM51
0016H	INTSER0	0036H	INTTM52
0018H	INTSR0	0038H	INTAD
001AH	INTST0	003AH	INTWTN0
001CH	INTCSI30	003CH	INTKR
001EH	INTCSI31	003EH	BRK
0020H	INTIIC0		

注1. μPD780701Y, 78F0701Yのみ。

2. μPD780702Y, 78F0701Yのみ。

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令 (CALLT) のサブルーチン・エン트리・アドレスを格納できます。

(3) CALLF命令エン트리領域

0800H-0FFFHの領域は、2バイト・コール命令 (CALLF) で直接サブルーチン・コールできます。

3.1.2 内部データ・メモリ空間

μPD780701Yサブシリーズは、次に示すRAMを内蔵しています。

(1) 内部高速RAM

FB00H-FEFFFHの1024×8ビット構成となっています。このうちFEE0H-FEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

また、内部高速RAMはスタック・メモリとしても使用できます。

(2) DCAN用バッファRAM (μPD780701Y, 78F0701Yのみ)

F900H-FA1FHの288バイトの領域にはDCAN用バッファRAMが割り付けられています。DCAN用バッファRAMは、通常のRAMとしても使用できます。

(3) 内部拡張RAM

F000H-F7FFFHの2048バイトの領域には内部拡張RAMが割り付けられています。

3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.3 特殊機能レジスタ (SFR : Special Function Register) の表3-4 特殊機能レジスタ一覧参照)。

注意 SFRを割り付けていないアドレスをアクセスしないでください。

3.1.4 外部メモリ空間

メモリ拡張モード・レジスタ (MEM) の設定によりアクセスが可能な外部メモリ空間です。プログラム、テーブル・データなどの格納、および周辺デバイスを割り付けることができます。

3.1.5 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

次に実行する命令のアドレスはプログラム・カウンタ（PC）によりアドレスされます（詳細については、3.3 命令アドレスのアドレッシングを参照してください）。

一方、命令を実行する際に操作対象となるメモリのアドレッシングについて、 μ PD780701Yサブシリーズでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-4から図3-6にデータ・メモリのアドレッシングを示します。各アドレッシングの詳細については、3.4 オペランド・アドレスのアドレッシングを参照してください。

図3-4 データ・メモリのアドレッシング（ μ PD780701Y）

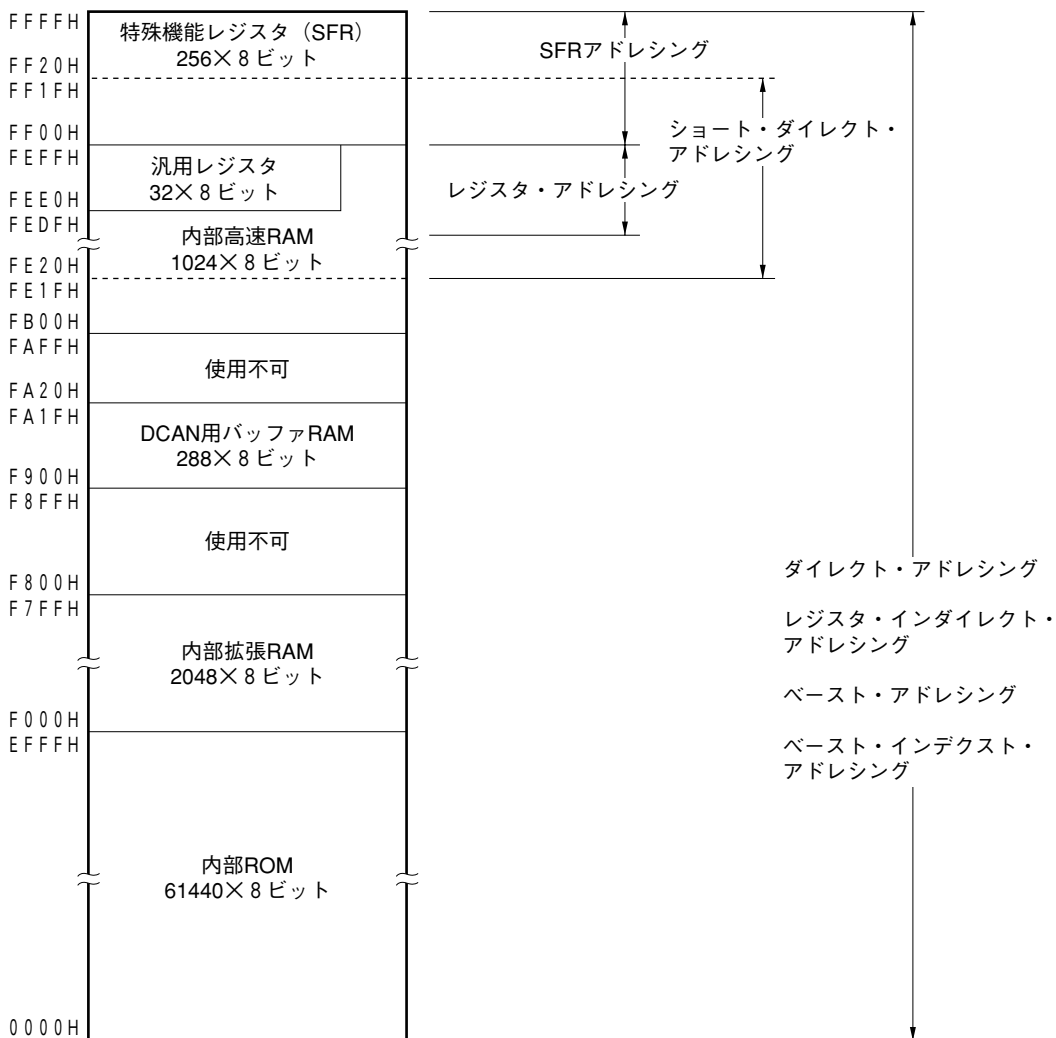


図3-5 データ・メモリのアドレッシング (μPD780702Y)

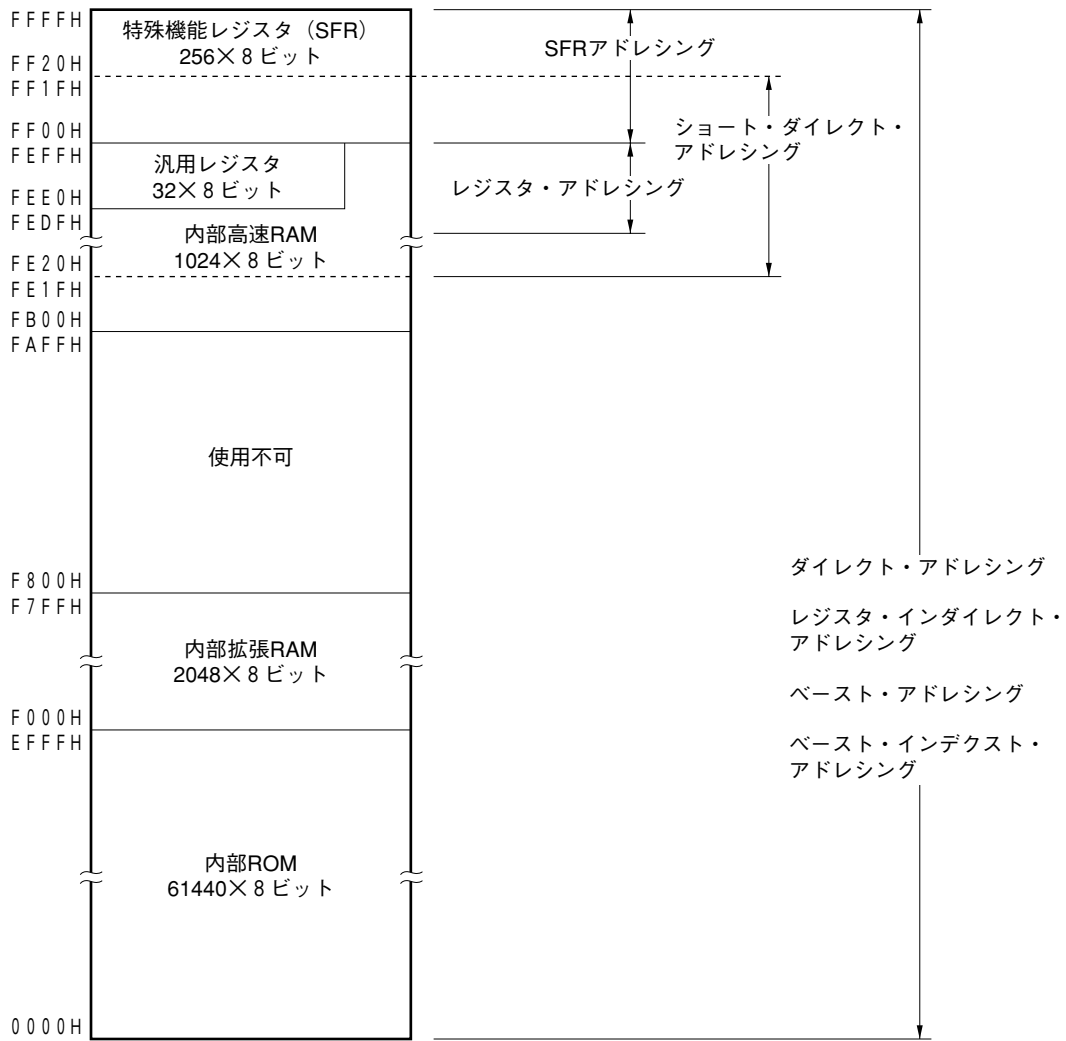
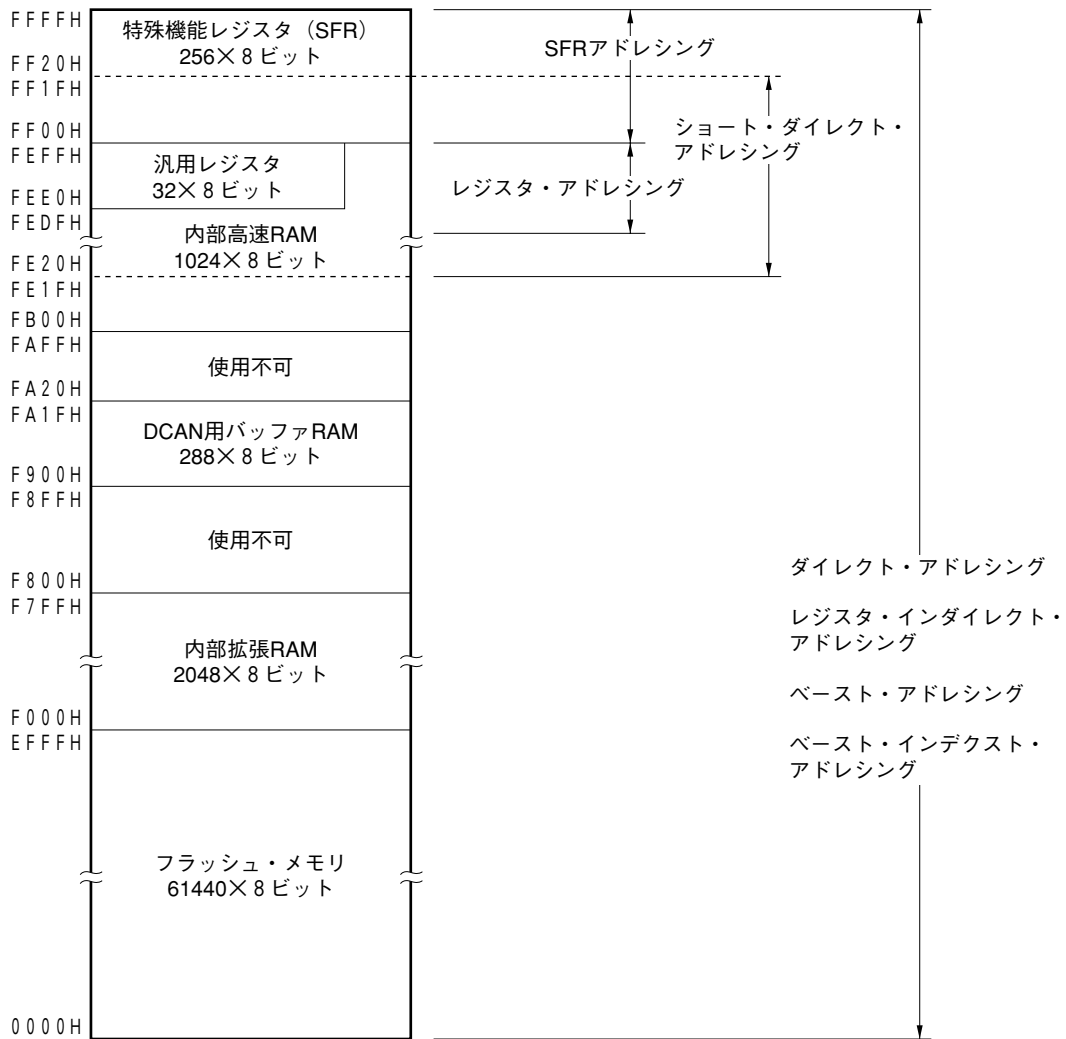


図3-6 データ・メモリのアドレッシング (μ PD78F0701Y)



3.2 プロセッサ・レジスタ

μPD780701Yサブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

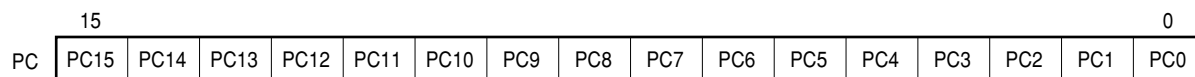
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエイト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-7 プログラム・カウンタの構成



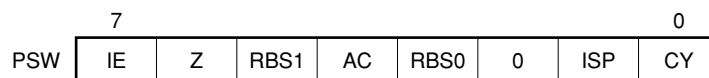
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETB、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3-8 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスクブル割り込み以外の割り込み要求はすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサース・プライオリティ・フラグ (ISP)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込み要求の受け付けでリセット (0) され、EI命令の実行によりリセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP)

受け付け可能なマスクブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) (17.3 (3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

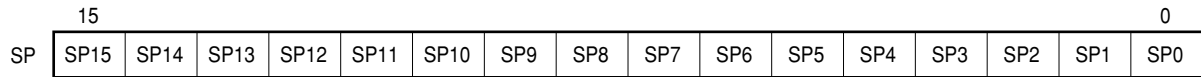
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域 (FB00H-FEFFFH) のみ設定可能です。

図3-9 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避／復帰されるデータは図3-10、図3-11のようになります。

注意 SPの内容は $\overline{\text{RESET}}$ 入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3-10 スタック・メモリへ退避されるデータ

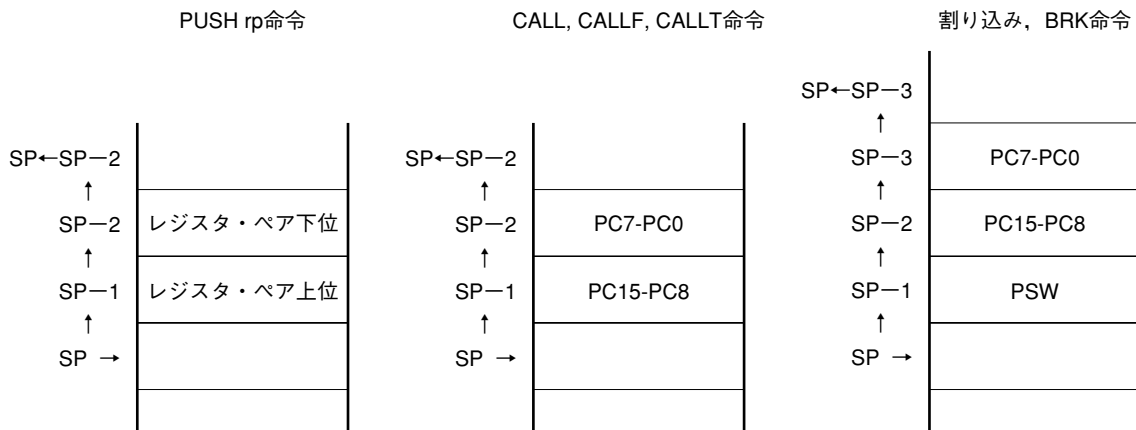
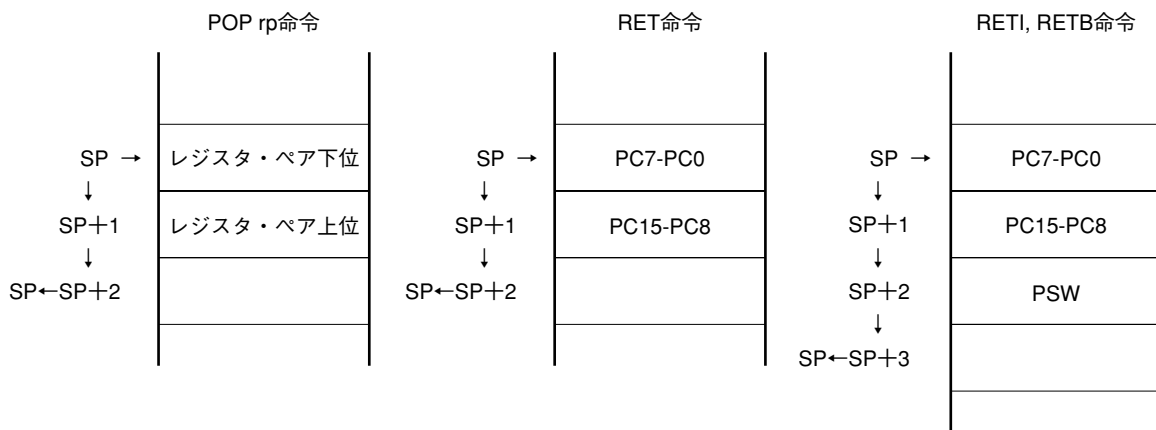


図3-11 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地（FEE0H-FEFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

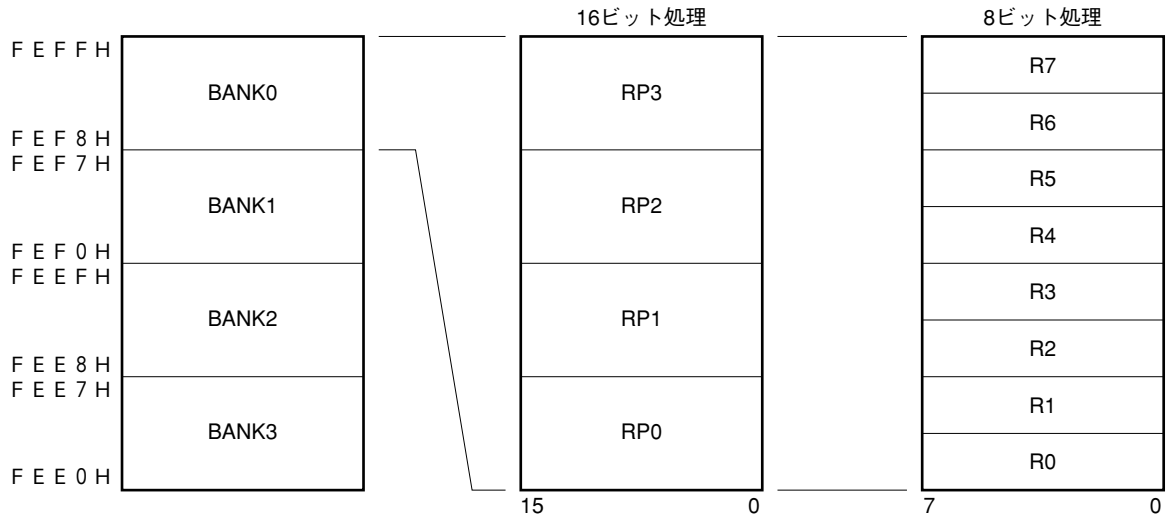
命令実行時に使用するレジスタ・バンクは、CPU制御命令（SEL RBn）によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

表3-3 汎用レジスタの絶対アドレス対照表

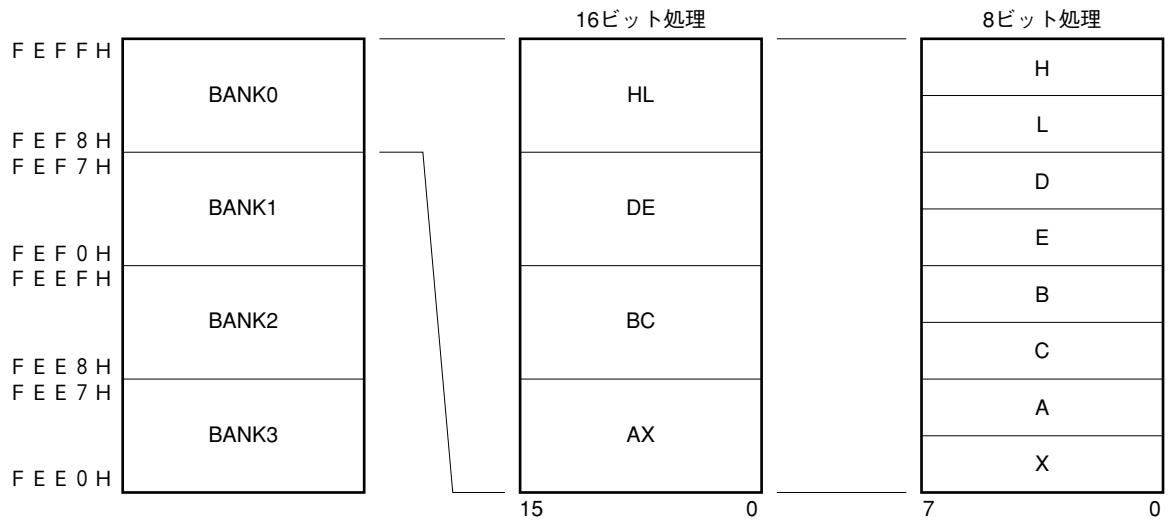
バンク名	レジスタ		絶対アドレス	バンク名	レジスタ		絶対アドレス
	機能名称	絶対名称			機能名称	絶対名称	
BANK0	H	R7	F E F F H	BANK2	H	R7	F E E F H
	L	R6	F E F E H		L	R6	F E E E H
	D	R5	F E F D H		D	R5	F E E D H
	E	R4	F E F C H		E	R4	F E E C H
	B	R3	F E F B H		B	R3	F E E B H
	C	R2	F E F A H		C	R2	F E E A H
	A	R1	F E F 9 H		A	R1	F E E 9 H
	X	R0	F E F 8 H		X	R0	F E E 8 H
BANK1	H	R7	F E F 7 H	BANK3	H	R7	F E E 7 H
	L	R6	F E F 6 H		L	R6	F E E 6 H
	D	R5	F E F 5 H		D	R5	F E E 5 H
	E	R4	F E F 4 H		E	R4	F E E 4 H
	B	R3	F E F 3 H		B	R3	F E E 3 H
	C	R2	F E F 2 H		C	R2	F E E 2 H
	A	R1	F E F 1 H		A	R1	F E E 1 H
	X	R0	F E F 0 H		X	R0	F E E 0 H

図3-12 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFH の領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド (sfr. bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-4に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

特殊機能レジスタのアドレスを示す略号です。

RA78K/0で予約語に、CC78K/0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

RA78K/0, ID78K0-NS, ID78K0, SM78K0使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し (Read) /書き込み (Write) 可能かどうかを示します。

R/W : 読み出し/書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を○で示します。-は操作できないビット単位であることを示します。

- リセット時

$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表3-4 特殊機能レジスタ一覧 (1/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時	
				1ビット	8ビット	16ビット		
FF00H	ポート0	P0	R/W	○	○	—	00H	
FF02H	ポート2	P2		○	○	—		
FF03H	ポート3	P3		○	○	—		
FF04H	ポート4	P4		○	○	—	不定	
FF05H	ポート5	P5		○	○	—		
FF06H	ポート6	P6		○	○	—		
FF07H	ポート7	P7		○	○	—	00H	
FF08H	ポート8	P8		○	○	—		
FF09H	ポート9	P9		○	○	—		
★ FF0AH	16ビット・タイマ・キャプチャ/コンペア・レジスタ000	CR000	R/W	—	—	○	0000H	
FF0BH				—	—	—		
★ FF0CH	16ビット・タイマ・キャプチャ/コンペア・レジスタ010	CR010		—	—	○		
FF0DH				—	—	—		
FF0EH	16ビット・タイマ/カウンタ00	TM00		R	—	—		○
FF0FH				R	—	—		—
★ FF10H	16ビット・タイマ・キャプチャ/コンペア・レジスタ001	CR001		R/W	—	—	○	
FF11H					—	—	—	
★ FF12H	16ビット・タイマ・キャプチャ/コンペア・レジスタ011	CR011			—	—	○	
FF13H			—		—	—		
FF14H	16ビット・タイマ/カウンタ01	TM01	R		—	—	○	
FF15H			R		—	—	—	
FF17H	A/D変換結果レジスタ3	ADCR3			—	○	—	不定
FF18H	送信シフト・レジスタ0	TXS0	W		—	○	—	FFH
	受信バッファ・レジスタ0	RXB0	R		—	○	—	
★ FF1AH	シリアルI/Oシフト・レジスタ30	SIO30	R/W	—	○	—	00H	
★ FF1BH	シリアルI/Oシフト・レジスタ31	SIO31		—	○	—		
FF1FH	IIC0シフト・レジスタ	IIC0		—	○	—		
FF20H	ポート・モード・レジスタ0	PM0		○	○	—	FFH	
FF22H	ポート・モード・レジスタ2	PM2		○	○	—		
FF23H	ポート・モード・レジスタ3	PM3		○	○	—		
FF24H	ポート・モード・レジスタ4	PM4		○	○	—		
FF25H	ポート・モード・レジスタ5	PM5		○	○	—		
FF26H	ポート・モード・レジスタ6	PM6		○	○	—		
FF27H	ポート・モード・レジスタ7	PM7		○	○	—		
FF28H	ポート・モード・レジスタ8	PM8		○	○	—		
FF29H	ポート・モード・レジスタ9	PM9		○	○	—		

表3-4 特殊機能レジスタ一覧 (2/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FF30H	プルアップ抵抗オプション・レジスタ0	PU0		R/W	○	○	—	00H
FF32H	プルアップ抵抗オプション・レジスタ2	PU2			○	○	—	
FF33H	プルアップ抵抗オプション・レジスタ3	PU3			○	○	—	
FF34H	プルアップ抵抗オプション・レジスタ4	PU4			○	○	—	
FF35H	プルアップ抵抗オプション・レジスタ5	PU5			○	○	—	
FF36H	プルアップ抵抗オプション・レジスタ6	PU6			○	○	—	
FF37H	プルアップ抵抗オプション・レジスタ7	PU7			○	○	—	
FF40H	クロック出力選択レジスタ	CKS			○	○	—	
FF41H	時計用タイマ・モード・レジスタ0	WTNM0			○	○	—	
FF42H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDSCS			—	○	—	
FF47H	メモリ拡張モード・レジスタ	MEM			—	○	—	
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP			○	○	—	
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN			○	○	—	
FF60H	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00			○	○	—	
FF61H	プリスケアラ・モード・レジスタ00	PPM00			—	○	—	
FF62H	キャプチャ/コンペア・コントロール・レジスタ00	CRC00			○	○	—	
FF63H	16ビット・タイマ出力コントロール・レジスタ00	TOC00			○	○	—	
FF68H	16ビット・タイマ・モード・コントロール・レジスタ01	TMC01			○	○	—	
FF69H	プリスケアラ・モード・レジスタ01	PRM01			—	○	—	
FF6AH	キャプチャ/コンペア・コントロール・レジスタ01	CRC01		○	○	—		
FF6BH	16ビット・タイマ出力コントロール・レジスタ01	TOC01		○	○	—		
FF70H	8ビット・タイマ・コンペア・レジスタ50	CR5	CR50	R	—	○	不定	
FF71H	8ビット・タイマ・コンペア・レジスタ51		CR51		—	○		
FF72H	8ビット・タイマ・コンペア・レジスタ52	CR52			—	○		—
FF74H	8ビット・タイマ/カウンタ50	TM5	TM50		—	○		00H
FF75H	8ビット・タイマ/カウンタ51		TM51	—	○			
FF76H	8ビット・タイマ/カウンタ52	TM52		—	○	—		
FF78H	タイマ・クロック選択レジスタ50	TCL50		R/W	—	○	—	
FF79H	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50			○	○	—	04H ^注
FF7AH	タイマ・クロック選択レジスタ51	TCL51			—	○	—	00H
FF7BH	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51			○	○	—	04H ^注
FF7CH	タイマ・クロック選択レジスタ52	TCL52			—	○	—	00H
FF7DH	8ビット・タイマ・モード・コントロール・レジスタ52	TMC52			○	○	—	04H ^注

注 初期値は04Hですが、読み出した場合00Hに見えます (ビット2, 3がWrite Onlyのため)。

表3-4 特殊機能レジスタ一覧 (3/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF80H	A/Dコンバータ・モード・レジスタ3	ADM3	R/W	○	○	—	00H
FF81H	アナログ入力チャネル指定レジスタ3	ADS3		—	○	—	
FF83H	パワー・フェイル比較しきい値レジスタ3	PFT3		—	○	—	
FF84H	パワー・フェイル比較モード・レジスタ3	PFM3		○	○	—	
FFA0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0		○	○	—	
FFA1H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0	R	○	○	—	
FFA2H	ポーレート・ジェネレータ・コントローラ・レジスタ0	BRGC0	R/W	—	○	—	
FFA8H	IIC0コントロール・レジスタ	IICC0		○	○	—	
FFA9H	IIC0状態レジスタ	IICS0	R	○	○	—	
FFAAH	IIC0転送クロック選択レジスタ	IICCL0	R/W	○	○	—	
FFABH	スレーブ・アドレス・レジスタ0	SVA0		—	○	—	
FFAFH	IEBusコントロール・レジスタ ^注	BCR0		○	○	—	
FFB0H	シリアル動作モード・レジスタ30	CSIM30		○	○	—	
FFB1H	IEBusコントロール・データ・レジスタ ^注	CDR		—	○	—	01H
FFB2H	IEBus自局アドレス・レジスタ ^注	UAR	R	—	—	○	0000H
FFB3H				—	—		
FFB4H	IEBusスレーブ・アドレス・レジスタ ^注	SAR		—	—	○	
FFB5H				—	—		
FFB6H	IEBus相手先アドレス・レジスタ ^注	PAR		—	—	○	
FFB7H			—	—			
FFB8H	シリアル動作モード・レジスタ31	CSIM31	R/W	○	○	—	00H
FFB9H	IEBus電文長レジスタ ^注	DLR		—	○	—	01H
FFBAH	IEBusデータ・レジスタ ^注	DR		—	○	—	00H
FFBBH	IEBusユニット・ステータス・レジスタ ^注	USR	R	○	○	—	
FFBCH	IEBusインタラプト・ステータス・レジスタ ^注	ISR	R/W	○	○	—	
FFBDH	IEBusスレーブ・ステータス・レジスタ ^注	SSR	R	○	○	—	41H
FFBEH	IEBus通信成功カウンタ ^注	SCR		—	○	—	01H
FFBFH	IEBus伝送カウンタ ^注	CCR		—	○	—	20H

注 μPD78F0701Y, 780702Yのみ。

表3-4 特殊機能レジスタ一覧 (4/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FFC0H	CANコントロール・レジスタ ^{注1}	CANC		R/W	○	○	—	01H
FFC1H	送信コントロール・レジスタ ^{注1}	TCR			—	○	—	00H
FFC2H	受信メッセージ・レジスタ ^{注1}	RMES		R	—	○	—	
FFC3H	再指定コントロール・レジスタ ^{注1}	REDEF		R/W	○	○	—	00H
FFC4H	CANエラー・ステータス・レジスタ ^{注1}	CANES			—	○	—	
FFC5H	送信エラー・カウンタ ^{注1}	TEC		R	—	○	—	C0H
FFC6H	受信エラー・カウンタ ^{注1}	REC			—	○	—	
FFC7H	メッセージ・カウント・レジスタ ^{注1}	MCNT			—	○	—	00H
FFC8H	ビット・レート・プリスケール ^{注1}	BRPRS		R/W	—	○	—	
FFC9H	同期コントロール・レジスタ ^{注0}	SYNC0			—	○	—	18H
FFCAH	同期コントロール・レジスタ ^{注1}	SYNC1			—	○	—	0EH
FFCBH	マスク・コントロール・レジスタ ^{注1}	MASKC			—	○	—	00H
FFCDH	フラッシュ・プログラミング・モード・コントロール・レジスタ ^{注2}	FLPMC			○	○	—	08H
FFD0H ┆ FFDFH	外部アクセス領域 ^{注3}				○	○	—	不定
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L		○	○	○	00H
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H		○	○	○	
FFE2H	割り込み要求フラグ・レジスタ1L	IF1	IF1L		○	○	○	FFH
FFE3H	割り込み要求フラグ・レジスタ1H		IF1H		○	○	○	
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L		○	○	○	FFH
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H		○	○	○	
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1	MK1L		○	○	○	DFH
FFE7H	割り込みマスク・フラグ・レジスタ1H		MK1H		○	○	○	
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L		○	○	○	FFH
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H		○	○	○	
FFEAH	優先順位指定フラグ・レジスタ1L	PR1	PR1L		○	○	○	FFH
FFEBH	優先順位指定フラグ・レジスタ1H		PR1H		○	○	○	
FFF0H	メモリ・サイズ切り替えレジスタ	IMS ^{注4}			—	○	—	CFH
FFF4H	内部拡張RAMサイズ切り替えレジスタ	IXS ^{注4}			○	○	—	0CH
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM			○	○	—	00H
FFFAH	発振安定時間選択レジスタ	OSTS			—	○	—	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC			○	○	—	

注1. μPD78F0701Y, 780701Yのみ。

2. μPD78F0701Yのみ。

3. 外部アクセス領域は、SFRアドレッシングではアクセスできません。16ビット・アドレスを指定可能な命令でアクセスしてください。

4. 初期値以外の値に設定しないでください。

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

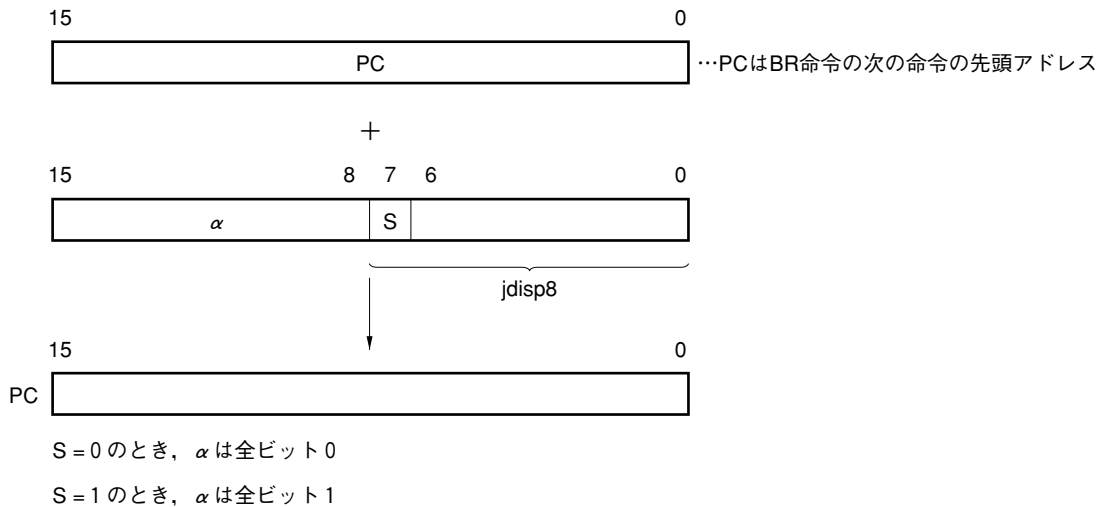
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミューディエト・データ（ディスプレイメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレイメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するという事です。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



3.3.2 イミディエト・アドレッシング

【機能】

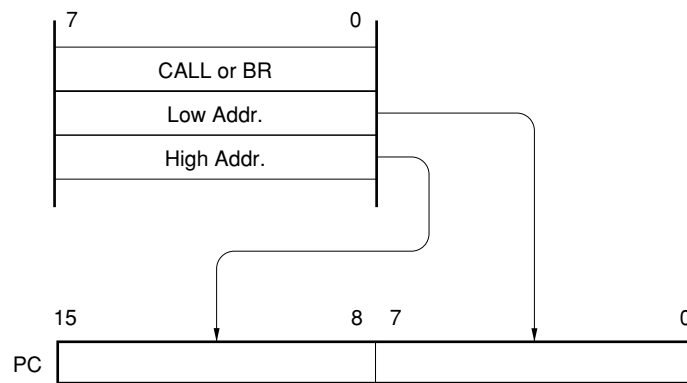
命令語中のイミディエト・データがプログラム・カウンタ (PC) に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

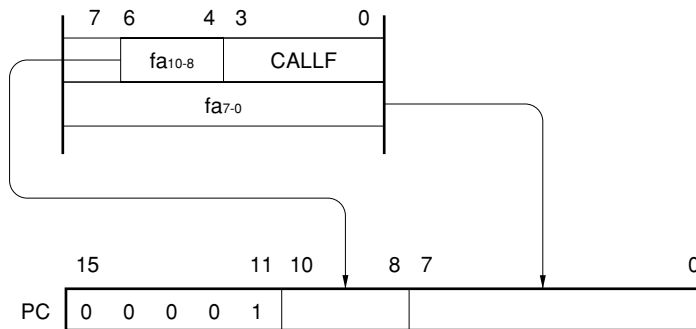
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



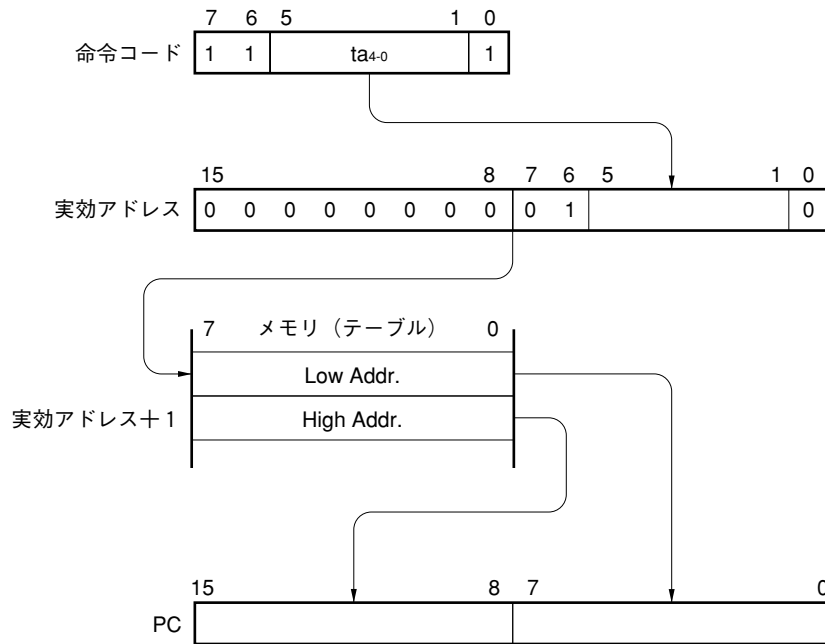
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



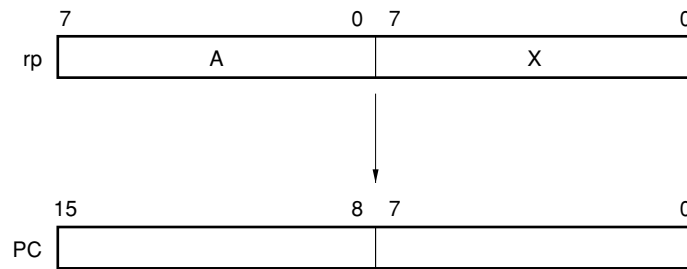
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア (AX) の内容がプログラム・カウンタ (PC) に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

μPD780701Yサブシリーズの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ、積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため、特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において、AレジスタとXレジスタの積をAXに格納する。ここで、A, AXレジスタがインプライド・アドレッシングで指定されている。

3.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ（RBS0, RBS1）および、命令コード中のレジスタ指定コード（Rn, RPn）により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

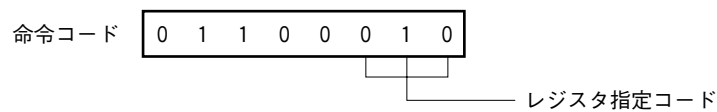
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

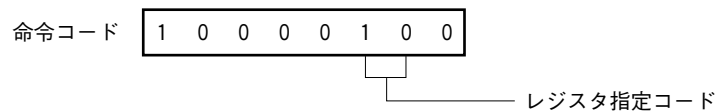
r, rpは、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほかに絶対名称（R0-R7, RP0-RP3）で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.3 ダイレクト・アドレッシング

【機能】

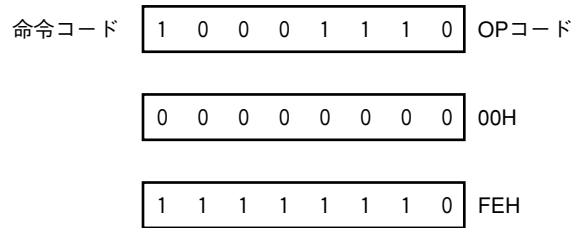
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

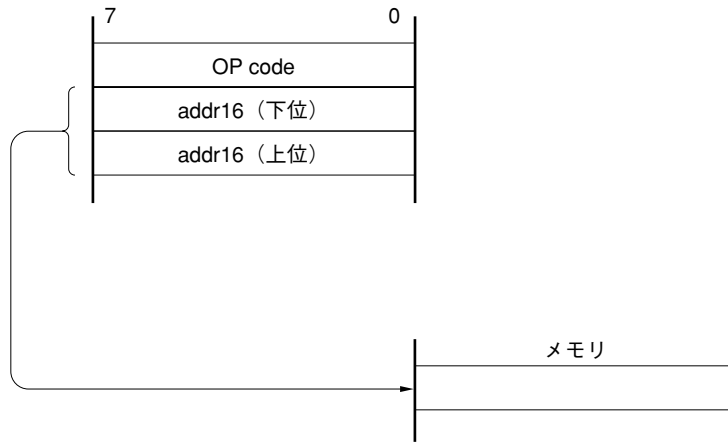
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !0FE00H ; ! addr16をFE00Hとする場合



【図解】



3.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部分です。この領域には、プログラム上で頻繁にアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

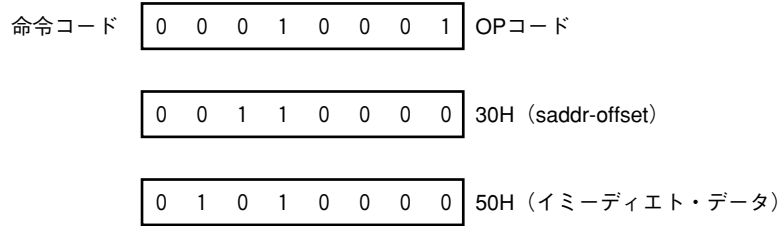
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次頁の【図解】を参照してください。

【オペランド形式】

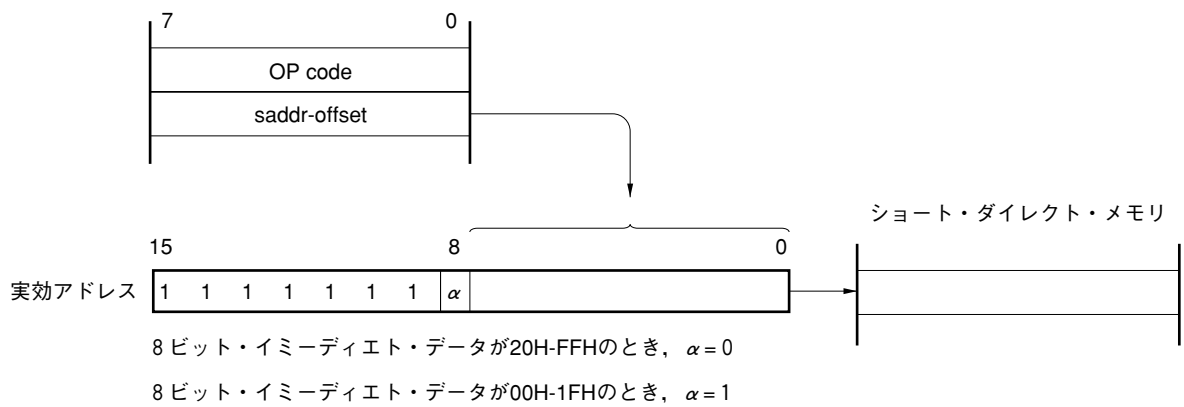
表現形式	記述方法
saddr	レーベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	レーベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV 0FE30H, #50H ; saddrをFE30H, イミディエト・データを50Hとする場合



【図解】



3.4.5 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

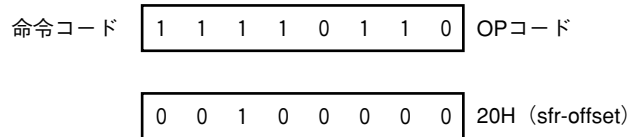
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし、FF00H-FF1FHにマッピングされているSFRは、ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

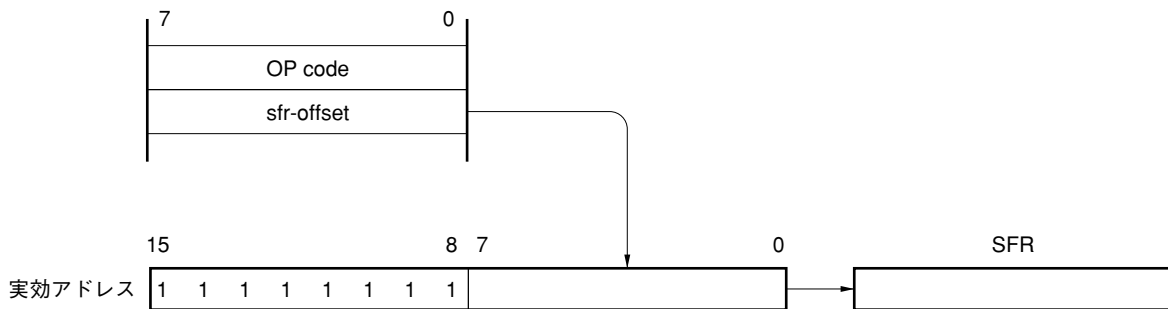
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



【図解】



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL]

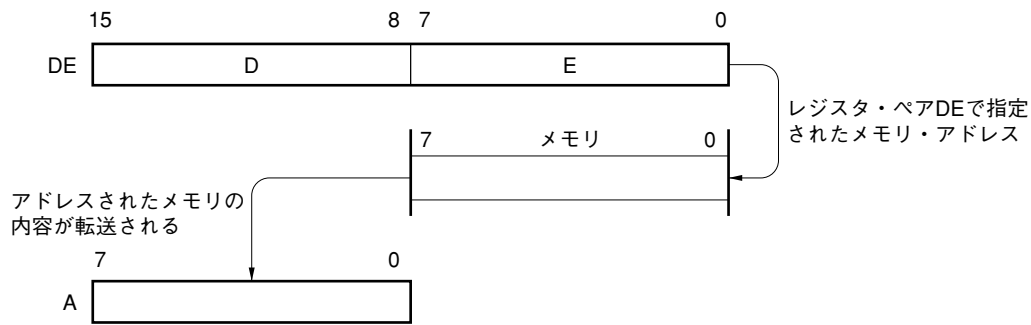
【記述例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



3.4.7 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ（RBS0, RBS1）で指定されるレジスタ・バンク中のものです。オフセット・データを正の数として16ビットに拡張して加算します。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
—	[HL+byte]

【記述例】

MOV A, [HL+10H] ; byteを10Hとする場合

命令コード

1	0	1	0	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

3.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL、B、Cレジスタは、レジスタ・バンク選択フラグ（RBS0, RBS1）で指定されるレジスタ・バンク中のレジスタです。BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して加算します。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
—	[HL+B] , [HL+C]

【記述例】

MOV A, [HL+B] の場合

命令コード

1 0 1 0 1 0 1 1

3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ（SP）の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスできます。

【記述例】

PUSH DEの場合

命令コード

1 0 1 1 0 1 0 1

第4章 ポート機能

4.1 ポートの機能

μPD780701Yサブシリーズは、67本の入出力ポートを内蔵しています。図4-1にポートの種類を示します。いずれのポートも1ビット操作、8ビット操作が可能で、きわめて多様に制御できます。また、ポートとしての機能のほかに、内蔵ハードウェアの入出力端子としての機能などを持っています。

図4-1 ポートの種類

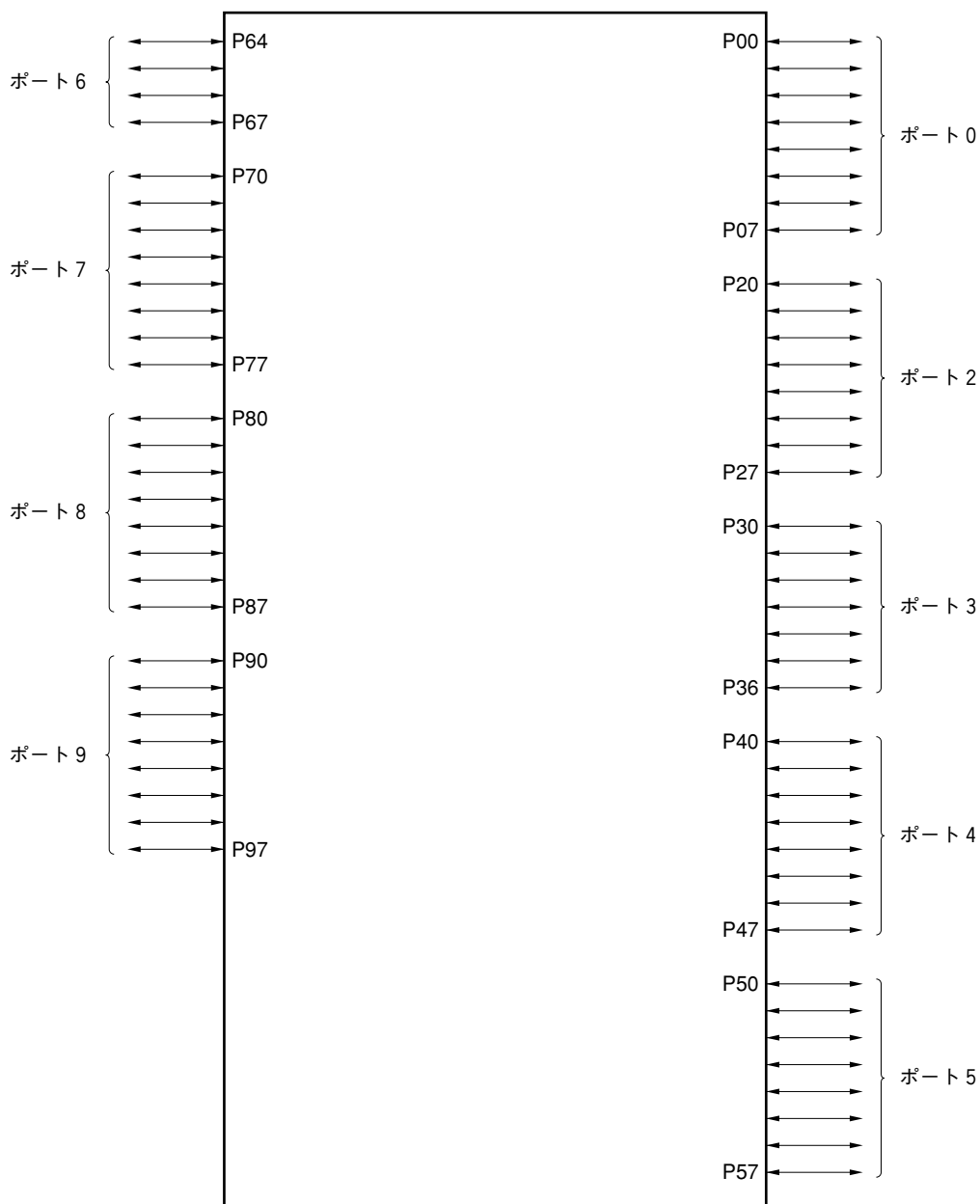


表4-1 ポートの機能 (1/2)

端子名称	機能		兼用端子
P00	ポート0。		INTP0
P01	8ビット入出力ポート。		INTP1
P02	1ビット単位で入力/出力の指定可能。		INTP2
P03	ソフトウェアにより、1ビット単位で内蔵プルアップ抵抗を使用可能。		INTP3
P04			INTP4
P05			INTP5
P06			INTP6
P07			INTP7
P20	ポート2。		SI31
P21	8ビット入出力ポート。		SO31
P22	1ビット単位で入力/出力の指定可能。		SCK31
P23	ソフトウェアにより、1ビット単位で内蔵プルアップ抵抗を使用可能。		BUZ
P24			RxD0
P25			TxD0
P26			ASCK0
P27			PCL
P30	ポート3。	ソフトウェアにより、1ビット単位で内蔵プルアップ抵抗を使用可能。	SI30
P31	7ビット入出力ポート。		SO30
P32	1ビット単位で入力/出力の指定可能。		SCK30
P33		N-chオープン・ドレイン入出力ポート (15V耐圧)。LEDを直接駆動可能。	—
P34		ソフトウェアにより、1ビット単位で内蔵プルアップ抵抗を使用可能。	TO00
P35			TI000
P36			TI010
P40-P47	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアにより、1ビット単位で内蔵プルアップ抵抗を使用可能。 立ち下がりエッジの検出により、割り込み要求フラグ (KRIF) を1にセット。		—
P50-P57	ポート5。 8ビット入出力ポート。TTL入力/CMOS出力。 1ビット単位で入力/出力の指定可能。 ソフトウェアにより、1ビット単位で内蔵プルアップ抵抗を使用可能。		—
P64	ポート6。		—
P65	4ビット入出力ポート。		
P66	1ビット単位で入力/出力の指定可能。		
P67	ソフトウェアにより、1ビット単位で内蔵プルアップ抵抗を使用可能。		

表4-1 ポートの機能 (2/2)

端子名称	機能		兼用端子
P70	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	ソフトウェアにより、1ビット単位で内蔵プルアップ抵抗を使用可能。	TI52/TO52
P71		N-chオープン・ドレイン入出力ポート (5V耐圧)。	SDA0
P72			SCL0
P73		ソフトウェアにより、1ビット単位で内蔵プルアップ抵抗を使用可能。	TO01
P74			TI001
P75			TI011
P76			TI50/TO50
P77			TI51/TO51
P80-P87		ポート8。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	
P90-P97	ポート9。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。		ANI8-ANI15

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-2 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PMm: m=0, 2-9) プルアップ抵抗オプション・レジスタ (PUm: m=0, 2-7) メモリ拡張モード・レジスタ (MEM) 注
ポート	合計: 67本
プルアップ抵抗	ソフトウェア制御: 48本

注 メモリ拡張モード・レジスタ (MEM) はポート4の立ち下がりエッジ検出機能を制御するレジスタです。

4.2.1 ポート0

出力ラッチ付き8ビット入出力ポートです。P00-P07端子は、ポート・モード・レジスタ0 (PM0) により、1ビット単位で入力モード/出力モードの指定ができます。P00-P07端子は、プルアップ抵抗オプション・レジスタ0 (PU0) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力があります。

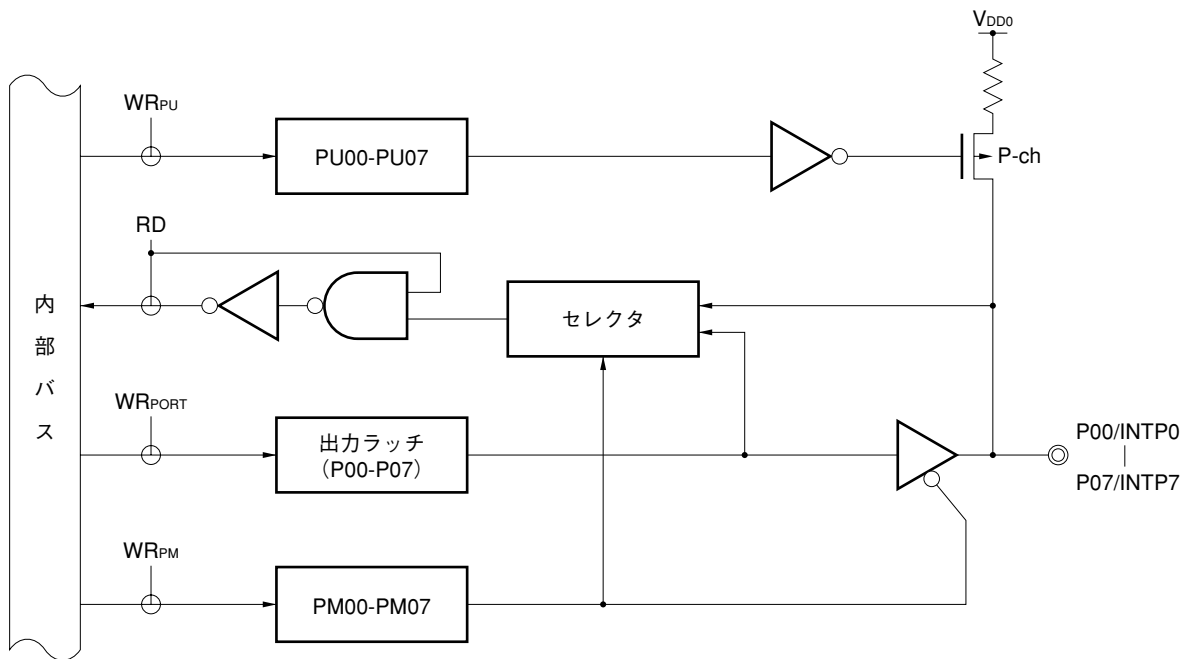
$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-2にポート0のブロック図を示します。

注意 ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされます。したがって、出力モードを使用するとき、割り込みマスク・フラグに1を設定してください。

★

図4-2 P00-P07のブロック図



PU：プルアップ抵抗オプション・レジスタ

PM：ポート・モード・レジスタ

RD：ポート0のリード信号

WR：ポート0のライト信号

4.2.2 ポート2

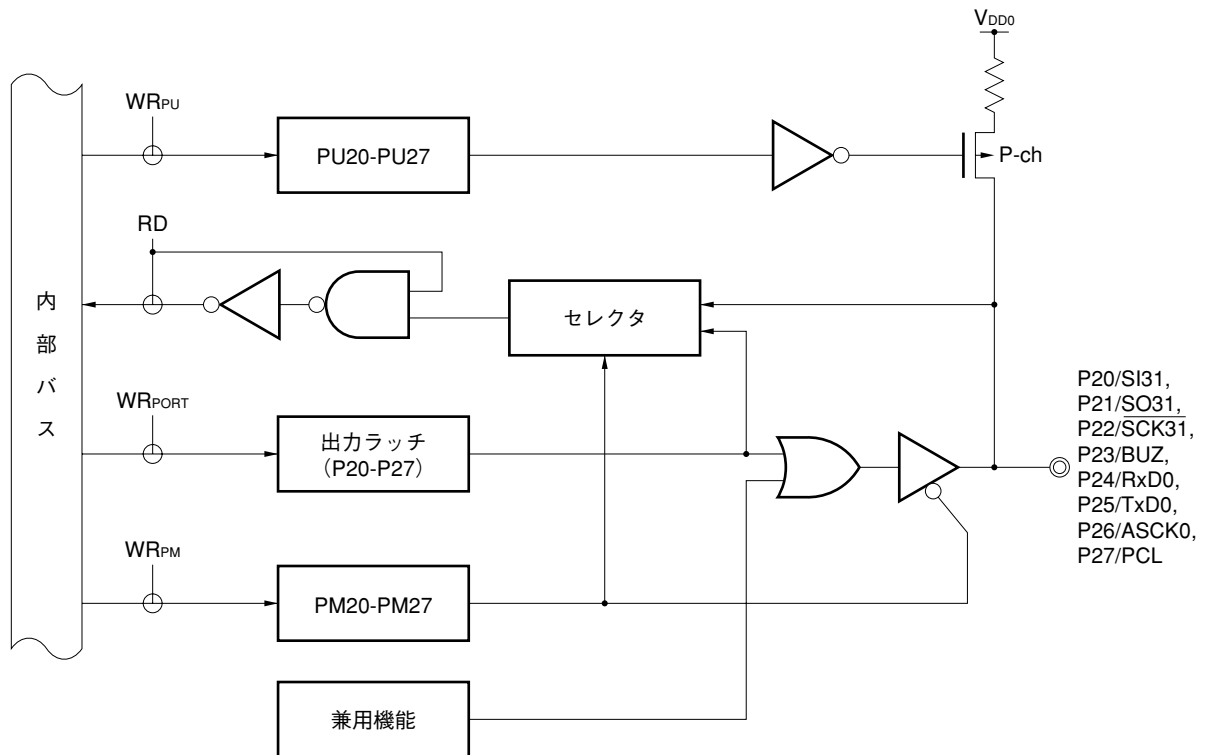
出力ラッチ付き8ビット入出力ポートです。P20-P27端子は、ポート・モード・レジスタ2（PM2）により、1ビット単位で入力モード／出力モードの指定ができます。P20-P27端子は、プルアップ抵抗オプション・レジスタ2（PU2）により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてシリアル・インタフェースのシリアル・データ入出力、シリアル・クロック入出力、ブザー出力、クロック出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-3にポート2のブロック図を示します。

図4-3 P20-P27のブロック図



PU：プルアップ抵抗オプション・レジスタ

PM：ポート・モード・レジスタ

RD：ポート2のリード信号

WR：ポート2のライト信号

4.2.3 ポート3

出力ラッチ付き7ビット入出力ポートです。P33端子のみN-chオープン・ドレイン入出力ポートです。P30-P36端子は、ポート・モード・レジスタ3（PM3）により、1ビット単位で入力モード／出力モードの指定ができます。P33端子はLEDを直接駆動可能です。P30-P32, P34-P36端子は、プルアップ抵抗オプション・レジスタ3（PU3）により、1ビット単位で内蔵プルアップ抵抗を使用できます。

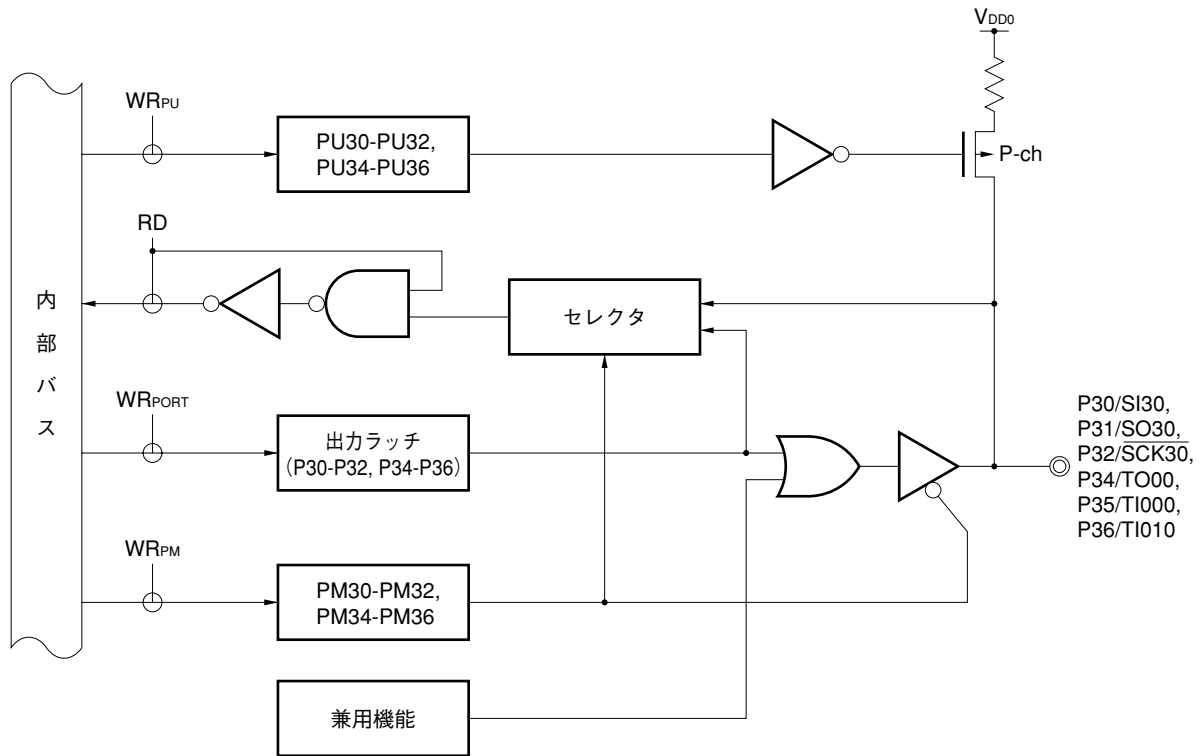
また、兼用機能としてシリアル・インタフェースのシリアル・クロック入出力、シリアル・データ入出力、タイマの入出力があります。

RESET入力により、入力モードになります。

図4-4、4-5にポート3のブロック図を示します。

注意 P33にはプルアップ抵抗はありません。

図4-4 P30-P32, P34-P36のブロック図



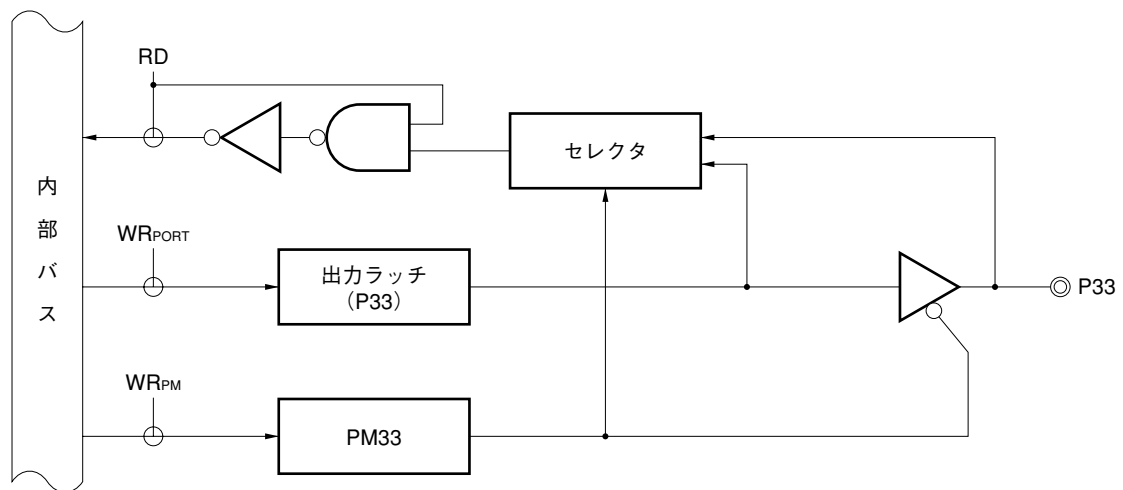
PU：プルアップ抵抗オプション・レジスタ

PM：ポート・モード・レジスタ

RD：ポート3のリード信号

WR：ポート3のライト信号

図4-5 P33のブロック図



PM：ポート・モード・レジスタ

RD：ポート3のリード信号

WR：ポート3のライト信号

4.2.4 ポート4

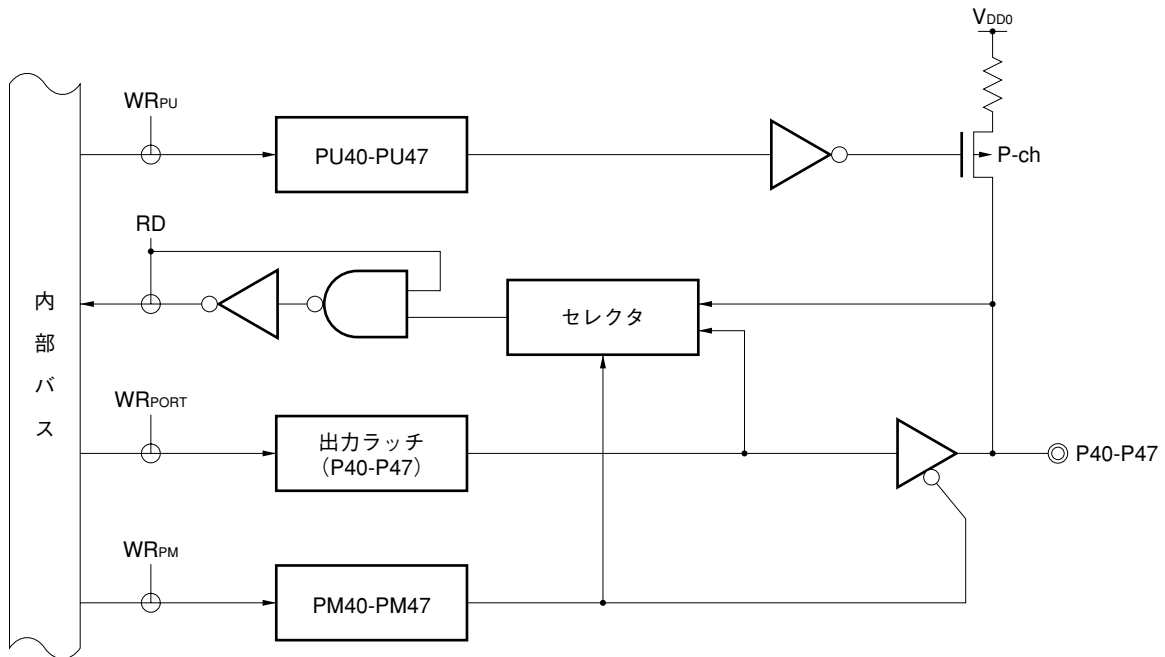
出力ラッチ付き8ビット入出力ポートです。P40-P47端子は、ポート・モード・レジスタ4（PM4）により、1ビット単位で入力モード／出力モードの指定ができます。P40-P47端子は、プルアップ抵抗オプション・レジスタ4（PU4）により、1ビット単位で内蔵プルアップ抵抗を使用できます。

立ち下がりエッジの検出により、割り込み要求フラグ（KRIF）を1にセットできます。立ち下がりエッジの検出は、メモリ拡張モード・レジスタ（MEM）で制御します。

RESET入力により、入力モードになります。

図4-6にポート4のブロック図を示します。

図4-6 P40-P47のブロック図



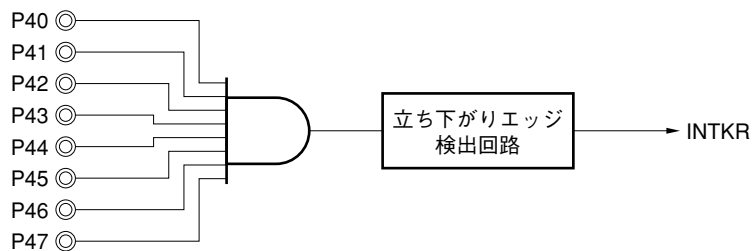
PU：プルアップ抵抗オプション・レジスタ

PM：ポート・モード・レジスタ

RD：ポート4のリード信号

WR：ポート4のライト信号

図4-7 立ち下がりエッジ検出回路のブロック図



4.2.5 ポート5

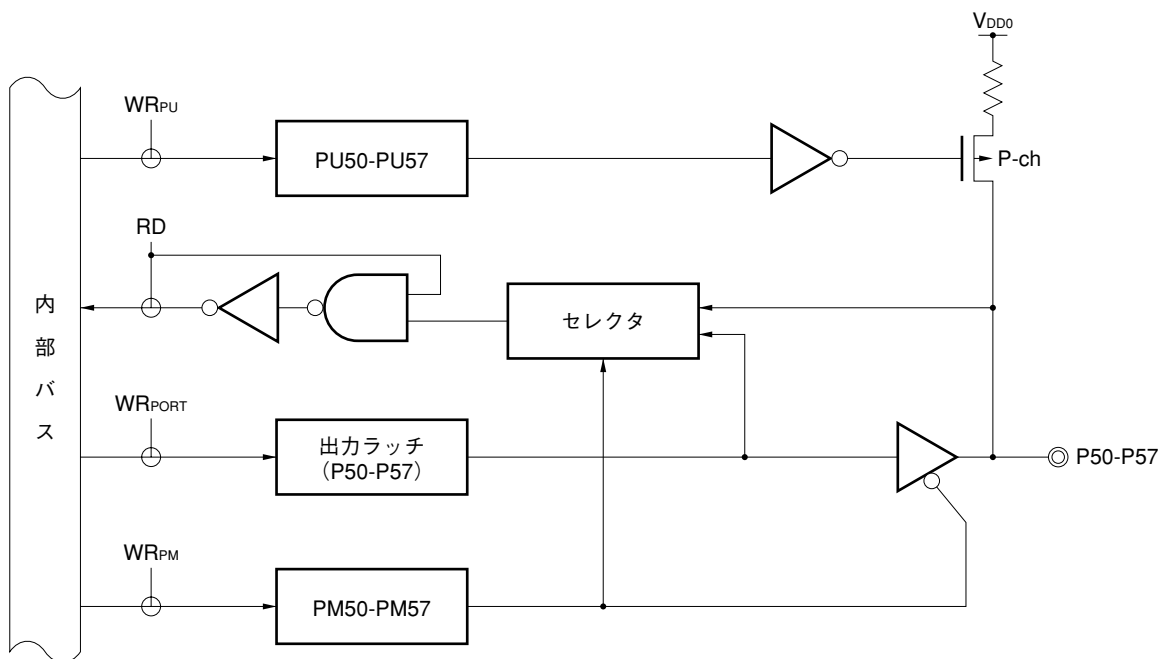
出力ラッチ付き8ビット入出力ポートです。P50-P57端子は、ポート・モード・レジスタ5（PM5）により、1ビット単位で入力モード／出力モードの指定ができます。P50-P57端子は、プルアップ抵抗オプション・レジスタ5（PU5）により、1ビット単位で内蔵プルアップ抵抗を使用できます。

ポート5は、TTLレベル入力です。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-8にポート5のブロック図を示します。

図4-8 P50-P57のブロック図



PU：プルアップ抵抗オプション・レジスタ

PM：ポート・モード・レジスタ

RD：ポート5のリード信号

WR：ポート5のライト信号

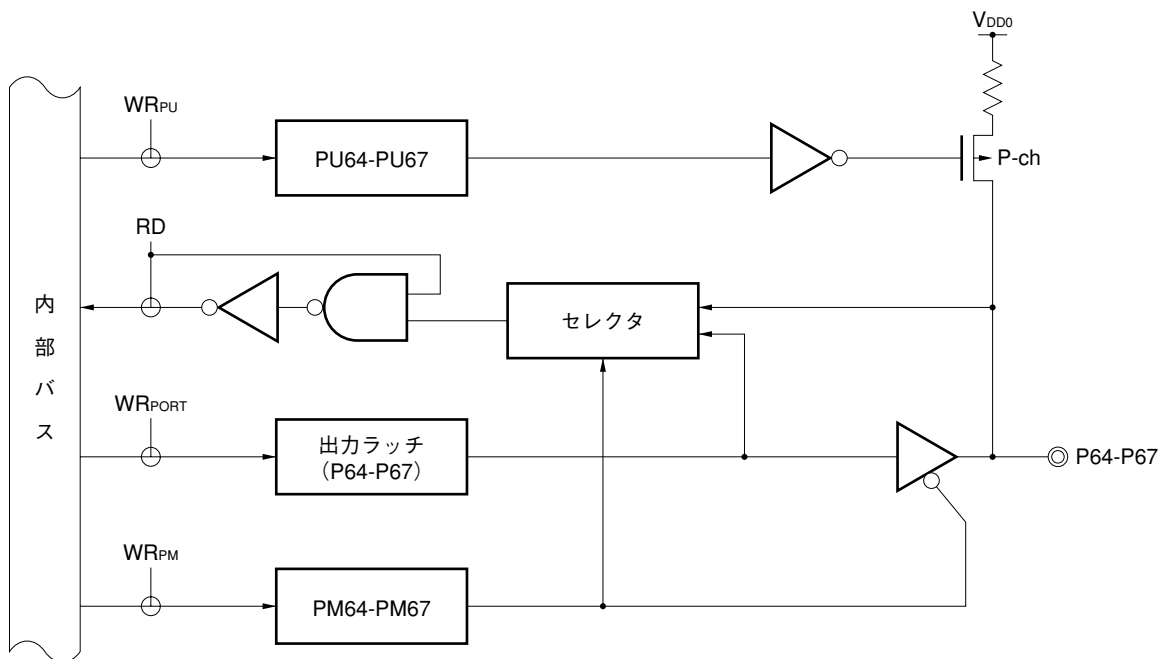
4.2.6 ポート6

出力ラッチ付き4ビット入出力ポートです。P64-P67端子は、ポート・モード・レジスタ6（PM6）により、1ビット単位で入力モード／出力モードの指定ができます。P64-P67端子は、プルアップ抵抗オプション・レジスタ6（PU6）により、1ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-9にポート6のブロック図を示します。

図4-9 P64-P67のブロック図



PU：プルアップ抵抗オプション・レジスタ

PM：ポート・モード・レジスタ

RD：ポート6のリード信号

WR：ポート6のライト信号

4.2.7 ポート7

出力ラッチ付き8ビット入出力ポートです。P71, P72はN-chオープン・ドレイン入出力ポートです。P70-P77端子は、ポート・モード・レジスタ7 (PM7) により、1ビット単位で入力モード/出力モードの指定ができます。P70, P73-P77端子は、プルアップ抵抗オプション・レジスタ7 (PU7) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

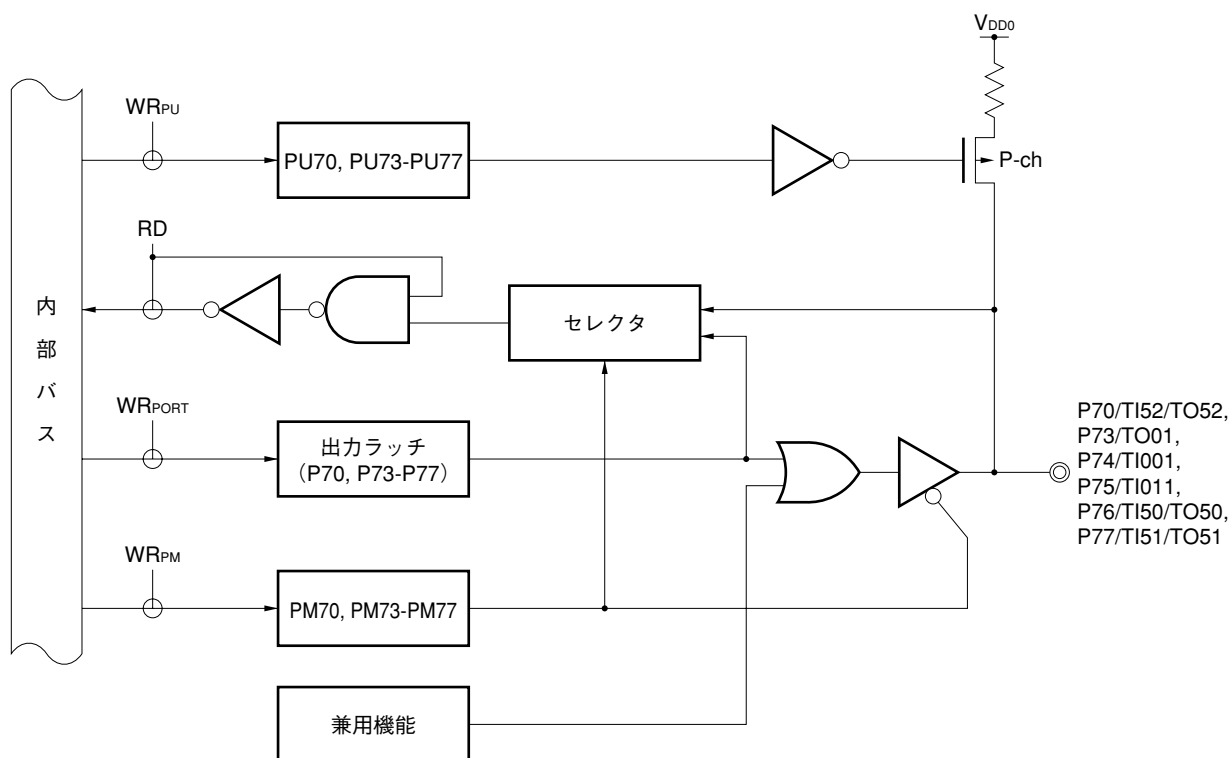
また、兼用機能としてシリアル・インタフェースのシリアル・クロック入出力、シリアル・データ入出力、タイマの入出力があります。

RESET入力により、入力モードになります。

図4-10、4-11にポート7のブロック図を示します。

注意 P71, P72にはプルアップ抵抗はありません。

図4-10 P70, P73-P77のブロック図



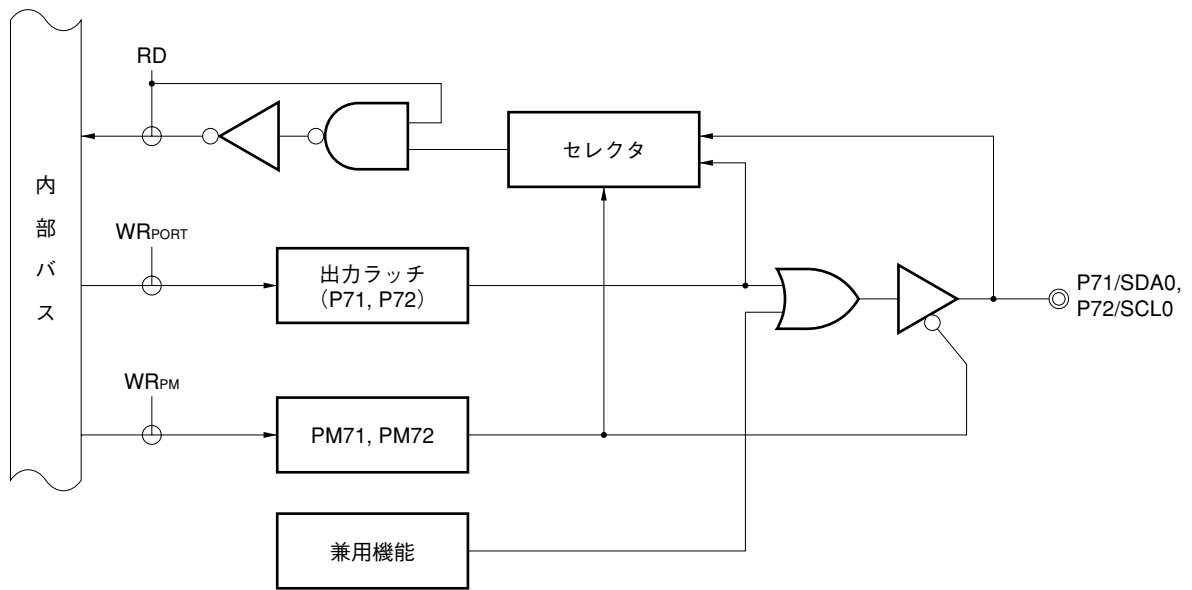
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート7のリード信号

WR : ポート7のライト信号

図4-11 P71, P72のブロック図



PM : ポート・モード・レジスタ
 RD : ポート7のリード信号
 WR : ポート7のライト信号

4.2.8 ポート8

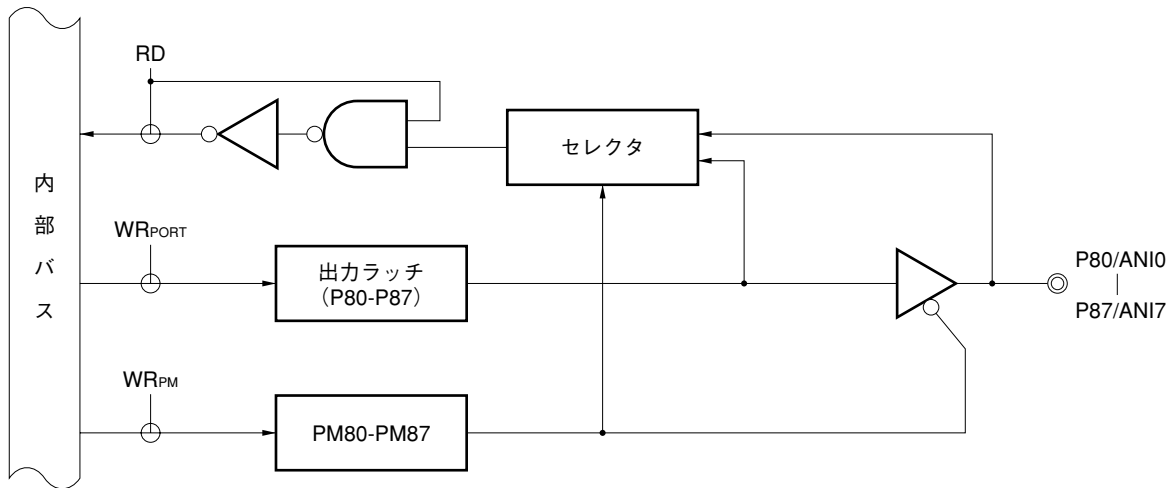
出力ラッチ付き8ビット入出力ポートです。P80-P87端子は、ポート・モード・レジスタ8（PM8）により、1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-12にポート8のブロック図を示します。

図4-12 P80-P87のブロック図



PM：ポート・モード・レジスタ

RD：ポート8のリード信号

WR：ポート8のライト信号

4.2.9 ポート9

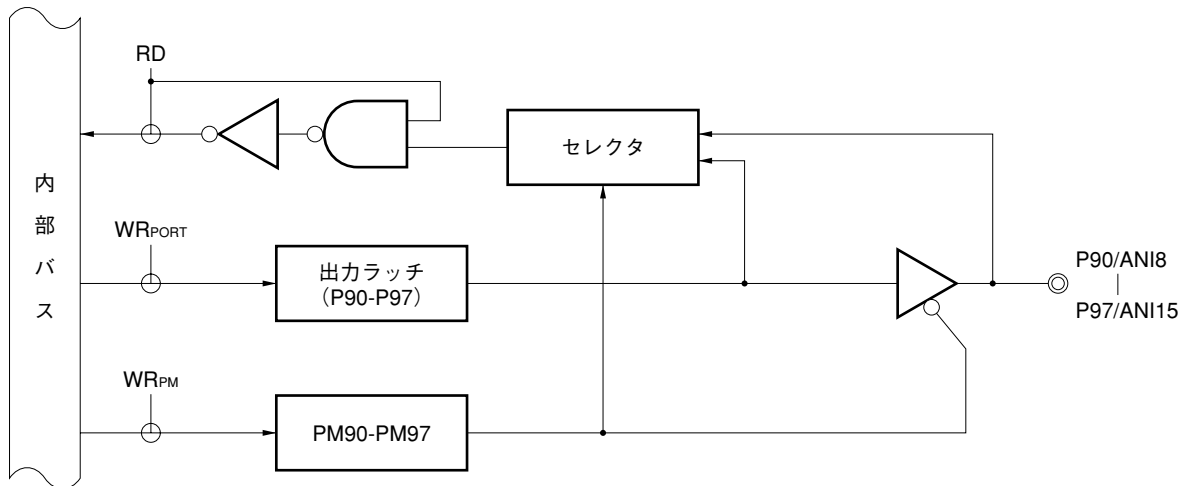
出力ラッチ付き8ビット入出力ポートです。P90-P97端子は、ポート・モード・レジスタ9（PM9）により、1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-13にポート9のブロック図を示します。

図4-13 P90-P97のブロック図



PM：ポート・モード・レジスタ

RD：ポート9のリード信号

WR：ポート9のライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の3種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0, PM2-PM9)
- ・プルアップ抵抗オプション・レジスタ (PU0, PU2-PU7)
- ・メモリ拡張モード・レジスタ (MEM)

(1) ポート・モード・レジスタ (PM0, PM2-PM9)

ポートの入力/出力を1ビット単位で指定するレジスタです。

PM0, PM2-PM9は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

- 注意1. 兼用機能端子として使用する場合にも、ポート・モード・レジスタ (PMn) による入出力の指定が必要です。したがって、兼用機能の出力として使用する場合にはPMnと出力ラッチに0を、入力として使用する場合にはPMnに1を設定してください。(n=0, 2-9)
2. ポート0は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し、出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

図4-14 ポート・モード・レジスタ (PM0, PM2-PM9) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	1	1	1	1	FF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FF28H	FFH	R/W
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	FF29H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 2-9 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) プルアップ抵抗オプション・レジスタ (PU0, PU2-PU7)

各ポートの内蔵プルアップ抵抗を使用するか、使用しないかを設定するレジスタです。PU0, PU2-PU7を設定することにより、対応するポート端子の内蔵プルアップ抵抗を使用できます。

PU0, PU2-PU7は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により、00Hになります。

注意 1. P33, P71, P72, P80-P87, P90-P97端子は、プルアップ抵抗を内蔵していません。

2. 内蔵プルアップ抵抗使用時、出力モードにしてもプルアップ抵抗は切斷されません。出力モードで使用する場合は対応するプルアップ抵抗オプション・レジスタに0を設定してください。

図4-15 プルアップ抵抗オプション・レジスタ (PU0, PU2-PU7) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00	FF30H	00H	R/W
PU2	PU27	PU26	PU25	PU24	PU23	PU22	PU21	PU20	FF32H	00H	R/W
PU3	0	PU36	PU35	PU34	0	PU32	PU31	PU30	FF33H	00H	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	FF34H	00H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	FF35H	00H	R/W
PU6	PU67	PU66	PU65	PU64	0	0	0	0	FF36H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	0	0	PU70	FF37H	00H	R/W

PUmn	Pmn端子の内蔵プルアップ抵抗の選択 (m = 0, 2-7; n = 0-7)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

(3) メモリ拡張モード・レジスタ (MEM)

メモリ拡張モード・レジスタ (MEM) は、ポート4の立ち下がりエッジ検出の制御をします。

MEMは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図4-16 メモリ拡張モード・レジスタ (MEM) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MEM	0	0	0	0	0	0	0	MM0	FF47H	00H	R/W

MM0	立ち下がりエッジ検出の制御
0	動作禁止
1	動作許可

注意1. ビット1-7には、必ず0を設定してください。

2. P40-P47端子のいずれかの立ち下がりエッジを検出します。また、P40-P47端子のうち1本でもロウ・レベルが入力されていると、ほかの端子に立ち下がりエッジが入力されても割り込み要求信号 (INTKR) は発生しません。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロック発振回路は、1.0~6.29 MHzの周波数を発振します。STOP命令の実行により、発振を停止できます。

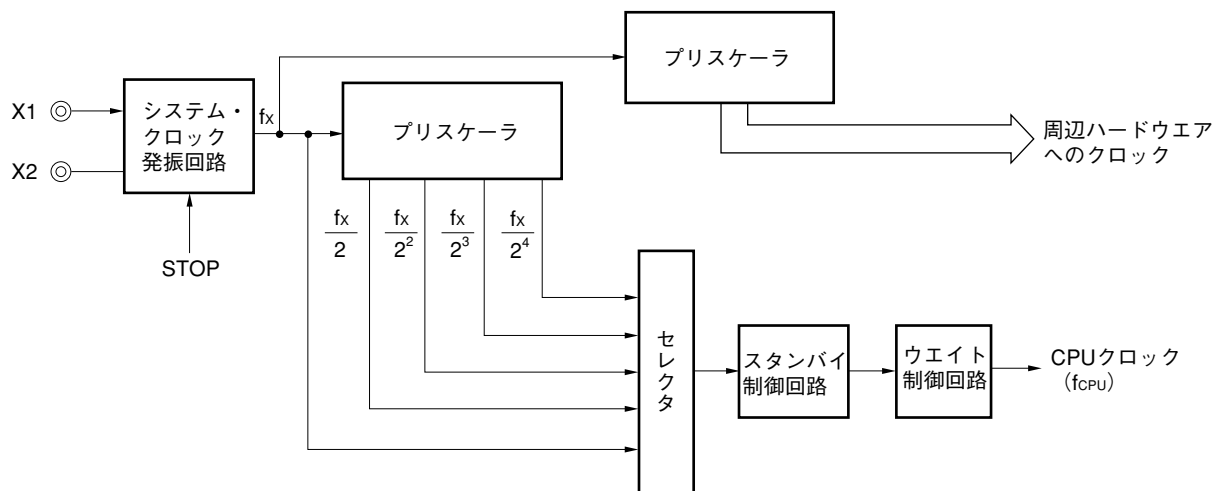
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表 5-1 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC)
発振回路	システム・クロック発振回路

図 5-1 クロック発生回路のブロック図



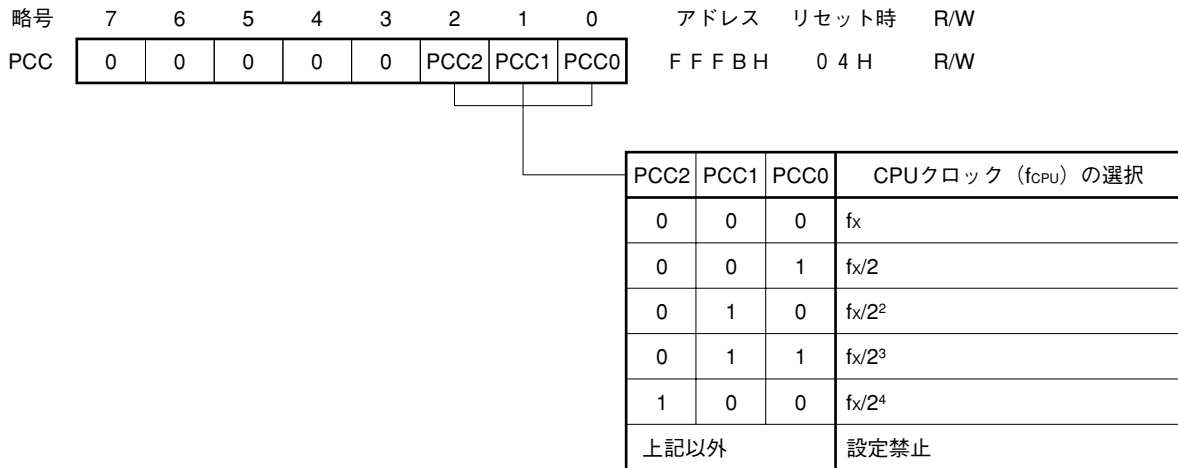
5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、プロセッサ・クロック・コントロール・レジスタ（PCC）で制御します。CPUクロックの選択を設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。

図5-2 プロセッサ・クロック・コントロール・レジスタ（PCC）のフォーマット



注意 ビット3-7には、必ず0を設定してください。

備考 f_x ：システム・クロック発振周波数

μ PD780701Yサブシリーズの一番速い命令は、CPUクロック2クロックで実行されます。したがって、CPUクロック (f_{CPU}) と最小命令実行時間の関係は、表5-2のようになります。

表5-2 CPUクロックと最小命令実行時間の関係

CPUクロック (f_{CPU})	最小命令実行時間： $2/f_{\text{CPU}}$
f_x	$0.32 \mu\text{s}$
$f_x/2$	$0.64 \mu\text{s}$
$f_x/2^2$	$1.27 \mu\text{s}$
$f_x/2^3$	$2.54 \mu\text{s}$
$f_x/2^4$	$5.09 \mu\text{s}$

$f_x = 6.29 \text{ MHz}$

f_x ：システム・クロック発振周波数

5.4 システム・クロック発振回路

5.4.1 システム・クロック発振回路

システム・クロック発振回路はX1, X2端子に接続されたクリスタル振動子またはセラミック発振子（標準：6.29 MHz）によって発振します。

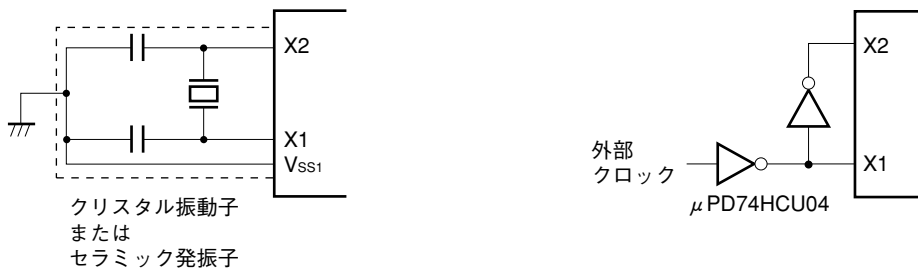
また、外部クロックも入力できます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

図5-3にシステム・クロック発振回路の外付け回路を示します。

図5-3 システム・クロック発振回路の外付け回路

(a) クリスタル, セラミック発振

(b) 外部クロック



- 注意1. 外部クロックを入力しているとき、STOP命令を実行しないでください。これは、STOP命令を実行すると、システム・クロックの動作が停止され、X2端子がV_{DD1}にプルアップされるためです。
2. システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5-3の破線の部分を次のように配線してください。

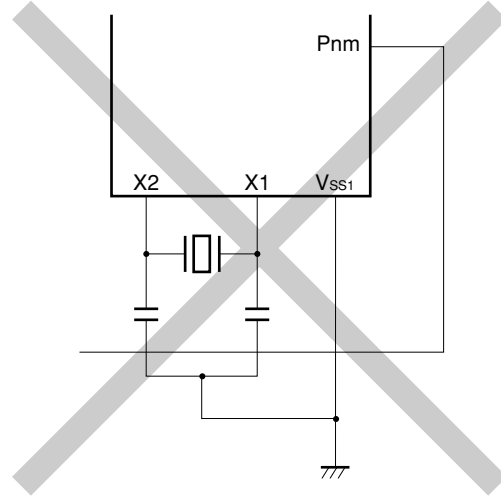
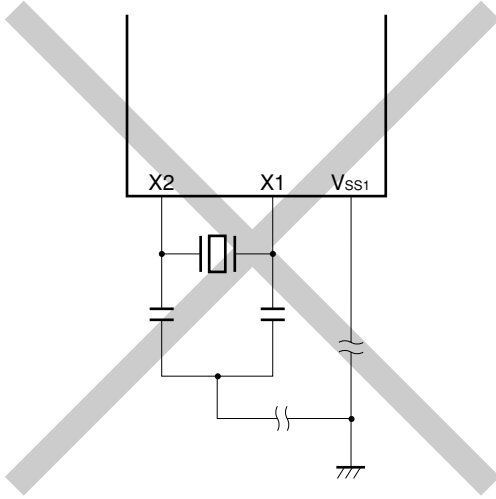
- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS1}と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

図5-4に発振子の接続の悪い例を示します。

図5-4 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い

(b) 信号線が交差している



(c) 変化する大電流が信号線に近接している

(d) 発振回路部のグラウンド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)

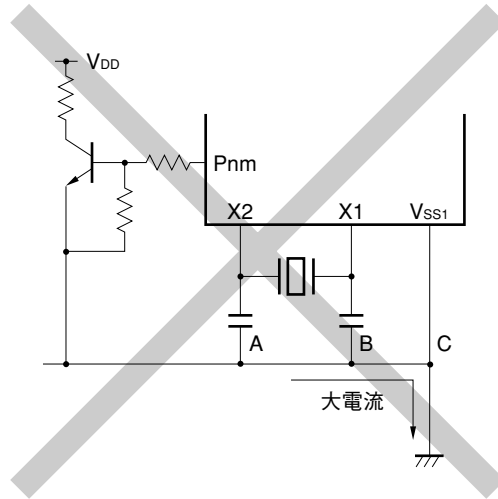
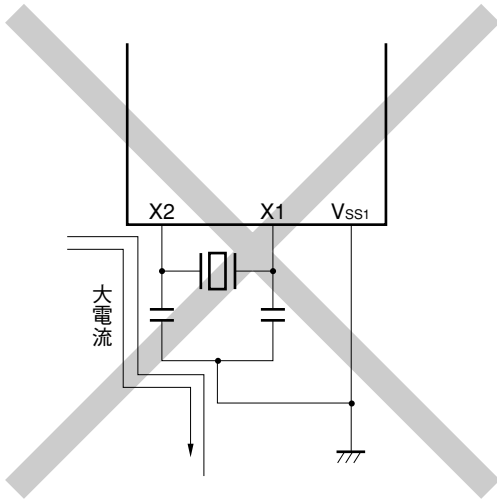
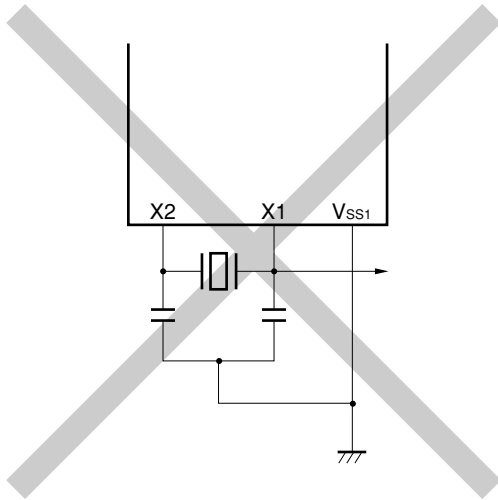


図5-4 発振子の接続の悪い例 (2/2)

(e) 信号を取り出している



5.4.2 分周回路

分周回路は、システム・クロック発振回路出力 (fx) を分周して、各種クロックを生成します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・システム・クロック f_x
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ（PCC）により決定され、次のような機能、動作となります。

- （a） $\overline{\text{RESET}}$ 信号発生によりシステム・クロックの最低速モード（ $5.09 \mu\text{s}$ ：6.29 MHz動作時）が選択されます（PCC = 04H）。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、システム・クロックの発振は停止します。
- （b）システム・クロックを選択した状態でPCCの設定により5段階のCPUクロック（ $0.32 \mu\text{s}$, $0.64 \mu\text{s}$, $1.27 \mu\text{s}$, $2.54 \mu\text{s}$, $5.09 \mu\text{s}$ ：6.29 MHz動作時）を選択できます。
- （c）STOPモード、HALTモードの2つのスタンバイ・モードが使用できます。
- （d）周辺ハードウェアへのクロックはシステム・クロックを分周して供給されます。このため、システム・クロックを停止させたときは周辺ハードウェアも停止します（ただし、外部からの入力クロック動作は除く）。

5.6 CPUクロックの設定の変更

5.6.1 CPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット0-2（PCC0-PCC2）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表5-3参照）。

表5-3 CPUクロックの切り替えに要する最大時間

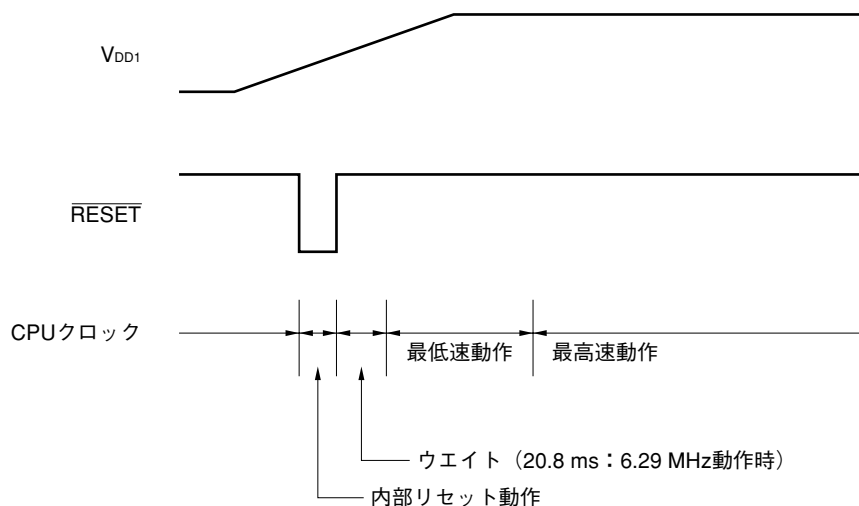
切り替え前の設定値			切り替え後の設定値														
PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0
			0	0	0	0	0	1	0	1	0	0	1	1	1	0	0
0	0	0	8 命令			16 命令			16 命令			16 命令			16 命令		
0	0	1				8 命令			8 命令			8 命令			8 命令		
0	1	0	4 命令			4 命令			4 命令			4 命令			4 命令		
0	1	1	2 命令			2 命令			2 命令			2 命令			2 命令		
1	0	0	1 命令			1 命令			1 命令			1 命令			1 命令		

備考 1 命令は、切り替え前のCPUクロックの最小命令実行時間となります。

5.6.2 CPUクロックの切り替え手順

CPUクロックの切り替えについて説明します。

図5-5 CPUクロックの切り替え



- ① 電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^{17}/f_x$) を確保します。
その後、CPUはシステム・クロックの最低速 ($5.09 \mu\text{s}$: 6.29 MHz 動作時) で命令の実行を開始します。
- ② V_{DD1} 電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) を書き換えて最高速動作を行います。

第6章 16ビット・タイマ／イベント・カウンタ

6.1 μ PD780701Yサブシリーズ内蔵タイマの概要

この章では16ビット・タイマ／イベント・カウンタについて説明しますが、その前に μ PD780701Yサブシリーズが内蔵しているタイマおよびそれに関連するものについて、その概要を次に示します。

(1) 16ビット・タイマ／イベント・カウンタ (TM00, TM01)

インターバル・タイマ、パルス幅測定(赤外線リモコン受信機能)、外部イベント・カウンタ、任意の周波数の方形波出力、PPG出力、ワンショット・パルス出力などに使用できます。

(2) 8ビット・タイマ／イベント・カウンタ (TM50, TM51, TM52)

インターバル・タイマ、外部イベント・カウンタ、任意の周波数の方形波出力、PWM出力などに使用できます。また、2本の8ビット・タイマ／イベント・カウンタを1本の16ビット・タイマ／イベント・カウンタとして使用できます(第7章 8ビット・タイマ／イベント・カウンタ参照)。

(3) 時計用タイマ(WTN0)

★ あらかじめ設定した時間間隔で割り込み要求を発生します。6.29 MHzのシステム・クロックでは0.5秒、1.0秒などの時間間隔を作ることはできません(第8章 時計用タイマ参照)。

(4) ウォッチドッグ・タイマ(WDT)

ウォッチドッグ・タイマ、あるいは、あらかじめ設定した任意の時間間隔でノンマスカブル割り込み要求、マスカブル割り込み要求、 $\overline{\text{RESET}}$ を発生できます(第9章 ウォッチドッグ・タイマ参照)。

(5) クロック出力／ブザー出力制御回路 (CKU)

クロック出力は、システム・クロックを分周したクロックをほかのデバイスに供給し、ブザー出力は、システム・クロックを分周したブザー周波数を出力する回路です(第10章 クロック出力／ブザー出力制御回路参照)。

表6-1 タイマ/イベント・カウンタの動作

		16ビット・タイマ/ イベント・カウンタ	8ビット・タイマ/ イベント・カウンタ	時計用タイマ	ウォッチドッグ・タイマ
動作	インターバル・タイマ	2チャンネル	3チャンネル	1チャンネル ^{注1}	1チャンネル ^{注2}
モード	外部イベント・カウンタ	○	○	—	—
機能	タイマ出力	○	○	—	—
	PPG出力	○	—	—	—
	PWM出力	—	○	—	—
	パルス幅測定	○	—	—	—
	方形波出力	○	○	—	—
	ワンショット・パルス出力	○	—	—	—
	割り込み要求	○	○	○	○

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

6.2 16ビット・タイマ/イベント・カウンタの機能

16ビット・タイマ/イベント・カウンタには、次のような機能があります。

- ・インターバル・タイマ
- ・PPG出力
- ・パルス幅測定
- ・外部イベント・カウンタ
- ・方形波出力
- ・ワンショット・パルス出力

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

(2) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

(4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

(6) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

6.3 16ビット・タイマ/イベント・カウンタの構成

16ビット・タイマ/イベント・カウンタは、次のハードウェアで構成されています。

表6-2 16ビット・タイマ/イベント・カウンタの構成

項目	構成
タイマ・レジスタ	16ビット・タイマ/カウンタ0n(TM0n)
レジスタ	16ビット・キャプチャ/コンペア・レジスタ00n, 01n(CR00n, CR01n)
タイマ出力	TO0n
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n) キャプチャ/コンペア・コントロール・レジスタ0n(CRC0n) 16ビット・タイマ出力コントロール・レジスタ0n(TOC0n) プリスケラ・モード・レジスタ0n(PRM0n) ポート・モード・レジスタ3, 7 (PM3, PM7) ^注

注 図4-4 P30-P32, P34-P36のブロック図, 図4-10 P70, P73-P77のブロック図を参照してください。

備考 n = 0, 1

図6-1 16ビット・タイマ/イベント・カウンタ00 (TM00) のブロック図

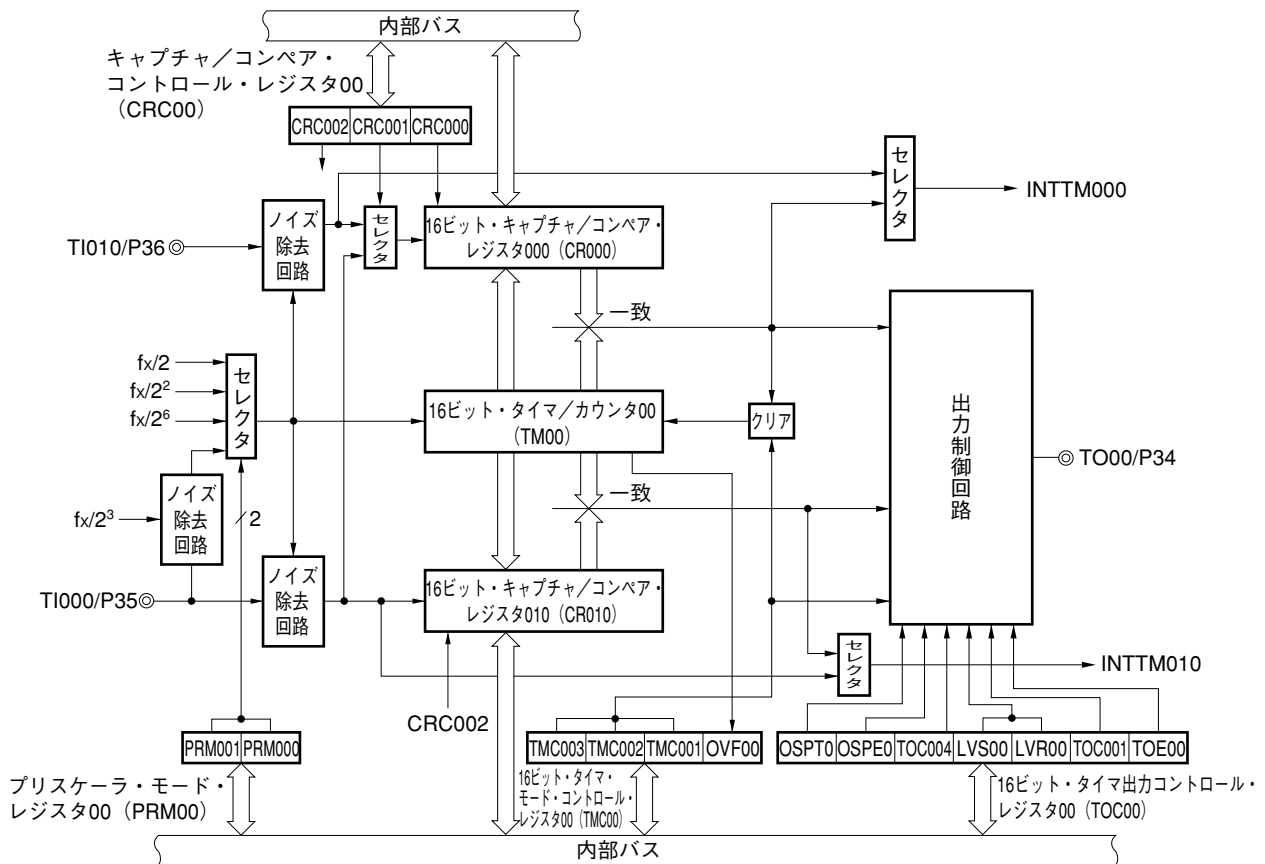
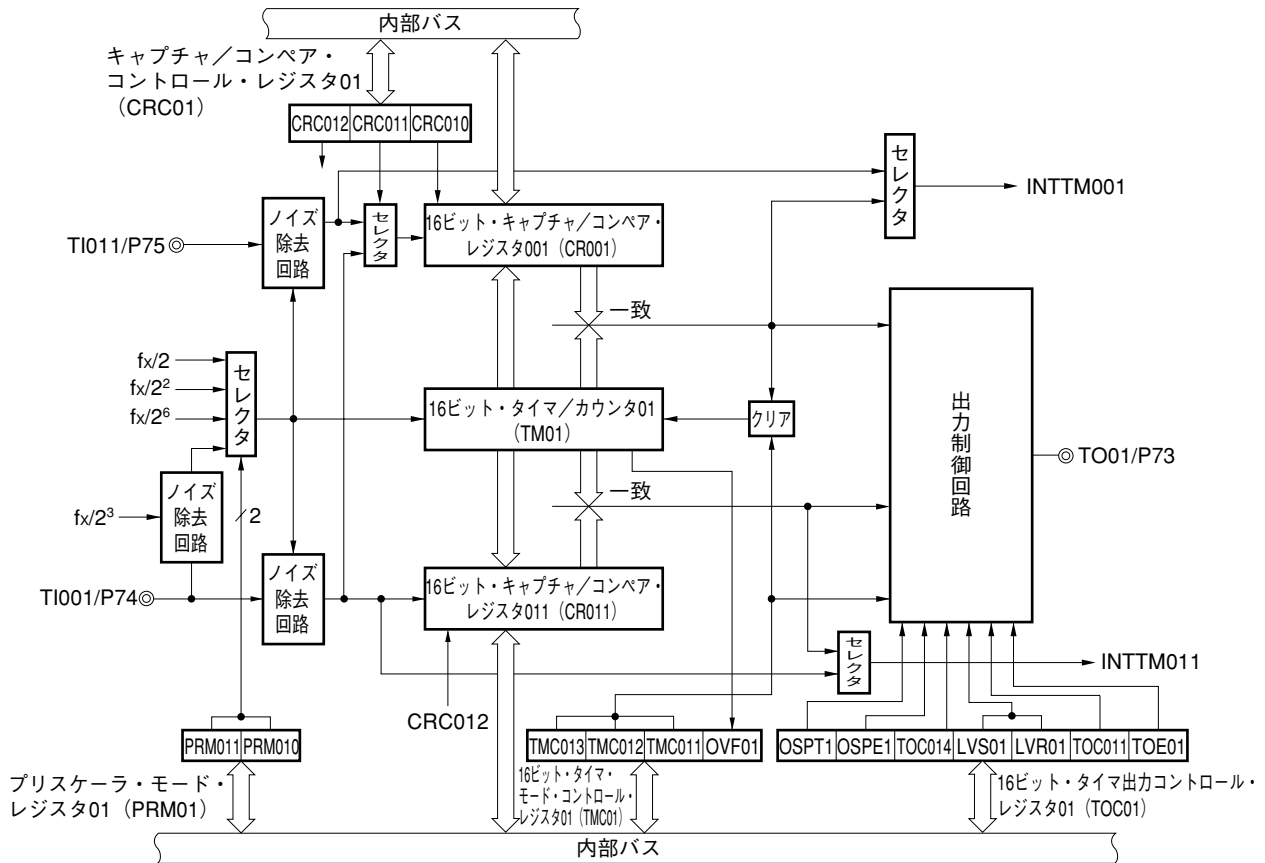


図6-2 16ビット・タイマ/イベント・カウンタ01 (TM01) のブロック図



(1) 16ビット・タイマ/カウンタ00, 01 (TM00, TM01)

TM00, TM01は、カウント・パルスをカウントする16ビットのリード専用レジスタです。

入クロックの立ち上がりに同期して、カウンタをインクリメントします。また、動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は0000Hになります。

- ① $\overline{\text{RESET}}$ 入力
- ② TMC0n3, TMC0n2をクリア
- ③ TI00n有効エッジ入力でクリア&スタート・モード時のTI00n有効エッジが入力されたとき
- ④ CR00nの一致でクリア&スタート・モード時のTM0nとCR00nの一致
- ⑤ ワンショット・パルス出力モードで、OSPTnのセットまたはTI00n有効エッジが入力されたとき

備考 n = 0, 1

(2) 16ビット・キャプチャ/コンペア・レジスタ000, 001 (CR000, CR001)

CR000, CR001は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ 0n (CRC0n) のビット0 (CRC0n0) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

・CR00nをコンペア・レジスタとして使用するとき

CR00nに設定した値と16ビット・タイマ/カウンタ0n (TM0n) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM00n) を発生します。TM0nをインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

・CR00nをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00n端子、またはTI01n端子の有効エッジが選択できます。TI00n, TI01nの有効エッジは、プリスケアラ・モード・レジスタ 0n (PRM0n) で設定します。キャプチャ・トリガをTI00n端子の有効エッジに指定したときは表6-3、キャプチャ・トリガをTI01n端子の有効エッジに指定したときは表6-4のようになります。

表6-3 TI00n端子の有効エッジとキャプチャ/コンペア・レジスタのキャプチャ・トリガ

ES0n1	ES0n0	TI00n端子の有効エッジ	CR00nのキャプチャ・トリガ	CR01nのキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち上がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ	キャプチャ動作しない	立ち上がり, 立ち下がり両エッジ

n = 0, 1

表6-4 TI01n端子の有効エッジとキャプチャ/コンペア・レジスタのキャプチャ・トリガ

ES1n1	ES1n0	TI01n端子の有効エッジ	CR00nのキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ	立ち上がり, 立ち下がり両エッジ

n = 0, 1

CR00nは、16ビット・メモリ操作命令で設定します。

★ $\overline{\text{RESET}}$ 入力により0000Hになります。

注意1. CR00n (n = 0, 1) には0000H以外の値を設定してください。したがって、イベント・カウンタとして使用時、1パルスのカウント動作はできません。ただし、フリーランニング・モードおよびTI00n (n = 0, 1) の有効エッジのクリア・モードにおいて、CR00n (n = 0, 1) に0000Hを設定した場合は、オーバフロー (FFFFH) 後に割り込み要求 (INTTM00n : n = 0, 1) を発生します。

2. CR00n (n = 0, 1) の変更後の値が16ビット・タイマ/カウンタ0n (TM0n : n = 0, 1) の値よりも小さいとき、TM0nはカウントを継続しオーバフローして0から再カウントします。したがって、CR00nの変更後の値が変更前の値よりも小さいときは、CR00nを変更後、タイマを再スタートさせる必要があります。

3. P35 (P74) をTI000 (TI001) 有効エッジとして使用するとき、タイマ出力 (TO00 (TO01)) として使用できません。また、TO00 (TO01) として使用するとき、TI000 (TI001) 有効エッジとして使用できません。

備考 n = 0, 1

(3) 16ビット・キャプチャ/コンペア・レジスタ010, 011 (CR010, CR011)

CR010, CR011は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ 0n (CRC0n) のビット 2 (CRC0n2) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

- CR01nをコンペア・レジスタとして使用するとき

CR01nに設定した値と16ビット・タイマ/カウンタ0n (TM0n) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM01n) を発生します。

- CR01nをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00n端子の有効エッジが選択できます。TI00nの有効エッジは、プリスケラ・モード・レジスタ 0n (PRM0n) で設定します。

CR01nは、16ビット・メモリ操作命令で設定します。

★ $\overline{\text{RESET}}$ 入力により0000Hになります。

注意 CR01n (n = 0, 1) には0000H以外の値を設定してください。したがって、イベント・カウンタとして使用時、1パルスのカウント動作はできません。ただし、フリーランニング・モードおよびTI01n (n = 0, 1) の有効エッジのクリア・モードにおいて、CR01n (n = 0, 1) に0000Hを設定した場合は、オーバフロー (FFFFH) 後に割り込み要求 (INTTM01n : n = 0, 1) を発生します。

備考 n = 0, 1

6.4 16ビット・タイマ/イベント・カウンタを制御するレジスタ

16ビット・タイマ/イベント・カウンタ00, 01を制御するレジスタには、次の5種類があります。

- 16ビット・タイマ・モード・コントロール・レジスタ00, 01 (TMC00, TMC01)
- キャプチャ/コンペア・コントロール・レジスタ00, 01 (CRC00, CRC01)
- 16ビット・タイマ出力コントロール・レジスタ00, 01 (TOC00, TOC01)
- プリスケラ・モード・レジスタ00, 01 (PRM00, PRM01)
- ポート・モード・レジスタ 3, 7 (PM3, PM7)

(1) 16ビット・タイマ・モード・コントロール・レジスタ00, 01 (TMC00, TMC01)

16ビット・タイマの動作モード、16ビット・タイマ/カウンタ00, 01 (TM00, TM01) のクリア・モード、出力タイミングの設定およびオーバフローを検出するレジスタです。

TMC00, TMC01は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

注意 16ビット・タイマ/カウンタ0n (TM0n) は、TMC0n2, TMC0n3に0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します (n = 0, 1)。動作を停止させるには、TMC0n2, TMC0n3に0, 0を設定してください。

図6-3 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のフォーマット

アドレス：FF60H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TMC00	0	0	0	0	TMC003	TMC002	TMC001	OVF00

TMC003	TMC002	TMC001	動作モードおよび クリア・モードの選択	TO00の出力 タイミングの選択	割り込み要求の発生
0	0	0	動作停止 (TM00は0にクリア)	変化なし	発生しない
0	0	1			
0	1	0	フリーランニング・モード	TM00とCR000の一致または TM00とCR010の一致	TM00とCR000の一致 または TM00とCR010の一致 で発生
0	1	1		TM00とCR000の一致, TM00とCR010の一致または TI000の有効エッジ	
1	0	0	TI000の有効エッジで クリア&スタート	TM00とCR000の一致または TM00とCR010の一致	
1	0	1		TM00とCR000の一致, TM00とCR010の一致または TI000の有効エッジ	
1	1	0	TM00とCR000の一致で クリア&スタート	TM00とCR000の一致または TM00とCR010の一致	
1	1	1		TM00とCR000の一致, TM00とCR010の一致または TI000の有効エッジ	

OVF00	16ビット・タイマ/カウンタ00 (TM00) のオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

- 注意 1. OVF00フラグ以外のビットには、タイマ動作を停止してから書き込んでください。
2. TI000/P35端子の有効エッジは、プリスケラ・モード・レジスタ00 (PRM00) で設定します。
3. TM00とCR000の一致でクリア&スタート・モードを選択した場合、CR000の設定値がFFFFHで、TM00の値がFFFFHから0000Hに変化するときに、OVF00フラグが1に設定されます。

備考 TO00 : 16ビット・タイマ/イベント・カウンタ00の出力端子
 TI000 : 16ビット・タイマ/イベント・カウンタ00の入力端子
 TM00 : 16ビット・タイマ/カウンタ00
 CR000 : コンペア・レジスタ000
 CR010 : コンペア・レジスタ010

図6-4 16ビット・タイマ・モード・コントロール・レジスタ01 (TMC01) のフォーマット

アドレス：FF68H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TMC01	0	0	0	0	TMC013	TMC012	TMC011	OVF01

TMC013	TMC012	TMC011	動作モードおよび クリア・モードの選択	TO01の出力 タイミングの選択	割り込み要求の発生
0	0	0	動作停止 (TM01は0にクリア)	変化なし	発生しない
0	0	1			
0	1	0	フリーランニング・モード	TM01とCR001の一致または TM01とCR011の一致	TM01とCR001の一致 または TM01とCR011の一致 で発生
0	1	1		TM01とCR001の一致, TM01とCR011の一致または TI001の有効エッジ	
1	0	0	TI001の有効エッジで クリア&スタート	TM01とCR001の一致または TM01とCR011の一致	
1	0	1		TM01とCR001の一致, TM01とCR011の一致または TI001の有効エッジ	
1	1	0	TM01とCR001の一致で クリア&スタート	TM01とCR001の一致または TM01とCR011の一致	
1	1	1		TM01とCR001の一致, TM01とCR011の一致または TI001の有効エッジ	

OVF01	16ビット・タイマ/カウンタ01 (TM01) のオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

- 注意 1. OVF01フラグ以外のビットには、タイマ動作を停止してから書き込んでください。
2. TI001/P74端子の有効エッジは、プリスケラ・モード・レジスタ01 (PRM01) で設定します。
3. TM01とCR001の一致でクリア&スタート・モードを選択した場合、CR001の設定値がFFFFHで、TM01の値がFFFFHから0000Hに変化するとき、OVF01フラグが1に設定されます。

備考 TO01 : 16ビット・タイマ/イベント・カウンタ01の出力端子
 TI001 : 16ビット・タイマ/イベント・カウンタ01の入力端子
 TM01 : 16ビット・タイマ/カウンタ01
 CR001 : コンペア・レジスタ001
 CR011 : コンペア・レジスタ011

(2) キャプチャ/コンペア・コントロール・レジスタ00, 01 (CRC00, CRC01)

16ビット・キャプチャ/コンペア・レジスタ (CR000, CR010, CR001, CR011)の動作を制御するレジスタです。

CRC00, CRC01は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図6-5 キャプチャ/コンペア・コントロール・レジスタ00(CRC00)のフォーマット

アドレス：FF62H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CRC00	0	0	0	0	0	CRC002	CRC001	CRC000

CRC002	CR010の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC001	CR000のキャプチャ・トリガの選択
0	TI010の有効エッジでキャプチャする
1	TI000の有効エッジの逆相でキャプチャする

CRC000	CR000の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

- 注意1. CRC00は、必ずタイマ動作を停止させてから設定してください。
- 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)で、TM00とCR000の一致でクリア&スタート・モードを選択したとき、CR000をキャプチャ・レジスタに指定しないでください。
 - TI000の有効エッジに立ち上がり、立ち下がり両エッジを選択した場合には、キャプチャは動作しません。

図6-6 キャプチャ/コンペア・コントロール・レジスタ01 (CRC01)のフォーマット

アドレス：FF6AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CRC01	0	0	0	0	0	CRC012	CRC011	CRC010

CRC012	CR011の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC011	CR001のキャプチャ・トリガの選択
0	TI011の有効エッジでキャプチャする
1	TI001の有効エッジの逆相でキャプチャする

CRC010	CR001の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注意1. CRC01は、必ずタイマ動作を停止させてから設定してください。

2. 16ビット・タイマ・モード・コントロール・レジスタ01 (TMC01)で、TM01とCR001の一致でクリア&スタート・モードを選択したとき、CR001をキャプチャ・レジスタに指定しないでください。
3. TI001の有効エッジに立ち上がり、立ち下がり両エッジを選択した場合には、キャプチャは動作しません。

(3) 16ビット・タイマ出力コントロール・レジスタ00, 01 (TOC00, TOC01)

16ビット・タイマ/イベント・カウンタ00, 01出力制御回路の動作を制御するレジスタです。R-S型フリップ・フロップ(LV0)のセット/リセット、出力の反転許可/禁止、16ビット・タイマ/イベント・カウンタ00, 01のタイマ出力許可/禁止、ワンショット・パルス出力動作の許可/禁止およびソフトウェアによるワンショット・パルスの出力トリガを設定します。

TOC00, TOC01は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図6-7 16ビット・タイマ出力コントロール・レジスタ00(TOC00)のフォーマット

アドレス：FF63H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TOC00	0	OSPT0	OSPE0	TOC004	LVS00	LVR00	TOC001	TOE00

OSPT0	ソフトウェアによるワンショット・パルスの出力トリガの制御
0	ワンショット・パルス・トリガなし
1	ワンショット・パルス・トリガあり

OSPE0	ワンショット・パルス出力動作の制御
0	連続パルス出力
1	ワンショット・パルス出力 ^注

TOC004	CR010とTM00の一致によるタイマ出力F/Fの制御
0	反転動作禁止
1	反転動作許可

LVS00	LVR00	16ビット・タイマ/イベント・カウンタ00のタイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット(0)
1	0	タイマ出力F/Fをセット(1)
1	1	設定禁止

TOC001	CR000とTM00の一致によるタイマ出力F/Fの制御
0	反転動作禁止
1	反転動作許可

TOE00	16ビット・タイマ/イベント・カウンタ00のタイマ出力の制御
0	出力禁止(出力は0レベルに固定)
1	出力許可

注 ワンショット・パルス出力は、フリーランニング・モード、TI000の有効エッジでクリア&スタート・モードでのみ正常動作します。

注意 TOC00は、必ずタイマ動作を停止させてから設定してください。

備考1. データ設定後にLVS00, LVR00を読み出すと、0が読み出せます。

2. OSPT0は、データ設定後に自動的にクリアされますので、読み出すと0になっています。

図6-8 16ビット・タイマ出力コントロール・レジスタ01(TOC01)のフォーマット

アドレス：FF6BH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TOC01	0	OSPT1	OSPE1	TOC014	LVS01	LVR01	TOC011	TOE01

OSPT1	ソフトウェアによるワンショット・パルスの出力トリガの制御
0	ワンショット・パルス・トリガなし
1	ワンショット・パルス・トリガあり

OSPE1	ワンショット・パルス出力動作の制御
0	連続パルス出力
1	ワンショット・パルス出力 ^注

TOC014	CR011とTM01の一致によるタイマ出力F/Fの制御
0	反転動作禁止
1	反転動作許可

LVS01	LVR01	16ビット・タイマ/イベント・カウンタ01のタイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット(0)
1	0	タイマ出力F/Fをセット(1)
1	1	設定禁止

TOC011	CR001とTM01の一致によるタイマ出力F/Fの制御
0	反転動作禁止
1	反転動作許可

TOE01	16ビット・タイマ/イベント・カウンタ01のタイマ出力の制御
0	出力禁止(出力は0レベルに固定)
1	出力許可

注 ワンショット・パルス出力は、フリーランニング・モード、TI001の有効エッジでクリア&スタート・モードでのみ正常動作します。

注意 TOC01は、必ずタイマ動作を停止させてから設定してください。

備考1. データ設定後にLVS01, LVR01を読み出すと、0が読み出せます。

2. OSPT1は、データ設定後に自動的にクリアされますので、読み出すと0になっています。

(4) プリスケアラ・モード・レジスタ00, 01 (PRM00, PRM01)

16ビット・タイマ/カウンタ00,01(TM00, TM01)のカウンタ・クロックおよびTI000, TI001入力の有効エッジを設定するレジスタです。PRM00, PRM01は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6-9 プリスケアラ・モード・レジスタ00(PRM00)のフォーマット

アドレス：FF61H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PRM00	ES110	ES100	ES010	ES000	0	0	PRM001	PRM000

ES110	ES100	TI010有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

ES010	ES000	TI000有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

PRM001	PRM000	カウンタ・クロックの選択
0	0	$f_x/2$ (3.15 MHz)
0	1	$f_x/2^2$ (1.57 MHz)
1	0	$f_x/2^6$ (98.3 kHz)
1	1	TI000有効エッジ

- 注意1. カウンタ・クロックにTI000の有効エッジを設定する場合、TI000有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。
2. PRM00は、必ずタイマ動作を停止させてからデータを設定してください。
3. 確実にキャプチャするためのキャプチャ・トリガは、選択するカウンタ・クロックの2回分より長いパルスが必要とします。同様に外部クロックは内部クロック ($f_x/2^3$) の2回分より長いパルスが必要とします。また、システム・リセット直後からTI000またはTI010がハイ・レベルである場合、TM00を動作許可にした直後に立ち上がりエッジを検出してしまいます。プルアップなどを行っている場合には注意してください。

- 備考1. f_x : システム・クロック発振周波数
2. TI000, TI010: 16ビット・タイマ/イベント・カウンタ00の入力端子
3. () 内は、 $f_x = 6.29$ MHz動作時

図6-10 プリスケラ・モード・レジスタ01 (PRM01)のフォーマット

アドレス：FF69H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PRM01	ES111	ES101	ES011	ES001	0	0	PRM011	PRM010

ES111	ES101	TI011有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES011	ES001	TI001有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

PRM011	PRM010	カウント・クロックの選択
0	0	$f_x/2$ (3.15 MHz)
0	1	$f_x/2^2$ (1.57 MHz)
1	0	$f_x/2^6$ (98.3 kHz)
1	1	TI001有効エッジ

- 注意1. カウント・クロックにTI001の有効エッジを設定する場合、TI001有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。
2. PRM01は、必ずタイマ動作を停止させてからデータを設定してください。
3. 確実にキャプチャするためのキャプチャ・トリガは、選択するカウント・クロックの2回分より長いパルスが必要とします。同様に外部クロックは内部クロック ($f_x/2^3$) の2回分より長いパルスが必要とします。また、システム・リセット直後からTI001またはTI011がハイ・レベルである場合、TM01を動作許可にした直後に立ち上がりエッジを検出してしまいます。プルアップなどを行っている場合には注意してください。

- 備考1. f_x ：システム・クロック発振周波数
2. TI001, TI011：16ビット・タイマ/イベント・カウンタ01の入力端子
3. () 内は、 $f_x = 6.29$ MHz動作時

(5) ポート・モード・レジスタ 3, 7 (PM3, PM7)

ポート 3, 7 の入力/出力を 1 ビット単位で設定するレジスタです。

P34/TO00端子, P73/TO01端子をタイマ出力として使用するとき, PM34, PM73およびP34, P73の出力ラッチに 0 を設定してください。

PM3, PM7は, 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, FFHになります。

図 6-11 ポート・モード・レジスタ 3 (PM3)のフォーマット

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-6)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図 6-12 ポート・モード・レジスタ 7 (PM7)のフォーマット

アドレス：FF27H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	P7n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.5 16ビット・タイマ/イベント・カウンタの動作

6.5.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n)と、キャプチャ/コンペア・コントロール・レジスタ0n(CRC0n)を図6-13のように設定することにより、インターバル・タイマとして動作します。16ビット・キャプチャ/コンペア・レジスタ00n(CR00n)にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

16ビット・タイマ/カウンタ0n(TM0n)のカウント値がCR00nに設定した値と一致したとき、TM0nの値を0にクリアしてカウントを継続するとともに割り込み要求信号(INTTM00n)を発生します。

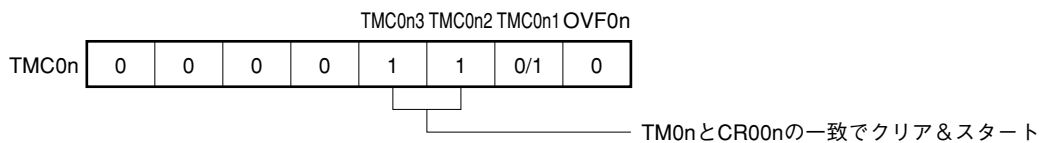
プリスケアラ・モード・レジスタ0n(PRM0n)のビット0, 1 (PRM0n0, PRM0n1)でTM0nのカウント・クロックを選択できます。

なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、6.6 16ビット・タイマ/イベント・カウンタの注意事項 (3)を参照してください。

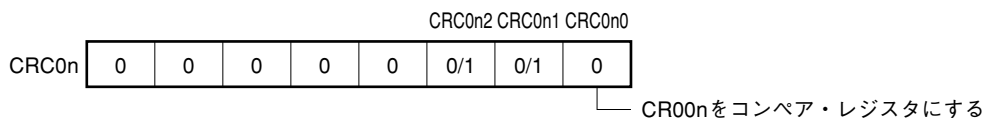
備考 n = 0, 1

図6-13 インターバル・タイマ動作時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n(CRC0n)

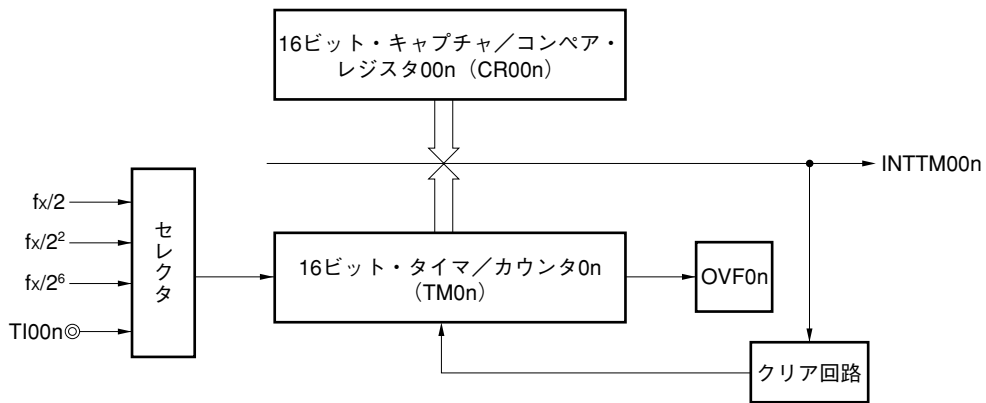


備考1. 0/1 : 0または1を設定することにより、インターバル・タイマと同時にほかの機能を使用できます。

詳細は、図6-3から図6-6を参照してください。

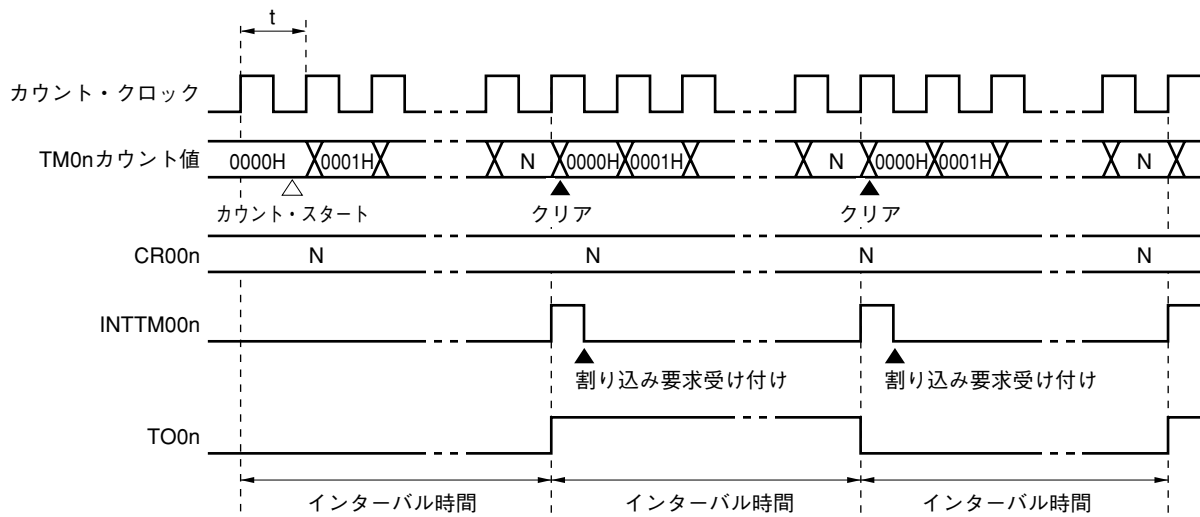
2. n = 0, 1

図6-14 インターバル・タイマの構成図



備考 n = 0, 1

図6-15 インターバル・タイマ動作のタイミング



備考1. インターバル時間 = $(N+1) \times t$: $N = 0001H-FFFFH$

2. n = 0, 1

6.5.2 PPG出力としての動作

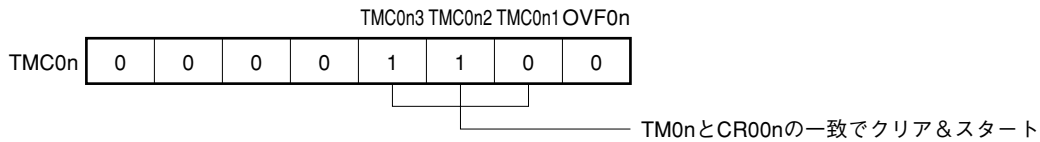
16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n)と、キャプチャ/コンペア・コントロール・レジスタ0n(CRC0n)を図6-16のように設定することにより、PPG(Programmable Pulse Generator)出力として動作します。

PPG出力パルスは、16ビット・キャプチャ/コンペア・レジスタ00n(CR00n)にあらかじめ設定したカウント値を1周期とし、16ビット・キャプチャ/コンペア・レジスタ01n(CR01n)にあらかじめ設定したカウント値をパルス幅とする矩形波をTO0n端子から出力します。

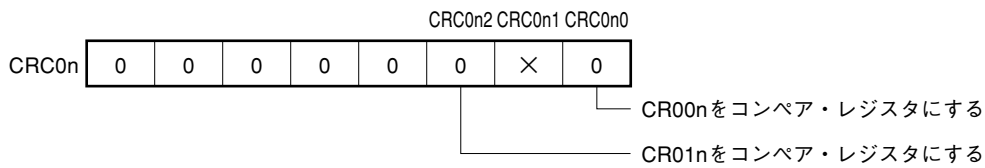
備考 n = 0, 1

図6-16 PPG出力動作時の制御レジスタ設定内容

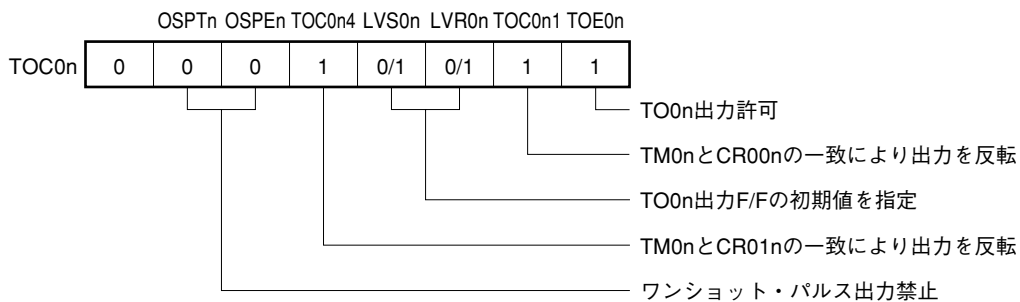
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n(CRC0n)



(c) タイマ出力コントロール・レジスタ0n(TOC0n)



注意 1. CR00nとCR01nには次の範囲の値を設定してください。

$$0000H < CR01n < CR00n \leq FFFFH$$

2. PPG出力によって生成されるパルスの周期は (CR00nの設定値+1) , デューティは (CR01nの設定値+1) / (CR00nの設定値+1) になります。

備考 × : don't care

n = 0, 1

6.5.3 パルス幅測定としての動作

16ビット・タイマ/カウンタ0n(TM0n)を使用し、TI00n端子およびTI01n端子に入力される信号のパルス幅を測定できます。

測定方法は、TM0nをフリーランニングさせて測定する方法とTI00n端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

(1) フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

16ビット・タイマ/カウンタ0n(TM0n)をフリーランニングで動作させているとき(図6-17のレジスタの設定参照)、TI00n端子にプリスケアラ・モード・レジスタ0n(PRM0n)で指定したエッジが入力されるとTM0nの値を16ビット・キャプチャ/コンペア・レジスタ01n(CR01n)に取り込み、外部割り込み要求信号(INTTM01n)をセットします。

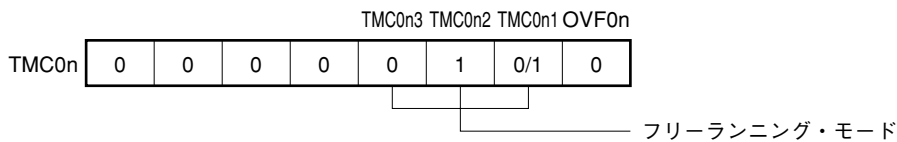
TI00n端子の有効エッジは、PRM0nのビット4、5(ES0n0, ES0n1)で指定し、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

TI00n端子の有効エッジの検出は、PRM0nで選択したカウント・クロックでサンプリングを行い、2回有効レベルを検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

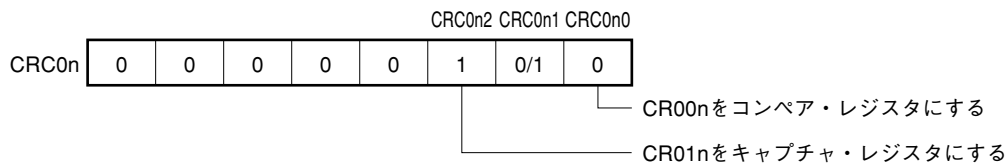
備考 n = 0, 1

図6-17 フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n)



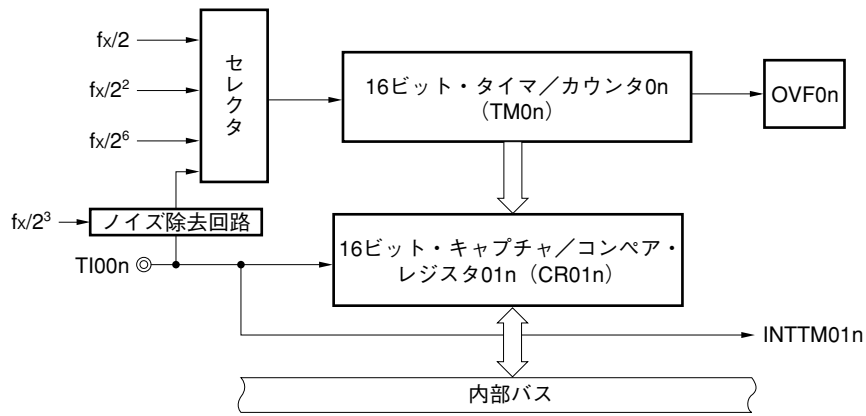
(b) キャプチャ/コンペア・コントロール・レジスタ0n(CRC0n)



備考1. 0/1 : 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、図6-3から図6-6を参照してください。

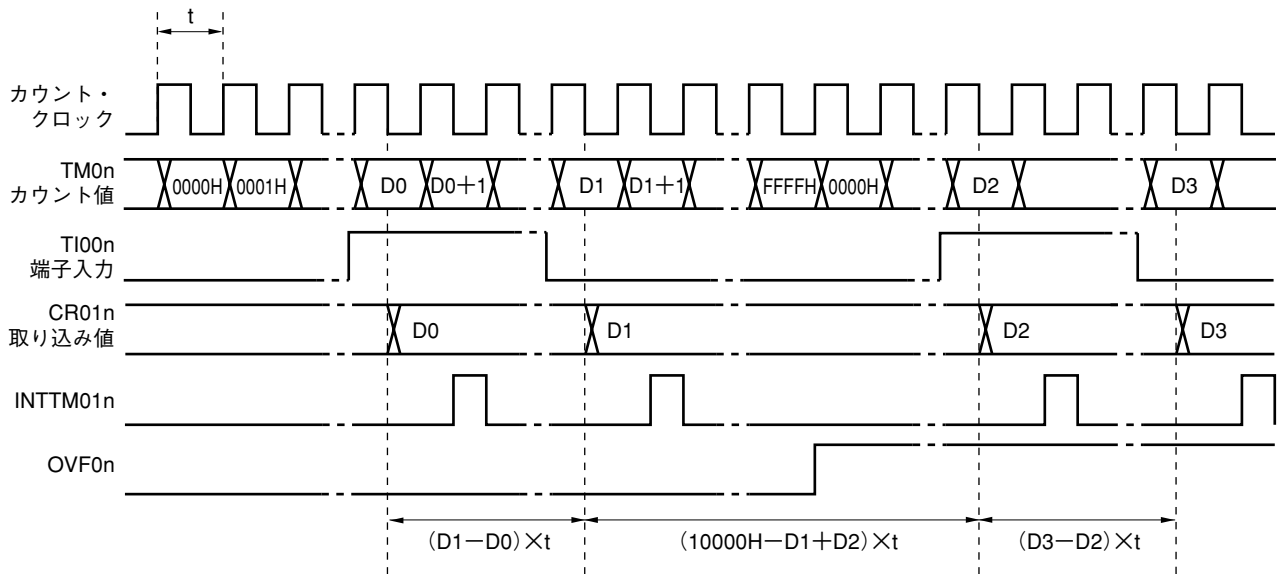
2. n = 0, 1

図6-18 フリーランニング・カウンタによるパルス幅測定の構成図



備考 n = 0, 1

図6-19 フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時)



備考 n = 0, 1

(2) フリーランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ/カウンタ0n(TM0n)をフリーランニングで動作させているとき(図6-20参照), TI00n端子およびTI01n端子に入力される2つの信号のパルス幅を同時に測定できます。

TI00n端子にプリスケアラ・モード・レジスタ0n(PRM0n)のビット4, 5(ES0n0, ES0n1)で指定したエッジが入力されると, TM0nの値を16ビット・キャプチャ/コンペア・レジスタ01n(CR01n)に取り込み, 外部割り込み要求信号(INTTM01n)をセットします。

また, TI01n端子にPRM0nのビット6, 7(ES1n0, ES1n1)で指定したエッジが入力されると, TM0nの値を16ビット・キャプチャ/コンペア・レジスタ00n(CR00n)に取り込み, 外部割り込み要求信号(INTTM00n)をセットします。

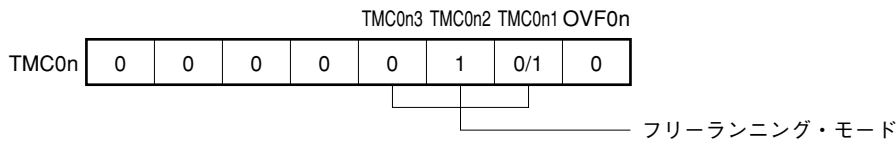
TI00n端子とTI01n端子の有効エッジは, PRM0nのビット4, 5(ES0n0, ES0n1)およびビット6, 7(ES1n0, ES1n1)でそれぞれ指定し, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

TI00n端子の有効エッジの検出は, PRM0nで選択したカウント・クロック周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

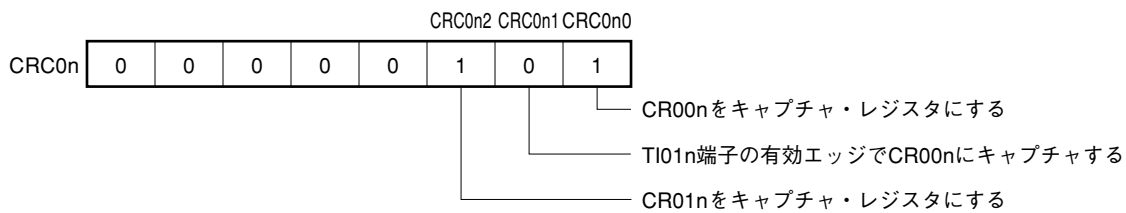
備考 n = 0, 1

図6-20 フリーランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n(CRC0n)



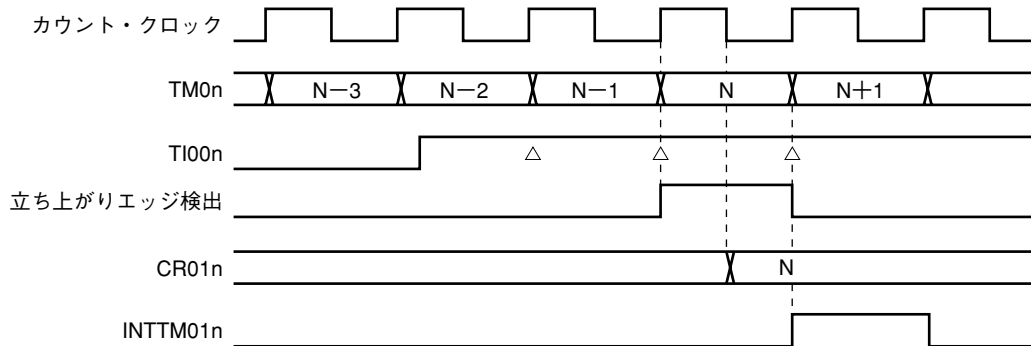
備考1. 0/1 : 0または1を設定することにより, パルス幅測定と同時にほかの機能を使用できます。詳細は, 図6-3から図6-6を参照してください。

2. n = 0, 1

・キャプチャ動作について(フリーランニング・モード)

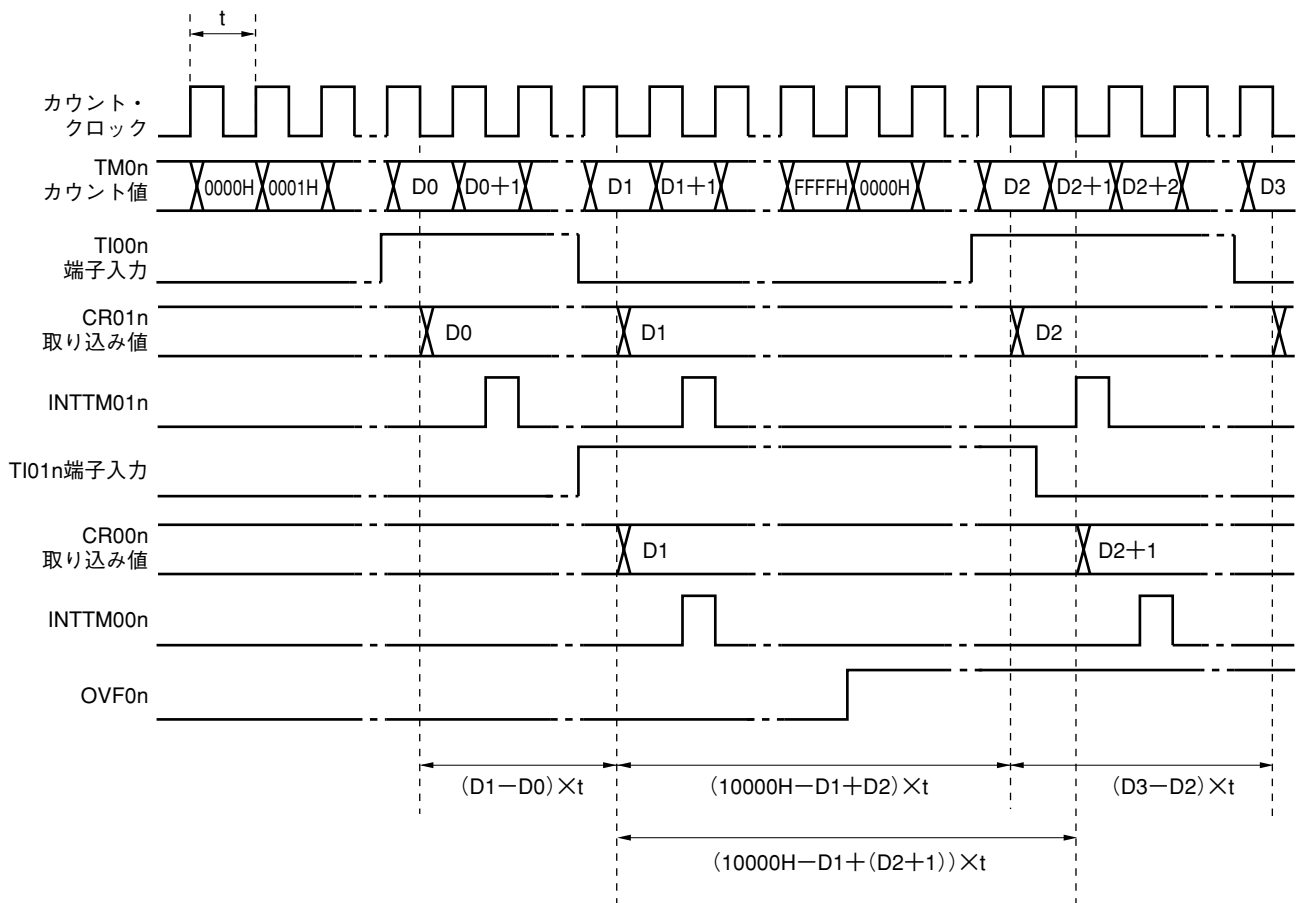
キャプチャ・トリガが入力されたときのキャプチャ・レジスタの動作を示します。

図6-21 立ち上がりエッジ指定時のCR01nキャプチャ動作



備考 n = 0, 1

図6-22 フリーランニング・カウンタによるパルス幅測定動作のタイミング(両エッジ指定時)



備考 n = 0, 1

(3) フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ/カウンタ0n(TM0n)をフリーランニングで動作させているとき(図6-23参照), TI00n端子に入力する信号のパルス幅を測定できます。

TI00n端子にプリスケアラ・モード・レジスタ0n(PRM0n)のビット4, 5(ES0n0, ES0n1)で指定したエッジが入力されると, TM0nの値を16ビット・キャプチャ/コンペア・レジスタ01n(CR01n)に取り込み, 外部割り込み要求信号(INTTM01n)をセットします。

また, CR01nへのキャプチャ動作と逆のエッジ入力で, TM0nの値を16ビット・キャプチャ/コンペア・レジスタ00n(CR00n)に取り込みます

TI00n端子の有効エッジは, PRM0nのビット4, 5(ES0n0, ES0n1)で指定し, 立ち上がりエッジまたは立ち下がりエッジの選択ができます。

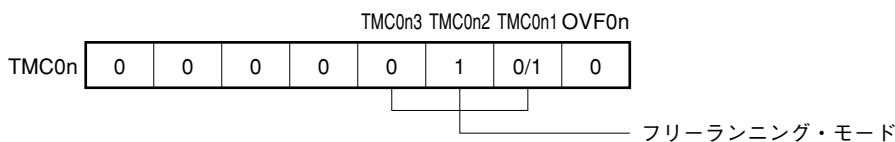
TI00n端子の有効エッジの検出は, PRM0nで選択したカウント・クロック周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

注意 TI00n端子の有効エッジを, 立ち上がり, 立ち下がり両エッジに指定した場合, キャプチャ/コンペア・レジスタ00n(CR00n)はキャプチャ動作を行えません。

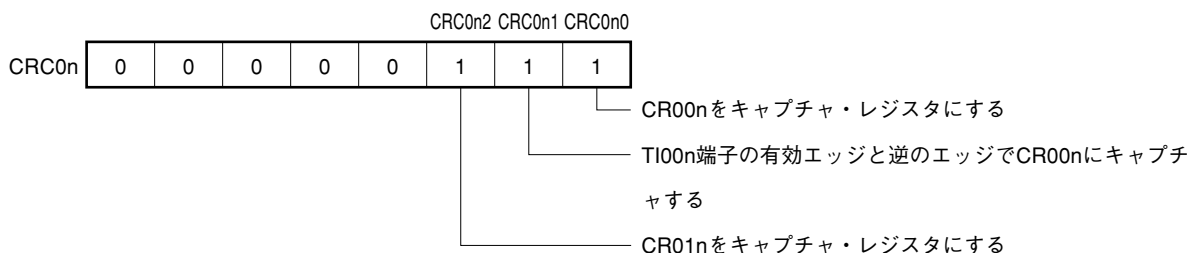
備考 n = 0, 1

図6-23 フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n)



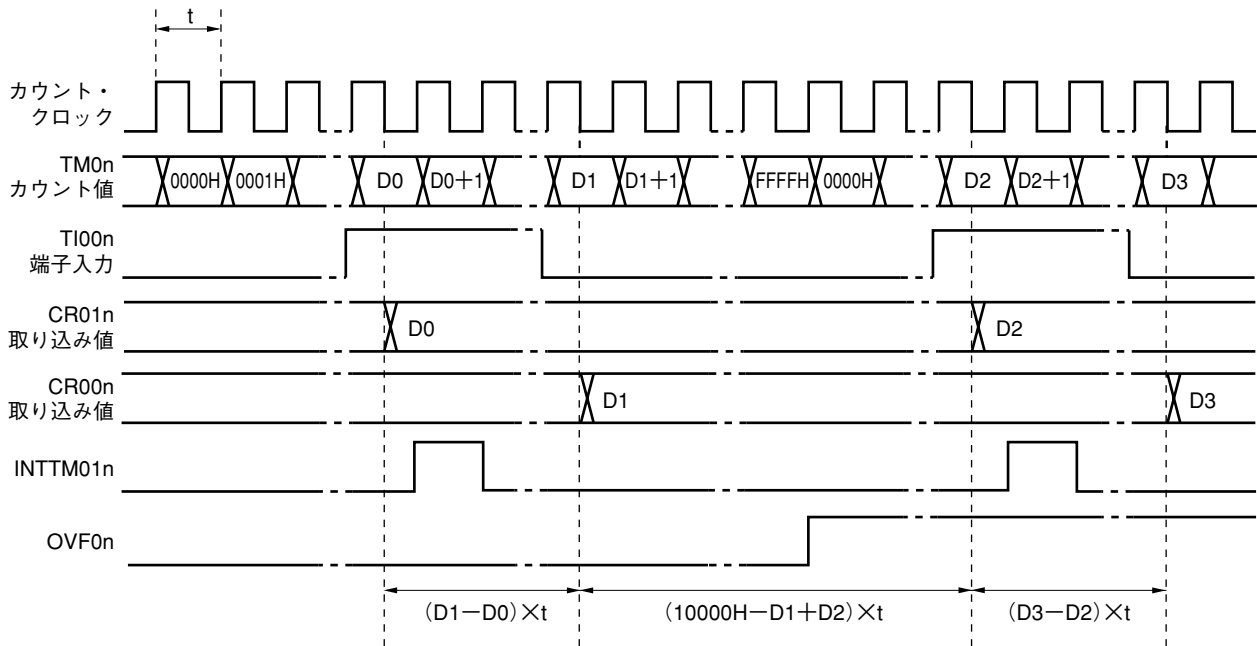
(b) キャプチャ/コンペア・コントロール・レジスタ0n(CRC0n)



備考1. 0/1: 0または1を設定することにより, パルス幅測定と同時にほかの機能を使用できます。詳細は, 図6-3から図6-6を参照してください。

2. n = 0, 1

図6-24 フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング
(立ち上がりエッジ指定時)



備考 n = 0, 1

(4) リスタートによるパルス幅測定

TI00n端子への有効エッジを検出したとき、16ビット・タイマ/カウンタ0n(TM0n)のカウンタ値を16ビット・キャプチャ/コンペア・レジスタ01n(CR01n)に取り込んだあと、TM0nをクリアしてカウントを再開することにより、TI00n端子に入力された信号のパルス幅を測定します(図6-25参照)。

TI00n端子の有効エッジは、プリスケラ・モード・レジスタ0n(PRM0n)のビット4, 5(ES0n0, ES0n1)で指定し、立ち上がりエッジまたは立ち下がりエッジの選択ができます。

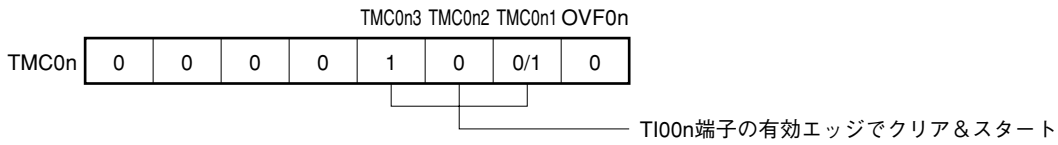
TI00n端子の有効エッジの検出は、PRM0nで選択したカウント・クロック周期でサンプリングを行い、2回有効レベルを検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

注意 TI00n端子の有効エッジを、立ち上がり、立ち下がりの両エッジに指定した場合、キャプチャ/コンペア・レジスタ00n(CR00n)はキャプチャ動作を行えません。

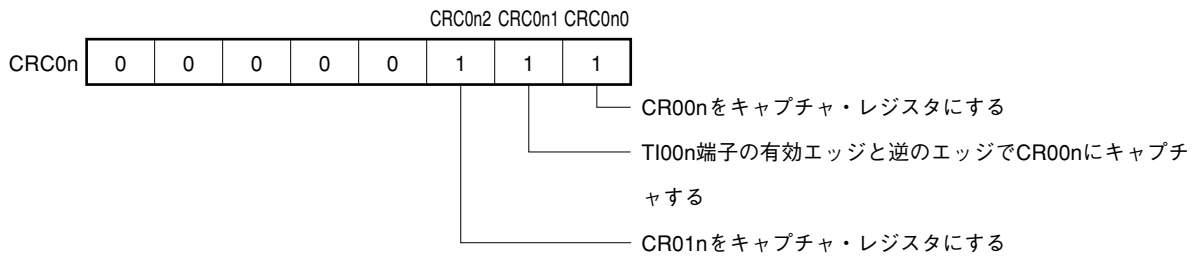
備考 n = 0, 1

図6-25 リスタートによるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n)



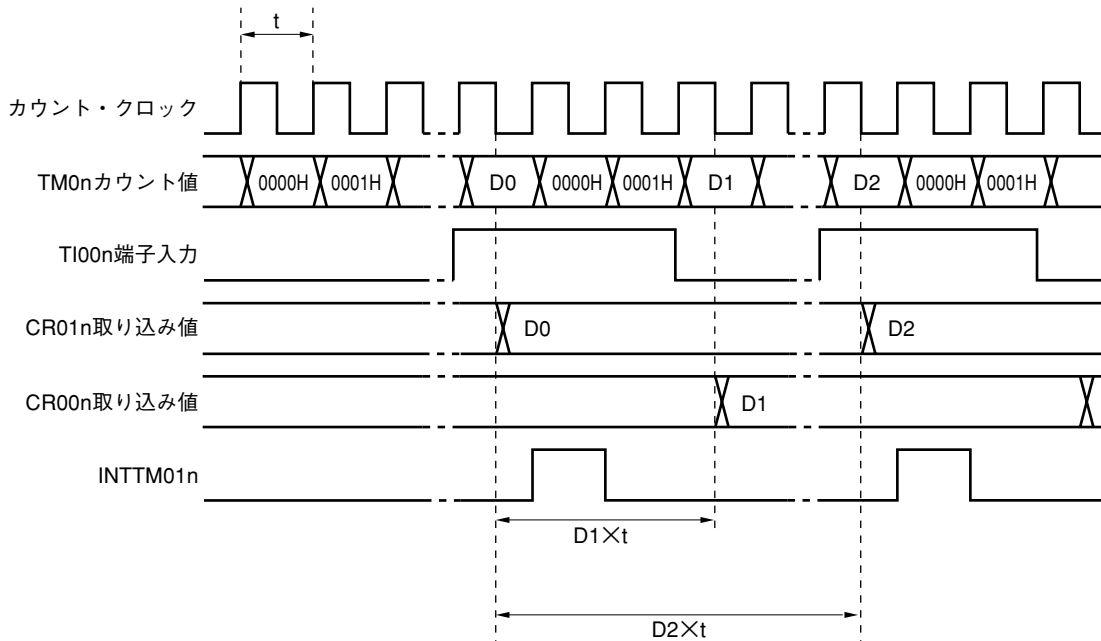
(b) キャプチャ/コンペア・コントロール・レジスタ0n(CRC0n)



備考1. 0/1 : 0 または 1 を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、
図6-3 から図6-6 を参照してください。

2. $n = 0, 1$

図6-26 リスタートによるパルス幅測定動作のタイミング(立ち上がりエッジ指定時)



備考 $n = 0, 1$

6.5.4 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI00n端子に入力される外部からのクロック・パルス数を16ビット・タイマ/カウンタ0n(TM0n)でカウントするものです。

プリスケアラ・モード・レジスタ0n(PRM0n)で指定した有効エッジが入力されるたびに、TM0nがインクリメントされます。

TM0nの計数値が16ビット・キャプチャ/コンペア・レジスタ00n(CR00n)の値と一致すると、TM0nは0にクリアされ、割り込み要求信号(INTTM00n)が発生します。

なお、CR00nには0000H以外の値を設定してください（1パルスのカウント動作はできません）。

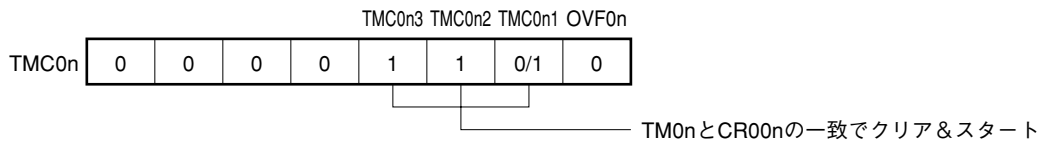
TI00n端子の有効エッジは、PRM0nのビット4, 5(ES0n0, ES0n1)で指定し、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

TI00n端子の有効エッジの検出は、 $f_x/2^3$ のクロック周期でサンプリングを行い、2回有効レベルを検出することではじめて動作するため、短いパルス幅のノイズを除去できます。

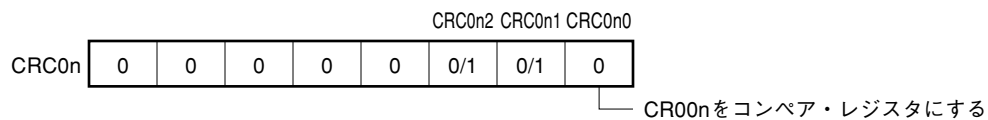
備考 n = 0, 1

図6-27 外部イベント・カウンタ・モード時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n)



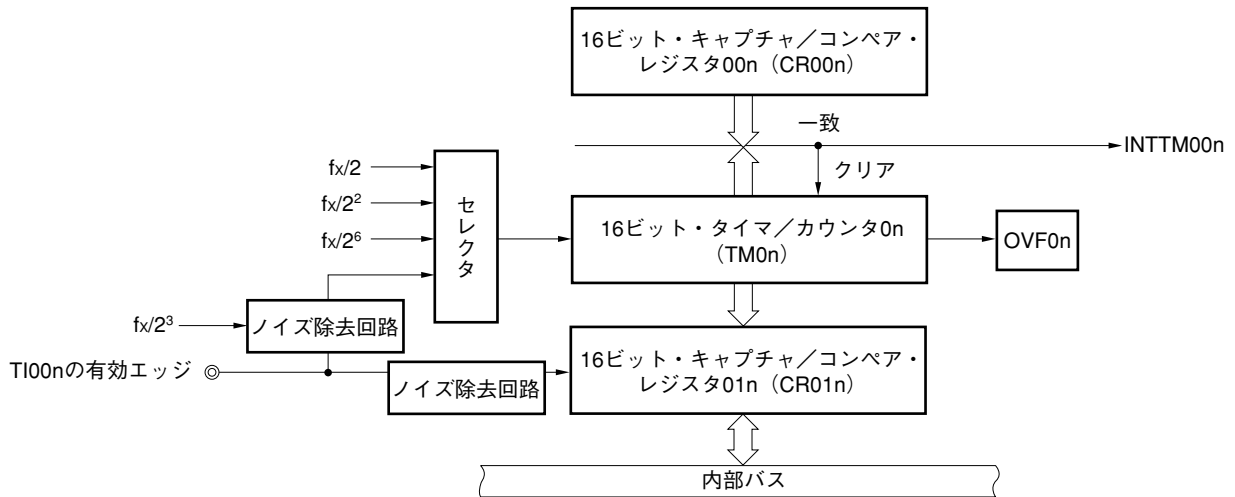
(b) キャプチャ/コンペア・コントロール・レジスタ0n(CRC0n)



備考1. 0/1: 0または1を設定することにより、外部イベント・カウンタと同時にほかの機能を使用できます。詳細は、図6-3から図6-6を参照してください。

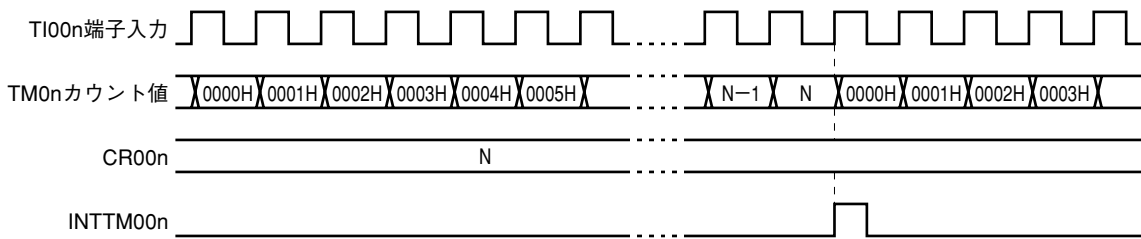
2. n = 0, 1

図6-28 外部イベント・カウンタの構成図



備考 n = 0, 1

図6-29 外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時)



注意 外部イベント・カウンタのカウンタ値を読み出す場合は、TM0n (n = 0, 1) を読み出してください。

備考 n = 0, 1

6.5.5 方形波出力としての動作

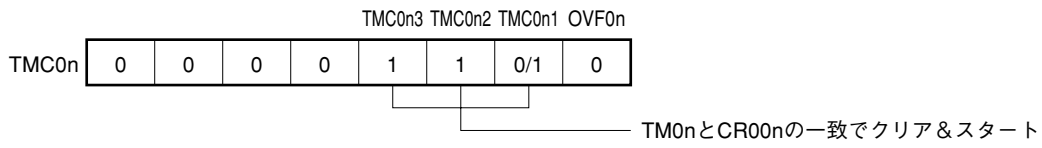
16ビット・キャプチャ/コンペア・レジスタ00n (CR00n) にあらかじめ設定したカウンタ値をインターバルとする、任意の周波数の方形波出力として動作します。

16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) のビット0 (TOE0n) とビット1 (TOC0n1) に1を設定することにより、CR00nにあらかじめ設定したカウンタ値をインターバルとしてTO0n端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

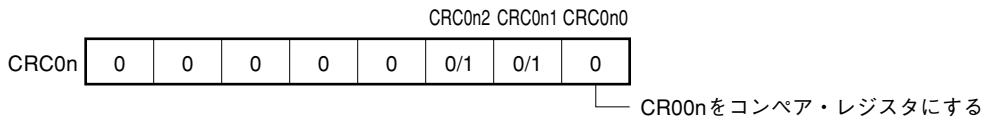
備考 n = 0, 1

図 6-30 方形波出力モード時の制御レジスタ設定内容

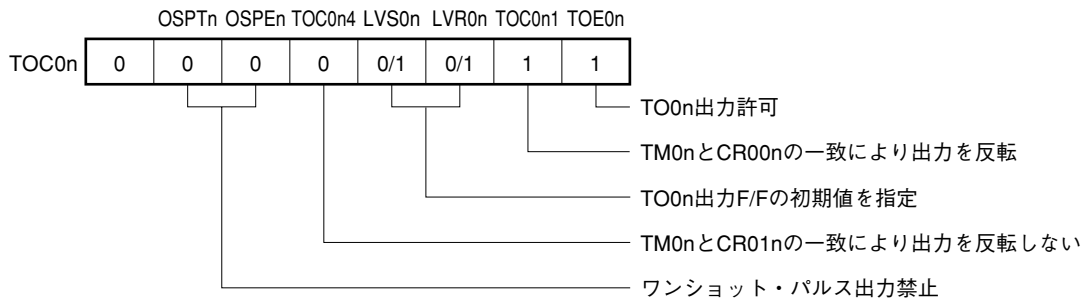
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n(CRC0n)



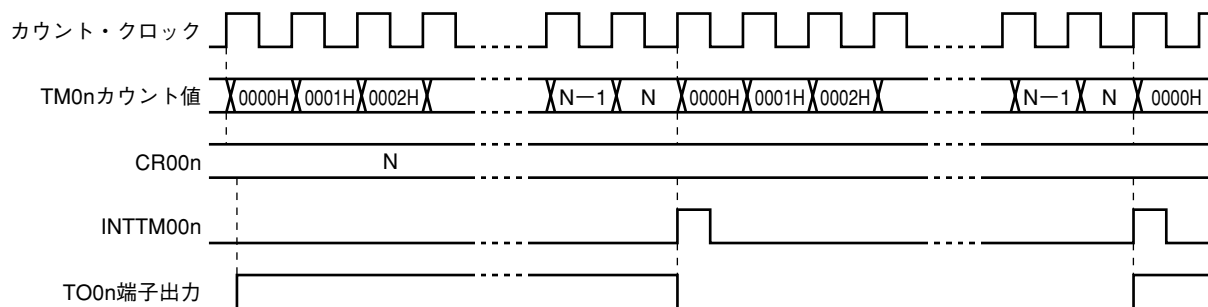
(c) 16ビット・タイマ出力コントロール・レジスタ0n(TOC0n)



備考1. 0/1 : 0 または 1 を設定することにより、方形波出力と同時にほかの機能を使用できます。詳細は、
図 6-3 から図 6-8 を参照してください。

2. n = 0, 1

図6-31 方形波出力動作のタイミング



備考 $n = 0, 1$

6.5.6 ワンショット・パルス出力としての動作

ソフトウェア・トリガおよび外部トリガ(TI00n端子入力)に同期したワンショット・パルスを出力できます。

(1) ソフトウェア・トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n)、キャプチャ/コンペア・コントロール・レジスタ0n(CRC0n)および16ビット・タイマ出力コントロール・レジスタ0n(TOC0n)を図6-32のように設定し、ソフトウェアでTOC0nのビット6(OSPTn)を1にセットすることにより、ワンショット・パルスをTO0n端子から出力します。

OSPTnを1にセットすることにより、16ビット・タイマ/イベント・カウンタ0nがクリア&スタートし、16ビット・キャプチャ/コンペア・レジスタ01n(CR01n)にあらかじめ設定したカウント値で出力がアクティブになります。その後、16ビット・キャプチャ/コンペア・レジスタ00n(CR00n)にあらかじめ設定したカウント値で出力がインアクティブとなります。

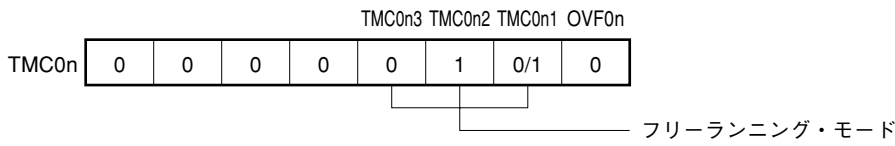
ワンショット・パルス出力後も、TM0nは動作を続けています。TM0nを停止させるためには、TMC0nに00Hを設定する必要があります。

注意 ワンショット・パルスを出力しているときは、OSPTn(16ビット・タイマ出力コントロール・レジスタ0n(TOC0n)のビット6)を1にセットしないでください。再度ワンショット・パルスを出力したいときは、CR00nとの一致割り込みであるINTTM00nが発生したあとに行ってください($n = 0, 1$)。

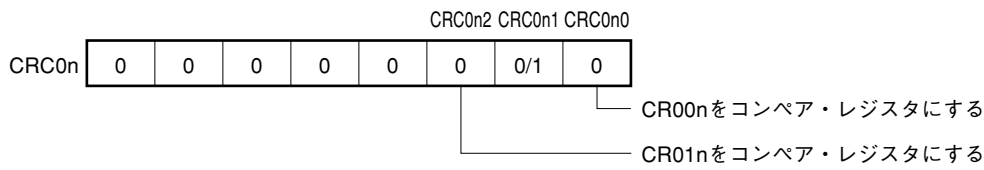
備考 $n = 0, 1$

図6-32 ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

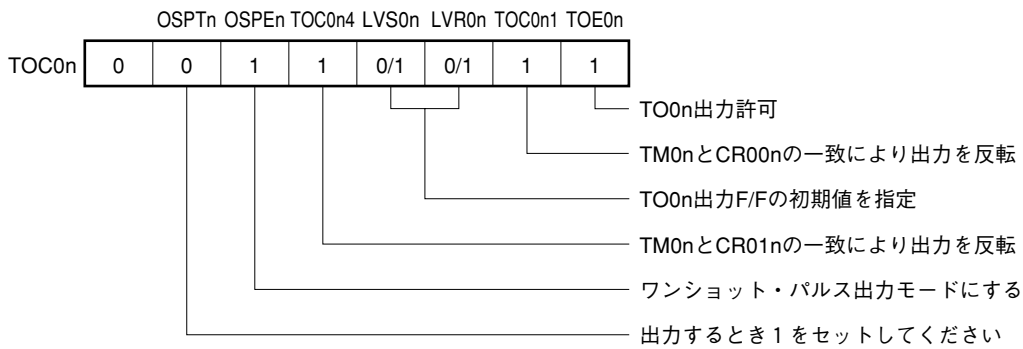
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n(CRC0n)



(c) 16ビット・タイマ出力コントロール・レジスタ0n(TOC0n)



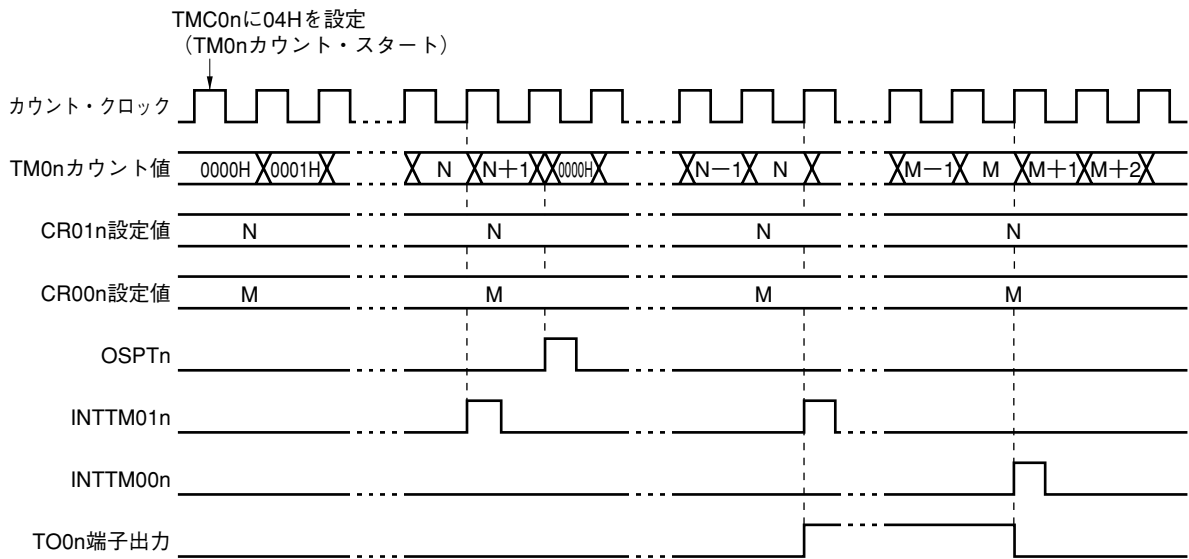
注意 CR00nとCR01nには次の範囲の値を設定してください。

$$0000H < CR01n < CR00n \leq FFFFH$$

備考1. 0/1: 0または1を設定することにより、ワンショット・パルス出力と同時にほかの機能を使用できます。詳細は、図6-3から図6-8を参照してください。

2. n = 0, 1

図6-33 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング



注意 16ビット・タイマ/カウンタ0n(TM0n)は、TMC0n2, TMC0n3に0,0(動作停止モード)以外の値を設定した時点で動作を開始します。

備考 n = 0, 1

(2) 外部トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n)、キャプチャ/コンペア・コントロール・レジスタ0n(CRC0n)および16ビット・タイマ出力コントロール・レジスタ0n(TOC0n)を図6-34のように設定し、TI00nの端子の有効エッジを外部トリガとしてワンショット・パルスをTO0n端子から出力します。

TI00n端子の有効エッジはプリスケアラ・モード・レジスタ0n(PRM0n)のビット4,5(ES00n, ES01n)で指定し、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

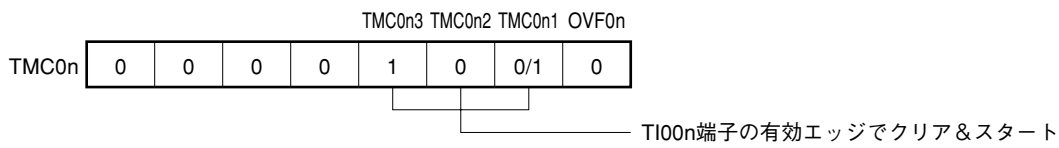
TI00n端子への有効エッジで16ビット・タイマ/イベント・カウンタがクリア&スタートし、16ビット・キャプチャ/コンペア・レジスタ01n(CR01n)にあらかじめ設定したカウント値で出力がアクティブになります。その後、16ビット・キャプチャ/コンペア・レジスタ00n(CR00n)にあらかじめ設定したカウント値で出力がインアクティブとなります。

注意 ワンショット・パルスを出力しているときに、再び外部トリガが発生しても無視されます。

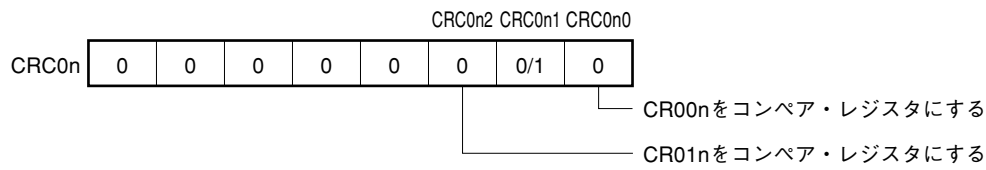
備考 n = 0, 1

図6-34 外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

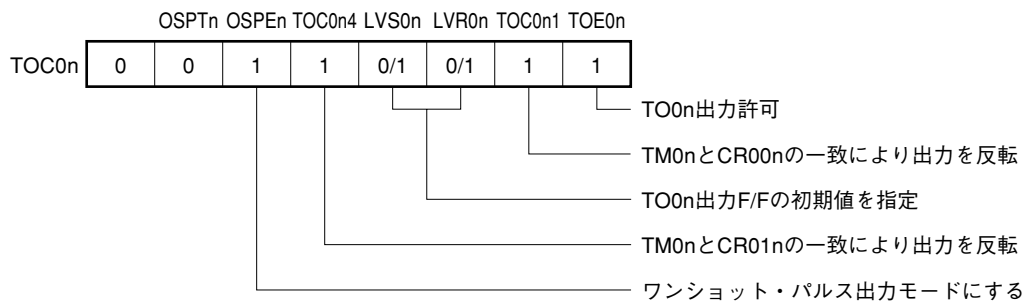
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n(CRC0n)



(c) 16ビット・タイマ出力コントロール・レジスタ0n(TOC0n)



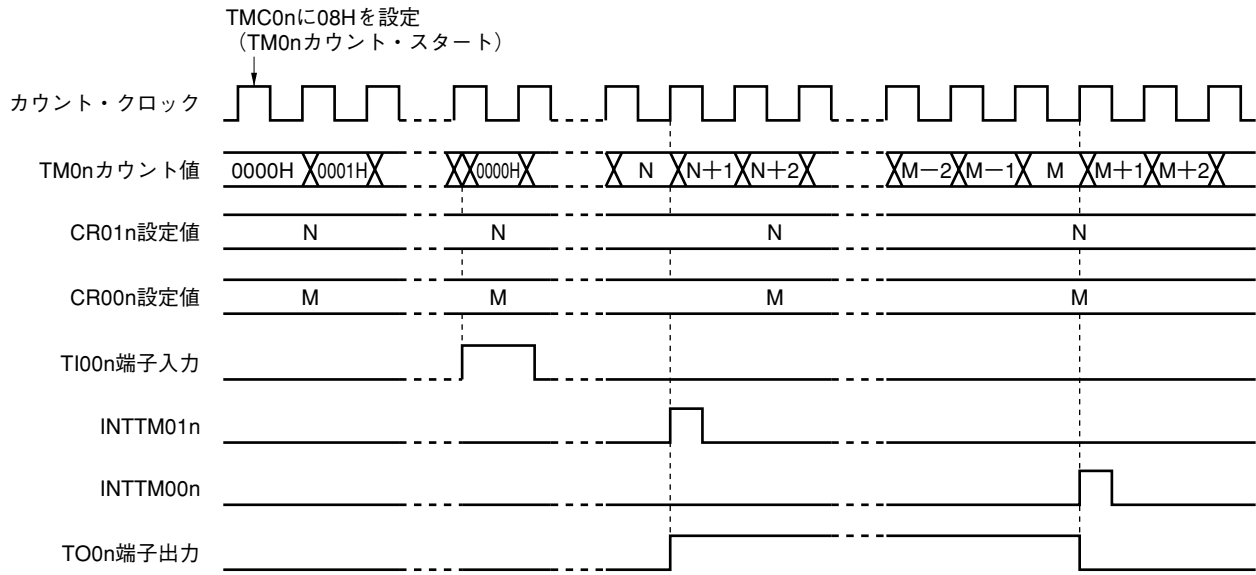
注意 CR00nとCR01nには次の範囲の値を設定してください。

$$0000H < CR01n < CR00n \leq FFFFH$$

備考1. 0/1: 0または1を設定することにより、ワンショット・パルス出力と同時にほかの機能を使用
できます。詳細は、図6-3から図6-8を参照してください。

2. n = 0, 1

図6-35 外部トリガによるワンショット・パルス出力動作のタイミング
(TI00nの有効エッジでクリア&スタート, 立ち上がりエッジ指定時)



注意 16ビット・タイマ/カウンタ0n (TM0n) は, TMC0n2, TMC0n3に 0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。

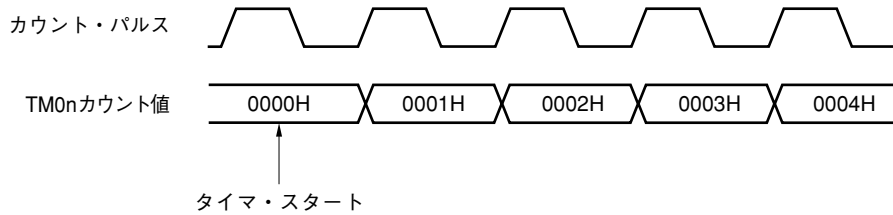
備考 n = 0, 1

6.6 16ビット・タイマ/イベント・カウンタの注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して16ビット・タイマ/カウンタ0n(TM0n : n = 0, 1)が非同期でスタートするためです。

図6-36 16ビット・タイマ/カウンタのスタート・タイミング



備考 n = 0, 1

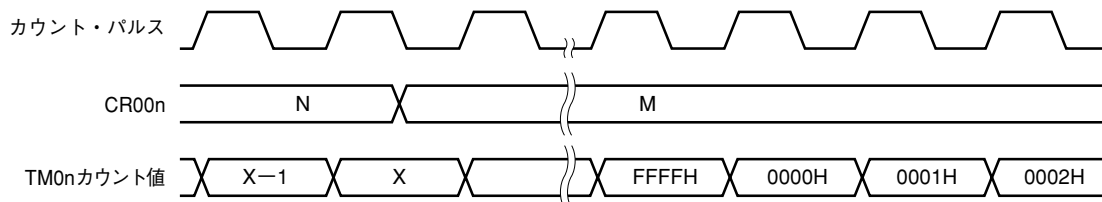
(2) 16ビット・コンペア・レジスタの設定

16ビット・キャプチャ/コンペア・レジスタ00n, 01n (CR00n, CR01n : n = 0, 1)には、0000H以外の値を設定してください。したがって、イベント・カウンタとして使用时、1パルスのカウント動作はできません。

(3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

16ビット・キャプチャ/コンペア・レジスタ00n (CR00n : n = 0, 1)の変更後の値が、16ビット・タイマ/カウンタ0n (TM0n : n = 0, 1)の値よりも小さいとき、TM0nはカウントを継続しオーバフローして0から再カウントします。したがって、CR00nの変更後の値(M)が変更前の値(N)より小さいときは、CR00nを変更後、タイマを再スタートさせる必要があります。

図6-37 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考 $N > X > M$

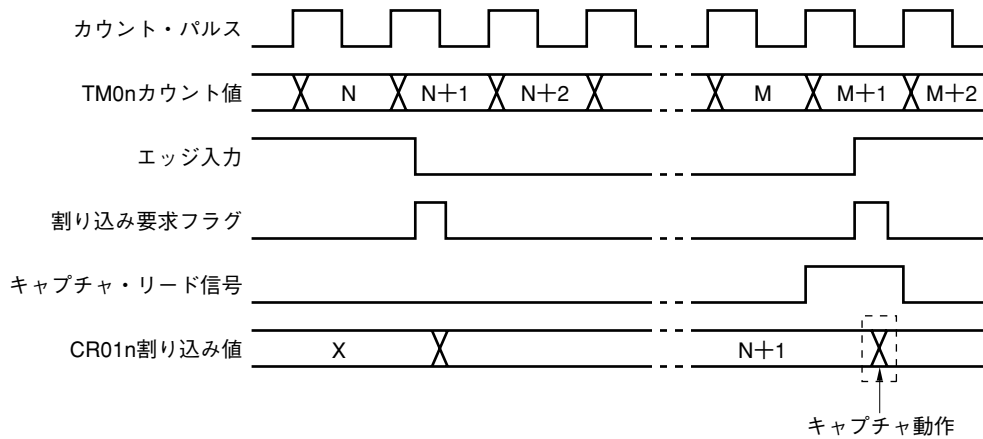
n = 0, 1

(4) キャプチャ・レジスタのデータ保持タイミング

16ビット・キャプチャ/コンペア・レジスタ01n(CR01n)の読み出し中にTI00n端子の有効エッジが入力されたとき、CR01nはキャプチャ動作を行います。このときのキャプチャ値は保証されません。ただし、有効エッジの検出による割り込み要求フラグ(TMIF01n)はセットされます。

備考 n = 0, 1

図6-38 キャプチャ・レジスタのデータ保持タイミング



備考 n = 0, 1

(5) 有効エッジの設定

TI00n端子の有効エッジは、16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n)のビット2, 3 (TMC0n2, TMC0n3)に0, 0を設定し、タイマ動作を停止させたあとに設定してください。有効エッジは、プリスケアラ・モード・レジスタ0n(PRM0n)のビット4, 5 (ES0n0, ES0n1)で設定します。

備考 n = 0, 1

(6) ワンショット・パルスの再トリガ

(a) ソフトウェアによるワンショット・パルス出力

ワンショット・パルスを出力しているときは、OSPTn (16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) のビット6) を1にセットしないでください。再度ワンショット・パルスを出力したいときは、CR00nとの一致割り込み要求であるINTTM00nが発生したあとに出力してください。

(b) 外部トリガによるワンショット・パルス出力

ワンショット・パルスを出力しているときに、再度、外部トリガが発生しても無視されます。

備考 n = 0, 1

(7) OVF0nフラグの動作

- ① OVF0nフラグ（16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）のビット6）は、次のときに“1”に設定されます。

TM0nとCR00nの一致でクリア&スタートするモードを選択

↓

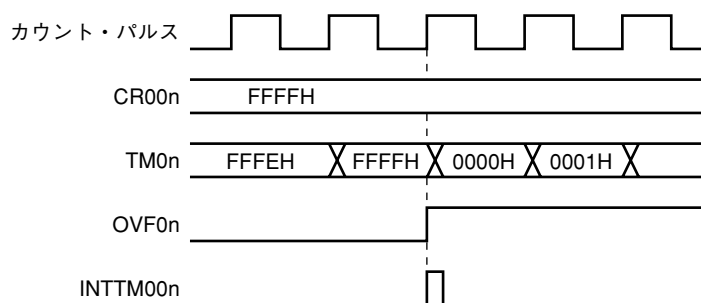
CR00nをFFFFHに設定

↓

TM0nがFFFFHから0000Hにカウント・アップするとき

備考 n = 0, 1

図6-39 OVF0nフラグの動作タイミング



備考 n = 0, 1

- ② TM0nがオーバーフロー後、次のカウント・クロックが来る前（TM0nが0001Hになる前）にOVF0nフラグをクリアしても、再度セットされ、クリアは無効となります。

備考 n = 0, 1

(8) 競合動作について

- ① 16ビット・キャプチャ/コンペア・レジスタ00n, 01n（CR00n, CR01n）のリード期間とキャプチャ・トリガ入力の競合（CR00n, CR01nはキャプチャ・レジスタとして使用）
キャプチャ・トリガ入力が優先されます。CR00n, CR01nのリード・データは不定となります。
- ② 16ビット・キャプチャ/コンペア・レジスタ00n, 01n（CR00n, CR01n）のライト期間と16ビット・タイマ/カウンタ0n（TM0n）との一致タイミングの競合（CR00n, CR01nはコンペア・レジスタとして使用）
一致判別は正常に行われません。一致タイミング付近でCR00n, CR01nのライト動作は行わないでください。

(9) タイマ動作について

- ① 16ビット・タイマ/カウンタ0n (TM0n) をリードしても、16ビット・キャプチャ/コンペア・レジスタ01n (CR01n) にはキャプチャしません。
- ② カウント・クロックのTI00nとキャプチャ・トリガのTI00nでは、サンプリング・クロックが異なります。前者は $f_x/2^3$ 、後者はカウント・クロック (図6-9, 6-10参照) です。
- ③ CPUの動作モードに関係なく、タイマが停止していると、外部割り込み要求入力のノイズは除去されません。
- ④ ワンショット・パルス出力は、フリーランニング・モードかTI00nの有効エッジでクリア&スタート・モードでのみ正常に動作します。TM0nとCR00nの一致でクリア&スタート・モードでは、オーバフローしないため、ワンショット・パルス出力ができません。

備考 n = 0, 1

(10) キャプチャ動作について

- ① カウント・クロックにTI00n (n=0,1) の有効エッジを指定した場合、TI00nをトリガに指定したキャプチャ・レジスタは正常にキャプチャ動作できません。
- ② キャプチャ動作はカウント・クロックの立ち上がりで行われますが、外部割り込み信号 (INTTM00n, INTTM01n) は次のカウント・クロックの立ち上がりでセットされます。

(11) コンペア動作について

- ① タイマ動作中に16ビット・キャプチャ/コンペア・レジスタ00n, 01n (CR00n, CR01n) を書き換えたとき、その値がタイマ値に近く、かつタイマ値より大きい場合、一致割り込みの発生やクリア動作が正常に行われない可能性があります。
- ② コンペア・モードに設定したCR00n, CR01nは、キャプチャ・トリガが入力されてもキャプチャ動作を行いません。

備考 n = 0, 1

(12) エッジ検出について

システム・リセット直後にTI00n端子またはTI01n端子がハイ・レベルの場合、TI00n端子またはTI01n端子の有効エッジを立ち上がりエッジまたは両エッジに指定し、16ビット・タイマ/カウンタ0n (TM0n) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI00n端子またはTI01n端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

備考 n = 0, 1

第7章 8ビット・タイマ／イベント・カウンタ

7.1 8ビット・タイマ／イベント・カウンタの機能

8ビット・タイマ／イベント・カウンタ（TM50, TM51, TM52）には、次の2つのモードがあります。

- ・ 8ビット・タイマ／イベント・カウンタを単体で使用するモード（単体モード）
- ・ カスケード接続して使用するモード（16ビット分解能：カスケード接続モード）

次に、これら2つのモードについて説明します。

（1）8ビット・タイマ／イベント・カウンタを単体で使用するモード（単体モード）

次のような機能として使用できます。

- ・ インターバル・タイマ
- ・ 外部イベント・カウンタ
- ・ 方形波出力
- ・ PWM出力

（2）TM50とTM51をカスケード接続して使用するモード（16ビット分解能：カスケード接続モード）

カスケード接続することにより、16ビットのタイマ／イベント・カウンタとして動作します。

次のような機能として使用できます。

- ・ 16ビット分解能のインターバル・タイマ
- ・ 16ビット分解能の外部イベント・カウンタ
- ・ 16ビット分解能の方形波出力

注意 カスケード接続する場合は、TM50を下位タイマとして、TM51を上位タイマとして使用してください。また、TM52はカスケード接続できません。

7.2 8ビット・タイマ/イベント・カウンタの構成

8ビット・タイマ/イベント・カウンタは、次のハードウェアで構成されています。

表7-1 8ビット・タイマ/イベント・カウンタの構成

項目	構成
タイマ・レジスタ	8ビット・タイマ/カウンタ5n (TM5n)
レジスタ	8ビット・タイマ・コンペア・レジスタ5n (CR5n)
タイマ出力	TO5n
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) タイマ・クロック選択レジスタ5n (TCL5n) ポート・モード・レジスタ7 (PM7) 注

注 図4-10 P70, P73-P77のブロック図を参照してください。

備考 n = 0-2

図7-1 8ビット・タイマ/イベント・カウンタ50 (TM50) のブロック図

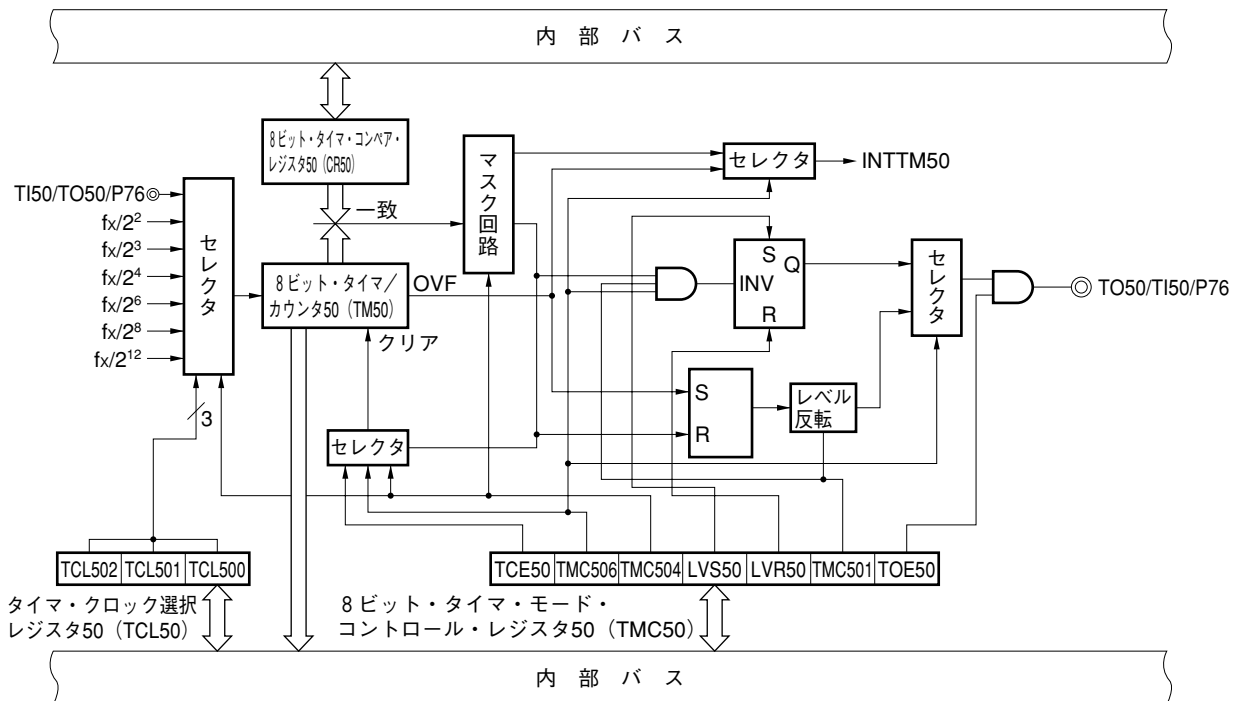


図7-2 8ビット・タイマ/イベント・カウンタ51 (TM51) のブロック図

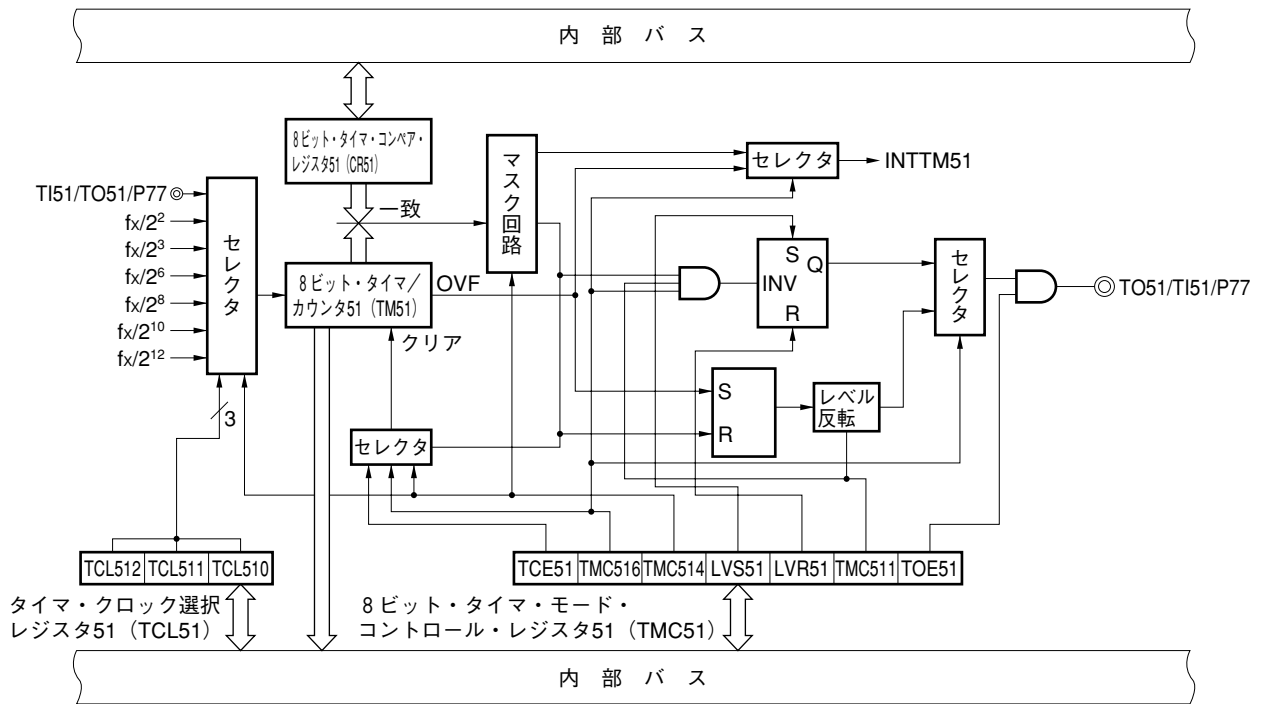
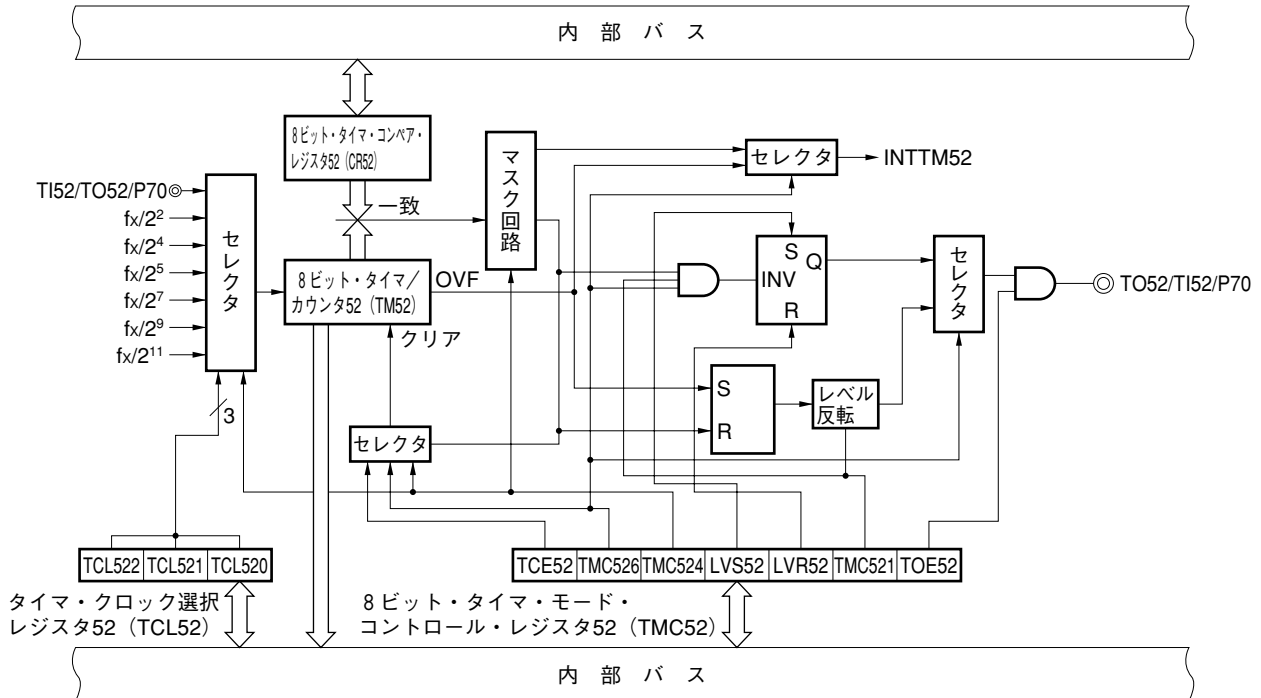


図7-3 8ビット・タイマ/イベント・カウンタ52 (TM52) のブロック図



(1) 8ビット・タイマ/カウンタ50, 51, 52 (TM50, TM51, TM52)

TM50, TM51, TM52は、カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

TM50, TM51は、カスケード接続し、16ビット・タイマとして使用できます。

TM50, TM51をカスケード接続し、16ビット・タイマとして使用した場合、16ビット操作命令により読み出せません。しかし、内部8ビット・バスで接続されていますので、TM50, TM51を2回に分けて読み出します。したがって、カウント変化中読み出しを考慮し、2度読みにより比較してください。

動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は00Hになります。

- ① $\overline{\text{RESET}}$ 入力
- ② TCE5nをクリア
- ③ TM5nとCR5nの一致でクリア&スタート・モード時のTM5nとCR5nの一致

注意 カスケード接続時は、TM50のTCE50をクリアしても00Hとなります。

備考 n = 0-2

(2) 8ビット・タイマ・コンペア・レジスタ50, 51, 52 (CR50, CR51, CR52)

CR5nに設定した値と8ビット・タイマ/カウンタ5n (TM5n) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM5n) を発生します (PWMモード以外)。

CR5nの値は、00H-FFHの範囲で設定でき、カウント動作中の書き換えが可能です。

TM50, TM51をカスケード接続し、16ビット・タイマとして使用した場合、CR50, CR51は、16ビット・コンペア・レジスタとして動作します。16ビット長でカウンタ値とレジスタ値を比較し、一致すると割り込み要求 (INTTM50) を発生します。そのとき、INTTM51割り込み要求も発生しますので、TM50, TM51をカスケード接続して使用する場合は、INTTM51割り込み要求をマスクしてください。

注意 カスケード接続時は、必ずタイマ動作を停止させてからデータを設定してください。

備考 n = 0-2

7.3 8ビット・タイマ/イベント・カウンタを制御するレジスタ

8ビット・タイマ/イベント・カウンタ50, 51, 52を制御するレジスタには、次の3種類があります。

- ・ 8ビット・タイマ・モード・コントロール・レジスタ50, 51, 52 (TMC50, TMC51, TMC52)
- ・ タイマ・クロック選択レジスタ50, 51, 52 (TCL50, TCL51, TCL52)
- ・ ポート・モード・レジスタ7 (PM7)

(1) 8ビット・タイマ・モード・コントロール・レジスタ50, 51, 52 (TMC50, TMC51, TMC52)

TMC50, TMC51, TMC52は、次の6種類の設定を行うレジスタです。

- ① 8ビット・タイマ/カウンタ50, 51, 52 (TM50, TM51, TM52) のカウント動作制御
- ② 8ビット・タイマ/カウンタ50, 51, 52 (TM50, TM51, TM52) の動作モードの選択
- ③ 単体モード/カスケード接続モードの選択
- ④ タイマ出力F/F (フリップフロップ) の状態設定
- ⑤ タイマF/Fの制御またはPWM (フリーランニング) モード時のアクティブ・レベルの選択
- ⑥ タイマ出力の制御

TMC50, TMC51, TMC52は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、04Hになります。

図7-4 から図7-6 にTMC50, TMC51, TMC52のフォーマットを示します。

注意 TMC5n (n = 0 - 2) の初期値は04Hです。TMC5nを読み出すと00Hになりますが、TMC5nのビット2, 3 (LVR5n, LVS5n) がライト・オンリ・ビット (リード時 = 0) のためです。

図7-4 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC50	TCE50	TMC506	0	0	LVS50	LVR50	TMC501	TOE50	FF79H	04H	R/W
TCE50	TM50のカウンタ動作制御										
0	カウンタを0にクリア後、カウンタ動作禁止（プリスケアラ禁止）										
1	カウンタ動作開始										
TMC506	TM50の動作モード選択										
0	TM50とCR50の一致でクリア&スタート・モード										
1	PWM（フリーランニング）モード										
LVS50	LVR50	8ビット・タイマ/イベント・カウンタ50のタイマ出力F/Fの状態の設定									
0	0	変化しない									
0	1	タイマ出力F/Fをリセット（0）									
1	0	タイマ出力F/Fをセット（1）									
1	1	設定禁止									
TMC501	PWMモード以外（TMC506 = 0）					PWMモード（TMC506 = 1）					
	タイマF/Fの制御					アクティブ・レベルの選択					
0	反転動作禁止					ハイ・アクティブ					
1	反転動作許可					ロウ・アクティブ					
TOE50	8ビット・タイマ/イベント・カウンタ50のタイマ出力の制御										
0	出力禁止（ポート・モード）										
1	出力許可										

- 備考1. PWMモード時は、TCE50 = 0により、PWM出力はインアクティブ・レベルになります。
2. データ設定後にLVS50, LVR50を読み出すと、0が読み出せます。

図7-5 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC51	TCE51	TMC516	0	TMC514	LVS51	LVR51	TMC511	TOE51	FF7BH	04H	R/W
TCE51	TM51のカウンタ動作制御										
0	カウンタを0にクリア後、カウンタ動作禁止（プリスケール禁止）										
1	カウンタ動作開始										
TMC516	TM51の動作モード選択										
0	TM51とCR51の一致でクリア&スタート・モード										
1	PWM（フリーランニング）モード										
TMC514	単体モード/カスケード接続モードの選択										
0	単体モード										
1	カスケード接続モード（TM50と接続）										
LVS51	LVR51	8ビット・タイマ/イベント・カウンタ51のタイマ出力F/Fの状態の設定									
0	0	変化しない									
0	1	タイマ出力F/Fをリセット（0）									
1	0	タイマ出力F/Fをセット（1）									
1	1	設定禁止									
TMC511	PWMモード以外（TMC516 = 0）					PWMモード（TMC516 = 1）					
	タイマF/Fの制御					アクティブ・レベルの選択					
0	反転動作禁止					ハイ・アクティブ					
1	反転動作許可					ロウ・アクティブ					
TOE51	8ビット・タイマ/イベント・カウンタ51のタイマ出力の制御										
0	出力禁止（ポート・モード）										
1	出力許可										

備考1. PWMモード時は、TCE51 = 0により、PWM出力はインアクティブ・レベルになります。

2. データ設定後にLVS51, LVR51を読み出すと、0が読み出せます。

図7-6 8ビット・タイマ・モード・コントロール・レジスタ52 (TMC52) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC52	TCE52	TMC526	0	0	LVS52	LVR52	TMC521	TOE52	FF7DH	04H	R/W
TCE52	TM52のカウンタ動作制御										
0	カウンタを0にクリア後、カウンタ動作禁止（プリスケアラ禁止）										
1	カウンタ動作開始										
TMC526	TM52の動作モード選択										
0	TM52とCR52の一致でクリア&スタート・モード										
1	PWM（フリーランニング）モード										
LVS52	LVR52	8ビット・タイマ/イベント・カウンタ52のタイマ出力F/Fの状態の設定									
0	0	変化しない									
0	1	タイマ出力F/Fをリセット（0）									
1	0	タイマ出力F/Fをセット（1）									
1	1	設定禁止									
TMC521	PWMモード以外（TMC526 = 0）				PWMモード（TMC526 = 1）						
	タイマF/Fの制御				アクティブ・レベルの選択						
0	反転動作禁止				ハイ・アクティブ						
1	反転動作許可				ロウ・アクティブ						
TOE52	8ビット・タイマ/イベント・カウンタ52のタイマ出力の制御										
0	出力禁止（ポート・モード）										
1	出力許可										

- 備考1. PWMモード時は、TCE52 = 0により、PWM出力はインアクティブ・レベルになります。
2. データ設定後にLVS52, LVR52を読み出すと、0が読み出せます。

(2) タイマ・クロック選択レジスタ50, 51, 52 (TCL50, TCL51, TCL52)

8ビット・タイマ/カウンタ50, 51, 52 (TM50, TM51, TM52) のカウント・クロックおよび TI50, TI51, TI52入力の有効エッジを設定するレジスタです。

TCL50, TCL51, TCL52は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図7-7 から図7-9 にTCL50, TCL51, TCL52のフォーマットを示します。

図7-7 タイマ・クロック選択レジスタ50 (TCL50) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500	FF78H	00H	R/W
	TCL502	TCL501	TCL500	カウント・クロックの選択							
	0	0	0	TI50の立ち下がりエッジ							
	0	0	1	TI50の立ち上がりエッジ							
	0	1	0	fx/2 ² (1.57 MHz)							
	0	1	1	fx/2 ³ (786 kHz)							
	1	0	0	fx/2 ⁴ (393 kHz)							
	1	0	1	fx/2 ⁶ (98.3 kHz)							
	1	1	0	fx/2 ⁸ (24.6 kHz)							
	1	1	1	fx/2 ¹² (1.54 kHz)							

注意1. TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. TCL50のビット3-7には、必ず0を設定してください。

備考1. fx: システム・クロック発振周波数

2. ()内は、fx = 6.29 MHz動作時

図7-8 タイマ・クロック選択レジスタ51 (TCL51) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510	FF7AH	00H	R/W

TCL512	TCL511	TCL510	カウント・クロックの選択
0	0	0	TI51の立ち下がリエッジ
0	0	1	TI51の立ち上がりエッジ
0	1	0	$f_x/2^2$ (1.57 MHz)
0	1	1	$f_x/2^3$ (786 kHz)
1	0	0	$f_x/2^6$ (98.3 kHz)
1	0	1	$f_x/2^8$ (24.6 kHz)
1	1	0	$f_x/2^{10}$ (6.14 kHz)
1	1	1	$f_x/2^{12}$ (1.54 kHz)

注意1. TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. TCL51のビット3-7には、必ず0を設定してください。

備考1. f_x : システム・クロック発振周波数

2. ()内は、 $f_x = 6.29$ MHz動作時

3. TM50とTM51のカスケード接続モード時、TCL510-TCL512の設定は無効になります。

図7-9 タイマ・クロック選択レジスタ52 (TCL52) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL52	0	0	0	0	0	TCL522	TCL521	TCL520	FF7CH	00H	R/W
	TCL522	TCL521	TCL520	カウント・クロックの選択							
	0	0	0	TI52の立ち下がりエッジ							
	0	0	1	TI52の立ち上がりエッジ							
	0	1	0	fx/2 ² (1.57 MHz)							
	0	1	1	fx/2 ⁴ (393 kHz)							
	1	0	0	fx/2 ⁵ (197 kHz)							
	1	0	1	fx/2 ⁷ (49.2 kHz)							
	1	1	0	fx/2 ⁹ (12.3 kHz)							
	1	1	1	fx/2 ¹¹ (3.07 kHz)							

注意1. TCL52を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換え
てください。

2. TCL52のビット3-7には、必ず0を設定してください。

備考1. fx: システム・クロック発振周波数

2. () 内は、fx = 6.29 MHz動作時

(3) ポート・モード・レジスタ7 (PM7)

ポート7の入力/出力を1ビット単位で設定するレジスタです。

P70/TI52/TO52, P76/TI50/TO50, P77/TI51/TO51端子をタイマ出力として使用するとき、PM70, PM76, PM77および、P70,P76, P77の出力ラッチに0を設定してください。

PM7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図7-10 ポート・モード・レジスタ7 (PM7) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
	PM7n	P7n端子の入出力モードの選択 (n = 0-7)									
	0	出力モード (出力バッファ・オン)									
	1	入力モード (出力バッファ・オフ)									

7.4 8ビット・タイマ/イベント・カウンタの動作

7.4.1 インターバル・タイマ（8ビット）としての動作

8ビット・タイマ・コンペア・レジスタ5n（CR5n）にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ/カウンタ5n（TM5n）のカウント値がCR5nに設定した値と一致したとき、TM5nの値を0にクリアしてカウントを継続するとともに割り込み要求信号（INTTM5n）を発生します。

タイマ・クロック選択レジスタ5n（TCL5n）のビット0-2（TCL5n0-TCL5n2）でTM5nのカウント・クロックを選択できます。

なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、7.5 8ビット・タイマ/イベント・カウンタの注意事項（2）を参照してください。

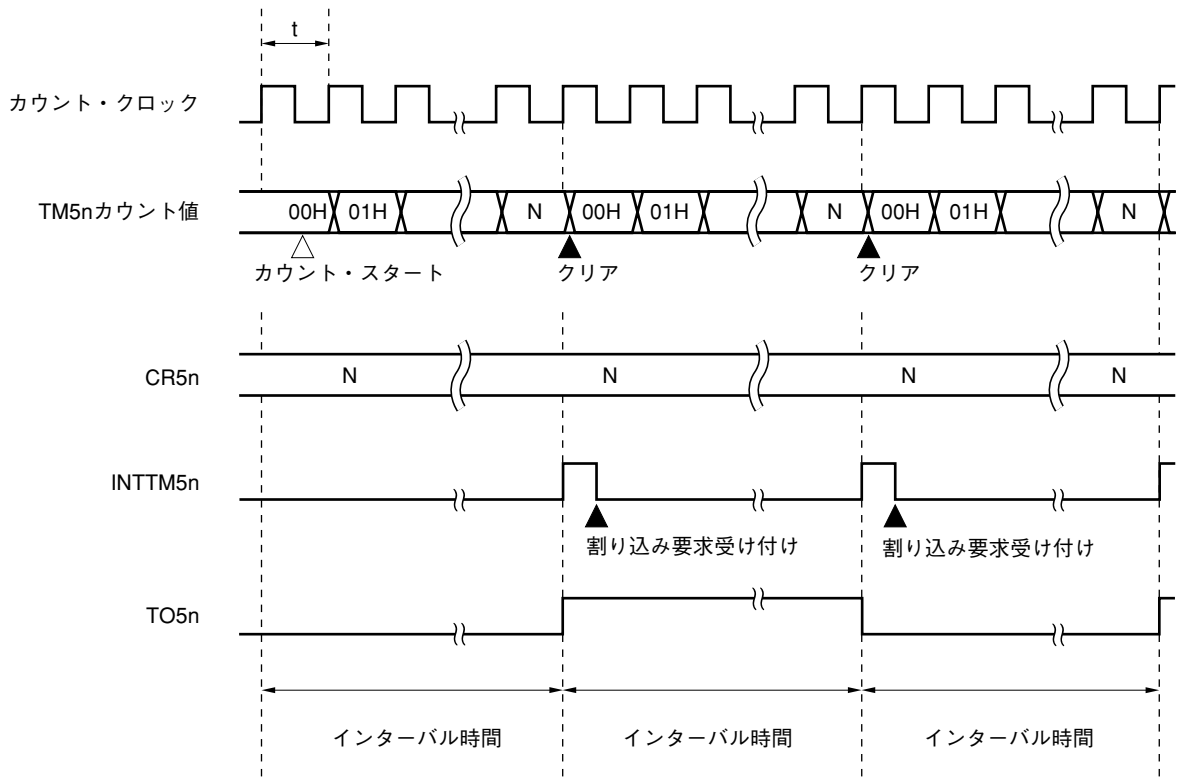
<設定方法>

- ① 各レジスタの設定を行います。
 - ・TCL5n : カウント・クロックの選択
 - ・CR5n : コンペア値
 - ・TMC5n : TM5nとCR5nの一致でクリア&スタート・モードを選択
(TMC5n = 0000×××0B × = don't care)
- ② TCE5n = 1 を設定すると、カウント動作を開始します。
- ③ TM5nとCR5nの値が一致すると、INTTM5nが発生します（TM5nは00Hにクリアされます）。
- ④ 以後、同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは、TCE5n = 0 にしてください。

備考 n = 0-2

図7-11 インターバル・タイマ動作のタイミング (1/3)

(a) 基本動作

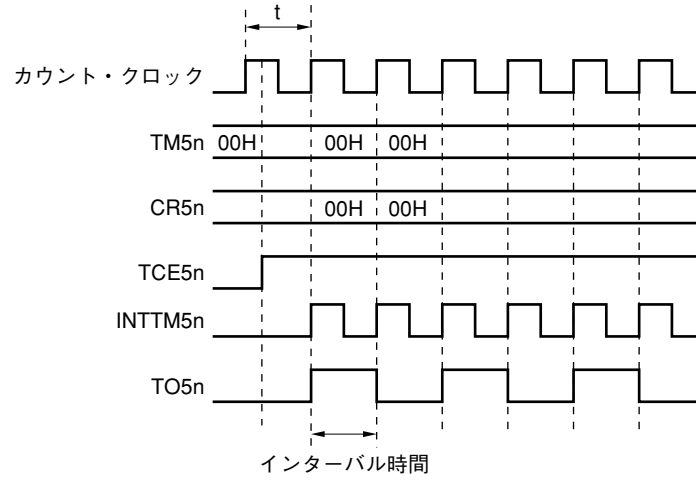


備考1. インターバル時間 = (N+1) × t : N = 00H-FFH

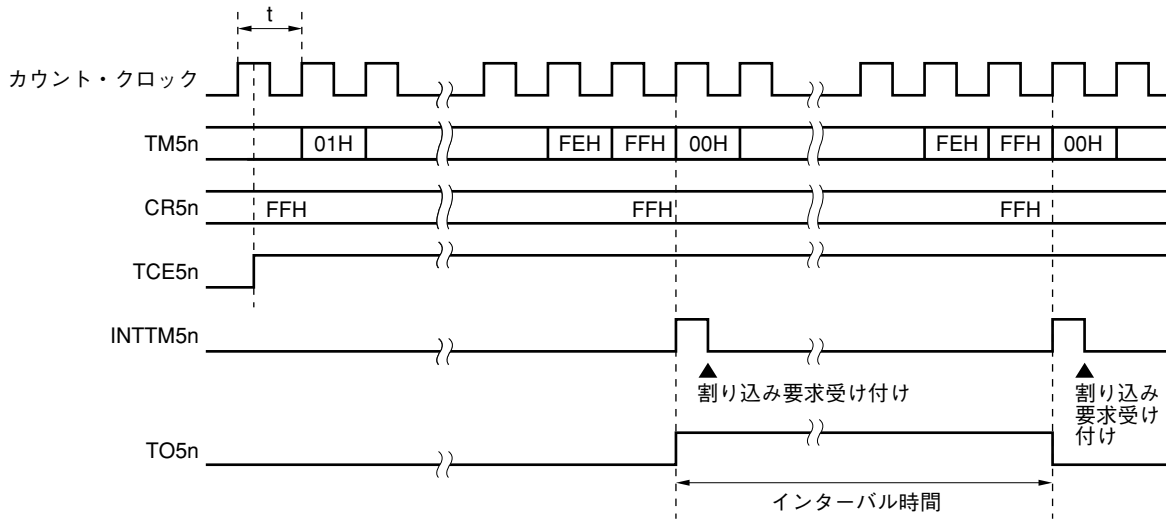
2. n = 0-2

図7-11 インターバル・タイマ動作のタイミング (2/3)

(b) CR5n = 00Hの場合



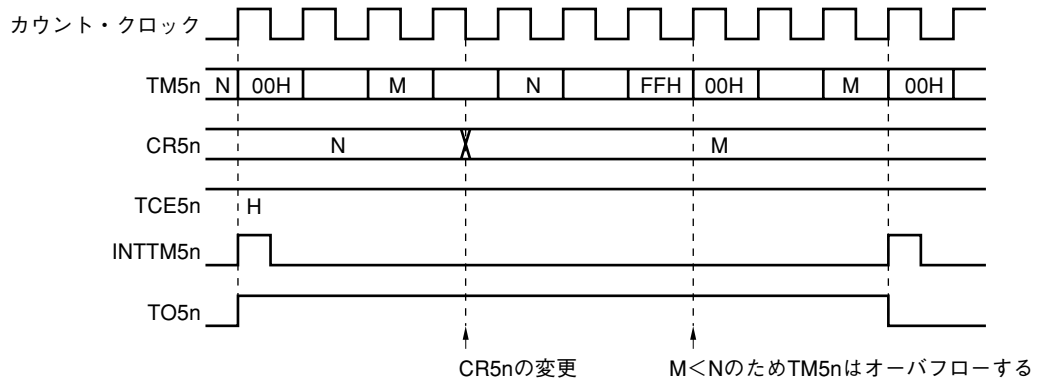
(c) CR5n = FFHの場合



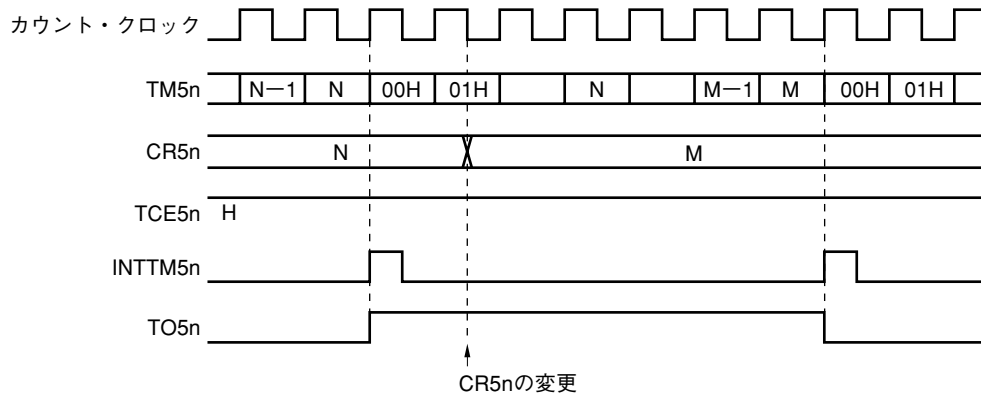
備考 n = 0-2

図7-11 インターバル・タイマ動作のタイミング (3/3)

(d) CR5n変更による動作 (M<N)



(e) CR5n変更による動作 (M>N)



備考 n = 0-2

7.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI50/TO50/P76, TI51/TO51/P77, TI52/TO52/P70端子に入力される外部からのクロック・パルス数を8ビット・タイマ/カウンタ5n (TM5n) でカウントするものです。

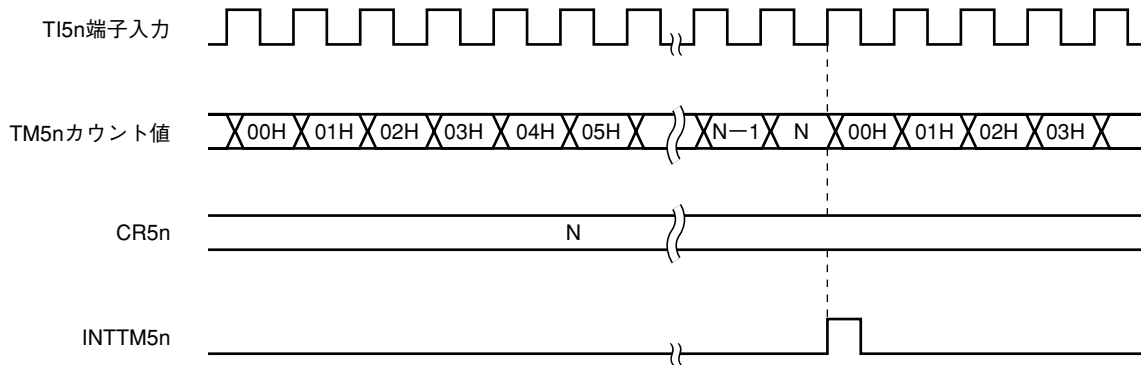
タイマ・クロック選択レジスタ5n (TCL5n) で指定した有効エッジが入力されるたびに、TM5nがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5nの計数値が8ビット・タイマ・コンペア・レジスタ5n (CR5n) の値と一致すると、TM5nは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。

備考 n = 0-2

図7-12 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考 N = 00H-FFH

n = 0-2

7.4.3 方形波出力（8ビット分解能）としての動作

8ビット・タイマ・コンペア・レジスタ5n（CR5n）にあらかじめ設定した値をインターバルとする、任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）のビット0（TOE5n）に1を設定することにより、CR5nにあらかじめ設定したカウント値をインターバルとしてTO5nの出力状態が反転します。これにより、任意の周波数の方形波出力（デューティ = 50 %）が可能です。

<設定方法>

- ① 各レジスタの設定を行います。
 - ・ポート・ラッチ、ポート・モード・レジスタ7（PM7）に“0”を設定
 - ・TCL5n：カウント・クロックの選択
 - ・CR5n：コンペア値
 - ・TMC5n：TM5nとCR5nの一致でクリア&スタート・モード

LVS5n	LVR5n	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

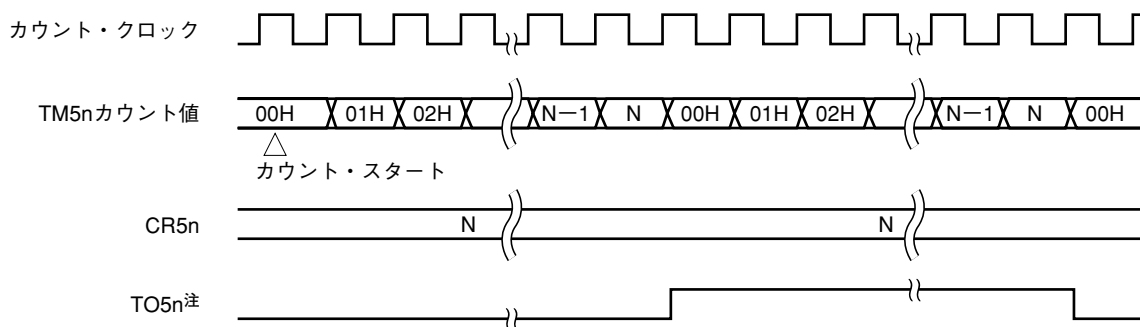
タイマ出力F/Fの反転許可

タイマ出力許可→TOE5n = 1

- ② TCE5n = 1 を設定すると、カウント動作を開始します。
- ③ TM5nとCR5nの値が一致すると、タイマ出力F/Fが反転します。
また、INTTM5nが発生し、TM5nは00Hにクリアされます。
- ④ 以後、同一間隔でタイマ出力F/Fが反転し、TO5nから方形波が出力されます。

備考 n = 0-2

図7-13 方形波出力動作のタイミング



注 TO5n出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）のビット2、3（LVR5n, LVS5n）で設定できます。

備考 n = 0-2

7.4.4 8ビットPWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット6 (TMC5n6) を“1”に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ5n (CR5n) に設定した値で決まるデューティ比のパルスを、TO5nから出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nに設定してください。また、アクティブ・レベルは、TMC5nのビット1 (TMC5n1) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) で選択できます。

TMC5nのビット0 (TOE5n) により、PWM出力の許可/禁止が選択できます。

注意 PWMモード時のCR5nの書き換えは、1周期に1回のみ可能です。

(1) PWM出力の基本動作

<設定方法>

- ① ポート・ラッチ、ポート・モード・レジスタ7 (PM7) に“0”を設定します。
- ② 8ビット・タイマ・コンペア・レジスタ5n (CR5n) でアクティブ・レベル幅を設定します。
- ③ タイマ・クロック選択レジスタ5n (TCL5n) で、カウント・クロックを選択します。
- ④ TMC5nのビット1 (TMC5n1) で、アクティブ・レベルを設定します。
- ⑤ TMC5nのビット7 (TCE5n) に“1”を設定すると、カウント動作を開始します。
カウント動作を停止するときは、TCE5nに“0”を設定してください。

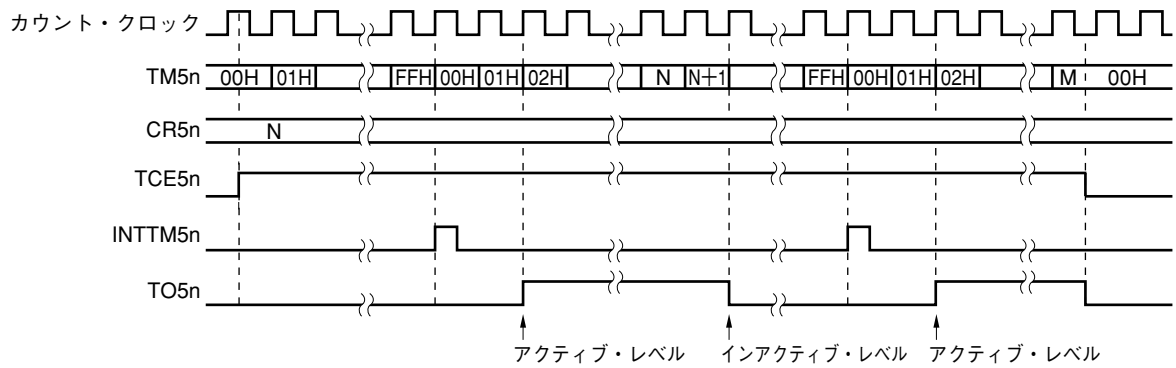
<PWM出力の動作>

- ① カウント動作を開始すると、PWM出力 (TO5nからの出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。
- ② オーバフローが発生すると、設定方法①で設定したアクティブ・レベルを出力します。アクティブ・レベルは、CR5nと8ビット・タイマ/カウンタ5n (TM5n) のカウント値が一致するまで出力されます。
- ③ CR5nとカウント値が一致したあとのPWM出力は、再度オーバフローが発生するまでインアクティブ・レベルを出力します。
- ④ 以後、カウント動作が停止されるまで②、③を繰り返します。
- ⑤ TCE5n=0によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

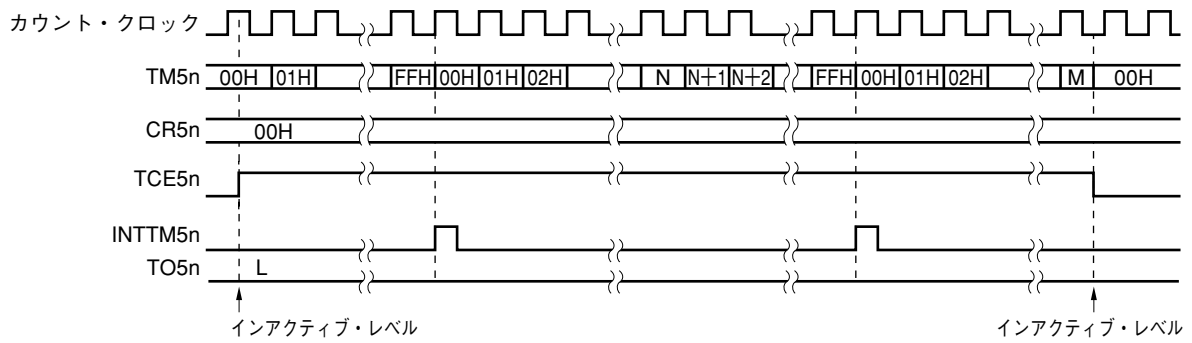
備考 n=0-2

図7-14 PWM出力の動作タイミング

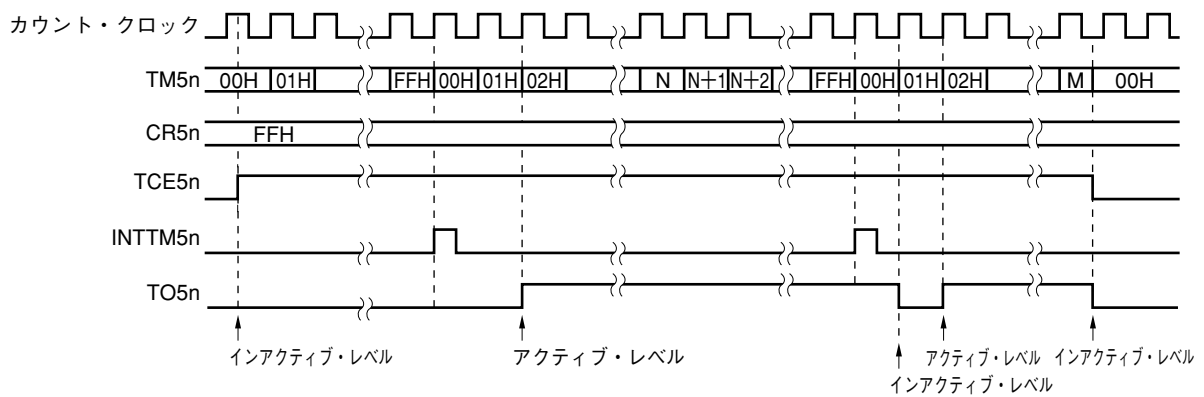
(a) 基本動作 (アクティブ・レベル = Hのとき)



(b) CR5n = 0の場合



(c) CR5n = FFHの場合

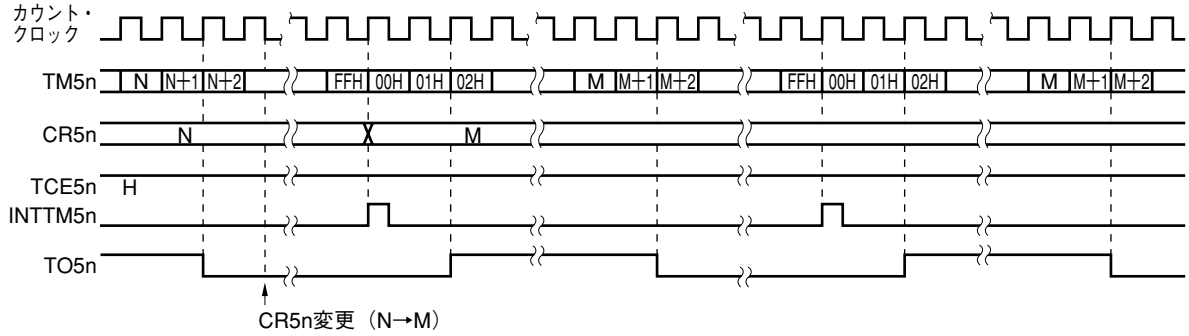


備考 n = 0-2

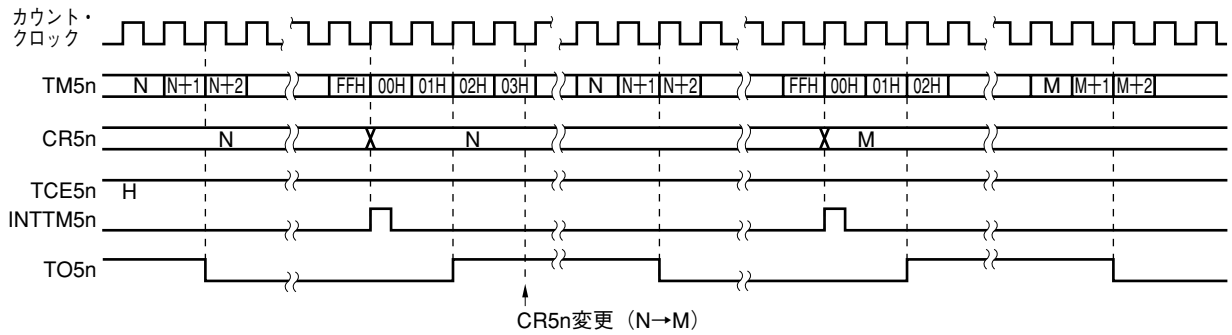
(2) CR5n変更による動作

図7-15 CR5n変更による動作のタイミング

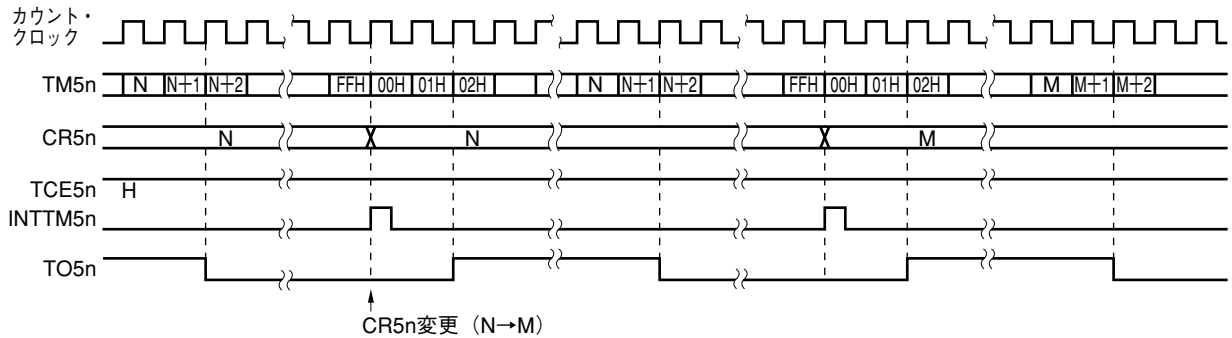
(a) CR5nの値をTM5nのオーバーフロー前にN→Mに変更した場合



(b) CR5nの値をTM5nのオーバーフロー後にN→Mに変更した場合



(c) CR5nの値をTM5nのオーバーフロー直後の2クロック間(00H, 01H)にN→Mに変更した場合



備考 n = 0-2

7.4.5 インターバル・タイマ（16ビット）としての動作

・カスケード接続（16ビット・タイマ）モード

8ビット・タイマ・モード・コントロール・レジスタ51（TMC51）のビット4（TMC514）に“1”を設定することにより、16ビット分解能のタイマ/カウンタ・モードになります。

8ビット・タイマ・コンペア・レジスタ50, 51（CR50, CR51）にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

<設定方法>

① 各レジスタの設定を行います。

- ・ TCL50 : TM50はカウント・クロック選択
 カスケード接続するTM51は設定不要
- ・ CR50, CR51 : コンペア値（各コンペア値とも00H-FFHの設定が可能）
- ・ TMC50, TMC51: TM50とCR50（TM51とCR51）の一致でクリア&スタート・モードを選択

$$\left[\begin{array}{l} \text{TM50} \rightarrow \text{TMC50} = 0000 \times \times \times 0\text{B} \quad \times : \text{don't care} \\ \text{TM51} \rightarrow \text{TMC51} = 0001 \times \times \times 0\text{B} \quad \times : \text{don't care} \end{array} \right]$$

- ② 先にTMC51をTCE51 = 1に設定し、そのあとTMC50をTCE50 = 1に設定することにより、カウント動作を開始します。
- ③ カスケード接続されたタイマのTM50とCR50の値が一致すると、TM50のINTTM50が発生します（TM50, TM51は00Hにクリアされます）。
- ④ 以後、同一間隔でINTTM50が繰り返し発生します。

注意1. コンペア・レジスタ（CR50, CR51）は、必ずタイマ動作を停止させてから設定してください。

2. カスケード接続で使用している場合でも、TM51のカウント値がCR51と一致すると、TM51のINTTM51が発生してしまいます。TM51は、割り込み禁止のため必ずマスクしてください。
3. TCE50, TCE51は、TM51, TM50の順にセットしてください。
4. カウントの再スタート/ストップは、TM50のTCE50のみ1/0に設定することにより、動作/停止できます。
5. TM52はカスケード接続して使用できません。

図7-16に、16ビット分解能カスケード接続モードのタイミング例を示します。

図7-16 16ビット分解能カスケード接続モード

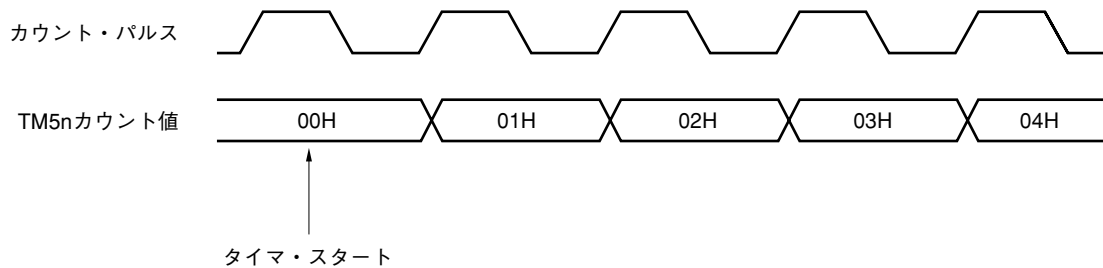


7.5 8ビット・タイマ/イベント・カウンタの注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ/カウンタ5n (TM5n : n = 0-2) が非同期でスタートするためです。

図7-17 8ビット・タイマ/カウンタのスタート・タイミング

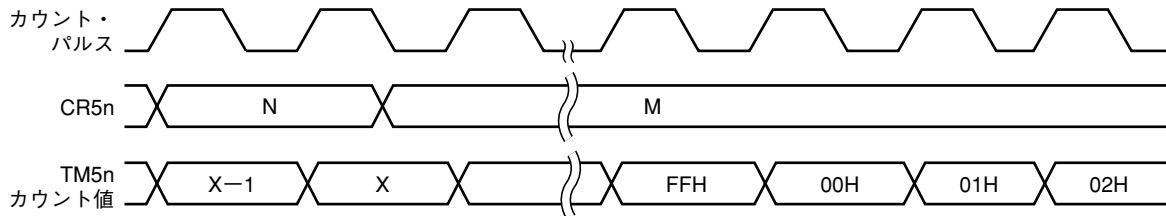


備考 n = 0-2

(2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n: n = 0-2) の変更後の値が、8ビット・タイマ/カウンタ5n (TM5n: n = 0-2) の値よりも小さいとき、TM5nはカウントを継続しオーバーフローして0から再カウントします。したがって、CR5nの変更後の値 (M) が変更前の値 (N) より小さいときは、CR5nを変更後、タイマを再スタートさせる必要があります。

図7-18 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



注意 TI5n入力を選択している場合を除き、STOPモードに設定する前は必ずTCE5n = 0 にしてください。

備考 $N > X > M$
n = 0-2

(3) タイマ動作中のTM5nの読み出しについて

動作中のTM5nを読み出す場合、カウント・クロックが一時停止するため、選択するカウント・クロックは、CPUクロックの2周期分より長いハイ/ロウ・レベルのある波形を選択してください。たとえば、CPUクロック (f_{cpu}) がfxのとき、選択するカウント・クロックがfx/4以下であれば読み出せます。

備考 n = 0-2
fx: システム・クロック発振周波数

第 8 章 時計用タイマ

8.1 時計用タイマの機能

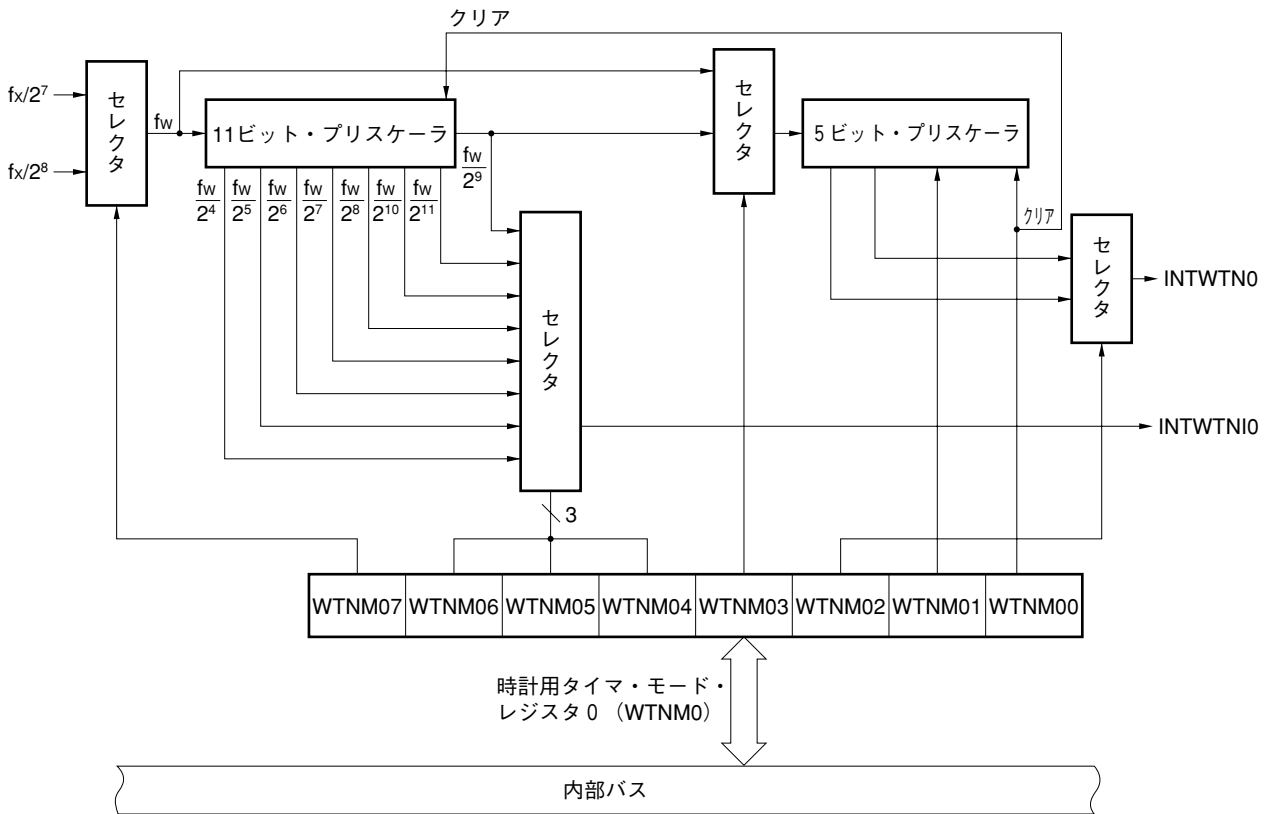
時計用タイマには、次のような機能があります。

- ・ 時計用タイマ
- ・ インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

図 8-1 に、時計用タイマのブロック図を示します。

図 8-1 時計用タイマのブロック図



備考 fx : システム・クロック発振周波数
 fw : 時計用タイマ・クロック周波数

(1) 時計用タイマ

あらかじめ設定した時間間隔で、割り込み要求 (INTWTN0) を発生します。6.29 MHzのシステム・クロックでは、0.5秒、1.0秒などの時間間隔を作ることができません。プログラムにより、0.5秒、1.0秒などの時間間隔を作ってください。

(2) インターバル・タイマ

あらかじめ設定した時間間隔で、割り込み要求 (INTWTN10) を発生します。

表 8-1 インターバル・タイマのインターバル時間

インターバル時間	fx = 6.291456 MHz動作時	
	fw = fx/2 ⁸	fw = fx/2 ⁷
2 ⁴ ×1/fw	651 μs	326 μs
2 ⁵ ×1/fw	1.30 ms	651 μs
2 ⁶ ×1/fw	2.60 ms	1.30 ms
2 ⁷ ×1/fw	5.21 ms	2.60 ms
2 ⁸ ×1/fw	10.4 ms	5.21 ms
2 ⁹ ×1/fw	20.8 ms	10.4 ms
2 ¹⁰ ×1/fw	41.7 ms	20.8 ms
2 ¹¹ ×1/fw	83.3 ms	41.7 ms

備考 fx : システム・クロック発振周波数

fw : 時計用タイマ・クロック周波数 (fx/2⁷またはfx/2⁸)

8.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成されています。

表 8-2 時計用タイマの構成

項目	構成
プリスケータ	<ul style="list-style-type: none"> ・ 11ビット×1本 ・ 5ビット×1本
制御レジスタ	時計用タイマ・モード・レジスタ0 (WTNM0)

8.3 時計用タイマを制御するレジスタ

時計用タイマを制御するレジスタには、時計用タイマ・モード・レジスタ0 (WTNMO) があります。

・時計用タイマ・モード・レジスタ0 (WTNMO)

時計用タイマの動作の許可/禁止, 11ビット・プリスケアラのインターバル時間, 5ビット・プリスケアラの動作制御を設定するレジスタです。

WTNMOは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図8-2 時計用タイマ・モード・レジスタ0 (WTNMO) のフォーマット

アドレス: FF41H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
WTNMO	WTNMO7	WTNMO6	WTNMO5	WTNMO4	WTNMO3	WTNMO2	WTNMO1	WTNMO0

WTNMO7	時計用タイマのカウント・クロック (fw) 選択
0	$fx/2^8$ (24.576 kHz)
1	$fx/2^7$ (49.152 kHz)

WTNMO6	WTNMO5	WTNMO4	11ビット・プリスケアラのインターバル時間の選択
0	0	0	$2^4/fw$
0	0	1	$2^5/fw$
0	1	0	$2^6/fw$
0	1	1	$2^7/fw$
1	0	0	$2^8/fw$
1	0	1	$2^9/fw$
1	1	0	$2^{10}/fw$
1	1	1	$2^{11}/fw$

WTNMO3	WTNMO2	時計用タイマの割り込み要求時間の選択		
		WTNMO7 = 0	WTNMO7 = 1	
0	0	$2^{14}/fw$	$2^{22}/fx$ (0.67 s)	$2^{21}/fx$ (0.33 s)
0	1	$2^{13}/fw$	$2^{21}/fx$ (0.33 s)	$2^{20}/fx$ (0.167 s)
1	0	$2^5/fw$	$2^{13}/fx$ (0.13 ms)	$2^{12}/fx$ (651 μ s)
1	1	$2^4/fw$	$2^{12}/fx$ (651 μ s)	$2^{11}/fx$ (326 μ s)

WTNMO1	5ビット・プリスケアラの動作制御
0	動作停止後クリア
1	スタート

WTNMO0	時計用タイマの動作許可
0	動作停止 (11ビット・プリスケアラ, 5ビット・プリスケアラともにクリア)
1	動作許可

備考1. fw : 時計用タイマ・クロック周波数 ($fx/2^7$ または $fx/2^8$)

2. fx : システム・クロック発振周波数

3. () 内は, $fx = 6.291456$ MHz動作時

8.4 時計用タイマの動作

8.4.1 時計用タイマとしての動作

3回カウントすることで、0.5秒、1.0秒などの時間間隔の時計用タイマとして動作します。

時計用タイマ・モード・レジスタ0 (WTNM0) のビット2, 3, 7 (WTNM02, WTNM03, WTNM07) により、時計用タイマの時間を選択できます。

時計用タイマは、一定の時間間隔ごとに、割り込み要求 (INTWT) を発生します。

時計用タイマ・モード・レジスタ0 (WTNM0) のビット0 (WTNM00) とビット1 (WTNM01) に1を設定するとカウント動作がスタートし、0を設定することにより、5ビット・プリスケアラがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させているときは、WTNM01に0を設定することにより、ゼロ秒スタートさせることができます。ただし、この場合、11ビット・プリスケアラはクリアされないため、時計用タイマのゼロ秒スタート後最初のオーバフロー (INTWTN0) には、最大で $2^{11} \times 1/f_w$ 秒の誤差が発生します。

8.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求 (INTWTNIO) を発生するインターバル・タイマとして動作します。

時計用タイマ・モード・レジスタ0 (WTNM0) のビット4-6, 7 (WTNM04-WTNM06, WTNM07) により、インターバル時間を選択できます。

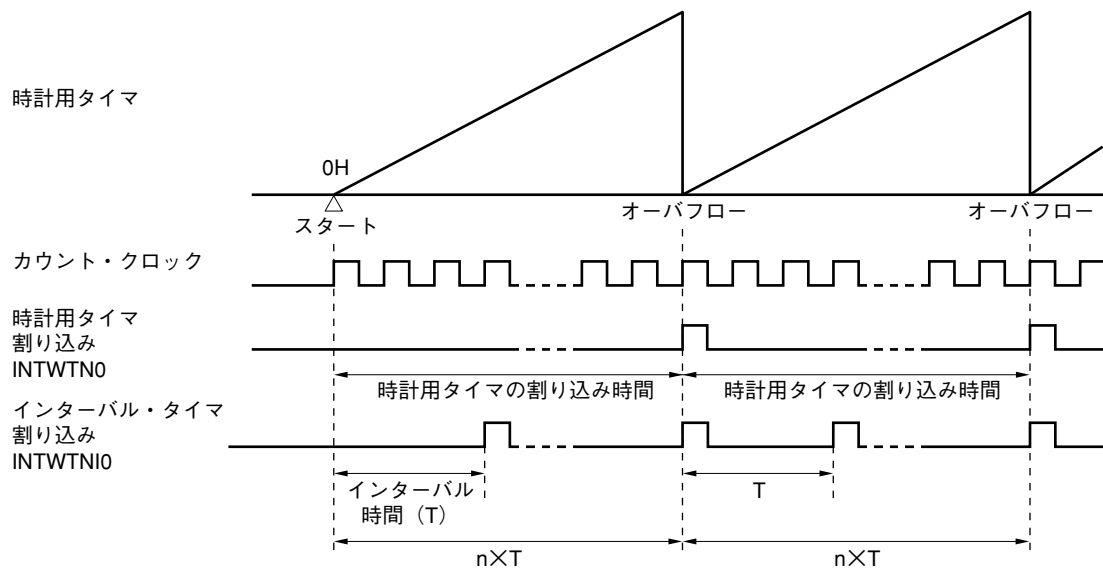
表8-3 インターバル・タイマのインターバル時間

WTNM06	WTNM05	WTNM04	インターバル時間	fx = 6.291456 MHz動作時	
				WTNM07 = 0	WTNM07 = 1
0	0	0	$2^4 \times 1/f_w$	651 μ s	326 μ s
0	0	1	$2^5 \times 1/f_w$	1.30 ms	651 μ s
0	1	0	$2^6 \times 1/f_w$	2.60 ms	1.30 ms
0	1	1	$2^7 \times 1/f_w$	5.21 ms	2.60 ms
1	0	0	$2^8 \times 1/f_w$	10.4 ms	5.21 ms
1	0	1	$2^9 \times 1/f_w$	20.8 ms	10.4 ms
1	1	0	$2^{10} \times 1/f_w$	41.7 ms	20.8 ms
1	1	1	$2^{11} \times 1/f_w$	83.3 ms	41.7 ms

備考 fx : システム・クロック発振周波数

fw : 時計用タイマ・クロック周波数

図8-3 時計用タイマ/インターバル・タイマの動作タイミング



備考 n : インターバル・タイマ動作の回数

第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ
- ・発振安定時間の選択

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください (ウォッチドッグ・タイマとインターバル・タイマは同時に使用できません)。

(1) ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時、ノンマスクブル割り込み要求またはRESETを発生できます。

表9-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 6.29 \text{ MHz}$ 時	暴走検出時間	$f_x = 6.29 \text{ MHz}$ 時
$2^{12} \times 1/f_x$	651 μs	$2^{16} \times 1/f_x$	10.4 ms
$2^{13} \times 1/f_x$	1.30 ms	$2^{17} \times 1/f_x$	20.8 ms
$2^{14} \times 1/f_x$	2.60 ms	$2^{18} \times 1/f_x$	41.7 ms
$2^{15} \times 1/f_x$	5.21 ms	$2^{20} \times 1/f_x$	167 ms

f_x : システム・クロック発振周波数

(2) インターバル・タイマ・モード

あらかじめ設定した時間間隔で割り込み要求が発生できます。

表9-2 インターバル時間

インターバル時間	$f_x = 6.29 \text{ MHz}$ 時	インターバル時間	$f_x = 6.29 \text{ MHz}$ 時
$2^{12} \times 1/f_x$	651 μs	$2^{16} \times 1/f_x$	10.4 ms
$2^{13} \times 1/f_x$	1.30 ms	$2^{17} \times 1/f_x$	20.8 ms
$2^{14} \times 1/f_x$	2.60 ms	$2^{18} \times 1/f_x$	41.7 ms
$2^{15} \times 1/f_x$	5.21 ms	$2^{20} \times 1/f_x$	167 ms

f_x : システム・クロック発振周波数

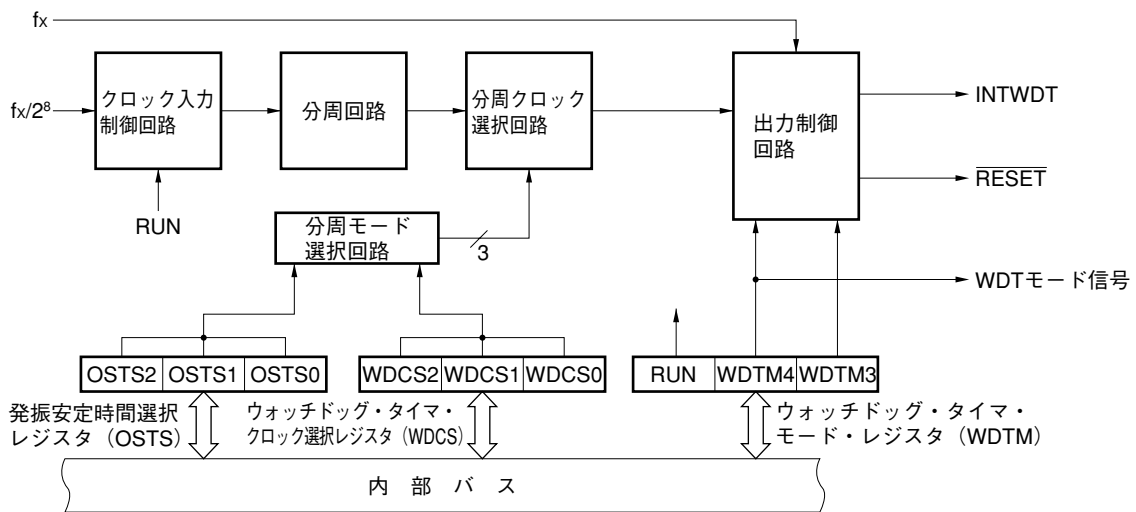
9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表9-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM) 発振安定時間選択レジスタ (OSTS)

図9-1 ウォッチドッグ・タイマのブロック図



9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するレジスタには、次の3種類があります。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)
- ・発振安定時間選択レジスタ (OSTS)

(1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) (図9-2参照)

ウォッチドッグ・タイマおよびインターバル・タイマのオーバフロー時間を設定するレジスタです。

WDCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9-2 ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0	FF42H	00H	R/W

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバフロー時間の選択
0	0	0	$2^{12}/f_x$ (651 μ s)
0	0	1	$2^{13}/f_x$ (1.30 ms)
0	1	0	$2^{14}/f_x$ (2.60 ms)
0	1	1	$2^{15}/f_x$ (5.21 ms)
1	0	0	$2^{16}/f_x$ (10.4 ms)
1	0	1	$2^{17}/f_x$ (20.8 ms)
1	1	0	$2^{18}/f_x$ (41.7 ms)
1	1	1	$2^{20}/f_x$ (167 ms)

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 6.29$ MHz動作時

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可／禁止を設定するレジスタです。
 WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により，00Hになります。

図9-3 ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマット



注1. WDTM3, WDTM4は，一度1にセットされると，ソフトウェアで0にクリアできません。

2. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

3. RUNは，一度1にセットされると，ソフトウェアで0にクリアできません。したがって，カウントを開始すると， $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

注意 RUNに1をセットし，ウォッチドッグ・タイマをクリアしたとき，実際のオーバーフロー時間は，ウォッチドッグ・タイマ・クロック選択レジスタ (WDGS) で設定した時間より最大0.5%短くなります。

備考 × : don't care

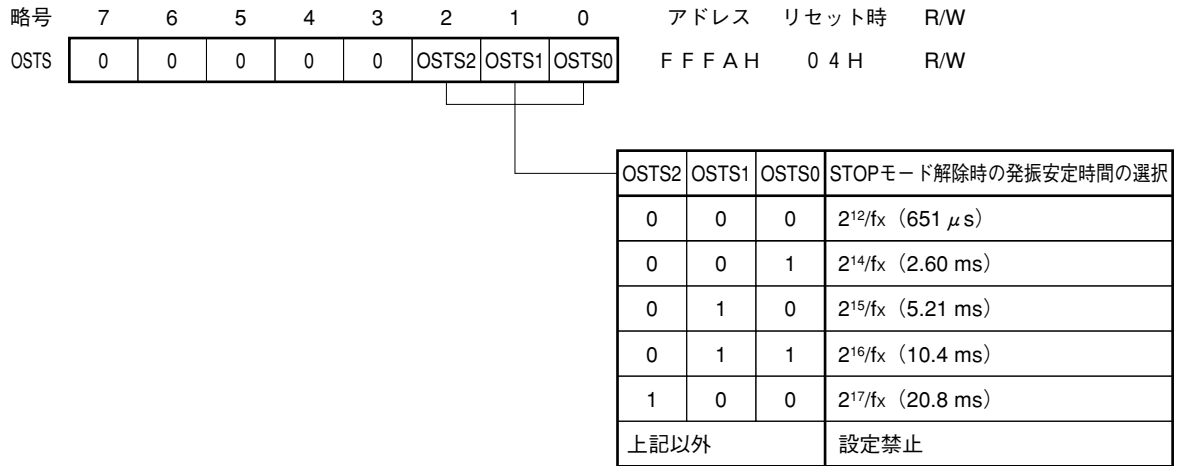
(3) 発振安定時間選択レジスタ (OSTS)

リセット時またはSTOPモードを解除してから発振が安定するまでの発振安定時間を選択するレジスタです。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。したがって、 $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、解除までの時間は $2^{17}/f_x$ です。

図9-4 発振安定時間選択レジスタ (OSTS) のフォーマット



備考1. f_x : システム・クロック発振周波数

2. () 内は, $f_x=6.29\text{ MHz}$ 動作時

9.4 ウォッチドッグ・タイマの動作

9.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でウォッチドッグ・タイマの暴走検出時間間隔を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスクブル割り込み要求が発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意1. 実際の暴走検出時間は設定時間に対して最大0.5%短くなる場合があります。

2. CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

表9-4 ウォッチドッグ・タイマの暴走検出時間

WDCS22	WDCS21	WDCS20	暴走検出時間	$f_x = 6.29 \text{ MHz}$ 時
0	0	0	$2^{12} \times 1/f_x$	651 μs
0	0	1	$2^{13} \times 1/f_x$	1.30 ms
0	1	0	$2^{14} \times 1/f_x$	2.60 ms
0	1	1	$2^{15} \times 1/f_x$	5.21 ms
1	0	0	$2^{16} \times 1/f_x$	10.4 ms
1	0	1	$2^{17} \times 1/f_x$	20.8 ms
1	1	0	$2^{18} \times 1/f_x$	41.7 ms
1	1	1	$2^{20} \times 1/f_x$	167 ms

f_x : システム・クロック発振周波数

9.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でインターバル・タイマのインターバル時間を選択できます。WDTMのビット7 (RUN) に1を設定することにより、インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき、割り込みマスク・フラグ (WDTMK) と優先順位指定フラグ (WDTPR) が有効となり、マスカブル割り込み要求 (INTWDT) を発生させることができます。INTWDTのディフォルトの優先順位は、マスカブル割り込み要求の中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、インターバル・タイマをクリアしたあと、STOP命令を実行してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) と $\overline{\text{RESET}}$ 入力されないかぎり、インターバル・タイマ・モードになりません。
2. WDTMで設定した直後のインターバル時間は、設定時間に対して最大0.5%短くなる場合があります。

表9-5 インターバル・タイマのインターバル時間

WDCS2	WDCS1	WDCS0	インターバル時間	$f_x = 6.29 \text{ MHz}$ 時
0	0	0	$2^{12} \times 1/f_x$	651 μs
0	0	1	$2^{13} \times 1/f_x$	1.30 ms
0	1	0	$2^{14} \times 1/f_x$	2.60 ms
0	1	1	$2^{15} \times 1/f_x$	5.21 ms
1	0	0	$2^{16} \times 1/f_x$	10.4 ms
1	0	1	$2^{17} \times 1/f_x$	20.8 ms
1	1	0	$2^{18} \times 1/f_x$	41.7 ms
1	1	1	$2^{20} \times 1/f_x$	167 ms

f_x : システム・クロック発振周波数

第10章 クロック出力／ブザー出力制御回路

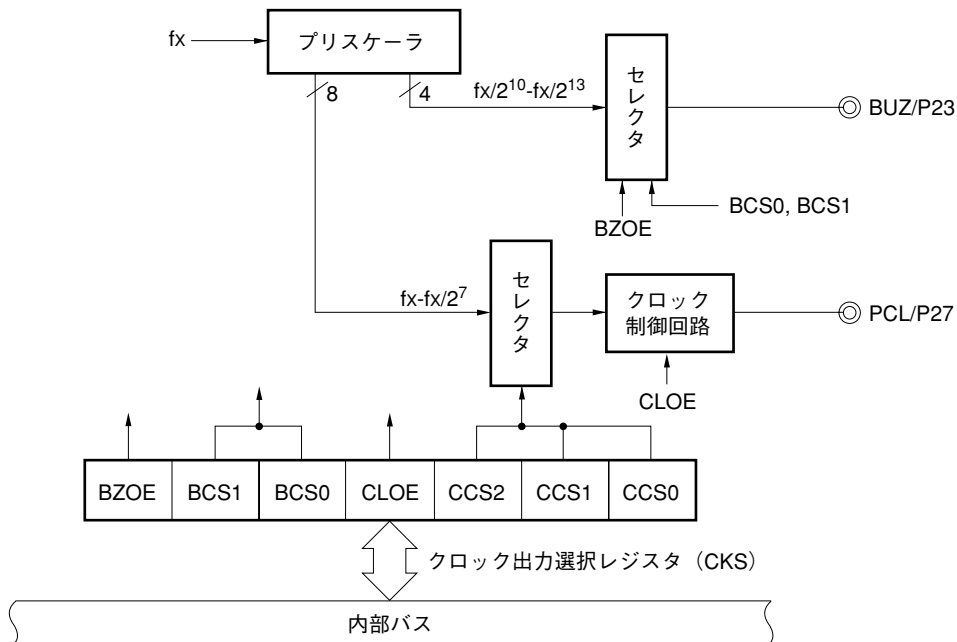
10.1 クロック出力／ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺LSIに供給するクロックを出力する機能です。クロック出力選択レジスタ（CKS）で選択したクロックを出力します。

また、ブザー出力はCKSで選択したブザー周波数の方形波を出力する機能です。

図10-1 にクロック出力／ブザー出力制御回路のブロック図を示します。

図10-1 クロック出力／ブザー出力制御回路のブロック図



10.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表10-1 クロック出力／ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	クロック出力選択レジスタ (CKS) ポート・モード・レジスタ 2 (PM2) 注

注 図 4-3 P20-P27のブロック図を参照してください。

10.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は、次の2種類のレジスタで制御します。

- ・クロック出力選択レジスタ (CKS)
- ・ポート・モード・レジスタ 2 (PM2)

(1) クロック出力選択レジスタ (CKS)

クロック出力 (PCL)、ブザー周波数出力 (BUZ) の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET 入力により、00Hになります。

図10-2 クロック出力選択レジスタ（CKS）のフォーマット

アドレス：FF40H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CKS	BZOE	BCS1	BCS0	CLOE	0	CCS2	CCS1	CCS0

BZOE	BUZの出力許可／禁止の指定
0	クロック分周回路動作停止。BUZ = ロウ・レベル固定。
1	クロック分周回路動作許可。BUZ出力許可。

BCS1	BCS0	BUZの出力クロックの選択
0	0	$f_x/2^{10}$ (6.14 kHz)
0	1	$f_x/2^{11}$ (3.07 kHz)
1	0	$f_x/2^{12}$ (1.54 kHz)
1	1	$f_x/2^{13}$ (768 Hz)

CLOE	PCLの出力許可／禁止の指定
0	クロック分周回路動作停止。PCL = ロウ・レベル固定。
1	クロック分周回路動作許可。PCL出力許可。

CCS2	CCS1	CCS0	PCLの出力クロックの選択
0	0	0	f_x (6.29 MHz)
0	0	1	$f_x/2$ (3.15 MHz)
0	1	0	$f_x/2^2$ (1.57 MHz)
0	1	1	$f_x/2^3$ (786 kHz)
1	0	0	$f_x/2^4$ (393 kHz)
1	0	1	$f_x/2^5$ (197 kHz)
1	1	0	$f_x/2^6$ (98.3 kHz)
1	1	1	$f_x/2^7$ (49.2 kHz)
上記以外			設定禁止

注意 ビット3には、必ず0を設定してください。

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 6.29$ MHz動作時。

(2) ポート・モード・レジスタ 2 (PM2)

ポート 2 の入力／出力を 1 ビット単位で設定するレジスタです。

P23/BUZ端子をブザー出力機能として、P27/PCL端子をクロック出力機能として使用するとき、PM23, PM27およびP23, P27の出力ラッチに 0 を設定してください。

PM2は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図10-3 ポート・モード・レジスタ 2 (PM2) のフォーマット

アドレス：FF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

10.4 クロック出力／ブザー出力制御回路の動作

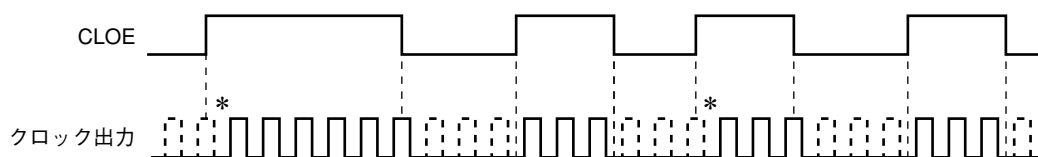
10.4.1 クロック出力としての動作

クロック・パルスは、次の手順で出力します。

- ① クロック出力選択レジスタ（CKS）のビット0-3（CCS0-CCS3）でクロック・パルスの出力周波数を選択する（クロック・パルスの出力は禁止の状態）。
- ② CKSのビット4（CLOE）に1を設定し、クロック出力を許可する。

備考 クロック出力制御回路は、クロック出力の出力許可／禁止を切り替えるときに、幅の狭いパルスは出力されないようになっています。図10-4に示すように、必ずクロックのロウ期間から出力を開始します（図中の*印参照）。また、停止する場合には、クロックのハイ・レベルを保証してから出力を停止します。

図10-4 リモコン出力応用例



10.4.2 ブザー出力としての動作

ブザー周波数は、次の手順で出力します。

- ① クロック出力選択レジスタ（CKS）のビット5, 6（BCS0, BCS1）でブザー出力周波数を選択する（ブザー出力は禁止の状態）。
- ② CKSのビット7（BZOE）に1を設定し、ブザー出力を許可する。

第11章 A/Dコンバータ

11.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換する8ビット分解能のコンバータで、最大16チャンネル (ANI0-ANI15) のアナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

(1) 8ビット分解能A/D変換

アナログ入力をANI0-ANI15から1チャンネル選択し、8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求 (INTAD) を発生します。

(2) パワー・フェイル検出機能

自動車のバッテリー電圧低下を検出するための機能です。A/D変換結果 (ADCR3レジスタ値) とパワー・フェイル比較しきい値レジスタ3 (PFT3) の値との大小比較を行い、比較条件に合致した場合のみINTADを発生します。

図11-1 A/Dコンバータのブロック図

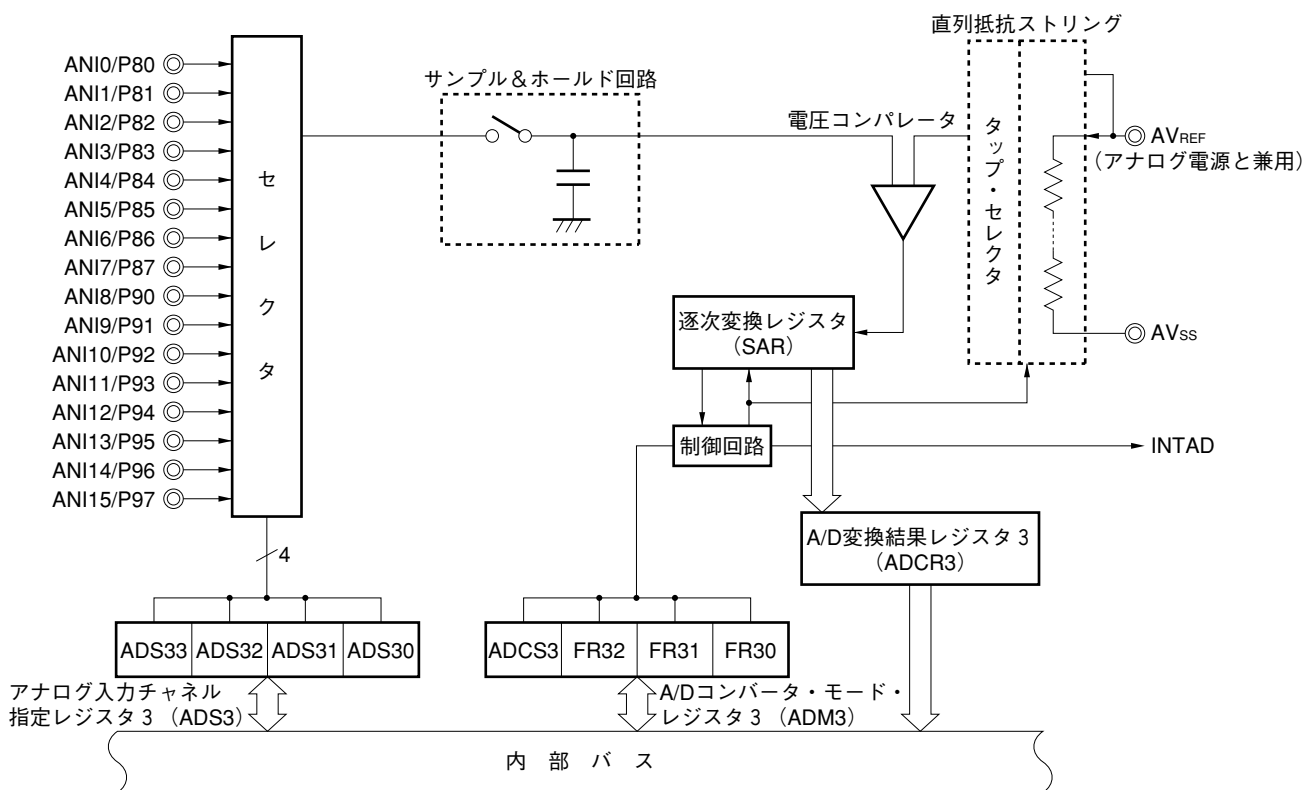
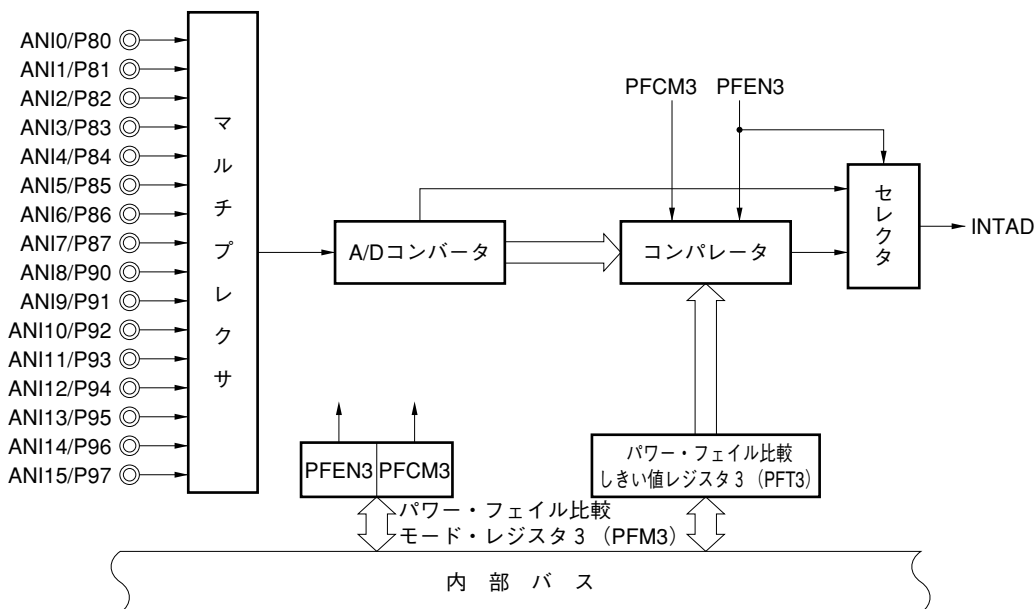


図11-2 パワー・フェイル検出機能のブロック図



11.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表11-1 A/Dコンバータの構成

項 目	構 成
アナログ入力	16チャンネル (ANI0-ANI15)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ3 (ADCR3)
制御レジスタ	A/Dコンバータ・モード・レジスタ3 (ADM3) アナログ入力チャンネル指定レジスタ3 (ADS3) パワー・フェイル比較モード・レジスタ3 (PFM3) パワー・フェイル比較しきい値レジスタ3 (PFT3)

(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位 (MSB) から保持するレジスタです。

最下位ビット (LSB) まで保持すると (A/D変換終了)、SARの内容はA/D変換結果レジスタに転送されず。

(2) A/D変換結果レジスタ3 (ADCR3)

A/D変換結果を保持します。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。

ADCR3は、8ビット・メモリ操作命令で読み出します。

RESET入力により、不定になります。

注意 A/Dコンバータ・モード・レジスタ3 (ADM3)、アナログ入力チャンネル指定レジスタ3 (ADS3) に対して書き込み動作を行ったとき、ADCR3の内容は不定となることがあります。変換結果は、変換動作終了後、ADM、ADS3に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングはAVREF-AVSS間に入っており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI15端子

A/Dコンバータへの16チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ANI0-ANI15は、デジタル入力兼用のアナログ入力端子です。

- 注意 1. ANI0-ANI15入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。
2. アナログ入力（ANI0-ANI15）端子は入出力ポート（P80-P87, P90-P97）端子と兼用になっています。ANI0-ANI15のいずれかを選択してA/D変換をする場合、変換中にポート8, 9に対する入力命令は実行しないでください。変換分解能が低下することがあります。また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(7) AV_{REF} 端子

A/Dコンバータの基準電圧を入力する端子です。

AV_{REF} , AV_{SS} 間にかかる電圧に基づいて、ANI0-ANI15に入力される信号をデジタル信号に変換します。

スタンバイ・モード時には、 AV_{REF} 端子に入力する電圧を AV_{SS} レベルとすることにより直列抵抗ストリングに流れる電流を低減できます。

また、A/Dコンバータのアナログ電源の機能を兼用しています。A/Dコンバータを使用するときは、必ず AV_{REF} 端子に電源を供給してください。

- 注意 AV_{REF} 端子と AV_{SS} 端子の間には数十K Ω の直列抵抗ストリングが接続されています。したがって、基準電圧源の出力インピーダンスが高い場合、 AV_{REF} 端子と AV_{SS} 端子の間の直列抵抗ストリングと並列接続することになり、基準電圧の誤差が大きくなります。

(8) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS0} 端子と同電位で使用してください。

11.3 A/Dコンバータを制御するレジスタ

A/Dコンバータは、次の4種類のレジスタで制御します。

- ・A/Dコンバータ・モード・レジスタ3 (ADM3)
- ・アナログ入力チャンネル指定レジスタ3 (ADS3)
- ・パワー・フェイル比較モード・レジスタ3 (PFM3)
- ・パワー・フェイル比較しきい値レジスタ3 (PFT3)

(1) A/Dコンバータ・モード・レジスタ3 (ADM3)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図11-3 A/Dコンバータ・モード・レジスタ3 (ADM3) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADM3	ADCS3	0	FR32	FR31	FR30	0	0	0	FF80H	00H	R/W

ADCS3	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

FR32	FR31	FR30	変換時間の選択 ^注
0	0	0	288/fx (45.8 μs)
0	0	1	240/fx (38.1 μs)
0	1	0	192/fx (30.5 μs)
1	0	0	144/fx (22.9 μs)
1	0	1	120/fx (19.1 μs)
1	1	0	96/fx (15.3 μs)
上記以外			設定禁止

注 A/D変換時間が14 μs以上になるように設定してください。

注意1. ビット0-2, 6には必ず0を設定してください。

2. FR30-FR32を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。

備考 fx: システム・クロック発振周波数

() 内は、fx = 6.29 MHz動作時

(2) アナログ入力チャンネル指定レジスタ3 (ADS3)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADS3は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11-4 アナログ入力チャンネル指定レジスタ3 (ADS3) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADS3	0	0	0	0	ADS33	ADS32	ADS31	ADS30	FF81H	00H	R/W

ADS33	ADS32	ADS31	ADS30	アナログ入力チャンネルの指定
0	0	0	0	ANI0
0	0	0	1	ANI1
0	0	1	0	ANI2
0	0	1	1	ANI3
0	1	0	0	ANI4
0	1	0	1	ANI5
0	1	1	0	ANI6
0	1	1	1	ANI7
1	0	0	0	ANI8
1	0	0	1	ANI9
1	0	1	0	ANI10
1	0	1	1	ANI11
1	1	0	0	ANI12
1	1	0	1	ANI13
1	1	1	0	ANI14
1	1	1	1	ANI15

注意 ビット4-7には必ず0を設定してください。

(3) パワー・フェイル比較モード・レジスタ3 (PFM3)

パワー・フェイル比較モード・レジスタ3 (PFM3) は、大小比較の動作を制御するレジスタです。

PFM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11-5 パワー・フェイル比較モード・レジスタ3 (PFM3) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PFM3	PFEN3	PFCM3	PFHRM3	0	0	0	0	0	FF84H	00H	R/W

PFEN3	パワー・フェイル比較許可
0	パワー・フェイル比較禁止 (通常のA/Dコンバータとして使用)
1	パワー・フェイル比較許可 (パワー・フェイル検出として使用)

PFCM3	パワー・フェイル比較モードの選択	
0	ADCR3 ≥ PFT3	割り込み要求信号 (INTAD) 発生
	ADCR3 < PFT3	INTAD発生なし
1	ADCR3 ≥ PFT3	INTAD発生なし
	ADCR3 < PFT3	INTAD発生

PFHRM3	パワー・フェイルHALTリピート・モード選択
0	パワー・フェイルHALTリピート・モード動作禁止
1	パワー・フェイルHALTリピート・モード動作許可

注意 ビット0-4には必ず0を設定してください。

(4) パワー・フェイル比較しきい値レジスタ3 (PFT3)

パワー・フェイル比較しきい値レジスタ3 (PFT3) は、A/Dの変換結果と大小比較を行う場合のしきい値を設定するレジスタです。

PFT3は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11-6 パワーフェイル比較しきい値レジスタ3 (PFT3) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PFT3	PFT37	PFT36	PFT35	PFT34	PFT33	PFT32	PFT31	PFT30	FF83H	00H	R/W

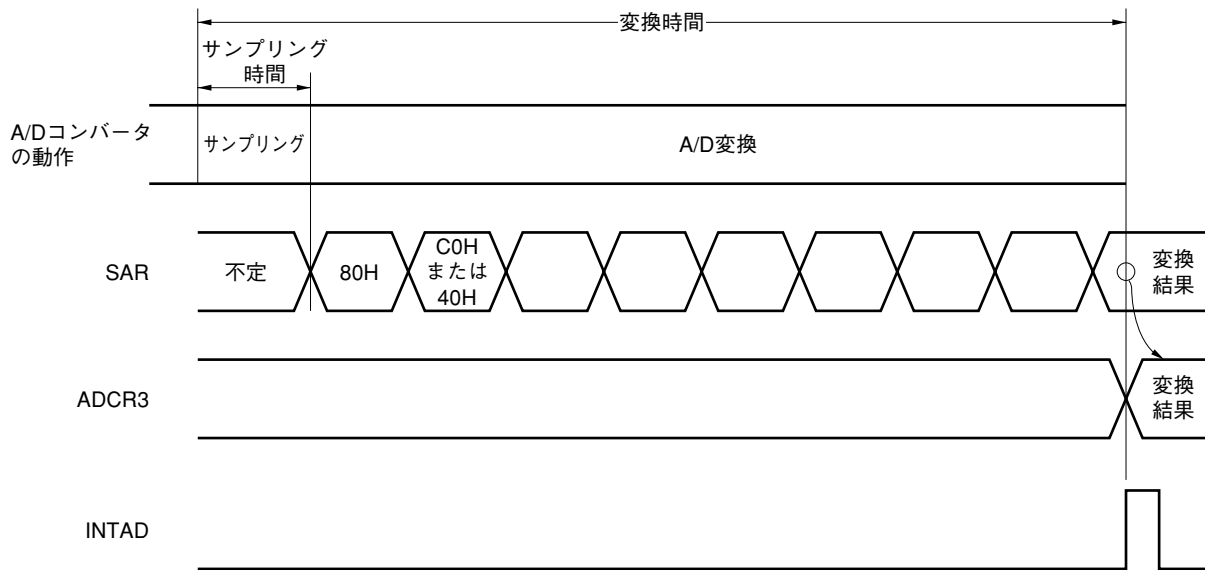
11.4 A/Dコンバータの動作

11.4.1 A/Dコンバータの基本動作

- ① A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ3 (ADS3) で1チャンネル選択してください。
- ② 選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。
- ③ 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。
- ④ 逐次変換レジスタ (SAR) のビット7をセットし、タップ・セクタは直列抵抗ストリングの電圧タップを (1/2) AV_{REF} にします。
- ⑤ 直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力電圧が (1/2) AV_{REF} よりも大きければ、SARのMSBをセットされたままです。また、(1/2) AV_{REF} よりも小さければ、MSBはリセットされます。
- ⑥ 次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。
 - ・ビット7=1 : (3/4) AV_{DD}
 - ・ビット7=0 : (1/4) AV_{DD}この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。
 - ・アナログ入力電圧 \geq 電圧タップ : ビット6 = 1
 - ・アナログ入力電圧 < 電圧タップ : ビット6 = 0
- ⑦ このような比較をSARのビット0まで続けます。
- ⑧ 8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ3 (ADCR3) に転送され、ラッチされます。
同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

注意 A/D変換動作をスタートした直後の最初のA/D変換値は定格を満たさないことがあります。

図11-7 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ3 (ADM3) のビット7 (ADCS3) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM3または、アナログ入力チャネル指定レジスタ3 (ADS3) に対する書き込み操作を行うと変換動作は初期化され、ADCS3ビットがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ3 (ADCR3) は、 $\overline{\text{RESET}}$ により不定となります。

11.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI15) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ 3 (ADCR3)) には次式に示す関係があります。

$$ADCR3 = \text{INT} \left(\frac{V_{IN}}{AV_{REF}} \times 256 + 0.5 \right)$$

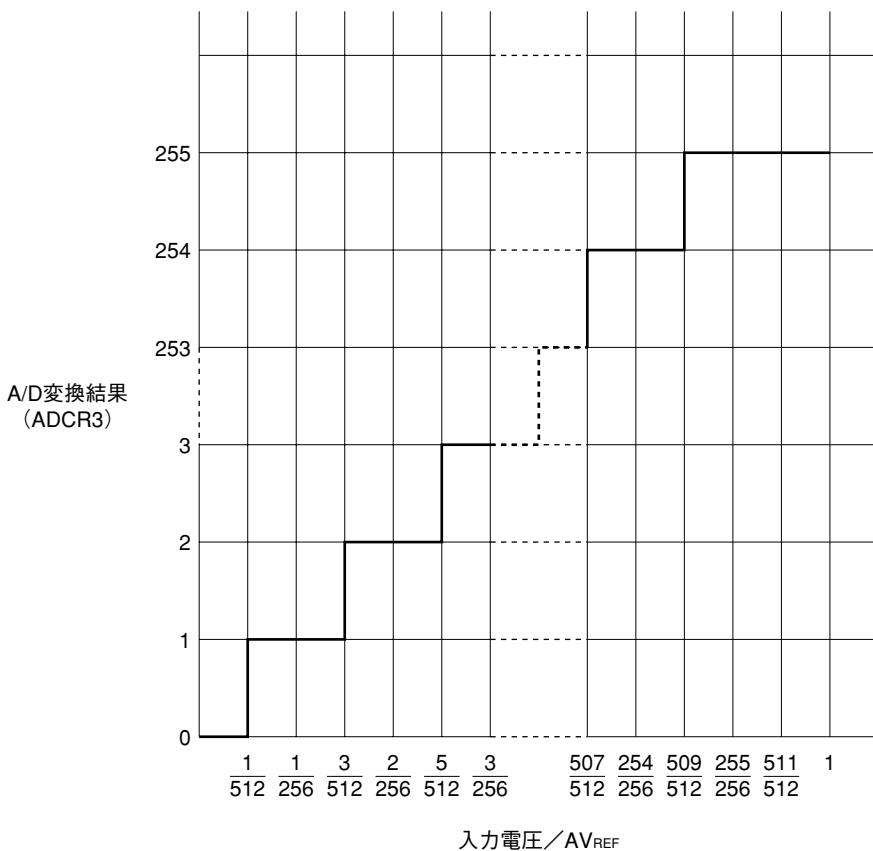
または,

$$(ADCR3 - 0.5) \times \frac{AV_{REF}}{256} - V_{IN} < (ADCR3 + 0.5) \times \frac{AV_{REF}}{256}$$

- INT () : () 内の値の整数部を返す関数
- V_{IN} : アナログ入力電圧
- AV_{REF} : AV_{REF}端子電圧
- ADCR3 : A/D変換結果レジスタ 3 (ADCR3) の値

図11-8 にアナログ入力電圧とA/D変換結果の関係を示します。

図11-8 アナログ入力電圧とA/D変換結果の関係



11.4.3 A/Dコンバータの動作モード

A/Dコンバータの動作モードは、セレクト・モードになっています。アナログ入力チャンネル指定レジスタ3 (ADS3) によってANI0-ANI15からアナログ入力を1チャンネル選択し、A/D変換を行います。

また、パワー・フェイル比較モード・レジスタ3 (PFM3) のビット7 (PFEN3) の設定により、次の2種類の機能を選択できます。

- ・通常の8ビットA/Dコンバータ (PFEN3 = 0)
- ・パワー・フェイル検出機能 (PFEN3 = 1)

(1) A/D変換動作 (PFEN3 = 0 の場合)

A/Dコンバータ・モード・レジスタ3 (ADM3) のビット7 (ADCS3) に1、パワー・フェイル比較モード・レジスタ3 (PFM3) のビット7 (PFEN3) に0を設定することにより、アナログ入力チャンネル指定レジスタ3 (ADS3) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ3 (ADCR3) に格納し、割り込み要求信号 (INTAD) が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。

★

A/D変換動作中に、ADS3を書き換えると、そのとき行っていたA/D変換動作を中断し、新たに選択したアナログ入力チャンネルのA/D変換動作を開始します。

また、A/D変換動作中に、ADCS3が0であるデータをADM3に書き込むと、ただちにA/D変換動作を停止します。

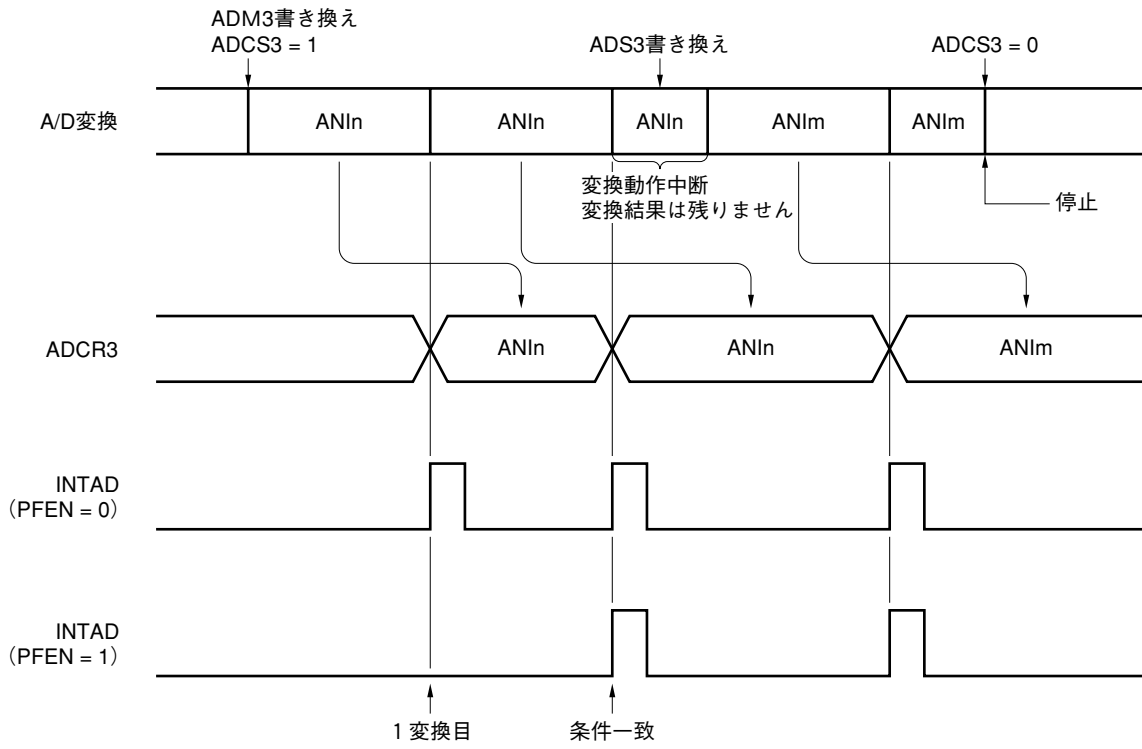
(2) パワー・フェイル検出機能 (PFEN3 = 1 の場合)

A/Dコンバータ・モード・レジスタ3 (ADM3) のビット7 (ADCS3) に1、パワー・フェイル比較モード・レジスタ3 (PFM3) のビット7 (PFEN3) に1を設定することにより、アナログ入力チャンネル指定レジスタ3 (ADS3) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ3 (ADCR3) に格納し、パワー・フェイル比較しきい値レジスタ3 (PFT3) との大小比較を行い、PFM3のビット6 (PFCM3) に指定された条件のもとで割り込み要求信号 (INTAD) が発生します。

注意 パワー・フェイル比較を行う場合は、ADCS3に1を設定したあと、1変換目の割り込み要求信号 (INTAD) は発生しません。2変換目からのINTADが有効になります。

図11-9 A/D変換動作



備考 1. $n = 0, 1, \dots, 15$

2. $m = 0, 1, \dots, 15$

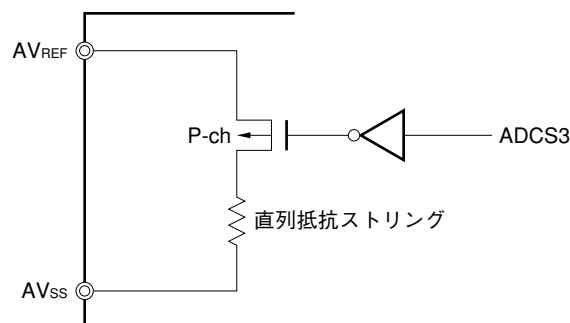
11.5 A/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このとき変換動作停止（A/Dコンバータ・モード・レジスタ3（ADM3）のビット7（ADCS3）= 0）にすることにより、消費電流を低減させることができます。

スタンバイ・モード時の消費電流を低減させる方法例を図11-10に示します。

図11-10 スタンバイ・モード時の消費電流を低減させる方法例



(2) ANI0-ANI15入力範囲について

ANI0-ANI15入力電圧は規格の範囲内でご使用ください。特にAVREF以上、AVREF以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

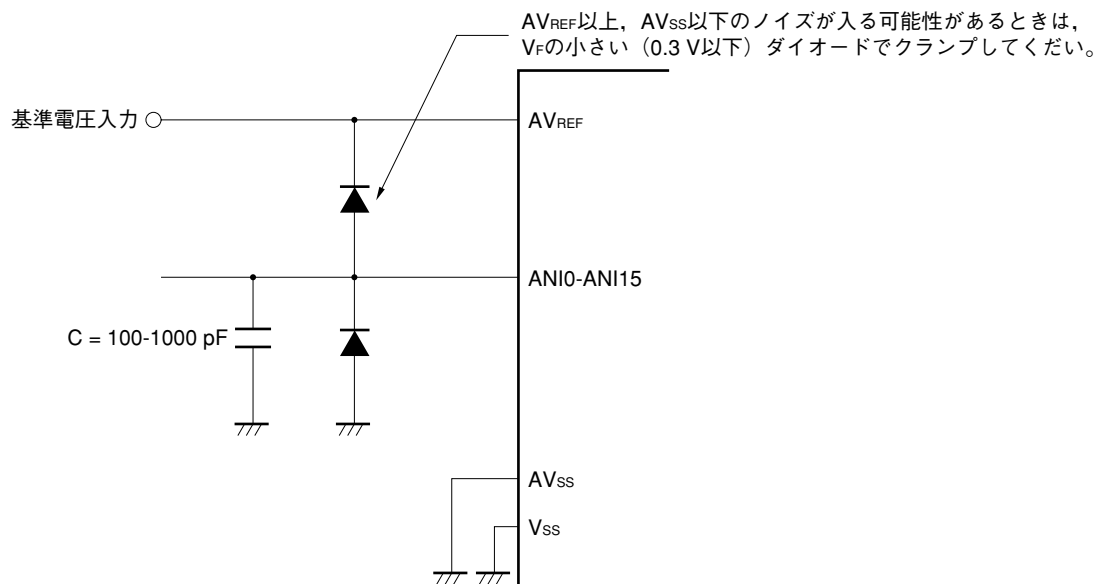
(3) 競合動作について

- ① 変換終了時のA/D変換結果レジスタ3（ADCR3）ライトと命令によるADCR3リードとの競合
ADCR3リードが優先されます。リードしたあと、新しい変換結果がADCR3にライトされます。
- ② 変換終了時のADCR3ライトとA/Dコンバータ・モード・レジスタ3（ADM3）ライト、またはアナログ入力チャンネル指定レジスタ3（ADS3）ライトの競合
ADM3またはADS3へのライトが優先されます。ADCR3へのライトはされません。また、変換終了割り込み信号（INTAD）も発生しません。

(4) ノイズ対策について

8ビット分解能を保つためには、 AV_{REF} 、ANI0-ANI15端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図11-11のようにCを外付けすることを推奨します。

図11-11 アナログ入力端子の処理



(5) ANI0/P80-ANI7/P87, ANI8/P90-ANI15/P97

アナログ入力（ANI0-ANI15）端子は入出力ポート（P80-P87, P90-P97）端子と兼用になっています。

ANI0-ANI15のいずれかを選択してA/D変換をする場合、変換中にポート8, 9に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) AV_{REF}端子の入カインピーダンスについて

AV_{REF}端子とAV_{SS}端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AV_{REF}端子とAV_{SS}端子の間の直列抵抗ストリングと並列接続することになり、基準電圧の誤差が大きくなります。

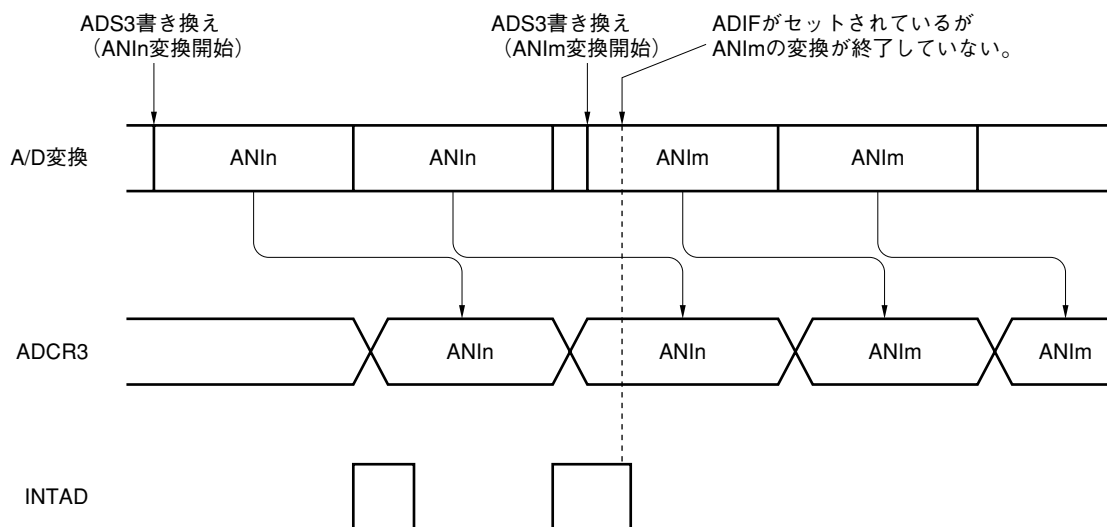
(7) 割り込み要求フラグ (ADIF) について

アナログ入力チャンネル指定レジスタ 3 (ADS3) を変更しても割り込み要求フラグ (ADIF) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS3書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS3書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることになりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

図11-12 A/D変換終了割り込み要求発生タイミング



備考 1. $n = 0, 1, \dots, 15$

2. $m = 0, 1, \dots, 15$

(8) A/D変換スタート直後の変換結果について

A/D変換動作をスタートした直後の最初のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ 3 (ADCR3) の読み出しについて

A/Dコンバータ・モード・レジスタ 3 (ADM3), アナログ入力チャンネル指定レジスタ 3 (ADS3) に対して書き込み動作を行ったとき、ADCR3の内容は不定となることがあります。変換結果は、変換動作終了後、ADM3, ADS3に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

第12章 シリアル・インタフェース (UART0)

12.1 シリアル・インタフェースの機能

シリアル・インタフェース (UART0) には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

詳細については12.4.1 動作停止モードを参照してください。

(2) アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

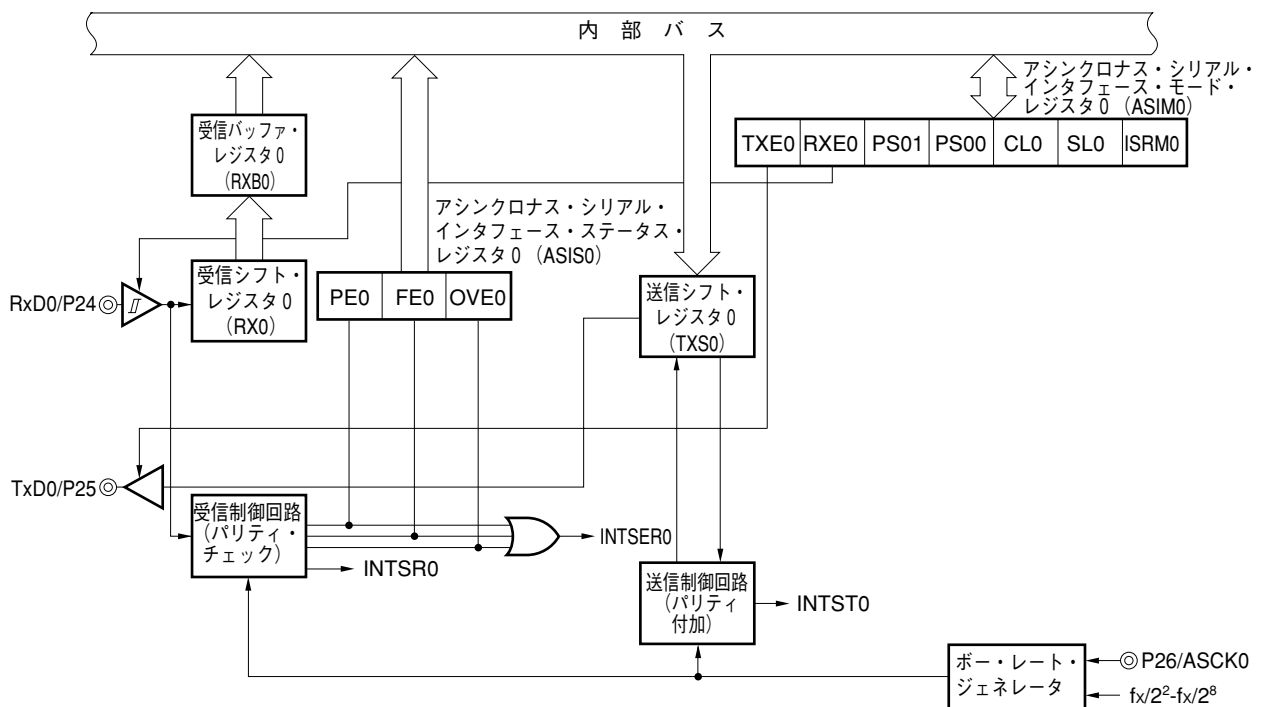
UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。また、ASCK0端子への入力クロックを分周してポー・レートを定義することもできます。

UART専用ポー・レート・ジェネレータを利用してMIDI規格のポー・レート (31.25 kbps) を使用することもできます。

詳細については12.4.2 アシクロナス・シリアル・インタフェース (UART) モードを参照してください。

図12-1に、シリアル・インタフェース (UART0) のブロック図を示します。

図12-1 シリアル・インタフェース (UART0) のブロック図



12.2 シリアル・インタフェースの構成

シリアル・インタフェース (UART0) は、次のハードウェアで構成されています。

表12-1 シリアル・インタフェース (UART0) の構成

項 目	構 成
レジスタ	送信シフト・レジスタ 0 (TXS0) 受信シフト・レジスタ 0 (RX0) 受信バッファ・レジスタ 0 (RXB0)
制御レジスタ	アシンクロナス・シリアル・インタフェース・モード・レジスタ 0 (ASIM0) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ 0 (ASIS0) ボー・レート・ジェネレータ・コントロール・レジスタ 0 (BRGC0)

(1) 送信シフト・レジスタ 0 (TXS0)

送信データを設定するレジスタです。TXS0に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS0に書き込んだデータのビット0-6が送信データとして転送されます。TXS0にデータを書き込むことにより、送信動作を開始します。

TXS0は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXS0への書き込みを行わないでください。

TXS0と受信バッファ・レジスタ 0 (RXB0) は同一アドレスに割り当てられており、読み出しを行った場合にはRXB0の値が読み出されます。

(2) 受信シフト・レジスタ 0 (RX0)

RxD0端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ 0 (RXB0) へ転送します。

RX0はプログラムで直接操作できません。

(3) 受信バッファ・レジスタ0 (RXB0)

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ0 (RX0) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB0のビット0-6に転送され、RXB0のMSBは必ず0になります。

RXB0は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 RXB0と送信シフト・レジスタ0 (TXS0) は同一アドレスに割り当てられており、書き込みを行った場合にはTXS0に値が書き込まれます。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) に設定された内容に従って、送信シフト・レジスタ0 (TXS0) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) に設定された内容に従って、受信動作を制御します。また、受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) にセットします。

12.3 シリアル・インタフェースを制御するレジスタ

シリアル・インタフェース (UART0) は、次の3種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)
- ・ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)

シリアル・インタフェース (UART0) のシリアル転送動作を制御する8ビットのレジスタです。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12-2にASIM0のフォーマットを示します。

注意 UARTモード時、ポート・モード・レジスタ (PMXX) を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

- ・受信時
P24 (RxD0) を入力モード (PM24 = 1) に設定
- ・送信時
P25 (TxD0) を出力モード (PM25 = 0) に設定
- ・送受信時
P24を入力モード、P25を出力モードにそれぞれ設定

図12-2 アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のフォーマット

アドレス：FFA0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ASIM0	TXE0	RXE0	PS01	PS00	CL0	SL0	ISRM0	0

TXE0	RXE0	動作モード	RxD0/P24端子の機能	TxD0/P25端子の機能
0	0	動作停止	ポート機能 (P24)	ポート機能 (P25)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD0)	
1	0	UARTモード (送信のみ)	ポート機能 (P25)	シリアル機能 (TxD0)
1	1	UARTモード (送受信)	シリアル機能 (RxD0)	

PS01	PS00	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ付加 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL0	キャラクタ長の指定
0	7ビット
1	8ビット

SL0	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM0	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

- 注意 1. ビット 0 は必ず 0 に設定してください。
2. 動作モードの切り替えは, シリアル送受信動作を停止させたのちに行ってください。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)

UARTモードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASIS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12-3 アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) のフォーマット

アドレス：FFA1H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ASIS0	0	0	0	0	0	PE0	FE0	OVE0

PE0	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE0	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVE0	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット2 (SL0) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ0 (RXB0) を必ず読み出してください。

RXB0を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

シリアル・インタフェースのシリアル・クロックを設定するレジスタです。

BRGC0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12-4 にBRGC0のフォーマットを示します。

図12-4 ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のフォーマット

アドレス：FFA2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
BRGC0	0	TPS02	TPS01	TPS00	MDL03	MDL02	MDL01	MDL00

($f_x = 6.29 \text{ MHz}$)

TPS02	TPS01	TPS00	5ビット・カウンタのソース・クロック (f_{sck}) 選択	n
0	0	0	P26/ASCK0	0
0	0	1	$f_x/2^2$	2
0	1	0	$f_x/2^3$	3
0	1	1	$f_x/2^4$	4
1	0	0	$f_x/2^5$	5
1	0	1	$f_x/2^6$	6
1	1	0	$f_x/2^7$	7
1	1	1	$f_x/2^8$	8

MDL03	MDL02	MDL01	MDL00	ボー・レート・ジェネレータの入カクロックの選択	k
0	0	0	0	$f_{sck}/16$	0
0	0	0	1	$f_{sck}/17$	1
0	0	1	0	$f_{sck}/18$	2
0	0	1	1	$f_{sck}/19$	3
0	1	0	0	$f_{sck}/20$	4
0	1	0	1	$f_{sck}/21$	5
0	1	1	0	$f_{sck}/22$	6
0	1	1	1	$f_{sck}/23$	7
1	0	0	0	$f_{sck}/24$	8
1	0	0	1	$f_{sck}/25$	9
1	0	1	0	$f_{sck}/26$	10
1	0	1	1	$f_{sck}/27$	11
1	1	0	0	$f_{sck}/28$	12
1	1	0	1	$f_{sck}/29$	13
1	1	1	0	$f_{sck}/30$	14
1	1	1	1	設定禁止	—

注意 通信動作中にBRGC0への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ、正常に通信ができなくなります。したがって、通信動作中にはBRGC0への書き込みを行わないでください。

- 備考 1. f_{sck} : 5ビット・カウンタのソース・クロック
 2. n : TPS00-TPS02で設定した値 ($0, 2 \leq n \leq 8$)
 3. k : MDL00-MDL03で設定した値 ($0 \leq k \leq 14$)

12.4 シリアル・インタフェースの動作

シリアル・インタフェース (UART0) の持つ2種類のモードについて説明します。

12.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、端子を通常のポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) で行います。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET 入力により、00Hになります。

アドレス：FFA0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ASIM0	TXE0	RXE0	PS01	PS00	CL0	SL0	ISRM0	0

TXE0	RXE0	動作モード	RxD0/P24端子の機能	TxD0/P25端子の機能
0	0	動作停止	ポート機能 (P24)	ポート機能 (P25)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD0)	
1	0	UARTモード (送信のみ)	ポート機能 (P24)	シリアル機能 (TxD0)
1	1	UARTモード (送受信)	シリアル機能 (RxD0)	

注意 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

12.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

(1) レジスタの設定

UARTモードの設定は、アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)、ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)で行います。

(a) アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 UARTモード時、ポート・モード・レジスタ (PMXX) を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

- ・受信時

- P24 (RxD0) を入力モード (PM24 = 1) に設定

- ・送信時

- P25 (TxD0) を出力モード (PM25 = 0) に設定

- ・送受信時

- P24を入力モード、P25を出力モードにそれぞれ設定

アドレス：FFA0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ASIM0	TXE0	RXE0	PS01	PS00	CLO	SLO	ISRM0	0

TXE0	RXE0	動作モード	RxD0/P24端子の機能	TxD0/P25端子の機能
0	0	動作停止	ポート機能 (P24)	ポート機能 (P25)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD0)	
1	0	UARTモード (送信のみ)	ポート機能 (P25)	シリアル機能 (TxD0)
1	1	UARTモード (送受信)	シリアル機能 (RxD0)	

PS01	PS00	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ付加 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CLO	キャラクタ長の指定
0	7ビット
1	8ビット

SLO	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM0	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

- 注意 1. ビット0は必ず0に設定してください。
2. 動作モードの切り替えは, シリアル送受信動作を停止させたのちに行ってください。

(b) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)

ASIS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

RESET 入力により、00Hになります。

アドレス：FFA1H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ASIS0	0	0	0	0	0	PE0	FE0	OVE0

PE0	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE0	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVE0	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット2 (SL0) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ0 (RXB0) を必ず読み出してください。

RXB0を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(c) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

BRGC0は、8ビット・メモリ操作命令で設定します。

RESET 入力により、00Hになります。

アドレス：FFA2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
BRGC0	0	TPS02	TPS01	TPS00	MDL03	MDL02	MDL01	MDL00

(fx = 6.29 MHz)

TPS02	TPS01	TPS00	5ビット・カウンタのソース・クロック (fscck) 選択	n
0	0	0	P26/ASCK0	0
0	0	1	fx/2 ²	2
0	1	0	fx/2 ³	3
0	1	1	fx/2 ⁴	4
1	0	0	fx/2 ⁵	5
1	0	1	fx/2 ⁶	6
1	1	0	fx/2 ⁷	7
1	1	1	fx/2 ⁸	8

MDL03	MDL02	MDL01	MDL00	ボー・レート・ジェネレータの入カクロックの選択	k
0	0	0	0	fscck/16	0
0	0	0	1	fscck/17	1
0	0	1	0	fscck/18	2
0	0	1	1	fscck/19	3
0	1	0	0	fscck/20	4
0	1	0	1	fscck/21	5
0	1	1	0	fscck/22	6
0	1	1	1	fscck/23	7
1	0	0	0	fscck/24	8
1	0	0	1	fscck/25	9
1	0	1	0	fscck/26	10
1	0	1	1	fscck/27	11
1	1	0	0	fscck/28	12
1	1	0	1	fscck/29	13
1	1	1	0	fscck/30	14
1	1	1	1	設定禁止	—

注意 通信動作中にBRGC0への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGC0への書き込みを行わないでください。

- 備考**
1. fscck : 5ビット・カウンタのソース・クロック
 2. n : TPS00-TPS02で設定した値 (0, 2 ≤ n ≤ 8)
 3. k : MDL00-MDL03で設定した値 (0 ≤ k ≤ 14)

生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号になります。

・システム・クロックによるボー・レート用の送受信クロックの生成

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} (k+16)} \text{ [Hz]}$$

f_x : システム・クロック発振周波数

n : TPS00-TPS02で設定した値 ($0, 2 \leq n \leq 8$)

詳細は表12-2を参照してください。

k : MDL00-MDL03で設定した値 ($0 \leq n \leq 14$)

BRGC0のビット4-6 (TPS00-TPS02) に割り当てた5ビット・カウンタのソース・クロックと n の値との関係を表12-2に示します。

表12-2 5ビット・カウンタのソース・クロックと n の値との関係

TPS02	TPS01	TPS00	5ビット・カウンタのソース・クロック選択	n
0	0	0	P26/ASCK0	0
0	0	1	$f_x/2^2$	2
0	1	0	$f_x/2^3$	3
0	1	1	$f_x/2^4$	4
1	0	0	$f_x/2^5$	5
1	0	1	$f_x/2^6$	6
1	1	0	$f_x/2^7$	7
1	1	1	$f_x/2^8$	8

備考 f_x : システム・クロック発振周波数

・ボー・レートの許容誤差範囲

ボー・レートの許容範囲は、1 フレームのビット数、およびカウンタの分周比 $[1/(16+k)]$ に依存します。

表12-3 にシステム・クロックとボー・レートとの関係を、図12-5 にボー・レートの許容誤差の例を示します。

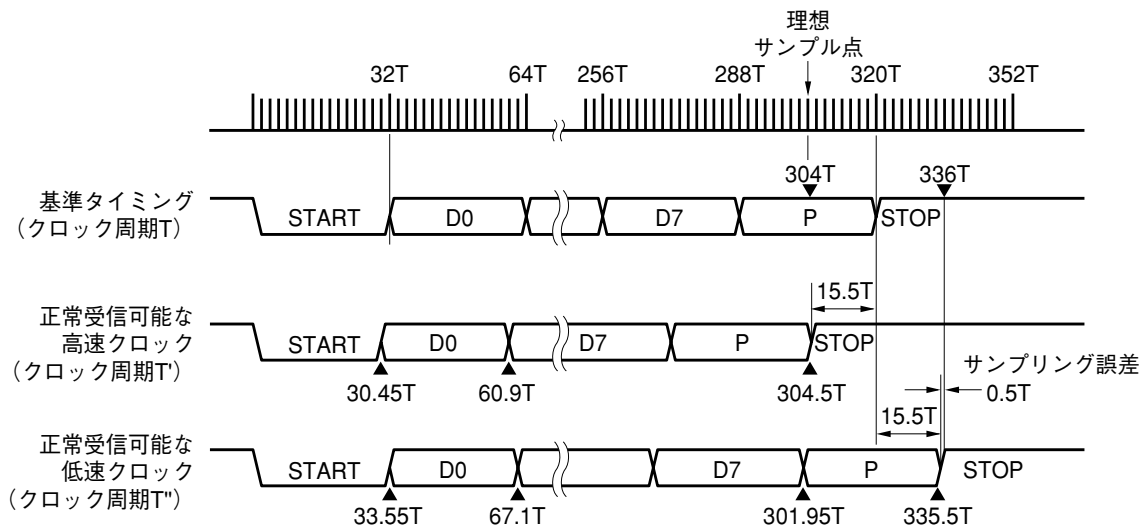
表12-3 システム・クロックとボー・レートの関係

ボー・レート [bps]	fx = 6.291456 MHz	
	BRGC0	誤差 (%)
600	74H	2.40
1200	64H	2.40
2400	54H	2.40
4800	44H	2.40
9600	34H	2.40
19200	24H	2.40
31250	19H	0.66
38400	14H	2.40
38400	15H	-2.34

備考 fx : システム・クロック発振周波数

k : MDL00-MDL03で設定した値 (0 ≤ k ≤ 14)

図12-5 サンプルング誤差を考慮したボー・レートの許容誤差 (k = 0の場合)



備考 T : 5 ビット・カウンタのソース・クロック周期

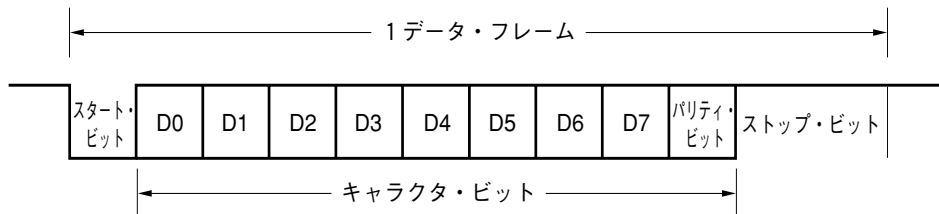
$$\text{ボー・レート許容誤差 (k = 0の場合)} = \frac{\pm 15.5}{320} \times 100 = 4.8438 (\%)$$

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットを図12-6に示します。

図12-6 アシクロナス・シリアル・インタフェースの送受信データのフォーマット



1 データ・フレームは、次に示す各ビットで構成されます。

- ・スタート・ビット……1ビット
- ・キャラクタ・ビット…7ビット／8ビット
- ・パリティ・ビット……偶数パリティ／奇数パリティ／0パリティ／パリティなし
- ・ストップ・ビット……1ビット／2ビット

1 データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) によって行います。

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット (ビット0-6) のみが有効となり、送信の場合は最上位ビット (ビット7) は無視され、受信の場合は必ず最上位ビット (ビット7) は“0”になります。

シリアル転送レートの設定は、ASIM0とボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) によって行います。

また、シリアルデータの受信エラーが発生した場合、アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) に状態を読むことによって受信エラーの内容を判定できます。

(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のものを使用します。偶数パリティと奇数パリティでは、1ビット (奇数個) の誤りを検出できます。0パリティとパリティなしとでは、誤りを検出できません。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

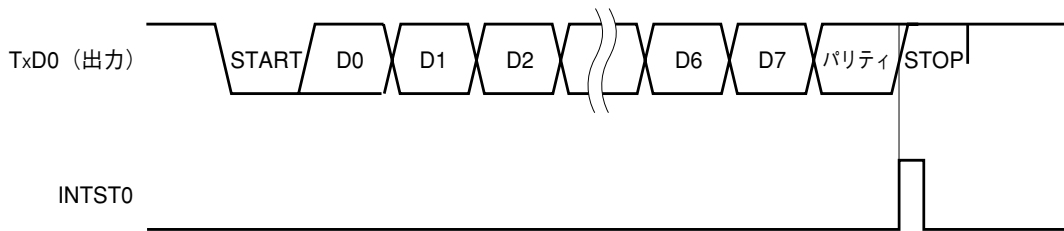
送信シフト・レジスタ 0 (TXS0) に送信データを書き込むことによって受信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXS0内のデータがシフト・アウトされTXS0が空になると、送信完了割り込み要求 (INTST0) が発生します。

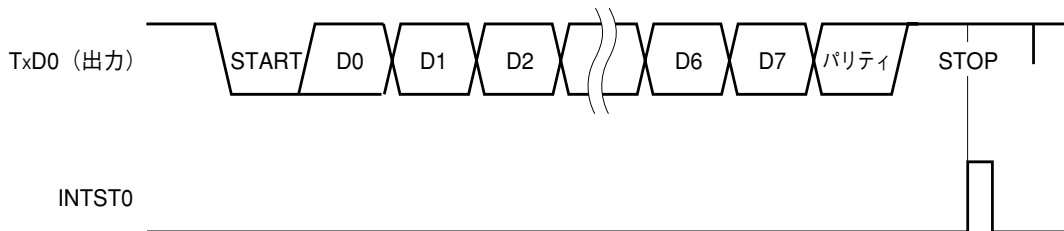
送信完了割り込みのタイミングを図12-7に示します。

図12-7 アシクロナス・シリアル・インタフェース送信完了割り込み要求タイミング

(i) ストップ・ビット長：1



(ii) ストップ・ビット長：2



注意 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ 0 (ASIM0) を書き換えしないでください。送信中にASIM0レジスタを書き換えると、それ以降の送信動作ができなくなる場合があります (RESET 入力により、正常になります)。

送信中かどうかは、送信完了割り込み要求 (INTST0) またはINTST0によってセットされる割り込み要求フラグ (STIF0) を用いて、ソフトウェアにより判断できます。

(d) 受信

受信動作はアシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット6 (RXE0) がセット (1) されると許可状態となり、RxD0端子入力のサンプリングを行います。

RxD0端子入力のサンプリングは、ASIM0で指定したシリアル・クロックで行います。

RxD0端子入力が入力レベルになると、ポーレート・ジェネレータの5ビット・カウンタがカウントを開始し、設定したポーレートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD0端子入力をサンプリングした結果、入力レベルであれば、スタート・ビットとして認識し、5ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ0 (RXB0) に転送し、受信完了割り込み要求 (INTSR0) を発生します。

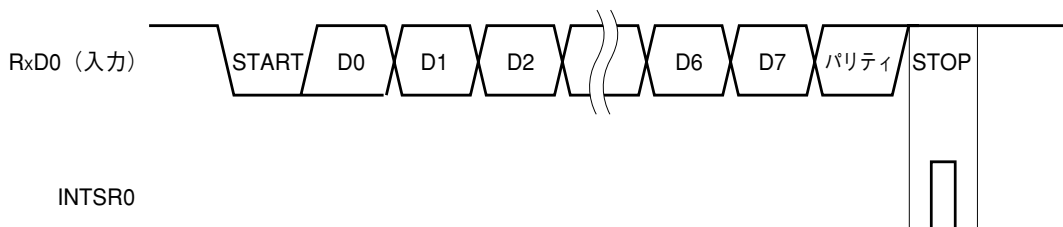
また、エラーが発生しても、RXB0にエラーの発生した受信データを転送します。エラー発生時、ASIM0のビット1 (ISRM0) がクリア (0) されている場合は、INTSR0が発生します (図12-9 参照)。

ISRM0ビットがセット (1) されている場合は、INTSR0は発生しません。

なお、受信動作中にRXE0ビットをリセット (0) すると、ただちに受信動作を停止します。このとき、RXB0およびASIS0の内容は変化せず、また、INTSR0, INTSER0も発生しません。

図12-8にアシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミングを示します。

図12-8 アシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミング



注意 受信エラー発生時にも受信バッファ・レジスタ0 (RXB0) は必ず読み出してください。RXB0を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) 内に立つと、受信エラー割り込み要求 (INTSER0) を発生します。受信エラー割り込みは、受信完了割り込み要求 (INTSR0) より先に発生します。受信エラー要因を表12-4に示します。

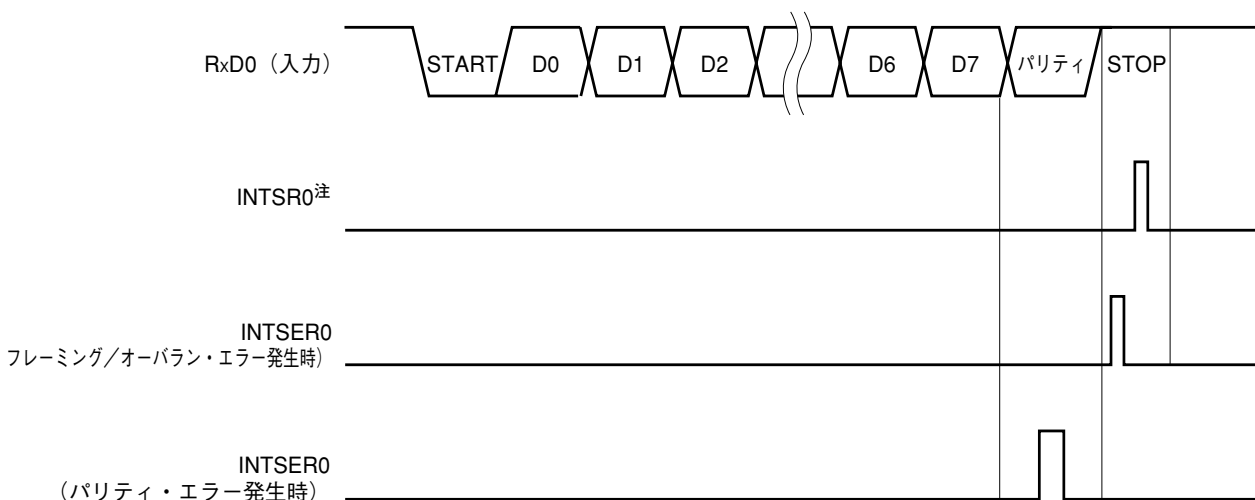
受信エラー割り込み処理 (INTSER0) 内でASIS0の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます (表12-4、図12-9参照)。

ASIS0の内容は、受信バッファ・レジスタ0 (RXB0) を読み出すか、次のデータを受信することでリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表12-4 受信エラーの要因

受信エラー	要因	ASIS0の値
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない	04H
フレーミング・エラー	ストップ・ビットが検出されない	02H
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了	01H

図12-9 受信エラー・タイミング



注 ISRM0ビットがセット (1) されている場合に受信エラーが発生したときは、INTSR0は発生しません。

- 注意1. アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) の内容は、受信バッファ・レジスタ0 (RXB0) を読み出すか、次のデータを受信することにより、リセット (0) されます。エラーの内容が知りたい場合には、必ずRXB0を読み出す前にASIS0を読み出してください。
2. 受信エラー発生時にも受信バッファ・レジスタ0 (RXB0) は必ず読み出してください。RXB0を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

第13章 シリアル・インタフェース（SIO30, SIO31）

μPD780701Yサブシリーズは3線式シリアルI/Oモードを2チャンネル（SIO30, SIO31）内蔵しています。

この2本のチャンネルはまったく同一の機能です。したがって、この章では特に違いがないかぎり、SIO30を代表として説明しています。SIO31として使用する場合は、レジスタ名称、ビット名称、端子名称を表13-1を参照して読み替えてください。

表13-1 SIO30とSIO31の名称の違い

項 目	SIO30	SIO31
端子名称	P30/SI30 P31/SO30 P32/ $\overline{SCK30}$	P20/SI31 P21/SO31 P22/ $\overline{SCK31}$
シリアル動作モード・レジスタ3	CSIM30	CSIM31
シリアル動作モード・レジスタ3のアドレス	FFB0H	FFB8H
シリアル動作モード・レジスタ3内のビット名称	CSIE30 MODE0 SCL301 SCL300	CSIE31 MODE1 SCL311 SCL310
シリアルI/Oシフト・レジスタ3	SIO30	SIO31
シリアルI/Oシフト・レジスタ3のアドレス	FF1AH	FF1BH
割り込み要求名称	INTCSI30	INTCSI31
割り込み制御レジスタおよび本章で使用するビット名称	CSIIF30 CSIMK30 CSIPR30	CSIIF31 CSIMK31 CSIPR31

13.1 シリアル・インタフェースの機能

シリアル・インタフェース (SIO30) には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。詳細については13.4.1 動作停止モードを参照してください。

(2) 3線式シリアルI/Oモード (MSB先頭固定)

シリアル・クロック (SCK30), シリアル出力 (SO30), シリアル入力 (SI30) の3本のラインにより、8ビット・データ転送を行うモードです。

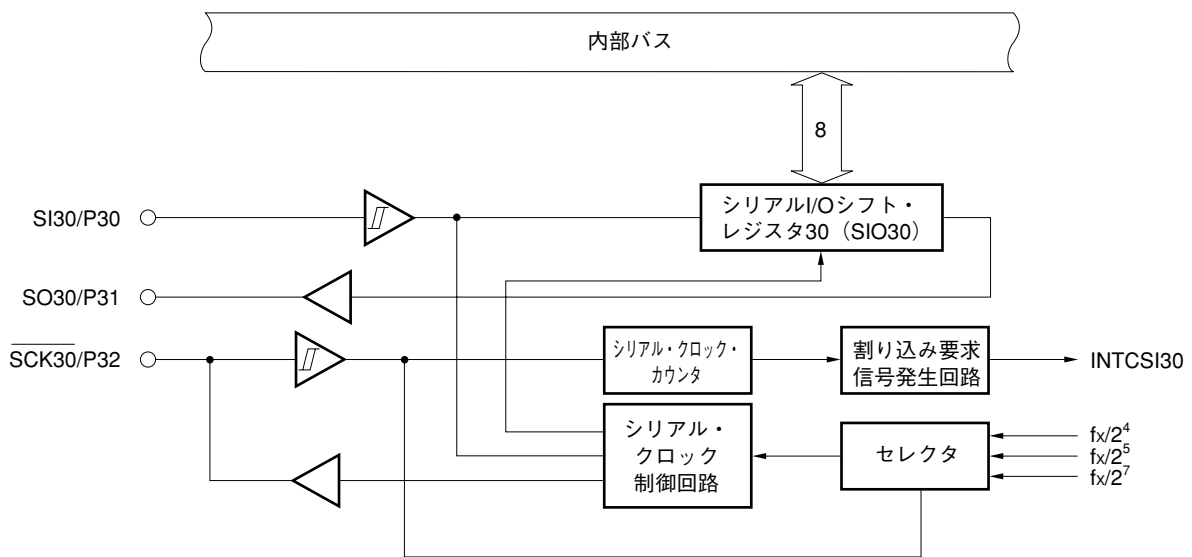
3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットは、MSB固定です。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。詳細については13.4.2 3線式シリアルI/Oモードを参照してください。

図13-1に、シリアル・インタフェース (SIO30) のブロック図を示します。

図13-1 シリアル・インタフェース (SIO30) のブロック図



13.2 シリアル・インタフェースの構成

シリアル・インタフェース (SIO30) は、次のハードウェアで構成されています。

表13-2 シリアル・インタフェース (SIO30) の構成

項 目	構 成
レジスタ	シリアルI/Oシフト・レジスタ30 (SIO30)
制御レジスタ	シリアル動作モード・レジスタ30 (CSIM30)

(1) シリアルI/O シフト・レジスタ30 (SIO30)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う 8 ビット・レジスタです。

SIO30は、8 ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ30 (CSIM30) のビット 7 (CSIE30) が 1 のとき、SIO30にデータを書き込むか、または読み出すことによりシリアル動作が開始されます。

送信時は、SIO30に書き込まれたデータが、シリアル出力 (SO30) に出力されます。

受信時は、データがシリアル入力 (SI30) からSIO30に読み込まれます。

$\overline{\text{RESET}}$ 入力により、00H になります。

注意 転送動作中のSIO30アクセスは、転送起動トリガとなるアクセス以外は実行しないでください (MODE0 = 0のときリード動作が、MODE0 = 1のときはライト動作が禁止となります)。

13.3 シリアル・インタフェースを制御するレジスタ

シリアル・インタフェース (SIO30) を制御するレジスタには、次のものがあります。

- ・シリアル動作モード・レジスタ30 (CSIM30)

(1) シリアル動作モード・レジスタ30 (CSIM30)

SIO30のシリアル・クロック、動作モード、動作の許可/停止を設定するレジスタです。CSIM30は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により、00Hになります。

注意 3線式シリアル/Oモード時、ポート・モード・レジスタ (PMXX) を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

- ・シリアル・クロック出力時 (マスタ送信またはマスタ受信)
P32 ($\overline{\text{SCK30}}$) を出力モード (PM32 = 0) に設定
- ・シリアル・クロック入力時 (スレーブ送信またはスレーブ受信)
P32を入力モード (PM32 = 1) に設定
- ・送信/送受信モード時
P31 (SO30) を出力モード (PM31 = 0) に設定
- ・受信モード時
P30 (SI30) を入力モード (PM30 = 1) に設定

図13-2 シリアル動作モード・レジスタ30 (CSIM30) のフォーマット

アドレス：FFB0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM30	CSIE30	0	0	0	0	MODE0	SCL301	SCL300

CSIE30	SIO30の動作許可/禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能+ ポート機能 ^{注2}

MODE0	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO30出力
0	送信/送受信モード	SIO30ライト	通常出力
1	受信専用モード	SIO30リード	ロウ・レベル固定

SCL301	SCL300	クロックの選択
0	0	SCK30への外部クロック入力
0	1	$f_x/2^4$ (393 kHz)
1	0	$f_x/2^5$ (197 kHz)
1	1	$f_x/2^7$ (49.2 kHz)

- 注1. CSIE30 = 0 (SIO30動作停止状態) のときは、SI30, SO30, $\overline{\text{SCK30}}$ 端子は、ポート機能として使用できます。
2. CSIE30 = 1 (SIO30動作許可状態) のときは、送信機能のみ使用する場合はSI30端子、受信専用モード時はSO30端子をそれぞれポート機能として使用できます。

- 備考1. f_x : メイン・システム・クロック発振周波数
2. () 内は、 $f_x = 6.29 \text{ MHz}$ 動作時。

13.4 シリアル・インタフェースの動作

シリアル・インタフェース (SIO30) の持つ2種類のモードについて説明します。

13.4.1 動作停止モード

動作停止モードではシリアル転送を行いませんので、消費電力を低減できます。
また、動作停止モードでは、端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ30 (CSIM30) で行います。
CSIM30は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス: FFB0H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
CSIM30	CSIE30	0	0	0	0	MODE0	SCL301	SCL300

CSIE30	SIO30の動作許可/禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能+ ポート機能 ^{注2}

- 注1. CSIE30 = 0 (SIO30動作停止状態) のときは、SI30, SO30, $\overline{\text{SCK30}}$ 端子は、ポート機能として使用できます。
2. CSIE30 = 1 (SIO30動作許可状態) のときは、送信機能のみ使用する場合はSI30端子、受信専用モード時はSO30端子をそれぞれポート機能として使用できます。

13.4.2 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック ($\overline{\text{SCK30}}$)、シリアル出力 (SO30)、シリアル入力 (SI30) の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ30 (CSIM30)で行います。CSIM30は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により、00Hになります。

注意 3線式シリアルI/Oモード時、ポート・モード・レジスタ (PMXX) を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

- ・シリアル・クロック出力時 (マスタ送信またはマスタ受信)
P32 ($\overline{\text{SCK30}}$) を出力モード (PM32 = 0) に設定
- ・シリアル・クロック入力時 (スレーブ送信またはスレーブ受信)
P32を入力モード (PM32 = 1) に設定
- ・送信/送受信モード時
P31 (SO30) を出力モード (PM31 = 0) に設定
- ・受信モード時
P30 (SI30) を入力モード (PM30 = 1) に設定

アドレス：FFB0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM30	CSIE30	0	0	0	0	MODE0	SCL301	SCL300

CSIE30	SIO30の動作許可/禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能+ ポート機能 ^{注2}

MODE0	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO30出力
0	送信/送受信モード	SIO30ライト	通常出力
1	受信専用モード	SIO30リード	ロウ・レベル固定

SCL301	SCL300	クロックの選択
0	0	SCK30への外部クロック入力
0	1	$f_x/2^4$ (393 kHz)
1	0	$f_x/2^5$ (197 kHz)
1	1	$f_x/2^7$ (49.2 kHz)

注1. CSIE30 = 0 (SIO30動作停止状態) のときは, SI30, SO30, $\overline{\text{SCK30}}$ 端子は, ポート機能として使用できます。

2. CSIE30 = 1 (SIO30動作許可状態) のときは, 送信機能のみ使用する場合はSI30端子, 受信専用モード時はSO30端子をそれぞれポート機能として使用できます。

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は, $f_x = 6.29 \text{ MHz}$ 動作時。

(2) 通信動作

3線式シリアル/Oモードは, 8ビット単位でデータの送受信を行います。データは, シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル/Oシフト・レジスタ30 (SIO30) のシフト動作は, シリアル・クロックの立ち下がりに同期して行われます。そして, 送信データがSO30ラッチに保持され, SO30端子から出力されます。また, シリアル・クロックの立ち上がりで, SI30端子に入力された受信データがSIO30にラッチされます。

8ビット転送終了により, SIO30の動作は自動的に停止し, 割り込み要求フラグ (CSIF30) がセットされます。

図13-3 3線式シリアル/Oモードのタイミング



(3) 転送スタート

シリアル転送は, 次の2つの条件を満たしたとき, シリアル/Oシフト・レジスタ30 (SIO30) に転送データをセットする (またはリードする) ことで開始します。

- SIO30の動作制御ビット (CSIE30) = 1
- 8ビット・シリアル転送後, 内部のシリアル・クロックが停止した状態か, または $\overline{\text{SCK30}}$ がハイ・レベルの状態
- 送信/送受信モード
 - CSIE30 = 1, MODE0 = 0のとき, SIO30ライトで転送スタート
- 受信専用モード
 - CSIE30 = 1, MODE0 = 1のとき, SIO30のリードで転送スタート

注意 SIO30にデータを書き込んだあと, CSIE30を“1”にしても転送はスタートしません。

8ビット転送終了により, シリアル転送は自動的に停止し, 割り込み要求フラグ (CSIF30) がセットされます。

第14章 シリアル・インタフェース (IIC0)

14.1 シリアル・インタフェースの機能

シリアル・インタフェース (IIC0) には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCL0) とシリアル・データ・バス (SDA0) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、送信時、シリアル・データ・バス上に“スタート・コンディション”、“データ”および“ストップ・コンディション”を出力できます。また、受信時には、これらのデータをハードウェアにより自動的に検出します。

IIC0では、SCL0とSDA0はオープン・ドレイン出力になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

図14-1 に、シリアル・インタフェース (IIC0) のブロック図を示します。

図14-1 シリアル・インタフェース (IIC0) のブロック図

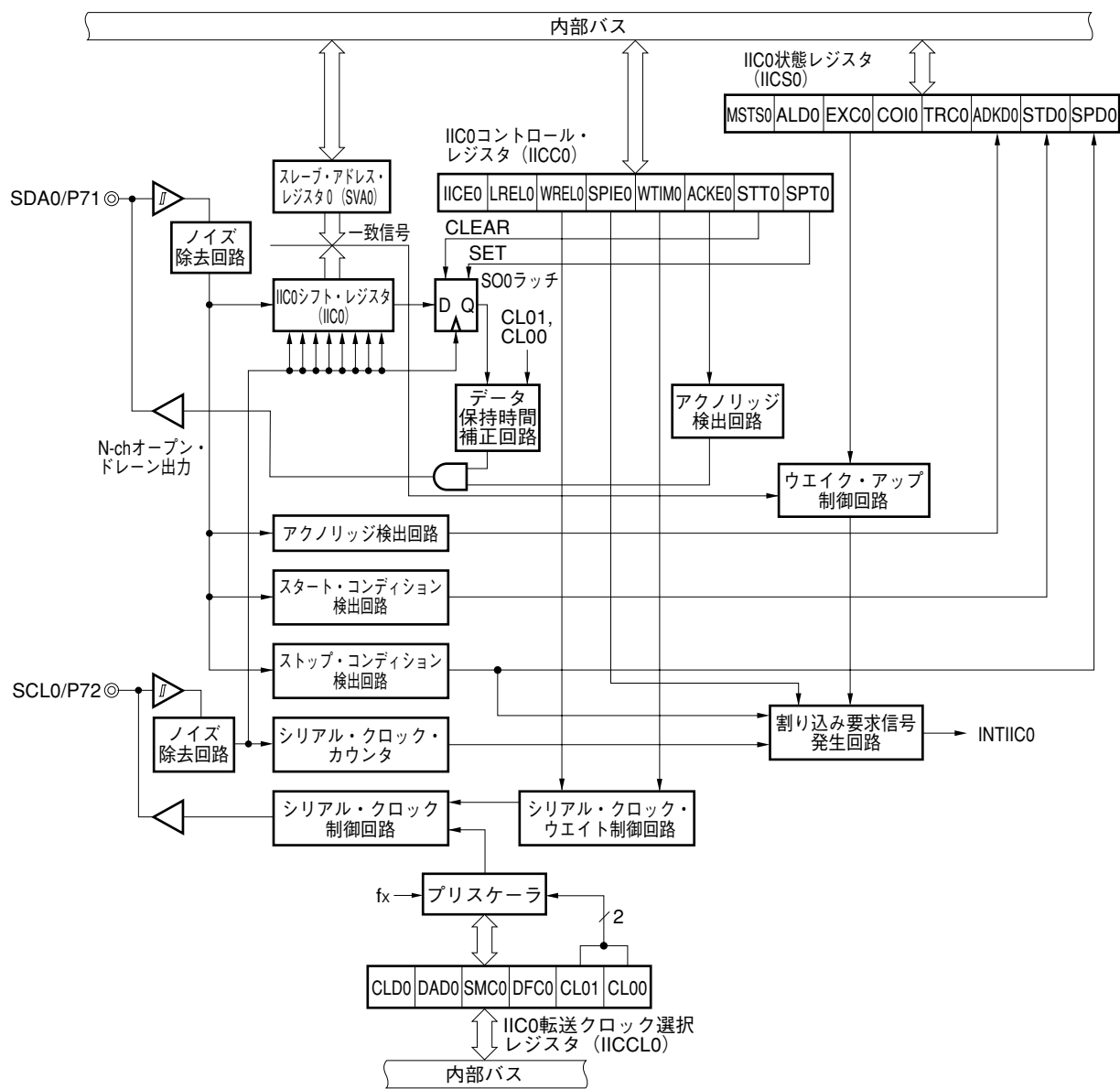
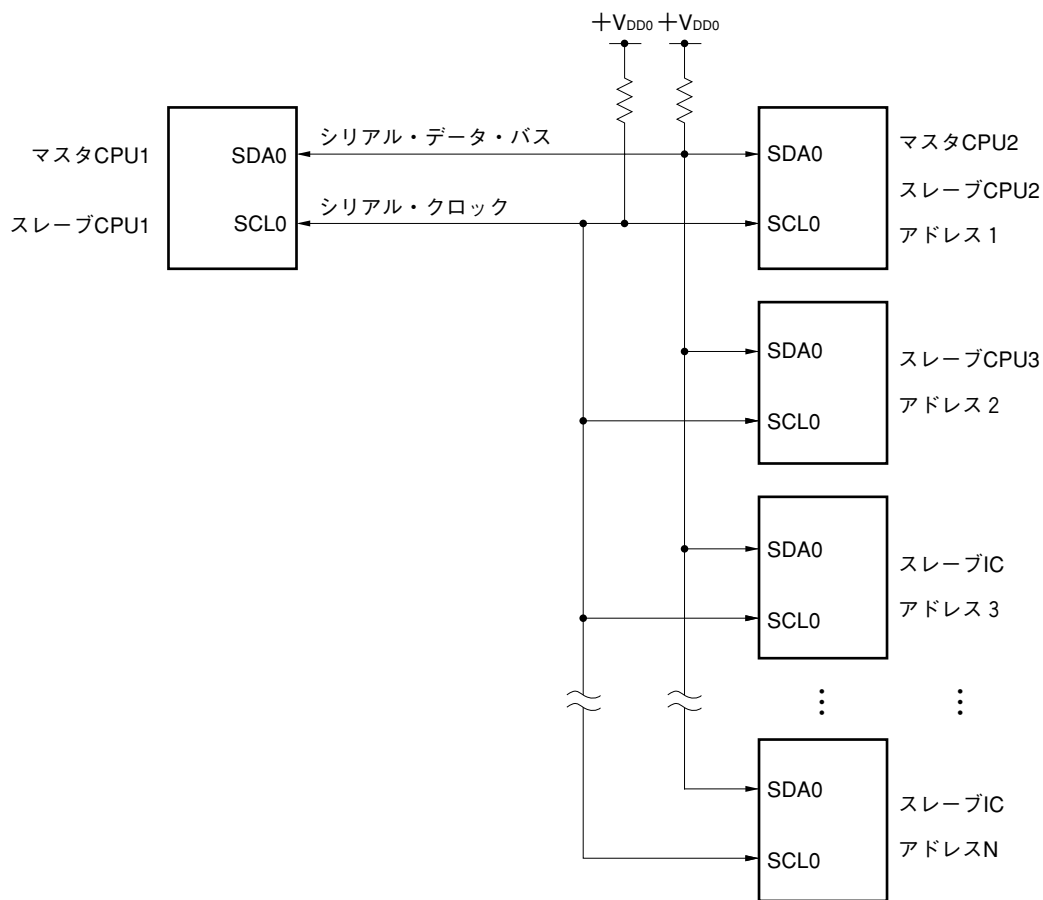


図14-2 にシリアル・バス構成例を示します。

図14-2 I²Cバスによるシリアル・バス構成例



14.2 シリアル・インタフェースの構成

シリアル・インタフェース (IIC0) は、次のハードウェアで構成されています。

表14-1 シリアル・インタフェース (IIC0) の構成

項 目	構 成
レジスタ	IIC0シフト・レジスタ (IIC0) スレーブ・アドレス・レジスタ 0 (SVA0)
制御レジスタ	IIC0コントロール・レジスタ (IICC0) IIC0状態レジスタ (IICS0) IIC0転送クロック選択レジスタ (IICCL0)

(1) IIC0シフト・レジスタ (IIC0)

IIC0は、8ビットのシリアル・データを8ビットの平行ル・データに、8ビットの平行ル・データを8ビットのシリアル・データに変換するレジスタです。IIC0は送信および受信の両方に使用されます。

IIC0に対する書き込み／読み出しにより、実際の送受信動作が制御されます。

IIC0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(2) スレーブ・アドレス・レジスタ 0 (SVA0)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

SVA0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(3) SO0ラッチ

SO0ラッチは、SDA0端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ 0 (SVA0) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求を発生させる回路です。

(5) クロック・セクタ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIIC0) の発生を制御します。

I²C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目 (WTIM0ビットで設定^注)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIE0ビットで設定^注)

注 WTIM0ビット：IIC0コントロール・レジスタ (IICC0) のビット3

SPIE0ビット： ♪ のビット4

(8) シリアル・クロック制御回路

マスタ・モード時に、SCL0端子に出力するクロックをサンプリング・クロックから生成します。

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(10) アクノリッジ出力回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各種制御信号の出力および検出を行います。

(11) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

14.3 シリアル・インタフェースを制御するレジスタ

シリアル・インタフェース (IIC0) は、次の3種類のレジスタで制御します。

- IIC0コントロール・レジスタ (IICC0)
- IIC0状態レジスタ (IICS0)
- IIC0転送クロック選択レジスタ (IICCL0)

また、次のレジスタも使用します。

- IIC0シフト・レジスタ (IIC0)
- スレーブ・アドレス・レジスタ0 (SVA0)

(1) IIC0コントロール・レジスタ (IICC0)

I²Cの動作許可/禁止、ウェイト・タイミングの設定、その他I²Cの動作を設定するレジスタです。

IICC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 I²Cバス・モード時、ポート・モード・レジスタ (PMXX) を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

- P71 (SDA0) を出力モード (PM71 = 0) に設定
- P72 (SCL0) を出力モード (PM72 = 0) に設定

図14-3 IIC0コントロール・レジスタ (IICC0) のフォーマット (1/4)

アドレス：FFA8H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IICC0	IICE0	LRELO	WRELO	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I ² Cの動作許可
0	動作停止。IIC0状態レジスタ (IICS0) をプリセット。内部動作も停止。
1	動作許可。
クリアされる条件 (IICE0 = 0)	セットされる条件 (IICE0 = 1)
<ul style="list-style-type: none"> 命令によるクリア RESET入力時 	<ul style="list-style-type: none"> 命令によるセット

LRELO	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0, SDA0ラインはハイ・インピーダンス状態になる。 次のフラグがクリアされる。 <ul style="list-style-type: none"> STD0 ACKD0 TRC0 COI0 EXC0 MSTS0 STT0 SPT0
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。	
<ul style="list-style-type: none"> ストップ・コンディション検出後、マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信 	
クリアされる条件 (LRELO = 0) 注	セットされる条件 (LRELO = 1)
<ul style="list-style-type: none"> 実行後、自動的にクリア RESET入力時 	<ul style="list-style-type: none"> 命令によるセット

WRELO	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。
クリアされる条件 (WRELO = 0) 注	セットされる条件 (WRELO = 1)
<ul style="list-style-type: none"> 実行後、自動的にクリア RESET入力時 	<ul style="list-style-type: none"> 命令によるセット

SPIE0	ストップ・コンディション検出による割り込み要求発生への許可/禁止
0	禁止
1	許可
クリアされる条件 (SPIE0 = 0) 注	セットされる条件 (SPIE0 = 1)
<ul style="list-style-type: none"> 命令によるクリア RESET入力時 	<ul style="list-style-type: none"> 命令によるセット

注 IICE0 = 0により、このフラグの信号を無効にします。

図14-3 IIC0コントロール・レジスタ (IICC0) のフォーマット (2/4)

WTIMO	ウエイトおよび割り込み要求発生制御	
0	8クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウエイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウエイト	
1	9クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウエイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウエイト	
アドレス転送中はこのビットの設定は無効になり、転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウエイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ発生後の9クロック目の立ち下がりでのウエイトに入ります。拡張コードを受信したスレーブは、8クロック目の立ち下がりでのウエイトに入ります。		
クリアされる条件 (WTIMO = 0) 注		セットされる条件 (WTIMO = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ $\overline{\text{RESET}}$ 入力時 		<ul style="list-style-type: none"> ・ 命令によるセット

ACKE0	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA0ラインをロウ・レベルにする。ただし、アドレス転送中は無効、EXC0 = 1の場合は有効。	
クリアされる条件 (ACKE0 = 0) 注		セットされる条件 (ACKE0 = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ $\overline{\text{RESET}}$ 入力時 		<ul style="list-style-type: none"> ・ 命令によるセット

注 IICE0 = 0により、このフラグの信号を無効にします。

図14-3 IIC0コントロール・レジスタ (IICC0) のフォーマット (3/4)

STT0	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	<p>バスが解放されているとき (ストップ状態) :</p> <p>スタート・コンディションを生成する (マスタとしての起動)。SDA0ラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCL0をロウ・レベルにする。</p> <p>バスに参加していないとき :</p> <p>スタート・コンディション予約フラグとして機能。セットされると、バスが解放されたあと自動的にスタート・コンディションを生成する。</p> <p>ウエイト状態 (マスタ時) :</p> <p>ウエイトを解除してリスタート・コンディションを生成する。</p>	
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> マスタ受信の場合：転送中のセットは禁止です。ACKE0 = 0 に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット可能です。 マスタ送信の場合：ACK期間中は、正常にスタート・コンディションが生成されないことがあります。ウエイト期間中にセットしてください。 SPT0と同時セットすることは禁止です。 		
クリアされる条件 (STT0 = 0) 注		セットされる条件 (STT0 = 1)
<ul style="list-style-type: none"> 命令によるクリア アービトレーションに負けたとき マスタでのスタート・コンディション生成後クリア LREL0 = 1のとき RESET入力時 		<ul style="list-style-type: none"> 命令によるセット

注 IICE0 = 0 により、このフラグの信号を無効にします。

図14-3 IIC0コントロール・レジスタ (IICC0) のフォーマット (4/4)

SPT0	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDA0ラインをロウ・レベルにしたあと、SCL0ラインをハイ・レベルにするか、またはSCL0がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDA0ラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。	
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセットは禁止です。 ACKE0 = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット可能です。 ・マスタ送信の場合：ACK0期間中は、正常にストップ・コンディションが生成されないことがあります。ウエイト期間中にセットしてください。 ・STT0と同時にセットすることは禁止です。 ・SPT0のセットは、マスタのときのみ行ってください。 ^{注1} ・WTIM0 = 0設定時に、8クロック出力後のウエイト期間中にSPT0をセットすると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。 9クロック目を出力する必要がある場合には、8クロック出力後のウエイト期間中にWTIM0 = 0→1に設定し、9クロック目出力後のウエイト期間中にSPT0をセットしてください。		
クリアされる条件 (SPT0 = 0) ^{注2}		セットされる条件 (SPT0 = 1)
・命令によるクリア ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELO = 1のとき ・RESET入力時		・命令によるセット

注1. SPT0のセットは、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出するまでにマスタ動作を行うには、一度SPT0をセットしてストップ・コンディションを生成する必要があります。詳細は、14.5.15 その他の注意事項を参照してください。

2. IICE0 = 0により、このフラグの信号を無効にします。

注意 IIC0状態レジスタ(IICS0)のビット3 (TRC0) = 1のとき、9クロック目にWRELOをセットしてウエイト解除すると、TRC0をクリアしてSDA0ラインをハイ・インピーダンスにします。

備考1. STD0 : IIC0状態レジスタ (IICS0) のビット1
 ACKD0 : 〃 のビット2
 TRC0 : 〃 のビット3
 COIO : 〃 のビット4
 EXC0 : 〃 のビット5
 MSTSO : 〃 のビット7

2. ビット0, 1 (SPT0, STT0) は、データ設定後に読み出すと0になっています。

(2) IIC0状態レジスタ (IICS0)

IIC0のステータスを表すレジスタです。

IICS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。IICS0は読み出しのみ可能です。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14-4 IIC0状態レジスタ (IICS0) のフォーマット (1/3)

アドレス：FFA9H リセット時：00H R

略号	7	6	5	4	3	2	1	0
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタの状態
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件 (MSTS0 = 0)	
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD0 = 1のとき ・LREL0 = 1によるクリア ・IICE0 = 1→0のとき ・$\overline{\text{RESET}}$ 入力時 	
セットされる条件 (MSTS0 = 1)	
<ul style="list-style-type: none"> ・スタート・コンディション生成時 	

ALD0	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTS0がクリアされる。
クリアされる条件 (ALD0 = 0)	
<ul style="list-style-type: none"> ・IICS0読み出し後、自動的にクリア^注 ・IICE0 = 1→0のとき ・$\overline{\text{RESET}}$ 入力時 	
セットされる条件 (ALD0 = 1)	
<ul style="list-style-type: none"> ・アービトレーションに負けたとき 	

EXC0	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信。
クリアされる条件 (EXC0 = 0)	
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1によるクリア ・IICE0 = 1→0のとき ・$\overline{\text{RESET}}$ 入力時 	
セットされる条件 (EXC0 = 1)	
<ul style="list-style-type: none"> ・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき (8クロック目の立ち上がりでセット) 	

注 IICS0のほかのビットに対しビット操作命令を実行した場合もクリアされます。

図14-4 IIC0状態レジスタ (IICS0) のフォーマット (2/3)

COI0	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
	クリアされる条件 (COI0 = 0)	セットされる条件 (COI0 = 1)
	<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1によるクリア ・IICE0 = 1→0のとき ・$\overline{\text{RESET}}$入力時 	<ul style="list-style-type: none"> ・受信アドレスが自局アドレス (SVA0) と一致したとき (8クロック目の立ち上がりでセット)

TRC0	送信/受信状態検出	
0	受信状態 (送信状態以外)。SDA0ラインをハイ・インピーダンスにする。	
1	送信状態。SDA0ラインにSO0ラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
	クリアされる条件 (TRC0 = 0)	セットされる条件 (TRC0 = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LREL0 = 1によるクリア ・IICE0 = 1→0のとき ・WREL0 = 1によるクリア ・ALD0 = 0→1のとき ・$\overline{\text{RESET}}$入力時 マスタの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき スレーブの場合 <ul style="list-style-type: none"> ・スタート・コンディション検出時 通信不参加の場合	マスタの場合 <ul style="list-style-type: none"> ・スタート・コンディション生成時 スレーブの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) で “1” を入力したとき

ACKD0	アクノリッジ検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出する。	
	クリアされる条件 (ACKD0 = 0)	セットされる条件 (ACKD0 = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1によるクリア ・IICE0 = 1→0のとき ・$\overline{\text{RESET}}$入力時 	<ul style="list-style-type: none"> ・SCL0の9クロック目の立ち上がり時にSDA0ラインがロウ・レベルであったとき

(3) IIC0転送クロック選択レジスタ (IICCL0)

I²Cの転送クロックを設定するレジスタです。

IICCL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14-5 IIC0転送クロック選択レジスタ (IICCL0) のフォーマット (1/2)

アドレス：FFAAH リセット時：00H R/W^注

略号	7	6	5	4	3	2	1	0
IICCL0	0	0	CLD0	DAD0	SMC0	DFC0	CL01	CL00

CLD0	SCL0ラインのレベル検出 (IICE0 = 1のときのみ有効)	
0	SCL0ラインがロウ・レベルであることを検出	
1	SCL0ラインがハイ・レベルであることを検出	
クリアされる条件 (CLD0 = 0)		セットされる条件 (CLD0 = 1)
<ul style="list-style-type: none"> ・ SCL0ラインがロウ・レベルのとき ・ IICE0 = 0のとき ・ $\overline{\text{RESET}}$ 入力時 		<ul style="list-style-type: none"> ・ SCL0ラインがハイ・レベルのとき

DAD0	SDA0ラインのレベル検出 (IICE0 = 1のときのみ有効)	
0	SDA0ラインがロウ・レベルであることを検出	
1	SDA0ラインがハイ・レベルであることを検出	
クリアされる条件 (DAD0 = 0)		セットされる条件 (DAD0 = 1)
<ul style="list-style-type: none"> ・ SDA0ラインがロウ・レベルのとき ・ IICE0 = 0のとき ・ $\overline{\text{RESET}}$ 入力時 		<ul style="list-style-type: none"> ・ SDA0ラインがハイ・レベルのとき

SMC0	動作モードの切り替え	
0	標準モードで動作	
1	高速モードで動作	
クリアされる条件 (SMC0 = 0)		セットされる条件 (SMC0 = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ $\overline{\text{RESET}}$ 入力時 		<ul style="list-style-type: none"> ・ 命令によるセット

注 ビット4, 5はRead Onlyです。

図14-5 IIC0転送クロック選択レジスタ (IICCL0) のフォーマット (2/2)

DFC0	デジタル・フィルタの動作の制御 ^注
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン

CL01	CL00	転送レートの選択	
		標準モード	高速モード
0	0	fx/44 (設定禁止)	fx/24 (262.1 kHz)
0	1	fx/86 (73.2 kHz)	
1	0	fx/172 (36.6 kHz)	fx/48 (131.1 kHz)
1	1	fx/66 (95.3 kHz)	fx/18 (349.5 kHz)

注 デジタル・フィルタは高速モード時に使用できません。デジタル・フィルタを使用すると反応は遅くなります。

注意 CL01, CL00を同一値以外に書き換える場合は、いったんシリアル転送を停止させたのちに行ってください。

備考1. IICE0 : IIC0コントロール・レジスタ (IICC0) のビット7

- 2. fx : システム・クロック発振周波数
- 3. () 内は、fx = 6.29 MHz動作時

(4) IIC0シフト・レジスタ0 (IIC0)

このレジスタは、シリアル・クロックに同期してシリアル送受信(シフト動作)を行うためのものです。8ビット単位でリード/ライト可能ですが、データ転送中にIIC0ヘータを書き込まないでください。

アドレス : FF1FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IIC0								

(5) スレーブ・アドレス・レジスタ0 (SVA0)

このレジスタには、I²Cバスのスレーブ・アドレスを格納します。8ビット単位でリード/ライト可能ですが、ビット0は0に固定されています。

アドレス : FFABH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SVA0								0

14.4 I²Cバス・モードの機能

14.4.1 端子構成

シリアル・クロック端子 (SCL0) と、シリアル・データ・バス端子 (SDA0) の構成は、次のようになっています。

(1) SCL0……シリアル・クロックを入出力するための端子。

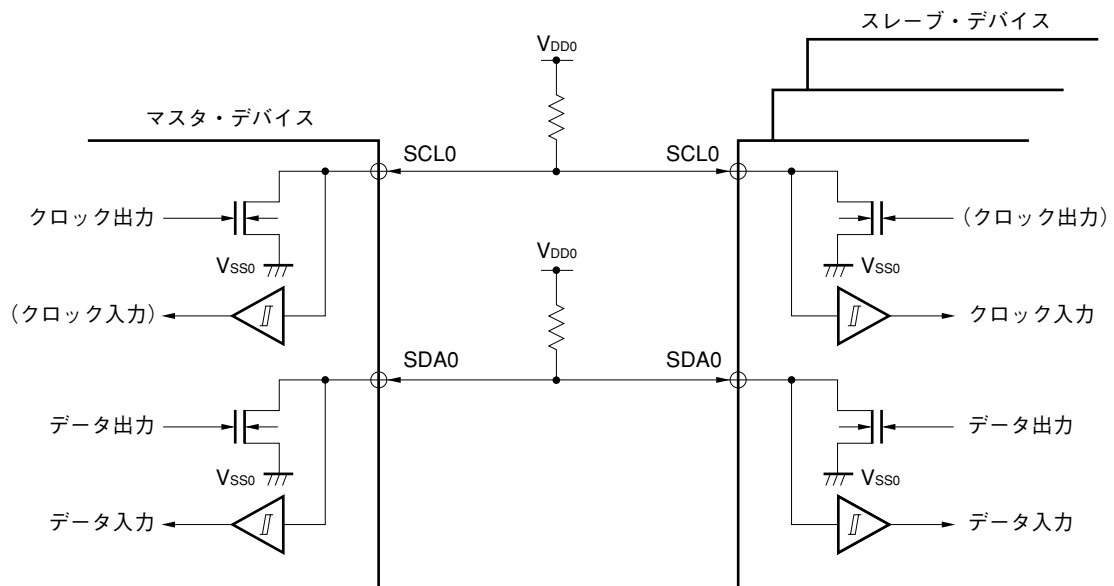
マスタ、スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

(2) SDA0……シリアル・データの入出力兼用端子。

マスタ、スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図14-6 端子構成図

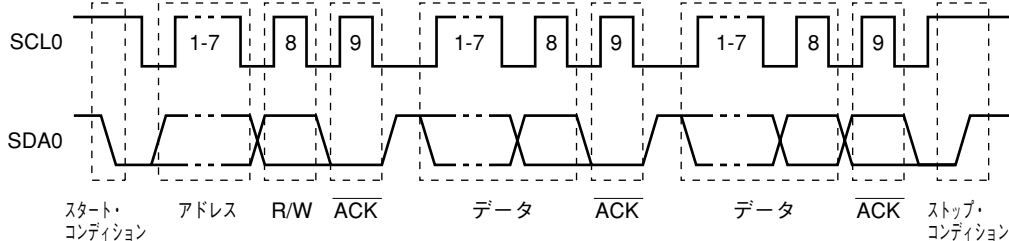


14.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に出力されている“スタート・コンディション”，“データ” および “ストップ・コンディション” の各転送タイミングを図14-7に示します。

図14-7 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが出力します。

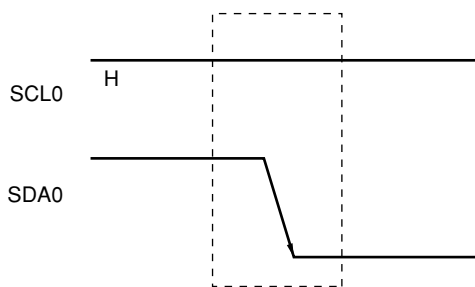
アクノリッジ信号 ($\overline{\text{ACK}}$) は，マスタ，スレーブのどちらでも出力できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック (SCL0) は，マスタが出力し続けます。ただし，スレーブはSCL0のロウ・レベル期間を延長し，ウエイトを挿入できます。

14.5.1 スタート・コンディション

SCL0端子がハイ・レベルのときに，SDA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0端子，SDA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スレーブはスタート・コンディションを検出するハードウェアを内蔵しています。

図14-8 スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態 (SPD0：IIC0状態レジスタ (IICS0) のビット0 = 1) のときにIIC0コントロール・レジスタ (IICC0) のビット1 (STT0) をセット (1) すると出力されず。また，スタート・コンディションを検出すると，IICS0のビット1 (STD0) がセット (1) されます。

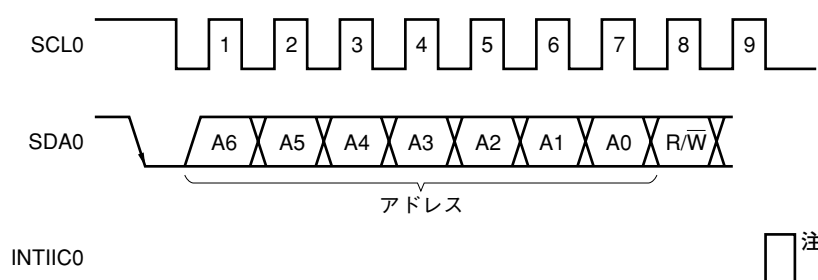
14.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ0 (SVA0) と一致しているかを調べます。このとき、7ビット・データとSVA0の値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います。

図14-9 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIIC0は発生しません。

アドレスは、スレーブのアドレスと14.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIIC0シフト・レジスタ (IIC0) に書き込むと出力します。また、受信したアドレスはIIC0に書き込まれます。

なお、スレーブのアドレスは、IIC0の上位7ビットに割り当てられます。

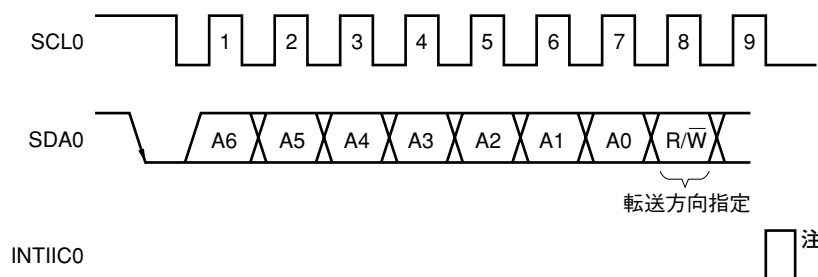
14.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて転送方向を指定するため、1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。

また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図14-10 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIIC0は発生しません。

14.5.4 アクノリッジ信号 (ACK)

アクノリッジ信号 ($\overline{\text{ACK}}$) は、送信側と受信側における、シリアル・データ受信の確認のための信号です。

受信側は、8ビット・データを受信するごとにアクノリッジ信号を返します。送信側は、通常、8ビット・データ送信後、アクノリッジ信号を受信します。ただし、マスタが受信の場合、最終データを受信したときはアクノリッジ信号を出力しません。送信側は、8ビット送信後、受信側からアクノリッジ信号が返されたかを検出します。アクノリッジ信号が返されたとき、受信が正しく行われたものとして処理を続けます。また、スレーブからアクノリッジ信号が返らないとき、マスタは、ストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジ信号が返らない場合、次の2つの要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。

受信側が9クロック目にSDA0ラインをロウ・レベルにすると、アクノリッジ信号がアクティブになります（正常受信返答）。

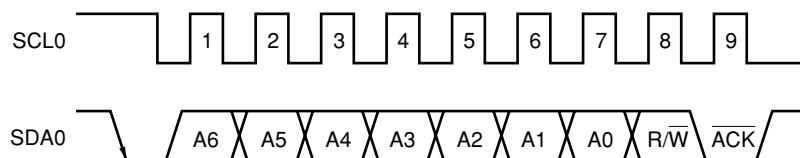
IIC0コントロール・レジスタ (IIC0) のビット2 (ACKE0) = 1でアクノリッジ信号自動発生許可状態になります。

7ビットのアドレス情報に続く8ビット目のデータによりIIC0状態レジスタ (IICS0) のビット3 (TRC0) が設定されますが、TRC0ビットの値が“0”の場合は受信状態なので、ACKE0 = 1にしてください。

スレーブ受信動作時 (TRC0 = 0)、スレーブ側が複数バイトを受信し、次のデータを必要としない場合は、ACKE0 = 0にすると、マスタ側が次の転送を開始しないようにできます。

同様に、マスタ受信動作時 (TRC0 = 0) も次のデータを必要とせず、リスタート・コンディションまたはストップ・コンディションを出力したい場合、 $\overline{\text{ACK}}$ 信号を発生しないようにACKE0 = 0にしてください。これは、スレーブ送信動作中に、SDA0ラインにデータのMSBデータを出力しないようにするためです（送信停止）。

図14-11 アクノリッジ信号



自局アドレス受信時は、ACKE0の値にかかわらずSCL0の8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力し、自局アドレス以外の受信時は、アクノリッジ信号を出力しません。

データ送信時のアクノリッジ信号の出力方法は、ウェイト・タイミングの設定により次のようになります。

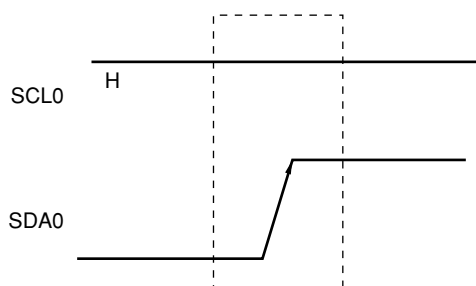
- ・ 8クロック・ウェイト選択時：ウェイトを解除する前にACKE0 = 1とすることでアクノリッジ信号を出力します。
- ・ 9クロック・ウェイト選択時：あらかじめACKE0 = 1とすることでSCL0の8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力します。

14.5.5 ストップ・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに出力する信号です。また、スレーブはストップ・コンディションを検出するハードウェアを内蔵しています。

図14-12 ストップ・コンディション



ストップ・コンディションは、IIC0コントロール・レジスタ (IICC0) のビット0 (SPT0) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIIC0状態レジスタ (IICS0) のビット0 (SPD0) がセット (1) され、IICC0のビット4 (SPIE0) がセット (1) されている場合にはINTIIC0が発生します。

14.5.6 ウェイト信号 (WAIT)

ウェイト信号 (WAIT) は、マスタまたはスレーブがデータの送受信のための準備中 (ウェイト状態) であることを相手に知らせるための信号です。

SCL0端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図14-13 ウェイト信号 (1/2)

(1) マスタは9クロック・ウェイト、スレーブは8クロック・ウェイト時

(マスタ：送信、スレーブ：受信、ACKE0 = 1)

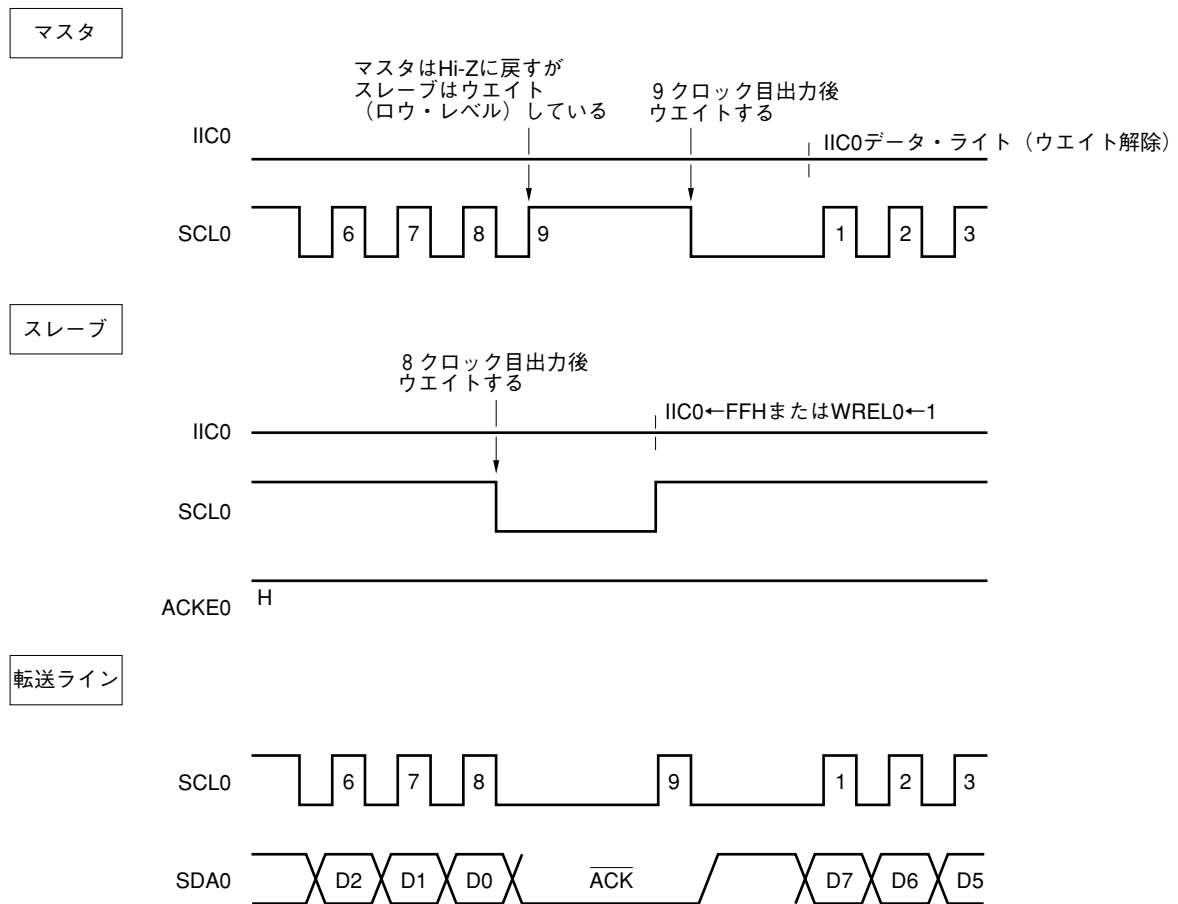
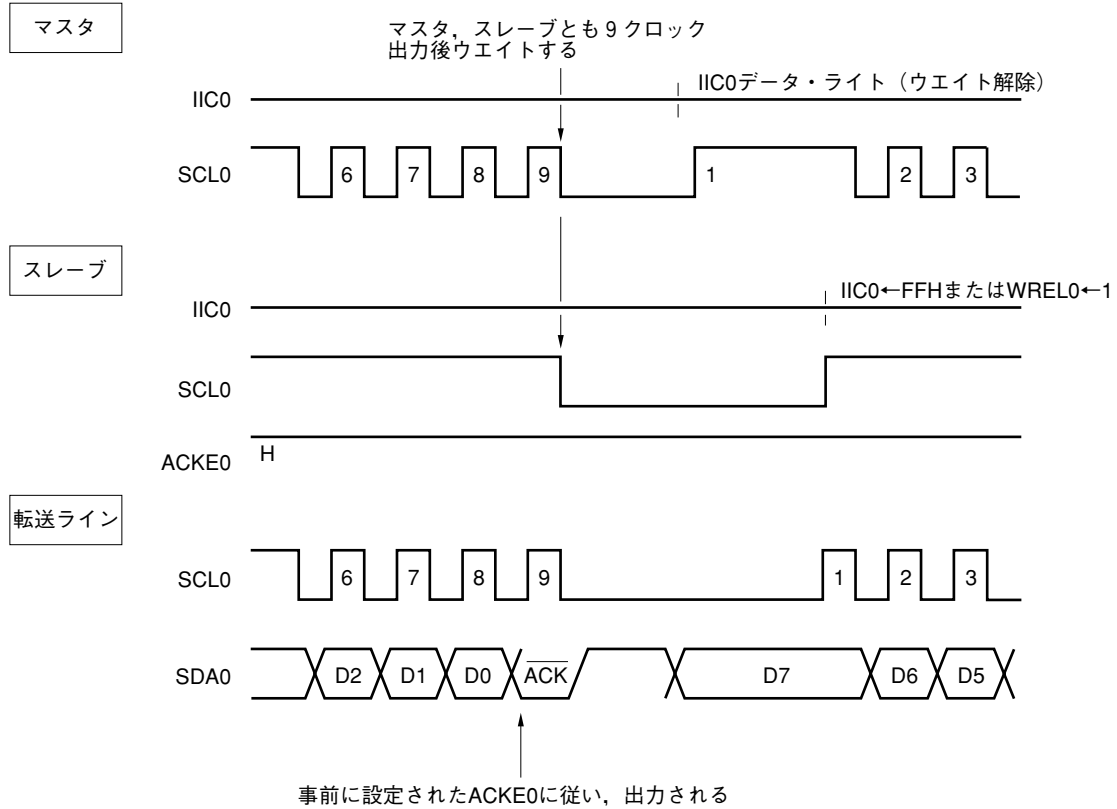


図14-13 ウェイト信号 (2/2)

(2) マスタ、スレーブとも 9クロック・ウェイト時

(マスタ：送信，スレーブ：受信，ACKE0 = 1)



備考 ACKE0 : IIC0コントロール・レジスタ (IICC0) のビット 2

WRELO : 〃 のビット 5

ウェイトは、IIC0コントロール・レジスタ (IICC0) のビット 3 (WTIM0) の設定により自動的に発生します。通常、受信側はIICC0のビット 5 (WRELO) = 1またはIIC0シフト・レジスタ (IIC0) ←FFHライトにするとウェイトを解除し、送信側はIIC0にデータを書き込むとウェイトを解除します。

マスタの場合は、次の方法でもウェイトを解除できます。

- ・ IICC0のビット 1 (STT0) = 1
- ・ IICC0のビット 0 (SPT0) = 1

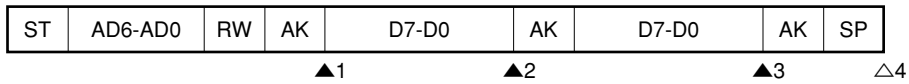
14.5.7 I²C割り込み要求 (INTIIC0)

以下に、INTIIC0割り込み要求発生タイミングと、INTIIC0割り込みタイミングでのIIC0状態レジスタ (IICS0)の値を示します。

(1) マスタ動作

(a) Start~Address~Data~Data~Stop (通常送受信)

(i) WTIM0 = 0のとき



▲1 : IICS0 = 10XXX110B

▲2 : IICS0 = 10XXX000B

▲3 : IICS0 = 10XXX000B

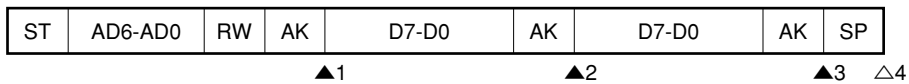
△4 : IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき



▲1 : IICS0 = 10XXX110B

▲2 : IICS0 = 10XXX100B

▲3 : IICS0 = 10XXXX00B

△4 : IICS0 = 00000001B

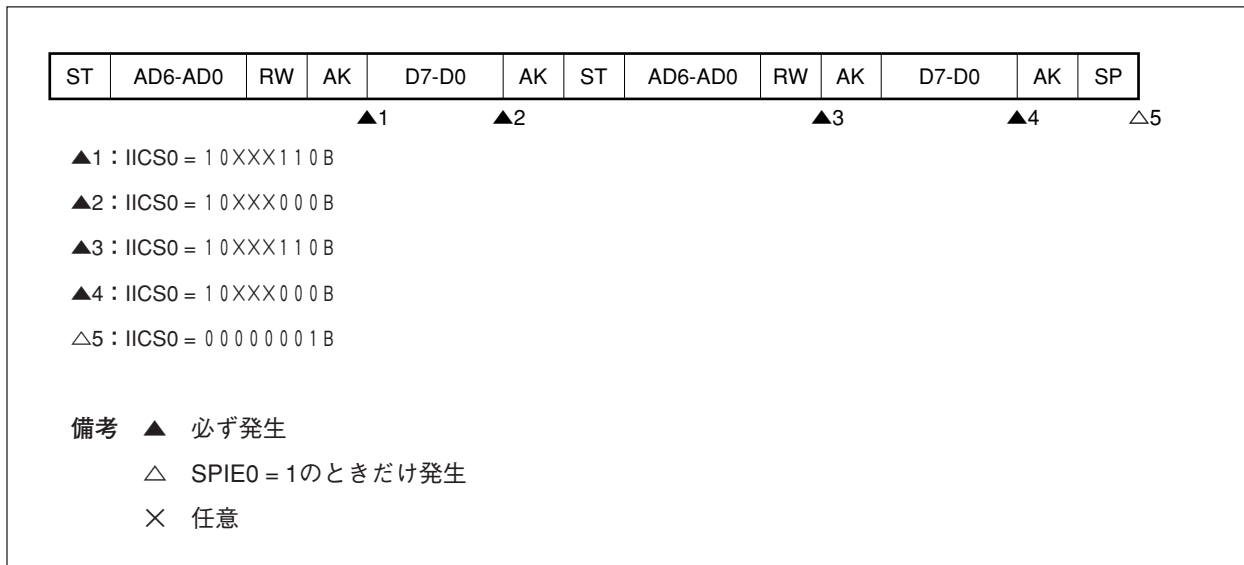
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

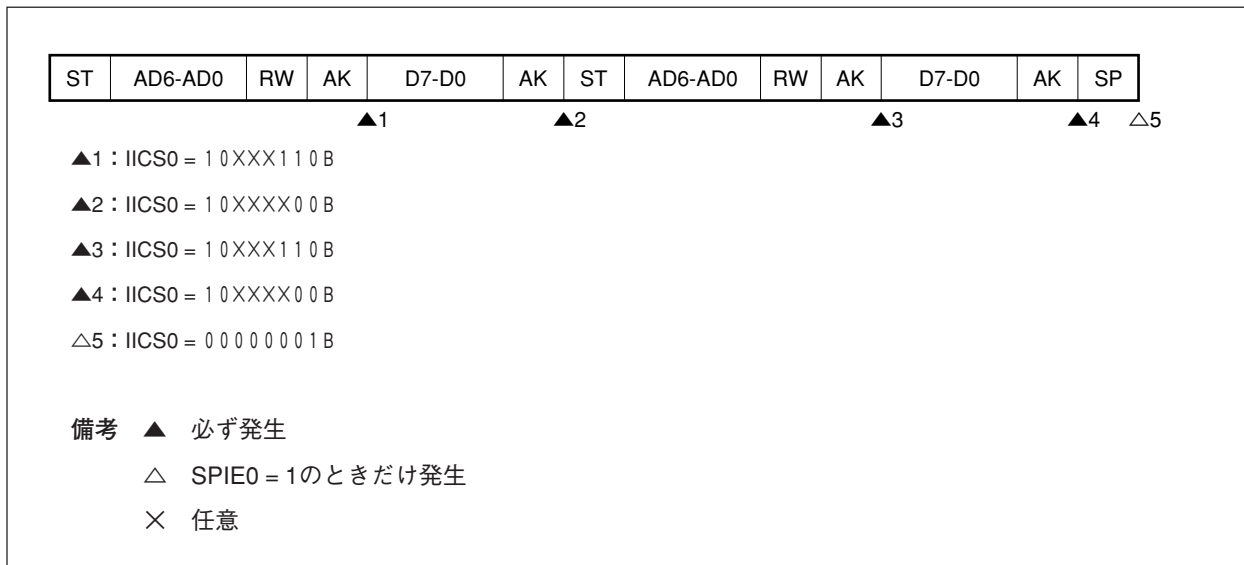
× 任意

(b) Start~Address~Data~Start~Address~Data~Stop (リスタート)

(i) WTIMO = 0のとき

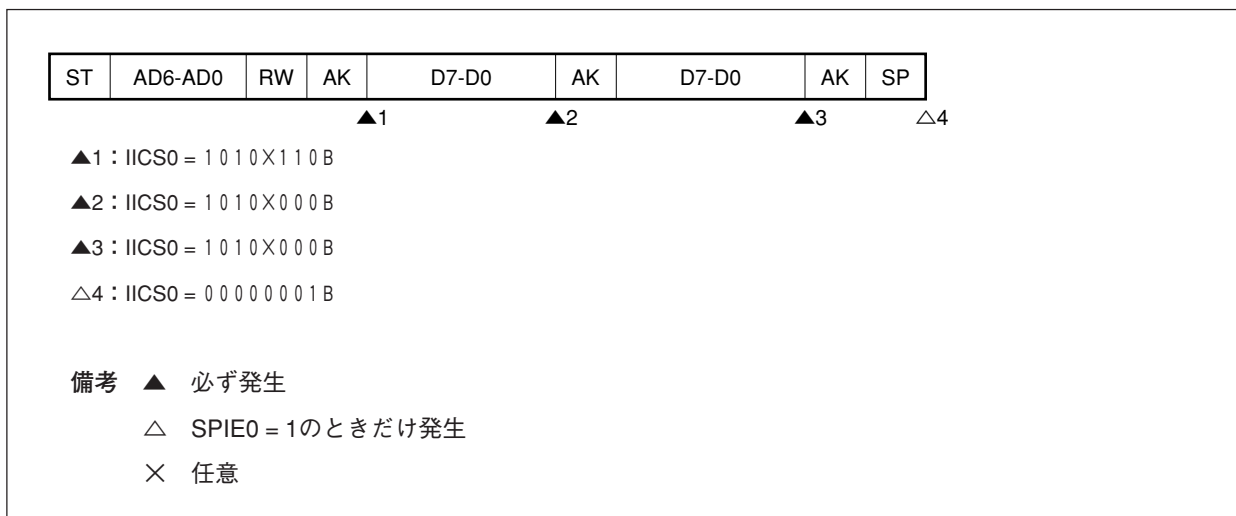


(ii) WTIMO = 1のとき

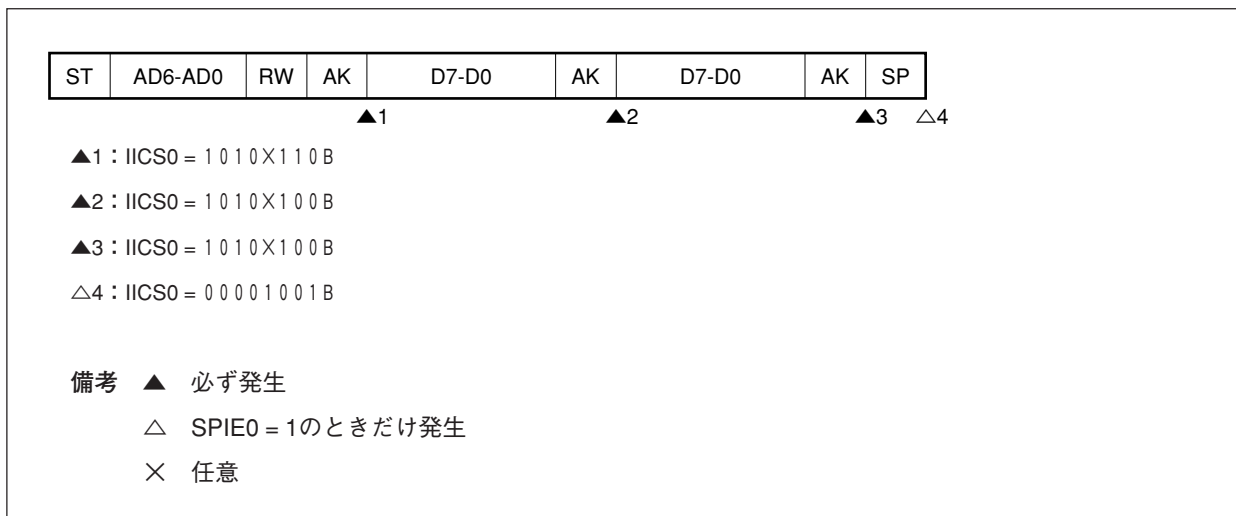


(c) Start~Code~Data~Data~Stop (拡張コード送信)

(i) WTIM0 = 0のとき



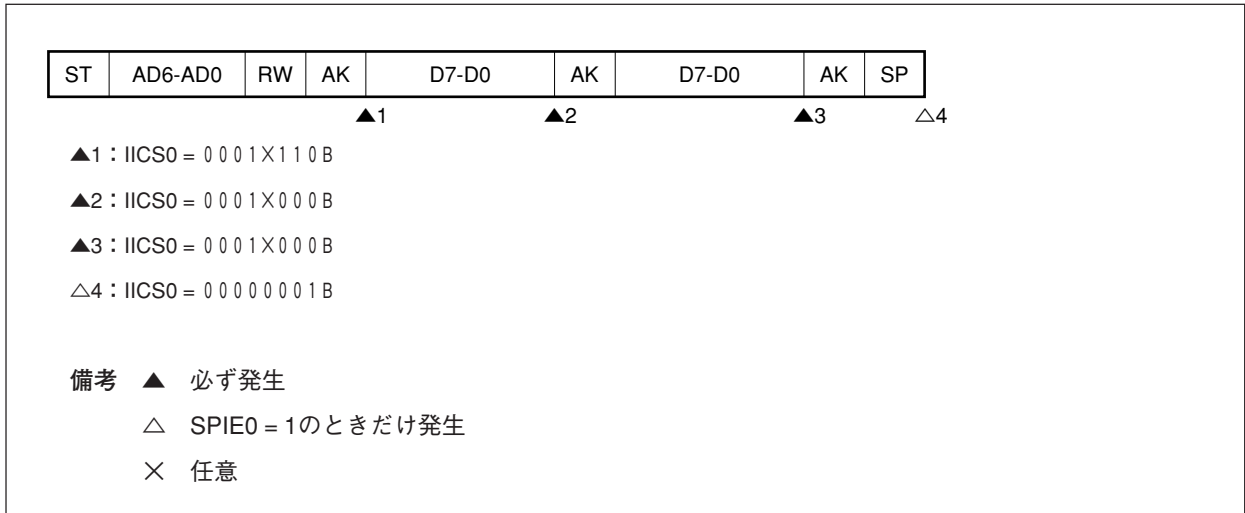
(ii) WTIM0 = 1のとき



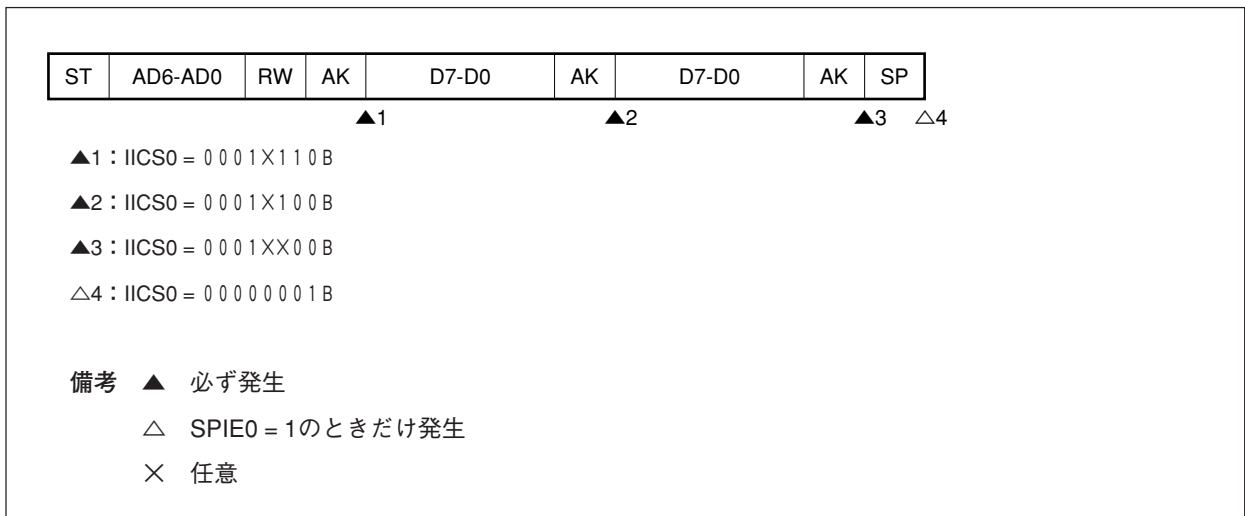
(2) スレーブ動作 (スレーブ・アドレス・データ受信時 (SVA0一致))

(a) Start~Address~Data~Data~Stop

(i) WTIM0 = 0のとき

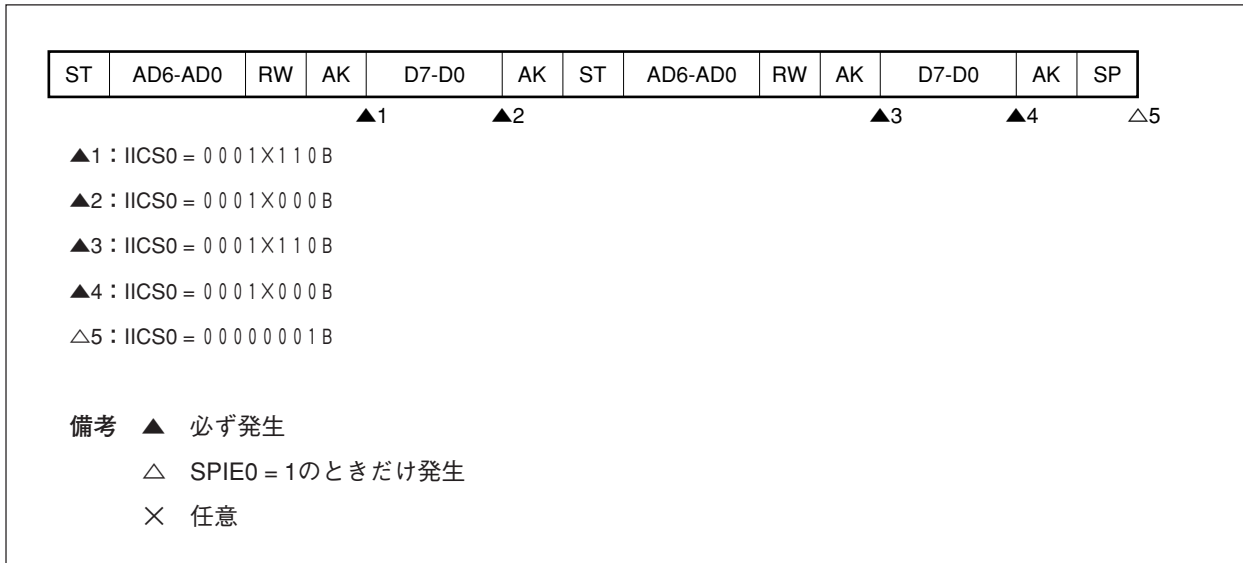


(ii) WTIM0 = 1のとき

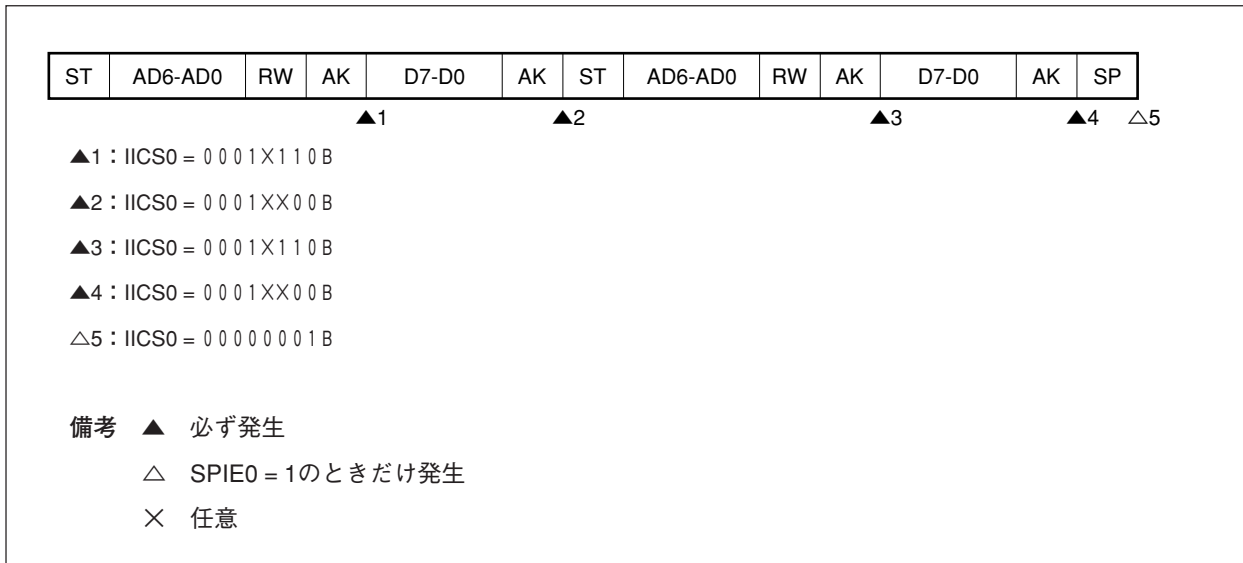


(b) Start~Address~Data~Start~Address~Data~Stop

(i) WTIM0 = 0のとき (リスタート後, SVA0一致)

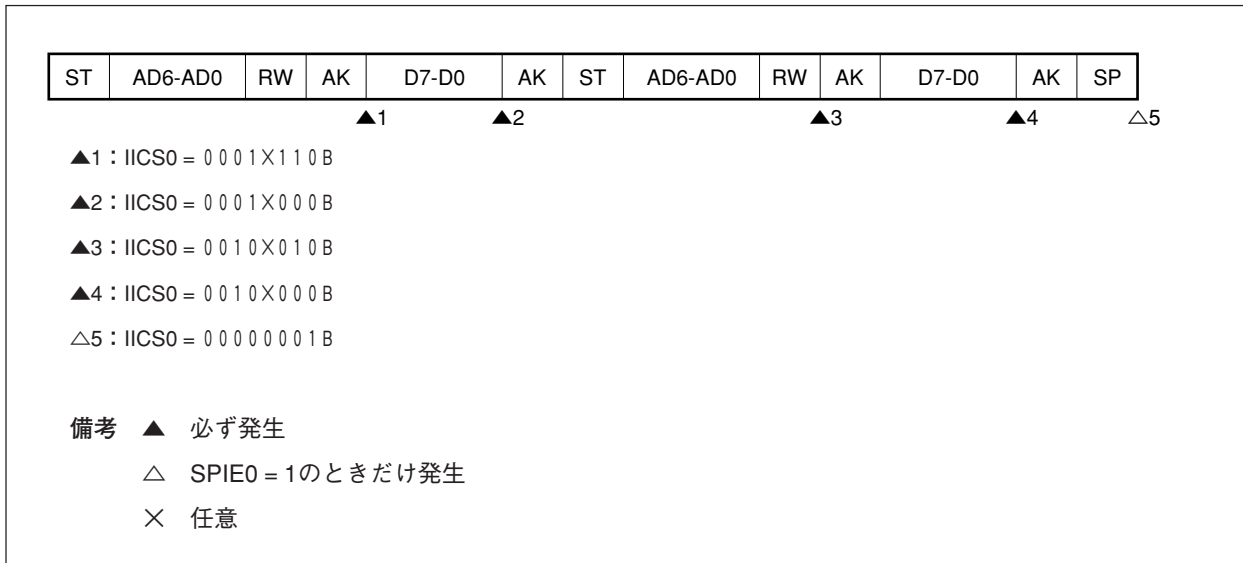


(ii) WTIM0 = 1のとき (リスタート後, SVA0一致)

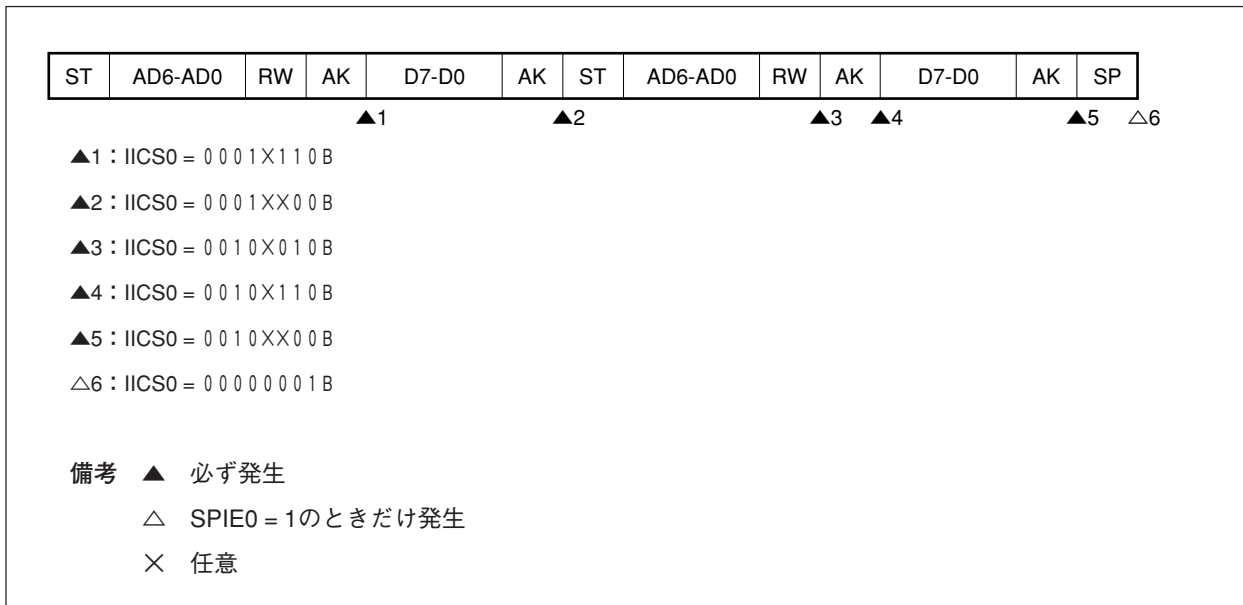


(c) Start~Address~Data~Start~Code~Data~Stop

(i) WTIM0 = 0のとき (リスタート後, 拡張コード受信)

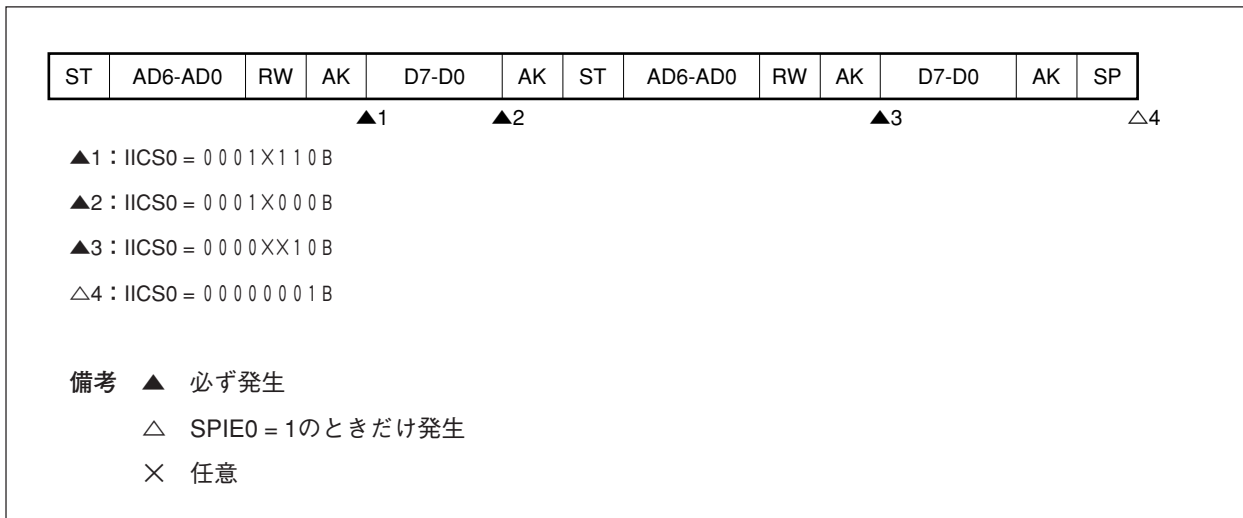


(ii) WTIM0 = 1のとき (リスタート後, 拡張コード受信)

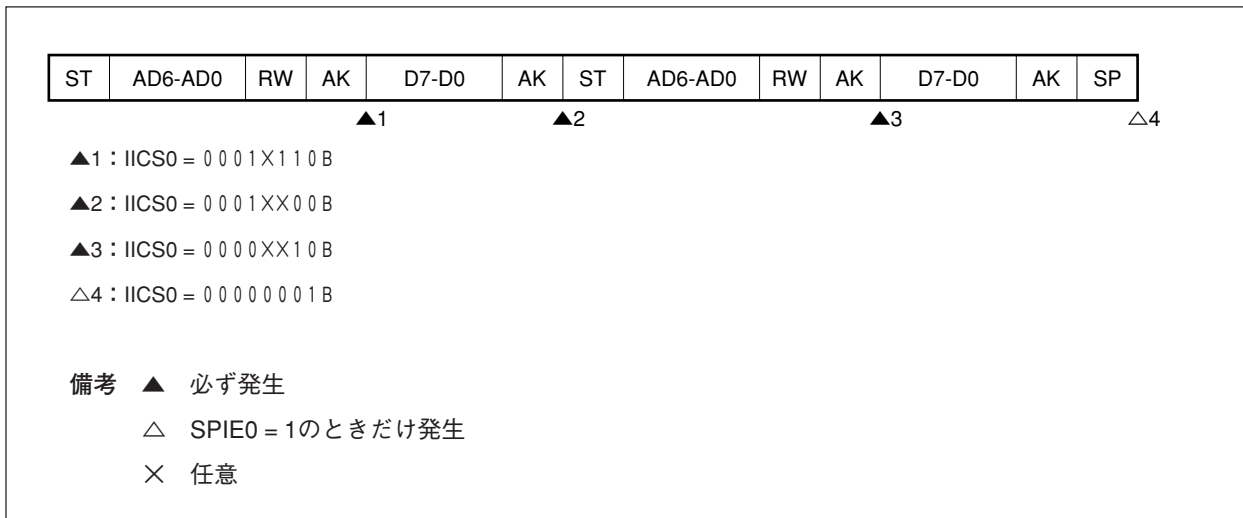


(d) Start~Address~Data~Start~Address~Data~Stop

(i) WTIM0 = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



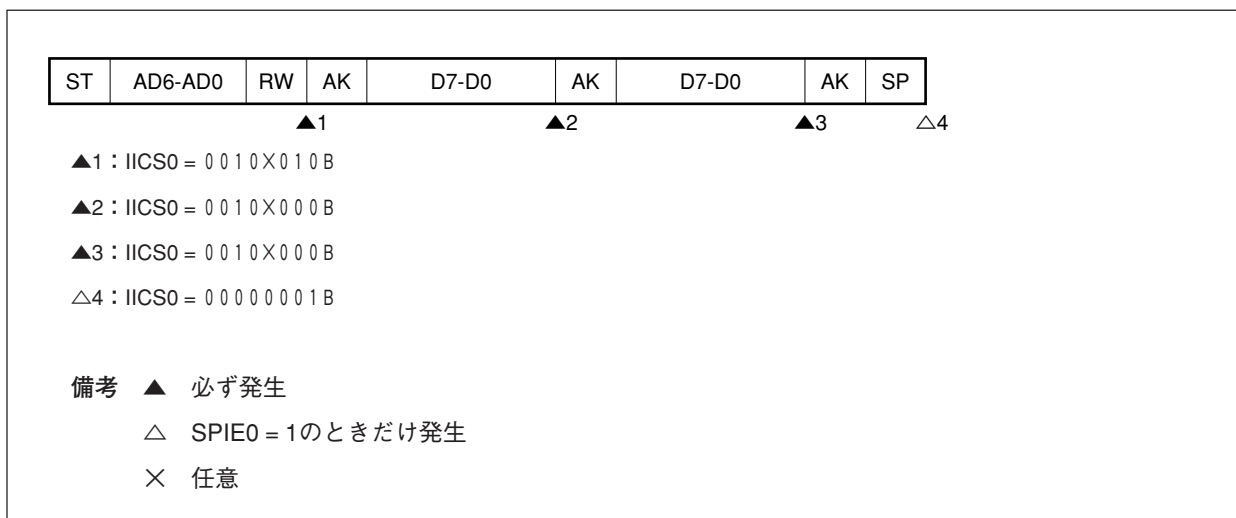
(ii) WTIM0 = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



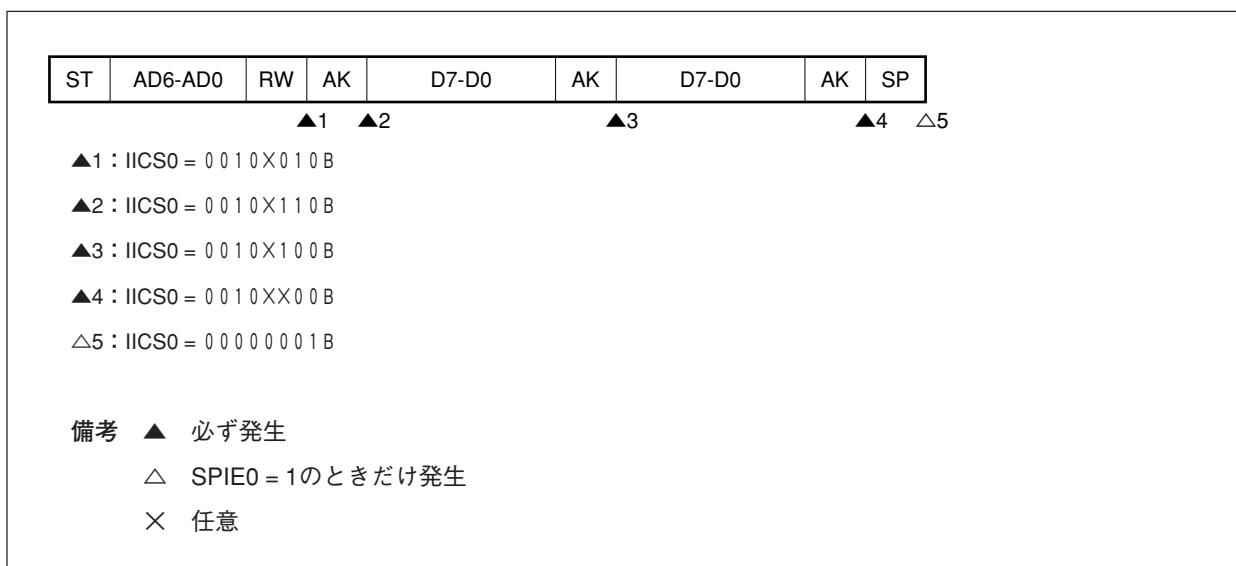
(3) スレーブ動作 (拡張コード受信時)

(a) Start~Code~Data~Data~Stop

(i) WTIM0 = 0のとき

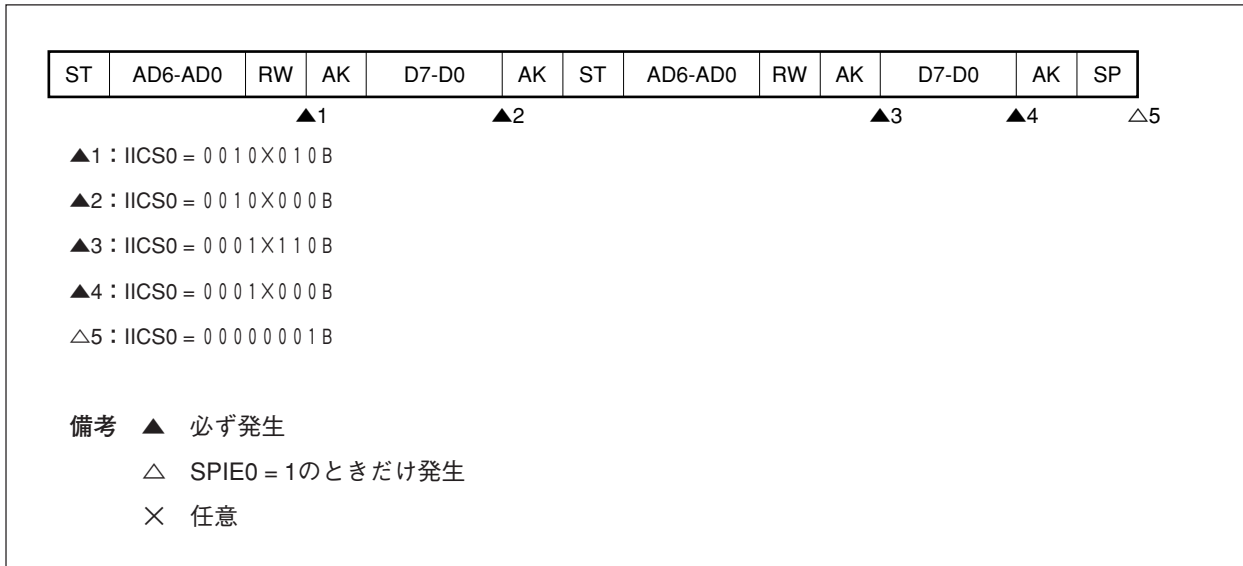


(ii) WTIM0 = 1のとき

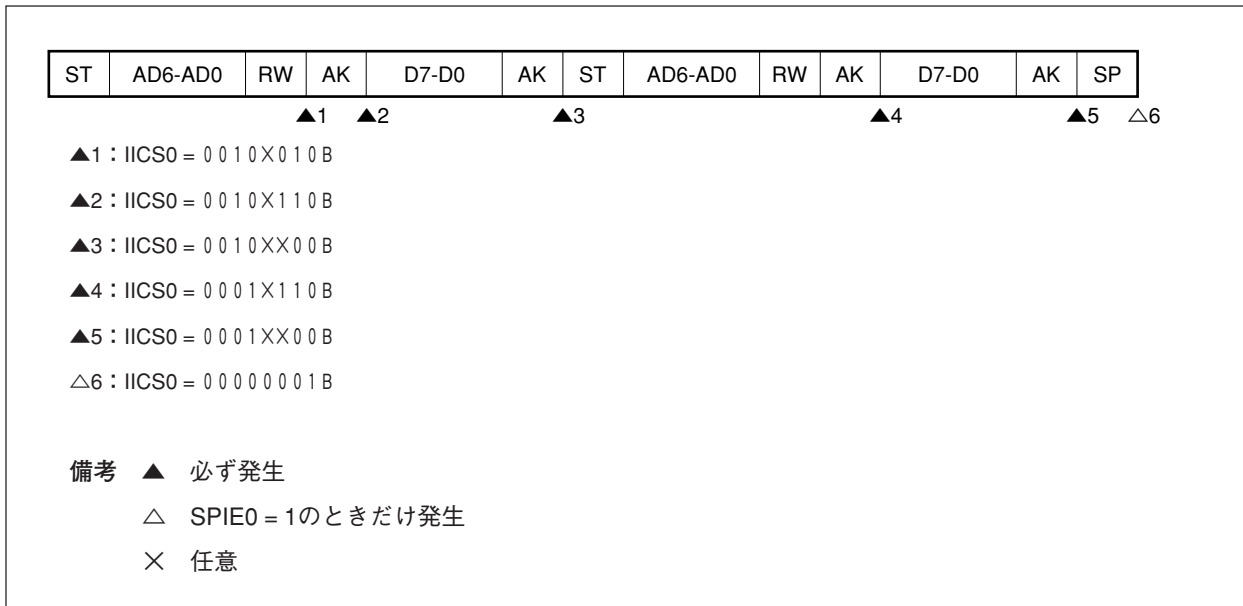


(b) Start~Code~Data~Start~Address~Data~Stop

(i) WTIMO = 0のとき (リスタート後, SVA0一致)

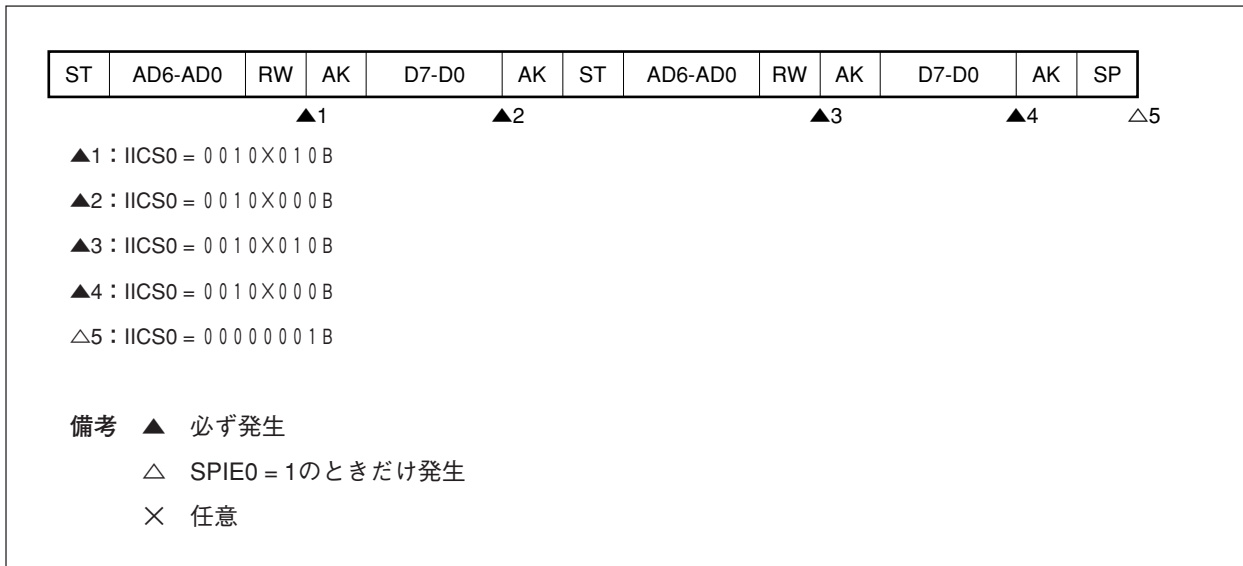


(ii) WTIMO = 1のとき (リスタート後, SVA0一致)

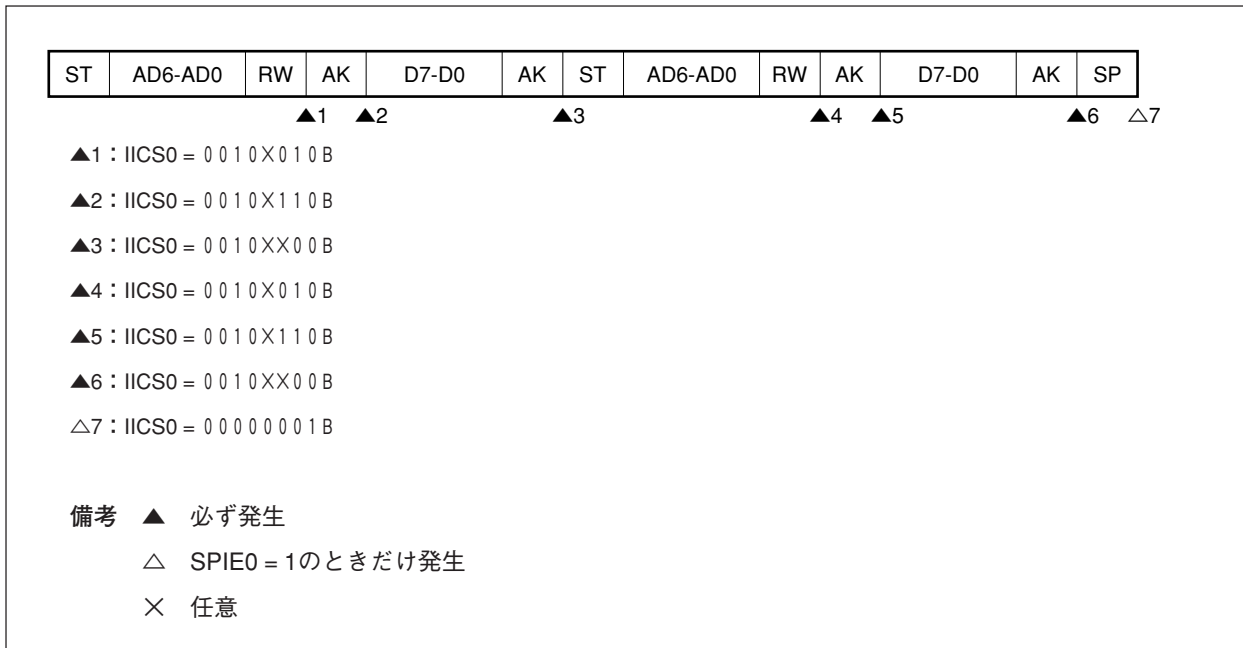


(c) Start~Code~Data~Start~Code~Data~Stop

(i) WTIMO = 0のとき (リスタート後, 拡張コード受信)

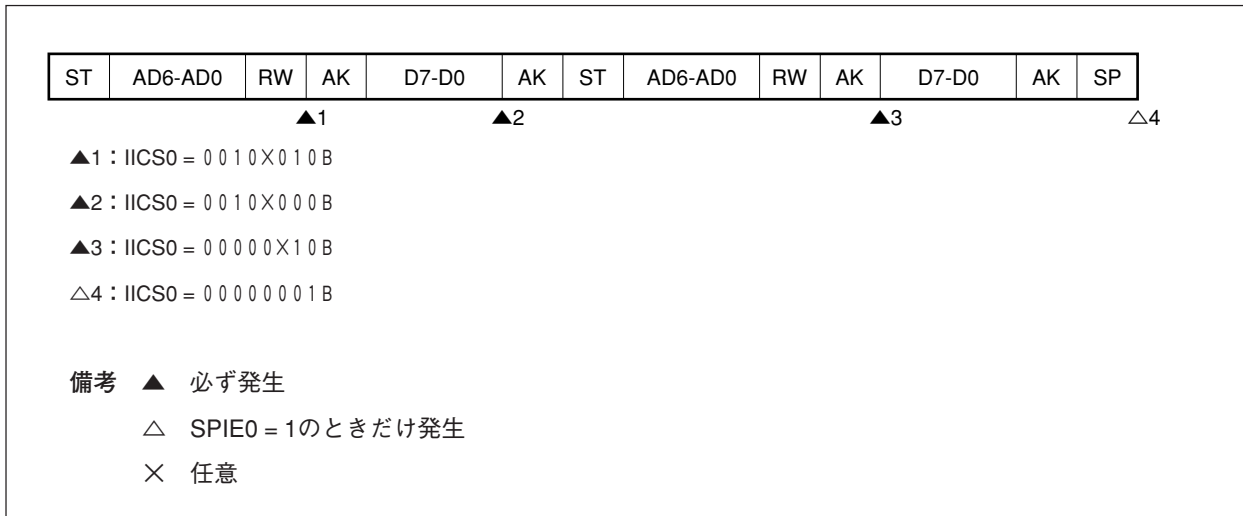


(ii) WTIMO = 1のとき (リスタート後, 拡張コード受信)

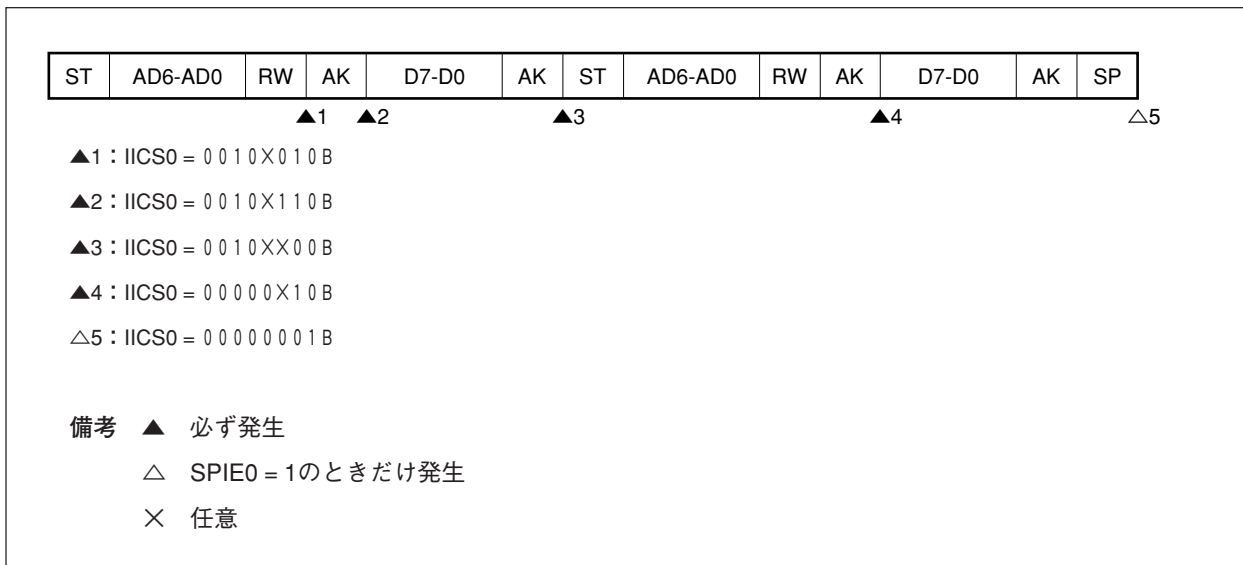


(d) Start~Code~Data~Start~Address~Data~Stop

(i) WTIMO = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

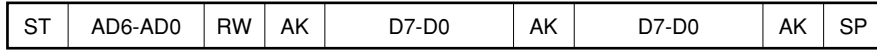


(ii) WTIMO = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



(4) 通信不参加の動作

(a) Start~Code~Data~Data~Stop



△1

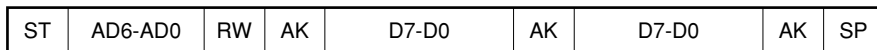
△1: IICS0 = 00000001B

備考 △ SPIE0 = 1のときだけ発生

(5) アービトレーション負けの動作 (アービトレーション負けのあと、スレーブとして動作)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM0 = 0のとき



▲1

▲2

▲3

△4

▲1: IICS0 = 0101X110B (例 割り込み処理中にALD0をリード)

▲2: IICS0 = 0001X000B

▲3: IICS0 = 0001X000B

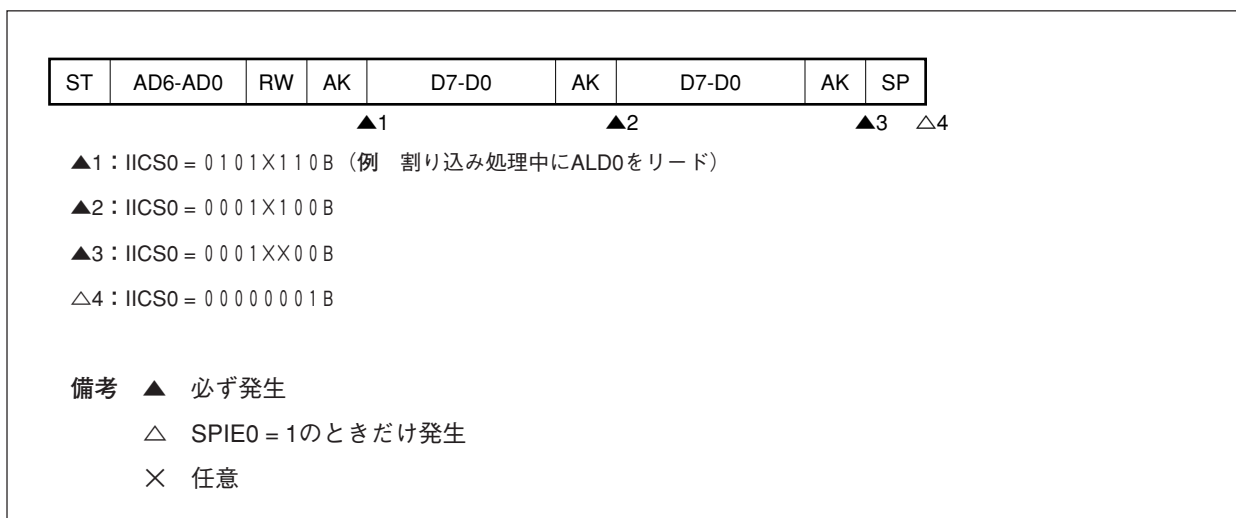
△4: IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

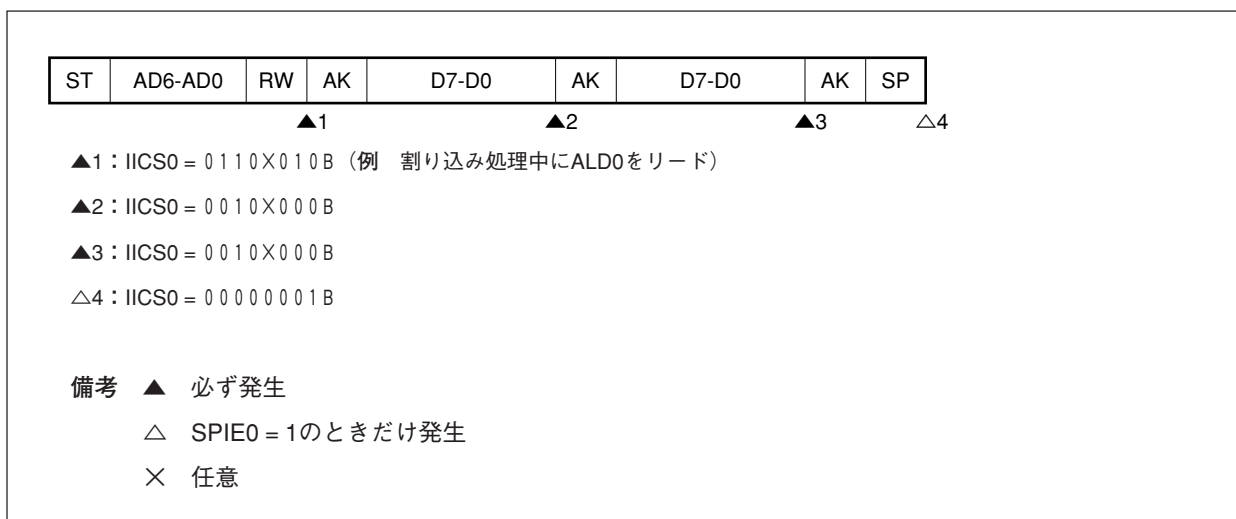
× 任意

(ii) WTIMO = 1のとき



(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIMO = 0のとき



(ii) WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
		▲1	▲2		▲3		▲4	△5

▲1 : IICS0 = 0110X010B (例 割り込み処理中にALD0をリード)
 ▲2 : IICS0 = 0010X110B
 ▲3 : IICS0 = 0010X100B
 ▲4 : IICS0 = 0010XX00B
 △5 : IICS0 = 00000001B

備考 ▲ 必ず発生
 △ SPIE0 = 1のときだけ発生
 × 任意

(6) アービトレーション負けの動作 (アービトレーション負けのあと、不参加)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1					△2

▲1 : IICS0 = 01000110B (例 割り込み処理中にALD0をリード)
 △2 : IICS0 = 00000001B

備考 ▲ 必ず発生
 △ SPIE0 = 1のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1					△2

▲1: IICS0 = 0110X010B (例 割り込み処理中にALD0をリード)
 ソフトでLREL0 = 1を設定
 △2: IICS0 = 00000001B

備考 ▲ 必ず発生
 △ SPIE0 = 1のときだけ発生
 × 任意

(c) データ転送時にアービトレーションに負けた場合

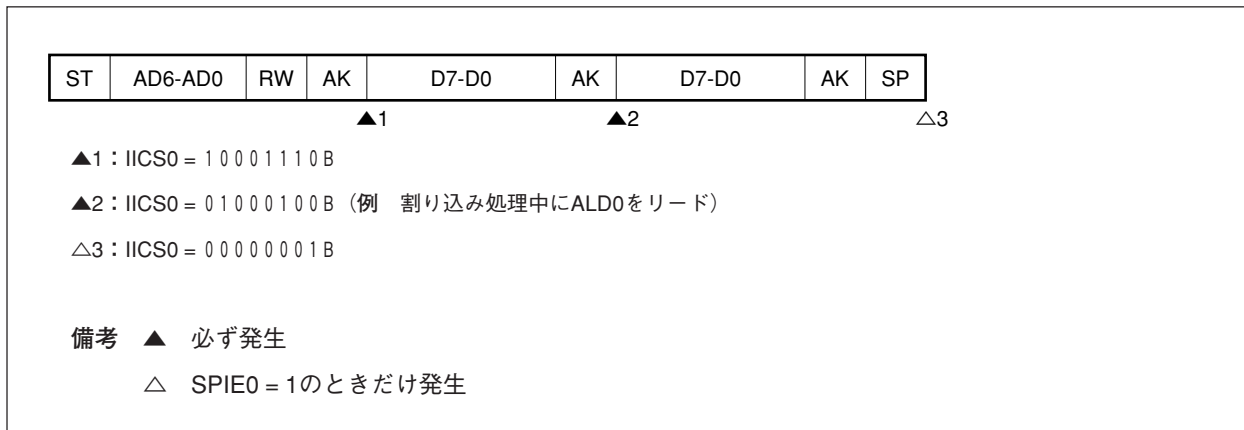
(i) WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1		▲2			△3

▲1: IICS0 = 10001110B
 ▲2: IICS0 = 01000000B (例 割り込み処理中にALD0をリード)
 △3: IICS0 = 00000001B

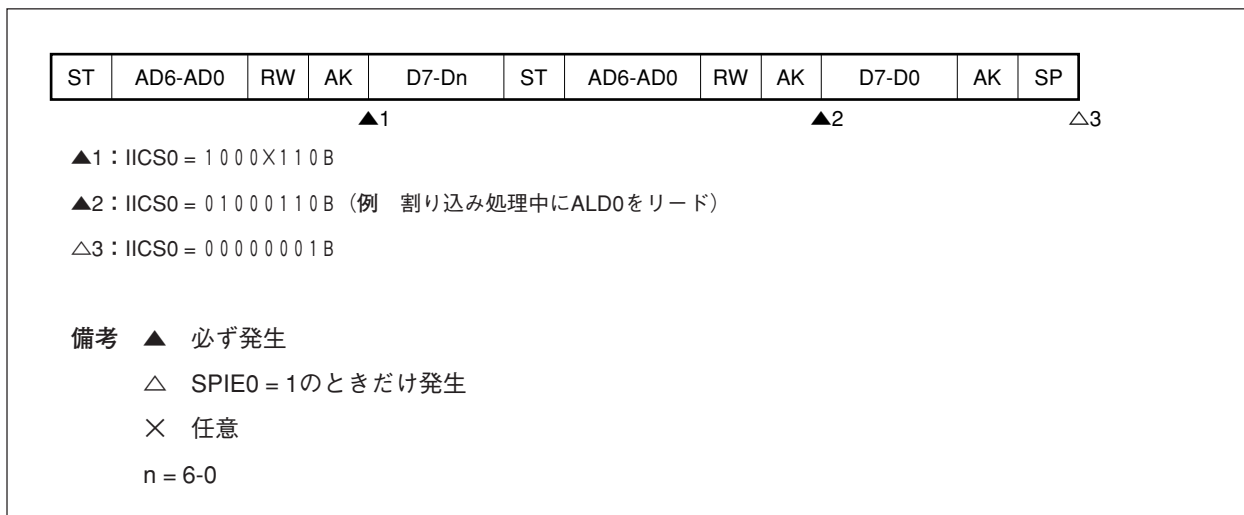
備考 ▲ 必ず発生
 △ SPIE0 = 1のときだけ発生

(ii) WTIM0 = 1のとき

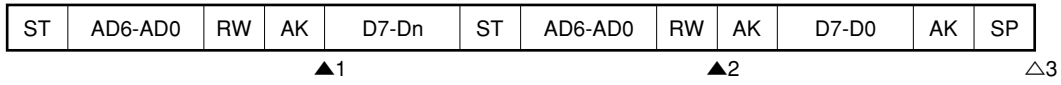


(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVA0一致)



(ii) 拡張コード



▲1 : IICS0 = 1000X110B

▲2 : IICS0 = 0110X010B (例 割り込み処理中にALD0をリード)

ソフトでIICC0 : LREL0 = 1を設定

△3 : IICS0 = 00000001B

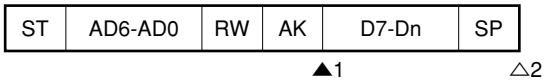
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

n = 6-0

(e) データ転送時にストップ・コンディションで負けた場合



▲1 : IICS0 = 1000X110B

△2 : IICS0 = 01000001B

備考 ▲ 必ず発生

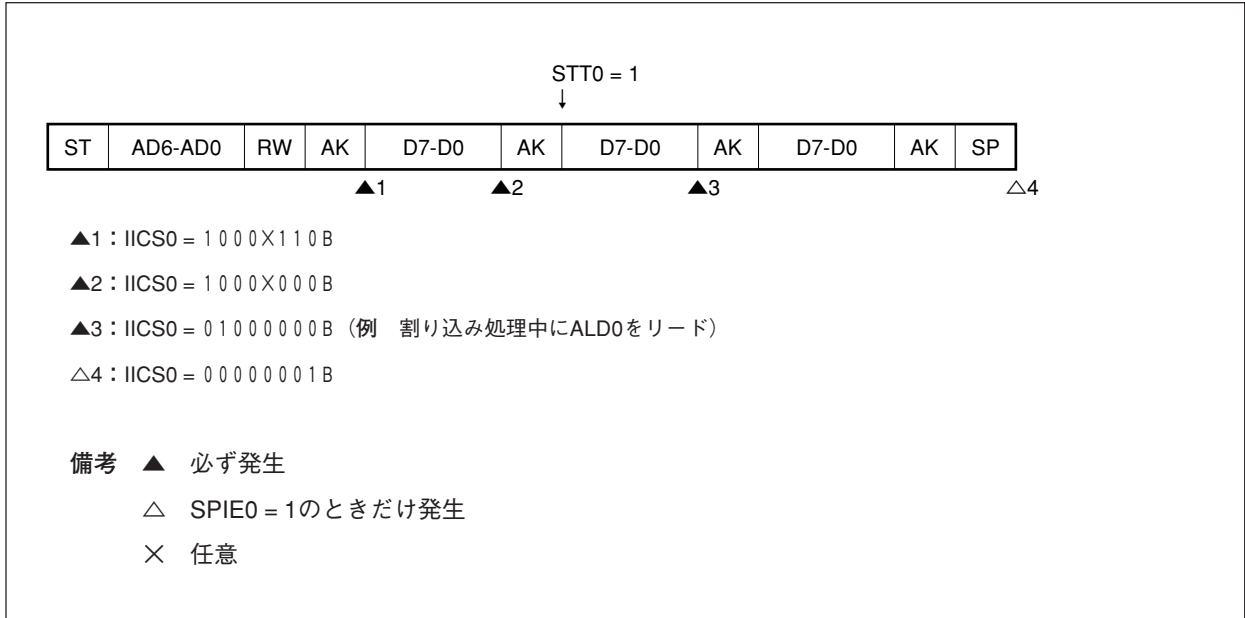
△ SPIE0 = 1のときだけ発生

× 任意

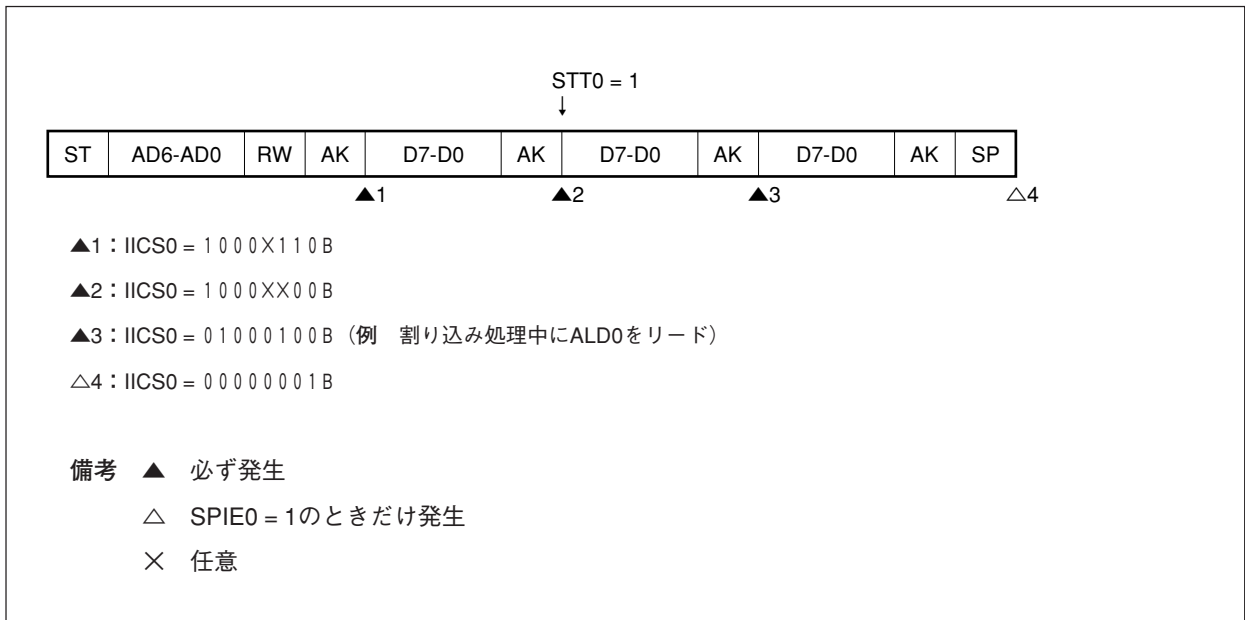
n = 6-0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMO = 0のとき

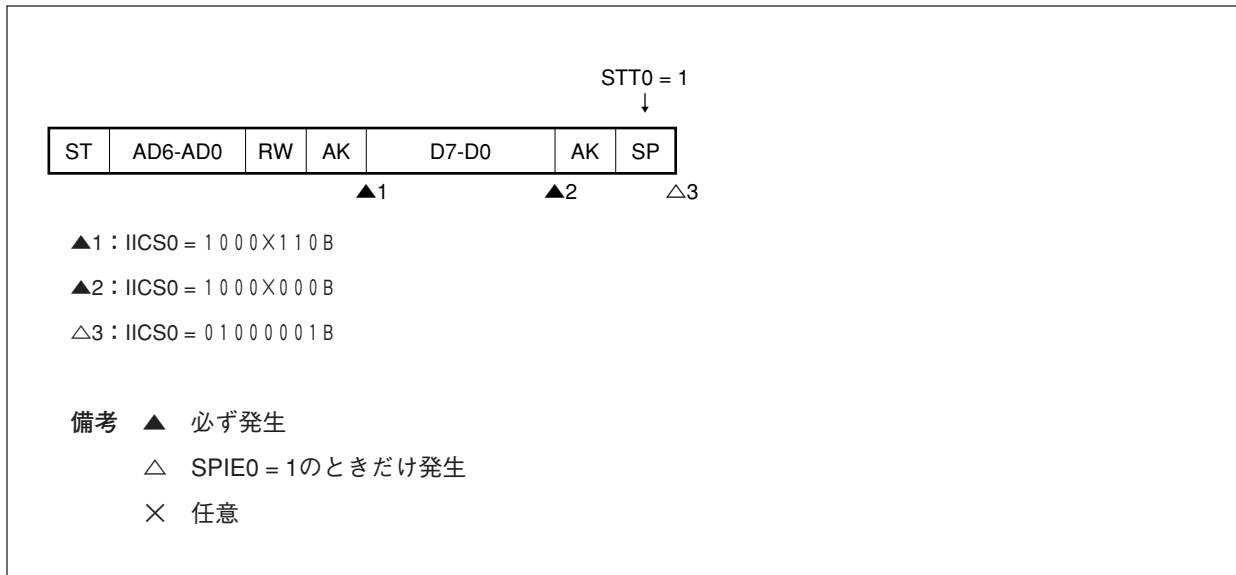


(ii) WTIMO = 1のとき

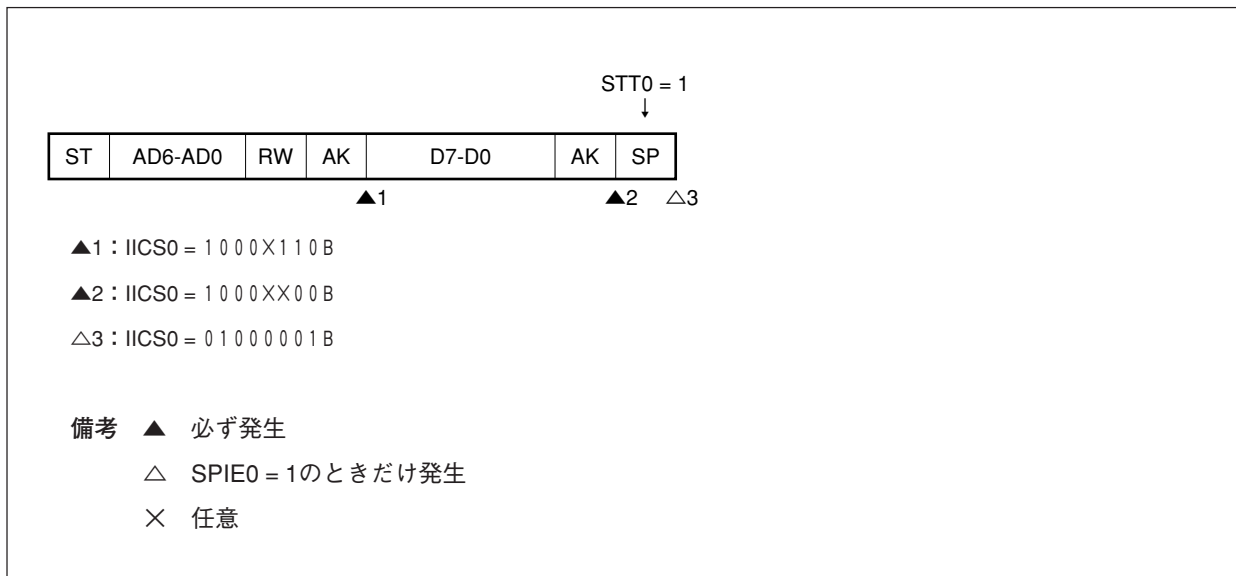


(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIMO = 0のとき

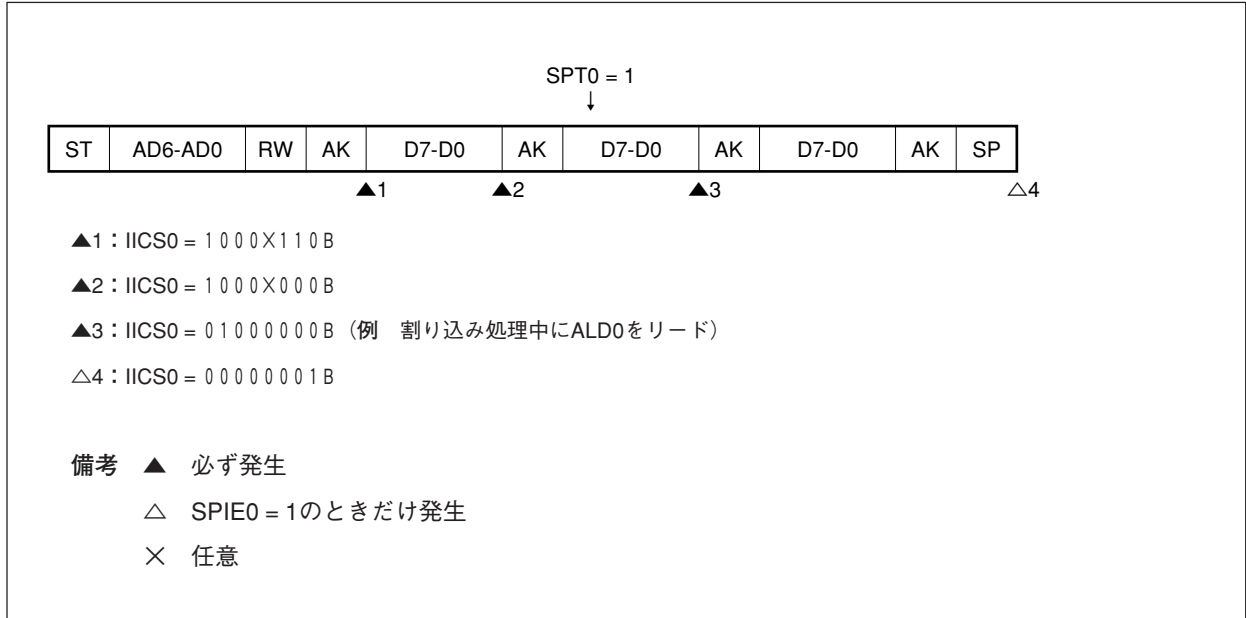


(ii) WTIMO = 1のとき

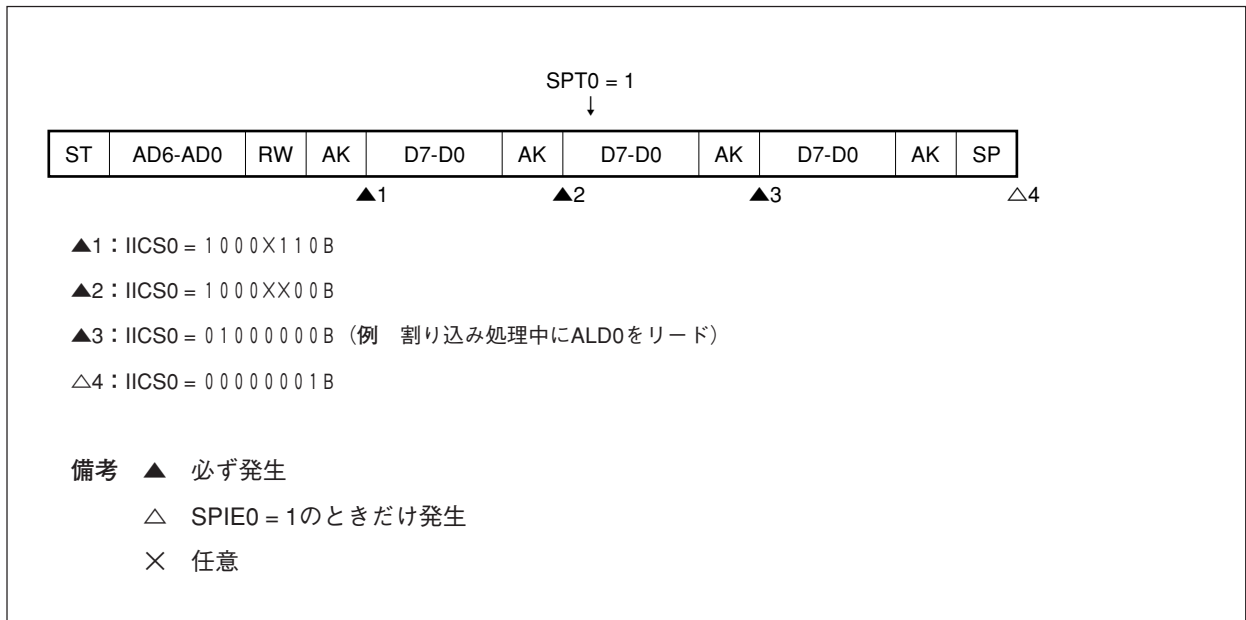


(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMO = 0のとき



(ii) WTIMO = 1のとき



14.5.8 割り込み要求 (INTIIC0) 発生タイミングおよびウェイト制御

IIC0コントロール・レジスタ (IICC0) のビット3 (WTIM0) の設定で、表14-2 に示すタイミングでINTIIC0が発生し、また、ウェイト制御を行います。

表14-2 INTIIC0発生タイミングおよびウェイト制御

WTIM	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1, 2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1, 2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIIC0信号およびウェイトは、スレーブ・アドレス・レジスタ0 (SVA0) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICC0のビット2 (ACKE0) の設定にかかわらず、 \overline{ACK} が出力されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIIC0が発生します。

2. スレーブ・アドレス・レジスタ0 (SVA0) と受信したアドレスが一致していない場合は、INTIIC0もウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- IIC0コントロール・レジスタ (IICC0) のビット5 (WREL0) = 1
- IIC0シフト・レジスタ (IIC0) のライト動作
- スタート・コンディションのセット (IIC0コントロール・レジスタ (IICC0) のビット1 (STT0) = 1)
- ストップ・コンディションのセット (IIC0) のビット0 (SPT0) = 1)

8クロック・ウェイト選択 (WTIM0 = 0) 時は、ウェイト解除前に $\overline{\text{ACK}}$ の出力レベルを決定する必要があります。

(5) ストップ・コンディション検出

INTIIC0は、ストップ・コンディションを検出すると発生します。

14.5.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。スレーブ・アドレス・レジスタ0 (SVA0) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVA0に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIIC0割り込み要求が発生します。

14.5.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDA0) の状態が、送信しているデバイスのIIC0シフト・レジスタ (IIC0) にも取り込まれるため、送信開始前と送信終了後のIIC0データを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

14.5.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ(EXC0)をセットし、8クロック目の立ち下がりで割り込み要求(INTIIC0)を発生します。

スレーブ・アドレス・レジスタ0(SVA0)に格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVA0に“111110××”を設定し、マスタから“111110××0”が転送されてきた場合は、次のようになります。ただし割り込み要求(INTIIC0)は、8クロック目の立ち下がりで発生します。

- ・上位4ビット・データ的一致：EXC0 = 1^注
- ・7ビット・データ的一致 : COI0 = 1^注

注 EXC0：IIC0状態レジスタ(IICS0)のビット5
 COI0： のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IIC0コントロール・レジスタ(IICC0)のビット6(LRELO) = 1に設定し次の通信待機状態となります。

表14-3 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	×	CBUSアドレス
0000 010	×	異なるバス・フォーマット用に予約されているアドレス
1111 0XX	×	10ビット・スレーブ・アドレス指定

14.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に出力した場合（STD0 = 1になる前にSTT0 = 1にしたとき注）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IIC状態レジスタ（IICS0）のアービトレーション負けフラグ（ALD0）をセットし、SCL0, SDA0ラインともHi-Z状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求発生タイミング（8または9クロック目、ストップ・コンディション検出など）で、ソフトウェアでALD0 = 1になっていることで検出します。

割り込み要求発生タイミングについては、14.5.7 I²C割り込み要求（INTIIC0）を参照してください。

注 STD0：IIC0状態レジスタ（IICS0）のビット1

STT0：IIC0コントロール・レジスタ（IICC0）のビット1

図14-14 アービトレーション・タイミング例

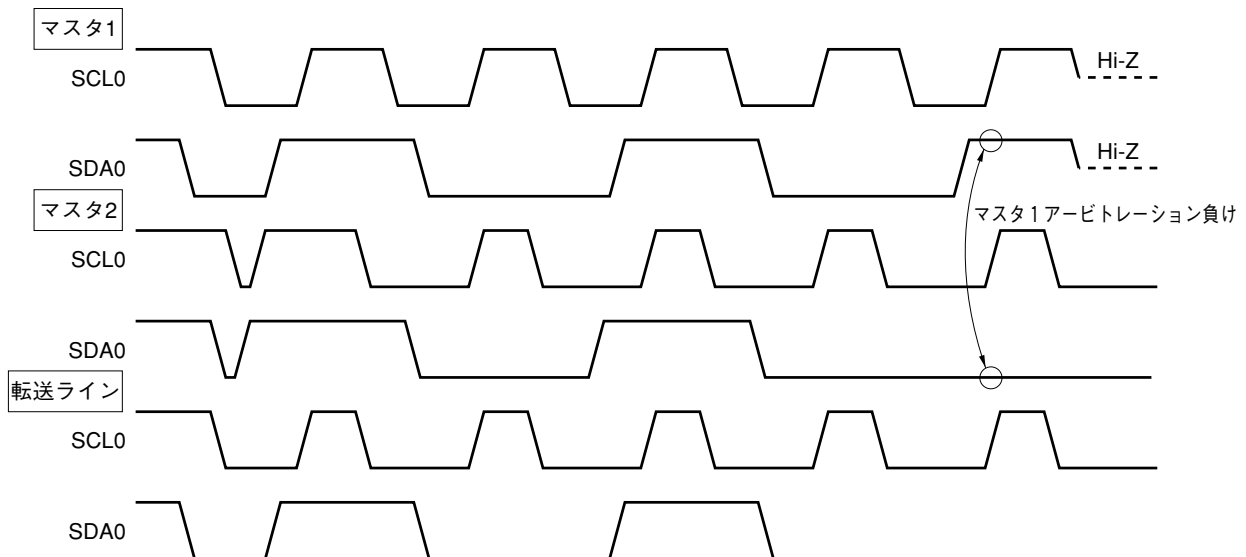


表14-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のACK転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション出力時 (SPIE0 = 1時) ^{注2}
リスタート・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがストップ・コンディション検出	ストップ・コンディション出力時 (SPIE0 = 1時) ^{注2}
ストップ・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがSCL0がロウ・レベル	

注1. WTIM0 (IIC0コントロール・レジスタ (IIC0) のビット3) = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0 = 0および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIE0 = 1に設定してください。

備考 SPIE0 : IIC0コントロール・レジスタ (IIC0) のビット5

14.5.13 ウェイク・アップ機能

IIC0のスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求 (INTIIC0) を発生する機能です。

アドレスが一致しないときは不要な割り込み要求を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを出力した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、IIC0コントロール・レジスタ (IICC0) のビット5 (SPIE0) の設定によって、割り込み要求の発生許可/禁止が決定します。

14.5.14 通信予約

バスに不参加の状態では、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない ($\overline{\text{ACK}}$ を返さず、IIC0コントロール・レジスタ (IICC0) のビット6 (LRELO) = 1でバスを解放した) とき

バスに不参加の状態では、IICC0のビット1 (STT0) をセットすると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウェイト状態になります。バスの解放を検出 (ストップ・コンディション検出) すると、IIC0シフト・レジスタ (IIC0) ライト操作により、マスタとしてのアドレス転送を開始します。このとき、IICC0のビット4 (SPIE0) をセットしておいてください。

STT0をセットしたとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき……………スタート・コンディション生成
- ・バスが解放されていないとき (待機状態) ……通信予約

通信予約として動作するかどうかは、STT0をセットし、ウェイト時間をとったあと、MSTS0 (IIC0状態レジスタ (IICS0) のビット7) で確認します。

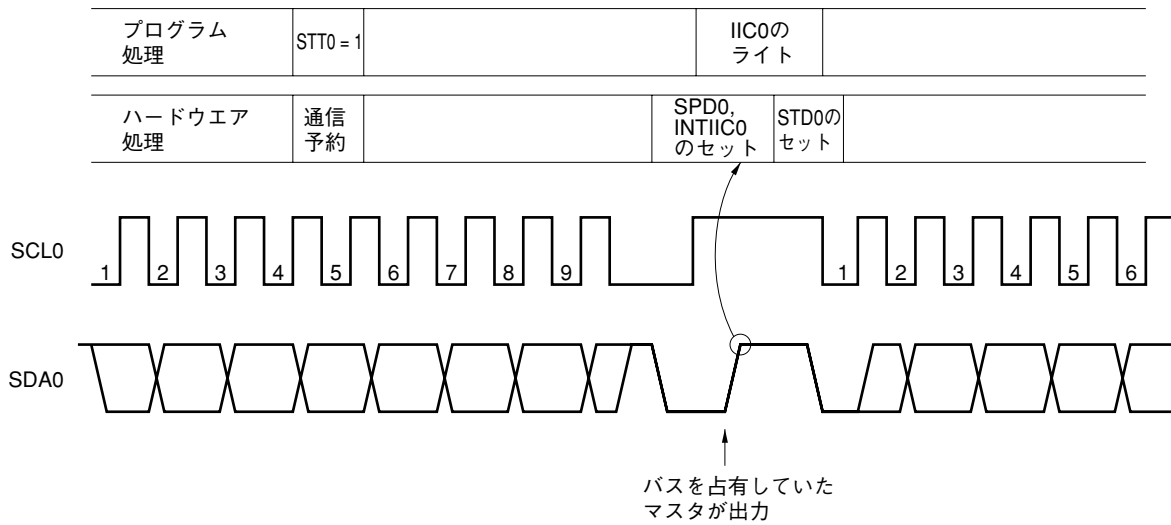
ウェイト時間は、表14-5 に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIIC0転送クロック選択レジスタ (IICCL0) のビット3, 1, 0 (SMC0, CL01, CL00) により設定できます。

表14-5 ウェイト時間

SMC0	CL01	CL00	ウェイト時間 (s)
0	0	0	26クロック×1/fx
0	0	1	46クロック×1/fx
0	1	0	
0	1	1	37クロック×1/fx
1	0	0	16クロック×1/fx
1	0	1	
1	1	0	32クロック×1/fx
1	1	1	13クロック×1/fx

通信予約のタイミングを図14-15に示します。

図14-15 通信予約のタイミング



- 備考 IIC0 : IIC0シフト・レジスタ
 STT0 : IIC0コントロール・レジスタ (IICC0) のビット1
 STD0 : IIC0状態レジスタ (IICS0) のビット1
 SPD0 : のビット0

通信予約は次のタイミングで受け付けられます。IIC0状態レジスタ (IICS0) のビット1 (STD0) = 1 になったあと、ストップ・コンディション検出までにIIC0コントロール・レジスタ (IICC0) のビット1 (STT0) = 1 で通信予約をします。

図14-16 通信予約受け付けタイミング

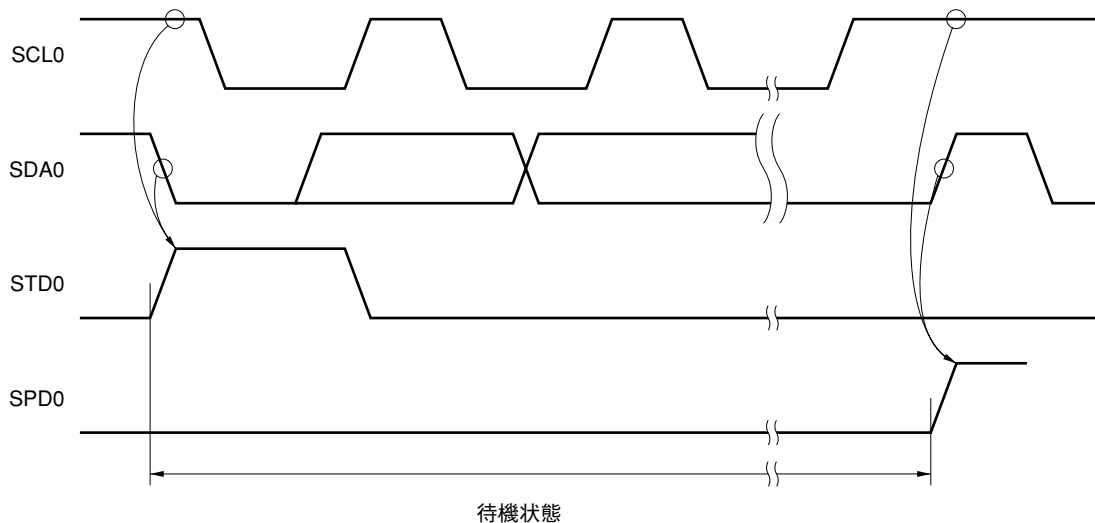
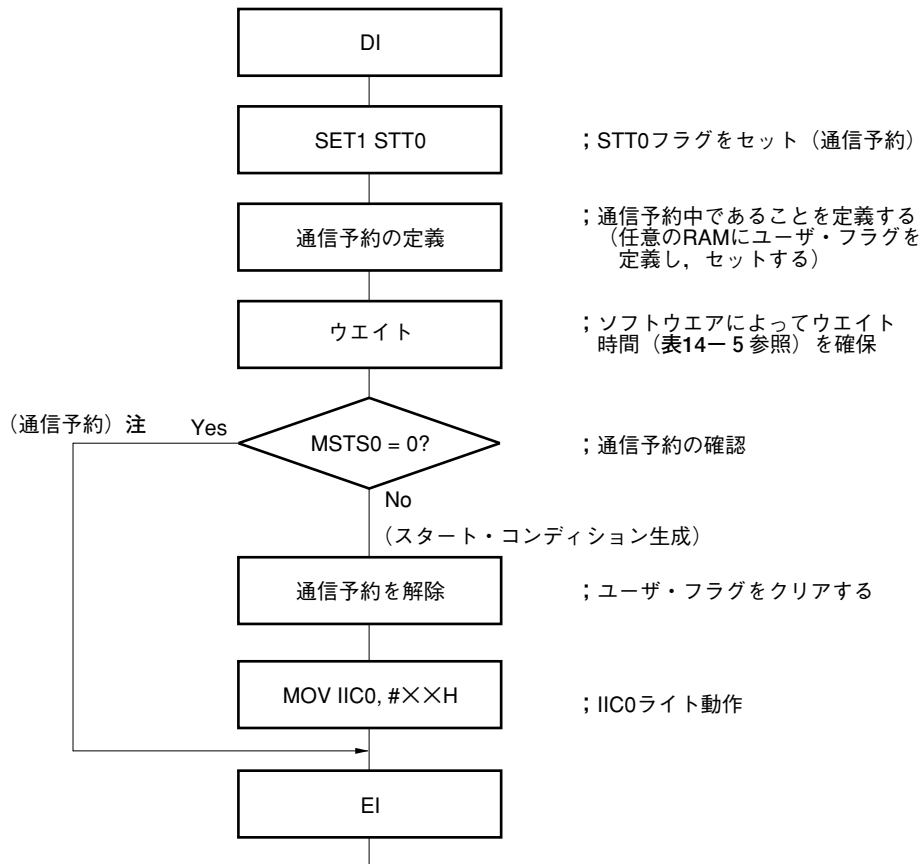


図14-17に通信予約の手順を示します。

図14-17 通信予約の手順



注 通信予約動作時は、ストップ・コンディション割り込み要求でIIC0シフト・レジスタ (IIC0) への書き込みを実行します。

備考 STT0 : IIC0コントロール・レジスタ (IIC0) のビット1
 MSTS0 : IIC0状態レジスタ (IICS0) のビット7
 IIC0 : IIC0シフト・レジスタ

14.5.15 その他の注意事項

リセット後、ストップ・コンディションを検出していない (バスが解放されていない) 状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスの解放をしてからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は以下の順番で行ってください。

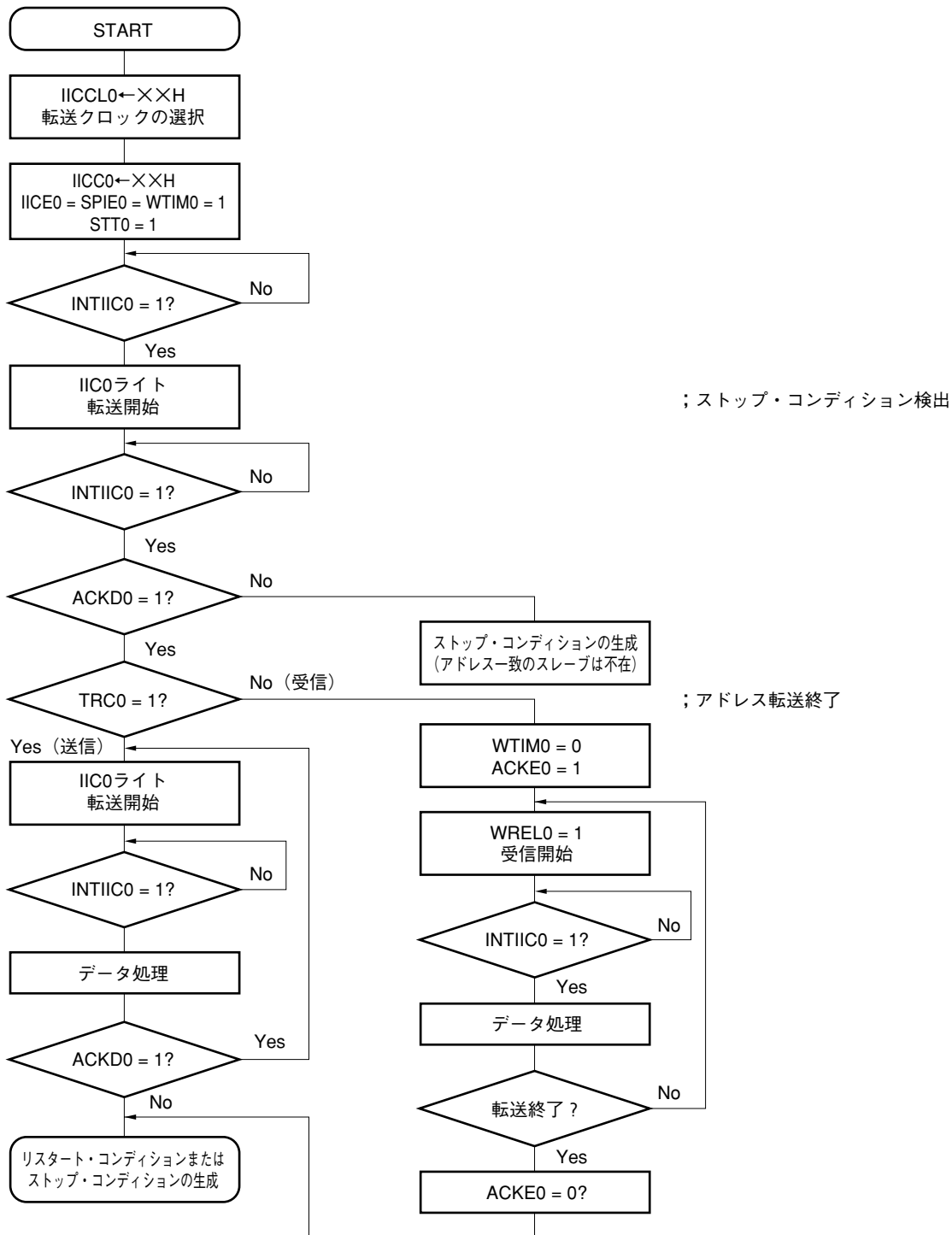
- ① IIC0転送クロック選択レジスタ (IICCL0) の設定
- ② IIC0コントロール・レジスタ (IIC0) のビット7 (IICE0) のセット
- ③ IICC0のビット0のセット

14.5.16 通信動作

(1) マスタ動作

マスタ動作手順の例を次に示します。

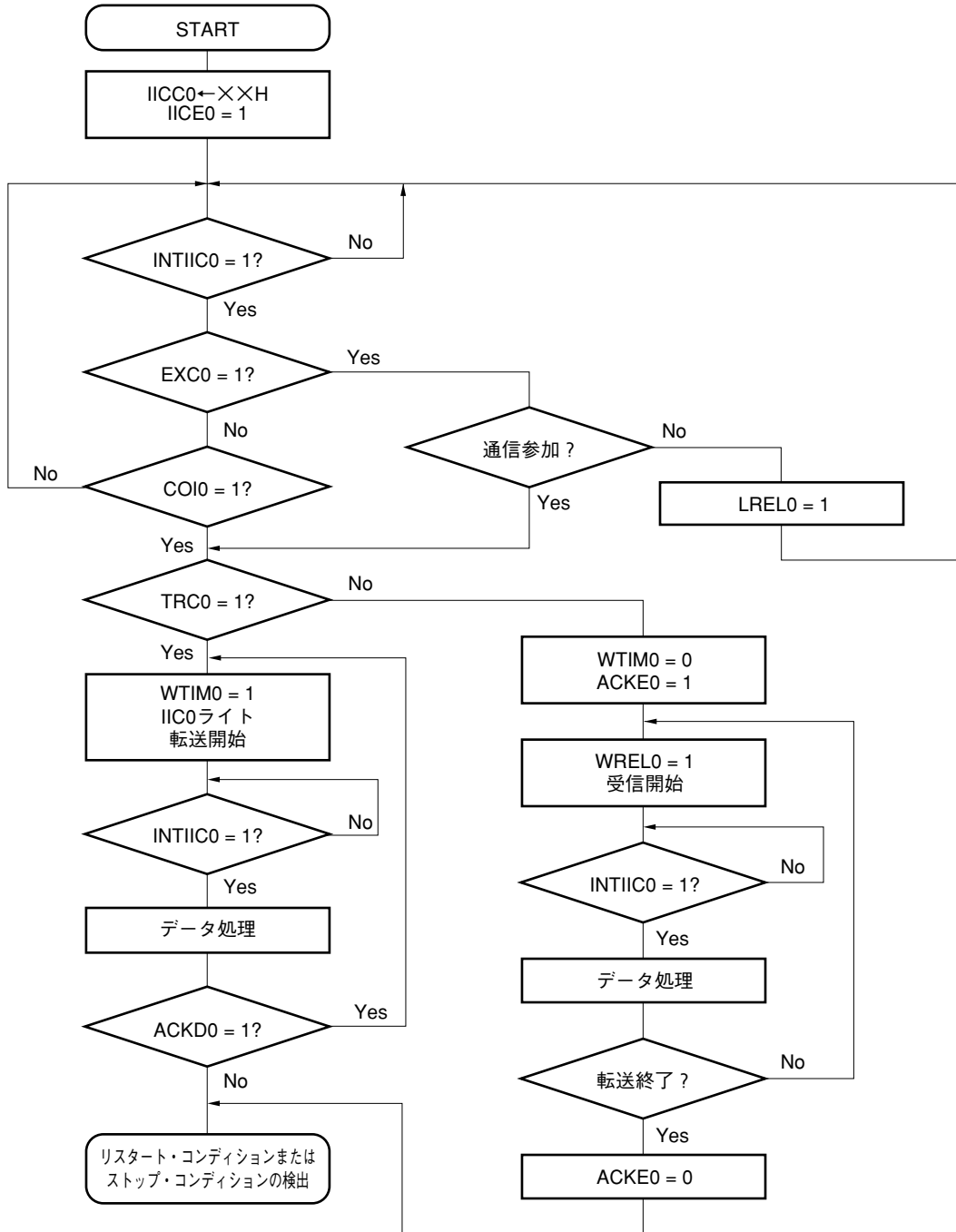
図14-18 マスタ動作手順



(2) スレーブ動作

スレーブ動作手順の例を次に示します。

図14-19 スレーブ動作手順



14.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット（IIC0状態レジスタ（IICS0）のビット3）を送信し、スレーブとのシリアル通信を開始します。

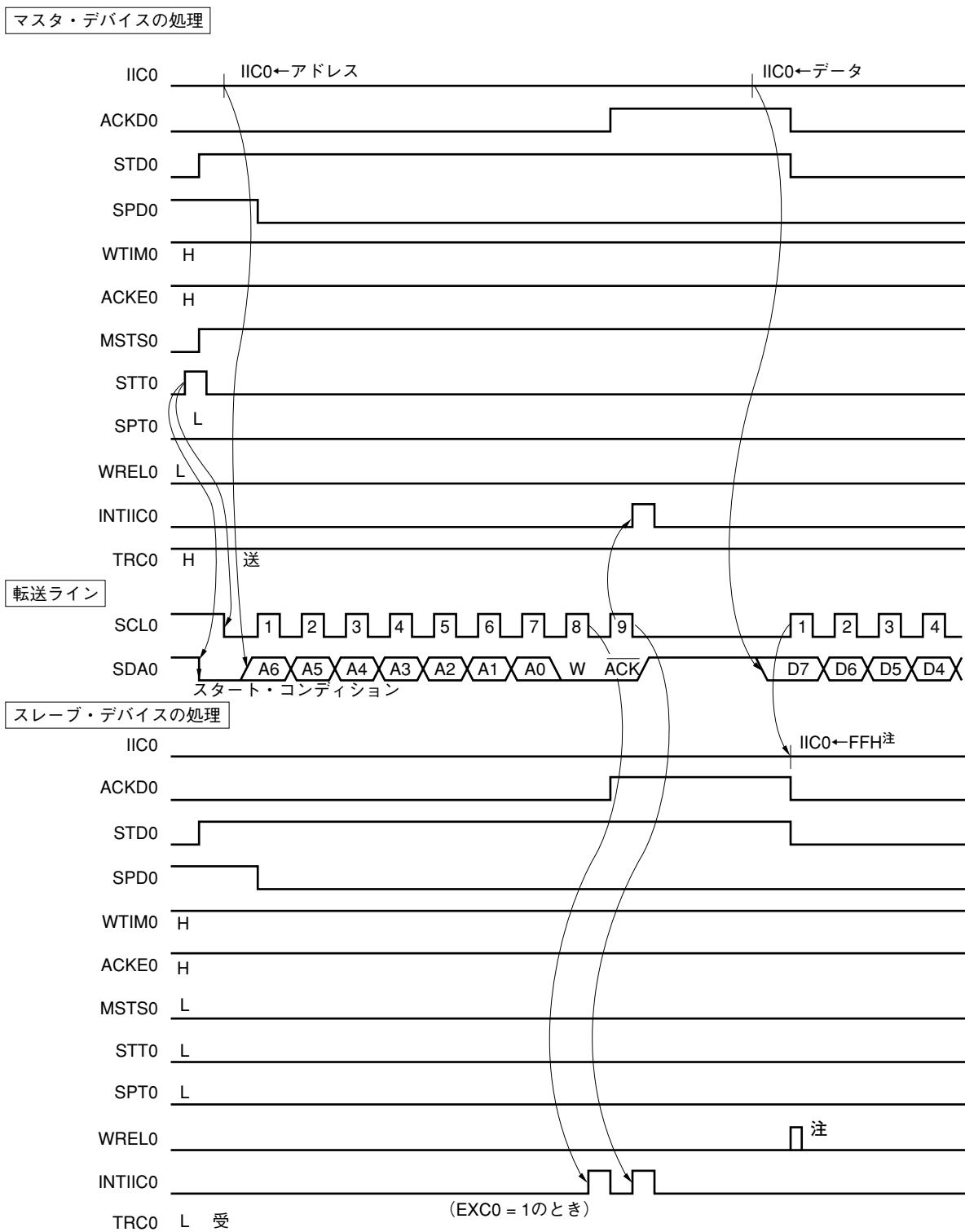
データ通信のタイミング・チャートを図14-20、図14-21に示します。

シリアル・クロック（SCL0）の立ち下がりに同期してIIC0シフト・レジスタ（IIC0）のシフト動作が行われ、送信データがSO0ラッチに転送され、SDA0端子からMSBファーストで出力されます。

また、SCL0の立ち上がりでSDA0端子に入力されたデータがIIC0に取り込まれます。

図14-20 マスタ→スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

(1) スタート・コンディション～アドレス

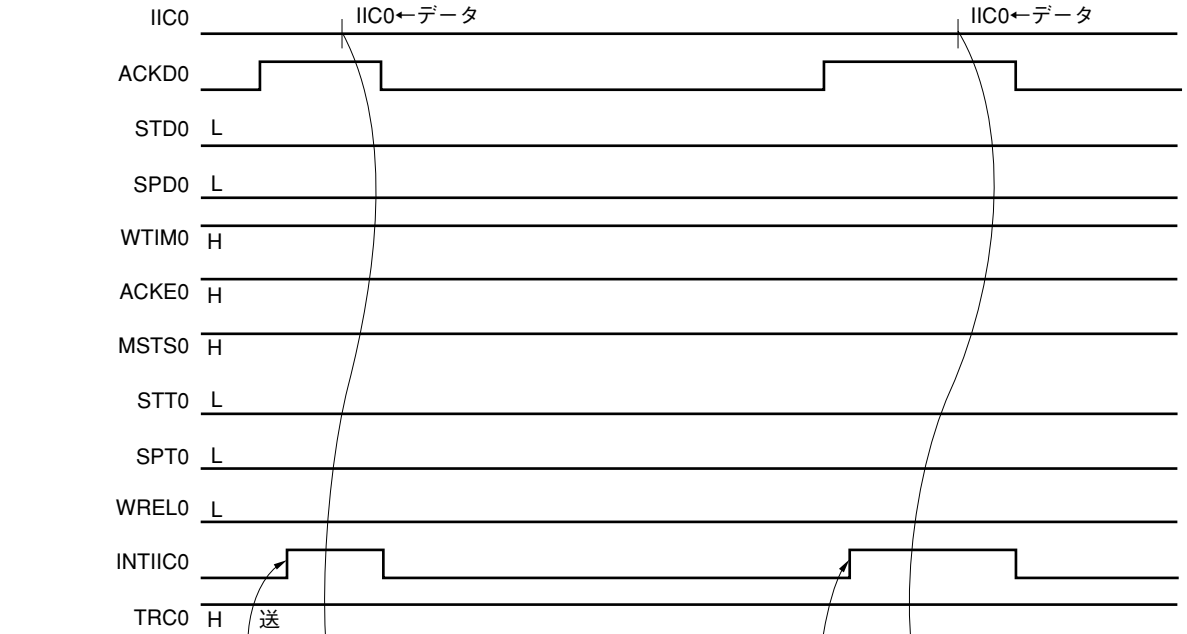


注 スレーブ・ウエイト解除は、IIC0←FFHまたはWRELOのセットのどちらかで行ってください。

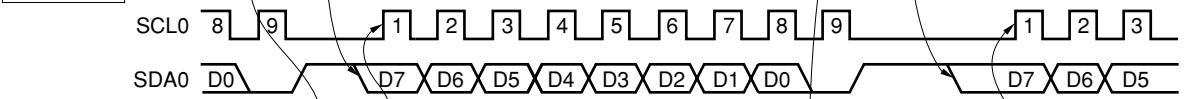
図14-20 マスタ→スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

(2) データ

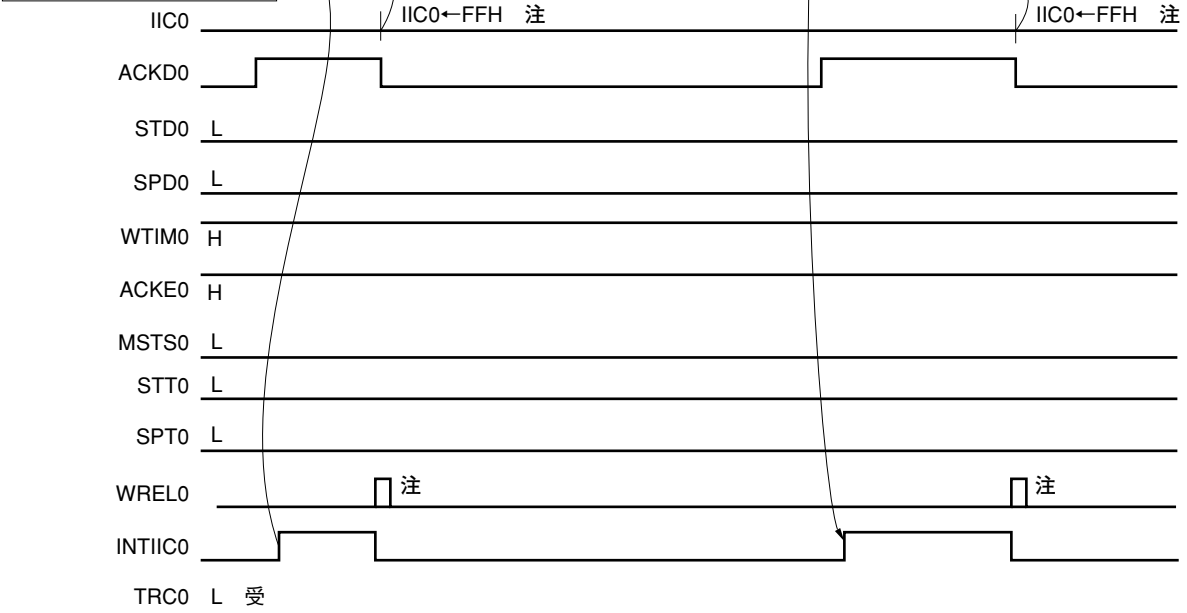
マスタ・デバイスの処理



転送ライン



スレーブ・デバイスの処理

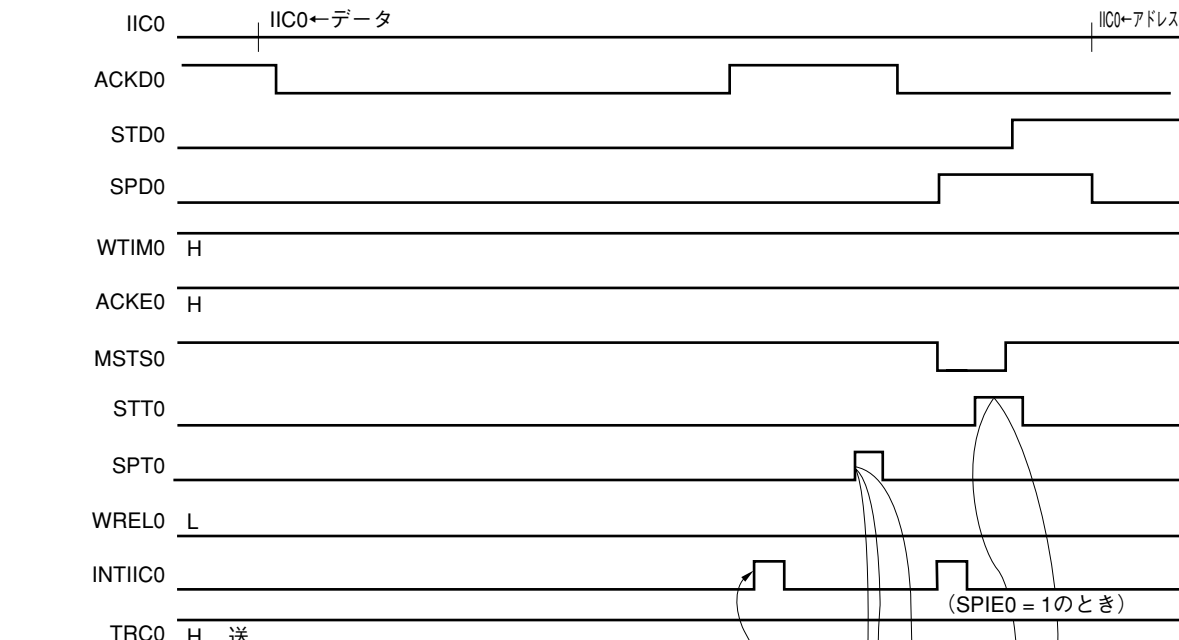


注 スレーブ・ウエイト解除は、IIC0←FFHまたはWRELOのセットのどちらかで行ってください。

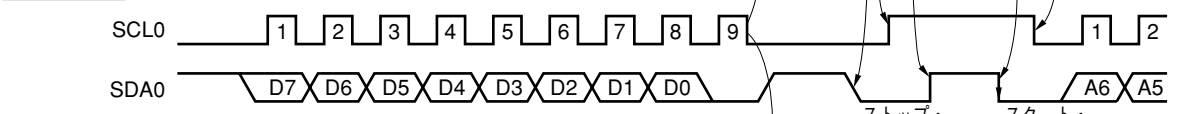
図14-20 マスタ→スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

(3) ストップ・コンディション

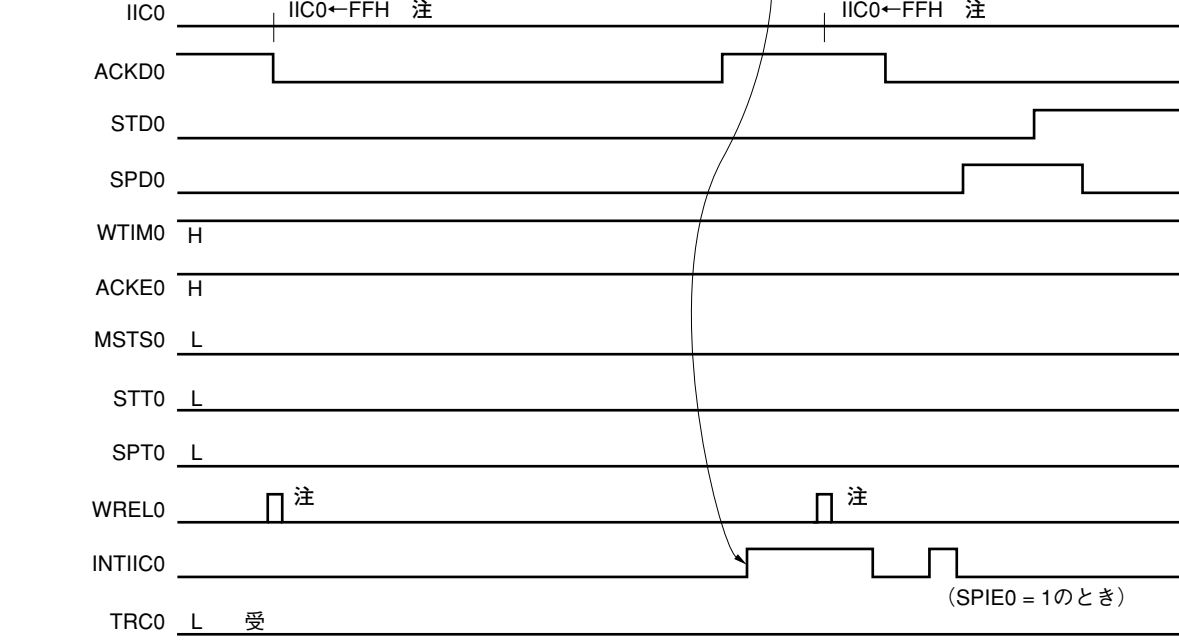
マスタ・デバイスの処理



転送ライン



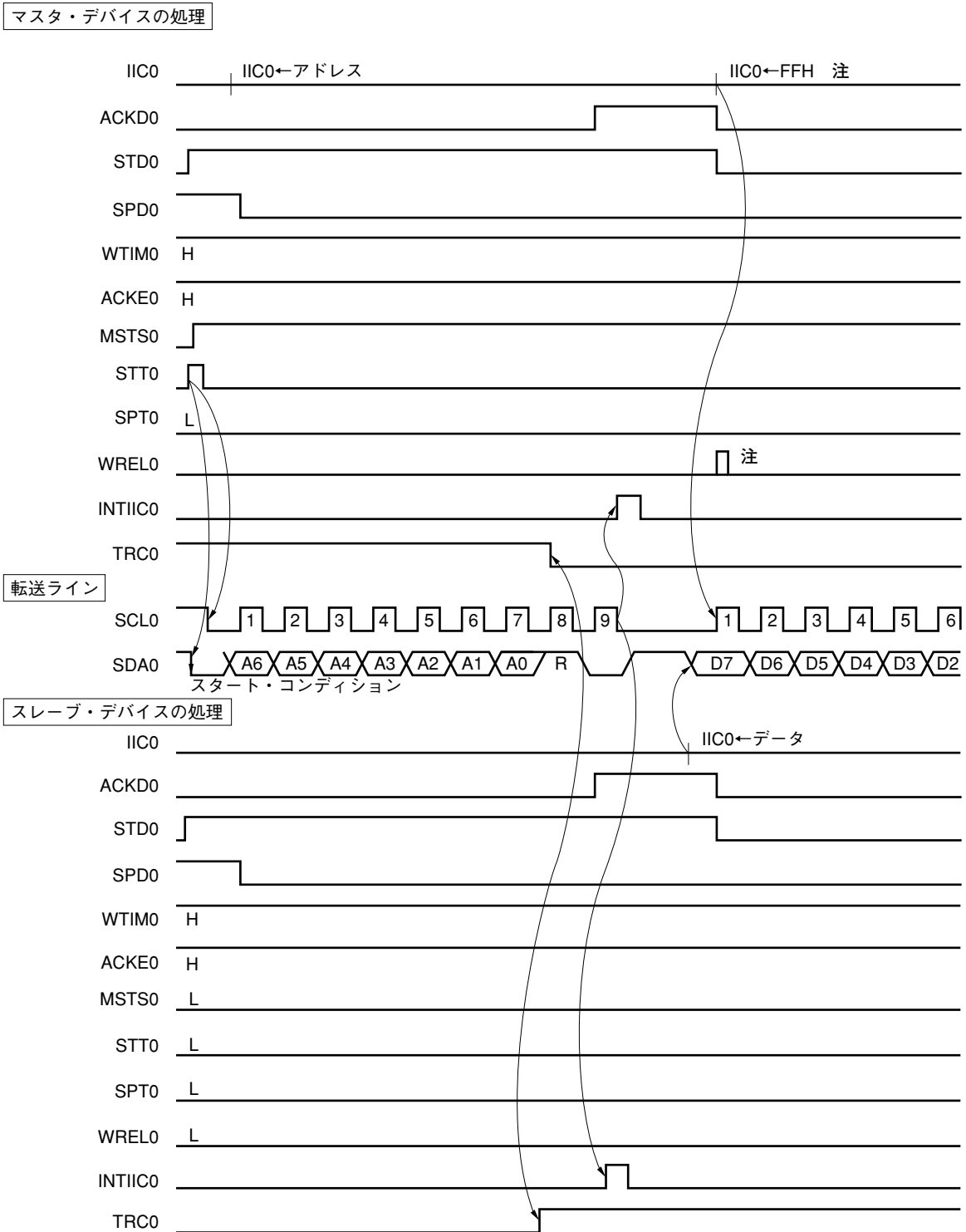
スレーブ・デバイスの処理



注 スレーブ・ウエイト解除は、IIC0←FFHまたはWRELOのセットのどちらかで行ってください。

図14-21 スレーブ→マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

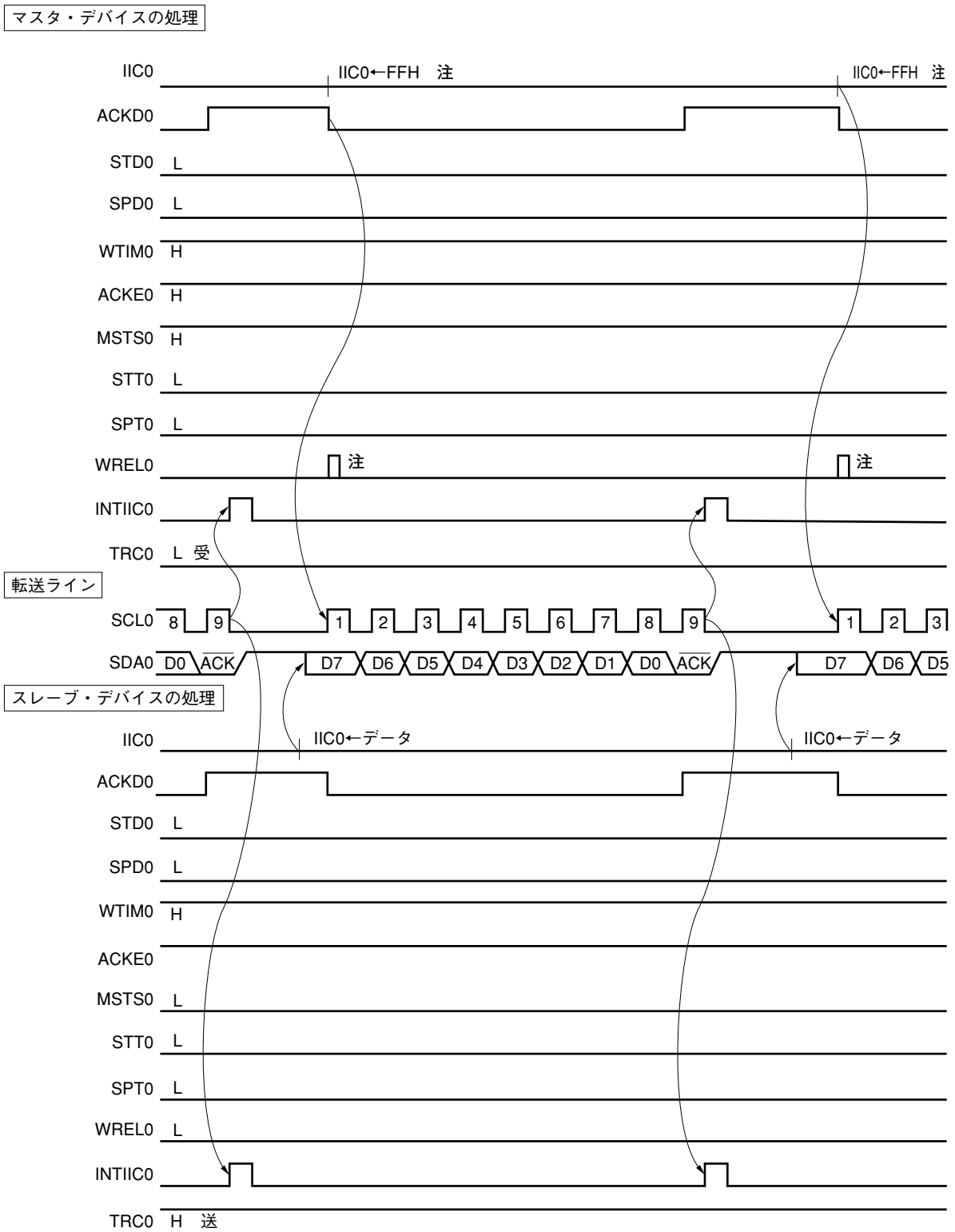
(1) スタート・コンディション～アドレス



注 スレーブ・ウエイト解除は、IIC0←FFHまたはWRELO0のセットのどちらかで行ってください。

図14-21 スレーブ→マスタ通信例 (マスタ、スレーブとも9クロック・ウエイト選択時) (2/3)

(2) データ

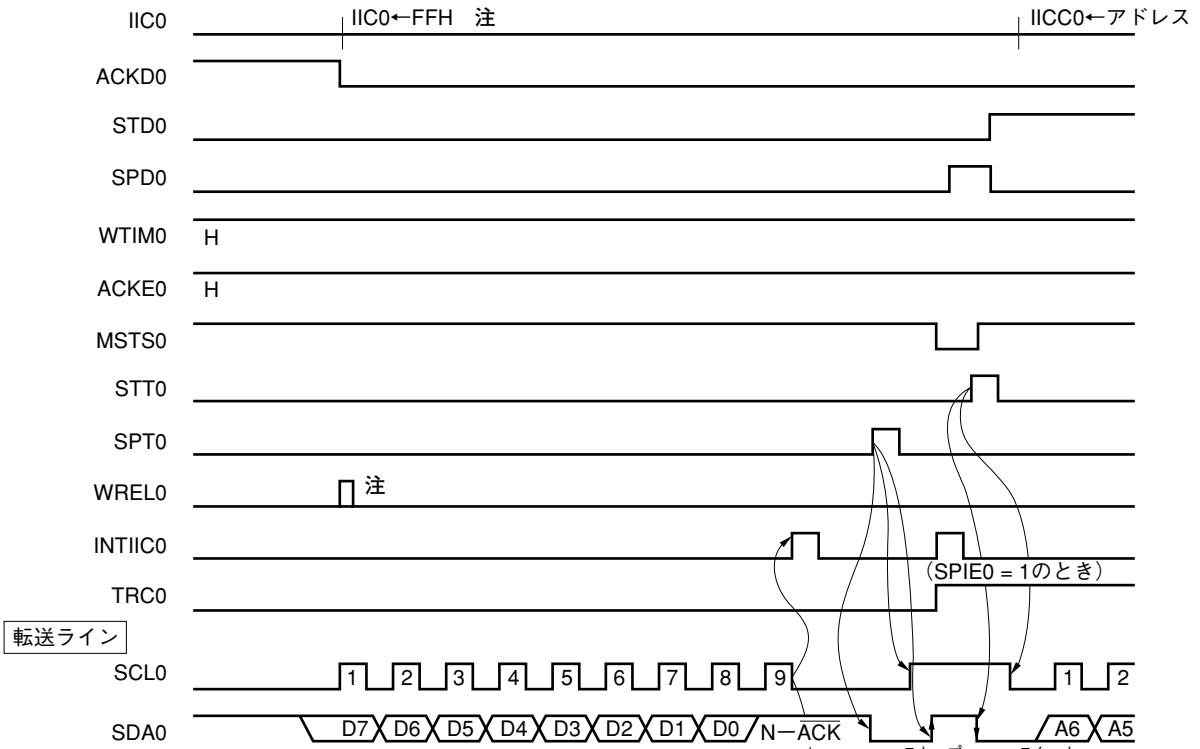


注 スレーブ・ウエイト解除は、IIC0←FFHまたはWRELOのセットのどちらかで行ってください。

図14-21 スレーブ→マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

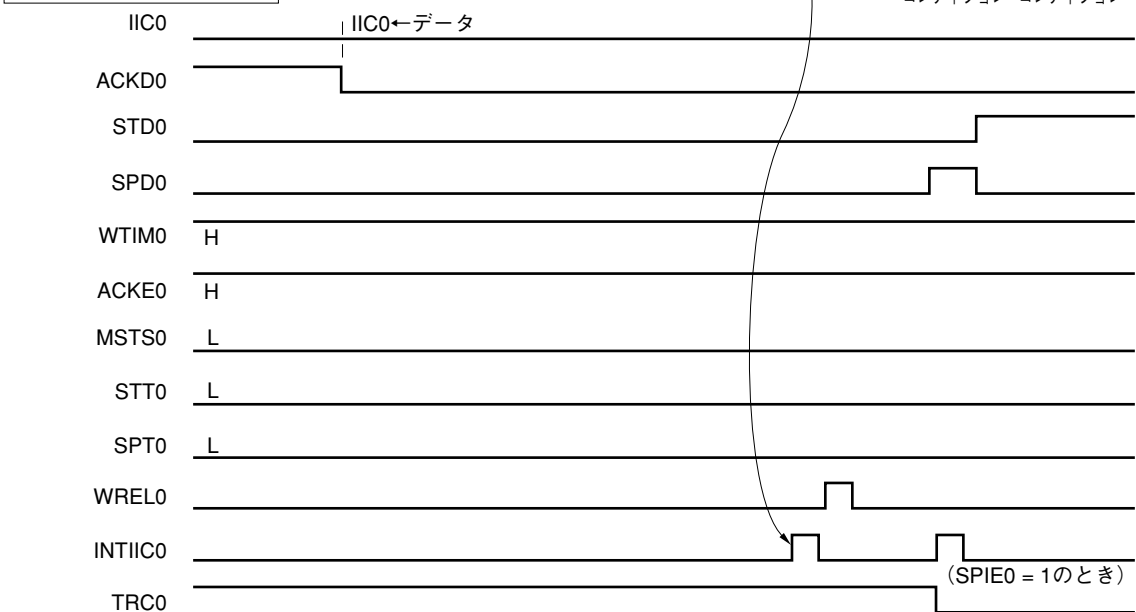
(3) ストップ・コンディション

マスタ・デバイスの処理



転送ライン

スレーブ・デバイスの処理



注 スレーブ・ウエイト解除は、IIC0←FFHまたはWRELOのセットのどちらかで行ってください。

第15章 DCANコントローラ（ μ PD780701Y, 78F0701Yのみ）

μ PD780701Y, 78F0701Yは、DCAN（Direct storage Control Area Network）コントローラを内蔵しています。
 μ PD780702Yには内蔵していません。また、 μ PD78F0701YのDCANコントローラは、IEBusコントローラと端子を兼用しているため、IEBusコントローラ使用時はDCANコントローラを使用できません。

表15-1 機能概要

機能	詳細
プロトコル	拡張フレームに対応したCAN2.0 (Bosch仕様2.0パートB)
ボー・レート	最大390 kbps (6.29 MHz時)
バス・ライン制御	外部トランシーバ用CMOS入出力
クロック	レジスタにて選択
データ記憶	DCAN用バッファRAM容量：288バイト ^注
メッセージ構成	メッセージ・アイデンティファイアにより受信メッセージはRAMに記憶 送信バッファ：2
メッセージ番号	マスク2個を含む受信メッセージ最大16個 送信チャンネル：2チャンネル
メッセージ・ソート	受信メッセージ16個について個別のアイデンティファイアを設定 マスク・アイデンティファイア：2 全メッセージにグローバル・マスク
割り込み	送信割り込み要求：1 受信割り込み要求：1 エラー割り込み要求：1
タイム機能	タイム・スタンプ機能あり
その他の機能	送受信個別のエラー・カウンタあり バス接続確認用のフラグあり 受信専用モードあり（バス上のボー・レート検出時に使用）
低消費電力モード	スリープ・モード（DCANバスによりウエイク・アップ可能） ストップ・モード（DCANバスによるウエイク・アップ不可）

注 DCAN用バッファRAMは、F900H-FA1FHに割り付けられています。また、DCANで使用しない場合は通常の低速RAMとして使用可能です。

15.1 プロトコル

DCANとは、“Direct storage Control Area Network”の略で、車体内リアル・タイム通信のクラスC高速多重通信プロトコルです。CANはISO（International Organization for Standardization）ならびにSAE（Society of Automotive Engineers）に準拠しております。詳しくは、**Bosch CAN仕様2.0 1991年9月**を参照してください。

15.1.1 プロトコル・モード機能

(1) 標準フォーマット・モード

標準フォーマット・モードは、メッセージ・アイデンティファイアが11ビットあります。2032種類のメッセージを扱えます。

(2) 拡張フォーマット・モード

拡張フォーマット・モードは、メッセージ・アイデンティファイアが29ビット（11+18）あります。2032×2¹⁸種類のメッセージを扱えます。

アービトラージョン・フィールドのIDEビットが“レセシブ”の場合、拡張フォーマット・モードになります。

拡張フォーマット・モードのメッセージと標準フォーマット・モードのリモート・フレームが同時に送信された場合、標準フォーマット・モードのメッセージが優先されます。

(3) バスの値

バスの値には“ドミナント”と“レセシブ”の2通りがあり、どちらか1つの論理値となります。ドミナント・ビットとレセシブ・ビットが同時送信された場合、バスの値はドミナント側になります。

たとえば、バスのワイアードANDインプリメンテーションで、ドミナント・レベルは論理0、レセシブ・レベルは論理1で表されます。

論理レベルの影響する物理的条件（電圧や光）は、仕様上には含みません。

15.1.2 メッセージのフォーマット

DCANプロトコルのメッセージは異なる形式のフレームを備えています。各フレームの出力条件は次のとおりです。

- ・データ・フレーム : 送信側から受信側にデータの移動
- ・リモート・フレーム : 要求ノードからの送信要求フレーム
- ・エラー・フレーム : エラー検出時のフレーム出力
- ・オーバーロード・フレーム: 受信ノードが受信動作未完了時にインタミッションの最初のビットから出力するフレーム

15.1.3 データ・フレーム/リモート・フレーム

図15-1 データ・フレーム

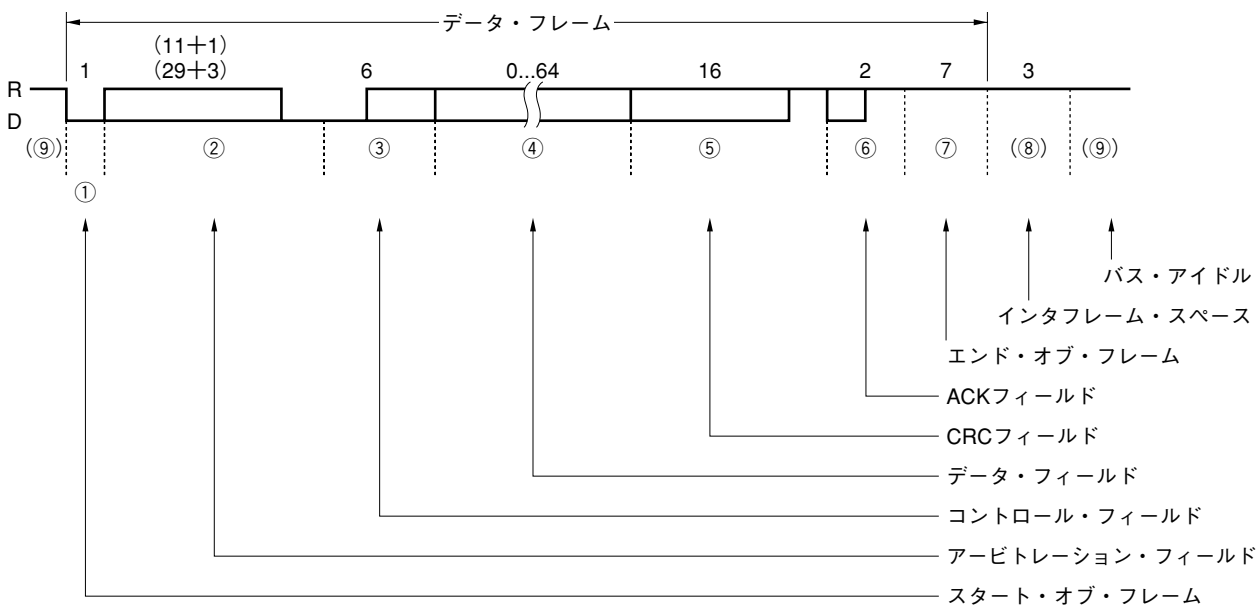
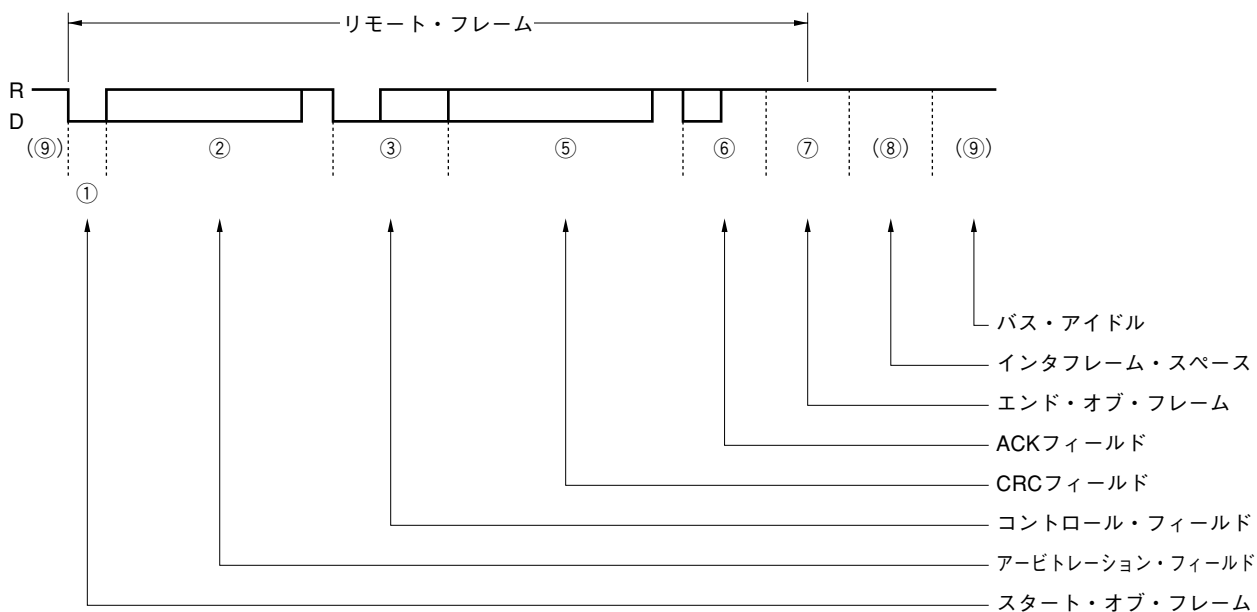


図15-2 リモート・フレーム



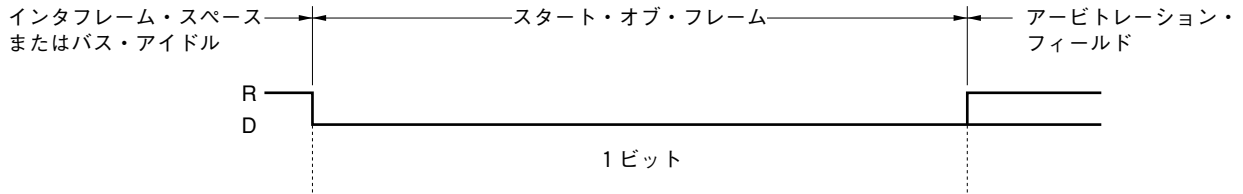
注意 リモート・フレームは受信ノードが送信を要求するときに送信されます。コントロール・フィールドで、データ長コード ≠ 0 の場合でもデータ・フィールドは送信されません。

各フィールドの説明を次に示します。

(1) スタート・オブ・フレーム

スタート・オブ・フレームは、データ・フレームまたはリモート・フレームの開始を示すフレームです。

図15-3 スタート・オブ・フレーム



- ・バス信号の立ち下がりでフレームが開始します。
- ・サンプル・ポイントで“ドミナント・レベル”が検出されると受信が継続します。
- ・サンプル・ポイントで“レセシブ・レベル”が検出されるとバス・アイドル状態となります。

(2) アービトレーション・フィールド

アービトレーション・フィールドは、優先順位、データ・フレーム/リモート・フレーム、プロトコル・モードを設定します。

図15-4 アービトレーション・フィールド (標準フォーマット・モード時)

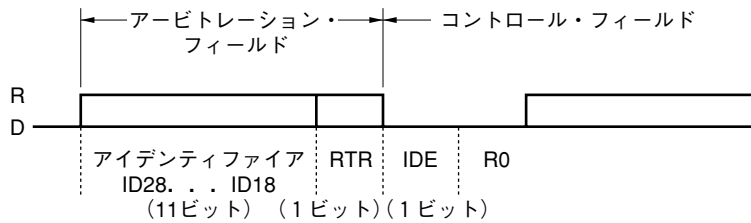
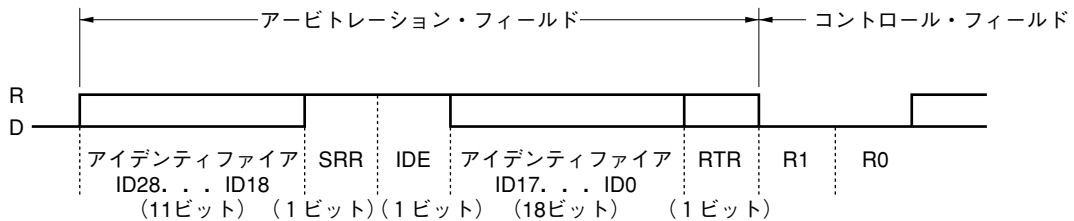


図15-5 アービトレーション・フィールド (拡張フォーマット・モード時)



- ・ID28-ID0がアイデンティファイアです。
- ・アイデンティファイアはMSBファーストで送信されます。

表15-2 アイデンティファイアのビット数

プロトコル・モード	ビット数
標準フォーマット・モード	11ビット
拡張フォーマット・モード	29ビット

表15-3 RTR設定

フレームのタイプ	RTRビット
データ・フレーム	0
リモート・フレーム	1

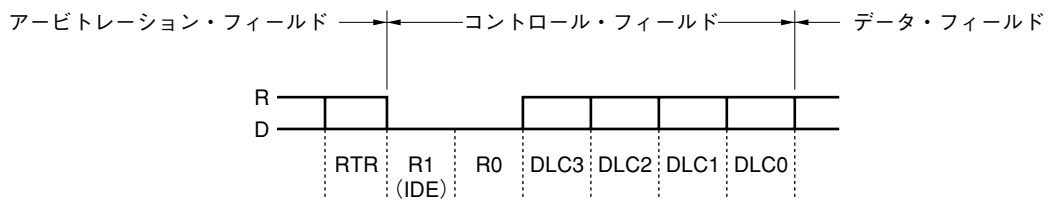
表15-4 モード設定

プロトコル・モード	IDEビット
標準フォーマット・モード	0
拡張フォーマット・モード	1

(3) コントロール・フィールド

コントロール・フィールドは、データ・フィールドのデータ・バイト数を設定します。

図15-6 コントロール・フィールド



IDEビットとR1ビットは、標準フォーマット・モードでは同一となります。

表15-5 データ長コード設定

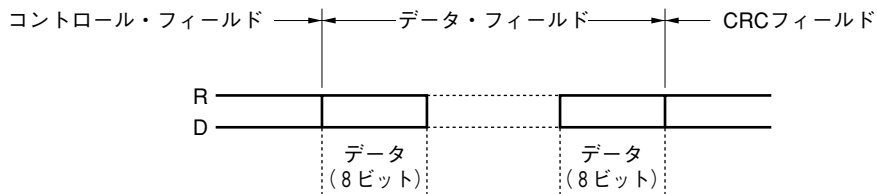
データ長コード				データ・バイト数
DLC3	DLC2	DLC1	DLC0	
0	0	0	0	0
0	0	0	1	1
⋮	⋮	⋮	⋮	⋮
0	1	1	1	7
1	0	0	0	8

注意 リモート・フレームでは、データ長コード ≠ 0 であってもデータ・フィールドは生成されません。

(4) データ・フィールド

データ・フィールドは、コントロール・フィールドで設定したデータ・バイト数のデータ群です。最大で8データ・バイトを設定可能です。

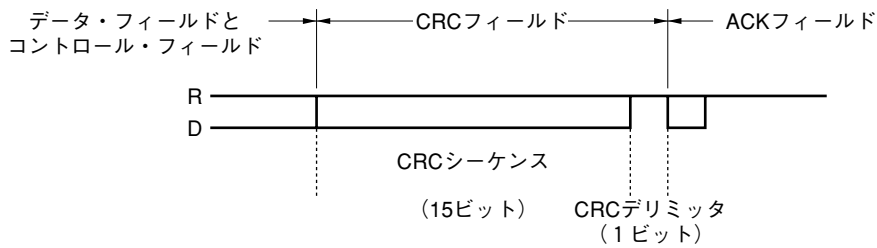
図15-7 データ・フィールド



(5) CRCフィールド

CRCフィールドは、送信データの誤りをチェックするための15ビットCRCシーケンスです。

図15-8 CRCフィールド

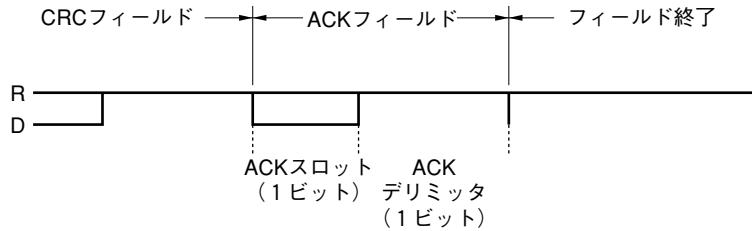


- 15ビットのCRCを生成する多項式 $P(X)$ は、 $P(X) = X^{15} + X^{14} + X^{10} + X^8 + X^7 + X^4 + X^3 + 1$
- 送信ノード：スタート・オブ・フレーム、アービトレーション・フィールド、コントロール・フィールド、データ・フィールドでビット・スタフしていない基本データより計算したCRCシーケンスを送信します。
- 受信ノード：受信データのスタッフ・ビットを除いたデータ・ビットから計算したCRCシーケンスとCRCフィールドのCRCシーケンスを比較します。一致しない場合、ノードはエラー・フレームに移行します。

(6) ACKフィールド

ACKフィールドは、正常受信確認のためのフィールドです。

図15-9 ACKフィールド

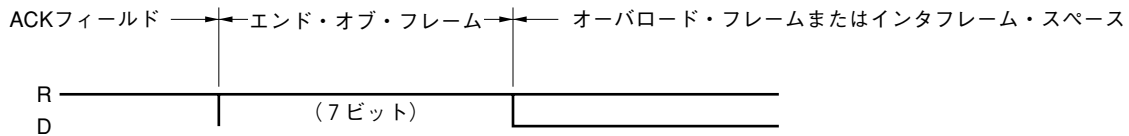


- ・エラーが検出されない場合、受信ノードはACKスロットをドミナント・レベルに設定します。
- ・送信ノードは、2ビットのレセプブ・レベルを出力し、受信ノードの受信状態を確認します。

(7) エンド・オブ・フレーム

エンド・オブ・フレームは、送信/受信の終了を示すフレームです。

図15-10 エンド・オブ・フレーム



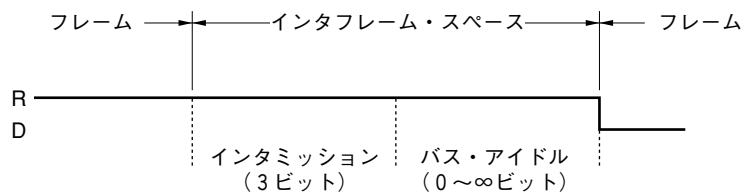
(8) インタフレーム・スペース

インタフレーム・スペースは、各フレーム間の区切りを示します。データ・フレーム、リモート・フレーム、エラー・フレーム、オーバーロード・フレームから、次のフレームの間に挿入されます。

(a) エラー・アクティブ

エラー・アクティブは、3ビットのインタミッションとバス・アイドルにより構成されます。

図15-11 インタフレーム・スペース (エラー・アクティブ)



(b) エラー・パッシブ

エラー・パッシブは、インタミッション、送信保留、バス・アイドルにより構成されます。

図15-12 インタフレーム・スペース (エラー・パッシブ)

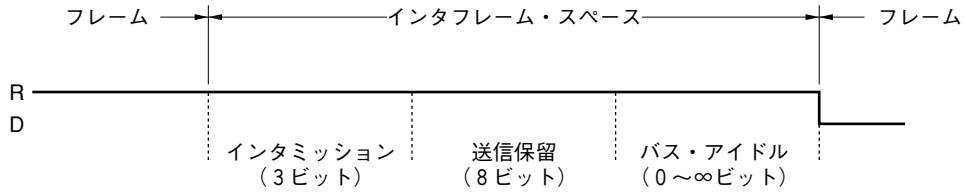


表15-6 中断部のビット長

プロトコル・モード	ビット長
標準フォーマット・モード	3ビット

表15-7 エラー状態での動作

エラー状態	動作
エラー・アクティブ	バス・アイドルになる各ノードが送信可能状態になります。送信要求のあるノードは送信を開始します。
エラー・パッシブ	8ビットのバス・アイドルが続いたあと、ノードが送信可能状態になります。ほかのノードが送信を開始した場合、受信状態になります。

15.1.4 エラー・フレーム

エラー・フレームは、エラーが検出された場合にノードから出力されます。

ほかのノードがパッシブ・エラーをフラグで示すためドミナント・レベルを出力した場合、そのドミナント・レベルは6ビット継続します。ほかのノードからドミナント・ビットがそれを書き換えないかぎり、パッシブ・エラー・フラグは連続した6ビットのレセシブの構成となります。

図15-13 エラー・フレーム

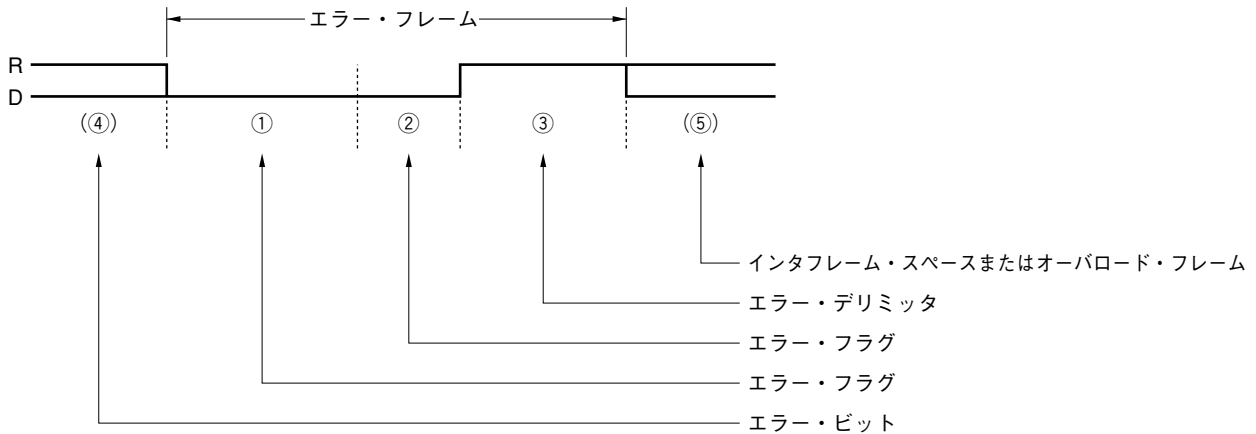


表15-8 各フィールドの定義 (エラー・フレーム)

No.	名 称	ビット数	定 義
①	エラー・フラグ	6	エラー・アクティブ・ノード：6ビットの“ドミナント”を連続出力します。 エラー・パッシブ・ノード：6ビットの“レセシブ”を連続出力します。
②	エラー・フラグ	0~6	“エラー・フラグ”を受信ノードは、ビット・スタフ・エラーを検出して再度、“エラー・フラグ”を出力します。
③	エラー・デリミッタ	8	8ビットの“レセシブ・レベル”を連続出力します。 8ビット目に“ドミナント・レベル”をモニタした場合、次のビットからオーバロード・フレームを送信します。
④	エラー・ビット	—	エラーが発生したビットに続いて出力します。 (CRCエラーの場合は、ACKデリミッタに続いて出力します)。
⑤	インタフレーム・スペース/ オーバロード・フレーム	3/14 20 MAX.	“インタフレーム・スペース”，または，“オーバロード・フレーム”が続きます。

15.1.5 オーバロード・フレーム

オーバロード・フレームは、受信ノードが受信動作未了時に、インタミッションの最初のビットから出力するフレームです。

インタミッション中にビット・エラーを検出した場合、ビット・エラーを検出した次のビットから出力します。

図15-14 オーバロード・フレーム

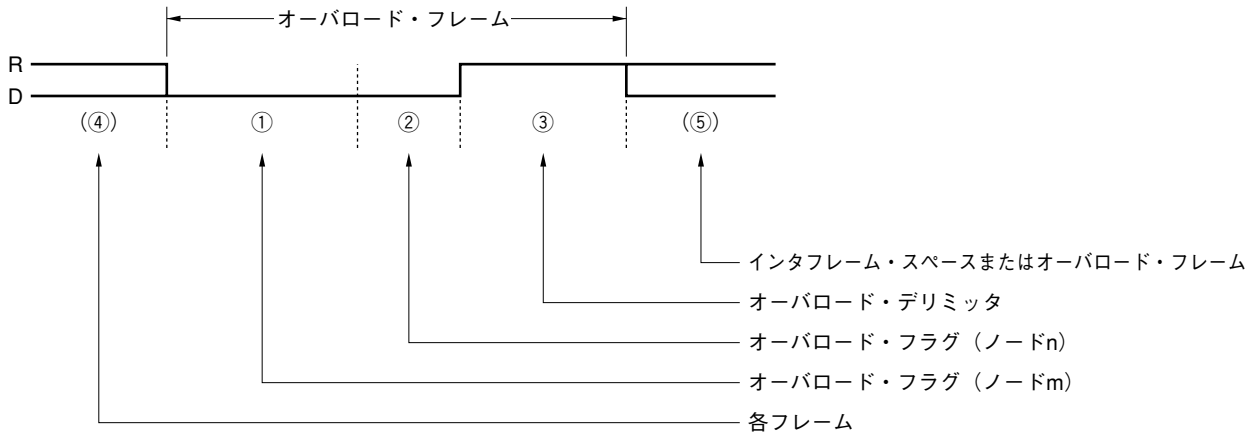


表15-9 各フィールドの定義 (オーバーロード・フレーム)

No.	名称	ビット数	定義
①	オーバーロード・フラグ	6	6ビットの“ドミナント・レベル”を連続出力します。
②	ノードnからのオーバーロード・フラグ	0~6	“インタフレーム・スペース”中に“オーバーロード・フラグ”を受信したノードnは、オーバーロード・フラグを出力します。
③	オーバーロード・デリミッタ	8	8ビットの“レセシブ”を連続出力します。 8ビット目に“ドミナント・レベル”をモニタした場合、次のビットからオーバーロード・フレームを送信します。
④	各フレーム	—	エンド・オブ・フレーム、エラー・デリミッタ、オーバーロード・デリミッタに続いて出力します。
⑤	インタフレーム・スペース/ オーバーロード・フレーム	3/14 20 MAX.	インタフレーム・スペース、またはオーバーロード・フレームが続きます。

備考 ノードn, ノードm: 各ノードを意味します。

15.2 機能

15.2.1 バス・プライオリティの決定

(1) 1つのノードが送信を開始した場合

- ・バス・アイドル中に、先にデータを出力したノードが送信をします。

(2) 複数のノードが送信を開始した場合

- ・アイデンティファイアの低いノードが優先されます。
- ・送信ノードは、自分の出力したアービトレーション・フィールドとバス上のデータ・レベルを比較します。
- ・ノードがレセシブ・レベルを出力し、バス上のドミナント・レベルを認識するとアービトレーションが弱まります。

表15-10 バス・プライオリティの決定

レベルの一致	送信を継続します。
レベルの不一致	不一致を検出した次のビットからデータ出力を停止し、受信動作になります。

(3) データ・フレームとリモート・フレームのプライオリティ

- ・データ・フレームとリモート・フレームがバス上で競合した場合、最終ビットであるRTRが“ドミナント・レベル”であるデータ・フレームが優先されます。

15.2.2 ビット・スタフ

ビット・スタフは、バースト・エラーを防ぐために同一レベルが5ビット以上連続した場合、1ビットの反転データを付加して再度、同期をとります。

表15-11 ビット・スタフ

送信	データ・フレーム、リモート・フレームの送信時、スタート・オブ・フレームとACKフィールド間のデータで同一レベルが5ビット連続した場合、次のビットとの間に、前5ビットのレベルを反転した1ビットのレベル・データを挿入します。
受信	データ・フレーム、リモート・フレームの受信時、スタート・オブ・フレームからACKフィールドまでのデータで同一レベルが5ビット連続した場合、次の1ビットを削除して受信します。

15.2.3 マルチマスタ

アイデンティファイアにより、バス・プライオリティを決定するため、どのノードでもバス・マスタになることができます。

15.2.4 マルチキャスト

送信ノードは1つですが、同一のアイデンティファイアを複数のノードに設定可能なため、複数のノードで同時に同一データの受信が可能です。

15.2.5 スリープ・モード/ストップ・モード機能

スリープ・モード/ストップ・モード機能により、DCANコントローラを待機状態にすることで消費電力を低減できます。

スリープ・モードはCAN仕様に示されている手順に従って設定されます。スリープ・モードはバスの動作でウエイク・アップしますが、ストップ・モードはバスの動作でウエイク・アップしません（CPUアクセスによりコントロールされます）。

15.2.6 エラー制御機能

(1) エラーの種類

表15-12 エラーの種類

エラーの種類	エラーの説明		検出する状態	
	検出方法	検出条件	送信/受信ノード	フィールド/フレーム
ビット・エラー	出力レベルとバス上のレベルとの比較（スタフ・ビットを除く）	両レベルの不一致	送信/受信ノード	スタート・オブ・フレーム～エンド・オブ・フレーム、エラー・フレーム、オーバーロード・フレームでバス上にデータを出力しているビット。
スタフ・エラー	スタフ・ビットでの受信データのチェック	同一レベル・データの6ビット連続	送信/受信ノード	スタート・オブ・フレーム～CRCシーケンス
CRCエラー	受信データから生成したCRCと受信したCRCシーケンスとの比較	CRCの不一致	受信ノード	フレーム開始～データ・フィールド
フォーム・エラー	固定フォーマットのフィールド/フレームのチェック	固定フォーマット違反の検出	受信ノード	<ul style="list-style-type: none"> ・CRCデリミッタ ・ACKフィールド ・エンド・オブ・フレーム ・エラー・フレーム ・オーバーロード・フレーム
ACKエラー	送信ノードによるACKスロットのチェック。	ACKスロットでリセシブを検出	送信ノード	ACKスロット

(2) エラー・フレームの出力タイミング

表15-13 エラー・フレームの出力タイミング

エラーの種類	出力タイミング
ビット・エラー、スタフ・エラー、フォーム・エラー、ACKエラー	エラーを検出した次のビット・タイミングからエラー・フレームを出力します。
CRCエラー	ACKデリミッタの次のビット・タイミングからエラー・フレームを出力します。

(3) エラー発生時の処置

送信ノードは、エラー・フレーム後にデータ・フレームまたは、リモート・フレームを再送します。

(4) エラー状態

(a) エラー状態の種類

- ・エラー状態には、エラー・アクティブ、エラー・パッシブ、バス・オフの3種類があります。
- ・送信エラー・カウンタと受信エラー・カウンタでエラー状態を管理します。
- ・エラー・カウンタはエラーが発生するたびにインクリメントします。
- ・出力エラー・フラグはエラー状態が送信か受信かにより異なります。
- ・エラー・カウンタの値が96以上になった場合、エラー・パッシブについて警告レベルに達したことを示します。
- ・スタート・アップ時に1つのノードしかアクティブにできない場合、データを送信してもACKが返ってこないためエラー・フレームとデータの再送を繰り返します。この場合、バス・オフ状態にはなりません。また、ウエイク・アップ・メッセージをノードで送信して、エラー状態を繰り返してもバス・オフ状態にはなりません。
- ・受信動作は、送信動作がバス・オフ状態でも実行できます。

表15-14 エラー状態の種類

エラー状態の種類	動作	エラー・カウンタの値	出力するエラー・フラグの種類
エラー・アクティブ	送信/受信	0~127	アクティブ・エラー・フラグ (6ビットの“ドミナント”の連続)
エラー・パッシブ	送信	128~255	パッシブ・エラー・フラグ (6ビットの“レセシブ”の連続)
	受信	128以上	
バス・オフ	送信	256以上	通信できません。 “レセシブ”が11ビット連続で128回発生すると、エラー・カウンタ=0でエラー・アクティブ状態に戻ることができます。
	受信	—	バス・オフは、ありません。

(b) エラー・カウンタ

エラー・カウンタは、エラーが発生した場合にカウント・アップし、送信、受信が正常に行われた場合にカウント・ダウンします。カウント・アップ、カウント・ダウンのタイミングは、エラー・デリミッタの第1ビットになります。

表15-15 エラー・カウンタ

状 態	送信エラー・カウンタ	受信エラー・カウンタ
受信ノードがエラーを検出した場合 (アクティブ・エラー・フラグ、オーバーロード・フラグ中のビット・エラーを除く)	変化なし	+1
受信ノードがエラー・フレームのエラー・フラグ出力の次にドミナントを検出した場合	変化なし	+8
送信ノードがエラー・フラグを送信した場合 [エラー・カウンタ = ±0 になる場合] ①エラー・パッシブ状態で、ACKエラーを検出しパッシブ・エラー・フラグを出力中にドミナントを検出できなかった場合 ②アービトレーション・フィールド中にスタフ・エラー発生	+8	変化なし
アクティブ・エラー・フラグ、オーバーロード・フラグ出力中のビット・エラー検出 (エラー・アクティブの送信ノード)	+8	変化なし
アクティブ・エラー・フラグ、オーバーロード・フラグ出力中のビット・エラー検出 (エラー・アクティブの受信ノード)	変化なし	+8
各ノードからアクティブ・エラー・フラグ、オーバーロード・フラグの最初から14個連続した“レセシブ”を検出した場合、およびそれ以降の8個連続のドミナントを検出 各ノードがパッシブ・エラー・フラグのあと、8個連続のドミナントを検出	+8	+8
送信ノードがエラーなしで、送信を完了した場合 (エラー・カウンタ = 0 の場合は±0)	-1	変化なし
受信ノードがエラーなしで、受信を完了した場合	変化なし	<ul style="list-style-type: none"> • -1 (1 ≤ REC^注 ≤ 127) • ±0 (REC = 0) • 127をセットする (REC > 127)

注 REC：受信エラー・カウンタ

(c) インタミッション中のビット・エラーの発生

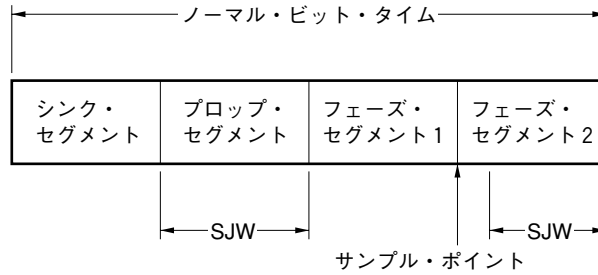
オーバーロード・フレームが発生します。

15.2.7 ボー・レート制御機能

(1) ノーマル・ビット・タイム (8~25 Time Quantum)

- ・ 1 データ・ビット・タイムの定義は、次のようになっています。

図15-15 ノーマル・ビット・タイム (8~25 Time Quantum)



[1 Minimum Time Quantum = 1/f_x]

シンク・セグメント	ビット同期がかかると、このセグメントを始まりとします。
プロップ・セグメント	出力バッファ、DCANバス、入力バッファの遅延を吸収するためのセグメントです。 フェーズ・セグメント1の開始までにACKが戻ってくるように設定します。 プロップ・セグメントの時間 ≥ (出力バッファの遅延) + (DCANバスの遅延) + (入力バッファの遅延)
フェーズ・セグメント1、 フェーズ・セグメント2	データ・ビット・タイムの誤差を補償するためのセグメントで、大きいほど許容誤差が大きくなりますが、通信スピードは、遅くなります。
SJW	reSynchronization <u>J</u> ump <u>W</u> idthの略で、ビット同期の範囲を設定します。

表15-16 セグメント名とセグメント長

セグメント名	セグメント長
シンク・セグメント (Synchronization segment)	1
プロップ・セグメント (Propagation Segment)	1 ~ 8 のプログラマブル
フェーズ・セグメント1 (Phase Buffer Segment 1)	1 ~ 8 のプログラマブル
フェーズ・セグメント2 (Phase Buffer Segment 2)	フェーズ・セグメント1の最大値 + IPT ^注 (IPT = 0 ~ 2)
SJW	1 ~ 4 のプログラマブル

注 IPT : Information Processing Time

(2) データ・ビットの同期の調整

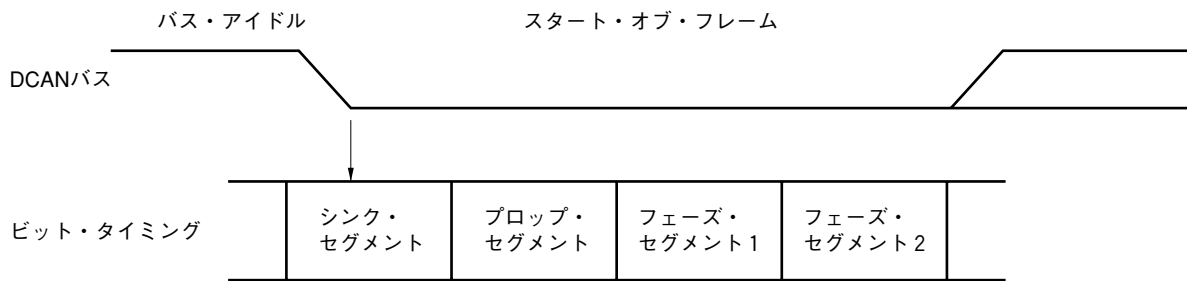
- ・送信ノードは、送信ノードのビット・タイミングに同期してデータを送信します。
- ・受信ノードは、ハードウェアかソフトウェアの同期によるバス上のレベル変化で同期をとります。

(a) ハードウェア同期

受信ノードが、バス・アイドル状態でスタート・オブ・フレームを検出した場合に行うビット同期です。

- ・バスの立ち下がりエッジを検出すると、そのビットがシンク・セグメントで、次がプロップ・セグメントとなります。この場合、SJWには無関係に同期をとります。
- ・リセット後およびウエイク・アップ後では、ビット同期をとる必要があるため、最初のバス上のレベル変化のみハードウェア同期をとります（2回目以降はビット同期をとります）。

図15-16 データ・ビットの同期の調整



(b) ビット同期

受信中に、バス上のレベル変化を検出した場合、ビット同期をとります。

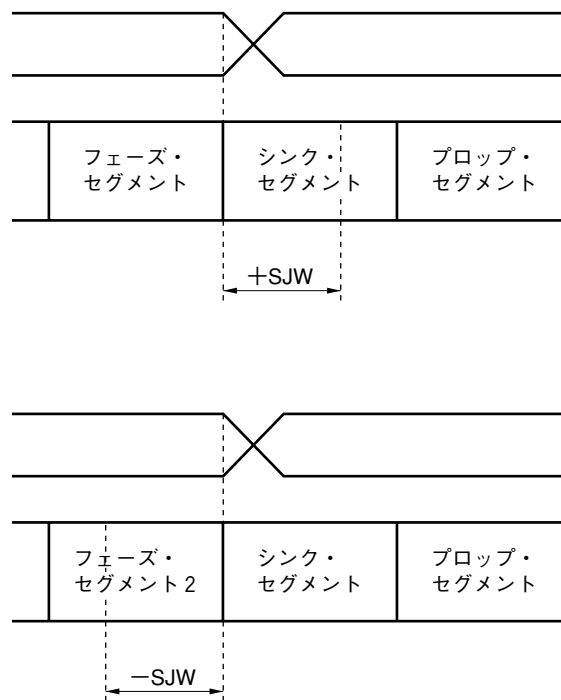
- 2種類の同期をとる方法があります。

通常動作：レベルの立ち下がりエッジ

低速動作：レベルの立ち下がりエッジおよび立ち上がりエッジ

- SJWで指定されるビット・タイミング間に、エッジを検出した場合のみ同期をとります。
- 送信ノードと受信ノードとのボー・レートの“ずれ”により、受信ノードでのデータのサンプル・ポイントが相対的に移動します。
- “ずれ”の許容範囲を“SJW”と定義します。シンク・セグメントを中心に前後（ボー・レートの十/一）にSJWの範囲を設け、SJWの範囲でエッジが発生した場合、同期合わせをとります。SJWの範囲以外でエッジが発生しても、同期をとりません。
- エッジで検出したビットが強制的にシンク・セグメント、次がプロップ・セグメントとなり、ビット・レートが再スタートします。

図15-17 ビット同期



15.2.8 状態遷移図

図15-18 送信状態遷移図

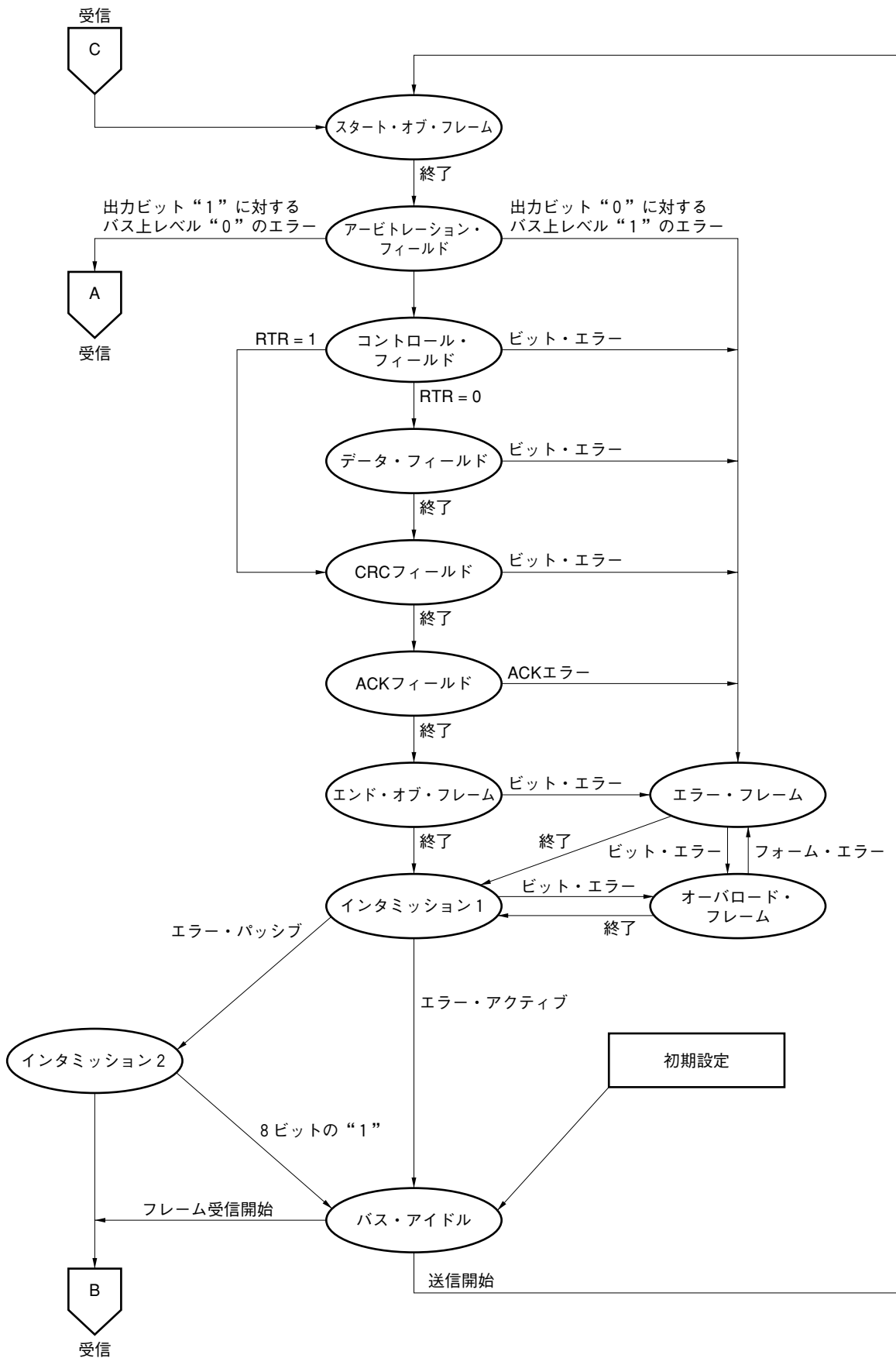


図15-19 受信状態遷移図

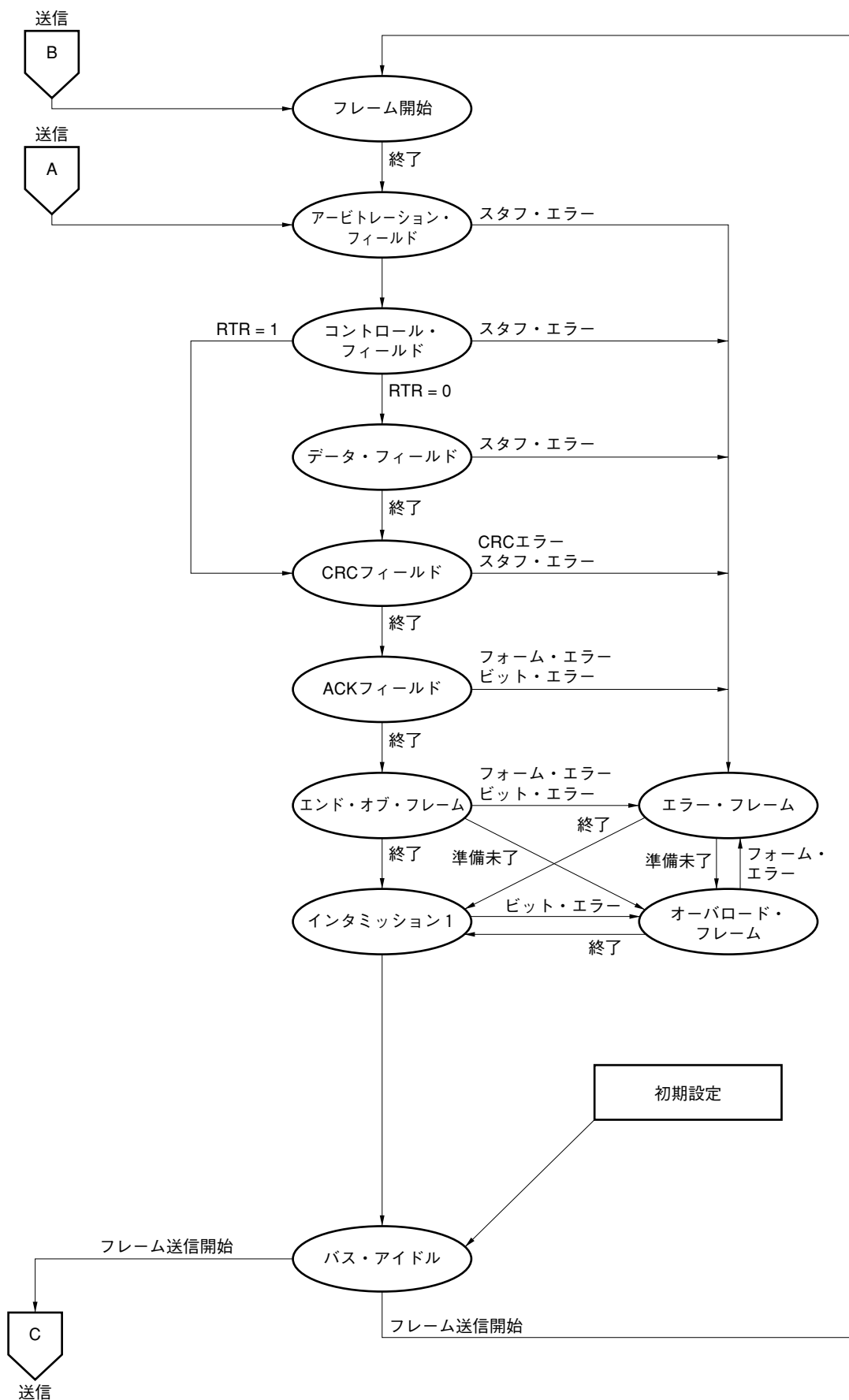
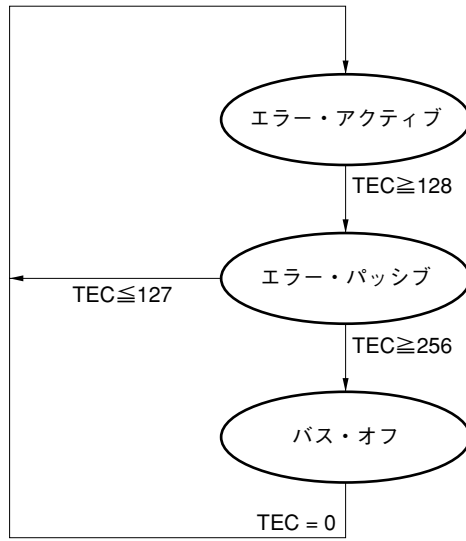


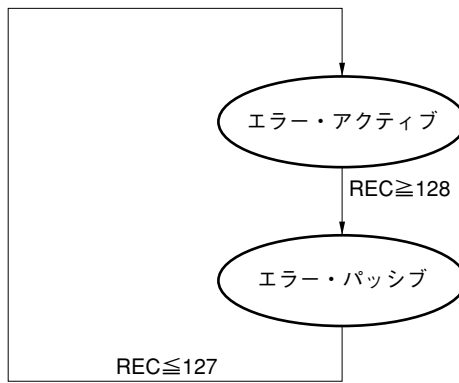
図15-20 エラー状態遷移図

(a) 送信



備考 TEC：送信エラー・カウンタ

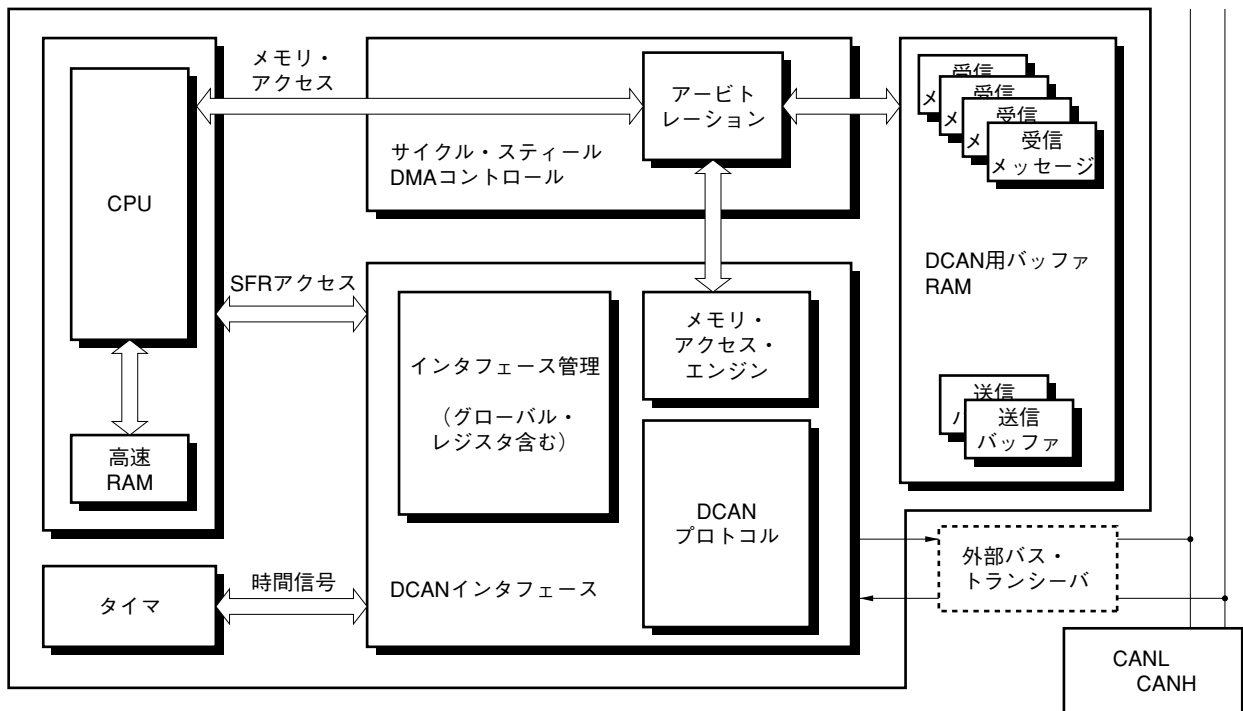
(b) 受信



備考 REC：受信エラー・カウンタ

15.3 概要

図15-21 ブロック図



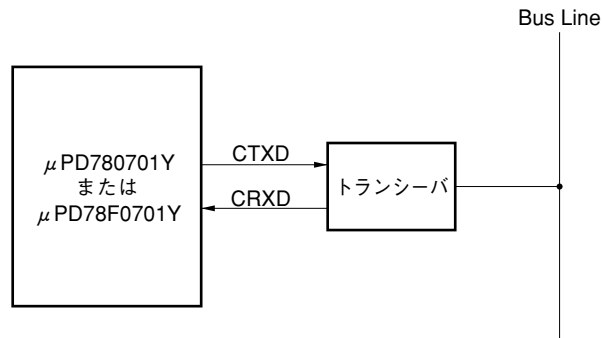
DCANインタフェース部はDCANプロトコル部のハードウェアによるプロトコル動作のすべてを処理します。メモリ・アクセス・エンジンは、特定のRAM領域からDCANプロトコル送信の情報を取り込みDCANプロトコル部へ移すか、あるいは取り込んだ情報を比較、ソートし、その情報を事前に定義しておいたRAM領域に記憶します。

DCANは、CPUに影響を及ぼさず、DCANとCPUによってアクセス可能なCPU領域に直接インタフェースします。DCAN部分は、送信データ・ラインと受信データ・ラインをDCANバスの電気的特性に変換する外部バス・トランシーバと共に動作します。

15.4 ターゲット・システムとの接続

μPD780701Y,78F0701Yでは、DCANバスと外部トランシーバとを接続しなければなりません。

図15-22 DCANバスへの接続



15.5 DCANコントローラの構成

DCANコントローラは次のようなハードウェアによって構成されています。

表15-17 DCANコントローラの構成

項目	構成
メッセージの指定	DCAN用バッファRAM (288バイト) 領域内
DCAN入出力	CTXD CRXD
制御レジスタ	CANコントロール・レジスタ (CANC) 送信コントロール・レジスタ (TCR) 受信メッセージ・レジスタ (RMES) 再指定コントロール・レジスタ (REDEF) CANエラー・ステータス・レジスタ (CANES) 送信エラー・カウンタ (TEC) 受信エラー・カウンタ (REC) メッセージ・カウント・レジスタ (MCNT) ビット・レート・プリスケラ (BRPRS) 同期コントロール・レジスタ 0 (SYNC0) 同期コントロール・レジスタ 1 (SYNC1) マスク・コントロール・レジスタ (MASKC)

15.6 DCANコントローラの特特殊機能レジスタ (SFR) 一覧

表15-18 DCANコントローラの特特殊機能レジスタ (SFR) 一覧

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FFC0H	CANコントロール・レジスタ	CANC	R/W	○	○	—	01H
FFC1H	送信コントロール・レジスタ	TCR		—	○	—	00H
FFC2H	受信メッセージ・レジスタ	RMES	R	—	○	—	
FFC3H	再指定コントロール・レジスタ	REDEF	R/W	○	○	—	
FFC4H	CANエラー・ステータス・レジスタ	CANES		—	○	—	
FFC5H	送信エラー・カウンタ	TEC	R	—	○	—	
FFC6H	受信エラー・カウンタ	REC		—	○	—	
FFC7H	メッセージ・カウント・レジスタ	MCNT		—	○	—	C0H
FFC8H	ビット・レート・プリスケアラ	BRPRS	R/W	—	○	—	00H
FFC9H	同期コントロール・レジスタ 0	SYNC0		—	○	—	18H
FFCAH	同期コントロール・レジスタ 1	SYNC1		—	○	—	0EH
FFCBH	マスク・コントロール・レジスタ	MASKC		—	○	—	00H

次に示すSFRのビットは1ビット・メモリ操作命令で設定します。ほかのSFRは8ビット・メモリ操作命令で設定します。

表15-19 SFRビット指定

ビット名称	説明	レジスタ、ビット
SOFE	SOFOUT動作設定フラグ	CANC.4
SLEEP	DCANスリープ・モード設定フラグ	CANC.2
INIT	初期化モード設定フラグ	CANC.0
DEF	再指定許可フラグ	REDEF.7

15.7 メッセージとバッファの構成

表15-20 メッセージとバッファの構成

アドレス	レジスタ名	R/W	リセット時
F900H	送信バッファ0	R/W	注
F910H	送信バッファ1	R/W	注
F920H	受信メッセージ0 / マスク0	R/W	注
F930H	受信メッセージ1	R/W	注
F940H	受信メッセージ2 / マスク1	R/W	注
F950H	受信メッセージ3	R/W	注
F960H	受信メッセージ4	R/W	注
F970H	受信メッセージ5	R/W	注
F980H	受信メッセージ6	R/W	注
F990H	受信メッセージ7	R/W	注
F9A0H	受信メッセージ8	R/W	注
F9B0H	受信メッセージ9	R/W	注
F9C0H	受信メッセージ10	R/W	注
F9D0H	受信メッセージ11	R/W	注
F9E0H	受信メッセージ12	R/W	注
F9F0H	受信メッセージ13	R/W	注
FA00H	受信メッセージ14	R/W	注
FA10H	受信メッセージ15	R/W	注

注 データが通常のRAM領域に入るため内容は不定。

15.8 送信バッファの構成

DCANには個別の送信バッファが2つあります。2つのバッファは、それぞれ16バイトで構成され、標準および拡張フレームに対応しています。送信バッファ内には、送信メッセージ・データ（8バイト）を設定できます。送信バッファの構成は受信メッセージ・バッファも同様です。DCANの未使用アドレスや未使用メッセージ・データ・アドレス、未使用送信バッファを通常のRAMとして使用できます。メッセージRAM領域には、コントロール・ビット、認識データ、メッセージ・データが記憶されます。

送信は、送信コントロール・レジスタ（TCR）によって制御します。TCRのビット0，1（TXRQ0, TXRQ1）に1をセットすると送信要求が設定されます。

送信が2つある場合には、TCRのビット7（TXP）により、送信を開始する前に優先順位を設定する必要があります。

15.9 送信メッセージ

表15-21 送信メッセージの構成

名称	アドレス ^注	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
TCON	n0H	IDE	RTR	0	0	DLC3	DLC2	DLC1	DLC0
	n1H	未使用							
IDTX0	n2H	ID標準部分							
IDTX1	n3H	ID標準部分			0	0	0	0	0
IDTX2	n4H	ID拡張部分							
IDTX3	n5H	ID拡張部分							
IDTX4	n6H	ID拡張部分		0	0	0	0	0	0
	n7H	未使用							
DATA0	n8H	メッセージ・データ・バイト0							
DATA1	n9H	メッセージ・データ・バイト1							
DATA2	nAH	メッセージ・データ・バイト2							
DATA3	nBH	メッセージ・データ・バイト3							
DATA4	nCH	メッセージ・データ・バイト4							
DATA5	nDH	メッセージ・データ・バイト5							
DATA6	nEH	メッセージ・データ・バイト6							
DATA7	nFH	メッセージ・データ・バイト7							

注 このアドレスは送信バッファの開始アドレスに対して相対的なオフセットで表しています。

15.9.1 送信メッセージ指定部

送信メッセージ指定部 (TCON) は、DCANプロトコルのコントロール・フィールドのメッセージ指定ビットに対応します。

TCONは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により不定となります。

図15-23 送信メッセージ指定部 (TCON) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCON	IDE	RTR	0	0	DLC3	DLC2	DLC1	DLC0	x x x 0 H	不定	R/W

IDE	アイデンティファイア拡張の設定
0	標準フレーム・メッセージ送信 (11ビット・アイデンティファイア)
1	拡張フレーム・メッセージ送信 (29ビット・アイデンティファイア)

RTR	リモート・フレーム送信の設定
0	データ・フレーム送信
1	リモート・フレーム送信

DLC3	DLC2	DLC1	DLC0	送信メッセージのデータ長コードの設定
0	0	0	0	0 データ・バイト
0	0	0	1	1 データ・バイト
0	0	1	0	2 データ・バイト
0	0	1	1	3 データ・バイト
0	1	0	0	4 データ・バイト
0	1	0	1	5 データ・バイト
0	1	1	0	6 データ・バイト
0	1	1	1	7 データ・バイト
1	0	0	0	8 データ・バイト
上記以外				注

注 データ長コードは送信するデータのバイト数を選択します。データ長コードへの有効エントリは0から8です。8を越える値が選択された場合、DLC3-DLC0で指定されたデータ長コードとともにデータ・フレームに送信されます。

備考 コントロール部は生成するフレームの形式とその長さを記述します。DCANプロトコルの予約ビットは、常にドミナント (0) の状態で転送されます。

15.9.2 送信アイデンティファイア部

送信アイデンティファイア部 (IDTX0-IDTX4) により, DCANプロトコルのアービトレーション・フィールドのメッセージ・アイデンティファイアの設定をします。IDTX0-IDTX4は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により不定となります。

図15-24 送信アイデンティファイア部 (IDTX0-IDTX4) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IDTX0	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	x x x 2 H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IDTX1	ID20	ID19	ID18	0	0	0	0	0	x x x 3 H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IDTX2	ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	x x x 4 H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IDTX3	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	x x x 5 H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IDTX4	ID1	ID0	0	0	0	0	0	0	x x x 6 H	不定	R/W

15.9.3 送信データ部

送信データ部 (DATA0-DATA7) により、DCANプロトコルのデータ・フィールドの送信メッセージ・データの設定をします。DATA0-DATA7は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により不定となります。

図15-25 送信データ部 (DATA0-DATA7) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DATA0									x x x 8 H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DATA1									x x x 9 H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DATA2									x x x A H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DATA3									x x x B H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DATA4									x x x C H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DATA5									x x x D H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DATA6									x x x E H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DATA7									x x x F H	不定	R/W

15.10 受信メッセージ・バッファの構成

DCANが内蔵する受信メッセージ・バッファは16個です。メッセージ・カウント・レジスタ (MCNT) で使用するバッファ数を指定します。使用しないバッファは通常のRAMとして使用できます。受信メッセージは直接DCAN用バッファRAM領域に記憶されます。

16個の受信メッセージ・バッファは、それぞれ16バイトで構成され、標準および拡張フレームに対応しています。バッファ内には、受信メッセージ・データを8バイト格納できます。受信メッセージ・バッファの構成は送信バッファの構成と同様です。

受信ステータス・レジスタ (DSTAT) のビット6, 7 (MUC, DN) により、受信の検出とデータの処理を確実に行います。最初の受信メッセージ・バッファが8つの場合、受信の完了を受信メッセージ・レジスタ (RMES) のDNnフラグによっても確認できます。

受信割り込み要求はそれぞれ使用するバッファごとに許可/禁止できます。

15.11 受信メッセージ

表15-22 受信メッセージの構成

名称	アドレス ^注	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IDCON	n0H	0	0	0	0	0	ENI	RTR	IDE
DSTAT	n1H	DN	MUC	R1	R0	DLC			
IDREC0	n2H	ID標準ポート							
IDREC1	n3H	ID標準ポート			0	0	0	0	0
IDREC2	n4H	ID拡張ポート							
IDREC3	n5H	ID拡張ポート							
IDREC4	n6H	ID拡張ポート	0	0	0	0	0	0	0
	n7H	未使用							
DATA0	n8H	メッセージ・データ・バイト0							
DATA1	n9H	メッセージ・データ・バイト1							
DATA2	nAH	メッセージ・データ・バイト2							
DATA3	nBH	メッセージ・データ・バイト3							
DATA4	nCH	メッセージ・データ・バイト4							
DATA5	nDH	メッセージ・データ・バイト5							
DATA6	nEH	メッセージ・データ・バイト6							
DATA7	nFH	メッセージ・データ・バイト7							

注 このアドレスは受信バッファの開始アドレスに対して相対的なオフセットで表しています。

15.11.1 受信コントロール指定部

受信コントロール指定部 (IDCON) により、DCANプロトコルのコントロール・フィールドの受信コントロール・ビットの設定をします。IDCONは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により不定となります。

図15-26 受信コントロール指定部 (IDCON) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IDCON	0	0	0	0	0	ENI	RTR	IDE	x x x 0 H	不定	R/W

ENI	受信割り込み許可設定
0	割り込みは発生しない
1	有効メッセージ受信後、受信割り込みを発生

RTR	リモート・フレーム受信設定
0	データ・フレーム受信
1	リモート・フレーム受信

IDE	アイデンティファイア拡張設定
0	標準フレーム・メッセージ受信 (11ビット・アイデンティファイア)
1	拡張フレーム・メッセージ受信 (29ビット・アイデンティファイア)

IDCONは、関連する受信メッセージ・バッファのメッセージ・タイプを指定します。

注意 IDCONに新しいデータが入ったとき、受信割り込みが必要かどうかを指定する必要があります。

15.11.2 受信ステータス部

受信ステータス部 (DSTAT) により、DCANプロトコルのアービトレーション・フィールドの受信ステータス・ビットを設定します。受信メッセージの状態がDSTATに反映されます。DSTATにより、新しいデータが受信メッセージ・バッファに記憶されているか、DCANがバッファにデータを転送中であるかがわかります。DSTATは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により不定となります。

図15-27 受信ステータス部 (DSTAT) のフォーマット (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DSTAT	DN	MUC	R1	R0	DLC3	DLC2	DLC1	DLC0	x x x 1 H	不定	R/W

DN	データ更新確認フラグ
0	データの変更なし (受信メッセージ・バッファから読み出し済み)
1	データ変更 (受信メッセージ・バッファから未読み出し)
DCANコントローラは、メッセージをバッファへ転送開始時にDNをセット (1) します。バッファからデータを読み出す際、DNビットをクリアする必要があります。	

MUC	メモリ更新
0	DCANはデータ部分にアクセスしていない
1	DCANはメッセージ・バッファに新しいデータを転送中
DCANコントローラは、メッセージをバッファへ転送開始時にMUCをセット (1) し、転送が完了するとMUCをクリアします。	

R1	予約ビット1
0	受信メッセージの予約ビット1が“0”
1	受信メッセージの予約ビット1が“1”

R0	予約ビット0
0	受信メッセージの予約ビット0が“0”
1	受信メッセージの予約ビット0が“1”

図15-27 受信ステータス部 (DSTAT) のフォーマット (2/2)

DLC3	DLC2	DLC1	DLC0	受信メッセージのデータ長コード
0	0	0	0	0 データ・バイト
0	0	0	1	1 データ・バイト
0	0	1	0	2 データ・バイト
0	0	1	1	3 データ・バイト
0	1	0	0	4 データ・バイト
0	1	0	1	5 データ・バイト
0	1	1	0	6 データ・バイト
0	1	1	1	7 データ・バイト
1	0	0	0	8 データ・バイト
上記以外				注

DSTATバッファ領域への最初のアクセスで、DN = 1，MUC = 1，予約ビット，DLCが書き込まれます。
DSTATバッファ領域への最後のアクセスで、DN = 1，MUC = 0，予約ビット，DLCが書き込まれます。

注 データ長コードの有効エントリは0から8です。8以上の値を受信した場合、DLC3-DLC0で指定されたデータ長コードをもったデータ・フレームを受信します。

15.11.3 受信アイデンティファイア指定部

受信アイデンティファイア指定部 (IDREC0-IDREC4) により、DCANプロトコルのコントロール・フィールドの受信アイデンティファイアの指定を設定できます。IDREC0-IDREC4は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により不定となります。

図15-28 受信アイデンティファイア指定部 (IDREC0-IDREC4) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IDREC0	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	x x x 2 H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IDREC1	ID20	ID19	ID18	0	0	0	0	0	x x x 3 H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IDREC2	ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	x x x 4 H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IDREC3	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	x x x 5 H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IDREC4	ID1	ID0	0	0	0	0	0	0	x x x 6 H	不定	R/W

受信メッセージ・バッファのアイデンティファイアは、DCANの初期化中に指定しなければなりません。

DCANはIDREC0-IDREC4をDCANバス上で受信したメッセージのアイデンティファイアと比較するために使用します。

受信メッセージ・バッファのアイデンティファイアは初期化フェーズ中に変更してください。初期化フェーズ中以外に変更すると受信バッファが再指定コントロール・レジスタ (REDEF) により再指定に設定されます。また、アイデンティファイア比較一致後、メッセージをバッファに格納中にアイデンティファイアを変更すると、正しいデータが格納されません。

備考 アイデンティファイアの未使用部分はDCANによって0が書き込まれます。

15.11.4 受信メッセージ・データ部

受信メッセージ・データ部 (DATA0-DATA7) により、DCANプロトコルの受信メッセージ・データを確認できます。DATA0-DATA7は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により不定となります。

図15-29 受信メッセージ・データ部 (DATA0-DATA7) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DATA0									x x x 8 H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DATA1									x x x 9 H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DATA2									x x x A H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DATA3									x x x B H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DATA4									x x x C H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DATA5									x x x D H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DATA6									x x x E H	不定	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DATA7									x x x F H	不定	R/W

DCANは受信データをメモリ領域に記憶します。DCANバスから受信されるメッセージの中からアイデンティファイアが一致するメッセージのデータ・バイトを、受信データ・バッファ・メモリ領域 (DATA0-DATA7) に記憶します。受信ステータス部 (DSTAT) のデータ長コード (DLC0-DLC3) の設定値が8未満の場合、DCANは8バイトまでの追加書き込みはしません。受信したフレームにより、コントロール・フィールドのDLC0-DLC3の設定値が8より大きい場合でも、最大で8バイト (DCANプロトコル規則に従う) までの記憶となります。

15.12 マスク機能

表15-23 マスク機能

名称	アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
MCON	n0H	0	0	0	0	0	0	RTR	0
	n1H	未使用							
MREC0	n2H	ID標準部							
MREC1	n3H	ID標準部			0	0	0	0	0
MREC2	n4H	ID拡張部							
MREC3	n5H	ID拡張部							
MREC4	n6H	ID拡張部		0	0	0	0	0	0
	n7H	未使用							
	n8H	未使用							
	n9H	未使用							
	nAH	未使用							
	nBH	未使用							
	nCH	未使用							
	nDH	未使用							
	nEH	未使用							
	nFH	未使用							

メッセージ・バッファ0とメッセージ・バッファ2は、マスク・コントロール・レジスタ (MASKC) の設定により、受信メッセージ・アイデンティファイアのマスクとして働きます。

マスクとして働いているときは、通常メッセージ・バッファとしては働きません。

メッセージ・バッファ0はメッセージ・バッファ1のアイデンティファイアをマスクします。メッセージ・バッファ2はメッセージ・バッファ3のアイデンティファイアをマスクします。

マスク・コントロール・レジスタ (MASKC) にてグローバル・マスク機能選択時は、マスクとして働くメッセージ・バッファより高位のアドレスに配置されるすべてのメッセージ・バッファのアイデンティファイアに対してマスクとして働きます。

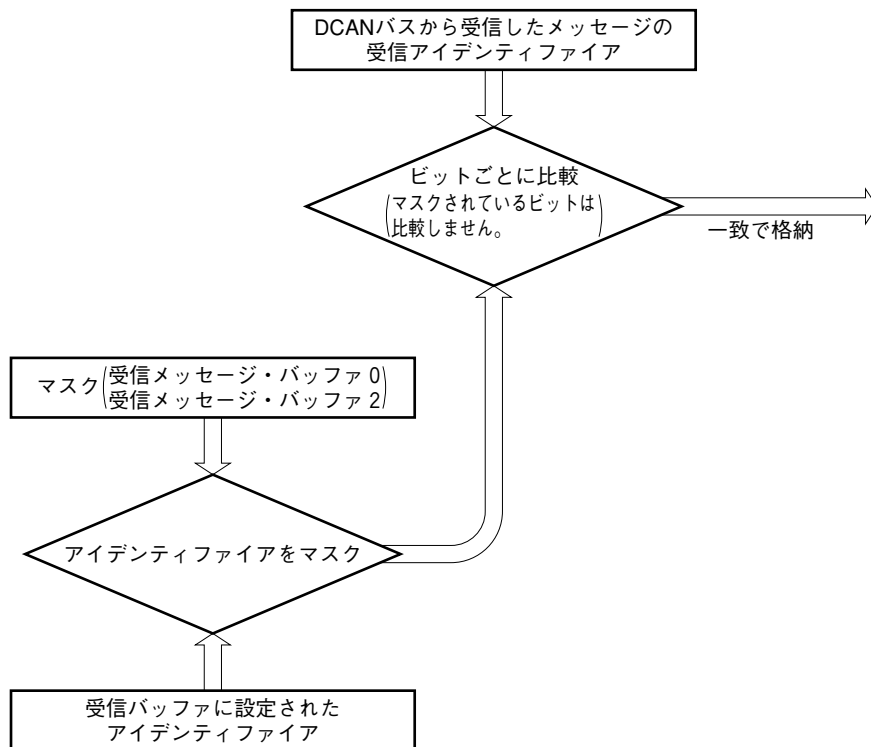
グローバル・マスク機能選択時は、マスクは標準フレームと拡張フレームの両方に適用されます。

15.12.1 アイデンティファイアのマスク

DCANはDCANバスより受信したメッセージのアイデンティファイアと受信メッセージ・バッファのアイデンティファイアとを比較し、一致したとき、メッセージ・バッファへ格納します。

マスク機能が働いているとき、マスクにて‘1’が設定されているビットは無視して比較を行います。

図15-30 アイデンティファイアのマスク



この機能を基本DCAN動作といいます。

この場合のアイデンティファイアの形式は、受信バッファのIDEビットの設定によって標準か拡張に設定されます。RTRビットの比較もマスク設定可能です。その場合、同じマスク受信バッファ上でデータ・フレームとリモート・フレームを受信できます。

次の情報がRAM上に格納されます。

- ・ アイデンティファイア (IDEビットで指定された11/29ビット)
- ・ リモート・ビット (RTR)
- ・ 受信ビット
- ・ データ長コード (DLC)
- ・ DLCに指定されたデータ・バイト

注意 DCANへの書き込みはすべてバイト・アクセスです。同じバイトの未使用のビットには0が書き込まれます。

15.12.2 マスク・アイデンティファイア・コントロール・ビットの設定

マスク・アイデンティファイア・コントロール・ビット (MCON) により、DCANプロトコルのマスク・アイデンティファイア・コントロール・ビットを設定できます。MCONは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により不定となります。

図15-31 マスク・アイデンティファイアのコントロール・ビット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MCON	0	0	0	0	0	0	RTR	0	x x x 0 H	不定	R/W

RTR	リモート送信選択
0	受信メッセージのRTRビットをチェックする
1	受信メッセージのRTRビットをチェックしない

15.12.3 マスク・アイデンティファイアの設定

マスク・アイデンティファイア (MREC0-MREC4) により、DCANのマスク・アイデンティファイアの指定を設定できます。

MREC0-MREC4は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により不定となります。

図15-32 マスク・アイデンティファイア

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MREC0	MID28	MID27	MID26	MID25	MID24	MID23	MID22	MID21	x x x 2 H	不定	R/W
MREC1	MID20	MID19	MID18	0	0	0	0	0	x x x 3 H	不定	R/W
MREC2	MID17	MID16	MID15	MID14	MID13	MID12	MID11	MID10	x x x 4 H	不定	R/W
MREC3	MID9	MID8	MID7	MID6	MID5	MID4	MID3	MID2	x x x 5 H	不定	R/W
MREC4	MID1	MID0	0	0	0	0	0	0	x x x 6 H	不定	R/W

MIDn	マスク・アイデンティファイア・ビット (n = 0...28)
0	受信メッセージのIDnビットをチェックする
1	受信メッセージのIDnビットをチェックしない (マスクする)

15.13 DCANコントローラを制御するレジスタ

15.13.1 CANコントロール・レジスタ (CANC)

CANコントロール・レジスタ (CANC) は、DCANコントローラの動作モードを設定します。

CANCは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により01Hとなります。

図15-33 CANコントロール・レジスタ (CANC) のフォーマット (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CANC	RxF	TxF	0	SOFE	SOFSEL	SLEEP	STOP	INIT	F F C 0 H	0 1 H	R/W

RxF	DCAN受信状態フラグ
0	受信動作停止状態
1	受信動作状態

TxF	DCAN送信状態フラグ
0	送信動作停止状態。送信完了時にTxF = 0 となる
1	送信動作状態

SOFE	SOFOUT動作設定フラグ
0	SOFOUTは変化なし
1	SOFOUTは選択モードによりトグル

SOFSEL	SOFOUT出力形式選択フラグ
0	SOFOUTはタイム・スタンプ機能として動作
1	SOFOUTはグローバル・タイム機能として動作。バス上のSOFを示す。

SLEEP	DCANスリープ・モード選択フラグ
0	標準動作
1	DCANスリープ/ストップ・モードに設定 (CANCのビット1 (STOP) によりスリープ・モードかストップ・モードに設定。どのDCANバス動作からもウエイク・アップできます)

STOP	スリープ/ストップ・モード選択フラグ
0	スリープ動作 スリープ・モードは、DCANバス上のトランジション検出で、ウエイク・アップします。
1	ストップ動作 スリープ・モードはCPUアクセスでのみ解除されます。DCANバスからはウエイク・アップしません。

図15-33 CANコントロール・レジスタ (CANC) のフォーマット (2/2)

INIT	初期化モード設定フラグ
0	標準動作
1	初期化モード

・DCANコントローラを初期化モードに設定するフラグです。
 ・DCANコントローラは初期化モード中、すべての送受信動作を停止します (INITをセット (1) したあと、CANエラー・ステータス・レジスタ (CANES) のビット3 (INITSTATE) により、初期化モードに移行していることを確認してから初期化設定をしてください)。
 ・初期化モード中、CTXD端子はレセシブが出力されます。
 ・各設定レジスタ (MCNT, SYNC0, SYNC1, MASKC) は初期化モード時のみ、書き込み可能です。

注意 ビット6, 7 (TxF, RxF) は, Read Onlyです。

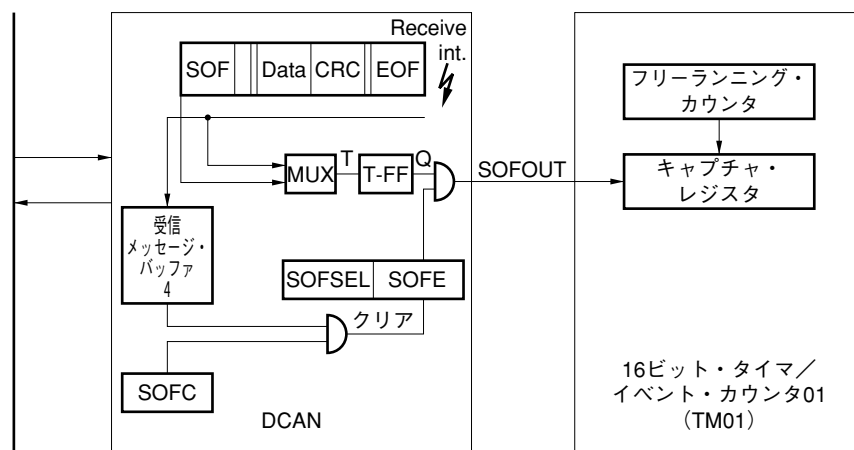
DCANへのクロック供給は, DCANのスリープ状態とストップ状態では停止します。

次の条件でスリープ状態は解除されます。

- (a) SLEEPビットをクリアする。
- (b) DCANバス上でのトランジションした場合。STOP = 0 の場合のみ。
- (c) DCANコントローラが送受信動作中にスリープ・フラグを設定した場合。

CANエラー・ステータス・レジスタ (CANES) のビット1 (WAKE) は, (b), (c) の場合にセット (1) されます (WAKEビットがセット (1) されるとエラー割り込み要求 (INTCE) が発生します)。

図15-34 DCANサポート



SOFOUT信号は, 異なるDCANノードにおける時間測定とグローバル・タイム・ベース同期のため使用されます。

表15-24 SOFOUT機能の設定

SOFSEL	SOFC	SOFE	SOFOUT機能	SOFOUT動作の説明
0	×	0	設定禁止	SOFOUTは変化しない
0	×	1	タイム・スタンプ・モード	受信割り込みごとにトグルする
1	×	0	グローバル・タイム・モード	SOFOUTは変化しない
1	0	1		DCANバスのフレーム開始ごとにトグルする
1	1	1		DCANバスのフレーム開始ごとにトグルする。 DCANが受信メッセージ・バッファ4へのメッセージの記憶を開始するとき、SOFEをクリア

備考1. SOFC：同期コントロール・レジスタ1（SYNC1）のビット6

2. $\overline{\text{RESET}}$ ならびにINTビットの設定により、SOFOUTは0にクリアされます。

図15-35 タイム・スタンプ機能

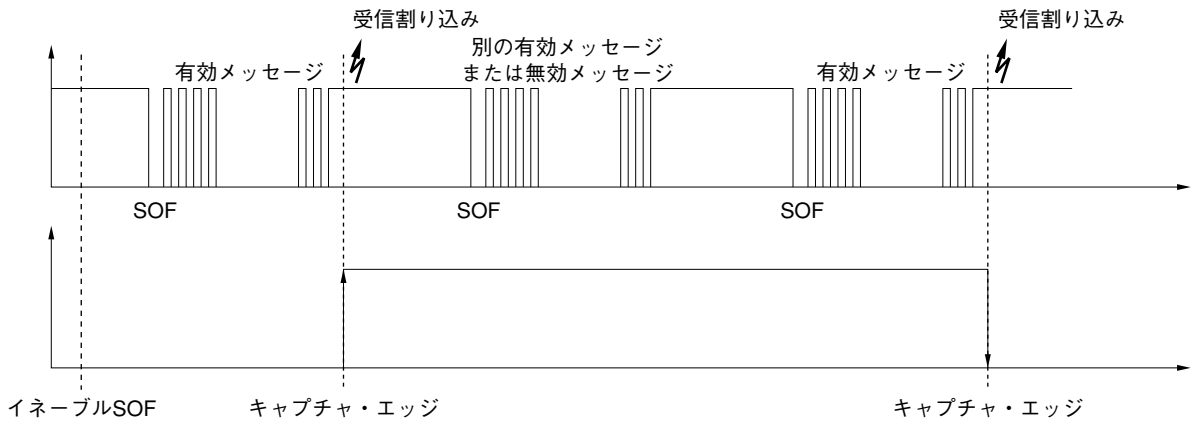


図15-36 SOFOUTトグル機能

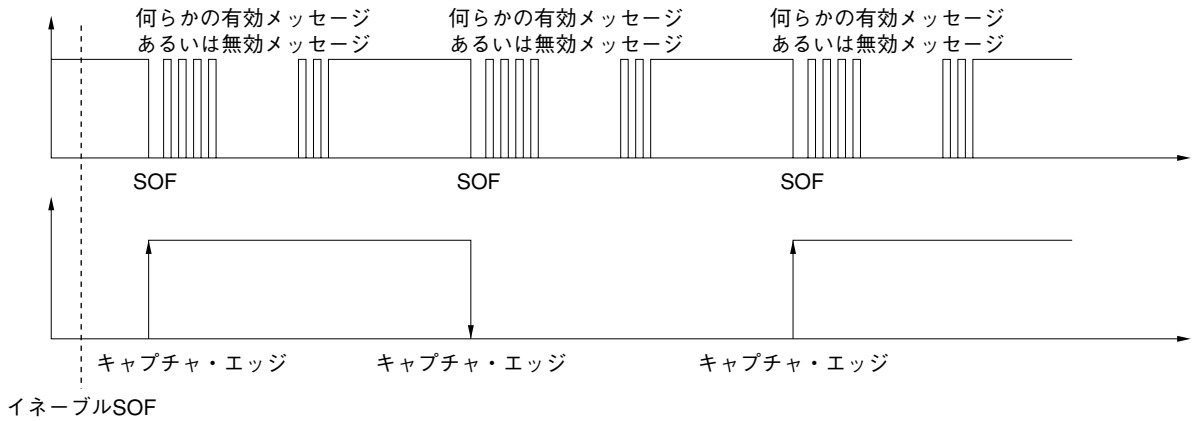
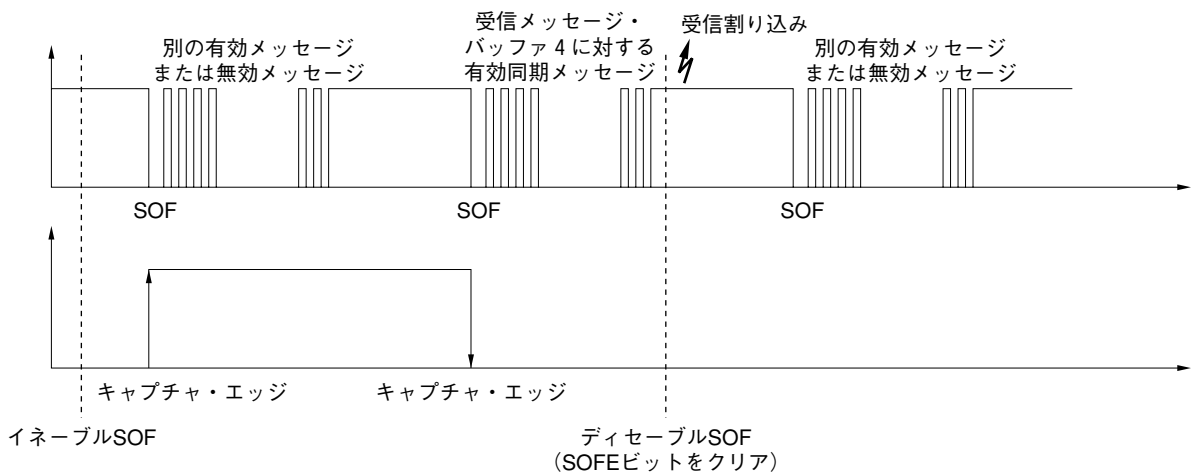


図15-37 グローバル・タイム機能



15.13.2 CANエラー・ステータス・レジスタ (CANES)

CANエラー・ステータス・レジスタ (CANES) は、送信と受信のCANエラー・ステータスを示します。CANES は8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hとなります。

図15-38 CANエラー・ステータス・レジスタ (CANES) のフォーマット (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CANES	BOFF	RECS	TECS	0	INITSTATE	VALID	WAKE	OVER	F F C 4 H	0 0 H	R/W

BOFF	バス・オフ・フラグ
0	送信エラー・カウンタ (TEC) ≤ 255
1	TEC > 255

RECS	受信エラー・パッシブ警告フラグ
0	受信エラー・カウンタ (REC) < 96
1	REC ≥ 96 (エラー・パッシブ警告)

TECS	送信エラー・パッシブ警告フラグ
0	送信エラー・カウンタ (TEC) < 96
1	TEC ≥ 96 (エラー・パッシブ警告)

INITSTATE	初期化モード状態確認フラグ
0	DCANは正常動作
1	DCANは停止。新規のコンフィグレーション・データ (初期化データ) 設定待ち状態。
INIT (CANコントロール・レジスタ (CANC) のビット0) に対する遅れが生じると変化します。INIT設定後、INITSTATEが1になるまでの遅れは、動作中のバスの状態と内部の動作が停止状態に設定される時間に依存します。	

VALID	有効プロトコル検出確認フラグ
0	DCANプロトコルで有効メッセージの検出なし
1	DCANバスからエラーのないメッセージ受信
VALIDは接続したDCANバス上に有効なプロトコルが動作しているかどうかを示します。DCANバス上のフレームがDCANコントローラに正しく受信されると、VALIDはフレームの終了部でセット (1) されます (フレームはDCANコントローラの受信メッセージ・バッファに設定したアイデンティファイアやマスク設定に依存しません)。	

図15-38 CANエラー・ステータス・レジスタ (CANES) のフォーマット (2/2)

WAKE	ウエイク・アップ状態確認フラグ
0	正常動作
1	スリープ・モードは解除されている

次の条件でWAKEビットが設定され、エラー割り込みが発生します。

- ・DCANコントローラがスリープ状態のときに、DCANバスよりウエイク・アップがかかったとき
- ・受信や送信動作中、SLEEPビット (CANコントロール・レジスタ (CANC) のビット2) がセットされたとき

WAKEビットは、クリアしないかぎり、エラー割り込みが発生し続けます。

OVER	オーバラン・フラグ
0	正常動作
1	RAMへのアクセス中にオーバラン・エラー発生

受信データのソートや記憶、送信データの取り出しに必要なDCANのRAMアクセスできない場合、オーバラン・フラグが設定されます。同時にエラー割り込み要求が発生します。

次のような条件では、オーバランは起こりません。

- ・指定したメッセージが多すぎる
- ・DCANポー・レートと比較して、RAM領域へのDMAアクセスが遅すぎる

オーバランが発生した場合のDCANで発生する状況は場合によって異なります。ビット・レート・プリスケラ (BRPRS) のビット6, 7 (PRM0, PRM1) によって指定されるDCANクロックは、DCANポー・レートの最低16倍、選択したCPUクロック (DCCレジスタで指定) は、ポー・レートの最低8倍にしてください。

- 注意 1. ビット3, 5-7 (INITSTATE, TECS, RECS, BOFF) は、Read Onlyです。
2. VALID, WAKE, OVERビットは、1を書き込むか、初期化モード (CANコントロール・レジスタ (CANC) のビット0 (INIT) を1にセット) にすると解除されます。
 3. VALID, WAKE, OVERビットに0を書き込んでも無視されます。
 4. CANESレジスタはビット操作しないでください。

備考 VALID, WAKE, OVERビットは、書き込み動作に対し次のような動作をします。

- ・0を書き込んでも無視されます。
- ・1を書き込むとそのビットをクリアする。

この動作により、書き込み動作と内部動作タイミングの競合を防止できます。ビットのクリア要求により、ビットの内部設定条件が優先されるため、0の書き込みは無効になります。

表15-25 DCANで発生する状況

オーバーランの状況	検出時	DCANの動作
送信データを取得できない。	DCANコントローラが送信メッセージ中の次のバイト・データを送信バッファから読み出そうとしているとき。	バスへの同期後、DCANはコントロール・フレームを再送信します。
受信データを受信メッセージ・バッファに格納できない。	次のフレームの6ビットで受信メッセージ・バッファへのデータを格納しているとき。	受信RAMのデータが一致せず、受信フラグが設定されない状態になります。メッセージ中でDN, MUCビットが設定されます。
ID比較中のためデータを受信できない。	次のフレームの6ビットでIDの比較が進行中。	メッセージが受信されず、データが消失。

15.13.3 送信エラー・カウンタ (TEC)

送信エラー・カウンタ (TEC) により、データ送信の送信エラー・カウンタが構成されます。TECは8ビット・メモリ操作命令で読み出せます。

$\overline{\text{RESET}}$ 入力により00Hとなります。

図15-39 送信エラー・カウンタ (TEC) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TEC	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	F F C 5 H	0 0 H	R

TECは、DCANプロトコルで指定された送信エラーのエラー・カウンタ・ステータスを反映します。

15.13.4 受信エラー・カウンタ (REC)

受信エラー・カウンタ (REC) により、データ受信の受信エラー・カウンタが構成されます。RECは8ビット・メモリ操作命令で読み出せます。

$\overline{\text{RESET}}$ 入力により00Hとなります。

図15-40 受信エラー・カウンタ (REC) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
REC	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0	F F C 6 H	0 0 H	R

RECは、DCANプロトコルで指定された受信エラーのエラー・カウンタ・ステータスを反映します。

15.13.5 メッセージ・カウント・レジスタ (MCNT)

メッセージ・カウント・レジスタ (MCNT) によって、DCANコントローラで処理される受信メッセージ・バッファのRAM領域と受信メッセージ・バッファの数を設定します。MCNTは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力によりMCNTはC0Hとなります。

図15-41 メッセージ・カウント・レジスタ (MCNT) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MCNT	1	1	0	MCNT4	MCNT3	MCNT2	MCNT1	MCNT0	F F C 7 H	C 0 H	R/W

MCNTは常に読み込み可。書き込みはDCANが初期化モード時のみ許可されます。

MCNT4	MCNT3	MCNT2	MCNT1	MCNT0	受信メッセージ・カウント
0	0	0	0	0	受信メッセージ処理なし
0	0	0	0	1	1受信バッファ
0	0	0	1	0	2受信バッファ
0	0	0	1	1	3受信バッファ
0	0	1	0	0	4受信バッファ
0	0	1	0	1	5受信バッファ
0	0	1	1	0	6受信バッファ
0	0	1	1	1	7受信バッファ
0	1	0	0	0	8受信バッファ
0	1	0	0	1	9受信バッファ
0	1	0	1	0	10受信バッファ
0	1	0	1	1	11受信バッファ
0	1	1	0	0	12受信バッファ
0	1	1	0	1	13受信バッファ
0	1	1	1	0	14受信バッファ
0	1	1	1	1	15受信バッファ
1	0	0	0	0	16受信バッファ
上記以外					設定禁止、自動的に16に変更。

注意 ビット5には必ず0を、ビット6, 7には必ず1を設定してください。

15.13.6 ビット・レート・プリスケアラ (BRPRS)

ビット・レート・プリスケアラ (BRPRS) により、DCANの出力サイクルが設定されます。

BRPRSは8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hとなります。

図15-42 ビット・レート・プリスケアラ (BRPRS) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRPRS	PRM1	PRM0	BRPRS5	BRPRS4	BRPRS3	BRPRS2	BRPRS1	BRPRS0	F F C 8 H	0 0 H	R/W

PRM1	PRM0	DCANクロックの選択
0	0	fx
0	1	fx/2
1	0	fx/4
1	1	fx/8

BRPRS5	BRPRS4	BRPRS3	BRPRS2	BRPRS1	BRPRS0	出力サイクル
0	0	0	0	0	0	DCANクロック/2
0	0	0	0	0	1	DCANクロック/4
0	0	0	0	1	0	DCANクロック/6
0	0	0	0	1	1	DCANクロック/8
.	
.	
.	
1	1	1	0	1	0	DCANクロック/118
1	1	1	0	1	1	DCANクロック/120
1	1	1	1	0	0	DCANクロック/122
1	1	1	1	0	1	DCANクロック/124
1	1	1	1	1	0	DCANクロック/126
1	1	1	1	1	1	DCANクロック/128

備考1. PRMビットで選択したクロックはDCANの全動作に作用します。

2. BRPRSでDCAN動作のためのクロックを決めます。

$$\text{ボー・レート} = \frac{\text{DCANクロック (PRMn)}}{2 \times \text{BRPRS} + 2}$$

BRPRSでDCANのプロトコル部の基本クロックを選択します。ボー・レートは、SYNC1とSYNC0のレジスタに関連したこの設定で決まります。

BRPRSへの書き込みは、初期化モード (CANコントロール・レジスタ (CANC) のビット0 (INIT) を1にセット) に設定された場合のみ可能です。

15.13.7 同期コントロール・レジスタ n (SYNCn : n = 0, 1)

同期コントロール・レジスタ n (SYNCn : n = 0, 1) によってDCANのビット・タイミングを指定します。DCANバスの1データ・ビット長とビット・タイミングのサンプル位置が選択されます。

SYNC0とSYNC1は8ビット・メモリ操作命令で設定します。

SYNC0は $\overline{\text{RESET}}$ 入力により、18Hとなります。

SYNC1は $\overline{\text{RESET}}$ 入力により、0EHとなります。

図15-43 同期コントロール・レジスタ n (SYNCn : n = 0, 1) のフォーマット (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SYNC0	SPT2	SPT1	SPT0	DBT4	DBT3	DBT2	DBT1	DBT0	FFC9H	18H	R/W

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SYNC1	0	SOFC	SAMP	RXONLY	SJW1	SJW0	SPT4	SPT3	FFCAH	0EH	R/W

DBT4	DBT3	DBT2	DBT1	DBT0	データ・ビット時間
0	0	1	1	1	(BRPRSの出力サイクル) ×8
0	1	0	0	0	(BRPRSの出力サイクル) ×9
0	1	0	0	1	(BRPRSの出力サイクル) ×10
0	1	0	1	0	(BRPRSの出力サイクル) ×11
0	1	0	1	1	(BRPRSの出力サイクル) ×12
0	1	1	0	0	(BRPRSの出力サイクル) ×13
0	1	1	0	1	(BRPRSの出力サイクル) ×14
0	1	1	1	0	(BRPRSの出力サイクル) ×15
0	1	1	1	1	(BRPRSの出力サイクル) ×16
1	0	0	0	0	(BRPRSの出力サイクル) ×17
1	0	0	0	1	(BRPRSの出力サイクル) ×18
1	0	0	1	0	(BRPRSの出力サイクル) ×19
1	0	0	1	1	(BRPRSの出力サイクル) ×20
1	0	1	0	0	(BRPRSの出力サイクル) ×21
1	0	1	0	1	(BRPRSの出力サイクル) ×22
1	0	1	1	0	(BRPRSの出力サイクル) ×23
1	0	1	1	1	(BRPRSの出力サイクル) ×24
1	1	0	0	0	(BRPRSの出力サイクル) ×25
上記以外					設定禁止

備考 DCANバスでの1データ・ビットの長さが設定されます。

図15-43 同期コントロール・レジスタ n (SYNCn : n = 0, 1) のフォーマット (2/2)

SPT4	SPT3	SPT2	SPT1	SPT0	サンプル点の位置
0	0	0	0	1	(BRPRSの出力サイクル) ×2
0	0	0	1	0	(BRPRSの出力サイクル) ×3
0	0	0	1	1	(BRPRSの出力サイクル) ×4
0	0	1	0	0	(BRPRSの出力サイクル) ×5
0	0	1	0	1	(BRPRSの出力サイクル) ×6
0	0	1	1	0	(BRPRSの出力サイクル) ×7
0	0	1	1	1	(BRPRSの出力サイクル) ×8
0	1	0	0	0	(BRPRSの出力サイクル) ×9
0	1	0	0	1	(BRPRSの出力サイクル) ×10
0	1	0	1	0	(BRPRSの出力サイクル) ×11
0	1	0	1	1	(BRPRSの出力サイクル) ×12
0	1	1	0	0	(BRPRSの出力サイクル) ×13
0	1	1	0	1	(BRPRSの出力サイクル) ×14
0	1	1	1	0	(BRPRSの出力サイクル) ×15
0	1	1	1	1	(BRPRSの出力サイクル) ×16
1	0	0	0	0	(BRPRSの出力サイクル) ×17
上記以外					設定禁止

備考 ビット・タイミング中のサンプル点が選択されます。

同期コントロール・レジスタ 1 (SYNC1) は、ビット・タイミングのサンプル位置を設定するほかに、同期ジャンプ幅を設定します。異なるポー・レートのノードにて可能な同期範囲を決めます。

SYNC1は8ビット・メモリ操作命令で設定します。

RESET入力により、0EHとなります。

図15-44 同期コントロール・レジスタ 1 (SYNC1) のフォーマット (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SYNC1	0	SOFC	SAMP	RXONLY	SJW1	SJW0	SPT4	SPT3	F F C A H	0 E H	R/W

SJW1	SJW0	同期ジャンプ幅
0	0	(BRPRSの出力サイクル) ×1
0	1	(BRPRSの出力サイクル) ×2
1	0	(BRPRSの出力サイクル) ×3
1	1	(BRPRSの出力サイクル) ×4

RXONLY	受信のみの動作を設定
0	標準動作
1	受信のみの動作、DCANは送信動作をしません

図15-44 同期コントロール・レジスタ1 (SYNC1) のフォーマット (2/2)

SAMP	ビット・サンプリング
0	サンプリング・ポイントに対しサンプル受信データを1回とる
1	サンプリング・ポイントに対しサンプル受信データ3回の中から1つをとる

SOFC	フレーム・コントロール開始
0	SOFEビットはDCANバス動作に依存しない
1	受信メッセージ・バッファ4のためのメッセージが受信され、SOFモードが選択されるとSOFEビットはクリア

注意 SYNC0, SYNC1はいつでも読み込むことができます。SYNC0, SYNC1への書き込みは、初期化モード (CANコントロール・レジスタ (CANC) のビット0 (INIT) に1をセット) にした場合に可能です。

備考 SOFE : CANコントロール・レジスタ (CANC) のビット4 (SOFOUT動作設定フラグ)

(1) SJW0, SJW1ビット (SYNC1のビット2, 3)

SJW0, SJW1は、Bosch CAN仕様2.0で規定している同期ジャンプ幅を指定します。異なるポー・レートのノードにて可能な同期範囲を決めます。

DCANプロトコルの限界値を次に示します。この限界を越えるとDCANプロトコル違反となります。

ビット・タイミング指定上の限界

$$2 \leq \text{SPT (サンプリング・ポイント)} \leq 16$$

$$7 \leq \text{DBT (データ・ビット時間)} \leq 24$$

$$2 \leq (\text{DBT} - \text{SPT}) \leq 8$$

$$\text{SJW (ポー・レートずれ許容範囲)} \leq (\text{DBT} - \text{SPT} - 1)$$

DCANプロトコル仕様に従うため次の規定に従ってください。

$$1 \leq (2 \times \text{SPT} - \text{DBT}) \leq 8$$

〈設定例〉	システム・クロック	: fx	6.29 MHz
	CANパラメータ	: ポー・レート	390 kbps
	サンプル点	: 75 %	
	SJW	: 2BTL	

BRPRS = 00H	(クロック選択 = fx	: PRM = 00B)
	(DCANプリスケアラ = 1/2	: BRPRS = 000000B)
SYNC0 = A7H	(BTL中のCANビット = 8	
	[7 < (fx/DBT/ポー・レート) < 26]	: DBT = 00111B)
SYNC1 = X4H	(サンプル点75% = 6	: SPT = 00101B)
	(SJW = 2	: SJW = 01B)

×は次の条件で変わります。

- ・サンプリング・ポイント数
- ・受信のみの機能
- ・タイム・スタンプ, またはグローバル・タイム・システム

(2) RXONLYビット (SYNC1のビット4)

RXONLYにより, 受信のみの動作モードを設定します。受信のみの動作モードはポー・レート検出に使用します。バス上のほかのDCANノードを妨害することなく, 異なったポー・レート設定が可能です。

受信のみの動作モードについては次の特徴があります。

- ・アックノリッジ, エラー・フレーム, 送信メッセージを送信しない。
- ・エラー・カウンタがカウントしない

CANエラー・ステータス・レジスタ (CANES) のビット2 (VALID) はプロトコルが有効メッセージを受信したかどうかを示します。

(3) SOFCビット (SYNC1のビット6)

SOFCは, フレーム・コントロール開始ビットです。CANコントロール・レジスタ (CANC) のビット3, 4 (SOFSEL, SOFE) と組み合わせて動作します。詳細は, 15.13.1 CANコントロール・レジスタ (CANC) を参照してください。

15.13.8 送信コントロール・レジスタ (TCR)

送信コントロール・レジスタ (TCR) により、DCANコントローラの送信制御をします。2つの送信バッファについて、それぞれ個別に送信の要求と中断を行うことができます。

TCRは8ビット・メモリ操作命令で設定します。

RESET入力により、00Hとなります。

図15-45 送信コントロール・レジスタ (TCR) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCR	TXP	0	TXC1	TXC0	TXA1	TXA0	TXRQ1	TXRQ0	FFC1H	00H	R/W

TXP	優先送信バッファ設定
0	送信バッファ0は送信バッファ1に対し優先
1	送信バッファ1は送信バッファ0に対し優先
2つの送信要求フラグ (TXRQ0, TXRQ1) が設定された場合、どちらの送信バッファを先に送信するか指定します。送信要求が1つだけの場合はTXPは関与しません。 フレームがスタートする直前にTXPはDCANによってチェックされます。最初の要求フレームがバス上で開始される前に設定するTXRQ0, TXRQ1の順序は、送信優先度に影響しません。	

TXCn	送信完了フラグ
0	送信中断/データ送信なし
1	送信終了/中断は影響せず

TXAn	送信中断フラグ
0	書き込み：標準動作 読み込み：中断の保留なし
1	書き込み：送信バッファnに対する現在の送信要求を中断 読み込み：中断の保留

TXRQn	送信要求フラグ
0	書き込み：送信バッファnに対して送信要求なし 読み込み：送信バッファnは解放されている
1	書き込み：送信バッファnに対する送信要求あり 読み込み：送信バッファnには前の送信要求がある

- 注意 1. ビット 4, 5 (TXC0, TXC1) は、Read Onlyです。
- 初期化モード (CANコントロール・レジスタ (CANC) のビット 0 (INIT) を 1 にセット) にするとTXCn, TXAn, TXRQnビットはクリアされます。
 - TXAn, TXRQnビットに 0 を書き込んでもクリアされません。
 - TCRレジスタはビット操作しないでください。
 - TXRQnをセットした場合、送信バッファnのデータを変えないでください。

備考 n=0, 1

(1) TXA0, TXA1ビット (TCRのビット 2, 3)

TXAnは送信中断フラグです。TXAnには次に示す機能があります。

- TXAnビットに“1”を書き込むことにより送信中断を要求します。
- DCANコントローラは要求信号が保留状態であるかをチェックします。TXAnビットは、TXRQnがクリアされた時点でクリアされます。

送信中断はDCANプロトコルの規約とは関係ありません。すでに送信開始されたフレームは、最後まで継続します。

送信中断要求時の動作は、設定時にDCANコントローラの動作状態により異なります。

- (a) 送信のためのDCANバス調停開始時に送信中断を設定した場合
送信完了フラグ (TXCn) はクリアされます。
- (b) 送信のためのDCANバス調停中に送信中断を設定し、調停を取りやめた場合
送信完了フラグ (TXCn) はクリアされます。
- (c) DCANバス上へフレーム送信中に送信中断を設定し、送信はエラーで終了した場合
送信完了フラグ (TXCn) はクリアされます。
- (d) DCANバス上へフレーム送信中に送信中断を設定したが、送信エラーなしで終了した場合
送信完了フラグ (TXCn) はセットされます。

いずれの場合においても、TXRQnビットとTXAnビットは送信中断動作の最後でクリアされます。送信完了フラグ (TXCn) は各フレーム送信や送信中断の終わりで更新されます。

(2) TXRQ0, TXRQ1ビット (TCRのビット 0, 1)

TXRQnは送信要求フラグです。TXRQnには次に示す機能があります。

- 送信バッファの送信要求
- バッファが利用可能な状態かどうかを示す

備考 1. TXRQnは送信完了後クリアされます。

2. 送信中のエラーは、送信要求ステータスには影響しません。

3. エラー発生時、DCANコントローラは自動的に再送信をします。

15.13.9 受信メッセージ・レジスタ (RMES)

受信メッセージ・レジスタ (RMES) は、受信メッセージ・バッファ0-7にあるDNビットをまとめたものです。

RMESは8ビット・メモリ操作命令で読み込みます。

$\overline{\text{RESET}}$ 入力により00Hとなります。

図15-46 受信メッセージ・レジスタ (RMES) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RMES	DN7	DN6	DN5	DN4	DN3	DN2	DN1	DN0	F F C 2 H	0 0 H	R

DNn	メッセージnの新しいデータ・ビット (n = 0...7)
0	メッセージnについてメッセージなし、CPUはメッセージnのDNビットをクリア
1	メッセージnに新しいデータを受信

RMESは読み込み専用です。初期化モード (CANコントロール・レジスタ (CANC) のビット0 (INIT) を1にセット) するとクリアされます。

マスク・コントロール・レジスタ (MASKC) で受信メッセージ・バッファ0がマスク・アイデンティファイアに設定された場合、DN0は意味をなしません。

MASKCで受信メッセージ・バッファ2がマスク・アイデンティファイアに設定された場合、DN2は意味をなしません。

15.13.10 マスク・コントロール・レジスタ (MASKC)

マスク・コントロール・レジスタ (MASKC) は、DCANコントローラが備える受信メッセージ・バッファのマスク機能動作を設定します。

アイデンティファイア中、マスク指定されたビットは、DCANバス上から受信したメッセージと比較する際、無視されます。

マスク・アイデンティファイアとして設定されたメッセージ・バッファは通常のメッセージ保存用バッファとしては使用できません。

MASKCは8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hに設定されます。

図15-47 マスク・コントロール・レジスタ (MASKC) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MASKC	0	0	0	0	0	GLOBAL	MSK1	MSK0	F F C B H	0 0 H	R/W

GLOBAL	グローバル・マスク設定フラグ
0	通常マスク動作
1	グローバル・マスク動作 (マスクとして動作するメッセージ・バッファより高位のアドレスに配置されるすべてのメッセージ・バッファのアイデンティファイアに対してマスクとして動作)

MSK1	マスク1 設定フラグ
0	受信メッセージ・バッファ2, 受信メッセージ・バッファ3は通常動作
1	受信メッセージ・バッファ2は, 受信メッセージ・バッファ3のマスクとして動作

MSK0	マスク0 設定フラグ
0	受信メッセージ・バッファ0, 受信メッセージ・バッファ1は通常動作
1	受信メッセージ・バッファ0は, 受信メッセージ・バッファ1のマスクとして動作

レジスタは常に読み込み可能。書き込みはDCANが初期化モード時のみ可能です。

グローバル・マスク動作時、マスクは標準フレームおよび拡張フレームの両方に適用されます。表15-26に、マスク・コントロール・レジスタ (MASKC) で設定可能なマスク動作状態について示します。

表15-26 マスク・オペレーション・バッファ

GLOBAL	MSK1	MSK0	受信メッセージ・バッファ					オペレーション
			0	1	2	3	4-15	
×	0	0	コンペアID	コンペアID	コンペアID	コンペアID	コンペアID	標準
0	0	1	マスク0	コンペアID &マスク0	コンペアID	コンペアID	コンペアID	受信メッセージ・バッファ0は受信メッセージ・バッファ1のマスク
0	1	0	コンペアID	コンペアID	マスク1	コンペアID &マスク1	コンペアID	受信メッセージ・バッファ2は受信メッセージ・バッファ3のマスク
0	1	1	マスク0	コンペアID &マスク0	マスク1	コンペアID &マスク1	コンペアID	受信メッセージ・バッファ0は受信メッセージ・バッファ1のマスク 受信メッセージ・バッファ2は受信メッセージ・バッファ3のマスク
1	0	1	マスク0	コンペアID &マスク0	コンペアID &マスク0	コンペアID &マスク0	コンペアID &マスク0	受信メッセージ・バッファ0は受信メッセージ・バッファ1-15のマスク
1	1	0	コンペアID	コンペアID	マスク1	コンペアID &マスク1	コンペアID &マスク1	受信メッセージ・バッファ2は受信メッセージ・バッファ3-15のマスク
1	1	1	マスク0	コンペアID &マスク0	マスク1	コンペアID &マスク1	コンペアID &マスク1	受信メッセージ・バッファ0は受信メッセージ・バッファ1のマスク 受信メッセージ・バッファ2は受信メッセージ・バッファ3-15のマスク

備考 コンペアID : DCANバス上からの受信したメッセージのIDと、自己の持つIDを比較します。

マスク0, 1 : マスク・アイデンティファイアとして動作します。

コンペアID&マスク0, 1 : DCANバス上から受信したメッセージのIDと自己の持つIDを比較するとき、マスクで指定されるビットを無視して比較します。

・コンペア中の受信メッセージ・バッファの優先順位

2つ以上の受信メッセージ・バッファをメッセージの受信のために利用できます。この場合、16個の受信メッセージ・バッファの優先順位は次のとおりです。

・より高位アドレスに配置される受信メッセージ・バッファが優先

・マスク受信メッセージ・バッファは、どの非マスク受信メッセージ・バッファに比べても低い優先順位

15.13.11 再指定コントロール・レジスタ (REDEF)

再指定コントロール・レジスタ (REDEF) によりDCANコントローラの受信メッセージのアイデンティファイアの再指定をします。REDEFは、受信メッセージ・バッファのアイデンティファイアをDCANコントローラ動作中に変更する際に設定します。ほかのバッファの動作に影響を与えず、ある1つの受信メッセージ・バッファのアイデンティファイアを変更できます。

REDEFは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hとなります。

図15-48 再指定コントロール・レジスタ (REDEF) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
REDEF	DEF	0	0	0	SEL3	SEL2	SEL1	SEL0	F F C 3 H	0 0 H	R/W

DEF	再指定許可フラグ
0	標準動作
1	選択したメッセージ・バッファの受信動作は無効。初期化フェーズ中以外で受信メッセージ・バッファのアイデンティファイアを変更した場合、自動的にセット（1）される

SEL3	SEL2	SEL1	SEL0	再指定する受信メッセージ・バッファの選択
0	0	0	0	受信メッセージ・バッファ0を再指定に選択
0	0	0	1	受信メッセージ・バッファ1を再指定に選択
0	0	1	0	受信メッセージ・バッファ2を再指定に選択
0	0	1	1	受信メッセージ・バッファ3を再指定に選択
0	1	0	0	受信メッセージ・バッファ4を再指定に選択
0	1	0	1	受信メッセージ・バッファ5を再指定に選択
0	1	1	0	受信メッセージ・バッファ6を再指定に選択
0	1	1	1	受信メッセージ・バッファ7を再指定に選択
1	0	0	0	受信メッセージ・バッファ8を再指定に選択
1	0	0	1	受信メッセージ・バッファ9を再指定に選択
1	0	1	0	受信メッセージ・バッファ10を再指定に選択
1	0	1	1	受信メッセージ・バッファ11を再指定に選択
1	1	0	0	受信メッセージ・バッファ12を再指定に選択
1	1	0	1	受信メッセージ・バッファ13を再指定に選択
1	1	1	0	受信メッセージ・バッファ14を再指定に選択
1	1	1	1	受信メッセージ・バッファ15を再指定に選択

注意1. DEFとSELを同時に変更しないでください。DEFをクリアしたあと、SELを変更してください。

次にSELとDEFに書き込みをするか、または1ビット操作命令で変更してください。

2. DEFをクリアしてもSELの値は残したままにしてください。

備考 DEFビットは、初期化モードにするとクリア（0）されます。

再指定に選択された受信メッセージ・バッファは、受信動作を停止します。

注意 受信アイデンティファイア変更の際は、再指定コントロール・レジスタ (REDEF) により、その受信メッセージ・バッファの受信動作を停止させたあと、そのバッファのデータ更新確認ビット (DN) を確認してください。DNビットがセットされているときは、その受信メッセージ・バッファのデータを読み出してください。その後、アイデンティファイアを変更し、REDEFにより受信動作を再開してください。

メッセージ記憶動作中の受信メッセージ・バッファに対して、REDEFで再指定を選択した場合、記憶途中のメッセージを最後まで記憶完了したあと、受信動作を停止します。

このとき、バッファから読み出しを行わずに、アイデンティファイアを変更、そのバッファの受信を再開した場合、変更したアイデンティファイアに対して、正しいデータが記憶されていないにもかかわらず、DNビットがセットされているので、正しいデータだと誤認されてしまいます。

15.14 割り込み機能

15.14.1 割り込みベクトル

DCANコントローラには次のような割り込み要因があります。

表15-27 割り込み要因

機能	要因	割り込み要求フラグ	割り込み要求信号
エラー	エラー・カウンタ オーバラン・エラー ウエイク・アップ	CEIF	INTCE
受信	受信フレーム有効	CRIF	INTCR
送信バッファ ⁿ	TXRQ _n クリア	CTIF	INTCT

備考 n = 0, 1

15.14.2 送信割り込み

DCANコントローラは、TXRQ0, TXRQ1（送信要求フラグ）がクリアされたとき、送信割り込み要求信号（INTCT）を発生します。

TXRQ0, TXRQ1がクリアされた場合、送信バッファに新しいデータを書き込むことが可能になります。TXRQ0, TXRQ1は正常送信または送信中断後にクリアされます。

15.14.3 受信割り込み

DCANコントローラは、次の場合に受信割り込み要求信号（INTCR）を発生します。

- ・DCANプロトコルに適合した受信メッセージをDCANコントローラが受信したとき
- ・受信メッセージのアイデンティファイアと適合する受信メッセージ・バッファに対し、メモリ・アクセス・エンジンがデータを保存したとき
- ・受信メッセージ・バッファの受信割り込み許可ビット（ENI）がセットされたとき

15.14.4 エラー割り込み

DCANコントローラは、CANエラー・ステータス・レジスタ（CANES）内の次に示すフラグがセット（1）されたとき、エラー割り込み要求信号（INTCE）を発生します。

- ・BOFF（バス・オフ・フラグ）
- ・TECS（送信エラー・パッシブ警告フラグ）
- ・RECS（受信エラー・パッシブ警告フラグ）
- ・OVER（オーバラン・フラグ）
- ・WAKE（ウエイク・アップ状態確認フラグ）

備考 ウエイク・アップ時、DCANコントローラが動作を再開するには、ある程度のクロック・サイクルが必要です。ウエイク・アップ後、DCANコントローラが動作を再開するまでの期間、エラー割り込み要求信号（INTCE）はアクティブ状態になります。

15.15 スタンバイ機能

15.15.1 HALTモード

HALTモードは、DCANスリープ・モードと合わせて使用できます。

15.15.2 STOPモード

クロックの供給が停止するとDCANコントローラは動作を停止します。クロックがバス動作と同期しない場合、DCANバスで動作不良を引き起こします。

クロックが再び供給されるとDCANはオーバラン状態になります。

STOPモードは、DCANスリープ・モードと合わせて使用できます。

15.15.3 DCANスリープ・モード

DCANは、Bosch社が定めるCAN仕様で規定するスリープ・モードに対応しています。

CANコントロール・レジスタ (CANC) のビット1 (STOP) を0に、CANCのビット2 (SLEEP) を1に設定して、DCANコントローラに対し、スリープ・モードの要求をします。

要求設定時、DCANコントローラが送受信動作中の場合、要求は解除され、WAKE (CANエラー・ステータス・レジスタ (CANES) のビット1) が1になります。

要求が解除された場合は、WAKEビットをクリア後、再度DCANスリープ・モードの要求設定をしてください。また、DCANスリープ・モード状態に移行後、CPU動作をHALTモードまたはSTOPモードにしてください。

DCANスリープ・モードは、DCANバス・ラインの状態変化またはSTOP, SLEEPビットのクリアにより解除されます。

★ 注意 DCANスリープ・モードを設定し、STOP命令を実行すると、DCANスリープ・モードが解除されず。

- (a) DCANエラー割り込み要求 (INTCE) をマスクしていない場合は、STOP命令実行直後、DCANスリープ・モードが解除され、発振安定時間経過後、STOPモードも解除されてしまいます。
- (b) DCANエラー割り込み要求 (INTCE) をマスクしている場合は、STOPモードに移行しますが、ほかの要因でSTOPモードが解除されても、DCANスリープ・モードはすでに解除されています。
- (c) DCANスリープ・モードまたはSTOPモードを使用する場合には、DCANエラー割り込み要求 (INTCE) をマスクしてください。

ただし、DCANスリープ・モードは、STOP命令を実行した直後に解除されていますので、CANエラー・ステータス・レジスタ (CANES) のWAKEビットもその際にセットされます。したがって、この状態でDCANバスがアクティブになったとしても、DCANエラー割り込み要求 (INTCE) は発生しません。

15.15.4 DCANストップ・モード

CANコントロール・レジスタ (CANC) のビット1, 2 (STOP, SLEEP) を1に設定して、DCANコントローラに対し、DCANストップ・モードの要求をします。

要求設定時、DCANコントローラが送受信動作中の場合、要求は解除され、WAKE (CANエラー・ステータス・レジスタ (CANES) のビット1) が1になります。

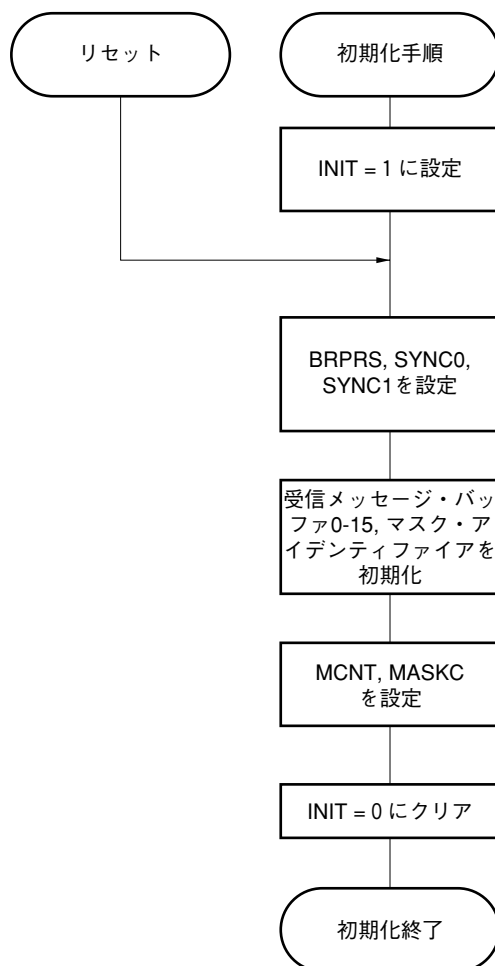
要求が解除された場合は、WAKEビットをクリア後、再度DCANストップ・モードを要求設定してください。また、DCANストップ・モード状態に移行後、CPU動作をHALTモードまたはSTOPモードにしてください。

DCANストップ・モードは、STOP, SLEEPビットのクリアにより解除されます。

15.16 フロー・チャートによる機能の説明

15.16.1 初期化手順

図15-49 初期化手順



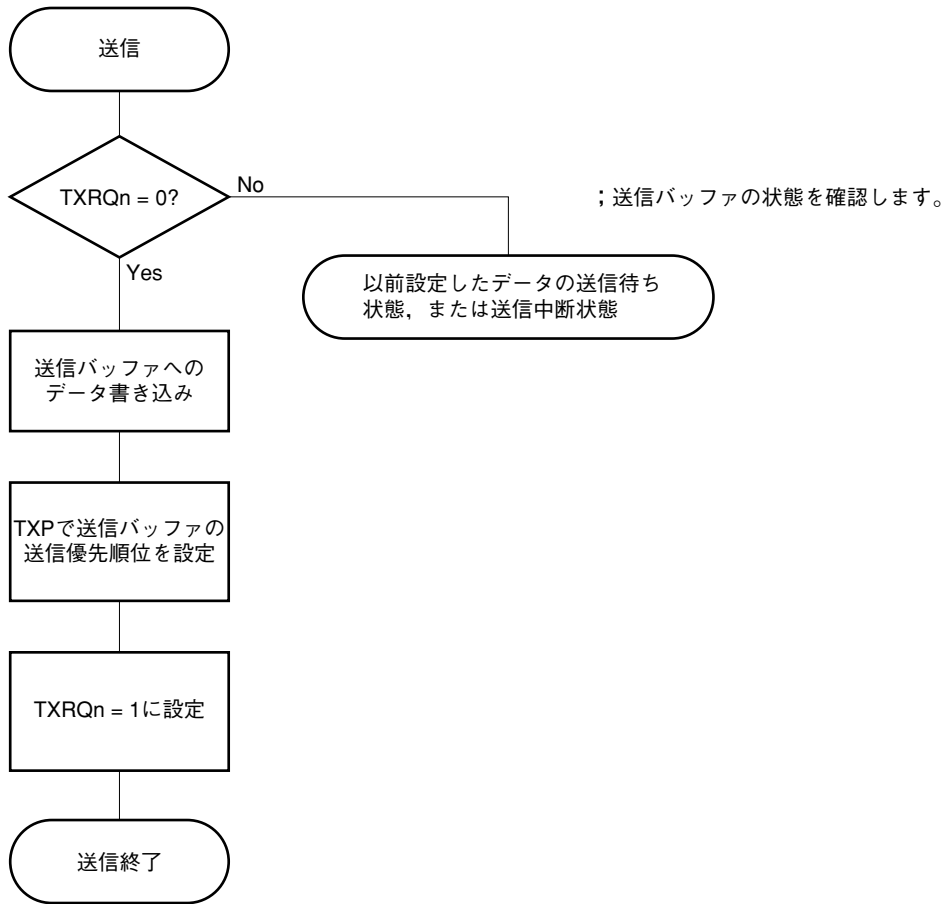
注意 BRPRS, SYNC0, SYNC1, MCNT, MASKCは、INIT = 1 に設定されているときのみ書き込みが可能です。

備考

- INIT : CANコントロール・レジスタ (CANC) のビット0
- BRPRS : ビット・レート・プリスケール
- SYNC0,
- SYNC1 : 同期コントロール・レジスタ
- MCNT : メッセージ・カウント・レジスタ
- MASKC : マスク・コントロール・レジスタ

15.16.2 送信手順

図15-50 送信手順

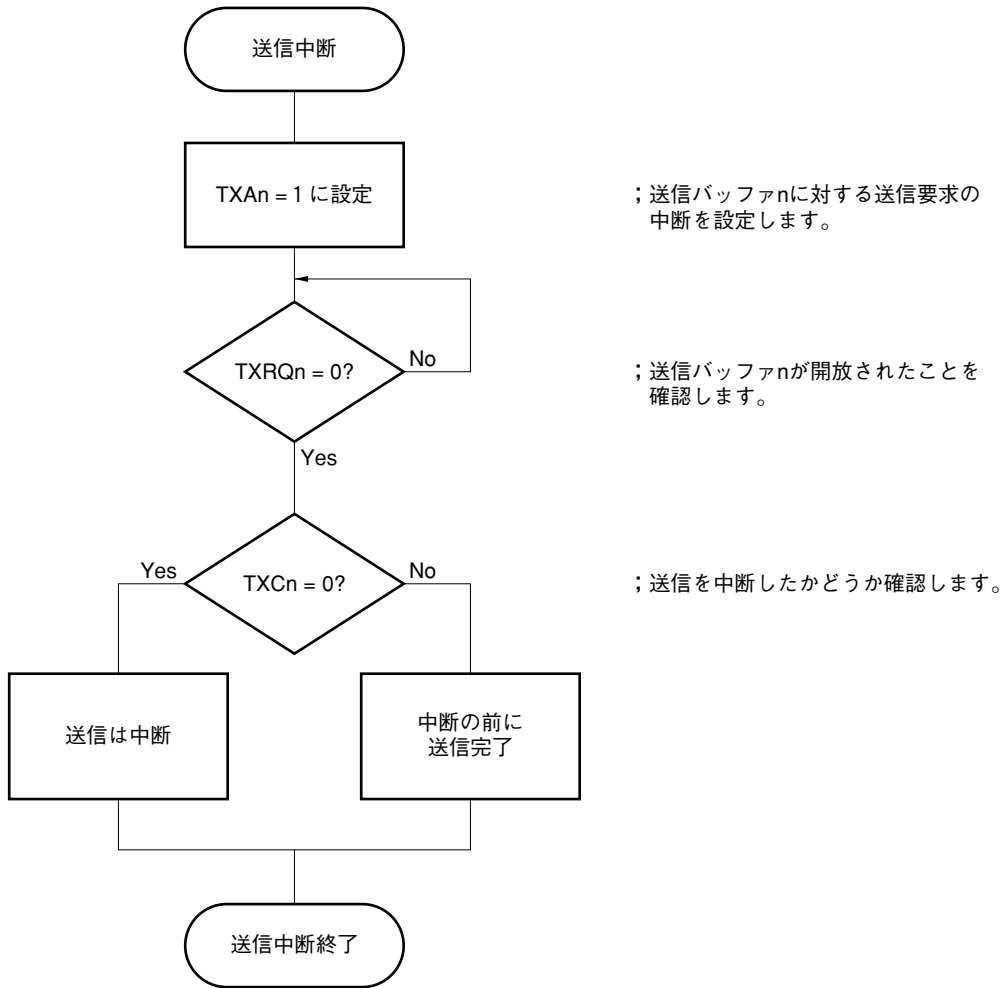


n = 0, 1

備考 TXRQn : 送信コントロール・レジスタ (TCR) のビット0, 1
 TXP : // のビット7

15.16.3 送信中断手順

図15-51 送信中断手順

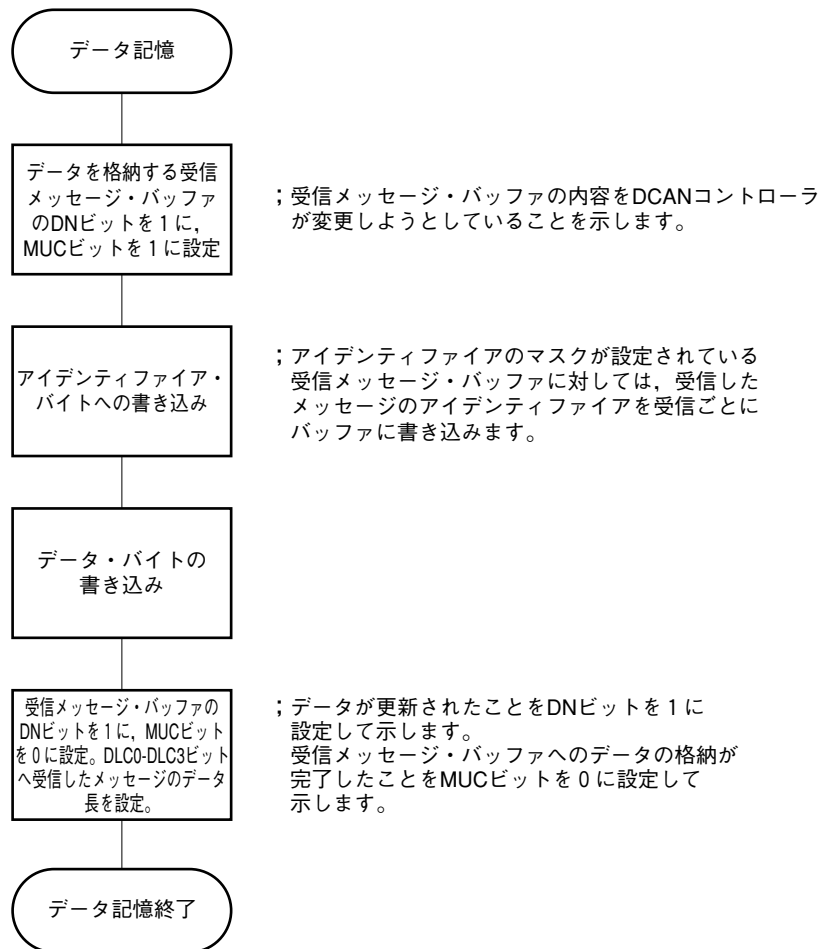


n = 0, 1

備考 TXAn : 送信コントロール・レジスタ (TCR) のビット2, 3
 TXRQn : // のビット0, 1
 TXCn : // のビット4, 5

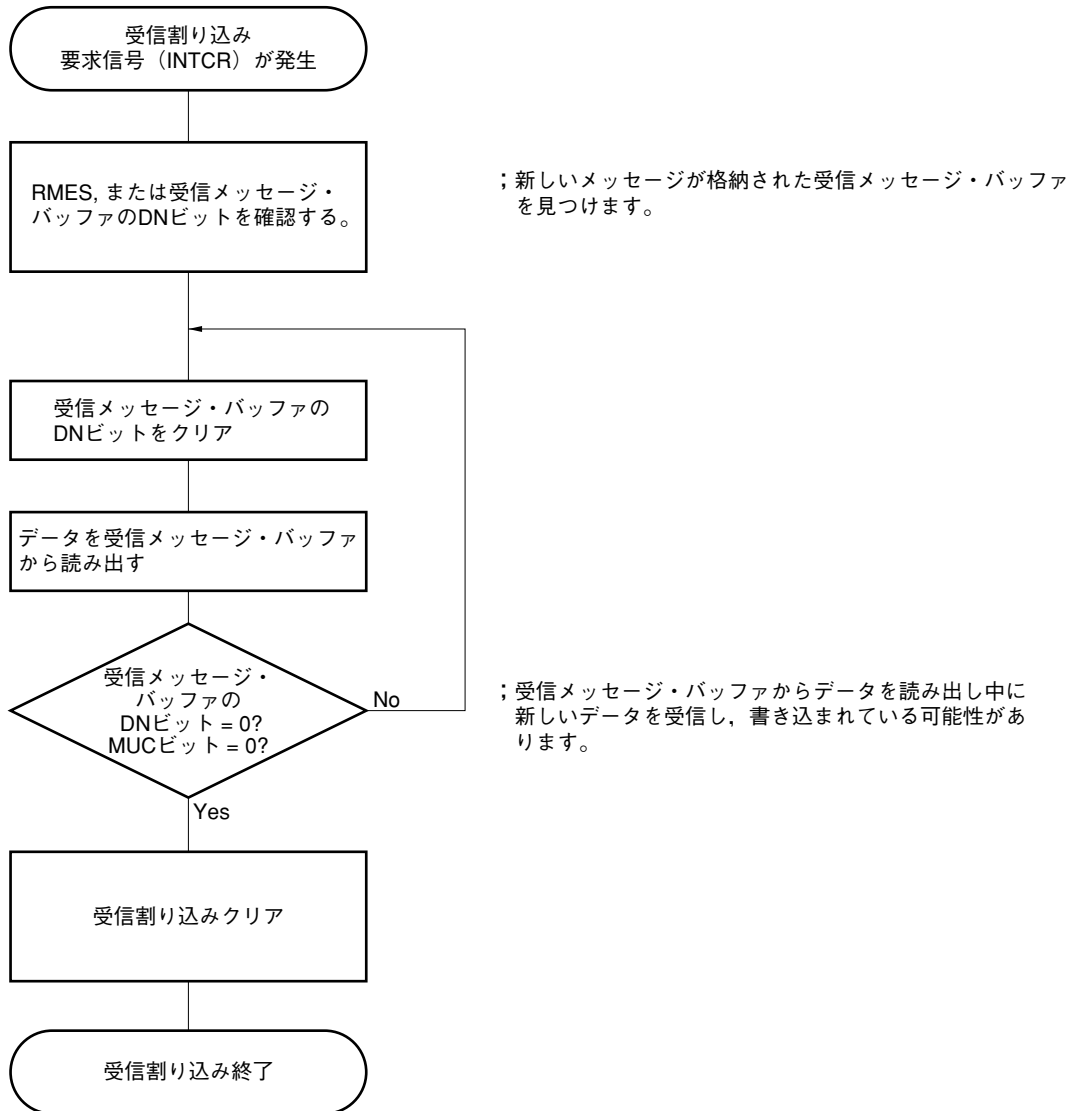
15.16.4 DCANコントローラが行う受信処理

図15-52 DCANコントローラが受信動作時に受信メッセージ・バッファのDN, MUCビットに対して行う処理



15.16.5 受信手順 (受信割り込み要求信号 (INTCR) を使用する場合)

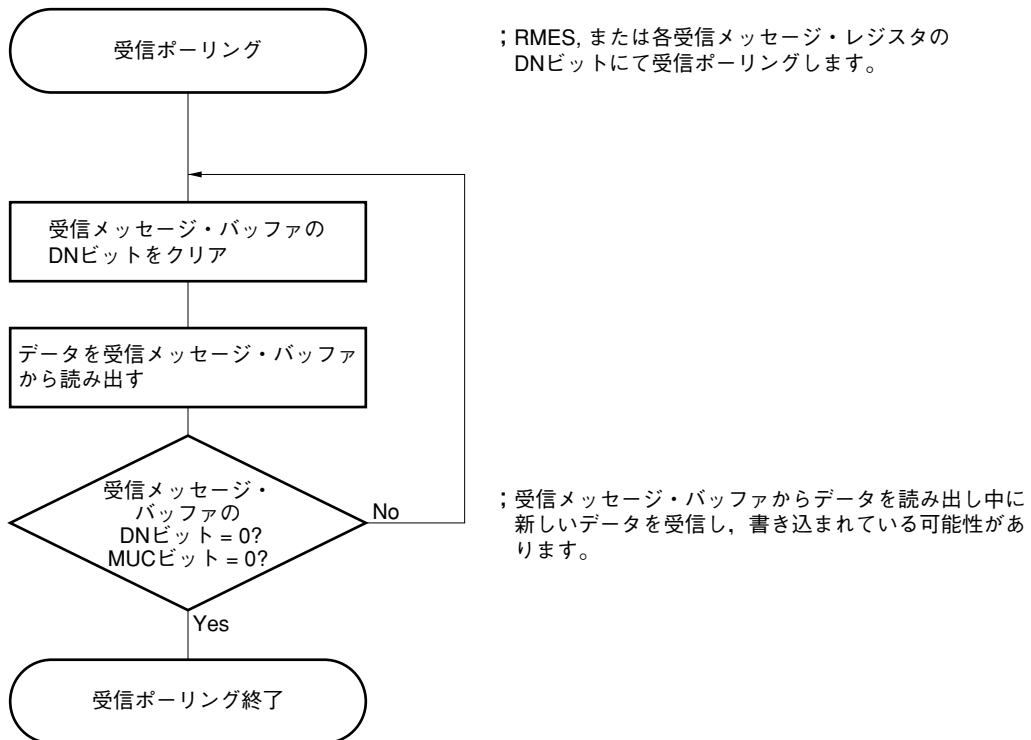
図15-53 受信手順 (受信割り込み要求信号 (INTCR) を使用する場合)



備考 RMES : 受信メッセージ・レジスタ

15.16.6 受信手順 (受信割り込み要求信号 (INTCR) を使用しない場合)

図15-54 受信手順 (受信割り込み要求信号 (INTCR) を使用しない場合)



備考 RMES : 受信メッセージ・レジスタ

★ 第16章 IEBusコントローラ（ μ PD780702Y, 78F0701Yのみ）

μ PD780701Yサブシリーズ（ μ PD780702Y, 78F0701Y）はIEBusコントローラを内蔵しています。

IEBus（Inter Equipment Bus™）は、ユニット間のデータ伝送を行うことを目的とした小規模のデジタル・データ伝送システムです。 μ PD780701Yサブシリーズを使ってIEBusを実現する場合は、IEBusドライバ/レシーバを内蔵していないため、これらを外付けする必要があります。

μ PD780701Yサブシリーズが内蔵しているIEBusコントローラは、負論理になります。

注意 μ PD780701Yは、IEBusコントローラを内蔵していません。また、 μ PD78F0701YのIEBusコントローラはDCANコントローラと同時に使用できません（端子を兼用しています）。

16.1 IEBusコントローラの機能

16.1.1 IEBusの通信プロトコル

IEBusの通信プロトコルを次に示します。

(1) マルチタスク方式

IEBusに接続しているすべてのユニットで、ほかのユニットへのデータ伝送ができます。

(2) 同報通信機能

次に示す「1つのユニット対複数ユニット」の通信ができます。

- ・グループ同報通信 : グループ・ユニットに対しての同報通信
- ・一斉同報通信 : すべてのユニットに対しての同報通信

(3) 実効伝送速度

実効伝送速度は、モード1になります（ μ PD780701Yサブシリーズでは、実効伝送速度モードのモード0、モード2はサポートしていません）。

- ・モード1 : 約18 Kbps (fx = 6.29 MHz時)

注意 1つのIEBus上に、異なるモードを混在することはできません。

(4) 通信方式

半二重非同期通信方式でデータを転送します。

(5) アクセス制御：CSMA/CD (Carrier Sense Multiple Access with Collision Detection)

IEBus占有の優先順位を次に示します。

- ① 同報通信が個別通信（1ユニット対1ユニットの通信）より優先されます。
- ② マスタ・アドレスの小さいほうが優先されます。

(6) 通信規模

IEBusの通信規模を次に示します。

- ・ユニット数：最大50ユニット
- ・ケーブル長：最大150 m（ツイスト・ペア・ケーブルを使用した場合）

注意 実際のシステムにおける通信規模は、IEBusドライバ/レシーバやIEBusを構成するケーブルなどの特性によって異なります。

16.1.2 バス占有権の決定（アービトレーション）

IEBusに接続された装置は、ほかのユニットを制御するときにバスを占有するための動作を行います。この動作をアービトレーションと呼びます。

アービトレーションでは、複数のユニットが同時に送信を開始したときに、それらの複数のユニットの中から1つのユニットに対して、バスを占有する許可を与える処理を行います。

アービトレーションにより1ユニットのみがバス占有権を得るために、次に示すようなバス占有の優先条件があります。

注意 通信が途中で終了した場合、バスの占有権は解放されます。

(1) 通信の種類による優先条件

同報通信（1ユニット対複数ユニットの通信）が、通常通信（1ユニット対1ユニットの通信）より優先されます。

(2) マスタ・アドレスによる優先条件

通信種類が同じ場合は、マスタ・アドレスの最も小さいものが優先されます。

マスタ・アドレスは12ビットで構成され、000Hのユニットが最上位に優先順位を持ち、FFFHのユニットが最下位の優先順位を持ちます。

16.1.3 通信モード

IEBusには、伝送速度の異なる3種類の通信モードがあります。μPD780701Yサブシリーズは、通信モード1固定になります。通信モード1における伝送速度および1通信フレーム中の最大伝送バイト数を次に示します。

表16-1 通信モード1における伝送速度、最大伝送バイト数

通信モード	最大伝送バイト数	最大伝送速度 ^注
1	32バイト/フレーム	約18 Kbps

注 最大伝送バイト数を伝送したときの実効伝送速度 (fx = 6.29 MHz時)

IEBusに接続した各ユニットは、通信を行う前にあらかじめ通信モードを選択しておきます。また、マスタ・ユニットとその通信相手ユニット(スレーブ・ユニット)の通信モードが同一でないと、通信は正しく行われません。

16.1.4 通信アドレス

IEBusでは、各ユニットに12ビットの固有な通信アドレスが割り当てられています。次に通信アドレスの構成を示します。

- ・上位4ビット：グループ番号(各ユニットの所属するグループを識別する番号)
- ・下位8ビット：ユニット番号(グループ内の各ユニットを識別する番号)

16.1.5 同報通信

通常の通信では、マスタ・ユニットとその通信相手局となるスレーブ・ユニットはともに1ユニットで、1対1の送信/受信が行われます。それに対して同報通信ではスレーブ・ユニットが複数あり、マスタ・ユニットは複数のスレーブ・ユニットに対して送信を行います。スレーブ・ユニットが複数あるために、通信中スレーブ・ユニットからはアクノリッジ信号は返されません。

同報通信を行うか通常の通信を行うかは、同報ビットにより選択することができます(16.1.6(2)同報ビット参照)。

同報通信には、グループ同報通信と一斉同報通信の2種類の同報通信があります。グループ同報と一斉同報の識別は、スレーブ・アドレスの値で行われます(16.1.6(4)スレーブ・アドレス・フィールド参照)。

(1) グループ同報通信

通信アドレスの上位4ビットのグループ番号が等しいグループ内のユニットに対して、同報通信を行います。

(2) 一斉同報通信

グループ番号の値にかかわらず、すべてのユニットに対して同報通信を行います。

16.1.6 IEBusの伝送フォーマット

注意 μPD780701YサブシリーズのIEBus入出力端子の論理と、IEBusプロトコル（IEBus上のデータ）の論理は、反転した値になります。ここでの説明はIEBusプロトコルで記述しています。

- <例 スタート・ビット>
- ・ μPD780702Y : ハイ・レベル
 - ・ IEBusプロトコル : ロウ・レベル

IEBusの伝送信号フォーマットを図16-1に示します。

図16-1 IEBusの伝送信号フォーマット

	ヘッダ		マスタ・アドレス・フィールド		スレーブ・アドレス・フィールド		コントロール・フィールド		電文長フィールド		データ・フィールド			
フレーム・フォーマット	スタート・ビット	同報ビット	マスタ・アドレス・ビット	P	スレーブ・アドレス・ビット	PA	コントロール・ビット	PA	電文長ビット	PA	データ・ビット	PA	データ・ビット	PA

備考1. P: パリティ・ビット

A: ACK/NACKビット

2. 同報通信時には、マスタ局はアクノリッジ・ビットを無視します。

(1) スタート・ビット

スタート・ビットは、データ伝送の開始をほかのユニットに知らせるための信号です。

データ伝送を開始しようとするユニットは、決められた時間ロウ・レベルの信号（スタート・ビット）を出力し、同報ビットの出力へ移行します。

スタート・ビットを出力しようとしたとき、すでにほかのユニットがスタート・ビットを出力している場合には、スタート・ビットを出力しないでそのユニットのスタート・ビット出力終了を待ち、その終了タイミングに同期して同報ビット出力へ移行します。

送信を開始したユニット以外は、このスタート・ビットを検出し、受信状態へ移行します。

(2) 同報ビット

マスタが通信相手として単一のスレーブを選択（個別通信）しているのか、複数のスレーブを選択（同報通信）しているのかを示します。

同報ビットが0の場合は同報通信を示し、1の場合は個別通信を示します。また、同報通信には、グループ同報と一斉同報があり、これらの識別はスレーブ・アドレスの値によって行われます（16.1.6

(4) スレーブ・アドレス・フィールド参照

同報通信の場合には、通信相手局となるスレーブ・ユニットが複数存在するため、マスタ・アドレス・フィールド以降の各フィールドでのアクノリッジ・ビットは返されません。

2つ以上のユニットが同じタイミングで通信フレームの送出を開始した場合には、同報通信が個別通信より優先され、アービトレーションに勝ち残ります。

自局がマスタとしてバスを占有しているときは、IEBusコントロール・レジスタ0 (BCR0) の同報リクエスト・フラグ (ALLRQ) に設定した値が出力されます。

(3) マスタ・アドレス・フィールド

マスタが自局のアドレスをスレーブに伝えるために出力します。

マスタ・アドレス・フィールドは、図16-2に示す構成となっています。

2つ以上のユニットが、同じタイミングで同じ値の同報ビットの送信を開始した場合、アービトレーションの判定は、マスタ・アドレス・フィールドへ持ち越されます。

マスタ・アドレス・フィールドでは、1ビット送信するごとに出力しているデータとバス上のデータを比較します。比較の結果、出力しているマスタ・アドレスとバス上のデータが異なった場合、アービトレーションに負けたと判断して、送信を中止し受信状態に変わります。

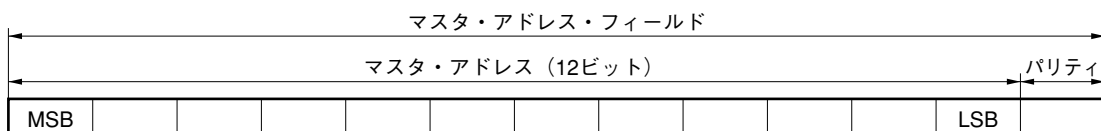
IEBusは、ワイアードANDで構成されているため、アービトレーションに参加しているユニット (アービトレーション・マスタ) の中で、最小のマスタ・アドレスを持つユニットがアービトレーションに勝ち残ります。

最終的に12ビットのマスタ・アドレスを出力後、1つのユニットのみがマスタ・ユニットとして送信状態で残ります。

次に、このマスタ・ユニットはパリティ・ビットを出力し、ほかのユニットに対してマスタ・アドレスを確定させ、スレーブ・アドレス・フィールド出力へ移行します。

自局がマスタとしてバスを占有しているときは、IEBus自局アドレス・レジスタ (UAR) で設定したアドレスが出力されます。

図16-2 マスタ・アドレス・フィールド



(4) スレーブ・アドレス・フィールド

マスタが通信を行いたい相手局のアドレスを出力します。

スレーブ・アドレス・フィールドは、図16-3に示す構成になっています。

12ビットのスレーブ・アドレス送信後、スレーブ・アドレスが間違っ受受信されることを避けるため、パリティ・ビットを出力します。次にスレーブ・ユニットがバス上にあることを確認するために、マスタ・ユニットはスレーブ・ユニットからのアクノリッジ信号を検出します。アクノリッジ信号を検出した場合、コントロール・フィールド出力へ移行します。ただし、同報通信時は、アクノリッジ・ビットを検出せずに、コントロール・フィールド出力へ移行します。

スレーブ・ユニットは、スレーブ・アドレスが一致して、マスタ・アドレスとスレーブ・アドレスの両方のパリティが偶数であることを検出した場合、アクノリッジ信号を出力します。スレーブ・ユニットは、パリティが奇数の場合、マスタ・アドレスまたはスレーブ・アドレスが正しく受信されなかったと判断して、アクノリッジ信号を出力しません。このとき、マスタ・ユニットは待機（モニタ）状態になり、通信が終了します。

また、同報通信の場合にはスレーブ・アドレスは、次のようにグループ同報／一斉同報の識別に使用されます。

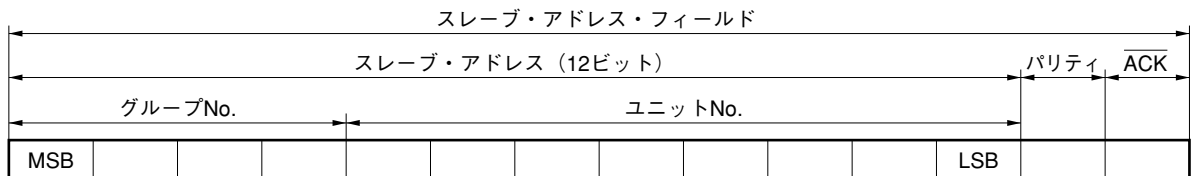
スレーブ・アドレスがFFFHのとき ：一斉同報通信

スレーブ・アドレスがFFFH以外のとき：グループ同報通信

備考 グループ同報通信時のグループNo.は、スレーブ・アドレスの上位4ビットの値になります。

自局がマスタとしてバスを占有しているときは、IEBusスレーブ・アドレス・レジスタ（SAR）で設定したアドレスが出力されます。

図16-3 スレーブ・アドレス・フィールド



(5) コントロール・フィールド

マスタがスレーブに要求する動作内容を出力します。

コントロール・フィールドは、図16-4に示す構成になっています。

コントロール・ビットに続くパリティが偶数で、かつマスタ・ユニットの要求機能をスレーブが実行できる場合は、スレーブ・ユニットはアクノリッジ信号を出力して、次の電文長フィールドへ移行します。ただし、パリティが偶数でもスレーブ・ユニットがマスタ・ユニットの要求を実行できない場合や、パリティが奇数の場合は、スレーブ・ユニットはアクノリッジ信号を出力しないで、待機（モニタ）状態に戻ります。

マスタ・ユニットはアクノリッジ信号を確認したあと、次の電文長フィールドへ移行します。

アクノリッジ信号を確認できない場合は、マスタ・ユニットは待機状態になり、通信が終了します。ただし、同報通信の場合は、マスタ・ユニットはアクノリッジ信号を確認しないで次の電文長フィールドへ移行します。

コントロール・ビットの内容を表16-2に示します。

表16-2 コントロール・ビットの内容

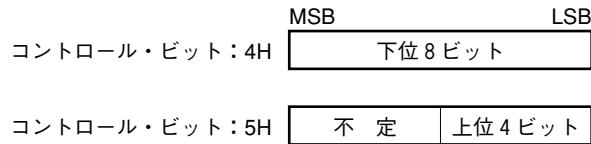
ビット3 ^{注1}	ビット2	ビット1	ビット0	機 能
0	0	0	0	スレーブ・ステータスの読み込み
0	0	0	1	未定義
0	0	1	0	未定義
0	0	1	1	データ読み込みとロック ^{注2}
0	1	0	0	ロック・アドレスの読み込み（下位8ビット） ^{注3}
0	1	0	1	ロック・アドレスの読み込み（上位4ビット） ^{注3}
0	1	1	0	スレーブ・ステータスの読み込みとロック解除 ^{注2}
0	1	1	1	データ読み込み
1	0	0	0	未定義
1	0	0	1	未定義
1	0	1	0	コマンド書き込みとロック ^{注2}
1	0	1	1	データ書き込みとロック ^{注2}
1	1	0	0	未定義
1	1	0	1	未定義
1	1	1	0	コマンド書き込み
1	1	1	1	データ書き込み

注1. ビット3（MSB）の値により、以後の電文長フィールドの電文長ビットおよびデータ・フィールドのデータ転送方向が変わります。

ビット3 = 1の場合：マスタ・ユニットからスレーブ・ユニットへ転送

ビット3 = 0の場合：スレーブ・ユニットからマスタ・ユニットへ転送

2. ロックの設定／解除を指定するコントロール・ビットです（16.1.7（4）ロックの設定／解除参照）。
3. ロック・アドレスは、1バイト単位（8ビット）で伝送されるため、次に示す構成になっています。



マスタ・ユニットによりロックを設定されたユニットは、ロックを要求したマスタ・ユニット以外から受信したコントロール・ビットが表16-3に示した以外の場合は、受け付けを拒否してアクノリッジ・ビットを出力しません。

表16-3 ロックされたスレーブ・ユニットに対するコントロール・フィールド

ビット3	ビット2	ビット1	ビット0	機能
0	0	0	0	スレーブ・ステータスの読み込み
0	1	0	0	ロック・アドレスの読み込み (下位 8 ビット)
0	1	0	1	ロック・アドレスの読み込み (上位 4 ビット)

また、マスタ・ユニットによりロックを設定されていないユニットは、表16-4に示したコントロール・データを受信した場合は、受け付けを拒否してアクノリッジ・ビットを出力しません。

表16-4 ロックされていないスレーブ・ユニットに対するコントロール・フィールド

ビット3	ビット2	ビット1	ビット0	機能
0	1	0	0	ロック・アドレスの読み込み (下位 8 ビット)
0	1	0	1	ロック・アドレスの読み込み (上位 4 ビット)

自局がマスタとしてバスを占有しているときは、IEBusコントロール・データ・レジスタ (CDR) に設定した値が出力されます。

図16-4 コントロール・フィールド

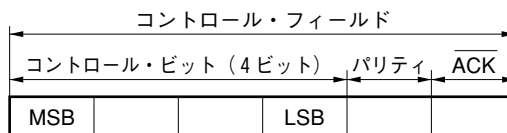


表16-5 コントロール・フィールドのアクノリッジ信号出力条件

(a) 受信したコントロール・データがAH, BH, EH, FHの場合

通信対象 (SLVRQ) スレーブ指定 = 1 指定なし = 0	ロック状態 (LOCK) ロック = 1 非ロック = 0	マスタ・ユニット判定 (PARと一致) ロック要求ユニット = 1 それ以外 = 0	スレーブ送信許可 (ENSLVTX)	スレーブ受信許可 (ENSLVRX)	受信したコントロール・データ			
					AH	BH	EH	FH
1	0	don't care	don't care	1	○			
	1	1						
上記以外					×			

(b) 受信したコントロール・データが0H, 3H, 4H, 5H, 6H, 7Hの場合

通信対象 (SLVRQ) スレーブ指定 = 1 指定なし = 0	ロック状態 (LOCK) ロック = 1 非ロック = 0	マスタ・ユニット判定 (PARと一致) ロック要求ユニット = 1 それ以外 = 0	スレーブ送信許可 (ENSLVTX)	スレーブ受信許可 (ENSLVRX)	受信したコントロール・データ					
					0H	3H	4H	5H	6H	7H
1	0	don't care	0	don't care	○	×	×	×	○	×
			1		○	○	×	×	○	○
	1	0	○		×	○	○	×	×	
		1	0		○	×	○	○	○	×
			1		○	○	○	○	○	○
上記以外					×					

注意 受信したコントロール・データが表16-5 以外の場合は無条件で×(ACK返信しない)になります。

備考1. ○: ACK返信する

×: ACK返信しない

2. ENSLVTX : IEBusコントロール・レジスタ0 (BCR0) のビット4

ENSLVRX : / のビット3

LOCK : IEBusユニット・ステータス・レジスタ (USR) のビット2

SLVRQ : / のビット6

PAR : IEBus相手先アドレス・レジスタ

(6) 電文長フィールド

送信側が受信側に対して送信データのバイト数を伝えるために出力します。
 電文長フィールドは、図16-5に示す構成になっています。
 電文長ビットと送信データ数の関係を表16-6に示します。

図16-5 電文長フィールド

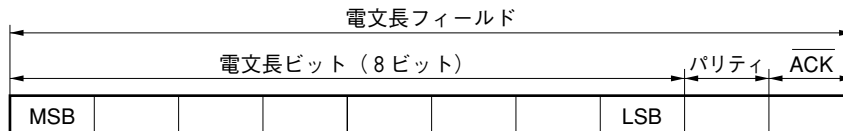


表16-6 電文長ビットの内容

電文長ビット (16進)	送信データ・バイト数
01H	1バイト
02H	2バイト
⋮	⋮
FFH	255バイト
00H	256バイト

電文長フィールドの動作は、マスタ送信時(コントロール・ビットのビット3 = 1)とマスタ受信時(コントロール・ビットのビット3 = 0)では異なります。

(a) マスタ送信時

電文長ビットおよびパリティ・ビットは、マスタ・ユニットが出力します。スレーブ・ユニットは、パリティが偶数であることを検出した場合、アクノリッジ信号を出力して、次のデータ・フィールドへ移行します。ただし、同報通信では、スレーブ・ユニットはアクノリッジ信号を出力しません。

スレーブ・ユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断して、アクノリッジ信号を出力しないで、待機(モニタ)状態に戻ります。このとき、マスタ・ユニットも待機状態に戻り、通信が終了します。

(b) マスタ受信時

電文長ビットおよびパリティ・ビットはスレーブ・ユニットが出力し、各ビットの同期信号はマスタ・ユニットが出力します。マスタ・ユニットは、パリティが偶数であることを検出した場合、アクノリッジ信号を出力します。

マスタ・ユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断して、アクノリッジ信号を出力しないで、待機(モニタ)状態に戻ります。このとき、スレーブ・ユニットも待機状態に戻り、通信が終了します。

(7) データ・フィールド

送信側が出力するデータです。

マスタ・ユニットは、データ・フィールドを使用してスレーブ・ユニットにデータを送信したり、スレーブ・ユニットからデータを受信したりします。

データ・フィールドは、次に示す構成になっています。

図16-6 データ・フィールド



データ・ビットに続き、パリティ・ビットとアクノリッジ・ビットが、それぞれマスタ・ユニットおよびスレーブ・ユニットより出力されます。

同報通信は、マスタ・ユニットの送信動作のみに使用してください。また、このときアクノリッジ信号は無視されます。

マスタ送信時とマスタ受信時の動作を次に示します。

(a) マスタ送信時

マスタ・ユニットからスレーブ・ユニットへ書き込みする場合、マスタ・ユニットは、スレーブ・ユニットに対してデータ・ビット、パリティ・ビットを送信します。スレーブ・ユニットは、データ・ビット、パリティ・ビットを受信して、パリティが偶数で、IEBusデータ・レジスタ (DR) に受信データを格納していなければ、アクノリッジ信号を出力します。パリティが奇数、またはDRレジスタに受信データを格納している場合、スレーブ・ユニットは対応するデータの受け付けを拒否して、アクノリッジ信号を出力しません。

スレーブ・ユニットからアクノリッジ信号が出力されなかった場合、マスタ・ユニットは再び同じデータを送信します。この動作はスレーブ・ユニットからのアクノリッジ信号を検出するか、データが最大伝送バイト数を越えるまで続けられます。

パリティが偶数で、スレーブ・ユニットからアクノリッジ信号が出力された場合、データに続きがあり、かつ最大伝送バイト数を越えていなければ、マスタ・ユニットは次のデータを送信しません。

また、同報通信の場合では、スレーブ・ユニットからアクノリッジ信号は出力しないで、マスタ・ユニットはデータを1バイトごとに転送します。同報通信時にスレーブ・ユニットがデータ・ビット、パリティ・ビットを受信して、パリティが奇数、またはDRレジスタが受信データを格納中の場合は、正常に受信ができなかったと判断され、受信を中止します。

(b) マスタ受信時

マスタ・ユニットがスレーブ・ユニットから読み込みする場合、マスタ・ユニットは、すべての読み込みビットに対応する同期信号を出力します。

スレーブ・ユニットは、データ、パリティ・ビットの内容をマスタ・ユニットからの同期信号に応じてバス上に出力します。

マスタ・ユニットは、スレーブ・ユニットの出力したデータ、パリティ・ビットを読み込み、パリティを確認します。

パリティが奇数、またはDRレジスタが受信データを格納中の場合、マスタ・ユニットはそのデータの受け付けを拒否して、アクノリッジ信号を出力しません。1通信フレームで送信できる最大伝送バイト数以内であれば、マスタ・ユニットは同じデータの読み込み動作を繰り返します。

また、パリティが偶数、かつDRレジスタが受信データを格納していない場合、マスタ・ユニットはデータを受け付け、アクノリッジ信号を返します。1フレームで送信できる最大伝送バイト数以内であればマスタ・ユニットは次のデータを読み込みます。

注意 同報通信ではマスタ受信を行わないでください。スレーブ・ユニットが特定できず、正常なデータ転送ができません。

(8) パリティ・ビット

パリティ・ビットは、伝送データに誤りがないことを確認するために使用します。

パリティ・ビットは、マスタ・アドレス・ビット、スレーブ・アドレス・ビット、コントロール・ビット、電文長ビット、データ・ビットの各データに対して付加されます。

パリティ・ビットは、偶数パリティです。データ中の‘1’になっているビット数が奇数の場合は、パリティ・ビットは‘1’になります。データ中の‘1’になっているビット数が偶数の場合は、パリティ・ビットは‘0’になります。

(9) アクノリッジ・ビット

通常の通信（1ユニット対1ユニット間の通信）では、データを正しく受け付けたかを確認するために、次に示す箇所にアクノリッジ・ビットが付加されます。

- ・スレーブ・アドレス・フィールドの最後
- ・コントロール・フィールドの最後
- ・電文長フィールドの最後
- ・データ・フィールドの最後

アクノリッジ・ビットの定義を次に示します。

0：伝送データを認識したことを示します。(ACK)

1：伝送データを認識しなかったことを示します。(NACK)

ただし、同報通信の場合は、アクノリッジ・ビットの内容は無視されます。

(a) スレーブ・アドレス・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、スレーブ・アドレス・フィールドの最後のアクノリッジ・ビットはNACKになり、伝送は中止されます。

- ・マスタ・アドレス・ビットまたはスレーブ・アドレス・ビットのパリティが正しくない場合
- ・タイミング・エラー（ビット・フォーマットにエラー）が発生した場合
- ・スレーブ・ユニットが存在しなかった場合

(b) コントロール・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、コントロール・フィールドの最後のアクノリッジ・ビットはNACKになり、伝送は中止されます。

- ・コントロール・ビットのパリティが正しくない場合
- ・スレーブ受信許可フラグ（ENSLVRX）がセット（1）されていないときに、コントロール・ビットのビット3=1（書き込み動作）の場合（16.4.2（1）IEBusコントロール・レジスタ0（BCR0）参照）
- ・スレーブ送信許可フラグ（ENSLVTX）がセット（1）されていないときに、コントロール・ビットがデータの読み込み（3H, 7H）の場合（16.4.2（1）IEBusコントロール・レジスタ0（BCR0）参照）
- ・ロックを設定しているのに、ロックを設定したユニット以外からコントロール・ビットの3H, 6H, 7H, AH, BH, EH, FHを要求した場合
- ・ロックを設定していないのに、コントロール・ビットがロック・アドレスの読み込み（4H, 5H）の場合
- ・タイミング・エラーが発生した場合
- ・未定義のコントロール・ビットの場合

注意1. スレーブ送信許可フラグ（ENSLVTX）がセット（1）されていない場合でも、コントロール・データを受信したときは $\overline{\text{ACK}}$ を返信する場合があります（表16-5参照）。

2. スレーブ受信許可フラグ（ENSLVRX）がセット（1）されていない場合でも、データ/コマンド書き込みのコントロール・データを受信すると、コントロール・フィールドのアクノリッジ・ビットでNACKを返信します。

個別通信の場合だけENSLVRXフラグによりスレーブ受信を禁止（通信を中止）することができます。同報通信の場合は、通信が接続され、データ要求割り込み（INTIE1）やIEBus終了割り込み（INTIE2）が発生します。

(c) 電文長フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、電文長フィールドの最後のアクノリッジ・ビットはNACKになり、伝送は中止されます。

- ・電文長ビットのパリティが正しくない場合
- ・タイミング・エラーが発生した場合

(d) データ・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、データ・フィールドの最後のアクノリッジ・ビットはNACKになり、伝送は中止されます。

- ・データ・ビットのパリティが正しくない場合^注
- ・タイミング・エラーが前回のアクノリッジ・ビット伝送以降で発生した場合
- ・IEBusデータ・レジスタ (DR) に受信データが格納されており、それ以上のデータを受け付けることができない場合^注

注 この場合、実行されている通信が個別通信のとき、送信側は1フレームで伝送できる最大伝送バイト数以内であれば、そのデータ・フィールドの送信を再実行します。同報通信のときは、送信側からのデータ再送はなく、受信側は通信エラーとなり受信を中止します。

16.1.7 伝送データ**(1) スレーブ・ステータス**

マスタ・ユニットは、スレーブ・ステータスを読み込むことにより、スレーブ・ユニットが、アクノリッジ・ビット (\overline{ACK}) を返送しなかった理由を知ることができます。

スレーブ・ステータスは、スレーブ・ユニットが最後に行った通信結果に対して決定されます。

すべてのスレーブ・ユニットは、スレーブ・ステータスの情報を提供できます。

スレーブ・ステータスについて次に示します。

図16-7 スレーブ・ステータスのビット構成

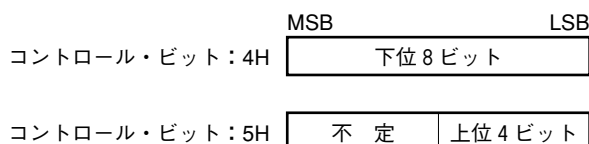
MSB								LSB		
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0			
ビット0 ^{注1}		意 味								
0		IEBusデータ・レジスタ (DR) に送信データが書き込まれていない								
1		IEBusデータ・レジスタ (DR) に送信データが書き込まれている								
ビット1 ^{注2}		意 味								
0		IEBusデータ・レジスタ (DR) に受信データが格納されていない								
1		IEBusデータ・レジスタ (DR) に受信データが格納されている								
ビット2		意 味								
0		ユニットがロック状態でない								
1		ユニットがロック状態である								
ビット3		意 味								
0		0固定								
ビット4 ^{注3}		意 味								
0		スレーブ送信停止								
1		スレーブ送信動作可能								
ビット5		意 味								
0		0固定								
ビット7	ビット6	意 味								
0	0	モード0	ユニットがサポートしている最高位のモードを示します ^{注4} 。							
0	1	モード1								
1	0	モード2								
1	1	未使用								

- 注1. リセット時：ビット0は“1”になります。
2. 受信バッファが1バイト分になります。
3. スレーブ・ユニットの場合、IEBusコントロール・レジスタ0 (BCR0) のビット4 (ENSLVTX) で示される状態に該当します。
4. スレーブ・ユニットの場合、ビット7, 6はそれぞれモード1に固定されています (ビット7, 6 = 0, 1)。

(2) ロック・アドレス

ロック・アドレスの読み込み処理時（コントロール・ビット：4H, 5H）には、ロック命令を発行したマスタ・ユニットのアドレス（12ビット）が、次に示すように1バイト単位に構成されて、読み出されます。

図16-8 ロック・アドレスの構成



(3) データ

コントロール・ビットがデータ読み込み（3H, 7H）の場合、スレーブ・ユニットのデータ・バッファにあるデータがマスタ・ユニットに読み込まれます。

コントロール・ビットがデータ書き込み（BH, FH）の場合、スレーブ・ユニットが受信したデータは、そのスレーブ・ユニットの動作規定に従って処理されます。

(4) ロックの設定／解除

ロック機能は、メッセージを複数の通信フレームにわたって転送する場合に使用します。

ロックを設定したユニットは、ロックをかけたユニット以外からの受信（個別通信、同報通信とも）は行いません。

ロックの設定／解除について次に示します。

(a) ロックの設定

ロックを指定したコントロール・ビット（3H, AH, BH）で、電文長フィールドの送受信終了後（ $\overline{\text{ACK}} = 0$ ）、電文長ビットで指定したデータ・バイト数分のデータを送信／受信を成功せずに通信フレームを終了した場合、スレーブ・ユニットは、マスタ・ユニットよりロックが設定されます。また、このときスレーブ・ステータスを表すバイト中のロックに関するビット（ビット2）がセット（1）されます。

(b) ロックの解除

ロックを指定したコントロール・ビット（3H, AH, BH）、またはロックの解除を指定したコントロール・ビット（6H）で、1通信フレーム内に電文長ビットで指定したデータ・バイト数分のデータを送信／受信終了後、スレーブ・ユニットは、マスタ・ユニットよりロックが解除されます。また、このときスレーブ・ステータスを表すバイト中のロックに関するビット（ビット2）がリセット（0）されます。

なお、同報通信にはロックの設定／解除は行われません。

次にロックの設定／解除の条件を示します。

(c) ロック設定条件

コントロール・データ	同報通信		個別通信	
	通信終了	フレーム終了	通信終了	フレーム終了
3H, 6H ^注			ロックにならない	ロック設定
AH, BH	ロックにならない	ロックにならない	ロックにならない	ロック設定
0H, 4H, 5H, EH, FH	ロックにならない	ロックにならない	ロックにならない	ロックにならない

注 コントロール・データ6H (スレーブ・ステータスの読み込みとロック解除) でのフレーム終了は、データ・フィールドにおいてパリティが奇数で自局からのアクノリッジ信号が出力されずに最大伝送バイト数まで繰り返された場合に発生します。

(d) ロック解除条件 (ロック中)

コントロール・データ	ロック要求ユニットからの同報通信		ロック要求ユニットからの個別通信	
	通信終了	フレーム終了	通信終了	フレーム終了
3H, 6H ^注			ロック解除	ロック保持
AH, BH	ロック解除	ロック解除	ロック解除	ロック保持
0H, 4H, 5H, EH, FH	ロック保持	ロック保持	ロック保持	ロック保持

注 コントロール・データ6H (スレーブ・ステータスの読み込みとロック解除) でのフレーム終了は、データ・フィールドにおいてパリティが奇数で自局からのアクノリッジ信号が出力されずに最大伝送バイト数まで繰り返された場合に発生します。

16.1.8 ビット・フォーマット

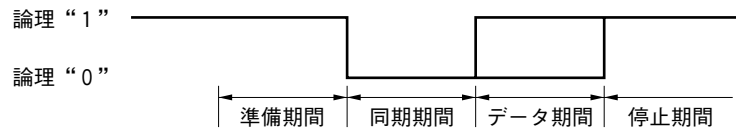
注意 μPD780701YサブシリーズのIEBus入出力端子上的論理と、IEBusプロトコル（IEBus上のデータ）の論理は、反転した値になります。ここでの説明はIEBusプロトコルで記述しています。

<例 スタート・ビット>

- ・ μPD780702Y : ハイ・レベル
- ・ IEBusプロトコル : ロウ・レベル

IEBusの通信フレームを構成するビット・フォーマットを次に示します。

図16-9 IEBusのビット・フォーマット



- 準備期間 : 最初のロウ・レベル期間（論理“1”）
- 同期期間 : 次のハイ・レベル時間（論理“0”）
- データ期間 : ビットの値を表す期間
- 停止期間 : 最後のロウ・レベル期間（論理“1”）

同期期間とデータ期間の長さは、ほぼ等しくなっています。

IEBusは1ビットごとに同期がとられています。また、ビット全体の時間と、そのビット中に割り当てられている期間の時間に関する仕様は、伝送ビットの種類、マスタ・ユニットかスレーブ・ユニットかの違いにより異なります。また、マスタ・ユニット、スレーブ・ユニットは通信中、各期間（準備期間、同期期間、データ期間、停止期間）が所定の時間どおり出力されているかを検出しています。所定の時間どおりに出力されていない場合は、マスタ・ユニット、スレーブ・ユニットはタイミング・エラーとしてただちに通信を終了し待機状態に戻ります。

16.2 簡易版IEBusコントローラ

μPD780702Yサブシリーズは、新規に開発したIEBusコントローラを内蔵しています。従来品のIEBusインタフェース機能(78K/0に内蔵)に比べると、機能を限定したものです。

表16-7に従来品と簡易版IEBusインタフェースの比較を示します。

表16-7 従来品と簡易版IEBusインタフェースの比較

項目	従来品(78K/0内蔵IEBus)	簡易版(μPD780701Yサブシリーズ内蔵IEBus)
通信モード	モード0, モード1, モード2	モード1固定
内部システム・クロック	fx = 6.0 (6.29) MHz	fx = 6.29 MHz ^{注1}
内部バッファ・サイズ	送信バッファ 33バイト (FIFO) 受信バッファ 40バイト (FIFO) 最大4フレーム受信可能	送受信データ・レジスタ
CPU処理	通信開始前処理(データ設定) 各通信状態設定, 管理 送信バッファへのデータ・ライト 受信バッファからのデータ・リード	通信開始前処理(データ設定) 各通信状態設定, 管理 1バイトごとのデータ・ライト処理 1バイトごとのデータ・リード処理 スレーブ・ステータスなど送信管理 複数フレーム管理, 再マスタ要求処理
ハード処理	ビット処理(変復調, エラー検出) フィールド処理(生成/管理) アービトレーション結果検出 パリティ処理(生成/エラー検出) ACK/NACKの自動返答 自動データ再送処理 自動再マスタ処理 ^{注2} 自動スレーブ・ステータスなどの送信処理 複数フレーム受信処理	ビット処理(変復調, エラー検出) フィールド処理(生成/管理) アービトレーション結果検出 パリティ処理(生成/エラー検出) ACK/NACKの自動返答 自動データ再送処理

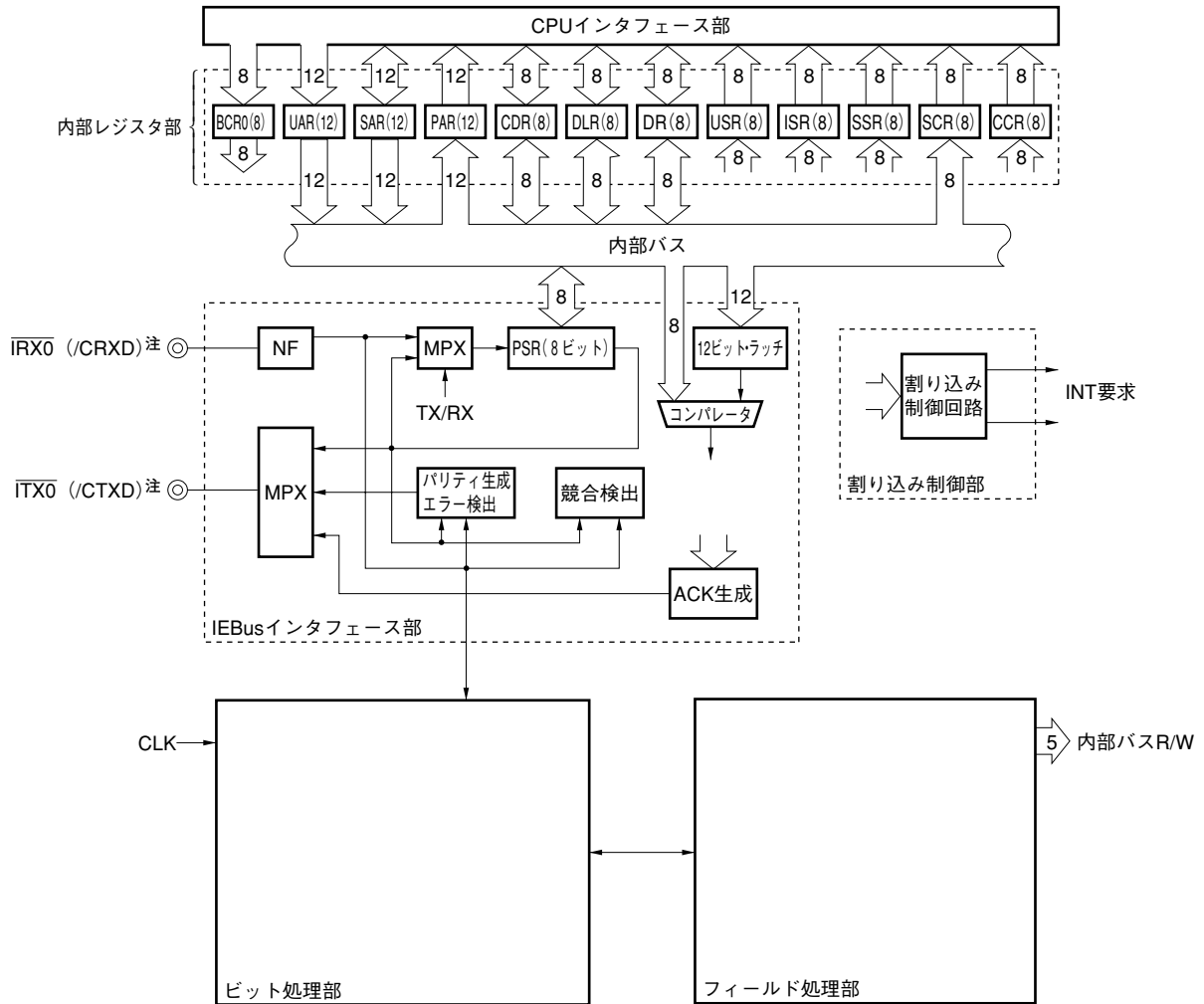
注1. μPD780701Yサブシリーズは、fx = 6.29 MHzでIEBusコントローラに対応します。fx = 6.29 MHz以外では対応しません。

2. 自動再マスタ処理: マスタ要求を発生後、アービトレーション等によりマスタ要求がキャンセルされた場合、バス開放後再度自動的にマスタ要求を発行します。

16.3 IEBusコントローラの構成

図16-10にIEBusコントローラのブロック図を示します。

図16-10 IEBusコントローラのブロック図



注 () 内は、μPD78F0701Yのみ。

(1) ハードウェアの構成と機能

IEBusの内部構成は、次に示す6つのブロックから構成されています。

- CPUインタフェース部
- 割り込み制御部
- 内部レジスタ部
- ビット処理部
- フィールド処理部
- IEBusインタフェース部

(a) CPUインタフェース部

CPUとIEBus本体とをインタフェースするための制御部です。

(b) 割り込み制御部

IEBus本体からの割り込み要求信号をCPUに渡すための制御部です。

(c) 内部レジスタ部

IEBusの制御を行うコントロール・レジスタ、各フィールドのデータを設定します(16.4 IEBusコントローラの内部レジスタ参照)。

(d) ビット処理部

ビット・タイミングの生成、分解を行い、主にビット・シーケンスROM、8ビット・プリセット・タイマ、判定器から構成されています。

(e) フィールド処理部

通信フレーム内のフィールドを生成して、主にフィールド・シーケンスROM、4ビット・ダウン・カウンタ、判定器から構成されています。

(f) IEBusインタフェース部

外付けドライバ/レシーバのインタフェース部で、主にノイズ・フィルタ、シフト・レジスタ、競合検出、パリティ検出、パリティ生成回路、ACK/NACK生成回路から構成されています。

16.4 IEBusコントローラの内部レジスタ

IEBusコントローラは、次のレジスタで構成されています。

16.4.1 内部レジスタ一覧

表16-8 IEBusコントローラの内部レジスタ一覧

アドレス	特殊機能レジスタ (SFR)	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FFAFH	IEBusコントロール・レジスタ	BCR0	R/W	○	○	—	00H
FFB1H	IEBusコントロール・データ・レジスタ	CDR	R/W	—	○	—	01H
FFB2H	IEBus自局アドレス・レジスタ	UAR		—	—	○	0000H
FFB4H	IEBusスレーブ・アドレス・レジスタ	SAR		—	—	○	
FFB6H	IEBus相手先アドレス・レジスタ	PAR		R	—	—	○
FFB9H	IEBus電文長レジスタ	DLR	R/W	—	○	—	01H
FFBAH	IEBusデータ・レジスタ	DR	R	—	○	—	00H
FFBBH	IEBusユニット・ステータス・レジスタ	USR		○	○	—	41H
FFBCH	IEBusインタラプト・ステータス・レジスタ	ISR		R/W	○	○	
FFBDH	IEBusスレーブ・ステータス・レジスタ	SSR		R	○	○	—
FFBEH	IEBus通信成功カウンタ	SCR	R	—	○	—	01H
FFBFH	IEBus伝送カウンタ	CCR		—	○	—	20H

注意1. 上記レジスタは、SFR空間にマッピングされます。

2. 1ワード操作の必要なレジスタは、UAR, SAR, およびPARです。

3. DR, CDRおよびDLRは、Read modify Write方式の命令 (XCH, ROL4など) は、使用できません。

16.4.2 内部レジスタの説明

次にIEBusコントローラに内蔵されている各レジスタを説明します。

(1) IEBusコントロール・レジスタ0 (BCR0)

図16-11 IEBusコントロール・レジスタ0 (BCR0) のフォーマット

アドレス：FFAFH リセット時：00H R/W

略号	[7]	[6]	[5]	[4]	[3]	2	1	0
BCR0	ENIEBUS	MSTRQ	ALLRQ	ENSLVTX	ENSLVRX	0	0	0

ENIEBUS	通信許可フラグ
0	IEBusユニットを停止
1	IEBusユニットをアクティブにする

MSTRQ	マスタ・リクエスト・フラグ
0	IEBusユニットをマスタとして要求しない
1	IEBusユニットをマスタとして要求する

ALLRQ	同報リクエスト・フラグ
0	個別通信を要求する
1	同報通信を要求する

ENSLVTX	スレーブ送信許可フラグ
0	スレーブ送信を禁止
1	スレーブ送信を許可

ENSLVRX	スレーブ受信許可フラグ
0	スレーブ受信を禁止
1	スレーブ受信を許可

注意 1. マスタとして動作中、その通信が通信終了/フレーム終了するか、または競合負け、通信エラー発生により通信中止になるまでは、BCR0レジスタへの書き込み動作（ビット操作命令も含む）を禁止します。したがって、マスタ要求の多重化はできません。ただし、マスタ要求が保留された状態でスレーブ指定された場合、通信終了時に通信終了フラグ/フレーム終了フラグをクリアするためにBCR0レジスタへ書き込みを行う動作は問題ありません。また、通信を強制終了する（ENIEBUSフラグ=0）場合も問題ありません。

2. BCR0レジスタに対するビット操作命令と、MSTRQフラグのハードウェア・リセットが競合すると正常に動作しない場合があります。この場合、次に示す対策により回避できます。

- ・ハードウェア・リセットはスレーブ・アドレス・フィールドのアクノリッジ期間に行われるので、(b) マスタ・リクエスト・フラグ (MSTRQ) の注意 1 を守ってください。
- ・BCR0レジスタの書き込みに対しては、上記の注意 1 を守ってください。

(a) 通信許可フラグ (ENIEBUS) … ビット 7

〈セット/リセット条件〉

セット : ソフトウェア操作で行います。

リセット: ソフトウェア操作で行います。

注意 ENIEBUSフラグをセットする場合は、あらかじめ次の設定を両方行ってください。

- ・割り込み許可 (EI) 状態かつINTIE2の割り込み処理を許可 (IEMK2 = 0) に設定
- ・IEBusの自局アドレス・レジスタ (UAR) の設定

(b) マスタ・リクエスト・フラグ (MSTRQ) … ビット 6

〈セット/リセット条件〉

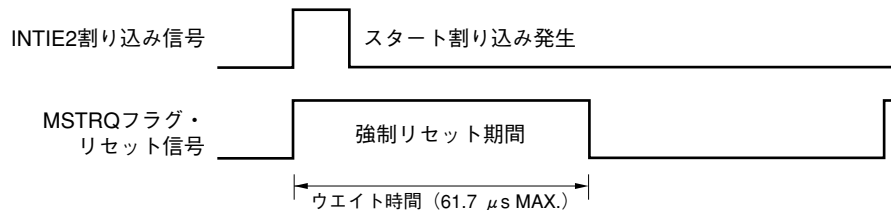
セット : ソフトウェア操作で行います。

リセット: アービトレーション期間の終わりにハードウェアにて行われます。

スレーブ・アドレス・フィールドのACK期間にリセット信号が発生するため、この期間にMSTRQフラグのセット命令を行っても無効になります。

注意 1. 競合に負けた場合の再マスタ要求は、ソフトウェア処理にて行ってください。

競合に負けた場合で、再マスタ要求を行うときはウェイト時間を確保してからMSTRQフラグのセット (1) を行ってください。このウェイト期間内にMSTRQフラグのセット命令を実行してもセット (1) されません。



2. マスタ要求して、バス占有権を得た場合は、その通信が終了する (ISRレジスタの通信終了フラグまたはフレーム終了フラグがセット (1)) まで、MSTRQフラグ、ENSLVTXフラグ、ENSLVRXフラグのいずれかをセット (1) しないでください。セットした場合、割り込み要求が発生しなくなります。ただし、通信を中止する場合は問題ありません。

(c) 同報リクエスト・フラグ (ALLRQ) … ビット 5

〈セット/リセット条件〉

セット : ソフトウェア操作で行います。

リセット: ソフトウェア操作で行います。

注意 同報通信を要求する場合は必ずALLRQフラグをセットし、MSTRQフラグをセットしてください。

(d) スレーブ送信許可フラグ (ENSLVTX) … ビット 4

〈セット/リセット条件〉

セット : ソフトウェア操作で行います。

リセット : ソフトウェア操作で行います。

注意 1. マスタ要求時には、MSTRQフラグをセットする前にENSLVTXフラグをクリアしてください。

スレーブ時にENSLVTXフラグをセットしていない状態でマスタからスレーブ送信要求があった場合は、コントロール・フィールドでNACKを返信します。また、禁止状態から許可状態に戻したときは、次の新しいフレームから有効になります。

2. ENSLVTXフラグがセットされていないときに、データ/コマンド書き込みのコントロール・データ (3H, 7H) を受信すると、コントロール・フィールドのアクノリッジ・ビットでNACKを返信します。
3. ENSLVTXフラグをリセット状態にしたときでも、スレーブ・ステータス要求のコントロール・データ (0H, 4H, 5H, 6H) を返信したときは、ENSLVTXフラグがセットされステータス割り込み (INTIE2) が発生します。このとき、コントロール・フィールドのアクノリッジ・ビットでの返信データ (ACKまたはNACK) は、自局の状態と受信したコントロール・データに依存します。

(e) スレーブ受信許可フラグ (ENSLVRX) … ビット 3

〈セット/リセット条件〉

セット : ソフトウェア操作で行います。

リセット : ソフトウェア操作で行います。

注意 ほかのCPU処理で忙しいときは、ENSLVRXフラグをリセットすると、コントロール・フィールドのアクノリッジ・ビットでNACKを返信し、スレーブ受信を禁止できます。したがって、ENSLVRXフラグをリセットすると個別通信を禁止できますが、同報通信は禁止できません。ただし、個別通信時、受信したスレーブ・アドレスが自局アドレスと一致した場合、スタート割り込み (INTIE2) を発生します。CPU処理を優先させた場合 (受信も送信も行わない場合) は、ENIEBUSフラグをリセットし、IEBusユニットを停止してください。また、禁止状態から許可状態に戻したときは、次の新しいフレームから有効になります。

(2) IEBus自局アドレス・レジスタ (UAR)

IEBusユニットの自局アドレスを設定するレジスタです。通信を開始する前に、必ずUARを設定してください。

ビット11-0に、ユニット・アドレス (12ビット) を設定します。

図16-12 IEBus自局アドレス・レジスタ (UAR) のフォーマット

アドレス：FFB2H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UAR	0	0	0	0												

(3) IEBusスレーブ・アドレス・レジスタ (SAR)

マスタ要求時にスレーブ・アドレス・フィールドの送信データの値に反映されます。マスタ要求時は、通信を開始する前に、必ずSARを設定してください。

ビット11-0に、スレーブ・アドレス (12ビット) を設定します。

図16-13 IEBusスレーブ・アドレス・レジスタ (SAR) のフォーマット

アドレス：FFB4H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAR	0	0	0	0												

(4) IEBus相手先アドレス・レジスタ (PAR)

(a) スレーブ・ユニット時

マスタ・アドレス・フィールドの受信データの値 (マスタ・ユニットのアドレス) が書き込まれます。

マスタからロック・アドレス (下位 8 ビット) の読み込み要求 (4H) を受けた場合、CPUが PARの値を読み出したあとに、下位 8 ビットのデータをIEBusデータ・レジスタ (DR) に書き込んでください。

マスタからロック・アドレス (上位 4 ビット) の読み込み要求 (5H) を受けた場合、CPUが PARの値を読み出したあとに、上位 4 ビットのデータをIEBusデータ・レジスタ (DR) に書き込んでください。

ビット11-0に、相手先アドレス (12ビット) を設定します。

図16-14 IEBus相手先アドレス・レジスタ (PAR) のフォーマット

アドレス：FFB6H リセット時：0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PAR	0	0	0	0												

(5) IEBusコントロール・データ・レジスタ (CDR)

(a) マスタ・ユニット時

下位 4 ビットのデータは、コントロール・フィールドで送信されるデータに反映されます。マスタ要求時は、通信を開始する前にCDRをあらかじめ設定してください。

(b) スレーブ・ユニット時

下位 4 ビットは、コントロール・フィールドで受信したデータが書き込まれます。

IEBusインタラプト・ステータス・レジスタ (ISR) のステータス送信フラグ (STATUSF) がセットされると、割り込み (INTIE2) が発生して、ソフトウェア操作でCDRの下位 4 ビットの値により各処理を行ってください。

図16-15 IEBusコントロール・データ・レジスタ (CDR) のフォーマット

アドレス：FFB1H リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
CDR	0	0	0	0	CDR3	CDR2	CDR1	CDR0

CDR3	CDR2	CDR1	CDR0	機能
0	0	0	0	スレーブ・ステータスの読み込み
0	0	0	1	未定義
0	0	1	0	未定義
0	0	1	1	データ読み込みとロック
0	1	0	0	ロック・アドレスの読み込み (下位 8 ビット)
0	1	0	1	ロック・アドレスの読み込み (上位 4 ビット)
0	1	1	0	スレーブ・ステータスの読み込みとロック解除
0	1	1	1	データ読み込み
1	0	0	0	未定義
1	0	0	1	未定義
1	0	1	0	コマンド書き込みとロック
1	0	1	1	データ書き込みとロック
1	1	0	0	未定義
1	1	0	1	未定義
1	1	1	0	コマンド書き込み
1	1	1	1	データ書き込み

- 注意 1. スレーブ・ユニットは、受信したデータがコマンドかデータか判断する必要があるため、通信終了後にCDRの値を読み出してください。
2. CDRは、Read modify Write方式の命令 (XCH, ROL4など) は使用できません。
3. マスタ・ユニットが未定義の値を設定した場合、スレーブ・ユニットからNACKが返されて、通信は途中終了されますが、同報通信時には、マスタ・ユニットは $\overline{\text{ACK/NACK}}$ を認識せずに通信継続するため、未定義の値を設定しないでください。
4. 競合で負けて、勝ったユニットからスレーブ・ステータス要求を受けた場合、IEBus電文長レジスタ (DLR) が01Hに固定されるので、次にマスタを再要求する場合は、必ず所定の電文長をDLRに設定してください。

(c) スレーブ・ステータス返信動作

マスタからスレーブ・ステータスの要求(コントロール・データ:0H, 6H), ロック・アドレスの要求(4H, 5H)を受信した場合, 自局の状態によりコントロール・フィールドでのACK返信動作が異なります。

- ① 非ロック状態で“0H, 6H”のコントロール・データを受信した場合 → $\overline{\text{ACK}}$ 返信する
- ② 非ロック状態で“4H, 5H”のコントロール・データを受信した場合 → $\overline{\text{ACK}}$ 返信しない
- ③ ロック状態でロック要求した局から“0H, 4H, 5H, 6H”のコントロール・データを受信した場合 → $\overline{\text{ACK}}$ 返信する
- ④ ロック状態でロック要求した局以外から“0H, 4H, 5H”のコントロール・データを受信した場合 → $\overline{\text{ACK}}$ 返信する
- ⑤ ロック状態でロック要求した局以外から“6H”のコントロール・データを受信した場合 → $\overline{\text{ACK}}$ 返信しない

①-⑤のすべての場合, スレーブ・ステータス, ロック・アドレスの要求を受け付けたということでSTATUSFフラグ(ISRレジスタのビット4)がセットし, ステータス割り込み要求(INTIE2)が発生します。発生タイミングは, コントロール・フィールドのパリティ・ビットの終わり(ACKビットの始まり)です。ただし, $\overline{\text{ACK}}$ 返信を行わない場合は, $\overline{\text{ACK}}$ ビット終了後, NACKエラーとなり通信は終了します。

図16-16 割り込み発生タイミング(①, ③, ④の場合)

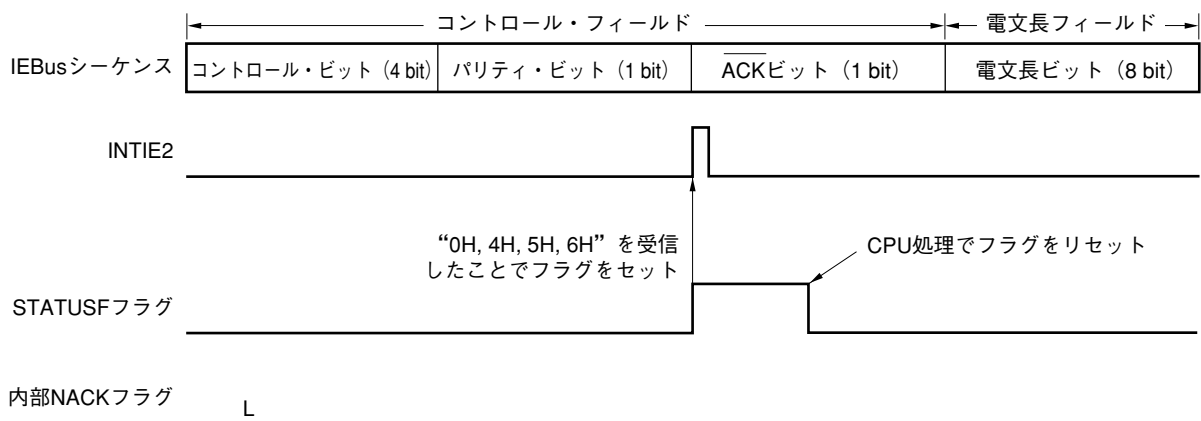
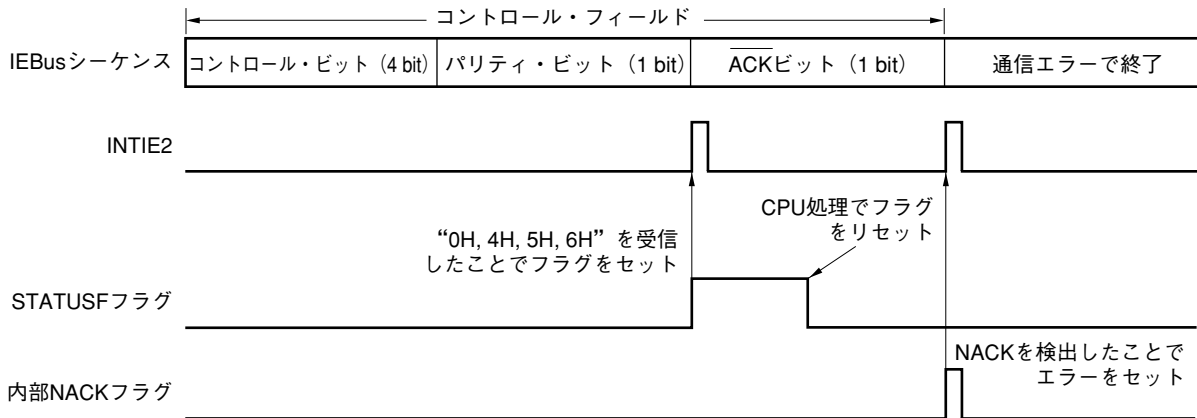
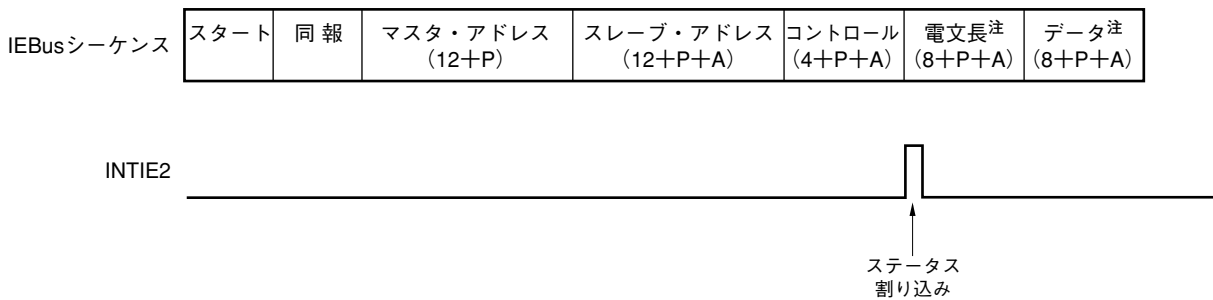


図16-17 割り込み発生タイミング (②, ⑤の場合)



④, ⑤の場合、「ロック状態中におけるロック要求以外からの通信」であるため、自局が通信対象の場合でもスタート割り込みや通信完了割り込み (INTIE2) は発生しません。ただし、スレーブ・ステータス、ロック・アドレスの要求を受け付けた場合はSTATUSFフラグ (IEBusインタラプト・ステータス・レジスタ (ISR) のビット4) がセットし、ステータス割り込み要求 (INTIE2) が発生します。このようにロック状態中に同じコントロール・データを受けた場合でも、マスタ側がロック要求局 (③) か、それ以外の局 (④) かにより、INTIE2の発生タイミングが異なります。

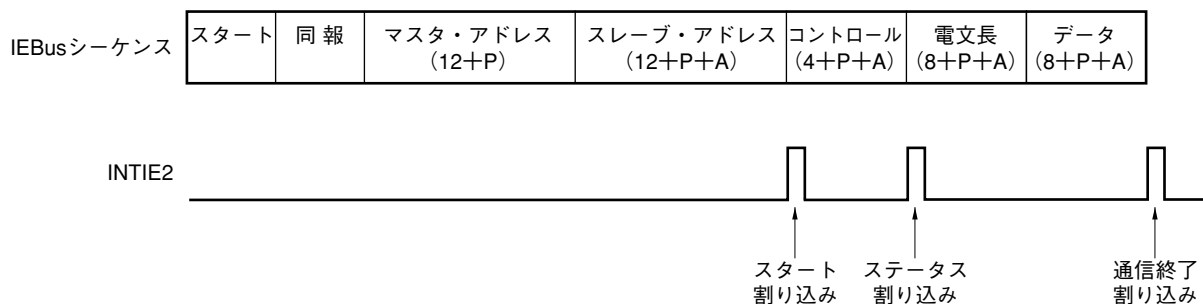
図16-18 ロック状態中のINTIE2割り込み発生タイミング (④, ⑤の場合)



注 ⑤の場合はACK返信はしないので電文長、データには移行しません。

備考 P: パリティ・ビット, A: ACK/NACKビット

図16-19 ロック状態中のINTIE2割り込み発生タイミング (③の場合)



備考 P: パリティ・ビット, A: $\overline{\text{ACK/NACK}}$ ビット

(6) IEBus電文長レジスタ (DLR)

(a) 送信ユニット時 (マスタ送信, スレーブ送信)

電文長フィールドで送信されるデータに反映され、送信データのバイト数を表します。送信前にあらかじめDLRを設定してください。

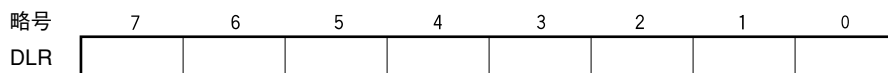
(b) 受信ユニット時 (マスタ受信, スレーブ受信)

送信ユニットから送信される電文長フィールドの受信データが書き込まれます。

備考 IEBus電文長レジスタは、書き込み側と読み出し側が別レジスタになっており、書き込んだデータがそのまま読み出せる構成にはなっていません。読み出せるデータはIEBus通信で受信したデータとなります。

図16-20 IEBus電文長レジスタ (DLR) のフォーマット

アドレス：FFB9H リセット時：01H R/W



ビット								設定値	通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1バイト
0	0	0	0	0	0	1	0	02H	2バイト
:	:	:	:	:	:	:	:	:	:
0	0	1	0	0	0	0	0	20H	32バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255バイト
0	0	0	0	0	0	0	0	00H	256バイト

- 注意 1. マスタからスレーブ・ステータス、ロック・アドレス (上位4ビット, 下位8ビット) の送信要求 (0H, 4H, 5H, 6H) があつたとき、DLRの内容は、01Hにハードウェア上で設定されるため、CPUは設定する必要がありません。
2. 競合で負けて、勝ったユニットからスレーブ・ステータス要求を受けた場合、IEBus電文長レジスタ (DLR) が01Hに固定されるので、次にマスタを再要求する場合は、必ず所定の電文長をDLRに設定してください。
3. DLRは、Read Modify Write方式の命令 (XCH, ROL4など) は使用できません。

(7) IEBusデータ・レジスタ (DR)

IEBusデータ・レジスタ (DR) は、通信データを設定するレジスタです。ビット7-0に通信データ (8ビット) を設定します。

備考 IEBusデータ・レジスタは、書き込み側と読み出し側が別レジスタになっており、書き込んだデータがそのまま読み出せる構成にはなっていません。読み出されるデータはIEBus通信で受信したデータとなります。

(a) 送信ユニット時

IEBusデータ・レジスタ (DR) に書き込まれたデータ (1バイト分) は、IEBus内部のシフト・レジスタに格納されます。引き続き最上位ビットから出力されて、正常に1バイトの送信が終了するごとにCPUに対して割り込み (INTIE1) が発行されます。ただし、個別送信時に1バイト・データ送信後NACK受信した場合は、次データをDRからシフト・レジスタへ転送しないで、同一データを再送します。このとき、INTIE1は発生しません。

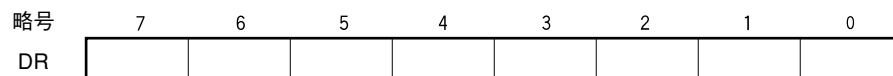
INTIE1は、IEBusデータ・レジスタ (DR) の値がIEBusインタフェース部のシフト・レジスタに格納されるタイミングで発行されます。ただし、最終バイトおよび32バイト目 (1通信フレームの最終バイト) をシフト・レジスタに格納したとき、INTIE1は発行されません。

(b) 受信ユニット時

IEBusインタフェース部のシフト・レジスタで受信したデータ1バイト分が格納されます。正常に1バイトの受信が終了するごとに割り込み (INTIE1) が発行されます。

図16-21 IEBusデータ・レジスタ (DR) のフォーマット

アドレス：FFBAH リセット時：00H R/W



- 注意 1. 送信ユニット時に次のデータの設定が間に合わない場合、アンダラン発生となり通信エラーの割り込み (INTIE2) が発生して送信を中止します。
2. 受信ユニット時にデータの読み出しが次のデータ受信タイミングに間に合わない場合は、オーバラン状態になります。このとき、個別通信受信時はデータ・フィールドのアクノリッジ・ビットでNACKを返信し、マスタ・ユニットに再送を要求します。同報通信受信時はオーバラン・エラー発生となり、通信エラー割り込み (INTIE2) が発生します。
3. DRは、Read Modify Write方式の命令 (XCH, ROL4など) は使用できません。

(8) IEBusユニット・ステータス・レジスタ (USR)

図16-22 IEBusユニット・ステータス・レジスタ (USR) のフォーマット

アドレス：FFBBH リセット時：00H R

略号	7	6	5	4	3	2	1	0
USR	0	SLVRQ	ARBIT	ALLTRNS	ACK	LOCK	0	0

SLVRQ	スレーブ要求フラグ
0	マスタからスレーブ要求なし
1	マスタからスレーブ要求あり

ARBIT	競合結果フラグ
0	競合勝ち
1	競合負け

ALLTRNS	同報通信フラグ
0	個別通信状態
1	同報通信状態

ACK	ACK送信フラグ
0	NACKを送信
1	ACKを送信

LOCK	ロック状態フラグ
0	ユニットが非ロック状態
1	ユニットがロック状態

(a) スレーブ要求フラグ (SLVRQ) … ビット 6

マスタからスレーブ要求があったかを示すフラグです。

〈セット/リセット条件〉

セット：自局がスレーブ要求されたとき（個別通信受信時は受信したスレーブ・アドレスと自局UARが一致したとき。同報通信受信時は受信したスレーブ・アドレスの上位4ビットと一致、または受信したスレーブ・アドレスがFFFHのとき）に、スレーブ・アドレス・フィールドのアクノリッジ期間開始時にハードウェアでセットされます。

リセット：自局がスレーブ要求されていないとき、ハードウェアにてリセットします。タイミングはセット時と同じです。ただし、正常に通信を受信した直後（SLVRQビットがセット状態）に自局がスレーブ要求され、その通信のスレーブ・アドレス・フィールドでパリティ・エラーが発生した場合、フラグはリセットしません。

(b) 競合結果フラグ (ARBIT) … ビット 5

競合結果を示すフラグです。

〈セット/リセット条件〉

セット : マスタの要求後、アービトレーション期間中に自局が出力しているデータとバス・ラインのデータが不一致のときにセットされます。

リセット: スタート・ビット・タイミングでリセットされます。

注意 1. 競合結果フラグ (ARBIT) のリセット・タイミングは、自局がスタート・ビットを出力する場合としない場合で異なります。

- ・スタート・ビットを出力する : 出力開始タイミングでリセット
- ・スタート・ビットを出力しない: スタート・ビットの検出タイミング (出力から約160 μs) でリセット

2. マスタ要求したあと、他局のスタート・ビット出力の方が早く、自局がスタート・ビットを出力していない場合はスタート・ビットの検出タイミングでリセットします。

(c) 同報通信フラグ (ALLTRNS) … ビット 4

ユニットが同報通信しているかを示すフラグです。フラグの内容は、各フレームの同報フィールドで更新されます。

セット/リセット条件は、システム・リセットで初期化 (リセット) される以外は、同報フィールド・ビットの受信データにより変化します。

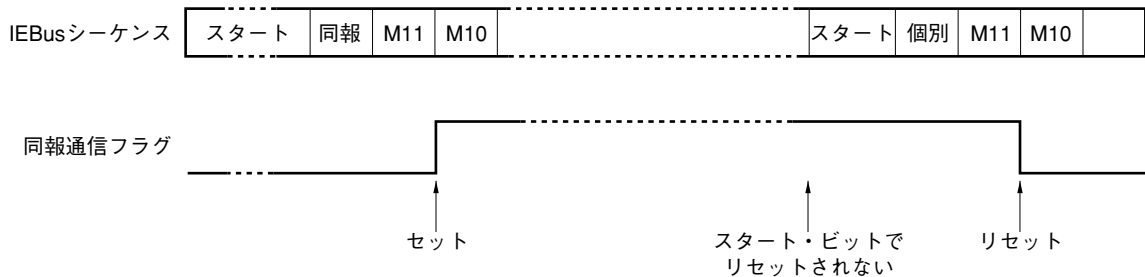
〈セット/リセット条件〉

セット : 同報フィールドで「同報」を受信したとき

リセット: 同報フィールドで「個別」を受信したとき、またはシステム・リセット入力時

注意 同報通信フラグの更新は、自局が通信対象である/なしにかかわらず行われます。

図16-23 同報通信フラグの動作例



(d) $\overline{\text{ACK}}$ 送信フラグ (ACK) … ビット3

受信ユニット時、各フィールドの $\overline{\text{ACK}}$ 期間中に $\overline{\text{ACK}}$ を送信したかを示します。フラグの内容は、各フレームの $\overline{\text{ACK}}$ 期間で更新されます。ただし、パリティ・エラー発生などにより、内部回路が初期化された場合は、そのフィールドの $\overline{\text{ACK}}$ 期間での更新はされません。

(e) ロック状態フラグ (LOCK) … ビット2

ユニットがロック状態かを示すフラグです。

〈セット/リセット条件〉

セット : コントロール・フィールドでロック指定 (3H, 6H, AH, BH) を受けて、通信終了フラグ (ENDTRNS) がロウ・レベルで、かつフレーム終了フラグ (ENDFRAM) がハイ・レベルのときセットされます。

リセット : 通信許可フラグ (ENIEBUS) をクリアした場合。

コントロール・フィールドでロック解除 (3H, 6H, AH, BH) を受けて、通信終了フラグがセットされた場合。

注意 同報通信では、ロックの設定/解除はできません。また、ロック状態中はロック要求したユニット以外からの個別通信を受け付けません。ただしロック要求ユニット以外からの通信でも、その通信がスレーブ・ステータス要求であるかぎり受け付けます。

備考 ENDTRNS : IEBusインタラプト・ステータス・レジスタ (ISR) のビット3

ENDFRAM : 〃 のビット2

ENIEBUS : IEBusコントロール・レジスタ0 (BCR0) のビット7

(9) IEBusインタラプト・ステータス・レジスタ (ISR)

IEBusの割り込み発行時の状態を示すステータス・レジスタです。割り込みが発生するごとにISRを読み出して、所定の割り込み処理を行います。

ISRレジスタは読み出し後リセットしてください。リセットされるまでは、以後のINTIE2割り込み信号が発生しません（保留もされません）。

ISRレジスタのリセットは、表16-9のリセット条件に従って各フラグをリセットしてください。

表16-9 ISRレジスタの各フラグのリセット条件

フラグ名	リセット条件	処理例
IEERR, STARTF, STATUSF	ISRレジスタのバイト書き込み動作。書き込み値は任意	ISR = 00Hなど
ENDTRNS, ENDFRAM	MSTRQフラグ, ENSLVTXフラグ, ENSLVRXフラグのいずれかをセットする	BCR0レジスタ = 88H, またはENSLVTX = 1など

注意 ISRレジスタへのアクセスにより、ENDTRNS, ENDFRAMフラグへ0の書き込みを行っても、これらのフラグはリセットされません。上記の方法でリセットしてください。

備考 MSTRQ : IEBusコントロール・レジスタ (BCR0) のビット6
 ENSLVTX : IEBusコントロール・レジスタ (BCR0) のビット4
 ENSLVRX : IEBusコントロール・レジスタ (BCR0) のビット3

図16-24 IEBusインタラプト・ステータス・レジスタ (ISR) のフォーマット

アドレス：FFBCH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ISR	0	IEERR	STARTF	STATUSF	ENDTRNS	ENDFRAM	0	0

IEERR	通信エラー・フラグ (通信中)
0	通信エラーなし
1	通信エラー発生

STARTF	スタート割り込みフラグ
0	スタート割り込み発生なし
1	スタート割り込み発生あり

STATUSF	ステータス送信フラグ (スレープ時)
0	スレープ・ステータス/ロック・アドレス (上位4ビット, 下位8ビット) 送信要求なし
1	スレープ・ステータス/ロック・アドレス (上位4ビット, 下位8ビット) 送信要求あり

ENDTRNS	通信終了フラグ
0	電文長フィールドで設定した伝送バイト数分の通信が終了せず
1	電文長フィールドで設定した伝送バイト数分の通信が終了

ENDFRAM	フレーム終了フラグ
0	フレーム (モード1で規定される最大伝送バイト数分 (32バイト) の通信) が終了せず
1	フレーム (モード1で規定される最大伝送バイト数分 (32バイト) の通信) が終了

注意 IEERR, STARTF, STATUSF, ENDTRNS, ENDFRAMは、それぞれ割り込み要求信号 (INTIE2) の生成要因となります (図16-28 割り込み制御部の構成を参照)。そのためどれか1つの割り込み要因がセットされた状態のとき、後発の要因による割り込み要求は発生しません。割り込み処理プログラムにより、次の割り込み発生タイミングまでに割り込み発生要因のフラグをクリアしてください。

(a) 通信エラー・フラグ (IEERR) … ビット 6

通信中のエラーを検出するフラグです。

〈セット/リセット条件〉

セット : タイミング・エラー, パリティ・エラー (データ・フィールドを除く), NACK 受信 (データ・フィールドを除く), アンダラン・エラー, オーバラン・エラー (同報通信受信時に発生) のいずれかが発生したときにセットされます。

リセット: ソフトウェア操作で行います。

(b) スタート割り込みフラグ (STARTF) … ビット 5

スレーブ・アドレス・フィールドのACK期間の割り込みを示すフラグです。

〈セット/リセット条件〉

セット : マスタ要求時は, スレーブ・アドレス・フィールドでセットされます。
スレーブ・ユニット時は, マスタから要求があったとき (ロック状態ではロック要求ユニットからのスレーブ要求があった場合のみ) にセットされます。

リセット: ソフトウェア操作で行います。

(c) ステータス送信フラグ (STATUSF) … ビット 4

スレーブ時にマスタからスレーブ・ステータス, ロック・アドレス (上位4ビット, 下位8ビット) のいずれかの送信状態であるかを示すフラグです。

〈セット/リセット条件〉

セット : スレーブ・ユニット時に, マスタからコントロール・フィールドで, 0H, 4H, 5H, 6Hを受信したときにセットされます。

リセット: ソフトウェア操作で行います。

(d) 通信終了フラグ (ENDTRNS) … ビット 3

電文長フィールドで設定した/された伝送バイト数分の通信が終了したかを示すフラグです。

〈セット/リセット条件〉

セット : IEBus通信成功カウンタ (SCR) のカウンタ値が0になったとき, セットされません。

リセット: IEBusコントロール・レジスタ0 (BCR0) のMSTRQフラグ, ENSLVTXフラグ, ENSLVRXフラグのいずれかがセットされたとき, リセットされます。

(e) フレーム終了フラグ (ENDFRAM) … ビット 2

モード1で規定されている最大伝送バイト数分(32バイト)の通信が終了したかを示すフラグです。

〈セット/リセット条件〉

セット : IEBus伝送カウンタ (CCR) のカウンタ値が0になったとき、セットされます。

リセット : IEBusコントロール・レジスタ0 (BCR0) のMSTRQフラグ、ENSLVTXフラグ、ENSLVRXフラグのいずれかがセットされたとき、リセットされます。

(f) 通信エラー発生要因

● タイミング・エラー

発生条件 : 通信ビットのハイ/ロウ・レベル幅が規定値からはずれた場合に発生します。

備考 : それぞれの規定値はビット処理部に設定されていて、内部の8ビット・タイマで監視されています。タイミング・エラーが発生した場合、割り込みが発生します。

● パリティ・エラー

発生条件 : 受信ユニット時、各フィールドで生成パリティと受信パリティが一致しなかった場合に発生します。

備考 : 個別通信時はデータ・フィールド以外でパリティ・エラーが発生した場合、割り込みが発生します。

同報通信時はデータ・フィールドでパリティ・エラーが発生した場合でも、割り込みが発生します。

制限事項 : 同報通信要求を行い競合負けしたスレーブ要求があった場合は、データ・フィールドでパリティ・エラーが発生しても、割り込みは発生しません。

● NACK受信

発生条件 : 個別通信時、マスタ/スレーブ・ユニットにかかわらず、スレーブ・アドレス、コントロール、電文長の各フィールドで $\overline{\text{ACK}}$ 期間にNACKを受信したときに発生します。

NACK受信が発生するのは個別通信時のみです。同報通信の場合は、 $\overline{\text{ACK}}/\text{NACK}$ の判定を行いません。

備考 : データ・フィールド以外でNACKを受信した場合、割り込みが発生します。

● アンダラン・エラー

発生条件 : データ送信時に、 $\overline{\text{ACK}}$ 受信までにIEBusデータ・レジスタ (DR) に次に送信されるデータの書き込みが間に合わなかった場合に発生します。

備考 : アンダランが発生した場合、割り込みが発生します。

●オーバラン・エラー

発生条件：受信ユニット時に1バイトごとのデータがIEBusデータ・レジスタ（DR）に格納されるデータ割り込み要求（INTIE1）が発生し、ソフトウェアでDRレジスタの読み込み処理を行います。この読み込み処理が遅れて次のデータの受信タイミングになると、オーバラン・エラーが発生します。

備考：個別通信受信時は、次のデータのACK期間でアクノリッジを返信しません。これにより送信ユニットはデータを再送します。したがって、IEBus伝送カウンタ（CCR）のデクリメントを行いますが、IEBus通信成功カウンタ（SCR）のデクリメントは行いません。

同報通信受信時は、通信エラー割り込み要求（INTIE2）が発生し、受信を中止します。このときDRレジスタは更新されません。また、INTIE1も発生せず、STATRXフラグ（SSRレジスタのビット1）のセット（1）を保持します。オーバラン状態の解除は、DRレジスタを読み出したあとのデータ受信タイミングになります。

(g) オーバラン・エラーの補足説明

(i) 個別通信受信でオーバラン状態になり、フレーム終了する場合

オーバラン状態のあとのDR読み込みが実行されず、データ再送が最大伝送バイト数分(32バイト)に達した場合、フレーム終了割り込み(INTIE2)が発生します。フレーム終了したあともDR読み込みを行うまではオーバラン状態を保持します。

(ii) 上記(i)の場合で次の受信が開始された場合、または同報/個別通信に関係なく最終データを受信したあと、DR読み込みを行わず次の通信が開始された場合

オーバラン状態で自局宛ての通信が開始された場合でも、スレーブ・アドレスやコントロール、電文長の各フィールドのACK期間では、オーバラン起因のNACK返信は行いません(DRの更新を行いません)。次の通信が自局宛ての通信でない場合は、DR読み込みを行うまではDRを更新しません。自局非対象のため、データ割り込み(INTIE1)や通信エラー割り込み(INTIE2)は発生しません。

(iii) オーバラン状態で次の送信動作を行う場合

オーバラン状態で次の送信を行う場合は、2バイト以上の送信ができません。

データ要求割り込み(INTIE1)が発生しないため、送信データの設定ができず、アンダラン・エラーになります。したがって、オーバラン状態を解除してから送信を行ってください。

(iv) オーバラン状態の解除

オーバラン状態の解除は、DR読み出しとシステム・リセット時にのみ行われます。したがって、通信エラー割り込み処理プログラム中などで、必ずDR読み出しを行ってください。

(10) IEBusスレーブ・ステータス・レジスタ (SSR)

スレーブ・ユニットの通信状態を示すレジスタです。マスタからスレーブ・ステータス送信要求を受けたら、CPUはSSRを読み出したあと、IEBusデータ・レジスタ (DR) に書き込むことでスレーブ・ステータスを送信できます。また、このときの電文長は自動的に01Hに設定されるので、IEBus電文長レジスタ (DLR) を設定する必要はありません (ハードウェアによりプリセットされます)。

ビット7, 6は、ユニットがサポートする最高位のモードを示すために“01” (モード1) に固定されています。

図16-25 IEBusスレーブ・ステータス・レジスタ (SSR) のフォーマット

アドレス：FFBDH リセット時：41H R

略号	7	6	5	4	3	2	1	0
SSR	0	1	0	STATSLV	0	STATLOCK	STATRX	STATTX

STATSLV	スレーブ送信状態フラグ	
0	スレーブ送信停止	
1	スレーブ送信許可	

STATLOCK	ロック状態フラグ	
0	非ロック状態	
1	ロック状態	

STATRX	DR受信状態	
0	DRに受信データを未格納	
1	DRに受信データを格納	

STATTX	DR送信状態	
0	DRに送信データを未格納	
1	DRに送信データを格納	

(a) スレーブ送信状態フラグ (STATSLV) … ビット 4

スレーブ送信許可フラグの内容が反映されます。

(b) ロック状態フラグ (STATLOCK) … ビット 2

ロック状態のフラグの内容が反映されます。

(c) DR受信状態 (STATRX) … ビット 1

DRの受信状態を示すフラグです。

(d) DR送信状態 (STATTX) … ビット 0

DRの送信状態を示すフラグです。

(11) IEBus通信成功カウンタ (SCR)

IEBus通信成功カウンタ (SCR) は、残りの通信バイト数を示すレジスタです。

IEBus電文長レジスタ (DLR) で設定された値が、データ・フィールドの \overline{ACK} によりデクリメントされるカウンタのカウンタ値が読み出されます。また、カウンタ値が00HになるとIEBusインタラプト・ステータス・レジスタ (ISR) の通信終了フラグ (ENDTRNS) がセットされます。

図16-26 IEBus通信成功カウンタ (SCR) のフォーマット

アドレス：FFBEH リセット時：01H R

略号	7	6	5	4	3	2	1	0
SCR								

ビット								設定値	残り通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1バイト
0	0	0	0	0	0	1	0	02H	2バイト
:	:	:	:	:	:	:	:	:	:
0	0	1	0	0	0	0	0	20H	32バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255バイト
0	0	0	0	0	0	0	0	00H	0バイト (通信終了) または 256バイト ^注

注 実際のハード・カウンタのビット長は、9ビットで構成されています。00Hが読み出されたときは、残りの通信データ・バイト数が0バイト (通信終了) か、256バイトなのか判断できません。したがって、通信終了フラグと併用して処理するか、通信開始時の最初の割り込み (00H) が読み出された場合は、残りの通信データ・バイト数は256バイトと判断することができます。

(12) IEBus伝送カウンタ (CCR)

IEBus伝送カウンタ (CCR) は、通信モードで規定されている通信バイト数に対する残りバイト数を示すレジスタです。

IEBus伝送カウンタ (CCR) のビット7-0は、伝送バイト数を示します。

モード1で規定されている1フレーム当たりの最大伝送バイト数 (32バイト) がプリセットされ、データ・フィールドの $\overline{\text{ACK}}$ の期間に $\overline{\text{ACK}}$ /NACKに関係なくデクリメントされるカウンタのカウンタ値が読み出されます。SCR (IEBus通信成功カウンタ) が正常通信 ($\overline{\text{ACK}}$) でデクリメントされるのに対して、CCRは $\overline{\text{ACK}}$ /NACKにかかわらず1バイトを通信するとデクリメントされます。また、カウンタ値が00HになるとIEBusインタラプト・ステータス・レジスタ (ISR) のフレーム終了フラグ (ENDFRAM) がセットされます。

モード1のプリセット値のフレーム当たりの最大伝送バイト数は、20H (32バイト) になります。

図16-27 IEBus伝送カウンタ (CCR) のフォーマット

アドレス：FFBFH リセット時：20H R

略号	7	6	5	4	3	2	1	0
CCR								

16.5 IEBusコントローラの割り込み動作

16.5.1 割り込み制御部

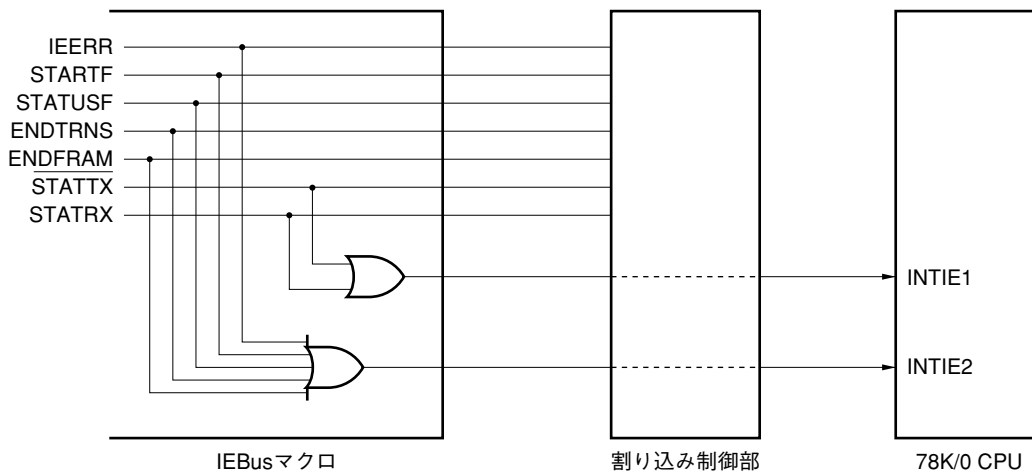
割り込み要求信号について次に示します。

- ① 通信エラー : IEERR
- ② スタート割り込み : STARTF
- ③ ステータス通信 : STATUSF
- ④ 通信終了 : ENDTRNS
- ⑤ フレーム終了 : ENDFRAM
- ⑥ 送信データ書き込み要求 : $\overline{\text{STATTX}}$
- ⑦ 受信データ読み出し要求 : STATRX

上記の①～⑤の割り込み要求は、IEBusインタラプト・ステータス・レジスタ (ISR) にアサインされています (表16-10 割り込み要因一覧参照)。

次に割り込み制御部の構成を示します。

図16-28 割り込み制御部の構成



注意 IEERR, STARTF, STATUSF, ENDTRNS, ENDFRAMのOR出力については、ベクタ割り込み要求信号 (INTIE2) として扱います。

16.5.2 割り込み要因一覧

割り込み要因の一覧を次に示します。

表16-10 割り込み要因一覧

割り込み要因		発生状態		割り込み発生後のCPU処理	備 考
		ユニット	フィールド		
通信エラー	タイミング・エラー	マスタ/ スレーブ	全フィールド	通信処理のやり直し	通信エラーは、タイミング・エラー、パリティ・エラー、NACK受信、アンダラン・エラー、オーバラン・エラーのOR出力になります。
	パリティ・エラー	受信	データ以外 (個別)		
			全フィールド (同報)		
	NACK受信	受信(送信)	データ以外 (個別)		
	アンダラン・エラー	送信	データ		
	オーバラン・エラー	受信	データ (同報)		
スタート割り込み	マスタ	スレーブ/ アドレス	スレーブ要求判定 競合判定(負けた場合は再マスタ処理) 通信準備処理	マスタ要求時は、競合に負けた場合も必ず割り込みが発生します。	
		スレーブ	スレーブ/ アドレス		スレーブ要求判定 通信準備処理
ステータス送信	スレーブ	コントロール	スレーブ・ステータスなどの送信処理例を参照してください。	スレーブ送信許可フラグに関係なく発生します。コントロール・フィールドでNACK返信するときも発生します。	
通信終了	送信	データ	ソフトウェアにて終了処理	SCRが0になるとセットされます。	
	受信	データ	ソフトウェアにて終了処理 受信データ処理		
フレーム終了	送信	データ	再通信準備処理	CCRが0になるとセットされます。	
	受信	データ	再受信準備処理		
送信データ書き込み	送信	データ	ソフトウェアにて送信データ書き込み処理	送信データを内部シフト・レジスタへ転送後にセットされます。最終データ転送時には発生しません。	
受信データ読み出し	受信	データ	ソフトウェアにて受信データ読み出し処理	正常データ受信後にセットされます。	

16.5.3 通信エラー要因処理一覧

各通信エラー（タイミング・エラー、NACK受信、オーバラン・エラー、アンダラン・エラー、パリティ・エラー）発生条件、および内蔵IEBusコントローラのエラー処理内容、およびソフトウェアでの処理例を次に示します。

表16-11 通信エラー要因処理一覧 (1/2)

		タイミング・エラー			
発生条件	自局状態	受信時		送信時	
	発生条件	ビット規定タイミングを外れた場合			
	発生場所	データ・フィールド 以外	データ・フィールド	データ・フィールド 以外	データ・フィールド
同報通信時	ハードウェア処理	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ 備考 他局間の通信は終了しない。		<ul style="list-style-type: none"> 送信中止 INTIE2発生 スタート・ビット待ち状態へ 	
	ソフトウェア処理	<ul style="list-style-type: none"> エラー処理（再送要求など） 		<ul style="list-style-type: none"> エラー処理（再送要求など） 	
個別通信時	ハードウェア処理	<ul style="list-style-type: none"> 受信中止 INTIE2発生 NACK返信 スタート・ビット待ち状態へ 		<ul style="list-style-type: none"> 送信中止 INTIE2発生 スタート・ビット待ち状態へ 	
	ソフトウェア処理	<ul style="list-style-type: none"> エラー処理（再送要求など） 		<ul style="list-style-type: none"> エラー処理（再送要求など） 	

		NACK受信				
発生条件	自局状態	受信時		送信時		
	発生条件	自局NACK送信		NACK受信		
	発生場所	データ・フィールド 以外	データ・フィールド	データ・フィールド 以外	データ・フィールド	32バイト目のデータでNACK受信
同報通信時	ハードウェア処理	—	—	—	—	—
	ソフトウェア処理	—	—	—	—	—
個別通信時	ハードウェア処理	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ 	<ul style="list-style-type: none"> INTIE2発生せず 他局が再送するデータを受信 	<ul style="list-style-type: none"> 送信中止 INTIE2発生 スタート・ビット待ち状態へ 	<ul style="list-style-type: none"> INTIE2発生せず 再送処理 	<ul style="list-style-type: none"> INTIE2発生^注 スタート・ビット待ち状態へ
	ソフトウェア処理	<ul style="list-style-type: none"> エラー処理（再送要求など） 	—	<ul style="list-style-type: none"> エラー処理（再送要求など） 	—	<ul style="list-style-type: none"> エラー処理（再送要求など）

注 ISR.6 (IEERR) および, ISR.2 (ENDFRAM) の両方がセット (1) されます。

リセットする場合は, 表16-9 の条件に従って, 行ってください。

表16-11 通信エラー要因処理一覧 (2/2)

		オーバーラン・エラー		アンダラン・エラー	
発生条件	自局状態	受信時		送信時	
	発生条件	DRの読み出しが次データ受信タイミングまでに間に合わない		DRの書き込みが次データ送信タイミングまでに間に合わない	
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド
同報通信時	ハードウェア処理	—	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ 備考1. 他局間の通信は終了しない。 2. オーバラン状態解除までデータ受信できない。	—	<ul style="list-style-type: none"> 送信中止 INTIE2発生 スタート・ビット待ち状態へ
	ソフトウェア処理	—	<ul style="list-style-type: none"> DR読み出しを実行し、オーバーラン状態解除を行う エラー処理（再送要求など） 	—	<ul style="list-style-type: none"> エラー処理（再送要求など）
個別通信時	ハードウェア処理	—	<ul style="list-style-type: none"> INTIE2発生せず NACK返信 他局からデータ再送 備考 オーバラン状態解除までデータ受信できない。	—	<ul style="list-style-type: none"> 送信中止 INTIE2発生 スタート・ビット待ち状態へ
	ソフトウェア処理	—	<ul style="list-style-type: none"> DR読み出しを実行し、オーバーラン状態解除を行う エラー処理（再送要求など） 	—	<ul style="list-style-type: none"> エラー処理（再送要求など）

		パリティ・エラー			
発生条件	自局状態	受信時		送信時	
	発生条件	受信データと受信パリティが不一致			
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド
同報通信時	ハードウェア処理	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ 備考 他局間の通信は終了しない。		—	—
	ソフトウェア処理	<ul style="list-style-type: none"> エラー処理（再送要求など） 		—	—
個別通信時	ハードウェア処理	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ 	<ul style="list-style-type: none"> 受信中止せず INTIE2発生せず NACK返信 他局から再送されたデータを受信 	—	—
	ソフトウェア処理	<ul style="list-style-type: none"> エラー処理（再送要求など） 	—	—	—

16.6 割り込み発生タイミングおよび主なCPU処理内容

16.6.1 マスタ送信

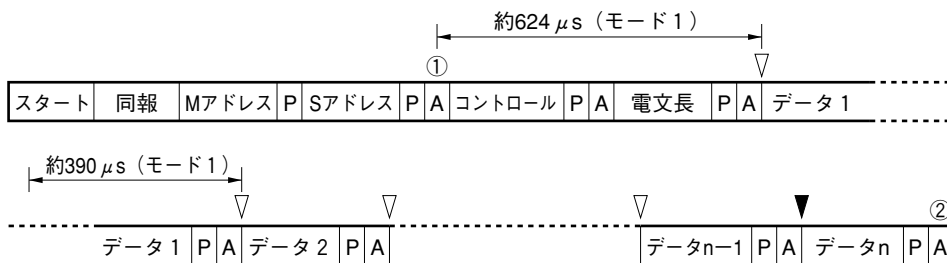
初期準備処理：

自局アドレス、スレーブ・アドレス、コントロール・データ、電文長、1バイト目送信データの設定

通信開始処理：

バス・コントロール・レジスタの設定（通信許可、マスタ・リクエスト、スレーブ受信許可）

図16-29 マスタ送信



① 割り込み (INTIE2) 発生

エラー発生判定 → エラー処理

↓

スレーブ要求判定 → スレーブ受信処理 (16.6.1 (1) スレーブ受信処理参照)

↓

競合結果判定 → 再マスタ要求処理

② 割り込み (INTIE2) 発生

エラー発生判定 → エラー処理

↓

通信終了判定 → 通信終了処理

↓

フレーム終了判定 → 再通信処理 (16.6.1 (3) 再通信処理参照)

備考1. ▽：割り込み (INTIE1) が発生します (16.6.1 (2) 割り込み (INTIE1) 発生参照)。

ソフトウェアにて2バイト目以降の送信データをIEBusデータ・レジスタ (DR) に書き込みます。このときの転送方向は、RAM (メモリ) →SFR (周辺) になります。

2. ▼：割り込み (INTIE1) は発生しません。

3. n = 最終データ・バイト数

(1) スレーブ受信処理

ベクタ割り込み処理でスレーブ受信要求を確認した場合は、1バイト目のデータを受信するまでに、ソフトウェアでのデータの転送方向をRAM（メモリ）→SFR（周辺）からSFR（周辺）→RAM（メモリ）に変更してください。通信モード1のとき、このデータ転送方向の変更処理の保留期間は、最大約1040 μsになります。

(2) 割り込み（INTIE1）発生

データ・フィールドでスレーブからNACKを受信した場合は、CPUに対して割り込み（INTIE1）は発生しないで、ハードウェアにより同じデータを再送します。また、送信データの書き込みが次のデータ書き込み期間内に間に合わなかった場合は、アンダラン発生により通信エラー割り込みが発生して、通信は途中終了になります。

(3) 再通信処理

図16-29の②のベクタ割り込み処理では、1フレーム以内で正常にデータの送信が終了したか、しなかったかを判定します。正常に送信できていない（1フレーム以内で送信すべきデータ数が送信できなかった）場合は、次の通信フレームで再送、または続きのデータ送信を行ってください。

16.6.2 マスタ受信

マスタ受信を行う場合は、あらかじめスレーブとなるユニットに対して、「スレーブ送信」を予告しておく必要があります。したがって、マスタ受信は最低2通信フレーム必要になります。

スレーブ・ユニットは送信データを用意して、スレーブ送信許可フラグ(ENSLVTX)をセット(1)して待機します。

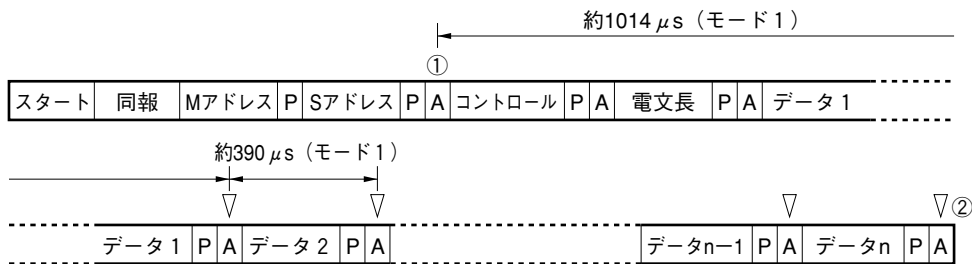
初期準備処理:

自局アドレス、スレーブ・アドレス、コントロール・データの設定

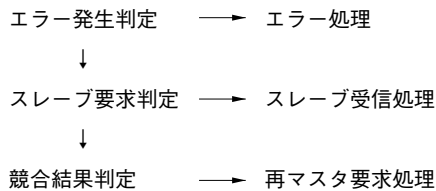
通信開始処理:

バス・コントロール・レジスタの設定(通信許可、マスタ・リクエスト)

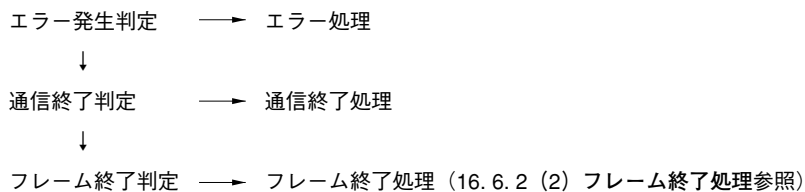
図16-30 マスタ受信



① 割り込み (INTIE2) 発生



② 割り込み (INTIE2) 発生



備考1. ∇ : 割り込み (INTIE1) が発生します (16.6.2 (1) 割り込み (INTIE1) 発生参照)。

ソフトウェアにてIEBusデータ・レジスタ (DR) に格納された受信データを読み出します。

このときの転送方向は、SFR (周辺) → RAM (メモリ) になります。

2. n = 最終データ・バイト数

(1) 割り込み (INTIE1) 発生

データ・フィールドでNACKを送信 (ハードウェア処理) した場合は、CPUに対して割り込み (INTIE1) は発生しないで、スレーブより同じデータが再送されます。また、受信したデータの読み出しが次のデータ受信に間に合わなかった場合は、自動的にハードウェアでNACKを送信します。

(2) フレーム終了処理

図16-30の②のベクタ割り込み処理では、1フレーム以内で正常にデータの受信が終了したか、しなかったかを判定します。正常に受信できていない (1フレーム以内で受信すべきデータ数が受信できなかった) 場合は、次の通信フレームで、スレーブに再送要求を行ってください。

16.6.3 スレーブ送信

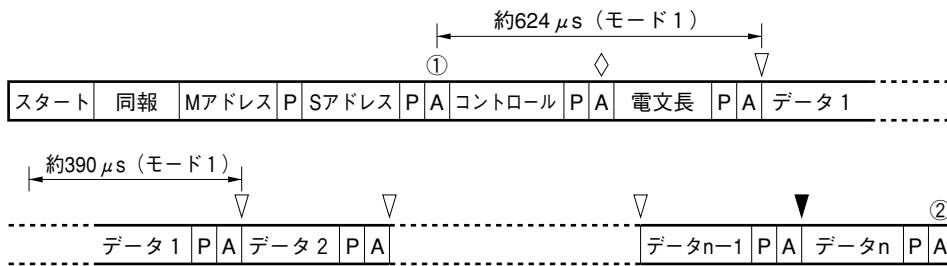
初期準備処理：

自局アドレス，電文長，1バイト目送信データの設定

通信開始処理：

バス・コントロール・レジスタの設定（通信許可，スレーブ送信許可，スレーブ受信許可）

図16-31 スレーブ送信



① 割り込み (INTIE2) 発生

エラー発生判定 → エラー処理
↓
スレーブ要求判定

② 割り込み (INTIE2) 発生

エラー発生判定 → エラー処理
↓
通信終了判定 → 通信終了処理
↓
フレーム終了判定 → フレーム終了処理 (16.6.3 (2) フレーム終了処理参照)

備考1. ▽：割り込み (INTIE1) が発生します (16.6.3 (1) 割り込み (INTIE1) 発生参照)。
ソフトウェアにて2バイト目以降の送信データをIEBusデータ・レジスタ (DR) に書き込みます。このときの転送方向は，RAM (メモリ) →SFR (周辺) になります。

2. ▼：割り込み (INTIE1) は発生しません。

3. ◇：スレーブ状態で，かつコントロール・フィールドで，0H, 4H, 5H, 6Hを受信したときのみ割り込み (INTIE2) が発生します (ロック設定状態でのスレーブ・ステータス返信動作については，16.4.2 (5) IEBusコントロール・データ・レジスタ (CDR) を参照してください)。

4. n = 最終データ・バイト数

(1) 割り込み (INTIE1) 発生

データ・フィールドでマスタからNACKを受信した場合は、CPUに対して割り込み (INTIE1) は発生しないで、ハードウェアより同じデータを再送します。また、送信データの書き込みが次のデータ書き込み期間内に間に合わなかった場合は、アンダラン発生により通信エラー割り込みが発生して、通信は異常終了になります。

(2) フレーム終了処理

図16-31の②のベクタ割り込み処理では、1フレーム以内で正常にデータの送信が終了したか、しなかったかを判定します。正常に送信できていない (1フレーム以内で送信すべきデータ数が送信できなかった) 場合は、次の通信フレームで再送、または続きのデータ送信を行ってください。

16.6.4 スレーブ受信

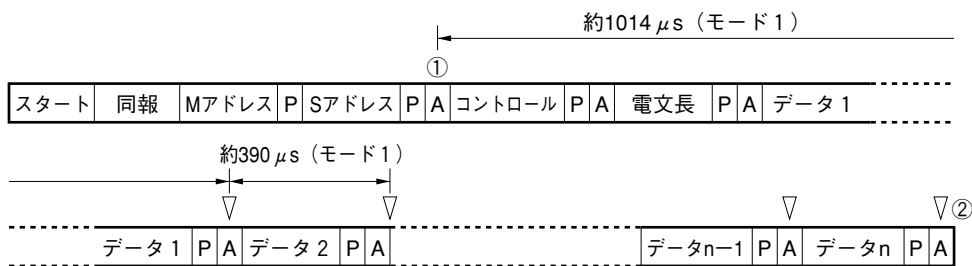
初期準備処理：

自局アドレスの設定

通信開始処理：

バス・コントロール・レジスタの設定 (通信許可, スレーブ送信禁止, スレーブ受信許可)

図16-32 スレーブ受信



① 割り込み (INTIE2) 発生

エラー発生判定 → エラー処理

↓

スレーブ要求判定 → スレーブ処理

② 割り込み (INTIE2) 発生

エラー発生判定 → エラー処理

↓

通信終了判定 → 通信終了処理

↓

フレーム終了判定 → フレーム終了処理 (16.6.4 (2) フレーム終了処理参照)

備考 1. ▽ : 割り込み (INTIE1) が発生します (16.6.4 (1) 割り込み (INTIE1) 発生参照)。

ソフトウェアにてIEBusデータ・レジスタ (DR) に格納された受信データを読み出します。

このときの転送方向は、SFR (周辺) →RAM (メモリ) になります。

2. n = 最終データ・バイト数

(1) 割り込み (INTIE1) 発生

データ・フィールドでNACKを送信した場合は、CPUに対して割り込み (INTIE1) は発生しないで、マスタより同じデータが再送されます。また、受信したデータの読み出しが次のデータ受信までに間に合わなかった場合は、自動的にNACKを送信します。

(2) フレーム終了処理

図16-32の②のベクタ割り込み処理では、1フレーム以内で正常にデータの受信が終了したか、しなかったかを判定します。

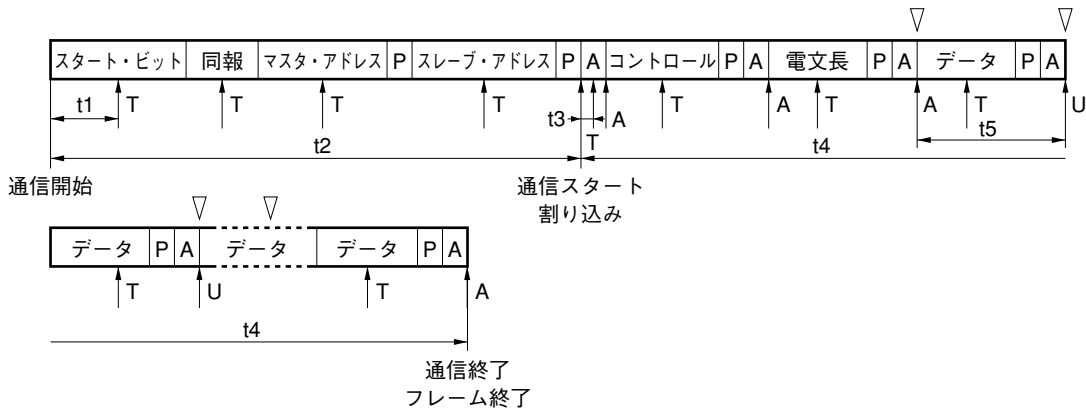
16.6.5 IEBus制御用割り込み発生間隔

各制御割り込みは、通信中それぞれのポイントで逐次発生して、次の割り込み発生までに必要な処理を行います。そのため、CPUはこの割り込みでの最短時間を考慮して、IEBusコントロール・ブロックを制御します。

次に示すエラー割り込みに関しては、発生する可能性のあるフィールドに“↑”で示しています（この“↑”で示しているポイントごとに割り込みが発生することはありません）。エラー割り込み（タイミグ・エラー、パリティ・エラー、NACK受信、アンダラン・エラー、オーバラン・エラー）が発生した場合、IEBus内部回路を初期化するため、その通信フレーム内でそれ以降の割り込みは発生しなくなります。

(1) マスタ送信

図16-33 マスタ送信（割り込み発生間隔）



備考1. T : タイミグ・エラー

A : NACK受信

U : アンダラン・エラー

▽ : データ・セット割り込み (INTIE1)

2. フレーム終了は32バイト・データ終了時に発生します。

カッコ内の数値はMIN.値を示しています (IEBus: 6.29 MHz動作時)。

t1: 通信開始→タイミグ・エラー (約93 μs)

t2: 通信開始→通信スタート割り込み (約1282 μs)

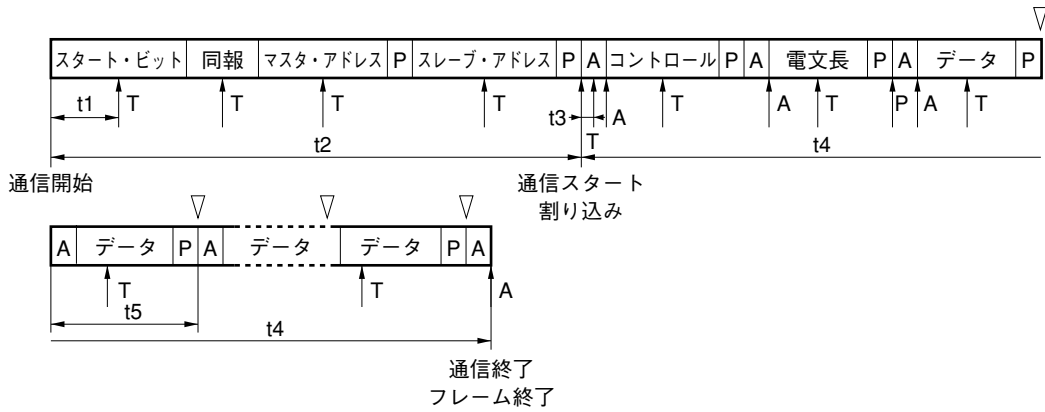
t3: 通信スタート割り込み→タイミグ・エラー (約15 μs)

t4: 通信スタート割り込み→通信終了 (約1012 μs)

t5: 送信データ要求割り込み間隔 (約375 μs)

(2) マスタ受信

図16-34 マスタ受信 (割り込み発生間隔)



備考 1. T : タイミング・エラー

P : パリティ・エラー

A : NACK受信

▽ : データ・セット割り込み (INTIE1)

2. フレーム終了は32バイト・データ終了時に発生します。

カッコ内の数値はMIN.値を示しています (IEBus : 6.29 MHz動作時)。

t1 : 通信開始→タイミング・エラー (約93 μs)

t2 : 通信開始→通信スタート割り込み (約1282 μs)

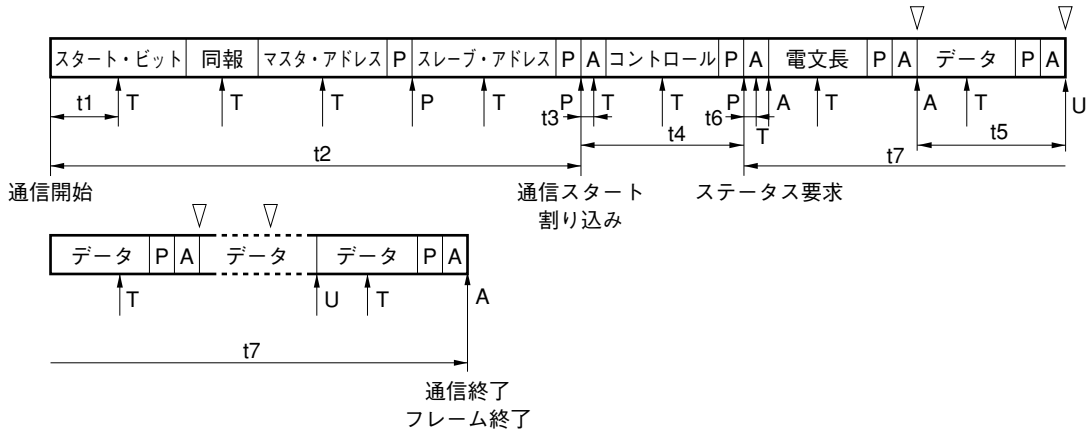
t3 : 通信スタート割り込み→タイミング・エラー (約15 μs)

t4 : 通信スタート割り込み→通信終了 (約1012 μs)

t5 : 受信データ読み出し間隔 (約375 μs)

(3) スレーブ送信

図16-35 スレーブ送信 (割り込み発生間隔)



備考1. T : タイミング・エラー

P : パリティ・エラー

A : NACK受信

U : アンダラン・エラー

▽ : データ・セット割り込み (INTIE1)

2. フレーム終了は32バイト・データ終了時に発生します。

カッコ内の数値はMIN.値を示しています (IEBus : 6.29 MHz動作時)。

t1 : 通信開始→タイミング・エラー (約96 μs)

t2 : 通信開始→通信スタート割り込み (約1192 μs)

t3 : 通信スタート割り込み→タイミング・エラー (約15 μs)

t4 : 通信スタート割り込み→ステータス要求 (約225 μs)

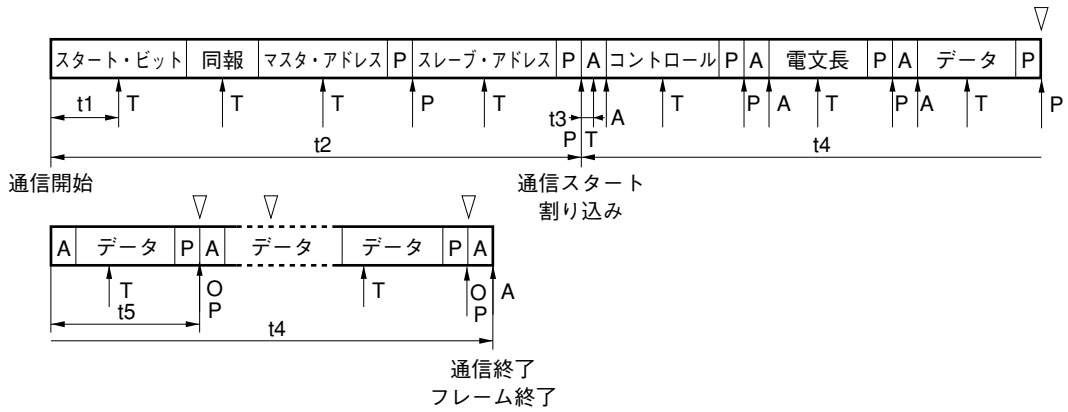
t5 : 送信データ要求割り込み間隔 (約375 μs)

t6 : ステータス要求→タイミング・エラー (約15 μs)

t7 : ステータス要求→通信終了 (約787 μs)

(4) スレーブ受信

図16-36 スレーブ受信 (割り込み発生間隔)



備考 1. T : タイミング・エラー

P : パリティ・エラー

A : NACK受信

O : オーバラン・エラー

▽ : データ・セット割り込み (INTIE1)

2. フレーム終了は32バイト・データ終了時に発生します。

カッコ内の数値はMIN.値を示しています (IEBus : 6.29 MHz動作時)。

t1 : 通信開始→タイミング・エラー (約96 μs)

t2 : 通信開始→通信スタート割り込み (約1192 μs)

t3 : 通信スタート割り込み→タイミング・エラー (約15 μs)

t4 : 通信スタート割り込み→通信終了 (約1012 μs)

t5 : 受信データ読み出し間隔 (約375 μs)

第17章 割り込み機能

17.1 割り込み機能の種類

割り込み機能には、次の3種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みには、ウォッチドッグ・タイマからの割り込み要求が1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています (表17-1 参照)。

スタンバイ・リリース信号を発生します。

マスカブル割り込みには、外部割り込み要求が9要因、内部割り込み要求が20要因 (μ PD780702Yは19要因) あります。

(3) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

17.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計30要因 (μ PD780702Yは29要因) があります (表17-1 参照)。

表17-1 割り込み要因一覧 (1/2)

割り込みの種類	デフォルト・プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}
		名称	トリガ			
ノンマスクブル	—	INTWDT	ウォッチドッグ・タイマのオーバフロー (ノンマスクブル割り込み選択時)	内部	0004H	(A)
マスクブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ選択時)			
	1	INTP0	端子入力エッジ検出	外部	0006H 0008H 000AH 000CH 000EH 0010H 0012H 0014H	(C)
	2	INTP1				
	3	INTP2				
	4	INTP3				
	5	INTP4				
	6	INTP5				
	7	INTP6				
	8	INTP7				
	9	INTSER0	UART0の受信エラー発生	内部	0016H 0018H 001AH 001CH 001EH 0020H 0022H 0024H 0026H 0028H 002AH	(B)
	10	INTSR0	UART0の受信終了			
	11	INTST0	UART0の送信終了			
	12	INTCSI30	SIO30の転送終了			
	13	INTCSI31	SIO31の転送終了			
	14	INTIIC0	IIC0の転送終了			
	15	INTCE ^{注3}	DCANのエラー			
	16	INTCR ^{注4} INTIE1 ^{注5}	DCANの受信/ IEBusデータ・アクセス要求			
	17	INTCT ^{注4} INTIE2 ^{注5}	DCANの送信/ IEBus通信エラーおよび通信開始/終了			
	18	INTWTNIO	時計用タイマからの基準時間間隔信号			
	19	INTTM000	TM00とCR000の一致信号発生 (コンペア・レジスタ指定時) TI000有効エッジ検出 (キャプチャ・レジスタ指定時)			
	20	INTTM010	TM00とCR010の一致信号発生 (コンペア・レジスタ指定時) TI010有効エッジ検出 (キャプチャ・レジスタ指定時)			

注1. デフォルト・プライオリティは、複数のマスクブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位、28が最低順位です。

2. 基本構成タイプの (A) - (E) は、それぞれ図17-1の (A) - (E) に対応しています。

3. μPD780701Y, 78F0701Yのみ。

4. μPD780701Y, 78F0701Yのみ。μPD78F0701Yは、DCANコントローラ使用時に選択されます。

5. μPD780702Y, 78F0701Yのみ。μPD78F0701Yは、IEBusコントローラ使用時に選択されます。

表17-1 割り込み要因一覧 (2/2)

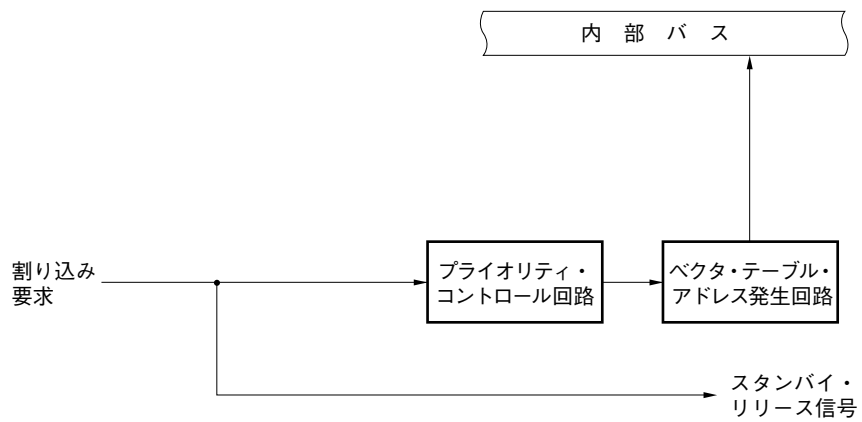
割り込みの種類	デフォルト・プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}
		名称	トリガ			
マスカブル	21	INTTM001	TM01とCR001の一致信号発生（コンペア・レジスタ指定時） TI001有効エッジ検出（キャプチャ・レジスタ指定時）	内部	002EH	(B)
	22	INTTM011	TM01とCR011の一致信号発生（コンペア・レジスタ指定時） TI011有効エッジ検出（キャプチャ・レジスタ指定時）		0030H	
	23	INTTM50	TM50とCR50の一致信号発生		0032H	
	24	INTTM51	TM51とCR51の一致信号発生		0034H	
	25	INTTM52	TM52とCR52の一致信号発生		0036H	
	26	INTAD	A/Dコンバータの変換終了		0038H	
	27	INTWTN0	時計用タイマのオーバフロー		003AH	
	28	INTKR	ポート4の立ち下がりエッジ検出	外部	003CH	(D)
ソフトウェア	—	BRK	BRK命令の実行	—	003EH	(E)

注1. デフォルト・プライオリティは、複数のマスカブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位、28が最低順位です。

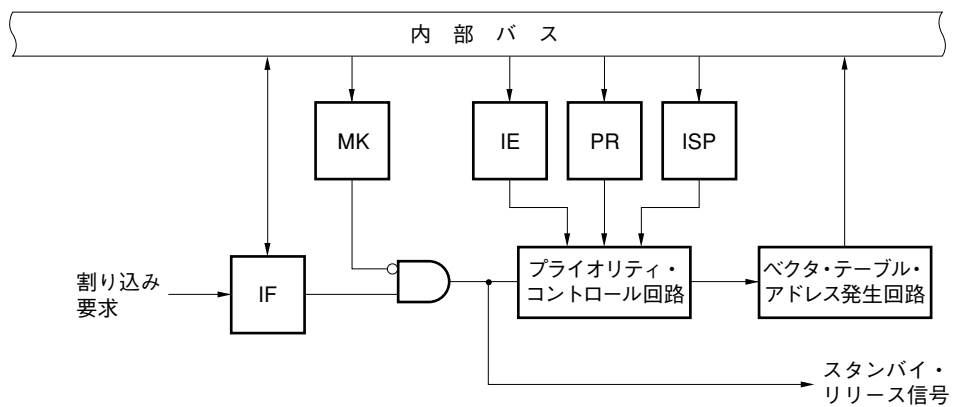
2. 基本構成タイプの(A) - (E)は、それぞれ図17-1の(A) - (E)に対応しています。

図17-1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み (INTP0-INTP7)

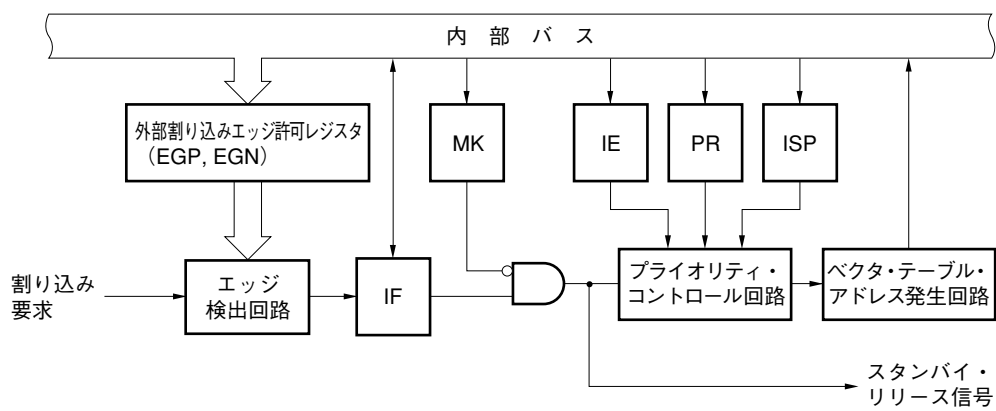
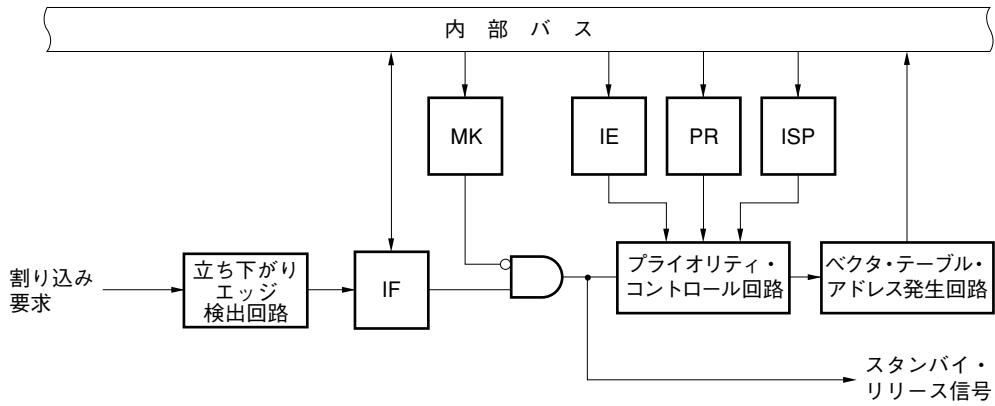
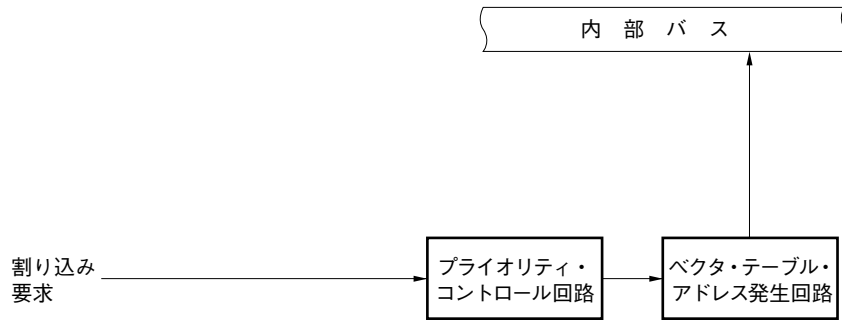


図17-1 割り込み機能の基本構成 (2/2)

(D) 外部マスカブル割り込み (INTKR)



(E) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサービス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

17.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表17-2に示します。

表17-2 割り込み要求ソースに対応する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDT	WDTIF ^{注1}	IF0L	WDTMK ^{注1}	MK0L	WDTPR ^{注1}	PR0L
INTP0	PIF0		PMK0		PPR0	
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTP4	PIF4		PMK4		PPR4	
INTP5	PIF5		PMK5		PPR5	
INTP6	PIF6		PMK6		PPR6	
INTP7	PIF7	IF0H	PMK7	MK0H	PPR7	PR0H
INTSER0	SERIF0		SERMK0		SERPR0	
INTSR0	SRIF0		SRMK0		SRPR0	
INTST0	STIF0		STMK0		STPR0	
INTCSI30	CSIF30		CSIMK30		CSIPR30	
INTCSI31	CSIF31		CSIMK31		CSIPR31	
INTIIC0	IICIF0		IICMK0		IICPR0	
INTCE ^{注2}	CEIF		CEMK		CEPR	
INTCR ^{注3}	CRIF	IF1L	CRMK	MK1L	CRPR	PR1L
INTIE1 ^{注4}	IEIF1		IEMK1		IEPR1	
INTCT ^{注3}	CTIF		CTMK		CTPR	
INTIE2 ^{注4}	IEIF2		IEMK2		IEPR2	
INTWTNIO	WTNIF0		WTNIMK0		WTNIPR0	
INTTM000	TMIF000		TMMK000		TMPR000	
INTTM010	TMIF010		TMMK010		TMPR010	
INTTM001	TMIF001		TMMK001		TMPR001	
INTTM011	TMIF011		TMMK011		TMPR011	
INTTM50	TMIF50		TMMK50		TMPR50	
INTTM51	TMIF51	IF1H	TMMK51	MK1H	TMPR51	PR1H
INTTM52	TMIF52		TMMK52		TMPR52	
INTAD	ADIF		ADMK		ADPR	
INTWTN0	WTNIF0		WTNIMK0		WTNIPR0	
INTKR	KRIF		KRMK		KRPR	

注1. ウォッチドッグ・タイマをインターバル・タイマとして使用しているときの割り込み制御フラグ

2. μ PD780701Y, 78F0701Yのみ。 μ PD780702Yにはありません。
3. μ PD780701Y, 78F0701Yのみ。 μ PD780702Yは（注4で示す）別信号に接続します。 μ PD78F0701Yでは、DCANコントローラ使用時に選択されます。
4. μ PD780702Y, 78F0701Yのみ。 μ PD780701Yは（注3で示す）別信号に接続します。 μ PD78F0701Yでは、IEBusコントローラ使用時に選択されます。

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、RESET入力時、命令の実行によりクリア (0) されるフラグです。

IF0L, IF0H, IF1L, IF1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1Hをあわせて16ビット・レジスタIF0, IF1として使用するとき、16ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図17-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IF0L	PIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	WDTIF	FFE0H	00H	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IF0H	CEIF ^注	IICIF0	CSIF31	CSIF30	STIF0	SRIF0	SERIF0	PIF7	FFE1H	00H	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IF1L	TMIF50	TMIF011	TMIF001	TMIF010	TMIF000	WTNIF0	CTIF (IEIF2)	CRIF (IEIF1)	FFE2H	00H	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IF1H	0	0	0	KRIF	WTNIF0	ADIF	TMIF52	TMIF51	FFE3H	00H	R/W

××IF×	割り込み要求フラグ
0	割り込み要求信号が発生しない
1	割り込み要求信号が発生し、割り込み要求状態

注 μPD780701Y, 78F0701Yのみ内蔵しています。μPD780702Yでは必ず0を設定してください。

注意1. WDTIFフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1で使用する場合は、WDTIFフラグに0を設定してください。

2. IF1Hのビット5-7には、必ず0を設定してください。

備考 () 内は、μPD780702YまたはμPD78F0701YのIEBusコントローラ使用時

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理許可／禁止、スタンバイ解除の許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LとMK0H, MK1LとMK1Hをあわせて16ビット・レジスタMK0, MK1として使用するとき、16ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図17-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MK0L	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	WDTMK	FF E 4 H	FF H	R/W

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MK0H	CEMK ^注	IICMK0	CSIMK31	CSIMK30	STMK0	SRMK0	SERMK0	PMK7	FF E 5 H	FF H	R/W

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MK1L	TMMK50	TMMK011	TMMK001	TMMK010	TMMK000	WTNIMK0	CTMK (IEMK2)	CRMK (IEMK1)	FF E 6 H	FF H	R/W

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MK1H	1	1	1	KRMK	WTNIMK0	ADMK	TMMK52	TMMK51	FF E 7 H	FF H	R/W

××MK×	割り込み処理制御
0	割り込み処理許可
1	割り込み処理禁止

注 μPD780701Y, 78F0701Yのみ内蔵しています。μPD780702Yでは必ず1を設定してください。

注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合は、WDTMKフラグを読み出すと不定になっています。

2. ポート0は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し、出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

3. MK1Hのビット5-7には、必ず1を設定してください。

備考 () 内は、μPD780702YまたはμPD78F0701YのIEBusコントローラ使用時

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1L, PR1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR0LとPR0H, PR1LとPR1Hをあわせて16ビット・レジスタPR0, PR1として使用するとき、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図17-4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PR0L	PPR6	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	WDTPR	FF E 8 H	FF H	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PR0H	CEPR ^注	IICPR0	CSIPR31	CSIPR30	STPR0	SRPR0	SERPR0	PPR7	FF E 9 H	FF H	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PR1L	TMPR50	TMPR011	TMPR001	TMPR010	TMPR000	WTNIPR0	CTPR (IEPR2)	CRPR (IEPR1)	FF E A H	FF H	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PR1H	1	1	1	KRPR	WTNPR0	ADPR	TMPR52	TMPR51	FF E B H	FF H	R/W

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注 μ PD780701Y, 78F0701Yのみ内蔵しています。 μ PD780702Yでは必ず1を設定してください。

注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合は、WDTPRフラグを1に設定してください。

2. PR1Hのビット5-7には、必ず1を設定してください。

備考 () 内は、 μ PD780702Yまたは μ PD78F0701YのIEBusコントローラ使用時

(4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN)

INTP0-INTP7の有効エッジを設定するレジスタです。

EGP, EGNは, それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図17-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
EGP	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0	FF48H	00H	R/W

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
EGN	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0	FF49H	00H	R/W

EGPn	EGNn	INTPn端子の有効エッジ (n = 0-7)
0	0	割り込み禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がり両エッジ

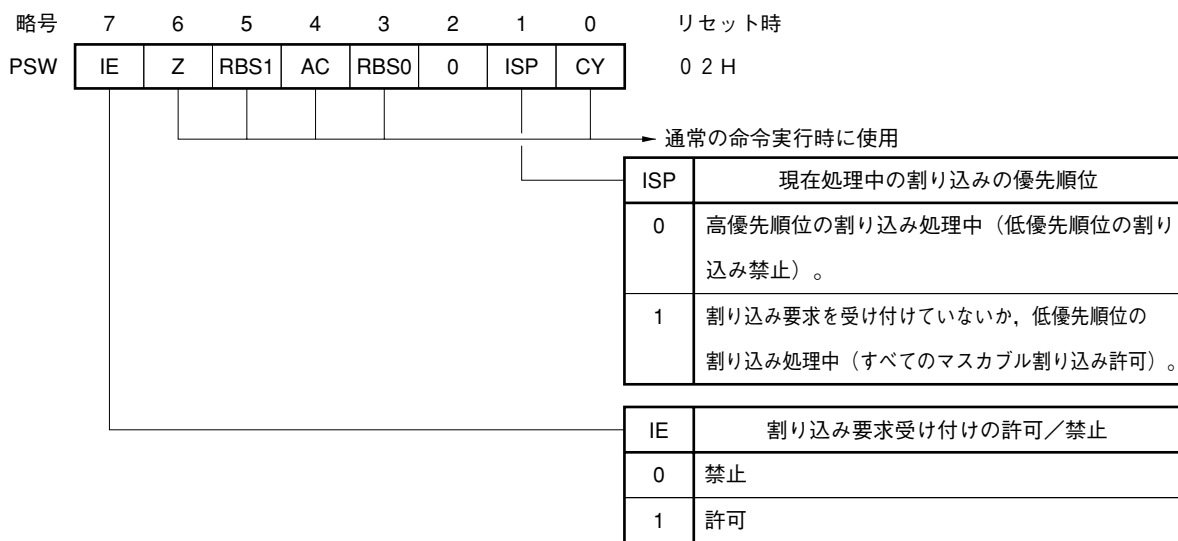
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理を制御するISPフラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスクブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

RESET入力により、PSWは02Hとなります。

図17-6 プログラム・ステータス・ワードの構成



17.4 割り込み処理動作

17.4.1 ノンマスクابل割り込み要求の受け付け動作

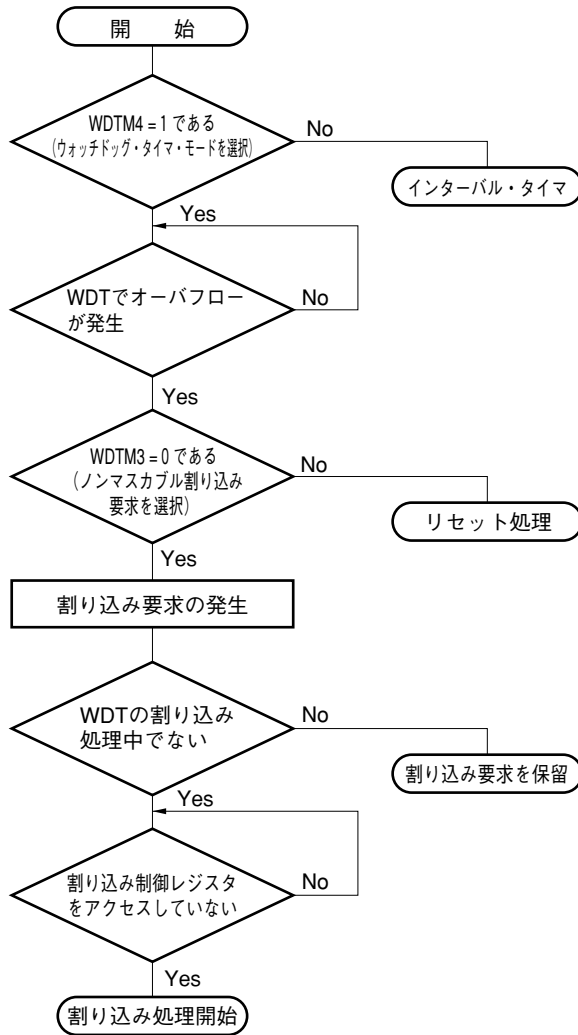
ノンマスクابل割り込み要求は、割り込み要求受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスクابل割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避します。そして、IEフラグ、ISPフラグをリセット (0) し、ベクタ・テーブルの内容をPCへロードし、分岐します。

ノンマスクابل割り込みサービス・プログラム実行中に発生した新たなノンマスクابل割り込み要求は、現在処理中のノンマスクابل割り込みサービス・プログラムの実行が終了 (RETI命令実行後) し、メイン・ルーチンを1命令実行したあと、受け付けられます。ただし、ノンマスクابل割り込みサービス・プログラム実行中に新たなノンマスクابل割り込み要求が2回以上発生しても、そのノンマスクابل割り込みサービス・プログラム実行終了後に受け付けられるノンマスクابل割り込み要求は1回分だけになります。

ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャートを図17-7に、ノンマスクابل割り込み要求の受け付けタイミングを図17-8に、ノンマスクابل割り込み要求が多重に発生した場合の受け付け動作を図17-9に示します。

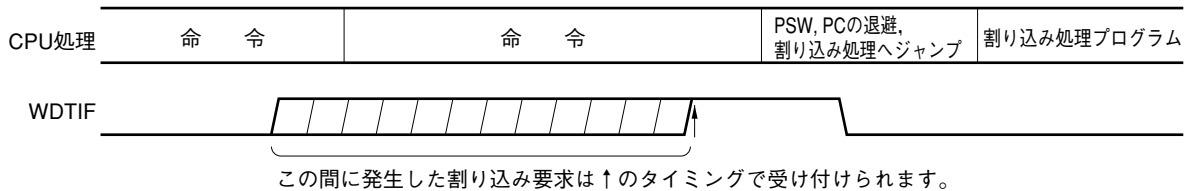
図17-7 ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート



WDTM：ウォッチドッグ・タイマ・モード・レジスタ

WDT：ウォッチドッグ・タイマ

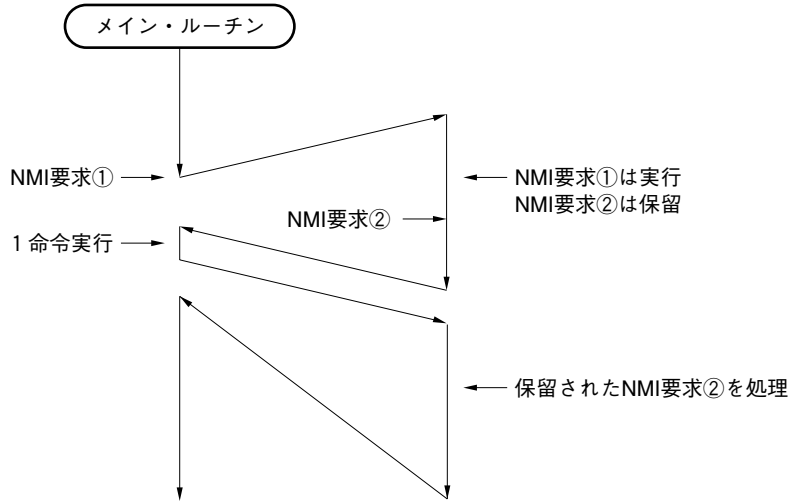
図17-8 ノンマスクابل割り込み要求の受け付けタイミング



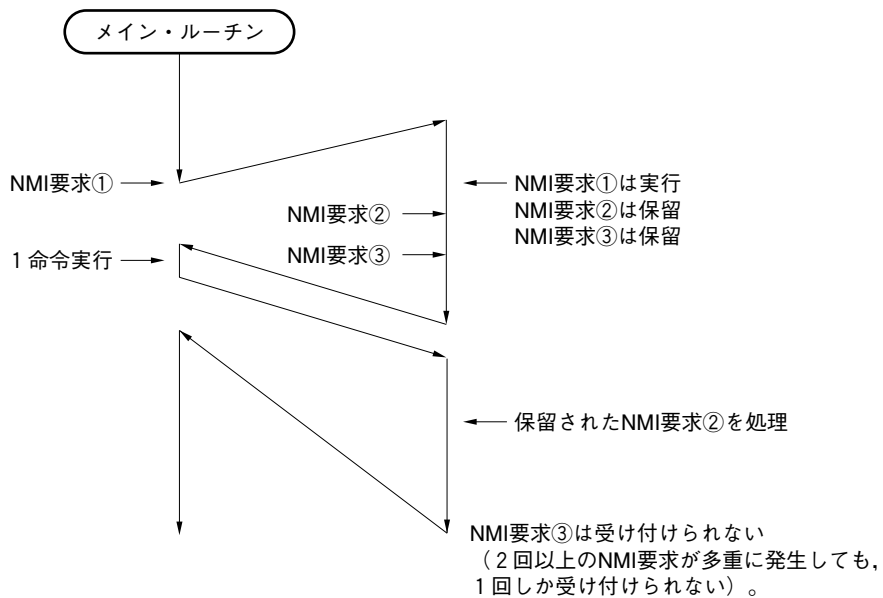
WDTIF：ウォッチドッグ・タイマ割り込み要求フラグ

図17-9 ノンマスクابل割り込み要求の受け付け動作

(a) ノンマスクابل割り込みサービス・プログラム実行中に
新たなノンマスクابل割り込み要求が発生した場合



(b) ノンマスクابل割り込みサービス・プログラム実行中に
新たに2回のノンマスクابل割り込み要求が発生した場合



17.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中（ISPフラグがリセット（0）されているとき）に低い優先順位に指定されている割り込みの要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表17-3のようになります。割り込み要求の受け付けタイミングについては、図17-11、図17-12を参照してください。

表17-3 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
××PR=0のとき	7クロック	32クロック
××PR=1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ （ f_{CPU} ：CPUクロック）

マスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込み要求から受け付けられます。

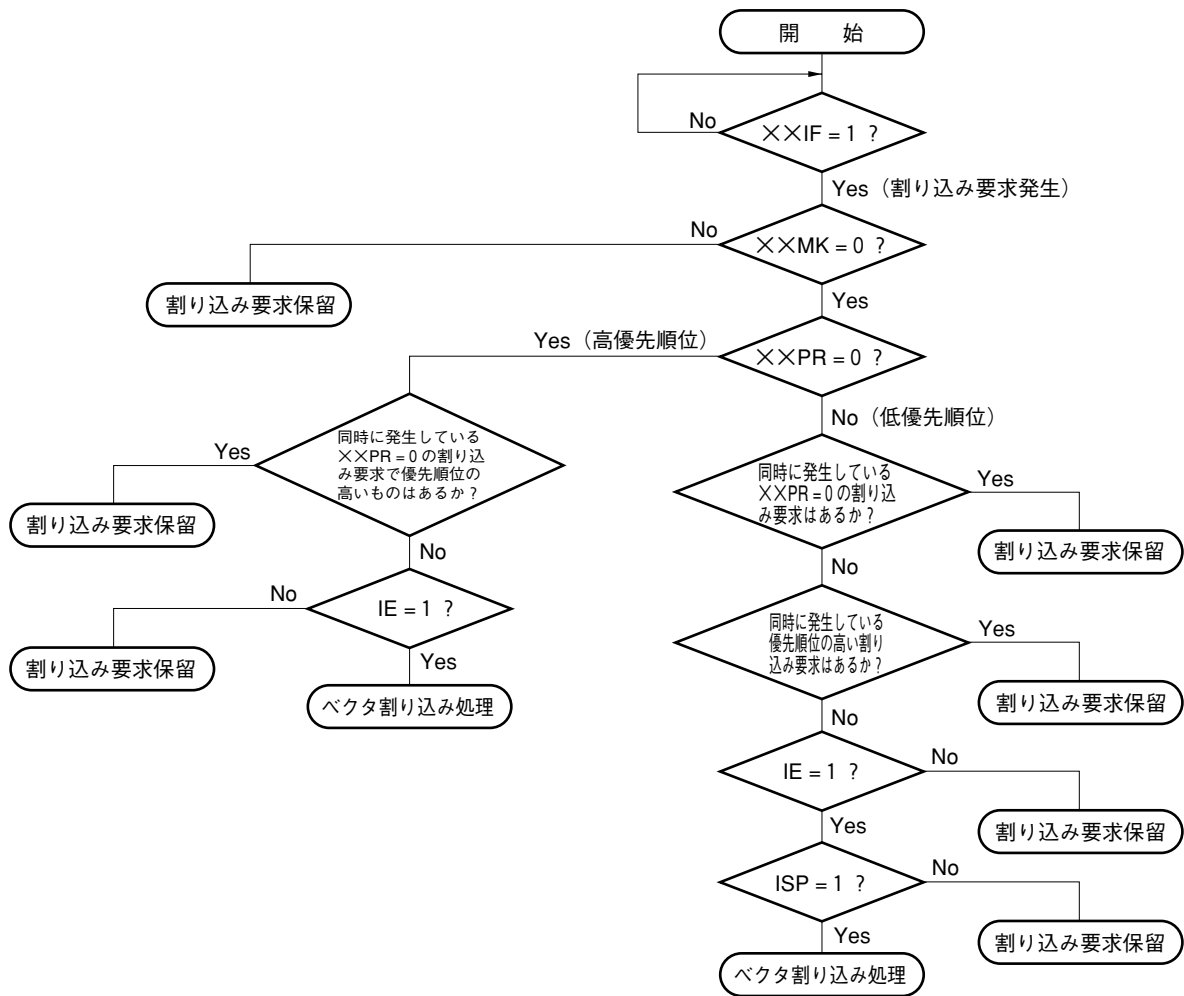
保留された割り込み要求は、受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図17-10に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避します。そして、IEフラグをリセット（0）し、受け付けた割り込み要求の優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図17-10 割り込み要求受け付け処理アルゴリズム



××IF : 割り込み要求フラグ

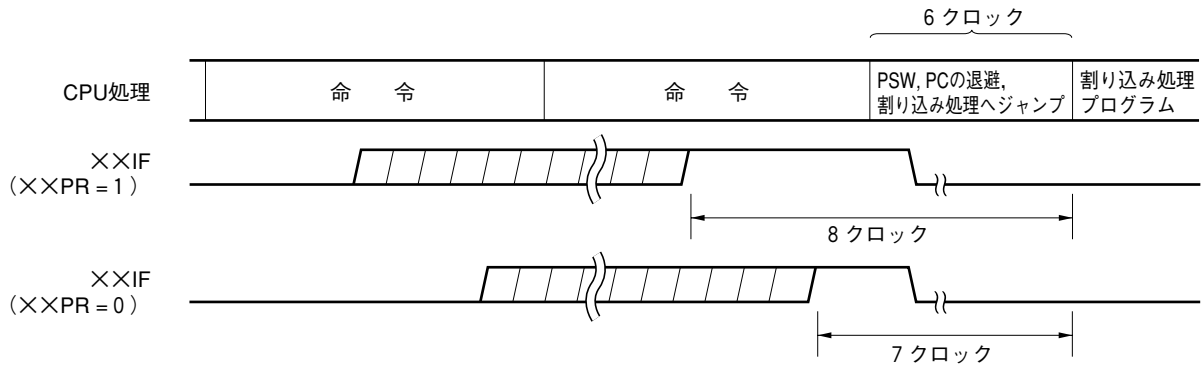
××MK : 割り込みマスク・フラグ

××PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

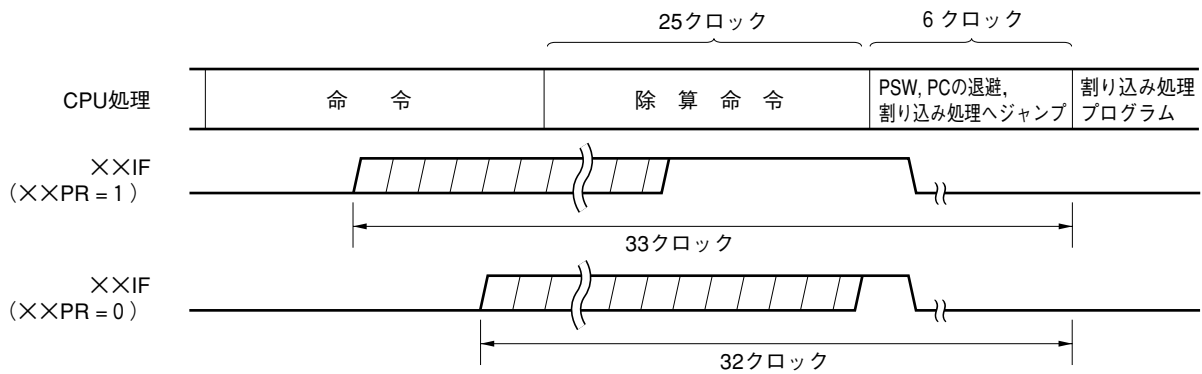
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図17-11 割り込み要求の受け付けタイミング（最小時間）



備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU} ：CPUクロック)

図17-12 割り込み要求の受け付けタイミング（最大時間）



備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU} ：CPUクロック)

17.4.3 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

17.4.4 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません (ノンマスカブル割り込みを除く)。また、割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みはプログラマブル優先順位により制御されます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を1命令実行後に受け付けられます。

なお、ノンマスカブル割り込み処理中には、多重割り込みは許可されません。

表17-4に多重割り込み可能な割り込み要求を、図17-13に多重割り込みの例を示します。

表17-4 割り込み処理中に多重割り込み可能な割り込み要求

多重割り込み要求		ノンマスカブル 割り込み要求	マスカブル割り込み要求			
			××PR = 0		××PR = 1	
			IE = 1	IE = 0	IE = 1	IE = 0
処理中の割り込み						
ノンマスカブル割り込み		×	×	×	×	×
マスカブル割り込み	ISP = 0	○	○	×	×	×
	ISP = 1	○	○	×	○	×
ソフトウェア割り込み		○	○	×	○	×

備考1. ○：多重割り込み可能

×：多重割り込み不可能

2. ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

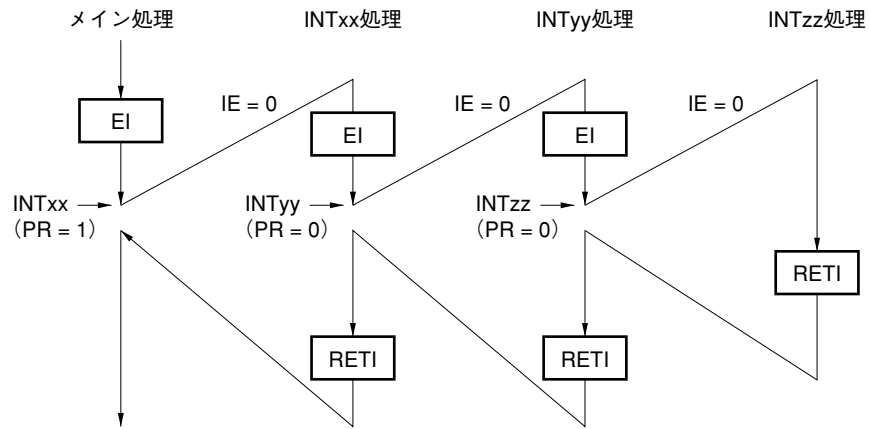
3. ××PRはPR0L, PR0H, PR1L, PR1Hに含まれるフラグです。

××PR = 0 : 高優先順位レベル

××PR = 1 : 低優先順位レベル

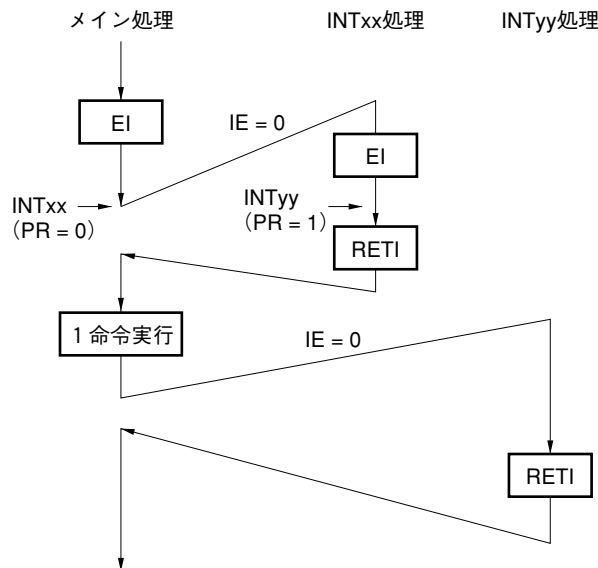
図17-13 多重割り込みの例 (1/2)

例 1. 多重割り込みが 2 回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例 2. 優先順位制御により、多重割り込みが発生しない例

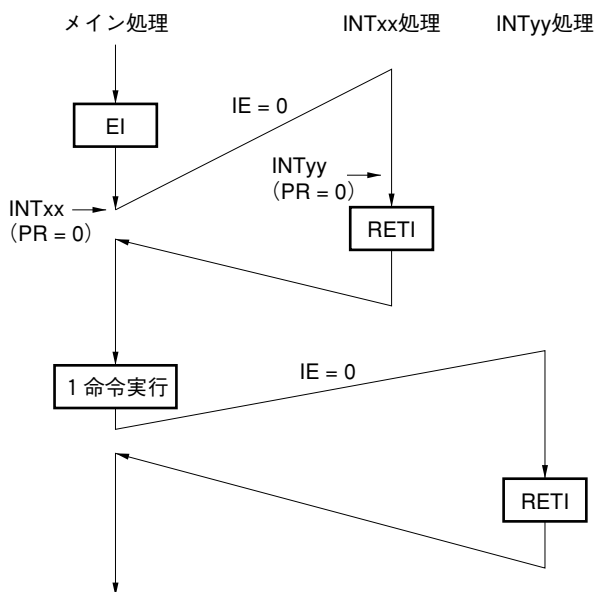


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- PR = 1 : 低優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

図17-13 多重割り込みの例 (2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 0 : 高優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

17.4.5 割り込み要求の保留

命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を以下に示します。

- MOV PSW, #byte
- MOV A, PSW
- MOV PSW, A
- MOV1 PSW. bit, CY
- MOV1 CY, PSW. bit
- AND1 CY, PSW. bit
- OR1 CY, PSW. bit
- XOR1 CY, PSW. bit
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- PUSH PSW
- POP PSW
- BT PSW. bit, \$addr16
- BF PSW. bit, \$addr16
- BTCLR PSW. bit, \$addr16
- EI
- DI
- IF0L, IF0H, IF1L, IF1H, MK0L, MK0H, MK1L, MK1H, PR0L, PR0H, PR1L, PR1H, EGP, EGNの各レジスタに対する操作命令

注意 BRK命令は、上記の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。ただし、ノンマスカブル割り込み要求は受け付けます。

割り込み要求が保留されるタイミングを図17-14に示します。

図17-14 割り込み要求の保留



- 備考 1. 命令N：割り込み要求の保留命令
2. 命令M：割り込み要求の保留命令以外の命令
 3. XXIF（割り込み要求）の動作は、XXPR（優先順位レベル）の値の影響を受けません。

第18章 スタンバイ機能

18.1 スタンバイ機能と構成

18.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、時計動作のような間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減できます。

また、データ・メモリの低電圧 ($V_{DD}=2.0\text{ V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意1. STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

2. A/Dコンバータ部の消費電力を低減させるためには、A/Dコンバータ・モード・レジスタ3 (ADM3) のビット7 (ADCS3) を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。

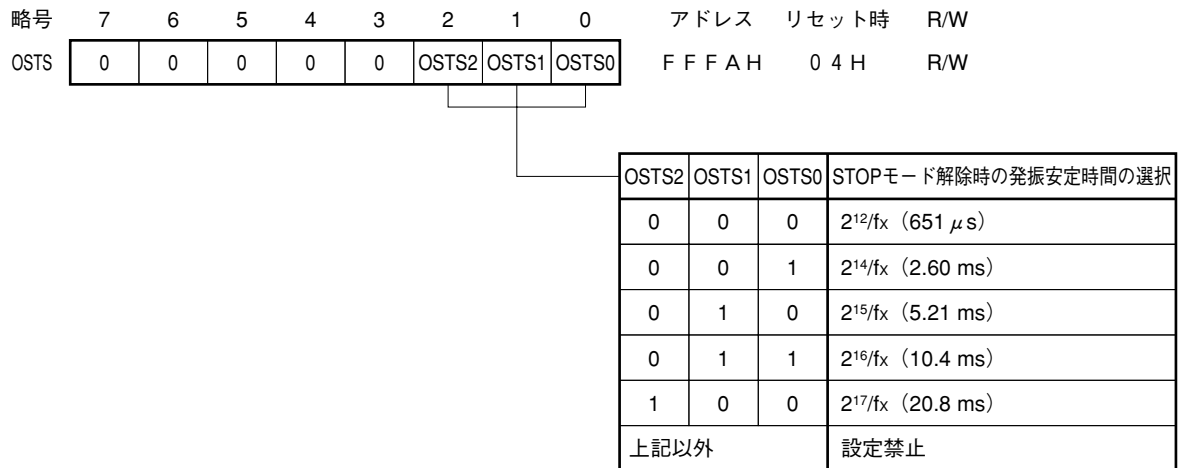
18.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

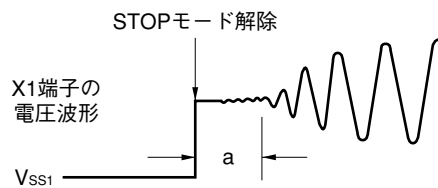
OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。したがって、 $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、解除までの時間は $2^{17}/f_x$ です。

図18-1 発振安定時間選択レジスタ (OSTS) のフォーマット



注意 STOPモード解除時のウェイト時間には、STOPモード解除後にクロックが発振を開始するまでの時間 (下図 a) は含みません。これは、 $\overline{\text{RESET}}$ 入力による場合も、割り込み要求発生による場合も同様です。



備考 1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 6.29 \text{ MHz}$ 動作時

18.2 スタンバイ機能の動作

18.2.1 HALTモード

(1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表18-1 HALTモード時の動作状態

項 目	動 作 状 態
クロック発生回路	発振可能。CPUへのクロック供給は停止
CPU	動作停止
ポート（出カラッチ）	HALTモード設定前の状態を保持
16ビット・タイマ/イベント・カウンタ	動作可能
8ビット・タイマ/イベント・カウンタ	
時計用タイマ	
ウォッチドッグ・タイマ	
クロック出力/ブザー出力制御回路	
A/Dコンバータ	
シリアル・インタフェース	動作可能
外部割り込み	
DCANコントローラ ^{注1}	動作停止
IEBusコントローラ ^{注2}	動作可能

注1. μ PD780701Y, 78F0701Yのみ

2. μ PD780702Y, 78F0701Yのみ

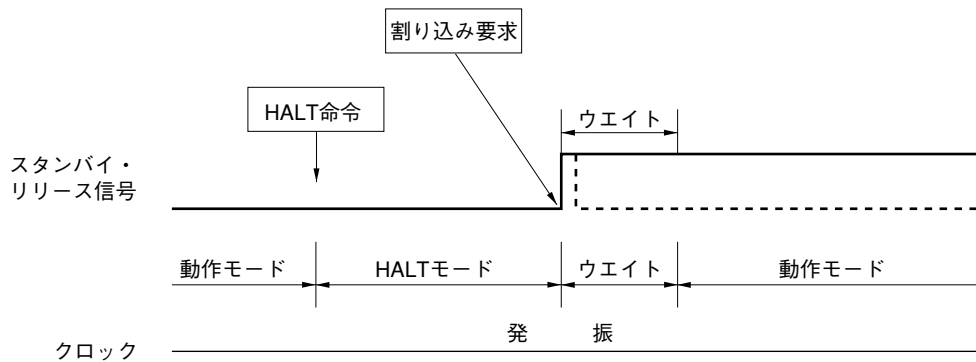
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み要求受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み要求受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図18-2 HALTモードの割り込み要求発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウエイト時間は次のようになります。

- ・ベクタに分岐した場合 : 8～9クロック
- ・ベクタに分岐しなかった場合 : 2～3クロック

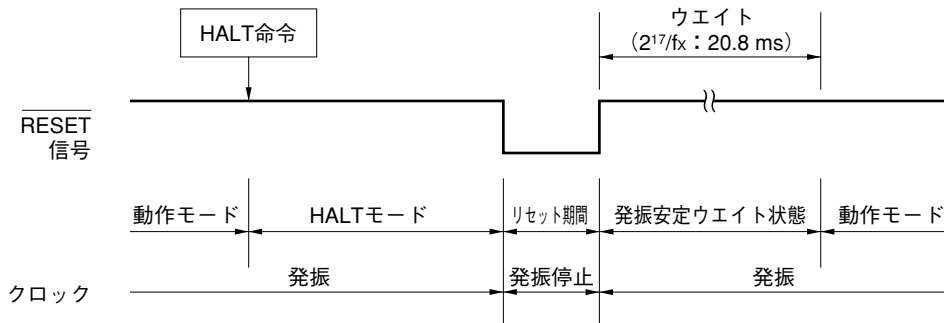
(b) ノンマスクابل割り込み要求による解除

ノンマスクابل割り込み要求が発生すると、割り込み要求受け付け許可、禁止の状態に関係なく、HALTモードは解除され、ベクタ割り込み処理が行われます。

(c) $\overline{\text{RESET}}$ 入力による解除

$\overline{\text{RESET}}$ 信号の入力があると、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図18-3 HALTモードの $\overline{\text{RESET}}$ 入力による解除



備考1. f_x : システム・クロック発振周波数

2. () 内は, $f_x = 6.29 \text{ MHz}$ 動作時

表18-2 HALTモードの解除後の動作

解除ソース	MK××	PR××	IE	ISP	動作
マスクブル	0	0	0	×	次アドレス命令実行
割り込み要求	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	HALTモード保持
ノンマスクブル	—	—	×	×	割り込み処理実行
割り込み要求					
$\overline{\text{RESET}}$ 入力	—	—	×	×	リセット処理

×: don't care

18.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意1. STOPモードに設定すると、クリスタル発振回路部のリークを抑えるためにX2端子が内部でV_{DD1}にプルアップされます。したがって、システム・クロックに外部クロックを使用するシステムでは、STOPモードは使用しないでください。

2. スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表18-3 STOPモード時の動作状態

項目	動作状態
クロック発生回路	発振停止
CPU	動作停止
出力ポート（出力ラッチ）	STOP命令実行直前の状態を保持
★ 16ビット・タイマ/イベント・カウンタ	動作停止
★ 8ビット・タイマ/イベント・カウンタ	動作停止
時計用タイマ	動作停止
ウォッチドッグ・タイマ	動作停止
クロック出力/ブザー出力制御回路	動作停止
A/Dコンバータ	動作停止
★ シリアル・インタフェース	動作停止
外部割り込み	動作可能
DCANコントローラ ^{注1}	動作停止
IEBusコントローラ ^{注2}	動作停止

注1. μ PD780701Y, 78F0701Yのみ

2. μ PD780702Y, 78F0701Yのみ

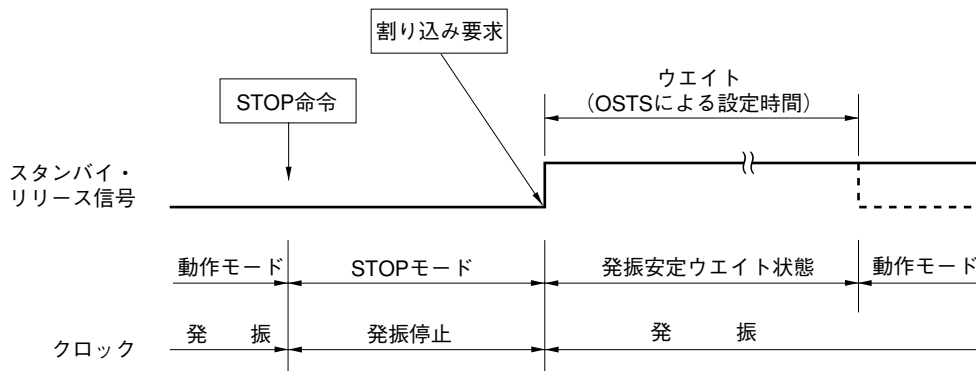
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードは解除されます。発振安定時間経過後、割り込み要求受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み要求受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図18-4 STOPモードの割り込み要求発生による解除

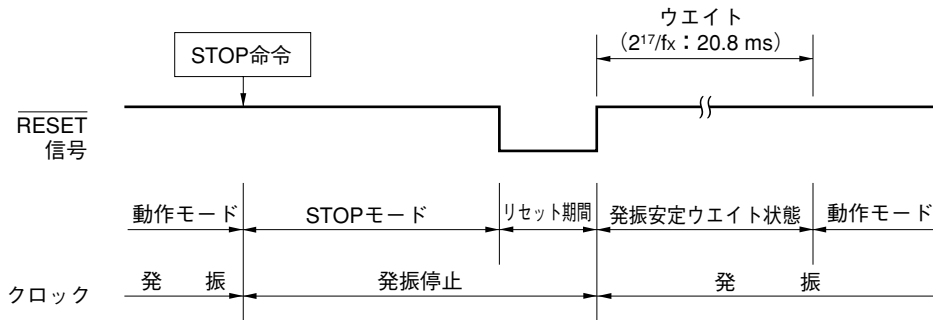


備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) $\overline{\text{RESET}}$ 入力による解除

$\overline{\text{RESET}}$ 信号の入力があると、STOPモードは解除されます。そして、発振安定時間経過後リセット動作が行われます。

図18-5 STOPモードの $\overline{\text{RESET}}$ 入力による解除



備考1. f_x : システム・クロック発振周波数

2. () 内は, $f_x = 6.29 \text{ MHz}$ 動作時

表18-4 STOPモードの解除後の動作

解除ソース	MK××	PR××	IE	ISP	動作
マスカブル 割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	STOPモード保持
$\overline{\text{RESET}}$ 入力	—	—	×	×	リセット処理

× : don't care

第19章 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、 $\overline{\text{RESET}}$ 入力により、ともに0000H、0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバフローが発生することによってリセットがかかり、各ハードウェアは表19-1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後 ($2^{17}/f_x$) プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後 ($2^{17}/f_x$) プログラムの実行を開始します (図19-2 から図19-4 参照)。

- 注意 1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
2. リセット入力中は、システム・クロックの発振が停止します。
 3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。
ただし、ポート端子は、ハイ・インピーダンスとなります。

図19-1 リセット機能のブロック図

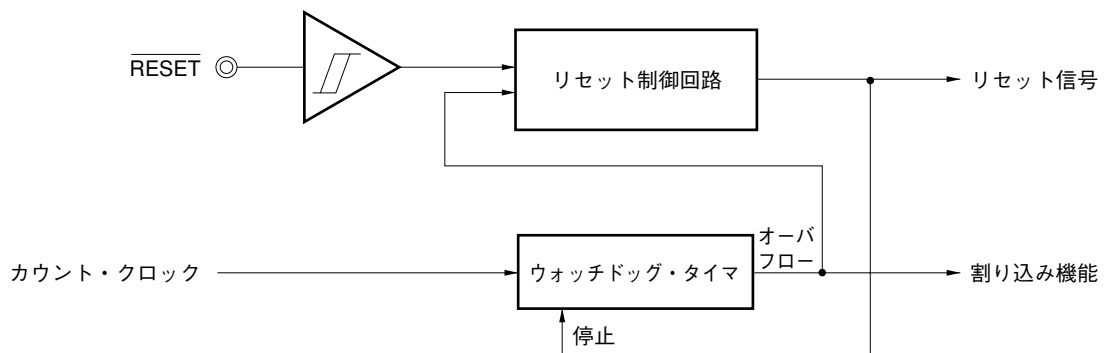


図19-2 RESET入力によるリセット・タイミング

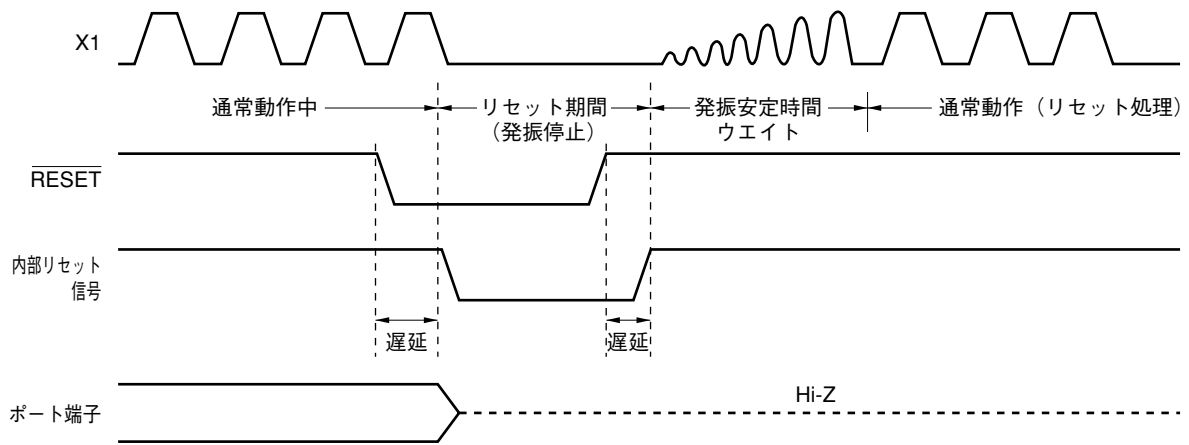


図19-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

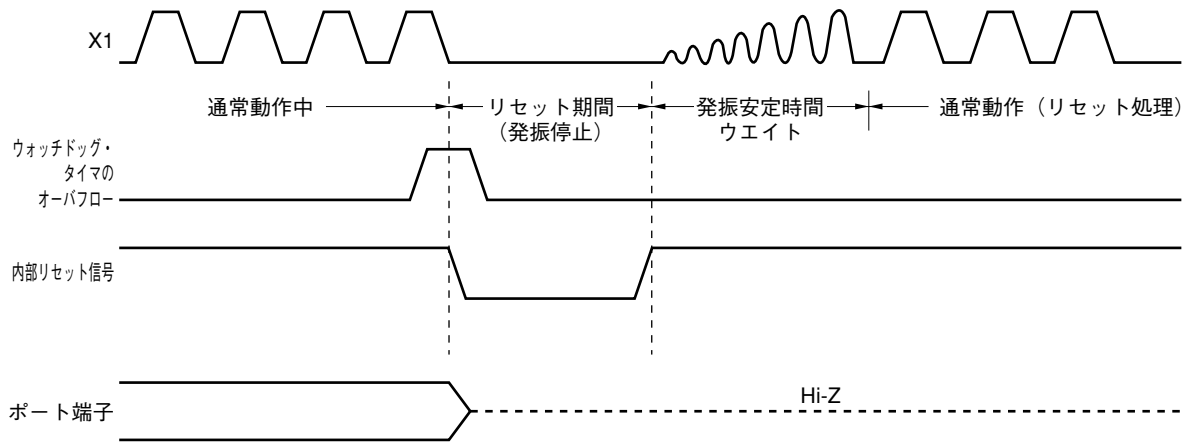


図19-4 STOPモード中のRESET入力によるリセット・タイミング

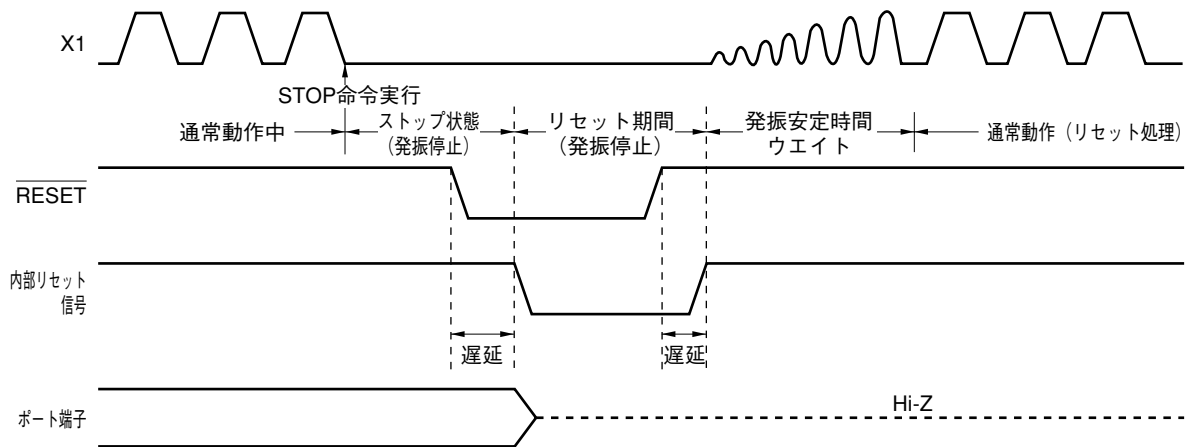


表19-1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) 注1		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定注2
	汎用レジスタ	不定注2
ポート (出カラッチ)	ポート 0, 2, 3, 7-9 (P0, P2, P3, P7-P9)	00H
	ポート 4-6 (P4-P6)	不定
ポート・モード・レジスタ (PM0, PM2-PM9)		FFH
プルアップ抵抗オプション・レジスタ (PU0, PU2-PU7)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		04H
メモリ拡張モード・レジスタ (MEM)		00H
メモリ・サイズ切り替えレジスタ (IMS)		CFH注3
内部拡張RAMサイズ切り替えレジスタ (IXS)		0CH注4
フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)		08H注5
発振安定時間選択レジスタ (OSTS)		04H
★ 16ビット・タイマ/イベント・カウンタ	タイマ・カウンタ (TM00, TM01)	0000H
	キャプチャ/コンペア・レジスタ (CR000, CR010, CR001, CR011)	0000H
	プリスケアラ・モード・レジスタ (PRM00, PRM01)	00H
	モード・コントロール・レジスタ (TMC00, TMC01)	00H
	キャプチャ/コンペア・コントロール・レジスタ 0 (CRC00, CRC01)	00H
	出力コントロール・レジスタ (TOC00, TOC01)	00H
8ビット・タイマ/イベント・カウンタ	タイマ/カウンタ (TM50, TM51, TM52)	00H
	コンペア・レジスタ (CR50, CR51, CR52)	不定
	クロック選択レジスタ (TCL50, TCL51, TCL52)	00H
	モード・コントロール・レジスタ (TMC50, TMC51, TMC52)	04H注6
時計用タイマ	モード・レジスタ (WTNM0)	00H
ウォッチドッグ・タイマ	クロック選択レジスタ (WDCS)	00H
	モード・レジスタ (WDTM)	00H
クロック出力/ブザー出力	クロック出力選択レジスタ (CKS)	00H
A/Dコンバータ	モード・レジスタ 3 (ADM3)	00H
	変換結果レジスタ 3 (ADCR3)	不定
	アナログ入力チャンネル指定レジスタ 3 (ADS3)	00H
	パワー・フェイル比較しきい値レジスタ 3 (PFT3)	00H
	パワー・フェイル比較モード・レジスタ 3 (PFM3)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。
 その他は、リセット後の状態と変わりありません。

- スタンバイ・モード時にリセットがかかった場合には、リセット前の状態がリセット後も保持されます。
- 初期値以外の値に設定しないでください。
- 初期値は0CHですが、必ず08Hに設定してください。
- ビット2は、V_{PP}のレベルによって変化します。FLPMCはμPD78F0701Yのみ内蔵しています。
- 初期値は04Hですが、リード時は00Hに見えます。

表19-1 各ハードウェアのリセット後の状態 (2/2)

	ハードウェア	リセット後の状態	
	シリアル・インタフェース (UART)	アシンクロナス・シリアル・インタフェース・モード・レジスタ 0 (ASIM0)	00H
		アシンクロナス・シリアル・インタフェース・ステータス・レジスタ 0 (ASIS0)	00H
		ボー・レート・ジェネレータ・コントロール・レジスタ 0 (BRGC0)	00H
		送信シフト・レジスタ 0 (TXS0)	FFH
		受信バッファ・レジスタ 0 (RXB0)	
★	シリアル・インタフェース (SIO30, SIO31)	動作モード・レジスタ (CSIM30, CSIM31)	00H
		シフト・レジスタ (SIO30, SIO31)	00H
	シリアル・インタフェース (IIC0)	転送クロック選択レジスタ (IICCL0)	00H
		シフト・レジスタ (IIC0)	00H
		コントロール・レジスタ (IICC0)	00H
		状態レジスタ (IICS0)	00H
		スレーブ・アドレス・レジスタ 0 (SVA0)	00H
DCANコントローラ ^{注1}	CANコントローラ	CANコントロール・レジスタ (CANC)	01H
		送信コントロール・レジスタ (TCR)	00H
		受信メッセージ・レジスタ (RMES)	00H
		再指定コントロール・レジスタ (REDEF)	00H
		CANエラー・ステータス・レジスタ (CANES)	00H
		送信エラー・カウンタ (TEC)	00H
		受信エラー・カウンタ (REC)	00H
		メッセージ・カウント・レジスタ (MCNT)	C0H
		ビット・レート・プリスケアラ (BRPRS)	00H
		同期コントロール・レジスタ 0 (SYNC0)	18H
		同期コントロール・レジスタ 1 (SYNC1)	0EH
		マスク・コントロール・レジスタ (MASKC)	00H
IEBusコントローラ ^{注2}	IEBusコントローラ	コントロール・レジスタ (BCR0)	00H
		コントロール・データ・レジスタ (CDR)	01H
		自局アドレス・レジスタ (UAR)	0000H
		スレーブ・アドレス・レジスタ (SAR)	0000H
		相手先アドレス・レジスタ (PAR)	0000H
		電文長レジスタ (DLR)	01H
		データ・レジスタ (DR)	00H
		ユニット・ステータス・レジスタ (USR)	00H
		インタラプト・ステータス・レジスタ (ISR)	00H
		スレーブ・ステータス・レジスタ (SSR)	41H
		通信成功カウンタ (SCR)	01H
		伝送カウンタ (CCR)	20H
割り込み	割り込み	要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)	00H
		マスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)	FFH
		優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)	FFH
		外部割り込み立ち上がりエッジ許可レジスタ (EGP)	00H
		外部割り込み立ち下がりエッジ許可レジスタ (EGN)	00H

注1. μPD780701Y, 78F0701Yのみ内蔵しています。

2. μPD780702Y, 78F0701Yのみ内蔵しています。

第20章 μ PD78F0701Y

μ PD78F0701Yは、 μ PD780701Yサブシリーズのフラッシュ・メモリ製品です。

μ PD78F0701Yは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵した製品です。

μ PD78F0701YとマスクROM製品（ μ PD780701Y, 780702Y）の違いを表20-1に示します。

表20-1 μ PD78F0701YとマスクROM製品の違い

項目	μ PD78F0701Y	マスクROM製品		
		μ PD780701Y	μ PD780702Y	
内部ROM構造	フラッシュ・メモリ	マスクROM		
IC端子	なし	あり		
V _{PP} 端子	あり	なし		
内蔵バス・コントローラ	DCANコントローラ/ IEBusコントローラ	DCANコントローラ	IEBusコントローラ	
	TX端子	DCAN/IEBus出力（ソフトウェア切り替え）	DCAN出力	IEBus出力
	RX端子	DCAN/IEBus入力（ソフトウェア切り替え）	DCAN入力	IEBus入力
電気的特性	個別の製品のデータ・シートを参照してください。			

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品でなく）で十分な評価を行ってください。

20.1 内蔵バス・コントローラ（DCAN/IEBus）の切り替えについて

μ PD78F0701Yは、DCANコントローラとIEBusコントローラを内蔵しています。DCANコントローラとIEBusコントローラは同時に使用できません。

初期状態ではDCANコントローラの仕様になっています。

IEBusユニットをアクティブ（IEBusコントロール・レジスタ0（BRC0）のビット7（ENIEBUS）を1）にすることにより、IEBusコントローラの仕様に切り替わります。

使用する内蔵バス・コントローラによって、割り込み要求信号と端子の初期状態も切り替わります。

割り込み要求信号と端子の初期状態を表20-2に示します。

表20-2 割り込み要求信号と端子の初期状態

項 目	DCANコントローラ使用時	IEBusコントローラ使用時
CTXD/ITX0端子の初期状態	ハイ・レベル	ロウ・レベル
割り込み要求信号 ^注	INTCR	INTIE1
	INTCT	INTIE2
	INTCE	なし

注 対応するフラグについても切り替わります。割り込み要求ソースに対応する各種フラグについては表17-2を参照してください。

20.2 メモリ・サイズ切り替えレジスタ (IMS)

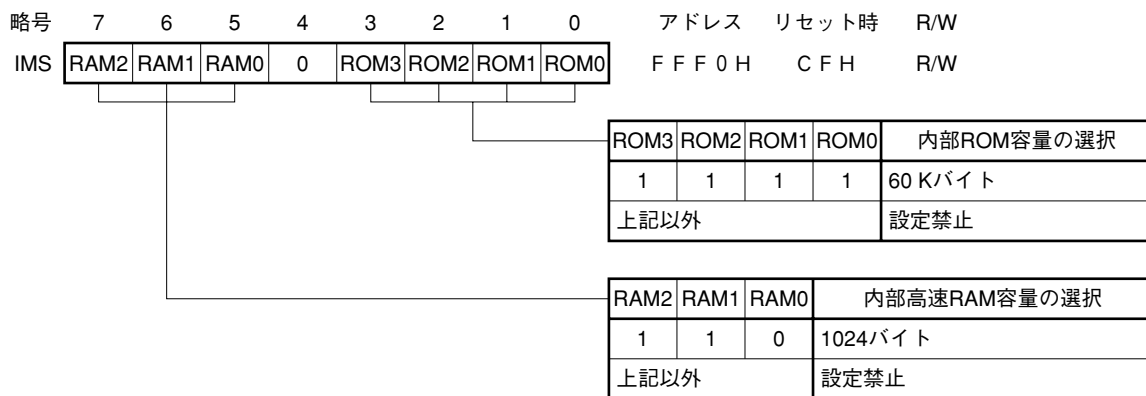
メモリ・サイズ切り替えレジスタ (IMS) は、内部メモリ・サイズを設定するレジスタです。

IMSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、CFHになります。

注意 IMSは初期値 (CFH) で使用します。IMSにCFH以外の値を設定しないでください。

図20-1 メモリ・サイズ切り替えレジスタ (IMS) のフォーマット



20.3 内部拡張RAMサイズ切り替えレジスタ (IXS)

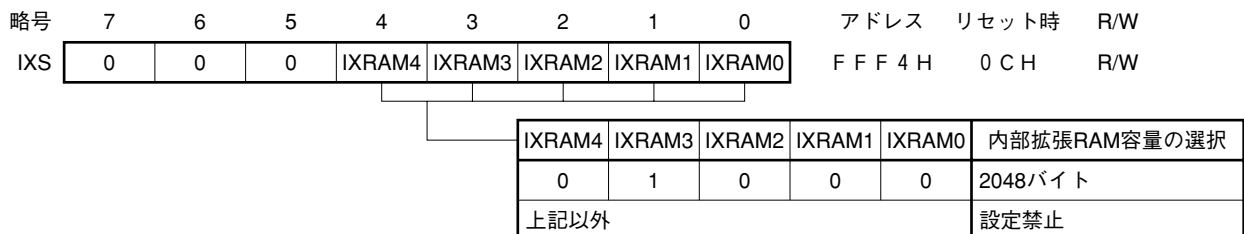
内部拡張RAMサイズ切り替えレジスタ (IXS) は、内部拡張RAM容量を設定するレジスタです。

IXSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、0CHになります。

注意 プログラムの初期設定としてIXSには必ず08Hを設定してください。なお、リセットによりIXSは0CHになりますので、リセット後は必ず08Hにしてください。

図20-2 内部拡張RAMサイズ切り替えレジスタ (IXS) のフォーマット



20.4 フラッシュ・メモリ・プログラミング

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で行うことができます。専用フラッシュ・ライター（Flashpro II（型番 FL-PR2）、Flashpro III（FL-PR3, PG-FP3））をホスト・マシンおよびターゲット・システムに接続して書き込みます。

また、フラッシュ・メモリへの書き込みは、Flashpro IIまたはFlashpro IIIに接続されたフラッシュ・メモリ書き込み用アダプタ上でも行えます。

備考 FL-PR2, FL-PR3は株式会社内藤電誠町田製作所の製品です。

20.4.1 通信方式の選択

フラッシュ・メモリへの書き込みは、Flashpro IIまたはFlashpro IIIを使用し、シリアル通信で行います。表20-3に示す通信方式から選択して書き込みを行います。この通信方式の選択は、図20-3に示すようなフォーマットを用います。表20-3に示すV_{PP}パルス数で、それぞれの通信方式が選択されます。

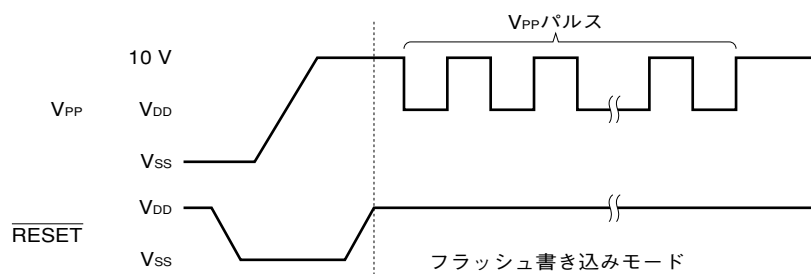
★

表20-3 通信方式一覧

通信方式	チャンネル数	使用端子	V _{PP} パルス数
3線式シリアルI/O	2	SI30/P30 SO30/P31 $\overline{\text{SCK30/P32}}$	0
		SI31/P20 SO31/P21 $\overline{\text{SCK31/P22}}$	1

注意 通信方式は、必ず表20-3に示すV_{PP}パルス数で選択してください。

図20-3 通信方式選択フォーマット



20.4.2 フラッシュ・メモリ・プログラミングの機能

選択された通信方式による各種コマンド／データ送受信により、フラッシュ・メモリの書き込みなどの動作を行います。主な機能を表20-4に示します。

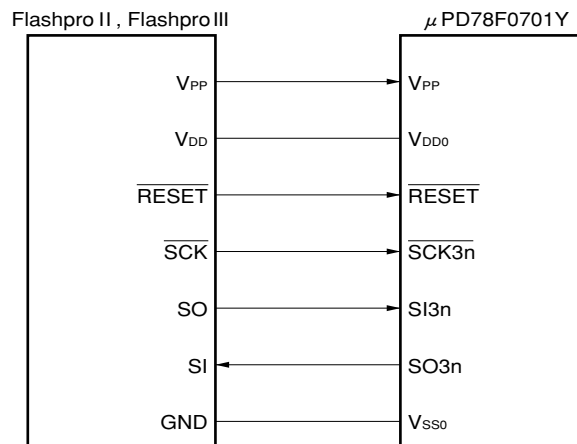
★ 表20-4 フラッシュ・メモリ・プログラミングの主な機能

機 能	説 明
リセット	書き込みの中止、通信同期検出を行うときに使用します。
一括ベリファイ	全メモリの内容と入力したデータを比較します。
一括内容ベリファイ	全メモリの内容を異なるモードで比較します。
一括消去	全メモリの内容を消去します。
一括ブランク・チェック	全メモリの消去状態を確認します。
高速書き込み	書き込み開始アドレスおよび書き込みデータ数（バイト数）をもとに、フラッシュ・メモリに書き込みを行います。
連続書き込み	高速書き込みで入力した情報をもとに、続けて書き込みを行います。
一括ブライツ	全メモリに00Hの書き込みをします。
ステータス	現在の動作モード、および動作終了を確認するときに使用します。
発振周波数設定	発振子の周波数情報を入力します。
消去時間設定	メモリの消去時間を入力します。
シリコン・シグネチャ読み出し	デバイス名やメモリ容量、デバイスのブロック情報を出力します。

★ 20.4.3 Flashpro II, Flashpro IIIの接続

Flashpro II, Flashpro IIIと μ PD78F0701Yとの接続を図20-4に示します。

図20-4 3線式シリアルI/O方式でのFlashpro II, Flashpro IIIの接続



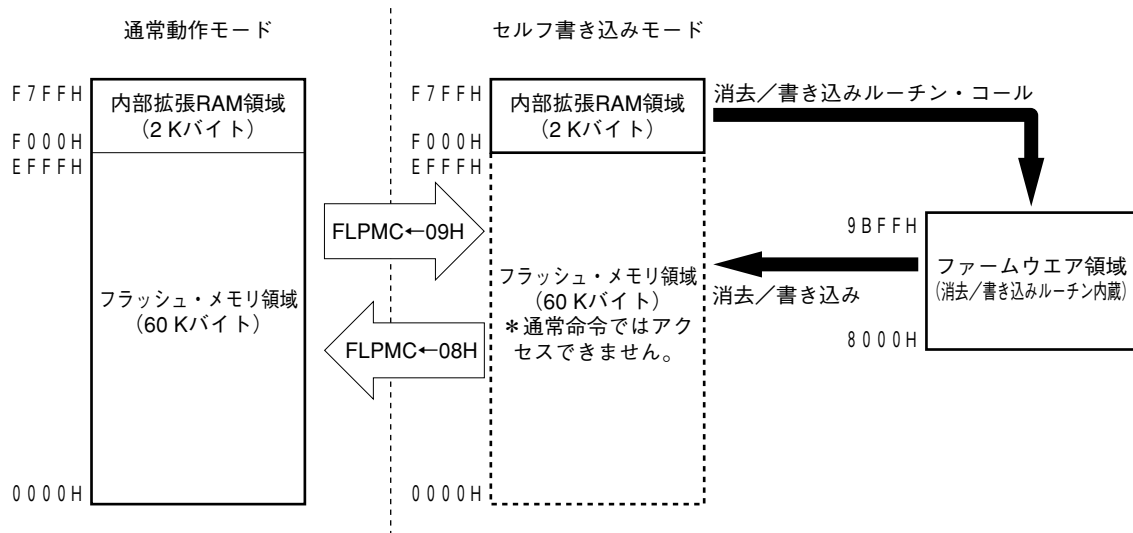
20.5 セルフ書き込みによるフラッシュ・メモリ・プログラミング

μPD78F0701Yは、プログラムによるフラッシュ・メモリの書き換えが可能です。

20.5.1 フラッシュ・メモリの構成

フラッシュ・メモリの構成を図20-5に示します。

図20-5 フラッシュ・メモリの構成



20.5.2 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)

フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) は、動作モードの選択、V_{PP}端子の状態の確認をするレジスタです。

FLPMCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、08Hになります。

図20-6 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
FLPMC	0	0	0	0	1	VPP	0	FLSPM0	FFCDH	08H ^{注1}	R/W ^{注2}

VPP	V _{PP} 端子の電圧の印加状態
0	V _{PP} 端子にフラッシュ・メモリの消去／書き込みに必要な電圧が印加されていない
1	V _{PP} 端子にV _{DD} 端子より高い電圧が印加されている

FLSPM0	動作モードの選択
0	通常動作モード
1	セルフ書き込みモード

注1. ビット2は、V_{PP}端子のレベルによって変化します。

2. ビット2は、Read Onlyです。

注意1. ビット1，4-7には必ず0を，ビット3には必ず1を設定してください。

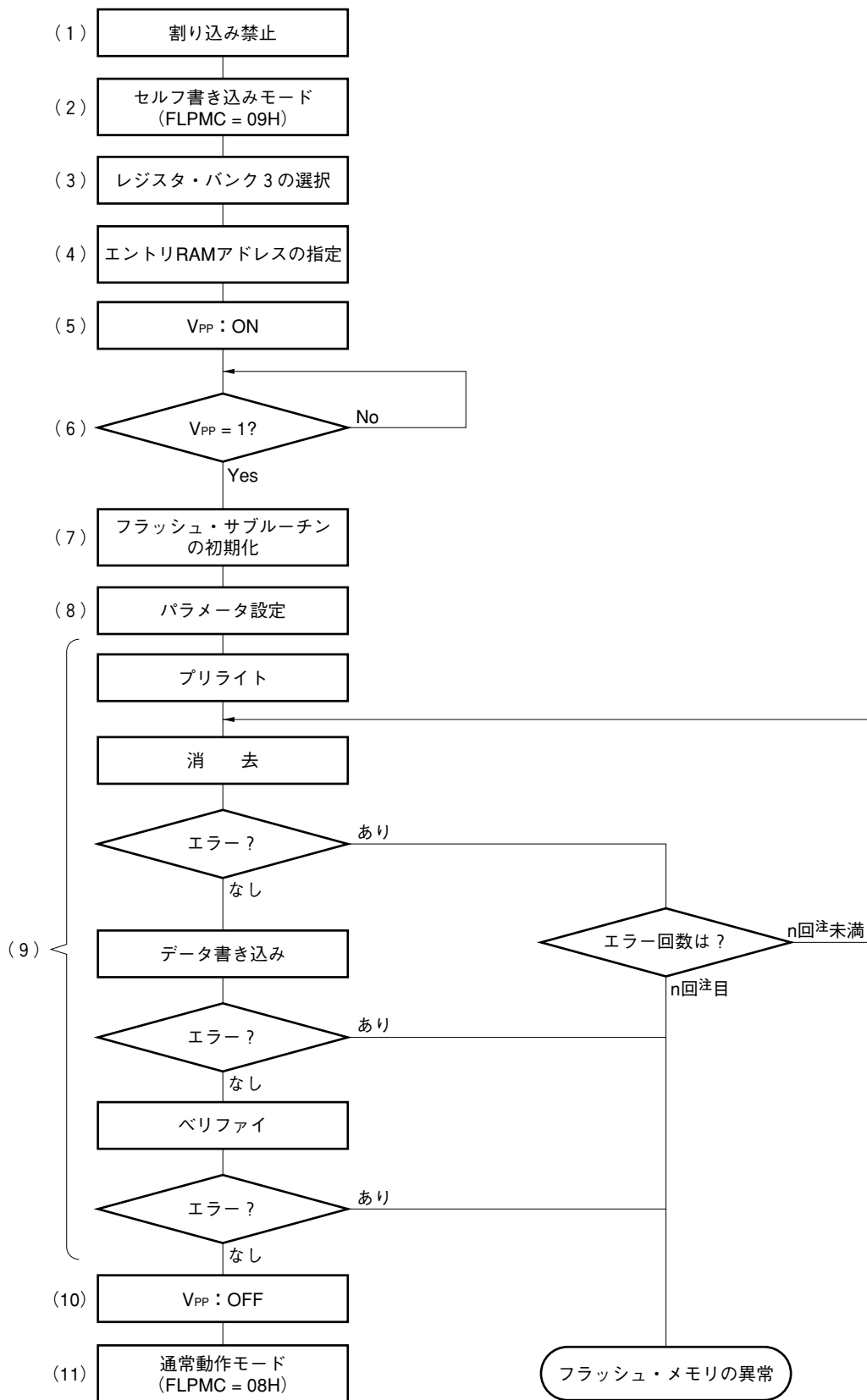
- VPPビットは、V_{PP}端子に印加されている電圧の状態を表示します。VPPビットが“0”のときは消去／書き込みに必要な電圧が印加されていないことを示します。しかし、VPPビットが“1”の場合であっても消去／書き込みに必要な電圧が印加されているとは限りません。したがって、消去／書き込みに必要な電圧が確実にV_{PP}端子に印加されるようなハードウェア構成にしてください。また、ハードウェアだけでなく、ソフトウェア的に消去／書き込みに必要な電圧が印加されていることを確認したい場合には、外付けのハードウェアで検出回路を用意して、その出力を使用してください。

20.5.3 セルフ書き込みの手順

フラッシュ・メモリへのセルフ書き込み手順は次のとおりです（図20-7参照）。

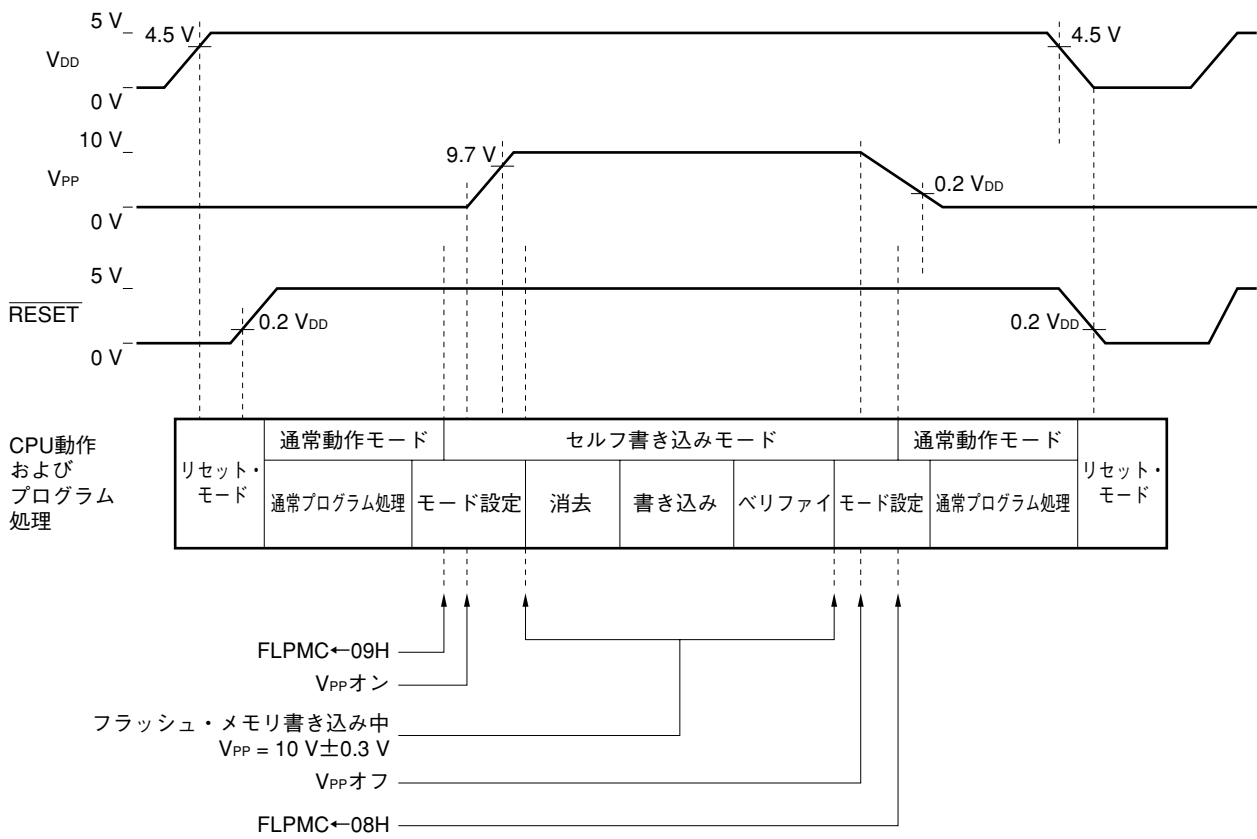
- (1) 割り込み禁止
- (2) セルフ書き込みモード (FLPMC = 09H)
- (3) レジスタ・バンク3の選択
- (4) HLレジスタにエントリRAMの先頭アドレスを指定
- (5) V_{PP}: ON (電源用ICに対するON信号)
- (6) V_{PP}レベルの確認
- (7) フラッシュ・サブルーチンの初期化
- (8) パラメータ設定
- (9) フラッシュ・メモリの制御 (消去, 書き込みなど)
- (10) V_{PP}: OFF (電源用ICに対するOFF信号)
- (11) 通常動作モード (FLPMC = 08H)

図20-7 セルフ・プログラミング・フロー・チャート



注 ユーザ・プログラムにより異なります。

図20-8 セルフ書き込みタイミング



20.5.4 CPU資源

セルフ書き込み時に使用するCPU資源は次のとおりです。

- ・レジスタ・バンク : BANK3 (8バイト)
 - Bレジスタ: ステータス・フラグ
 - Cレジスタ: 機能番号
 - HLレジスタ: エントリRAM領域先頭アドレス
- ・スタック領域 : 最大16バイト
- ・書き込みデータ格納領域: 1~256バイト
- ・エントリRAM領域 : 32バイト
 - セルフ書き込みのサブルーチンが使用するRAM領域。
 - HLレジスタにより、ユーザ指定可能。
- ・ステータス・フラグ

	7	6	5	4	3	2	1	0
パラメータ 設定エラー	—	—	バリファイ・ エラー	書き込み エラー	—	—	ブランク・ チェック・ エラー	—

20.5.5 エントリRAM領域

エントリRAM領域の内容を表20-5に示します。

表20-5 エントリRAM領域

オフセット値	内 容
+0	予約領域 (1バイト)
+1	予約領域 (1バイト)
+2	フラッシュ・メモリ開始アドレス (2バイト)
+4	フラッシュ・メモリ最終アドレス (2バイト)
+6	フラッシュ・メモリ書き込みバイト数 (1バイト)
+7	書き込み時間データ (1バイト)
+8	消去時間データ (3バイト)
+11	予約領域 (3バイト)
+14	書き込みデータ格納バッファ先頭アドレス (2バイト)
+16	全ブロック数 (1バイト)
+17	全エリア数 (1バイト)
+18	予約領域 (14バイト)
・	
・	

例 レジスタ・バンク3のHLレジスタ値が0FD00Hの場合

- 0FD00H: ステータス
- 0FD02H: フラッシュ・メモリ開始アドレス
- 0FD06H: フラッシュ・メモリ書き込みバイト数
- ・
- ・
- ・

次に、エントリRAM領域の詳細について説明します。

(a) フラッシュ・メモリ開始アドレス

_FlashByteWriteサブルーチンで使用するフラッシュ・メモリ・アドレス値

(b) フラッシュ・メモリ最終アドレス

_FlashGetInfoサブルーチンで格納するフラッシュ・メモリ・アドレス値

(c) フラッシュ・メモリ書き込みバイト数

エリア番号, フラッシュ・メモリ書き込みバイト数

(d) 書き込み時間データ

動作周波数により, 次の値を設定

fx (MHz)	設定値
1.00~1.28	20H
1.29~2.56	40H
2.57~5.12	60H
5.13~8.38	80H

(e) 消去時間データ

設定値 = 消去時間 (s) \times 動作周波数 / $2^9 + 1$

(消去時間範囲: 0.5 s ~ 20 s)

例 消去時間: 2 秒, 動作周波数: 6.29 MHz のとき

設定値 = $2 \times 6291456 / 512 + 1$

= 24577 (10進)

= 6001H (16進)

(f) 書き込みデータ格納バッファ先頭アドレス

書き込みデータ格納バッファ領域の先頭アドレスを保持している領域です。この領域にあるデータをアドレスとして指定されるRAMのデータ(書き込みデータ)をフラッシュ・メモリに書き込みます(_FlashByteWriteサブルーチン)。この領域にあるデータを先頭アドレスとして、書き込みデータは最大256バイトまで指定可能です。

(g) 全ブロック数

_FlashGetInfoサブルーチンで格納するフラッシュ・メモリ・ブロック総数

(h) 全エリア数

_FlashGetInfoサブルーチンで格納するフラッシュ・メモリ・エリア総数

20.5.6 セルフ書き込みサブルーチン

セルフ書き込み時のサブルーチンとその機能を表20-6に示します。

表20-6 セルフ書き込みサブルーチン一覧

機能番号		サブルーチン名	機能
10進	16進		
0	00H	_FlashEnv	フラッシュ・サブルーチンの初期化
1	01H	_FlashSetEnv	パラメータの設定
2	02H	_FlashGetInfo	フラッシュ・メモリ情報の読み出し
16	10H	_FlashAreaBlankCheck	指定エリアのブランク・チェック
32	20H	_FlashAreaPreWrit	指定エリアのプリライト
48	30H	_FlashAreaErase	指定エリアの消去
80	50H	_FlashByteWrite	バイト単位の連続書き込み
96	60H	_FlashAreaVerify	指定エリアの内部ベリファイ

(1) _FlashEnvサブルーチン

【機能】

フラッシュ・サブルーチンの初期化

【引数】

エントリRAMアドレス…… 2 バイト (HLレジスタ)

【返り値】

なし

【呼び出し後のレジスタ/メモリ状態】

エントリRAMアドレス

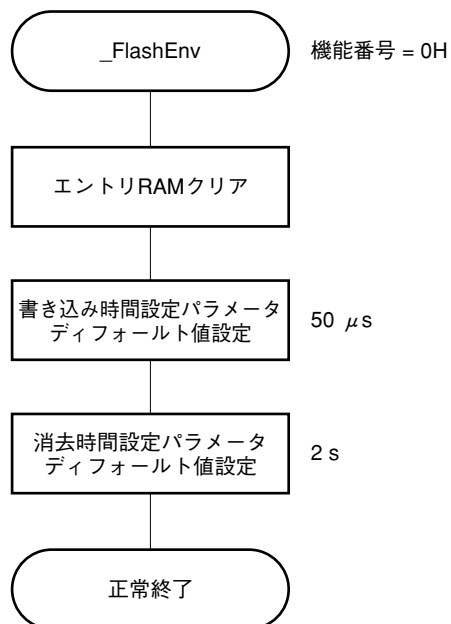
【呼び出し例】 エントリRAMアドレス = 0FC30Hの場合

```

DI
SET1    FLSPM0
LOOP :  BF    VPP, $LOOP
        SEL   RB3
        MOVW  HL, #0FC30H    ; エントリRAMアドレス
; *****初期化*****
        MOV   C, #0H        ; FlashEnv (機能番号設定)
        CALL  !8100H
        .
        .
        .

```

【フロー・チャート】



(2) _FlashSetEnvサブルーチン

【機能】

パラメータの設定

【引数】

書き込み時間データ…… 2バイト (オフセット値: +7)

消去時間データ……… 3バイト (オフセット値: +8~10)

【返り値】

ステータス (Bレジスタまたはオフセット値: +0)

00H: 正常終了

80H: パラメータ設定エラー

【呼び出し後のレジスタ/メモリ状態】

エントリRAMアドレス, 書き込み時間データ, 消去時間データ

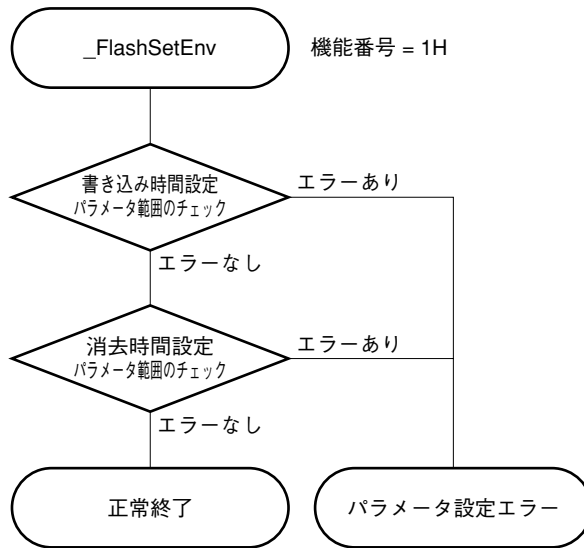
【呼び出し例】 エントリRAMアドレス = 0FC30Hの場合

```

MOV    A, #20H      ; 書き込み時間データ
MOV    !0FC37H, A
MOV    A, #30H      ; 消去時間データ
MOV    !0FC28H, A   ; 8s: 13130H
MOV    A, #31H
MOV    !0FC39H, A
MOV    A, #01H
MOV    !0FC3AH, A
;
MOV    C, #1H       ; FlashSetEnv (機能番号設定)
CALL   !8100H
      .
      .
      .

```

【フロー・チャート】



(3) _FlashGetInfo サブルーチン

【機能】

フラッシュ・メモリ情報の読み出し

【引数】

オプション番号 (=0, 1, 2, 3) …… 1バイト (オフセット値: +6)

- 0: フラッシュ・ファームウェア・バージョン
- 1: エリア数とブロック数
- 2: エリア0 最終アドレス
- 3: エリア1 最終アドレス

【返り値】

ステータス (Bレジスタまたはオフセット値: +6)

- 00H: 正常終了
- 80H: オプション番号指定エラー

オプション番号で指定できる情報は次のうちの1つです。

- ・フラッシュ・ファームウェア・バージョン (Aレジスタまたはオフセット値: +6)
- ・エリア数とブロック数 (AXレジスタまたはオフセット値: +16~17)
- ・指定エリアの最終アドレス (AXレジスタまたはオフセット値: +4~5)

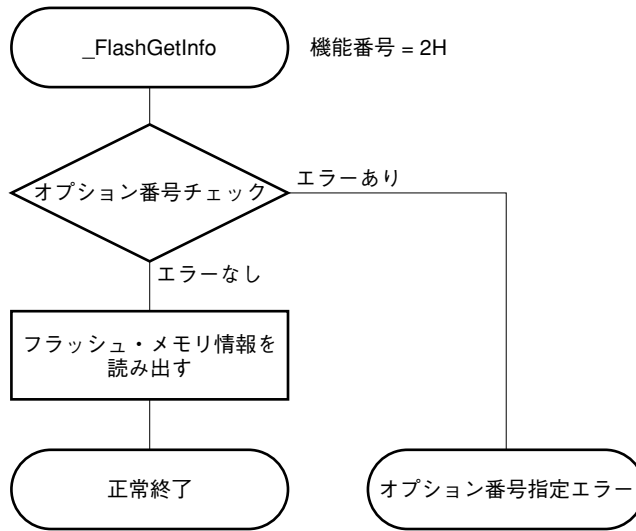
【呼び出し後のレジスタ/メモリ状態】

エン트리RAMアドレス, オプション番号 (フラッシュ・ファームウェア・バージョンを除く)

【呼び出し例】 エントリーRAMアドレス = 0FC30Hの場合

```
MOV    A, #02H      ; Area 1 end address information
MOV    !0FC36H, A
MOV    C, #02H      ; FlashGetInfo (機能番号設定)
CALL   !8100H
      .
      .
      .
```

【フロー・チャート】



(4) _FlashAreaBlankCheck サブルーチン

【機能】

指定エリアのブランク・チェック

【引数】

エリア番号 (= 0, 1) …… 1 バイト (オフセット値: +6)

0: 0000H-7FFFHの領域のブランク・チェック

1: 8000H-EFFFHの領域のブランク・チェック

【返り値】

ステータス (Bレジスタまたはオフセット値: +0)

00H: 正常終了

02H: ブランク・チェック・エラー

80H: エリア番号指定エラー

【呼び出し後のレジスタ/メモリ状態】

エントリRAMアドレス, エリア番号

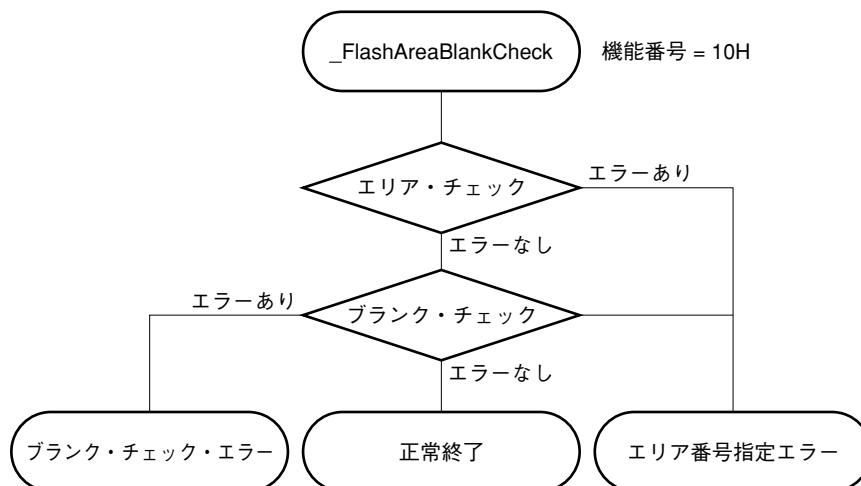
【呼び出し例】 エントリRAMアドレス = 0FC30Hの場合

```

MOV    A, #01H      ; エリア 1 指定
MOV    !0FC36H, A
MOV    C, #10H      ; FlashAreaBlankCheck (機能番号設定)
CALL   !8100H
      .
      .
      .

```

【フロー・チャート】



(5) _FlashAreaPreWriteサブルーチン

【機能】

指定エリアのプリライト（指定エリアに00Hを書き込む）

【引数】

エリア番号（=0, 1）……1バイト（オフセット値：+6）

0：0000H-7FFFHの領域のプリライト

1：8000H-EFFFHの領域のプリライト

【返り値】

ステータス（Bレジスタまたはオフセット値：+0）

00H：正常終了

08H：書き込みエラー

80H：エリア番号指定エラー

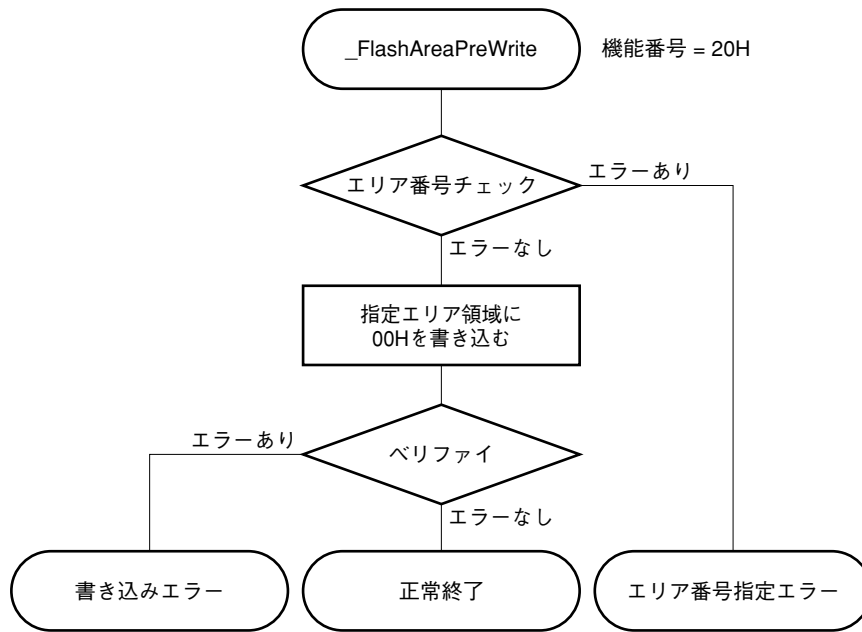
【呼び出し後のレジスタ/メモリ状態】

エントリRAMアドレス, エリア番号

【呼び出し例】 エントリRAMアドレス = 0FC30Hの場合

```
MOV    A, #1H          ; 8000H-EFFFHを指定
MOV    !0FC36H, A
;
MOV    C, #20H        ; FlashAreaPreWrite（機能番号設定）
CALL   !8100H
      .
      .
      .
```

【フロー・チャート】



(6) _FlashAreaEraseサブルーチン

【機能】

指定エリアの消去

【引数】

エリア番号 (= 0, 1) …… 1バイト (オフセット値: +6)

0: 0000H-7FFFHの領域の消去

1: 8000H-EFFFHの領域の消去

【返り値】

ステータス (Bレジスタまたはオフセット値: +0)

00H: 正常終了

02H: ブランク・チェック・エラー

80H: エリア番号指定エラー

【呼び出し後のレジスタ/メモリ状態】

エントリRAMアドレス, エリア番号

【呼び出し例】 エントリRAMアドレス = 0FC30Hの場合

MOV A, #1H ; 8000H-EFFFHを指定

MOV !0FC36H, A

;

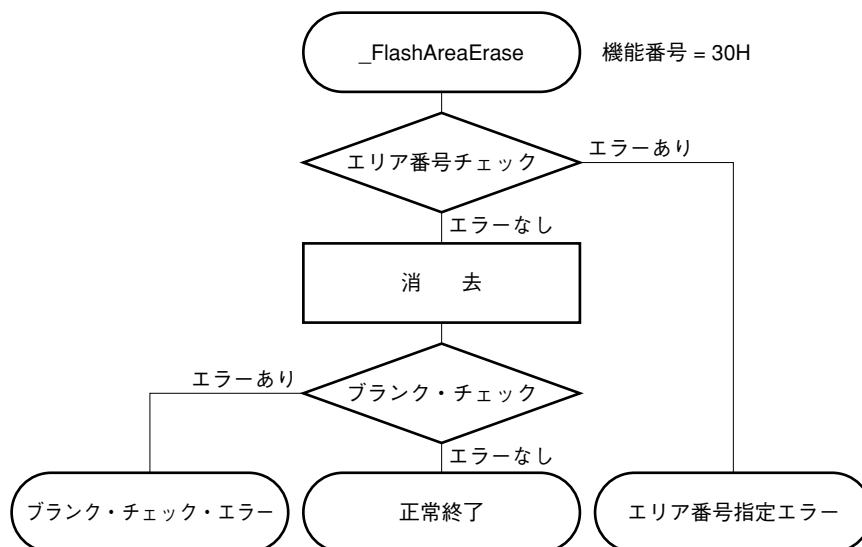
MOV C, #30H ; FlashAreaErase (機能番号設定)

CALL !8100H

.
.

.

【フロー・チャート】



(7) _FlashByteWriteサブルーチン

【機能】

バイト単位の連続書き込み

【引数】

フラッシュ・メモリ書き込み開始アドレス …… 2バイト (オフセット値: +2)
 フラッシュ・メモリ書き込みバイト数^注 …… 1バイト (オフセット値: +6)
 書き込みデータ格納バッファ先頭アドレス …… 2バイト (オフセット値: +14)

注 0を設定すると、最大の256バイトを指定できます。

【返り値】

ステータス (Bレジスタまたはオフセット値: +0)

00H: 正常終了

08H: 書き込みエラー

80H: 書き込みアドレス・エラー

【呼び出し後のレジスタ/メモリ状態】

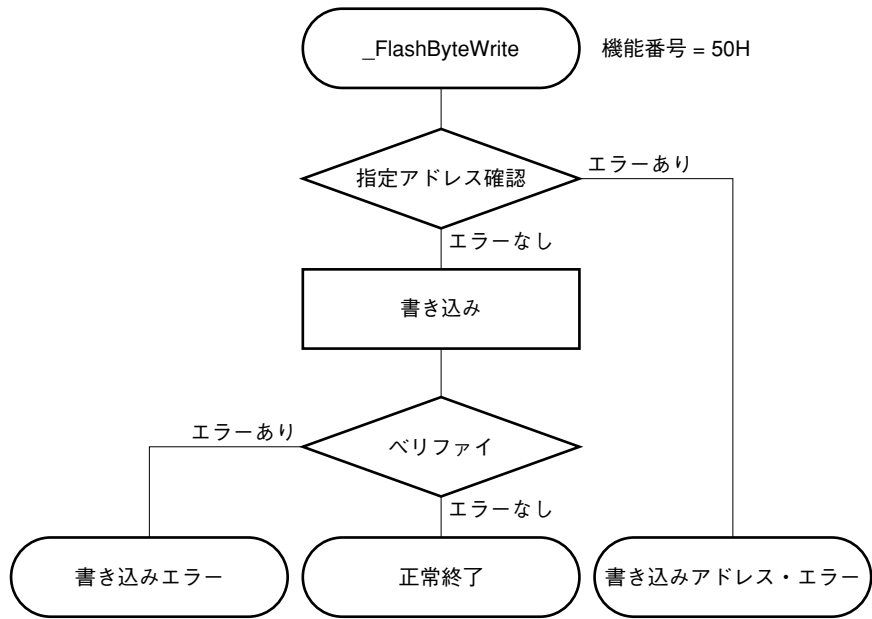
エントリRAMアドレス, フラッシュ・メモリ書き込みバイト数

フラッシュ・メモリ書き込み開始アドレスは書き込み終了時のアドレスに更新

【呼び出し例】 エントリRAMアドレス = 0FC30Hの場合

```
MOVW AX, #0FD00H ; 書き込みデータ格納バッファ先頭アドレス
MOVW !0FC3EH, AX
MOVW AX, #2000H ; フラッシュ・メモリ書き込み開始アドレス
MOVW !0FC32H, AX
MOV A, #0H ; フラッシュ・メモリ書き込みバイト数 (256バイト)
MOV !0FC36H, A
;
MOV C, #50H ; FlashByteWrite (機能番号設定)
CALL !8100H
.
.
.
```

【フロー・チャート】



(8) _FlashArealVerify サブルーチン

【機能】

指定エリアの内部ベリファイ（指定エリアのフラッシュ・メモリを異なるモードで読み出し、比較する）

【引数】

エリア番号 (= 0, 1) …… 1 バイト (オフセット値: +6)

0: 0000H-7FFFHの領域の内部ベリファイ

1: 8000H-EFFFHの領域の内部ベリファイ

【返り値】

ステータス (Bレジスタまたはオフセット値: +0)

00H: 正常終了

10H: ベリファイ・エラー

80H: エリア番号指定エラー

【呼び出し後のレジスタ/メモリ状態】

エントリRAMアドレス, エリア番号

【呼び出し例】 エントリRAMアドレス = 0FC30Hの場合

```
MOV    A, #01H      ; エリア 1 指定
```

```
MOV    !0FC36H, A
```

```
;
```

```
MOV    C, #60H      ; FlashArealVerify (機能番号設定)
```

```
CALL   !8100H
```

```
·
```

```
·
```

```
·
```

```
·
```

```
·
```

```
·
```

```
·
```

```
·
```

```
·
```

```
·
```

```
·
```

```
·
```

```
·
```

```
·
```

```
·
```

```
·
```

```
·
```

```
·
```

```
·
```

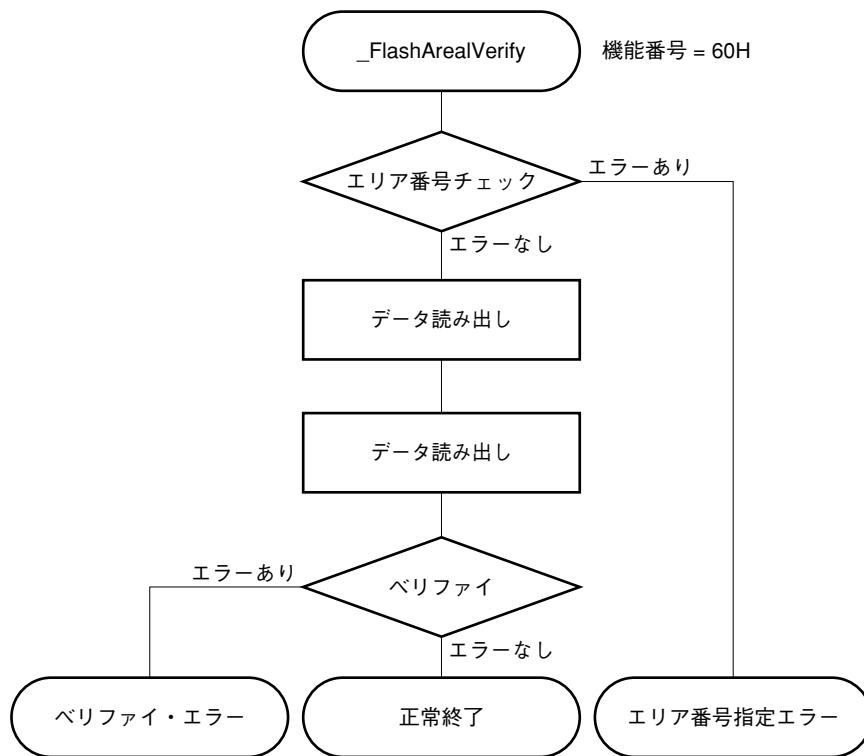
```
·
```

```
·
```

```
·
```

```
·
```

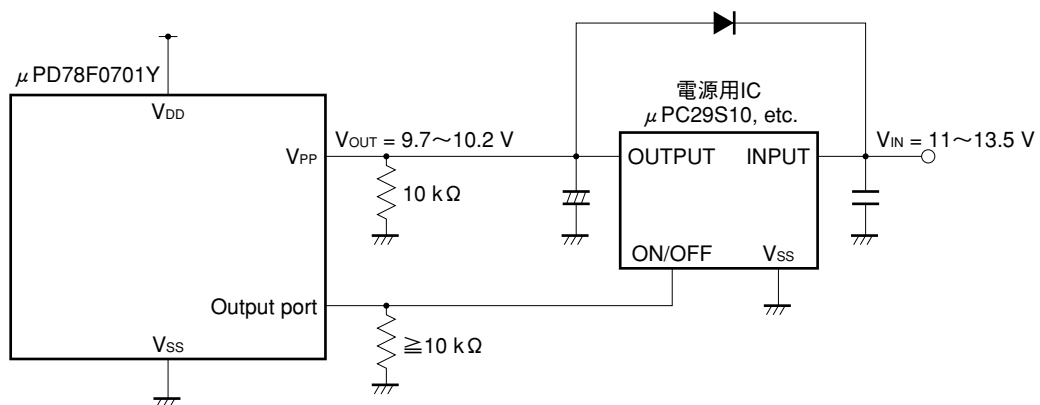
【フロー・チャート】



20.5.7 セルフ書き込み回路の構成

セルフ書き込み回路の構成を図20-9に示します。

図20-9 セルフ書き込み回路の構成



第21章 命令セットの概要

μ PD780701Yサブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

21.1 凡 例

21.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミディエト・データ指定
- ・! : 絶対アドレス指定
- ・\$: 相対アドレス指定
- ・[] : 間接アドレス指定

イミディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式 r, rpには、機能名称（X, A, Cなど）、絶対名称（下表の中のカッコ内の名称, R0, R1, R2など）のいずれの形式でも記述可能です。

表21-1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号 ^注
sfrp	特殊機能レジスタ略号 (16ビット操作可能なレジスタの偶数アドレスのみ) ^注
saddr	FE20H-FF1FH イミディエト・データまたはラベル
saddrp	FE20H-FF1FH イミディエト・データまたはラベル (偶数アドレスのみ)
addr16	0000H-FFFFH イミディエト・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミディエト・データまたはラベル
addr5	0040H-007FH イミディエト・データまたはラベル (偶数アドレスのみ)
word	16ビット・イミディエト・データまたはラベル
byte	8ビット・イミディエト・データまたはラベル
bit	3ビット・イミディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3-4 特殊機能レジスタ一覧を参照してください。

21.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスクابل割り込み処理中フラグ
()	: () 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレースメント値)

21.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
X	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

21.2 オペレーション一覧

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ Z AC CY
				注1	注2		
8ビット・データ転送	MOV	r, #byte	2	4	—	r←byte	
		saddr, #byte	3	6	7	(saddr)←byte	
		sfr, #byte	3	—	7	sfr←byte	
		A, r <small>注3</small>	1	2	—	A←r	
		r, A <small>注3</small>	1	2	—	r←A	
		A, saddr	2	4	5	A←(saddr)	
		saddr, A	2	4	5	(saddr)←A	
		A, sfr	2	—	5	A←sfr	
		sfr, A	2	—	5	sfr←A	
		A, laddr16	3	8	9	A←(addr16)	
		!addr16, A	3	8	9	(addr16)←A	
		PSW, #byte	3	—	7	PSW←byte	× × ×
		A, PSW	2	—	5	A←PSW	
		PSW, A	2	—	5	PSW←A	× × ×
		A, [DE]	1	4	5	A←(DE)	
		[DE], A	1	4	5	(DE)←A	
		A, [HL]	1	4	5	A←(HL)	
		[HL], A	1	4	5	(HL)←A	
		A, [HL+byte]	2	8	9	A←(HL+byte)	
		[HL+byte], A	2	8	9	(HL+byte)←A	
	A, [HL+B]	1	6	7	A←(HL+B)		
	[HL+B], A	1	6	7	(HL+B)←A		
	A, [HL+C]	1	6	7	A←(HL+C)		
	[HL+C], A	1	6	7	(HL+C)←A		
	XCH	A, r <small>注3</small>	1	2	—	A↔r	
		A, saddr	2	4	6	A↔(saddr)	
		A, sfr	2	—	6	A↔sfr	
		A, !addr16	3	8	10	A↔(addr16)	
A, [DE]		1	4	6	A↔(DE)		
A, [HL]		1	4	6	A↔(HL)		
A, [HL+byte]		2	8	10	A↔(HL+byte)		
A, [HL+B]		2	8	10	A↔(HL+B)		
A, [HL+C]	2	8	10	A↔(HL+C)			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r=Aを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

命令群	モニタック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	rp, # word	3	6	—	rp←word			
		saddrp, # word	4	8	10	(saddrp) ←word			
		sfrp, # word	4	—	10	sfrp←word			
		AX, saddrp	2	6	8	AX←(saddrp)			
		saddrp, AX	2	6	8	(saddrp) ←AX			
		AX, sfrp	2	—	8	AX←sfrp			
		sfrp, AX	2	—	8	sfrp←AX			
		AX, rp 注3	1	4	—	AX←rp			
		rp, AX 注3	1	4	—	rp←AX			
		AX, !addr16	3	10	12	AX←(addr16)			
		!addr16, AX	3	10	12	(addr16) ←AX			
	XCHW	AX, rp 注3	1	4	—	AX↔rp			
8ビット演算	ADD	A, # byte	2	4	—	A, CY←A+byte	×	×	×
		saddr, # byte	3	6	8	(saddr), CY←(saddr)+byte	×	×	×
		A, r 注4	2	4	—	A, CY←A+r	×	×	×
		r, A	2	4	—	r, CY←r+A	×	×	×
		A, saddr	2	4	5	A, CY←A+(saddr)	×	×	×
		A, !addr16	3	8	9	A, CY←A+(addr16)	×	×	×
		A, [HL]	1	4	5	A, CY←A+(HL)	×	×	×
		A, [HL+byte]	2	8	9	A, CY←A+(HL+byte)	×	×	×
		A, [HL+B]	2	8	9	A, CY←A+(HL+B)	×	×	×
		A, [HL+C]	2	8	9	A, CY←A+(HL+C)	×	×	×
	ADDC	A, # byte	2	4	—	A, CY←A+byte+CY	×	×	×
		saddr, # byte	3	6	8	(saddr), CY←(saddr)+byte+CY	×	×	×
		A, r 注4	2	4	—	A, CY←A+r+CY	×	×	×
		r, A	2	4	—	r, CY←r+A+CY	×	×	×
		A, saddr	2	4	5	A, CY←A+(saddr)+CY	×	×	×
		A, !addr16	3	8	9	A, CY←A+(addr16)+CY	×	×	×
		A, [HL]	1	4	5	A, CY←A+(HL)+CY	×	×	×
		A, [HL+byte]	2	8	9	A, CY←A+(HL+byte)+CY	×	×	×
		A, [HL+B]	2	8	9	A, CY←A+(HL+B)+CY	×	×	×
		A, [HL+C]	2	8	9	A, CY←A+(HL+C)+CY	×	×	×

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. rp = BC, DE, HLのときのみ。
4. r = Aを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	—	A, CY←A—byte	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)—byte	×	×	×
		A, r <small>注3</small>	2	4	—	A, CY←A—r	×	×	×
		r, A	2	4	—	r, CY←r—A	×	×	×
		A, saddr	2	4	5	A, CY←A—(saddr)	×	×	×
		A, !addr16	3	8	9	A, CY←A—(addr16)	×	×	×
		A, [HL]	1	4	5	A, CY←A—(HL)	×	×	×
		A, [HL+byte]	2	8	9	A, CY←A—(HL+byte)	×	×	×
		A, [HL+B]	2	8	9	A, CY←A—(HL+B)	×	×	×
		A, [HL+C]	2	8	9	A, CY←A—(HL+C)	×	×	×
	SUBC	A, #byte	2	4	—	A, CY←A—byte—CY	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)—byte—CY	×	×	×
		A, r <small>注3</small>	2	4	—	A, CY←A—r—CY	×	×	×
		r, A	2	4	—	r, CY←r—A—CY	×	×	×
		A, saddr	2	4	5	A, CY←A—(saddr)—CY	×	×	×
		A, !addr16	3	8	9	A, CY←A—(addr16)—CY	×	×	×
		A, [HL]	1	4	5	A, CY←A—(HL)—CY	×	×	×
		A, [HL+byte]	2	8	9	A, CY←A—(HL+byte)—CY	×	×	×
		A, [HL+B]	2	8	9	A, CY←A—(HL+B)—CY	×	×	×
		A, [HL+C]	2	8	9	A, CY←A—(HL+C)—CY	×	×	×
	AND	A, #byte	2	4	—	A←A∧byte	×		
		saddr, #byte	3	6	8	(saddr) ← (saddr) ∧byte	×		
		A, r <small>注3</small>	2	4	—	A←A∧r	×		
		r, A	2	4	—	r←r∧A	×		
		A, saddr	2	4	5	A←A∧(saddr)	×		
		A, !addr16	3	8	9	A←A∧(addr16)	×		
		A, [HL]	1	4	5	A←A∧(HL)	×		
		A, [HL+byte]	2	8	9	A←A∧(HL+byte)	×		
		A, [HL+B]	2	8	9	A←A∧(HL+B)	×		
		A, [HL+C]	2	8	9	A←A∧(HL+C)	×		

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, # byte	2	4	—	$A \leftarrow A \vee \text{byte}$	×		
		saddr, # byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×		
		A, r 注3	2	4	—	$A \leftarrow A \vee r$	×		
		r, A	2	4	—	$r \leftarrow r \vee A$	×		
		A, saddr	2	4	5	$A \leftarrow A \vee (\text{saddr})$	×		
		A, !addr16	3	8	9	$A \leftarrow A \vee (\text{addr16})$	×		
		A, [HL]	1	4	5	$A \leftarrow A \vee (\text{HL})$	×		
		A, [HL+byte]	2	8	9	$A \leftarrow A \vee (\text{HL} + \text{byte})$	×		
		A, [HL+B]	2	8	9	$A \leftarrow A \vee (\text{HL} + B)$	×		
		A, [HL+C]	2	8	9	$A \leftarrow A \vee (\text{HL} + C)$	×		
	XOR	A, # byte	2	4	—	$A \leftarrow A \vee \text{byte}$	×		
		saddr, # byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×		
		A, r 注3	2	4	—	$A \leftarrow A \vee r$	×		
		r, A	2	4	—	$r \leftarrow r \vee A$	×		
		A, saddr	2	4	5	$A \leftarrow A \vee (\text{saddr})$	×		
		A, !addr16	3	8	9	$A \leftarrow A \vee (\text{addr16})$	×		
		A, [HL]	1	4	5	$A \leftarrow A \vee (\text{HL})$	×		
		A, [HL+byte]	2	8	9	$A \leftarrow A \vee (\text{HL} + \text{byte})$	×		
		A, [HL+B]	2	8	9	$A \leftarrow A \vee (\text{HL} + B)$	×		
		A, [HL+C]	2	8	9	$A \leftarrow A \vee (\text{HL} + C)$	×		
	CMP	A, # byte	2	4	—	$A - \text{byte}$	×	×	×
		saddr, # byte	3	6	8	$(\text{saddr}) - \text{byte}$	×	×	×
		A, r 注3	2	4	—	$A - r$	×	×	×
		r, A	2	4	—	$r - A$	×	×	×
		A, saddr	2	4	5	$A - (\text{saddr})$	×	×	×
		A, !addr16	3	8	9	$A - (\text{addr16})$	×	×	×
		A, [HL]	1	4	5	$A - (\text{HL})$	×	×	×
A, [HL+byte]		2	8	9	$A - (\text{HL} + \text{byte})$	×	×	×	
A, [HL+B]		2	8	9	$A - (\text{HL} + B)$	×	×	×	
A, [HL+C]		2	8	9	$A - (\text{HL} + C)$	×	×	×	

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット演算	ADDW	AX, # word	3	6	—	AX,CY←AX+word	×	×	×
	SUBW	AX, # word	3	6	—	AX,CY←AX−word	×	×	×
	CMPW	AX, # word	3	6	—	AX−word	×	×	×
乗除算	MULU	X	2	16	—	AX←A×X			
	DIVUW	C	2	25	—	AX(商), C(余り)←AX÷C			
増減	INC	r	1	2	—	r←r+1	×	×	
		saddr	2	4	6	(saddr)←(saddr)+1	×	×	
	DEC	r	1	2	—	r←r−1	×	×	
		saddr	2	4	6	(saddr)←(saddr)−1	×	×	
	INCW	rp	1	4	—	rp←rp+1			
	DECW	rp	1	4	—	rp←rp−1			
ローテート	ROR	A, 1	1	2	—	(CY, A7←A0, Am−1←Am)×1回			×
	ROL	A, 1	1	2	—	(CY, A0←A7, Am+1←Am)×1回			×
	RORC	A, 1	1	2	—	(CY←A0, A7←CY, Am−1←Am)×1回			×
	ROLC	A, 1	1	2	—	(CY←A7, A0←CY, Am+1←Am)×1回			×
	ROR4	[HL]	2	10	12	A3-0←(HL)3-0, (HL)7-4←A3-0, (HL)3-0←(HL)7-4			
	ROL4	[HL]	2	10	12	A3-0←(HL)7-4, (HL)3-0←A3-0, (HL)7-4←(HL)3-0			
BCD補正	ADJBA		2	4	—	Decimal Adjust Accumulator after Addition	×	×	×
	ADJBS		2	4	—	Decimal Adjust Accumulator after Subtract	×	×	×
ビット操作	MOV1	CY, saddr. bit	3	6	7	CY←(saddr. bit)			×
		CY, sfr. bit	3	—	7	CY←sfr. bit			×
		CY, A. bit	2	4	—	CY←A. bit			×
		CY, PSW. bit	3	—	7	CY←PSW. bit			×
		CY, [HL]. bit	2	6	7	CY←(HL). bit			×
		saddr. bit, CY	3	6	8	(saddr. bit)←CY			
		sfr. bit, CY	3	—	8	sfr. bit←CY			
		A. bit, CY	2	4	—	A. bit←CY			
		PSW. bit, CY	3	—	8	PSW. bit←CY			×
[HL]. bit, CY	2	6	8	(HL). bit←CY					

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	AND1	CY, saddr. bit	3	6	7	CY←CY∧ (saddr. bit)			×
		CY, sfr. bit	3	—	7	CY←CY∧sfr. bit			×
		CY, A. bit	2	4	—	CY←CY∧A. bit			×
		CY, PSW. bit	3	—	7	CY←CY∧PSW. bit			×
		CY, [HL] . bit	2	6	7	CY←CY∧ (HL) . bit			×
	OR1	CY, saddr. bit	3	6	7	CY←CY∨ (saddr. bit)			×
		CY, sfr. bit	3	—	7	CY←CY∨sfr. bit			×
		CY, A. bit	2	4	—	CY←CY∨A. bit			×
		CY, PSW. bit	3	—	7	CY←CY∨PSW. bit			×
		CY, [HL] . bit	2	6	7	CY←CY∨ (HL) . bit			×
	XOR1	CY, saddr. bit	3	6	7	CY←CY⊕ (saddr. bit)			×
		CY, sfr. bit	3	—	7	CY←CY⊕sfr. bit			×
		CY, A. bit	2	4	—	CY←CY⊕A. bit			×
		CY, PSW. bit	3	—	7	CY←CY⊕PSW. bit			×
		CY, [HL] . bit	2	6	7	CY←CY⊕ (HL) . bit			×
	SET1	saddr. bit	2	4	6	(saddr. bit) ← 1			
		sfr. bit	3	—	8	sfr. bit← 1			
		A. bit	2	4	—	A. bit← 1			
		PSW. bit	2	—	6	PSW. bit← 1			× × ×
		[HL] . bit	2	6	8	(HL) . bit← 1			
	CLR1	saddr. bit	2	4	6	(saddr. bit) ← 0			
		sfr. bit	3	—	8	sfr. bit← 0			
		A. bit	2	4	—	A. bit← 0			
		PSW. bit	2	—	6	PSW. bit← 0			× × ×
		[HL] . bit	2	6	8	(HL) . bit← 0			
SET1	CY	1	2	—	CY← 1			1	
CLR1	CY	1	2	—	CY← 0			0	
NOT1	CY	1	2	—	CY← \overline{CY}			×	

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
コール・リターン	CALL	! addr16	3	7	—	(SP-1) ← (PC+3) _H , (SP-2) ← (PC+3) _L , PC←addr16, SP←SP-2			
	CALLF	! addr11	2	5	—	(SP-1) ← (PC+2) _H , (SP-2) ← (PC+2) _L , PC ₁₅₋₁₁ ←00001, PC ₁₀₋₀ ←addr11, SP←SP-2			
	CALLT	[addr5]	1	6	—	(SP-1) ← (PC+1) _H , (SP-2) ← (PC+1) _L , PC _H ← (00000000, addr5+1) , PC _L ← (00000000, addr5) , SP←SP-2			
	BRK		1	6	—	(SP-1) ←PSW, (SP-2) ← (PC+1) _H , (SP-3) ← (PC+1) _L , PC _H ← (003FH) , PC _L ← (003EH) , SP←SP-3, IE←0			
	RET		1	6	—	PC _H ← (SP+1) , PC _L ← (SP) , SP←SP+2			
	RETI		1	6	—	PC _H ← (SP+1) , PC _L ← (SP) , PSW← (SP+2) , SP←SP+3 , NMIS←0	R	R	R
	RETB		1	6	—	PC _H ← (SP+1) , PC _L ← (SP) , PSW← (SP+2) , SP←SP+3	R	R	R
スタック操作	PUSH	PSW	1	2	—	(SP-1) ←PSW, SP←SP-1			
		rp	1	4	—	(SP-1) ←rp _H , (SP-2) ←rp _L , SP←SP-2			
	POP	PSW	1	2	—	PSW← (SP) , SP←SP+1	R	R	R
		rp	1	4	—	rp _H ← (SP+1) , rp _L ← (SP) , SP←SP+2			
	MOVW	SP, # word	4	—	10	SP←word			
		SP, AX	2	—	8	SP←AX			
AX, SP		2	—	8	AX←SP				
無条件分岐	BR	! addr16	3	6	—	PC←addr16			
		\$addr16	2	6	—	PC←PC+2+jdisp8			
		AX	2	8	—	PC _H ←A, PC _L ←X			
条件付き分岐	BC	\$addr16	2	6	—	PC←PC+2+jdisp8 if CY = 1			
	BNC	\$addr16	2	6	—	PC←PC+2+jdisp8 if CY = 0			
	BZ	\$addr16	2	6	—	PC←PC+2+jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	—	PC←PC+2+jdisp8 if Z = 0			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

命令群	ニモニク	オペランド	バイト	クロック		オペレーション	フラグ Z AC CY
				注1	注2		
条件付き分岐	BT	saddr. bit, \$addr16	3	8	9	PC←PC+3+jdisp8 if (saddr. bit) = 1	
		sfr. bit, \$addr16	4	—	11	PC←PC+4+jdisp8 if sfr. bit = 1	
		A. bit, \$addr16	3	8	—	PC←PC+3+jdisp8 if A. bit = 1	
		PSW. bit, \$addr16	3	—	9	PC←PC+3+jdisp8 if PSW. bit = 1	
		[HL]. bit, \$addr16	3	10	11	PC←PC+3+jdisp8 if (HL). bit = 1	
	BF	saddr. bit, \$addr16	4	10	11	PC←PC+4+jdisp8 if (saddr. bit) = 0	
		sfr. bit, \$addr16	4	—	11	PC←PC+4+jdisp8 if sfr. bit = 0	
		A. bit, \$addr16	3	8	—	PC←PC+3+jdisp8 if A. bit = 0	
		PSW. bit, \$addr16	4	—	11	PC←PC+4+jdisp8 if PSW. bit = 0	
		[HL]. bit, \$addr16	3	10	11	PC←PC+3+jdisp8 if (HL). bit = 0	
	BTCLR	saddr. bit, \$addr16	4	10	12	PC←PC+4+jdisp8 if (saddr. bit) = 1 then reset (saddr. bit)	
		sfr. bit, \$addr16	4	—	12	PC←PC+4+jdisp8 if sfr. bit = 1 then reset sfr. bit	
		A. bit, \$addr16	3	8	—	PC←PC+3+jdisp8 if A. bit = 1 then reset A. bit	
		PSW. bit, \$addr16	4	—	12	PC←PC+4+jdisp8 if PSW. bit = 1 then reset PSW. bit	× × ×
		[HL]. bit, \$addr16	3	10	12	PC←PC+3+jdisp8 if (HL). bit = 1 then reset (HL). bit	
DBNZ	B, \$addr16	2	6	—	B←B-1, then PC←PC+2+jdisp8 if B≠0		
	C, \$addr16	2	6	—	C←C-1, then PC←PC+2+jdisp8 if C≠0		
	saddr, \$addr16	3	8	10	(saddr) ← (saddr) - 1, then PC←PC+3+jdisp8 if (saddr) ≠ 0		
CPU制御	SEL	Rb _n	2	4	—	RBS1, 0←n	
	NOP		1	2	—	No Operation	
	EI		2	—	6	IE←1 (Enable Interrupt)	
	DI		2	—	6	IE←0 (Disable Interrupt)	
	HALT		2	6	—	Set HALT Mode	
	STOP		2	6	—	Set STOP Mode	

- 注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。
 2. 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcpu) の1クロック分です。

21.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
第1オペランド													
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL+byte] [HL+B] [HL+C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	laddr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
laddr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令/分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2オペランド 第1オペランド	AX	laddr16	laddr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

付録 A 開発ツール

μPD780701Yサブシリーズを使用するシステム開発のために次のような開発ツールを用意しています。
図A-1に開発ツール構成を示します。

●PC98-NXシリーズへの対応について

特に断りのないかぎり、IBM PC/AT™互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

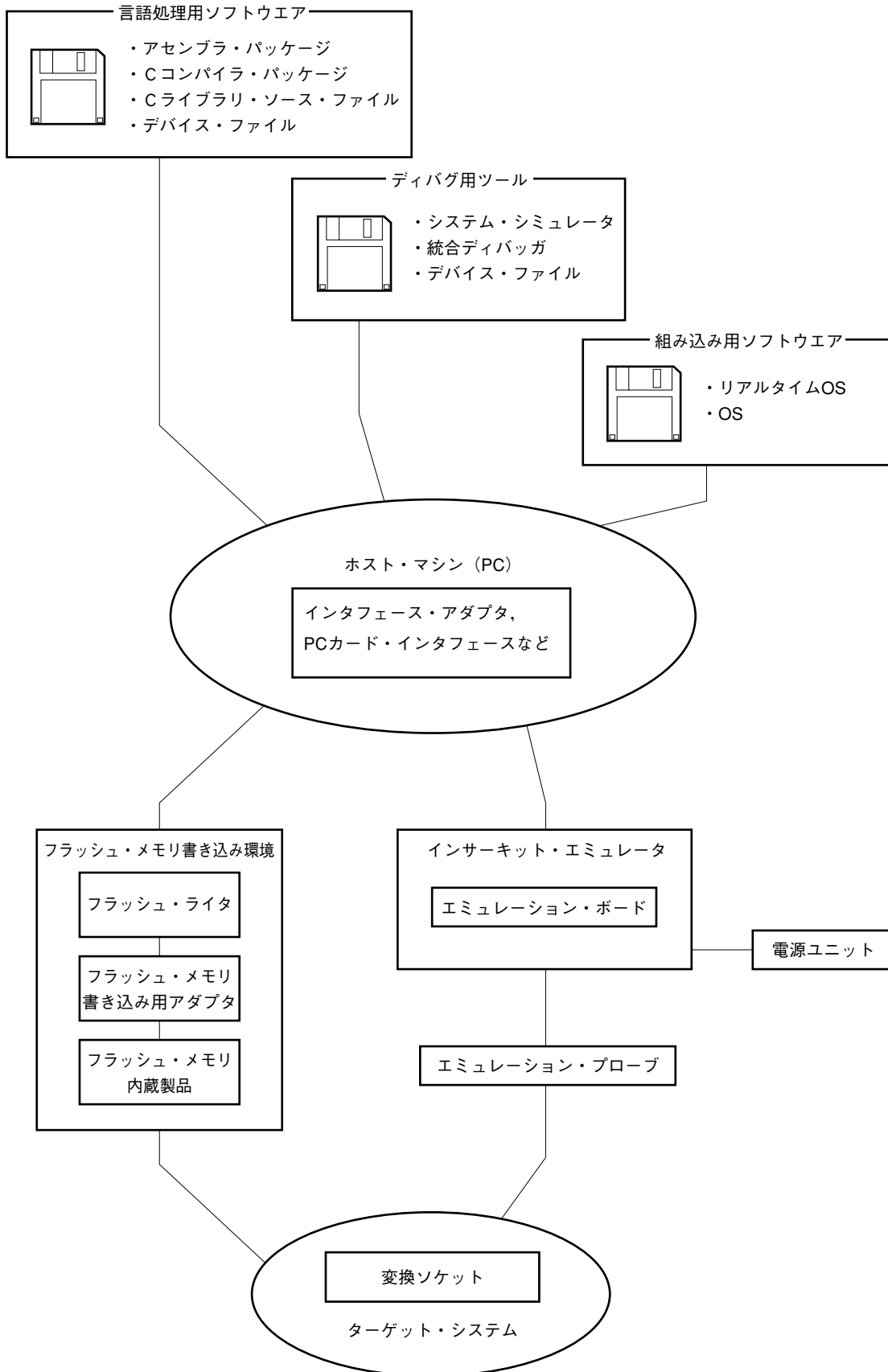
●Windowsについて

特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 3.1
- Windows 95
- WindowsNT®Ver.4.0

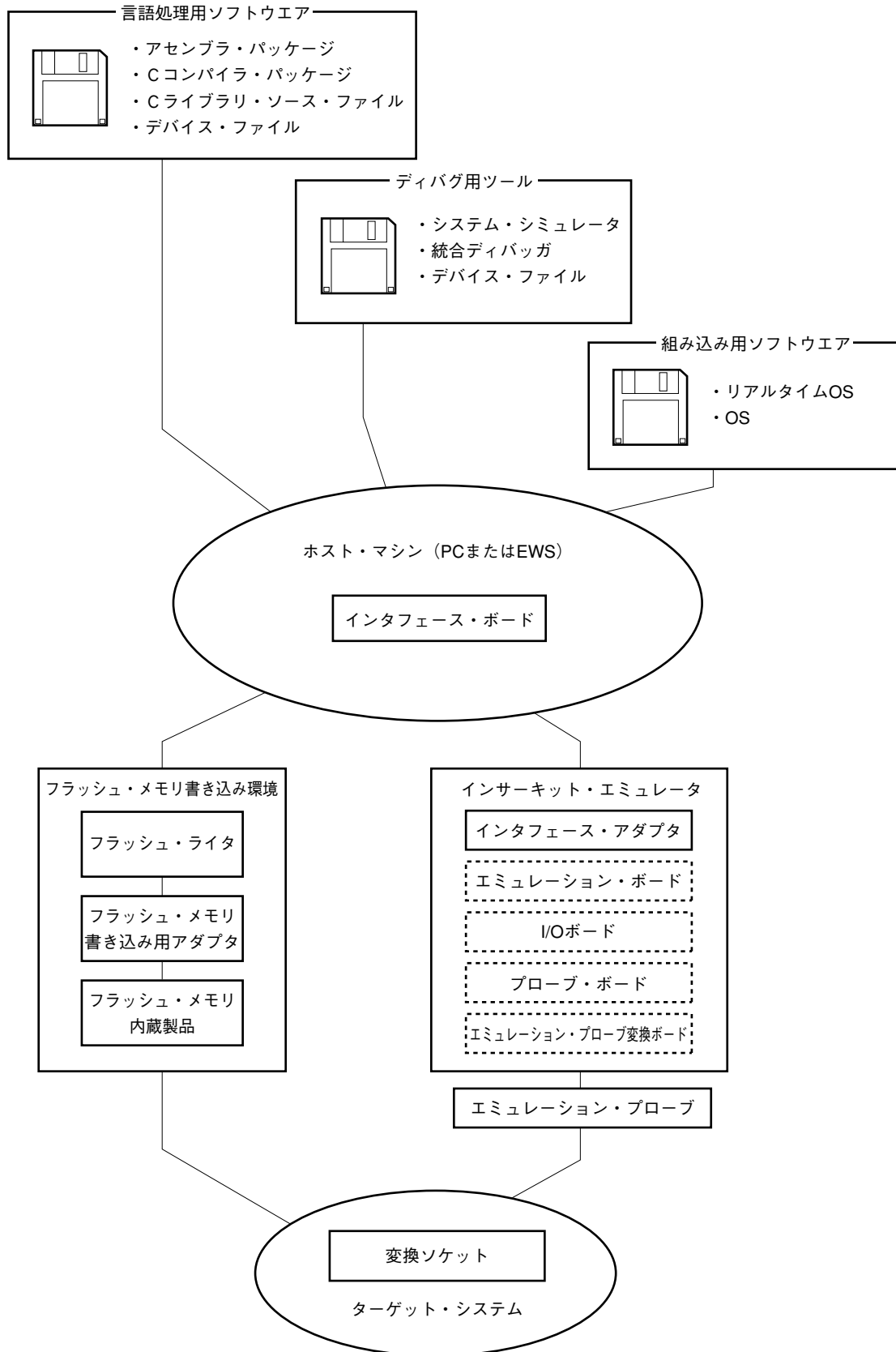
図A-1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ IE-78K0-NSを使用する場合



図A-1 開発ツール構成 (2/2)

(2) インサーキット・エミュレータ IE-78001-R-Aを使用する場合



備考 破線の部分は開発環境によって異なります。A.3.1 ハードウェアを参照してください。

A.1 言語処理用ソフトウェア

RA78K/0 アセンブラ・パッケージ	<p>ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。</p> <p>別売のデバイス・ファイル（DF780701）と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。</p> <p>オーダ名称：μS××××RA78K0</p>
CC78K/0 Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。</p> <p>オーダ名称：μS××××CC78K0</p>
DF780701 ^注 デバイス・ファイル	<p>デバイス固有の情報が入ったファイルです。</p> <p>別売の各ツール（RA78K/0, CC78K/0, SM78K0, ID78K0-NS, ID78K0）と組み合わせて使用します。</p> <p>対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。</p> <p>オーダ名称：μS××××DF780701</p>
CC78K/0-L Cライブラリ・ソース・ ファイル	<p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。</p> <p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。</p> <p>ソース・ファイルのため、動作環境はOSに依存しません。</p> <p>オーダ名称：μS××××CC78K0-L</p>

注 DF780701は、RA78K/0, CC78K/0, SM78K0, ID78K0-NS, ID78K0 のすべての製品に共通に使用できます。

DF780701は開発中です。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0
 μS××××CC78K0
 μS××××DF780701
 μS××××CC78K0-L

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows ^注	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows ^注	3.5インチ2HC FD
BB13		英語Windows ^注	
3P16	HP9000シリーズ700 TM	HP-UJ TM (Rel.10.10)	DAT (DDS)
3K13	SPARCstation TM	SunOS TM (Rel. 4.1.4) ,	3.5インチ2HC FD
3K15		Solaris TM (Rel. 2.5.1)	1/4インチCGMT
3R13	NEWS TM (RISC)	NEWS-OS TM (Rel. 6.1)	3.5インチ2HC FD

注 DOS環境でも動作します。

A.2 フラッシュ・メモリ書き込み用ツール

Flashpro II (型番 FL-PR2) , Flashpro III (型番 FL-PR3, PG-FP3) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライターです。
FA-80GC フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro II, Flashpro IIIに接続して使用します。 80ピン・プラスチックQFP (GC-8BTタイプ) 用です。
Flashpro II コントローラ, Flashpro III コントローラ	パソコン上から制御するプログラムです。Flashpro II, Flashpro IIIに添付されています。

備考 FL-PR2, FL-PR3, FA-80GCは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (044) 822-3813)

A.3 デバッグ用ツール

A.3.1 ハードウェア (1/2)

(1) インサーキット・エミュレータ IE-78K0-NSを使用する場合

IE-78K0-NS インサーキット・エミュレータ	78K/0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合ディバッガ (ID78K0-NS) に対応しています。電源ユニット、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-MC-PS-B 電源ユニット	AC100～240 Vのコンセントから電源を供給するためのアダプタです。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです (Cバス対応)。
IE-70000-CD-IF-A PCカード・インタフェース	IE-78K0-NSのホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです (PCMCIAソケット対応)。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです (ISAバス対応)。
IE-70000-PCI-IF インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-780701-NS-EM1 ^注 プローブ・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
NP-80GC エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックQFP (GC-8BTタイプ) 用です。
EV-9200GC-80 変換ソケット (図A-2, 図A-3参照)	80ピン・プラスチックQFP (GC-8BTタイプ) を実装できるように作られたターゲット・システムの基板と、NP-80GCを接続するための変換ソケットです。

注 開発中

備考1. NP-80GCは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (044) 822-3813)

2. EV-9200GC-80は、5個を1組として、1組単位で販売しています。

A.3.1 ハードウェア (2/2)

(2) インサーキット・エミュレータ IE-78001-R-Aを使用する場合

IE-78001-R-A インサーキット・エミュレータ	78K0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバッガ (ID78K0) に対応しています。エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです。
IE-70000-PCI-IF インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-78000-R-SV3 インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてEWSを使用するときに必要なアダプタとケーブルです。IE-78001-R-A内のボードに接続して使用します。 なお、イーサネット™としては10Base-5をサポートしており、他の方式の場合には市販の変換アダプタが必要になります。
IE-780701-NS-EM1 ^注 プローブ・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータ、エミュレーション・プローブ変換ボードと組み合わせて使用します。
IE-78K0-R-EX1 ^注 エミュレーション・プローブ変換ボード	IE-780701-NS-EM1をIE-78001-R-A上で使用するときに必要なボードです。
EP-78230GC-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックQFP (GC-8BTタイプ) 用です。
EV-9200GC-80 変換ソケット (図A-2, 図A-3) 参照	80ピン・プラスチックQFP (GC-8BTタイプ) を実装できるように作られたターゲット・システムの基板と、EP-78230GC-Rを接続するための変換ソケットです。

注 開発中

備考 EV-9200GC-80は、5個を1組として、1組単位で販売しています。

A.3.2 ソフトウェア (1/2)

SM78K0 システム・シミュレータ	<p>ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。</p> <p>SM78K0はWindows上で動作します。</p> <p>SM78K0を使用することにより、インサーキット・エミュレータを使用しなくても、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。開発効率やソフトウェアの品質の向上が図れます。</p> <p>別売のデバイス・ファイル（DF780701）と組み合わせて使用します。</p> <p>オーダー名称：μS××××SM78K0</p>
-----------------------	--

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××SM78K0

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ2HC FD
BB13		英語Windows	

A.3.2 ソフトウェア (2/2)

ID78K0-NS 統合ディバッガ (インサーキット・エミュレータIE-78K0-NS対応)	78K0シリーズをディバグするためのコントロール・プログラムです。 グラフィカル・ユーザ・インタフェースとして、パソコン上ではWindows, EWS上ではOSF/Motif™を採用し、それらに準拠した外観と操作性を提供しています。また、C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をC言語レベルで表示させることも可能です。その他、タスク・ディバッガやシステム・パフォーマンス・アナライザなどの機能拡張モジュールを取り込むことにより、リアルタイムOSを使用したプログラムのディバグ効率を向上させることができます。 別売のデバイス・ファイルと組み合わせて使用します。
ID78K0 統合ディバッガ (インサーキット・エミュレータIE-78001-R-A対応)	別売のデバイス・ファイルと組み合わせて使用します。
オーダ名称: μ SXXXXID78K0-NS, μ SXXXXID78K0	

備考 オーダ名称のXXXXは、使用するホスト・マシン, OSにより異なります。

μ SXXXXID78K0-NS

XXXX	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ2HC FD
BB13		英語Windows	

μ SXXXXID78K0

XXXX	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ2HC FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT (DDS)
3K13	SPARCstation	SunOS (Rel.4.1.4),	3.5インチ2HC FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT
3R13	NEWS (RISC)	NEWS-OS (Rel.6.1)	3.5インチ2HC FD

A.4 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法

すでに78K/0シリーズ用の旧タイプのインサーキット・エミュレータ（IE-78000-RまたはIE-78000-R-A）をお持ちの場合、本体内部のブレーク・ボードをIE-78001-R-BKに交換することにより、お持ちのインサーキット・エミュレータをIE-78001-R-Aと同等に使用できます。

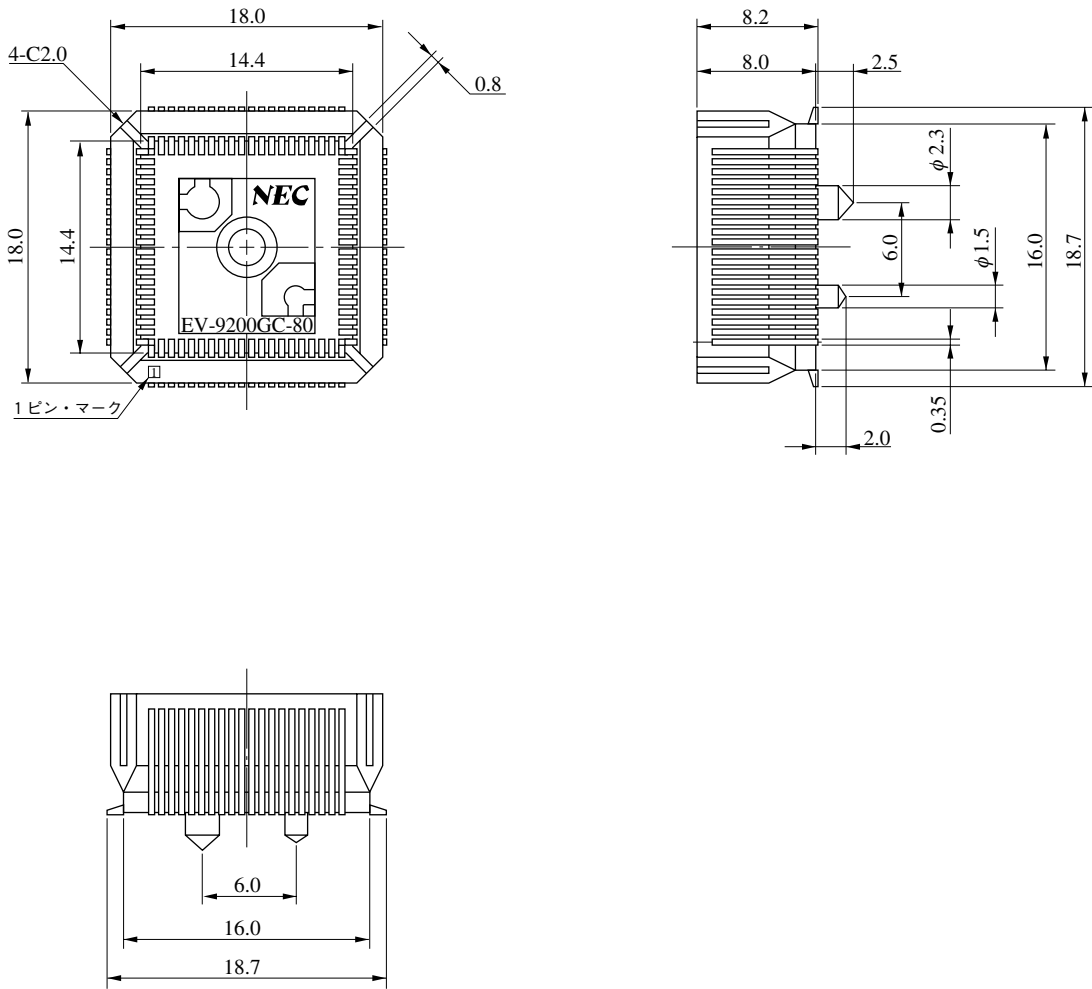
表A-1 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法

お持ちのインサーキット・エミュレータ	筐体のシステム・アップ ^注	ご購入の必要なボード
IE-78000-R	必要	IE-78001-R-BK
IE-78000-R-A	不要	

注 筐体をシステム・アップするためには、NECへの持ち込みが必要となります。

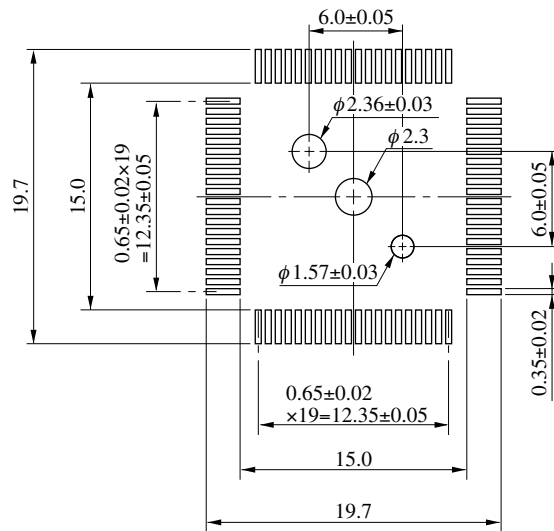
変換ソケット (EV-9200GC-80) の外形図と基板取り付け推奨パターン

図A-2 EV-9200GC-80 外形図 (参考) (単位: mm)



EV-9200GC-80-G0

図A-3 EV-9200GC-80 基板取り付け推奨パターン (参考) (単位: mm)



EV-9200GC-80-P1

注意 EV-9200用のマウント・パッド寸法と、対象製品のマウント・パッド寸法 (QFP用) は、その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は、「半導体デバイス 実装マニュアル, C10535J」をご参照ください。

付録B 組み込み用ソフトウェア

μPD780701Yサブシリーズのプログラム開発やメンテナンスをより効率的に行うために、次の組み込み用ソフトウェアを用意しています。

リアルタイムOS (1/2)

RX78K/0 リアルタイムOS	<p>μITRON仕様に準拠したリアルタイムOSです。</p> <p>RX78K/0のニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。</p> <p>別売のアセンブラ・パッケージ（RA78K/0）およびデバイス・ファイル（DF780701）と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>リアルタイムOSはDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。</p> <p>オーダー名称：μS××××RX78013-△△△△</p>
---------------------	---

注意 RX78K/0を購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダ名称の××××および△△△△は、使用するホスト・マシン、OSなどにより異なります。

μS××××RX78013-△△△△

△△△△	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows ^注	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows ^注	3.5インチ2HC FD
BB13		英語Windows ^注	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT (DDS)
3K13	SPARCstation	SunOS (Rel. 4.1.4) ,	3.5インチ2HC FD
3K15		Solaris (Rel. 2.5.1)	1/4インチCGMT
3R13	NEWS (RISC)	NEWS-OS (Rel. 6.1)	3.5インチ2HC FD

注 DOS環境でも動作します。

リアルタイムOS (2/2)

MX78K0 OS	<p>μITRON仕様サブセットのOSです。MX78K0のニュークリアスを添付しています。</p> <p>タスク管理、イベント管理、時間管理を行います。タスク管理ではタスクの実行順序を制御し、次に実行するタスクへの切り替え処理を行います。</p> <p><PC環境で使用する場合の注意></p> <p>MX78K0はDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。</p> <p>オーダ名称：μS××××MX78K0-△△△</p>
--------------	--

備考 オーダ名称の××××および△△△は、使用するホスト・マシン、OSなどにより異なります。

μS××××MX78K0-△△△

△△△	製品概要	量産時使用数量の上限
001	評価用オブジェクト	試作時に使用してください
XX	量産用オブジェクト	量産時に使用してください
S01	ソース・プログラム	量産用オブジェクト購入時のみ、購入可能

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows ^注	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows ^注	3.5インチ2HC FD
BB13		英語Windows ^注	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT (DDS)
3K13	SPARCstation	SunOS (Rel. 4.1.4) ,	3.5インチ2HC FD
3K15		Solaris (Rel. 2.5.1)	1/4インチCGMT
3R13	NEWS (RISC)	NEWS-OS (Rel. 6.1)	3.5インチ2HC FD

注 DOS環境でも動作します

付録C レジスタ索引

C.1 レジスタ索引 (50音順)

[あ行]

IEBus相手先アドレス・レジスタ (PAR) …	371
IEBusインタラプト・ステータス・レジスタ (ISR) …	381
IEBusコントロール・データ・レジスタ (CDR) …	371
IEBusコントロール・レジスタ (BCR0) …	366
IEBus自局アドレス・レジスタ (UAR) …	370
IEBusスレーブ・アドレス・レジスタ (SAR) …	370
IEBusスレーブ・ステータス・レジスタ (SSR) …	387
IEBus通信成功カウンタ (SCR) …	388
IEBusデータ・レジスタ (DR) …	377
IEBus伝送カウンタ (CCR) …	389
IEBus電文長レジスタ (DLR) …	376
IEBusユニット・ステータス・レジスタ (USR) …	378
IIC0コントロール・レジスタ (IICC0) …	224
IIC0シフト・レジスタ (IIC0) …	222, 233
IIC0状態レジスタ (IICS0) …	229
IIC0 転送クロック選択レジスタ (IICCL0) …	232
アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) …	198
アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) …	196
アナログ入力チャンネル指定レジスタ3 (ADS3) …	183
ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) …	168
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) …	169
A/Dコンバータ・モード・レジスタ3 (ADM3) …	182
A/D変換結果レジスタ3 (ADCR3) …	180

[か行]

外部割り込み立ち上がりエッジ許可レジスタ (EGP) …	416
外部割り込み立ち下がりエッジ許可レジスタ (EGN) …	416
キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) …	109
キャプチャ/コンペア・コントロール・レジスタ01 (CRC01) …	109
CANエラー・ステータス・レジスタ (CANES) …	320
CANコントロール・レジスタ (CANC) …	316
クロック出力選択レジスタ (CKS) …	174

[さ行]

再指定コントロール・レジスタ (REDEF) …	334
16ビット・タイマ/カウンタ00 (TM00) …	104

16ビット・タイマ/カウンタ01 (TM01) …	104
16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) …	104
16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) …	106
16ビット・タイマ・キャプチャ/コンペア・レジスタ001 (CR001) …	104
16ビット・タイマ・キャプチャ/コンペア・レジスタ011 (CR011) …	106
16ビット・タイマ出力コントロール・レジスタ00 (TOC00) …	111
16ビット・タイマ出力コントロール・レジスタ01 (TOC01) …	111
16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) …	106
16ビット・タイマ・モード・コントロール・レジスタ01 (TMC01) …	106
受信エラー・カウンタ (REC) …	322
受信バッファ・レジスタ0 (RXB0) …	195
受信メッセージ・レジスタ (RMES) …	331
シリアルI/Oシフト・レジスタ30 (SIO30) …	214
シリアルI/Oシフト・レジスタ31 (SIO31) …	214
シリアル動作モード・レジスタ30 (CSIM30) …	215
シリアル動作モード・レジスタ31 (CSIM31) …	215
スレーブ・アドレス・レジスタ0 (SVA0) …	222, 233
送信エラー・カウンタ (TEC) …	322
送信コントロール・レジスタ (TCR) …	329
送信シフト・レジスタ0 (TXS0) …	194

[た行]

タイマ・クロック選択レジスタ50 (TCL50) …	146
タイマ・クロック選択レジスタ51 (TCL51) …	146
タイマ・クロック選択レジスタ52 (TCL52) …	146
同期コントロール・レジスタ0 (SYNC0) …	325
同期コントロール・レジスタ1 (SYNC1) …	325
時計用タイマ・モード・レジスタ0 (WTNM0) …	163

[な行]

内部拡張RAMサイズ切り替えレジスタ (IXS) …	443
----------------------------	-----

[は行]

8ビット・タイマ/カウンタ50 (TM50) …	141
8ビット・タイマ/カウンタ51 (TM51) …	141
8ビット・タイマ/カウンタ52 (TM52) …	141
8ビット・タイマ・コンペア・レジスタ50 (CR50) …	141
8ビット・タイマ・コンペア・レジスタ51 (CR51) …	141
8ビット・タイマ・コンペア・レジスタ52 (CR52) …	141
8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) …	142
8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) …	142
8ビット・タイマ・モード・コントロール・レジスタ52 (TMC52) …	142
発振安定時間選択レジスタ (OSTS) …	170, 430

パワー・フェイル比較しきい値レジスタ 3 (PFT3) …	184
パワー・フェイル比較モード・レジスタ 3 (PFM3) …	184
ビット・レート・プリスケアラ (BRPRS) …	324
フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) …	447
プリスケアラ・モード・レジスタ00 (PRM00) …	113
プリスケアラ・モード・レジスタ01 (PRM01) …	113
プルアップ抵抗オプション・レジスタ 0 (PU0) …	90
プルアップ抵抗オプション・レジスタ 2 (PU2) …	90
プルアップ抵抗オプション・レジスタ 3 (PU3) …	90
プルアップ抵抗オプション・レジスタ 4 (PU4) …	90
プルアップ抵抗オプション・レジスタ 5 (PU5) …	90
プルアップ抵抗オプション・レジスタ 6 (PU6) …	90
プルアップ抵抗オプション・レジスタ 7 (PU7) …	90
プログラム・ステータス・ワード (PSW) …	49, 417
プロセッサ・クロック・コントロール・レジスタ (PCC) …	94
ポート 0 (P0) …	76
ポート 2 (P2) …	78
ポート 3 (P3) …	79
ポート 4 (P4) …	81
ポート 5 (P5) …	82
ポート 6 (P6) …	83
ポート 7 (P7) …	84
ポート 8 (P8) …	86
ポート 9 (P9) …	87
ポート・モード・レジスタ 0 (PM0) …	88
ポート・モード・レジスタ 2 (PM2) …	88, 176
ポート・モード・レジスタ 3 (PM3) …	88, 115
ポート・モード・レジスタ 4 (PM4) …	88
ポート・モード・レジスタ 5 (PM5) …	88
ポート・モード・レジスタ 6 (PM6) …	88
ポート・モード・レジスタ 7 (PM7) …	88, 115, 148
ポート・モード・レジスタ 8 (PM8) …	88
ポート・モード・レジスタ 9 (PM9) …	88
ポー・レート・ジェネレータ・コントロール・レジスタ 0 (BRGC0) …	198

[ま行]

マスク・コントロール・レジスタ (MASKC) …	332
メッセージ・カウント・レジスタ (MCNT) …	323
メモリ拡張モード・レジスタ (MEM) …	91
メモリ・サイズ切り替えレジスタ (IMS) …	443

[や行]

優先順位指定フラグ・レジスタ0H (PR0H) …	415
---------------------------	-----

優先順位指定フラグ・レジスタ0L (PR0L) … 415
優先順位指定フラグ・レジスタ1H (PR1H) … 415
優先順位指定フラグ・レジスタ1L (PR1L) … 415

[わ行]

割り込みマスク・フラグ・レジスタ0H (MK0H) … 414
割り込みマスク・フラグ・レジスタ0L (MK0L) … 414
割り込みマスク・フラグ・レジスタ1H (MK1H) … 414
割り込みマスク・フラグ・レジスタ1L (MK1L) … 414
割り込み要求フラグ・レジスタ0H (IF0H) … 413
割り込み要求フラグ・レジスタ0L (IF0L) … 413
割り込み要求フラグ・レジスタ1H (IF1H) … 413
割り込み要求フラグ・レジスタ1L (IF1L) … 413

C.2 レジスタ索引（アルファベット順）

[A]

ADCR3	: A/D変換結果レジスタ3	…	180
ADM3	: A/Dコンバータ・モード・レジスタ3	…	182
ADS3	: アナログ入力チャンネル指定レジスタ3	…	183
ASIM0	: アシクロナス・シリアル・インタフェース・モード・レジスタ0	…	196
ASIS0	: アシクロナス・シリアル・インタフェース・ステータス・レジスタ0	…	198

[B]

BCR0	: IEBusコントロール・レジスタ	…	366
BRGC0	: ボー・レート・ジェネレータ・コントロール・レジスタ0	…	198
BRPRS	: ビット・レート・プリスケラ	…	324

[C]

CANC	: CANコントロール・レジスタ	…	316
CANES	: CANエラー・ステータス・レジスタ	…	320
CCR	: IEBus伝送カウンタ	…	389
CDR	: IEBusコントロール・データ・レジスタ	…	371
CKS	: クロック出力選択レジスタ	…	174
CR000	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ000	…	104
CR010	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ010	…	106
CR001	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ001	…	104
CR011	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ011	…	106
CR50	: 8ビット・タイマ・コンペア・レジスタ50	…	141
CR51	: 8ビット・タイマ・コンペア・レジスタ51	…	141
CR52	: 8ビット・タイマ・コンペア・レジスタ52	…	141
CRC00	: キャプチャ/コンペア・コントロール・レジスタ00	…	109
CRC01	: キャプチャ/コンペア・コントロール・レジスタ01	…	109
CSIM30	: シリアル動作モード・レジスタ30	…	215
CSIM31	: シリアル動作モード・レジスタ31	…	215

[D]

DLR	: IEBus電文長レジスタ	…	376
DR	: IEBusデータ・レジスタ	…	377

[E]

EGN	: 外部割り込み立ち下がりエッジ許可レジスタ	…	416
EGP	: 外部割り込み立ち上がりエッジ許可レジスタ	…	416

[F]

FLPMC	: フラッシュ・プログラミング・モード・コントロール・レジスタ	…	447
-------	---------------------------------	---	-----

[I]

IF0H	: 割り込み要求フラグ・レジスタ0H	…	413
IF0L	: 割り込み要求フラグ・レジスタ0L	…	413
IF1L	: 割り込み要求フラグ・レジスタ1L	…	413
IF1H	: 割り込み要求フラグ・レジスタ1H	…	413
IIC0	: IIC0シフト・レジスタ	…	222, 233
IICC0	: IIC0コントロール・レジスタ	…	224
IICCL0	: IIC0転送クロック選択レジスタ	…	232
IICS0	: IIC0状態レジスタ	…	229
IMS	: メモリ・サイズ切り替えレジスタ	…	443
ISR	: IEBusインタラプト・ステータス・レジスタ	…	381
IXS	: 内部拡張RAMサイズ切り替えレジスタ	…	443

[M]

MASKC	: マスク・コントロール・レジスタ	…	332
MCNT	: メッセージ・カウント・レジスタ	…	323
MEM	: メモリ拡張モード・レジスタ	…	91
MK0H	: 割り込みマスク・フラグ・レジスタ0H	…	414
MK0L	: 割り込みマスク・フラグ・レジスタ0L	…	414
MK1L	: 割り込みマスク・フラグ・レジスタ1L	…	414
MK1H	: 割り込みマスク・フラグ・レジスタ1H	…	414

[O]

OSTS	: 発振安定時間選択レジスタ	…	170, 430
------	----------------	---	----------

[P]

P0	: ポート0	…	76
P2	: ポート2	…	78
P3	: ポート3	…	79
P4	: ポート4	…	81
P5	: ポート5	…	82
P6	: ポート6	…	83
P7	: ポート7	…	84
P8	: ポート8	…	86
P9	: ポート9	…	87
PAR	: IEBus相手先アドレス・レジスタ	…	371
PCC	: プロセッサ・クロック・コントロール・レジスタ	…	94
PFM3	: パワー・フェイル比較モード・レジスタ3	…	184
PFT3	: パワー・フェイル比較しきい値レジスタ3	…	184
PM0	: ポート・モード・レジスタ0	…	88
PM2	: ポート・モード・レジスタ2	…	88, 176
PM3	: ポート・モード・レジスタ3	…	88, 115
PM4	: ポート・モード・レジスタ4	…	88

PM5	: ポート・モード・レジスタ 5	… 88
PM6	: ポート・モード・レジスタ 6	… 88
PM7	: ポート・モード・レジスタ 7	… 88, 115, 148
PM8	: ポート・モード・レジスタ 8	… 88
PM9	: ポート・モード・レジスタ 9	… 88
PR0H	: 優先順位指定フラグ・レジスタ0H	… 415
PR0L	: 優先順位指定フラグ・レジスタ0L	… 415
PR1H	: 優先順位指定フラグ・レジスタ1H	… 415
PR1L	: 優先順位指定フラグ・レジスタ1L	… 415
PRM00	: プリスケアラ・モード・レジスタ00	… 113
PRM01	: プリスケアラ・モード・レジスタ01	… 113
PSW	: プログラム・ステータス・ワード	… 49, 417
PU0	: プルアップ抵抗オプション・レジスタ 0	… 90
PU2	: プルアップ抵抗オプション・レジスタ 2	… 90
PU3	: プルアップ抵抗オプション・レジスタ 3	… 90
PU4	: プルアップ抵抗オプション・レジスタ 4	… 90
PU5	: プルアップ抵抗オプション・レジスタ 5	… 90
PU6	: プルアップ抵抗オプション・レジスタ 6	… 90
PU7	: プルアップ抵抗オプション・レジスタ 7	… 90

[R]

REC	: 受信エラー・カウンタ	… 322
REDEF	: 再指定コントロール・レジスタ	… 334
RMES	: 受信メッセージ・レジスタ	… 331
RXB0	: 受信バッファ・レジスタ 0	… 195

[S]

SAR	: IEBusスレーブ・アドレス・レジスタ	… 370
SCR	: IEBus通信成功カウンタ	… 388
SIO30	: シリアルI/Oシフト・レジスタ30	… 214
SIO31	: シリアルI/Oシフト・レジスタ31	… 214
SSR	: IEBusスレーブ・ステータス・レジスタ	… 387
SVA0	: スレーブ・アドレス・レジスタ 0	… 222, 233
SYNC0	: 同期コントロール・レジスタ 0	… 325
SYNC1	: 同期コントロール・レジスタ 1	… 325

[T]

TCL50	: タイマ・クロック選択レジスタ50	… 146
TCL51	: タイマ・クロック選択レジスタ51	… 146
TCL52	: タイマ・クロック選択レジスタ52	… 146
TCR	: 送信コントロール・レジスタ	… 329
TEC	: 送信エラー・カウンタ	… 322
TM00	: 16ビット・タイマ/カウンタ00	… 104

TM01	: 16ビット・タイマ/カウンタ01	…	104
TM50	: 8ビット・タイマ/カウンタ50	…	141
TM51	: 8ビット・タイマ/カウンタ51	…	141
TM52	: 8ビット・タイマ/カウンタ52	…	141
TMC00	: 16ビット・タイマ・モード・コントロール・レジスタ00	…	106
TMC01	: 16ビット・タイマ・モード・コントロール・レジスタ01	…	106
TMC50	: 8ビット・タイマ・モード・コントロール・レジスタ50	…	142
TMC51	: 8ビット・タイマ・モード・コントロール・レジスタ51	…	142
TMC52	: 8ビット・タイマ・モード・コントロール・レジスタ52	…	142
TOC00	: 16ビット・タイマ出力コントロール・レジスタ00	…	111
TOC01	: 16ビット・タイマ出力コントロール・レジスタ01	…	111
TXS0	: 送信シフト・レジスタ0	…	194

[U]

UAR	: IEBus自局アドレス・レジスタ	…	370
USR	: IEBusユニット・ステータス・レジスタ	…	378

[W]

WDCS	: ウォッチドッグ・タイマ・クロック選択レジスタ	…	168
WDTM	: ウォッチドッグ・タイマ・モード・レジスタ	…	169
WTNM0	: 時計用タイマ・モード・レジスタ0	…	163

付録D 改版履歴

D.1 本版で改訂された主な箇所

箇所	内容
p.56	<p>第3章 CPUアーキテクチャ</p> <ul style="list-style-type: none"> ・表3-4 特殊機能レジスタ一覧 <p>16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000), 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010), 16ビット・タイマ・キャプチャ/コンペア・レジスタ001 (CR001), 16ビット・タイマ・キャプチャ/コンペア・レジスタ011 (CR011) のリセット時の値を不定 → 0000Hに変更</p> <p>シリアル/I/Oシフト・レジスタ30 (SIO30), シリアル/I/Oシフト・レジスタ31 (SIO31) のリセット時の値を不定 → 00Hに変更</p>
p.77	<p>第4章 ポート機能</p> <ul style="list-style-type: none"> ・図4-2 P00-P07のブロック図を変更
p.101 p.105 p.106	<p>第6章 16ビット・タイマ/イベント・カウンタ</p> <ul style="list-style-type: none"> ・6.1 (3) 時計用タイマ (WTN0) の記述を変更 ・6.3 (2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ000, 001 (CR000, CR001) リセット時の値を不定 → 0000Hに変更 ・6.3 (3) 16ビット・タイマ・キャプチャ/コンペア・レジスタ010, 011 (CR010, CR011) リセット時の値を不定 → 0000Hに変更
p.337	<p>第15章 DCANコントローラ (μPD780701Y, 78F0701Yのみ)</p> <ul style="list-style-type: none"> ・15.15.3 DCANスリープ・モードに注意文を追加
p.344-405	<p>第16章 IEBusコントローラ (μPD780702Y, 78F0701Yのみ)</p> <ul style="list-style-type: none"> ・章全般を変更
p.434	<p>第18章 スタンバイ機能</p> <ul style="list-style-type: none"> ・表18-3 STOPモード時の動作状態 <p>16ビット・タイマ/イベント・カウンタ, 8ビット・タイマ/イベント・カウンタ, シリアル・インタフェースの動作状態を変更</p>
p.439, 440	<p>第19章 リセット機能</p> <ul style="list-style-type: none"> ・表19-1 各ハードウェアのリセット後の状態 <p>16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000), 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010), 16ビット・タイマ・キャプチャ/コンペア・レジスタ001 (CR001), 16ビット・タイマ・キャプチャ/コンペア・レジスタ011 (CR011) のリセット後の状態を不定 → 0000Hに変更</p> <p>シリアル/I/Oシフト・レジスタ30 (SIO30), シリアル/I/Oシフト・レジスタ31 (SIO31) のリセット後の状態を不定 → 00Hに変更</p>
p.444 p.445 p.445	<p>第20章 μPD78F0701Y</p> <ul style="list-style-type: none"> ・表20-3 通信方式一覧 <p>通信方式からI²Cバス, UARTを削除</p> <ul style="list-style-type: none"> ・表20-4 フラッシュ・メモリ・プログラミングの主な機能 <p>機能からポー・レート設定, I²C通信モード設定を削除</p> <ul style="list-style-type: none"> ・20.4.3 Flashpro II, Flashpro IIIの接続 <p>I²Cバス方式, UART方式での接続図を削除</p>
p.504	付録D 改版履歴を追加

[× ㇿ]

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。
